

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3008

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ H8ファミリ／H8/300Hシリーズ

H8/3008

HD6413008F
HD6413008TE
HD6413008VF
HD6413008VTE

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

H8/3008 は、内部 32 ビット構成の H8/300H CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

周辺機能として、RAM、16 ビットタイマ、8 ビットタイマ、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポートなどを内蔵しています。2 チャンネルの SCI は、ISO/IEC7816-3 のキャラクタ伝送に対応したスマートカードインタフェースを拡張機能としてサポートしています。また、電池駆動時の消費電力を低減するため、モジュール単位のスタンバイ機能やチップに供給するシステムクロックの分周比をプログラマブルに変更する機能を追加しています。

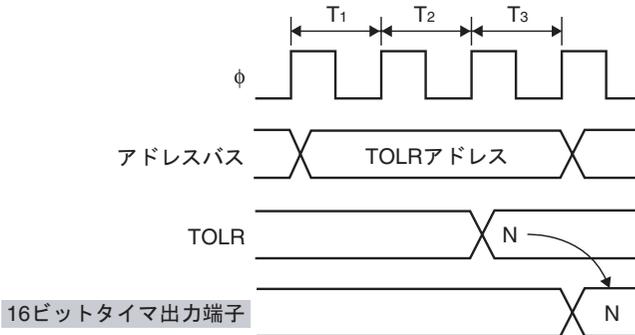
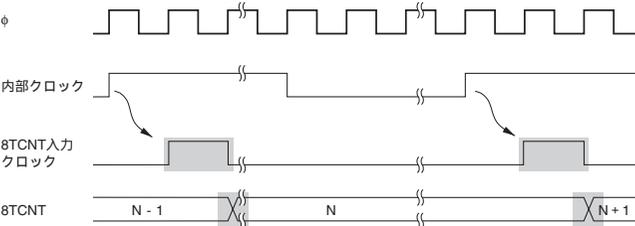
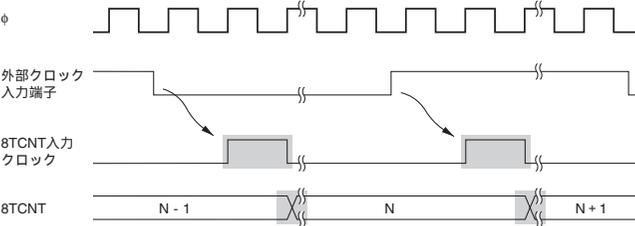
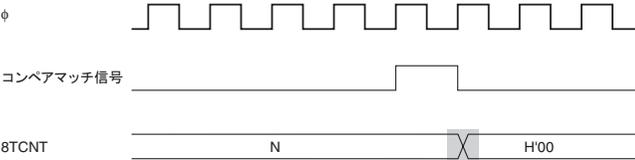
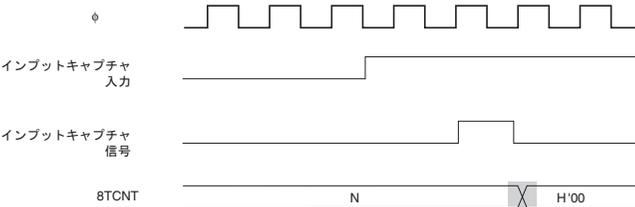
アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU 動作モードは、モード 1~4 があり、データバス幅の初期値とアドレス空間を選択することができます。

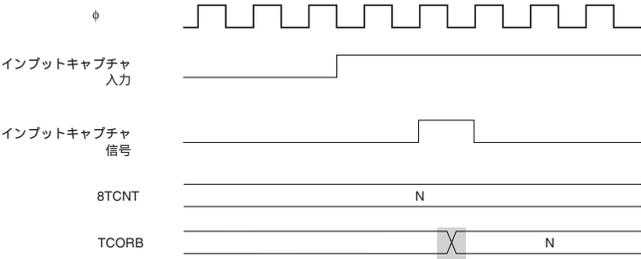
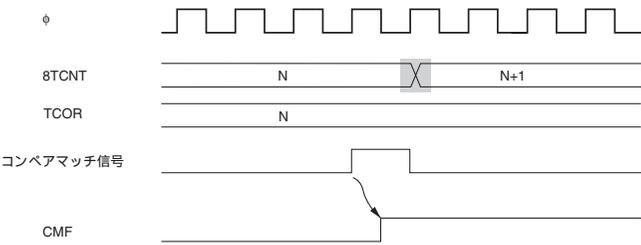
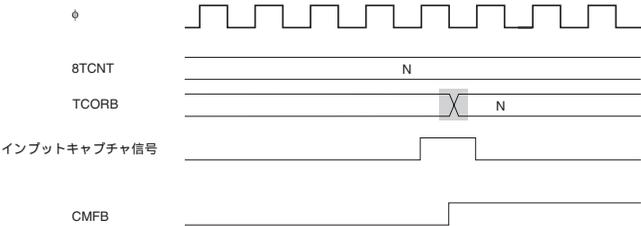
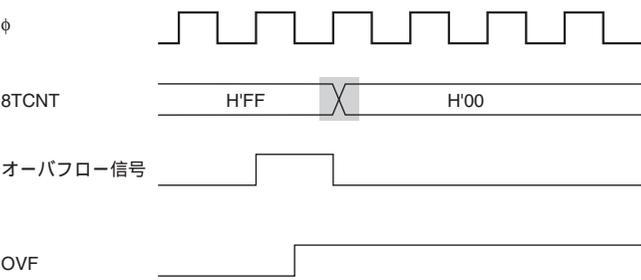
このため、H8/3008 を用いることにより高性能かつ小型のシステムを容易に実現することができます。

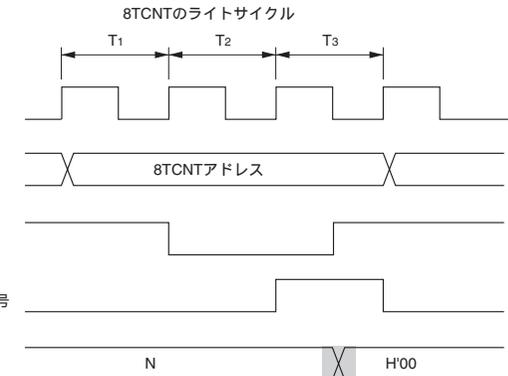
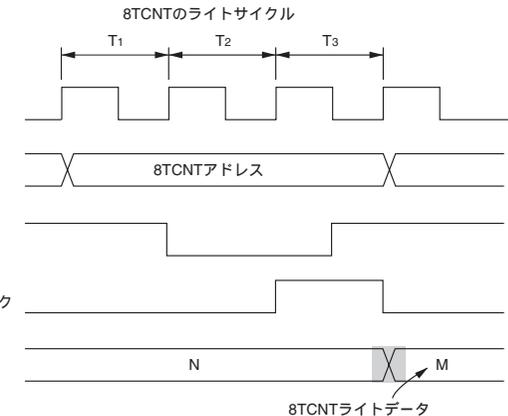
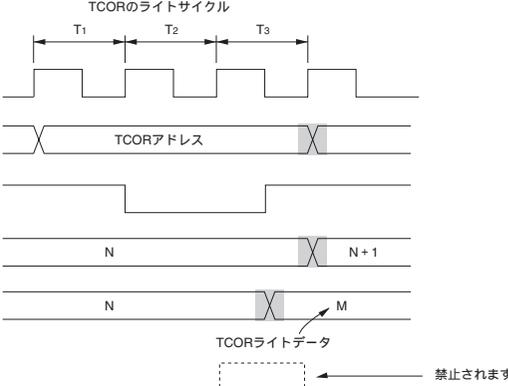
本マニュアルは、H8/3008 のハードウェアについて説明します。命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」をあわせてご覧ください。

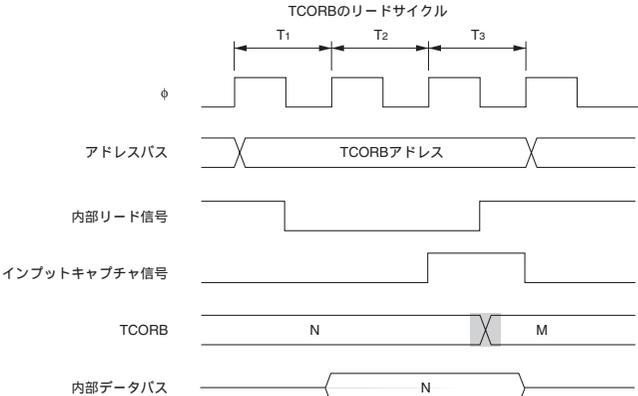
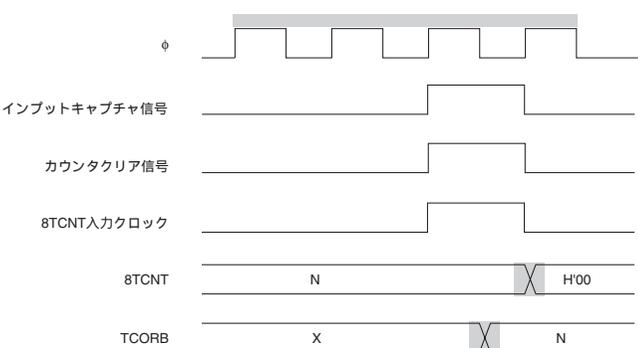
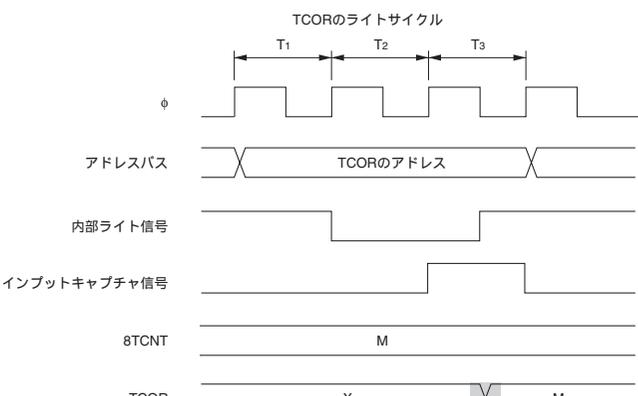
本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																									
全体	-	社名変更による修正 （修正前）日立製作所 → （修正後）ルネサス テクノロジ																																																																									
7.1 概要 表 7.1 動作モード別ポート機能一覧	7-1	表を修正 <table border="1" style="margin-left: 40px;"> <thead> <tr> <th>ポート</th> <th>概要</th> <th>端子</th> </tr> </thead> <tbody> <tr> <td rowspan="5">ポート 6</td> <td rowspan="5">• 8 ビットの入出力ポート</td> <td>P6₇/φ</td> </tr> <tr> <td>P6₆/LWR</td> </tr> <tr> <td>P6₅/HWR</td> </tr> <tr> <td>P6₄/RD</td> </tr> <tr> <td>P6₃/AS</td> </tr> </tbody> </table>	ポート	概要	端子	ポート 6	• 8 ビットの入出力ポート	P6 ₇ /φ	P6 ₆ /LWR	P6 ₅ /HWR	P6 ₄ /RD	P6 ₃ /AS																																																															
ポート	概要	端子																																																																									
ポート 6	• 8 ビットの入出力ポート	P6 ₇ /φ																																																																									
		P6 ₆ /LWR																																																																									
		P6 ₅ /HWR																																																																									
		P6 ₄ /RD																																																																									
		P6 ₃ /AS																																																																									
7.3.1 概要 図 7.2 ポート 6 の端子構成	7-6	図を修正 <p style="text-align: center;">ポート6端子</p>																																																																									
7.7.2 レジスタ構成 (2) ポート A データレジスタ (PADR) 表 7.13 ポート A (モード 3, 4) の端子機能	7-22	表を修正 <table border="1" style="margin-left: 40px;"> <thead> <tr> <th colspan="2">端子</th> <th colspan="4">選択方法と端子機能</th> </tr> <tr> <th>PA_n/TP_n/TIOCA_n/A_n</th> <th></th> <th colspan="4">TMDR の PWM2 ビット、TIOA2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビット、BRCR の A21E ビットと PA_nDDR ビットの組み合わせにより、次のように切り替わります。</th> </tr> <tr> <th>A21E</th> <th></th> <th colspan="2">1</th> <th colspan="2">0</th> </tr> </thead> <tbody> <tr> <td>16 ビットタイマチャンネル 2 の設定</td> <td>下表 (1)</td> <td colspan="2">下表 (2)</td> <td colspan="2">-</td> </tr> <tr> <td>PA_nDDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> <td>-</td> </tr> <tr> <td>NDER6</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>TIOCA_n 出力端子</td> <td>PA_n 入力端子</td> <td>PA_n 出力端子</td> <td>TP_n 出力端子</td> <td>A_n 出力端子</td> </tr> <tr> <td></td> <td></td> <td colspan="4" style="text-align: center;">TIOCA_n 入力端子*</td> </tr> </tbody> </table> <p>【注】* IOA2=1 のとき、TIOCA_n 入力端子となります。</p> <table border="1" style="margin-left: 40px;"> <thead> <tr> <th>16 ビットタイマチャンネル 2 の設定</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>PWM2</td> <td colspan="4" style="text-align: center;">0</td> </tr> <tr> <td>IOA2</td> <td colspan="2" style="text-align: center;">0</td> <td colspan="2" style="text-align: center;">1</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	端子		選択方法と端子機能				PA _n /TP _n /TIOCA _n /A _n		TMDR の PWM2 ビット、TIOA2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビット、BRCR の A21E ビットと PA _n DDR ビットの組み合わせにより、次のように切り替わります。				A21E		1		0		16 ビットタイマチャンネル 2 の設定	下表 (1)	下表 (2)		-		PA _n DDR	-	0	1	1	-	NDER6	-	-	0	1	-	端子機能	TIOCA _n 出力端子	PA _n 入力端子	PA _n 出力端子	TP _n 出力端子	A _n 出力端子			TIOCA _n 入力端子*				16 ビットタイマチャンネル 2 の設定	(2)	(1)	(2)	(1)	PWM2	0				IOA2	0		1		IOA1	0	0	1	-	IOA0	0	1	-	-
端子		選択方法と端子機能																																																																									
PA _n /TP _n /TIOCA _n /A _n		TMDR の PWM2 ビット、TIOA2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビット、BRCR の A21E ビットと PA _n DDR ビットの組み合わせにより、次のように切り替わります。																																																																									
A21E		1		0																																																																							
16 ビットタイマチャンネル 2 の設定	下表 (1)	下表 (2)		-																																																																							
PA _n DDR	-	0	1	1	-																																																																						
NDER6	-	-	0	1	-																																																																						
端子機能	TIOCA _n 出力端子	PA _n 入力端子	PA _n 出力端子	TP _n 出力端子	A _n 出力端子																																																																						
		TIOCA _n 入力端子*																																																																									
16 ビットタイマチャンネル 2 の設定	(2)	(1)	(2)	(1)																																																																							
PWM2	0																																																																										
IOA2	0		1																																																																								
IOA1	0	0	1	-																																																																							
IOA0	0	1	-	-																																																																							

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>8.4.6 16ビットタイマ出力初期値の設定</p> <p>図 8.32 TOLRへのライトによる16ビットタイマ出力初期値設定タイミング</p>	8-49	<p>図を修正</p> 
<p>9.4.1 8TCNTのカウンタタイミング</p> <p>(1) 内部クロック動作の場合</p> <p>図 9.8 内部クロック動作時のカウンタタイミング</p>	9-15	<p>図を修正</p> 
<p>(2) 外部クロック動作の場合</p> <p>図 9.9 外部クロック動作時のカウンタタイミング（両エッジ検出の場合）</p>	9-16	<p>図を修正</p> 
<p>9.4.2 コンペアマッチタイミング</p> <p>(2) コンペアマッチによるクリア</p> <p>図 9.11 コンペアマッチによるクリアタイミング</p>	9-17	<p>図を修正</p> 
<p>(3) インพุットキャプチャによるクリア</p> <p>図 9.12 インพุットキャプチャによるクリアタイミング</p>		<p>図を修正</p> 

修正項目	ページ	修正内容（詳細はマニュアル参照）
9.4.3 インพุットキャプチャ信号タイミング 図 9.13 インพุットキャプチャ入力信号タイミング	9-18	図を修正 
9.4.4 ステータスフラグのセットタイミング (1) コンペアマッチ時の CMFA、CMFB フラグのセットタイミング 図 9.14 コンペアマッチ時の CMF フラグセットタイミング	9-19	図を修正 
(2) インพุットキャプチャ時の CMFB フラグのセットタイミング 図 9.15 インพุットキャプチャ時の CMFB フラグセットタイミング		図を修正 
(3) オーバフローフラグ (OVF) のセットタイミング 図 9.16 OVF のセットタイミング	9-20	図を修正 

修正項目	ページ	修正内容（詳細はマニュアル参照）
9.7.1 8TCNT のライトとクリアの競合 図 9.18 8TCNT のライトとクリアの競合	9-25	図を修正  <p>8TCNTのライトサイクル</p> <p>φ</p> <p>アドレスバス 8TCNTアドレス</p> <p>内部ライト信号</p> <p>カウンタクリア信号</p> <p>8TCNT N H'00</p>
9.7.2 8TCNT のライトとカウントアップの競合 図 9.19 8TCNT のライトとカウントアップの競合	9-26	図を修正  <p>8TCNTのライトサイクル</p> <p>φ</p> <p>アドレスバス 8TCNTアドレス</p> <p>内部ライト信号</p> <p>8TCNT入力クロック</p> <p>8TCNT N M</p> <p>8TCNTライトデータ</p>
9.7.3 TCOR のライトとコンペアマッチの競合 図 9.20 TCOR のライトとコンペアマッチの競合	9-27	図を修正  <p>TCORのライトサイクル</p> <p>φ</p> <p>アドレスバス TCORアドレス</p> <p>内部ライト信号</p> <p>8TCNT N N+1</p> <p>TCOR N M</p> <p>TCORライトデータ</p> <p>コンペアマッチ信号 禁止されます</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
9.7.4 TCOR のリードとイン プットキャプチャの競合 図 9.21 TCORB のリードと インットキャプチャの競合	9-28	図を修正  <p>The diagram shows the timing for a TCORB read cycle. It includes a clock signal ϕ with three time intervals T_1, T_2, and T_3 marked. The address bus shows the TCORB address. The internal read signal is active during T_1 and T_2. The input capture signal is active during T_2. The TCORB data bus shows data 'N' during T_1 and 'M' during T_2. The internal data bus shows data 'N' during T_1.</p>
9.7.5 インットキャプチャ によるカウンタクリアとカウ ントアップの競合 図 9.22 インットキャプチャ によるカウンタクリアとカウ ントアップの競合	9-29	図を修正  <p>The diagram shows the timing for counter clear and up competition. It includes a clock signal ϕ. The input capture signal is active during a period. The counter clear signal is active during the same period. The 8TCNT input clock is active during the period. The 8TCNT data bus shows data 'N' during the period and 'H'00' after. The TCORB data bus shows data 'X' during the period and 'N' after.</p>
9.7.6 TCOR のライトとイン プットキャプチャの競合 図 9.23 TCOR とインット キャプチャの競合	9-30	図を修正  <p>The diagram shows the timing for a TCOR write cycle. It includes a clock signal ϕ with three time intervals T_1, T_2, and T_3 marked. The address bus shows the TCOR address. The internal write signal is active during T_1 and T_2. The input capture signal is active during T_2. The 8TCNT data bus shows data 'M' during T_1 and T_2. The TCOR data bus shows data 'X' during T_1 and 'M' during T_2.</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
9.7.7 16ビットカウントモード（カスケード接続時）の8TCNTのバイトライトとカウントアップの競合 図9.24 16ビットカウントモード時の8TCNTのバイトライトとカウントアップの競合	9-31	<p>図を修正</p> <p>8TCNT（上位側）のバイトライトサイクル</p> <p>T_1 T_2 T_3</p> <p>ϕ</p> <p>アドレスバス 8TCNTHのアドレス</p> <p>内部ライト信号</p> <p>8TCNT入力クロック</p> <p>8TCNT（上位側） N 8TCNT ライトデータ</p> <p>8TCNT（下位側） X X+1</p>
12.3.2 調歩同期式モード時の動作 (3) データの送信 / 受信動作 図12.4 SCIの初期化フローチャートの例	12-32	<p>図を修正</p> <p>(1) SCRにクロックの選択を設定してください。 なお、R1E、T1E、TE1E、M1PE、およびTE、REビットは必ず0にクリアしてください。 調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、直ちに出力されます。</p>
12.3.4 クロック同期式モード時の動作 (3) データの送信 / 受信動作 (a) SCIの初期化(クロック同期式) 図12.15 SCIの初期化フローチャートの例	12-46	<p>記述を修正</p> <p>REビットを0にクリアしてもRDRF、PER、FER、ORERの各フラグ、およびRDRの内容は保持されますので注意してください。</p> <p>図を修正</p> <p>(4) 少なくとも1ビット期間待ってから、SCRのTEまたは、REビットを1にセットします。* また、R1E、T1E、TE1E、M1PEビットを設定してください。 TE、REビットの設定でTxD、RxD端子が使用可能になります。</p>
(c) シリアルデータ受信(クロック同期式)	12-50	<p>記述を修正</p> <p>SCIは受信時に以下のように動作します。</p> <p>(1) SCIは同期クロックの入力または出力に同期して受信動作を行います。</p>
19.3 AC特性 表19.6 バスタイミング	19-8	<p>条件を修正</p> <p>全条件：$T_a = -20 \sim +75$（一般仕様）、$T_a = -40 \sim +85$（広温度範囲仕様）</p> <p>条件A：$V_{CC} = 3.0 \sim 3.6V$、$AV_{CC} = 3.0 \sim 3.6V$、$V_{REF} = 3.0 \sim AV_{CC}$、$V_{SS} = AV_{SS} = 0V$、$f_{max} = 25MHz$</p> <p>条件B：$V_{CC} = 5.0V \pm 10\%$、$AV_{CC} = 5.0V \pm 10\%$、$V_{REF} = 4.5 \sim AV_{CC}$、$V_{SS} = AV_{SS} = 0V$、$f_{max} = 20MHz$</p> <p>条件C：$V_{CC} = 5.0V \pm 10\%$、$AV_{CC} = 5.0V \pm 10\%$、$V_{REF} = 4.5 \sim AV_{CC}$、$V_{SS} = AV_{SS} = 0V$、$f_{max} = 25MHz$</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																														
B.2 機能一覧 8TCSR0 タイマコントロール /ステータスレジスタ 0	付録-73	<p>図を修正</p> <p>ビット:</p> <table border="1"> <tr> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>CMFB</td> <td>CMFA</td> <td>OVF</td> <td>ADTE</td> <td>OIS3</td> <td>OIS2</td> <td>OS1</td> <td>OS0</td> </tr> </table> <p>初期値: R/W: 0 R/(W)*1 0 R/(W)*1 0 R/(W)*1 0 R/W 0 R/W 0 R/W 0 R/W</p> <p>アウトプットセレクトA1, A0</p> <table border="1"> <tr> <th>ビット1</th> <th>ビット0</th> <th>説明</th> </tr> <tr> <td rowspan="2">0</td> <td>0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td>1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td>1</td> <td>コンペアマッチAごとに反転出力(トグル出力)</td> </tr> </table> <p>アウトプット/インプットキャプチャエッジセレクトB3, B2</p> <table border="1"> <tr> <th>8TCSR1 のICE</th> <th>ビット3 OIS3</th> <th>ビット2 OIS2</th> <th>説明</th> </tr> <tr> <td rowspan="3">0</td> <td>0</td> <td>0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td rowspan="3">1</td> <td>0</td> <td>1</td> <td>コンペアマッチBごとに反転出力(トグル出力)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> </table> <p>A/Dトリガインネーブル</p> <table border="1"> <tr> <th>TRGE*2</th> <th>ビット4 ADTE</th> <th>説明</th> </tr> <tr> <td rowspan="2">0</td> <td>0</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td>1</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止</td> </tr> <tr> <td>1</td> <td>コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止</td> </tr> </table> <p>タイマオーバフローフラグ</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] 8TCNTがH'FF→H'00になったとき</td> </tr> </table> <p>コンペアマッチフラグA</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] 8TCNT = TCORAになったとき</td> </tr> </table> <p>コンペアマッチ/インプットキャプチャフラグB</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき</td> </tr> </table> <p>【注】*1 ビット7-5は、フラグをクリアするための0ライトのみ可能です。 *2 TRGEはA/Dコントロールレジスタ(ADCR)のビット7です。</p>	7	6	5	4	3	2	1	0	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0	ビット1	ビット0	説明	0	0	コンペアマッチAで変化しない	1	コンペアマッチAで0出力	1	0	コンペアマッチAで1出力	1	コンペアマッチAごとに反転出力(トグル出力)	8TCSR1 のICE	ビット3 OIS3	ビット2 OIS2	説明	0	0	0	コンペアマッチBで変化しない	0	1	コンペアマッチBで0出力	1	0	コンペアマッチBで1出力	1	0	1	コンペアマッチBごとに反転出力(トグル出力)	1	0	立ち上がりエッジでTCORBにインプットキャプチャ	1	1	立ち下がりエッジでTCORBにインプットキャプチャ	TRGE*2	ビット4 ADTE	説明	0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止	0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき	1	[セット条件] 8TCNTがH'FF→H'00になったとき	0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき	1	[セット条件] 8TCNT = TCORAになったとき	0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき	1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき
7	6	5	4	3	2	1	0																																																																									
CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0																																																																									
ビット1	ビット0	説明																																																																														
0	0	コンペアマッチAで変化しない																																																																														
	1	コンペアマッチAで0出力																																																																														
1	0	コンペアマッチAで1出力																																																																														
	1	コンペアマッチAごとに反転出力(トグル出力)																																																																														
8TCSR1 のICE	ビット3 OIS3	ビット2 OIS2	説明																																																																													
0	0	0	コンペアマッチBで変化しない																																																																													
	0	1	コンペアマッチBで0出力																																																																													
	1	0	コンペアマッチBで1出力																																																																													
1	0	1	コンペアマッチBごとに反転出力(トグル出力)																																																																													
	1	0	立ち上がりエッジでTCORBにインプットキャプチャ																																																																													
	1	1	立ち下がりエッジでTCORBにインプットキャプチャ																																																																													
TRGE*2	ビット4 ADTE	説明																																																																														
0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止																																																																														
	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止																																																																														
1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止																																																																														
	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止																																																																														
0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき																																																																															
1	[セット条件] 8TCNTがH'FF→H'00になったとき																																																																															
0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき																																																																															
1	[セット条件] 8TCNT = TCORAになったとき																																																																															
0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき																																																																															
1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																																																																															

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-5
1.3.1	ピン配置図	1-5
1.3.2	端子機能	1-7
1.3.3	モード別ピン配置一覧	1-11

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8/300CPU との相違点	2-2
2.2	CPU 動作モード	2-2
2.3	アドレス空間	2-3
2.4	レジスタ構成	2-4
2.4.1	概要	2-4
2.4.2	汎用レジスタ	2-5
2.4.3	コントロールレジスタ	2-6
2.4.4	CPU 内部レジスタの初期値	2-7
2.5	データ構成	2-8
2.5.1	汎用レジスタのデータ構成	2-8
2.5.2	メモリ上でのデータ構成	2-10
2.6	命令セット	2-11
2.6.1	命令セットの概要	2-11
2.6.2	命令とアドレッシングモードの組み合わせ	2-12
2.6.3	命令の機能別一覧	2-13
2.6.4	命令の基本フォーマット	2-20
2.6.5	ビット操作命令使用上の注意	2-21
2.7	アドレッシングモードと実効アドレスの計算方法	2-22
2.7.1	アドレッシングモード	2-22
2.7.2	実効アドレスの計算方法	2-24
2.8	処理状態	2-28
2.8.1	概要	2-28
2.8.2	プログラム実行状態	2-29
2.8.3	例外処理状態	2-29
2.8.4	例外処理の動作	2-31
2.8.5	バス権解放状態	2-32
2.8.6	リセット状態	2-32

2.8.7	低消費電力状態	2-32
2.9	基本動作タイミング	2-33
2.9.1	概要	2-33
2.9.2	内蔵メモリアクセスタイミング	2-33
2.9.3	内蔵周辺モジュールアクセスタイミング	2-35
2.9.4	外部アドレス空間アクセスタイミング	2-36
第3章 MCU 動作モード		
3.1	概要	3-1
3.1.1	動作モードの種類を選択	3-1
3.1.2	レジスタ構成	3-2
3.2	モードコントロールレジスタ (MDCR)	3-2
3.3	システムコントロールレジスタ (SYSCR)	3-3
3.4	各動作モードの説明	3-5
3.4.1	モード 1	3-5
3.4.2	モード 2	3-5
3.4.3	モード 3	3-5
3.4.4	モード 4	3-6
3.4.5	モード 5~7	3-6
3.5	各動作モードにおける端子機能	3-6
3.6	各動作モードのメモリマップ	3-6
3.6.1	リザーブ領域について	3-6
第4章 例外処理		
4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットシーケンス	4-3
4.2.3	リセット直後の割り込み	4-5
4.3	割り込み	4-5
4.4	トラップ命令	4-5
4.5	例外処理後のスタックの状態	4-6
4.6	スタック使用上の注意	4-7
第5章 割り込みコントローラ		
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-2
5.1.3	端子構成	5-2
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4

5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	5-5
5.2.3	IRQ ステータスレジスタ (ISR)	5-11
5.2.4	IRQ イネーブルレジスタ (IER)	5-12
5.2.5	IRQ センスコントロールレジスタ (ISCR)	5-13
5.3	割り込み要因	5-14
5.3.1	外部割り込み	5-14
5.3.2	内部割り込み	5-15
5.3.3	割り込み例外処理ベクタテーブル	5-16
5.4	割り込み動作	5-18
5.4.1	割り込み動作の流れ	5-18
5.4.2	割り込み例外処理シーケンス	5-23
5.4.3	割り込み応答時間	5-24
5.5	使用上の注意	5-25
5.5.1	割り込みの発生とディスエーブルとの競合	5-25
5.5.2	割り込みの受け付けを禁止している命令	5-25
5.5.3	EEPMOV 命令実行中の割り込み	5-26
第 6 章 バスコントローラ		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-4
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	6-5
6.2.4	バスリリースコントロールレジスタ (BRCR)	6-8
6.2.5	バスコントロールレジスタ (BCR)	6-10
6.2.6	チップセレクトコントロールレジスタ (CSCR)	6-11
6.2.7	アドレスコントロールレジスタ (ADRCR)	6-12
6.3	動作説明	6-13
6.3.1	エリア分割	6-13
6.3.2	バス仕様	6-15
6.3.3	メモリインタフェース	6-16
6.3.4	チップセレクト信号	6-16
6.3.5	アドレス出力方式	6-17
6.4	基本バスインタフェース	6-18
6.4.1	概要	6-18
6.4.2	データサイズとデータアライメント	6-18
6.4.3	有効ストロープ	6-20
6.4.4	各エリアの説明	6-20
6.4.5	基本バス制御信号タイミング	6-21
6.4.6	ウェイト制御	6-29
6.5	アイドルサイクル	6-30
6.5.1	動作説明	6-30

6.6	6.5.2	アイドルサイクルでの端子状態	6-32
		パスアービタ	6-33
	6.6.1	動作説明	6-33
6.7		レジスタと端子入力のタイミング	6-35
	6.7.1	レジスタライトタイミング	6-35
	6.7.2	$\overline{\text{BREQ}}$ 端子の入力タイミング	6-36

第7章 I/Oポート

7.1		概要	7-1
7.2		ポート 4	7-3
	7.2.1	概要	7-3
	7.2.2	レジスタ構成	7-3
7.3		ポート 6	7-6
	7.3.1	概要	7-6
	7.3.2	レジスタ構成	7-6
7.4		ポート 7	7-9
	7.4.1	概要	7-9
	7.4.2	レジスタ構成	7-9
7.5		ポート 8	7-10
	7.5.1	概要	7-10
	7.5.2	レジスタ構成	7-10
7.6		ポート 9	7-13
	7.6.1	概要	7-13
	7.6.2	レジスタ構成	7-13
7.7		ポート A	7-16
	7.7.1	概要	7-16
	7.7.2	レジスタ構成	7-18
7.8		ポート B	7-27
	7.8.1	概要	7-27
	7.8.2	レジスタ構成	7-28

第8章 16ビットタイマ

8.1		概要	8-1
	8.1.1	特長	8-1
	8.1.2	ブロック図	8-3
	8.1.3	端子構成	8-6
	8.1.4	レジスタ構成	8-7
8.2		各レジスタの説明	8-8
	8.2.1	タイマスタートレジスタ (TSTR)	8-8
	8.2.2	タイマシンクロレジスタ (TSNC)	8-9
	8.2.3	タイマモードレジスタ (TMDR)	8-10
	8.2.4	タイマインタラプトステータスレジスタ A (TISRA)	8-13
	8.2.5	タイマインタラプトステータスレジスタ B (TISRB)	8-15
	8.2.6	タイマインタラプトステータスレジスタ C (TISRC)	8-18
	8.2.7	タイマカウンタ (16TCNT)	8-20

8.2.8	ジェネラルレジスタ A、B (GRA、GRB)	8-21
8.2.9	タイマコントロールレジスタ (16TCR)	8-22
8.2.10	タイマ I/O コントロールレジスタ (TIOR)	8-24
8.2.11	タイマアウトプットレベルセットレジスタ (TOLR)	8-26
8.3	CPU とのインタフェース.....	8-28
8.3.1	16 ビットアクセス可能なレジスタ	8-28
8.3.2	8 ビットアクセスのレジスタ	8-30
8.4	動作説明.....	8-31
8.4.1	概要.....	8-31
8.4.2	基本機能.....	8-31
8.4.3	同期動作.....	8-41
8.4.4	PWM モード	8-43
8.4.5	位相計数モード.....	8-47
8.4.6	16 ビットタイマ出力初期値の設定	8-49
8.5	割り込み.....	8-50
8.5.1	ステータスフラグのセットタイミング.....	8-50
8.5.2	ステータスフラグのクリアタイミング.....	8-52
8.5.3	割り込み要因	8-52
8.6	使用上の注意.....	8-53

第9章 8 ビットタイマ

9.1	概要.....	9-1
9.1.1	特長.....	9-1
9.1.2	ブロック図.....	9-2
9.1.3	端子構成.....	9-3
9.1.4	レジスタ構成	9-3
9.2	各レジスタの説明.....	9-4
9.2.1	タイマカウンタ (8TCNT)	9-4
9.2.2	タイムコンスタントレジスタ A (TCORA)	9-5
9.2.3	タイムコンスタントレジスタ B (TCORB)	9-5
9.2.4	タイマコントロールレジスタ (8TCR)	9-6
9.2.5	タイマコントロール/ステータスレジスタ (8TCSR)	9-9
9.3	CPU とのインタフェース.....	9-13
9.3.1	8 ビットレジスタ	9-13
9.4	動作説明.....	9-15
9.4.1	8TCNT のカウントタイミング.....	9-15
9.4.2	コンペアマッチタイミング	9-16
9.4.3	インプットキャプチャ信号タイミング.....	9-18
9.4.4	ステータスフラグのセットタイミング.....	9-19
9.4.5	カスケード接続時の動作	9-20
9.4.6	インプットキャプチャの設定	9-22
9.5	割り込み.....	9-23
9.5.1	割り込み要因	9-23
9.5.2	A/D 変換の起動	9-24

9.6	8ビットタイマの使用例	9-24
9.7	使用上の注意	9-25
9.7.1	8TCNT のライトとクリアの競合	9-25
9.7.2	8TCNT のライトとカウントアップの競合	9-26
9.7.3	TCOR のライトとコンペアマッチの競合	9-27
9.7.4	TCOR のリードとインプットキャプチャの競合	9-28
9.7.5	インプットキャプチャによるカウンタクリアとカウントアップの競合	9-29
9.7.6	TCOR のライトとインプットキャプチャの競合	9-30
9.7.7	16ビットカウントモード(カスケード接続時)の8TCNTの バイトライトとカウントアップの競合	9-31
9.7.8	コンペアマッチ A、B の競合	9-31
9.7.9	内部クロックの切り替えと8TCNTの動作	9-32

第10章 プログラマブルタイミングパターンコントローラ (TPC)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-2
10.1.3	端子構成	10-3
10.1.4	レジスタ構成	10-3
10.2	各レジスタの説明	10-4
10.2.1	ポート A データディレクションレジスタ (PADDR)	10-4
10.2.2	ポート A データレジスタ (PADR)	10-4
10.2.3	ポート B データディレクションレジスタ (PBDDR)	10-5
10.2.4	ポート B データレジスタ (PBDR)	10-5
10.2.5	ネクストデータレジスタ A (NDRA)	10-6
10.2.6	ネクストデータレジスタ B (NDRB)	10-8
10.2.7	ネクストデータイネーブルレジスタ A (NDERA)	10-10
10.2.8	ネクストデータイネーブルレジスタ B (NDERB)	10-11
10.2.9	TPC 出力コントロールレジスタ (TPCR)	10-12
10.2.10	TPC 出力モードレジスタ (TPMR)	10-14
10.3	動作説明	10-16
10.3.1	概要	10-16
10.3.2	出力タイミング	10-17
10.3.3	TPC 出力通常動作	10-18
10.3.4	TPC 出力ノンオーバーラップ動作	10-20
10.3.5	インプットキャプチャによる TPC 出力	10-22
10.4	使用上の注意	10-22
10.4.1	TPC 出力端子の動作	10-22
10.4.2	ノンオーバーラップ動作時の注意	10-22

第11章 ウォッチドッグタイマ

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-2

11.2	各レジスタの説明	11-3
11.2.1	タイマカウンタ (TCNT)	11-3
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-4
11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-6
11.2.4	レジスタ書き換え時の注意	11-8
11.3	動作説明	11-10
11.3.1	ウォッチドッグタイマ時の動作	11-10
11.3.2	インターバルタイマ時の動作	11-11
11.3.3	オーバフローフラグ (OVF) セットタイミング	11-11
11.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	11-12
11.4	割り込み	11-12
11.5	使用上の注意	11-13

第 12 章 SCI

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-3
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-4
12.2	各レジスタの説明	12-4
12.2.1	レシーブシフトレジスタ (RSR)	12-4
12.2.2	レシーブデータレジスタ (RDR)	12-5
12.2.3	トランスミットシフトレジスタ (TSR)	12-5
12.2.4	トランスミットデータレジスタ (TDR)	12-6
12.2.5	シリアルモードレジスタ (SMR)	12-7
12.2.6	シリアルコントロールレジスタ (SCR)	12-11
12.2.7	シリアルステータスレジスタ (SSR)	12-15
12.2.8	ビットレートレジスタ (BRR)	12-20
12.3	動作説明	12-27
12.3.1	概要	12-27
12.3.2	調歩同期式モード時の動作	12-29
12.3.3	マルチプロセッサ通信機能	12-38
12.3.4	クロック同期式モード時の動作	12-45
12.4	SCI 割り込み	12-52
12.5	使用上の注意	12-52
12.5.1	SCI を使用する際の注意	12-52

第 13 章 スマートカードインタフェース

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	スマートカードモードレジスタ (SCMR)	13-4
13.2.2	シリアルステータスレジスタ (SSR)	13-6

13.2.3	シリアルモードレジスタ (SMR)	13-7
13.2.4	シリアルコントロールレジスタ (SCR)	13-8
13.3	動作説明	13-9
13.3.1	概要	13-9
13.3.2	端子接続	13-9
13.3.3	データフォーマット	13-10
13.3.4	レジスタの設定	13-11
13.3.5	クロック	13-12
13.3.6	データの送信 / 受信動作	13-14
13.4	使用上の注意	13-20
第 14 章 A/D 変換器		
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-4
14.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	14-4
14.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	14-5
14.2.3	A/D コントロールレジスタ (ADCR)	14-8
14.3	CPU とのインタフェース	14-9
14.4	動作説明	14-10
14.4.1	単一モード (SCAN = 0)	14-10
14.4.2	スキャンモード (SCAN = 1)	14-12
14.4.3	入力サンプリングと A/D 変換時間	14-14
14.4.4	外部トリガ入力タイミング	14-15
14.5	割り込み	14-15
14.6	使用上の注意	14-16
第 15 章 D/A 変換器		
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-2
15.1.4	レジスタ構成	15-3
15.2	各レジスタの説明	15-3
15.2.1	D/A データレジスタ 0、1 (DADR0、DADR1)	15-3
15.2.2	D/A コントロールレジスタ (DACR)	15-4
15.2.3	D/A スタンバイコントロールレジスタ (DASTCR)	15-5
15.3	動作説明	15-6
15.4	D/A 出力制御	15-7
第 16 章 RAM		
16.1	概要	16-1
16.1.1	ブロック図	16-2

16.1.2	レジスタ構成	16-2
16.2	システムコントロールレジスタ (SYSCR)	16-3
16.3	動作説明	16-3
第 17 章 クロック発振器		
17.1	概要	17-1
17.1.1	ブロック図	17-2
17.2	発振器	17-3
17.2.1	水晶発振子を接続する方法	17-3
17.2.2	外部クロックを入力する方法	17-5
17.3	デューティ補正回路	17-7
17.4	プリスケアラ	17-7
17.5	分周器	17-7
17.5.1	レジスタ構成	17-8
17.5.2	分周比コントロールレジスタ (DIVCR)	17-8
17.5.3	使用上の注意	17-9
第 18 章 低消費電力状態		
18.1	概要	18-1
18.2	レジスタ構成	18-3
18.2.1	システムコントロールレジスタ (SYSCR)	18-3
18.2.2	モジュールスタンバイコントロールレジスタ H (MSTCRH)	18-5
18.2.3	モジュールスタンバイコントロールレジスタ L (MSTCRL)	18-6
18.3	スリープモード	18-8
18.3.1	スリープモードへの遷移	18-8
18.3.2	スリープモードの解除	18-8
18.4	ソフトウェアスタンバイモード	18-8
18.4.1	ソフトウェアスタンバイモードへの遷移	18-8
18.4.2	ソフトウェアスタンバイモードの解除	18-9
18.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	18-9
18.4.4	ソフトウェアスタンバイモードの応用例	18-11
18.4.5	使用上の注意	18-11
18.5	ハードウェアスタンバイモード	18-12
18.5.1	1 ハードウェアスタンバイモードへの遷移	18-12
18.5.2	ハードウェアスタンバイモードの解除	18-12
18.5.3	ハードウェアスタンバイモードのタイミング	18-12
18.6	モジュールスタンバイ機能	18-13
18.6.1	モジュールスタンバイタイミング	18-13
18.6.2	モジュールスタンバイ中のリード/ライト	18-13
18.6.3	使用上の注意	18-13

18.7	φクロック出力禁止機能	18-14
------	-------------	-------

第 19 章 電気的特性

19.1	絶対最大定格	19-1
19.2	DC 特性	19-2
19.3	AC 特性	19-7
19.4	A/D 変換特性	19-10
19.5	D/A 変換特性	19-11
19.6	動作タイミング	19-11
19.6.1	クロックタイミング	19-11
19.6.2	制御信号タイミング	19-12
19.6.3	バスタイミング	19-13
19.6.4	TPC、I/O ポートタイミング	19-17
19.6.5	タイマ入出力タイミング	19-17
19.6.6	SCI 入出力タイミング	19-18

付録

A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-16
A.3	命令実行ステート数	付録-19
B.	内部 I/O レジスタ一覧	付録-31
B.1	アドレス一覧	付録-31
B.2	機能一覧	付録-43
C.	I/O ポートブロック図	付録-101
C.1	ポート 4 ブロック図	付録-101
C.2	ポート 6 ブロック図	付録-102
C.3	ポート 7 ブロック図	付録-105
C.4	ポート 8 ブロック図	付録-107
C.5	ポート 9 ブロック図	付録-111
C.6	ポート A ブロック図	付録-117
C.7	ポート B ブロック図	付録-120
D.	端子状態	付録-126
D.1	各処理状態におけるポートの状態	付録-126
D.2	リセット時の端子状態	付録-128
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	付録-131
F.	型名一覧	付録-132
G.	外形寸法図	付録-133
H.	H8/300H シリーズ製品仕様比較	付録-135
H.1	H8/3067、H8/3062 グループと H8/3048 グループ、H8/3007、H8/3006 と H8/3008 の相違点	付録-135
H.2	100 ピンパッケージ品の端子機能比較 (FP-100B、TFP-100B の場合)	付録-137

1. 概要

1.1 概要

H8/3008 は、ルネサス テクノロジオリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、RAM、16 ビットタイマ、8 ビットタイマ、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポートなどを内蔵しています。

MCU 動作モードは、モード 1~4 (拡張モード 4 種類) があり、データバス幅とアドレス空間を選択することができます。

H8/3008 の特長を表 1.1 に示します。

表 1.1 特長

項目	仕様
CPU	H8/300CPU に対してオブジェクトレベルで上位互換 汎用レジスタマシン • 汎用レジスタ：16 ビット×16 本 (8 ビット×16 本+16 ビット×8 本、32 ビット×8 本としても使用可能) 高速動作 • 最大動作周波数：25MHz • 加減算：80ns • 乗除算：560ns アドレス空間 16M バイト 特長ある命令 • 8 / 16 / 32 ビット転送・演算命令 • 符号なし / 符号付き乗算命令 (8 ビット×8 ビット、16 ビット×16 ビット) • 符号なし / 符号付き除算命令 (16 ビット÷8 ビット、32 ビット÷16 ビット) • ビットアキュムレータ機能 • レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	H8/3008 • RAM：4K バイト
割り込みコントローラ	• 外部割り込み端子 7 本：NMI、 $\overline{IRQ0}$ ~ $\overline{IRQ5}$ • 内部割り込み 27 要因 • 3 レベルの割り込み優先順位が設定可能

1. 概要

項目	仕様																									
バスコントローラ	<ul style="list-style-type: none"> • アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 • エリア 0~7 に対してそれぞれチップセレクト出力可能 • エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 • エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 • 2 種類のウェイトモードを設定可能 • エリアごとにプログラムウェイトのステート数を設定可能 • バス権調停機能 • 2 種類のアドレス更新モード 																									
16 ビットタイマ×3 チャンネル	<ul style="list-style-type: none"> • 16 ビットタイマ 3 チャンネルを内蔵。最大 6 端子のパルス出力、または最大 6 種類のパルスの入力処理が可能 • 16 ビットタイマカウンタ×1 (チャンネル 0~2) • アウトプットコンペア出力 / インプットキャプチャ入力 (兼用端子) ×2 (チャンネル 0~2) • 同期動作可能 (チャンネル 0~2) • PWM モード設定可能 (チャンネル 0~2) • 位相計数モード設定可能 (チャンネル 2) 																									
8 ビットタイマ×4 チャンネル	<ul style="list-style-type: none"> • 8 ビットアップカウンタ (外部イベントカウント可能) • タイムコンスタントレジスタ×2 • 2 チャンネルの接続が可能 																									
プログラマブルタイミングパターンコントローラ (TPC)	<ul style="list-style-type: none"> • 16 ビットタイマをタイムベースとした最大 16 ビットのパルス出力が可能 • 最大 4 ビット×4 系統のパルス出力が可能 (16 ビット×1 系統、8 ビット×2 系統などの設定も可能) • ノンオーバーラップモード設定可能 																									
ウォッチドッグタイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> • オーバフローにより内部リセット信号を発生可能 • リセット信号の外部出力可能 • インターバルタイマとして使用可能 																									
シリアルコミュニケーションインタフェース (SCI) ×2 チャンネル	<ul style="list-style-type: none"> • 調歩同期 / クロック同期式モードの選択可能 • 送受信同時動作 (全二重動作) 可能 • 専用のボーレートジェネレータ内蔵 • スマートカードインタフェース拡張機能内蔵 																									
A/D 変換器	<ul style="list-style-type: none"> • 分解能: 10 ビット • 8 チャンネル: 単一モード / スキャンモード選択可能 • アナログ変換電圧範囲の設定が可能 • サンプル&ホールド機能付き • 外部トリガまたは 8 ビットタイマのコンペアマッチによる A/D 変換開始可能 																									
D/A 変換器	<ul style="list-style-type: none"> • 分解能: 8 ビット • 2 チャンネル • ソフトウェアスタンバイモード時 D/A 出力保持可能 																									
I/O ポート	<ul style="list-style-type: none"> • 入出力端子 35 本 • 入力端子 12 本 																									
動作モード	<p>4 種類の MCU 動作モード</p> <table border="1"> <thead> <tr> <th>モード</th> <th>アドレス空間</th> <th>アドレス端子</th> <th>バス幅初期値</th> <th>バス幅最大値</th> </tr> </thead> <tbody> <tr> <td>モード 1</td> <td>1M バイト</td> <td>A₁₉ ~ A₀</td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 2</td> <td>1M バイト</td> <td>A₁₉ ~ A₀</td> <td>16 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 3</td> <td>16M バイト</td> <td>A₂₃ ~ A₀</td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 4</td> <td>16M バイト</td> <td>A₂₃ ~ A₀</td> <td>16 ビット</td> <td>16 ビット</td> </tr> </tbody> </table> <ul style="list-style-type: none"> • モード 1~4 では内蔵 ROM は無効となります。 	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値	モード 1	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット	モード 2	1M バイト	A ₁₉ ~ A ₀	16 ビット	16 ビット	モード 3	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット	モード 4	16M バイト	A ₂₃ ~ A ₀	16 ビット	16 ビット
モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値																						
モード 1	1M バイト	A ₁₉ ~ A ₀	8 ビット	16 ビット																						
モード 2	1M バイト	A ₁₉ ~ A ₀	16 ビット	16 ビット																						
モード 3	16M バイト	A ₂₃ ~ A ₀	8 ビット	16 ビット																						
モード 4	16M バイト	A ₂₃ ~ A ₀	16 ビット	16 ビット																						

項目	仕様													
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • ソフトウェアスタンバイモード • ハードウェアスタンバイモード • モジュール別スタンバイ機能あり • システムクロック分周比可変 													
その他	<ul style="list-style-type: none"> • クロック発振器内蔵 													
製品ラインアップ	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2" data-bbox="412 498 587 562">製品分類</th> <th data-bbox="587 498 710 562">製品型名</th> <th data-bbox="710 498 1188 562">パッケージ (パッケージコード)</th> </tr> </thead> <tbody> <tr> <td data-bbox="412 562 587 639" rowspan="2">H8/3008</td> <td data-bbox="587 562 710 639">5V動作</td> <td data-bbox="710 562 906 639">HD6413008F HD6413008TE</td> <td data-bbox="906 562 1188 639">100ピンQFP (FP-100B) 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td data-bbox="587 639 710 716">3V動作</td> <td data-bbox="710 639 906 716">HD6413008VF HD6413008VTE</td> <td data-bbox="906 639 1188 716">100ピンQFP (FP-100B) 100ピンTQFP (TFP-100B)</td> </tr> </tbody> </table>			製品分類		製品型名	パッケージ (パッケージコード)	H8/3008	5V動作	HD6413008F HD6413008TE	100ピンQFP (FP-100B) 100ピンTQFP (TFP-100B)	3V動作	HD6413008VF HD6413008VTE	100ピンQFP (FP-100B) 100ピンTQFP (TFP-100B)
製品分類		製品型名	パッケージ (パッケージコード)											
H8/3008	5V動作	HD6413008F HD6413008TE	100ピンQFP (FP-100B) 100ピンTQFP (TFP-100B)											
	3V動作	HD6413008VF HD6413008VTE	100ピンQFP (FP-100B) 100ピンTQFP (TFP-100B)											

1. 概要

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

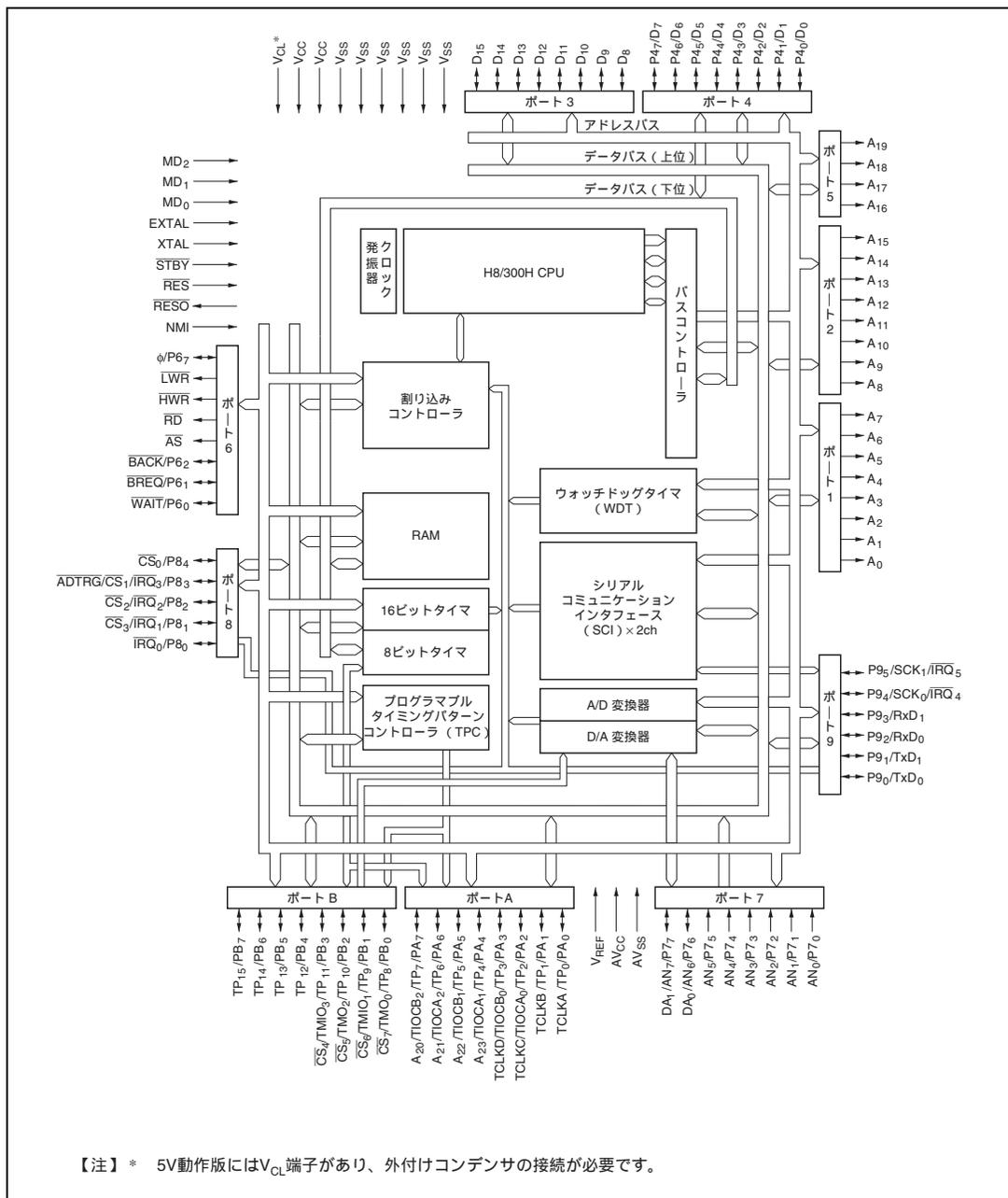


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

H8/3008 のピン配置図を図 1.2、図 1.3 に示します。また H8/3008 のピン配置の相違点を表 1.2 に示します。

表 1.2 以外の端子配置は、同じです。

表 1.2 H8/3008 のピン配置比較

パッケージ	ピン番号	H8/3064	H8/3026	H8/3062	H8/3024	H8/3008	
		F-ZTAT B マスク品	F-ZTAT	F-ZTAT B マスク品	F-ZTAT	ROM レス	
		5V 動作品	3V 動作品	5V 動作品	3V 動作品	5V 動作品	3V 動作品
FP-100B (TFP-100B)	1	V _{CL}	V _{CC}	V _{CL}	V _{CC}	V _{CL}	V _{CC}
	10	FWE	FWE	FWE	FWE	RESO	RESO

1. 概要

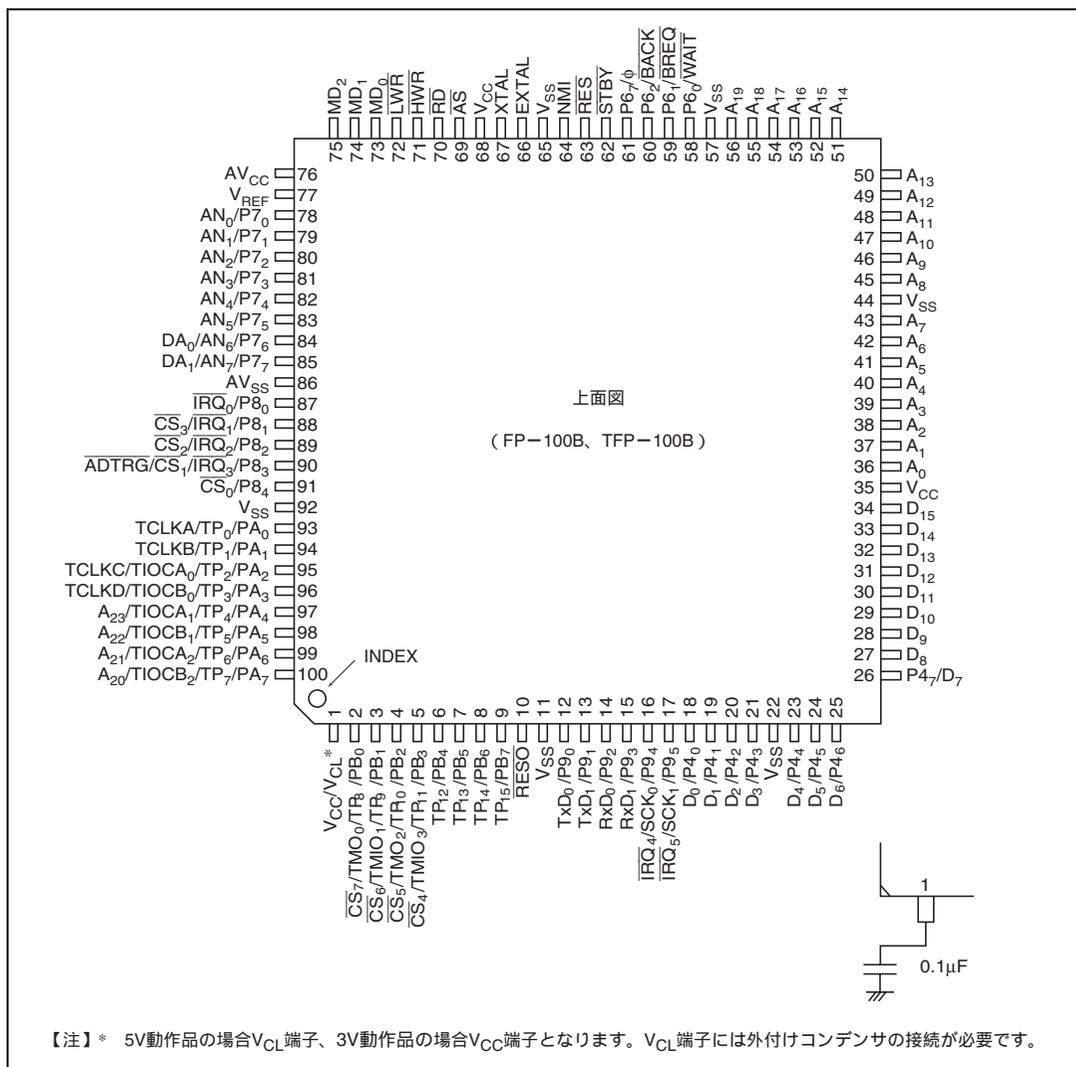
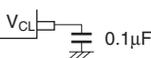


図 1.2 H8/3008 のピン配置図 (FP-100B、TFP-100B パッケージ : 上面図)

1.3.2 端子機能

各端子の機能について表 1.3 に示します。5V 動作品には V_{CL} 端子があり、外付けコンデンサの接続が必要です。

表 1.3 端子機能

分類	記号	ピン番号	入出力	名称および機能																																				
		FP-100B TFP-100B																																						
電源	V_{CC}	1*、35、68	入力	電源 電源に接続します。 V_{CC} 端子は、全端子をシステムの電源に接続してください。																																				
	V_{SS}	11、22、44、57、 65、92	入力	グラウンド 電源 (0V) に接続します。 V_{SS} 端子は、全端子をシステムの電源 (0V) に接続してください。																																				
内部降圧 端子	V_{CL}	1*	出力	本端子と GND (0V) との間に外付けコンデンサを接続します。 V_{CC} と接続しないでください。 																																				
クロック	XTAL	67	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 17 章 クロック発振器」を参照してください。																																				
	EXTAL	66	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 17 章 クロック発振器」を参照してください。																																				
	ϕ	61	出力	システムクロック 外部デバイスにシステムクロックを供給します。																																				
動作モード コントロール	$MD_2 \sim$ MD_0	75 ~ 73	入力	モード端子 動作モードを設定します。 $MD_2 \sim MD_0$ 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" data-bbox="679 1342 1193 1642"> <thead> <tr> <th>MD_2</th> <th>MD_1</th> <th>MD_0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>モード 1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>モード 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>モード 3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>モード 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	MD_2	MD_1	MD_0	動作モード	0	0	0	設定禁止	0	0	1	モード 1	0	1	0	モード 2	0	1	1	モード 3	1	0	0	モード 4	1	0	1	設定禁止	1	1	0	設定禁止	1	1	1	設定禁止
MD_2	MD_1	MD_0	動作モード																																					
0	0	0	設定禁止																																					
0	0	1	モード 1																																					
0	1	0	モード 2																																					
0	1	1	モード 3																																					
1	0	0	モード 4																																					
1	0	1	設定禁止																																					
1	1	0	設定禁止																																					
1	1	1	設定禁止																																					

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
システム制御	$\overline{\text{RES}}$	63	入力	リセット入力 この端子が Low レベルになると、リセット状態となります。パワーオン時には本端子を必ず Low レベルにしてください。
	RESO	10	出力	リセット出力 外部デバイスに対し、WDT の発生したリセット信号を出力します。
	$\overline{\text{STBY}}$	62	入力	スタンバイ この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	59	入力	バス権要求 本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	60	出力	バス権要求アクノリッジ バス権を外部バスマスタに解放したことを示します。
割り込み	NMI	64	入力	ノンマスカブル割り込み マスク不可能な割り込みを要求します。
	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$	17、16、 90 ~ 87	入力	割り込み要求 5 ~ 0 マスク可能な割り込みを要求します。
アドレスバス	$A_{23} \sim A_0$	97 ~ 100、 56 ~ 45、 43 ~ 36	出力	アドレスバス アドレスを出力します。
データバス	$D_{15} \sim D_0$	34 ~ 23、 21 ~ 18	入出力	データバス 双方向データバスです。
バス制御	$\overline{\text{CS}}_7 \sim \overline{\text{CS}}_0$	2 ~ 5、 88 ~ 91、	出力	チップセレクト エリア 7 ~ 0 の選択信号です。
	$\overline{\text{AS}}$	69	出力	アドレスストロープ この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	RD	70	出力	リード この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	71	出力	ハイライト この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示します。
	LWR	72	出力	ロウライト この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示します。
	WAIT	58	入力	ウェイト 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
16 ビット タイマ	TCLKD ~ TCLKA	96 ~ 93	入力	クロック入力 D~A 外部クロックを入力します。
	TIOCA ₂ ~ TIOCA ₀	99、97、95	入出力	インプットキャプチャ / アウトプットコンペア A2 ~ A0 GRA2 ~ A0 のアウトプットコンペア出力 / インプットキャ プチャ入力 / PWM 出力端子です。
	TIOCB ₂ ~ TIOCB ₀	100、98、96	入出力	インプットキャプチャ / アウトプットコンペア B2 ~ B0 GRB2 ~ B0 のアウトプットコンペア出力 / インプットキャ プチャ入力
8 ビット タイマ	TMO ₀ 、 TMO ₂	2、4	出力	コンペアマッチ出力 コンペアマッチ出力端子です。
	TMIO ₁ 、 TMIO ₃	3、5	入出力	インプットキャプチャ入力 / コンペアマッチ出力 インプットキャプチャ入力 / コンペアマッチ出力端子で す。
	TCLKD ~ TCLKA	96 ~ 93	入力	カウンタ外部クロック入力 カウンタに入力する外部クロックの入力端子です。
プログラマ ブルタイミ ングパター ンコントロ ーラ (TPC)	TP ₁₅ ~ TP ₀	9 ~ 2、 100 ~ 93	出力	TPC 出力 15 ~ 0 パルス出力端子です。
シリアルコ ミュニケー ションイン タフェース (SCI)	TxD ₁ 、TxD ₀	13、12	出力	トランスミットデータ (チャンネル 0、1) SCI のデータ出力端子です。
	RxD ₁ 、RxD ₀	15、14	入力	レシーブデータ (チャンネル 0、1) SCI のデータ入力端子です。
	SCK ₁ 、SCK ₀	17、16	入出力	シリアルクロック (チャンネル 0、1) SCI のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	85 ~ 78	入力	アナログ 7 ~ 0 アナログ入力端子です。
	ADTRG	90	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA ₁ 、DA ₀	85、84	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
アナログ電 源	AVcc	76	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム 電源に接続してください。
	AVss	86	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	V _{REF}	77	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム の電源に接続してください。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
I/O ポート	P4 ₇ ~ P4 ₀	26 ~ 23、 21 ~ 18	入出力	ポート4 8ビットの入出力端子です。 ポート4 データディレクションレジスタ (P4DDR) によつて、1ビットごとに入出力を指定できます。
	P6 ₇ 、 P6 ₅ ~ P6 ₀	61、 60 ~ 58	入出力	ポート6 8ビットの入出力端子です。 ポート6 データディレクションレジスタ (P6DDR) によつて、1ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	85 ~ 78	入力	ポート7 8ビットの入力端子です。
	P8 ₄ ~ P8 ₀	91 ~ 87	入出力	ポート8 5ビットの入出力端子です。 ポート8 データディレクションレジスタ (P8DDR) によつて、1ビットごとに入出力を指定できます。
	P9 ₅ ~ P9 ₀	17 ~ 12	入出力	ポート9 6ビットの入出力端子です。 ポート9 データディレクションレジスタ (P9DDR) によつて、1ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	100 ~ 93	入出力	ポートA 8ビットの入出力端子です。 ポートA データディレクションレジスタ (PADDR) によつて、1ビットごとに入出力を指定できます。
	PB ₇ ~ PB ₀	9 ~ 2	入出力	ポートB 8ビットの入出力端子です。 ポートB データディレクションレジスタ (PBDDR) によつて、1ビットごとに入出力を指定できます。

【注】 * 5V 動作品の場合。3V 動作品の場合は V_{CC} 端子になります。

1.3.3 モード別ピン配置一覧

モード別ピン配置一覧を表 1.4 に示します。

表 1.4 モード別ピン配置一覧 (FP-100B、TFP-100B)

ピン番号 FP-100B TFP-100B	端子名			
	モード 1	モード 2	モード 3	モード 4
1	Vcc (V _{CL}) * ³			
2	PB ₀ /TP ₀ /TMO ₀ /CS ₇			
3	PB ₁ /TP ₁ /TMIO ₁ /CS ₆			
4	PB ₂ /TP ₁₀ /TMO ₂ /CS ₅			
5	PB ₃ /TP ₁₁ /TMIO ₃ /CS ₄			
6	PB ₁ /TP ₁₂			
7	PB ₂ /TP ₁₃			
8	PB ₃ /TP ₁₄			
9	PB ₃ /TP ₁₅			
10	RESO			
11	Vss			
12	P9 ₀ /TxD ₀			
13	P9 ₁ /TxD ₁			
14	P9 ₂ /RxD ₀			
15	P9 ₃ /RxD ₁			
16	P9 ₄ /SCK ₀ /IRQ ₄			
17	P9 ₅ /SCK ₁ /IRQ ₅			
18	P4 ₀ /D ₀ * ¹	P4 ₀ /D ₀ * ²	P4 ₀ /D ₀ * ¹	P4 ₀ /D ₀ * ²
19	P4 ₁ /D ₁ * ¹	P4 ₁ /D ₁ * ²	P4 ₁ /D ₁ * ¹	P4 ₁ /D ₁ * ²
20	P4 ₂ /D ₂ * ¹	P4 ₂ /D ₂ * ²	P4 ₂ /D ₂ * ¹	P4 ₂ /D ₂ * ²
21	P4 ₃ /D ₃ * ¹	P4 ₃ /D ₃ * ²	P4 ₃ /D ₃ * ¹	P4 ₃ /D ₃ * ²
22	Vss			
23	P4 ₄ /D ₄ * ¹	P4 ₄ /D ₄ * ²	P4 ₄ /D ₄ * ¹	P4 ₄ /D ₄ * ²
24	P4 ₅ /D ₅ * ¹	P4 ₅ /D ₅ * ²	P4 ₅ /D ₅ * ¹	P4 ₅ /D ₅ * ²
25	P4 ₆ /D ₆ * ¹	P4 ₆ /D ₆ * ²	P4 ₆ /D ₆ * ¹	P4 ₆ /D ₆ * ²
26	P4 ₇ /D ₇ * ¹	P4 ₇ /D ₇ * ²	P4 ₇ /D ₇ * ¹	P4 ₇ /D ₇ * ²
27	D ₈			
28	D ₉			
29	D ₁₀			
30	D ₁₁			
31	D ₁₂			
32	D ₁₃			
33	D ₁₄			
34	D ₁₅			
35	Vcc			
36	A ₀			
37	A ₁			

1. 概要

ピン番号 FP-100B TFP-100B	端子名			
	モード1	モード2	モード3	モード4
38	A ₂			
39	A ₃			
40	A ₄			
41	A ₅			
42	A ₆			
43	A ₇			
44	Vss			
45	A ₈			
46	A ₉			
47	A ₁₀			
48	A ₁₁			
49	A ₁₂			
50	A ₁₃			
51	A ₁₄			
52	A ₁₅			
53	A ₁₆			
54	A ₁₇			
55	A ₁₈			
56	A ₁₉			
57	Vss			
58	P6 ₀ /WAIT			
59	P6 ₁ /BREQ			
60	P6 ₂ /BACK			
61	φ			
62	STBY			
63	RES			
64	NMI			
65	Vss			
66	EXTAL			
67	XTAL			
68	Vcc			
69	AS			
70	RD			
71	HWR			
72	LWR			
73	MD ₀			
74	MD ₁			
75	MD ₂			
76	AVcc			
77	V _{REF}			
78	P7 ₀ /AN ₀			

ピン番号 FP-100B TFP-100B	端子名			
	モード 1	モード 2	モード 3	モード 4
79	P7 ₁ /AN ₁			
80	P7 ₂ /AN ₂			
81	P7 ₃ /AN ₃			
82	P7 ₄ /AN ₄			
83	P7 ₅ /AN ₅			
84	P7 ₆ /AN ₆ /DA ₀			
85	P7 ₇ /AN ₇ /DA ₁			
86	AVss			
87	P8 ₀ /IRQ ₀			
88	P8 ₁ /IRQ ₁ /CS ₃			
89	P8 ₂ /IRQ ₂ /CS ₂			
90	P8 ₃ /IRQ ₃ /CS ₁ /ADTRG			
91	P8 ₄ /CS ₀			
92	Vss			
93	PA ₀ /TP ₀ /TCLKA			
94	PA ₁ /TP ₁ /TCLKB			
95	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC			
96	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD			
97	PA ₄ /TP ₄ /TIOCA ₁		PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	
98	PA ₅ /TP ₅ /TIOCB ₁		PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	
99	PA ₆ /TP ₆ /TIOCA ₂		PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	
100	PA ₇ /TP ₇ /TIOCB ₂		A ₂₀	

- 【注】 *1 モード 1、3 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は P4₀ ~ P4₇ 端子となっています (プログラムで変更できます)。
- *2 モード 2、4 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は D₀ ~ D₇ 端子となっています (プログラムで変更できます)。
- *3 5V 動作版では V_{CL} 端子、3V 動作版では V_{CC} 端子として機能します。

1. 概要

2. CPU

2.1 概要

H8/300H CPU は、H8/300CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPU には、次の特長があります。

H8/300CPU 上位互換

- H8/300 シリーズのオブジェクトプログラムを実行可能

汎用レジスタ方式

- 16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能)

64 種類の基本命令

- 8/16/32 ビット転送、演算命令
- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@ (d:16,ERn) , @ (d:24,ERn))
- ポストインクリメント/プリデクリメントレジスタ間接 (@ERn +/@ - ERn)
- 絶対アドレス (@aa:8, @aa:16, @aa:24)
- イミディエイト (#xx:8, #xx:16, #xx:32)
- プログラムカウンタ相対 (@ (d:8,PC) , @ (d:16,PC))
- メモリ間接 (@@aa:8)

16M バイトのリニアアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 最高動作周波数 : 25MHz
- 8/16/32 ビットレジスタ間加減算 80ns@25MHz
- 8×8 ビットレジスタ間乗算 560ns@25MHz
- 16÷8 ビットレジスタ間除算 560ns@25MHz
- 16×16 ビットレジスタ間乗算 880ns@25MHz
- 32÷16 ビットレジスタ間除算 880ns@25MHz

2. CPU

2 種類の CPU 動作モード

- ノーマルモード
- アドバンスモード

低消費電力動作

- SLEEP 命令により低消費電力状態に遷移

2.1.2 H8/300CPU との相違点

H8/300H CPU は、H8/300CPU に対して、次の点が強化、拡張されています。

汎用レジスタを拡張

- 16 ビット×8 本の拡張レジスタを追加

アドレス空間を拡張

- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- ノーマルモードのとき、H8/300CPU と同一の 64K バイトのアドレス空間を使用可能

アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

命令強化

- 32 ビット転送、演算命令を追加
- 符号付き乗除算命令などを追加

2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンスモードの 2 つの CPU 動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大 64K バイト、アドバンスモードの場合最大 16M バイトとなります。

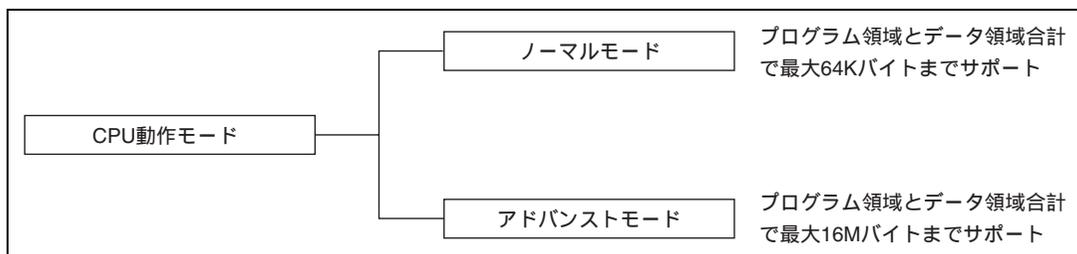


図 2.1 CPU 動作モード

2.3 アドレス空間

本 LSI でのメモリマップの概要を図 2.2 に示します。H8/300H CPU はノーマルモードのとき最大 64K バイト、またアドバンスモードのとき最大 16M バイトのアドレス空間をリニアに使用することができます。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が 1M バイトモードの場合、実効アドレスの上位 4 ビットは無視され、20 ビットのアドレスとなります。

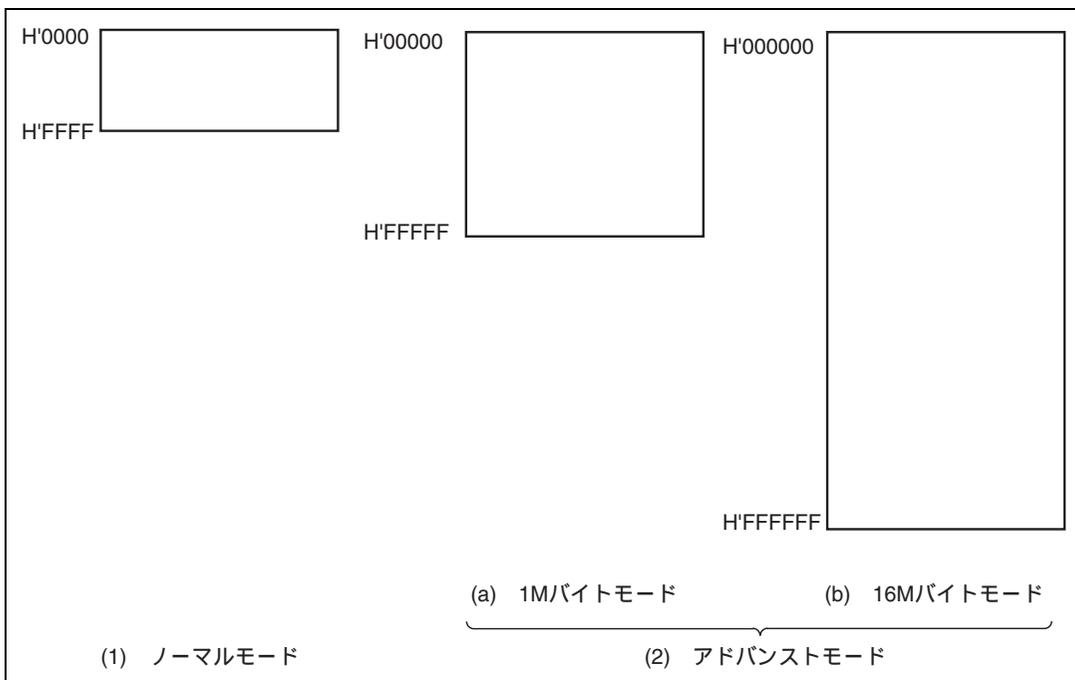


図 2.2 メモリマップ

2.4 レジスタ構成

2.4.1 概要

H8/300H CPU の内部レジスタ構成を図 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

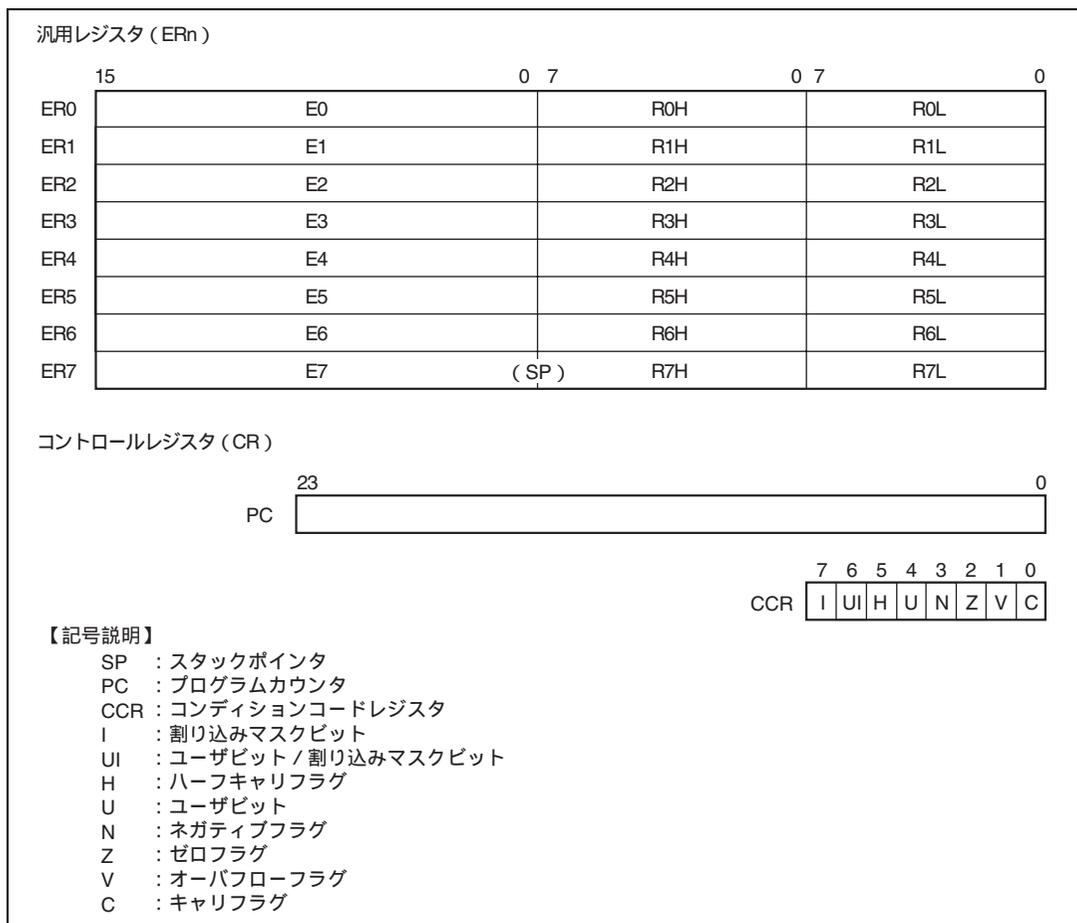


図 2.3 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタ 8 本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本を使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本を使用することができます。

汎用レジスタの使用方法を図 2.4 に示します。各レジスタを独立に使用方法を選択することができます。

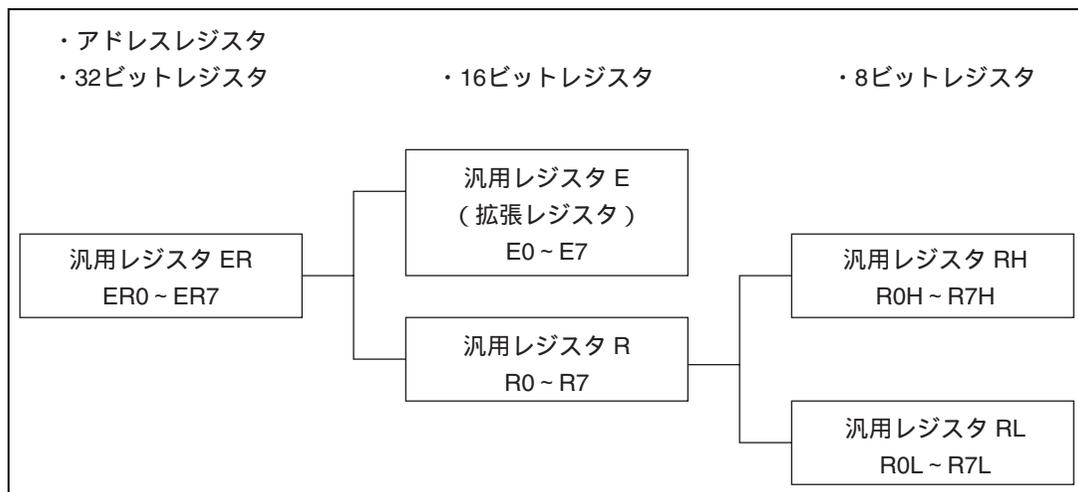


図 2.4 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.5 に示します。

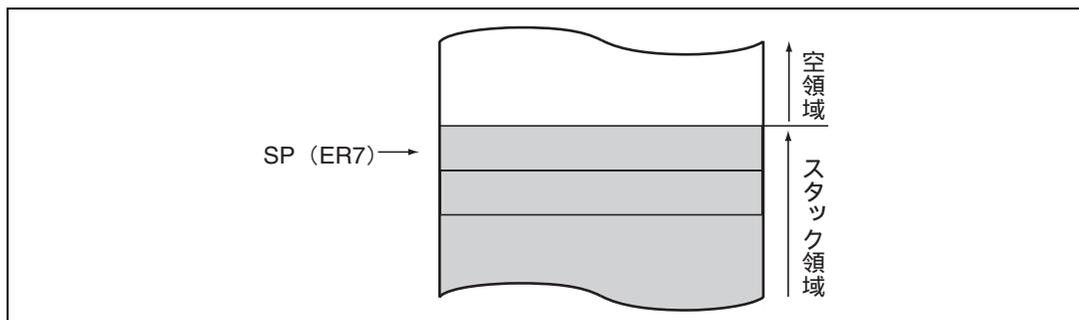


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7: 割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。

ビット 6: ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 5: ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。
また I、UI ビットについては、「第 5 章 割り込みコントローラ」を参照してください。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP (ER7) の初期化を行ってください。

2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.6、図 2.7 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	
1ビットデータ	RnL	
4ビット BCDデータ	RnH	
4ビット BCDデータ	RnL	
バイトデータ	RnH	
バイトデータ	RnL	

【記号説明】

- RnH : 汎用レジスタRH
- RnL : 汎用レジスタRL
- MSB : 最上位ビット
- LSB : 最下位ビット

図 2.6 汎用レジスタのデータ構成 (1)

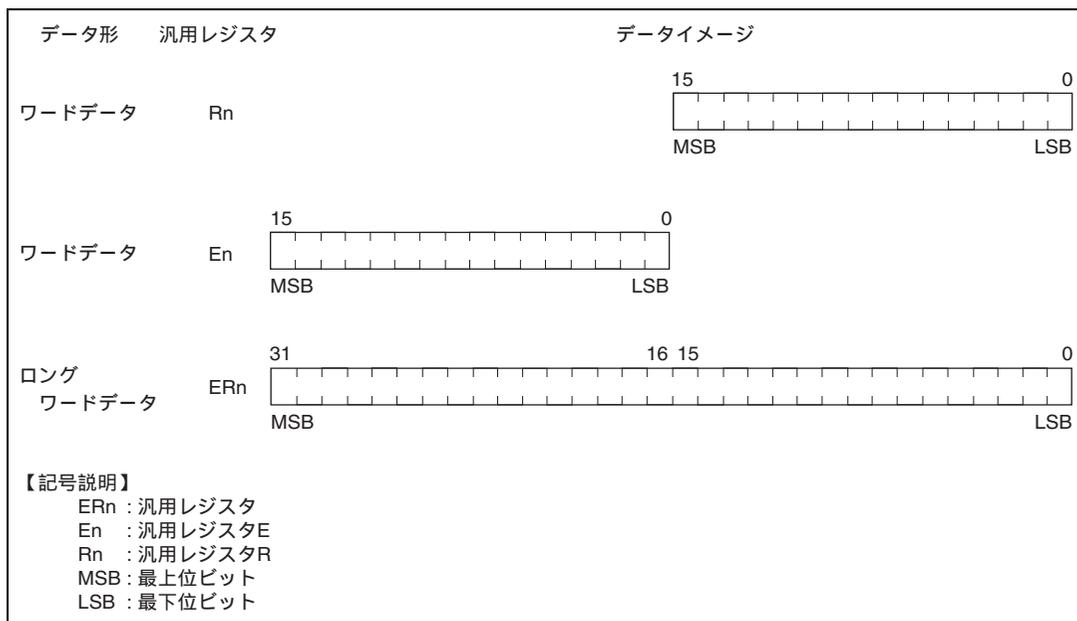


図 2.7 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.8 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

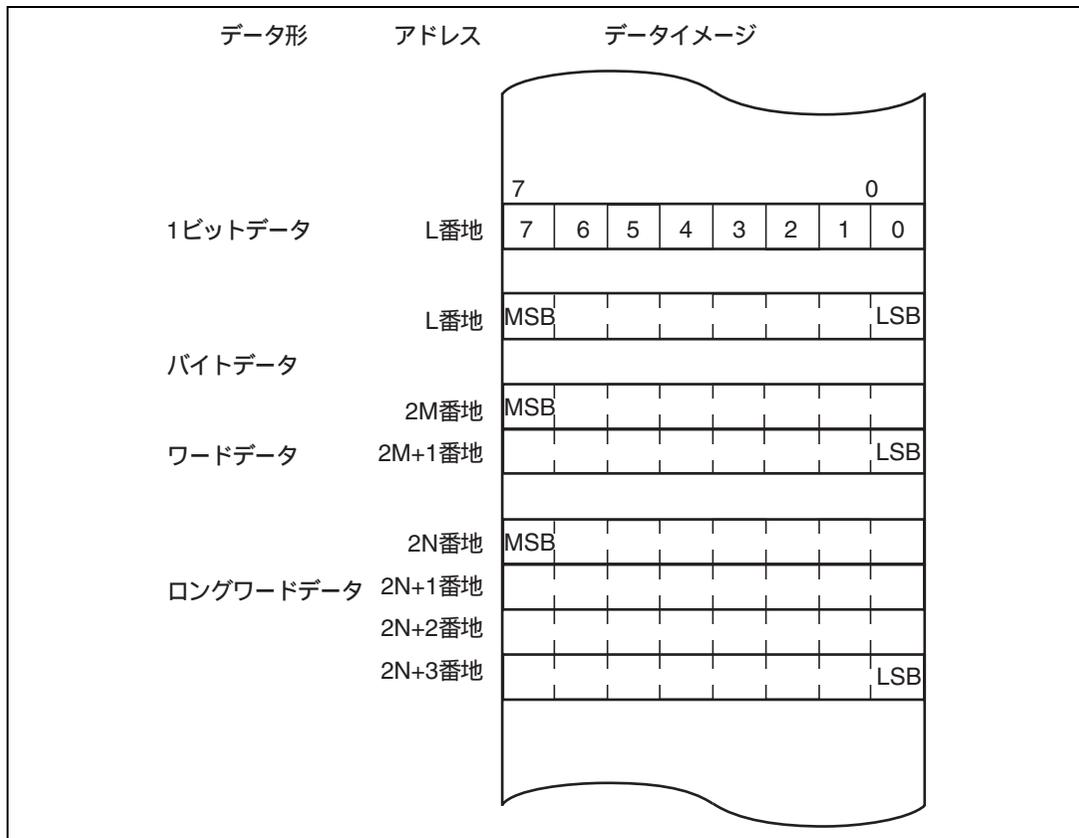


図 2.8 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPU の命令は合計 64 種類あり、各命令の機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPE* ² 、MOVFPPE* ²	5
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1

合計 64 種類

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+ , Rn、MOV.W Rn , @ - SP と同一です。また、POP.L ERn、PUSH.L ERn はそれぞれ MOV.L @SP+ , Rn、MOV.L Rn , @ - SP と同一です。
- *2 本 LSI では使用できません。
- *3 Bcc は条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード															
		#xx BWL	Rn BWL	@ERn BWL	@(d:16,ERn) BWL	@(d:24,ERn) BWL	@ERn+/@-ERn BWL	@aa:8 B	@aa:16 BWL	@aa:24 BWL	@(d:8,PC) -	@(d:16,PC) -	@aa:8 -	WL			
データ転送命令	MOV	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	MOVPE, MOVTFE	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
算術演算命令	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-	-	-		
	ADDS, SUBS	L	L	-	-	-	-	-	-	-	-	-	-	-	-		
	INC, DEC	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-	-	-		
	MULXU, MULXS, DIVXU, DIVXS,	-	BW	-	-	-	-	-	-	-	-	-	-	-	-	-	
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
	EXTU, EXTS	-	WL	-	-	-	-	-	-	-	-	-	-	-	-		
	AND, OR, XOR	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
演算系命令	シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-		
	ビット操作命令	-	B	B	-	-	-	-	-	-	-	-	-	-	-		
	Bcc, BSR	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	JMP, JSR	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	RTS	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	RTE	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W		
	STC	-	B	W	W	W	W	W	W	W	W	W	W	W	W		
	ANDC, ORC	B	-	-	-	-	-	-	-	-	-	-	-	-	-		
	XORC	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	NOP	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
ブロック転送命令	-	-	-	-	-	-	-	-	-	-	-	-	-	-			

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32ビットレジスタ/アドレスレジスタ）*
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバーフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3/ : 8/ : 16/ : 24	3/8/16/24ビット長

【注】 * 汎用レジスタは、8ビット（R0H～R7H、R0L～R7L）、16ビット（R0～R7、E0～E7）、または32ビットレジスタ/アドレスレジスタ（ER0～ER7）です。

2. CPU

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) → Rd, Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) → Rd 本 LSI では使用できません。
MOVTPPE	B	Rs → (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+ , Rn と、また POP.L ERn は MOV.L @SP+ , ERn と同一です。
PUSH	W/L	Rn → @ - SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn , @ - SP と、また PUSH.L ERn は MOV.L ERn , @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$, $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット × 8 ビット 16 ビット、 16 ビット × 16 ビット 32 ビットの乗算が可能です。

命令	サイズ*	機能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8ビット×8ビット 16ビット、 16ビット×16ビット 32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16ビット÷8ビット 商8ビット 余り8ビット、 32ビット÷16ビット 商16ビット 余り16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット 商8ビット 余り8ビット、 32ビット÷16ビット 商16ビット 余り16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs, Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTS	W/L	Rd （符号拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
EXTU	W/L	Rd （ゼロ拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs → Rd、Rd #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs → Rd、Rd #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs → Rd、Rd⊕#IMM → Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~Rd → Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd（シフト処理）→ Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd（シフト処理）→ Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd（ローテート処理）→ Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd（ローテート処理）→ Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	(<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。

2. CPU

命令	サイズ*	機能
BILD	B	~ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	C → ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。
B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>Bcc (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>Overflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>Overflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>Plus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V) = 1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	Bcc (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (Low)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	Overflow Clear	V = 0	BVS	Overflow Set	V = 1	BPL	Plus	N = 0	BMI	Minus	N = 1	BGE	Greater or Equal	N⊕V = 0	BLT	Less Than	N⊕V = 1	BGT	Greater Than	Z (N⊕V) = 0	BLE	Less or Equal	Z (N⊕V) = 1
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
Bcc (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (Low)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	Overflow Clear	V = 0																																																			
BVS	Overflow Set	V = 1																																																			
BPL	Plus	N = 0																																																			
BMI	Minus	N = 1																																																			
BGE	Greater or Equal	N⊕V = 0																																																			
BLT	Less Than	N⊕V = 1																																																			
BGT	Greater Than	Z (N⊕V) = 0																																																			
BLE	Less or Equal	Z (N⊕V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) → CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC + 2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EPEMOV.B	-	if R4L 0 then Repeat @ER5 + → @ER6 +, R4L - 1 → R4L Until R4L = 0 else next;
EPEMOV.W	-	if R4 0 then Repeat @ER5 + → @ER6 +, R4 - 1 → R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0（H'00）とした 32 ビットデータとして扱われます。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

図 2.9 に命令フォーマットの例を示します。

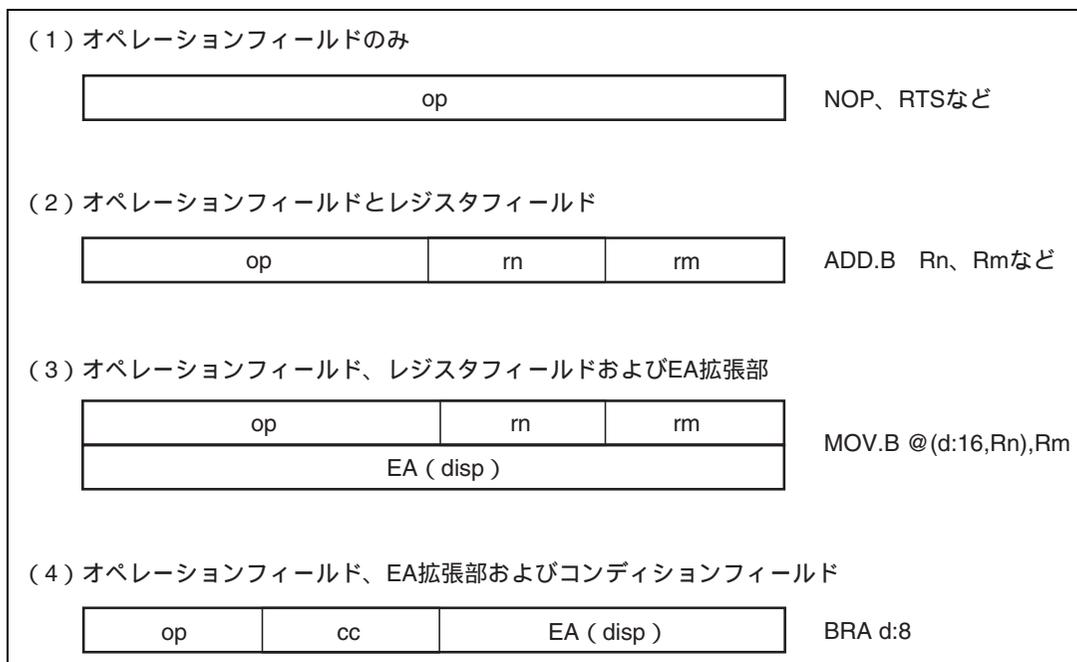


図 2.9 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された 1 ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

ポート 4 の DDR に、BCLR 命令を実行した例を示します。

P4₇、P4₆ は入力ポートに設定され、P4₅ ~ P4₀ は出力ポートに設定されているとします。

ここで、BCLR 命令で、P4₀ を入力ポートにする例を示します。

(1) BCLR 命令を実行前

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
DDR	0	0	1	1	1	1	1	1

(2) BCLR 命令を実行

`BCLR#0 , @P4DDR` DDR に対して BCLR 命令を実行します。

(3) BCLR 命令を実行後

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	出力	入力						
DDR	1	1	1	1	1	1	1	0

(4) BCLR 命令の動作説明

BCLR 命令を実行すると、CPU は、最初に P4DDR をリードします。

P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。

つぎに、CPU は、リードしたデータのビット 0 を "0" にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を DDR に書き込んで、BCLR 命令を終了します。

その結果、P4₀ は、DDR が "0" になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。たとえば、IRQ ステータスレジスタ (ISR) の場合、フラグのクリア条件としてフラグをリードすることが必要ですが、BCLR 命令を用いることにより、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@ERn
(3)	ディスプレースメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
(5)	絶対アドレス	@aa:8 / @aa:16 / @aa:24
(6)	イミディエイト	#xx:8 / #xx:16 / #xx:32
(7)	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8ビット、16ビットまたは32ビット) がオペランドとなります。

8ビットレジスタとしてはR0H ~ R7H、R0L ~ R7Lを指定可能です。

16ビットレジスタとしてはR0 ~ R7、E0 ~ E7を指定可能です。

32ビットレジスタとしてはER0 ~ ER7を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16, ERn) / @(d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる16ビットディスプレースメントまたは24ビットディスプレースメントを加算した内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接@ERn + / プリデクリメントレジスタ間接 @ - ERn

- ポストインクリメントレジスタ間接 @ERn +

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ/ロングワードサイズのとき、レジスタの内容が偶数となるようにしてください。

- プリデクリメントレジスタ間接 @ - ERn
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズするとき、アドレスレジスタの内容が偶数となるようにしてください。
- (5) 絶対アドレス @aa:8 / @aa:16 / @aa:24
命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。8ビット絶対アドレスの場合、上位16ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。絶対アドレスのアクセス範囲を表2.12に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1M バイトモード	16M バイトモード
8 ビット (@aa:8)	H'FFF00 ~ H'FFFFF (1048320 ~ 1048575)	H'FFF00 ~ H'FFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'00000 ~ H'07FFF, H'F8000 ~ H'FFFFF (0 ~ 32767, 1015808 ~ 1048575)	H'00000 ~ H'007FFF, H'F8000 ~ H'FFFFF (0 ~ 32767, 16744448 ~ 16777215)
24 ビット (@aa:24)	H'00000 ~ H'FFFFF (0 ~ 1048575)	H'00000 ~ H'FFFFF (0 ~ 16777215)

- (6) イミディエイト #xx:8 / #xx:16 / #xx:32
命令コードの中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。
なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コード中に含まれます。
- (7) プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)
Bcc、BSR命令で使用されます。
PCの内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384ワード) です。このとき、加算結果が偶数となるようにしてください。
- (8) メモリ間接 @@aa:8
JMP、JSR命令で使用されます。
命令コードの中に含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭1バイトは無視され、24ビット長の分岐アドレスを生成します。図2.10にメモリ間接による分岐アドレスの指定方法を示します。
8ビット絶対アドレスの上位のビットはすべて0 (H'0000) となりますので、分岐アドレスを格納できるのは0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。

詳細は「第5章 割り込みコントローラ」を参照してください。

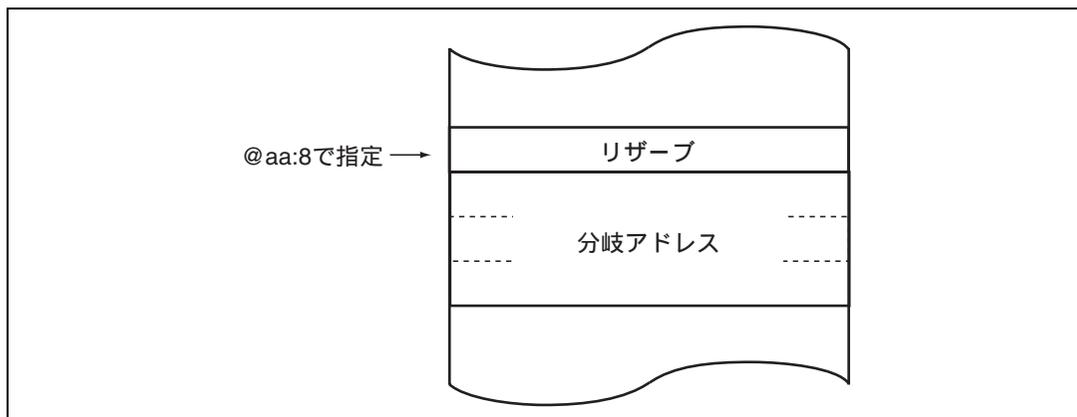


図 2.10 メモリ間接による分岐アドレスの指定

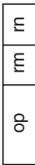
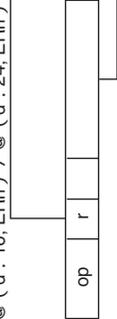
ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

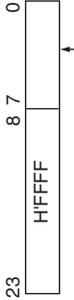
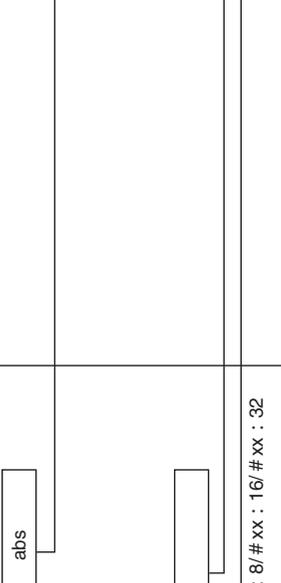
各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.13 に示します。

1M バイトモードの場合、計算結果の上位 4 ビットは無視され、20 ビットの実効アドレスを生成します。

表 2.13 実効アドレス計算方法

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 	オペランドは、汎用レジスタの内容です。	汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 	汎用レジスタの内容	汎用レジスタの内容
(3)	ディスプレースメント付きレジスタ間接 @ (d: 16, ERn) / @ (d: 24, ERn) 	汎用レジスタの内容 + 符号拡張 disp	汎用レジスタの内容 + 符号拡張 disp
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接@ERn +  ・プリデクリメントレジスタ間接@ - ERn 	汎用レジスタの内容 + 1, 2 または 4 汎用レジスタの内容 - 1, 2 または 4	汎用レジスタの内容 + 1, 2 または 4 汎用レジスタの内容 - 1, 2 または 4

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @ aa : 8 		
	@ aa : 16 		
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32 		オペランドは、イミディエイトデータです。 
(7)	プログラムカウンタ相対 @(d : 8, PC) / @(d : 16, PC) 		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接 @@aa:8 ・ノーマルモード op abs		
	・アドバンスドモード op abs		

【記号説明】

- r, rm, m : レジスタフィールド
op : オペレーションフィールド
disp : ディスプレースメント
IMM : イミディエイトデータ
abs : 絶対アドレス

2.8 処理状態

2.8.1 概要

H8/300H CPU の処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の 5 種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図 2.11 に、各状態間の遷移を図 2.13 に示します。

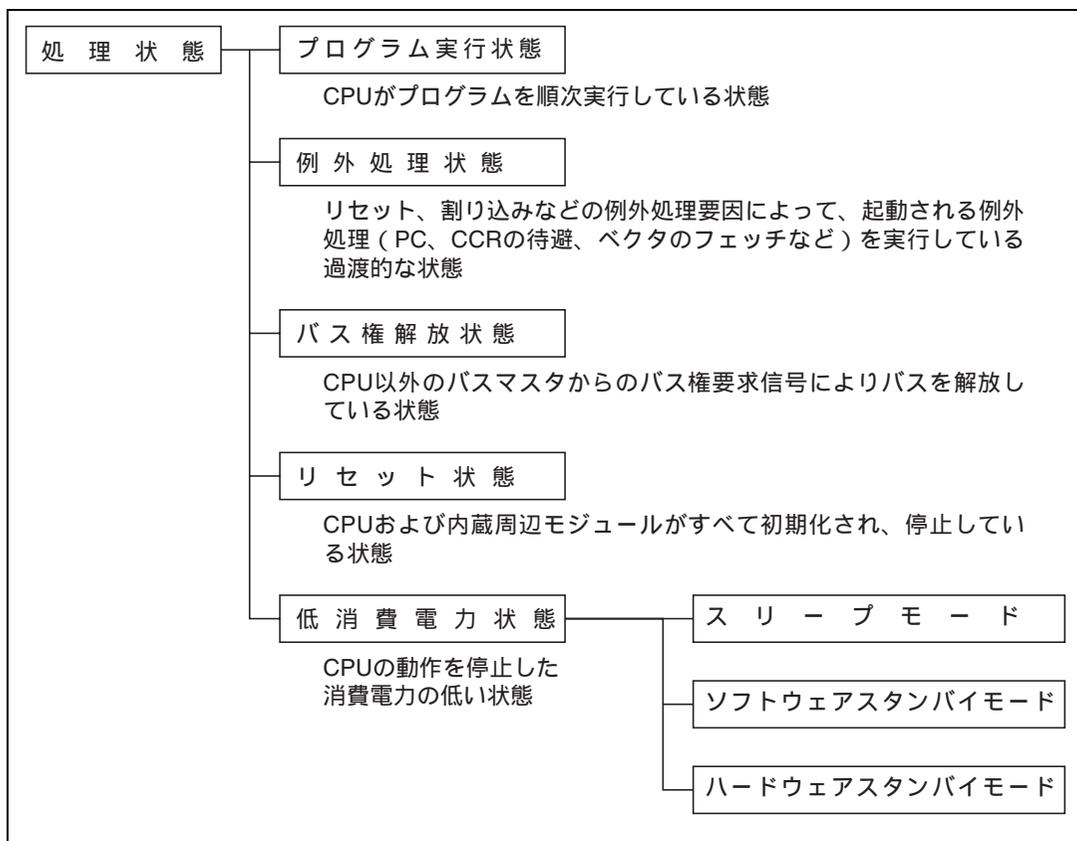


図 2.11 処理状態の分類

2.8.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過度的な状態です。割り込みおよびトラップ命令例外処理では、SP (ER7) を参照して、PC および CCR の退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES 端子が Low レベルから High レベルに変化すると、直ちに例外処理を開始します。
	割り込み	命令の実行終了時または例外処理終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	トラップ (TRAPA) 命令を実行すると、例外処理を開始します。

【注】 * ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割り込み要因の検出を行いません。

例外処理要因は、図 2.12 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第 4 章 例外処理」および「第 5 章 割り込みコントローラ」を参照してください。

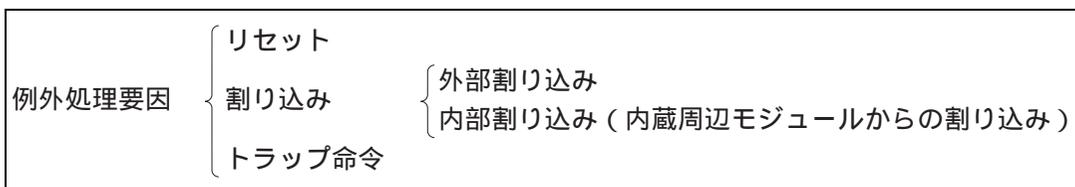


図 2.12 例外処理要因の分類

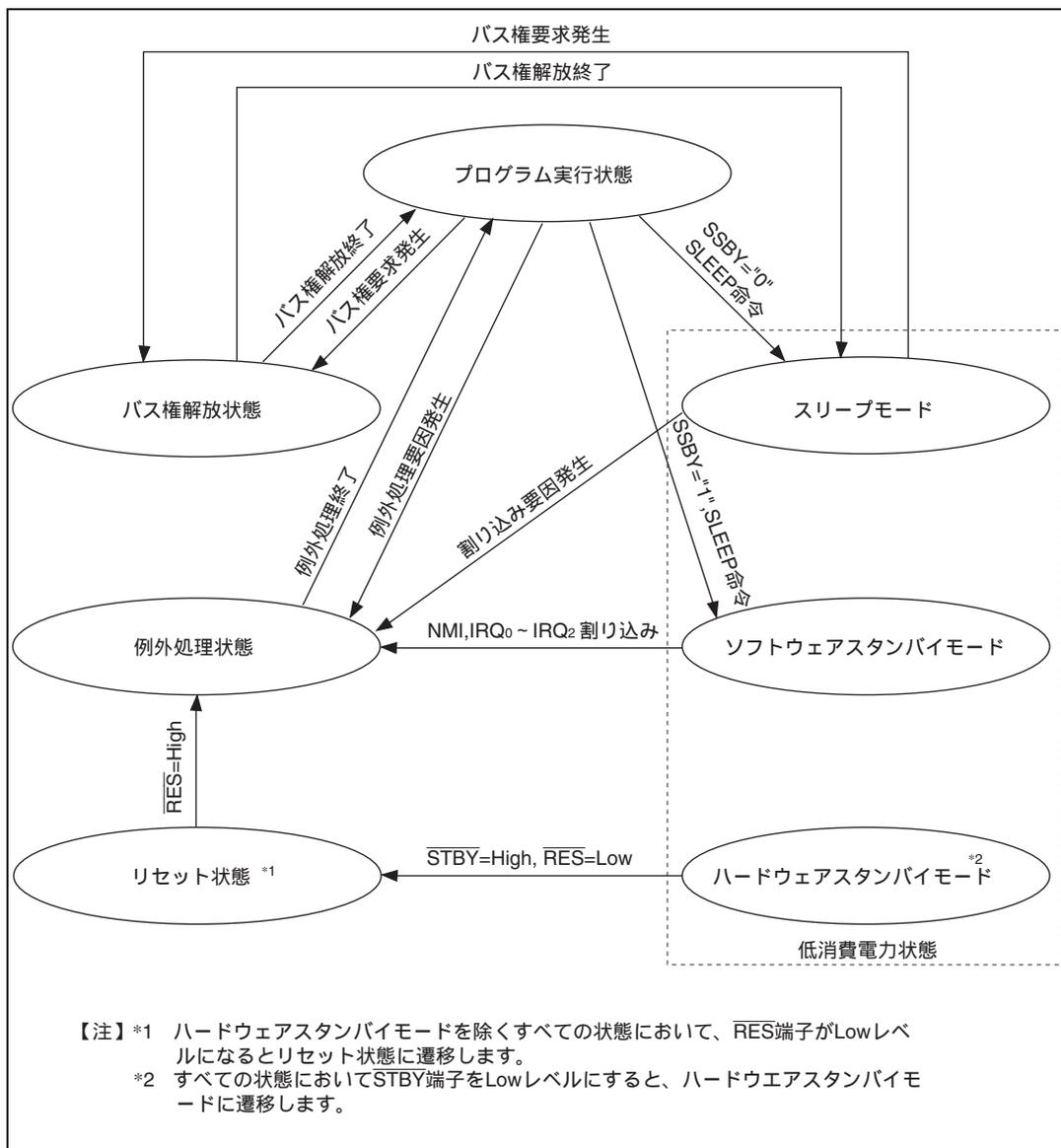


図 2.13 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

リセット例外処理は、最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子を Low レベルにしてリセット状態にした後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPU は SP (ER7) を参照して PC と CCR をスタックに退避します。次に、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときは CCR の I ビット、UI ビットがいずれも 1 にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を図 2.14 に示します。

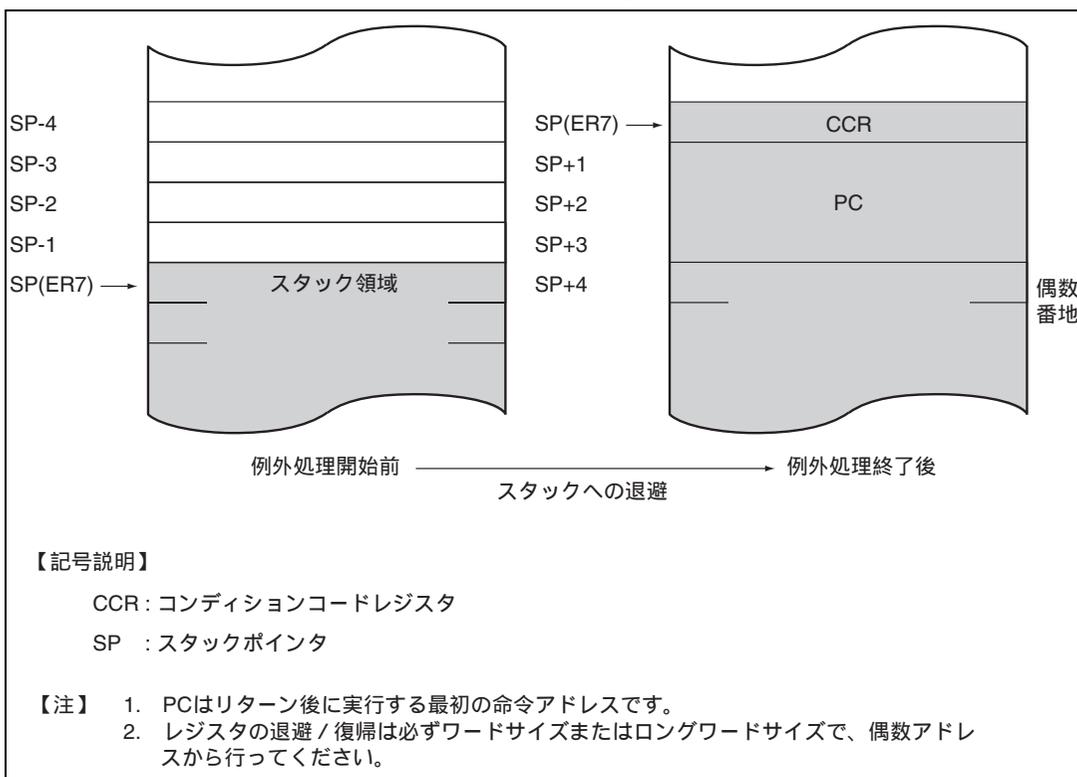


図 2.14 例外処理終了後のスタック状態

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU 以外のバスマスタには外部バスマスタがあります。

バス権解放状態では、CPU は内部動作を除き、停止します。また、割り込みも受け付けられません。詳細は「6.6 バスアービタ」を参照してください。

2.8.6 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが 1 にセットされます。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ」を参照してください。

2.8.7 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 18 章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPU は、クロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図 2.15 に、端子状態を図 2.16 に示します。

H8/3008 は、アドレス端子からのアドレス出力方式を切り替える機能を持っています。詳細は、「6.3.5 アドレス出力方式」を参照してください。

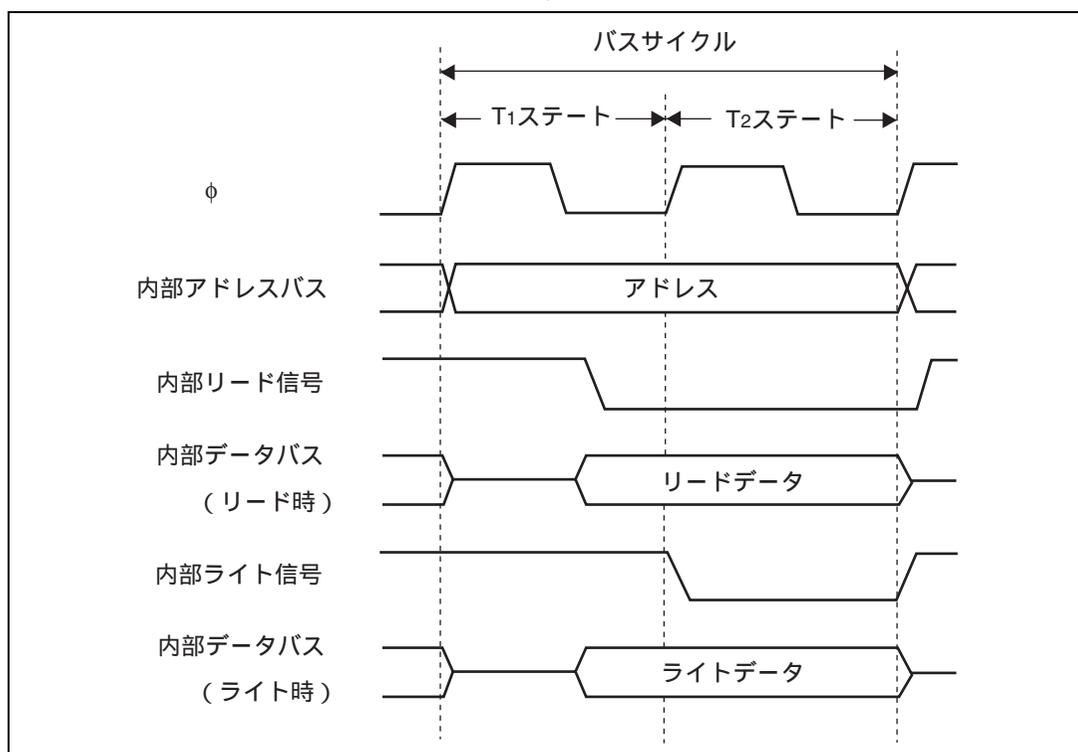


図 2.15 内蔵メモリアクセスサイクル

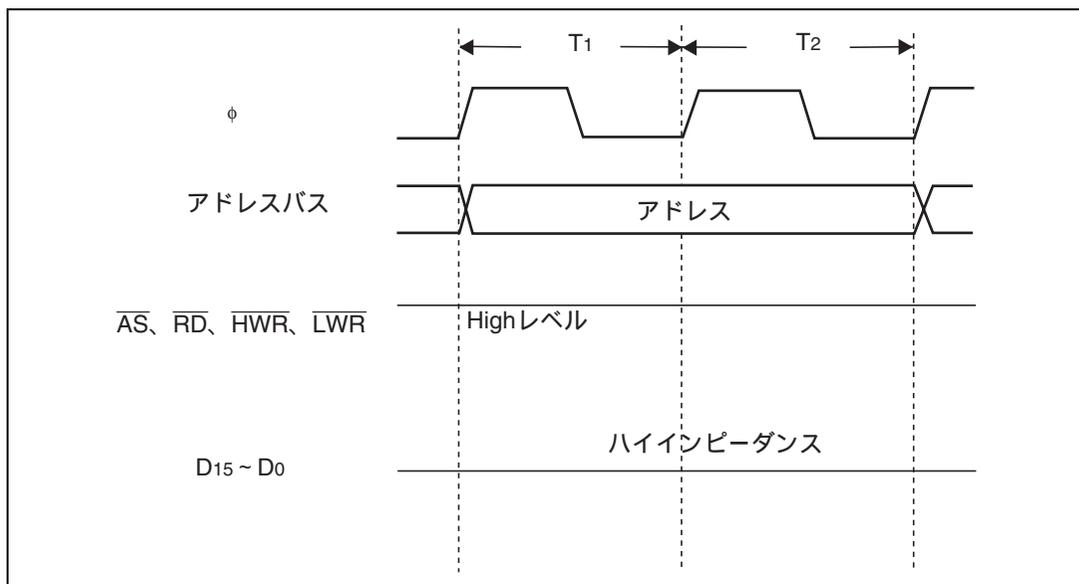


図 2.16 内蔵メモリアクセス時の端子状態 (アドレス更新モード 1)

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.17に、端子状態を図2.18に示します。

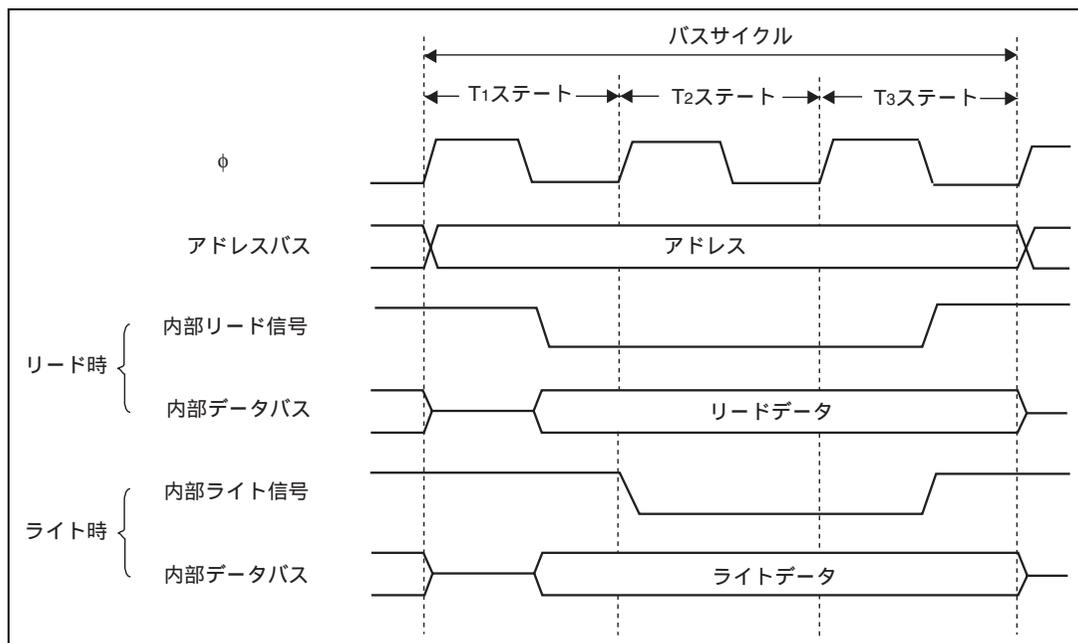


図 2.17 内蔵周辺モジュールアクセスサイクル

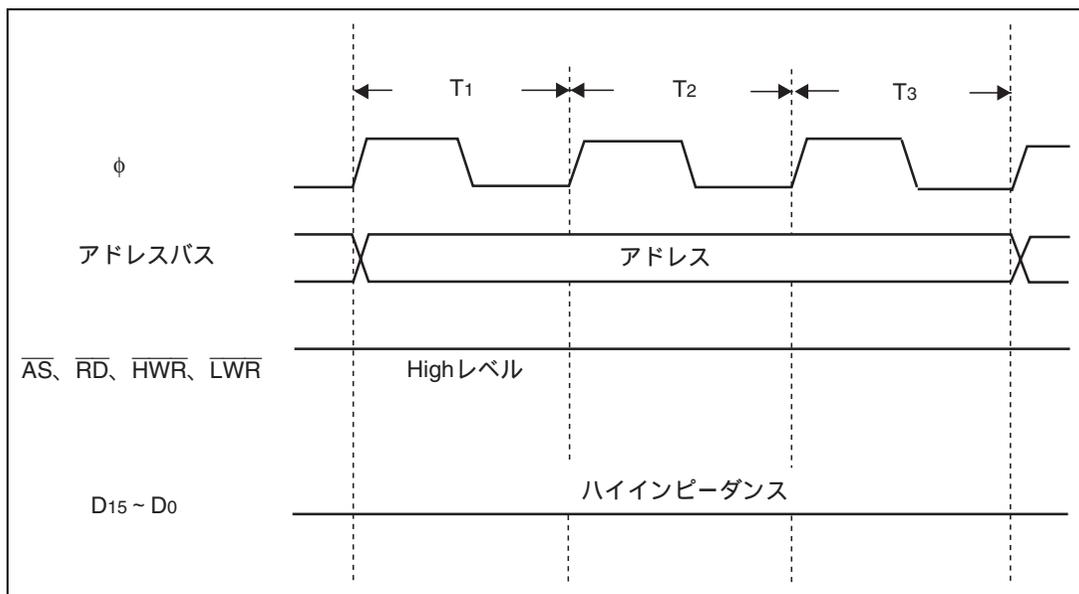


図 2.18 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア(エリア0~7)に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅(8ビットまたは16ビット)とアクセスステート(2ステートまたは3ステート)の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの種類を選択

本 LSI には、4 種類の動作モード (モード 1~4) があります。これらのモードは、モード端子 (MD₂ ~ MD₀) を表 3.1 のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類を選択

動作モード	端子設定			内容			
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード初期状態*1	内蔵 ROM	内蔵 RAM
-	0	0	0	設定禁止			
モード 1	0	0	1	拡張モード	8 ビット	無効	有効*2
モード 2	0	1	0	拡張モード	16 ビット	無効	有効*2
モード 3	0	1	1	拡張モード	8 ビット	無効	有効*2
モード 4	1	0	0	拡張モード	16 ビット	無効	有効*2
-	1	0	1	設定禁止			
-	1	1	0	設定禁止			
-	1	1	1	設定禁止			

【注】 *1 モード 1~4 において、バス幅コントロールレジスタ (ABWCR) を設定することによりデータバス幅をエリアごとに 8 ビットデータバスまたは 16 ビットデータバスにすることができます。詳細は、「第 6 章 バスコントローラ」を参照してください。

*2 SYSCR の RAME ビットを 0 にクリアすると外部アドレス空間に切り替わります。

アドレス空間は、1M バイト / 16M バイトのいずれかを選択することができます。外部データバスのバス幅は ABWCR により、8 ビット / 16 ビットバスモードのいずれかになります。すべてのエリアを 8 ビットアクセス空間に設定した場合のみ、8 ビットバスモードとなります。詳細は「第 6 章 バスコントローラ」を参照してください。

モード 1~4 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 無効拡張モードです。

モード 1、2 でサポートするアドレス空間は、最大 1M バイトです。また、モード 3、4 でサポートするアドレス空間は、最大 16M バイトです。

モード 1~4 以外は、本 LSI では使用できません。したがって、モード端子は必ずモード 1~4 になるように設定してください。

またモード端子は、動作中に变化させないでください。モードを変更する場合は、リセット状態にしてモード端子を変更してください。

3. MCU 動作モード

3.1.2 レジスタ構成

本 LSI にはモード端子 ($MD_2 \sim MD_0$) の状態が反映される MDCR と、動作を制御する SYSCR があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE011	モードコントロールレジスタ	MDCR	R	不定
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCR は 8 ビットのリード専用のレジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値:	1	1	0	0	0	— *	— *	— *
R/W :	—	—	—	—	—	R	R	R

リザーブビット

モードセレクト 2~0
現在の動作モード
を示すビットです。

【注】 * $MD_2 \sim MD_0$ 端子により決定されます。

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5~3: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2~0: モードセレクト 2~0 (MDS2~MDS0)

これらのビットは、モード端子 ($MD_2 \sim MD_0$) のレベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは $MD_2 \sim MD_0$ 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードすると、モード端子 ($MD_2 \sim MD_0$) のレベルがこれらのビットにラッチされます。

3.3 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RAMイネーブル
内蔵RAMの有効 / 無効を選択するビットです。

ソフトウェアスタンバイ
出力ポートイネーブル
ソフトウェアスタンバイ
モード時にアドレスバス、
バス制御信号の出力の状態
を選択するビットです。

NMIエッジセレクト
NMI端子の入力エッジを選択するビットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして使用する
か、割り込みマスクビットとして使用するか
を選択するビットです。

スタンバイタイムセレクト2~0
ソフトウェアスタンバイモードから復帰する場合の待機時間
を選択するビットです。

ソフトウェアスタンバイ
ソフトウェアスタンバイモードへの遷移を指定するビットです。

ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第 18 章 低消費電力状態」を参照してください)。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

3. MCU 動作モード

ビット6~4：スタンバイタイムセレクト2~0 (STS2~STS0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまで CPU と内蔵周辺モジュールが待機する時間を指定します。

水晶発振の場合、動作周波数に応じて待機時間が 7ms 以上となるように指定してください。待機時間の設定の詳細については、「18.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
1	0	1	待機時間 = 262144 ステート
1	1	0	待機時間 = 1024 ステート
1	1	1	使用禁止

ビット3：ユーザビットイネーブル (UE)

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCR の UI ビットを、割り込みマスクビットとして使用
1	CCR の UI ビットを、ユーザビットとして使用 (初期値)

ビット2：NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

ビット1：ソフトウェアスタンバイ出力ポートイネーブル（SSOE）

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号（ $\overline{CS}_0 \sim \overline{CS}_7$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} ）の出力を保持または High レベル固定するか、ハイインピーダンスにするかを指定します。

ビット1	説明
SSOE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はすべてハイインピーダンス（初期値）
1	ソフトウェアスタンバイモード時、 アドレスバス：出力状態を保持 バス制御信号：High レベル固定

ビット0：RAM イネーブル（RAME）

内蔵 RAM の有効 / 無効を選択します。RAME ビットは、 \overline{RES} 端子の立ち上がりエッジで初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット0	説明
RAME	
0	内蔵 RAM の無効
1	内蔵 RAM の有効（初期値）

3.4 各動作モードの説明

3.4.1 モード1

ポート1、2、5の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.2 モード2

ポート1、2、5の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.4.3 モード3

ポート1、2、5およびポートAの一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、バスリリースコントロールレジスタ（BRCR）のビット 7～5 に 0 をライトすると有効になります（本モードでは A_{20} は常に出力となります）。

3.4.4 モード 4

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、BRCCR のビット 7 ~ 5 に 0 をライトすると有効になります（本モードでは A_{20} は常に出力となります）。

3.4.5 モード 5~7

本 LSI では使用できません。端子をこのモードに設定しないでください。

3.5 各動作モードにおける端子機能

動作モードによりポート 1~5、およびポート A の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおけるポート 1~5、およびポート A の機能

ポート	モード 1	モード 2	モード 3	モード 4
ポート 1	$A_7 \sim A_0$			
ポート 2	$A_{15} \sim A_8$			
ポート 3	$D_{15} \sim D_8$			
ポート 4	$P4_7 \sim P4_0$ *1	$D_7 \sim D_0$ *1	$P4_7 \sim P4_0$ *1	$D_7 \sim D_0$ *1
ポート 5	$A_{19} \sim A_{16}$			
ポート A	$PA_7 \sim PA_4$		$PA_6 \sim PA_4$ 、 A_{20} *2	

【注】 *1 初期状態を示しています。ABWCR の設定により、バスモードを切り替えることができます。8 ビットモード時には $P4_7 \sim P4_0$ に、16 ビットバスモード時には $D_7 \sim D_0$ となります。

*2 初期状態を示しています。 A_{20} は常にアドレス出力です。 $PA_6 \sim PA_4$ は、BRCCR のビット 7~5 に 0 をライトすることにより $A_{23} \sim A_{21}$ 出力になります。

3.6 各動作モードのメモリマップ

H8/3008 のメモリマップを図 3.1 に示します。拡張モードではアドレス空間は 8 エリアに分割されています。

モード 1 とモード 2、モード 3 とモード 4 ではそれぞれバスモードの初期状態が異なります。

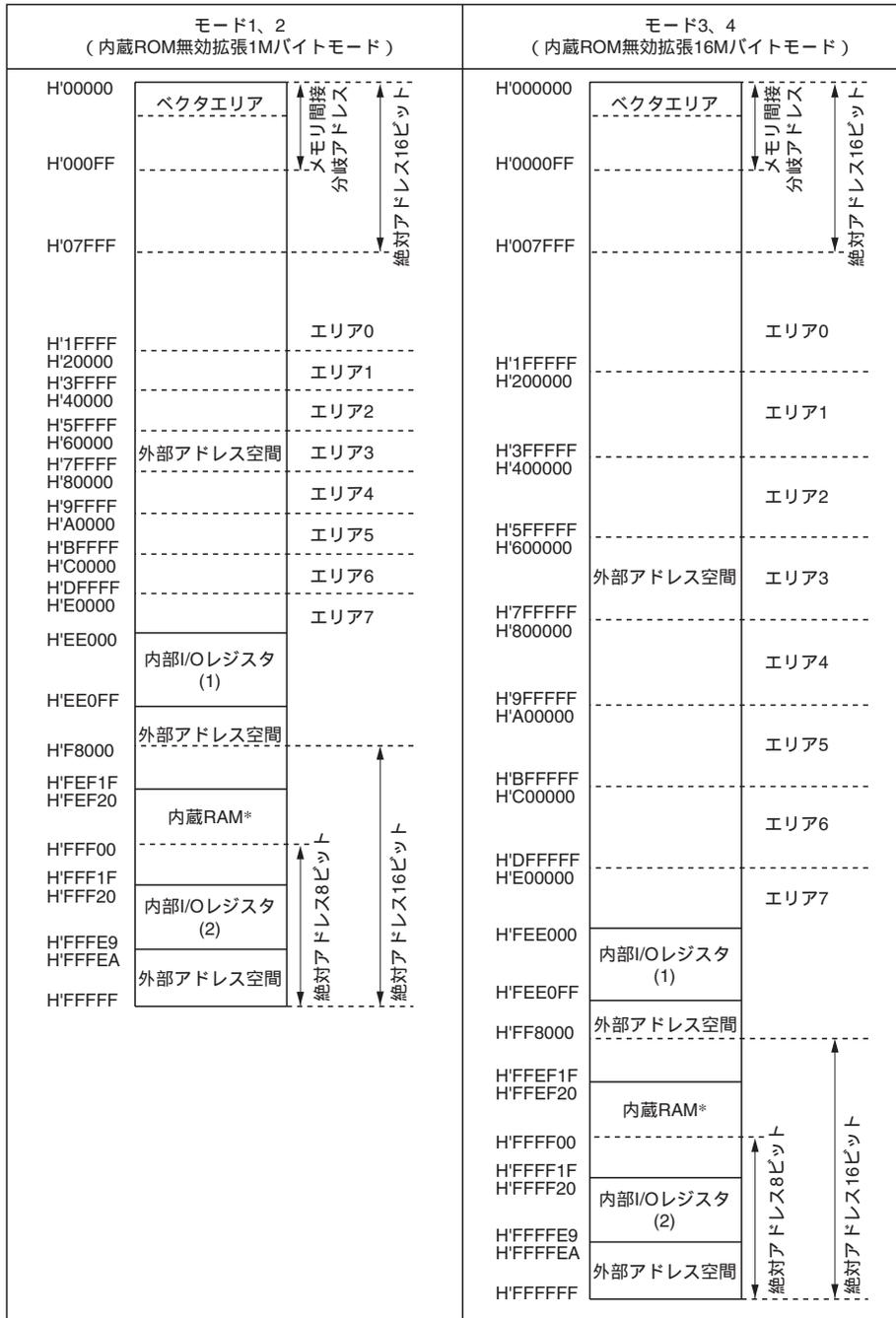
また、モード 1、2 (1M バイトモード) とモード 3、4 (16M バイトモード) で、内蔵 RAM および内部 I/O レジスタの配置が異なります。また、CPU のアドレッシングモードのうち、絶対アドレス 8 ビット / 16 ビット (@aa:8/@aa:16) で指定できる範囲が異なります。

3.6.1 リザーブ領域について

本 LSI のメモリマップ上にはリード / ライトアクセスが禁止されているリザーブ領域があります。下記のリザーブ領域にアクセスした場合、正常動作が保証されないので注意してください。

(1) 内部 I/O レジスタ空間のリザーブ領域

H8/3008 の内部 I/O レジスタ空間には、アクセス禁止のリザーブ領域があります。詳細は、「付録 B. 内部 I/O レジスタ一覧」を参照してください。



【注】* 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.1 H8/3008 の各動作モードにおけるメモリマップ

3. MCU 動作モード

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、割り込み、およびトラップ命令によるものがあります。これらの例外処理には表 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子が Low レベルから High レベルに変化すると、直ちに開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCR の割り込みマスクビットを 1 にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

【注】リセット例外処理の場合は上記 (2)、(3) の動作を行います。

4. 例外処理

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

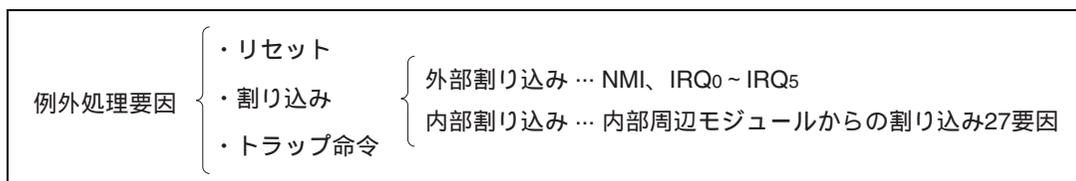


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1		
		アドバンスモード	ノーマルモード	
リセット	0	H'0000 ~ H'0003	H'0000 ~ H'0001	
システム予約	1	H'0004 ~ H'0007	H'0002 ~ H'0003	
	2	H'0008 ~ H'000B	H'0004 ~ H'0005	
	3	H'000C ~ H'000F	H'0006 ~ H'0007	
	4	H'0010 ~ H'0013	H'0008 ~ H'0009	
	5	H'0014 ~ H'0017	H'000A ~ H'000B	
	6	H'0018 ~ H'001B	H'000C ~ H'000D	
外部割り込み NMI	7	H'001C ~ H'001F	H'000E ~ H'000F	
トラップ命令 (4 要因)	8	H'0020 ~ H'0023	H'0010 ~ H'0011	
	9	H'0024 ~ H'0027	H'0012 ~ H'0013	
	10	H'0028 ~ H'002B	H'0014 ~ H'0015	
	11	H'002C ~ H'002F	H'0016 ~ H'0017	
外部割り込み	IRQ ₀	12	H'0030 ~ H'0033	H'0018 ~ H'0019
	IRQ ₁	13	H'0034 ~ H'0037	H'001A ~ H'001B
	IRQ ₂	14	H'0038 ~ H'003B	H'001C ~ H'001D
	IRQ ₃	15	H'003C ~ H'003F	H'001E ~ H'001F
	IRQ ₄	16	H'0040 ~ H'0043	H'0020 ~ H'0021
	IRQ ₅	17	H'0044 ~ H'0047	H'0022 ~ H'0023
システム予約	18	H'0048 ~ H'004B	H'0024 ~ H'0025	
	19	H'004C ~ H'004F	H'0026 ~ H'0027	
内部割り込み*2	20	H'0050 ~ H'0053	H'0028 ~ H'0029	
	63	H'00FC ~ H'00FF	H'007E ~ H'007F	

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は、「第 11 章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は $\overline{\text{RES}}$ 端子を最低 20ms の間、Low レベルに保持してください。また、動作中にリセット状態にするには最低 10 システムクロック (ϕ) サイクルの間 Low レベルにしてください。フラッシュメモリ内蔵製品の場合には、最低 20 システムクロック以上 Low レベルにしてください。リセット状態の各端子の状態は「付録 D.2 リセット時の端子状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後、High レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
- (2) リセット例外処理ベクタアドレス(アドバンスモード時はH'0000~H'0003、ノーマルモード時はH'0000~H'0001)をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

モード 1、3 のリセットシーケンスを図 4.2 に、モード 2、4 のリセットシーケンスを図 4.3 に示します。

4. 例外処理

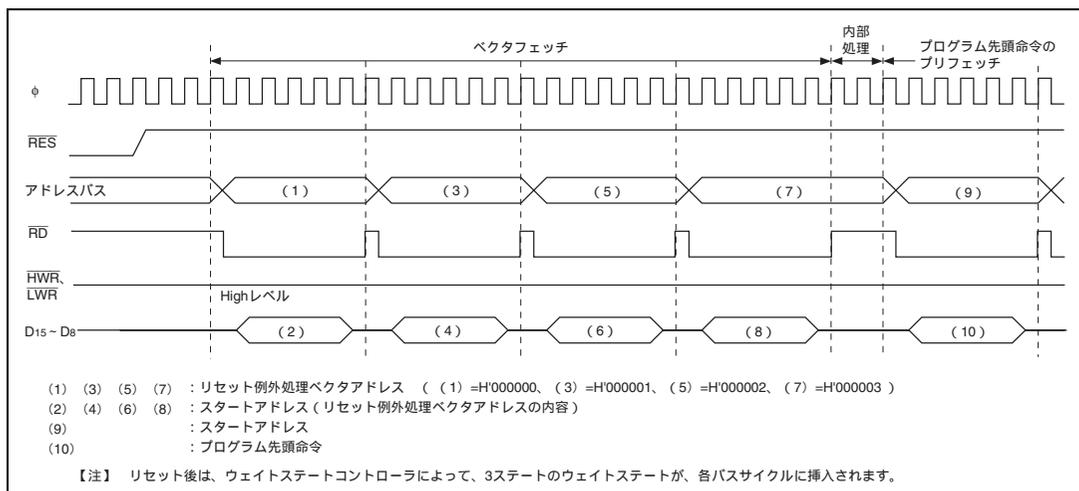


図 4.2 リセットシーケンス (モード 1、3)

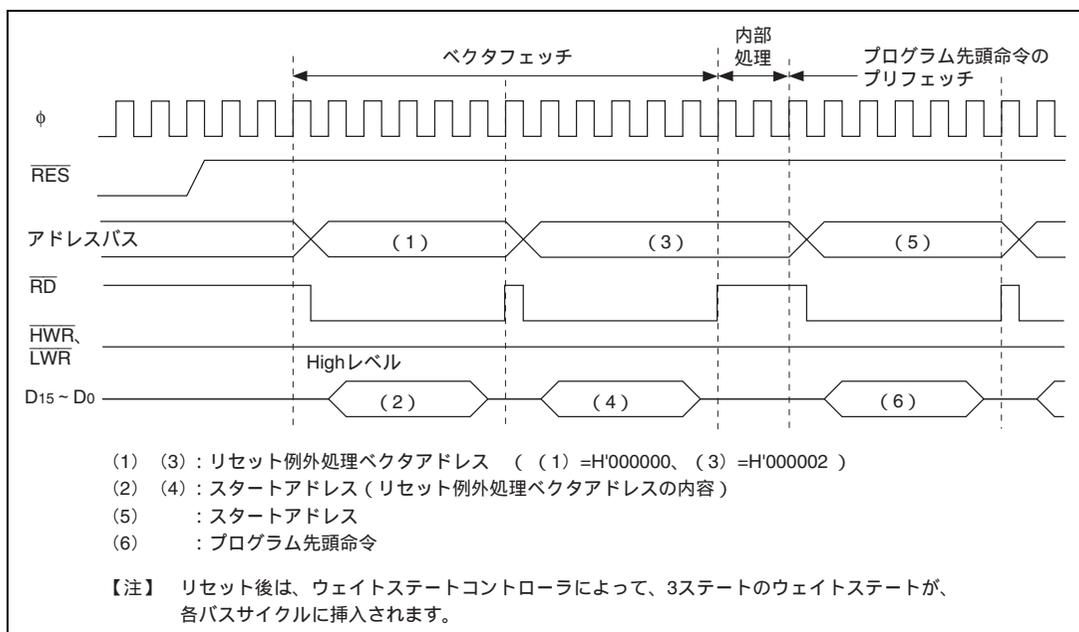


図 4.3 リセットシーケンス (モード 2、4)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV . L #xx : 32, SP)。

4.3 割り込み

割り込み例外処理を開始させる要因には、7 つの外部割り込み (NMI、IRQ₀ ~ IRQ₅) と、内蔵周辺モジュールからの要求による 27 の内部要因があります。割り込み要因と要因数を図 4.4 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、16 ビットタイマ、8 ビットタイマ、シリアルコミュニケーションインタフェース (SCI)、および A/D 変換器があります。割り込みベクタアドレスは、各要因別に割り当てられています。

NMI は最優先の割り込みで、常に受け付けられます*。割り込みは、割り込みコントローラによって制御されます。割り込みコントローラは、NMI 以外の割り込みを 2 レベルの優先順位を設定して、多重割り込みの制御を行うことができます。割り込みの優先順位は、割り込みコントローラのインタラプトプライオリティレジスタ A、B (IPRA、IPRB) に設定します。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

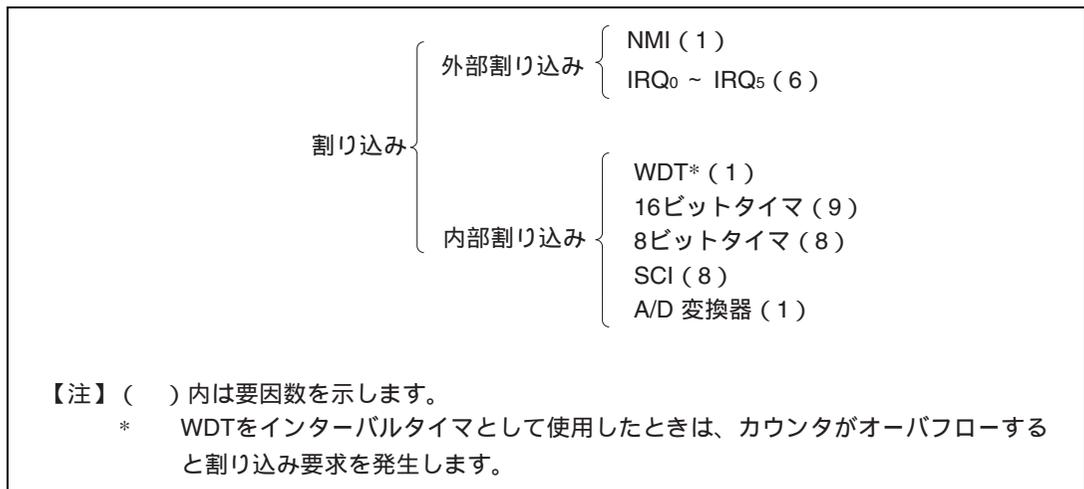


図 4.4 割り込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときには CCR の I ビット、UI ビットがそれぞれ 1 にセットされます。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

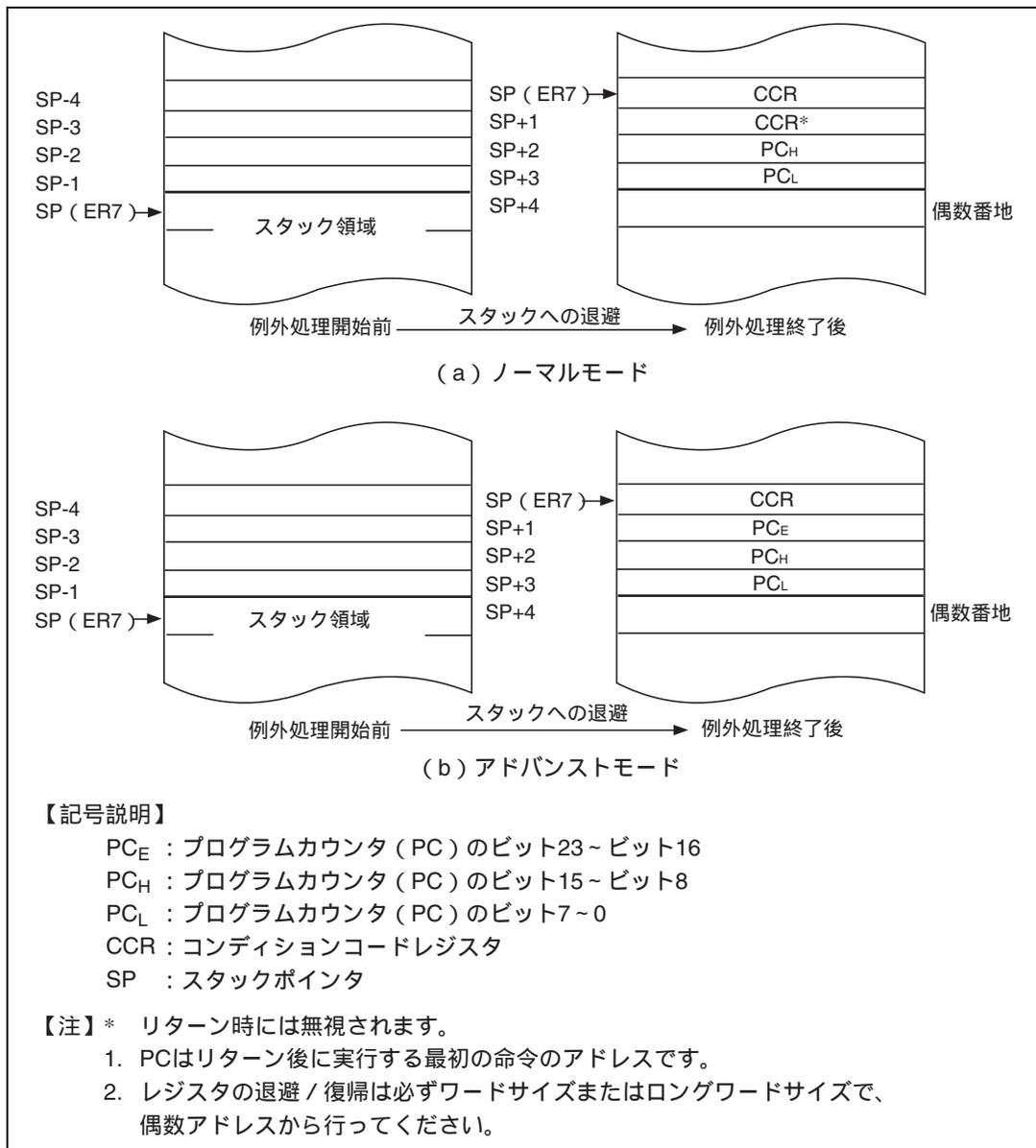


図 4.5 例外処理終了後のスタックの状態

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH . W Rn (MOV . W Rn , @ - SP)
PUSH . L ERn (MOV . L ERn , @ - SP)
```

また、レジスタの復帰は、

```
POP . W Rn (MOV . W @SP+ , Rn)
POP . L ERn (MOV . L @SP+ , ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

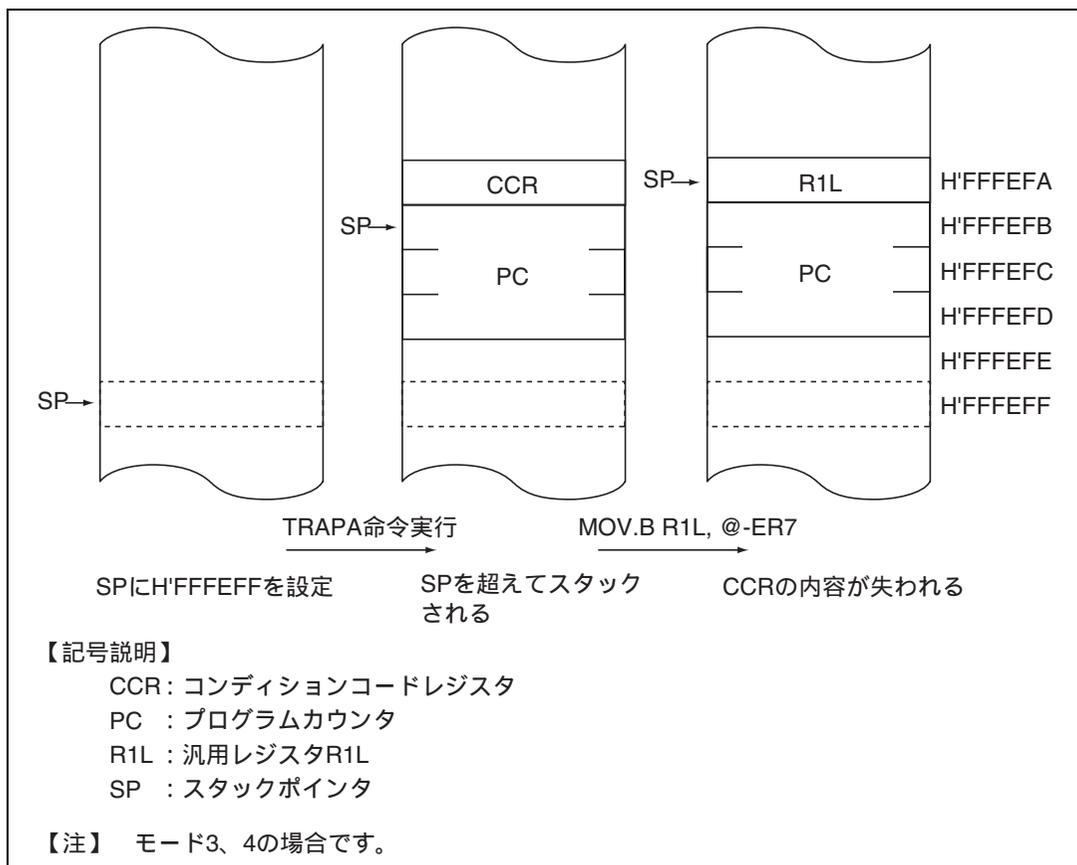


図 4.6 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

割り込みコントローラには、次の特長があります。

IPR により、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ A、B (IPRA、IPRB) を備えており、NMI 以外の割り込みを要因ごとまたはモジュールごとに 2 レベルの優先順位を設定できます。

CPU のコンディションコードレジスタ (CCR) の I、UI ビットとシステムコントロールレジスタ (SYSCR) の UE ビットにより、3 レベルの許可 / 禁止状態を設定可能。

7 本の外部割り込み端子

NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジ / 立ち下がりエッジを選択できます。また IRQ₅ ~ IRQ₀ は立ち下がりエッジ / レベルセンスを独立に選択できます。

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

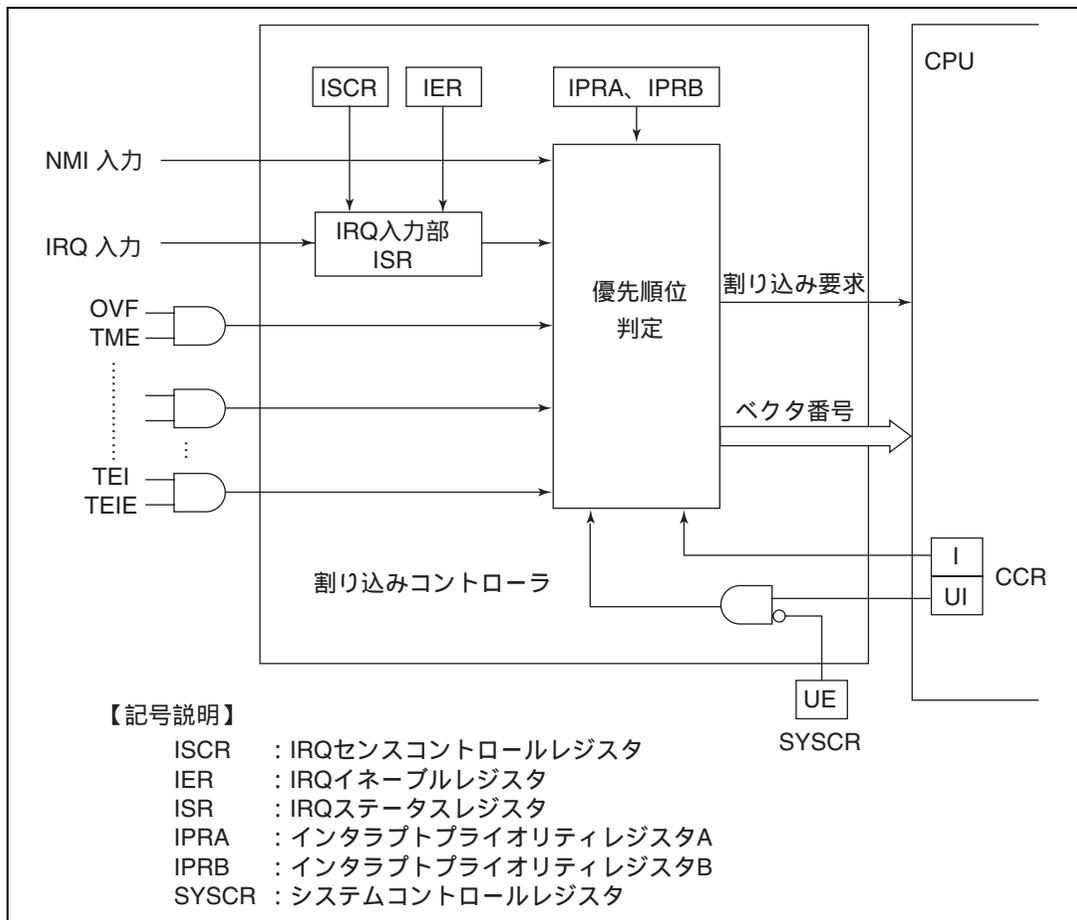


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み、立ち上がりエッジ/立ち下がりエッジ選択可能
外部割り込み要求 5~0	IRQ ₅ ~IRQ ₀	入力	マスク可能な外部割り込み、立ち下がりエッジ/レベルセンス選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス* ¹	名称	略称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09
H'EE014	IRQ センスコントロールレジスタ	ISCR	R/W	H'00
H'EE015	IRQ イネーブルレジスタ	IER	R/W	H'00
H'EE016	IRQ ステータスレジスタ	ISR	R/(W)* ²	H'00
H'EE018	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'EE019	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCR の UI ビットの動作の選択、NMI の検出エッジの選択、および内蔵 RAM 有効/無効の選択を行います。

ここでは、ビット 3、2 についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセット、またはハードウェアスタンバイモード時に H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RAMイネーブル

ソフトウェアスタンバイ
出力ポートイネーブル

NMIエッジセレクト
NMI端子の入力エッジを
選択するビットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして
使用するか、割り込みマスクビットとし
て使用するかを選択するビットです。

スタンバイタイムセレクト2~0

ソフトウェアスタンバイ

ビット 3 : ユーザビットイネーブル (UE)

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット 3	説 明
UE	
0	CCR の UI ビットを割り込みマスクビットとして使用
1	CCR の UI ビットをユーザビットとして使用 (初期値)

ビット 2 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 2	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

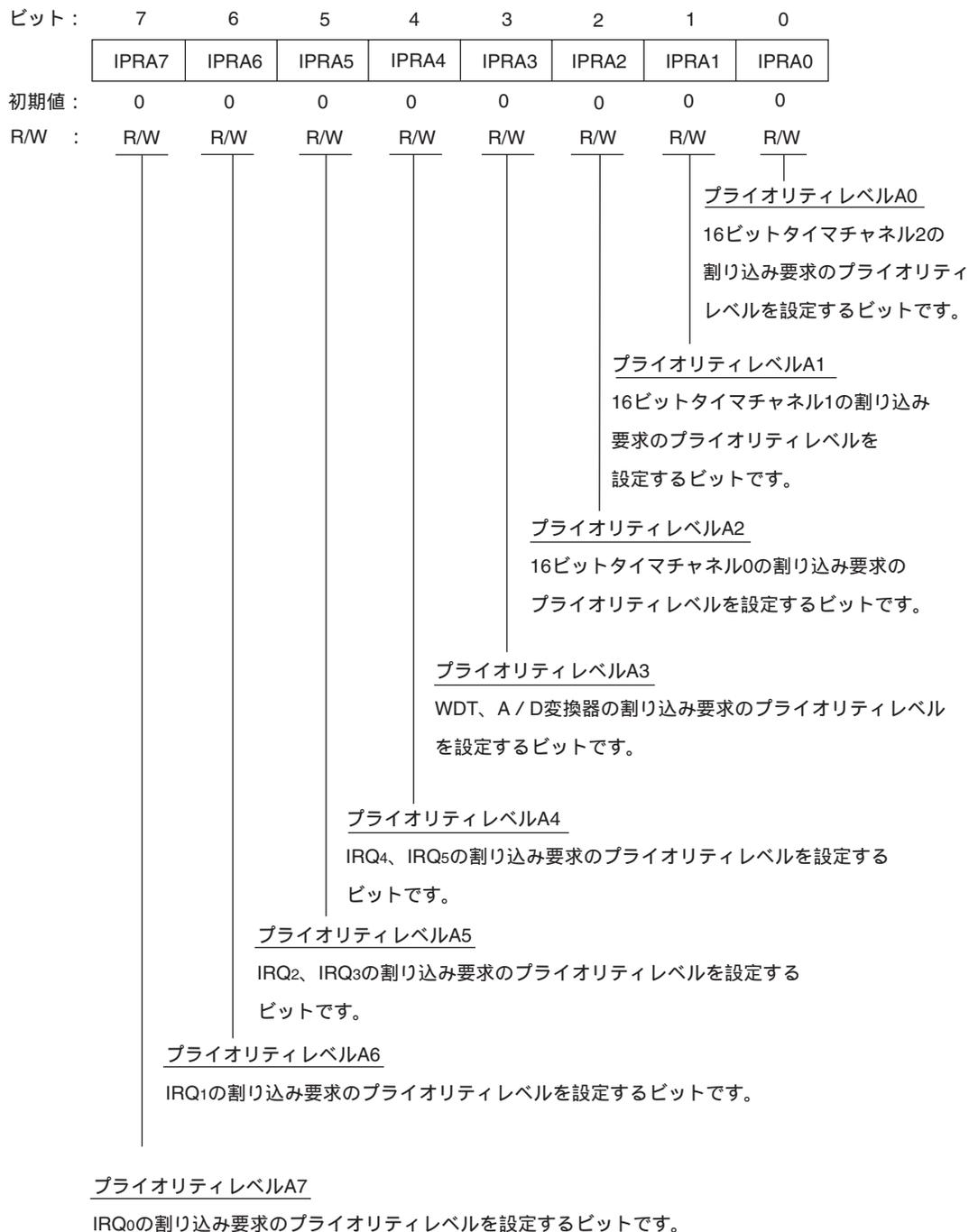
5.2.2 インタラプトプライオリティレジスタ A、B (IPRA、IPRB)

IPRA、IPRB はおのおの 8 ビットのリード/ライト可能なレジスタで割り込みの優先順位を制御します。

5. 割り込みコントローラ

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRA は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7：プライオリティレベル A7 (IPRA7)

IRQ₀の割り込み要求のプライオリティレベルを設定します。

ビット7	説 明	
IPRA7		
0	IRQ ₀ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₀ の割り込み要求はプライオリティレベル1 (優先)	

ビット6：プライオリティレベル A6 (IPRA6)

IRQ₁の割り込み要求のプライオリティレベルを設定します。

ビット6	説 明	
IPRA6		
0	IRQ ₁ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₁ の割り込み要求はプライオリティレベル1 (優先)	

ビット5：プライオリティレベル A5 (IPRA5)

IRQ₂、IRQ₃の割り込み要求のプライオリティレベルを設定します。

ビット5	説 明	
IPRA5		
0	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル1 (優先)	

ビット4：プライオリティレベル A4 (IPRA4)

IRQ₄、IRQ₅の割り込み要求のプライオリティレベルを設定します。

ビット4	説 明	
IPRA4		
0	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル1 (優先)	

ビット3：プライオリティレベル A3 (IPRA3)

WDT、A/D変換器の割り込み要求のプライオリティレベルを設定します。

ビット3	説 明	
IPRA3		
0	WDT、A/D変換器の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	WDT、A/D変換器の割り込み要求はプライオリティレベル1 (優先)	

5. 割り込みコントローラ

ビット 2 : プライオリティレベル A2 (IPRA2)

16 ビットタイマチャンネル 0 の割り込み要求のプライオリティレベルを設定します。

ビット 2	
IPRA2	説 明
0	16 ビットタイマチャンネル 0 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	16 ビットタイマチャンネル 0 の割り込み要求はプライオリティレベル 1 (優先)

ビット 1 : プライオリティレベル A1 (IPRA1)

16 ビットタイマチャンネル 1 の割り込み要求のプライオリティレベルを設定します。

ビット 1	
IPRA1	説 明
0	16 ビットタイマチャンネル 1 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	16 ビットタイマチャンネル 1 の割り込み要求はプライオリティレベル 1 (優先)

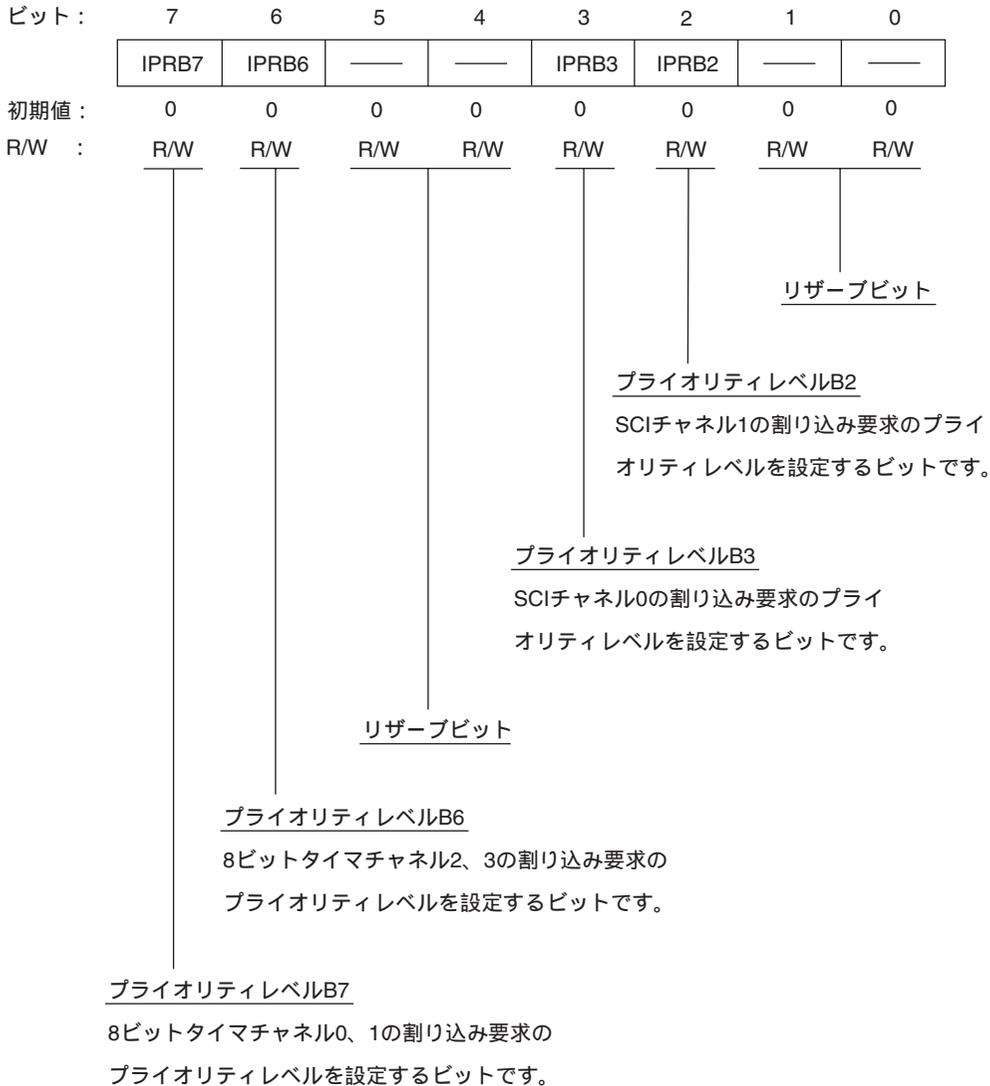
ビット 0 : プライオリティレベル A0 (IPRA0)

16 ビットタイマチャンネル 2 の割り込み要求のプライオリティレベルを設定します。

ビット 0	
IPRA0	説 明
0	16 ビットタイマチャンネル 2 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	16 ビットタイマチャンネル 2 の割り込み要求はプライオリティレベル 1 (優先)

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

5. 割り込みコントローラ

ビット7：プライオリティレベル B7 (IPRB7)

8ビットタイマチャンネル0、1の割り込み要求のプライオリティレベルを設定します。

ビット7	
IPRB7	説 明
0	8ビットタイマチャンネル0、1の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	8ビットタイマチャンネル0、1の割り込み要求はプライオリティレベル1(優先)

ビット6：プライオリティレベル B6 (IPRB6)

8ビットタイマチャンネル2、3の割り込み要求のプライオリティレベルを設定します。

ビット6	
IPRB6	説 明
0	8ビットタイマチャンネル2、3の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	8ビットタイマチャンネル2、3の割り込み要求はプライオリティレベル1(優先)

ビット5、4：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット3：プライオリティレベル B3 (IPRB3)

SCIチャンネル0の割り込み要求のプライオリティレベルを設定します。

ビット3	
IPRB3	説 明
0	SCIチャンネル0の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	SCIチャンネル0の割り込み要求はプライオリティレベル1(優先)

ビット2：プライオリティレベル B2 (IPRB2)

SCIチャンネル1の割り込み要求のプライオリティレベルを設定します。

ビット2	
IPRB2	説 明
0	SCIチャンネル1の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	SCIチャンネル1の割り込み要求はプライオリティレベル1(優先)

ビット1、0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQ ステータスレジスタ (ISR)

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ₅ ~ IRQ₀ 割り込み要求のステータスの表示を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット
IRQ₅ ~ IRQ₀ フラグ

IRQ₅ ~ IRQ₀ フラグ割り込み要求の
ステータスを表示するビットです。

【注】 * フラグをクリアするための0ライトのみ可能です。

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7、6: リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット5~0: IRQ₅ ~ IRQ₀ フラグ (IRQ5F ~ IRQ0F)

IRQ₅ ~ IRQ₀ 割り込み要求のステータスの表示を行います。

ビット5~0	説明
IRQ5F ~ IRQ0F	
0	[クリア条件] (初期値) (1) IRQ _n F = 1 の状態で IRQ _n F フラグをリードした後、IRQ _n F フラグに 0 をライトしたとき (2) IRQ _n SC = 0、 $\overline{\text{IRQ}}_n$ 入力が High レベルの状態での割り込み例外処理を実行したとき (3) IRQ _n SC = 1 の状態で IRQ _n 割り込み例外処理を実行したとき
1	[セット条件] (1) IRQ _n SC = 0 の状態で $\overline{\text{IRQ}}_n$ 入力が Low レベルになったとき (2) IRQ _n SC = 1 の状態で $\overline{\text{IRQ}}_n$ 入りに立ち下がりエッジが発生したとき

【注】 n = 5 ~ 0

5. 割り込みコントローラ

5.2.4 IRQ イネーブルレジスタ (IER)

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ₅ ~ IRQ₀ 割り込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

IRQ₅ ~ IRQ₀ イネーブル

IRQ₅ ~ IRQ₀ 割り込みを許可/禁止するかを選択するビットです。

IER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6: リザーブビット

リザーブビットです。リード/ライト可能ですが、割り込み要求の許可/禁止には関係ありません。

ビット 5 ~ 0: IRQ₅ ~ IRQ₀ イネーブル (IRQ5E ~ IRQ0E)

IRQ₅ ~ IRQ₀ 割り込みを許可/禁止するかを選択します。

ビット 5 ~ 0	説明
IRQ5E ~ IRQ0E	
0	IRQ ₅ ~ IRQ ₀ 割り込みを禁止 (初期値)
1	IRQ ₅ ~ IRQ ₀ 割り込みを許可

5.2.5 IRQ センスコントロールレジスタ (ISCR)

ISCR は 8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子の入力のレベルセンスまたは立ち下がリエッジを選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

IRQ5 ~ IRQ0 センスコントロール

IRQ5 ~ IRQ0 割り込みのレベルセンスまたは立ち下がリエッジを選択するビットです。

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能ですが、レベルセンスまたは立ち下がリエッジの選択には関係ありません。

ビット 5 ~ 0 : IRQ5 ~ IRQ0 センスコントロール (IRQ5SC ~ IRQ0SC)

IRQ5 ~ IRQ0 割り込みを $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子のレベルセンスで要求するか、立ち下がリエッジで要求するかを選択します。

ビット 5 ~ 0	説明
IRQ5SC ~ IRQ0SC	
0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の Low レベルで割り込み要求を発生 (初期値)
1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がリエッジで割り込み要求を発生

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ₅～IRQ₀）と内部割り込み（27 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ₅～IRQ₀の7 要因があります。このうち、NMI、IRQ₂～IRQ₀はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ₅～IRQ₀ 割り込み

IRQ₅～IRQ₀ 割り込みは $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子の入力信号により要求されます。IRQ₅～IRQ₀ 割り込みには次の特長があります。

- $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 端子の Low レベルまたは立ち下がりエッジのどちらで割り込みを要求するか、ISCR で選択できます。
- IRQ₅～IRQ₀ 割り込み要求を許可するか禁止するかを、IER で選択できます。また、IPRA の IPRA7～IPRA4 ビットにより割り込みプライオリティレベルを設定できます。
- IRQ₅～IRQ₀ 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ₅～IRQ₀ 割り込みのブロック図を図 5.2 に示します。

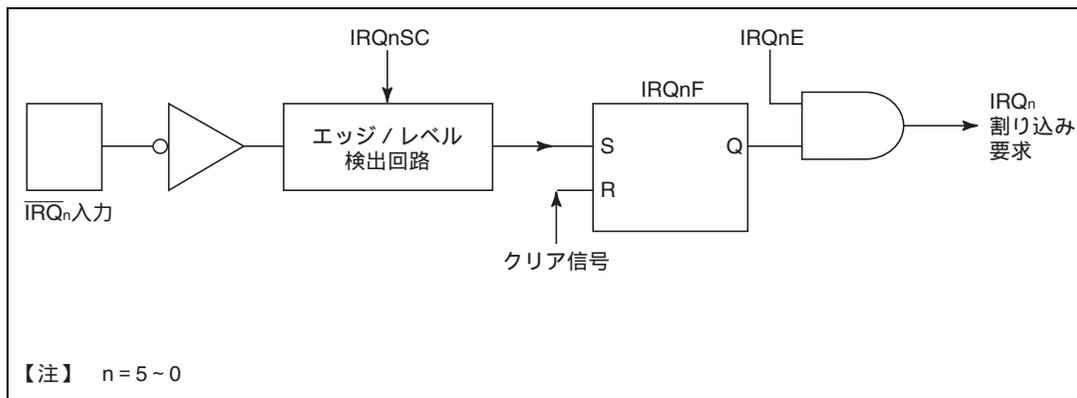


図 5.2 IRQ₅～IRQ₀ 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

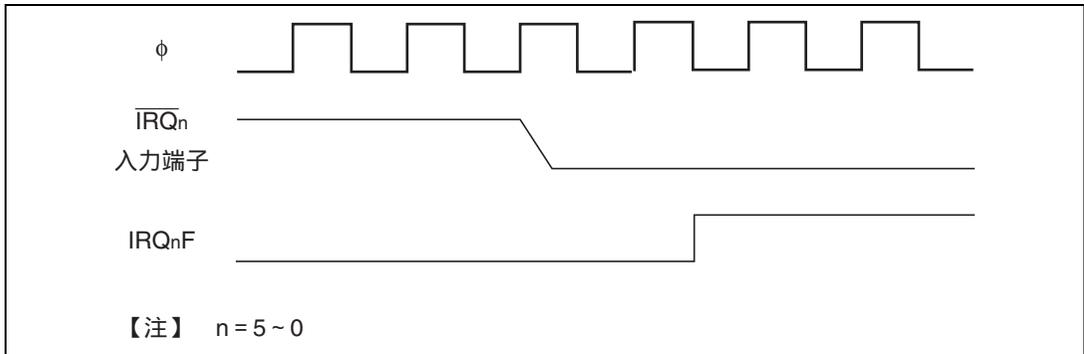


図 5.3 IRQnF セットタイミング

IRQ₀ ~ IRQ₅ 割り込み例外処理のベクタ番号は 12 ~ 17 です。

IRQ₀ ~ IRQ₅ 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合は、対応する DDR を 0 にクリアし、チップセレクト出力端子、SCI の入出力端子、A/D 外部トリガ入力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みは 27 要因あります。

- (1) 各内蔵周辺モジュールには割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、IPRBによって割り込みプライオリティレベルを設定できます。

5.3.3 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、IPRB により NMI 以外の割り込みの優先順位を変更することができます。

リセット後の割り込み優先順位は表 5.3 に示されるデフォルトの順位となります。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*		IPR	優先順位
			アドバンストモード	ノーマルモード		
NMI	外部端子	7	H'001C ~ H'001F	H'000E ~ H'000F	—	高 ↑
IRQ ₀		12	H'0030 ~ H'0033	H'0018 ~ H'0019	IPRA7	
IRQ ₁		13	H'0034 ~ H'0037	H'001A ~ H'001B	IPRA6	
IRQ ₂		14	H'0038 ~ H'003B	H'001C ~ H'001D	IPRA5	
IRQ ₃		15	H'003C ~ H'003F	H'001E ~ H'001F		
IRQ ₄ IRQ ₅		16 17	H'0040 ~ H'0043 H'0044 ~ H'0047	H'0020 ~ H'0021 H'0022 ~ H'0023	IPRA4	
リザーブ	—	18 19	H'0048 ~ H'004B H'004C ~ H'004F	H'0024 ~ H'0025 H'0026 ~ H'0027		
WOVI(インターバルタイマ)	ウォッチ ドッグタイ マ	20	H'0050 ~ H'0053	H'0028 ~ H'0029	IPRA3	
リザーブ		—	21 22	H'0054 ~ H'0057 H'0058 ~ H'005B	H'002A ~ H'002B H'002C ~ H'002D	
ADI (A/D エンド)	A/D	23	H'005C ~ H'005F	H'002E ~ H'002F		
IMIA0 (コンペアマッチ/イン プットキャプチャ A0)	16 ビット タイマ チャンネル 0	24	H'0060 ~ H'0063	H'0030 ~ H'0031	IPRA2	
IMIB0 (コンペアマッチ/イン プットキャプチャ B0)		25	H'0064 ~ H'0067	H'0032 ~ H'0033		
OVI0 (オーバフロー-0)		26	H'0068 ~ H'006B	H'0034 ~ H'0035		
リザーブ	—	27	H'006C ~ H'006F	H'0036 ~ H'0037		
IMIA1 (コンペアマッチ/イン プットキャプチャ A1)	16 ビット タイマ チャンネル 1	28	H'0070 ~ H'0073	H'0038 ~ H'0039	IPRA1	
IMIB1 (コンペアマッチ/イン プットキャプチャ B1)		29	H'0074 ~ H'0077	H'003A ~ H'003B		
OVI1 (オーバフロー-1)		30	H'0078 ~ H'007B	H'003C ~ H'003D		
リザーブ	—	31	H'007C ~ H'007F	H'003E ~ H'003F		
IMIA2 (コンペアマッチ/イン プットキャプチャ A2)	16 ビット タイマ チャンネル 2	32	H'0080 ~ H'0083	H'0040 ~ H'0041	IPRA0	
IMIB2 (コンペアマッチ/イン プットキャプチャ B2)		33	H'0084 ~ H'0087	H'0042 ~ H'0043		
OVI2 (オーバフロー-2)		34	H'0088 ~ H'008B	H'0044 ~ H'0045		
リザーブ	—	35	H'008C ~ H'008F	H'0046 ~ H'0047		

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			アドバンストモード	ノーマルモード		
CMIA0(コンペアマッチ A0)	8ビット タイマ チャンネル 0/1	36	H'0090 ~ H'0093	H'0048 ~ H'0049	IPRB7	高 ↑
CMIB0(コンペアマッチ B0)		37	H'0094 ~ H'0097	H'004A ~ H'004B		
CMIA1/CMIB1(コンペアマ ッチ A1/B1)		38	H'0098 ~ H'009B	H'004C ~ H'004D		
TOVI0/TOVI1(オーバフロー 0/1)		39	H'009C ~ H'009F	H'004E ~ H'004F		
CMIA2(コンペアマッチ A2)	8ビット タイマ チャンネル 2/3	40	H'00A0 ~ H'00A3	H'0050 ~ H'0051	IPRB6	
CMIB2(コンペアマッチ B2)		41	H'00A4 ~ H'00A7	H'0052 ~ H'0053		
CMIA3/CMIB3(コンペアマ ッチ A3/B3)		42	H'00A8 ~ H'00AB	H'0054 ~ H'0055		
TOVI2/TOVI3(オーバフロー 2/3)		43	H'00AC ~ H'00AF	H'0056 ~ H'0057		
リザーブ	—	44	H'00B0 ~ H'00B3	H'0058 ~ H'0059	—	
		45	H'00B4 ~ H'00B7	H'005A ~ H'005B		
		46	H'00B8 ~ H'00BB	H'005C ~ H'005D		
		47	H'00BC ~ H'00BF	H'005E ~ H'005F		
		48	H'00C0 ~ H'00C3	H'0060 ~ H'0061		
		49	H'00C4 ~ H'00C7	H'0062 ~ H'0063		
		50	H'00C8 ~ H'00CB	H'0064 ~ H'0065		
		51	H'00CC ~ H'00CF	H'0066 ~ H'0067		
ERI0(受信エラー0)	SCI チャンネル0	52	H'00D0 ~ H'00D3	H'0068 ~ H'0069	IPRB3	
RXI0(受信完了0)		53	H'00D4 ~ H'00D7	H'006A ~ H'006B		
TXI0(送信データエンプティ 0)		54	H'00D8 ~ H'00DB	H'006C ~ H'006D		
TEI0(送信終了0)		55	H'00DC ~ H'00DF	H'006E ~ H'006F		
ERI1(受信エラー1)	SCI チャンネル1	56	H'00E0 ~ H'00E3	H'0070 ~ H'0071	IPRB2	
RXI1(受信完了1)		57	H'00E4 ~ H'00E7	H'0072 ~ H'0073		
TXI1(送信データエンプティ 1)		58	H'00E8 ~ H'00EB	H'0074 ~ H'0075		
TEI1(送信終了1)		59	H'00EC ~ H'00EF	H'0076 ~ H'0077		
リザーブ	—	60	H'00F0 ~ H'00F3	H'0078 ~ H'0079	—	低
		61	H'00F4 ~ H'00F7	H'007A ~ H'007B		
		62	H'00F8 ~ H'00FB	H'007C ~ H'007D		
		63	H'00FC ~ H'00FF	H'007E ~ H'007F		

【注】 * アドレスの低位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み動作の流れ

本 LSI では、割り込みの動作は UE ビットの状態によって異なります。UE = 1 のときは I ビットで割り込みの制御が行われます。UE = 0 のときは、I、UI ビットの組み合わせで割り込みの制御が行われます。表 5.4 に UE、I、UI ビットの各組み合わせのときの割り込みの状態を示します。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は無視されます。

表 5.4 UE、I、UI ビットの組み合わせによる割り込みの状態

SYSCR	CCR		状態
	I	UI	
1	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	-	NMI 以外の割り込みを受け付けません。
0	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
		0	NMI およびプライオリティレベル 1 の割り込み要因のみを受け付けます。
	1	1	NMI 以外の割り込みを受け付けません。

(1) UE ビット = 1 の場合

IRQ₅ ~ IRQ₀ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I ビットにより一括して、許可 / 禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。プライオリティレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.4 に示します。

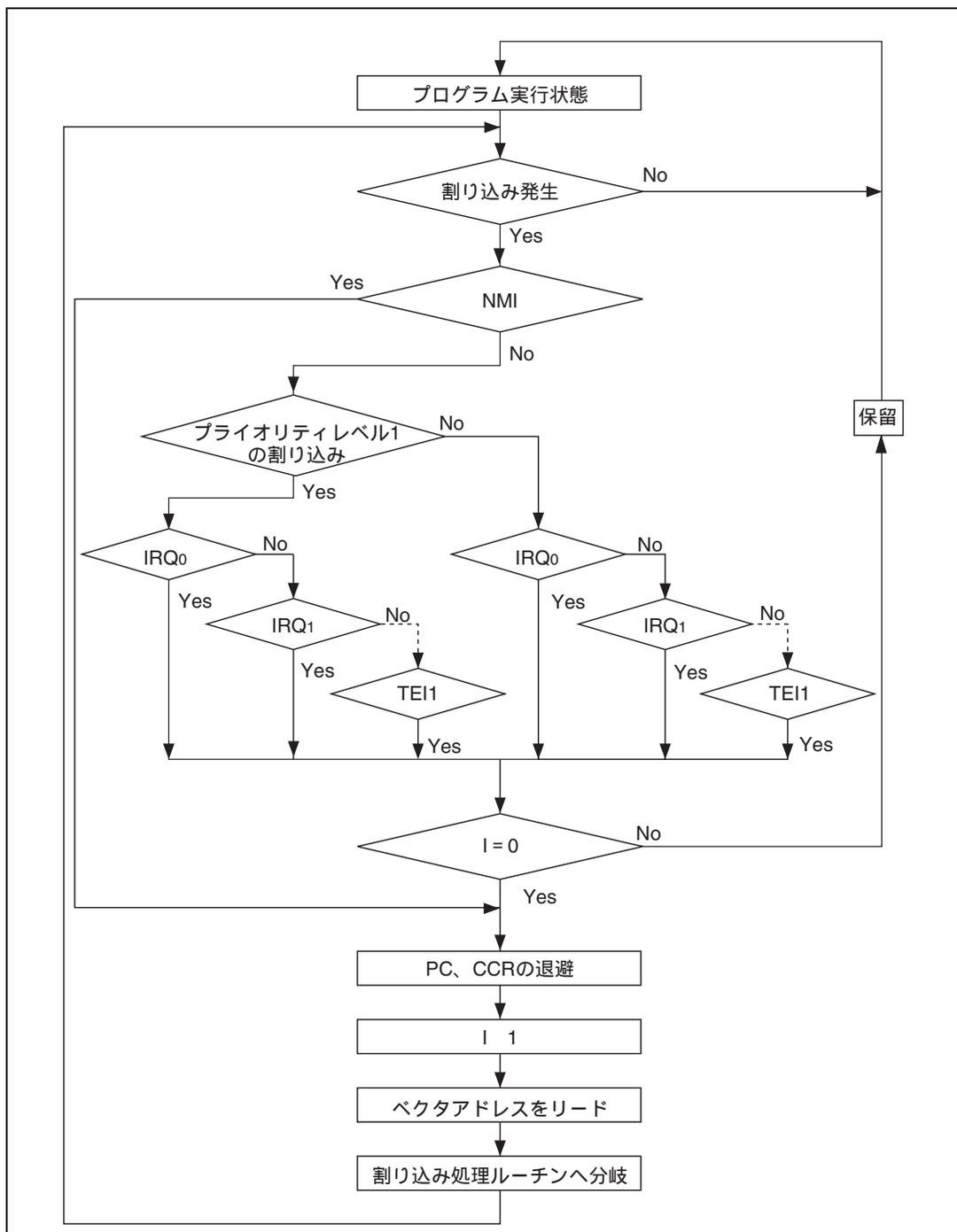


図 5.4 UE = 1 の場合の割り込み受け付けまでのフロー

5. 割り込みコントローラ

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] Iビットを参照します。Iビットが0にクリアされているときは、割り込み要求が受け付けられます。Iビットが1にセットされているときは、NMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次にCCRのIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [7] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

(2) UE ビット=0 の場合

IRQ₀~IRQ₅ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I、UI ビット、IPR に よって 3 レベルの許可 / 禁止状態を実現できます。

- (a) プライオリティレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、IビットおよびUIビットがいずれも1にセットされているとき禁止状態となります。

たとえば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、IPRA、IPRBをそれぞれH'20、H'00に設定した場合（IRQ₂、IRQ₃割り込み要求の優先順位を他の割り込みより高くした場合）、次のようになります。

- (a) I=0のとき、すべての割り込みを許可
（優先順位：NMI > IRQ₂ > IRQ₃ > IRQ₀...）
- (b) I=1、UI=0のとき、NMI、IRQ₂、IRQ₃割り込みのみを許可
- (c) I=1、UI=1のとき、NMI以外の割り込みを禁止

また、このときの状態遷移を図 5.5 に示します。

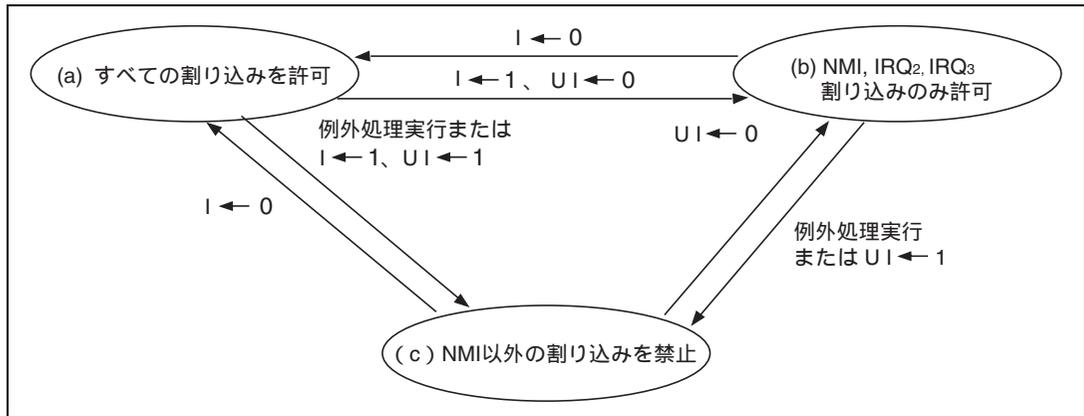


図 5.5 割り込み許可 / 禁止状態の遷移例

UE ビット = 0 のときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] Iビットを参照します。Iビットが0にクリアされているときは、IPRに関係なく割り込み要求が受け付けられます。このときはUIビットの影響を受けません。Iビットが1にセットされ、UIビットが0にクリアされているときは、プライオリティレベル1の割り込み要求のみが受け付けられ、プライオリティレベル0の割り込み要求は保留となります。I、UIビットがいずれも1にセットされているときは、割り込み要求は保留となります。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] CCRのI、UIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [7] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

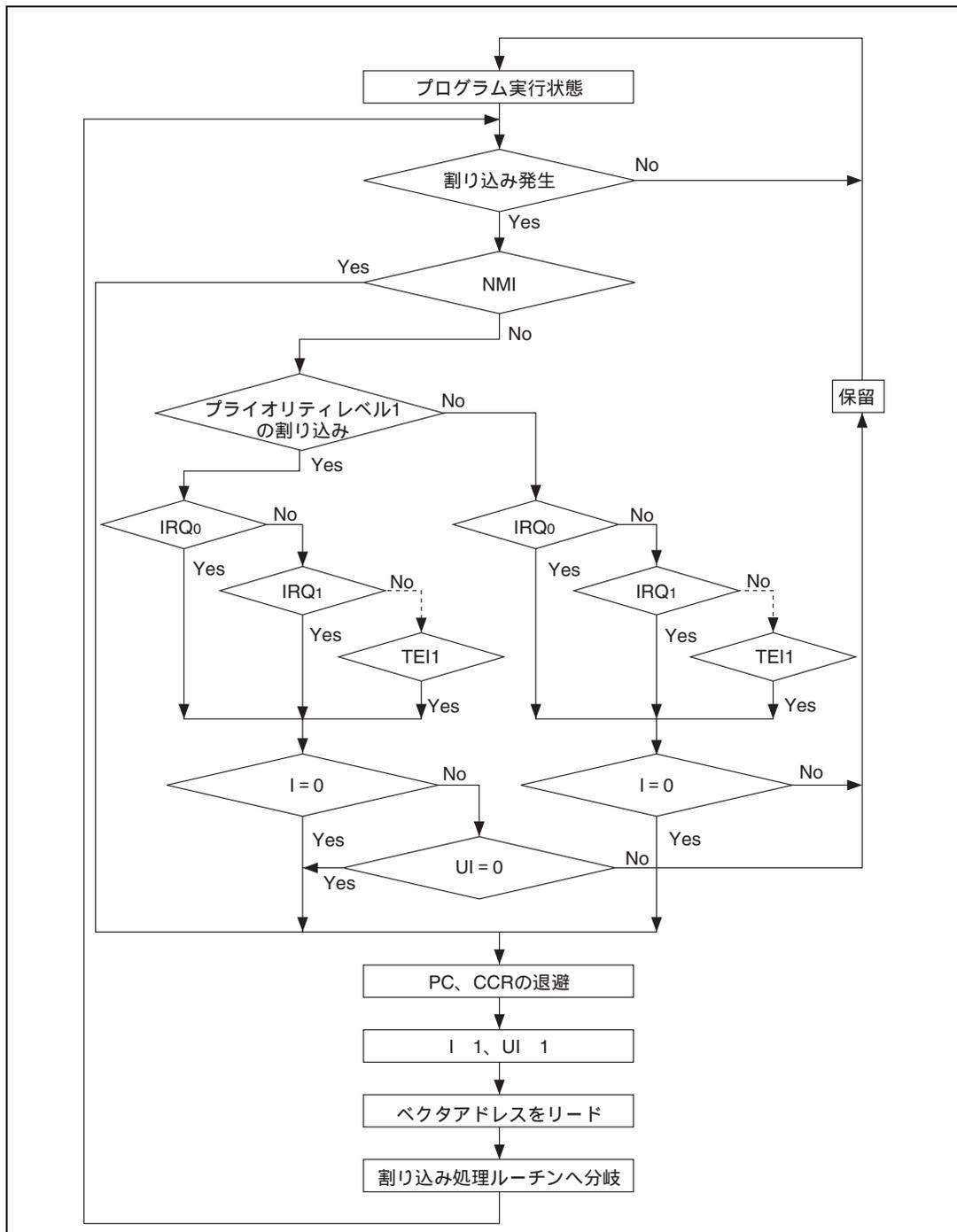


図 5.6 UE = 0 の場合の割り込み受け付けまでのフロー

5.4.2 割り込み例外処理シーケンス

モード2で、プログラム領域とスタック領域を外部メモリ 16 ビット2 ステートアクセス空間にとった場合の割り込みシーケンスを図 5.7 に示します。

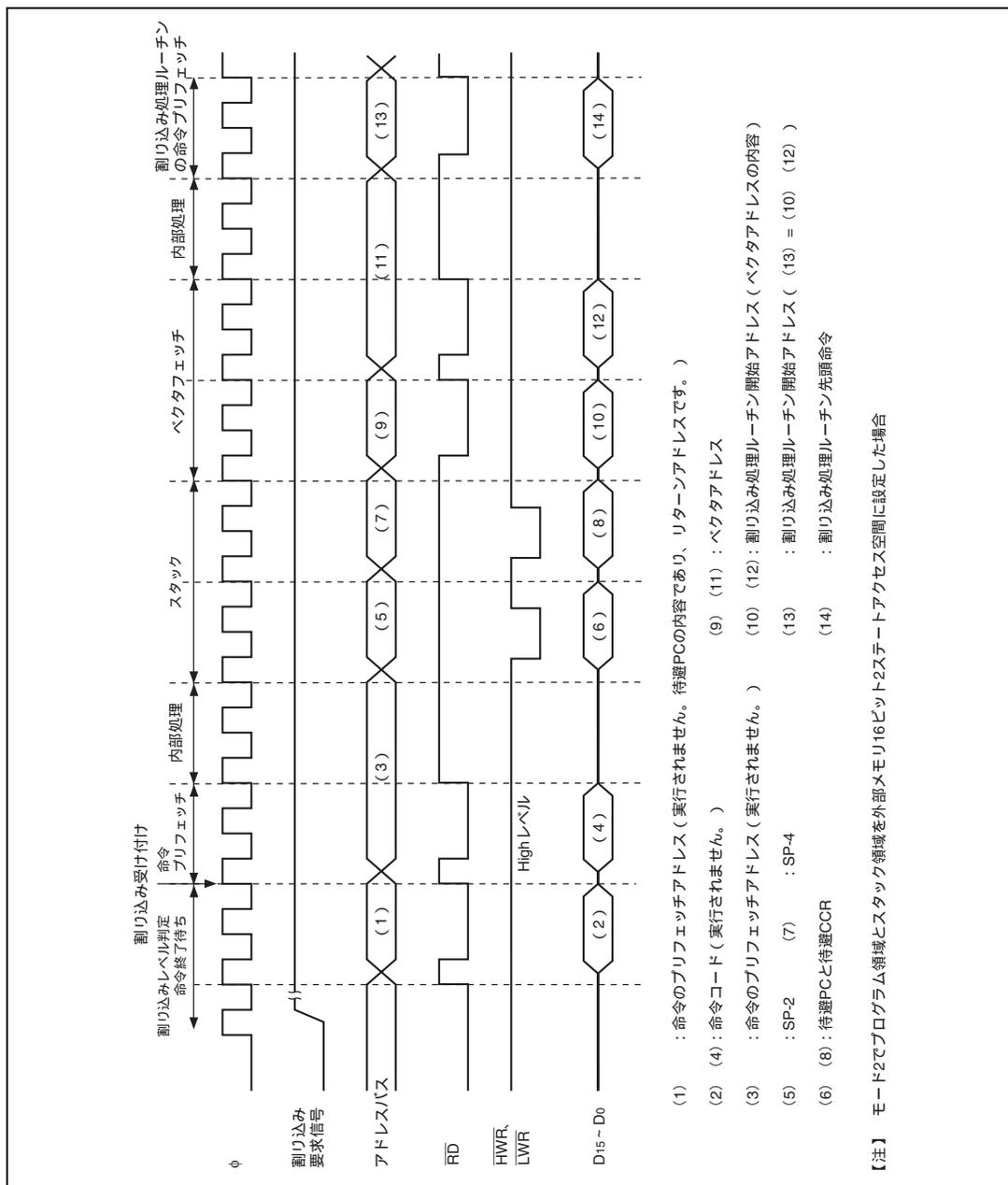


図 5.7 割り込み例外処理シーケンス

5. 割り込みコントローラ

5.4.3 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 5.5 に示します。

表 5.5 割り込み応答時間

No.	項目	内蔵メモリ	外部メモリ			
			8ビットバス		16ビットバス	
			2ステート	3ステート	2ステート	3ステート
1	割り込み優先順位判定		2* ¹			
2	実行中の命令が終了するまでの最大待ちステート数	1~23	1~27	1~31* ⁴	1~23	1~25* ⁴
3	PC、CCRのスタック	4	8	12* ⁴	4	6* ⁴
4	ベクタフェッチ	4	8	12* ⁴	4	6* ⁴
5	命令フェッチ* ²	4	8	12* ⁴	4	6* ⁴
6	内部処理* ³	4	4	4	4	4
合計		19~41	31~57	43~73	19~41	25~49

- 【注】 *1 内部割り込みの場合 1ステートとなります。
*2 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ
*3 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理
*4 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを0にクリアする場合も同様です。

16ビットタイマのTISRAのIMIEAビットを0にクリアする場合の例を図5.8に示します。

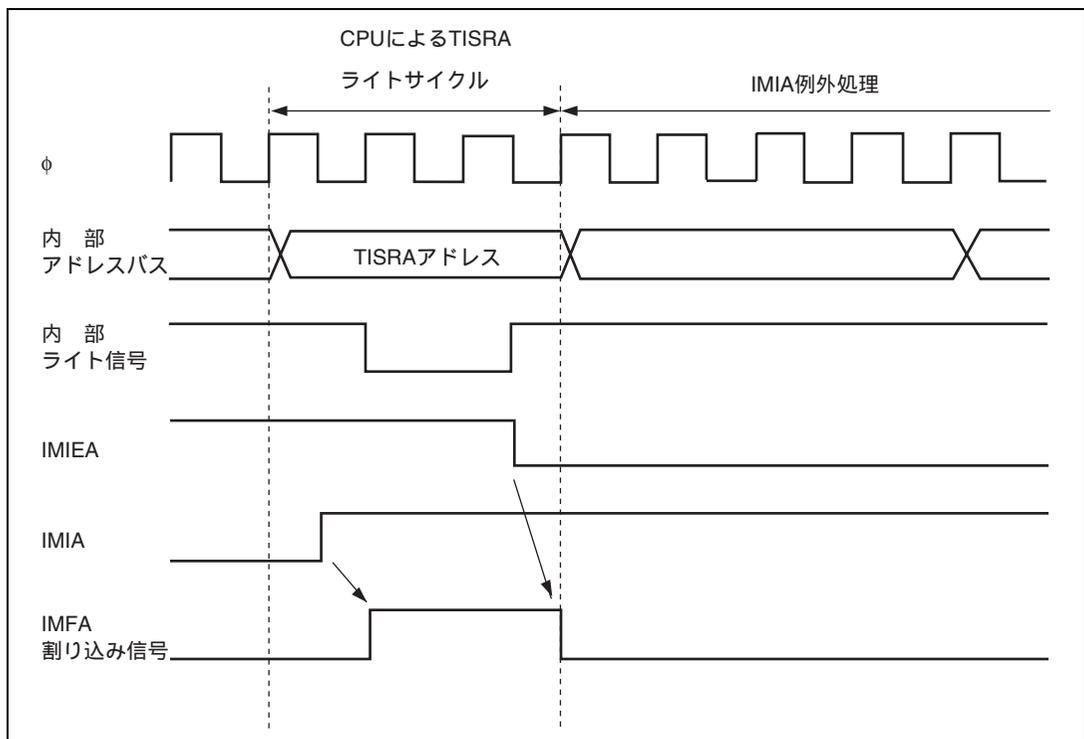


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラが優先順位を判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV . B 命令と EEPMOV . W 命令では、割り込み動作が異なります。

EEPMOV . B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV . W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV . W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV . W
      MOV . W  R4 , R4
      BNE     L1
```

6. バスコントローラ

6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス調停機能をもっており、内部バスマスタである CPU 動作を制御するとともに、外部にバス権を解放することができます。

6.1.1 特長

バスコントローラの特長を次に示します。

外部アドレス空間をエリア単位で管理

- 外部空間を、1M バイトモードでは 128K バイト単位、16M バイトモードでは 2M バイト単位の 8 エリア (エリア 0~7) に分割して管理
- エリアごとにバス仕様を設定可能

基本バスインタフェース

- エリア 0~7 に対してチップセレクト ($\overline{CS}_0 \sim \overline{CS}_7$) を出力可能
- エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
- エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能
- 端子ウェイトを挿入可能

アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

バス権調停機能 (バスアービトレーション)

- バスアービタを内蔵し、CPU および外部バスマスタのバス権を調停

その他

- 2 つのアドレス更新モードを選択可能

6. バスコントローラ

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

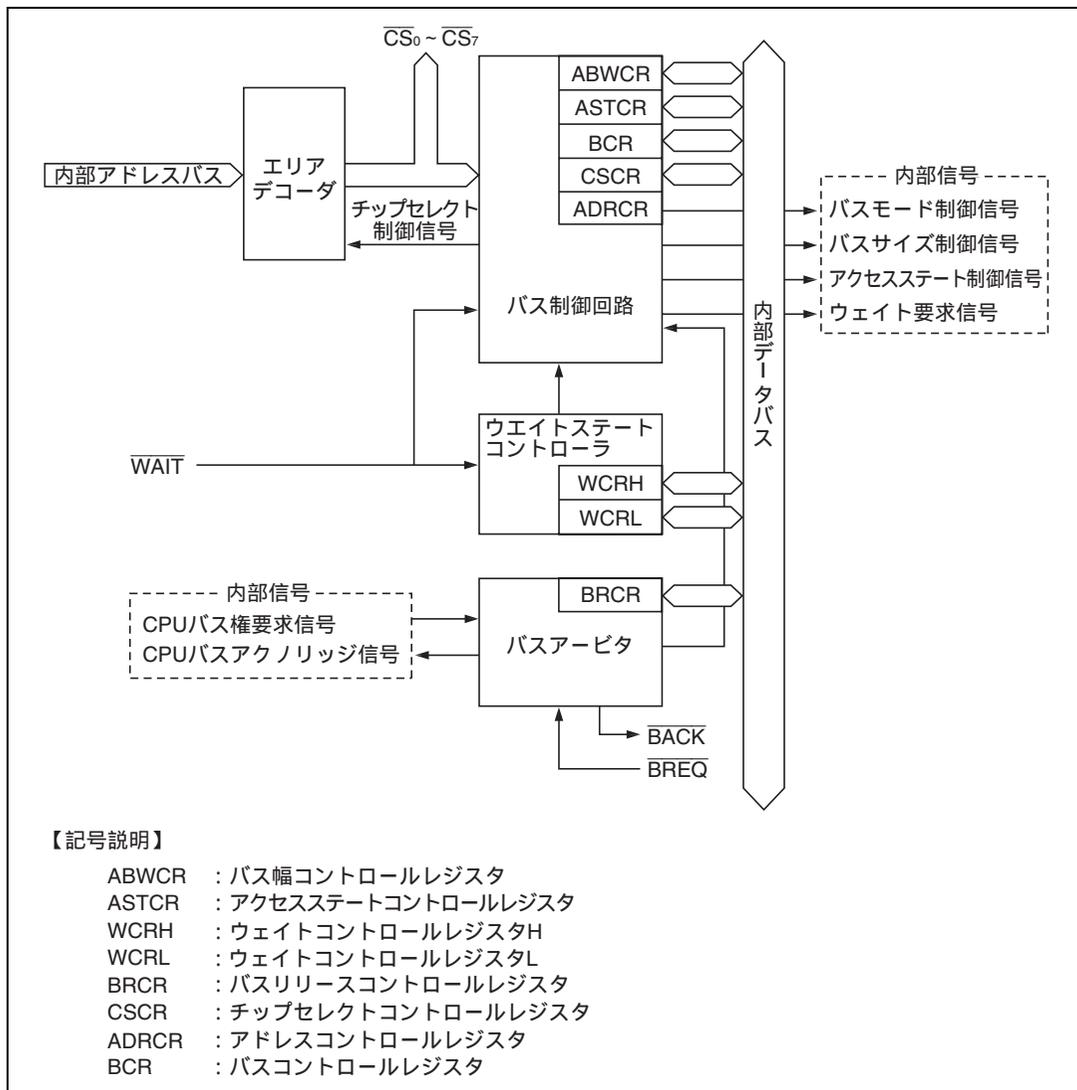


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
チップセレクト 0~7	$\overline{CS}_0 \sim \overline{CS}_7$	出力	エリア 0~7 が選択されていることを示すストロープ信号
アドレス ストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リード	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストロープ信号
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示すストロープ信号
ローライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示すストロープ信号
ウェイト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号
バス権要求 アクノリッジ	\overline{BACK}	出力	バス権を外部に解放したことを示すアクノリッジ信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス* ¹	名称	略称	R/W	初期値
H'EE020	バス幅コントロールレジスタ	ABWCR	R/W	H'FF* ²
H'EE021	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF
H'EE022	ウェイトコントロールレジスタ H	WCRH	R/W	H'FF
H'EE023	ウェイトコントロールレジスタ L	WCRL	R/W	H'FF
H'EE013	バスリリースコントロールレジスタ	BRCLR	R/W	H'FE* ³
H'EE01F	チップセレクトコントロールレジスタ	CSCR	R/W	H'0F
H'EE01E	アドレスコントロールレジスタ	ADRCR	R/W	H'FF
H'EE024	バスコントロールレジスタ	BCR	R/W	H'C6

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 モード 2、4 のときは初期値 H'00 になります。

*3 モード 3、4 のときは初期値 H'EE になります。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値:(モード1、3)	1	1	1	1	1	1	1	1
(モード2、4)	0	0	0	0	0	0	0	0
R/W:	R/W							

ABWCR の内容が H'FF (全エリア 8 ビットアクセス空間) の場合、8 ビットバスモードとなり、データバスは上位側 ($D_{15} \sim D_8$) が有効となります。このときポート 4 は入出力ポートとなります。ABWCR の少なくとも 1 ビットを 0 にクリアした場合には、16 ビットバスモードとなり、データバスは 16 ビット ($D_{15} \sim D_0$) となります。ABWCR はリセット、またはハードウェアスタンバイモード時にモード 1、3 では H'FF に、モード 2、4 では H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~0: エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか 16 ビットアクセス空間とするかを選択します。

ビット 7~0	説明
ABW7~ABW0	
0	エリア 7~0 を 16 ビットアクセス空間に設定
1	エリア 7~0 を 8 ビットアクセス空間に設定

ABWCR は、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部 I/O レジスタのデータバス幅は ABWCR の設定値にかかわらず固定です。

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

各エリアのアクセスステート数を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7~0: エリア7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを2ステートアクセス空間とするか3ステートアクセス空間とするかを選択します。

ビット7~0	説明
AST7~AST0	
0	エリア7~0を2ステートアクセス空間に設定
1	エリア7~0を3ステートアクセス空間に設定 (初期値)

ASTCRは、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部I/Oレジスタに対するアクセスステート数はASTCRの設定値にかかわらず固定です。

6.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRLは、それぞれ8ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部I/Oレジスタに対するアクセスステート数はWCRH、WCRLの設定値にかかわらず固定です。

WCRH、WCRLは、リセットおよびハードウェアスタンバイモード時に、H'FFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

(1) WCRH

ビット:	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W							

ビット7、6: エリア7ウェイトコントロール1、0 (W71、W70)

ASTCRのAST7ビットが1にセットされた状態でエリア7の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W71	W70	
0	0	エリア7の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア7の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア7の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア7の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

6. パスコントローラ

ビット 5、4 : エリア 6 ウェイトコントロール 1、0 (W61、W60)

ASTCR の AST6 ビットが 1 にセットされた状態でエリア 6 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説 明
W61	W60	
0	0	エリア 6 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 6 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入

(初期値)

ビット 3、2 : エリア 5 ウェイトコントロール 1、0 (W51、W50)

ASTCR の AST5 ビットが 1 にセットされた状態でエリア 5 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3	ビット 2	説 明
W51	W50	
0	0	エリア 5 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 5 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入

(初期値)

ビット 1、0 : エリア 4 ウェイトコントロール 1、0 (W41、W40)

ASTCR の AST4 ビットが 1 にセットされた状態でエリア 4 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
W41	W40	
0	0	エリア 4 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 4 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入

(初期値)

(2) WCRL

ビット:	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビット7、6: エリア3 ウェイトコントロール 1、0 (W31、W30)

ASTCR の AST3 ビットが 1 にセットされた状態でエリア 3 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W31	W30	
0	0	エリア 3 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 3 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット5、4: エリア2 ウェイトコントロール (W21、W20)

ASTCR の AST2 ビットが 1 にセットされた状態でエリア 2 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W21	W20	
0	0	エリア 2 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 2 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット3、2: エリア1 ウェイトコントロール 1、0 (W11、W10)

ASTCR の AST1 ビットが 1 にセットされた状態でエリア 1 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説明
W11	W10	
0	0	エリア 1 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 1 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

6. バスコントローラ

ビット1、0：エリア0ウェイトコントロール1、0（W01、W00）

ASTCRのAST0ビットが1にセットされた状態でエリア0の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説明
W01	W00	
0	0	エリア0の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア0の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア0の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア0の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

6.2.4 バスリリースコントロールレジスタ（BRCR）

BRCRは8ビットのリード/ライト可能なレジスタで、アドレスバス（ $A_{23} \sim A_{20}$ ）出力の選択、バス権の外部に対する解放を許可/禁止します。

ビット：

	7	6	5	4	3	2	1	0
	A23E	A22E	A21E	A20E	—	—	—	BRLE
モード1、2 初期値：	1	1	1	1	1	1	1	0
R/W：	—	—	—	—	—	—	—	R/W
モード3、4 初期値：	1	1	1	0	1	1	1	0
R/W：	R/W	R/W	R/W	—	—	—	—	R/W

リザーブビット

アドレス23～20イネーブル

PA₇～PA₄をアドレス出力端子
A₂₃～A₂₀として使用するた
めのビットです。

バスリリースイネーブル

バス権の外部に対する解放を
許可/禁止するビットです。

BRCRはリセット、またはハードウェアスタンバイモード時に、モード1、2の場合はH'FEに、モード3、4の場合はH'EEに初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7：アドレス23イネーブル（A23E）

PA₄をアドレス出力端子A₂₃として使用するためのビットです。0をライトするとアドレス出力A₂₃となります。モード3、4以外ではこのビットはライトできず、通常のポート機能となります。

ビット7	説明
A23E	
0	PA ₄ はアドレス出力端子A ₂₃
1	PA ₄ は入出力端子 (初期値)

ビット6：アドレス22 イネーブル (A22E)

PA₅をアドレス出力端子 A₂₂として使用するためのビットです。0をライトするとアドレス出力 A₂₂となります。モード3、4以外ではこのビットはライトできず、通常のポート機能となります。

ビット6	説 明
A22E	
0	PA ₅ はアドレス出力端子 A ₂₂
1	PA ₅ は入出力端子 (初期値)

ビット5：アドレス21 イネーブル (A21E)

PA₆をアドレス出力端子 A₂₁として使用するためのビットです。0をライトするとアドレス出力 A₂₁となります。モード3、4以外ではこのビットはライトできず、通常のポート機能となります。

ビット5	説 明
A21E	
0	PA ₆ はアドレス出力端子 A ₂₁
1	PA ₆ は入出力端子 (初期値)

ビット4：アドレス20 イネーブル (A20E)

PA₇をアドレス出力端子として使用するためのビットです。0をライトするとアドレス出力 A₂₀となります。モード3、4のときはアドレス出力端子、モード1、2のときは通常のポート機能となります。

ビット4	説 明
A20E	
0	PA ₇ はアドレス出力端子 A ₂₀ (モード3、4のとき)
1	PA ₇ は入出力端子 (モード1、2のとき)

ビット3-1：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0：バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可 / 禁止します。

ビット0	説 明
BRLE	
0	バス権の外部に対する解放を禁止し、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

6. バスコントローラ

6.2.5 バスコントロールレジスタ (BCR)

ビット:	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	—	—	—	—	RDEA	WAITE
初期値:	1	1	0*1	0*1	0*1	1*2	1	0
R/W:	R/W	R/W	—	—	—	—	R/W	R/W

【注】*1 ビット5～3は1ライト禁止です。

*2 ビット2は0ライト禁止です。

BCRは8ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリアの分割単位の選択、拡張メモリマップ選択、WAITE 端子入力の許可または禁止を行います。

BCRは、リセットおよびハードウェアスタンバイモード時に、H'C6に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7: アイドルサイクル挿入1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット7	説明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット6: アイドルサイクル挿入0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット6	説明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット5～3: リザーブビット (1ライト禁止)

本ビットはリード/ライト可能ですが1を書き込まないでください。1をライトした場合、正常動作は保証されません。

ビット2: リザーブビット (0ライト禁止)

本ビットはリード/ライト可能ですが、0を書き込まないでください。0をライトした場合、正常動作は保証されません。

ビット1：エリア分割単位選択（RDEA）

メモリマップのエリアの分割単位を選択します。
本ビットはモード3、4で有効です。モード1、2では、無効です。

ビット1	説明	
RDEA		
0	エリア分割は、エリア0：2Mバイト エリア1：2Mバイト エリア2：8Mバイト エリア3：2Mバイト	エリア4：1.93Mバイト エリア5：4Kバイト エリア6：23.75Kバイト エリア7：22バイト
1	エリア分割は、エリア0～エリア7まで等分割（2Mバイト） (初期値)	

ビット0：WAIT 端子イネーブル（WAITE）

WAIT 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明	
WAITE		
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)	
1	WAIT 端子によるウェイト入力を許可	

6.2.6 チップセレクトコントロールレジスタ（CSCR）

CSCR は8ビットのリード/ライト可能なレジスタで、チップセレクト信号（ $\overline{CS}_7 \sim \overline{CS}_4$ ）の出力を許可/禁止します。

本レジスタでチップセレクト信号（ $\overline{CS}_7 \sim \overline{CS}_4$ ）出力を選択すると、端子機能は他の機能に優先してチップセレクト信号（ $\overline{CS}_7 \sim \overline{CS}_4$ ）出力となります。

ビット：	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

リザーブビット

チップセレクト7～4イネーブル
チップセレクト信号の出力を許可/
禁止するビットです。

CSCR はリセット、またはハードウェアスタンバイモード時に H'0F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6. バスコントローラ

ビット7~4：チップセレクト7~4 イネーブル (CS7E~CS4E)

対応するチップセレクト信号の出力を許可/禁止します。

ビット n	説明
CSnE	
0	チップセレクト信号 (\overline{CSn}) の出力を禁止 (初期値)
1	チップセレクト信号 (\overline{CSn}) の出力を許可

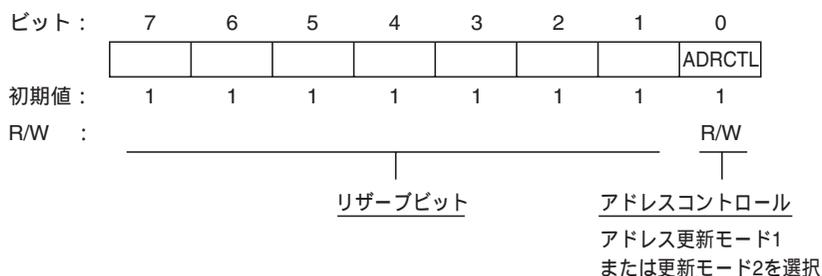
【注】 n=7~4

ビット3~0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

6.2.7 アドレスコントロールレジスタ (ADRCR)

ADRCR は 8 ビットのリード/ライト可能なレジスタで、アドレスの出力方式をアドレス更新モード1またはアドレス更新モード2のいずれかに設定します。



ADRCR は、リセット、またはハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7~1：リザーブビット

ビット7~1をリードすると、常に1が読み出されます。ライトは無効です。

ビット0：アドレスコントロールビット (ADRCTL)

アドレス出力方式を選択します。

ビット0	説明
ADRCTL	
0	アドレス更新モード2を選択
1	アドレス更新モード1を選択 (初期値)

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1M バイトモードのとき 128K バイト、16M バイトモードのとき 2M バイトごとのエリア 0~7 に分割されています。メモリマップの概要を図 6.2 に示します。

H'00000	エリア0 (128Kバイト)	H'000000	エリア0 (2Mバイト)
H'1FFFF		H'1FFFFFF	
H'20000	エリア1 (128Kバイト)	H'200000	エリア1 (2Mバイト)
H'3FFFF		H'3FFFFFF	
H'40000	エリア2 (128Kバイト)	H'400000	エリア2 (2Mバイト)
H'5FFFF		H'5FFFFFF	
H'60000	エリア3 (128Kバイト)	H'600000	エリア3 (2Mバイト)
H'7FFFF		H'7FFFFFF	
H'80000	エリア4 (128K k バイト)	H'800000	エリア4 (2Mバイト)
H'9FFFF		H'9FFFFFF	
H'A0000	エリア5 (128Kバイト)	H'A00000	エリア5 (2Mバイト)
H'BFFFF		H'BFFFFFF	
H'C0000	エリア6 (128Kバイト)	H'C00000	エリア6 (2Mバイト)
H'DFFFF		H'DFFFFFF	
H'E0000	エリア7 (128Kバイト)	H'E00000	エリア7 (2Mバイト)
H'FFFFF		H'FFFFFF	

(a) 1Mバイトモード (モード1、2) (b) 16Mバイトモード (モード3、4)

図 6.2 各動作モードにおけるアクセスエリアマップ

各エリアごとに選択信号 ($\overline{CS}_0 \sim \overline{CS}_7$) を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCRH、WCRL で指定されます。

また、16M バイトモードのとき BCR の RDEA ビットにより、エリア分割の単位を選択することができます。

6. バスコントローラ

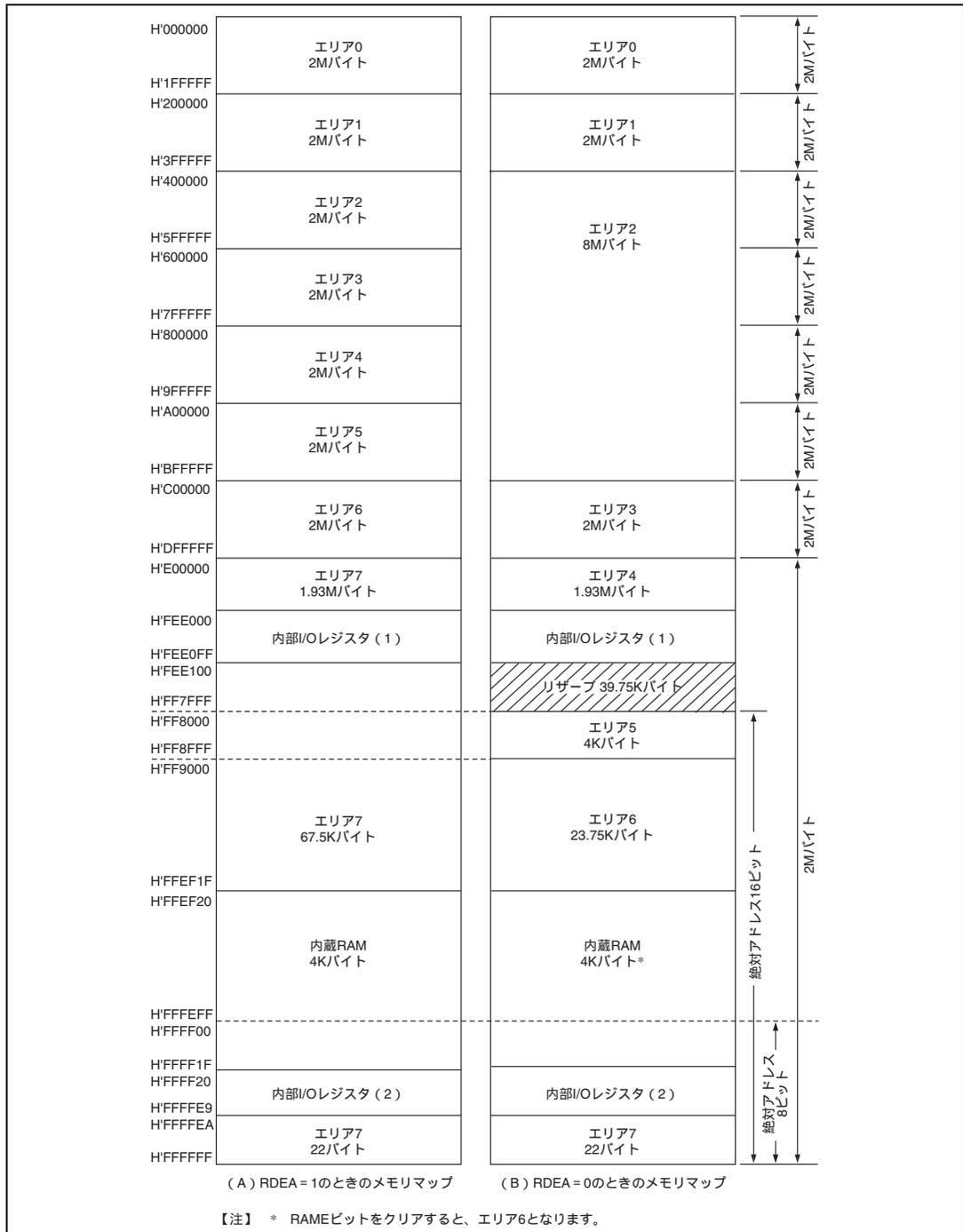


図 6.3 16M バイトモード時のメモリマップ

6.3.2 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH / WCRL		バス仕様 (基本バスインタフェース)			
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数	
0	0			16	2	0	
						0	
	1	0			0	3	0
							1
		1			0	1	2
							1
1	0			8	2	0	
						0	
	1	0			0	3	0
							1
		1			0	1	2
							1

【注】 n=0~7

6.3.3 メモリインタフェース

本 LSI のメモリインタフェースは、ROM、SRAM などの直結が可能な基本バスインタフェースのみです。DRAM の直結が可能な DRAM インタフェース、およびバースト ROM の直結が可能なバースト ROM インタフェースを選択することはできません。

6.3.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS}_0 \sim \overline{CS}_7$) を出力することができ、拡張モードで当該エリアが選択されたとき、Low レベルを出力します。

図 6.4 に \overline{CS}_n 信号出力タイミングを示します。

(1) $\overline{CS}_0 \sim \overline{CS}_3$ 出力方法

$\overline{CS}_0 \sim \overline{CS}_3$ の出力の許可または禁止は各 \overline{CS}_n 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

内蔵 ROM 無効拡張モード時、 \overline{CS}_0 端子はリセット直後に出力状態となっています。 $\overline{CS}_1 \sim \overline{CS}_3$ はリセット直後に入力状態となっていますので、 $\overline{CS}_1 \sim \overline{CS}_3$ を出力する場合には対応する DDR を 1 にセットしてください。内蔵 ROM 有効拡張モード時、 $\overline{CS}_0 \sim \overline{CS}_3$ 端子はリセット直後に入力状態になっていますので、 $\overline{CS}_0 \sim \overline{CS}_3$ を出力する場合には、対応する DDR を 1 にセットしてください。

詳細は「第 7 章 I/O ポート」を参照してください。

(2) $\overline{CS}_4 \sim \overline{CS}_7$ 出力方法

$\overline{CS}_4 \sim \overline{CS}_7$ の出力許可または禁止はチップセレクトコントロールレジスタ (CSCR) を設定することにより行います。 $\overline{CS}_4 \sim \overline{CS}_7$ 端子はリセット直後に入力状態となっていますので、 $\overline{CS}_4 \sim \overline{CS}_7$ 端子を出力する場合には CSCR の対応するビットを 1 にセットしてください。詳細は「第 7 章 I/O ポート」を参照してください。

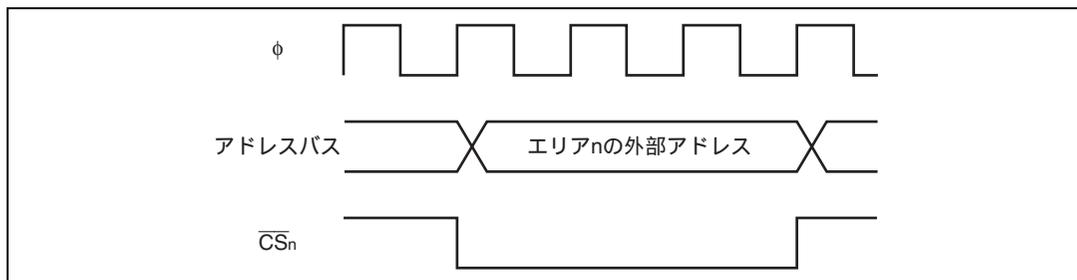


図 6.4 \overline{CS}_n 信号の出力タイミング (n=0~7)

内蔵 ROM、内蔵 RAM および内部 I/O レジスタを選択した場合、 $\overline{CS}_0 \sim \overline{CS}_7$ 端子は High レベルです。 \overline{CS}_n 信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

6.3.5 アドレス出力方式

本 LSI では、アドレス出力方式について、従来 H8/300H シリーズと同じ更新方式（アドレス更新モード 1）または、アドレス更新を外部空間アクセス時に限定する方式（アドレス更新モード 2）いずれかに設定することが可能です。

図 6.5 に 2 つの更新モードのアドレス出力例を示します。

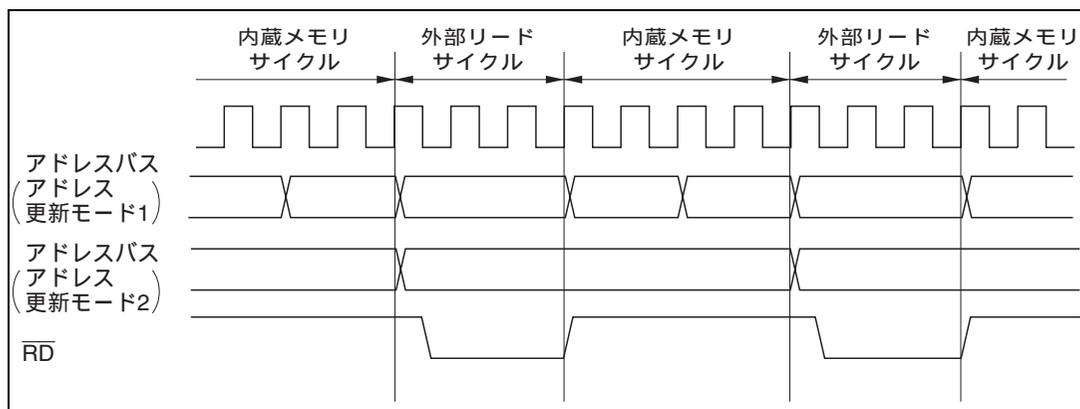


図 6.5 各アドレス更新モードにおけるアドレス出力例
(基本バスインタフェース、3 ステート空間の場合)

- (1) アドレス更新モード1
アドレス更新モード1は、従来のH8/300Hシリーズと互換性のあるアドレス更新モードです。アドレスは各バスサイクルの切れ目で常に更新されます。
- (2) アドレス更新モード2
アドレス更新モード2は、アドレスの更新が外部空間アクセス時に限定されます。アドレス更新モード2では、プログラムを内蔵メモリに配置することにより、外部空間リードサイクルと命令フェッチサイクル（内蔵メモリ）の間でアドレスを保持することができます。したがって \overline{RD} ストロープの立ち上がりに対して、アドレスのホールドを要求するデバイスを接続する場合に、アドレス更新モード2が有効です。

アドレス更新モード 1 とモード 2 の切り替えは、ADRCR の ADRCTL ビットによって選択します。ADRCR の初期値はアドレス更新モード 1 となっており、従来 H8/300H シリーズと互換性があります。

6. バスコントローラ

(3) 注意事項

アドレス出力方式は、ビット選択方式で初期状態がH8/3062F-ZTAT (HD64F3062) と互換性のある状態 (アドレス更新モード1) となるよう設計されています。ただし、以下の点に注意する必要があります。

- ADRCR は H'FEE01E に割り付けられています。H8/3062F-ZTAT では、該当アドレスは空き空間となっていますが、プログラム中に H'FEE01E に対するアクセスがないか確認してください。
- アドレス更新モード2を選択した場合、内部空間 (内蔵メモリ、内部 I/O) に対するアクセスサイクルのアドレスは外部に出力されません。
- \overline{RD} の立ち上がりに対するアドレスのホールド確保を目的として、アドレス更新モード2を使用する場合、外部空間リードアクセスは、必ず単一のアクセスサイクルで終了してください。たとえば、8ビットアクセス空間に対するワードアクセスは図6.6のようにバスサイクルが2回に分割され、単一のアクセスサイクルとはなりません。このようなケースでは、1回目のアクセスサイクル (偶数アドレス) と2回目のアクセスサイクル (奇数アドレス) の間の \overline{RD} の立ち上がりで、アドレスのホールドが保証されません。(図中の楕円で囲んだ部分)。

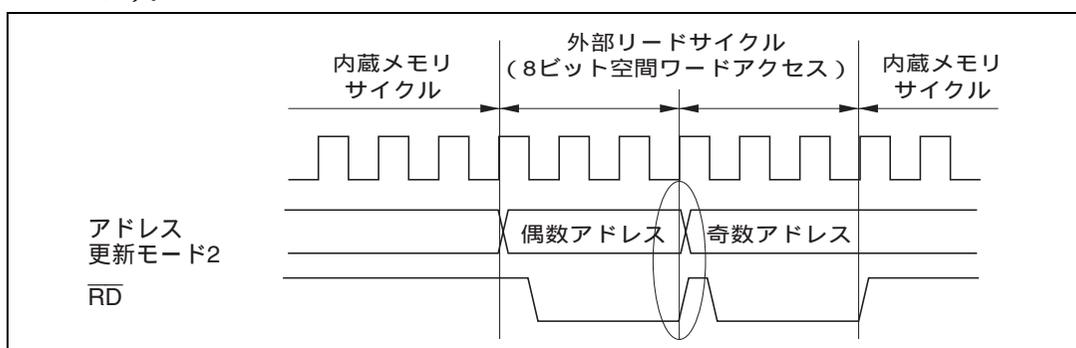


図 6.6 アドレス更新モード2での外部空間連続アクセス例

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 6.3 を参照してください。

6.4.2 データサイズとデータアライメント

バスマスタ、CPU のデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス ($D_{15} \sim D_8$) を使用するか、下位側データバス ($D_7 \sim D_0$) を使用するかを、アクセスするエリアのバス仕様 (8ビットアクセス空間か 16ビットアクセス空間) とデータサイズによって制御します。

(1) 8ビットアクセス空間

図 6.7 に、8ビットアクセス空間のデータアライメント制御を示します。8ビットアクセス空間では、常に上位側データバス ($D_{15} \sim D_8$) を使ってアクセスを行います。一回にアクセスできるデータ量は1バイトで、ワードアクセスでは2回、ロングワードアクセスは4回のバイトアクセスを実行します。

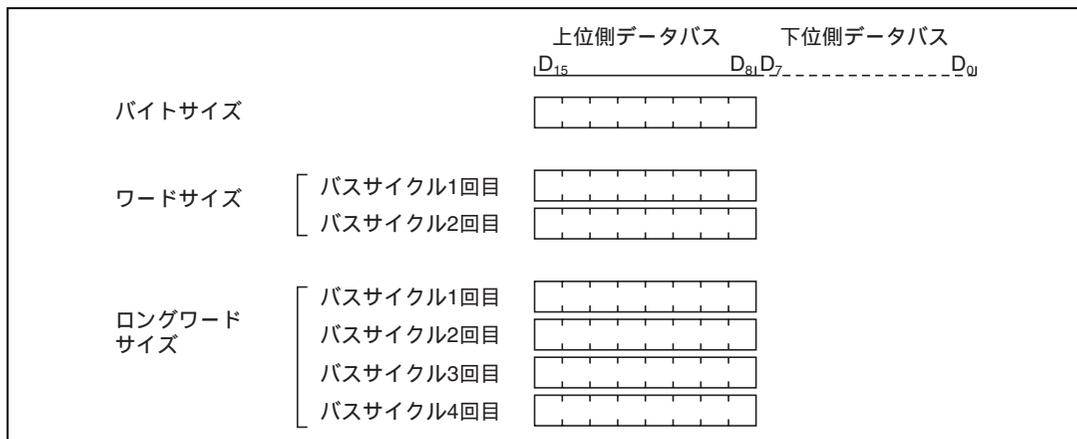


図 6.7 アクセスサイズとデータアライメント制御 (8ビットアクセス空間)

(2) 16ビットアクセス空間

図 6.8 に、16ビットアクセス空間の、データアライメント制御を示します。16ビットアクセス空間では、上位側データバス ($D_{15} \sim D_8$) および下位側データバス ($D_7 \sim D_0$) を使ってアクセスを行います。一回にアクセスできるデータ量は1バイトまたは1ワードで、ロングワードアクセスは、ワードアクセスを2回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

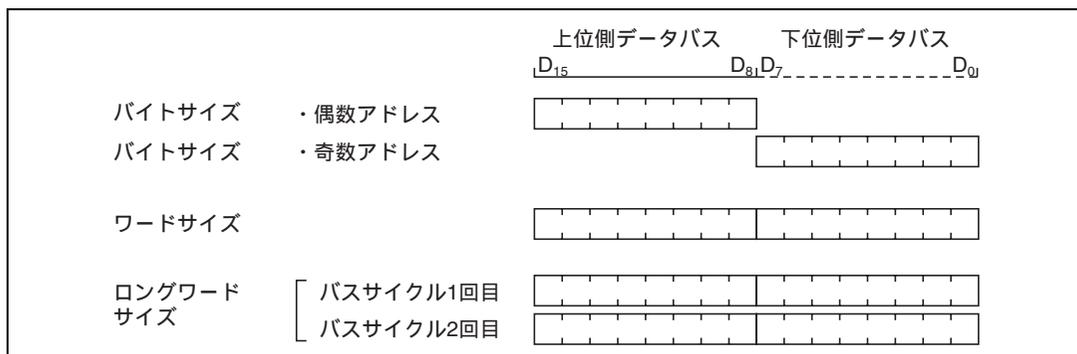


図 6.8 アクセスサイズとデータアライメント制御 (16ビットアクセス空間)

6. バスコントローラ

6.4.3 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D_{15} ~ D_8)	データバス下位 (D_7 ~ D_0)
8ビット アクセス 空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		不定
16ビット アクセス 空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

6.4.4 各エリアの説明

各エリアの初期状態は、基本バスインタフェース、かつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。

(1) エリア 0~6

エリア 0~6 は、本 LSI では、エリアのすべての空間が外部空間となります。

エリア 0~6 の外部空間をアクセスするとき、それぞれ、 \overline{CS}_0 ~ \overline{CS}_6 端子信号を出力することができます。

エリア 0~6 の大きさはモード 1、2 のときは 128K バイト、モード 3、4 のときは 2M バイトとなります。

(2) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、本 LSI では、内蔵 RAM および内蔵 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア 7 の外部空間をアクセスするとき、 \overline{CS}_7 信号を出力することができます。

エリア 7 の大きさはモード 1、2 のときは 128K バイト、モード 3、4 のときは 2M バイトとなります。

6.4.5 基本バス制御信号タイミング

(1) 8ビット3ステートアクセス空間

図 6.9 に 8 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合、データバスの上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルとなっています。ウェイトステートを挿入することができます。

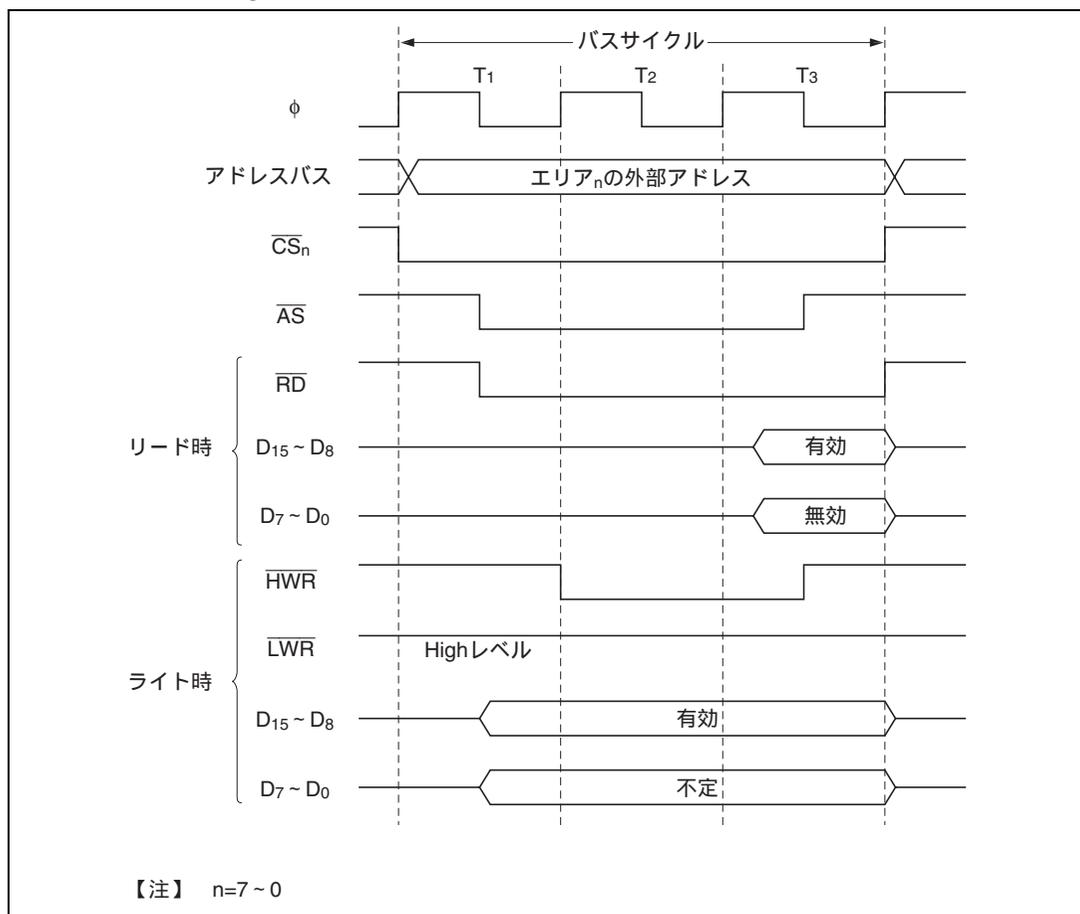


図 6.9 8 ビット 3 ステートアクセス空間のバス制御信号タイミング

6. バスコントローラ

(2) 8ビット2ステートアクセス空間

図 6.10 に 8 ビット 2 ステート空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合、データバスの上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルとなっています。ウェイトステートを挿入することはできません。

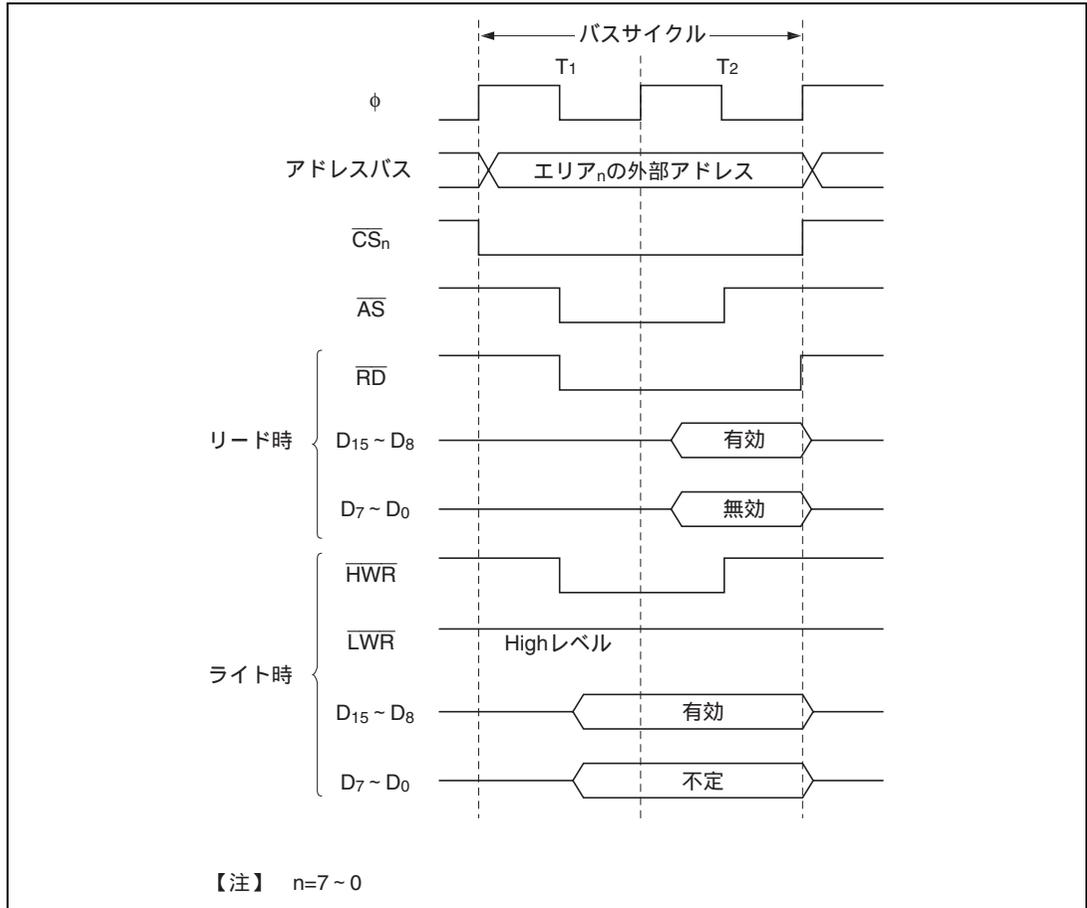


図 6.10 8ビット2ステートアクセス空間のバス制御信号タイミング

(3) 16ビット3ステートアクセス空間

図 6.11 ~ 図 6.13 に 16 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することができます。

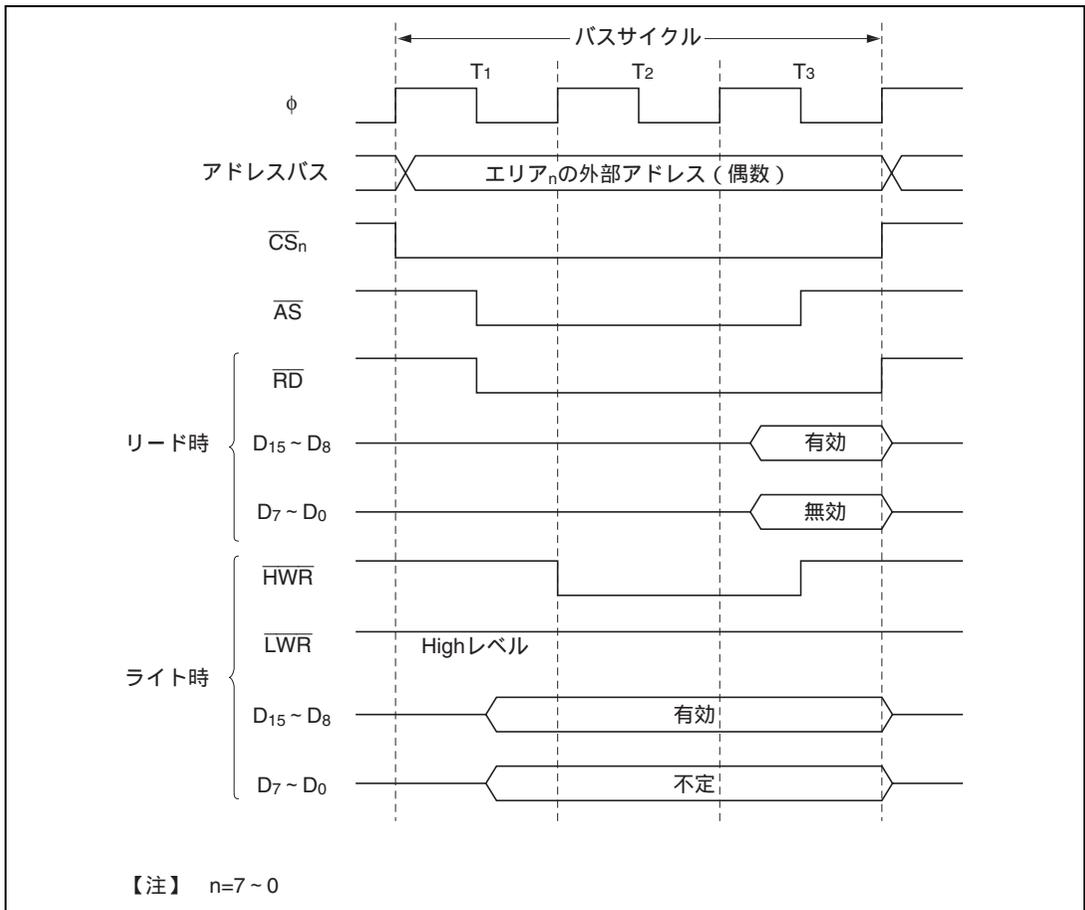


図 6.11 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (1)
(偶数アドレスバイトアクセス)

6. バスコントローラ

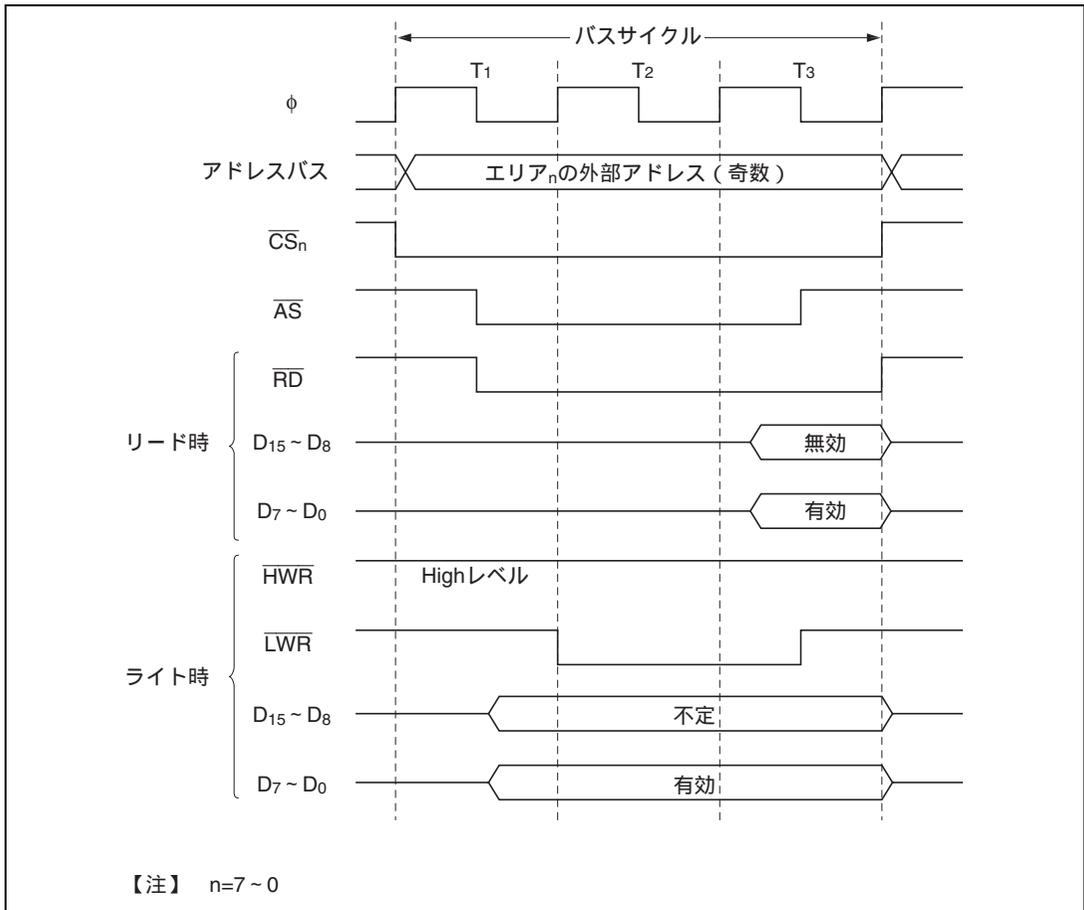


図 6.12 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (2)
(奇数アドレスバイトアクセス)

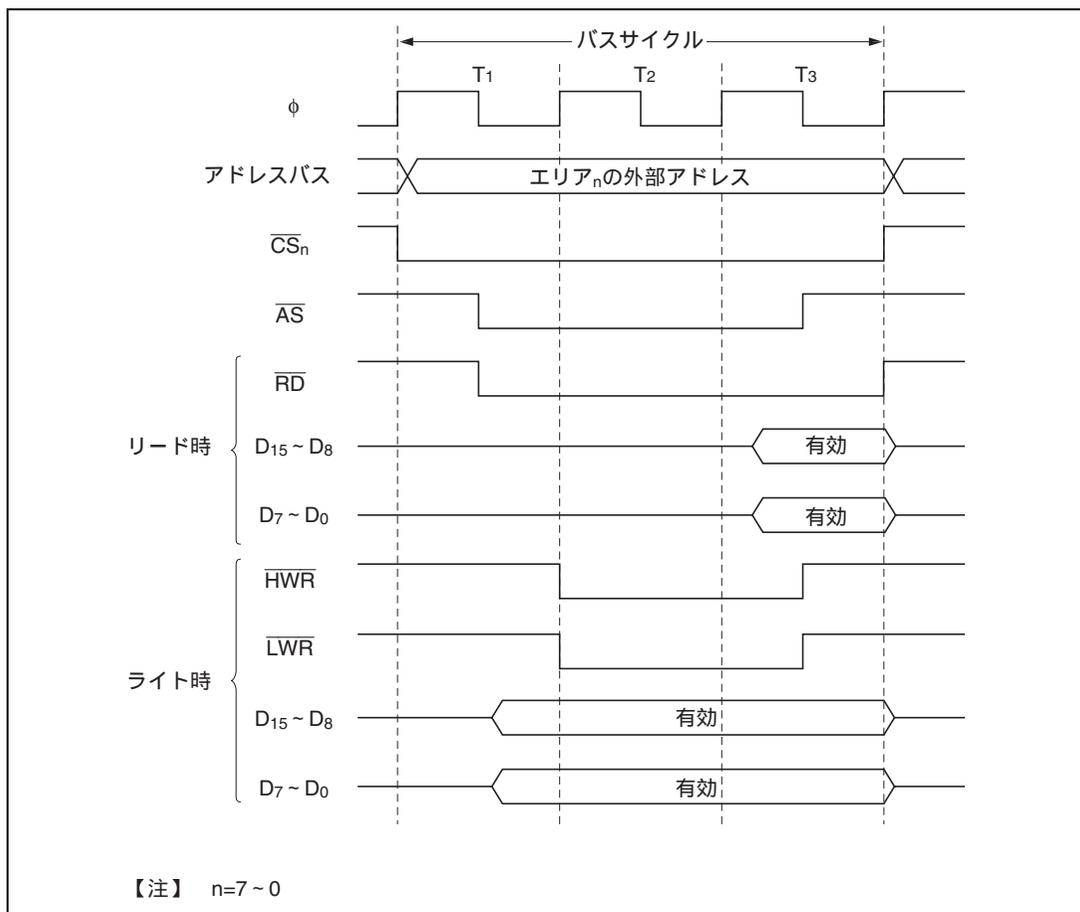


図 6.13 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (3)
(ワードアクセス)

6. バスコントローラ

(4) 16ビット2ステートアクセス空間

図 6.14 ~ 図 6.16 に 16 ビット 2 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することはできません。

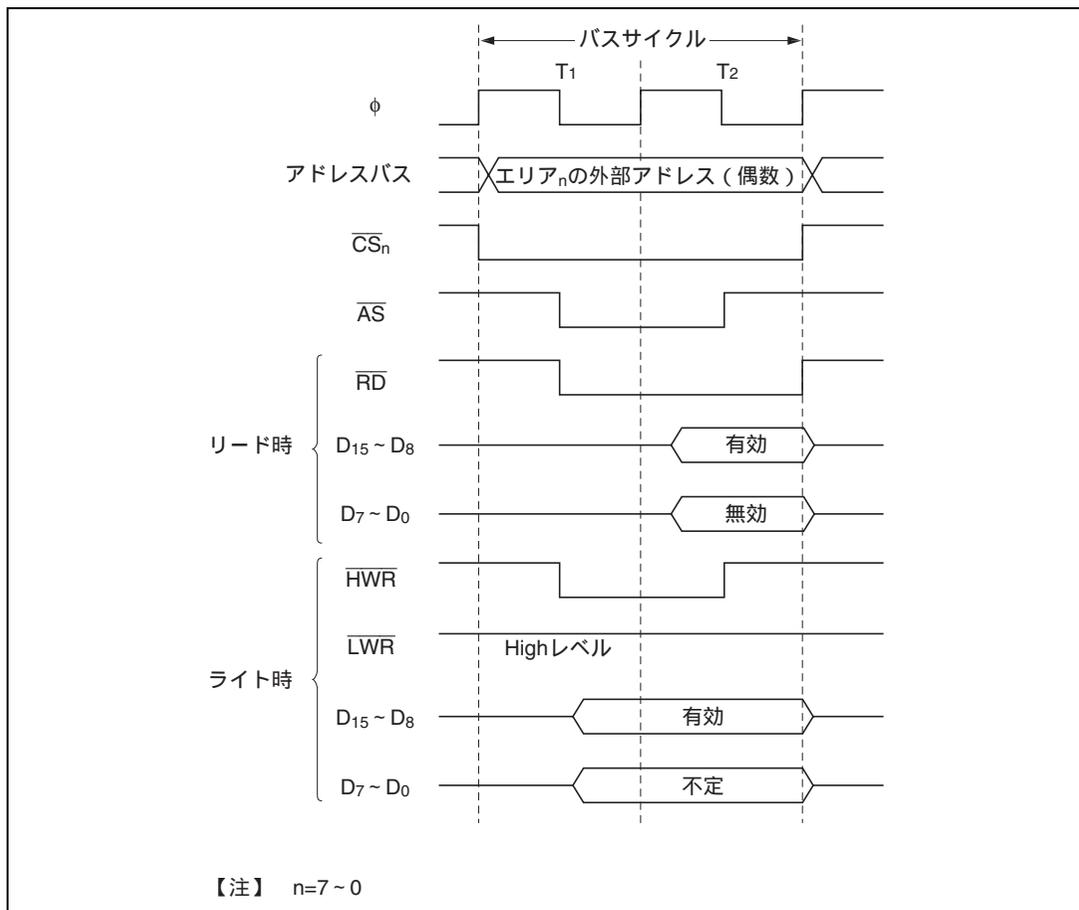


図 6.14 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (1)
(偶数アドレスバイトアクセス)

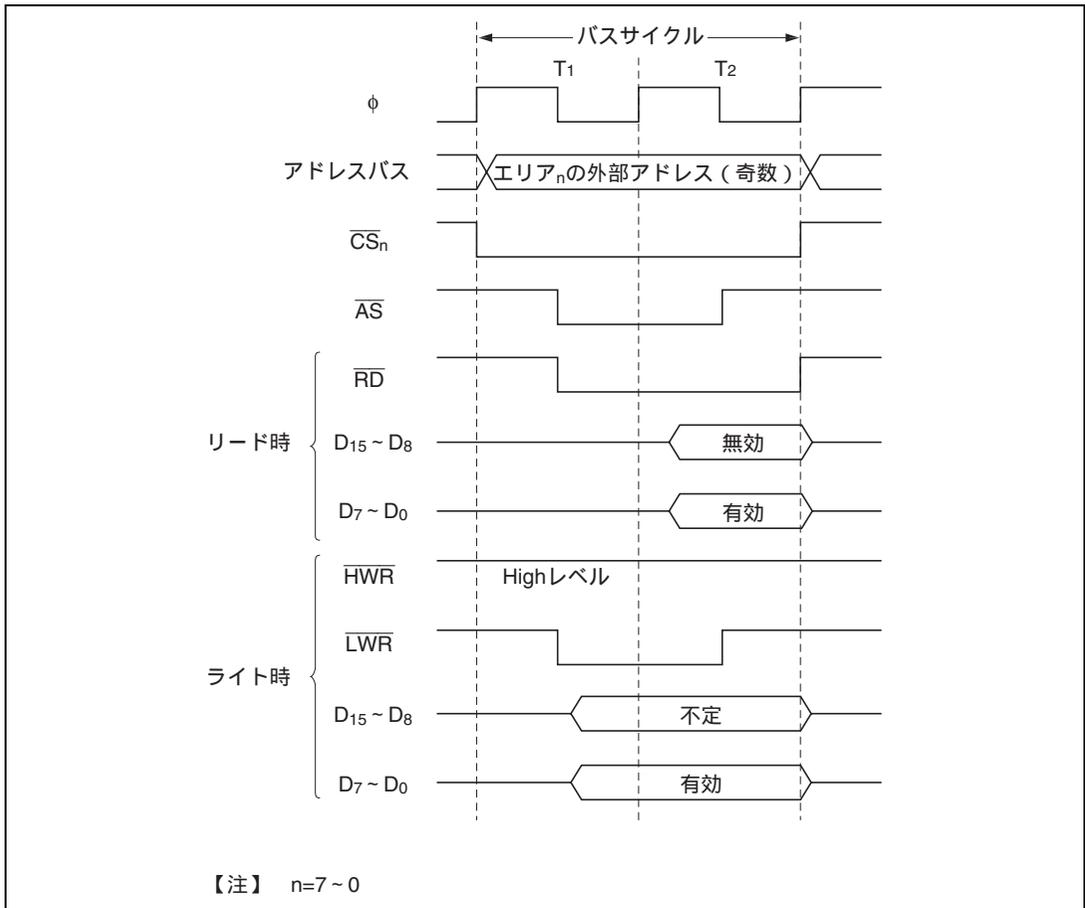


図 6.15 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (2)
(奇数アドレスバイトアクセス)

6. バスコントローラ

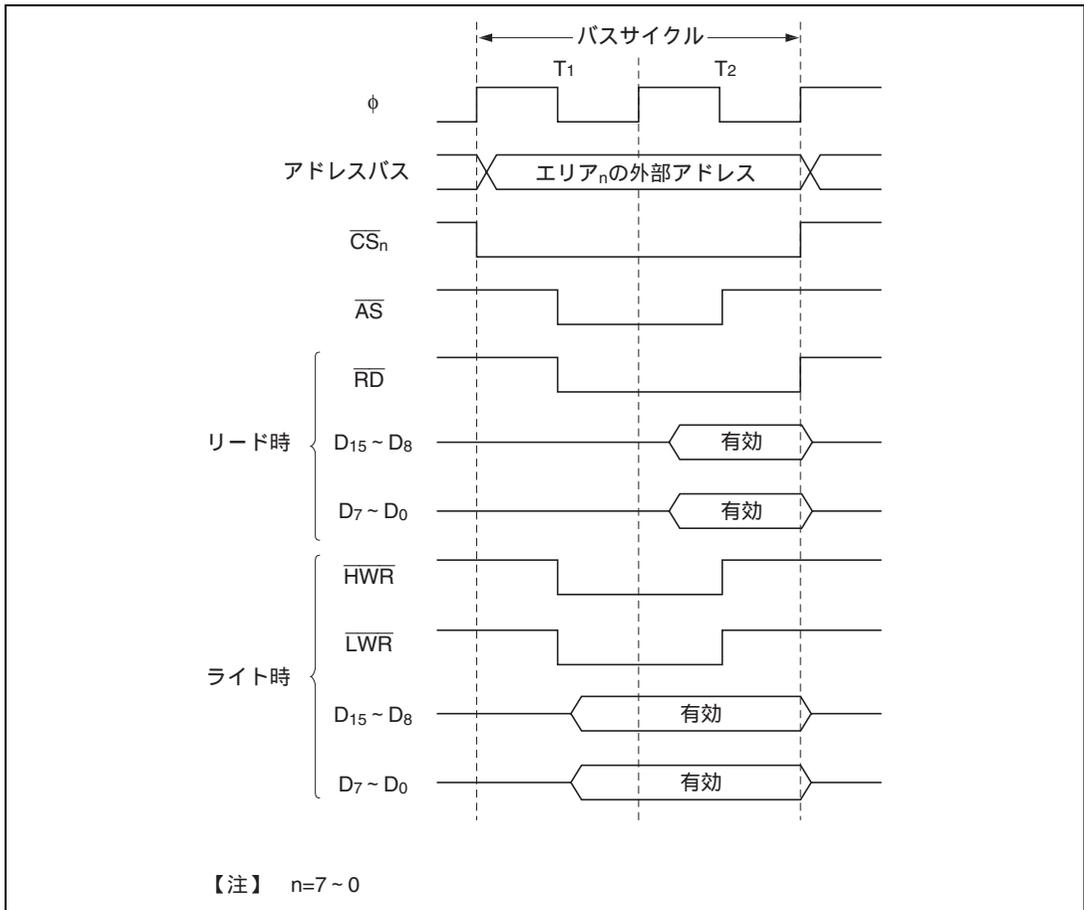


図 6.16 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (3)
(ワードアクセス)

6.4.6 ウェイト制御

本 LSI は、外部空間をアクセスするとき、ウェイトステート (T_w) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まずプログラムウェイトが挿入されます。 T_2 または T_w の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

WAITE ビットはすべてのエリアに対して共通です。

図 6.17 に 3 ステート空間プログラムウェイト 1 ステートのウェイトステート挿入のタイミング例を示します。

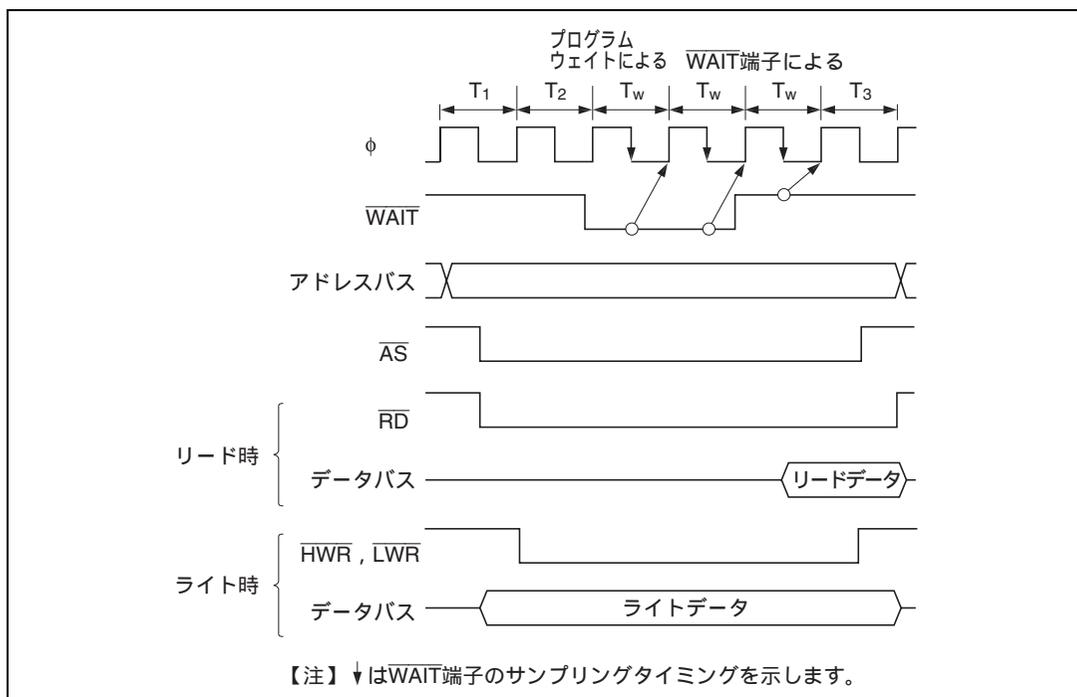


図 6.17 ウェイトステート挿入タイミング例

6.5 アイドルサイクル

6.5.1 動作説明

本 LSI は外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル(T_i)を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMなどと、高速メモリ、I/Oインタフェースなどとのデータ衝突を防ぐことができます。

BCRのICIS1、ICIS0ビットとも初期値は1ですので、初期状態でアイドルサイクルは挿入されません。データ衝突がない場合に、ICISビットのクリアが可能です。

(1) 異なるエリア間での連続リード

BCRのICIS1ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図6.18に動作例を示します。バスサイクルAは、出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはSRAMからのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBで、ROMからのリードデータとSRAMからのリードデータの衝突が発生しています。これに対し(b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

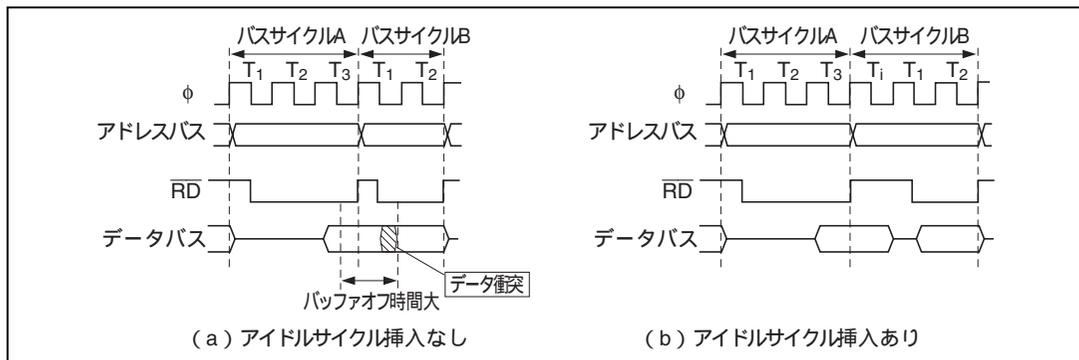


図 6.18 アイドルサイクル動作例 (ICIS1=1 のとき)

(2) リード後のライト

BCR の ICIS0 ビットを 1 にセットした状態で外部リード後に、外部ライトが発生するとライトサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.19 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。

(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

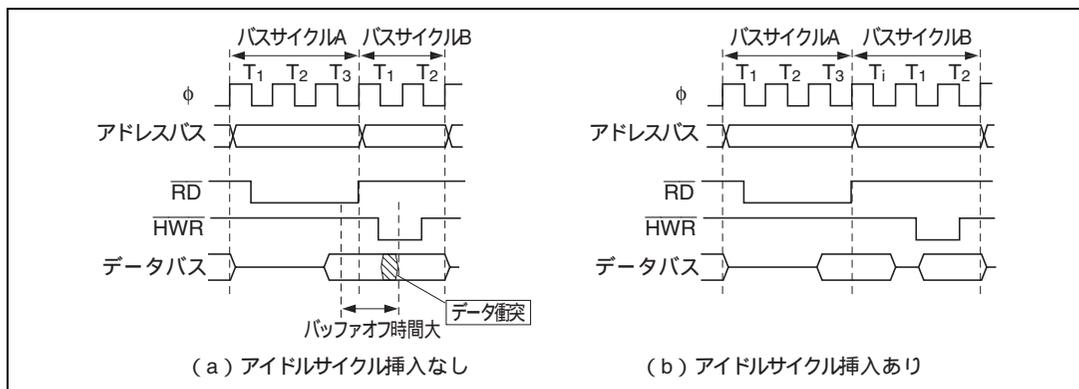


図 6.19 アイドルサイクル動作例 (ICIS0=1 のとき)

(3) 使用上の注意

アイドルサイクルの挿入を行わない設定とした場合、 \overline{RD} の立ち上がり (ネゲート) と \overline{CS}_n の立ち下がり (アサート) が同じタイミングで発生する場合があります。図 6.20 に動作例を示します。

BCR の ICIS1 ビットを 0 にセットした状態で、異なる外部エリア間での連続リードが発生した場合、または ICIS0 ビットを 0 にセットした状態で、外部リード後に異なる外部エリアに対するライトサイクルが発生した場合、はじめのリードサイクルにおける \overline{RD} のネゲートと、連続するバスサイクルの \overline{CS}_n のアサートが同じタイミングで発生します。したがって各信号の出力遅延時間に依存し、前のリードサイクルの \overline{RD} の Low 出力と、連続するバスサイクルの \overline{CS}_n の Low 出力がオーバーラップする可能性があります。

\overline{RD} と \overline{CS}_n の同時変化が発生しない場合、または発生しても問題にならない場合に限り、アイドルサイクルの挿入を行わない設定とすることができます。

6. バスコントローラ

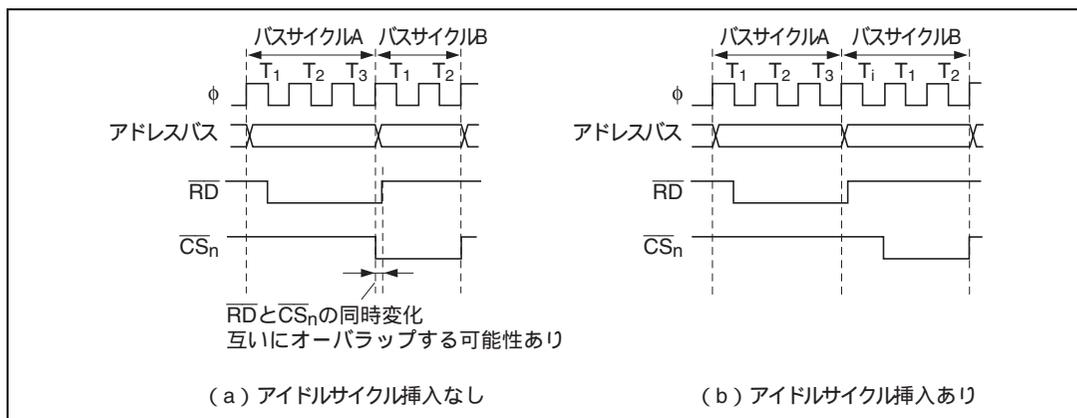


図 6.20 アイドルサイクル動作例

6.5.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A ₂₃ ~ A ₀	次サイクルのアドレスの値
D ₁₅ ~ D ₀	ハイインピーダンス
CS _n	High レベル
AS	High レベル
RD	High レベル
HWR	High レベル
LWR	High レベル

6.6 バスアービタ

バスコントローラは、バスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。

バスマスタは、CPU と外部バスマスタの2つがあり、バス権を占有した状態でリード/ライトを行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を返します。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

(高) 外部バスマスタ > CPU (低)

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

6.6.1 動作説明

(1) CPU

CPU は最も優先順位の低いバスマスタです。CPU がバスマスタの場合に外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- (1) バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません。
- (2) CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生すると直ちに、バス権が移行します。CPUの内部動作は継続されます。
- (3) CPUがスリープモードの場合、他のバスマスタからバス権要求が発生すると直ちにバス権が移行します。

6. バスコントローラ

(2) 外部バスマスタ

BRCR の BRLE ビットを 1 にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、 $\overline{\text{BREQ}}$ 端子を Low レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタがいったんバス権を獲得すると $\overline{\text{BREQ}}$ を Low レベルにしている間、バス権を保持し続けます。本 LSI は、外部バス権解放状態になると、アドレスバス、データバス、バス制御信号 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$)、チップセレクト信号 ($\overline{\text{CSn}}$: $n=7 \sim 0$) がハイインピーダンスとなります。また外部バス権解放状態では、 $\overline{\text{BACK}}$ 端子が Low レベル出力となります。

バスアービタは、 ϕ の立ち上がりで $\overline{\text{BREQ}}$ 端子をサンプリングします。 $\overline{\text{BREQ}}$ 端子の Low レベルをサンプリングすると所定のタイミングで外部バス権解放状態となります。 $\overline{\text{BACK}}$ 端子が Low レベルになるまで $\overline{\text{BREQ}}$ 端子を Low レベルに保持してください。

外部バス権解放で、 $\overline{\text{BREQ}}$ 端子の High レベルを 2 回連続してサンプリングすると、 $\overline{\text{BACK}}$ 端子を High レベルにしてバス権解放サイクルを終了します。図 6.21 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。 $\overline{\text{BREQ}}$ 端子を Low レベルとしてから外部バス権解放状態となるまで最小 3 ステートかかります。

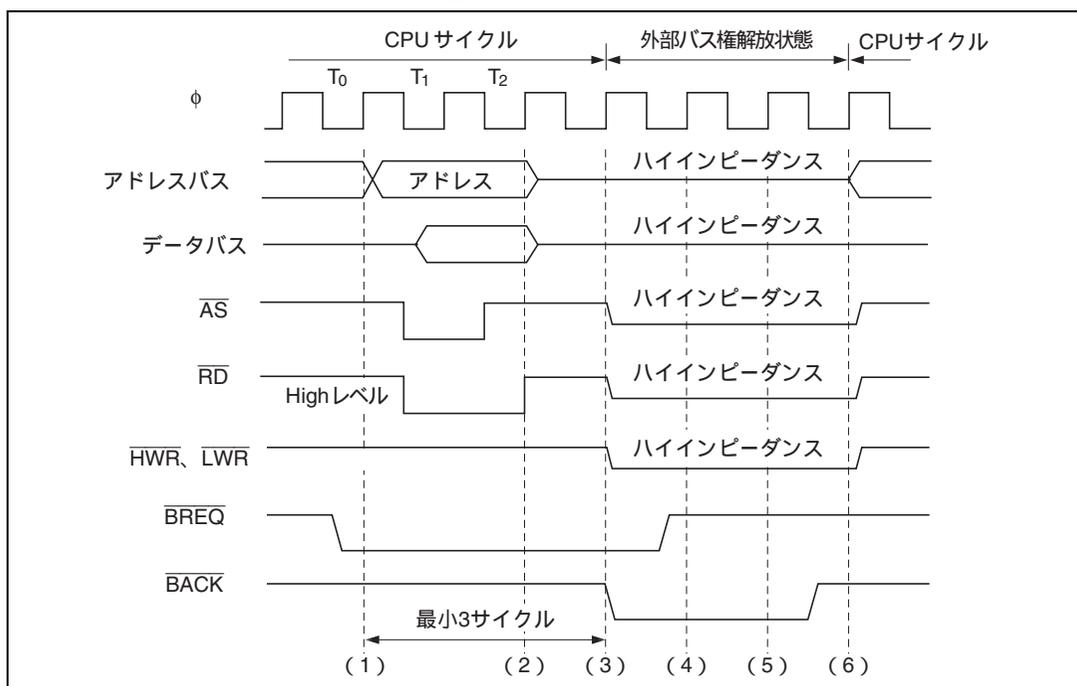


図 6.21 外部バスマスタ動作例

なお、ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移時に $\overline{\text{BACK}}$ とストローブの状態が不確定になる場合があります。

ソフトウェアスタンバイモードを使用するときは、SLEEP 命令を実行する前に、BRCCR の BRLE ビットを 0 にクリアしてください。

6.7 レジスタと端子入力のタイミング

6.7.1 レジスタライトタイミング

(1) ABWCR、ASTCR、WCRH および WCRL のライトタイミング

ABWCR、ASTCR、WCRH および WCRL をライトした場合、ライトデータは次のバスサイクルから有効となります。

このタイミングを図 6.22 に示します。

エリア 0 上の命令でエリア 0 を 3 ステートアクセス空間から 2 ステートアクセス空間へ変更した場合の例です。

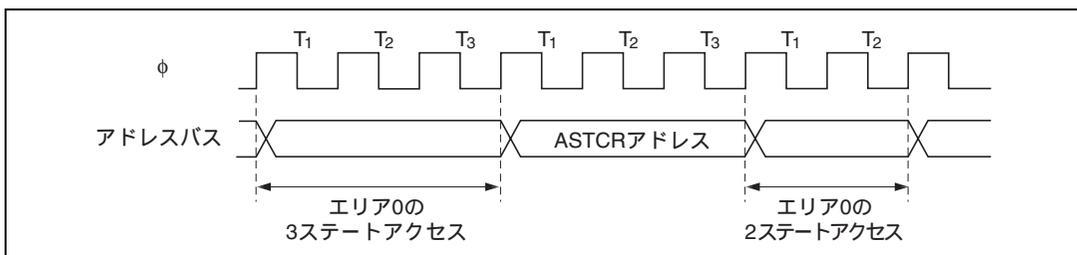


図 6.22 ASTCR ライトタイミング

(2) DDR および CSCR のライトタイミング

\overline{CS}_n 端子に対応するポートの DDR または CSCR をライトし、 \overline{CS}_n 出力と入力ポートを切り替える場合、ライトデータは DDR ライトサイクルの T_3 から有効になります。このタイミングを図 6.23 に示します。 \overline{CS}_1 端子を出力とする場合の例です。

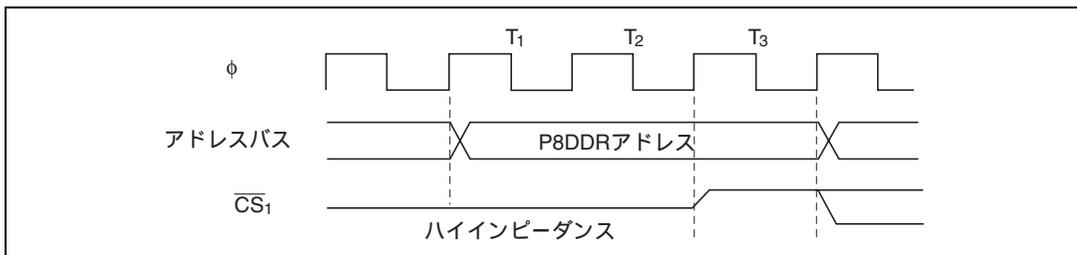


図 6.23 DDR ライトタイミング

6. バスコントローラ

(3) BRCR ライトタイミング

BRCR にライトし、 $A_{23} \sim A_{20}$ 出力と入出力ポートを切り替える場合、ライトデータは BRCR ライトサイクルの T_3 から有効になります。このタイミングを図 6.24 に示します。

入力ポートを $A_{23} \sim A_{20}$ 出力とする場合の例です。

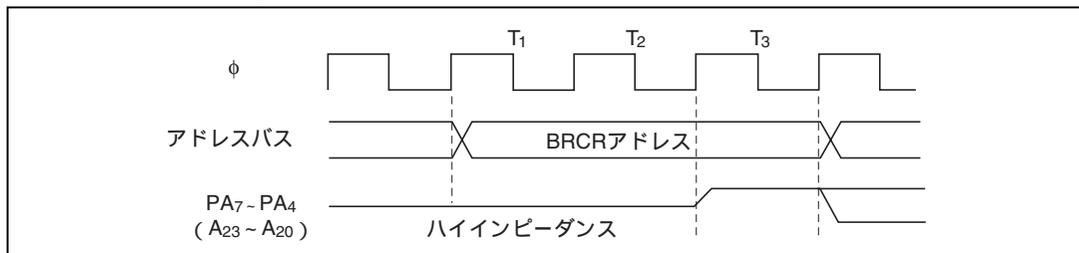


図 6.24 BRCR ライトタイミング

6.7.2 \overline{BREQ} 端子の入力タイミング

\overline{BREQ} 端子を Low レベルにした後、 \overline{BACK} 端子が Low レベルになるまで Low レベルを保持してください。BACK 端子が Low レベルになる前に \overline{BREQ} 端子を High レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときには \overline{BREQ} 端子を 3 ステート以上 High レベルにしてください。BREQ 端子の High レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

7. I/O ポート

7.1 概要

本 LSI には、6 本の入出力ポート（ポート 4、6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 7.1 に示します。表 7.1 に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDR と DR のほかに、ポート 4 には入力プルアップ MOS コントロールレジスタ（PCR）があり、プルアップ MOS のオン/オフを制御できます。

ポート 4、6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9、A、B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 4、6、8、9、A、B はダーリントントランジスタを駆動することができます。ポート P8₂ ~ P8₀、および PA₇ ~ PA₀ はシュミット入力となっています。

各ポートのブロック図は「付録 C I/O ポートブロック図」を参照してください。

表 7.1 動作モード別ポート機能一覧

ポート	概要	端子	拡張モード	
			モード 1、2	モード 3、4
ポート 4	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	P4 ₇ ~ P4 ₀ /D ₇ ~ D ₀	データ入出力端子（D ₇ ~ D ₀ ）と 8 ビットの入出力ポートの兼用 8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータ入出力端子	
ポート 6	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P6 ₇ /φ	クロック出力端子（φ）と入力ポートの兼用	
		P6 ₆ /LWR P6 ₆ /HWR P6 ₆ /RD P6 ₆ /AS	バス制御信号出力端子（LWR、HWR、RD、AS）	
		P6 ₂ /BACK P6 ₂ /BREQ P6 ₂ /WAIT	バス制御信号入出力端子（BACK、BREQ、WAIT）と 3 ビットの入出力ポートの兼用	
ポート 7	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P7 ₇ /AN ₇ /DA ₁ P7 ₆ /AN ₆ /DA ₀	A/D 変換器のアナログ入力端子（AN ₇ 、AN ₆ ）および D/A 変換器のアナログ出力端子（DA ₁ 、DA ₀ ）と入力ポートの兼用	
		P7 ₅ ~ P7 ₀ /AN ₅ ~ AN ₀	A/D 変換器のアナログ入力端子（AN ₅ ~ AN ₀ ）と入力ポートの兼用	

7. I/O ポート

ポート	概要	端子	拡張モード	
			モード 1、2	モード 3、4
ポート 8	<ul style="list-style-type: none"> 5 ビットの入出力ポート P8₂ ~ P8₀ はシュミット入力 	P8 ₄ /CS ₀	DDR = 0 のとき入力ポート DDR = 1 のとき (リセット後) CS ₀ 出力端子	
		P8 ₂ /IRQ ₂ /CS ₁ / ADTRG	IRQ ₂ 入力端子、CS ₁ 出力端子、A/D 変換器の外部トリガ入力端子 (ADTRG) と入力ポートの兼用、DDR = 0 のとき (リセット後) 入力ポート、DDR = 1 のとき CS ₁ 出力端子	
		P8 ₂ /IRQ ₂ /CS ₂ P8 ₁ /IRQ ₁ /CS ₃	IRQ ₂ 、IRQ ₁ 入力端子、CS ₂ 、CS ₃ 出力端子と入力ポートの兼用、DDR = 0 のとき (リセット後) 入力ポート、DDR = 1 のとき CS ₂ 、CS ₃ 出力端子	
		P8 ₀ /IRQ ₀	IRQ ₀ 入力端子と入出力ポートの兼用	
ポート 9	<ul style="list-style-type: none"> 6 ビットの入出力ポート 	P9 ₅ /IRQ ₅ /SCK ₁ , P9 ₅ /IRQ ₅ /SCK ₀ , P9 ₃ /RxD ₁ , P9 ₂ /RxD ₀ , P9 ₁ /TxD ₁ , P9 ₀ /TxD ₀	SCI0、SCI1 の入出力端子 (SCK ₁ 、SCK ₀ 、RxD ₁ 、RxD ₀ 、TxD ₁ 、TxD ₀)、および IRQ ₅ 、IRQ ₄ 入力端子と 6 ビットの入出力ポートの兼用	
ポート A	<ul style="list-style-type: none"> 8 ビットの入出力ポート シュミット入力 	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	TPC 出力端子 (TP ₇)、16TIM の入出力端子 (TIOCB ₂) と入出力ポートの兼用	アドレス出力端子 (A ₂₀)
		PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁ , PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂ , PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	TPC 出力端子 (TP ₆ ~ TP ₄)、16TIM の入出力端子 (TIOCA ₂ 、TIOCB ₁ 、TIOCA ₁) と入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₄)、16TIM の入出力端子 (TIOCA ₂ 、TIOCB ₁ 、TIOCA ₁) と入出力ポートの兼用
		PA ₃ /TP ₃ /TIOCB ₀ / TCLKD PA ₂ /TP ₂ /TIOCA ₀ / TCLKC PA ₁ /TP ₁ /TCLKB PA ₀ /TP ₀ /TCLKA	TPC 出力端子 (TP ₃ ~ TP ₀)、16TIM の入出力端子 (TIOCB ₀ 、TIOCA ₀ 、TCLKD、TCLKC、TCLKB、TCLKA)、8TIM の入力端子 (TCLKD、TCLKC、TCLKB、TCLKA) と入出力ポートの兼用	
ポート B	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	PB ₇ /TP ₁₅ , PB ₆ /TP ₁₄ , PB ₅ /TP ₁₃ , PB ₄ /TP ₁₂	TPC 出力端子 (TP ₁₅ ~ TP ₁₂) と入出力ポートの兼用	
		PB ₃ /TP ₁₁ /TMIO ₃ / CS ₄ , PB ₂ /TP ₁₀ /TMO ₂ /CS ₅ , PB ₁ /TP ₉ /TMIO ₁ /CS ₆ , PB ₀ /TP ₈ /TMO ₀ /CS ₇	TPC 出力端子 (TP ₁₁ ~ TP ₈)、8TIM の入出力端子 (TMIO ₃ 、TMO ₂ 、TMIO ₁ 、TMO ₀)、CS ₇ ~ CS ₄ 出力端子と入出力ポートの兼用	

【記号説明】

- SCI0 : シリアルコミュニケーションインタフェース チャネル 0
 SCI1 : シリアルコミュニケーションインタフェース チャネル 1
 TPC : プログラマブルタイミングパターンコントローラ
 16TIM : 16 ビットタイマ
 8TIM : 8 ビットタイマ

7.2 ポート4

7.2.1 概要

ポート4は、データバス兼用の8ビットの入出力ポートです。ポート4の各端子は、図7.1に示す構成となっており、動作モードにより端子機能が異なります。

本LSIでは、バス幅コントロールレジスタ（ABWCR）により、エリア0~7のすべてを8ビットアクセス空間に設定すると、8ビットバスモードとなり、ポート4は入出力ポートとなります。また、エリア0~7のうち少なくとも1つのエリアを16ビットアクセス空間に設定すると、16ビットバスモードとなり、ポート4はデータバスとなります。

ポート4は、プログラムで制御可能なプルアップMOSが内蔵されています。

ポート4は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

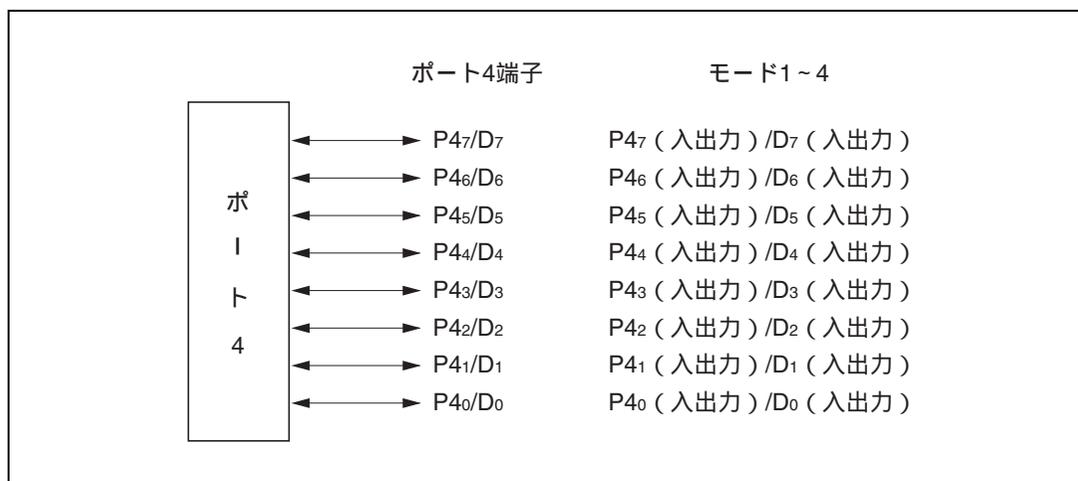


図 7.1 ポート4の端子構成

7.2.2 レジスタ構成

表7.2にポート4のレジスタ構成を示します。

表 7.2 ポート4レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE003	ポート4データディレクションレジスタ	P4DDR	W	H'00
H'FFFD3	ポート4データレジスタ	P4DR	R/W	H'00
H'EE03E	ポート4入力プルアップMOSコントロールレジスタ	P4PCR	R/W	H'00

【注】 * アドバンスモードときのアドレス下位20ビットを示しています。

7. I/O ポート

(1) ポート4 データディレクションレジスタ (P4DDR)

P4DDR は、8 ビットのライト専用のレジスタで、ポート4 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4データディレクション7~0

ポート4の各端子の入出力を選択するビットです。

バスコントローラのバス幅コントロールレジスタ (ABWCR) により全エリアを8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート4 は入出力ポートとして機能します。このときP4DDR に1 をセットすると対応するポート4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また少なくとも1つのエリアを16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、P4DDR の設定値にかかわらずポート4 はデータバスとして機能します。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

P4DDR は、リセット、またはハードウェアスタンバイモードときに、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時には初期化されません。そのため、ポート4 が入出力ポートとして機能しているとき、P4DDR が1 にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート4 データレジスタ (P4DR)

P4DR は、8 ビットのリード/ライト可能なレジスタで、ポート4 の出力データを格納します。ポート4 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P4DDR が0 のビットは端子のロジックレベルが読み出され、1 のビットは、P4DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート4データ7~0

ポート4の各端子のデータを格納するビットです。

P4DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフト

ウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート4入力プルアップMOSコントロールレジスタ (P4PCR)

P4PCRは8ビットのリード/ライト可能なレジスタで、ポート4に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ポート4入力プルアップMOSコントロール7~0
ポート4に内蔵した入力プルアップMOSを制御するビットです。

モード1~4(拡張モード)の8ビットバスモード時、P4DDRを0にクリアした(入力ポートの)状態で、P4PCRを1にセットすると入力プルアップMOSはONします。

P4PCRは、リセット、またはハードウェアスタンバイモード時に、H'00に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.3に示します。

表 7.3 入力プルアップMOSの状態(ポート4)

モード		リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1~4	8ビットバスモード	OFF		ON / OFF	
	16ビットバスモード	OFF			

【記号説明】

OFF : 入力プルアップMOSは、常にOFF状態です。

ON / OFF : P4PCR=1かつP4DDR=0のときON状態、その他のときはOFF状態です。

7.3 ポート6

7.3.1 概要

ポート6は、8ビットの入出力ポートです。ポート6はバス制御入出力端子 (\overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS} 、 \overline{BACK} 、 \overline{BREQ} 、 \overline{WAIT})、クロック端子 (ϕ) と兼用になっています。

ポート6の端子構成を図7.2に示します。

端子機能の選択方法については表7.5を参照してください。

ポート6は、1個のTTL負荷と90pFの容量を負荷駆動することができます。また、ダーリントントランジスタを駆動することができます。

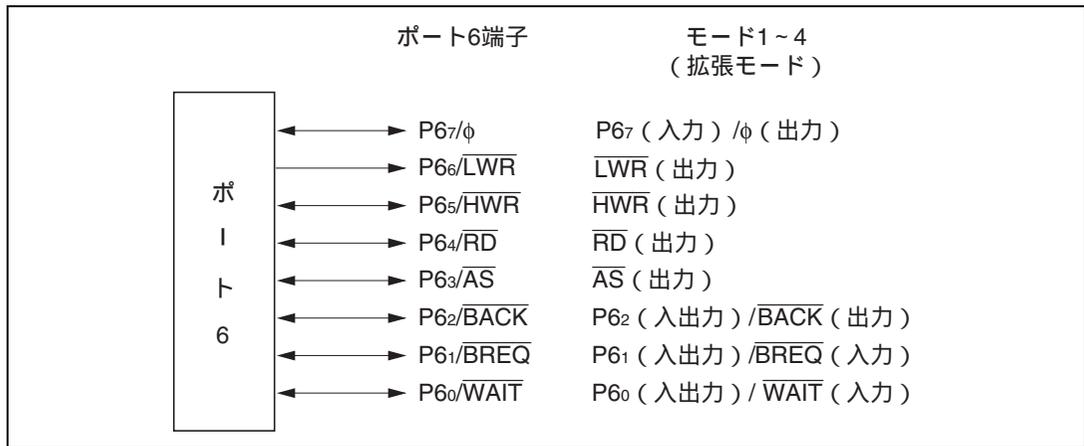


図 7.2 ポート6の端子構成

7.3.2 レジスタ構成

表7.4にポート6のレジスタ構成を示します。

表 7.4 ポート6レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'EE005	ポート6データディレクションレジスタ	P6DDR	W	H'80
H'FFFD5	ポート6データレジスタ	P6DR	R/W	H'80

【注】 * アドバンスモード時のアドレス下位20ビットを示しています。

(1) ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット 7 はリザーブビットで、1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

リザーブビット

ポート6データディレクション6~0
ポート6の各端子の入出力を選択するビットです。

(a) モード 1~4 (拡張モード)

ポート P6₇ はクロック出力端子 (φ) / 入力ポートとして機能します。

MSTCRH の PSTOP ビットを 0 にクリア (初期状態) するとクロック出力端子 (φ) となり、1 にセットすると入力ポートになります。

ポート P6₆ ~ P6₃ は、P6₆DDR ~ P6₃DDR の設定にかかわらず、バス制御出力端子 (\overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS}) として機能します。

ポート P6₂ ~ P6₀ は、バス制御入出力端子 (\overline{BACK} 、 \overline{BREQ} 、 \overline{WAIT}) / 入出力ポートとして機能します。端子機能の選択方法については、表 7.7 を参照してください。

ポート P6₂ ~ P6₀ が入出力ポートとして機能する場合、P6DDR を 1 にセットすると対応するポート 6 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート 6 データレジスタ (P6DR)

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 各端子の出力データを格納します。ポート 6 が出力ポートとして機能する場合、本レジスタの値が出力されます。ビット 7 は、MSTCRH の PSTOP ビットが 0 のときリードすると 1 が読み出され、1 のときリードすると P6₇ 端子のロジックレベルが読み出されます。ライトは無効です。ビット 6~0 は、P6DDR の対応するビットが 0 のときリードすると端子のロジックレベルが読み出され、1 のときリードすると P6DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W						

ポート6データ7~0
ポート6の各端子のデータを格納するビットです。

7. I/O ポート

P6DR は、リセット、またはハードウェアスタンバイモード時に、H'80 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 7.5 モード 1~4 の端子機能 (ポート 6)

端子	選択方法と端子機能		
P6 ₀ /φ	MSTCRH の PSTOP ビットにより、次のように切り替わります。		
	PSTOP	0	1
	端子機能	φ出力端子	P6 ₇ 入力端子
LWR	P6 ₀ DDR ビットの設定にかかわらず LWR になります。		
	P6 ₀ DDR	0	1
	端子機能	LWR 出力端子	
HWR	P6 ₃ DDR ビットの設定にかかわらず HWR になります。		
	P6 ₃ DDR	0	1
	端子機能	HWR 出力端子	
RD	P6 ₀ DDR ビットの設定にかかわらず RD になります。		
	P6 ₀ DDR	0	1
	端子機能	RD 出力端子	
AS	P6 ₀ DDR ビットの設定にかかわらず AS になります。		
	P6 ₀ DDR	0	1
	端子機能	AS 出力端子	
P6 ₂ /BACK	BRCR の BRLE ビットと P6 ₂ DDR ビットの組み合わせにより、次のように切り替わります。		
	BRLE	0	1
	P6 ₂ DDR	0	1
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子
P6 ₄ /BREQ	BRCR の BRLE ビットと P6 ₄ DDR ビットの組み合わせにより、次のように切り替わります。		
	BRLE	0	1
	P6 ₄ DDR	0	1
	端子機能	P6 ₄ 入力端子	P6 ₄ 出力端子
P6 ₀ /WAIT	BCR の WAITE ビットと P6 ₀ DDR ビットの組み合わせにより、次のように切り替わります。		
	WAITE	0	1
	P6 ₀ DDR	0	1
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子
			WAIT 入力端子
	【注】* P6 ₀ DDR は 1 にセットしないでください。		

7.4 ポート 7

7.4.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を図 7.3 に示します。

A/D 変換器のアナログ入力端子については「第 14 章 A/D 変換器」を参照してください。

D/A 変換器のアナログ出力端子については「第 15 章 D/A 変換器」を参照してください。

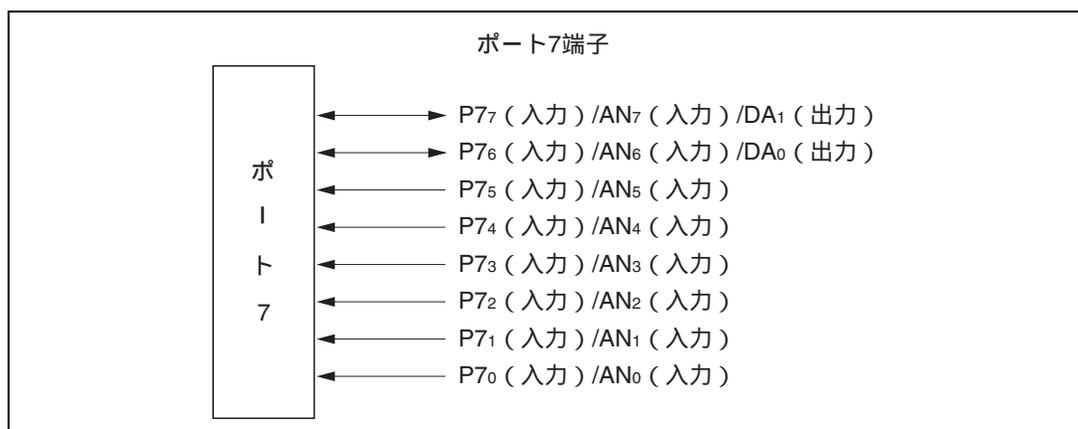


図 7.3 ポート 7 の端子構成

7.4.2 レジスタ構成

表 7.6 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 7.6 ポート 7 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFFD6	ポート 7 データレジスタ	P7DR	R	不定

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	—	*	—	*	—	*	—	*
R/W :	R	R	R	R	R	R	R	R

【注】 * P7₇ ~ P7₀ 端子により決定されます。

P7DR のリードを行うと、常に端子のロジックレベルが読み出されます。ライトは無効です。

7.5 ポート 8

7.5.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子、A/D 変換器の \overline{ADTRG} 入力端子と兼用になっています。ポート 8 の端子構成を図 7.4 に示します。

本 LSI では、ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子、 \overline{ADTRG} 入力端子と兼用になります。拡張モードでの端子機能の選択方法については表 7.8 を参照してください。

A/D 変換器の \overline{ADTRG} 入力端子については「第 14 章 A/D 変換器」を参照してください。

$\overline{IRQ}_3 \sim \overline{IRQ}_0$ の機能は入出力にかかわらず IER をセットすることにより選択されますので注意が必要です。詳細は「5.3.1 外部割り込み」を参照してください。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

P8₂ ~ P8₀ はシュミットトリガ入力です。

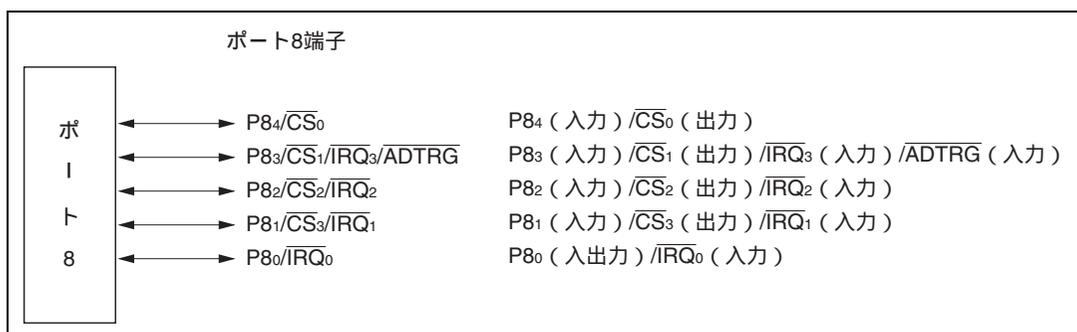


図 7.4 ポート 8 の端子構成

7.5.2 レジスタ構成

表 7.7 にポート 8 のレジスタ構成を示します。

表 7.7 ポート 8 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'EE007	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0
H'FFFD7	ポート 8 データレジスタ	P8DR	R/W	H'E0

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、8 ビットのライト専用のレジスタで、ポート 8 各端子の入出力をビットごとに指定することができます。

ビット 7~5 はリザーブビットで、1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	W	W	W	W	W

リザーブビット

ポート8データディレクション4~0
ポート8の各端子の入出力を選択するビットです。

$P8_4 \sim P8_1$ は P8DDR の対応するビットが 1 のとき $\overline{CS}_0 \sim \overline{CS}_3$ 出力端子となり、0 のとき入力ポートとなります。本 LSI ではリセット直後は $P8_4$ のみ \overline{CS}_0 出力となり、 $\overline{CS}_1 \sim \overline{CS}_3$ は入力ポートとなります。

P8DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P8DDR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。P8DDR は、ソフトウェアスタンバイモード時には直前の状態を保持します。そのためポート 8 が入出力ポートとして機能しているとき、P8DDR が 1 にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート 8 データレジスタ (P8DR)

P8DR は、8 ビットのリード/ライト可能なレジスタで、ポート 8 の出力データを格納します。ポート 8 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P8DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P8DR の値が読み出されます。

ビット 7~5 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P84	P83	P82	P81	P80
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ4~0
ポート8の各端子のデータを格納する
ビットです。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7. I/O ポート

表 7.8 モード 1~4 の端子機能 (ポート 8)

端子	選択方法と端子機能		
P8 ₄ /CS ₀	P8 ₄ DDR ビットにより、次のように切り替わります。		
	P8 ₄ DDR	0	1
	端子機能	P8 ₄ 入力端子	CS ₀ 出力端子
P8 ₃ /CS ₁ / IRQ ₃ / ADTRG	P8 ₃ DDR ビットにより、次のように切り替わります。		
	P8 ₃ DDR	0	1
	端子機能	P8 ₃ 入力端子	CS ₁ 出力端子
		IRQ ₃ 入力端子	
		ADTRG 入力端子	
P8 ₂ /CS ₂ / IRQ ₂	P8 ₂ DDR ビットにより、次のように切り替わります。		
	P8 ₂ DDR	0	1
	端子機能	P8 ₂ 入力端子	CS ₂ 出力端子
		IRQ ₂ 入力端子	
P8 ₁ /CS ₃ / IRQ ₁	P8 ₁ DDR ビットにより、次のように切り替わります。		
	P8 ₁ DDR	0	1
	端子機能	P8 ₁ 入力端子	CS ₃ 出力端子
		IRQ ₁ 入力端子	
P8 ₀ /IRQ ₀	P8 ₀ DDR ビットにより、次のように切り替わります。		
	P8 ₀ DDR	0	1
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子
		IRQ ₀ 入力端子	

7.6 ポート9

7.6.1 概要

ポート9は、6ビットの入出力ポートです。ポート9はシリアルコミュニケーションインタフェースチャンネル0、1 (SCI0、SCI1)の入出力端子 (TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。

端子機能の選択方法については表 7.10 を参照してください。

$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ の機能は入出力にかかわらず IER をセットすることにより選択されますので注意が必要です。詳細は「5.3.1 外部割り込み」を参照してください。

ポート9の端子機能はいずれの動作モードでも共通です。ポート9の端子構成を図 7.5 に示します。

ポート9は、1個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

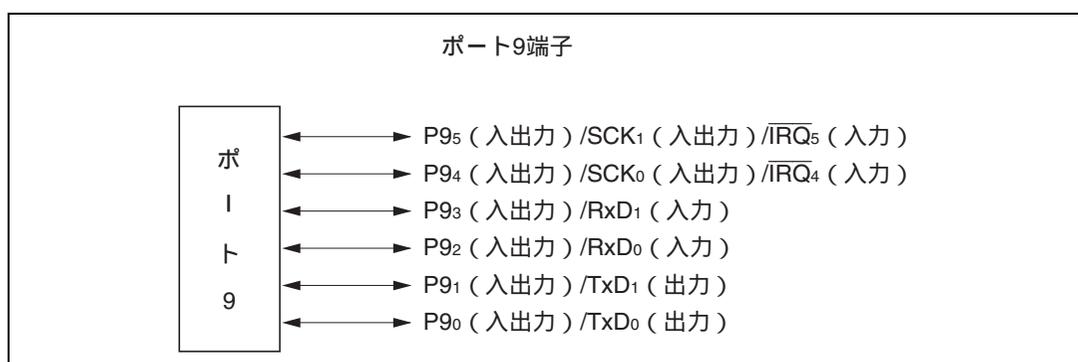


図 7.5 ポート9の端子構成

7.6.2 レジスタ構成

表 7.9 にポート9のレジスタ構成を示します。

表 7.9 ポート9レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'EE008	ポート9データディレクションレジスタ	P9DDR	W	H'00
H'FFFD8	ポート9データレジスタ	P9DR	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

7. I/O ポート

(1) ポート9 データディレクションレジスタ (P9DDR)

P9DDR は、8 ビットのライト専用のレジスタで、ポート9 各端子の入出力をビットごとに指定することができます。

ビット7、6 はリザーブビットで、1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

リザーブビット

ポート9データディレクション5~0
ポート9の各端子の入出力を選択するビットです。

ポート9 が入出力ポートとして機能している場合、P9DDR を1 にセットすると対応するポート9 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。端子機能の選択方法については、表 7.10 を参照してください。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると1 が読み出されます。

P9DDR は、リセット、またはハードウェアスタンバイモード時に、H'CO に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのためポート9 が入出力ポートとして機能しているとき、P9DDR が1 にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート9 データレジスタ (P9DR)

P9DR は、8 ビットのリード/ライト可能なレジスタで、ポート9 の出力データを格納します。ポート9 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P9DDR が0 のビットは端子のロジックレベルが読み出され、1 のビットは P9DR の値が読み出されます。

ビット7、6 はリザーブビットで1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート9データ5 ~0
ポート9の各端子のデータを格納するビットです。

P9DR は、リセット、またはハードウェアスタンバイモード時に、H'CO に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 7.10 ポート 9 の端子機能

端子	選択方法と端子機能					
P9 ₅ /SCK ₅ / IRQ ₅	SCI1 の SMR の C/A ビット、SCR の CKE0、CKE1 ビットと P9 ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/A	0		1	-	
	CKE0	0		1	-	-
	P9 ₅ DDR	0	1	-	-	-
	端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SCK ₅ 出力端子	SCK ₅ 出力端子	SCK ₅ 入力端子
		IRQ ₅ 入力端子				
P9 ₄ /SCK ₄ / IRQ ₄	SCI0 の SMR の C/A ビット、SCR の CKE0、CKE1 ビットと P9 ₄ DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/A	0		1	-	
	CKE0	0		1	-	-
	P9 ₄ DDR	0	1	-	-	-
	端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK ₄ 出力端子	SCK ₄ 出力端子	SCK ₄ 入力端子
		IRQ ₄ 入力端子				
P9 ₃ /RxD ₁	SCI1 の SCR の RE ビットと SCMR の SMIF ビットと P9 ₃ DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0			1	
	RE	0		1	-	
	P9 ₃ DDR	0	1	-	-	
	端子機能	P9 ₃ 入力端子	P9 ₃ 出力端子	RxD ₁ 入力端子	RxD ₁ 入力端子	
P9 ₂ /RxD ₀	SCI0 の SCR の RE ビットと SCMR の SMIF ビットと P9 ₂ DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0			1	
	RE	0		1	-	
	P9 ₂ DDR	0	1	-	-	
	端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	RxD ₀ 入力端子	RxD ₀ 入力端子	

7. I/O ポート

端子	選択方法と端子機能			
P9 _i /TxD _i	SCI1 の SCR の TE ビットと、SCMR の SMIF ビット、および P9 _i DDR ビットの組み合わせにより、次のように切り替わります。			
	SMIF	0		1
	TE	0	1	-
	P9 _i DDR	0	1	-
	端子機能	P9 _i 入力端子	P9 _i 出力端子	TxD _i 出力端子
【注】* TxD _i 出力端子として機能します。ただしハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。				
P9 _o /TxD _o	SCI0 の SCR の TE ビット、SCMR の SMIF ビット、および P9 _o DDR ビットの組み合わせにより、次のように切り替わります。			
	SMIF	0		1
	TE	0	1	-
	P9 _o DDR	0	1	-
	端子機能	P9 _o 入力端子	P9 _o 出力端子	TxD _o 出力端子
【注】* TxD _o 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。				

7.7 ポート A

7.7.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A はプログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP₇ ~ TP₀)、16 ビットタイマの入出力端子 (TIOCB₂、TIOCA₂、TIOCB₁、TIOCA₁、TIOCB₀、TIOCA₀、TCLKD、TCLKC、TCLKB、TCLKA)、8 ビットタイマのクロック入力端子 (TCLKD、TCLKC、TCLKB、TCLKA)、アドレスバス (A₂₃ ~ A₂₀) と兼用になっています。ポート A は、動作モード 3、4 で A₂₀ が強制的に出力となることを除き、リセットおよびハードウェアスタンバイモードで入力ポートとなっています。端子機能の選択方法については表 7.12 ~ 表 7.14 を参照してください。

TPC、16 ビットタイマ、8 ビットタイマの入出力端子として使用する端子については、それぞれのモジュールの説明を参照してください。モード 3、4 における A₂₃ ~ A₂₀ の機能の詳細については、「6.2.4 バスリリースコントロールレジスタ (BRCLR)」を参照してください。これらいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート A の端子構成を図 7.6 に示します

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポート A は、シュミットトリガ入力です。

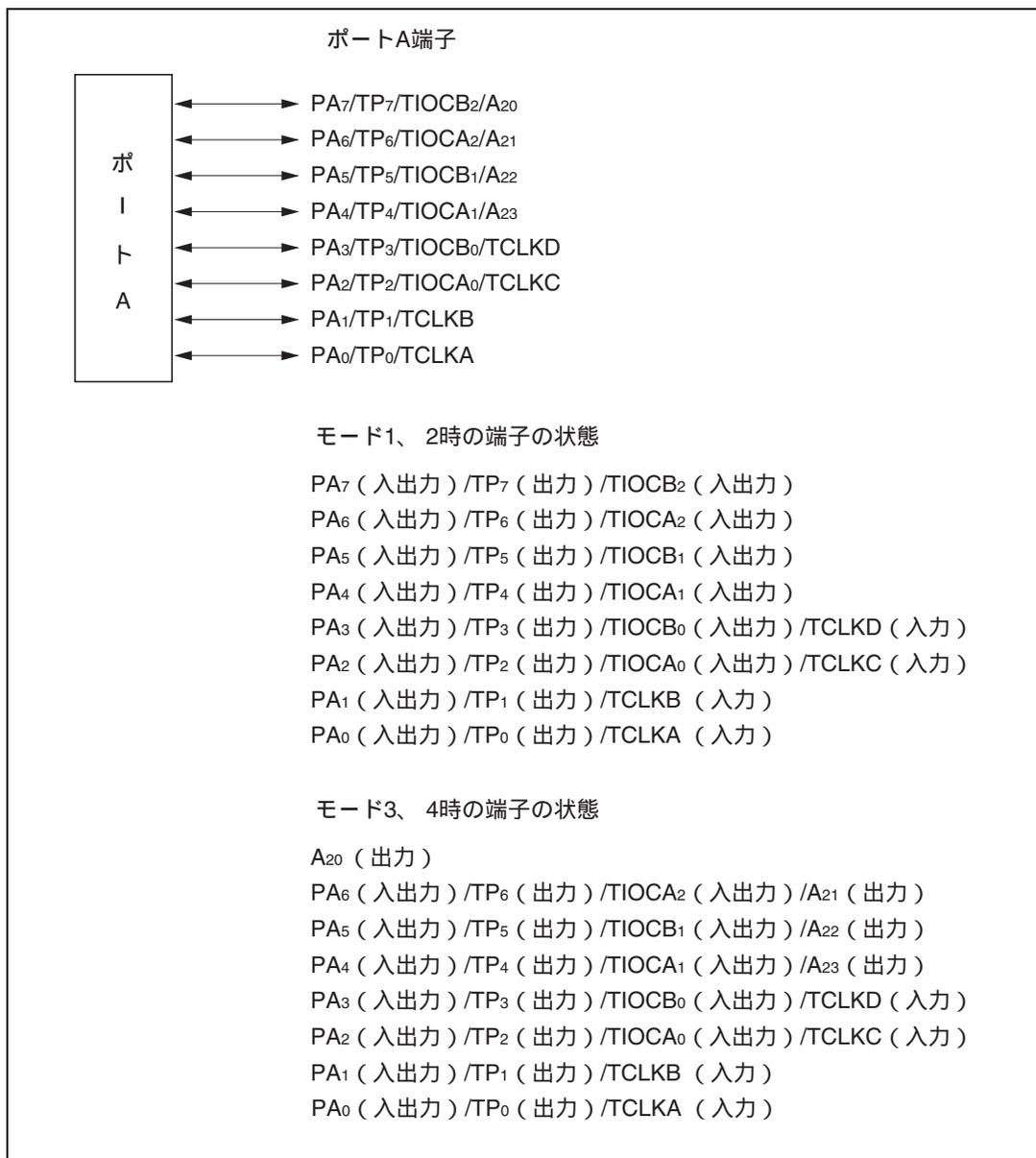


図 7.6 ポート A の端子構成

7.7.2 レジスタ構成

表 7.11 にポート A のレジスタ構成を示します。

表 7.11 ポート A レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1、2	モード 3、4
H'EE009	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFFD9	ポート A データレジスタ	PADR	R/W	H'00	

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

ビット :		7	6	5	4	3	2	1	0
		PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
モード3、4	初期値 :	1	0	0	0	0	0	0	0
	R/W :	—	W	W	W	W	W	W	W
モード1、2	初期値 :	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0
ポートAの各端子の入出力を選択するビットです。

PA₇ ~ PA₃ は、モード 1、2 の場合と、モード 3、4 の場合で、選択できる端子機能が異なります。端子機能の選択方法については、表 7.12 および表 7.13 を参照してください。

PA₃ ~ PA₀ については、選択できる端子機能はモード 1 ~ 4 で共通です。端子機能の選択方法については表 7.14 を参照してください。

ポート A が入出力ポートとして機能している場合、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。ただし、モード 3、4 では PA₇DDR は 1 に固定され、PA₇ はアドレス A₂₀ 出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2 では H'00 に、モード 3、4 では H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのためポート A が入出力ポートとして機能しているとき、PADDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート A データレジスタ (PADR)

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の出力データを格納します。ポート A が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、PADDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PADR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

ポートAデータ7~0
ポートAの各端子のデータを格納するビットです。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7. I/O ポート

表 7.12 ポート A (モード 1、2) の端子機能

端子	選択方法と端子機能				
PA ₇ /TP ₇ / TIOCB ₂	TMDR の PWM2 ビット、TIOB2 の IOB2 ~ IOB0 ビット、NDERA の NDER7 ビットと PA ₇ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 2 の設定	下表 (1)		下表 (2)	
	PA ₇ DDR	-	0	1	1
	NDER7	-	-	0	1
	端子機能	TIOCB ₂ 出力端子	PA ₇ 入力端子	PA ₇ 出力端子	TP ₇ 出力端子
	TIOCB ₂ 入力端子*				
	【注】* IOB2 = 1、かつ PWM2 = 0 のとき、TIOCB ₂ 入力端子となります。				
	16 ビットタイマ チャンネル 2 の設定	(2)	(1)		(2)
	IOB2	0			1
	IOB1	0	0	1	-
IOB0	0	1	-	-	
PA ₆ /TP ₆ / TIOCA ₂	TMDR の PWM2 ビット、TIOB2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビットと PA ₆ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 2 の設定	下表 (1)		下表 (2)	
	PA ₆ DDR	-	0	1	1
	NDER6	-	-	0	1
	端子機能	TIOCA ₂ 出力端子	PA ₆ 入力端子	PA ₆ 出力端子	TP ₆ 出力端子
	TIOCA ₂ 入力端子*				
	【注】* IOA2 = 1 のとき、TIOCA ₂ 入力端子となります。				
	16 ビットタイマ チャンネル 2 の設定	(2)	(1)		(1)
	PWM2	0			1
	IOA2	0		1	-
IOA1	0	0	1	-	
IOA0	0	1	-	-	

端子	選択方法と端子機能				
PA ₅ /TP ₅ / TIOCB ₁	TMDRのPWM1ビット、TIOB1のIOB2~IOB0ビット、NDERAのNDER5ビットとPA ₅ DDRビットの組み合わせにより、次のように切り替わります。				
	16ビットタイム チャンネル1の設定	下表(1)		下表(2)	
	PA ₅ DDR	-	0	1	1
	NDER5	-	-	0	1
	端子機能	TIOCB ₁ 出力端子	PA ₅ 入力端子	PA ₅ 出力端子	TP ₅ 出力端子
	TIOCB ₁ 入力端子*				
	【注】* IOB2=1、かつPWM1=0のとき、TIOCB ₁ 入力端子となります。				
	16ビットタイム チャンネル1の設定	(2)	(1)		(2)
	IOB2	0			1
	IOB1	0	0	1	-
IOB0	0	1	-	-	
PA ₄ /TP ₄ / TIOCA ₁	TMDRのPWM1ビット、TIOB1のIOA2~IOA0ビット、NDERAのNDER4ビットとPA ₄ DDRビットの組み合わせにより、次のように切り替わります。				
	16ビットタイム チャンネル1の設定	下表(1)		下表(2)	
	PA ₄ DDR	-	0	1	1
	NDER4	-	-	0	1
	端子機能	TIOCA ₁ 出力端子	PA ₄ 入力端子	PA ₄ 出力端子	TP ₄ 出力端子
	TIOCA ₁ 入力端子*				
	【注】* IOA2=1のとき、TIOCA ₁ 入力端子となります。				
	16ビットタイム チャンネル1の設定	(2)	(1)		(2)
	PWM1	0			1
	IOA2	0		1	-
IOA1	0	0	1	-	
IOA0	0	1	-	-	

7. I/Oポート

表 7.13 ポート A (モード 3、4) の端子機能

端子	選択方法と端子機能					
A ₂₀	A ₂₀ が強制的に出力されます。					
	端子機能		A ₂₀ 出力端子			
PA ₆ /TP ₆ / TIOCA ₂ /A ₂₁	TMDR の PWM2 ビット、TIOA2 の IOA2~IOA0 ビット、NDERA の NDER6 ビット、BR CR の A21E ビットと PA ₆ DDR ビットの組み合わせにより、次のように切り替わります。					
	A21E	1				0
16 ビットタイマ チャンネル 2 の設定	下表 (1)	下表 (2)			-	
PA ₆ DDR	-	0	1	1	-	
NDER6	-	-	0	1	-	
端子機能	TIOCA ₂ 出力端子	PA ₆ 入力端子	PA ₆ 出力端子	TP ₆ 出力端子	A ₂₁ 出力端子	
		TIOCA ₂ 入力端子*				
【注】* IOA2=1 のとき、TIOCA ₂ 入力端子となります。						
16 ビットタイマチャンネル 2 の設定	(2)	(1)		(2)	(1)	
PWM2	0				1	
IOA2	0			1	-	
IOA1	0	0	1	-	-	
IOA0	0	1	-	-	-	
PA ₅ /TP ₅ / TIOCB ₁ /A ₂₂	TMDR の PWM1 ビット、TIOA1 の IOB2~IOB0 ビット、NDERA の NDER5 ビット、BR CR の A22E ビットと PA ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	A22E	1				0
16 ビットタイマ チャンネル 1 の設定	下表 (1)	下表 (2)			-	
PA ₅ DDR	-	0	1	1	-	
NDER5	-	-	0	1	-	
端子機能	TIOCB ₁ 出力端子	PA ₅ 入力端子	PA ₅ 出力端子	TP ₅ 出力端子	A ₂₂ 出力端子	
		TIOCB ₁ 入力端子*				
【注】* IOB2 = 1、かつ PWM1 = 0 のとき、TIOCB ₁ 入力端子となります。						
16 ビットタイマ チャンネル 1 の設定	(2)	(1)		(2)		
IOB2	0				1	
IOB1	0	0	1	-	-	
IOB0	0	1	-	-	-	

端子	選択方法と端子機能					
PA ₄ /TP ₄ / TIOCA ₁ /A ₂₃	TMDR の PWM1 ビット、TIOR1 の IOA2 ~ IOA0 ビット、NDERA の NDER4 ビット、BRCR の A23E ビットと PA ₄ DDR ビットの組み合わせにより、次のように切り替わります。					
	A23E	1			0	
	16 ビットタイマ チャンネル 1 の設定	下表 (1)		下表 (2)		-
	PA ₄ DDR	-	0	1	1	-
	NDER4	-	-	0	1	-
	端子機能	TIOCA ₁ 出力端子	PA ₄ 入力端子	PA ₄ 出力端子	TP ₄ 出力端子	A ₂₃ 出力端子
	TIOCA ₁ 入力端子*					
	【注】* IOA2 = 1 のとき、TIOCA ₁ 入力端子となります。					
	16 ビットタイマ チャンネル 1 の設定	(2)	(1)		(2)	(1)
	PWM1	0			1	
IOA2	0		1		-	
IOA1	0	0	1	-	-	
IOA0	0	1	-	-	-	

7. I/O ポート

表 7.14 ポート A (モード 1~4) の端子機能

端子	選択方法と端子機能				
PA ₃ /TP ₃ / TIOCB ₀ / TCLKD	TMDR の PWM0 ビット、TIOR0 の IOB2~IOB0 ビット、16 ビットタイマの 16TCR2~16TCR0 の TPSC2~TPSC0 ビット、8 ビットタイマの 8TCR2 の CKS2~CKS0 ビット、NDERA の NDER3 ビットと PA ₃ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 0 の設定	下表 (1)	下表 (2)		
	PA ₃ DDR	-	0	1	1
	NDER3	-	-	0	1
	端子機能	TIOCB ₀ 出力端子	PA ₃ 入力端子	PA ₃ 出力端子	TP ₃ 出力端子
			TIOCB ₀ 入力端子* ¹		
	TCLKD 入力端子* ²				
	【注】*1 IOB2 = 1、かつ PWM0 = 0 のとき、TIOCB ₀ 入力端子となります。				
	*2 16TCR2~16TCR0 のいずれかの設定が TPSC2 = TPSC1 = TPSC0 = 1 または、8TCR2 の CKS2~CKS0 ビットが下表 (3) のとき TCLKD 入力端子となります。				
	16 ビットタイマ チャンネル 0 の設定	(2)	(1)		(2)
IOB2	0			1	
IOB1	0	0	1	-	
IOB0	0	1	-	-	
8 ビットタイマ チャンネル 2 の設定	(4)	(3)			
CKS2	0	1			
CKS1	-	0		1	
CKS0	-	0	1	-	

端子	選択方法と端子機能				
PA ₂ /TP ₂ / TIOCA ₀ / TCLKC	TMDR の PWM0 ビット、TIOR0 の IOA2 ~ IOA0 ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR0 の CKS2 ~ CKS0 ビット、NDERA の NDER2 ビットと PA ₂ DDR ビットの組み合わせにより、次のように切り替わります。				
	16 ビットタイマ チャンネル 0 の設定	下表 (1)		下表 (2)	
	PA ₂ DDR	-	0	1	1
	NDER2	-	-	0	1
	端子機能	TIOCA ₀ 出力端子	PA ₂ 入力端子	PA ₂ 出力端子	TP ₂ 出力端子
		TIOCA ₀ 入力端子* ¹			
		TCLKC 入力端子* ²			
	【注】*1 IOA2 = 1 のとき、TIOCA ₀ 入力端子となります。				
	*2 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = TPSC1 = 1、TPSC0 = 0、または、8TCR0 の CKS2 ~ CKS0 ビットが下表 (3) のとき TCLKC 入力端子となります。				
	16 ビットタイマ チャンネル 0 の設定	(2)	(1)		(2)
	PWM0	0			1
	IOA2	0		1	-
	IOA1	0	0	1	-
	IOA0	0	1	-	-
	8 ビットタイマ チャンネル 0 の設定	(4)			(3)
	CKS2	0	1		
	CKS1	-	0		1
	CKS0	-	0	1	-

7. I/O ポート

端子	選択方法と端子機能				
PA _i /TP _i / TCLKB	TMDR の MDF ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR3 の CKS2 ~ CKS0 ビット、NDERA の NDER1 ビットと PA _i DDR ビットの組み合わせにより、次のように切り替わります。				
	PA _i DDR	0	1	1	
	NDER1	-	0	1	
	端子機能	PA _i 入力端子	PA _i 出力端子	TP _i 出力端子	
		TCLKB 出力端子*			
	【注】 * TMDR の MDF = 1、または 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 1、または、8TCR3 の CKS2 ~ CKS0 ビットが下表 (1) のとき TCLKB 入力端子となります。				
	8 ビットタイマ チャンネル 3 の設定	(2)		(1)	
	CKS2	0	1		
	CKS1	-	0	1	
	CKS0	-	0	1	-
PA _o /TP _o / TCLKA	TMDR の MDF ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR1 の CKS2 ~ CKS0 ビット、NDERA の NDER0 ビットと PA _o DDR ビットの組み合わせにより、次のように切り替わります。				
	PA _o DDR	0	1		
	NDER0	-	0	1	
	端子機能	PA _o 入力端子	PA _o 出力端子	TP _o 出力端子	
		TCLKA 出力端子*			
	【注】 * TMDR の MDF = 1、または 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 0 または、8TCR1 の CKS2 ~ CKS0 ビットが下表 (1) のとき TCLKA 入力端子となります。				
	8 ビットタイマ チャンネル 1 の設定	(2)		(1)	
	CKS2	0	1		
	CKS1	-	0	1	
	CKS0	-	0	1	-

7.8 ポート B

7.8.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B はプログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP₁₅ ~ TP₈)、8 ビットタイマの入出力端子 (TMIO₃、TMO₂、TMIO₁、TMO₀)、 \overline{CS}_7 ~ \overline{CS}_4 出力端子と兼用になっています。端子機能の選択方法については表 7.16 を参照してください。

ポート B はリセットおよびハードウェアスタンバイモードで入力ポートになっています。モード 1 ~ 4 で \overline{CS}_7 ~ \overline{CS}_4 を出力する場合は、「6.3.4 チップセレクト信号」を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート B の端子構成を図 7.7 に示します。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

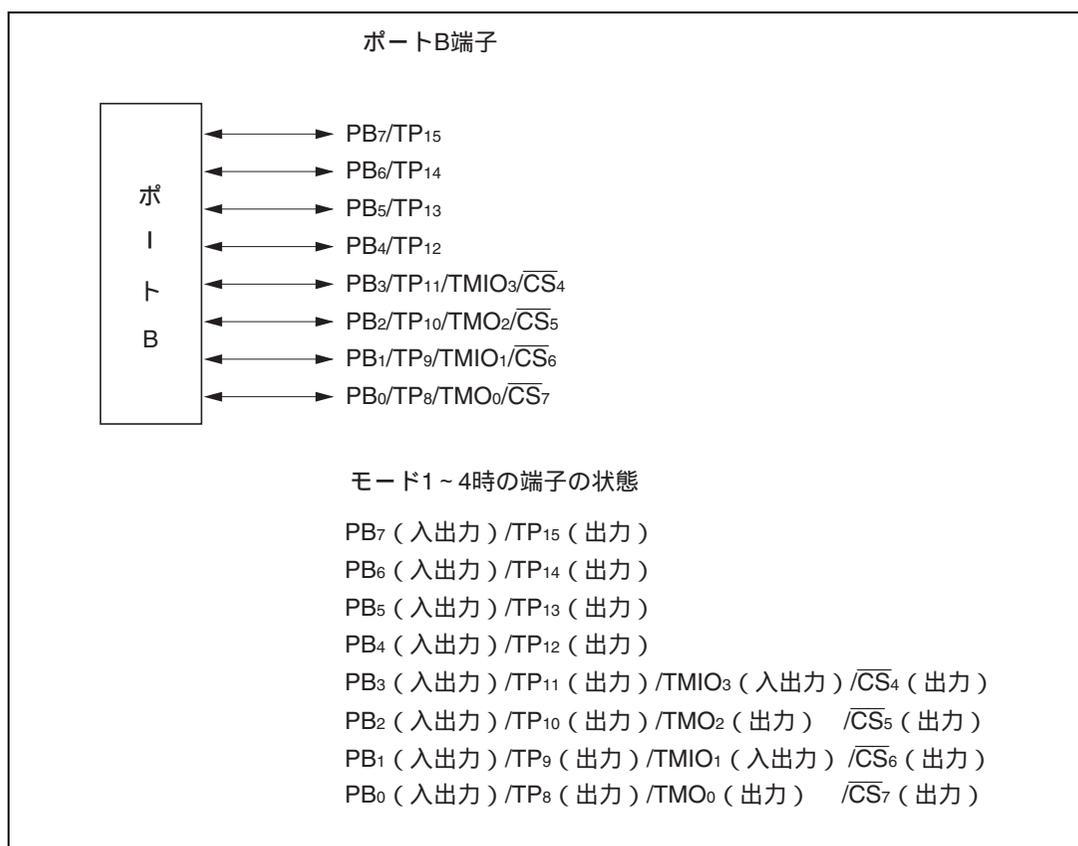


図 7.7 ポート B の端子構成

7.8.2 レジスタ構成

表 7.15 にポート B のレジスタ構成を示します。

表 7.15 ポート B レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE00A	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFFDA	ポート B データレジスタ	PBDR	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PBDDR の対応するビットをセットしてください。

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート B データディレクション 7~0
ポート B の各端子の入出力を選択するビットです。

端子機能の選択方法については、表 7.16 を参照してください。

ポート B が入出力ポートとして機能している場合、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのためポート B が入出力ポートとして機能しているとき、PBDDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B データレジスタ (PBDR)

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の出力データを格納します。ポート B が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、PBDDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PBDR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

ポートBデータ7~0
ポートBの各端子のデータを格納するビットです。

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7. I/O ポート

表 7.16 ポート B (モード 1~4) の端子機能

端子	選択方法と端子機能					
PB ₇ /TP ₁₅	NDERB の NDER15 ビットと PB ₇ DDR ビットの組み合わせにより、次のように切り替わります。					
	PB ₇ DDR	0	1	1		
	NDER15	-	0	1		
	端子機能	PB ₇ 入力端子	PB ₇ 出力端子	TP ₁₅ 出力端子		
PB ₆ /TP ₁₄	NDERB の NDER14 ビットと PB ₆ DDR ビットの組み合わせにより、次のように切り替わります。					
	PB ₆ DDR	0	1	1		
	NDER14	-	0	1		
	端子機能	PB ₆ 入力端子	PB ₆ 出力端子	TP ₁₄ 出力端子		
PB ₅ /TP ₁₃	NDERB の NDER13 ビットと PB ₅ DDR ビットの組み合わせにより、次のように切り替わります。					
	PB ₅ DDR	0	1	1		
	NDER13	-	0	1		
	端子機能	PB ₅ 入力端子	PB ₅ 出力端子	TP ₁₃ 出力端子		
PB ₄ /TP ₁₂	NDERB の NDER12 ビットと PB ₄ DDR ビットの組み合わせにより、次のように切り替わります。					
	PB ₄ DDR	0	1	1		
	NDER12	-	0	1		
	端子機能	PB ₄ 入力端子	PB ₄ 出力端子	TP ₁₂ 出力端子		
PB ₃ /TP ₁₁ / TMIO ₃ /CS ₄	8TCR3 の OIS3、OIS2、OS1、OS0 ビット、8TCR3 の CCLR1、CCLR0 ビット、CSCR の CS4E ビット、NDERB の NDER11 ビットと PB ₃ DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3、OIS2、OS1、OS0	すべてが 0			いずれかが 1	
	CS4E	0		1	-	
	PB ₃ DDR	0	1	1	-	-
	NDER11	-	0	1	-	-
	端子機能	PB ₃ 入力端子	PB ₃ 出力端子	TP ₁₁ 出力端子	CS ₄ 出力端子	TMIO ₃ 出力端子
		TMIO ₃ 入力端子*				
【注】* 8TCR3 の ICE ビット = 1 のとき、TMIO ₃ 入力端子となります。						

端子	選択方法と端子機能					
PB ₂ /TP ₁₀ / TMO ₂ /CS ₅	8TCSR2 の OIS3、OIS2、OS1、OS0 ビット、CSCR の CS5E ビット、NDERB の NDER10 ビットと PB ₂ DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3、OIS2、OS1、OS0	すべてが 0			いずれかが 1	
	CS5E	0		1	-	
	PB ₂ DDR	0	1	1	-	-
	NDER10	-	0	1	-	-
	端子機能	PB ₂ 入力端子	PB ₂ 出力端子	TP ₁₀ 出力端子	CS ₅ 出力端子	TMO ₂ 出力端子
PB ₁ /TP ₉ / TMIO ₁ /CS ₆	8TCSR1 の OIS3、OIS2、OS1、OS0 ビット、8TCR1 の CCLR1、CCLR0 ビット、CSCR の CS6E ビット、NDERB の NDER9 ビットと PB ₁ DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3、OIS2、OS1、OS0	すべてが 0			いずれかが 1	
	CS6E	0		1	-	
	PB ₁ DDR	0	1	1	-	-
	NDER9	-	0	1	-	-
	端子機能	PB ₁ 入力端子	PB ₁ 出力端子	TP ₉ 出力端子	CS ₆ 出力端子	TMIO ₁ 出力端子
	TMIO ₁ 入力端子*					
	【注】* 8TCSR1 の ICE ビット = 1 のとき、TMIO ₁ 入力端子となります。					
PB ₀ /TP ₈ / TMO ₀ /CS ₇	8TCSR0 の OIS3、OIS2、OS1、OS0 ビット、CSCR の CS7E ビット、NDERB の NDER8 ビットと PB ₀ DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3、OIS2、OS1、OS0	すべてが 0			いずれかが 1	
	CS7E	0		1	-	
	PB ₀ DDR	0	1	1	-	-
	NDER8	-	0	1	-	-
	端子機能	PB ₀ 入力端子	PB ₀ 出力端子	TP ₈ 出力端子	CS ₇ 出力端子	TMO ₀ 出力端子

8. 16 ビットタイマ

8.1 概要

本 LSI は、3 チャンネルの 16 ビットカウンタにより構成される 16 ビットタイマを内蔵しています。

8.1.1 特長

16 ビットタイマの特長を以下に示します。

最大 6 種類のパルス出力、または最大 6 種類のパルス入力処理が可能

各チャンネル 2 本、合計 6 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立にアウトプットコンペアマッチ/インプットキャプチャの機能設定が可能

各チャンネルとも 8 種類のカウント入力クロックを選択可能

内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$

外部クロック : TCLKA、TCLKB、TCLKC、TCLKD

各チャンネルとも次の動作モードを設定可能

- コンペアマッチによる波形出力 : 0 出力 / 1 出力 / トグル出力が選択可能 (チャンネル 2 は 0 出力 / 1 出力が可能)
- インプットキャプチャ機能 : 立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が選択可能
- カウンタクリア機能 : コンペアマッチ / インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (16TCNT) への同時書き込みが可能
- コンペアマッチ / インプットキャプチャによる同時クリアが可能
- カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 3 相の PWM 出力が可能

チャンネル 2 は位相計数モードを設定可能

2 相エンコーダのカウント数の自動計測が可能

内部 16 ビットバスによる高速アクセス

16TCNT、GR の 16 ビットレジスタに対して、16 ビットバスによる高速アクセスが可能

タイマ出力初期値を任意に設定可能

9 種類の割り込み要因

各チャンネルともコンペアマッチ / インプットキャプチャ兼用割り込み $\times 2$ 要因、オーバフロー割り込み $\times 1$ 要因があり、それぞれ独立に要求可能

プログラマブルパターンコントローラ (TPC) の出力トリガが生成可能

チャンネル 0~2 のコンペアマッチ / インプットキャプチャ信号を TPC の出力トリガとして使用可能

8. 16 ビットタイマ

16 ビットタイマの機能一覧を表 8.1 に示します。

表 8.1 16 ビットタイマの機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック：TCLKA、TCLKB、TCLKC、TCLKD から独立に選択可能		
ジェネラルレジスタ (アウトプットコンペア/インプット キャプチャ兼用レジスタ)	GRA0、GRB0	GRA1、GRB1	GRA2、GRB2
入出力端子	TIOCA ₀ 、TIOCB ₀	TIOCA ₁ 、TIOCB ₁	TIOCA ₂ 、TIOCB ₂
カウンタクリア機能	GRA0/GRB0 のコンペア マッチまたはインプ ットキャプチャ	GRA1/GRB1 のコンペア マッチまたはインプ ットキャプチャ	GRA2/GRB2 のコンペア マッチまたはインプ ットキャプチャ
出力初期値設定機能			
コンペアマッチ出力	0 出力		
	1 出力		
	トグル出力		
インプットキャプチャ機能			
同期動作			
PWM モード			
位相計数モード			
割り込み要因	3 要因 <ul style="list-style-type: none"> • コンペアマッチ/イン プットキャプチャ A0 • コンペアマッチ/イン プットキャプチャ B0 • オーバフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッチ/イン プットキャプチャ A1 • コンペアマッチ/イン プットキャプチャ B1 • オーバフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッチ/イン プットキャプチャ A2 • コンペアマッチ/イン プットキャプチャ B2 • オーバフロー

【記号説明】

- : 可能
- : 不可

8.1.2 ブロック図

(1) 16ビットタイマのブロック図(全体図)

16ビットタイマのブロック図(全体図)を図8.1に示します。

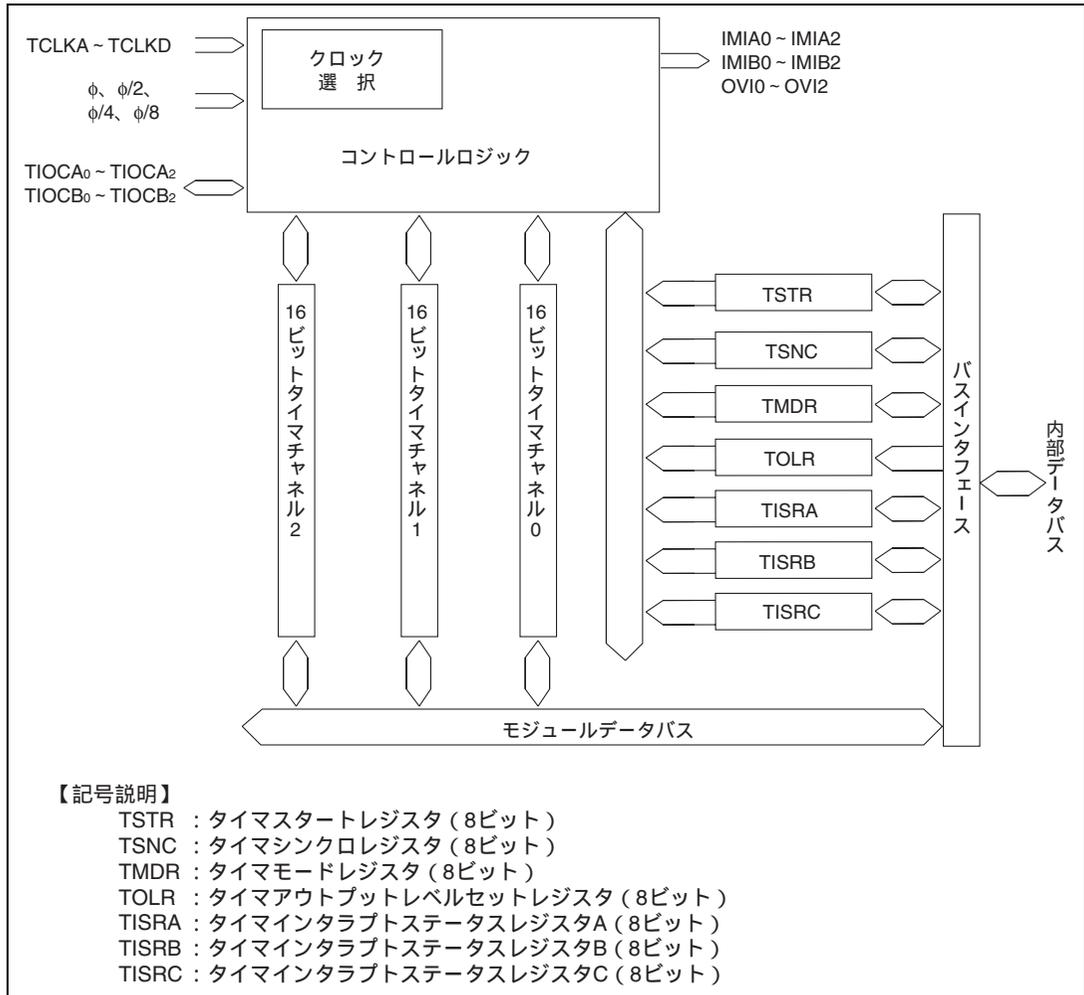


図 8.1 16ビットタイマのブロック図(全体図)

8. 16ビットタイマ

(2) チャンネル0、1のブロック図

16ビットタイマのチャンネル0、1は同一の機能を持っています。チャンネル0、1のブロック図を図8.2に示します。

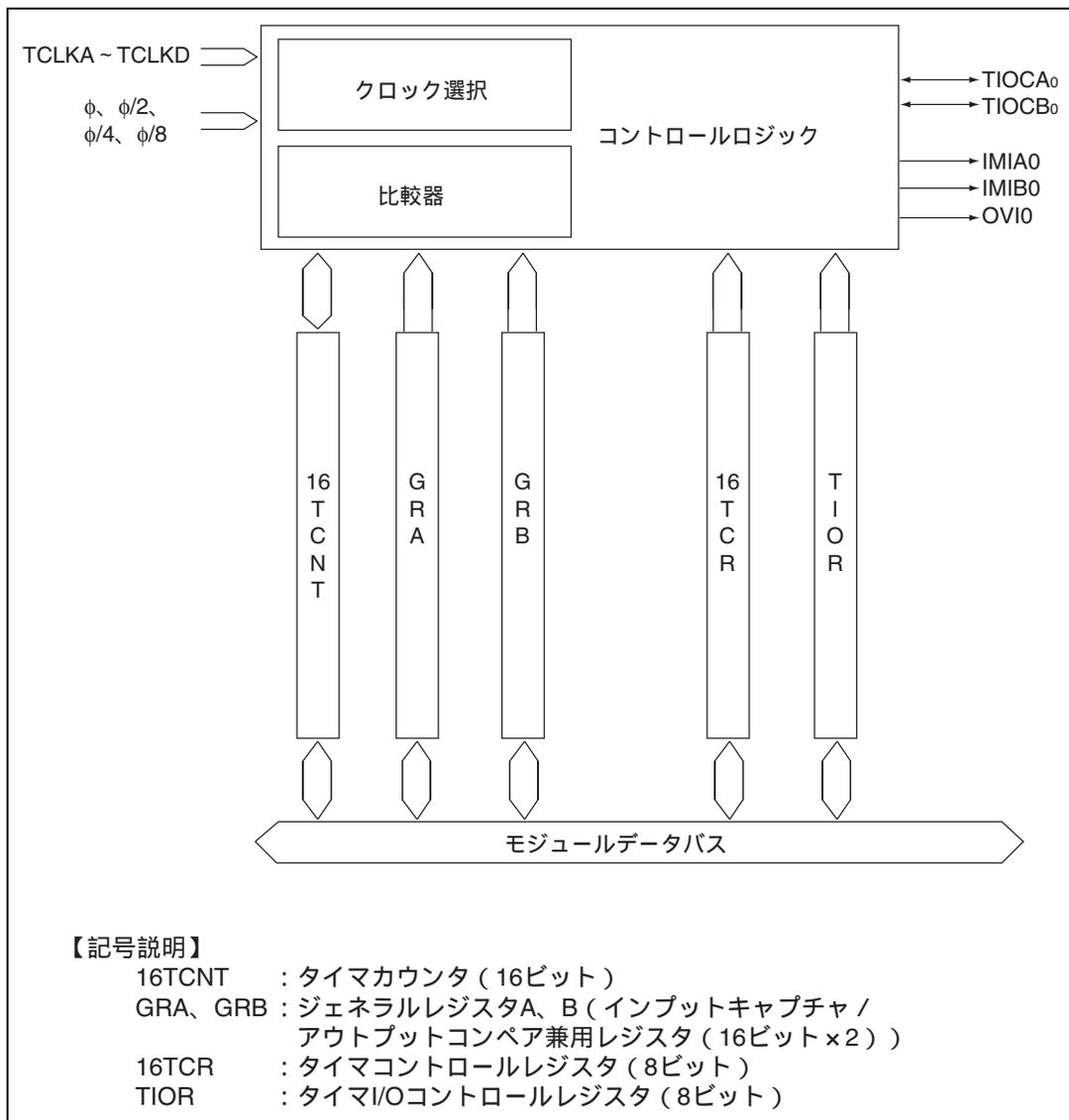


図 8.2 チャンネル0、1のブロック図

(3) チャンネル2のブロック図

チャンネル2のブロック図を図8.3に示します。

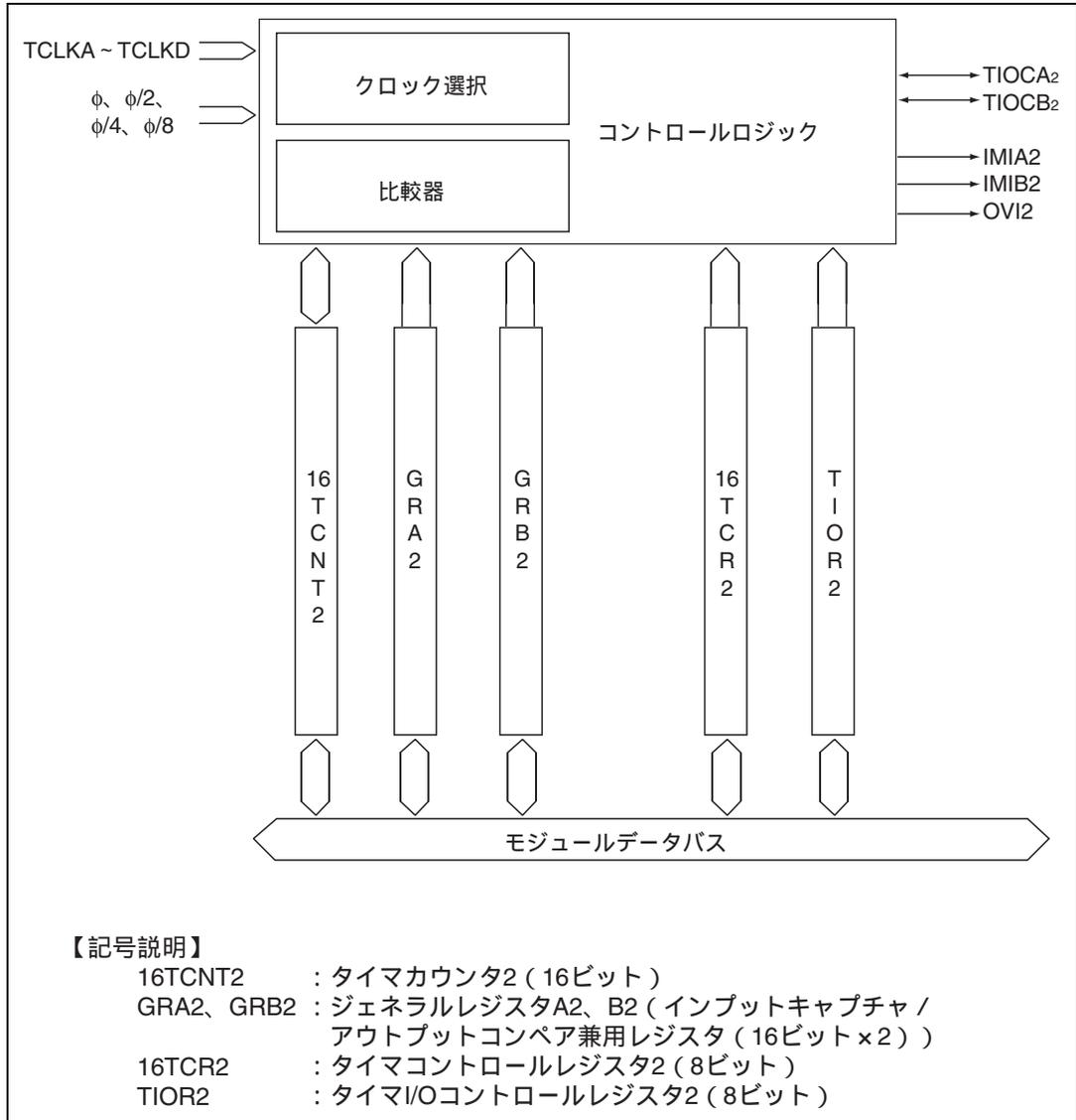


図8.3 チャンネル2のブロック図

8. 16 ビットタイマ

8.1.3 端子構成

16 ビットタイマの端子構成を表 8.2 に示します。

表 8.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インプットキャプチャ / アウトプットコンペア A0	TIOCA ₀	入出力	GRA0 アウトプットコンペア出力 / GRA0 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B0	TIOCB ₀	入出力	GRB0 アウトプットコンペア出力 / GRB0 インプットキャプチャ入力端子
1	インプットキャプチャ / アウトプットコンペア A1	TIOCA ₁	入出力	GRA1 アウトプットコンペア出力 / GRA1 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B1	TIOCB ₁	入出力	GRB1 アウトプットコンペア出力 / GRB1 インプットキャプチャ入力端子
2	インプットキャプチャ / アウトプットコンペア A2	TIOCA ₂	入出力	GRA2 アウトプットコンペア出力 / GRA2 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B2	TIOCB ₂	入出力	GRB2 アウトプットコンペア出力 / GRB2 インプットキャプチャ入力端子

8.1.4 レジスタ構成

16ビットタイマのレジスタ構成を表 8.3 に示します。

表 8.3 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
共通	H'FFF60	タイマスタートレジスタ	TSTR	R/W	H'F8
	H'FFF61	タイマシンクロレジスタ	TSNC	R/W	H'F8
	H'FFF62	タイマモードレジスタ	TMDR	R/W	H'98
	H'FFF63	タイマアウトプットレベルセットレジスタ	TOLR	W	H'C0
	H'FFF64	タイマインタラプトステータスレジスタ A	TISRA	R/(W)*2	H'88
	H'FFF65	タイマインタラプトステータスレジスタ B	TISRB	R/(W)*2	H'88
	H'FFF66	タイマインタラプトステータスレジスタ C	TISRC	R/(W)*2	H'88
0	H'FFF68	タイマコントロールレジスタ 0	16TCR0	R/W	H'80
	H'FFF69	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FFF6A	タイマカウンタ 0H	16TCNT0H	R/W	H'00
	H'FFF6B	タイマカウンタ 0L	16TCNT0L	R/W	H'00
	H'FFF6C	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FFF6D	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FFF6E	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FFF6F	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FFF70	タイマコントロールレジスタ 1	16TCR1	R/W	H'80
	H'FFF71	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FFF72	タイマカウンタ 1H	16TCNT1H	R/W	H'00
	H'FFF73	タイマカウンタ 1L	16TCNT1L	R/W	H'00
	H'FFF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FFF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FFF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FFF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FFF78	タイマコントロールレジスタ 2	16TCR2	R/W	H'80
	H'FFF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FFF7A	タイマカウンタ 2H	16TCNT2H	R/W	H'00
	H'FFF7B	タイマカウンタ 2L	16TCNT2L	R/W	H'00
	H'FFF7C	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FFF7D	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FFF7E	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FFF7F	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 ビット 3~0 はフラグをクリアするための 0 ライトのみ可能です。

8.2 各レジスタの説明

8.2.1 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~2 の 16TCNT の動作/停止を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

リザーブビット

カウンタスタート2~0
16TCNT2~16TCNT0の動作/停止を選択するビットです。

TSTR はリセット、またはスタンバイモード時に、H'F8 に初期化されます。

ビット7~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2: カウンタスタート2 (STR2)

タイマカウンタ 2 (16TCNT2) の動作/停止を選択します。

ビット2	説明
STR2	
0	16TCNT2 のカウント動作は停止 (初期値)
1	16TCNT2 はカウント動作

ビット1: カウンタスタート1 (STR1)

タイマカウンタ 1 (16TCNT1) の動作/停止を選択します。

ビット1	説明
STR1	
0	16TCNT1 のカウント動作は停止 (初期値)
1	16TCNT1 はカウント動作

ビット0：カウンタスタート0 (STR0)

タイマカウンタ0 (16TCNT0) の動作 / 停止を選択します。

ビット0	説明
STR0	
0	16TCNT0 のカウント動作は停止 (初期値)
1	16TCNT0 はカウント動作

8.2.2 タイマシンクロレジスタ (TSNC)

TSNC は8ビットのリード/ライト可能なレジスタで、チャンネル0~2の独立動作/同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

リザーブビット

タイマ同期2~0
チャンネル2~0の同期動作を設定するビットです。

TSNC はリセット、またはスタンバイモード時に、H'F8 に初期化されます。

ビット7~3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：タイマ同期2 (SYNC2)

チャンネル2の独立動作/同期動作を選択します。

ビット2	説明
SYNC2	
0	チャンネル2のタイマカウンタ (16TCNT2) は独立動作 (16TCNT2のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル2は同期動作 16TCNT2の同期プリセット/同期クリアが可能

8. 16ビットタイマ

ビット1：タイマ同期1（SYNC1）

チャンネル1の独立動作/同期動作を選択します。

ビット1	説明
0	チャンネル1のタイマカウンタ（16TCNT1）は独立動作（16TCNT1のプリセット/クリアは他チャンネルと無関係） （初期値）
1	チャンネル1は同期動作 16TCNT1は同期プリセット/同期クリアが可能

ビット0：タイマ同期0（SYNC0）

チャンネル0の独立動作/同期動作を選択します。

ビット0	説明
0	チャンネル0のタイマカウンタ（16TCNT0）は独立動作（16TCNT0のプリセット/クリアは他チャンネルと無関係） （初期値）
1	チャンネル0は同期動作 16TCNT0は同期プリセット/同期クリアが可能

8.2.3 タイマモードレジスタ（TMDR）

TMDRは8ビットのリード/ライト可能なレジスタで、チャンネル0~2のPWMモードの設定、チャンネル2の位相計数モードの設定およびオーバフローフラグ(OVF)のセット条件の設定を行います。

ビット：	7	6	5	4	3	2	1	0
	—	MDF	FDIR	—	—	PWM2	PWM1	PWM0
初期値：	1	0	0	1	1	0	0	0
R/W：	—	R/W	R/W	—	—	R/W	R/W	R/W

リザーブビット

フラグディレクション
TISRCのOVFフラグセット条件を設定するビットです。

位相計数モード
チャンネル2を位相計数モードに設定するビットです。

リザーブビット

PWMモード2~0
チャンネル2~0をPWMモードに設定するビットです。

TMDRはリセット、またはスタンバイモード時に、H'98に初期化されます。

ビット7：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット6：位相計数モード（MDF）

チャンネル2を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット6	説明
MDF	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2は位相計数モード

MDFビットを1にセットして位相計数モードにすると、16TCNT2はアップ/ダウンカウンタ、TCLKA、TCLKB端子がカウンタクロック入力端子となります。16TCNT2はTCLKA、TCLKB端子の立ち上がり(↑)立ち下がり(↓)の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA端子	↑	High	↓	Low	Low	↑	High	↓
TCLKB端子	Low	↑	High	↓	↑	High	↓	Low

位相計数モードでは、16TCR2のCKEG1、CKEG0ビットによる外部クロックエッジの選択、およびTPSC2～TPSC0ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、16TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、TIOR2、TISRA、TISRB、TISRCのコンペアマッチ/インプットキャプチャ機能と割り込みの設定は位相計数モードでも有効です。

ビット5：フラグディレクション（FDIR）

TISRCのOVFフラグのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	説明
FDIR	
0	TISRCのOVFフラグは、16TCNT2がオーバーフローまたはアンダフローしたときに1にセット (初期値)
1	TISRCのOVFフラグは、16TCNT2がオーバーフローしたときに1にセット

ビット4、3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

8. 16 ビットタイマ

ビット 2 : PWM モード 2 (PWM2)

チャンネル 2 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説 明
PWM2	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は PWM モード

PWM2 を 1 にセットして PWM モードにすると、TIOCA₂ 端子は PWM 出力端子となり、GRA2 のコンペアマッチで 1 出力、GRB2 のコンペアマッチで 0 出力となります。

ビット 1 : PWM モード 1 (PWM1)

チャンネル 1 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説 明
PWM1	
0	チャンネル 1 は通常動作 (初期値)
1	チャンネル 1 は PWM モード

PWM1 を 1 にセットして PWM モードにすると、TIOCA₁ 端子は PWM 出力端子となり、GRA1 のコンペアマッチで 1 出力、GRB1 のコンペアマッチで 0 出力となります。

ビット 0 : PWM モード 0 (PWM0)

チャンネル 0 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 0	説 明
PWM0	
0	チャンネル 0 は通常動作 (初期値)
1	チャンネル 0 は PWM モード

PWM0 を 1 にセットして PWM モードにすると、TIOCA₀ 端子は PWM 出力端子となり、GRA0 のコンペアマッチで 1 出力、GRB0 のコンペアマッチで 0 出力となります。

8.2.4 タイマインタラプトステータスレジスタ A (TISRA)

TISRA は 8 ビットのリード/ライト可能なレジスタで、GRA のコンペアマッチ/インプットキャプチャの発生を示し、GRA のコンペアマッチ/インプットキャプチャ割り込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	IMIEA2	IMIEA1	IMIEA0	—	IMFA2	IMFA1	IMFA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット

インプットキャプチャ/コンペアマッチインタラプトイネーブルA2～A0
IMFAフラグによる割り込みを許可/禁止します。

インプットキャプチャ/
コンペアマッチフラグA2～A0
GRAによるコンペアマッチ/
インプットキャプチャの発生を
示すステータスフラグです。

リザーブビット

インプットキャプチャ/コンペアマッチインタラプトイネーブルA2～A0
IMFAフラグによる割り込みを許可/禁止します。

【注】* フラグをクリアするための 0 ライトのみ可能です。

TISRA はリセット、またはスタンバイモード時に、H'88 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6: インプットキャプチャ/コンペアマッチインタラプトイネーブル A2 (IMIEA2)

IMFA2 フラグが 1 にセットされたとき、IMFA2 による割り込み要求を許可/禁止します。

ビット 6	説明	
IMIEA2		
0	IMFA2 フラグによる割り込み (IMIA2) 要求を禁止	(初期値)
1	IMFA2 フラグによる割り込み (IMIA2) 要求を許可	

ビット 5: インプットキャプチャ/コンペアマッチインタラプトイネーブル A1 (IMIEA1)

IMFA1 フラグが 1 にセットされたとき、IMFA1 による割り込み要求を許可/禁止します。

ビット 5	説明	
IMIEA1		
0	IMFA1 フラグによる割り込み (IMIA1) 要求を禁止	(初期値)
1	IMFA1 フラグによる割り込み (IMIA1) 要求を許可	

8. 16ビットタイマ

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル A0 (IMIEA0)

IMFA0 フラグが1にセットされたとき、IMFA0 による割り込み要求を許可/禁止します。

ビット4 IMIEA0	説明
0	IMFA0 フラグによる割り込み (IMIA0) 要求を禁止 (初期値)
1	IMFA0 フラグによる割り込み (IMIA0) 要求を許可

ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：インプットキャプチャ/コンペアマッチフラグ A2 (IMFA2)

GRA2 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット2 IMFA2	説明
0	[クリア条件] IMFA2 = 1 の状態で、IMFA2 フラグをリードした後、IMFA2 フラグに0をライトしたとき (初期値)
1	[セット条件] (1) GRA2 がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2 になったとき (2) GRA2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき

ビット1：インプットキャプチャ/コンペアマッチフラグ A1 (IMFA1)

GRA1 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1 IMFA1	説明
0	[クリア条件] IMFA1 = 1 の状態で、IMFA1 フラグをリードした後、IMFA1 フラグに0をライトしたとき (初期値)
1	[セット条件] (1) GRA1 がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1 になったとき (2) GRA1 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき

ビット0：インプットキャプチャ/コンペアマッチフラグ A0 (IMFA0)

GRA0のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	説明
IMFA0	
0	[クリア条件] (初期値) IMFA0=1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき
1	[セット条件] (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0=GRA0になったとき (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき

8.2.5 タイマインタラプトステータスレジスタ B (TISRB)

TISRBは8ビットのリード/ライト可能なレジスタで、GRBのコンペアマッチ/インプットキャプチャの発生を示し、GRBのコンペアマッチ/インプットキャプチャ割り込み要求の許可/禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	—	IMIEB2	IMIEB1	IMIEB0	—	IMFB2	IMFB1	IMFB0
初期値：	1	0	0	0	1	0	0	0
R/W：	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット

インプットキャプチャ/コンペアマッチインタラプトイネーブルB2~B0
IMFBフラグによる割り込みを許可/禁止します。

リザーブビット

インプットキャプチャ/
コンペアマッチフラグB2~B0
GRBによるコンペアマッチ/
インプットキャプチャの発生を
示すステータスフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

TISRBはリセット、またはスタンバイモード時に、H'88に初期化されます。

ビット7：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

8. 16ビットタイマ

ビット6：インプットキャプチャ/コンペアマッチインタラプトイネーブル B2 (IMIEB2)

IMFB2 フラグが1にセットされたとき、IMFB2 による割り込み要求を許可/禁止します。

ビット6	説明
IMIEB2	
0	IMFB2 フラグによる割り込み (IMIB2) 要求を禁止 (初期値)
1	IMFB2 フラグによる割り込み (IMIB2) 要求を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル B1 (IMIEB1)

IMFB1 フラグが1にセットされたとき、IMFB1 による割り込み要求を許可/禁止します。

ビット5	説明
IMIEB1	
0	IMFB1 フラグによる割り込み (IMIB1) 要求を禁止 (初期値)
1	IMFB1 フラグによる割り込み (IMIB1) 要求を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル B0 (IMIEB0)

IMFB0 フラグが1にセットされたとき、IMFB0 による割り込み要求を許可/禁止します。

ビット4	説明
IMIEB0	
0	IMFB0 フラグによる割り込み (IMIB0) 要求を禁止 (初期値)
1	IMFB0 フラグによる割り込み (IMIB0) 要求を許可

ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：インプットキャプチャ/コンペアマッチフラグ B2 (IMFB2)

GRB2 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット2	説明
IMFB2	
0	[クリア条件] (初期値) IMFB2 = 1 の状態で、IMFB2 フラグをリードした後、IMFB2 フラグに0をライトしたとき
1	[セット条件] (1) GRB2 がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2 になったとき (2) GRB2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT2 の値が GRB2 に転送されたとき

ビット1：インプットキャプチャ/コンペアマッチフラグ B1 (IMFB1)

GRB1のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	
IMFB1	説 明
0	[クリア条件] (初期値) IMFB1=1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき
1	[セット条件] (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1=GRB1になったとき (2) GRB1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき

ビット0：インプットキャプチャ/コンペアマッチフラグ B0 (IMFB0)

GRB0のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	
IMFB0	説 明
0	[クリア条件] (初期値) IMFB0=1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき
1	[セット条件] (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0=GRB0になったとき (2) GRB0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき

8.2.6 タイマインタラプトステータスレジスタ C (TISRC)

TISRC は 8 ビットのリード/ライト可能なレジスタで、16TCNT のオーバーフロー/アンダフローの発生を示し、オーバーフロー割り込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	OVIE2	OVIE1	OVIE0	—	OVF2	OVF1	OVF0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット

リザーブビット

オーバーフローインタラプトイネーブル2~0
OVFフラグによる割り込みを許可/禁止します。

オーバーフローフラグ2~0
OVFフラグによる割り込みの発生を示すステータスフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

TISRC はリセット、またはスタンバイモード時に、H'88 に初期化されます。

ビット7: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット6: オーバフローインタラプトイネーブル2 (OVIE2)

OVF2 フラグが1にセットされたとき、OVF2 による割り込み要求を許可/禁止します。

ビット6	説明	
OVIE2		
0	OVF2 フラグによる割り込み (OVIE2) 要求を禁止	(初期値)
1	OVF2 フラグによる割り込み (OVIE2) 要求を許可	

ビット5: オーバフローインタラプトイネーブル1 (OVIE1)

OVF1 フラグが1にセットされたとき、OVF1 による割り込み要求を許可/禁止します。

ビット5	説明	
OVIE1		
0	OVF1 フラグによる割り込み (OVIE1) 要求を禁止	(初期値)
1	OVF1 フラグによる割り込み (OVIE1) 要求を許可	

ビット4：オーバフローインタラプトイネーブル0 (OVIE0)

OVF0 フラグが1にセットされたとき、OVF0 による割り込み要求を許可 / 禁止します。

ビット4	説明
OVIE0	
0	OVF0 フラグによる割り込み (OVIO) 要求を禁止 (初期値)
1	OVF0 フラグによる割り込み (OVIO) 要求を許可

ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：オーバフローフラグ2 (OVF2)

16TCNT2 のオーバフローの発生を示すステータスフラグです。

ビット2	説明
OVF2	
0	[クリア条件] (初期値) OVF2=1の状態、OVF2 フラグをリードした後、OVF2 フラグに0をライトしたとき
1	[セット条件] 16TCNT2 の値がオーバフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき

【注】 16TCNT のアンダフローは、16TCNT がアップ / ダウンカウントとして機能している場合に発生します。したがって、次の場合にのみアンダフローが発生することがあります。
チャンネル2 が位相計数モードに設定されているとき (TMDR の MDF = 1)

ビット1：オーバフローフラグ1 (OVF1)

16TCNT1 のオーバフローの発生を示すステータスフラグです。

ビット1	説明
OVF1	
0	[クリア条件] (初期値) OVF1=1の状態、OVF1 フラグをリードした後、OVF1 フラグに0をライトしたとき
1	[セット条件] 16TCNT1 の値がオーバフロー (H'FFFF→H'0000) したとき

8. 16 ビットタイマ

ビット0：オーバフローフラグ0 (OVF0)

16TCNT0 のオーバフローの発生を示すステータスフラグです。

ビット0	説明
OVF0	
0	[クリア条件] (初期値) OVF0=1 の状態で、OVF0 フラグをリードした後、OVF0 フラグに0 をライトしたとき
1	[セット条件] 16TCNT0 の値がオーバフロー (H'FFFF→H'0000) したとき

8.2.7 タイマカウンタ (16TCNT)

16TCNT は 16 ビットのカウンタです。16 ビットタイマには、各チャンネル 1 本、計 3 本の 16TCNT があります。

チャンネル	略 称	機 能
0	16TCNT0	アップカウンタ
1	16TCNT1	
2	16TCNT2	位相計数モード：アップ/ダウンカウンタ 上記以外 : アップカウンタ

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W

16TCNT は 16 ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、16TCR の TPSC2 ~ TPSC0 ビットにより選択します。

16TCNT0、16TCNT1 はアップカウント動作を行います。

16TCNT2 は位相計数モード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

16TCNT は、対応する GRA、GRB とのコンペアマッチ、または GRA、GRB へのインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。

16TCNT がオーバフロー (H'FFFF→H'0000) すると、TISRC の対応するチャンネルの OVF フラグが 1 にセットされます。

16TCNT がアンダフロー (H'0000→H'FFFF) すると、TISRC の対応するチャンネルの OVF フラグが 1 にセットされます。

16TCNT は CPU と内部 16 ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

16TCNT はリセット、またはスタンバイモード時に H'0000 に初期化されます。

8.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GR は、16ビットのレジスタです。16ビットタイマには、各チャンネル2本、計6本のジェネラルレジスタがあります。

チャンネル	略 称	機 能
0	GRA0、GRB0	アウトプットコンペア / インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W

GR は16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切替えは、TIORにより行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRBの値と16TCNTの値は常に比較されています。両者の値が一致(コンペアマッチ)すると、TISRA/TISRBのIMFA/IMFBフラグが1にセットされます。TIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、16TCNTの値を格納します。このとき対応するTISRA/TISRBのIMFA/IMFBフラグが1にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモードに設定されている場合には、TIORの設定は無視されます。

GRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ(端子出力なし)に設定され、H'FFFFに初期化されます。

8. 16ビットタイマ

8.2.9 タイマコントロールレジスタ (16TCR)

16TCRは8ビットのレジスタです。16ビットタイマには、各チャンネル1本、計3本の16TCRがあります。

チャンネル	略称	機能
0	16TCR0	16TCRは16TCNTの制御を行います。
1	16TCR1	各チャンネルの16TCRは同一の機能をもっています。
2	16TCR2	チャンネル2を位相計数モードに設定したとき、16TCR2のCKEG1、CKEG0ビットおよびTPSC2~TPSC0ビットの設定は無効となります。

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W						

リザーブビット

カウンタクリア1、0
カウンタクリア要因を選択するビットです。

クロックエッジ1、0
クロックの検出エッジを選択するビットです。

タイマプリスケラ2~0
16TCNTのカウンタクロック
を選択するビットです。

16TCRは8ビットのリード/ライト可能なレジスタで、16TCNTのカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

16TCRはリセット、またはスタンバイモード時にH'80に初期化されます。

ビット7: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット6、5：カウンタクリア1、0（CCLR1、CCLR0）

16TCNTのカウンタクリア要因を選択します。

ビット6	ビット5	説 明
CCLR1	CCLR0	
0	0	16TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャ*1で16TCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャ*1で16TCNTをクリア
	1	同期クリア。同期動作*2をしている他のタイマのカウンタクリアに同期して16TCNTをクリア

【注】 *1 GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定はTSNCにより行います。

ビット4、3：クロックエッジ1、0（CKEG1、CKEG0）

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1		立ち上がり/立ち下がりエッジの両エッジでカウント

チャンネル2が位相計数モードに設定されているとき、16TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2～0：タイマプリスケラ2～0（TPSC2～TPSC0）

16TCNTのカウンタクロックを選択します。

ビット2	ビット1	ビット0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： ϕ でカウント (初期値)
		1	内部クロック： $\phi/2$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/8$ でカウント
1	0	0	外部クロックA：TCLKA端子入力でカウント
		1	外部クロックB：TCLKB端子入力でカウント
	1	0	外部クロックC：TCLKC端子入力でカウント
		1	外部クロックD：TCLKD端子入力でカウント

8. 16ビットタイマ

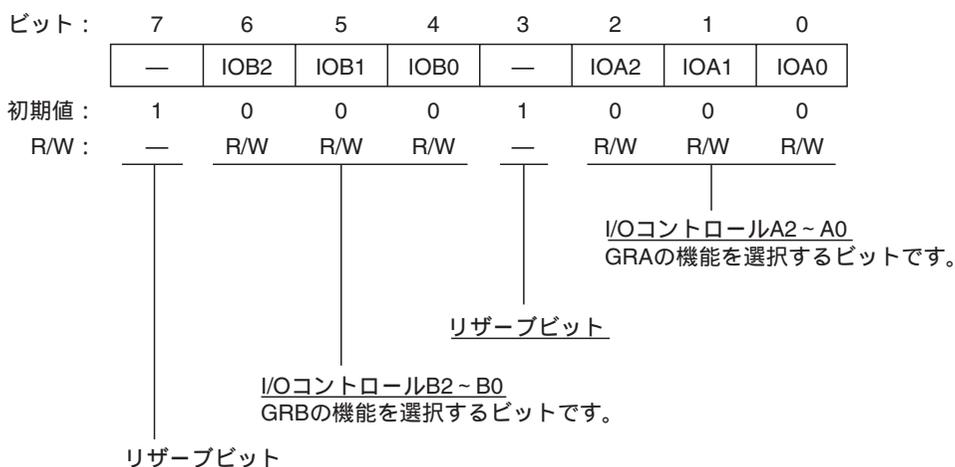
TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立ち上がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF ビット = 1) 16TCR2 の TPSC2 ~ TPSC0 のビットの設定は無効となり、位相計数モードの動作が優先されます。

8.2.10 タイマ I/O コントロールレジスタ (TIOR)

TIOR は 8 ビットのレジスタです。16 ビットタイマには、各チャンネル 1 本、計 3 本の TIOR があります。

チャンネル	略称	機能
0	TIOR0	TIOR は GR の制御を行います。
1	TIOR1	PWM モード時、一部機能が異なります。
2	TIOR2	



TIOR は 8 ビットのリード/ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIORA、TIORB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット6～4：I/OコントロールB2～0（IOB2～IOB0）

GRBの機能を選択します。

ビット6	ビット5	ビット4	説 明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止（初期値）
		1		GRBのコンペアマッチで0出力*1
	1	0		GRBのコンペアマッチで1出力*1
		1		GRBのコンペアマッチでトグル出力*1*2（チャンネル2のみ1出力）
1	0	0	GRBはインプットキャプチャレジスタ	立ち上がりエッジでGRBへインプットキャプチャ
		1		立ち下がりエッジでGRBへインプットキャプチャ
	1	0		立ち上がり/立ち下がり両エッジでインプットキャプチャ
		1		立ち上がり/立ち下がり両エッジでインプットキャプチャ

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値はTOLRの設定に従います。

*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2～0：I/OコントロールA2～0（IOA2～IOA0）

GRAの機能を選択します。

ビット2	ビット1	ビット0	説 明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止（初期値）
		1		GRAのコンペアマッチで0出力*1
	1	0		GRAのコンペアマッチで1出力*1
		1		GRAのコンペアマッチでトグル出力*1*2（チャンネル2のみ1出力）
1	0	0	GRAはインプットキャプチャレジスタ	立ち上がりエッジでGRAへインプットキャプチャ
		1		立ち下がりエッジでGRAへインプットキャプチャ
	1	0		立ち上がり/立ち下がり両エッジでインプットキャプチャ
		1		立ち上がり/立ち下がり両エッジでインプットキャプチャ

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値はTOLRの設定に従います。

*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

8. 16ビットタイマ

8.2.11 タイマアウトプットレベルセットレジスタ (TOLR)

TOLRは8ビットのライト専用のレジスタで、チャンネル0~2のタイマ出力レベルの設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	TOB2	TOA2	TOB1	TOA1	TOB0	TOA0
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

リザーブビット

出力レベルセットA2~A0、B2~B0
タイマ出力 (TIOCA₂~TIOCA₀、TIOCB₂~TIOCB₀)
のレベルを設定するビットです。

TOLRはTSTRの対応するビットが0のときのみ設定が可能です。

TOLRレジスタはライト専用レジスタで、リードは無効です。リードすると1が読み出されます。

TOLRはリセット、またはスタンバイモード時に、HC0に初期化されます。

ビット7~6: リザーブビット

リード/ライトは無効です。

ビット5: 出力レベルセット B2 (TOB2)

タイマ出力 (TIOCB₂) の値を設定します。

ビット5	説明
TOB2	
0	TIOCB ₂ は0出力 (初期値)
1	TIOCB ₂ は1出力

ビット4: 出力レベルセット A2 (TOA2)

タイマ出力 (TIOCA₂) の値を設定します。

ビット4	説明
TOA2	
0	TIOCA ₂ は0出力 (初期値)
1	TIOCA ₂ は1出力

ビット3：出力レベルセット B1 (TOB1)

タイマ出力 (TIOCB₁) の値を設定します。

ビット3	説 明	
TOB1		
0	TIOCB ₁ は 0 出力	(初期値)
1	TIOCB ₁ は 1 出力	

ビット2：出力レベルセット A1 (TOA1)

タイマ出力 (TIOCA₁) の値を設定します。

ビット2	説 明	
TOA1		
0	TIOCA ₁ は 0 出力	(初期値)
1	TIOCA ₁ は 1 出力	

ビット1：出力レベルセット B0 (TOB0)

タイマ出力 (TIOCB₀) の値を設定します。

ビット1	説 明	
TOB0		
0	TIOCB ₀ は 0 出力	(初期値)
1	TIOCB ₀ は 1 出力	

ビット0：出力レベルセット A0 (TOA0)

タイマ出力 (TIOCA₀) の値を設定します。

ビット0	説 明	
TOA0		
0	TIOCA ₀ は 0 出力	(初期値)
1	TIOCA ₀ は 1 出力	

8.3 CPUとのインタフェース

8.3.1 16ビットアクセス可能なレジスタ

16TCNT、GRA、GRBは16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

16TCNTに対してワード単位のリード/ライトを行った場合の動作を図8.4、図8.5に示します。

また、16TCNTH、16TCNTLに対してバイト単位のリード/ライトを行った場合の動作を図8.6～図8.9に示します。

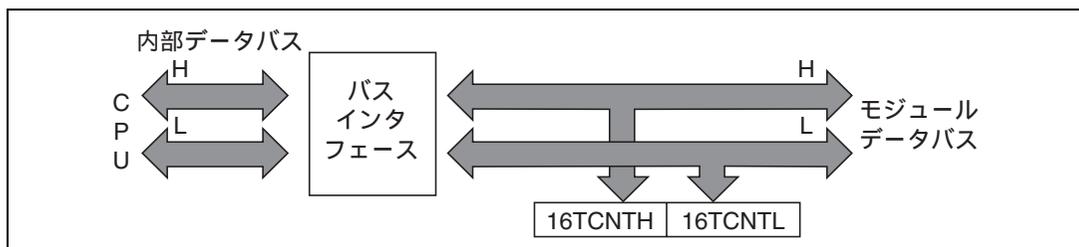


図 8.4 16TCNT のアクセス動作 [CPU→16TCNT (ワード)]

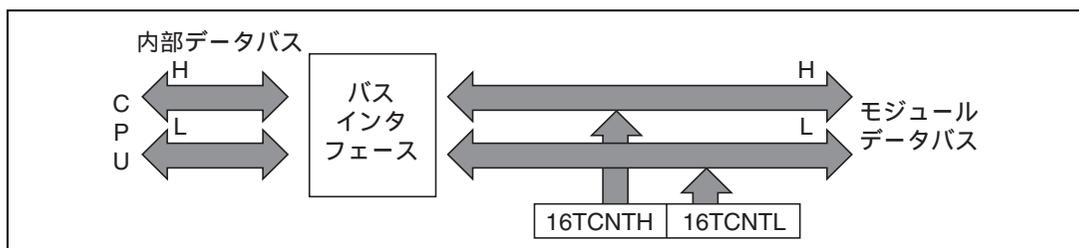


図 8.5 16TCNT のアクセス動作 [16TCNT→CPU (ワード)]

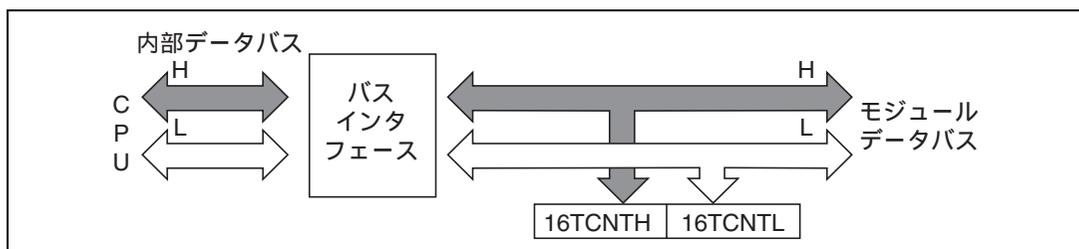


図 8.6 16TCNTH のアクセス動作 [CPU→16TCNTH (上位バイト)]

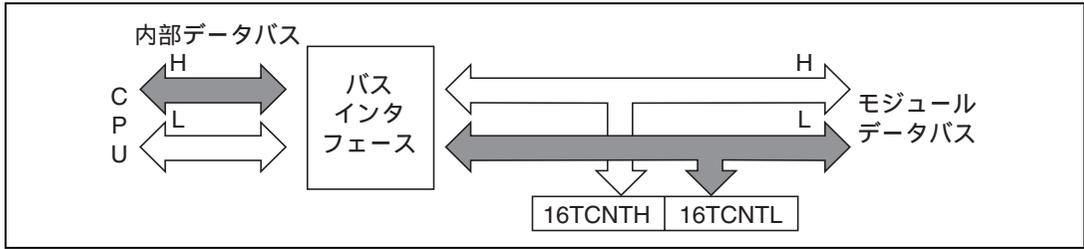


図 8.7 16TCNTL のアクセス動作 [CPU→16TCNTL (下位バイト)]

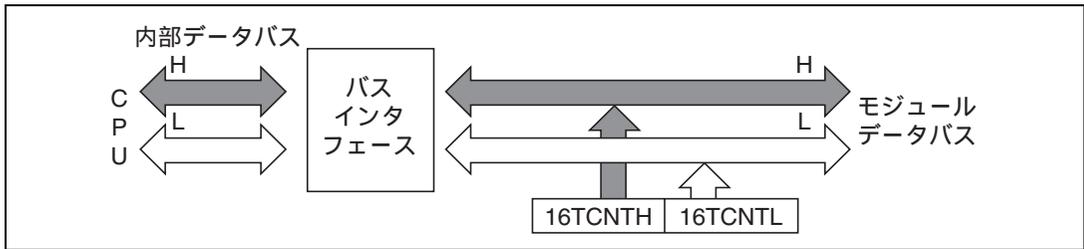


図 8.8 16TCNTH のアクセス動作 [16TCNTH→CPU (上位バイト)]

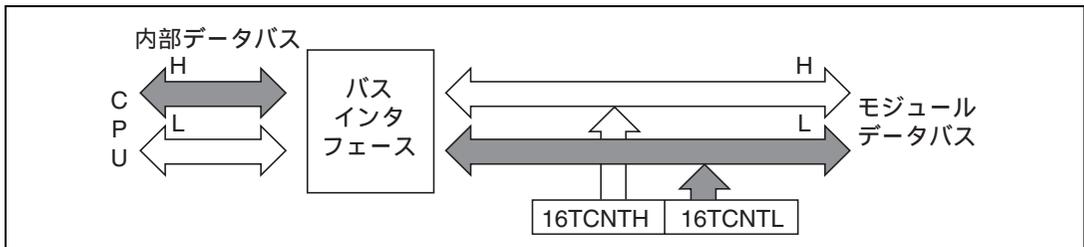


図 8.9 16TCNTL のアクセス動作 [16TCNTL→CPU (下位バイト)]

8.3.2 8 ビットアクセスのレジスタ

16TCNT、GR 以外のレジスタは 8 ビットのレジスタです。これらのレジスタは、CPU と内部 8 ビットデータバスで接続されています。

16TCR に対してバイト単位のリード/ライトを行った場合の動作を図 8.10、図 8.11 に示します。なお、ワードサイズの転送命令を実行するとバイト単位 2 回の転送が行われます。

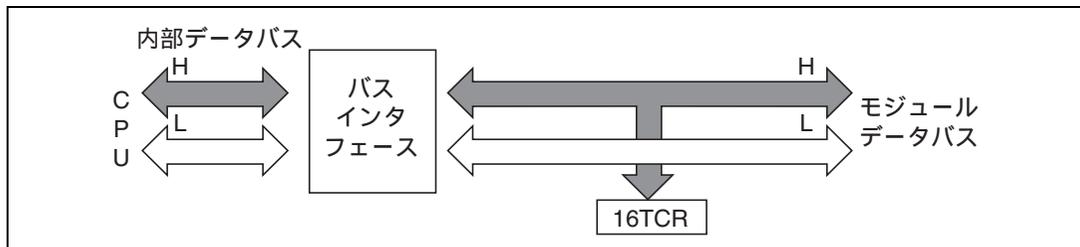


図 8.10 16TCR のアクセス動作 [CPU→16TCR]

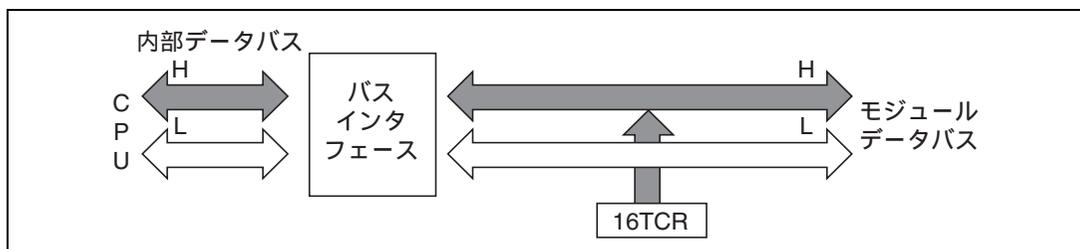


図 8.11 16TCR のアクセス動作 [16TCR→CPU]

8.4 動作説明

8.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、16TCNTとGRがあります。16TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの16TCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の16TCNTを書き換えると他のチャンネルの16TCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの16TCRのCCLR1、CCLR0ビットの設定により、16TCNTの同期クリアが可能です。

(3) PWMモード

TIOCA端子からPWM波形を出力するモードです。コンペアマッチAにより1出力、コンペアマッチBにより0出力となります。GRA、GRBの設定により、デューティ0~100%のPWM波形を出力できます。PWMモードに設定すると当該チャンネルのGRA、GRBは自動的にアウトプットコンペアレジスタとして機能します。

(4) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、16TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定すると、TCLKA、TCLKB端子はクロック入力となり、また16TCNT2はアップ/ダウンカウント動作を行います。

8.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ(TSTR)のSTR0~STR2ビットを1にセットすると、対応するチャンネルの16TCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図8.12に示します。

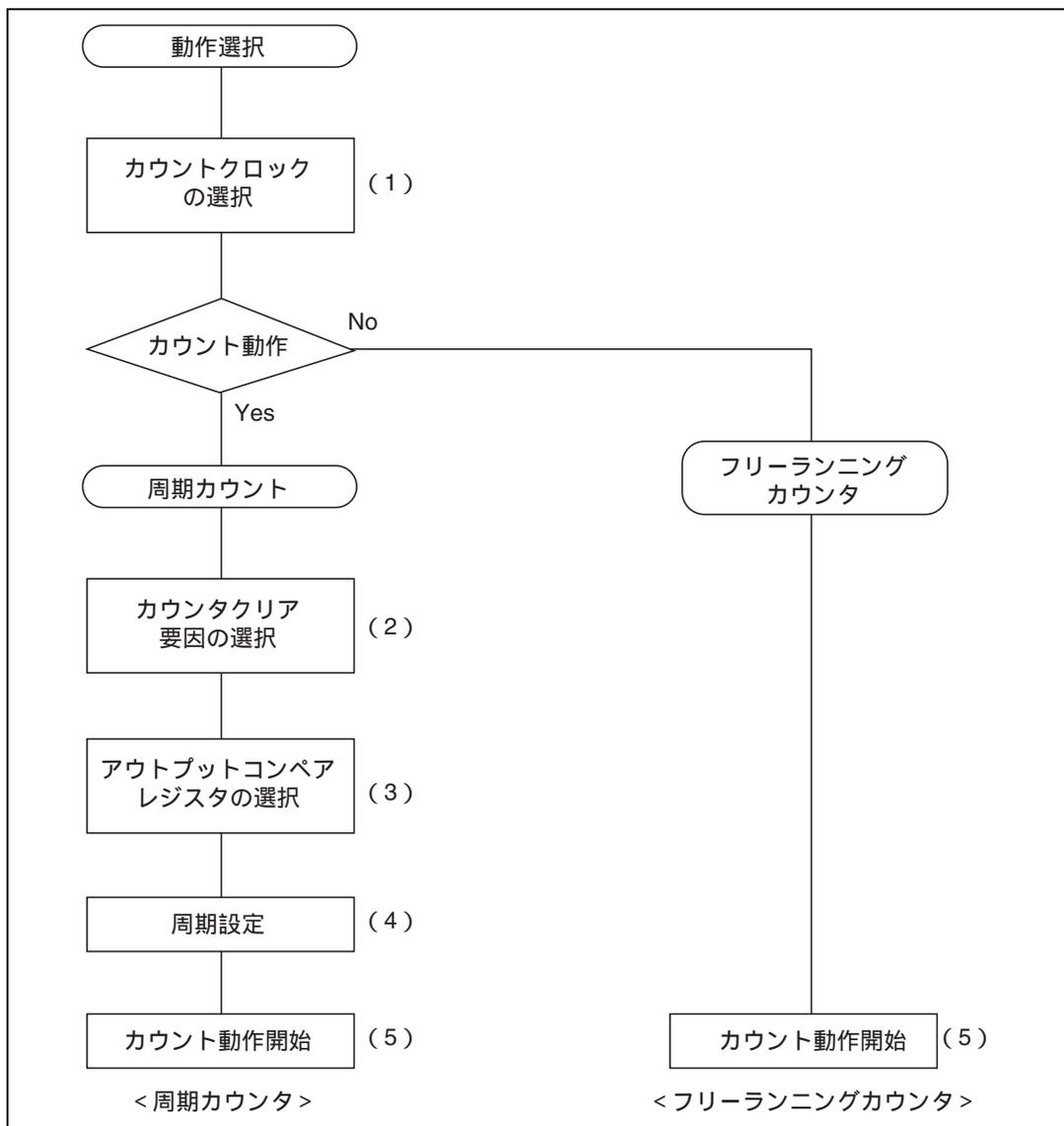


図 8.12 カウント動作設定手順例

- (1) 16TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、16TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- (2) 周期カウント動作の場合、16TCRのCCLR1、CCLR0ビットで16TCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
- (3) (2)で選択したGRAまたはGRBを、TIORによりアウトプットコンペアレジスタに設定してください。
- (4) (2)で選択したGRAまたはGRBに周期を設定してください。
- (5) TSTRのSTRビットを1にセットしてカウント動作を開始してください。

(b) フリーランニングカウンタ動作と周期カウンタ動作

チャンネル0~2のカウンタ(16TCNT)はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。16TCNTがオーバーフロー(H'FFFF→H'0000)するとTISRCのOVFフラグが1にセットされます。16TCNTはオーバーフロー後、H'0000から再びアップカウント動作を続けます。

フリーランニングカウンタの動作を図8.13に示します。

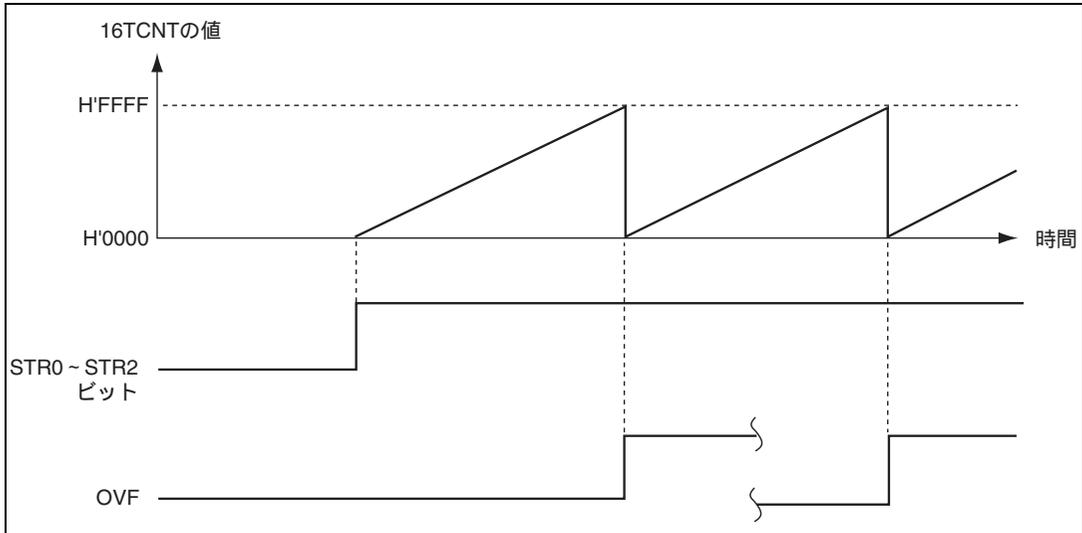


図 8.13 フリーランニングカウンタの動作

16TCNTのクリア要因にコンペアマッチを選択したときは、当該チャンネルの16TCNTは周期カウンタ動作を行います(周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、16TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTRの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTISRA/TISRBのIMFA/IMFBフラグが1にセットされ、16TCNTはH'0000にクリアされます。

このとき、対応するTISRA/TISRBのIMIEA/IMIEBビットが1ならば、CPUに割り込みを要求します。16TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を続けます。

周期カウンタの動作を図8.14に示します。

8. 16ビットタイマ

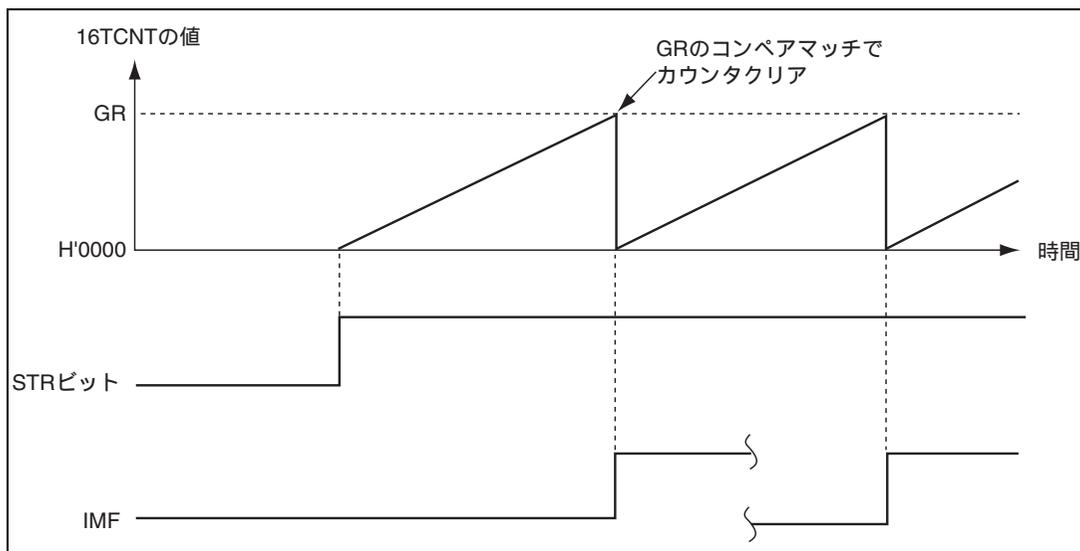


図 8.14 周期カウンタの動作

(c) 16TCNT のカウントタイミング

(1) 内部クロック動作の場合

16TCR の TPSC2 ~ TPSC0 ビットにより、システムクロック (ϕ) またはシステムクロックを分周した 3 種類のクロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$) が選択できます。

このときのタイミングを図 8.15 に示します。

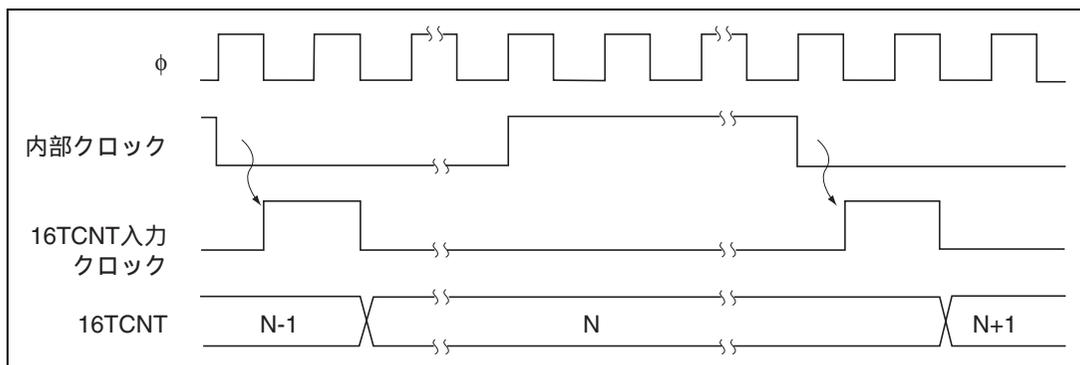


図 8.15 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

16TCRのTPSC2~TPSC0ビットにより、外部クロック入力端子(TCLKA~TCLKD)を、またCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は立ち上がりエッジ/立ち下がりエッジ/両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立ち上がり/立ち下がりの両エッジ検出時のタイミングを図8.16に示します。

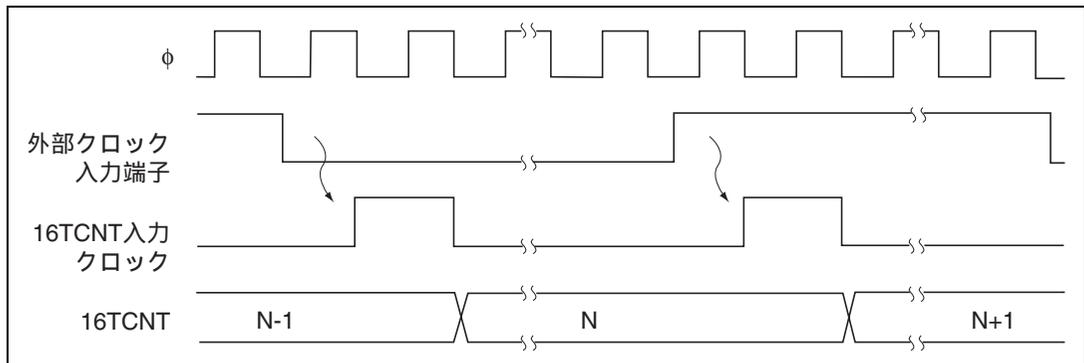


図 8.16 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

16ビットタイマチャンネル0、1は、コンペアマッチA、Bにより対応するTIOCA、TIOCB端子から0出力/1出力/トグル出力を行うことができます。

チャンネル2は0出力/1出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図8.17に示します。

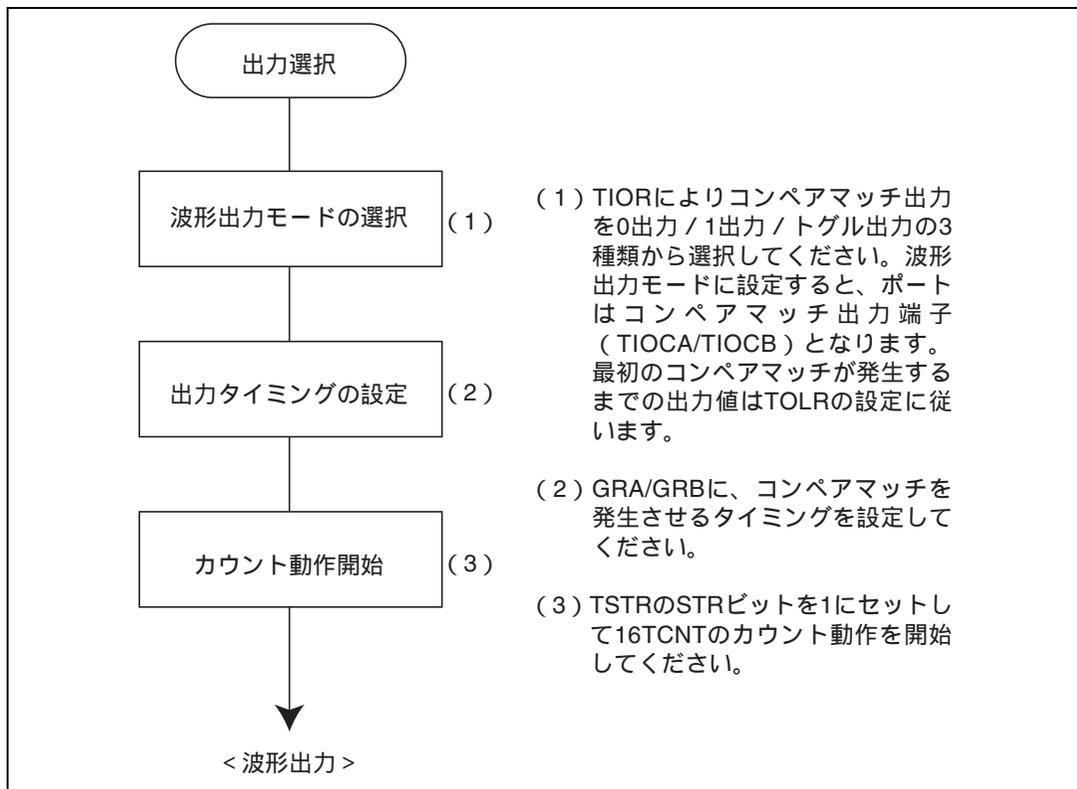


図 8.17 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力/1出力の例を図8.18に示します。

16TCNTフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

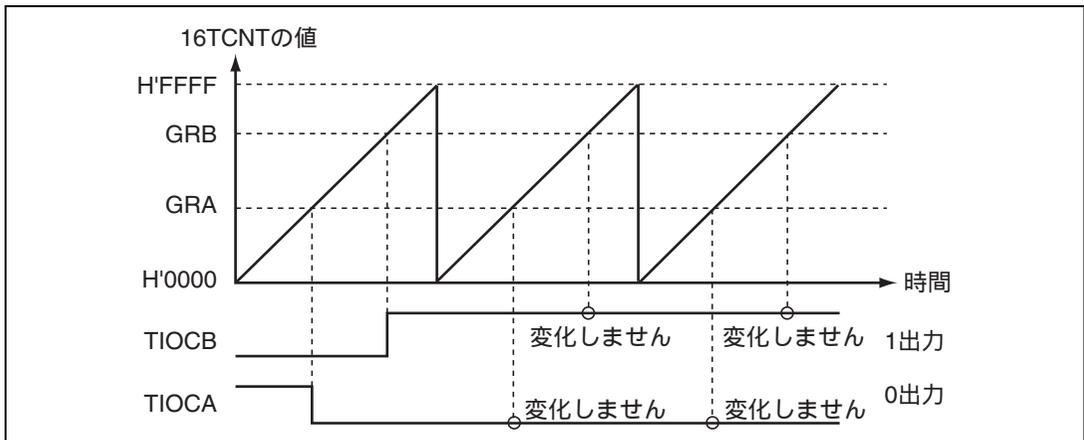


図 8.18 0出力、1出力の動作例 (TOA=1,TOB=0の場合)

トグル出力の例を図8.19に示します。

16TCNTを周期カウント動作(コンペアマッチBでカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

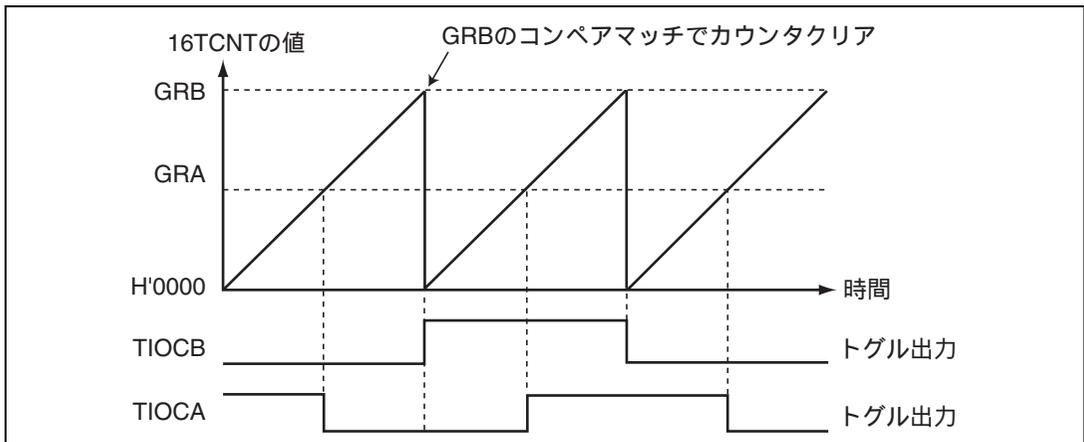


図 8.19 トグル出力の動作例 (TOA=1,TOB=0の場合)

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、16TCNT と GR が一致した最後のステート（16TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定される出力値がアウトプットコンペア出力端子（TIOCA、TIOCB）に出力されます。16TCNT と GR が一致した後、16TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 8.20 に示します。

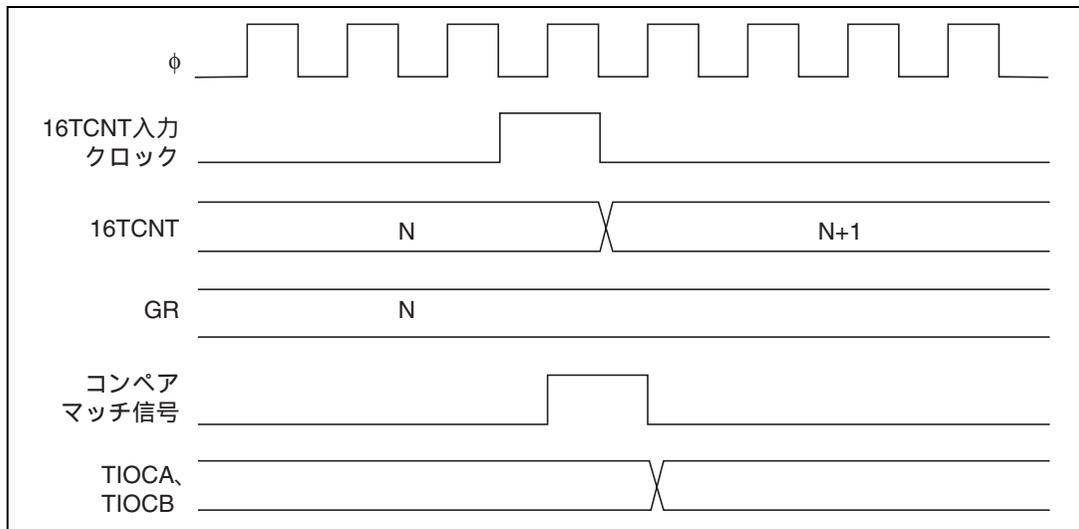


図 8.20 アウトプットコンペア出力タイミング

(3) インプットキャプチャ機能

インプットキャプチャ/アウトプットコンペア端子（TIOCA、TIOCB）の入力エッジを検出して 16TCNT の値を GR に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 8.21 に示します。

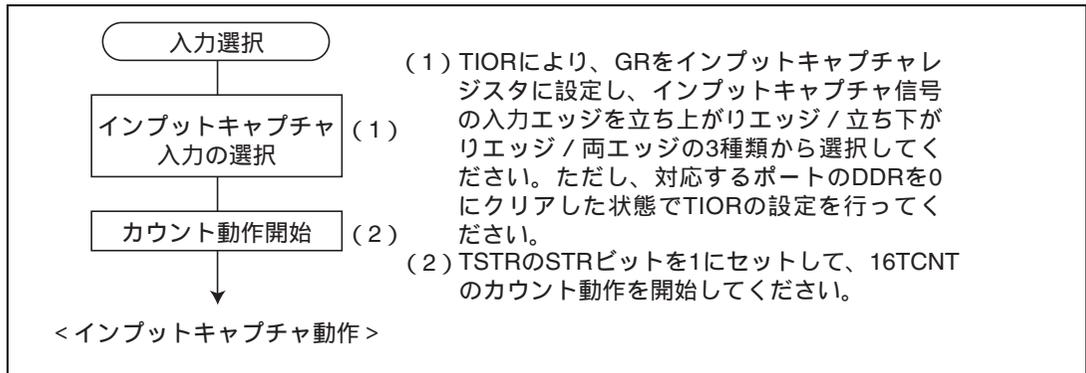


図 8.21 インプットキャプチャ動作の設定手順例

(b) インプットキャプチャ動作例

インプットキャプチャ動作例を図 8.22 に示します。

TIOCA 端子のインプットキャプチャ入力エッジは立ち上がり/立ち下がり両エッジ、また TIOCB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、16TCNT は GRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

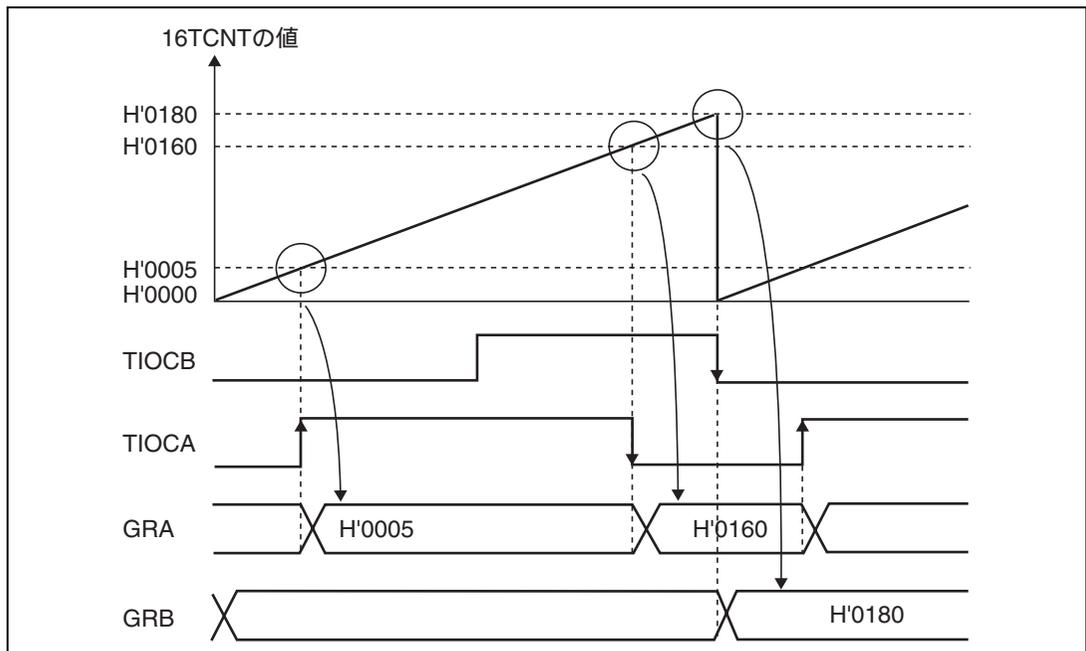


図 8.22 インプットキャプチャ動作例

8. 16ビットタイマ

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 8.23 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

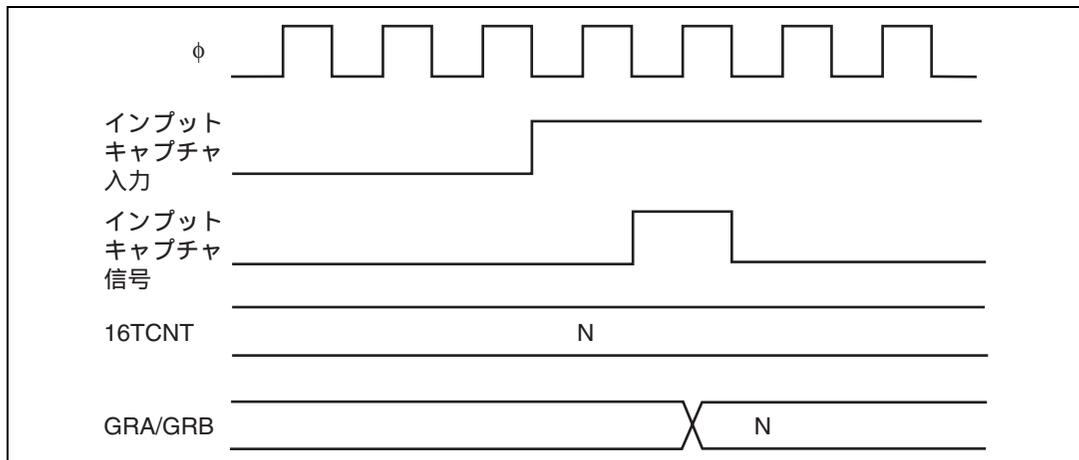


図 8.23 インพุットキャプチャ入力信号タイミング

8.4.3 同期動作

同期動作は、複数の16TCNTの値を同時に書き換えることができます（同期プリセット）。また、16TCRの設定により複数の16TCNTを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル0~2はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図8.24に示します。

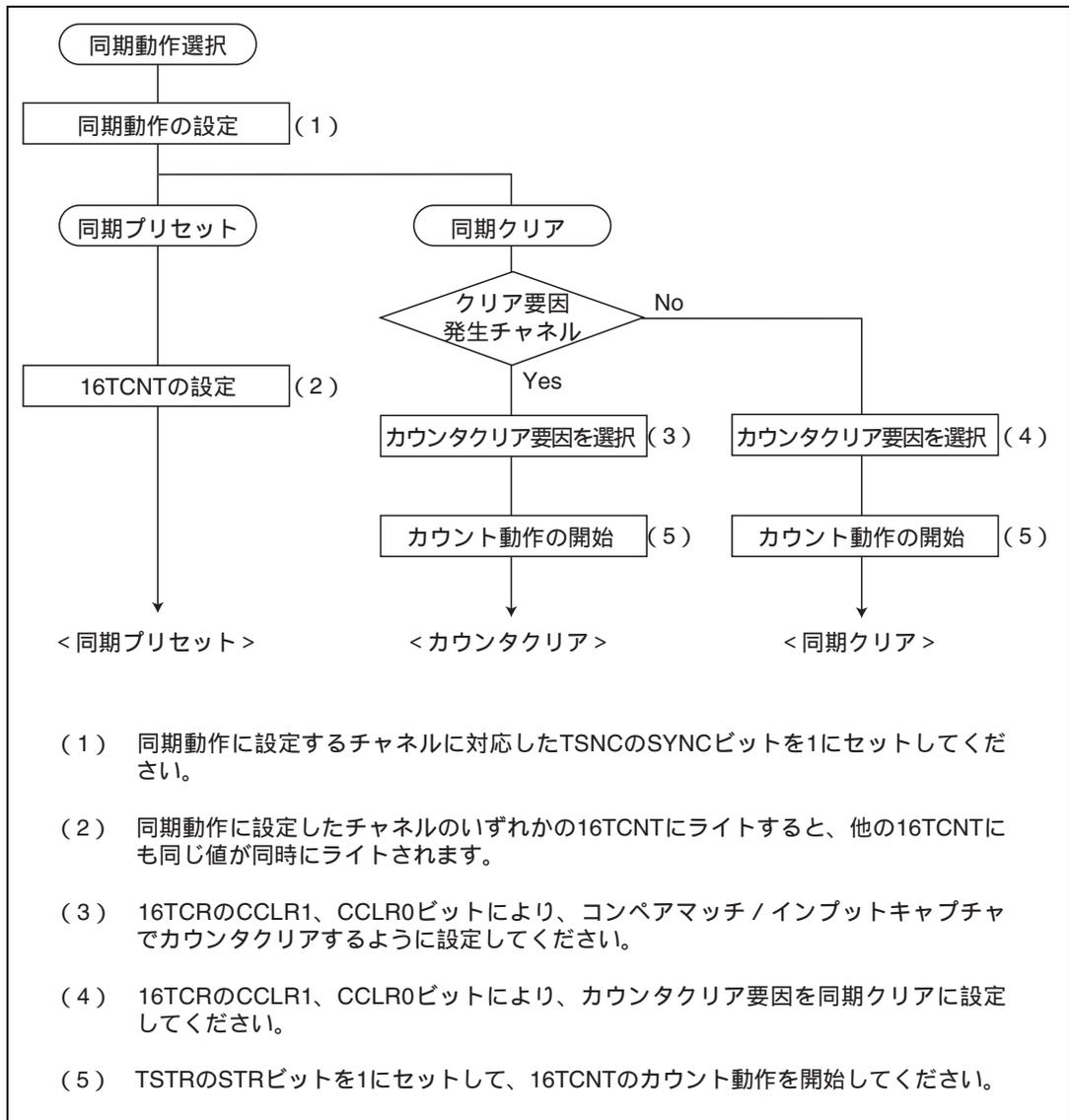


図 8.24 同期モード設定手順例

(2) 同期動作例

同期動作例を図 8.25 に示します。

チャンネル0~2を同期動作かつPWMモードに設定し、チャンネル0のカウンタクリア要因をGRB0のコンペアマッチ、またはチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル0~2の16TCNTは同期プリセット、GRB0のコンペアマッチによる同期クリア動作を行い、3相のPWM波形をTIOCA₀、TIOCA₁、TIOCA₂端子から出力します。

PWMモードについては「8.4.4 PWMモード」を参照してください。

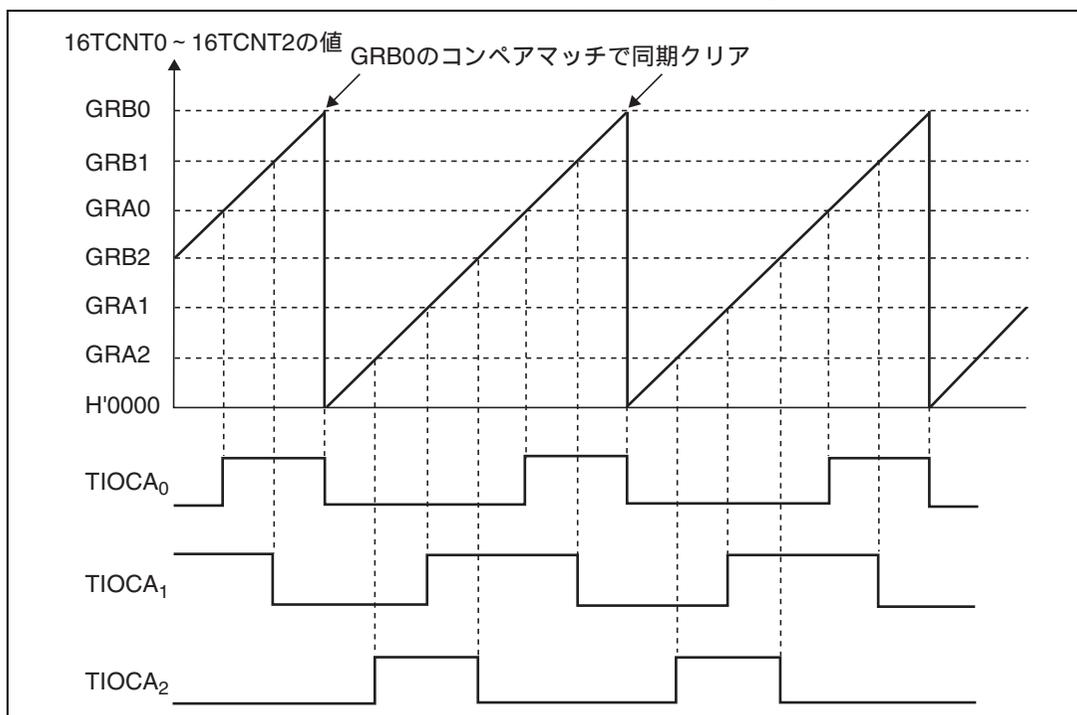


図 8.25 同期動作例

8.4.4 PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを 16TCNT のカウンタクリア要因とすることにより、デューティ 0~100%の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0~2 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 8.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 8.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA ₀	GRA0	GRB0
1	TIOCA ₁	GRA1	GRB1
2	TIOCA ₂	GRA2	GRB2

(1) PWMモードの設定手順例

PWMモードの設定手順例を図8.26に示します。

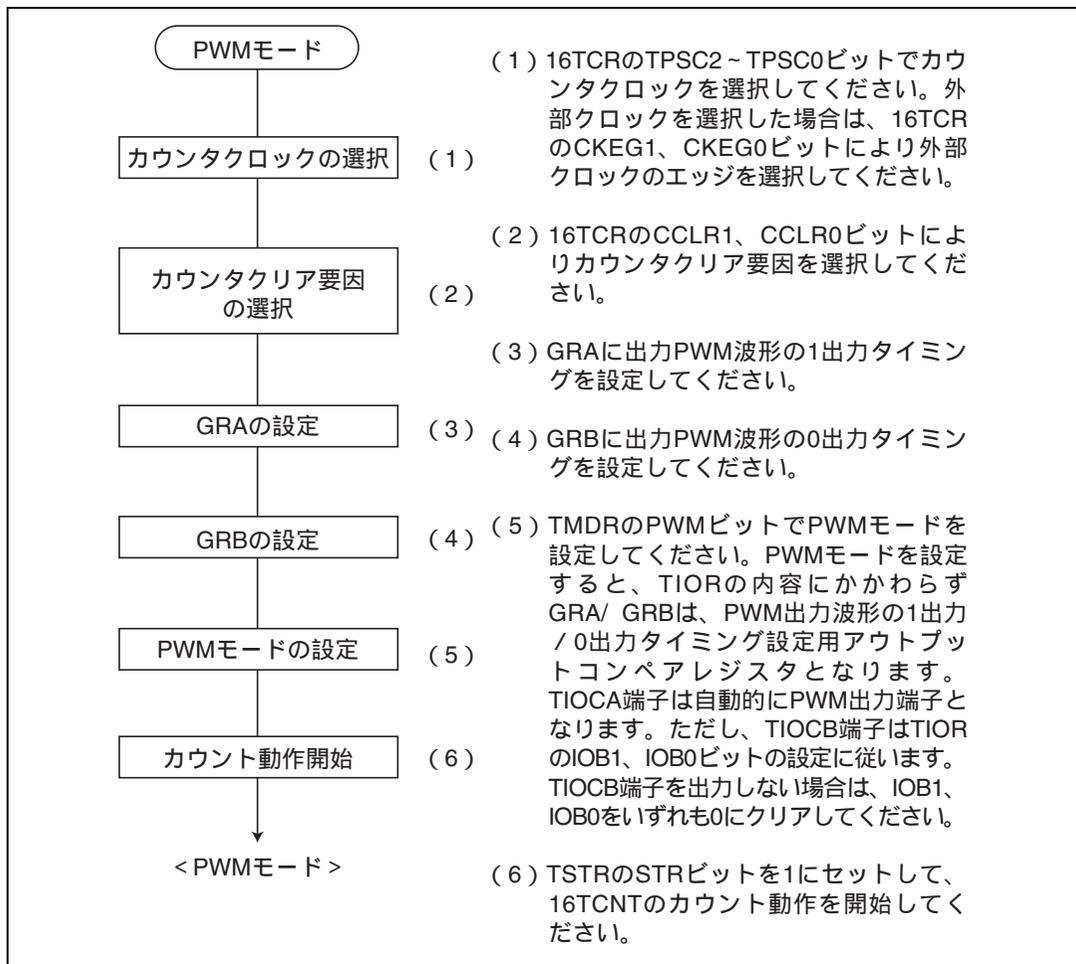


図 8.26 PWMモードの設定手順

(2) PWM モードの動作例

PWM モードの動作例を図 8.27 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

16TCNT のカウンタクリア要因を、GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウンタ動作も使用できます。

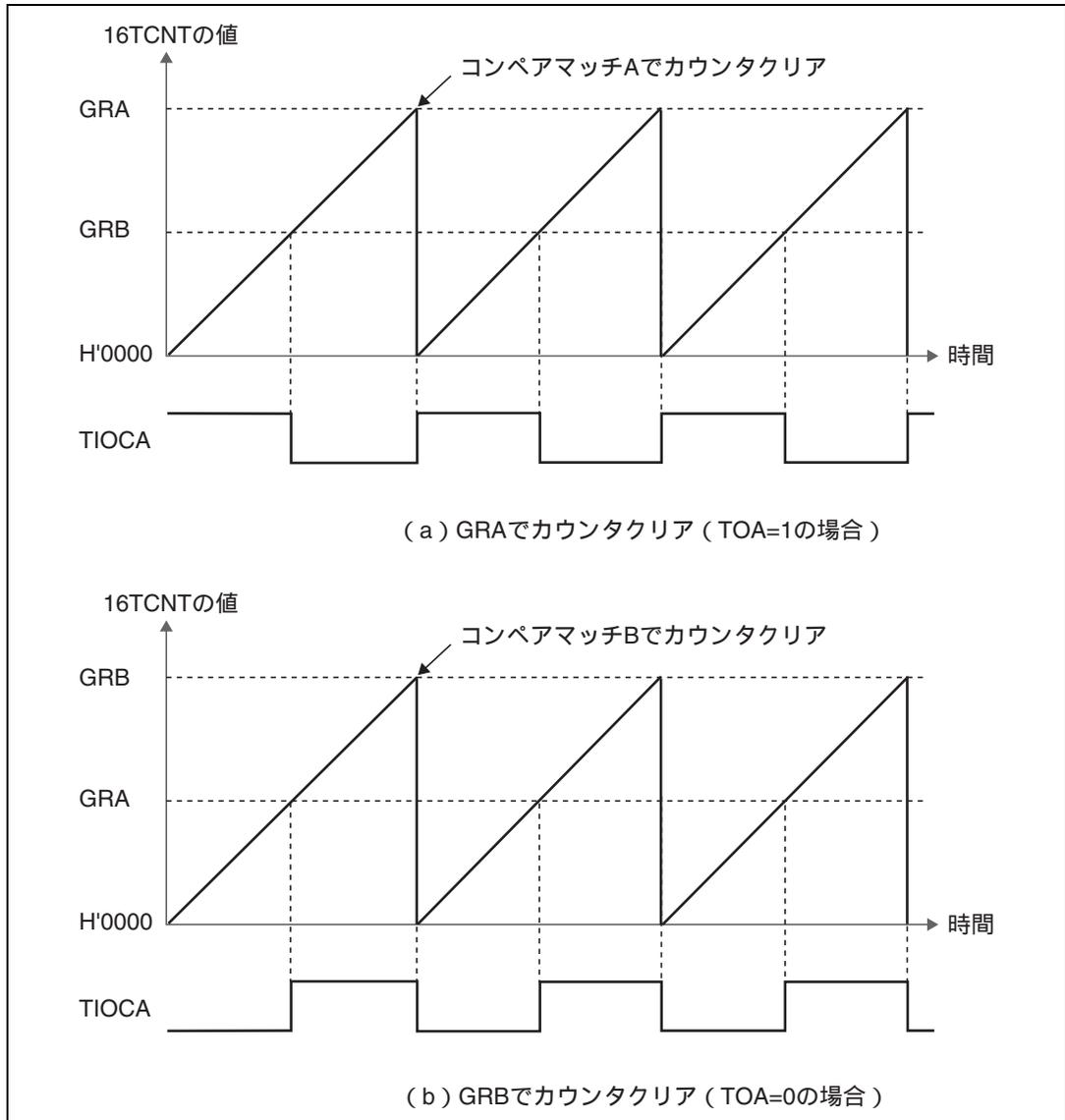


図 8.27 PWM モードの動作例

8. 16ビットタイマ

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 8.28 に示します。

カウンタクリア要因を GRB のコンペアマッチに設定し、GRA の設定値 > GRB の設定値としたとき、PWM 波形はデューティ 0%となります。また、カウンタクリア要因を GRA のコンペアマッチに設定し、GRB の設定値 > GRA の設定値としたとき PWM 波形はデューティ 100%となります。

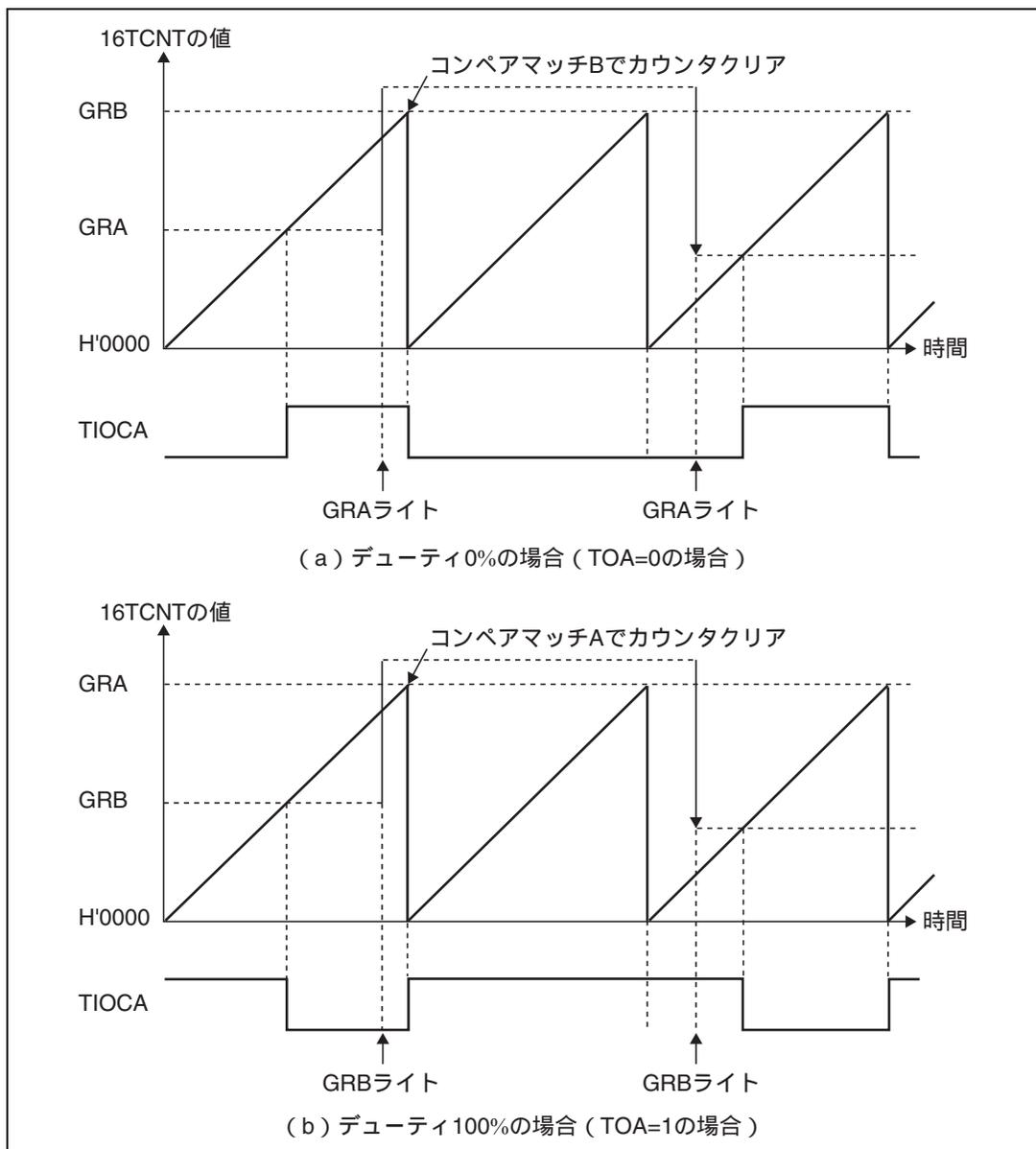


図 8.28 PWM モードの動作例

8.4.5 位相計数モード

位相計数モードは、2本の外部クロック入力(TCLKA、TCLKB端子)の位相差を検出し、16TCNT2をアップ/ダウンカウントします。

位相計数モードに設定すると、16TCR2のTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、また16TCNT2はアップ/ダウンカウンタとなります。ただし、16TCR2のCCLR1、CCLR0ビット、TIOR2、TISRA、TISRB、TISRC、TSTRのSTR2ビット、GRA2、GRB2は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル2のみがもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図8.29に示します。

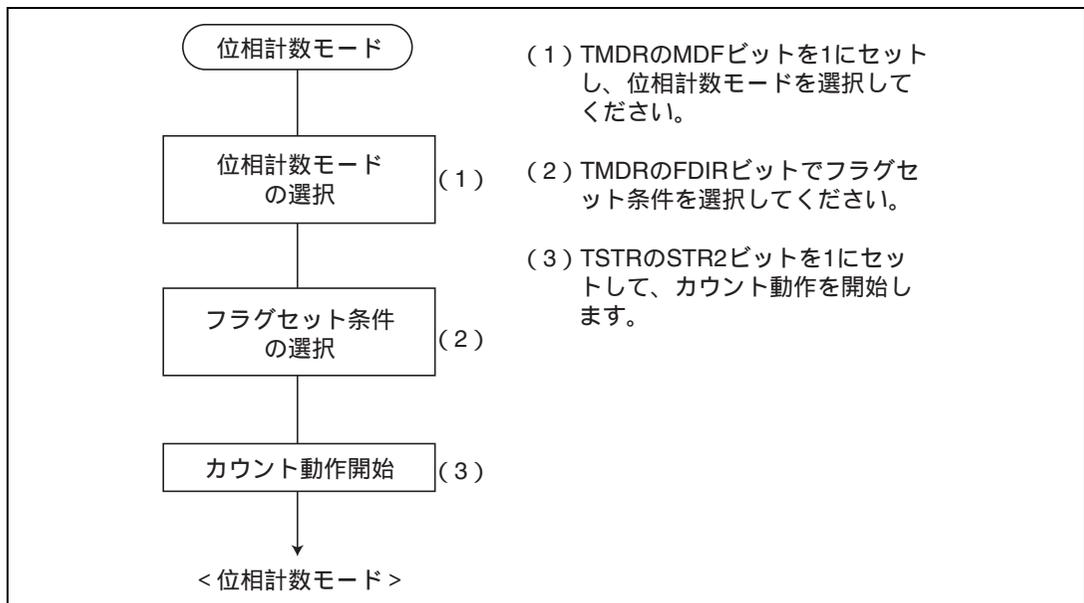


図 8.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図 8.30 に、16TCNT2 のアップ/ダウンカウント条件を表 8.5 にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB 端子の立ち上がり () / 立ち下がり () の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。

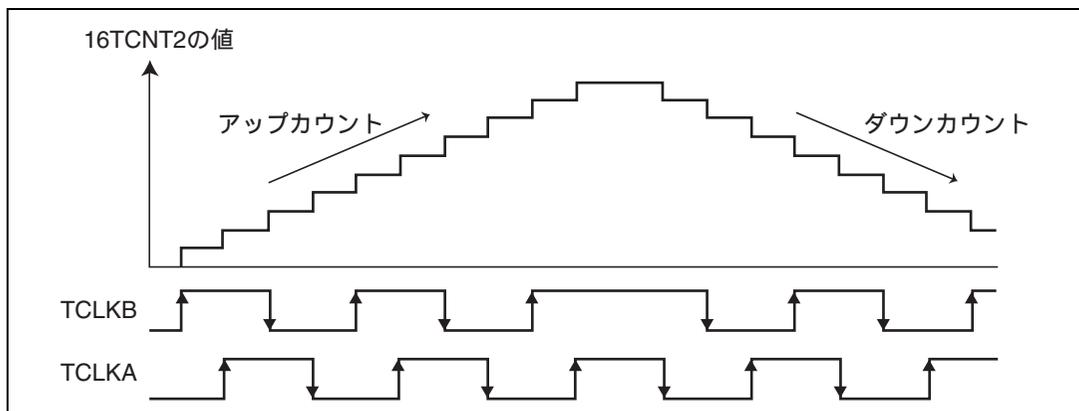


図 8.30 位相計数モードの動作例

表 8.5 アップ/ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
	TCLKB	↑	High	↓	Low	High	↓	Low
TCLKA	Low	↑	High	↓	↓	Low	↑	High

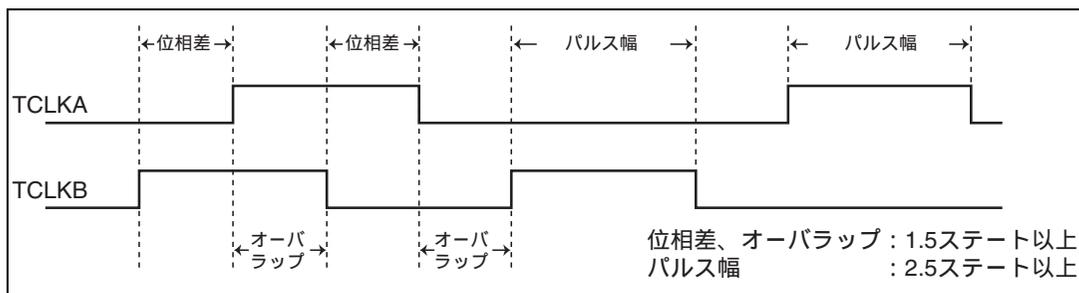


図 8.31 位相計数モード時の位相差、オーバーラップおよびパルス幅

8.4.6 16ビットタイマ出力初期値の設定

16ビットタイマ出力は、TOLRの設定により、タイマカウント動作起動時の出力の初期値を任意に設定することができます。

図8.32にTOLRによる出力初期値設定タイミングを示します。

なお、TOLRへのライトは必ず対応するTSTRのビットが0のときに行ってください。

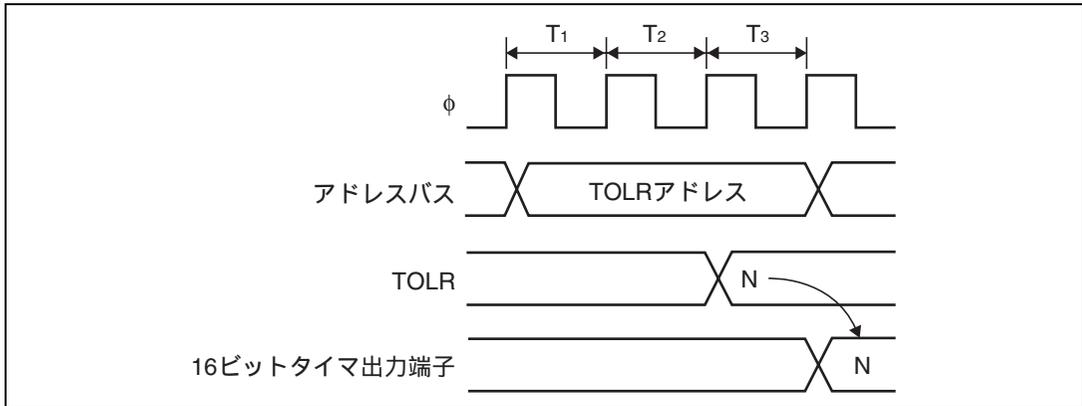


図 8.32 TOLR へのライトによる 16 ビットタイマ出力初期値設定タイミング

8.5 割り込み

16ビットタイマの割り込み要因には、インプットキャプチャ/コンペアマッチ割り込み、オーバーフロー割り込みの2種類があります。

8.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

IMFフラグは、GRと16TCNTが一致したときに発生するコンペアマッチ信号により1にセットされます。コンペアマッチ信号は、一致した最後のステート（16TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、16TCNTとGRが一致した後、16TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図8.33にIMFフラグのセットタイミングを示します。

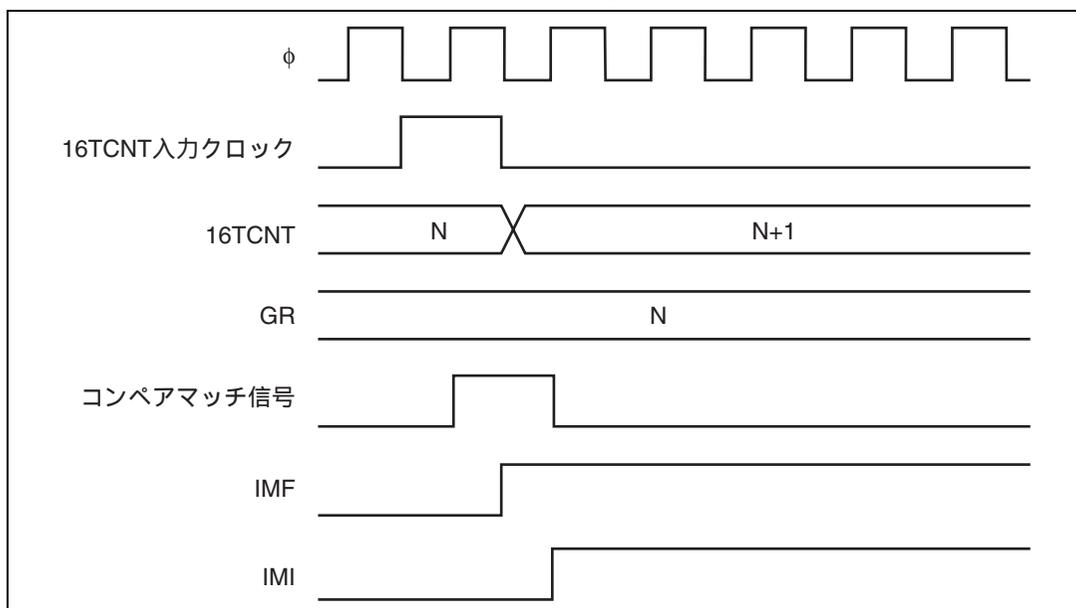


図 8.33 コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

(2) インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に 16TCNT の値が対応する GR に転送されます。

このタイミングを図 8.34 に示します。

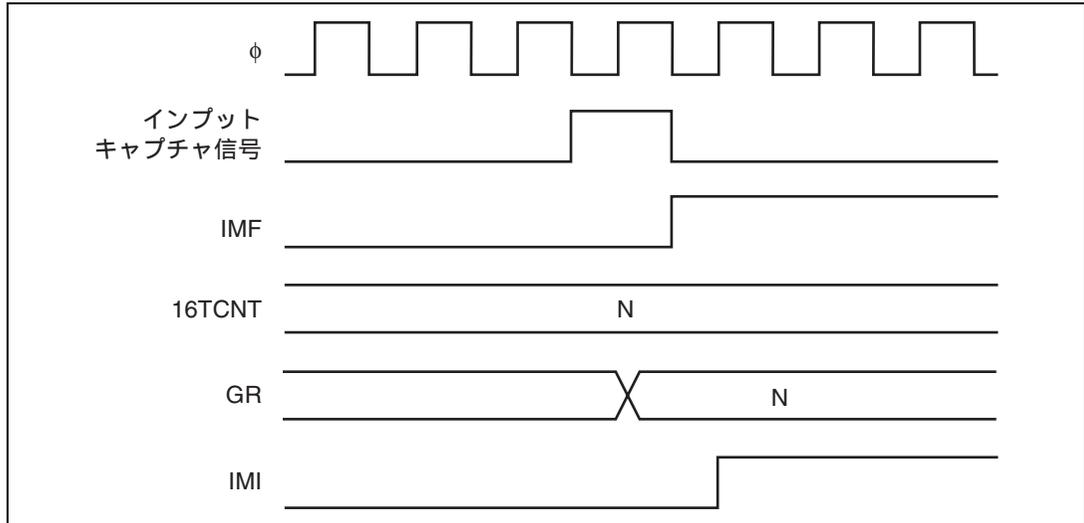


図 8.34 インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、16TCNT がオーバフロー (H'FFFF→H'0000) したとき、またはアンダフロー (H'0000→H'FFFF) したときに 1 にセットされます。

このタイミングを図 8.35 に示します。

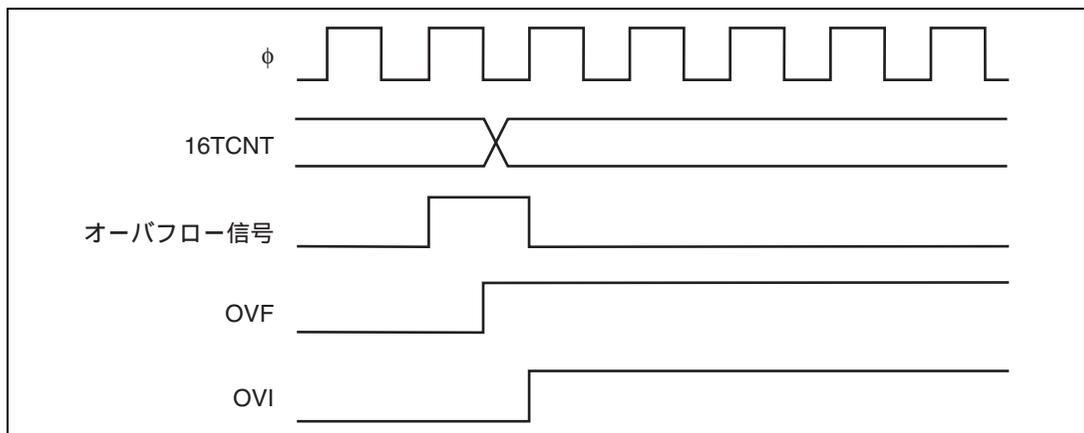


図 8.35 OVF のセットタイミング

8.5.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後 0 をライトするとクリアされます。このタイミングを図 8.36 に示します。

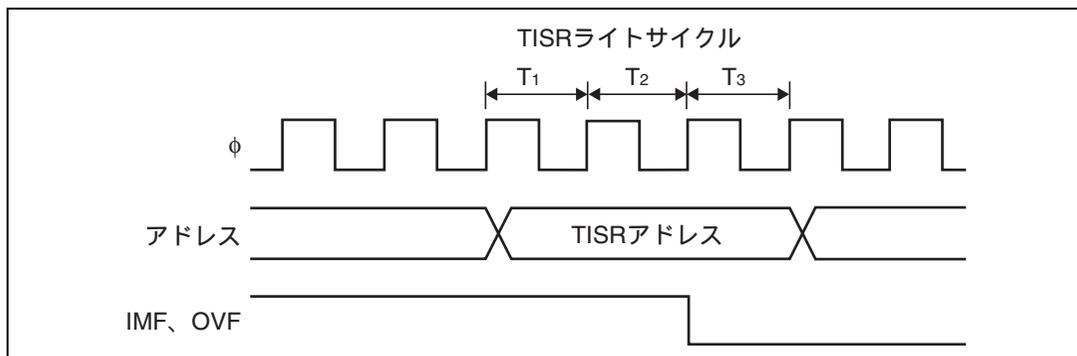


図 8.36 ステータスフラグのクリアタイミング

8.5.3 割り込み要因

16 ビットタイマは各チャンネルごとにコンペアマッチ/インプットキャプチャ A 割り込み、コンペアマッチ/インプットキャプチャ B 割り込み、およびオーバーフロー割り込みをもっています。これら 3 種類の割り込み計 9 本の割り込みは、それぞれ独立のベクタアドレスが割り付けられています。割り込み要求フラグが 1 にセットされているとき、当該割り込みが要求されます。

チャンネル間の優先順位は、IPRA により変更可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

16 ビットタイマの割り込み要因を表 8.6 に示します。

表 8.6 16 ビットタイマ割り込み要因

チャンネル	割り込み要因	内容	優先順位*
0	IMIA0	コンペアマッチ/インプットキャプチャA0	高 ↑ 低
	IMIB0	コンペアマッチ/インプットキャプチャB0	
	OVI0	オーバーフロー0	
1	IMIA1	コンペアマッチ/インプットキャプチャA1	↑
	IMIB1	コンペアマッチ/インプットキャプチャB1	
	OVI1	オーバーフロー1	
2	IMIA2	コンペアマッチ/インプットキャプチャA2	↑
	IMIB2	コンペアマッチ/インプットキャプチャB2	
	OVI2	オーバーフロー2	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は IPRA により変更可能です。

8.6 使用上の注意

16ビットタイマの動作中、次のような競合や動作がおこりますので、注意してください。

(1) 16TCNTのライトとクリアの競合

16TCNTのライトサイクル中の T_3 状態で、カウントクリア信号が発生すると、16TCNTへの書き込みサイクルは行われず16TCNTのクリアが優先されます。

このタイミングを図8.37に示します。

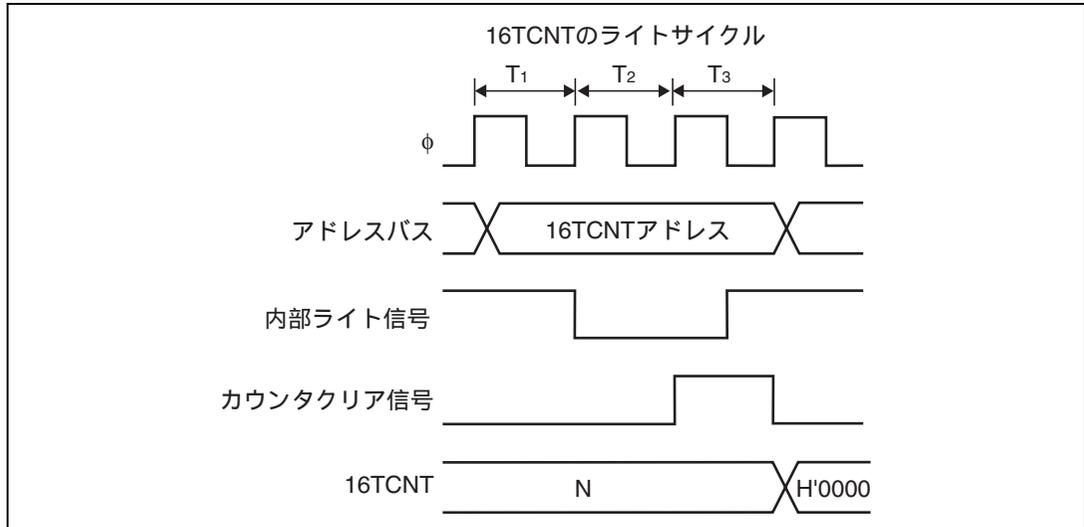


図 8.37 16TCNT のライトとクリアの競合

(2) 16TCNTのワードライトとカウントアップの競合

16TCNTのワードライトサイクル中の T_3 状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図8.38に示します。

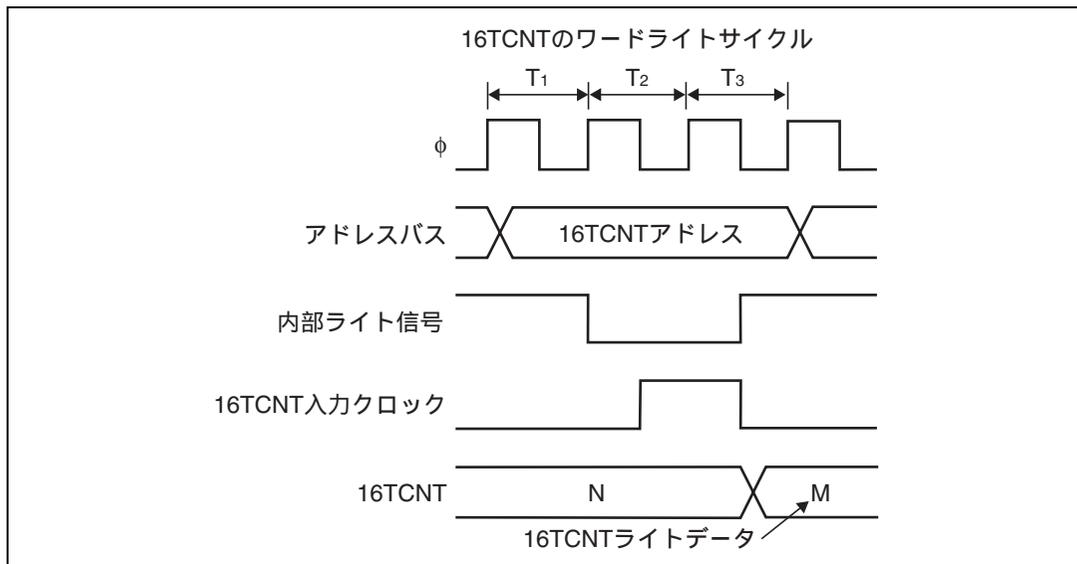


図 8.38 16TCNTのワードライトとカウントアップの競合

(3) 16TCNTのバイトライトとカウントアップの競合

16TCNTのバイトライトサイクル中の T_2 ステートまたは T_3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図8.39に示します。

16TCNTHのバイトライトサイクル中の T_2 ステートでカウントアップが発生した場合の例です。

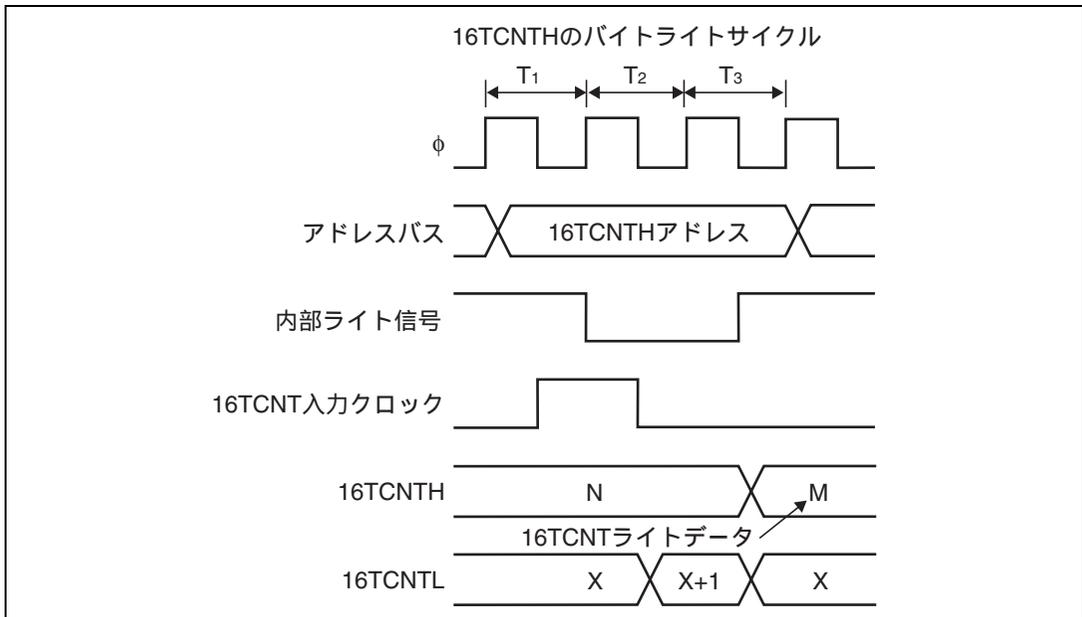


図 8.39 16TCNTのバイトライトとカウントアップの競合

(4) GRのライトとコンペアマッチの競合

GRのライトサイクル中の T_3 状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図8.40に示します。

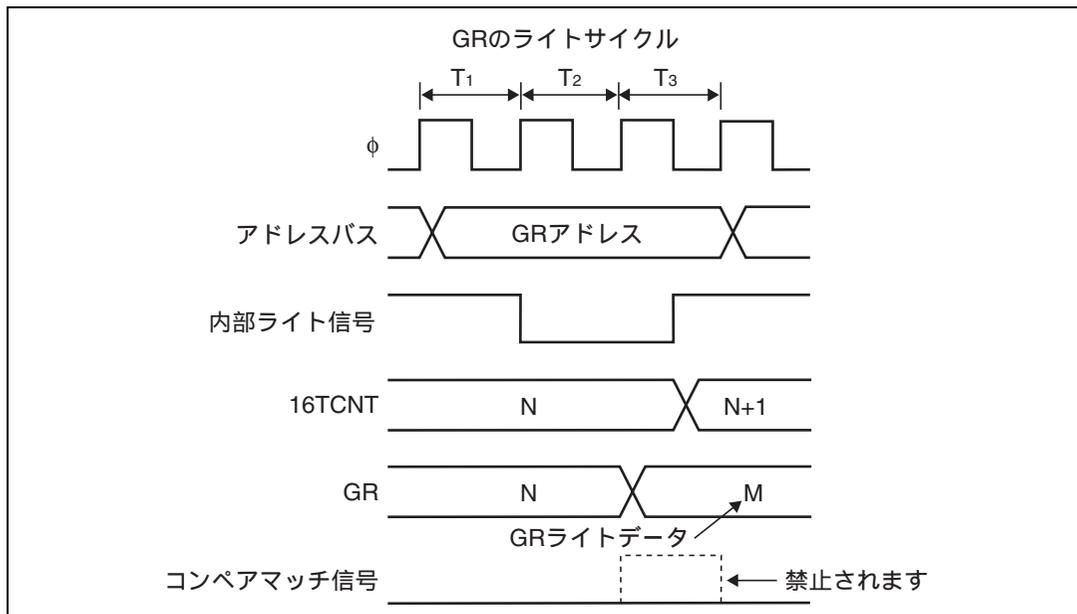


図 8.40 GRのライトとコンペアマッチの競合

(5) 16TCNTのライトとオーバーフロー/アンダフローとの競合

16TCNTのライトサイクル中の T_3 ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このときOVFフラグは1にセットされます。アンダフローの場合も同様です。

このタイミングを図8.41に示します。

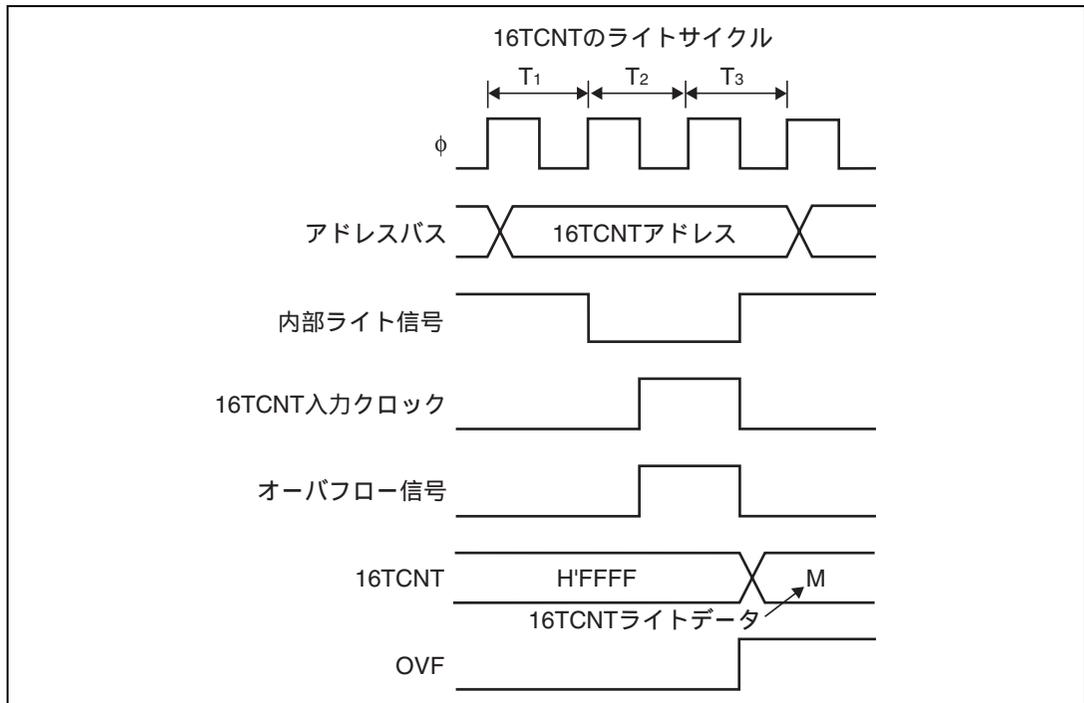


図 8.41 16TCNT のライトとオーバーフローの競合

(6) GR のリードとインプットキャプチャの競合

GR のリードサイクル中の T_3 ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図 8.42 に示します。

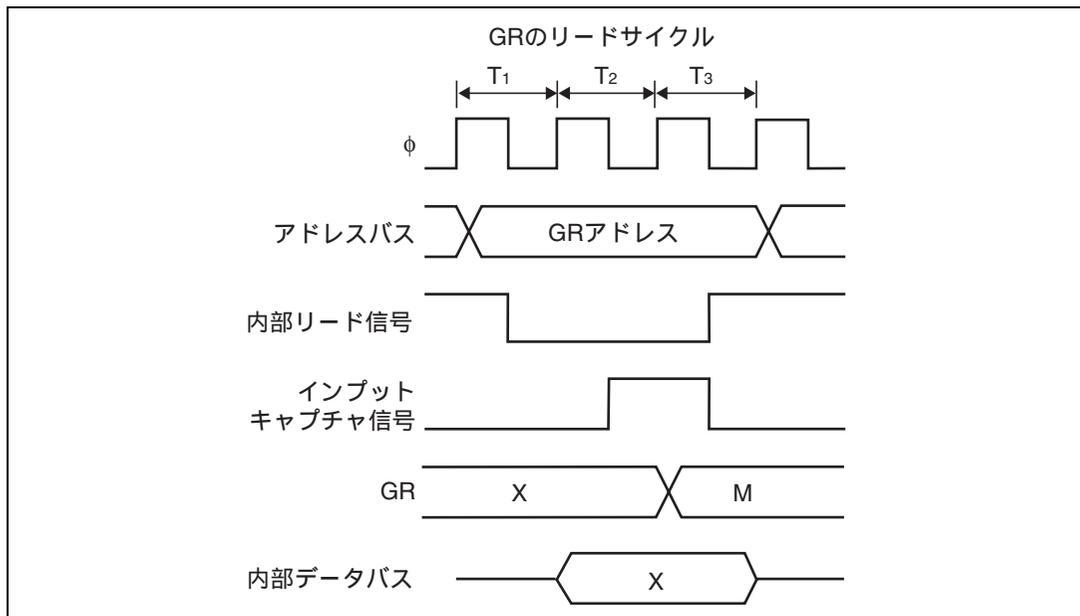


図 8.42 GR のリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。GR にはカウンタクリア前の 16TCNT の内容が転送されます。

このタイミングを図 8.43 に示します。

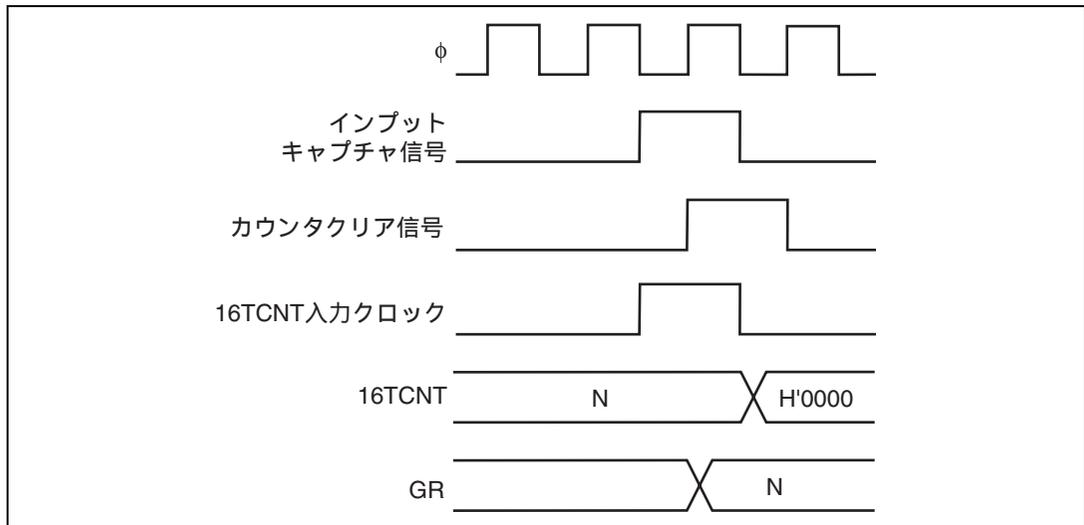


図 8.43 インพุットキャプチャによるカウンタクリアとカウントアップの競合

8. 16ビットタイマ

(8) GRのライトとインプットキャプチャの競合

GRのライトサイクル中の T_3 ステートで、インプットキャプチャ信号が発生すると、GRへの書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図8.44に示します。

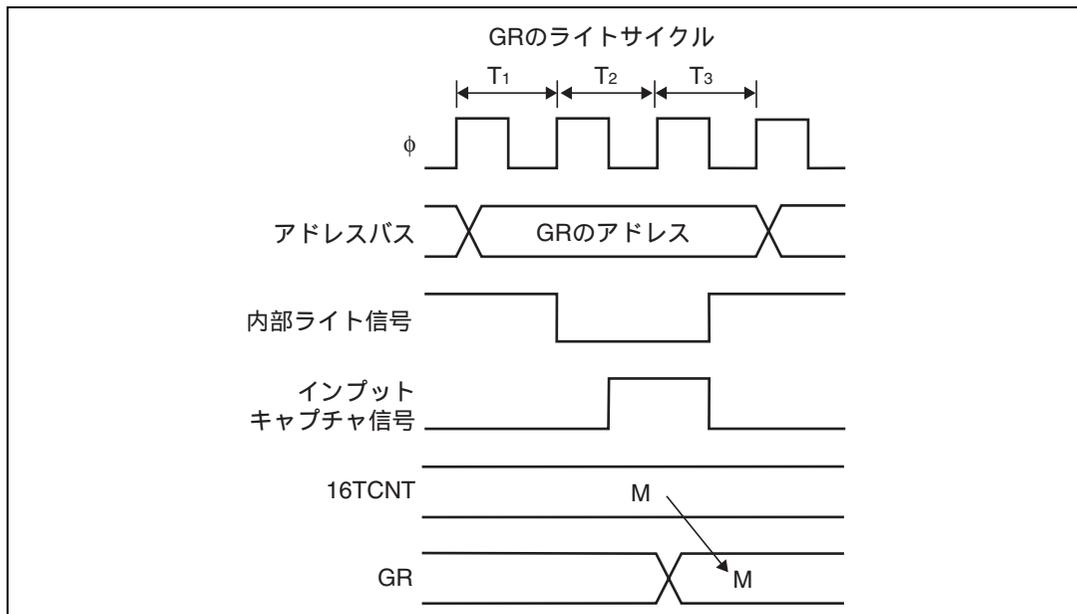


図 8.44 GRのライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、16TCNTはGRの値と一致した最後のステート（16TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

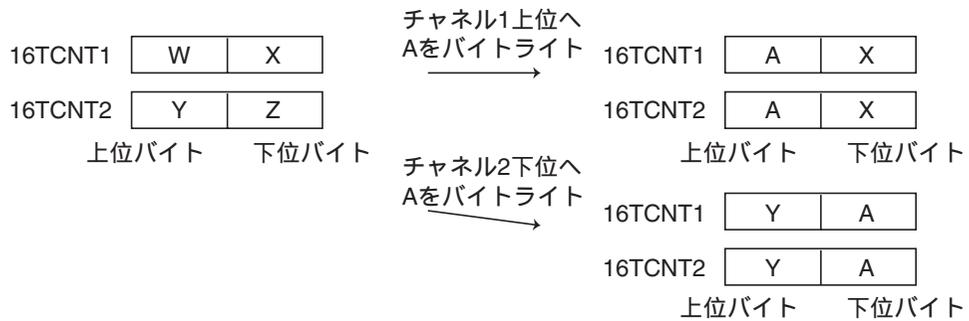
(f : カウンタ周波数、 ϕ : 動作周波数、 N : GRの設定値)

(10) 同期動作時のライト動作に関する注意事項

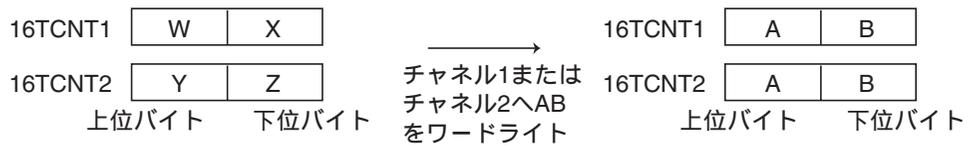
同期動作を設定した状態で、16TCNTのバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した16TCNTと、16ビットすべて同じ値となります。

(例) チャンネル1、2を同期モードで指定した場合

・チャンネル1 / チャンネル2へのバイトライト



・チャンネル1 / チャンネル2へのワードライト



8. 16ビットタイマ

(11) 16ビットタイマの動作モード一覧

表 8.7 (a) 16ビットタイマの動作モード(チャンネル0)

動作モード	レジスタ設定									
	TSNC			TMDR			TIOA0		16TCR0	
	同期動作	MDF	FDI/R	PWM	IOA	IOB	クリア選択	クロック選択		
同期プリセット	SYNC0=1	—	—	○	○	○	○	○	○	
PWMモード	○	—	—	PWM0=1	—	*	○	○	○	
アウトプット コンペアA機能	○	—	—	PWM0=0	IOA2=0 他任意	○	○	○	○	
アウトプット コンペアB機能	○	—	—	○	○	IOB2=0 他任意	○	○	○	
インプット キャプチャA機能	○	—	—	PWM0=0	IOA2=1 他任意	○	○	○	○	
インプット キャプチャB機能	○	—	—	PWM0=0	○	IOB2=1 他任意	○	○	○	
コンペアマッチ/イン プットキャプチャAでクリア	○	—	—	○	○	○	CCLR1=0 CCLR0=1	○	○	
コンペアマッチ/イン プットキャプチャBでクリア	○	—	—	○	○	○	CCLR1=1 CCLR0=0	○	○	
同期クリア 機能	SYNC0=1	—	—	○	○	○	CCLR1=1 CCLR0=1	○	○	

【記号説明】

○ : 設定可能(有効)です。 — : 設定は当該動作モードに影響しません。

【注】 * PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 8.7 (b) 16ビットタイマの動作モード(チャンネル1)

動作モード	レジスタ設定									
	TSNC	TMDR			TIOR1		16TCR1			
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択		
同期プリセット	SYNC1=1	—	—	○	○	○	○	○	○	
PWMモード	○	—	—	PWM1=1	—	○*	○	○	○	
アウトプット コンペアA機能	○	—	—	PWM1=0	IOA2=0 他任意	○	○	○	○	
アウトプット コンペアB機能	○	—	—	○	○	IOB2=0 他任意	○	○	○	
インプット キャプチャA機能	○	—	—	PWM1=0	IOA2=1 他任意	○	○	○	○	
インプット キャプチャB機能	○	—	—	PWM1=0	○	IOB2=1 他任意	○	○	○	
コンペアマッチ/インプット キャプチャAでクリア	○	—	—	○	○	○	CCLR1=0 CCLR0=1	○	○	
コンペアマッチ/インプット キャプチャBでクリア	○	—	—	○	○	○	CCLR1=1 CCLR0=0	○	○	
同期クリア	SYNC1=1	—	—	○	○	○	CCLR1=1 CCLR0=1	○	○	

【記号説明】

○ : 設定可能(有効)です。 — : 設定は当該動作モードに影響しません。

【注】* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 8.7 (c) 16ビットタイマの動作モード(チャンネル2)

動作モード	レジスタ設定									
	TSNC		TMDR			TIOR2		16TCR2		
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択		
同期プリセット	SYNC2=1	○	—	○	○	○	○	○	○	
PWMモード	○	○	—	PWM2=1	—	○*	○	○	○	
アウトプットコンペアA機能	○	○	—	PWM2=0	IOA2=0 他任意	○	○	○	○	
アウトプットコンペアB機能	○	○	—	○	○	IOB2=0 他任意	○	○	○	
インプットキャプチャA機能	○	○	—	PWM2=0	IOA2=1 他任意	○	○	○	○	
インプットキャプチャB機能	○	○	—	PWM2=0	○	IOB2=1 他任意	○	○	○	
コンペアマッチ/インプットキャプチャAでクリア	○	○	—	○	○	○	CCLR1=0 CCLR0=1	○	○	
コンペアマッチ/インプットキャプチャBでクリア	○	○	—	○	○	○	CCLR1=1 CCLR0=0	○	○	
同期クリア機能	SYNC2=1	○	—	○	○	○	CCLR1=1 CCLR0=1	○	○	
位相計数モード	○	MDF=1	○	○	○	○	○	○	—	

【記号説明】

○ : 設定可能(有効)です。 — : 設定は当該動作モードに影響しません。

【注】 * PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

9. 8ビットタイマ

9.1 概要

本 LSI は、8 ビットのカウンタをベースにした 4 チャンネルの 8 ビットタイマ (TMR0、TMR1、TMR2、TMR3) を内蔵しています。4 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (8TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、8TCNT と TCORA、TCORB の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

9.1.1 特長

4 種類のカウンタ入力クロックを選択可能

- 3 種類の内部クロック ($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- コンペアマッチ A、B、またはインプットキャプチャ B のうちから選択できます。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力などの種々の応用が可能です。

コンペアマッチによる A/D 変換器の起動が可能

2 チャンネルのカスケード接続が可能

- チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- チャンネル 2 を上位、チャンネル 3 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- チャンネル 3 はチャンネル 2 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。

インプットキャプチャ機能を設定可能

- 8 ビット / 16 ビットのインプットキャプチャ動作が可能です。

12 種類の割り込み要因

- コンペアマッチ $\times 4$ 要因、コンペアマッチ / インプットキャプチャ $\times 4$ 要因、オーバフロー $\times 4$ 要因の計 12 要因があります。
- コンペアマッチ割り込みのうち 2 要因とコンペアマッチ / インプットキャプチャ兼用割り込みのうち 2 要因は、独立した割り込みベクタを持っています。残りのコンペアマッチ割り込み、コンペアマッチ / インプットキャプチャ兼用割り込み、オーバフロー割り込みは、2 要因で 1 つの割り込みベクタを持っています。

9.1.2 ブロック図

8ビットタイマのブロック図を図9.1に示します。8ビットタイマは2チャンネルのグループ0(チャンネル0、チャンネル1)およびグループ1(チャンネル2、チャンネル3)に分割されています。

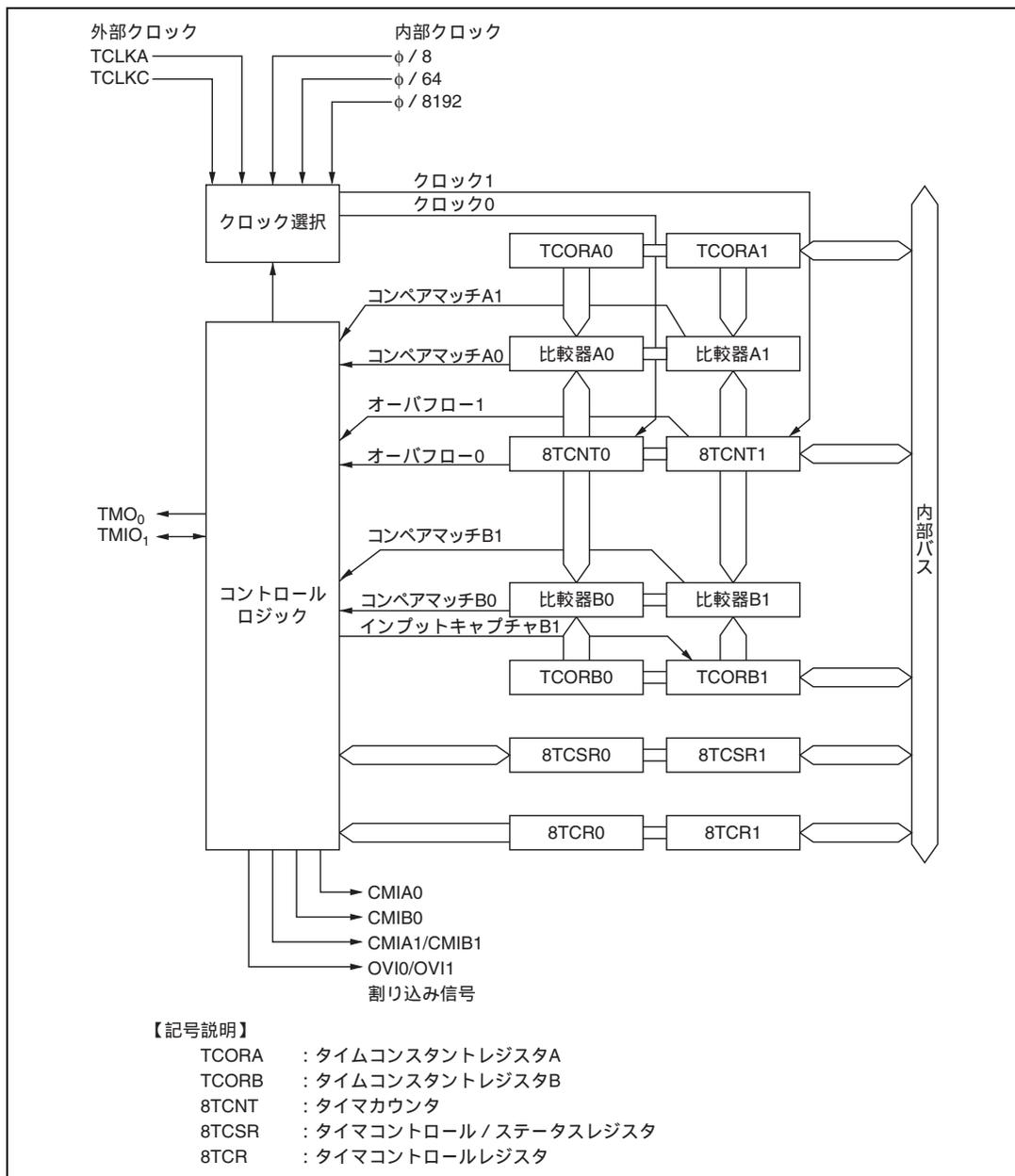


図 9.1 8ビットタイマのブロック図(2チャンネル分:グループ0の場合)

9.1.3 端子構成

8ビットタイマの入出力端子を表9.1に示します。

表9.1 端子構成

グループ	チャンネル	名称	略称	入出力	機能
0	0	タイマ出力端子	TMO ₀	出力	コンペアマッチ出力
		タイマクロック入力端子	TCLKC	入力	カウンタ外部クロック入力
	1	タイマ入出力端子	TMIO ₁	入出力	コンペアマッチ出力/インプットキャプチャ入力
		タイマクロック入力端子	TCLKA	入力	カウンタ外部クロック入力
1	2	タイマ出力端子	TMO ₂	出力	コンペアマッチ出力
		タイマクロック入力端子	TCLKD	入力	カウンタ外部クロック入力
	3	タイマ入出力端子	TMIO ₃	入出力	コンペアマッチ出力/インプットキャプチャ入力
		タイマクロック入力端子	TCLKB	入力	カウンタ外部クロック入力

9.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
0	H'FFF80	タイマコントロールレジスタ0	8TCR0	R/W	H'00
	H'FFF82	タイマコントロール/ステータスレジスタ0	8TCSR0	R/(W)*2	H'00
	H'FFF84	タイムコンスタントレジスタA0	TCORA0	R/W	H'FF
	H'FFF86	タイムコンスタントレジスタB0	TCORB0	R/W	H'FF
	H'FFF88	タイマカウンタ0	8TCNT0	R/W	H'00
1	H'FFF81	タイマコントロールレジスタ1	8TCR1	R/W	H'00
	H'FFF83	タイマコントロール/ステータスレジスタ1	8TCSR1	R/(W)*2	H'00
	H'FFF85	タイムコンスタントレジスタA1	TCORA1	R/W	H'FF
	H'FFF87	タイムコンスタントレジスタB1	TCORB1	R/W	H'FF
	H'FFF89	タイマカウンタ1	8TCNT1	R/W	H'00
2	H'FFF90	タイマコントロールレジスタ2	8TCR2	R/W	H'00
	H'FFF92	タイマコントロール/ステータスレジスタ2	8TCSR2	R/(W)*2	H'10
	H'FFF94	タイムコンスタントレジスタA2	TCORA2	R/W	H'FF
	H'FFF96	タイムコンスタントレジスタB2	TCORB2	R/W	H'FF
	H'FFF98	タイマカウンタ2	8TCNT2	R/W	H'00
3	H'FFF91	タイマコントロールレジスタ3	8TCR3	R/W	H'00
	H'FFF93	タイマコントロール/ステータスレジスタ3	8TCSR3	R/(W)*2	H'00
	H'FFF95	タイムコンスタントレジスタA3	TCORA3	R/W	H'FF
	H'FFF97	タイムコンスタントレジスタB3	TCORB3	R/W	H'FF
	H'FFF99	タイマカウンタ3	8TCNT3	R/W	H'00

【注】 *1 アドバンスモード時のアドレス下位20ビットを示しています。

*2 ビット7~5は、フラグをクリアするための0ライトのみ可能です。

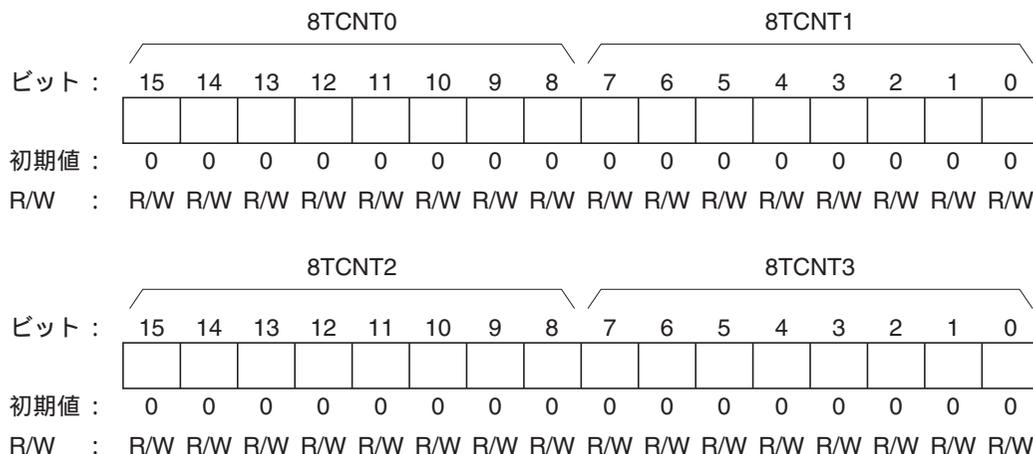
チャンネル0とチャンネル1の対応するレジスタは、チャンネル0を上位、チャンネル1を下位とする16

ビットレジスタとして、ワードアクセスすることができます。

また、同様にチャンネル2とチャンネル3の対応するレジスタは、チャンネル2を上位、チャンネル3を下位とする16ビットレジスタとして、ワードアクセスすることができます。

9.2 各レジスタの説明

9.2.1 タイマカウンタ (8TCNT)



8TCNTはそれぞれ8ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、8TCRのCKS2~CKS0ビットで選択します。8TCNTの値は、CPUから常にリード/ライト可能です。

8TCNT0と8TCNT1および8TCNT2と8TCNT3を1本の16ビットレジスタとしてワードアクセスすることも可能です。

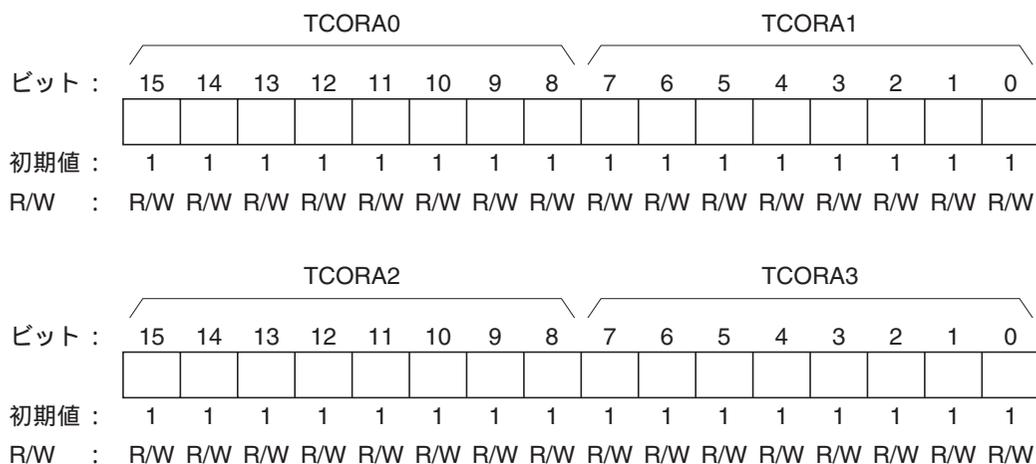
8TCNTは、インプットキャプチャ信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、8TCRのCCLR1、CCLR0ビットで選択します。

また、8TCNTがオーバーフロー(H'FF→H'00)すると、8TCSRのOVFが1にセットされます。

8TCNTは、リセットまたはスタンバイモード時にH'00に初期化されます。

9.2.2 タイムコンスタントレジスタ A (TCORA)

TCORA はそれぞれ 8 ビットのリード/ライト可能なレジスタです。



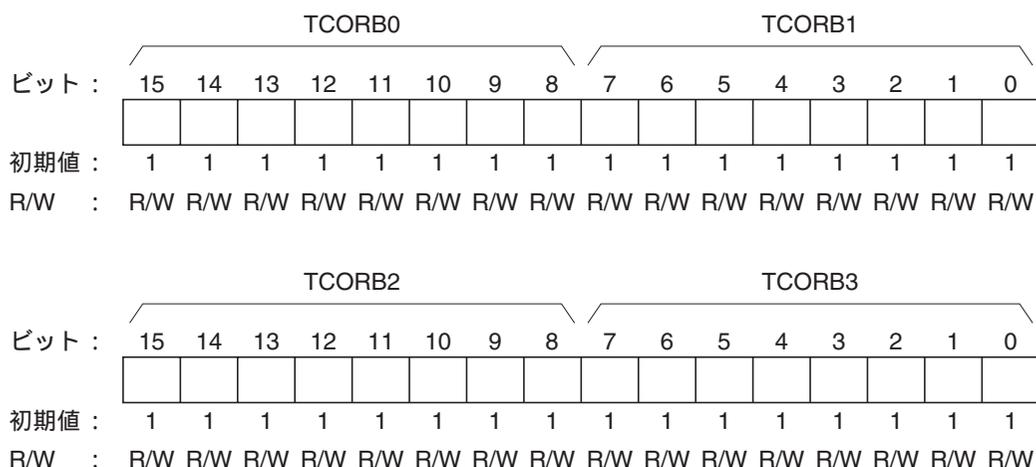
TCORA0、TCORA1 および TCORA2、TCORA3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と 8TCNT の値は常に比較されており、両者の値が一致すると 8TCSR の CMFA が 1 にセットされます。

また、この一致による信号 (コンペアマッチ) と 8TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはスタンバイモード時に H'FF に初期化されます。

9.2.3 タイムコンスタントレジスタ B (TCORB)



9. 8ビットタイマ

TCORB はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORB0 と TCORB1 および TCORB2 と TCORB3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と 8TCNT の値は常に比較されており、両者の値が一致すると 8TCSR の CMFB が 1 にセットされます。*また、この一致による信号 (コンペアマッチ) と 8TCSR のアウトプット/インプットキャプチャエッジセレクト OIS3、OIS2 ビットの設定により、タイマ出力を自由に制御することができます。

インプットキャプチャとして使用しているときは、外部からのインプットキャプチャ信号を検出して、8TCNT の値を格納します。このとき対応する 8TCSR の CMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジは 8TCSR により行います。

TCORB は、リセットまたはスタンバイモード時に H'FF に初期化されます。

【注】* チャンネル 1 およびチャンネル 3 を TCORB インプットキャプチャに設定した場合、チャンネル 0 およびチャンネル 2 のコンペアマッチ B による CMFB フラグのセットは起こりません。

9.2.4 タイマコントロールレジスタ (8TCR)

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8TCR はそれぞれ 8 ビットのリード/ライト可能なレジスタで、8TCNT の入力クロックの選択、8TCNT のクリア指定、および各割り込み要求の許可を制御します。

8TCR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「9.4 動作説明」を参照してください。

ビット 7: コンペアマッチインタラプトイネーブル B (CMIEB)

8TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	説明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割り込み要求 (CMIB) を許可

ビット 6: コンペアマッチインタラプトイネーブル A (CMIEA)

8TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。

ビット 6	説明
CMIEA	
0	CMFA による割り込み要求 (CMIA) を禁止 (初期値)
1	CMFA による割り込み要求 (CMIA) を許可

ビット5：タイマオーバフローインタラプトイネーブル（OVIE）

8TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求（OVI）の許可または禁止を選択します。

ビット5	説明
OVIE	
0	OVF による割り込み要求（OVI）を禁止（初期値）
1	OVF による割り込み要求（OVI）を許可

ビット4、3：カウンタクリア 1、0（CCLR1、CCLR0）

8TCNT のクリア要因を指定します。クリア要因は、コンペアマッチ A、B またはインプットキャプチャ B から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止（初期値）
	1	コンペアマッチ A によりクリア
1	0	コンペアマッチ B / インプットキャプチャ B によりクリア
	1	インプットキャプチャ B によりクリア

【注】 8TCNT1 および 8TCNT3 のカウンタクリア要因を、インプットキャプチャ B に設定した場合、8TCNT0 および 8TCNT2 はコンペアマッチ B によりクリアされません。

ビット2～0：クロックセレクト 2～0（CKS2～CKS0）

8TCNT に入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック（ ϕ ）を分周した 3 種類のクロック（ $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ）から選択できます。これら内部クロックは、立ち上がりエッジでカウントします。

外部クロックのとき、クロック入力は立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの 3 種類から選択できます。

CKS2,CKS1,CKS0 = 1,0,0 の設定の場合、チャンネル 0 と 1 およびチャンネル 2 と 3 でカスケード接続になります。

8TCR0 と 8TCR2 に設定した場合と、8TCR1 と 8TCR3 に設定した場合は、カウントアップのクロックソースが異なります。

9. 8ビットタイマ

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック： $\phi/8$ 立ち上がりエッジでカウント
	1	0	内部クロック： $\phi/64$ 立ち上がりエッジでカウント
		1	内部クロック： $\phi/8192$ 立ち上がりエッジでカウント
1	0	0	チャンネル0の場合 (16ビットカウントモード)： 8TCNT1のオーバーフロー信号でカウント*1 チャンネル1の場合 (コンペアマッチカウントモード)： 8TCNT0のコンペアマッチAでカウント*1 チャンネル2の場合 (16ビットカウントモード)： 8TCNT3のオーバーフロー信号でカウント*2 チャンネル3の場合 (コンペアマッチカウントモード)： 8TCNT2のコンペアマッチAでカウント*2
		1	外部クロック：立ち上がりエッジでカウント
	1	0	外部クロック：立ち下がりエッジでカウント
		1	外部クロック：立ち上がり/立ち下がり両エッジでカウント

【注】 *1 チャンネル0のクロック入力を8TCNT1のオーバーフロー信号とし、チャンネル1のクロック入力を8TCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

*2 チャンネル2のクロック入力を8TCNT3のオーバーフロー信号とし、チャンネル3のクロック入力を8TCNT2のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

9.2.5 タイマコントロール/ステータスレジスタ (8TCSR)

8TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

8TCSR2

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

8TCSR1、8TCSR3

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

8TCSRは8ビットのレジスタで、コンペアマッチ/インプットキャプチャやタイマオーバーフローのステータスの表示、およびコンペアマッチ出力/インプットキャプチャのエッジの選択の制御を行います。

リセットまたはスタンバイモード時に、8TCSR0、8TCSR1、8TCSR3はH'00に初期化されます。8TCSR2はH'10に初期化されます。

ビット7: コンペアマッチ/インプットキャプチャフラグB (CMFB)

TCORBのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) CMFB=1の状態、CMFBをリードした後、CMFBに0ライトしたとき
1	[セット条件] (1) 8TCNT = TCORBになったとき* (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき

【注】* 8TCSR1、8TCSR3のICEビットが1のとき、8TCNT0 = TCORB0、8TCNT2 = TCORB2となってもCMFBフラグはセットされません。

9. 8ビットタイマ

ビット6：コンペアマッチフラグ A (CMFA)

TCORA のコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
CMFA	
0	[クリア条件] CMFA = 1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき (初期値)
1	[セット条件] 8TCNT = TCORA になったとき

ビット5：タイマオーバフローフラグ (OVF)

8TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット5	説明
OVF	
0	[クリア条件] OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき (初期値)
1	[セット条件] 8TCNT が H'FF→H'00 になったとき

ビット4：A/D トリガイネーブル (ADTE) (8TCSR0 の場合)

ADTE は、ADCR の TRGE との組み合わせにより、コンペアマッチ A または外部トリガによる A/D 変換開始要求の許可または禁止を選択します。

TRGE*	ビット4	説明
	ADTE	
0	0	コンペアマッチ A または外部トリガ端子 (ADTRG) 入力による A/D 変換開始要求を禁止 (初期値)
	1	コンペアマッチ A または外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力による A/D 変換開始要求を禁止
1	0	外部トリガ端子 (ADTRG) 入力による A/D 変換開始要求を許可、およびコンペアマッチ A による A/D 変換開始要求を禁止
	1	コンペアマッチ A による A/D 変換開始要求を許可、および外部トリガ端子 ($\overline{\text{ADTRG}}$) 入力による A/D 変換開始要求を禁止

【注】 * TRGE は A/D コントロールレジスタ (ADCR) のビット7です。

ビット4：リザーブビット (8TCSR1 の場合)

リザーブビットです。リード/ライトは可能です。

ビット4：インプットキャプチャイネーブル（ICE）（8TCSR1、8TCSR3の場合）

TCORB1、TCORB3の機能を選択します。

ビット4	説明
ICE	
0	TCORB1、TCORB3はコンペアマッチレジスタ（初期値）
1	TCORB1、TCORB3はインプットキャプチャレジスタ

8TCSR1および8TCSR3のICEビットを1にセットしたときの、チャンネル0～3のTCORA、TCORB各レジスタの動作を下表にまとめます。

表 9.3 8TCSR1 レジスタのICEビット=1に設定した場合のチャンネル0とチャンネル1の動作

レジスタ	レジスタ機能	ステータスフラグの変化	タイマ出力 キャプチャ入力	割り込み要求
TCORA0	コンペアマッチ動作	コンペアマッチにより8TCSR0のCMFA=0→1にセット	TMIO ₀ から出力制御可能	コンペアマッチによりCMIA0割り込み要求発生
TCORB0	コンペアマッチ動作	コンペアマッチが発生しても8TCSR0のCMFB=0→1にセットされない	TMIO ₀ から出力しない	コンペアマッチが発生してもCMIB0割り込み要求発生しない
TCORA1	コンペアマッチ動作	コンペアマッチにより8TCSR1のCMFA=0→1にセット	TMIO ₁ はインプットキャプチャ専用端子	コンペアマッチによりCMIA1割り込み要求発生
TCORB1	インプットキャプチャ動作	インプットキャプチャにより8TCSR1のCMFB=0→1にセット	TMIO ₁ はインプットキャプチャ専用端子	インプットキャプチャによりCMIB1割り込み要求発生

表 9.4 8TCSR3 レジスタのICEビット=1に設定した場合のチャンネル2とチャンネル3の動作

レジスタ	レジスタ機能	ステータスフラグの変化	タイマ出力 キャプチャ入力	割り込み要求
TCORA2	コンペアマッチ動作	コンペアマッチにより8TCSR2のCMFA=0→1にセット	TMIO ₂ から出力制御可能	コンペアマッチによりCMIA2割り込み要求発生
TCORB2	コンペアマッチ動作	コンペアマッチが発生しても8TCSR2のCMFB=0→1にセットされない	TMIO ₂ から出力しない	コンペアマッチが発生してもCMIB2割り込み要求発生しない
TCORA3	コンペアマッチ動作	コンペアマッチにより8TCSR3のCMFA=0→1にセット	TMIO ₃ はインプットキャプチャ専用端子	コンペアマッチによりCMIA3割り込み要求発生
TCORB3	インプットキャプチャ動作	インプットキャプチャにより8TCSR3のCMFB=0→1にセット	TMIO ₃ はインプットキャプチャ専用端子	インプットキャプチャによりCMIB3割り込み要求発生

9. 8ビットタイマ

ビット3、2：アウトプット/インプットキャプチャエッジセレクト B3、B2 (OIS3、OIS2)
OIS3、OIS2 は8TCSR1 (8TCSR3) のICE ビットとの組み合わせにより、コンペアマッチ B による出力レベルの選択またはインプットキャプチャ入力の検出エッジの選択をします。

8TCSR1 (8TCSR3) のビット4の設定により TCORB1 (TCORB3) の機能が変わります。

8TCSR1 (8TCSR3) の ICE ビット	ビット3	ビット2	説 明
	OIS3	OIS2	
0	0	0	コンペアマッチ B で変化しない (初期値)
		1	コンペアマッチ B で 0 出力
	1	0	コンペアマッチ B で 1 出力
		1	コンペアマッチ B ごとに反転出力 (トグル出力)
1	0	0	立ち上がりエッジで TCORB インプットキャプチャ
		1	立ち下がりエッジで TCORB インプットキャプチャ
	1	0	立ち上がり / 立ち下がりの両エッジで TCORB インプットキャプチャ
		1	キャプチャ

- コンペアマッチレジスタとして機能している場合、タイマ出力はトグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してあります。
- コンペアマッチが A、B 同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。
- OIS3、OIS2、OS1、OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

ビット1、0：アウトプットセレクト A1、0 (OS1、OS0)

コンペアマッチ A による出力レベルを選択します。

ビット1	ビット0	説 明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

- コンペアマッチレジスタとして機能している場合、タイマ出力はトグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してあります。
- コンペアマッチが A、B 同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。
- OIS3、OIS2、OS1、OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

9.3 CPU とのインタフェース

9.3.1 8ビットレジスタ

8TCNT、TCORA、TCORB、8TCR、8TCSR は8ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

8TCNT に対してワード単位のリード/ライトを行った場合の動作を図9.2、図9.3に示します。

また、8TCNT0、8TCNT1 に対してバイト単位のリード/ライトを行った場合の動作を図9.4～図9.7に示します。

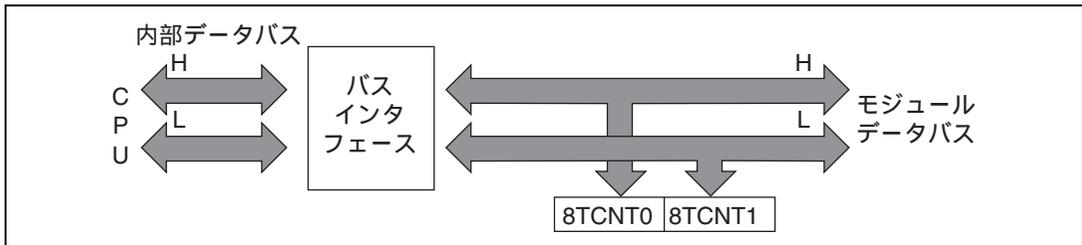


図 9.2 8TCNT のアクセス動作 [CPU→8TCNT (ワード)]

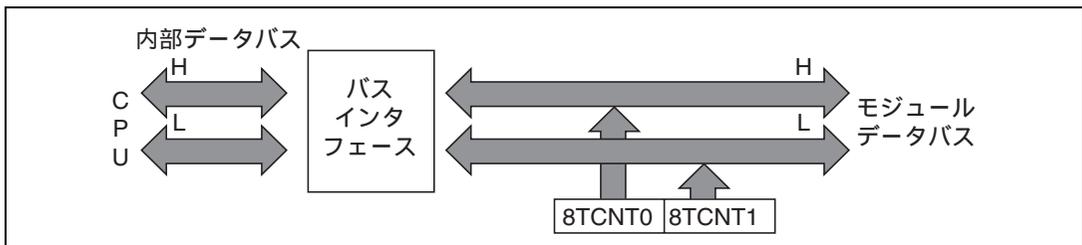


図 9.3 8TCNT のアクセス動作 [8TCNT→CPU (ワード)]

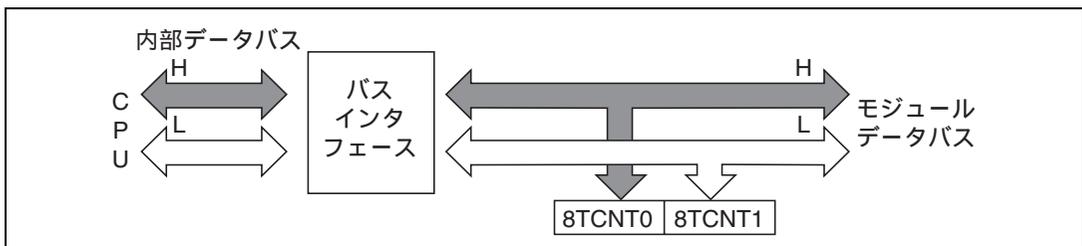


図 9.4 8TCNT0 のアクセス動作 [CPU→8TCNT0 (上位バイト)]

9. 8ビットタイマ

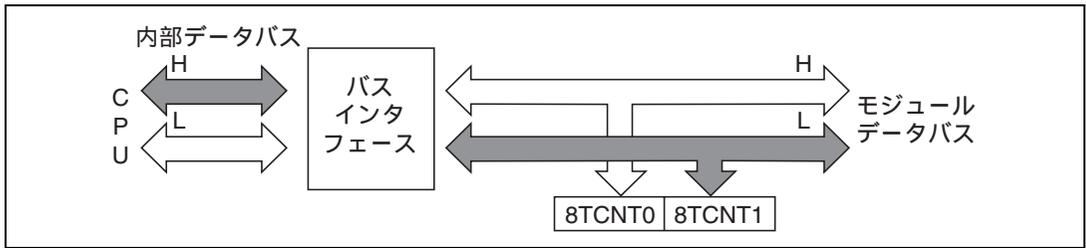


図 9.5 8TCNT1 のアクセス動作 [CPU→8TCNT1 (下位バイト)]

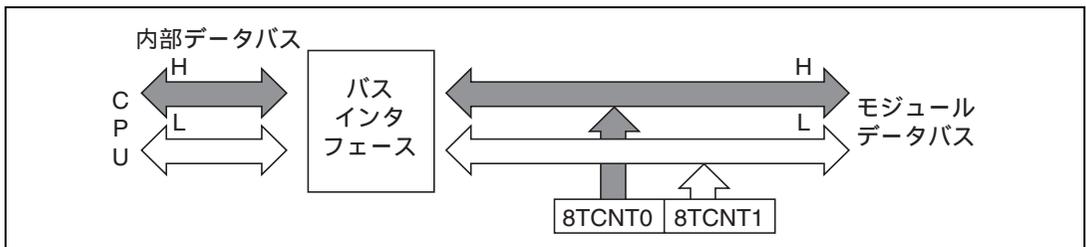


図 9.6 8TCNT0 のアクセス動作 [8TCNT0→CPU (上位バイト)]

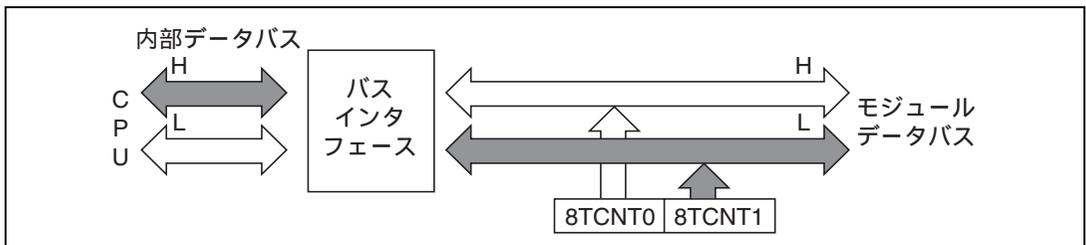


図 9.7 8TCNT1 のアクセス動作 [8TCNT1→CPU (下位バイト)]

9.4 動作説明

9.4.1 8TCNT のカウントタイミング

8TCNT は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

8TCR の CKS2 ~ CKS0 ビットの設定により、システムクロック (ϕ) を分周して作られる 3 種類の内部クロック ($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$) が選択されます。このタイミングを図 9.8 に示します。

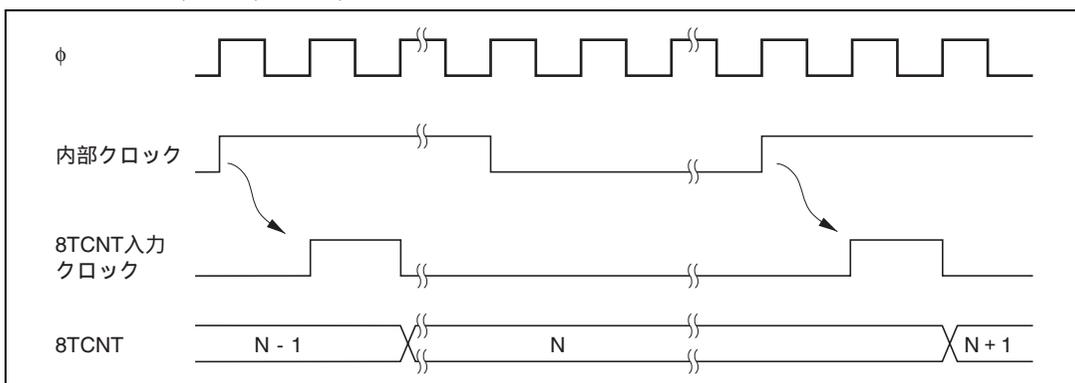


図 9.8 内部クロック動作時のカウントタイミング

【注】 16ビットタイマと8ビットタイマで同じ内部クロックを選択した場合でも、カウントアップさせるエッジが異なるため同じ動作をしないので注意してください。

9. 8ビットタイマ

(2) 外部クロック動作の場合

8TCR の CKS2 ~ CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 9.9 に、外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

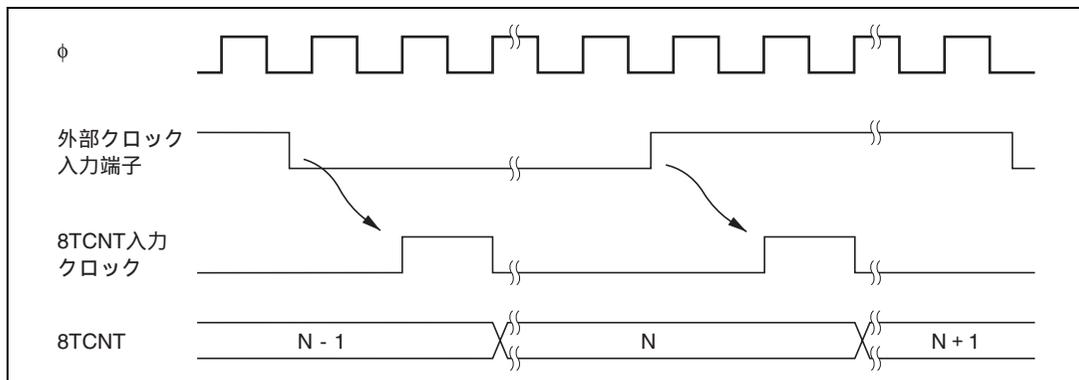


図 9.9 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

9.4.2 コンペアマッチタイミング

(1) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、8TCSR の OIS3、OIS2、OS1、OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 9.10 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

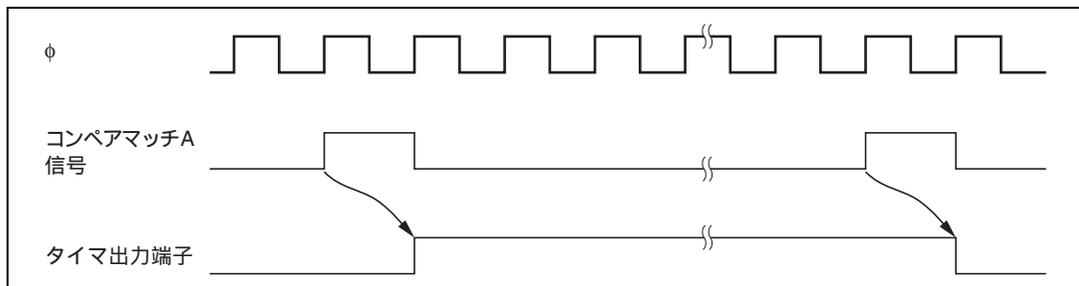


図 9.10 タイマ出力タイミング

(2) コンペアマッチによるクリア

8TCNT は、8TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 9.11 に示します。

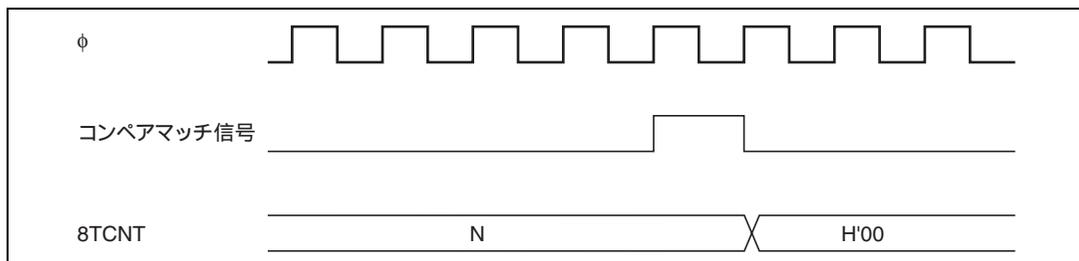


図 9.11 コンペアマッチによるクリアタイミング

(3) インพุットキャプチャによるクリア

8TCNT は、8TCR の CCLR1、CCLR0 ビットの選択によりインพุットキャプチャ B でクリアされます。このタイミングを図 9.12 に示します。

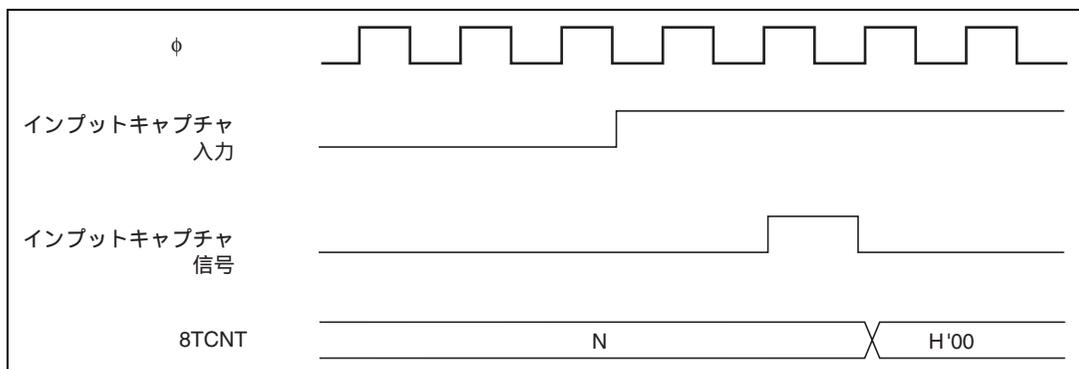


図 9.12 インพุットキャプチャによるクリアタイミング

9.4.3 インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、8TCSR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 9.13 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

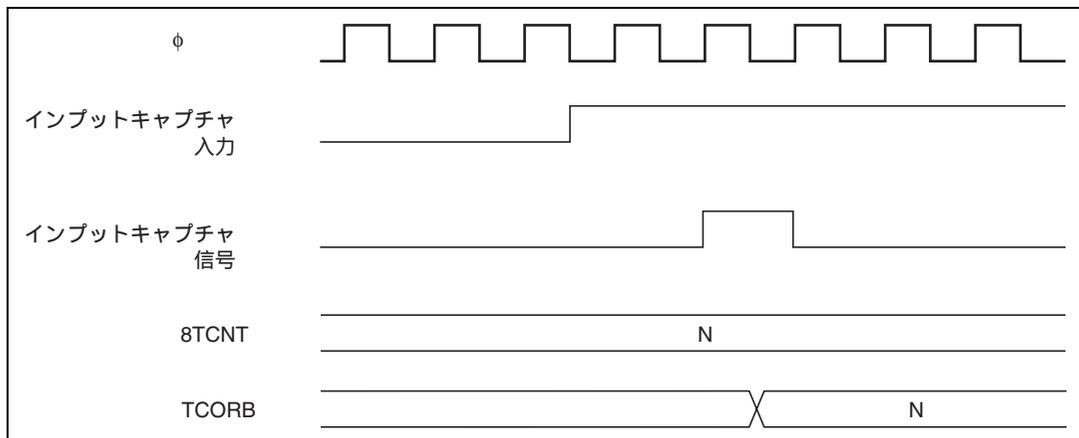


図 9.13 インพุットキャプチャ入力信号タイミング

9.4.4 ステータスフラグのセットタイミング

(1) コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

8TCNT の CMFA、CMFB フラグは、TCORA および TCORB と 8TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート（8TCNT が一致したカウント値を更新するタイミング）で発生します。

したがって、8TCNT と TCORA および TCORB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 9.14 に示します。

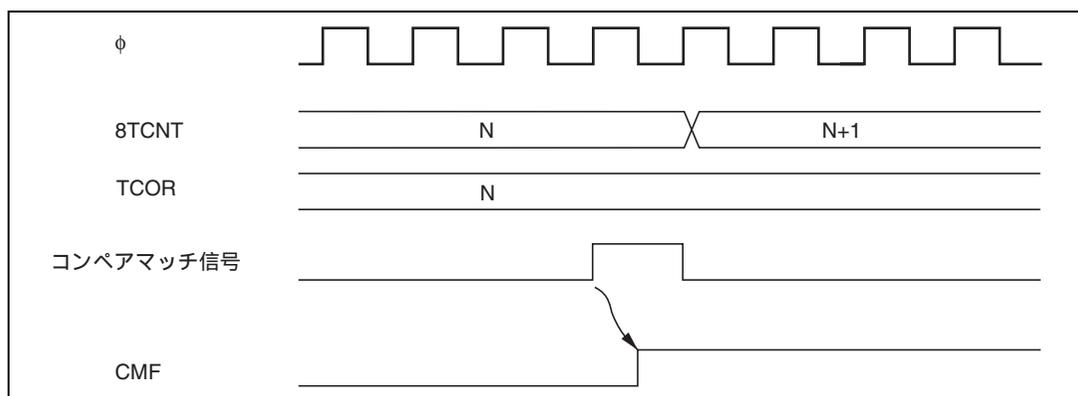


図 9.14 コンペアマッチ時の CMF フラグセットタイミング

(2) インพุットキャプチャ時の CMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により CMFB フラグは 1 にセットされ、同時に 8TCNT の値が対応する TCORB に転送されます。

このタイミングを図 9.15 に示します。

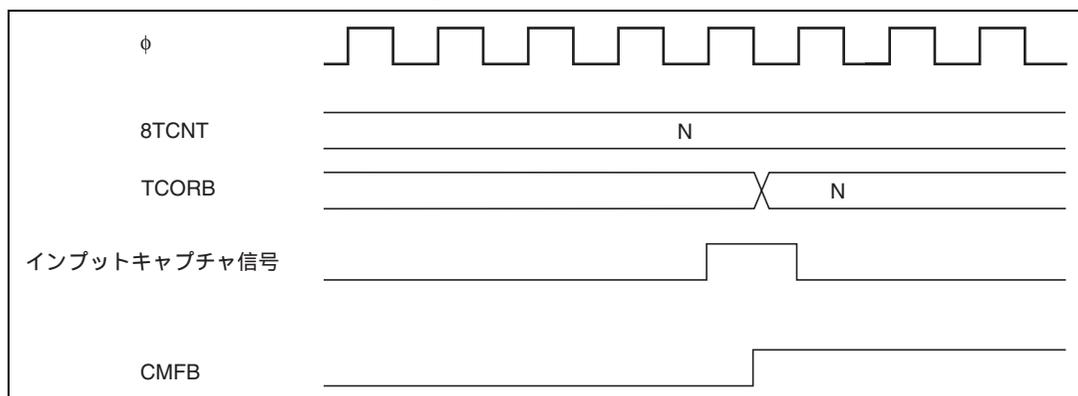


図 9.15 インพุットキャプチャ時の CMFB フラグセットタイミング

9. 8ビットタイマ

(3) オーバフローフラグ (OVF) のセットタイミング

8TCSR の OVF は、オーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このタイミングを図 9.16 に示します。

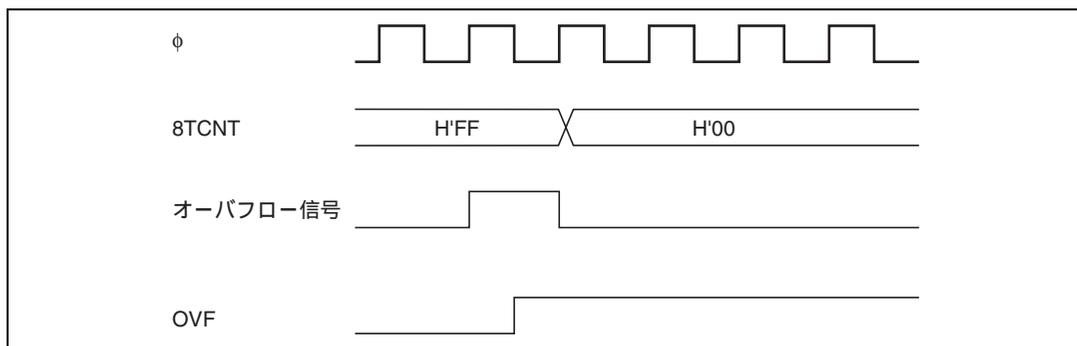


図 9.16 OVF のセットタイミング

9.4.5 カスケード接続時の動作

8TCR0、8TCR1 のいずれか一方の CKS2 ~ CKS0 ビットを (100) に設定すると、チャンネル 0 とチャンネル 1 の 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) か、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 でカウントする (コンペアマッチカウントモード) ことができます。なおチャンネル 2 とチャンネル 3 も同様に 8TCR2、8TCR3 のいずれか一方の CKS2 ~ CKS0 ビットを (100) に設定すると、チャンネル 2 とチャンネル 3 の 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) か、またはチャンネル 2 の 8 ビットタイマのコンペアマッチをチャンネル 3 でカウントする (コンペアマッチカウントモード) ことができます。このとき、本タイマは以下のように動作します。

(1) 16 ビットカウントモード

チャンネル 0、1 の場合：

8TCR0 の CKS2 ~ CKS0 ビットが (100) のとき、本タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(a) コンペアマッチ時の設定

- 8TCR0 の CMFA、CMFB フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- 8TCR1 の CMFA、CMFB フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。
- 8TCR0 の OIS3、OIS2、OS1、OS0 ビットによる TMO₀ 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- 8TCR1 の OIS3、OIS2、OS1、OS0 ビットによる TMIO₁ 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

(b) インพุットキャプチャ時の設定

- 8TCSR0、8TCSR1のCMFBフラグは、8TCSR1のICEビットが1でインพุットキャプチャが発生したとき1にセットされます。
- 8TCSR0のOIS3、OIS2ビットによりTMIO₁端子のインพุットキャプチャ入力信号の検出エッジを選択します。

(c) カウンタクリアの指定

- 8TCR0のCCLR1、CCLR0ビットでコンペアマッチまたはインพุットキャプチャによるカウンタクリアをそれぞれ設定した場合、16ビットカウンタ(8TCNT0、8TCNT1の両方)がクリアされます。
- 8TCR1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(d) OVFフラグの動作

- 8TCSR0のOVFフラグは、16ビットのカウンタ(8TCNT0、8TCNT1)がオーバフロー(H'FFFF→H'0000)したとき1にセットされます。
- 8TCSR1のOVFフラグは、8ビットのカウンタ(8TCNT1)がオーバフロー(H'FF→H'00)したとき1にセットされます。

チャンネル2、3の場合：

8TCR2のCKS2～CKS0ビットが(100)のとき、本タイマはチャンネル2を上位8ビット、チャンネル3を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(a) コンペアマッチ時の設定

- 8TCSR2のCMFA、CMFBフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- 8TCSR3のCMFA、CMFBフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。
- 8TCSR2のOIS3、OIS2、OS1、OS0ビットによるTMO₂端子の出力制御は16ビットのコンペアマッチ条件に従います。
- 8TCSR3のOIS3、OIS2、OS1、OS0ビットによるTMIO₃端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

(b) インพุットキャプチャ時の設定

- 8TCSR2、8TCSR3のCMFBフラグは、8TCSR3のICEビットが1でインพุットキャプチャが発生したとき1にセットされます。
- 8TCSR2のOIS3、OIS2ビットによりTMIO₃端子のインพุットキャプチャ入力信号の検出エッジを選択します。

(c) カウンタクリア指定

- 8TCR2のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16ビットカウンタ(8TCNT2、8TCNT3の両方)がクリアされます。
- 8TCR3のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(d) OVFフラグの動作

- 8TCSR2のOVFフラグは16ビットのカウンタ(8TCNT2、8TCNT3)がオーバフロー(H'FFFF→H'0000)したとき1にセットされます。

9. 8ビットタイマ

- 8TCSR3のOVFフラグは、8ビットのカウンタ(8TCNT3)がオーバフロー(H'FF→H'00)したとき1にセットされます。

(2) コンペアマッチカウントモード

チャンネル0、1の場合：

8TCR1のCKS2～CKS0ビットが(100)のとき、8TCNT1はチャンネル0のコンペアマッチAをカウントします。

チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

チャンネル2、3の場合：

8TCR3のCKS2～CKS0ビットが(100)のとき、8TCNT3はチャンネル2のコンペアマッチAをカウントします。

チャンネル2、3の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

(3) 使用上の注意

同一グループ内で16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、8TCNTの入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

9.4.6 インプットキャプチャの設定

インプットキャプチャ/アウトプットコンペア端子(TMIO₁、TMIO₃)の入力エッジを検出して8TCNTの値をTCORBに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、16ビットカウントモードのときは、16ビットのインプットキャプチャとして使用できます。

(1) 8ビットタイマ(通常動作)時のインプットキャプチャ動作の設定手順例

チャンネル1の場合：

- (1) 8TCSR1のICEビットによりTCORB1を8ビットのインプットキャプチャレジスタに設定します。
- (2) 8TCSR1のOIS3、OIS2ビットによって、インプットキャプチャ信号(TMIO₁)の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
- (3) 8TCR1のCKS2～CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

チャンネル3の場合：

- (1) 8TCSR3のICEビットによりTCORB3を8ビットのインプットキャプチャレジスタに設定します。
- (2) 8TCSR3のOIS3、OIS2ビットによって、インプットキャプチャ信号(TMIO₃)の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
- (3) 8TCR3のCKS2～CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

【注】 チャンネル1のTCORB1をインプットキャプチャとして使用する場合、チャンネル0のTCORB0レジスタはコンペアマッチレジスタとして使用できません。

またチャンネル3のTCORB3をインプットキャプチャとして使用する場合、チャンネル2のTCORB2レジスタはコンペアマッチレジスタとして使用できません。

(2) 16ビットカウントモード時のインプットキャプチャ動作の設定手順

チャンネル0、1の場合：

- (1) 16ビットカウントモード時、8TCSR1のICEビットを1に設定すると、TCORB0、TCORB1は16ビットのインプットキャプチャレジスタになります。
- (2) 8TCSR0のOIS3、OIS2ビットによって、インプットキャプチャ信号 (TMIO₁) の入力エッジを立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択します。(16ビットカウントモードのときは8TCSR1のOIS3、OIS2ビットの設定は無効になります。)
- (3) 8TCR1のCKS2～CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

チャンネル2、3の場合：

- (1) 16ビットカウントモード時、8TCSR3のICEビットを1に設定すると、TCORB2、TCORB3は16ビットのインプットキャプチャレジスタになります。
- (2) 8TCSR2のOIS3、OIS2ビットによって、インプットキャプチャ信号 (TMIO₃) の入力エッジを立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択します。(16ビットカウントモードのときは8TCSR3のOIS3、OIS2ビットの設定は無効になります。)
- (3) 8TCR3のCKS2～CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

9.5 割り込み

9.5.1 割り込み要因

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表9.5に各割り込み要因と優先順位を示します。各割り込み要因は、8TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 9.5 8ビットタイマ割り込み要因の優先順位

割り込み要因	内 容	優先順位
CMIA	CMFA による割り込み	↑ 高 低
CMIB	CMFB による割り込み	
TOVI	OVF による割り込み	

なお、コンペアマッチ割り込み (CMIA1/CMIB1、CMIA3/CMIB3) およびオーバーフロー割り込み (TOVI0/TOVI1、TOVI2/TOVI3) は、2つの割り込みでベクタを兼用しています。

表 9.6 に割り込み要因一覧を示します。

9. 8ビットタイマ

表 9.6 8ビットタイマ割り込み要因一覧

チャンネル	割り込み要因	内 容
0	CMIA0	TCORA0 のコンペアマッチ
	CMIB0	TCORB0 のコンペアマッチ / インพุットキャプチャ
1	CMIA1/CMIB1	TCORA1 のコンペアマッチ、または TCORB1 のコンペアマッチ / インพุットキャプチャ
0、1	TOVI0/TOVI1	カウンタ 0、またはカウンタ 1 のオーパフロー
2	CMIA2	TCORA2 のコンペアマッチ
	CMIB2	TCORB2 のコンペアマッチ / インพุットキャプチャ
3	CMIA3/CMIB3	TCORA3 のコンペアマッチ、または TCORB3 のコンペアマッチ / インพุットキャプチャ
2、3	TOVI2/TOVI3	カウンタ 2、またはカウンタ 3 のオーパフロー

9.5.2 A/D 変換の起動

チャンネル 0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

チャンネル 0 のコンペアマッチ A の発生により、8TCSR0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていると、A/D 変換器に対して、A/D 変換の開始を要求します。このとき A/D 変換器の ADCR の TRGE ビットが 1 にセットされていると、A/D 変換が開始されます。8TCSR0 の ADTE ビットが 1 にセットされている場合、A/D 変換器の外部トリガ端子 (ADTRG) 入力は無効となります。

9.6 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 9.17 に示します。これは次に示すように設定します。

- (1) TCORA のコンペアマッチにより 8TCNT がクリアされるように、8TCR の CCLR1 ビットを 0 にクリア、CCLR0 ビットを 1 にセットします。
- (2) TCORA のコンペアマッチにより 1 出力、TCORB のコンペアマッチにより 0 出力になるように 8TCSR の OIS3,2、OS1,0 ビットを (0110) に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

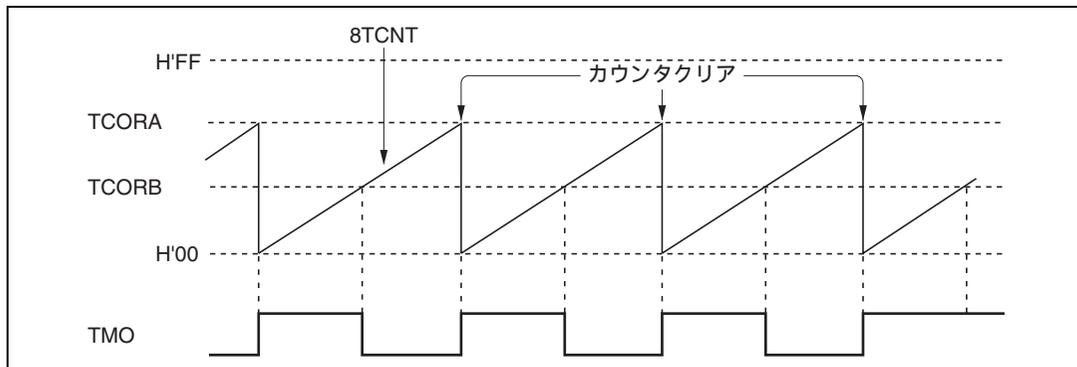


図 9.17 パルス出力例

9.7 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こりますので注意してください。

9.7.1 8TCNT のライトとクリアの競合

8TCNT のライトサイクル中の T_3 ステートで、カウンタクリア信号が発生すると、8TCNT への書き込みサイクルは行われず、8TCNT のクリアが優先されます。

このタイミングを図 9.18 に示します。

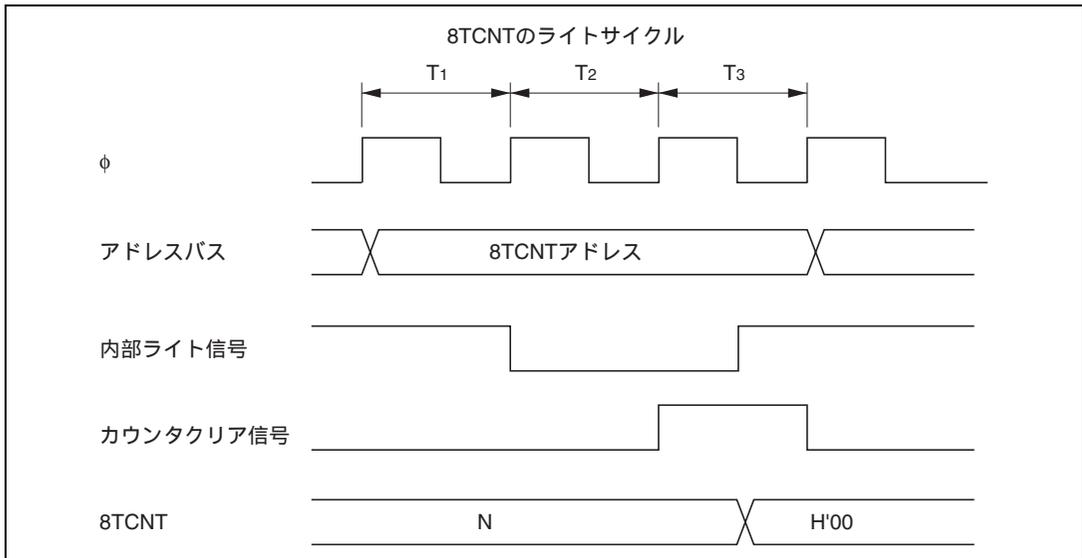


図 9.18 8TCNT のライトとクリアの競合

9.7.2 8TCNT のライトとカウントアップの競合

8TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 9.19 に示します。

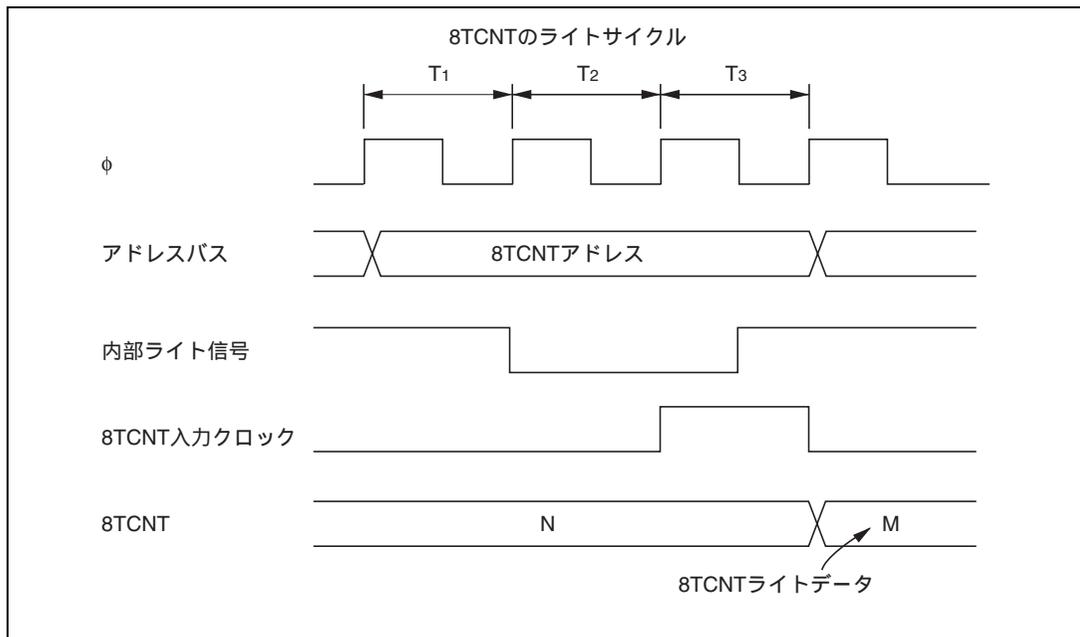


図 9.19 8TCNT のライトとカウントアップの競合

9.7.3 TCORのライトとコンペアマッチの競合

TCORのライトサイクル中の T_3 状態で、コンペアマッチが発生しても、TCORのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図9.20に示します。

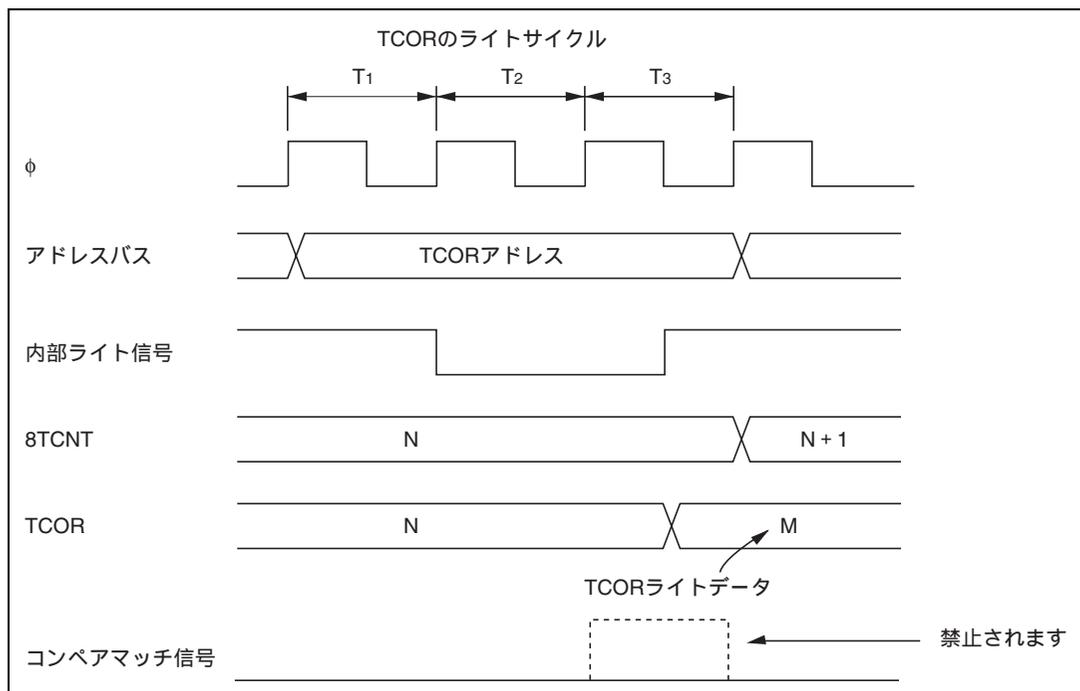


図 9.20 TCORのライトとコンペアマッチの競合

9.7.4 TCORのリードとインプットキャプチャの競合

TCORのリードサイクル中の T_3 状態で、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミング図を図9.21に示します。

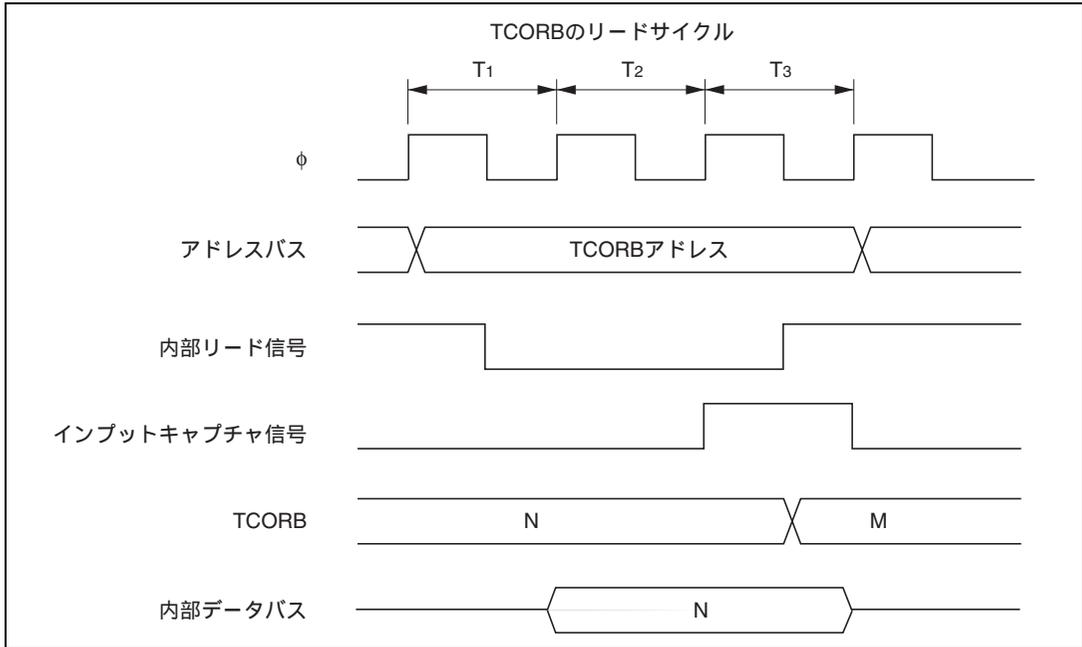


図 9.21 TCORB のリードとインプットキャプチャの競合

9.7.5 インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。TCORB にはカウンタクリア前の 8TCNT の内容が転送されます。

このタイミング図を図 9.22 に示します。

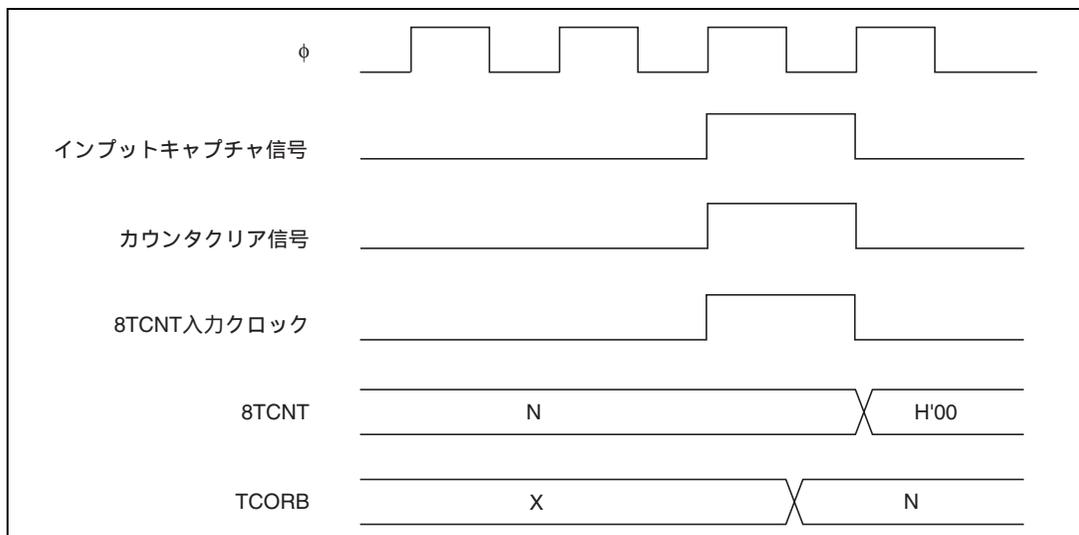


図 9.22 インพุットキャプチャによるカウンタクリアとカウントアップの競合

9.7.6 TCOR のライトとインプットキャプチャの競合

TCOR のライトサイクル中の T_3 ステートで、インプットキャプチャ信号が発生すると、TCOR への書き込みは行われず、インプットキャプチャが優先されます。

このタイミング図を図 9.23 に示します。

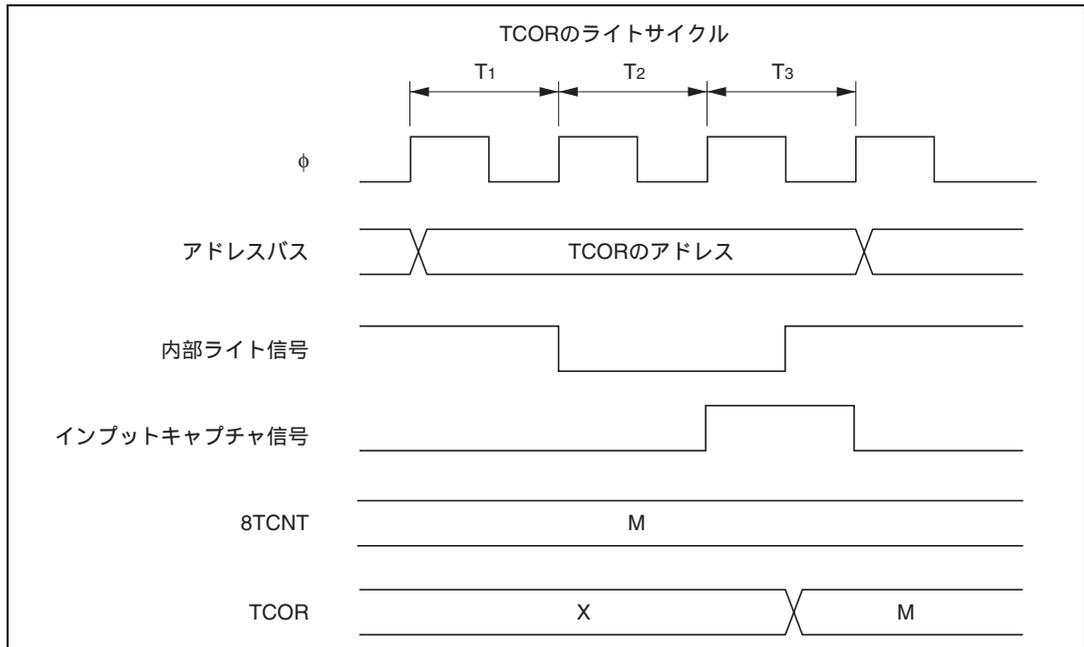


図 9.23 TCOR とインプットキャプチャの競合

9.7.7 16ビットカウントモード（カスケード接続時）の8TCNTのバイトライトとカウントアップの競合

16ビットカウントモードで8TCNTのバイトライトサイクル中の T_2 ステートまたは T_3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータはカウントアップされます。

このタイミングを図9.24に示します。

8TCNT（上位側）のバイトライトサイクル中の T_2 ステートでカウントアップが発生した場合の例です。

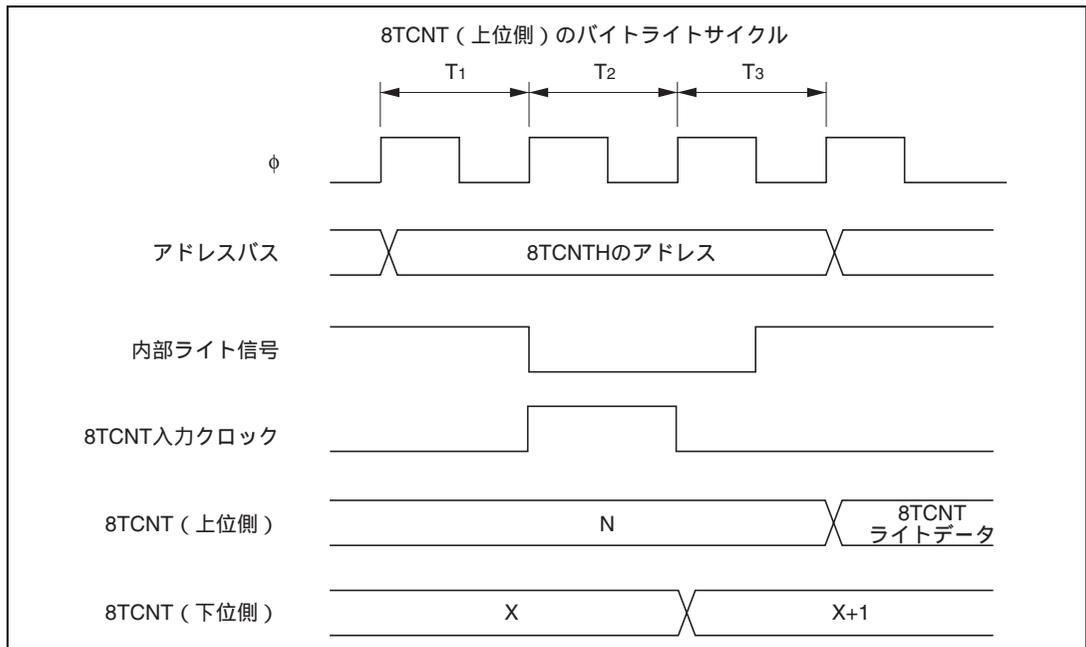


図 9.24 16ビットカウントモード時の8TCNTのバイトライトとカウントアップの競合

9.7.8 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 9.7 に示すタイマ出力の優先順位に従って動作します。

表 9.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

9.7.9 内部クロックの切り替えと8TCNTの動作

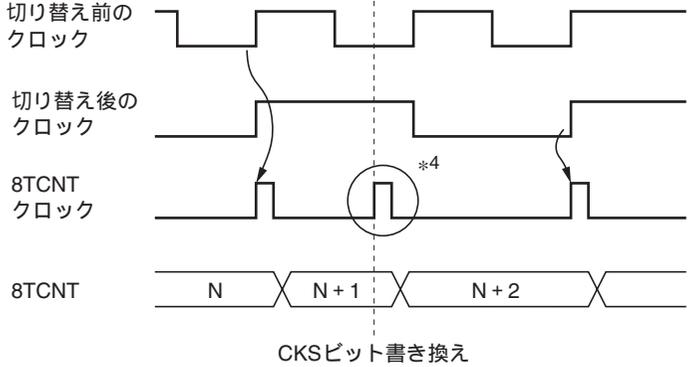
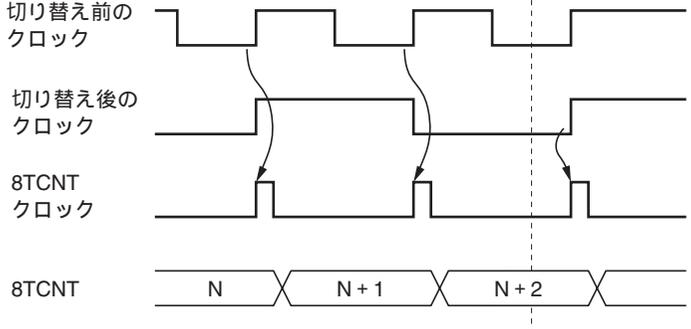
内部クロックを切り替えるタイミングによっては、8TCNTがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0ビットの書き換え）と8TCNT動作の関係を表9.8に示します。

内部クロックから8TCNTクロックを生成する場合、内部クロックの立ち上がりエッジで検出しています。そのため表9.8のNo.3のように、Low→Highレベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして8TCNTクロックが発生し、8TCNTがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、8TCNTがカウントアップされることがあります。

表9.8 内部クロックの切り替えと8TCNTの動作

No.	CKS1、CKS0ビット書き換えタイミング	8TCNTクロックの動作
1	High→Highレベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>8TCNTクロック</p> <p>8TCNT</p> <p>CKSビット書き換え</p>
2	High→Lowレベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>8TCNTクロック</p> <p>8TCNT</p> <p>CKSビット書き換え</p>

No.	CKS1、CKS0 ビット書き換えタイミング	8TCNT クロックの動作
3	Low→High レベル* ³ の切り替え	 <p style="text-align: center;">CKSビット書き換え</p>
4	Low→Low レベル* ⁴ の切り替え	 <p style="text-align: center;">CKSビット書き換え</p>

【注】 *1 High レベル→停止、および停止→High レベルの場合を含みます。

*2 停止→Low レベルの場合を含みます。

*3 Low レベル→停止を含みます。

*4 切り替えのタイミングを立ち上がりエッジとみなすために発生し、8TCNT はカウントアップされてしまいます。

10. プログラマブルタイミングパターンコントローラ (TPC)

10.1 概要

本 LSI は、16 ビットタイマをタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

10.1.1 特長

TPC の特長を以下に示します。

出力データ 16 ビット

最大 16 ビットのデータ出力が可能で、TPC 出力をビット単位に許可することができます。

4 系統の出力可能

4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×4 系統の出力を行うことができます。

出力トリガ信号を選択可能

16 ビットタイマの 3 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

10. プログラマブルタイミングパターンコントローラ (TPC)

10.1.2 ブロック図

TPC のブロック図を図 10.1 に示します。

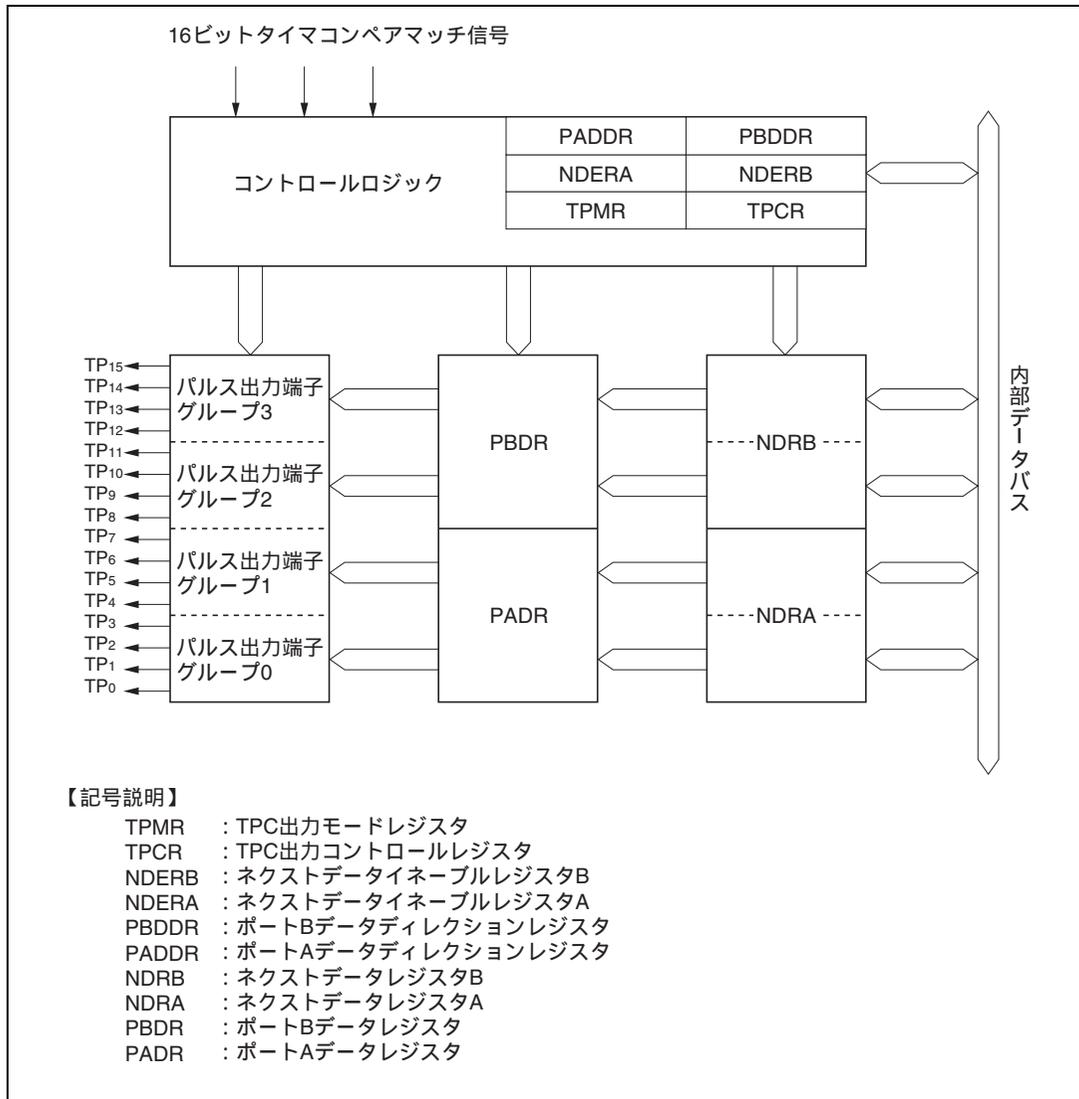


図 10.1 TPC のブロック図

10.1.3 端子構成

TPC の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
TPC 出力 0	TP ₀	出力	グループ 0 のパルス出力
TPC 出力 1	TP ₁	出力	
TPC 出力 2	TP ₂	出力	
TPC 出力 3	TP ₃	出力	
TPC 出力 4	TP ₄	出力	グループ 1 のパルス出力
TPC 出力 5	TP ₅	出力	
TPC 出力 6	TP ₆	出力	
TPC 出力 7	TP ₇	出力	
TPC 出力 8	TP ₈	出力	グループ 2 のパルス出力
TPC 出力 9	TP ₉	出力	
TPC 出力 10	TP ₁₀	出力	
TPC 出力 11	TP ₁₁	出力	
TPC 出力 12	TP ₁₂	出力	グループ 3 のパルス出力
TPC 出力 13	TP ₁₃	出力	
TPC 出力 14	TP ₁₄	出力	
TPC 出力 15	TP ₁₅	出力	

10.1.4 レジスタ構成

TPC のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

アドレス *1	名称	略称	R/W	初期値
H'EE009	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFFD9	ポート A データレジスタ	PADR	R/(W)*2	H'00
H'EE00A	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFFDA	ポート B データレジスタ	PBDR	R/(W)*2	H'00
H'FFFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFFA5/ H'FFFA7*3	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFFA4/ H'FFFA6*3	ネクストデータレジスタ B	NDRB	R/W	H'00

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 TPC 出力として使用しているビットは、ライトできません。

*3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFFA7、グループ 1 に対応する NDRA のアドレスは H'FFFA5 となります。

10. プログラマブルタイミングパターンコントローラ (TPC)

同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFFA6、グループ 3 に対応する NDRB のアドレスは H'FFFA4 となります。

10.2 各レジスタの説明

10.2.1 ポート A データディレクションレジスタ (PADDR)

PADDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポート A は TP₇ ~ TP₀ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PADDR の詳細は、「7.7 ポート A」を参照してください。

10.2.2 ポート A データレジスタ (PADR)

PADR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】* NDERA により、TPC 出力に設定されたビットはリード専用となります。

PADR の詳細は、「7.7 ポート A」を参照してください。

10.2.3 ポート B データディレクションレジスタ (PBDDR)

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

ポート B は TP₁₅ ~ TP₈ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PBDDR の詳細は、「7.8 ポート B」を参照してください。

10.2.4 ポート B データレジスタ (PBDR)

PBDR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

ポートBデータ7~0

TPC出力グループ2、3の出力データを格納するビットです。

【注】* NDERB により、TPC 出力に設定されたビットはリード専用となります。

PBDR の詳細は、「7.8 ポート B」を参照してください。

10.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀端子)の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した 16 ビットタイマのコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。

ソフトウェアスタンバイモード時には初期化されません。

(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

 ----- 	 -----
ネクストデータ7~4 TPC出力グループ1の次の 出力データを格納するビットです。	ネクストデータ3~0 TPC出力グループ0の次の 出力データを格納するビットです。

(b) アドレス : H'FFFA7

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

リザーブビット

(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDRA の上位 4 ビット (グループ 1) のアドレスは H'FFFA5、NDRA の下位 4 ビット (グループ 0) のアドレスは H'FFFA7 となります。このとき、アドレス H'FFFA5 のビット 3~0、アドレス H'FFFA7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ネクストデータ7~4

TPC出力グループ1の次の

出力データを格納するビットです。

リザーブビット

(b) アドレス : H'FFFA7

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ3~0

TPC出力グループ0の次の

出力データを格納するビットです。

10.2.6 ネクストデータレジスタ B (NDRB)

NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した 16 ビットタイマのコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ15 ~ 12 TPC出力グループ3の次の 出力データを格納するビットです。	ネクストデータ11 ~ 8 TPC出力グループ2の次の 出力データを格納するビットです。
---	--

(b) アドレス : H'FFFA6

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

リザーブビット

(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) のアドレスは H'FFFA4、NDRB の下位 4 ビット (グループ 2) のアドレスは H'FFFA6 となります。このとき、アドレス H'FFFA4 のビット 3~0、アドレス H'FFFA6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ネクストデータ15~12
リザーブビット

TPC出力グループ3の次の
出力データを格納するビットです。

(b) アドレス : H'FFFA6

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット
ネクストデータ11~8

TPC出力グループ2の次の
出力データを格納するビットです。

10. プログラマブルタイミングパターンコントローラ (TPC)

10.2.7 ネクストデータイネーブルレジスタ A (NDERA)

NDERA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ネクストデータイネーブル7~0

TPC出力グループ1、0を許可/禁止を

選択するビットです。

NDERA により TPC 出力が許可されたビットは、TPCR で選択された 16 ビットタイマのコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~0 : ネクストデータイネーブル7~0 (NDER7~NDER0)

TPC 出力グループ 1、0 (TP₇~TP₀端子) の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER7~NDER0	
0	TPC 出力 TP ₇ ~TP ₀ を禁止 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₇ ~TP ₀ を許可 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送許可)

10.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8

TPC出力グループ3、2を許可/禁止を

選択するビットです。

NDERB により TPC 出力が許可されたビットは、TPCR で選択された 16 ビットタイマのコンペアマッチが発生すると、NDRB の値が PBDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7~0 : ネクストデータイネーブル 15~8 (NDER15~NDER8)

TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット 7~0	説明
NDER15~NDER8	
0	TPC 出力 TP ₁₅ ~ TP ₈ を禁止 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₁₅ ~ TP ₈ を許可 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送許可)

10. プログラマブルタイミングパターンコントローラ (TPC)

10.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

グループ0コンペアマッチセレクト1、0
TPC出力グループ0 (TP₃-TP₀) の出力トリガとなるコンペアマッチを選択するビットです。

グループ1コンペアマッチセレクト1、0
TPC出力グループ1 (TP₇-TP₄) の出力トリガとなるコンペアマッチを選択するビットです。

グループ2コンペアマッチセレクト1、0
TPC出力グループ2 (TP₁₁-TP₈) の出力トリガとなるコンペアマッチを選択するビットです。

グループ3コンペアマッチセレクト1、0
TPC出力グループ3 (TP₁₅-TP₁₂) の出力トリガとなるコンペアマッチを選択するビットです。

TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

10. プログラマブルタイミングパターンコントローラ (TPC)

ビット7、6：グループ3コンペアマッチセレクト1、0 (G3CMS1、G3CMS0)

TPC 出力グループ3 (TP₁₅ ~ TP₁₂端子) の出力トリガとなるコンペアマッチを選択します。

ビット7 G3CMS1	ビット6 G3CMS0	説明
0	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビット タイマチャンネル0のコンペアマッチ
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビット タイマチャンネル1のコンペアマッチ
1	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビット タイマチャンネル2のコンペアマッチ
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、16 ビット タイマチャンネル2のコンペアマッチ (初期値)

ビット5、4：グループ2コンペアマッチセレクト1、0 (G2CMS1、G2CMS0)

TPC 出力グループ2 (TP₁₁ ~ TP₈端子) の出力トリガとなるコンペアマッチを選択します。

ビット5 G2CMS1	ビット4 G2CMS0	説明
0	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビット タイマチャンネル0のコンペアマッチ
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビット タイマチャンネル1のコンペアマッチ
1	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビット タイマチャンネル2のコンペアマッチ
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、16 ビット タイマチャンネル2のコンペアマッチ (初期値)

ビット3、2：グループ1コンペアマッチセレクト1、0 (G1CMS1、G1CMS0)

TPC 出力グループ1 (TP₇ ~ TP₄端子) の出力トリガとなるコンペアマッチを選択します。

ビット3 G1CMS1	ビット2 G1CMS0	説明
0	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビット タイマチャンネル0のコンペアマッチ
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビット タイマチャンネル1のコンペアマッチ
1	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビット タイマチャンネル2のコンペアマッチ
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、16 ビット タイマチャンネル2のコンペアマッチ (初期値)

10. プログラマブルタイミングパターンコントローラ (TPC)

ビット 1、0 : グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

TPC 出力グループ 0 (TP₃~TP₀端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、16 ビット タイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、16 ビット タイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、16 ビット タイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、16 ビット タイマチャネル 2 のコンペアマッチ (初期値)

10.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット
グループ0ノンオーバーラップ
TPC出力グループ0 (TP₃~TP₀) のノンオーバーラップ動作を設定するビットです。
グループ1ノンオーバーラップ
TPC出力グループ1 (TP₇~TP₄) のノンオーバーラップ動作を設定するビットです。
グループ2ノンオーバーラップ
TPC出力グループ2 (TP₁₁~TP₈) のノンオーバーラップ動作を設定するビットです。
グループ3ノンオーバーラップ
TPC出力グループ3 (TP₁₅~TP₁₂) のノンオーバーラップ動作を設定するビットです。

10. プログラブルタイミングパターンコントローラ (TPC)

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる 16 ビットタイマの GRB に出力波形の周期を、また GRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「10.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 に初期化されます。

ソフトウェアスタンバイモード時には初期化されません。

ビット 7~4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: グループ 3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説明
G3NOV	
0	TPC 出力グループ 3 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 2: グループ 2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説明
G2NOV	
0	TPC 出力グループ 2 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 1: グループ 1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	説明
G1NOV	
0	TPC 出力グループ 1 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

10. プログラマブルタイミングパターンコントローラ (TPC)

ビット 0 : グループ 0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 0	説明
G0NOV	
0	TPC 出力グループ 0 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

10.3 動作説明

10.3.1 概要

TPC 出力は、PADDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PADR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を図 10.2 に示します。また、TPC 動作条件を表 10.3 に示します。

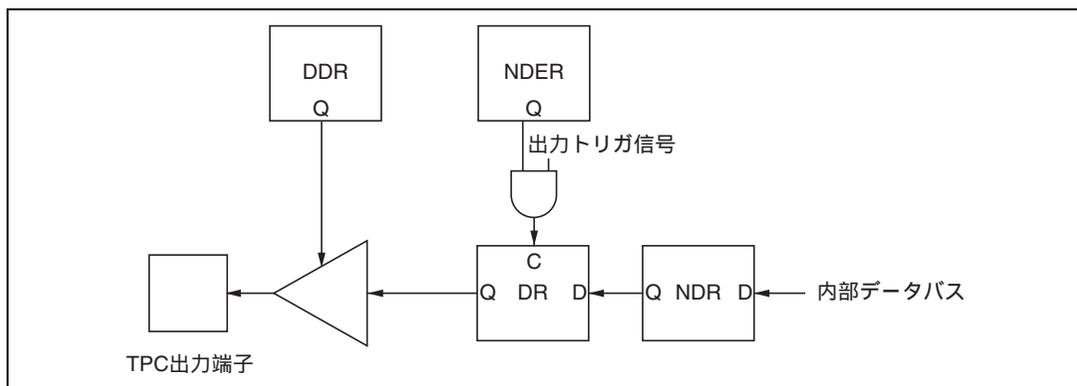


図 10.2 TPC 出力動作

表 10.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません)
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「10.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

10.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDRA/NDRB の内容が PADR/PBDR に転送され、出力されます。

このタイミングを図 10.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

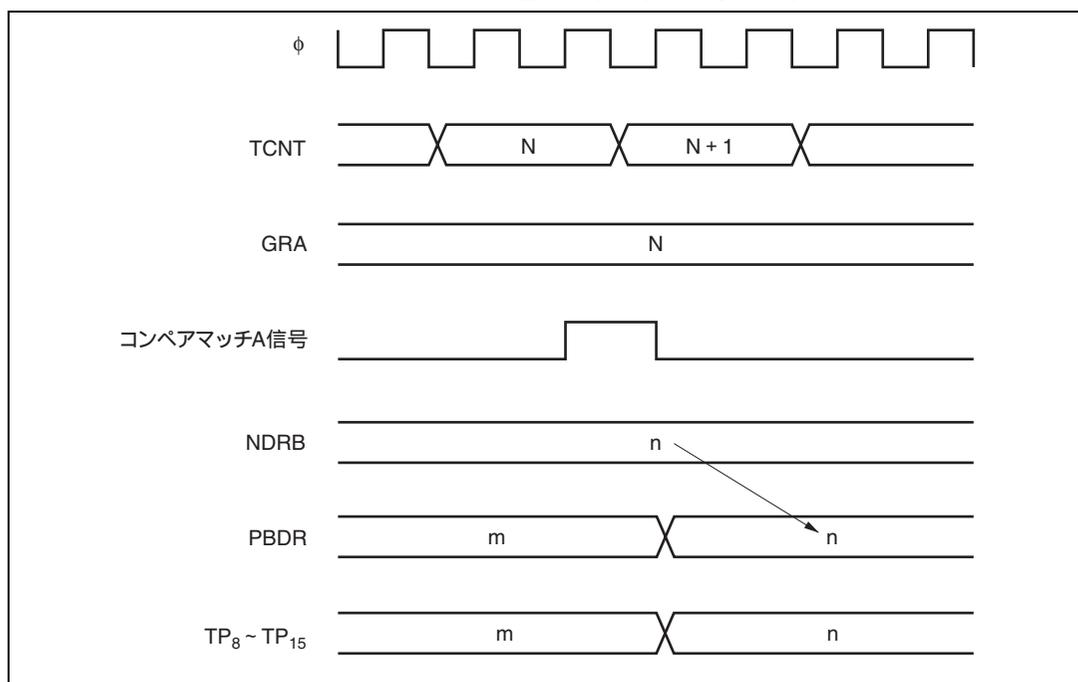


図 10.3 NDR の内容が転送・出力されるタイミング (例)

10.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 10.4 に示します。

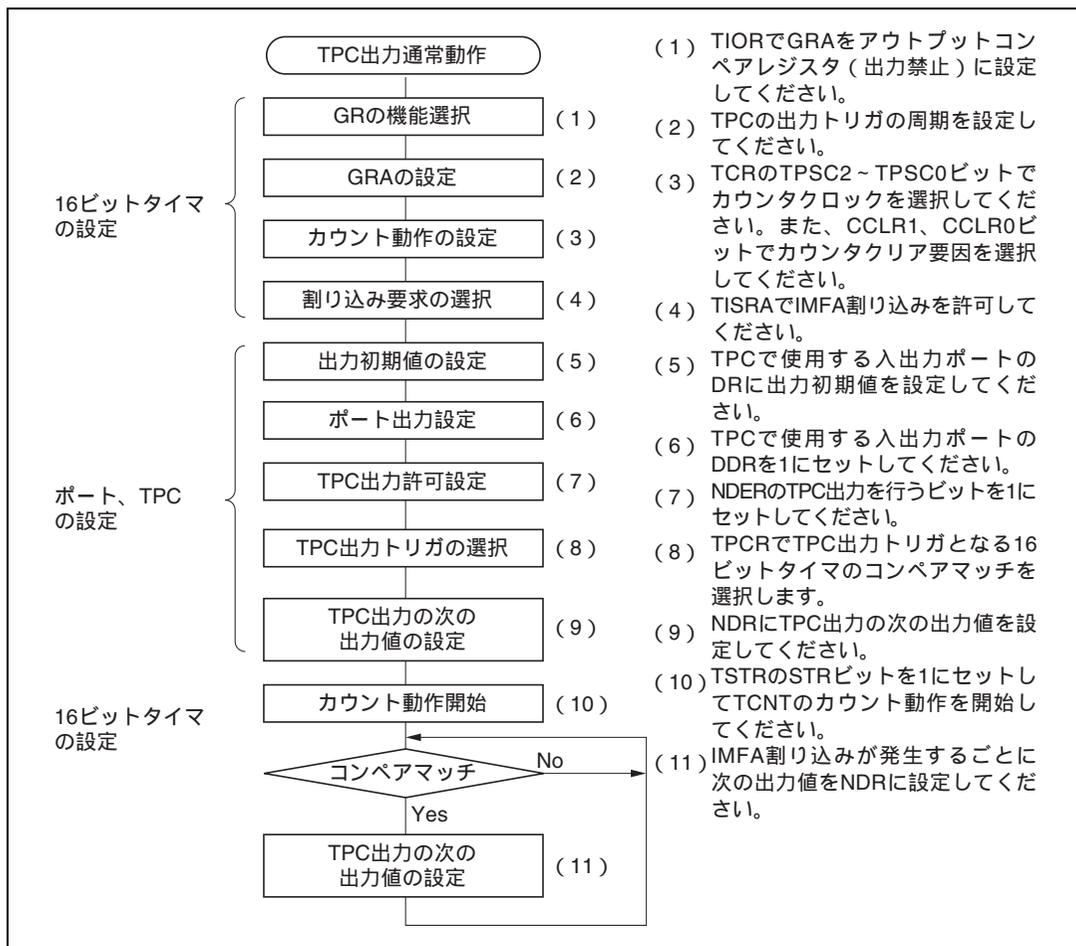
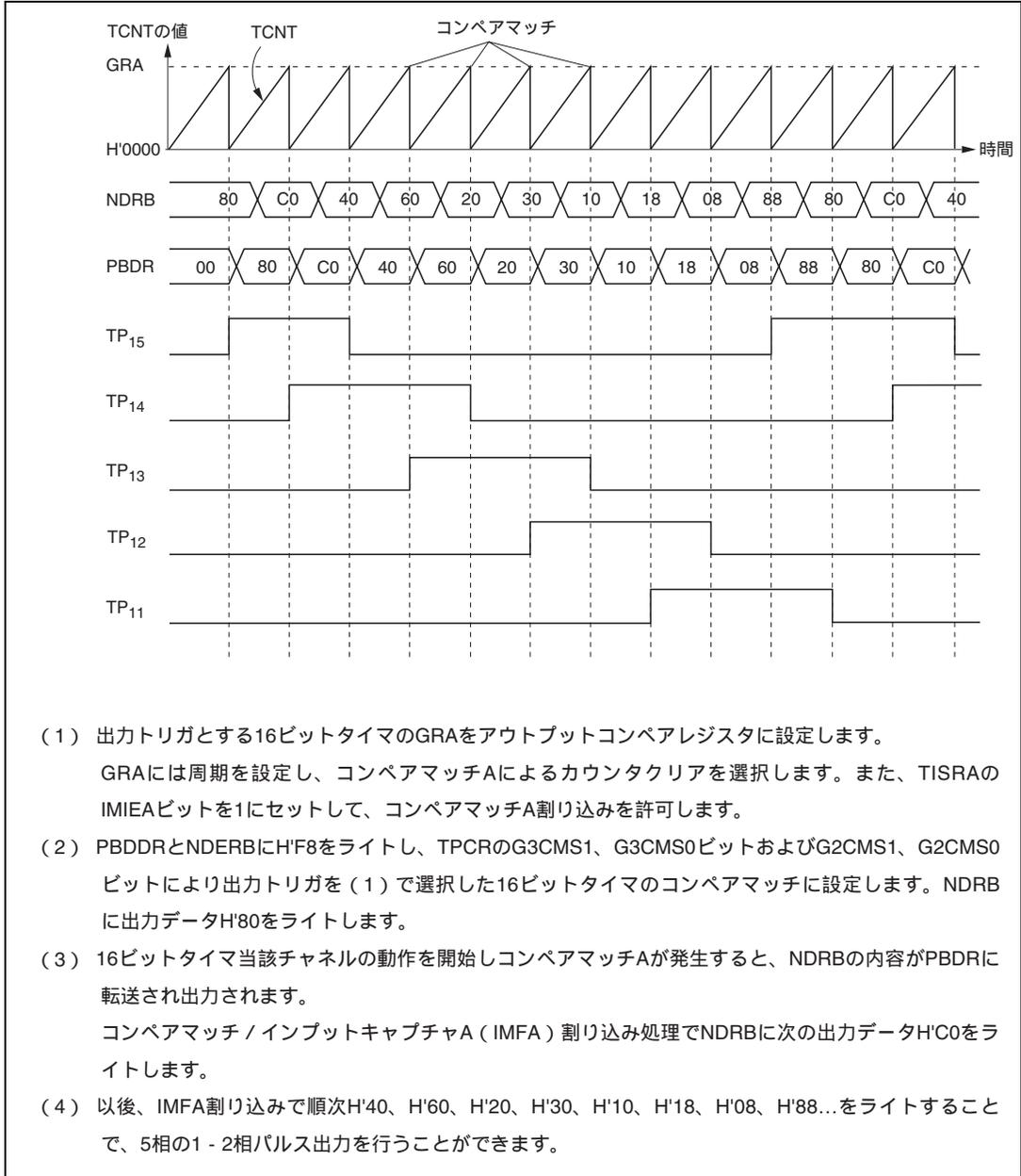


図 10.4 TPC 出力通常動作の設定手順例

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 10.5 に示します。



- (1) 出力トリガとする16ビットタイマのGRAをアウトプットコンペアレジスタに設定します。
GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TISRAのIMIEAビットを1にセットして、コンペアマッチA割り込みを許可します。
- (2) PBDDRとNDRBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを(1)で選択した16ビットタイマのコンペアマッチに設定します。NDRBに出力データH'80をライトします。
- (3) 16ビットタイマ当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。
コンペアマッチ/インプットキャプチャA (IMFA) 割り込み処理でNDRBに次の出力データH'C0をライトします。
- (4) 以後、IMFA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。

図 10.5 TPC 出力通常動作例 (5 相パルス出力例)

10.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 10.6 に示します。

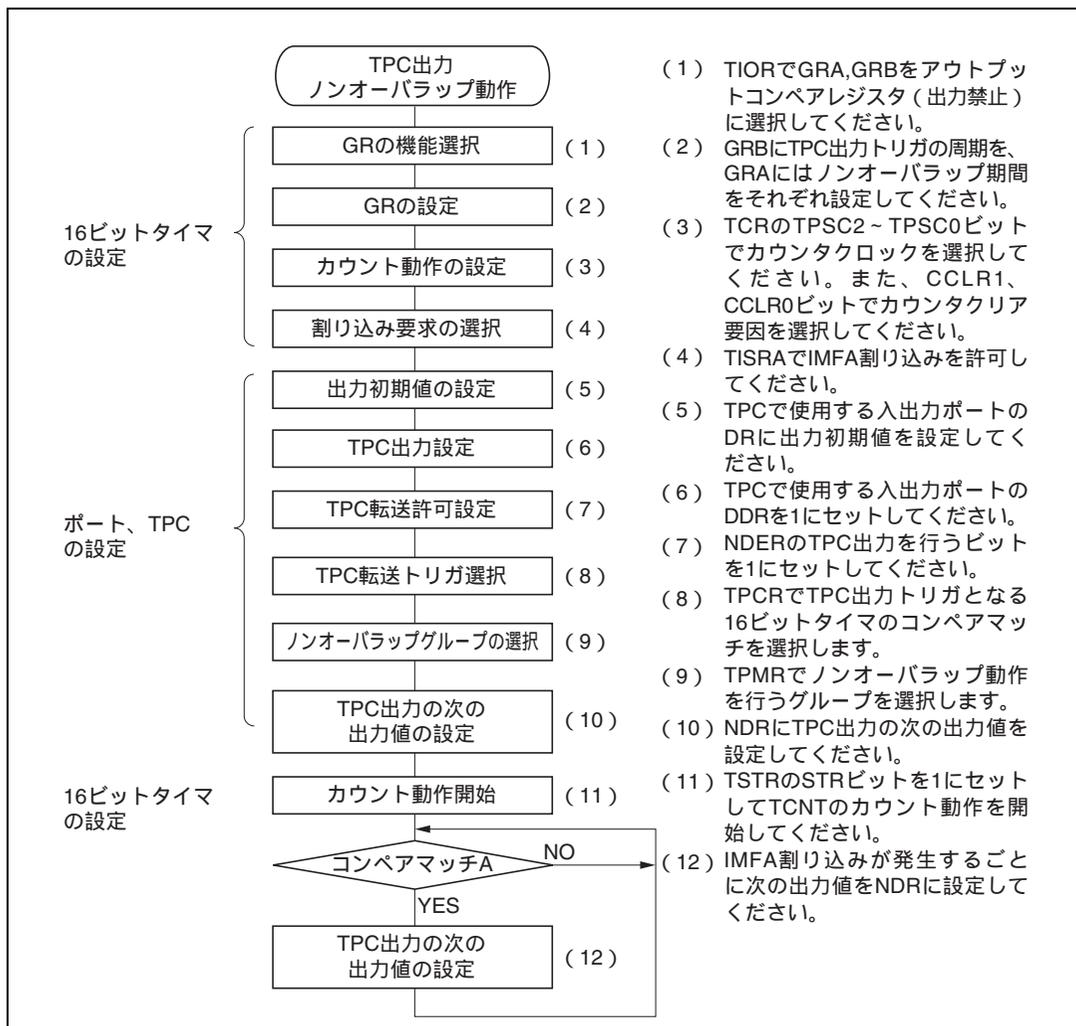


図 10.6 TPC 出力ノンオーバーラップ動作の設定手順例

(2) TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

TPC 出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 10.7 に示します。

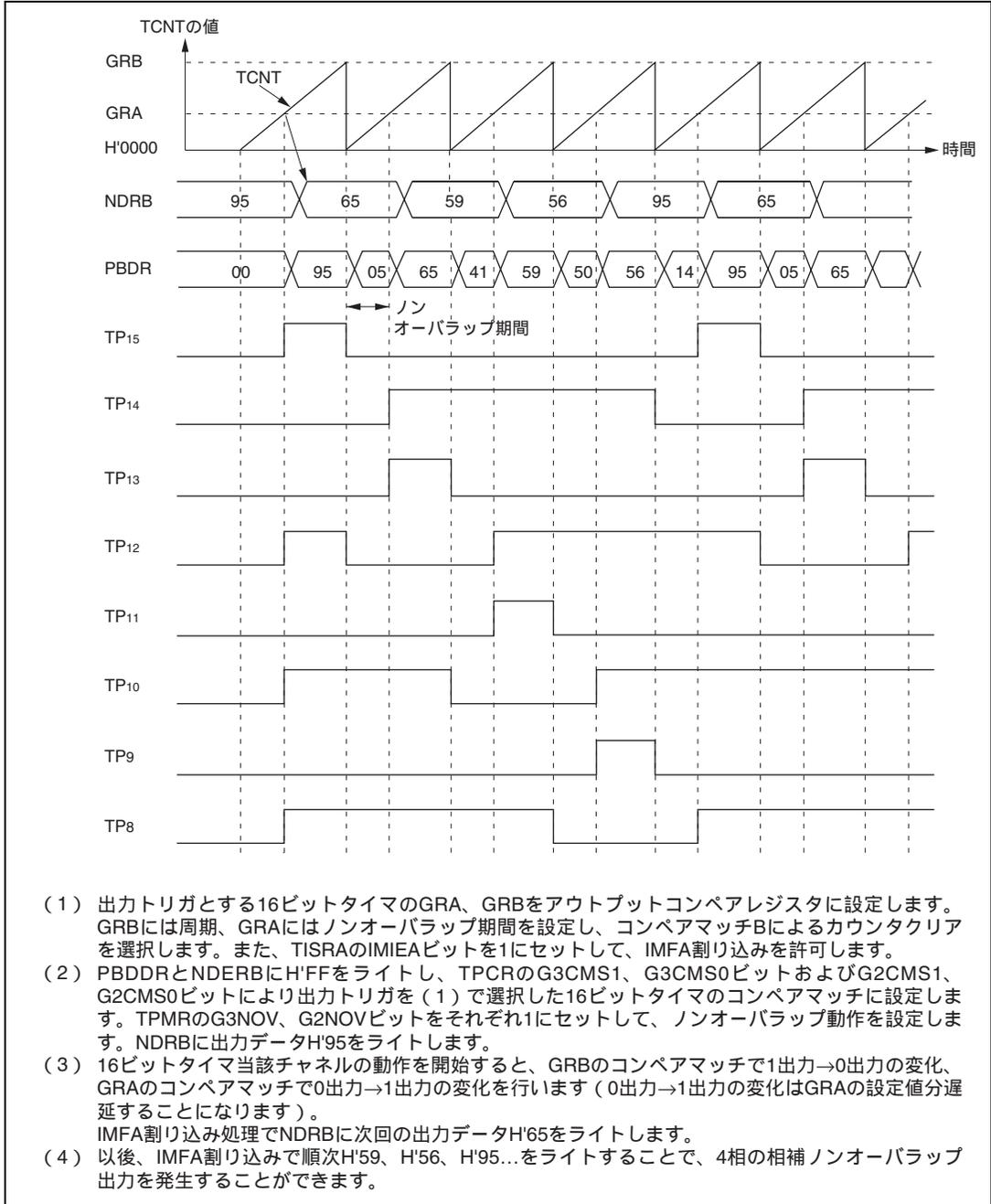


図 10.7 TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

10.3.5 インพุットキャプチャによる TPC 出力

TPC 出力は、16 ビットタイマのコンペアマッチだけではなく、インพุットキャプチャによっても可能です。

TPCR によって選択された 16 ビットタイマの GRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号により TPC 出力を行います。

このタイミングを図 10.8 に示します。

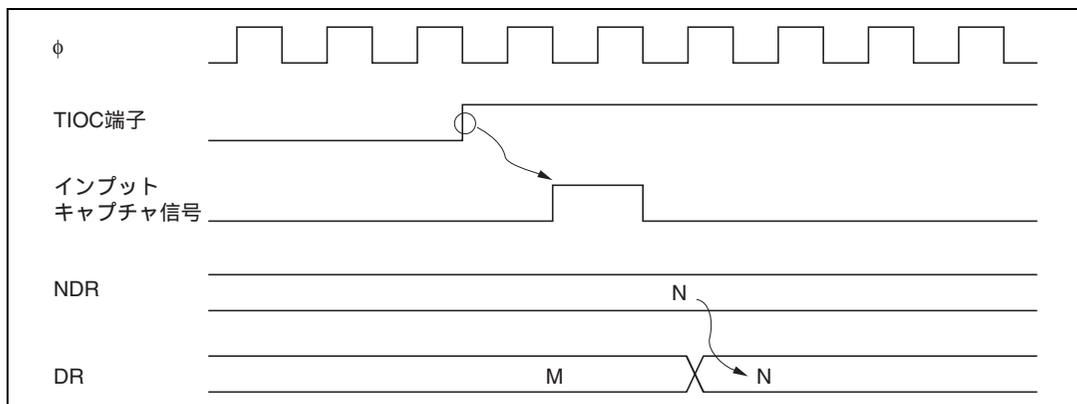


図 10.8 インพุットキャプチャによる TPC 出力例

10.4 使用上の注意

10.4.1 TPC 出力端子の動作

TP₀ ~ TP₁₅ は 16 ビットタイマ、アドレスバスなどの端子と兼用になっています。これらの端子は、16 ビットタイマ、アドレスバスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

10.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようにになっています。

- (1) コンペアマッチAではNDRの内容を常にDRへ転送します。
- (2) コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 10.9 に示します。

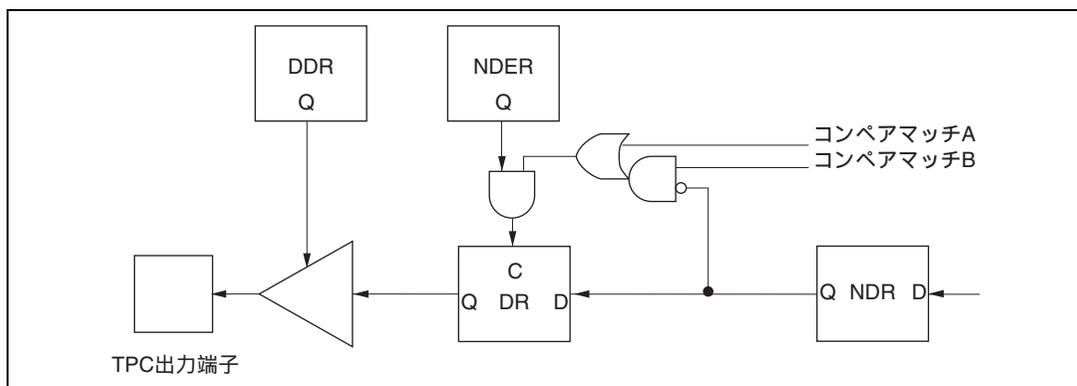


図 10.9 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先だて行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは IMFA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 10.10 に示します。

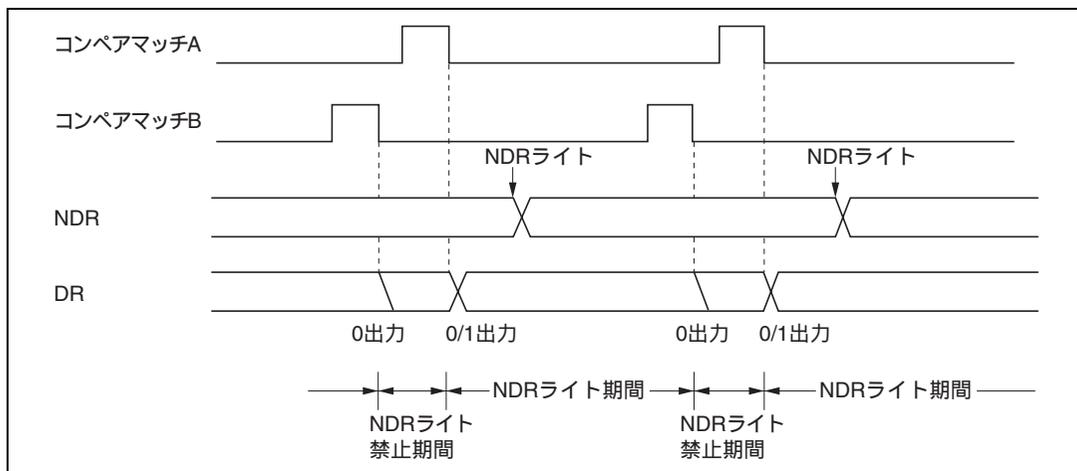


図 10.10 ノンオーバーラップ動作と NDR ライトタイミング

10. プログラマブルタイミングパターンコントローラ (TPC)

11. ウォッチドッグタイマ

11.1 概要

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ (TCNT) の値が書き換えられずオーバーフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバーフローするごとにインターバルタイマ割り込みを発生することができます。

11.1.1 特長

WDT の特長を以下に示します。

8 種類のカウンタ入力クロックを選択可能

$\phi / 2$ 、 $\phi / 32$ 、 $\phi / 64$ 、 $\phi / 128$ 、 $\phi / 256$ 、 $\phi / 512$ 、 $\phi / 2048$ 、 $\phi / 4096$

インターバルタイマとして使用可能

TCNT がオーバーフローするとリセット信号または割り込みを発生

ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割り込みを発生します。

ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット、同時にリセット信号を外部に出力可能

ウォッチドッグタイマ時に TCNT のオーバーフローによってリセット信号を発生すると、本 LSI 全体は内部リセットされます。同時に、 $\overline{\text{RESO}}$ 端子からリセット信号を外部に出力し、システム全体をリセットすることができます。

11. ウォッチドッグタイマ

11.1.2 ブロック図

図 11.1 に WDT のブロック図を示します。

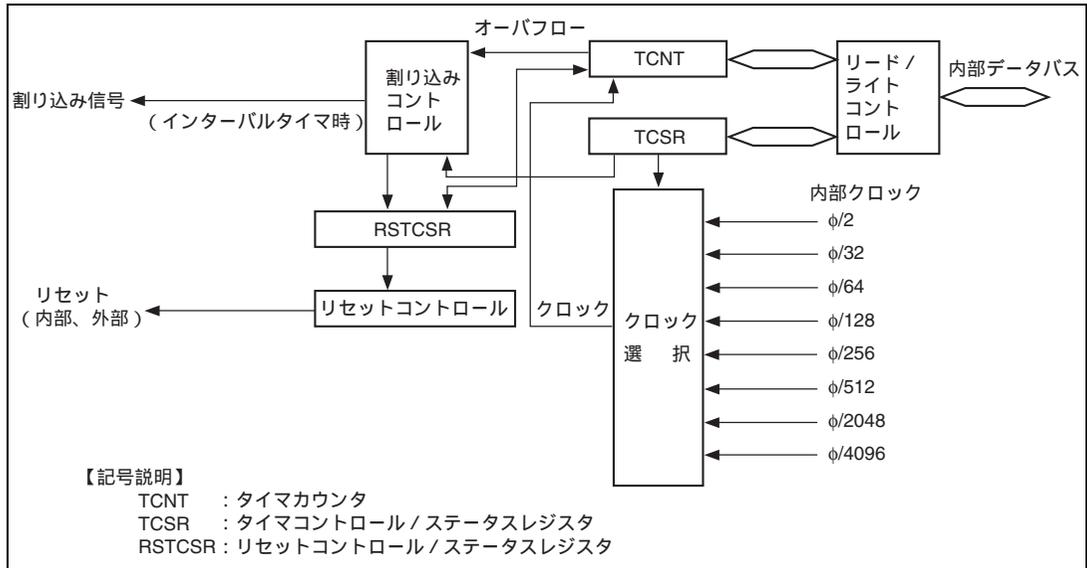


図 11.1 WDT のブロック図

11.1.3 端子構成

WDT で使用する出力端子を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
リセット出力	RESO	出力*	ウォッチドッグタイマのリセット信号の外部出力

【注】 * オープンドレイン出力端子です。

11.1.4 レジスタ構成

表 11.2 に WDT のレジスタ構成を示します。

表 11.2 レジスタ構成

アドレス*1		名称	略称	R/W	初期値
ライト時*2	リード時				
H'FFF8C	H'FFF8C	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*3	H'18
	H'FFF8D	タイマカウンタ	TCNT	R/W	H'00
H'FFF8E	H'FFF8F	リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)*3	H'3F

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 このアドレスから始まるワードデータとしてライトしてください。

*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (TCNT)

TCNT は、8 ビットのリード/ライト可能なアップカウンタです。

ビット:	7	6	5	4	3	2	1	0

初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

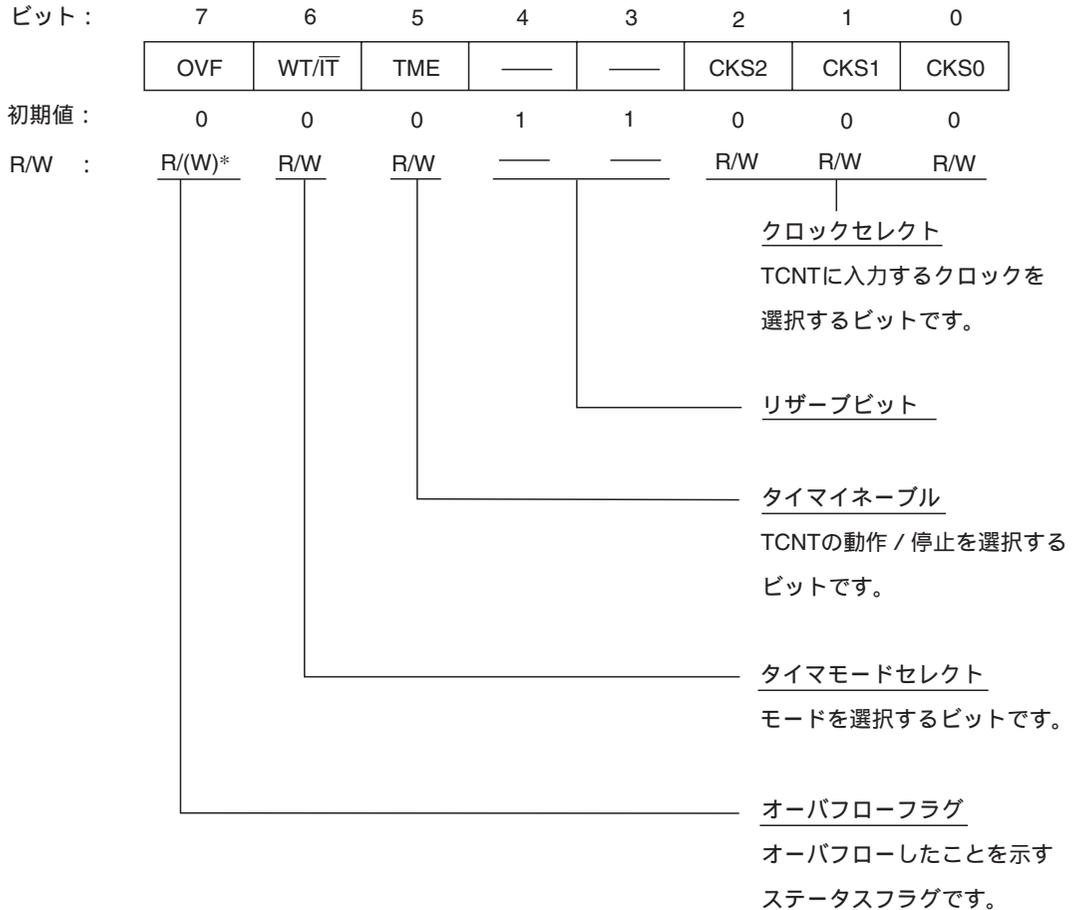
【注】 TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「11.2.4 レジスタ書き換え時の注意」を参照してください。

TCSR の TME ビットを 1 にセットすると、TCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー (H'FF→H'00) すると、TCSR の OVF フラグが 1 にセットされます。

また、TCNT はリセット、または TME = 0 のとき H'00 に初期化されます。

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、8 ビットのリード/ライト可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。



【注】 TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「11.2.4 レジスタ書き換え時の注意」を参照してください。

* フラグをクリアするための"0"ライトのみ可能です。

ビット7~5はリセット、またはスタンバイモード時に各ビットとも0に初期化されます。ビット2~0は、リセット時に各ビットとも0に初期化されます。なお、ビット2~0はソフトウェアスタンバイモード時には、初期化されずにソフトウェアスタンバイモードに移移する直前の値を保持します。

ビット7：オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット7	説明
OVF	
0	[クリア条件] OVF=1の状態、OVFフラグをリード後、OVFフラグに0をライトしたとき (初期値)
1	[セット条件] TCNTがH'FF→H'00に変化したとき

ビット6：タイマモードセレクト (WT/IT)

WDTをウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時はTCNTのオーバフローでインターバルタイマ割り込み要求が発生します。また、ウォッチドッグタイマ時はTCNTのオーバフローでリセット信号が発生します。

ビット6	説明
WT/IT	
0	インターバルタイマを選択：インターバルタイマ割り込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット5：タイマイネーブル (TME)

TCNTの動作/停止を選択します。WT/IT=1の場合、SYSCRのソフトウェアスタンバイビット (SSBY)を0クリアしてから、TMEをセットしてください。また、SSBYを1にセットするときは、TMEを0クリアしてください。

ビット5	説明
TME	
0	TCNTをH'00に初期化し、カウント動作は停止 (初期値)
1	TCNTはカウント動作

ビット4、3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

11. ウォッチドッグタイマ

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック (ϕ) を分周して得られる 8 種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	$\phi / 2$ (初期値)
		1	$\phi / 32$
	1	0	$\phi / 64$
		1	$\phi / 128$
1	0	0	$\phi / 256$
		1	$\phi / 512$
	1	0	$\phi / 2048$
		1	$\phi / 4096$

11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は 8 ビットのリード/ライト可能なレジスタで、ウォッチドッグタイマのオーバフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。

ビット:	7	6	5	4	3	2	1	0
	WRST	RSTOE	—	—	—	—	—	—
初期値:	0	0	1	1	1	1	1	1
R/W :	R/(W)*	R/W	—	—	—	—	—	—

リザーブビット
リセット出力イネーブル
リセット信号の外部への出力を許可/禁止するビットです。
ウォッチドッグタイマリセット
リセット信号が発生したことを示すビットです。

【注】 RSTCSRは、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「11.2.4 レジスタ書き換え時の注意」を参照してください。

* ビット7は、フラグをクリアするための0ライトのみ可能です。

ビット7、6は、 $\overline{\text{RES}}$ 端子によるリセット信号で初期化されます。ウォッチドッグタイマのオーバフローによるリセット信号では初期化されません。

ビット7：ウォッチドッグタイマリセット（WRST）

ウォッチドッグタイマ時に TCNT がオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。同時に、RSTOE ビットが 1 にセットされていると、このリセット信号を $\overline{\text{RESO}}$ 端子から Low レベルを外部に出力し、システム全体の初期化を行うことができます。

ただし、フラッシュメモリ内蔵製品には $\overline{\text{RESO}}$ 端子はありません。

ビット7	説明
WRST	
0	[クリア条件] (1) $\overline{\text{RES}}$ 端子によるリセット信号 (2) WRST=1 の状態で、WRST フラグをリード後、WRST フラグに 0 をライトしたとき (初期値)
1	[セット条件] ウォッチドッグタイマ時に、TCNT がオーバーフローし、リセット信号が発生したとき

ビット6：リセット出力イネーブル（RSTOE）

ウォッチドッグタイマ時に TCNT がオーバーフローして発生したリセット信号の $\overline{\text{RESO}}$ 端子からの出力の許可/禁止を選択します。ただし、フラッシュメモリ内蔵製品には $\overline{\text{RESO}}$ 端子はありません。

ビット6	説明
RSTOE	
0	リセット信号の外部出力を禁止 (初期値)
1	リセット信号の外部出力を許可

ビット5~0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

11.2.4 レジスタ書き換え時の注意

WDT の TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図 11.2 に TCNT、TCSR へのライトデータを示します。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A (TCNT のとき) または H'A5 (TCSR のとき) にしてワード転送を行います。

これにより、下位バイトのデータが TCNT、または TCSR へライトされます。

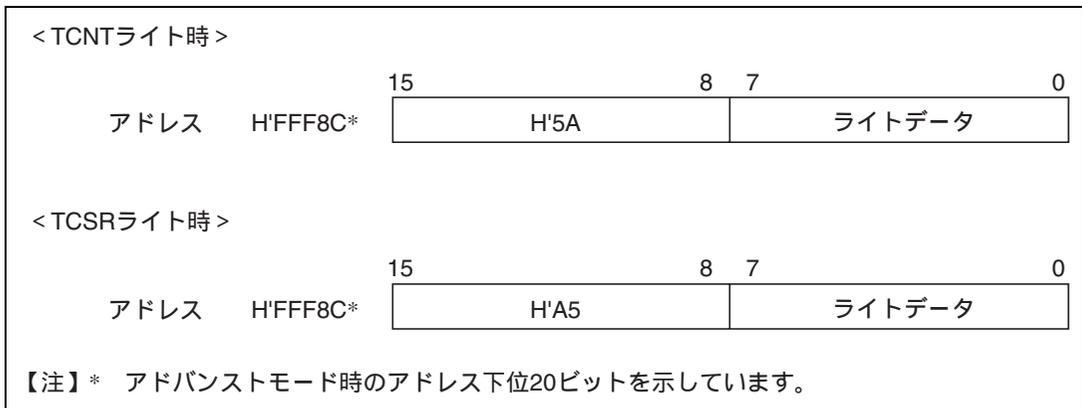


図 11.2 TCNT、TCSR へのライトデータ

(2) RSTCSR へのライト

RSTCSR ヘライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図 11.3 に RSTCSR のライトデータを示します。

WRST ビットへ 0 をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ (H'00) が RSTCSR の WRST ビットへライトされ、WRST ビットが 0 にクリアされます。

RSTOE ビットへライトする場合、上位バイトを H'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータが RSTOE ビットへライトされます。

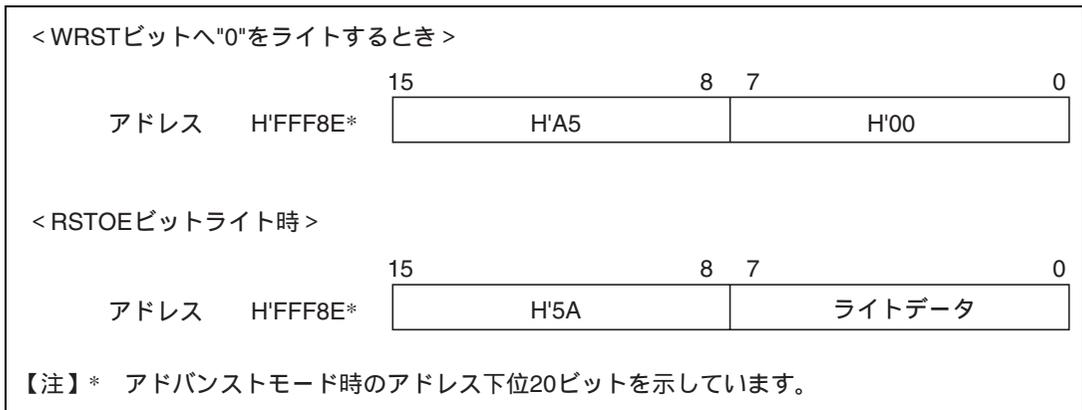


図 11.3 RSTCSR へのライトデータ

(3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFF8C に TCSR、H'FFF8D に TCNT、H'FFF8F に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表 11.3 に TCNT、TCSR、RSTCSR のリードを示します。

表 11.3 TCNT、TCSR、RSTCSR のリード

アドレス*	レジスタ
H'FFF8C	TCSR
H'FFF8D	TCNT
H'FFF8F	RSTCSR

【注】* アドバンスモード時のアドレス下位 20 ビットを示しています。

11.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

11.3.1 ウォッチドッグタイマ時の動作

図 11.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の WT/IT ビット、TME ビットをそれぞれ 1 にセットします。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセット信号は、 $\overline{\text{RES0}}$ 端子から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132 ステート期間出力されます。外部への出力の許可 / 禁止は、RSTCSR の RSTOE ビットによって選択します。

WDT によるリセットと $\overline{\text{RES}}$ 端子によるリセットは、同一ベクタです。そのため、 $\overline{\text{RES}}$ 端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、 $\overline{\text{RES}}$ 端子によるリセットと WDT のオーバーフローによるリセットが同時に発生した場合は、 $\overline{\text{RES}}$ 端子によるリセットが優先されます。

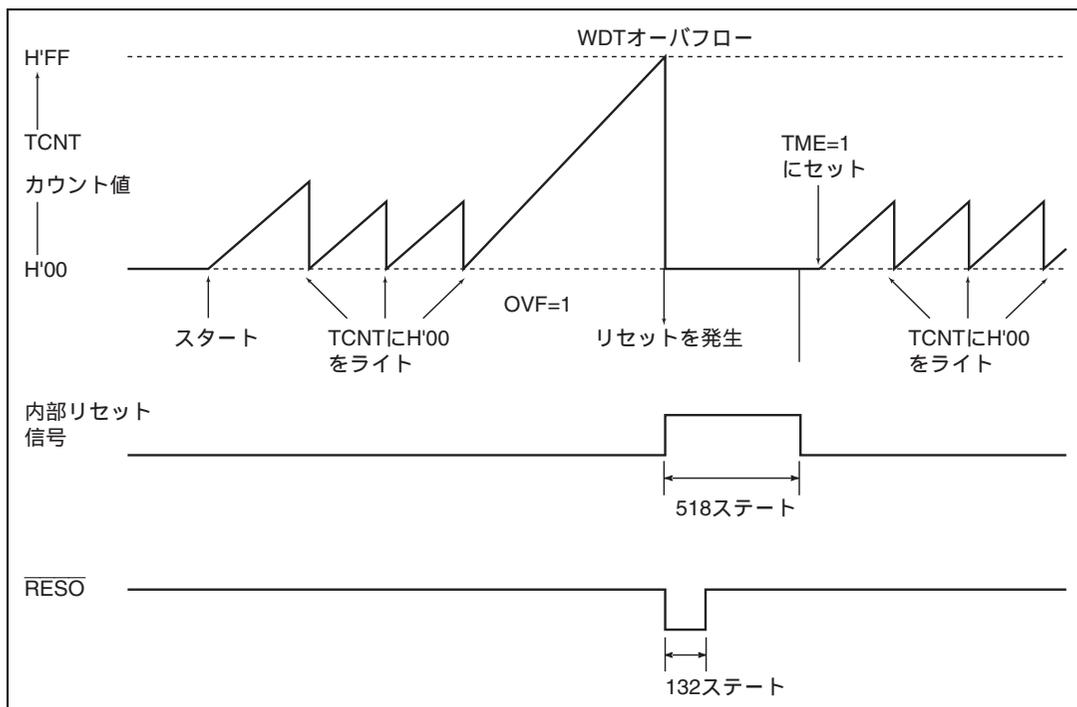


図 11.4 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマ時の動作

図 11.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT/\overline{IT} ビットを 0 にクリアし、TME ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとに、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

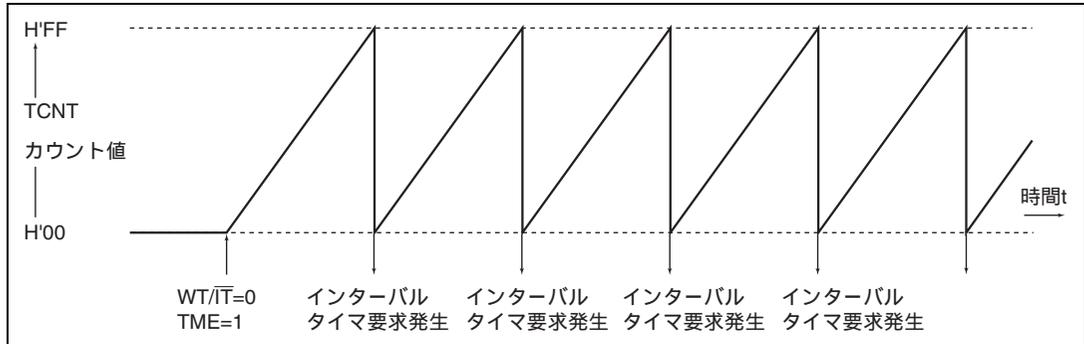


図 11.5 インターバルタイマ時の動作

11.3.3 オーバフローフラグ (OVF) セットタイミング

図 11.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

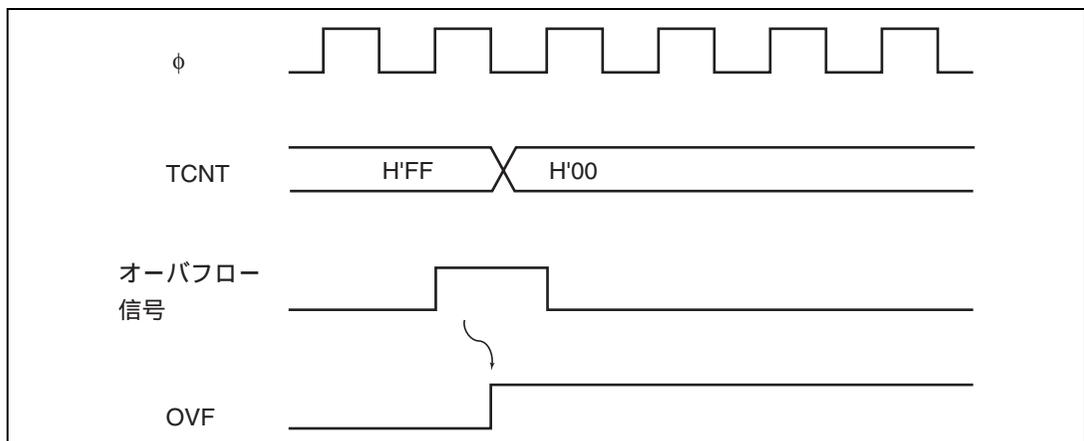


図 11.6 OVF フラグのセットタイミング

11.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSR の WRST ビットは、TCSR の $\overline{WT/IT}$ ビット、TME ビットをそれぞれ 1 にセットしたとき有効になります。

図 11.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバーフローして、OVF フラグが 1 にセットされたとき、WRST ビットは 1 にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは 0 にクリアされますが、WRST ビットは 1 にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

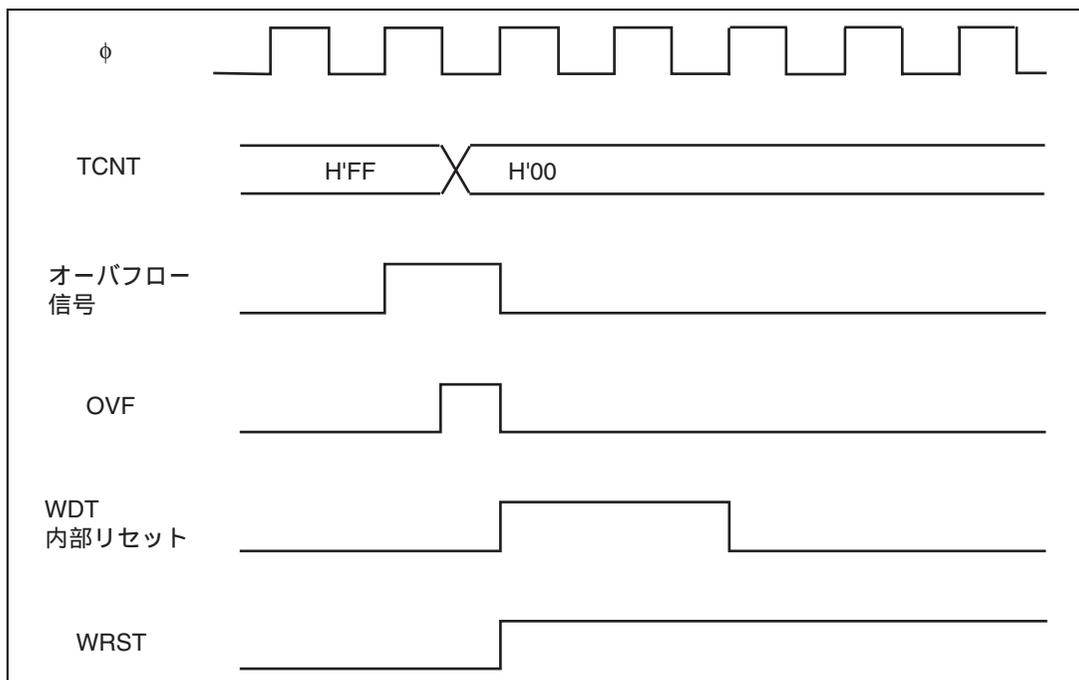


図 11.7 WRST ビットのセットおよび内部リセットタイミング

11.4 割り込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは TCSR の OVF フラグが 1 にセットされると常に要求されます。

11.5 使用上の注意

(1) TCNT のライトとカウントアップの競合

図 11.8 に TCNT のライトとカウントアップの競合を示します。

TCNT のライトサイクル中の T₃ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

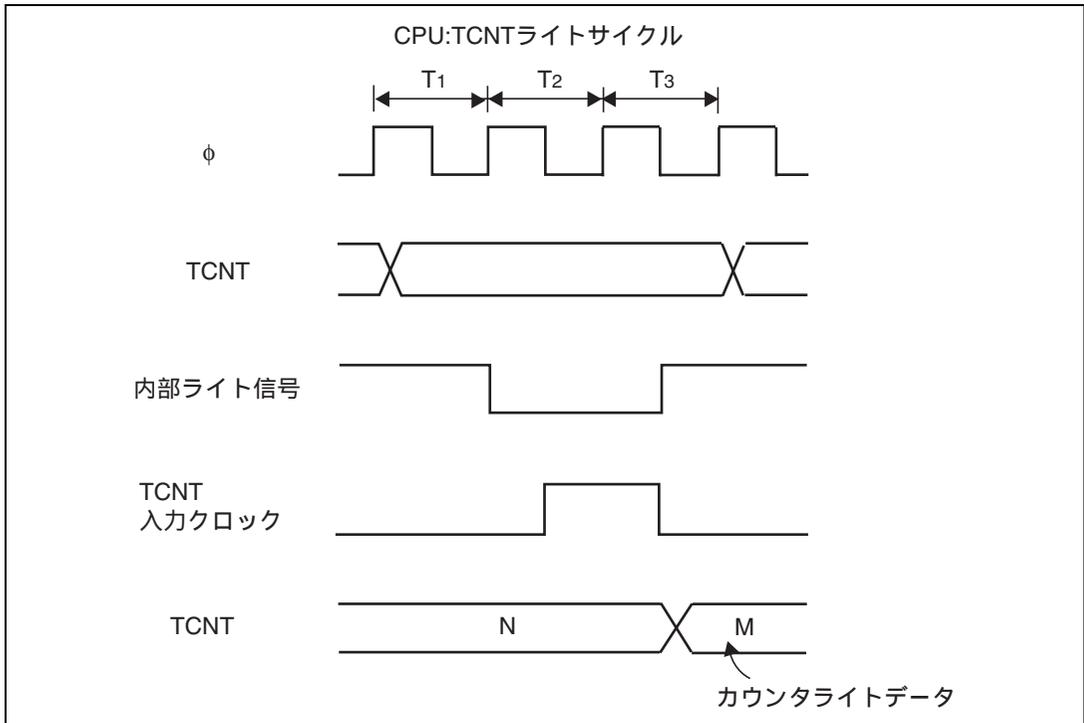


図 11.8 TCNT のライトとカウントアップの競合

(2) CKS2 ~ CKS0 ビットの切り替え

CKS2 ~ CKS0 ビットを切り替えるときは、TCSR の TME ビットを 0 にクリアし、TCNT を停止させてから行ってください。

11. ウォッチドッグタイマ

12. SCI

12.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。2 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

消費電流低減のため SCI を使用しない場合には、SCI 各チャンネル単独に停止することができます。詳細は「18.6 モジュールスタンバイ機能」を参照してください。

また、SCI は "ISO/IEC7816-3 (Identification Card)" に準拠した IC カードインタフェース用シリアル通信機能としてスマートカードインタフェースをサポートしています。通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

12.1.1 特長

通常のシリアルコミュニケーションインタフェースの特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

- データ長 : 7 ビット / 8 ビット
- ストップビット長 : 1 ビット / 2 ビット
- パリティ : 偶数パリティ / 奇数パリティ / パリティなし
- マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。

(b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

送受信するシリアルデータに対して、

- LSB ファースト / MSB ファースト
- データのロジックレベルの反転

を設定することができます。

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。

スマートカードインタフェースの特長を以下に示します。

調歩同期式モード

- データ長 : 8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求することができます。

12.1.2 ブロック図

図 12.1 に SCI のブロック図を示します。

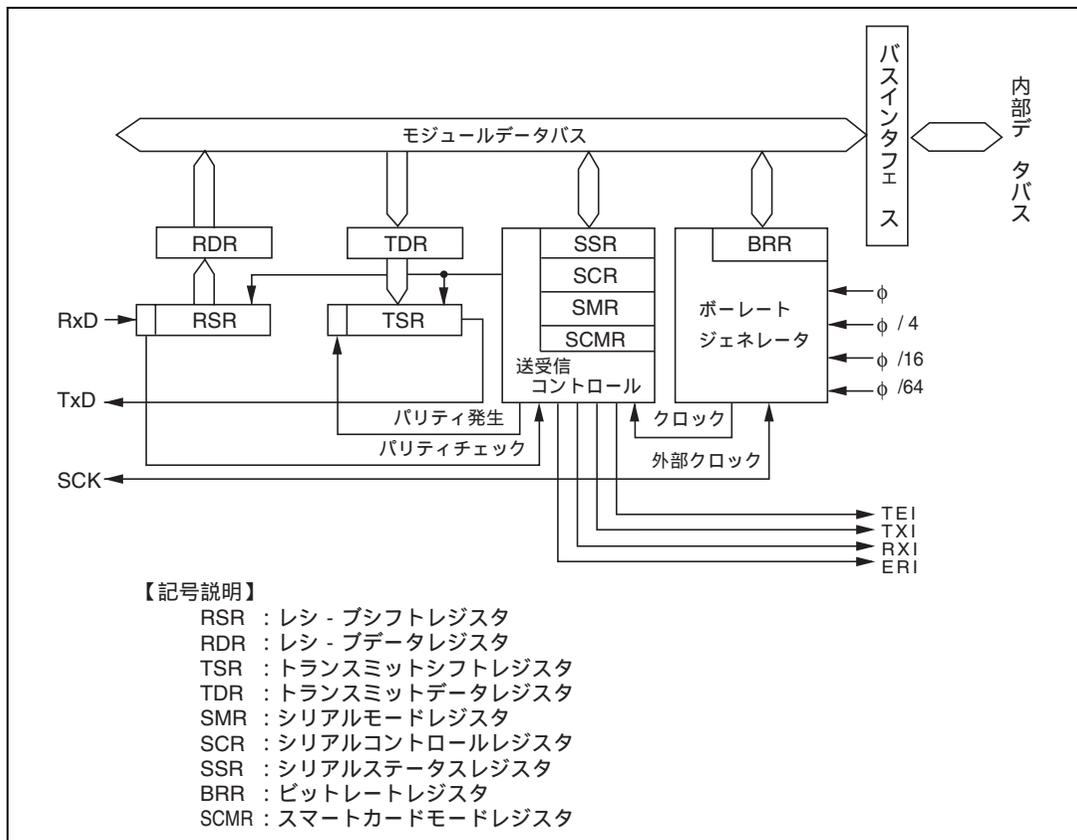


図 12.1 SCI のブロック図

12.1.3 端子構成

SCI は、チャンネルごとに表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK ₀	入出力	SCI ₀ のクロック入出力
	レシーブデータ端子	RxD ₀	入力	SCI ₀ の受信データ入力
	トランスミットデータ端子	TxD ₀	出力	SCI ₀ の送信データ出力
1	シリアルクロック端子	SCK ₁	入出力	SCI ₁ のクロック入出力
	レシーブデータ端子	RxD ₁	入力	SCI ₁ の受信データ入力
	トランスミットデータ端子	TxD ₁	出力	SCI ₁ の送信データ出力

12.1.4 レジスタ構成

SCI には、表 12.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、送信部 / 受信部の制御、およびシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えの指定を行うことができます。

表 12.2 レジスタ構成

チャンネル	アドレス* ¹	名称	略称	R/W	初期値
0	H'FFFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFB5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2
1	H'FFFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBFA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFBFB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFBFC	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFFBFD	レシーブデータレジスタ	RDR	R	H'00
	H'FFFBFE	スマートカードモードレジスタ	SCMR	R/W	H'F2

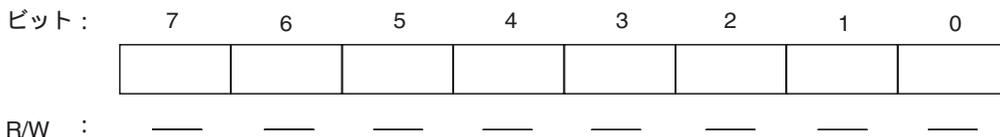
【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 フラグをクリアにするための 0 ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 レシーブシフトレジスタ (RSR)

RSR は、シリアルデータを受信するためのレジスタです。



SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

12.2.2 レシーブデータレジスタ (RDR)

RDR は、受信したシリアルデータを格納するレジスタです。

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

12.2.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのレジスタです。

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>							
R/W :	—	—	—	—	—	—	—	—

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

12.2.4 トランスミットデータレジスタ (TDR)

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

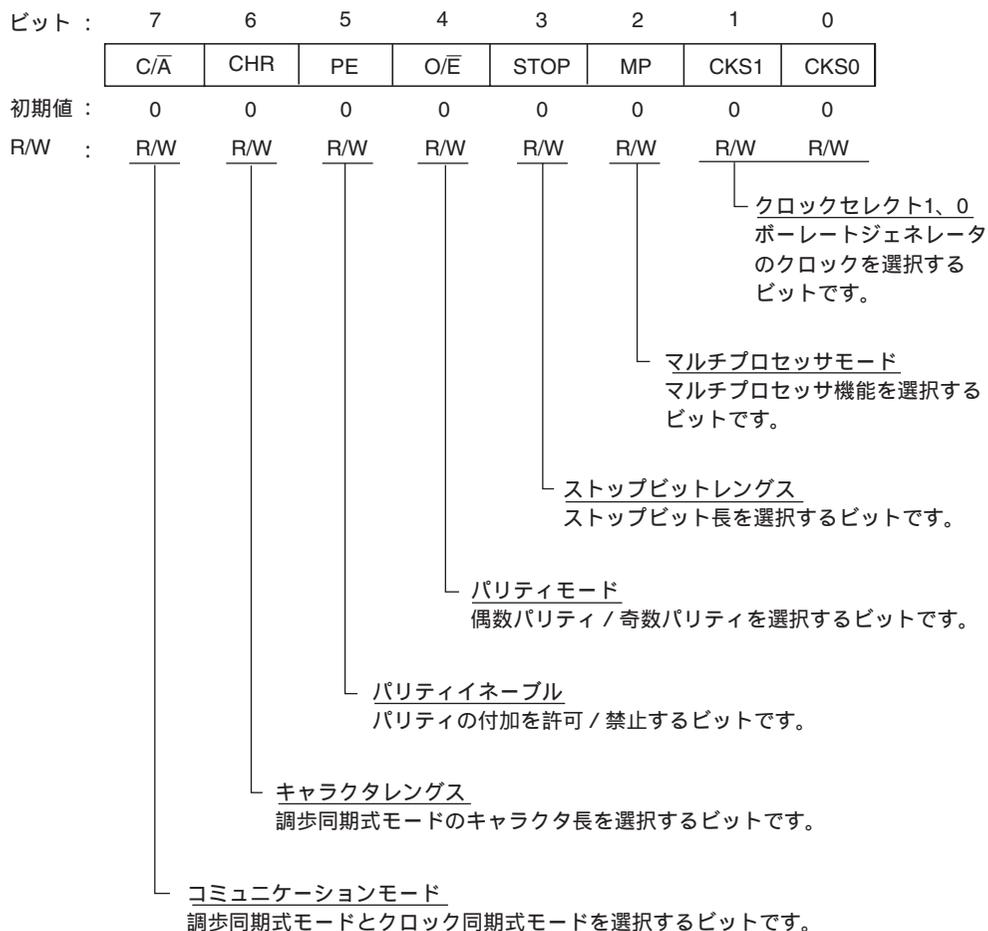
SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

12.2.5 シリアルモードレジスタ (SMR)

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。



SMR は、常に CPU によるリード / ライトが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C/ \bar{A}) / GSM モード (GM)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。SCMR の SMIF ビットによって切り替わります。

12. SCI

- (a) シリアルコミュニケーションインタフェースのとき (SCMR の SMIF ビットが 0)
SCI の動作モードを調歩同期式モード / クロック同期式モードのいずれかから選択します。

ビット 7	
C/ \bar{A}	説 明
0	調歩同期式モード (初期値)
1	クロック同期式モード

- (b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)
スマートカードインタフェースのとき GSM モードを選択します。

ビット 7	
GM	説 明
0	TEND フラグがスタートビットから 12.5 etu 後に発生します。 (初期値)
1	TEND フラグがスタートビットから 11.0 etu 後に発生します。

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	
CHR	説 明
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。

ビット 5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	
PE	説 明
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

- 【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
- *2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1 ストップビット* ¹ (初期値)
1	2 ストップビット* ²

- 【注】 *1 送信時には、送信キャラクタの最終尾に 1 ビットの 1 (ストップビット) を付加して送信します。
*2 送信時には、送信キャラクタの最終尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

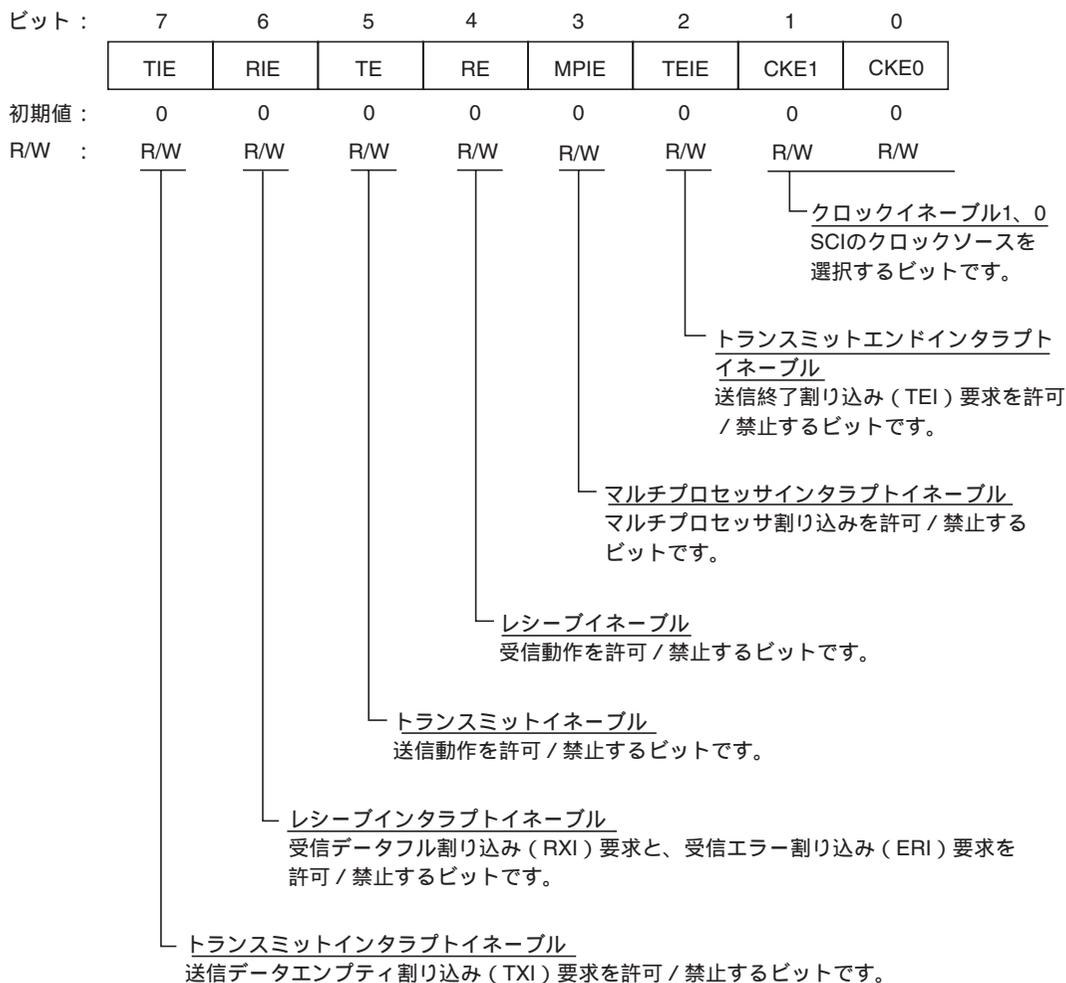
内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定により ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「12.2.8 ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

12.2.6 シリアルコントロールレジスタ (SCR)

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。



SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み（TXI）要求の発生を許可 / 禁止します。

ビット7	
TIE	説 明
0	送信データエンプティ割り込み（TXI）要求の禁止* (初期値)
1	送信データエンプティ割り込み（TXI）要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求の発生を許可 / 禁止します。

ビット6	
RIE	説 明
0	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を禁止* (初期値)
1	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	
TE	説 明
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *¹ SSR の TDRE フラグは 1 に固定されます。

*² この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを0にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが1に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいはMPビットが0のときにはMPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の実受信動作をします） (初期値) [クリア条件] (1) MPIE ビットを0にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み（RXI）要求、受信エラー割り込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求の発生（SCR の TIE、RIE ビットが1にセットされている場合）と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み（TEI）要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み（TEI）要求を禁止* (初期値)
1	送信終了割り込み（TEI）要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから1をリードした後、0にクリアして TEND フラグを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMR の SMIF ビットによって切り替ります。

(a) シリアルコミュニケーションインタフェースのとき (SCMR の SMIF ビットが 0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを設定する前に CKE1、CKE0 ビットを設定してください。

SCI のクロックソースの選択についての詳細は表 12.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート*1
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*1
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

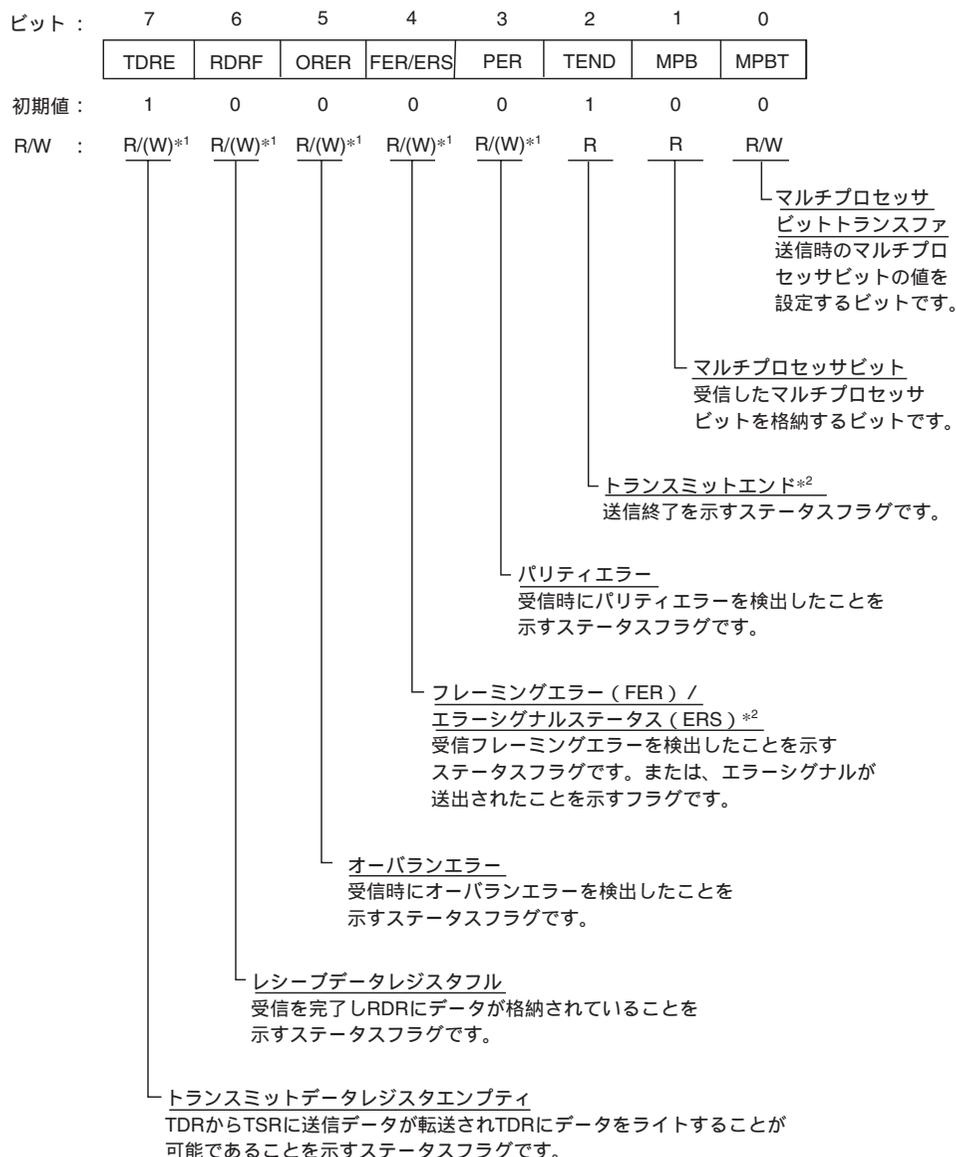
(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

CKE1 ビットと CKE0 ビットおよび SMR の GM ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするかが決まります。

SMR	ビット 1	ビット 0	説 明
GM	CKE1	CKE0	
0	0	0	SCK 端子は入出力ポート (初期値)
		1	SCK 端子はクロック出力
1	0	0	SCK 端子は Low レベル出力固定
		1	SCK 端子はクロック出力
	1	0	SCK 端子は High レベル出力固定
		1	SCK 端子はクロック出力

12.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。



【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは機能が異なります。

SSR は常に CPU からリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグ、および MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、またはスタンバイモード時に H'84 に初期化されます。

ビット 7 : トランスミットデータレジスタエンpty (TDRE)

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データがライトされていることを表示 [クリア条件] TDRE=1 の状態をリードした後、0 をライトしたとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われて TDR にデータライトが可能になったとき

ビット 6 : レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット 6	説明
RDRF	
0	RDR に受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF=1 の状態をリードした後、0 をライトしたとき
1	RDR に受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示 [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER=1の状態をリードした後、0をライトしたとき (初期値)* ¹
1	受信時にオーバランエラーが発生したことを表示* ² [セット表示] RDRF=1の状態での次のシリアル受信を完了したとき

【注】 *¹ SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。

*² RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信を受けることもできません。

ビット4：フレーミングエラー（FER） / エラーシグナルステータス（ERS）

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMRのSMIFビットによって切り替わります。

(a) シリアルコミュニケーションインタフェースのとき（SCMRのSMIFビットが0）

調歩同期モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示。 [クリア条件] (1) リセット、またはスタンバイモードとき (2) FER=1の状態をリードした後、0をライトしたとき (初期値)* ¹
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCIが受信終了時に受信データの最終尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *¹ SCRのREビットを0にクリアしたときには、FERフラグは影響をうけずに以前の状態を保持します。

*² 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判断し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることができません。また、クロック同期モードでは、シリアル送信も続けることができません。

(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値)* [クリア条件] (1) リセット、またはスタンバイモード時 (2) ERS=1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送信されたことを表示 [セット条件] エラーシグナル Low レベルをサンプリングしたとき

【注】 * SCR の TE ビットを 0 にクリアしたときには、ERS フラグは影響を受けずに以前の状態を保持します。

ビット 3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティが発生して異常終了したことを示します。

ビット 3	説明
PER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER=1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生したことを表示*2 [セット条件] 受信時の受信データとパリティビットをあわせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けずに以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 2 : トランスミットエンド (TEND)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMR の SMIF ビットによって切り替わります。

(a) シリアルコミュニケーションインタフェースのとき (SCMR の SMIF ビットが 0)

送信キャラクタの最終尾の送信時に TDR に有効なデータがなく、送信を終了したことを示します。TEND フラグはリード専用ですので、ライトすることはできません。

ビット 2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモードのとき (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。TEND フラグはリード専用ですので、ライトすることはできません。

ビット 2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモードのとき (2) SCR の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタ送信終了 2.5etu 後 (GM=0 のとき) / 1.0etu 後 (GM=1 のとき) に TDRE=1 かつ FER/ERS ビット=0 (正常送信) のとき

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

ビット 1 : マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット 1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信できないときにはMPBTビットの設定は無効です。

ビット0	
MPBT	説 明
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

12.2.8 ビットレートレジスタ（BRR）

BRR は、SMR の CKS1、CKS0 ビットで選択されるポーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

なお、チャンネルごとにポーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 12.3 に調歩同期式モードの BRR の設定例を、表 12.4 にクロック同期式モードの BRR の設定例を示します。

表 12.3 ビットレートに対する BRR の設定例 (調歩同期モード)

ビットレート (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00	-	-	-

ビットレート (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

12. SCI

ビットレート (bit/s)	ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	- 6.99

ビットレート (bit/s)	ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

ビット レート (bit/s)	ϕ (MHz)																	
	13			14			14.7456			16			18			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	230	-0.08	2	248	-0.17	3	64	0.70	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	168	0.16	2	181	0.16	2	191	0.00	2	207	0.16	2	233	0.16	3	64	0.16
300	2	84	-0.43	2	90	0.16	2	95	0.00	2	103	0.16	2	116	0.16	2	129	0.16
600	1	168	0.16	1	181	0.16	1	191	0.00	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	84	-0.43	1	90	0.16	1	95	0.00	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	168	0.16	0	181	0.16	0	191	0.00	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	84	-0.43	0	90	0.16	0	95	0.00	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	41	0.76	0	45	-0.93	0	47	0.00	0	51	0.16	0	58	-0.69	0	64	0.16
19200	0	20	0.76	0	22	-0.93	0	23	0.00	0	25	0.16	0	28	1.02	0	32	-1.36
31250	0	12	0.00	0	13	0.00	0	14	-1.70	0	15	0.00	0	17	0.00	0	19	0.00
38400	0	10	-3.82	0	10	3.57	0	11	0.00	0	12	0.16	0	14	-2.34	0	15	1.73

ビット レート (bit/s)	ϕ (MHz)		
	25		
	n	N	誤差 (%)
110	3	110	-0.02
150	3	80	-0.47
300	2	162	0.15
600	2	80	-0.47
1200	1	162	0.15
2400	1	80	-0.47
4800	0	162	0.15
9600	0	80	-0.47
19200	0	40	-0.76
31250	0	24	0.00
38400	0	19	1.73

表 12.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	φ (MHz)																	
	2		4		8		10		13		16		18		20		25	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	202	3	249	-	-	-	-	-	-
500	1	249	2	124	2	249	-	-	3	101	3	124	3	140	3	155	-	-
1k	1	124	1	249	2	124	-	-	2	202	2	249	3	69	3	77	3	97
2.5k	0	199	1	99	1	199	1	249	2	80	2	99	2	112	2	124	2	155
5k	0	99	0	199	1	99	1	124	1	162	1	199	1	224	1	249	2	77
10k	0	49	0	99	0	199	0	249	1	80	1	99	1	112	1	124	1	155
25k	0	19	0	39	0	79	0	99	0	129	0	159	0	179	0	199	0	249
50k	0	9	0	19	0	39	0	49	0	64	0	79	0	89	0	99	0	124
100k	0	4	0	9	0	19	0	24	-	-	0	39	0	44	0	49	0	62
250k	0	1	0	3	0	7	0	9	0	12	0	15	0	17	0	19	0	24
500k	0	0*	0	1	0	3	0	4	-	-	0	7	0	8	0	9	-	-
1M			0	0*	0	1	-	-	-	-	0	3	0	4	0	4	-	-
2M					0	0*	-	-	-	-	0	1	-	-	-	-	-	-
2.5M					-	-	0	0*	-	-	-	-	-	-	-	-	-	-
4M											0	0*	-	-	-	-	-	-

【記号説明】

- 空欄 : 設定できません。
 - : 設定可能ですが誤差がでます。
 * : 連続送信 / 受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- B : ビットレート (bit/s)
 N : ボーレートジェネレータの BRR の設定値 (0 N 255)
 φ : 動作周波数 (MHz)
 n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
 (n とクロックの関係は下表を参照してください。)

n	クロック	SMRの設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 12.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 12.6、表 12.7 に外部クロック入力時の最大ビットレートを示します。

表 12.5 各周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
20	625000	0	0
25	781250	0	0

表 12.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
20	5.0000	312500
25	6.2500	390625

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7

12.3 動作説明

12.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。また、IC カードインタフェース用シリアル通信機能として、スマートカードインタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースでの調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 12.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 12.9 に示します。

LSB ファースト / MSB ファーストの切り替え方法およびデータのロジックレベルの反転方法の詳細については、「13.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

また、スマートカードモードインタフェースのフォーマットの選択は「13.3.3 データフォーマット」を参照してください。

(1) 調歩同期式モード

データ長 : 7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定) 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース : 内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット : 8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース : 内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合 : 内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

(3) スマートカードインタフェース

1 フレームは、8 ビットデータとパリティビットで構成されます。

送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。

受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後エラーシグナル Low レベルを 1etu 期間出力します。

送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信しません。

調歩同期式非同期通信機能のみをサポートし、クロック同期式通信機能はありません。

スマートカードインタフェースの動作説明の詳細については、「第 13 章 スマートカードインタフェース」を参照してください。

表 12.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット				
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセ ッサビット	パリティ ビット	ストップ ビット長	
C/A	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式モード	8 ビットデータ	なし	なし	1 ビット	
				1					2 ビット	
			1	0					あり	1 ビット
				1					2 ビット	
			1	0					なし	1 ビット
				1					あり	1 ビット
	1	0	1	-		調歩同期式モード (マルチプロ セッサフォー マット)	8 ビットデータ	あり	なし	1 ビット
				1						2 ビット
		1		-			7 ビットデータ			1 ビット
				1			2 ビット			
		1		-			7 ビットデータ			1 ビット
				1			2 ビット			
1	-	-	-	クロック同期式 モード	8 ビットデータ		なし	なし	なし	

表 12.9 SMR、SCR の設定と SCI クロックソースの選択

SMR ビット7	SCR の設定		モード	SCI 送信 / 受信クロック	
	ビット1	ビット0		クロックソース	SCK 端子の機能
C/A	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを 入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

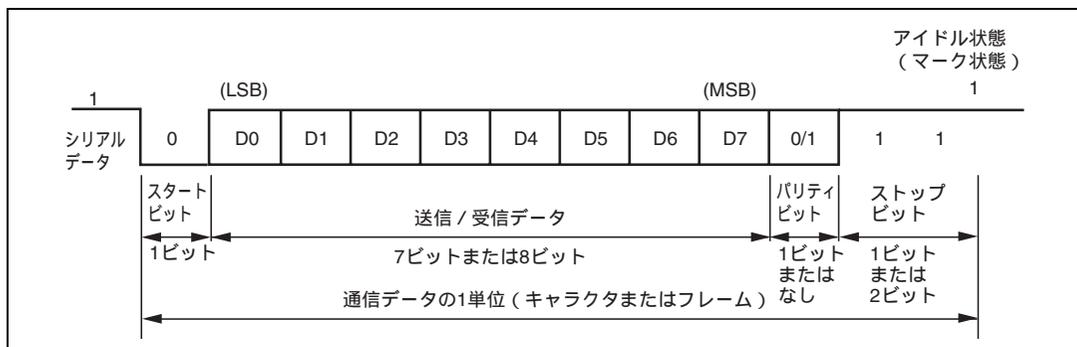


図 12.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 12.10 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 12.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースについては表12.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図12.3に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

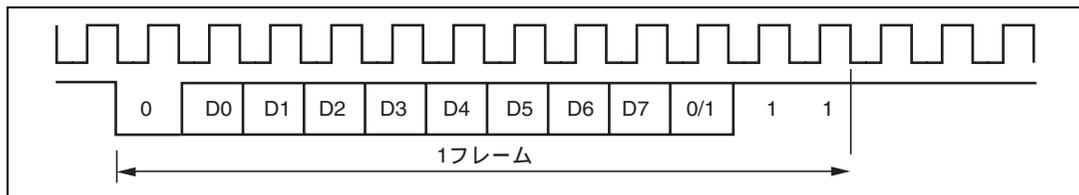


図 12.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信 / 受信動作

(a) SCIの初期化（調歩同期式）

データの送信 / 受信前には、まずSCRのTE、REビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは1にセットされ、TSRが初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグおよび、RDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 12.4 に SCI の初期化フローチャートの例を示します。

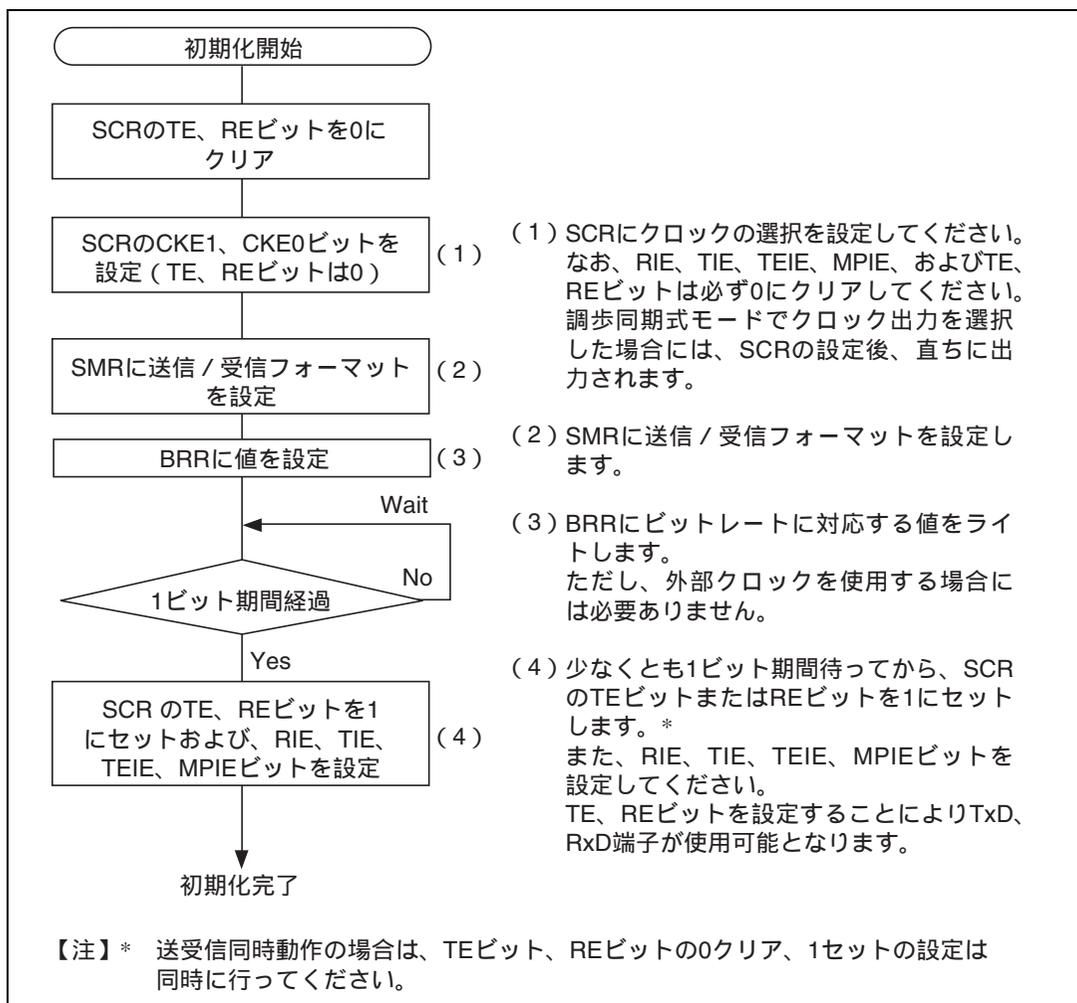


図 12.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 12.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

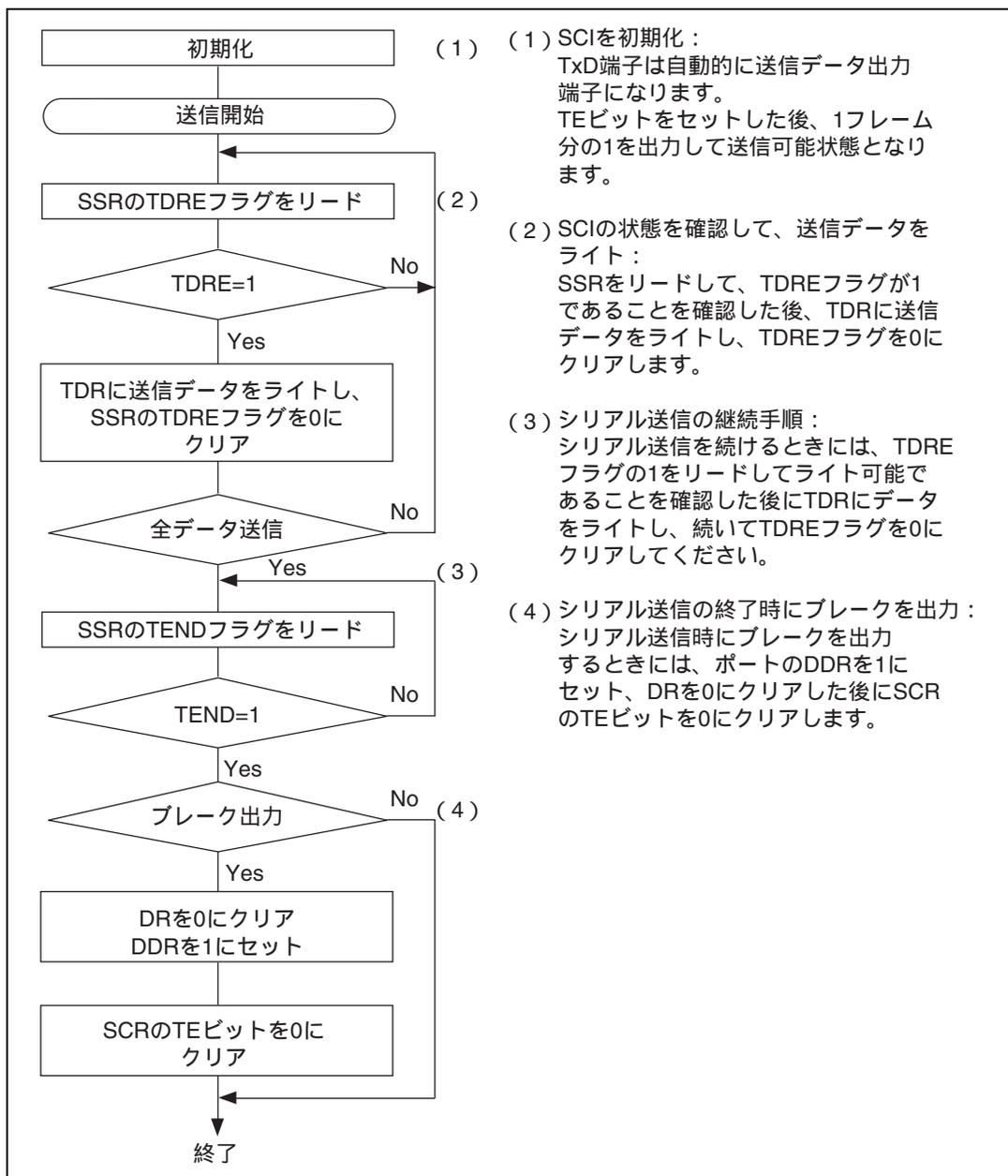


図 12.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビット/2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する"マーク状態"になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 12.6 に示します。

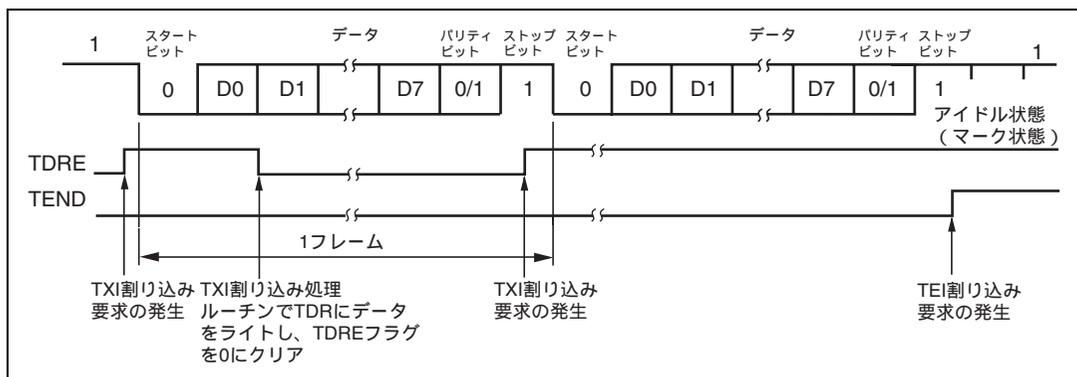


図 12.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 12.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

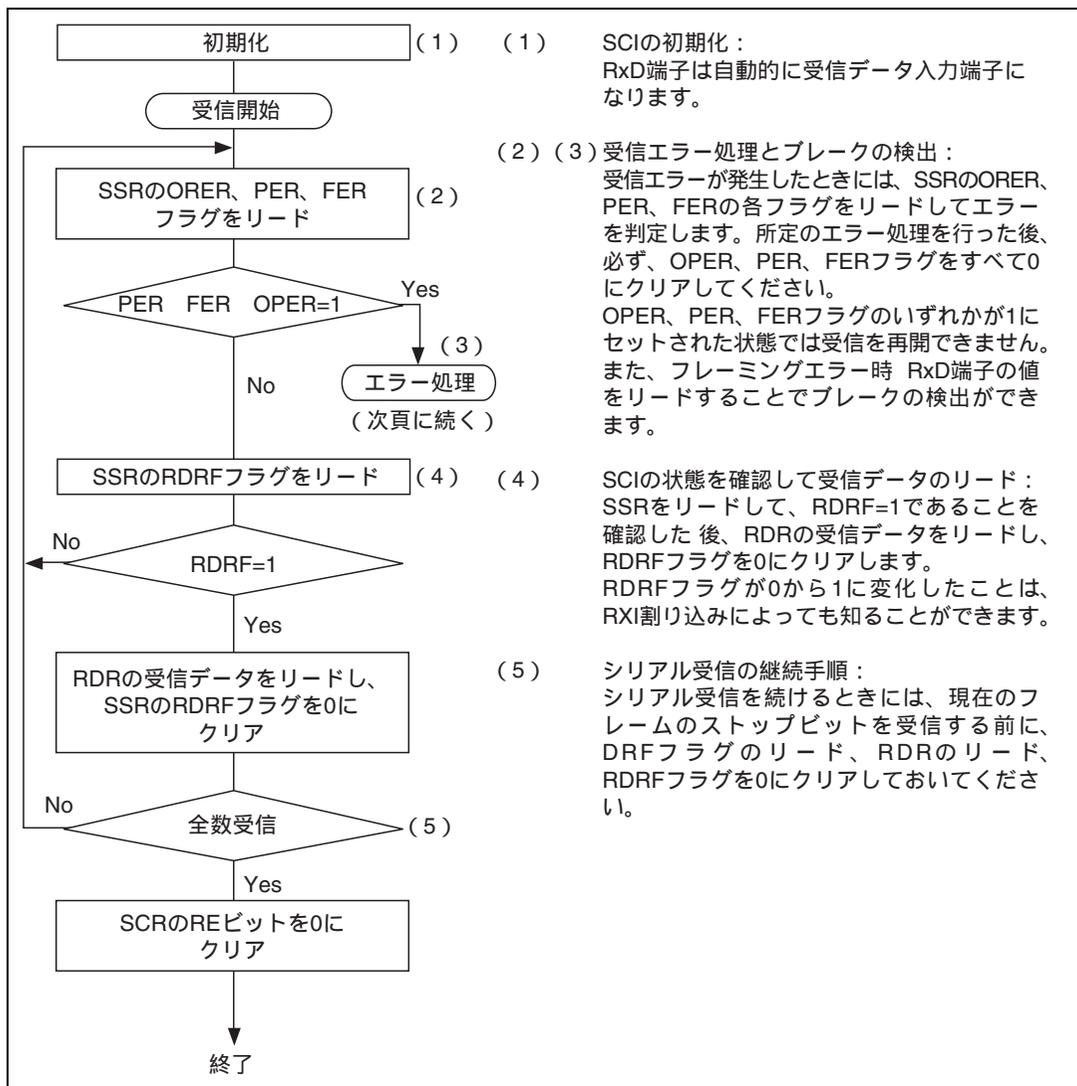


図 12.7 シリアル受信データフローチャートの例 (1)

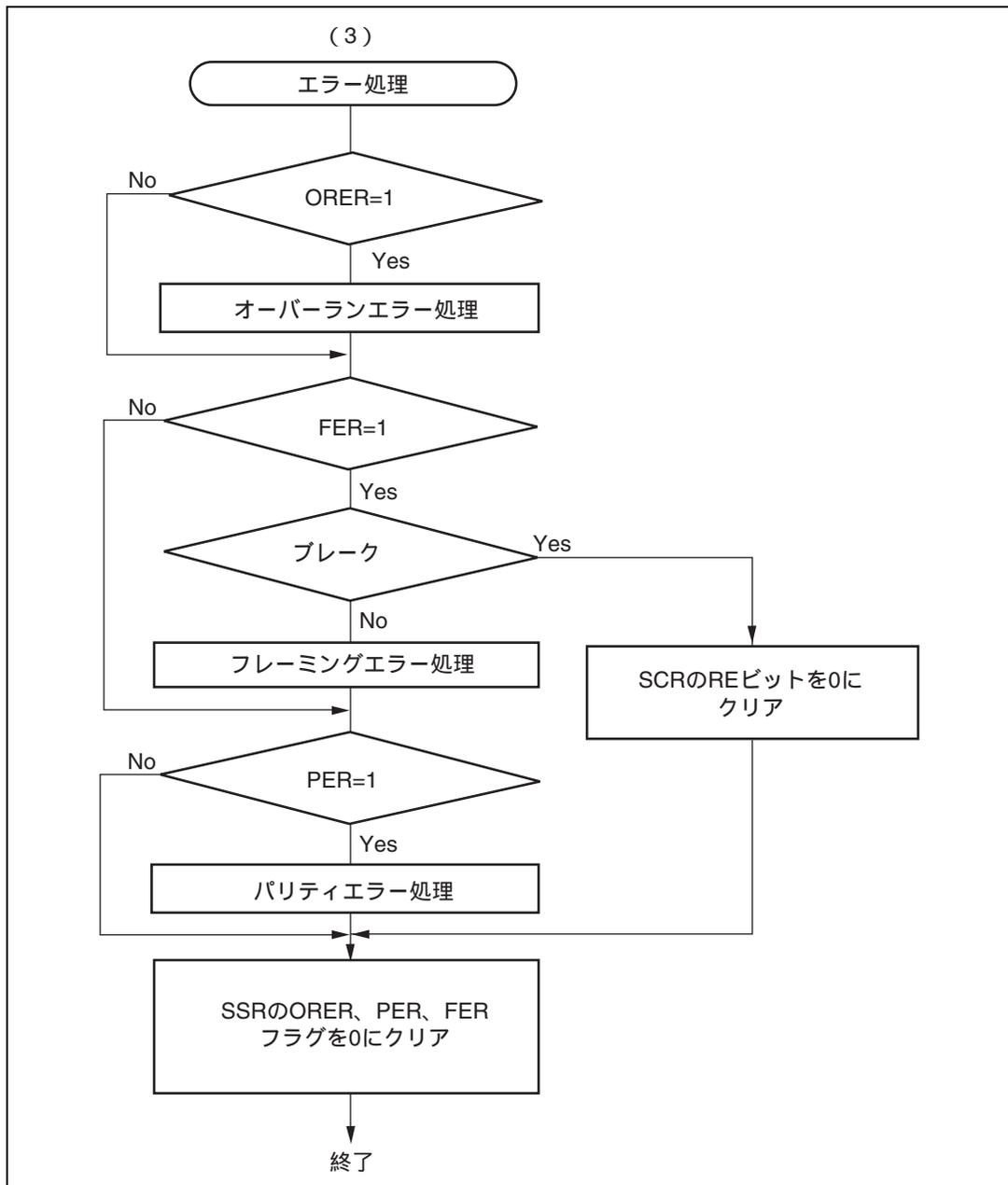


図 12.7 シリアル受信データフローチャートの例 (2)

SCIは受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがSMRのO \bar{E} ビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが1にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー*を発生すると表12.11のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRFフラグが1になったときSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが 1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 12.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	RSRからRDRに受信データは転送されます。
パリティエラー	PER	SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されません。

調歩同期式モード受信時の動作例を図 12.8 に示します。

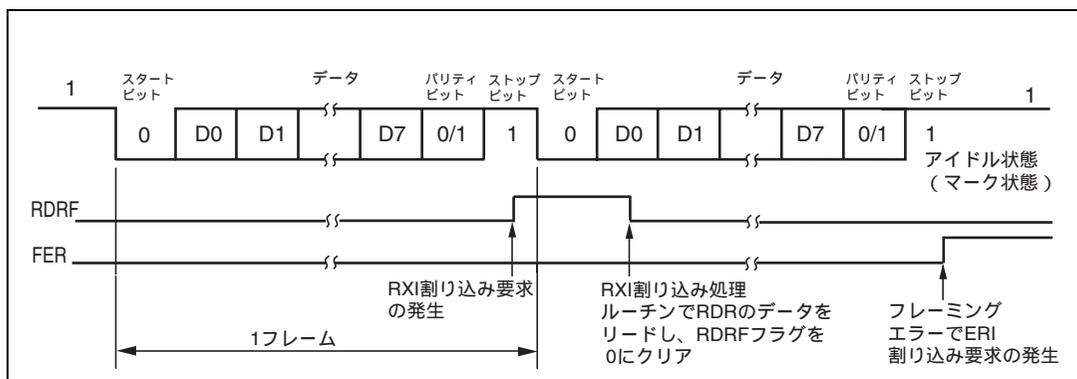


図 12.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 12.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

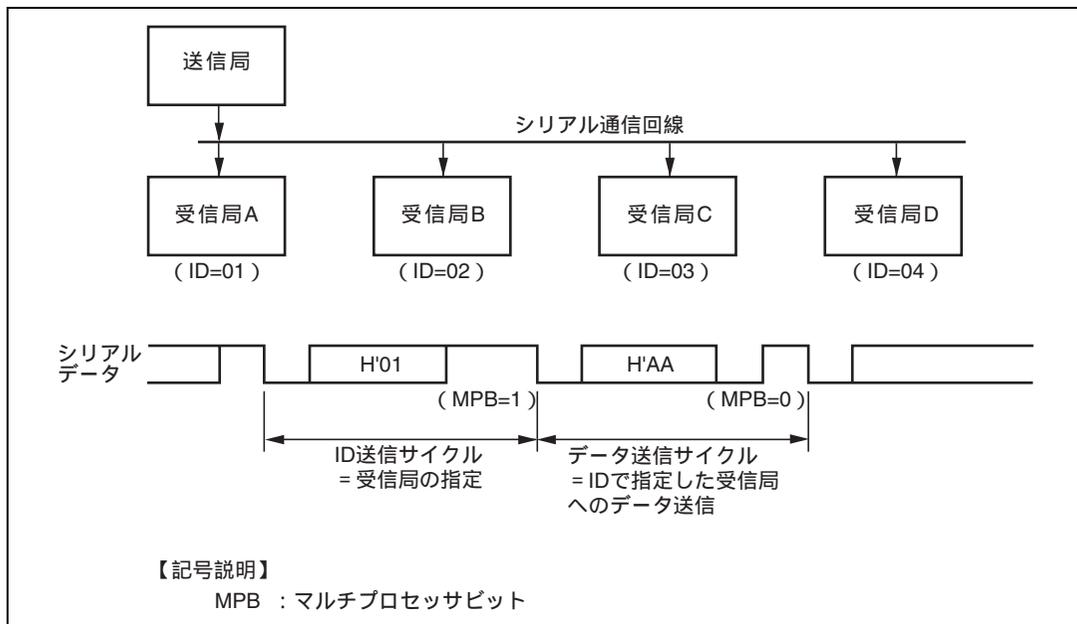


図 12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 12.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

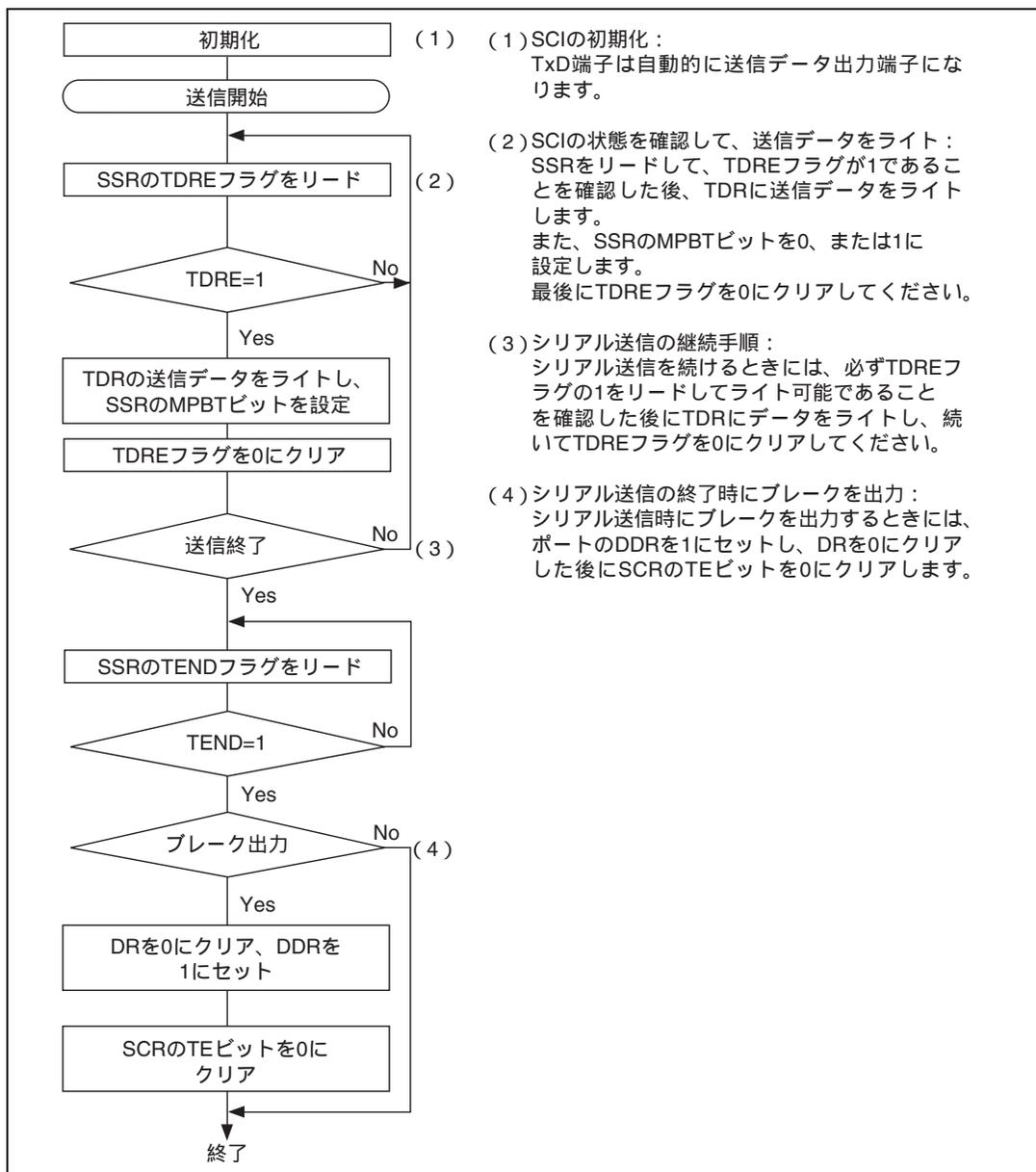


図 12.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット / 7ビットのデータがLSB から順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - (d) ストップビット：1ビット / 2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが 1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図12.11にマルチプロセッサフォーマットのSCIの送信時の動作例を示します。

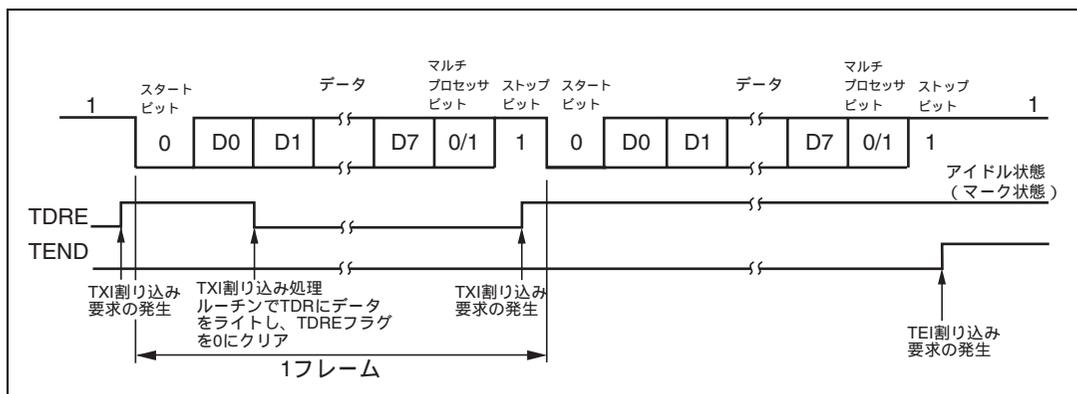


図 12.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 12.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

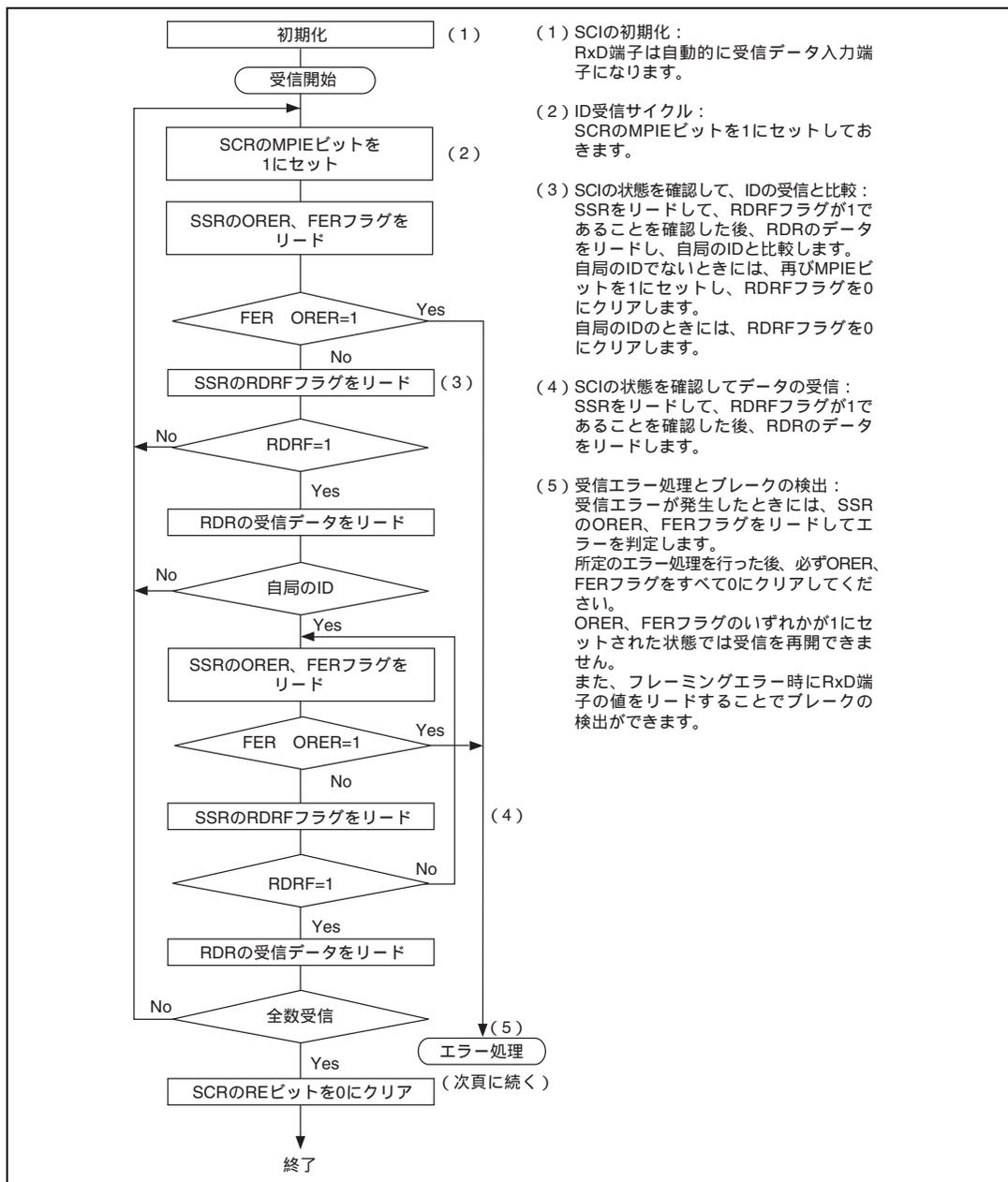


図 12.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

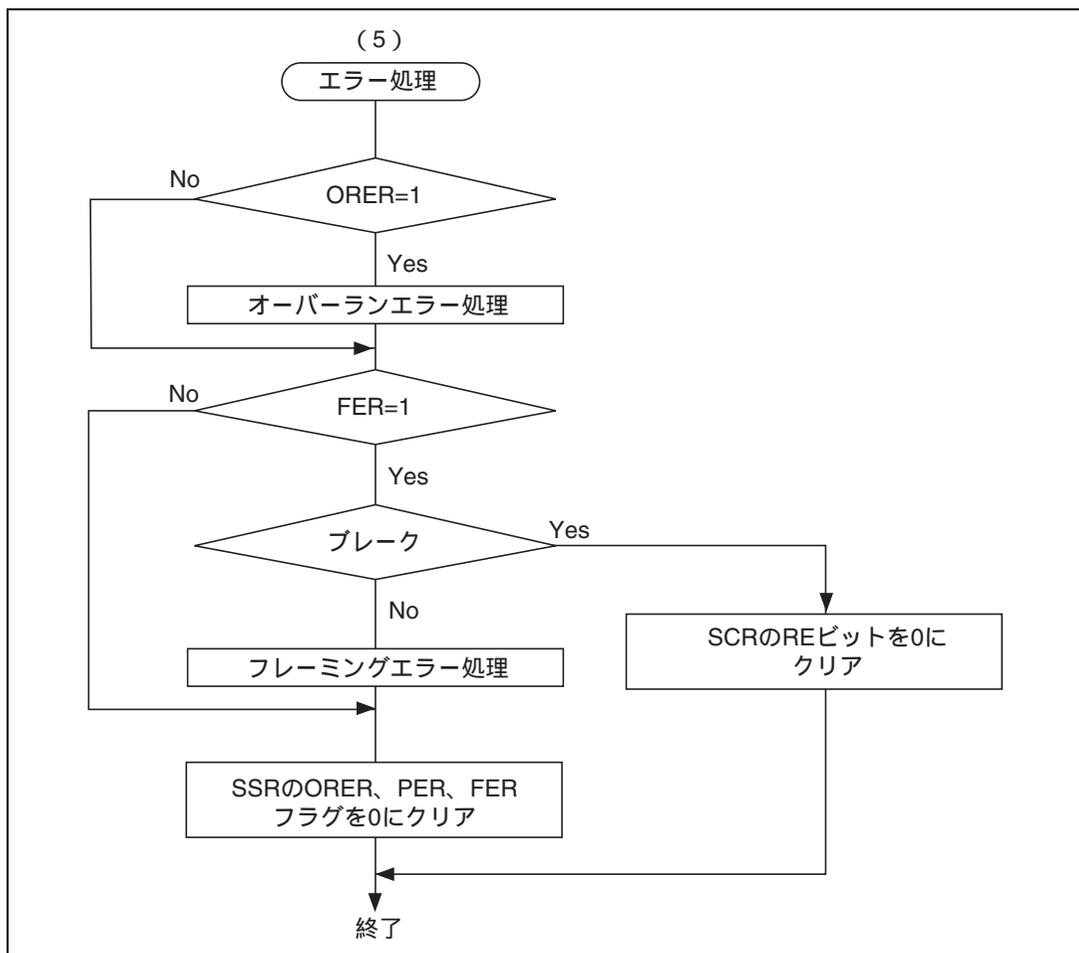


図 12.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 12.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

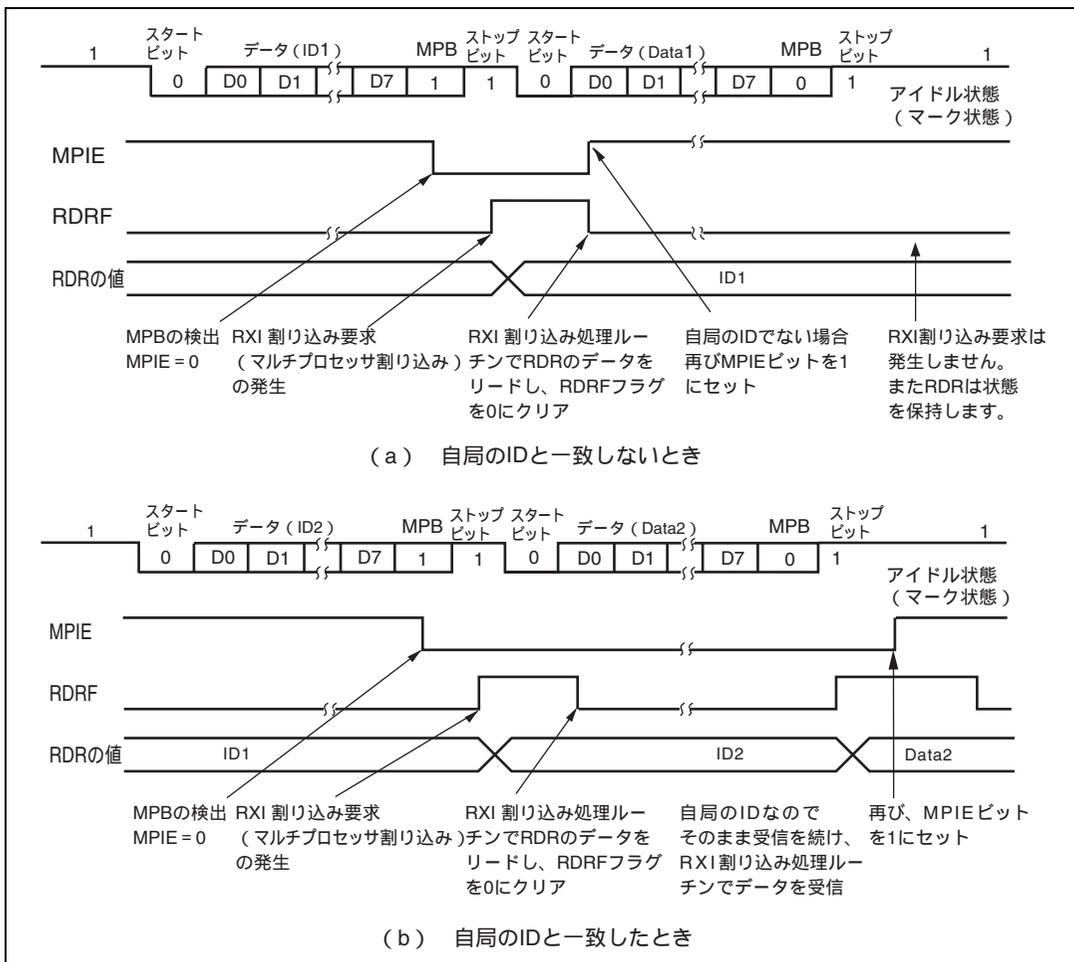


図 12.13 SCI の受信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

12.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.14 に示します。

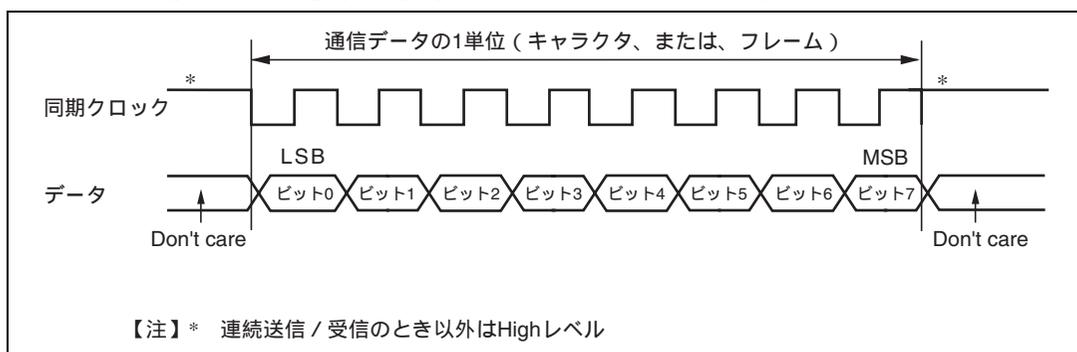


図 12.14 クロック同期式通信データフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表12.6を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 12.15 に SCI の初期化フローチャートの例を示します。

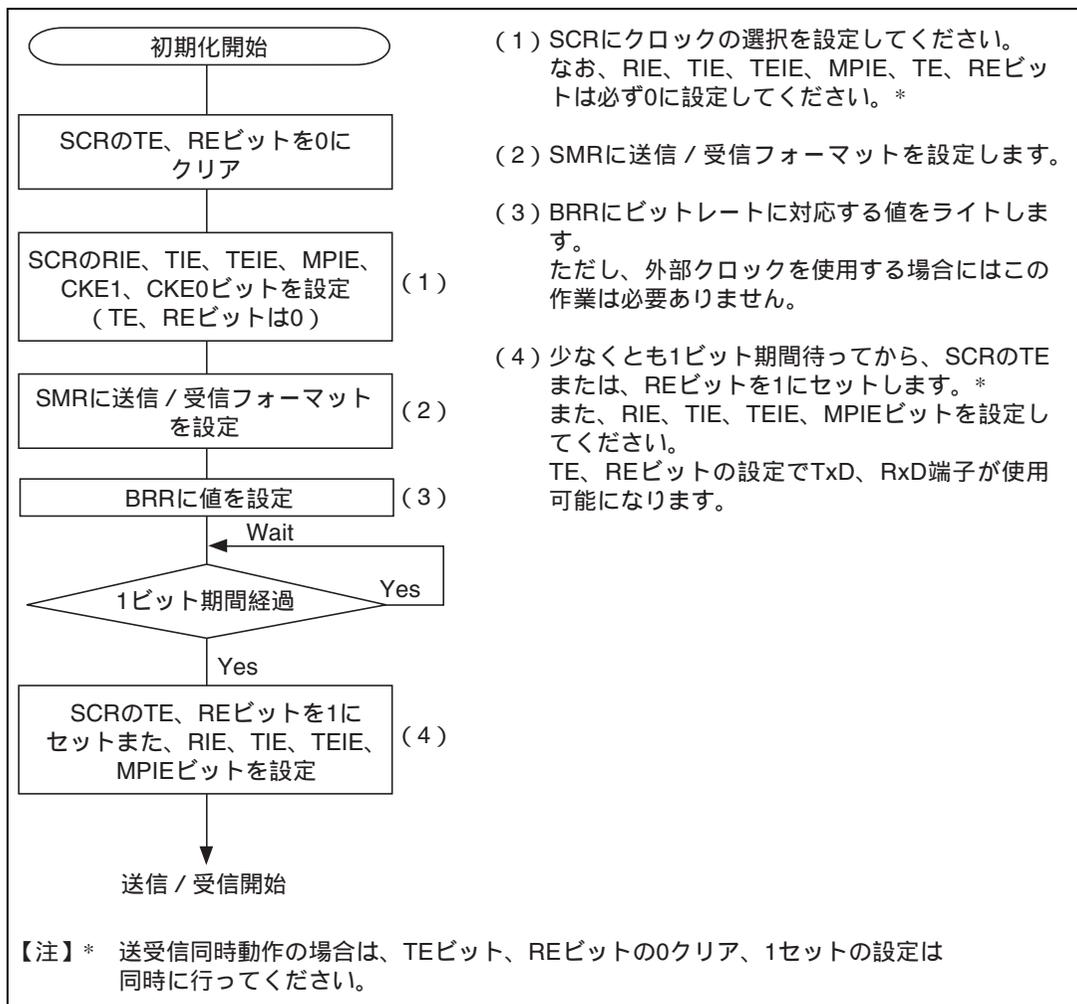


図 12.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 12.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

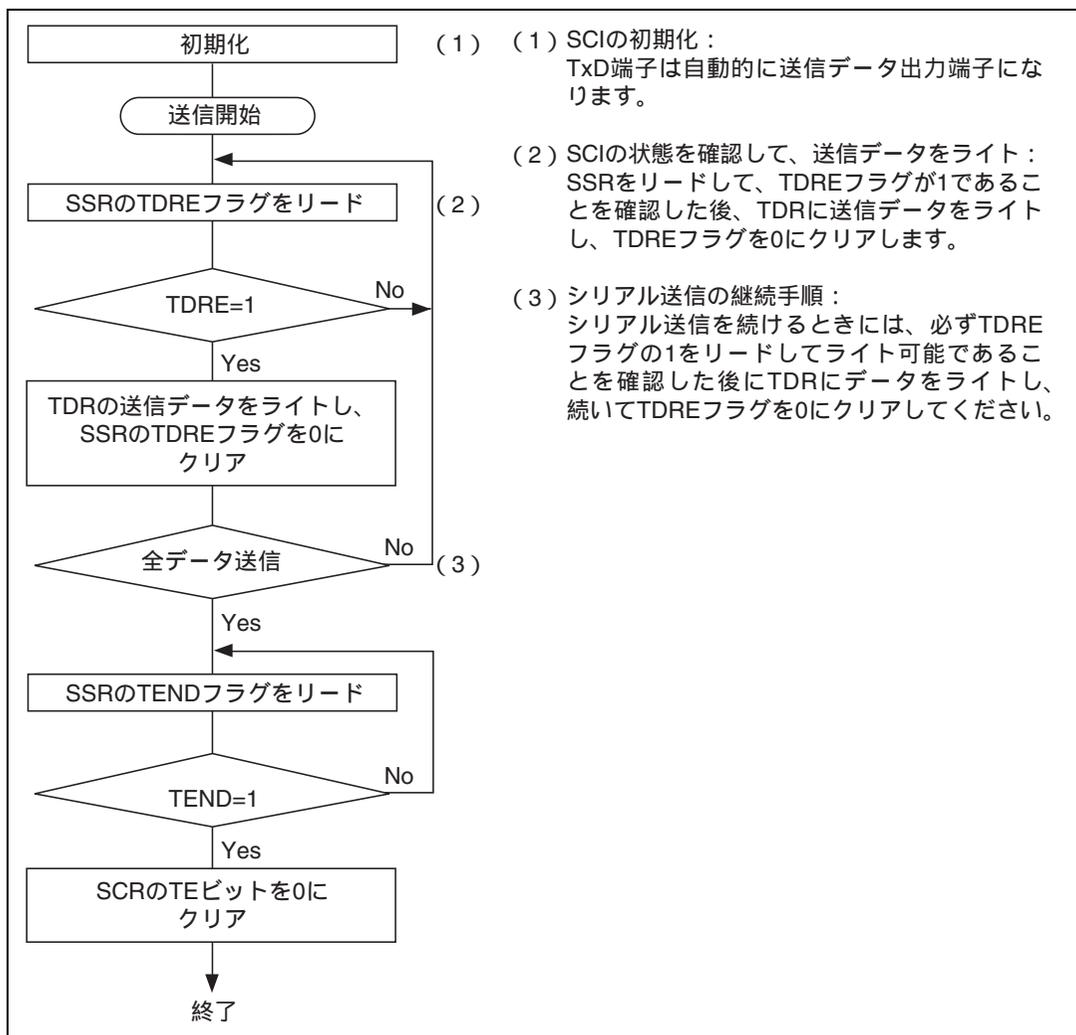


図 12.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIはSSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB（ビット0）～MSB（ビット7）の順にTxD端子から送り出されます。

- (3) SCIは、MSB（ビット7）を送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB（ビット7）を送り出した後、TxD端子は状態を保持します。このときSCRのTEIEビットが1にセットされていると送信終了割り込み（TEI）要求を発生します。
- (4) シリアル送信終了後は、SCK端子は固定になります。

図 12.17 に SCI の送信時の動作例を示します。

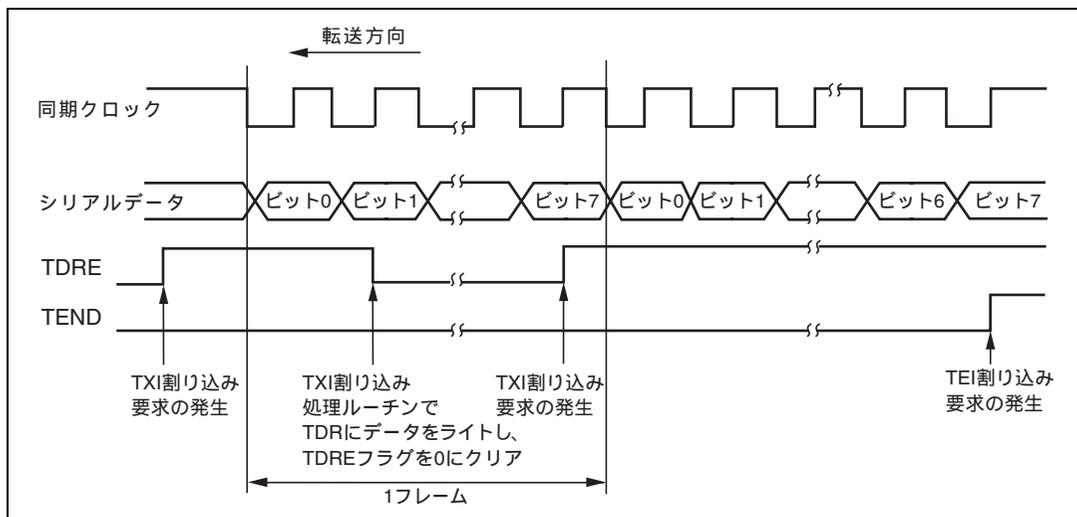


図 12.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 12.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信 / 受信動作が行えません。

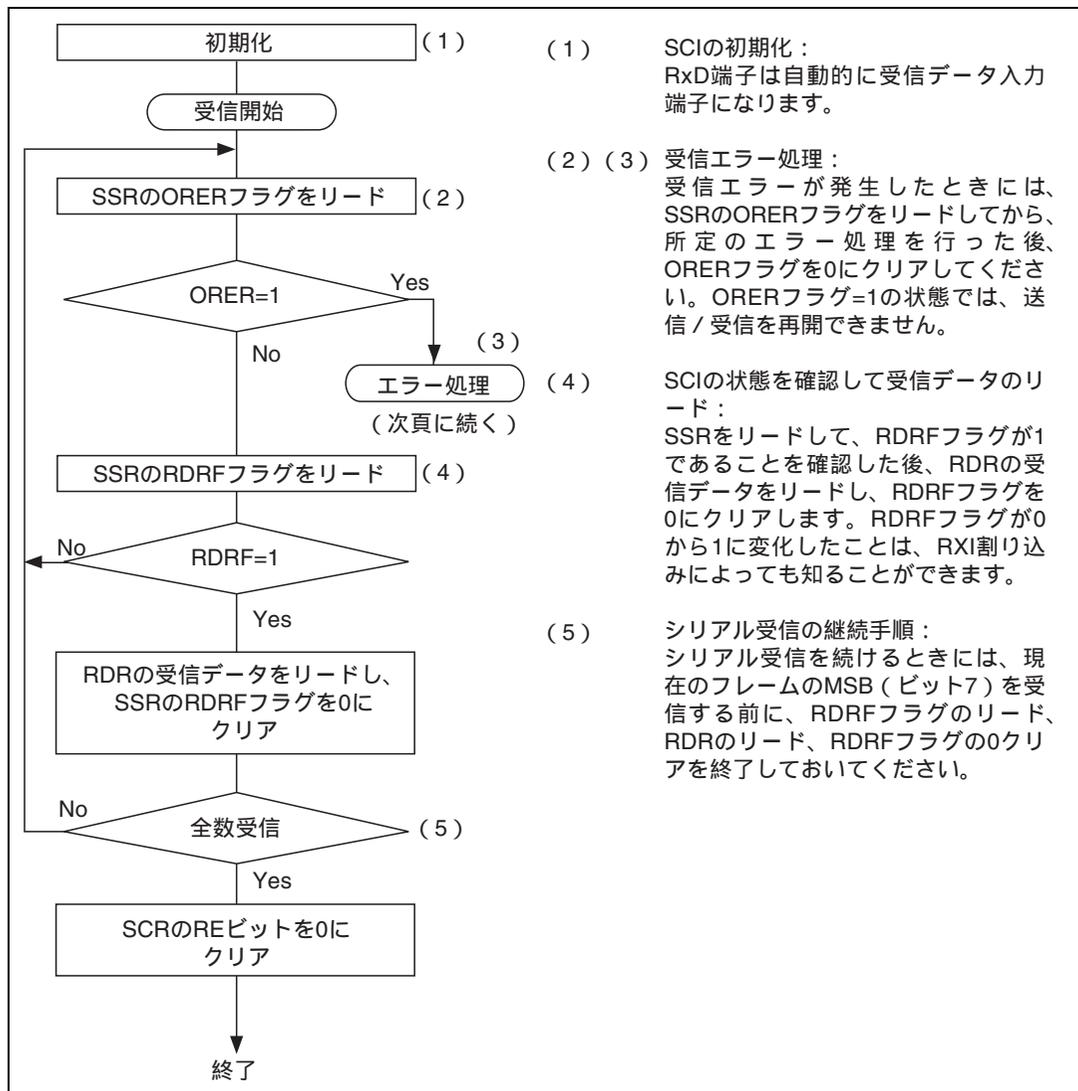


図 12.18 シリアルデータ受信フローチャートの例 (1)

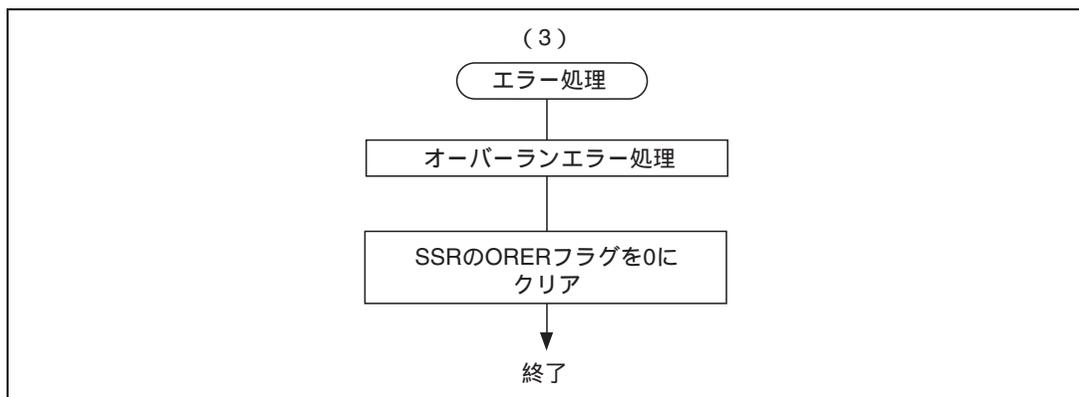


図 12.18 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して受信動作を行います。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であることをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表12.11のように動作します。
エラーチェックで受信エラーを発生した状態では以後の送信、受信動作ができません。
- (3) RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 12.19 に SCI の受信時の動作例を示します。

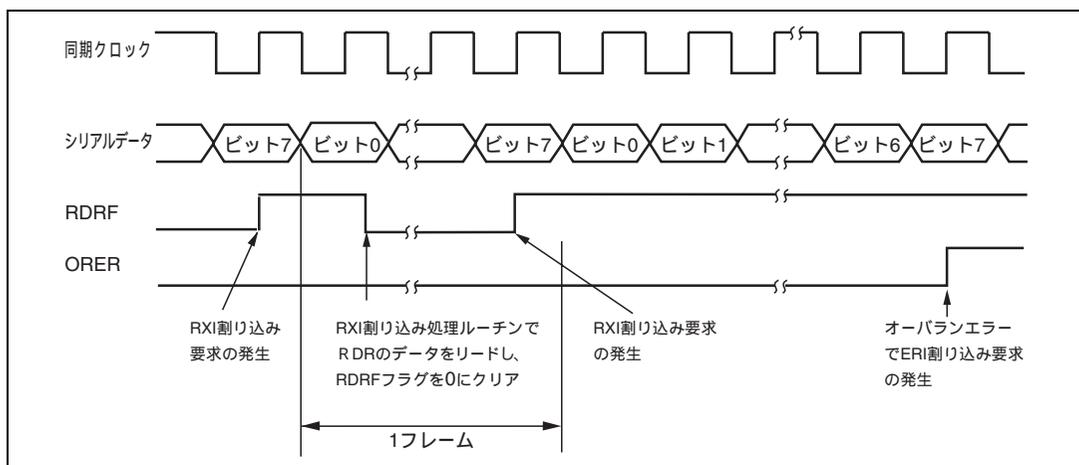


図 12.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作（クロック同期式）

図 12.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従い行ってください。

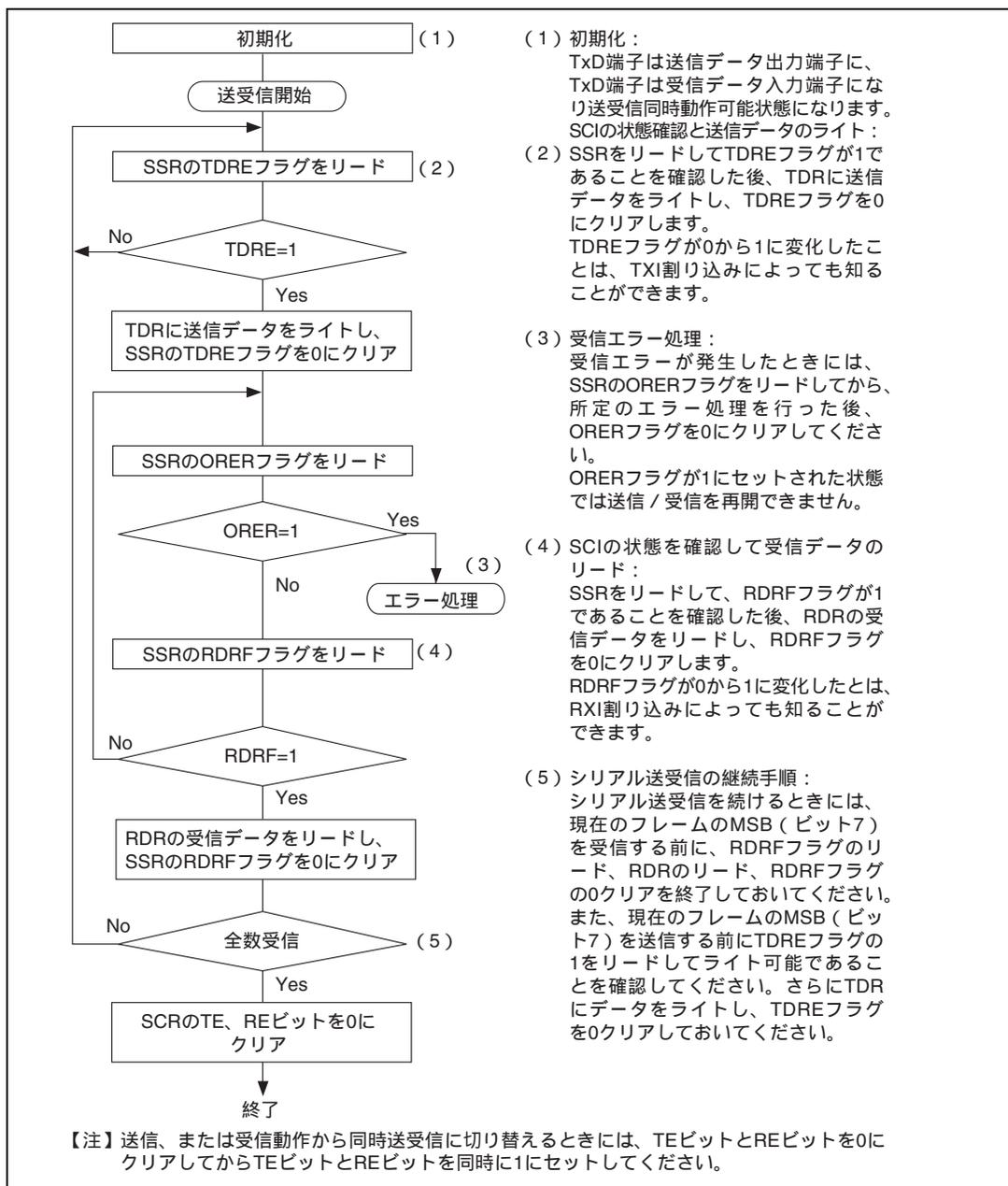


図 12.20 シリアル送受信同時動作のフローチャートの例

12.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 12.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可/禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると ERI 割り込み要求が発生します。

表 12.12 SCI 割り込み要因

割り込み要因	内容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高
RXI	受信データフル (RDRF) による割り込み	↑ 低
TXI	送信データエンプティ (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

12.5 使用上の注意

12.5.1 SCI を使用する際の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 12.13 のようになります。また、オーバーランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 12.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	受信エラーの状態
RDRF	ORER	FER	PER	RSR→RDR	
1	1	0	0	x	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	x	オーバランエラー + フレーミングエラー
1	1	0	1	x	オーバランエラー + パリティエラー
0	0	1	1		フレーミングエラー + パリティエラー
1	1	1	1	x	オーバランエラー + フレーミング エラー + パリティエラー

【記号説明】

: RSR→RDR に受信データを転送します。

x : RSR→RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期モードの受信データサンプリングタイミングと受信マージン

調歩同期モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 12.21 に示します。

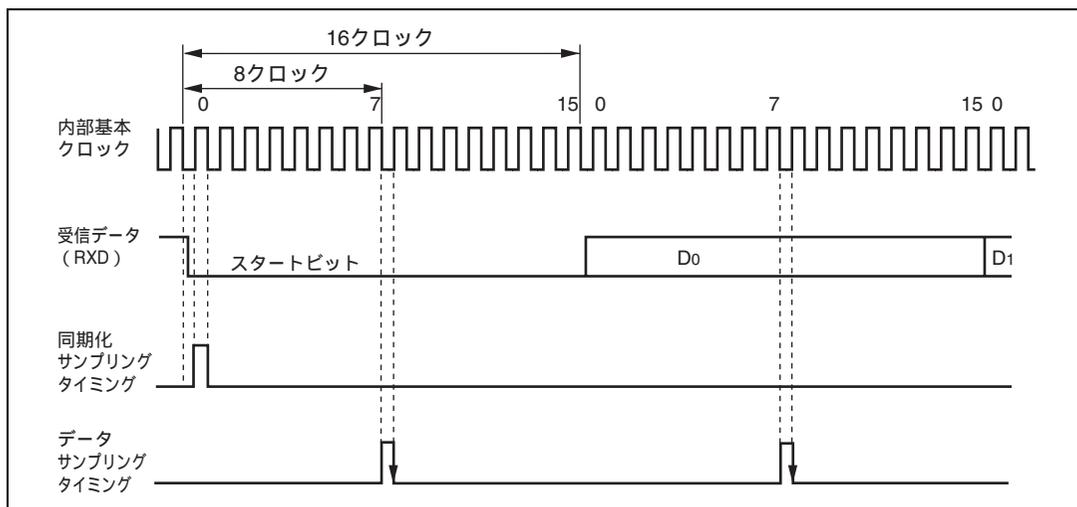


図 12.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right) \right| \times 100\% \quad \dots\dots\dots \text{式(1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N=16)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長 (L=9~12)
- F : クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5とすると、受信マージンは式(2)より46.875%となります。

$$\begin{aligned} & D = 0.5、F = 0 \text{ のとき} \\ M &= \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ &= 46.875\% \quad \dots\dots\dots \text{式(2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) 外部クロックソース使用上の制約事項

同期クロックに外部クロックソースを使用する場合、TDRの更新後、 ϕ クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4ステート以内に送信クロックを入力すると、誤動作することがあります。(図 12.22)

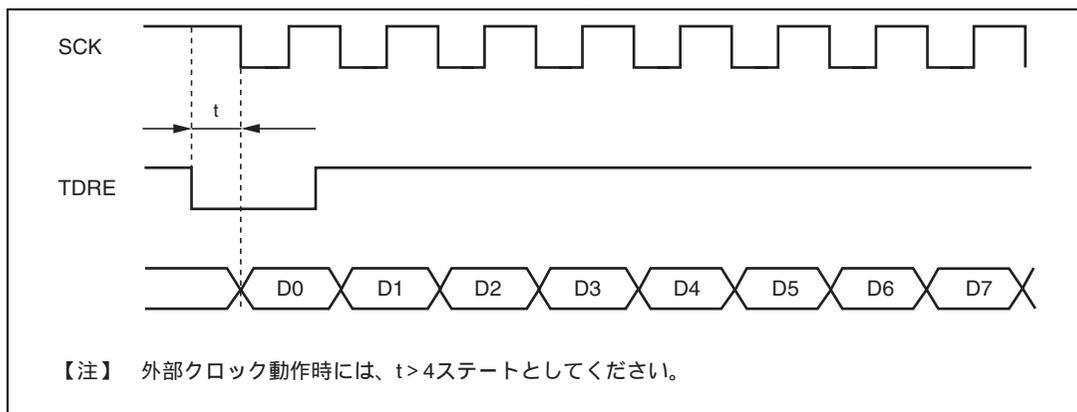


図 12.22 クロック同期式送信時の例

(8) SCK 端子からポート端子へ切り替えるときの注意事項

(1) 動作現象

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1の状態(クロック同期式モード)において、以下の設定でSCK端子機能を出力ポート機能(High出力)に切り替える際、半サイクルのLow出力が発生します。

1. シリアルデータ送信終了
2. TE ビット = 0
3. C/\bar{A} ビット = 0 ... ポート出力に切り替え
4. Low 出力発生(図 12.23 参照)

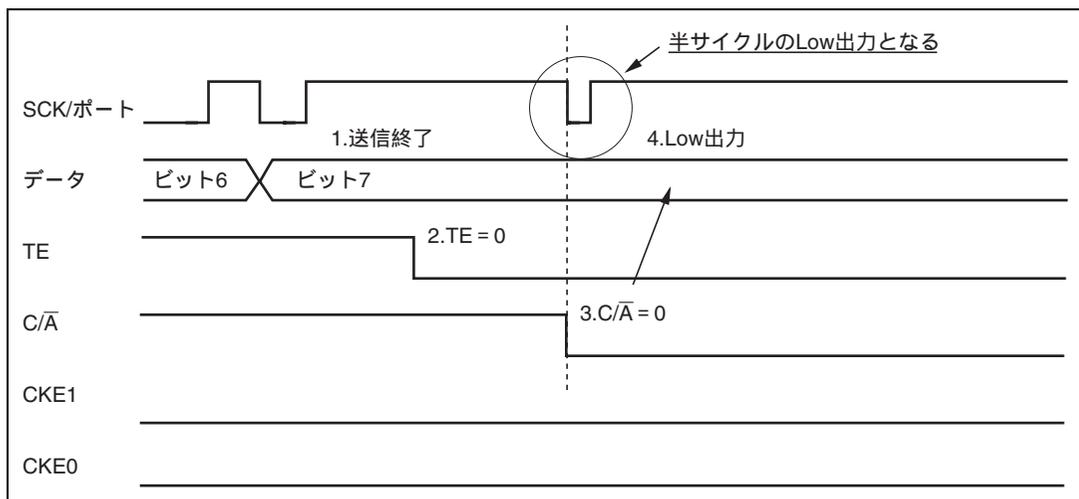


図 12.23 SCK 端子からポート端子へ切り替えるときの動作

(2) Low出力を回避する手順例

本手順例は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路で Pull-upしてください。

DDR = 1、DR = 1、 C/\bar{A} = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1～5の手順で設定してください。

1. シリアルデータ送信終了
2. TE ビット = 0
3. CKE1 ビット = 1
4. C/A ビット = 0 ... ポート出力に切り替え
5. CKE1 ビット = 0

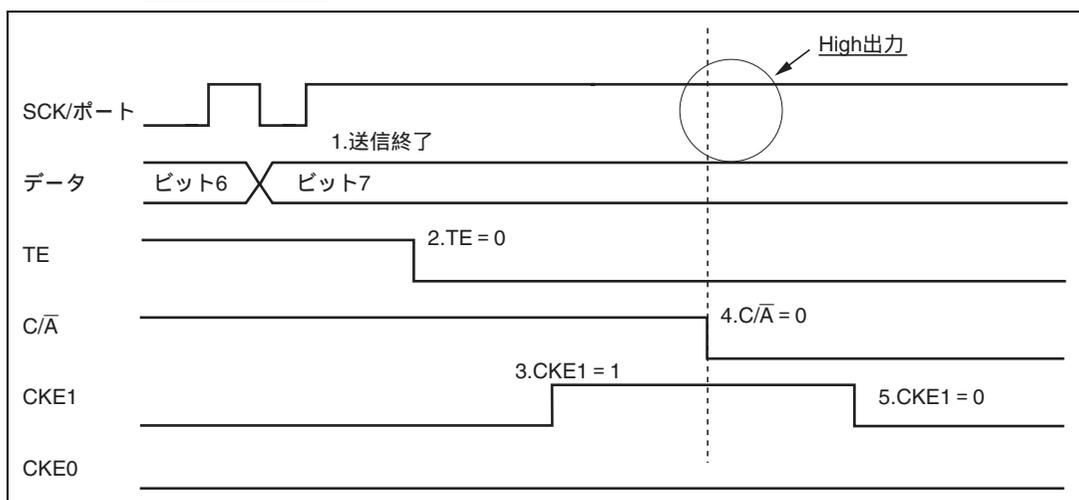


図 12.24 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

13. スマートカードインタフェース

13.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) のキャラクタ伝送に対応した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

13.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

調歩同期式モード

- データ長 : 8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能

13. スマートカードインタフェース

13.1.2 ブロック図

図 13.1 にスマートカードインタフェースのブロック図を示します。

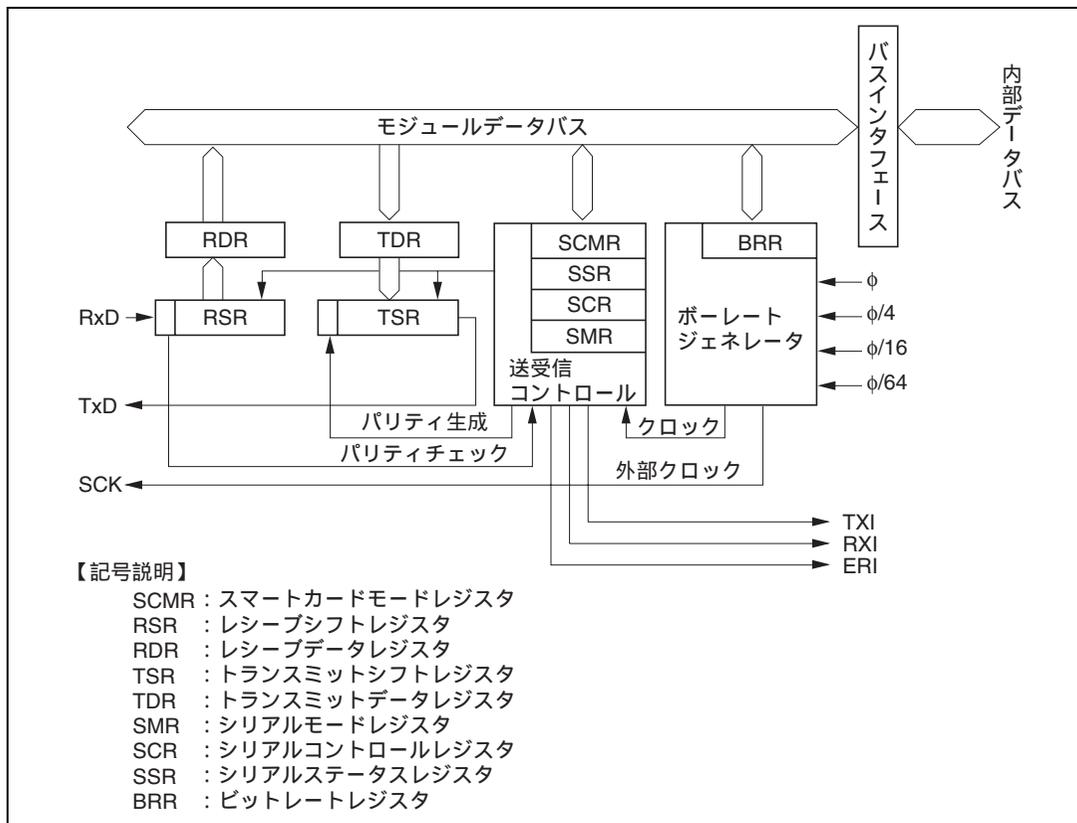


図 13.1 スマートカードインタフェースのブロック図

13.1.3 端子構成

スマートカードインタフェースの端子構成を表 13.1 に示します。

表 13.1 端子構成

名 称	記号	入出力	機 能
シリアルクロック端子	SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	TxD	出力	送信データ出力

13.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 13.2 に示します。BRR、TDR、RDR については、通常の SCI の機能と同様ですので、「第 12 章 SCI」のレジスタの説明を参照してください。

表 13.2 レジスタ構成

チャンネル	アドレス*1	名 称	略称	R/W	初期値
0	H'FFFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFFB5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2
1	H'FFFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB A	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB B	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB C	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFFB D	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB E	スマートカードモードレジスタ	SCMR	R/W	H'F2

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 ビット 7~3 はフラグをクリアするための 0 ライトのみ可能です。

13.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

13.2.1 スマートカードモードレジスタ (SCMR)

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット

リザーブビット

スマートカードインタフェース
モードselect
スマートカードインタフェース
機能を許可/禁止するビット
です。

スマートカードデータインパート
データのロジックレベルの反転を
指定するビットです。

スマートカードデータトランスファディレクション
シリアル/パラレル変換のフォーマットを選択す
るビットです。

SCMR は、リセットまたはスタンバイモード時に、HF2 に初期化されます。

ビット7~4 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット3 : スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。*1

ビット3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット2：スマートカードデータインバート（SINV）

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。^{*2}SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「13.3.4 レジスタの設定」を参照してください。

ビット2	説 明	
SINV		
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納	(初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納	

ビット1：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0：スマートカードインタフェースモードセレクト（SMIF）

スマートカードインタフェース機能をイネーブルにするビットです。

ビット0	説 明	
SMIF		
0	スマートカードインタフェース機能を禁止	(初期値)
1	スマートカードインタフェース機能を許可	

- 【注】 *1 LSB ファースト / MSB ファーストの切り替え機能は、通常のシリアルコミュニケーションインタフェースにおいても使用することができます。
通信フォーマットのデータ長を7ビットとして、送受信するシリアルデータをMSB ファーストとする場合にはTDRのビット0は送信されません。また、受信するデータは7ビット目から1ビット目が有効になりますので注意してください。
- *2 データのロジックレベルの反転機能は、通常のシリアルコミュニケーションインタフェースにおいても使用することができます。
送受信するシリアルデータを反転させる場合には、パリティの送信とパリティのチェックはレジスタの値ではなくシリアルデータ入出力端子のハイレベルの数に対して行われるので、注意してください。

13.2.2 シリアルステータスレジスタ (SSR)

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

トランスミットエンド
送信終了を示すフラグです。

エラーシグナルステータス (ERS)
エラーシグナルが送出されたことを
示すフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

ビット 7~5 :

通常の SCI と同様の動作をします。詳細は「12.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ビット 4 : エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが検出されたことを表示 [セット条件] エラーシグナル Low レベルをサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット3~0:

通常の SCI と同様の動作をします。詳細は「12.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセットまたはスタンバイモード時 (2) SCR の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

13.2.3 シリアルモードレジスタ (SMR)

スマートカードインタフェースモードにおいては、SMR のビット 7 の機能が変更されます。また、これに関連してシリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 の機能も変更されます。

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : GSM モード (GM)

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 で指定します。

ビット7	説明
GM	
0	通常のスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON / OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 11.0 etu のタイミングで発生 (2) クロック出力の ON / OFF、および High / Low 固定制御

13. スマートカードインタフェース

ビット6~0:

通常の SCI と同様の動作をします。詳細は「12.2.5 シリアルモードレジスタ (SMR)」を参照してください。

13.2.4 シリアルコントロールレジスタ (SCR)

スマートカードインタフェースモードにおいては、SCR のビット 1、0 の機能が変更されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7~2:

通常の SCI と同様の動作をします。詳細は「12.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。

ビット 1、0: クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。

スマートカードインタフェースモードにおいては、通常のクロック出力の許可 / 禁止の切り替え、およびクロック出力の High レベル固定と Low レベル固定を指定することができます。

ビット7	ビット1	ビット0	説 明
GM	CKE1	CKE0	
0	0	0	内部クロック / SCK 端子は入出力ポート (初期値)
		1	内部クロック / SCK 端子はクロック出力
1	0	0	内部クロック / SCK 端子は Low レベル出力固定
		1	内部クロック / SCK 端子はクロック出力
	1	0	内部クロック / SCK 端子は High レベル出力固定
		1	内部クロック / SCK 端子はクロック出力

13.3 動作説明

13.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

13.3.2 端子接続

図 13.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{CC} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

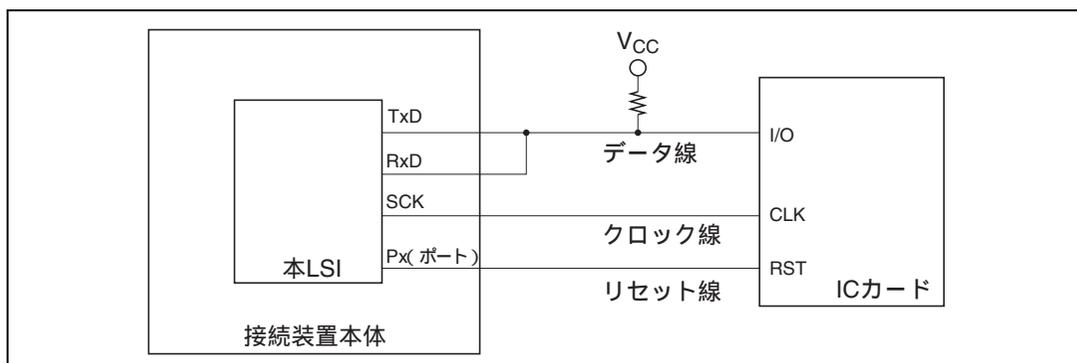


図 13.2 スマートカードインタフェース端子接続概略図

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

13.3.3 データフォーマット

図 13.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラー信号を送り返し、データの再送信要求をします。送信時は、エラー信号をサンプリングすると同じデータを再送信します。

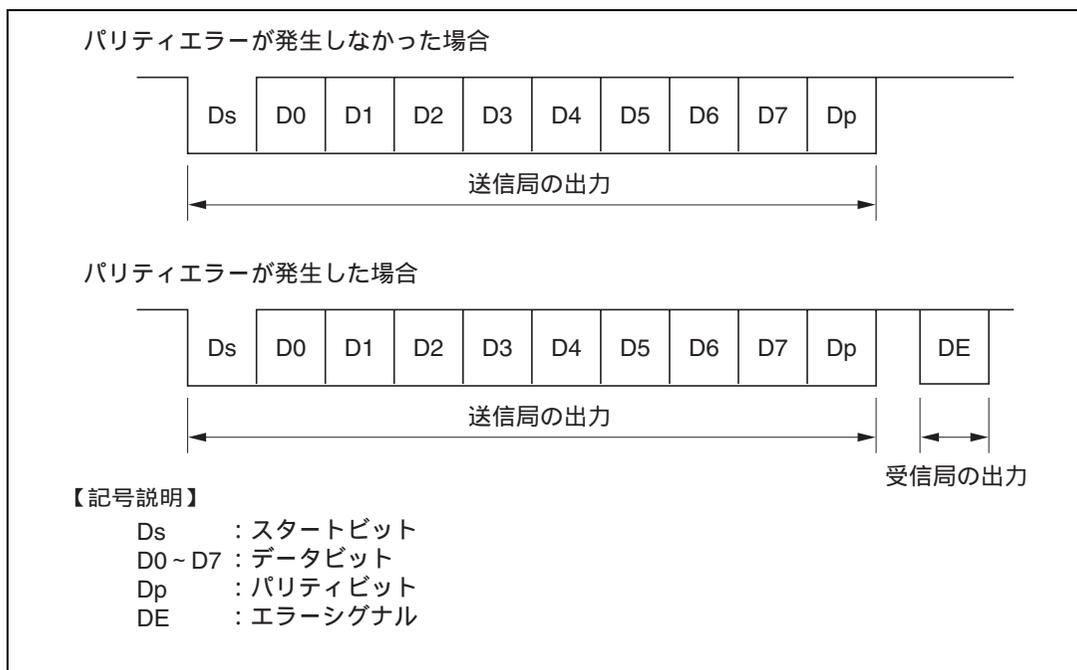


図 13.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット(Ds、Lowレベル)から開始します。この後に、8ビットのデータビット(D0~D7)とパリティビット(Dp)が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティチェックを行います。
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル(DE、Lowレベル)を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [5] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、エラーシグナルを受信した場合は、[2]に戻りエラーとなったデータを再送信します。

13.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 13.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 13.3 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス*1	ビット							
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SMR	H'FFFB0	GM	0	1	O/E	1	0	CKS1	CKS0
BRR	H'FFFB1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	H'FFFB2	TIE	RIE	TE	RE	0	0	CKE1*2	CKE0
TDR	H'FFFB3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	H'FFFB4	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	H'FFFB5	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	H'FFFB6	-	-	-	-	SDIR	SINV	-	SMIF

【記号説明】

- : 未使用ビットを示します。

【注】 *1 : アドバンスモード時の下位 20 ビットを示します。

*2 : SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 にしてください。

(1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O/E ビットは、IC カードがダイレクトコンベンション時には 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「13.3.5 クロック」を参照してください。

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「13.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 12 章 SCI」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は 00 に設定し、クロックを出力する場合は 01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

(4) スマートカードモードレジスタ (SCMR) の設定

SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

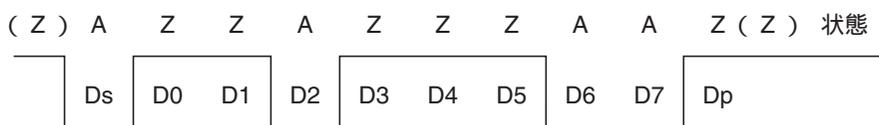
SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

13. スマートカードインタフェース

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

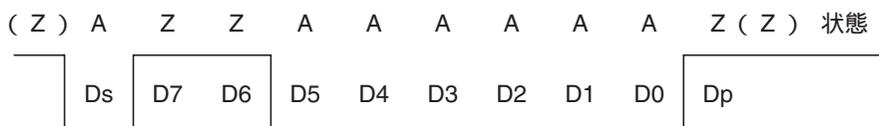
以下に、2 種類の IC カード（ダイレクトコンベンションタイプとインバースコンベンションタイプ）に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

(a) ダイレクトコンベンション (SDIR = SINV = $O\bar{E}$ = 0)



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV = $O\bar{E}$ = 1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の $O\bar{E}$ ビットを奇数パリティモードに設定します（送信、受信とも同様です）。

13.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは BRR と SMR の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 13.5 に示します。

このとき $CKE0 = 1$ でクロック出力を選択すると、SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、 $N = BRR$ の設定値 (0 ~ N 255)

B = ビットレート (bit/s)

ϕ = 動作周波数 (MHz)

n = 表 13.4 を参照

表 13.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2		0
3	1	1

【注】 * ギア機能によりクロックを分周して使用する場合には、動作周波数に分周比を考慮した値を設定してください。上記は分周比 1 : 1 の場合を示します。

表 13.5 BRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

N	φ (MHz)								
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00	20.00	25.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5	26881.7	33602.2
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8	13440.9	16801.1
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5	8960.6	11200.7

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した値です。

一方、動作周波数とビットレートからビットレートレジスタ (BBR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 13.6 ビットレート B (bit/s) に対する BRR の設定例 (ただし、n=0 のとき)

bit/s	φ (MHz)																	
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.0		25.0	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.66	3	12.49

表 13.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

φ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{\phi}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

13.3.6 データの送信 / 受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [1] SCRのTE、REビットを0にクリアします。
- [2] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [3] SMRのO \bar{E} ビットとCKS1、CKS0ビットを設定してください。このとき、C \bar{A} 、CHR、MPビットは0に、STOP、PEビットは1に設定してください。
- [4] SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [5] ビットレートに対応する値をBRRに設定します。
- [6] SCRのCKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1ビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
- [7] 少なくとも1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。
自己診断以外はTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 13.5 に示します。

- [1] (1) の手順に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [3] SSRのTENDフラグが1にセットされていることが確認できるまで、[2]、[3] を繰り返してください。
- [4] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [5] 連続してデータを送信する場合は、[2] に戻ってください。
- [6] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンpty 割り込み (TXI) 要求を発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 13.4 に TEND フラグセットタイミングを示します。

詳細は(6)を参照してください。

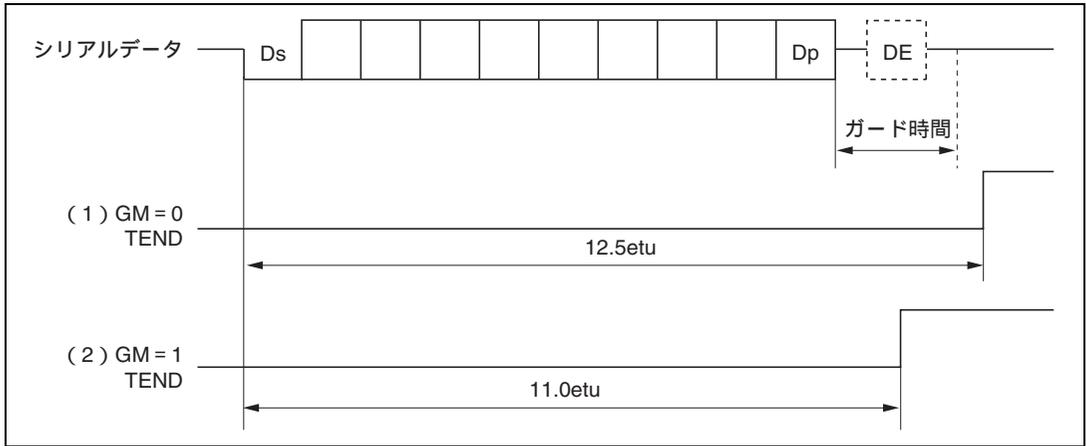


図 13.4 TEND フラグセットタイミング

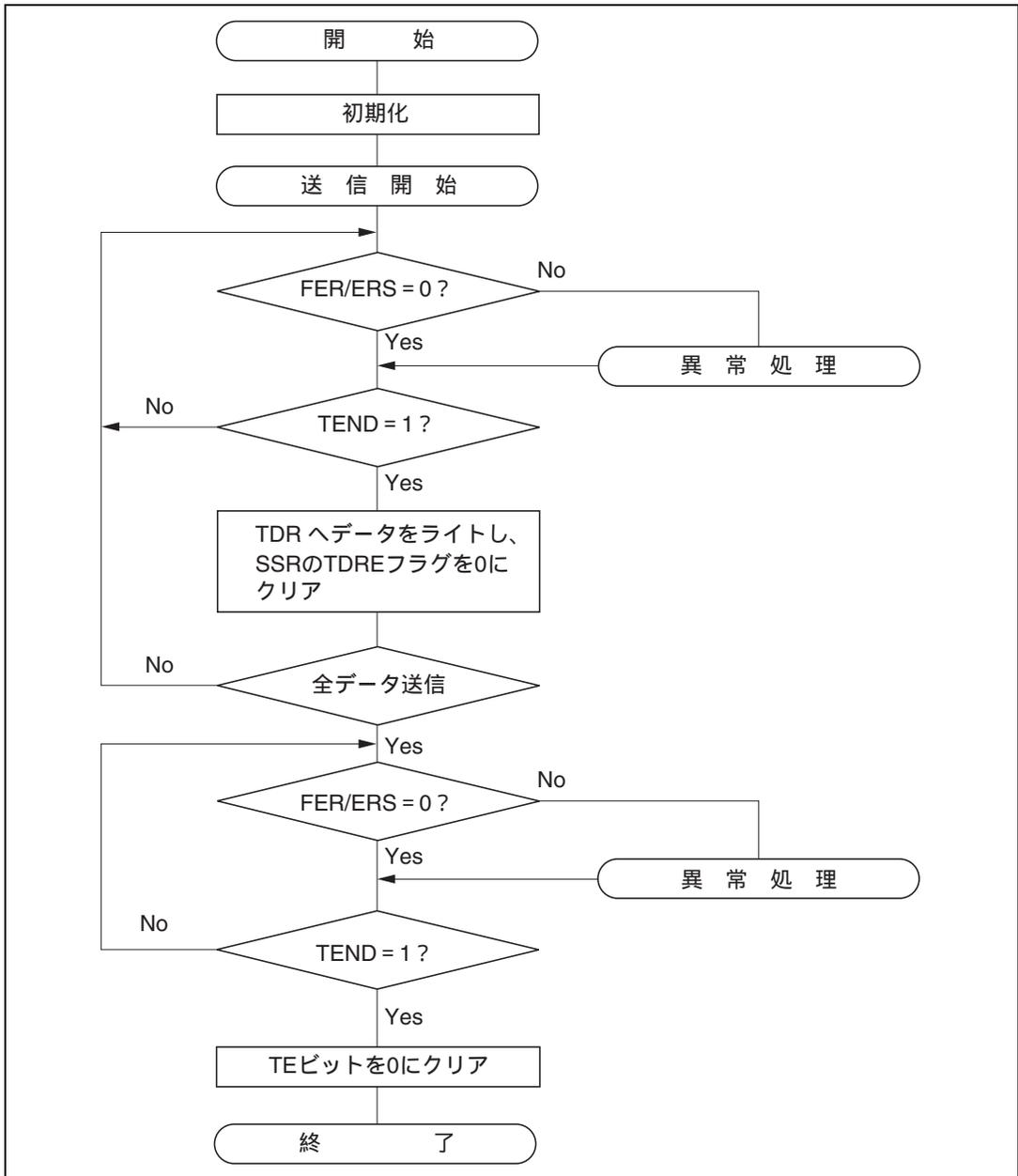


図 13.5 送信処理フローの例

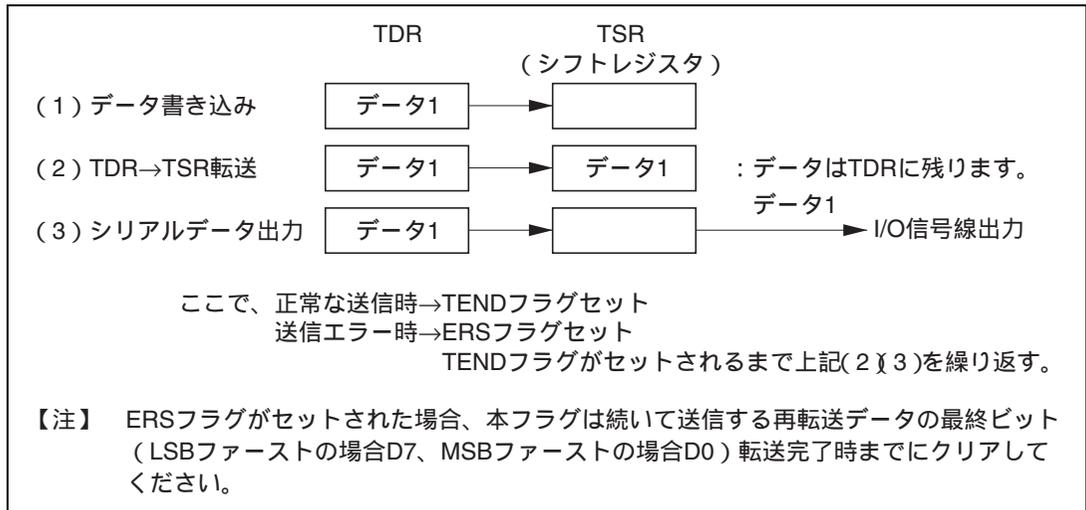


図 13.6 送信動作と内部レジスタの関連

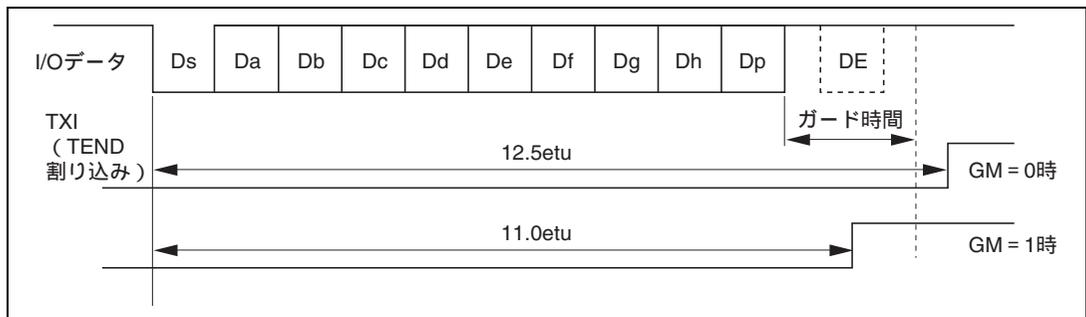


図 13.7 TEND フラグ発生タイミング

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 13.8 に示します。

- [1] SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- [3] RDRFフラグが1であることを確認できるまで [2]、[3] を繰り返してください。
- [4] RDRから受信データをリードしてください。
- [5] 継続してデータを受信する場合は、RDRFフラグを0にクリアして [2] の手順に戻ってください。
- [6] 受信を終了する場合は、REビットを0にクリアします。

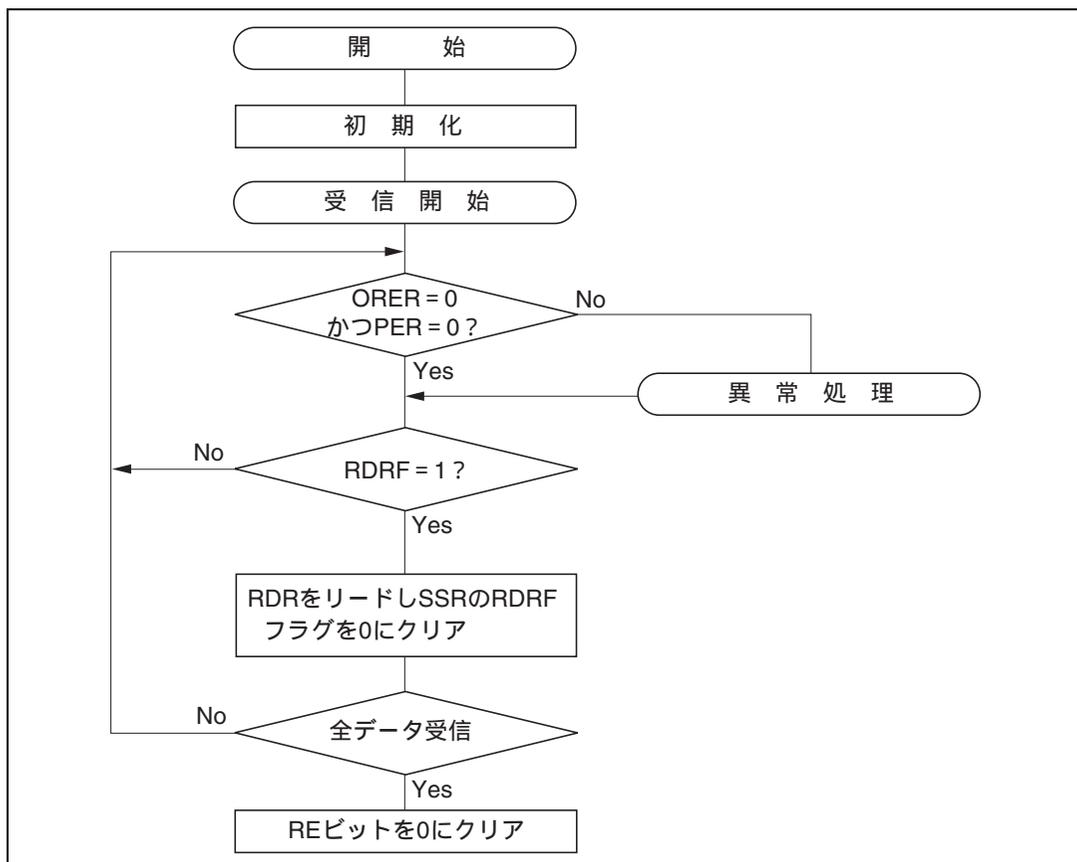


図 13.8 受信処理フローの例

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は (6) を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.9 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

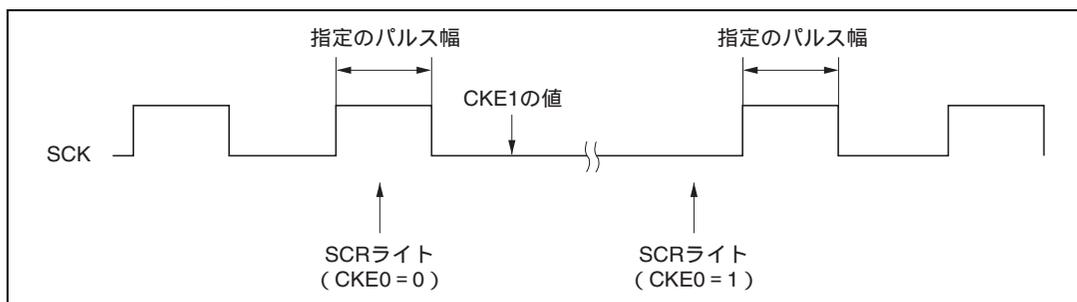


図 13.9 クロック出力固定タイミング

(6) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 13.8 に示します。

表 13.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

(7) GSM モード時の動作例

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき
- [1] P9₄のデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイ時の出力固定状態の値に設定する。
 - [2] シリアルコントロールレジスタ (SCR) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させる。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定する。
 - [3] SCRのCKE0ビットに0を書き込み、クロックを停止させる。
 - [4] シリアルクロックの1クロック周期の間、待つ。

13. スマートカードインタフェース

この間に、デューティを守って、指定のレベルでクロック出力は固定される。

- [5] シリアルモードレジスタ (SMR) とスマートカードモードレジスタ (SCMR) にH'00を書き込む。
- [6] ソフトウェアスタンバイ状態に遷移させる。
 - ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき
- [1'] ソフトウェアスタンバイ状態を解除する。
- [2'] SCRのCKE1ビットをソフトウェアスタンバイ開始時の出力固定状態 (現在のP9₄端子) の値に設定する。
- [3'] スマートカードインタフェースモードに設定し、クロック出力させる。正常なデューティにてクロック信号発生を開始する。

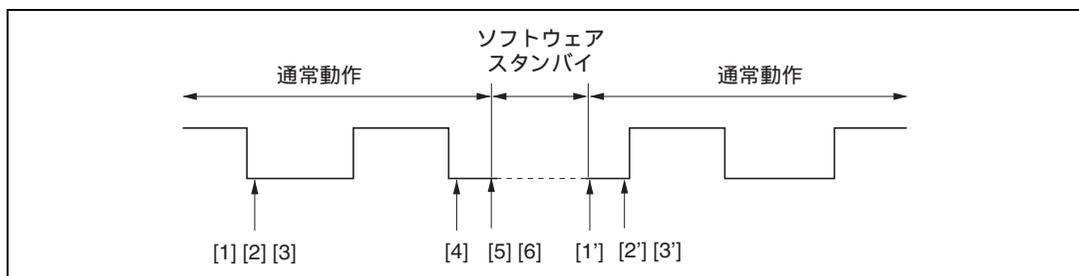


図 13.10 クロック停止・再起動手順

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

- [1] 初期状態は、ポート入力でありハイインピーダンスである。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用する。
- [2] SCRのCKE1ビットで指定の出力に固定する。
- [3] SMRとSCMRをセットし、スマートカードモードの動作に切り替える。
- [4] SCRのCKE0ビットを1に設定して、クロック出力を開始する。

13.4 使用上の注意

SCIをスマートカードインタフェースとして使用する際は、以下のことに注意してください。

- (1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン
スマートカードインタフェースモードでは、SCIは転送レートの372倍の周波数の基本クロックで動作しています。
受信時にSCIは、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの186クロック目の立ち上がりエッジで内部に取り込みます。これを図13.11に示します。

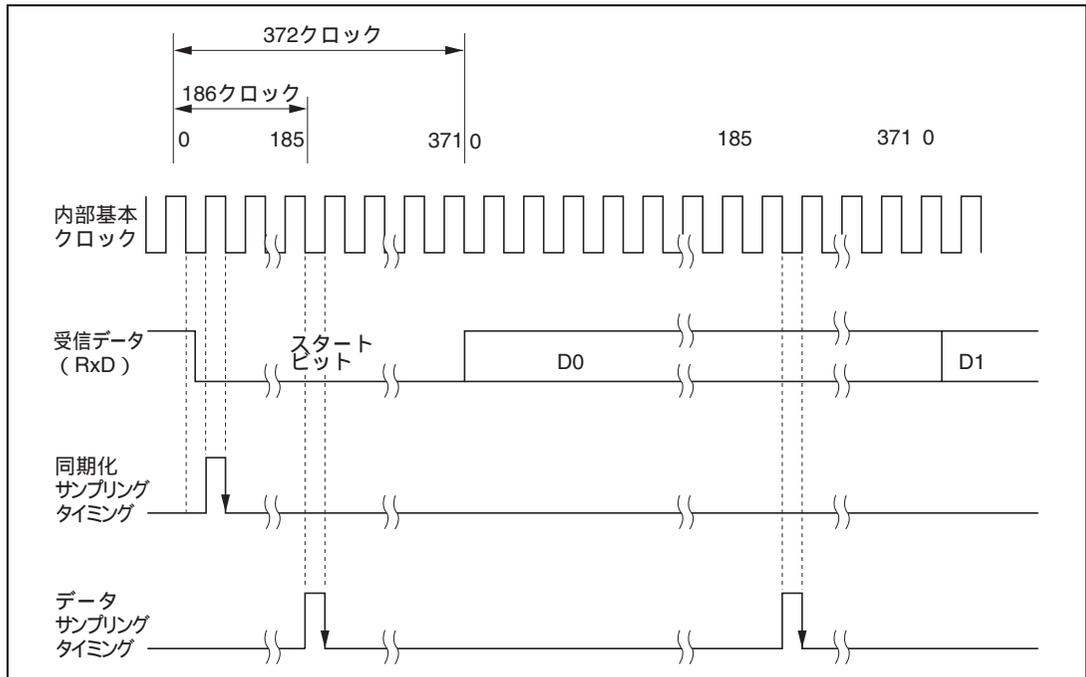


図 13.11 スマートカードインタフェースモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

- スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=372)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

13. スマートカードインタフェース

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 13.12 に示します。

- [1] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [2] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [3] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [4] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。
- [5] 正常なフレームを受信した場合、エラー信号を送信するタイミングで端子はスリーステート状態を保持します。

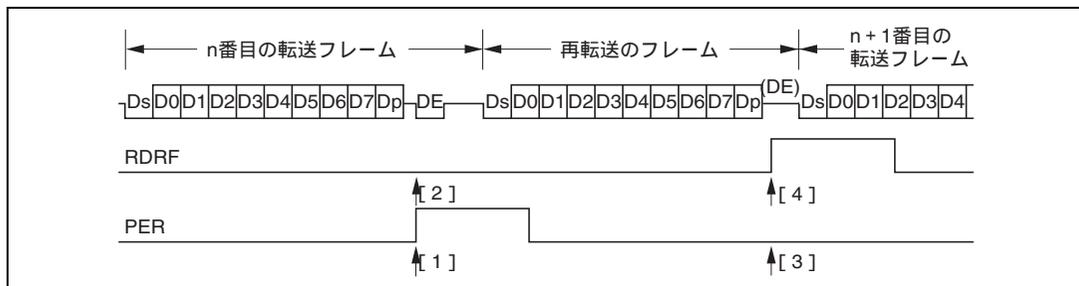


図 13.12 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 13.13 に示します。

- [6] 1フレーム分の送信を完了した後、受信側からエラー信号が返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
- [7] 異常を示すエラー信号を受信したフレームでは、SSRのTENDビットはセットされません。
- [8] 受信側からエラー信号が返ってこない場合は、SSRのERSビットはセットされません。
- [9] 受信側からエラー信号が返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。

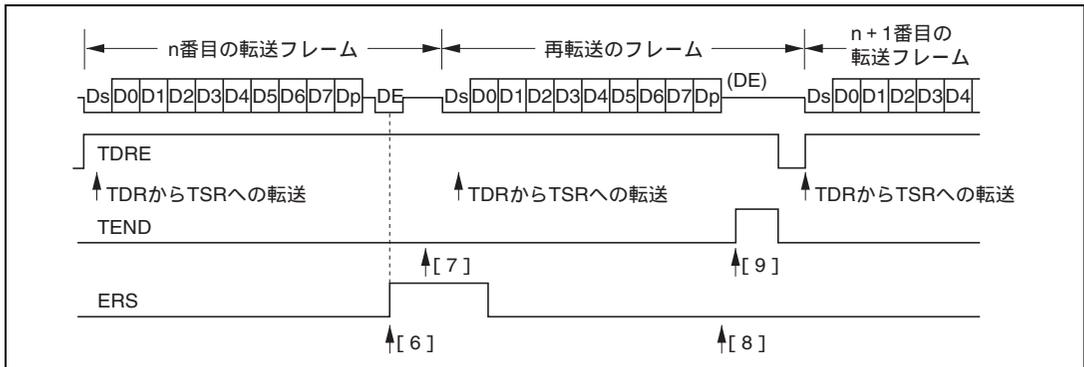


図 13.13 SCI 送信モードの場合の再転送動作

(3) ブロック転送モードのサポートについて

本 LSI に搭載しているスマートカードインタフェースでは、ISO/IEC 7816-3 の T=0 (キャラクタ伝送) に対応した IC カード (スマートカード) インタフェースをサポートしています。

そのため、ブロック転送動作 (エラーシグナルの送出、検出、データの自動再送信を行わない) はサポートしていません。

14. A/D 変換器

14.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

消費電流低減のために A/D 変換器を使用しない場合には、A/D 変換器を単独に停止することができます。詳細は「18.6 モジュールスタンバイ機能」を参照してください。

H8/3008 では高速変換モードとして、70/134 ステート変換をサポートしています。この点は H8/3048 シリーズの 134/266 ステート変換と異なりますので注意してください。

14.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定が可能

リファレンス電圧端子 (V_{REF}) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当たり最小 5.36 μ s

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル&ホールド機能

3 種類の変換開始要求

ソフトウェア、外部トリガ信号または 8 ビットタイマのコンペアマッチによる、A/D 変換の開始が可能

A/D 変換終了割り込み要求を発生

A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

14.1.2 ブロック図

A/D 変換器のブロック図を図 14.1 に示します。

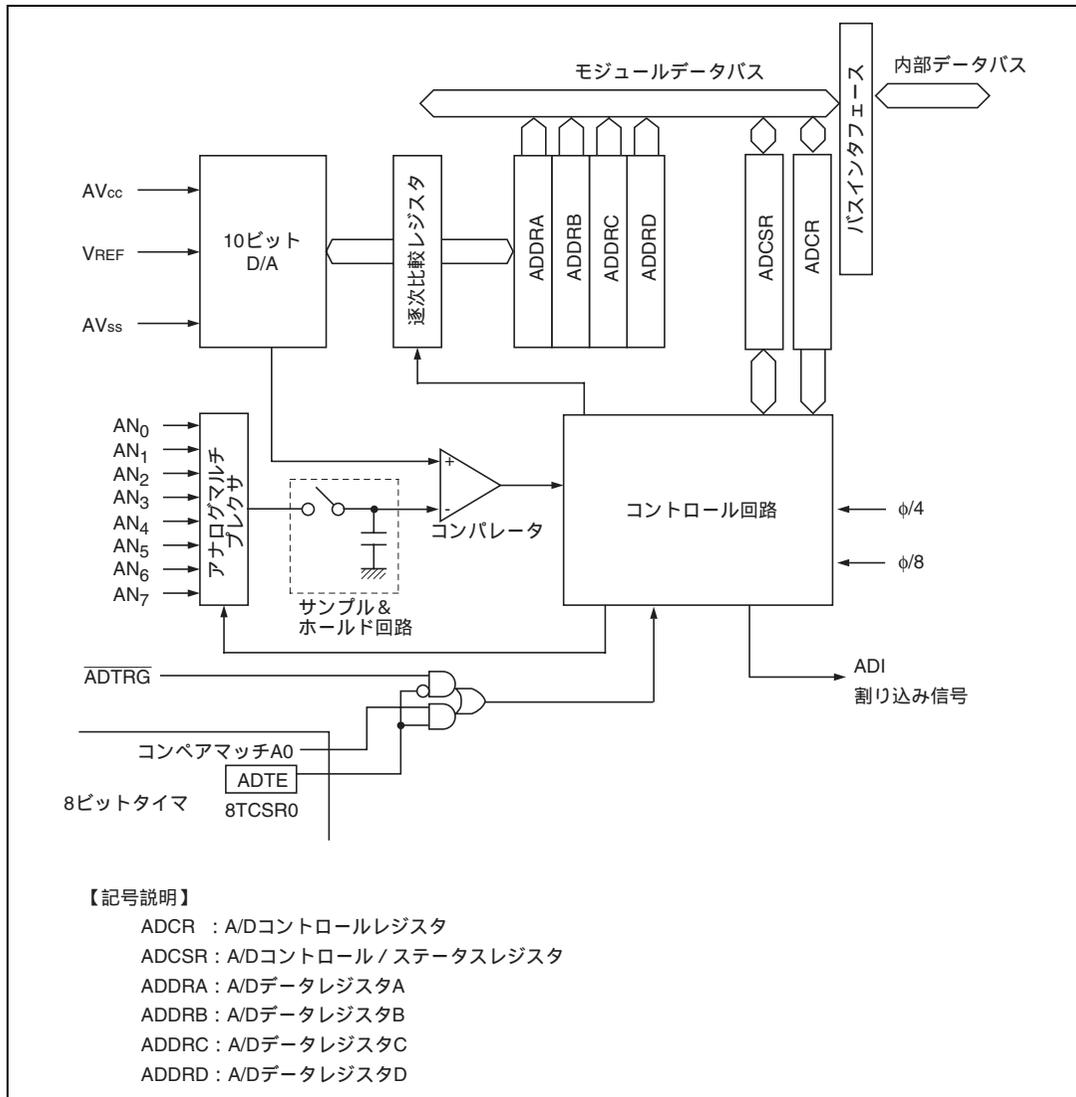


図 14.1 A/D 変換器のブロック図

14.1.3 端子構成

A/D 変換器で使用する入力端子を表 14.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 (AN₀ ~ AN₃) がグループ 0、アナログ入力端子 4~7 (AN₄ ~ AN₇) がグループ 1 になっています。

AV_{CC}、AV_{SS} 端子は、A/D 変換器内のアナログ部の電源です。V_{REF} 端子は、A/D 変換基準電圧端子です。

表 14.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	VREF	入力	アナログ部の基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

14.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFFE0	A/D データレジスタ AH	ADDRAH	R	H'00
H'FFFE1	A/D データレジスタ AL	ADDRAL	R	H'00
H'FFFE2	A/D データレジスタ BH	ADDRBH	R	H'00
H'FFFE3	A/D データレジスタ BL	ADDRBL	R	H'00
H'FFFE4	A/D データレジスタ CH	ADDRCH	R	H'00
H'FFFE5	A/D データレジスタ CL	ADDRCL	R	H'00
H'FFFE6	A/D データレジスタ DH	ADDRDH	R	H'00
H'FFFE7	A/D データレジスタ DL	ADDRDL	R	H'00
H'FFFE8	A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*2	H'00
H'FFFE9	A/D コントロールレジスタ	ADCR	R/W	H'7E

【注】 *1 アドバンスモード時のアドレス下位 20 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 A/D データレジスタ A~D (ADDRA ~ ADDR D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

A/D変換データ
リザーブビット

A/D変換結果の10ビットデータを格納するビットです。

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 14.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「14.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 に初期化されます。

表 14.3 アナログ入力チャンネルと ADDR A ~ ADDR D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDRA
AN ₁	AN ₅	ADDRB
AN ₂	AN ₆	ADDRC
AN ₃	AN ₇	ADDRD

14.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト2~0
 アナログ入力チャンネルを選択するビットです。

クロックセレクト
 A/D変換時間を選択するビットです。

スキャンモード
 単一モード / スキャンモードを選択するビットです。

A/Dスタート
 A/D変換の開始 / 停止を選択するビットです。

A/Dインタラプトイネーブル
 A/D変換終了割り込みの発生を許可 / 禁止するビットです。

A/Dエンドフラグ
 A/D変換の終了を示すビットです。

【注】 * フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

14. A/D 変換器

ビット 7 : A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説明
ADF	
0	[クリア条件] ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (初期値)
1	[セット条件] (1) 単一モード : A/D 変換が終了したとき (2) スキャンモード : 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可 / 禁止を選択します。

ビット 6	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

ビット 5 : A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) または 8 ビットタイマのコンペアマッチにより 1 にセットすることもできます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード : A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット 4 : スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「14.4 動作説明」を参照してください。モードの切り替えは、ADST=0 の状態で行ってください。

ビット 4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST=0 の状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 134 ステート (max) (初期値)
1	変換時間 = 70 ステート (max)

ビット2~0：チャンネルセレクト2~0（CH2~CH0）

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST=0 の状態で行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4 ~ AN6
		1	AN7	AN4 ~ AN7

14.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	0
R/W :	R/W	—	—	—	—	—	—	R/W

トリガイネーブル
リザーブビット

外部トリガまたは8ビットタイマのコンペアマッチ
によるA/D変換の許可/禁止を選択するビットです。

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力あるいは8ビットタイマのコンペアマッチ信号による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7E に初期化されます。

ビット7: トリガイネーブル (TRGE)

外部トリガ入力または8ビットタイマのコンペアマッチによる A/D 変換の開始の許可/禁止を選択します。

ビット7	TRGE	説明
0		外部トリガ入力または8ビットタイマのコンペアマッチによる A/D 変換の開始を禁止 (初期値)
1		外部トリガ端子 (ADTRG) の立ち下がりエッジまたは8ビットタイマのコンペアマッチで A/D 変換を開始

なお、外部トリガ端子と8ビットタイマの選択は、8ビットタイマにより行います。詳細は「第9章 8ビットタイマ」を参照してください。

ビット6~1: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0: リザーブビット

リザーブビットです。リード/ライト可能ですが、1に設定しないでください。

14.3 CPU とのインタフェース

ADDRA ~ ADDR4D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 14.2 に、ADDR のアクセス時のデータの流れを示します。

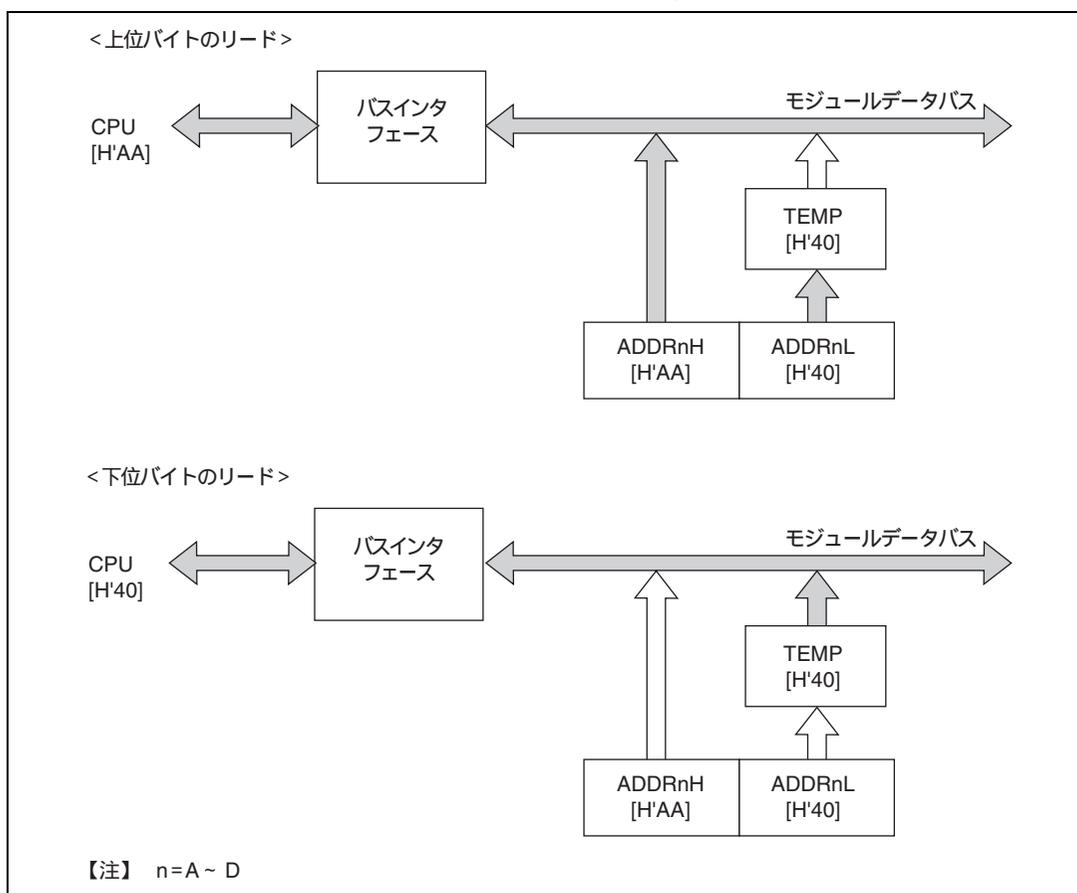


図 14.2 ADDR のアクセス動作 (〔H'AA40〕リード時)

14.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解機能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

14.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。

変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 14.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN1 に (CH2 = CH1 = 0, CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR1 に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADCSR をリードした後、ADF に 0 をライトします。
- (6) A/D 変換結果 (ADDR1) をリードして、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

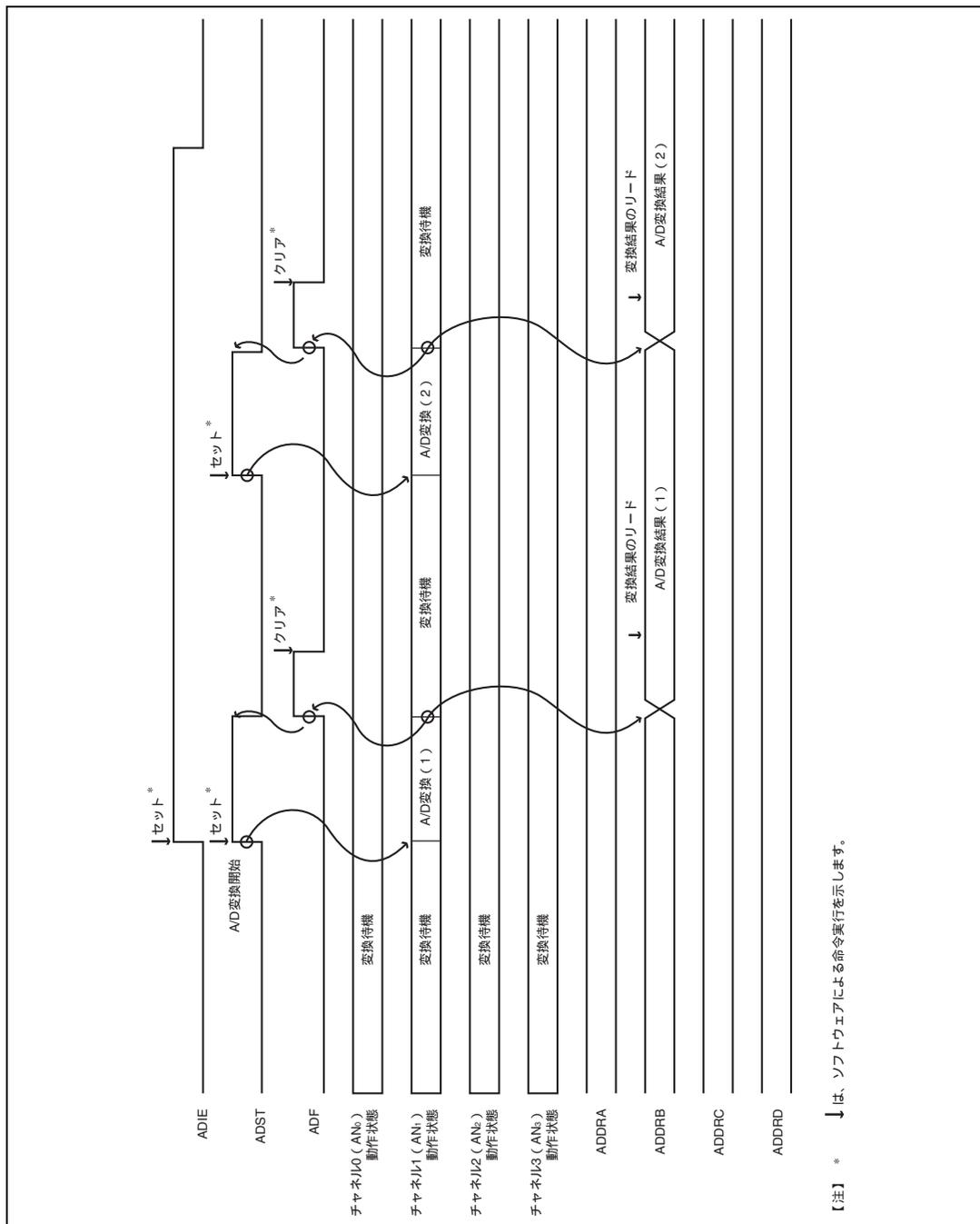


図 14.3 A/D 変換器の動作例 (単一モード チャンネル 1 選択時)

14.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN₀、CH2 = 1 のとき AN₄) から開始されます。複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 14.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキヤングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN₀ ~ AN₂ (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN₀) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。次に第 2 チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀ ~ AN₂) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN₀) を選択し、変換が行われます。このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN₀) から変換が行われます。

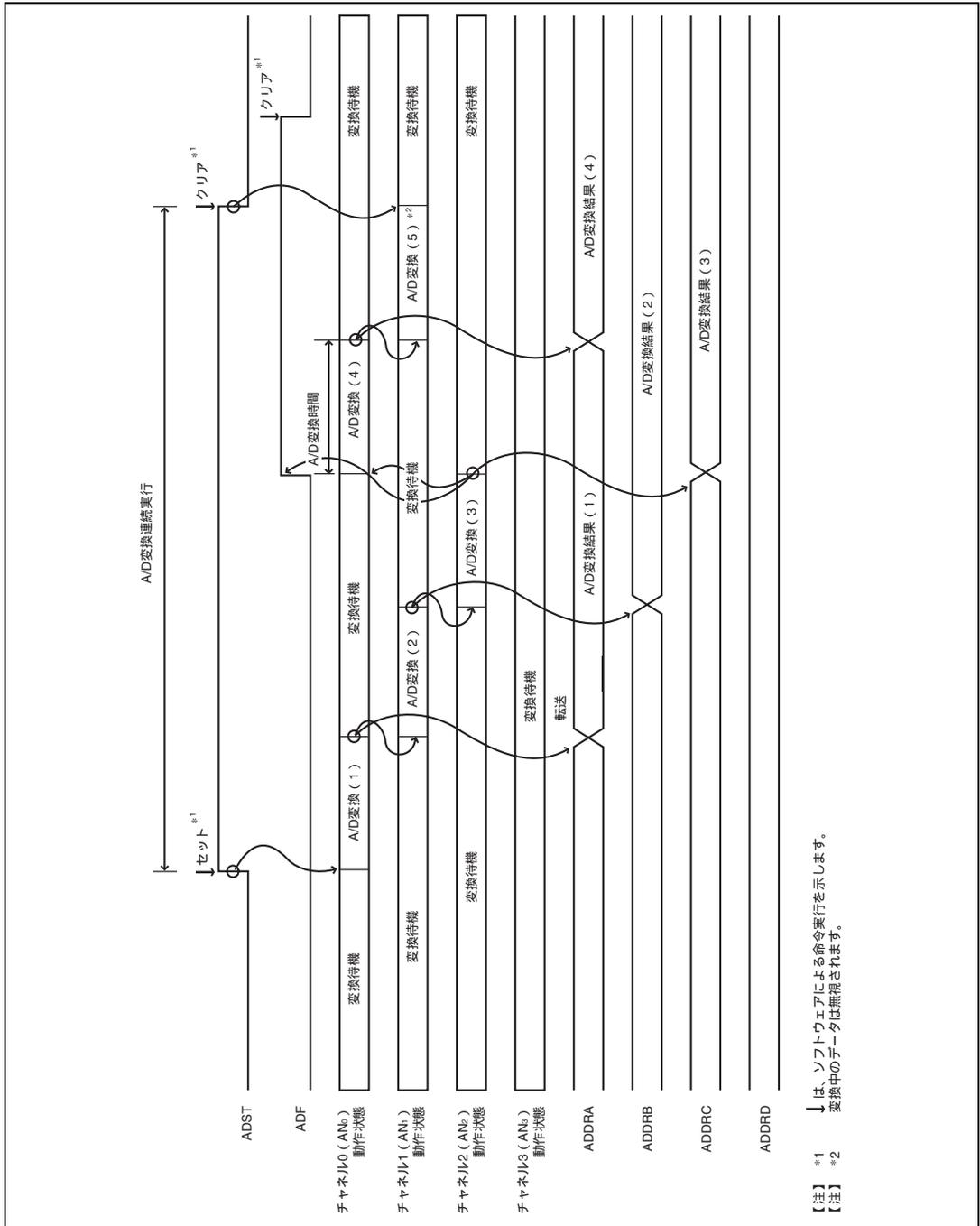


図 14.4 A/D 変換器の動作例 (スキャンモード AN₀ ~ AN₂ の 3 チャンネル選択時)

14.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 14.5 に示します。また、A/D 変換時間を表 14.4 に示します。

A/D 変換時間は、図 14.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 14.4 に示す範囲で変化します。スキャンモードの変換時間は、表 14.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 128 ステート（固定）、CKS = 1 の場合は 66 ステート（固定）となります。

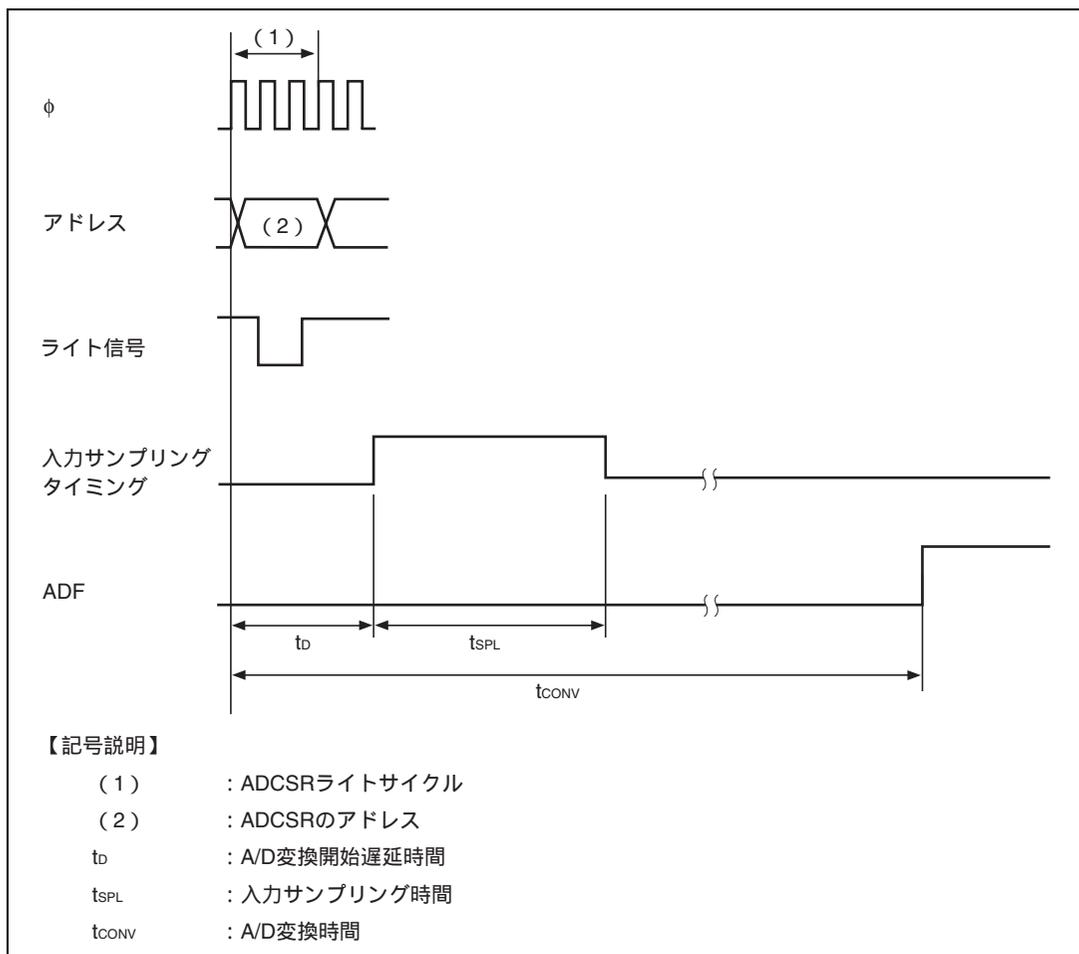


図 14.5 A/D 変換タイミング

表 14.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_d	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	131	—	134	69	—	70

【注】 表中の数値の単位はステートです。

14.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGE ビットが 1 にセット、かつ 8 ビットタイマの ADTE ビットが 0 にクリアされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 14.6 に示します。

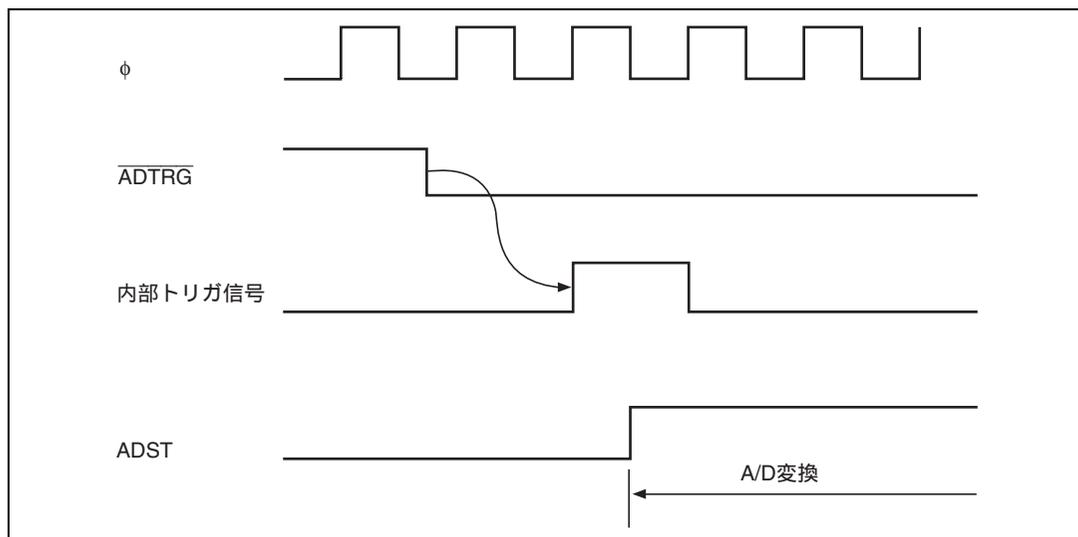


図 14.6 外部トリガ入力タイミング

14.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットで許可/禁止することができます。

14.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} AN_n V_{REF} の範囲としてください。

(2) AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は、 $AV_{SS} = V_{SS}$ とし、さらに、A/D 変換器を使用しないときも、 AV_{CC} 、 AV_{SS} 端子を決してオープンにしないでください。

(3) V_{REF} の設定範囲

V_{REF} 端子によるリファレンス電圧の設定範囲は V_{REF} AV_{CC} にしてください。

(4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。なお、アナログ入力信号 ($AN_0 \sim AN_7$)、アナログ基準電源 (V_{REF})、アナログ電源 (AV_{CC}) は、アナログ・グランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに、アナログ・グランド (AV_{SS}) は、ボード上の安定したデジタル・グランド (V_{SS}) に一点接続してください。

(5) ノイズ対策上の注意

アナログ入力端子 ($AN_0 \sim AN_7$)、アナログ基準電源 (V_{REF}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 14.7 に示すように AV_{CC} - AV_{SS} 間に接続してください。また、 AV_{CC} 、 V_{REF} に接続するバイパス・コンデンサ、 $AN_0 \sim AN_7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図 14.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN_0 \sim AN_7$) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回るとアナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

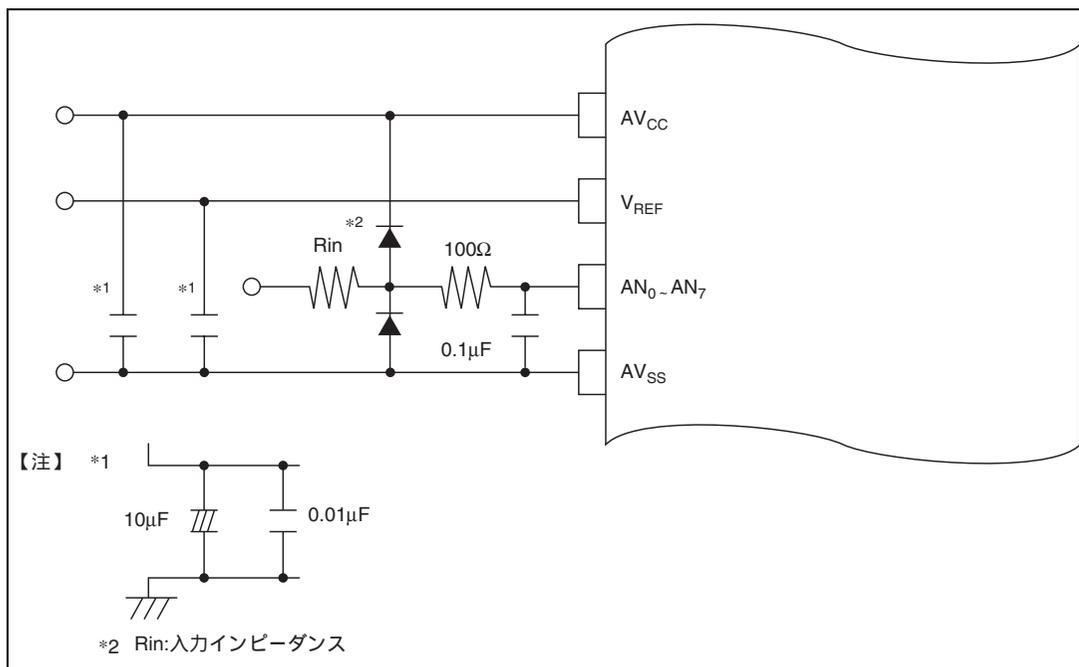


図 14.7 アナログ入力保護回路の例

表 14.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	10*	kΩ

【注】 * 変換時間 134 ステート、VCC = 4.0 ~ 5.5、 ϕ 13MHz の場合。詳細は「第 19 章 電気的特性」を参照してください。

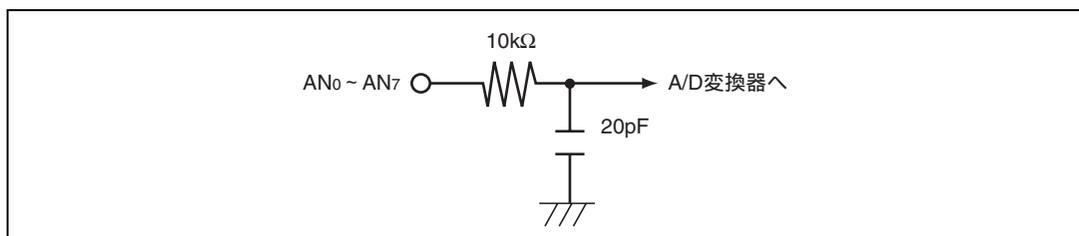


図 14.8 アナログ入力端子等価回路

【注】 表 14.5 を除く数値はいずれも参考値

(6) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能.....A/D 変換器のデジタル出力コード数
- オフセット誤差.....デジタル出力が最小電圧値 000000000 から 000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 14.10)。
- フルスケール誤差...デジタル出力が 111111110 から 111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 14.10)。
- 量子化誤差.....A/D 変換器が本質的に有する偏差であり、1/2LSB で与えられる(図 14.9)。
- 非直線性誤差.....ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度.....デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

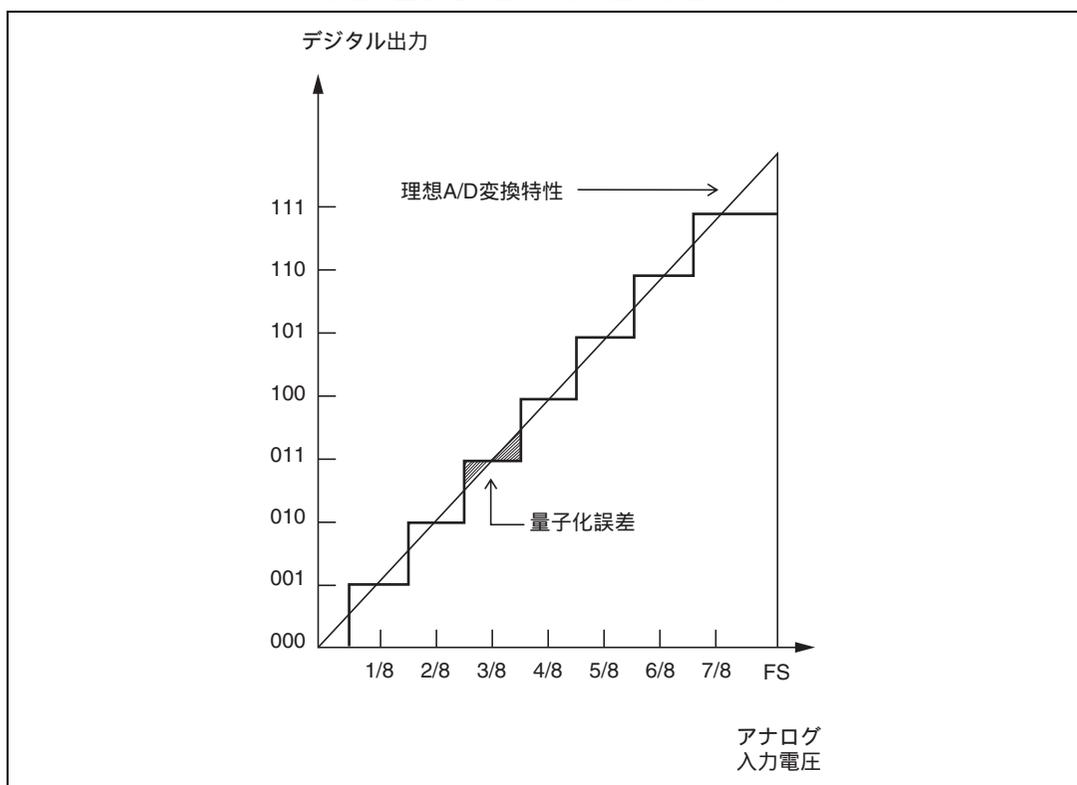


図 14.9 A/D 変換精度の定義 (1)

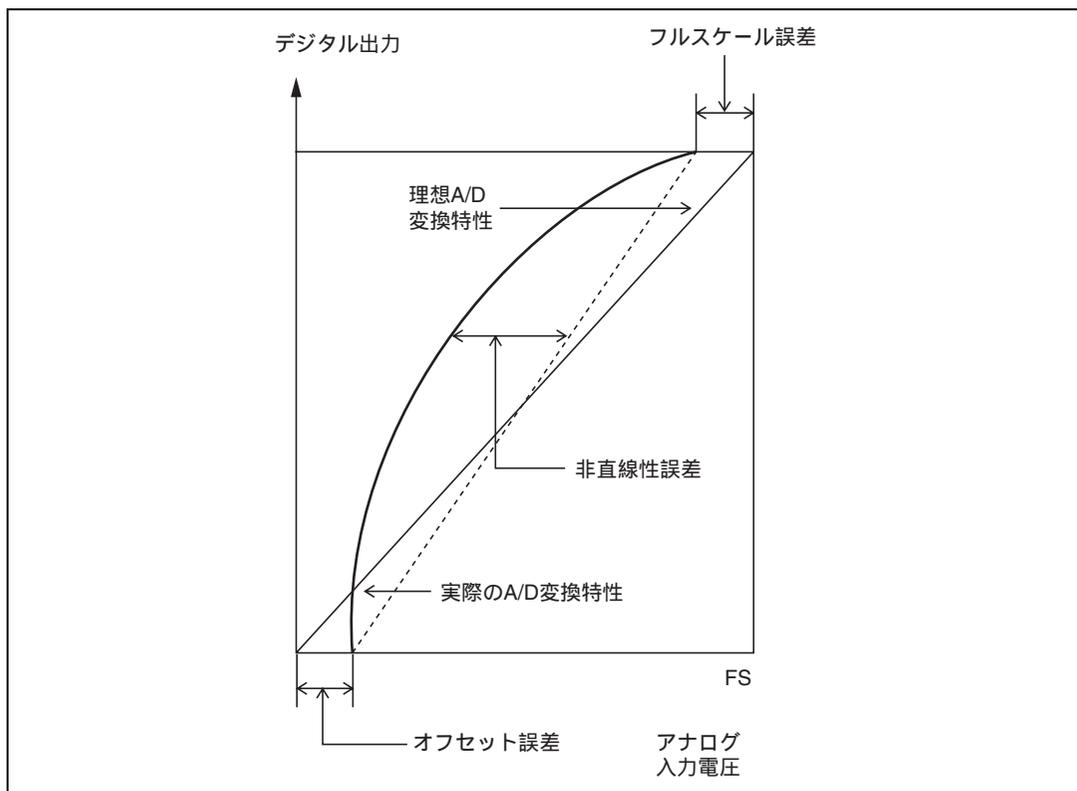


図 14.10 A/D 変換精度の定義 (2)

(7) 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10\text{k}\Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルターとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が $5\text{mV}/\mu\text{s}$ 以上）には追従できない場合があります（図 14.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

(8) 絶対精度への影響について

容量を付加するとにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AVSS 等の電氣的に安定な GND に接続してください。またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

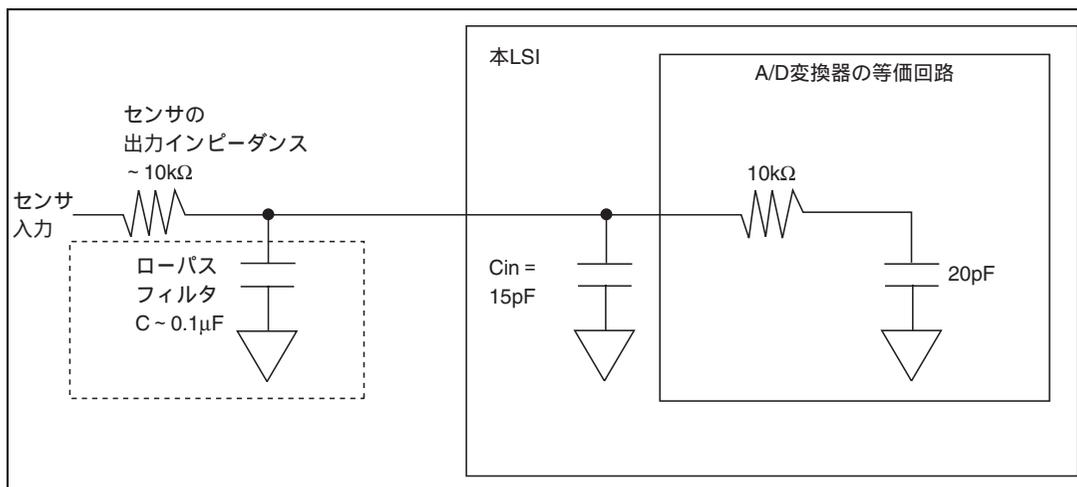


図 14.11 アナログ入力回路の例

15. D/A 変換器

15.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

15.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ V_{REF}

ソフトウェアスタンバイ時の D/A 出力保持機能

15. D/A 変換器

15.1.2 ブロック図

D/A 変換器のブロック図を図 15.1 に示します。

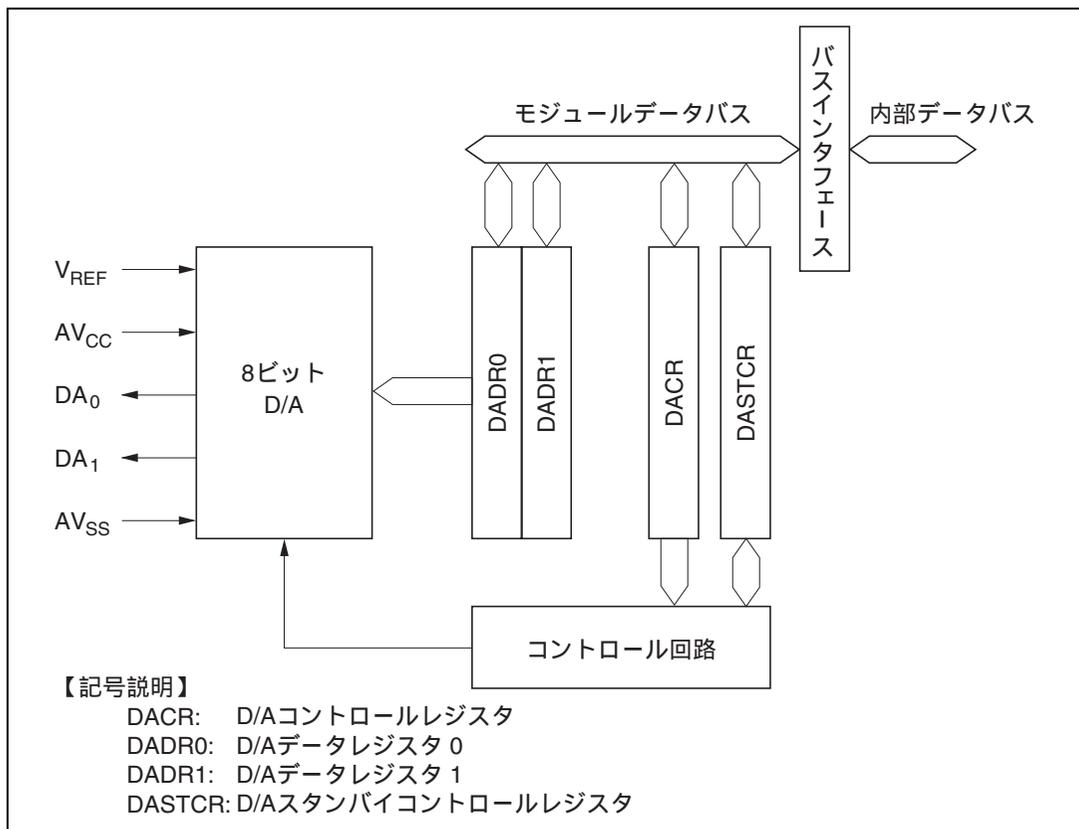


図 15.1 D/A 変換器のブロック図

15.1.3 端子構成

D/A 変換器で使用する入出力端子を表 15.1 に示します。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA ₀	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA ₁	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V _{REF}	入力	アナログ部の基準電圧

15.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF9C	D/A データレジスタ 0	DADR0	R/W	H'00
H'FFF9D	D/A データレジスタ 1	DADR1	R/W	H'00
H'FFF9E	D/A コントロールレジスタ	DACR	R/W	H'1F
H'EE01A	D/A スタンバイコントロールレジスタ	DASTCR	R/W	H'FE

【注】 * アドバンスモード時のアドレス下位 20 ビットを示します。

15.2 各レジスタの説明

15.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

D/A データレジスタ 0、1 (DADR0、DADR1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

D/A スタンバイコントロールレジスタ (DASTCR) の DASTE ビットが 1 の場合、ソフトウェアスタンバイモードでは初期化されません。

15.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	—	—	—	—	—

D/Aイネーブル
 D/A変換を制御するビットです。

D/Aアウトプットイネーブル0
 D/A変換とアナログ出力を制御するビットです。

D/Aアウトプットイネーブル1 (DAOE1)
 D/A変換とアナログ出力を制御するビットです。

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR は、リセットまたはスタンバイモード時に、H'1F に初期化されます。DASTCR の DASTE ビットが 1 の場合、ソフトウェアスタンバイモードでは初期化されません。

ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA ₁ を禁止
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA ₁ を許可

ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説明
DAOE0	
0	アナログ出力 DA ₀ を禁止
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA ₀ を許可

ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 とともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1 により、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説 明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル 0、1 の D/A 変換を禁止
	1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可
	1	-	チャンネル 0、1 の D/A 変換を許可

DAE ビットを 1 にセットすると、DACR の DAOE0、DAOE1 ビット、ADCSR の ADST ビットが 0 にクリアされていても、アナログ電源電流は A/D、D/A 変換中と同等になります。

ビット 4~0 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

15.2.3 D/A スタンバイコントロールレジスタ (DASTCR)

DASTCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードでの D/A の出力を許可または禁止します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DASTE
初期値 :	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	R/W

リザーブビット

D/Aスタンバイイネーブル
ソフトウェアスタンバイモード
でのD/A出力を許可または
禁止するビットです。

DASTCR はリセット、またはハードウェアスタンバイモード時に、HFE に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

15. D/A 変換器

ビット7~1：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0：D/A スタンバイネーブル (DASTE)

ソフトウェアスタンバイモードでの D/A 出力を許可または禁止します。

ビット0	説明
DASTE	
0	ソフトウェアスタンバイモードでの D/A 出力を禁止 (初期値)
1	ソフトウェアスタンバイモードでの D/A 出力を許可

15.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、DADR1 を書き換えると直ちに、新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを図 15.2 に示します。

- (1) DADR0 に変換データをライトします。
- (2) DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。

$$\text{出力値} = \frac{\text{DADR の内容}}{256} \times V_{\text{REF}} \text{ です。}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- (3) DADR0 を書き換えると直ちに変換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0 ビットを 0 にクリアすると、DA₀ 端子は入力端子になります。

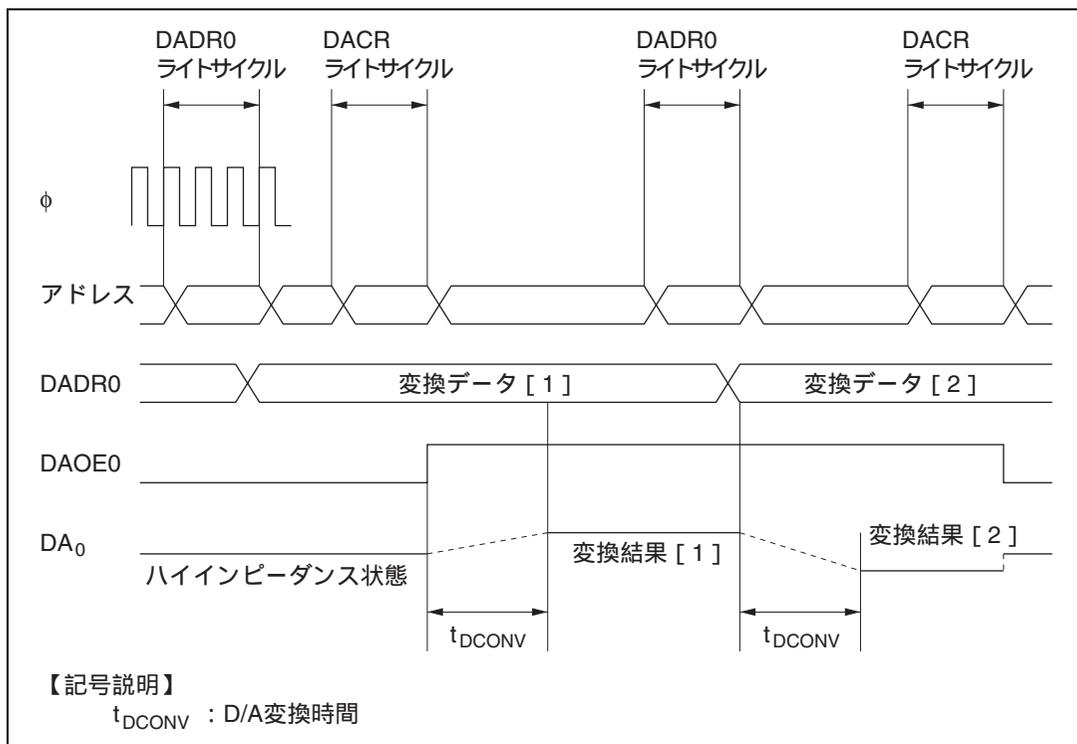


図 15.2 D/A 変換器の動作例

15.4 D/A 出力制御

本 LSI は、ソフトウェアスタンバイモードで D/A 変換器の出力を許可または禁止することができます。

DASTCR の DASTE ビットを 1 にセットすると、ソフトウェアスタンバイモードにおいても D/A 変換器の出力が許可されます。このとき、D/A 変換器のレジスタはソフトウェアスタンバイモードに遷移する直前の値を保持します。

なお、ソフトウェアスタンバイモードで D/A 出力を許可した場合、リファレンス電源電流は動作時と同じとなります。

16. RAM

16.1 概要

H8/3008 はスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

またシステムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより内蔵 RAM 有効 / 無効の制御を行います。内蔵 RAM が無効の場合、拡張モードでは外部空間に割り当てられます。本 LSI の内蔵 RAM 仕様を表 16.1 に示します。

表 16.1 H8/3008 の内蔵 RAM 仕様

RAM 容量		4K バイト
アドレス割り当て	モード 1、2	H'FEF20 ~ H'FFF1F
	モード 3、4	H'FFE20 ~ H'FFF1F

16.1.1 ブロック図

RAMのブロック図を図16.1に示します。

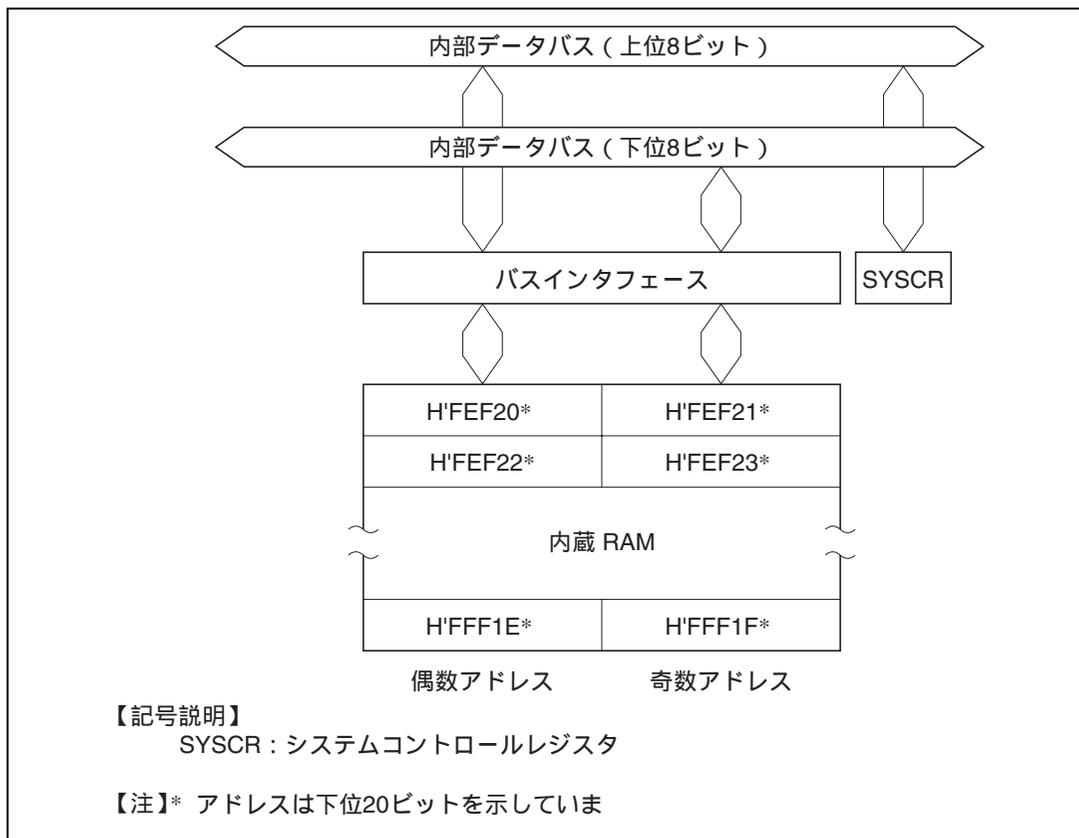


図 16.1 RAMのブロック図

16.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。
SYSCR のアドレスと初期値を表 16.2 に示します。

表 16.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09

【注】 * アドバンスモード時のアドレス下位 20 ビットを示します。

16.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ソフトウェアスタンバイ
スタンバイタイムセレクト2~0

ユーザビットイネーブル

NMIエッジセレクト

ソフトウェアスタンバイ
出力ポートイネーブル

RAMイネーブルビット
内蔵RAMの有効/
無効を選択するビ
ットです。

SYSCRは、内蔵RAMへのアクセスを許可/禁止するレジスタです。内蔵RAMはSYSCRのRAMEビットにより有効/無効が選択されます。なお、SYSCRのその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット0: RAM イネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはRES端子の立ち上がりエッジで初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

16.3 動作説明

RAMEビットを1にセットすると内蔵RAMが有効になります。表16.1に示したアドレスにアクセスすると、内蔵RAMがアクセスされます。また、モード1~4(拡張モード)ではRAMEビットが0にクリアされているときは、外部アドレス空間がアクセスされます。

RAMはCPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトも可能です。

バイトデータは、データバス上位8ビットを使い2ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス16ビットを使い2ステートでアクセスできます。

17. クロック発振器

17.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、クロック発振器はシステムクロック (ϕ)、および内部クロック ($\phi/2 \sim \phi/4096$) を生成します。

分周器は、デューティ補正されたクロックを分周してシステムクロック (ϕ) を生成します。 ϕ は ϕ 端子に出力される^{*1} とともに内部モジュールへクロックを供給するプリスケアラの基本クロックとなります。なお、分周器の分周比は分周比コントロールレジスタ (DIVCR) により 1/1、1/2、1/4、1/8 の中から選択できます^{*2}。チップ内の消費電流は分周比にほぼ比例して低減します。

【注】*1 ϕ 端子の状態はチップの動作モードおよびモジュールスタンバイコントロールレジスタ (MSTCR) の PSTOP の設定により異なります。詳細は「18.7 ϕ クロック出力禁止機能」を参照してください。

*2 分周比の変更は動作中ダイナミックに変更することができます。 ϕ 端子のクロック出力も分周比を変更することにより変化します。このとき ϕ 端子から出力される周波数は、以下のようになります。

$\phi = \text{EXTAL} \times n$ EXTAL : 水晶発振子または外部クロックの周波数
 n : 分周比 (n = 1/1、1/2、1/4、1/8)

17.1.1 ブロック図

図 17.1 にクロック発振器のブロック図を示します。

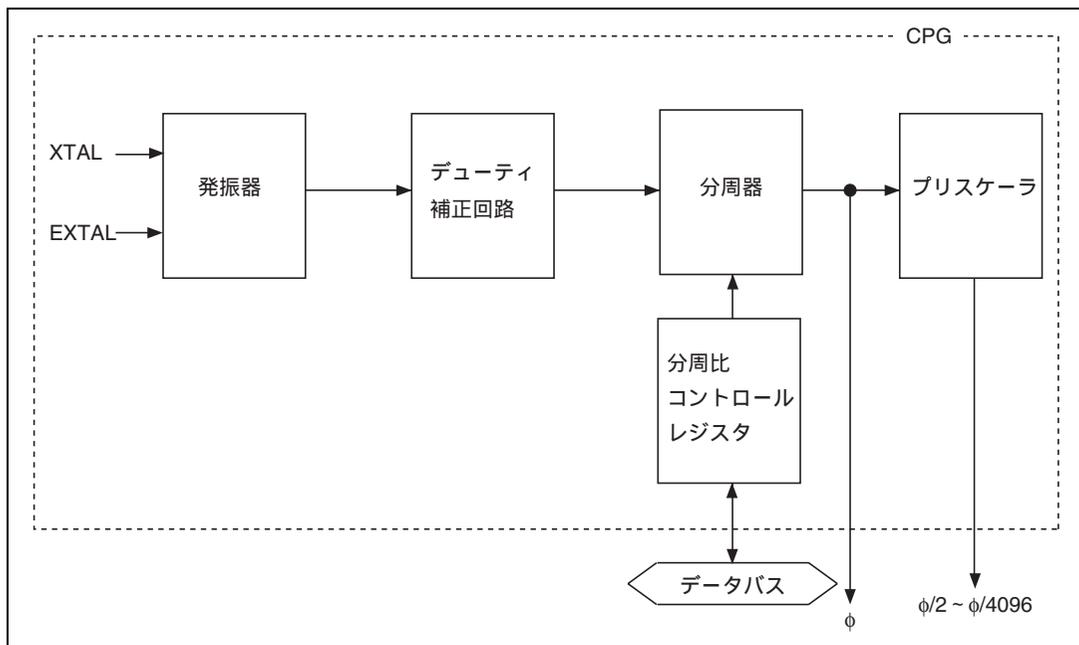


図 17.1 クロック発振器のブロック図

17.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

17.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 17.2 に示します。ダンピング抵抗 R_d は、表 17.1 (1)、外付け容量 CL_1 、 CL_2 は、表 17.1 (2) に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

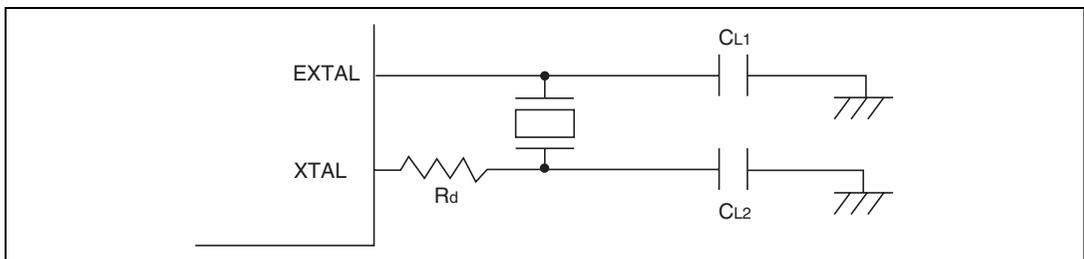


図 17.2 水晶発振子を接続する場合の接続例

20MHz より高周波の水晶発振子を接続する場合は、表 17.1(2)のとおり外付け負荷容量値を 10[pf] 以下としてください。また実装状態での発振周波数精度の向上のため、回路定数の決定については、発振のマッチング評価などを十分にご検討くださいますようお願い申し上げます。

表 17.1 (1) ダンピング抵抗値

ダンピング抵抗値	周波数 f (MHz)							
	2	2 < f < 4	4 < f < 8	8 < f < 10	10 < f < 13	13 < f < 16	16 < f < 18	18 < f < 25
R_d (Ω)	1k	500	200	0	0	0	0	0

【注】 水晶発振子は、2MHz ~ 25MHz が使用できます。

2MHz 未満で動作させる場合は、内蔵の分周器を使用してください (2MHz 未満の水晶発振子は使用できません)。

表 17.1 (2) 外付け容量値

外付け容量値	5V 品		3V 品		
	周波数 f (MHz)	20 < f < 25	2 < f < 20	2 < f < 16	16 < f < 25
$CL_1 = CL_2$ (pF)		10	10 ~ 22	22	10

17. クロック発振器

(2) 水晶発振子

図 17.3 に水晶発振子の等価回路を示します。水晶発振子は表 17.2 に示す特性のものを使用してください。

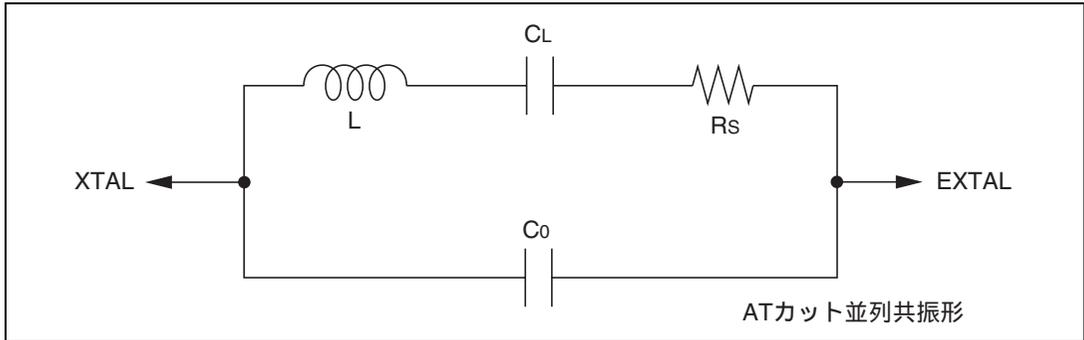


図 17.3 水晶発振子の等価回路

表 17.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16	18	20	25
Rs max (Ω)	500	120	80	70	60	50	40	40	40
Co (pF)	7pF max								

水晶発振子は、 ϕ と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 17.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

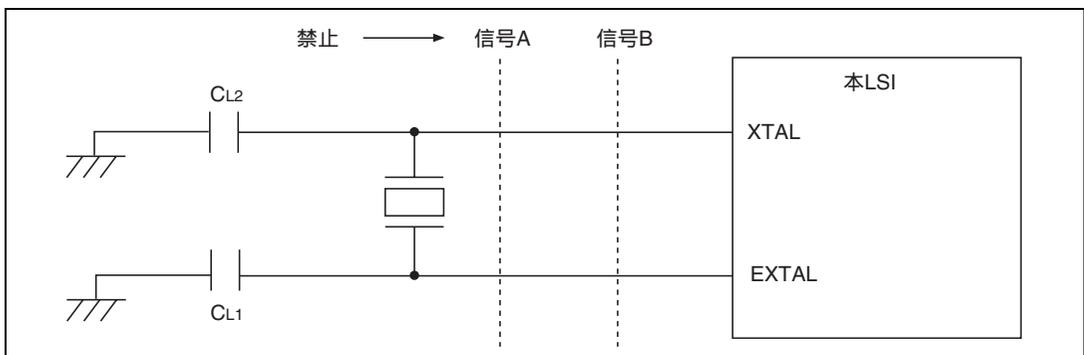


図 17.4 発振回路部のボード設計に関する注意事項

17.2.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 17.5 に示します。XTAL 端子をオープン状態にする場合は、XTAL 端子の寄生容量は 10pF 以下としてください。XTAL 端子の寄生容量が 10pF を超える場合は (b) のように接続し、スタンバイモード時には外部クロックが High レベルとなるようにしてください。

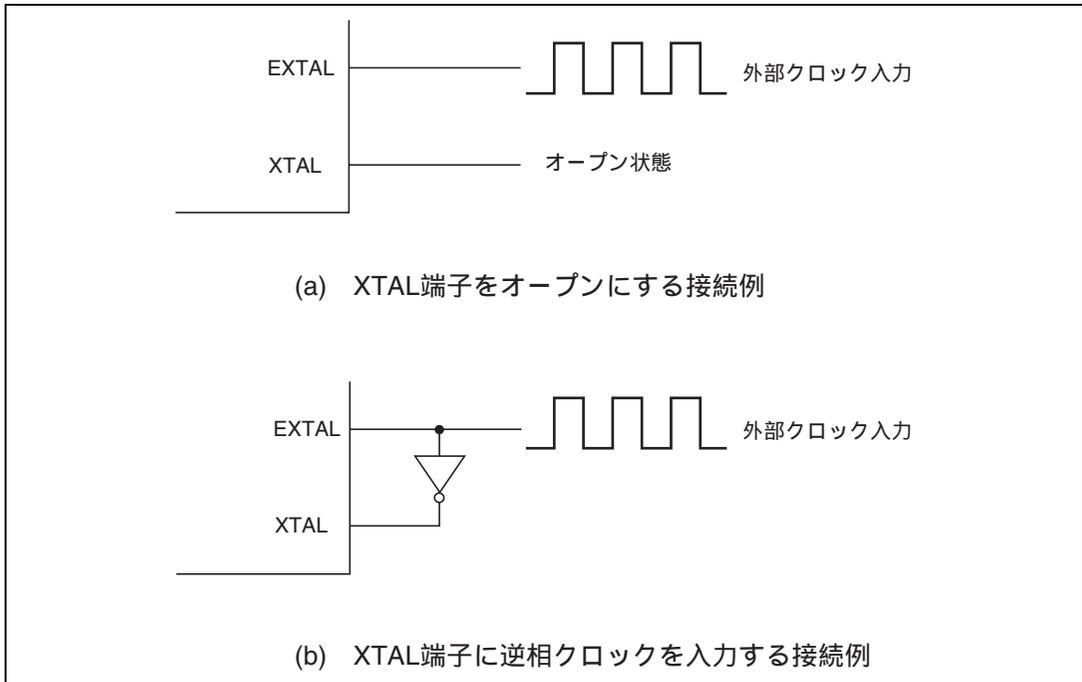


図 17.5 外部クロックを入力する場合の接続例

17. クロック発振器

(2) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。

表 17.3 にクロックタイミング、図 17.6 に外部クロック入力タイミングを示します。

図 17.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部のクロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 17.3 クロックタイミング (暫定仕様)

項目	記号	$V_{CC} = 3.0 \sim 3.6V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	15		15		ns	図 17.6	
外部クロック入力パルス幅 High レベル	t_{EXH}	15		15		ns		
外部クロック立ち上がり時間	t_{EXr}		5		5	ns		
外部クロック立ち下がり時間	t_{EXf}		5		5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	0.4	0.6	t_{cyc}	ϕ 5MHz	図 19.7
		80		80		ns	$\phi < 5MHz$	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	0.4	0.6	t_{cyc}	ϕ 5MHz	
		80		80		ns	$\phi < 5MHz$	
外部クロック出力安定遅延時間	t_{DEXT}^{*1}	500		500		μs	図 17.7	

【注】 *1 t_{DEXT} は、RES パルス幅 (t_{RESW}) を含みます。 $t_{RESW} = 20 t_{cyc}$ となります。

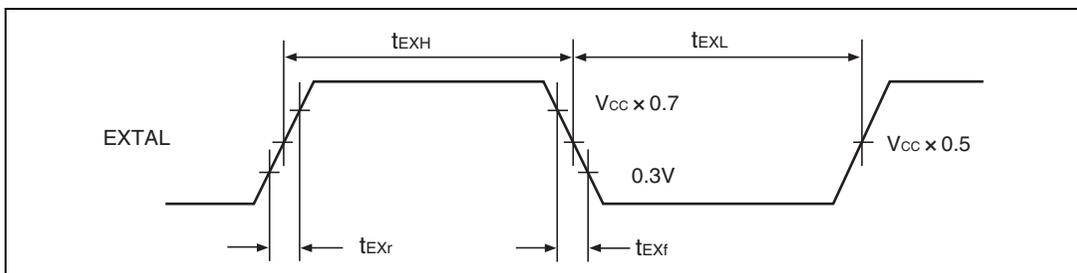


図 17.6 外部クロック入力タイミング

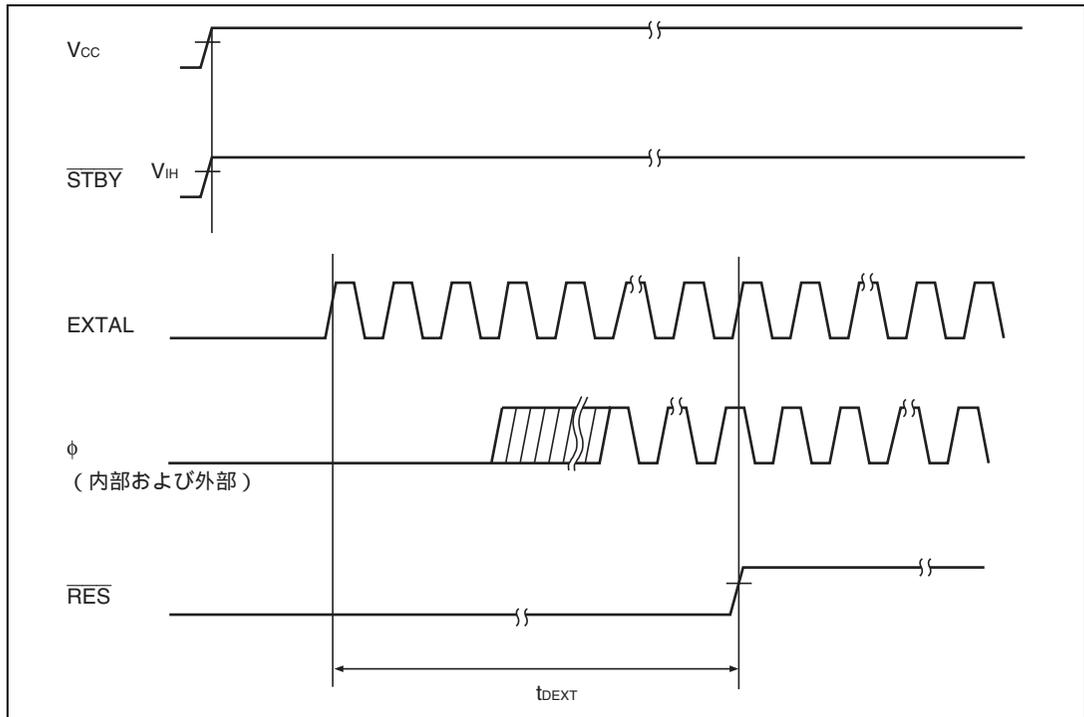


図 17.7 外部クロック出力安定遅延時間タイミング

17.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 ϕ を生成します。

17.4 プリスケーラ

プリスケーラは、 ϕ を分周し内部クロック ($\phi/2 \sim \phi/4096$) を生成します。

17.5 分周器

分周器はデューティ補正されたクロックを分周して ϕ を生成します。分周比は以下に説明する DIVCR の値を書き換えることにより動作中ダイナミックに変更できます。チップ内の消費電流は分周比にほぼ比例して低減します。また分周器で生成した ϕ は ϕ 端子より出力することができます。

17.5.1 レジスタ構成

表 17.4 に分周器のレジスタ構成を示します。

表 17.4 分周器のレジスタ構成

アドレス*	名称	略称	R/W	初期値
H'EE01B	分周比コントロールレジスタ	DIVCR	R/W	H'FC

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

17.5.2 分周比コントロールレジスタ (DIVCR)

DIVCR は 8 ビットのリード/ライト可能なレジスタで分周器の分周比を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DIV1	DIV0
初期値:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	R/W	R/W
	リザーブビット						分周比ビット1、0 分周比を設定するビットです。	

DIVCR はリセットまたはハードウェアスタンバイモード時に H'FC に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7~2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1、0: 分周比 (DIV1、DIV0)

分周比を選択します。DIV1、0 ビットと分周比の関係は以下のとおりです。

ビット 1	ビット 0	分周比	
DIV1	DIV0		
0	0	1/1	(初期値)
0	1	1/2	
1	0	1/4	
1	1	1/8	

17.5.3 使用上の注意

DIVCR の設定により ϕ の周波数が変わりますので、以下の点に注意してください。

- (1) 分周比は電气的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内におさまるように選択してください。すなわち ϕ_{min} = 動作周波数範囲の下限とし、 ϕ が下限より小さくならないように注意してください。
- (2) 内部モジュールは、すべて ϕ を基準に動作します。
 - このため、分周比変更の前後でタイマや SCI などの時間処理が変わりますので注意してください。
 - またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。詳細は「18.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

18. 低消費電力状態

18.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態および、内蔵モジュールの機能を選択的に停止させることにより消費電力を低減させるモジュールスタンバイ機能があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

モジュールスタンバイ機能は低消費電力状態とは独立に内蔵モジュールのうち、16 ビットタイマ、8 ビットタイマ、SCI0、SCI1、A/D 変換器を停止させることができます。

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を表 18.1 に示します。

表 18.1 低消費電力状態とモジュールスタンバイ機能

モード/機能	遷移条件	状態										解除方法			
		クロック	CPU	レジスタ	16ビット タイマ	8ビット タイマ	SCI0	SCI1	A/D	その他の 周辺 機能	RAM		φ クロック 出力 ^{*3}	I/O ポート	
スリープ モード	SYSCRのSSBY = 0 の状態SLEEP 命令を実行	動作	停止	保持	動作	保持	φ 出力	保持	割り込み ・ RES端子 ・ STBY端子						
ソフトウェア スタンバイモード	SYSCRのSSBY = 1 の状態SLEEP 命令を実行	停止	停止	保持	停止 リセット	保持	"High" 出力	保持	NMI端子 ・ IRQ ₀ ~ IRQ ₂ 端子 ・ RES端子 ・ STBY端子						
ハードウェア スタンバイモード	STBY端子を Lowレベル	停止	停止	不定	停止 リセット	保持 ^{*2}	ハイイン ピータン ピータン ピータン ピータン	ハイイン ピータン ピータン ピータン	・ STBY端子 ・ RES端子						
モジュール スタンバイ機能	MSTCRHおよび MSTCRLの該当ビット を1にセット	動作	動作	-	停止 ^{*1} リセット	-	ハイイン ピータン ピータン ピータン	-	・ STBY端子 ・ RES端子 ・ MSTCRの 該当ビットを 0にクリア ^{*4}						

【記号説明】

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

MSTCRH : モジュールスタンバイコントロールレジスタH

MSTCRL : モジュールスタンバイコントロールレジスタL

【注】 *1 MSTCRの該当するビットを1にセットした状態です。詳細は「18.2.2 モジュールスタンバイコントロールレジスタH (MSTCRH) 」および「18.2.3 モジュールスタンバイコントロールレジスタL (MSTCRL) 」を参照してください。

*2 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを0にクリアする必要があります。

*3 P6₇を 出力端子として使用する場合。

*4 MSTCRの各ビットを1にセットすると該当する周辺モジュールのレジスタは初期化されます。したがって周辺モジュールを再起動する場合はMSTCRの該当ビットを0にクリア後レジスタの再設定を行ってください。

18.2 レジスタ構成

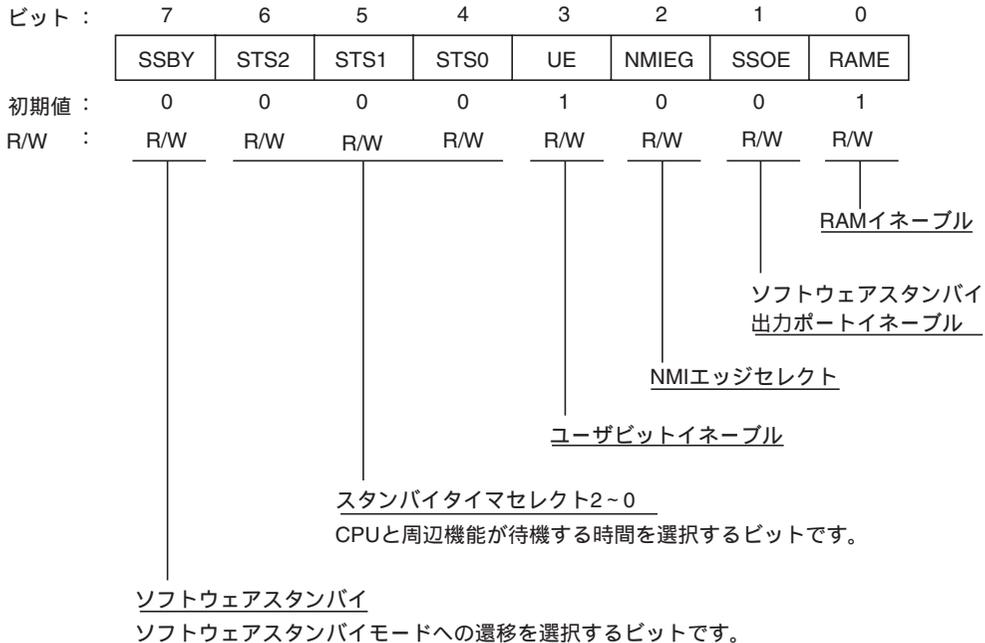
本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ (SYSCR) とモジュールスタンバイ機能の制御を行うモジュールスタンバイコントロールレジスタ H (MSTCRH) モジュールスタンバイコントロールレジスタ L (MSTCRL) があります。レジスタ構成を表 18.2 に示します。

表 18.2 レジスタ構成

アドレス	名称	略称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09
H'EE01C	モジュールスタンバイコントロールレジスタ H	MSTCRH	R/W	H'78
H'EE01D	モジュールスタンバイコントロールレジスタ L	MSTCRL	R/W	H'00

【注】 * アドバンスモード時のアドレス下位 20 ビットを示しています。

18.2.1 システムコントロールレジスタ (SYSCR)



SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6~4 の STS2~STS0 ビットとビット 1 の SSOE ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

18. 低消費電力状態

ビット7：ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表 18.3 を参照し動作周波数に応じて待機時間が7ms(発振安定時間)以上となるように選択してください。外部クロックの場合、動作周波数に応じて、待機時間が100 μ s以上となるように選択してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
1	0	1	待機時間 = 262144 ステート
1	1	0	待機時間 = 1024 ステート
1	1	1	使用禁止

ビット1：ソフトウェアスタンバイ出力ポートイネーブル (SSOE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号($\overline{CS}_0 \sim \overline{CS}_7$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR})の出力を保持またはHigh固定するか、ハイインピーダンスにするかを指定します。

ビット1	説 明
SSOE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はすべてハイインピーダンス (初期値)
1	ソフトウェアスタンバイモード時、 アドレスバス：出力状態を保持 バス制御信号：High 固定

18.2.2 モジュールスタンバイコントロールレジスタ H (MSTCRH)

MSTCRH は、8 ビットのリード/ライト可能なレジスタです。 ϕ クロック出力の制御を行い、また、内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、SCI0、SCI1 です。

ビット :	7	6	5	4	3	2	1	0
	PSTOP	—	—	—	—	—	MSTPH1	MSTPH0
初期値 :	0	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W

リザーブビット

ϕ クロックストップ
 ϕ クロックの出力を許可または禁止するビットです。

モジュールスタンバイH1~H0
モジュールをスタンバイ状態にするための選択ビットです。

MSTCRH はリセット、またはハードウェアスタンバイモード時に、H'78 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7： ϕ クロックストップ (PSTOP)

ϕ クロックの出力を許可または禁止します。

ビット7	説明
PSTOP	
0	ϕ クロックの出力を許可 (初期値)
1	ϕ クロックの出力を禁止

ビット6~3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：リザーブビット

リザーブビットです。リード/ライト可能です。

18. 低消費電力状態

ビット 1：モジュールスタンバイ H1 (MSTPH1)

SCI1 をスタンバイ状態にするかを選択します。

ビット 1	説明
MSTPH1	
0	SCI1 は通常動作 (初期値)
1	SCI1 はスタンバイ状態

ビット 0：モジュールスタンバイ H0 (MSTPH0)

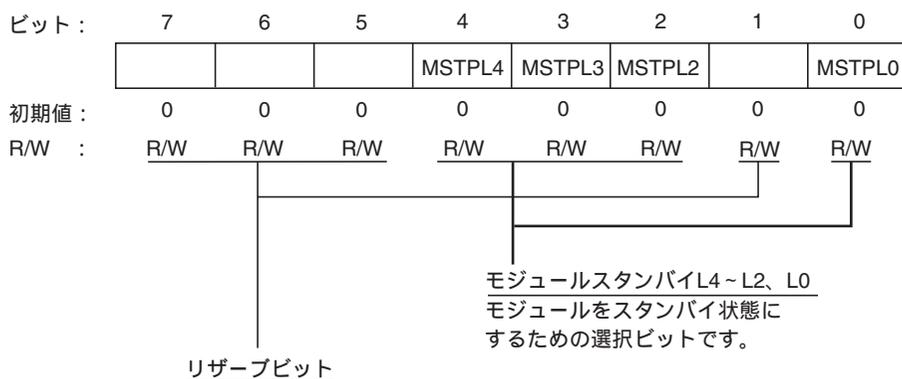
SCI0 をスタンバイ状態にするかを選択します。

ビット 0	説明
MSTPH0	
0	SCI0 は通常動作 (初期値)
1	SCI0 はスタンバイ状態

18.2.3 モジュールスタンバイコントロールレジスタ L (MSTCRL)

MSTCRL は、8 ビットのリード/ライト可能なレジスタです。

内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、16 ビットタイマ、8 ビットタイマ、A/D 変換器です。



MSTCRL はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7～ビット 5：リザーブビット

リザーブビットです。リード/ライト可能です。

ビット4：モジュールスタンバイ L4 (MSTPL4)

16 ビットタイマをスタンバイ状態にするかを選択します。

ビット4	説明
MSTPL4	
0	16 ビットタイマは通常動作 (初期値)
1	16 ビットタイマはスタンバイ状態

ビット3：モジュールスタンバイ L3 (MSTPL3)

8 ビットタイマチャンネル0、1 をスタンバイ状態にするかを選択します。

ビット3	説明
MSTPL3	
0	8 ビットタイマチャンネル0、1 は通常動作 (初期値)
1	8 ビットタイマチャンネル0、1 はスタンバイ状態

ビット2：モジュールスタンバイ L2 (MSTPL2)

8 ビットタイマチャンネル2、3 をスタンバイ状態にするかを選択します。

ビット2	説明
MSTPL2	
0	8 ビットタイマチャンネル2、3 は通常動作 (初期値)
1	8 ビットタイマチャンネル2、3 はスタンバイ状態

ビット1：リザーブビット

リザーブビットです。リード/ライト可能です。

ビット0：モジュールスタンバイ L0 (MSTPL0)

A/D 変換器をスタンバイ状態にするかを選択します。

ビット0	説明
MSTPL0	
0	A/D 変換器は通常動作 (初期値)
1	A/D 変換器はスタンバイ状態

18.3 スリープモード

18.3.1 スリープモードへの遷移

SYSCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。ただし、モジュールスタンバイ機能により、スタンバイ状態となっている内蔵モジュールの機能は動作しません。

18.3.2 スリープモードの解除

スリープモードの解除は、割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、割り込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合、また、NMI 以外の割り込みで CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.4 ソフトウェアスタンバイモード

18.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートの状態も保持されています。WDT をウォッチドッグタイマとして使用している場合 ($\text{WT}/\text{IT}=1$)、必ず TME ビットを 0 クリアしてから SSBY をセットしてください。また、TME を 1 にセットするときは、SSBY を 0 クリアしてください。

また、ソフトウェアスタンバイモードに遷移する前に、BRCCR の BRLE ビットをクリア (バス解放禁止状態) してください。

18.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI 端子、 $\overline{IRQ_0}$ ~ $\overline{IRQ_2}$ 端子）、 \overline{RES} 端子、または \overline{STBY} 端子によって行われます。

(1) 割り込みによる解除

NMI、 IRQ_0 ~ IRQ_2 割り込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、 IRQ_0 ~ IRQ_2 割り込みは、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 \overline{RES} 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) \overline{STBY} 端子による解除

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットおよび DIVCR の DIV1、DIV0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 7ms（発振安定時間）以上となるように STS2 ~ STS0、DIV1、DIV0 を設定してください。

表 18.3 は動作周波数と STS2 ~ STS0、DIV1、0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

待機時間が 100 μ s 以上となるように、STS2 ~ STS0、DIV0、DIV1 ビットを設定してください。

18. 低消費電力状態

表 18.3 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	25MHz	20MHz	18MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	単位
0	0	0	0	0	8192ステート	0.3	0.4	0.46	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	ms
		0	0	1	16384ステート	0.7	0.8	0.91	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	
		0	1	0	32768ステート	1.3	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	1	65536ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		1	0	0	131072ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	1	262144ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	1	0	1024ステート	0.04	0.05	0.057	0.064	0.085	0.10	0.13	0.17	0.26	0.51	1.0	
		1	1	1	使用禁止												
0	1	0	0	0	8192ステート	0.7	0.8	0.91	1.02	1.4	1.6	2.0	2.7	4.1	8.2	16.4	ms
		0	0	1	16384ステート	1.3	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	0	32768ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	1	65536ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	0	131072ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	1	262144ステート	21.0	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	1	0	1024ステート	0.08	0.10	0.11	0.13	0.17	0.20	0.26	0.34	0.51	1.0	2.0	
		1	1	1	使用禁止												
1	0	0	0	0	8192ステート	1.3	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	ms
		0	0	1	16384ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	0	32768ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	1	65536ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	0	131072ステート	21.0	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	1	262144ステート	41.9	52.4	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	1	0	1024ステート	0.16	0.20	0.23	0.26	0.34	0.41	0.51	0.68	1.02	2.0	4.1	
		1	1	1	使用禁止												
1	1	0	0	0	8192ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	ms
		0	0	1	16384ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	0	32768ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		0	1	1	65536ステート	21.0	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	0	131072ステート	41.9	52.4	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	0	1	262144ステート	83.9	104.9	116.5	131.1	174.8	209.7	262.1	349.5	524.3	1048.6	2097.1	
		1	1	0	1024ステート	0.33	0.41	0.46	0.51	0.68	0.82	1.0	1.4	2.0	4.1	8.2	
		1	1	1	使用禁止												

: 推奨設定時間

18.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立ち下がりによってソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりによって解除を行う例を、図 18.1 に示します。

SYSOCR の NMI エッジ (NMIEG) ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセットします (立ち上がりエッジ指定)。SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。その後、NMI 端子の立ち上がりエッジで、ソフトウェアスタンバイモードが解除されます。

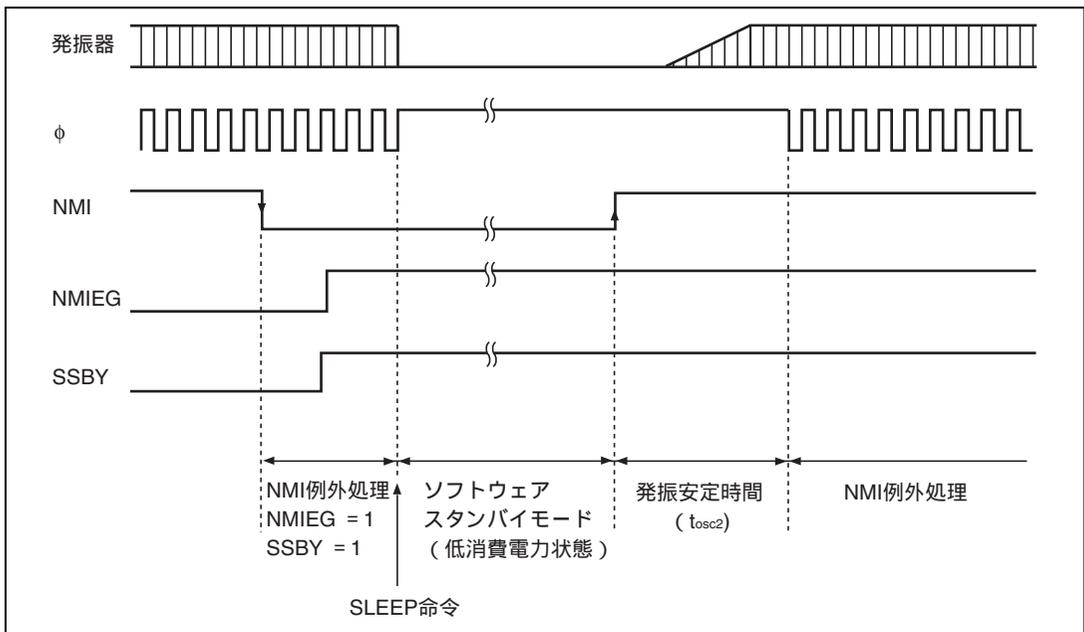


図 18.1 ソフトウェアスタンバイモード時の NMI タイミング (例)

18.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

18.5 ハードウェアスタンバイモード

18.5.1 1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

18.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

18.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 18.2 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

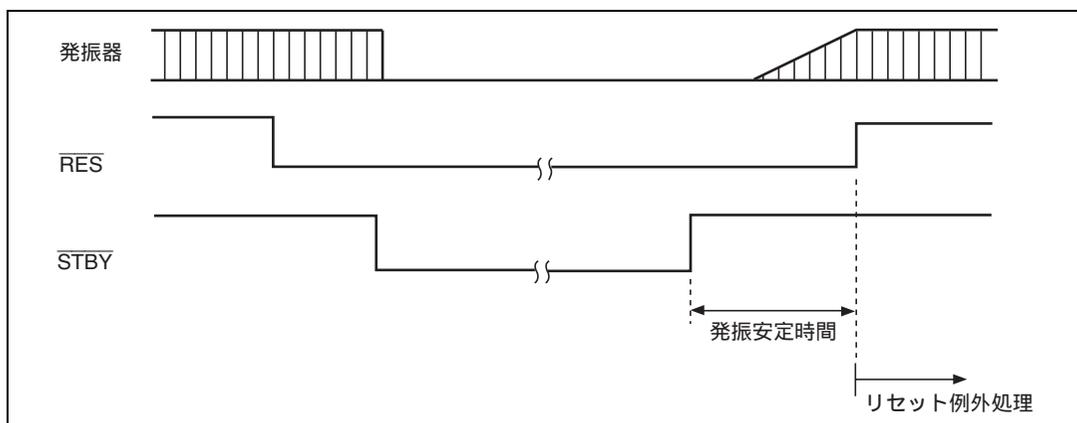


図 18.2 ハードウェアスタンバイモードのタイミング

18.6 モジュールスタンバイ機能

18.6.1 モジュールスタンバイタイミング

モジュールスタンバイ機能は、MSTCRH の MSTPH2~0 ビットおよび、MSTCRL の MSTPL7~0 ビットにより、内蔵モジュールのうち SCI1、SCI0、16 ビットタイマ、8 ビットタイマ、A/D 変換器を低消費電力状態とは独立に停止させることができます。MSTCR のビットを 1 にセットすると、MSTCR のライトサイクルの次のバスサイクルの先頭で上記周辺モジュールはスタンバイ状態となり動作が停止します。

18.6.2 モジュールスタンバイ中のリード/ライト

モジュールスタンバイ中の周辺モジュールのレジスタに対するリード/ライトはできません。リードすると常に H'FF が読み出されます。ライトは無効です。

18.6.3 使用上の注意

モジュールスタンバイ機能を使用するうえで以下のことに注意してください。

(1) 内蔵周辺モジュール割り込み

モジュールスタンバイビットをセットする場合、事前に当該モジュールの割り込みを禁止してください。

モジュールスタンバイ機能によって、スタンバイ状態となった周辺モジュールは割り込みフラグを含めてレジスタがすべて初期化されます。

(2) 端子の状態

モジュールスタンバイ機能によって、停止したモジュールが使用していた端子は、モジュールの機能が失われます。その後の端子状態については端子ごとに異なりますので、詳細は「第 7 章 I/O ポート」を参照してください。端子の状態が入力から出力に変化する場合には、特に注意が必要です。たとえば、SCI1 をモジュールスタンバイにした場合、受信端子はモジュールスタンバイと同時に受信端子としての機能が無くなりポートとなりますが、ポートの DDR が 1 にセットされていると、端子はデータ出力となり外部 SCI 送信データと衝突する可能性があります。この場合、ポートの DDR を 0 にクリアするなどの対策をとってください。

(3) レジスタの再設定

モジュールスタンバイ機能によって、停止した周辺モジュールのレジスタはすべて初期化されます。このため再動作させる際には、MSTCR のビットを 0 にクリアした後、レジスタの再設定が必要です。なお MSTCR のビットが 1 にセットされた状態ではレジスタへのライトはできません。

18.7 ϕ クロック出力禁止機能

MSTCRH の PSTOP ビットにより、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、 ϕ クロックは停止し、 ϕ 端子はハイインピーダンスになります。

図 18.3 に ϕ クロックの発振開始、発振停止のタイミングを示します。PSTOP ビットを 0 にクリアした状態では、 ϕ クロックの出力は許可されます。表 18.4 に各処理状態における ϕ 端子の状態を示します。

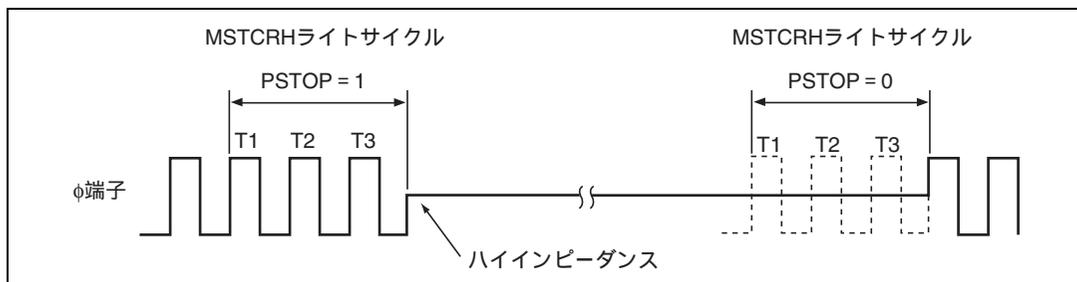


図 18.3 ϕ クロック発振開始、発振停止タイミング

表 18.4 各処理状態における ϕ 端子の状態

処理状態	PSTOP = 0	PSTOP = 1
ハードウェアスタンバイ	ハイインピーダンス	ハイインピーダンス
ソフトウェアスタンバイ	High レベル固定	ハイインピーダンス
スリープモード	ϕ 出力	ハイインピーダンス
通常動作状態	ϕ 出力	ハイインピーダンス

19. 電気的特性

19.1 絶対最大定格

絶対最大定格を表 19.1 に示します。

表 19.1 絶対最大定格

項目	記号	定格値		単位
電源電圧	V_{CC}	5V 動作品	- 0.3 ~ + 7.0	V
		3V 動作品	- 0.3 ~ + 4.6	
入力電圧 (ポート 7 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
リファレンス電源電圧	V_{REF}	- 0.3 ~ $AV_{CC} + 0.3$		V
アナログ電源電圧	AV_{CC}	5V 動作品	- 0.3 ~ + 7.0	V
		3V 動作品	- 0.3 ~ + 4.6	
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	T_{opr}	通常仕様品 : - 20 ~ + 75		
		広温度範囲仕様品 : - 40 ~ + 85		
保存温度	T_{stg}	- 55 ~ + 125		

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

19.2 DC 特性

DC 特性を表 19.2 に示します。また、出力許容電流値を表 19.3 に示します。

表 19.2 DC 特性 (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}^{*1}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$
 $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件		
シュミット トリガ入力 電圧	$P8_0 \sim P8_2$ ポート A	V_T^-	1.0	—	—	V		
		V_T^+	—	—	$V_{CC} \times 0.7$			
		$V_T^+ - V_T^-$	0.4	—	—			
入力 High レベル電圧	STBY、RES、 NMI、MD ₀ ~ MD ₂	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V		
	EXTAL		$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$			
	ポート 7		2.0	—	$AV_{CC} + 0.3$			
	ポート 4 ~ 6、 P8 ₃ 、P8 ₄ 、P9 ₀ ~ P9 ₅ 、ポート B		2.0	—	$V_{CC} + 0.3$			
入力 Low レベル電圧	STBY、RES、 MD ₀ ~ MD ₂	V_{IL}	- 0.3	—	0.5	V		
	NMI、EXTAL、 ポート 4 ~ 7、 P8 ₃ 、P8 ₄ 、P9 ₀ ~ P9 ₅ 、ポート B		- 0.3	—	0.8			
出力 High レベル電圧	全出力端子 (RESO 以外)	V_{OH}	$V_{CC} - 0.5$	—	-	V	$I_{OH} = -200\mu A$	
			3.5	—	-		$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子 (RESO 以外)	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$	
			$A_0 \sim A_{19}$	—	—		1.0	$I_{OL} = 10mA$
			RESO	—	—		0.4	$I_{OL} = 1.6mA$
入力リーク 電流	STBY、RES、 NMI、MD ₀ ~ MD ₂	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	ポート 7		—	—	1.0		$V_{in} = 0.5V \sim AV_{CC} - 0.5V$	
スリーステ ートリーク 電流	ポート 4 ~ 6、 $A_0 \sim A_{19}$ 、 ポート 8 ~ B	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	RESO		—	—	10.0		$V_{in} = 0V$	
入力 プルアップ MOS 電流	ポート 4、5	$-I_p$	50	—	300	μA	$V_{in} = 0V$	
入力容量	NMI	C_{in}	—	—	50	pF	$V_{in} = 0V$ 、 $f = f_{min}$ 、 $T_a = 25$	
	NMI 以外の 全入力端子		—	—	15			

項目	記号	min	typ	max	単位	測定条件	
消費電流* ²	通常動作時	I_{CC} * ³	-	32 (5.0V)	47	mA	f = 20MHz
				37 (5.0V)	58		f = 25MHz
	スリープ時		-	24 (5.0V)	38		f = 20MHz
				29 (5.0V)	47		f = 25MHz
	モジュールスタンバイ時		-	19 (5.0V)	31		f = 20MHz
				21 (5.0V)	37		f = 25MHz
スタンバイ時	-	1.0	10	μ A	Ta 50		
	-	-	80		50 < Ta		
アナログ電源電流	A/D 変換中	AI_{CC}	-	0.6	1.5	mA	
	A/D、D/A 変換中		-	0.6	1.5		
	A/D、D/A 変換待機中		-	0.01	5.0	μ A	
リファレンス電源電流	A/D 変換中	AI_{CC}	-	0.45	0.8	mA	
	A/D、D/A 変換中		-	2.0	3.0		
	A/D、D/A 変換待機中		-	0.01	5.0	μ A	
RAM スタンバイ電圧	V_{RAM}	2.0	-	-	V		

- 【注】 *1 A/D 変換器未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。
 AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。
- *2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
また、 $V_{RAM} < V_{CC} < 4.5V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。
- *3 $I_{CC} \max.$ (通常動作時) = $3.0 [mA] + 0.40 [mA / (MHz \times V)] \times V_{CC} \times f$
 $I_{CC} \max.$ (スリープ時) = $3.0 [mA] + 0.32 [mA / (MHz \times V)] \times V_{CC} \times f$
 $I_{CC} \max.$ (スリープ + モジュールスタンバイ時) = $3.0 [mA] + 0.25 [mA / (MHz \times V)] \times V_{CC} \times f$
また、消費電流の $typ.$ 値は参考値です。

19. 電気的特性

表 19.2 DC 特性 (2)

条件: $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0V \sim AV_{CC}^{*1}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$

$T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	P8 ₀ ~ P8 ₂ 、 ポート A	V_T^-	$V_{CC} \times 0.2$	—	—	V	
		V_T^+	—	—	$V_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	$V_{CC} \times 0.05$	—	—		
入力 High レベル電圧	\overline{STBY} 、 \overline{RES} 、 \overline{NMI} 、MD ₀ ~ MD ₂	V_{IH}	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	
			$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$		
			$V_{CC} \times 0.7$	—	$AV_{CC} + 0.3$		
			$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$		
入力 Low レベル電圧	\overline{STBY} 、 \overline{RES} 、 MD ₀ ~ MD ₂	V_{IL}	- 0.3	—	$V_{CC} \times 0.1$	V	
			- 0.3	—	$V_{CC} \times 0.2$		
出力 High レベル電圧	全出力端子 (RESO 以外)	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$	—	—		$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RESO 以外)	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
			—	—	1.0		$I_{OL} = 5mA$
			—	—	0.4		$I_{OL} = 1.6mA$
入力リーク 電流	\overline{STBY} 、 \overline{RES} 、 \overline{NMI} 、MD ₀ ~ MD ₂	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
			—	—	1.0		$V_{in} = 0.5V \sim AV_{CC} - 0.5V$
スリープ モードリーク 電流	ポート 4 ~ 6、 A ₀ ~ A ₁₉ 、 ポート 8 ~ B	$ I_{TSL} $	—	—	1.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
			—	—	10.0		$V_{in} = 0V$
			—	—	10.0		$V_{in} = 0V$
入力プルア ップ MOS 電流	ポート 4、5	$-I_p$	10	—	300	μA	$V_{in} = 0V$
入力容量	NMI	C_{in}	—	—	50	pF	$V_{in} = 0V$
	NMI 以外の 全入力端子		—	—	15		$f = f_{min}$ 、 $T_a = 25$

項目	記号	min	typ	max	単位	測定条件	
消費電流*2	通常動作時	I_{CC} *3	—	37 (3.3V)	58	mA	f = 25MHz
	スリープ時		—	29 (3.3V)	47		f = 25MHz
	モジュールスタンバイ時		—	21 (3.3V)	37		f = 25MHz
	スタンバイ時		—	1.0	10	μ A	Ta 50
	—	—	80	50 < Ta			
アナログ電源電流	A/D 変換中	AI_{CC}	—	0.6	1.5	mA	$AV_{CC} = 3.0V$
	A/D、D/A 変換中		—	0.6	1.5		$AV_{CC} = 3.0V$
	A/D、D/A 変換待機中		—	0.01	5.0	μ A	DASTE = 0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	—	0.45	0.8	mA	$V_{REF} = 3.0V$
	A/D、D/A 変換中		—	2.0	3.0		$V_{REF} = 3.0V$
	A/D、D/A 変換待機中		—	0.01	5.0	μ A	DASTE = 0 時
RAM スタンバイ電圧	V_{RAM}	2.0	—	—	V		

【注】 *1 A/D 変換器未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \text{ min} = V_{CC} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

また、 V_{RAM} 、 $V_{CC} < 3.0V$ のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3V$ とした場合の値です。

*3 $I_{CC} \text{ max. (通常動作時)} = 3.0 \text{ [mA]} + 0.61 \text{ [mA/(MHz} \times V)] \times V_{CC} \times f$

$I_{CC} \text{ max. (スリープ時)} = 3.0 \text{ [mA]} + 0.49 \text{ [mA/(MHz} \times V)] \times V_{CC} \times f$

$I_{CC} \text{ max. (スリープ+モジュールスタンバイ時)} = 3.0 \text{ [mA]} + 0.38 \text{ [mA/(MHz} \times V)] \times V_{CC} \times f$

また、消費電流の typ. 値は参考値です。

19. 電気的特性

表 19.3 出力許容電流値

全条件 : $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$

条件 B : $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$

項目		記号	条件 A、B			単位
			min	typ	max	
出力 Low レベル許容電流 (1 端子あたり)	$A_{19} \sim A_0$	I_{OL}	—	—	10	mA
	上記以外の出力端子		—	—	2.0	
出力 Low レベル許容電流 (総和)	$A_{19} \sim A_0$ 、20 端子の総和	ΣI_{OL}	—	—	80	mA
	上記を含む、全出力端子の総和		—	—	120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$ - I_{OH} $	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$ - \Sigma I_{OH} $	—	—	40	mA

- 【注】
- LSI の信頼性を確保するため、出力電流値は、表 19.3 の値を超えないようにしてください。
 - ダーリントトランジスタや、LED を直接駆動する場合には、図 19.1 に示すように、出力に必ず電流制限抵抗を挿入してください。

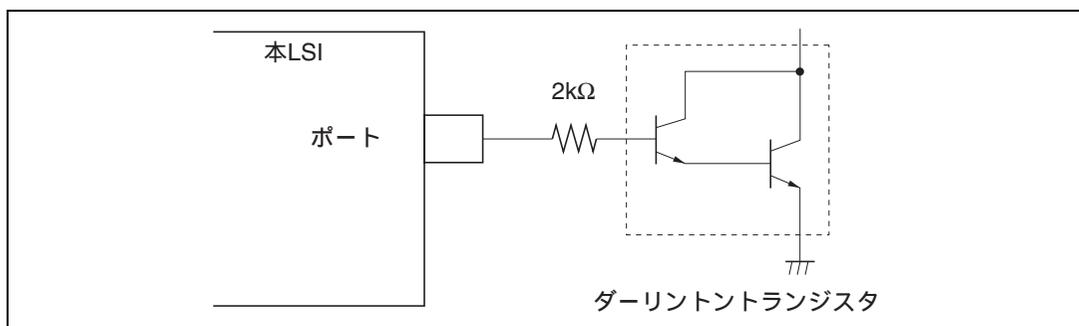


図 19.1 ダーリントトランジスタ駆動回路例

19.3 AC 特性

表 19.4 にクロックタイミング、表 19.5 に制御信号タイミング、表 19.6 にバスタイミングを示します。

また、表 19.7 に内蔵周辺モジュールタイミングを示します。

表 19.4 クロックタイミング

全条件 : $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
クロックサイクル時間	t_{CYC}	40	500	50	500	40	500	ns	図 19.3 ~ 図 19.15
クロックパルス幅 (Low)	t_{CL}	10	-	15	-	10	-	ns	
クロックパルス幅 (High)	t_{CH}	10	-	15	-	10	-	ns	
クロック立ち上がり時間	t_{Cr}	-	10	-	10	-	10	ns	
クロック立ち下がり時間	t_{Cf}	-	10	-	10	-	10	ns	
リセット発振安定時間	t_{OSC1}	20	-	20	-	20	-	ms	図 19.3
ソフトウェアスタンバイ発振安定時間	t_{OSC2}	7	-	7	-	7	-	ms	図 18.1

表 19.5 制御信号タイミング

全条件 : $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

項目	記号	条件 A		条件 B, C		単位	測定条件
		min	max	min	max		
RES \bar セットアップ時間	t_{RESS}	150	-	150	-	ns	図 19.4
RES \bar パルス幅	t_{RESW}	10	-	10	-	t_{CYC}	
モードプログラミング セットアップ時間	t_{MDS}	200	-	200	-	ns	
RES \bar 出力遅延時間	t_{RESD}	-	50	-	50	ns	図 19.5
RES \bar 出力パルス幅	t_{RESOW}	132	-	132	-	t_{CYC}	
NMI、 \bar{IRQ} セットアップ時間	t_{NMIS}	150	-	150	-	ns	図 19.6
NMI、 \bar{IRQ} ホールド時間	t_{NMIH}	10	-	10	-	ns	
NMI、 \bar{IRQ} パルス幅	t_{NMIW}	200	-	200	-	ns	

19. 電気的特性

表 19.6 バスタイミング

全条件: $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A: $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 B: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

条件 C: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

項目	記号	条件 A		条件 B, C		単位	測定条件
		min	max	min	max		
アドレス遅延時間	t_{AD}	-	25	-	25	ns	図 19.7、 図 19.8
アドレスホールド時間	t_{AH}	$0.5t_{cyc} - 20$		$0.5t_{cyc} - 20$	-	ns	
リードストロープ遅延時間	t_{RSD}	-	25	-	25	ns	
アドレスストロープ遅延時間	t_{ASD}	-	25	-	25	ns	
ライトストロープ遅延時間	t_{WSD}	-	25	-	25	ns	
ストロープ遅延時間	t_{SD}	-	25	-	25	ns	
ライトストロープパルス幅 1	t_{WSW1}	$1.0t_{cyc} - 25$	-	$1.0t_{cyc} - 25$	-	ns	
ライトストロープパルス幅 2	t_{WSW2}	$1.5t_{cyc} - 25$	-	$1.5t_{cyc} - 25$	-	ns	
アドレスセットアップ時間 1	t_{AS1}	$0.5t_{cyc} - 20$	-	$0.5t_{cyc} - 20$	-	ns	
アドレスセットアップ時間 2	t_{AS2}	$1.0t_{cyc} - 20$	-	$1.0t_{cyc} - 20$	-	ns	
リードデータセットアップ時間	t_{RDS}	25	-	25	-	ns	
リードデータホールド時間	t_{RDH}	0	-	0	-	ns	
ライトデータ遅延時間	t_{WDD}	-	35	-	35	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$1.0t_{cyc} - 30$	-	$1.0t_{cyc} - 30$	-	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$2.0t_{cyc} - 30$	-	$2.0t_{cyc} - 30$	-	ns	
ライトデータホールド時間	t_{WDH}	$0.5t_{cyc} - 15$	-	$0.5t_{cyc} - 15$	-	ns	
リードデータアクセス時間 1	t_{ACC1}	-	$2.0t_{cyc} - 45$	-	$2.0t_{cyc} - 45$	ns	
リードデータアクセス時間 2	t_{ACC2}	-	$3.0t_{cyc} - 45$	-	$3.0t_{cyc} - 45$	ns	
リードデータアクセス時間 3	t_{ACC3}	-	$1.5t_{cyc} - 45$	-	$1.5t_{cyc} - 45$	ns	
リードデータアクセス時間 4	t_{ACC4}	-	$2.5t_{cyc} - 45$	-	$2.5t_{cyc} - 45$	ns	
プリチャージ時間 1	t_{PCH1}	$1.0t_{cyc} - 20$	-	$1.0t_{cyc} - 20$	-	ns	
プリチャージ時間 2	t_{PCH2}	$0.5t_{cyc} - 20$	-	$0.5t_{cyc} - 20$	-	ns	
ウェイトセットアップ時間	t_{WTS}	25	-	25	-	ns	図 19.9
ウェイトホールド時間	t_{WTH}	5	-	5	-	ns	
バスリクエストセットアップ時間	t_{BRQS}	25	-	25	-	ns	図 19.10
バスアクノリッジ遅延時間 1	t_{BACD1}	-	30	-	30	ns	
バスアクノリッジ遅延時間 2	t_{BACD2}	-	30	-	30	ns	
バスフローティング時間	t_{BZD}	-	30	-	30	ns	

【注】 RD ストロープの立ち上がりに対するアドレスのホールドを確保するためには、アドレス更新モード 2 を使用してください。詳細は「6.3.5 アドレス出力方式」を参照してください。

表 19.7 内蔵周辺モジュールタイミング

全条件 : $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

Module	項目	記号	条件 A		条件 B, C		単位	測定条件	
			min	max	min	max			
ポート / TPC	出力データ遅延時間	t_{PWD}	-	50	-	50	ns	図 19.11	
	入力データセットアップ時間	t_{PRS}	50	-	50	-	ns		
	入力データホールド時間	t_{PRH}	50	-	50	-	ns		
16 ビット タイマ	タイマ出力遅延時間	t_{TOCD}	-	50	-	50	ns	図 19.12	
	タイマ入力セットアップ時間	t_{TICS}	50	-	50	-	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	50	-	50	-	ns	図 19.13	
	タイマクロック パルス幅	単エッジ	t_{TCKWH}	1.5	-	1.5	-		t_{cyc}
		両エッジ	t_{TCKWL}	2.5	-	2.5	-		t_{cyc}
8 ビット タイマ	タイマ出力遅延時間	t_{TOCD}	-	50	-	50	ns	図 19.12	
	タイマ入力セットアップ時間	t_{TICS}	50	-	50	-	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	50	-	50	-	ns	図 19.13	
	タイマクロック パルス幅	単エッジ	t_{TCKWH}	1.5	-	1.5	-		t_{cyc}
		両エッジ	t_{TCKWL}	2.5	-	2.5	-		t_{cyc}
SCI	入クロックサイクル	調歩同期	t_{Scyc}	4	-	4	-	t_{cyc}	図 19.14
		クロック同期		6	-	6	-		
	入クロック立ち上がり時間	t_{SCKr}	-	1.5	-	1.5	t_{cyc}		
	入クロック立ち下がり時間	t_{SCKf}	-	1.5	-	1.5	t_{cyc}		
	入クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	t_{Scyc}		
	送信データ遅延時間	t_{TXD}	-	100	-	100	ns		
	受信データセットアップ時間(クロック同期)	t_{RXS}	100	-	100	-	ns		
	受信データホールド時間(クロック同期)	クロック入力	t_{RXH}	100	-	100	-	ns	
クロック出力		0		-	0	-			

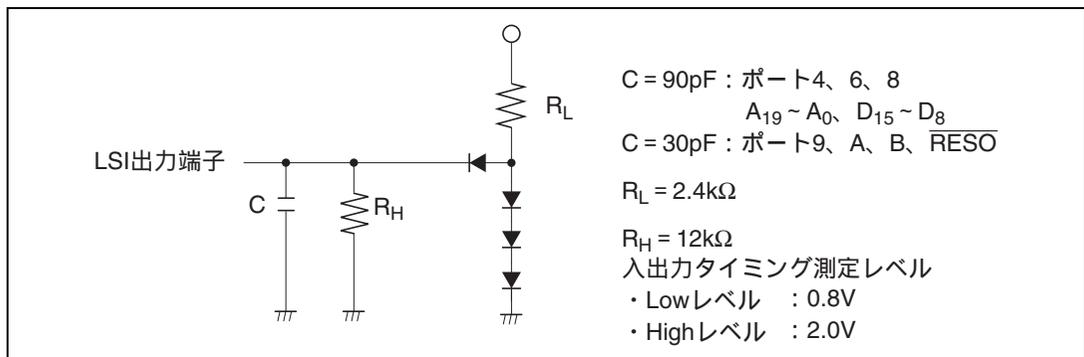


図 19.2 出力負荷回路

19.4 A/D 変換特性

A/D 変換特性を表 19.8 に示します。

表 19.8 A/D 変換特性

全条件 : $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

項目		条件 A			条件 B, C			単位	
		min	typ	max	min	typ	max		
変換時間 :	分解能	10	10	10	10	10	10	bit	
134 ステート	変換時間 (単一モード)	5.36	-	-	5.36	-	-	μs	
	アナログ入力容量	-	-	20	-	-	20	pF	
	許容信号源 インピーダンス	ϕ 13MHz	-	-	10	-	-	10	$k\Omega$
		$\phi > 13MHz$	-	-	5	-	-	5	
	非直線性誤差	-	-	± 3.5	-	-	± 3.5	LSB	
	オフセット誤差	-	-	± 3.5	-	-	± 3.5	LSB	
	フルスケール誤差	-	-	± 3.5	-	-	± 3.5	LSB	
	量子化誤差	-	-	± 0.5	-	-	± 0.5	LSB	
絶対精度	-	-	± 4.0	-	-	± 4.0	LSB		
変換時間 : 70 ステート	分解能	10	10	10	10	10	10	bit	
	変換時間 (単一モード)	5.36	-	-	5.36	-	-	μs	
	アナログ入力容量	-	-	20	-	-	20	pF	
	許容信号源 インピーダンス	ϕ 13MHz	-	-	5	-	-	5	$k\Omega$
		$\phi > 13MHz$	-	-	3	-	-	3	
	非直線性誤差	-	-	± 7.5	-	-	± 7.5	LSB	
	オフセット誤差	-	-	± 7.5	-	-	± 7.5	LSB	
	フルスケール誤差	-	-	± 7.5	-	-	± 7.5	LSB	
量子化誤差	-	-	± 0.5	-	-	± 0.5	LSB		
絶対精度	-	-	± 8.0	-	-	± 8.0	LSB		

【注】 * 動作周波数 $f = 70$ (ステート) / 5.36 (μs) 13.0 (MHz) を超える周波数で使用する場合は、変換時間 70 ステートを選択しないでください

19.5 D/A 変換特性

D/A 変換特性を表 19.9 に示します。

表 19.9 D/A 変換特性

全条件 : $T_a = -20 \sim +75$ (一般仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 A : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 25MHz$

項目	条件 A			条件 B, C			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	bit	
変換時間 (セトリング時間)	-	-	10	-	-	10	μs	負荷容量 20pF
絶対精度	-	± 2.0	± 3.0	-	± 1.5	± 2.0	LSB	負荷抵抗 2M Ω
	-	-	± 2.0	-	-	± 1.5		負荷抵抗 4M Ω

19.6 動作タイミング

動作タイミングを以下に示します。

19.6.1 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図19.3に発振安定時間タイミングを示します。

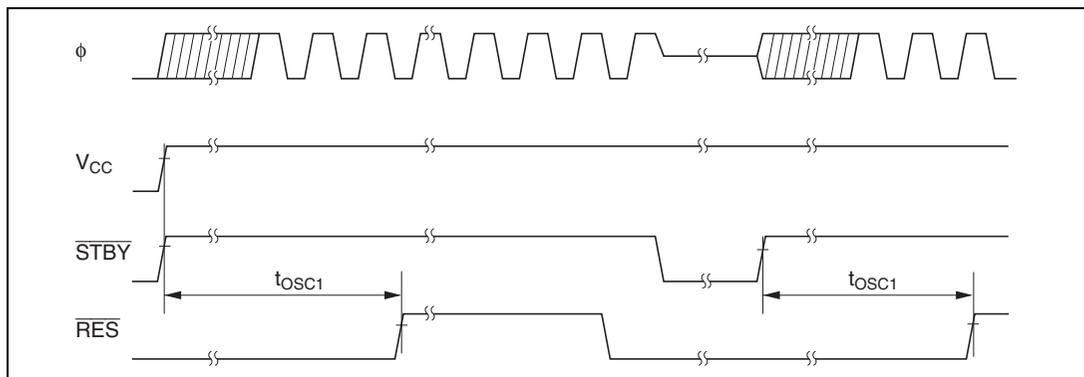


図 19.3 発振安定時間タイミング

19.6.2 制御信号タイミング

制御信号タイミングを以下に示します。

- (1) リセット入力タイミング
図19.4にリセット入力タイミングを示します。
- (2) リセット出力タイミング
図19.5にリセット出力タイミングを示します。
- (3) 割り込み入力タイミング
図19.6にNMI、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 割り込み入力タイミングを示します。

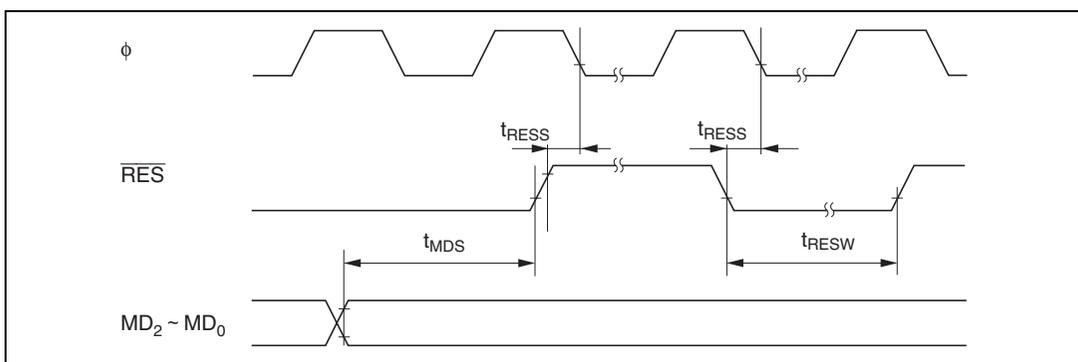


図 19.4 リセット入力タイミング

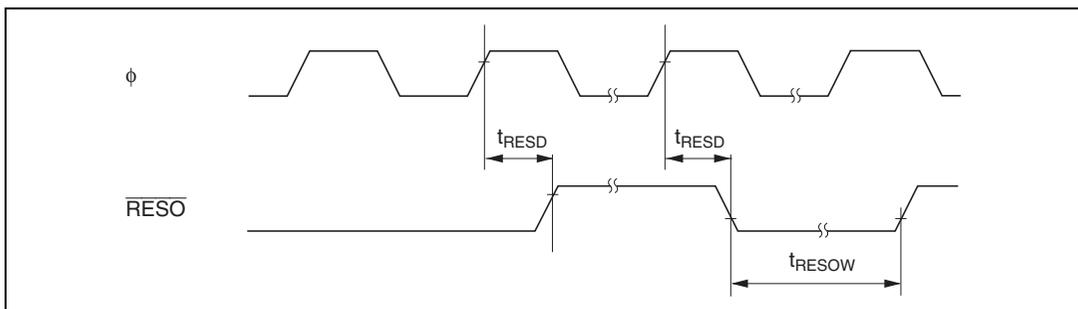


図 19.5 リセット出力タイミング

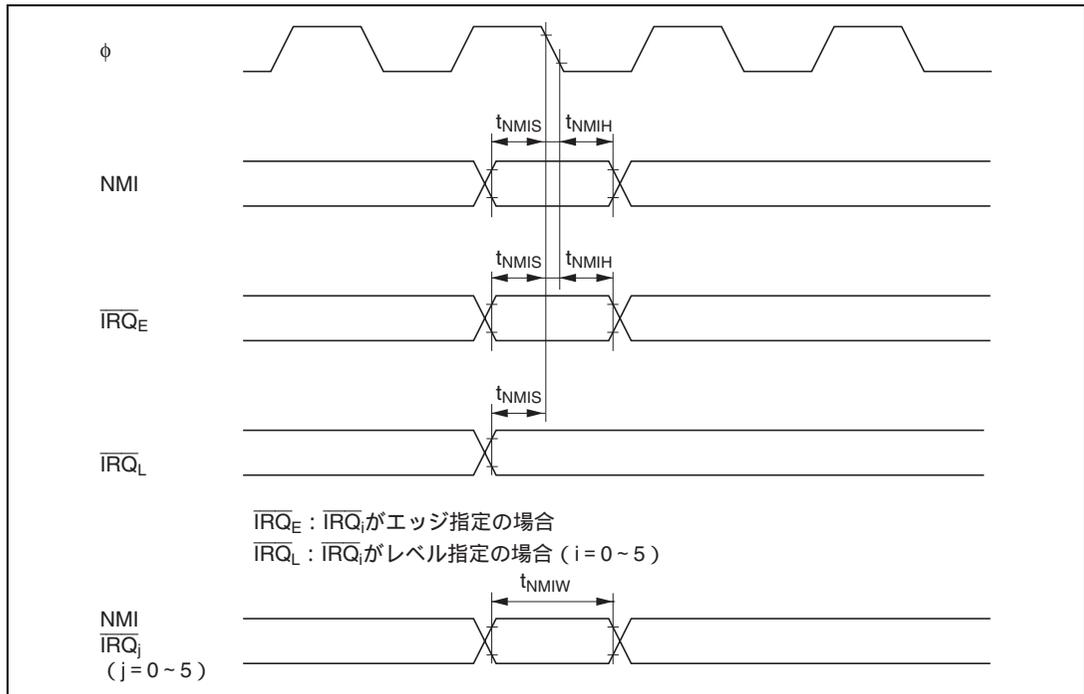


図 19.6 割り込み入力タイミング

19.6.3 バスタイミング

バスタイミングを以下に示します。

- (1) 基本バスタイミング / 2ステートアクセス
図19.7に外部2ステートアクセス時の動作タイミングを示します。
- (2) 基本バスタイミング / 3ステートアクセス
図19.8に外部3ステートアクセス時の動作タイミングを示します。
- (3) 基本バスタイミング / 3ステートアクセス1ウェイト
図19.9に外部3ステートアクセスで1ウェイトを挿入したときの動作タイミングを示します。
- (4) バスリリースモードタイミング
図19.10にバスリリースモードタイミングを示します。

19. 電気的特性

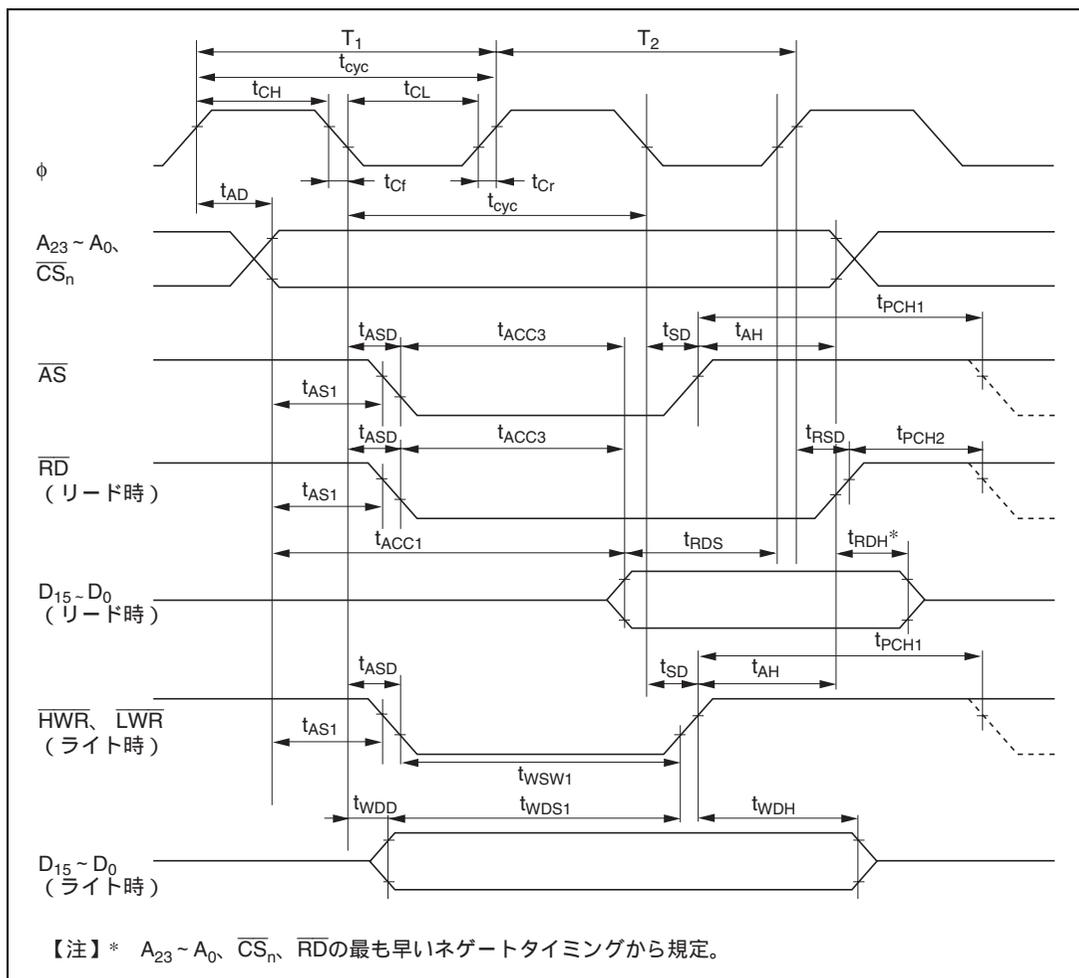


図 19.7 基本バスタイミング / 2 ステートアクセス

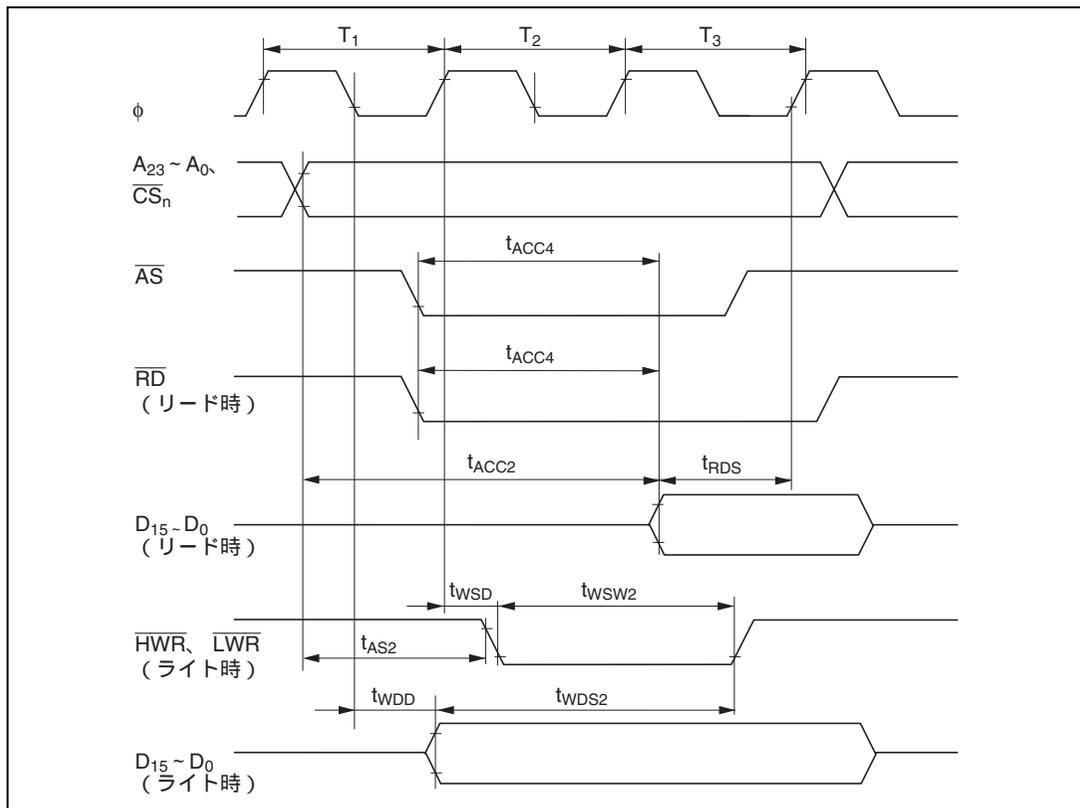


図 19.8 基本バスタイミング / 3 ステートアクセス

19. 電気的特性

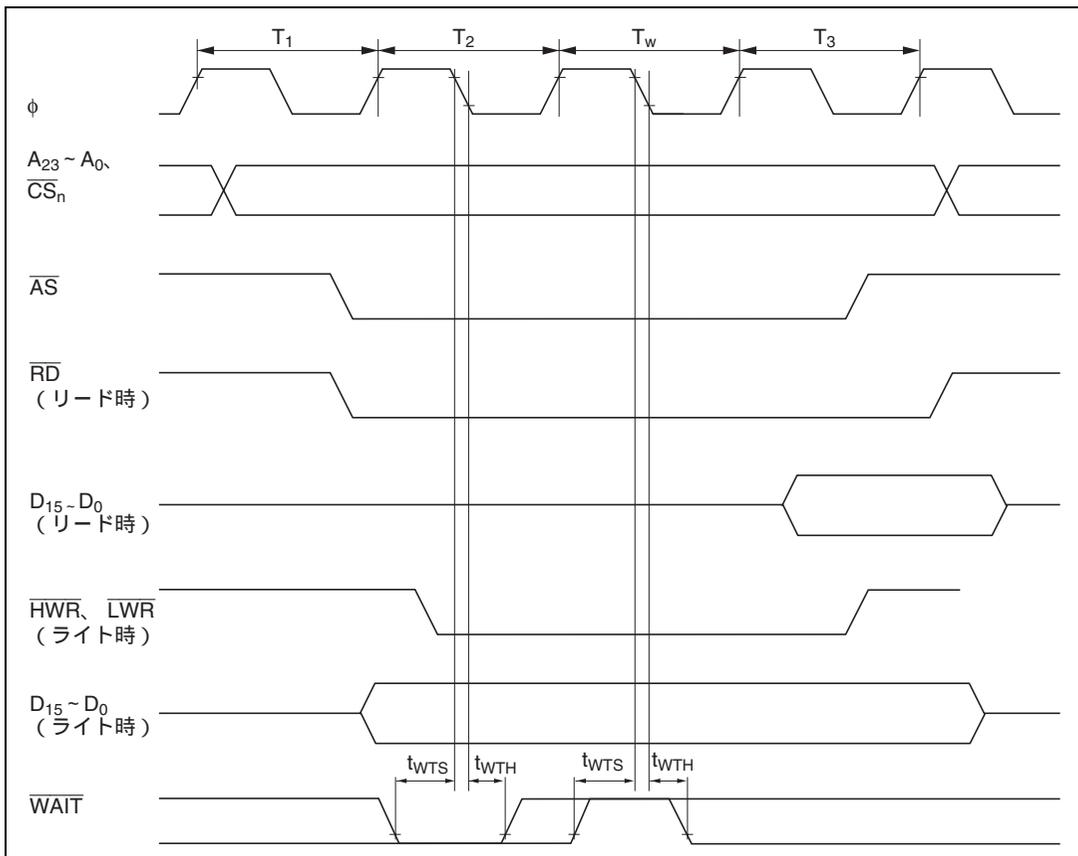


図 19.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

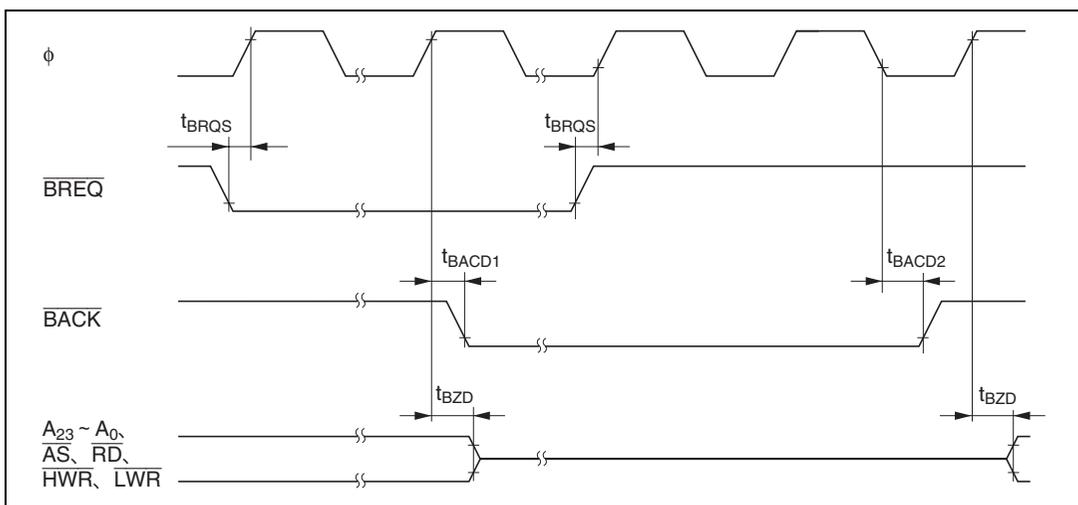


図 19.10 バスリリースモードタイミング

19.6.4 TPC、I/O ポートタイミング

図 19.11 に TPC、I/O ポートの入出力タイミングを示します。

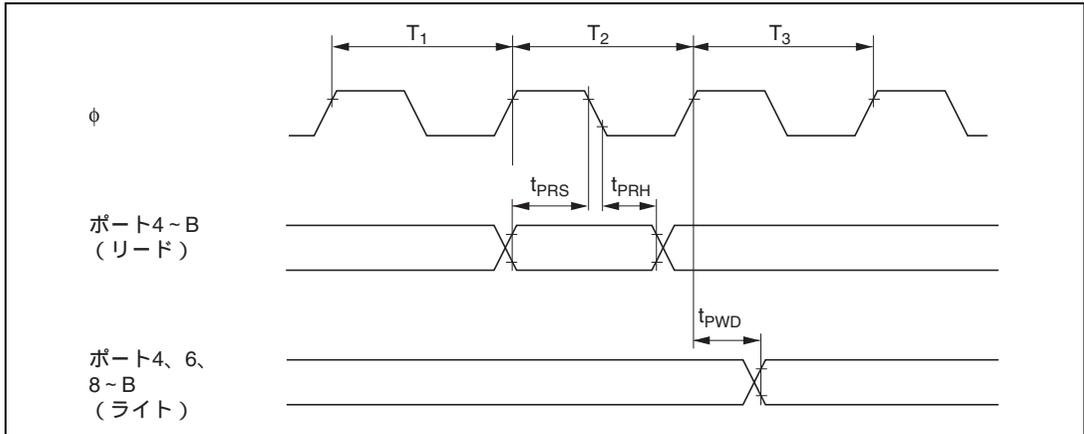


図 19.11 TPC、I/O ポート入出力タイミング

19.6.5 タイマ入出力タイミング

16 ビットタイマ、8 ビットタイマの各タイミングを以下に示します。

(1) タイマ入出力タイミング

図19.12にタイマ入出力タイミングを示します。

(2) タイマ外部クロック入力タイミング

図19.13にタイマ外部クロック入力タイミングを示します。

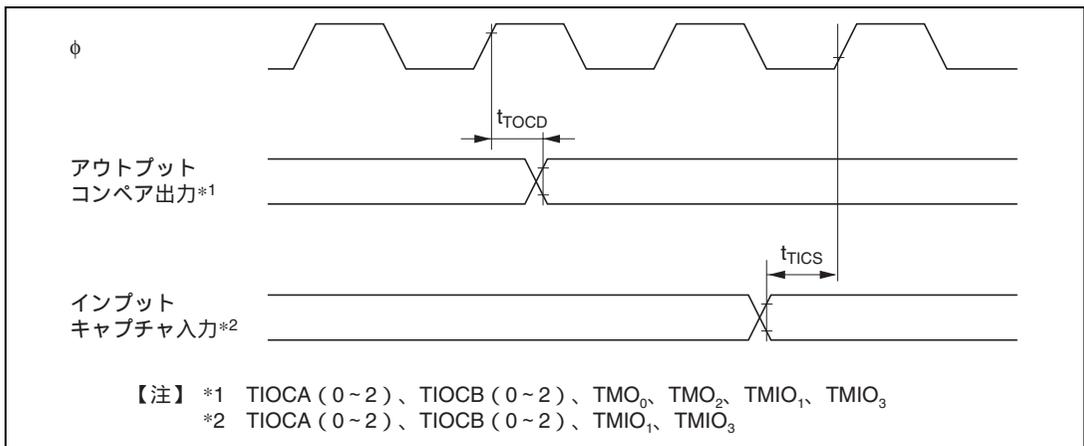


図 19.12 タイマ入出力タイミング

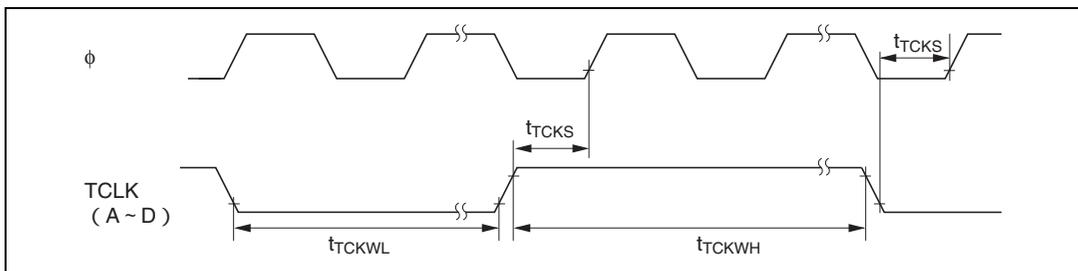


図 19.13 タイマ外部クロック入力タイミング

19.6.6 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図19.14にSCI入力クロックタイミングを示します。

(2) SCI 入出力タイミング (クロック同期式モード)

図19.15にクロック同期式モード時のSCI入出力タイミングを示します。

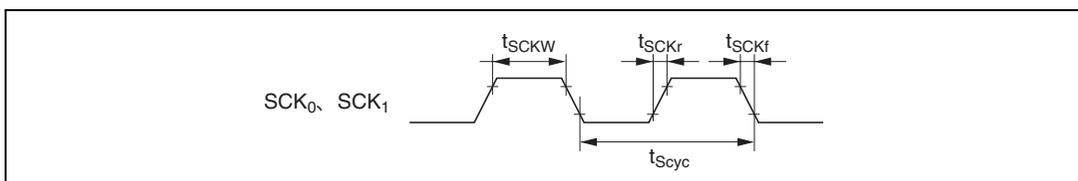


図 19.14 SCI 入力クロックタイミング

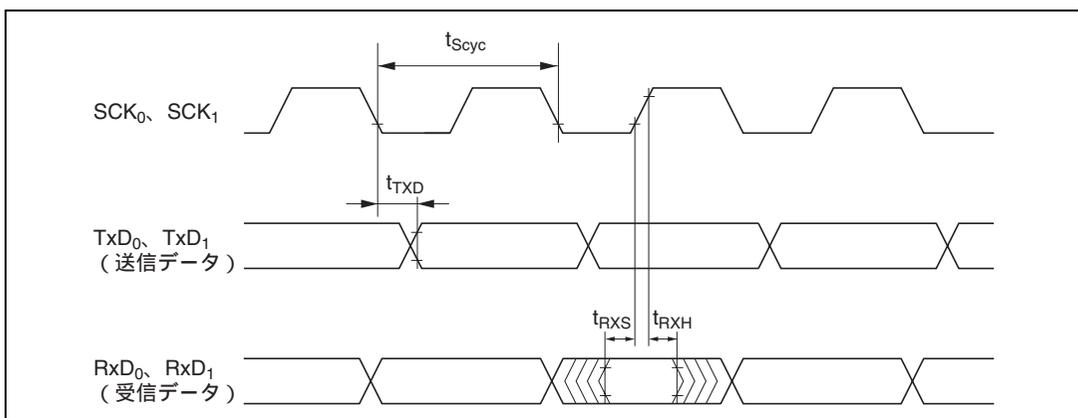


図 19.15 クロック同期式モード時の SCI 入出力タイミング

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレイメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() < >	オペランドの内容

【注】 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L) または 16 ビット (R0~R7、E0~E7) です。

《コンディションコードの記号》

記号	内容
↓	実行結果に従って変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード						実行回数 ^{*1}				
		#xx	Rn	@ERn	@(d, ERn)		@-ERn	@ERn+	@aa	@(d, PC)	@aa	I		H	N	Z	V
MOV	B	2											↑	↑	↑	0	2
MOV.B #xx:8, Rd	B	2											↑	↑	↑	0	2
MOV.B Rs, Rd	B		2										↑	↑	↑	0	4
MOV.B @ERS, Rd	B			2									↑	↑	↑	0	6
MOV.B @(d16, ERs), Rd	B				4								↑	↑	↑	0	10
MOV.B @ERS+, Rd	B				8								↑	↑	↑	0	6
MOV.B @(d24, ERs), Rd	B					2							↑	↑	↑	0	4
MOV.B @ERS+, Rd	B						2						↑	↑	↑	0	6
MOV.B @aa:8, Rd	B							2					↑	↑	↑	0	4
MOV.B @aa:16, Rd	B							4					↑	↑	↑	0	8
MOV.B @aa:24, Rd	B							6					↑	↑	↑	0	4
MOV.B Rs, @ERd	B		2										↑	↑	↑	0	6
MOV.B Rs, @(d16, ERd)	B				4								↑	↑	↑	0	10
MOV.B Rs, @(d24, ERd)	B				8								↑	↑	↑	0	6
MOV.B Rs, @-ERd	B					2							↑	↑	↑	0	4
MOV.B Rs, @aa:8	B							2					↑	↑	↑	0	6
MOV.B Rs, @aa:16	B							4					↑	↑	↑	0	8
MOV.B Rs, @aa:24	B							6					↑	↑	↑	0	4
MOV.W #xx:16, Rd	W	4											↑	↑	↑	0	2
MOV.W Rs, Rd	W		2										↑	↑	↑	0	4
MOV.W @ERS, Rd	W			2									↑	↑	↑	0	6
MOV.W @(d16, ERs), Rd	W				4								↑	↑	↑	0	10
MOV.W @ERS+, Rd	W				8								↑	↑	↑	0	6
MOV.W @aa:16, Rd	W					2							↑	↑	↑	0	6
MOV.W @aa:24, Rd	W							4					↑	↑	↑	0	8
MOV.W @aa:24, Rd	W							6					↑	↑	↑	0	4

二モニク	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション		コンディションコード						実行ステップ数*1			
		#xx	Rn	@ERn	@(d, ERn)	@ERn/ERn+	@aa			@(d, PC)	@aa	I	H	N	Z		V	C	7-7H
MOV	MOV.W Rs, @ERd	W		2												↑↑	↑↑	0	4
	MOV.W Rs, @(d;16, ERd)	W			4											↑↑	↑↑	0	6
	MOV.W Rs, @(d;24, ERd)	W			8											↑↑	↑↑	0	10
	MOV.W Rs, @-ERd	W				2										↑↑	↑↑	0	6
	MOV.W Rs, @aa:16	W					4									↑↑	↑↑	0	6
	MOV.W Rs, @aa:24	W						6								↑↑	↑↑	0	8
	MOV.L #xx:32, Rd	L	6													↑↑	↑↑	0	6
	MOV.L ERs, ERd	L		2												↑↑	↑↑	0	2
	MOV.L @ERs, ERd	L		4												↑↑	↑↑	0	8
	MOV.L @(d;16, ERs), ERd	L				6										↑↑	↑↑	0	10
	MOV.L @(d;24, ERs), ERd	L				10										↑↑	↑↑	0	14
	MOV.L @ERs+, ERd	L					4									↑↑	↑↑	0	10
	MOV.L @aa:16, ERd	L						6								↑↑	↑↑	0	10
MOV.L @aa:24, ERd	L							8							↑↑	↑↑	0	12	
MOV.L ERs, @ERd	L		4												↑↑	↑↑	0	8	
MOV.L ERs, @(d;16, ERd)	L				6										↑↑	↑↑	0	10	
MOV.L ERs, @(d;24, ERd)	L				10										↑↑	↑↑	0	14	
MOV.L ERs, @-ERd	L					4									↑↑	↑↑	0	10	
MOV.L ERs, @aa:16	L						6								↑↑	↑↑	0	10	
MOV.L ERs, @aa:24	L							8							↑↑	↑↑	0	12	
POP.W Rn	W														↑↑	↑↑	0	6	
POP.L ERn	L														↑↑	↑↑	0	10	
PUSH.W Rn	W														↑↑	↑↑	0	6	
PUSH.L ERn	L														↑↑	↑↑	0	10	
MOVFPPE @aa:16, Rd	B														↑↑	↑↑	0	4	
MOVTPPE @aa:16	B														↑↑	↑↑	0	4	

(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行回数	
		#xx	Rn	@ERn	@(d, ERn)	@aa	@(d, PC)		@aa	I	H	N	Z	V	C	ノリ	ソフト
ADD	ADD.B #xx:8, Rd	B	2						Rd8+#x:8→Rd8	↑	↑	↑	↑	↑	↑	2	2
	ADD.B Rs, Rd	B	2						Rd8+Rs8→Rd8	↑	↑	↑	↑	↑	↑	2	2
	ADD.W #xx:16, Rd	W	4						Rd16+#x:16→Rd16	(1)	↑	↑	↑	↑	↑	4	4
	ADD.W Rs, Rd	W	2						Rd16+Rs16→Rd16	(1)	↑	↑	↑	↑	↑	2	2
	ADD.L #xx:32, ERd	L	6						ERd32+#x:32→ERd32	(2)	↑	↑	↑	↑	↑	6	6
	ADD.L ERs, ERd	L	2						ERd32+ERs32→ERd32	(2)	↑	↑	↑	↑	↑	2	2
ADDX	ADDX.B #xx:8, Rd	B	2						Rd8+#x:8+C→Rd8	↑	↑	(3)	↑	↑	2	2	
	ADDX.B Rs, Rd	B	2						Rd8+Rs8+C→Rd8	↑	↑	(3)	↑	↑	2	2	
	ADDX.L #1, ERd	L	2						ERd32+1→ERd32						2	2	
ADDS	ADDS.L #1, ERd	L	2						ERd32+2→ERd32						2	2	
	ADDS.L #2, ERd	L	2						ERd32+4→ERd32						2	2	
	ADDS.L #4, ERd	L	2						Rd8+1→Rd8	↑	↑	↑	↑	↑	2	2	
	INC.B Rd	B	2						Rd16+1→Rd16	↑	↑	↑	↑	↑	2	2	
INC	INC.W #1, Rd	W	2						Rd16+2→Rd16	↑	↑	↑	↑	↑	2	2	
	INC.W #2, Rd	W	2						ERd32+1→ERd32	↑	↑	↑	↑	↑	2	2	
	INC.L #1, ERd	L	2						ERd32+2→ERd32	↑	↑	↑	↑	↑	2	2	
	INC.L #2, ERd	L	2						Rd8 10進補正→Rd8	*	↑	↑	*	↑	2	2	
DAA	DAA.Rd	B	2						Rd8-Rs8→Rd8	↑	↑	↑	↑	↑	2	2	
	SUB.B Rs, Rd	B	2						Rd16+#x:16→Rd16	(1)	↑	↑	↑	↑	4	4	
SUB	SUB.W #xx:16, Rd	W	4						Rd16-Rs16→Rd16	(1)	↑	↑	↑	↑	2	2	
	SUB.W Rs, Rd	W	2						ERd32+#x:32→ERd32	(2)	↑	↑	↑	↑	6	6	
	SUB.L #xx:32, ERd	L	6						ERd32+ERs32→ERd32	(2)	↑	↑	↑	↑	2	2	
	SUB.L ERs, ERd	L	2						Rd8+#x:8-C→Rd8	↑	↑	(3)	↑	↑	2	2	
SUBX	SUBX.B #xx:8, Rd	B	2						Rd8-Rs8-C→Rd8	↑	↑	(3)	↑	↑	2	2	
	SUBX.B Rs, Rd	B	2												2	2	

二モニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行バイト数 ^{*1}		
		#xx	Rn	@ERn	@(d,ERn)		@ERn/ERn+	@aa	@(d,PC)	@@aa	I	H	N		Z	V
SUBS	SUBS.L #1, ERd	L	2													2
	SUBS.L #2, ERd	L	2													2
	SUBS.L #4, ERd	L	2													2
DEC	DEC.B Rd	B	2										↑	↑	↑	2
	DEC.W #1, Rd	W	2										↑	↑	↑	2
	DEC.W #2, Rd	W	2										↑	↑	↑	2
DAS	DAS.L #1, ERd	L	2										↑	↑	↑	2
	DAS.L #2, ERd	L	2										↑	↑	↑	2
	DAS Rd	B	2										*	↑	↑	2
MULXU	MULXU.B Rs, Rd	B	2													14
	MULXU.W Rs, ERd	W	2													22
	MULXU.B Rs, Rd	B	4										↑	↑		16
DIVXU	MULXS.W Rs, ERd	W	4										↑	↑		24
	MULXS.B Rs, ERd	B	2										(6)X(7)			14
	DIVXU.W Rs, ERd	W	2										(6)X(7)			22
DIVXS	DIVXS.B Rs, Rd	B	4										(8)X(7)			16
	DIVXS.W Rs, ERd	W	4										(8)X(7)			24
	DIVXS.W Rs, ERd	W	4										(8)X(7)			24
CMP	CMP.B #xx:8, Rd	B	2										↑	↑	↑	2
	CMP.B Rs, Rd	B	2										↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4										(1)	↑	↑	4
	CMP.W Rs, Rd	W	2										(1)	↑	↑	2

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード						実行ガード数*1			
		#xx	Rn	@ERn	@(d, ERn)	@ERn@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z		V	C	
CMP	CMP.L #xx:32, ERd	L	6															6
	CMP.L ERs, ERd	L	2															2
NEG	NEG.B Rd	B	2															2
	NEG.W Rd	W	2															2
	NEG.L ERd	L	2															2
EXTU	EXTU.W Rd	W	2															2
	EXTU.L ERd	L	2															2
EXTS	EXTS.W Rd	W	2															2
	EXTS.L ERd	L	2															2

(3) 論理演算命令

二ーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード						実行回数 ¹⁾					
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	1/70	71/70
AND	AND.B #xx:8, Rd	B	2										↑	↑	0	0	2	
	AND.B Rs, Rd	B	2										↑	↑	0	0	2	
	AND.W #xx:16, Rd	W	4										↑	↑	0	0	4	
	AND.W Rs, Rd	W	2										↑	↑	0	0	2	
	AND.L #xx:32, ERd	L	6										↑	↑	0	0	6	
	AND.L ERs, ERd	L	4										↑	↑	0	0	4	
OR	OR.B #xx:8, Rd	B	2										↑	↑	0	0	2	
	OR.B Rs, Rd	B	2										↑	↑	0	0	2	
	OR.W #xx:16, Rd	W	4										↑	↑	0	0	4	
	OR.W Rs, Rd	W	2										↑	↑	0	0	2	
	OR.L #xx:32, ERd	L	6										↑	↑	0	0	6	
	OR.L ERs, ERd	L	4										↑	↑	0	0	4	
XOR	XOR.B #xx:8, Rd	B	2										↑	↑	0	0	2	
	XOR.B Rs, Rd	B	2										↑	↑	0	0	2	
	XOR.W #xx:16, Rd	W	4										↑	↑	0	0	4	
	XOR.W Rs, Rd	W	2										↑	↑	0	0	2	
	XOR.L #xx:32, ERd	L	6										↑	↑	0	0	6	
	XOR.L ERs, ERd	L	4										↑	↑	0	0	4	
NOT	NOT.B Rd	B	2										↑	↑	0	0	2	
	NOT.W Rd	W	2										↑	↑	0	0	2	
	NOT.L ERd	L	2										↑	↑	0	0	2	

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行回数 [1/1/1/1]			
		#xx	@ERn	@(d, ERn)	@-ERn/@ERn+		@aa	@(d, PC)	@@aa	I	H	N	Z		V	C	
SHAL	SHAL.B Rd	B	2										↑	↑	↑	↑	2
	SHAL.W Rd	W	2										↑	↑	↑	↑	2
	SHAL.L ERd	L	2										↑	↑	↑	↑	2
SHAR	SHAR.B Rd	B	2										↑	↑	↑	↑	2
	SHAR.W Rd	W	2										↑	↑	↑	↑	2
	SHAR.L ERd	L	2										↑	↑	↑	↑	2
SHLL	SHLL.B Rd	B	2										↑	↑	↑	↑	2
	SHLL.W Rd	W	2										↑	↑	↑	↑	2
	SHLL.L ERd	L	2										↑	↑	↑	↑	2
SHLR	SHLR.B Rd	B	2										↑	↑	↑	↑	2
	SHLR.W Rd	W	2										↑	↑	↑	↑	2
	SHLR.L ERd	L	2										↑	↑	↑	↑	2
ROTXL	ROTXL.B Rd	B	2										↑	↑	↑	↑	2
	ROTXL.W Rd	W	2										↑	↑	↑	↑	2
	ROTXL.L ERd	L	2										↑	↑	↑	↑	2
ROTXR	ROTXR.B Rd	B	2										↑	↑	↑	↑	2
	ROTXR.W Rd	W	2										↑	↑	↑	↑	2
	ROTXR.L ERd	L	2										↑	↑	↑	↑	2
ROTL	ROTL.B Rd	B	2										↑	↑	↑	↑	2
	ROTL.W Rd	W	2										↑	↑	↑	↑	2
	ROTL.L ERd	L	2										↑	↑	↑	↑	2
ROTR	ROTR.B Rd	B	2										↑	↑	↑	↑	2
	ROTR.W Rd	W	2										↑	↑	↑	↑	2
	ROTR.L ERd	L	2										↑	↑	↑	↑	2

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行回数 *1		
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/@ERn+	@aa	@(d, PC)	@aa	I	H	N		Z	V
BSET	B	2														2
	B		4													8
	B					4										8
	B	2														2
	B		4													8
BCLR	B															8
	B	2														2
	B		4													8
	B					4										8
	B	2														2
BNOT	B															8
	B	2														2
	B		4													8
	B					4										8
	B	2														2
BTST	B															2
	B	2														8
	B		4													8
	B					4										6
	B	2														2
BLD	B															6
	B	2														2
	B		4													6
	B					4										6
	B	2														2
BILD	B															6
	B	2														2
	B		4													6
	B					4										6
	B	2														2

二一モニック	サ イ ズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード					実行ガード数 ^{*1}					
		#xx	Rn	@ERn	@(d, ERn)		@ERn/ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノ マ ド
BST	B	2															2
	B		4														8
	B					4											8
BIST	B	2															2
	B		4														8
	B					4											8
BAND	B	2															2
	B		4														6
	B					4											6
BIAND	B	2															2
	B		4														6
	B					4											6
BOR	B	2															2
	B																6
	B		4														2
BIOR	B	2															2
	B		4														6
	B					4											6
BXOR	B	2															2
	B		4														6
	B					4											6
BIXOR	B	2															2
	B		4														6
	B					4											6

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	分岐条件	コンディションコード						実行回数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa			@(d, PC)	@@aa	I	H	N	Z		V
Bcc										Always							4
BRA d:8(BT d:8)																	6
BRA d:16(BT d:16)																	4
BRN d:8(BF d:8)										Never							6
BRN d:16(BF d:16)																	4
BHI d:8										C Z=0							6
BHI d:16																	4
BLS d:8										C Z=1							6
BLS d:16																	4
BCC d:8(BHS d:8)										C=0							6
BCC d:16(BHS d:16)																	4
BCS d:8(BLO d:8)										C=1							6
BCS d:16(BLO d:16)																	4
BNE d:8										Z=0							6
BNE d:16																	4
BEQ d:8										Z=1							6
BEQ d:16																	4
BVC d:8										V=0							6
BVC d:16																	4
BVS d:8										V=1							6
BVS d:16																	4
BPL d:8										N=0							6
BPL d:16																	4
BMI d:8										N=1							6
BMI d:16																	4

二ーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	分岐条件	コンディションコード				実行バイト数 ^{*1}
		Rn	@ERn	@(d, ERn)	@-ERn/@ERn+			I	H	N	Z	
Bcc	BGE d:8			@(d, PC)	@aa		N@V=0					4
	BGE d:16						if condition is true then PC←PC+d else next;					6
	BLT d:8						N@V=1					4
	BLT d:16						Z (N@V)=0					6
	BGT d:8						Z (N@V)=0					4
	BGT d:16						Z (N@V)=1					6
JMP	BLE d:8											4
	BLE d:16											4
	JMP @ERn	2					PC←ERn					6
BSR	JMP @aa:24				4		PC←aa:24					6
	JMP @aa:8					2	PC←@aa:8					8
	BSR d:8					2	PC→@-SP, PC←PC+di:8					6
	BSR d:16					4	PC→@-SP, PC←PC+di:16					8
	JSR @ERn	2					PC→@-SP, PC←@ERn					6
JSR	JSR @aa:24				4		PC→@-SP, PC←@aa:24					8
	JSR @aa:8					2	PC→@-SP, PC←@aa:8					8
RTS						2	PC←@SP+					8

(7) システム制御命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行回数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@@aa	I	H	N	Z	V	C	14
TRAPA	TRAPA #x2								2	PC→@SP, CCR→@SP, (^) 7 7 7 → PC	↑	↑	↑	↑	↑	14	16
RTE	RTE									CCR→@SP+, PC←@SP+	↑	↑	↑	↑	↑		10
SLEEP	SLEEP									低消費電力状態に遷移							2
LDC	LDC #xx:8, CCR	B	2							#xx:8→CCR	↑	↑	↑	↑	↑		2
	LDC Rs, CCR	B								Rs8→CCR	↑	↑	↑	↑	↑		2
	LDC @ERs, CCR	W		4						@ERs→CCR	↑	↑	↑	↑	↑		6
	LDC @(d:16, ERs), CCR	W			6					@(d:16, ERs)→CCR	↑	↑	↑	↑	↑		8
	LDC @(d:24, ERs), CCR	W			10					@(d:24, ERs)→CCR	↑	↑	↑	↑	↑		12
	LDC @ERs+, CCR	W			4					@ERs→CCR, ERs32+2→ERs32	↑	↑	↑	↑	↑		8
	LDC @aa:16, CCR	W				6				@aa:16→CCR	↑	↑	↑	↑	↑		8
	LDC @aa:24, CCR	W				8				@aa:24→CCR	↑	↑	↑	↑	↑		10
STC	STC CCR, Rd	B	2							CCR→Rd8							2
	STC CCR, @ERd	W		4						CCR→@ERd							6
	STC CCR, @(d:16, ERd)	W			6					CCR→@(d:16, ERd)							8
	STC CCR, @(d:24, ERd)	W			10					CCR→@(d:24, ERd)							12
	STC CCR, @-ERd	W			4					ERd32-2→ERd32, CCR→@ERd							8
	STC CCR, @aa:16	W				6				CCR→@aa:16							8
	STC CCR, @aa:24	W				8				CCR→@aa:24							10
ANDC	ANDC #xx:8, CCR	B	2							CCR #xx:8→CCR	↑	↑	↑	↑	↑		2
ORC	ORC #xx:8, CCR	B	2							CCR #xx:8→CCR	↑	↑	↑	↑	↑		2
XORC	XORC #xx:8, CCR	B	2							CCR@#xx:8→CCR	↑	↑	↑	↑	↑		2
NOP	NOP								2	PC←PC+2							2

(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード				実行回数 ^{*1}							
		#xx	Rn	@ERn	@(d, ERn)		@ERn/ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	7/8	7ドット
EEPMOV	EEPMOV.B									4	if R4L = 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;							8+4n ^{*2}
	EEPMOV.W									4	if R4 = 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4L=0 else next;							8+4n ^{*2}

【注】 *1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステータス数」を参照してください。
*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) Eクロック同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)



命令コード：

第1バイト	第2バイト
AH AL	BH BL

— BHの最上位ビットが0の場合を示します。
 — BHの最上位ビットが1の場合を示します。

命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2(2)	表A.2(2)	MOV	ADDX		表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP		SUBX	表A.2(2)
2	MOV.B															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BNQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	BIS							
7					BOR	BXOR	BAND	BLD	BILD	MOV	表A.2(2)	EEPMOV				表A.2(3)
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表 A.2 オペレーションコードマップ (2)

第1バイト		第2バイト	
AH	AL	BH	BL

命令コード:

BH/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
MOV				LDC/STC				SLEEP					表A.2(3)	表A.2(3)		表A.2(3)
INC													ADD			
ADDS						INC		ADDS						INC		INC
DAA																
SHLL				SHLL				SHAL						SHAL		
SHLR				SHLR				SHAR						SHAR		
ROTXL				ROTXL				ROTL						ROTL		
ROTXR				ROTXR				ROTR						ROTR		
NOT				NOT				EXTU		EXTU				NEG		EXTS
DEC																
SUBS						DEC		DEC						SUBS		DEC
DAS																
BRA	BRN	BHI	BLS	BCC	BOS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE	
MOV	ADD	CMP	SUB	OR	XOR	AND										
MOV	ADD	CMP	SUB	OR	XOR	AND										

表 A.2 オペレーションコードマップ (3)

命令コード	第1バイト		第2バイト		第3バイト		第4バイト		8	9	A	B	C	D	E	F	
	AH	AL	BH	BL	CH	CL	DH	DL									
AH/AL/BH/BL/CH/CL/DH/DL	CL	0	1	2	3	4	5	6	7	LDC	STC	LDC	STC	LDC	STC	LDC	STC
01406	[Blank]																
01C05	MULXS	DIVXS		MULXS	[Blank]												
01D05	DIVXS		[Blank]														
01F06	[Blank]		OR	XOR	AND	[Blank]											
7Cr06 *1	[Blank]																
7Cr07 *1	[Blank]																
7Dr06 *1	BSET	BNOT	BCLR	[Blank]		BTST	BOR		BXOR	BIOR	BAND	BAND	BLD	BAND	BAND	BAND	BAND
7Dr07 *1	BSET	BNOT	BCLR	[Blank]		BTST	BOR		BXOR	BIOR	BAND	BAND	BST	BAND	BAND	BAND	BAND
7Eaa6 *2	[Blank]																
7Eaa7 *2	[Blank]																
7Faa6 *2	BSET	BNOT	BCLR	[Blank]		BTST	BOR		BXOR	BIOR	BAND	BAND	BLD	BAND	BAND	BAND	BAND
7Faa7 *2	BSET	BNOT	BCLR	[Blank]		BTST	BOR		BXOR	BIOR	BAND	BAND	BST	BAND	BAND	BAND	BAND

命令コード： 第1バイト 第2バイト 第3バイト 第4バイト
 AH AL BH BL CH CL DH DL

← DHの最上位ビットが0の場合を示します。
 → DHの最上位ビットが1の場合を示します。

【注】 *1 rはレジスタ指定部
 *2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 におおののサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_i + J \times S_j + K \times S_k + L \times S_L + M \times S_M + N \times S_N$$

実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合

1. BSET #0, @FFFFC7:8

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_i = 4, S_L = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表A.4より

$$I = J = K = 2, L = M = N = 0$$

表A.3より

$$S_i = S_j = S_k = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	ア ク セ ス 対 象						
	内 蔵 メモリ	内蔵周辺モジュール		外部デバイス			
		8 ビットバス	16 ビットバス	8 ビットバス		16 ビットバス	
			2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス	
命令フェッチ S_i	2	6	3	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_L							
ワードデータアクセス S_M		6		4	6+2m		
内部動作 S_N	1						

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態 (サイクル数)

命令	ニーモニック	命令	分岐	スタック	バイト	ワード	内部動作
		フェッチ	アドレス リード	操作	データ アクセス	データ アクセス	
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
BGT d:16	2					2	
BLE d:16	2					2	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		

命令	ニーモニック		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
BNOT	BNOT Rn, Rd		1					
	BNOT Rn, @ERd		2			2		
	BNOT Rn, @aa:8		2			2		
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル	2		1			2
		アドバンスト	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					

命令	ニーモニック		命令	分岐	スタック	バイト	ワード	内部動作
			フェッチ	アドレス	操作	データ	データ	
			I	J	K	L	M	N
JMP	JMP @ERn	2						
	JMP @aa:24	2						2
	JMP @@aa:8	ノーマル	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル	2		1			2
		アドバンスト	2		2			2
	JSR @@aa:8	ノーマル	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @(d:16, ERs), CCR		3				1	
	LDC @(d:24, ERs), CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	
MOV	MOV.B #xx:8, Rd		1					
	MOV.B Rs, Rd		1					
	MOV.B @ERs, Rd		1			1		
	MOV.B @(d:16, ERs), Rd		2			1		
	MOV.B @(d:24, ERs), Rd		4			1		
	MOV.B @ERs+, Rd		1			1		2
	MOV.B @aa:8, Rd		1			1		

命令	ニーモニック	命令	分岐	スタック	バイト	ワード	内部動作	
		フェッチ	アドレス リード	操作	データ アクセス	データ アクセス		
		I	J	K	L	M	N	
MOV	MOV.B @aa:16, Rd	2			1			
	MOV.B @aa:24, Rd	3			1			
	MOV.B Rs, @ERd	1			1			
	MOV.B Rs, @(d:16, ERd)	2			1			
	MOV.B Rs, @(d:24, ERd)	4			1			
	MOV.B Rs, @-ERd	1			1		2	
	MOV.B Rs, @aa:8	1			1			
	MOV.B Rs, @aa:16	2			1			
	MOV.B Rs, @aa:24	3			1			
	MOV.W #xx:16, Rd	2						
	MOV.W Rs, Rd	1						
	MOV.W @ERs, Rd	1					1	
	MOV.W @(d:16, ERs), Rd	2					1	
	MOV.W @(d:24, ERs), Rd	4					1	
	MOV.W @ERs+, Rd	1					1	2
	MOV.W @aa:16, Rd	2					1	
	MOV.W @aa:24, Rd	3					1	
	MOV.W Rs, @ERd	1					1	
	MOV.W Rs, @(d:16, ERd)	2					1	
	MOV.W Rs, @(d:24, ERd)	4					1	
	MOV.W Rs, @-ERd	1					1	2
	MOV.W Rs, @aa:16	2					1	
	MOV.W Rs, @aa:24	3					1	
	MOV.L #xx:32, ERd	3						
	MOV.L ERs, ERd	1						
	MOV.L @ERs, ERd	2					2	
	MOV.L @(d:16, ERs), ERd	3					2	
	MOV.L @(d:24, ERs), ERd	5					2	
	MOV.L @ERs+, ERd	2					2	2

命令	ニーモニック	命令	分岐	スタック	バイト	ワード	内部動作
		フェッチ	アドレス リード	操作	データ アクセス	データ アクセス	
		I	J	K	L	M	N
MOV	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16, ERd)	3				2	
	MOV.L ERs, @(d:24, ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFPPE	MOVFPPE @aa:16, Rd*2	2			1		
MOVTPPE	MOVTPPE Rs, @aa:16*2	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2			2

命令	ニーモニック		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
RTS	RTS	ノーマル	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					
	SHLL.L ERd		1					
SHLR	SHLR.B Rd		1					
	SHLR.W Rd		1					
	SHLR.L ERd		1					
SLEEP	SLEEP		1					
STC	STC CCR, Rd		1					
	STC CCR, @ERd		2				1	
	STC CCR, @(d:16, ERd)		3				1	
	STC CCR, @(d:24, ERd)		5				1	
	STC CCR, @-ERd		2				1	2
	STC CCR, @aa:16		3				1	
	STC CCR, @aa:24		4				1	

命令	ニーモニック		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
SUB	SUB.B Rs, Rd		1					
	SUB.W #xx:16, Rd		2					
	SUB.W Rs, Rd		1					
	SUB.L #xx:32, ERd		3					
	SUB.L ERs, ERd		1					
SUBS	SUBS #1/2/4, ERd		1					
SUBX	SUBX #xx:8, Rd		1					
	SUBX Rs, Rd		1					
TRAPA	TRAPA #x:2	ノーマル	2	1	2			4
		アドバンスト	2	2	2			4
XOR	XOR.B #xx:8, Rd		1					
	XOR.B Rs, Rd		1					
	XOR.W #xx:16, Rd		2					
	XOR.W Rs, Rd		1					
	XOR.L #xx:32, ERd		3					
	XOR.L ERs, ERd		2					
XORC	XORC #xx:8, CCR		1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 本 LSI では使用できません。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュー ル名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'EE000												
H'EE001												
H'EE002												
H'EE003	P4DDR	8	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	ポート 4	
H'EE004												
H'EE005	P6DDR	8		P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	ポート 6	
H'EE006												
H'EE007	P8DDR	8				P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	ポート 8	
H'EE008	P9DDR	8			P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	ポート 9	
H'EE009	PADDR	8	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	ポート A	
H'EE00A	PBDDR	8	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	ポート B	
H'EE00B												
H'EE00C												
H'EE00D												
H'EE00E												
H'EE00F												
H'EE010												
H'EE011	MDCR	8						MDS2	MDS1	MDS0	システム 制御	
H'EE012	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME		
H'EE013	BRCR	8	A23E	A22E	A21E	A20E				BRLE	バスコント ローラ	
H'EE014	ISCR	8			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割り込み コント ローラ	
H'EE015	IER	8			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		
H'EE016	ISR	8			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
H'EE017												
H'EE018	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0		
H'EE019	IPRB	8	IPRB7	IPRB6			IPRB3	IPRB2				
H'EE01A	DASTCR	8								DASTE	D/A 変換 器	
H'EE01B	DIVCR	8							DIV1	DIV0	システム 制御	
H'EE01C	MSTCRH	8	PSTOP						MSTPH1	MSTPH0		
H'EE01D	MSTCRL	8				MSTPL4	MSTPL3	MSTPL2		MSTPL0		
H'EE01E	ADRCCR	8								ADRCTL	バスコント ローラ	
H'EE01F	CSCR	8	CS7E	CS6E	CS5E	CS4E						
H'EE020	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0		
H'EE021	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'EE022	WCRH	8	W71	W70	W61	W60	W51	W50	W41	W40		

付録

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュー ル名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE023	WCRL	8	W31	W30	W21	W20	W11	W10	W01	W00	バスコン トローラ
H'EE024	BCR	8	ICIS1	ICIS0	*1	*1	*1	*1	RDEA	WAITE	
H'EE025											
H'EE026	リザーブ領域 (アクセス禁止)										
H'EE027											
H'EE028											
H'EE029											
H'EE02A											
H'EE02B											
H'EE02C											
H'EE02D											
H'EE02E											
H'EE02F											
H'EE030											
H'EE031											
H'EE032											
H'EE033											
H'EE034											
H'EE035											
H'EE036											
H'EE037											
H'EE038											
H'EE039											
H'EE03A											
H'EE03B											
H'EE03C											
H'EE03D											
H'EE03E	P4PCR	8	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR	ポート4
H'EE03F	リザーブ領域 (アクセス禁止)										
H'EE040											
H'EE041											
H'EE042											
H'EE043											
H'EE044											
H'EE045											
H'EE046											
H'EE047											
H'EE048											
H'EE049											
H'EE04A											
H'EE04B											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE04C	リザーブ領域 (アクセス禁止)										
H'EE04D											
H'EE04E											
H'EE04F											
H'EE050											
H'EE051											
H'EE052											
H'EE053											
H'EE054											
H'EE055											
H'EE056											
H'EE057											
H'EE058											
H'EE059											
H'EE05A											
H'EE05B											
H'EE05C											
H'EE05D											
H'EE05E											
H'EE05F											
H'EE060											
H'EE061											
H'EE062											
H'EE063											
H'EE064											
H'EE065											
H'EE066											
H'EE067											
H'EE068											
H'EE069											
H'EE06A											
H'EE06B											
H'EE06C											
H'EE06D											
H'EE06E											
H'EE06F											
H'EE070											
H'EE071											
H'EE072											
H'EE073											

付録

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュー ル名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE074	リザーブ領域 (アクセス禁止)										
H'EE075											
H'EE076											
H'EE077											
H'EE078											
H'EE079											
H'EE07A											
H'EE07B											
H'EE07C											
H'EE07D											
H'EE07E											
H'EE07F											
H'EE080											
H'EE081											
H'EE082											
H'EE083											
H'EE084											
H'EE085											
H'EE086											
H'EE087											
H'EE088											
H'EE089											
H'EE08A											
H'EE08B											
H'EE08C											
H'EE08D											
H'EE08E											
H'EE08F											
H'EE090											
H'EE091											
H'EE092											
H'EE093											
H'EE094											
H'EE095											
H'EE096											
H'EE097											
H'EE098											
H'EE099											
H'EE09A											
H'EE09B											

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE09C	リザーブ領域 (アクセス禁止)										
H'EE09D											
H'EE09E											
H'EE09F											
H'EE0A0											
H'EE0A1											
H'EE0A2											
H'EE0A3											
H'EE0A4											
H'EE0A5											
H'EE0A6											
H'EE0A7											
H'EE0A8											
H'EE0A9											
H'EE0AA											
H'EE0AB											
H'EE0AC											
H'EE0AD											
H'EE0AE											
H'EE0AF											
H'EE0B0											
H'EE0B1											
H'EE0B2											
H'EE0B3											
H'EE0B4											
H'EE0B5											
H'EE0B6											
H'EE0B7											
H'EE0B8											
H'EE0B9											
H'EE0BA											
H'EE0BB											
H'EE0BC											
H'EE0BD											
H'EE0BE											
H'EE0BF											
H'EE0C0											
H'EE0C1											
H'EE0C2											
H'EE0C3											
H'EE0C4											

付録

下位 アドレス	レジス タ名	データ バス幅	ビット名								モジュー ル名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE0C5	リザーブ領域（アクセス禁止）										
H'EE0C6											
H'EE0C7											
H'EE0C8											
H'EE0C9											
H'EE0CA											
H'EE08C											
H'EE0CC											
H'EE0CD											
H'EE0CE											
H'EE0CF											
H'EE0D0											
H'EE0D1											
H'EE0D2											
H'EE0D3											
H'EE0D4											
H'EE0D5											
H'EE0D6D											
H'EE0D7											
H'EE0D8											
H'EE0D9											
H'EE0DA											
H'EE0DB											
H'EE0DC											
H'EE0DD											
H'EE0DE											
H'EE0DF											
H'EE0E0											
H'EE0E1											
H'EE0E2											
H'EE0E3											
H'EE0E4											
H'EE0E5											
H'EE0E6											
H'EE0E7											
H'EE0E8											
H'EE0E9											
H'EE0EA											
H'EE0EB											
H'EE0EC											
H'EE0ED											

下位 アドレス	レジス タ名	データ バス幅	ビット名								モジュー ル名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'EE0EE	リザーブ領域 (アクセス禁止)											
H'EE0EF												
H'EE0F0												
H'EE0F1												
H'EE0F2												
H'EE0F3												
H'EE0F4												
H'EE0F5												
H'EE0F6												
H'EE0F7												
H'EE0F8												
H'EE0F9												
H'EE0FA												
H'EE0FB												
H'EE0FC												
H'EE0FD												
H'EE0FE												
H'EE0FF												
H'FFF20												
H'FFF21												
H'FFF22												
H'FFF23												
H'FFF24												
H'FFF25												
H'FFF26												
H'FFF27												
H'FFF28												
H'FFF29												
H'FFF2A												
H'FFF2B												
H'FFF2C												
H'FFF2D												
H'FFF2E												
H'FFF2F												
H'FFF30												
H'FFF31												
H'FFF32												
H'FFF33												
H'FFF34												
H'FFF35												

付録

下位 アドレス	レジス タ名	データ バス幅	ビット名								モジュー ル名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFF36	リザーブ領域 (アクセス禁止)											
H'FFF37												
H'FFF38												
H'FFF39												
H'FFF3A												
H'FFF3B												
H'FFF3C												
H'FFF3D												
H'FFF3E												
H'FFF3F												
H'FFF40												
H'FFF41												
H'FFF42												
H'FFF43												
H'FFF44												
H'FFF45												
H'FFF46												
H'FFF47												
H'FFF48												
H'FFF49												
H'FFF4A												
H'FFF4B												
H'FFF4C												
H'FFF4D												
H'FFF4E												
H'FFF4F												
H'FFF50												
H'FFF51												
H'FFF52												
H'FFF53												
H'FFF54												
H'FFF55												
H'FFF56												
H'FFF57												
H'FFF58												
H'FFF59												
H'FFF5A												
H'FFF5B												
H'FFF5C												
H'FFF5D												
H'FFF5E												
H'FFF5F												

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール名	
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
H'FFF60	TSTR	8							STR2	STR1	STRO	16 ビットタイマ 共通
H'FFF61	TSNC	8							SYNC2	SYNC1	SYNC0	
H'FFF62	TMDR	8		MDF	FDIR				PWM2	PWM1	PWM0	
H'FFF63	TOLR	8			TOB2	TOA2	TOB1	TOA1	TOB0	TOA0		
H'FFF64	TISRA	8		IMIEA2	IMIEA1	IMIEA0			IMFA2	IMFA1	IMFA0	
H'FFF65	TISRB	8		IMIEB2	IMIEB1	IMIEB0			IMFB2	IMFB1	IMFB0	
H'FFF66	TISRC	8		OVIE2	OVIE1	OVIE0			OVF2	OVF1	OVF0	
H'FFF67												
H'FFF68	16TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16 ビットタイマ チャンネル 0	
H'FFF69	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'FFF6A	16TCNT0H	16										
H'FFF6B	16TCNT0L	16										
H'FFF6C	GRA0H	16										
H'FFF6D	GRA0L	16										
H'FFF6E	GRB0H	16										
H'FFF6F	GRB0L	16										
H'FFF70	16TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16 ビットタイマ チャンネル 1	
H'FFF71	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'FFF72	16TCNT1H	16										
H'FFF73	16TCNT1L	16										
H'FFF74	GRA1H	16										
H'FFF75	GRA1L	16										
H'FFF76	GRB1H	16										
H'FFF77	GRB1L	16										
H'FFF78	16TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16 ビットタイマ チャンネル 2	
H'FFF79	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'FFF7A	16TCNT2H	16										
H'FFF7B	16TCNT2L	16										
H'FFF7C	GRA2H	16										
H'FFF7D	GRA2L	16										
H'FFF7E	GRB2H	16										
H'FFF7F	GRB2L	16										
H'FFF80	8TCR0	16	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8 ビット タイマ チャンネル 0/1	
H'FFF81	8TCR1	16	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFF82	8TCR0	16	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0		
H'FFF83	8TCR1	16	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0		
H'FFF84	TCORA0	16										
H'FFF85	TCORA1	16										
H'FFF86	TCORB0	16										
H'FFF87	TCORB1	16										
H'FFF88	8TCNT0	16										

付録

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFF89	8TCNT1	16										8ビット タイマ チャンネル 0/1
H'FFF8A												
H'FFF8B												
H'FFF8C	TCSR* ²	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT	
H'FFF8D	TCNT* ²	8										
H'FFF8E												
H'FFF8F	RSTCSR* ²	8	WRST	RSTOE								
H'FFF90	8TCR2	16	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャンネル 2/3	
H'FFF91	8TCR3	16	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFF92	8TCSR2	16	CMFB	CMFA	OVF		OIS3	OIS2	OS1	OS0		
H'FFF93	8TCSR3	16	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0		
H'FFF94	TCORA2	16										
H'FFF95	TCORA3	16										
H'FFF96	TCORB2	16										
H'FFF97	TCORB3	16										
H'FFF98	8TCNT2	16										
H'FFF99	8TCNT3	16										
H'FFF9A												
H'FFF9B												
H'FFF9C	DADR0	8										D/A 変換器
H'FFF9D	DADR1	8										
H'FFF9E	DACR	8	DAOE1	DAOE0	DAE							
H'FFF9F		8										
H'FFFA0	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV	TPC	
H'FFFA1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
H'FFFA2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
H'FFFA3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'FFFA4	NDRB* ³	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8		
			NDR15	NDR14	NDR13	NDR12						
H'FFFA5	NDRA* ³	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
			NDR7	NDR6	NDR5	NDR4						
H'FFFA6	NDRB* ³	8										
							NDR11	NDR10	NDR9	NDR8		
H'FFFA7	NDRA* ³	8										
							NDR3	NDR2	NDR1	NDR0		
H'FFFA8												
H'FFFA9												
H'FFFAA												
H'FFFAB												
H'FFFAC												
H'FFFAD												

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFAE												
H'FFF AF												
H'FFFB0	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI チャンネル 0	
H'FFFB1	BRR	8										
H'FFFB2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFB3	TDR	8										
H'FFFB4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT		
H'FFFB5	RDR	8										
H'FFFB6	SCMR	8					SDIR	SINV		SMIF		
H'FFFB7	リザーブ領域 (アクセス禁止)											
H'FFFB8	SMR	8	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI チャンネル 1	
H'FFFB9	BRR	8										
H'FFBBA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFBBB	TDR	8										
H'FFBBC	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT		
H'FFBBD	RDR	8										
H'FFBBE	SCMR	8					SDIR	SINV		SMIF		
H'FFBBF	リザーブ領域 (アクセス禁止)											
H'FFFC0												
H'FFFC1												
H'FFFC2												
H'FFFC3												
H'FFFC4												
H'FFFC5												
H'FFFC6												
H'FFFC7												
H'FFFC8												
H'FFFC9												
H'FFFC A												
H'FFFCB												
H'FFFC C												
H'FFFC D												
H'FFFC E												
H'FFFC F												
H'FFFD0												
H'FFFD1												
H'FFFD2												
H'FFFD3	P4DR	8	P47	P46	P45	P44	P43	P42	P41	P40	ポート 4	
H'FFFD4												
H'FFFD5	P6DR	8	P67	P66	P65	P64	P63	P62	P61	P60	ポート 6	
H'FFFD6	P7DR	8	P77	P76	P75	P74	P73	P72	P71	P70	ポート 7	

下位 アドレス	レジス タ名	デー タ バス幅	ビット名								モジュー ル名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFD7	P8DR	8				P84	P83	P82	P81	P80	ポート8
H'FFFD8	P9DR	8			P95	P94	P93	P92	P91	P90	ポート9
H'FFFD9	PADR	8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	ポートA
H'FFFDA	PBDR	8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	ポートB
H'FFFD B											
H'FFFD C											
H'FFFD D											
H'FFFD E											
H'FFFD F											
H'FFFE0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'FFFE1	ADDRAL	8	AD1	AD0							
H'FFFE2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE3	ADDRBL	8	AD1	AD0							
H'FFFE4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE5	ADDRCL	8	AD1	AD0							
H'FFFE6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFE7	ADDRDL	8	AD1	AD0							
H'FFFE8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'FFFE9	ADCR	8	TRGE								

【記号説明】

WDT : ウォッチドッグタイマ

TPC : プログラマブルタイミングパターンコントローラ

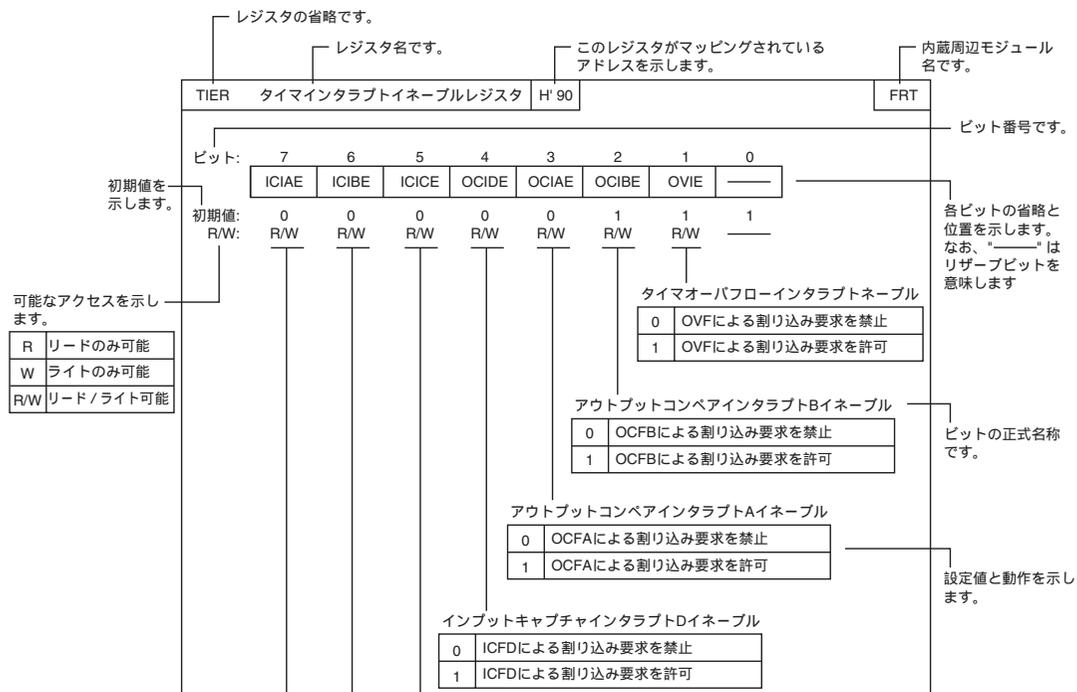
SCI : シリアルコミュニケーションインタフェース

【注】 *1 BCRのビット5~ビット2へのライトは禁止されています。

*2 TCSR、TCNT、RSTCSRのライトについては「11.2.4 レジスタ書き換え時の注意」を参照してください。

*3 出力トリガの設定によりアドレスが変化します。

B.2 機能一覧



P4DDR ポート4 データディレクションレジスタ	H'EE003	ポート4								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px;">P47DDR</td> <td style="width: 20px;">P46DDR</td> <td style="width: 20px;">P45DDR</td> <td style="width: 20px;">P44DDR</td> <td style="width: 20px;">P43DDR</td> <td style="width: 20px;">P42DDR</td> <td style="width: 20px;">P41DDR</td> <td style="width: 20px;">P40DDR</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: W W W W W W W W</p>			P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR			
<p>ポート4入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px;">0</td> <td style="width: 40px;">入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									
P6DDR ポート6 データディレクションレジスタ	H'EE005	ポート6								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px;">—</td> <td style="width: 20px;">P66DDR</td> <td style="width: 20px;">P65DDR</td> <td style="width: 20px;">P64DDR</td> <td style="width: 20px;">P63DDR</td> <td style="width: 20px;">P62DDR</td> <td style="width: 20px;">P61DDR</td> <td style="width: 20px;">P60DDR</td> </tr> </table> <p>初期値: 1 0 0 0 0 0 0 0</p> <p>R/W: — W W W W W W W</p>			—	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
—	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR			
<p>ポート6入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px;">0</td> <td style="width: 40px;">入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									
P8DDR ポート8 データディレクションレジスタ	H'EE007	ポート8								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">P84DDR</td> <td style="width: 20px;">P83DDR</td> <td style="width: 20px;">P82DDR</td> <td style="width: 20px;">P81DDR</td> <td style="width: 20px;">P80DDR</td> </tr> </table> <p>モード1~4 { 初期値: 1 1 1 1 0 0 0 0</p> <p> R/W: — — — W W W W W</p> <p>モード5~7 { 初期値: 1 1 1 0 0 0 0 0</p> <p> R/W: — — — W W W W W</p>			—	—	—	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
—	—	—	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR			
<p>ポート8入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px;">0</td> <td style="width: 40px;">入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									

P9DDR ポート9 データディレクションレジスタ		H'EE008		ポート 9									
ビット:		7	6	5	4	3	2	1	0				
		—	—	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR				
初期値:		1	1	0	0	0	0	0	0				
R/W:		—	—	W	W	W	W	W	W				
		↓ ポート9入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>								0	入力ポート	1	出力ポート
0	入力ポート												
1	出力ポート												
PADDR ポート A データディレクションレジスタ		H'EE009		ポート A									
ビット:		7	6	5	4	3	2	1	0				
		PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR				
モード3、4	初期値:	1	0	0	0	0	0	0	0				
	R/W:	—	W	W	W	W	W	W	W				
モード1、2	初期値:	0	0	0	0	0	0	0	0				
	R/W:	W	W	W	W	W	W	W	W				
		↓ ポートA入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>								0	入力ポート	1	出力ポート
0	入力ポート												
1	出力ポート												
PBDDR ポート B データディレクションレジスタ		H'EE00A		ポート B									
ビット:		7	6	5	4	3	2	1	0				
		PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR				
初期値:		0	0	0	0	0	0	0	0				
R/W:		W	W	W	W	W	W	W	W				
		↓ ポートB入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>								0	入力ポート	1	出力ポート
0	入力ポート												
1	出力ポート												

MDCR モードコントロールレジスタ	H'EE011	システム制御																														
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="width: 12.5%; border: 1px solid black; text-align: center;">—</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">—</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">—</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">—</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">—</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">MDS2</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">MDS1</td> <td style="width: 12.5%; border: 1px solid black; text-align: center;">MDS0</td> </tr> </table> <p>初期値: 1 1 0 0 0 —* —* —*</p> <p>R/W: — — — — — R R R</p>	—	—	—	—	—	MDS2	MDS1	MDS0																								
—	—	—	—	—	MDS2	MDS1	MDS0																									
<p>モードセレクト2~0</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th style="width: 70%;">動作モード</th> </tr> <tr> <th style="text-align: center;">MD₂</th> <th style="text-align: center;">MD₁</th> <th style="text-align: center;">MD₀</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード1</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">モード2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード3</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">モード4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード5</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">モード6</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード7</td> </tr> </tbody> </table>			ビット2	ビット1	ビット0	動作モード	MD ₂	MD ₁	MD ₀		0	0	0	—	1	モード1	1	0	モード2	1	モード3	1	0	0	モード4	1	モード5	1	0	モード6	1	モード7
ビット2	ビット1	ビット0	動作モード																													
MD ₂	MD ₁	MD ₀																														
0	0	0	—																													
		1	モード1																													
	1	0	モード2																													
		1	モード3																													
1	0	0	モード4																													
		1	モード5																													
	1	0	モード6																													
		1	モード7																													
<p>【注】* モード端子 (MD₂ ~ MD₀) の状態により決定されます。</p>																																

SYSR システムコントロールレジスタ					H'EE012			システム制御
ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								RAMイネーブル
								0 内蔵RAM無効
								1 内蔵RAM有効
								ソフトウェアスタンバイ 出力ポートイネーブル
							0	ソフトウェアスタンバイ モード時、アドレスバス、 バス制御信号はすべて ハイインピーダンス
							1	ソフトウェアスタンバイ モード時、 アドレスバス： 出力状態を保持 バス制御信号： High固定
								NMIエッジセレクト
							0	NMI入力の立ち下がりエッジで割り込み要求を発生
							1	NMI入力の立ち上がりエッジで割り込み要求を発生
								ユーザビットイネーブル
							0	CCRのビット6 (UI) を割り込みマスクビットとして使用
							1	CCRのビット6 (UI) をユーザビットとして使用
								スタンバイタイムセレクト2~0
	ビット6 STS2	ビット5 STS1	ビット4 STS0	スタンバイタイムの指定				
	0	0	0	待機時間 = 8192ステート				
1			待機時間 = 16384ステート					
1		1	0	待機時間 = 32768ステート				
			1	待機時間 = 65536ステート				
1	0	0	待機時間 = 131072ステート					
		1	待機時間 = 262144ステート					
	1	0	待機時間 = 1024ステート					
			1	使用禁止				
								ソフトウェアスタンバイ
	0	SLEEP命令実行後、スリープモード遷移						
	1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移						

BRCR	バスリリースコントロールレジスタ	H'EE013	バスコントローラ								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td>A23E</td> <td>A22E</td> <td>A21E</td> <td>A20E</td> <td>—</td> <td>—</td> <td>—</td> <td>BRLE</td> </tr> </table>				A23E	A22E	A21E	A20E	—	—	—	BRLE
A23E	A22E	A21E	A20E	—	—	—	BRLE				
<p>モード1、2 { 初期値: 1 1 1 1 1 1 1 0 R/W: — — — — — — — R/W</p> <p>モード3、4 { 初期値: 1 1 1 0 1 1 1 0 R/W: R/W R/W R/W — — — R/W</p>											
<p>アドレス23～20イネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>アドレス出力</td> </tr> <tr> <td>1</td> <td>上記以外の入出力端子</td> </tr> </table>				0	アドレス出力	1	上記以外の入出力端子				
0	アドレス出力										
1	上記以外の入出力端子										
<p>バスリリースイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>バス権の外部に対する解放を禁止</td> </tr> <tr> <td>1</td> <td>バス権の外部に対する解放を許可</td> </tr> </table>				0	バス権の外部に対する解放を禁止	1	バス権の外部に対する解放を許可				
0	バス権の外部に対する解放を禁止										
1	バス権の外部に対する解放を許可										
ISCR	IRQセンスコントロールレジスタ	H'EE014	割り込みコントローラ								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td>—</td> <td>—</td> <td>IRQ5SC</td> <td>IRQ4SC</td> <td>IRQ3SC</td> <td>IRQ2SC</td> <td>IRQ1SC</td> <td>IRQ0SC</td> </tr> </table>				—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC				
<p>初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W</p>											
<p>IRQ5～IRQ0センスコントロール</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>IRQ5～IRQ0入力のLowレベルで割り込み要求を発生</td> </tr> <tr> <td>1</td> <td>IRQ5～IRQ0入力の立下がりエッジで割り込み要求を発生</td> </tr> </table>				0	IRQ5～IRQ0入力のLowレベルで割り込み要求を発生	1	IRQ5～IRQ0入力の立下がりエッジで割り込み要求を発生				
0	IRQ5～IRQ0入力のLowレベルで割り込み要求を発生										
1	IRQ5～IRQ0入力の立下がりエッジで割り込み要求を発生										
IER	IRQイネーブルレジスタ	H'EE015	割り込みコントローラ								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td>—</td> <td>—</td> <td>IRQ5E</td> <td>IRQ4E</td> <td>IRQ3E</td> <td>IRQ2E</td> <td>IRQ1E</td> <td>IRQ0E</td> </tr> </table>				—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E				
<p>初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W</p>											
<p>IRQ5～IRQ0イネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>IRQ5～IRQ0割り込みを禁止</td> </tr> <tr> <td>1</td> <td>IRQ5～IRQ0割り込みを許可</td> </tr> </table>				0	IRQ5～IRQ0割り込みを禁止	1	IRQ5～IRQ0割り込みを許可				
0	IRQ5～IRQ0割り込みを禁止										
1	IRQ5～IRQ0割り込みを許可										

ISR IRQ ステータスレジスタ		H'EE016		割り込みコントローラ				
ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
IRQ5 ~ IRQ0フラグ								
ビット5~0		セット/クリア条件						
IRQ5F ~ IRQ0F								
0		[クリア条件] (1) IRQnF = 1の状態ではIRQnFをリードした後、 IRQnFに0をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQn}}$ 入力が、Highレベルの状態では割り込み 例外処理を実行したとき (3) IRQnSC = 1の状態ではIRQn割り込み例外処理を実行したとき						
1		[セット条件] (1) IRQnSC = 0の状態では $\overline{\text{IRQn}}$ 入力がLowレベルになった とき (2) IRQnSC = 1の状態では $\overline{\text{IRQn}}$ 入力が立ち下がりエッジが発生 したとき						
【注】 n = 5 ~ 0								
【注】* フラグをクリアするための0ライトのみ可能です。								

IPRA インタラプトプライオリティレジスタ A	H'EE018	割り込みコントローラ																																									
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="margin: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px;">IPRA7</td> <td style="border: 1px solid black; padding: 2px;">IPRA6</td> <td style="border: 1px solid black; padding: 2px;">IPRA5</td> <td style="border: 1px solid black; padding: 2px;">IPRA4</td> <td style="border: 1px solid black; padding: 2px;">IPRA3</td> <td style="border: 1px solid black; padding: 2px;">IPRA2</td> <td style="border: 1px solid black; padding: 2px;">IPRA1</td> <td style="border: 1px solid black; padding: 2px;">IPRA0</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="text-align: center; margin: 10px 0;"> <p>↓</p> <p>プライオリティレベルA7 ~ A0</p> <table style="margin: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px; width: 30px;">0</td> <td style="border: 1px solid black; padding: 2px;">プライオリティレベル0 (非優先)</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px;">1</td> <td style="border: 1px solid black; padding: 2px;">プライオリティレベル1 (優先)</td> </tr> </table> </div> <p>割り込み要因と各ビットの対応</p> <table border="1" style="width:100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2" style="width: 10%;">IPRA</th> <th style="width: 10%;">ビット</th> <th style="width: 10%;">ビット7</th> <th style="width: 10%;">ビット6</th> <th style="width: 10%;">ビット5</th> <th style="width: 10%;">ビット4</th> <th style="width: 10%;">ビット3</th> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> </tr> <tr> <th></th> <th>IPRA7</th> <th>IPRA6</th> <th>IPRA5</th> <th>IPRA4</th> <th>IPRA3</th> <th>IPRA2</th> <th>IPRA1</th> <th>IPRA0</th> </tr> </thead> <tbody> <tr> <td></td> <td>割り込み要因</td> <td>IRQ0</td> <td>IRQ1</td> <td>IRQ2、 IRQ3</td> <td>IRQ4、 IRQ5</td> <td>WDT、 A/D変換器</td> <td>16ビット タイマ チャンネル0</td> <td>16ビット タイマ チャンネル1</td> <td>16ビット タイマ チャンネル2</td> </tr> </tbody> </table>			IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)	IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0		割り込み要因	IRQ0	IRQ1	IRQ2、 IRQ3	IRQ4、 IRQ5	WDT、 A/D変換器	16ビット タイマ チャンネル0	16ビット タイマ チャンネル1	16ビット タイマ チャンネル2
IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0																																				
0	プライオリティレベル0 (非優先)																																										
1	プライオリティレベル1 (優先)																																										
IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																		
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0																																		
	割り込み要因	IRQ0	IRQ1	IRQ2、 IRQ3	IRQ4、 IRQ5	WDT、 A/D変換器	16ビット タイマ チャンネル0	16ビット タイマ チャンネル1	16ビット タイマ チャンネル2																																		
IPRB インタラプトプライオリティレジスタ B	H'EE019	割り込みコントローラ																																									
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="margin: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px;">IPRB7</td> <td style="border: 1px solid black; padding: 2px;">IPRB6</td> <td style="border: 1px solid black; padding: 2px;">—</td> <td style="border: 1px solid black; padding: 2px;">—</td> <td style="border: 1px solid black; padding: 2px;">IPRB3</td> <td style="border: 1px solid black; padding: 2px;">IPRB2</td> <td style="border: 1px solid black; padding: 2px;">—</td> <td style="border: 1px solid black; padding: 2px;">—</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="text-align: center; margin: 10px 0;"> <p>↓</p> <p>プライオリティレベルB7 ~ B6、B3 ~ B2</p> <table style="margin: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px; width: 30px;">0</td> <td style="border: 1px solid black; padding: 2px;">プライオリティレベル0 (非優先)</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px;">1</td> <td style="border: 1px solid black; padding: 2px;">プライオリティレベル1 (優先)</td> </tr> </table> </div> <p>割り込み要因と各ビットの対応</p> <table border="1" style="width:100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2" style="width: 10%;">IPRB</th> <th style="width: 10%;">ビット</th> <th style="width: 10%;">ビット7</th> <th style="width: 10%;">ビット6</th> <th style="width: 10%;">ビット5</th> <th style="width: 10%;">ビット4</th> <th style="width: 10%;">ビット3</th> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> </tr> <tr> <th></th> <th>IPRB7</th> <th>IPRB6</th> <th>—</th> <th>—</th> <th>IPRB3</th> <th>IPRB2</th> <th>—</th> <th>—</th> </tr> </thead> <tbody> <tr> <td></td> <td>割り込み要因</td> <td>8ビット タイマ チャンネル 0, 1</td> <td>8ビット タイマ チャンネル 2, 3</td> <td>—</td> <td>—</td> <td>SCI チャンネル0</td> <td>SCI チャンネル1</td> <td>—</td> <td>—</td> </tr> </tbody> </table>			IPRB7	IPRB6	—	—	IPRB3	IPRB2	—	—	0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)	IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		IPRB7	IPRB6	—	—	IPRB3	IPRB2	—	—		割り込み要因	8ビット タイマ チャンネル 0, 1	8ビット タイマ チャンネル 2, 3	—	—	SCI チャンネル0	SCI チャンネル1	—	—
IPRB7	IPRB6	—	—	IPRB3	IPRB2	—	—																																				
0	プライオリティレベル0 (非優先)																																										
1	プライオリティレベル1 (優先)																																										
IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																		
		IPRB7	IPRB6	—	—	IPRB3	IPRB2	—	—																																		
	割り込み要因	8ビット タイマ チャンネル 0, 1	8ビット タイマ チャンネル 2, 3	—	—	SCI チャンネル0	SCI チャンネル1	—	—																																		

DASTCR D/A スタンバイコントロールレジスタ	H'EE01A	D/A																
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">DASTE</td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 0</p> <p>R/W: — — — — — — — R/W</p>			—	—	—	—	—	—	—	DASTE								
—	—	—	—	—	—	—	DASTE											
<p>D/Aスタンバイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td style="width: 85%;">ソフトウェアスタンバイモードでのD/A出力を禁止 (初期値)</td> <td style="width: 10%;"></td> </tr> <tr> <td style="text-align: center;">1</td> <td>ソフトウェアスタンバイモードでのD/A出力を許可</td> <td></td> </tr> </table>			0	ソフトウェアスタンバイモードでのD/A出力を禁止 (初期値)		1	ソフトウェアスタンバイモードでのD/A出力を許可											
0	ソフトウェアスタンバイモードでのD/A出力を禁止 (初期値)																	
1	ソフトウェアスタンバイモードでのD/A出力を許可																	
DIVCR 分周比コントロールレジスタ	H'EE01B	システム制御																
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">DIV1</td> <td style="width: 12.5%; border: 1px solid black;">DIV0</td> </tr> </table> <p>初期値: 1 1 1 1 1 1 0 0</p> <p>R/W: — — — — — — R/W R/W</p>			—	—	—	—	—	—	DIV1	DIV0								
—	—	—	—	—	—	DIV1	DIV0											
<p>分周比ビット1、0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th style="width: 80%;">分 周 比</th> </tr> <tr> <th>DIV1</th> <th>DIV0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1/1 (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1/2</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1/4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1/8</td> </tr> </tbody> </table>			ビット1	ビット0	分 周 比	DIV1	DIV0		0	0	1/1 (初期値)	1	1/2	1	0	1/4	1	1/8
ビット1	ビット0	分 周 比																
DIV1	DIV0																	
0	0	1/1 (初期値)																
	1	1/2																
1	0	1/4																
	1	1/8																

MSTCRH	モジュールスタンバイコントロールレジスタ H				H'EE01C		システム制御	
ビット :	7	6	5	4	3	2	1	0
	PSTOP	—	—	—	—	—	MSTPH1	MSTPH0
初期値 :	0	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W
	リザーブビット					モジュールスタンバイH1~H0 モジュールをスタンバイ状態にするための選択ビットです。		
	φクロックストップ φクロックの出力を許可または禁止するビットです。							

MSTCRL	モジュールスタンバイコントロールレジスタ L				H'EE01D			システム制御
ビット :	7	6	5	4	3	2	1	0
	—	—	—	MSTPL4	MSTPL3	MSTPL2	—	MSTPL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット				モジュールスタンバイL4~L2、L0 モジュールをスタンバイ状態にするための選択ビットです。			

ADRCR アドレスコントロールレジスタ				H'EE01E		バスコントローラ		
ビット:	7	6	5	4	3	2	1	0
								ADRCTL
初期値:	1	1	1	1	1	1	1	1
R/W:								R/W
	リザーブビット							アドレスコントロール
								アドレス更新モード1または アドレス更新モード2を選択
	ADRCTL		説明					
	0		アドレス更新モード2を選択					
	1		アドレス更新モード1を選択 (初期値)					
CSCR チップセレクトコントロールレジスタ				H'EE01F		バスコントローラ		
ビット:	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	—	—	—	—
	チップセレクト7~4イネーブル							
	ビットn	説明						
	CSnE	チップセレクト信号 (\overline{CSn}) の出力を禁止 (初期値)						
	1	チップセレクト信号 (\overline{CSn}) の出力を許可						
	【注】 n=7~4							

ABWCR		バス幅コントロールレジスタ		H'EE020				バスコントローラ				
ビット:		7	6	5	4	3	2	1	0			
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0			
モード1、3	初期値:	1	1	1	1	1	1	1	1			
モード2、4	初期値:	0	0	0	0	0	0	0	0			
	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
エリア7~0バス幅コントロール												
ビット7~0		アクセス空間の指定										
0		エリア7~0を16ビットアクセス空間に設定										
1		エリア7~0を8ビットアクセス空間に設定										

ASTCR		アクセスステートコントロールレジスタ		H'EE021				バスコントローラ				
ビット:		7	6	5	4	3	2	1	0			
		AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0			
初期値:		1	1	1	1	1	1	1	1			
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
エリア7~0アクセスステートコントロール												
ビット7~0		アクセスステート数の指定										
0		エリア7~0を2ステートアクセス空間に設定										
1		エリア7~0を3ステートアクセス空間に設定										

WCRH ウェイトコントロールレジスタH					H'EE022		バスコントローラ											
ビット:	7	6	5	4	3	2	1	0										
	W71	W70	W61	W60	W51	W50	W41	W40										
初期値:	1	1	1	1	1	1	1	1										
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W										
					エリア4ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																
					エリア5ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																
					エリア6ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																
					エリア7ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																

WCRL ウェイトコントロールレジスタ L	H'EE023	バスコントローラ
-----------------------	---------	----------

ビット:	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

エリア0 ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア1 ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア2 ウェイトコントロール1、0

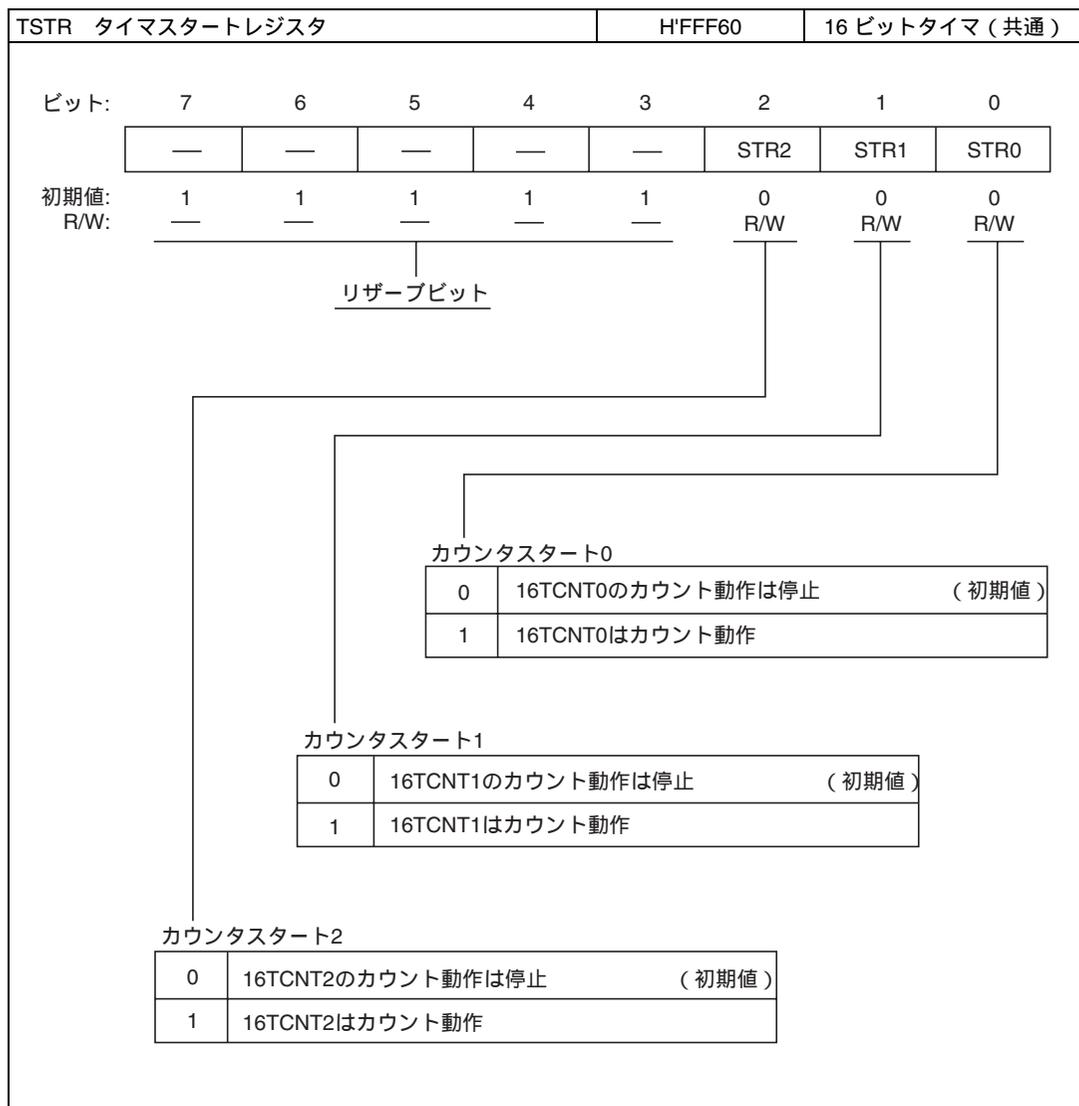
0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

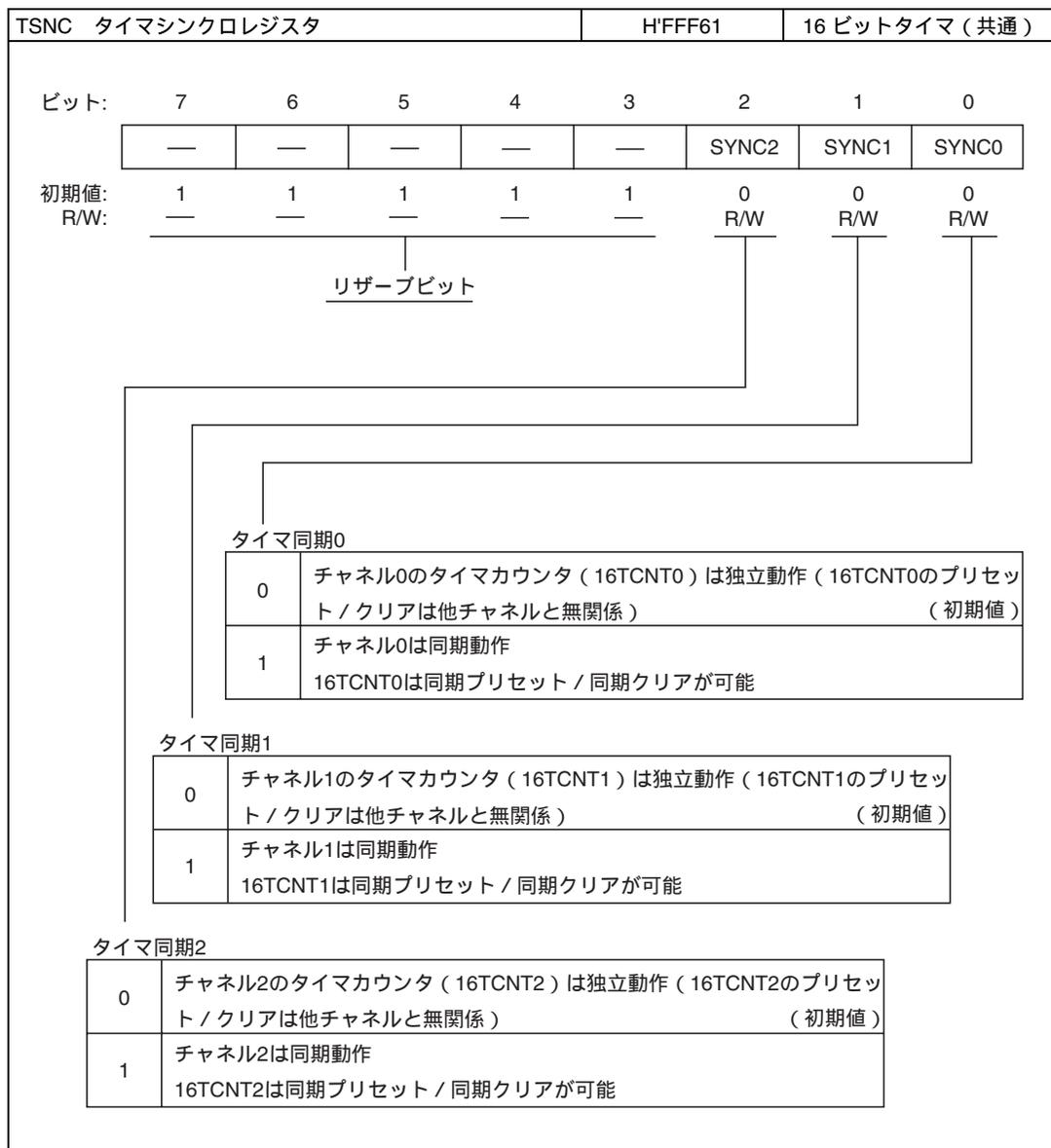
エリア3 ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

BCR バスコントロールレジスタ						H'EE024		バスコントローラ		
ビット:	7	6	5	4	3	2	1	0		
	ICIS1	ICIS0					RDEA	WAITE		
初期値:	1	1	0*1	0*1	0*1	1*2	1	0		
R/W:	R/W	R/W					R/W	R/W		
							WAIT端子イネーブル			
							0	端子ウェイト入力を禁止		
							1	端子ウェイト入力を許可		
							エリア分割単位選択			
							0	エリア分割は、 エリア0：2Mバイト エリア4：1.93Mバイト エリア1：2Mバイト エリア5：4Kバイト エリア2：8Mバイト エリア6：23.75Kバイト エリア3：2Mバイト エリア7：22バイト		
							1	エリア分割は、エリア0～7まで 等分割（2Mバイト）		
							アイドルサイクル挿入0			
							0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない		
							1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する		
							アイドルサイクル挿入1			
							0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない		
							1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する		
	【注】*1 本ビットはリード/ライト可能ですが、1ライトは禁止です。1ライトした場合、正常動作は保証されません。 *2 0ライト禁止です。									

P4PCR		ポート4入力プルアップMOSコントロールレジスタ						H'EE03E		ポート4					
ビット:		7	6	5	4	3	2	1	0						
		P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR						
初期値:		0	0	0	0	0	0	0	0						
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
<p>ポート4入力プルアップMOSコントロール7~0</p> <table border="1"> <tr> <td>0</td> <td>入力プルアップMOSはOFF</td> </tr> <tr> <td>1</td> <td>入力プルアップMOSはON</td> </tr> </table> <p>P4DDRを0に指定したとき（入力ポートに指定）</p>												0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
0	入力プルアップMOSはOFF														
1	入力プルアップMOSはON														





TMDR タイマモードレジスタ				H'FFF62		16 ビットタイマ (共通)		
ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	—	—	PWM2	PWM1	PWM0
初期値:	1	0	0	1	1	0	0	0
R/W:	—	R/W	R/W	—	—	R/W	R/W	R/W

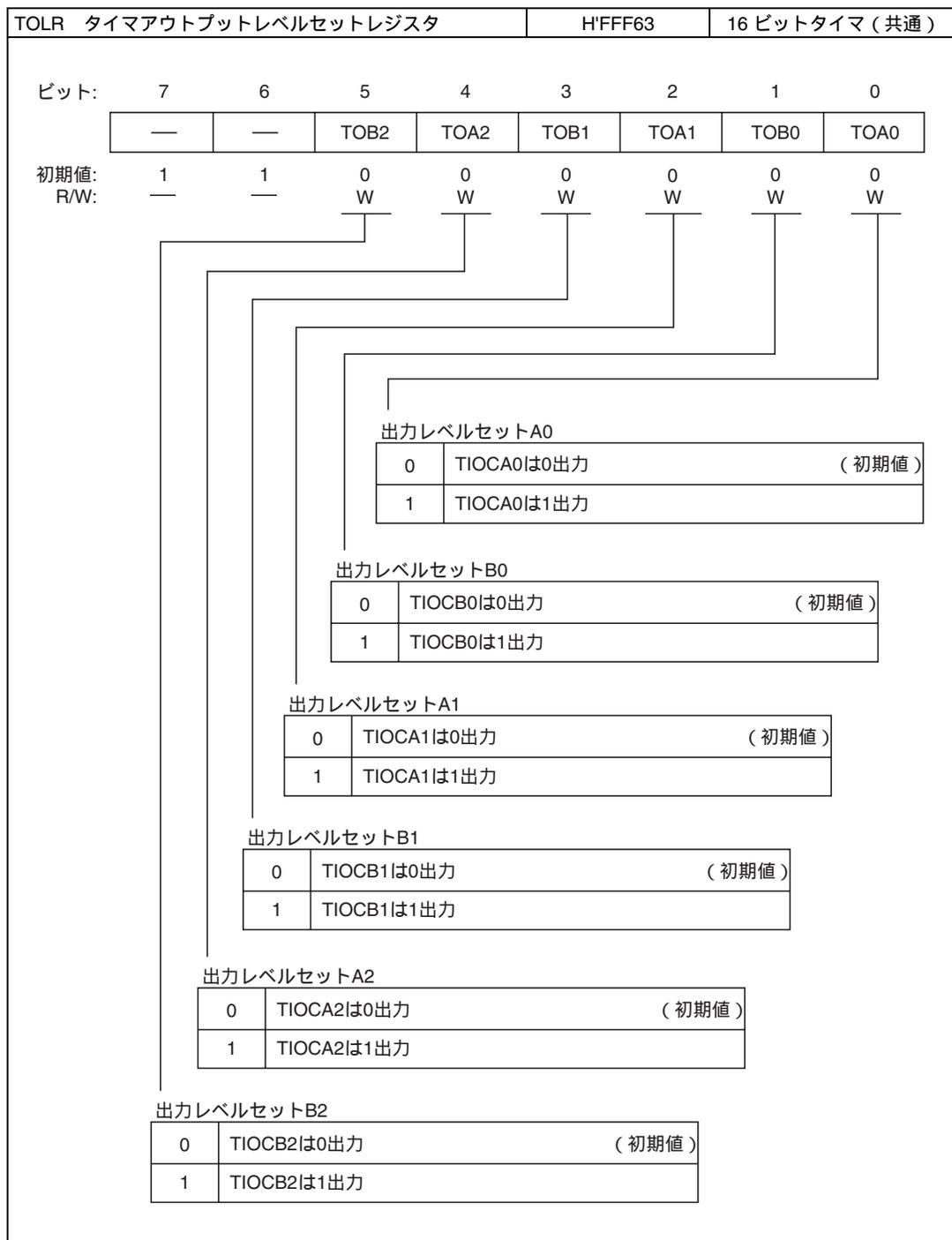
0	チャンネル0は通常動作	(初期値)
1	チャンネル0はPWMモード	

0	チャンネル1は通常動作	(初期値)
1	チャンネル1はPWMモード	

0	チャンネル2は通常動作	(初期値)
1	チャンネル2はPWMモード	

0	TISRCのOVFフラグは、16TCNT2がオーバーフローまたはアンダフローしたときに1にセット	(初期値)
1	TISRCのOVFフラグは、16TCNT2がオーバーフローしたときに1にセット	

0	チャンネル2は通常動作	(初期値)
1	チャンネル2は位相計数モード	



TISRA タイマインタラプトステータスレジスタ A				H'FFF64		16 ビットタイマ (共通)																																						
ビット:	7	6	5	4	3	2	1	0																																				
	—	IMIEA2	IMIEA1	IMIEA0	—	IMFA2	IMFA1	IMFA0																																				
初期値:	1	0	0	0	1	0	0	0																																				
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*																																				
<p>インプットキャプチャ / コンペアマッチフラグA0</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] IMFA0 = 1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>[セット条件] (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0 になったとき (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき</td> <td></td> </tr> </table> <p>インプットキャプチャ / コンペアマッチフラグA1</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] IMFA1 = 1の状態、IMFA1フラグをリードした後、IMFA1フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>[セット条件] (1) GRA1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1 になったとき (2) GRA1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき</td> <td></td> </tr> </table> <p>インプットキャプチャ / コンペアマッチフラグA2</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] IMFA2 = 1の状態、IMFA2フラグをリードした後、IMFA2フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>[セット条件] (1) GRA2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2 になったとき (2) GRA2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき</td> <td></td> </tr> </table> <p>インプットキャプチャ / コンペアマッチインタラプトイネーブルA0</p> <table border="1"> <tr> <td>0</td> <td>IMFA0フラグによる割り込み (IMIA0) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>IMFA0フラグによる割り込み (IMIA0) 要求を許可</td> <td></td> </tr> </table> <p>インプットキャプチャ / コンペアマッチインタラプトイネーブルA1</p> <table border="1"> <tr> <td>0</td> <td>IMFA1フラグによる割り込み (IMIA1) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>IMFA1フラグによる割り込み (IMIA1) 要求を許可</td> <td></td> </tr> </table> <p>インプットキャプチャ / コンペアマッチインタラプトイネーブルA2</p> <table border="1"> <tr> <td>0</td> <td>IMFA2フラグによる割り込み (IMIA2) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>IMFA2フラグによる割り込み (IMIA2) 要求を許可</td> <td></td> </tr> </table>									0	[クリア条件] IMFA0 = 1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき	(初期値)	1	[セット条件] (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0 になったとき (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき		0	[クリア条件] IMFA1 = 1の状態、IMFA1フラグをリードした後、IMFA1フラグに0をライトしたとき	(初期値)	1	[セット条件] (1) GRA1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1 になったとき (2) GRA1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき		0	[クリア条件] IMFA2 = 1の状態、IMFA2フラグをリードした後、IMFA2フラグに0をライトしたとき	(初期値)	1	[セット条件] (1) GRA2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2 になったとき (2) GRA2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき		0	IMFA0フラグによる割り込み (IMIA0) 要求を禁止	(初期値)	1	IMFA0フラグによる割り込み (IMIA0) 要求を許可		0	IMFA1フラグによる割り込み (IMIA1) 要求を禁止	(初期値)	1	IMFA1フラグによる割り込み (IMIA1) 要求を許可		0	IMFA2フラグによる割り込み (IMIA2) 要求を禁止	(初期値)	1	IMFA2フラグによる割り込み (IMIA2) 要求を許可	
0	[クリア条件] IMFA0 = 1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき	(初期値)																																										
1	[セット条件] (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0 になったとき (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき																																											
0	[クリア条件] IMFA1 = 1の状態、IMFA1フラグをリードした後、IMFA1フラグに0をライトしたとき	(初期値)																																										
1	[セット条件] (1) GRA1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1 になったとき (2) GRA1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき																																											
0	[クリア条件] IMFA2 = 1の状態、IMFA2フラグをリードした後、IMFA2フラグに0をライトしたとき	(初期値)																																										
1	[セット条件] (1) GRA2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2 になったとき (2) GRA2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき																																											
0	IMFA0フラグによる割り込み (IMIA0) 要求を禁止	(初期値)																																										
1	IMFA0フラグによる割り込み (IMIA0) 要求を許可																																											
0	IMFA1フラグによる割り込み (IMIA1) 要求を禁止	(初期値)																																										
1	IMFA1フラグによる割り込み (IMIA1) 要求を許可																																											
0	IMFA2フラグによる割り込み (IMIA2) 要求を禁止	(初期値)																																										
1	IMFA2フラグによる割り込み (IMIA2) 要求を許可																																											

【注】 * フラグをクリアするための0ライトのみ可能です。

TISRB タイマインタラプトステータスレジスタ B	H'FFF65	16 ビットタイマ (共通)				
ビット: 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; align-items: center;"> — IMIEB2 IMIEB1 IMIEB0 — IMFB2 IMFB1 IMFB0 </div> 初期値: 1 0 0 0 1 0 0 0 R/W : — R/W R/W R/W — R/(W)* R/(W)* R/(W)*						
インพุットキャプチャ / コンペアマッチフラグB0						
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 5%;">0</td> <td style="padding: 2px;"> [クリア条件] (初期値) IMFB0 = 1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;"> [セット条件] (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0 になったとき (2) GRB0がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき </td> </tr> </table>			0	[クリア条件] (初期値) IMFB0 = 1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき	1	[セット条件] (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0 になったとき (2) GRB0がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき
0	[クリア条件] (初期値) IMFB0 = 1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき					
1	[セット条件] (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0 になったとき (2) GRB0がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき					
インพุットキャプチャ / コンペアマッチフラグB1						
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 5%;">0</td> <td style="padding: 2px;"> [クリア条件] (初期値) IMFB1 = 1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;"> [セット条件] (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1 になったとき (2) GRB1がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき </td> </tr> </table>			0	[クリア条件] (初期値) IMFB1 = 1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき	1	[セット条件] (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1 になったとき (2) GRB1がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき
0	[クリア条件] (初期値) IMFB1 = 1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき					
1	[セット条件] (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1 になったとき (2) GRB1がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき					
インพุットキャプチャ / コンペアマッチフラグB2						
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 5%;">0</td> <td style="padding: 2px;"> [クリア条件] (初期値) IMFB2 = 1の状態、IMFB2フラグをリードした後、IMFB2フラグに0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;"> [セット条件] (1) GRB2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2 になったとき (2) GRB2がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT2の値がGRB2に転送されたとき </td> </tr> </table>			0	[クリア条件] (初期値) IMFB2 = 1の状態、IMFB2フラグをリードした後、IMFB2フラグに0をライトしたとき	1	[セット条件] (1) GRB2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2 になったとき (2) GRB2がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT2の値がGRB2に転送されたとき
0	[クリア条件] (初期値) IMFB2 = 1の状態、IMFB2フラグをリードした後、IMFB2フラグに0をライトしたとき					
1	[セット条件] (1) GRB2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2 になったとき (2) GRB2がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により16TCNT2の値がGRB2に転送されたとき					
インพุットキャプチャ / コンペアマッチインタラプトイネーブルB0						
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 5%;">0</td> <td style="padding: 2px;">IMFB0フラグによる割り込み (IMIB0) 要求を禁止 (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;">IMFB0フラグによる割り込み (IMIB0) 要求を許可</td> </tr> </table>			0	IMFB0フラグによる割り込み (IMIB0) 要求を禁止 (初期値)	1	IMFB0フラグによる割り込み (IMIB0) 要求を許可
0	IMFB0フラグによる割り込み (IMIB0) 要求を禁止 (初期値)					
1	IMFB0フラグによる割り込み (IMIB0) 要求を許可					
インพุットキャプチャ / コンペアマッチインタラプトイネーブルB1						
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 5%;">0</td> <td style="padding: 2px;">IMFB1フラグによる割り込み (IMIB1) 要求を禁止 (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;">IMFB1フラグによる割り込み (IMIB1) 要求を許可</td> </tr> </table>			0	IMFB1フラグによる割り込み (IMIB1) 要求を禁止 (初期値)	1	IMFB1フラグによる割り込み (IMIB1) 要求を許可
0	IMFB1フラグによる割り込み (IMIB1) 要求を禁止 (初期値)					
1	IMFB1フラグによる割り込み (IMIB1) 要求を許可					
インพุットキャプチャ / コンペアマッチインタラプトイネーブルB2						
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 5%;">0</td> <td style="padding: 2px;">IMFB2フラグによる割り込み (IMIB2) 要求を禁止 (初期値)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;">IMFB2フラグによる割り込み (IMIB2) 要求を許可</td> </tr> </table>			0	IMFB2フラグによる割り込み (IMIB2) 要求を禁止 (初期値)	1	IMFB2フラグによる割り込み (IMIB2) 要求を許可
0	IMFB2フラグによる割り込み (IMIB2) 要求を禁止 (初期値)					
1	IMFB2フラグによる割り込み (IMIB2) 要求を許可					
【注】 * フラグをクリアするための0ライトのみ可能です。						

TISRC	タイマインタラプトステータスレジスタ C	H'FFF66	16 ビットタイマ (共通)																																									
ビット :	7	6	5	4	3	2	1	0																																				
	—	OVIE2	OVIE1	OVIE0	—	OVF2	OVF1	OVF0																																				
初期値 :	1	0	0	0	1	0	0	0																																				
R/W :	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*																																				
<p>オーバーフローフラグ0</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>[セット条件] 16TCNT0の値がオーバーフロー (H'FFFF→H'0000) したとき</td> <td></td> </tr> </table> <p>オーバーフローフラグ1</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>[セット条件] 16TCNT1の値がオーバーフロー (H'FFFF→H'0000) したとき</td> <td></td> </tr> </table> <p>オーバーフローフラグ2</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>[セット条件] 16TCNT2の値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき</td> <td></td> </tr> </table> <p>オーバーフローインタラプトイネーブル0</p> <table border="1"> <tr> <td>0</td> <td>OVF0フラグによる割り込み (OVI0) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>OVF0フラグによる割り込み (OVI0) 要求を許可</td> <td></td> </tr> </table> <p>オーバーフローインタラプトイネーブル1</p> <table border="1"> <tr> <td>0</td> <td>OVF1フラグによる割り込み (OVI1) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>OVF1フラグによる割り込み (OVI1) 要求を許可</td> <td></td> </tr> </table> <p>オーバーフローインタラプトイネーブル2</p> <table border="1"> <tr> <td>0</td> <td>OVF2フラグによる割り込み (OVI2) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>OVF2フラグによる割り込み (OVI2) 要求を許可</td> <td></td> </tr> </table>									0	[クリア条件] OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき	(初期値)	1	[セット条件] 16TCNT0の値がオーバーフロー (H'FFFF→H'0000) したとき		0	[クリア条件] OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき	(初期値)	1	[セット条件] 16TCNT1の値がオーバーフロー (H'FFFF→H'0000) したとき		0	[クリア条件] OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき	(初期値)	1	[セット条件] 16TCNT2の値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき		0	OVF0フラグによる割り込み (OVI0) 要求を禁止	(初期値)	1	OVF0フラグによる割り込み (OVI0) 要求を許可		0	OVF1フラグによる割り込み (OVI1) 要求を禁止	(初期値)	1	OVF1フラグによる割り込み (OVI1) 要求を許可		0	OVF2フラグによる割り込み (OVI2) 要求を禁止	(初期値)	1	OVF2フラグによる割り込み (OVI2) 要求を許可	
0	[クリア条件] OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき	(初期値)																																										
1	[セット条件] 16TCNT0の値がオーバーフロー (H'FFFF→H'0000) したとき																																											
0	[クリア条件] OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき	(初期値)																																										
1	[セット条件] 16TCNT1の値がオーバーフロー (H'FFFF→H'0000) したとき																																											
0	[クリア条件] OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき	(初期値)																																										
1	[セット条件] 16TCNT2の値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき																																											
0	OVF0フラグによる割り込み (OVI0) 要求を禁止	(初期値)																																										
1	OVF0フラグによる割り込み (OVI0) 要求を許可																																											
0	OVF1フラグによる割り込み (OVI1) 要求を禁止	(初期値)																																										
1	OVF1フラグによる割り込み (OVI1) 要求を許可																																											
0	OVF2フラグによる割り込み (OVI2) 要求を禁止	(初期値)																																										
1	OVF2フラグによる割り込み (OVI2) 要求を許可																																											
【注】 * フラグをクリアするための0ライトのみ可能です。																																												

16TCR0 タイマコントロールレジスタ 0	H'FFF68	16ビットタイマチャネル0
------------------------	---------	---------------

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W						

タイマプリスケラ2~0

ビット2	ビット1	ビット0	説明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: ϕ でカウント (初期値)
		1	内部クロック: $\phi/2$ でカウント
	1	0	内部クロック: $\phi/4$ でカウント
		1	内部クロック: $\phi/8$ でカウント
1	0	0	外部クロックA: TCLKA端子入力でカウント
		1	外部クロックB: TCLKB端子入力でカウント
	1	0	外部クロックC: TCLKC端子入力でカウント
		1	外部クロックD: TCLKD端子入力でカウント

クロックエッジ1、0

ビット4	ビット3	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
0	1	立ち下がりエッジでカウント
1	—	立ち上がり立ち下がりエッジの両エッジでカウント

カウンタクリア1、0

ビット6	ビット5	説明
CCLR1	CCLR0	
0	0	16TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャで16TCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャで16TCNTをクリア
	1	同期クリア。同期動作をしている他のタイマのカウンタクリアに同期して16TCNTをクリア

TIOR0 タイマ I/O コントロールレジスタ 0		H'FFF69		16 ビットタイマチャネル 0				
ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W :	—	R/W	R/W	R/W	—	R/W	R/W	R/W

I/OコントロールA2 ~ A0

ビット2	ビット1	ビット0	説明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRAのコンペアマッチで0出力
	1	0		GRAのコンペアマッチで1出力
		1		GRAのコンペアマッチでトグル出力 (チャネル2のみ1出力)
1	0	0	GRAはインプット キャプチャレジスタ	立ち上がりエッジでGRAへインプットキャプチャ
		1		立ち下がりエッジでGRAへインプットキャプチャ
	1	0		立ち上がり / 立ち下がりエッジの両エッジでイン プットキャプチャ
		1		

I/OコントロールB2 ~ B0

ビット6	ビット5	ビット4	説明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRBのコンペアマッチで0出力
	1	0		GRBのコンペアマッチで1出力
		1		GRBのコンペアマッチでトグル出力 (チャネル2のみ1出力)
1	0	0	GRBはインプット キャプチャレジスタ	立ち上がりエッジでGRBへインプットキャプチャ
		1		立ち下がりエッジでGRBへインプットキャプチャ
	1	0		立ち上がり / 立ち下がりエッジの両エッジでイン プットキャプチャ
		1		

16TCNT0H、L タイマカウンタ 0H、L	H'FFF6A H'FFF6B	16 ビットタイマチャンネル 0																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W</p> <p style="text-align: center;">↑ アップカウンタ</p>																		
GRA0H、L ジェネラルレジスタ A0 H、L	H'FFF6C H'FFF6D	16 ビットタイマチャンネル 0																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p> <p style="text-align: center;">↑ アウトプットコンペア/インプットキャプチャ兼用レジスタ</p>																		
GRB0H、L ジェネラルレジスタ B0 H、L	H'FFF6E H'FFF6F	16 ビットタイマチャンネル 0																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p> <p style="text-align: center;">↑ アウトプットコンペア/インプットキャプチャ兼用レジスタ</p>																		
16TCR1 タイマコントロールレジスタ 1	H'FFF70	16 ビットタイマチャンネル 1																
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">CCLR1</td><td style="width: 20px;">CCLR0</td><td style="width: 20px;">CKEG1</td><td style="width: 20px;">CKEG0</td><td style="width: 20px;">TPSC2</td><td style="width: 20px;">TPSC1</td><td style="width: 20px;">TPSC0</td> </tr> </table> <p>初期値: 1 0 0 0 0 0 0 0</p> <p>R/W: — R/W R/W R/W R/W R/W R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>			—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0								
—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0											

TIOR1 タイマ I/O コントロールレジスタ 1	H'FFF71	16 ビットタイマチャンネル 1																
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">IOB2</td> <td style="width: 12.5%;">IOB1</td> <td style="width: 12.5%;">IOB0</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">IOA2</td> <td style="width: 12.5%;">IOA1</td> <td style="width: 12.5%;">IOA0</td> </tr> </table> <p>初期値: 1 0 0 0 1 0 0 0</p> <p>R/W: ———— R/W R/W R/W ———— R/W R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>				IOB2	IOB1	IOB0		IOA2	IOA1	IOA0								
	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0											
16TCNT1H、 L タイマカウンタ 1H、 L	H'FFF72 H'FFF73	16 ビットタイマチャンネル 1																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 7.14%;"></td><td style="width: 7.14%;"></td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>																		
GRA1H、 L ジェネラルレジスタ A1 H、 L	H'FFF74 H'FFF75	16 ビットタイマチャンネル 1																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 7.14%;"></td><td style="width: 7.14%;"></td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>																		
GRB1H、 L ジェネラルレジスタ B1 H、 L	H'FFF76 H'FFF77	16 ビットタイマチャンネル 1																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 7.14%;"></td><td style="width: 7.14%;"></td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p> <p>機能は16ビットタイマチャンネル0と同じです。</p>																		

16TCR2 タイマコントロールレジスタ 2	H'FFF78	16ビットタイマチャンネル 2																
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">CCLR1</td> <td style="width: 12.5%;">CCLR0</td> <td style="width: 12.5%;">CKEG1</td> <td style="width: 12.5%;">CKEG0</td> <td style="width: 12.5%;">TPSC2</td> <td style="width: 12.5%;">TPSC1</td> <td style="width: 12.5%;">TPSC0</td> </tr> </table> 初期値: 1 0 0 0 0 0 0 0 R/W: ——— R/W R/W R/W R/W R/W R/W R/W		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	機能は16ビットタイマチャンネル0と同じです。 【注】 チャンネル2を位相計数モードに設定したとき、16TCR2のCKEG1、CKEG0ビットおよびTPSC2~TPSC0ビットの設定は無効となります。									
	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0											
TIOR2 タイマ I/O コントロールレジスタ 2	H'FFF79	16ビットタイマチャンネル 2																
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">IOB2</td> <td style="width: 12.5%;">IOB1</td> <td style="width: 12.5%;">IOB0</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">IOA2</td> <td style="width: 12.5%;">IOA1</td> <td style="width: 12.5%;">IOA0</td> </tr> </table> 初期値: 1 0 0 0 1 0 0 0 R/W: ——— R/W R/W R/W ——— R/W R/W R/W		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	機能は16ビットタイマチャンネル0と同じです。									
	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0											
16TCNT2H、L タイマカウンタ 2H、L	H'FFF7A、H'FFF7B	16ビットタイマチャンネル 2																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td><td style="width: 12.5%;"></td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W: R/W																	↑ 位相計数モード時：アップ/ダウンカウンタ その他のモード時：アップカウンタ	
GRA2H、L ジェネラルレジスタ A2 H、L	H'FFF7C、H'FFF7D	16ビットタイマチャンネル 2																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td><td style="width: 12.5%;"></td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 R/W: R/W																	機能は16ビットタイマチャンネル0と同じです。	

GRB2H、L ジェネラルレジスタ B2 H、L	H'FFF7E、H'FFF7F	16ビットタイマチャンネル2																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																		
<table border="1"><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>																		
初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1																		
R/W: R/W																		
機能は16ビットタイマチャンネル0と同じです。																		

8TCR0	タイマコントロールレジスタ 0	H'FFF80	8ビットタイマチャンネル 0
8TCR1	タイマコントロールレジスタ 1	H'FFF81	8ビットタイマチャンネル 1

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

		クロックセレクト2~0	
0	0	0	クロック入力を禁止
		1	内部クロック： φ/8立ち上がりエッジでカウント
	1	0	内部クロック： φ/64立ち上がりエッジでカウント
		1	内部クロック： φ/8192立ち上がりエッジでカウント
1	0	0	チャンネル0の場合： 8TCNT1のオーバフロー信号で カウント*
		1	外部クロック：立ち下がりエッジでカウント
	1	0	外部クロック：立ち上がりエッジでカウント
		1	外部クロック：立ち上がり/立ち 下がり両エッジでカウント

【注】* チャンネル0のクロック入力を8TCNT1のオーバフロー信号とし、チャンネル1のクロック入力を8TCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア1、0		
0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチB/インプットキャプチャBによりクリア
	1	インプットキャプチャBによりクリア

タイマオーバフローインタラプトイネーブル	
0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA	
0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB	
0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

8TCSR0 タイマコントロール/ステータスレジスタ 0	H'FFF82	8ビットタイマチャネル 0																																																																																															
ビット: <table style="margin-left: 20px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px;">7</td> <td style="border: 1px solid black; padding: 2px;">6</td> <td style="border: 1px solid black; padding: 2px;">5</td> <td style="border: 1px solid black; padding: 2px;">4</td> <td style="border: 1px solid black; padding: 2px;">3</td> <td style="border: 1px solid black; padding: 2px;">2</td> <td style="border: 1px solid black; padding: 2px;">1</td> <td style="border: 1px solid black; padding: 2px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px;">CMFB</td> <td style="border: 1px solid black; padding: 2px;">CMFA</td> <td style="border: 1px solid black; padding: 2px;">OVF</td> <td style="border: 1px solid black; padding: 2px;">ADTE</td> <td style="border: 1px solid black; padding: 2px;">OIS3</td> <td style="border: 1px solid black; padding: 2px;">OIS2</td> <td style="border: 1px solid black; padding: 2px;">OS1</td> <td style="border: 1px solid black; padding: 2px;">OS0</td> </tr> </table>			7	6	5	4	3	2	1	0	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0																																																																															
7	6	5	4	3	2	1	0																																																																																										
CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0																																																																																										
初期値: <table style="margin-left: 20px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px;">R/W:</td> <td style="border: 1px solid black; padding: 2px;">R/(W)*1</td> <td style="border: 1px solid black; padding: 2px;">R/(W)*1</td> <td style="border: 1px solid black; padding: 2px;">R/W</td> </tr> </table>			0	0	0	0	0	0	0	0	R/W:	R/(W)*1	R/(W)*1	R/W	R/W	R/W	R/W	R/W																																																																															
0	0	0	0	0	0	0	0																																																																																										
R/W:	R/(W)*1	R/(W)*1	R/W	R/W	R/W	R/W	R/W																																																																																										
<table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%;"></td> <td style="width:50%; border: 1px solid black; padding: 5px;"> <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">アウトプットセレクトA1、A0</th> <th>説明</th> </tr> <tr> <th>ビット1</th> <th>ビット0</th> <td></td> </tr> <tr> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAごとに反転出力 (トグル出力)</td> </tr> </table> </td> </tr> <tr> <td colspan="3"> <table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="4">アウトプット/インプットキャプチャエッジセレクトB3、B2</th> </tr> <tr> <th>8TCSR0のICE</th> <th>ビット3 OIS3</th> <th>ビット2 OIS2</th> <th>説明</th> </tr> <tr> <td rowspan="4" style="text-align:center;">0</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチBごとに反転出力 (トグル出力)</td> </tr> <tr> <td rowspan="3" style="text-align:center;">1</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align:center;">1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ</td> </tr> </table> </td> </tr> <tr> <td colspan="3"> <table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="3">A/Dトリガインエーブル</th> </tr> <tr> <th>TRGE*2</th> <th>ビット4 ADTE</th> <th>説明</th> </tr> <tr> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止</td> </tr> </table> </td> </tr> <tr> <td colspan="3"> <table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">タイマーオーバーフローフラグ</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] 8TCNTがH'FF→H'00になったとき</td> </tr> </table> </td> </tr> <tr> <td colspan="3"> <table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">コンペアマッチフラグA</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] 8TCNT = TCORAになったとき</td> </tr> </table> </td> </tr> <tr> <td colspan="3"> <table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">コンペアマッチ/インプットキャプチャフラグB</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき</td> </tr> </table> </td> </tr> </table> <p style="margin-top: 10px;">【注】*1 ビット7～5は、フラグをクリアするための0ライトのみ可能です。 *2 TRGEはA/Dコントロールレジスタ (ADCR) のビット7です。</p>				<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">アウトプットセレクトA1、A0</th> <th>説明</th> </tr> <tr> <th>ビット1</th> <th>ビット0</th> <td></td> </tr> <tr> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAごとに反転出力 (トグル出力)</td> </tr> </table>	アウトプットセレクトA1、A0		説明	ビット1	ビット0		0	0	コンペアマッチAで変化しない	1	コンペアマッチAで0出力	1	0	コンペアマッチAで1出力	1	コンペアマッチAごとに反転出力 (トグル出力)	<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="4">アウトプット/インプットキャプチャエッジセレクトB3、B2</th> </tr> <tr> <th>8TCSR0のICE</th> <th>ビット3 OIS3</th> <th>ビット2 OIS2</th> <th>説明</th> </tr> <tr> <td rowspan="4" style="text-align:center;">0</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチBごとに反転出力 (トグル出力)</td> </tr> <tr> <td rowspan="3" style="text-align:center;">1</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align:center;">1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ</td> </tr> </table>			アウトプット/インプットキャプチャエッジセレクトB3、B2				8TCSR0のICE	ビット3 OIS3	ビット2 OIS2	説明	0	0	0	コンペアマッチBで変化しない	1	コンペアマッチBで0出力	1	0	コンペアマッチBで1出力	1	コンペアマッチBごとに反転出力 (トグル出力)	1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ	1	立ち下がりエッジでTCORBにインプットキャプチャ	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ	<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="3">A/Dトリガインエーブル</th> </tr> <tr> <th>TRGE*2</th> <th>ビット4 ADTE</th> <th>説明</th> </tr> <tr> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止</td> </tr> </table>			A/Dトリガインエーブル			TRGE*2	ビット4 ADTE	説明	0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止	<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">タイマーオーバーフローフラグ</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] 8TCNTがH'FF→H'00になったとき</td> </tr> </table>			タイマーオーバーフローフラグ		0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき	1	[セット条件] 8TCNTがH'FF→H'00になったとき	<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">コンペアマッチフラグA</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] 8TCNT = TCORAになったとき</td> </tr> </table>			コンペアマッチフラグA		0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき	1	[セット条件] 8TCNT = TCORAになったとき	<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">コンペアマッチ/インプットキャプチャフラグB</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき</td> </tr> </table>			コンペアマッチ/インプットキャプチャフラグB		0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき	1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">アウトプットセレクトA1、A0</th> <th>説明</th> </tr> <tr> <th>ビット1</th> <th>ビット0</th> <td></td> </tr> <tr> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAごとに反転出力 (トグル出力)</td> </tr> </table>	アウトプットセレクトA1、A0		説明	ビット1	ビット0		0	0	コンペアマッチAで変化しない		1	コンペアマッチAで0出力	1	0		コンペアマッチAで1出力	1	コンペアマッチAごとに反転出力 (トグル出力)																																																																														
アウトプットセレクトA1、A0		説明																																																																																															
ビット1	ビット0																																																																																																
0	0	コンペアマッチAで変化しない																																																																																															
	1	コンペアマッチAで0出力																																																																																															
1	0	コンペアマッチAで1出力																																																																																															
	1	コンペアマッチAごとに反転出力 (トグル出力)																																																																																															
<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="4">アウトプット/インプットキャプチャエッジセレクトB3、B2</th> </tr> <tr> <th>8TCSR0のICE</th> <th>ビット3 OIS3</th> <th>ビット2 OIS2</th> <th>説明</th> </tr> <tr> <td rowspan="4" style="text-align:center;">0</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチBごとに反転出力 (トグル出力)</td> </tr> <tr> <td rowspan="3" style="text-align:center;">1</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align:center;">1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ</td> </tr> </table>			アウトプット/インプットキャプチャエッジセレクトB3、B2				8TCSR0のICE	ビット3 OIS3	ビット2 OIS2	説明	0	0	0	コンペアマッチBで変化しない	1	コンペアマッチBで0出力	1	0	コンペアマッチBで1出力	1	コンペアマッチBごとに反転出力 (トグル出力)	1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ	1	立ち下がりエッジでTCORBにインプットキャプチャ	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ																																																																			
アウトプット/インプットキャプチャエッジセレクトB3、B2																																																																																																	
8TCSR0のICE	ビット3 OIS3	ビット2 OIS2	説明																																																																																														
0	0	0	コンペアマッチBで変化しない																																																																																														
		1	コンペアマッチBで0出力																																																																																														
	1	0	コンペアマッチBで1出力																																																																																														
		1	コンペアマッチBごとに反転出力 (トグル出力)																																																																																														
1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ																																																																																														
		1	立ち下がりエッジでTCORBにインプットキャプチャ																																																																																														
	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ																																																																																														
<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="3">A/Dトリガインエーブル</th> </tr> <tr> <th>TRGE*2</th> <th>ビット4 ADTE</th> <th>説明</th> </tr> <tr> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止</td> </tr> </table>			A/Dトリガインエーブル			TRGE*2	ビット4 ADTE	説明	0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止																																																																															
A/Dトリガインエーブル																																																																																																	
TRGE*2	ビット4 ADTE	説明																																																																																															
0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止																																																																																															
	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止																																																																																															
1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止																																																																																															
	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止																																																																																															
<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">タイマーオーバーフローフラグ</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] 8TCNTがH'FF→H'00になったとき</td> </tr> </table>			タイマーオーバーフローフラグ		0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき	1	[セット条件] 8TCNTがH'FF→H'00になったとき																																																																																									
タイマーオーバーフローフラグ																																																																																																	
0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき																																																																																																
1	[セット条件] 8TCNTがH'FF→H'00になったとき																																																																																																
<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">コンペアマッチフラグA</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] 8TCNT = TCORAになったとき</td> </tr> </table>			コンペアマッチフラグA		0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき	1	[セット条件] 8TCNT = TCORAになったとき																																																																																									
コンペアマッチフラグA																																																																																																	
0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき																																																																																																
1	[セット条件] 8TCNT = TCORAになったとき																																																																																																
<table style="width:100%; border-collapse: collapse;"> <tr> <th colspan="2">コンペアマッチ/インプットキャプチャフラグB</th> </tr> <tr> <td style="text-align:center;">0</td> <td>[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき</td> </tr> </table>			コンペアマッチ/インプットキャプチャフラグB		0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき	1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																																																																																									
コンペアマッチ/インプットキャプチャフラグB																																																																																																	
0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき																																																																																																
1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																																																																																																

8TCSR1 タイマコントロール/ステータスレジスタ 1	H'FFF83	8ビットタイマチャネル 1																																																							
ビット:	7	6	5	4	3	2	1	0																																																	
	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0																																																	
初期値:	0	0	0	0	0	0	0	0																																																	
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W																																																	
アウトプットセレクトA1、A0 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th colspan="2">ビット1</th> <th colspan="2">ビット0</th> <th rowspan="2">説明</th> </tr> <tr> <th>OS1</th> <th>OS0</th> <th>OS1</th> <th>OS0</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>コンペアマッチAごとに反転出力 (トグル出力)</td> </tr> </tbody> </table>									ビット1		ビット0		説明	OS1	OS0	OS1	OS0	0	0	0	0	コンペアマッチAで変化しない	0	0	1	コンペアマッチAで0出力	1	0	0	0	コンペアマッチAで1出力	0	0	1	コンペアマッチAごとに反転出力 (トグル出力)																						
ビット1		ビット0		説明																																																					
OS1	OS0	OS1	OS0																																																						
0	0	0	0	コンペアマッチAで変化しない																																																					
	0	0	1	コンペアマッチAで0出力																																																					
1	0	0	0	コンペアマッチAで1出力																																																					
	0	0	1	コンペアマッチAごとに反転出力 (トグル出力)																																																					
アウトプット/インプットキャプチャエッジセレクトB3、B2 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>8TCSR1</th> <th colspan="2">ビット3</th> <th colspan="2">ビット2</th> <th rowspan="2">説明</th> </tr> <tr> <th>のICE</th> <th>OIS3</th> <th>OIS3</th> <th>OIS2</th> <th>OIS2</th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>コンペアマッチBごとに反転出力 (トグル出力)</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ</td> </tr> </tbody> </table>									8TCSR1	ビット3		ビット2		説明	のICE	OIS3	OIS3	OIS2	OIS2	0	0	0	0	0	コンペアマッチBで変化しない	0	0	1	コンペアマッチBで0出力	1	0	0	0	コンペアマッチBで1出力	0	0	1	コンペアマッチBごとに反転出力 (トグル出力)	1	0	0	0	0	立ち上がりエッジでTCORBにインプットキャプチャ	0	0	1	立ち下がりエッジでTCORBにインプットキャプチャ	1	0	0	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ	0	0	1	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ
8TCSR1	ビット3		ビット2		説明																																																				
のICE	OIS3	OIS3	OIS2	OIS2																																																					
0	0	0	0	0	コンペアマッチBで変化しない																																																				
		0	0	1	コンペアマッチBで0出力																																																				
	1	0	0	0	コンペアマッチBで1出力																																																				
		0	0	1	コンペアマッチBごとに反転出力 (トグル出力)																																																				
1	0	0	0	0	立ち上がりエッジでTCORBにインプットキャプチャ																																																				
		0	0	1	立ち下がりエッジでTCORBにインプットキャプチャ																																																				
	1	0	0	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ																																																				
		0	0	1	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ																																																				
インプットキャプチャイネーブル <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>TCORBはコンペアマッチレジスタ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TCORBはインプットキャプチャレジスタ</td> </tr> </tbody> </table>									0	TCORBはコンペアマッチレジスタ	1	TCORBはインプットキャプチャレジスタ																																													
0	TCORBはコンペアマッチレジスタ																																																								
1	TCORBはインプットキャプチャレジスタ																																																								
タイマオーバフローフラグ <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] 8TCNTがH'FF H'00になったとき</td> </tr> </tbody> </table>									0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき	1	[セット条件] 8TCNTがH'FF H'00になったとき																																													
0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき																																																								
1	[セット条件] 8TCNTがH'FF H'00になったとき																																																								
コンペアマッチフラグA <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] 8TCNT = TCORAになったとき</td> </tr> </tbody> </table>									0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき	1	[セット条件] 8TCNT = TCORAになったとき																																													
0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき																																																								
1	[セット条件] 8TCNT = TCORAになったとき																																																								
コンペアマッチ/インプットキャプチャフラグB <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき</td> </tr> </tbody> </table>									0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき	1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																																													
0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき																																																								
1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																																																								
【注】* ビット7～5は、フラグをクリアするための0ライトのみ可能です。																																																									

TCORA0	タイムコンスタントレジスタ A0	H'FFF84	8ビットタイマチャンネル 0
TCORA1	タイムコンスタントレジスタ A1	H'FFF85	8ビットタイマチャンネル 1
<p style="text-align: center;">TCORA0 TCORA1</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>			
TCORB0	タイムコンスタントレジスタ B0	H'FFF86	8ビットタイマチャンネル 0
TCORB1	タイムコンスタントレジスタ B1	H'FFF87	8ビットタイマチャンネル 1
<p style="text-align: center;">TCORB0 TCORB1</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>			
8TCNT0	タイマカウンタ 0	H'FFF88	8ビットタイマチャンネル 0
8TCNT1	タイマカウンタ 1	H'FFF89	8ビットタイマチャンネル 1
<p style="text-align: center;">8TCNT0 8TCNT1</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W</p>			

TCSR タイマコントロール/ステータスレジスタ	H'FFF8C	WDT																										
ビット: <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">OVF</td> <td style="text-align: center;">WT/IT</td> <td style="text-align: center;">TME</td> <td style="text-align: center;">—</td> <td style="text-align: center;">—</td> <td style="text-align: center;">CKS2</td> <td style="text-align: center;">CKS1</td> <td style="text-align: center;">CKS0</td> </tr> </table>	7	6	5	4	3	2	1	0	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0												
7	6	5	4	3	2	1	0																					
OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0																					
初期値: R/W: <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <tr> <td style="width: 12.5%; text-align: center;">0</td> <td style="width: 12.5%; text-align: center;">0</td> <td style="width: 12.5%; text-align: center;">0</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> <td style="width: 12.5%; text-align: center;">0</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">R/(W)*</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">—</td> <td style="text-align: center;">—</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">R/W</td> </tr> </table>	0	0	0	1	1	0	0	0	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W												
0	0	0	1	1	0	0	0																					
R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W																					
		クロックセレクト2~0 <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <thead> <tr> <th style="width: 10%;">CKS2</th> <th style="width: 10%;">CKS1</th> <th style="width: 10%;">CKS0</th> <th style="width: 70%;">説 明</th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>$\phi / 2$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi / 32$</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>$\phi / 64$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi / 128$</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>$\phi / 256$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi / 512$</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>$\phi / 2048$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi / 4096$</td> </tr> </tbody> </table>	CKS2	CKS1	CKS0	説 明	0	0	0	$\phi / 2$	1	$\phi / 32$	1	0	$\phi / 64$	1	$\phi / 128$	1	0	0	$\phi / 256$	1	$\phi / 512$	1	0	$\phi / 2048$	1	$\phi / 4096$
CKS2	CKS1	CKS0	説 明																									
0	0	0	$\phi / 2$																									
		1	$\phi / 32$																									
	1	0	$\phi / 64$																									
		1	$\phi / 128$																									
1	0	0	$\phi / 256$																									
		1	$\phi / 512$																									
	1	0	$\phi / 2048$																									
		1	$\phi / 4096$																									
		タイマイネーブル <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> タイマディスエーブル ・ TCNTをH'00に初期化し、 カウントアップを停止 </td> </tr> <tr> <td style="text-align: center;">1</td> <td> タイマイネーブル ・ TCNTはカウントアップ開始 </td> </tr> </table>	0	タイマディスエーブル ・ TCNTをH'00に初期化し、 カウントアップを停止	1	タイマイネーブル ・ TCNTはカウントアップ開始																						
0	タイマディスエーブル ・ TCNTをH'00に初期化し、 カウントアップを停止																											
1	タイマイネーブル ・ TCNTはカウントアップ開始																											
		タイマモードセレクト <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> インターバルタイマを選択 (インターバルタイマ割り込み要求) </td> </tr> <tr> <td style="text-align: center;">1</td> <td> ウォッチドッグタイマを選択 (リセット信号を発生) </td> </tr> </table>	0	インターバルタイマを選択 (インターバルタイマ割り込み要求)	1	ウォッチドッグタイマを選択 (リセット信号を発生)																						
0	インターバルタイマを選択 (インターバルタイマ割り込み要求)																											
1	ウォッチドッグタイマを選択 (リセット信号を発生)																											
		オーバフローフラグ <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> [クリア条件] OVF = 1の状態でもVFフラグをリードした後、 OVFフラグに0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] TCNTがH'FF→H'00に変化したとき </td> </tr> </table>	0	[クリア条件] OVF = 1の状態でもVFフラグをリードした後、 OVFフラグに0をライトしたとき	1	[セット条件] TCNTがH'FF→H'00に変化したとき																						
0	[クリア条件] OVF = 1の状態でもVFフラグをリードした後、 OVFフラグに0をライトしたとき																											
1	[セット条件] TCNTがH'FF→H'00に変化したとき																											
【注】* フラグをクリアするための0ライトのみ可能です。																												

TCNT タイマカウンタ				H'FFF8D リード時、H'FFF8C ライト時				WDT									
ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	0	0	0	0	0	0	0	0									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									
	<div style="border: 1px solid black; padding: 5px; margin: 0 auto; width: 50%;"> カウント値 </div>																
RSTCSR リセットコントロール/ステータスレジスタ				H'FFF8F リード時、H'FFF8E ライト時				WDT									
ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%; text-align: center;">WRST</td> <td style="width: 12.5%; text-align: center;">RSTOE</td> <td style="width: 12.5%;"></td> </tr> </table>								WRST	RSTOE							
WRST	RSTOE																
初期値:	0	0	1	1	1	1	1	1									
R/W:	R/(W)*	R/W															
	<div style="border: 1px solid black; padding: 5px; margin: 0 auto; width: 50%;"> リセット出力イネーブル <table border="1" style="width: 100%; margin-top: 5px;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>リセット信号の外部出力を禁止</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>リセット信号の外部出力を許可</td> </tr> </table> </div>								0	リセット信号の外部出力を禁止	1	リセット信号の外部出力を許可					
0	リセット信号の外部出力を禁止																
1	リセット信号の外部出力を許可																
	ウォッチドッグタイマリセット																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center; vertical-align: middle;">0</td> <td style="padding: 5px;"> [クリア条件] ・RES端子によるリセット信号 ・WRST=1の状態、WRSTフラグをリード後、WRSTフラグに0をライトしたとき </td> </tr> <tr> <td style="width: 20px; text-align: center; vertical-align: middle;">1</td> <td style="padding: 5px;"> [セット条件] TCNTがオーバーフローし、リセット信号が発生したとき </td> </tr> </table>								0	[クリア条件] ・RES端子によるリセット信号 ・WRST=1の状態、WRSTフラグをリード後、WRSTフラグに0をライトしたとき	1	[セット条件] TCNTがオーバーフローし、リセット信号が発生したとき					
0	[クリア条件] ・RES端子によるリセット信号 ・WRST=1の状態、WRSTフラグをリード後、WRSTフラグに0をライトしたとき																
1	[セット条件] TCNTがオーバーフローし、リセット信号が発生したとき																
<p>【注】* ビット7は、フラグをクリアする0ライトのみ可能です。</p>																	

8TCR2	タイマコントロールレジスタ 2	H'FFF90	8ビットタイマチャンネル 2
8TCR3	タイマコントロールレジスタ 3	H'FFF91	8ビットタイマチャンネル 3

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

CKS2	CKS1	CKS0	説明
0	0	0	クロック入力を禁止
		1	内部クロック： φ / 8立ち上がりエッジでカウント
	1	0	内部クロック： φ / 64立ち上がりエッジでカウント
		1	内部クロック： φ / 8192立ち上がりエッジでカウント
1	0	0	チャンネル2の場合： 8TCNT3のオーバフロー信号で カウント* チャンネル3の場合： 8TCNT2のコンペアマッチAで カウント*
		1	外部クロック：立ち下がりエッジでカウント
	1	0	外部クロック：立ち上がりエッジでカウント
		1	外部クロック：立ち上がり / 立ち 下がり両エッジでカウント

【注】* チャンネル2のクロック入力を8TCNT3のオーバフロー信号とし、チャンネル3のクロック入力を8TCNT2のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア1、0

0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチB / インพุットキャプチャBによりクリア
	1	インพุットキャプチャBによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

8TCSR2	タイマコントロール/ステータスレジスタ 2	H'FFF92	8ビットタイマチャネル 2
8TCSR3	タイマコントロール/ステータスレジスタ 3	H'FFF93	8ビットタイマチャネル 3

8TCSR2	ビット:	7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	—	OIS3	OIS2	OS1	OS0
	初期値:	0	0	0	1	0	0	0	0
	R/W:	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W
8TCSR3	ビット:	7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
	初期値:	0	0	0	0	0	0	0	0
	R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

アウトプットセレクトA1、A0

ビット1	ビット0	説明	
0	OS1	OS0	0 0 コンペアマッチAで変化しない
	0	1	0 1 コンペアマッチAで0出力
1	0	1	1 0 コンペアマッチAで1出力
	0	1	1 1 コンペアマッチAごとに反転出力(トグル出力)

アウトプット/インプットキャプチャエッジセレクトB3、B2

8TCSR3 のICE	ビット3 OIS3	ビット2 OIS2	説明
0	0	0	コンペアマッチBで変化しない
		1	コンペアマッチBで0出力
	1	0	コンペアマッチBで1出力
		1	コンペアマッチBごとに反転出力(トグル出力)
1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ
		1	立ち下がりエッジでTCORBにインプットキャプチャ
	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ

インプットキャプチャイネーブル

0	TCORBはコンペアマッチレジスタ
1	TCORBはインプットキャプチャレジスタ

タイマオーバーフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] 8TCNTがH'FF→H'00になったとき

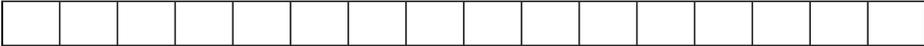
コンペアマッチフラグA

0	[クリア条件] CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	[セット条件] 8TCNT = TCORAになったとき

コンペアマッチ/インプットキャプチャフラグB

0	[クリア条件] CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	[セット条件] (1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

TCORA2	タイムコンスタントレジスタ A2	H'FFF94	8ビットタイマチャンネル 2
TCORA3	タイムコンスタントレジスタ A3	H'FFF95	8ビットタイマチャンネル 3
<p style="text-align: center;">TCORA2 TCORA3</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>			
TCORB2	タイムコンスタントレジスタ B2	H'FFF96	8ビットタイマチャンネル 2
TCORB3	タイムコンスタントレジスタ B3	H'FFF97	8ビットタイマチャンネル 3
<p style="text-align: center;">TCORB2 TCORB3</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>			
8TCNT2	タイマカウンタ 2	H'FFF98	8ビットタイマチャンネル 2
8TCNT3	タイマカウンタ 3	H'FFF99	8ビットタイマチャンネル 3
<p style="text-align: center;">8TCNT2 8TCNT3</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W</p>			
DADR0	D/A データレジスタ 0	H'FFF9C	D/A
<p>ビット: 7 6 5 4 3 2 1 0</p>  <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">D/A変換データを格納</p>			

DADR1	D/A データレジスタ 1				H'FFF9D			D/A
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D/A変換データを格納								

DACR D/A コントロールレジスタ	H'FFF9E	D/A																																
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">DAOE1</td> <td style="width: 10%;">DAOE0</td> <td style="width: 10%;">DAE</td> <td style="width: 10%;">—</td> </tr> </table>	DAOE1	DAOE0	DAE	—	—	—	—	—																										
DAOE1	DAOE0	DAE	—	—	—	—	—																											
初期値: 0 0 0 1 1 1 1 1 R/W: R/W R/W — — — — —																																		
D/Aイネーブル <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ビット7</th> <th style="width: 15%;">ビット6</th> <th style="width: 15%;">ビット5</th> <th style="width: 55%;">説 明</th> </tr> <tr> <th>DAOE1</th> <th>DAOE0</th> <th>DAE</th> <th></th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">—</td> <td>チャンネル0、1のD/A変換を禁止</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>チャンネル0、1のD/A変換を許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>チャンネル0、1のD/A変換を許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">—</td> <td>チャンネル0、1のD/A変換を許可</td> </tr> </tbody> </table>	ビット7	ビット6	ビット5	説 明	DAOE1	DAOE0	DAE		0	0	—	チャンネル0、1のD/A変換を禁止	0	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止	0	1	1	チャンネル0、1のD/A変換を許可	1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可	1	0	1	チャンネル0、1のD/A変換を許可	1	1	—	チャンネル0、1のD/A変換を許可		
ビット7	ビット6	ビット5	説 明																															
DAOE1	DAOE0	DAE																																
0	0	—	チャンネル0、1のD/A変換を禁止																															
0	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止																															
0	1	1	チャンネル0、1のD/A変換を許可																															
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可																															
1	0	1	チャンネル0、1のD/A変換を許可																															
1	1	—	チャンネル0、1のD/A変換を許可																															
D/Aアウトプットイネーブル0 <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>アナログ出力DA0を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>チャンネル0のD/A変換を許可 アナログ出力DA0を許可</td> </tr> </table>	0	アナログ出力DA0を禁止	1	チャンネル0のD/A変換を許可 アナログ出力DA0を許可																														
0	アナログ出力DA0を禁止																																	
1	チャンネル0のD/A変換を許可 アナログ出力DA0を許可																																	
D/Aアウトプットイネーブル1 <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>アナログ出力DA1を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>チャンネル1のD/A変換を許可 アナログ出力DA1を許可</td> </tr> </table>	0	アナログ出力DA1を禁止	1	チャンネル1のD/A変換を許可 アナログ出力DA1を許可																														
0	アナログ出力DA1を禁止																																	
1	チャンネル1のD/A変換を許可 アナログ出力DA1を許可																																	

TPMR	TPC 出力モードレジスタ							H'FFFA0	TPC																
ビット:	7	6	5	4	3	2	1	0																	
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV																	
初期値:	1	1	1	1	0	0	0	0																	
R/W:	—	—	—	—	R/W	R/W	R/W	R/W																	
<p style="text-align: right;">グループ0 ノンオーバーラップ</p> <table border="1" style="margin-left: auto;"> <tr> <td>0</td> <td>TPC出力グループ0は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）</td> </tr> <tr> <td>1</td> <td>TPC出力グループ0は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作</td> </tr> </table> <p style="text-align: right;">グループ1 ノンオーバーラップ</p> <table border="1" style="margin-left: auto;"> <tr> <td>0</td> <td>TPC出力グループ1は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）</td> </tr> <tr> <td>1</td> <td>TPC出力グループ1は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作</td> </tr> </table> <p style="text-align: right;">グループ2 ノンオーバーラップ</p> <table border="1" style="margin-left: auto;"> <tr> <td>0</td> <td>TPC出力グループ2は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）</td> </tr> <tr> <td>1</td> <td>TPC出力グループ2は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作</td> </tr> </table> <p style="text-align: right;">グループ3 ノンオーバーラップ</p> <table border="1" style="margin-left: auto;"> <tr> <td>0</td> <td>TPC出力グループ3は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）</td> </tr> <tr> <td>1</td> <td>TPC出力グループ3は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作</td> </tr> </table>										0	TPC出力グループ0は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）	1	TPC出力グループ0は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作	0	TPC出力グループ1は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）	1	TPC出力グループ1は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作	0	TPC出力グループ2は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）	1	TPC出力グループ2は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作	0	TPC出力グループ3は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）	1	TPC出力グループ3は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作
0	TPC出力グループ0は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）																								
1	TPC出力グループ0は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作																								
0	TPC出力グループ1は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）																								
1	TPC出力グループ1は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作																								
0	TPC出力グループ2は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）																								
1	TPC出力グループ2は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作																								
0	TPC出力グループ3は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）																								
1	TPC出力グループ3は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作																								

TPCR TPC 出力コントロールレジスタ	H'FFFA1	TPC																																																																
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="width: 12.5%;">G3CMS1</td> <td style="width: 12.5%;">G3CMS0</td> <td style="width: 12.5%;">G2CMS1</td> <td style="width: 12.5%;">G2CMS0</td> <td style="width: 12.5%;">G1CMS1</td> <td style="width: 12.5%;">G1CMS0</td> <td style="width: 12.5%;">G0CMS1</td> <td style="width: 12.5%;">G0CMS0</td> </tr> </table>			G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0																																																								
G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0																																																											
初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W																																																																		
<div style="margin-left: 400px;"> <p>グループ0コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th style="width: 80%;">出力トリガとなる16ビットタイマのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">G0CMS1</td> <td style="text-align: center;">G0CMS0</td> <td></td> </tr> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> </tbody> </table> </div> <div style="margin-left: 400px; margin-top: 10px;"> <p>グループ1コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット3</th> <th style="width: 10%;">ビット2</th> <th style="width: 80%;">出力トリガとなる16ビットタイマのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">G1CMS1</td> <td style="text-align: center;">G1CMS0</td> <td></td> </tr> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> </tbody> </table> </div> <div style="margin-left: 400px; margin-top: 10px;"> <p>グループ2コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット5</th> <th style="width: 10%;">ビット4</th> <th style="width: 80%;">出力トリガとなる16ビットタイマのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">G2CMS1</td> <td style="text-align: center;">G2CMS0</td> <td></td> </tr> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> </tbody> </table> </div> <div style="margin-left: 400px; margin-top: 10px;"> <p>グループ3コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット7</th> <th style="width: 10%;">ビット6</th> <th style="width: 80%;">出力トリガとなる16ビットタイマのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">G3CMS1</td> <td style="text-align: center;">G3CMS0</td> <td></td> </tr> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ</td> </tr> </tbody> </table> </div>			ビット1	ビット0	出力トリガとなる16ビットタイマのチャンネル選択	G0CMS1	G0CMS0		0	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ	1	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	ビット3	ビット2	出力トリガとなる16ビットタイマのチャンネル選択	G1CMS1	G1CMS0		0	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ	1	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	ビット5	ビット4	出力トリガとなる16ビットタイマのチャンネル選択	G2CMS1	G2CMS0		0	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ	1	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	ビット7	ビット6	出力トリガとなる16ビットタイマのチャンネル選択	G3CMS1	G3CMS0		0	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ	1	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ
ビット1	ビット0	出力トリガとなる16ビットタイマのチャンネル選択																																																																
G0CMS1	G0CMS0																																																																	
0	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ																																																																
	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ																																																																
1	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
ビット3	ビット2	出力トリガとなる16ビットタイマのチャンネル選択																																																																
G1CMS1	G1CMS0																																																																	
0	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ																																																																
	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ																																																																
1	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
ビット5	ビット4	出力トリガとなる16ビットタイマのチャンネル選択																																																																
G2CMS1	G2CMS0																																																																	
0	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ																																																																
	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ																																																																
1	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
ビット7	ビット6	出力トリガとなる16ビットタイマのチャンネル選択																																																																
G3CMS1	G3CMS0																																																																	
0	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ																																																																
	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ																																																																
1	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																
	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ																																																																

NDERB ネクストデータイネーブルレジスタ B				H'FFFA2				TPC	
ビット:	7	6	5	4	3	2	1	0	
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ネクストデータイネーブル15~8									
ビット7~0	説 明								
NDER15 ~ NDER8									
0									TPC出力TP15~TP8を禁止 (NDR15~NDR8からPB7~PB0への転送禁止)
1									TPC出力TP15~TP8を許可 (NDR15~NDR8からPB7~PB0への転送許可)
NDERA ネクストデータイネーブルレジスタ A				H'FFFA3				TPC	
ビット:	7	6	5	4	3	2	1	0	
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ネクストデータイネーブル7~0									
ビット7~0	説 明								
NDER7 ~ NDER0									
0									TPC出力TP7~TP0を禁止 (NDR7~NDR0からPA7~PA0への転送禁止)
1									TPC出力TP7~TP0を許可 (NDR7~NDR0からPA7~PA0への転送許可)

NDRB	ネクストデータレジスタ B	H'FFFA4/H'FFFA6				TPC				
TPC 出力グループ 2、3 の出力トリガが同一の場合										
(1) アドレス : H'FFFA4										
ビット: 7 6 5 4 3 2 1 0										
		NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
初期値:		0	0	0	0	0	0	0	0	
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
TPC出力グループ3の次の出力データを格納					TPC出力グループ2の次の出力データを格納					
(2) アドレス : H'FFFA6										
ビット: 7 6 5 4 3 2 1 0										
		—	—	—	—	—	—	—	—	
初期値:		1	1	1	1	1	1	1	1	
R/W:		—	—	—	—	—	—	—	—	
TPC 出力グループ 2、3 の出力トリガが異なる場合										
(1) アドレス : H'FFFA4										
ビット: 7 6 5 4 3 2 1 0										
		NDR15	NDR14	NDR13	NDR12	—	—	—	—	
初期値:		0	0	0	0	1	1	1	1	
R/W:		R/W	R/W	R/W	R/W	—	—	—	—	
TPC出力グループ3の次の出力データを格納										
(2) アドレス : H'FFFA6										
ビット: 7 6 5 4 3 2 1 0										
		—	—	—	—	NDR11	NDR10	NDR9	NDR8	
初期値:		1	1	1	1	0	0	0	0	
R/W:		—	—	—	—	R/W	R/W	R/W	R/W	
					TPC出力グループ2の次の出力データを格納					

NDR A	H'FFFA5/H'FFFA7							TPC
TPC 出力グループ 0、1 の出力トリガが同一の場合								
(1) アドレス : H'FFFA5								
ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	TPC出力グループ1の次の出力データを格納				TPC出力グループ0の次の出力データを格納			
(2) アドレス : H'FFFA7								
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	—	—	—	—	—
TPC 出力グループ 0、1 の出力トリガが異なる場合								
(1) アドレス : H'FFFA5								
ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	—	—	—	—
	TPC出力グループ1の次の出力データを格納							
(2) アドレス : H'FFFA7								
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W
					TPC出力グループ0の次の出力データを格納			

SMR シリアルモードレジスタ	H'FFFFB0	SCIO																			
ビット:	7	6	5	4	3	2	1	0													
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0													
初期値:	0	0	0	0	0	0	0	0													
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W													
							クロックセレクト1、0 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット1</th> <th>ビット0</th> <th>クロックの選択</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>φクロック</td> </tr> <tr> <td style="text-align: center;">1</td> <td>φ/4クロック</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>φ/16クロック</td> </tr> <tr> <td style="text-align: center;">1</td> <td>φ/64クロック</td> </tr> </tbody> </table>		ビット1	ビット0	クロックの選択	0	0	φクロック	1	φ/4クロック	1	0	φ/16クロック	1	φ/64クロック
ビット1	ビット0	クロックの選択																			
0	0	φクロック																			
	1	φ/4クロック																			
1	0	φ/16クロック																			
	1	φ/64クロック																			
						マルチプロセッサモード <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>マルチプロセッサ機能を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサフォーマットを選択</td> </tr> </tbody> </table>		0	マルチプロセッサ機能を禁止	1	マルチプロセッサフォーマットを選択										
0	マルチプロセッサ機能を禁止																				
1	マルチプロセッサフォーマットを選択																				
						ストップビットレングス <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>1ストップビット</td> </tr> <tr> <td style="text-align: center;">1</td> <td>2ストップビット</td> </tr> </tbody> </table>		0	1ストップビット	1	2ストップビット										
0	1ストップビット																				
1	2ストップビット																				
						パリティモード <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>偶数パリティ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>奇数パリティ</td> </tr> </tbody> </table>		0	偶数パリティ	1	奇数パリティ										
0	偶数パリティ																				
1	奇数パリティ																				
						パリティイネーブル <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>パリティビットの付加、およびチェックを禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>パリティビットの付加、およびチェックを許可</td> </tr> </tbody> </table>		0	パリティビットの付加、およびチェックを禁止	1	パリティビットの付加、およびチェックを許可										
0	パリティビットの付加、およびチェックを禁止																				
1	パリティビットの付加、およびチェックを許可																				
						キャラクタレングス <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>8ビットデータ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>7ビットデータ</td> </tr> </tbody> </table>		0	8ビットデータ	1	7ビットデータ										
0	8ビットデータ																				
1	7ビットデータ																				
						コミュニケーションモード (シリアルコミュニケーションインタフェース時) <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>調歩同期式モード</td> </tr> <tr> <td style="text-align: center;">1</td> <td>クロック同期式モード</td> </tr> </tbody> </table>		0	調歩同期式モード	1	クロック同期式モード										
0	調歩同期式モード																				
1	クロック同期式モード																				
						GSMモード (スマートカードインタフェース時) <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td style="text-align: center;">0</td> <td>TENDフラグがスタートビットから12.5 etu*後に発生</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TENDフラグがスタートビットから11.0 etu*後に発生</td> </tr> </tbody> </table>		0	TENDフラグがスタートビットから12.5 etu*後に発生	1	TENDフラグがスタートビットから11.0 etu*後に発生										
0	TENDフラグがスタートビットから12.5 etu*後に発生																				
1	TENDフラグがスタートビットから11.0 etu*後に発生																				
						【注】* etu (Elementary Time Unit) : 1ビットの転送期間															

BRR ビットレートレジスタ				H'FFFB1			SCIO	
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シリアル送信 / 受信のビットレートを設定								

SCR シリアルコントロールレジスタ	H'FFFFB2	SCIO																																																																							
ビット: 7 6 5 4 3 2 1 0																																																																									
TIE RIE TE RE MPIE TEIE CKE1 CKE0																																																																									
初期値: 0 0 0 0 0 0 0 0																																																																									
R/W: R/W R/W R/W R/W R/W R/W R/W																																																																									
<p>レシーブイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>受信動作を禁止</td></tr> <tr><td>1</td><td>受信動作を許可</td></tr> </table> <p>トランスミットイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>送信動作を禁止</td></tr> <tr><td>1</td><td>送信動作を許可</td></tr> </table>	0	受信動作を禁止	1	受信動作を許可	0	送信動作を禁止	1	送信動作を許可	<p>クロックイネーブル1、0 (シリアルコミュニケーションインタフェース時)</p> <table border="1" style="width:100%;"> <thead> <tr> <th>ビット1</th> <th>ビット0</th> <th colspan="2">説明</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>調歩同期式モード</td> <td>内部クロック / SCK端子は入出力ポート</td> </tr> <tr> <td>クロック同期式モード</td> <td>内部クロック / SCK端子は同期クロック出力</td> </tr> <tr> <td rowspan="2">1</td> <td>調歩同期式モード</td> <td>内部クロック / SCK端子はクロック出力</td> </tr> <tr> <td>クロック同期式モード</td> <td>内部クロック / SCK端子は同期クロック出力</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>調歩同期式モード</td> <td>外部クロック / SCK端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK端子は同期クロック入力</td> </tr> <tr> <td rowspan="2">1</td> <td>調歩同期式モード</td> <td>外部クロック / SCK端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK端子は同期クロック入力</td> </tr> </tbody> </table> <p>クロックイネーブル1、0 (スマートカードインタフェース時)</p> <table border="1" style="width:100%;"> <thead> <tr> <th>SMR</th> <th>ビット1</th> <th>ビット0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td rowspan="2">0</td> <td>0</td> <td>SCK端子は入出力ポート</td> </tr> <tr> <td>1</td> <td>SCK端子はクロック出力</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>SCK端子はLowレベル出力固定</td> </tr> <tr> <td>1</td> <td>SCK端子はクロック出力</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>SCK端子はHighレベル出力固定</td> </tr> <tr> <td>1</td> <td>SCK端子はクロック出力</td> </tr> </tbody> </table> <p>トランスミットエンドインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>送信終了割り込み (TEI) 要求を禁止</td></tr> <tr><td>1</td><td>送信終了割り込み (TEI) 要求を許可</td></tr> </table> <p>マルチプロセッサインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)</td></tr> <tr><td>1</td><td>マルチプロセッサ割り込みを許可</td></tr> </table> <p>レシーブインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止</td></tr> <tr><td>1</td><td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可</td></tr> </table> <p>トランスミットインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>送信データエンpty割り込み (TXI) 要求を禁止</td></tr> <tr><td>1</td><td>送信データエンpty割り込み (TXI) 要求を許可</td></tr> </table>	ビット1	ビット0	説明		0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート	クロック同期式モード	内部クロック / SCK端子は同期クロック出力	1	調歩同期式モード	内部クロック / SCK端子はクロック出力	クロック同期式モード	内部クロック / SCK端子は同期クロック出力	1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力	クロック同期式モード	外部クロック / SCK端子は同期クロック入力	1	調歩同期式モード	外部クロック / SCK端子はクロック入力	クロック同期式モード	外部クロック / SCK端子は同期クロック入力	SMR	ビット1	ビット0	説明	0	0	0	SCK端子は入出力ポート	1	SCK端子はクロック出力	1	0	0	SCK端子はLowレベル出力固定	1	SCK端子はクロック出力	1	0	SCK端子はHighレベル出力固定	1	SCK端子はクロック出力	0	送信終了割り込み (TEI) 要求を禁止	1	送信終了割り込み (TEI) 要求を許可	0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)	1	マルチプロセッサ割り込みを許可	0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止	1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可	0	送信データエンpty割り込み (TXI) 要求を禁止	1	送信データエンpty割り込み (TXI) 要求を許可	
0	受信動作を禁止																																																																								
1	受信動作を許可																																																																								
0	送信動作を禁止																																																																								
1	送信動作を許可																																																																								
ビット1	ビット0	説明																																																																							
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート																																																																						
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力																																																																						
	1	調歩同期式モード	内部クロック / SCK端子はクロック出力																																																																						
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力																																																																						
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力																																																																						
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力																																																																						
	1	調歩同期式モード	外部クロック / SCK端子はクロック入力																																																																						
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力																																																																						
SMR	ビット1	ビット0	説明																																																																						
0	0	0	SCK端子は入出力ポート																																																																						
		1	SCK端子はクロック出力																																																																						
1	0	0	SCK端子はLowレベル出力固定																																																																						
		1	SCK端子はクロック出力																																																																						
	1	0	SCK端子はHighレベル出力固定																																																																						
		1	SCK端子はクロック出力																																																																						
0	送信終了割り込み (TEI) 要求を禁止																																																																								
1	送信終了割り込み (TEI) 要求を許可																																																																								
0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)																																																																								
1	マルチプロセッサ割り込みを許可																																																																								
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止																																																																								
1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																																																																								
0	送信データエンpty割り込み (TXI) 要求を禁止																																																																								
1	送信データエンpty割り込み (TXI) 要求を許可																																																																								

TDR トランスミットデータレジスタ				H'FFFB3		SCIO		
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							
シリアル送信データを格納								

SSR シリアルステータスレジスタ						H'FFFFB4		SCIO	
ビット: 7 6 5 4 3 2 1 0									
TDRE		RDRF		ORER		FER/ERS		PER	
1		0		0		0		0	
R/W: R/(W)*1		R/(W)*1		R/(W)*1		R/(W)*1		R	
								MPB	
								R	
								MPBT	
								R/W	
								マルチプロセッサビットトランスファ	
								0 マルチプロセッサビットが0のデータを送信	
								1 マルチプロセッサビットが1のデータを送信	
								マルチプロセッサビット	
								0 マルチプロセッサビットが0のデータを受信	
								1 マルチプロセッサビットが1のデータを受信	
								トランスミットエンド (シリアルコミュニケーションインタフェース時)	
								0 [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0のとき 3.1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき	
								トランスミットエンド (スマートカードインタフェース時)	
								0 [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0かつFER/ERSビットが0のとき 3.1バイトのシリアルキャラクタ送信終了 2.5 etu*2後 (GM = 0のとき) / 1.0 etu後 (GM = 1のとき) にTDRE = 1かつFER/ERSビット = 0 (正常送信) のとき	
								パリティエラー	
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.PER = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] パリティエラーが発生したとき (受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき)	
								フレーミングエラー (シリアルコミュニケーションインタフェースのとき)	
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.FER = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] フレーミングエラーが発生したとき (ストップビットが0の場合)	
								エラーシグナルステータス (スマートカードインタフェースのとき)	
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.ERS = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] エラーシグナルLowレベルを受信したとき	
								オーバランエラー	
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.ORER = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] オーバランエラーが発生したとき (RDRF = 1の状態でのデータが受信完了したとき)	
								レシーブデータレジスタフル	
								0 [クリア条件] 1.リセット、またはスタンバイモード時 2.RDRF = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき	
								トランスミットデータレジスタエンpty	
								0 [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	
								1 [セット条件] 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0のとき 3.TDRからTSRにデータ転送が行われ、TDRIにデータライトが可能になったとき	

【注】*1 フラグをクリアするための0ライトのみ可能です。
*2 etu (Elementary Time Unit) : 1ビットの転送期間

RDR レシーブデータレジスタ		H'FFFB5		SCIO				
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
シリアル受信データを格納								
SCMR スマートカードモードレジスタ		H'FFFB6		SCIO				
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	—	—	—	—	R/W	R/W	—	R/W
スマートカードインタフェースモードセレクト								
	0	スマートカードインタフェース機能を禁止 (初期値)						
	1	スマートカードインタフェース機能を許可						
スマートカードデータインバート								
	0	TDRの内容をそのまま送信 (初期値) 受信したデータをそのままRDRに格納						
	1	TDRの内容を反転してデータを送信 受信したデータを反転してRDRに格納						
スマートカードデータ転送方向								
	0	TDRの内容をLSBファーストとして送信 (初期値) 受信したデータをLSBファーストとしてRDRに格納						
	1	TDRの内容をMSBファーストとして送信 受信したデータをMSBファーストとしてRDRに格納						

SMR シリアルモードレジスタ	H'FFFB8	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>C/\bar{A}</td> <td>CHR</td> <td>PE</td> <td>O/\bar{E}</td> <td>STOP</td> <td>MP</td> <td>CKS1</td> <td>CKS0</td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W 機能はSCI0と同じです。			C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0			
BRR ビットレートレジスタ	H'FFFB9	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td> </td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W 機能はSCI0と同じです。										
SCR シリアルコントロールレジスタ	H'FFFB A	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>TIE</td> <td>RIE</td> <td>TE</td> <td>RE</td> <td>MPIE</td> <td>TEIE</td> <td>CKE1</td> <td>CKE0</td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W 機能はSCI0と同じです。			TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0			
TDR トランスミットデータレジスタ	H'FFFB B	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td> </td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W 機能はSCI0と同じです。										

SSR シリアルステータスレジスタ	H'FFFBC	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;">TDRE</td> <td style="width: 12.5%;">RDRF</td> <td style="width: 12.5%;">ORER</td> <td style="width: 12.5%;">FER/ERS</td> <td style="width: 12.5%;">PER</td> <td style="width: 12.5%;">TEND</td> <td style="width: 12.5%;">MPB</td> <td style="width: 12.5%;">MPBT</td> </tr> </table> 初期値: 0 0 0 0 0 1 0 0 R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W 機能はSCI0と同じです。 【注】* フラグをクリアするための0ライトのみ可能です。	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT		
TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT			
RDR レシーブデータレジスタ	H'FFFBD	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 R/W: R R R R R R R R 機能はSCI0と同じです。										
SCMR スマートカードモードレジスタ	H'FFFBE	SCI1								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">SDIR</td> <td style="width: 12.5%;">SINV</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">SMIF</td> </tr> </table> 初期値: 1 1 1 1 0 0 1 0 R/W: ——— R/W R/W ——— R/W 機能はSCI0と同じです。					SDIR	SINV		SMIF		
				SDIR	SINV		SMIF			
P4DR ポート4データレジスタ	H'FFFD3	ポート4								
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;">P47</td> <td style="width: 12.5%;">P46</td> <td style="width: 12.5%;">P45</td> <td style="width: 12.5%;">P44</td> <td style="width: 12.5%;">P43</td> <td style="width: 12.5%;">P42</td> <td style="width: 12.5%;">P41</td> <td style="width: 12.5%;">P40</td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W R/W ポート4の各端子のデータを格納	P47	P46	P45	P44	P43	P42	P41	P40		
P47	P46	P45	P44	P43	P42	P41	P40			

P6DR	ポート 6 データレジスタ							H'FFFD5	ポート 6
ビット:	7	6	5	4	3	2	1	0	
	P67	P66	P65	P64	P63	P62	P61	P60	
初期値:	1	0	0	0	0	0	0	0	
R/W:	R	R/W							
 ポート6の各端子のデータを格納									
P7DR	ポート 7 データレジスタ							H'FFFD6	ポート 7
ビット:	7	6	5	4	3	2	1	0	
	P77	P76	P75	P74	P73	P72	P71	P70	
初期値:	—	*	—	*	—	*	—	*	
R/W:	R	R	R	R	R	R	R	R	
 ポート7の各端子の状態を讀出す									
【注】* P77-P70端子により決定されます。									
P8DR	ポート 8 データレジスタ							H'FFFD7	ポート 8
ビット:	7	6	5	4	3	2	1	0	
	—	—	—	P84	P83	P82	P81	P80	
初期値:	1	1	1	0	0	0	0	0	
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W	
 ポート8の各端子のデータを格納									
P9DR	ポート 9 データレジスタ							H'FFFD8	ポート 9
ビット:	7	6	5	4	3	2	1	0	
	—	—	P95	P94	P93	P92	P91	P90	
初期値:	1	1	0	0	0	0	0	0	
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	
 ポート9の各端子のデータを格納									

PADR ポート A データレジスタ		H'FFFD9		ポート A												
ビット:	7	6	5	4	3	2	1	0								
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0								
初期値:	0	0	0	0	0	0	0	0								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
ポートAの各端子のデータを格納																
PBDR ポート B データレジスタ		H'FFFDA		ポート B												
ビット:	7	6	5	4	3	2	1	0								
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0								
初期値:	0	0	0	0	0	0	0	0								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
ポートBの各端子のデータを格納																
ADDRA H、L A/D データレジスタ A H、L		H'FFFE0, H'FFFE1		A/D												
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ADDRAH										ADDRAL						
A/D変換データ A/D変換結果の10ビット データを格納																

ADDRB	H、L	A/D データレジスタ B	H、L	H'FFFE2, H'FFFE3	A/D																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R R R R R R R R R R R R R R R R</p> <p style="text-align: center;"> ADDRBH ADDRBL </p> <hr style="width: 50%; margin: 10px auto;"/> <p style="text-align: center;"> <u>A/D変換データ</u> A/D変換結果の10ビット データを格納 </p>						AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—						
ADDRC	H、L	A/D データレジスタ C	H、L	H'FFFE4, H'FFFE5	A/D																
<p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R R R R R R R R R R R R R R R R</p> <p style="text-align: center;"> ADDRCH ADDRCL </p> <hr style="width: 50%; margin: 10px auto;"/> <p style="text-align: center;"> <u>A/D変換データ</u> A/D変換結果の10ビット データを格納 </p>						AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—						

ADDRD H、L	A/D データレジスタ D H、L	H'FFFE6, H'FFFE7	A/D																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W: R R R R R R R R R R R R R R R R <div style="margin-left: 100px;"> } ADDRDH } ADDRDL </div>				AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—				
↓ <u>A/D変換データ</u> A/D変換結果の10ビット データを格納																			
ADCR	A/D コントロールレジスタ	H'FFFE9	A/D																
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>TRGE</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> 初期値: 0 1 1 1 1 1 1 0 R/W: R/W — — — — — — R/W ↓ トリガインエーブル <table border="1" style="margin-left: 40px;"> <tr> <td style="text-align: center;">0</td> <td>外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>外部トリガ端子 (ADTRG) の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始</td> </tr> </table>				TRGE	—	—	—	—	—	—	—	0	外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止	1	外部トリガ端子 (ADTRG) の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始				
TRGE	—	—	—	—	—	—	—												
0	外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止																		
1	外部トリガ端子 (ADTRG) の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始																		

ADCSR A/D コントロール/ステータスレジスタ		H'FFFE8		A/D												
ビット:						7	6	5	4	3	2	1	0			
		ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0							
初期値:		0	0	0	0	0	0	0	0							
R/W:		R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W							
						クロックセレクト			チャンネルセレクト							
						0	変換時間 = 134ステート (Max)			グループ選択						
						1	変換時間 = 70ステート (Max)			チャンネル選択						
						スキャンモード			説明							
						0	単一モード			CH2	CH1	CH0	単一モード	スキャンモード		
						1	スキャンモード			0	0	0	AN0	AN0		
									1			0	AN2	AN0 - AN2		
									1		0	1	AN3	AN0 - AN3		
												1	1	AN4	AN4	
									1	1	0	AN5	AN4, AN5			
											1	0	AN6	AN4 - AN6		
									1					1	AN7	AN4 - AN7
						A/Dスタート										
						0	A/D変換停止									
						1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換									
						A/Dインタラプトイネーブル										
						0	A/D変換終了による割り込み要求を禁止									
						1	A/D変換終了による割り込み要求を許可									
						A/Dエンドフラグ										
						0	[クリア条件] ADF = 1の状態ではADFフラグをリードした後、ADFフラグに0をライトしたとき									
						1	[セット条件] (1) 単一モード: A/Dが終了したとき (2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき									
【注】* フラグをクリアするための0ライトのみ可能です。																

C. I/Oポートブロック図

C.1 ポート4ブロック図

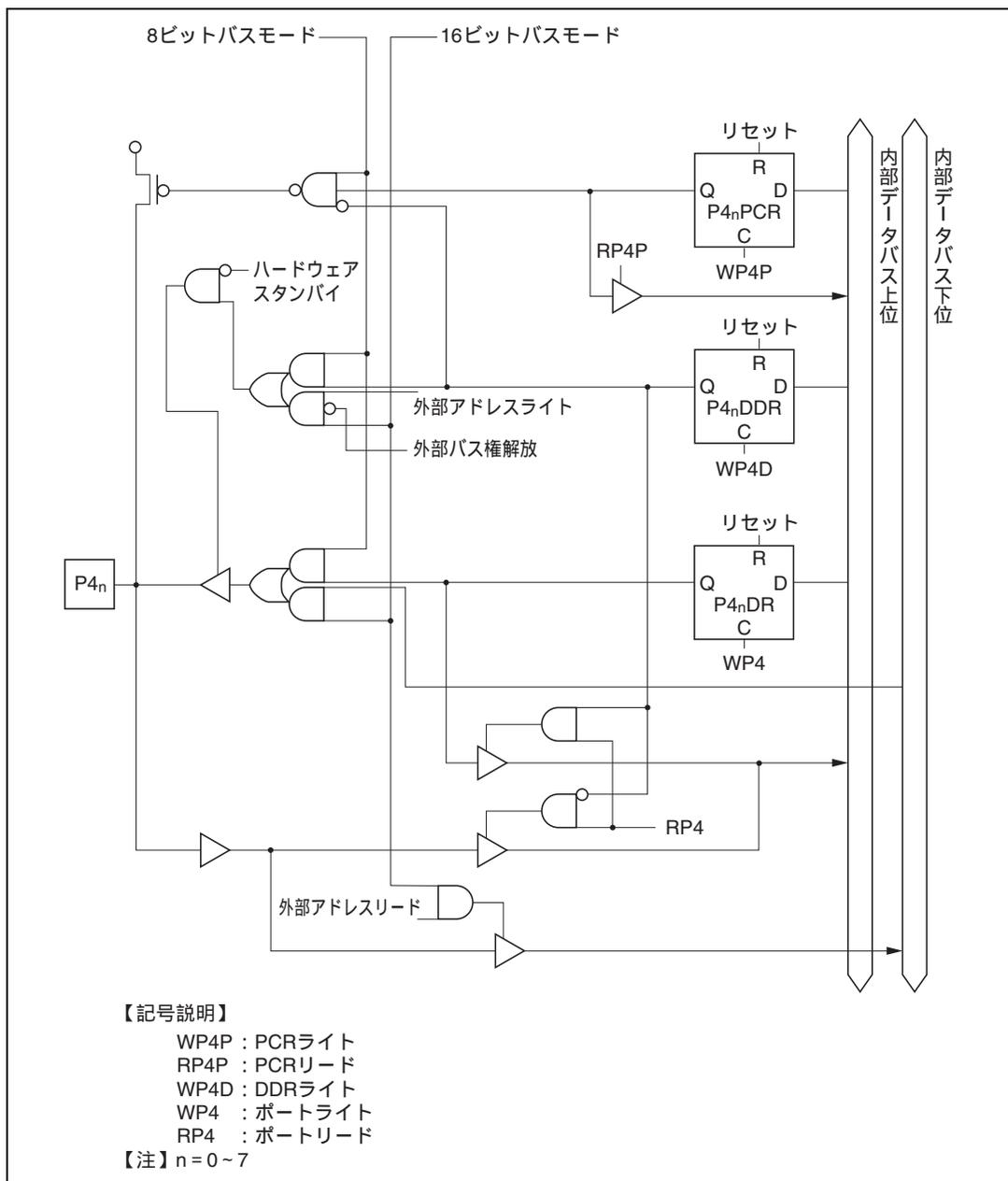


図 C.1 ポート4ブロック図

C.2 ポート 6 ブロック図

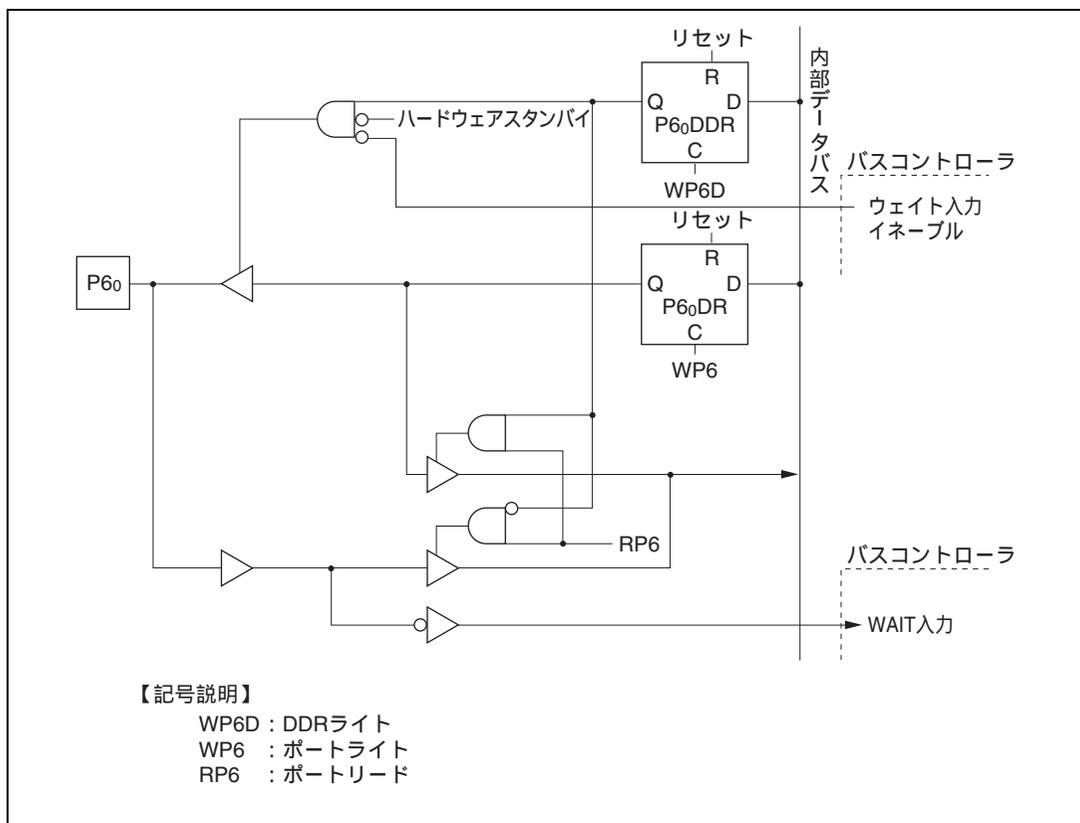


図 C.2 (a) ポート 6 ブロック図 (P6₀端子)

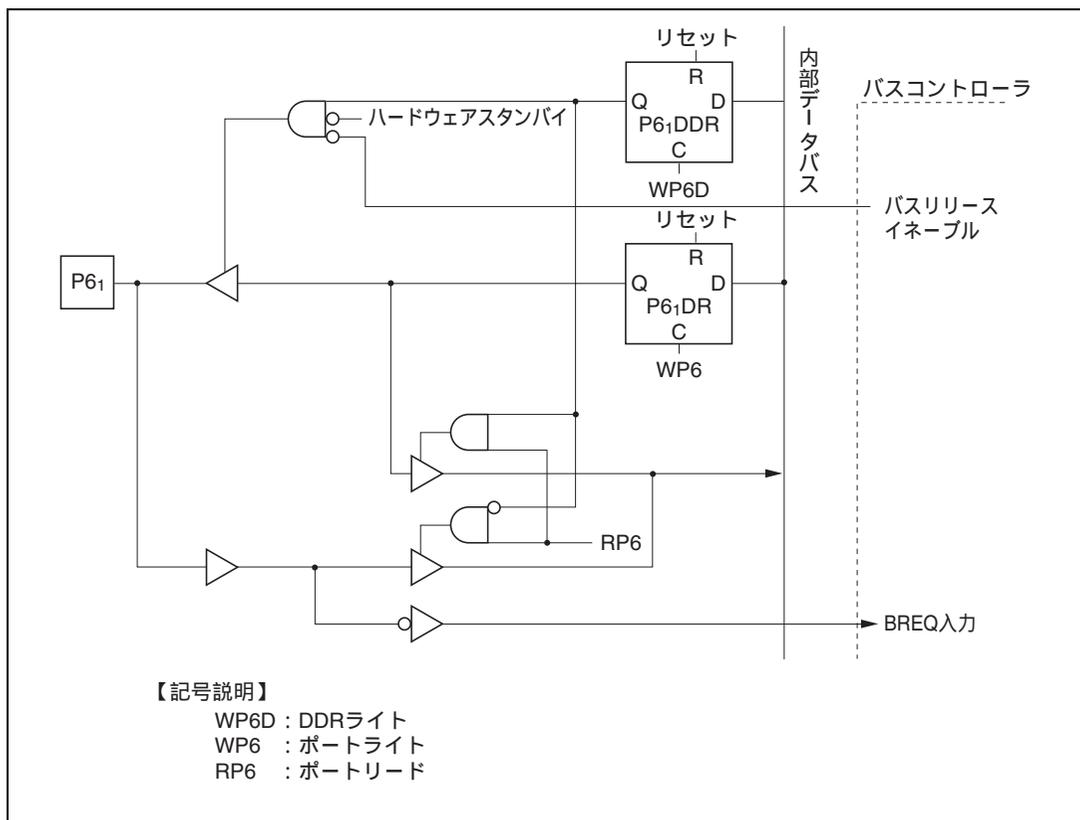


図 C.2 (b) ポート 6 ブロック図 (P6₁端子)

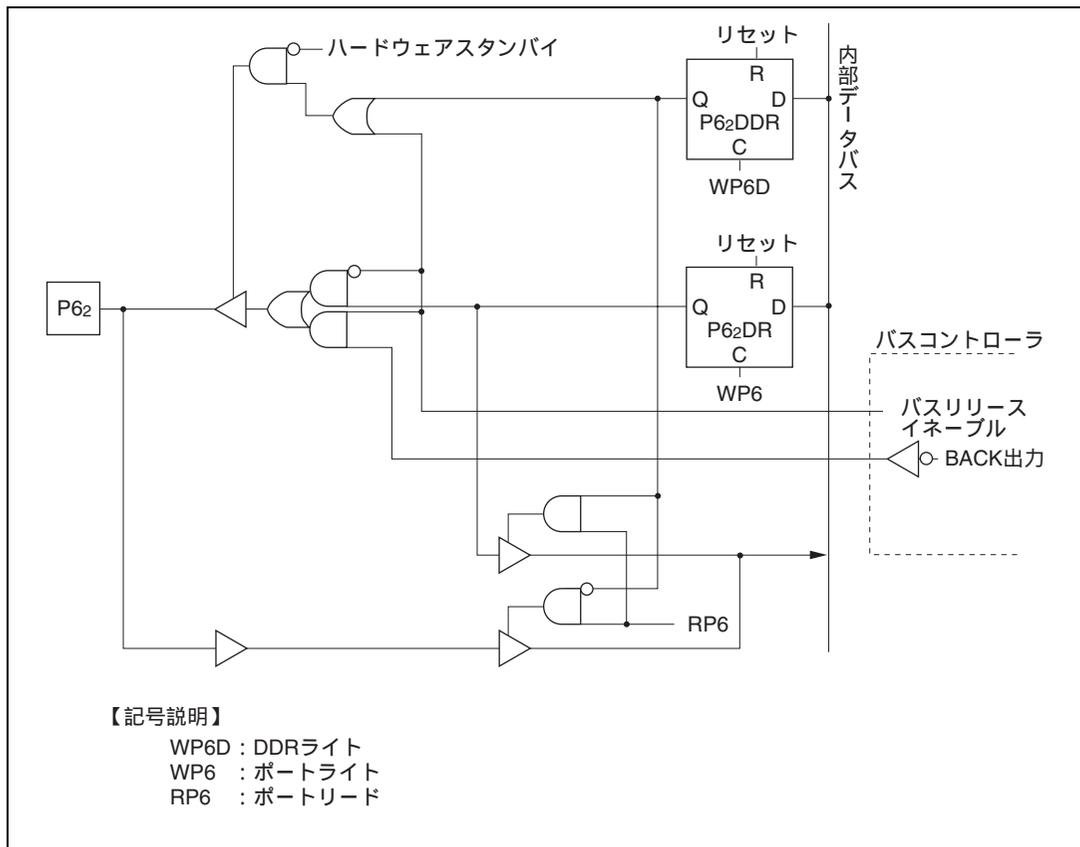


図 C.2 (c) ポート 6 ブロック図 (P6₂ 端子)

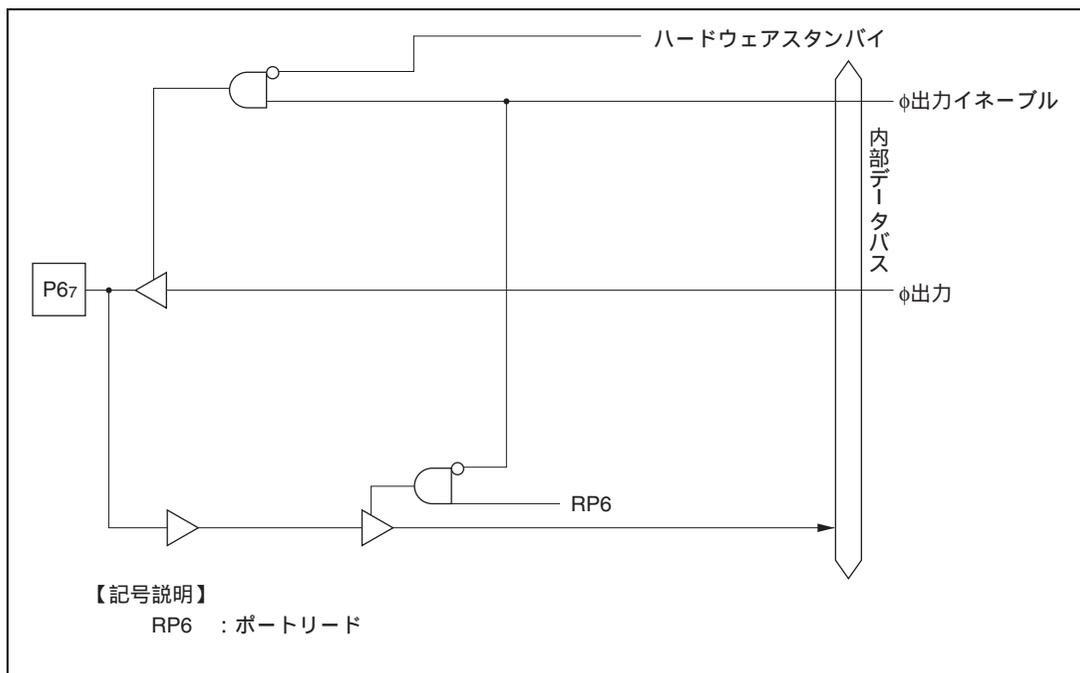


図 C.2 (d) ポート 6 ブロック図 (P6₇端子)

C.3 ポート 7 ブロック図

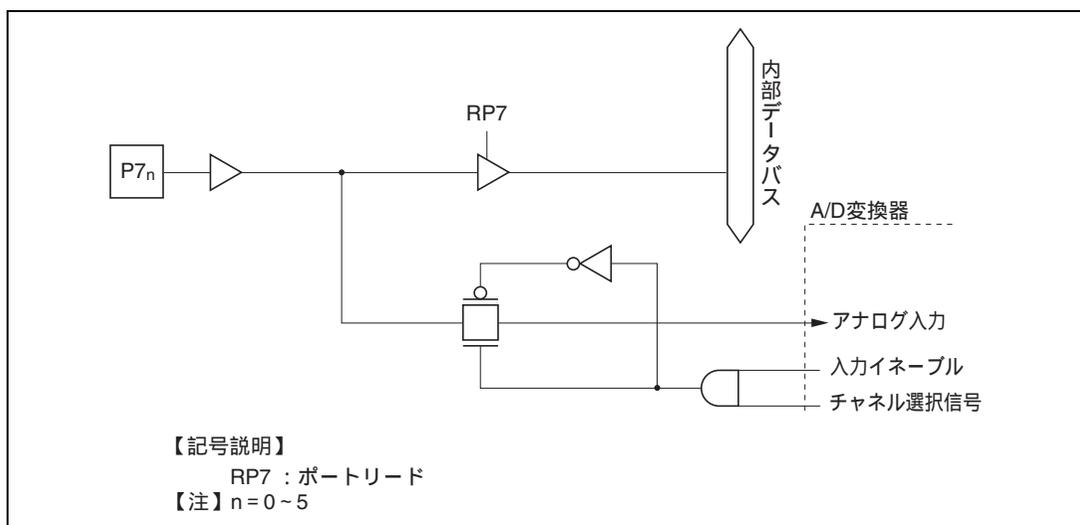


図 C.3 (a) ポート 7 ブロック図 (P7₀~P7₅端子)

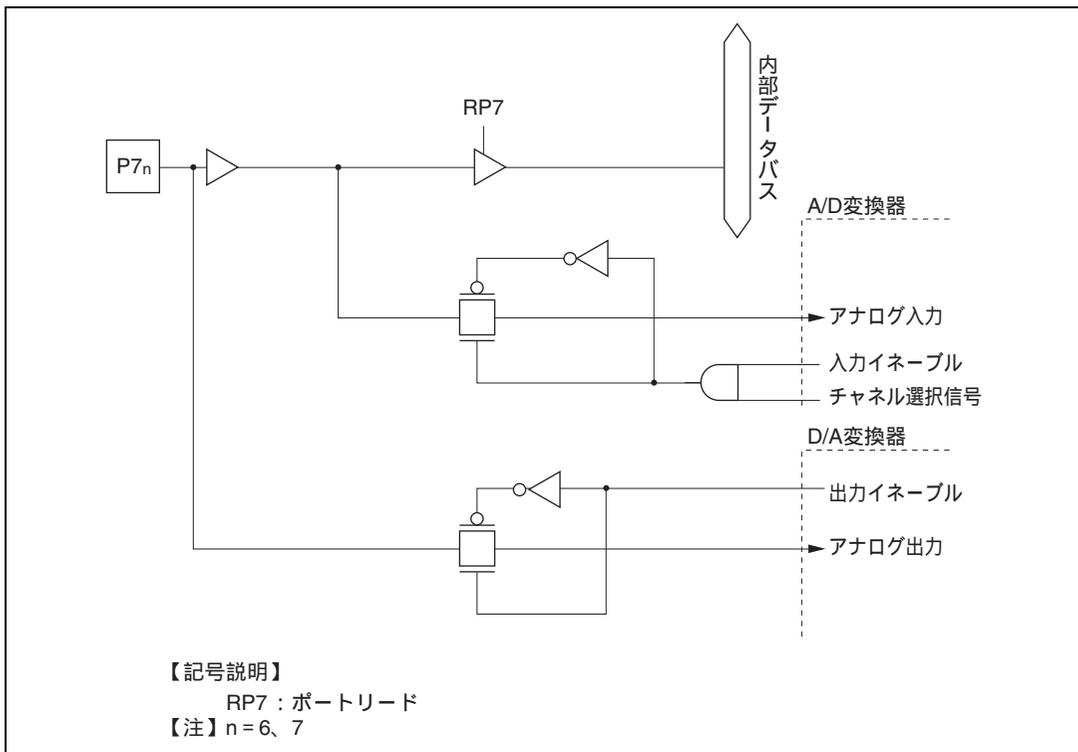


図 C.3 (b) ポート7ブロック図 (P7₆ ~ P7₇端子)

C.4 ポート 8 ブロック図

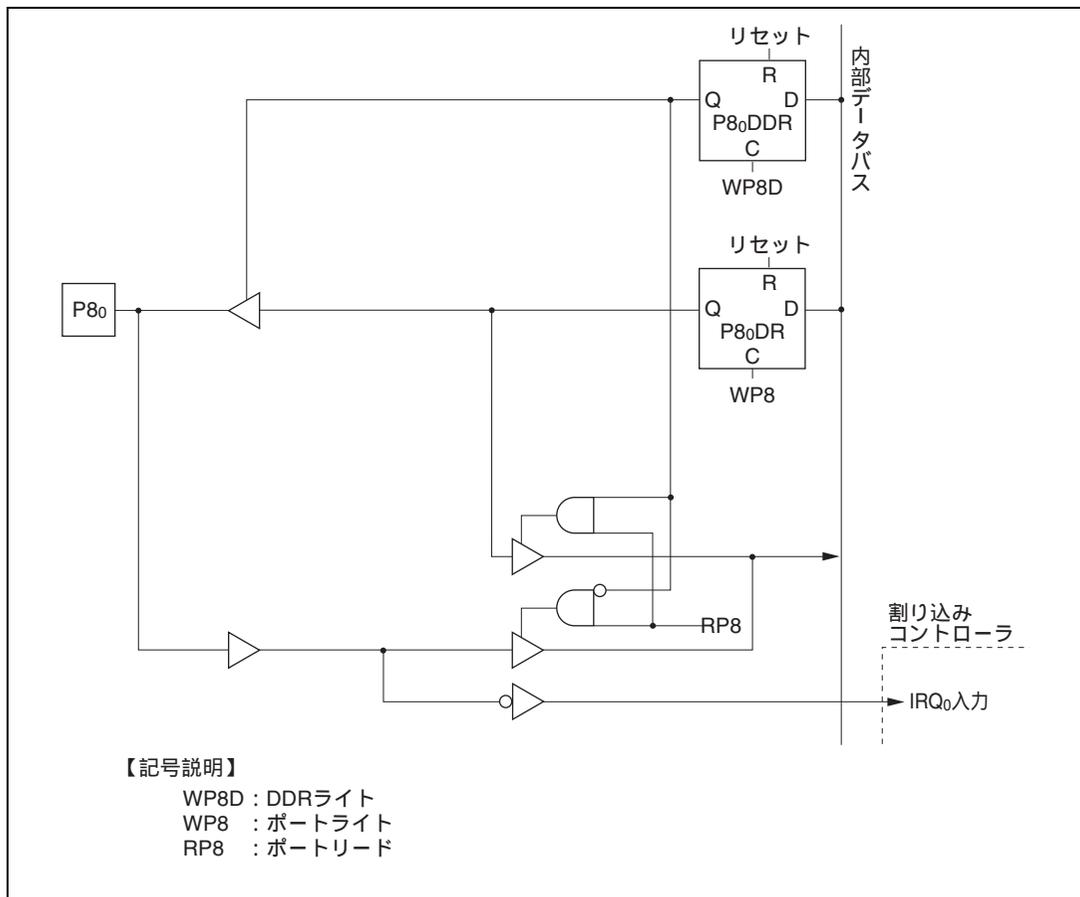


図 C.4 (a) ポート 8 ブロック図 (P8₀端子)

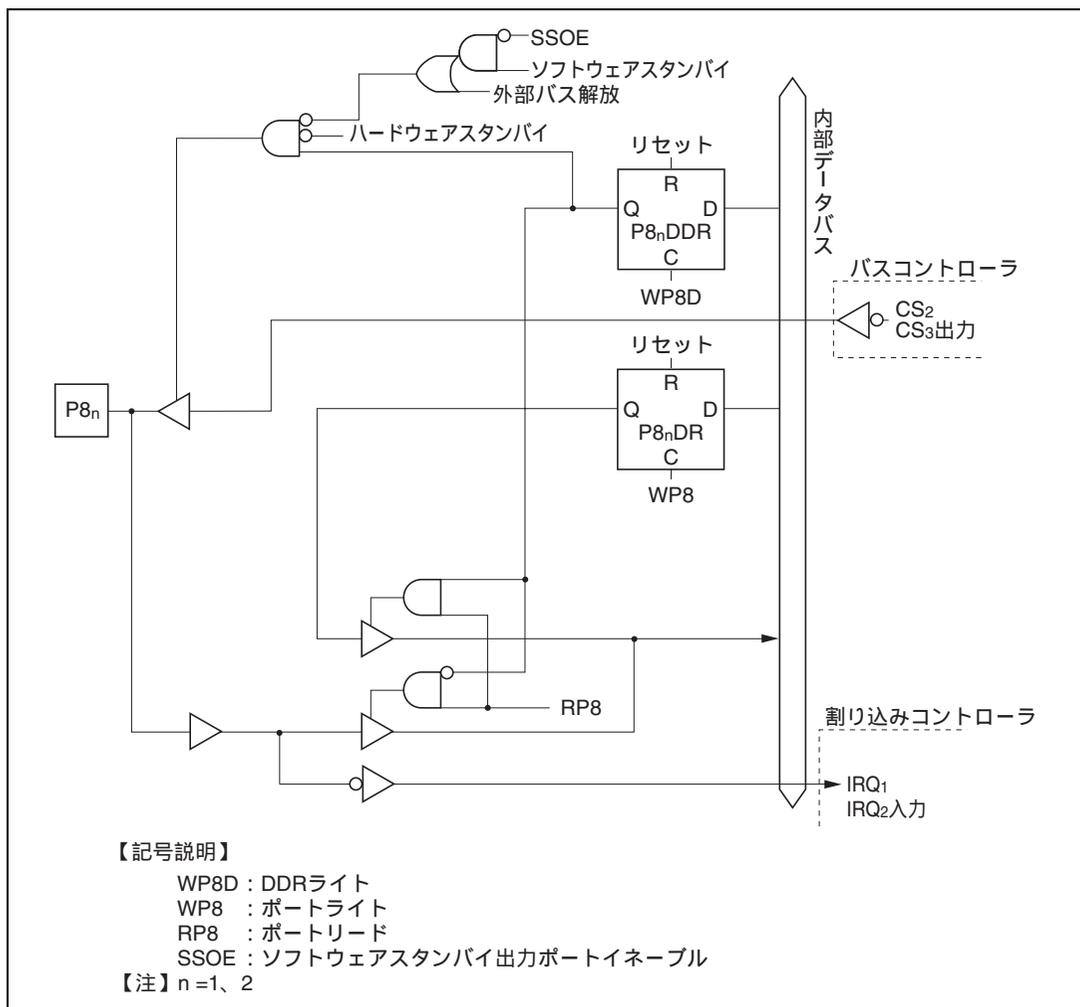


図 C.4 (b) ポート 8 ブロック図 (P8₁ ~ P8₂ 端子)

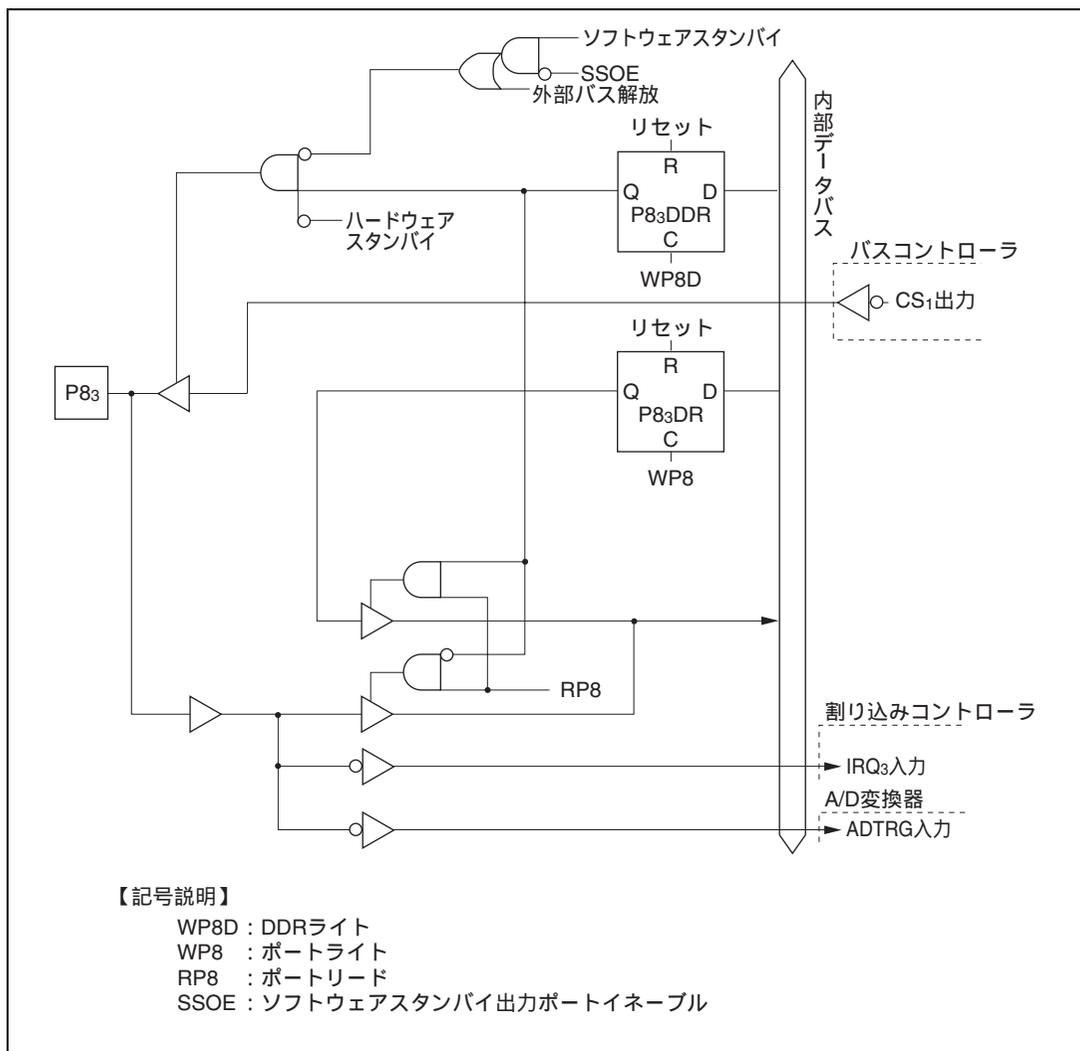


図 C.4 (c) ポート 8 ブロック図 (P8₃端子)

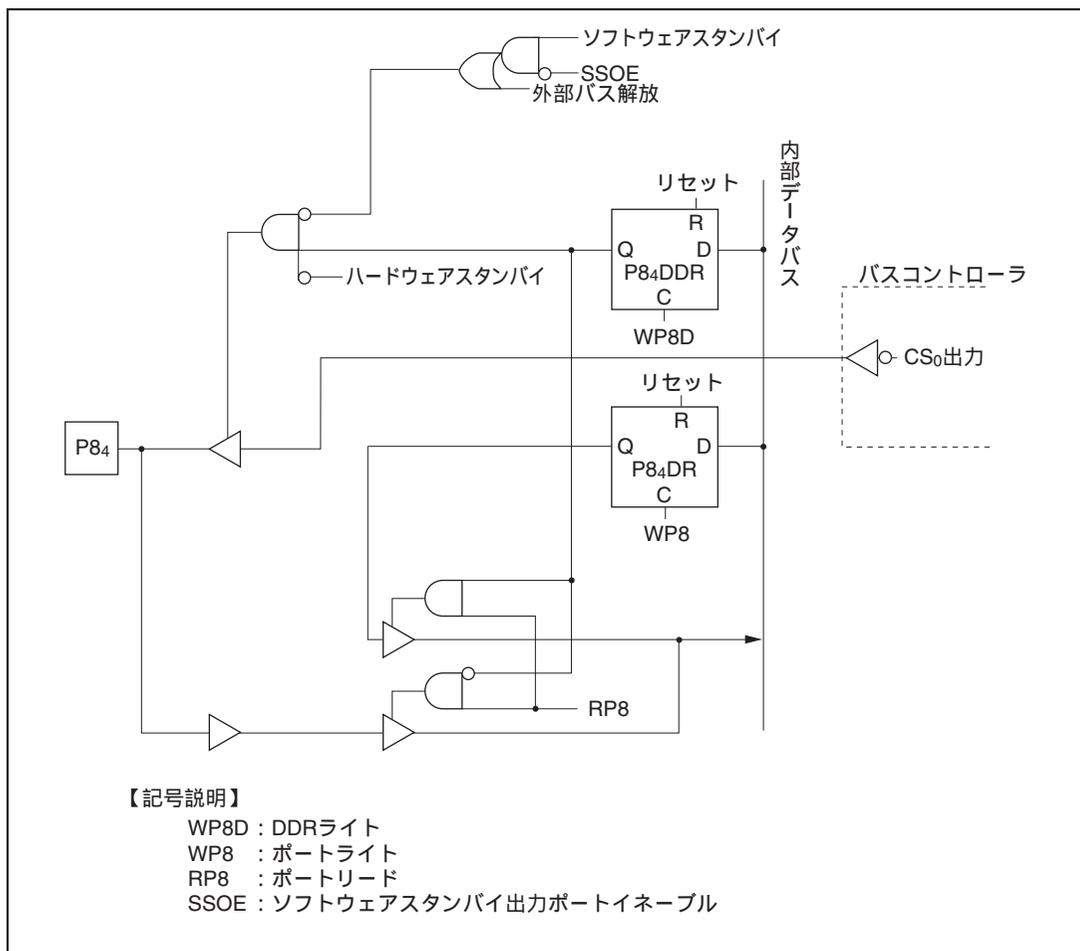


図 C.4 (d) ポート 8 ブロック図 (P8₄端子)

C.5 ポート9ブロック図

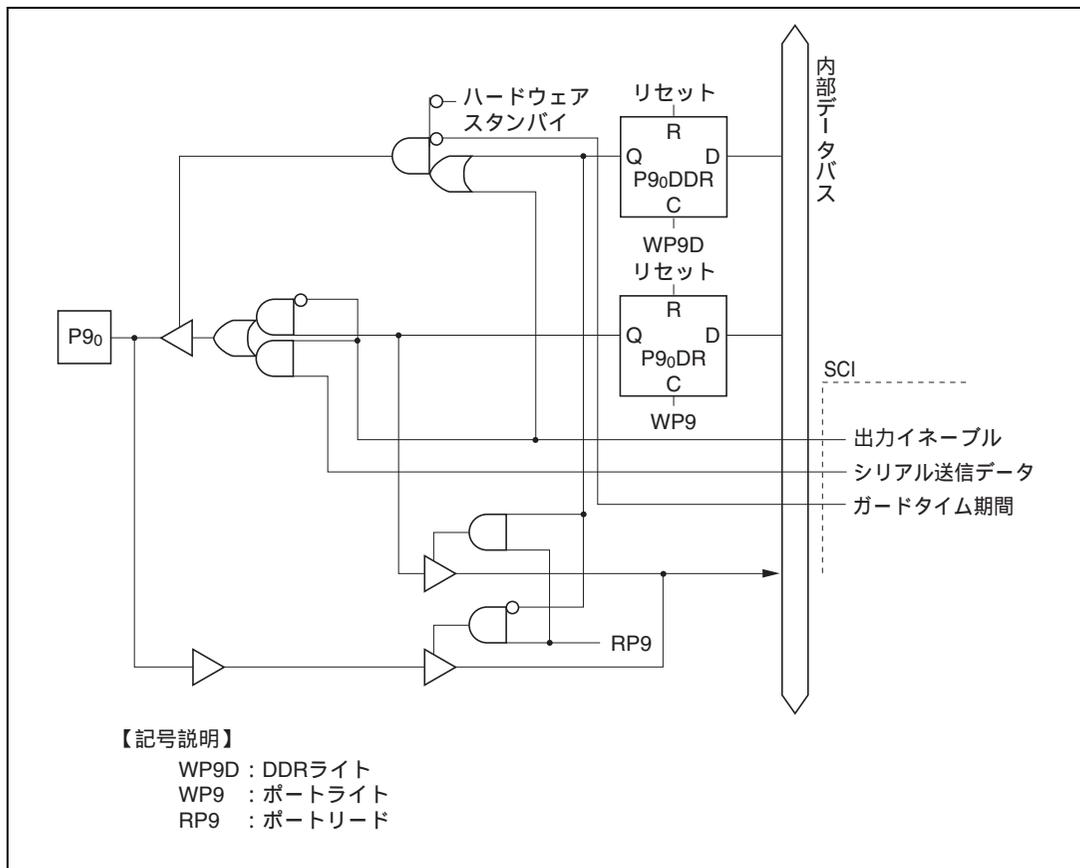


図 C.5 (a) ポート9ブロック図 (P9₀端子)

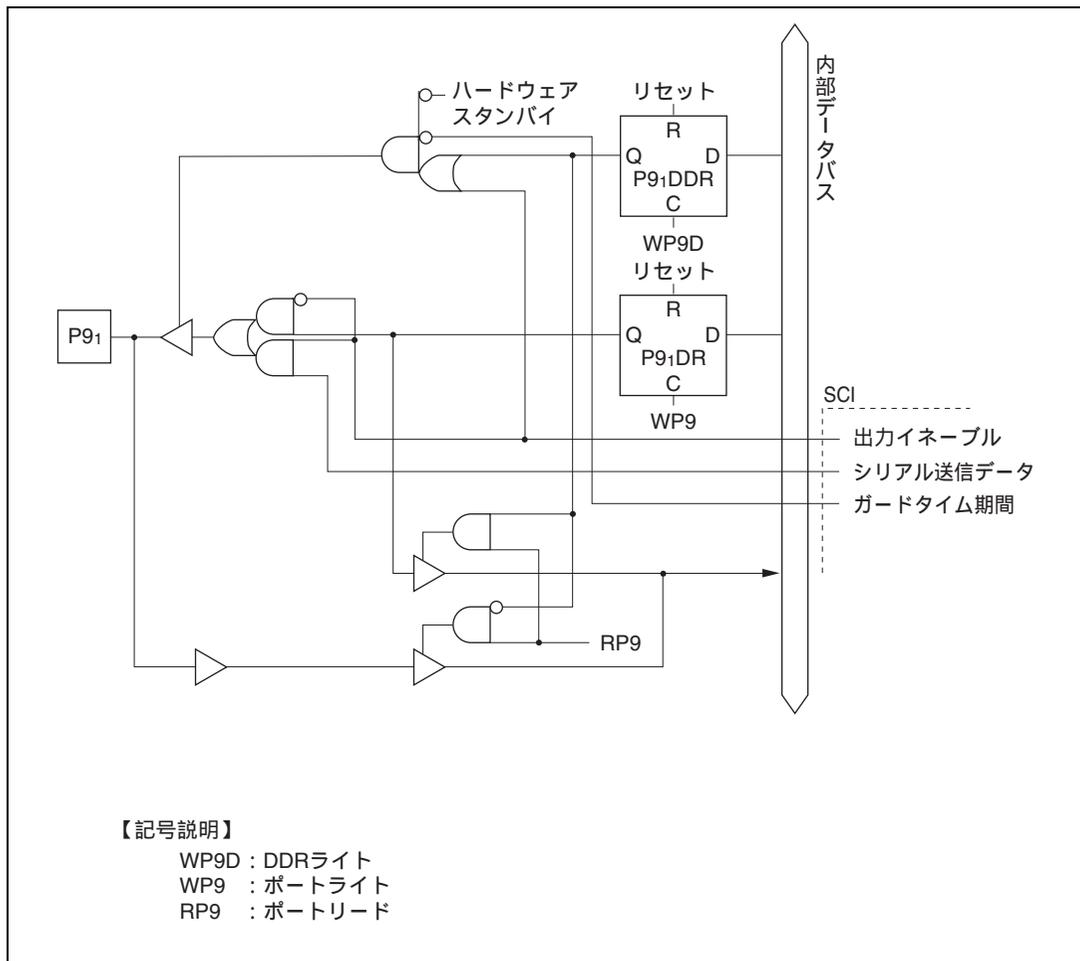


図 C.5 (b) ポート 9 ブロック図 (P9₁端子)

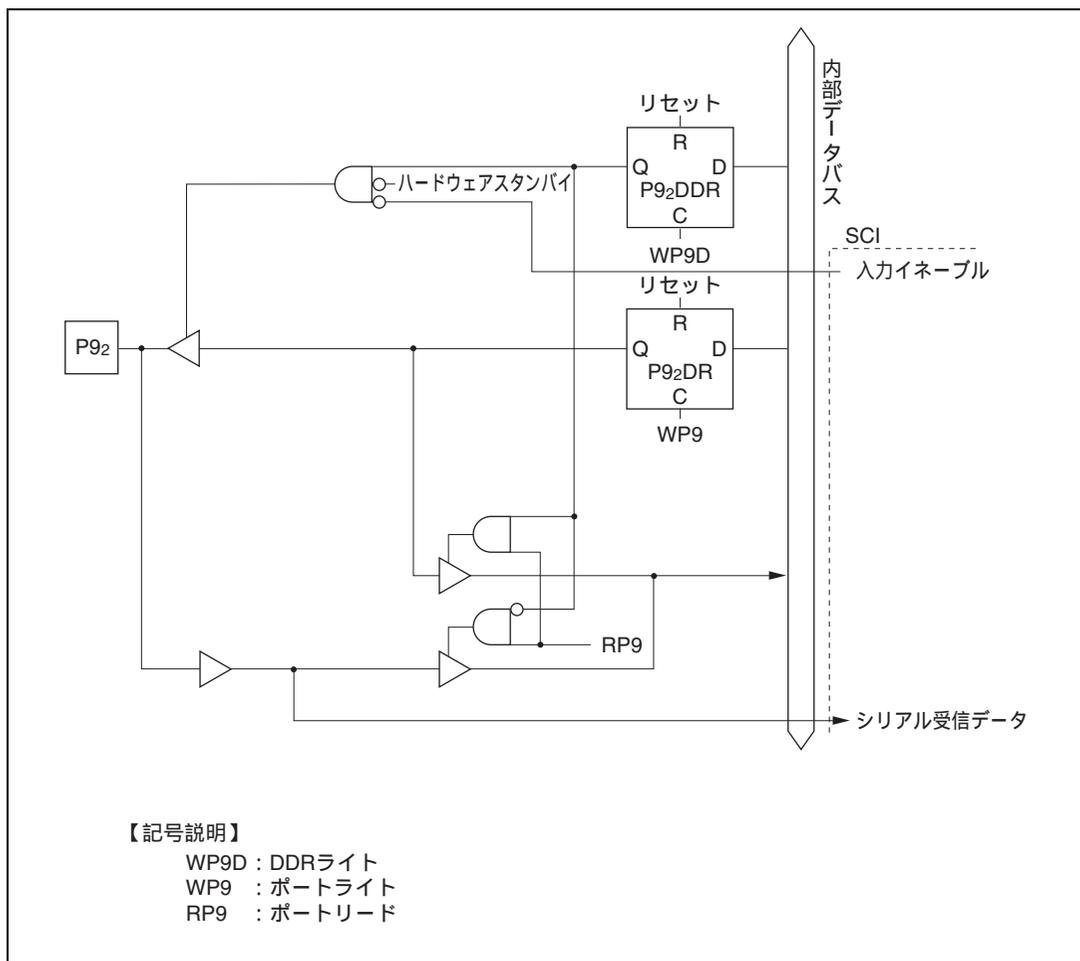


図 C.5 (c) ポート9ブロック図 (P9₂端子)

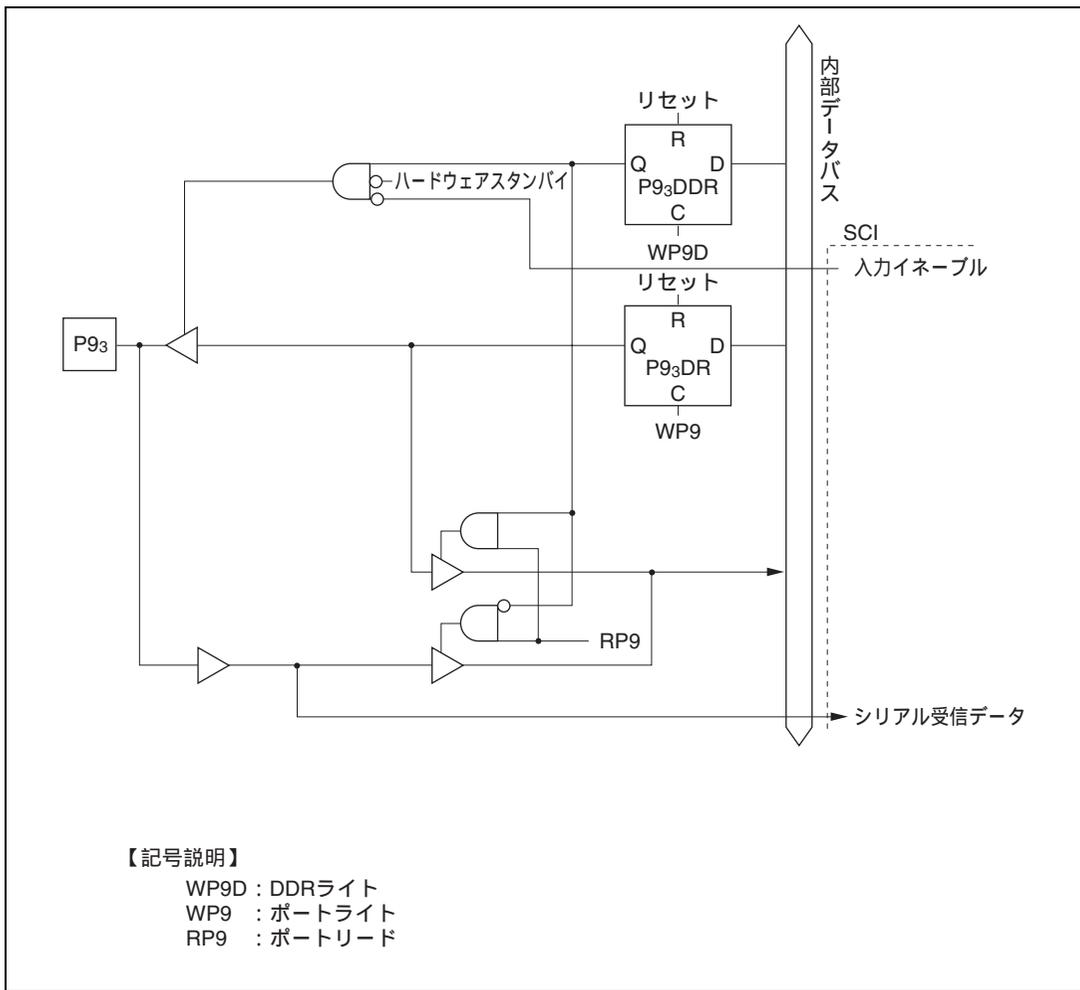


図 C.5 (d) ポート9ブロック図 (P9₃端子)

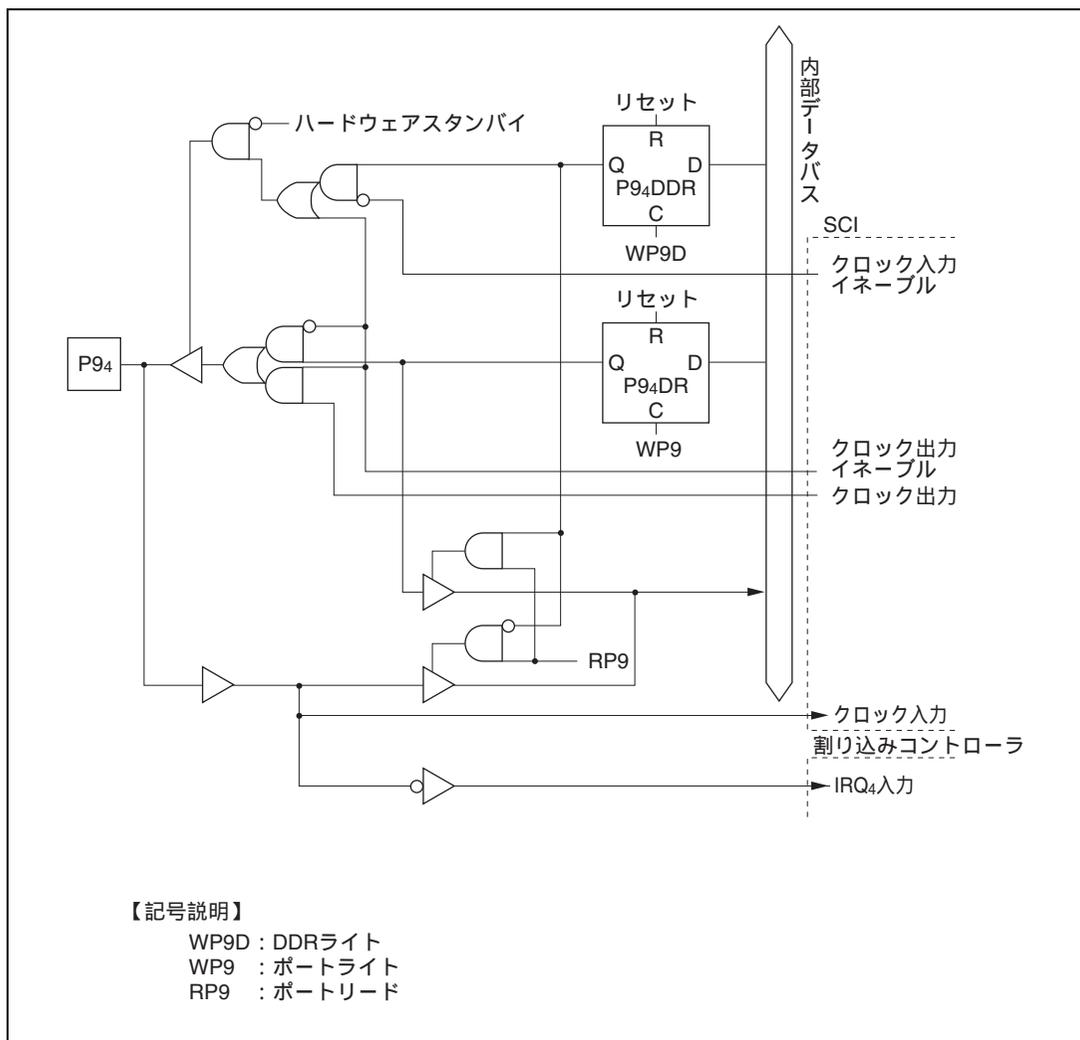


図 C.5 (e) ポート9 ブロック図 (P9₄端子)

C.6 ポート A ブロック図

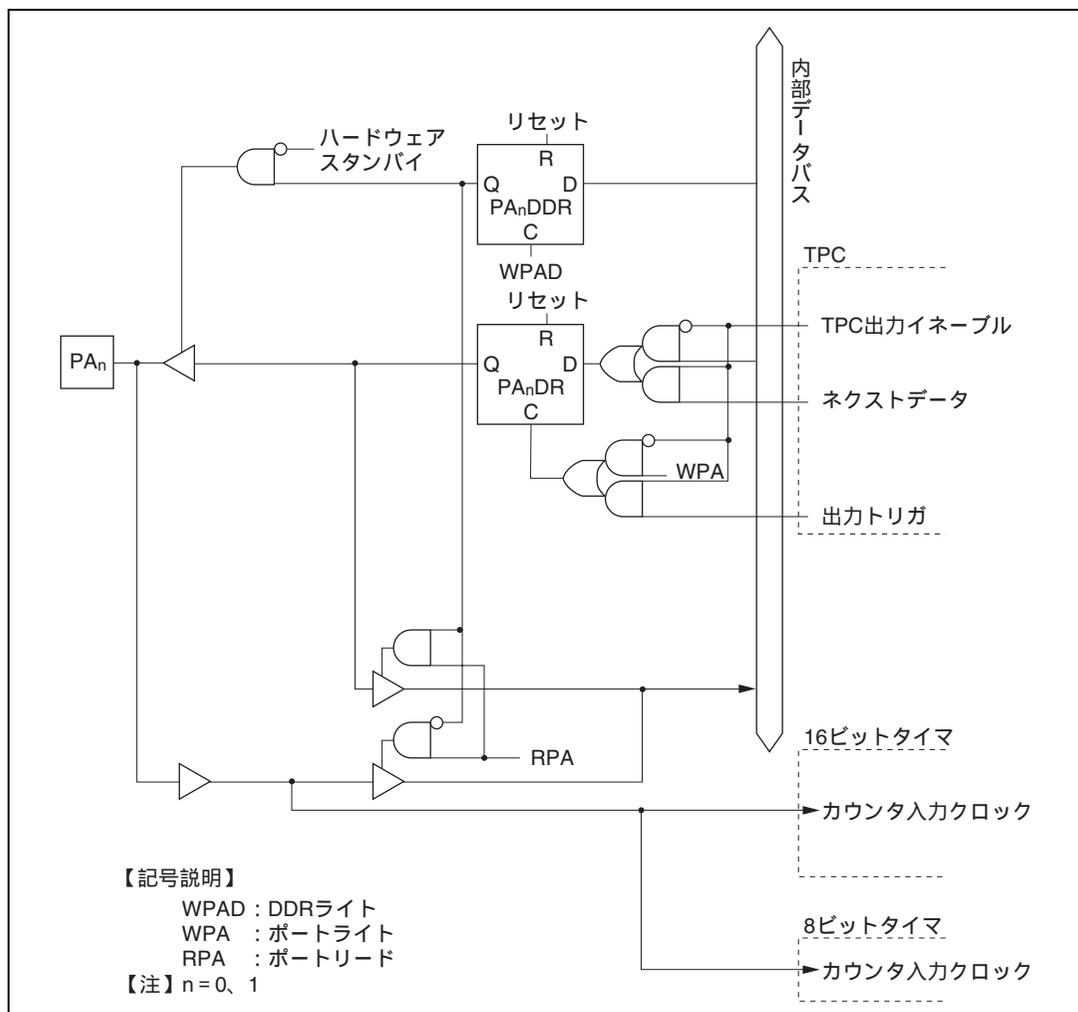


図 C.6 (a) ポート A ブロック図 (PA₀, PA₁ 端子)

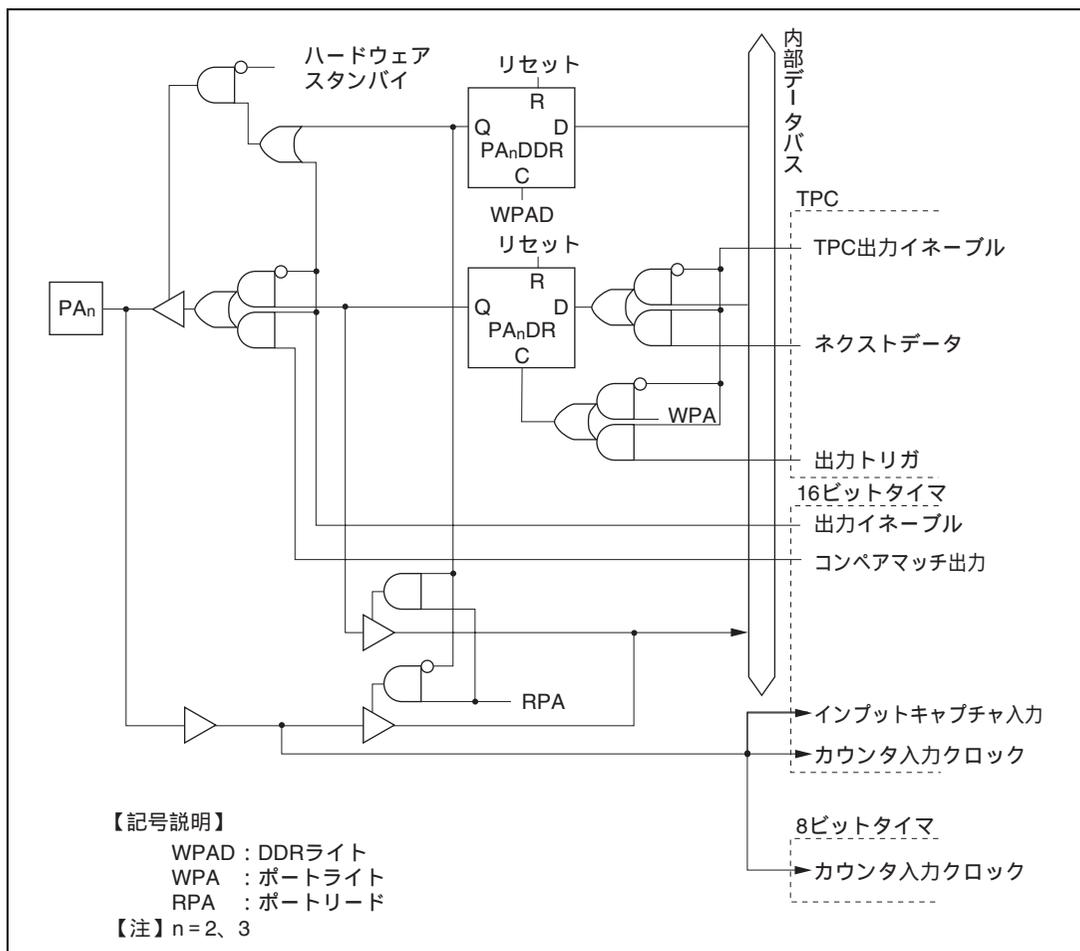


図 C.6 (b) ポート A ブロック図 (PA₂, PA₃ 端子)

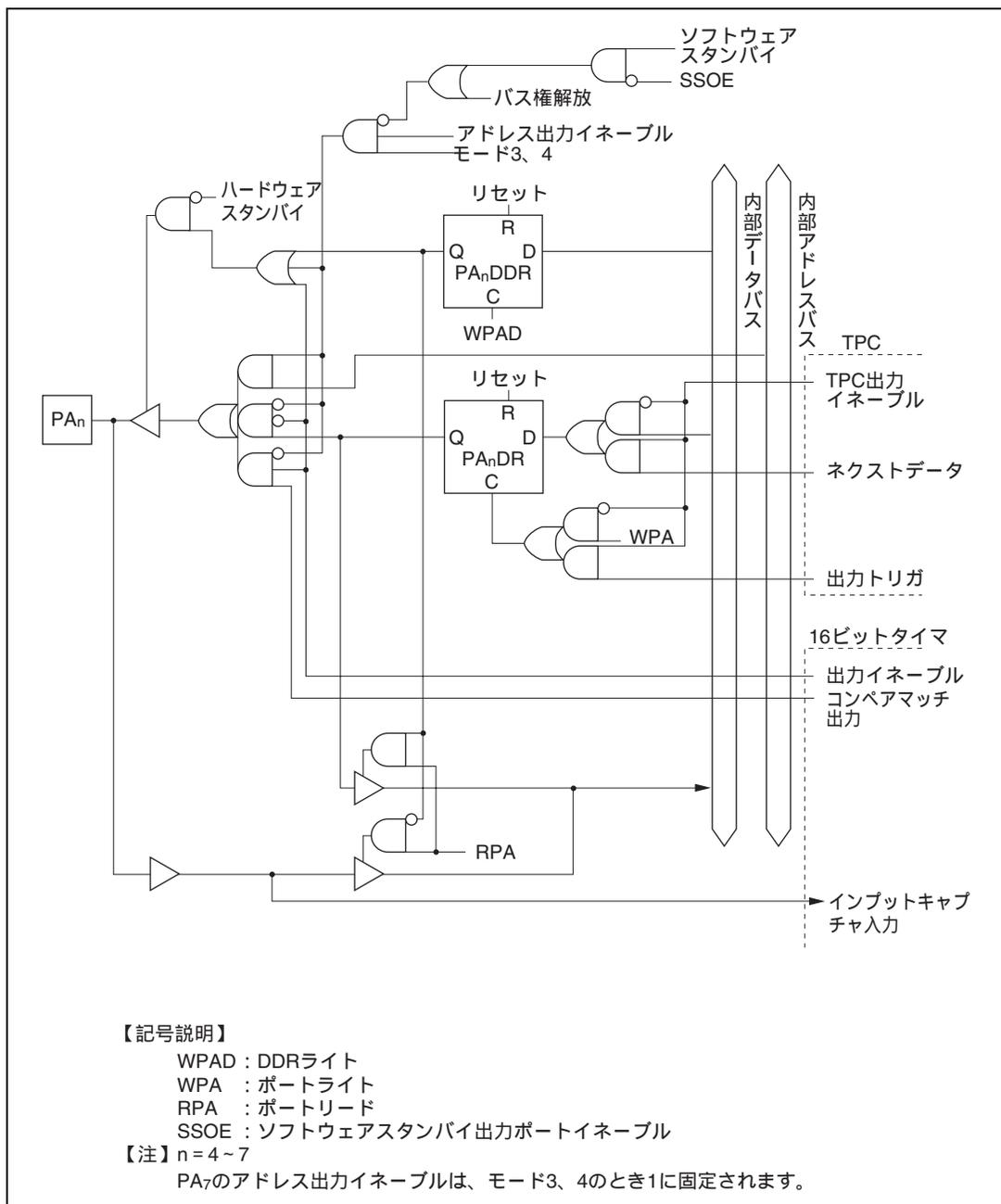


図 C.6 (c) ポート A ブロック図 (PA₄ ~ PA₇ 端子)

C.7 ポート B ブロック図

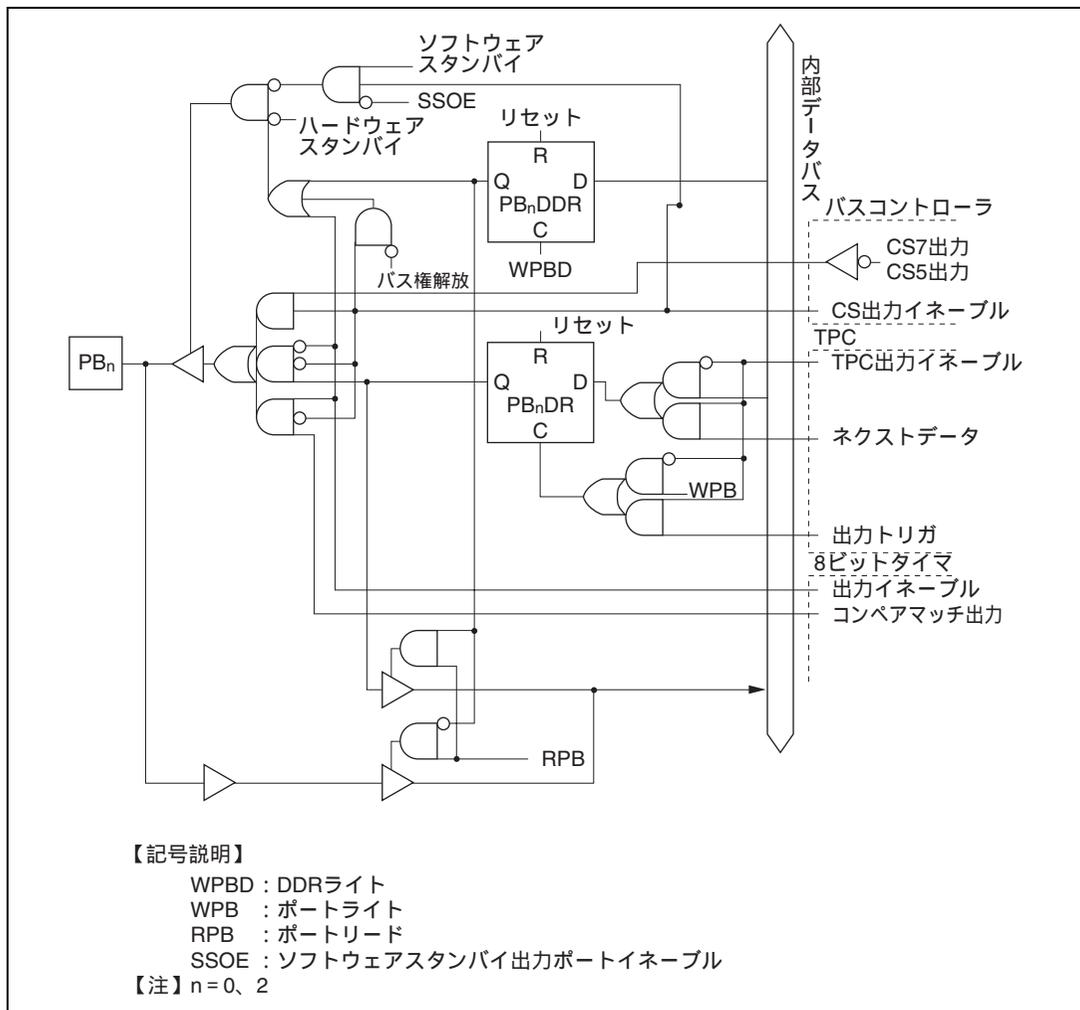
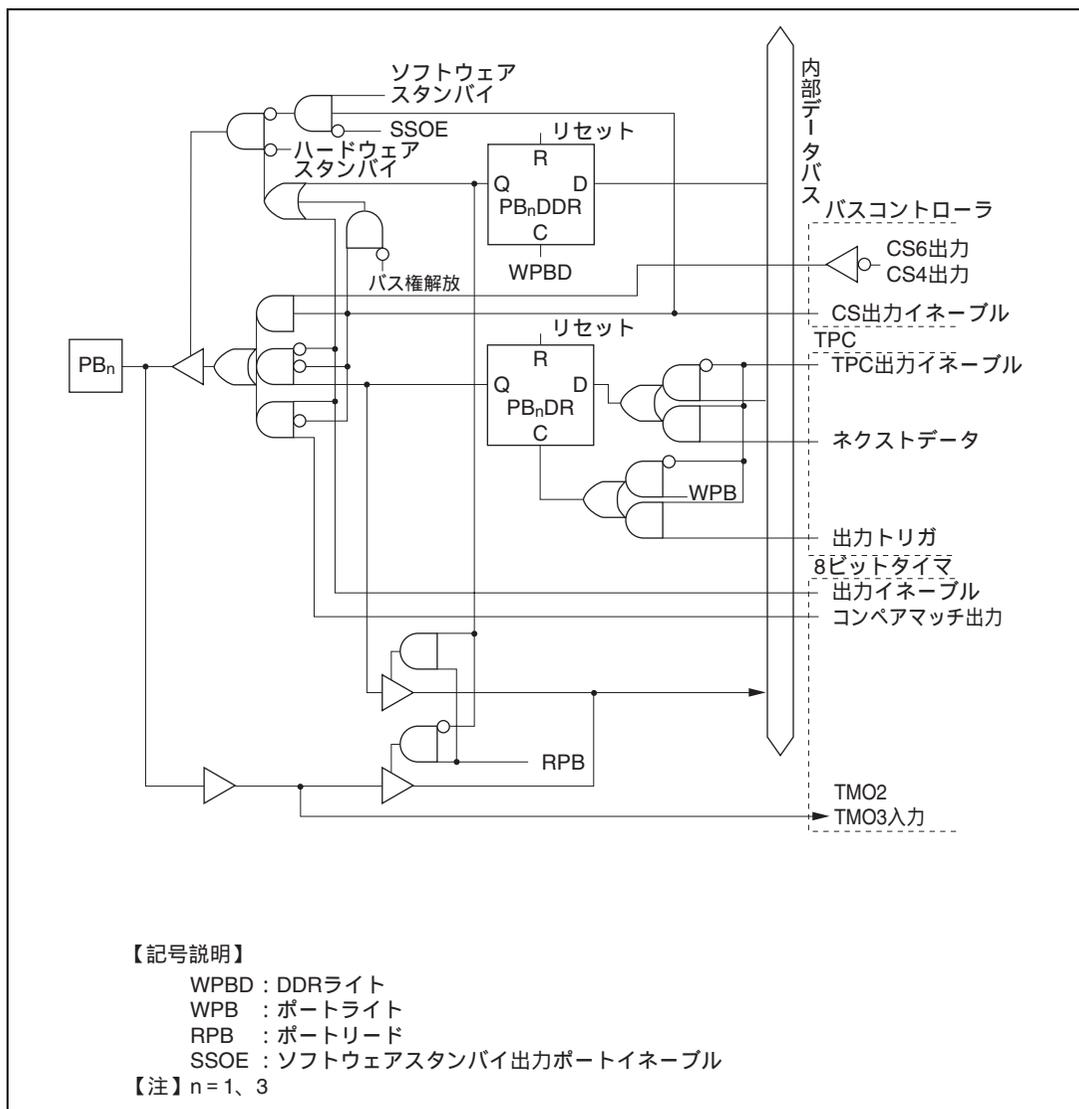


図 C.7 (a) ポート B ブロック図 (PB₀、PB₂ 端子)

図 C.7 (b) ポート B ブロック図 (PB₁、PB₃端子)

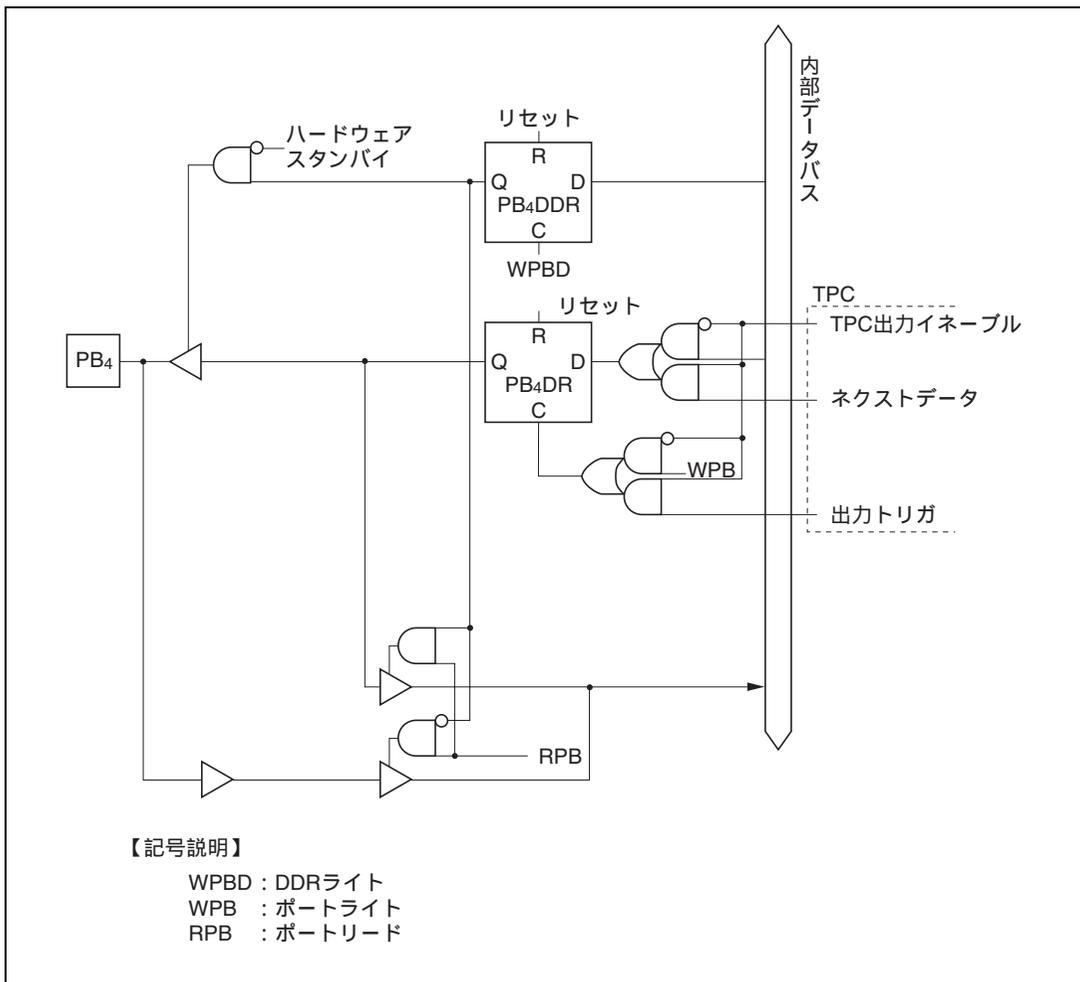


図 C.7 (c) ポート B ブロック図 (PB₄端子)

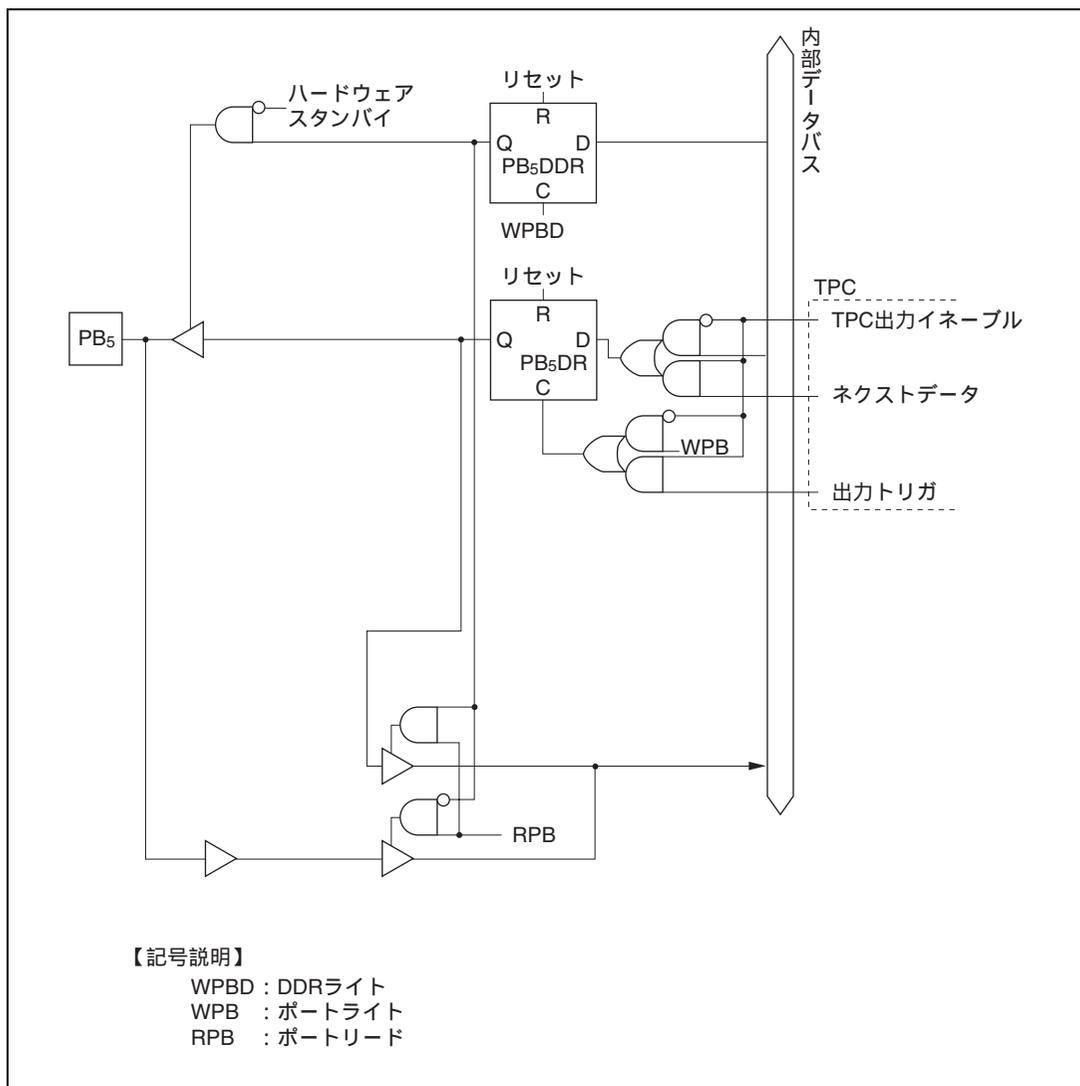


図 C.7 (d) ポート B ブロック図 (PB₅ 端子)

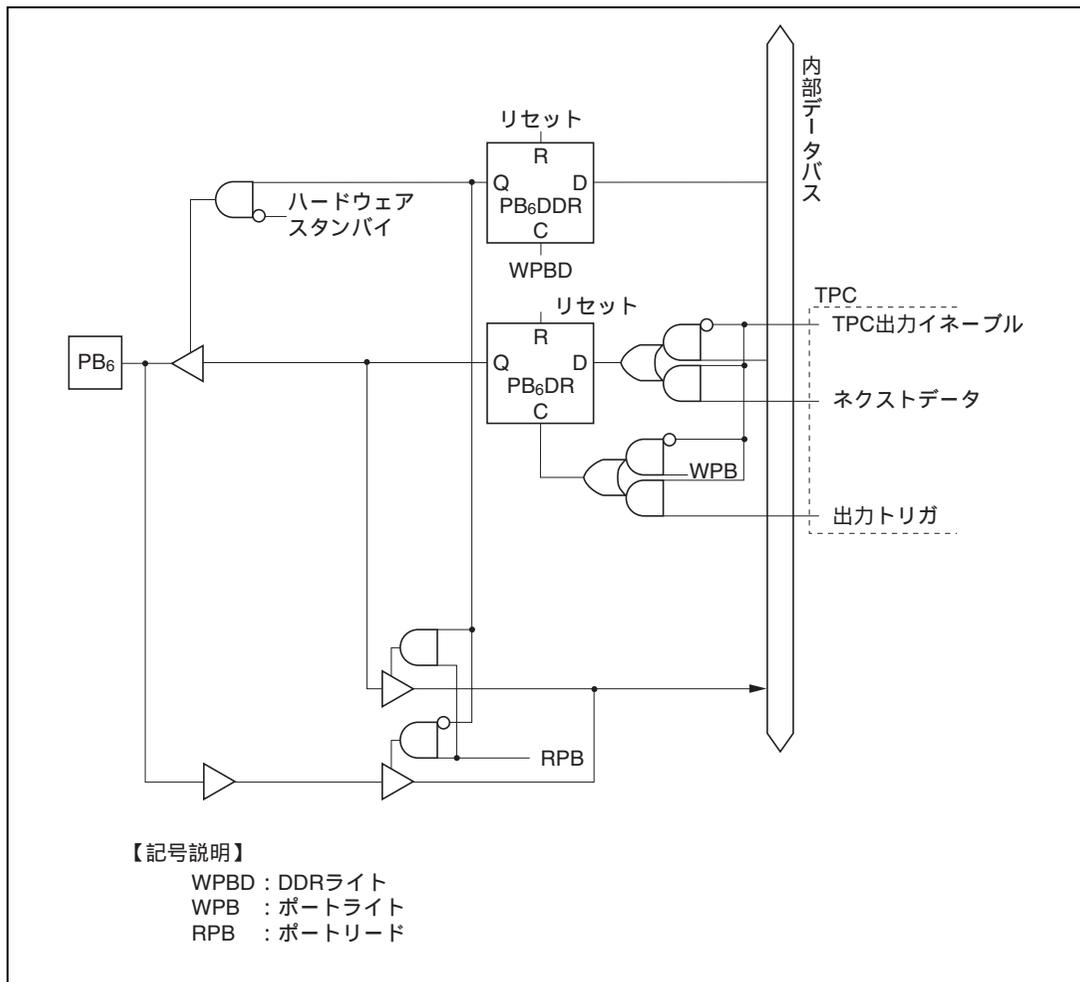


図 C.7 (e) ポート B ブロック図 (PB₆端子)

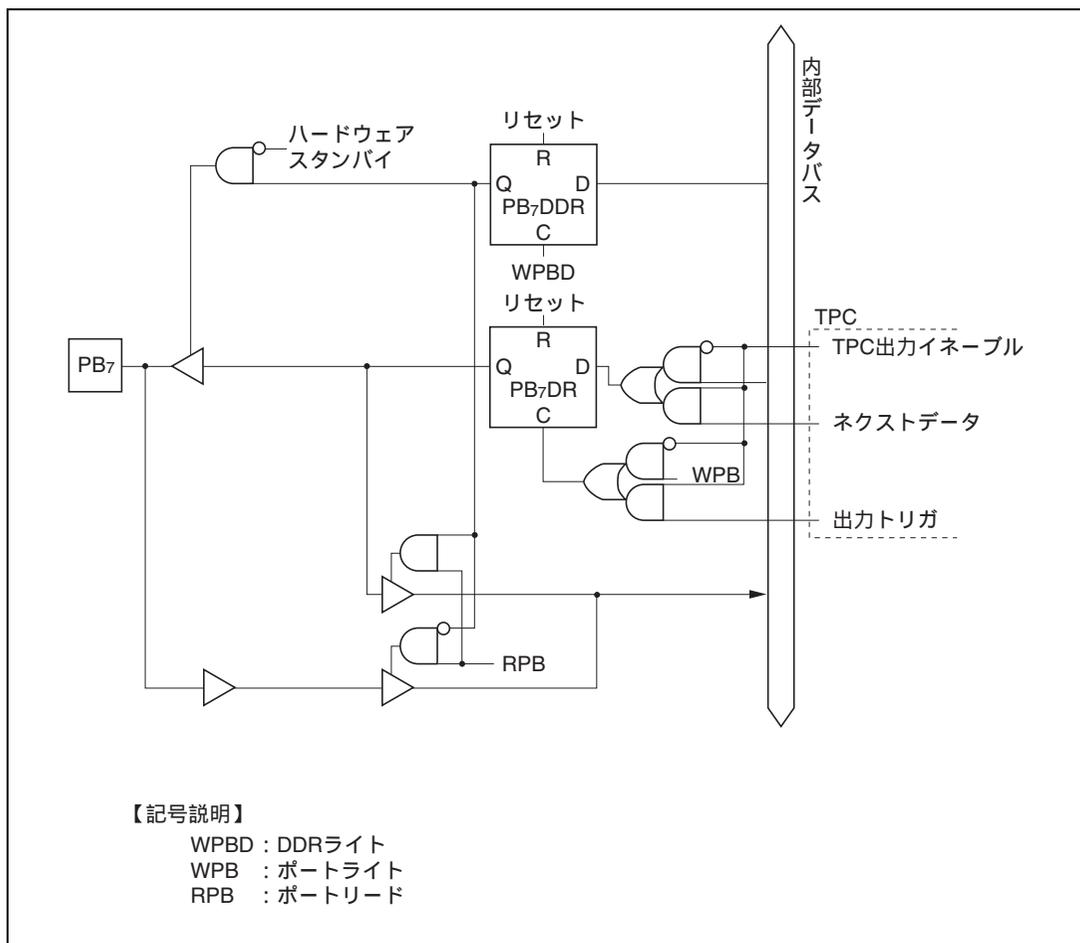


図 C.7 (f) ポート B ブロック図 (PB₇端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
A ₇ ~ A ₀	—	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₇ ~ A ₀
A ₁₅ ~ A ₈	—	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₁₅ ~ A ₈
D ₁₅ ~ D ₈	—	T	T	T	T	D ₁₅ ~ D ₈
P4 ₇ ~ P4 ₀	1、3	T	T	Keep	Keep	入出力ポート
	2、4	T	T	T	T	D ₇ ~ D ₀
A ₁₉ ~ A ₁₆	—	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₁₉ ~ A ₁₆
P6 ₀	—	T	T	Keep	Keep	入出力ポート WAIT
P6 ₁	—	T	T	[BRLE=0] Keep [BRLE=1] T	T	入出力ポート BREQ
P6 ₂	—	T	T	[BRLE=0] Keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] BACK
AS、RD、 HWR、LWR	—	H	T	[SSOE=0] T [SSOE=1] H	T	AS、RD HWR、LWR
P6 ₇	—	クロック 出力	T	[PSTOP=0] H [PSTOP=1] Keep	[PSTOP=0] φ [PSTOP=1] Keep	[PSTOP=0] φ [PSTOP=1] 入力ポート
P7 ₇ ~ P7 ₀	—	T	T	T	T	入力ポート
P8 ₀	—	T	T	Keep	—	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	パス権 解放状態	プログラム 実行状態
P8 ₁	—	T	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₃
P8 ₂	—	T	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₂
P8 ₃	—	T	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₁
P8 ₄	—	H	T	[DDR=0] T [DDR=1, SSOE=0] T [DDR=1, SSOE=1] H	[DDR=0] Keep [DDR=1] T	[DDR=0] 入力ポート [DDR=1] CS ₀
P9 ₅ ~ P9 ₆	—	T	T	Keep	Keep	入出力ポート
PA ₃ ~ PA ₆	—	T	T	Keep	Keep	入出力ポート
PA ₆ ~ PA ₄	1、2	T	T	Keep	Keep	入出力ポート
	3、4	T	T	[アドレス出力時] * ¹ [SSOE=0] T [SSOE=1] Keep [上記以外] * ² Keep	[アドレス出力時] * ¹ T [上記以外] * ² Keep	[アドレス出力時] * ¹ A ₂₁ ~ A ₂₃ [上記以外] * ² 入出力ポート
PA ₇	1、2	T	T	Keep	Keep	入出力ポート
	3、4	L	T	[SSOE=0] T [SSOE=1] Keep	T	A ₂₀

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム 実行状態
PB ₃ ~ PB ₀	—	T	T	[CS 出力時] * ³ [SSOE=0] T [SSOE=1] H [上記以外] * ⁴ Keep	[CS 出力時] * ³ T [上記以外] * ⁴ Keep	[CS 出力時] * ³ CS ₄ ~ CS ₇ [上記以外] * ⁴ 入出力ポート
PB ₅ ~ PB ₄	—	T	T	Keep	Keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

- 【注】 *1 BRCR (バスリリースコントロールレジスタ) が A23E、A22E、A21E がそれぞれ 0 のとき。
 *2 BRCR (バスリリースコントロールレジスタ) が A23E、A22E、A21E がそれぞれ 1 のとき。
 *3 CSCR (チップセレクトコントロールレジスタ) の CS7E、CS6E、CS5E、CS4E がそれぞれ 1 のとき。
 *4 CSCR (チップセレクトコントロールレジスタ) の CS7E、CS6E、CS5E、CS4E がそれぞれ 0 のとき。

D.2 リセット時の端子状態

(1) モード 1、2

モード 1、2 で外部メモリアクセス中に、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.1 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{CS}}_0$ が High レベル、 $\text{D}_{15} \sim \text{D}_0$ はハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリングしてから 2.5φクロック後に初期化され、アドレスバスは Low レベル出力となります。クロック端子 P6/φは $\overline{\text{RES}}$ 端子が Low レベルになった次の立ち上がりで出力端子になります。

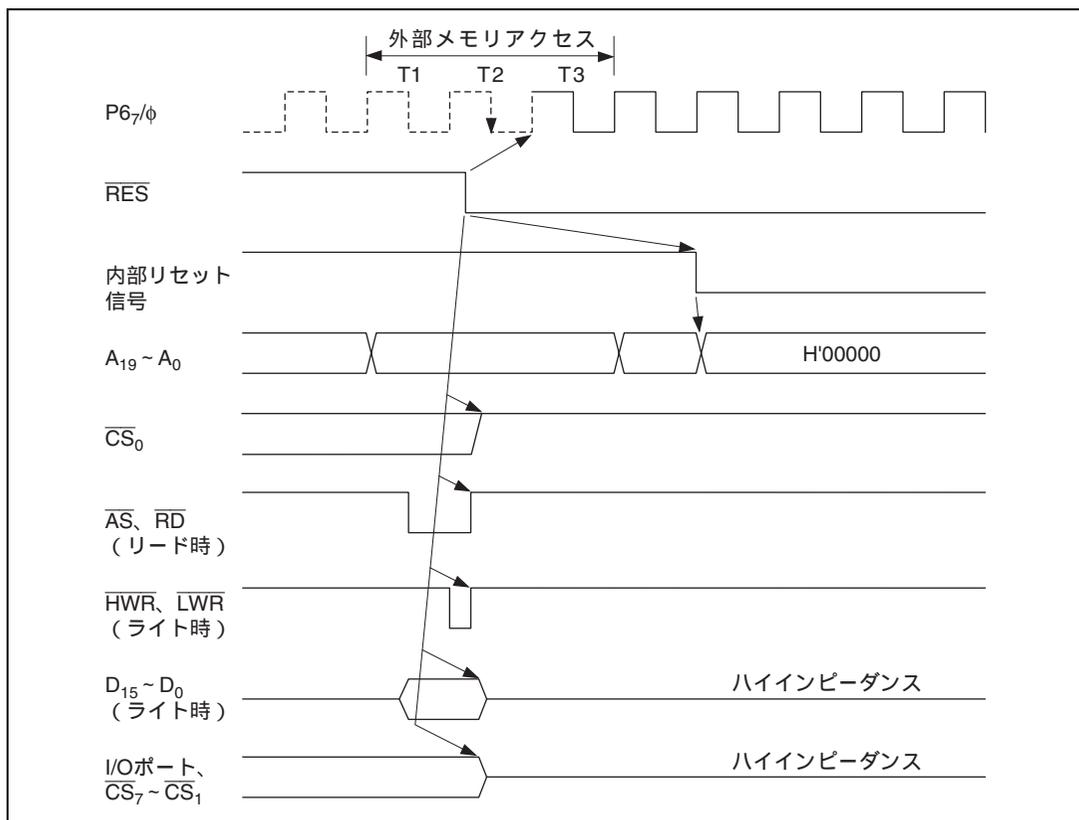


図 D.1 メモリアクセス中のリセット (モード 1、2)

(2) モード 3、4

モード 3、4 で外部メモリアクセス中に、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.2 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{CS}}_0$ が High レベル、 $\text{D}_{15} \sim \text{D}_0$ はハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリングしてから 2.5ϕ クロック後に初期化され、アドレスバスは Low レベル出力となります。ただし、 $\text{PA}_4 \sim \text{PA}_0$ をアドレスバスとして使用している場合、 $\text{P8}_3 \sim \text{P8}_1$ 、 $\text{PB}_0 \sim \text{PB}_3$ を CS 出力端子として使用している場合は、 $\overline{\text{RES}}$ 端子が Low レベルになると同時にハイインピーダンスとなります。

クロック端子 $\text{P6}_7/\phi$ は $\overline{\text{RES}}$ 端子が Low レベルになった次の ϕ の立ち上がりで出力端子になります。

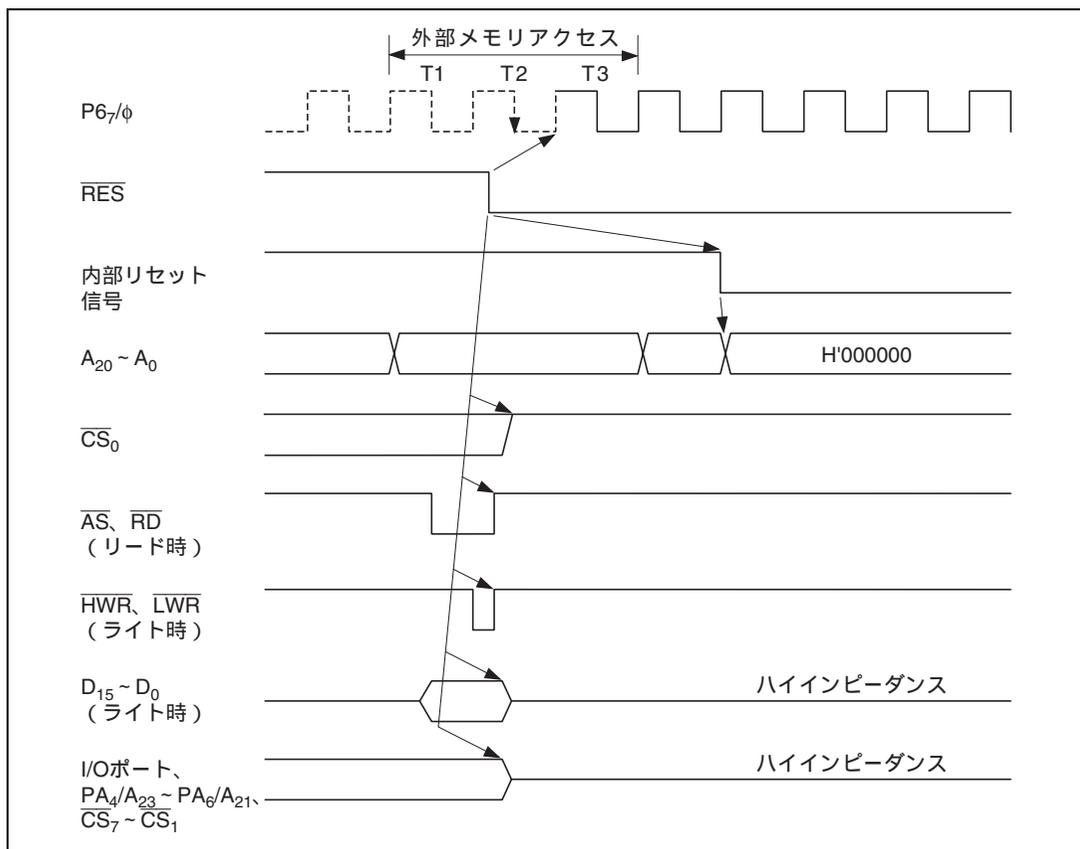
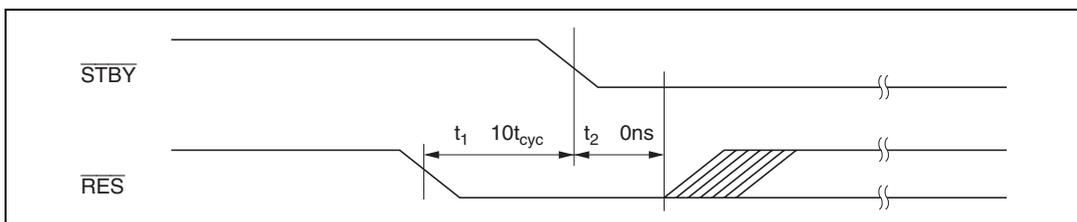


図 D.2 メモリアクセス中のリセット (モード 3、4)

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

(1) ハードウェアスタンバイモードの遷移タイミング

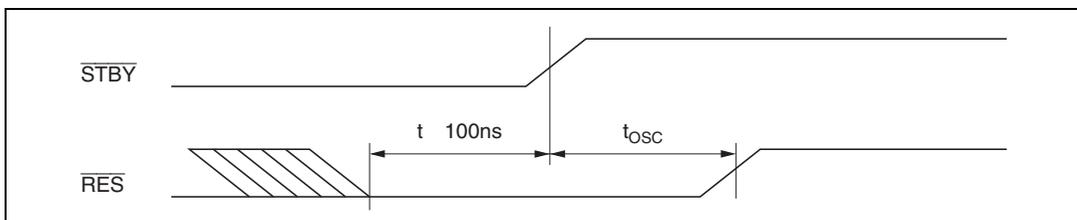
- (1) SYSCRのRAMEビットを1にセットした状態でRAMの内容を保持する場合
 下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10システムクロック前に $\overline{\text{RES}}$ 信号をLowレベルとしてください。
 また、 $\overline{\text{RES}}$ 信号の立ち下がり、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、min 0nsです。



- (2) SYSCRのRAMEビットを0にクリアした状態またはRAMの内容を保持しない場合
 (1) のように $\overline{\text{RES}}$ 信号をLowにする必要はありません。

(2) ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を Low としてください。



F. 型名一覧

表 F.1 H8/3008 型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/3008	ROM レス	5V 版	HD6413008F	HD6413008F	100 ピン QFP (FP-100B)
			HD6413008TE	HD6413008TE	100 ピン TQFP (TFP-100B)
		3V 版	HD6413008VF	HD6413008VF	100 ピン QFP (FP-100B)
			HD6413008VTE	HD6413008VTE	100 ピン TQFP (TFP-100B)

G. 外形寸法図

本 LSI の外形寸法図 FP-100B を図 G.1、TFP-100B を図 G.2 に示します。

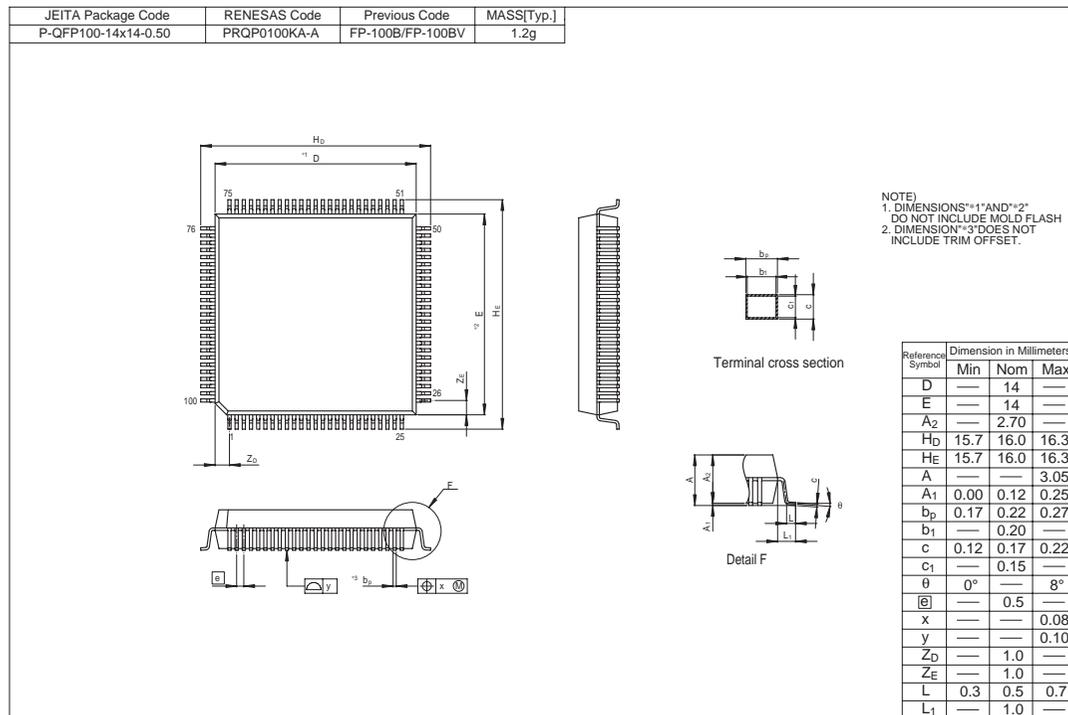


図 G.1 外形寸法図 (FP-100B) 単位 : mm

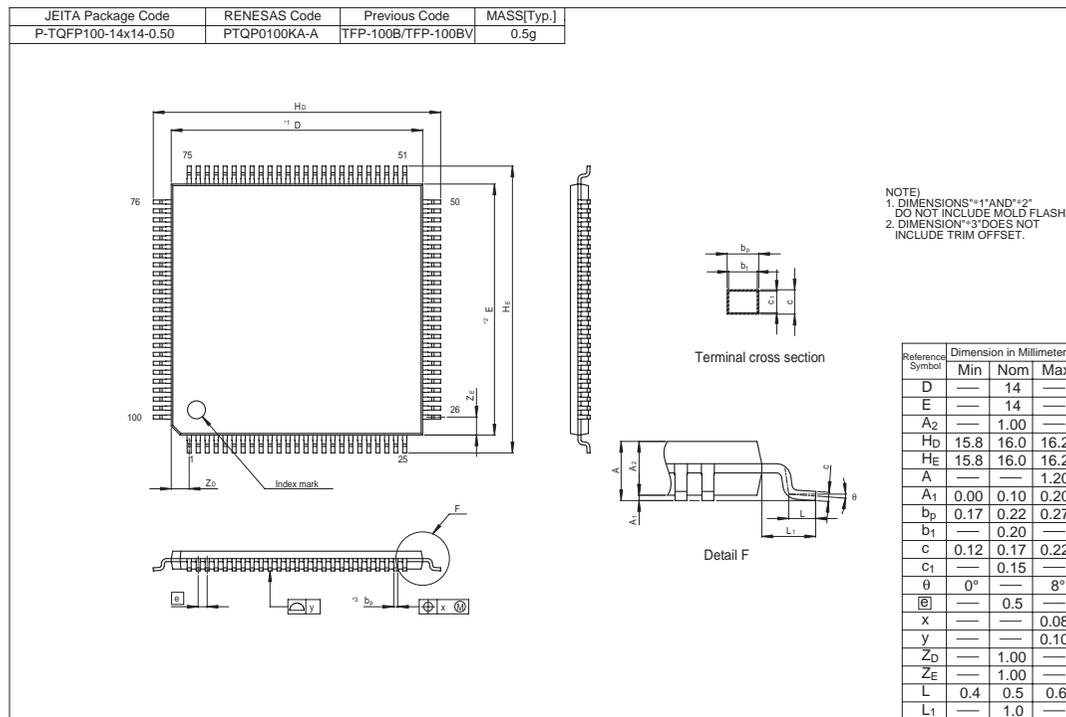


図 G.2 外形寸法図 (TFP-100B) 単位 : mm

H. H8/300H シリーズ製品仕様比較

H.1 H8/3067、H8/3062 グループと H8/3048 グループ、H8/3007、H8/3006 と H8/3008 の相違点

項目		H8/3067 グループ H8/3062 グループ	H8/3048 グループ	H8/3007、H8/3006		H8/3008			
1	動作モード	モード 5	16MB ROM 有効拡張モード	1MB ROM 有効拡張モード					
		モード 6	64KB シングルチップモード					16MB ROM 有効拡張モード	
2	割り込みコントローラ	内部割り込み要因	36 (H8/3067) 27 (H8/3062 グループ)	30	36		27		
3	バスコントローラ	バースト ROM インタフェース	あり (H8/3067) なし (H8/3062 グループ)	なし	あり		なし		
		アイドルサイクル挿入機能	あり	なし	あり		あり		
		ウェイトモード	2 種類	4 種類	2 種類		2 種類		
		ウェイトステート数の設定	エリア単位	全エリア共通	エリア単位		エリア単位		
		アドレス出力方式	アドレス更新モードを選択可 (H8/3067F-ZTAT、H8/3062F-ZTAT は固定)	固定	固定		アドレス更新モードを選択可		
4	DRAM インタフェース	接続可能エリア	エリア 2 / 3 / 4 / 5 (H8/3067 のみ)	エリア 3	エリア 2 / 3 / 4 / 5		なし		
		プリチャージサイクル挿入機能	あり (H8/3067 のみ)	なし	あり		なし		
		高速ページモード	あり (H8/3067 のみ)	なし	あり		なし		
		アドレスシフト量	8 ビット / 9 ビット / 10 ビット (H8/3067 のみ)	8 ビット / 9 ビット	8 ビット / 9 ビット / 10 ビット		なし		
5	タイマ機能		16 ビット タイマ	8 ビット タイマ	ITU	16 ビット タイマ	8 ビット タイマ	16 ビット タイマ	8 ビット タイマ
		チャンネル数	16 ビット ×3	8 ビット× 4 (16 ビット×2)	16 ビット×5	16 ビット×3	8 ビット×4 (16 ビット×2)	16 ビット×3	8 ビット×4 (16 ビット×2)
		パルス出力	6 端子	4 端子 (2 端子)	12 端子	6 端子	4 端子 (2 端子)	6 端子	4 端子 (2 端子)
		インプットキャプチャ	6 本	2 本	10 本	6 本	2 本	6 本	2 本

	項目	H8/3067 グループ H8/3062 グループ		H8/3048 グループ	H8/3007、H8/3006		H8/3008	
		16 ビット タイマ	8 ビットタイ マ	ITU	16 ビッ ト タイマ	8 ビット タイマ	16 ビット タイマ	8 ビットタイ マ
5	タイマ機能	4 系統 (選択可)	4 系統 (固定)	4 系統 (選択可)	4 系統 (選択 可)	4 系統 (固定)	4 系統 (選択可)	4 系統 (固定)
	外部クロック	φ,φ/2,φ/4, φ/8	φ/8,φ/64, φ/8192	φ,φ/2,φ/4, φ/8	φ,φ/2,φ/ 4,φ/8	φ/8,φ/64, φ/8192	φ,φ/2,φ/4, φ/8	φ/8,φ/64, φ/8192
	相補 PWM 機能	なし	なし	あり	なし	なし	なし	なし
	リセット同期 PWM 機能	なし	なし	あり	なし	なし	なし	なし
	バッファ動作	なし	なし	あり	なし	なし	なし	なし
	出力初期値設定 機能	あり	なし	なし	あり	なし	あり	なし
	PWM 出力	3 本	4 本(2 本)	5 本	3 本	4 本(2 本)	3 本	4 本(2 本)
	DMAC 起動	3 チャンネル (H8/3067 のみ)	なし	4 チャンネル	3 チャ ネル	なし	なし	なし
	A/D 変換起動	なし	あり	なし	なし	あり	あり	あり
	割り込み要因	3 要因×3	8 要因	3 要因×5	3 要因 ×3	8 要因	8 要因	8 要因
6	TPC	タイムベース	16 ビットタイマベース で 3 種類	ITU ベースで 4 種類	16 ビットタイマベ ースで 3 種類	16 ビットタイマベースで 3 種類	16 ビットタイマベースで 3 種類	16 ビットタイマベースで 3 種類
7	WDT	リセット信号 外部出力機能	あり(ただし、フラッシ ュメモリ内蔵品はなし)	あり	あり	あり	あり	あり
8	SCI	チャンネル数	3 チャンネル(H8/3067)、 2 チャンネル(H8/3062 グ ループ)	2 チャンネル	3 チャンネル	2 チャンネル	2 チャンネル	2 チャンネル
	スマートカード インタフェース	全チャンネルサポート	全チャンネルサポート	SCI0 のみ サポート	全チャンネルサポ ート	全チャンネルサポ ート	全チャンネルサポ ート	全チャンネルサポ ート
9	A/D 変換器	変換開始トリガ 入力	外部トリガ / 8 ビット タイマコンペアマッチ	外部トリガ	外部トリガ / 8 ビ ットタイマコンペ アマッチ	外部トリガ / 8 ビット タイマコンペアマッ チ	外部トリガ / 8 ビット タイマコンペアマッ チ	外部トリガ / 8 ビット タイマコンペアマッ チ
	変換ステート	70 / 134	70 / 134	134 / 266	70 / 134	70 / 134	70 / 134	70 / 134
10	端子制御	φ端子	φ / 入力ポート兼用	φ出力専用	φ / 入力ポート兼用	φ / 入力ポート兼用	φ出力 / 入力ポート	φ出力 / 入力ポート
	16MB ROM 有 効拡張モードに おける A ₂₀	A ₂₀ / 出力ポート兼用	A ₂₀ / 出力ポート兼用	A ₂₀ 出力				
	ソフトウェアス タンバイ状態に おける、アドレス バス、AS、RD、 HWR、LWR、 CS ₇ ~ CS ₀ 、RFSH	High レベル出力 / ハイ インピーダンスを選択 可 (RFSH 端子は H8/3067 のみ)	High レベル出 力 (CS ₀ 以外) Low レベル出 力 (CS ₀)	High レベル出力 / ハイインピーダ ンスを選択可				

	項目	H8/3067 シリーズ H8/3062 シリーズ	H8/3048 シリーズ	H8/3007、H8/3006	H8/3008
10	端子制御	バス解放状態 における \overline{CS}_7 ~ \overline{CS}_9	ハインピーダンス	High レベル 出力	ハインピーダンス
11	フラッシュ メモリ機能	書き込み / 消去電圧	12V 印加不要。単一電源 書き込み。	外部から 12V 印加	
		ブロック分割	8 ブロック (H8/3064F-ZTAT B マス ク品は 12 ブロック)	16 ブロック	

H.2 100 ピンパッケージ品の端子機能比較 (FP-100B、TFP-100B の場合)

表 I.1 製品別ピン配置一覧 (FP-100B、TFP-100B)

ピン番号	ROM 内蔵品				ROM レス品	
	H8/3067 グループ	H8/3062 グループ	H8/3048 グループ	H8/3042 グループ	H8/3007, H8/3006	H8/3008
1	Vcc	Vcc/VCL ^{*2}	Vcc	Vcc	Vcc	Vcc/VCL ^{*2}
2	PB ₀ /TP ₈ /TMO ₀ / CS ₇	PB ₀ /TP ₈ /TMO ₀ / CS ₇	PB ₀ /TP ₈ /TIOCA3	PB ₀ /TP ₈ /TIOCA3	PB ₀ /TP ₈ /TMO ₀ / CS ₇	PB ₀ /TP ₈ /TMO ₀ / CS ₇
3	PB ₁ /TP ₉ /TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ /TMIO ₁ / CS ₆	PB ₁ /TP ₉ /TIOCB3	PB ₁ /TP ₉ /TIOCB3	PB ₁ /TP ₉ /TMIO ₁ / DREQ ₀ /CS ₆	PB ₁ /TP ₉ /TMIO ₁ / CS ₆
4	PB ₂ /TP ₁₀ /TMO ₂ / CS ₅	PB ₂ /TP ₁₀ /TMO ₂ / CS ₅	PB ₂ /TP ₁₀ /TIOCA4	PB ₂ /TP ₁₀ /TIOCA4	PB ₂ /TP ₁₀ /TMO ₂ / CS ₅	PB ₂ /TP ₁₀ /TMO ₂ / CS ₅
5	PB ₃ /TP ₁₁ /TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ /TMIO ₃ / CS ₄	PB ₃ /TP ₁₁ /TIOCB4	PB ₃ /TP ₁₁ /TIOCB4	PB ₃ /TP ₁₁ /TMIO ₃ / DREQ ₁ /CS ₄	PB ₃ /TP ₁₁ /TMIO ₃ / CS ₄
6	PB ₄ /TP ₁₂ /UCAS	PB ₄ /TP ₁₂	PB ₄ /TP ₁₂ / TOCXA4	PB ₄ /TP ₁₂ / TOCXA4	PB ₄ /TP ₁₂ /UCAS	PB ₄ /TP ₁₂
7	PB ₅ /TP ₁₃ /LCAS/ SCK ₂	PB ₅ /TP ₁₃	PB ₅ /TP ₁₃ / TOCXB4	PB ₅ /TP ₁₃ / TOCXB4	PB ₅ /TP ₁₃ /LCAS/ SCK ₂	PB ₅ /TP ₁₃
8	PB ₆ /TP ₁₄ /TxD ₂	PB ₆ /TP ₁₄	PB ₆ /TP ₁₄ /DREQ ₀ / CS ₇	PB ₆ /TP ₁₄ /DREQ ₀	PB ₆ /TP ₁₄ /TxD ₂	PB ₆ /TP ₁₄
9	PB ₇ /TP ₁₅ /RxD ₂	PB ₇ /TP ₁₅	PB ₇ /TP ₁₅ /DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ /RxD ₂	PB ₇ /TP ₁₅
10	RES0/FWE ^{*1}	RES0/FWE ^{*1}	RES0/V _{PP}	RES0	RES0	NC/RES0
11	Vss	Vss	Vss	Vss	Vss	Vss
12	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀
13	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁
14	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀	P9 ₂ /RXD ₀
15	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁	P9 ₃ /RXD ₁
16	P9 ₄ /SCK ₁ /IRQ ₄	P9 ₄ /SCK ₁ /IRQ ₄	P9 ₄ /SCK ₁ /IRQ ₄	P9 ₄ /SCK ₁ /IRQ ₄	P9 ₄ /SCK ₁ /IRQ ₄	P9 ₄ /SCK ₁ /IRQ ₄
17	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅
18	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀	P4 ₀ /D ₀
19	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁	P4 ₁ /D ₁
20	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂	P4 ₂ /D ₂
21	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃	P4 ₃ /D ₃
22	Vss	Vss	Vss	Vss	Vss	Vss
23	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄	P4 ₄ /D ₄

付録

ピン番号	ROM 内蔵品				ROM レス品	
	H8/3067 グループ	H8/3062 グループ	H8/3048 グループ	H8/3042 グループ	H8/3007,H8/3006	H8/3008
24	P4 ₅ /D ₅	P4 ₅ /D ₅	P4 ₅ /D ₅			
25	P4 ₆ /D ₆	P4 ₆ /D ₆	P4 ₆ /D ₆			
26	P4 ₇ /D ₇	P4 ₇ /D ₇	P4 ₇ /D ₇			
27	P3 ₀ /D ₈	D ₈	D ₈			
28	P3 ₁ /D ₉	D ₉	D ₉			
29	P3 ₂ /D ₁₀	D ₁₀	D ₁₀			
30	P3 ₃ /D ₁₁	D ₁₁	D ₁₁			
31	P3 ₄ /D ₁₂	D ₁₂	D ₁₂			
32	P3 ₅ /D ₁₃	D ₁₃	D ₁₃			
33	P3 ₆ /D ₁₄	D ₁₄	D ₁₄			
34	P3 ₇ /D ₁₅	D ₁₅	D ₁₅			
35	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
36	P1 ₀ /A ₀	A ₀	A ₀			
37	P1 ₁ /A ₁	A ₁	A ₁			
38	P1 ₂ /A ₂	A ₂	A ₂			
39	P1 ₃ /A ₃	A ₃	A ₃			
40	P1 ₄ /A ₄	A ₄	A ₄			
41	P1 ₅ /A ₅	A ₅	A ₅			
42	P1 ₆ /A ₆	A ₆	A ₆			
43	P1 ₇ /A ₇	A ₇	A ₇			
44	Vss	Vss	Vss	Vss	Vss	Vss
45	P2 ₀ /A ₈	A ₈	A ₈			
46	P2 ₁ /A ₉	A ₉	A ₉			
47	P2 ₂ /A ₁₀	A ₁₀	A ₁₀			
48	P2 ₃ /A ₁₁	A ₁₁	A ₁₁			
49	P2 ₄ /A ₁₂	A ₁₂	A ₁₂			
50	P2 ₅ /A ₁₃	A ₁₃	A ₁₃			
51	P2 ₆ /A ₁₄	A ₁₄	A ₁₄			
52	P2 ₇ /A ₁₅	A ₁₅	A ₁₅			
53	P5 ₀ /A ₁₆	A ₁₆	A ₁₆			
54	P5 ₁ /A ₁₇	A ₁₇	A ₁₇			
55	P5 ₂ /A ₁₈	A ₁₈	A ₁₈			
56	P5 ₃ /A ₁₉	A ₁₉	A ₁₉			
57	Vss	Vss	Vss	Vss	Vss	Vss
58	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT
59	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ
60	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK
61	P6 ₃ /φ	P6 ₃ /φ	φ	φ	P6 ₃ /φ	P6 ₃ /φ
62	STBY	STBY	STBY	STBY	STBY	STBY
63	RES	RES	RES	RES	RES	RES
64	NMI	NMI	NMI	NMI	NMI	NMI
65	Vss	Vss	Vss	Vss	Vss	Vss

ピン番号	ROM 内蔵品				ROM レス品	
	H8/3067 グループ	H8/3062 グループ	H8/3048 グループ	H8/3042 グループ	H8/3007,H8/3006	H8/3008
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
68	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
69	P6 ₃ /AS	P6 ₃ /AS	P6 ₃ /AS	P6 ₃ /AS	AS	AS
70	P6 ₄ /RD	P6 ₄ /RD	P6 ₄ /RD	P6 ₄ /RD	RD	RD
71	P6 ₅ /HWR	P6 ₅ /HWR	P6 ₅ /HWR	P6 ₅ /HWR	HWR	HWR
72	P6 ₆ /LWR	P6 ₆ /LWR	P6 ₆ /LWR	P6 ₆ /LWR	LWR	LWR
73	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀
74	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁
75	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂
76	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc
77	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}
78	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
79	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
80	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
81	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
82	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
83	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
84	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀
85	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁
86	AVss	AVss	AVss	AVss	AVss	AVss
87	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /IRQ ₀
88	P8 ₁ /CS ₀ /IRQ ₁	P8 ₁ /CS ₀ /IRQ ₁	P8 ₁ /CS ₀ /IRQ ₁	P8 ₁ /CS ₀ /IRQ ₁	P8 ₁ /CS ₀ /IRQ ₁	P8 ₁ /CS ₀ /IRQ ₁
89	P8 ₂ /CS ₀ /IRQ ₂	P8 ₂ /CS ₀ /IRQ ₂	P8 ₂ /CS ₀ /IRQ ₂	P8 ₂ /CS ₀ /IRQ ₂	P8 ₂ /CS ₀ /IRQ ₂	P8 ₂ /CS ₀ /IRQ ₂
90	P8 ₃ /CS ₀ /IRQ ₃ / ADTRG	P8 ₃ /CS ₀ /IRQ ₃ / ADTRG	P8 ₃ /CS ₀ /IRQ ₃	P8 ₃ /CS ₀ /IRQ ₃	P8 ₃ /CS ₀ /IRQ ₃ / ADTRG	P8 ₃ /CS ₀ /IRQ ₃ / ADTRG
91	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀
92	Vss	Vss	Vss	Vss	Vss	Vss
93	PA _n /TP _n / TEND _n /TCLKA	PA _n /TP _n /TCLKA	PA _n /TP _n / TEND _n /TCLKA	PA _n /TP _n / TEND _n /TCLKA	PA _n /TP _n / TEND _n /TCLKA	PA _n /TP _n /TCLKA
94	PA _n /TP _n / TEND _n /TCLKB	PA _n /TP _n /TCLKB	PA _n /TP _n / TEND _n /TCLKB	PA _n /TP _n / TEND _n /TCLKB	PA _n /TP _n / TEND _n /TCLKB	PA _n /TP _n /TCLKB
95	PA ₂ /TP ₂ / TIOCA ₂ /TCLKC	PA ₂ /TP ₂ / TIOCA ₂ /TCLKC	PA ₂ /TP ₂ / TIOCA ₂ /TCLKC	PA ₂ /TP ₂ / TIOCA ₂ /TCLKC	PA ₂ /TP ₂ / TIOCA ₂ /TCLKC	PA ₂ /TP ₂ / TIOCA ₂ /TCLKC
96	PA ₃ /TP ₃ / TIOCB ₃ /TCLKD	PA ₃ /TP ₃ / TIOCB ₃ /TCLKD	PA ₃ /TP ₃ / TIOCB ₃ /TCLKD	PA ₃ /TP ₃ / TIOCB ₃ /TCLKD	PA ₃ /TP ₃ / TIOCB ₃ /TCLKD	PA ₃ /TP ₃ / TIOCB ₃ /TCLKD
97	PA ₄ /TP ₄ /TIOCA ₄ / A ₂₃	PA ₄ /TP ₄ /TIOCA ₄ / A ₂₃	PA ₄ /TP ₄ /TIOCA ₄ / CS ₅ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₄ / A ₂₃	PA ₄ /TP ₄ /TIOCA ₄ / A ₂₃	PA ₄ /TP ₄ /TIOCA ₄ / A ₂₃
98	PA ₅ /TP ₅ /TIOCB ₅ / A ₂₂	PA ₅ /TP ₅ /TIOCB ₅ / A ₂₂	PA ₅ /TP ₅ /TIOCB ₅ / CS ₅ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₅ / A ₂₂	PA ₅ /TP ₅ /TIOCB ₅ / A ₂₂	PA ₅ /TP ₅ /TIOCB ₅ / A ₂₂
99	PA ₆ /TP ₆ /TIOCA ₆ / A ₂₁	PA ₆ /TP ₆ /TIOCA ₆ / A ₂₁	PA ₆ /TP ₆ /TIOCA ₆ / CS ₄ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₆ / A ₂₁	PA ₆ /TP ₆ /TIOCA ₆ / A ₂₁	PA ₆ /TP ₆ /TIOCA ₆ / A ₂₁
100	PA ₇ /TP ₇ /TIOCB ₇ / A ₂₀	PA ₇ /TP ₇ /TIOCB ₇ / A ₂₀	PA ₇ /TP ₇ /TIOCB ₇ / A ₂₀	PA ₇ /TP ₇ /TIOCB ₇ / A ₂₀	PA ₇ /TP ₇ /TIOCB ₇ / A ₂₀	PA ₇ /TP ₇ /TIOCB ₇ / A ₂₀

- 【注】 *1 マスク ROM 内蔵製品は $\overline{\text{RESO}}$ 端子、フラッシュメモリ内蔵製品は FWE 端子として機能します。
*2 H8/3064F-ZTAT B マスク品および H8/3062F-ZTAT B マスク品の 5V 動作品では V_{CL} 端子となり、外付けコンデンサ (0.1 μ F) が必要となります。

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/3008

発行年月日 2000年9月 第1版
2007年8月9日 Rev.4.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/3008
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0423-0400