

EP3-AM1

ユーザーズマニュアル ハードウェア編

32 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOS デバイスの一般的注意事項

(1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS デバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

(3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOS デバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

(5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

(6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

- 対 象 者** このマニュアルは V850E2 CPU コア内蔵マイクロコンピュータ機能チップ「EP3-AM1」の機能を理解し、それを用いた応用評価システムを設計するユーザを対象とします。
- 目 的** このマニュアルは、EP3-AM1 のハードウェア機能をユーザに理解していただくことを目的としています。
- 読 み 方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。

基本仕様と使用方法を一通り理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- | | |
|-------------|--|
| データ表記の重み | : 左が上位桁, 右が下位桁 |
| アクティブ・ローの表記 | : xxxZ (端子, 信号名称のあとに Z) |
| 注 | : 本文中につけた注の説明 |
| 注意 | : 気をつけて読んでいただきたい内容 |
| 備考 | : 本文の補足説明 |
| 数の表記 | : 2 進数 ... xxxx または xxxxB
10 進数 ... xxxx
16 進数 ... xxxxH |
- 2 のべき数を示す接頭語 (アドレス空間, メモリ容量):
- | | |
|--------|-----------------------|
| K (キロ) | ... $2^{10} = 1024$ |
| M (メガ) | ... $2^{20} = 1024^2$ |
| G (ギガ) | ... $2^{30} = 1024^3$ |
- データ・タイプ
- | | |
|--------|------------|
| : ワード | ... 32 ビット |
| ハーフワード | ... 16 ビット |
| バイト | ... 8 ビット |

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。

EP3-AM1 に関する資料

資料名	資料番号
V850E2M ユーザーズ・マニュアル アーキテクチャ編	U19949
EP3-AM1 ユーザーズ・マニュアル ハードウェア編	このマニュアル

この資料に記載されている会社名，製品名などは，各社の商標または登録商標です。

目 次

第 1 章 イントロダクション … 1

- 1.1 概 説 … 1
- 1.2 特 徴 … 6
- 1.3 内部クロックの定義 … 10
- 1.4 最高動作周波数の注意事項 … 11
- 1.5 応用分野 … 12
- 1.6 オーダ情報 … 12
- 1.7 端子接続図 (404 ピン□23mm) … 13
- 1.8 機能ブロック構成 … 17
 - 1.8.1 EP3-AM1 内部ブロック図 … 17

第 2 章 端子機能 … 18

- 2.1 端子機能一覧 … 18
 - 2.1.1 ポート端子 … 18
 - 2.1.2 16 ビット・タイマ／カウンタ AA (TAA) 入出力端子 … 22
 - 2.1.3 16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力端子 … 23
 - 2.1.4 シリアル・インタフェース入出力端子 … 24
 - 2.1.5 外部割り込み入力端子 … 25
 - 2.1.6 DMA 入出力端子 … 26
 - 2.1.7 プライマリ・メモリ・コントローラ (MEMC #1) 端子 … 27
 - 2.1.8 セカンダリ・メモリ・コントローラ (MEMC #2) 端子 … 28
 - 2.1.9 シリアル・フラッシュ ROM インタフェース端子 … 29
 - 2.1.10 A/D コンバータ用端子 … 29
 - 2.1.11 Nexus インタフェース端子 … 29
 - 2.1.12 システム端子 … 30
 - 2.1.13 テスト端子 … 30
 - 2.1.14 動作モード設定端子 … 31
- 2.2 端子状態 … 32
 - 2.2.1 プライマリ・メモリ・コントローラ (MEMC #1) 端子, 内蔵周辺機能端子 … 32
 - 2.2.2 セカンダリ・メモリ・コントローラ端子, DMA チャンネル 4, 5 端子 … 33
- 2.3 電源投入／遮断手順 … 34
- 2.4 端子機能の説明 … 35
 - 2.4.1 ポート端子 … 35
 - 2.4.2 内蔵周辺機能 (タイマ, シリアル・インタフェース) 入出力端子 … 56
 - 2.4.3 外部割り込み入力端子 … 59
 - 2.4.4 DMA 端子 … 61
 - 2.4.5 プライマリ・メモリ・コントローラ (MEMC #1) 端子 … 62
 - 2.4.6 セカンダリ・メモリ・コントローラ (MEMC #2) 端子 … 67

2.4.7	シリアル・フラッシュ ROM インタフェース端子	…	70
2.4.8	A/D コンバータ端子	…	71
2.4.9	Nexus インタフェース端子	…	72
2.4.10	システム端子	…	73
2.4.11	動作モード設定端子	…	77
2.4.12	テスト端子	…	79
2.5	動作モード・モニタ機能	…	80
2.5.1	動作モード・モニタ・レジスタ	…	80
2.6	バッファ機能切り替え機能	…	81
2.6.1	バッファ機能切り替えレジスタの初期値	…	81
2.6.2	バッファ機能切り替えレジスタ (DRCTRL)	…	83
2.7	各端子のバッファ・タイプ	…	87

第3章 CPU 機能 … 94

3.1	特 徴	…	94
3.2	CPU レジスタ・セット	…	95
3.2.1	プログラム・レジスタ・セット	…	96
3.2.2	システム・レジスタ・バンク	…	98
3.2.3	レジスタ・バンク選択レジスタ (BSEL)	…	100
3.2.4	CPU 機能グループ／基本バンク	…	101
3.2.5	CPU 機能バンク／例外ハンドラ・アドレス切り替え機能バンク	…	110
3.2.6	ユーザ・グループ	…	113
3.3	浮動小数点演算機能	…	114
3.3.1	特 徴	…	114
3.3.2	レジスタ・セット	…	115
3.3.3	データ・タイプ	…	122
3.4	アドレス空間	…	125
3.4.1	CPU アドレス空間	…	125
3.4.2	メモリ・マップ	…	126
3.4.3	領 域	…	127
3.4.4	周辺 I/O レジスタ	…	129
3.5	起動手順	…	178
3.5.1	ブート選択	…	178
3.5.2	命令 RAM キャッシュの初期化	…	178
3.5.3	初期化シーケンス	…	179
3.5.4	A20-A26 の設定	…	185
3.5.5	周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT)	…	185
3.5.6	ベクタ・アドレス関連レジスタ	…	186
3.5.7	命令 RAM モード・レジスタ (IRAMM)	…	188
3.5.8	命令 RAM キャッシュ関連レジスタ	…	189
3.5.9	外部メモリ・ブートの動作例	…	190

第4章 システム・バス・ブリッジとキャッシュ機能 … 191

- 4.1 特 徴 … 192
- 4.2 CPCLK と HCLK の分周比設定 … 193
- 4.3 領域設定 … 194
 - 4.3.1 キャッシュ領域／バッファ領域を設定できる空間 … 194
 - 4.3.2 キャッシュ領域／バッファ領域の設定レジスタ … 195
 - 4.3.3 キャッシュ領域／バッファ領域設定の優先度 … 195
 - 4.3.4 アドレス・レジスタとマスク・レジスタの動作 … 196
- 4.4 制御レジスタ … 197
 - 4.4.1 システム・バス・ブリッジ設定レジスタ (ETSCFG) … 197
 - 4.4.2 システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD) … 198
 - 4.4.3 システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn) … 199
 - 4.4.4 システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn) … 200
 - 4.4.5 システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn) … 201
- 4.5 ダイレクト・アクセス機能 … 202
- 4.6 バッファ機能 … 203
 - 4.6.1 リード・バッファ機能 … 203
 - 4.6.2 ライト・バッファの機能 … 204
 - 4.6.3 リード・バッファ／ライト・バッファ共通機能 … 204
 - 4.6.4 バッファ機能の設定 … 205
 - 4.6.5 リード・バッファ動作 … 207
 - 4.6.6 ライト・バッファ動作 … 208
 - 4.6.7 リード・バッファ／ライト・バッファ共通の動作 … 209
- 4.7 キャッシュ機能 … 210
 - 4.7.1 キャッシュ機能の特長 … 210
 - 4.7.2 制御レジスタ … 211
 - 4.7.3 動 作 … 212
- 4.8 ワーク RAM 機能 … 217
 - 4.8.1 ワーク RAM の概要 … 217
 - 4.8.2 ワーク RAM の配置アドレス … 218
 - 4.8.3 IDLE モード設定時の動作 … 218

第5章 プライマリ・メモリ・コントローラ … 219

- 5.1 MEMC #1 の概要 … 219
- 5.2 特 徴 … 220
- 5.3 バス制御機能 … 223
 - 5.3.1 MEMC #1 の制御レジスタ … 223
- 5.4 メモリ接続例 … 241
 - 5.4.1 SRAM の接続例 … 241
 - 5.4.2 ページ ROM の接続例 … 242
 - 5.4.3 SDRAM の接続例 … 243

5.5	外部ウェイト機能	...	244
5.6	スタンバイ機能	...	247
5.7	バス・ホールド機能	...	247
5.8	制御レジスタ設定手順	...	248
5.9	SDRAM アクセスの状態遷移	...	249
5.10	メモリ・アクセス・タイミング例	...	251

第6章 セカンダリ・メモリ・コントローラ ... 259

6.1	MEMC #1 インタフェース信号との対比	...	260
6.2	MEMC #2 の概要	...	261
6.3	特 徴	...	262
6.4	バス制御機能	...	264
6.4.1	MEMC #2 の制御レジスタ	...	264
6.5	外部ウェイト機能	...	274
6.6	スタンバイ機能	...	275
6.7	バス・ホールド機能	...	275
6.8	制御レジスタ設定手順	...	276
6.9	メモリ・アクセス・タイミング例	...	276

第7章 シリアル・フラッシュ ROM メモリ・コントローラ ... 277

7.1	特 徴	...	277
7.2	端子機能	...	277
7.3	シリアル・フラッシュ ROM のメモリ空間への配置	...	278
7.4	制御レジスタ	...	279
7.5	シリアル・フラッシュ ROM との接続	...	289
7.6	動 作	...	290
7.6.1	SPI バスの動作	...	290
7.6.2	SPI バスのタイミング調整	...	291
7.6.3	シリアル・フラッシュ ROM アクセスで用いる SPI 命令セット	...	296
7.6.4	SPI バス・サイクルのアレンジ	...	299
7.6.5	Deep Power-Down の自動解除	...	301
7.6.6	直接通信	...	302

第8章 セントラル DMA コントローラ（セントラル DMAC） ... 303

8.1	セントラル DMAC の概要	...	303
8.2	用語定義	...	306
8.3	セントラル DMAC のレジスタ	...	307
8.4	DMA 転送の設定フロー	...	329
8.5	セントラル DMAC の転送モード	...	330
8.5.1	シングル転送モード（ハードウェア：割り込み信号による DMA 転送要求時）	...	330
8.5.2	シングルステップ転送モード（ソフトウェア DMA 転送要求時）	...	330

8.6	DMA チャンネルの優先順位	...	330
8.7	DMA 転送要求の有効条件	...	331
8.8	割り込み信号による DMA 転送要求の受け付け	...	331
8.9	DMA 転送回数一致割り込み	...	332
8.10	ネクスト・アドレス機能	...	333
8.11	DMA 転送の中断／再開	...	334
8.12	エラー・レスポンス	...	335
8.13	IDLE モード設定時の動作	...	335
8.14	DMA 転送トリガ選択機能	...	336

第9章 システム・バス DMA コントローラ（システム・バス DMAC） ... 342

9.1	システム・バス DMAC の概要	...	342
9.2	用語定義	...	347
9.3	システム・バス DMAC のレジスタ	...	348
9.3.1	レジスタ構成	...	348
9.3.2	Next レジスタ・セット	...	350
9.3.3	Current レジスタ・セット	...	353
9.3.4	チャンネル・レジスタ・セット	...	356
9.3.5	リンク・レジスタ・セット	...	373
9.3.6	DMA 制御レジスタ	...	378
9.3.7	DMA インタフェース・レジスタ	...	384
9.4	システム・バス DMAC の動作設定	...	394
9.4.1	レジスタ・モードとリンク・モードの選択	...	394
9.4.2	レジスタ・モード	...	395
9.4.3	リンク・モード	...	402
9.4.4	ライト・オンリー・モード	...	413
9.5	システム・バス DMAC の動作	...	414
9.5.1	転送モード	...	414
9.5.2	DMA チャンネルの優先順位制御	...	417
9.5.3	DMA 転送要求	...	419
9.5.4	DMA アクノリッジ出力機能	...	424
9.5.5	DMA 転送完了割り込み	...	430
9.5.6	DMA ターミナル・カウント出力機能	...	431
9.5.7	強制掃き出し機能	...	434
9.5.8	DMA エラー割り込み	...	434
9.5.9	インターバル・カウント機能	...	434
9.5.10	転送サイズによる動作の相違	...	435
9.5.11	転送状態	...	437
9.5.12	一時停止機能	...	437
9.5.13	転送中断機能	...	438
9.6	DMA 転送の設定例	...	439
9.6.1	設定例 1（レジスタ・モード，シングル転送モード，ハードウェア・トリガ）	...	439

9.6.2	設定例 2 (レジスタ・モード, ブロック転送モード, ソフトウェア・トリガ)	…	442
9.6.3	設定例 3 (レジスタ・モード: 連続実行, ブロック転送モード, ソフトウェア・トリガ)	…	445
9.6.4	設定例 4 (リンク・モード, ブロック転送モード, ソフトウェア・トリガ)	…	448
9.7	注意事項	…	451

第 10 章 割り込み／例外処理機能 … 452

10.1	例外ハンドラ・アドレス切り替え機能	…	462
10.1.1	例外ハンドラ・アドレスの決定	…	462
10.1.2	例外ハンドラ・アドレス切り替え機能の設定方法	…	463
10.2	割り込みコントローラの制御レジスタ	…	466
10.2.1	EI レベル割り込み制御レジスタ	…	466
10.2.2	EI レベル割り込みマスク・レジスタ	…	469
10.2.3	インサービス・プライオリティ・レジスタ	…	472
10.2.4	プライオリティ・マスク・レジスタ	…	474
10.2.5	インサービス・プライオリティ・クリア・レジスタ (ISPC)	…	475
10.2.6	選択チャンネル保持レジスタ	…	476
10.2.7	割り込みコントローラ・ステータス・レジスタ	…	477
10.2.8	FE レベル・マスカブル割り込み制御レジスタ	…	479
10.2.9	割り込みコントローラのレジスタのアクセス方法	…	480
10.3	割り込みの受け付けと復帰	…	481
10.3.1	NMI 端子による FE レベル・マスカブル割り込み	…	481
10.3.2	FE レベル・マスカブル割り込み (FEINT) からの復帰	…	483
10.3.3	EIINT 割り込み要求による EI レベル・マスカブル割り込み	…	484
10.3.4	EI レベル・マスカブル割り込み (EIINT) からの復帰	…	486
10.4	割り込み動作	…	487
10.4.1	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能	…	487
10.4.2	割り込み優先度判断	…	487
10.4.3	優先度マスク機能	…	492
10.4.4	保留割り込み通知機能	…	493
10.4.5	イン・サービス・プライオリティ・クリア機能	…	493
10.5	IDLE モードの解除が可能な割り込み／例外	…	494
10.6	外部割り込みのトリガ・モードの選択	…	495
10.6.1	外部割り込みモード・レジスタ 0-4 (INTM0-INTM4)	…	495
10.7	デジタル・ノイズ・フィルタ	…	498
10.7.1	ノイズ・フィルタ設定レジスタ	…	499
10.7.2	ノイズ・フィルタの動作	…	503

第 11 章 クロック発生機能 … 504

11.1	特 徴	…	504
11.2	構 成	…	505
11.3	発振ブロック	…	506

11.4	CPU 動作クロックと、バス・クロック、周辺マクロ・クロックの分周比設定	…	506
11.5	クロック発生機能の制御レジスタ	…	507
11.5.1	PLL 動作モード設定レジスタ (EP3PLLCFG)	…	508
11.5.2	システム・クロック選択レジスタ (SYSCLKSEL)	…	511
11.5.3	PLL プロテクト・コマンド・レジスタ (PLLPCMD)	…	512
11.5.4	PLL ステータス・レジスタ (PLLS)	…	513
11.6	PLL 動作への移行方法	…	514
11.7	動作クロックの規定	…	515
11.7.1	動作周波数の最小値, 最大値, 平均値	…	515
11.7.2	BUSCLK 周波数の算出	…	517
11.7.3	各内蔵周辺機能の動作クロック周波数の算出	…	518
11.8	パワー・セーブ制御	…	520
11.8.1	概 要	…	520
11.8.2	各クロックの動作状態	…	521
11.9	パワー・セーブ機能の制御レジスタ	…	522
11.9.1	パワー・セーブ・コントロール・レジスタ (PSC)	…	523
11.9.2	スタンバイ解除要因マスク設定レジスタ (SRFMK)	…	524
11.9.3	STBC プロテクト・コマンド・レジスタ (STBPCMD)	…	525
11.9.4	HALT モード	…	526
11.9.5	IDLE モード	…	529

第 12 章 16 ビット・インターバル・タイマ M (TMM) … 535

12.1	概 要	…	535
12.2	構 成	…	536
12.3	制御レジスタ	…	539
12.4	動 作	…	540
12.4.1	インターバル・タイマ・モード	…	540
12.5	TMM 専用プリスケアラ	…	544
12.5.1	制御レジスタ	…	545
12.5.2	動 作	…	547
12.6	IDLE モード解除トリガ	…	548
12.7	A/D コンバータの変換トリガ	…	548
12.8	注意事項	…	549

第 13 章 16 ビット・タイマ／カウンタ AA (TAA) … 550

13.1	概 要	…	550
13.2	機 能	…	550
13.3	構 成	…	551
13.4	レジスタ	…	555
13.5	タイマ出力動作説明	…	568
13.6	動 作	…	569

13.6.1	基本動作	...	570
13. .2	インターバル・タイマ・モード (TAA _n MD2-TAA _n MD0 ビット = 000)	...	576
13. .3	ワンショット・パルス出力モード (TAA _n MD2-TAA _n MD0 ビット = 011)	...	586
13. .4	PWM 出力モード (TAA _n MD2-TAA _n MD0 ビット = 100)	...	593
13. .5	フリー・ランニング・タイマ・モード (TAA _n MD2-TAA _n MD0 ビット = 101)	...	602
13. .6	パルス幅測定モード (TAA _n MD2-TAA _n MD0 ビット = 110)	...	618
13.7	注意事項	...	624

第 14 章 16 ビット・タイマ／イベント・カウンタ T (TMT) ... 626

14.1	概 要	...	626
14.2	機 能	...	627
14.3	構 成	...	628
14.4	レジスタ	...	632
14.5	タイマ出力動作説明	...	654
14.6	動 作	...	655
14.6.1	基本動作	...	656
14.6.2	インターバル・タイマ・モード (TT _n MD3-TT _n MD0 ビット = 0000)	...	664
14.6.3	外部イベント・カウント・モード (TT _n MD3-TT _n MD0 ビット = 0001)	...	674
14.6.4	外部トリガ・パルス出力モード (TT _n MD3-TT _n MD0 ビット = 0010)	...	685
14.6.5	ワンショット・パルス出力モード (TT _n MD3-TT _n MD0 ビット = 0011)	...	698
14.6.6	PWM 出力モード (TT _n MD3-TT _n MD0 ビット = 0100)	...	705
14.6.7	フリー・ランニング・タイマ・モード (TT _n MD3-TT _n MD0 ビット = 0101)	...	714
14.6.8	パルス幅測定モード (TT _n MD3-TT _n MD0 ビット = 0110)	...	732
14.6.9	三角波 PWM 出力モード (TT _n MD3-TT _n MD0 ビット = 0111)	...	738
14.6.10	エンコーダ・カウント機能	...	741
14.6.11	エンコーダ・コンペア・モード (TT _n MD3-TT _n MD0 ビット = 1000)	...	757
14.7	注意事項	...	765

第 15 章 ウォッチドッグ・タイマ機能 ... 767

15.1	機 能	...	767
15.2	構 成	...	768
15.3	制御レジスタ	...	769
15.4	動 作	...	771

第 16 章 アシンクロナス・シリアル・インタフェース ... 772

16.1	特 長	...	772
16.2	制御レジスタ	...	773
16.3	動 作	...	790
16.3.1	UART シリアル・プロトコル	...	790
16.3.2	割り込み	...	791
16.3.3	DMA インタフェース	...	794

16.4	受信データのノイズ・フィルタ	...	801
16.4.1	ノイズ・フィルタ設定レジスタ	...	801

第 17 章 クロック同期式シリアル・インタフェース (CSI3) ... 802

17.1	特 徴	...	802
17.2	構 成	...	803
17.3	制御レジスタ	...	805
17.4	専用ボー・レート・ジェネレータ 0-7 (BRG0-BRG7)	...	817
17.4.1	転送クロック	...	817
17.4.2	ボー・レート	...	818
17.5	動 作	...	819
17.6	使用方法	...	840
17.7	注意事項	...	847

第 18 章 A/D コンバータ ... 849

18.1	特 徴	...	849
18.2	構 成	...	850
18.3	制御レジスタ	...	852
18.4	動 作	...	859
18.4.1	基本動作	...	859
18.4.2	動作モードとトリガ・モード	...	859
18.5	A/D トリガ・モード時の動作	...	864
18.5.1	セレクト・モードの動作	...	864
18.5.2	スキャン・モードの動作	...	866
18.6	タイマ・トリガ・モード時の動作	...	867
18.6.1	セレクト・モードの動作	...	867
18.6.2	スキャン・モードの動作	...	870
18.7	外部トリガ・モード時の動作	...	871
18.7.1	セレクト・モードの動作	...	871
18.7.2	スキャン・モードの動作 (外部トリガ・スキャン)	...	874
18.8	動作上の注意事項	...	875

第 19 章 ポート機能 ... 879

19.1	特 徴	...	879
19.2	ポートの基本構成	...	880
19.3	ポートの構成	...	886
19.4	ポート・レジスタ (P0-P9, PA-PE)	...	888
19.5	ポート・モード・レジスタ (PM0-PM9, PMA-PME)	...	889
19.6	ポート・モード・コントロール・レジスタ (PMCT0-PMCT9, PMCTA-PMCTE)	...	890
19.7	ポート・ファンクション・コントロール・レジスタ		

(PFC2, PFEC3, PFC5, PFC9, PFCA-PFCE) ...	892
19.8 ポート・ファンクション・コントロール拡張レジスタ	
(PFCEX9, PFCEXA) ...	894
19.9 ポート端子入力レジスタ (PIN0-PIN9, PINA-PINE) ...	895
19.10 兼用機能の選択一覧 ...	896
19.11 バッファ機能切り替えレジスタ (DRCTRL) ...	900
19.12 ポート構成 ...	903
19.12.1 ポート 0 ...	903
19.12.2 ポート 1 ...	904
19.12.3 ポート 2 ...	905
19.12.4 ポート 3 ...	908
19.12.5 ポート 4 ...	913
19.12.6 ポート 5 ...	915
19.12.7 ポート 6 ...	917
19.12.8 ポート 7 ...	920
19.12.9 ポート 8 ...	925
19.12.10 ポート 9 ...	931
19.12.11 ポート A ...	935
19.12.12 ポート B ...	939
19.12.13 ポート C ...	941
19.12.14 ポート D ...	945
19.12.15 ポート E ...	949
19.13 ポート機能の動作 ...	953
19.13.1 入出力ポートへのリード／ライト動作 ...	953
19.13.2 コントロール・モード時の兼用機能の出力状態 ...	953
19.14 ノイズ除去回路 ...	954
19.14.1 ノイズ・フィルタ設定レジスタ ...	955
19.14.2 ノイズ・フィルタの動作 ...	959

第 20 章 リセット機能 ... 960

20.1 概 要 ...	960
20.2 動 作 ...	961
20.2.1 リセット入力のノイズ除去 ...	964
20.2.2 リセット出力 ...	964
20.2.3 PONR 入力 ...	964
20.3 イニシャライズ ...	965

第 21 章 デバッグ機能 ... 966

21.1 機能概要 ...	966
21.1.1 デバッグ機能 ...	966
21.1.2 トレース機能 ...	967

21.1.3 イベント機能	968
21.2 RTE-2000H-TP+PB-NEXUS-N38 のハードウェア仕様	969
21.3 ターゲット・ボード設計上の注意事項	971
21.3.1 推奨回路	971
21.3.2 接続コネクタ	972

第 22 章 電気的特性 … 973

22.1 用語説明	973
22.2 絶対最大定格	975
22.3 推奨動作範囲	975
22.4 DC 特性	976
22.5 ブルアップ／ブルダウン抵抗値	976
22.6 AC 特性	977
22.6.1 クロック端子	977
22.6.2 MEMC #1 インタフェース端子	979
22.6.3 MEMC #2 インタフェース端子	989
22.6.4 DMA インタフェース端子	995
22.6.5 CSI インタフェース端子	997
22.6.6 シリアル・フラッシュ ROM インタフェース端子	1000
22.6.7 Nexus インタフェース端子	1001
22.7 A/D コンバータ特性	1005
22.8 端子負荷容量	1006
22.8.1 MEMC #1 インタフェース端子	1006
22.8.2 MEMC #2 インタフェース端子	1007
22.8.3 DMA インタフェース端子	1008
22.9 内蔵 SSCG-PLL の特性	1009
22.9.1 推奨動作範囲	1009
22.9.2 電気的特性	1009

第 23 章 外形図 … 1010

第 24 章 半田付け推奨条件 … 1011

第1章 イン트로ダクション

EP3-AM1 は、デュアル・メモリ・コントローラを持つ V850E2M コア内蔵 32 ビット・シングルチップ・マイクロコンピュータです。

この章では、EP3-AM1 の概要を簡単に説明します。

1.1 概 説

EP3-AM1 は V850E2M CPU コアを採用しています。CPU コアには浮動小数点演算機能、メモリ保護機能を内蔵し、また CPU 周辺機能として命令 RAM、データ RAM、ワーク RAM、セントラル DMA コントローラ、割り込みコントローラ、メモリ・サイド・キャッシュを内蔵しています。これらを含めて CPU サブシステムと呼びます。

この CPU サブシステムとともに、システム・バス DMA コントローラを内部システム・バスのバス・マスタとして内蔵しています。

外部メモリ・アクセス機能は、2 系統のバス・インタフェースを持ち、プライマリ・メモリ・コントローラ (MEMC #1) はページ ROM, SRAM, SDRAM インタフェースに対応し、セカンダリ・メモリ・コントローラはページ ROM, SRAM インタフェースに対応しています。

汎用周辺機能として、汎用ポート、タイマ、シリアル・インタフェース、A/D コンバータが内蔵されており、シングルチップ・マイクロコンピュータとしての機能を実現しています。

表 1-1 EP3-AM1 の機能概要

(1/2)

項目	品名	EP3-AM1
CPU コア		V850E2M CPU コア FPU 内蔵
最小命令実行時間		3.76ns (266MHz 動作時)
命令セット		V850E2M 命令セット
命令 RAM (I_RAM)		512K バイト内蔵
データ RAM (D_RAM)		32K バイト
ワーク RAM (W_RAM)		64K バイト×2 バンク CPU サブシステム, 内部システム・バスのバス・マスタの双方からアクセス可能。
メモリ・サイド・キャッシュ		16K バイト 4 ウエイ内蔵
内部システム・バス		32 ビット・マルチレイヤ 100.0MHz (MAX.) CPU 動作クロックの 2 分周/3 分周/4 分周から選択
セントラル DMA コントローラ		CPU サブシステムに内蔵。16 チャンネル (ソフトウェア・トリガ, 各種割り込み信号からの DMA 起動が可能)
システム・バス DMA コントローラ		内部システム・バスのバス・マスタとして動作。8 チャンネル (ソフトウェア・トリガ, 各種割り込み信号, 端子入力による DMA 起動が可能) DMA インタフェース信号 (リクエスト, アクノリッジ, ターミナル・カウント信号) ・外部 DMA インタフェース: 6 チャンネル分 (うち 2 チャンネル分は専用端子)
ブート・モード選択機能		・シリアル・フラッシュ ROM ブート (シリアル・フラッシュ ROM メモリ・コントローラ) ・MEMC #1 ブート (STCSZ0 に接続されたメモリ) ・MEMC #2 ブート (SCSZ0 に接続されたメモリ)
プライマリ・メモリ・コントローラ (MEMC #1) 機能		100.0MHz (MAX.) , CPU 動作クロックの 1/2, 1/3, 1/4 に設定 32/16 ビット・インタフェース ・ページ ROM/ROM/SRAM/SDRAM インタフェース ・スタティック・メモリ用チップ・セレクト信号: 4 本 ・SDRAM 用チップ・セレクト信号: 1 本 ・プログラム/データ空間: 合計 176M バイト ページ ROM/SRAM インタフェース: 32M バイト SRAM インタフェース: 合計 16M バイト (8M バイト+4M バイト+4M バイト) SDRAM インタフェース: 128M バイト ・プログラマブル・ウェイト機能: データ・ウェイト, アドレス設定ウェイト, アイドル・ステート, ライト・リカバリ・ウェイト
セカンダリ・メモリ・コントローラ (MEMC #2) 機能		100.0MHz (MAX.) , CPU 動作クロックの 1/2, 1/3, 1/4 に設定 32/16 ビット・インタフェース ・ページ ROM/ROM/SRAM インタフェース ・スタティック・メモリ用チップ・セレクト信号: 4 本 ・プログラム/データ空間: 合計 48M バイト ページ ROM/SRAM インタフェース: 32M バイト SRAM インタフェース: 合計 16M バイト (8M バイト+4M バイト+4M バイト) ・プログラマブル・ウェイト機能: データ・ウェイト, アドレス設定ウェイト, アイドル・ステート, ライト・リカバリ・ウェイト

(2/2)

項目	品名	EP3-AM1
シリアル・フラッシュ ROM メモリ・コントローラ機能		・ 各社 SPI 互換シリアル・インタフェース対応 ・ シリアル・メモリ・デバイスから直接ブート可能 ・ Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応 ・ メモリ空間に直接割り付け可能
割り込み／例外		・ FE レベル・マスカブル割り込み (NMI) 1 本 ・ EI レベル・マスカブル割り込み 152 本 ユーザ割り込み 50 本 (外部割り込み) 内部割り込み 102 本 ・ 16 レベルの優先順位指定可能 ・ 有効エッジ選択機能 ・ 可変デジタル・ノイズ・フィルタ機能
内蔵周辺機能		
I/O ポート		CMOS 入出力：112 本
インターバル・タイマ		16 ビット×6 チャンネル
プリスケアラ・タイマ		インターバル・タイマ機能として 6 チャンネル
16 ビット・タイマ／カウンタ AA (TAA)		16 ビット×6 チャンネル
16 ビット・タイマ／イベント・カウンタ T (TMT)		16 ビット×2 チャンネル
ウォッチドッグ・タイマ		1 チャンネル
シリアル・インタフェース		16 バイト送受信 FIFO 内蔵アシンクロナス・シリアル・インタフェース×4 チャンネル (NS16550 ソフトウェア互換) 16 ビット×16 送受信 FIFO 内蔵クロック同期式シリアル・インタフェース×8 チャンネル
A/D コンバータ		4 チャンネル 10 ビット 500kHz A/D コンバータ
スタンバイ機能		IDLE/HALT モード (IDLE モードは、一部の割り込みとリセットで解除可能)
オンチップ・デバッグ機能		・ ラン／ブレーク機能, ・ トレース機能, ・ イベント機能
内蔵 PLL シンセサイザ		SSCG 機能付き逡倍 PLL レジスタ設定による PLL 動作モード切り替え可能
電源電圧		端子電源用：EVDD = 3.3±0.3V 内部電源用：IVDD = 1.0±0.1V
パッケージ		404 ピン PBGA (23×23, 1.0 mm ピッチ)

★

(1) 「V850E2M CPU」搭載

「V850E2M CPU」は、高性能、高機能、高信頼をコンセプトに設計された、リアルタイム制御マイコン向け CPU コアです。

高信頼プログラミングを可能にする様々な例外処理、倍精度／単精度浮動小数点演算命令機能、プログラムごとのメモリ・リソースを保護するためのメモリ保護機能を備えています。

(2) マルチレイヤ内部システム・バス構造

内部システム・バスは、32 ビット・データ・バス・マルチレイヤ構造を採用しています。

EP3-AM1 では、CPU とシステム・バス DMA コントローラが、それぞれ独立のレイヤを用いたバス・マスタとして相互接続されています。この構造により、バスのスループット向上を図りながら、外部メモリや、ワーク RAM を共用できます。

(3) 外部メモリ・インタフェース機能

外部メモリ・インタフェースには、2 系統のメモリ・コントローラと端子を内蔵しています。

双方ともセパレート構成のアドレス・バス、データ・バスで、プライマリ・メモリ・コントローラ (MEMC #1) はページ ROM, SRAM, SDRAM に対応し、セカンダリ・メモリ・コントローラ (MEMC #2) は、ページ ROM, SRAM に対応しています。端子設定により、どちらからもブート可能です。

(4) シリアル・フラッシュ ROM メモリ・コントローラ

セットの基板面積縮小に効果的なシリアル・フラッシュ ROM メモリ・コントローラを内蔵しています。

シリアル・フラッシュ ROM は、データ転送速度でパラレル接続 ROM に劣る反面、必要信号線が少なく、メモリに小型パッケージが採用されていることから、セットの基板面積縮小などの効果があります。

シリアル・フラッシュ ROM メモリ・コントローラを利用することで、シリアル・フラッシュ ROM を、システムのメモリ空間上に配置でき、特にソフトウェアから意識することなく、従来のパラレル接続 ROM と同様にアクセスでき、また直接のブートも可能です。

(5) メモリ・サイド・キャッシュ機能

CPU サブシステムと内部システム・バスの間には、16K バイト 4 ウエイのメモリ・サイド・キャッシュを内蔵しています。CPU からの外部メモリのアクセスに対して、アドレス範囲指定でキャッシュの ON/OFF 設定が可能です。

(6) 大容量 RAM 内蔵

EP3-AM1 は、用途別に 3 種類の大容量 RAM を内蔵しています。

RAM の種類	容量	機能呼称	呼称	フェッチ
命令 RAM	512K バイト	命令 RAM	I_RAM	可能
データ RAM	32K バイト	データ RAM	D_RAM	可能
ワーク RAM	64K バイト×2	ワーク RAM	W_RAM	可能

(a) 命令 RAM (I_RAM)

命令 RAM の接続には、ワイドな 128 ビット・フェッチ・バスを採用しています。リアルタイム性を必要とする、アプリケーション・プログラムの実行が可能です。主にプログラムや固定データに利用されます。プログラムの格納などを目的に、ライトが行えます。

(b) データ RAM (D_RAM)

データ RAM は 32K バイト実装しています。CPU と同一のクロックで、1 クロックでアクセス可能な高速データ RAM です。主に可変データやスタックに利用します。

(c) ワーク RAM (W_RAM)

CPU と、内部システム・バス上のバス・マスタの双方からアクセスできるワーク RAM を 64K バイト×2 バンク構成で内蔵しています。

2 バンク構造のため、CPU サブシステム側（CPU またはセントラル DMA コントローラ）と、内部システム・バスのシステム・バス DMA コントローラから別々のバンクを利用することで競合を回避できます。同一バンクを同時にアクセスした場合のみ調停が行われます。CPU が外部メモリをアクセスしている場合でも、CPU の外部メモリ・アクセスをさまたげることなく他のバス・マスタは同時にワーク RAM にアクセスできます。

1.2 特 徴

- 命令数 98
- 最小命令実行時間 3.76ns (内部 266MHz 動作時)
- 汎用レジスタ 32 ビット×32 本
- 命令セット
 - V850E2M CPU
 - ロング／ショート形式を持つロード／ストア命令
 - 飽和演算命令
 - ビット操作命令
 - 乗算命令 (ハードウェア乗算器内蔵により、1 クロックでの乗算処理が可能)
 - 16 ビット×16 ビット → 32 ビット
 - 32 ビット×32 ビット → 32 ビット、または 64 ビット
 - MAC 演算命令
 - 32 ビット×32 ビット+64 ビット→ 64 ビット
- メモリ空間 512M バイト・リニア・アドレス空間 (プログラム／データ共有)
- 浮動小数点ユニット (FPU)
 - ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠
- プロセッサ保護機能
 - 4 種類のリソースに対するアクセス制御機能
 - ・ システム・レジスタ保護
 - ・ 命令アドレス空間保護
 - ・ データ・アドレス空間保護
 - ・ 周辺装置保護

○プライマリ・メモリ・コントローラ (MEMC #1)

32 ビット・データ・バス (アドレス／データ分離型バス)

32／16 ビット・バス・サイジング機能

ページ ROM, ROM, SRAM, SDRAM に対応

合計 176M バイト・アドレス空間

SRAM インタフェース (ページ ROM 対応) : 32M バイト

SRAM インタフェース : 合計 16M バイト (8M バイト+4M バイト+4M バイト)

SDRAM : 128M バイト

バス・ホールド機能

プログラマブル・ウェイト機能

アドレス設定ウェイト

データ・ウェイト

ライト・リカバリ・ウェイト

アイドル・ステート

○セカンダリ・メモリ・コントローラ (MEMC #2)

32 ビット・データ・バス (アドレス／データ分離型バス)

32／16 ビット・バス・サイジング機能

ページ ROM, ROM, SRAM に対応

合計 48M バイト・アドレス空間

SRAM インタフェース (ページ ROM 対応) : 32M バイト

SRAM インタフェース : 合計 16M バイト (8M バイト+4M バイト+4M バイト)

バス・ホールド機能

プログラマブル・ウェイト機能

アドレス設定ウェイト

データ・ウェイト

ライト・リカバリ・ウェイト

アイドル・ステート

○内蔵メモリ	命令 RAM (I_RAM)	: 512K バイト
	データ RAM (D_RAM)	: 32K バイト
	ワーク RAM (W_RAM)	: 128K バイト (64K バイト×2)

○メモリ・サイド・キャッシュ

16K バイト 4 ウエイ・セット・アソシアティブ

○割り込み／例外

CPU と同一クロック動作の高速割り込みコントローラ

外部割り込み : 51 本 (NMI 含む)

内部割り込み : 102 要因

16 レベルの優先順位指定可能

可変デジタル・ノイズ・フィルタ機能

○セントラル DMA コントローラ

16 チャンネル構成

転送トリガ : ソフトウェア・トリガ／割り込み信号

転送データ・サイズ : 8／16／32／128 ビット

最大転送回数 : 32,768 (2¹⁵) 回

優先順位制御 : 固定優先順位

転送タイプ : 2 サイクル転送

転送モード : シングル転送モード (ハードウェア要求時)

シングルステップ転送モード (ソフトウェア DMA 転送要求時)

転送対象 : 命令 RAM, データ RAM, ワーク RAM, 内部システム・バス,
外部メモリ (MEMC #1, MEMC #2)

転送回数一致割り込み出力機能

転送完了割り込み出力機能

ネクスト・アドレス設定機能

○システム・バス DMA コントローラ

8 チャンネル構成

レジスタ・モードとリンク・モード (ディスクリプタ参照) を選択可能

チャンネルあたり 2 セットのレジスタを持ち、複合転送に対応

連続転送と離散転送に対応

バス占有率調整のため、転送インターバルを設定可能

16 段バッファ内蔵

転送トリガ : ソフトウェア・トリガ／割り込み信号／端子入力

転送データ・サイズ : 8／16／32／128／256／512 ビット

最大転送回数 : 2³²-1 回

優先順位制御 : 固定優先順位モード／ラウンドロビン・モード

転送タイプ : 2 サイクル転送

転送モード : シングル転送モード／ブロック転送モード

転送対象 : ワーク RAM, 内部システム・バス,

外部メモリ (MEMC #1, MEMC #2) , 命令 RAM の書き込み

6 チャンネル分の外部 DMA インタフェース端子

アクノリッジ出力機能 (リクエスト信号との連携動作可能)

転送完了割り込み出力機能

○シリアル・フラッシュ ROM メモリ・コントローラ機能

各社 SPI 互換シリアル・インタフェース対応

シリアル・メモリ・デバイスから直接ブート可能

Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応

メモリ空間に直接割り付け可能

○I/O ライン	112 本	
★ ○タイマ機能	16 ビット・インターバル・タイマ M (TMM)	: 6 チャンネル
	16 ビット・タイマ/カウンタ AA (TAA)	: 6 チャンネル
	16 ビット・タイマ/イベント・カウンタ T (TMT)	: 2 チャンネル
	プリスケアラ割り込み	: 6 本
○シリアル・インタフェース (SIO)		
	アシンクロナス・シリアル・インタフェース (UART)	: 4 チャンネル
	NS16550 ソフトウェア互換	
	送信/受信に独立に 16 バイト FIFO 内蔵	
	クロック同期式シリアル・インタフェース	: 8 チャンネル
	16/8 ビット・データ長対応	
	送信用, 受信用に各々 16 ビット×16 段の FIFO を搭載	
○A/D コンバータ	10 ビット分解能 A/D コンバータ: 4 入力	
	タイマ・トリガ, 外部トリガにも対応	
○クロック・ジェネレータ		
	SSCG 内蔵 PLL	
	内蔵 PLL の全通倍率設定, 全 SSCG モードの設定が可能	
○パワー・セーブ機能	HALT モード/IDLE モード	
○オンチップ・デバッグ機能		
	Nexus インタフェース	
	トレース機能 (トレース本数: 8 本)	
	イベント検出機能	
○パッケージ	404 ピン PBGA (23×23, 1.0 mm ピッチ)	
○CMOS 構造	完全スタティック回路	

1.3 内部クロックの定義

EP3-AM1 では、多数のクロックを使用しています。

本書に記載されている代表的クロック信号を下記に示します。

クロック信号	用途
OSCCLK	内蔵 SSCG-PLL 前段のクロックです。逡倍、変調される前のクロックです。 リセット解除後の CPU は、このクロックで動作します。 アシンクロナス・シリアル・インタフェース (UART) , タイマ/カウンタ (選択) は、このクロックを直接または分周して利用しています。
CPCLK	CPU のパイプライン用クロックです。命令 RAM, データ RAM, 割り込みコントローラ, セントラル DMA コントローラも CPCLK を基準にアクセスされます。 リセット解除後は、CPCLK = OSCCLK です。CPU は、このクロックで動作します。 ワーク RAM は、CPCLK と HCLK の両クロックでアクセスされます。 XT1, XT2 端子から入力されたクロックを、内蔵の PLL で逡倍して供給しています。
HCLK	内部システム・バスのクロックです。 システム・バス DMA コントローラ, メモリ・コントローラは HCLK を基準にアクセスされます。 ワーク RAM は、CPCLK と HCLK の両クロックでアクセスされます。 CPCLK を分周して供給されています。 CLKDV0-CLKDV2 端子で PCLK とともに CPCLK との分周関係を設定できます。
PCLK	内部周辺マクロ用のクロックです。 タイマ, シリアル・インタフェース, A/D コンバータなどの周辺回路は、PCLK を基準にアクセスされます。 CPCLK を分周して供給されています。 CLKDV0-CLKDV2 端子で HCLK とともに CPCLK との分周関係を設定できます。
BUSCLK	プライマリ・メモリ・コントローラ (MEMC #1) による外部バス・インタフェースのバス・クロックです。 HCLK と同一クロックです。
SBUSCLK	BUSCLK と同一のクロックで、セカンダリ・メモリ・コントローラ (MEMC #2) 用です。 HCLK と同一クロックです。

★

★

1.4 最高動作周波数の注意事項

EP3-AM1 は動作条件によって最高動作周波数が異なります。また CPCLK, HCLK, PCLK は、整数倍の関係にあり、HCLK は CPCLK の 1/2 以下、PCLK は 50MHz 以下の条件が加わります。このため、下記のように設定の組み合わせに制限があります。

表 1-2 EP3-AM1 の動作条件による最高動作周波数

優先クロック	クロック		
	CPCLK	HCLK, BUSCLK	PCLK
CPCLK	266MHz 注	88.7MHz	44.35MHz
HCLK, BUSCLK	200MHz	100MHz 注	50MHz

注 周波数決定の基準となるクロックです。

- 注意 1. EP3-AM1 の外部端子は、一定の負荷条件で電気的特性を算出しています。最高動作周波数については、基板の配線、外部メモリの負荷などの影響により、必ずしも実現できるものではありませんのでご了承ください。
2. BUSCLK の最高動作周波数を 100MHz でご使用になる場合は、お客様での評価にて負荷条件などに問題がないことを確認していただくようお願いいたします。なお当社の想定している条件は、この製品を利用する形態で最も一般的なフラッシュ ROM×1 個と SDRAM×1 個接続したケースで、基板を含めた経路検証結果を基にしています。

1.5 応用分野

○アミューズメント機器

1.6 オーダ情報

品名	パッケージ	最高動作周波数
μPD760190F1-KNB-A	404 ピン PBGA (23×23, 1.0 mm ピッチ)	266MHz

1.7 端子接続図 (404 ピン□23mm)

端子配置図を下記に示します。

注意 下記端子配置図は、Top View です。

	A	B	C	D	E	F	G	H	J	K	L																																
22	GND	P75/ IDLEOUTZ	P71/ STCSZ1	PA7/D31/ INTPZ49	GND	EVDD	PA0/D24/ TENC10	P94/D20/ EVT0/INTPZ44	BENZ0	DQM1	GND																																
21	D3	P81/ HLDAKZ	P77/ BENZ3	P73/ STCSZ3	WRSTBZ	PA4/D28/ EVT1/INTPZ48	PA2/D26/ TECR1/INTPZ46	P96/D22/ TIT01/TOT01	P92/D18/ TECR0/INTPZ42	SDCKE	DQM2																																
20	D7	D5	D1	D8	D2	P74/ DYCSZ	P72/ STCSZ2	RDZ	PA5/D29/ TIT10/TOT10	P97/D23/ INTPZ45	P93/D19/ TRGT0/INTPZ43																																
19	D13	D11	D9	D10	D4	P80/ HLDRQZ	P76/ BENZ2	STCSZ0	PA6/D30/ TIT11/TOT11	PA1/D25/ TENC11	P91/D17/ TENC01																																
18	GND	PB0/INTPZ32/ TIA40/TOA40	D15	D12	D6	D0	P82/ BUSREQZ	GND	EVDD	PA3/D27/ TRGT1/INTPZ47	P95/D21/ TIT00/TOT00																																
17	EVDD	PB2/INTPZ34/ TIA50/TOA50	PB3/INTPZ35/ TIA51/TOA51	PB1/INTPZ33/ TIA41/TOA41	D14	<table><tr><td>GND</td><td>GND</td><td>IVDD</td><td>IVDD</td></tr><tr><td>GND</td><td>GND</td><td>GND</td><td>IVDD</td></tr><tr><td>IVDD</td><td>GND</td><td>GND</td><td>GND</td></tr><tr><td>IVDD</td><td>IVDD</td><td>GND</td><td>GND</td></tr><tr><td>IVDD</td><td>IVDD</td><td>GND</td><td>GND</td></tr><tr><td>IVDD</td><td>GND</td><td>GND</td><td>GND</td></tr><tr><td>GND</td><td>GND</td><td>GND</td><td>IVDD</td></tr><tr><td>GND</td><td>GND</td><td>IVDD</td><td>IVDD</td></tr></table>						GND	GND	IVDD	IVDD	GND	GND	GND	IVDD	IVDD	GND	GND	GND	IVDD	IVDD	GND	GND	IVDD	IVDD	GND	GND	IVDD	GND	GND	GND	GND	GND	GND	IVDD	GND	GND	IVDD	IVDD
GND	GND	IVDD	IVDD																																								
GND	GND	GND	IVDD																																								
IVDD	GND	GND	GND																																								
IVDD	IVDD	GND	GND																																								
IVDD	IVDD	GND	GND																																								
IVDD	GND	GND	GND																																								
GND	GND	GND	IVDD																																								
GND	GND	IVDD	IVDD																																								
16	PD5/SI5/ DMATCZ1	PD4/SO5/ DMAACKZ1	PD2/SI4/ DMATCZ0	PD0/INTPZ36/ SCK4/DMAREQZ0	PD1/SO4 DMAACKZ0																																						
15	PE3/INTPZ39/ SCK7/DMAREQZ3	PE1/SO6/ DMAACKZ2	PE0/INTPZ38/ SCK6/DMAREQZ2	PD3/INTPZ37/ SCK5/DMAREQZ1	GND																																						
14	PE5/SI7/ DMATCZ3	P50/INTPZ24/ TIA00/TOA00	PE2/SI6/ DMATCZ2	PE4/SO7/ DMAACKZ3	EVDD																																						
13	P52/INTPZ26/ TIA10/TOA10	P53/INTPZ27/ TIA11/TOA11	P51/INTPZ25/ TIA01/TOA01	P54/INTPZ28/ TIA20/TOA20	P56/INTPZ30/ TIA30/TOA30																																						
12	EVDD	P55/INTPZ29/ TIA21/TOA21	P57/INTPZ31/ TIA31/TOA31	P03/ INTPZ3	P01/ INTPZ1																																						
11	GND	P02/ INTPZ2	P00/ INTPZ0	P07/ INTPZ7	P05/ INTPZ5																																						
10	XT1	P04/ INTPZ4	P06/ INTPZ6	GND	EVDD																																						
9	XT2	TMODE0	TMODE2	RESETZ	GND																																						
8	GND	TESTCLK	TMODE1	JTAGSEL	GND																																						
7	EVDD	BUS32EN1	BUS32EN0	PMODE	CLKDV1																																						
6	CLKDV0	PONR	CLKDV2	BOOTSEL1	GND																																						
5	BOOTSEL0	NMI	OSCTH	P25/ INTPZ21	GND	DMAACKZ5	SA24	EVDD	EVDD	GND	GND																																
4	P26/ INTPZ22	P27/INTPZ23/ WDTOUTZ	P22/ INTPZ18	P20/ INTPZ16	DMAREQZ5	SA23	SA18	SA14	SA11	SA9	SA4																																
3	P24/ INTPZ20	P23/ INTPZ19	DMATCZ5	SHLDAKZ	SWAITZ	SA22	SA20	SA16	SA13	SA8	SA3																																
2	P21/ INTPZ17	DMATCZ4	DMAACKZ4	SHLDRQZ	SCSZ2	SA21	SA17	SA15	SA12	SA7	SA2																																
1	GND	DMAREQZ4	SCSZ0	SCSZ1	SCSZ3	SA19	EVDD	GND	SA10	SA6	SA5																																
	A	B	C	D	E	F	G	H	J	K	L																																

注意 下記端子配置図は、Top View です。

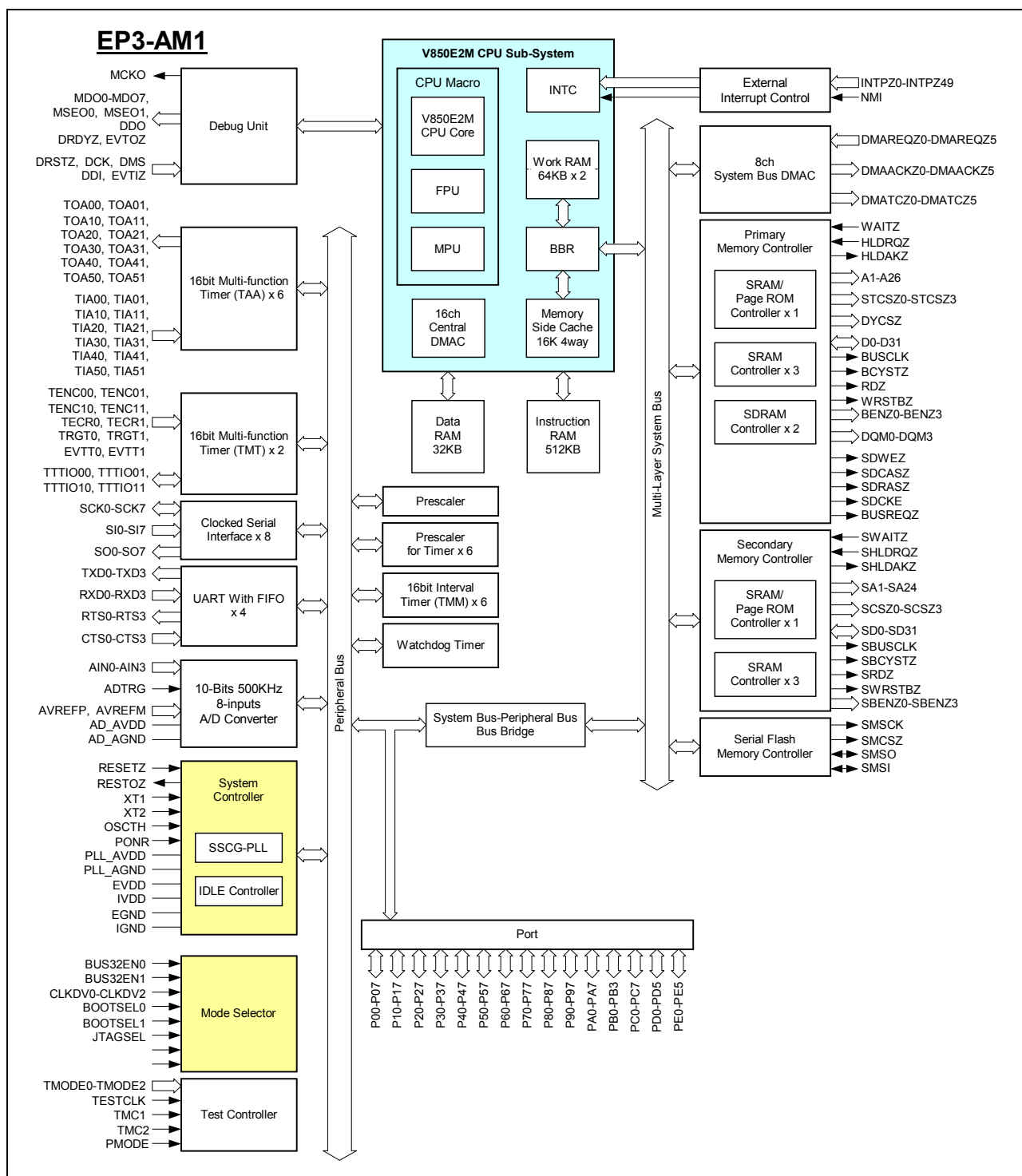
M	N	P	R	T	U	V	W	Y	AA	AB																																	
BUSCLK	DQM3	P70/ WAITZ	A16	EVDD	GND	A5	A2	P61/ A21	P63/ A23	TMC2	22																																
BCYSTZ	SDCASZ	A18	A14	A10	A7	A4	P60/ A20	P65/ A25	P83/ WDTOUT	TMC1	21																																
P90/D16/ TENC00	DQM0	A17	A12	A8	A9	P67/ A1	P66/ A26	P84/ SMCK	MDO7	MDO5	20																																
BENZ1	SDWEZ	SDRASZ	A15	A11	A3	P62/ A22	P64/ A24	P87/ SMCSZ	MDO3	EVDD	19																																
EVDD	GND	A19	A13	A6	GND	P85/ SMSO	P86/ SMSI	MDO1	MDO0	GND	18																																
<table><tr><td>IVDD</td><td>IVDD</td><td>GND</td><td>GND</td></tr><tr><td>IVDD</td><td>GND</td><td>GND</td><td>GND</td></tr><tr><td>GND</td><td>GND</td><td>GND</td><td>IVDD</td></tr><tr><td>GND</td><td>GND</td><td>IVDD</td><td>IVDD</td></tr><tr><td>GND</td><td>GND</td><td>IVDD</td><td>IVDD</td></tr><tr><td>GND</td><td>GND</td><td>GND</td><td>IVDD</td></tr><tr><td>IVDD</td><td>GND</td><td>GND</td><td>GND</td></tr><tr><td>IVDD</td><td>IVDD</td><td>GND</td><td>GND</td></tr></table>						IVDD	IVDD	GND	GND	IVDD	GND	GND	GND	GND	GND	GND	IVDD	GND	GND	IVDD	IVDD	GND	GND	IVDD	IVDD	GND	GND	GND	IVDD	IVDD	GND	GND	GND	IVDD	IVDD	GND	GND	GND	MCKO	MSE01	DDO	DRSTZ	17
						IVDD	IVDD	GND	GND																																		
						IVDD	GND	GND	GND																																		
						GND	GND	GND	IVDD																																		
						GND	GND	IVDD	IVDD																																		
						GND	GND	IVDD	IVDD																																		
						GND	GND	GND	IVDD																																		
						IVDD	GND	GND	GND																																		
						IVDD	IVDD	GND	GND																																		
						EVDD	MDO6	MDO4	DMS	DRDYZ	16																																
MSE00	MDO2	DCK	P17/ INTPZ15	P15/ INTPZ13	15																																						
DDI	EVTOZ	EVTIZ/ DBINT	PC7/ADTRG /INTPZ41	RESTOZ	14																																						
EVDD	P14/ INTPZ12	P16/ INTPZ14	P10/ INTPZ8	P12/ INTPZ10	13																																						
GND	P11/ INTPZ9	P13/ INTPZ11	PC6/ INTPZ40	AIN1	12																																						
AD_AVDD	AVREFP	AIN2	AIN0	AIN3	11																																						
AD_AGND	AVREFM	P37/ CTS1	PC3/ SCK1	PC4/ SO1	10																																						
GND	PC2/ SI0	PC5/ SI1	P35/ RXD1/SO3	PC1/ SO0	9																																						
PLL_AGND	P34/ TXD1/SCK3	PC0/ SCK0	P31/ RXD0/SO2	P33/ CTS0	8																																						
PLL_AVDD	P43/ CTS2	P36/ RTS1/SI3	P42/ RTS2	P30/ TXD0/SCK2	7																																						
GND	P45/ RXD3	P41/ RXD2	P32/ RTS0/SI2	P47/ CTS3	6																																						
GND	GND	GND	SD11	SD24	EVDD	EVDD	P40/ TXD2	P44/ TXD3	P46/ RTS3	EVDD	5																																
SBENZ0	SRDZ	SD5	SD9	SD13	SD19	SD26	SD28	SD30	SD31	GND	4																																
SWRSTBZ	SBENZ3	SD3	SD4	SD8	SD12	SD17	SD21	SD23	SD27	SD29	3																																
SBCYSTZ	SBENZ1	SD0	SD1	SD6	SD10	SD14	SD16	SD20	SD22	SD25	2																																
SA1	SBENZ2	SBUSCLK	GND	SD2	SD7	EVDD	GND	SD15	SD18	GND	1																																
M	N	P	R	T	U	V	W	Y	AA	AB																																	

P00-P07	: Port 0	SMSCK	: Serial Flash Clock
P10-P17	: Port 1	SMSO	: Serial Flash Data Output
P20-P27	: Port 2	SMSI	: Serial Flash Data Input
P30-P37	: Port 3	SMCSZ	: Serial Flash Chip Select
P40-P47	: Port 4		
P50-P57	: Port 5	NMI	: FE Level Maskable Interrupt Request
P60-P67	: Port 6	INTPZ0-INTPZ49	: EI Level Maskable Interrupt Request
P70-P77	: Port 7		
P80-P87	: Port 8	STCSZ0-STCSZ3	: MEMC #1 Static Memory Chip Select
P90-P97	: Port 9	A1-A26	: MEMC #1 Address Bus
PA0-PA7	: Port A	D0-D31	: MEMC #1 Data Bus
PB0-PB3	: Port B	RDZ	: MEMC #1 Read Strobe
PC0-PC7	: Port C	BENZ0-BENZ3	: MEMC #1 Byte Enable or Write Strobe
PD0-PD5	: Port D	WRSTBZ	: MEMC #1 Write Strobe
PE0-PE5	: Port E	DYCSZ	: MEMC #1 SDRAM Chip Select
		SDCKE	: MEMC #1 SDRAM Clock Enable Output
TOA00, TOA01	: TAA0 Timer Outputs	SDRASZ	: MEMC #1 SDRAM Row address strobe
TOA10, TOA11	: TAA1 Timer Outputs	SDCASZ	: MEMC #1 SDRAM Column address strobe
TOA20, TOA21	: TAA2 Timer Outputs	SDWEZ	: MEMC #1 SDRAM Write enable
TOA30, TOA31	: TAA3 Timer Outputs	DQM0-DQM3	: MEMC #1 SDRAM DQ mask enable
TOA40, TOA41	: TAA4 Timer Outputs	WAITZ	: MEMC #1 Wait Input
TOA50, TOA51	: TAA5 Timer Outputs	HLDRQZ	: MEMC #1 Hold Request
TIA00, TIA01	: TAA0 Capture Trigger Inputs	HLDAKZ	: MEMC #1 Hold Acknowledge
TIA10, TIA11	: TAA1 Capture Trigger Inputs	BCYSTZ	: MEMC #1 Bus Cycle Start Timing
TIA20, TIA21	: TAA2 Capture Trigger Inputs	BUSCLK	: MEMC #1 SDRAM Clock / Bus Clock output
TIA30, TIA31	: TAA3 Capture Trigger Inputs	BUSREQZ	: MEMC #1 BUS Request (Refresh Request)
TIA40, TIA41	: TAA4 Capture Trigger Inputs		
TIA50, TIA51	: TAA5 Capture Trigger Inputs	SCSZ0-SCSZ3	: MEMC #2 Chip Select
TENC00, TENC01	: TMT0 Encoder Inputs	SA1-SA24	: MEMC #2 Address Bus
TENC10, TENC11	: TMT1 Encoder Inputs	SD0-SD31	: MEMC #2 Data Bus
TECR0, TECR1	: TMT Encoder Clear Input	SRDZ	: MEMC #2 Read Strobe
TRGT0, TRGT1	: TMT Trigger Input	SBENZ0-SBENZ3	: MEMC #2 Byte Enable or Write Strobe
EVT00, EVTT1	: TMT Event Input	SWRSTBZ	: MEMC #2 Write Strobe
TIT00, TIT01	: TMT0 Capture Inputs	SWAITZ	: MEMC #2 Wait Input
TIT10, TIT11	: TMT1 Capture Inputs	SHLDRQZ	: MEMC #2 Hold Request
TOT00, TOT01	: TMT0 Timer Outputs	SHLDAKZ	: MEMC #2 Hold Acknowledge
TOT10, TOT11	: TMT1 Timer Outputs	SBCYSTZ	: MEMC #2 Bus Cycle Start Timing
		SBUSCLK	: MEMC #2 Bus Clock output
TXD0-TXD3	: UART transmit Outputs		
RXD0-RXD3	: UART receive Inputs	DMAREQZ0-	: DMA Request Inputs
RTS0-RTS3	: UART Request to Send Output	DMAREQZ5	
CTS0-CTS3	: UART Clear to Send Inputs	DMAACKZ0-	: DMA Acknowledge Outputs
SCK0-SCK7	: CSI Serial Clock I/O	DMAACKZ5	
SO0-SO7	: CSI Serial Data Outputs	DMATCZ0-	: DMA Terminal Count Outputs
SI0-SI7	: CSI Serial Data Inputs	DMATCZ5	

WDTOUTZ	: Watchdog Timer Output	RESETZ	: System Reset Input
IDLEOUTZ	: IDLE Mode Status Output	RESTOZ	: System Reset Output
		XT1, XT2	: Oscillator
AD_AVDD	: A/D Converter VDD (3.3V)	PLL_AVDD	: SSCG PLL Power Supply (1.0V)
AVREFP	: A/D Converter Reference Voltage +	PLL_AGND	: SSCG PLL Ground
AIN0-AIN3	: Analog Input	OSCTH	: OSC Through Clock
AVREFM	: A/D Converter Reference Voltage -	EVDD	: I/O Power Supply (3.3V)
AD_AGND	: A/D Converter GND	IVDD	: Internal Power Supply (1.0V)
ADTRG	: A/D Trigger Input	EGND	: I/O Power Ground
		IGND	: Internal Power Ground
BUS32EN0	: MEMC #1 Bus Size Select	PONR	: Power On Reset for Redundancy RAM
BUS32EN1	: MEMC #2 Bus Size Select	JTAGSEL	: JTAG Interface Select
CLKDV0-	: HCLK Divide Control		
CLKDV2		TMODE0	: Test Mode Select
BOOTSEL0,	: Boot Select	TMODE1	: Test Mode Select
BOOTSEL1		TMODE2	: Test Mode Select
		TESTCLK	: Test Clock Input
MCKO	: Message Clock Output	TMC1	: 1 Chip Test Mode Select
MDO0-MDO7	: Message Data Outputs	TMC2	: 1 Chip Test Mode Select
MSEO0, MSEO1	: Message Start / End Outputs		
DRSTZ	: Debug Reset		
DCK	: Debug Clock Input		
DMS	: Debug mode		
DDI	: Debug Data Input		
DDO	: Debug Data Output		
DRDYZ	: DCU Debug Ready		
EVTOZ	: Event Trigger Output		
EVTIZ	: Event Trigger Input		
DBINT	: Debug Interrupt Input		

1.8 機能ブロック構成

1.8.1 EP3-AM1 内部ブロック図



第2章 端子機能

EP3-AM1 の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

2.1 端子機能一覧

2.1.1 ポート端子

すべて 3.3V インタフェースで、1 ビット単位で入力／出力の設定が可能なポートです。

(1/4)

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	リセット中
P00	入出力	ポート 0, 8 ビット入出力ポート 外部割り込み INTPZ0-INTPZ7 と兼用されています。 リセット解除後は入力ポートとして動作し, 外部割り込み機能は動作しません。外部割り込みを選択した場合でも, 入力ポートとして利用できます。	INTPZ0		Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
P01			INTPZ1		
P02			INTPZ2		
P03			INTPZ3		
P04			INTPZ4		
P05			INTPZ5		
P06			INTPZ6		
P07			INTPZ7		
P10	入出力	ポート 1, 8 ビット入出力ポート 外部割り込み INTPZ8-INTPZ15 と兼用されています。 リセット解除後は入力ポートとして動作し, 外部割り込み機能は動作しません。外部割り込みを選択した場合でも, 入力ポートとして利用できます。	INTPZ8		
P11			INTPZ9		
P12			INTPZ10		
P13			INTPZ11		
P14			INTPZ12		
P15			INTPZ13		
P16			INTPZ14		
P17			INTPZ15		
P20	入出力	ポート 2, 8 ビット入出力ポート 外部割り込み INTPZ16-INTPZ23 と兼用されています。 リセット解除後は入力ポートとして動作し, 外部割り込み機能は動作しません。外部割り込みを選択した場合でも, 入力ポートとして利用できます。 また, P27 はウォッチドッグ・タイマ出力 (WDTOUTZ) として利用できます。この信号は P83 に兼用されている WDTOUTZ と同じです。	INTPZ16		
P21			INTPZ17		
P22			INTPZ18		
P23			INTPZ19		
P24			INTPZ20		
P25			INTPZ21		
P26			INTPZ22		
P27			INTPZ23	WDTOUTZ	
P30	入出力	ポート 3, 8 ビット入出力ポート アシンクロナス・シリアル・インタフェースのチャンネル 0, 1 の入出力端子, クロック同期式シリアル・インタフェースのチャンネル 2, 3 の入出力端子と兼用されています。 リセット解除後は入力ポートとして動作します。	TXD0	SCK2	
P31			RXD0	SO2	
P32			RTS0	SI2	
P33			CTS0		
P34			TXD1	SCK3	
P35			RXD1	SO3	
P36			RTS1	SI3	
P37			CTS1		

(2/4)

★

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	リセット中
P40	入出力	ポート 4, 8 ビット入出力ポート アシクロナス・シリアル・インタフェースのチャネル 2, 3 の入出力端子と兼用されています。 リセット解除後は入力ポートとして動作します。	TXD2		Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
P41			RXD2		
P42			RTS2		
P43			CTS2		
P44			TXD3		
P45			RXD3		
P46			RTS3		
P47			CTS3		
P50	入出力	ポート 5, 8 ビット入出力ポート P50-P57 は、16 ビット・タイマ／カウンタ AA (TAA) のタイマ入出力端子と兼用されています。また、外部割り込み INTPZ24-INTPZ31 と兼用されています。 リセット解除後は入力ポートとして動作します。	TIA00 / INTPZ24	TOA00	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
P51			TIA01 / INTPZ25	TOA01	
P52			TIA10 / INTPZ26	TOA10	
P53			TIA11 / INTPZ27	TOA11	
P54			TIA20 / INTPZ28	TOA20	
P55			TIA21 / INTPZ29	TOA21	
P56			TIA30 / INTPZ30	TOA30	
P57			TIA31 / INTPZ31	TOA31	
P60	入出力	ポート 6, 8 ビット入出力ポート 外部バスのアドレス端の A20-A26, A1 と兼用されています。 P60-P66/A20-A26 は、リセット解除後は入力ポートです。 P67/A1 は、BUS32EN0 端子の設定で選択されます。	A20		Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
P61			A21		
P62			A22		
P63			A23		
P64			A24		
P65			A25		
P66			A26		
P67			A1		
P70	入出力	ポート 7, 8 ビット入出力ポート MEMC #1 のウェイト信号入力端子、チップ・セレクト出力 (STCSZ1-STCSZ3, DYCSZ), 上位バイト・レーン出力 (BENZ2, BENZ3) と兼用されています。 BUS32EN0 端子にハイ・レベルを入力し、起動時に 32 ビット幅を選択した場合、P76/BENZ2, P77/BENZ3 端子はリセット解除後から BENZ2, BENZ3 出力が選択されます。 MEMC #1 から起動する場合に、最初に有効となる STCSZ0 端子は、ポートと兼用しない独立端子として設けられています。 P75 は、IDLE モード状態の出力 IDELOUTZ と兼用されています。	WAITZ		Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
P71			STCSZ1		
P72			STCSZ2		
P73			STCSZ3		
P74			DYCSZ		
P75			IDLEOUTZ		
P76			BENZ2		
P77			BENZ3		
P80	入出力	ポート 8, 8 ビット入出力ポート P80-P82 は、外部バスの制御信号入出力と兼用されています。 P83 は、ウォッチドッグ・タイマ出力と兼用されています。この信号は P27 に兼用されている WDTOUTZ と同じです。 P84-P87 は、シリアル・フラッシュ ROM メモリ・コントローラ入出力端子と兼用されています。シリアル・フラッシュ ROM ブートを選択していない場合は、リセット解除後は入力ポートとして動作します。シリアル・フラッシュ ROM ブートを選択している場合は、P84-P87 はリセット解除後から兼用機能が選択されます。	HLDRQZ		Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
P81			HLDKAZ		
P82			BUSREQZ		
P83			WDTOUTZ		
P84			SMSCK		
P85			SMSO		
P86			SMSI		
P87			SMCSZ		

(3/4)

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	兼用機能 3	リセット中
P90	入出力	ポート 9, ビット入出力ポート MEMC #1 に 32 ビット幅を選択した場合、D16-D23 のデータ・バスとして使用されます。 リセット解除後は、BUS32EN0 端子にハイ・レベルを入力し、起動時に 32 ビット幅を選択した場合のみ D16-D23 として機能します。それ以外では、入力ポートです。 また 16 ビット・タイマ／イベント・カウンタ T (TMT) のチャンネル 0 の入出力端子と外部割り込み INTPZ42-INTPZ45 とも兼用しています。	D16	TENC00		Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
P91			D17	TENC01		
P92			D18	TECR0 / INTPZ42		
P93			D19	TRGT0 / INTPZ43		
P94			D20	EVT0 / INTPZ44		
P95			D21	TIT00	TOT00	
P96			D22	TIT01	TOT01	
P97			D23	INTPZ45		
PA0	入出力	ポート A, 8 ビット入出力ポート MEMC #1 に 32 ビット幅を選択した場合、D24-D31 のデータ・バスとして使用されます。 リセット解除後は、BUS32EN0 端子にハイ・レベルを入力し、起動時に 32 ビット幅を選択した場合のみ D24-D31 として機能します。それ以外では、入力ポートです。 また 16 ビット・タイマ／イベント・カウンタ T (TMT) のチャンネル 1 の入出力端子と外部割り込み INTPZ46-INTPZ49 とも兼用しています。	D24	TENC10		Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
PA1			D25	TENC11		
PA2			D26	TECR1 / INTPZ46		
PA3			D27	TRGT1 / INTPZ47		
PA4			D28	EVT1 / INTPZ48		
PA5			D29	TIT10	TOT10	
PA6			D30	TIT11	TOT11	
PA7			D31	INTPZ49		
PB0	入出力	ポート B, 4 ビット入出力ポート PB0-PB7 は、16 ビット・タイマ／カウンタ AA (TAA) のタイマ出力、キャプチャ・トリガ入力と兼用されています。また外部割り込み INTPZ32-INTPZ35 と兼用されています。 リセット解除後は入力ポートとして動作します。	TIA40 / INTPZ32	TOA40		Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
PB1			TIA41 / INTPZ33	TOA41		
PB2			TIA50 / INTPZ34	TOA50		
PB3			TIA51 / INTPZ35	TOA51		
PC0	入出力	ポート C, 8 ビット入出力ポート PC0-PC5 は、クロック同期式シリアル・インタフェースの端子と兼用されています。PC7 は、外部 A/D トリガ入力と兼用されています。 また PC6-PC7 は外部割り込み INTPZ40, INTPZ41 と兼用されています。 リセット解除後は入力ポートとして動作します。	SCK0			Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
PC1			SO0			
PC2			SI0			
PC3			SCK1			
PC4			SO1			
PC5			SI1			
PC6			INTPZ40			
PC7			ADTRG / INTPZ41			

★

(4/4)

端子名称	入出力	機 能	兼用機能 1	兼用機能 2	リセット中
PD0	入出力	ポート D, 6 ビット入出力ポート PD0-PD5 は, システム・バス DMA コントローラの入出力端子, クロック同期式シリアル・インタフェースのチャンネル 4, 5 の入出力端子と兼用されています。 また, PD0, PD3 は, 外部割り込み入力 INTPZ36, INTPZ37 と兼用されています。 リセット解除後は入力ポートとして動作します。	DMAREQZ0 / INTPZ36	SCK4	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
PD1			DMAACKZ0	SO4	
PD2			DMATCZ0	SI4	
PD3			DMAREQZ1 / INTPZ37	SCK5	
PD4			DMAACKZ1	SO5	
PD5			DMATCZ1	SI5	
PE0	入出力	ポート E, 6 ビット入出力ポート PE0-PE5 は, システム・バス DMA コントローラの入出力端子, クロック同期式シリアル・インタフェースのチャンネル 6, 7 の入出力端子と兼用されています。 また, PE0, PE3 は, 外部割り込み入力 INTPZ38, INTPZ39 と兼用されています。 リセット解除後は入力ポートとして動作します。	DMAREQZ2 / INTPZ38	SCK6	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
PE1			DMAACKZ2	SO6	
PE2			DMATCZ2	SI6	
PE3			DMAREQZ3 / INTPZ39	SCK7	
PE4			DMAACKZ3	SO7	
PE5			DMATCZ3	SI7	

★ 2.1.2 16 ビット・タイマ／カウンタ AA (TAA) 入出力端子

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
TOA00	出力	TAA0 タイマ出力 0	P50	—	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
TOA01	出力	TAA0 タイマ出力 1	P51	—	
TOA10	出力	TAA1 タイマ出力 0	P52	—	
TOA11	出力	TAA1 タイマ出力 1	P53	—	
TOA20	出力	TAA2 タイマ出力 0	P54	—	
TOA21	出力	TAA2 タイマ出力 1	P55	—	
TOA30	出力	TAA3 タイマ出力 0	P56	—	
TOA31	出力	TAA3 タイマ出力 1	P57	—	
TOA40	出力	TAA4 タイマ出力 0	PB0	—	
TOA41	出力	TAA4 タイマ出力 1	PB1	—	
TOA50	出力	TAA5 タイマ出力 0	PB2	—	
TOA51	出力	TAA5 タイマ出力 1	PB3	—	
TIA00	入力	TAA0 キャプチャ・トリガ入力 0	P50	↑／↓	
TIA01	入力	TAA0 キャプチャ・トリガ入力 1	P51	↑／↓	
TIA10	入力	TAA1 キャプチャ・トリガ入力 0	P52	↑／↓	
TIA11	入力	TAA1 キャプチャ・トリガ入力 1	P53	↑／↓	
TIA20	入力	TAA2 キャプチャ・トリガ入力 0	P54	↑／↓	
TIA21	入力	TAA2 キャプチャ・トリガ入力 1	P55	↑／↓	
TIA30	入力	TAA3 キャプチャ・トリガ入力 0	P56	↑／↓	
TIA31	入力	TAA3 キャプチャ・トリガ入力 1	P57	↑／↓	
TIA40	入力	TAA4 キャプチャ・トリガ入力 0	PB0	↑／↓	
TIA41	入力	TAA4 キャプチャ・トリガ入力 1	PB1	↑／↓	
TIA50	入力	TAA5 キャプチャ・トリガ入力 0	PB2	↑／↓	
TIA51	入力	TAA5 キャプチャ・トリガ入力 1	PB3	↑／↓	

2.1.3 16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力端子

外部 16 ビット・バスを利用している場合のみ 16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力端子を利用できます。

注意 EP3-AM1 で、外部バスに 32 ビット・バスを利用する場合は、16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力端子は利用できません。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
TENC00	入力	TMT0 エンコーダ・カウント入力 0	P90	↑	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
TENC01	入力	TMT0 エンコーダ・カウント入力 1	P91	↑	
TENC10	入力	TMT1 エンコーダ・カウント入力 0	PA0	↑	
TENC11	入力	TMT1 エンコーダ・カウント入力 1	PA1	↑	
TECR0	入力	TMT0 エンコーダ・クリア入力	P92	↑／↓	
TECR1	入力	TMT1 エンコーダ・クリア入力	PA2	↑／↓	
TRGT0	入力	TMT0 外部トリガ入力	P93	↑／↓	
TRGT1	入力	TMT1 外部トリガ入力	PA3	↑／↓	
EVTT0	入力	TMT0 外部イベント入力	P94	↑／↓	
EVTT1	入力	TMT1 外部イベント入力	PA4	↑／↓	
TIT00/TOT00	入出力	TMT0 キャプチャ・トリガ入力 0／タイマ出力 0	P95	↑／↓	
TIT01/TOT01	入出力	TMT0 キャプチャ・トリガ入力 1／タイマ出力 1	P96	↑／↓	
TIT10/TOT10	入出力	TMT1 キャプチャ・トリガ入力 0／タイマ出力 0	PA5	↑／↓	
TIT11/TOT11	入出力	TMT1 キャプチャ・トリガ入力 1／タイマ出力 1	PA6	↑／↓	

2.1.4 シリアル・インタフェース入出力端子

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
TXD0	出力	UART0 のシリアル・データ出力	P30	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
TXD1	出力	UART1 のシリアル・データ出力	P34	ロー	
TXD2	出力	UART2 のシリアル・データ出力	P40	ロー	
TXD3	出力	UART3 のシリアル・データ出力	P44	ロー	
RXD0	入力	UART0 のシリアル・データ入力	P31	ロー	
RXD1	入力	UART1 のシリアル・データ入力	P35	ロー	
RXD2	入力	UART2 のシリアル・データ入力	P41	ロー	
RXD3	入力	UART3 のシリアル・データ入力	P45	ロー	
RTS0	出力	UART0 の送信データ要求信号出力	P32	ロー	
RTS1	出力	UART1 の送信データ要求信号出力	P36	ロー	
RTS2	出力	UART2 送信データ要求信号出力	P42	ロー	
RTS3	出力	UART3 送信データ要求信号出力	P46	ロー	
CTS0	入力	UART0 の相手側のデータ送信要求信号入力	P33	ロー	
CTS1	入力	UART1 の相手側のデータ送信要求信号入力	P37	ロー	
CTS2	入力	UART2 の相手側のデータ送信要求信号入力	P43	ロー	
CTS3	入力	UART3 の相手側のデータ送信要求信号入力	P47	ロー	
SCK0	入出力	CSI30 のクロック入出力	PC0	—	
SCK1	入出力	CSI31 のクロック入出力	PC3	—	
SCK2	入出力	CSI32 のクロック入出力	P30		
SCK3	入出力	CSI33 のクロック入出力	P34		
SCK4	入出力	CSI34 のクロック入出力	PD0		
SCK5	入出力	CSI35 のクロック入出力	PD3		
SCK6	入出力	CSI36 のクロック入出力	PE0		
SCK7	入出力	CSI37 のクロック入出力	PE3		
SI0	入力	CSI30 のシリアル・データ入力	PC2	—	
SI1	入力	CSI31 のシリアル・データ入力	PC5	—	
SI2	入力	CSI32 のシリアル・データ入力	P32	—	
SI3	入力	CSI33 のシリアル・データ入力	P36	—	
SI4	入力	CSI34 のシリアル・データ入力	PD2		
SI5	入力	CSI35 のシリアル・データ入力	PD5		
SI6	入力	CSI36 のシリアル・データ入力	PE2		
SI7	入力	CSI37 のシリアル・データ入力	PE5		
SO0	出力	CSI30 のシリアル・データ出力	PC1		
SO1	出力	CSI31 のシリアル・データ出力	PC4		
SO2	出力	CSI32 のシリアル・データ出力	P31		
SO3	出力	CSI33 のシリアル・データ出力	P35		
SO4	出力	CSI34 のシリアル・データ出力	PD1		
SO5	出力	CSI35 のシリアル・データ出力	PD4		
SO6	出力	CSI36 のシリアル・データ出力	PE1		
SO7	出力	CSI37 のシリアル・データ出力	PE4		

2.1.5 外部割り込み入力端子

NMI 端子を除いた外部割り込み入力は、すべてポートと兼用されています。兼用されているポートによっては、プルダウン抵抗により、リセット解除後から有効レベルが入力されます。エッジやレベル指定のインシャライズ後に、いったん外部割り込み入力の割り込み要求フラグをクリアして利用してください。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
NMI	入力	FE レベル・マスカブル外部割り込み入力	—	立ち上がり／ 立ち下がり／ 両エッジ	内蔵 Pull-up 抵抗により ハイ・レベル
INTPZ0-INTPZ7		EI レベル・マスカブル外部割り込み入力	P00-P07	立ち上がり／	
INTPZ8-INTPZ15			P10-P17	立ち下がり／	
INTPZ16-INTPZ23			P20-P27	両エッジ／	
INTPZ24-INTPZ31			P50-P57	ロー・アクテ ィブのレベル	
INTPZ32-INTPZ35			PB0-PB3		
INTPZ36			PD0		
INTPZ37			PD3		
INTPZ38			PE0		
INTPZ39			PE3		
INTPZ40			PC6		
INTPZ41			PC7		
INTPZ42-INTPZ44			P92-P94		内蔵 Pull-down 抵抗により ロー・レベル
INTPZ45			P97		
INTPZ46-INTPZ48			PA2-PA4		
INTPZ49			PA7		

2.1.6 DMA 入出力端子

内蔵のシステム・バス DMA コントローラの入出力端子です。

8 チャンネルのうち、6 チャンネルの入出力端子が設けられています。このうち、4 チャンネル分はポートと兼用されています。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
DMAREQZ0	入力	DMA 転送要求入力 0	PD0	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
DMAREQZ1		DMA 転送要求入力 1	PD3		
DMAREQZ2		DMA 転送要求入力 2	PE0		
DMAREQZ3		DMA 転送要求入力 3	PE3		
DMAREQZ4		DMA 転送要求入力 4	—		
DMAREQZ5		DMA 転送要求入力 5	—		
DMAACKZ0	出力	DMA アクノリッジ出力 0	PD1	ロー	
DMAACKZ1		DMA アクノリッジ出力 1	PD4		
DMAACKZ2		DMA アクノリッジ出力 2	PE1		
DMAACKZ3		DMA アクノリッジ出力 3	PE4		
DMAACKZ4		DMA アクノリッジ出力 4	—		
DMAACKZ5		DMA アクノリッジ出力 5	—		
DMATCZ0		ターミナル・カウント（DMA 転送完了パルス）出力 0	PD2	ロー	
DMATCZ1		ターミナル・カウント（DMA 転送完了パルス）出力 1	PD5		
DMATCZ2		ターミナル・カウント（DMA 転送完了パルス）出力 2	PE2		
DMATCZ3		ターミナル・カウント（DMA 転送完了パルス）出力 3	PE5		
DMATCZ4		ターミナル・カウント（DMA 転送完了パルス）出力 4	—		
DMATCZ5		ターミナル・カウント（DMA 転送完了パルス）出力 5	—		

2.1.7 プライマリ・メモリ・コントローラ (MEMC #1) 端子

ポートと兼用されている端子と独立端子があります。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中 ^{※1}
STCSZ0	出力	MEMC #1 スタティック・メモリ用チップ・セレクト出力	—	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
STCSZ1-STCSZ3	出力		P71-P73		
DYCSZ	出力		P74		
A1	出力	MEMC #1 ROM/ SRAM/ SDRAM 用アドレス出力	P67	ハイ	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
A2-A19	出力		—		
A20-A26	出力		P60-P66		
D0-D15	入出力	MEMC #1 ROM/ SRAM/ SDRAM 用データ・バス	—	ハイ	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
D16-D23	入出力		P90-P97		
D24-D31	入出力		PA0-PA7		
RDZ	出力	MEMC #1 ROM/ SRAM 用リード・ストロブ信号	—	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
WRZ0, WRZ1 ^{※2}	出力	MEMC #1 ROM/ SRAM 用ライト・ストロブ信号	—		
WRZ2, WRZ3 ^{※2}	出力		P76, P77		
DQM0	出力	MEMC #1 SDRAM 用ビット 7-0 DQ マスク	—	ハイ	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
DQM1	出力	MEMC #1 SDRAM 用ビット 15-8 DQ マスク	—		
DQM2	出力	MEMC #1 SDRAM 用ビット 23-16 DQ マスク	—		
DQM3	出力	MEMC #1 SDRAM 用ビット 31-24 DQ マスク	—	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SDWEZ	出力	MEMC #1 SDRAM 用ライト・ストロブ信号	—		
SDCASZ	出力	MEMC #1 SDRAM 用カラム・アドレス選択信号	—		
SDRASZ	出力	MEMC #1 SDRAM 用ロウ・アドレス選択信号	—	ハイ	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SDCKE	出力	MEMC #1 SDRAM 用クロック許可出力	—		
WRSTBZ	出力	MEMC #1 ROM/ SRAM 用ライト・ストロブ出力 (WRZ0-WRZ3 の負論理 OR)	—	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
WAITZ	入力	MEMC #1 ROM/ SRAM 用ウェイト信号入力	P70		
HLDRQZ	入力	MEMC #1 外部バス・ホールド要求入力	P80		
HLDKZ	出力	MEMC #1 外部バス・ホールド要求アクノリッジ出力	P81	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
BENZ0, BENZ1 ^{※2}	出力	MEMC #1 ROM/ SRAM 用バイト・イネーブル出力信号	—		
BENZ2, BENZ3 ^{※2}	出力		P76, P77		
BCYSTZ	出力	MEMC #1 バス・サイクル・スタート・ステータス出力	—	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
BUSCLK	出力	MEMC #1 バス・クロック (SDRAM 用クロック) 出力	—		
BUSREQZ	出力	MEMC #1 リフレッシュ・ステータス出力 メモリ・バスに接続された外部バス・マスタに対する、バス開放要求出力信号です。	P82	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル

注 1. リセット中の状態です。リセット解除後の動作を示しているものではありません。

2. WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット解除後は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) の WREN ビットで切り替えられます。

WRZ2/BENZ2, WRZ3/BENZ3 端子は、BUS32EN0 端子にハイ・レベルが入力されている場合は、リセット解除後から BENZ2, BENZ3 端子として機能します。

2.1.8 セカンダリ・メモリ・コントローラ (MEMC #2) 端子

すべて独立端子です。ポートとは兼用されていません。

端子名称	入出力	機 能	アクティブ	リセット中 ^{注1}
SCSZ0-SCSZ3	出力	MEMC #2 メモリ・コントローラ・チップ・セレクト出力	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SA1-SA24	出力	MEMC #2 アドレス出力	ハイ	Hi-Z
SD0-SD15	入出力	MEMC #2 データ・バス (下位 16 ビット)	ハイ	内蔵 Pull-down 抵抗により ロー・レベル
SD16-SD31	入出力	MEMC #2 データ・バス (上位 16 ビット)	ハイ	
SRDZ	出力	MEMC #2 リード・ストロブ信号	ロー	Hi-Z
SWRZ0, SWRZ1 ^{注2}	出力	MEMC #2 ライト・ストロブ信号	ロー	内蔵 Pull-up 抵抗により ハイ・レベル
SWRZ2, SWRZ3 ^{注2}	出力		ロー	
SWRSTBZ	出力	MEMC #2 ライト・ストロブ出力 (SWRZ0-SWRZ3 の負論理 OR)	ロー	
SWAITZ	入力	MEMC #2 ウェイト信号入力	ロー	
SHLDRQZ	入力	MEMC #2 外部バス・ホールド要求入力	ロー	
SHLDAKZ	出力	MEMC #2 外部バス・ホールド要求アクノリッジ出力	ロー	ハイ
SBENZ0, SBENZ1 ^{注2}	出力	MEMC #2 バイト・イネーブル出力信号	ロー	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
SBENZ2, SBENZ3 ^{注2}	出力		ロー	
SBCYSTZ	出力	MEMC #2 バス・サイクル・スタート・ステータス出力	ロー	
SBUSCLK	出力	MEMC #2 バス・クロック出力	—	ロー

注 1. リセット解除後の動作を示しているものではありません。

2. SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。
リセット解除後は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ
(WREN) の SWREN ビットで切り替えられます。

2.1.9 シリアル・フラッシュ ROM インタフェース端子

すべてポートと兼用されています。

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
SMSCK	出力	シリアル・フラッシュ ROM に対するクロック出力	P84	—	内蔵 Pull-up 抵抗により ハイ・レベル
SMSO	入出力	シリアル・フラッシュ ROM へのデータ出力	P85	—	
SMSI	入出力	シリアル・フラッシュ ROM からのデータ入力	P86	—	
SMCSZ	出力	シリアル・フラッシュ ROM に対するチップ・セレクト出力	P87	ロー	

2.1.10 A/D コンバータ用端子

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
AD_AVDD	—	A/D コンバータのアナログ電源。3.3V に接続	—	—	—
AVREFP	—	A/D コンバータの基準電圧入力 (+)	—	—	—
AIN0-AIN3	入力	A/D コンバータのアナログ入力	—	—	—
AVREFM	—	A/D コンバータの基準電圧入力 (—)	—	—	—
AD_AGND	—	A/D コンバータのアナログ電源。GND に接続	—	—	—
ADTRG	入力	A/D コンバータの外部変換トリガ入力	PC7	↑/↓	—

2.1.11 Nexus インタフェース端子

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
MCKO	出力	メッセージ・クロック出力	—	↑/↓	ロー
MDO0-MDO7	出力	メッセージ・データ出力	—	—	ロー
MSEO0, MSEO1	出力	メッセージ・スタート/エンド出力	—	ロー	ハイ
DRSTZ	入力	リセット信号	—	ロー	—
DCK	入力	クロック信号 (JTAG クロック)	—	—	—
DMS	入力	モード・セレクト信号	—	—	—
DDI	入力	シリアル・データ入力	—	—	—
DDO	出力	シリアル・データ出力	—	—	—
DRDYZ	出力	レディ応答 IR/DR 転送に伴うアクセスの完了通知	—	ロー	ハイ
EVTOZ	出力	イベント・トリガ出力	—	ロー	ハイ
EVTIZ/DBINT	入力	外部イベント入力/デバッグ割り込み入力	—	ロー	—

2.1.12 システム端子

端子名称	入出力	機 能	兼用ポート	アクティブ	リセット中
RESETZ	入力	システム・リセット入力	—	ロー	入力
RESTOZ	出力	バス・リセット出力	—	ロー	ロー
XT1	入力	システム・クロック発振用クリスタル接続端子 発振器出力を直接接続する場合は XT2 に入力 [※]	—	—	—
XT2	—			—	—
OSCTH	入力	外部クロック入力モード時にハイ・レベル入力 [※]	—	—	—
PONR	入力	内蔵リダンダンシ RAM 用パワーオン・リセット入力	—	ロー	入力
PLL_AVDD	—	SSCG PLL 用電源 (1.0V)	—	—	—
PLL_AGND	—	SSCG PLL 用グランド電位 (GND)	—	—	—
IDLEOUTZ	出力	IDLE モード状態出力	P75	ロー	入力
WDTOUTZ	出力	ウォッチドッグ・タイマ出力	P27, P83	ロー	入力
EVDD	—	I/O 電源 (3.3V)	—	—	—
IVDD	—	内部電源 (1.0V)	—	—	—
EGND	—	I/O 電源用グランド電位 (GND)	—	—	—
IGND	—	内部電源用グランド電位 (GND)	—	—	—

注 発振器出力を直接接続する場合（外部クロック入力モード時）は XT2 に入力し、XT1 を EGND に接続、OSCTH を EVDD に接続してください。

クリスタルを接続する場合は XT1, XT2 に接続し、OSCTH を EGND に接続してください。

2.1.13 テスト端子

通常動作時は、これらの端子はすべて EGND に接続してください。

端子名称	入出力	機 能	アクティブ	リセット中
TMODE0	入力	テスト・モードの選択入力	ハイ	入力
TMODE1	入力		ハイ	入力
TMODE2	入力		ハイ	入力
TESTCLK	入力	テスト・クロック入力	—	入力
TMC1	入力	ノーマル・モード／LFT テスト・モード／HFT テスト・モード／I _{DD} テスト・モードの選択端子	ハイ	入力
TMC2	入力		ハイ	入力
PMODE	入力	テスト時の動作モード設定入力	ハイ	入力

2.1.14 動作モード設定端子

動作モードに合わせて、各端子を EVDD または EGND に接続してください。

注意 1. 動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

2. PLL の M, N, P 値の設定は、内部レジスタ設定で行います。

端子名称	入出力	機 能		バッファ・タイプ																																				
BUS32EN0	入力	MEMC #1 の起動時のバス幅選択 0：16 ビット 1：32 ビット		Normal Input																																				
BUS32EN1	入力	MEMC #2 の起動時のバス幅選択 0：16 ビット 1：32 ビット																																						
CLKDV0-CLKDV2	入力	CPU と内部システム・バスのクロック分周比設定 <table border="1"><thead><tr><th>CLKDV2</th><th>CLKDV1</th><th>CLKDV0</th><th>システム・バス・クロック (HCLK)</th><th>周辺マクロ・クロック (PCLK)</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td rowspan="2">CPCLK/2</td><td>CPCLK/2 (HCLK/1)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>CPCLK/4 (HCLK/2)</td></tr><tr><td>0</td><td>1</td><td>0</td><td rowspan="2">CPCLK/3</td><td>CPCLK/3 (HCLK/1)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>CPCLK/6 (HCLK/2)</td></tr><tr><td>1</td><td>0</td><td>0</td><td rowspan="2">CPCLK/4</td><td>CPCLK/4 (HCLK/1)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>CPCLK/8 (HCLK/2)</td></tr><tr><td>1</td><td>1</td><td>任意</td><td colspan="2">設定禁止</td></tr></tbody></table> 備考 1. CPCLK：CPU 動作クロック 2. BUSCLK, SBUSCLK も HCLK と同一周波数になります。			CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)	0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)	0	0	1	CPCLK/4 (HCLK/2)	0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)	0	1	1	CPCLK/6 (HCLK/2)	1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)	1	0	1	CPCLK/8 (HCLK/2)	1	1	任意	設定禁止
CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)																																				
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)																																				
0	0	1		CPCLK/4 (HCLK/2)																																				
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)																																				
0	1	1		CPCLK/6 (HCLK/2)																																				
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)																																				
1	0	1		CPCLK/8 (HCLK/2)																																				
1	1	任意	設定禁止																																					
BOOTSEL0, BOOTSEL1	入力	ブート・モード選択 <table border="1"><thead><tr><th>BOOTSEL1</th><th>BOOTSEL0</th><th>ブート・モード</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>MEMC #1 の STCSZ0 領域</td></tr><tr><td>0</td><td>1</td><td>MEMC #2 の SCSZ0 領域</td></tr><tr><td>1</td><td>0</td><td>シリアル・フラッシュ ROM</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></tbody></table>		BOOTSEL1	BOOTSEL0	ブート・モード	0	0	MEMC #1 の STCSZ0 領域	0	1	MEMC #2 の SCSZ0 領域	1	0	シリアル・フラッシュ ROM	1	1	設定禁止																						
BOOTSEL1	BOOTSEL0	ブート・モード																																						
0	0	MEMC #1 の STCSZ0 領域																																						
0	1	MEMC #2 の SCSZ0 領域																																						
1	0	シリアル・フラッシュ ROM																																						
1	1	設定禁止																																						
JTAGSEL	入力	JTAG 端子の動作モード設定 0：通常動作時，デバッグ・インタフェース・モード 1：ボード・テスト・モード		Pull-down																																				

2.2 端子状態

2.2.1 プライマリ・メモリ・コントローラ (MEMC #1) 端子, 内蔵周辺機能端子

モード 端子	リセット中	IDLE モード	HALT モード/ DMA 転送中/ リフレッシュ	バス・ホールド ^{※1}
A1 (P67)	Hi-Z (Pull-down)	保持	動作	Hi-Z (Pull-down)
A2-A19	Hi-Z (Pull-down)	保持	動作	Hi-Z (Pull-down)
A20-A26 (P60-P66)	Hi-Z (Pull-down)	保持	動作	Hi-Z (Pull-down)
D0-D15	Hi-Z (Pull-down)	Hi-Z (Pull-down)	動作	Hi-Z (Pull-down)
D16-D23 (P90-P97)	Hi-Z (Pull-down)	Hi-Z (Pull-down)	動作	Hi-Z (Pull-down)
D24-D31 (PA0-PA7)	Hi-Z (Pull-down)	Hi-Z (Pull-down)	動作	Hi-Z (Pull-down)
STCSZ0	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
STCSZ1-STCSZ3 (P71-P73)	×	H	動作	Hi-Z (Pull-up)
DYCSZ (P74)	Hi-Z (Pull-up)	H ^{※1}	動作	Hi-Z (Pull-up)
WRZ0, WRZ1 (BENZ0, BENZ1)	×	H	動作	Hi-Z (Pull-up)
WRZ2, WRZ3 (P75, P76)	×	H ^{※1}	動作	Hi-Z (Pull-up)
BENZ0, BENZ1 (WRZ0, WRZ1)	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
BENZ2, BENZ3 (P75, P76)	Hi-Z (Pull-up)	H ^{※1}	動作	Hi-Z (Pull-up)
DQM0-DQM3	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
RDZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
WRSTBZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SDWEZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
BCYSTZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
WAITZ (P70)	×	—	動作	入力 (Pull-up)
HLDKZ (P81)	×	H	動作	L
HLDRQZ (P80)	×	—	動作	動作
BUSREQZ (P82)	×	H	動作	動作
SDCKE	Hi-Z (Pull-up)	L	動作	Hi-Z (Pull-up)
BUSCLK	L	L or H で停止	動作	動作
SDCASZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SDRASZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
IDLEOUTZ	H	L	H	H
上記以外の周辺機能入力端子	Hi-Z ^{※2}	—	動作	動作
上記以外の周辺機能出力端子	端子機能に依存	保持	動作	動作
上記以外のポート入力端子	Hi-Z ^{※2}	—	—	動作
上記以外のポート出力端子	×	保持	保持	動作

注 1. ポート・モードに指定した端子は、直前の状態を保持します。

2. 端子に接続されているプルアップ抵抗, プルダウン抵抗に依存します。

備考 備考の説明は次ページに記載しています。

2.2.2 セカンダリ・メモリ・コントローラ端子, DMA チャンネル 4, 5 端子

端子 \ モード	リセット中	IDLE モード	HALT モード／ DMA 転送中	バス・ホールド
SA1-SA24	Hi-Z (Pull-down)	保持	動作	Hi-Z (Pull-down)
SD0-SD31	Hi-Z (Pull-down)	Hi-Z (Pull-down)	動作	Hi-Z (Pull-down)
SCSZ0-SCSZ3	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SWRZ0-SWRZ3 (SBENZ0-SBENZ3)	×	H	動作	Hi-Z (Pull-up)
SBENZ0-SBENZ3 (SWRZ0-SWRZ3)	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SRDZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SWRSTBZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SBCYSTZ	Hi-Z (Pull-up)	H	動作	Hi-Z (Pull-up)
SWAITZ	入力 (Pull-up)	入力 (Pull-up)	動作 (Pull-up)	動作 (Pull-up)
SHLDAKZ	H	H	動作	L
SHLDRQZ	入力 (Pull-up)	—	動作 (Pull-up)	動作 (Pull-up)
SBUSCLK	L	L or H で停止	動作	動作
DMAREQZ4, DMAREQZ5	入力 (Pull-up)	入力 (Pull-up)	動作 (Pull-up)	動作 (Pull-up) 注1
DMAACKZ4, DMAACKZ5	H	H	動作	H 注2
DMATCZ4, DMATCZ5	H	H	動作	H

注 1. バスが解放されるまで, DMA 転送要求は保留されます。

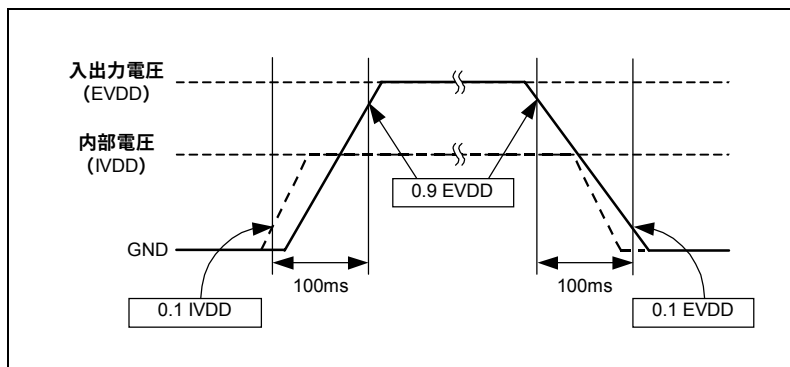
2. 出力期間中にバス・ホールドに移移した場合は, 設定した出力期間後, ハイ・レベルになります。

備考 Hi-Z : ハイ・インピーダンス
H : ハイ・レベル出力
L : ロー・レベル出力
— : 入力非サンプリング
× : リセット解除後非選択機能

2.3 電源投入／遮断手順

電源投入時間差については、電源投入順序にかかわらず、内部あるいは入出力電源のどちらか先に立ち上がる方の電源の立ち上がり開始時から、両方の電源が安定するポイントまでの時間差が 100ms 以内であることを推奨します。時間を測定する際の電圧は、 $0.1V_{DD}$ ～ $0.9V_{DD}$ の期間とします（図 2-1 参照）。

図 2-1 電源投入遮断順序例



2.4 端子機能の説明

2.4.1 ポート端子

(1) ポート 0 (Port 0) … 3 ステート入出力

ポート 0 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 0 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 0 モード・コントロール・レジスタ (PMCT0) で指定します。

(a) ポート・モード

P00-P07 は、ポート 0 モード・レジスタ (PM0) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P00-P07 は、ポート 0 モード・コントロール・レジスタ (PMCT0) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) INTPZ0-INTPZ7 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(2) ポート 1 (Port 1) … 3 ステート入出力

ポート 1 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 1 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 1 モード・コントロール・レジスタ (PMCT1) で指定します。

(a) ポート・モード

P10-P17 は、ポート 1 モード・レジスタ (PM1) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P10-P17 は、ポート 1 モード・コントロール・レジスタ (PMCT1) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) INTPZ8-INTPZ15 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(3) ポート 2 (Port 2) … 3 ステート入出力

ポート 2 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 2 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力、ウォッチドッグ・タイマ出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 2 モード・コントロール・レジスタ (PMCT2) で指定します。

P27 の兼用機能の INTPZ23 と WDTOUTZ は、ポート 2 ファンクション・コントロール・レジスタ (PFC2) で選択します。

(a) ポート・モード

P20-P27 は、ポート 2 モード・レジスタ (PM2) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P20-P27 は、ポート 2 モード・コントロール・レジスタ (PMCT2) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) INTPZ16-INTPZ23 (EI Level Maskable Interrupt Request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(ii) WDTOUTZ (Watchdog Timer Output) … 出力 (ロー・アクティブ)

ウォッチドッグ・タイマ出力です。

ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。P83 に兼用されている WDTOUTZ と同じ信号が出力されます。

備考 一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。

(4) ポート 3 (Port 3) … 3 ステート入出力

ポート 3 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 3 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 0, 1 (UART0, UART1) , クロック同期式シリアル・インタフェースのチャンネル 2, 3 (CSI32, CSI33) の入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 3 モード・コントロール・レジスタ (PMCT3) で指定します。

P30-P32, P34-P36 は、UART 端子と CSI 端子で兼用されています。ポート 3 ファンクション・コントロール・レジスタ (PFC3) で、両者の機能を選択します。

(a) ポート・モード

P30-P37 は、ポート 3 モード・レジスタ (PM3) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P30-P37 は、ポート 3 モード・コントロール・レジスタ (PMCT3) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) TXD0, TXD1 (UART transmit Outputs) … 出力

UART0, UART1 のシリアル・データ出力端子です。

(ii) RXD0, RXD1 (UART receive Inputs) … 入力

UART0, UART1 のシリアル・データ入力端子です。

(iii) RTS0, RTS1 (UART request to send) … 出力

UART0, UART1 の送信データ要求信号出力端子です。

対向の CTS (clear to send) と接続します。

(iv) CTS0, CTS1 (UART clear to send) … 入力

UART0, UART1 の送信データ要求入力端子です。

対向の RTS (request to send) と接続します。

(v) SCK2, SCK3 (Serial Clock) … 入出力

CSI32, CSI33 のシリアル・クロック入出力端子です。

(vi) SI2, SI3 (Serial Input) … 入力

CSI32, CSI33 のシリアル・データ入力端子です。

(vii) SO2, SO3 (Serial Output) … 出力

CSI32, CSI33 のシリアル・データ出力端子です。

(5) ポート 4 (Port 4) … 3 ステート入出力

ポート 4 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 4 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 2, 3 (UART2, UART3) の入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 4 モード・コントロール・レジスタ (PMCT4) で指定します。

(a) ポート・モード

P40-P47 は、ポート 4 モード・レジスタ (PM4) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P40-P47 は、ポート 4 モード・コントロール・レジスタ (PMCT4) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) TXD2, TXD3 (UART transmit Outputs) … 出力

UART2, UART3 のシリアル・データ出力端子です。

(ii) RXD2, RXD3 (UART receive Inputs) … 入力

UART2, UART3 のシリアル・データ入力端子です。

(iii) RTS2, RTS3 (UART request to send) … 出力

UART2, UART3 の送信データ要求信号出力端子です。
対向の CTS (clear to send) と接続します。

(iv) CTS2, CTS3 (UART clear to send) … 入力

UART2, UART3 の送信データ要求入力端子です。
対向の RTS (request to send) と接続します。

★

(6) ポート 5 (Port 5) … 3 ステート入出力

ポート 5 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 5 は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 0-3 の入出力端子として動作します。また EI レベル・マスカブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 5 モード・コントロール・レジスタ (PMCT5) で指定します。

複数の機能が兼用されている端子は、ポート 5 ファンクション・コントロール・レジスタ (PFC5) で兼用機能を選択します。16 ビット・タイマ／カウンタ AA (TAA) のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

(a) ポート・モード

P50-P57 は、ポート 5 モード・レジスタ (PM5) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P50-P57 は、ポート 5 モード・コントロール・レジスタ (PMCT5) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) TIA00, TIA01 (TAA0 capture trigger Inputs) … 入力

TAA0 のキャプチャ・トリガ入力端子です。

(ii) TIA10, TIA11 (TAA1 capture trigger Inputs) … 入力

TAA1 のキャプチャ・トリガ入力端子です。

(iii) TIA20, TIA21 (TAA2 capture trigger Inputs) … 入力

TAA2 のキャプチャ・トリガ入力端子です。

(iv) TIA30, TIA31 (TAA3 capture trigger Inputs) … 入力

TAA3 のキャプチャ・トリガ入力端子です。

(v) TOA00, TOA01 (TAA0 external pulse Outputs) … 出力

TAA0 の外部パルス出力端子です。

(vi) TOA10, TOA11 (TAA1 external pulse Outputs) … 出力

TAA1 の外部パルス出力端子です。

(vii) TOA20, TOA21 (TAA2 external pulse Outputs) … 出力

TAA2 の外部パルス出力端子です。

(viii) TOA30, TOA31 (TAA3 external pulse Outputs) … 出力

TAA3 の外部パルス出力端子です。

(ix) INTPZ24-INTPZ31 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(7) ポート 6 (Port 6) … 3 ステート入出力

ポート 6 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 6 は入出力ポートとして機能するほか、コントロール・モードでは、MEMC #1 に外部メモリ等を接続する場合のアドレス・バス (A1, A20-A26) として動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 6 モード・コントロール・レジスタ (PMCT6) で指定します。

(a) ポート・モード

P60-P67 は、ポート 6 モード・レジスタ (PM6) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P60-P67 は、ポート 6 モード・コントロール・レジスタ (PMCT6) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) A1, A20-A26 (Address) … 3 ステート出力

MEMC #1 のアドレス・バスで、A1 は 26 ビット・アドレスの下位 1 ビット・アドレス出力端子、A20-A26 は 26 ビット・アドレスの上位 7 ビット・アドレス出力端子です。8 ビット・アクセスには対応していますが、8 ビット・バスには対応していないため A0 はありません。

出力は、バス・サイクルの T1 ステートの、BUSCLK の立ち上がり同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルのアドレスを保持しています。

なお A1 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

表 2-1 MEMC #1 の起動時のバス・サイズとアドレス／ポートの関係

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

備考 MEMC #2 の SA1 は独立端子のため、ポート兼用動作はありません。

注意 A20-A26 は、リセット時は入力ポートです。またプルダウン抵抗を接続しています。このアドレス線を利用する場合は、最初のイニシャライズ処理にて、A20-A26 のうち必要なアドレス線について、ポート 6 モード・コントロール・レジスタ (PMCT6) でコントロール・モードに設定してください。

(8) ポート 7 (Port 7) … 3 ステート入出力

ポート 7 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 7 は入出力ポートとして機能するほか、コントロール・モードでは、MEMC #1 に外部メモリ等を接続する場合の制御信号 (WAITZ, STCSZ1-STCSZ3, DYCSZ, BENZ2/WRZ2, BENZ3/WRZ3) , IDLE モード状態出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 7 モード・コントロール・レジスタ (PMCT7) で指定します。

(a) ポート・モード

P70-P77 は、ポート 7 モード・レジスタ (PM7) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P70-P77 は、ポート 7 モード・コントロール・レジスタ (PMCT7) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) WAITZ (Wait) … 入力 (ロー・アクティブ)

バス・サイクルにデータ・ウェイトを挿入する制御信号入力端子で、BUSCLK 信号に対する非同期入力が可能です。この端子は、プルアップ抵抗付きです。

WAITZ 端子は P70 に兼用されており、リセット解除直後はポートとして動作します。WAITZ 入力端子として使用する場合は、ポート 7 モード・コントロール・レジスタ (PMCT7) でコントロール・モードに設定してください。

なお、セカンダリ・メモリ・コントローラ (MEMC #2) の SWAITZ 端子とは独立端子で、相互関係がありません。

注 EP3-AM1 に外部回路を接続した 1 チップ開発を行う場合、WAITZ 信号の非同期入力は推奨するものではありません。WAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

(ii) STCSZ1-STCSZ3 (Static Memory Chip Select) … 3 ステート出力 (ロー・アクティブ)

SRAM, 外部 ROM, 外部周辺 I/O 領域に対するチップ・セレクト信号出力端子です。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

注意 ページ ROM には、STCSZ0 のみ対応しています。

(iii) DYCSZ (SDRAM Chip Select) … 3 ステート出力 (ロー・アクティブ)

SDRAM 領域に対するチップ・セレクト信号出力端子です。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

(iv) BENZ2, BENZ3 (ROM / SRAM Byte Enable) … 出力 (ロー・アクティブ)

ROM, SRAM, I/O デバイスへの上位バイト・イネーブル出力です。32 ビット・バス幅を用いる場合のみ利用します。

BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

BENZ2, BENZ3 と WRZ2, WRZ3 は兼用されています。BENZ2, BENZ3 / WRZ2, WRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと, MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは, WREN レジスタの独立ビットで選択できます。

(v) WRZ2, WRZ3 (Write Strobe) … 出力 (ロー・アクティブ)

ROM, SRAM, I/O デバイスへの上位ライト・ストロブ出力です。32 ビット・バス幅を用いる場合のみ利用します。

WRZ2, WRZ3 と BENZ2, BENZ3 は兼用されています。BENZ2, BENZ3 / WRZ2, WRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと, MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは, WREN レジスタの独立ビットで選択できます。

(vi) IDLEOUTZ (IDLE Mode Status Output) … 出力 (ロー・アクティブ)

IDLE モードの状態出力です。

IDLE モードに入り、クロック停止が行われるタイミングで、ロー・レベルが出力されます。

(9) ポート 8 (Port 8) … 3 ステート入出力

ポート 8 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 8 は入出力ポートとして機能するほか、コントロール・モードでは、MEMC #1 に外部メモリ等を接続する場合の制御信号 (HLDRQZ, HLDKZ, BUSREQZ), ウォッチドッグ・タイマ出力, およびシリアル・フラッシュ ROM メモリ・コントローラのインタフェースとして動作します。

リセット時はプルアップ抵抗付きです。P80-P82 のみ、バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

BOOTSEL0, BOOTSEL1 端子で、シリアル・フラッシュ ROM からのブートを選択した場合は、P84-P87 はリセット解除直後から兼用機能が有効になります。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 8 モード・コントロール・レジスタ (PMCT8) で指定します。

(a) ポート・モード

P80-P87 は、ポート 8 モード・レジスタ (PM8) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P80-P87 は、ポート 8 モード・コントロール・レジスタ (PMCT8) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) HLDRQZ (Hold request) … 入力 (ロー・アクティブ)

外部デバイスが EP3-AM1 に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、プルアップ抵抗付きです。

この端子は、BUSCLK に対して非同期入力が可能です。この端子がアクティブになると、EP3-AM1 は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、HLDKZ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、HLDKZ 信号が出力されるまで、HLDRQZ 信号をアクティブに保ってください。

MEMC #1 のバス・ホールド中に、MEMC #1 経由で外部デバイスにアクセスすると、バス・ホールドが解除されるまで内部バス・マスタはウェイト状態になります。プライマリ・メモリ・コントローラ (MEMC #1) 以外は、バス・ホールドの影響を受けずにアクセスできます。ただし SDRAM を利用している場合に、リフレッシュの必要が生じた場合には、BUSREQZ によりバスの解放を外部バス・マスタに要求します。

なお、セカンダリ・メモリ・コントローラ (MEMC #2) の SHLDRQZ 端子とは独立端子で、相互関係がありません。

注意 メモリ・コントローラの各種初期化 (レジスタ設定など) が完了するまでは、HLDRQZ が入力されないようにしてください。なおリセット時は、ポート機能です。

(ii) HLDKZ (Hold acknowledge) … 出力 (ロー・アクティブ)

EP3-AM1 がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

(iii) BUSREQZ (Bus Release Request) … 出力 (ロー・アクティブ)

MEMC #1 に接続された、外部バス・マスタに対するバス解放要求出力です。

バス・ホールド中に SDRAM へのリフレッシュ要求が発生すると、BUSREQZ 端子にロー・レベルを出力し、外部バス・マスタに対してバスの解放を要求します。

注意 バス・ホールド中に SDRAM へのリフレッシュ要求が発生しても、HLDKZ 信号はディアサートされません。

(iv) WDTOUTZ (Watchdog Timer Output) … 出力 (ロー・アクティブ)

ウォッチドッグ・タイマ出力です。

ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。P27 に兼用されている WDTOUTZ と同じ信号が出力されます。

備考 一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。

(v) SMSCK[※] (Serial Flash Clock) … 出力

シリアル・フラッシュ ROM に対するクロック出力端子です。

(vi) SMSO[※] (Serial Flash Data Output) … 入出力

シリアル・フラッシュ ROM へのデータ出力端子です。

デュアル・モードでは、入出力端子として機能します。

(vii) SMSI[※] (Serial Flash Data Input) … 入出力

シリアル・フラッシュ ROM からのデータ入力端子です。

デュアル・モードでは、入出力端子として機能します。

(viii) SMCSZ[※] (Serial Flash Chip Select)

シリアル・フラッシュ ROM に対するチップ・セレクト出力端子です。

注 BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	—	—

(10) ポート 9 (Port 9) … 3 ステート入出力

ポート 9 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 9 は入出力ポートとして機能するほか、コントロール・モードでは、MEMC #1 に外部メモリ等を接続する場合のデータ・バス (D16-D23) , 16 ビット・タイマ/イベント・カウンタ T (TMT) のチャンネル 0 の入出力端子として動作します。このうち P92-P94, P97 は EI レベル・マスカブル割り込み入力端子としても動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 9 モード・コントロール・レジスタ (PMCT9) で指定します。

また複数の機能が兼用されている端子は、ポート 9 ファンクション・コントロール・レジスタ (PFC9) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T の機能と、外部割り込みの機能は、同時に動作します。

P95, P96 は、16 ビット・タイマ/イベント・カウンタ T の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート 9 ファンクション・コントロール拡張レジスタ (PFCEX9) で選択します。

(a) ポート・モード

P90-P97 は、ポート 9 モード・レジスタ (PM9) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P90-P97 は、ポート 9 モード・コントロール・レジスタ (PMCT9) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

(i) D16-D23 (Data) … 3 ステート入出力

外部アクセス時のデータ・バスです。32 ビット・データの D16-D23 入出力端子となります。なお、P90-P97 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

表 2-2 MEMC #1 の起動時のバス・サイズとデータ/ポートの関係

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(ii) TENC00, TENC01 (Encoder Inputs) … 入力

TMT0 のエンコーダ入力端子です。TENC00 を A 相, TENC01 を B 相入力に使用します。

(iii) TECR0 (Encoder Clear Input)

TMT0 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。

- (iv) TRGT0 (Trigger inputs) … 入力
TMT0 の外部トリガ入力端子です。
- (v) EVTT0 (Event inputs) … 入力
TMT0 の外部イベント入力端子です。
- (vi) TIT00, TIT01 (Capture Trigger Inputs) … 入力
TMT0 のキャプチャ・トリガ入力兼用端子です。
- (vii) TOT00, TOT01 (Timer Outputs) … 出力
TMT0 のタイマ出力兼用端子です。
- (viii) INTPZ42-INTPZ45 (EI Level Maskable Interrupt request) … 入力
有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(11) ポート A (Port A) … 3 ステート入出力

ポート A は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート A は入出力ポートとして機能するほか、コントロール・モードでは、MEMC #1 に外部メモリ等を接続する場合のデータ・バス (D24-D31) , 16 ビット・タイマ/イベント・カウンタ T のチャンネル 1 の入出力端子として動作します。このうち PA2-PA4, PA7 は EI レベル・マスカブル割り込み入力端子としても動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート A モード・コントロール・レジスタ (PMCTA) で指定します。

また複数の機能が兼用されている端子は、ポート A ファンクション・コントロール・レジスタ (PFCA) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T の機能と、外部割り込みの機能は、同時に動作します。

PA5, PA6 は、16 ビット・タイマ/イベント・カウンタ T の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート A ファンクション・コントロール拡張レジスタ (PFCEXA) で選択します。

(a) ポート・モード

PA0-PA7 は、ポート A モード・レジスタ (PMA) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

PA0-PA7 は、ポート A モード・コントロール・レジスタ (PMCTA) により、ビット単位でポート・モード/コントロール・モードの設定ができます。

(i) D24-D31 (Data) … 3 ステート入出力

外部アクセス時のデータ・バスです。32 ビット・データの D24-D31 入出力端子となります。なお、PA0-PA7 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

表 2-3 MEMC #1 の起動時のバス・サイズとデータ/ポートの関係

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(ii) TENC10, TENC11 (Encoder Inputs) … 入力

TMT1 のエンコーダ入力端子です。TENC10 を A 相, TENC11 を B 相入力に使用します。

(iii) TECR1 (Encoder Clear Input) … 入力

TMT1 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。

- (iv) TRGT1 (Trigger inputs) … 入力
TMT1 の外部トリガ入力端子です。
- (v) EVTT1 (Event inputs) … 入力
TMT1 の外部イベント入力端子です。
- (vi) TIT10, TIT11 (Capture Trigger Inputs) … 入力
TMT1 のキャプチャ・トリガ入力兼用端子です。
- (vii) TOT10, TOT11 (Timer Outputs) … 出力
TMT1 のタイマ出力兼用端子です。
- (viii) INTPZ46-INTPZ49 (EI Level Maskable Interrupt request) … 入力
有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

★

(12) ポート B (Port B) … 3 ステート入出力

ポート B は、1 ビット単位で入力または出力を設定できる 4 ビットの入出力ポートです。

ポート B は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 4, 5 の入出力端子として動作します。また EI レベル・マスカブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート B モード・コントロール・レジスタ (PMCTB) で指定します。

複数の機能が兼用されている端子は、ポート B ファンクション・コントロール・レジスタ (PFCB) で兼用機能を選択します。16 ビット・タイマ／カウンタ AA (TAA) のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

(a) ポート・モード

PB0-PB3 は、ポート B モード・レジスタ (PMB) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

PB0-PB3 は、ポート B モード・コントロール・レジスタ (PMCTB) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) TIA40, TIA41 (TAA4 capture trigger Inputs) … 入力

TAA4 のキャプチャ・トリガ入力端子です。

(ii) TIA50, TIA51 (TAA5 capture trigger Inputs) … 入力

TAA5 のキャプチャ・トリガ入力端子です。

(iii) TOA40, TOA41 (TAA4 external pulse Outputs) … 出力

TAA4 の外部パルス出力端子です。

(iv) TOA50, TOA51 (TAA5 external pulse Outputs) … 出力

TAA5 の外部パルス出力端子です。

(v) INTPZ32-INTPZ35 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(13) ポート C (Port C) … 3 ステート入出力

ポート C は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート C は入出力ポートとして機能するほか、コントロール・モードでは、クロック同期式シリアル・インタフェース (CSI30, CSI31) の入出力、A/D コンバータの外部トリガ入力、EI レベル・マスカブル割り込み入力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート C モード・コントロール・レジスタ (PMCTC) で指定します。

(a) ポート・モード

PC0-PC7 は、ポート C モード・レジスタ (PMC) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

PC0-PC7 は、ポート C モード・コントロール・レジスタ (PMCTC) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) SCK0, SCK1 (Serial Clock) … 入出力

CSI30, CSI31 のシリアル・クロック入出力端子です。

(ii) SI0, SI1 (Serial Input) … 入力

CSI30, CSI31 のシリアル・データ入力端子です。

(iii) SO0, SO1 (Serial Output) … 出力

CSI30, CSI31 のシリアル・データ出力端子です。

(iv) ADTRG (A/D trigger input) … 入力 (ハイ・アクティブ)

A/D コンバータの外部トリガ入力端子です。

この入力は、デジタル・ノイズ・フィルタ処理されています。

(v) INTPZ40, INTPZ41 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(14) ポート D (Port D) … 3 ステート入出力

ポート D は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート D は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 0, 1 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 4, 5 (CSI34, CSI35) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート D モード・コントロール・レジスタ (PMCTD) で指定します。

PD0-PD5 は、システム・バス DMA コントローラ入出力端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート D ファンクション・コントロール・レジスタ (PFCD) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

(a) ポート・モード

PD0-PD5 は、ポート D モード・レジスタ (PMD) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

PD0-PD5 は、ポート D モード・コントロール・レジスタ (PMCTD) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) DMAREQZ0, DMAREQZ1 (DMA request) … 入力 (ロー・アクティブ)

システム・バス DMAC チャンネル 0, 1 の転送要求入力端子です。

BUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

(ii) DMAACKZ0, DMAACKZ1 (DMA acknowledge) … 出力 (ロー・アクティブ)

システム・バス DMAC チャンネル 0, 1 のアクノリッジ信号です。

DMA 要求を受け付けると、BUSCLK の立ち上がりで同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。非同期インタフェースに対応し、対応する DMA 転送要求信号がディアサートされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

(iii) DMATCZ0, DMATCZ1 (Terminal count) … 出力 (ロー・アクティブ)

システム・バス DMAC チャンネル 0, 1 の DMA ターミナル・カウント (DMA 転送完了) 出力端子です。最終の DMA 転送を実行する際に、1×BUSCLK 期間のロー・レベルを出力します。

(iv) INTPZ36, INTPZ37 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(v) SCK4, SCK5 (Serial Clock) … 入出力

CSI34, CSI35 のシリアル・クロック入出力端子です。

- (vi) SI4, SI5 (Serial Input) … 入力
CSI34, CSI35 のシリアル・データ入力端子です。
- (vii) SO4, SO5 (Serial Output) … 出力
CSI34, CSI35 のシリアル・データ出力端子です。

(15) ポート E (Port E) … 3 ステート入出力

ポート E は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート E は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 2, 3 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 6, 7 (CSI36, CSI37) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート E モード・コントロール・レジスタ (PMCTE) で指定します。

PE0-PE5 は、システム・バス DMA コントローラ入出力端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート E ファンクション・コントロール・レジスタ (PFCE) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

(a) ポート・モード

PE0-PE5 は、ポート E モード・レジスタ (PME) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

PE0-PE5 は、ポート E モード・コントロール・レジスタ (PMCTE) により、ビット単位でポート・モード／コントロール・モードの設定ができます。

(i) DMAREQZ2, DMAREQZ3 (DMA request) … 入力 (ロー・アクティブ)

DMA チャンネル 2, 3 の転送要求入力端子です。

BUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

(ii) DMAACKZ2, DMAACKZ3 (DMA acknowledge) … 出力 (ロー・アクティブ)

DMA チャンネル 2, 3 のアクノリッジ信号です。

DMA 要求を受け付けると、BUSCLK の立ち上がりに同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。

非同期インタフェースに対応し、対応する DMA 転送要求信号がディアサートされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

(iii) DMATCZ2, DMATCZ3 (Terminal count) … 出力 (ロー・アクティブ)

DMA チャンネル 2, 3 の DMA ターミナル・カウント (DMA 転送完了) 出力端子です。最終の DMA 転送を実行する際に、1×BUSCLK 期間のロー・レベルを出力します。

(iv) INTPZ38, INTPZ39 (EI Level Maskable Interrupt request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力端子として動作します。レベル指定した場合は、ロー・アクティブです。この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

- (v) SCK6, SCK7 (Serial Clock) … 入出力
CSI36, CSI37 のシリアル・クロック入出力端子です。
- (vi) SI6, SI7 (Serial Input) … 入力
CSI36, CSI37 のシリアル・データ入力端子です。
- (vii) SO6, SO7 (Serial Output) … 出力
CSI36, CSI37 のシリアル・データ出力端子です。

2.4.2 内蔵周辺機能（タイマ、シリアル・インタフェース）入出力端子

注意 内蔵周辺機能の入出力端子は、すべてポートと兼用されています。リセット時はポート・モードが選択されていますので、使用するには、適宜 PMCTn, PFCn, PFCExn で、兼用機能を許可してください（n：3-5, 9-C）。

- ★ (1) 16 ビット・タイマ／カウンタ AA（TAA）入出力端子
- (a) TIA00, TIA01（TAA0 capture trigger Inputs）… 入力
TAA0 のキャプチャ・トリガ入力端子です。
 - (b) TIA10, TIA11（TAA1 capture trigger Inputs）… 入力
TAA1 のキャプチャ・トリガ入力端子です。
 - (c) TIA20, TIA21（TAA2 capture trigger Inputs）… 入力
TAA2 のキャプチャ・トリガ入力端子です。
 - (d) TIA30, TIA31（TAA3 capture trigger Inputs）… 入力
TAA3 のキャプチャ・トリガ入力端子です。
 - (e) TIA40, TIA41（TAA4 capture trigger Inputs）… 入力
TAA4 のキャプチャ・トリガ入力端子です。
 - (f) TIA50, TIA51（TAA5 capture trigger Inputs）… 入力
TAA5 のキャプチャ・トリガ入力端子です。
 - (g) TOA00, TOA01（TAA0 external pulse Outputs）… 出力
TAA0 の外部パルス出力端子です。
 - (h) TOA10, TOA11（TAA1 external pulse Outputs）… 出力
TAA1 の外部パルス出力端子です。
 - (i) TOA20, TOA21（TAA2 external pulse Outputs）… 出力
TAA2 の外部パルス出力端子です。
 - (j) TOA30, TOA31（TAA3 external pulse Outputs）… 出力
TAA3 の外部パルス出力端子です。
 - (k) TOA40, TOA41（TAA4 external pulse Outputs）… 出力
TAA4 の外部パルス出力端子です。
 - (l) TOA50, TOA51（TAA5 external pulse Outputs）… 出力
TAA5 の外部パルス出力端子です。

(2) 16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力端子

注意 16 ビット・タイマ／イベント・カウンタ T 機能は、16 ビット・バスを選択した場合のみ利用できます。

- (a) TENC00, TENC01 (Encoder Inputs) … 入力
TMT0 のエンコーダ入力端子です。TENC00 を A 相, TENC01 を B 相入力に使用します。
- (b) TECR0 (Encoder Clear Input)
TMT0 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。
- (c) TRGT0 (Trigger inputs) … 入力
TMT0 の外部トリガ入力端子です。
- (d) EVTT0 (Event inputs) … 入力
TMT0 の外部イベント入力端子です。
- (e) TIT00, TIT01 (Capture Trigger Inputs) … 入力
TMT0 のキャプチャ・トリガ入力兼用端子です。
- (f) TOT00, TOT01 (Timer Outputs) … 出力
TMT0 のタイマ出力兼用端子です。
- (g) TENC10, TENC11 (Encoder Inputs) … 入力
TMT1 のエンコーダ入力端子です。TENC10 を A 相, TENC11 を B 相入力に使用します。
- (h) TECR1 (Encoder Clear Input)
TMT1 のエンコーダ・クリア入力端子です。Z 相の入力に使用します。
- (i) TRGT1 (Trigger inputs) … 入力
TMT1 の外部トリガ入力端子です。
- (j) EVTT1 (Event inputs) … 入力
TMT1 の外部イベント入力端子です。
- (k) TIT10, TIT11 (Capture Trigger Inputs) … 入力
TMT1 のキャプチャ・トリガ入力兼用端子です。
- (l) TOT10, TOT11 (Timer Outputs) … 出力
TMT1 のタイマ出力兼用端子です。

(3) アシクロナス・シリアル・インタフェース (UART) 入出力端子

- (a) TXD0-TXD3 (UART transmit Outputs) … 出力
UART0-UART3 のシリアル・データ出力端子です。
- (b) RXD0-RXD3 (UART receive Inputs) … 入力
UART0-UART3 のシリアル・データ入力端子です。
- (c) RTS0-RTS3 (UART request to send) … 出力
UART0-UART3 の送信データ要求信号出力端子です。
対向の CTS (clear to send) と接続します。
- (d) CTS0-CTS3 (UART clear to send) … 入力
UART0-UART3 の送信データ要求入力端子です。
対向の RTS (request to send) と接続します。

(4) クロック同期式シリアル・インタフェース (CSI3) 入出力端子

- (a) SCK0-SCK7 (Serial Clock) … 入出力
CSI30-CSI37 のシリアル・クロック入出力端子です。
- (b) SI0-SI7 (Serial Input) … 入力
CSI30-CSI37 のシリアル・データ入力端子です。
- (c) SO0-SO7 (Serial Output) … 出力
CSI30-CSI37 のシリアル・データ出力端子です。

(5) その他の入出力端子

- (a) ADTRG (A/D trigger input) … 入力 (ハイ・アクティブ)
A/D コンバータの外部トリガ入力端子です。
この入力は、デジタル・ノイズ・フィルタ処理されています。

2.4.3 外部割り込み入力端子

CPU 動作クロック (CPCLK) と同一のクロックを用いたデジタル・ノイズ・フィルタ構造の外部割り込み入力端子です。CPU 動作クロックと異なり IDLE モードで停止しないクロックを用いているため、NMI、INTPZ0-INTPZ9、INTPZ16-INTPZ23 の外部割り込みは IDLE モードの解除が可能です。また、すべて立ち上がり／立ち下がり／両エッジ／ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

注意 NMI を除く外部割り込み入力端子は、すべてポートと兼用されています。リセット時はポート・モードが選択されていますので、割り込み機能を使用するには、適宜ポート・モード・コントロール・レジスタ、ポート・モード・ファクション・コントロール・レジスタで、外部割り込み機能を選択してください。

(1) NMI (FE Level Maskable Interrupt Request) … 入力

有効エッジ指定可能の FE レベル・マスカブル割り込み入力です。インサーキット・エミュレータからマスクできます。

この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(2) INTPZ0-INTPZ23 (EI Level Maskable Interrupt Request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

この割り込み入力は、デジタル・ノイズ・フィルタ処理されています。

(3) INTPZ24-INTPZ31 (EI Level Maskable Interrupt Request & TAA Capture Trigger Inputs) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

★ 内蔵 16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 0-3 のキャプチャ・トリガ端子と兼用しています。

(4) INTPZ32-INTPZ35 (EI Level Maskable Interrupt Request & TAA Capture Trigger Inputs) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

★ 内蔵 16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 4, 5 のキャプチャ・トリガ端子と兼用しています。

(5) INTPZ36-INTPZ39 (EI Level Maskable Interrupt Request & DMA Request Inputs) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

内蔵 DMA コントローラへのリクエスト端子と兼用しています。

(6) INTPZ40 (EI Level Maskable Interrupt Request) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

(7) INTPZ41 (EI Level Maskable Interrupt Request & A/D Converter Trigger Input) … 入力

有効エッジ指定可能 (レベル選択時はロー・アクティブ) の EI レベル・マスカブル割り込み入力です。

内蔵 A/D コンバータの変換トリガ端子と兼用しています。

- (8) INTPZ42, INTPZ46 (EI Level Maskable Interrupt Request & TMT Encoder Clear Inputs) … 入力
有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力です。
内蔵 16 ビット・タイマ／イベント・カウンタ T (TMT) のエンコーダ・クリア入力端子と兼用しています。
- (9) INTPZ43, INTPZ47 (EI Level Maskable Interrupt Request & TMT Trigger Inputs) … 入力
有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力です。
内蔵 16 ビット・タイマ／イベント・カウンタ T (TMT) の外部トリガ入力端子と兼用しています。
- (10) INTPZ44, INTPZ48 (EI Level Maskable Interrupt Request & TMT Event Inputs) … 入力
有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力です。
内蔵 16 ビット・タイマ／イベント・カウンタ T (TMT) の外部イベント入力端子と兼用しています。
- (11) INTPZ45, INTPZ49 (EI Level Maskable Interrupt Request) … 入力
有効エッジ指定可能（レベル選択時はロー・アクティブ）の EI レベル・マスカブル割り込み入力です。

注意 外部割り込み入力端子は，端子によってプルアップ／プルダウン抵抗が異なります。有効エッジ／レベルを指定する際に注意してください。

NMI, INTPZ0-INTPZ41	: プルアップ抵抗付きポートと兼用
INTPZ42-INTPZ49	: プルダウン抵抗付きポートと兼用

2.4.4 DMA 端子

注意 1. DMA 端子は、ポートと兼用されている端子があります。これらはリセット時はポート・モードが選択されていますので、DMA 端子機能を使用する場合には、適宜 PMCTD, PMCTE で、兼用機能を許可してください。

2. DMA 端子と兼用されているポートは、すべてプルアップ抵抗付きです。

- (1) DMAREQZ0-DMAREQZ5 (DMA Request) … 入力 (ロー・アクティブ)

DMA 転送要求入力端子です。

バス・クロック BUSCLK の立ち上がりでサンプリングされるので、1 クロック分以上のアクティブ・レベル (ロー・レベル) を入力してください。

- (2) DMAACKZ0-DMAACKZ5 (DMA Acknowledge) … 出力 (ロー・アクティブ)

DMA アクノリッジ信号です。

DMA 要求を受け付けると、BUSCLK の立ち上がりに同期して、要求を受け付けたチャンネルに対応するアクノリッジ信号を出力します。非同期インタフェースに対応し、対応する DMA 転送要求信号がデassertされるまで、DMA アクノリッジ信号をアサートし続けるモードがあります。

- (3) DMATCZ0-DMATCZ5 (DMA Terminal Count) … 出力 (ロー・アクティブ)

ターミナル・カウント (DMA 転送完了) 出力端子です。

最終の DMA 転送を実行する際に、1×BUSCLK 期間のロー・レベルを出力します。

2.4.5 プライマリ・メモリ・コントローラ (MEMC #1) 端子

(1) STCSZ0 (Static Memory Chip Select) … 出力 (ロー・アクティブ)

MEMC #1 の外部スタティック・メモリ (SRAM, I/O デバイス, ページ ROM) に対するチップ・セレクト信号出力端子です。この端子は、プルアップ抵抗付きです。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

注意 ページ ROM は、STCSZ0 以外に接続した場合、オンページ・モードを利用できません。

(2) STCSZ1-STCSZ3 (Static Memory Chip Select) … 出力 (ロー・アクティブ)

MEMC #1 の外部スタティック・メモリ (SRAM, I/O デバイス) に対するチップ・セレクト信号出力端子です。この端子は、プルアップ抵抗付きです。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

(3) DYCSZ (Dynamic Memory Chip Select) … 出力 (ロー・アクティブ)

MEMC #1 の外部 SDRAM に対するチップ・セレクト信号出力端子です。この端子は、プルアップ抵抗付きです。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

STCSZ0-STCSZ3 とあわせて、MEMC #1 のアドレス空間は、チップ・セレクト信号ごとに表 2-4 のように割り当てられています。

表 2-4 MEMC #1 のアドレス空間

チップ・セレクト信号	アドレス空間	サイズ
STCSZ0	0800 0000H-09FF FFFFH	32M バイト
STCSZ1	0A00 0000H-0A7F FFFFH	8M バイト
STCSZ2	0A80 0000H-0ABF FFFFH	4M バイト
STCSZ3	0AC0 0000H-0AFF FFFFH	4M バイト
DYCSZ	F000 0000H-F7FF FFFFH	128M バイト

(4) A1-A26 (Address Outputs) … 出力

MEMC #1 の ROM／SRAM／SDRAM 共用アドレス出力です。この端子はプルダウン抵抗付きです。

A20-A26 は、リセット解除後は入力ポートです。アドレス出力として使用する場合は、ポート 6 モード・コントロール・レジスタ (PMCT6) でコントロール・モードに設定してください。

A1 は P67 と兼用されていますが、BUS32EN0 端子で 16 ビット・バスを選択した場合には A1 端子が有効になります。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

注意 A20-A26 は、リセット解除後は入力ポートです。またプルダウン抵抗を内蔵しています。このアドレス線を利用する場合は、最初のイニシャライズ処理にて、A20-A26 のうち必要なアドレス線について、ポート 6 モード・コントロール・レジスタ (PMCT6) でコントロール・モードに設定してください。

(5) D0-D31 (Data Bus) … 入出力

MEMC #1 の ROM／SRAM／SDRAM 共用データ・バスです。この端子は、プルダウン抵抗付きです。

出力は、バス・サイクル T1 ステートの BUSCLK の立ち上がりに同期して変化します。

D0-D31 のうち、D16-D31 はポート 9、ポート A と兼用しています。BUS32EN0 端子入力により、次のように動作します。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(6) RDZ (Read Strobe) … 出力 (ロー・アクティブ)

MEMC #1 の ROM／SRAM 用リード・ストロブ出力端子です。この端子は、プルアップ抵抗付きです。

(7) WRZ0-WRZ3 (Write Strobe) … 出力 (ロー・アクティブ)

MEMC #1 の ROM, SRAM, I/O デバイスへのライト・ストロブ出力です。

WRZ2, WRZ3 は、32 ビット・バスを選択している場合のみ利用できます。

WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。リセット解除後は、BENZ0-BENZ3 が選択されています。BENZ0-BENZ3/WRZ0-WRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。また BENZ2/WRZ2, BENZ3/WRZ3 は、P76, P77 に兼用されています。端子名称は BENZ0, BENZ1, P76, P77 です。

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。

表 2-5 WRZ 信号対象データ・ビット

WRZ 信号	対象データ・ビット
WRZ0	D0-D7
WRZ1	D8-D15
WRZ2	D16-D23
WRZ3	D24-D31

(8) DQM0-DQM3 (SDRAM DQ mask enable) … 出力

MEMC #1 の SDRAM アクセス用 DQ マスク信号です。この端子は、プルアップ抵抗付きです。

DQM2, DQM3 は、32 ビット幅で SDRAM を接続している場合のみ利用します。

リード時には、DQM0-DQM3 端子はすべてロー・レベルを出力します。それぞれ下記のように対応しています。

表 2-6 DQM 信号対象データ・ビット

DQM 信号	対象データ・ビット
DQM0	D0-D7
DQM1	D8-D15
DQM2	D16-D23
DQM3	D24-D31

(9) SDWEZ (SDRAM Write enable) … 出力 (ロー・アクティブ)

MEMC #1 の SDRAM アクセス用ライト・ストロブ信号です。

この端子は、プルアップ抵抗付きです。

(10) SDCASZ (SDRAM Column address strobe) … 出力 (ロー・アクティブ)

MEMC #1 の SDRAM アクセス用カラム・アドレス・ストロブ信号です。

この端子は、プルアップ抵抗付きです。

(11) SDRASZ (SDRAM Row address strobe) … 出力 (ロー・アクティブ)

MEMC #1 の SDRAM アクセス用ロウ・アドレス・ストロブ信号です。

この端子は、プルアップ抵抗付きです。

(12) SDCKE (SDRAM Clock Enable) … 出力

MEMC #1 の SDRAM 用クロック・イネーブル信号です。

セルフ・リフレッシュ・サイクル時にインアクティブ・レベル（ロー・レベル）を出力します。

(13) WRSTBZ (ROM / SRAM Write Strobe) … 出力（ロー・アクティブ）

MEMC #1 の WRZ0-WRZ3 のロー・アクティブ OR 出力です。

この端子は、プルアップ抵抗付きです。

汎用 SRAM のように、ライト・ストロブ入力が 1 本で、バイト・レーンのイネーブルを入力するデバイスに使用します。

(14) WAITZ (ROM / SRAM Wait Input) … 入力（ロー・アクティブ）

MEMC #1 で、バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、EP3-AM1 内部で BUSCLK 信号による同期化処理が行われるため非同期入力が可能です[※]。この端子は、プルアップ抵抗付きです。

WAITZ 端子は P70 に兼用されており、リセット解除直後はポートとして動作します。WAITZ 入力端子として使用する場合は、ポート 7 モード・コントロール・レジスタ（PMCT7）でコントロール・モードに設定してください。

なお、セカンダリ・メモリ・コントローラ（MEMC #2）の SWAITZ 端子とは独立端子で、相互関係がありません。

注 WAITZ 信号の非同期入力は推奨するものではありません。WAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

(15) HLDRQZ (Hold Request) … 入力（ロー・アクティブ）

MEMC #1 で、外部デバイスが EP3-AM1 に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、プルアップ抵抗付きです。

この端子は、BUSCLK に対して非同期入力が可能です。この端子がアクティブになると、EP3-AM1 は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、HLDAKZ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、HLDAKZ 信号が出力されるまで、HLDRQZ 信号をアクティブに保ってください。

MEMC #1 のバス・ホールド中に、MEMC #1 経由で外部デバイスにアクセスすると、バス・ホールドが解除されるまで内部バス・マスタはウエイト状態になります。プライマリ・メモリ・コントローラ（MEMC #1）以外は、バス・ホールドの影響を受けずにアクセスできます。ただし SDRAM を利用している場合に、リフレッシュの必要が生じた場合には、BUSREQZ によりバスの解放を外部バス・マスタに要求します。

なお、セカンダリ・メモリ・コントローラ（MEMC #2）の SHLDRQZ 端子とは独立端子で、相互関係がありません。

注意 メモリ・コントローラの各種初期化（レジスタ設定など）が完了するまでは、HLDRQZ が入力されないようにしてください。なおリセット解除後は、ポート機能です。

(16) HLDKZ (Hold Acknowledge) … 出力 (ロー・アクティブ)

MEMC #1 で、EP3-AM1 がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用権を渡します。

(17) BENZ0-BENZ3 (ROM / SRAM Byte Enable) … 出力 (ロー・アクティブ)

MEMC #1 の ROM, SRAM, I/O デバイスへのバイト・イネーブル出力です。

BENZ2, BENZ3 は、32 ビット・バスを選択している場合のみ利用できます。

BENZ0-BENZ3 と WRZ0-WRZ3 は兼用されています。リセット解除後は、BENZ0-BENZ3 が選択されています。BENZ0-BENZ3 / WRZ0-WRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

また BENZ2/WRZ2, BENZ3/WRZ3 は、P76, P77 に兼用されています。端子名称は BENZ0, BENZ1, P76, P77 です。BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

この端子は、プルアップ抵抗付きです。

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。

表 2-7 BENZ 信号対象データ・ビット

BENZ 信号	対象データ・ビット
BENZ0	D0-D7
BENZ1	D8-D15
BENZ2	D16-D23
BENZ3	D24-D31

(18) BCYSTZ (ROM / SRAM Bus Cycle Start Status) … 出力 (ロー・アクティブ)

MEMC #1 のバス・サイクルのスタート状態を示す出力です。

バス・サイクルの最初のステートにロー・レベルを出力します。

この端子は、プルアップ抵抗付きです。

(19) BUSCLK (SDRAM Clock output) … 出力

MEMC #1 の SDRAM へのクロック出力、およびメモリ・コントローラのバス・クロック出力信号です。

内部システム・バスと同一のクロックです。

(20) BUSREQZ (Bus Release Request) … 出力 (ロー・アクティブ)

MEMC #1 に接続された、外部バス・マスタに対するバス解放要求出力です。

バス・ホールド中に SDRAM へのリフレッシュ要求が発生すると、BUSREQZ 端子にロー・レベルを出力し、外部バス・マスタに対してバスの解放を要求します。

注意 バス・ホールド中に SDRAM へのリフレッシュ要求が発生しても、HLDKZ 信号はディアサータされません。

2.4.6 セカンダリ・メモリ・コントローラ (MEMC #2) 端子

- (1) SCSZ0-SCSZ3 (MEMC #2 Chip Select) … 出力 (ロー・アクティブ)

MEMC #2 のチップ・セレクト信号出力です。この端子は、プルアップ抵抗付きです。

MEMC #2 のチップ・セレクト信号は 4 本 (SCSZ0-SCSZ3) あり、MEMC #1 のチップ・セレクト信号とは独立しています。MEMC #2 のアドレス空間は、チップ・セレクト信号ごとに表 2-8 のように割り当てられています。

表 2-8 MEMC #2 のアドレス空間

チップ・セレクト信号	アドレス空間	サイズ
SCSZ0	0B00 0000H-0CFF FFFFH	32M バイト
SCSZ1	0D00 0000H-0D7F FFFFH	8M バイト
SCSZ2	0D80 0000H-0DBF FFFFH	4M バイト
SCSZ3	0DC0 0000H-0DFF FFFFH	4M バイト

- (2) SA1-SA24 (MEMC #2 Address Outputs) … 出力

MEMC #2 のアドレス出力です。この端子は、プルダウン抵抗付きです。

- (3) SD0-SD31 (MEMC #2 Data Bus) … 入出力

MEMC #2 の 32 ビット・データ・バスです。この端子は、プルダウン抵抗付きです。

- (4) SRDZ (MEMC #2 Read Strobe) … 出力 (ロー・アクティブ)

MEMC #2 のリード・ストロブ出力端子です。この端子は、プルアップ抵抗付きです。

- (5) SWRZ0-SWRZ3 (MEMC #2 Write Strobe) … 出力 (ロー・アクティブ)

MEMC #2 のライト・ストロブ出力端子です。この端子は、プルアップ抵抗付きです。

それぞれ下記のように対応しています。

SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。SBENZ0-SBENZ3 / SWRZ0-SWRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。

表 2-9 SWRZ 信号対象データ・ビット

SWRZ 信号	対象データ・ビット
SWRZ0	SD0-SD7
SWRZ1	SD8-SD15
SWRZ2	SD16-SD23
SWRZ3	SD24-SD31

- (6) SWRSTBZ (MEMC #2 ROM / SRAM Write Strobe) … 出力 (ロー・アクティブ)

MEMC #2 の SWRZ0-SWRZ3 の負論理 OR 出力です。

この端子は、プルアップ抵抗付きです。

- (7) SWAITZ (MEMC #2 ROM / SRAM Wait Input) … 入力 (ロー・アクティブ)

MEMC #2 の周辺 I/O または、メモリ制御回路からのウェイト入力端子です。EP3-AM1 内部で SBUSCLK 信号による同期化処理が行われるため非同期入力が可能です[※]。この端子は、プルアップ抵抗付きです。

MEMC #1 の WAITZ 端子とは独立端子で、相互関係がありません。

注 SWAITZ 信号の非同期入力は推奨するものではありません。SWAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

- (8) SHLDRQZ (MEMC #2 Hold Request) … 入力 (ロー・アクティブ)

MEMC #2 の外部からのバス・ホールド要求入力です。この端子は、プルアップ抵抗付きです。

MEMC #2 の内部デバイスが EP3-AM1 に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、SBUSCLK に対して非同期入力が可能です。この端子がアクティブになると、EP3-AM1 は実行中のバス・サイクルがあればその終了後に、なければすぐにセカンダリ・メモリ・コントローラ (MEMC #2) のアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、SHLDAKZ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、SHLDAKZ 信号が出力されるまで、SHLDRQZ 信号をアクティブに保ってください。

MEMC #2 のバス・ホールド中に、MEMC #2 経由で外部デバイスにアクセスすると、バス・ホールドが解除されるまで内部バス・マスタはウェイト状態になります。セカンダリ・メモリ・コントローラ (MEMC #2) 以外は、バス・ホールドの影響を受けずにアクセスできます。

なお、MEMC #1 の HLDQRZ 端子とは独立端子で、相互関係がありません。

- (9) SHLDAKZ (MEMC #2 Hold Acknowledge) … 出力 (ロー・アクティブ)

MEMC #2 の外部へのバス・ホールド・アクノリッジ出力です。

EP3-AM1 がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

(10) SBENZ0-SBENZ3 (MEMC #2 ROM / SRAM Byte Enable) … 出力 (ロー・アクティブ)

MEMC #2 の SRAM または、周辺 I/O へのバイト・イネーブル出力です。この端子は、プルアップ抵抗付きです。

それぞれ下記のように対応しています。

SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。SBENZ0-SBENZ3 / SWRZ0-SWRZ3 の機能切り替えは、ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの独立ビットで選択できます。

表 2-10 SBENZ 信号対象データ・ビット

SBENZ 信号	対象データ・ビット
SBENZ0	D0-D7
SBENZ1	D8-D15
SBENZ2	D16-D23
SBENZ3	D24-D31

(11) SBCYSTZ (MEMC #2 ROM / SRAM Bus Cycle Start Status) … 出力 (ロー・アクティブ)

MEMC #2 のバス・サイクルのスタート状態を示す出力です。

バス・サイクルの最初のステートにロー・レベルを出力します。

この端子は、プルアップ抵抗付きです。

(12) SBUSCLK (MEMC #2 Bus Clock output) … 出力

MEMC #2 のメモリ・コントローラのバス・クロック出力信号です。

リセット解除後のドライブ能力は $I_{OL} = 6\text{mA}$ です。機能は BUSCLK 端子と同一です。

内部システム・バスと同一のクロックです。

2.4.7 シリアル・フラッシュ ROM インタフェース端子

ブートにも対応した、シリアル・フラッシュ ROM インタフェース端子です。

- (1) SMCK (Serial Flash Clock) … 出力
シリアル・フラッシュ ROM に対するクロック出力端子です。
- (2) SMSO (Serial Flash Data Output) … 入出力
シリアル・フラッシュ ROM へのデータ出力端子です。
デュアル・モードでは、入出力端子として機能します。
- (3) SMSI (Serial Flash Data Input) … 入出力
シリアル・フラッシュ ROM からのデータ入力端子です。
デュアル・モードでは、入出力端子として機能します。
- (4) SMCSZ (Serial Flash Chip Select)
シリアル・フラッシュ ROM に対するチップ・セレクト出力端子です。

2.4.8 A/D コンバータ端子

注意 A/D コンバータの電源は、EVDD 系と同電位ですが、ディジタル系の電源ノイズの影響を受けにくい電源回路構成を推奨します。

(1) AIN0-AIN3 (Analog Input) … 入力

A/D コンバータへのアナログ入力端子です。

ノイズに対する誤動作を防ぐため、AD_AGND との間にコンデンサを接続してください。また A/D コンバータへの入力に使用している端子には、AVREFP-AVREFM の範囲外の電圧が加わらないようにしてください。AVREFP 以上、AVREFM 以下のノイズが入る可能性がある場合は、 V_F の小さいショットキー・バリア・ダイオードなどで電源にクランプしてください。

(2) AD_AVDD (A/D Converter VDD)

A/D コンバータ用アナログ電源供給端子です。EVDD (3.3V) と同電位の電源ラインに接続してください。

(3) AD_AGND (A/D Converter GND)

A/D コンバータ用グランド端子です。EGND と同電位のグランド・ラインに接続してください。

(4) AVREFP, AVREFM (A/D Converter Reference Voltage) … 入力

A/D コンバータ用の基準電圧供給端子です。

(5) ADTRG (A/D Conversion Trigger) … 入力

A/D コンバータ用の変換トリガ入力です。PC7 と兼用されています。PC7 をコントロール・モードに設定し、変換トリガに外部トリガ・モードを選択した場合に利用できます。

この端子は、プルダウン抵抗付きです。このトリガ入力は、シュミット入力で受け、ディジタル・ノイズ・フィルタ処理されています。

2.4.9 Nexus インタフェース端子

オンチップ・デバッグ機能により、デバッガを接続するための Nexus インタフェース端子です。
下記の信号が利用できます。

MCKO,	MDO0-MDO7,	MSEO0,	MSEO1,	DRSTZ,
DCK,	DMS,	DDI,	DDO,	DRDYZ,
EVTOZ, EVTIZ/DBINT				

2.4.10 システム端子

- (1) IDLEOUTZ (IDLE Mode Status Output) … 出力 (ロー・アクティブ)

IDLE モードの状態出力です。

IDLE モードに入り、クロック停止が行われるタイミングで、ロー・レベルになります。IDLE モードが解除されるとハイ・レベルになります。

この端子は P75 に兼用されています。

- (2) WDTOUTZ (Watchdog Timer Output) … 出力 (ロー・アクティブ)

ウォッチドッグ・タイマ出力です。

ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。

この端子は P27, P83 に兼用されています。

備考 一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。

- (3) RESETZ (System Reset Input) … 入力 (ロー・アクティブ)

RESETZ 入力は非同期入力です。クロック・コントローラを経て内部に伝播します。通常のイニシャライズ／スタートのほかに、パワー・セーブ・モード (HALT モード, IDLE モード) の解除にも使用できます。

RESETZ 端子へのロー・レベル入力は 500 μ s (MIN.) です。ただし、発振安定時間が 500 μ s 以上必要な場合は、発振安定時間分、ロー・レベルを確保してください。

- (4) RESTOZ (System Reset Output) … 出力 (ロー・アクティブ)

リセット出力端子です。

リセットは RESETZ 端子により、リセットは非同期で行われます。リセットの解除は BUSCLK 同期で行われます。

(5) XT1, XT2 (Oscillator) … 入力

発振ブロックの標準入力周波数は 27MHz-48MHz です。

外部クロック入力モード時（発振器出力を直接接続する場合）には、OSCTH 端子にハイ・レベルを入力（EVDD に接続）し、XT2 端子に外部クロックを入力し、XT1 端子にはロー・レベルを入力（EGND に接続）してください。

リセット解除後はこの入力周波数で動作します。起動後、レジスタ設定にて PLL の通倍率を変更できます。

なお、EP3-AM1 は、源発振を停止する STOP モードを持っていません。

注意 1. 発振子、発振器（発振モジュール）いずれの場合も、上限の周波数は 48MHz です。

2. 発振子の選択および発振回路定数については、お客様にて発振評価していただくか、発振器メーカーに評価を依頼してください。

(6) OSCTH (OSC Through Clock) … 入力

外部クロック入力モード時（発振器出力を直接接続する場合）には、OSCTH 端子にハイ・レベルを入力（EVDD に接続）し、XT2 端子に外部クロックを入力し、XT1 端子にはロー・レベルを入力（EGND に接続）してください。

XT1, XT2 に発振子を接続する場合は、OSCTH 端子にロー・レベルを入力（EGND に接続）してください。

表 2-11 OSCTH によるクロック入力制御

利用方法	OSCTH 入力	XT1, XT2 端子処理
発振子接続	ロー	XT1, XT2 に発振子接続
外部クロック入力	ハイ	XT2 に外部クロック入力, XT1 はロー・レベル入力

(7) PONR (Power On Reset for Redundancy RAM) … 入力

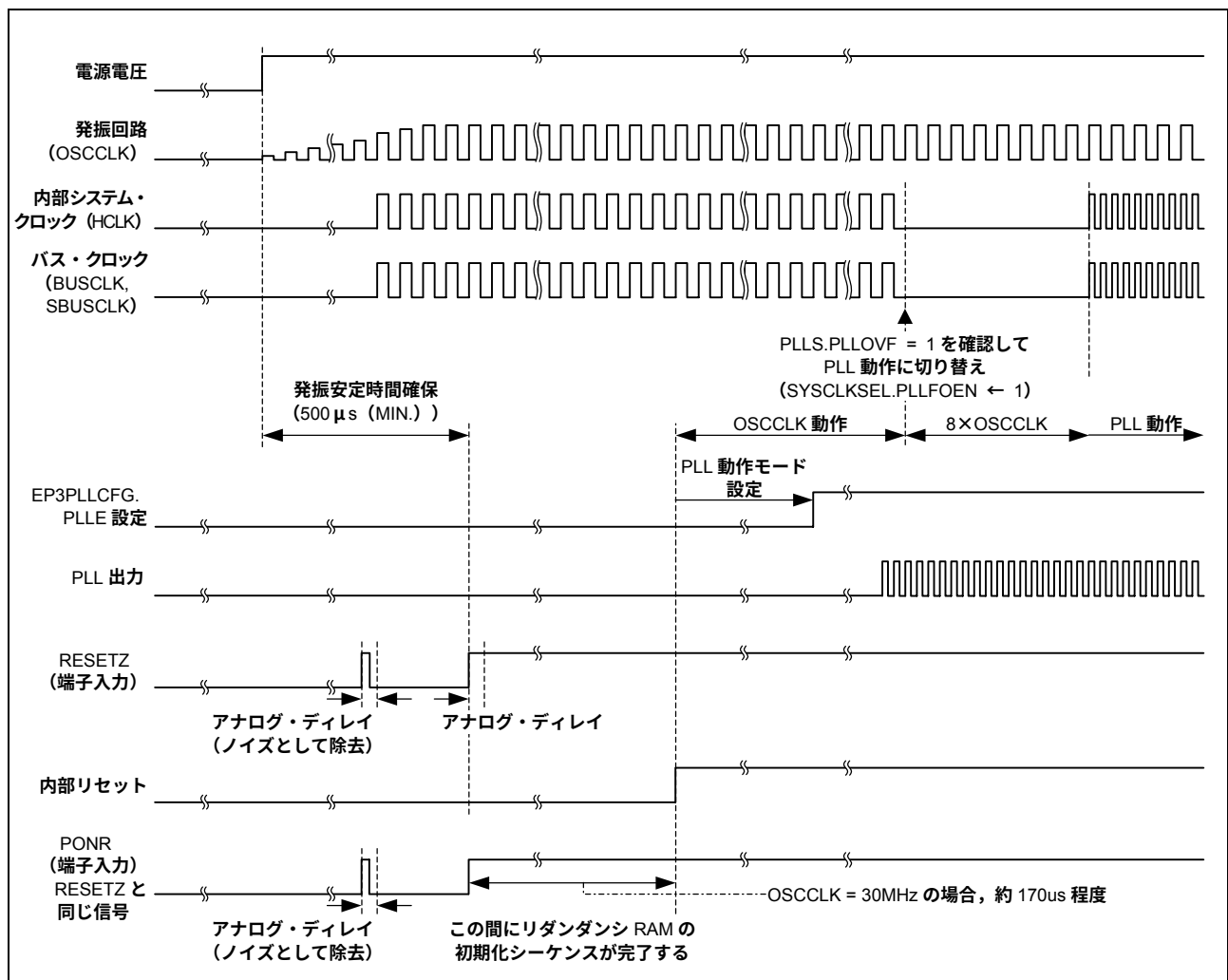
EP3-AM1 の内蔵 RAM には、製造歩留まり向上のため、リダンダンシ RAM を採用しています。内蔵 RAM は複数のグループに分けられており、検査過程で、グループ単位で発生した 1 ビットまでのエラーをビット線ごとエラーのないビット線に置き換えています。

このエラーの有無の情報を内蔵 RAM に展開する初期化シーケンスを設けるため、PONR 信号を入力する必要があります。PONR には RESETZ 信号と同じリセット信号を入力してください。

RESETZ 入力によるリセット解除に対して、内部回路のリセット動作を行ってから内部リセット信号は解除されるため、この期間にリダンダンシ RAM の初期化シーケンスが完了します。

注意 リセット解除後には、リダンダンシ RAM のエラー情報を RAM 上に展開するため、リセット前の内蔵 RAM のデータは、リセット後は保証されません。ただし、インサーキット・エミュレータを用い、デバッガからソフトウェア・リセットする場合は、ソフトウェア・リセット前のデータは保証されます。

図 2-2 リセット動作, PONR 信号とリダンダンシ RAM の初期化シーケンス



- (8) PLL_AVDD (SSCG-PLL Power Supply)

SSCG-PLL 用電源端子です。IVDD (1.0V) と同電位の電源ラインに接続してください。

- (9) PLL_AGND (SSCG-PLL Ground)

SSCG-PLL 用グランド電位端子です。IGND と同電位のグランド・ラインに接続してください。

注意 PLL の電源は、IVDD 系と同電位ですが、デジタル系の電源ノイズの影響を受けにくい電源回路構成を推奨します。

- (10) EVDD (I/O Power Supply)

I/O バッファ用電源 (3.3V) 供給端子です。

- (11) IVDD (Internal Power Supply)

内部電源供給端子です。EP3-AM1 の内部電源は、1.0V です。

- (12) EGND (Ground)

I/O バッファ用グランド電位端子です。すべての EGND 端子をグランドに接続してください。

- (13) IGND (Ground)

内部電源用グランド電位端子です。すべての IGND 端子をグランドに接続してください。

2.4.11 動作モード設定端子

起動時のバス・サイズ、CPU と内部システム・バスのクロックの分周比などを設定します。ほとんどの動作モード設定端子は、動作中の設定変更を許可していないため、リセット解除前に確定させる必要があります。動作モード設定端子の設定は、EVDD または EGND に直接接続します。

注意 動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

(1) BUS32EN0 (MEMC #1 Bus Size Select) … 入力

MEMC #1 から起動する場合に、起動時の MEMC #1 のバス・サイズを選択します。起動後、BSC レジスタで、チップ・セレクト信号 (STCSZ0-STCSZ3, DYCSZ) ごとにバス・サイズを変更できます。

表 2-12 MEMC #1 の起動時のバス・サイズの設定

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(2) BUS32EN1 (MEMC #2 Bus Size Select) … 入力

MEMC #2 から起動する場合に、起動時の MEMC #2 のバス・サイズを選択します。起動後、SPBSC レジスタで、チップ・セレクト信号 (SCSZ0-SCSZ3) ごとにバス・サイズを変更できます。

表 2-13 MEMC #2 の起動時のバス・サイズの設定

BUS32EN1	MEMC #2 の起動時のバス・サイズ	SPBSC レジスタ
0	16 ビット	0000 5555H
1	32 ビット	0000 FFFFH

(3) CLKDV0-CLKDV2 (HCLK Divide Control) … 入力

CPU の動作クロック (CPCLK) に対する内部システム・バス・クロック (HCLK) および周辺マクロ・クロック (PCLK) の分周比設定入力です。

MEMC #1 の BUSCLK, MEMC #2 の SBUSCLK は、常に HCLK と同一周波数に設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

備考 1. CPCLK : CPU 動作クロック

2. BUSCLK, SBUSCLK も HCLK と同一周波数になります。

3. HCLK に CPCLK/3 を選択した場合の HCLK のデューティは 50%になります。

(4) BOOTSEL (Boot Select) … 入力

ブート領域を MEMC #1 の STCSZ0 / MEMC #2 の SCSZ0 / 外部シリアル・フラッシュ ROM の 3 種類から選択します。起動した領域 (デバイス) により、ブート・アドレスが異なります。

表 2-14 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	—

(5) JTAGSEL (JTAG Interface Select) … 入力

JTAG インタフェース端子 (DRSTZ, DCK, DMS, DDI, DDO) の動作モード設定端子です。

通常動作時、インサーキット・エミュレータを接続してデバッグする場合はロー・レベルを入力してください。ボード・テストを利用する場合は、ハイ・レベルを入力してください。

JTAGSEL	JTAG 端子の動作モード
0	通常動作時, デバッガ・インタフェース・モード
1	ボード・テスト・モード

2.4.12 テスト端子

テスト端子は、EP3-AM1 の出荷テストで使用されます。通常動作時には、表 2-15 の処理を行ってください。

表 2-15 テスト端子の処理

端子名	端子の推奨処理方法
TMODE0-TMODE2	EGND に接続
TESTCLK	
TMC1	
TMC2	

2.5 動作モード・モニタ機能

動作モード設定端子は、動作モード・モニタ・レジスタで設定状態を確認できます。
確認可能な動作モード設定端子を、以下に示します。

表 2-16 確認可能な動作モード設定端子

端子名称	機 能
BUS32EN0	MEMC #1 の起動時のバス幅選択
BUS32EN1	MEMC #2 の起動時のバス幅選択
CLKDV0-CLKDV2	CPU と内部システム・バス・クロック、周辺マクロ・クロックの分周比設定
BOOTSEL0, BOOTSEL1	ブート・モード選択
JTAGSEL	JTAG 端子の動作モード設定
OSCTH	XT2 ダイレクト入力時にハイ・レベル入力

2.5.1 動作モード・モニタ・レジスタ

表 2-16 に示す動作モード設定端子のレベルを読み出すレジスタです。
端子名とビット名が対応しています。
32 ビット単位でリードのみ可能です。

																アドレス	
MDMNT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9100H
	0	0	0	0	0	0	0	0	0	0	0	OSCTH	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	R	0	0	R	R	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	端子設定
	0	0	0	JTAGSEL	0	CLKDV2	CLKDV1	CLKDV0	0	0	BOOTSEL1	BOOTSEL0	0	0	BUS32EN1	BUS32EN0	
R/W	0	0	0	R	0	R	R	R	0	0	R	R	0	0	R	R	
ビット位置	ビット名		意 味														
20, 17, 16, 12, 10-8, 5, 4, 1, 0	－		動作モード設定端子のレベルを読み出します。 0：ロー・レベル入力 1：ハイ・レベル入力														

2.6 バッファ機能切り替え機能

MEMC #1 端子, MEMC #2 端子, 一部の DMA, 外部割り込み入力端子, IDLEOUTZ 端子には, ドライブ能力, プルアップ/プルダウン抵抗を, プログラマブルに変更できます。

負荷の大きいシステムや, EP3-AM1 評価ボードでは, ドライブ能力の高いバッファ・タイプに変更して, 安定した動作を実現できます。

バッファ機能の切り替えには, バッファ機能切り替えレジスタ (DRCTRL) を使用します。

2.6.1 バッファ機能切り替えレジスタの初期値

DRCTRL レジスタの初期値は, 下記の負荷容量を前提にしています。また, 端子の用途特性に応じ, DRCTRL のプルアップ/プルダウンの初期値が決定されています。

(1/2)

端子の種類	端子名	兼用 ポート	DRCTRL レジスタの 設定ビット	DRCTRL レジスタ初期値			ドライブ能力 可変範囲 [mA]
				プルアップ／ プルダウン 指定	想定 負荷容量 [pF]	ドライブ 能力 [mA]	
MEMC #1 端子	A1	P67	DRCTRL.3-0	プルダウン	18.5	6	6/9
	A2-A19	—			26		
	A20-A26	P60-P66					
	D0-D15	—					
	D16-D23	P90-P97					
	D24-D31	PA0-PA7					
	RDZ	—	DRCTRL.7-4	プルアップ	18.5	6	6/9
	WRSTBZ	—					
	BCYSTZ	—					
	WAITZ	P70					
	STCSZ0	—					
	STCSZ1	P71					
	STCSZ2	P72					
	STCSZ3	P73					
	DYCSZ	P74					
	BENZ0/WRZ0	—					
	BENZ1/WRZ1	—					
	BENZ2/WRZ2	P76					
	BENZ3/WRZ3	P77					
	HLDREQZ	P80			18.5	6	6/9
	HLDAKZ	P81					
	BUSREQZ	P82			18.5	6	6/9
	DQM0-DQM3	—					
	SDRASZ	—					
	SDCASZ	—					
	SDWEZ	—					
	SDCKE	—					
	IDLEOUTZ	P75	DRCTRL.7-4	プルアップ	30	6	6/9
	BUSCLK	—	DRCTRL.29, 28	—	18.5	9	6/9/12

(2/2)

端子の種類	端子名	兼用 ポート	DRCTRL レジスタの 設定ビット	DRCTRL レジスタ初期値			ドライブ能力 可変範囲 [mA]	
				プルアップ／ プルダウン 指定	想定 負荷容量 [pF]	ドライブ 能力 [mA]		
MEMC #2 端子	SA1-SA24	—	DRCTRL.11-8	プルダウン	18.5	3	3/6	
	SD0-SD31	—	DRCTRL.15-12	プルアップ		—		—
	SRDZ	—						
	SWRSTBZ	—						
	SBCYSTZ	—						
	SWAITZ	—						
	SCSZ0-SCSZ3	—						
	SBENZ0-SBENZ3	—						
	SHLDRQZ	—				—	—	
	SHLDAKZ	—		—		3	3/6	
	SBUSCLK	—	DRCTRL.31, 30	—		6	3/6/9	
その他の端子	DMARQZ4, DMARQZ5	—	DRCTRL.23-20	プルアップ	—	—	—	
	DMAACKZ4, DMAACKZ5	—			15	3	3/6	
	DMATCZ4, DMATCZ5	—						
	P20-P27	—						

2.6.2 バッファ機能切り替えレジスタ (DRCTRL)

MEMC #1 端子, MEMC #2 端子, 一部の DMA, 外部割り込み入力端子, IDLEOUTZ 端子の, ドライブ能力, プルアップ/プルダウン抵抗を設定するレジスタです。

MEMC #1 端子, MEMC #2 端子は, プルアップ端子系とプルダウン端子系でレジスタ・ビットが分かれています。

DRCTRL レジスタは, リセット解除後の初期化处理で設定し, 以降の設定変更は, バッファ機能を切り替える端子を利用していないことを条件に切り替えてください。たとえば, 内部アクセスのみを行っているときに設定を変更してください。

DRCTRL レジスタの設定は, その端子の動作モード (ポート・モードと兼用機能を利用するコントロール・モードなど) に関係なく有効になります。

32 ビット単位でリード/ライト可能です。

注意 プルアップ/プルダウンの設定変更は, 基本的に推奨しません。変更する場合は, 以下の点に十分注意してください。

- ① プルアップ/プルダウンの設定変更は, ハイ・インピーダンス時のレベルが変化します。
- ② MEMC #1 端子とポートのプルアップ/プルダウンが同時に変更されるものがあります。特にバス・ホールドなどでのハイ・インピーダンス制御時などに注意が必要です。

(1/3)

アドレス																	
DRCTRL	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 910CH
	IOL SBUS1	IOL SUBS0	IOL BUS1	IOL BUS0	0	0	0	0	PUI	PDI	IOLI1	IOLI0	1	1	0	0	
	MEMC #2 SBUSCLK		MEMC #1 BUSCLK		MEMC #2 (バス以外)												
R/W	R/W	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PU SU	PD SU	IOL SU1	IOL SU0	PU SD	PD SD	IOL SD1	IOL SD0	PU EU	PD EU	IOL EU1	IOL EU0	PU ED	PD ED	IOL ED1	IOL ED0	608A 8495H
	MEMC #2 プルアップ系				MEMC #2 プルダウン系				MEMC #1 プルアップ系				MEMC #1 プルダウン系				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味															
31, 30	IOLSBUS1, IOLSBUS0	SBUSCLK 端子のドライブ能力を設定します。 <table><tr><th>IOLSBUS1</th><th>IOLSBUS0</th><th>SBUSCLK 端子のドライブ能力</th></tr><tr><td>0</td><td>0</td><td>3mA</td></tr><tr><td>0</td><td>1</td><td>6mA (初期値)</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	IOLSBUS1	IOLSBUS0	SBUSCLK 端子のドライブ能力	0	0	3mA	0	1	6mA (初期値)	1	0	設定禁止	1	1	設定禁止
IOLSBUS1	IOLSBUS0	SBUSCLK 端子のドライブ能力															
0	0	3mA															
0	1	6mA (初期値)															
1	0	設定禁止															
1	1	設定禁止															
29, 28	IOLBUS1, IOLBUS0	BUSCLK 端子のドライブ能力を設定します。 <table><tr><th>IOLBUS1</th><th>IOLBUS0</th><th>BUSCLK 端子のドライブ能力</th></tr><tr><td>0</td><td>0</td><td>3mA (推奨しません)</td></tr><tr><td>0</td><td>1</td><td>6mA</td></tr><tr><td>1</td><td>0</td><td>9mA (初期値)</td></tr><tr><td>1</td><td>1</td><td>12mA (推奨しません)</td></tr></table>	IOLBUS1	IOLBUS0	BUSCLK 端子のドライブ能力	0	0	3mA (推奨しません)	0	1	6mA	1	0	9mA (初期値)	1	1	12mA (推奨しません)
IOLBUS1	IOLBUS0	BUSCLK 端子のドライブ能力															
0	0	3mA (推奨しません)															
0	1	6mA															
1	0	9mA (初期値)															
1	1	12mA (推奨しません)															
23, 22	PUI, PDI	DMARQZ4, DMARQZ5, P20-P27 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table><tr><th>PUI</th><th>PDI</th><th>DMARQZ4, DMARQZ5, P20-P27 端子の プルアップ抵抗／プルダウン抵抗</th></tr><tr><td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし (推奨しません)</td></tr><tr><td>0</td><td>1</td><td>プルダウン抵抗 (推奨しません)</td></tr><tr><td>1</td><td>0</td><td>プルアップ抵抗 (初期値)</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	PUI	PDI	DMARQZ4, DMARQZ5, P20-P27 端子の プルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし (推奨しません)	0	1	プルダウン抵抗 (推奨しません)	1	0	プルアップ抵抗 (初期値)	1	1	設定禁止
PUI	PDI	DMARQZ4, DMARQZ5, P20-P27 端子の プルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし (推奨しません)															
0	1	プルダウン抵抗 (推奨しません)															
1	0	プルアップ抵抗 (初期値)															
1	1	設定禁止															
21, 20	IOLI1, IOLI0	DMAACKZ4, DMAACKZ5, DMATCZ4, DMATCZ5, P20-P27 端子のドライブ能力を設定します。 <table><tr><th>IOLI1</th><th>IOLI0</th><th>DMAACKZ4, DMAACKZ5, DMATCZ4, DMATCZ5, P20-P27 端 子のドライブ能力</th></tr><tr><td>0</td><td>0</td><td>3mA (初期値)</td></tr><tr><td>0</td><td>1</td><td>6mA</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	IOLI1	IOLI0	DMAACKZ4, DMAACKZ5, DMATCZ4, DMATCZ5, P20-P27 端 子のドライブ能力	0	0	3mA (初期値)	0	1	6mA	1	0	設定禁止	1	1	設定禁止
IOLI1	IOLI0	DMAACKZ4, DMAACKZ5, DMATCZ4, DMATCZ5, P20-P27 端 子のドライブ能力															
0	0	3mA (初期値)															
0	1	6mA															
1	0	設定禁止															
1	1	設定禁止															

(2/3)

ビット位置	ビット名	意 味															
15, 14	PUSU, PDSU	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <thead> <tr> <th>PUSU</th><th>PDSU</th><th>SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗／プルダウン抵抗</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし（推奨しません）</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗（推奨しません）</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗（初期値）</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	PUSU	PDSU	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）	0	1	プルダウン抵抗（推奨しません）	1	0	プルアップ抵抗（初期値）	1	1	設定禁止
PUSU	PDSU	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）															
0	1	プルダウン抵抗（推奨しません）															
1	0	プルアップ抵抗（初期値）															
1	1	設定禁止															
13, 12	IOLSU1, IOLSU0	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のドライブ能力を設定します。 <table border="1"> <thead> <tr> <th>IOLSU1</th><th>IOLSU0</th><th>SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のドライブ能力</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>3mA（初期値）</td></tr> <tr> <td>0</td><td>1</td><td>6mA（推奨値）</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	IOLSU1	IOLSU0	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のドライブ能力	0	0	3mA（初期値）	0	1	6mA（推奨値）	1	0	設定禁止	1	1	設定禁止
IOLSU1	IOLSU0	SRDZ, SWRSTBZ, SBCYSTZ, SWAITZ, SCSZ0-SCSZ3, SBENZ0-SBENZ3, SHLDRQZ, SHLDAKZ 端子のドライブ能力															
0	0	3mA（初期値）															
0	1	6mA（推奨値）															
1	0	設定禁止															
1	1	設定禁止															
11, 10	PUSD, PDSD	SA1-SA24, SD0-SD31 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <thead> <tr> <th>PUSD</th><th>PDSD</th><th>SA1-SA24, SD0-SD31 端子のプルアップ抵抗／プルダウン抵抗</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし（推奨しません）</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗（初期値）</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗（推奨しません）</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	PUSD	PDSD	SA1-SA24, SD0-SD31 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）	0	1	プルダウン抵抗（初期値）	1	0	プルアップ抵抗（推奨しません）	1	1	設定禁止
PUSD	PDSD	SA1-SA24, SD0-SD31 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）															
0	1	プルダウン抵抗（初期値）															
1	0	プルアップ抵抗（推奨しません）															
1	1	設定禁止															
9, 8	IOLSD1, IOLSD0	SA1-SA24, SD0-SD31 端子のドライブ能力を設定します。 <table border="1"> <thead> <tr> <th>IOLSD1</th><th>IOLSD0</th><th>SA1-SA24, SD0-SD31 端子のドライブ能力</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>3mA（初期値）</td></tr> <tr> <td>0</td><td>1</td><td>6mA（推奨値）</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	IOLSD1	IOLSD0	SA1-SA24, SD0-SD31 端子のドライブ能力	0	0	3mA（初期値）	0	1	6mA（推奨値）	1	0	設定禁止	1	1	設定禁止
IOLSD1	IOLSD0	SA1-SA24, SD0-SD31 端子のドライブ能力															
0	0	3mA（初期値）															
0	1	6mA（推奨値）															
1	0	設定禁止															
1	1	設定禁止															

(3/3)

ビット位置	ビット名	意 味															
7, 6	PUEU, PDEU	RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <tr> <th>PUEU</th><th>PDEU</th><th>RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗／プルダウン抵抗</th></tr> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし（推奨しません）</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗（推奨しません）</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗（初期値）</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	PUEU	PDEU	RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）	0	1	プルダウン抵抗（推奨しません）	1	0	プルアップ抵抗（初期値）	1	1	設定禁止
PUEU	PDEU	RDZ, WRSTBZ, BCYSTZ, WAITZ, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ, HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）															
0	1	プルダウン抵抗（推奨しません）															
1	0	プルアップ抵抗（初期値）															
1	1	設定禁止															
5, 4	IOLEU1, IOLEU0	RDZ, WRSTBZ, BCYSTZ, WAITZ ^注, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ ^注, HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力を設定します。 <table border="1"> <tr> <th>IOLEU1</th><th>IOLEU0</th><th>RDZ, WRSTBZ, BCYSTZ, WAITZ ^注, STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ ^注, HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力</th></tr> <tr> <td>0</td><td>0</td><td>3mA（推奨しません）</td></tr> <tr> <td>0</td><td>1</td><td>6mA（初期値）</td></tr> <tr> <td>1</td><td>0</td><td>9mA</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	IOLEU1	IOLEU0	RDZ, WRSTBZ, BCYSTZ, WAITZ ^注 , STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ ^注 , HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力	0	0	3mA（推奨しません）	0	1	6mA（初期値）	1	0	9mA	1	1	設定禁止
IOLEU1	IOLEU0	RDZ, WRSTBZ, BCYSTZ, WAITZ ^注 , STCSZ0-STCSZ3, DYCSZ, BENZ0-BENZ3, HLDRQZ ^注 , HLDKZ, BUSREQZ, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ, SDCKE, IDLEOUTZ 端子のドライブ能力															
0	0	3mA（推奨しません）															
0	1	6mA（初期値）															
1	0	9mA															
1	1	設定禁止															
3, 2	PUED, PDED	A1-A26, D0-D31 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <tr> <th>PUED</th><th>PDED</th><th>A1-A26, D0-D31 端子のプルアップ抵抗／プルダウン抵抗</th></tr> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし（推奨しません）</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗（初期値）</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗（推奨しません）</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	PUED	PDED	A1-A26, D0-D31 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）	0	1	プルダウン抵抗（初期値）	1	0	プルアップ抵抗（推奨しません）	1	1	設定禁止
PUED	PDED	A1-A26, D0-D31 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし（推奨しません）															
0	1	プルダウン抵抗（初期値）															
1	0	プルアップ抵抗（推奨しません）															
1	1	設定禁止															
1, 0	IOLED1, IOLED0	A1-A26, D0-D31 端子のドライブ能力を設定します。 <table border="1"> <tr> <th>IOLED1</th><th>IOLED0</th><th>A1-A26, D0-D31 端子のドライブ能力</th></tr> <tr> <td>0</td><td>0</td><td>3mA（推奨しません）</td></tr> <tr> <td>0</td><td>1</td><td>6mA（初期値）</td></tr> <tr> <td>1</td><td>0</td><td>9mA</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	IOLED1	IOLED0	A1-A26, D0-D31 端子のドライブ能力	0	0	3mA（推奨しません）	0	1	6mA（初期値）	1	0	9mA	1	1	設定禁止
IOLED1	IOLED0	A1-A26, D0-D31 端子のドライブ能力															
0	0	3mA（推奨しません）															
0	1	6mA（初期値）															
1	0	9mA															
1	1	設定禁止															

注 WAITZ, HLDRQZ は入力機能のため、ポートとして利用する場合にこのビットが機能します。

2.7 各端子のバッファ・タイプ

各端子の入出力回路タイプと、未使用端子の処理を表 2-17 に以降に示します。

また、各タイプの入出力回路の構成は表 2-27 を参照してください。

表 2-17 各端子の入出力回路タイプと未使用端子の処理（ポート端子）

(1/3)

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
P00-P07	INTPZ0-INTPZ7	TUD1BC33HN06U	入出力	I/O Buffer (3.3V)	オープン
P10-P17	INTPZ8-INTPZ15			Schmitt in 6mA 50k Ω Pull-up	
P20-P26	INTPZ16-INTPZ22	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 3mA 50k Ω Pull-up	オープン
P27	INTPZ23/WDTOUTZ				
P30	TXD0/SCK2	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	オープン
P31	RXD0/SO2				
P32	RTS0/SI2				
P33	CTS0				
P34	TXD1/SCK3				
P35	RXD1/SO3				
P36	RTS1/SI3				
P37	CTS1				
P40	TXD2				
P41	RXD2				
P42	RTS2				
P43	CTS2				
P44	TXD3				
P45	RXD3	TUD4ZE1269	入出力	I/O Buffer (5V-TOL) Schmitt in 4mA 50k Ω Pull-up	オープン
P46	RTS3	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	
P47	CTS3	TUD4ZE1269	入出力	I/O Buffer (5V-TOL) Schmitt in 4mA 50k Ω Pull-up	
P50	TIA00/TOA00/INTPZ24	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	オープン
P51	TIA01/TOA01/INTPZ25				
P52	TIA10/TOA10/INTPZ26				
P53	TIA11/TOA11/INTPZ27				
P54	TIA20/TOA20/INTPZ28				
P55	TIA21/TOA21/INTPZ29				
P56	TIA30/TOA30/INTPZ30				
P57	TIA31/TOA31/INTPZ31				

(2/3)

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
P60-P66	A20-A26	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-down	オープン
P67	A1				
P70	WAITZ	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-up	オープン
P71-P73	STCSZ1-STCSZ3				
P74	DYCSZ				
P75	IDLEOUTZ				
P76	BENZ2				
P77	BENZ3				
P80	HLDRQZ	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-up	オープン
P81	HLDKAZ				
P82	BUSREQZ				
P83	WDTOUTZ	TUD1BC33NN06U	入出力	I/O Buffer (3.3V) 6mA 50k Ω Pull-up	オープン
P84	SMSCK				
P85	SMSO				
P86	SMSI				
P87	SMCSZ				
P90	D16/TENC00	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-down	オープン
P91	D17/TENC01				
P92	D18/TECR0/INTPZ42				
P93	D19/TRGT0/INTPZ43				
P94	D20/EVTT0/INTPZ44				
P95	D21/TIT00/TOT00				
P96	D22/TIT01/TOT01				
P97	D23/INTPZ45				
PA0	D24/TENC10				
PA1	D25/TENC11				
PA2	D26/TECR1/INTPZ46				
PA3	D27/TRGT1/INTPZ47				
PA4	D28/EVTT1/INTPZ48				
PA5	D29/TIT10/TOT10				
PA6	D30/TIT11/TOT11				
PA7	D31/INTPZ49				
PB0	TIA40/TOA40/INTPZ32	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	オープン
PB1	TIA41/TOA41/INTPZ33				
PB2	TIA50/TOA50/INTPZ34				
PB3	TIA51/TOA51/INTPZ35				

(3/3)

端子名	兼用機能	入出力回路タイプ	入出力	インターフェース	未使用時の推奨接続方法
PC0	SCK0	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	オープン
PC1	SO0				
PC2	SI0				
PC3	SCK1				
PC4	SO1				
PC5	SI1				
PC6	INTPZ40				
PC7	ADTRG/INTPZ41				
PD0	DMAREQZ0/INTPZ36/SCK4	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	オープン
PD1	DMAACKZ0/SO4				
PD2	DMATCZ0/SI4				
PD3	DMAREQZ1/INTPZ37/SCK5				
PD4	DMAACKZ1/SO5				
PD5	DMATCZ1/SI5				
PE0	DMAREQZ2/INTPZ38/SCK6	TUD1BC33HN06U	入出力	I/O Buffer (3.3V) Schmitt in 6mA 50k Ω Pull-up	オープン
PE1	DMAACKZ2/SO6				
PE2	DMATCZ2/SI6				
PE3	DMAREQZ3/INTPZ39/SCK7				
PE4	DMAACKZ3/SO7				
PE5	DMATCZ3/SI7				

表 2-18 各端子の入出力回路タイプと未使用端子の処理（外部割り込み入力端子）

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
NMI	TUD1IC33HU	入力	Input Buffer (3.3V) Schmitt in 50k Ω Pull-up	オープン

表 2-19 各端子の入出力回路タイプと未使用端子の処理（独立端子の DMA インタフェース端子）

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
DMAREQZ4, DMAREQZ5	TUD4ZE1023	入力	Programmable I/O Buffer : Always Input (3.3V) 50k Ω Pull-up	オープン
DMAACKZ4, DMAACKZ5	TUD4ZE1023	出力	Programmable I/O Buffer	
DMATCZ4, DMATCZ5			: Always Output (3.3V) 3mA	

表 2-20 各端子の入出力回路タイプと未使用端子の処理（MEMC #1 端子）

端子名	兼用機能	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
STCSZ0	—	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-up	オープン
A2-A19	—	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-down	
D0-D15	—	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-down	
RDZ	—	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-up	
BENZ0-BENZ1	WRZ0-WRZ1				
DQM0-DQM3	—	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-state Output (3.3V) 6mA 50k Ω Pull-up	オープン
SDWEZ	—				
SDCASZ	—				
SDRASZ	—				
SDCKE	—	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 6mA 50k Ω Pull-up	オープン
WRSTBZ	—	TUD4ZE1023	出力	Programmable I/O Buffer (3.3V) 6mA 50k Ω Pull-up	オープン
BCYSTZ	—				
BUSCLK	—	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 9mA 50k Ω Pull-up	

表 2-21 各端子の入出力回路タイプと未使用端子の処理 (MEMC #2 端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
SCSZ0-SCSZ3	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-st Output (3.3V) 3mA 50k Ω Pull-up	オープン
SA1-SA24	TUD4ZE1023	出力	Programmable I/O Buffer : Always 3-st Output (3.3V) 3mA 50k Ω Pull-down	
SD0-SD31	TUD4ZE1023	入出力	Programmable I/O Buffer (3.3V) 3mA 50k Ω Pull-down	
SRDZ	TUD4ZE1023	出力	Programmable I/O Buffer	
SWRSTBZ			: Always 3-st Output (3.3V) 3mA 50k Ω Pull-up	
SWAITZ	TUD4ZE1023	出力	Programmable I/O Buffer	
SHLDRQZ			: Always Input (3.3V) 50k Ω Pull-up	
SHLDAKZ	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 3mA	
SBENZ0-SBENZ3/SWRZ0-SWRZ3	TUD4ZE1023	出力	Programmable I/O Buffer	
SBCYSTZ			: Always 3-st Output (3.3V) 3mA 50k Ω Pull-up	
SBUSCLK	TUD4ZE1023	出力	Programmable I/O Buffer : Always Output (3.3V) 6mA	

表 2-22 各端子の入出力回路タイプと未使用端子の処理 (A/D コンバータ端子)

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
AD_AVDD	ABAD10B001M08CCR3VV10	—	A/D Converter	EVDD と同電位に接続
AVREFP		—		EVDD と同電位に接続
AIN0-AIN3		入力		EGND と同電位に接続
AVREFM		—		EGND と同電位に接続
AD_AGND		—		EGND と同電位に接続

表 2-23 各端子の入出力回路タイプと未使用端子の処理 (Nexus 端子)

端子名称	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
MCKO	TUD1OC33N09N	出力	Output Buffer (3.3V) 9mA	オープン
MDO0-MDO7				
MSEO0, MSEO1				
DRSTZ	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	
DCK	TUD1IC33HW	入力	Input Buffer (3.3V) , Schmitt in, 5kΩ Pull-up	
DMS				
DDI				
DDO	TUD1TC33N06W	出力	3-state Output Buffer (3.3V) 6mA, 5kΩ Pull-up	
DRDYZ	TUD1OC33N06N	出力	Output Buffer (3.3V) 6mA	
EVT0Z				
EVTIZ	TUD1IC33HW	入力	Input Buffer (3.3V) , Schmitt in, 5kΩ Pull-up	

表 2-24 各端子の入出力回路タイプと未使用端子の処理（システム端子）

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
RESETZ	TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in	—
RESTOZ	TUD1OC33N06N	出力	Output Buffer (3.3V) 6mA	オープン
XT1	TUD4COSC48MT	入力	Oscillator with EN ($f_{MAX.} = 48\text{MHz}$)	ロー・レベル
XT2		—		—
OSCTH	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Ω Pull-down	—
PONR	TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in	—

表 2-25 各端子の入出力回路タイプと未使用端子の処理（テスト端子）

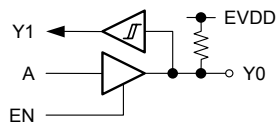
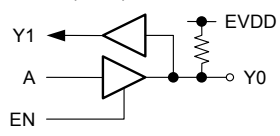
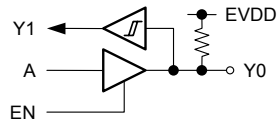
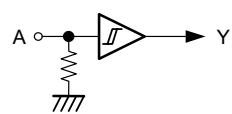
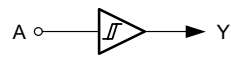
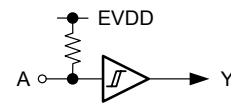
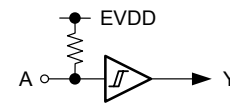
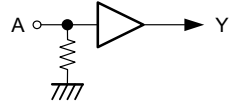
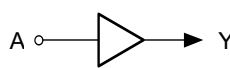
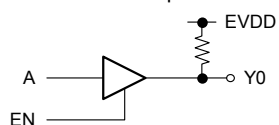
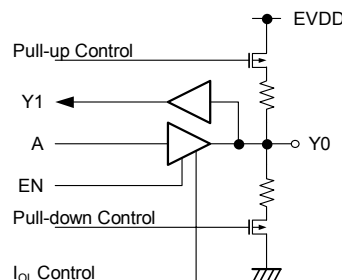
端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
TMODE0	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Ω Pull-down	EGND に接続
TMODE1				
TMODE2				
TESTCLK	TUD1IC33ND	入力	Input Buffer (3.3V) , 50k Ω Pull-down	
TMC1	TUD1ITE1C33ND	入力	(TMC1) Input Buffer for TMC Terminal	
TMC2	TUD1ITE2C33ND	入力	(TMC2) Input Buffer for TMC Terminal	
PMODE	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Ω Pull-down	

表 2-26 各端子の入出力回路タイプと未使用端子の処理（動作モード設定端子）

注意 動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

端子名	入出力回路タイプ	入出力	インタフェース	未使用時の推奨接続方法
BUS32EN0	TUD1IC33HN	入力	Input Buffer (3.3V) Schmitt in	EVDD または GND に接続
BUS32EN1				
CLKDV0-CLKDV2				
BOOTSEL0, BOOTSEL1				
JTAGSEL	TUD1IC33HD	入力	Input Buffer (3.3V) Schmitt in, 50k Ω Pull-down	—

表 2-27 端子の入出力回路の構成

TUD1BC33HN06U		TUD1BC33NN06U		TUD4ZE1269			
I/O Buffer (3.3V) Schmitt in 6mA 50kΩ Pull-up 		I/O Buffer (3.3V) 6mA 50kΩ Pull-up 		I/O Buffer (5V-TOL) Schmitt in 4mA 50kΩ Pull-up 			
TUD1IC33HD		TUD1IC33HN		TUD1IC33HU		TUD1IC33HW	
Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down 		Input Buffer (3.3V) Schmitt in 		Input Buffer (3.3V) Schmitt in 50kΩ Pull-up 		Input Buffer (3.3V) , Schmitt in, 5kΩ Pull-up 	
TUD1IC33ND		TUD1ITE1C33ND		TUD1ITE2C33ND			
Input Buffer (3.3V) , 50KΩ Pull-down 		Input Buffer for TMC1 Terminal 		Input Buffer for TMC2 Terminal 			
TUD1OC33N06N		TUD1OC33N09N		TUD1TC33N06W			
Output Buffer (3.3V) 6mA 		Output Buffer (3.3V) 9mA 		3-state Output Buffer (3.3V) 6mA, 5kΩ Pull-up 			
TUD4ZE1023							
I/O Buffer (3.3V) 3/6/9/12mA 50kΩ Pull-down / Pull-down Programmable 							

第3章 CPU 機能

EP3-AM1 の CPU コア V850E2M は、RISC アーキテクチャをベースとし、7 段並列パイプラインで構成しています。命令の依存関係を検出し、最大で 2 命令同時発行することができます。

3.1 特 徴

(1) 組み込み制御用高性能 32 ビット・アーキテクチャ

- 命令数：98
- 32 ビット汎用レジスタ：32 本
- 複数のディスプレースメント形式を持つロード／ストア命令
 - ーロング（23 ビット）
 - ーミドル（16 ビット）
 - ーショート（8 ビット）
- 3 オペランド命令
- アドレス空間：プログラム領域：512M バイト・リニア
データ領域：4G バイト・リニア

(2) 各種応用分野に適した命令セット

- 飽和演算命令
- ビット操作命令
- 乗算命令（ハードウェア乗算器内蔵により、1 クロックでの乗算処理が可能）
 - 16 ビット×16 ビット → 32 ビット
 - 32 ビット×32 ビット → 32 ビット、または 64 ビット
- MAC 演算命令
 - 32 ビット×32 ビット+64 ビット→ 64 ビット
- 高速除算命令
 - 有効なビット長を検出して、必要最小の実行サイクル数に変化する除算命令です。
 - 32 ビット÷32 ビット→32 ビット（商）、32 ビット（剰余）

(3) 高機能／高性能プログラミングに適した命令群

- スタック・フレーム操作命令
- システム・コール命令（OS サービス呼び出し命令）

備考 CPU 機能の詳細は、V850E2M ユーザーズ・マニュアル アーキテクチャ編（U19949）を参照してください。

3.2 CPU レジスタ・セット

EP3-AM1 の V850E2M CPU レジスタは、一般のプログラム用として使用するプログラム・レジスタ・セットと、実行環境を制御するシステム・レジスタ・セットの2種類に分類できます。すべて 32 ビット・レジスタです。

詳細は V850E2M ユーザーズ・マニュアル アーキテクチャ編を参照してください。

図 3-1 CPU レジスタ・セット



注 開発ツール向けのデバッグ機能です。

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタ（r0-r31）とプログラム・カウンタ（PC）があります。

表 3-1 プログラム・レジスタ一覧

プログラム・レジスタ	名 称	機 能	説 明
汎用レジスタ	r0	ゼロ・レジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキング・レジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイム OS が r2 を使用していない場合）	
	r3	スタック・ポインタ（SP）	関数コール時のスタック・フレーム生成時に使用
	r4	グローバル・ポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキスト・ポインタ（TP）	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
	r6-r29	アドレス／データ変数用レジスタ	
	r30	エレメント・ポインタ（EP）	メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用
	r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
プログラム・カウンタ	PC	プログラム実行中の命令アドレスを保持	

備考 アセンブラや C コンパイラで使用される r1, r3-r5, r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。

ただし、r0-r5, r30, r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

(a) r0, r3, r30

命令により暗黙的に使用されます。

r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベース・アドレスが 0 のアドレッシングで使用されます。

r3 は PREPARE 命令、DISPOSE 命令により、暗黙的に使用されます。

r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベース・ポインタとして使用されます。

(b) r1, r4, r5, r31

アセンブラと C コンパイラにより暗黙的に使用されます。

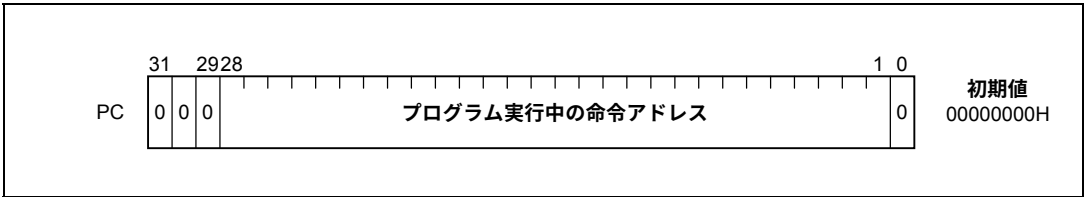
これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

(c) r2

リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持しています。また、ビット 0 は 0 に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・バンク

V850E2M CPU のシステム・レジスタは、システム・レジスタ・バンク上に用意されています。機能ごとに分類されたシステム・レジスタ群を「グループ」と定義し、さらに細かく用途ごとに分類したものを「バンク」と定義します。各バンクには、0 から 27 まで最大 28 本のシステム・レジスタが定義可能です。

V850E2M CPU には次のようなグループとバンクがあります。

○ CPU 機能グループ

- ・基本バンク：従来のシステム・レジスタ群です。
- ・例外ハンドラ切り替え機能バンク 0：例外ハンドラ・アドレス設定をするシステム・レジスタ群です。
- ・例外ハンドラ切り替え機能バンク 1：例外ハンドラ・アドレス設定をするシステム・レジスタ群です。

○ プロセッサ保護機能グループ

- ・プロセッサ保護違反バンク：プロセッサ保護違反に関するシステム・レジスタ群です。
- ・プロセッサ保護設定バンク：プロセッサ保護機能に関するシステム・レジスタ群です。
- ・ソフトウェア・ページング・バンク：メモリ保護をページング方式で利用する場合に使用するシステム・レジスタ群です。

○ PMU 機能グループ

- ・PMU 機能バンク：パフォーマンス測定機能を設定するシステム・レジスタ群です。[※]

○ FPU 機能グループ

- ・FPU ステータス・バンク：浮動小数点演算に関するシステム・レジスタ群です。

○ ユーザ・グループ

- ・ユーザ 0 バンク：ユーザ・アプリケーションで使用するシステム・レジスタだけをアクセスできるバンクです。

注 開発ツール向けのデバッグ機能です。

★

注意 プロセッサ保護設定バンク、ソフトウェア・ページング・バンクのシステム・レジスタ番号 26 (DPA5L) と 27 (DPA5U) は、EP3-AM1 では使用禁止です。

図 3-2 システム・レジスタ・バンク

CPU 機能グループ			プロセッサ保護機能グループ			PMU 機能グループ	FPU 機能グループ	ユーザ・グループ
基本バンク								
システム・レジスタ 00								
システム・レジスタ 01								
システム・レジスタ 02								
システム・レジスタ 03								
システム・レジスタ 04	例外ハンドラ切り替え機能バンク 0	例外ハンドラ切り替え機能バンク 1	プロセッサ保護違反バンク	プロセッサ保護設定バンク	ソフトウェア・ページング・バンク	PMU 機能バンク [※]	FPU ステータス・バンク	ユーザ 0 バンク
システム・レジスタ 05								
システム・レジスタ 06								
システム・レジスタ 07								
⋮								
システム・レジスタ 21								
システム・レジスタ 22								
システム・レジスタ 23								
システム・レジスタ 24								
システム・レジスタ 25								
システム・レジスタ 26								
システム・レジスタ 27								
システム・レジスタ 28 (EIWR … EI レベル用作業レジスタ)								
システム・レジスタ 29 (FEWR … FE レベル用作業レジスタ)								
システム・レジスタ 30 (DBWR … DB レベル用作業レジスタ)								
システム・レジスタ 31 (BSEL … レジスタ・バンクの選択)								

BSEL レジスタの設定により、バンクが選択されるとアクセスできるシステム・レジスタ

BSEL レジスタの設定にかかわらず、常にアクセスできるシステム・レジスタ

注 開発ツール向けのデバッグ機能です。

★

注意 プロセッサ保護設定バンク、ソフトウェア・ページング・バンクのシステム・レジスタ番号 26 (DPA5L) と 27 (DPA5U) は、EP3-AM1 では使用禁止です。

3.2.3 レジスタ・バンク選択レジスタ (BSEL)

レジスタ・バンク選択レジスタは、LDSR 命令および STSR 命令でアクセスされるシステム・レジスタ群を選択します。BSEL レジスタは、どのバンクが選択されているときでも常に参照可能です。
ビット 31-16 には必ず 0 を設定してください。

3116 158 70

BSEL0000000000000000GRPBNK

初期値0000 0000H

ビット位置	ビット名	意 味																													
15-8	GRP	システム・レジスタ・バンクのグループ番号を指定します（初期値：0）。 00H：CPU 機能グループ 10H：プロセッサ保護機能グループ 11H：PMU 機能グループ [※] 20H：FPU 機能グループ FFH：ユーザ・グループ 上記以外の設定は禁止です。																													
7-0	BNK	システム・レジスタ・バンクのバンク番号を指定します（初期値：0）。 <table><thead><tr><th>GRP</th><th>BNK</th><th>対応する実行レベル</th></tr></thead><tbody><tr><td rowspan="3">00H</td><td>00H</td><td>基本バンク</td></tr><tr><td>10H</td><td>例外ハンドラ切り替え機能バンク 0</td></tr><tr><td>11H</td><td>例外ハンドラ切り替え機能バンク 1</td></tr><tr><td rowspan="3">10H</td><td>00H</td><td>プロセッサ保護違反バンク</td></tr><tr><td>01H</td><td>プロセッサ保護設定バンク</td></tr><tr><td>10H</td><td>ソフトウェア・ページング・バンク</td></tr><tr><td>11H</td><td>00H</td><td>PMU 機能バンク[※]</td></tr><tr><td>20H</td><td>00H</td><td>FPU ステータス・バンク</td></tr><tr><td>FFH</td><td>00H</td><td>ユーザ 0 バンク</td></tr><tr><td colspan="2">上記以外</td><td>設定禁止</td></tr></tbody></table>	GRP	BNK	対応する実行レベル	00H	00H	基本バンク	10H	例外ハンドラ切り替え機能バンク 0	11H	例外ハンドラ切り替え機能バンク 1	10H	00H	プロセッサ保護違反バンク	01H	プロセッサ保護設定バンク	10H	ソフトウェア・ページング・バンク	11H	00H	PMU 機能バンク [※]	20H	00H	FPU ステータス・バンク	FFH	00H	ユーザ 0 バンク	上記以外		設定禁止
GRP	BNK	対応する実行レベル																													
00H	00H	基本バンク																													
	10H	例外ハンドラ切り替え機能バンク 0																													
	11H	例外ハンドラ切り替え機能バンク 1																													
10H	00H	プロセッサ保護違反バンク																													
	01H	プロセッサ保護設定バンク																													
	10H	ソフトウェア・ページング・バンク																													
11H	00H	PMU 機能バンク [※]																													
20H	00H	FPU ステータス・バンク																													
FFH	00H	ユーザ 0 バンク																													
上記以外		設定禁止																													

注 PMU 機能グループ，PMU 機能バンクは開発ツール向けのデバッグ機能です。

★ 注意 プロセッサ保護設定バンク，ソフトウェア・ページング・バンクのシステム・レジスタ番号 26 (DPA5L) と 27 (DPA5U) は，EP3-AM1 では使用禁止です。

3.2.4 CPU 機能グループ／基本バンク

基本バンクのシステム・レジスタは、CPU の状態制御、例外情報保持などを行います。

システム・レジスタへのリード／ライトは、LDSR 命令、STSR 命令により、次に示すシステム・レジスタ番号を指定することで行います。

表 3-2 システム・レジスタ一覧（基本バンク）

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護
			LDSR 命令	STSR 命令	
0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	○	○	○
1	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	○	○	○
2	FEPC	FE レベル例外受け付け時の状態退避レジスタ	○	○	○
3	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	○	○	○
4	ECR	例外要因	×	○	○
5	PSW	プログラム・ステータス・ワード	○	○	○ ^{注1}
8-10		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	○
11	SCCFG	SYSCAL の動作設定	○	○	○
12	SCBP	SYSCALL ベース・ポインタ	○	○	○
13	EIIC	EI レベル例外要因	○	○	○
14	FEIC	FE レベル例外要因	○	○	○
15	DBIC ^{注2}	DB レベル例外要因	—	—	—
16	CTPC	CALLT 実行時の状態退避レジスタ	○	○	○
17	CTPSW	CALLT 実行時の状態退避レジスタ	○	○	○
18	DBPC ^{注2}	DB レベル例外受け付け時の状態退避レジスタ	—	—	—
19	DBPSW ^{注2}	DB レベル例外受け付け時の状態退避レジスタ	—	—	—
20	CTBP	CALLT ベース・ポインタ	○	○	×
21	DIR ^{注2}	デバッグ・インタフェース・レジスタ	—	—	—
22-27		デバッグ機能レジスタ	—	—	—
28	EIWR	EI レベル例外用作業レジスタ	○	○	○
29	FEWR	FE レベル例外用作業レジスタ	○	○	○
30	DBWR ^{注2}	DB レベル例外用作業レジスタ	○	○	○
31	BSEL	レジスタ・バンクの選択	○	○	○

注 1. ビット 31-6 のみ保護。保護されている場合に書き込みがあっても、システム・レジスタ保護違反として検出しません。

2. 開発ツール向けのデバッグ関係のレジスタです。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

(1) EIPC, EIPSW — EI レベル例外受け付け時の状態退避レジスタ

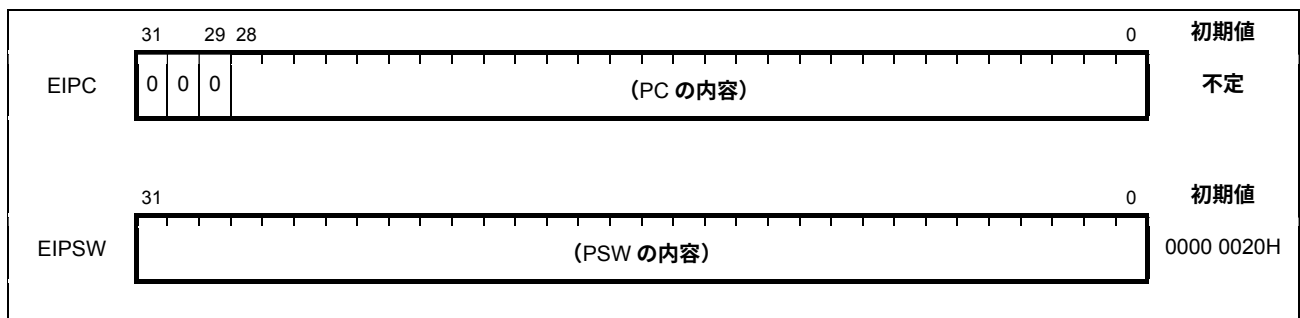
EI レベル例外時状態退避レジスタには、EIPC と EIPSW があります。

EI レベル例外（EI レベル・ソフトウェア例外や EI レベル割り込み（INT）など）が発生した場合、EIPC には、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（表 10-2 割り込み要因一覧）。EIPSW には、現在の PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

なお、PSW で「0 を設定してください」とされているビットは、EIPSW でも必ず 0 を設定してください。



(2) FEPC, FEPSW — FE レベル例外受け付け時の状態退避レジスタ

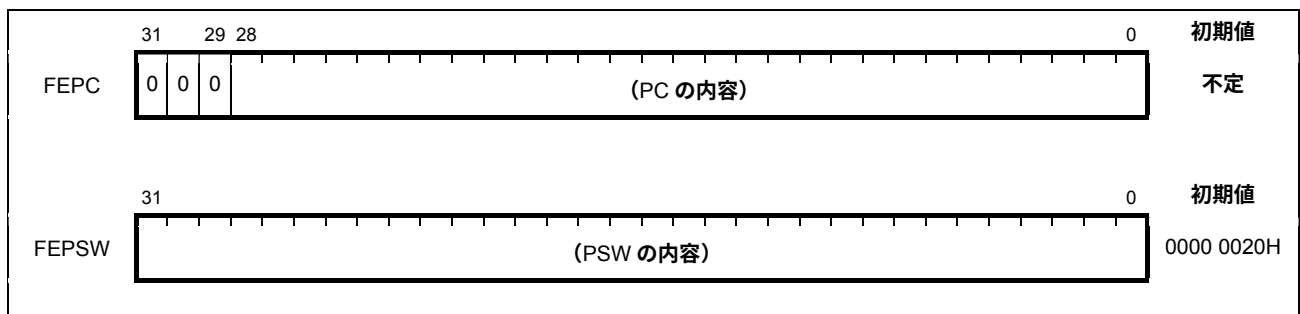
FE レベル例外時状態退避レジスタには、FEPC と FEPSW があります。

FE レベル例外（FE レベル・ソフトウェア例外や FE レベル割り込み（FEINT, FENMI）など）が発生した場合、FEPC には、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（表 10-2 割り込み要因一覧）。FEPSW には、現在の PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

なお、PSW で「0 を設定してください」とされているビットは、FEPSW でも必ず 0 を設定してください。

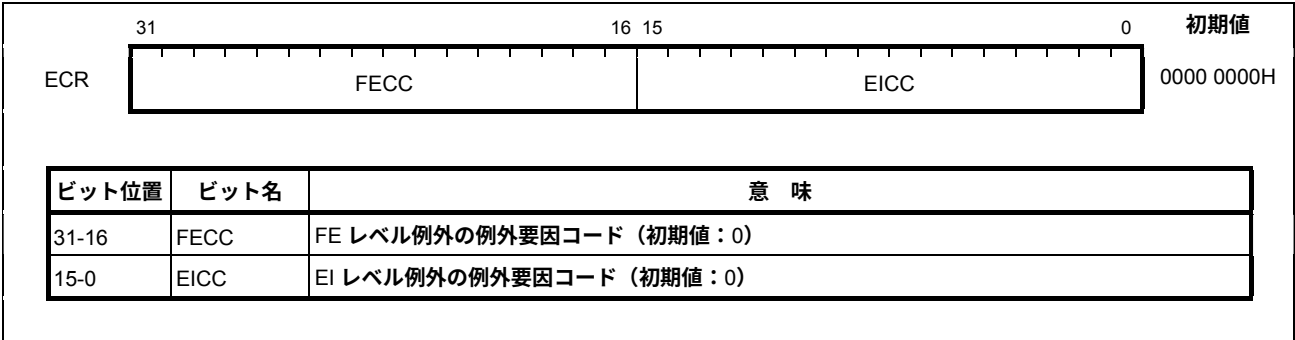


(3) ECR - 例外要因

ECR レジスタは、例外が発生した場合に、その要因を保持するレジスタです。ECR が保持する値は、例外要因ごとにコード化された例外要因コードです（表 10-2 割り込み要因一覧）。なお、このレジスタは読み出し専用のため、LDSR 命令を使ってこのレジスタにデータを書き込むことはできません。

注意 ECR レジスタは V850E1, V850E2 CPU コア上位互換のための機能であり、原則として使用を禁止しています。

修正の不可能な既存プログラム以外では、ECR レジスタを使用していた部分すべてを、EIIC レジスタまたは FEIC レジスタを使用するプログラムで置き換えて使用してください。



(4) PSW — プログラム・ステータス・ワード

PSW（プログラム・ステータス・ワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

LDSR 命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。

ビット 31-6 は、システム・レジスタ保護の対象です。システム・レジスタ保護が有効であるとき、LDSR 命令を使用してビット 31-6 の内容を変更することはできません。

なお、ビット 31-20, 15-12, 8 は、将来の機能拡張のために予約されているため、必ず 0 を設定してください。

また、読み出した場合の値は不定です[※]。

注 ビット 19-16 はプロセッサ保護機能で使用するビットです。

ビット 11-9 は開発ツール向けのデバッグ機能で使用するビットです。ユーザ・プログラムでは LDSR 命令によりこれらのビットの値を変更することはできません。

(1/3)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0020H

ビット位置	ビット名	意 味
19	PP	周辺装置保護の状態ビットです。 CPU が、現在実行中のプログラムによる周辺装置へのアクセスを信頼している状態であるかどうかを示します。 0：T ステート（CPU は、周辺装置へのアクセスを信頼しています）（初期値） 1：NT ステート（CPU は、周辺装置へのアクセスを信頼していません） 周辺装置保護機能は、PP ビットが T ステートを示している場合、限定的なアクセス制限を行います。また、NT ステートを示している場合、厳密なアクセス制限を行います。
18	NPV	システム・レジスタ保護の状態ビットです。 CPU が、現在実行中のプログラムによるシステム・レジスタへのアクセスを信頼している状態であるかどうかを示します。 0：T ステート（CPU は、システム・レジスタへのアクセスを信頼しています）（初期値） 1：NT ステート（CPU は、システム・レジスタへのアクセスを信頼していません） システム・レジスタ保護機能は、NPV ビットが T ステートを示している場合、アクセス制限を行います。また、NT ステートを示している場合、アクセス制限を行います。
17	DMP	データ・アクセス（データ領域）に対するメモリ保護の状態ビットです。 CPU が、現在実行中のプログラムによるデータ・アクセスを信頼している状態であるかどうかを示します。 0：T ステート（CPU は、データ・アクセスを信頼しています）（初期値） 1：NT ステート（CPU は、データ・アクセスを信頼していません） メモリ保護機能は、DMP ビットが T ステートを示している場合、データ・アクセスに対するアクセス制限を行いません。また、NT ステートを示している場合、データ・アクセスに対するアクセス制限を行います。

(2/3)

ビット位置	ビット名	意 味
16	IMP	プログラム領域に対するメモリ保護の状態ビットです。CPU が、現在実行中のプログラムによるプログラム領域へのアクセスを信頼している状態であるかどうかを示します。 0：T ステート（CPU はプログラム領域へのアクセスを信頼しています）（初期値） 1：NT ステート（CPU はプログラム領域へのアクセスを信頼していません） メモリ保護機能は、IMP ビットが T ステートを示している場合、プログラム領域に対するアクセス制限を行いません。また、NT ステートを示している場合、プログラム領域に対するアクセス制限を行います。
11	SS	開発ツール向けのデバッグ機能で使します。
10	SB	開発ツール向けのデバッグ機能で使します。
9	SE	開発ツール向けのデバッグ機能で使します。
7	NP	FE レベル例外処理中であることを示します。FE レベル例外が受け付けられるとセット（1）され、多重例外の発生を禁止します。 0：FE レベル例外処理中でない（初期値） 1：FE レベル例外処理中である
6	EP	割り込み以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお、このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込みの処理中である（初期値） 1：割り込み以外の例外処理中である
5	ID	EI レベル例外処理中であることを示します。EI レベル例外が受け付けられるとセット（1）され、多重例外の発生を禁止します。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット（1）し、EI 命令の実行によってクリア（0）します。 0：EI レベル例外処理中またはクリティカル・セクションでない（EI 命令実行後） 1：EI レベル例外処理中またはクリティカル・セクションである（DI 命令実行後）（初期値）
4	SAT ^注	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット（1）され、以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット（1）もクリア（0）も行いません。 0：飽和していない（初期値） 1：飽和している
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、およびボローが発生していない（初期値） 1：キャリー、またはボローが発生した

注 飽和演算時の OV フラグと S フラグの内容で飽和处理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の 値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(3/3)

ビット位置	ビット名	意 味
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0：オーバーフローは発生していない（初期値） 1：オーバーフローが発生した
1	S ^注	演算の結果が負かどうかを示します。 0：演算の結果は、正または0であった（初期値） 1：演算の結果は負であった
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった（初期値） 1：演算の結果は0であった

注 飽和演算時の OV フラグと S フラグの内容で飽和处理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

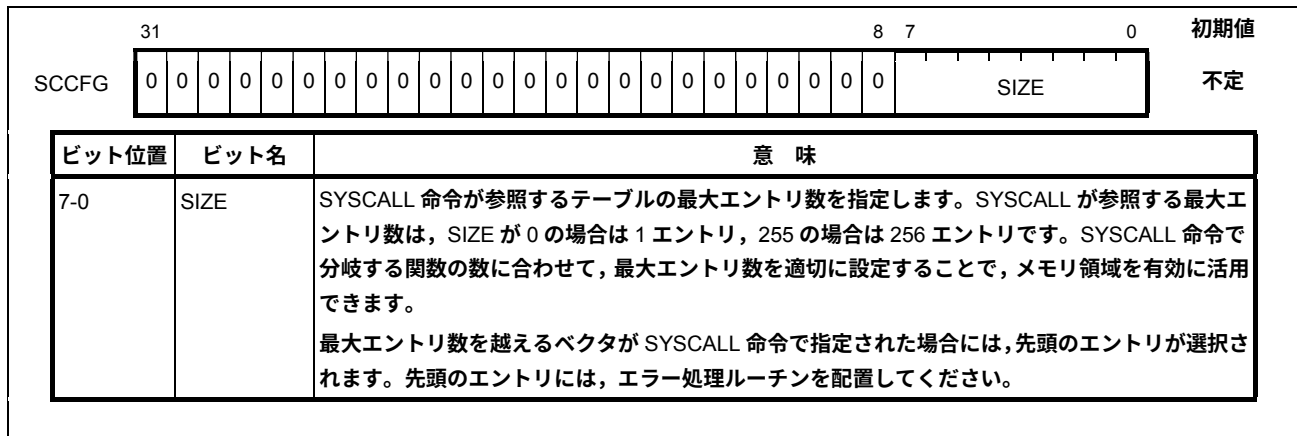
演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の 値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) SCCFG – SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

ビット 31-8 には必ず 0 を設定してください。

注意 SCCFG レジスタの変更を行う LDSR 命令の直後に、SYSCALL 命令を配置しないでください。

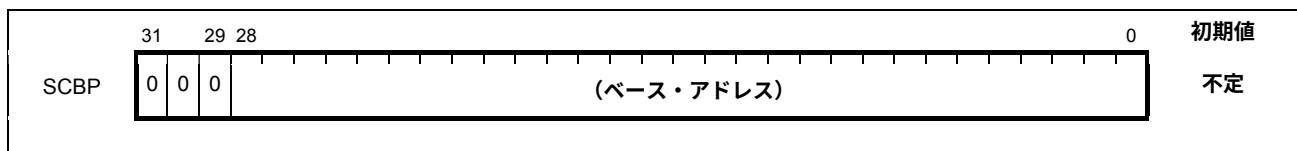


(6) SCBP - SYSCALL ベース・ポインタ

SCBP レジスタは、SYSCALL 命令のテーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワード・アドレスを設定してください。

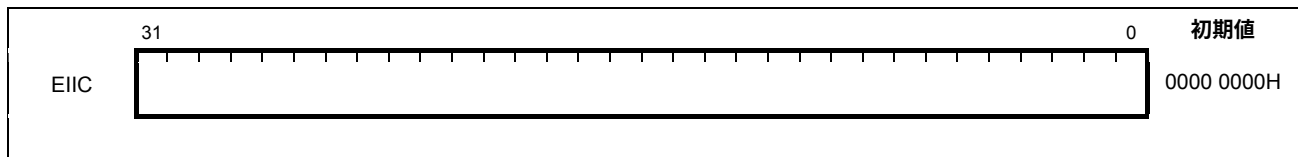
また、ビット 1, 0 は 0 に固定されています。



(7) EIIC — EI レベル例外要因

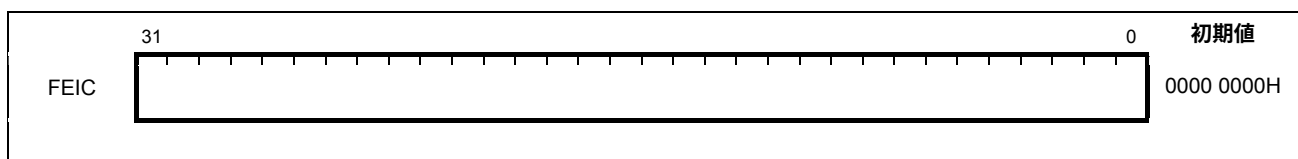
EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。



(8) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。



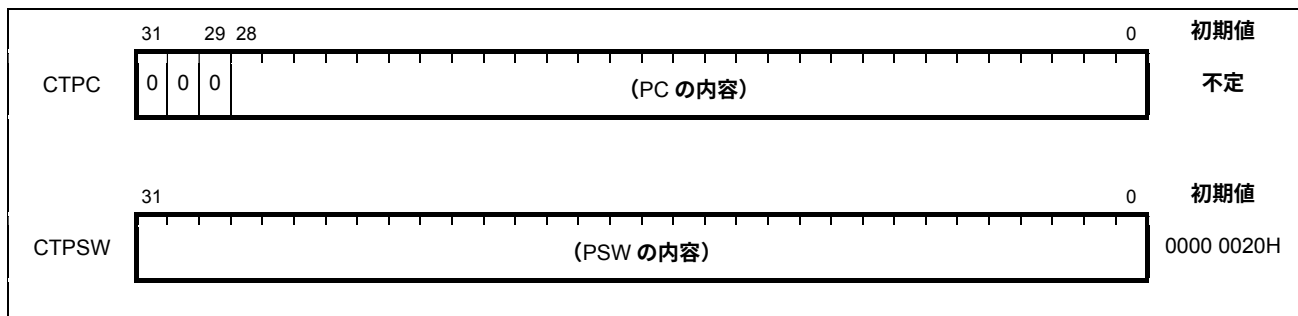
(9) CTPC, CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 実行時状態退避レジスタには、CTPC と CTPSW があります。

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に、PSW (プログラム・ステータス・ワード) の内容が CTPSW に退避されます。

CTPC レジスタのビット 0 は、必ず 0 を設定してください。

なお、PSW で「0 を設定してください」とされているビットは、CTPSW でも必ず 0 を設定してください。

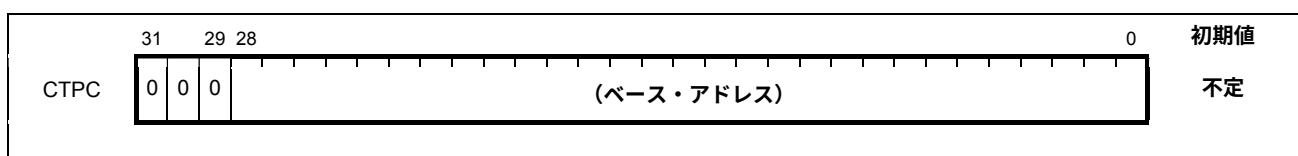


(10) CTBP — CALLT ベース・ポインタ

CTBP レジスタは、CALLT 命令のテーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます。

CTBP レジスタには必ずハーフワード・アドレスを設定してください。

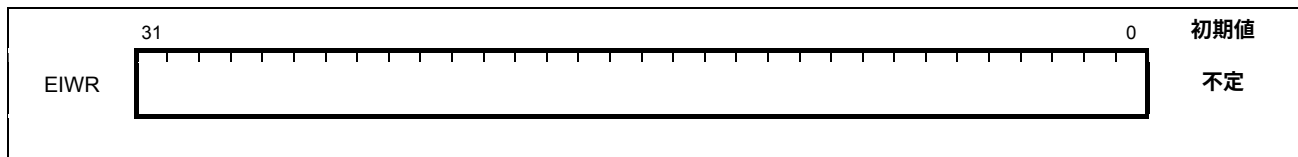
また、ビット 0 は、0 に固定されています。



(11) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

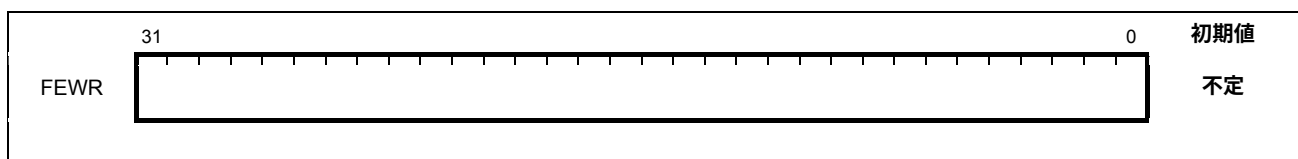
EIWR レジスタは、どのバンクが選択されているときでも常に参照可能です。



(12) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

FEWR レジスタは、どのバンクが選択されているときでも常に参照可能です。



(13) DBIC — DB レベル例外要因

DBIC レジスタは、デバック機能に関するレジスタです。

このレジスタは開発ツール向けのデバッグ機能で使します。

(14) DBPC, DBPSW — DB レベル例外受け付け時の状態退避レジスタ

DB レベル例外時状態退避レジスタとして、DBPC と DBPSW があります。

このレジスタは開発ツール向けのデバッグ機能で使します。

(15) DBWR — DB レベル例外用作業レジスタ

DBWR レジスタは、デバック機能に関するレジスタです。

このレジスタは開発ツール向けのデバッグ機能で使します。

(16) DIR — デバッグ・インタフェース・レジスタ

DIR レジスタは、デバック機能の制御や状態を示します。

DIR レジスタ、およびデバック機能レジスタ（システム・レジスタ 22-27）は、開発ツール向けのデバッグ機能で使します。

3.2.5 CPU 機能バンク／例外ハンドラ・アドレス切り替え機能バンク

例外ハンドラ切り替え機能バンク 0, 1 は、各 LDSR 命令で BSEL レジスタ（3.2.3 レジスタ・バンク選択レジスタ（BSEL）参照）に 0000 0010H および 0000 0011H を設定することにより選択されます。

システム・レジスタ番号 28-31 はバンク共通のシステム・レジスタで、BSEL レジスタの設定値に関係なく、CPU 機能バンクの EIWR, FEWR, DBWR, BSEL レジスタが参照されます。

- 例外ハンドラ切り替え機能バンク 0
（グループ番号 00H, バンク番号 10H, 略称 EHSW0 バンク）
- 例外ハンドラ切り替え機能バンク 1
（グループ番号 00H, バンク番号 11H, 略称 EHSW1 バンク）

表 3-3 システム・レジスタ・バンク

グループ	CPU 機能 (00H)									
バンク	例外ハンドラ切り替え機能バンク 0 (10H)					例外ハンドラ切り替え機能バンク 1 (11H)				
バンク・ラベル	EHSW0					EHSW1				
レジスタ番号	名 称	機 能	オペランド 指定の可否		システム・ レジスタ 保護	名 称	機 能	オペランド 指定の可否		システム・ レジスタ 保護
			LDSR 命令	STSR 命令				LDSR 命令	STSR 命令	
0	SW_CTL	例外ハンドラ・アドレス 切り替えの制御	○	○	○	機能拡張用に予約		○	○	○
1	機能拡張用に予約		○	○	○	機能拡張用に予約		○	○	○
2	機能拡張用に予約		×	×	○	EH_RESET	リセット・アドレス・ レジスタ	○	○	○
3	SW_BASE	例外ハンドラ・アドレス切 り替えベース・アドレス	○	○	○	EH_BASE	例外ハンドラ・ベース・ アドレス	○	○	○
4-27	機能拡張用に予約		×	×	○	機能拡張用に予約		×	×	○
28	EIWR	EI レベル例外用作業レジスタ						○	○	○
29	FEWR	FE レベル例外用作業レジスタ						○	○	○
30	DBWR 注	DB レベル例外用作業レジスタ						○	○	○
31	BSEL	レジスタ・バンクの選択						○	○	○

注 開発ツール向けのデバッグ関係のレジスタです。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

(1) レジスタ・セット

(a) SW_CTL — 例外ハンドラ・アドレス切り替えの制御

例外ハンドラ・アドレス切り替え機能の制御レジスタです。

ビット 31-1 には必ず 0 を設定してください。

SW_CTL	31																											1	0	初期値
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SET	0000 0000H

ビット位置	ビット名	意 味
0	SET	SET ビットをセット (1) すると、SW_BASE レジスタの値を EH_BASE へ転送します。 転送終了後、SET ビットはクリア (0) されます。

(b) SW_BASE — 例外ハンドラ・アドレス切り替えベース・アドレス

例外ハンドラ・アドレス切り替え機能の切り替えを行う例外ハンドラ・アドレスのベース・アドレスを指定するレジスタです。

ビット 12-0 には必ず 0 を設定してください。

	31	29	28											13	12											0	初期値	
SW_BASE	0	0	0	SW_BASE28-SW_BASE13										0	0	0	0	0	0	0	0	0	0	0	0	0	0	不定

ビット位置	ビット名	意 味
28-13	SW_BASE28-SW_BASE13	SW_CTL.SET ビットをセット (1) すると、この SW_BASE レジスタの内容が EH_BASE レジスタに転送されます。

(c) EH_BASE — 例外ハンドラ・ベース・アドレス

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。

ビット 12-0 は 0 に固定されています。

	31	29	28											13	12											0	初期値	
EH_BASE	0	0	0	EH_BASE28-EH_BASE13										0	0	0	0	0	0	0	0	0	0	0	0	0	0	不定

ビット位置	ビット名	意 味
28-13	EH_BASE28-EH_BASE13	例外ハンドラ・ルーチンのアドレスは、このレジスタで指定されたベース・アドレスに各例外のオフセット・アドレスを加えたアドレスに変更されます。 EH_BASE レジスタは、端子機能によってリセット時に初期値が設定されます。また LDSR 命令による直接書き換えは行えません。SW_CTL.SET ビットをセット (1) することによって、SW_BASE の内容が転送されます。

(d) EH_RESET – リセット・アドレス

現在のリセット入力時のリセット・アドレスを示します。
ビット 12-0 は 0 に固定されています。

31

29 28

</

3.2.6 ユーザ・グループ

ユーザ・グループは、LDSR 命令で BSEL レジスタに 0000 FF00H を設定することにより選択されます（3.2.3 レジスタ・バンク選択レジスタ（BSEL）参照）。ユーザ・グループにあるシステム・レジスタは基本バンク、FPU ステータス・バンクにあるレジスタの写像となっています。

ユーザ・グループには次のバンクがあります。

表 3-4 システム・レジスタ一覧（ユーザ 0 バンク）

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護
			LDSR 命令	STSR 命令	
0-4		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
5	PSW	プログラム・ステータス・ワード	○	○	○ ^{注1}
6, 7		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
8	FPST	浮動小数点演算のステータス	○	○	×
9	FPCC	浮動小数点演算の比較結果	○	○	×
10	FPCFG	浮動小数点機能の設定	○	○	×
11-15		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
16	CTPC	CALLT 実行時の状態退避レジスタ	○	○	○
17	CTPSW	CALLT 実行時の状態退避レジスタ	○	○	○
18, 19		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
20	CTBP	CALLT ベース・ポインタ	○	○	×
21-27		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
28	EIWR	EI レベル例外用作業レジスタ	○	○	○
29	FEWR	FE レベル例外用作業レジスタ	○	○	○
30	DBWR ^{注2}	DB レベル例外用作業レジスタ	○	○	○
31	BSEL	レジスタ・バンクの選択	○	○	○

注 1. ビット 31-6 のみ保護

2. 開発ツール向けのデバッグ関係のレジスタです。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

3.3 浮動小数点演算機能

浮動小数点ユニット (FPU) は、CPU のコプロセッサとして動作し、浮動小数点演算命令を実行します。単精度 (32 ビット) , 倍精度 (64 ビット) のどちらのデータも使用できます。また、浮動小数点値と整数値の変換も可能です。

V850E2M の FPU は ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠しています。

3.3.1 特 徴

(1) 浮動小数点演算命令

- ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠
- 単精度 (32 ビット) , 倍精度 (64 ビット) をサポート
- 基本的な加減乗除算命令、積和命令、最大／最小命令、平方根命令をサポート
- 浮動小数点設定／状態レジスタの条件ビットを PSW レジスタの Z フラグに転送する、フラグ転送命令をサポート
TRFSR
- 条件分岐の速度改善のために、条件付き転送命令をサポート
CMOVF.S, CMOVF.D
- 符号なし整数との型変換を効率よく実行する、符号なし変換命令をサポート
- 最近接整数への型変換を効率よく実行する、CEIL 命令、FLOOR 命令をサポート
- 浮動小数点の比較結果を格納する 8 ビットの条件ビットをサポート
- FPU の実行モードとしてプレサイス・モードとインプレサイス・モードをサポート

(2) レジスタ・セット

- 浮動小数点レジスタ : 汎用レジスタを使用
(浮動小数点演算専用のレジスタはありません)。
- 浮動小数点システム・レジスタ : FPSR — 浮動小数点演算の設定／ステータス
FPEPC — 浮動小数点演算例外プログラム・カウンタ
FPST — 浮動小数点のステータス
FPCC — 浮動小数点演算の比較結果
FPCFG — 浮動小数点機能の設定
FPEC — 浮動小数点演算例外の制御

3.3.2 レジスタ・セット

(1) 浮動小数点レジスタ

FPU は CPU の汎用レジスタ (r0-r31) を使用します。浮動小数点演算専用のレジスタ・ファイルはありません。

○ 単精度浮動小数点演算命令：

32 個の 32 ビット・レジスタを指定できます。これは汎用レジスタの r0-r31 に相当します。

○ 倍精度浮動小数点演算命令：

16 個の 64 ビット・レジスタを指定できます。これは汎用レジスタを 1 対ずつ使用するレジスタ・ペア ({r1, r0}, {r3, r2} ... {r31, r30}) に相当します。レジスタ・ペアは命令形式上、偶数レジスタで指定します。

r0 がゼロ・レジスタ（常に 0 を保持）であるので、原則として {r1, r0} は倍精度浮動小数点演算命令では使用するべきではありません。

(2) 浮動小数点システム・レジスタ

28 個の制御レジスタがシステム・レジスタ・バンク上の FPU ステータス・バンク（グループ#20-バンク番号 00H のバンク）にあります。FPU ステータス・バンクは LDSR 命令でレジスタ・バンク選択レジスタ (BSEL) に 0x2000 を設定することにより選択されます。

FPU では 6 個のシステム・レジスタが使用できます。

- FPSR： 例外の制御と監視を行います。また、比較演算の結果を保持し、FPU の動作モードを設定します。条件コード、例外モード、非正規化数フラッシュ許可、丸めモード制御、原因、例外許可、保存の各ビットがあります。
- FPEPC： 浮動小数点演算例外が発生した命令のプログラム・カウンタが格納されます。
- FPST： FPSR.XC, XP, PR ビットと同一の内容を示します。
- FPCC： FPSR.CC(7:0)ビットと同一の内容を示します。
- FPCFG： FPSR.RM, XE ビットと同一の内容を示します。
- FPEC： FPU 例外の保留状態の確認、取り下げ等の制御を行います。

上記以外の FPU バンクのシステム・レジスタは、将来の拡張のために予約されています。書き込みは禁止です。

また、読み出し値は不定です。システム・レジスタへのアクセスは、LDSR, STSR 命令または TRFSR 命令によって可能です。

表 3-5 に、システム・レジスタ・バンクの構成を示します。システム・レジスタ番号 28-31 はバンク共通のシステム・レジスタで、BSEL レジスタの設定値に関係なく、CPU 機能バンクの EIWR, FEWR, DBWR[※], BSEL レジスタが参照されます。

注 DBWR レジスタは、開発ツール向けのデバッグ機能で使います。

表 3-5 システム・レジスタ・バンク

システム・ レジスタ番号	名 称	機 能	オペランド指定の可否		システム・ レジスタ保護
			LDSR 命令	STSR 命令	
0-5		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	○
6	FPSR	浮動小数点演算の設定／ステータス	○	○	○
7	FPEPC	浮動小数点演算例外プログラム・カウンタ	○	○	○
8	FPST	浮動小数点のステータス	○	○	×
9	FPCC	浮動小数点演算の比較結果	○	○	×
10	FPCFG	浮動小数点機能の設定	○	○	×
11	FPEC	浮動小数点演算例外の制御	○	○	○
12-27		(将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません))	×	×	○
28	EIWR	EI レベル例外用作業レジスタ	○	○	○
29	FEWR	FE レベル例外用作業レジスタ	○	○	○
30	DBWR ^注	DB レベル例外用作業レジスタ	○	○	○
31	BSEL	レジスタ・バンクの選択	○	○	○

注 DBWR レジスタは、開発ツール向けのデバッグ機能で使します。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では、保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では、保護対象ではないことを示します。

(a) FPSR — 浮動小数点演算の設定／ステータス

FPSR レジスタは、浮動小数点演算の実行状態や例外の発生を示します。

ビット 23, 22 は、将来の機能拡張のために予約されており、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。また、読み出した場合の値は不定です。

(1/2)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	0	0	DEM	SEM	RM	FS	PR	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
原因ビット(XC)						許可ビット(XE)					保存ビット(XP)				
E	V	Z	O	U	I	V	Z	O	U	I	V	Z	O	U	I

初期値
注

ビット位置	ビット名	意 味														
31-24	CC7-CC0	CC（コンディション）ビットです。浮動小数点比較命令の結果がストアされます。CC(7:0)ビットは、比較命令と LDSR 命令以外の影響を受けません。初期値は不定です。 0：比較結果が偽 1：比較結果が真														
21	DEM	倍精度演算例外モードです。DEM ビットが 1 の場合、倍精度（Double）命令の実行により発生した例外は、プレサイズ例外として扱います。初期値は 0 です。														
20	SEM	単精度演算例外モードです。SEM ビットが 1 の場合、単精度（Single）命令の実行により発生した例外は、プレサイズ例外として扱います。初期値は 0 です。														
19, 18	RM	丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。初期値は 0 です。RM ビットには必ず“00”を設定してください。 <table><tr><th colspan="2">RM ビット</th><th rowspan="2">ニモニック</th><th rowspan="2">説 明</th></tr><tr><th>ビット 19</th><th>ビット 18</th></tr><tr><td>0</td><td>0</td><td>RN</td><td>表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。</td></tr><tr><td colspan="2">上記以外</td><td colspan="2">設定禁止</td></tr></table>	RM ビット		ニモニック	説 明	ビット 19	ビット 18	0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。	上記以外		設定禁止	
RM ビット		ニモニック	説 明													
ビット 19	ビット 18															
0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。													
上記以外		設定禁止														
17	FS	正規化できない値（ディノーマル数）のフラッシュを許可するビットです。FS ビットがセットされているとき、ディノーマル数の結果は未実装演算例外（E）を起こさず、フラッシュされます。フラッシュされたものが 0 になるか最小正規化値になるかは、丸めモードによって決まります。初期値は 1 です。FS ビットには、必ず 1 を設定してください。 <table><tr><th>ディノーマル数の結果</th><th>フラッシュされる結果の丸めモード（RN）</th></tr><tr><td>正</td><td>+0</td></tr><tr><td>負</td><td>−0</td></tr></table>	ディノーマル数の結果	フラッシュされる結果の丸めモード（RN）	正	+0	負	−0								
ディノーマル数の結果	フラッシュされる結果の丸めモード（RN）															
正	+0															
負	−0															
16	FR	浮動小数点演算例外の発生要因となった命令の例外モードがインプレサイズ例外であればクリア（0）され、プレサイズ例外であればセット（1）されます。初期値は不定です。														

注 各ビットの説明を参照してください。

(2/2)

ビット位置	ビット名	意 味
15-10	XC (E,V,Z,O,U,I)	原因ビットです。初期値は不定です。詳細は以降の「(i) 原因ビット (XC)」を参照してください。
9-5	XE (V,Z,O,U,I)	許可ビットです。初期値は0です。詳細は以降の「(ii) 許可ビット (XE)」を参照してください。
4-0	XP (V,Z,O,U,I)	保存ビットです。初期値は不定です。詳細は以降の「(iii) 保存ビット (XP)」を参照してください。

(i) 原因ビット (XC)

FPSR レジスタのビット 15-ビット 10 は原因ビットで、浮動小数点演算例外の発生とその要因を示します。

IEEE754 で定義されている例外が起き、その例外に対応する許可ビットがセット (1) されている場合、原因ビットをセットし、例外が発生します。1 つの命令で 2 つ以上の例外を検出した場合、それぞれのビットがセット (1) されます。

2 つ以上の例外を検出した場合、いずれかの例外に対応する許可ビットがセット (1) されている場合、例外が発生します。この場合、許可ビットがクリア (0) されている例外を含め、検出したすべての例外の原因ビットがセット (1) されます。

原因ビットは、浮動小数点演算例外が発生した浮動小数点演算命令 (TRFSR 命令を除く) によって書き換えられます。E ビットは、ソフトウェアのエミュレートが必要な場合にセット (1) され、それ以外の場合はクリア (0) されます。そのほかのビットは、IEEE754 で定義されている例外が発生したかどうかによりクリア (0) もしくはセット (1) されます。

浮動小数点演算例外が発生した場合、演算結果はストアされず原因ビットだけが影響を受けます。LDSR 命令により原因ビットをセット (1) しても、浮動小数点演算例外は発生しません。

(ii) 許可ビット (XE)

FPSR レジスタのビット 9-ビット 5 は許可ビットで、浮動小数点演算例外の発生を許可します。IEEE754 で定義されている例外が起きたとき、例外に対応する許可ビットがセット (1) されている場合、浮動小数点演算例外が発生します。

未実装演算例外 (E) に対応する許可ビットはありません。未実装演算例外 (E) は、常に浮動小数点演算例外が発生します。

対応する許可ビットがセット (1) されていない場合、例外は発生せず、IEEE754 によって定義されたデフォルトの結果がストアされます。

(iii) 保存ビット (XP)

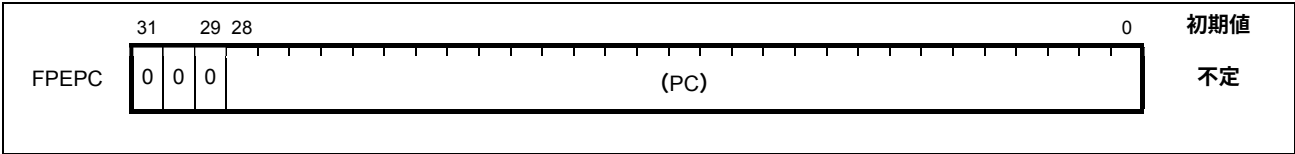
FPSR レジスタのビット 4-ビット 0 は保存ビットで、リセット後、検出した例外を蓄積、表示します。

IEEE754 で定義されている例外が発生し、対応する許可ビットがセット (1) されていない場合に、保存ビットがセット (1) され、そのほかの場合は変化しません。保存ビットは、浮動小数点オペレーションではクリア (0) されません。しかし、LDSR 命令を使用して FPSR レジスタに新たな値を書き込むことで、ソフトウェアによるセット／クリアができます。

未実装演算例外 (E) に対応する保存ビットはありません。未実装演算例外 (E) は、常に浮動小数点演算例外が発生します。

(b) FPEPC – 浮動小数点演算例外プログラム・カウンタ

許可ビットによって許可されている例外が発生した場合、例外が発生した命令のプログラム・カウンタ (PC) が格納されます。
ビット 0 は、0 に固定されています。



(c) FPST – 浮動小数点演算のステータス

FPSR.PR, XC, XP ビットと同一の内容を示します。
ビット 31-16, 14, 7-5 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。



(d) FPCC — 浮動小数点演算の比較結果

FPSR.CC(7:0)ビットと同一の内容を示します。

ビット 31-8 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0

初期値
不定

ビット位置	ビット名	意 味
7-0	CC(7:0)	CC (コンディション) ビットです。浮動小数点比較命令の結果がストアされます。CC(7:0)ビットは、比較命令と LDSR 命令以外の影響を受けません。初期値は不定です。また、このビットへの書き込みは FPSR.CC(7:0) ビットへ反映されます。 0: 比較結果が偽 1: 比較結果が真

(e) FPCFG — 浮動小数点演算の設定

FPSR.RM, XE ビットと同一の内容を示します。

ビット 31-10, 7-5 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	RM	0	0	0						

初期値
0000 0000H

許可ビット(XE)
V Z O U I

ビット位置	ビット名	意 味														
9, 8	RM	丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。初期値は 0 です。RM ビットには、必ず“00”を設定してください。 また、このビットへの書き込みは FPSR.RM ビットへ反映されます。 <table><tr><th colspan="2">RM ビット</th><th rowspan="2">二モニック</th><th rowspan="2">説 明</th></tr><tr><th>ビット 19</th><th>ビット 18</th></tr><tr><td>0</td><td>0</td><td>RN</td><td>表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます</td></tr><tr><td colspan="2">上記以外</td><td colspan="2">設定禁止</td></tr></table>	RM ビット		二モニック	説 明	ビット 19	ビット 18	0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます	上記以外		設定禁止	
RM ビット		二モニック	説 明													
ビット 19	ビット 18															
0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます													
上記以外		設定禁止														
4-0	XE (V,Z,O,U,I)	許可ビットです。初期値は 0 です。詳細は「(a)(ii) 許可ビット (XE)」を参照してください。 また、このビットへの書き込みは FPSR.XE ビットへ反映されます。														

(f) FPEC — 浮動小数点演算例外の制御

浮動小数点演算例外に関する制御を行うレジスタです。
ビット 31-1 は、0 以外の書き込みを禁止します。0 以外の値を書き込んだ場合の動作は不定です。

FPEC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FPI VD

初期値 0000 0000H

ビット位置	ビット名	意 味
0	FPIVD ^注	FPI 例外の通知状況を示します。 このビットがセット（1）されている場合、CPU に対して FPI 例外を通知していて、かつ FPI 例外が受け付けられていない状態を示します。CPU が FPI 例外を受け付けた時点で、このビットは自動的にクリア（0）されます。 また、このビットがセット（1）されている間は、すべての浮動小数点演算命令を無効化します。このビットがセット（1）されている状態から、LDSR 命令によってクリア（0）することで、FPI 例外の通知を取り下げることができます。FPI 例外の通知を取り下げると、CPU が FPI 例外を受け付けることはありません。 0：FPI 例外非通知状態（FPI 例外の通知を行っていません）。 1：FPI 例外通知状態（FPI 例外の通知を行っています）。

注 FPIVD ビットに対する LDSR 命令による書き込み操作は、クリア（0）のみ可能です。セット（1）は行えません。

3.3.3 データ・タイプ

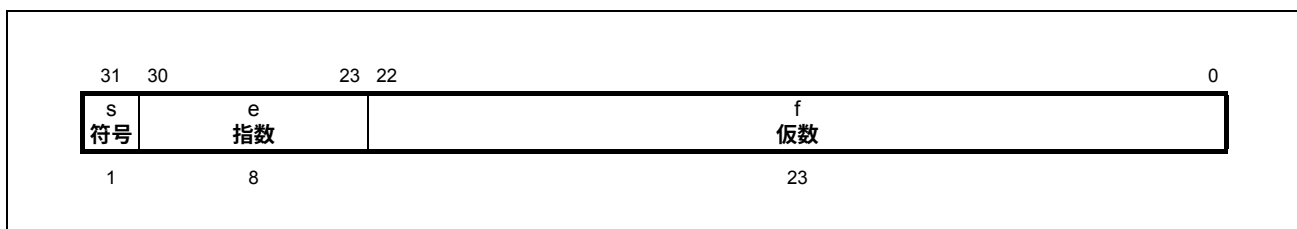
(1) データ形式

(a) 浮動小数点の形式

FPU は、32 ビット（単精度）と 64 ビット（倍精度）の IEEE754 浮動小数点演算をサポートします。

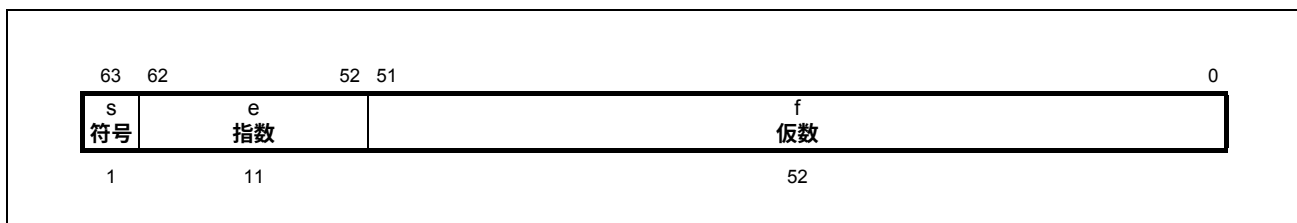
単精度浮動小数点形式は、図 3-3 に示すように 24 ビットの符号付き仮数部（s+f）と、8 ビットの指数部（e）で構成されます。

図 3-3 単精度浮動小数点形式



倍精度浮動小数点形式は、図 3-4 に示すように 53 ビットの符号付き仮数部（s+f）と、11 ビットの指数部（e）で構成されます。

図 3-4 倍精度浮動小数点形式



浮動小数点形式の数値は、次の 3 つの領域により構成されます。

- ・符号ビット : s
- ・指数部 : $e = E + \text{バイアス値}$
- ・仮数部 : $f = .b_1b_2\dots b_{P-1}$ (小数点第 1 位以下の値)

単精度形式の場合、バイアス値は 127 です。倍精度形式の場合、バイアス値は 1023 です。

バイアスしていない指数値 E の範囲は、 $E_{\min}$ から $E_{\max}$ までのすべての整数値と 2 つの予約値、 $E_{\min} - 1$ (± 0 , あるいはディノーマル数) と、 $E_{\max} + 1$ ($\pm \infty$, あるいは NaN: 非数) です。単精度と倍精度の形式によって、0 以外の数値の表現は、1 つの形式で表現されます。

この形式で表現される数値 (v) は、表 3-6 に示す式によって求められます。

表 3-6 浮動小数点値の計算式

種 類	計算式
NaN (非数)	$E = E_{\max} + 1$ かつ $f \neq 0$ ならば v は s にかかわらず NaN
$\pm\infty$ (無限大数)	$E = E_{\max} + 1$ かつ $f = 0$ ならば $v = (-1)^s \infty$
ノーマル数 (正規化数)	$E_{\min} \leq E \leq E_{\max}$ ならば $v = (-1)^s 2^E (1.f)$
ディノーマル数 (非正規化数)	$E = E_{\min} - 1$ かつ $f \neq 0$ ならば $v = (-1)^s 2^{E_{\min}} (0.f)$
± 0 (ゼロ)	$E = E_{\min} - 1$ かつ $f = 0$ ならば $v = (-1)^s 0$

• NaN (非数)

IEEE754 では、NaN (Not a Number) という浮動小数点値を規定しています。これは非数とも呼ばれ、数値ではないため大小関係ありません。

すべての浮動小数点形式において、 v が NaN であった場合、 f の最上位ビットの値によって SignalingNaN (S-NaN) か、QuietNaN (Q-NaN) のどちらかになります。 f の最上位ビットがセットされている場合は QuietNaN で、クリアされている場合は SignalingNaN です。

浮動小数点の形式で定義されている各パラメータの値を表 3-7 に示します。

表 3-7 浮動小数点形式とパラメータ値

パラメータ	形式	
	単精度	倍精度
$E_{\max}$	+127	+1023
$E_{\min}$	-126	-1022
指数部のバイアス値	+127	+1023
指数部の長さ (ビット数)	8	11
整数ビット	見えない	見えない
仮数部の長さ (ビット数)	23	52
形式の長さ (ビット数)	32	64

この浮動小数点形式で表現できる最小値，最大値を表 3-8 に示します。

表 3-8 浮動小数点の最大値，最小値

タイプ	値
単精度浮動小数点の最小値	$1.40129846e-45$
単精度浮動小数点の最小値 (ノーマル)	$1.17549435e-38$
単精度浮動小数点の最大値	$3.40282347e+38$
倍精度浮動小数点の最小値	$4.9406564584124654e-324$
倍精度浮動小数点の最小値 (ノーマル)	$2.2250738585072014e-308$
倍精度浮動小数点の最大値	$1.7976931348623157e+308$

(b) 整数の形式

整数の値は2の補数の形式で保持されます。図 3-5 に 32 ビット整数形式、図 3-6 に 64 ビット整数形式を示します。符号なし整数においては、符号ビットは存在せず、全ビットが整数値を表現します。

図 3-5 32 ビット整数形式



s: 符号ビット。

i: 整数値 (2 の補数)。

図 3-6 64 ビット整数形式



s: 符号ビット。

i: 整数値 (2 の補数)。

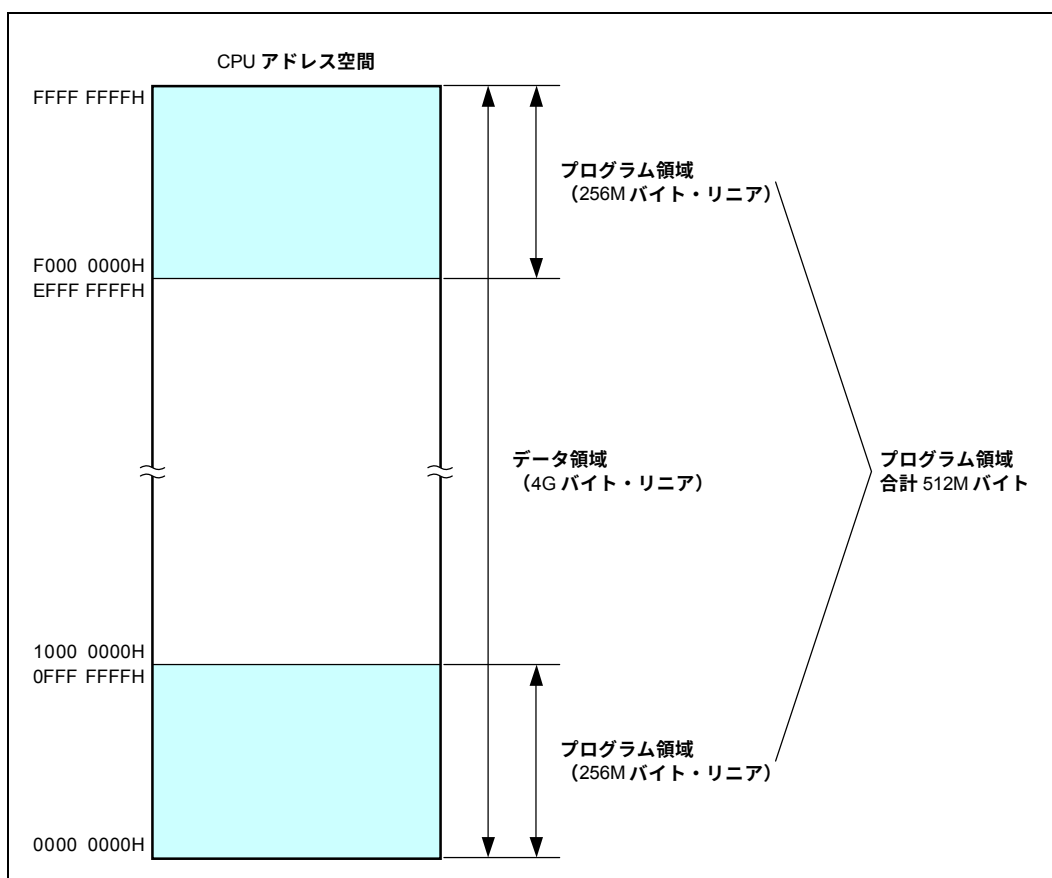
3.4 アドレス空間

3.4.1 CPU アドレス空間

EP3-AM1 の CPU は、32 ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大 4G バイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大 512M バイトのリニア・アドレス空間（プログラム空間）をサポートしています

次に CPU アドレス空間を示します。

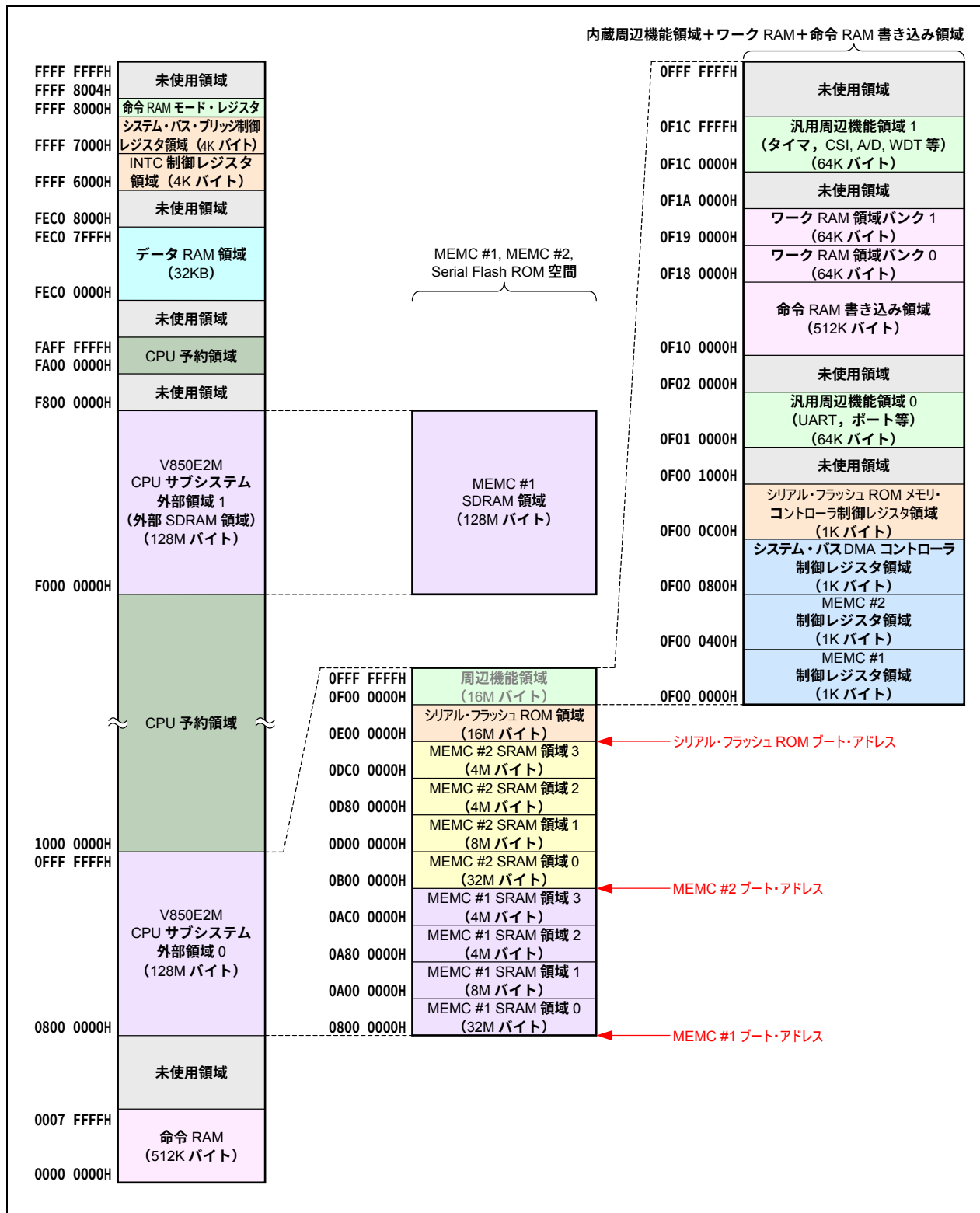
図 3-7 CPU アドレス空間



3.4.2 メモリ・マップ

EP3-AM1 のメモリ・マップを以下に示します。

★



注意 1. 異なるメモリ境界をまたがるミス・アライン・アクセス動作は保証されません。異なるメモリ境界を移動する場合は、必ず分岐命令を使用してください。またその分岐命令は、各メモリ境界の上限から 4 バイト以内に配置しないでください。

2. 異なるメモリ領域をまたがるプログラムの動作は保証されません。

3.4.3 領 域

(1) 内蔵命令 RAM 領域 (I_RAM 領域)

命令 RAM は、高速応答を必要とするプログラムを外部 ROM からダウンロードして利用します。

命令 RAM は、128 ビット・バスを採用し、CPU のパイプライン処理とあわせて、大容量ながら高いスループットを発揮します。リアルタイム性を必要とするアプリケーション・プログラムの実行が可能です。主にプログラムや固定データに利用されます。プログラムの格納などを目的に、ライトが行えます。ただしライト時は、別アドレス (0F10 0000H 以降の命令 RAM 書き込み領域) にライトします。

命令 RAM は、リード・モードとライト・モードを命令 RAM モード・レジスタ (IRAMM) で切り替えてアクセスしてください。リード (フェッチ) 時はリード・モード、ライト時はライト・モードに設定してください。

注意 1. 命令 RAM として確保されている 0000 0000H-0007 FFFFH には、直接ライトできません。命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) を経由してライトしてください。

2. 命令 RAM の書き込みは、以下の条件を守ってください。

- 128 ビット (= 4 ワード = 16 バイト) で割り切れるデータ数を書き込んでください。
- ライト・アクセスは、32 ビット (ワード) でのみアクセスしてください。
- 先頭アドレスは、128 ビット (= 4 ワード = 16 バイト) で割り切れるアドレスとしてください。
- アドレスはインクリメント方向で連続して書き込んでください。

3. システム・バス DMAC を用いて、命令 RAM を転送先に選択する場合は、以下の設定を守ってください。

- トランザクション・バイト・レジスタの値 (Current トランザクション・バイト・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
- デスティネーション・アドレス・レジスタの値 (Current デスティネーション・アドレス・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
- チャネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn [2:0] の設定は 32 ビット以上に設定してください (n = 0-7)。
- チャネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn の設定はインクリメントに設定してください (n = 0-7)。

(a) 命令 RAM サイズ

命令 RAM は、0000 0000H-0007 FFFFH に 512K バイト内蔵しています。

(b) 命令 RAM 書き込み領域

命令 RAM として確保されている 0000 0000H-0007 FFFFH には、直接ライトできません。命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) を経由してライトする必要があります。

(2) データ RAM 領域 (D_RAM 領域)

データ RAM は 32K バイト実装しています。配置アドレスは FEC0 0000H-FEC0 7FFFH です。

CPU と同一のクロックで、1 クロックでアクセス可能な高速データ RAM です。主に可変データやスタックに利用します。この領域からのプログラム・フェッチも可能です。

(3) ワーク RAM 領域 (W_RAM 領域)

CPU と、内部システム・バス上のバス・マスタの双方からアクセスできるワーク RAM を 64K バイト×2 バンク構成で内蔵しています。

配置アドレスは、下記のとおりです。

バンク	ワーク RAM サイズ	配置アドレス
バンク 0	64K バイト	0F18 0000H-0F18 FFFFH
バンク 1	64K バイト	0F19 0000H-0F19 FFFFH

2 バンク構造のため、CPU サブシステム側 (CPU またはセントラル DMA コントローラ) と、内部システム・バスのシステム・バス DMA コントローラから別々のバンクを利用することで競合を回避できます。同一バンクを同時にアクセスした場合のみ調停が行われます。CPU が外部メモリをアクセスしている場合でも、CPU の外部メモリ・アクセスをさまたげることなく他のバス・マスタは同時にワーク RAM にアクセスできます。

(4) 割り込み／例外テーブル

EP3-AM1 は、割り込み／例外に対応したハンドラ・アドレスを固定化することにより、割り込み応答性を高速化しています。

EP3-AM1 では、端子 (BOOTSEL0, BOOTSEL1) で選択したブート・モードにより、ハンドラ・アドレスが決まります。このハンドラ・アドレスは、起動後に変更できます。

表 3-9 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート・モード	ブート領域の選択	ブート・アドレス
0	0	MEMC #1 ブート	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H
0	1	MEMC #2 ブート	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	設定禁止	—

外部メモリ・ブートでは、起動アドレスが 0800 0000H となるため、このアドレスをベースとしたハンドラ・アドレスが設定されます。

各割り込み要因とハンドラ・アドレスは、「表 10-2 割り込み要因一覧」を参照してください。

3.4.4 周辺 I/O レジスタ

内蔵周辺機能には、多くの周辺 I/O レジスタが割り付けられています。周辺 I/O レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

周辺 I/O レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16, 32）は、各特殊機能レジスタで異なります。

以降に周辺 I/O レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号 内蔵された周辺 I/O レジスタのアドレスを示す C コンパイラ、アセンブラで使用する略号です。
- R/W 該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。
 - R/W : 読み出し／書き込みがともに可能
 - R : 読み出しのみ可能
 - W : 書き込みのみ可能
- 操作可能ビット単位
 - 操作可能なビット単位（1, 8, 16, 32）を示します。
- リセット時
 - RESETZ 入力時の各レジスタの状態を示します。

注意 1. 各内蔵周辺 I/O レジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、下記のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

該当する内蔵周辺 I/O レジスタは、以下の内蔵周辺機能のレジスタです。

- ・ 16 ビット・インターバル・タイマ M (TMM)
- ・ 16 ビット・タイマ／カウンタ AA (TAA)
- ・ 16 ビット・タイマ／イベント・カウンタ T (TMT)
- ・ ウォッチドッグ・タイマ機能
- ・ クロック同期式シリアル・インタフェース (CSI3)
- ・ A/D コンバータ

2. 各内蔵周辺 I/O レジスタへ書き込みを行う場合、各内蔵周辺 I/O レジスタのフォーマットにおいて、0 のビット個所には 0 を、1 のビット個所には 1 を必ず設定してください。禁止されている設定を行った場合、動作が不定となります。

★

★

表 3-10 キャッシュ／バッファ機能制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6480H	命令 RAM キャッシュ動作設定レジスタ	FCCTL0	R/W	—	—	○	—	40B4H
FFFF 6482H	命令 RAM キャッシュ・トリガ機能レジスタ	FCCTL1	R/W	—	—	○	—	0000H
FFFF 7100H	システム・バス・ブリッジ設定レジスタ	ETSCFG	R/W	—	—	○	—	0980H
FFFF 7102H	システム・バス・ブリッジ・コマンド・レジスタ	ETSCMD	R/W	—	—	○	—	0000H
FFFF 7140H	システム・バス・ブリッジ領域 0 設定レジスタ	ETSRCFG0	R/W	—	—	○	—	0000H
FFFF 7142H	システム・バス・ブリッジ領域 1 設定レジスタ	ETSRCFG1	R/W	—	—	○	—	0000H
FFFF 7144H	システム・バス・ブリッジ領域 2 設定レジスタ	ETSRCFG2	R/W	—	—	○	—	0000H
FFFF 7146H	システム・バス・ブリッジ領域 3 設定レジスタ	ETSRCFG3	R/W	—	—	○	—	0000H
FFFF 7150H	システム・バス・ブリッジ領域 0 アドレス・レジスタ	ETSRADRS0	R/W	—	—	—	○	不定
FFFF 7150H	システム・バス・ブリッジ領域 0 アドレス・レジスタ L	ETSRADRS0L	R/W	—	—	○	—	不定
FFFF 7152H	システム・バス・ブリッジ領域 0 アドレス・レジスタ H	ETSRADRS0H	R/W	—	—	○	—	不定
FFFF 7154H	システム・バス・ブリッジ領域 0 マスク・レジスタ	ETSRMASK0	R/W	—	—	—	○	不定
FFFF 7154H	システム・バス・ブリッジ領域 0 マスク・レジスタ L	ETSRMASK0L	R/W	—	—	○	—	不定
FFFF 7156H	システム・バス・ブリッジ領域 0 マスク・レジスタ H	ETSRMASK0H	R/W	—	—	○	—	不定
FFFF 7158H	システム・バス・ブリッジ領域 1 アドレス・レジスタ	ETSRADRS1	R/W	—	—	—	○	不定
FFFF 7158H	システム・バス・ブリッジ領域 1 アドレス・レジスタ L	ETSRADRS1L	R/W	—	—	○	—	不定
FFFF 715AH	システム・バス・ブリッジ領域 1 アドレス・レジスタ H	ETSRADRS1H	R/W	—	—	○	—	不定
FFFF 715CH	システム・バス・ブリッジ領域 1 マスク・レジスタ	ETSRMASK1	R/W	—	—	—	○	不定
FFFF 715CH	システム・バス・ブリッジ領域 1 マスク・レジスタ L	ETSRMASK1L	R/W	—	—	○	—	不定
FFFF 715EH	システム・バス・ブリッジ領域 1 マスク・レジスタ H	ETSRMASK1H	R/W	—	—	○	—	不定
FFFF 7160H	システム・バス・ブリッジ領域 2 アドレス・レジスタ	ETSRADRS2	R/W	—	—	—	○	不定
FFFF 7160H	システム・バス・ブリッジ領域 2 アドレス・レジスタ L	ETSRADRS2L	R/W	—	—	○	—	不定
FFFF 7162H	システム・バス・ブリッジ領域 2 アドレス・レジスタ H	ETSRADRS2H	R/W	—	—	○	—	不定
FFFF 7164H	システム・バス・ブリッジ領域 2 マスク・レジスタ	ETSRMASK2	R/W	—	—	—	○	不定
FFFF 7164H	システム・バス・ブリッジ領域 2 マスク・レジスタ L	ETSRMASK2L	R/W	—	—	○	—	不定
FFFF 7166H	システム・バス・ブリッジ領域 2 マスク・レジスタ H	ETSRMASK2H	R/W	—	—	○	—	不定
FFFF 7168H	システム・バス・ブリッジ領域 3 アドレス・レジスタ	ETSRADRS3	R/W	—	—	—	○	不定
FFFF 7168H	システム・バス・ブリッジ領域 3 アドレス・レジスタ L	ETSRADRS3L	R/W	—	—	○	—	不定
FFFF 716AH	システム・バス・ブリッジ領域 3 アドレス・レジスタ H	ETSRADRS3H	R/W	—	—	○	—	不定
FFFF 716CH	システム・バス・ブリッジ領域 3 マスク・レジスタ	ETSRMASK3	R/W	—	—	—	○	不定
FFFF 716CH	システム・バス・ブリッジ領域 3 マスク・レジスタ L	ETSRMASK3L	R/W	—	—	○	—	不定
FFFF 716EH	システム・バス・ブリッジ領域 3 マスク・レジスタ H	ETSRMASK3H	R/W	—	—	○	—	不定

表 3-11 MEMC #1 メモリ・コントローラ制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0004H	バス・サイズ制御レジスタ	BSC	R/W	—	—	—	○	0000 5555H/ 0000 FFFFH ^{※1}
0F00 0008H	スタティック・メモリ制御レジスタ 0	SMC0	R/W	—	—	—	○	0000 FFFFH
0F00 000CH	スタティック・メモリ制御レジスタ 1	SMC1	R/W	—	—	—	○	0000 FFFFH
0F00 0010H	スタティック・メモリ制御レジスタ 2	SMC2	R/W	—	—	—	○	0000 FFFFH
0F00 0014H	スタティック・メモリ制御レジスタ 3	SMC3	R/W	—	—	—	○	0000 FFFFH
0F00 0018H	ページ ROM 制御レジスタ	PRC	R/W	—	—	—	○	F000 0000H
0F00 001CH	ダイナミック・メモリ制御レジスタ	DMC	R/W	—	—	—	○	20C0 0000H
0F00 002CH	ダイナミック・メモリ・リフレッシュ制御レジスタ	RFC	R/W	—	—	—	○	001F 0000H

注 1. BUS32EN0 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN0 では、MEMC #1 メモリ・コントローラのリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

表 3-12 MEMC #2 メモリ・コントローラ制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0404H	バス・サイズ制御レジスタ	SPBSC	R/W	—	—	—	○	0000 5555H/ 0000 FFFFH ^{※2}
0F00 0408H	スタティック・メモリ制御レジスタ 0	SPSMC0	R/W	—	—	—	○	0000 FFFFH
0F00 040CH	スタティック・メモリ制御レジスタ 1	SPSMC1	R/W	—	—	—	○	0000 FFFFH
0F00 0410H	スタティック・メモリ制御レジスタ 2	SPSMC2	R/W	—	—	—	○	0000 FFFFH
0F00 0414H	スタティック・メモリ制御レジスタ 3	SPSMC3	R/W	—	—	—	○	0000 FFFFH
0F00 0418H	ページ ROM 制御レジスタ	SPPRC	R/W	—	—	—	○	F000 0000H

注 2. BUS32EN1 の端子レベルにより、SPBSC レジスタの初期値が決定されます。

BUS32EN1 では、MEMC #2 メモリ・コントローラのリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

表 3-13 割り込みコントローラ制御用レジスタ (1/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6000H	EI レベル割り込み制御レジスタ 0	EIC0	R/W	—	—	○	—	008FH
FFFF 6000H	EI レベル割り込み制御レジスタ 0L	EIC0L	R/W	○	○	—	—	8FH
FFFF 6001H	EI レベル割り込み制御レジスタ 0H	EIC0H	R/W	○	○	—	—	00H
FFFF 6002H	EI レベル割り込み制御レジスタ 1	EIC1	R/W	—	—	○	—	008FH
FFFF 6002H	EI レベル割り込み制御レジスタ 1L	EIC1L	R/W	○	○	—	—	8FH
FFFF 6003H	EI レベル割り込み制御レジスタ 1H	EIC1H	R/W	○	○	—	—	00H
FFFF 6004H	EI レベル割り込み制御レジスタ 2	EIC2	R/W	—	—	○	—	008FH
FFFF 6004H	EI レベル割り込み制御レジスタ 2L	EIC2L	R/W	○	○	—	—	8FH
FFFF 6005H	EI レベル割り込み制御レジスタ 2H	EIC2H	R/W	○	○	—	—	00H
FFFF 6006H	EI レベル割り込み制御レジスタ 3	EIC3	R/W	—	—	○	—	008FH
FFFF 6006H	EI レベル割り込み制御レジスタ 3L	EIC3L	R/W	○	○	—	—	8FH
FFFF 6007H	EI レベル割り込み制御レジスタ 3H	EIC3H	R/W	○	○	—	—	00H
FFFF 6008H	EI レベル割り込み制御レジスタ 4	EIC4	R/W	—	—	○	—	008FH
FFFF 6008H	EI レベル割り込み制御レジスタ 4L	EIC4L	R/W	○	○	—	—	8FH
FFFF 6009H	EI レベル割り込み制御レジスタ 4H	EIC4H	R/W	○	○	—	—	00H
FFFF 600AH	EI レベル割り込み制御レジスタ 5	EIC5	R/W	—	—	○	—	008FH
FFFF 600AH	EI レベル割り込み制御レジスタ 5L	EIC5L	R/W	○	○	—	—	8FH
FFFF 600BH	EI レベル割り込み制御レジスタ 5H	EIC5H	R/W	○	○	—	—	00H
FFFF 600CH	EI レベル割り込み制御レジスタ 6	EIC6	R/W	—	—	○	—	008FH
FFFF 600CH	EI レベル割り込み制御レジスタ 6L	EIC6L	R/W	○	○	—	—	8FH
FFFF 600DH	EI レベル割り込み制御レジスタ 6H	EIC6H	R/W	○	○	—	—	00H
FFFF 600EH	EI レベル割り込み制御レジスタ 7	EIC7	R/W	—	—	○	—	008FH
FFFF 600EH	EI レベル割り込み制御レジスタ 7L	EIC7L	R/W	○	○	—	—	8FH
FFFF 600FH	EI レベル割り込み制御レジスタ 7H	EIC7H	R/W	○	○	—	—	00H
FFFF 6010H	EI レベル割り込み制御レジスタ 8	EIC8	R/W	—	—	○	—	008FH
FFFF 6010H	EI レベル割り込み制御レジスタ 8L	EIC8L	R/W	○	○	—	—	8FH
FFFF 6011H	EI レベル割り込み制御レジスタ 8H	EIC8H	R/W	○	○	—	—	00H
FFFF 6012H	EI レベル割り込み制御レジスタ 9	EIC9	R/W	—	—	○	—	008FH
FFFF 6012H	EI レベル割り込み制御レジスタ 9L	EIC9L	R/W	○	○	—	—	8FH
FFFF 6013H	EI レベル割り込み制御レジスタ 9H	EIC9H	R/W	○	○	—	—	00H
FFFF 6014H	EI レベル割り込み制御レジスタ 10	EIC10	R/W	—	—	○	—	008FH
FFFF 6014H	EI レベル割り込み制御レジスタ 10L	EIC10L	R/W	○	○	—	—	8FH
FFFF 6015H	EI レベル割り込み制御レジスタ 10H	EIC10H	R/W	○	○	—	—	00H
FFFF 6016H	EI レベル割り込み制御レジスタ 11	EIC11	R/W	—	—	○	—	008FH
FFFF 6016H	EI レベル割り込み制御レジスタ 11L	EIC11L	R/W	○	○	—	—	8FH
FFFF 6017H	EI レベル割り込み制御レジスタ 11H	EIC11H	R/W	○	○	—	—	00H
FFFF 6018H	EI レベル割り込み制御レジスタ 12	EIC12	R/W	—	—	○	—	008FH
FFFF 6018H	EI レベル割り込み制御レジスタ 12L	EIC12L	R/W	○	○	—	—	8FH
FFFF 6019H	EI レベル割り込み制御レジスタ 12H	EIC12H	R/W	○	○	—	—	00H
FFFF 601AH	EI レベル割り込み制御レジスタ 13	EIC13	R/W	—	—	○	—	008FH
FFFF 601AH	EI レベル割り込み制御レジスタ 13L	EIC13L	R/W	○	○	—	—	8FH
FFFF 601BH	EI レベル割り込み制御レジスタ 13H	EIC13H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (2/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 601CH	EI レベル割り込み制御レジスタ 14	EIC14	R/W	—	—	○	—	008FH
FFFF 601CH	EI レベル割り込み制御レジスタ 14L	EIC14L	R/W	○	○	—	—	8FH
FFFF 601DH	EI レベル割り込み制御レジスタ 14H	EIC14H	R/W	○	○	—	—	00H
FFFF 601EH	EI レベル割り込み制御レジスタ 15	EIC15	R/W	—	—	○	—	008FH
FFFF 601EH	EI レベル割り込み制御レジスタ 15L	EIC15L	R/W	○	○	—	—	8FH
FFFF 601FH	EI レベル割り込み制御レジスタ 15H	EIC15H	R/W	○	○	—	—	00H
FFFF 6020H	EI レベル割り込み制御レジスタ 16	EIC16	R/W	—	—	○	—	008FH
FFFF 6020H	EI レベル割り込み制御レジスタ 16L	EIC16L	R/W	○	○	—	—	8FH
FFFF 6021H	EI レベル割り込み制御レジスタ 16H	EIC16H	R/W	○	○	—	—	00H
FFFF 6022H	EI レベル割り込み制御レジスタ 17	EIC17	R/W	—	—	○	—	008FH
FFFF 6022H	EI レベル割り込み制御レジスタ 17L	EIC17L	R/W	○	○	—	—	8FH
FFFF 6023H	EI レベル割り込み制御レジスタ 17H	EIC17H	R/W	○	○	—	—	00H
FFFF 6024H	EI レベル割り込み制御レジスタ 18	EIC18	R/W	—	—	○	—	008FH
FFFF 6024H	EI レベル割り込み制御レジスタ 18L	EIC18L	R/W	○	○	—	—	8FH
FFFF 6025H	EI レベル割り込み制御レジスタ 18H	EIC18H	R/W	○	○	—	—	00H
FFFF 6026H	EI レベル割り込み制御レジスタ 19	EIC19	R/W	—	—	○	—	008FH
FFFF 6026H	EI レベル割り込み制御レジスタ 19L	EIC19L	R/W	○	○	—	—	8FH
FFFF 6027H	EI レベル割り込み制御レジスタ 19H	EIC19H	R/W	○	○	—	—	00H
FFFF 6028H	EI レベル割り込み制御レジスタ 20	EIC20	R/W	—	—	○	—	008FH
FFFF 6028H	EI レベル割り込み制御レジスタ 20L	EIC20L	R/W	○	○	—	—	8FH
FFFF 6029H	EI レベル割り込み制御レジスタ 20H	EIC20H	R/W	○	○	—	—	00H
FFFF 602AH	EI レベル割り込み制御レジスタ 21	EIC21	R/W	—	—	○	—	008FH
FFFF 602AH	EI レベル割り込み制御レジスタ 21L	EIC21L	R/W	○	○	—	—	8FH
FFFF 602BH	EI レベル割り込み制御レジスタ 21H	EIC21H	R/W	○	○	—	—	00H
FFFF 602CH	EI レベル割り込み制御レジスタ 22	EIC22	R/W	—	—	○	—	008FH
FFFF 602CH	EI レベル割り込み制御レジスタ 22L	EIC22L	R/W	○	○	—	—	8FH
FFFF 602DH	EI レベル割り込み制御レジスタ 22H	EIC22H	R/W	○	○	—	—	00H
FFFF 602EH	EI レベル割り込み制御レジスタ 23	EIC23	R/W	—	—	○	—	008FH
FFFF 602EH	EI レベル割り込み制御レジスタ 23L	EIC23L	R/W	○	○	—	—	8FH
FFFF 602FH	EI レベル割り込み制御レジスタ 23H	EIC23H	R/W	○	○	—	—	00H
FFFF 6030H	EI レベル割り込み制御レジスタ 24	EIC24	R/W	—	—	○	—	008FH
FFFF 6030H	EI レベル割り込み制御レジスタ 24L	EIC24L	R/W	○	○	—	—	8FH
FFFF 6031H	EI レベル割り込み制御レジスタ 24H	EIC24H	R/W	○	○	—	—	00H
FFFF 6032H	EI レベル割り込み制御レジスタ 25	EIC25	R/W	—	—	○	—	008FH
FFFF 6032H	EI レベル割り込み制御レジスタ 25L	EIC25L	R/W	○	○	—	—	8FH
FFFF 6033H	EI レベル割り込み制御レジスタ 25H	EIC25H	R/W	○	○	—	—	00H
FFFF 6034H	EI レベル割り込み制御レジスタ 26	EIC26	R/W	—	—	○	—	008FH
FFFF 6034H	EI レベル割り込み制御レジスタ 26L	EIC26L	R/W	○	○	—	—	8FH
FFFF 6035H	EI レベル割り込み制御レジスタ 26H	EIC26H	R/W	○	○	—	—	00H
FFFF 6036H	EI レベル割り込み制御レジスタ 27	EIC27	R/W	—	—	○	—	008FH
FFFF 6036H	EI レベル割り込み制御レジスタ 27L	EIC27L	R/W	○	○	—	—	8FH
FFFF 6037H	EI レベル割り込み制御レジスタ 27H	EIC27H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (3/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6038H	EI レベル割り込み制御レジスタ 28	EIC28	R/W	—	—	○	—	008FH
FFFF 6038H	EI レベル割り込み制御レジスタ 28L	EIC28L	R/W	○	○	—	—	8FH
FFFF 6039H	EI レベル割り込み制御レジスタ 28H	EIC28H	R/W	○	○	—	—	00H
FFFF 603AH	EI レベル割り込み制御レジスタ 29	EIC29	R/W	—	—	○	—	008FH
FFFF 603AH	EI レベル割り込み制御レジスタ 29L	EIC29L	R/W	○	○	—	—	8FH
FFFF 603BH	EI レベル割り込み制御レジスタ 29H	EIC29H	R/W	○	○	—	—	00H
FFFF 603CH	EI レベル割り込み制御レジスタ 30	EIC30	R/W	—	—	○	—	008FH
FFFF 603CH	EI レベル割り込み制御レジスタ 30L	EIC30L	R/W	○	○	—	—	8FH
FFFF 603DH	EI レベル割り込み制御レジスタ 30H	EIC30H	R/W	○	○	—	—	00H
FFFF 603EH	EI レベル割り込み制御レジスタ 31	EIC31	R/W	—	—	○	—	008FH
FFFF 603EH	EI レベル割り込み制御レジスタ 31L	EIC31L	R/W	○	○	—	—	8FH
FFFF 603FH	EI レベル割り込み制御レジスタ 31H	EIC31H	R/W	○	○	—	—	00H
FFFF 6040H	EI レベル割り込み制御レジスタ 32	EIC32	R/W	—	—	○	—	008FH
FFFF 6040H	EI レベル割り込み制御レジスタ 32L	EIC32L	R/W	○	○	—	—	8FH
FFFF 6041H	EI レベル割り込み制御レジスタ 32H	EIC32H	R/W	○	○	—	—	00H
FFFF 6042H	EI レベル割り込み制御レジスタ 33	EIC33	R/W	—	—	○	—	008FH
FFFF 6042H	EI レベル割り込み制御レジスタ 33L	EIC33L	R/W	○	○	—	—	8FH
FFFF 6043H	EI レベル割り込み制御レジスタ 33H	EIC33H	R/W	○	○	—	—	00H
FFFF 6044H	EI レベル割り込み制御レジスタ 34	EIC34	R/W	—	—	○	—	008FH
FFFF 6044H	EI レベル割り込み制御レジスタ 34L	EIC34L	R/W	○	○	—	—	8FH
FFFF 6045H	EI レベル割り込み制御レジスタ 34H	EIC34H	R/W	○	○	—	—	00H
FFFF 6046H	EI レベル割り込み制御レジスタ 35	EIC35	R/W	—	—	○	—	008FH
FFFF 6046H	EI レベル割り込み制御レジスタ 35L	EIC35L	R/W	○	○	—	—	8FH
FFFF 6047H	EI レベル割り込み制御レジスタ 35H	EIC35H	R/W	○	○	—	—	00H
FFFF 6048H	EI レベル割り込み制御レジスタ 36	EIC36	R/W	—	—	○	—	008FH
FFFF 6048H	EI レベル割り込み制御レジスタ 36L	EIC36L	R/W	○	○	—	—	8FH
FFFF 6049H	EI レベル割り込み制御レジスタ 36H	EIC36H	R/W	○	○	—	—	00H
FFFF 604AH	EI レベル割り込み制御レジスタ 37	EIC37	R/W	—	—	○	—	008FH
FFFF 604AH	EI レベル割り込み制御レジスタ 37L	EIC37L	R/W	○	○	—	—	8FH
FFFF 604BH	EI レベル割り込み制御レジスタ 37H	EIC37H	R/W	○	○	—	—	00H
FFFF 604CH	EI レベル割り込み制御レジスタ 38	EIC38	R/W	—	—	○	—	008FH
FFFF 604CH	EI レベル割り込み制御レジスタ 38L	EIC38L	R/W	○	○	—	—	8FH
FFFF 604DH	EI レベル割り込み制御レジスタ 38H	EIC38H	R/W	○	○	—	—	00H
FFFF 604EH	EI レベル割り込み制御レジスタ 39	EIC39	R/W	—	—	○	—	008FH
FFFF 604EH	EI レベル割り込み制御レジスタ 39L	EIC39L	R/W	○	○	—	—	8FH
FFFF 604FH	EI レベル割り込み制御レジスタ 39H	EIC39H	R/W	○	○	—	—	00H
FFFF 6050H	EI レベル割り込み制御レジスタ 40	EIC40	R/W	—	—	○	—	008FH
FFFF 6050H	EI レベル割り込み制御レジスタ 40L	EIC40L	R/W	○	○	—	—	8FH
FFFF 6051H	EI レベル割り込み制御レジスタ 40H	EIC40H	R/W	○	○	—	—	00H
FFFF 6052H	EI レベル割り込み制御レジスタ 41	EIC41	R/W	—	—	○	—	008FH
FFFF 6052H	EI レベル割り込み制御レジスタ 41L	EIC41L	R/W	○	○	—	—	8FH
FFFF 6053H	EI レベル割り込み制御レジスタ 41H	EIC41H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (4/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6054H	EI レベル割り込み制御レジスタ 42	EIC42	R/W	—	—	○	—	008FH
FFFF 6054H	EI レベル割り込み制御レジスタ 42L	EIC42L	R/W	○	○	—	—	8FH
FFFF 6055H	EI レベル割り込み制御レジスタ 42H	EIC42H	R/W	○	○	—	—	00H
FFFF 6056H	EI レベル割り込み制御レジスタ 43	EIC43	R/W	—	—	○	—	008FH
FFFF 6056H	EI レベル割り込み制御レジスタ 43L	EIC43L	R/W	○	○	—	—	8FH
FFFF 6057H	EI レベル割り込み制御レジスタ 43H	EIC43H	R/W	○	○	—	—	00H
FFFF 6058H	EI レベル割り込み制御レジスタ 44	EIC44	R/W	—	—	○	—	008FH
FFFF 6058H	EI レベル割り込み制御レジスタ 44L	EIC44L	R/W	○	○	—	—	8FH
FFFF 6059H	EI レベル割り込み制御レジスタ 44H	EIC44H	R/W	○	○	—	—	00H
FFFF 605AH	EI レベル割り込み制御レジスタ 45	EIC45	R/W	—	—	○	—	008FH
FFFF 605AH	EI レベル割り込み制御レジスタ 45L	EIC45L	R/W	○	○	—	—	8FH
FFFF 605BH	EI レベル割り込み制御レジスタ 45H	EIC45H	R/W	○	○	—	—	00H
FFFF 605CH	EI レベル割り込み制御レジスタ 46	EIC46	R/W	—	—	○	—	008FH
FFFF 605CH	EI レベル割り込み制御レジスタ 46L	EIC46L	R/W	○	○	—	—	8FH
FFFF 605DH	EI レベル割り込み制御レジスタ 46H	EIC46H	R/W	○	○	—	—	00H
FFFF 605EH	EI レベル割り込み制御レジスタ 47	EIC47	R/W	—	—	○	—	008FH
FFFF 605EH	EI レベル割り込み制御レジスタ 47L	EIC47L	R/W	○	○	—	—	8FH
FFFF 605FH	EI レベル割り込み制御レジスタ 47H	EIC47H	R/W	○	○	—	—	00H
FFFF 6060H	EI レベル割り込み制御レジスタ 48	EIC48	R/W	—	—	○	—	008FH
FFFF 6060H	EI レベル割り込み制御レジスタ 48L	EIC48L	R/W	○	○	—	—	8FH
FFFF 6061H	EI レベル割り込み制御レジスタ 48H	EIC48H	R/W	○	○	—	—	00H
FFFF 6062H	EI レベル割り込み制御レジスタ 49	EIC49	R/W	—	—	○	—	008FH
FFFF 6062H	EI レベル割り込み制御レジスタ 49L	EIC49L	R/W	○	○	—	—	8FH
FFFF 6063H	EI レベル割り込み制御レジスタ 49H	EIC49H	R/W	○	○	—	—	00H
FFFF 6064H	EI レベル割り込み制御レジスタ 50	EIC50	R/W	—	—	○	—	008FH
FFFF 6064H	EI レベル割り込み制御レジスタ 50L	EIC50L	R/W	○	○	—	—	8FH
FFFF 6065H	EI レベル割り込み制御レジスタ 50H	EIC50H	R/W	○	○	—	—	00H
FFFF 6066H	EI レベル割り込み制御レジスタ 51	EIC51	R/W	—	—	○	—	008FH
FFFF 6066H	EI レベル割り込み制御レジスタ 51L	EIC51L	R/W	○	○	—	—	8FH
FFFF 6067H	EI レベル割り込み制御レジスタ 51H	EIC51H	R/W	○	○	—	—	00H
FFFF 6068H	EI レベル割り込み制御レジスタ 52	EIC52	R/W	—	—	○	—	008FH
FFFF 6068H	EI レベル割り込み制御レジスタ 52L	EIC52L	R/W	○	○	—	—	8FH
FFFF 6069H	EI レベル割り込み制御レジスタ 52H	EIC52H	R/W	○	○	—	—	00H
FFFF 606AH	EI レベル割り込み制御レジスタ 53	EIC53	R/W	—	—	○	—	008FH
FFFF 606AH	EI レベル割り込み制御レジスタ 53L	EIC53L	R/W	○	○	—	—	8FH
FFFF 606BH	EI レベル割り込み制御レジスタ 53H	EIC53H	R/W	○	○	—	—	00H
FFFF 606CH	EI レベル割り込み制御レジスタ 54	EIC54	R/W	—	—	○	—	008FH
FFFF 606CH	EI レベル割り込み制御レジスタ 54L	EIC54L	R/W	○	○	—	—	8FH
FFFF 606DH	EI レベル割り込み制御レジスタ 54H	EIC54H	R/W	○	○	—	—	00H
FFFF 606EH	EI レベル割り込み制御レジスタ 55	EIC55	R/W	—	—	○	—	008FH
FFFF 606EH	EI レベル割り込み制御レジスタ 55L	EIC55L	R/W	○	○	—	—	8FH
FFFF 606FH	EI レベル割り込み制御レジスタ 55H	EIC55H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (5/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6070H	EI レベル割り込み制御レジスタ 56	EIC56	R/W	—	—	○	—	008FH
FFFF 6070H	EI レベル割り込み制御レジスタ 56L	EIC56L	R/W	○	○	—	—	8FH
FFFF 6071H	EI レベル割り込み制御レジスタ 56H	EIC56H	R/W	○	○	—	—	00H
FFFF 6072H	EI レベル割り込み制御レジスタ 57	EIC57	R/W	—	—	○	—	008FH
FFFF 6072H	EI レベル割り込み制御レジスタ 57L	EIC57L	R/W	○	○	—	—	8FH
FFFF 6073H	EI レベル割り込み制御レジスタ 57H	EIC57H	R/W	○	○	—	—	00H
FFFF 6074H	EI レベル割り込み制御レジスタ 58	EIC58	R/W	—	—	○	—	008FH
FFFF 6074H	EI レベル割り込み制御レジスタ 58L	EIC58L	R/W	○	○	—	—	8FH
FFFF 6075H	EI レベル割り込み制御レジスタ 58H	EIC58H	R/W	○	○	—	—	00H
FFFF 6076H	EI レベル割り込み制御レジスタ 59	EIC59	R/W	—	—	○	—	008FH
FFFF 6076H	EI レベル割り込み制御レジスタ 59L	EIC59L	R/W	○	○	—	—	8FH
FFFF 6077H	EI レベル割り込み制御レジスタ 59H	EIC59H	R/W	○	○	—	—	00H
FFFF 6078H	EI レベル割り込み制御レジスタ 60	EIC60	R/W	—	—	○	—	008FH
FFFF 6078H	EI レベル割り込み制御レジスタ 60L	EIC60L	R/W	○	○	—	—	8FH
FFFF 6079H	EI レベル割り込み制御レジスタ 60H	EIC60H	R/W	○	○	—	—	00H
FFFF 607AH	EI レベル割り込み制御レジスタ 61	EIC61	R/W	—	—	○	—	008FH
FFFF 607AH	EI レベル割り込み制御レジスタ 61L	EIC61L	R/W	○	○	—	—	8FH
FFFF 607BH	EI レベル割り込み制御レジスタ 61H	EIC61H	R/W	○	○	—	—	00H
FFFF 607CH	EI レベル割り込み制御レジスタ 62	EIC62	R/W	—	—	○	—	008FH
FFFF 607CH	EI レベル割り込み制御レジスタ 62L	EIC62L	R/W	○	○	—	—	8FH
FFFF 607DH	EI レベル割り込み制御レジスタ 62H	EIC62H	R/W	○	○	—	—	00H
FFFF 607EH	EI レベル割り込み制御レジスタ 63	EIC63	R/W	—	—	○	—	008FH
FFFF 607EH	EI レベル割り込み制御レジスタ 63L	EIC63L	R/W	○	○	—	—	8FH
FFFF 607FH	EI レベル割り込み制御レジスタ 63H	EIC63H	R/W	○	○	—	—	00H
FFFF 6080H	EI レベル割り込み制御レジスタ 64	EIC64	R/W	—	—	○	—	008FH
FFFF 6080H	EI レベル割り込み制御レジスタ 64L	EIC64L	R/W	○	○	—	—	8FH
FFFF 6081H	EI レベル割り込み制御レジスタ 64H	EIC64H	R/W	○	○	—	—	00H
FFFF 6082H	EI レベル割り込み制御レジスタ 65	EIC65	R/W	—	—	○	—	008FH
FFFF 6082H	EI レベル割り込み制御レジスタ 65L	EIC65L	R/W	○	○	—	—	8FH
FFFF 6083H	EI レベル割り込み制御レジスタ 65H	EIC65H	R/W	○	○	—	—	00H
FFFF 6084H	EI レベル割り込み制御レジスタ 66	EIC66	R/W	—	—	○	—	008FH
FFFF 6084H	EI レベル割り込み制御レジスタ 66L	EIC66L	R/W	○	○	—	—	8FH
FFFF 6085H	EI レベル割り込み制御レジスタ 66H	EIC66H	R/W	○	○	—	—	00H
FFFF 6086H	EI レベル割り込み制御レジスタ 67	EIC67	R/W	—	—	○	—	008FH
FFFF 6086H	EI レベル割り込み制御レジスタ 67L	EIC67L	R/W	○	○	—	—	8FH
FFFF 6087H	EI レベル割り込み制御レジスタ 67H	EIC67H	R/W	○	○	—	—	00H
FFFF 6088H	EI レベル割り込み制御レジスタ 68	EIC68	R/W	—	—	○	—	008FH
FFFF 6088H	EI レベル割り込み制御レジスタ 68L	EIC68L	R/W	○	○	—	—	8FH
FFFF 6089H	EI レベル割り込み制御レジスタ 68H	EIC68H	R/W	○	○	—	—	00H
FFFF 608AH	EI レベル割り込み制御レジスタ 69	EIC69	R/W	—	—	○	—	008FH
FFFF 608AH	EI レベル割り込み制御レジスタ 69L	EIC69L	R/W	○	○	—	—	8FH
FFFF 608BH	EI レベル割り込み制御レジスタ 69H	EIC69H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (6/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 608CH	EI レベル割り込み制御レジスタ 70	EIC70	R/W	—	—	○	—	008FH
FFFF 608CH	EI レベル割り込み制御レジスタ 70L	EIC70L	R/W	○	○	—	—	8FH
FFFF 608DH	EI レベル割り込み制御レジスタ 70H	EIC70H	R/W	○	○	—	—	00H
FFFF 608EH	EI レベル割り込み制御レジスタ 71	EIC71	R/W	—	—	○	—	008FH
FFFF 608EH	EI レベル割り込み制御レジスタ 71L	EIC71L	R/W	○	○	—	—	8FH
FFFF 608FH	EI レベル割り込み制御レジスタ 71H	EIC71H	R/W	○	○	—	—	00H
FFFF 6090H	EI レベル割り込み制御レジスタ 72	EIC72	R/W	—	—	○	—	008FH
FFFF 6090H	EI レベル割り込み制御レジスタ 72L	EIC72L	R/W	○	○	—	—	8FH
FFFF 6091H	EI レベル割り込み制御レジスタ 72H	EIC72H	R/W	○	○	—	—	00H
FFFF 6092H	EI レベル割り込み制御レジスタ 73	EIC73	R/W	—	—	○	—	008FH
FFFF 6092H	EI レベル割り込み制御レジスタ 73L	EIC73L	R/W	○	○	—	—	8FH
FFFF 6093H	EI レベル割り込み制御レジスタ 73H	EIC73H	R/W	○	○	—	—	00H
FFFF 6094H	EI レベル割り込み制御レジスタ 74	EIC74	R/W	—	—	○	—	008FH
FFFF 6094H	EI レベル割り込み制御レジスタ 74L	EIC74L	R/W	○	○	—	—	8FH
FFFF 6095H	EI レベル割り込み制御レジスタ 74H	EIC74H	R/W	○	○	—	—	00H
FFFF 6096H	EI レベル割り込み制御レジスタ 75	EIC75	R/W	—	—	○	—	008FH
FFFF 6096H	EI レベル割り込み制御レジスタ 75L	EIC75L	R/W	○	○	—	—	8FH
FFFF 6097H	EI レベル割り込み制御レジスタ 75H	EIC75H	R/W	○	○	—	—	00H
FFFF 6098H	EI レベル割り込み制御レジスタ 76	EIC76	R/W	—	—	○	—	008FH
FFFF 6098H	EI レベル割り込み制御レジスタ 76L	EIC76L	R/W	○	○	—	—	8FH
FFFF 6099H	EI レベル割り込み制御レジスタ 76H	EIC76H	R/W	○	○	—	—	00H
FFFF 609AH	EI レベル割り込み制御レジスタ 77	EIC77	R/W	—	—	○	—	008FH
FFFF 609AH	EI レベル割り込み制御レジスタ 77L	EIC77L	R/W	○	○	—	—	8FH
FFFF 609BH	EI レベル割り込み制御レジスタ 77H	EIC77H	R/W	○	○	—	—	00H
FFFF 609CH	EI レベル割り込み制御レジスタ 78	EIC78	R/W	—	—	○	—	008FH
FFFF 609CH	EI レベル割り込み制御レジスタ 78L	EIC78L	R/W	○	○	—	—	8FH
FFFF 609DH	EI レベル割り込み制御レジスタ 78H	EIC78H	R/W	○	○	—	—	00H
FFFF 609EH	EI レベル割り込み制御レジスタ 79	EIC79	R/W	—	—	○	—	008FH
FFFF 609EH	EI レベル割り込み制御レジスタ 79L	EIC79L	R/W	○	○	—	—	8FH
FFFF 609FH	EI レベル割り込み制御レジスタ 79H	EIC79H	R/W	○	○	—	—	00H
FFFF 60A0H	EI レベル割り込み制御レジスタ 80	EIC80	R/W	—	—	○	—	008FH
FFFF 60A0H	EI レベル割り込み制御レジスタ 80L	EIC80L	R/W	○	○	—	—	8FH
FFFF 60A1H	EI レベル割り込み制御レジスタ 80H	EIC80H	R/W	○	○	—	—	00H
FFFF 60A2H	EI レベル割り込み制御レジスタ 81	EIC81	R/W	—	—	○	—	008FH
FFFF 60A2H	EI レベル割り込み制御レジスタ 81L	EIC81L	R/W	○	○	—	—	8FH
FFFF 60A3H	EI レベル割り込み制御レジスタ 81H	EIC81H	R/W	○	○	—	—	00H
FFFF 60A4H	EI レベル割り込み制御レジスタ 82	EIC82	R/W	—	—	○	—	008FH
FFFF 60A4H	EI レベル割り込み制御レジスタ 82L	EIC82L	R/W	○	○	—	—	8FH
FFFF 60A5H	EI レベル割り込み制御レジスタ 82H	EIC82H	R/W	○	○	—	—	00H
FFFF 60A6H	EI レベル割り込み制御レジスタ 83	EIC83	R/W	—	—	○	—	008FH
FFFF 60A6H	EI レベル割り込み制御レジスタ 83L	EIC83L	R/W	○	○	—	—	8FH
FFFF 60A7H	EI レベル割り込み制御レジスタ 83H	EIC83H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (8/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60A8H	EI レベル割り込み制御レジスタ 84	EIC84	R/W	—	—	○	—	008FH
FFFF 60A8H	EI レベル割り込み制御レジスタ 84L	EIC84L	R/W	○	○	—	—	8FH
FFFF 60A9H	EI レベル割り込み制御レジスタ 84H	EIC84H	R/W	○	○	—	—	00H
FFFF 60AAH	EI レベル割り込み制御レジスタ 85 (未使用)	EIC85	R/W	—	—	○	—	008FH
FFFF 60AAH	EI レベル割り込み制御レジスタ 85L (未使用)	EIC85L	R/W	○	○	—	—	8FH
FFFF 60ABH	EI レベル割り込み制御レジスタ 85H (未使用)	EIC85H	R/W	○	○	—	—	00H
FFFF 60ACH	EI レベル割り込み制御レジスタ 86 (未使用)	EIC86	R/W	—	—	○	—	008FH
FFFF 60ACH	EI レベル割り込み制御レジスタ 86L (未使用)	EIC86L	R/W	○	○	—	—	8FH
FFFF 60ADH	EI レベル割り込み制御レジスタ 86H (未使用)	EIC86H	R/W	○	○	—	—	00H
FFFF 60AEH	EI レベル割り込み制御レジスタ 87 (未使用)	EIC87	R/W	—	—	○	—	008FH
FFFF 60AEH	EI レベル割り込み制御レジスタ 87L (未使用)	EIC87L	R/W	○	○	—	—	8FH
FFFF 60AFH	EI レベル割り込み制御レジスタ 87H (未使用)	EIC87H	R/W	○	○	—	—	00H
FFFF 60B0H	EI レベル割り込み制御レジスタ 88 (未使用)	EIC88	R/W	—	—	○	—	008FH
FFFF 60B0H	EI レベル割り込み制御レジスタ 88L (未使用)	EIC88L	R/W	○	○	—	—	8FH
FFFF 60B1H	EI レベル割り込み制御レジスタ 88H (未使用)	EIC88H	R/W	○	○	—	—	00H
FFFF 60B2H	EI レベル割り込み制御レジスタ 89 (未使用)	EIC89	R/W	—	—	○	—	008FH
FFFF 60B2H	EI レベル割り込み制御レジスタ 89L (未使用)	EIC89L	R/W	○	○	—	—	8FH
FFFF 60B3H	EI レベル割り込み制御レジスタ 89H (未使用)	EIC89H	R/W	○	○	—	—	00H
FFFF 60B4H	EI レベル割り込み制御レジスタ 90 (未使用)	EIC90	R/W	—	—	○	—	008FH
FFFF 60B4H	EI レベル割り込み制御レジスタ 90L (未使用)	EIC90L	R/W	○	○	—	—	8FH
FFFF 60B5H	EI レベル割り込み制御レジスタ 90H (未使用)	EIC90H	R/W	○	○	—	—	00H
FFFF 60B6H	EI レベル割り込み制御レジスタ 91 (未使用)	EIC91	R/W	—	—	○	—	008FH
FFFF 60B6H	EI レベル割り込み制御レジスタ 91L (未使用)	EIC91L	R/W	○	○	—	—	8FH
FFFF 60B7H	EI レベル割り込み制御レジスタ 91H (未使用)	EIC91H	R/W	○	○	—	—	00H
FFFF 60B8H	EI レベル割り込み制御レジスタ 92 (未使用)	EIC92	R/W	—	—	○	—	008FH
FFFF 60B8H	EI レベル割り込み制御レジスタ 92L (未使用)	EIC92L	R/W	○	○	—	—	8FH
FFFF 60B9H	EI レベル割り込み制御レジスタ 92H (未使用)	EIC92H	R/W	○	○	—	—	00H
FFFF 60BAH	EI レベル割り込み制御レジスタ 93	EIC93	R/W	—	—	○	—	008FH
FFFF 60BAH	EI レベル割り込み制御レジスタ 93L	EIC93L	R/W	○	○	—	—	8FH
FFFF 60BBH	EI レベル割り込み制御レジスタ 93H	EIC93H	R/W	○	○	—	—	00H
FFFF 60BCH	EI レベル割り込み制御レジスタ 94	EIC94	R/W	—	—	○	—	008FH
FFFF 60BCH	EI レベル割り込み制御レジスタ 94L	EIC94L	R/W	○	○	—	—	8FH
FFFF 60BDH	EI レベル割り込み制御レジスタ 94H	EIC94H	R/W	○	○	—	—	00H
FFFF 60BEH	EI レベル割り込み制御レジスタ 95	EIC95	R/W	—	—	○	—	008FH
FFFF 60BEH	EI レベル割り込み制御レジスタ 95L	EIC95L	R/W	○	○	—	—	8FH
FFFF 60BFH	EI レベル割り込み制御レジスタ 95H	EIC95H	R/W	○	○	—	—	00H
FFFF 60C0H	EI レベル割り込み制御レジスタ 96	EIC96	R/W	—	—	○	—	008FH
FFFF 60C0H	EI レベル割り込み制御レジスタ 96L	EIC96L	R/W	○	○	—	—	8FH
FFFF 60C1H	EI レベル割り込み制御レジスタ 96H	EIC96H	R/W	○	○	—	—	00H
FFFF 60C2H	EI レベル割り込み制御レジスタ 97	EIC97	R/W	—	—	○	—	008FH
FFFF 60C2H	EI レベル割り込み制御レジスタ 97L	EIC97L	R/W	○	○	—	—	8FH
FFFF 60C3H	EI レベル割り込み制御レジスタ 97H	EIC97H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (9/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60C4H	EI レベル割り込み制御レジスタ 98	EIC98	R/W	—	—	○	—	008FH
FFFF 60C4H	EI レベル割り込み制御レジスタ 98L	EIC98L	R/W	○	○	—	—	8FH
FFFF 60C5H	EI レベル割り込み制御レジスタ 98H	EIC98H	R/W	○	○	—	—	00H
FFFF 60C6H	EI レベル割り込み制御レジスタ 99	EIC99	R/W	—	—	○	—	008FH
FFFF 60C6H	EI レベル割り込み制御レジスタ 99L	EIC99L	R/W	○	○	—	—	8FH
FFFF 60C7H	EI レベル割り込み制御レジスタ 99H	EIC99H	R/W	○	○	—	—	00H
FFFF 60C8H	EI レベル割り込み制御レジスタ 100	EIC100	R/W	—	—	○	—	008FH
FFFF 60C8H	EI レベル割り込み制御レジスタ 100L	EIC100L	R/W	○	○	—	—	8FH
FFFF 60C9H	EI レベル割り込み制御レジスタ 100H	EIC100H	R/W	○	○	—	—	00H
FFFF 60CAH	EI レベル割り込み制御レジスタ 101	EIC101	R/W	—	—	○	—	008FH
FFFF 60CAH	EI レベル割り込み制御レジスタ 101L	EIC101L	R/W	○	○	—	—	8FH
FFFF 60CBH	EI レベル割り込み制御レジスタ 101H	EIC101H	R/W	○	○	—	—	00H
FFFF 60CCH	EI レベル割り込み制御レジスタ 102	EIC102	R/W	—	—	○	—	008FH
FFFF 60CCH	EI レベル割り込み制御レジスタ 102L	EIC102L	R/W	○	○	—	—	8FH
FFFF 60CDH	EI レベル割り込み制御レジスタ 102H	EIC102H	R/W	○	○	—	—	00H
FFFF 60CEH	EI レベル割り込み制御レジスタ 103	EIC103	R/W	—	—	○	—	008FH
FFFF 60CEH	EI レベル割り込み制御レジスタ 103L	EIC103L	R/W	○	○	—	—	8FH
FFFF 60CFH	EI レベル割り込み制御レジスタ 103H	EIC103H	R/W	○	○	—	—	00H
FFFF 60D0H	EI レベル割り込み制御レジスタ 104	EIC104	R/W	—	—	○	—	008FH
FFFF 60D0H	EI レベル割り込み制御レジスタ 104L	EIC104L	R/W	○	○	—	—	8FH
FFFF 60D1H	EI レベル割り込み制御レジスタ 104H	EIC104H	R/W	○	○	—	—	00H
FFFF 60D2H	EI レベル割り込み制御レジスタ 105	EIC105	R/W	—	—	○	—	008FH
FFFF 60D2H	EI レベル割り込み制御レジスタ 105L	EIC105L	R/W	○	○	—	—	8FH
FFFF 60D3H	EI レベル割り込み制御レジスタ 105H	EIC105H	R/W	○	○	—	—	00H
FFFF 60D4H	EI レベル割り込み制御レジスタ 106	EIC106	R/W	—	—	○	—	008FH
FFFF 60D4H	EI レベル割り込み制御レジスタ 106L	EIC106L	R/W	○	○	—	—	8FH
FFFF 60D5H	EI レベル割り込み制御レジスタ 106H	EIC106H	R/W	○	○	—	—	00H
FFFF 60D6H	EI レベル割り込み制御レジスタ 107	EIC107	R/W	—	—	○	—	008FH
FFFF 60D6H	EI レベル割り込み制御レジスタ 107L	EIC107L	R/W	○	○	—	—	8FH
FFFF 60D7H	EI レベル割り込み制御レジスタ 107H	EIC107H	R/W	○	○	—	—	00H
FFFF 60D8H	EI レベル割り込み制御レジスタ 108	EIC108	R/W	—	—	○	—	008FH
FFFF 60D8H	EI レベル割り込み制御レジスタ 108L	EIC108L	R/W	○	○	—	—	8FH
FFFF 60D9H	EI レベル割り込み制御レジスタ 108H	EIC108H	R/W	○	○	—	—	00H
FFFF 60DAH	EI レベル割り込み制御レジスタ 109	EIC109	R/W	—	—	○	—	008FH
FFFF 60DAH	EI レベル割り込み制御レジスタ 109L	EIC109L	R/W	○	○	—	—	8FH
FFFF 60DBH	EI レベル割り込み制御レジスタ 109H	EIC109H	R/W	○	○	—	—	00H
FFFF 60DCH	EI レベル割り込み制御レジスタ 110	EIC110	R/W	—	—	○	—	008FH
FFFF 60DCH	EI レベル割り込み制御レジスタ 110L	EIC110L	R/W	○	○	—	—	8FH
FFFF 60DDH	EI レベル割り込み制御レジスタ 110H	EIC110H	R/W	○	○	—	—	00H
FFFF 60DEH	EI レベル割り込み制御レジスタ 111	EIC111	R/W	—	—	○	—	008FH
FFFF 60DEH	EI レベル割り込み制御レジスタ 111L	EIC111L	R/W	○	○	—	—	8FH
FFFF 60DFH	EI レベル割り込み制御レジスタ 111H	EIC111H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (10/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60E0H	EI レベル割り込み制御レジスタ 112	EIC112	R/W	—	—	○	—	008FH
FFFF 60E0H	EI レベル割り込み制御レジスタ 112L	EIC112L	R/W	○	○	—	—	8FH
FFFF 60E1H	EI レベル割り込み制御レジスタ 112H	EIC112H	R/W	○	○	—	—	00H
FFFF 60E2H	EI レベル割り込み制御レジスタ 113	EIC113	R/W	—	—	○	—	008FH
FFFF 60E2H	EI レベル割り込み制御レジスタ 113L	EIC113L	R/W	○	○	—	—	8FH
FFFF 60E3H	EI レベル割り込み制御レジスタ 113H	EIC113H	R/W	○	○	—	—	00H
FFFF 60E4H	EI レベル割り込み制御レジスタ 114	EIC114	R/W	—	—	○	—	008FH
FFFF 60E4H	EI レベル割り込み制御レジスタ 114L	EIC114L	R/W	○	○	—	—	8FH
FFFF 60E5H	EI レベル割り込み制御レジスタ 114H	EIC114H	R/W	○	○	—	—	00H
FFFF 60E6H	EI レベル割り込み制御レジスタ 115	EIC115	R/W	—	—	○	—	008FH
FFFF 60E6H	EI レベル割り込み制御レジスタ 115L	EIC115L	R/W	○	○	—	—	8FH
FFFF 60E7H	EI レベル割り込み制御レジスタ 115H	EIC115H	R/W	○	○	—	—	00H
FFFF 60E8H	EI レベル割り込み制御レジスタ 116	EIC116	R/W	—	—	○	—	008FH
FFFF 60E8H	EI レベル割り込み制御レジスタ 116L	EIC116L	R/W	○	○	—	—	8FH
FFFF 60E9H	EI レベル割り込み制御レジスタ 116H	EIC116H	R/W	○	○	—	—	00H
FFFF 60EAH	EI レベル割り込み制御レジスタ 117	EIC117	R/W	—	—	○	—	008FH
FFFF 60EAH	EI レベル割り込み制御レジスタ 117L	EIC117L	R/W	○	○	—	—	8FH
FFFF 60EBH	EI レベル割り込み制御レジスタ 117H	EIC117H	R/W	○	○	—	—	00H
FFFF 60ECH	EI レベル割り込み制御レジスタ 118	EIC118	R/W	—	—	○	—	008FH
FFFF 60ECH	EI レベル割り込み制御レジスタ 118L	EIC118L	R/W	○	○	—	—	8FH
FFFF 60EDH	EI レベル割り込み制御レジスタ 118H	EIC118H	R/W	○	○	—	—	00H
FFFF 60EEH	EI レベル割り込み制御レジスタ 119	EIC119	R/W	—	—	○	—	008FH
FFFF 60EEH	EI レベル割り込み制御レジスタ 119L	EIC119L	R/W	○	○	—	—	8FH
FFFF 60EFH	EI レベル割り込み制御レジスタ 119H	EIC119H	R/W	○	○	—	—	00H
FFFF 60F0H	EI レベル割り込み制御レジスタ 120 (未使用)	EIC120	R/W	—	—	○	—	008FH
FFFF 60F0H	EI レベル割り込み制御レジスタ 120L (未使用)	EIC120L	R/W	○	○	—	—	8FH
FFFF 60F1H	EI レベル割り込み制御レジスタ 120H (未使用)	EIC120H	R/W	○	○	—	—	00H
FFFF 60F2H	EI レベル割り込み制御レジスタ 121 (未使用)	EIC121	R/W	—	—	○	—	008FH
FFFF 60F2H	EI レベル割り込み制御レジスタ 121L (未使用)	EIC121L	R/W	○	○	—	—	8FH
FFFF 60F3H	EI レベル割り込み制御レジスタ 121H (未使用)	EIC121H	R/W	○	○	—	—	00H
FFFF 60F4H	EI レベル割り込み制御レジスタ 122 (未使用)	EIC122	R/W	—	—	○	—	008FH
FFFF 60F4H	EI レベル割り込み制御レジスタ 122L (未使用)	EIC122L	R/W	○	○	—	—	8FH
FFFF 60F5H	EI レベル割り込み制御レジスタ 122H (未使用)	EIC122H	R/W	○	○	—	—	00H
FFFF 60F6H	EI レベル割り込み制御レジスタ 123 (未使用)	EIC123	R/W	—	—	○	—	008FH
FFFF 60F6H	EI レベル割り込み制御レジスタ 123L (未使用)	EIC123L	R/W	○	○	—	—	8FH
FFFF 60F7H	EI レベル割り込み制御レジスタ 123H (未使用)	EIC123H	R/W	○	○	—	—	00H
FFFF 60F8H	EI レベル割り込み制御レジスタ 124 (未使用)	EIC124	R/W	—	—	○	—	008FH
FFFF 60F8H	EI レベル割り込み制御レジスタ 124L (未使用)	EIC124L	R/W	○	○	—	—	8FH
FFFF 60F9H	EI レベル割り込み制御レジスタ 124H (未使用)	EIC124H	R/W	○	○	—	—	00H
FFFF 60FAH	EI レベル割り込み制御レジスタ 125 (未使用)	EIC125	R/W	—	—	○	—	008FH
FFFF 60FAH	EI レベル割り込み制御レジスタ 125L (未使用)	EIC125L	R/W	○	○	—	—	8FH
FFFF 60FBH	EI レベル割り込み制御レジスタ 125H (未使用)	EIC125H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (11/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 60FCH	EI レベル割り込み制御レジスタ 126 (未使用)	EIC126	R/W	—	—	○	—	008FH
FFFF 60FCH	EI レベル割り込み制御レジスタ 126L (未使用)	EIC126L	R/W	○	○	—	—	8FH
FFFF 60FDH	EI レベル割り込み制御レジスタ 126H (未使用)	EIC126H	R/W	○	○	—	—	00H
FFFF 60FEH	EI レベル割り込み制御レジスタ 127 (未使用)	EIC127	R/W	—	—	○	—	008FH
FFFF 60FEH	EI レベル割り込み制御レジスタ 127L (未使用)	EIC127L	R/W	○	○	—	—	8FH
FFFF 60FFH	EI レベル割り込み制御レジスタ 127H (未使用)	EIC127H	R/W	○	○	—	—	00H
FFFF 6100H	EI レベル割り込み制御レジスタ 128 (未使用)	EIC128	R/W	—	—	○	—	008FH
FFFF 6100H	EI レベル割り込み制御レジスタ 128L (未使用)	EIC128L	R/W	○	○	—	—	8FH
FFFF 6101H	EI レベル割り込み制御レジスタ 128H (未使用)	EIC128H	R/W	○	○	—	—	00H
FFFF 6102H	EI レベル割り込み制御レジスタ 129 (未使用)	EIC129	R/W	—	—	○	—	008FH
FFFF 6102H	EI レベル割り込み制御レジスタ 129L (未使用)	EIC129L	R/W	○	○	—	—	8FH
FFFF 6103H	EI レベル割り込み制御レジスタ 129H (未使用)	EIC129H	R/W	○	○	—	—	00H
FFFF 6104H	EI レベル割り込み制御レジスタ 130 (未使用)	EIC130	R/W	—	—	○	—	008FH
FFFF 6104H	EI レベル割り込み制御レジスタ 130L (未使用)	EIC130L	R/W	○	○	—	—	8FH
FFFF 6105H	EI レベル割り込み制御レジスタ 130H (未使用)	EIC130H	R/W	○	○	—	—	00H
FFFF 6106H	EI レベル割り込み制御レジスタ 131 (未使用)	EIC131	R/W	—	—	○	—	008FH
FFFF 6106H	EI レベル割り込み制御レジスタ 131L (未使用)	EIC131L	R/W	○	○	—	—	8FH
FFFF 6107H	EI レベル割り込み制御レジスタ 131H (未使用)	EIC131H	R/W	○	○	—	—	00H
FFFF 6108H	EI レベル割り込み制御レジスタ 132 (未使用)	EIC132	R/W	—	—	○	—	008FH
FFFF 6108H	EI レベル割り込み制御レジスタ 132L (未使用)	EIC132L	R/W	○	○	—	—	8FH
FFFF 6109H	EI レベル割り込み制御レジスタ 132H (未使用)	EIC132H	R/W	○	○	—	—	00H
FFFF 610AH	EI レベル割り込み制御レジスタ 133 (未使用)	EIC133	R/W	—	—	○	—	008FH
FFFF 610AH	EI レベル割り込み制御レジスタ 133L (未使用)	EIC133L	R/W	○	○	—	—	8FH
FFFF 610BH	EI レベル割り込み制御レジスタ 133H (未使用)	EIC133H	R/W	○	○	—	—	00H
FFFF 610CH	EI レベル割り込み制御レジスタ 134 (未使用)	EIC134	R/W	—	—	○	—	008FH
FFFF 610CH	EI レベル割り込み制御レジスタ 134L (未使用)	EIC134L	R/W	○	○	—	—	8FH
FFFF 610DH	EI レベル割り込み制御レジスタ 134H (未使用)	EIC134H	R/W	○	○	—	—	00H
FFFF 610EH	EI レベル割り込み制御レジスタ 135	EIC135	R/W	—	—	○	—	008FH
FFFF 610EH	EI レベル割り込み制御レジスタ 135L	EIC135L	R/W	○	○	—	—	8FH
FFFF 610FH	EI レベル割り込み制御レジスタ 135H	EIC135H	R/W	○	○	—	—	00H
FFFF 6110H	EI レベル割り込み制御レジスタ 136	EIC136	R/W	—	—	○	—	008FH
FFFF 6110H	EI レベル割り込み制御レジスタ 136L	EIC136L	R/W	○	○	—	—	8FH
FFFF 6111H	EI レベル割り込み制御レジスタ 136H	EIC136H	R/W	○	○	—	—	00H
FFFF 6112H	EI レベル割り込み制御レジスタ 137	EIC137	R/W	—	—	○	—	008FH
FFFF 6112H	EI レベル割り込み制御レジスタ 137L	EIC137L	R/W	○	○	—	—	8FH
FFFF 6113H	EI レベル割り込み制御レジスタ 137H	EIC137H	R/W	○	○	—	—	00H
FFFF 6114H	EI レベル割り込み制御レジスタ 138	EIC138	R/W	—	—	○	—	008FH
FFFF 6114H	EI レベル割り込み制御レジスタ 138L	EIC138L	R/W	○	○	—	—	8FH
FFFF 6115H	EI レベル割り込み制御レジスタ 138H	EIC138H	R/W	○	○	—	—	00H
FFFF 6116H	EI レベル割り込み制御レジスタ 139	EIC139	R/W	—	—	○	—	008FH
FFFF 6116H	EI レベル割り込み制御レジスタ 139L	EIC139L	R/W	○	○	—	—	8FH
FFFF 6117H	EI レベル割り込み制御レジスタ 139H	EIC139H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (12/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6118H	EI レベル割り込み制御レジスタ 140	EIC140	R/W	—	—	○	—	008FH
FFFF 6118H	EI レベル割り込み制御レジスタ 140L	EIC140L	R/W	○	○	—	—	8FH
FFFF 6119H	EI レベル割り込み制御レジスタ 140H	EIC140H	R/W	○	○	—	—	00H
FFFF 611AH	EI レベル割り込み制御レジスタ 141	EIC141	R/W	—	—	○	—	008FH
FFFF 611AH	EI レベル割り込み制御レジスタ 141L	EIC141L	R/W	○	○	—	—	8FH
FFFF 611BH	EI レベル割り込み制御レジスタ 141H	EIC141H	R/W	○	○	—	—	00H
FFFF 611CH	EI レベル割り込み制御レジスタ 142	EIC142	R/W	—	—	○	—	008FH
FFFF 611CH	EI レベル割り込み制御レジスタ 142L	EIC142L	R/W	○	○	—	—	8FH
FFFF 611DH	EI レベル割り込み制御レジスタ 142H	EIC142H	R/W	○	○	—	—	00H
FFFF 611EH	EI レベル割り込み制御レジスタ 143	EIC143	R/W	—	—	○	—	008FH
FFFF 611EH	EI レベル割り込み制御レジスタ 143L	EIC143L	R/W	○	○	—	—	8FH
FFFF 611FH	EI レベル割り込み制御レジスタ 143H	EIC143H	R/W	○	○	—	—	00H
FFFF 6120H	EI レベル割り込み制御レジスタ 144	EIC144	R/W	—	—	○	—	008FH
FFFF 6120H	EI レベル割り込み制御レジスタ 144L	EIC144L	R/W	○	○	—	—	8FH
FFFF 6121H	EI レベル割り込み制御レジスタ 144H	EIC144H	R/W	○	○	—	—	00H
FFFF 6122H	EI レベル割り込み制御レジスタ 145	EIC145	R/W	—	—	○	—	008FH
FFFF 6122H	EI レベル割り込み制御レジスタ 145L	EIC145L	R/W	○	○	—	—	8FH
FFFF 6123H	EI レベル割り込み制御レジスタ 145H	EIC145H	R/W	○	○	—	—	00H
FFFF 6124H	EI レベル割り込み制御レジスタ 146	EIC146	R/W	—	—	○	—	008FH
FFFF 6124H	EI レベル割り込み制御レジスタ 146L	EIC146L	R/W	○	○	—	—	8FH
FFFF 6125H	EI レベル割り込み制御レジスタ 146H	EIC146H	R/W	○	○	—	—	00H
FFFF 6126H	EI レベル割り込み制御レジスタ 147	EIC147	R/W	—	—	○	—	008FH
FFFF 6126H	EI レベル割り込み制御レジスタ 147L	EIC147L	R/W	○	○	—	—	8FH
FFFF 6127H	EI レベル割り込み制御レジスタ 147H	EIC147H	R/W	○	○	—	—	00H
FFFF 6128H	EI レベル割り込み制御レジスタ 148	EIC148	R/W	—	—	○	—	008FH
FFFF 6128H	EI レベル割り込み制御レジスタ 148L	EIC148L	R/W	○	○	—	—	8FH
FFFF 6129H	EI レベル割り込み制御レジスタ 148H	EIC148H	R/W	○	○	—	—	00H
FFFF 612AH	EI レベル割り込み制御レジスタ 149	EIC149	R/W	—	—	○	—	008FH
FFFF 612AH	EI レベル割り込み制御レジスタ 149L	EIC149L	R/W	○	○	—	—	8FH
FFFF 612BH	EI レベル割り込み制御レジスタ 149H	EIC149H	R/W	○	○	—	—	00H
FFFF 612CH	EI レベル割り込み制御レジスタ 150	EIC150	R/W	—	—	○	—	008FH
FFFF 612CH	EI レベル割り込み制御レジスタ 150L	EIC150L	R/W	○	○	—	—	8FH
FFFF 612DH	EI レベル割り込み制御レジスタ 150H	EIC150H	R/W	○	○	—	—	00H
FFFF 612EH	EI レベル割り込み制御レジスタ 151	EIC151	R/W	—	—	○	—	008FH
FFFF 612EH	EI レベル割り込み制御レジスタ 151L	EIC151L	R/W	○	○	—	—	8FH
FFFF 612FH	EI レベル割り込み制御レジスタ 151H	EIC151H	R/W	○	○	—	—	00H
FFFF 6130H	EI レベル割り込み制御レジスタ 152	EIC152	R/W	—	—	○	—	008FH
FFFF 6130H	EI レベル割り込み制御レジスタ 152L	EIC152L	R/W	○	○	—	—	8FH
FFFF 6131H	EI レベル割り込み制御レジスタ 152H	EIC152H	R/W	○	○	—	—	00H
FFFF 6132H	EI レベル割り込み制御レジスタ 153	EIC153	R/W	—	—	○	—	008FH
FFFF 6132H	EI レベル割り込み制御レジスタ 153L	EIC153L	R/W	○	○	—	—	8FH
FFFF 6133H	EI レベル割り込み制御レジスタ 153H	EIC153H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (13/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6134H	EI レベル割り込み制御レジスタ 154	EIC154	R/W	—	—	○	—	008FH
FFFF 6134H	EI レベル割り込み制御レジスタ 154L	EIC154L	R/W	○	○	—	—	8FH
FFFF 6135H	EI レベル割り込み制御レジスタ 154H	EIC154H	R/W	○	○	—	—	00H
FFFF 6136H	EI レベル割り込み制御レジスタ 155	EIC155	R/W	—	—	○	—	008FH
FFFF 6136H	EI レベル割り込み制御レジスタ 155L	EIC155L	R/W	○	○	—	—	8FH
FFFF 6137H	EI レベル割り込み制御レジスタ 155H	EIC155H	R/W	○	○	—	—	00H
FFFF 6138H	EI レベル割り込み制御レジスタ 156	EIC156	R/W	—	—	○	—	008FH
FFFF 6138H	EI レベル割り込み制御レジスタ 156L	EIC156L	R/W	○	○	—	—	8FH
FFFF 6139H	EI レベル割り込み制御レジスタ 156H	EIC156H	R/W	○	○	—	—	00H
FFFF 613AH	EI レベル割り込み制御レジスタ 157	EIC157	R/W	—	—	○	—	008FH
FFFF 613AH	EI レベル割り込み制御レジスタ 157L	EIC157L	R/W	○	○	—	—	8FH
FFFF 613BH	EI レベル割り込み制御レジスタ 157H	EIC157H	R/W	○	○	—	—	00H
FFFF 613CH	EI レベル割り込み制御レジスタ 158	EIC158	R/W	—	—	○	—	008FH
FFFF 613CH	EI レベル割り込み制御レジスタ 158L	EIC158L	R/W	○	○	—	—	8FH
FFFF 613DH	EI レベル割り込み制御レジスタ 158H	EIC158H	R/W	○	○	—	—	00H
FFFF 613EH	EI レベル割り込み制御レジスタ 159	EIC159	R/W	—	—	○	—	008FH
FFFF 613EH	EI レベル割り込み制御レジスタ 159L	EIC159L	R/W	○	○	—	—	8FH
FFFF 613FH	EI レベル割り込み制御レジスタ 159H	EIC159H	R/W	○	○	—	—	00H
FFFF 6140H	EI レベル割り込み制御レジスタ 160	EIC160	R/W	—	—	○	—	008FH
FFFF 6140H	EI レベル割り込み制御レジスタ 160L	EIC160L	R/W	○	○	—	—	8FH
FFFF 6141H	EI レベル割り込み制御レジスタ 160H	EIC160H	R/W	○	○	—	—	00H
FFFF 6142H	EI レベル割り込み制御レジスタ 161	EIC161	R/W	—	—	○	—	008FH
FFFF 6142H	EI レベル割り込み制御レジスタ 161L	EIC161L	R/W	○	○	—	—	8FH
FFFF 6143H	EI レベル割り込み制御レジスタ 161H	EIC161H	R/W	○	○	—	—	00H
FFFF 6144H	EI レベル割り込み制御レジスタ 162	EIC162	R/W	—	—	○	—	008FH
FFFF 6144H	EI レベル割り込み制御レジスタ 162L	EIC162L	R/W	○	○	—	—	8FH
FFFF 6145H	EI レベル割り込み制御レジスタ 162H	EIC162H	R/W	○	○	—	—	00H
FFFF 6146H	EI レベル割り込み制御レジスタ 163	EIC163	R/W	—	—	○	—	008FH
FFFF 6146H	EI レベル割り込み制御レジスタ 163L	EIC163L	R/W	○	○	—	—	8FH
FFFF 6147H	EI レベル割り込み制御レジスタ 163H	EIC163H	R/W	○	○	—	—	00H
FFFF 6148H	EI レベル割り込み制御レジスタ 164	EIC164	R/W	—	—	○	—	008FH
FFFF 6148H	EI レベル割り込み制御レジスタ 164L	EIC164L	R/W	○	○	—	—	8FH
FFFF 6149H	EI レベル割り込み制御レジスタ 164H	EIC164H	R/W	○	○	—	—	00H
FFFF 614AH	EI レベル割り込み制御レジスタ 165	EIC165	R/W	—	—	○	—	008FH
FFFF 614AH	EI レベル割り込み制御レジスタ 165L	EIC165L	R/W	○	○	—	—	8FH
FFFF 614BH	EI レベル割り込み制御レジスタ 165H	EIC165H	R/W	○	○	—	—	00H
FFFF 614CH	EI レベル割り込み制御レジスタ 166	EIC166	R/W	—	—	○	—	008FH
FFFF 614CH	EI レベル割り込み制御レジスタ 166L	EIC166L	R/W	○	○	—	—	8FH
FFFF 614DH	EI レベル割り込み制御レジスタ 166H	EIC166H	R/W	○	○	—	—	00H
FFFF 614EH	EI レベル割り込み制御レジスタ 167	EIC167	R/W	—	—	○	—	008FH
FFFF 614EH	EI レベル割り込み制御レジスタ 167L	EIC167L	R/W	○	○	—	—	8FH
FFFF 614FH	EI レベル割り込み制御レジスタ 167H	EIC167H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (14/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6150H	EI レベル割り込み制御レジスタ 168	EIC168	R/W	—	—	○	—	008FH
FFFF 6150H	EI レベル割り込み制御レジスタ 168L	EIC168L	R/W	○	○	—	—	8FH
FFFF 6151H	EI レベル割り込み制御レジスタ 168H	EIC168H	R/W	○	○	—	—	00H
FFFF 6152H	EI レベル割り込み制御レジスタ 169	EIC169	R/W	—	—	○	—	008FH
FFFF 6152H	EI レベル割り込み制御レジスタ 169L	EIC169L	R/W	○	○	—	—	8FH
FFFF 6153H	EI レベル割り込み制御レジスタ 169H	EIC169H	R/W	○	○	—	—	00H
FFFF 6154H	EI レベル割り込み制御レジスタ 170	EIC170	R/W	—	—	○	—	008FH
FFFF 6154H	EI レベル割り込み制御レジスタ 170L	EIC170L	R/W	○	○	—	—	8FH
FFFF 6155H	EI レベル割り込み制御レジスタ 170H	EIC170H	R/W	○	○	—	—	00H
FFFF 6156H	EI レベル割り込み制御レジスタ 171	EIC171	R/W	—	—	○	—	008FH
FFFF 6156H	EI レベル割り込み制御レジスタ 171L	EIC171L	R/W	○	○	—	—	8FH
FFFF 6157H	EI レベル割り込み制御レジスタ 171H	EIC171H	R/W	○	○	—	—	00H
FFFF 6158H	EI レベル割り込み制御レジスタ 172	EIC172	R/W	—	—	○	—	008FH
FFFF 6158H	EI レベル割り込み制御レジスタ 172L	EIC172L	R/W	○	○	—	—	8FH
FFFF 6159H	EI レベル割り込み制御レジスタ 172H	EIC172H	R/W	○	○	—	—	00H
FFFF 615AH	EI レベル割り込み制御レジスタ 173	EIC173	R/W	—	—	○	—	008FH
FFFF 615AH	EI レベル割り込み制御レジスタ 173L	EIC173L	R/W	○	○	—	—	8FH
FFFF 615BH	EI レベル割り込み制御レジスタ 173H	EIC173H	R/W	○	○	—	—	00H
FFFF 615CH	EI レベル割り込み制御レジスタ 174	EIC174	R/W	—	—	○	—	008FH
FFFF 615CH	EI レベル割り込み制御レジスタ 174L	EIC174L	R/W	○	○	—	—	8FH
FFFF 615DH	EI レベル割り込み制御レジスタ 174H	EIC174H	R/W	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (15/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 6400H	割り込みマスク・レジスタ 0	IMR0	R/W	—	—	○	—	FFFFH
FFFF 6400H	割り込みマスク・レジスタ 0L	IMR0L	R/W	○	○	—	—	FFH
FFFF 6401H	割り込みマスク・レジスタ 0H	IMR0H	R/W	○	○	—	—	FFH
FFFF 6402H	割り込みマスク・レジスタ 1	IMR1	R/W	—	—	○	—	FFFFH
FFFF 6402H	割り込みマスク・レジスタ 1L	IMR1L	R/W	○	○	—	—	FFH
FFFF 6403H	割り込みマスク・レジスタ 1H	IMR1H	R/W	○	○	—	—	FFH
FFFF 6404H	割り込みマスク・レジスタ 2	IMR2	R/W	—	—	○	—	FFFFH
FFFF 6404H	割り込みマスク・レジスタ 2L	IMR2L	R/W	○	○	—	—	FFH
FFFF 6405H	割り込みマスク・レジスタ 2H	IMR2H	R/W	○	○	—	—	FFH
FFFF 6406H	割り込みマスク・レジスタ 3	IMR3	R/W	—	—	○	—	FFFFH
1FFF 6406H	割り込みマスク・レジスタ 3L	IMR3L	R/W	○	○	—	—	FFH
1FFF 6407H	割り込みマスク・レジスタ 3H	IMR3H	R/W	○	○	—	—	FFH
FFFF 6408H	割り込みマスク・レジスタ 4	IMR4	R/W	—	—	○	—	FFFFH
FFFF 6408H	割り込みマスク・レジスタ 4L	IMR4L	R/W	○	○	—	—	FFH
FFFF 6409H	割り込みマスク・レジスタ 4H	IMR4H	R/W	○	○	—	—	FFH
FFFF 640AH	割り込みマスク・レジスタ 5	IMR5	R/W	—	—	○	—	FFFFH
FFFF 640AH	割り込みマスク・レジスタ 5L	IMR5L	R/W	○	○	—	—	FFH
FFFF 640BH	割り込みマスク・レジスタ 5H	IMR5H	R/W	○	○	—	—	FFH
FFFF 640CH	割り込みマスク・レジスタ 6	IMR6	R/W	—	—	○	—	FFFFH
FFFF 640CH	割り込みマスク・レジスタ 6L	IMR6L	R/W	○	○	—	—	FFH
FFFF 640DH	割り込みマスク・レジスタ 6H	IMR6H	R/W	○	○	—	—	FFH
FFFF 640EH	割り込みマスク・レジスタ 7	IMR7	R/W	—	—	○	—	FFFFH
FFFF 640EH	割り込みマスク・レジスタ 7L	IMR7L	R/W	○	○	—	—	FFH
FFFF 640FH	割り込みマスク・レジスタ 7H	IMR7H	R/W	○	○	—	—	FFH
FFFF 6410H	割り込みマスク・レジスタ 8	IMR8	R/W	—	—	○	—	FFFFH
FFFF 6410H	割り込みマスク・レジスタ 8L	IMR8L	R/W	○	○	—	—	FFH
FFFF 6411H	割り込みマスク・レジスタ 8H	IMR8H	R/W	○	○	—	—	FFH
FFFF 6412H	割り込みマスク・レジスタ 9	IMR9	R/W	—	—	○	—	FFFFH
FFFF 6412H	割り込みマスク・レジスタ 9L	IMR9L	R/W	○	○	—	—	FFH
FFFF 6413H	割り込みマスク・レジスタ 9H	IMR9H	R/W	○	○	—	—	FFH
FFFF 6414H	割り込みマスク・レジスタ 10	IMR10	R/W	—	—	○	—	FFFFH
FFFF 6414H	割り込みマスク・レジスタ 10L	IMR10L	R/W	○	○	—	—	FFH
FFFF 6415H	割り込みマスク・レジスタ 10H	IMR10H	R/W	○	○	—	—	FFH
FFFF 6440H	インサースビス・プライオリティ・レジスタ	ISPR	R	—	—	○	—	0000H
FFFF 6440H	インサースビス・プライオリティ・レジスタ L	ISPRL	R	—	○	—	—	00H
FFFF 6441H	インサースビス・プライオリティ・レジスタ H	ISPRH	R	—	○	—	—	00H
FFFF 6448H	プライオリティ・マスク・レジスタ	PMR	R/W	—	—	○	—	0000H
FFFF 6448H	プライオリティ・マスク・レジスタ L	PMRL	R/W	○	○	—	—	00H
FFFF 6449H	プライオリティ・マスク・レジスタ H	PMRH	R/W	○	○	—	—	00H
FFFF 6450H	インサースビス・プライオリティ・クリア・レジスタ	ISPC	R/W	—	—	○	—	0000H
FFFF 6458H	選択チャンネル保持レジスタ	ISCR	R	—	—	○	—	0000H
FFFF 6458H	選択チャンネル保持レジスタ L	ISCRL	R	○	○	—	—	00H

表 3-13 割り込みコントローラ制御用レジスタ (16/16)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 645AH	割り込みコントローラ・ステータス・レジスタ	ICSR	R	—	—	○	—	0000H
FFFF 645AH	割り込みコントローラ・ステータス・レジスタ L	ICSRL	R	○	○	—	—	00H
FFFF 645BH	割り込みコントローラ・ステータス・レジスタ H	ICSRH	R	○	○	—	—	00H
FFFF 645EH	FE レベル・マスカブル割り込み制御レジスタ	FIC	R/W	—	—	○	—	0000H
FFFF 645EH	FE レベル・マスカブル割り込み制御レジスタ L	FICL	R/W	○	○	—	—	00H
FFFF 645FH	FE レベル・マスカブル割り込み制御レジスタ H	FICH	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (1/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7300H	DMA 転送要求コントロール・レジスタ 0	DTRC0	R/W	○	○	—	—	00H
FFFF 7310H	DMA 転送要求選択レジスタ 0	DTRS0	R/W	—	—	○	—	0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 0	DSA0	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 0L	DSA0L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 0H	DSA0H	R	—	—	○	—	0000H
FFFF 7318H	DMA ソース・チップ・セレクト・レジスタ 0	DSC0	R/W	—	—	○	—	0001H
FFFF 731CH	DMA ネクスト・ソース・アドレス・レジスタ 0	DNSA0	R/W	—	—	—	○	0000 0000H
FFFF 7320H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 0	DNSC0	R/W	—	—	○	—	0001H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 0	DDA0	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 0L	DDA0L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 0H	DDA0H	R	—	—	—	○	0000H
FFFF 7328H	DMA デスティネーション・チップ・セレクト・レジスタ 0	DDC0	R/W	—	—	○	—	0001H
FFFF 732CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 0	DNDA0	R/W	—	—	—	○	0000 0000H
FFFF 7330H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 0	DNDC0	R/W	—	—	○	—	0001H
FFFF 7332H	DMA 転送カウント・レジスタ 0	DTC0	R/W	—	—	○	—	0000H
FFFF 7334H	DMA ネクスト転送カウント・レジスタ 0	DNTC0	R/W	—	—	○	—	0000H
FFFF 7336H	DMA 転送カウント・コンペア・レジスタ 0	DTCC0	R/W	—	—	○	—	0000H
FFFF 7338H	DMA 転送制御レジスタ 0	DTCT0	R/W	—	—	○	—	0000H
FFFF 733AH	DMA 転送ステータス・レジスタ 0	DTS0	R/W	○	○	—	—	00H
FFFF 7340H	DMA 転送要求選択レジスタ 1	DTRS1	R/W	—	—	○	—	0000H
FFFF 7344H	DMA ソース・アドレス・レジスタ 1	DSA1	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 1L	DSA1L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 1H	DSA1H	R	—	—	○	—	0000H
FFFF 7348H	DMA ソース・チップ・セレクト・レジスタ 1	DSC1	R/W	—	—	○	—	0001H
FFFF 734CH	DMA ネクスト・ソース・アドレス・レジスタ 1	DNSA1	R/W	—	—	—	○	0000 0000H
FFFF 7350H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 1	DNSC1	R/W	—	—	○	—	0001H
FFFF 7354H	DMA デスティネーション・アドレス・レジスタ 1	DDA1	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 1L	DDA1L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 1H	DDA1H	R	—	—	—	○	0000H
FFFF 7358H	DMA デスティネーション・チップ・セレクト・レジスタ 1	DDC1	R/W	—	—	○	—	0001H
FFFF 735CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 1	DNDA1	R/W	—	—	—	○	0000 0000H
FFFF 7360H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 1	DNDC1	R/W	—	—	○	—	0001H
FFFF 7362H	DMA 転送カウント・レジスタ 1	DTC1	R/W	—	—	○	—	0000H
FFFF 7364H	DMA ネクスト転送カウント・レジスタ 1	DNTC1	R/W	—	—	○	—	0000H
FFFF 7366H	DMA 転送カウント・コンペア・レジスタ 1	DTCC1	R/W	—	—	○	—	0000H
FFFF 7368H	DMA 転送制御レジスタ 1	DTCT1	R/W	—	—	○	—	0000H
FFFF 736AH	DMA 転送ステータス・レジスタ 1	DTS1	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (2/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7370H	DMA 転送要求選択レジスタ 2	DTRS2	R/W	—	—	○	—	0000H
FFFF 7374H	DMA ソース・アドレス・レジスタ 2	DSA2	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 2L	DSA2L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 2H	DSA2H	R	—	—	○	—	0000H
FFFF 7378H	DMA ソース・チップ・セレクト・レジスタ 2	DSC2	R/W	—	—	○	—	0001H
FFFF 737CH	DMA ネクスト・ソース・アドレス・レジスタ 2	DNSA2	R/W	—	—	—	○	0000 0000H
FFFF 7380H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 2	DNSC2	R/W	—	—	○	—	0001H
FFFF 7384H	DMA デスティネーション・アドレス・レジスタ 2	DDA2	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 2L	DDA2L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 2H	DDA2H	R	—	—	—	○	0000H
FFFF 7388H	DMA デスティネーション・チップ・セレクト・レジスタ 2	DDC2	R/W	—	—	○	—	0001H
FFFF 738CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 2	DNDA2	R/W	—	—	—	○	0000 0000H
FFFF 7390H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 2	DNDC2	R/W	—	—	○	—	0001H
FFFF 7392H	DMA 転送カウント・レジスタ 2	DTC2	R/W	—	—	○	—	0000H
FFFF 7394H	DMA ネクスト転送カウント・レジスタ 2	DNTC2	R/W	—	—	○	—	0000H
FFFF 7396H	DMA 転送カウント・コンペア・レジスタ 2	DTCC2	R/W	—	—	○	—	0000H
FFFF 7398H	DMA 転送制御レジスタ 2	DTCT2	R/W	—	—	○	—	0000H
FFFF 739AH	DMA 転送ステータス・レジスタ 2	DTS2	R/W	○	○	—	—	00H
FFFF 73A0H	DMA 転送要求選択レジスタ 3	DTRS3	R/W	—	—	○	—	0000H
FFFF 73A4H	DMA ソース・アドレス・レジスタ 3	DSA3	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 3L	DSA3L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 3H	DSA3H	R	—	—	○	—	0000H
FFFF 73A8H	DMA ソース・チップ・セレクト・レジスタ 3	DSC3	R/W	—	—	○	—	0001H
FFFF 73ACH	DMA ネクスト・ソース・アドレス・レジスタ 3	DNSA3	R/W	—	—	—	○	0000 0000H
FFFF 73B0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 3	DNSC3	R/W	—	—	○	—	0001H
FFFF 73B4H	DMA デスティネーション・アドレス・レジスタ 3	DDA3	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 3L	DDA3L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 3H	DDA3H	R	—	—	—	○	0000H
FFFF 73B8H	DMA デスティネーション・チップ・セレクト・レジスタ 3	DDC3	R/W	—	—	○	—	0001H
FFFF 73BCH	DMA ネクスト・デスティネーション・アドレス・レジスタ 3	DNDA3	R/W	—	—	—	○	0000 0000H
FFFF 73C0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 3	DNDC3	R/W	—	—	○	—	0001H
FFFF 73C2H	DMA 転送カウント・レジスタ 3	DTC3	R/W	—	—	○	—	0000H
FFFF 73C4H	DMA ネクスト転送カウント・レジスタ 3	DNTC3	R/W	—	—	○	—	0000H
FFFF 73C6H	DMA 転送カウント・コンペア・レジスタ 3	DTCC3	R/W	—	—	○	—	0000H
FFFF 73C8H	DMA 転送制御レジスタ 3	DTCT3	R/W	—	—	○	—	0000H
FFFF 73CAH	DMA 転送ステータス・レジスタ 3	DTS3	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (3/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 73D0H	DMA 転送要求選択レジスタ 4	DTRS4	R/W	—	—	○	—	0000H
FFFF 73D4H	DMA ソース・アドレス・レジスタ 4	DSA4	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 4L	DSA4L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 4H	DSA4H	R	—	—	○	—	0000H
FFFF 73D8H	DMA ソース・チップ・セレクト・レジスタ 4	DSC4	R/W	—	—	○	—	0001H
FFFF 73DCH	DMA ネクスト・ソース・アドレス・レジスタ 4	DNSA4	R/W	—	—	—	○	0000 0000H
FFFF 73E0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 4	DNSC4	R/W	—	—	○	—	0001H
FFFF 73E4H	DMA デスティネーション・アドレス・レジスタ 4	DDA4	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 4L	DDA4L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 4H	DDA4H	R	—	—	—	○	0000H
FFFF 73E8H	DMA デスティネーション・チップ・セレクト・レジスタ 4	DDC4	R/W	—	—	○	—	0001H
FFFF 73ECH	DMA ネクスト・デスティネーション・アドレス・レジスタ 4	DNDA4	R/W	—	—	—	○	0000 0000H
FFFF 73F0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 4	DNDC4	R/W	—	—	○	—	0001H
FFFF 73F2H	DMA 転送カウント・レジスタ 4	DTC4	R/W	—	—	○	—	0000H
FFFF 73F4H	DMA ネクスト転送カウント・レジスタ 4	DNTC4	R/W	—	—	○	—	0000H
FFFF 73F6H	DMA 転送カウント・コンペア・レジスタ 4	DTCC4	R/W	—	—	○	—	0000H
FFFF 73F8H	DMA 転送制御レジスタ 4	DTCT4	R/W	—	—	○	—	0000H
FFFF 73FAH	DMA 転送ステータス・レジスタ 4	DTS4	R/W	○	○	—	—	00H
FFFF 7400H	DMA 転送要求選択レジスタ 5	DTRS5	R/W	—	—	○	—	0000H
FFFF 7404H	DMA ソース・アドレス・レジスタ 5	DSA5	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 5L	DSA5L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 5H	DSA5H	R	—	—	○	—	0000H
FFFF 7408H	DMA ソース・チップ・セレクト・レジスタ 5	DSC5	R/W	—	—	○	—	0001H
FFFF 740CH	DMA ネクスト・ソース・アドレス・レジスタ 5	DNSA5	R/W	—	—	—	○	0000 0000H
FFFF 7410H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 5	DNSC5	R/W	—	—	○	—	0001H
FFFF 7414H	DMA デスティネーション・アドレス・レジスタ 5	DDA5	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 5L	DDA5L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 5H	DDA5H	R	—	—	—	○	0000H
FFFF 7418H	DMA デスティネーション・チップ・セレクト・レジスタ 5	DDC5	R/W	—	—	○	—	0001H
FFFF 741CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 5	DNDA5	R/W	—	—	—	○	0000 0000H
FFFF 7420H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 5	DNDC5	R/W	—	—	○	—	0001H
FFFF 7422H	DMA 転送カウント・レジスタ 5	DTC5	R/W	—	—	○	—	0000H
FFFF 7424H	DMA ネクスト転送カウント・レジスタ 5	DNTC5	R/W	—	—	○	—	0000H
FFFF 7426H	DMA 転送カウント・コンペア・レジスタ 5	DTCC5	R/W	—	—	○	—	0000H
FFFF 7428H	DMA 転送制御レジスタ 5	DTCT5	R/W	—	—	○	—	0000H
FFFF 742AH	DMA 転送ステータス・レジスタ 5	DTS5	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (4/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7430H	DMA 転送要求選択レジスタ 6	DTRS6	R/W	—	—	○	—	0000H
FFFF 7434H	DMA ソース・アドレス・レジスタ 6	DSA6	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 6L	DSA6L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 6H	DSA6H	R	—	—	○	—	0000H
FFFF 7438H	DMA ソース・チップ・セレクト・レジスタ 6	DSC6	R/W	—	—	○	—	0001H
FFFF 743CH	DMA ネクスト・ソース・アドレス・レジスタ 6	DNSA6	R/W	—	—	—	○	0000 0000H
FFFF 7440H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 6	DNSC6	R/W	—	—	○	—	0001H
FFFF 7444H	DMA デスティネーション・アドレス・レジスタ 6	DDA6	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 6L	DDA6L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 6H	DDA6H	R	—	—	—	○	0000H
FFFF 7448H	DMA デスティネーション・チップ・セレクト・レジスタ 6	DDC6	R/W	—	—	○	—	0001H
FFFF 744CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 6	DNDA6	R/W	—	—	—	○	0000 0000H
FFFF 7450H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 6	DNDC6	R/W	—	—	○	—	0001H
FFFF 7452H	DMA 転送カウント・レジスタ 6	DTC6	R/W	—	—	○	—	0000H
FFFF 7454H	DMA ネクスト転送カウント・レジスタ 6	DNTC6	R/W	—	—	○	—	0000H
FFFF 7456H	DMA 転送カウント・コンペア・レジスタ 6	DTCC6	R/W	—	—	○	—	0000H
FFFF 7458H	DMA 転送制御レジスタ 6	DTCT6	R/W	—	—	○	—	0000H
FFFF 745AH	DMA 転送ステータス・レジスタ 6	DTS6	R/W	○	○	—	—	00H
FFFF 7460H	DMA 転送要求選択レジスタ 7	DTRS7	R/W	—	—	○	—	0000H
FFFF 7464H	DMA ソース・アドレス・レジスタ 7	DSA7	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 7L	DSA7L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 7H	DSA7H	R	—	—	○	—	0000H
FFFF 7468H	DMA ソース・チップ・セレクト・レジスタ 7	DSC7	R/W	—	—	○	—	0001H
FFFF 746CH	DMA ネクスト・ソース・アドレス・レジスタ 7	DNSA7	R/W	—	—	—	○	0000 0000H
FFFF 7470H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 7	DNSC7	R/W	—	—	○	—	0001H
FFFF 7474H	DMA デスティネーション・アドレス・レジスタ 7	DDA7	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 7L	DDA7L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 7H	DDA7H	R	—	—	—	○	0000H
FFFF 7478H	DMA デスティネーション・チップ・セレクト・レジスタ 7	DDC7	R/W	—	—	○	—	0001H
FFFF 747CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 7	DNDA7	R/W	—	—	—	○	0000 0000H
FFFF 7480H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 7	DNDC7	R/W	—	—	○	—	0001H
FFFF 7482H	DMA 転送カウント・レジスタ 7	DTC7	R/W	—	—	○	—	0000H
FFFF 7484H	DMA ネクスト転送カウント・レジスタ 7	DNTC7	R/W	—	—	○	—	0000H
FFFF 7486H	DMA 転送カウント・コンペア・レジスタ 7	DTCC7	R/W	—	—	○	—	0000H
FFFF 7488H	DMA 転送制御レジスタ 7	DTCT7	R/W	—	—	○	—	0000H
FFFF 748AH	DMA 転送ステータス・レジスタ 7	DTS7	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (5/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7500H	DMA 転送要求コントロール・レジスタ 1	DTRC1	R/W	○	○	—	—	00H
FFFF 7510H	DMA 転送要求選択レジスタ 8	DTRS8	R/W	—	—	○	—	0000H
FFFF 7514H	DMA ソース・アドレス・レジスタ 8	DSA8	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 8L	DSA8L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 8H	DSA8H	R	—	—	○	—	0000H
FFFF 7518H	DMA ソース・チップ・セレクト・レジスタ 8	DSC8	R/W	—	—	○	—	0001H
FFFF 751CH	DMA ネクスト・ソース・アドレス・レジスタ 8	DNSA8	R/W	—	—	—	○	0000 0000H
FFFF 7520H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 8	DNSC8	R/W	—	—	○	—	0001H
FFFF 7524H	DMA デスティネーション・アドレス・レジスタ 8	DDA8	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 8L	DDA8L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 8H	DDA8H	R	—	—	—	○	0000H
FFFF 7528H	DMA デスティネーション・チップ・セレクト・レジスタ 8	DDC8	R/W	—	—	○	—	0001H
FFFF 752CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 8	DNDA8	R/W	—	—	—	○	0000 0000H
FFFF 7530H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 8	DNDC8	R/W	—	—	○	—	0001H
FFFF 7532H	DMA 転送カウント・レジスタ 8	DTC8	R/W	—	—	○	—	0000H
FFFF 7534H	DMA ネクスト転送カウント・レジスタ 8	DNTC8	R/W	—	—	○	—	0000H
FFFF 7536H	DMA 転送カウント・コンペア・レジスタ 8	DTCC8	R/W	—	—	○	—	0000H
FFFF 7538H	DMA 転送制御レジスタ 8	DTCT8	R/W	—	—	○	—	0000H
FFFF 753AH	DMA 転送ステータス・レジスタ 8	DTS8	R/W	○	○	—	—	00H
FFFF 7540H	DMA 転送要求選択レジスタ 9	DTRS9	R/W	—	—	○	—	0000H
FFFF 7544H	DMA ソース・アドレス・レジスタ 9	DSA9	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 9L	DSA9L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 9H	DSA9H	R	—	—	○	—	0000H
FFFF 7548H	DMA ソース・チップ・セレクト・レジスタ 9	DSC9	R/W	—	—	○	—	0001H
FFFF 754CH	DMA ネクスト・ソース・アドレス・レジスタ 9	DNSA9	R/W	—	—	—	○	0000 0000H
FFFF 7550H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 9	DNSC9	R/W	—	—	○	—	0001H
FFFF 7554H	DMA デスティネーション・アドレス・レジスタ 9	DDA9	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 9L	DDA9L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 9H	DDA9H	R	—	—	—	○	0000H
FFFF 7558H	DMA デスティネーション・チップ・セレクト・レジスタ 9	DDC9	R/W	—	—	○	—	0001H
FFFF 755CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 9	DNDA9	R/W	—	—	—	○	0000 0000H
FFFF 7560H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 9	DNDC9	R/W	—	—	○	—	0001H
FFFF 7562H	DMA 転送カウント・レジスタ 9	DTC9	R/W	—	—	○	—	0000H
FFFF 7564H	DMA ネクスト転送カウント・レジスタ 9	DNTC9	R/W	—	—	○	—	0000H
FFFF 7566H	DMA 転送カウント・コンペア・レジスタ 9	DTCC9	R/W	—	—	○	—	0000H
FFFF 7568H	DMA 転送制御レジスタ 9	DTCT9	R/W	—	—	○	—	0000H
FFFF 756AH	DMA 転送ステータス・レジスタ 9	DTS9	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (6/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7570H	DMA 転送要求選択レジスタ 10	DTRS10	R/W	—	—	○	—	0000H
FFFF 7574H	DMA ソース・アドレス・レジスタ 10	DSA10	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 10L	DSA10L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 10H	DSA10H	R	—	—	○	—	0000H
FFFF 7578H	DMA ソース・チップ・セレクト・レジスタ 10	DSC10	R/W	—	—	○	—	0001H
FFFF 757CH	DMA ネクスト・ソース・アドレス・レジスタ 10	DNSA10	R/W	—	—	—	○	0000 0000H
FFFF 7580H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 10	DNSC10	R/W	—	—	○	—	0001H
FFFF 7584H	DMA デスティネーション・アドレス・レジスタ 10	DDA10	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 10L	DDA10L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 10H	DDA10H	R	—	—	—	○	0000H
FFFF 7588H	DMA デスティネーション・チップ・セレクト・レジスタ 10	DDC10	R/W	—	—	○	—	0001H
FFFF 758CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 10	DNDA10	R/W	—	—	—	○	0000 0000H
FFFF 7590H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 10	DNDC10	R/W	—	—	○	—	0001H
FFFF 7592H	DMA 転送カウント・レジスタ 10	DTC10	R/W	—	—	○	—	0000H
FFFF 7594H	DMA ネクスト転送カウント・レジスタ 10	DNTC10	R/W	—	—	○	—	0000H
FFFF 7596H	DMA 転送カウント・コンペア・レジスタ 10	DTCC10	R/W	—	—	○	—	0000H
FFFF 7598H	DMA 転送制御レジスタ 10	DTCT10	R/W	—	—	○	—	0000H
FFFF 759AH	DMA 転送ステータス・レジスタ 10	DTS10	R/W	○	○	—	—	00H
FFFF 75A0H	DMA 転送要求選択レジスタ 11	DTRS11	R/W	—	—	○	—	0000H
FFFF 75A4H	DMA ソース・アドレス・レジスタ 11	DSA11	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 11L	DSA11L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 11H	DSA11H	R	—	—	○	—	0000H
FFFF 75A8H	DMA ソース・チップ・セレクト・レジスタ 11	DSC11	R/W	—	—	○	—	0001H
FFFF 75ACH	DMA ネクスト・ソース・アドレス・レジスタ 11	DNSA11	R/W	—	—	—	○	0000 0000H
FFFF 75B0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 11	DNSC11	R/W	—	—	○	—	0001H
FFFF 75B4H	DMA デスティネーション・アドレス・レジスタ 11	DDA11	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 11L	DDA11L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 11H	DDA11H	R	—	—	—	○	0000H
FFFF 75B8H	DMA デスティネーション・チップ・セレクト・レジスタ 11	DDC11	R/W	—	—	○	—	0001H
FFFF 75BCH	DMA ネクスト・デスティネーション・アドレス・レジスタ 11	DNDA11	R/W	—	—	—	○	0000 0000H
FFFF 75C0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 11	DNDC11	R/W	—	—	○	—	0001H
FFFF 75C2H	DMA 転送カウント・レジスタ 11	DTC11	R/W	—	—	○	—	0000H
FFFF 75C4H	DMA ネクスト転送カウント・レジスタ 11	DNTC11	R/W	—	—	○	—	0000H
FFFF 75C6H	DMA 転送カウント・コンペア・レジスタ 11	DTCC11	R/W	—	—	○	—	0000H
FFFF 75C8H	DMA 転送制御レジスタ 11	DTCT11	R/W	—	—	○	—	0000H
FFFF 75CAH	DMA 転送ステータス・レジスタ 11	DTS11	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (7/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 75D0H	DMA 転送要求選択レジスタ 12	DTRS12	R/W	—	—	○	—	0000H
FFFF 75D4H	DMA ソース・アドレス・レジスタ 12	DSA12	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 12L	DSA12L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 12H	DSA12H	R	—	—	○	—	0000H
FFFF 75D8H	DMA ソース・チップ・セレクト・レジスタ 12	DSC12	R/W	—	—	○	—	0001H
FFFF 75DCH	DMA ネクスト・ソース・アドレス・レジスタ 12	DNSA12	R/W	—	—	—	○	0000 0000H
FFFF 75E0H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 12	DNSC12	R/W	—	—	○	—	0001H
FFFF 75E4H	DMA デスティネーション・アドレス・レジスタ 12	DDA12	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 12L	DDA12L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 12H	DDA12H	R	—	—	—	○	0000H
FFFF 75E8H	DMA デスティネーション・チップ・セレクト・レジスタ 12	DDC12	R/W	—	—	○	—	0001H
FFFF 75ECH	DMA ネクスト・デスティネーション・アドレス・レジスタ 12	DNDA12	R/W	—	—	—	○	0000 0000H
FFFF 75F0H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 12	DNDC12	R/W	—	—	○	—	0001H
FFFF 75F2H	DMA 転送カウント・レジスタ 12	DTC12	R/W	—	—	○	—	0000H
FFFF 75F4H	DMA ネクスト転送カウント・レジスタ 12	DNTC12	R/W	—	—	○	—	0000H
FFFF 75F6H	DMA 転送カウント・コンペア・レジスタ 12	DTCC12	R/W	—	—	○	—	0000H
FFFF 75F8H	DMA 転送制御レジスタ 12	DTCT12	R/W	—	—	○	—	0000H
FFFF 75FAH	DMA 転送ステータス・レジスタ 12	DTS12	R/W	○	○	—	—	00H
FFFF 7600H	DMA 転送要求選択レジスタ 13	DTRS13	R/W	—	—	○	—	0000H
FFFF 7604H	DMA ソース・アドレス・レジスタ 13	DSA13	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 13L	DSA13L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 13H	DSA13H	R	—	—	○	—	0000H
FFFF 7608H	DMA ソース・チップ・セレクト・レジスタ 13	DSC13	R/W	—	—	○	—	0001H
FFFF 760CH	DMA ネクスト・ソース・アドレス・レジスタ 13	DNSA13	R/W	—	—	—	○	0000 0000H
FFFF 7610H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 13	DNSC13	R/W	—	—	○	—	0001H
FFFF 7614H	DMA デスティネーション・アドレス・レジスタ 13	DDA13	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 13L	DDA13L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 13H	DDA13H	R	—	—	—	○	0000H
FFFF 7618H	DMA デスティネーション・チップ・セレクト・レジスタ 13	DDC13	R/W	—	—	○	—	0001H
FFFF 761CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 13	DNDA13	R/W	—	—	—	○	0000 0000H
FFFF 7620H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 13	DNDC13	R/W	—	—	○	—	0001H
FFFF 7622H	DMA 転送カウント・レジスタ 13	DTC13	R/W	—	—	○	—	0000H
FFFF 7624H	DMA ネクスト転送カウント・レジスタ 13	DNTC13	R/W	—	—	○	—	0000H
FFFF 7626H	DMA 転送カウント・コンペア・レジスタ 13	DTCC13	R/W	—	—	○	—	0000H
FFFF 7628H	DMA 転送制御レジスタ 13	DTCT13	R/W	—	—	○	—	0000H
FFFF 762AH	DMA 転送ステータス・レジスタ 13	DTS13	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (8/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7630H	DMA 転送要求選択レジスタ 14	DTRS14	R/W	—	—	○	—	0000H
FFFF 7634H	DMA ソース・アドレス・レジスタ 14	DSA14	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 14L	DSA14L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 14H	DSA14H	R	—	—	○	—	0000H
FFFF 7638H	DMA ソース・チップ・セレクト・レジスタ 14	DSC14	R/W	—	—	○	—	0001H
FFFF 763CH	DMA ネクスト・ソース・アドレス・レジスタ 14	DNSA14	R/W	—	—	—	○	0000 0000H
FFFF 7640H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 14	DNSC14	R/W	—	—	○	—	0001H
FFFF 7644H	DMA デスティネーション・アドレス・レジスタ 14	DDA14	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 14L	DDA14L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 14H	DDA14H	R	—	—	—	○	0000H
FFFF 7648H	DMA デスティネーション・チップ・セレクト・レジスタ 14	DDC14	R/W	—	—	○	—	0001H
FFFF 764CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 14	DNDA14	R/W	—	—	—	○	0000 0000H
FFFF 7650H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 14	DNDC14	R/W	—	—	○	—	0001H
FFFF 7652H	DMA 転送カウント・レジスタ 14	DTC14	R/W	—	—	○	—	0000H
FFFF 7654H	DMA ネクスト転送カウント・レジスタ 14	DNTC14	R/W	—	—	○	—	0000H
FFFF 7656H	DMA 転送カウント・コンペア・レジスタ 14	DTCC14	R/W	—	—	○	—	0000H
FFFF 7658H	DMA 転送制御レジスタ 14	DTCT14	R/W	—	—	○	—	0000H
FFFF 765AH	DMA 転送ステータス・レジスタ 14	DTS14	R/W	○	○	—	—	00H
FFFF 7660H	DMA 転送要求選択レジスタ 15	DTRS15	R/W	—	—	○	—	0000H
FFFF 7664H	DMA ソース・アドレス・レジスタ 15	DSA15	R/W	—	—	—	○	0000 0000H
FFFF 7314H	DMA ソース・アドレス・レジスタ 15L	DSA15L	R	—	—	○	—	0000H
FFFF 7315H	DMA ソース・アドレス・レジスタ 15H	DSA15H	R	—	—	○	—	0000H
FFFF 7668H	DMA ソース・チップ・セレクト・レジスタ 15	DSC15	R/W	—	—	○	—	0001H
FFFF 766CH	DMA ネクスト・ソース・アドレス・レジスタ 15	DNSA15	R/W	—	—	—	○	0000 0000H
FFFF 7670H	DMA ネクスト・ソース・チップ・セレクト・レジスタ 15	DNSC15	R/W	—	—	○	—	0001H
FFFF 7674H	DMA デスティネーション・アドレス・レジスタ 15	DDA15	R/W	—	—	—	○	0000 0000H
FFFF 7324H	DMA デスティネーション・アドレス・レジスタ 15L	DDA15L	R	—	—	—	○	0000H
FFFF 7325H	DMA デスティネーション・アドレス・レジスタ 15H	DDA15H	R	—	—	—	○	0000H
FFFF 7678H	DMA デスティネーション・チップ・セレクト・レジスタ 15	DDC15	R/W	—	—	○	—	0001H
FFFF 767CH	DMA ネクスト・デスティネーション・アドレス・レジスタ 15	DNDA15	R/W	—	—	—	○	0000 0000H
FFFF 7680H	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 15	DNDC15	R/W	—	—	○	—	0001H
FFFF 7682H	DMA 転送カウント・レジスタ 15	DTC15	R/W	—	—	○	—	0000H
FFFF 7684H	DMA ネクスト転送カウント・レジスタ 15	DNTC15	R/W	—	—	○	—	0000H
FFFF 7686H	DMA 転送カウント・コンペア・レジスタ 15	DTCC15	R/W	—	—	○	—	0000H
FFFF 7688H	DMA 転送制御レジスタ 15	DTCT15	R/W	—	—	○	—	0000H
FFFF 768AH	DMA 転送ステータス・レジスタ 15	DTS15	R/W	○	○	—	—	00H

表 3-14 セントラル DMA コントローラ制御用レジスタ (9/9)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
FFFF 7B00H	CDMA トリガ要因選択レジスタ 0	CDTFR0	R/W	—	—	○	—	0000H
FFFF 7B02H	CDMA トリガ要因選択レジスタ 1	CDTFR1	R/W	—	—	○	—	0000H
FFFF 7B04H	CDMA トリガ要因選択レジスタ 2	CDTFR2	R/W	—	—	○	—	0000H
FFFF 7B06H	CDMA トリガ要因選択レジスタ 3	CDTFR3	R/W	—	—	○	—	0000H
FFFF 7B08H	CDMA トリガ要因選択レジスタ 4	CDTFR4	R/W	—	—	○	—	0000H
FFFF 7B0AH	CDMA トリガ要因選択レジスタ 5	CDTFR5	R/W	—	—	○	—	0000H
FFFF 7B0CH	CDMA トリガ要因選択レジスタ 6	CDTFR6	R/W	—	—	○	—	0000H
FFFF 7B0EH	CDMA トリガ要因選択レジスタ 7	CDTFR7	R/W	—	—	○	—	0000H
FFFF 7B10H	CDMA トリガ要因選択レジスタ 8	CDTFR8	R/W	—	—	○	—	0000H
FFFF 7B12H	CDMA トリガ要因選択レジスタ 9	CDTFR9	R/W	—	—	○	—	0000H
FFFF 7B14H	CDMA トリガ要因選択レジスタ 10	CDTFR10	R/W	—	—	○	—	0000H
FFFF 7B16H	CDMA トリガ要因選択レジスタ 11	CDTFR11	R/W	—	—	○	—	0000H
FFFF 7B18H	CDMA トリガ要因選択レジスタ 12	CDTFR12	R/W	—	—	○	—	0000H
FFFF 7B1AH	CDMA トリガ要因選択レジスタ 13	CDTFR13	R/W	—	—	○	—	0000H
FFFF 7B1CH	CDMA トリガ要因選択レジスタ 14	CDTFR14	R/W	—	—	○	—	0000H
FFFF 7B1EH	CDMA トリガ要因選択レジスタ 15	CDTFR15	R/W	—	—	○	—	0000H
FFFF 7B40H	CDMA 転送要求クリア・レジスタ	DRQCLR	R/W	—	—	○	—	0000H
FFFF 7B44H	CDMA 転送要求ステータス・レジスタ	DRQSTR	R	—	—	○	—	0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (1/6)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0800H	Next0 ソース・アドレス・レジスタ 0	N0SA0	R/W	—	—	—	○	0000 0000H
0F00 0804H	Next0 デスティネーション・アドレス・レジスタ 0	N0DA0	R/W	—	—	—	○	0000 0000H
0F00 0808H	Next0 トランザクション・バイト・レジスタ 0	N0TB0	R/W	—	—	—	○	0000 0000H
0F00 080CH	Next1 ソース・アドレス・レジスタ 0	N1SA0	R/W	—	—	—	○	0000 0000H
0F00 0810H	Next1 デスティネーション・アドレス・レジスタ 0	N1DA0	R/W	—	—	—	○	0000 0000H
0F00 0814H	Next1 トランザクション・バイト・レジスタ 0	N1TB0	R/W	—	—	—	○	0000 0000H
0F00 0818H	Current ソース・アドレス・レジスタ 0	CRSA0	R	—	—	—	○	0000 0000H
0F00 081CH	Current デスティネーション・アドレス・レジスタ 0	CRDA0	R	—	—	—	○	0000 0000H
0F00 0820H	Current トランザクション・バイト・レジスタ 0	CRTB0	R	—	—	—	○	0000 0000H
0F00 0824H	チャネル・ステータス・レジスタ 0	CHSTAT0	R	—	—	—	○	0000 0000H
0F00 0828H	チャネル・コントロール・レジスタ 0	CHCTRL0	W	—	—	—	○	0000 0000H
0F00 082CH	チャネル・コンフィギュレーション・レジスタ 0	CHCFG0	R/W	—	—	—	○	0000 0000H
0F00 0830H	チャネル・インターバル・レジスタ 0	CHITVL0	R/W	—	—	—	○	0000 0000H
0F00 0838H	Next リンク・アドレス・レジスタ 0	NXLA0	R/W	—	—	—	○	0000 0000H
0F00 083CH	Current リンク・アドレス・レジスタ 0	CRLA0	R	—	—	—	○	0000 0000H
0F00 0840H	Next0 ソース・アドレス・レジスタ 1	N0SA1	R/W	—	—	—	○	0000 0000H
0F00 0844H	Next0 デスティネーション・アドレス・レジスタ 1	N0DA1	R/W	—	—	—	○	0000 0000H
0F00 0848H	Next0 トランザクション・バイト・レジスタ 1	N0TB1	R/W	—	—	—	○	0000 0000H
0F00 084CH	Next1 ソース・アドレス・レジスタ 1	N1SA1	R/W	—	—	—	○	0000 0000H
0F00 0850H	Next1 デスティネーション・アドレス・レジスタ 1	N1DA1	R/W	—	—	—	○	0000 0000H
0F00 0854H	Next1 トランザクション・バイト・レジスタ 1	N1TB1	R/W	—	—	—	○	0000 0000H
0F00 0858H	Current ソース・アドレス・レジスタ 1	CRSA1	R	—	—	—	○	0000 0000H
0F00 085CH	Current デスティネーション・アドレス・レジスタ 1	CRDA1	R	—	—	—	○	0000 0000H
0F00 0860H	Current トランザクション・バイト・レジスタ 1	CRTB1	R	—	—	—	○	0000 0000H
0F00 0864H	チャネル・ステータス・レジスタ 1	CHSTAT1	R	—	—	—	○	0000 0000H
0F00 0868H	チャネル・コントロール・レジスタ 1	CHCTRL1	W	—	—	—	○	0000 0000H
0F00 086CH	チャネル・コンフィギュレーション・レジスタ 1	CHCFG1	R/W	—	—	—	○	0000 0000H
0F00 0870H	チャネル・インターバル・レジスタ 1	CHITVL1	R/W	—	—	—	○	0000 0000H
0F00 0878H	Next リンク・アドレス・レジスタ 1	NXLA1	R/W	—	—	—	○	0000 0000H
0F00 087CH	Current リンク・アドレス・レジスタ 1	CRLA1	R	—	—	—	○	0000 0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (2/6)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0880H	Next0 ソース・アドレス・レジスタ 2	N0SA2	R/W	—	—	—	○	0000 0000H
0F00 0884H	Next0 デスティネーション・アドレス・レジスタ 2	N0DA2	R/W	—	—	—	○	0000 0000H
0F00 0888H	Next0 トランザクション・バイト・レジスタ 2	N0TB2	R/W	—	—	—	○	0000 0000H
0F00 088CH	Next1 ソース・アドレス・レジスタ 2	N1SA2	R/W	—	—	—	○	0000 0000H
0F00 0890H	Next1 デスティネーション・アドレス・レジスタ 2	N1DA2	R/W	—	—	—	○	0000 0000H
0F00 0894H	Next1 トランザクション・バイト・レジスタ 2	N1TB2	R/W	—	—	—	○	0000 0000H
0F00 0898H	Current ソース・アドレス・レジスタ 2	CRSA2	R	—	—	—	○	0000 0000H
0F00 089CH	Current デスティネーション・アドレス・レジスタ 2	CRDA2	R	—	—	—	○	0000 0000H
0F00 08A0H	Current トランザクション・バイト・レジスタ 2	CRTB2	R	—	—	—	○	0000 0000H
0F00 08A4H	チャンネル・ステータス・レジスタ 2	CHSTAT2	R	—	—	—	○	0000 0000H
0F00 08A8H	チャンネル・コントロール・レジスタ 2	CHCTRL2	W	—	—	—	○	0000 0000H
0F00 08ACH	チャンネル・コンフィギュレーション・レジスタ 2	CHCFG2	R/W	—	—	—	○	0000 0000H
0F00 08B0H	チャンネル・インターバル・レジスタ 2	CHITVL2	R/W	—	—	—	○	0000 0000H
0F00 08B8H	Next リンク・アドレス・レジスタ 2	NXLA2	R/W	—	—	—	○	0000 0000H
0F00 08BCH	Current リンク・アドレス・レジスタ 2	CRLA2	R	—	—	—	○	0000 0000H
0F00 08C0H	Next0 ソース・アドレス・レジスタ 3	N0SA3	R/W	—	—	—	○	0000 0000H
0F00 08C4H	Next0 デスティネーション・アドレス・レジスタ 3	N0DA3	R/W	—	—	—	○	0000 0000H
0F00 08C8H	Next0 トランザクション・バイト・レジスタ 3	N0TB3	R/W	—	—	—	○	0000 0000H
0F00 08CCH	Next1 ソース・アドレス・レジスタ 3	N1SA3	R/W	—	—	—	○	0000 0000H
0F00 08D0H	Next1 デスティネーション・アドレス・レジスタ 3	N1DA3	R/W	—	—	—	○	0000 0000H
0F00 08D4H	Next1 トランザクション・バイト・レジスタ 3	N1TB3	R/W	—	—	—	○	0000 0000H
0F00 08D8H	Current ソース・アドレス・レジスタ 3	CRSA3	R	—	—	—	○	0000 0000H
0F00 08DCH	Current デスティネーション・アドレス・レジスタ 3	CRDA3	R	—	—	—	○	0000 0000H
0F00 08E0H	Current トランザクション・バイト・レジスタ 3	CRTB3	R	—	—	—	○	0000 0000H
0F00 08E4H	チャンネル・ステータス・レジスタ 3	CHSTAT3	R	—	—	—	○	0000 0000H
0F00 08E8H	チャンネル・コントロール・レジスタ 3	CHCTRL3	W	—	—	—	○	0000 0000H
0F00 08ECH	チャンネル・コンフィギュレーション・レジスタ 3	CHCFG3	R/W	—	—	—	○	0000 0000H
0F00 08F0H	チャンネル・インターバル・レジスタ 3	CHITVL3	R/W	—	—	—	○	0000 0000H
0F00 08F8H	Next リンク・アドレス・レジスタ 3	NXLA3	R/W	—	—	—	○	0000 0000H
0F00 08FCH	Current リンク・アドレス・レジスタ 3	CRLA3	R	—	—	—	○	0000 0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (3/6)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0900H	Next0 ソース・アドレス・レジスタ 4	N0SA4	R/W	—	—	—	○	0000 0000H
0F00 0904H	Next0 デスティネーション・アドレス・レジスタ 4	N0DA4	R/W	—	—	—	○	0000 0000H
0F00 0908H	Next0 トランザクション・バイト・レジスタ 4	N0TB4	R/W	—	—	—	○	0000 0000H
0F00 090CH	Next1 ソース・アドレス・レジスタ 4	N1SA4	R/W	—	—	—	○	0000 0000H
0F00 0910H	Next1 デスティネーション・アドレス・レジスタ 4	N1DA4	R/W	—	—	—	○	0000 0000H
0F00 0914H	Next1 トランザクション・バイト・レジスタ 4	N1TB4	R/W	—	—	—	○	0000 0000H
0F00 0918H	Current ソース・アドレス・レジスタ 4	CRSA4	R	—	—	—	○	0000 0000H
0F00 091CH	Current デスティネーション・アドレス・レジスタ 4	CRDA4	R	—	—	—	○	0000 0000H
0F00 0920H	Current トランザクション・バイト・レジスタ 4	CRTB4	R	—	—	—	○	0000 0000H
0F00 0924H	チャンネル・ステータス・レジスタ 4	CHSTAT4	R	—	—	—	○	0000 0000H
0F00 0928H	チャンネル・コントロール・レジスタ 4	CHCTRL4	W	—	—	—	○	0000 0000H
0F00 092CH	チャンネル・コンフィギュレーション・レジスタ 4	CHCFG4	R/W	—	—	—	○	0000 0000H
0F00 0930H	チャンネル・インターバル・レジスタ 4	CHITVL4	R/W	—	—	—	○	0000 0000H
0F00 0938H	Next リンク・アドレス・レジスタ 4	NXLA4	R/W	—	—	—	○	0000 0000H
0F00 093CH	Current リンク・アドレス・レジスタ 4	CRLA4	R	—	—	—	○	0000 0000H
0F00 0940H	Next0 ソース・アドレス・レジスタ 5	N0SA5	R/W	—	—	—	○	0000 0000H
0F00 0944H	Next0 デスティネーション・アドレス・レジスタ 5	N0DA5	R/W	—	—	—	○	0000 0000H
0F00 0948H	Next0 トランザクション・バイト・レジスタ 5	N0TB5	R/W	—	—	—	○	0000 0000H
0F00 094CH	Next1 ソース・アドレス・レジスタ 5	N1SA5	R/W	—	—	—	○	0000 0000H
0F00 0950H	Next1 デスティネーション・アドレス・レジスタ 5	N1DA5	R/W	—	—	—	○	0000 0000H
0F00 0954H	Next1 トランザクション・バイト・レジスタ 5	N1TB5	R/W	—	—	—	○	0000 0000H
0F00 0958H	Current ソース・アドレス・レジスタ 5	CRSA5	R	—	—	—	○	0000 0000H
0F00 095CH	Current デスティネーション・アドレス・レジスタ 5	CRDA5	R	—	—	—	○	0000 0000H
0F00 0960H	Current トランザクション・バイト・レジスタ 5	CRTB5	R	—	—	—	○	0000 0000H
0F00 0964H	チャンネル・ステータス・レジスタ 5	CHSTAT5	R	—	—	—	○	0000 0000H
0F00 0968H	チャンネル・コントロール・レジスタ 5	CHCTRL5	W	—	—	—	○	0000 0000H
0F00 096CH	チャンネル・コンフィギュレーション・レジスタ 5	CHCFG5	R/W	—	—	—	○	0000 0000H
0F00 0970H	チャンネル・インターバル・レジスタ 5	CHITVL5	R/W	—	—	—	○	0000 0000H
0F00 0978H	Next リンク・アドレス・レジスタ 5	NXLA5	R/W	—	—	—	○	0000 0000H
0F00 097CH	Current リンク・アドレス・レジスタ 5	CRLA5	R	—	—	—	○	0000 0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (4/6)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0980H	Next0 ソース・アドレス・レジスタ 6	N0SA6	R/W	—	—	—	○	0000 0000H
0F00 0984H	Next0 デスティネーション・アドレス・レジスタ 6	N0DA6	R/W	—	—	—	○	0000 0000H
0F00 0988H	Next0 トランザクション・バイト・レジスタ 6	N0TB6	R/W	—	—	—	○	0000 0000H
0F00 098CH	Next1 ソース・アドレス・レジスタ 6	N1SA6	R/W	—	—	—	○	0000 0000H
0F00 0990H	Next1 デスティネーション・アドレス・レジスタ 6	N1DA6	R/W	—	—	—	○	0000 0000H
0F00 0994H	Next1 トランザクション・バイト・レジスタ 6	N1TB6	R/W	—	—	—	○	0000 0000H
0F00 0998H	Current ソース・アドレス・レジスタ 6	CRSA6	R	—	—	—	○	0000 0000H
0F00 099CH	Current デスティネーション・アドレス・レジスタ 6	CRDA6	R	—	—	—	○	0000 0000H
0F00 09A0H	Current トランザクション・バイト・レジスタ 6	CRTB6	R	—	—	—	○	0000 0000H
0F00 09A4H	チャンネル・ステータス・レジスタ 6	CHSTAT6	R	—	—	—	○	0000 0000H
0F00 09A8H	チャンネル・コントロール・レジスタ 6	CHCTRL6	W	—	—	—	○	0000 0000H
0F00 09ACH	チャンネル・コンフィギュレーション・レジスタ 6	CHCFG6	R/W	—	—	—	○	0000 0000H
0F00 09B0H	チャンネル・インターバル・レジスタ 6	CHITVL6	R/W	—	—	—	○	0000 0000H
0F00 09B8H	Next リンク・アドレス・レジスタ 6	NXLA6	R/W	—	—	—	○	0000 0000H
0F00 09BCH	Current リンク・アドレス・レジスタ 6	CRLA6	R	—	—	—	○	0000 0000H
0F00 09C0H	Next0 ソース・アドレス・レジスタ 7	N0SA7	R/W	—	—	—	○	0000 0000H
0F00 09C4H	Next0 デスティネーション・アドレス・レジスタ 7	N0DA7	R/W	—	—	—	○	0000 0000H
0F00 09C8H	Next0 トランザクション・バイト・レジスタ 7	N0TB7	R/W	—	—	—	○	0000 0000H
0F00 09CCH	Next1 ソース・アドレス・レジスタ 7	N1SA7	R/W	—	—	—	○	0000 0000H
0F00 09D0H	Next1 デスティネーション・アドレス・レジスタ 7	N1DA7	R/W	—	—	—	○	0000 0000H
0F00 09D4H	Next1 トランザクション・バイト・レジスタ 7	N1TB7	R/W	—	—	—	○	0000 0000H
0F00 09D8H	Current ソース・アドレス・レジスタ 7	CRSA7	R	—	—	—	○	0000 0000H
0F00 09DCH	Current デスティネーション・アドレス・レジスタ 7	CRDA7	R	—	—	—	○	0000 0000H
0F00 09E0H	Current トランザクション・バイト・レジスタ 7	CRTB7	R	—	—	—	○	0000 0000H
0F00 09E4H	チャンネル・ステータス・レジスタ 7	CHSTAT7	R	—	—	—	○	0000 0000H
0F00 09E8H	チャンネル・コントロール・レジスタ 7	CHCTRL7	W	—	—	—	○	0000 0000H
0F00 09ECH	チャンネル・コンフィギュレーション・レジスタ 7	CHCFG7	R/W	—	—	—	○	0000 0000H
0F00 09F0H	チャンネル・インターバル・レジスタ 7	CHITVL7	R/W	—	—	—	○	0000 0000H
0F00 09F8H	Next リンク・アドレス・レジスタ 7	NXLA7	R/W	—	—	—	○	0000 0000H
0F00 09FCH	Current リンク・アドレス・レジスタ 7	CRLA7	R	—	—	—	○	0000 0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (5/6)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0A00H	連続空間ソース・サイズ・レジスタ 0	SCNT0	R/W	—	—	—	○	0000 0000H
0F00 0A04H	スキップ空間ソース・サイズ・レジスタ 0	SSKP0	R/W	—	—	—	○	0000 0000H
0F00 0A08H	連続空間デスティネーション・サイズ・レジスタ 0	DCNT0	R/W	—	—	—	○	0000 0000H
0F00 0A0CH	スキップ空間デスティネーション・サイズ・レジスタ 0	DSKP0	R/W	—	—	—	○	0000 0000H
0F00 0A20H	連続空間ソース・サイズ・レジスタ 1	SCNT1	R/W	—	—	—	○	0000 0000H
0F00 0A24H	スキップ空間ソース・サイズ・レジスタ 1	SSKP1	R/W	—	—	—	○	0000 0000H
0F00 0A28H	連続空間デスティネーション・サイズ・レジスタ 1	DCNT1	R/W	—	—	—	○	0000 0000H
0F00 0A2CH	スキップ空間デスティネーション・サイズ・レジスタ 1	DSKP1	R/W	—	—	—	○	0000 0000H
0F00 0A40H	連続空間ソース・サイズ・レジスタ 2	SCNT2	R/W	—	—	—	○	0000 0000H
0F00 0A44H	スキップ空間ソース・サイズ・レジスタ 2	SSKP2	R/W	—	—	—	○	0000 0000H
0F00 0A48H	連続空間デスティネーション・サイズ・レジスタ 2	DCNT2	R/W	—	—	—	○	0000 0000H
0F00 0A4CH	スキップ空間デスティネーション・サイズ・レジスタ 2	DSKP2	R/W	—	—	—	○	0000 0000H
0F00 0A60H	連続空間ソース・サイズ・レジスタ 3	SCNT3	R/W	—	—	—	○	0000 0000H
0F00 0A64H	スキップ空間ソース・サイズ・レジスタ 3	SSKP3	R/W	—	—	—	○	0000 0000H
0F00 0A68H	連続空間デスティネーション・サイズ・レジスタ 3	DCNT3	R/W	—	—	—	○	0000 0000H
0F00 0A6CH	スキップ空間デスティネーション・サイズ・レジスタ 3	DSKP3	R/W	—	—	—	○	0000 0000H
0F00 0A80H	連続空間ソース・サイズ・レジスタ 4	SCNT4	R/W	—	—	—	○	0000 0000H
0F00 0A84H	スキップ空間ソース・サイズ・レジスタ 4	SSKP4	R/W	—	—	—	○	0000 0000H
0F00 0A88H	連続空間デスティネーション・サイズ・レジスタ 4	DCNT4	R/W	—	—	—	○	0000 0000H
0F00 0A8CH	スキップ空間デスティネーション・サイズ・レジスタ 4	DSKP4	R/W	—	—	—	○	0000 0000H
0F00 0AA0H	連続空間ソース・サイズ・レジスタ 5	SCNT5	R/W	—	—	—	○	0000 0000H
0F00 0AA4H	スキップ空間ソース・サイズ・レジスタ 5	SSKP5	R/W	—	—	—	○	0000 0000H
0F00 0AA8H	連続空間デスティネーション・サイズ・レジスタ 5	DCNT5	R/W	—	—	—	○	0000 0000H
0F00 0AACH	スキップ空間デスティネーション・サイズ・レジスタ 5	DSKP5	R/W	—	—	—	○	0000 0000H
0F00 0AC0H	連続空間ソース・サイズ・レジスタ 6	SCNT6	R/W	—	—	—	○	0000 0000H
0F00 0AC4H	スキップ空間ソース・サイズ・レジスタ 6	SSKP6	R/W	—	—	—	○	0000 0000H
0F00 0AC8H	連続空間デスティネーション・サイズ・レジスタ 6	DCNT6	R/W	—	—	—	○	0000 0000H
0F00 0ACCH	スキップ空間デスティネーション・サイズ・レジスタ 6	DSKP6	R/W	—	—	—	○	0000 0000H
0F00 0AE0H	連続空間ソース・サイズ・レジスタ 7	SCNT7	R/W	—	—	—	○	0000 0000H
0F00 0AE4H	スキップ空間ソース・サイズ・レジスタ 7	SSKP7	R/W	—	—	—	○	0000 0000H
0F00 0AE8H	連続空間デスティネーション・サイズ・レジスタ 7	DCNT7	R/W	—	—	—	○	0000 0000H
0F00 0AECH	スキップ空間デスティネーション・サイズ・レジスタ 7	DSKP7	R/W	—	—	—	○	0000 0000H
0F00 0B00H	システム・バス DMAC コントロール・レジスタ	DCTRL	R/W	—	—	—	○	0000 0000H
0F00 0B04H	ディスクリプタ・インターバル・レジスタ	DSCITVL	R/W	—	—	—	○	0000 0000H
0F00 0B10H	システムバス DMAC イネーブルステータス・レジスタ	DSTEN	R	—	—	—	○	0000 0000H
0F00 0B14H	システム・バス DMAC エラー・ステータス・レジスタ	DSTER	R	—	—	—	○	0000 0000H
0F00 0B18H	システム・バス DMAC 完了ステータス・レジスタ	DSTEND	R	—	—	—	○	0000 0000H
0F00 0B1CH	システムバス DMAC ターミナル・カウント・ステータス・レジスタ	DSTTC	R	—	—	—	○	0000 0000H
0F00 0B20H	システムバス DMAC サスペンドステータス・レジスタ	DSTSUS	R	—	—	—	○	0000 0000H

表 3-15 システム・バス DMA コントローラ制御用レジスタ (6/6)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 9150H	DMA トリガ要因選択レジスタ 0	DTFR0	R/W	—	—	—	○	0000 0000H
0F01 9154H	DMA トリガ要因選択レジスタ 1	DTFR1	R/W	—	—	—	○	0000 0000H
0F01 9158H	DMA トリガ要因選択レジスタ 2	DTFR2	R/W	—	—	—	○	0000 0000H
0F01 915CH	DMA トリガ要因選択レジスタ 3	DTFR3	R/W	—	—	—	○	0000 0000H
0F01 9160H	DMA トリガ要因選択レジスタ 4	DTFR4	R/W	—	—	—	○	0000 0000H
0F01 9164H	DMA トリガ要因選択レジスタ 5	DTFR5	R/W	—	—	—	○	0000 0000H
0F01 9168H	DMA トリガ要因選択レジスタ 6	DTFR6	R/W	—	—	—	○	0000 0000H
0F01 916CH	DMA トリガ要因選択レジスタ 7	DTFR7	R/W	—	—	—	○	0000 0000H
0F01 9170H	DMA 転送インタフェース信号制御レジスタ 0	DMAIFC0	R/W	—	—	—	○	0000 0000H
0F01 9174H	DMA 転送インタフェース信号制御レジスタ 1	DMAIFC1	R/W	—	—	—	○	0000 0000H
0F01 9178H	DMA 転送インタフェース信号制御レジスタ 2	DMAIFC2	R/W	—	—	—	○	0000 0000H
0F01 917CH	DMA 転送インタフェース信号制御レジスタ 3	DMAIFC3	R/W	—	—	—	○	0000 0000H
0F01 9180H	DMA 転送インタフェース信号制御レジスタ 4	DMAIFC4	R/W	—	—	—	○	0000 0000H
0F01 9184H	DMA 転送インタフェース信号制御レジスタ 5	DMAIFC5	R/W	—	—	—	○	0000 0000H

表 3-16 シリアル・フラッシュ・メモリ・コントローラ制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F00 0C00H	転送モード制御レジスタ	SFMSMD	R/W	—	—	—	○	0000 0110H
0F00 0C04H	チップ選択制御レジスタ	SFMSSC	R/W	—	—	—	○	0000 0037H
0F00 0C08H	クロック制御レジスタ	SFMSKC	R/W	—	—	—	○	0000 0008H
0F00 0C0CH	ステータス・レジスタ	SFMSST	R	—	—	—	○	0000 0080H
0F00 0C10H	通信ポート	SFMCOM	R/W	—	—	—	○	不定
0F00 0C14H	通信モード制御レジスタ	SFMCMD	R/W	—	—	—	○	0000 0000H
0F00 0C18H	通信ステータス・レジスタ	SFMCST	R/W	—	—	—	○	0000 0000H

表 3-17 汎用周辺機能制御レジスタ (1/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C FFF0H	周辺バス・ウェイト・コントロール・レジスタ	NPBWAIT	R/W	—	—	—	○	0000 0000H
0F1C 0C02H	TMM0 プリスケラ・モード・レジスタ	TM0PRSM	R/W	—	○	—	—	00H
0F1C 0C07H	TMM0 プリスケラ・コンペア・レジスタ	TM0PRSCM	R/W	—	○	—	—	00H
0F1C 0C12H	TMM1 プリスケラ・モード・レジスタ	TM1PRSM	R/W	—	○	—	—	00H
0F1C 0C17H	TMM1 プリスケラ・コンペア・レジスタ	TM1PRSCM	R/W	—	○	—	—	00H
0F1C 0C22H	TMM2 プリスケラ・モード・レジスタ	TM2PRSM	R/W	—	○	—	—	00H
0F1C 0C27H	TMM2 プリスケラ・コンペア・レジスタ	TM2PRSCM	R/W	—	○	—	—	00H
0F1C 0C32H	TMM3 プリスケラ・モード・レジスタ	TM3PRSM	R/W	—	○	—	—	00H
0F1C 0C37H	TMM3 プリスケラ・コンペア・レジスタ	TM3PRSCM	R/W	—	○	—	—	00H
0F1C 0C42H	TMM4 プリスケラ・モード・レジスタ	TM4PRSM	R/W	—	○	—	—	00H
0F1C 0C47H	TMM4 プリスケラ・コンペア・レジスタ	TM4PRSCM	R/W	—	○	—	—	00H
0F1C 0C52H	TMM5 プリスケラ・モード・レジスタ	TM5PRSM	R/W	—	○	—	—	00H
0F1C 0C57H	TMM5 プリスケラ・コンペア・レジスタ	TM5PRSCM	R/W	—	○	—	—	00H

表 3-17 汎用周辺機能制御レジスタ (2/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0602H	TMM0 制御レジスタ 0	TM0CTL0	R/W	○	○	—	—	00H
0F1C 0610H	TMM0 コンペア・レジスタ 0	TM0CMP0	R/W	—	—	○	—	0000H
0F1C 0642H	TMM1 制御レジスタ 0	TM1CTL0	R/W	○	○	—	—	00H
0F1C 0650H	TMM1 コンペア・レジスタ 0	TM1CMP0	R/W	—	—	○	—	0000H
0F1C 0682H	TMM2 制御レジスタ 0	TM2CTL0	R/W	○	○	—	—	00H
0F1C 0690H	TMM2 コンペア・レジスタ 0	TM2CMP0	R/W	—	—	○	—	0000H
0F1C 06C2H	TMM3 制御レジスタ 0	TM3CTL0	R/W	○	○	—	—	00H
0F1C 06D0H	TMM3 コンペア・レジスタ 0	TM3CMP0	R/W	—	—	○	—	0000H
0F1C 0702H	TMM4 制御レジスタ 0	TM4CTL0	R/W	○	○	—	—	00H
0F1C 0710H	TMM4 コンペア・レジスタ 0	TM4CMP0	R/W	—	—	○	—	0000H
0F1C 0742H	TMM5 制御レジスタ 0	TM5CTL0	R/W	○	○	—	—	00H
0F1C 0750H	TMM5 コンペア・レジスタ 0	TM5CMP0	R/W	—	—	○	—	0000H
0F1C 0202H	TMT0 制御レジスタ 0	TT0CTL0	R/W	○	○	—	—	00H
0F1C 0207H	TMT0 制御レジスタ 1	TT0CTL1	R/W	○	○	—	—	00H
0F1C 020AH	TMT0 制御レジスタ 2	TT0CTL2	R/W	○	○	—	—	00H
0F1C 020FH	TMT0 I/O 制御レジスタ 0	TT0IOC0	R/W	○	○	—	—	00H
0F1C 0212H	TMT0 I/O 制御レジスタ 1	TT0IOC1	R/W	○	○	—	—	00H
0F1C 0217H	TMT0 I/O 制御レジスタ 2	TT0IOC2	R/W	○	○	—	—	00H
0F1C 021AH	TMT0 I/O 制御レジスタ 3	TT0IOC3	R/W	○	○	—	—	00H
0F1C 021FH	TMT0 オプション・レジスタ 0	TT0OPT0	R/W	○	○	—	—	00H
0F1C 0222H	TMT0 オプション・レジスタ 1	TT0OPT1	R/W	○	○	—	—	00H
0F1C 0228H	TMT0 キャプチャ・コンペア・レジスタ 0	TT0CCR0	R/W	—	—	○	—	0000H
0F1C 0230H	TMT0 キャプチャ・コンペア・レジスタ 1	TT0CCR1	R/W	—	—	○	—	0000H
0F1C 0238H	TMT0 カウンタ・リード・バッファ・レジスタ	TT0CNT	R	—	—	○	—	0000H
0F1C 0240H	TMT0 カウンタ・ライト・レジスタ	TT0TCW	R/W	—	—	○	—	0000H
0F1C 0282H	TMT1 制御レジスタ 0	TT1CTL0	R/W	○	○	—	—	00H
0F1C 0287H	TMT1 制御レジスタ 1	TT1CTL1	R/W	○	○	—	—	00H
0F1C 028AH	TMT1 制御レジスタ 2	TT1CTL2	R/W	○	○	—	—	00H
0F1C 028FH	TMT1 I/O 制御レジスタ 0	TT1IOC0	R/W	○	○	—	—	00H
0F1C 0292H	TMT1 I/O 制御レジスタ 1	TT1IOC1	R/W	○	○	—	—	00H
0F1C 0297H	TMT1 I/O 制御レジスタ 2	TT1IOC2	R/W	○	○	—	—	00H
0F1C 029AH	TMT1 I/O 制御レジスタ 3	TT1IOC3	R/W	○	○	—	—	00H
0F1C 029FH	TMT1 オプション・レジスタ 0	TT1OPT0	R/W	○	○	—	—	00H
0F1C 02A2H	TMT1 オプション・レジスタ 1	TT1OPT1	R/W	○	○	—	—	00H
0F1C 02A8H	TMT1 キャプチャ・コンペア・レジスタ 0	TT1CCR0	R/W	—	—	○	—	0000H
0F1C 02B0H	TMT1 キャプチャ・コンペア・レジスタ 1	TT1CCR1	R/W	—	—	○	—	0000H
0F1C 02B8H	TMT1 カウンタ・リード・バッファ・レジスタ	TT1CNT	R	—	—	○	—	0000H
0F1C 02C0H	TMT1 カウンタ・ライト・レジスタ	TT1TCW	R/W	—	—	○	—	0000H

★ 表 3-17 汎用周辺機能制御レジスタ (3/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0302H	TAA0 制御レジスタ 0	TAA0CTL0	R/W	○	○	—	—	00H
0F1C 0307H	TAA0 制御レジスタ 1	TAA0CTL1	R/W	○	○	—	—	00H
0F1C 030AH	TAA0 I/O 制御レジスタ 0	TAA0IOC0	R/W	○	○	—	—	00H
0F1C 030FH	TAA0 I/O 制御レジスタ 1	TAA0IOC1	R/W	○	○	—	—	00H
0F1C 0317H	TAA0 オプション・レジスタ 0	TAA0OPT0	R/W	○	○	—	—	00H
0F1C 0318H	TAA0 キャプチャ・コンペア・レジスタ 0	TAA0CCR0	R/W	—	—	○	—	0000H
0F1C 0320H	TAA0 キャプチャ・コンペア・レジスタ 1	TAA0CCR1	R/W	—	—	○	—	0000H
0F1C 0328H	TAA0 カウンタ・リード・バッファ・レジスタ	TAA0CNT	R	—	—	○	—	0000H
0F1C 0382H	TAA1 制御レジスタ 0	TAA1CTL0	R/W	○	○	—	—	00H
0F1C 0387H	TAA1 制御レジスタ 1	TAA1CTL1	R/W	○	○	—	—	00H
0F1C 038AH	TAA1 I/O 制御レジスタ 0	TAA1IOC0	R/W	○	○	—	—	00H
0F1C 038FH	TAA1 I/O 制御レジスタ 1	TAA1IOC1	R/W	○	○	—	—	00H
0F1C 0397H	TAA1 オプション・レジスタ 0	TAA1OPT0	R/W	○	○	—	—	00H
0F1C 0398H	TAA1 キャプチャ・コンペア・レジスタ 0	TAA1CCR0	R/W	—	—	○	—	0000H
0F1C 03A0H	TAA1 キャプチャ・コンペア・レジスタ 1	TAA1CCR1	R/W	—	—	○	—	0000H
0F1C 03A8H	TAA1 カウンタ・リード・バッファ・レジスタ	TAA1CNT	R	—	—	○	—	0000H
0F1C 0402H	TAA2 制御レジスタ 0	TAA2CTL0	R/W	○	○	—	—	00H
0F1C 0407H	TAA2 制御レジスタ 1	TAA2CTL1	R/W	○	○	—	—	00H
0F1C 040AH	TAA2 I/O 制御レジスタ 0	TAA2IOC0	R/W	○	○	—	—	00H
0F1C 040FH	TAA2 I/O 制御レジスタ 1	TAA2IOC1	R/W	○	○	—	—	00H
0F1C 0417H	TAA2 オプション・レジスタ 0	TAA2OPT0	R/W	○	○	—	—	00H
0F1C 0418H	TAA2 キャプチャ・コンペア・レジスタ 0	TAA2CCR0	R/W	—	—	○	—	0000H
0F1C 0420H	TAA2 キャプチャ・コンペア・レジスタ 1	TAA2CCR1	R/W	—	—	○	—	0000H
0F1C 0428H	TAA2 カウンタ・リード・バッファ・レジスタ	TAA2CNT	R	—	—	○	—	0000H

★ 表 3-17 汎用周辺機能制御レジスタ (4/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0482H	TAA3 制御レジスタ 0	TAA3CTL0	R/W	○	○	—	—	00H
0F1C 0487H	TAA3 制御レジスタ 1	TAA3CTL1	R/W	○	○	—	—	00H
0F1C 048AH	TAA3 I/O 制御レジスタ 0	TAA3IOC0	R/W	○	○	—	—	00H
0F1C 048FH	TAA3 I/O 制御レジスタ 1	TAA3IOC1	R/W	○	○	—	—	00H
0F1C 0497H	TAA3 オプション・レジスタ 0	TAA3OPT0	R/W	○	○	—	—	00H
0F1C 0498H	TAA3 キャプチャ・コンペア・レジスタ 0	TAA3CCR0	R/W	—	—	○	—	0000H
0F1C 04A0H	TAA3 キャプチャ・コンペア・レジスタ 1	TAA3CCR1	R/W	—	—	○	—	0000H
0F1C 04A8H	TAA3 カウンタ・リード・バッファ・レジスタ	TAA3CNT	R	—	—	○	—	0000H
0F1C 0502H	TAA4 制御レジスタ 0	TAA4CTL0	R/W	○	○	—	—	00H
0F1C 0507H	TAA4 制御レジスタ 1	TAA4CTL1	R/W	○	○	—	—	00H
0F1C 050AH	TAA4 I/O 制御レジスタ 0	TAA4IOC0	R/W	○	○	—	—	00H
0F1C 050FH	TAA4 I/O 制御レジスタ 1	TAA4IOC1	R/W	○	○	—	—	00H
0F1C 0517H	TAA4 オプション・レジスタ 0	TAA4OPT0	R/W	○	○	—	—	00H
0F1C 0518H	TAA4 キャプチャ・コンペア・レジスタ 0	TAA4CCR0	R/W	—	—	○	—	0000H
0F1C 0520H	TAA4 キャプチャ・コンペア・レジスタ 1	TAA4CCR1	R/W	—	—	○	—	0000H
0F1C 0528H	TAA4 カウンタ・リード・バッファ・レジスタ	TAA4CNT	R	—	—	○	—	0000H
0F1C 0582H	TAA5 制御レジスタ 0	TAA5CTL0	R/W	○	○	—	—	00H
0F1C 0587H	TAA5 制御レジスタ 1	TAA5CTL1	R/W	○	○	—	—	00H
0F1C 058AH	TAA5 I/O 制御レジスタ 0	TAA5IOC0	R/W	○	○	—	—	00H
0F1C 058FH	TAA5 I/O 制御レジスタ 1	TAA5IOC1	R/W	○	○	—	—	00H
0F1C 0597H	TAA5 オプション・レジスタ 0	TAA5OPT0	R/W	○	○	—	—	00H
0F1C 0598H	TAA5 キャプチャ・コンペア・レジスタ 0	TAA5CCR0	R/W	—	—	○	—	0000H
0F1C 05A0H	TAA5 キャプチャ・コンペア・レジスタ 1	TAA5CCR1	R/W	—	—	○	—	0000H
0F1C 05A8H	TAA5 カウンタ・リード・バッファ・レジスタ	TAA5CNT	R	—	—	○	—	0000H

表 3-17 汎用周辺機能制御レジスタ (5/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0802H	クロック同期式シリアル・インタフェース・モード・レジスタ 30	CSIM30	R/W	○	○	—	—	00H
0F1C 0807H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 30	CSIC30	R/W	○	○	—	—	07H
0F1C 0808H	受信データ・バッファ・レジスタ 30	SIRB30	R	—	—	○	—	0000H
0F1C 080AH	受信データ・バッファ・レジスタ 30L	SIRB30L	R	—	○	—	—	00H
0F1C 080FH	受信データ・バッファ・レジスタ 30H	SIRB30H	R	—	○	—	—	00H
0F1C 0818H	送信データ CSI バッファ・レジスタ 30	SFDB30	R/W	—	—	○	—	0000H
0F1C 081AH	送信データ CSI バッファ・レジスタ 30L	SFDB30L	R/W	—	○	—	—	00H
0F1C 081FH	送信データ CSI バッファ・レジスタ 30H	SFDB30H	R/W	—	○	—	—	00H
0F1C 0822H	CSIBUF 状態レジスタ 30	SFA30	R/W	○	○	—	—	20H
0F1C 0827H	転送データ長選択レジスタ 30	CSIL30	R/W	○	○	—	—	00H
0F1C 0832H	転送データ数指定レジスタ 30	SFN30	R/W	○	○	—	—	00H
0F1C 0882H	クロック同期式シリアル・インタフェース・モード・レジスタ 31	CSIM31	R/W	○	○	—	—	00H
0F1C 0887H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 31	CSIC31	R/W	○	○	—	—	07H
0F1C 0888H	受信データ・バッファ・レジスタ 31	SIRB31	R	—	—	○	—	0000H
0F1C 088AH	受信データ・バッファ・レジスタ 31L	SIRB31L	R	—	○	—	—	00H
0F1C 088FH	受信データ・バッファ・レジスタ 31H	SIRB31H	R	—	○	—	—	00H
0F1C 0898H	送信データ CSI バッファ・レジスタ 31	SFDB31	R/W	—	—	○	—	0000H
0F1C 089AH	送信データ CSI バッファ・レジスタ 31L	SFDB31L	R/W	—	○	—	—	00H
0F1C 089FH	送信データ CSI バッファ・レジスタ 31H	SFDB31H	R/W	—	○	—	—	00H
0F1C 08A2H	CSIBUF 状態レジスタ 31	SFA31	R/W	○	○	—	—	20H
0F1C 08A7H	転送データ長選択レジスタ 31	CSIL31	R/W	○	○	—	—	00H
0F1C 08B2H	転送データ数指定レジスタ 31	SFN31	R/W	○	○	—	—	00H
0F1C 0902H	クロック同期式シリアル・インタフェース・モード・レジスタ 32	CSIM32	R/W	○	○	—	—	00H
0F1C 0907H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 32	CSIC32	R/W	○	○	—	—	07H
0F1C 0908H	受信データ・バッファ・レジスタ 32	SIRB32	R	—	—	○	—	0000H
0F1C 090AH	受信データ・バッファ・レジスタ 32L	SIRB32L	R	—	○	—	—	00H
0F1C 090FH	受信データ・バッファ・レジスタ 32H	SIRB32H	R	—	○	—	—	00H
0F1C 0918H	送信データ CSI バッファ・レジスタ 32	SFDB32	R/W	—	—	○	—	0000H
0F1C 091AH	送信データ CSI バッファ・レジスタ 32L	SFDB32L	R/W	—	○	—	—	00H
0F1C 091FH	送信データ CSI バッファ・レジスタ 32H	SFDB32H	R/W	—	○	—	—	00H
0F1C 0922H	CSIBUF 状態レジスタ 32	SFA32	R/W	○	○	—	—	20H
0F1C 0927H	転送データ長選択レジスタ 32	CSIL32	R/W	○	○	—	—	00H
0F1C 0932H	転送データ数指定レジスタ 32	SFN32	R/W	○	○	—	—	00H

表 3-17 汎用周辺機能制御レジスタ (6/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0982H	クロック同期式シリアル・インタフェース・モード・レジスタ 33	CSIM33	R/W	○	○	—	—	00H
0F1C 0987H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 33	CSIC33	R/W	○	○	—	—	07H
0F1C 0988H	受信データ・バッファ・レジスタ 33	SIRB33	R	—	—	○	—	0000H
0F1C 098AH	受信データ・バッファ・レジスタ 33L	SIRB33L	R	—	○	—	—	00H
0F1C 098FH	受信データ・バッファ・レジスタ 33H	SIRB33H	R	—	○	—	—	00H
0F1C 0998H	送信データ CSI バッファ・レジスタ 33	SFDB33	R/W	—	—	○	—	0000H
0F1C 099AH	送信データ CSI バッファ・レジスタ 33L	SFDB33L	R/W	—	○	—	—	00H
0F1C 099FH	送信データ CSI バッファ・レジスタ 33H	SFDB33H	R/W	—	○	—	—	00H
0F1C 09A2H	CSIBUF 状態レジスタ 33	SFA33	R/W	○	○	—	—	20H
0F1C 09A7H	転送データ長選択レジスタ 33	CSIL33	R/W	○	○	—	—	00H
0F1C 09B2H	転送データ数指定レジスタ 33	SFN33	R/W	○	○	—	—	00H
0F1C 0A02H	クロック同期式シリアル・インタフェース・モード・レジスタ 34	CSIM34	R/W	○	○	—	—	00H
0F1C 0A07H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 34	CSIC34	R/W	○	○	—	—	07H
0F1C 0A08H	受信データ・バッファ・レジスタ 34	SIRB34	R	—	—	○	—	0000H
0F1C 0A0AH	受信データ・バッファ・レジスタ 34L	SIRB34L	R	—	○	—	—	00H
0F1C 0A0FH	受信データ・バッファ・レジスタ 34H	SIRB34H	R	—	○	—	—	00H
0F1C 0A18H	送信データ CSI バッファ・レジスタ 34	SFDB34	R/W	—	—	○	—	0000H
0F1C 0A1AH	送信データ CSI バッファ・レジスタ 34L	SFDB34L	R/W	—	○	—	—	00H
0F1C 0A1FH	送信データ CSI バッファ・レジスタ 34H	SFDB34H	R/W	—	○	—	—	00H
0F1C 0A22H	CSIBUF 状態レジスタ 34	SFA34	R/W	○	○	—	—	20H
0F1C 0A27H	転送データ長選択レジスタ 34	CSIL34	R/W	○	○	—	—	00H
0F1C 0A32H	転送データ数指定レジスタ 34	SFN34	R/W	○	○	—	—	00H
0F1C 0A82H	クロック同期式シリアル・インタフェース・モード・レジスタ 35	CSIM35	R/W	○	○	—	—	00H
0F1C 0A87H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 35	CSIC35	R/W	○	○	—	—	07H
0F1C 0A88H	受信データ・バッファ・レジスタ 35	SIRB35	R	—	—	○	—	0000H
0F1C 0A8AH	受信データ・バッファ・レジスタ 35L	SIRB35L	R	—	○	—	—	00H
0F1C 0A8FH	受信データ・バッファ・レジスタ 35H	SIRB35H	R	—	○	—	—	00H
0F1C 0A98H	送信データ CSI バッファ・レジスタ 35	SFDB35	R/W	—	—	○	—	0000H
0F1C 0A9AH	送信データ CSI バッファ・レジスタ 35L	SFDB35L	R/W	—	○	—	—	00H
0F1C 0A9FH	送信データ CSI バッファ・レジスタ 35H	SFDB35H	R/W	—	○	—	—	00H
0F1C 0AA2H	CSIBUF 状態レジスタ 35	SFA35	R/W	○	○	—	—	20H
0F1C 0AA7H	転送データ長選択レジスタ 35	CSIL35	R/W	○	○	—	—	00H
0F1C 0AB2H	転送データ数指定レジスタ 35	SFN35	R/W	○	○	—	—	00H

表 3-17 汎用周辺機能制御レジスタ (7/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0B02H	クロック同期式シリアル・インタフェース・モード・レジスタ 36	CSIM36	R/W	○	○	—	—	00H
0F1C 0B07H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 36	CSIC36	R/W	○	○	—	—	07H
0F1C 0B08H	受信データ・バッファ・レジスタ 36	SIRB36	R	—	—	○	—	0000H
0F1C 0B0AH	受信データ・バッファ・レジスタ 36L	SIRB36L	R	—	○	—	—	00H
0F1C 0B0FH	受信データ・バッファ・レジスタ 36H	SIRB36H	R	—	○	—	—	00H
0F1C 0B18H	送信データ CSI バッファ・レジスタ 36	SFDB36	R/W	—	—	○	—	0000H
0F1C 0B1AH	送信データ CSI バッファ・レジスタ 36L	SFDB36L	R/W	—	○	—	—	00H
0F1C 0B1FH	送信データ CSI バッファ・レジスタ 36H	SFDB36H	R/W	—	○	—	—	00H
0F1C 0B22H	CSIBUF 状態レジスタ 36	SFA36	R/W	○	○	—	—	20H
0F1C 0B27H	転送データ長選択レジスタ 36	CSIL36	R/W	○	○	—	—	00H
0F1C 0B32H	転送データ数指定レジスタ 36	SFN36	R/W	○	○	—	—	00H
0F1C 0B82H	クロック同期式シリアル・インタフェース・モード・レジスタ 37	CSIM37	R/W	○	○	—	—	00H
0F1C 0B87H	クロック同期式シリアル・インタフェース・クロック選択レジスタ 37	CSIC37	R/W	○	○	—	—	07H
0F1C 0B88H	受信データ・バッファ・レジスタ 37	SIRB37	R	—	—	○	—	0000H
0F1C 0B8AH	受信データ・バッファ・レジスタ 37L	SIRB37L	R	—	○	—	—	00H
0F1C 0B8FH	受信データ・バッファ・レジスタ 37H	SIRB37H	R	—	○	—	—	00H
0F1C 0B98H	送信データ CSI バッファ・レジスタ 37	SFDB37	R/W	—	—	○	—	0000H
0F1C 0B9AH	送信データ CSI バッファ・レジスタ 37L	SFDB37L	R/W	—	○	—	—	00H
0F1C 0B9FH	送信データ CSI バッファ・レジスタ 37H	SFDB37H	R/W	—	○	—	—	00H
0F1C 0BA2H	CSIBUF 状態レジスタ 37	SFA37	R/W	○	○	—	—	20H
0F1C 0BA7H	転送データ長選択レジスタ 37	CSIL37	R/W	○	○	—	—	00H
0F1C 0BB2H	転送データ数指定レジスタ 37	SFN37	R/W	○	○	—	—	00H

表 3-17 汎用周辺機能制御レジスタ (8/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 4800H	UART 受信バッファ・レジスタ 0	RBR0	R	—	—	—	○	0000 0000H
	UART 送信ホールディング・レジスタ 0	THR0	W	—	—	—	○	0000 0000H
	UART ディバイザ・ラッチ下位レジスタ 0	DLL0	R/W	—	—	—	○	0000 0000H
0F01 4804H	UART ディバイザ・ラッチ上位レジスタ 0	DLH0	R/W	—	—	—	○	0000 0000H
	UART 割り込み許可レジスタ 0	IER0	R/W	—			○	0000 0000H
0F01 4808H	UART 割り込み識別レジスタ 0	IIR0	R	—	—	—	○	0000 0001H
	UART FIFO 制御レジスタ 0	FCR0	W	—	—	—	○	0000 0000H
0F01 480CH	UART ライン制御レジスタ 0	LCR0	R/W	—	—	—	○	0000 0000H
0F01 4810H	UART モデム制御レジスタ 0	MCR0	R/W	—	—	—	○	0000 0000H
0F01 4814H	UART ライン・ステータス・レジスタ 0	LSR0	R	—	—	—	○	0000 0060H
0F01 4818H	UART モデム・ステータス・レジスタ 0	MSR0	R	—	—	—	○	0000 0000H
0F01 481CH	UART スクラッチ・パッド・レジスタ 0	SCR0	R/W	—	—	—	○	0000 0000H
0F01 487CH	UART ステータス・レジスタ 0	USR0	R	—	—	—	○	0000 0000H
0F01 4900H	UART DMA 転送要求制御レジスタ 0	FDR0	R/W	—	—	—	○	0000 0000H
0F01 4A00H	UART 受信バッファ・レジスタ 1	RBR1	R	—	—	—	○	0000 0000H
	UART 送信ホールディング・レジスタ 1	THR1	W	—	—	—	○	0000 0000H
	UART ディバイザ・ラッチ下位レジスタ 1	DLL1	R/W	—	—	—	○	0000 0000H
0F01 4A04H	UART ディバイザ・ラッチ上位レジスタ 1	DLH1	R/W	—	—	—	○	0000 0000H
	UART 割り込み許可レジスタ 1	IER1	R/W	—			○	0000 0000H
0F01 4A08H	UART 割り込み識別レジスタ 1	IIR1	R	—	—	—	○	0000 0001H
	UART FIFO 制御レジスタ 1	FCR1	W	—	—	—	○	0000 0000H
0F01 4A0CH	UART ライン制御レジスタ 1	LCR1	R/W	—	—	—	○	0000 0000H
0F01 4A10H	UART モデム制御レジスタ 1	MCR1	R/W	—	—	—	○	0000 0000H
0F01 4A14H	UART ライン・ステータス・レジスタ 1	LSR1	R	—	—	—	○	0000 0060H
0F01 4A18H	UART モデム・ステータス・レジスタ 1	MSR1	R	—	—	—	○	0000 0000H
0F01 4A1CH	UART スクラッチ・パッド・レジスタ 1	SCR1	R/W	—	—	—	○	0000 0000H
0F01 4A80H	UART ステータス・レジスタ 1	USR1	R	—	—	—	○	0000 0000H
0F01 4B00H	UART DMA 転送要求制御レジスタ 1	FDR1	R/W	—	—	—	○	0000 0000H

表 3-17 汎用周辺機能制御レジスタ (9/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16		
0F01 4C00H	UART 受信バッファ・レジスタ 2	RBR2	R	—	—	—	○	0000 0000H
	UART 送信ホールディング・レジスタ 2	THR2	W	—	—	—	○	0000 0000H
	UART ディバイザ・ラッチ下位レジスタ 2	DLL2	R/W	—	—	—	○	0000 0000H
0F01 4C04H	UART ディバイザ・ラッチ上位レジスタ 2	DLH2	R/W	—	—	—	○	0000 0000H
	UART 割り込み許可レジスタ 2	IER2	R/W	—			○	0000 0000H
0F01 4C08H	UART 割り込み識別レジスタ 2	IIR2	R	—	—	—	○	0000 0001H
	UART FIFO 制御レジスタ 2	FCR2	W	—	—	—	○	0000 0000H
0F01 4C0CH	UART ライン制御レジスタ 2	LCR2	R/W	—	—	—	○	0000 0000H
0F01 4C10H	UART モデム制御レジスタ 2	MCR2	R/W	—	—	—	○	0000 0000H
0F01 4C14H	UART ライン・ステータス・レジスタ 2	LSR2	R	—	—	—	○	0000 0060H
0F01 4C18H	UART モデム・ステータス・レジスタ 2	MSR2	R	—	—	—	○	0000 0000H
0F01 4C1CH	UART スクラッチ・パッド・レジスタ 2	SCR2	R/W	—	—	—	○	0000 0000H
0F01 4C7CH	UART ステータス・レジスタ 2	USR2	R	—	—	—	○	0000 0000H
0F01 4D00H	UART DMA 転送要求制御レジスタ 2	FDR2	R/W	—	—	—	○	0000 0000H
0F01 4E00H	UART 受信バッファ・レジスタ 3	RBR3	R	—	—	—	○	0000 0000H
	UART 送信ホールディング・レジスタ 3	THR3	W	—	—	—	○	0000 0000H
	UART ディバイザ・ラッチ下位レジスタ 3	DLL3	R/W	—	—	—	○	0000 0000H
0F01 4E04H	UART ディバイザ・ラッチ上位レジスタ 3	DLH3	R/W	—	—	—	○	0000 0000H
	UART 割り込み許可レジスタ 3	IER3	R/W	—			○	0000 0000H
0F01 4E08H	UART 割り込み識別レジスタ 3	IIR3	R	—	—	—	○	0000 0001H
	UART FIFO 制御レジスタ 3	FCR3	W	—	—	—	○	0000 0000H
0F01 4E0CH	UART ライン制御レジスタ 3	LCR3	R/W	—	—	—	○	0000 0000H
0F01 4E10H	UART モデム制御レジスタ 3	MCR3	R/W	—	—	—	○	0000 0000H
0F01 4E14H	UART ライン・ステータス・レジスタ 3	LSR3	R	—	—	—	○	0000 0060H
0F01 4E18H	UART モデム・ステータス・レジスタ 3	MSR3	R	—	—	—	○	0000 0000H
0F01 4E1CH	UART スクラッチ・パッド・レジスタ 3	SCR3	R/W	—	—	—	○	0000 0000H
0F01 4E80H	UART ステータス・レジスタ 3	USR3	R	—	—	—	○	0000 0000H
0F01 4F00H	UART DMA 転送要求制御レジスタ 3	FDR3	R/W	—	—	—	○	0000 0000H

表 3-17 汎用周辺機能制御レジスタ (10/10)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F1C 0002H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W	—	○	—	—	67H
0F1C 0007H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	—	1AH
0F1C 0102H	A/D コンバータ・モード・レジスタ 0	ADM0	R/W	○	○	—	—	00H
0F1C 0107H	A/D コンバータ・モード・レジスタ 1	ADM1	R/W	○	○	—	—	00H
0F1C 010AH	A/D コンバータ・モード・レジスタ 2	ADM2	R/W	○	○	—	—	00H
0F1C 0140H	A/D 変換結果レジスタ 0	ADCR0	R	—	—	○	—	不定
0F1C 0147H	A/D 変換結果レジスタ 0H	ADCR0H	R	—	○	—	—	不定
0F1C 0148H	A/D 変換結果レジスタ 1	ADCR1	R	—	—	○	—	不定
0F1C 014FH	A/D 変換結果レジスタ 1H	ADCR1H	R	—	○	—	—	不定
0F1C 0150H	A/D 変換結果レジスタ 2	ADCR2	R	—	—	○	—	不定
0F1C 0157H	A/D 変換結果レジスタ 2H	ADCR2H	R	—	○	—	—	不定
0F1C 0158H	A/D 変換結果レジスタ 3	ADCR3	R	—	—	○	—	不定
0F1C 015FH	A/D 変換結果レジスタ 3H	ADCR3H	R	—	○	—	—	不定
0F1C 0182H	ADC トリガ・レジスタ	ADTS	R/W	—	○	—	—	00H
0F1C 0FEAH	タイマ・クロック選択レジスタ	TCKSEL	R/W	—	○	—	—	00H

表 3-18 ポート制御レジスタ (1/3)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 8000H	ポート・レジスタ 0	P0	R/W	○	○	—	—	00H
0F01 8004H	ポート・レジスタ 1	P1	R/W	○	○	—	—	00H
0F01 8008H	ポート・レジスタ 2	P2	R/W	○	○	—	—	00H
0F01 800CH	ポート・レジスタ 3	P3	R/W	○	○	—	—	00H
0F01 8010H	ポート・レジスタ 4	P4	R/W	○	○	—	—	00H
0F01 8014H	ポート・レジスタ 5	P5	R/W	○	○	—	—	00H
0F01 8018H	ポート・レジスタ 6	P6	R/W	○	○	—	—	00H
0F01 801CH	ポート・レジスタ 7	P7	R/W	○	○	—	—	00H
0F01 8020H	ポート・レジスタ 8	P8	R/W	○	○	—	—	00H
0F01 8024H	ポート・レジスタ 9	P9	R/W	○	○	—	—	00H
0F01 8028H	ポート・レジスタ A	PA	R/W	○	○	—	—	00H
0F01 802CH	ポート・レジスタ B	PB	R/W	○	○	—	—	00H
0F01 8030H	ポート・レジスタ C	PC	R/W	○	○	—	—	00H
0F01 8034H	ポート・レジスタ D	PD	R/W	○	○	—	—	00H
0F01 8038H	ポート・レジスタ E	PE	R/W	○	○	—	—	00H
0F01 8100H	ポート 0 モード・レジスタ	PM0	R/W	○	○	—	—	FFH
0F01 8104H	ポート 1 モード・レジスタ	PM1	R/W	○	○	—	—	FFH
0F01 8108H	ポート 2 モード・レジスタ	PM2	R/W	○	○	—	—	FFH
0F01 810CH	ポート 3 モード・レジスタ	PM3	R/W	○	○	—	—	FFH
0F01 8110H	ポート 4 モード・レジスタ	PM4	R/W	○	○	—	—	FFH
0F01 8114H	ポート 5 モード・レジスタ	PM5	R/W	○	○	—	—	FFH
0F01 8118H	ポート 6 モード・レジスタ	PM6	R/W	○	○	—	—	FFH
0F01 811CH	ポート 7 モード・レジスタ	PM7	R/W	○	○	—	—	FFH
0F01 8120H	ポート 8 モード・レジスタ	PM8	R/W	○	○	—	—	FFH
0F01 8124H	ポート 9 モード・レジスタ	PM9	R/W	○	○	—	—	FFH
0F01 8128H	ポート A モード・レジスタ	PMA	R/W	○	○	—	—	FFH
0F01 812CH	ポート B モード・レジスタ	PMB	R/W	○	○	—	—	FFH
0F01 8130H	ポート C モード・レジスタ	PMC	R/W	○	○	—	—	FFH
0F01 8134H	ポート D モード・レジスタ	PMD	R/W	○	○	—	—	FFH
0F01 8138H	ポート E モード・レジスタ	PME	R/W	○	○	—	—	FFH

表 3-18 ポート制御レジスタ (2/3)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 8200H	ポート 0 モード・コントロール・レジスタ	PMCT0	R/W	○	○	—	—	00H
0F01 8204H	ポート 1 モード・コントロール・レジスタ	PMCT1	R/W	○	○	—	—	00H
0F01 8208H	ポート 2 モード・コントロール・レジスタ	PMCT2	R/W	○	○	—	—	00H
0F01 820CH	ポート 3 モード・コントロール・レジスタ	PMCT3	R/W	○	○	—	—	00H
0F01 8210H	ポート 4 モード・コントロール・レジスタ	PMCT4	R/W	○	○	—	—	00H
0F01 8214H	ポート 5 モード・コントロール・レジスタ	PMCT5	R/W	○	○	—	—	00H
0F01 8218H	ポート 6 モード・コントロール・レジスタ	PMCT6	R/W	○	○	—	—	注 1
0F01 821CH	ポート 7 モード・コントロール・レジスタ	PMCT7	R/W	○	○	—	—	注 1
0F01 8220H	ポート 8 モード・コントロール・レジスタ	PMCT8	R/W	○	○	—	—	注 2
0F01 8224H	ポート 9 モード・コントロール・レジスタ	PMCT9	R/W	○	○	—	—	注 1
0F01 8228H	ポート A モード・コントロール・レジスタ	PMCTA	R/W	○	○	—	—	注 1
0F01 822CH	ポート B モード・コントロール・レジスタ	PMCTB	R/W	○	○	—	—	00H
0F01 8230H	ポート C モード・コントロール・レジスタ	PMCTC	R/W	○	○	—	—	00H
0F01 8234H	ポート D モード・コントロール・レジスタ	PMCTD	R/W	○	○	—	—	00H
0F01 8238H	ポート E モード・コントロール・レジスタ	PMCTE	R/W	○	○	—	—	00H

注 1. BUS32EN0 端子による MEMC #1 のバス・サイズの設定により初期値が決定されます。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

2. BOOTSEL0, BOOTSEL1 端子により初期値が決定されます。

BOOTSEL1	BOOTSEL0	PMCT8 レジスタ	P84-P87 端子の動作
0	0	00H	入力ポート
0	1	00H	入力ポート
1	0	F0H	SMSCK, SMSO, SMSI, SMCSZ
1	1	設定禁止	

表 3-18 ポート制御レジスタ (3/3)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 8308H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W	○	○	—	—	00H
0F01 830CH	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W	○	○	—	—	00H
0F01 8314H	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W	○	○	—	—	00H
0F01 8324H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W	○	○	—	—	00H
0F01 8328H	ポートAファンクション・コントロール・レジスタ	PFCA	R/W	○	○	—	—	00H
0F01 832CH	ポートBファンクション・コントロール・レジスタ	PFCB	R/W	○	○	—	—	00H
0F01 8334H	ポートDファンクション・コントロール・レジスタ	PFCD	R/W	○	○	—	—	00H
0F01 8338H	ポートEファンクション・コントロール・レジスタ	PFCE	R/W	○	○	—	—	00H
0F01 8424H	ポート 9 ファンクション・コントロール拡張レジスタ	PFCEX9	R/W	○	○	—	—	00H
0F01 8428H	ポート A ファンクション・コントロール拡張レジスタ	PFCEXA	R/W	○	○	—	—	00H
0F01 8500H	ポート 0 端子入力レジスタ	PIN0	R	○	○	—	—	端子レベル による
0F01 8504H	ポート 1 端子入力レジスタ	PIN1	R	○	○	—	—	
0F01 8508H	ポート 2 端子入力レジスタ	PIN2	R	○	○	—	—	
0F01 850CH	ポート 3 端子入力レジスタ	PIN3	R	○	○	—	—	
0F01 8510H	ポート 4 端子入力レジスタ	PIN4	R	○	○	—	—	
0F01 8514H	ポート 5 端子入力レジスタ	PIN5	R	○	○	—	—	
0F01 8518H	ポート 6 端子入力レジスタ	PIN6	R	○	○	—	—	
0F01 851CH	ポート 7 端子入力レジスタ	PIN7	R	○	○	—	—	
0F01 8520H	ポート 8 端子入力レジスタ	PIN8	R	○	○	—	—	
0F01 8524H	ポート 9 端子入力レジスタ	PIN9	R	○	○	—	—	
0F01 8528H	ポート A 端子入力レジスタ	PINA	R	○	○	—	—	
0F01 852CH	ポート B 端子入力レジスタ	PINB	R	○	○	—	—	
0F01 8530H	ポート C 端子入力レジスタ	PINC	R	○	○	—	—	
0F01 8534H	ポート D 端子入力レジスタ	PIND	R	○	○	—	—	
0F01 8538H	ポート E 端子入力レジスタ	PINE	R	○	○	—	—	

表 3-19 その他の周辺 I/O レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 9100H	動作モード・モニタ・レジスタ	MDMNT	R	—	—	—	○	注
0F01 9104H	ライト・イネーブル切り替えレジスタ	WREN	R/W	—	—	—	○	0000 0000H
0F01 910CH	バッファ能力切り替えレジスタ	DRCTRL	R/W	—	—	—	○	608A 8495H
0F01 9110H	ノイズ・フィルタ設定レジスタ 0 (NMI)	NFC0	R/W	—	—	—	○	0000 0000H
0F01 9114H	ノイズ・フィルタ設定レジスタ 1 (INTPZ0-INTPZ15)	NFC1	R/W	—	—	—	○	0000 0000H
0F01 9118H	ノイズ・フィルタ設定レジスタ 2 (INTPZ16-INTPZ31)	NFC2	R/W	—	—	—	○	0000 0000H
0F01 911CH	ノイズ・フィルタ設定レジスタ 3 (INTPZ32-INTPZ47)	NFC3	R/W	—	—	—	○	0000 0000H
0F01 9120H	ノイズ・フィルタ設定レジスタ 4 (INTPZ48-INTPZ49)	NFC4	R/W	—	—	—	○	0000 0000H
0F01 9124H	ノイズ・フィルタ設定レジスタ 5 (TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51)	NFC5	R/W	—	—	—	○	0000 0000H
0F01 9128H	ノイズ・フィルタ設定レジスタ 6 (TENC00, TENC01, TECR0, TECR1, TRGT0, TRGT1, EVTT0, EVTT1, TIT00, TIT01, TIT10, TIT11)	NFC6	R/W	—	—	—	○	0000 0000H
0F01 912CH	ノイズ・フィルタ設定レジスタ 7 (ADTRG, RXD0-RXD3)	NFC7	R/W	—	—	—	○	0000 0000H
0F01 9130H	外部割り込みモード・レジスタ 0 (NMI)	INTM0	R/W	—	—	—	○	0000 0000H
0F01 9134H	外部割り込みモード・レジスタ 1 (INTPZ0-INTPZ15)	INTM1	R/W	—	—	—	○	0000 0000H
0F01 9138H	外部割り込みモード・レジスタ 2 (INTPZ16-INTPZ31)	INTM2	R/W	—	—	—	○	0000 0000H
0F01 913CH	外部割り込みモード・レジスタ 3 (INTPZ32-INTPZ47)	INTM3	R/W	—	—	—	○	0000 0000H
0F01 9140H	外部割り込みモード・レジスタ 4 (INTPZ48-INTPZ49)	INTM4	R/W	—	—	—	○	0000 0000H

注 動作モード設定端子は、端子設定により異なります。

表 3-20 特定レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1	8	16	32	
0F01 A014H	PLL ステータス・レジスタ	PLLS	R/W	—	—	—	○	0000 0025H
0F01 A080H	パワー・セーブ・コントロール・レジスタ	PSC	R/W	—	—	—	○	0000 0000H
0F01 A084H	スタンバイ解除要因マスク設定レジスタ	SRFMK	R/W	—	—	—	○	0000 0000H
0F01 A088H	STBC プロテクト・コマンド・レジスタ	STBPCMD	W	—	—	—	○	不定
0F01 A100H	PLL 動作モード設定レジスタ	EP3PLLCFG	R/W	—	—	—	○	0000 0000H
0F01 A104H	システム・クロック選択レジスタ	SYSCCLKSEL	R/W	—	—	—	○	0000 0000H
0F01 A114H	PLL プロテクト・コマンド・レジスタ	PLLPCMD	W	—	—	—	○	不定
FFFF 8000H	命令 RAM モード・レジスタ	IRAMM	R/W	—	—	—	○	0000 0000H

3.5 起動手順

EP3-AM1 は、外部端子 (BOOTSEL0, BOOTSEL1) でブートするターゲットを、MEMC #1/MEMC #2/シリアル・フラッシュ ROM の3種類から選択できます。また、レジスタ設定により、リセットおよび割り込みベクタを切り替えることも可能です。本章では、外部メモリ・ブートから、命令 RAM へのプログラム・コピー、そして命令 RAM への例外ベクタ配置までの一連の動作を説明します。

3.5.1 ブート選択

ブート領域を MEMC #1/MEMC #2/シリアル Flash ROM から選択します。

表 3-21 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート・モード	ブート領域の選択	ブート・アドレス
0	0	MEMC #1 ブート	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H
0	1	MEMC #2 ブート	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	設定禁止	—

3.5.2 命令 RAM キャッシュの初期化

EP3-AM1 は、大容量の命令 RAM を内蔵しています。主要なプログラムを命令 RAM で実行することで、EP3-AM1 の性能を最大限に発揮することができます。一方で、一般的に大容量の RAM はアクセス・タイムが低下する傾向にあります。このため、命令 RAM は 128 ビットのバス幅接続として、一度のフェッチで 4 ワードの命令を読み出すとともに、命令 RAM 専用のキャッシュ経路で接続されています。

EP3-AM1 の推奨利用方法では、外部 ROM や外部シリアル・フラッシュ ROM から起動し、それらに格納されているプログラムを命令 RAM にダウンロードし、プログラムの実行を命令 RAM に移すことになります。起動時は命令 RAM キャッシュ機能はオフの状態です。命令 RAM へのダウンロードが完了し、命令 RAM にジャンプする前に、命令 RAM キャッシュの許可と命令 RAM キャッシュのクリア操作が必要です。

3.5.3 初期化シーケンス

命令 RAM に例外ベクタを変更するまでの手順を以下に示します。

(1) MEMC #1 に接続された外部メモリからブートする場合

(a) リセット解除後, BOOTSEL0, BOOTSEL1 で設定したアドレスに分岐

MEMC #1 ブートの場合, 0800 0000H に分岐します。0800 0000H に配置されたプログラムにより, 最初に PLL 動作モード, 外部バス・アクセス性能に影響するメモリ・コントローラのレジスタの設定を行ってください。なお, パワーオン状態でのリセット入力も, 0800 0000H に分岐します。

(i) PLL 動作モードの設定

PLL 動作を行う場合は, 11.6 PLL 動作への移行方法に従って, PLL 動作モードに設定してください。

(ii) スタティック・メモリ制御レジスタ (SMC0-SMC3)

STCSZ0-STCSZ3 領域 (外部 SRAM 領域 0 - 外部 SRAM 領域 3) のウエイト設定

(iii) ページ ROM 制御レジスタ (PRC)

STCSZ0 領域 (外部のメモリ・タイプ設定, ページ・サイズ設定)

SDRAM を搭載している場合, 必要に応じてダイナミック・メモリ制御レジスタ (DMC), ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC) などの設定を行ってください。

(iv) MEMC #2 スタティック・メモリ制御レジスタ (SPSMC0-SPSMC3)

SCSZ0-SCSZ3 領域 (MEMC #2 SRAM 領域 0 - MEMC #2 SRAM 領域 3) のウエイト設定

(b) 内蔵周辺機能アクセスのウエイト設定

★

周辺機能にアクセスする前に, 周辺マクロ・クロック (PCLK) 周波数に応じて, 周辺バス・ウエイト・コントロール・レジスタ (NPBWAIT) の設定を行ってください。

(c) 命令 RAM をライト・モードに設定

IRAMM レジスタで命令 RAM をライト・モードに設定し, IRAMM レジスタを読み出し, ライト・モードに切り替わったことを確認してください。

(d) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理, または DMA 機能により, 内蔵命令 RAM にプログラム・コードを転送してください。命令 RAM への書き込みは, 専用書き込み領域 (0F10 0000H-0F17 FFFFH) から行ってください。

(e) 割り込みマスク設定

ベクタ・アドレスを切り替えるため, 割り込み動作をすべてマスクします。また, ソフトウェア例外, 例外トラップも実行しないでください。

(f) ベクタ・アドレスの変更

命令 RAM にベクタ・アドレスを配置するために、ベクタ・アドレスの変更を行ってください。
ベクタ・アドレスの変更は、以下の手順で行います。

- (i) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW_BASE) の設定
- (ii) 例外ハンドラ・アドレス切り替え制御レジスタ (SW_CTL) の設定
- (iii) 例外ハンドラ・ベース・アドレス設定レジスタ (EH_BASE) の確認

(g) 命令 RAM 書き込み領域にダミー・リード

命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) の任意のアドレスを 32 ビット単位でダミー・リードしてください。

注意 IRAMM レジスタの切り替えは、命令 RAM への最後の書き込み完了後に行う必要があります。このため、本来はライト・オンリーの命令 RAM 書き込み領域にダミー・リードを行います。なお、32 ビット単位以外ではリードしないでください。

(h) 命令 RAM キャッシュの許可とクリア

FCCTL0 レジスタに 40B5H を設定して命令 RAM キャッシュを許可し、FCCTL1 レジスタに 0001H を設定して命令 RAM キャッシュをクリアしてください。

(i) メイン・ルーチンへの分岐（通常動作）

IRAMM レジスタで命令 RAM をリード・モードに設定し、IRAMM レジスタを読み出し、リード・モードに切り替わったことを確認してから命令 RAM からのフェッチを開始してください。

(2) MEMC #2 に接続された外部メモリからブートする場合

(a) リセット解除後、BOOTSEL0, BOOTSEL1 で設定したアドレスに分岐

MEMC #2 ブートの場合、0B00 0000H に分岐します。0B00 0000H に配置されたプログラムにより、最初に PLL 動作モード、外部バス・アクセス性能に影響するメモリ・コントローラのレジスタの設定を行ってください。なお、パワーオン状態でのリセット入力も、0B00 0000H に分岐します。

(i) PLL 動作モードの設定

PLL 動作を行う場合は、11.6 PLL 動作への移行方法に従って、PLL 動作モードに設定してください。

(ii) MEMC #2 接続メモリのレジスタ設定

必要に応じて、スタティック・メモリ制御レジスタ (SPSMC0-SPSMC3)、ページ ROM 制御レジスタ (SPPRC) を設定してください。

(b) MEMC #1 のレジスタ設定

必要に応じて、スタティック・メモリ制御レジスタ (SMC0-SMC3)、ページ ROM 制御レジスタ (PRC) を設定してください。SDRAM を搭載している場合、必要に応じてダイナミック・メモリ制御レジスタ (DMC)、ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC) などの設定を行ってください。

(c) 内蔵周辺機能アクセスのウェイト設定

周辺機能にアクセスする前に、周辺マクロ・クロック (PCLK) 周波数に応じて、周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT) の設定を行ってください。

★

(d) 命令 RAM をライト・モードに設定

IRAMM レジスタで命令 RAM をライト・モードに設定し、IRAMM レジスタを読み出し、ライト・モードに切り替わったことを確認してください。

(e) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理、または DMA 機能により、内蔵命令 RAM にプログラム・コードを転送してください。命令 RAM への書き込みは、専用書き込み領域 (0F10 0000H-0F17 FFFFH) から行ってください。

(f) 割り込みマスク設定

ベクタ・アドレスを切り替えるため、割り込み動作をすべてマスクします。また、ソフトウェア例外、例外トラップも実行しないでください。

(g) ベクタ・アドレスの変更

命令 RAM にベクタ・アドレスを配置するために、ベクタ・アドレスの変更を行ってください。
ベクタ・アドレスの変更は、以下の手順で行います。

- (i) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW_BASE) の設定
- (ii) 例外ハンドラ・アドレス切り替え制御レジスタ (SW_CTL) の設定
- (iii) 例外ハンドラ・ベース・アドレス設定レジスタ (EH_BASE) の確認

(h) 命令 RAM 書き込み領域にダミー・リード

命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) の任意のアドレスを 32 ビット単位でダミー・リードしてください。

注意 IRAMM レジスタの切り替えは、命令 RAM への最後の書き込み完了後に行う必要があります。このため、本来はライト・オンリーの命令 RAM 書き込み領域にダミー・リードを行います。なお、32 ビット単位以外ではリードしないでください。

(i) 命令 RAM キャッシュの許可とクリア

FCCTL0 レジスタに 40B5H を設定して命令 RAM キャッシュを許可し、FCCTL1 レジスタに 0001H を設定して命令 RAM キャッシュをクリアしてください。

(j) メイン・ルーチンへの分岐（通常動作）

IRAMM レジスタで命令 RAM をリード・モードに設定し、IRAMM レジスタを読み出し、リード・モードに切り替わったことを確認してから命令 RAM からのフェッチを開始してください。

(3) 外部シリアル・フラッシュ ROM からブートする場合

シリアル・フラッシュ ROM からのリード時は、CPU や内部のバス・マスタからは、メモリ・マップト・メモリとして見えます。

ライトに関しては、各シリアル・フラッシュ ROM のコマンド・シーケンスに従った操作が必要です。

(a) リセット解除後、BOOTSEL0, BOOTSEL1 で設定したアドレスに分岐

シリアル・フラッシュ ROM ブートの場合、0E00 0000H に分岐します。0E00 0000H に配置されたプログラムにより、最初に PLL 動作モード、外部バス・アクセス性能に影響するメモリ・コントローラのレジスタの設定を行ってください。なお、パワーオン状態でのリセット入力も、0E00 0000H に分岐します。

(i) PLL 動作モードの設定

PLL 動作を行う場合は、11.6 PLL 動作への移行方法に従って、PLL 動作モードに設定してください。

(b) MEMC #1, MEMC #2 のレジスタ設定

必要に応じて、スタティック・メモリ制御レジスタ (SMC0-SMC3, SPSMC0-SPSMC3) , ページ ROM 制御レジスタ (PRC, SPPRC) を設定してください。SDRAM を搭載している場合、必要に応じてダイナミック・メモリ制御レジスタ (DMC) , ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC) などの設定を行ってください。

(c) 内蔵周辺機能アクセスのウェイト設定

周辺機能にアクセスする前に、周辺マクロ・クロック (PCLK) 周波数に応じて、周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT) の設定を行ってください。

(d) 命令 RAM をライト・モードに設定

IRAMM レジスタで命令 RAM をライト・モードに設定し、IRAMM レジスタを読み出し、ライト・モードに切り替わったことを確認してください。

(e) 内蔵命令 RAM にプログラム・コードを転送

プログラム処理、または DMA 機能により、内蔵命令 RAM にプログラム・コードを転送してください。命令 RAM への書き込みは、専用書き込み領域 (0F10 0000H-0F17 FFFFH) から行ってください。

(f) 割り込みマスク設定

ベクタ・アドレスを切り替えるため、割り込み動作をすべてマスクします。また、ソフトウェア例外、例外トラップも実行しないでください。

★

(g) ベクタ・アドレスの変更

命令 RAM にベクタ・アドレスを配置するために、ベクタ・アドレスの変更を行ってください。
ベクタ・アドレスの変更は、以下の手順で行います。

- (i) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW_BASE) の設定
- (ii) 例外ハンドラ・アドレス切り替え制御レジスタ (SW_CTL) の設定
- (iii) 例外ハンドラ・ベース・アドレス設定レジスタ (EH_BASE) の確認

(h) 命令 RAM 書き込み領域にダミー・リード

命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) の任意のアドレスを 32 ビット単位でダミー・リードしてください。

注意 IRAMM レジスタの切り替えは、命令 RAM への最後の書き込み完了後に行う必要があります。このため、本来はライト・オンリーの命令 RAM 書き込み領域にダミー・リードを行います。なお、32 ビット単位以外ではリードしないでください。

(i) 命令 RAM キャッシュの許可とクリア

FCCTL0 レジスタに 40B5H を設定して命令 RAM キャッシュを許可し、FCCTL1 レジスタに 0001H を設定して命令 RAM キャッシュをクリアしてください。

(j) メイン・ルーチンへの分岐（通常動作）

IRAMM レジスタで命令 RAM をリード・モードに設定し、IRAMM レジスタを読み出し、リード・モードに切り替わったことを確認してから命令 RAM からのフェッチを開始してください。

3.5.4 A20-A26 の設定

プライマリ・メモリ・コントローラ (MEMC #1) の A20-A26 は、ポート P60-P66 と兼用しており、リセット解除直後は入力ポートとして動作します。

A20-A26 を使用するシステムの場合には、必要に応じてポート 6 モード・コントロール・レジスタ (PMCT6) を設定してください。

★ 3.5.5 周辺バス・ウェイト・コントロール・レジスタ (NPBWAIT)

内蔵周辺機能へのアクセスを行う場合、内部システム・バス動作周波数に応じて、内部周辺バスのウェイト数を設定する必要があります。

タイマ機能 (TMM, TAA, TMT, WDT) , クロック同期式シリアル・インタフェース, A/D コンバータが対象となります。使用する周辺マクロ・クロック (PCLK) に応じて、NPBWAIT レジスタには次に示す値を設定してください。

32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NPBWAIT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F1C FFF0H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	HD WL1	HD WL0	0	0	VS WL1	VS WL0	0	0	SU WL1	SU WL0	0000 0000H
R/W	0	0	0	0	0	0	R/W	R/W	0	0	R/W	R/W	0	0	R/W	R/W	

ビット位置	ビット名	意 味
9, 8	HDWL1, HDWL0	周辺マクロ・クロック (PCLK) に応じて、下記の値を NPBWAIT レジスタに設定してください。
5, 4	VSWL1, VSWL0	
1, 0	SUWL1, SUWL0	

周辺マクロ・クロック (PCLK)	NPBWAIT の設定値
PCLK ≤ 33.00MHz	0000 0000H
33.00MHz < PCLK ≤ 50.00MHz	0000 0010H

備考 タイマのカウント値を示すレジスタへのアクセスにおいて、フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺 I/O レジスタへのアクセスに時間がかかる場合があります。

3.5.6 ベクタ・アドレス関連レジスタ

ベクタ・アドレスの変更は、以下の手順で行います。

(1) 例外ハンドラ・アドレス切り替えベース・アドレス設定レジスタ (SW_BASE) の設定

例外ハンドラ・アドレス切り替え機能の例外ハンドラ・アドレスのベース・アドレスを指定するレジスタです。このレジスタに、0000 0000H を書き込みます。なお、ビット 12-0 には、必ず 0 を設定してください。



(2) 例外ハンドラ・アドレス切り替え制御レジスタ (SW CTL) の設定

例外ハンドラ・アドレス切り替え機能の制御レジスタです。

このレジスタに、0000 0001H を書き込みます。なお、ビット 31-1 には、必ず 0 を設定してください。



(3) 例外ハンドラ・ベース・アドレス設定レジスタ (EH_BASE) の確認

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。このレジスタが、0000 0000H になっていることを確認します。
このレジスタは、確認用レジスタのため、必ずリードする必要はありません。

31292813120

EH_BASE

000

EH_BASE28-EH_BASE13

0000000000000000

初期値

注

ビット位置	ビット名	意 味
28-13	EH_BASE28-EH_BASE13	例外ハンドラ・ルーチンのアドレスは、このレジスタで指定されたベース・アドレスに各例外のオフセット・アドレスを加えたアドレスに変更されます。 EH_BASE レジスタは、端子機能によってリセット時に初期値が設定されます。また LDSR 命令による直接書き換えは行えません。SW_CTL.SET ビットをセット (1) することによって、SW_BASE の内容が転送されます。

注 BOOTSEL0, BOOTSEL1 端子の設定により初期値は異なります。

- 00 : 0800 0000H (MEMC #1 ブート)
- 01 : 0B00 0000H (MEMC #2 ブート)
- 10 : 0E00 0000H (Serial Flash ROM ブート)
- 11 : 設定禁止

3.5.7 命令 RAM モード・レジスタ (IRAMM)

命令 RAM に対するアクセス・モードを指定します。
32 ビット単位でリード／ライト可能です。

- 注意 1. 内部バスの各種レーテンシや CPU のパイプライン動作により、IRAMM レジスタによる命令 RAM のリード・モード／ライト・モードの切り替えが、命令 RAM へのアクセス最中に行われた場合、不正な動作となります。これを防ぐために、切り替えは、命令 RAM 以外で実行するプログラムで行い、切り替える前に、命令 RAM 書き込み領域の任意のアドレスにダミー・リードを行ってください。
2. IRAMM レジスタで、命令 RAM のリード・モード／ライト・モードを切り替えた場合は、IRAMM レジスタを読み出し、設定したモードに切り替わったことを確認してから、命令 RAM へのアクセスを行ってください。
3. IRAMM レジスタは、命令 RAM でプログラムを実行している場合は、操作禁止です。
4. 命令 RAM は、0000 0000H から配置されていますが、書き込みは 0F10 0000H 以降に行ってください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IRAMM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFF_8000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W
	ビット位置	ビット名	意 味														
	0	IRAMMW	命令 RAM の動作モード														
			0：リード・モード														
			1：ライト・モード														

3.5.8 命令 RAM キャッシュ関連レジスタ

(1) 命令 RAM キャッシュ動作設定レジスタ (FCCTL0)

命令 RAM キャッシュの動作を許可するレジスタです。リセット後はキャッシュは許可されていません。

ビット 0 の ICHEN をセット (1) することで、キャッシュを許可してください。ビット 0 以外は、初期値の 40B4H から変更しないでください。

16 ビット単位でリード／ライト可能です。

注意 FCCTL0 レジスタは、ビット 0 の ICHEN 以外は変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FCCTL0	0	1	0	0	0	0	0	0	1	0	1	1	0	1	0	ICHEN	FFFF 6480H	40B4H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W		
ビット位置	ビット名	意 味																
15-1	—	0100 0000 1011 010b から変更しないでください。																
0	ICHEN	命令 RAM キャッシュの動作許可を行います。 0：命令 RAM キャッシュの動作禁止（初期値） 1：命令 RAM キャッシュの動作許可																

(2) 命令 RAM キャッシュ・トリガ機能レジスタ (FCCTL1)

命令 RAM キャッシュをクリアするレジスタです。FCCTL0 レジスタで、命令 RAM キャッシュを許可したあと、ビット 0 の CHCLR ビットをセット (1) して、命令 RAM キャッシュをクリアしてください。

16 ビット単位でリード／ライト可能です。

注意 FCCTL1 レジスタは、ビット 0 の CHCLR 以外は変更しないでください。

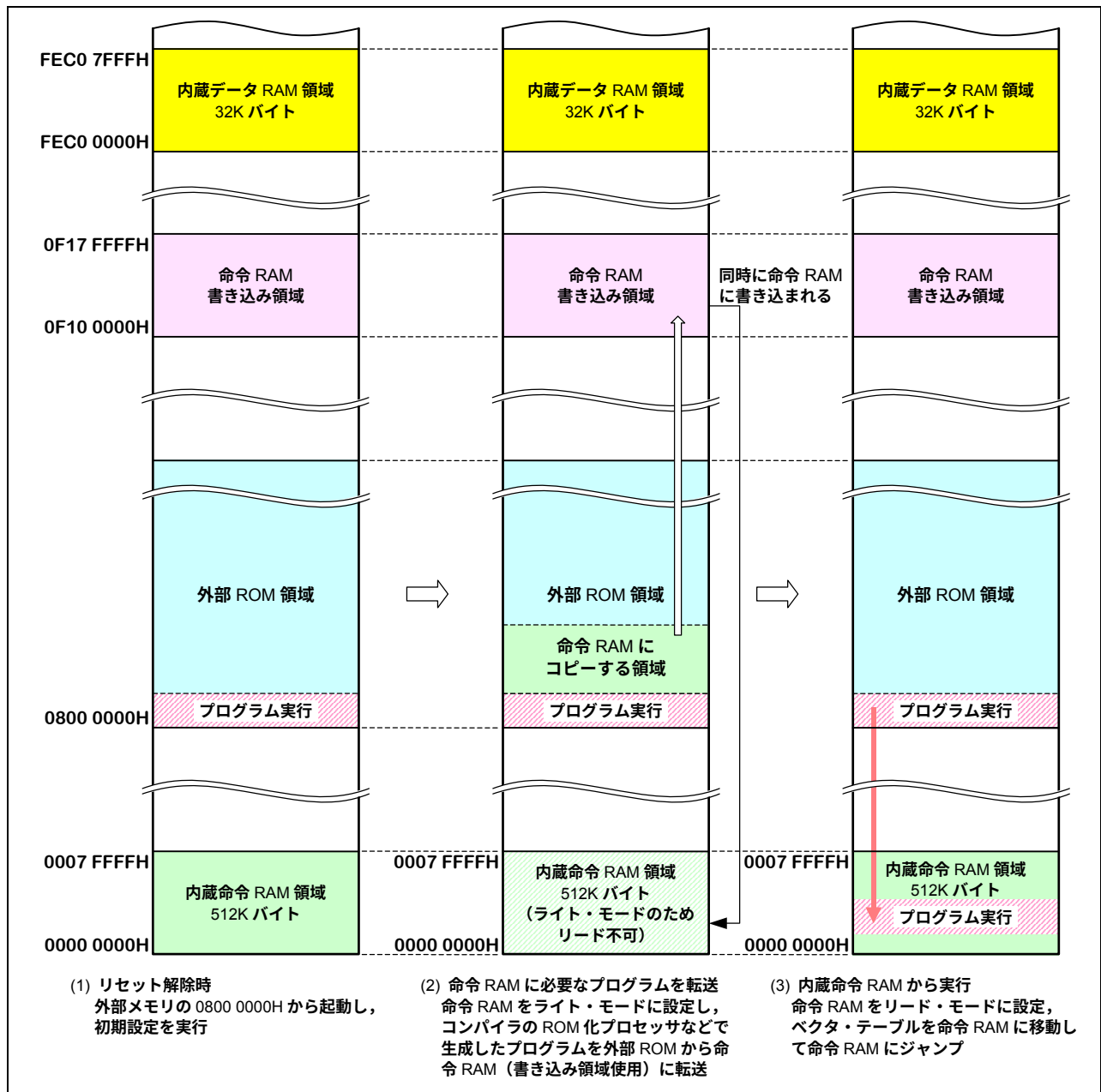
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FCCTL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CHCLR	FFFF 6482H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W		
ビット位置	ビット名	意 味																
0	CHCLR	命令 RAM キャッシュをクリアします。リード値は常に 0 です。 0：何もしません。 1：命令 RAM キャッシュをクリアします。																

3.5.9 外部メモリ・ブートの動作例

最も代表的な、外部メモリ・ブートの命令 RAM へのプログラム転送の動作例を以下に示します。

命令 RAM に転送するプログラムの生成には、コンパイラの ROM 化プロセッサ等を利用することを推奨します。詳しくはコンパイラのマニュアルを参照してください。

図 3-8 外部 ROM から命令 RAM への転送



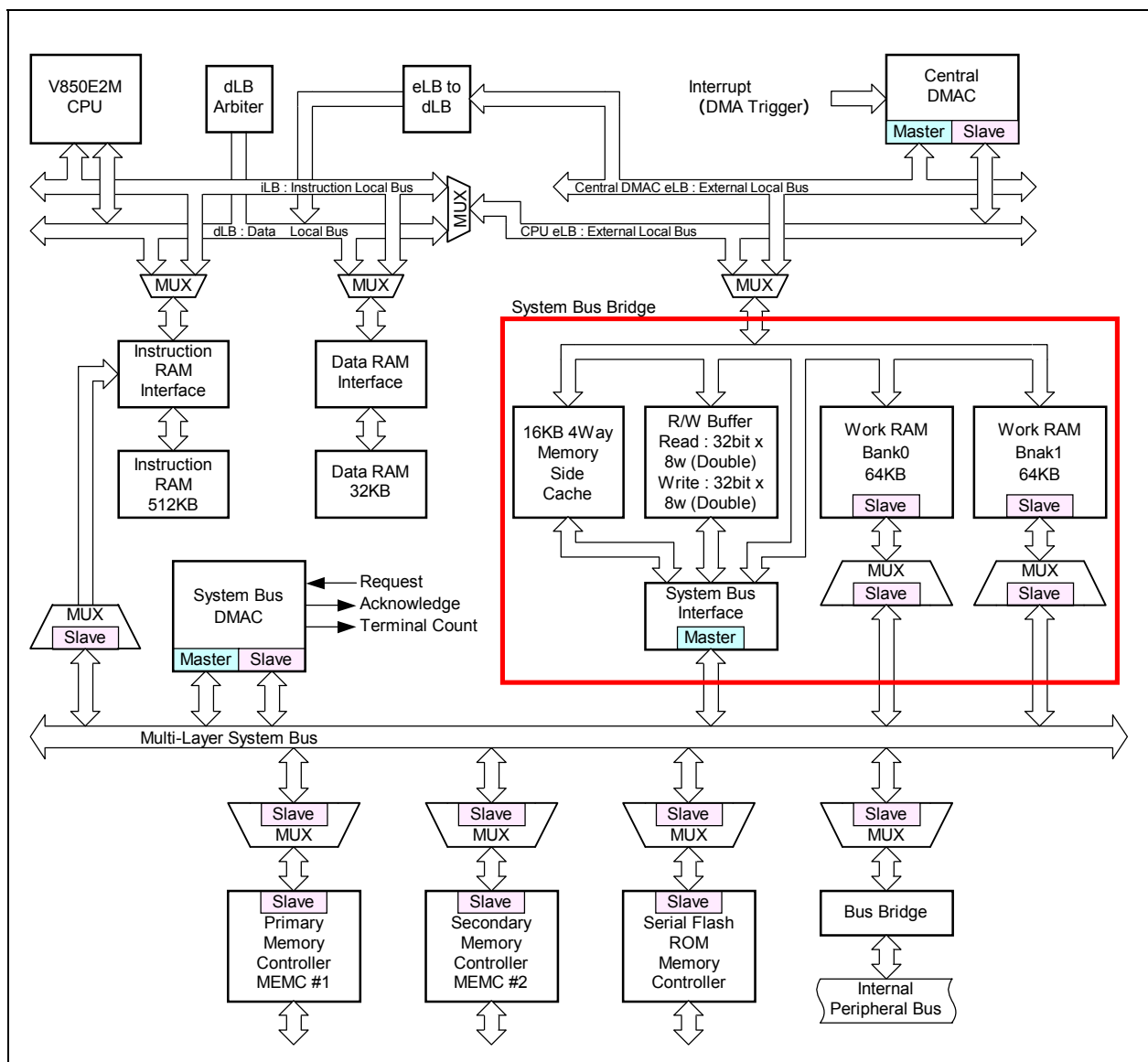
注意 命令 RAM のリード・モード／ライト・モードの切り替えは、3.5.7 命令 RAM モード・レジスタ (IRAMM) の注意事項を守ってください。

第4章 システム・バス・ブリッジとキャッシュ機能

EP3-AM1 は、CPU 周辺に CPU 動作クロック (CPCLK) と同じクロックを利用する高速バス (iLB, dLB, eLB) と、内蔵周辺機能や、メモリ・コントローラを接続するシステム・バスの 2 つのバス・システムを採用しています。システム・バスは CPCLK を分周した HCLK で動作します。

CPU 周辺の高速バスは eLB というバスに変換され、システム・バス・ブリッジを介してシステム・バスと接続されています。CPU やセントラル DMAC から外部メモリや、内蔵周辺機能にアクセスする場合は、システム・バス・ブリッジを介してアクセスされます。このシステム・バス・ブリッジは通常のリード／ライトも可能ですが、スループット向上を図るために、バッファ機能、キャッシュ機能を利用できます。

図 4-1 内部バス構造とシステム・バス・ブリッジ



4.1 特 徴

- CPU 動作クロック (CPCLK) と、システム・バス・クロック (HCLK) の分周比を端子設定可能
- 3 種類のアクセス機能
 - ・ダイレクト・アクセス機能
 - ・バッファ機能
 - ・メモリ・サイド・キャッシュ機能
- バッファ機能
 - ★ ・リード・バッファ機能：8 ワード×2 本
 - ★ ・ライト・バッファ機能：8 ワード×2 本
- キャッシュ機能
 - ・16K バイト 4 ウエイ・セット・アソシアティブ・メモリ・サイド・キャッシュ
 - ・擬似 LRU アルゴリズム（最も長くアクセスされなかったブロックが置き換え対象となります）
 - ・シーケンシャル／クリティカル・ファースト・アクセス対応
 - ・フラッシュ機能（メモリ・サイド・キャッシュの内容をクリアします）

4.2 CPCLK と HCLK の分周比設定

CPU の動作クロック (CPCLK) に対する内部システム・バス・クロック (HCLK, PCLK) の分周比設定は、CLKDV2-CLKDV0 端子で設定します。動作中の変更はできません。また CLKDV0 ビットでは、周辺マクロ・クロック (PCLK) の分周比が設定されます。

なお、MEMC #1 の BUSCLK, MEMC #2 の SBUSCLK は、HCLK と同一周波数に設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

備考 1. CPCLK : CPU 動作クロック

2. BUSCLK, SBUSCLK も HCLK と同一周波数になります。

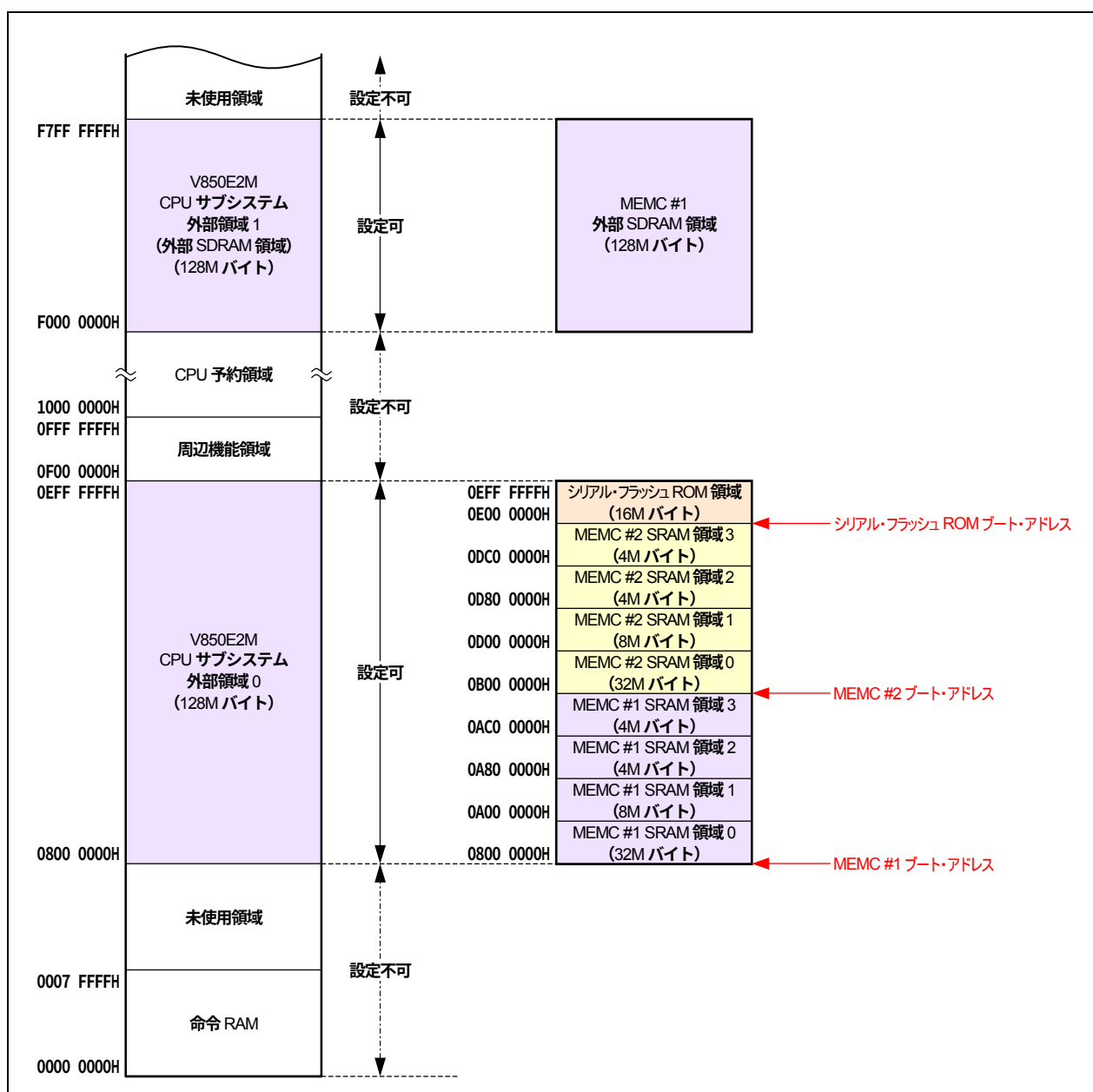
4.3 領域設定

4.3.1 キャッシュ領域／バッファ領域を設定できる空間

システム・バス・ブリッジは、4 セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4 ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード（ダイレクト・モード）でアクセスされます。

図 4-2 キャッシュ領域／バッファ領域を設定できる空間



4.3.2 キャッシュ領域／バッファ領域の設定レジスタ

キャッシュ動作／バッファ動作は、システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn) で設定します。領域は、システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn) で開始アドレスを、システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn) で空間サイズをバイト数で設定します。

表 4-1 領域設定レジスタ

機 能	対応レジスタ
領域の動作モード設定	システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFG0-ETSRCFG3)
領域の開始アドレス	システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRS0-ETSRADRS3)
領域の空間サイズ	システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASK0-ETSRMASK3)

- 注意 1. ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード（ダイレクト・モード）でアクセスされます。
2. ETSRMASKn レジスタに設定する空間サイズは、バイト数－1000H です。
3. ワーク RAM は、キャッシュ動作やバッファ動作を設定しないでください。
4. 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH 以外の領域には、キャッシュ動作、バッファ動作を指定しないでください。

備考 n = 0-3

4.3.3 キャッシュ領域／バッファ領域設定の優先度

ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで設定した空間が重なった場合は、以下の優先度で、優先度の高い領域が設定有効となります。

表 4-2 キャッシュ領域／バッファ領域設定の優先度

優先度	領 域
0（高優先）	キャッシュ領域
1	バッファ領域
2（低優先）	通常アクセス（ダイレクト・アクセス）領域

4.3.4 アドレス・レジスタとマスク・レジスタの動作

アドレス・レジスタ (ETSRADRSn) には、キャッシュ領域、バッファ領域を設定する領域の先頭アドレスを設定します。

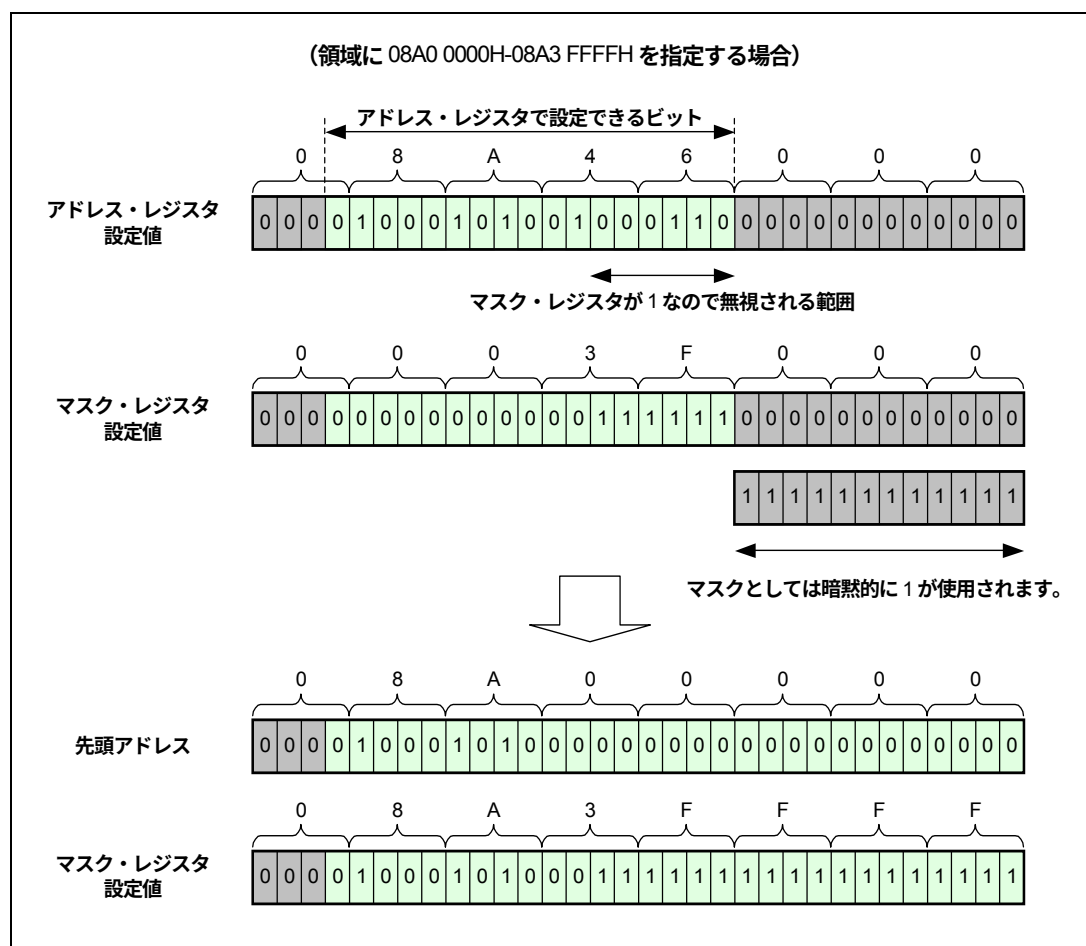
また、マスク・レジスタ (ETSRMASKn) には、その領域の空間サイズをバイト数-1000H で設定します。開始アドレス、空間サイズとも、設定単位は 4K バイトです。

アドレス・レジスタは、ベース・アドレスとして管理されています。これに対して、マスク・レジスタは、アドレスの変化を許容する範囲で管理しています。このとき、マスク・レジスタに設定可能な値は、下位から 1b が連続した値のみです (ビット 12 以上)。

これにより、領域の先頭アドレスは、アドレス・レジスタの設定値、終端アドレスは、アドレス・レジスタの設定値+マスク・レジスタの設定値となります。

- 注意 1.** マスク・レジスタに 1b を設定している範囲に、アドレス・レジスタに 1b が設定されていても 0 として見なされます。
- 2.** マスク・レジスタに下位から 1b が連続していない値を設定した場合は、動作を保証しません。

図 4-3 アドレス・レジスタとマスク・レジスタの動作



4.4 制御レジスタ

4.4.1 システム・バス・ブリッジ設定レジスタ (ETSCFG)

システム・バス・ブリッジのキャッシュ機能，バッファ機能の動作モードを設定するレジスタです。
16 ビット単位でリード／ライト可能です。

注意 ビット 11, 9, 8, 7 以外のビットには，必ず 0 を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ETSCFG	0	0	0	0	BFM	0	BPM1	BPM0	CFM	0	0	0	0	0	0	0	FFFF 7100H	0980H
R/W	0	0	0	0	R/W	0	R/W	R/W	R/W	0	0	0	0	0	0	0		

ビット位置	ビット名	意 味															
11	BFM	バッファ機能のフィル動作を設定します。 0：シーケンシャル 1：クリティカル・ワード・ファースト（初期値）															
9, 8	BPM1, BPM0	バッファ機能のプリフェッチ動作を設定します。 <table><tr><th>BPM1</th><th>BPM0</th><th>バッファ機能のプリフェッチ動作</th></tr><tr><td>0</td><td>0</td><td>プリフェッチなし</td></tr><tr><td>0</td><td>1</td><td>プリフェッチあり／アドレス・インクリメント（初期値）</td></tr><tr><td>1</td><td>0</td><td>プリフェッチあり／アドレス・デクリメント</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	BPM1	BPM0	バッファ機能のプリフェッチ動作	0	0	プリフェッチなし	0	1	プリフェッチあり／アドレス・インクリメント（初期値）	1	0	プリフェッチあり／アドレス・デクリメント	1	1	設定禁止
BPM1	BPM0	バッファ機能のプリフェッチ動作															
0	0	プリフェッチなし															
0	1	プリフェッチあり／アドレス・インクリメント（初期値）															
1	0	プリフェッチあり／アドレス・デクリメント															
1	1	設定禁止															
7	CFM	キャッシュ機能のフィル動作を設定します。 0：シーケンシャル 1：クリティカル・ワード・ファースト（初期値）															

4.4.2 システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD)

システム・バス・ブリッジのキャッシュ機能、バッファ機能のフラッシュ動作モードを設定するレジスタです。

16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ETSCMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BFL	CFL	FFFF 7102H	0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		
ビット位置	ビット名	意 味																
1	BFL	バッファのフラッシュ動作を行うビットです。 セット（1）すると、バッファはフラッシュされます。フラッシュ動作完了後、このビットは自動的にクリア（0）されます。 0：バッファのフラッシュ機能非動作中（初期値） 1：バッファのフラッシュ機能動作中／バッファのフラッシュ動作開始																
0	CFL	キャッシュのフラッシュ動作を行うビットです。 セット（1）すると、キャッシュはフラッシュされます。フラッシュ動作完了後、このビットは自動的にクリア（0）されます。 0：キャッシュのフラッシュ機能非動作中（初期値） 1：キャッシュのフラッシュ機能動作中／キャッシュのフラッシュ動作開始																

4.4.3 システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFGn)

システム・バス・ブリッジは、4 セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4 ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRCFGn は領域 n に対応しており、それぞれの領域の動作モードを設定するレジスタです。
16 ビット単位でリード／ライト可能です。

注意 ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード（ダイレクト・モード）でアクセスされます。

1514131211109876543210																アドレス		初期値															
ETSRCFGn																0	0	0	0	0	0	0	0	MODEn3	MODEn2	MODEn1	MODEn0	0	0	0	ENn	FFFF 7140H +02H×n	0000H
R/W		R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W															

ビット位置	ビット名	意 味										
7-4	MODEn3- MODEn0	領域 n の動作モードを選択します。										
		<table><tr><th>MODEn3-MODEn0</th><th>領域 n の動作モード</th></tr><tr><td>0000b</td><td>通常アクセス（ダイレクト・アクセス）</td></tr><tr><td>0001b</td><td>バッファ使用</td></tr><tr><td>0010b</td><td>キャッシュ使用</td></tr><tr><td>その他</td><td>設定禁止</td></tr></table>	MODEn3-MODEn0	領域 n の動作モード	0000b	通常アクセス（ダイレクト・アクセス）	0001b	バッファ使用	0010b	キャッシュ使用	その他	設定禁止
		MODEn3-MODEn0	領域 n の動作モード									
		0000b	通常アクセス（ダイレクト・アクセス）									
		0001b	バッファ使用									
		0010b	キャッシュ使用									
その他	設定禁止											
0	ENn	領域 n のバッファ機能／キャッシュ機能の有効／無効を選択します。 0：バッファ機能／キャッシュ機能無効 1：MODEn3-MODEn0 で設定したモード設定が有効										

備考 n = 0-3

4.4.4 システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRSn)

システム・バス・ブリッジは、4 セットの ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4 ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRADRSn は領域 n に対応しており、キャッシュ動作／バッファ動作を設定する領域の開始アドレスを設定するレジスタです。領域の空間サイズは、システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn) で設定します。

設定単位は、4K バイト単位です。したがって、このレジスタに設定した下位 12 ビットは、すべて 0 と見なされます。16 ビット単位でリード／ライト可能です。

- 注意 1. ETSRCFGn, ETSRADRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード（ダイレクト・モード）でアクセスされます。
2. ETSRADRSn レジスタに設定できる最小単位は 4K バイトです。

ETSRADRSn	31	0	アドレス	初期値
			FFFF 7150H +8H×n	不定
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	—	キャッシュ動作／バッファ動作を設定する領域の開始アドレスを設定します。		

備考 n = 0-3

4.4.5 システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASKn)

システム・バス・ブリッジは、4 セットの ETSRCFGn, ETSRADDRSn, ETSRMASKn レジスタを持ち、システム・バス経由で接続されている 0800 0000H-0EFF FFFFH, F000 0000H-F7FF FFFFH の空間に対し、4 ポイントのキャッシュ領域、バッファ領域を設定できます。

ETSRMASKn は領域 n に対応しており、キャッシュ動作／バッファ動作を設定する領域の空間サイズ（バイト数－1000H）を設定するレジスタです。領域の開始アドレスは、システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRADDRSn) で設定します。

設定単位は、4K バイト単位です。したがって、このレジスタに設定した下位 12 ビットは、すべて 0 と見なされますが、暗黙的に FFFH が使用されます。

16 ビット単位でリード／ライト可能です。

- 注意 1. ETSRMASKn レジスタには、空間サイズ－1000H を設定してください。設定できる最小単位は 4K バイトです。
2. ETSRCFGn, ETSRADDRSn, ETSRMASKn レジスタで特に設定していないアドレスは、常に通常モード（ダイレクト・モード）でアクセスされます。
3. ETSRMASKn レジスタに設定できる最小単位は 4K バイト－1000H です。

ETSRMASKn	31	0	アドレス	初期値
			FFFF 7154H +8H×n	不定
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	—	キャッシュ動作／バッファ動作を設定する領域の空間（バイト数－1000H）を設定します。		

備考 n = 0-3

4.5 ダイレクト・アクセス機能

ダイレクト領域に対して eLB からのアクセス要求が発生すると、システム・バス・ブリッジはダイレクト転送を行います。

ダイレクト転送では、eLB からリード要求が発生すると、システム・バスにシングルのリード要求を出力し、eLB からライト要求が発生すると、システム・バスにシングルのライト要求を出力します。ライト要求はポスト・ライトで行われます。

注意 ライト動作はポスト・ライトのため、実際のライト・サイクルの前に、CPU に対して eLB のバス解放が行われます。

4.6 バッファ機能

システム・バス上のスレーブに対するアクセス・レーテンシやスループット向上のために、リード・バッファとライト・バッファを内蔵しています。

4.6.1 リード・バッファ機能

★

8 ワードのバッファを 2 本搭載しています。これらのバッファは、TAG アドレスとオフセット値でデータが管理されており、1 本のバッファには、アドレスの連続したリード・データが 8 個格納されます。リード・バッファは、eLB からシステム・バスに対するリード要求を受けた場合、連続した 8 ワードを 1 ブロックとして、CPU からリード・アクセスのあったブロックの範囲にあるデータをバースト転送で読み出します。あらかじめ 8 ワードのデータを読み出しておくことで、ブロック内のアドレスへのアクセスに対して、システム・バスへアクセスすることなくデータ応答することを可能にしています。これにより、連続したアドレスへのリード・アクセスのアクセス・レーテンシを低減できます。なお、2 本あるリード・バッファは、FIFO 方式で更新されます。次に、リード・バッファの持つ機能について説明します。

(1) プリフェッチ機能

リード・バッファは、プリフェッチ機能を備えています。8 ワードを 1 ブロックとして、CPU からアクセスのあったブロックに対し、次のブロックにあるデータを、CPU からリード要求が発行される前にバースト・リード転送で読み出し、バッファ内に格納します。これにより、CPU がこれらのデータへのリード要求を発行した際、改めてシステム・バスへアクセスすることなくデータ応答することが可能になり、アクセス・レーテンシを低減します。なお、プリフェッチの開始アドレスは、プリフェッチ対象ブロックの先頭アドレスです。プリフェッチ機能では、プリフェッチ機能の ON/OFF、プリフェッチするブロックのアドレス方向（インクリメント／デクリメント）の設定が可能です。設定はシステム・バス・ブリッジ設定レジスタ（ETSCFG）の BPM ビットで行います。動作の設定については、4.6.4 バッファ機能の設定を参照してください。

(2) フィル・モード切り替え機能

リード・バッファがバースト・リード転送を開始するアドレスについて、以下の設定が可能です。設定の方法については 4.6.4 バッファ機能の設定を参照してください。

- ・シーケンシャル・アクセス
- ・クリティカル・ワード・ファースト・アクセス

4.6.2 ライト・バッファの機能

★

8ワードのバッファを2本搭載しています。これらのバッファは、TAG アドレスとオフセット値でデータが管理されており、1本のバッファには、アドレスの連続したライト・データが8個格納されます。eLB からバッファ領域へのライト・アクセス要求を受けるごとに、ライト・データをバッファに格納することで、eLB に対して低速なシステム・バスのライト・サイクル完了を待たずに eLB ライト・サイクルを1サイクルで完了します。これにより、eLB マスタ (CPU, セントラル DMAC) は、低速なシステム・バスのライト・サイクルの完了を待たずに後続の処理を実行でき、スループットを向上します。バッファに格納されたライト要求は、以下のときにバースト転送、またはシングル転送でシステム・バスに出力されます。なお、2本あるライト・バッファは、FIFO 方式で更新されます。

- ・8ワードを1ブロックとして、別のブロックに対するライト・アクセスを発行した場合
- ・フラッシュ要求が発生した場合
- ・バイト・アクセスを受け付けた場合
- ・ハーフワード・アクセスを受け付けた場合

ライト・バッファは、ライト要求をバッファリングします。同一アドレスに対するライト要求を複数受けた場合、バッファリングしているライト要求を、最新のライト要求で上書きします。

4.6.3 リード・バッファ／ライト・バッファ共通機能

リード・バッファ、ライト・バッファ共通の機能について説明します。

(1) フラッシュ機能

バッファはフラッシュ機能を備えています。フラッシュ機能は、システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD) によりフラッシュ機能の実行を指定した場合と、スタンバイ・モード移行した場合に実行されます。

リード・バッファ、ライト・バッファ双方のフラッシュが完了したとき、システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD) の BFL ビットをクリア (0) してフラッシュの完了を通知します。

フラッシュ機能が実行された場合、リード・バッファとライト・バッファはそれぞれ、以下のフラッシュ動作を行います。

(a) リード・バッファのフラッシュ機能

リード・バッファ内のデータをすべて削除します。

(b) ライト・バッファのフラッシュ機能

ライト・バッファ内に保持している全ライト要求実行します。

4.6.4 バッファ機能の設定

バッファの機能の中で動作設定変更が可能なものについて、その設定方法を説明します。

(1) リード・バッファ機能の設定

(a) プリフェッチ・モード機能

リード・バッファのプリフェッチ機能の ON/OFF の設定が可能です。設定は、システム・バス・ブリッジ設定レジスタ (ETSCFG) の BPM0, BPM1 ビットで行います。設定値とリード・バッファの動作の対応を表 4-3 に示します。

(b) プリフェッチ方向切り替え機能

プリフェッチするブロックの方向を指定できます。インクリメント／デクリメントが設定できます。プリフェッチ・モード機能と同様に、システム・バス・ブリッジ設定レジスタ (ETSCFG) の BPM0, BPM1 ビットで設定します。設定値と動作の関係を表 4-3 に示します。

表 4-3 プリフェッチ・モード設定一覧

ETSCFG.BPM の設定値	リード・バッファの動作
00	プリフェッチ機能オフ
01	プリフェッチ機能オン (アドレス・インクリメント)
10	プリフェッチ機能オン (アドレス・デクリメント)
11	設定禁止

(c) フィル・モード切り替え機能

リード・バッファがバースト転送を実行する際の先頭アドレスを以下の 2 種類から選択可能です。システム・バス・ブリッジ設定レジスタ (ETSCFG) の BFM ビットで動作を設定します。設定値と動作の関係を表 4-4 に示します。

(i) シーケンシャル・アクセス

アクセス要求のあったアドレスが含まれるブロックの先頭アドレスから、バースト・リードを開始します。

(ii) クリティカル・ワード・ファースト・アクセス

アクセス要求のあったアドレスから、バースト・リードを開始します。

表 4-4 フィル・モード設定一覧

ETSCFG.BPM の設定値	リード・バッファの動作
0	シーケンシャル・アクセス
1	クリティカル・ワード・ファースト・アクセス

(2) リード・バッファ／ライト・バッファ共通機能設定

システム・バス・ブリッジ領域 n 設定レジスタ (ETSRCFG n) , システム・バス・ブリッジ領域 n アドレス・レジスタ (ETSRADRS n) , システム・バス・ブリッジ領域 n マスク・レジスタ (ETSRMASK n) を用いて、バッファリングする領域を指定できます。ETSRCFG n の値を 1 に設定すると、ETSRADRS n と ETSRMASK n で設定された領域がバッファ領域として設定されます。領域設定方法については「4.3 領域設定」を参照してください。

備考 $n = 0-3$

4.6.5 リード・バッファ動作

(1) フィル・モードが「シーケンシャル」の場合

バッファ領域にリード要求が発生するごとに、要求データがリード・バッファ内に存在するかをチェックします。バッファ内に要求データが存在した場合は、バッファのデータを eLB へ返し、eLB 転送を完了します。存在しなかった場合は、eLB へウエイト・レスポンスを返し、要求データのブロックの先頭アドレスを開始アドレスとして、システム・バスにバースト・リード転送を実行し、リード・データをバッファに格納します。

システム・バスから要求データが読み出された時点で、バースト・リード転送の完了を待たずに、データを eLB へ出力し、eLB 転送を完了します。

プリフェッチ・モード・オンに設定した場合、バースト・リード転送完了後、次のブロックに対してバースト・リード転送を実行します。

(2) フィル・モードが「クリティカル・ワード・ファースト」の場合

バッファ領域にリード要求が発生するごとに、要求データとその次のブロックのデータがリード・バッファ内に存在するかをチェックします。バッファ内に要求データが存在した場合は、バッファのデータを eLB へ返し、eLB 転送を完了します。存在しなかった場合は、eLB へウエイト・レスポンスを返し、eLB からリード要求のあったアドレスを開始アドレスとして、システム・バスにバースト・リード転送を実行し、リード・データをバッファに格納します。

システム・バスから要求データが読み出された時点で、バースト・リード転送の完了を待たずに、データを eLB へ出力し、eLB 転送を完了します。

プリフェッチ・モード・オンに設定した場合、バースト・リード転送完了後、次のブロックに対してバースト・リード転送を実行します。

4.6.6 ライト・バッファ動作

(1) ライト要求の格納動作

バッファ領域へのライト要求が発生するごとに、ライト要求をバッファ内に格納します。後続の eLB アクセスで、ライト要求を受けた場合、先に格納したライト要求と同じブロック内のアドレスに対するライト要求であることをチェックし、同一ブロックに対するライト要求であった場合、バッファの該当箇所にライト要求を格納します。別のブロックに対するライト・アクセスであった場合、他方のバッファにライト要求を格納します。

(2) リード要求の監視動作

eLB から、バッファリングしているライト要求のアドレスに対するリード要求が入力されていないかを監視します。入力された場合、該当のライト要求が完了するまで eLB に対してウェイト・レスポンスを発行します。

(3) ライト要求の吐き出し動作

以下の条件の時、ライト・バッファ内のライト要求を実行します。

- ・ 後続のライト要求の書き込み先アドレスが、別のブロックであった場合
- ・ ハーフワード／バイトのライト・アクセスを受けた場合
- ・ ライト・バッファリングしているアドレスに対するリード要求が発行された場合
- ・ フラッシュ要求がアサートされた場合

また、ライト要求を実行する際、バッファ内の状態により、以下のように動作が変わります。

(i) ライト・バッファがフルの場合

ライト・バッファに 8 個のライト要求が格納されている場合、ライト・バッファはバースト・ライト転送を実行します。

(ii) ライト・バッファがフルでない場合

ライト・バッファに 1～7 個のライト要求が格納されている場合、ライト・バッファはシングル転送で格納されているライト要求を出力します。

4.6.7 リード・バッファ／ライト・バッファ共通の動作

リード・バッファ／ライト・バッファ共通の動作として、フラッシュ動作があります。

フラッシュ要求がアサートされた場合、リード・バッファ、ライト・バッファそれぞれがフラッシュ動作を実行し、両方のフラッシュ動作の完了後に、システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD) の BFL ビットをクリア (0) します。

次に、リード・バッファ、ライト・バッファそれぞれのフラッシュ動作を説明します。

(1) リード・バッファ・フラッシュ動作

リード・バッファのフラッシュ動作は、プリフェッチ機能の設定により変わります。以下で、各設定でのフラッシュ動作について説明します。なお、フィル・モードの設定ではフラッシュ動作は変わりません。

(i) プリフェッチ機能オフの場合

フラッシュ要求がアサートされた場合、リード・バッファは、2本のバッファ内のデータをすべて消去します。リード・バッファがバースト・リード転送を実行中にフラッシュ要求がアサートされた場合、バースト転送終了後に全データが消去されます。

(ii) プリフェッチ機能オンの場合

フラッシュ要求がアサートされた場合、リード・バッファは、2本のバッファ内のデータと、プリフェッチの実行予約をすべて消去します。システム・バスがバースト・リード転送を実行中にフラッシュ要求がアサートされた場合、バースト転送終了後に全データが消去されます。

(2) ライト・バッファ・フラッシュ動作

フラッシュ要求がアサートされた場合、ライト・バッファは、保持している全ライト要求を実行します。バッファがフルの場合はバースト・ライト転送を実行し、フルでない場合はシングル・ライト転送を実行します。

4.7 キャッシュ機能

EP3-AM1 は、16K バイト 4 ウエイ・セット・アソシティブ構成のメモリ・サイド・キャッシュを内蔵しています。このキャッシュは、命令フェッチ、データ・アクセスに関係なく、指定されたメモリ領域に対してキャッシュ動作を行います。

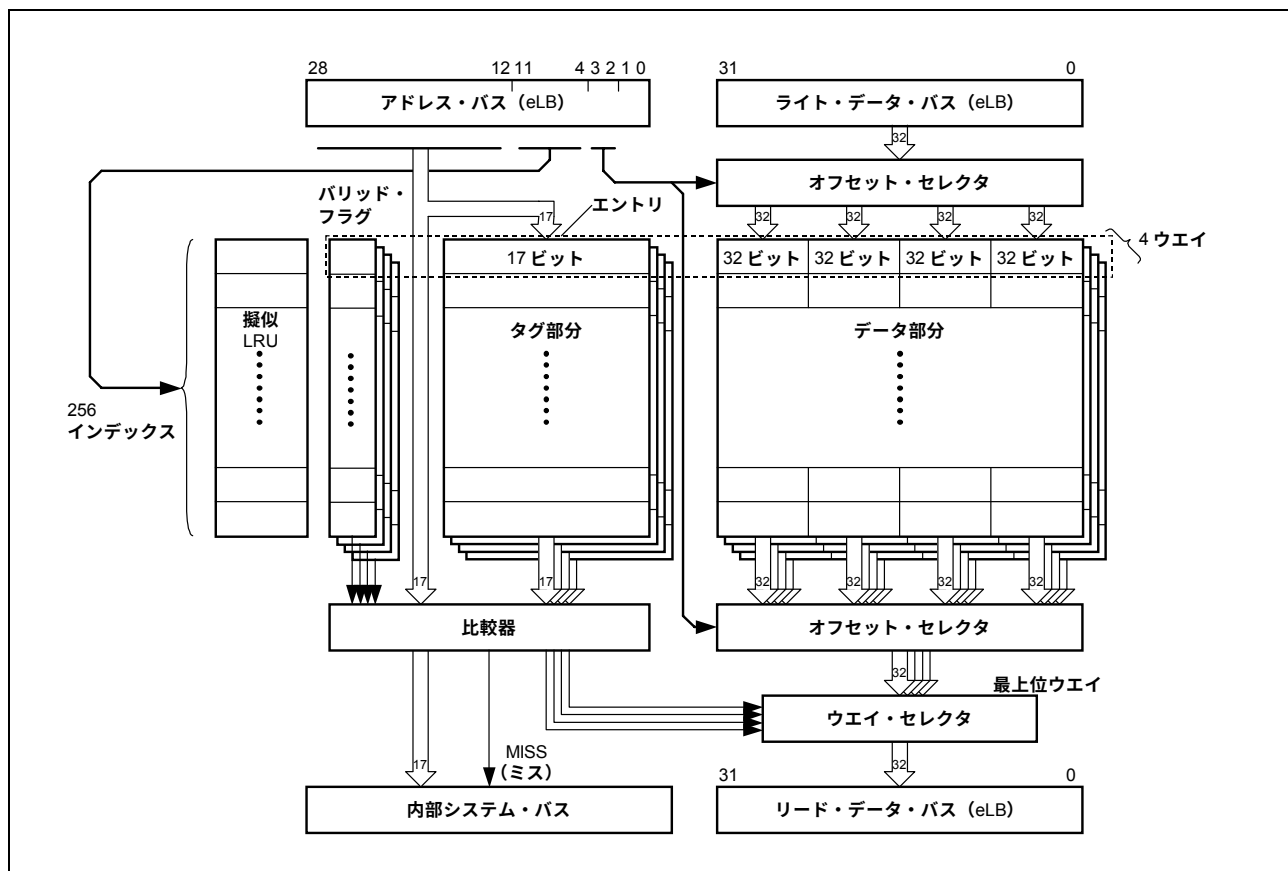
このメモリ・サイド・キャッシュを利用できるのは、CPU からのアクセスとセントラル DMA コントローラです。一般的には CPU からのアクセスに使用します。

システム・バス上の空間から eLB へのデータ受け渡しによる応答性を改善し、外部 SDRAM からプログラム・フェッチするようなシステムにおいても高い性能を発揮します。ライト時はライト・スルー動作となります。

4.7.1 キャッシュ機能の特長

- 4 ウエイ 16K バイト・キャッシュ
- 擬似 LRU アルゴリズム（最も長くアクセスされなかったブロックが置き換え対象となります）
- シーケンシャル／クリティカル・ワード・ファースト・アクセス対応
- フラッシュ機能（メモリ・サイド・キャッシュの内容をクリアします）

図 4-4 メモリ・サイド・キャッシュのブロック図



4.7.2 制御レジスタ

(1) システム・バス・ブリッジ設定レジスタ (ETSCFG)

メモリ・サイド・キャッシュの動作の設定は ETSCFG レジスタで行います。

ETSCFG レジスタの CFM ビットで、フィル動作の設定を行います。

ETSCFG.CFM	キャッシュのフィル動作
0	シーケンシャル
1	クリティカル・ワード・ファースト

(2) システム・バス・ブリッジ・コマンド・レジスタ (ETSCMD)

メモリ・サイド・キャッシュのフラッシュ動作は ETSCMD レジスタの CFL ビットで設定します。

ETSCMD.CFL	キャッシュのフィル動作
0	キャッシュのフラッシュ機能非動作中
1	キャッシュのフラッシュ機能動作中／キャッシュのフラッシュ動作開始

CFL ビットをセット (1) したあと、CFL = 0 であることを確認することで、フラッシュ動作の完了を確認できます。

4.7.3 動作

メモリ・サイド・キャッシュは、キャッシュ領域へのアクセスがあるたび自動的にキャッシング動作を行います。システム・バス・ブリッジ設定レジスタ（ETSCFG）の設定により2つの動作モードを選択できます。動作モード表を以下に示します。

表 4-5 キャッシュ動作モード一覧

動作モード	アクセス・タイプ		リフィル・モード
ライト・スルー	リード	ヒット	—
		ミスヒット	シーケンシャル
			クリティカル・ワード・ファースト
	ライト	ヒット	—
		ミスヒット	—

(1) リード／ライト、ヒット／ミスヒット時のメモリ・サイド・キャッシュの動作

次に、ライト・スルー・モードでのメモリ・サイド・キャッシュの動作について説明します。

(a) リード時

(i) キャッシュ・ヒット時

- <1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。
- <2> そのアドレスがキャッシュ内に存在し、ヒットすると、キャッシュからデータをリードします。

(ii) キャッシュ・ミスヒット時

- <1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。
- <2> そのアドレスがキャッシュ内に存在せず、ミスヒットの場合、キャッシュからシステム・バスを介してシステム・バス[※]上にアドレスを出力し、リードすべきアドレスのデータ 1 ライン分（4 ワード）をキャッシュへリフィルします。
- <3> このあと、キャッシュは、4 ワードのリフィル・データの中で必要なデータを eLB 上に出力します。
- <4> 1 ライン分のデータをキャッシュに格納し、バリッド・フラグと LRU の更新を行います。

注 システム・バス上のスレーブが対象となります。MEMC #1 や MEMC #2 に接続された外部メモリもシステム・バス上のスレーブです。

(b) ライト時

(i) キャッシュ・ヒット時

- <1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。
- <2> キャッシュからシステム・バス[※]上のスレーブにデータをライトします。
- <3> ライトしたデータのアドレスがキャッシュ内に存在し、ヒットするとキャッシュにデータを格納し、バリッド・フラグと LRU の更新を行います。

(ii) キャッシュ・ミスヒット時

- <1> eLB からのリード要求が発生し、アドレスがキャッシュ対象領域の場合に、キャッシュに対してアドレスを出力します。
- <2> キャッシュからシステム・バス[※]上のスレーブにデータをライトします。
- <3> ミスヒットのため、バリッド・フラグと LRU の更新は行いません。

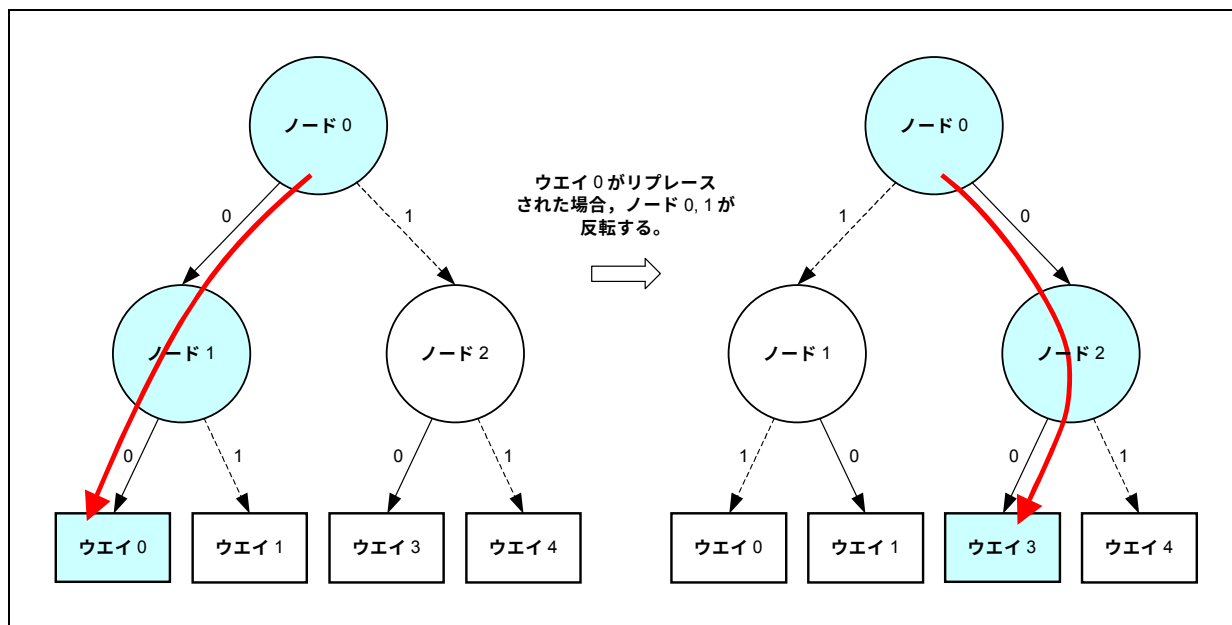
注 システム・バス上のスレーブが対象となります。MEMC #1 や MEMC #2 に接続された外部メモリもシステム・バス上のスレーブです。

(2) 擬似 LRU 動作

メモリ・サイド・キャッシュは、入れ替えアルゴリズムとして、擬似 LRU を搭載しています。

擬似 LRU は、2 ウエイ用 LRU アルゴリズムを 3 つ使用しています。LRU の更新は、図 4-5 に示すように、ノードごとに 1 ビットの LRU を持ち、0 および 1 で、いずれかの子ノードまたはウエイを示しています。選ばれたウエイのアクセスが完了すると、ヒットしたウエイまでの LRU を反転させ、リプレイス対象から選ばれません。

図 4-5 擬似 LRU の更新動作



(3) キャッシュの更新動作

リード・アクセスのミスヒット時とライトのヒット時に、キャッシュ内のデータを更新します。

(a) リード・ミスヒット時

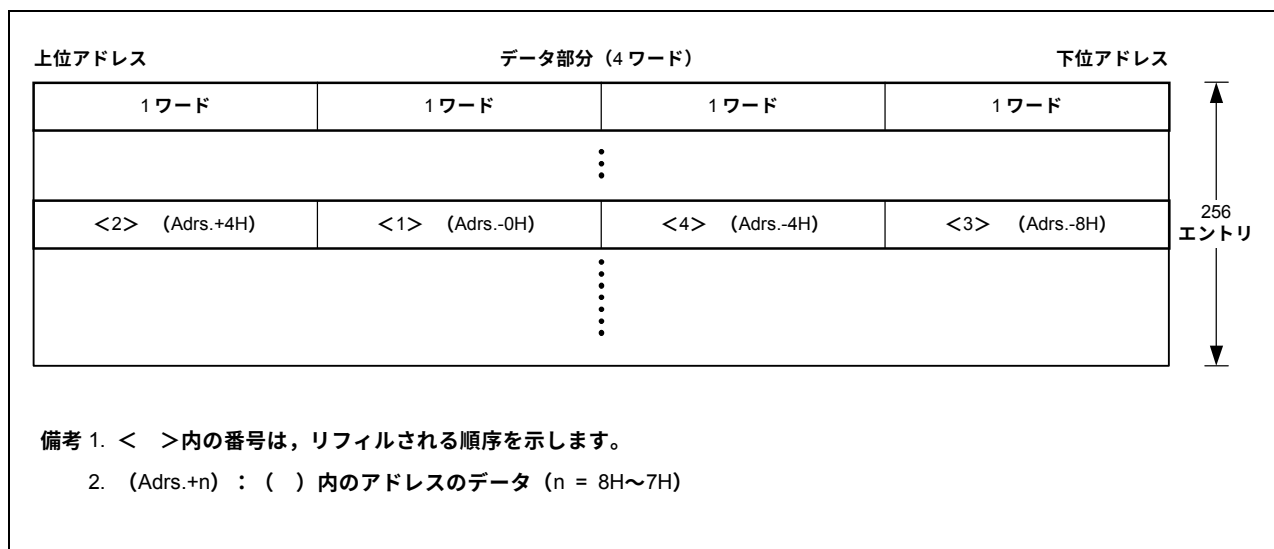
タグ情報の更新は、タグ・リード時にキャッシュ・メモリから4ウェイ分のタグ情報を同時にリードし、擬似LRUにて指定したリプレース対象ウェイだけを変更します。

データ部分へのリフィル順序は、リフィル・モードによって異なります。以下にリフィル・モード別の動作を示します。

(i) クリティカル・ワード・アクセス・リフィル動作

eLBより要求されたアドレスを先頭アドレスとしたバースト転送で、1ライン分のデータをシステム・バスからリードします。要求のあったデータのリードが完了すると、バースト転送の終了を待たずにeLBにデータを出力します。1ライン分のデータのリードが完了した時点で、擬似LRUの情報に従って、キャッシュのデータを1ライン分まとめて更新します。

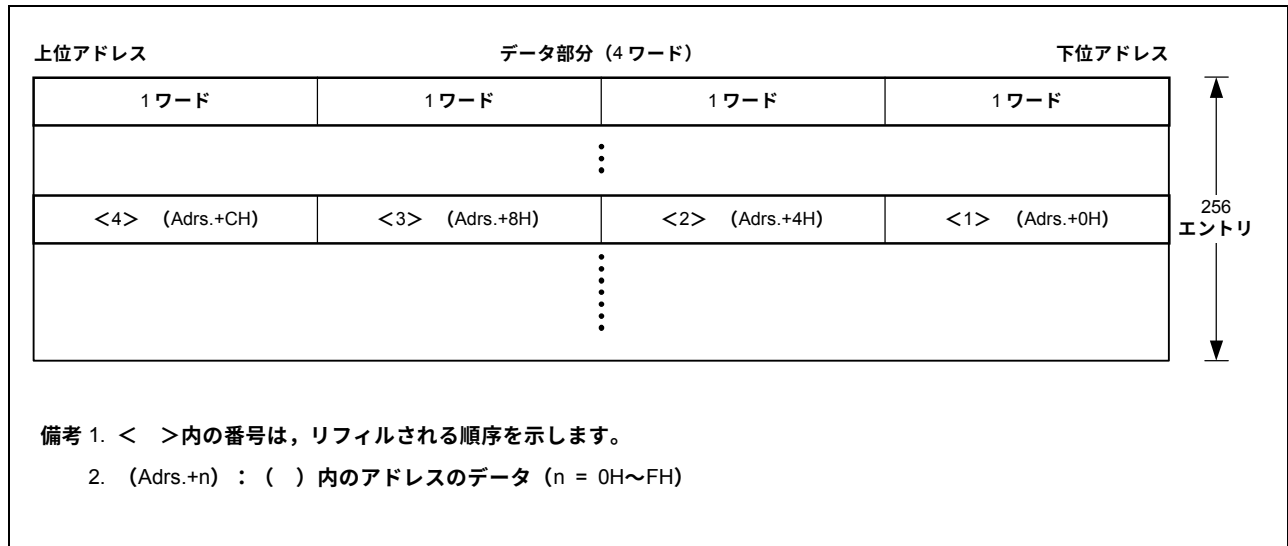
図 4-6 クリティカル・ワード・アクセス・リフィル動作



(ii) シーケンシャル・アクセス・リフィル動作

eLB より要求されたアドレスの属するラインの 0 番目を先頭アドレスとしたバースト転送で、1 ライン分のデータをシステム・バスからリードします。要求のあったデータのリードが完了すると、バースト転送の終了を待たずに eLB にデータを出力します。1 ライン分のデータのリードが完了した時点で、擬似 LRU の情報に従って、キャッシュのデータを 1 ライン分まとめて更新します。

図 4-7 シーケンシャル・アクセス・リフィル動作



(b) ライト・ヒット時

タグ情報の更新は行いません。

データ部分への更新は、タグ・リード時により、リードした該当ウエイの 1 ライン分のデータに対し、eLB からのライト要求アドレスのデータの更新を行い、1 ライン分まとめて更新します。

4.8 ワーク RAM 機能

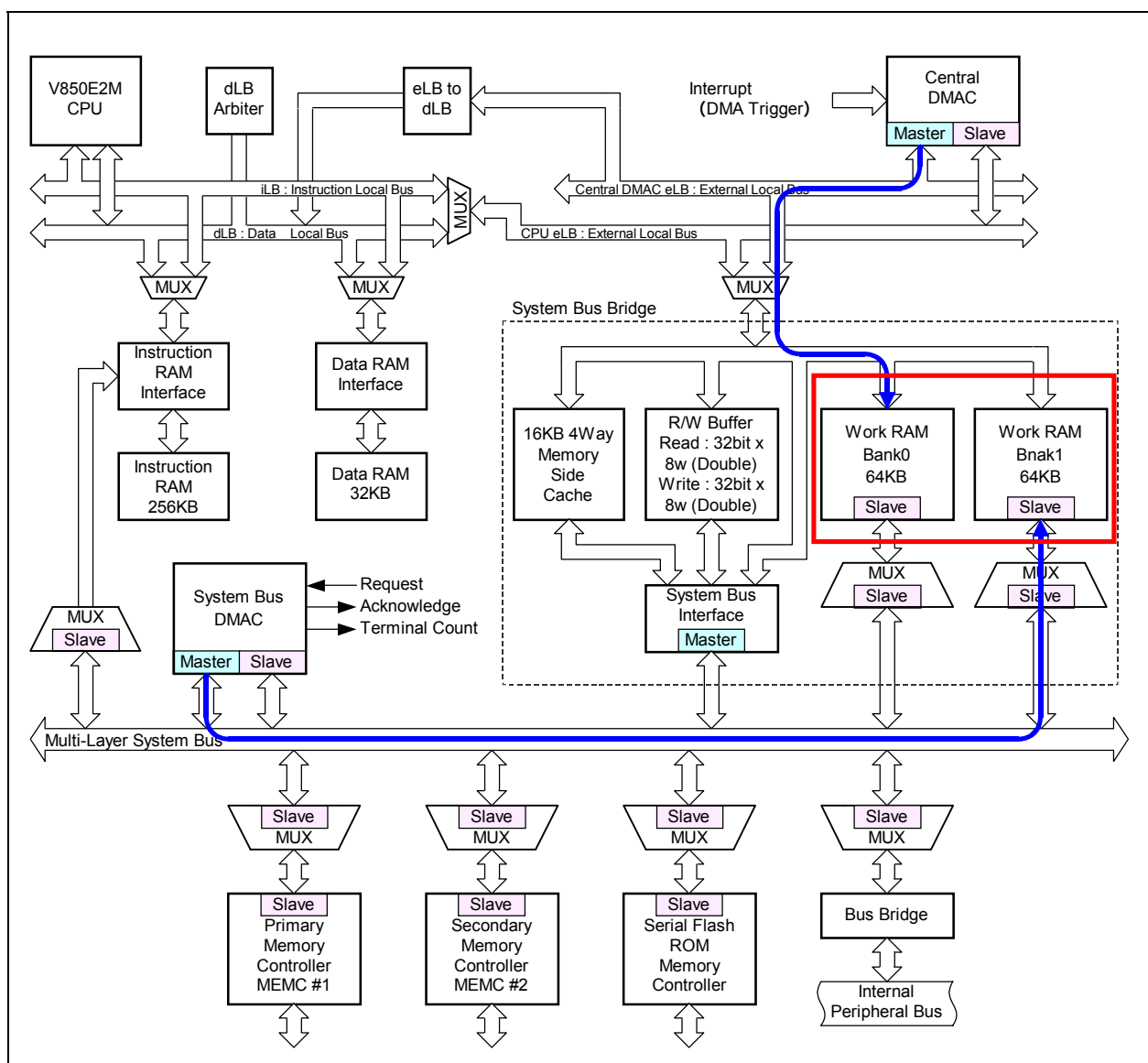
ワーク RAM は、eLB 側とシステム・バス側の双方からアクセス可能な RAM です。

4.8.1 ワーク RAM の概要

ワーク RAM は、64K バイト×2 バンクあり、eLB のバス・マスタ（CPU またはセントラル DMAC）と、システム・バス DMAC が、異なるワーク RAM を同時にアクセスできます。

eLB 側とシステム・バス側から同一バンクのワーク RAM を同時にアクセスした場合は、アービトレーションが行われます。アービトレーションは、ラウンドロビン方式で行われます。競合が発生した場合は、eLB 側とシステム・バス側に交互に優先権が割り当てられます。

図 4-8 ワーク RAM への並列アクセス

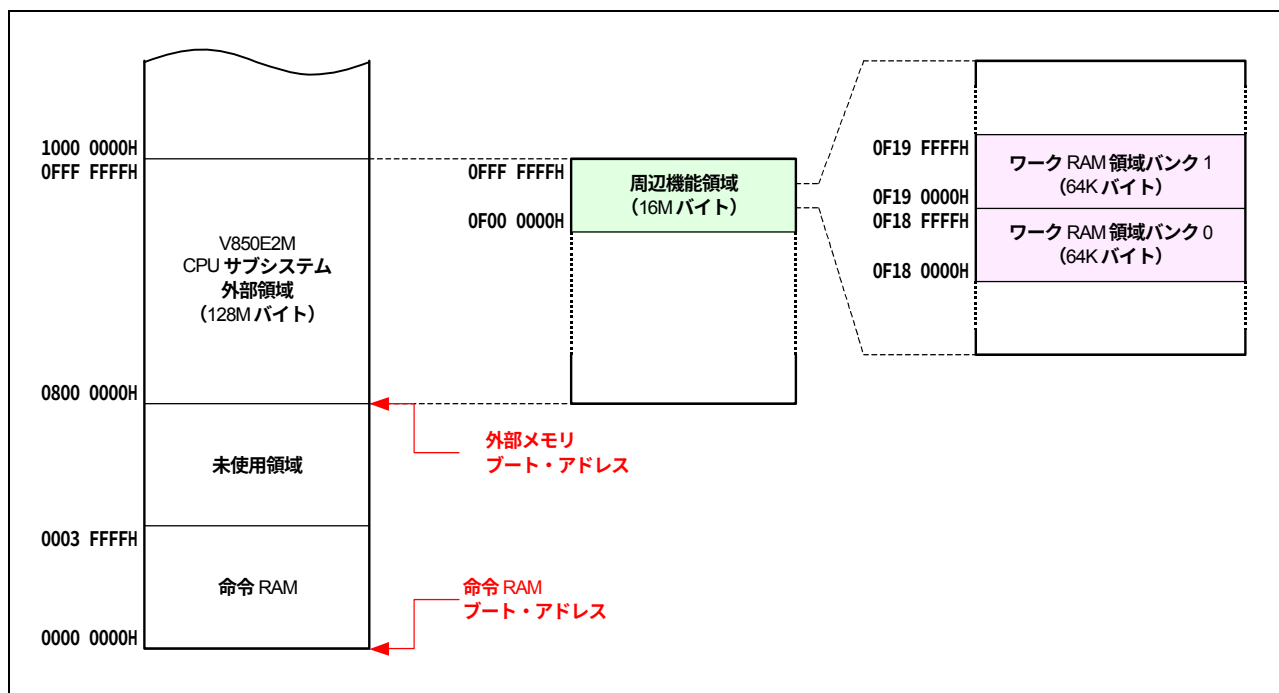


4.8.2 ワーク RAM の配置アドレス

配置アドレスは、下記のとおりです。

バンク	ワーク RAM サイズ	配置アドレス
バンク 0	64K バイト	0F18 0000H-0F18 FFFFH
バンク 1	64K バイト	0F19 0000H-0F19 FFFFH

図 4-9 ワーク RAM の配置アドレス



4.8.3 IDLE モード設定時の動作

ソフトウェアで IDLE モードに設定した時点で、ワーク RAM に対するバス・サイクルが実行中の場合は、そのバス・サイクルが完了してから IDLE モードに設定されます。

第5章 プライマリ・メモリ・コントローラ

プライマリ・メモリ・コントローラは、MEMC #1 の略称で本書では表現しています。

MEMC #1 を利用し、32/16 ビット・バスで外部にページ ROM/ROM/SRAM/SDRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。

端子設定で BOOTSEL1 = 0, BOOTSEL0 = 0 とした場合、MEMC #1 の STCSZ0 に接続されたメモリからブートします。このときのブート・アドレスは、0800 0000H です。

5.1 MEMC #1 の概要

- ページ ROM, ROM, SRAM, SDR-SDRAM 対応メモリ・コントローラ
- 32/16 ビット・データ・バス
- スタティック・メモリ制御機能
 - ・ SRAM, 外部 I/O 接続機能
 - ・ 4 本のチップ・セレクト信号が利用可能 (STCSZ0-STCSZ3)
 - STCSZ0: ページ ROM/SRAM 対応 : 0800 0000H-09FF FFFFH (32M バイト)
 - STCSZ1: SRAM のみ対応 : 0A00 0000H-0A7F FFFFH (8M バイト)
 - STCSZ2: SRAM のみ対応 : 0A80 0000H-0ABF FFFFH (4M バイト)
 - STCSZ3: SRAM のみ対応 : 0AC0 0000H-0AFF FFFFH (4M バイト)
 - ・ ページ ROM 接続機能 (STCSZ0 のみ)
 - ・ プログラマブル・ウェイト機能
 - ーアドレス設定ウェイト
 - ーデータ・ウェイト
 - ーライト・リカバリ・ウェイト
 - ーアイドル・ステート
- SDRAM 制御機能
 - ・ 1 本のチップ・セレクト信号が利用可能 (DYCSZ) : F000 0000H-F7FF FFFFH (128M バイト)
(16 ビット幅 512M ビット SDRAM を 2 個使用し、32 ビット幅で接続した場合が、最大の 128M バイトになります。)
 - ・ シングル・アクセス
 - ・ CAS レーテンシ = 1, 2, 3
 - ・ SDRAM イニシャライズ・サイクル生成機能
 - ・ CBR リフレッシュ機能
- ライト・ストローブ/バイト・イネーブル兼用

注意 EP3-AM1 のメモリ・コントローラは 8 ビット・バス幅には対応していません。

備考 1. MEMC #1 は、

スタティック・メモリ制御機能として 4 本のチップ・セレクト信号、
ダイナミック・メモリ制御機能として 1 本のチップ・セレクト信号
を持っています。

2. EP3-AM1 は、プライマリ・メモリ・コントローラ (MEMC #1) とセカンダリ・メモリ・コントローラ (MEMC #2) の 2 つのメモリ・コントローラを独立して内蔵しています。

5.2 特 徴

(1) マルチレイヤ構成

EP3-AM1 の内部バスは、マルチレイヤ構成を採用しており、CPU サブシステム（CPU およびセントラル DMAC）とシステム・バス DMAC に個別のマスタ・バスを設け、双方からのアクセスが競合した場合は調停して外部メモリをアクセスします。

マルチレイヤ構成により、たとえば CPU が MEMC #2 インタフェースを利用して、MEMC #2 の外部デバイスにアクセスしている場合でも、同時に MEMC #1 とシステム・バス DMAC との間でデータ転送を行えます。内部バスのバス・マスタとバス・スレーブの組み合わせが独立している場合、それぞれのバスの待ち合わせが存在せず、データ処理、通信処理などを同時に実行することで、従来製品から大幅な性能向上を図っています。

(2) 2つの独立したメモリ・コントローラ（MEMC #1, MEMC #2）

プライマリ・メモリ・コントローラ（MEMC #1）と、セカンダリ・メモリ・コントローラ（MEMC #2）を独立して内蔵しています。MEMC #1 は SDRAM にも対応していますが、MEMC #2 は SDRAM には対応していません。

異なるバス・マスタから、MEMC #1 と MEMC #2 をそれぞれ利用する場合、お互いのバスの待ち合わせは発生しません。

(3) スタティック・メモリ制御機能

MEMC #1 は、STCSZ0-STCSZ3 のチップ・セレクト信号に接続されたスタティック・メモリ (SRAM, I/O, ページ ROM) を制御します。

ただしページ ROM に対応しているチップ・セレクト信号は、STCSZ0 のみです。

(a) SRAM, 外部 I/O 接続機能

SRAM, 外部 I/O 接続機能の主な特徴は以下のとおりです。

- ・最小 4 サイクル (4×BUSCLK) のリード・サイクル
- ・最小 5 サイクル (5×BUSCLK) のライト・サイクル
- ・レジスタ設定により、最大 15×BUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のライト・リカバリ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のアイドル・ステートを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能

(b) ページ ROM 接続機能

ページ ROM 接続機能の主な特徴は以下のとおりです。

- ・ページ ROM は STCSZ0 にのみ接続可能
- ・最小 3 サイクル (3×BUSCLK) のリード・サイクル
- ・オンページ判定機能
- ・レジスタ設定により、アドレス比較ビット幅を変更可能
- ・レジスタ設定により、最大 15×BUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×BUSCLK のアイドル・ウエイトを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能
- ・ページ ROM が配置された領域に対してライト・サイクルが要求された場合は、SRAM ライト・サイクルを起動
- ・レジスタ設定により、最大 15×BUSCLK のライト・リカバリ・ウエイトを挿入可能

備考 BUSCLK は、HCLK と同一周波数です。

(4) SDR-SDRAM 接続機能

MEMC #1 のダイナミック・メモリ用コントローラは、DYCSZ に接続された SDR-SDRAM を制御します。

- ・シングル・アクセス（バースト長 = 1）だけ起動可能（ただし CPU コアなどのバス・マスタからバースト・アクセスが要求されると、リード／ライト・コマンドを 1 クロックごとに発行して擬似的なバースト・アクセスを実行）
- ・CAS レーテンシ = 1, 2, 3 に対応
- ・アドレス・マルチプレクス機能
- ・レジスタの設定により、アドレス・マルチプレクス幅（8, 9, 10, 11 ビット）を変更可能
- ・レジスタの設定により、最大 3 ウェイト・ステートを挿入可能
- ・SDR-SDRAM イニシャライズ・サイクル（モード・レジスタ設定サイクル）を起動
ダイナミック・メモリ制御レジスタ（DMC）に書き込み動作を行うと、メモリ・コントローラは SDRAM のイニシャライズを行います。イニシャライズが終了すると DMC レジスタのモード・レジスタ・ライト・ステータス・ビットがセット（1）されます。
- ・CBR（CAS ビフォーRAS）リフレッシュ・コマンドを発行
ダイナミック・メモリ・リフレッシュ制御レジスタ（RFC）で設定したリフレッシュ間隔でリフレッシュ・コマンドを発行します。リフレッシュ・コマンドはメモリ・アクセスおよびバス・ホールドが完了した時点で発行されます。

5.3 バス制御機能

5.3.1 MEMC #1 の制御レジスタ

MEMC #1 に接続された外部メモリ・アクセスするには、バス制御レジスタの設定を行う必要があります。

表 5-1 MEMC #1 バス制御レジスタ一覧

アドレス	レジスタ名称	略 号	R/W	リセット時
0F00 0004H	バス・サイズ制御レジスタ	BSC	R/W	0000 5555H/ 0000 FFFFH [※]
0F00 0008H	スタティック・メモリ制御レジスタ 0	SMC0	R/W	0000 FFFFH
0F00 000CH	スタティック・メモリ制御レジスタ 1	SMC1	R/W	0000 FFFFH
0F00 0010H	スタティック・メモリ制御レジスタ 2	SMC2	R/W	0000 FFFFH
0F00 0014H	スタティック・メモリ制御レジスタ 3	SMC3	R/W	0000 FFFFH
0F00 0018H	ページ ROM 制御レジスタ	PRC	R/W	F000 0000H
0F00 001CH	ダイナミック・メモリ制御レジスタ	DMC	R/W	20C0 0000H
0F00 002CH	ダイナミック・メモリ・リフレッシュ制御レジスタ	RFC	R/W	001F 0000H
0F01 9104H	ライト・イネーブル切り替えレジスタ	WREN	R/W	0000 0000H

注 BUS32EN0 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN0 では、MEMC #1 のリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

(1) バス・サイズ制御レジスタ (BSC)

BSC レジスタは、チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。

SBS3-SBS0 ビットはスタティック・メモリ用チップ・セレクト出力 (STCSZ3-STCSZ0) , DBS ビットはダイナミック・メモリ用チップ・セレクト出力 (DYCSZ) にそれぞれ対応しています。

BSC レジスタの初期値は、BUS32EN0 端子の入力レベルにより変わります。

BSC レジスタはリード／ライト可能です。ビット 31-16 には必ず 0 を設定してください。ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
BSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0004H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	1/0 ^{注2}	1	1/0 ^{注2}	1	1/0 ^{注2}	1	DBS	1	SBS3	1	SBS2	1	SBS1	1	SBS0	1	0000 5555H/ 0000 FFFFH ^{注1}
R/W	R	1	R	1	R	1	R/W	1	R/W	1	R/W	1	R/W	1	R/W	1	

ビット位置	ビット名	意 味
9	DBS	ダイナミック・メモリ用チップ・セレクト出力 (DYCSZ) のデータ・バス幅を設定します。 0 : 16 ビット 1 : 32 ビット
7, 5, 3, 1	SBS3- SBS0	スタティック・メモリ用チップ・セレクト出力 (STCSZ3-STCSZ0) ごとのデータ・バス幅を設定します。 0 : 16 ビット 1 : 32 ビット

注 1. BUS32EN0 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN0 では、MEMC #1 のリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

2. このビットに該当するチップ・セレクト信号は存在しませんが、メモリ・コントローラの仕様により、BUS32EN0 端子により初期値が変わります。

(2) スタティック・メモリ制御レジスタ 0-3 (SMC0-SMC3)

SMC0-SMC3 レジスタは、スタティック・メモリ用チップ・セレクト出力 (STCSZ0-STCSZ3) ごとに各種ウェイト・ステートを設定します。

SMC0-SMC3 レジスタはリード／ライト可能です。ビット 31-16 には必ず 0 を設定してください。

注意 SMC0-SMC3 レジスタには 0000 0000H を設定しないでください。IW (アイドル・ウェイト), DW (データ・ウェイト), AC (アドレス設定ウェイト) の合計が 1 以上になるように設定してください。

(1/5)

アドレス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0F00 0008H															
初期値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC
03	02	01	00	03	02	01	00	03	02	01	00	03	02	01	00
0000 FFFFH															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0F00 000CH															
初期値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC
13	12	11	10	13	12	11	10	13	12	11	10	13	12	11	10
0000 FFFFH															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0F00 0010H															
初期値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC
23	22	21	20	23	22	21	20	23	22	21	20	23	22	21	20
0000 FFFFH															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0F00 0014H															
初期値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IW	IW	IW	IW	WW	WW	WW	WW	DW	DW	DW	DW	AC	AC	AC	AC
33	32	31	30	33	32	31	30	33	32	31	30	33	32	31	30
0000 FFFFH															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2/5)

★

ビット位置	ビット名	意 味																																																																																					
15-12	IWn3- IWn0	STCSZn ごとにアイドル・ステートを設定します。 このビットの設定は、リード・アクセス直後のアイドル・ステートにのみ反映されます。 アイドル・ステートとは、STCSZn のディアサート（STCSZn：L→H）から、次の BCYSTZ がアサート（BCYSTZ：H→L）されるまでの最短サイクルです。 リード・サイクルで、データ・フロート時間が長く、直後のライト・サイクルでバス・ファイトが発生するケースなどで、アイドル・ステートを挿入します。 キャッシュのリフィル動作などで、ページ ROM にバースト・アクセスする場合は、バースト・アクセス期間中の STCSZ0 信号はロー・レベルのままとなるため、ここで設定したアイドル・ステートは、バースト・アクセス後にのみ挿入されます。																																																																																					
		<table><tr><th>IWn3</th><th>IWn2</th><th>IWn1</th><th>IWn0</th><th>STCSZn のアイドル・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>4×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>5×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>6×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>7×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>8×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>9×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>10×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>11×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>12×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>13×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>14×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>15×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>16×BUSCLK（初期値）</td></tr></table>	IWn3	IWn2	IWn1	IWn0	STCSZn のアイドル・ステート数	0	0	0	0	1×BUSCLK	0	0	0	1	2×BUSCLK	0	0	1	0	3×BUSCLK	0	0	1	1	4×BUSCLK	0	1	0	0	5×BUSCLK	0	1	0	1	6×BUSCLK	0	1	1	0	7×BUSCLK	0	1	1	1	8×BUSCLK	1	0	0	0	9×BUSCLK	1	0	0	1	10×BUSCLK	1	0	1	0	11×BUSCLK	1	0	1	1	12×BUSCLK	1	1	0	0	13×BUSCLK	1	1	0	1	14×BUSCLK	1	1	1	0	15×BUSCLK	1	1	1	1	16×BUSCLK（初期値）
IWn3	IWn2	IWn1	IWn0	STCSZn のアイドル・ステート数																																																																																			
0	0	0	0	1×BUSCLK																																																																																			
0	0	0	1	2×BUSCLK																																																																																			
0	0	1	0	3×BUSCLK																																																																																			
0	0	1	1	4×BUSCLK																																																																																			
0	1	0	0	5×BUSCLK																																																																																			
0	1	0	1	6×BUSCLK																																																																																			
0	1	1	0	7×BUSCLK																																																																																			
0	1	1	1	8×BUSCLK																																																																																			
1	0	0	0	9×BUSCLK																																																																																			
1	0	0	1	10×BUSCLK																																																																																			
1	0	1	0	11×BUSCLK																																																																																			
1	0	1	1	12×BUSCLK																																																																																			
1	1	0	0	13×BUSCLK																																																																																			
1	1	0	1	14×BUSCLK																																																																																			
1	1	1	0	15×BUSCLK																																																																																			
1	1	1	1	16×BUSCLK（初期値）																																																																																			

備考 n = 0-3

★

注意 アイドル・ステートは、リード・アクセス直後も、ライト・アクセス直後も 1 ステート挿入されます。IWn3-IWn0 ビットの設定は、リード・アクセス直後のアイドル・ステート数に反映されます。ライト・アクセス直後のアイドル・ステートは常に 1 ステートです。

(3/5)

ビット位置	ビット名	意 味																																																																																				
11-8	WWn3- WWn0	STCSZn ごとにライト・リカバリ・ウェイト・ステートを設定します。 ライト・リカバリ・ウェイト・ステートとは、WRSTBZ のディアサート（WRSTBZ：L→H）から、STCSZn がディアサート（STCSZn：L→H）されるまでのサイクルです。 低速デバイスなどで、ライトとライトの間隔が必要なデバイスに対応させる場合などで、ライト・リカバリ・ウェイト・ステートを挿入します。 <table><tr><th>WWn3</th><th>WWn2</th><th>WWn1</th><th>WWn0</th><th>STCSZn のライト・リカバリ・ ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="2">1×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK（初期値）</td></tr></table>	WWn3	WWn2	WWn1	WWn0	STCSZn のライト・リカバリ・ ウェイト・ステート数	0	0	0	0	1×BUSCLK	0	0	0	1	0	0	1	0	2×BUSCLK	0	0	1	1	3×BUSCLK	0	1	0	0	4×BUSCLK	0	1	0	1	5×BUSCLK	0	1	1	0	6×BUSCLK	0	1	1	1	7×BUSCLK	1	0	0	0	8×BUSCLK	1	0	0	1	9×BUSCLK	1	0	1	0	10×BUSCLK	1	0	1	1	11×BUSCLK	1	1	0	0	12×BUSCLK	1	1	0	1	13×BUSCLK	1	1	1	0	14×BUSCLK	1	1	1	1	15×BUSCLK（初期値）
WWn3	WWn2	WWn1	WWn0	STCSZn のライト・リカバリ・ ウェイト・ステート数																																																																																		
0	0	0	0	1×BUSCLK																																																																																		
0	0	0	1																																																																																			
0	0	1	0	2×BUSCLK																																																																																		
0	0	1	1	3×BUSCLK																																																																																		
0	1	0	0	4×BUSCLK																																																																																		
0	1	0	1	5×BUSCLK																																																																																		
0	1	1	0	6×BUSCLK																																																																																		
0	1	1	1	7×BUSCLK																																																																																		
1	0	0	0	8×BUSCLK																																																																																		
1	0	0	1	9×BUSCLK																																																																																		
1	0	1	0	10×BUSCLK																																																																																		
1	0	1	1	11×BUSCLK																																																																																		
1	1	0	0	12×BUSCLK																																																																																		
1	1	0	1	13×BUSCLK																																																																																		
1	1	1	0	14×BUSCLK																																																																																		
1	1	1	1	15×BUSCLK（初期値）																																																																																		

注意 ライト・リカバリ・ウェイト・ステート数には 0×BUSCLK に設定できません。
必ず 1×BUSCLK のライト・リカバリ・ウェイト・ステートが挿入されます。

備考 n = 0-3

ビット位置	ビット名	意 味																																																																																					
7-4	DWn3- DWn0	STCSZn ごとにデータ・ウェイト・ステートを設定します。 ノー・ウェイトでは、1×BUSCLK 幅の RDZ, WRSTBZ は、データ・ウェイトで設定したステート数分延長されます。 <table><tr><th>DWn3</th><th>DWn2</th><th>DWn1</th><th>DWn0</th><th>STCSZn のデータ・ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK（初期値）</td></tr></table>	DWn3	DWn2	DWn1	DWn0	STCSZn のデータ・ウェイト・ステート数	0	0	0	0	0	0	0	0	1	1×BUSCLK	0	0	1	0	2×BUSCLK	0	0	1	1	3×BUSCLK	0	1	0	0	4×BUSCLK	0	1	0	1	5×BUSCLK	0	1	1	0	6×BUSCLK	0	1	1	1	7×BUSCLK	1	0	0	0	8×BUSCLK	1	0	0	1	9×BUSCLK	1	0	1	0	10×BUSCLK	1	0	1	1	11×BUSCLK	1	1	0	0	12×BUSCLK	1	1	0	1	13×BUSCLK	1	1	1	0	14×BUSCLK	1	1	1	1	15×BUSCLK（初期値）
DWn3	DWn2	DWn1	DWn0	STCSZn のデータ・ウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1×BUSCLK																																																																																			
0	0	1	0	2×BUSCLK																																																																																			
0	0	1	1	3×BUSCLK																																																																																			
0	1	0	0	4×BUSCLK																																																																																			
0	1	0	1	5×BUSCLK																																																																																			
0	1	1	0	6×BUSCLK																																																																																			
0	1	1	1	7×BUSCLK																																																																																			
1	0	0	0	8×BUSCLK																																																																																			
1	0	0	1	9×BUSCLK																																																																																			
1	0	1	0	10×BUSCLK																																																																																			
1	0	1	1	11×BUSCLK																																																																																			
1	1	0	0	12×BUSCLK																																																																																			
1	1	0	1	13×BUSCLK																																																																																			
1	1	1	0	14×BUSCLK																																																																																			
1	1	1	1	15×BUSCLK（初期値）																																																																																			

注意 外部ウェイト (WAITZ 端子) によるウェイト制御を利用する場合は、データ・ウェイト・ステートは 1×BUSCLK 以上に設定してください。

備考 n = 0-3

(5/5)

ビット位置	ビット名	意 味																																																																																					
3-0	ACn3- ACn0	STCSZn ごとにアドレス設定ウェイト・ステートを設定します。 アドレス設定ウェイトとは、STCSZn のアサート（STCSZn：H→L … アドレスの変化点も同一タイミング）から、RDZ や WRSTBZ のアサート（RDZ / WRSTBZ：H→L）されるまでのサイクルです。 リード／ライト・ストロブに対するアドレスやチップ・セレクト信号のセット・アップ時間を必要とするデバイスをアクセスする場合に、アドレス設定ウェイト・ステートを適宜挿入します。 <table><tr><th>ACn3</th><th>ACn2</th><th>ACn1</th><th>ACn0</th><th>STCSZn のアドレス設定ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0（リード時），1×BUSCLK（ライト時）[※]</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×BUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×BUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×BUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×BUSCLK（初期値）</td></tr></table>	ACn3	ACn2	ACn1	ACn0	STCSZn のアドレス設定ウェイト・ステート数	0	0	0	0	0（リード時），1×BUSCLK（ライト時） [※]	0	0	0	1	1×BUSCLK	0	0	1	0	2×BUSCLK	0	0	1	1	3×BUSCLK	0	1	0	0	4×BUSCLK	0	1	0	1	5×BUSCLK	0	1	1	0	6×BUSCLK	0	1	1	1	7×BUSCLK	1	0	0	0	8×BUSCLK	1	0	0	1	9×BUSCLK	1	0	1	0	10×BUSCLK	1	0	1	1	11×BUSCLK	1	1	0	0	12×BUSCLK	1	1	0	1	13×BUSCLK	1	1	1	0	14×BUSCLK	1	1	1	1	15×BUSCLK（初期値）
ACn3	ACn2	ACn1	ACn0	STCSZn のアドレス設定ウェイト・ステート数																																																																																			
0	0	0	0	0（リード時），1×BUSCLK（ライト時） [※]																																																																																			
0	0	0	1	1×BUSCLK																																																																																			
0	0	1	0	2×BUSCLK																																																																																			
0	0	1	1	3×BUSCLK																																																																																			
0	1	0	0	4×BUSCLK																																																																																			
0	1	0	1	5×BUSCLK																																																																																			
0	1	1	0	6×BUSCLK																																																																																			
0	1	1	1	7×BUSCLK																																																																																			
1	0	0	0	8×BUSCLK																																																																																			
1	0	0	1	9×BUSCLK																																																																																			
1	0	1	0	10×BUSCLK																																																																																			
1	0	1	1	11×BUSCLK																																																																																			
1	1	0	0	12×BUSCLK																																																																																			
1	1	0	1	13×BUSCLK																																																																																			
1	1	1	0	14×BUSCLK																																																																																			
1	1	1	1	15×BUSCLK（初期値）																																																																																			

注 ライト時は、必ず 1×BUSCLK のアドレス設定ウェイトが挿入されます。

注意 このレジスタで設定したアドレス設定ウェイト・ステートは、ページ ROM に対するオンページ・アクセス時も挿入されます。

備考 n = 0-3

(3) ページ ROM 制御レジスタ (PRC)

スタティック・メモリ用チップ・セレクト出力 0 (STCSZ0) 接続されているメモリ・タイプの指定、ページ ROM を選択した場合の接続するページ ROM の構成、連続読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスや BUSCLK に応じたウェイト数を設定します。

なおオフページ・アクセス時のウェイト設定は、スタティック・メモリ制御レジスタ 0 (SMC0) で行います。このとき、オフページ・アクセス時のウェイト・ステート数は 1 以上を設定してください。

PRC レジスタはリード／ライト可能です。ビット 27-20, ビット 15-1 には必ず 0 を設定してください。

注意 1. ページ ROM をオンページ ROM モードで利用できるのは、STCSZ0 に接続されているページ ROM のみです。

2. オフページ・アクセスのウェイト・ステート数は、必ず 1 以上を設定してください。

(1/2)

31

30

29

28

27

26

25

24

23

22

21

20

19

18

17

16

PRC

PRW3

PRW2

PRW1

PRW0

0

0

0

0

0

0

0

0

MA6

MA5

MA4

MA3

0F00 0018H

R/W

R/W

R/W

R/W

0

0

0

0

0

0

0

0

R/W

R/W

R/W

R/W

15

14

13

12

11

10

9

8

7

6

5

4

3

2

1

0

初期値

0

0

0

0

0

0

0

0

0

0

0

0

0

0

ST

F000 0000H

R/W

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

R/W

ビット位置

ビット名

意 味

31-28

PRW3-PRW0

STCSZ0 のページ ROM の、オンページ・サイクル時のデータ・ウェイト・ステート数を設定します。

PRW3

PRW2

PRW1

PRW0

STCSZ0 のオンページ・アクセスのウェイト・ステート数

0

0

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0

1

0</

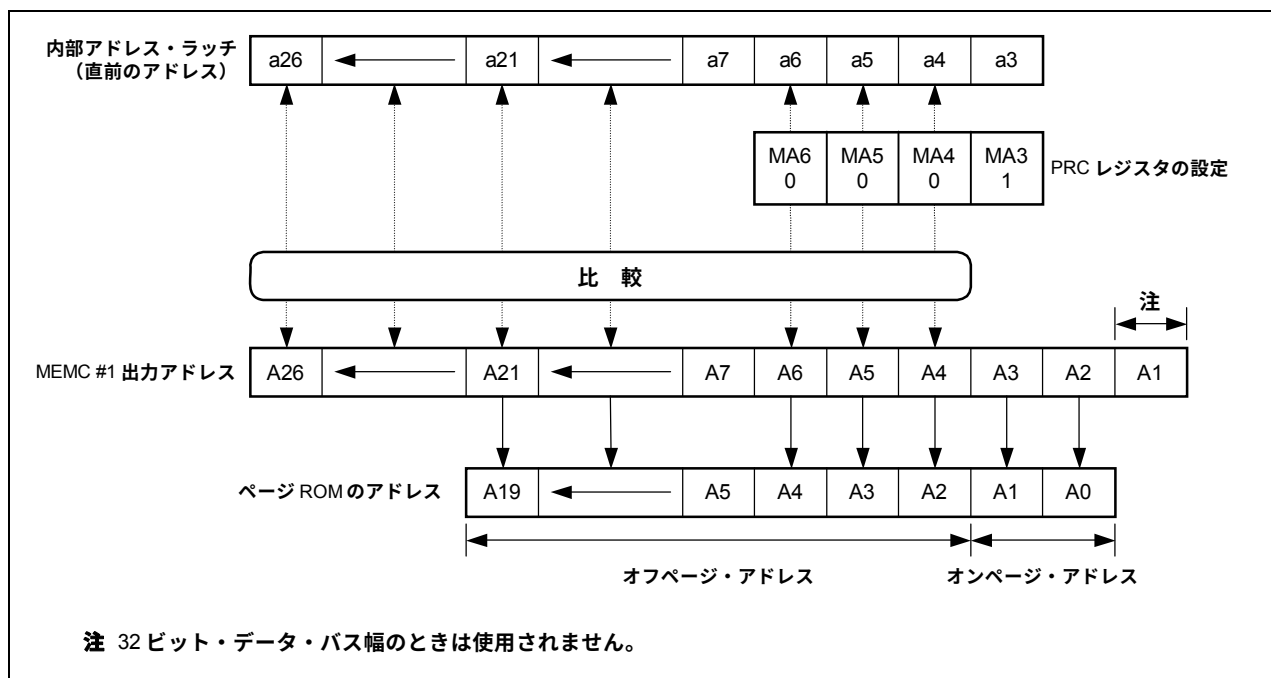
(2/2)

ビット位置	ビット名	意 味																																			
19-16	MA6-MA3	アドレス比較時のマスク・ビットを設定します。 <table><tr><th>MA6</th><th>MA5</th><th>MA4</th><th>MA3</th><th>接続するページ ROM のページ・サイズ</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>32 ビット×2, 16 ビット×4 (初期値)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>32 ビット×4, 16 ビット×8</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>32 ビット×8, 16 ビット×16</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>32 ビット×16, 16 ビット×32</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>32 ビット×32, 16 ビット×64</td></tr><tr><td colspan="4">上記以外</td><td>設定禁止 (設定した場合の動作は保証できません。)</td></tr></table>	MA6	MA5	MA4	MA3	接続するページ ROM のページ・サイズ	0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)	0	0	0	1	32 ビット×4, 16 ビット×8	0	0	1	1	32 ビット×8, 16 ビット×16	0	1	1	1	32 ビット×16, 16 ビット×32	1	1	1	1	32 ビット×32, 16 ビット×64	上記以外				設定禁止 (設定した場合の動作は保証できません。)
MA6	MA5	MA4	MA3	接続するページ ROM のページ・サイズ																																	
0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)																																	
0	0	0	1	32 ビット×4, 16 ビット×8																																	
0	0	1	1	32 ビット×8, 16 ビット×16																																	
0	1	1	1	32 ビット×16, 16 ビット×32																																	
1	1	1	1	32 ビット×32, 16 ビット×64																																	
上記以外				設定禁止 (設定した場合の動作は保証できません。)																																	
0	ST	スタティック・メモリ用チップ・セレクト出力 0 (STCSZ0) に接続するメモリ・タイプを指定します。 0 : SRAM, I/O デバイス (初期値) 1 : ページ ROM																																			

ページ ROM 制御レジスタ (PRC) により接続するページ ROM の構成, 連続する読み出し可能なビット数に応じて, アドレス (A3-A6) のうちマスクする (比較しない) アドレスを設定します。

次に, 512K ワード×16 ビットのページ ROM を 2 つ接続した場合の, アドレス・マスク制御の例を示します。

図 5-1 PRC レジスタの MA6-MA3 ビットによる制御例



(4) ライト・イネーブル切り替えレジスタ (WREN)

BENZ0-BENZ3 端子の機能において、WRZ0-WRZ3 と BENZ0-BENZ3 とを選択するレジスタです。
MEMC #1 用は、ビット 0 の WREN ビットです。

バイト・イネーブル付きの SRAM などを接続する場合は、ライト・ストロブ信号に WRZ0-WRZ3 の負論理 OR を取った WRSTBZ を使用します。

WREN レジスタは、リード／ライト可能です。ビット 31-2 には必ず 0 を設定してください。
リセットで 0000 0000H になり、BENZ0-BENZ3 端子は BENZ0-BENZ3 として動作します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
WREN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9104H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWR EN	WR EN	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	
ビット位置	ビット名	意 味															
1	SWREN	MEMC #2 の SBENZ0-SBENZ3 端子機能を選択します。 0 : SBENZ0-SBENZ3 として動作 (初期値) 1 : SWRZ0-SWRZ3 として動作															
0	WREN	MEMC #1 の BENZ0-BENZ3 端子機能を選択します。 0 : BENZ0-BENZ3 として動作 (初期値) 1 : WRZ0-WRZ3 として動作															

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの SWREN, WREN の独立ビットで選択できます。

(5) ダイナミック・メモリ制御レジスタ (DMC)

DMC レジスタは、接続するダイナミック・メモリの、レーテンシ、ウエイト、ロウ・アドレス幅、アドレス・マルチプレクス幅を設定します。

DMC レジスタはリード／ライト可能です。ビット 31, ビット 27-24, ビット 21, 20, ビット 14-0 には必ず 0 を設定してください。

ビット 15 はリードのみ可能で、書き込んだ値は無視されます。

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DMC	0	LTM2	LTM1	LTM0	0	0	0	0	BCW1	BCW0	0	0	RAW1	RAW0	SAW1	SAW0	0F00 001CH
R/W	0	R/W	R/W	R/W	0	0	0	0	R/W	R/W	0	0	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	20C0 0000H
R/W	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意 味																								
30-28	LTM2- LTM0	リード時の CAS レーテンシを設定します。 <table><tr><th>LTM2</th><th>LTM1</th><th>LTM0</th><th>CAS レーテンシ</th></tr><tr><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>2</td></tr><tr><td>0</td><td>1</td><td>1</td><td>3</td></tr><tr><td colspan="3">上記以外</td><td>設定禁止</td></tr></table>	LTM2	LTM1	LTM0	CAS レーテンシ	0	0	0	設定禁止	0	0	1	1	0	1	0	2	0	1	1	3	上記以外			設定禁止
LTM2	LTM1	LTM0	CAS レーテンシ																							
0	0	0	設定禁止																							
0	0	1	1																							
0	1	0	2																							
0	1	1	3																							
上記以外			設定禁止																							
23, 22	BCW1, BCW0	バンク・アクティブ・コマンドからリード／ライト・コマンド、またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでの発行間隔（ウェイト・ステート数）を設定します。 <table><tr><th>BCW1</th><th>BCW0</th><th>ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>設定禁止</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>2</td></tr><tr><td>1</td><td>1</td><td>3</td></tr></table>	BCW1	BCW0	ウェイト・ステート数	0	0	設定禁止	0	1	1	1	0	2	1	1	3									
BCW1	BCW0	ウェイト・ステート数																								
0	0	設定禁止																								
0	1	1																								
1	0	2																								
1	1	3																								
19-18	RAW1, RAW0	ロウ・アドレス幅を指定します。 <table><tr><th>RAW1</th><th>RAW0</th><th>ロウ・アドレス幅</th></tr><tr><td>0</td><td>0</td><td>11 ビット</td></tr><tr><td>0</td><td>1</td><td>12 ビット</td></tr><tr><td>1</td><td>0</td><td>13 ビット</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	RAW1	RAW0	ロウ・アドレス幅	0	0	11 ビット	0	1	12 ビット	1	0	13 ビット	1	1	設定禁止									
RAW1	RAW0	ロウ・アドレス幅																								
0	0	11 ビット																								
0	1	12 ビット																								
1	0	13 ビット																								
1	1	設定禁止																								

(2/2)

ビット位置	ビット名	意 味															
17-16	SAW1, SAW0	アドレス・マルチプレクス幅を指定します。 <table><tr><th>RAW1</th><th>RAW0</th><th>アドレス・マルチプレクス幅</th></tr><tr><td>0</td><td>0</td><td>8 ビット</td></tr><tr><td>0</td><td>1</td><td>9 ビット</td></tr><tr><td>1</td><td>0</td><td>10 ビット</td></tr><tr><td>1</td><td>1</td><td>11 ビット</td></tr></table>	RAW1	RAW0	アドレス・マルチプレクス幅	0	0	8 ビット	0	1	9 ビット	1	0	10 ビット	1	1	11 ビット
RAW1	RAW0	アドレス・マルチプレクス幅															
0	0	8 ビット															
0	1	9 ビット															
1	0	10 ビット															
1	1	11 ビット															
15	IST	モード・レジスタ・ライト・ステータス・ビットです。 DMC レジスタを設定したあとに、このビットがセット (1) されていることを確認してから SDRAM をアクセスしてください。このビットはリードのみ可能で、ライトは無視されます。 0：モード・レジスタ・ライト未完了 1：モード・レジスタ・ライト完了															

注意 IST ビットがセット (1) されていることを確認してから SDRAM にアクセスをしてください。DMC レジスタへの設定は、メモリ・コントローラの初期化時のみ行ってください。初期化後の変更はしないでください。

(a) SDRAM アドレス制御

以下に、SDRAM アクセス・サイクル時のアドレス制御について説明します。

(i) アクティブ・コマンド時

ロウ・アドレスを出力します。

ビット設定		アドレス端子																	
SAW1	SAW0	26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	0	a26-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
0	1	a26-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
1	0	a26-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
1	1	a26-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12

(ii) オール・バンク・プリチャージ・コマンド時

SDRAM の A10 = 1 にします。

ビット設定	アドレス端子																	
DBS	26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	a26-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1
1	a26-a18	a17	a16	a15	a14	a13	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1

(iii) レジスタ・ライト・コマンド時

ビット設定	アドレス端子																	
DBS	26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	0	0	0	0	0	0	0	0	0	0	0	LTM ₂	LTM ₁	LTM ₀	a4	a3	a2	a1
1	0	0	0	0	0	0	0	0	0	0	LTM ₂	LTM ₁	LTM ₀	0	a4	a3	a2	a1

(iv) リード／ライト・コマンド時

コラム・アドレスを出力します。SDRAM の A10 = 1 としてオート・プリチャージは発行しません。

ビット設定	アドレス端子																	
DBS	26-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	a26-a18	a17	a16	a15	a14	a13	a12	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1
1	a26-a18	a17	a16	a15	a14	a13	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1

(b) アドレス対応について

メモリ・コントローラは、以下のレジスタ設定値よりのアドレス対応が行われます。

- ・DMC レジスタの RAW1, RAW0 (ロウ・アドレス幅) , SAW1, SAW0 (アドレス・マルチプレクス幅)
- ・BSC レジスタの DBS (メモリ・バス幅)

表 5-2 にレジスタ設定とアドレスの対応を示します。メモリ・コントローラは直前のアドレスと現在アクセスするアドレスを比較して SDRAM へ発行するコマンドを選択します。

- ・バンク・アドレスとロウ・アドレスが同じ場合は、オンページ・アクセスと判断します。
- ・バンク・アドレスが同じでロウ・アドレスが異なる場合は、ページ・チェンジ・アクセスと判断します。バンク・アドレスが異なる場合は、バンク・チェンジ・アクセスと判断します。

表 5-2 アドレス対応表

ロウ・アドレス幅	カラム・アドレス幅	メモリ・バス幅	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11	8	16	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (8 ビット)								—
12	8	16	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (8 ビット)								—
13	8	16	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (8 ビット)								—
11	9	16	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (9 ビット)								—
12	9	16	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (9 ビット)								—
13	9	16	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (9 ビット)								—
11	10	16	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (10 ビット)								—
12	10	16	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (10 ビット)								—
13	10	16	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (10 ビット)								—
11	11	16	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (11 ビット)								—
12	11	16	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (11 ビット)								—
13	11	16	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (11 ビット)								—
11	8	32	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (8 ビット)								—
12	8	32	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (8 ビット)								—
13	8	32	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (8 ビット)								—
11	9	32	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (9 ビット)								—
12	9	32	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (9 ビット)								—
13	9	32	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (9 ビット)								—
11	10	32	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (10 ビット)								—
12	10	32	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (10 ビット)								—
13	10	32	バンク・アドレス							ロウ・アドレス (13 ビット)											カラム・アドレス (10 ビット)								—
11	11	32	バンク・アドレス							ロウ・アドレス (11 ビット)											カラム・アドレス (11 ビット)								—
12	11	32	バンク・アドレス							ロウ・アドレス (12 ビット)											カラム・アドレス (11 ビット)								—

注意 バンク・アドレスとして認識している上位アドレスのアドレス・ビットを用いて、外部でチップ・セレクト等の制御を行うと、メモリ・コントローラの認識と実際の SDRAM のアクセスとの間で不整合が生じ、不正アクセス (不正コマンド) が発生するおそれがあります。

(c) モード・レジスタ・ライト

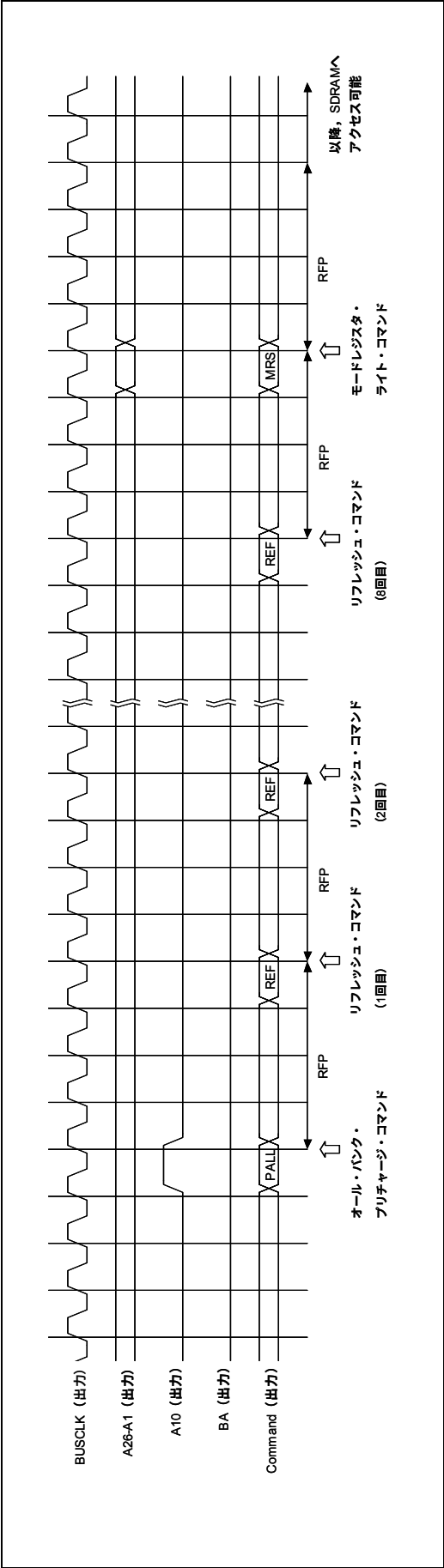
DMC レジスタへの書き込みが行われると、メモリ・コントローラは SDRAM へのモード・レジスタ・ライト・サイクルを起動し、該当する SDRAM の初期化を行います。

初期化が開始されると、初期化が終わるまではメモリ・コントローラは、内部のバス・マスタからのアクセスを受け付けず、バス・マスタをウェイトさせます。

モード・レジスタ・ライト・サイクルのタイミング例を図 5-2 に示します。

注意 モード・レジスタの設定完了は、必ず DMC レジスタの IST ビットで確認してください。それまでは、他のメモリ・コントローラの制御レジスタや、外部メモリにアクセスしないでください。ただし、MEMC #2 は SDRAM に対応していないため、この制限はありません。

図 5-2 SDRAM モード・レジスタ・ライト・サイクル



(6) ダイナミック・メモリ・リフレッシュ制御レジスタ (RFC)

RFC レジスタは、リフレッシュ許可とリフレッシュ間隔を設定します。

RFC レジスタはリード／ライト可能です。ビット 31-21, ビット 14-10 には必ず 0 を設定してください。

(1/2)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
RFC	0	0	0	0	0	0	0	0	0	0	0	RFP4	RFP3	RFP2	RFP1	RFP0	0F00 002CH
R/W	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	REN0	0	0	0	0	0	RCC1	RCC0	RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	001F 0000H
R/W	R/W	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
20-16	RFP4- RFP0	前のコマンド発行からリフレッシュ・コマンド発行までの間隔、リフレッシュ・コマンド発行から次のコマンド発行までの間隔を BUSCLK 単位で指定します。
15	REN	SDRAM のリフレッシュ・イネーブルを設定します。 0：リフレッシュ禁止 1：リフレッシュ許可
9, 8	RCC1, RCC0	リフレッシュ・インターバル・カウンタのカウント・ソース・クロック・ファクタを設定します。

(2/2)

ビット位置	ビット名	意 味																																																															
7-0	RIN7- RIN0	リフレッシュ・インターバル・ファクタを設定します。 <table><tr><th>RIN7</th><th>RIN6</th><th>RIN5</th><th>RIN4</th><th>RIN3</th><th>RIN2</th><th>RIN1</th><th>RIN0</th><th>インターバル・ファクタ</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>2</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>3</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>4</td></tr><tr><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>256</td></tr></table>	RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	インターバル・ファクタ	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	2	0	0	0	0	0	0	1	0	3	0	0	0	0	0	0	1	1	4	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	1	1	1	256
RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	インターバル・ファクタ																																																									
0	0	0	0	0	0	0	0	1																																																									
0	0	0	0	0	0	0	1	2																																																									
0	0	0	0	0	0	1	0	3																																																									
0	0	0	0	0	0	1	1	4																																																									
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮																																																									
1	1	1	1	1	1	1	1	256																																																									

注意 1. リフレッシュ発生要因は、メモリ・コントローラ内部のインターバル・タイマのカウント値と、リフレッシュ間隔レジスタの設定値との一致によって発生しますが、実際のリフレッシュ実行は外部バスの状態（サイクル実行中またはバス・ホールド中）により待たされることがあります。したがって、リフレッシュ間隔の設定は、システムのバス稼働率を考慮して、メモリの仕様よりも短い値を設定する必要があります。

2. リフレッシュ間隔（RCC, RIN）は、モード・レジスタ設定サイクル時のリフレッシュ間隔（RFP）より長い時間に設定してください。

リフレッシュ間隔 = $64\text{ms}/4096 = 15.625\mu\text{s}$ の場合の設定例を示します。リフレッシュ間隔の規定値に対して、使用する動作クロックにあわせて、ソース・クロック・ファクタとインターバル・ファクタを設定します。

表 5-3 SDRAM リフレッシュ間隔設定例

リフレッシュ 間隔の 規定値（ μs ）	カウント・ソース・ クロック・ファクタ （RCC1-RCC0）	インターバル・ファクタ（RIN7-RIN0）			
		BUSCLK = 48MHz 時	BUSCLK = 66MHz 時	BUSCLK = 88.7MHz 時	BUSCLK = 100MHz 時
$64 \times 1000 / 4096$ = 15.625	00 (32)	23 (15.33 μs) 注	32 (15.52 μs) 注	43 (15.52 μs) 注	48 (15.36 μs) 注
	01 (128)	5 (15.33 μs) 注	8 (15.52 μs) 注	11 (14.44 μs) 注	12 (15.36 μs) 注
	10 (256)	2 (10.67 μs) 注	4 (15.52 μs) 注	6 (14.44 μs) 注	6 (15.36 μs) 注

注（ ）内は、リフレッシュ間隔の計算値です。

リフレッシュ間隔（ μs ） = カウント・ソース・クロック・ファクタ / BUSCLK × インターバル・ファクタ

5.4 メモリ接続例

5.4.1 SRAM の接続例

SRAM との接続例は次のようになります。

図 5-3 EP3-AM1 と 32 ビット幅 SRAM との接続例

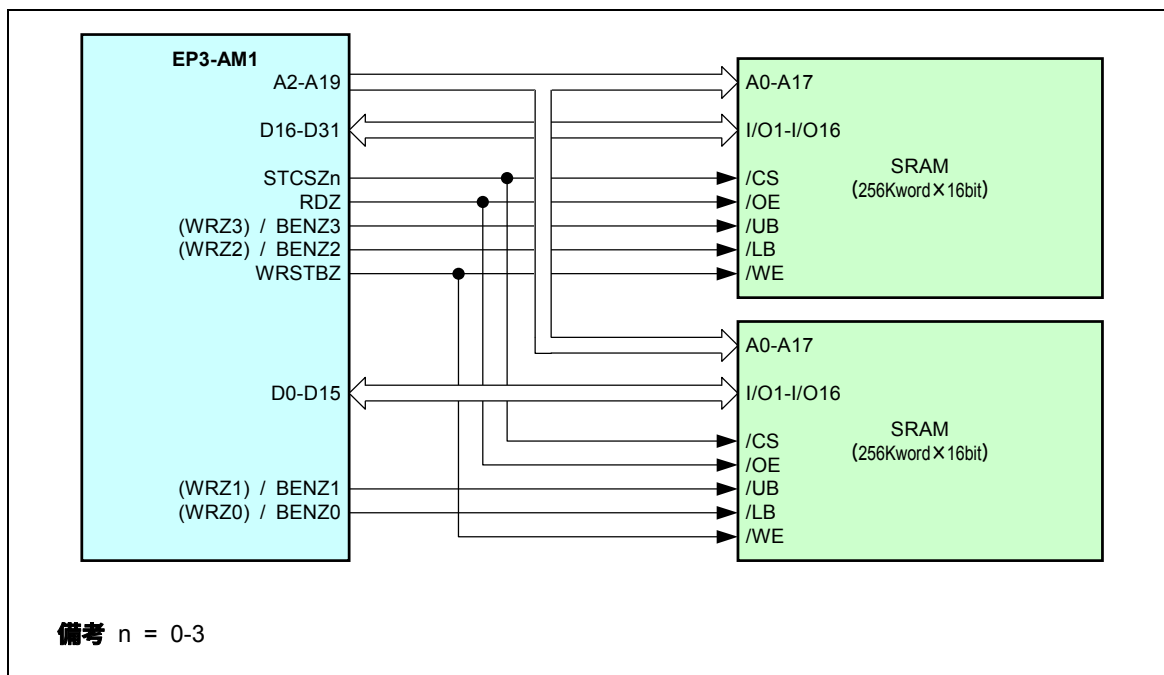
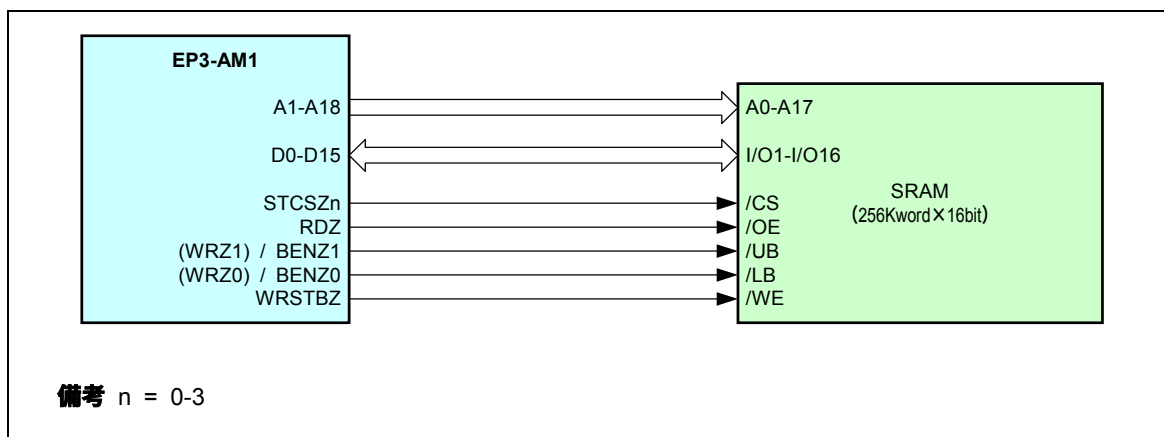


図 5-4 EP3-AM1 と 16 ビット幅 SRAM との接続例



5.4.2 ページ ROM の接続例

ページ ROM との接続例は次のようになります。

図 5-5 EP3-AM1 と 32 ビット幅ページ ROM との接続例

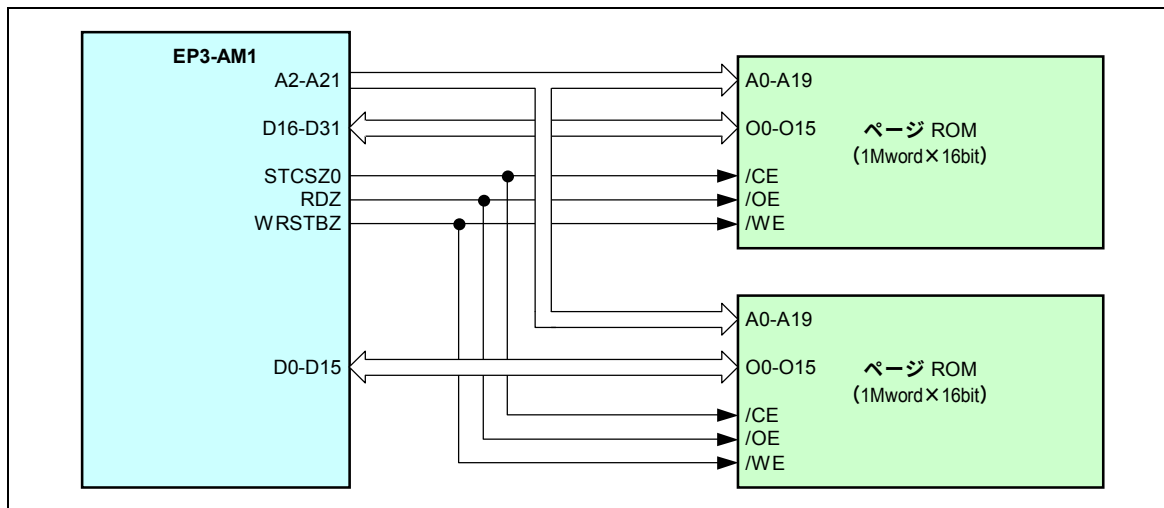
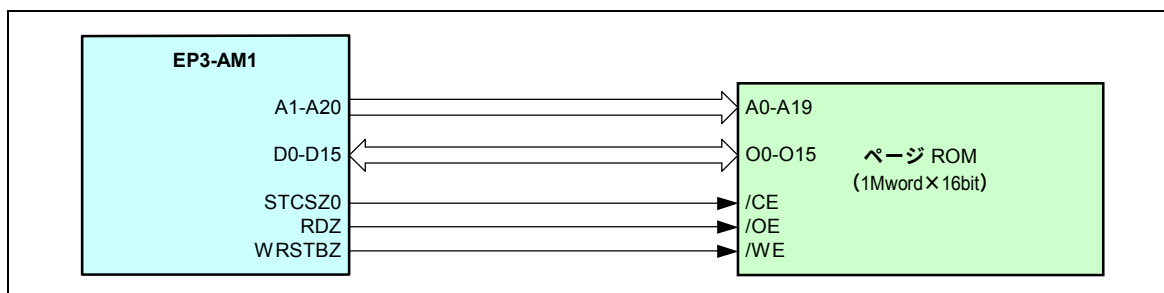


図 5-6 EP3-AM1 と 16 ビット幅ページ ROM との接続例



注意 ページ ROM は、STCSZ0 以外に接続した場合、オンページ・モードを利用できません。

5.4.3 SDRAM の接続例

SDRAM との接続例を次に示します。

図 5-7 EP3-AM1 と 32 ビット幅 SDRAM との接続例

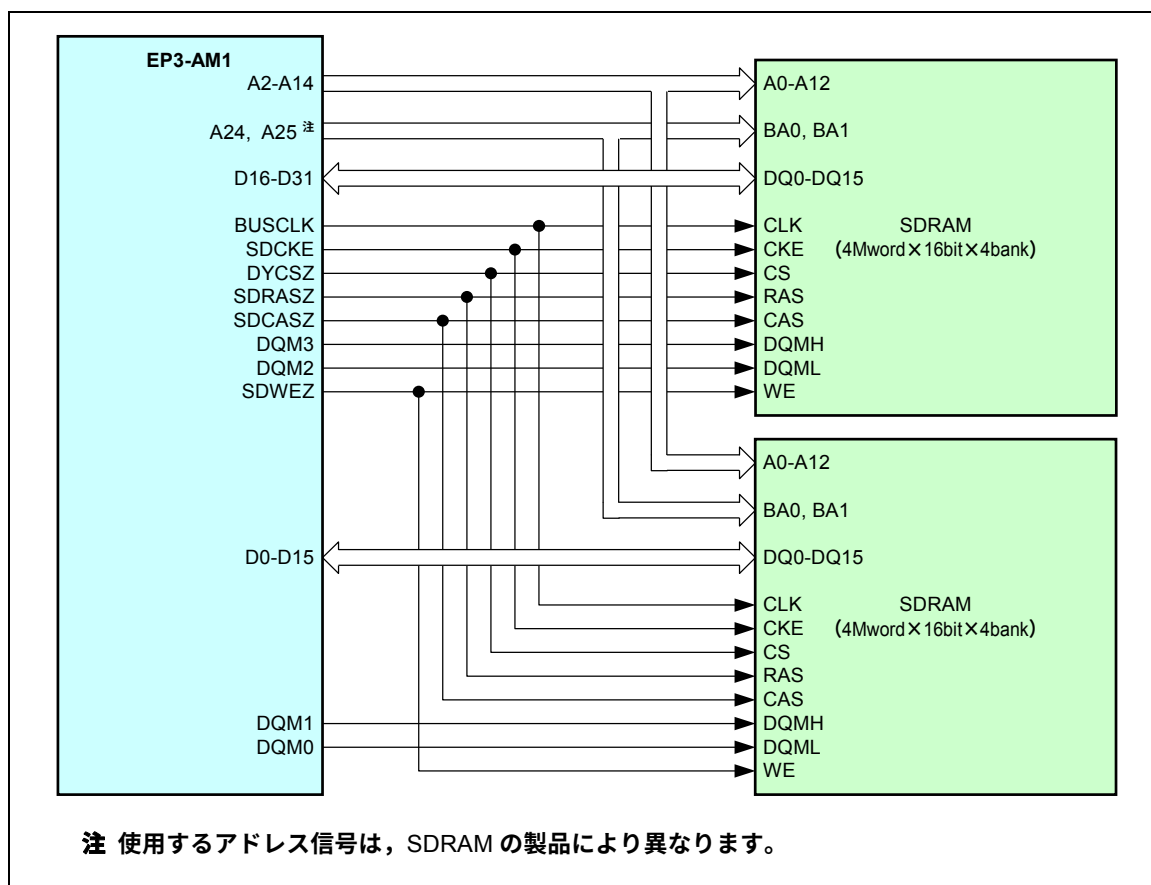
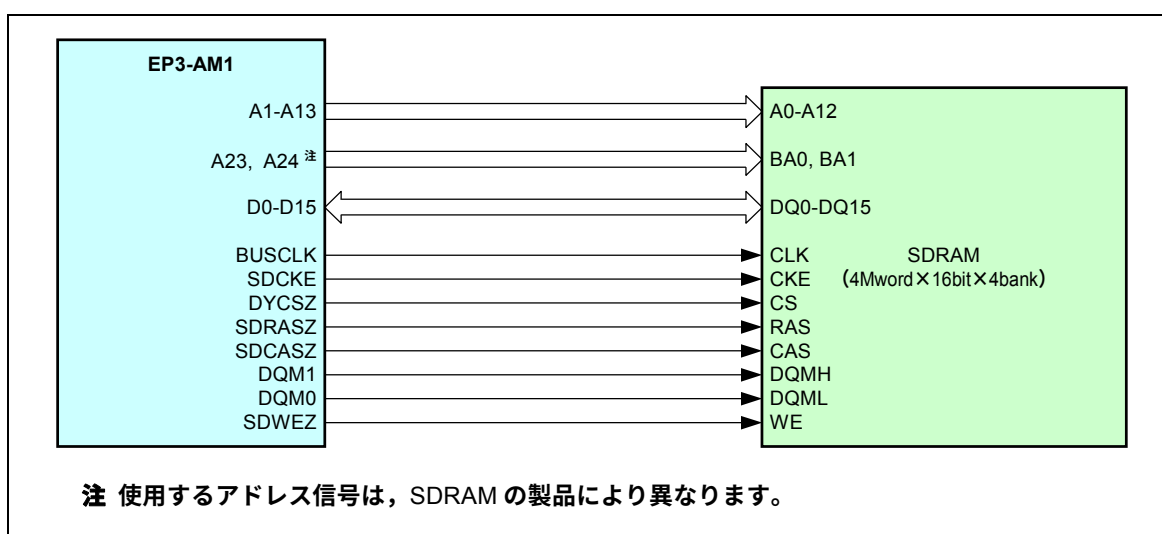


図 5-8 EP3-AM1 と 16 ビット幅 SDRAM との接続例



5.5 外部ウェイト機能

EP3-AM1 のメモリ・コントローラに低速のマクロ、または低速のシステムを接続する場合は、外部ウェイト端子 (WAITZ) を使用して、バス・サイクルのウェイト・ステートを挿入できます。

WAITZ 信号は、BUSCLK 信号に対する非同期入力が可能です[※]。BUSCLK の立ち下がり、BUSCLK の立ち上がりの、2 段の F/F によって WAITZ 信号を取り込んでいます。つまり BUSCLK の立ち下がり、1.5×BUSCLK のタイミングでウェイトが解除されます。

このため、外部ウェイト機能を利用する場合は、少なくともアドレス設定ウェイト (SMCn レジスタの ACn3-ACn0) とデータ・ウェイト (SMCn レジスタの DWn3-DWn0) の合計値が 1×BUSCLK 以上が必要です。実際の設計では、BCYSTZ や STCSZn がアクティブになるタイミングから、次の BUSCLK の立ち下がりまでに WAITZ をロー・レベルとすることは困難なため、アドレス設定ウェイト (SMCn レジスタの ACn3-ACn0) とデータ・ウェイト (SMCn レジスタの DWn3-DWn0) の合計値は 2×BUSCLK 以上が必要です。

なお、外部ウェイト・ステートは、スタティック・メモリのデータ・ウェイトのみに挿入されます。ダイナミック・メモリ・サイクル、スタティック・メモリ・サイクルのデータ・ウェイト以外には、外部ウェイト端子に入力は無効です。

注 EP3-AM1 に外部回路を接続した 1 チップ開発を行う場合、WAITZ 信号の非同期入力は推奨するものではありません。WAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

図 5-9 WAITZ 信号サンプリング回路構成

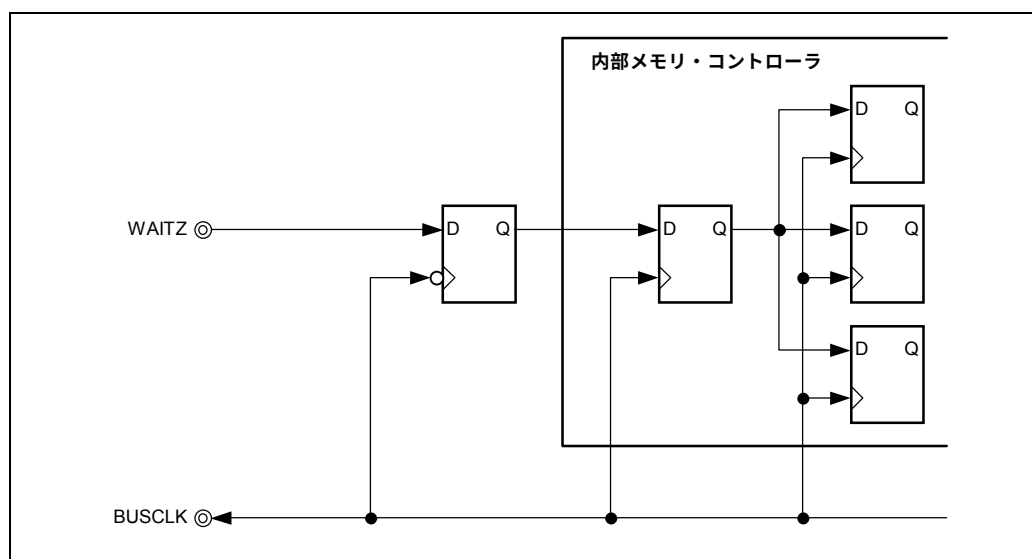
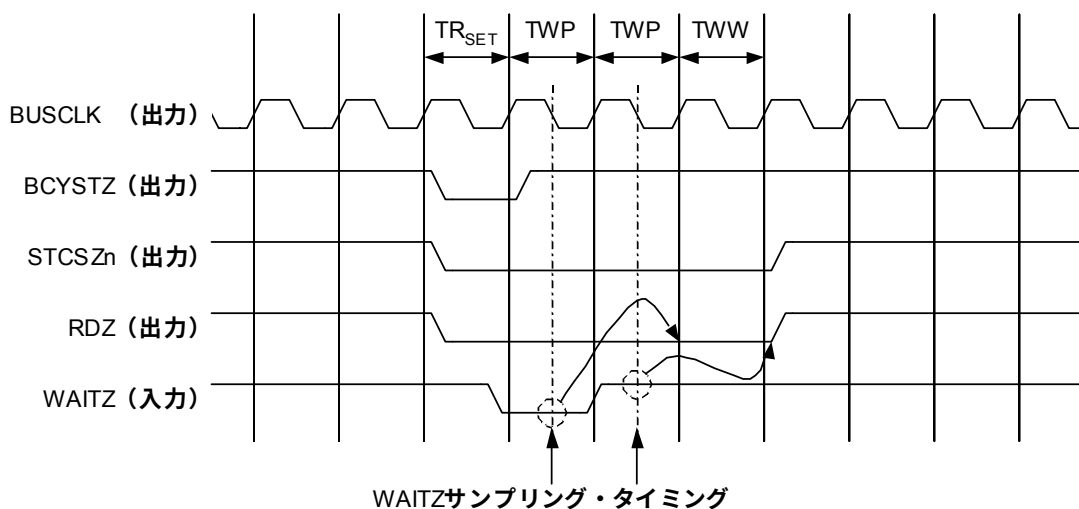
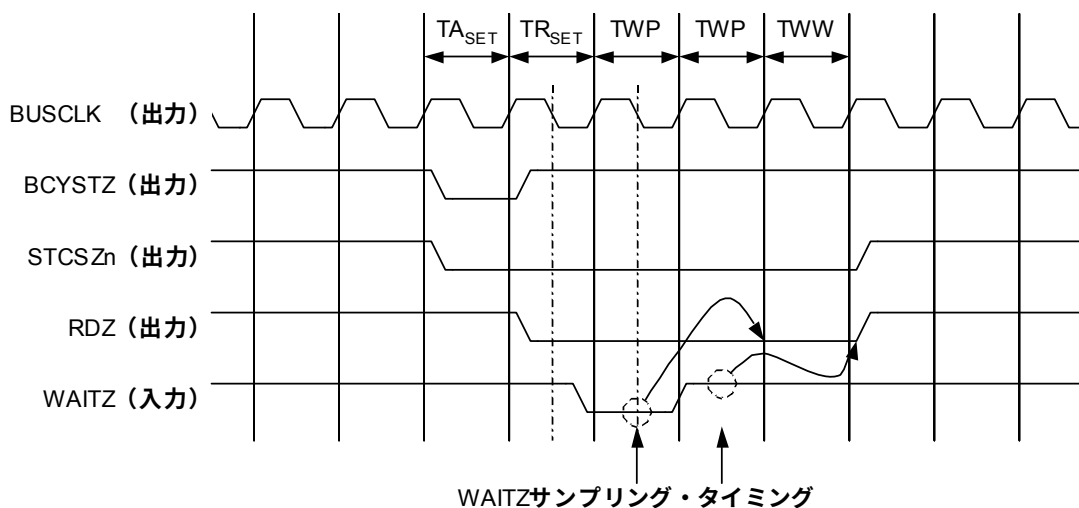


図 5-10 WAITZ 端子のサンプリング・タイミング (リード時)

○リード時 (データ・ウェイト = 2)



○リード時 (アドレス設定ウェイト = 1, データ・ウェイト = 2)



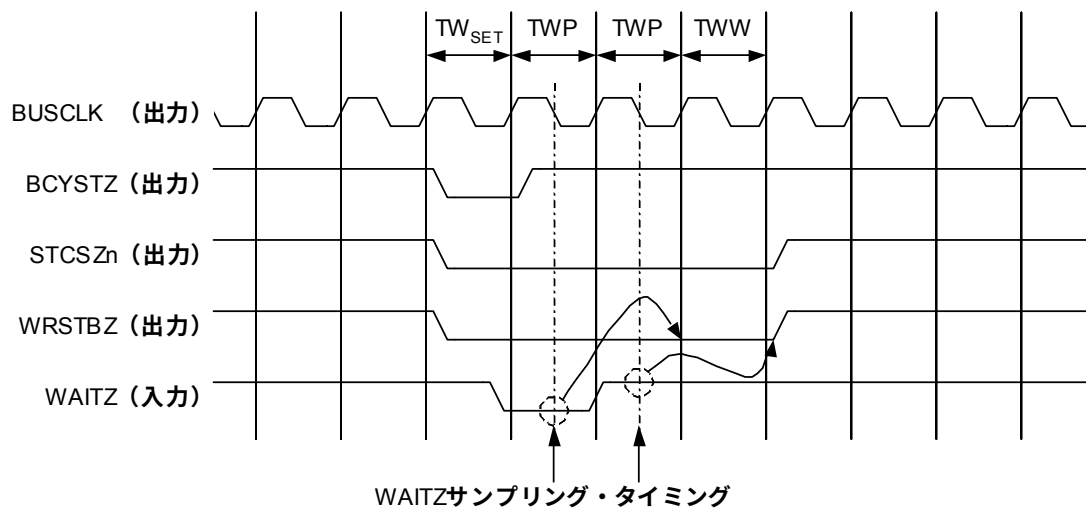
- TR_{SET} : RDZ をアクティブにするステート
 TWP : プログラマブル・ウェイト・ステート
 TWW : WAITZ 入力によるウェイト・ステート
 TA_{SET} : アドレス設定ウェイト・ステート

注意 1. データ・ウェイト・サイクルは、SMCn レジスタの DWn3-DWn0 の設定によるウェイト数と、WAITZ 端子入力による外部ウェイト数の論理和をとったものが挿入されます。

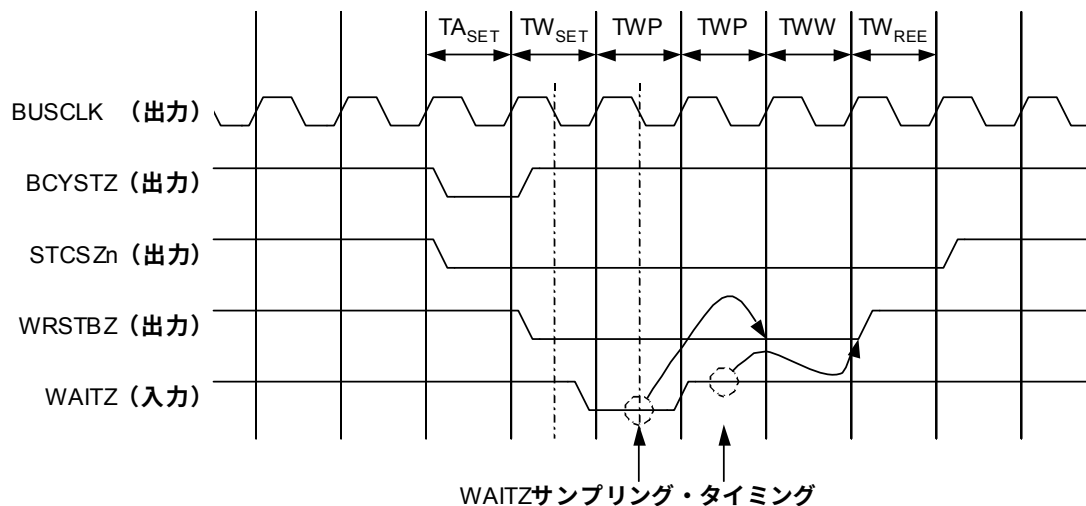
2. WAITZ 入力を利用する場合は、ポート P70 をコントロール・モードに設定してください。

図 5-11 WAITZ 端子のサンプリング・タイミング (ライト時)

○ライト時 (データ・ウェイト = 2)



○ライト時 (アドレス設定ウェイト = 1, データ・ウェイト = 2, ライト・リカバリ・ウェイト = 1)



- TW_{SET} : WRSTBZ をアクティブにするステート
 TWP : プログラマブル・ウェイト・ステート
 TWW : WAITZ 入力によるウェイト・ステート
 TA_{SET} : アドレス設定ウェイト・ステート
 TA_{REE} : ライト・リカバリ・ウェイト・ステート

注意 1. データ・ウェイト・サイクルは、SMCn レジスタの $DWn3-DWn0$ の設定によるウェイト数と、WAITZ 端子入力による外部ウェイト数の論理和をとったものが挿入されます。

2. WAITZ 入力を利用する場合は、ポート P70 をコントロール・モードに設定してください。

5.6 スタンバイ機能

CPU コアからスタンバイ要求を受けると、メモリ・コントローラは外部 SDRAM に対しセルフ・リフレッシュ・コマンドを発行します。

SDRAM へのセルフ・リフレッシュ・コマンドの発行が完了すると、メモリ・コントローラは CPU にスタンバイ・アクノリッジ信号を返し、EP3-AM1 内部のクロック・コントローラに対して、クロックの停止許可を通知します。

IDLE モードを解除可能なマスクされていない割り込み、またはリセット入力 (RESETZ) により、スタンバイ状態が解除され、クロック供給が再開されると、メモリ・コントローラは外部 SDRAM のセルフ・リフレッシュ状態を解除します。SDRAM がコマンド受け付け可能になるまで、メモリ・コントローラへのアクセスはウェイトされます。

5.7 バス・ホールド機能

HLDQRZ 信号がアクティブ (ロー・レベル) になりバス・ホールドを受け付けると、メモリ・コントローラはバス・ホールド状態に移行します。バス・ホールド状態への移行が完了すると、HLDKZ 信号出力がアクティブ (ロー・レベル) になります。バス・ホールド期間中は、HLDKZ 信号はアクティブ・レベルを保持します。

HLDQRZ 信号がインアクティブ (ハイ・レベル) になると、メモリ・コントローラはバス・ホールド状態を解除して HLDKZ 信号がインアクティブ (ハイ・レベル) にします。

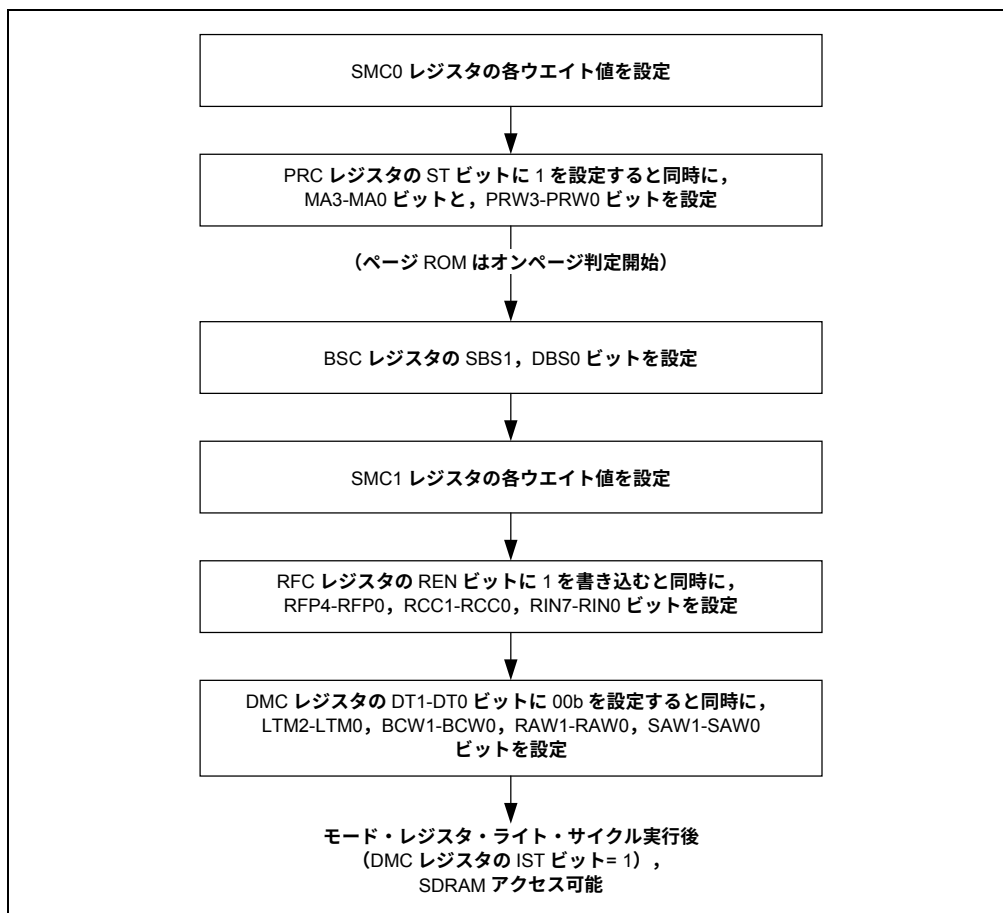
バス・ホールド中にダイナミック・メモリへのリフレッシュ要求が発生すると、メモリ・コントローラは、BUSREQZ 端子をロー・レベルにして、外部バス・マスタへ転送要求が発生したことを通知します。

- 注意** 1. バス・ホールド機能を利用する場合は、ポート P80, P81 をコントロール・モードに設定し、HLDQRZ, HLDKZ 端子機能として使用してください。
2. バス・ホールド時に、外部バス・マスタが SDRAM へアクセスする場合には、必ずバンク・プリチャージ・コマンドを実行してからアクセスしてください。逆にバス・ホールド解除時は、外部バス・マスタは SDRAM に対し、特別にコマンドを実行する必要はありません。メモリ・コントローラはバス・ホールドから復帰後、最初の SDRAM アクセスは、オール・バンク・プリチャージ・コマンドから実行します

5.8 制御レジスタ設定手順

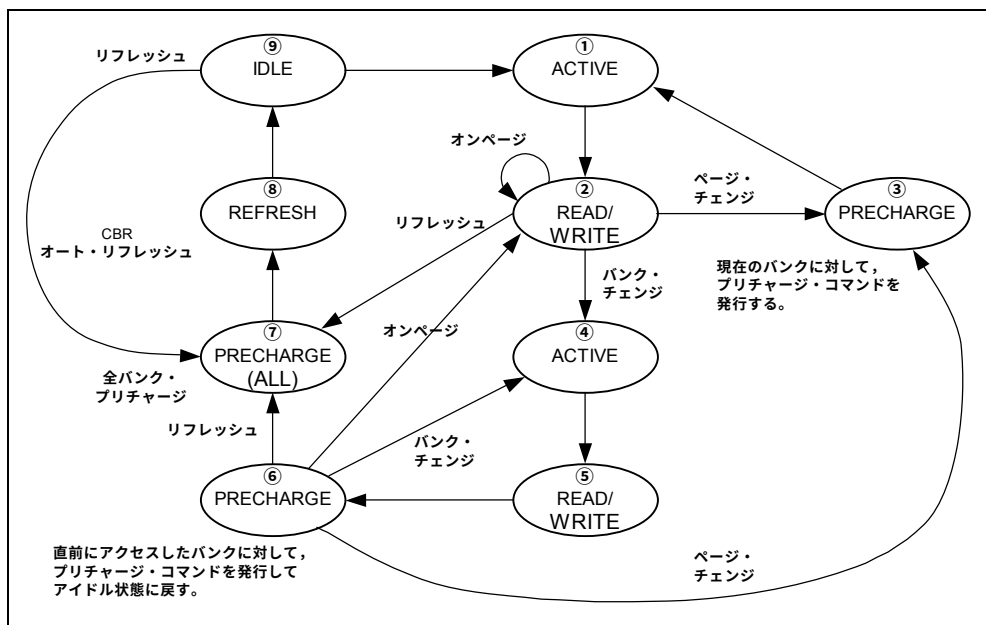
STCSZ0 領域にページ ROM, STCSZ1 領域に SRAM, DYCSZ 領域に SDRAM を接続する場合を例に, 制御レジスタ設定手順を説明します。

図 5-12 メモリ・コントローラの制御レジスタ設定手順例



5.9 SDRAM アクセスの状態遷移

図 5-13 SDRAM アクセスの状態遷移図



コマンド発行の手順を説明します。EP3-AM1 のメモリ・コントローラはダイナミック・メモリ制御レジスタ (DMC) とバス・サイズ制御レジスタ (BSC) に設定された情報より、バンク・アドレス、ロウ・アドレス、カラム・アドレスを認識します。それぞれの設定値におけるアドレス・マップは、5.3.1(5) ダイナミック・メモリ制御レジスタ (DMC) の表 5-2 アドレス対応表を参照してください。

直前にアクセスしたアドレスと現在アクセスするアドレスを比較して SDRAM へ発行するコマンドを選択します。同一チャンネルに接続された SDRAM に対しては、ロウ・アドレスが選択された状態が存在するのは 1 つのバンクのみになります。

(1) 初期化後、リフレッシュ後およびバス・ホールド解除後に、アクセスした場合

初期化時、リフレッシュ時は、必ずオールバンク・プリチャージ・コマンドが発行されますので、すべての SDRAM はアイドル状態になっています。よって、このあとの最初のアクセスではアクティブ・コマンド、リード／ライト・コマンドが順に発行されアクセスを終了します (⑨→①→②)。

また、バス・ホールド解除後の最初のアクセスでも、最初にオールバンク・プリチャージ・コマンドが発行されてから、アクティブ・コマンド、リード／ライト・コマンドが順に発行されアクセスを終了します。アクセス終了後、アクセスした SDRAM のバンクはロウ・アドレスが選択されている②の状態にいます。ただし、この状態でリフレッシュ・タイミングになるとオールバンク・プリチャージ・コマンドを発行してからリフレッシュを行うため、すべての SDRAM はアイドル状態に戻ります (②→⑦→⑧→⑨)。

(2) オンページ・アクセス

(1)のアクセス以外るとき、直前にアクセスしたアドレスと現在アクセスするアドレスにおいて、バンク・アドレスとロウ・アドレスが同じ場合は、オンページ・アクセスと判断します。アクセスする SDRAM のバンクはロウ・アドレスが選択された②の状態にいますので、ページがヒットしている間はリード／ライト・コマンドのみが発行されます (②→②→～→②)。

アクセス終了後、アクセスした SDRAM のバンクはロウ・アドレスが選択されている②の状態にいます。この状態でリフレッシュ・タイミングになると②→⑦→⑧→⑨と遷移して、すべての SDRAM はアイドル状態に戻ります。

(3) ページ・チェンジ・アクセス

(1)のアクセス以外るとき、直前にアクセスしたアドレスと現在アクセスするアドレスにおいて、バンク・アドレスが同じでロウ・アドレスが異なる場合は、ページ・チェンジ・アクセスと判断します。アクセスする SDRAM のバンクはロウ・アドレスが選択されている②の状態にいますので、アクセスするバンクに対して最初にプリチャージ・コマンドが発行されアイドル状態にします。続けて、アクティブ・コマンドで新たなロウ・アドレスを発行し、リード／ライト・コマンドが発行されアクセスを終了します (②→③→①→②)。

アクセス終了後、アクセスした SDRAM のバンクはロウ・アドレスが選択されている②の状態にいます。この状態でリフレッシュ・タイミングになると②→⑦→⑧→⑨と遷移して、すべての SDRAM はアイドル状態に戻ります。

(4) バンク・チェンジ・アクセス

(1)のアクセス以外るとき、直前にアクセスしたアドレスと現在アクセスするアドレスにおいて、バンク・アドレスが異なる場合は、バンク・チェンジ・アクセスと判断します。これからアクセスする SDRAM のバンクはアイドル状態にあるため、アクティブ・コマンド、リード／ライト・コマンドが順に発行されアクセスを終了します。更に、直前にアクセスした SDRAM のバンクはロウ・アドレスが選択されている状態にあるため、直前にアクセスしたバンクに対してプリチャージ・コマンドを発行しアイドル状態にします (④→⑤→⑥)。よって、ロウ・アドレスが選択された状態にある SDRAM のバンクは必ず1つになります。

アクセス終了後、アクセスした SDRAM のバンクはロウ・アドレスが選択されている⑥ (⑤) の状態にいます。次にオンページ・アクセスがあった場合は⑥→②、ページ・チェンジ・アクセスがあった場合は⑥→③→①→②、バンク・チェンジ・アクセスがあった場合は⑥→④→⑤→⑥と遷移します。また、リフレッシュ・タイミングになると②→⑦→⑧→⑨と遷移して、すべての SDRAM はアイドル状態に戻ります。

5.10 メモリ・アクセス・タイミング例

ここでは、次に示すメモリ・アクセス・タイミング例を示します。

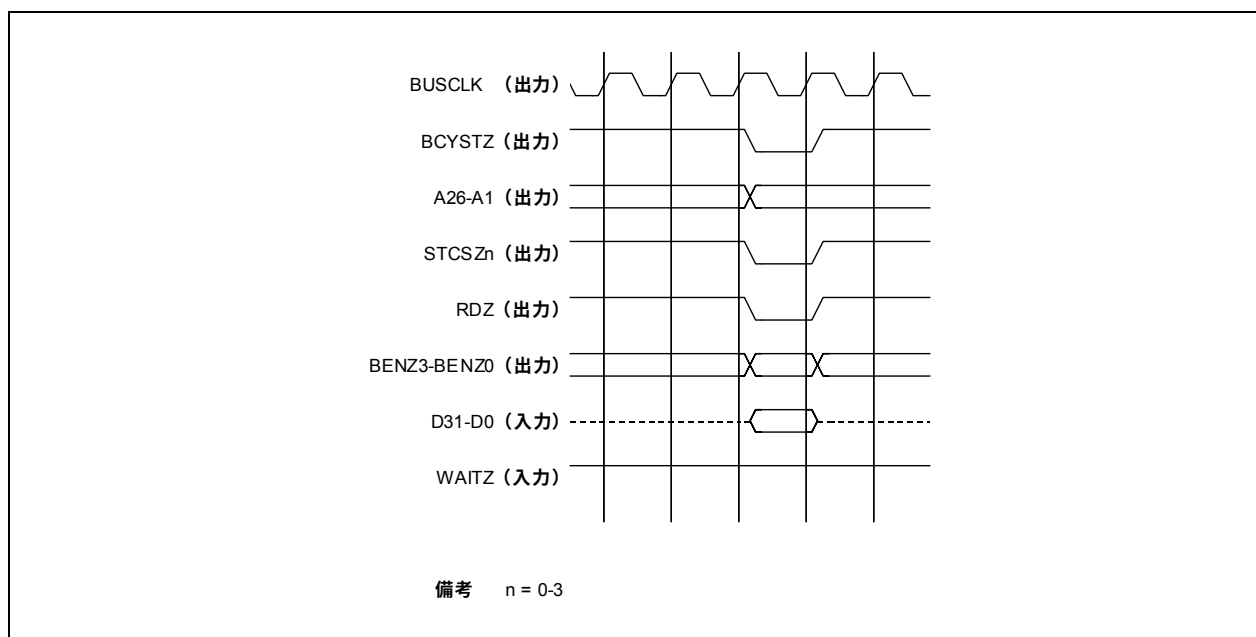
表 5-4 メモリ・アクセス・タイミング例一覧

図番号	メモリ・タイプ	アクセス条件	ページ
図 5-14	SRAM	リード, ウェイトなし	252
図 5-15	SRAM	リード, ウェイトあり	252
図 5-16	SRAM	リード, 外部ウェイト挿入	253
図 5-17	SRAM	ライト, ウェイトなし	254
図 5-18	SRAM	ライト, ウェイトあり	254
図 5-19	SRAM	ライト, 外部ウェイト挿入	255
図 5-20	ページ ROM	リード, シングル転送	256
図 5-21	ページ ROM	リード, 4 バースト転送	256
図 5-22	SDRAM	リード, シングル転送	257
図 5-23	SDRAM	リード, 4 ワード・バースト転送	257
図 5-24	SDRAM	ライト, シングル転送	258
図 5-25	SDRAM	ライト, 4 ワード・バースト転送	258

図 5-14 SRAM リード・サイクル

★

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : IWn3-IWn0 = 0000B (1 ステート) ,
 DWn3-DWn0 = 0000B (0 ウェイト) , ACn3-ACn0 = 0000B (0 ウェイト)



★

図 5-15 SRAM リード・サイクル (ウェイト設定あり)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : IWn3-IWn0 = 0001B (2 ステート) ,
 DWn3-DWn0 = 0001B (1 ウェイト) , ACn3-ACn0 = 0001B (1 ウェイト)

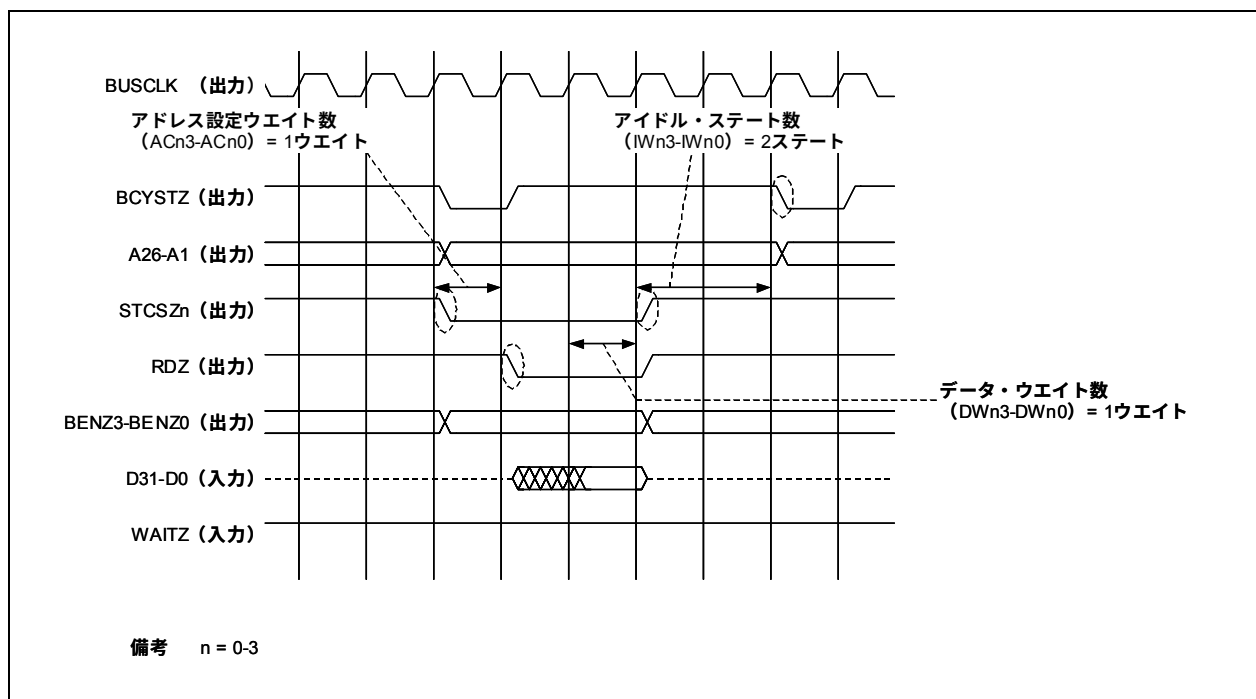


図 5-16 SRAM リード・サイクル (外部ウエイト挿入)

★

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : IWn3-IWn0 = 0000B (1 ステート) ,
 DWn3-DWn0 = 0010B (2 ウエイト) , ACn3-ACn0 = 0000B (0 ウエイト)

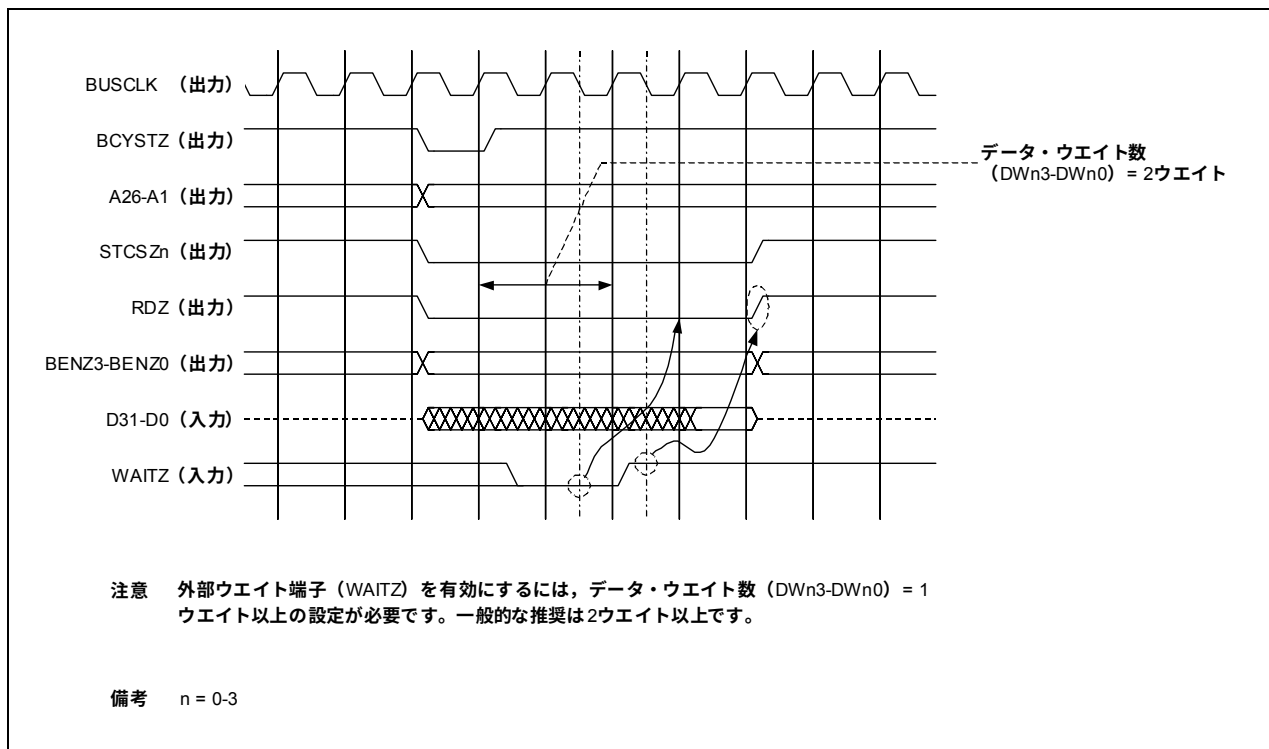


図 5-17 SRAM ライト・サイクル (ウェイトなし)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : WWn3-WWn0 = 0000B/0001B (1 ウェイト) ,
 DWn3-DWn0 = 0000B (0 ウェイト) , ACn3-ACn0 = 0000B/0001B (0 ウェイト)

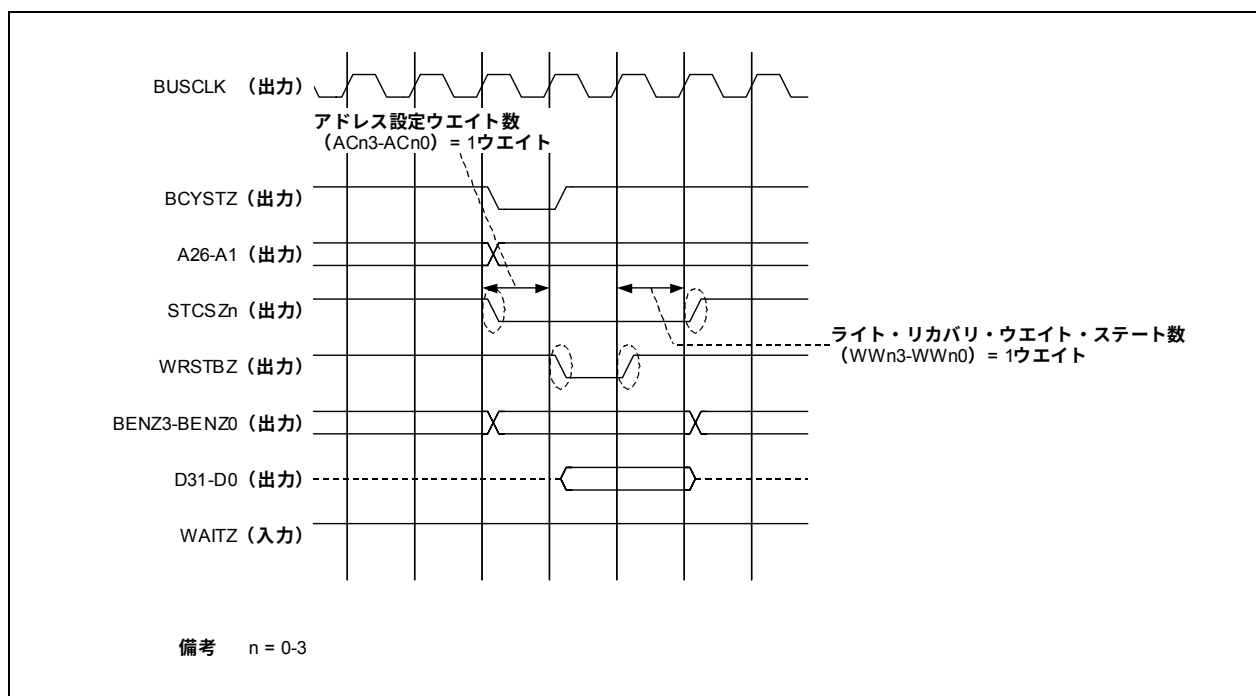


図 5-18 SRAM ライト・サイクル (ウェイトあり)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : WWn3-WWn0 = 0010B (2 ウェイト) ,
 DWn3-DWn0 = 0001B (1 ウェイト) , ACn3-ACn0 = 0010B (2 ウェイト)

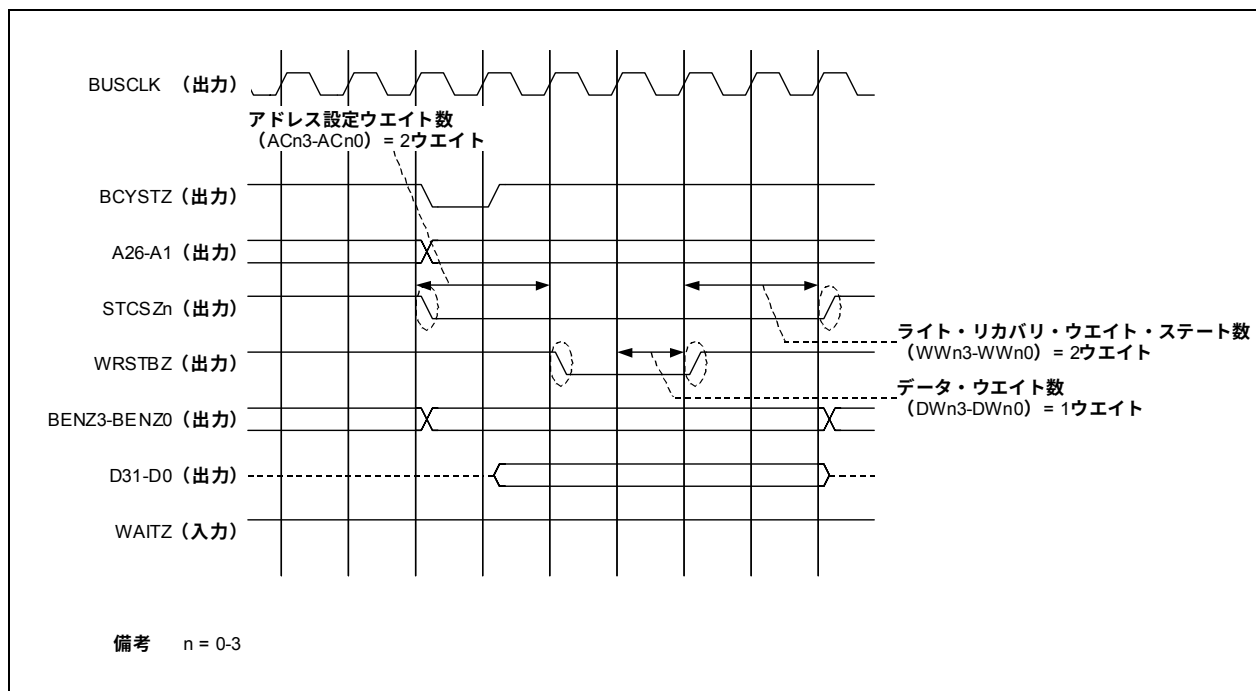


図 5-19 SRAM ライト・サイクル (外部ウエイト挿入)

BSC : SBS3-SBS0 = 1111B (32 ビット) , SMCn : WWn3-WWn0 = 0000B/0001B (1 ウエイト) ,
 DWn3-DWn0 = 0010B (2 ウエイト) , ACn3-ACn0 = 0000B (0 ウエイト)

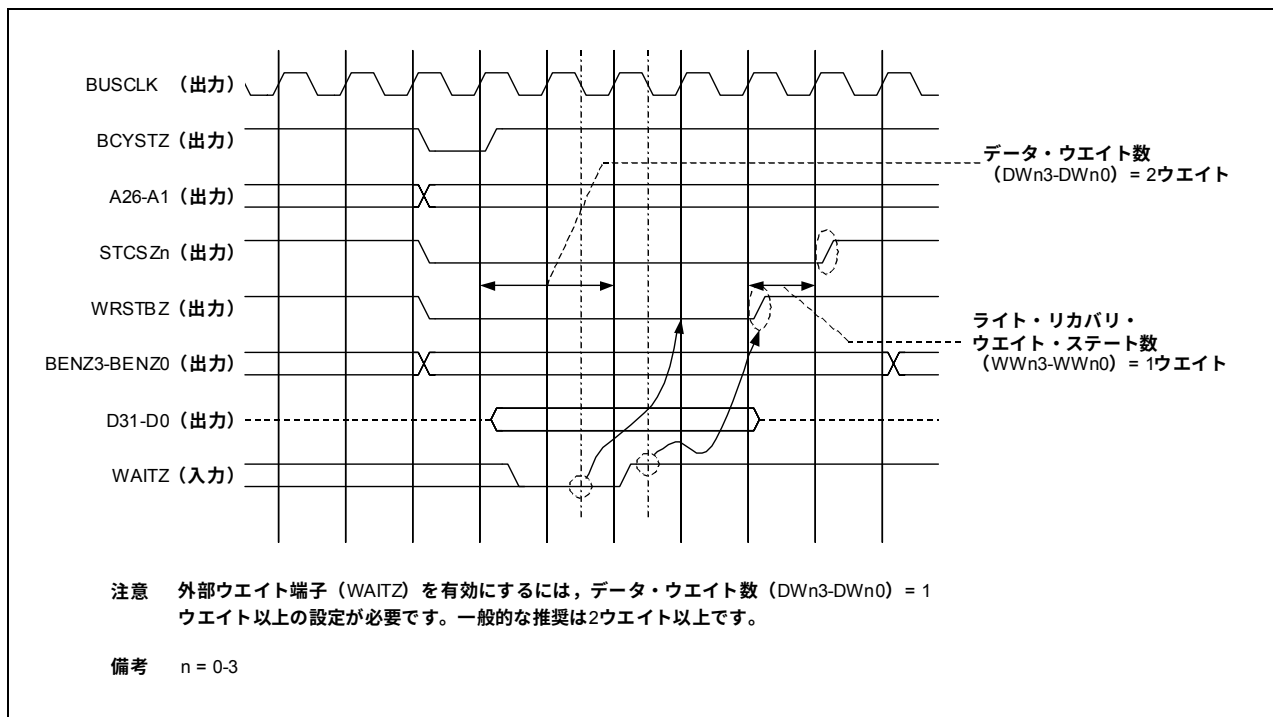


図 5-20 ページROM リード・サイクル (シングル転送)

★ BSC : SBS3-SBS0 = 1111B (32 ビット) , SMC0 : DW03-DW00 = 0001B (1 ウェイト)

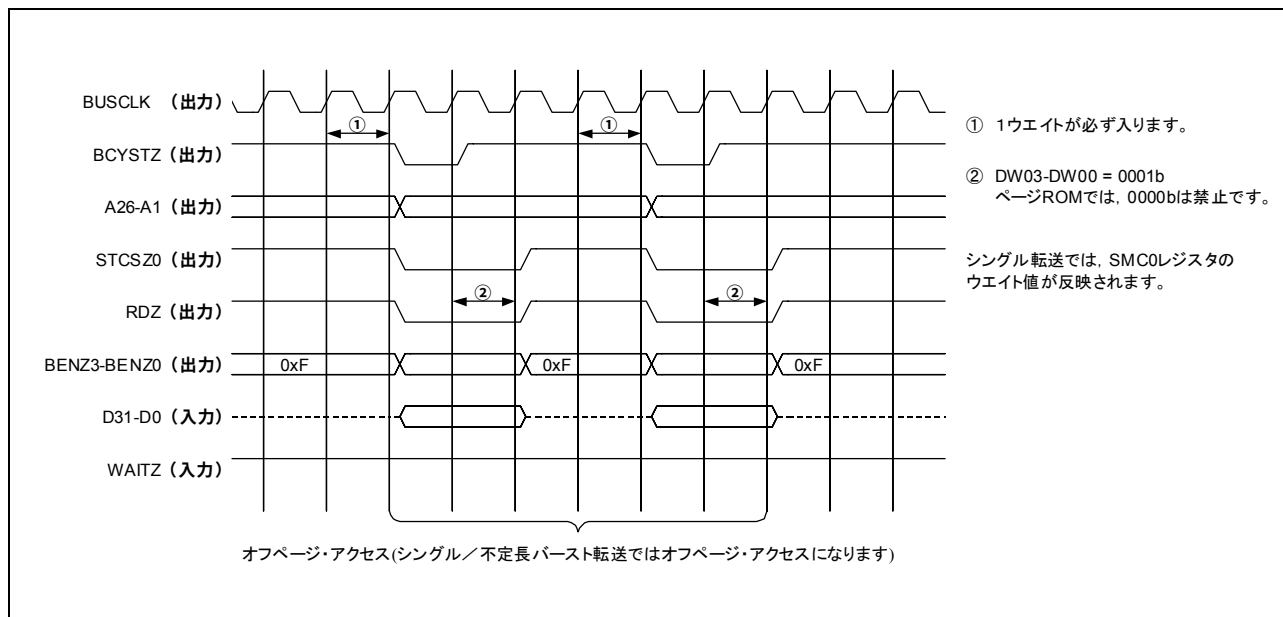


図 5-21 ページROM リード・サイクル (4 バースト転送)

★ BSC : SBS3-SBS0 = 1111B (32 ビット) , SMC0 : IW03-IW00 = 0001B (2 ステート) ,
DW03-DW00 = 0001B (1 ウェイト) , AC03-AC00 = 0001B (1 ウェイト) ,
PRC : PRW3-PRW0 = 0001B (1 ウェイト)

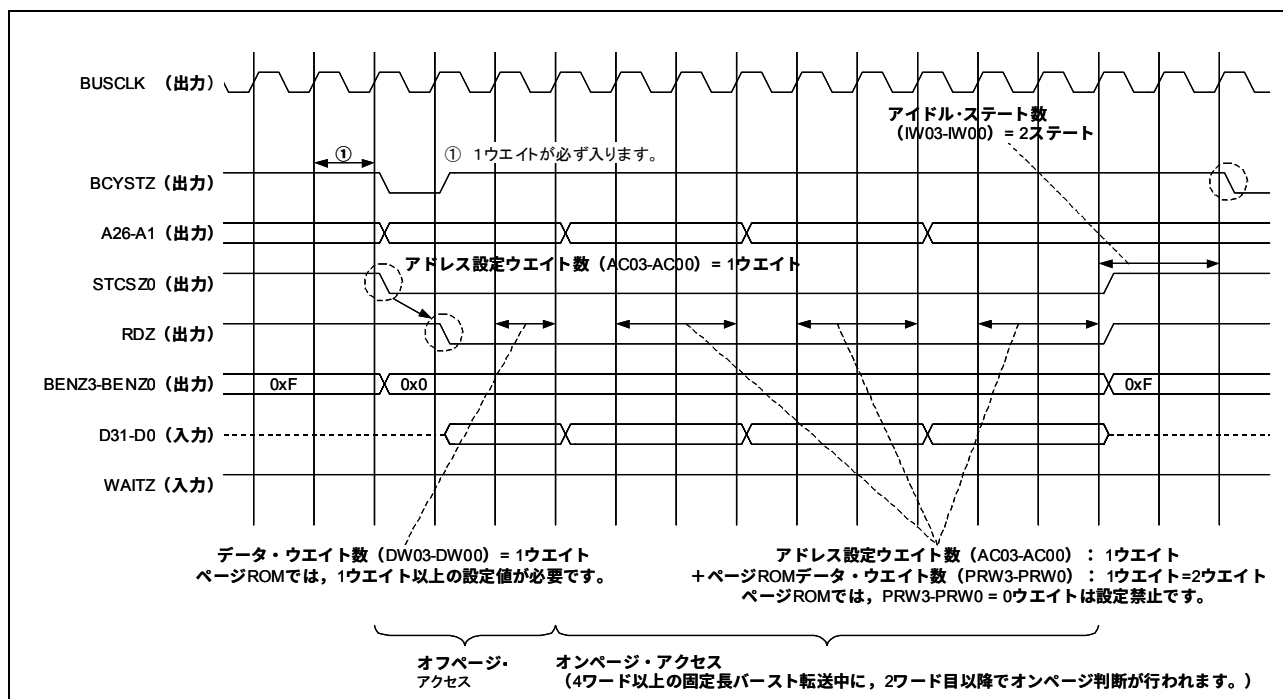


図 5-22 SDRAM リード・サイクル (シングル転送)

BSC : DBS3-DBS0 = 1111B (32 ビット) , DMCn : LTMn2-LTMn0 = 010B (CL = 2) ,
BCWn1-BCWn0 = 01B (1×BUSCLK)

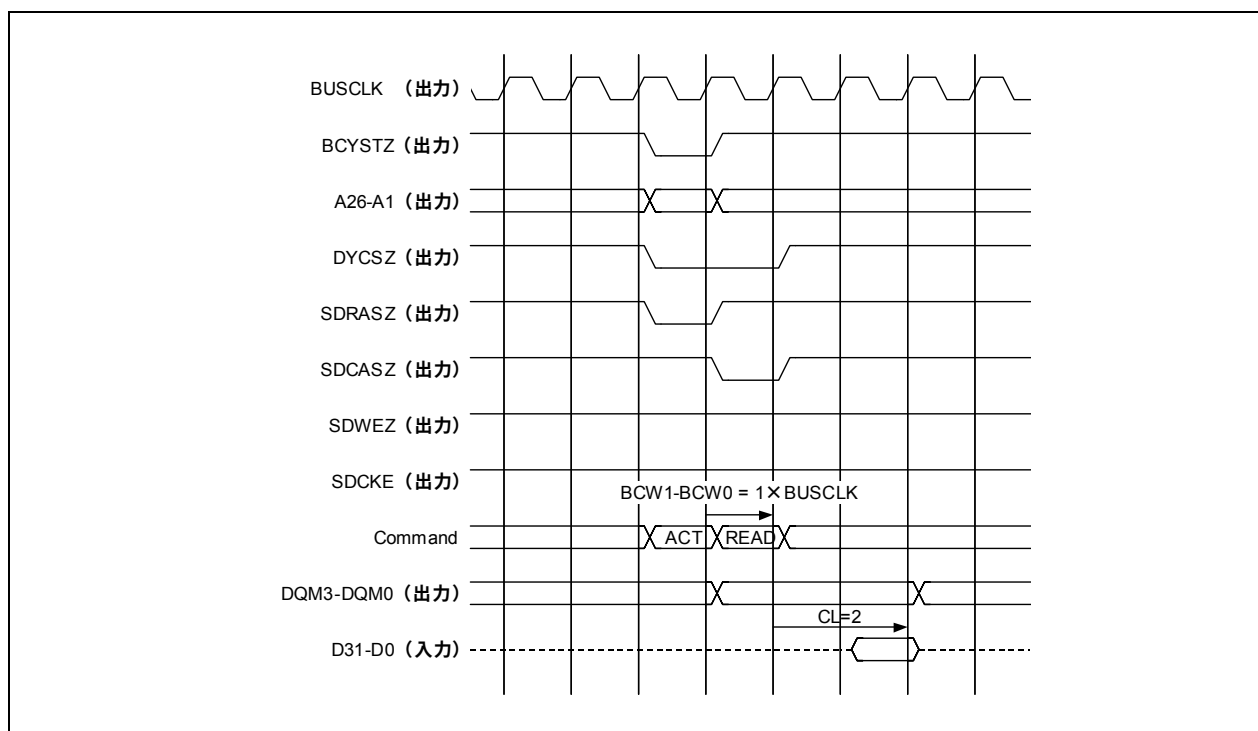


図 5-23 SDRAM リード・サイクル (4 バースト転送)

BSC : DBS3-DBS0 = 1111B (32 ビット) , DMCn : LTMn2-LTMn0 = 001B (CL = 2) ,
BCWn1-BCWn0 = 01B (1×BUSCLK)

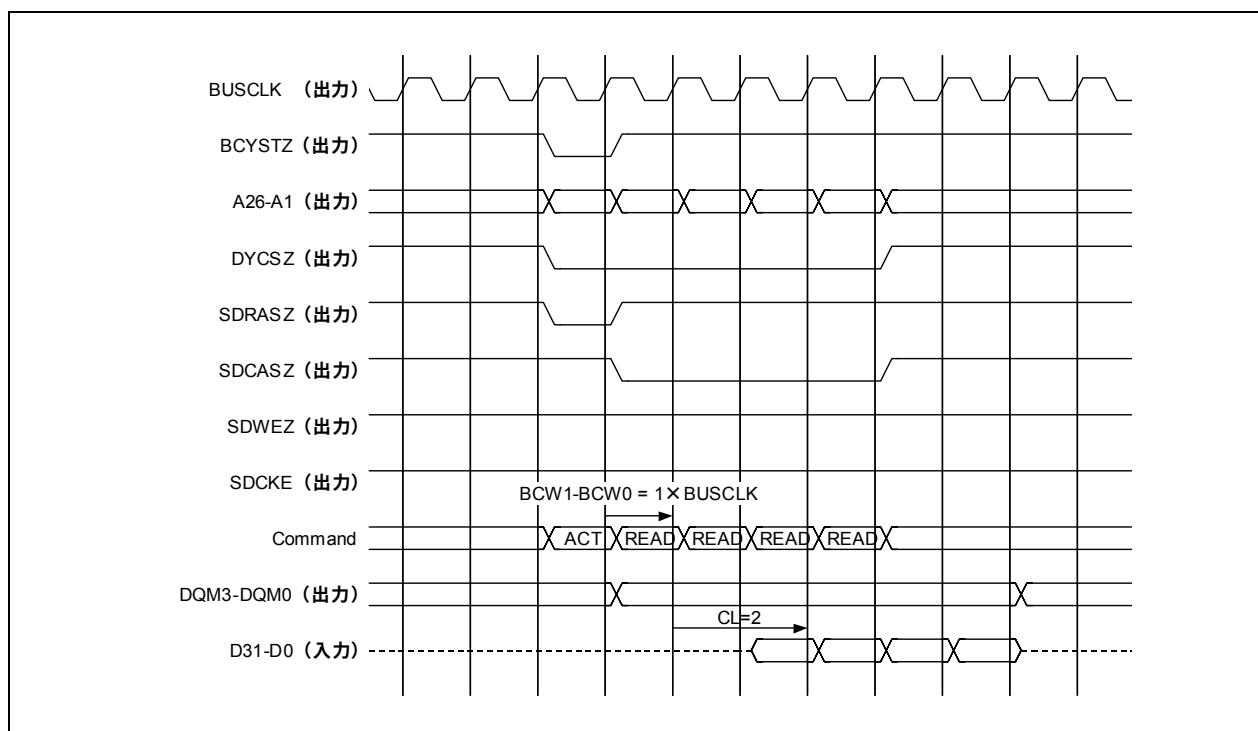


図 5-24 SDRAM ライト・サイクル (シングル転送)

BSC : DBS3-DBS0 = 1111B (32 ビット) , DMCn : BCWn1-BCWn0 = 01B (1×BUSCLK)

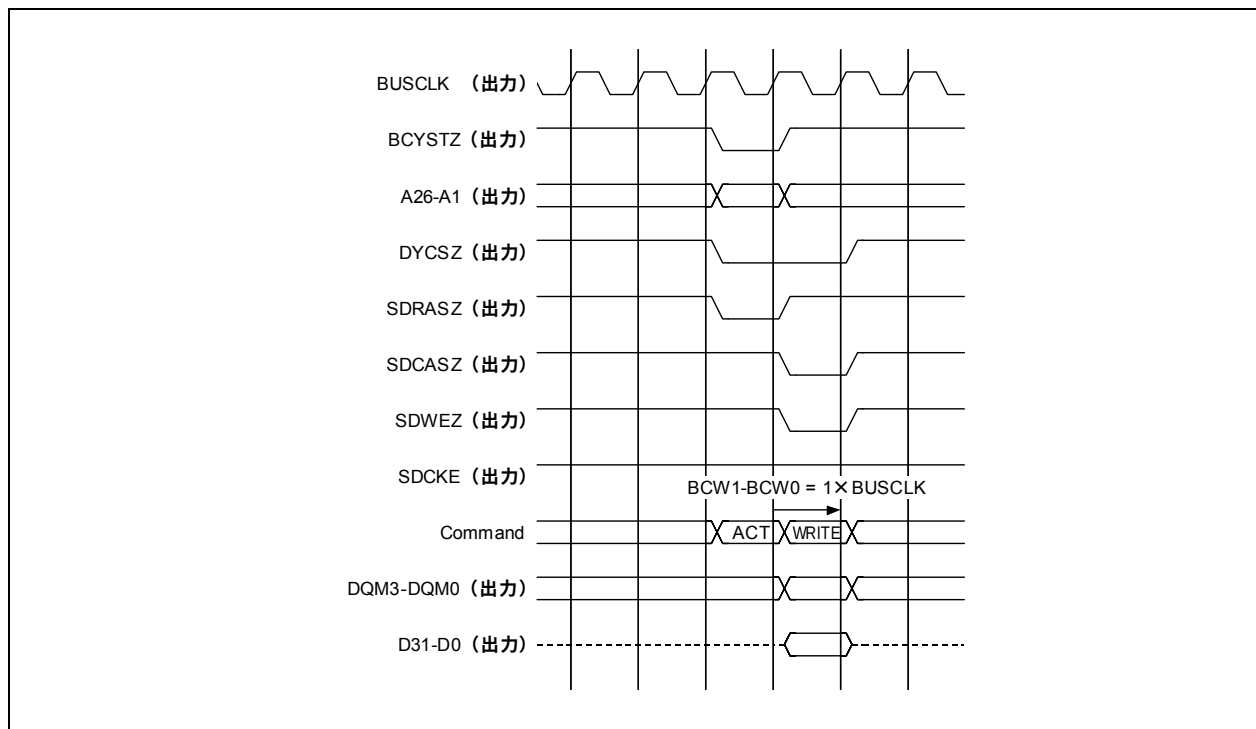
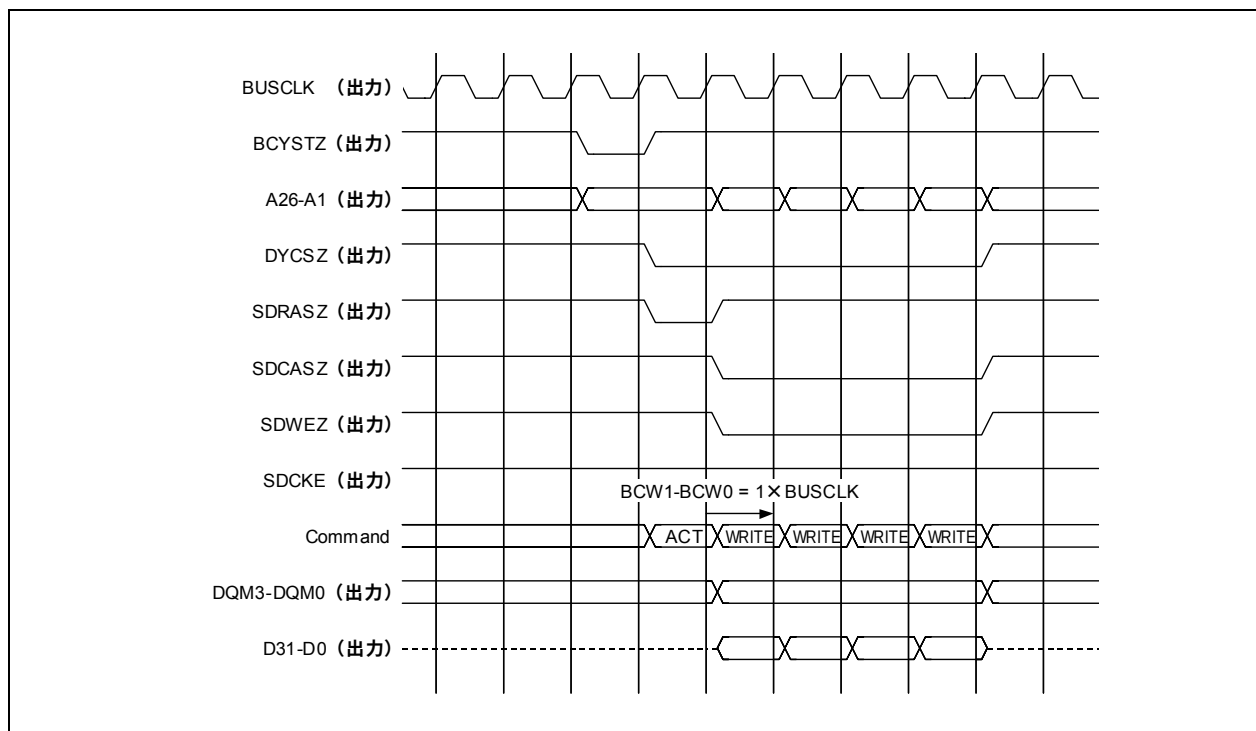


図 5-25 SDRAM ライト・サイクル (4 バースト転送)

BSC : DBS3-DBS0 = 1111B (32 ビット) , DMCn : BCWn1-BCWn0 = 01B (1×BUSCLK)



第6章 セカンダリ・メモリ・コントローラ

セカンダリ・メモリ・コントローラは、MEMC #2 の略称で本書では表現しています。

MEMC #2 を利用し、32/16 ビット・バスで外部にページ ROM/ROM/SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。なお MEMC #1 と異なり SDRAM は接続できません。

端子設定で BOOTSEL1 = 0, BOOTSEL0 = 1 とした場合、MEMC #2 の SCSZ0 に接続されたメモリからブートします。このときのブート・アドレスは、0B00 0000H です。

MEMC #1 インタフェースと比較して、次のような相違があります。

表 6-1 MEMC #1 インタフェースと MEMC #2 インタフェースの相違

項 目	MEMC #1 インタフェース	MEMC #2 インタフェース
出力バッファのドライブ能力の初期値	外部メモリ・インタフェース：6mA DMA, 割り込み端子：6mA Low-Noise	3mA
アドレス空間	スタティック・メモリ：合計 48M バイト SDRAM：128M バイト	スタティック・メモリ：合計 48M バイト
チップ・セレクト信号	スタティック・メモリ：STCSZ0-STCSZ3 SDRAM：DYCSZ	スタティック・メモリ：SCSZ0-SCSZ3
SDRAM インタフェース	あり	なし
DMA インタフェース	システム・バス DMAC の チャンネル 0 からチャンネル 3 に割り当て	システム・バス DMAC の チャンネル 4 からチャンネル 5 に割り当て
ポートとの兼用	兼用多数あり	INTPZ16-INTPZ23 を除いて独立端子

なお、EP3-AM1 では、MEMC #1 と MEMC #2 に独立したメモリ・コントローラを採用しているため、双方で割り付けられているアドレス空間が異なります。MEMC #1 と MEMC #2 との間での DMA 転送は 2 サイクル転送になります。

6.1 MEMC #1 インタフェース信号との対比

MEMC #1 インタフェースと MEMC #2 インタフェースとは、独立したメモリ・コントローラで接続されていますが、メモリ・インタフェースは SRAM, I/O に関する仕様は同一です。

端子機能	入出力	MEMC #1 インタフェース	兼用ポート	MEMC #2 インタフェース	アクティブ
チップ・セレクト出力	出力	STCSZ0	—	SCSZ0-SCSZ3	ロー
	出力	STCSZ1-STCSZ3	P71-P73		ロー
	出力	DYCSZ	P74	—	ロー
アドレス出力	出力	A1	P67	SA1-SA24	ハイ
	出力	A2-A19	—		ハイ
	出力	A20-A26	P60-P66		ハイ
データ・バス	入出力	D0-D15	—	SD0-SD31	ハイ
	入出力	D16-D23	P90-P97		ハイ
	入出力	D24-D31	PA0-PA7		ハイ
ROM/SRAM 用リード・ストロブ信号	出力	RDZ	—	SRDZ	ロー
★ ROM/SRAM 用ライト・ストロブ信号	出力	WRZ0-WRZ3 注	— 注	SWRZ0-SWRZ3 注	ロー
SDRAM 用ビット 7-0 DQ マスク	出力	DQM0	—		ハイ
SDRAM 用ビット 15-8 DQ マスク	出力	DQM1	—		ハイ
SDRAM 用ビット 23-16 DQ マスク	出力	DQM2	—		ハイ
SDRAM 用ビット 31-24 DQ マスク	出力	DQM3	—		ハイ
SDRAM 用ライト・ストロブ信号	出力	SDWEZ	—		ロー
SDRAM 用カラム・アドレス選択信号	出力	SDCASZ	—		ロー
SDRAM 用ロウ・アドレス選択信号	出力	SDRASZ	—		ロー
SDRAM 用クロック許可出力	出力	SDCKE	—		ロー
SRAM/ページ ROM 用ライト・ストロブ出力 (WRZ [3:0] の OR)	出力	WRSTBZ	—	SWRSTBZ	ロー
ROM/SRAM 用ウェイト信号入力	入力	WAITZ	P70	SWAITZ	ロー
外部バス・ホールド要求入力	入力	HLDRQZ	P80	SHLDRQZ	ロー
外部バス・ホールド要求アクノリッジ出力	出力	HLDKZ	P81	SHLDKZ	ロー
★ ROM/SRAM 用バイト・イネーブル出力信号	出力	BENZ0-BENZ3 注	— 注	SBENZ0-SBENZ3 注	ロー
バス・サイクル・スタート・ステータス出力	出力	BCYSTZ	—	SBCYSTZ	ロー
バス・クロック出力	出力	BUSCLK	—	SBUSCLK	—
バス・リクエスト入力	入力	BUSREQZ	P82		ロー

★ 注 WRZ0-WRZ3 (SWRZ0-SWRZ3) と BENZ0-BENZ3 (SBENZ0-SBENZ3) は、兼用されています。リセット時は、BENZ0-BENZ3 (SBENZ0-SBENZ3) が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で MEMC #1 用と MEMC #2 用が独立して切り替えられます。

6.2 MEMC #2 の概要

- ページ ROM, ROM, SRAM 対応メモリ・コントローラ
- 32/16 ビット・データ・バス
- スタティック・メモリ制御機能
 - ・ SRAM, 外部 I/O 接続機能
 - ・ 4 本のチップ・セレクト信号が利用可能 (SCSZ0-SCSZ3)
 - SCSZ0: ページ ROM/SRAM 対応 : 0B00 0000H-0CFF FFFFH (32M バイト)
 - SCSZ1: SRAM のみ対応 : 0D00 0000H-0D7F FFFFH (8M バイト)
 - SCSZ2: SRAM のみ対応 : 0D80 0000H-0DBF FFFFH (4M バイト)
 - SCSZ3: SRAM のみ対応 : 0DC0 0000H-0DFF FFFFH (4M バイト)
 - ・ ページ ROM 接続機能 (SCSZ0 のみ)
 - ・ プログラマブル・ウェイト機能
 - ー アドレス設定ウェイト
 - ー データ・ウェイト
 - ー ライト・リカバリ・ウェイト
 - ー アイドル・ステート
- ライト・ストローブ/バイト・イネーブル兼用

注意 EP3-AM1 のメモリ・コントローラは 8 ビット・バス幅には対応していません。

備考 1. MEMC #2 は、スタティック・メモリ制御機能として 4 本のチップ・セレクト信号を持っています。

2. EP3-AM1 は、プライマリ・メモリ・コントローラ (MEMC #1) とセカンダリ・メモリ・コントローラ (MEMC #2) の 2 つのメモリ・コントローラを独立して内蔵しています。

6.3 特 徴

(1) マルチレイヤ構成

EP3-AM1 の内部バスは、マルチレイヤ構成を採用しており、CPU サブシステム（CPU およびセントラル DMAC）とシステム・バス DMAC に個別のマスタ・バスを設け、双方からのアクセスが競合した場合は調停して外部メモリをアクセスします。

マルチレイヤ構成により、たとえば CPU が MEMC #2 インタフェースを利用して、MEMC #2 の外部デバイスにアクセスしている場合でも、同時に MEMC #1 とシステム・バス DMAC との間でデータ転送を行えます。内部バスのバス・マスタとバス・スレーブの組み合わせが独立している場合、それぞれのバスの待ち合わせが存在せず、データ処理、通信処理などを同時に実行することで、従来製品から大幅な性能向上を図っています。

(2) 2つの独立したメモリ・コントローラ（MEMC #1, MEMC #2）

プライマリ・メモリ・コントローラ（MEMC #1）と、セカンダリ・メモリ・コントローラ（MEMC #2）を独立して内蔵しています。MEMC #1 は SDRAM にも対応していますが、MEMC #2 は SDRAM には対応していません。

異なるバス・マスタから、MEMC #1 と MEMC #2 をそれぞれ利用する場合、お互いのバスの待ち合わせは発生しません。

(3) スタティック・メモリ制御機能

MEMC #2 は、SCSZ0-SCSZ3 のチップ・セレクト信号に接続されたスタティック・メモリ（SRAM, I/O, ページ ROM）を制御します。

ただしページ ROM に対応しているチップ・セレクト信号は、SCSZ0 のみです。

(a) SRAM, 外部 I/O 接続機能

SRAM, 外部 I/O 接続機能の主な特徴は以下のとおりです。

- ・最小 4 サイクル (4×SBUSCLK) のリード・サイクル
- ・最小 5 サイクル (5×SBUSCLK) のライト・サイクル
- ・レジスタ設定により、最大 15×SBUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のライト・リカバリ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のアイドル・ステートを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能

(b) ページ ROM 接続機能

ページ ROM 接続機能の主な特徴は以下のとおりです。

- ・ページ ROM は SCSZ0 にのみ接続可能
- ・最小 3 サイクル (3×SBUSCLK) のリード・サイクル
- ・オンページ判定機能
- ・レジスタ設定により、アドレス比較ビット幅を変更可能
- ・レジスタ設定により、最大 15×SBUSCLK のアドレス・セットアップ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のデータ・ウエイトを挿入可能
- ・レジスタ設定により、最大 15×SBUSCLK のアイドル・ウエイトを挿入可能
- ・外部端子入力により、データ・ウエイトを挿入可能
- ・ページ ROM が配置された領域に対してライト・サイクルが要求された場合は、SRAM ライト・サイクルを起動
- ・レジスタ設定により、最大 15×SBUSCLK のライト・リカバリ・ウエイトを挿入可能

備考 SBUSCLK は、HCLK と同一周波数です。

6.4 バス制御機能

6.4.1 MEMC #2 の制御レジスタ

MEMC #2 に接続された外部メモリ・アクセスするには、バス制御レジスタの設定を行う必要があります。

表 6-2 MEMC #2 バス制御レジスタ一覧

アドレス	レジスタ名称	略 号	R/W	リセット時
0F00 0404H	バス・サイズ制御レジスタ	SPBSC	R/W	0000 5555H/ 0000 FFFFH [※]
0F00 0408H	スタティック・メモリ制御レジスタ 0	SPSMC0	R/W	0000 FFFFH
0F00 040CH	スタティック・メモリ制御レジスタ 1	SPSMC1	R/W	0000 FFFFH
0F00 0410H	スタティック・メモリ制御レジスタ 2	SPSMC2	R/W	0000 FFFFH
0F00 0414H	スタティック・メモリ制御レジスタ 3	SPSMC3	R/W	0000 FFFFH
0F00 0418H	ページ ROM 制御レジスタ	SPPRC	R/W	F000 0000H
0F01 9104H	ライト・イネーブル切り替えレジスタ	WREN	R/W	0000 0000H

注 BUS32EN1 の端子レベルにより、SPBSC レジスタの初期値が決定されます。

BUS32EN1 では、MEMC #2 のリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

(1) バス・サイズ制御レジスタ (SPBSC)

SPBSC レジスタは、チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。

SSBS3-SSBS0 ビットはチップ・セレクト出力 (SCSZ3-SCSZ0) にそれぞれ対応しています。

SPBSC レジスタの初期値は、BUS32EN1 端子の入力レベルにより変わります。

SPBSC レジスタはリード／ライト可能です。ビット 31-16 には必ず 0 を設定してください。ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SPBSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0404H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	1/0 ^{注2}	1	1/0 ^{注2}	1	1/0 ^{注2}	1	1/0 ^{注2}	1	SSBS3	1	SSBS2	1	SSBS1	1	SSBS0	1	0000 5555H/ 0000 FFFFH ^{注1}
R/W	R	1	R	1	R	1	R	1	R/W	1	R/W	1	R/W	1	R/W	1	
ビット位置	ビット名		意 味														
7, 5, 3, 1	SSBS3- SSBS0		チップ・セレクト出力 (SCSZ3-SCSZ0) ごとのデータ・バス幅を設定します。 0 : 16 ビット 1 : 32 ビット														

注 1. BUS32EN1 の端子レベルにより、BSC レジスタの初期値が決定されます。

BUS32EN1 では、MEMC #2 のリセット解除時のバス幅を選択します。

0 : 0000 5555H (16 ビット・バス・モード)

1 : 0000 FFFFH (32 ビット・バス・モード)

2. このビットに該当するチップ・セレクト信号は存在しませんが、メモリ・コントローラの仕様により、BUS32EN1 端子により初期値が変わります。

(2/5)

★

ビット位置	ビット名	意 味																																																																																					
15-12	SIWn3- SIWn0	SCSZn ごとにアイドル・ステートを設定します。 このビットの設定は、リード・アクセス直後のアイドル・ステートにのみ反映されます。 アイドル・ステートとは、SCSZn のディアサート（SCSZn：L→H）から、次の SBCYSTZ がアサート（SBCYSTZ：H→L）されるまでの最短サイクルです。 リード・サイクルで、データ・フロート時間が長く、直後のライト・サイクルでバス・ファイトが発生するケースなどで、アイドル・ステートを挿入します。 キャッシュのリフィル動作などで、ページ ROM にバースト・アクセスする場合は、バースト・アクセス期間中の SCSZ0 信号はロー・レベルのままとなるため、ここで設定したアイドル・ステートは、バースト・アクセス後にのみ挿入されます。																																																																																					
		<table><tr><th>SIWn3</th><th>SIWn2</th><th>SIWn1</th><th>SIWn0</th><th>SCSZn のアイドル・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>4×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>5×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>6×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>7×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>8×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>9×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>10×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>11×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>12×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>13×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>14×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>15×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>16×SBUSCLK（初期値）</td></tr></table>	SIWn3	SIWn2	SIWn1	SIWn0	SCSZn のアイドル・ステート数	0	0	0	0	1×SBUSCLK	0	0	0	1	2×SBUSCLK	0	0	1	0	3×SBUSCLK	0	0	1	1	4×SBUSCLK	0	1	0	0	5×SBUSCLK	0	1	0	1	6×SBUSCLK	0	1	1	0	7×SBUSCLK	0	1	1	1	8×SBUSCLK	1	0	0	0	9×SBUSCLK	1	0	0	1	10×SBUSCLK	1	0	1	0	11×SBUSCLK	1	0	1	1	12×SBUSCLK	1	1	0	0	13×SBUSCLK	1	1	0	1	14×SBUSCLK	1	1	1	0	15×SBUSCLK	1	1	1	1	16×SBUSCLK（初期値）
SIWn3	SIWn2	SIWn1	SIWn0	SCSZn のアイドル・ステート数																																																																																			
0	0	0	0	1×SBUSCLK																																																																																			
0	0	0	1	2×SBUSCLK																																																																																			
0	0	1	0	3×SBUSCLK																																																																																			
0	0	1	1	4×SBUSCLK																																																																																			
0	1	0	0	5×SBUSCLK																																																																																			
0	1	0	1	6×SBUSCLK																																																																																			
0	1	1	0	7×SBUSCLK																																																																																			
0	1	1	1	8×SBUSCLK																																																																																			
1	0	0	0	9×SBUSCLK																																																																																			
1	0	0	1	10×SBUSCLK																																																																																			
1	0	1	0	11×SBUSCLK																																																																																			
1	0	1	1	12×SBUSCLK																																																																																			
1	1	0	0	13×SBUSCLK																																																																																			
1	1	0	1	14×SBUSCLK																																																																																			
1	1	1	0	15×SBUSCLK																																																																																			
1	1	1	1	16×SBUSCLK（初期値）																																																																																			

備考 n = 0-3

★

注意 アイドル・ステートは、リード・アクセス直後も、ライト・アクセス直後も 1 ステート挿入されます。SIWn3-SIWn0 ビットの設定は、リード・アクセス直後のアイドル・ステート数に反映されます。ライト・アクセス直後のアイドル・ステートは常に 1 ステートです。

ビット位置	ビット名	意 味																																																																																				
11-8	SWWn3- SWWn0	SCSZn ごとにライト・リカバリ・ウェイト・ステートを設定します。 ライト・リカバリ・ウェイト・ステートとは、SWRSTBZ のディアサート（SWRSTBZ：L→H）から、SCSZn がディアサート（SCSZn：L→H）されるまでのサイクルです。 低速デバイスなどで、ライトとライトの間隔が必要なデバイスに対応させる場合などで、ライト・リカバリ・ウェイト・ステートを挿入します。																																																																																				
		<table><tr><th>SWWn3</th><th>SWWn2</th><th>SWWn1</th><th>SWWn0</th><th>SCSZn のライト・リカバリ・ ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="2">1×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×SBUSCLK（初期値）</td></tr></table>	SWWn3	SWWn2	SWWn1	SWWn0	SCSZn のライト・リカバリ・ ウェイト・ステート数	0	0	0	0	1×SBUSCLK	0	0	0	1	0	0	1	0	2×SBUSCLK	0	0	1	1	3×SBUSCLK	0	1	0	0	4×SBUSCLK	0	1	0	1	5×SBUSCLK	0	1	1	0	6×SBUSCLK	0	1	1	1	7×SBUSCLK	1	0	0	0	8×SBUSCLK	1	0	0	1	9×SBUSCLK	1	0	1	0	10×SBUSCLK	1	0	1	1	11×SBUSCLK	1	1	0	0	12×SBUSCLK	1	1	0	1	13×SBUSCLK	1	1	1	0	14×SBUSCLK	1	1	1	1	15×SBUSCLK（初期値）
		SWWn3	SWWn2	SWWn1	SWWn0	SCSZn のライト・リカバリ・ ウェイト・ステート数																																																																																
		0	0	0	0	1×SBUSCLK																																																																																
		0	0	0	1																																																																																	
		0	0	1	0	2×SBUSCLK																																																																																
		0	0	1	1	3×SBUSCLK																																																																																
		0	1	0	0	4×SBUSCLK																																																																																
		0	1	0	1	5×SBUSCLK																																																																																
		0	1	1	0	6×SBUSCLK																																																																																
		0	1	1	1	7×SBUSCLK																																																																																
		1	0	0	0	8×SBUSCLK																																																																																
		1	0	0	1	9×SBUSCLK																																																																																
		1	0	1	0	10×SBUSCLK																																																																																
		1	0	1	1	11×SBUSCLK																																																																																
		1	1	0	0	12×SBUSCLK																																																																																
		1	1	0	1	13×SBUSCLK																																																																																
1	1	1	0	14×SBUSCLK																																																																																		
1	1	1	1	15×SBUSCLK（初期値）																																																																																		

注意 ライト・リカバリ・ウェイト・ステート数には 0×SBUSCLK に設定できません。
必ず 1×SBUSCLK のライト・リカバリ・ウェイト・ステートが挿入されます。

備考 n = 0-3

(4/5)

ビット位置	ビット名	意 味																																																																																					
7-4	SDWn3- SDWn0	SCSZn ごとにデータ・ウェイト・ステートを設定します。 ノー・ウェイトでは、1×SBUSCLK 幅の SRDZ, SWRSTBZ は、データ・ウェイトで設定したステート数分延長されます。 <table><tr><th>SDWn3</th><th>SDWn2</th><th>SDWn1</th><th>SDWn0</th><th>SCSZn のデータ・ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×SBUSCLK（初期値）</td></tr></table>	SDWn3	SDWn2	SDWn1	SDWn0	SCSZn のデータ・ウェイト・ステート数	0	0	0	0	0	0	0	0	1	1×SBUSCLK	0	0	1	0	2×SBUSCLK	0	0	1	1	3×SBUSCLK	0	1	0	0	4×SBUSCLK	0	1	0	1	5×SBUSCLK	0	1	1	0	6×SBUSCLK	0	1	1	1	7×SBUSCLK	1	0	0	0	8×SBUSCLK	1	0	0	1	9×SBUSCLK	1	0	1	0	10×SBUSCLK	1	0	1	1	11×SBUSCLK	1	1	0	0	12×SBUSCLK	1	1	0	1	13×SBUSCLK	1	1	1	0	14×SBUSCLK	1	1	1	1	15×SBUSCLK（初期値）
SDWn3	SDWn2	SDWn1	SDWn0	SCSZn のデータ・ウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1×SBUSCLK																																																																																			
0	0	1	0	2×SBUSCLK																																																																																			
0	0	1	1	3×SBUSCLK																																																																																			
0	1	0	0	4×SBUSCLK																																																																																			
0	1	0	1	5×SBUSCLK																																																																																			
0	1	1	0	6×SBUSCLK																																																																																			
0	1	1	1	7×SBUSCLK																																																																																			
1	0	0	0	8×SBUSCLK																																																																																			
1	0	0	1	9×SBUSCLK																																																																																			
1	0	1	0	10×SBUSCLK																																																																																			
1	0	1	1	11×SBUSCLK																																																																																			
1	1	0	0	12×SBUSCLK																																																																																			
1	1	0	1	13×SBUSCLK																																																																																			
1	1	1	0	14×SBUSCLK																																																																																			
1	1	1	1	15×SBUSCLK（初期値）																																																																																			

注意 外部ウェイト (SWAITZ 端子) によるウェイト制御を利用する場合は、データ・ウェイト・ステートは 1×SBUSCLK 以上に設定してください。

備考 n = 0-3

(5/5)

ビット位置	ビット名	意 味																																																																																					
3-0	SACn3- SACn0	SCSZn ごとにアドレス設定ウェイト・ステートを設定します。 アドレス設定ウェイトとは、SCSZn のアサート（SCSZn：H→L … アドレスの変化点も同一タイミング）から、SRDZ や SWRSTBZ のアサート（SRDZ / SWRSTBZ：H→L）されるまでのサイクルです。 リード／ライト・ストローブに対するアドレスやチップ・セレクト信号のセット・アップ時間を必要とするデバイスをアクセスする場合に、アドレス設定ウェイト・ステートを適宜挿入します。 <table><tr><th>SACn3</th><th>SACn2</th><th>SACn1</th><th>SACn0</th><th>SCSZn のアドレス設定ウェイト・ステート数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2×SBUSCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6×SBUSCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10×SBUSCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14×SBUSCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15×SBUSCLK（初期値）</td></tr></table>	SACn3	SACn2	SACn1	SACn0	SCSZn のアドレス設定ウェイト・ステート数	0	0	0	0	0	0	0	0	1	1×SBUSCLK	0	0	1	0	2×SBUSCLK	0	0	1	1	3×SBUSCLK	0	1	0	0	4×SBUSCLK	0	1	0	1	5×SBUSCLK	0	1	1	0	6×SBUSCLK	0	1	1	1	7×SBUSCLK	1	0	0	0	8×SBUSCLK	1	0	0	1	9×SBUSCLK	1	0	1	0	10×SBUSCLK	1	0	1	1	11×SBUSCLK	1	1	0	0	12×SBUSCLK	1	1	0	1	13×SBUSCLK	1	1	1	0	14×SBUSCLK	1	1	1	1	15×SBUSCLK（初期値）
SACn3	SACn2	SACn1	SACn0	SCSZn のアドレス設定ウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1×SBUSCLK																																																																																			
0	0	1	0	2×SBUSCLK																																																																																			
0	0	1	1	3×SBUSCLK																																																																																			
0	1	0	0	4×SBUSCLK																																																																																			
0	1	0	1	5×SBUSCLK																																																																																			
0	1	1	0	6×SBUSCLK																																																																																			
0	1	1	1	7×SBUSCLK																																																																																			
1	0	0	0	8×SBUSCLK																																																																																			
1	0	0	1	9×SBUSCLK																																																																																			
1	0	1	0	10×SBUSCLK																																																																																			
1	0	1	1	11×SBUSCLK																																																																																			
1	1	0	0	12×SBUSCLK																																																																																			
1	1	0	1	13×SBUSCLK																																																																																			
1	1	1	0	14×SBUSCLK																																																																																			
1	1	1	1	15×SBUSCLK（初期値）																																																																																			

注 ライト時は、必ず 1×SBUSCLK のアドレス設定ウェイトが挿入されます。

注意 このレジスタで設定したアドレス設定ウェイト・ステートは、ページ ROM に対するオンページ・アクセス時も挿入されます。

備考 n = 0-3

(3) ページ ROM 制御レジスタ (SPPRC)

MEMC #1 の SCSZ0 接続されているメモリ・タイプの指定、ページ ROM を選択した場合の接続するページ ROM の構成、連続読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスや SBUSCLK に応じたウェイト数を設定します。

なおオフページ・アクセス時のウェイト設定は、スタティック・メモリ制御レジスタ 0 (SPSMC0)で行います。このとき、オフページ・アクセス時のウェイト・ステート数は 1 以上を設定してください。

SPPRC レジスタはリード／ライト可能です。ビット 27-20, ビット 15-1 には必ず 0 を設定してください。

注意 1. ページ ROM をオンページ ROM モードで利用できるのは、SCSZ0 に接続されているページ ROM のみです。

2. オフページ・アクセスのウェイト・ステート数は、必ず 1 以上を設定してください。

(1/2)

SPPRC	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
	SPRW3	SPRW2	SPRW1	SPRW0	0	0	0	0	0	0	0	0	SMA6	SMA5	SMA4	SMA3	0F00 0418H
R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SST	F000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	
ビット位置	ビット名	意 味															
31-28	SPRW3- SPRW0	SCSZ0 のページ ROM の、オンページ・サイクル時のデータ・ウェイト・ステート数を設定します。															
					SPRW3	SPRW2	SPRW1	SPRW0	SCSZ0 のオンページ・アクセスの ウェイト・ステート数								
					0	0	0	0	0								
					0	0	0	1	1×SBUSCLK								
					0	0	1	0	2×SBUSCLK								
					0	0	1	1	3×SBUSCLK								
					0	1	0	0	4×SBUSCLK								
					0	1	0	1	5×SBUSCLK								
					0	1	1	0	6×SBUSCLK								
					0	1	1	1	7×SBUSCLK								
					1	0	0	0	8×SBUSCLK								
					1	0	0	1	9×SBUSCLK								
					1	0	1	0	10×SBUSCLK								
					1	0	1	1	11×SBUSCLK								
					1	1	0	0	12×SBUSCLK								
					1	1	0	1	13×SBUSCLK								
					1	1	1	0	14×SBUSCLK								
					1	1	1	1	15×SBUSCLK (初期値)								

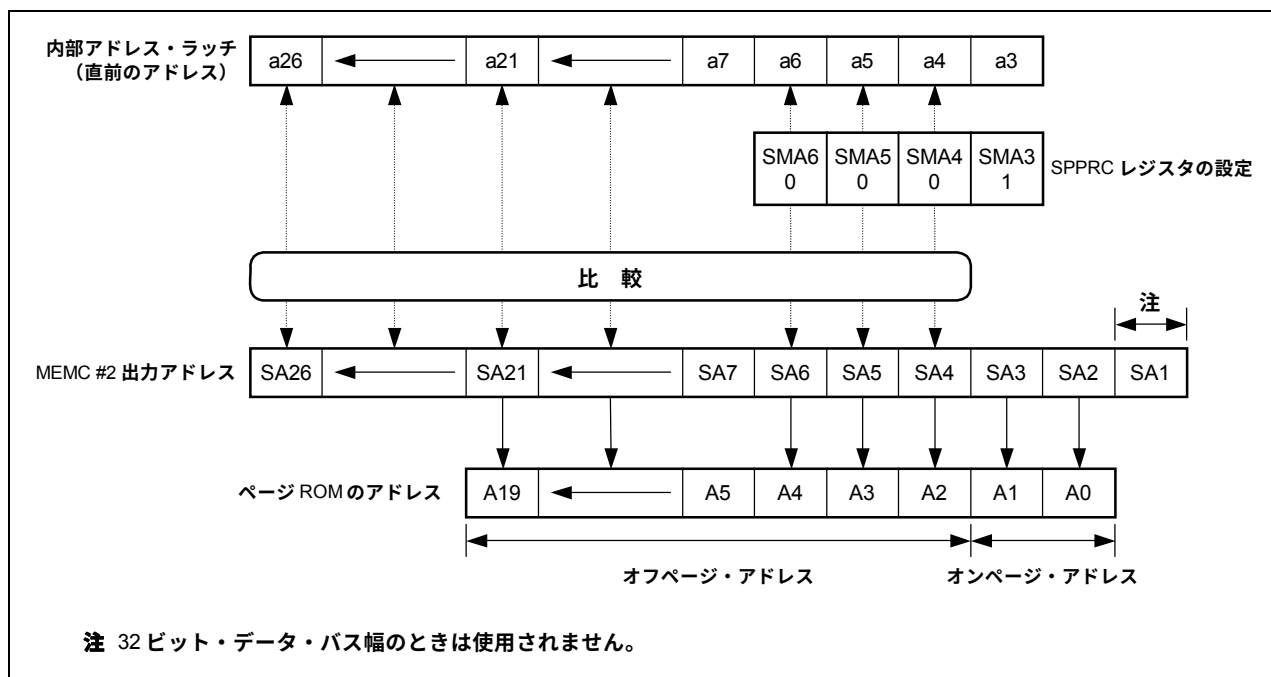
(2/2)

ビット位置	ビット名	意 味																																			
19-16	SMA6- SMA3	アドレス比較時のマスク・ビットを設定します。 <table><tr><th>SMA6</th><th>SMA5</th><th>SMA4</th><th>SMA3</th><th>接続するページ ROM のページ・サイズ</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>32 ビット×2, 16 ビット×4 (初期値)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>32 ビット×4, 16 ビット×8</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>32 ビット×8, 16 ビット×16</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>32 ビット×16, 16 ビット×32</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>32 ビット×32, 16 ビット×64</td></tr><tr><td colspan="4">上記以外</td><td>設定禁止 (設定した場合の動作は保証できません。)</td></tr></table>	SMA6	SMA5	SMA4	SMA3	接続するページ ROM のページ・サイズ	0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)	0	0	0	1	32 ビット×4, 16 ビット×8	0	0	1	1	32 ビット×8, 16 ビット×16	0	1	1	1	32 ビット×16, 16 ビット×32	1	1	1	1	32 ビット×32, 16 ビット×64	上記以外				設定禁止 (設定した場合の動作は保証できません。)
SMA6	SMA5	SMA4	SMA3	接続するページ ROM のページ・サイズ																																	
0	0	0	0	32 ビット×2, 16 ビット×4 (初期値)																																	
0	0	0	1	32 ビット×4, 16 ビット×8																																	
0	0	1	1	32 ビット×8, 16 ビット×16																																	
0	1	1	1	32 ビット×16, 16 ビット×32																																	
1	1	1	1	32 ビット×32, 16 ビット×64																																	
上記以外				設定禁止 (設定した場合の動作は保証できません。)																																	
0	SST	MEMC #2 の SCSZ0 に接続するメモリ・タイプを指定します。 0 : SRAM, I/O デバイス (初期値) 1 : ページ ROM																																			

ページ ROM 制御レジスタ (SPPRC) により接続するページ ROM の構成, 連続する読み出し可能なビット数に応じて, アドレス (SA3-SA6) のうちマスクする (比較しない) アドレスを設定します。

次に, 512K ワード×16 ビットのページ ROM を 2 つ接続した場合の, アドレス・マスク制御の例を示します。

図 6-1 SPPRC レジスタの SMA6-SMA3 ビットによる制御例



(4) ライト・イネーブル切り替えレジスタ (WREN)

SBENZ0-SBENZ3 端子の機能において、SWRZ0-SWRZ3 と SBENZ0-SBENZ3 とを選択するレジスタです。

MEMC #2 用は、ビット 1 の SWREN ビットです。

バイト・イネーブル付きの SRAMなどを接続する場合は、ライト・ストロブ信号に SWRZ0-SWRZ3 の負論理 OR を取った SWRSTBZ を使用します。

WREN レジスタは、リード／ライト可能です。ビット 31-2 には必ず 0 を設定してください。

リセットで 0000 0000H になり、SBENZ0-SBENZ3 端子は SBENZ0-SBENZ3 として動作します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
WREN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9104H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWREN	WREN	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	
ビット位置	ビット名	意 味															
1	SWREN	MEMC #2 の SBENZ0-SBENZ3 端子機能を選択します。 0：SBENZ0-SBENZ3 として動作（初期値） 1：SWRZ0-SWRZ3 として動作															
0	WREN	MEMC #1 の BENZ0-BENZ3 端子機能を選択します。 0：BENZ0-BENZ3 として動作（初期値） 1：WRZ0-WRZ3 として動作															

備考 MEMC #1 の BENZ0-BENZ3 と WRZ0-WRZ3 の機能切り替えと、MEMC #2 の SBENZ0-SBENZ3 と SWRZ0-SWRZ3 の機能切り替えは、WREN レジスタの SWREN, WREN の独立ビットで選択できます。

6.5 外部ウェイト機能

合は、外部ウェイト端子（SWAITZ）を使用して、バス・サイクルのウェイト・ステートを挿入できます。

SWAITZ 信号は、SBUSCLK 信号に対する非同期入力が可能です[※]。SBUSCLK の立ち下がり時、SBUSCLK の立ち上がり時、2 段の F/F によって SWAITZ 信号を取り込んでいます。つまり SBUSCLK の立ち下がり時でサンプリングし、 $1.5 \times \text{SBUSCLK}$ のタイミングでウェイトが解除されます。

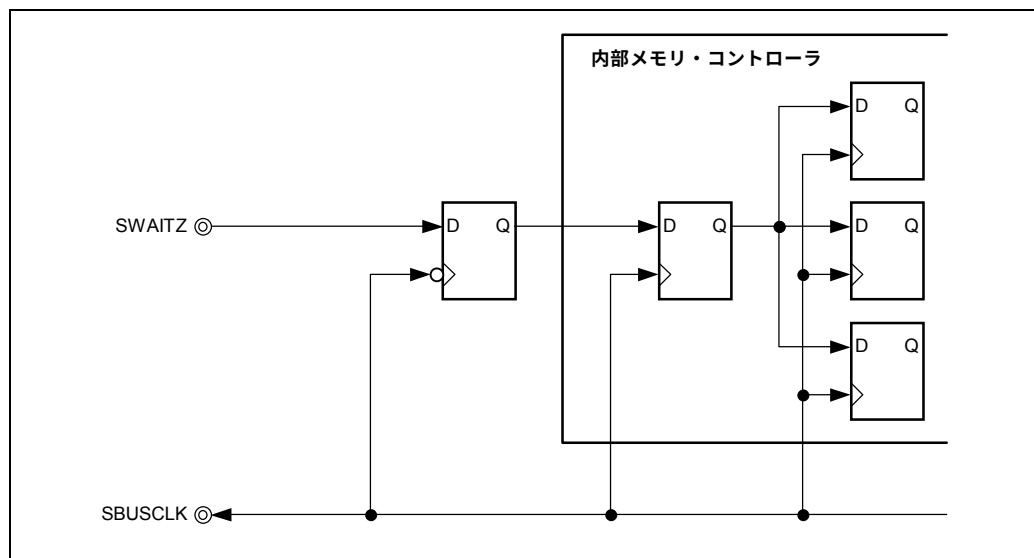
このため、外部ウェイト機能を利用する場合は、少なくともアドレス設定ウェイト（SPSMCn レジスタの SACn3-SACn0）とデータ・ウェイト（SPSMCn レジスタの SDWn3-SDWn0）の合計値が $1 \times \text{SBUSCLK}$ 以上が必要です。実際の設計では、SBCYSTZ や SCSZn がアクティブになるタイミングから、次の SBUSCLK の立ち下がりまでに SWAITZ をロー・レベルとすることは困難なため、アドレス設定ウェイト（SPSMCn レジスタの SACn3-SACn0）とデータ・ウェイト（SPSMCn レジスタの SDWn3-SDWn0）の合計値は $2 \times \text{SBUSCLK}$ 以上が必要です。

なお、外部ウェイト・ステートは、スタティック・メモリのデータ・ウェイトのみに挿入されます。ダイナミック・メモリ・サイクル、スタティック・メモリ・サイクルのデータ・ウェイト以外には、外部ウェイト端子に入力は無効です。

タイミング・チャートは、図 5-10、図 5-11 を参照してください。

注 EP3-AM1 に外部回路を接続した 1 チップ開発を行う場合、SWAITZ 信号の非同期入力は推奨するものではありません。SWAITZ を非同期として設計した場合、テスト時の課題、サイクルの特定が困難になるなどの問題が発生することがあります。

図 6-2 SWAITZ 信号サンプリング回路構成



注意 データ・ウェイト・サイクルは、SPSMCn レジスタの SDWn3-SDWn0 の設定によるウェイト数と、SWAITZ 端子入力による外部ウェイト数の論理和をとったものが挿入されます。

6.6 スタンバイ機能

CPU コアからスタンバイ要求を受けると、現在行っているバス・サイクルが終了するとメモリ・コントローラはCPU にスタンバイ・アクノリッジ信号を返し、EP3-AM1 内部のクロック・コントローラに対して、クロックの停止許可を通知します。

マスクされていない割り込み、またはリセット入力（RESETZ）により、スタンバイ状態が解除されます。

6.7 バス・ホールド機能

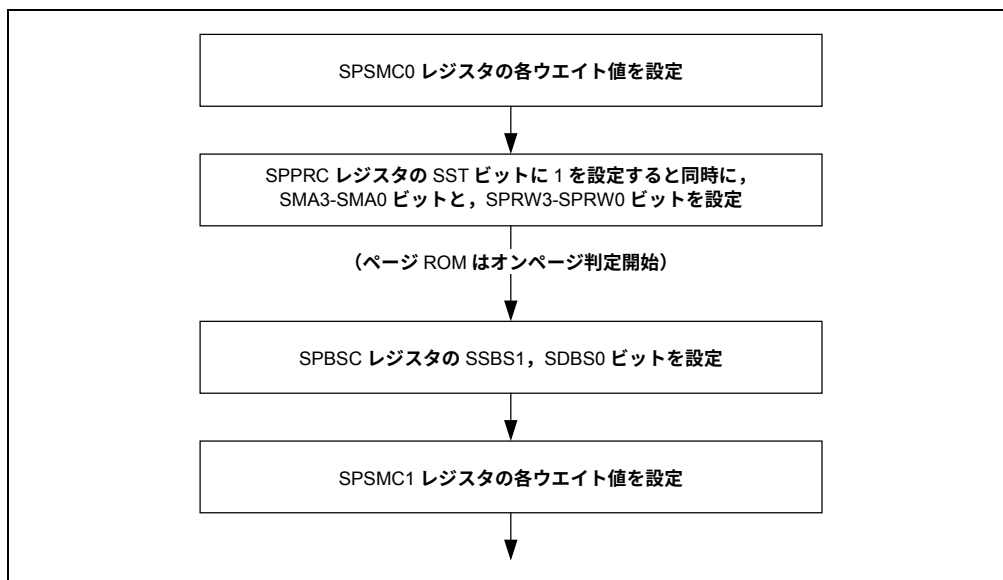
SHLDRQZ 信号がアクティブ（ロー・レベル）になりバス・ホールドを受け付けると、メモリ・コントローラはバス・ホールド状態に移行します。バス・ホールド状態への移行が完了すると、SHLDAKZ 信号出力がアクティブ（ロー・レベル）になります。バス・ホールド期間中は、SHLDAKZ 信号はアクティブ・レベルを保持します。

SHLDRQZ 信号がインアクティブ（ハイ・レベル）になると、メモリ・コントローラはバス・ホールド状態を解除して SHLDAKZ 信号がインアクティブ（ハイ・レベル）にします。

6.8 制御レジスタ設定手順

SCSZ0 領域にページ ROM, STCSZ1 領域に SRAM を接続する場合を例に, 制御レジスタ設定手順を説明します。

図 6-3 メモリ・コントローラの制御レジスタ設定手順例



6.9 メモリ・アクセス・タイミング例

MEMC #2 の SRAM／ページ ROM インタフェースは, MEMC #1 と同一のタイミングです。信号名を読み替えて, 図 5-14～図 5-21 を参照してください。

第7章 シリアル・フラッシュ ROM メモリ・コントローラ

EP3-AM1 は、SPI 互換のインタフェースを有するシリアル・フラッシュ ROM を接続するためのメモリ・コントローラを内蔵しています。

7.1 特 徴

- SPI インタフェース： SPI モード 0 と SPI モード 3 に対応（初期状態は SPI モード 3）
アドレス幅は 24 ビット
- タイミング調整機能： レジスタ設定により、広範囲のシリアル ROM に対応可能
- ROM 読み出し機能： 内部システム・バスの読み出しバス・サイクルを SPI バス・サイクルに自動変換
シリアル ROM からの直接ブートが可能
Read, Fast Read, Fast Read Dual Output, Fast Read Dual I/O 命令に対応
プリフェッチ機能搭載
ポーリング処理が可能
SPI バス・サイクル延長機能搭載
- 直接通信機能： 多様なデバイスの命令・機能に、ソフトウェア制御で柔軟に対応可能（消去，書き込み，ID 読み出し，Power-Down 制御等）
- 最高転送クロック： 50MHz

7.2 端子機能

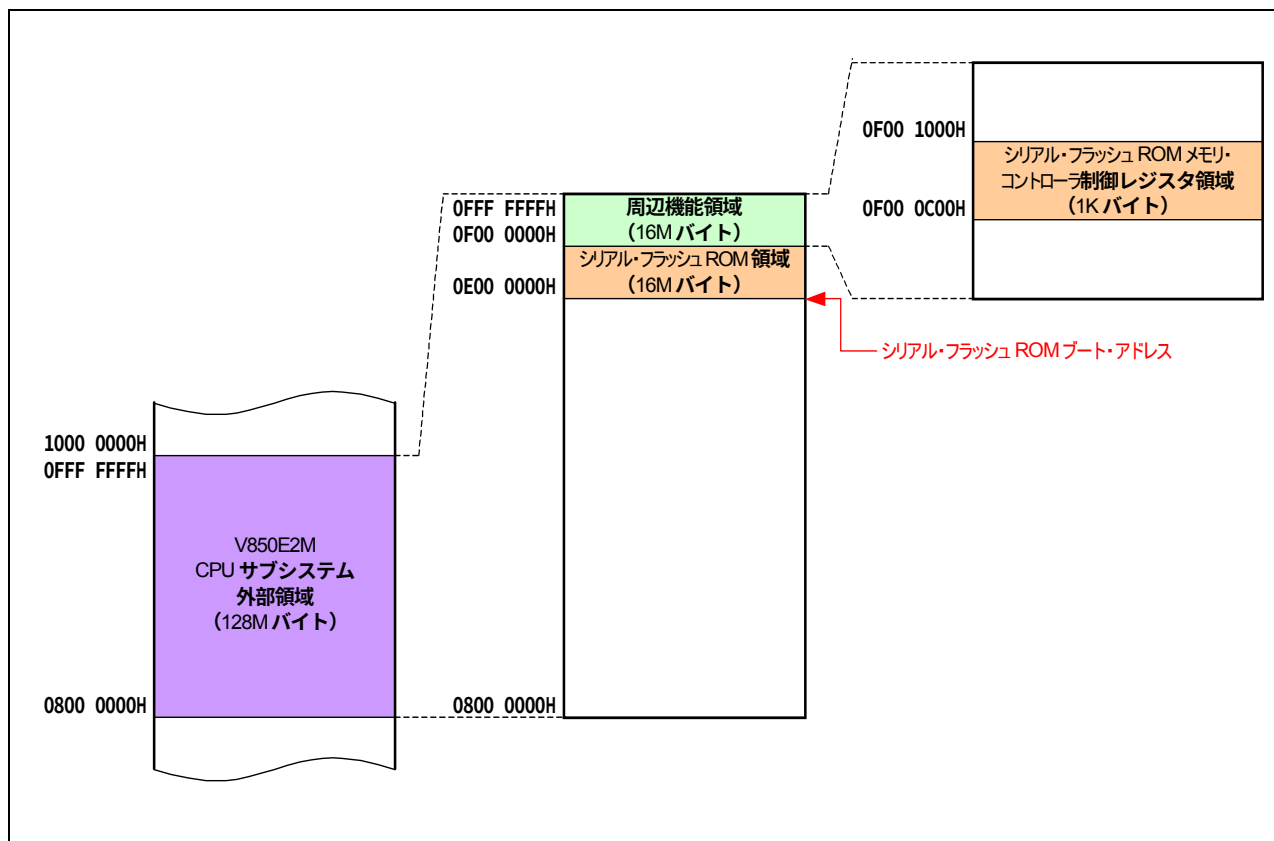
- (1) SMSCK (Serial Flash Clock) … 出力
シリアル・フラッシュ ROM に対するクロック出力端子です。
- (2) SMSO (Serial Flash Data Output) … 入出力
シリアル・フラッシュ ROM へのデータ出力端子です。
デュアル・モードでは，入出力端子として機能します。
- (3) SMSI (Serial Flash Data Input) … 入出力
シリアル・フラッシュ ROM からのデータ入力端子です。
デュアル・モードでは，入出力端子として機能します。
- (4) SMCSZ (Serial Flash Chip Select)
シリアル・フラッシュ ROM に対するチップ・セレクト出力端子です。

7.3 シリアル・フラッシュ ROM のメモリ空間への配置

シリアル・フラッシュ ROM メモリ・コントローラは、最大 16M バイトの ROM 自体が配置される空間と、シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタが配置される空間が存在します。

端子設定で BOOTSEL1 = 1, BOOTSEL0 = 0 とした場合、シリアル・フラッシュ ROM からブートします。このときのブート・アドレスは、0E00 0000H です。

図 7-1 シリアル・フラッシュ ROM のメモリ空間への配置



注意 16M バイト未満のシリアル・フラッシュ ROM を接続した場合は、イメージ領域をアクセスしないでください。0E00 0000H から続く本来のアドレスをアクセスしてください。シリアル ROM によっては、イメージ・アドレスとなる上位のアドレスを無視しない製品があるためです。

7.4 制御レジスタ

シリアル・フラッシュ ROM メモリ・コントローラを利用するには、制御レジスタで動作モードを設定する必要があります。

表 7-1 シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタ

アドレス	レジスタ名称	略 号	R/W	リセット時
0F00 0C00H	転送モード制御レジスタ	SFMSMD	R/W	0000 0110H
0F00 0C04H	チップ選択制御レジスタ	SFMSSC	R/W	0000 0037H
0F00 0C08H	クロック制御レジスタ	SFMSKC	R/W	0000 0008H
0F00 0C0CH	ステータス・レジスタ	SFMSST	R	0000 0080H
0F00 0C10H	通信ポート・レジスタ	SFMCOM	R/W	不定
0F00 0C14H	通信モード制御レジスタ	SFMCMD	R/W	0000 0000H
0F00 0C18H	通信ステータス・レジスタ	SFMCST	R/W	0000 0000H

注意 シリアル・フラッシュ ROM メモリ・コントローラの制御レジスタの設定内容は、システム動作中にダイナミックに変更できます。

ただし、複数の制御レジスタの設定内容を順次変更する場合、すべてのレジスタへの変更が完了する前に、SPI バス・サイクルが発生する可能性があるため、レジスタ設定変更過程のどの段階においても SPI バスのタイミング仕様を逸脱しないよう、レジスタ内容の変更順序には十分な注意が必要です。

(1) 転送モード制御レジスタ (SFMSMD)

SPI バス・サイクルを制御するレジスタです。

SFMSMD レジスタは 8/16 ビット単位でリード/ライト可能です。

ビット 31-12, 3, 2 には必ず 0 を設定してください。

(1/2)

アドレス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SFMSMD0															
R/W															
初期値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	SFM OSW	SFM OHW	SFM OEX	SFM MD3	SFM PAE	SFM PFE	SFM SE1	SFM SE0	0	0	SFM RM1	SFM RM0
初期値															
R/W															
0F00 0C00H															
0000 0110H															

ビット位置	ビット名	意 味
11	SFMOSW	シリアル・データ出力のセットアップ側の時間調整を行います。 0: シリアル・データ出力時の SMSCK のハイ・レベル期間を延長しません。(初期値) 1: シリアル・データ出力時の SMSCK のハイ・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
10	SFMOHW	シリアル・データ出力のホールド側の時間調整を行います。 0: シリアル・データ出力時の SMSCK のロー・レベル期間を延長しません。(初期値) 1: シリアル・データ出力時の SMSCK のロー・レベル期間を 1 クロック分延長します。 この機能は、シリアル・データ出力期間にのみ働きます。
9	SFMOEX	シリアル・インタフェース用 I/O バッファの出力許可信号を延長します。 0: シリアル・データの出力許可期間を延長しません。(初期値) 1: シリアル・データの出力許可期間を 1×SMSCK 分延長します。 出力許可信号のみが延長されます。出力データは延長されません。
8	SFMMD3	SPI モードを選択します。 0: SPI モード 0 1: SPI モード 3 (初期値)
7	SFMPAE	バイト境界以外でのプリフェッチ中断機能を選択します。 0: バイト境界以外でのプリフェッチ中断機能を無効にします。(初期値) 1: バイト境界以外でのプリフェッチ中断機能を有効にします。
6	SFMPFE	プリフェッチ機能を選択します。 0: プリフェッチ機能を無効にします。(初期値) 1: プリフェッチ機能を有効にします

(2/2)

ビット位置	ビット名	意 味															
5, 4	SFMSE1, SFMSE0	SPI バス・アクセス後の SMCSZ (チップ・セレクト) 信号の延長機能を選択します。 <table border="1"> <thead> <tr> <th>SFMSE1</th><th>SFMSE0</th><th>SMCSZ (チップ・セレクト) 信号の延長モード</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>SMCSZ 信号を延長しません。</td></tr> <tr> <td>0</td><td>1</td><td>SMCSZ 信号を最長 33 シリアル・クロック分延長します (初期値)。</td></tr> <tr> <td>1</td><td>0</td><td>SMCSZ 信号を最長 129 シリアル・クロック分延長します。</td></tr> <tr> <td>1</td><td>1</td><td>SMCSZ 信号を無期限で延長します。</td></tr> </tbody> </table> SMCSZ 信号がハイ・レベルの期間は、シリアル・フラッシュ ROM の消費電力低減の効果があります。	SFMSE1	SFMSE0	SMCSZ (チップ・セレクト) 信号の延長モード	0	0	SMCSZ 信号を延長しません。	0	1	SMCSZ 信号を最長 33 シリアル・クロック分延長します (初期値)。	1	0	SMCSZ 信号を最長 129 シリアル・クロック分延長します。	1	1	SMCSZ 信号を無期限で延長します。
SFMSE1	SFMSE0	SMCSZ (チップ・セレクト) 信号の延長モード															
0	0	SMCSZ 信号を延長しません。															
0	1	SMCSZ 信号を最長 33 シリアル・クロック分延長します (初期値)。															
1	0	SMCSZ 信号を最長 129 シリアル・クロック分延長します。															
1	1	SMCSZ 信号を無期限で延長します。															
1, 0	SFMRM1, SFMRM0	シリアル・フラッシュ ROM のリード・モードを選択します。 <table border="1"> <thead> <tr> <th>SFMRM1</th><th>SFMRM0</th><th>シリアル・フラッシュ ROM のリード・モード</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>標準 Read (初期値)</td></tr> <tr> <td>0</td><td>1</td><td>Fast Read</td></tr> <tr> <td>1</td><td>0</td><td>Fast Read dual Output</td></tr> <tr> <td>1</td><td>1</td><td>Fast Read dual I/O</td></tr> </tbody> </table>	SFMRM1	SFMRM0	シリアル・フラッシュ ROM のリード・モード	0	0	標準 Read (初期値)	0	1	Fast Read	1	0	Fast Read dual Output	1	1	Fast Read dual I/O
SFMRM1	SFMRM0	シリアル・フラッシュ ROM のリード・モード															
0	0	標準 Read (初期値)															
0	1	Fast Read															
1	0	Fast Read dual Output															
1	1	Fast Read dual I/O															

(2) チップ選択制御レジスタ (SFMSSC)

シリアル ROM のチップ・セレクト信号のタイミングを設定するレジスタです。

SFMSSC レジスタは 8 ビット単位でリード／ライト可能です。

ビット 31-6 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMSSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C04H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	SFM SLD	SFM SHD	SFM SW3	SFM SW2	SFM SW1	SFM SW0	0000 0037H
R/W	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味																																																																																					
5	SFMSLD	SMCSZ（チップ・セレクト）信号の出力タイミングを選択します。 0：最初の SMSCK 立ち上がりの 0.5 クロック手前で SMCSZ を出力します。 1：最初の SMSCK 立ち上がりの 1.5 クロック手前で SMCSZ を出力します。（初期値）																																																																																					
4	SFM SHD	SMCSZ（チップ・セレクト）信号の解除タイミングを選択します。 0：最後の SMSCK 立ち上がりから 0.5 クロック以降に SMCSZ を解除します。 1：最後の SMSCK 立ち上がりから 1.5 クロック以降に SMCSZ を解除します。（初期値）																																																																																					
3-0	SFM SW3- SFM SW0	SMCSZ（チップ・セレクト）信号の最小ハイ・レベル幅を選択します。 <table><tr><th>SFM SW3</th><th>SFM SW2</th><th>SFM SW1</th><th>SFM SW0</th><th>SMCSZ（チップ・セレクト）信号の 最小ハイ・レベル幅</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1×SMSCK 周期</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2×SMSCK 周期</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3×SMSCK 周期</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>4×SMSCK 周期</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>5×SMSCK 周期</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>6×SMSCK 周期</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>7×SMSCK 周期</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>8×SMSCK 周期（初期値）</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>9×SMSCK 周期</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>10×SMSCK 周期</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>11×SMSCK 周期</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>12×SMSCK 周期</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>13×SMSCK 周期</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>14×SMSCK 周期</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>15×SMSCK 周期</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>16×SMSCK 周期</td></tr></table>	SFM SW3	SFM SW2	SFM SW1	SFM SW0	SMCSZ（チップ・セレクト）信号の 最小ハイ・レベル幅	0	0	0	0	1×SMSCK 周期	0	0	0	1	2×SMSCK 周期	0	0	1	0	3×SMSCK 周期	0	0	1	1	4×SMSCK 周期	0	1	0	0	5×SMSCK 周期	0	1	0	1	6×SMSCK 周期	0	1	1	0	7×SMSCK 周期	0	1	1	1	8×SMSCK 周期（初期値）	1	0	0	0	9×SMSCK 周期	1	0	0	1	10×SMSCK 周期	1	0	1	0	11×SMSCK 周期	1	0	1	1	12×SMSCK 周期	1	1	0	0	13×SMSCK 周期	1	1	0	1	14×SMSCK 周期	1	1	1	0	15×SMSCK 周期	1	1	1	1	16×SMSCK 周期
SFM SW3	SFM SW2	SFM SW1	SFM SW0	SMCSZ（チップ・セレクト）信号の 最小ハイ・レベル幅																																																																																			
0	0	0	0	1×SMSCK 周期																																																																																			
0	0	0	1	2×SMSCK 周期																																																																																			
0	0	1	0	3×SMSCK 周期																																																																																			
0	0	1	1	4×SMSCK 周期																																																																																			
0	1	0	0	5×SMSCK 周期																																																																																			
0	1	0	1	6×SMSCK 周期																																																																																			
0	1	1	0	7×SMSCK 周期																																																																																			
0	1	1	1	8×SMSCK 周期（初期値）																																																																																			
1	0	0	0	9×SMSCK 周期																																																																																			
1	0	0	1	10×SMSCK 周期																																																																																			
1	0	1	0	11×SMSCK 周期																																																																																			
1	0	1	1	12×SMSCK 周期																																																																																			
1	1	0	0	13×SMSCK 周期																																																																																			
1	1	0	1	14×SMSCK 周期																																																																																			
1	1	1	0	15×SMSCK 周期																																																																																			
1	1	1	1	16×SMSCK 周期																																																																																			

(2/2)

ビット位置	ビット名	意 味																																																																																																						
4-0	SFMDV4- SFMDV0	シリアル・クロック（SMSCK）を内部システム・クロック（HCLK）を基準に選択します。 <table><tr><th>SFMDV4</th><th>SFMDV3</th><th>SFMDV2</th><th>SFMDV1</th><th>SFMDV0</th><th>シリアル・クロックの選択</th></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>HCLK／18</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>HCLK／20</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>HCLK／22</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>HCLK／24</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>HCLK／26</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>HCLK／28</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>HCLK／30</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>HCLK／32</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>HCLK／34</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>HCLK／36</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>HCLK／38</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>HCLK／40</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>HCLK／42</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>HCLK／44</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>HCLK／46</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>HCLK／48</td></tr></table>	SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択	1	0	0	0	0	HCLK／18	1	0	0	0	1	HCLK／20	1	0	0	1	0	HCLK／22	1	0	0	1	1	HCLK／24	1	0	1	0	0	HCLK／26	1	0	1	0	1	HCLK／28	1	0	1	1	0	HCLK／30	1	0	1	1	1	HCLK／32	1	1	0	0	0	HCLK／34	1	1	0	0	1	HCLK／36	1	1	0	1	0	HCLK／38	1	1	0	1	1	HCLK／40	1	1	1	0	0	HCLK／42	1	1	1	0	1	HCLK／44	1	1	1	1	0	HCLK／46	1	1	1	1	1	HCLK／48
SFMDV4	SFMDV3	SFMDV2	SFMDV1	SFMDV0	シリアル・クロックの選択																																																																																																			
1	0	0	0	0	HCLK／18																																																																																																			
1	0	0	0	1	HCLK／20																																																																																																			
1	0	0	1	0	HCLK／22																																																																																																			
1	0	0	1	1	HCLK／24																																																																																																			
1	0	1	0	0	HCLK／26																																																																																																			
1	0	1	0	1	HCLK／28																																																																																																			
1	0	1	1	0	HCLK／30																																																																																																			
1	0	1	1	1	HCLK／32																																																																																																			
1	1	0	0	0	HCLK／34																																																																																																			
1	1	0	0	1	HCLK／36																																																																																																			
1	1	0	1	0	HCLK／38																																																																																																			
1	1	0	1	1	HCLK／40																																																																																																			
1	1	1	0	0	HCLK／42																																																																																																			
1	1	1	0	1	HCLK／44																																																																																																			
1	1	1	1	0	HCLK／46																																																																																																			
1	1	1	1	1	HCLK／48																																																																																																			

備考 HCLK：内部システム・バス・クロック

(4) ステータス・レジスタ (SFMSST)

シリアル・フラッシュ ROM のアクセス状況を確認するためのレジスタです。

SFMSST レジスタは 8 ビット単位でリードのみ可能です。

																アドレス																
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																																
SFMSST	<table><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C0CH
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																	
R/W	<table><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																	
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																初期値																
<table><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>PF OFF</td><td>PF FUL</td><td>0</td><td>0</td><td>0</td><td>PF CNT2</td><td>PF CNT1</td><td>PF CNT0</td></tr></table>																0	0	0	0	0	0	0	0	PF OFF	PF FUL	0	0	0	PF CNT2	PF CNT1	PF CNT0	0000 0080H
0	0	0	0	0	0	0	0	PF OFF	PF FUL	0	0	0	PF CNT2	PF CNT1	PF CNT0																	
R/W	<table><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>R</td><td>R</td><td>0</td><td>0</td><td>0</td><td>R</td><td>R</td><td>R</td></tr></table>															0	0	0	0	0	0	0	0	R	R	0	0	0	R	R	R	
0	0	0	0	0	0	0	0	R	R	0	0	0	R	R	R																	

ビット位置	ビット名	意 味																																				
7	PFOFF	プリフェッチの動作状態が示されます。 [※] 0：プリフェッチ機能が動作中です。 1：プリフェッチが許可されていない、または動作していません。（初期値）																																				
6	PFFUL	プリフェッチ・バッファの状態を示します。 0：プリフェッチ・バッファに空きがあります。（初期値） 1：プリフェッチ・バッファがフル状態です。																																				
2-0	PFCNT2- PFCNT0	プリフェッチ済みデータのバイト数を示します。 <table><tr><th>PFCNT2</th><th>PFCNT1</th><th>PFCNT0</th><th>プリフェッチ済みデータのバイト数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>プリフェッチ済みのデータがない（初期値）</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1 バイトのデータをプリフェッチ済み</td></tr><tr><td>0</td><td>1</td><td>0</td><td>2 バイトのデータをプリフェッチ済み</td></tr><tr><td>0</td><td>1</td><td>1</td><td>3 バイトのデータをプリフェッチ済み</td></tr><tr><td>1</td><td>0</td><td>0</td><td>4 バイトのデータをプリフェッチ済み</td></tr><tr><td>1</td><td>0</td><td>1</td><td>5 バイトのデータをプリフェッチ済み</td></tr><tr><td>1</td><td>1</td><td>0</td><td>6 バイトのデータをプリフェッチ済み</td></tr><tr><td colspan="3">上記以外</td><td>この組み合わせはありません。</td></tr></table>	PFCNT2	PFCNT1	PFCNT0	プリフェッチ済みデータのバイト数	0	0	0	プリフェッチ済みのデータがない（初期値）	0	0	1	1 バイトのデータをプリフェッチ済み	0	1	0	2 バイトのデータをプリフェッチ済み	0	1	1	3 バイトのデータをプリフェッチ済み	1	0	0	4 バイトのデータをプリフェッチ済み	1	0	1	5 バイトのデータをプリフェッチ済み	1	1	0	6 バイトのデータをプリフェッチ済み	上記以外			この組み合わせはありません。
PFCNT2	PFCNT1	PFCNT0	プリフェッチ済みデータのバイト数																																			
0	0	0	プリフェッチ済みのデータがない（初期値）																																			
0	0	1	1 バイトのデータをプリフェッチ済み																																			
0	1	0	2 バイトのデータをプリフェッチ済み																																			
0	1	1	3 バイトのデータをプリフェッチ済み																																			
1	0	0	4 バイトのデータをプリフェッチ済み																																			
1	0	1	5 バイトのデータをプリフェッチ済み																																			
1	1	0	6 バイトのデータをプリフェッチ済み																																			
上記以外			この組み合わせはありません。																																			

注 プリフェッチ機能は、SFMSMD レジスタの SFMPFE ビットがセット（1）された状態において、最初のシリアル・フラッシュ ROM に対するリード・アクセスをトリガとして動作を開始し、SFMCMD レジスタへの書き込みによって停止します。

プリフェッチ機能を用いてポーリング処理を行う場合、PFOFF ビットが 1 であれば、PFCNT2-PFCNT0 ビットの値に関わらず、シリアル・フラッシュ ROM データの読み出しを開始する必要があります。

(5) 通信ポート・レジスタ (SFMCOM)

シリアル・フラッシュ ROM に対して、命令コードやアドレスや書き込みデータの出力、また読み出しデータやステータス情報の取り出しを行うために用いられる入出力ポートです。

直接通信モード (SFMCMD.DCOM = 1) において SFMCOM ポートへの書き込みを行うと、書き込まれたデータがシリアル ROM に対して送信されます。また SFMCOM から読み出しを行うと、シリアル・フラッシュ ROM から 1 バイト分のデータ受信が行われ、その受信データが読み出されます。

SFMCOM に対する書き込みまたは読み出しが行われると、シリアル・フラッシュ ROM に対するチップ・セレクト信号 (SMCSZ) がアクティブ状態となり、送信または受信の完了後もシリアル・フラッシュ ROM に対するチップ・セレクト信号 (SMCSZ) がアクティブ状態に保たれます。いったんアクティブ状態となったチップ・セレクト信号 (SMCSZ) は、後述の SFMCMD レジスタへ任意データの書き込みにより、インアクティブ状態に戻ります。

各社から提供されるシリアル・フラッシュ ROM は、特に書き込みや消去の場面において、コマンドやプロトコルに関する標準化が進んでおらず、デバイス固有の制御が必要となります。EP3-AM1 でシリアル・フラッシュ ROM を利用する場合も、書き込みや消去は、SFMCOM を介したソフトウェア制御が必要です。

SFMCOM レジスタは 8 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMCOM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C10H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	SFMD 7	SFMD 6	SFMD 5	SFMD 4	SFMD 3	SFMD 2	SFMD 1	SFMD 0	不定
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置	ビット名	意 味															
7-0	SFMD7-SFMD0	シリアル ROM と直接通信するために、データの入出力を行う通信ポート・レジスタです。 このレジスタへのリード／ライト動作は、SPI バス・サイクルに変換されます。 このレジスタは、直接通信モード (SFMCMD.DCOM = 1) のみアクセス可能です。ROM アクセス・モード (SFMCMD.DCOM = 0) の場合のアクセスは無視されます。															

(6) 通信モード制御レジスタ (SFMCMMD)

システム・バスと SPI バスとの間の通信方法を選択するためのレジスタです。システム・バスと SPI バスとの間の通信方法には、ROM アクセス・モードと直接通信モードがあります。

ROM アクセス・モードでは、システム・バス・サイクルが自動的に SPI バス・サイクルに変換されるため、通常の ROM と同様に、シリアル ROM の内容を容易に参照することが可能です。

一方の直接通信モードでは、通信ポート・レジスタ (SFMCOM) への入出力を繰り返すことにより SPI バス・サイクルを組み立て、ソフトウェア制御でシリアル ROM との通信を行います。シリアル ROM への書き込みや消去操作で使します。

SFMCMMD レジスタへ書き込みを行うと、以前の SFMCOM に対するアクセスによってアクティブ状態となったシリアル ROM へのチップ・セレクト信号 (SMCSZ) を、インアクティブ状態に戻します。

SFMCMMD レジスタは 8 ビット単位でのみリード／ライト可能です。

ビット 31-1 には必ず 0 を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMCMMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C14H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DCOM	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	
ビット位置	ビット名		意 味														
0	DCOM		シリアル ROM との通信モードを選択します。 0：ROM アクセス・モード（ROM アクセスが有効）（初期値） 1：直接通信モード（ROM アクセスは無効）														

注意 一般的なシリアル ROM は、書き込みや消去等をデバイス内部で処理している期間、ステータス確認等の一部の処理を除き、読み出し等の要求に応答することができません。このため、書き込みや消去等のオペレーションと、プログラム・フェッチやデータ・アクセス通常処理との間の、適切な前後関係の確保はソフトウェア処理に委ねられます。ソフトウェア設計においては、使用するシリアル ROM の仕様に合わせ、適切な処理フローを実現してください。

(7) 通信ステータス・レジスタ (SFM CST)

シリアル・フラッシュ ROM との通信状態を示すレジスタです。

SFMCMD.DCOM = 1 (直接通信モード) のときに、シリアル・フラッシュ ROM 自体が配置される空間 (0E00 0000H-0EFF FFFFH) にアクセスすると、エラーが発生し INTSFMC が発生します。

INTSFMC はレベルで発生し、EROMR ビットをクリア (0) することでロー・レベルに戻ります。なお EROMR ビットのセット (1) はできません。

SFMCST レジスタは 8 ビット単位でリード／ライト可能です。

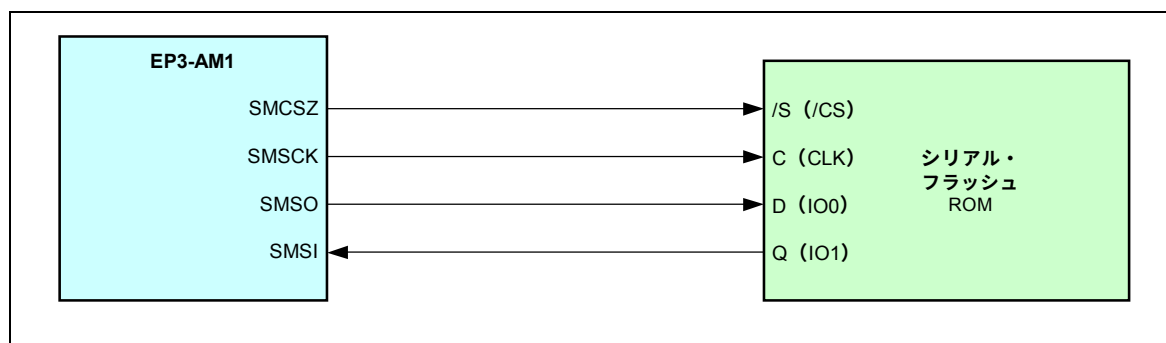
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SFMCST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F00 0C18H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	EROMR	0	0	0	0	0	0	COMBSY	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	0	0	0	0	0	0	R	
ビット位置	ビット名		意 味														
7	EROMR		直接通信モード中の不正 ROM アクセスの検出状況を示します。 0：異常なし。(初期値) 1：異常あり (直接通信モード期間中の不正 ROM アクセスを検出)。														
0	COMBSY		直接通信による SPI バス・サイクルの処理状態を示します。 0：処理中の SPI バス・サイクルはありません。(初期値) 1：処理中の SPI バス・サイクルが存在します。														

注意 EROMR ビットで検出可能な異常は、SFMEMC マクロの直接通信用レジスタの操作手順に関するエラーに限定されます。各社から提供される個々のシリアル ROM の仕様や制限事項に関しては、ソフトウェアによる管理が必要となります。

7.5 シリアル・フラッシュ ROM との接続

シリアル・フラッシュ ROM との接続は次のようになります。

図 7-2 シリアル・フラッシュ ROM との接続図



7.6 動作

7.6.1 SPI バスの動作

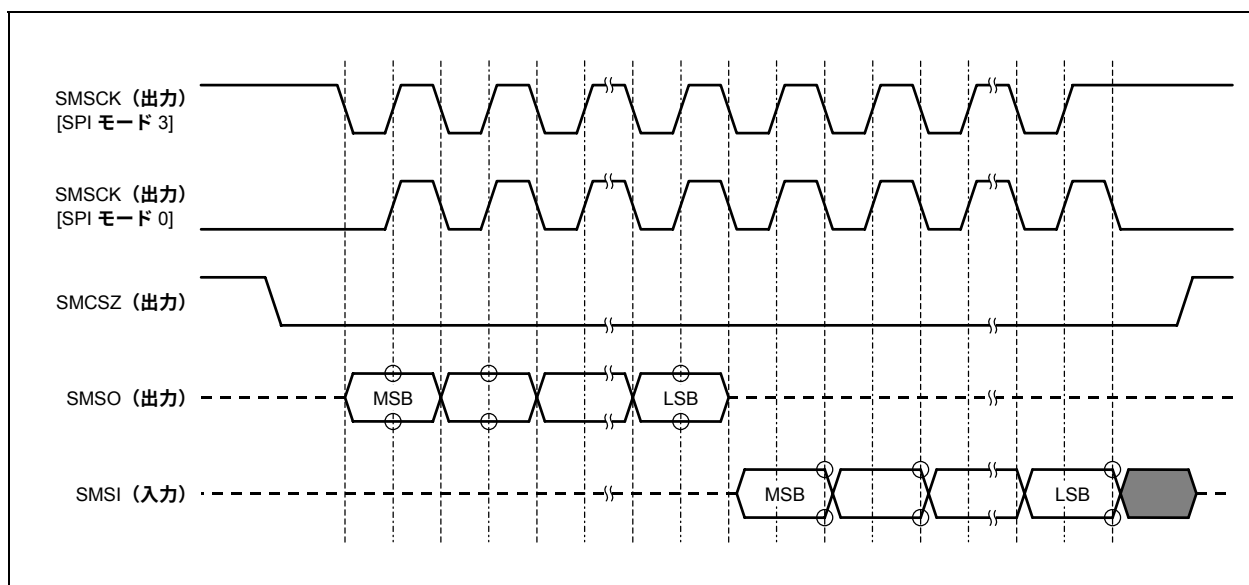
シリアル・フラッシュ ROM メモリ・コントローラは、リセット解除後 SPI モード 3 で動作を開始します。レジスタ設定内容変更によって、動作中に SPI モード 0 と SPI モード 3 とを切り替えられます。

SPI モード 0 と SPI モード 3 との違いは、待機中の SMSCK 信号のレベルです。SPI モード 0 における SMSCK 信号の待機レベルはロー・レベル、SPI モード 3 における SMSCK 信号の待機レベルはハイ・レベルとなります。

シリアル・データ出力は、シリアル・クロック（SMSCK）の立ち下がりエッジに同期して出力され、シリアル・クロック（SMSCK）の立ち上がりエッジに同期して取り込まれます。

シリアル・データ入力、シリアル・クロック（SMSCK）の立ち下がりエッジに同期して出力され、次の立ち下がりエッジに同期して取り込まれます。

図 7-3 SPI バスの基本動作



7.6.2 SPI バスのタイミング調整

SPI バス信号のタイミングを、レジスタ設定によって調整できます。

ここでのタイミング設定内容は、ROM アクセスや直接通信に関わらず、すべての SPI バス・アクセスに適用されます。

(1) SPI バスの基準周期

SPI バスは、HCLK 周期を整数倍して得られる基準周期に従って動作します。

この基準周期は、SFMSKC.SFMDV4-SFMDV0 にて、HCLK 周期の 2-48 倍の範囲内で選択できます。

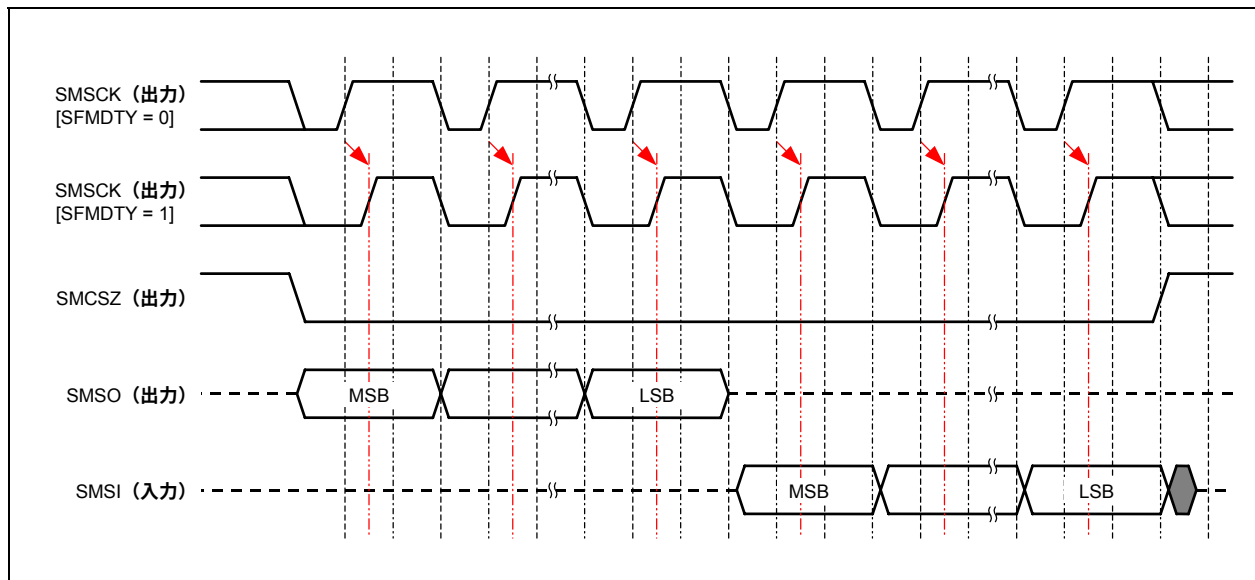
(2) SMSCK 信号の Duty 比

システム・クロックの HCLK 周期の偶数倍を基準周期とすると、SMSCK 信号のハイ・レベル幅とロー・レベル幅は等しくなりますが、奇数倍を基準周期とすると、SMSCK 信号のハイ・レベル幅はロー・レベル幅より $1 \times \text{HCLK}$ だけ長くなります。

HCLK 周期の奇数倍を基準周期とする場合の SMSCK 信号のデューティー比を 50% に近づけるためには、SFMSKC.SFMDTY をセット (1) します。SFMSKC.SFMDTY = 1 の場合、SMSCK 出力信号の立ち上がりを HCLK 半周期分遅らせ、デューティー比 50% 相当を実現します。

なお、HCLK 周期の偶数倍を基準周期とする場合には、SFMSKC.SFMDTY の設定内容は無視されます。

図 7-4 SFMDTY ビットによる SMSCK 信号のデューティー比補正 (HCLK/3 の例)



(3) SMCSZ 信号の最小ハイ幅

隣接する SPI バス・サイクル間では、SMCSZ 信号を一定時間以上ハイ・レベル（インアクティブ状態）に保ち、デバイスが要求する非選択時間を満足させる必要があります。

SMCSZ 出力信号の最小ハイ・レベル幅は、SFMSSC.SFMSW3-SFMSW0 で、基準周期の 1-16 倍の範囲内で選択できます。

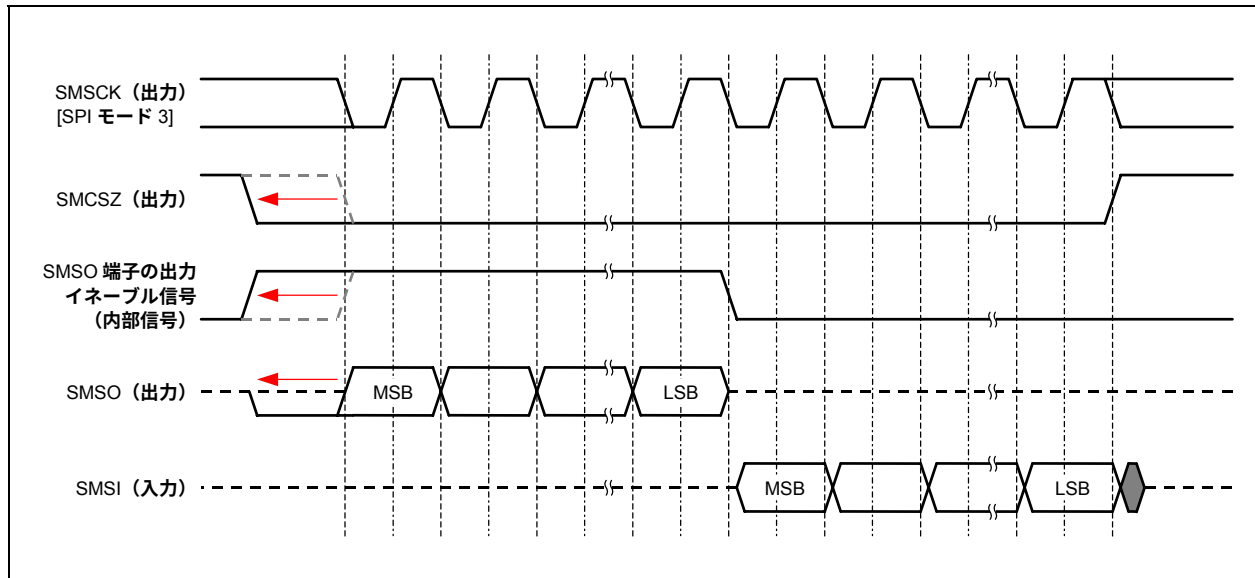
(4) SMCSZ 信号のセットアップ時間

SMCSZ 信号をロー・レベルにしてから最初の SMSCK 信号が立ち上がり時に、デバイスが要求する SMCSZ 信号のセットアップ時間を満足させる必要があります。

SMCSZ 信号のセットアップ時間は、SFMSSC.SFMSLD で、 $0.5 \times \text{SMSCK}$ と $1.5 \times \text{SMSCK}$ を選択できます。

なお、SFMSSC.SFMSLD の設定内容は、シリアル・データ出力の出力バッファのイネーブル制御から、最初の SMSCK 信号の立ち上げまでのセットアップ時間確保にも適用されます。

図 7-5 SFMSLD ビットによる SMCSZ 信号のセットアップ時間調整

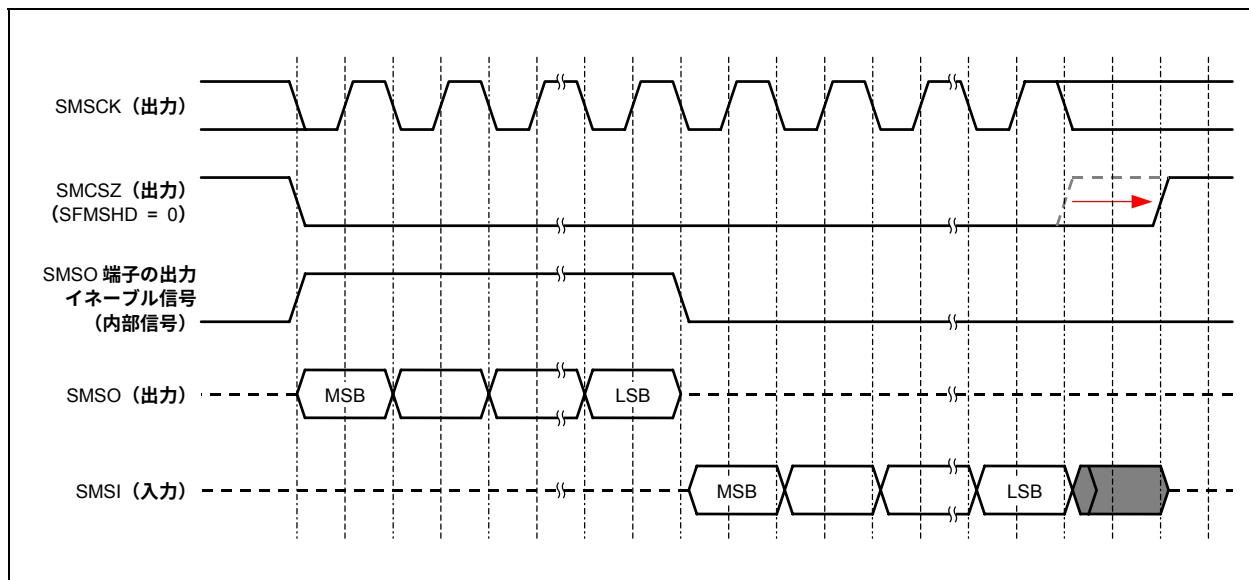


(5) SMCSZ 信号のホールド時間

最後の SMSCK 信号の立ち上がりから SMCSZ 信号をハイ・レベルにするときには、シリアル・フラッシュ ROM の SMCSZ 信号のホールド時間を満足させる必要があります。

SMCSZ 信号のホールド時間は、SFMSSC.SFMSHD で、 $0.5 \times \text{SMSCK}$ と $1.5 \times \text{SMSCK}$ を選択できます。

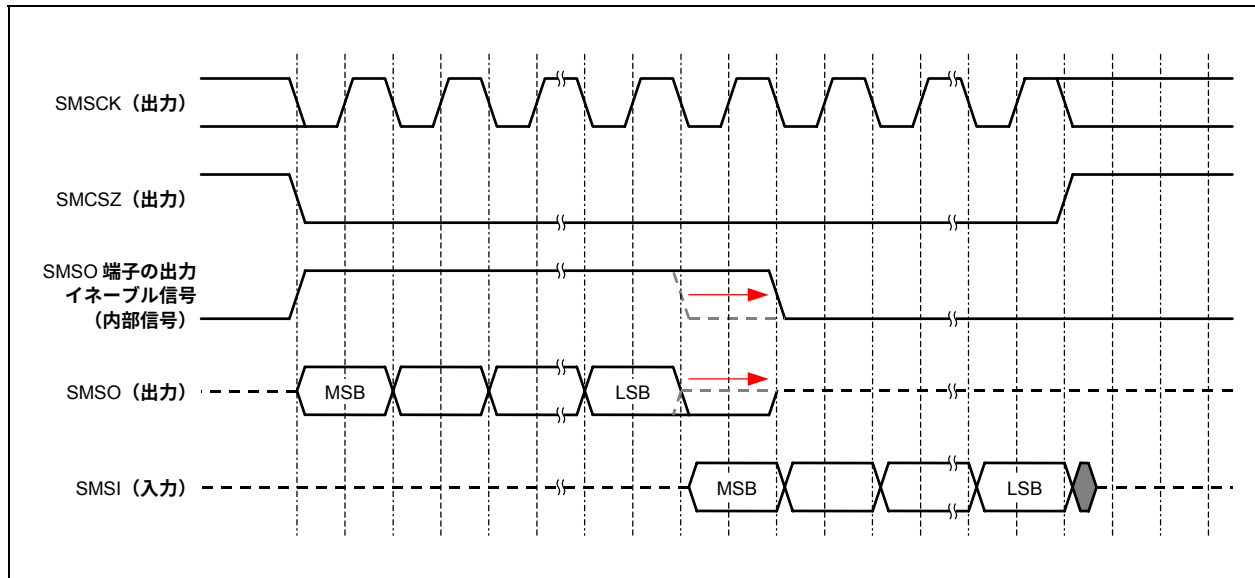
図 7-6 SFMSHD ビットによる SMCSZ 信号のホールド時間調整



(6) シリアル・データ出力バッファの出力許可時間

SFMSMD.SFMOEX で、SMSI, SMSO 端子のバッファ出力許可期間を $1 \times \text{SMSCK}$ 延長できます。

図 7-7 SFMOEX ビット設定による出力許可期間の調整



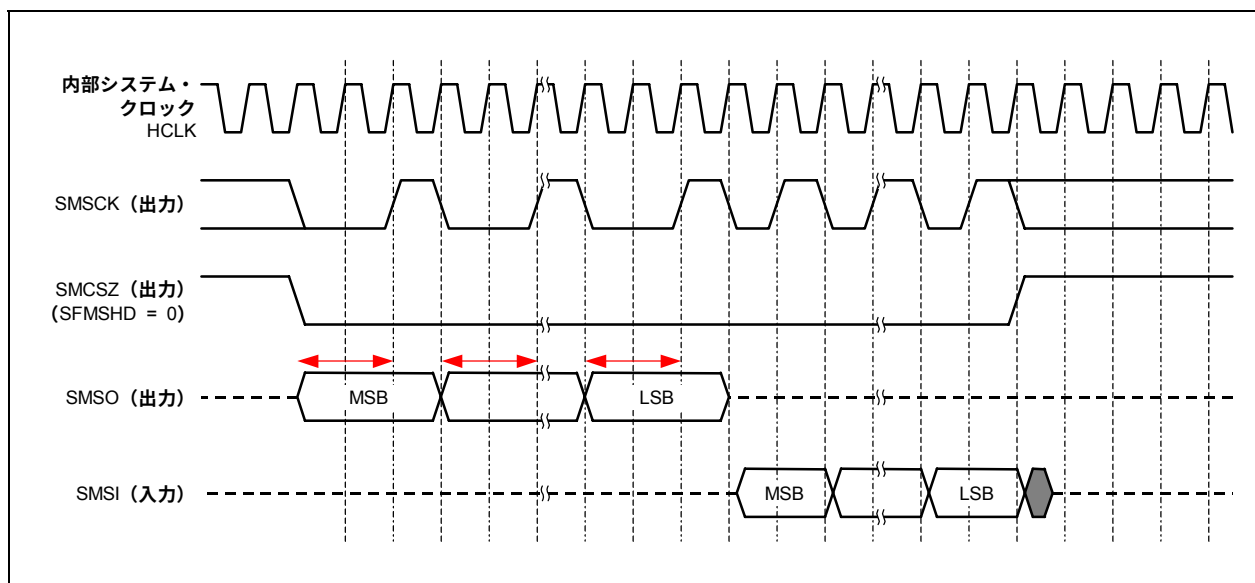
(7) シリアル・データ出力のセットアップ時間

シリアル・フラッシュ ROM にコマンドやアドレス等を送信する場合、シリアル・データの出力から SMSCK 信号の立ち上がりまでのセットアップ時間を満足させる必要があります。

このセットアップ時間が不足する場合には、SFMSMD.SFMOSW で、シリアル・データの出力から SMSCK 信号の立ち上がりまでの時間を、 $1 \times \text{SMSCK}$ 延長できます。

SFMOSW ビットをセット (1) すると、データ出力期間でシリアル・データ送信時の SMSCK のロー・レベル幅が $1 \times \text{SMSCK}$ 延長されます。この機能は、シリアル・データ受信では無効です。

図 7-8 SFMOSW ビット設定によるシリアル・データのセットアップ時間調整



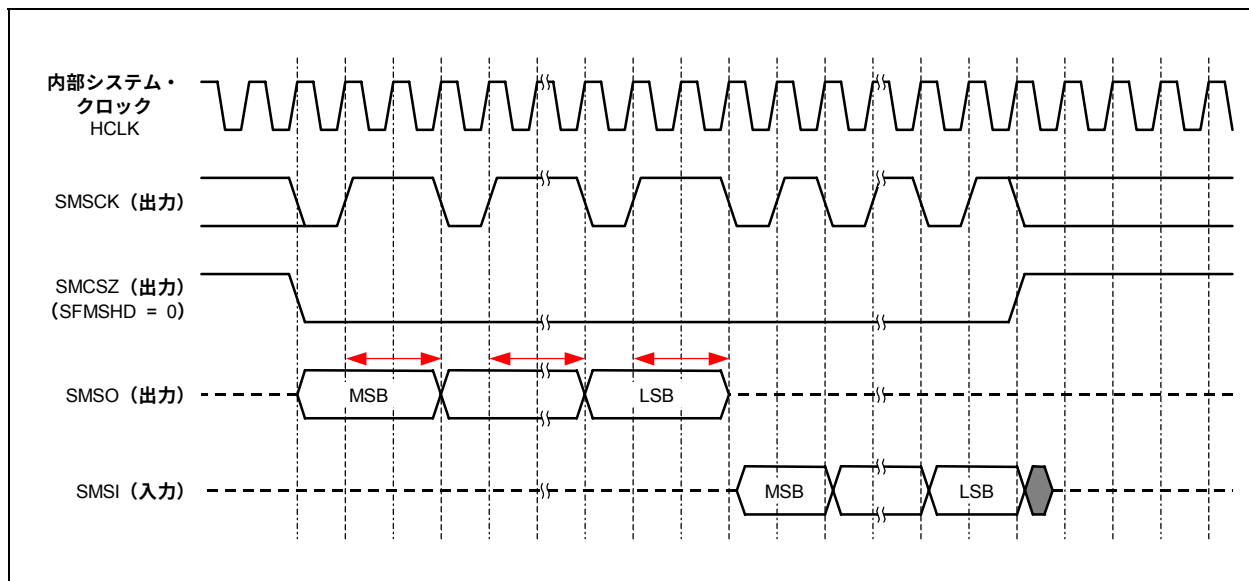
(8) シリアル・データ出力のホールド時間

シリアル・フラッシュ ROM にコマンドやアドレス等を送信する場合、シリアル・データの出力から SMSCK 信号の立ち上がりまでのホールド時間を満足させる必要があります。

このホールド時間が不足する場合には、SFMSMD.SFMOHW で、SMSCK 信号の立ち上がりからシリアル・データの次の変化までの時間を、 $1 \times \text{SMSCK}$ 延長できます。

SFMOHW ビットをセット (1) すると、データ出力する期間で、シリアル・データ送信時の SMSCK のハイ・レベル幅が $1 \times \text{SMSCK}$ 延長されます。この機能は、シリアル・データ受信では無効です。

図 7-9 SFMOHW ビット設定によるシリアル・データのホールド時間調整



7.6.3 シリアル・フラッシュ ROM アクセスで用いる SPI 命令セット

(1) 自動生成される SPI 命令の種類

シリアル・フラッシュ ROM に対するアクセスが行われると、SFMSMD レジスタの設定内容に応じ、以下の命令を用いた SPI バス・サイクルを自動生成します。

またリセット解除時には、一定時間経過後、Deep Power-Down 解除のための命令を自動発行します。

表 7-2 自動生成される SPI 命令セット

命令	命令コード	アドレス・バイト数	ダミー・データ数	データ・バイト数	SFMSMD レジスタの SFMRM ビットの設定
標準 Read	03H	3	—	1~∞	SFMRM[1:0] = 00
Fast Read	0BH	3	1	1~∞	SFMRM[1:0] = 01
Fast Read Dual Output	3BH	3	1	1~∞	SFMRM[1:0] = 10
Fast Read Dual I/O	BBH	3	1	1~∞	SFMRM[1:0] = 11
Release from Deep Power-Down	ABH	—	—	—	—

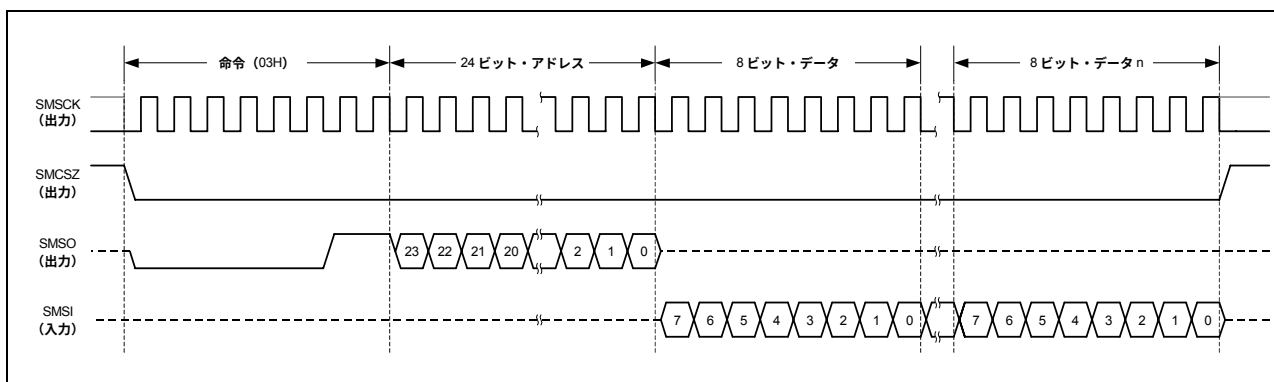
(2) 標準 Read 命令

標準 Read は、大多数のシリアル・フラッシュ ROM でサポートされる共通の読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 03H が出力され、続いて 24 ビットのアドレスを送信し、その後にデータの受信を行います。

初期状態では、この標準 Read が選択されています。

図 7-10 標準 Read バス・サイクル



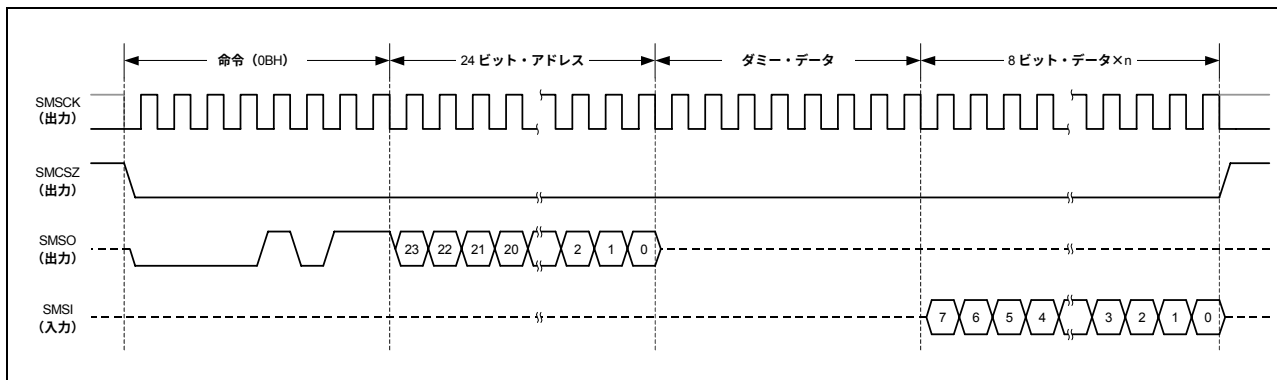
(3) Fast Read 命令

Fast Read は、標準 Read よりも高い通信クロック速度に対応した読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 0BH が出力され、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを送信し、その後にデータの受信が続きます。

Fast Read への切り替えは、SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

図 7-11 Fast Read バス・サイクル



注意 Fast Read は、Fast Read に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

(4) Fast Read Dual Output 命令

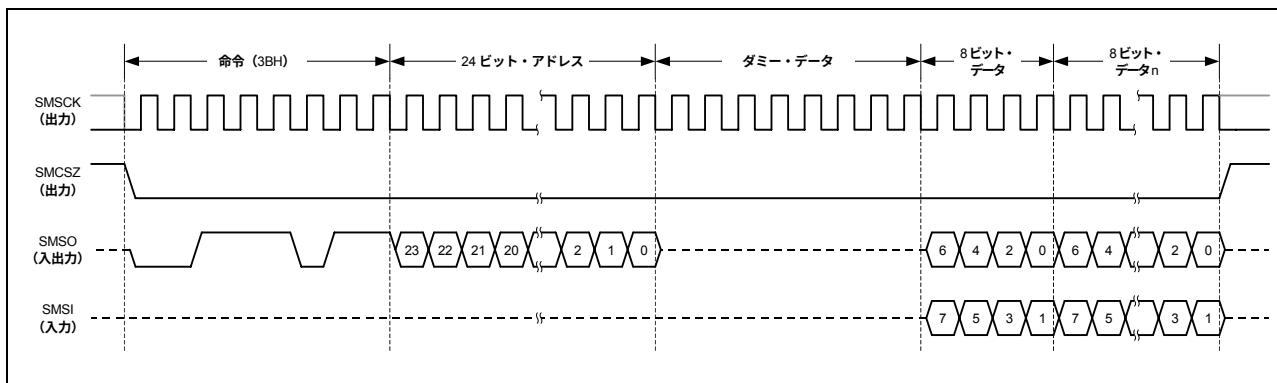
Fast Read Dual Output は、2 本の信号線を用いてデータの受信を行う読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして 3BH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを送信し、その後 SMSO 端子と SMSI 端子の両方を利用して受信を行います。

データは、偶数ビットを SMSO 端子から、奇数ビットを SMSI 端子から受信します。

Fast Read Dual Output への切り替えは、SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

図 7-12 Fast Read Dual Output バス・サイクル



注意 Fast Read Dual Output は、Fast Read Dual Output に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

(5) Fast Read Dual I/O 命令

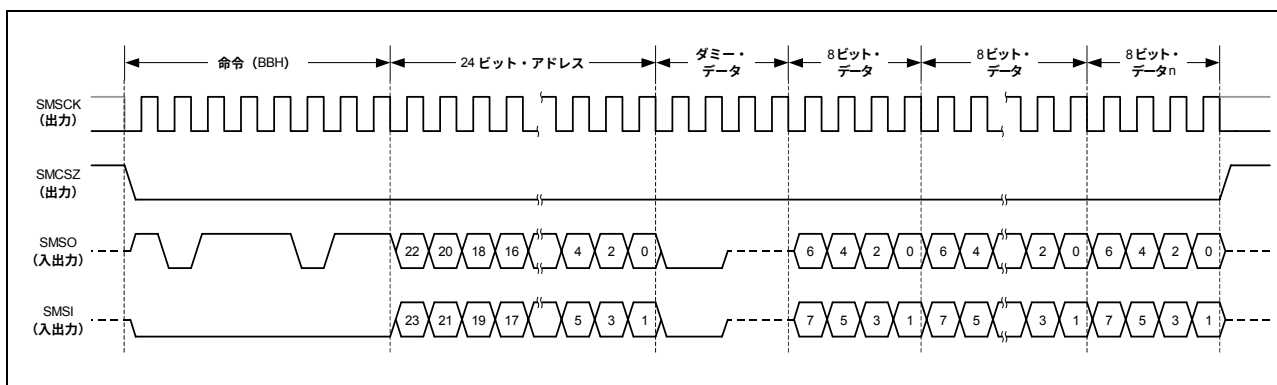
Fast Read Dual I/O 転送は、アドレス送信とデータ受信に 2 本の信号線を用いる読み出し方式です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして BBH を出力し、続いて 24 ビットのアドレスと 1 バイトのダミー・バイトを SMSO 端子と SMSI 端子で送信し、その後 SMSO 端子と SMSI 端子でデータの受信を行います。

アドレスとダミー・データの送信およびデータの受信は、偶数ビットは SMSO 端子を通して、奇数ビットは SMSI 端子を使用します。

Fast Read Dual I/O への切り替えは、SFMSMD.SFMRM1, SFMSMD.SFMRM0 で行います。

図 7-13 Fast Read Dual I/O バス・サイクル



注意 Fast Read Dual I/O は、Fast Read Dual I/O に対応したシリアル・フラッシュ ROM に対してのみ行ってください。

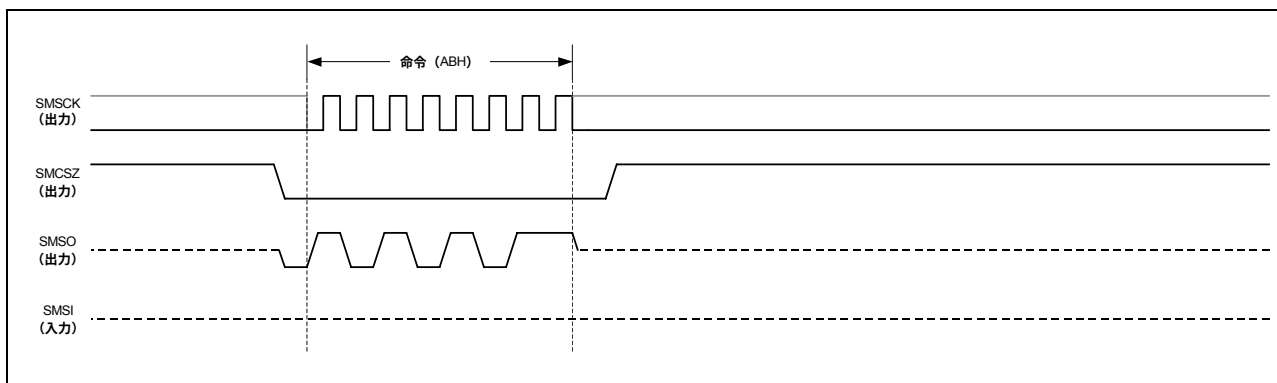
(6) Release from Deep Power-Down 命令

シリアル・フラッシュ ROM を Deep Power-Down 状態から復帰させるための命令です。

SPI バス・サイクルが開始されると、SMCSZ 信号がアクティブとなり、命令コードとして ABH を出力します。

Release from Deep Power-Down 命令は、リセット解除後に自動発行されます。

図 7-14 Release from Deep Power-Down バス・サイクル



7.6.4 SPI バス・サイクルのアレンジ

(1) 個別変換による ROM 読み出し

内部システム・バスのシリアル・フラッシュ ROM 読み出しサイクルを、1 対 1 の関係で、個別に SPI バス・サイクルに変換します。

シリアル・フラッシュ ROM 読み出しバス・サイクルを検出すると、SMCSZ 信号がアクティブ状態となり、SPI バス・サイクルが始まります。シリアル・フラッシュ ROM から必要なデータの受信を取得すると、SMCSZ 信号がインアクティブ状態となり SPI バス・サイクルが完了します。

その後、次のシリアル・フラッシュ ROM 読み出しバス・サイクルを検出すると、SMCSZ 信号の最小ハイ・レベル幅を確保した上で、再び SMCSZ 信号がアクティブ状態となり、新たな SPI バス・サイクルが起動されます。

(2) プリフェッチ機能を用いた ROM 読み出し

CPU の命令実行やブロック・データの転送等の場面では、連続したアドレスから ROM が読み出される機会が多くなります。

シリアル・フラッシュ ROM には、命令コードやアドレスを再発行することなく、データ受信を繰り返す機能が備わっていますが、CPU が発行するバス・サイクルを個別に変換した場合、SPI バス・サイクルが分断されるため、シリアル・フラッシュ ROM を効率良く利用できません。

EP3-AM1 のシリアル・フラッシュ ROM メモリ・コントローラにはプリフェッチ機能が搭載されており、SFMSMD.SFMPFE をセット (1) することでプリフェッチが許可されます。

プリフェッチ機能が許可されると、次の ROM 読み出し要求を待つことなく、直前の ROM 読み出しから連続したデータを継続受信してバッファに蓄えます。次に CPU から ROM 読み出しが行われると、アドレスの照合を行い、アドレスが一致すればバッファ内部のデータを CPU に引き渡し、アドレスが一致しなければバッファ内部のデータを破棄し、新たな SPI バス・サイクルを発行します。

プリフェッチ用のバッファのサイズは 6 バイトです。このバッファがフルになると、いったん SPI バス・サイクルを終了しますが、その後バッファ中のデータが読み出されバッファに空きができると、自動的に新たな SPI バス・サイクルを開始し、プリフェッチを継続します。

プリフェッチ機能を用いると、命令のフェッチやブロック・データの転送のように、連続したアドレスから間隔を空けずにデータを読み出すような場面において、効率の良い転送を実現できます。

(3) プリフェッチの中断

プリフェッチのためのシリアル転送を行っている途中で、別のアドレスへの ROM 読み出しバス・サイクルが発生すると、不要となった現在のシリアル転送を中断し、新たな SPI バス・サイクルを開始します。

通常、このようなシリアル転送の中断はデータ受信のバイト境界で行いますが、SFMSMD.SFMPAE がセット (1) されていると、バイト境界以外の部分でも中断を受け付けます。ただし、使用するシリアル・フラッシュ ROM がバイト境界外での中断に対応している必要があります。

(4) SPI バス・サイクル延長機能を用いた ROM 読み出し

SFMSMD.SFMSE1, SFMSMD.SFMSE0 に 00b 以外の値を設定すると、シリアル・フラッシュ ROM からデータを取得した後も、SMSCK 信号を停止し SMCSZ 信号をロー・レベルに保ち、SPI バス・サイクルを保留したまま次の ROM 読み出しを待ちます。

もし、次の ROM 読み出しが前回と連続したアドレスであれば、SMSCK 信号のトグルを再開し、後続のデータ受信を継続します。もし、次の ROM 読み出しが前回と連続しないアドレスであれば、いったん SMCSZ 信号をハイ・レベルに戻して保留中の SPI バス・サイクルを完了させ、その後に新たな SPI バス・サイクルを開始します。

この機能を用いれば、連続したアドレスから間欠的にデータを読み出すような場面において、命令コードやアドレス送信のためのオーバーヘッドを削減し、効率の良い転送を実現できます。

SPI バス・サイクルの延長時間は、SFMSMD.SFMSE1, SFMSMD.SFMSE0 で設定します。初期値では SMCSZ 信号を最長 33 シリアル・クロック分延長します。指定された延長時間が経過すると、SMCSZ 信号をハイ・レベルに戻し、保留中の SPI バス・サイクルを自動的に完了させます。なお、SFMSMD.SFMSE1 = 1, SFMSMD.SFMSE0 = 1 の場合は、SMCSZ 信号が無期限に延長されますので、シリアル・フラッシュ ROM の消費電力の増加に注意が必要です。

7.6.5 Deep Power-Down の自動解除

Deep Power-Down 状態のシリアル・フラッシュ ROM は、Release from Deep Power-Down 命令以外には、Read 命令を含むほとんどの命令を受け付けることができません。

その一方で、シリアル・フラッシュ ROM の多くでは、端子数削減のために電源投入の検出と内部ロジックの初期化をデバイス内部で行っており、外部端子にはリセット入力端子が存在しません。このため Deep Power-Down 状態に移行した後に、解除を行わずに読み出すことができません。たとえば、電源断を伴わないリセットによるリブートでは、システムの誤動作につながります。

そこで、このシリアル・フラッシュ ROM メモリ・コントローラは、Deep Power-Down の自動解除機能を備えており、リセット解除時に Deep Power-Down の解除コマンドを発行後、内部システム・クロックの HCLK×12336 の待ち合わせを行います。シリアル・フラッシュ ROM からブートするように設定している場合は、この待ち合わせ後にブートが開始されます。

7.6.6 直接通信

(1) 直接通信とは

EP3-AM1 のシリアル・フラッシュ ROM メモリ・コントローラは、ROM 読み出しバス・サイクルを自動的に SPI バス・サイクルに変換してシリアル ROM の内容を読み出すことができますが、シリアル・フラッシュ ROM には、メモリ内容の読み出し以外にも、ID 情報の読み出し、消去、プログラミング、ステータス情報の読み出し等の、多様な機能があります。しかし、これらの命令セットは、ベンダやデバイス間で統一されていないため、これらの操作を行う手段として、一般的な 3 線式シリアル・インタフェースと同様にソフトウェア制御による任意の SPI バス・サイクルによる通信が可能です。EP3-AM1 では、これを直接通信と呼んでいます。

(2) 直接通信モード

シリアル・フラッシュ ROM との直接通信を行うためには、SFMCMDCOM をセット (1) し、直接通信モードに設定してください。

直接通信モード中は、通常の ROM 読み出しは禁止です。直接通信モードから、通常の ROM アクセス・モードに移行する場合は、SFMCMDCOM をクリア (0) してください。

注意 1. SFMCMDCOM の書き換えを行うと、現在転送中の通信がある場合は、その通信を終えたあとにモードが切り替わります。また、プリフェッチ動作を行っている場合は、現在実行中の 1 バイトのプリフェッチ後に通信を終了してモードが切り替わります。

2. 直接通信モードと、ROM アクセス・モード切り替えプログラムは、必ずシリアル・フラッシュ ROM 以外で実行してください。また、キャッシュ・フィル動作や、DMA コントローラなどのバス・マスタからのアクセスが行われない状態でモードを切り替えてください。

(3) 直接通信での SPI バス・サイクル生成

シリアル・フラッシュ ROM に対する SPI バス・サイクルは、SMCSZ のアクティブ期間を指します。直接通信モードに移行すると、通信ポート・レジスタ (SFMCOM) への最初のアクセスで SMCSZ がアクティブ (ロー・レベルを出力) となり、SFMCOM を介しての一連の入出力操作の後に、SFMCMDCOM をクリア (0) することで SMCSZ がインアクティブになります。

この時、SFMCOM ポートへの書き込みは SPI バスへの 1 バイト送信に変換され、また SFMCOM ポートからの読み出しは SPI バスからの 1 バイトの受信に変換されます。

注意 直接通信モード選択中は、SFMCMDCOM 以外のレジスタ (SFMSMD, SFMSSC, SFMSKC, SFMSST, SFMCST) への書き込みは禁止です。

第8章 セントラル DMA コントローラ (セントラル DMAC)

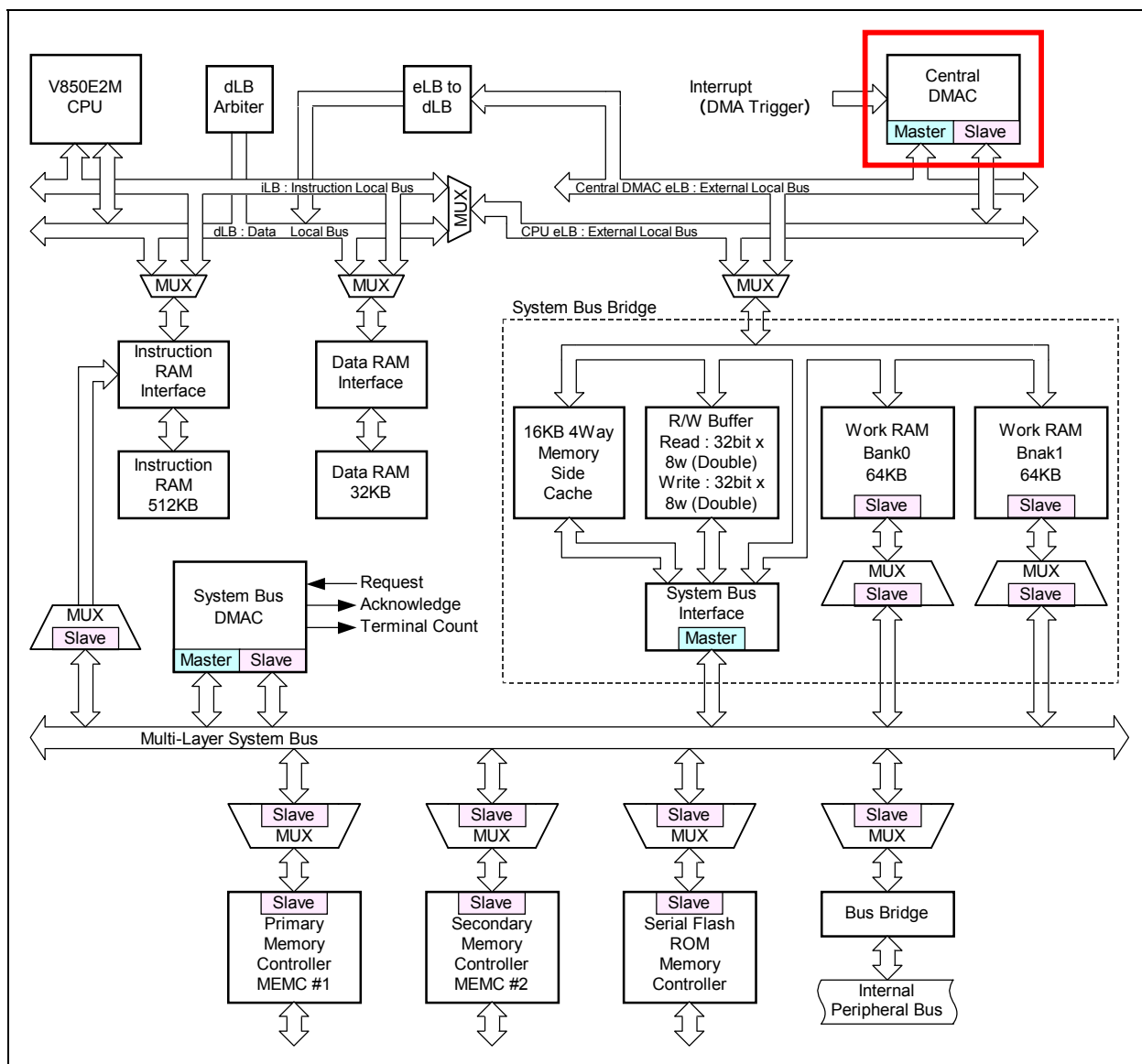
EP3-AM1 は、CPU ローカル・バス用のセントラル DMAC と、システム・バス用のシステム・バス DMAC の 2 つの DMA コントローラを内蔵しています。

8.1 セントラル DMAC の概要

セントラル DMAC は、CPU ローカル・バスのバス・マスタとして動作する DMA コントローラです。システム・バス用のシステム・バス DMAC とは独立に動作します。

セントラル DMAC は、割り込みやソフトウェア・トリガによる起動で、DMA 転送を行う DMA コントローラです。

図 8-1 内部バス構造とセントラル DMAC



- チャンネル数：16 チャンネル (8 チャンネル×2 グループ)
- 転送データ・サイズ：8 ビット／16 ビット／32 ビット／128 ビット
- 最大転送回数：32768 (2¹⁵) 回
- チャンネル優先順位制御：固定優先順位 (2 グループ間ではグループ 0 が常に優先)
- 転送タイプ：2 サイクル転送
- 転送モード：
 - ・シングル転送モード
内蔵周辺機能からの割り込み要求が発生するとバス権を獲得し、1 回の転送を行ったあと必ずバスを解放します。その後、ハードウェア DMA 転送要求があると、再度 1 回の転送を行います。この動作を、転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで繰り返します。
 - ・シングルステップ転送モード
ソフトウェアで DMA 転送要求が発生するとバス権を獲得し、1 回の転送ごとにバスを解放します。1 度ソフトウェア DMA 転送要求を受け付けると、転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで、この動作を繰り返します。
- 転送アドレス制御
 - ・インクリメンタル
 - ・デクリメンタル
 - ・固定
- DMA 転送要求選択機能
チャンネルごとに、ハードウェア DMA 転送要求 (割り込み要求)、およびソフトウェア DMA 転送要求から任意の DMA 転送要求を選択できます (DTRS レジスタ設定)。
- 転送回数一致割り込み出力機能
チャンネルごとに、転送回数コンペア用レジスタ (DTCC) を持ち、転送回数レジスタ (DTC) と一致すると割り込み信号 (INTCDMACT0-INTCDMACT15) を出力します。
- 転送完了割り込み出力機能
チャンネルごとに、転送回数レジスタ (DTC) で指定した回数分の DMA 転送を終了すると、転送完了割り込み信号 (INTCDMA0-INTCDMA15) を出力します。
- ネクスト・アドレス設定機能
チャンネルごとに、現在実行中の DMA トランザクション (一連の DMA 転送) の転送アドレスおよび転送回数 (Current) を設定しているレジスタと、実行中の DMA 転送完了後、次に DMA 転送したい転送アドレスおよび転送回数 (Next) を設定するレジスタを持っています。レジスタごとに、DMA 転送完了後、Next レジスタを Current レジスタにコピーするかを、ネクスト・ソース／デスティネーション・アドレス・レジスタで選択できます。

○ 転送の種類と転送対象の関係 (○：転送可，×：転送不可)

セントラル DMAC は，CPU と等価なアクセス範囲をサポートしているため，CPU コア内部の特殊レジスタを除き，転送対象に制限はありません。

表 8-1 セントラル DMAC の転送対象

転送先 転送元	命令 RAM 注	データ RAM	ワーク RAM	MEMC #1 接続メモリ	MEMC #2 接続メモリ	内蔵周辺機能 (一部除く)
命令 RAM	×	○	○	○	○	○
データ RAM	○	○	○	○	○	○
ワーク RAM	○	○	○	○	○	○
MEMC #1 接続メモリ	○	○	○	○	○	○
MEMC #2 接続メモリ	○	○	○	○	○	○
内蔵周辺機能 (一部除く)	○	○	○	○	○	○

注 命令 RAM を転送先とする場合は，命令 RAM 書き込み領域を使用してください。

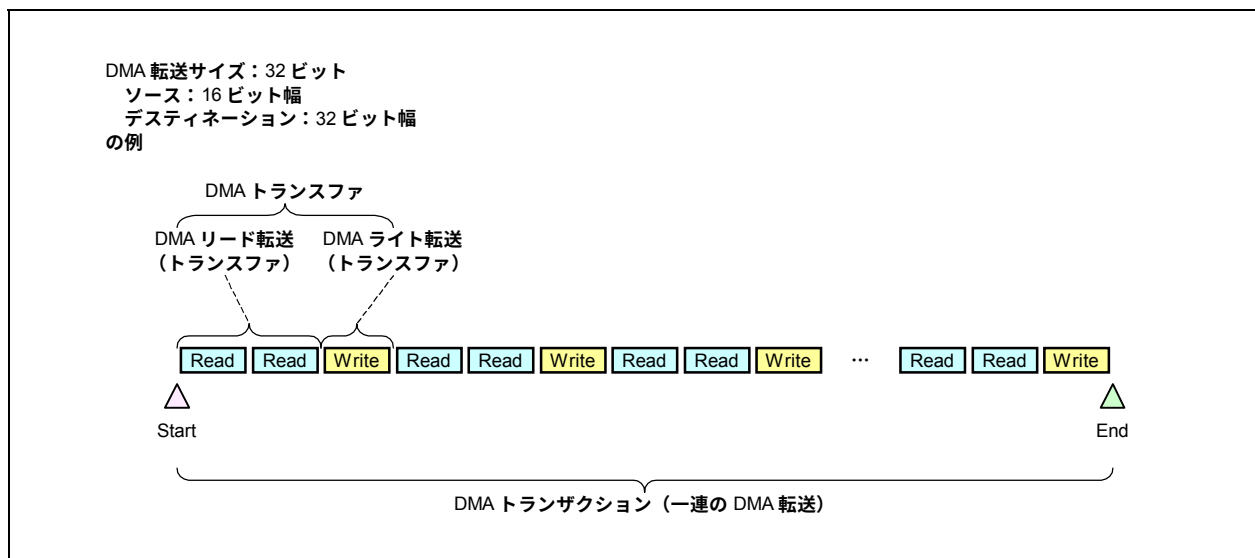
8.2 用語定義

セントラル DMAC で使用している用語の定義は、次のとおりです。

表 8-2 セントラル DMAC の用語定義

用 語	定 義
DMA 転送 (トランスファ)	DMAC が 1 バースト分のリードまたはライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総転送バイト数分の DMA 転送実行すること、すなわち一連の DMA 転送が完了するまでの期間を指します。
ハードウェア DMA 転送要求	内蔵周辺機能や外部端子からの割り込み要求信号による DMA 転送要求です。
ソフトウェア DMA 転送要求	DMA 転送ステータス・レジスタ (DTSn) の SR ビットのセット (1) による DMA 転送要求です。
DMA 転送要求	ハードウェア DMA 転送要求、およびソフトウェア DMA 転送要求です。
シングル転送	ハードウェア DMA 転送要求時の動作です。 一回の転送要求につき一回の DMA 転送を実行します。
シングルステップ転送	ソフトウェア DMA 転送要求時の動作です。 一回のソフトウェア DMA 転送要求につき、転送回数設定レジスタ (DTCn) で設定した回数の転送を行います。転送ごとにバスを開放するため、CPU が割り込むことができます。シングルステップ転送実行中に別の優先順位の高い転送要求が発生した場合は、シングルステップ転送を中断し、優先順位が高い転送要求を実行します。

図 8-2 転送の呼称



セントラル DMAC が実行する一回のリード／ライト転送を DMA トランスファと呼びます。また、設定した一連の DMA 転送 (トランスファ) の実行を DMA トランザクションと呼びます。

8.3 セントラル DMAC のレジスタ

(1) DMA 転送要求コントロール・レジスタ (DTRC0, DTRC1)

DMA 転送のエラー, 転送中断状態を示します。

8/1 ビット単位でリード／ライト可能です。

DTRC0 は DMA チャンネル 0-7, DTRC1 は DMA チャンネル 8-15 用です。

リセットにより 00H になります。

ビット 6-1 には, 必ず 0 を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
DTRC0	ERR0	0	0	0	0	0	0	ADS0	FFFF 7300H	00H
R/W	R/W	0	0	0	0	0	0	R/W		
DTRC1	ERR1	0	0	0	0	0	0	ADS1	FFFF 7500H	00H
R/W	R/W	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意 味
7	ERRm	DMA 転送エラー・ステータス・ビットです。 DMA 転送において転送対象よりエラー・レスポンスを受信したことを示します。エラー・レスポンスを受信すると、ERRm ビットと ADSm ビットをセットし、DMA 転送エラーを割り込みにて通知します。クリア (0) する場合 “0” を書き込んでください。 0：DMA 転送エラーなし 1：DMA 転送エラーあり
0	ADSm	DMA 転送中断状態を示すビットです。 DMA 転送が転送停止要求により中断していることを示します。また、このビットをセット (1) することで、現在転送している DMA 転送を中断できます。 0：DMA 転送中断なし 1：DMA 転送中断中／DMA 転送中断要求

備考 m = 0, 1

(2) DMA 転送要求選択レジスタ (DTRS_n)

DMA チャンネルごとにソフトウェア・トリガ／ハードウェア・トリガの DMA 転送要求を選択します。
16 ビット単位でリード／ライト可能です。
リセットにより 0000H になります。
ビット 15-1 には、必ず 0 を設定してください。

注意 DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTS_n) の DTEn ビット= 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

																アドレス	初期値
DTRS _n	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DTR _n	注 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	
ビット位置	ビット名		意 味														
0	DTR _n		DMA 転送要求割り付け チャンネル <i>n</i> の DMA 転送要求の割り付けを設定します。ここで選択していない DMA 転送要求がアクティブになっても、セントラル DMAC は何も動作しません。 0：ソフトウェア・トリガ 1：ハードウェア・トリガ（割り込み要求信号による起動）														

注 DTRS0-DTRS7：FFFF 7310H+30H×*p*（*p* = 0-7）
DTRS8-DTRS15：FFFF 7510H+30H×（*q* - 8）（*q* = 8-15）

備考 *n* = 0-15

(3) DMA ソース・アドレス・レジスタ (DSAn, DSAnL, DSAnH)

(a) DMA ソース・アドレス・レジスタ (DSAn)

DMA チャンネル n の DMA 転送元アドレス (29 ビット) を設定します。

DMA 転送中は、DSAnL, DSAnH レジスタで、次に DMA 転送するアドレスが読み出せます。

DSAn レジスタの NSAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

32 ビット単位でリード／ライト可能です。

注意 1. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

2. アドレスは、設定途中のアドレスで転送しないために、DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=0 の状態で 32 ビット・アクセスで設定してください。

3. DMA 転送中の転送元アドレスは、DSAnL, DSAnH レジスタを参照してください。DSAn レジスタでは、正しい転送元アドレスを読み出せません。

4. ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	SAn3	SAn2	SAn1	SAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DSAn	0	0	0	SA n28	SA n27	SA n26	SA n25	SA n24	SA n23	SA n22	SA n21	SA n20	SA n19	SA n18	SA n17	SA n16	注
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SA n15	SA n14	SA n13	SA n12	SA n11	SA n10	SA n9	SA n8	SA n7	SA n6	SA n5	SA n4	SA n3	SA n2	SA n1	SA n0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
28-0	SA _{n28} - SA _{n0}	DMA 転送元のアドレス（A28-A0）を設定します。

注 DSA0-DSA7：FFFF 7314H+30H×p（p = 0-7）

DSA8-DSA15：FFFF 7514H+30H×（q - 8）（q = 8-15）

備考 n = 0-15

(b) DMA ソース・アドレス・レジスタ L (DSAnL)

DMA チャンネル n の DMA 転送元アドレスの下位 16 ビットです。

DMA 転送中に転送元アドレスを読み出す場合は、この DSAnL と DSAnH レジスタをリードしてください。

DNSAn レジスタの NSAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

注意 DMA 停止中に転送元アドレスを設定する場合や、転送元アドレスをリードする場合は、DSAn レジスタを 32 ビット・アクセスでアクセスしてください。

DSAnL	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	SA n15	SA n14	SA n13	SA n12	SA n11	SA n10	SA n9	SA n8	SA n7	SA n6	SA n5	SA n4	SA n3	SA n2	SA n1	SA n0	注	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意 味
15-0	SA _{n15} - SA _{n0}	DMA 転送中の、次の DMA 転送元アドレスの下位 16 ビットを保持します。

注 DSA0-DSA7 : FFFF 7314H+30H×p (p = 0-7)
DSA8-DSA15 : FFFF 7514H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(c) DMA ソース・アドレス・レジスタ H (DSAnH)

DMA チャンネル n の DMA 転送元アドレスの上位 13 ビットです。

DMA 転送中に転送元アドレスを読み出す場合は、この DSAnL と DSAnH レジスタをリードしてください。

DSAn レジスタの NSAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

注意 DMA 停止中に転送元アドレスを設定する場合や、転送元アドレスをリードする場合は、DSAn レジスタを 32 ビット・アクセスでアクセスしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSAnH	0	0	0	SA _{n28}	SA _{n27}	SA _{n26}	SA _{n25}	SA _{n24}	SA _{n23}	SA _{n22}	SA _{n21}	SA _{n20}	SA _{n19}	SA _{n18}	SA _{n17}	SA _{n16}	注	0000H
R/W	0	0	0	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意 味
12-0	SA _{n28} - SA _{n16}	DMA 転送中の、次の DMA 転送元アドレスの上位 13 ビットを保持します。

注 DSA0-DSA7 : FFFF 7315H+30H×p (p = 0-7)
DSA8-DSA15 : FFFF 7515H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(4) DMA ソース・チップ・セレクト・レジスタ (DSCn)

DMA チャンネル n の転送元として選択する領域を設定します。

16 ビット単位でリード／ライト可能です。

リセットにより 0001H になります。

注意 1. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

2. SCSn0, SCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません

3. ビット 15-2 には、必ず 0 を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSCn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SCSn0	SCSEn	注	0001H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意 味												
1, 0	SCSn0, SCSEn	DMA チャンネル n の転送元として選択する領域を設定します。 <table border="1"> <tr> <th>SCSn0</th><th>SCSEn</th><th>転送元の選択領域</th></tr> <tr> <td>0</td><td>1</td><td>命令 RAM, データ RAM 以外</td></tr> <tr> <td>1</td><td>0</td><td>命令 RAM, データ RAM</td></tr> <tr> <td>上記以外</td><td></td><td>設定禁止</td></tr> </table>	SCSn0	SCSEn	転送元の選択領域	0	1	命令 RAM, データ RAM 以外	1	0	命令 RAM, データ RAM	上記以外		設定禁止
SCSn0	SCSEn	転送元の選択領域												
0	1	命令 RAM, データ RAM 以外												
1	0	命令 RAM, データ RAM												
上記以外		設定禁止												

注 DSC0-DSC7 : FFFF 7318H+30H× p ($p = 0-7$)
 DSC8-DSC15 : FFFF 7518H+30H× ($q - 8$) ($q = 8-15$)

備考 $n = 0-15$

(5) DMA ネクスト・ソース・アドレス・レジスタ (DNSAn)

DMA チャンネル n の次回 DMA 転送元アドレス (29 ビット) と、DMA トランザクション (一連の DMA 転送) 完了時の DMA ソース・アドレス・レジスタ (DSAn) へのコピー動作を設定します。

32 ビット単位でリード／ライト可能です。

注意 ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NSAn3	NSAn2	NSAn1	NSAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DNSAn	NS AVn	0	0	NSA n28	NSA n27	NSA n26	NSA n25	NSA n24	NSA n23	NSA n22	NSA n21	NSA n20	NSA n19	NSA n18	NSA n17	NSA n16	注
R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NSA n15	NSA n14	NSA n13	NSA n12	NSA n11	NSA n10	NSA n9	NSA n8	NSA n7	NSA n6	NSA n5	NSA n4	NSA n3	NSA n2	NSA n1	NSA n0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31	NSAVn	DMA トランザクション（一連の DMA 転送）完了時に DMA ネクスト・ソース・アドレス・レジスタ n からアドレスを DMA ソース・アドレス・レジスタ（DSAn）へのコピー動作を設定します。 コピーが完了すると、このビットはクリア（0）されます。 0：コピーしない／コピー完了 1：コピーする／コピー未了
28-0	NSAn28-NSAn0	次回転送時の DMA 転送元のアドレス（A28-A0）を設定します。

注 DNSA0-DNSA7：FFFF 731CH+30H×p（p = 0-7）
DNSA8-DNSA15：FFFF 751CH+30H×（q - 8）（q = 8-15）

備考 n = 0-15

(6) DMA ネクスト・ソース・チップ・セレクト・レジスタ (DNSCn)

DMA チャンネル n の次回転送元として選択する領域と、DMA トランザクション (一連の DMA 転送) 完了時の DMA ネクスト・ソース・チップ・セレクト・レジスタのコピー動作を設定します。

16 ビット単位でリード/ライト可能です。

リセットにより 0001H になります。

- 注意 1.** NSCSn0, NSCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません
- 2.** ビット 14-2 には、必ず 0 を設定してください。

																アドレス	初期値
DNSCn																	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	NS	0	0	0	0	0	0	0	0	0	0	0	0	0	NS	NSC	
	CVn														CS0n	SEn	注 0001H
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

ビット位置	ビット名	意 味												
15	NSCVn	DMA トランザクション (一連の DMA 転送) 完了時に DMA ネクスト・ソース・チップ・セレクト・レジスタからチップ・セレクトを DMA ソース・チップ・セレクト・レジスタへのコピー動作を設定します。 チップ・セレクトのコピーが完了すると、このビットはクリア (0) されます。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了												
1, 0	NSCSn0, NSCSEn	次回転送時の DMA チャンネル n の転送元として選択する領域を設定します。 <table border="1"> <tr> <th>NSCSn0</th><th>NSCSEn</th><th>転送元の選択領域</th></tr> <tr> <td>0</td><td>1</td><td>命令 RAM, データ RAM 以外</td></tr> <tr> <td>1</td><td>0</td><td>命令 RAM, データ RAM</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </table>	NSCSn0	NSCSEn	転送元の選択領域	0	1	命令 RAM, データ RAM 以外	1	0	命令 RAM, データ RAM	上記以外		設定禁止
NSCSn0	NSCSEn	転送元の選択領域												
0	1	命令 RAM, データ RAM 以外												
1	0	命令 RAM, データ RAM												
上記以外		設定禁止												

注 DNSC0-DNSC7 : FFFF 7320H+30H× p ($p = 0-7$)
 DNSC8-DNSC15 : FFFF 7520H+30H× ($q - 8$) ($q = 8-15$)

備考 $n = 0-15$

(7) DMA デスティネーション・アドレス・レジスタ (DDAn, DDAnL, DDAnH)

(a) DMA デスティネーション・アドレス・レジスタ (DDAn)

DMA チャンネル n の DMA 転送先アドレス (29 ビット) を設定します。

DMA 転送中は, DDAnL, DDAnH レジスタで, 次に DMA 転送するアドレスが読み出せます。

DNDAn レジスタの NDAV ビットがセット (1) されていない場合, DMA トランザクション (一連の DMA 転送) が完了すると, DMA トランザクション開始時の設定値に戻ります。

32 ビット単位でリード／ライト可能です。

注意 1. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

2. アドレスは, 設定途中のアドレスで転送しないために, DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=0 の状態で 32 ビット・アクセスで設定してください。

3. DMA 転送中の転送先アドレスは, DDAnL, DDAnH レジスタを参照してください。DDAn レジスタでは, 正しい転送先アドレスを読み出せません。

4. DMA 転送のリード・サイクルで転送対象にエラーが発生すると, ライト・サイクルは実行しませんが, デスティネーション・アドレスは更新されます。

5. ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DAn3	DAn2	DAn1	DAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

6. データ RAM 以外にライト動作を行う転送時に, システム・バス・ブリッジのライト・バッファ機能を利用している場合, ターミナル・カウント (DMA 転送完了) が発生しても, システム・バス上のライト動作が完了しません。この動作で不都合がある場合は, ターミナル・カウント (DMA 転送完了) 時にバッファの掃き出しを実行するか, ライト・バッファ機能を利用せず, ダイレクト・アクセスで DMA 転送を行ってください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DDAn	0	0	0	DA n28	DA n27	DA n26	DA n25	DA n24	DA n23	DA n22	DA n21	DA n20	DA n19	DA n18	DA n17	DA n16	注
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	DA n15	DA n14	DA n13	DA n12	DA n11	DA n10	DA n9	DA n8	DA n7	DA n6	DA n5	DA n4	DA n3	DA n2	DA n1	DA n0	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
28-0	DAn28- DAn0	DMA 転送先のアドレス (A28-A0) を設定します。

注 DDA0-DDA7 : FFFF 7324H+30H×p (p = 0-7)

DDA8-DDA15 : FFFF 7524H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(b) DMA デスティネーション・アドレス・レジスタ L (DDAnL)

DMA チャンネル n の DMA 転送先アドレスの下位 16 ビットです。

DMA 転送中に転送先アドレスを読み出す場合は、この DDAnL と DDAnH レジスタをリードしてください。

DNDAn レジスタの NDAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

注意 DMA 停止中に転送先アドレスを設定する場合や、転送先アドレスをリードする場合は、DDAn レジスタを 32 ビット・アクセスでアクセスしてください。

DDAnL	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	DA n15	DA n14	DA n13	DA n12	DA n11	DA n10	DA n9	DA n8	DA n7	DA n6	DA n5	DA n4	DA n3	DA n2	DA n1	DA n0	注	0000H
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意 味
15-0	DAn15- DAn0	DMA 転送中の、次の DMA 転送先アドレスの下位 16 ビットを保持します。

注 DDA0-DDA7 : FFFF 7324H+30H×p (p = 0-7)
DDA8-DDA15 : FFFF 7524H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(c) DMA デスティネーション・アドレス・レジスタ H (DDAnH)

DMA チャンネル n の DMA 転送先アドレスの上位 13 ビットです。

DMA 転送中に転送先アドレスを読み出す場合は、この DDAnL と DDAnH レジスタをリードしてください。

DNDAn レジスタの NDAV ビットがセット (1) されていない場合、DMA トランザクション (一連の DMA 転送) が完了すると、DMA トランザクション開始時の設定値に戻ります。

16 ビット単位でリードのみ可能です。

注意 DMA 停止中に転送先アドレスを設定する場合や、転送先アドレスをリードする場合は、DDAn レジスタを 32 ビット・アクセスでアクセスしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDAnH	0	0	0	DA n28	DA n27	DA n26	DA n25	DA n24	DA n23	DA n22	DA n21	DA n20	DA n19	DA n18	DA n17	DA n16	注	0000H
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名		意 味															
15-0	DAn28- DAn16		DMA 転送中の、次の DMA 転送先アドレスの上位 13 ビットを保持します。															

注 DDA0-DDA7 : FFFF 7325H+30H×p (p = 0-7)

DDA8-DDA15 : FFFF 7525H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(8) DMA デスティネーション・チップ・セレクト・レジスタ (DDCn)

DMA チャンネル n の転送先として選択する領域を設定します。

16 ビット単位でリード／ライト可能です。

リセットにより 0001H になります。

注意 1. 転送先に命令 RAM を指定する場合は、データ RAM 以外を選択してください。

2. DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

3. DCSn0, DCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません

4. ビット 15-2 には、必ず 0 を設定してください。

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																アドレス	初期値																		
DDCn																注	0001H																		
<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>DCSn0</td><td>DCSEn</td></tr> </table>																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DCSn0	DCSEn		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DCSn0	DCSEn																		
R/W																R/W	R/W																		

ビット位置	ビット名	意 味												
1, 0	DCSn0, DCSEn	DMA チャンネル n の転送先として選択する領域を設定します。 <table border="1"> <thead> <tr> <th>DCSn0</th><th>DCSEn</th><th>転送元の選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>1</td><td>データ RAM 以外</td></tr> <tr> <td>1</td><td>0</td><td>データ RAM</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	DCSn0	DCSEn	転送元の選択領域	0	1	データ RAM 以外	1	0	データ RAM	上記以外		設定禁止
DCSn0	DCSEn	転送元の選択領域												
0	1	データ RAM 以外												
1	0	データ RAM												
上記以外		設定禁止												

注 DDC0-DDC7 : FFFF 7328H+30H×p (p = 0-7)
 DDC8-DDC15 : FFFF 7528H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(9) DMA ネクスト・デスティネーション・アドレス・レジスタ (DNDA_n)

DMA チャンネル n の次回 DMA 転送先アドレス (29 ビット) と、DMA トランザクション (一連の DMA 転送) 完了時の DMA デスティネーション・アドレス・レジスタ (DDA_n) へのコピー動作を設定します。

32 ビット単位でリード／ライト可能です。

注意 ミス・アライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NDAn3	NDAn2	NDAn1	NDAn0
8 ビット	X	X	X	X
16 ビット	X	X	X	0
32 ビット	X	X	0	0
128 ビット	0	0	0	0

アドレス																注
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
ND AV _n	0	0	NDA n28	NDA n27	NDA n26	NDA n25	NDA n24	NDA n23	NDA n22	NDA n21	NDA n20	NDA n19	NDA n18	NDA n17	NDA n16	初期値 0000 0000H
R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値 0000 0000H
NDA n15	NDA n14	NDA n13	NDA n12	NDA n11	NDA n10	NDA n9	NDA n8	NDA n7	NDA n6	NDA n5	NDA n4	NDA n3	NDA n2	NDA n1	NDA n0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31	NDAV _n	DMA トランザクション (一連の DMA 転送) 完了時に DMA ネクスト・デスティネーション・アドレス・レジスタ n からアドレスを DMA デスティネーション・アドレス・レジスタへのコピー動作を設定します。 コピーが完了すると、このビットはクリア (0) されます。 0: コピーしない／コピー完了 1: コピーする／コピー未了
28-0	NDAn28-NDAn0	次回転送時の DMA 転送先のアドレス (A28-A0) を設定します。

注 DNDA0-DNDA7: FFFF 732CH+30H× p ($p = 0-7$)
 DNDA8-DNDA15: FFFF 752CH+30H× ($q - 8$) ($q = 8-15$)

備考 $n = 0-15$

(10) DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ (DNDCn)

DMA チャンネル n の次回転送先として選択する領域と、DMA トランザクション (一連の DMA 転送) 完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタのコピー動作を設定します。

16 ビット単位でリード／ライト可能です。

リセットにより 0001H になります。

注意 1. 転送先に命令 RAM を指定する場合は、データ RAM 以外を選択してください。

2. NDCSn0, NDCSEn ビットは、単一ビットが 1 になるように設定してください。複数ビットに 1 を設定した場合の動作は保証しません

3. ビット 14-2 には、必ず 0 を設定してください。

1514131211109876543210																アドレス		初期値		
DNDCn		ND CVn	0	0	0	0	0	0	0	0	0	0	0	0	ND CS0n	NDC SEn	注		0001H	
R/W		R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W				

ビット位置	ビット名	意 味												
15	NDCVn	DMA トランザクション（一連の DMA 転送）完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタからチップ・セレクトを DMA デスティネーション・チップ・セレクト・レジスタへのコピー動作を設定します。 チップ・セレクトのコピーが完了すると、このビットはクリア（0）されます。 0：コピーしない／コピー完了 1：コピーする／コピー未了												
1, 0	NDCSn0, NDCSEn	次回転送時の DMA チャンネル n の転送先として選択する領域を設定します。 <table><tr><td>NDCSn0</td><td>NDCSEn</td><td>転送先の選択領域</td></tr><tr><td>0</td><td>1</td><td>データ RAM 以外</td></tr><tr><td>1</td><td>0</td><td>データ RAM</td></tr><tr><td colspan="2">上記以外</td><td>設定禁止</td></tr></table>	NDCSn0	NDCSEn	転送先の選択領域	0	1	データ RAM 以外	1	0	データ RAM	上記以外		設定禁止
NDCSn0	NDCSEn	転送先の選択領域												
0	1	データ RAM 以外												
1	0	データ RAM												
上記以外		設定禁止												

注 DNDC0-DNDC7：FFFF 7330H+30H×p（p = 0-7）
DNDC8-DNDC15：FFFF 7530H+30H×（q - 8）（q = 8-15）

備考 n = 0-15

(11) DMA 転送カウント・レジスタ n (DTCn)

DMA チャンネル n の転送回数を設定するレジスタです。1 回の転送につき 1 ずつデクリメントされ、ボローが発生すると転送を終了します。DMA 転送中は、残り転送回数を保持します。

DNTCn レジスタの NTCV ビットをセット (1) していない場合、DMA トランザクション (一連の DMA 転送) が完了すると、完了時の値として 0000H を保持します。

- 注意 1.** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
- 2.** DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しますが、デスティネーション・アドレスは更新されません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTCn	0	DTCn14	DTCn13	DTCn12	DTCn11	DTCn10	DTCn9	DTCn8	DTCn7	DTCn6	DTCn5	DTCn4	DTCn3	DTCn2	DTCn1	DTCn0	注	0000H
R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味										
14-0	DTCn14-DTCn0	<table><tr><th>DTCn14-DTCn0</th><th>状 態</th></tr><tr><td>0000H</td><td>32768 回転送, または転送完了</td></tr><tr><td>0001H</td><td>1 回の転送, または残り転送回数 1 回</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>7FFFH</td><td>32767 回転送, または残り転送回数 32767 回</td></tr></table>	DTCn14-DTCn0	状 態	0000H	32768 回転送, または転送完了	0001H	1 回の転送, または残り転送回数 1 回	⋮	⋮	7FFFH	32767 回転送, または残り転送回数 32767 回
DTCn14-DTCn0	状 態											
0000H	32768 回転送, または転送完了											
0001H	1 回の転送, または残り転送回数 1 回											
⋮	⋮											
7FFFH	32767 回転送, または残り転送回数 32767 回											

注 DTC0-DTC7 : FFFF 7332H+30H×p (p = 0-7)

DTC8-DTC15 : FFFF 7532H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

(12) DMA ネクスト転送カウント・レジスタ n (DNTCn)

DMA チャンネル n の次回転送回数と、DMA トランザクション（一連の DMA 転送）完了時に DMA ネットワーク転送カウンタ・レジスタのコピー動作を設定します。

16ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

[illegible]

ビット位置	ビット名	意 味										
15	NTCVn	DMA 転送完了時に DMA ネクスト転送カウント・レジスタから転送回数を DMA 転送カウント・レジスタへのコピー動作を設定します。 転送回数のコピーが完了すると、このビットはクリア（0）されます。 0：コピーしない／コピー完了 1：コピーする／コピー未了										
14-0	DNTCn14 -DNTCn0	<table><tr><th>DNTCn14-DNTCn0</th><th>状 態</th></tr><tr><td>0000H</td><td>32768 回転送</td></tr><tr><td>0001H</td><td>1 回の転送</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>7FFFH</td><td>32767 回転送</td></tr></table>	DNTCn14-DNTCn0	状 態	0000H	32768 回転送	0001H	1 回の転送	⋮	⋮	7FFFH	32767 回転送
DNTCn14-DNTCn0	状 態											
0000H	32768 回転送											
0001H	1 回の転送											
⋮	⋮											
7FFFH	32767 回転送											

注 DNTC0-DNTC7 : FFFF 7334H+30H×p (p = 0-7)

DNTC8-DNTC15 : FFFF 7534H+30H× (q - 8) (q = 8-15)

備考 $n = 0-15$

(13) DMA 転送カウント・コンペア・レジスタ n (DTCCn)

DMA チャネル n の転送カウント・レジスタ (DTCn) と比較し、一致割り込みを発生させる転送回数を設定します。ネクスト・アドレス設定のトリガとして使用できます。

注意 DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTCCn	0	DTCC n14	DTCC n13	DTCC n12	DTCC n11	DTCC n10	DTCC n9	DTCC n8	DTCC n7	DTCC n6	DTCC n5	DTCC n4	DTCC n3	DTCC n2	DTCC n1	DTCC n0	注	0000H
R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意 味																
14-0	DTCCn14 -DTCCn0	DTCCn14-DTCCn0		動 作														
		0000H		コンペア動作を行わない														
		0001H		DTC = 0001H のときに割り込み発生														
		⋮		⋮														
		7FFFH		DTC = 7FFFH のときに割り込み発生														
注 DTCC0-DTCC7 : FFFF 7336H+30H×p (p = 0-7)																		
DTCC8-DTCC15 : FFFF 7536H+30H× (q - 8) (q = 8-15)																		
備考 n = 0-15																		

(14) DMA 転送制御レジスタ n (DTCTn)

DMA チャンネル n の DMA 転送動作モードを制御する 16 ビット・レジスタです。
このレジスタは、16 ビット単位でリード／ライト可能です。

- 注意 1.** DMA 転送許可状態 (DMA 転送ステータス・レジスタ (DTSn) の DTEn ビット=1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
- 2.** SACMn1, SACMn0, DACMn1, DACMn0 ビットを設定禁止の状態に設定した場合の動作は保証しません。

(1/2)

DTCTn																アドレス	初期値
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0	DSn1	DSn0	MLE _n	0	0	0	0	SACM _{n1}	SACM _{n0}	DACM _{n1}	DACM _{n0}	0	0	0	0	注	0000H
R/W	0	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W	0	0	0	0	

ビット位置	ビット名	意 味															
14, 13	DSn1, DSn0	DMA チャンネル n の DMA 転送データ・サイズを指定します。 <table border="1"> <tr> <th>DSn1</th><th>DSn0</th><th>DMA チャンネル n の DMA 転送データ・サイズ</th></tr> <tr> <td>0</td><td>0</td><td>8 ビット</td></tr> <tr> <td>0</td><td>1</td><td>16 ビット</td></tr> <tr> <td>1</td><td>0</td><td>32 ビット</td></tr> <tr> <td>1</td><td>1</td><td>128 ビット</td></tr> </table>	DSn1	DSn0	DMA チャンネル n の DMA 転送データ・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	128 ビット
DSn1	DSn0	DMA チャンネル n の DMA 転送データ・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	128 ビット															
12	MLEn	DMA トランザクション (一連の DMA 転送) 完了時 (ターミナル・カウント出力時) の、DMA 転送要求受け付け動作を指定します。 このビットをセット (1) すると、DMA 転送完了時に DMA 転送ステータス・レジスタ (DTSn) の DTE ビットをクリア (0) しません。また TC ビットをクリア (0) しなくても、DMA 転送要求があれば、DMA 転送を行います。 0 : DMA 転送完了時 (ターミナル・カウント出力時) に DTE ビットをクリア (0) します : DMA 転送禁止 1 : DMA 転送完了時 (ターミナル・カウント出力時) に DTE ビットをクリア (0) しません : DMA 転送許可															

注 DTCT0-DTCT7 : FFFF 7338H+30H×p (p = 0-7)
 DTCT8-DTCT15 : FFFF 7538H+30H× (q - 8) (q = 8-15)

備考 n = 0-15

ビット位置	ビット名	意 味															
7, 6	SACMn1, SACMn0	DMA チャンネル n の DMA 転送元アドレスのカウント方向を指定します。 <table><tr><th>SACMn1</th><th>SACMn0</th><th>DMA チャンネル n の DMA 転送元アドレスのカウント方向</th></tr><tr><td>0</td><td>0</td><td>インクリメント</td></tr><tr><td>0</td><td>1</td><td>デクリメント</td></tr><tr><td>1</td><td>0</td><td>固定</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	SACMn1	SACMn0	DMA チャンネル n の DMA 転送元アドレスのカウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SACMn1	SACMn0	DMA チャンネル n の DMA 転送元アドレスのカウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
5, 4	DACMn1- DACMn0	DMA チャンネル n の DMA 転送先アドレスのカウント方向を指定します。 <table><tr><th>DACMn1</th><th>DACMn0</th><th>DMA チャンネル n の DMA 転送先アドレスのカウント方向</th></tr><tr><td>0</td><td>0</td><td>インクリメント</td></tr><tr><td>0</td><td>1</td><td>デクリメント</td></tr><tr><td>1</td><td>0</td><td>固定</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	DACMn1	DACMn0	DMA チャンネル n の DMA 転送先アドレスのカウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DACMn1	DACMn0	DMA チャンネル n の DMA 転送先アドレスのカウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

備考 n = 0-15

(15) DMA 転送ステータス・レジスタ (DTSn)

DMA チャンネル n のステータスを示します。

8/1 ビット単位でリード／ライト可能です。ただしビット 3, 2 はリードのみ可能です。

リセットにより 00H になります。

ビット 5-4 には、必ず 0 を設定してください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
DTSn	TCn	DTn	0	0	ERn	DRn	SRn	DTEn	注	00H
R/W	R/W	R/W	0	0	R	R	R/W	R/W		

ビット位置	ビット名	意 味
7	TCn	DMA 転送完了ステータス・ビットです。 DMA チャンネル n の DMA トランザクション（一連の DMA 転送）が完了したことを示します。ソフトウェアによる“1”読み出し後，“0”書き込みによりクリア（0）してください。CLR1等のリード・モディファイ・ライト命令による書き込みを推奨します。 0：DMA トランザクション（一連の DMA 転送）未完了 1：DMA トランザクション（一連の DMA 転送）完了
6	DTn	DMA 転送ステータス・ビットです。 DMA チャンネル n において，DMA 転送要求が受け付けられて DMA 転送中であることを示します。DMA 転送要求があるだけではセット（1）されません。DMA トランザクション（一連の DMA 転送）完了によりクリア（0）されます。また，DTEn ビットが“0”のときは，ソフトウェアによるクリアが可能です（DTE ビットとの同時書き込みも可能）。 0：DMA 転送要求受け付け 1：DMA 転送中
3	ERn	DMA 転送エラー・フラグです。 DMA チャンネル n で DMA 転送エラーが発生したことを示します。DMA 転送要求コントロール・レジスタ n（DTRCn）の ERRn ビットをクリア（0）するとクリア（0）されます。また ERn ビットはリードのみ可能です。 0：DMA 転送エラーなし 1：DMA 転送エラーあり
2	DRn	ハードウェア DMA 転送要求フラグです。 DMA チャンネル n にハードウェア DMA 転送要求（割り込みによる転送要求）があることを示します。ハードウェア DMA 転送要求がインアクティブになるとクリア（0）されます。DTEn ビットの状態に関わらず動作します。ソフトウェア DMA 転送要求や，DMA 転送要求選択レジスタ n（DTRS _n ）でソフトウェア DMA 転送要求を選択している場合のハードウェア DMA 転送要求ではセット（1）されません。また，DRn ビットはリードのみ可能です。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり

注 DTS0-DTS7：FFFF 733AH+30H×p（p = 0-7）
DTS8-DTS15：FFFF 753AH+30H×（q - 8）（q = 8-15）

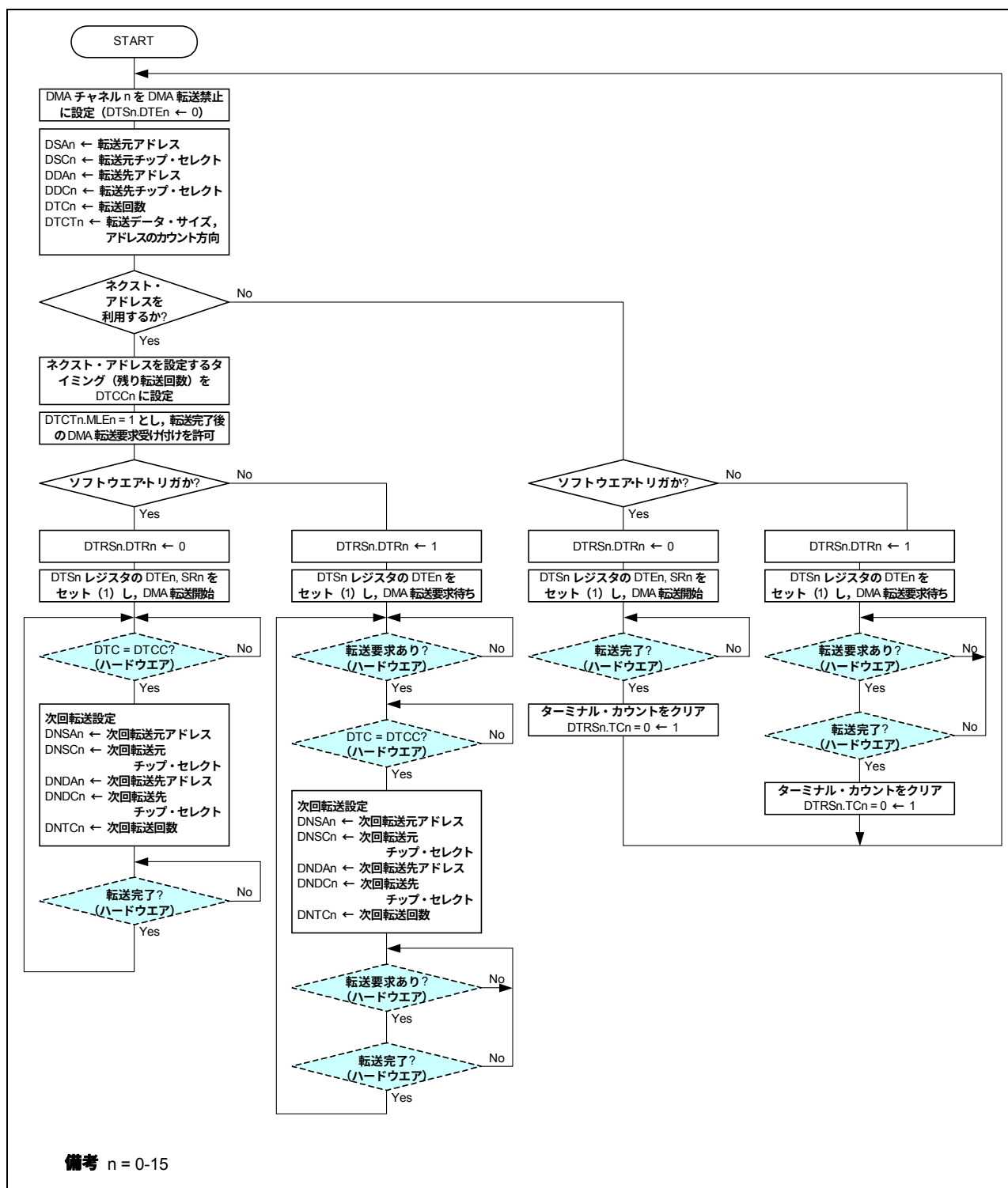
備考 n = 0-15

ビット位置	ビット名	意 味
1	SRn	ソフトウェア DMA 転送要求設定ビットです。 ソフトウェア DMA 転送要求を設定します。DMA 転送要求選択レジスタ n (DTRSn) においてソフトウェア DMA 転送要求を選択している場合、SRn ビットと DTEn ビットに“1”を書き込むと DMA 転送を行います。DMA 転送が完了すると自動的にクリア (0) されます。また、SRn ビットに“0”を書き込むと DMA 転送を中断します。 0：ソフトウェア DMA 転送要求なし 1：ソフトウェア DMA 転送要求あり
0	DTEn	DMA チャンネル n の DMA 転送許可を設定します。DTEn ビットをセット (1) すると、DMA 転送要求があった場合に DMA 転送を行います。DMA トランザクション (一連の DMA 転送) 完了時に MLEn ビットが“0”の場合、自動的にクリア (0) されます。また、DMA 転送中に DTEn ビットに“0”を書き込むと、DMA チャンネル n の DMA 転送を中断します。 0：DMA 転送禁止 1：DMA 転送許可

備考 n = 0-15

8.4 DMA 転送の設定フロー

セントラル DMAC は、設定内容に応じて以下のように動作します。



8.5 セントラル DMAC の転送モード

転送モードは、シングル転送モード、およびシングルステップ転送モードをサポートしています。

いずれのモードにおいても 2 サイクル転送を行うため、1 回の転送ごとにリード・サイクルとライト・サイクルを発生します。128 ビット転送時にはリード・サイクル 4 回、ライト・サイクル 4 回の順にサイクルを発生します。

なお、バスをロックしないため、リード・サイクルとライト・サイクルの間や、128 ビット転送時の 4 回のリード・サイクル、およびライト・サイクルの間に CPU サイクルが割り込むことがあります。

8.5.1 シングル転送モード (ハードウェア：割り込み信号による DMA 転送要求時)

ハードウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ (8 ビット/16 ビット/32 ビット/128 ビット) の転送を行い、1 回の転送ごとにバスを解放して、DMA 転送要求待ち状態になります。

ハードウェア DMA 転送要求を受け付けるごとに 1 回の転送を行い、この動作を DMA 転送カウント・レジスタ n (DTCn) で指定した回数分続けます。

8.5.2 シングルステップ転送モード (ソフトウェア DMA 転送要求時)

ソフトウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ (8 ビット/16 ビット/32 ビット/128 ビット) の転送を行い、1 回の転送ごとにバスを解放します。

いったんソフトウェア DMA 転送要求を受け付けると、この動作を DMA 転送カウント・レジスタ n (DTCn) で指定した回数分続けます。なお、1 回の転送ごとに優先順位判定を行うため、優先順位の高いチャンネルの DMA サイクルが割り込むことがあります。

備考 $n = 0-15$

8.6 DMA チャンネルの優先順位

セントラル DMAC の優先順位は固定優先順位です。グループの優先順位とチャンネルの優先順位があります。優先順位が高いほかの DMA 転送要求が発生した場合は、常に優先順位が高い DMA 転送要求を優先します。ソフトウェア DMA 転送要求時も、1 回の DMA サイクルごとにバスを解放するので、優先順位が高いほかの DMA 転送要求が発生した場合は、常に優先順位が高い DMA 転送要求を優先します。

(1) グループ間の優先順位

16 チャンネルのうち、上位チャンネルの CH0-CH7 と下位チャンネルの CH8-CH15 はグループ 0、グループ 1 に分けられます。グループの優先順位は、次のようになります。

グループ 0 (CH0-CH-7) > グループ 1 (CH8-CH15)

(2) チャンネル間の優先順位

各チャンネルの優先順位は固定となり次のようになります。

CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7
CH8 > CH9 > CH10 > CH11 > CH12 > CH13 > CH14 > CH15

8.7 DMA 転送要求の有効条件

DMA チャンネル n の DMA 転送要求を受け付けるかどうかは、DMA 転送要求コントロール・レジスタ (DTRC0, DTRC1) の ERR m ビット, ADS m ビット, DMA 転送制御レジスタ (DTCT n) の MLE n ビット, DMA 転送ステータス・レジスタ (DTS n) の TC n ビット, DTEn ビットの設定によります。それぞれのビットの設定状態による、DMA 転送要求受け付け可否を表 8-3 に示します。

表 8-3 DMA チャンネル n の DMA 転送要求有効条件

レジスタ・ビット名	DTS n .DTEn	DTS n .TC n	DTCT n .MLE n	DTRC m .ERR m	DTRC m .ADS m	DMA 転送要求
DMA 転送禁止	0	×	×	×	×	無効
DMA 転送エラー発生中	×	×	×	1	×	無効
DMA 転送中断中	×	×	×	×	1	無効
DMA 転送完了 (MLE n = 0)	×	1	0	×	×	無効
DMA 転送完了 (MLE n = 1)	1	×	1	0	0	有効
DMA 転送許可	1	0	0	0	0	有効

備考 $n = 0-15$, $m = 0, 1$

8.8 割り込み信号による DMA 転送要求の受け付け

割り込み信号によるハードウェア DMA 転送要求を受け付けると、DMA 転送を開始します。ただし、DMA ステータス・レジスタ n (DTS n) の DTEn ビットが“0”の場合は受け付けられません。

また、DMA 転送中は DMA 転送要求を受け付けません。DMA 転送完了後に DMA 転送要求の受け付けを再開します。

DMA トランザクション (一連の DMA 転送) が完了すると、DMA 転送完了割り込み (INTCDMA n) が発生します。

備考 $n = 0-15$

8.9 DMA 転送回数一致割り込み

(1) DMA 転送回数一致割り込み (INTCDMACTn)

DMA 転送カウント・コンペア・レジスタ n (DTCCn) に、割り込みを通知する「残り DMA 転送回数」を設定して DMA 転送を実行します。1 回の転送ごとに DMA 転送カウント・レジスタ n (DTCn) をデクリメントし、DMA 転送カウント・コンペア・レジスタの設定値と一致すると INTCDMACTn 割り込みが発生します。

DMA 転送カウント・コンペア・レジスタ n (DTCCn) に、DMA 転送カウント・レジスタ n (DTCn) の設定値より小さい値を設定すると、INTCDMACTn 割り込みは発生しないので注意してください。

(2) DMA 転送回数一致割り込み信号 (INTCDMACTn) 発生タイミング

DMA 転送カウント・レジスタ n (DTCn) の値が DMA 転送カウント・コンペア・レジスタ n (DTCCn) の設定値+1 と一致した DMA サイクルにて、DMA サイクル完了後の CPU 動作クロックの 1 クロック後に DMA 転送回数一致割り込み信号 (INTCDMACTn) が発生します。

8.10 ネクスト・アドレス機能

(1) ネクスト・アドレス設定レジスタ

DMA トランザクション (一連の DMA 転送) 中に、次に転送したい転送情報をあらかじめ設定しておくレジスタです。最後の DMA 転送開始時に、対応するレジスタにコピーします。用意しているレジスタを次に示します。

- DMA ネクスト・ソース・アドレス・レジスタ n (DNSAn)
- DMA ネクスト・ソース・チップ・セレクト・レジスタ n (DNSCn)
- DMA ネクスト・デスティネーション・アドレス・レジスタ n (DNDA n)
- DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ n (DNDCn)
- DMA ネクスト転送カウント・レジスタ n (DNTCn)

それぞれのレジスタの最上位ビットで、最後の DMA 転送開始時にカレント・レジスタにネクスト・レジスタのコピー動作を指定します。次に転送したい転送情報をカレント・レジスタにコピーすると、この最上位ビットをクリア (0) します。

(2) ネクスト・アドレス機能使用時の DMA 転送完了時の処理

通常、DMA トランザクション (一連の DMA 転送) が完了すると、DMA 転送ステータス・レジスタ n (DTSn) の DMA 転送完了ステータス・ビット n (TCn) をセット (1) すると同時に DMA 転送許可ビット n (DTE n) をクリア (0) し、以降の DMA 転送要求を受け付けません。ただし DMA 転送制御レジスタ n (DTCTn) の MLE n = 1 の場合は、DTE n をクリア (0) せず、TCn がセット (1) された状態でも DMA 転送要求が受け付けられます。したがって、ネクスト・アドレス機能を使用する場合は、MLE n をセット (1) しておくことで、DMA 転送完了後の TCn のクリア、および DTE n のセットの手順を省略できます。

(3) ネクスト・アドレスを設定するタイミング

ネクスト・アドレス設定レジスタは常に取り換え可能です。ただしカレント・レジスタへのコピーと、ソフトウェアによる書き込みとの競合を避けるため、最後の DMA 転送が始まる前にネクスト・アドレス設定レジスタの設定を完了させてください。

ネクスト・アドレス設定レジスタを設定するトリガとして、DMA 転送回数一致割り込み (INTCDMACT n) の利用を推奨します。その場合、DMA 転送カウント・コンペア・レジスタ n (DTCCn) は、ネクスト・アドレス設定レジスタの設定に必要な時間を確保できるように設定してください。

8.11 DMA 転送の中断／再開

(1) ソフトウェアによる全チャンネルの DMA 転送中断／再開

DMA 転送要求コントロール・レジスタ (DTRCm) の DMA 転送中断ビット (ADSm) をセット (1) することで、次回以降の DMA 転送を中断します。DMA 転送中の場合、実行中の DMA 転送終了後に DMA 転送を中断します。なお、DMA 転送ステータス・レジスタ n (DTSn) の DMA 転送許可ビット n (DTEn) や、ソフトウェア DMA 転送要求ビット n (SRn) はクリア (0) しません。

再開するには ADSm ビットをクリア (0) してください。その時点で DMA 転送が要求されている場合、優先順位が最も高いチャンネルの転送を行います。また、DMA トランザクション (一連の DMA 転送) を終了するには、DTEn ビットをクリア (0) した状態で、DMA 転送要求をクリアしてください。

(2) DMA 転送許可ビット n (DTEn) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ n (DTSn) の DMA 転送許可ビット (DTEn) をクリア (0) することで、次回以降の DMA 転送を中断します。DMA 転送中の場合、実行中の DMA 転送終了後に DMA 転送を中断します。なお、DTSn レジスタのソフトウェア DMA 転送要求ビット n (SRn) はクリア (0) しません。

再開するには DTEn ビットをセット (1) してください。その時点で他のチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。他のチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。また、DMA トランザクション (一連の DMA 転送) を終了するには、DTEn ビットをクリア (0) した状態で、DMA 転送要求をクリアしてください。

(3) ソフトウェア DMA 転送要求ビット n (SRn) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ n (DTSn) のソフトウェア DMA 転送要求ビット n (SRn) をクリア (0) することで、次回以降の DMA 転送を中断します。DMA 転送中の場合、実行中の DMA 転送終了後に DMA 転送を中断します。

再開するには SRn ビットをセット (1) してください。その時点で他のチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。他のチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。

備考 n = 0-15, m = 0, 1

8.12 エラー・レスポンス

(1) エラー・レスポンスによる DMA 転送中断

DMA の転送先／転送元がエラーを発生すると、DMA 転送要求コントロール・レジスタ m (DTRC m) の DMA 転送中断ビット (ADSm) をセット (1) して、次回以降の DMA 転送を中断します。同時に DMA 転送エラー・ステータス・ビット (ERR m) をセット (1) し、CPU にシステム・エラー例外を発生させます (システム・エラーの発生／非発生は、システム・エラー機能により設定可能です)。

ERR m ビットがセット (1) された場合、DMA 転送ステータス・レジスタ n (DTS n) の DMA 転送エラー・フラグ n (ER n) で、エラーが発生したチャンネルを確認できます。

なお、リード・サイクルでエラーが発生した場合、ライト・サイクルは行われませんが、転送アドレスおよび転送回数は更新されます。

(2) エラー・レスポンスによる転送中断の解除の方法

エラー・レスポンスによる転送中断状態は、DMA 転送要求コントロール・レジスタ m (DTRC m) の DMA 転送中断ビット (ADSm)、および DMA 転送エラー・ステータス・ビット (ERR m) をクリア (0) することで解除できます。

解除後に DMA 転送が再開しないように、あらかじめ DMA 転送ステータス・レジスタ n (DTS n) の DMA 転送許可ビット n (DTE n) をクリア (0) してください。また、ソフトウェア DMA 転送要求の場合は、ソフトウェア DMA 転送要求ビット n (SR n) もクリア (0) してください。

備考 $n = 0-15$, $m = 0, 1$

8.13 IDLE モード設定時の動作

スタンバイ状態として IDLE モードに設定すると、現在実行中の DMA 転送の完了を待ち、その後 DMA 転送は停止します (ソフトウェアによる DMA の中断とは異なり、DMA 制御レジスタに影響を与えません。)。IDLE モードが解除されると DMA は動作再開し、すでに DMA 要求を保持した状態であれば、その DMA 転送を開始します。

8.14 DMA 転送トリガ選択機能

DTFR(DMA Trigger Factor Register)は、割り込み信号の中から DMA 起動要因を選択し、セントラル DMAC に対して DMA 転送要求を行います。

チャンネルごとに、EP3-AM1 の 83 本の割り込み信号から任意の割り込み要求信号を、DMA 起動要因に選択できます。

割り込み信号の選択は DTFR0-DTFR15 で指定します。チャンネルごとに 1 つの DTFR レジスタが割り付けられています。

(1) CDMA トリガ要因選択レジスタ n (CDTFR n)

内蔵周辺機能や外部端子からの割り込み要求信号から、DMA 転送要求を選択する 16 ビット・レジスタです。このレジスタで選択した割り込み要求が、DMA 転送の起動トリガになります。

CDTFR レジスタは、セントラル DMAC チャンネル数と同じ 16 本あり、それぞれが対応しています。たとえば CDTFR0 レジスタはセントラル DMAC チャンネル 0 の DMA トリガ要因レジスタです。

16 ビット単位でリード／ライト可能です。

DMA 転送要求には、以下のトリガを選択できます。

DMA 転送要求の種類		DMA 転送トリガ
外部割り込み入力		INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41
★ 内蔵周辺機能 からの割り込み	16 ビット・インターバル・タイマ M (TMM)	INTTM0EQ0, INTTM1EQ0, INTTM2EQ0, INTTM3EQ0, INTTM4EQ0, INTTM5EQ0
	16 ビット・タイマ／カウンタ AA (TAA)	INTTA0CC0, INTTA0CC1, INTTA1CC0, INTTA1CC1, INTTA2CC0, INTTA2CC1, INTTA3CC0, INTTA3CC1, INTTA4CC0, INTTA4CC1, INTTA5CC0, INTTA5CC1
	16 ビット・タイマ／イベント・カウンタ T (TMT)	INTTEQC00, INTTEQC01, INTTIEC0, INTTEQC10, INTTEQC11, INTTIEC1
	クロック同期式シリアル・インタフェース (CSI3)	INTCSI30-INTCSI37
	A/D コンバータ	INTAD
システム・バス DMAC のトリガ (DMA の連携動作)		INTDMA0-INTDMA7 (転送完了)

注意 1. CDTFR n レジスタの設定を変更する場合は、必ず DMA 動作を停止してから行ってください。

2. INTPZ32-INTPZ35, INTPZ38, INTPZ39, INTPZ42-INTPZ49 の外部割り込み要求は、DMA 転送トリガに利用できません。

備考 1. すべての割り込み要求は、内部システム・バス・クロック (HCLK) で再同期処理を行っています。

2. $n = 0-15$

(1/3)

1514131211109876543210																アドレス		初期値
CDTFRn	REQ ENn	0	0	0	0	0	0	0	0	IFCn 6	IFCn 5	IFCn 4	IFCn 3	IFCn 2	IFCn 1	IFCn 0	FFFF 7B00H +2n	0000H
R/W	R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味																																																														
15	REQENn	チャンネル n の DMA トリガ要因選択機能の動作許可 0：動作停止。DMA 転送要求は発生せず、IFCn6-IFCn0 の設定は無効。 1：動作許可。IFCn6-IFCn0 の設定が有効。																																																														
6-0	IFCn6-IFCn0	セントラル DMA チャンネル n のトリガ要因を選択します。 <table><tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr><tr><td>00H</td><td>INTPZ0 (外部割り込み)</td></tr><tr><td>01H</td><td>INTPZ1 (外部割り込み)</td></tr><tr><td>02H</td><td>INTPZ2 (外部割り込み)</td></tr><tr><td>03H</td><td>INTPZ3 (外部割り込み)</td></tr><tr><td>04H</td><td>INTPZ4 (外部割り込み)</td></tr><tr><td>05H</td><td>INTPZ5 (外部割り込み)</td></tr><tr><td>06H</td><td>INTPZ6 (外部割り込み)</td></tr><tr><td>07H</td><td>INTPZ7 (外部割り込み)</td></tr><tr><td>08H</td><td>INTPZ16 (外部割り込み)</td></tr><tr><td>09H</td><td>INTPZ17 (外部割り込み)</td></tr><tr><td>0AH</td><td>INTPZ18 (外部割り込み)</td></tr><tr><td>0BH</td><td>INTPZ19 (外部割り込み)</td></tr><tr><td>0CH</td><td>INTPZ20 (外部割り込み)</td></tr><tr><td>0DH</td><td>INTPZ21 (外部割り込み)</td></tr><tr><td>0EH</td><td>INTPZ22 (外部割り込み)</td></tr><tr><td>0FH</td><td>INTPZ23 (外部割り込み)</td></tr><tr><td>10H</td><td>INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み)</td></tr><tr><td>11H</td><td>INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み)</td></tr><tr><td>12H</td><td>INTTIEC0 (TMT0 エンコーダ・クリア割り込み)</td></tr><tr><td>13H</td><td>INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み)</td></tr><tr><td>14H</td><td>INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み)</td></tr><tr><td>15H</td><td>INTTIEC1 (TMT1 エンコーダ・クリア割り込み)</td></tr><tr><td>16H</td><td>INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み)</td></tr><tr><td>17H</td><td>INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み)</td></tr><tr><td>18H</td><td>INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み)</td></tr><tr><td>19H</td><td>INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み)</td></tr><tr><td>1AH</td><td>INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み)</td></tr><tr><td>1BH</td><td>INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み)</td></tr><tr><td>1CH</td><td>INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み)</td></tr><tr><td>1DH</td><td>INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み)</td></tr></table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	00H	INTPZ0 (外部割り込み)	01H	INTPZ1 (外部割り込み)	02H	INTPZ2 (外部割り込み)	03H	INTPZ3 (外部割り込み)	04H	INTPZ4 (外部割り込み)	05H	INTPZ5 (外部割り込み)	06H	INTPZ6 (外部割り込み)	07H	INTPZ7 (外部割り込み)	08H	INTPZ16 (外部割り込み)	09H	INTPZ17 (外部割り込み)	0AH	INTPZ18 (外部割り込み)	0BH	INTPZ19 (外部割り込み)	0CH	INTPZ20 (外部割り込み)	0DH	INTPZ21 (外部割り込み)	0EH	INTPZ22 (外部割り込み)	0FH	INTPZ23 (外部割り込み)	10H	INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み)	11H	INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み)	12H	INTTIEC0 (TMT0 エンコーダ・クリア割り込み)	13H	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み)	14H	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み)	15H	INTTIEC1 (TMT1 エンコーダ・クリア割り込み)	16H	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み)	17H	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み)	18H	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み)	19H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み)	1AH	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み)	1BH	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み)	1CH	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み)	1DH	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み)
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																															
00H	INTPZ0 (外部割り込み)																																																															
01H	INTPZ1 (外部割り込み)																																																															
02H	INTPZ2 (外部割り込み)																																																															
03H	INTPZ3 (外部割り込み)																																																															
04H	INTPZ4 (外部割り込み)																																																															
05H	INTPZ5 (外部割り込み)																																																															
06H	INTPZ6 (外部割り込み)																																																															
07H	INTPZ7 (外部割り込み)																																																															
08H	INTPZ16 (外部割り込み)																																																															
09H	INTPZ17 (外部割り込み)																																																															
0AH	INTPZ18 (外部割り込み)																																																															
0BH	INTPZ19 (外部割り込み)																																																															
0CH	INTPZ20 (外部割り込み)																																																															
0DH	INTPZ21 (外部割り込み)																																																															
0EH	INTPZ22 (外部割り込み)																																																															
0FH	INTPZ23 (外部割り込み)																																																															
10H	INTTEQC00 (TMT0 コンペア 0 or キャプチャ割り込み)																																																															
11H	INTTEQC01 (TMT0 コンペア 1 or キャプチャ割り込み)																																																															
12H	INTTIEC0 (TMT0 エンコーダ・クリア割り込み)																																																															
13H	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み)																																																															
14H	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み)																																																															
15H	INTTIEC1 (TMT1 エンコーダ・クリア割り込み)																																																															
16H	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み)																																																															
17H	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み)																																																															
18H	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み)																																																															
19H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み)																																																															
1AH	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み)																																																															
1BH	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み)																																																															
1CH	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み)																																																															
1DH	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み)																																																															

備考 n = 0-15

備考 n = 0-15

ビット位置	ビット名	意 味
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。

備考 n = 0-15

ビット位置	ビット名	意 味																																						
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。																																						
		<table><tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr><tr><td>42H</td><td>INTPZ11（外部割り込み）</td></tr><tr><td>43H</td><td>INTPZ12（外部割り込み）</td></tr><tr><td>44H</td><td>INTPZ13（外部割り込み）</td></tr><tr><td>45H</td><td>INTPZ14（外部割り込み）</td></tr><tr><td>46H</td><td>INTPZ15（外部割り込み）</td></tr><tr><td>47H</td><td>INTPZ24（外部割り込み）</td></tr><tr><td>48H</td><td>INTPZ25（外部割り込み）</td></tr><tr><td>49H</td><td>INTPZ26（外部割り込み）</td></tr><tr><td>4AH</td><td>INTPZ27（外部割り込み）</td></tr><tr><td>4BH</td><td>INTPZ28（外部割り込み）</td></tr><tr><td>4CH</td><td>INTPZ29（外部割り込み）</td></tr><tr><td>4DH</td><td>INTPZ30（外部割り込み）</td></tr><tr><td>4EH</td><td>INTPZ31（外部割り込み）</td></tr><tr><td>4FH</td><td>INTPZ36（外部割り込み）</td></tr><tr><td>50H</td><td>INTPZ37（外部割り込み）</td></tr><tr><td>51H</td><td>INTPZ40（外部割り込み）</td></tr><tr><td>52H</td><td>INTPZ41（外部割り込み）</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	42H	INTPZ11（外部割り込み）	43H	INTPZ12（外部割り込み）	44H	INTPZ13（外部割り込み）	45H	INTPZ14（外部割り込み）	46H	INTPZ15（外部割り込み）	47H	INTPZ24（外部割り込み）	48H	INTPZ25（外部割り込み）	49H	INTPZ26（外部割り込み）	4AH	INTPZ27（外部割り込み）	4BH	INTPZ28（外部割り込み）	4CH	INTPZ29（外部割り込み）	4DH	INTPZ30（外部割り込み）	4EH	INTPZ31（外部割り込み）	4FH	INTPZ36（外部割り込み）	50H	INTPZ37（外部割り込み）	51H	INTPZ40（外部割り込み）	52H	INTPZ41（外部割り込み）	上記以外	設定禁止
		IFCn6-IFCn0	DMA 転送トリガ要因の選択																																					
		42H	INTPZ11（外部割り込み）																																					
		43H	INTPZ12（外部割り込み）																																					
		44H	INTPZ13（外部割り込み）																																					
		45H	INTPZ14（外部割り込み）																																					
		46H	INTPZ15（外部割り込み）																																					
		47H	INTPZ24（外部割り込み）																																					
		48H	INTPZ25（外部割り込み）																																					
		49H	INTPZ26（外部割り込み）																																					
		4AH	INTPZ27（外部割り込み）																																					
		4BH	INTPZ28（外部割り込み）																																					
		4CH	INTPZ29（外部割り込み）																																					
		4DH	INTPZ30（外部割り込み）																																					
		4EH	INTPZ31（外部割り込み）																																					
		4FH	INTPZ36（外部割り込み）																																					
		50H	INTPZ37（外部割り込み）																																					
		51H	INTPZ40（外部割り込み）																																					
		52H	INTPZ41（外部割り込み）																																					
		上記以外	設定禁止																																					

備考 n = 0-15

(2) CDMA 転送要求クリア・レジスタ (DRQCLR)

CDTFRn レジスタで選択した割り込み要因による DMA 転送要求をクリアするレジスタです。

各ビットが、セントラル DMAC の各チャンネルに対応しており、セット (1) することで DMA 転送要求がクリアされます。

16 ビット単位でリード／ライト可能です。

備考 ビット 15-0 への"0"の書き込みは無視されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DRQCLR	RQCR 15	RQCR 14	RQCR 13	RQCR 12	RQCR 11	RQCR 10	RQCR 9	RQCR 8	RQCR 7	RQCR 6	RQCR 5	RQCR 4	RQCR 3	RQCR 2	RQCR 1	RQCR 0	FFFF 7B40H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名		意 味															
15-0	RQCRn		このビットをセット（1）すると、チャンネル n に保持している転送要求がクリアされます。															
備考 n = 0-15																		

(3) CDMA 転送要求ステータス・レジスタ (DRQSTR)

セントラル DMAC の各チャンネルの DMA 転送要求状態を示すレジスタです。

各ビットが、セントラル DMAC の各チャンネルに対応しています。

16 ビット単位でリードのみ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DRQSTR	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	RQST	FFFF 7B44H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意 味
15-0	RQSTn	システム・バス DMAC チャンネル n の DMA 転送要求状態を示します。 0：DMA 転送要求なし 1：DMA 転送要求あり

備考 n = 0-15

第9章 システム・バス DMA コントローラ(システム・バス DMAC)

EP3-AM1 は、CPU ローカル・バス用のセントラル DMAC と、システム・バス用のシステム・バス DMAC の 2 つの DMA コントローラを内蔵しています。

9.1 システム・バス DMAC の概要

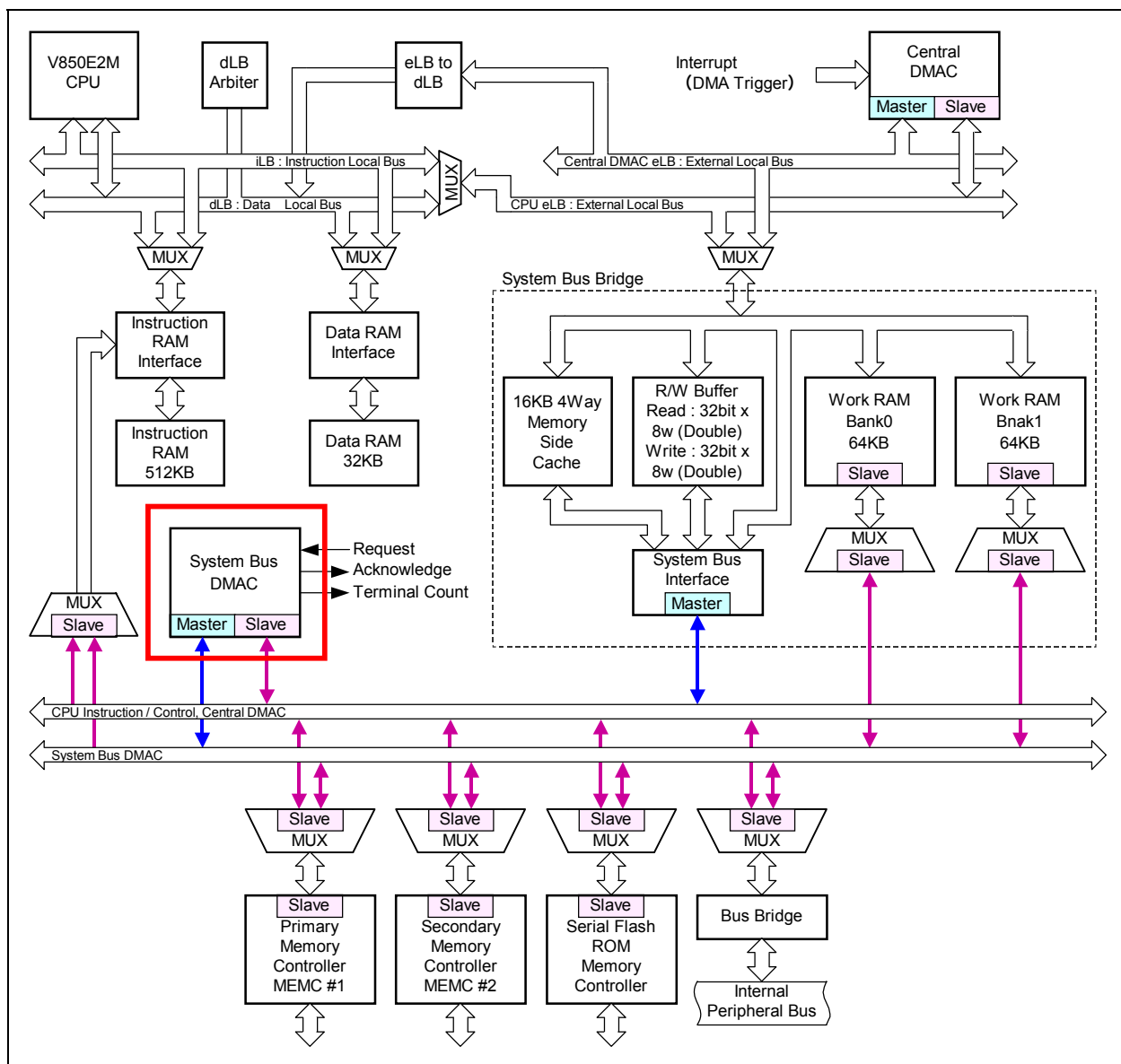
システム・バス DMAC は、マルチレイヤ構造のシステム・バス上のバス・マスタとして動作する DMA コントローラです。CPU ローカル・バス用のセントラル DMAC とは独立に動作します。

特定のスレーブにアクセスする場合、他のバス・マスタと競合しない限り、システム・バス DMAC のバスを占有できるため、他のバス・マスタとの競合が発生しにくく、高スループットの転送が可能です。

注意 内部バス構造は、マルチレイヤを採用しており、バス・マスタ対スレーブの関係が競合しない限り、複数のアクセスを同時に実行できます。

一方、異なるバス・マスタから共通のスレーブにアクセスするケースでは、同一番地のリード・モディファイ・ライト・アクセスとライト・アクセスが競合すると期待しないデータとなる可能性があります。このような競合が発生しないデータ構成とるように注意してください。

図 9-1 内部バス構造とシステム・バス DMAC



- チャンネル数：8 チャンネル（各チャンネルは独立）
- 転送データ・サイズ：
 - ・ソースとデスティネーションに、それぞれ独立にサイズ設定可能
 - ・設定可能サイズ：8 ビット-512 ビット
- 最大転送バイト数： $2^{32}-1$ バイト

注意 DMA 転送量は、バイト数で設定します。

- チャンネル優先順位制御
 - ・優先順位固定モード
 - ・ラウンドロビン・モード（直前に転送を行ったチャンネルを最低優先にシフト）
- 転送設定値取り込み方式

DMA 転送に使用する設定データは、以下の 2 種類の方法により、内部レジスタに設定されます。

 - ・レジスタ・モード

CPU から設定した、DMA コントローラ内部の制御レジスタに従って DMA 転送を行います。従来の一般的な DMA 転送をサポートしています。
 - ・リンク・モード

ワーク RAM, MEMC #1, MEMC #2 に接続された外部メモリに配置したディスクリプタに従って、DMA 転送を行います。多様な DMA 転送を実現できます。ただし、DMA 転送ごとにディスクリプタへのアクセスが発生するため、応答性はレジスタ・モードに劣ります。
- スキップ機能

DMA 転送でアクセスする領域に対し、連続アクセス・サイズと離散アクセス・サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスを離散アクセス・サイズで設定サイズ分スキップできます。
- バッファ内データ掃き出し機能

DMA を強制停止した際、バッファ内データを掃き出して停止することができます。掃き出し後、引き続き DMA 転送を継続します。
- サスペンド機能

DMA トランザクション中に、実行中の DMA トランザクションを一時停止できます。
- DMA 転送間隔設定機能

バス占有率を調整するため、DMA 転送間隔を指定できます。
- 転送モード
 - ・シングル転送モード

DMA 転送要求が発生するとバス使用权を獲得し、1 回の転送ごとにバスを解放します。その後 DMA 転送の要求があるごとに、制御レジスタで指定した転送回数分の転送を終了するまで、この動作を繰り返します。
 - ・ブロック転送モード

DMA 転送要求が発生するとバス使用权を獲得し、制御レジスタで指定した回数分の転送が終了するまでデータ転送を繰り返します。ただしバスは占有しません。

○ 転送の種類と転送対象の関係 (○：転送可，×：転送不可)

システム・バス DMAC がサポートする転送対象は、システム・バスのスレーブになります (図 9-1 内部バス構造とシステム・バス DMAC 参照)。

表 9-1 システム・バス DMAC の転送対象

転送元 \ 転送先	命令 RAM 注	データ RAM	ワーク RAM	MEMC#1 接続メモリ	MEMC #2 接続メモリ	内蔵周辺機能 (一部除く)
命令 RAM	×	×	×	×	×	×
データ RAM	×	×	×	×	×	×
ワーク RAM	○	×	○	○	○	○
MEMC #1 接続メモリ	○	×	○	○	○	○
MEMC #2 接続メモリ	○	×	○	○	○	○
内蔵周辺機能 (一部除く)	○	×	○	○	○	○

注 命令 RAM を転送先にする場合、次ページの注意事項を守ってください。

○ 転送要求

- ・ハードウェアによる要求 (端子入力または割り込み要求等)
- ・ソフトウェアによる要求

○ アクノリッジ出力機能

- ・各チャンネルにアクノリッジ信号を出力

○ ターミナル・カウント出力機能

- ・指定した回数分の DMA 転送を終了するとターミナル・カウント信号を出力

- 注意 1.** 命令 RAM として確保されている 0000 0000H-0007 FFFFH には、直接ライトできません。命令 RAM 書き込み領域 (0F10 0000H-0F17 FFFFH) を経由してライトしてください。
- 2.** 命令 RAM の書き込みは、以下の条件を守ってください。
- ・ 128 ビット (= 4 ワード = 16 バイト) で割り切れるデータ数を書き込んでください。
 - ・ ライト・アクセスは、32 ビット (ワード) でのみアクセスしてください。
 - ・ 先頭アドレスは、128 ビット (= 4 ワード = 16 バイト) で割り切れるアドレスとしてください。
 - ・ アドレスはインクリメント方向で連続して書き込んでください。
- 3.** システム・バス DMAC を用いて、命令 RAM を転送先に選択する場合は、以下の設定を守ってください。
- ・ トランザクション・バイト・レジスタの値 (Current トランザクション・バイト・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
 - ・ デスティネーション・アドレス・レジスタの値 (Current デスティネーション・アドレス・レジスタにロードされる値) は、128 ビット (= 4 ワード = 16 バイト) 単位の値を設定してください。
 - ・ チャネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn [2:0] の設定は 32 ビット以上に設定してください (n = 0-7)。
 - ・ チャネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn の設定はインクリメントに設定してください (n = 0-7)。

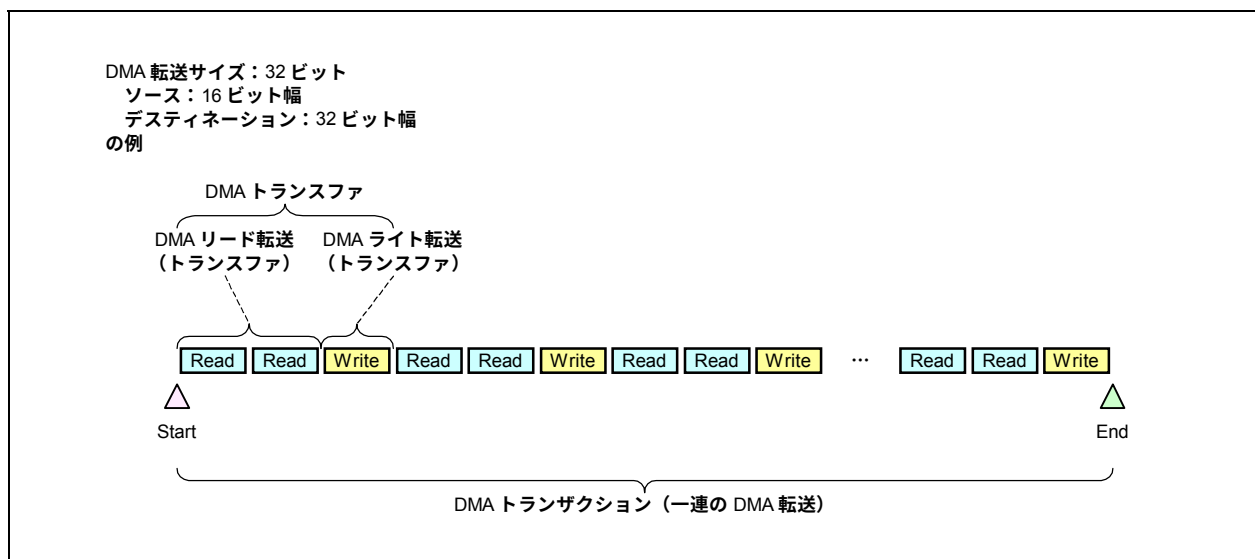
9.2 用語定義

システム・バス DMAC で使用している用語の定義は、次のとおりです。

表 9-2 システム・バス DMAC の用語定義

用 語	定 義
バースト	一回のバス・サイクルを意味します。
DMA 転送 (トランスファ)	DMAC が 1 バースト分のリードまたはライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総転送バイト数分の DMA 転送実行すること、すなわち一連の DMA 転送が完了するまでの期間を指します。
ディスクリプタ	DMAC がリンク・モード時にロードする DMA 転送設定が書かれたデータを意味します。
アライン	転送するアドレスが、トランスファ・サイズ境界の先頭を指している状態です。 具体的には、指定する先頭アドレスのビット $[(\log_2 \text{SIZE} - 1) : 0]$ が 0 である状態です (SIZE: トランスファ・サイズ [バイト])。 ビート・アライン: 転送開始アドレスが、CHCFGn レジスタの SDS2-SDS0 (または DDS2-DDS0) を転送サイズとする、アライン境界の先頭を指している状態です。
アンアライン	指定するアドレスが、転送するサイズのアライン境界の先頭を指していない状態です。 具体的には、指定する先頭アドレスのビット $[(\log_2 \text{SIZE} - 1) : 0]$ が 0 でない状態です (SIZE: 転送サイズ [バイト])。 ビート・アンアライン: 転送開始アドレスが、CHCFGn レジスタの SDS2-SDS0 (または DDS2-DDS0) を転送サイズとする、アライン境界の先頭を指していない状態です。

図 9-2 転送の呼称



システム・バス DMAC が実行する一回のリード／ライト転送を DMA トランスファと呼びます。また、設定した一連の DMA 転送 (トランスファ) の実行を DMA トランザクションと呼びます。

9.3 システム・バス DMAC のレジスタ

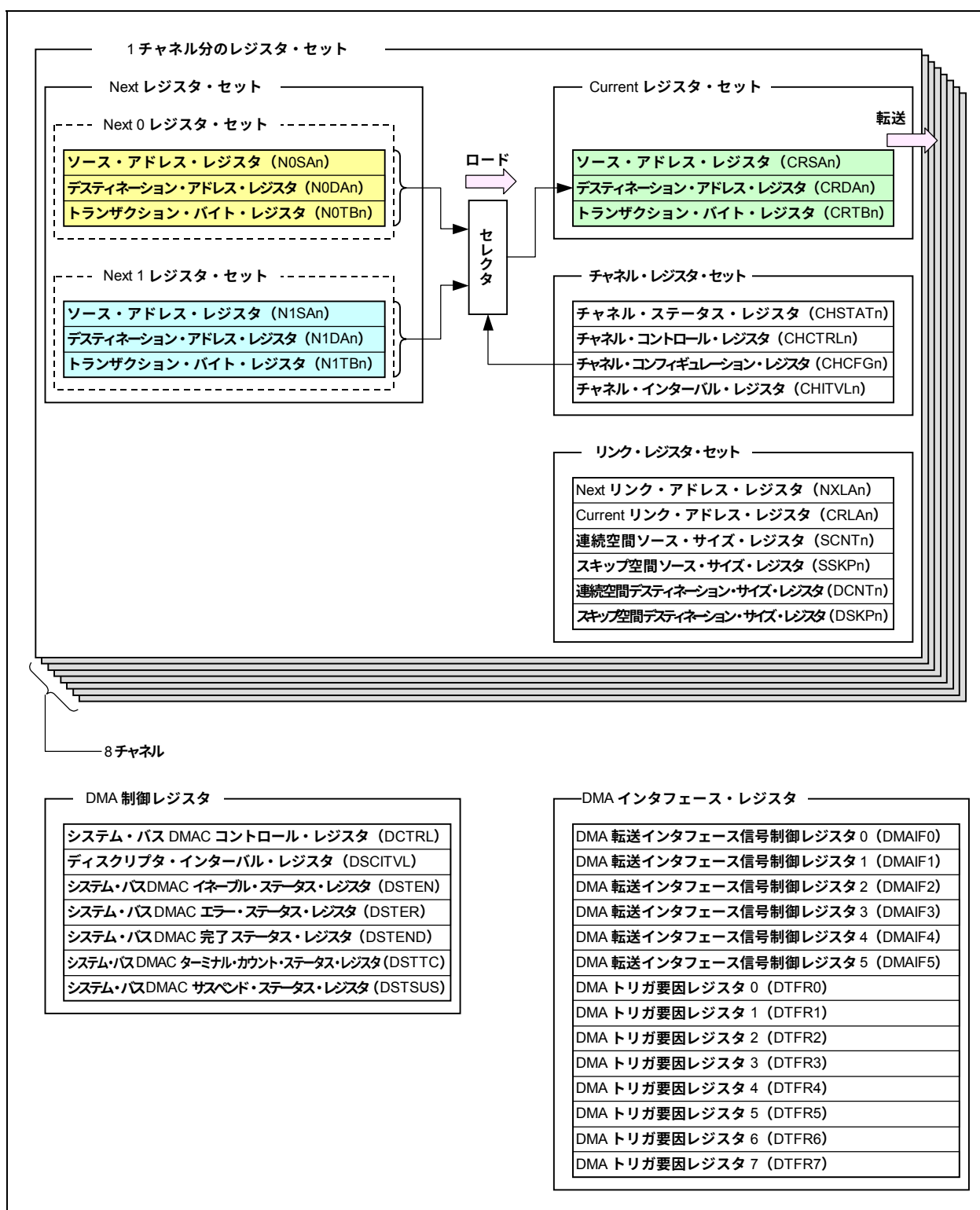
9.3.1 レジスタ構成

EP3-AM1 には、8 チャンネルのレジスタ・セットがあります。DMA 制御レジスタは、システム・バス DMAC 全体を制御するレジスタのため、1 セットのみです。

表 9-3 システム・バス DMAC のレジスタ構成

レジスタ	機 能
Next レジスタ・セット	次に実行する DMA トランザクションの転送元アドレス、転送先アドレス、転送バイト数を設定するレジスタ・セットです。 Next0 レジスタ・セットと Next1 レジスタ・セットから構成されています。 レジスタ・モードではソフトウェアで設定してください。 リンク・モードでは、ディスクリプタ・リード・データが、自動的に Next0 レジスタ・セットに設定されます。 これらレジスタ・セットの値は、Current レジスタ・セットにロードされ、DMA 転送に使用されます。
Current レジスタ・セット	現在実行中の、転送元アドレス、転送先アドレス、転送バイト数を表示するレジスタ・セットです。 Next0/Next1 レジスタ・セット (レジスタ・モード)、またはディスクリプタ・リード・データ (リンク・モード) からロードされます。プログラムで直接書き込むことはできません。 DMA トランザクションを実行するごとに、自動的に更新されます。
チャンネル・レジスタ・セット	DMA 転送の設定を行うためのレジスタ・セットです。 このレジスタ・セットでは、チャンネル状態の表示、チャンネルの制御、DMA トランザクションの設定、DMA トランザクション間隔の設定などを行います。
リンク・レジスタ・セット	リンク・モード時に、次にロードするディスクリプタ・アドレスを設定するレジスタ (Next リンク・アドレス・レジスタ) と、現在実行しているディスクリプタ・アドレスを表示するレジスタ (Current リンク・アドレス・レジスタ)、およびスキップ機能を利用する場合の連続空間とスキップ空間のソース/デスティネーション・アドレス・レジスタから構成されています。 Current リンク・アドレス・レジスタは、ディスクリプタ・リードにより自動的に更新され、プログラムで直接書き込むことはできません。
DMA 制御レジスタ	DMA 全体を制御するレジスタと、各チャンネルの状態を表示するレジスタから構成されています。 チャンネルの優先順位の制御、各チャンネルのイネーブル/エラー/完了/ターミナル・カウント/サスペンドなどの状態を確認できます。
DMA インタフェース・レジスタ	DMAREQZ 信号、DMAACKZ 信号のタイミングをプログラマブルに設定する「DMA 転送インタフェース信号制御レジスタ」、割り込み信号と DMA チャンネルの関係を割り付ける「DMA トリガ要因レジスタ」で構成されています。

図 9-3 システム・バス DMAC のレジスタ構成図



備考 n = 0-7

9.3.2 Next レジスタ・セット

Current レジスタ・セットにロードされる Next レジスタ・セットです。

(1) Next ソース・アドレス・レジスタ (N0SAn, N1SAn)

DMA チャンネル n の DMA 転送元アドレスを設定します。

N0SAn は Next0 レジスタ・セット用, N1SAn は Next1 レジスタ・セット用です。

同一値で連続ライトを行うライト・オンリー・モード (CHCFGn.WONLYn = 1) 時には, 連続ライトを行うデータ設定に使用します (9.4.4 ライト・オンリー・モード参照)。

32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
N0SAn	通常モード時：転送元アドレス ライト・オンリー・モード時：ライト・データ		0F00 0800H +40H×n	0000 0000H
R/W	R/W			
	31	0	アドレス	初期値
N1SAn	通常モード時：転送元アドレス ライト・オンリー・モード時：ライト・データ		0F00 080CH +40H×n	0000 0000H
R/W	R/W			

ビット位置	ビット名	意 味
31-0	SA31-SA0	通常モード時の転送元アドレスです。 DMA 転送元の開始アドレスを設定します。
	WD31-WD0	ライト・オンリー・モード時のライト・データです。 同一値で連続ライトを行うライト・オンリー・モード時の、連続ライトを行うデータを設定します。

注意 N0SAn レジスタは, リンク・モード転送時には, ディスクリプタ・リード・データにより上書きされます。

備考 n = 0-7

(2) Next デスティネーション・アドレス・レジスタ (N0DAn, N1DAn)

DMA チャンネル n の DMA 転送先アドレスを設定します。

N0DAn は Next0 レジスタ・セット用, N1DAn は Next1 レジスタ・セット用です。

32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
N0DAn	転送先アドレス		0F00 0804H +40H×n	0000 0000H
R/W	R/W			
	31	0	アドレス	初期値
N1DAn	転送先アドレス		0F00 0810H +40H×n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	DA31-DA0	転送先アドレスです。 DMA 転送先の開始アドレスを設定します。		

注意 N0DAn レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

備考 n = 0-7

(3) Next トランザクション・バイト・レジスタ（N0TBn, N1TBn）

DMA チャンネル n の総転送バイト数（DMA トランザクション）を設定します。
N0TBn は Next0 レジスタ・セット用，N1TBn は Next1 レジスタ・セット用です。
32 ビット単位でリード／ライト可能です。

- 注意 1.** システム・バス DMAC では，転送回数は，総バイト数で設定することに注意してください。
2. トランザクション・バイト（バイト数）は，'0' は設定禁止です。

	31	0	アドレス	初期値
N0TBn	トランザクション・バイト		0F00 0808H +40H×n	0000 0000H
R/W	R/W			
	31	0	アドレス	初期値
N1TBn	トランザクション・バイト		0F00 0814H +40H×n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	TB31-TB0	トランザクション・バイト数です。 DMA トランザクションの総バイト数を設定します。		

注意 N0TBn レジスタは，リンク・モード転送時には，ディスクリプタ・リード・データにより上書き
されます。

備考 n = 0-7

9.3.3 Current レジスタ・セット

Current レジスタ・セットは、DMA 転送する転送元アドレス、転送先アドレス、総転送バイト数を示すリードのみ可能なレジスタです。

レジスタ・モード時は Next0／Next1 レジスタ・セットから、リンク・モード時はディスクリプタ・リード・データから設定値がロードされます。ソフトウェアでの書き込みはできません。

(1) Current ソース・アドレス・レジスタ (CRSAn)

DMA チャンネル n の DMA 転送元アドレスを示します。

32 ビット単位でリードのみ可能です。

31		0	アドレス	初期値
CRSAn	転送元アドレス		0F00 0818H +40H×n	0000 0000H
R/W	R			

ビット位置	ビット名	意 味
31-0	CRSA31- CRSA0	Current ソース・アドレス・レジスタです。 次の DMA トランザクションのリード・アドレスを示します。DMA トランザクション中は、自動的に更新されます（CHCFGn.SADn = 1 の場合は固定。CHCFGn.WONLYn = 1 の場合は不定）。 初期値は以下のレジスタからロードします。 レジスタ・モード時： N0SAn／N1SAn から転送元アドレスをロード リンク・モード時： ディスクリプタから転送元アドレスをロード。（ディスクリプタ・リード・データは N0SAn レジスタに代入され、転送時に CRSAn レジスタへ代入されます。） このレジスタの更新は DMA 転送のリード完了時に行われます。 このレジスタの読み出しは、DMA 停止時（CHSTATn.TACTn = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

備考 n = 0-7

- (2) Current デスティネーション・アドレス・レジスタ (CRDAn)
DMA チャンネル n の DMA 転送先アドレスを示します。
32 ビット単位でリードのみ可能です。

31		0	アドレス	初期値
CRDAn	転送先アドレス		0F00 081CH +40H×n	0000 0000H
R/W	R			

ビット位置	ビット名	意 味
31-0	CRDA31- CRDA0	Current デスティネーション・アドレス・レジスタです。 次の DMA トランザクションのライト・アドレスを示します。DMA トランザクション中は、自動的に更新されます（CHCFGn.SADn = 1 の場合は固定。CHCFGn.WONLYn = 1 の場合は不定）。 初期値は以下のレジスタからロードします。 レジスタ・モード時： N0DAn／N1DAn から転送先アドレスをロード リンク・モード時： ディスクリプタから転送先アドレスをロード。（ディスクリプタ・リード・データは N0DAn レジスタに代入され、転送時に CRDAn レジスタへ代入されます。） このレジスタの更新は DMA 転送のライト完了時に行われます。 このレジスタの読み出しは、DMA 停止時（CHSTATn.TACTn = 0 時）に行ってください。DMA 動作中の値は参考値で、保証されません。

備考 n = 0-7

(3) Current トランザクション・バイト・レジスタ (CRTBn)

DMA チャンネル n の，総転送バイト数を表示します。DMA トランザクション（一連の DMA 転送）終了時には 0000 0000H になります。

32 ビット単位でリードのみ可能です。

CRTBn	31	0	アドレス	初期値
	トランザクション・バイト・データ		0F00 0820H +40H×n	0000 0000H
R/W	R			
ビット位置	ビット名	意 味		
31-0	CRTB31- CRTB0	Current トランザクション・バイト・レジスタです。 現在実行している DMA トランザクション（一連の DMA 転送）の，残りの転送バイト数を表示します。DMA トランザクション中は，自動的にデクリメントされます。 初期値は以下のレジスタからロードします。 レジスタ・モード時： N0TBAn／N1TBn から転送バイト数をロード リンク・モード時： ディスクリプタから転送バイト数をロード。（ディスクリプタ・リード・データを N0TBn レジスタに代入され，転送時に CRTBn レジスタへ代入されます。） このレジスタの更新は DMA 転送のライト完了時に行われます。 このレジスタの読み出しは，DMA 停止時（CHSTATn.TACTn = 0 時）に行ってください。DMA 動作中の値は参考値で，保証されません。		

9.3.4 チャンネル・レジスタ・セット

チャンネル・レジスタ・セットは、DMA 転送動作、DMA 転送モードの設定、ステータス読み出しを行うレジスタ・セットです。

(1) チャンネル・ステータス・レジスタ n (CHSTATn)

DMA チャンネル n のステータスを読み出すレジスタです。

32 ビット単位でリードのみ可能です。

(1/6)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

アドレス
0F00 0824H
+40H×n
初期値
0000 0000H

CHSTATn

DNUMn																0	0	0	0	0	0	SWPRQn	DMAQm	INTMn	0	0	0	0	MODEn	DERn	DWn	DLn	SRn	TCn	ENDn	ERN	SUSn	TACTn	RQSTn	ENn
																R	R	R	R	R	R	R	R	R	R	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R

ビット位置	ビット名	意 味						
31-24	DNUMn	バッファ内の有効バイト数を表示します。 バッファ内のデータとは、転送元からリードして、転送先へライトしていないデータです。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 33%;">インクリメント条件</th> <th style="width: 33%;">デクリメント条件</th> <th style="width: 34%;">クリア (0) 条件</th> </tr> <tr> <td> - DMA リード・トランスファ完了時 </td> <td> - DMA ライト・トランスファ完了時 </td> <td> - CHSTATn.ENn ビット・クリア条件 - CHCTRLn.SWRSTn ビットのセット (1) (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作) </td> </tr> </table>	インクリメント条件	デクリメント条件	クリア (0) 条件	DMA リード・トランスファ完了時	DMA ライト・トランスファ完了時	- CHSTATn.ENn ビット・クリア条件 - CHCTRLn.SWRSTn ビットのセット (1) (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)
		インクリメント条件	デクリメント条件	クリア (0) 条件				
		DMA リード・トランスファ完了時	DMA ライト・トランスファ完了時	- CHSTATn.ENn ビット・クリア条件 - CHCTRLn.SWRSTn ビットのセット (1) (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)				
23-19	Reserved	リードすると 0 が読み出されます。						
18	SWPRQn	強制掃き出し要求状態を表示します。 CHCTRLn.SETSSWPRQn ビットで起動した掃き出し要求の状態を示します。 0: 強制掃き出し要求がアサートされていない 1: 強制掃き出し要求がアサートされた <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 50%;">セット (1) 条件</th> <th style="width: 50%;">クリア (0) 条件</th> </tr> <tr> <td> - CHCTRLn.SETSSWPRQn ビットのセット (1) </td> <td> - 強制掃き出しによりバッファ内のデータ量が 0 になったとき - CHCTRLn.SWRSTn ビットのセット (1) (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作) </td> </tr> </table>	セット (1) 条件	クリア (0) 条件	CHCTRLn.SETSSWPRQn ビットのセット (1)	- 強制掃き出しによりバッファ内のデータ量が 0 になったとき - CHCTRLn.SWRSTn ビットのセット (1) (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)		
		セット (1) 条件	クリア (0) 条件					
		CHCTRLn.SETSSWPRQn ビットのセット (1)	- 強制掃き出しによりバッファ内のデータ量が 0 になったとき - CHCTRLn.SWRSTn ビットのセット (1) (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)					

備考 n = 0-7

(2/6)

ビット位置	ビット名	意 味	
17	DMARQMn	DMA 転送要求入力、一時マスク状態を示します。 0：マスクされていない 1：一時マスク状態	
		セット (1) 条件	クリア (0) 条件
		CHCTRLn.SETINTMn ビットのセット (1)	- CHCTRLn.CLRINTMn ビットのセット (1) - CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn：このレジスタ) のクリア操作)
16	INTMn	INTDMAn 割り込み出力の一時マスク状態を表示します。 0：一時マスク解除状態 1：一時マスク状態	
		セット (1) 条件	クリア (0) 条件
		CHCTRLn.SETINTMn ビットのセット (1)	- CHCTRLn.CLRINTMn ビットのセット (1) - CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn：このレジスタ) のクリア操作)
15-12	Reserved	リードすると 0 が読み出されます。	
11	MODEn	DMA モードを示します。CHCFGn レジスタの DMSn ビットの設定値が反映されます。 0：レジスタ・モード 1：リンク・モード	
10	DERn	ディスクリプタ・エラー・ビットです。 リンク・モードで、リードしたディスクリプタのヘッダの LV (ディスクリプタの有効/無効ビット) ビットが 0 (ディスクリプタが無効) の場合にセット (1) されます。CHCFGn.DIMn ビットの値 (ディスクリプタ・エラー時の INTDMAn のマスク設定) には依存しません。 0：ディスクリプタ・エラーは発生していない 1：ディスクリプタ・エラー発生	
		セット (1) 条件	クリア (0) 条件
		リンク・モードで、CHCFGn.DRRPn = 0 (ディスクリプタが有効 (LV = 1) になるまでディスクリプタを読み続けるモード) で、ディスクリプタのヘッダ領域の LV ビットが 0 (ディスクリプタが無効) のとき	- CHCTRLn.CLRDERn ビットのセット (1) (DER ビット：このビットのクリア操作) - CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn：このレジスタ) のクリア操作)

備考 n = 0-7

ビット位置	ビット名	意 味	
9	DWn	リンク・モードで、ディスクリプタのライトバック中にセット (1) されます。 ディスクリプタのライトバック時にバス・エラー [※] を受けた場合は、セット (1) されたままクリア (0) されません。	
		セット (1) 条件	クリア (0) 条件
		・ リンク・モードで、ヘッダをライトバック開始時	・ リンク・モードで、ヘッダのライトバック完了 ・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)
8	DLn	リンク・モードで、ディスクリプタ・ロード中にセット (1) されます。 ディスクリプタ・ロード時にバス・エラー [※] を受けた場合は、セット (1) されたままクリア (0) されません。	
		セット (1) 条件	クリア (0) 条件
		・ リンク・モードで、ディスクリプタのロード中	・ リンク・モードで、ディスクリプタのロード完了 ・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)
7	SRn	レジスタ・モードで、選択しているレジスタ・セットを示します。 0 : Next0 レジスタ・セット 1 : Next1 レジスタ・セット	
		セット (1) 条件	クリア (0) 条件
		・ CHCFGn.RSELn = 1 のとき (Next1 レジスタ・セット選択時)	・ CHCFGn.RSELn = 0 のとき (Next0 レジスタ・セット選択時)
6	TCn	DMA トランザクション (一連の DMA 転送) が完了するとセット (1) されます。 CHCFGn.TCMn = 0 (DMATCZn : ターミナル・カウンタ出力許可) 時のみセット (1) されます。	
		セット (1) 条件	クリア (0) 条件
		・ レジスタ・モードで、CRTBn レジスタに設定された総転送バイト数分の転送が終了した場合 ・ リンク・モードで、ディスクリプタのヘッダの WBD = 1 (ヘッダの LV ビットのライトバック禁止時) で、CRTBn レジスタに設定された総転送バイト数分の転送が終了した場合 ・ リンク・モードで、ディスクリプタのヘッダの WBD=0 で、ディスクリプタ・ライトバックが終了した場合	・ CHCTRLn.CLRTCn ビットのセット (1) (TCn ビット : このビットのクリア操作) ・ CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn : このレジスタ) のクリア操作)

注 未定義領域へのアクセスなどでバス・エラーが発生します。CHCTRLn.SWRSTn ビットをセット (1) することで、このビットをクリア (0) できます。

備考 n = 0-7

ビット位置	ビット名	意 味	
5	ENDn	DMA トランザクション (一連の DMA 転送) が完了し、INTDMAn 発生時にセット (1) されます。	
		セット (1) 条件 - TCn ビットのセット (1) 条件、かつ CHCFGn.DEMn = 0 (INTDMAn: DMA 転送完了割り込み出力許可時) - リンク・モードで、以下のすべての条件が成立する場合 - ディスクリプタのヘッダの LV = 0 (ディスクリプタ無効) - CHCFGn.DRRPn = 0 (ディスクリプタのヘッダの LV ビットが 0 の場合に DERn ビットをセット (1) して、ディスクリプタ・エラーとし、DMA 転送を停止) - CHCFGn.DIMn = 0 (ディスクリプタのヘッダの LV ビットが 0 の場合にディスクリプタ・エラー割り込み (INTDMAn) の許可時)	クリア (0) 条件 - CHCTRLn.CLRENDn ビットのセット (1) (ENDn ビット: このビットのクリア操作) - CHCTRLn.SWRSTn ビットのセット (1) (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)
4	ERn ^{注1}	DMA 転送中に転送エラー ^{注2} が発生し、INTDMAERR 割り込みが発生するとセット (1) されます。	
		セット (1) 条件 DMA 転送エラー発生^{注2}	クリア (0) 条件 CHCTRLn.SWRSTn ビットをセット (1) したとき (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作)
3	SUSn	DMA チャンネル n の一時停止 (サスペンド) 状態を示します。 0: DMA チャンネル n は一時停止 (サスペンド) 状態ではない 1: DMA チャンネル n は一時停止 (サスペンド) 状態	
		セット (1) 条件 DMA チャンネル n の DMA トランザクション (一連の DMA 転送) 実行中に CHCTRLn.SETSUSn ビットをセット (1) し、DMA チャンネル n の DMA トランザクションを一時停止状態した場合	クリア (0) 条件 - CHCTRLn.CLRSUSn ビットのセット (1) (一時停止状態の解除) - CHCTRLn.CLRENDn ビットのセット (1) - CHSTATn.ENn ビット・クリア条件
2	TACTn	DMA チャンネル n が動作中であることを示すビットです。 DMA チャンネル n が完全に停止していることを確認するために使用します。 0: DMA チャンネル n の DMA は停止状態 1: DMA チャンネル n の DMA は動作中	
		セット (1) 条件 CHCTRLn.SETENn ビットのセット (1) (ディスクリプタ・リード開始または DMA トリガ待ち)	クリア (0) 条件 CHSTATn.ENn = 0 で、すべての DMA トランザクション (一連の DMA 転送) 完了時

注 1. ERn ビットがセット (1) された転送は、その一連の DMA 転送を無効として処理してください。

2. 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-7

ビット位置	ビット名	意 味	
1	RQSTn	転送要求を受け付けていることを示すビットです。 0：DMA 転送要求を受けていない 1：DMA 転送要求を受けている	
		セット (1) 条件	クリア (0) 条件
		- CHCTRLn.STGn ビットのセット (1) (ソフトウェアによる DMA 起動時) - DTFR レジスタで選択した, DMA 転送トリガが発生し, DMA 転送要求を受け付けた場合	- CHCTRLn.SWRSTn ビットをセット (1) したとき (チャネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作) - CHCTRLn.CLRRQn ビットのセット (1) (RQST ビット: このビットのクリア操作) - シングル転送モード (CHCFGn.TMn = 0) モード時で, DMA 転送が終わったとき (CHCFGn.REQDn ビットで DMAACKZn 出力タイミングをリード時/ライト時が選択できます。ここで選択したリードまたはライトの DMA 転送が終わったときがクリア (0) 条件です。) - レジスタ・モードで, すべての DMA トランザクション (一連の DMA 転送) が完了した場合 (CHCFGn.RENn = 0 (DMA トランザクション (一連の DMA 転送) 完了時に, 続けて CHCFGn.RSELn ビットで指定した Next レジスタ・セットで DMA 転送を行わない) の場合) - リンク・モードで, 最後のディスクリプタの DMA 転送を終了した場合 (ディスクリプタのヘッダの LE ビット = 1 (リンク終了) 時) - リンク・モードで, ディスクリプタ読み込みで停止 (ヘッダの LV=0 & DRRPn=0) した場合 (LV = 0 : ディスクリプタ無効) (CHCFGn.DRRPn = 0 : ディスクリプタのヘッダの LV ビットが 0 の場合に DERn ビットをセット (1) して, ディスクリプタ・エラーとし, DMA 転送を停止) - リンク・モードで, CHCFGn.DEMn = 0 (DMA 転送完了割り込み (INTDMAn) 出力許可時の状態で, DMA トランザクション (一連の DMA 転送) を終了した場合) - バス・エラー*発生時

注 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-7

ビット位置	ビット名	意 味	
0	ENn	DMA チャンネル n の動作許可／停止状態を示します。 0：動作停止状態 1：動作許可状態	
		セット (1) 条件	クリア (0) 条件
		CHCTRLn.SETENn のセット (1)	- CHCTRLn.SWRSTn ビットをセット (1) したとき (チャンネル・ステータス・レジスタ (CHSTATn: このレジスタ) のクリア操作) - CHCTRLn.CLRENn ビットのセット (1) (EN ビット: このビットのクリア操作) - レジスタ・モードで、すべての DMA トランザクション (一連の DMA 転送) が完了した場合 (CHCFGn.RENn = 0 (DMA トランザクション (一連の DMA 転送) 完了時に、続けて CHCFGn.RSELn ビットで指定した Next レジスタ・セットで DMA 転送を行わない) の場合) - リンク・モードで、最後のディスクリプタの DMA 転送を終了した場合 (ディスクリプタのヘッダの LE ビット = 1 (リンク終了) 時) (ディスクリプタのヘッダの WBD ビット = 0 の場合はライトバック終了時) - バス・エラー[※]発生時

注 未定義領域へのアクセスなどでバス・エラーが発生します。

備考 n = 0-7

- 注意 1. ENn ビットがセット (1) された転送は、その一連の DMA 転送を無効として処理してください。
2. DMA トランザクション (一連の DMA 転送) を中断する場合は、転送要求をマスクおよびクリアするか、ENn ビットをクリアしてください (手順は 9.5.13 転送中断機能に従ってください)。
3. 同一の DMA チャンネルに対して DMA 転送要求端子 (DMAREQZn) 入力による転送要求と、ソフトウェアによる転送要求 (CHCTRLn.STGn ビットのセット (1)) を併用すると、起動要因の特定ができません。いずれかの転送要求のみ使用してください。
4. ソフトウェアによる転送起動を行う場合、前回要求した DMA 転送動作の完了を Current レジスタなどで確認してから、CHCTRLn.STGn のビット操作を行ってください。

(2) チャネル・コントロール・レジスタ n (CHCTRLn)

DMA チャンネル n の DMA 転送動作を制御するレジスタです。

32 ビット単位でライトのみ可能です。いずれのビットも 0 を書き込んだ場合は、動作に影響を与えません。リードした場合は、すべてのビットから 0 が読み出されます。

(1/3)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス 0F00 0828H +40H×n 初期値 0000 0000H	
CHCTRLn	0	0	0	0	0	0	0	0	0	0	0	0	0	CLRDMAQMn	SETDMAQMn	CLRINTMn	SETINTMn	0	SETSSWPRQn	0	SETRENn	0	0	CLRSUn	SETSUn	CLRDn	CLRTCn	CLRENDn	CLRRQn	SWRSTn	STGn	CLRENn	SETENn	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	W	W	W	W	0	0	0	W	0	0	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意 味
31-18	Reserved	必ず 0 を書き込んでください。
17	CLRDMAQMn	DTFRm（m：SELn2-SELn0 ビットで選択）レジスタで選択した DMA 転送要求の一時マスク状態のクリア・ビットです。 このビットをセット（1）すると、ハードウェア DMA 転送要求の一時マスク状態をクリアします。これにより CHSTATn.DMAQMN（DMA 転送要求の一時マスク状態）ビットがクリア（0）されます。 0：動作に影響を与えません。 1：SETDMAQMn のセット（1）によるハードウェア DMA 転送要求の一時マスク状態を解除します。
16	SETDMAQMn	DTFRm（m：SELn2-SELn0 ビットで選択）レジスタで選択した DMA 転送要求のマスク状態のセット・ビットです。 このビットをセット（1）すると、ハードウェア DMA 転送要求が一時的にマスク状態に設定されます。これにより、CHSTATn.DMAQMN（DMA 転送要求の一時マスク状態）ビットがセット（1）されます。 0：動作に影響を与えません。 1：ハードウェア DMA 転送要求を一時マスクします。
17	CLRINTMn	INTDMAAn 出力のマスク状態のクリア・ビットです。 このビットをセット（1）すると、INTDMAAn 出力のマスク状態が解除されます。これにより、CHSTATn.INTMn（INTDMAAn 割り込み出力の一時マスク状態）ビットがクリア（0）されます。DMA 転送完了状態でマスクを解除した場合は、INTDMAAn は出力されません。 0：動作に影響を与えません。 1：SETINTMn のセット（1）による INTDMAAn 出力のマスク状態を解除します。
16	SETINTMn	INTDMAAn 出力のマスク状態のセット・ビットです。 このビットをセット（1）すると、INTDMAAn 出力が一時的にマスク状態に設定されます。これにより、CHSTATn.INTMn（INTDMAAn 割り込み出力の一時マスク状態）ビットがセット（1）されます。 0：動作に影響を与えません。 1：INTDMAAn 出力をマスクします。
15	Reserved	必ず 0 を書き込んでください。

備考 n = 0-7

ビット位置	ビット名	意 味
14	SETSSWPRQn	バッファの強制掃き出しビットです。 このビットをセット (1) すると、バッファ内にあるデータを、転送先に強制的に掃き出します (9.5.7 強制掃き出し機能参照)。なお、CHCFGn.REQDn がセット (1) されていて、DMAACKZn がライト時にアサートされる設定の場合は、強制掃き出しは利用できません。 0: 動作に影響を与えません。 1: 転送先にライトしていないバッファ内のデータを転送先にライト (掃き出し) します。
13	Reserved	必ず 0 を書き込んでください。
12	SETRENN	レジスタ・モードで、DMA トランザクション (一連の DMA 転送) 完了時に、続けて CHCFGn.RSELn ビットで指定した Next レジスタ・セットで DMA 転送を行う場合に、このビットをセット (1) してください。 これにより、CHCFGn.RENN ビットがセット (1) されます。詳細は、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RENn ビットを参照してください。 0: 動作に影響を与えません。 1: CHCFGn.RENN をセット (1) します。
11, 10	Reserved	必ず 0 を書き込んでください。
9	CLRSUSn	実行中の DMA チャンネル n の一時停止 (サスペンド) 状態の解除ビットです。 CHSTATn.SUSn = 1 のときに、このビットをセット (1) すると、DMA チャンネル n の一時停止 (サスペンド) 状態が解除されます。 0: 動作に影響を与えません。 1: 実行中の DMA 転送の一時停止 (サスペンド) 状態を解除します。
8	SETSUSn	実行中の DMA チャンネル n の一時停止 (サスペンド) 状態の設定ビットです。 CHSTATn.ENn = 1 (DMA チャンネル n の動作許可状態) のときに、このビットをセット (1) すると、実行中の DMA チャンネル n が一時停止 (サスペンド) 状態に設定されます。 0: 動作に影響を与えません。 1: 実行中の DMA 転送を一時停止 (サスペンド) 状態に設定します。
7	CLRDERn	リンク・モード時のディスクリプタ・エラーのクリア・ビットです。 このビットをセット (1) すると、CHSTATn.DERN (ディスクリプタ・エラー) ビットがクリア (0) されます。 0: 動作に影響を与えません。 1: CHSTATn.DERN (ディスクリプタ・エラー) ビットをクリア (0)。
6	CLRTCn	ターミナル・カウント (DMA トランザクション (一連の DMA 転送) 完了) 状態のクリア・ビットです。 このビットをセット (1) すると、CHSTATn.TCn (ターミナル・カウント) ビットがクリア (0) されます。 0: 動作に影響を与えません。 1: CHSTATn.TCn (ターミナル・カウント) ビットをクリア (0)
5	CLRENDn	DMA トランザクション (一連の DMA 転送) 完了し、INTDMAn の発生と同時にセットされる CHSTATn.ENDn のクリア・ビットです。 このビットをセット (1) すると、CHSTATn.ENDn ビットがクリア (0) されます。 0: 動作に影響を与えません。 1: CHSTATn.ENDn ビットをクリア (0)。

備考 n = 0-7

ビット位置	ビット名	意 味
4	CLRRQn	DMA 転送要求のクリア・ビットです。 このビットをセット (1) すると, CHSTATn.RQSTn (DMA 転送要求) ビットがクリア (0) されます。 0: 動作に影響を与えません。 1: CHSTATn.RQSTn (DMA 転送要求) ビットをクリア (0)。
3	SWRSTn	DMA チャンネル n のソフトウェア・リセット・ビットです。 このビットをセット (1) するとソフトウェア・リセットが実行され, この操作がクリア条件となるチャンネル・ステータス・レジスタ (CHSTATn) の各ビットがクリア (0) されます。 このビットのセット (1) は, DMA チャンネル n の完全停止状態に行ってください。DMA チャンネル転送の完全停止状態は, CHSTATn.ENn = 0 かつ CHSTATn.TACTn = 0 で確認してください。 0: 動作に影響を与えません。 1: SWRSTn によるクリア条件のある CHSTATn レジスタの各ビットをクリア (0)
2	STGn	ソフトウェアで DMA 転送を起動するための, ソフトウェア・トリガ・ビットです。 このビットをセット (1) すると, 内部転送要求をセットします (ソフトウェア起動)。 SWRSTn ビットと同時にセット (1) した場合は, SWRSTn ビットのセット (ソフトウェア・リセット) が優先されます。 0: 動作に影響を与えません。 1: ソフトウェアによる転送要求のセット (CHSTATn.RQSTn ビットをセット (1))
1	CLREn	DMA チャンネル n の動作停止設定ビットです。 このビットをセット (1) すると, CHSTATn.ENn ビットがクリア (0) され, DMA チャンネル n は動作停止状態になります (詳細は 9.5.13 転送中断機能参照)。 0: 動作に影響を与えません。 1: DMA チャンネル n の動作を停止 (CHSTATn.ENn ビットをクリア (0))
0	SETENn	DMA チャンネル n の動作許可設定ビットです。 このビットをセット (1) すると, CHSTATn.ENn ビットがセット (1) され, DMA チャンネル n は動作許可状態になります。SWRSTn ビットと同時にセット (1) した場合は, SWRSTn ビットのセット (ソフトウェア・リセット) が優先されます。 0: 動作に影響を与えません。 1: DMA チャンネル n の動作を許可 (CHSTATn.ENn ビットをセット (1))

備考 n = 0-7

(3) チャネル・コンフィギュレーション・レジスタ n (CHCFGn)

DMA チャネル n の DMA 動作モードを設定するレジスタです。

32 ビット単位でリード／ライト可能です。

(1/7)

CHCFGn																															アドレス 0F00 082CH +40H×n 初期値 0000 0000H									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
DMSn	RENn	RSWn	RSELn	SBEEn	DIMn	TCMn	DEMn	WONLYn	TMn	DADn	SADn	DDSn3-DDSn0			SDSn3-SDSn0			DRPn			AMn2-AMn0			0	LVLn			HENn			LENn			REQDn			SELn2-SELn0			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

ビット位置	ビット名	意 味	
31	DMSn	DMA 動作モードを選択します。 0：レジスタ・モード（初期値） 1：リンク・モード	
30	RENn	DMA トランザクション（一連の DMA 転送）完了時に続けて DMA 転送を実行する動作を選択します。続けて実行する場合は、RSELn ビットで選択されている Next レジスタ・セットで DMA 転送を行います。 この設定は、レジスタ・モード時のみ有効です。 DMA トランザクション中にこのビットをセット（1）する場合は、CHCTRLn レジスタの SETERNn ビットを使用することを推奨します。 0：連続実行しない。 1：連続実行する（RSELn ビットで選択されている Next レジスタ・セットを使う）	
		セット（1）条件	クリア（0）条件
		・ このビットのセット（1） ・ CHCTRLn.SETERNn ビットのセット（1）	・ このビットのクリア（0） ・ RENn = 1 のときに DMA トランザクション（一連の DMA 転送）完了時
29	RSWn	DMA トランザクション（一連の DMA 転送）完了時の RSELn（Next レジスタ・セットの選択）ビットの値の反転動作を選択します。 この設定は、レジスタ・モード時のみ有効です。 0：DMA トランザクション（一連の DMA 転送）完了後に RSELn を反転しない（初期値）。 1：DMA トランザクション（一連の DMA 転送）完了後に RSELn を反転する。	
28	RSELn	次の DMA 転送に使用する Next レジスタ・セットを選択します。 この設定は、レジスタ・モード時のみ有効です。 RSWn = 1 の場合、DMA トランザクション（一連の DMA 転送）完了時に自動的に反転されます。 0：Next0 レジスタ・セットを使用する（初期値）。 1：Next1 レジスタ・セットを使用する。	
27	SBEEn	DMA トランザクション（一連の DMA 転送）中に、CHCTRLn.CLRENn のクリア（0）により、DMA チャネル n の動作が停止された場合、すでにリードしてバッファに取り込んだデータの処理を選択します。ただし、REQDn = 1 で、ライト時に DMAACKZn を出力するモードを選択した場合は、このビットをセット（1）できません。 0：バッファの掃き出し（ライト）をしないで転送中止（初期値） 1：バッファの掃き出し（ライト）をして転送中止	

備考 n = 0-7

(2/7)

ビット位置	ビット名	意 味	
26	DIMn	リンク・モード時に、ディスクリプタのヘッダの LV ビットが 0 だった場合に、ディスクリプタ・エラー割り込み（INTDMA _n ）の動作を選択します。 0：INTDMA _n をマスクしない（初期値）。 1：INTDMA _n をマスクする。	
25	TCMn	ターミナル・カウント出力（DMATCZ _m （m：SEL _{n2} -SEL _{n0} ビットで選択））のマスク・ビットです。 ターミナル・カウント出力のタイミングで、このビットがセット（1）されていた場合、DMATCZ _m を出力しません。また CHSTAT _n .TC _n もセット（1）されません。このとき、レジスタ・モードでは自動的にクリア（0）され、リンク・モードではクリア（0）されません。 このビットは、ソフトウェアによる DMA 転送の制御を行う場合に使用してください。 0：マスクしない（ターミナル・カウント出力（DMATCZ _m ）許可：初期値） 1：マスクする（ターミナル・カウント出力（DMATCZ _m ）禁止）	
		セット（1）条件	クリア（0）条件
		・ このビットのセット（1）	・ このビットのクリア（0） ・ レジスタ・モードで、このビットがセット（1）されている状態で DMA トランザクション（一連の DMA 転送）完了時
24	DEMn	DMA トランザクション（一連の DMA 転送）完了時に、INTDMA _n の動作を選択します。 INTDMA _n 発生タイミングで、このビットがセット（1）されていた場合、INTDMA _n を出力しません。また CHSTAT _n .END _n もセット（1）されません。このとき、レジスタ・モードでは自動的にクリア（0）され、リンク・モードではクリア（0）されません。 0：マスクしない（INTDMA _n 出力許可：初期値） 1：マスクする（INTDMA _n 出力禁止）	
		セット（1）条件	クリア（0）条件
		・ このビットのセット（1）	・ このビットのクリア（0） ・ レジスタ・モードで、このビットがセット（1）されている状態で DMA トランザクション（一連の DMA 転送）完了時
23	WONLYn	通常モードとライト・オンリー・モードを選択します。 ライト・オンリー・モードでは、Next ソース・アドレス・レジスタ（N0SAn, N1SAn）に設定されたデータを、Next デスティネーション・アドレス・レジスタ（N0DAn, N1DAn）で示されるアドレスにライトします。 ライト・オンリー・モードは、同一値で連続ライトを行う場合に利用します。 0：通常動作（初期値） 1：ライト・オンリー・モード	
22	TMn	DMA 転送モードを選択します。 0：シングル転送モード（DMA 転送要求ごとに、1 回の転送を行う：初期値） 1：ブロック転送モード（1 回の DMA 転送要求で、トランザクション・バイト・レジスタに設定したバイト数分の転送を行う）	

備考 n = 0-7

ビット位置	ビット名	意 味																																				
21	DADn	DMA チャンネル n の転送先（デスティネーション）アドレスのカウント方向を設定します。 0：インクリメント（初期値） 1：固定 注意 デスティネーション側でスキップ・モードを使う場合、またはデスティネーション側がビート・アンアラインの場合は、DADn = 1（固定）は選択しないでください。																																				
20	SADn	DMA チャンネル n の転送元（ソース）アドレスのカウント方向を設定します。 0：インクリメント（初期値） 1：固定 注意 ソース側でスキップ・モードを使う場合、またはソース側がビート・アンアラインの場合は、SADn = 1（固定）は選択しないでください。																																				
19	DDSn3	DMA 転送先（デスティネーション）のアドレッシングを、通常モードとスキップ・モードを選択します。 0：通常モード（初期値） 1：スキップ・モード																																				
18-16	DDSn2- DDSn0	DMA 転送先（デスティネーション）の転送サイズを設定します。 <table border="1"><thead><tr><th>DDSn2</th><th>DDSn1</th><th>DDSn0</th><th>DMA 転送先（デスティネーション）の転送サイズ</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>8 ビット（初期値）</td></tr><tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr><tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr><tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr><tr><td>1</td><td>0</td><td>1</td><td>256 ビット</td></tr><tr><td>1</td><td>1</td><td>0</td><td>512 ビット[※]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>設定禁止</td></tr></tbody></table> 注 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。	DDSn2	DDSn1	DDSn0	DMA 転送先（デスティネーション）の転送サイズ	0	0	0	8 ビット（初期値）	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	設定禁止	1	0	0	128 ビット	1	0	1	256 ビット	1	1	0	512 ビット [※]	1	1	1	設定禁止
DDSn2	DDSn1	DDSn0	DMA 転送先（デスティネーション）の転送サイズ																																			
0	0	0	8 ビット（初期値）																																			
0	0	1	16 ビット																																			
0	1	0	32 ビット																																			
0	1	1	設定禁止																																			
1	0	0	128 ビット																																			
1	0	1	256 ビット																																			
1	1	0	512 ビット [※]																																			
1	1	1	設定禁止																																			
15	SDSn3	DMA 転送元（ソース）のアドレッシングを、通常モードとスキップ・モードを選択します。 0：通常モード（初期値） 1：スキップ・モード																																				

備考 n = 0-7

ビット位置	ビット名	意 味																																				
14-12	SDSn2-SDSn0	DMA 転送元（ソース）の転送サイズを設定します。 <table><tr><th>SDSn2</th><th>SDSn1</th><th>SDSn0</th><th>DMA 転送元（ソース）の転送サイズ</th></tr><tr><td>0</td><td>0</td><td>0</td><td>8 ビット（初期値）</td></tr><tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr><tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr><tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr><tr><td>1</td><td>0</td><td>1</td><td>256 ビット</td></tr><tr><td>1</td><td>1</td><td>0</td><td>512 ビット[※]</td></tr><tr><td>1</td><td>1</td><td>1</td><td>設定禁止</td></tr></table> 注 転送サイズ単位のアドレスにアラインされている場合のみ設定できます。	SDSn2	SDSn1	SDSn0	DMA 転送元（ソース）の転送サイズ	0	0	0	8 ビット（初期値）	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	設定禁止	1	0	0	128 ビット	1	0	1	256 ビット	1	1	0	512 ビット [※]	1	1	1	設定禁止
SDSn2	SDSn1	SDSn0	DMA 転送元（ソース）の転送サイズ																																			
0	0	0	8 ビット（初期値）																																			
0	0	1	16 ビット																																			
0	1	0	32 ビット																																			
0	1	1	設定禁止																																			
1	0	0	128 ビット																																			
1	0	1	256 ビット																																			
1	1	0	512 ビット [※]																																			
1	1	1	設定禁止																																			
11	DRRPn	リンク・モードで、ディスクリプタのヘッダが無効（LV = 0）だった場合の動作を選択します。 0： CHSTATn.DERn（ディスクリプタ・エラー）ビットをセット（1）し、動作を停止します（初期値）。 1： LV = 1 になるまで、同じディスクリプタをリードし続けます。LV = 1 になった時点で、そのディスクリプタを用いた DMA 転送を開始します。ディスクリプタをリードする間隔は、ディスクリプタ・インターバル・レジスタ（DSCITVL）で設定してください。																																				

備考 n = 0-7

ビット位置	ビット名	意 味																				
10-8	AMn2-AMn0	DMA アクノリッジ信号の出力モードを選択します。																				
		<table><tr><th>AMn2</th><th>AMn1</th><th>AMn0</th><th>DMA アクノリッジ信号（DMAACKZm）の出力モード （m：SELn2-SELn0 ビットで選択）</th></tr><tr><td>0</td><td>0</td><td>0</td><td>パルス・モード^{注1}（初期値）</td></tr><tr><td>0</td><td>0</td><td>1</td><td>レベル・モード^{注2}，UART 送信／受信 FIFO DMA 選択時 DMA 転送要求（DMAREQZm）がインアクティブになるまで、アクティブ・レベルを保持します。</td></tr><tr><td>0</td><td>1</td><td>X</td><td>バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。</td></tr><tr><td>1</td><td>X</td><td>X</td><td>DMA アクノリッジ信号（DMAACKZm）の出力禁止</td></tr></table>	AMn2	AMn1	AMn0	DMA アクノリッジ信号（DMAACKZm）の出力モード （m：SELn2-SELn0 ビットで選択）	0	0	0	パルス・モード ^{注1} （初期値）	0	0	1	レベル・モード ^{注2} ，UART 送信／受信 FIFO DMA 選択時 DMA 転送要求（DMAREQZm）がインアクティブになるまで、アクティブ・レベルを保持します。	0	1	X	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。	1	X	X	DMA アクノリッジ信号（DMAACKZm）の出力禁止
		AMn2	AMn1	AMn0	DMA アクノリッジ信号（DMAACKZm）の出力モード （m：SELn2-SELn0 ビットで選択）																	
		0	0	0	パルス・モード ^{注1} （初期値）																	
		0	0	1	レベル・モード ^{注2} ，UART 送信／受信 FIFO DMA 選択時 DMA 転送要求（DMAREQZm）がインアクティブになるまで、アクティブ・レベルを保持します。																	
0	1	X	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。																			
1	X	X	DMA アクノリッジ信号（DMAACKZm）の出力禁止																			
注 1. 1×BUSCLK 周期のパルスが DMAACKZn 信号として出力されます。																						
2. DTFR レジスタで，UART 送信／受信 FIFO DMA 転送要求を選択し，UART の DMA インタフェース機能を利用する場合は，AMn2-AMn0 は，001b とし，レベル・モードを指定してください。																						
注意 1. DTFR レジスタで，内蔵周辺機能の割り込み要求信号，外部割り込み入力を選択している場合は，AMn2-AMn0 の設定は動作に影響しません。																						
2. AMn2-AMn0 の設定と，DMAIFCn レジスタは重複設定も可能ですが，一般的な利用方法では，AMn2-AMn0 を用いて DMAACKZn 信号の動作をレベル・モードに設定している場合は，DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZn のパルス幅拡張や，DMAREQZn のマスク機能を利用している場合は，AMn2-AMn0 はパルス・モードを選択してください。																						
		備考 X：Don't Care																				
7	Reserved	必ず 0 を書き込んでください。																				

備考 n = 0-7

ビット位置	ビット名	意 味																																																																																																												
6	LVLn	DMA 転送要求信号の検出方法を選択します。 DMA 転送要求は、DMA トリガ要因選択レジスタ n (DTFRn) で選択します。選択した DMA 転送要求により、DMA 転送要求信号の検出方法が異なります。 【DMA 転送要求信号が外部端子の DMA リクエスト信号の場合】 内部の DMA インタフェースは正論理です。DMA インタフェース端子 (DMAREQZn, DMAACKZn, DMATCZn : n = 0-5) は負論理です。DMA インタフェース端子の信号は、反転してシステム・バス DMAC に接続されているため、HENn, LENn ビットの設定と逆の論理が選択されます。 <table><tr><th>LVLn</th><th>HENn</th><th>LENn</th><th colspan="3">DMAREQZ0-DMQREQZ5 の DMA 転送要求信号の検出方法</th></tr><tr><th></th><th></th><th></th><th></th><th>内部信号</th><th>外部端子</th></tr><tr><td>0</td><td>0</td><td>0</td><td rowspan="4">エッジ検出</td><td colspan="2">検出無効</td></tr><tr><td>0</td><td>0</td><td>1</td><td>立ち下がり検出</td><td>立ち上がり検出</td></tr><tr><td>0</td><td>1</td><td>0</td><td>立ち上がり検出</td><td>立ち下がり検出</td></tr><tr><td>0</td><td>1</td><td>1</td><td colspan="2">立ち上がり／立ち下がり検出 (推奨しません)</td></tr><tr><td>1</td><td>0</td><td>0</td><td rowspan="4">レベル検出</td><td colspan="2">検出無効</td></tr><tr><td>1</td><td>0</td><td>1</td><td>ロー・レベル検出</td><td>ハイ・レベル検出</td></tr><tr><td>1</td><td>1</td><td>0</td><td>ハイ・レベル検出</td><td>ロー・レベル検出</td></tr><tr><td>1</td><td>1</td><td>1</td><td colspan="2">設定禁止</td></tr></table> 【DMA 転送要求信号が割り込み信号 (INT〜ではじまる信号) の場合】 <table><tr><th>LVLn</th><th>HENn</th><th>LENn</th><th colspan="2">割り込み信号による DMA 転送要求信号の検出方法</th></tr><tr><td>0</td><td>0</td><td>0</td><td rowspan="4">エッジ検出</td><td>検出無効</td></tr><tr><td>0</td><td>0</td><td>1</td><td>設定禁止</td></tr><tr><td>0</td><td>1</td><td>0</td><td>立ち上がり検出</td></tr><tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr><tr><td>1</td><td>×</td><td>×</td><td>レベル検出</td><td>設定禁止</td></tr></table> 【DMA 転送要求信号が内蔵アシンクロナス・シリアル・インタフェース (UART) からの場合】 <table><tr><th>LVLn</th><th>HENn</th><th>LENn</th><th colspan="2">内蔵 UART からの DMA 転送要求信号の検出方法</th></tr><tr><td>0</td><td>×</td><td>×</td><td>エッジ検出</td><td>設定禁止</td></tr><tr><td>1</td><td>0</td><td>0</td><td rowspan="4">レベル検出</td><td>検出無効</td></tr><tr><td>1</td><td>0</td><td>1</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>0</td><td>ハイ・レベル検出</td></tr><tr><td>1</td><td>1</td><td>1</td><td>設定禁止</td></tr></table>	LVLn	HENn	LENn	DMAREQZ0-DMQREQZ5 の DMA 転送要求信号の検出方法							内部信号	外部端子	0	0	0	エッジ検出	検出無効		0	0	1	立ち下がり検出	立ち上がり検出	0	1	0	立ち上がり検出	立ち下がり検出	0	1	1	立ち上がり／立ち下がり検出 (推奨しません)		1	0	0	レベル検出	検出無効		1	0	1	ロー・レベル検出	ハイ・レベル検出	1	1	0	ハイ・レベル検出	ロー・レベル検出	1	1	1	設定禁止		LVLn	HENn	LENn	割り込み信号による DMA 転送要求信号の検出方法		0	0	0	エッジ検出	検出無効	0	0	1	設定禁止	0	1	0	立ち上がり検出	0	1	1	設定禁止	1	×	×	レベル検出	設定禁止	LVLn	HENn	LENn	内蔵 UART からの DMA 転送要求信号の検出方法		0	×	×	エッジ検出	設定禁止	1	0	0	レベル検出	検出無効	1	0	1	設定禁止	1	1	0	ハイ・レベル検出	1	1	1	設定禁止
LVLn	HENn		LENn	DMAREQZ0-DMQREQZ5 の DMA 転送要求信号の検出方法																																																																																																										
					内部信号	外部端子																																																																																																								
0	0	0	エッジ検出	検出無効																																																																																																										
0	0	1		立ち下がり検出	立ち上がり検出																																																																																																									
0	1	0		立ち上がり検出	立ち下がり検出																																																																																																									
0	1	1		立ち上がり／立ち下がり検出 (推奨しません)																																																																																																										
1	0	0	レベル検出	検出無効																																																																																																										
1	0	1		ロー・レベル検出	ハイ・レベル検出																																																																																																									
1	1	0		ハイ・レベル検出	ロー・レベル検出																																																																																																									
1	1	1		設定禁止																																																																																																										
LVLn	HENn	LENn	割り込み信号による DMA 転送要求信号の検出方法																																																																																																											
0	0	0	エッジ検出	検出無効																																																																																																										
0	0	1		設定禁止																																																																																																										
0	1	0		立ち上がり検出																																																																																																										
0	1	1		設定禁止																																																																																																										
1	×	×	レベル検出	設定禁止																																																																																																										
LVLn	HENn	LENn	内蔵 UART からの DMA 転送要求信号の検出方法																																																																																																											
0	×	×	エッジ検出	設定禁止																																																																																																										
1	0	0	レベル検出	検出無効																																																																																																										
1	0	1		設定禁止																																																																																																										
1	1	0		ハイ・レベル検出																																																																																																										
1	1	1		設定禁止																																																																																																										
5	HENn																																																																																																													
4	LENn																																																																																																													

備考 n = 0-7

ビット位置	ビット名	意 味																																				
3	REQDn	DMAACKZm（m：SELn2-SELn0 ビットで選択）がアクティブになるタイミングを選択します。 通常は、DMAREQZm をアサートした側に DMAACKZm を出力するように設定します。 0：DMAACKZm はリード時にアクティブ（DMAREQZm は転送元：ソース） 1：DMAACKZm はライト時にアクティブ（DMAREQZm は転送先：デスティネーション）																																				
2-0	SELn2-SELn0	チャンネルごとに対応する DMA トリガ要因選択レジスタ m（DTFRm）を選択します。 <table><tr><th>SELn2</th><th>SELn1</th><th>SELn0</th><th>DMA トリガ要因選択レジスタの選択</th></tr><tr><td>0</td><td>0</td><td>0</td><td>DTFR0 で選択された DMA 転送要因を選択</td></tr><tr><td>0</td><td>0</td><td>1</td><td>DTFR1 で選択された DMA 転送要因を選択</td></tr><tr><td>0</td><td>1</td><td>0</td><td>DTFR2 で選択された DMA 転送要因を選択</td></tr><tr><td>0</td><td>1</td><td>1</td><td>DTFR3 で選択された DMA 転送要因を選択</td></tr><tr><td>1</td><td>0</td><td>0</td><td>DTFR4 で選択された DMA 転送要因を選択</td></tr><tr><td>1</td><td>0</td><td>1</td><td>DTFR5 で選択された DMA 転送要因を選択</td></tr><tr><td>1</td><td>1</td><td>0</td><td>DTFR6 で選択された DMA 転送要因を選択</td></tr><tr><td>1</td><td>1</td><td>1</td><td>DTFR7 で選択された DMA 転送要因を選択</td></tr></table>	SELn2	SELn1	SELn0	DMA トリガ要因選択レジスタの選択	0	0	0	DTFR0 で選択された DMA 転送要因を選択	0	0	1	DTFR1 で選択された DMA 転送要因を選択	0	1	0	DTFR2 で選択された DMA 転送要因を選択	0	1	1	DTFR3 で選択された DMA 転送要因を選択	1	0	0	DTFR4 で選択された DMA 転送要因を選択	1	0	1	DTFR5 で選択された DMA 転送要因を選択	1	1	0	DTFR6 で選択された DMA 転送要因を選択	1	1	1	DTFR7 で選択された DMA 転送要因を選択
SELn2	SELn1	SELn0	DMA トリガ要因選択レジスタの選択																																			
0	0	0	DTFR0 で選択された DMA 転送要因を選択																																			
0	0	1	DTFR1 で選択された DMA 転送要因を選択																																			
0	1	0	DTFR2 で選択された DMA 転送要因を選択																																			
0	1	1	DTFR3 で選択された DMA 転送要因を選択																																			
1	0	0	DTFR4 で選択された DMA 転送要因を選択																																			
1	0	1	DTFR5 で選択された DMA 転送要因を選択																																			
1	1	0	DTFR6 で選択された DMA 転送要因を選択																																			
1	1	1	DTFR7 で選択された DMA 転送要因を選択																																			

備考 n = 0-7, m = 0-7

(4) チャンネル・インターバル・レジスタ n (CHITVLn)

DMA チャンネル n の DMA トランスファ間隔を設定するレジスタです。
システム・バス・クロック (HCLK) 周期×ITVL15-ITVL0 設定値の間隔を設定できます。
32 ビット単位でリード／ライト可能です。
詳細は、「9.5.9 インターバル・カウント機能」を参照してください。

	31	16	15	0	アドレス	初期値
CHITVLn	0		ITVL15-ITVL0		0F00 0830H +40H×n	0000 0000H
R/W	0		R/W			
ビット位置	ビット名	意 味				
31-16	Reserved	必ず 0 を書き込んでください。リードすると 0 が読み出されます。				
15-0	ITVL15- ITVL0	DMA チャンネル n の DMA トランスファ間隔を設定してください。				

備考 n = 0-7

9.3.5 リンク・レジスタ・セット

リンク・モード時にリンク先を示すレジスタ・セットです。

NXLAn レジスタにディスクリプタ・アドレスを設定して DMA を起動すると、ハードウェアにより NXLAn レジスタの値が CRLAn レジスタへロードされ、ディスクリプタ・リードを行い、DMAC はそのディスクリプタ値に従って DMA トランザクションを開始します。NXLAn レジスタは、リードしたディスクリプタ中のリンク・アドレス値で自動的に更新され、次の DMA トランザクションのディスクリプタ・アドレスとして使用されます。

(1) Next リンク・アドレス・レジスタ n (NXLAn)

DMA チャンネル n のリンク・アドレスを設定するレジスタです。

リンク・モード時のディスクリプタが配置されているアドレスを設定します。

32 ビット単位でリード／ライト可能です。

リンク・モードについては、9.4.3 リンク・モードを参照してください。

	31		2	1	0	アドレス	初期値		
NXLAn	NXLAn31-NXLAn2					0	0	0F00 0838H +40H×n	0000 0000H
R/W	R/W					0	0		

ビット位置	ビット名	意 味
31-0	NXLAn31- NXLAn2	リンク・モード時のリンク先アドレスを設定します。 ワード（32 ビット）・アラインされたアドレスのみ設定できます。下位 2 ビットは 0 固定です。

備考 n = 0-7

注意 命令 RAM 領域、データ RAM 領域はリンク先アドレスに指定することはできません。命令 RAM、データ RAM 領域に配置した場合には、ディスクリプタ・リード時にバス・エラーが発生します。

(2) Current リンク・アドレス・レジスタ n (CRLAn)

リンク・モードに、現在実行しているディスクリプタのアドレスです。

32 ビット単位でリードのみ可能です。

	31		0	アドレス	初期値
CRLAn	CRLAn31-CRLAn0			0F00 083CH +40H×n	0000 0000H
R/W	R				

ビット位置	ビット名	意 味
31-0	CRLAn31- CRLAn0	リンク・モード時に、現在実行しているディスクリプタのアドレスを示します。

備考 n = 0-7

(3) 連続空間ソース・サイズ・レジスタ n (SCNT n)

DMA チャンネル n で、転送元アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。

このレジスタは、スキップ空間ソース・サイズ・レジスタ (SSKP n) とペアで使用します (図 9-4 参照)。

転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFG n) の SDS n 3 ビットをセット (1) してください。

チャンネル・コンフィギュレーション・レジスタ (CHCFG n) の SAD n ビットは、セット (1: 転送元アドレス固定) しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
SCNTn	SCCNTn31-SCCNTn0		0F00 0A00H +20H×n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	SCCNTn31-SCCNTn0	スキップ・モード時に、転送元アドレスの連続アクセス空間サイズを、バイト数で指定します。		

備考 n = 0-7

(4) スキップ空間ソース・サイズ・レジスタ n (SSKP n)

DMA チャンネル n で、転送元アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。

このレジスタは、連続空間ソース・サイズ・レジスタ n (SCNT n) とペアで使用します (図 9-4 参照)。

転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFG n) の SDS n 3 ビットをセット (1) してください。

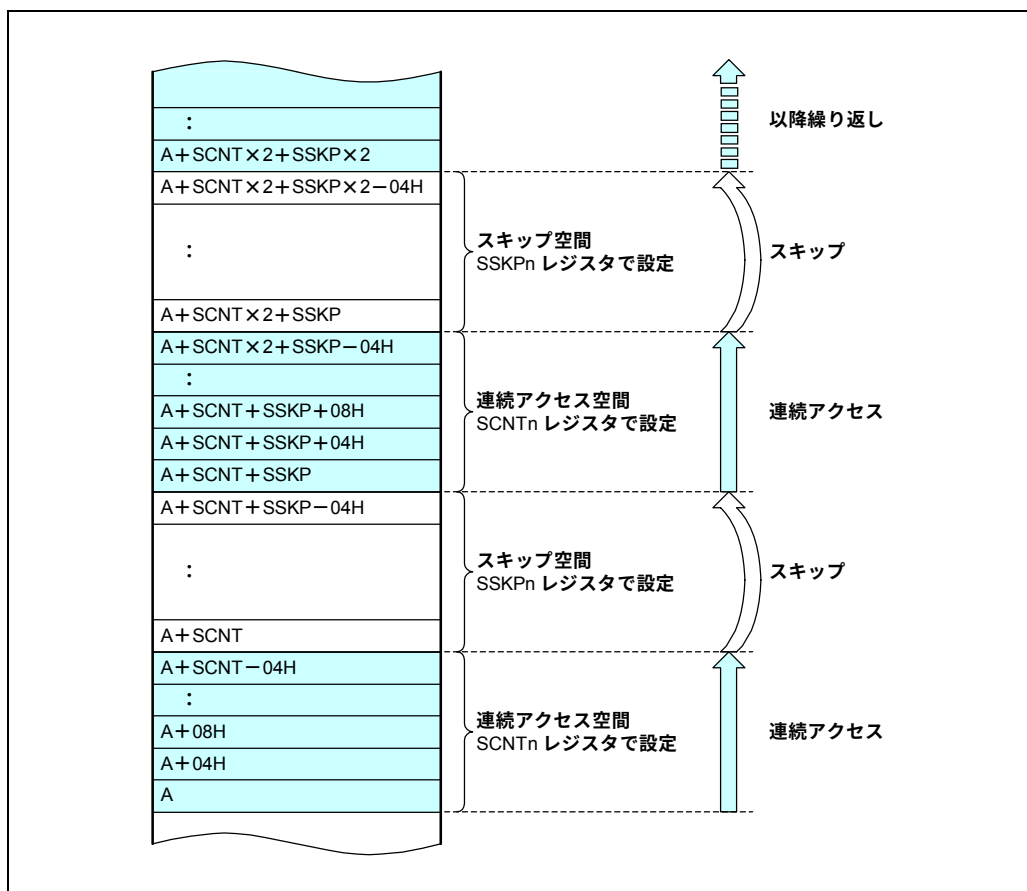
チャンネル・コンフィギュレーション・レジスタ (CHCFG n) の SAD n ビットは、セット (1: 転送元アドレス固定) しないでください。

32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
SSKPn	SSKPn31-SSKPn0		0F00 0A04H +20H×n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	SSKPn31-SSKPn0	スキップ・モード時に、転送元アドレスのスキップ空間サイズを、バイト数で指定します。		

備考 n = 0-7

図 9-4 スキップ・モード時の SSKPn レジスタと SCNTn レジスタの関係



備考 SCNTn, SSKPn の値は、転送元アドレス、チャネル・コンフィギュレーション・レジスタ (CHCFGn) の SDSn2-SDSn0 ビット (ソース・データ・サイズ) の設定値に関係なく設定できます。システム・バス DMAC は、SDSn2-SDSn0 設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

(5) 連続空間デスティネーション・サイズ・レジスタ n (DCNTn)

DMA チャンネル n で、転送先アクセス時の連続アクセス空間サイズを、バイト数で設定するレジスタです。

このレジスタは、スキップ空間デスティネーション・サイズ・レジスタ (DSKPn) とペアで使います (図 9-5 参照)。

転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn3 ビットをセット (1) してください。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn ビットは、セット (1: 転送元アドレス固定) しないでください。またスキップ・モードでは、このレジスタには 0000 0000H を設定しないでください。

32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
DCNTn	DCNTn31-DCNTn0		0F00 0A08H +20H×n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	DCNTn31- DCNTn0	スキップ・モード時に、転送先アドレスの連続アクセス空間サイズを、バイト数で指定します。		

備考 n = 0-7

(6) スキップ空間デスティネーション・サイズ・レジスタ n (DSKPn)

DMA チャンネル n で、転送元アクセス時のスキップ空間サイズを、バイト数で設定するレジスタです。

このレジスタは、連続空間デスティネーション・サイズ・レジスタ n (DCNTn) とペアで使います (図 9-5 参照)。

転送元アドレスにスキップ・モードを利用するためには、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn3 ビットをセット (1) してください。

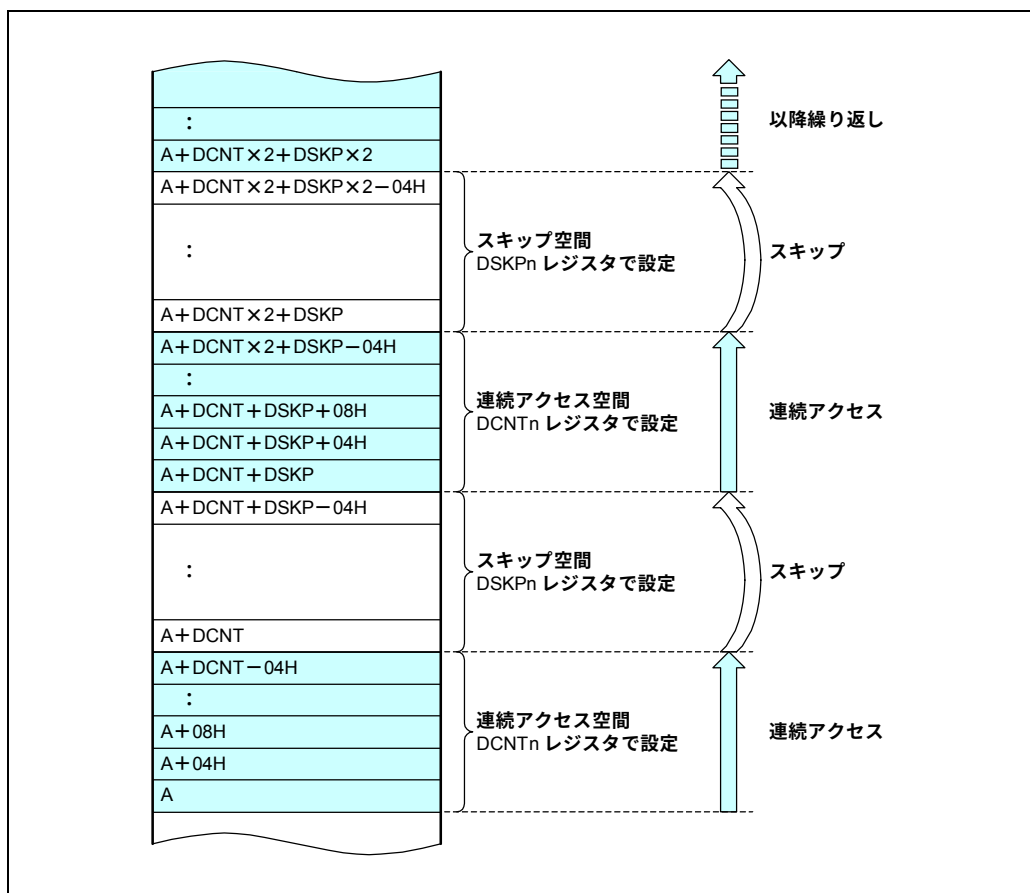
チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DADn ビットは、セット (1: 転送元アドレス固定) しないでください。

32 ビット単位でリード／ライト可能です。

	31	0	アドレス	初期値
DSKPn	DSKPn31-DSKPn0		0F00 0A0CH +20H×n	0000 0000H
R/W	R/W			
ビット位置	ビット名	意 味		
31-0	DSKPn31- DSKPn0	スキップ・モード時に、転送先アドレスのスキップ空間サイズを、バイト数で指定します。		

備考 n = 0-7

図 9-5 スキップ・モード時の DSKPn レジスタと DCNTn レジスタの関係



備考 DCNTn, DSKPn の値は、転送元アドレス、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DDSn2-DDSn0 ビット (デスティネーション・データ・サイズ) の設定値に関係なく設定できます。システム・バス DMAC は、DDSn2-DDSn0 設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

9.3.6 DMA 制御レジスタ

DMA 制御レジスタは、全チャンネルに共通の制御レジスタです。

(1) システム・バス DMAC コントロール・レジスタ (DCTRL)

転送優先順位制御モードを選択するレジスタです。

ビット 31-1 には、必ず 0 を設定してください。

32 ビット単位でリード／ライト可能です。

		31	1	0	アドレス	初期値
DCTRLn		0		PR	0F00 0B00H	0000 0000H
R/W		0		R/W		
ビット位置	ビット名	意 味				
31-1	Reserved	必ず 0 を書き込んでください。				
0	PR	転送優先順位制御モードを選択します (9.5.2 DMA チャンネルの優先順位制御参照)。 0：固定優先順位モード 1：ラウンドロビン・モード				

(2) ディスクリプタ・インターバル・レジスタ (DSCITVL)

チャンネル・コンフィギュレーション・レジスタ n (CHCFGn) の DRRPn ビットをセット (1) した場合は、リンク・モード時のディスクリプタのヘッダをリードした際、LV ビットが 0 (ディスクリプタ無効) の場合、LV = 1 になるまでディスクリプタをリードし続けます。

このときのリード間隔を設定するレジスタです。システム・バス・クロック (HCLK) 周期×256 単位で設定できます。

32 ビット単位でリード／ライト可能です。

	31	16	15	8	7	0	アドレス	初期値
DSCITVL	0		DITVL15-DITVL8		0		0F00 0B04H	0000 0000H
R/W	0		R/W		0			

ビット位置	ビット名	意 味
31-16	Reserved	必ず 0 を書き込んでください。リードすると 0 が読み出されます。
15-8	DITVL15-DITVL8	ディスクリプタのヘッダの LV ビットが 1 になるまでリードし続けるときの、リード間隔を設定します。 (DITVL15-DITVL8 設定値) × 256 × システム・バス・クロック (HCLK) 周期で、ディスクリプタをリードします。
7-0	Reserved	必ず 0 を書き込んでください。リードすると 0 が読み出されます。

(5) システム・バス DMAC 完了ステータス・レジスタ (DSTEND)

全 DMA チャンネルの ENDn (DMA トランザクション (一連の DMA 転送) が完了し INTDMA_n が発生) ビットの状態を表示します。

32 ビット単位でリードのみ可能です。

ライトを行っても、各ビットの値は変化しません。セット条件／クリア条件は、チャンネル・ステータス・レジスタ (CHSTATn) の ENDn ビットを参照してください。

備考 1. 各 DMA チャンネルの END ビットは、チャンネル・ステータス・レジスタ (CHSTATn) レジスタの 5 ビット目にあります。

2. $n = 0-7$

DSTEND

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	END7	END6	END5	END4	END3	END2	END1	END0

R/W 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R R R R R R R R

アドレス
0F00 0B18H
初期値
0000 0000H

ビット位置	ビット名	意 味
31-8	Reserved	リードすると 0 が読み出されます。
7	END7	DMA チャンネル 7 の END7 (DMA トランザクション完了, INTDMA7 発生状態) ビットを表示します。
6	END6	DMA チャンネル 6 の END6 (DMA トランザクション完了, INTDMA6 発生状態) ビットを表示します。
5	END5	DMA チャンネル 5 の END5 (DMA トランザクション完了, INTDMA5 発生状態) ビットを表示します。
4	END4	DMA チャンネル 4 の END4 (DMA トランザクション完了, INTDMA4 発生状態) ビットを表示します。
3	END3	DMA チャンネル 3 の END3 (DMA トランザクション完了, INTDMA3 発生状態) ビットを表示します。
2	END2	DMA チャンネル 2 の END2 (DMA トランザクション完了, INTDMA2 発生状態) ビットを表示します。
1	END1	DMA チャンネル 1 の END1 (DMA トランザクション完了, INTDMA1 発生状態) ビットを表示します。
0	END0	DMA チャンネル 0 の END0 (DMA トランザクション完了, INTDMA0 発生状態) ビットを表示します。

9.3.7 DMA インタフェース・レジスタ

(1) DMA トリガ要因選択レジスタ n (DTFRn)

DMA 転送要求に、DMAREQZn (DMA 転送要求端子) 内蔵周辺機能からの割り込み要求や、外部割り込み端子入力からの割り込み要求による DMA 転送要求を選択するレジスタです。このレジスタで選択した要因が、DMA 転送の起動トリガになります。

DTFRn レジスタは、システム・バス DMAC チャンネル数と同じ 8 本あり、チャンネル・コントロール・レジスタ n (CHCFGn) の SELn2-SELn0 の設定に応じて、各 DMA チャンネルに割り当てられます。

32 ビット単位でリード／ライト可能です。

DMA 転送要求には、以下のトリガを選択できます。

DMA 転送要求の種類		DMA 転送トリガ	トリガ指定
端子からの DMA 転送要求入力	DMA チャンネル 0 専用	DMAREQZ0 (外部端子)	任意
	DMA チャンネル 1 専用	DMAREQZ1 (外部端子)	
	DMA チャンネル 2 専用	DMAREQZ2 (外部端子)	
	DMA チャンネル 3 専用	DMAREQZ3 (外部端子)	
	DMA チャンネル 4 専用	DMAREQZ4 (外部端子)	
	DMA チャンネル 5 専用	DMAREQZ5 (外部端子)	
外部割り込み入力		INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41	立ち上がり
アシンクロナス・シリアル・インタフェース (UART) の送信／受信 FIFO からの DMA 転送要求		UART0-UART3 送信 FIFO DMA 転送要求 UART0-UART3 受信 FIFO DMA 転送要求	ハイ・レベル
内蔵周辺機能からの割り込み	16 ビット・インターバル・タイマ M (TMM)	INTTM0EQ0, INTTM1EQ0, INTTM2EQ0, INTTM3EQ0, INTTM4EQ0, INTTM5EQ0	立ち上がり
	16 ビット・タイマ／カウンタ AA (TAA)	INTTA0CC0, INTTA0CC1, INTTA1CC0, INTTA1CC1, INTTA2CC0, INTTA2CC1, INTTA3CC0, INTTA3CC1, INTTA4CC0, INTTA4CC1, INTTA5CC0, INTTA5CC1	
	16 ビット・タイマ／イベント・カウンタ T (TMT)	INTTEQC00, INTTEQC01, INTTIEC0, INTTEQC10, INTTEQC11, INTTIEC1	
	クロック同期式シリアル・インタフェース (CSI3)	INTCSI30-INTCSI37	
	A/D コンバータ	INTAD	
セントラル DMAC からのトリガ (DMA の連携動作)		INTCDMA0-INTCDMA15 (転送完了) INTCDMACT0-INTCDMACT15 (転送回数一致)	

注意 1. DTFRn レジスタの設定を変更する場合は、必ず DMA 動作を停止してから行ってください。

2. INTPZ32-INTPZ35, INTPZ38, INTPZ39, INTPZ42-INTPZ49 の外部割り込み要求は、DMA 転送トリガに利用できません。

備考 1. すべての割り込み要求は、内部システム・バス・クロック (HCLK) で再同期処理を行っています。

2. n = 0-7

(1/4)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DTFRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9150H +4n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味																																																					
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。																																																					
		IFCn6-IFCn0	DMA 転送トリガ要因の選択	00H	DMA 転送トリガ要因をマスク（ハードウェア転送要求は発生しません）	01H	DMAREQZ0 端子（DMA 転送要求）入力（DTFR0 レジスタのみ設定有効）	02H	DMAREQZ1 端子（DMA 転送要求）入力（DTFR1 レジスタのみ設定有効）	03H	DMAREQZ2 端子（DMA 転送要求）入力（DTFR2 レジスタのみ設定有効）	04H	DMAREQZ3 端子（DMA 転送要求）入力（DTFR3 レジスタのみ設定有効）	05H	DMAREQZ4 端子（DMA 転送要求）入力（DTFR4 レジスタのみ設定有効）	06H	DMAREQZ5 端子（DMA 転送要求）入力（DTFR5 レジスタのみ設定有効）	07H	INTPZ0（外部割り込み）注	08H	INTPZ1（外部割り込み）注	09H	INTPZ2（外部割り込み）注	0AH	INTPZ3（外部割り込み）注	0BH	INTPZ4（外部割り込み）注	0CH	INTPZ5（外部割り込み）注	0DH	INTPZ6（外部割り込み）注	0EH	INTPZ7（外部割り込み）注	0FH	INTPZ16（外部割り込み）注	10H	INTPZ17（外部割り込み）注	11H	INTPZ18（外部割り込み）注	12H	INTPZ19（外部割り込み）注	13H	INTPZ20（外部割り込み）注	14H	INTPZ21（外部割り込み）注	15H	INTPZ22（外部割り込み）注	16H	INTPZ23（外部割り込み）注	17H	INTTEQC00（TMT0 コンペア 0 or キャプチャ割り込み）注	18H	INTTEQC01（TMT0 コンペア 1 or キャプチャ割り込み）注	19H	INTTIEC0（TMT0 エンコーダ・クリア割り込み）注
		IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																				
		00H	DMA 転送トリガ要因をマスク（ハードウェア転送要求は発生しません）																																																				
		01H	DMAREQZ0 端子（DMA 転送要求）入力（DTFR0 レジスタのみ設定有効）																																																				
		02H	DMAREQZ1 端子（DMA 転送要求）入力（DTFR1 レジスタのみ設定有効）																																																				
		03H	DMAREQZ2 端子（DMA 転送要求）入力（DTFR2 レジスタのみ設定有効）																																																				
		04H	DMAREQZ3 端子（DMA 転送要求）入力（DTFR3 レジスタのみ設定有効）																																																				
		05H	DMAREQZ4 端子（DMA 転送要求）入力（DTFR4 レジスタのみ設定有効）																																																				
		06H	DMAREQZ5 端子（DMA 転送要求）入力（DTFR5 レジスタのみ設定有効）																																																				
		07H	INTPZ0（外部割り込み）注																																																				
		08H	INTPZ1（外部割り込み）注																																																				
		09H	INTPZ2（外部割り込み）注																																																				
		0AH	INTPZ3（外部割り込み）注																																																				
		0BH	INTPZ4（外部割り込み）注																																																				
		0CH	INTPZ5（外部割り込み）注																																																				
		0DH	INTPZ6（外部割り込み）注																																																				
		0EH	INTPZ7（外部割り込み）注																																																				
		0FH	INTPZ16（外部割り込み）注																																																				
		10H	INTPZ17（外部割り込み）注																																																				
		11H	INTPZ18（外部割り込み）注																																																				
		12H	INTPZ19（外部割り込み）注																																																				
		13H	INTPZ20（外部割り込み）注																																																				
		14H	INTPZ21（外部割り込み）注																																																				
		15H	INTPZ22（外部割り込み）注																																																				
		16H	INTPZ23（外部割り込み）注																																																				
		17H	INTTEQC00（TMT0 コンペア 0 or キャプチャ割り込み）注																																																				
		18H	INTTEQC01（TMT0 コンペア 1 or キャプチャ割り込み）注																																																				
		19H	INTTIEC0（TMT0 エンコーダ・クリア割り込み）注																																																				

注 割り込み信号 (INT~ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

備考 n = 0-7

ビット位置	ビット名	意 味																																																																				
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。 <table><tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr><tr><td>1AH</td><td>INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>1BH</td><td>INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み) 注</td></tr><tr><td>1CH</td><td>INTTIEC1 (TMT1 エンコーダ・クリア割り込み) 注</td></tr><tr><td>1DH</td><td>INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>1EH</td><td>INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み) 注</td></tr><tr><td>1FH</td><td>INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>20H</td><td>INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み) 注</td></tr><tr><td>21H</td><td>INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>22H</td><td>INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み) 注</td></tr><tr><td>23H</td><td>INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>24H</td><td>INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み) 注</td></tr><tr><td>25H</td><td>INTTA4CC0 (TAA4 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>26H</td><td>INTTA4CC1 (TAA4 コンペア 1 or キャプチャ割り込み) 注</td></tr><tr><td>27H</td><td>INTTA5CC0 (TAA5 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>28H</td><td>INTTA5CC1 (TAA5 コンペア 0 or キャプチャ割り込み) 注</td></tr><tr><td>29H</td><td>INTCDMA0 (セントラル DMAC チャンネル 0 転送完了) 注</td></tr><tr><td>2AH</td><td>INTCDMA1 (セントラル DMAC チャンネル 1 転送完了) 注</td></tr><tr><td>2BH</td><td>INTCDMA2 (セントラル DMAC チャンネル 2 転送完了) 注</td></tr><tr><td>2CH</td><td>INTCDMA3 (セントラル DMAC チャンネル 3 転送完了) 注</td></tr><tr><td>2DH</td><td>INTCDMA4 (セントラル DMAC チャンネル 4 転送完了) 注</td></tr><tr><td>2EH</td><td>INTCDMA5 (セントラル DMAC チャンネル 5 転送完了) 注</td></tr><tr><td>2FH</td><td>INTCDMA6 (セントラル DMAC チャンネル 6 転送完了) 注</td></tr><tr><td>30H</td><td>INTCDMA7 (セントラル DMAC チャンネル 7 転送完了) 注</td></tr><tr><td>31H</td><td>INTCDMA8 (セントラル DMAC チャンネル 8 転送完了) 注</td></tr><tr><td>32H</td><td>INTCDMA9 (セントラル DMAC チャンネル 9 転送完了) 注</td></tr><tr><td>33H</td><td>INTCDMA10 (セントラル DMAC チャンネル 10 転送完了) 注</td></tr><tr><td>34H</td><td>INTCDMA11 (セントラル DMAC チャンネル 11 転送完了) 注</td></tr><tr><td>35H</td><td>INTCDMA12 (セントラル DMAC チャンネル 12 転送完了) 注</td></tr><tr><td>36H</td><td>INTCDMA13 (セントラル DMAC チャンネル 13 転送完了) 注</td></tr><tr><td>37H</td><td>INTCDMA14 (セントラル DMAC チャンネル 14 転送完了) 注</td></tr><tr><td>38H</td><td>INTCDMA15 (セントラル DMAC チャンネル 15 転送完了) 注</td></tr><tr><td>39H</td><td>INTCDMACT0 (セントラル DMAC チャンネル 0 転送回数一致) 注</td></tr><tr><td>3AH</td><td>INTCDMACT1 (セントラル DMAC チャンネル 1 転送回数一致) 注</td></tr></table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	1AH	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み) 注	1BH	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み) 注	1CH	INTTIEC1 (TMT1 エンコーダ・クリア割り込み) 注	1DH	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み) 注	1EH	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み) 注	1FH	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み) 注	20H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み) 注	21H	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み) 注	22H	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み) 注	23H	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み) 注	24H	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み) 注	25H	INTTA4CC0 (TAA4 コンペア 0 or キャプチャ割り込み) 注	26H	INTTA4CC1 (TAA4 コンペア 1 or キャプチャ割り込み) 注	27H	INTTA5CC0 (TAA5 コンペア 0 or キャプチャ割り込み) 注	28H	INTTA5CC1 (TAA5 コンペア 0 or キャプチャ割り込み) 注	29H	INTCDMA0 (セントラル DMAC チャンネル 0 転送完了) 注	2AH	INTCDMA1 (セントラル DMAC チャンネル 1 転送完了) 注	2BH	INTCDMA2 (セントラル DMAC チャンネル 2 転送完了) 注	2CH	INTCDMA3 (セントラル DMAC チャンネル 3 転送完了) 注	2DH	INTCDMA4 (セントラル DMAC チャンネル 4 転送完了) 注	2EH	INTCDMA5 (セントラル DMAC チャンネル 5 転送完了) 注	2FH	INTCDMA6 (セントラル DMAC チャンネル 6 転送完了) 注	30H	INTCDMA7 (セントラル DMAC チャンネル 7 転送完了) 注	31H	INTCDMA8 (セントラル DMAC チャンネル 8 転送完了) 注	32H	INTCDMA9 (セントラル DMAC チャンネル 9 転送完了) 注	33H	INTCDMA10 (セントラル DMAC チャンネル 10 転送完了) 注	34H	INTCDMA11 (セントラル DMAC チャンネル 11 転送完了) 注	35H	INTCDMA12 (セントラル DMAC チャンネル 12 転送完了) 注	36H	INTCDMA13 (セントラル DMAC チャンネル 13 転送完了) 注	37H	INTCDMA14 (セントラル DMAC チャンネル 14 転送完了) 注	38H	INTCDMA15 (セントラル DMAC チャンネル 15 転送完了) 注	39H	INTCDMACT0 (セントラル DMAC チャンネル 0 転送回数一致) 注	3AH	INTCDMACT1 (セントラル DMAC チャンネル 1 転送回数一致) 注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																																					
1AH	INTTEQC10 (TMT1 コンペア 0 or キャプチャ割り込み) 注																																																																					
1BH	INTTEQC11 (TMT1 コンペア 1 or キャプチャ割り込み) 注																																																																					
1CH	INTTIEC1 (TMT1 エンコーダ・クリア割り込み) 注																																																																					
1DH	INTTA0CC0 (TAA0 コンペア 0 or キャプチャ割り込み) 注																																																																					
1EH	INTTA0CC1 (TAA0 コンペア 1 or キャプチャ割り込み) 注																																																																					
1FH	INTTA1CC0 (TAA1 コンペア 0 or キャプチャ割り込み) 注																																																																					
20H	INTTA1CC1 (TAA1 コンペア 1 or キャプチャ割り込み) 注																																																																					
21H	INTTA2CC0 (TAA2 コンペア 0 or キャプチャ割り込み) 注																																																																					
22H	INTTA2CC1 (TAA2 コンペア 1 or キャプチャ割り込み) 注																																																																					
23H	INTTA3CC0 (TAA3 コンペア 0 or キャプチャ割り込み) 注																																																																					
24H	INTTA3CC1 (TAA3 コンペア 1 or キャプチャ割り込み) 注																																																																					
25H	INTTA4CC0 (TAA4 コンペア 0 or キャプチャ割り込み) 注																																																																					
26H	INTTA4CC1 (TAA4 コンペア 1 or キャプチャ割り込み) 注																																																																					
27H	INTTA5CC0 (TAA5 コンペア 0 or キャプチャ割り込み) 注																																																																					
28H	INTTA5CC1 (TAA5 コンペア 0 or キャプチャ割り込み) 注																																																																					
29H	INTCDMA0 (セントラル DMAC チャンネル 0 転送完了) 注																																																																					
2AH	INTCDMA1 (セントラル DMAC チャンネル 1 転送完了) 注																																																																					
2BH	INTCDMA2 (セントラル DMAC チャンネル 2 転送完了) 注																																																																					
2CH	INTCDMA3 (セントラル DMAC チャンネル 3 転送完了) 注																																																																					
2DH	INTCDMA4 (セントラル DMAC チャンネル 4 転送完了) 注																																																																					
2EH	INTCDMA5 (セントラル DMAC チャンネル 5 転送完了) 注																																																																					
2FH	INTCDMA6 (セントラル DMAC チャンネル 6 転送完了) 注																																																																					
30H	INTCDMA7 (セントラル DMAC チャンネル 7 転送完了) 注																																																																					
31H	INTCDMA8 (セントラル DMAC チャンネル 8 転送完了) 注																																																																					
32H	INTCDMA9 (セントラル DMAC チャンネル 9 転送完了) 注																																																																					
33H	INTCDMA10 (セントラル DMAC チャンネル 10 転送完了) 注																																																																					
34H	INTCDMA11 (セントラル DMAC チャンネル 11 転送完了) 注																																																																					
35H	INTCDMA12 (セントラル DMAC チャンネル 12 転送完了) 注																																																																					
36H	INTCDMA13 (セントラル DMAC チャンネル 13 転送完了) 注																																																																					
37H	INTCDMA14 (セントラル DMAC チャンネル 14 転送完了) 注																																																																					
38H	INTCDMA15 (セントラル DMAC チャンネル 15 転送完了) 注																																																																					
39H	INTCDMACT0 (セントラル DMAC チャンネル 0 転送回数一致) 注																																																																					
3AH	INTCDMACT1 (セントラル DMAC チャンネル 1 転送回数一致) 注																																																																					

注 割り込み信号 (INT~ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

備考 n = 0-7

ビット位置	ビット名	意 味																																																																				
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。 <table><tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr><tr><td>3BH</td><td>INTCDMACT2 (セントラル DMAC チャンネル 2 転送回数一致) 注</td></tr><tr><td>3CH</td><td>INTCDMACT3 (セントラル DMAC チャンネル 3 転送回数一致) 注</td></tr><tr><td>3DH</td><td>INTCDMACT4 (セントラル DMAC チャンネル 4 転送回数一致) 注</td></tr><tr><td>3EH</td><td>INTCDMACT5 (セントラル DMAC チャンネル 5 転送回数一致) 注</td></tr><tr><td>3FH</td><td>INTCDMACT6 (セントラル DMAC チャンネル 6 転送回数一致) 注</td></tr><tr><td>40H</td><td>INTCDMACT7 (セントラル DMAC チャンネル 7 転送回数一致) 注</td></tr><tr><td>41H</td><td>INTCDMACT8 (セントラル DMAC チャンネル 8 転送回数一致) 注</td></tr><tr><td>42H</td><td>INTCDMACT9 (セントラル DMAC チャンネル 6 転送回数一致) 注</td></tr><tr><td>43H</td><td>INTCDMACT10 (セントラル DMAC チャンネル 10 転送回数一致) 注</td></tr><tr><td>44H</td><td>INTCDMACT11 (セントラル DMAC チャンネル 11 転送回数一致) 注</td></tr><tr><td>45H</td><td>INTCDMACT12 (セントラル DMAC チャンネル 12 転送回数一致) 注</td></tr><tr><td>46H</td><td>INTCDMACT13 (セントラル DMAC チャンネル 13 転送回数一致) 注</td></tr><tr><td>47H</td><td>INTCDMACT14 (セントラル DMAC チャンネル 14 転送回数一致) 注</td></tr><tr><td>48H</td><td>INTCDMACT15 (セントラル DMAC チャンネル 15 転送回数一致) 注</td></tr><tr><td>49H</td><td>未使用 (設定禁止)</td></tr><tr><td>4AH</td><td>未使用 (設定禁止)</td></tr><tr><td>4BH</td><td>未使用 (設定禁止)</td></tr><tr><td>4CH</td><td>未使用 (設定禁止)</td></tr><tr><td>4DH</td><td>未使用 (設定禁止)</td></tr><tr><td>4EH</td><td>未使用 (設定禁止)</td></tr><tr><td>4FH</td><td>INTCSI30 (CSI30 送受信完了割り込み) 注</td></tr><tr><td>50H</td><td>INTCSI31 (CSI31 送受信完了割り込み) 注</td></tr><tr><td>51H</td><td>INTCSI32 (CSI32 送受信完了割り込み) 注</td></tr><tr><td>52H</td><td>INTCSI33 (CSI33 送受信完了割り込み) 注</td></tr><tr><td>53H</td><td>INTCSI34 (CSI34 送受信完了割り込み) 注</td></tr><tr><td>54H</td><td>INTCSI35 (CSI35 送受信完了割り込み) 注</td></tr><tr><td>55H</td><td>INTCSI36 (CSI36 送受信完了割り込み) 注</td></tr><tr><td>56H</td><td>INTCSI37 (CSI37 送受信完了割り込み) 注</td></tr><tr><td>57H</td><td>INTTM0EQ0 (TMM0 一致割り込み) 注</td></tr><tr><td>58H</td><td>INTTM1EQ0 (TMM1 一致割り込み) 注</td></tr><tr><td>59H</td><td>INTTM2EQ0 (TMM2 一致割り込み) 注</td></tr><tr><td>5AH</td><td>INTTM3EQ0 (TMM3 一致割り込み) 注</td></tr><tr><td>5BH</td><td>INTTM4EQ0 (TMM4 一致割り込み) 注</td></tr></table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	3BH	INTCDMACT2 (セントラル DMAC チャンネル 2 転送回数一致) 注	3CH	INTCDMACT3 (セントラル DMAC チャンネル 3 転送回数一致) 注	3DH	INTCDMACT4 (セントラル DMAC チャンネル 4 転送回数一致) 注	3EH	INTCDMACT5 (セントラル DMAC チャンネル 5 転送回数一致) 注	3FH	INTCDMACT6 (セントラル DMAC チャンネル 6 転送回数一致) 注	40H	INTCDMACT7 (セントラル DMAC チャンネル 7 転送回数一致) 注	41H	INTCDMACT8 (セントラル DMAC チャンネル 8 転送回数一致) 注	42H	INTCDMACT9 (セントラル DMAC チャンネル 6 転送回数一致) 注	43H	INTCDMACT10 (セントラル DMAC チャンネル 10 転送回数一致) 注	44H	INTCDMACT11 (セントラル DMAC チャンネル 11 転送回数一致) 注	45H	INTCDMACT12 (セントラル DMAC チャンネル 12 転送回数一致) 注	46H	INTCDMACT13 (セントラル DMAC チャンネル 13 転送回数一致) 注	47H	INTCDMACT14 (セントラル DMAC チャンネル 14 転送回数一致) 注	48H	INTCDMACT15 (セントラル DMAC チャンネル 15 転送回数一致) 注	49H	未使用 (設定禁止)	4AH	未使用 (設定禁止)	4BH	未使用 (設定禁止)	4CH	未使用 (設定禁止)	4DH	未使用 (設定禁止)	4EH	未使用 (設定禁止)	4FH	INTCSI30 (CSI30 送受信完了割り込み) 注	50H	INTCSI31 (CSI31 送受信完了割り込み) 注	51H	INTCSI32 (CSI32 送受信完了割り込み) 注	52H	INTCSI33 (CSI33 送受信完了割り込み) 注	53H	INTCSI34 (CSI34 送受信完了割り込み) 注	54H	INTCSI35 (CSI35 送受信完了割り込み) 注	55H	INTCSI36 (CSI36 送受信完了割り込み) 注	56H	INTCSI37 (CSI37 送受信完了割り込み) 注	57H	INTTM0EQ0 (TMM0 一致割り込み) 注	58H	INTTM1EQ0 (TMM1 一致割り込み) 注	59H	INTTM2EQ0 (TMM2 一致割り込み) 注	5AH	INTTM3EQ0 (TMM3 一致割り込み) 注	5BH	INTTM4EQ0 (TMM4 一致割り込み) 注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																																					
3BH	INTCDMACT2 (セントラル DMAC チャンネル 2 転送回数一致) 注																																																																					
3CH	INTCDMACT3 (セントラル DMAC チャンネル 3 転送回数一致) 注																																																																					
3DH	INTCDMACT4 (セントラル DMAC チャンネル 4 転送回数一致) 注																																																																					
3EH	INTCDMACT5 (セントラル DMAC チャンネル 5 転送回数一致) 注																																																																					
3FH	INTCDMACT6 (セントラル DMAC チャンネル 6 転送回数一致) 注																																																																					
40H	INTCDMACT7 (セントラル DMAC チャンネル 7 転送回数一致) 注																																																																					
41H	INTCDMACT8 (セントラル DMAC チャンネル 8 転送回数一致) 注																																																																					
42H	INTCDMACT9 (セントラル DMAC チャンネル 6 転送回数一致) 注																																																																					
43H	INTCDMACT10 (セントラル DMAC チャンネル 10 転送回数一致) 注																																																																					
44H	INTCDMACT11 (セントラル DMAC チャンネル 11 転送回数一致) 注																																																																					
45H	INTCDMACT12 (セントラル DMAC チャンネル 12 転送回数一致) 注																																																																					
46H	INTCDMACT13 (セントラル DMAC チャンネル 13 転送回数一致) 注																																																																					
47H	INTCDMACT14 (セントラル DMAC チャンネル 14 転送回数一致) 注																																																																					
48H	INTCDMACT15 (セントラル DMAC チャンネル 15 転送回数一致) 注																																																																					
49H	未使用 (設定禁止)																																																																					
4AH	未使用 (設定禁止)																																																																					
4BH	未使用 (設定禁止)																																																																					
4CH	未使用 (設定禁止)																																																																					
4DH	未使用 (設定禁止)																																																																					
4EH	未使用 (設定禁止)																																																																					
4FH	INTCSI30 (CSI30 送受信完了割り込み) 注																																																																					
50H	INTCSI31 (CSI31 送受信完了割り込み) 注																																																																					
51H	INTCSI32 (CSI32 送受信完了割り込み) 注																																																																					
52H	INTCSI33 (CSI33 送受信完了割り込み) 注																																																																					
53H	INTCSI34 (CSI34 送受信完了割り込み) 注																																																																					
54H	INTCSI35 (CSI35 送受信完了割り込み) 注																																																																					
55H	INTCSI36 (CSI36 送受信完了割り込み) 注																																																																					
56H	INTCSI37 (CSI37 送受信完了割り込み) 注																																																																					
57H	INTTM0EQ0 (TMM0 一致割り込み) 注																																																																					
58H	INTTM1EQ0 (TMM1 一致割り込み) 注																																																																					
59H	INTTM2EQ0 (TMM2 一致割り込み) 注																																																																					
5AH	INTTM3EQ0 (TMM3 一致割り込み) 注																																																																					
5BH	INTTM4EQ0 (TMM4 一致割り込み) 注																																																																					

注 割り込み信号 (INT～ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

備考 n = 0-7

ビット位置	ビット名	意 味																																																														
6-0	IFCn6-IFCn0	DMA チャンネル n のトリガ要因を選択します。																																																														
		<table><tr><th>IFCn6-IFCn0</th><th>DMA 転送トリガ要因の選択</th></tr><tr><td>5CH</td><td>INTTM5EQ0（TMM5 一致割り込み）^{注1}</td></tr><tr><td>5DH</td><td>INTAD（A/D 変換完了割り込み）^{注1}</td></tr><tr><td>5EH</td><td>UART0 受信 FIFO DMA 転送要求（DTFR0 レジスタのみ設定有効）^{注2}</td></tr><tr><td>5FH</td><td>UART0 送信 FIFO DMA 転送要求（DTFR1 レジスタのみ設定有効）^{注2}</td></tr><tr><td>60H</td><td>UART1 受信 FIFO DMA 転送要求（DTFR2 レジスタのみ設定有効）^{注2}</td></tr><tr><td>61H</td><td>UART1 送信 FIFO DMA 転送要求（DTFR3 レジスタのみ設定有効）^{注2}</td></tr><tr><td>62H</td><td>UART2 受信 FIFO DMA 転送要求（DTFR4 レジスタのみ設定有効）^{注2}</td></tr><tr><td>63H</td><td>UART2 送信 FIFO DMA 転送要求（DTFR5 レジスタのみ設定有効）^{注2}</td></tr><tr><td>64H</td><td>UART3 受信 FIFO DMA 転送要求（DTFR6 レジスタのみ設定有効）^{注2}</td></tr><tr><td>65H</td><td>UART3 送信 FIFO DMA 転送要求（DTFR7 レジスタのみ設定有効）^{注2}</td></tr><tr><td>66H</td><td>INTPZ8（外部割り込み）^{注1}</td></tr><tr><td>67H</td><td>INTPZ9（外部割り込み）^{注1}</td></tr><tr><td>68H</td><td>INTPZ10（外部割り込み）^{注1}</td></tr><tr><td>69H</td><td>INTPZ11（外部割り込み）^{注1}</td></tr><tr><td>6AH</td><td>INTPZ12（外部割り込み）^{注1}</td></tr><tr><td>6BH</td><td>INTPZ13（外部割り込み）^{注1}</td></tr><tr><td>6CH</td><td>INTPZ14（外部割り込み）^{注1}</td></tr><tr><td>6DH</td><td>INTPZ15（外部割り込み）^{注1}</td></tr><tr><td>6EH</td><td>INTPZ24（外部割り込み）^{注1}</td></tr><tr><td>6FH</td><td>INTPZ25（外部割り込み）^{注1}</td></tr><tr><td>70H</td><td>INTPZ26（外部割り込み）^{注1}</td></tr><tr><td>71H</td><td>INTPZ27（外部割り込み）^{注1}</td></tr><tr><td>72H</td><td>INTPZ28（外部割り込み）^{注1}</td></tr><tr><td>73H</td><td>INTPZ29（外部割り込み）^{注1}</td></tr><tr><td>74H</td><td>INTPZ30（外部割り込み）^{注1}</td></tr><tr><td>75H</td><td>INTPZ31（外部割り込み）^{注1}</td></tr><tr><td>76H</td><td>INTPZ36（外部割り込み）^{注1}</td></tr><tr><td>77H</td><td>INTPZ37（外部割り込み）^{注1}</td></tr><tr><td>78H</td><td>INTPZ40（外部割り込み）^{注1}</td></tr><tr><td>79H</td><td>INTPZ41（外部割り込み）^{注1}</td></tr></table>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	5CH	INTTM5EQ0（TMM5 一致割り込み） ^{注1}	5DH	INTAD（A/D 変換完了割り込み） ^{注1}	5EH	UART0 受信 FIFO DMA 転送要求（DTFR0 レジスタのみ設定有効） ^{注2}	5FH	UART0 送信 FIFO DMA 転送要求（DTFR1 レジスタのみ設定有効） ^{注2}	60H	UART1 受信 FIFO DMA 転送要求（DTFR2 レジスタのみ設定有効） ^{注2}	61H	UART1 送信 FIFO DMA 転送要求（DTFR3 レジスタのみ設定有効） ^{注2}	62H	UART2 受信 FIFO DMA 転送要求（DTFR4 レジスタのみ設定有効） ^{注2}	63H	UART2 送信 FIFO DMA 転送要求（DTFR5 レジスタのみ設定有効） ^{注2}	64H	UART3 受信 FIFO DMA 転送要求（DTFR6 レジスタのみ設定有効） ^{注2}	65H	UART3 送信 FIFO DMA 転送要求（DTFR7 レジスタのみ設定有効） ^{注2}	66H	INTPZ8（外部割り込み） ^{注1}	67H	INTPZ9（外部割り込み） ^{注1}	68H	INTPZ10（外部割り込み） ^{注1}	69H	INTPZ11（外部割り込み） ^{注1}	6AH	INTPZ12（外部割り込み） ^{注1}	6BH	INTPZ13（外部割り込み） ^{注1}	6CH	INTPZ14（外部割り込み） ^{注1}	6DH	INTPZ15（外部割り込み） ^{注1}	6EH	INTPZ24（外部割り込み） ^{注1}	6FH	INTPZ25（外部割り込み） ^{注1}	70H	INTPZ26（外部割り込み） ^{注1}	71H	INTPZ27（外部割り込み） ^{注1}	72H	INTPZ28（外部割り込み） ^{注1}	73H	INTPZ29（外部割り込み） ^{注1}	74H	INTPZ30（外部割り込み） ^{注1}	75H	INTPZ31（外部割り込み） ^{注1}	76H	INTPZ36（外部割り込み） ^{注1}	77H	INTPZ37（外部割り込み） ^{注1}	78H	INTPZ40（外部割り込み） ^{注1}	79H	INTPZ41（外部割り込み） ^{注1}
IFCn6-IFCn0	DMA 転送トリガ要因の選択																																																															
5CH	INTTM5EQ0（TMM5 一致割り込み） ^{注1}																																																															
5DH	INTAD（A/D 変換完了割り込み） ^{注1}																																																															
5EH	UART0 受信 FIFO DMA 転送要求（DTFR0 レジスタのみ設定有効） ^{注2}																																																															
5FH	UART0 送信 FIFO DMA 転送要求（DTFR1 レジスタのみ設定有効） ^{注2}																																																															
60H	UART1 受信 FIFO DMA 転送要求（DTFR2 レジスタのみ設定有効） ^{注2}																																																															
61H	UART1 送信 FIFO DMA 転送要求（DTFR3 レジスタのみ設定有効） ^{注2}																																																															
62H	UART2 受信 FIFO DMA 転送要求（DTFR4 レジスタのみ設定有効） ^{注2}																																																															
63H	UART2 送信 FIFO DMA 転送要求（DTFR5 レジスタのみ設定有効） ^{注2}																																																															
64H	UART3 受信 FIFO DMA 転送要求（DTFR6 レジスタのみ設定有効） ^{注2}																																																															
65H	UART3 送信 FIFO DMA 転送要求（DTFR7 レジスタのみ設定有効） ^{注2}																																																															
66H	INTPZ8（外部割り込み） ^{注1}																																																															
67H	INTPZ9（外部割り込み） ^{注1}																																																															
68H	INTPZ10（外部割り込み） ^{注1}																																																															
69H	INTPZ11（外部割り込み） ^{注1}																																																															
6AH	INTPZ12（外部割り込み） ^{注1}																																																															
6BH	INTPZ13（外部割り込み） ^{注1}																																																															
6CH	INTPZ14（外部割り込み） ^{注1}																																																															
6DH	INTPZ15（外部割り込み） ^{注1}																																																															
6EH	INTPZ24（外部割り込み） ^{注1}																																																															
6FH	INTPZ25（外部割り込み） ^{注1}																																																															
70H	INTPZ26（外部割り込み） ^{注1}																																																															
71H	INTPZ27（外部割り込み） ^{注1}																																																															
72H	INTPZ28（外部割り込み） ^{注1}																																																															
73H	INTPZ29（外部割り込み） ^{注1}																																																															
74H	INTPZ30（外部割り込み） ^{注1}																																																															
75H	INTPZ31（外部割り込み） ^{注1}																																																															
76H	INTPZ36（外部割り込み） ^{注1}																																																															
77H	INTPZ37（外部割り込み） ^{注1}																																																															
78H	INTPZ40（外部割り込み） ^{注1}																																																															
79H	INTPZ41（外部割り込み） ^{注1}																																																															

注 1. 割り込み信号 (INT~ではじまる信号) を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ず立ち上がりエッジ検出を指定してください。

2. UART からの DMA 転送要求を DMA トリガ要因とする場合は、チャンネル・コンフィギュレーション・レジスタで、必ずハイ・レベル検出を指定してください。

備考 n = 0-7

(2) DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5)

DMA のアクノリッジ出力信号 (DMAACKZn) のアクティブ幅や, DMA 転送要求入力信号 (DMAREQZn) のマスク幅を, バス・クロックの BUSCLK 周期単位で設定するレジスタです。32 ビット単位でリード/ライト可能です。

DMA 転送要求 (DMAREQZn) は, 最短で BUSCLK の 1 クロック幅が入力されると, DMA 転送要求が受け付けられます。また, DMA アクノリッジ信号 (DMAACKZn) は, DMA 転送要求が受け付けられた場合に, 最短で BUSCLK の 1 クロック幅のアクティブ・レベルを出力します。

一般的には BUSCLK 基準で, DMA アクノリッジ信号を検出して, DMA 転送要求がインアクティブになるように設計します。このとき BUSCLK が高速な場合には, タイミング設計が困難になります。このため, DMA アクノリッジ信号を外部回路で容易に検出できるように, アクティブ・レベル幅を任意に設定し, さらに DMA アクノリッジ信号がインアクティブに復帰したタイミングを基点に DMA 転送要求信号をマスクする機構を内蔵しています。

これにより, 外部回路を BUSCLK 基準で見積もることが可能となり, 低速なデバイスを接続することを容易にしています。

- 注意 1.** DMAACKZn 出力の動作モードは, チャンネル・コンフィギュレーション・レジスタ n (CHCFGn) でも制御可能です。DMA 転送インタフェース信号制御レジスタ n (DMAIFCn) では, これに加えて DMAREQZn 入力による DMA 転送要求のオーバラン防止のためのマスク機能もあります。
- 2.** CHCFGn レジスタの AMn2-AMn0 ビットの設定と, DMAIFCn レジスタは重複設定も可能ですが, 一般的な利用方法では, CHCFGn レジスタの AMn2-AMn0 を用いて DMAACKZn 信号の動作をレベル・モードに設定している場合は, DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZn のパルス幅拡張や, DMAREQZn のマスク機能を利用している場合は, CHCFGn レジスタの AMn2-AMn0 ビットはパルス・モードを選択してください。
- 3.** 外部端子の DMA 転送要求信号 (DMAREQZn) の最短受け付け時間は, $1 \times \text{BUSCLK}$ です。
- 4.** 外部端子の DMA アクノリッジ信号 (DMAACKZn) の最短出力期間は, $1 \times \text{BUSCLK}$ です。
- 5.** システム・バス DMAC のチャンネル 6, 7 は, DMA インタフェース信号を利用できないため, このチャンネルに対応する DMAIFC レジスタはありません。
- なお, CHCFGn レジスタの SELn2-SELn0 ビットで, 任意の DMA トリガ要因選択レジスタ m (DTFRm) と DMA チャンネルの関連付けを選択できます。たとえば, DMA チャンネル 7 を DTFR2 に対応させ, DMAREQZ2, DMAACKZ2, DMATCZ2 に割り当てすることも可能です。

備考 n = 0-5, m = 0-7

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
DMAIFCn	DIF ENn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9170H +4n
R/W	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	RQ MKn4	RQ MKn3	RQ MKn2	RQ MKn1	RQ MKn0	0	0	0	AK WDn4	AK WDn3	AK WDn2	AK WDn1	AK WDn0	0000 0000H
R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味																																										
31	DIFENn	DMA 転送インタフェース信号制御機能の許可／禁止を選択します。 0：機能禁止（初期値） 1：機能許可																																										
12-8	RQMKn4- RQMKn0	DMA 転送要求信号（DMAREQZn）のマスク幅 ^{※1} を BUSCLK 単位で設定します。 <table><tr><th>RQ MKn4</th><th>RQ MKn3</th><th>RQ MKn2</th><th>RQ MKn1</th><th>RQ MKn0</th><th>DMAREQZn 信号のマスク幅^{※1}</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0×BUSCLK 周期（初期値）</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1×BUSCLK 周期</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>2×BUSCLK 周期</td></tr><tr><td colspan="5">：</td><td>：</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>30×BUSCLK 周期</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>31×BUSCLK 周期</td></tr></table>	RQ MKn4	RQ MKn3	RQ MKn2	RQ MKn1	RQ MKn0	DMAREQZn 信号のマスク幅 ^{※1}	0	0	0	0	0	0×BUSCLK 周期（初期値）	0	0	0	0	1	1×BUSCLK 周期	0	0	0	1	0	2×BUSCLK 周期	：					：	1	1	1	1	0	30×BUSCLK 周期	1	1	1	1	1	31×BUSCLK 周期
RQ MKn4	RQ MKn3	RQ MKn2	RQ MKn1	RQ MKn0	DMAREQZn 信号のマスク幅 ^{※1}																																							
0	0	0	0	0	0×BUSCLK 周期（初期値）																																							
0	0	0	0	1	1×BUSCLK 周期																																							
0	0	0	1	0	2×BUSCLK 周期																																							
：					：																																							
1	1	1	1	0	30×BUSCLK 周期																																							
1	1	1	1	1	31×BUSCLK 周期																																							
4-0	AKWDn4- AKWDn0	DMA アクノリッジ信号（DMAACKZn）のアクティブ・レベル幅 ^{※2} を BUSCLK 単位で設定します。 <table><tr><th>AK WDn4</th><th>AK WDn3</th><th>AK WDn2</th><th>AK WDn1</th><th>AK WDn0</th><th>DMAACKZn 信号のアクティブ・レベル幅^{※2}</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>+0×BUSCLK 周期（初期値）</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>+1×BUSCLK 周期</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>+2×BUSCLK 周期</td></tr><tr><td colspan="5">：</td><td>：</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>+30×BUSCLK 周期</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>+31×BUSCLK 周期</td></tr></table>	AK WDn4	AK WDn3	AK WDn2	AK WDn1	AK WDn0	DMAACKZn 信号のアクティブ・レベル幅 ^{※2}	0	0	0	0	0	+0×BUSCLK 周期（初期値）	0	0	0	0	1	+1×BUSCLK 周期	0	0	0	1	0	+2×BUSCLK 周期	：					：	1	1	1	1	0	+30×BUSCLK 周期	1	1	1	1	1	+31×BUSCLK 周期
AK WDn4	AK WDn3	AK WDn2	AK WDn1	AK WDn0	DMAACKZn 信号のアクティブ・レベル幅 ^{※2}																																							
0	0	0	0	0	+0×BUSCLK 周期（初期値）																																							
0	0	0	0	1	+1×BUSCLK 周期																																							
0	0	0	1	0	+2×BUSCLK 周期																																							
：					：																																							
1	1	1	1	0	+30×BUSCLK 周期																																							
1	1	1	1	1	+31×BUSCLK 周期																																							

注 1. マスクは DMAACKZn の立ち上がり（インアクティブに変化）から開始されます。

2. DMAACKZn のアクティブ・レベル幅は、CHCFGn レジスタの AMn2-AMn0 ビットで指定したアクノリッジ信号が基準となります。CHCFGn レジスタの AMn0 ビットでは DMAACKZn の出力モードをパルス・モード／レベル・モードから選択できます。

備考 n = 0-5

図 9-6 DMA 用端子信号と内部信号の様子 (1) (DMAIFCn = 8000 0000H)

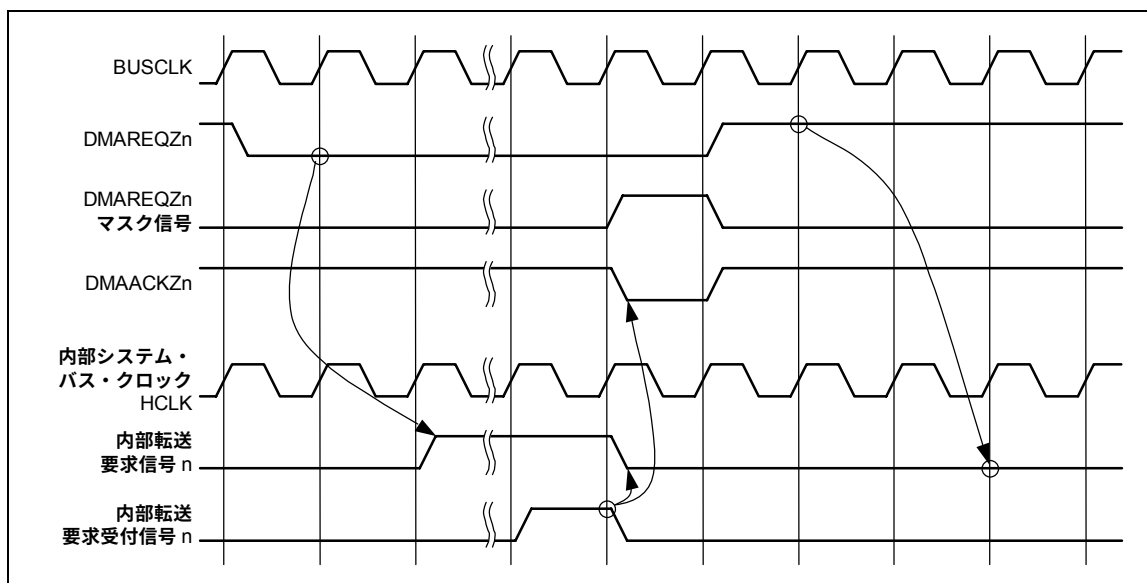


図 9-7 DMA 用端子信号と内部信号の様子 (2) (DMAIFCn = 8000 0000H)

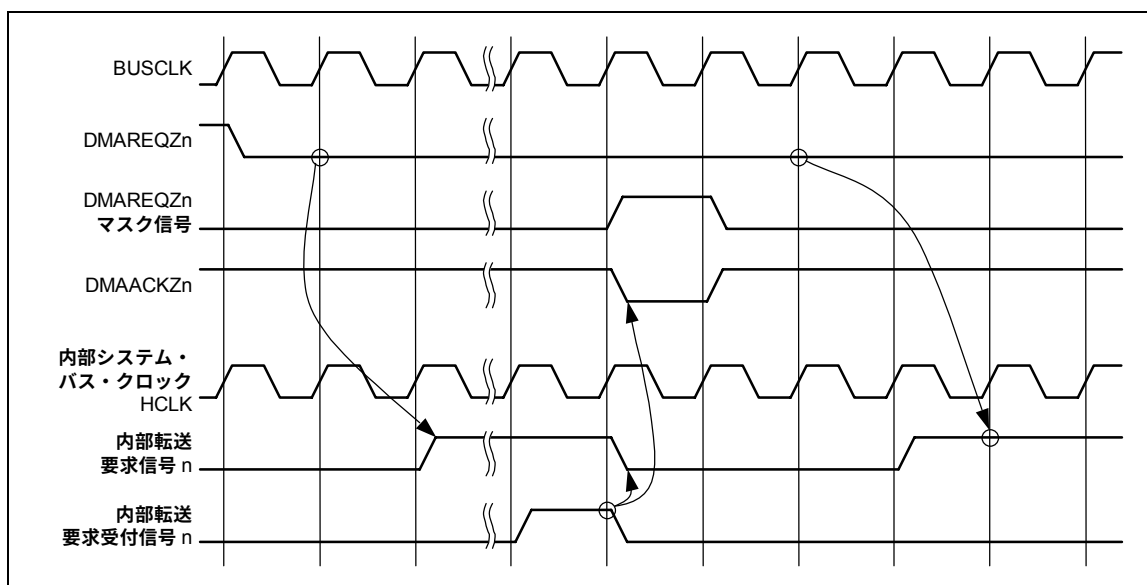


図 9-8 DMA 用端子信号と内部信号の様子 (3) (DMAIFCn = 8000 0200H)

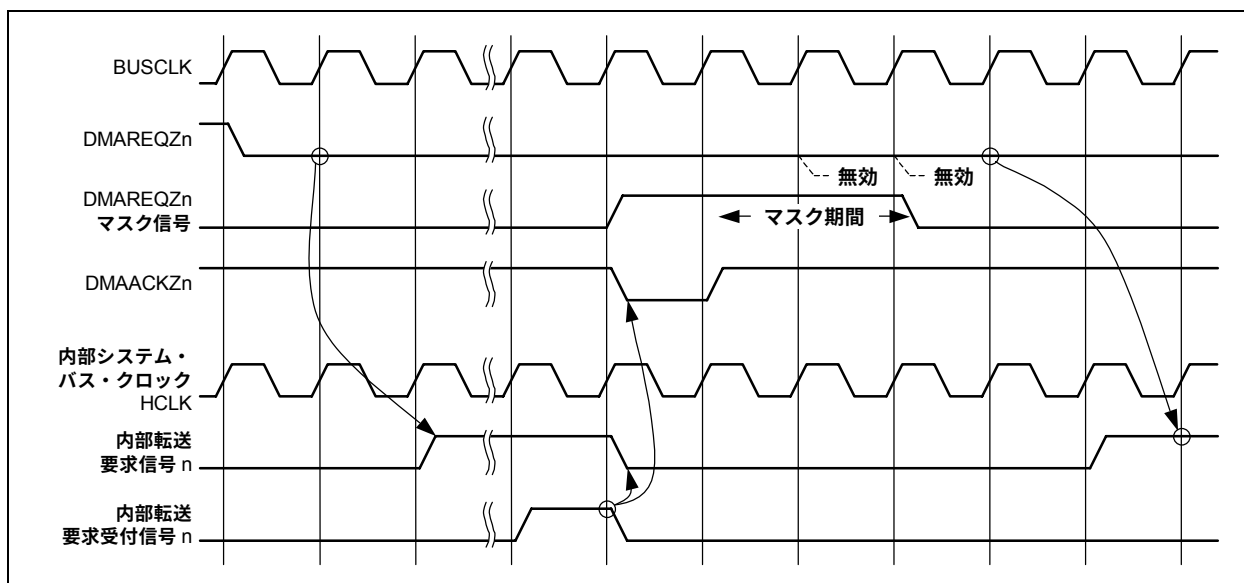


図 9-9 DMA 用端子信号と内部信号の様子 (4) (DMAIFCn = 8000 0002H)

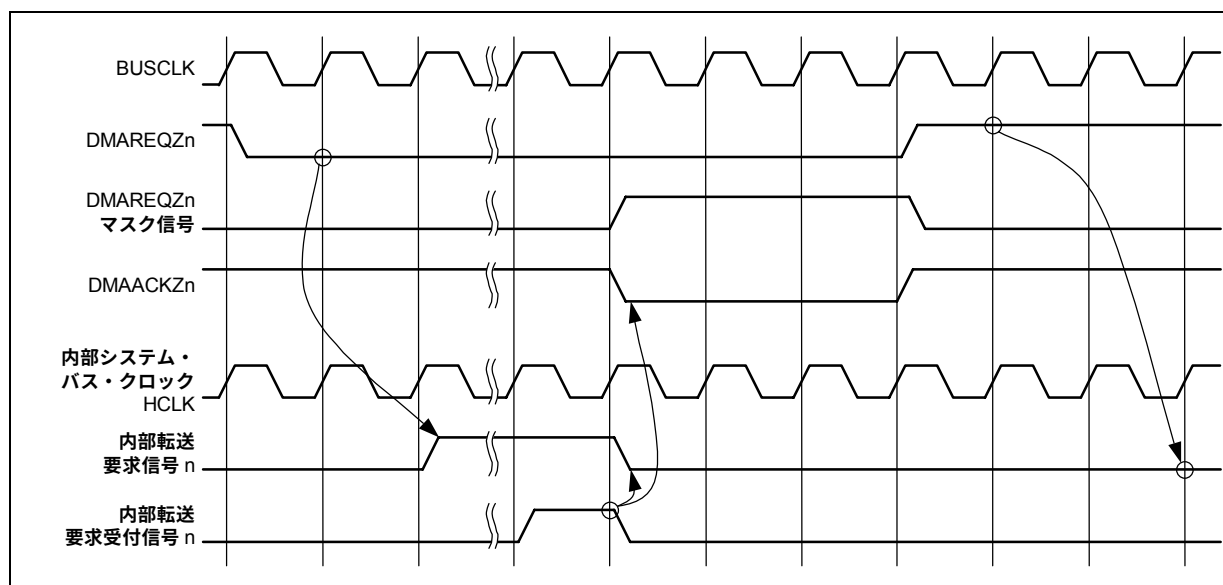


図 9-10 DMA 用端子信号と内部信号の様子 (5) (DMAIFCn = 8000 0002H)

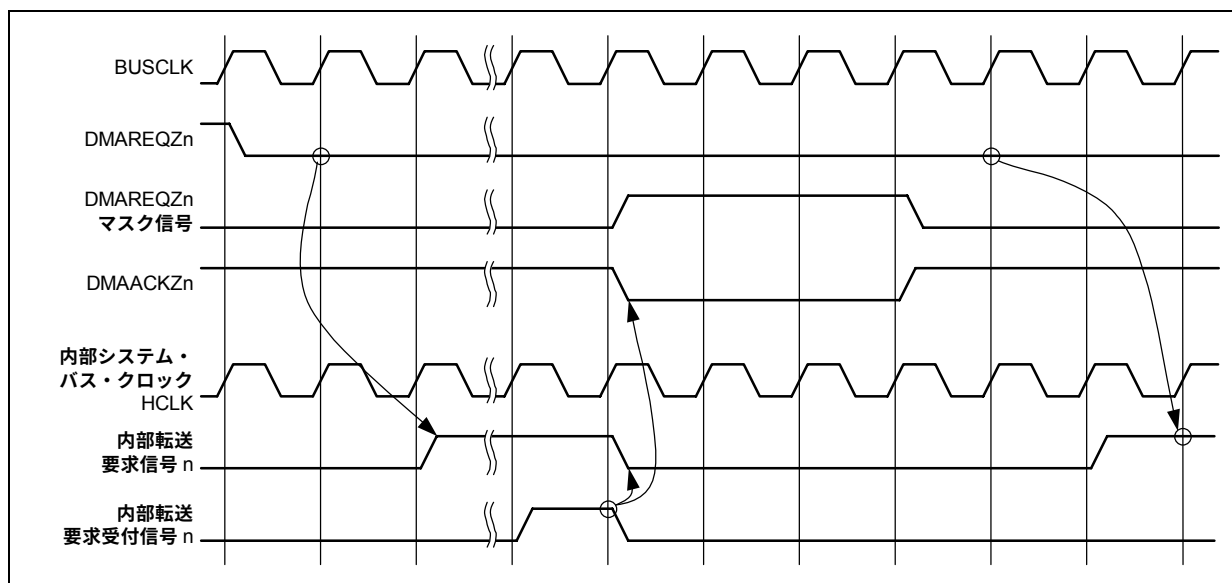
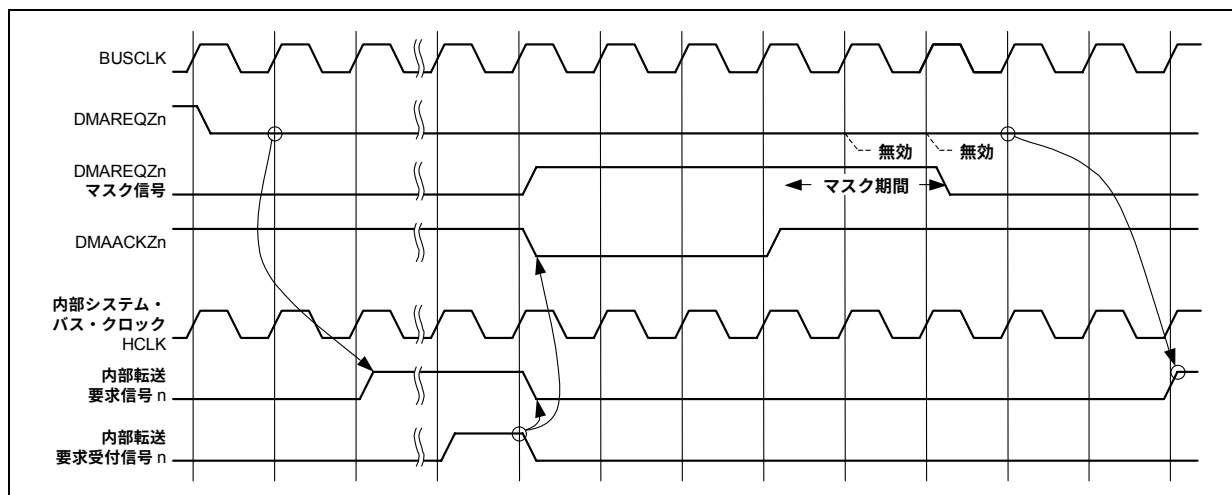


図 9-11 DMA 用端子信号と内部信号の様子 (6) (DMAIFCn = 8000 0202H)



9.4 システム・バス DMAC の動作設定

9.4.1 レジスタ・モードとリンク・モードの選択

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DMSn ビット (ビット 31) で、レジスタ・モードとリンク・モードを選択します。

表 9-4 レジスタ・モードとリンク・モード

CHCFGn レジスタの DMSn ビット	モード	動 作
0	レジスタ・モード	Next レジスタ・セットに設定した値で DMA 転送を行います。
1	リンク・モード	ディスクリプタを Current レジスタにセットして、DMA 転送を行います。 ディスクリプタによる設定、またはチャンネル・コントロール・レジスタ (CHCTRLn) で停止しないかぎり、ディスクリプタのロードと DMA 転送を繰り返します。

備考 n = 0-7

9.4.2 レジスタ・モード

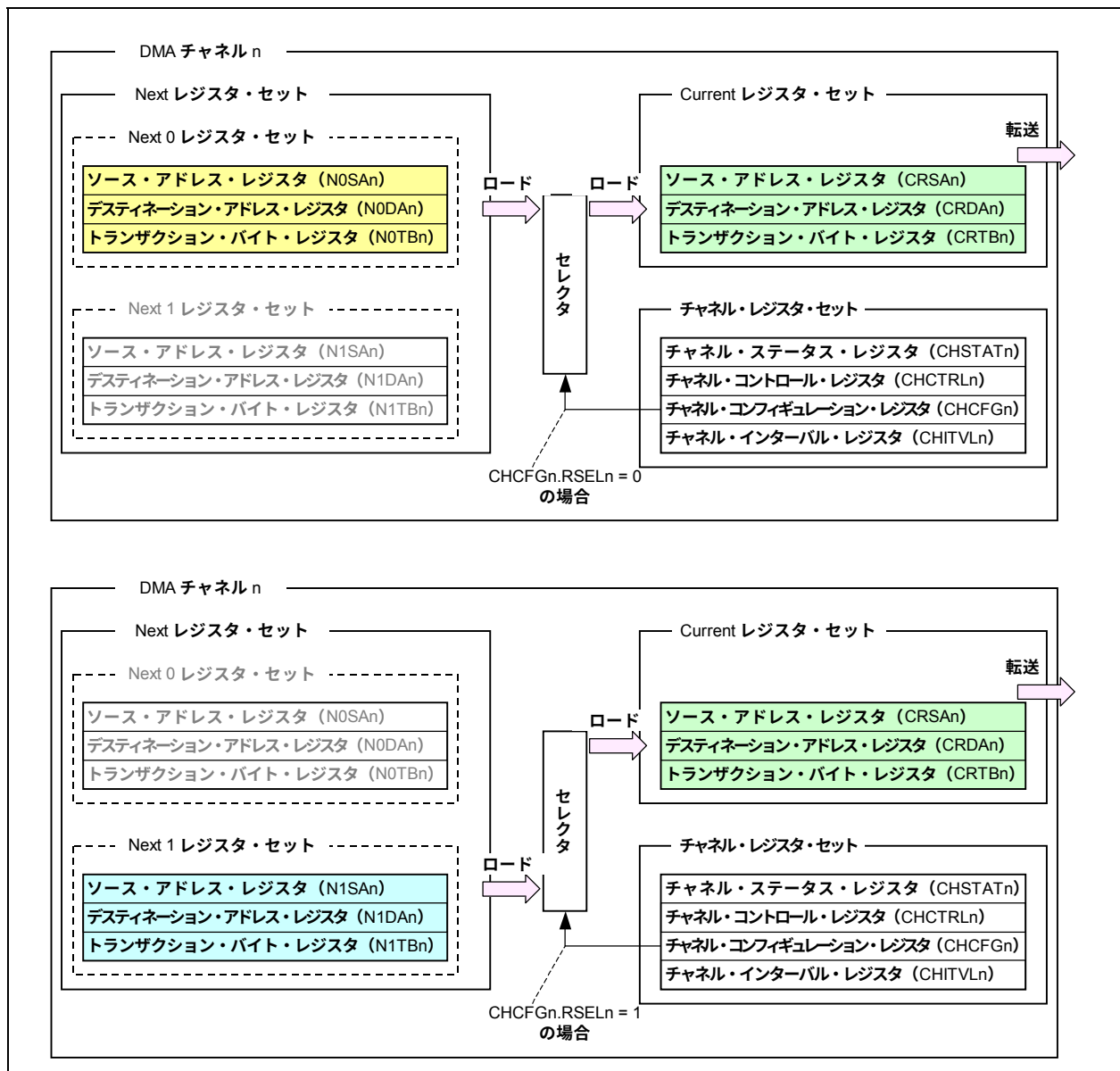
レジスタ・モードは、Next レジスタ・セット設定した値を用いて DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 種類 (Next0 レジスタ・セット, Next1 レジスタ・セット) 設定できます。

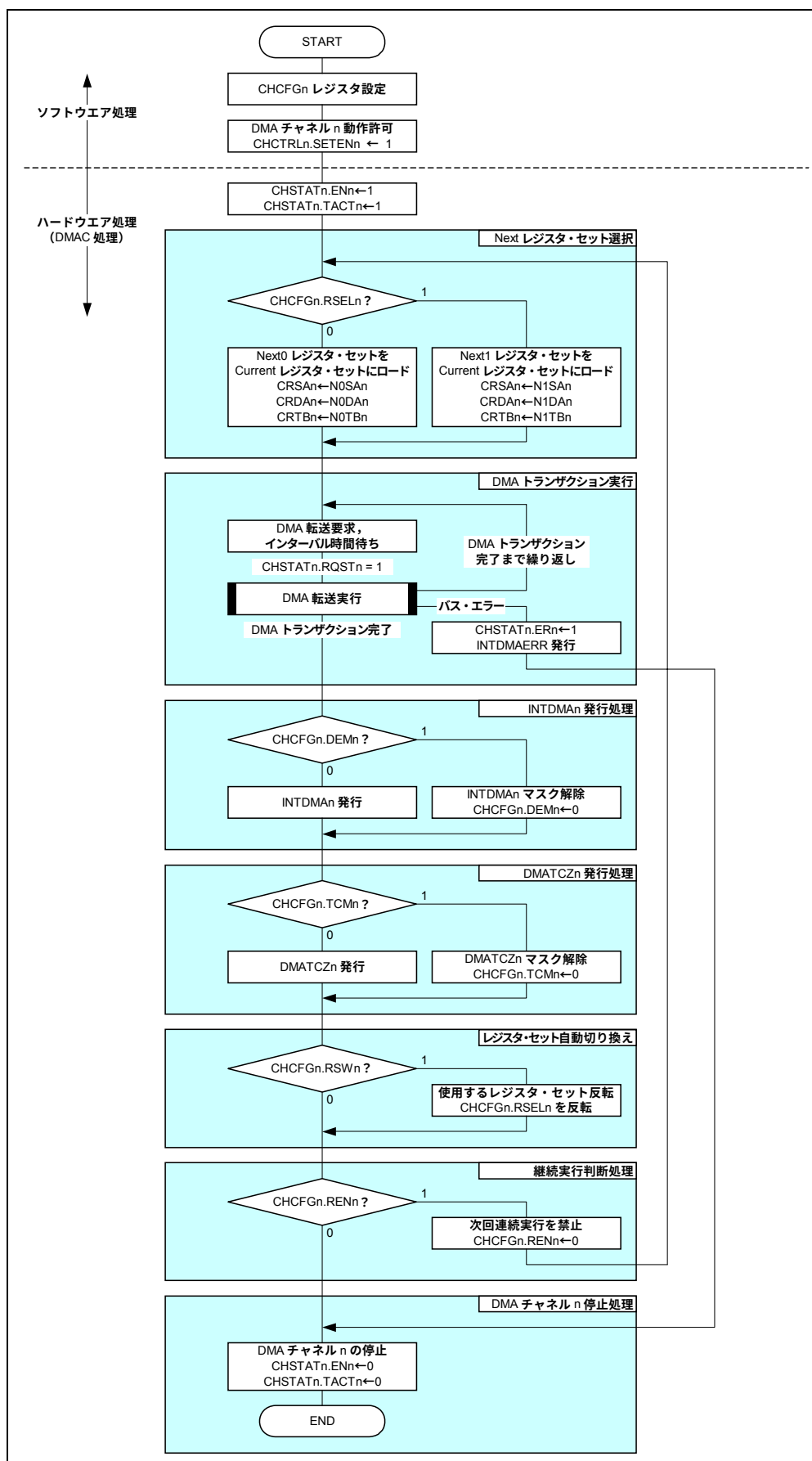
使用する Next レジスタ・セットを選択して転送したり、2 つの Next レジスタ・セットを連続して使用して (Next0 レジスタによる DMA トランザクション終了後、Next1 レジスタによる DMA トランザクション実行など) 転送したりすることができます。

以下に、Next0 を使用する場合と、Next1 を使用する場合のレジスタ・ロード例を示します。

図 9-12 レジスタ・モード動作概要



(1) レジスタ・モードの動作フロー



<1> チャンネル設定

Next0 または Next1 レジスタ・セット (転送先アドレス, 転送元アドレス, 総転送バイト数) を設定します。

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) で、動作モードの設定を行います。

<2> Next レジスタ・セット選択

チャンネル・コントロール・レジスタ (CHCTRLn) レジスタの SETENn ビットをセット (1) すると、チャンネル・ステータス・レジスタ (CHSTATn) の ENn, TACTn ビットがセット (1) され、CHCFGn.RSELn ビットで選択した Next レジスタ・セットの設定値が、Current レジスタ・セットにロードされます。

<3> DMA トランザクション実行

設定に従って、DMA 転送を行います。転送の詳細については、9.5 システム・バス DMAC の動作を参照してください。

この間に DMA 転送エラーが発生すると、INTDMAERR を発行し、DMA 転送を終了します。

<4> INTDMA 発行処理

CHCFGn.DEMn ビットに設定した値に従って、INTDMA_n のマスクが行われます。

DEM_n = 1 の場合は、INTDMA_n は発行されません。また、その直後に自動的に DEM_n ビットがクリア (0) されます。

<5> DMATCZn 発行処理

CHCFGn.TCMn ビットに設定された値に従って、DMATCZ_m (m: CHCFGn レジスタの SELn2-SELn0 ビットで選択) 出力のマスクが行われます。

TCM_n = 1 の場合は、DMATCZ_m は出力されません。また、その直後に自動的に TCM_n ビットがクリア (0) されます。

<6> レジスタ・セット自動切換え

CHCFGn.RSWn ビットに設定された値に従って、もう一方の Next レジスタ・セットを使用するかが決定されます。

<7> 継続実行判断処理

CHCFGn.RENn ビットに設定した値に従って、DMA 転送を継続実行するかが決定されます。

REN_n = 0 の場合は、CHSTATn レジスタの ENn, TACTn をクリア (0) し、DMAC は動作を停止します。

REN_n = 1 の場合は、継続して DMA トランザクションが実行されます。また、その直後に自動的に REN_n ビットがクリア (0) されます。

(2) レジスタの設定

(a) レジスタ・セットの選択 (CHCFGn.DMSn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSELn ビット (ビット 28) で、実行するレジスタ・セットを選択します。

表 9-5 レジスタ・モードの設定

CHCFGn.DMSn	CHCFGn.RSELn	動作
0 (レジスタ・モード選択)	0	Next0 レジスタ・セットを使用する
	1	Next1 レジスタ・セットを使用する

(b) INTDMA 動作の選択 (CHCFGn.DEMn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DEMn ビット (ビット 24) で、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時に、INTDMA_n の動作を選択します。

表 9-6 INTDMA 動作の選択

CHCFGn.DEMn	動作	
0	INTDMA _n 出力許可 (INTDMA _n をマスクしない)	DMA トランザクション (一連の DMA 転送) 完了時に、INTDMA _n を出力します。
1	INTDMA _n 出力禁止 (INTDMA _n をマスクする)	DMA トランザクション (一連の DMA 転送) 完了時に、INTDMA _n を出力しません。 その後、自動的に DEMn ビットはクリア (0) され、INTDMA _n 出力は許可状態に戻ります。

(c) ターミナル・カウント出力 (DMATCZm) のマスク設定 (CHCFGn.TCMn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の TCMn ビット (ビット 25) で、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時のターミナル・カウント (DMATCZm (m: CHCFGn レジスタの SELn2-SELn0 ビットで選択)) 出力のマスク設定を行います。

表 9-7 ターミナル・カウント出力 (DMATCZn) のマスク設定

CHCFGn.TCMn	動作	
0	ターミナル・カウント出力 (DMATCZm) 出力許可 (DMATCZm をマスクしない)	DMA トランザクション (一連の DMA 転送) 完了時に、DMATCZm を出力します。
1	ターミナル・カウント出力 (DMATCZm) 出力禁止 (DMATCZm をマスクする)	DMA トランザクション (一連の DMA 転送) 完了時に、DMATCZm を出力しません。 その後、自動的に TCMn ビットはクリア (0) され、DMATCZm 出力は許可状態に戻ります。

(d) 継続実行の設定 (CHCFGn.RENn)

チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RENn ビット (ビット 30) で, DMA トランザクション (一連の DMA 転送) 完了時に続けて DMA 転送を実行する動作を選択します。

続けて実行する場合は, チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSELn ビットで選択されている Next レジスタ・セットで DMA 転送を行います。

表 9-8 継続実行の設定

CHCFGn.RENn	動 作	備 考
0	RSELn に設定されているレジスタ・セットの DMA トランザクション (一連の DMA 転送) が完了すると, ENn ビットをクリア (0) して DMA 動作を終了します。	DMA トランザクション (一連の DMA 転送) を 1 回実行する場合に設定してください。
1	DMA トランザクション (一連の DMA 転送) 完了後に続けて, 選択されているレジスタ・セットの内容を DMA 転送します。その後, RENn を自動的にクリア (0) します。	レジスタ・セットの内容に従って, 連続して DMA トランザクション (一連の DMA 転送) 実行する場合に設定してください。

(e) レジスタ・セットの自動切り替え設定 (CHCFGn.RSWn)

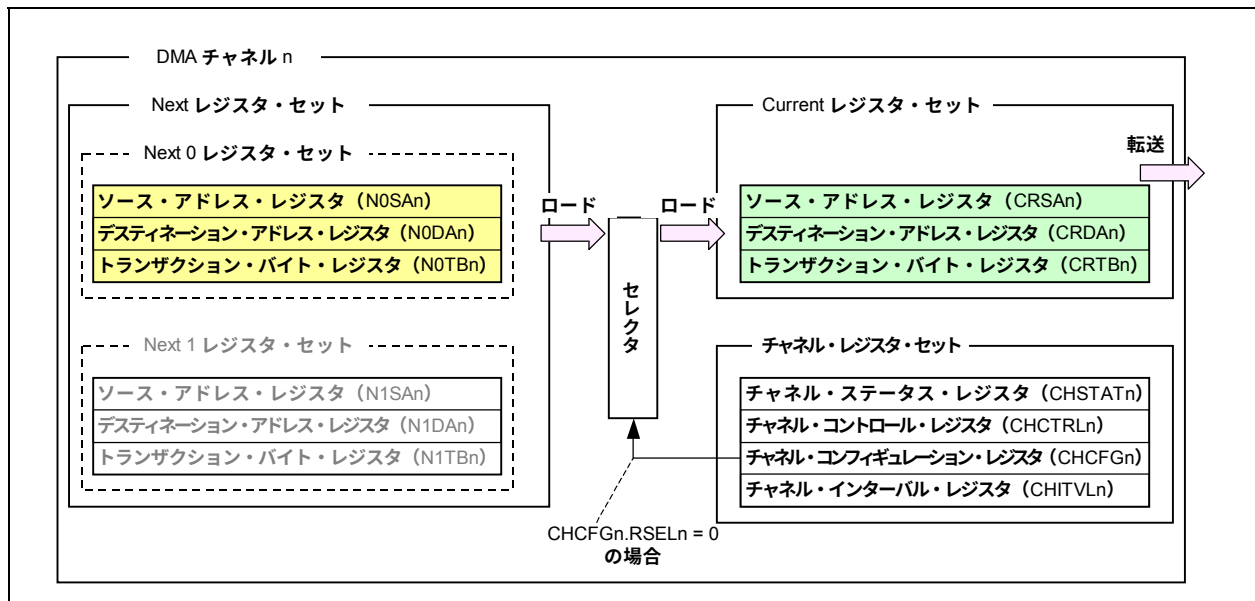
チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSWn ビット (ビット 29) で, DMA トランザクション (一連の DMA 転送) 完了時の RSELn (Next0/Next1 レジスタ・セットの選択) ビットの値の反転動作を選択します。

CHCFGn.RSWn	動 作	備 考
0	RENn = 1 (継続実行許可時) の DMA トランザクション (一連の DMA 転送) が完了時に, レジスタ切り替え (RSELn ビットの反転動作) を行いません。	1 つのレジスタ・セットのみを使う場合に選択してください。
1	RENn = 1 (継続実行許可時) の DMA トランザクション (一連の DMA 転送) が完了時に, レジスタ切り替え (RSELn ビットの反転動作) を行い, 継続実行用にもう一方のレジスタ・セットを選択します。	継続実行のために, レジスタ・セットを切り替える場合に選択してください。

(3) レジスタの設定例

(a) Next0 レジスタ・セットのみを使用する場合

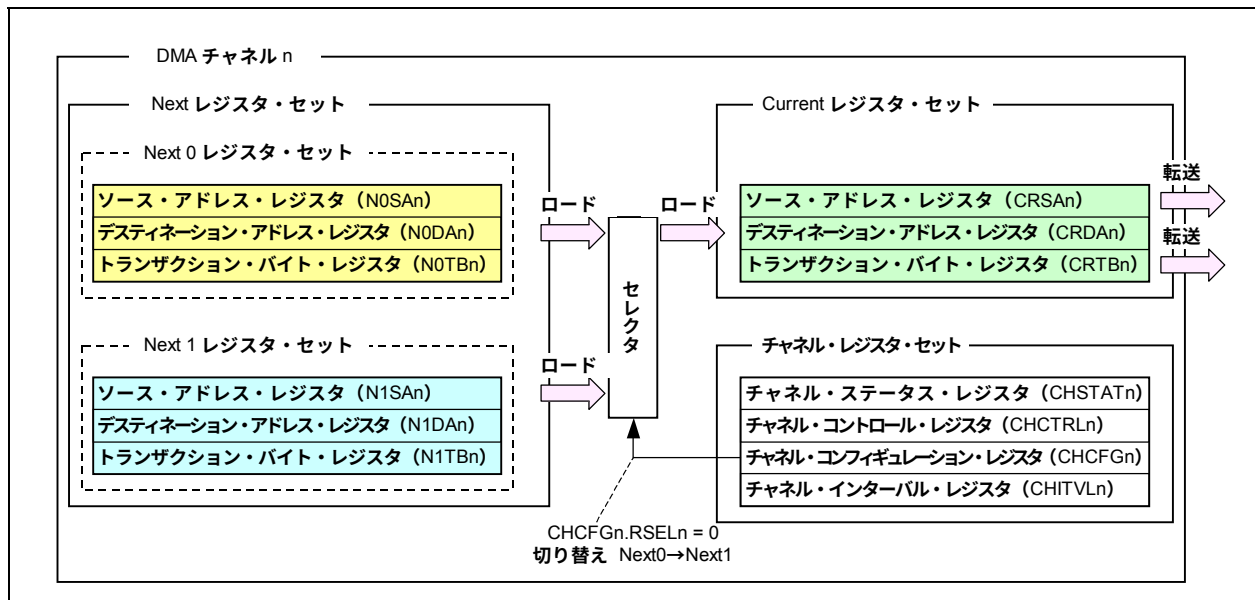
CHCFGn.DMSn	CHCFGn.RSELn	CHCFGn.DEMn	CHCFGn.TCMn	CHCFGn.RSWn	CHCFGn.RENn
0	0	0	0	0	0
レジスタ・モード	Next0 レジスタ・セット	INTDMAn マスクなし	DMATCZm マスクなし	レジスタ切り替え なし	継続実行なし



- <1> CHCTRLn.SETENn をセット (1) すると, CHSTATn.ENn = 1, CHSTATn.TACTn = 1 となり, Next0 レジスタ・セットが Current レジスタ・セットにロードされます。
- <2> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って, DMA トランザクション (一連の DMA 転送) が実行されます。
- <3> CHCFGn.DEMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に INTDMAn が発行されます。
- <4> CHCFGn.TCMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に DMATCZm が発行されます。
- <5> CHCFGn.RENn = 0 なので, ENn, TACTn をクリア (0) して終了します。

(b) 2つのレジスタ・セットを用いて連続実行する場合

CHCFGn.DMSn	CHCFGn.RSELn	CHCFGn.DEMn	CHCFGn.TCMn	CHCFGn.RSWn	CHCFGn.RENn
0	0	1	0	1	1
レジスタ・モード	Next0 レジスタ・セット	INTDMAn マスクあり	DMATCZm マスクなし	レジスタ切り替え あり	継続実行あり



- <1> CHCTRLn.SETENn をセット (1) すると, CHSTATn.ENn = 1, CHSTATn.TACTn = 1, Next0 レジスタ・セットが Current レジスタ・セットにロードされます。
- <2> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って, DMA トランザクション (一連の DMA 転送) が実行されます。
- <3> CHCFGn.DEMn = 1 なので, DMA トランザクション (一連の DMA 転送) 完了後に INTDMAn は発行されません。また自動的に DEMn ビットがクリア (0) されます。つまり継続実行する DMA トランザクションが完了した時点で, INTDMAn が発生することになります。
- <4> CHCFGn.RENn = 1 なので, 継続実行されます。また自動的に RENn ビットがクリア (0) されます。
- <5> CHCFGn.RSWn = 1 なので, 次に実行するレジスタ・セットが切り替わります (RSELn = 0→1)。
- <6> Next1 レジスタ・セットが Current レジスタ・セットにロードされます。
- <7> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って, DMA トランザクション (一連の DMA 転送) が実行されます。
- <8> CHCFGn.DEMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に INTDMAn が発行されます。
- <9> CHCFGn.TCMn = 0 なので, DMA トランザクション (一連の DMA 転送) 完了後に DMATCZm が発行されます。
- <10> CHCFGn.RENn = 0 なので, ENn, TACTn をクリア (0) して終了します。

9.4.3 リンク・モード

リンク・モードは、EP3-AM1 内蔵のワーク RAM や外部メモリに配置した「ディスクリプタ」を設定値としてロードして、DMA トランザクション（一連の DMA 転送）を実行するモードです。

システム・バス DMAC 内部にはチャンネルごとに Next リンク・アドレス・レジスタと Current リンク・アドレス・レジスタがあります。Next リンク・アドレス・レジスタは、次に実行するディスクリプタ・アドレスの設定に使用します。Current リンク・アドレス・レジスタは、現在実行中の DMA トランザクション（一連の DMA 転送）の、ディスクリプタ・アドレスの表示に使用します。

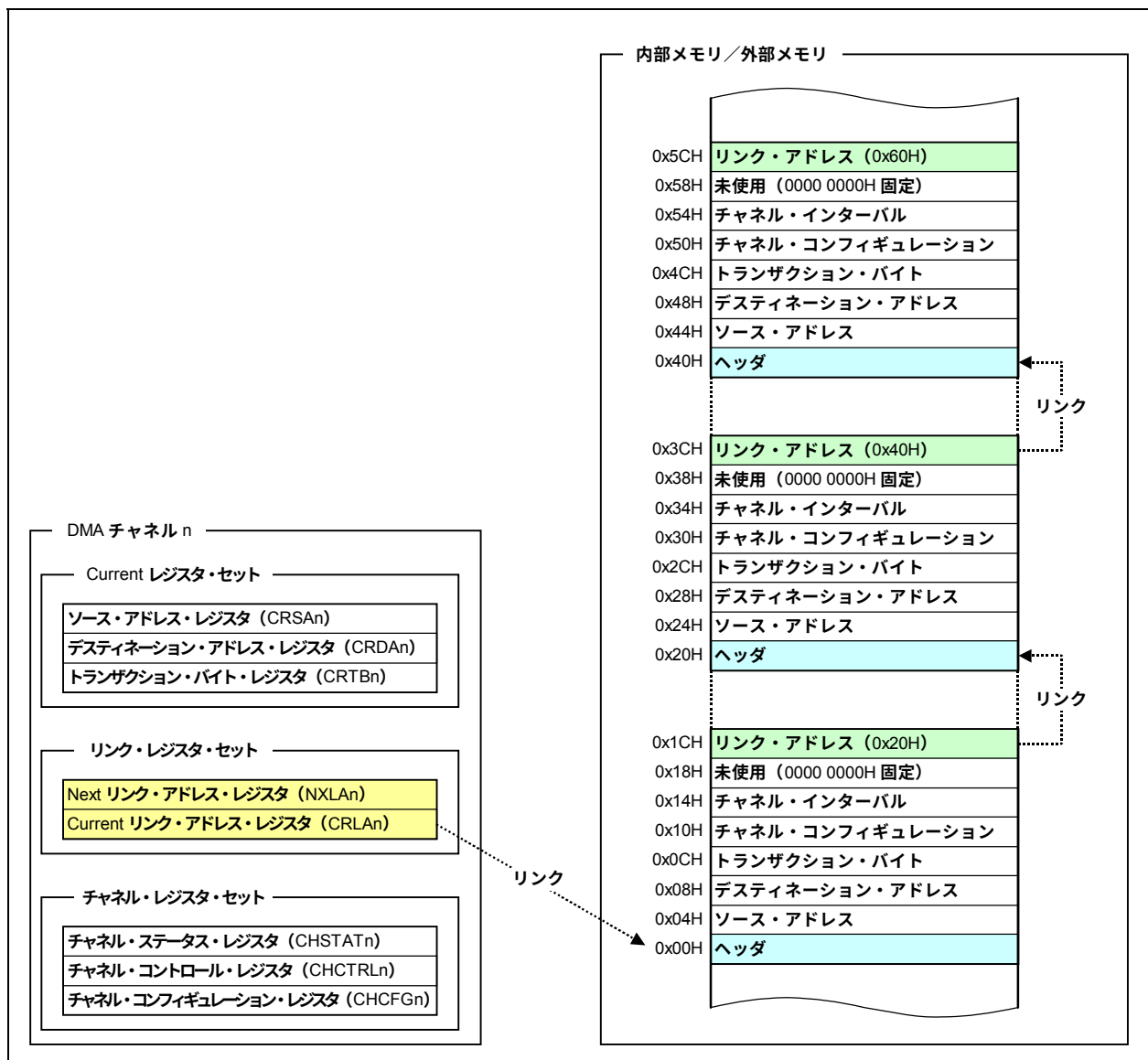
注意 ディスクリプタは、命令 RAM やデータ RAM には配置できません。内蔵 RAM に配置する場合は、ワーク RAM を使用してください。

命令 RAM： 0000 0000H-0007 FFFFH … ディスクリプタ配置不可

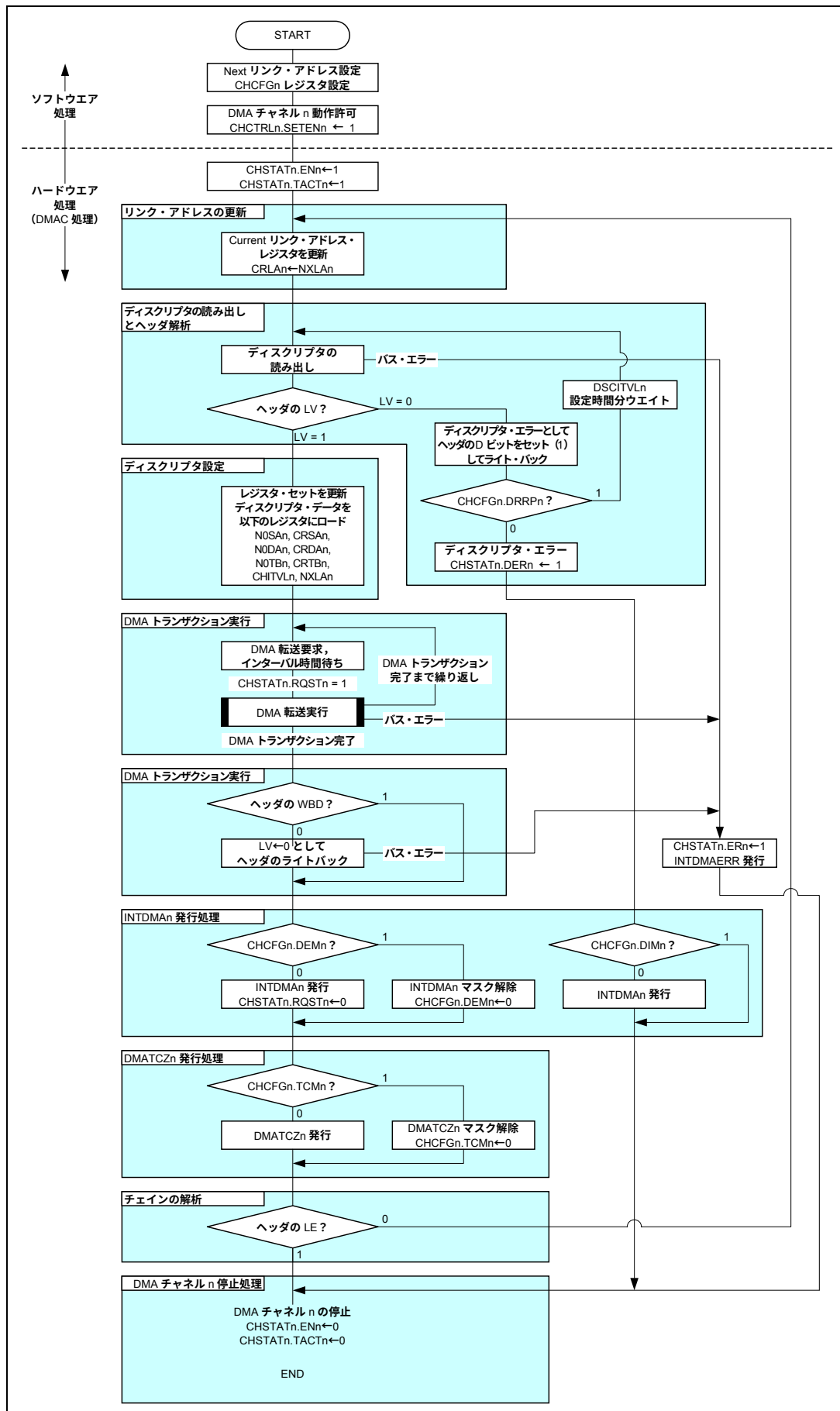
データ RAM： FEC0 0000H-FEC0 7FFFH … ディスクリプタ配置不可

ワーク RAM： 0F18 0000H-0F19 FFFFH … ディスクリプタ配置可

図 9-13 リンク・モード概要



(1) リンク・モードの動作フロー



<1> チャンネル設定

NXLAn にリンク先の先頭アドレスを設定します。

<2> リンク・アドレス更新

CHCTRLn.SETENn ビットをセット (1) すると, CHSTATn.ENn = 1, CHSTATn.TACTn = 1 となり, NXLAn レジスタに設定したリンク・アドレスが CRLAn にロードされます。

<3> ディスクリプタ読み出しとヘッダ判定

ディスクリプタ・ロードを開始し, DMAC は「ヘッダ」の内容を確認します。LV = 0 の場合は, ヘッダの D ビットをセット (1) してライトバックされます。

CHCFGn.DRRPn = 1 の場合は, DSCITVL レジスタに設定された時間後, 再び同じディスクリプタをリードします。

CHCFGn.DRRPn = 0 の場合は, CHSTATn.DERn = 1 になり終了状態 (ENn = 0, TACT = 0) になります。このとき CHCFGn.DIMn = 0 の場合は, INTDMAAn が発行されます。

<4> ディスクリプタ設定

ロードしたディスクリプタは Current レジスタ・セットと, チャンネル・レジスタ・セットに設定されます。また NXLAn に次のリンク先を設定されます。

<5> DMA トランザクション実行

設定された値に従って, DMA トランザクションが実行されます。

この間に DMA 転送エラーが発生すると, INTDMAERR が発行され, DMA 転送を終了します。

<6> ヘッダ書き戻し (ライトバック)

ヘッダの WBD = 0 の場合は, DMAC はヘッダの LV ビットをクリア (0) してヘッダを書き戻します。

<7> INTDMA 発行処理

CHCFGn.DEMn ビットに設定した値に従って, INTDMAAn がマスクされます。

DEMn = 1 の場合は, INTDMAAn は発行されません。

<8> DMATCZn 発行処理

CHCFGn.TCMn ビットに設定された値に従って, DMATCZm (m: CHCFGn レジスタの SELn2-SELn0 ビットで選択) 出力がマスクされます。

TCMn = 1 の場合は, DMATCZm は出力されません。

<9> リンク終了判定

ヘッダの LE = 1 の場合, ディスクリプタ設定での DMA トランザクション後, ENn, TACTn をクリア (0) して終了します。LE = 0 の場合は, Current レジスタを更新し, 次のディスクリプタ・ロードが開始されます。

(2) レジスタ設定

(a) リンク・モード選択 (CHCFGn.DMSn)

チャネル・コンフィギュレーション・レジスタ (CHCFGn) の DMSn ビット (ビット 31) で、リンク・モードを選択します。

ディスクリプタでは、DMSn ビットは書き換えられません。

表 9-9 リンク・モードの選択

CHCFGn.DMSn	動 作
1 (リンク・モード選択)	リンク・モードで動作します。

(b) リンク・アドレスの設定 (NXLAN)

リンク先を示すレジスタとして、Next リンク・アドレス・レジスタ n (NXLAN) と Current リンク・アドレス・レジスタ n (CRLAn) があります。

リンク・モードを開始する際には、Next リンク・アドレス・レジスタ n (NXLAN) にリンク先アドレスを設定してください。

Next リンク・アドレス・レジスタ n (NXLAN) は、ディスクリプタのロード後には、次のリンク先を示します。また、Current リンク・アドレス・レジスタ n (CRLAn) は、現在実行中のリンク・アドレスを示しています。

表 9-10 リンク・アドレス・レジスタ・セット

レジスタ	動 作
Next リンク・アドレス・レジスタ (NXLAN)	次のリンク先の表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
Current リンク・アドレス・レジスタ (CRLAn)	現在実行中のリンク・アドレスを示します。このレジスタはリードのみ可能です。

注意 リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、設定の変更タイミングとハードウェアによる DMA 転送要求 (DMAREQZn や割り込み信号) との同期が取れません。このため、ハードウェアによる DMA 転送要求を利用する場合は、ENn ビットをセット (1) する前に、CHCFGn レジスタの AM2-AM0, LVL, HIEN, LOEN, SEL2-SEL0 を設定し、かつディスクリプタでは、これらのビットを変更しないようにしてください。

(c) ディスクリプタの設定

システム・バス DMAC は、2 種類のディスクリプタ・フォーマットをサポートしています。

フォーマットの切り替えは、ディスクリプタの 1 ワード目 (ヘッダ) のビット 31-28 の DSCFM フィールドで指定してください。

以下に、DSCFM の値と、ディスクリプタ・フォーマットの関係を示します。

表 9-11 ディスクリプタ・フォーマット

DSCFM フィールドの値	0001b	0011b
ディスクリプタ・サイズ	8 ワード	4 ワード
リンク・アドレス	○	○
チャンネル・インターバル	○	— (reload)
チャンネル・コンフィギュレーション	○	— (reload)
トランザクション・サイズ	○	— (Header)
デスティネーション・アドレス	○	○
ソース・アドレス	○	○
ヘッダ	○ (no STS)	○ (STS)

注意 1. 上記以外の DSCFM フィールドの値を設定しないでください。

2. ディスクリプタで、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の DMSn ビットの設定は変更できません (リンク・モード固定)。
3. ディスクリプタで、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RENn, RSWn ビットの設定を変更できますが、これらはレジスタ・モードで利用するビットのため、動作に影響を与えません。
4. ディスクリプタで、チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の RSELn ビットの設定を変更できますが、リンク・モードでは、Next0 レジスタ・セットのみ使用されます。

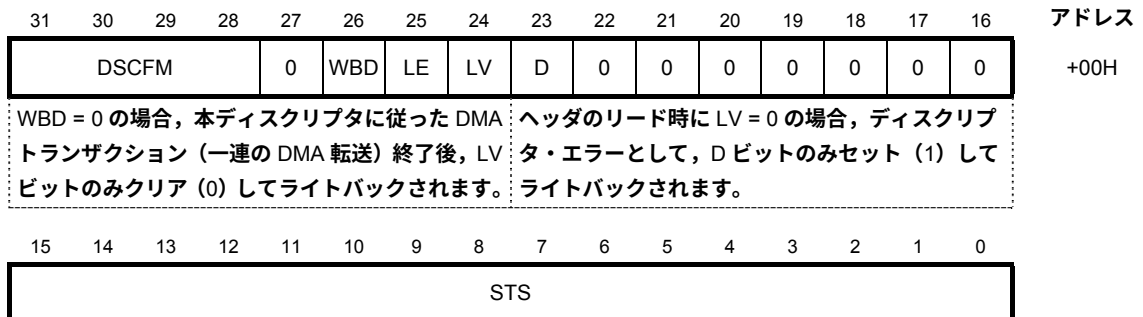
表 9-12 ディスクリプタの各フィールドの説明

フィールド	記 号	説 明
リンク・アドレス	○	現在のディスクリプタによる DMA 転送の後にリードする、次のディスクリプタ・アドレス (リンク・アドレス) を指定します。
チャンネル・インターバル, チャンネル・コンフィギュレーション	○	チャンネル・インターバル, チャンネル・コンフィギュレーションを指定します。
	— (reload)	チャンネル・インターバル, チャンネル・コンフィギュレーションを省略し、前回の設定値を引き続き使用します。
トランザクション・サイズ	○	トランザクション・バイト・サイズを指定します。
	— (Header)	トランザクション・バイト・サイズを省略し、ヘッダの STS フィールドの値を総転送バイト数として使用します。STS フィールドは 16 ビットのため、最大設定サイズは 65,536 バイトです。
デスティネーション・アドレス	○	転送先アドレスを指定します。
ソース・アドレス	○	転送元アドレスを指定します。
ヘッダ	○ (no STS)	ヘッダのビット 15-0 の STS フィールドは無効です。 総転送バイト数は、ディスクリプタのトランザクション・サイズが使用されます。
	○ (STS)	ヘッダのビット 15-0 の STS フィールドは有効です。 STS フィールドに設定した値が、総転送バイト数になります。

(i) ヘッダの設定

ヘッダは、ディスクリプタの状態等を示します。

ヘッダは、リンク・モードでの DMA 転送開始前にリードされます。また DMA トランザクション (一連の DMA 転送) 終了後に、ライトバックされます。



ビット位置	ビット名	意 味
31-28	DSCFM	(Descriptor Format) 表 9-11 に示す、2 種類のいずれかのディスクリプタのフォーマットを指定します。
27	Reserved	0 を設定してください。
26	WBD	(Write Back Disable) LV ビットのライトバック動作を設定します。 0 : DMA トランザクション (一連の DMA 転送) 完了後に LV ビットを 0 に書き戻す 1 : DMA トランザクション (一連の DMA 転送) 完了後に LV ビットを書き戻さない
25	LE	(Link End) このディスクリプタの DMA トランザクション (一連の DMA 転送) のリンク継続状態を示します。 リンクの最後では、このビットをセット (1) してください。 0 : リンク継続 1 : リンク終了
24	LV	(Link Valid) ディスクリプタの有効/無効を示します。 WBD = 0 の場合、ディスクリプタに従った DMA トランザクション (一連の DMA 転送) 完了後に、LV ビットをクリア (0) してライトバックします。ヘッダ設定では 1 を設定してください。 0 : ディスクリプタ無効 1 : ディスクリプタ有効
23	D	(Descriptor Error) ディスクリプタ・エラー・ビットです。ヘッダのロード時に LV = 0 (ディスクリプタ無効) の場合、DMAC は、このビットをセット (1) してライトバックします。 0 : エラーなし 1 : ディスクリプタ・エラー
22-16	Reserved	0 を設定してください。
15-0	STS	(Short Transaction Size) DSCFM フィールドに 0011b を設定した場合、このフィールドで DMA 転送の総バイト数を設定します。設定可能な最大値は 65,536 バイトです。このとき、STS には 0 は設定できません。

注意 DMAC 動作中にディスクリプタを順次追加する場合、LV ビットのセット (1) は、バイト・アクセスでライトしてください。DMAC は D ビットのライトバックをバイト・アクセスでライトするため、この操作により LV ビットのソフトウェアによるセット (1) と、DMAC による D ビットのライトバックの競合を回避できます。

(ii) ヘッダ以外のディスクリプタの設定

ヘッダ以外のディスクリプタの各データは、DMAC 内部のレジスタと同じ仕様です。

それぞれ、表 9-13 のように対応しています。DMAC 内部レジスタの仕様は、8.3 セントラル DMAC のレジスタを参照してください。

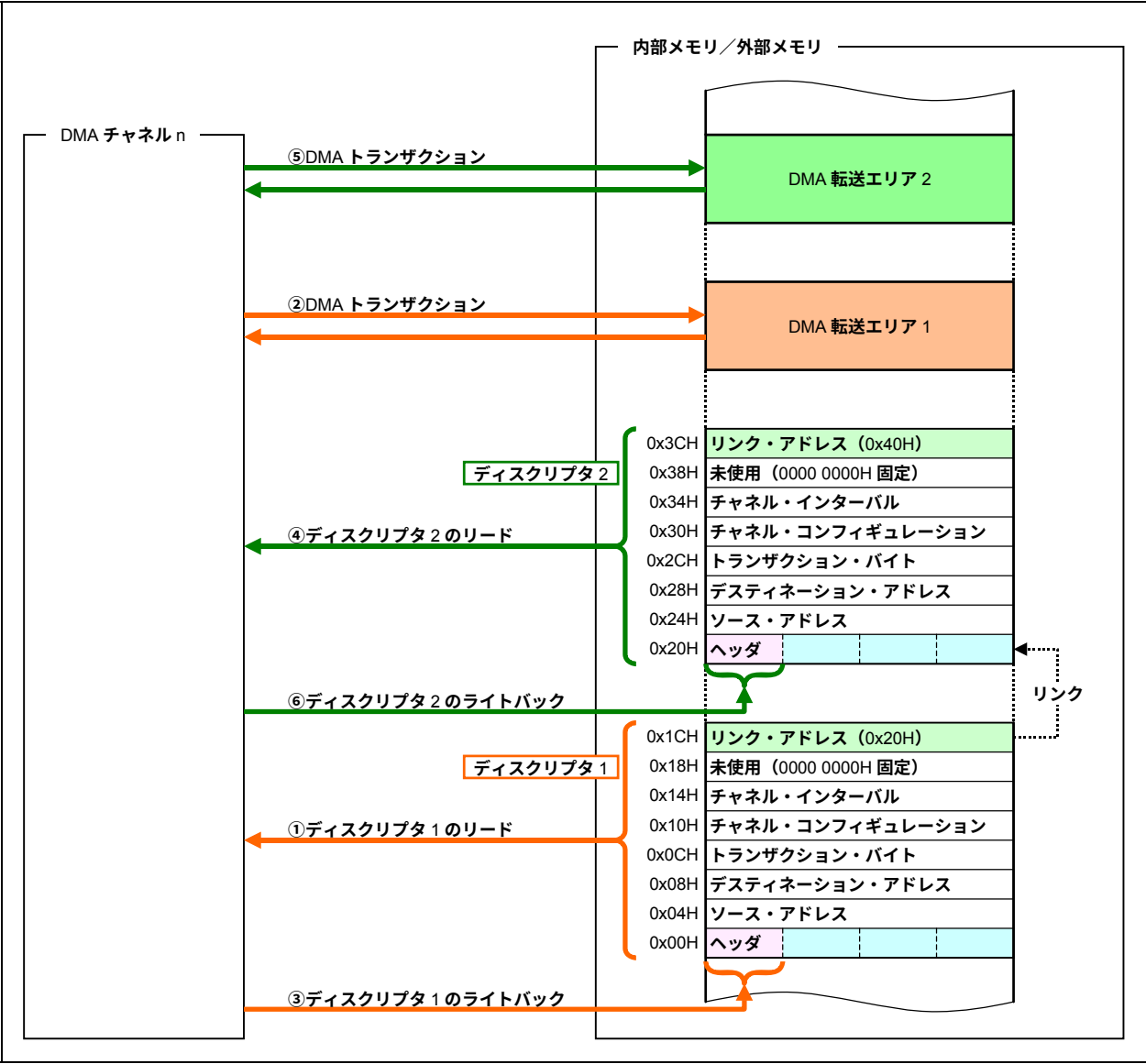
表 9-13 ヘッダ以外のディスクリプタと DMAC 内部レジスタの関係

ディスクリプタの オフセット・ アドレス	ディスクリプタ	DMAC 内部レジスタ
+04H	ソース・アドレス	ソース・アドレス・レジスタ (CRSAn)
+08H	デスティネーション・アドレス	デスティネーション・アドレス・レジスタ (CRDAn)
+0CH	トランザクション・バイト	トランザクション・バイト・レジスタ (CRTBn)
+10H	チャンネル・コンフィギュレーション	チャンネル・コンフィギュレーション・レジスタ (CHCFGn)
+14H	チャンネル・インターバル	チャンネル・インターバル・レジスタ (CHITVLn)
+18H	必ず 0000 0000H を設定してください。	—

注意 CHCFGn レジスタの DMSn ビットはディスクリプタで書き換えることはできません。

(3) ディスクリプタ領域と DMA 転送領域の概略

図 9-14 ディスクリプタ領域と DMA 転送領域の概略



① ディスクリプタ・リード

DMAC 内の Next リンク・アドレス・レジスタ (NXLAN) に設定した値を, Current リンク・アドレス・レジスタ (CRLAn) にロードし, CRLAn レジスタが示すメモリ空間上の「ディスクリプタ 1」から, ディスクリプタがリードされます。

② DMA 転送 (DMA トランザクション)

ディスクリプタのヘッダの LV = 1 の場合は, ディスクリプタ情報に従って DMA 転送が実行されます。

③ ディスクリプタ・ライトバック

設定バイト数の DMA トランザクション終了後, ヘッダの WBD = 0 の場合は, ディスクリプタ 1 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック, その他のフィールドは①でリードした値をバイト・ライトでライトバックされます。

④ ディスクリプタ・リード

①でリードしたディスクリプタのヘッダの LE = 0 の場合は, ディスクリプタ中の Next リンク・アドレスで示されるアドレス (ディスクリプタ 2) から, 次のディスクリプタがリードされます。

⑤ DMA 転送 (DMA トランザクション)

ディスクリプタのヘッダの LV = 1 の場合は, ディスクリプタ情報に従って DMA 転送が実行されます。

⑥ ディスクリプタ・ライトバック

設定バイト数の DMA トランザクション終了後, ヘッダの WBD = 0 の場合は, ディスクリプタ 2 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック, その他のフィールドは④でリードした値をバイト・データとして, バイト・アクセスでライトバックされます。

以降④-⑥の繰り返し

- 備考** 1. ヘッダの LE = 1, WBD = 0 の場合は, そのディスクリプタ設定で DMA トランザクションを実行し, LV = 0 としてライトバックして終了します。
2. ヘッダの LE = 1, WBD = 1 の場合は, そのディスクリプタ設定で DMA トランザクションを実行して終了します。ライトバックは行われません。
3. ヘッダの LV = 0 の場合は, ヘッダの D ビットに 1 をライトバック後, CHCFGn.DRRPn = 1 の場合は, DSCITVLn レジスタの DITVL フィールドに従ったインターバル後に再度ディスクリプタのリードが行われます。CHCFGn.DRRPn = 0 の場合は, DMA を停止します。

(4) ディスクリプタに関する注意事項

- (i) リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア転送要求との同期を取ることはできません。このため、ハードウェア転送要求を用いる場合、CHCTRLn.SETENn ビットをセット (1) する前に CHCFGn レジスタの AMn2-AMn0, LVLn, HENn, LENn, SELn2-SELn0 ビットを設定し、かつディスクリプタでは、これらのビットを変更しないようにしてください。
- (ii) ディスクリプタでは、CHCFGn レジスタの DMS ビットは変更できません (常にリンク・モードとなります)。また、ディスクリプタで CHCFGn レジスタの RENn, RSWn, RSELn ビットは変更できますが、動作に影響を与えません。
- (iii) システム・バス DMAC は、ヘッダの DSCFM ビットと LV ビットを参照して、そのディスクリプタの有効/無効を判断します。このため、ディスクリプタの DSCFM と LV ビットに相当するメモリ領域を、DMAC がアクセスする前に初期化 (DSCFM = 0001b or 0011b, LV = 0) してください。
- (iv) DMA 動作中に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 の書き込みは、ヘッダ以降のディスクリプタ (ソース・アドレス、デスティネーション・アドレス・・・ネクスト・リンク・アドレス) を設定したあとに行ってください。これは、ソフトウェアによるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値を使って DMA が実行されることを防ぐためです。
- (v) ヘッダの D ビットへのライト・バック情報を残したい場合は、ヘッダの LV ビットへの 1 のライトはバイト・アクセスで行ってください。
- (vi) ディスクリプタは、命令 RAM、データ RAM 以外の領域に配置してください。
命令 RAM、データ RAM 領域に配置した場合には、ディスクリプタ・リード時にバス・エラーが発生します。

(5) リンクの構成例

リンク・モードでは、ディスクリプタを以下のように「リスト構成」、「ループ構成」とすることができます。

(a) リスト構成

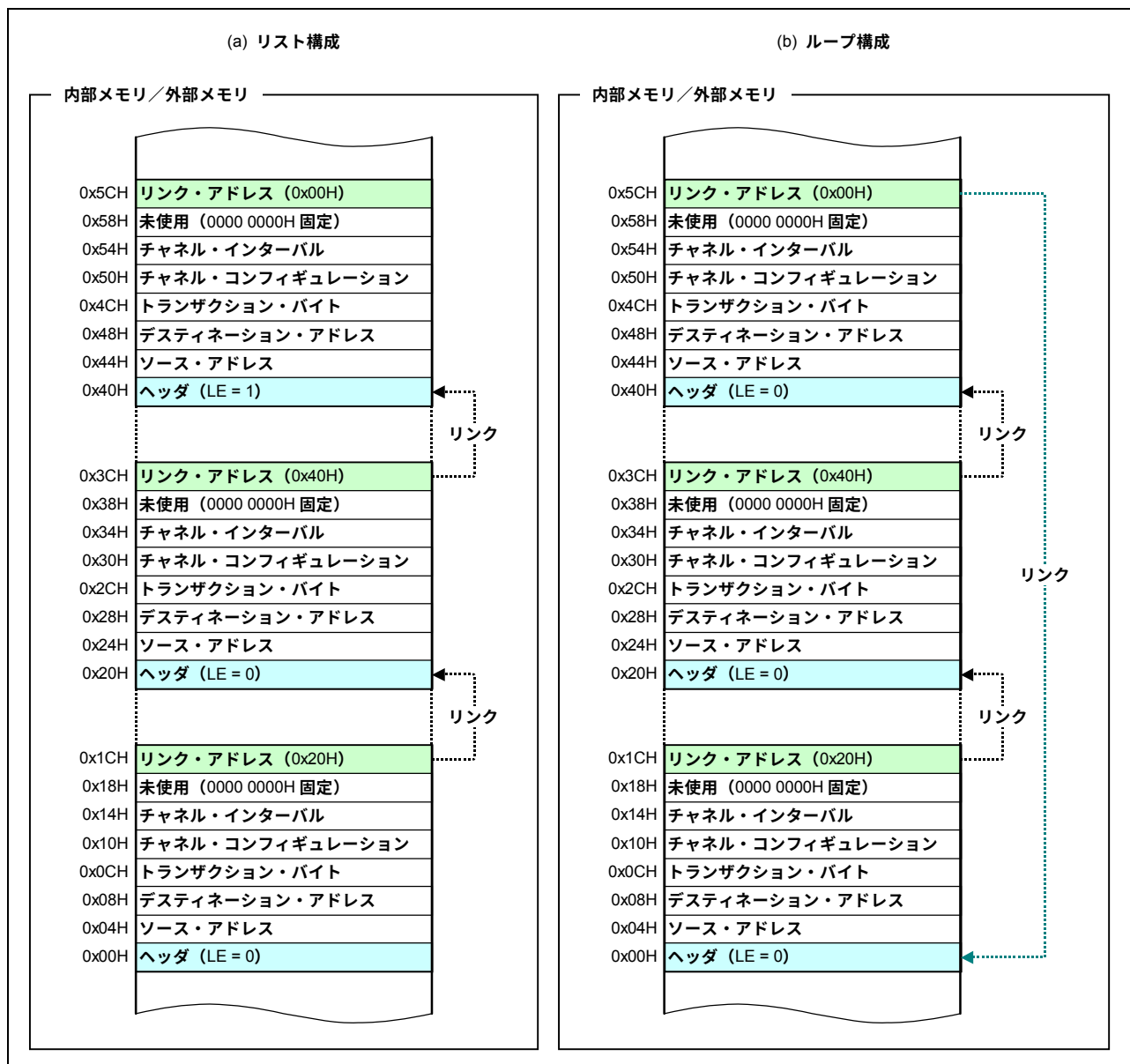
最終ディスクリプタのヘッダの LE = 1 とすることで、リンクを終了します。

リスト構成の場合は、最終ディスクリプタの LE ビットは 1 に設定してください。

(b) ループ構成

最終ディスクリプタのリンク先を、先頭ディスクリプタのアドレスに設定すると、ディスクリプタはループ構成になります。ループを終了する場合は、DMAC がディスクリプタをリードする前に、ヘッダの LE ビットを 1 に書き換えるか、転送中断手順に従って DMAC を停止させてください。

図 9-15 リンク・モードの構成例



9.4.4 ライト・オンリー・モード

チャネル・コンフィギュレーション・レジスタ (CHCFGn) の WONLYn ビットをセット (1) すると、ライト・オンリー・モードになります。

ライト・オンリー・モードでは、DMA リード・トランスファを実行しません。ただしリンク・モードではディスクリプタのリードは行います。NxSAn (CHCFGn.RSELn = 0 の場合は x = 0, CHCFGn.RSELn = 1 の場合は x = 1) レジスタに設定した値をライト・データとして使用します。

ライト・オンリー・モードは、メモリ領域の初期化などに使用してください。

表 9-14 ライト・オンリー・モードの設定

CHCFGn.WONLYn	モード	動 作
0	通常モード	Next レジスタ・セットに設定された値で DMA 転送を行います。
1	ライト・オンリー・モード	DMA リード・トランスファを行わず、DMA ライト・トランスファのみ行います。

9.5 システム・バス DMAC の動作

9.5.1 転送モード

システム・バス DMAC は、シングル転送モードとブロック転送モードをサポートしています。

モードの選択は、チャンネルごとにチャンネル・コンフィギュレーション・レジスタ (CHCFGn) の TMn ビットで設定してください。

シングル転送モードは、DMAREQZn 端子からの DMA 転送要求を用いた DMA 転送や、内蔵周辺機能から発生した割り込み要求による DMA 転送に用います。

ブロック転送モードは、ソフトウェア・トリガによる DMA 転送に用います。

表 9-15 DMA 転送モードの選択

CHCFGn.TMn	モード	動作
0	シングル転送モード	1 回の DMAREQZn からの DMA 転送要求、または内蔵周辺機能から発生した割り込み要求に対して、1 回の DMA 転送を実行します。 DMAREQZn 入力を用いた DMA 転送、内蔵周辺機能から発生した割り込み要求による DMA 転送に使用します。
1	ブロック転送モード	1 回のソフトウェア・トリガに対して、DMA トランザクション（一連の DMA 転送）が完了するまで、転送を実行します。 ソフトウェア・トリガによる DMA 転送に使用します。

注意 DTFR レジスタで、内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合と UART 送信／受信 FIFO DMA 転送要求を選択している場合は、DMA 転送要求信号の検出と、DMA アクノリッジ信号の出力モードは、以下のように選択してください。

なお、外部割り込み入力は、外部割り込みモード・レジスタ (INTM1-INTM4) で、立ち上がり、立ち下がりいずれかのエッジを指定し、DMA 転送要求の検出は、チャンネル・コンフィギュレーション・レジスタ n (CHCFGn) で、立ち上がりエッジ検出を選択してください。

DMA 転送要求要因	DMA 転送要求信号の検出	DMA アクノリッジ信号の出力モード
内蔵周辺機能の割り込み要求信号、 外部割り込み入力	立ち上がりエッジ検出 CHCFGn.LVLn = 0 CHCFGn.LENn = 0 CHCFGn.HENn = 1	Don't Care
UART 送信／受信 FIFO DMA 転送要求	ハイ・レベル検出 CHCFGn.LVLn = 1 CHCFGn.LENn = 0 CHCFGn.HENn = 1	レベル・モード CHCFGn.AMn2-AMn0 = 001b
端子からの DMA 転送要求入力	任意	任意

備考 n = 0-7

(1) シングル転送モード

DMAREQZn 入力を用いた DMA 転送, 内蔵周辺機能から発生した割り込み要求による DMA 転送に使用します。

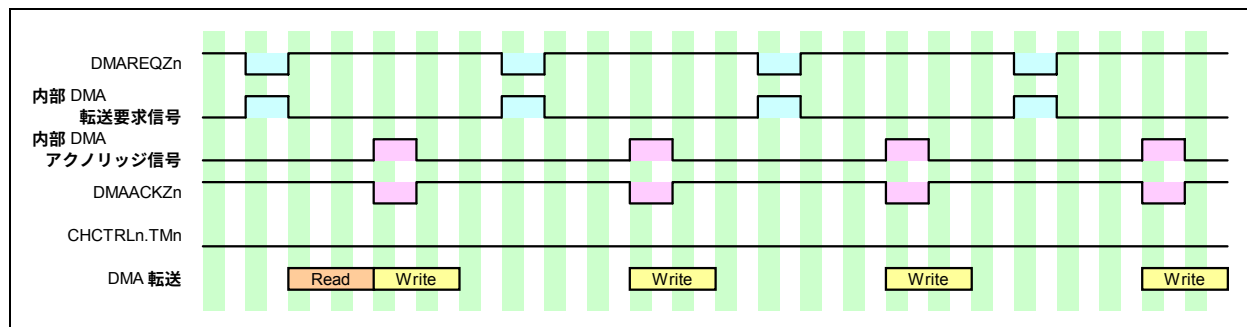
DMA 転送要求を受け付けると, チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の REQDn ビットで示された側 (転送元あるいは転送先) の DMA トランスファを 1 回実行し, CHCFGn レジスタの AMn2-AMn0 ビットで指定したタイミングで, DMAACKZn をアサートします。

転送要求の受け付けごとに 1 回の転送を行い, この動作を Current トランザクション・バイト・レジスタ (CRTBn) にロードされたバイト数分続けます (チャンネル間のアービトレーションは, DMA 転送ごとに行われます。)。

CHCFGn レジスタの REQDn ビットの設定やトランスファ・サイズ (DDSn, SDSn) の設定により, DMAACKZn の出力タイミングや, CRTBn レジスタのカウント・タイミングが異なります。詳細は, 「9.5.10 転送サイズによる動作の相違」を参照してください。

図 9-16 シングル転送モード例

DMA 転送要求: 立ち上がりエッジ検出, 転送先からの要求,
DMA アクノリッジ出力: パルス・モード,
SDS[3:0] > DDS[3:0] (例として, 転送元の転送サイズが, 転送先の転送サイズの 4 倍の場合)



備考 外部端子の DMA インタフェース信号 (DMAREQZn, DMAACKZn, DMATCZn) は負論理です。内部で反転し正論理でシステム・バス DMAC と接続されています (n = 0-5)。

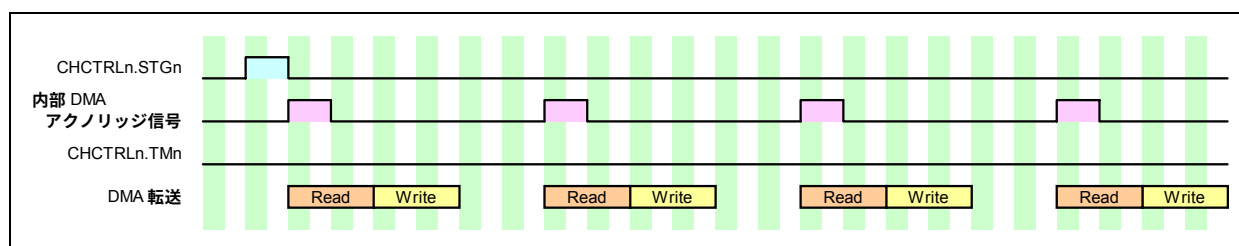
(2) ブロック転送モード

ソフトウェア・トリガによる DMA 転送に使用します。ソフトウェア・トリガはチャンネル・コントロール・レジスタ (CHCTRLn) の STGn ビットをセット (1) で起動します。

DMA 転送要求を 1 度受け付けると、Current トランザクション・バイト・レジスタ (CRTBn) にロードしたバイト数分の転送が完了する (DMA トランザクション完了) まで転送を続けます (チャンネル間のアービトレーションは、DMA 転送ごとに行われます。)。

図 9-17 ブロック転送モード例

DMA 転送要求：ソフトウェア・トリガ，
DMA アクノリッジ出力：パルス・モード，
SDS[3:0] = DDS[3:0] (例として、転送元の転送サイズと転送先の転送サイズが等しい場合)



9.5.2 DMA チャンネルの優先順位制御

チャンネル間の優先順位制御は、固定優先順位モードとラウンドロビン・モードをサポートしています。モードは、システム・バス DMAC コントロール・レジスタ (DCTRL) の PR ビットで選択してください。

表 9-16 DMA チャンネルの優先順位制御の選択

DCTRL.PR	モード	動作
0	固定優先順位	固定優先 (高: CH0>CH1>CH2 … CH5>CH6>CH7: 低) 順位で制御します。チャンネルに優先順位がある場合に使用してください。
1	ラウンドロビン	ラウンドロビンで制御します。各チャンネルを均等に DMA 転送を実行したい場合に使用してください。

(1) 固定優先順位モード

固定優先順位モードでは、各チャンネルの優先順位は固定となり次のようになります。

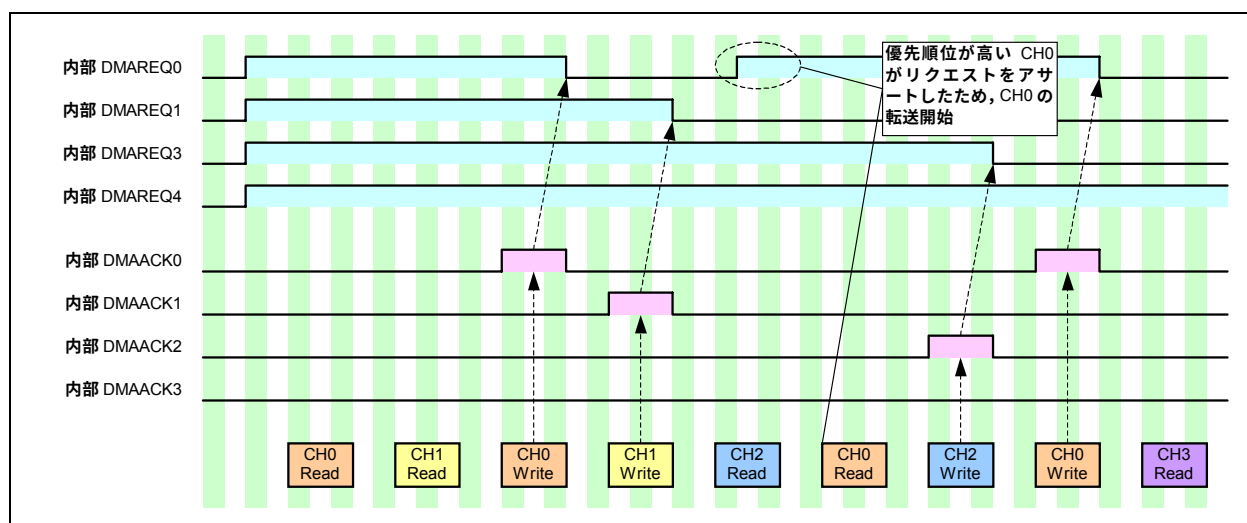
高優先 CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 低優先

DMA 転送要求が複数のチャンネルで同時に発生した場合は、番号の小さいチャンネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高いほかの DMA 転送要求が発生した場合の例を次に示します (下記の図では、便宜上 4 チャンネルで表現しています。)。

注意 セントラル DMAC と異なり、転送元からのリード・サイクルと、転送先へのライト・サイクルの間でも、DMA チャンネル間の優先順位制御が行われます。

図 9-18 固定優先順位モードの例

DMA 転送要求: ハイ・レベル検出, 転送先からの要求,
DMA アクノリッジ出力: レベル・モード



備考 内部の DMA 信号として、各チャンネルの DMA 転送要求を「内部 DMAREQ_n」、DMA アクノリッジ出力を「内部 DMAACK_n」で表現しています (n = 0-3)。

(2) ラウンドロビン・モード

ラウンドロビン・モードでは、各チャンネルの DMA 転送要求受け付けごとに、直前の転送を行ったチャンネルの優先順位が一番低くなるように優先順位を変更します。

リセット解除直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高優先 CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 低優先

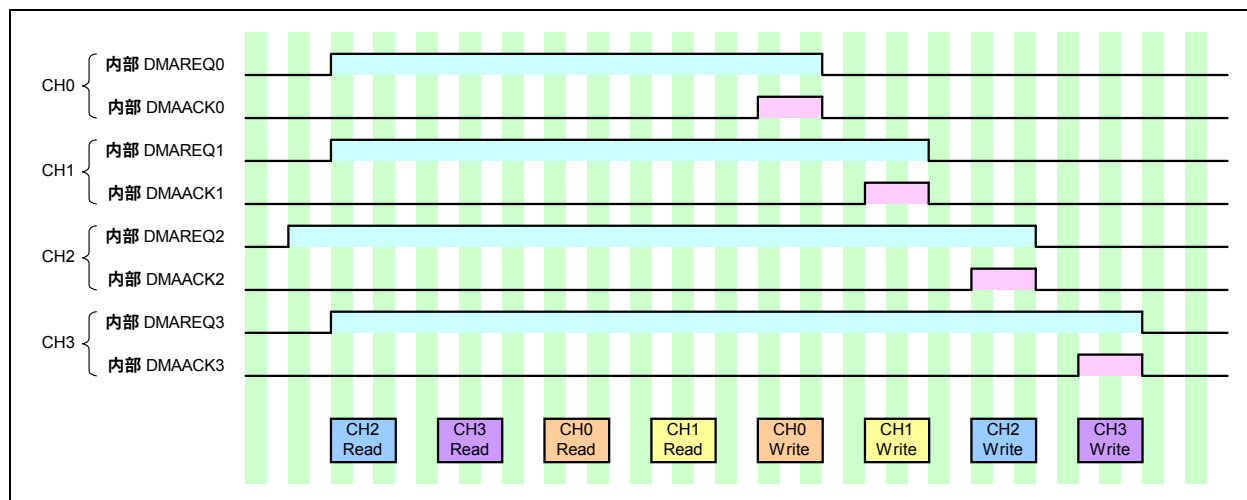
この状態で、DMA チャンネル 0 の転送要求がなく、DMA チャンネル 2 の転送要求があった場合、DMA チャンネル 2 の転送を行い、転送終了後には以下ようになります。

高優先 CH3 > CH4 > CH5 > CH6 > CH7 > CH0 > CH1 > CH2 低優先

ラウンドロビン・モードでの DMA 転送の例を次に示します（下記の図では、便宜上 4 チャンネルで表現しています。）。

図 9-19 ラウンドロビン・モード

DMA 転送要求：ハイ・レベル検出，転送元からの要求，
DMA アクノリッジ出力：レベル・モード



リード・チャンネル間、ライト・チャンネル間で、それぞれアービトレーションを行います。

備考 内部の DMA 信号として、各チャンネルの DMA 転送要求を「内部 DMAREQ_n」，DMA アクノリッジ出力を「内部 DMAACK_n」で表現しています（ $n = 0-3$ ）。

9.5.3 DMA 転送要求

DMA 転送要求は、DTFRn レジスタで、チャンネルごとに DMA 転送要求を選択できます。

また DMA 転送要求と、各チャンネルの関係は、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の SELm2-SELm0 ビットで、割り当てを変更できます。

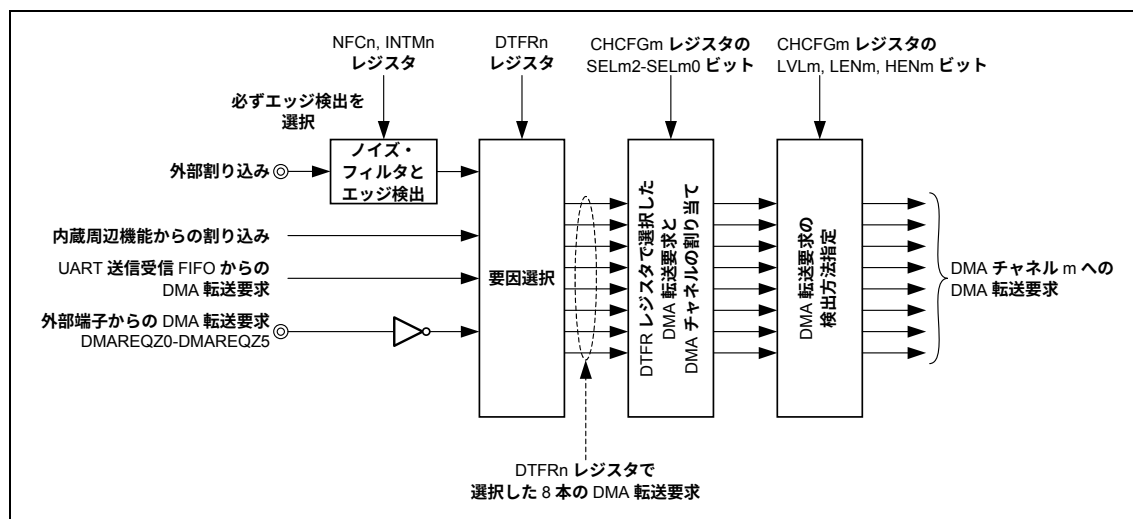
注意 内部の DMA インタフェースは正論理です。DMA インタフェース端子 (DMAREQZn, DMAACKZn, DMATCZn: n = 0-5) は負論理です。DMA インタフェース端子の信号は、反転してシステム・バス DMAC に接続されているため、HENn, LENn ビットの設定と逆の論理が選択されます。

(1) DMA チャンネルと DMA 転送要求の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGm レジスタの SELm2-SELm0 ビットで、チャンネル m と DTFRn レジスタを同一に選択してください。たとえば、チャンネル 2 の DMA トリガ要因選択レジスタに DTFR2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGm レジスタの SELm2-SELm0 ビットで DMA チャンネル m と DTFRn レジスタの関係を変更してください。

図 9-20 DMA チャンネルと DMA 転送要求の割り当て



備考 m: DMA チャンネル 0-7

n: DTFRn レジスタで選択した DMA 転送要求

(2) DMA 転送要求の要因ごとの検出動作指定

DMA 転送要求は、要因によって検出方法が指定されているものがあります。

DTFRn レジスタで選択した DMA 転送要求要因ごとに、下記の表を元に、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の LVLm, LENm, HENm ビットで正しい検出動作を指定してください。

表 9-17 DMA 転送要求の要因ごとの検出動作指定

DTFRn レジスタで選択した DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGm.LVLm, LENm, HENm)	DMA アクノリッジ信号の指定 (CHCFGm.AMm2-AMm0)	備考
外部端子からの割り込み要求 ^m (INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41)	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	DMA 転送要求として選択する場合は、INTMn レジスタでのレベル指定は禁止です。
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	
UART の送信／受信 FIFO からの DMA 転送要求	ハイ・レベル検出	レベル・モード	
外部端子からの DMA 転送要求 (DMAREQZ0-DMAREQZ5)	DMA 転送要求元の仕様にあわせて 任意設定	DMA 転送要求元の仕様にあわ せて任意設定	

注 外部割り込みモード・レジスタ (INTM1-INTM4) で選択した立ち上がりエッジ、立ち下がりエッジのいずれの場合でも、内部の DMA 転送要求はハイ・レベルのパルスで伝達されます。このため CHCFGm レジスタでは立ち上がりを指定します。また INTM1-INTM4 レジスタでレベル・モードを選択すると、ハイ・レベルのパルスが連続して出力されるため DMA 転送要求には利用できません。

備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

DMA 転送要求は、DMA トリガ要因選択レジスタ n (DTFR n) で選択します。選択した DMA 転送要求により、DMA 転送要求信号の検出方法が異なります。検出方法は、チャンネル・コンフィギュレーション・レジスタ n (CHCFG n) の LVL m , HEN m , LEN m ビットで指定します。

下記に、それぞれの場合の DMA 転送要求の検出方法を示します。

(a) DMA 転送要求信号が外部端子の DMA リクエスト信号の場合

内部の DMA インタフェースは正論理です。DMA インタフェース端子 (DMAREQZ n , DMAACKZ n , DMATCZ n : $n = 0-5$) は負論理です。DMA インタフェース端子の信号は、反転してシステム・バス DMAC に接続されているため、HEN n , LEN n ビットの設定と逆の論理が選択されます。

LVL m	HEN m	LEN m	DMAREQZ0-DMQREQZ5 の DMA 転送要求信号の検出方法	
			内部信号	外部端子
0	0	0	エッジ検出	検出無効
0	0	1		立ち下がり検出 立ち上がり検出
0	1	0		立ち上がり検出 立ち下がり検出
0	1	1		立ち上がり／立ち下がり検出 (推奨しません)
1	0	0	レベル検出	検出無効
1	0	1		ロー・レベル検出 ハイ・レベル検出
1	1	0		ハイ・レベル検出 ロー・レベル検出
1	1	1		DMA 転送要求の入力レベルに関係なく、CHCTRL m レジスタの SETEN m ビットをセット (1) すると DMA 転送を開始します。

(b) DMA 転送要求信号が割り込み信号 (INT～ではじまる信号) の場合

立ち上がりエッジ検出を指定してください。

LVL m	HEN m	LEN m	割り込み信号による DMA 転送要求信号の検出方法	
0	0	0	エッジ検出	検出無効
0	0	1		設定禁止
0	1	0		立ち上がり検出
0	1	1		設定禁止
1	×	×	レベル検出	設定禁止

(c) DMA 転送要求信号が内蔵アシンクロナス・シリアル・インタフェース (UART) からの場合

ハイ・レベル検出を指定してください。

LVL m	HEN m	LEN m	内蔵 UART からの DMA 転送要求信号の検出方法	
0	×	×	エッジ検出	設定禁止
1	0	0	レベル検出	検出無効
1	0	1		設定禁止
1	1	0		ハイ・レベル検出
1	1	1		設定禁止

備考 m : DMA チャンネル 0-7

(3) エッジ検出

CHCFGm レジスタの LVLm ビットを 0 に設定すると、エッジ検出が選択されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ5 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZ0-DMAACKZ5) を検出してから次の DMA 転送要求 (DMAREQZ0-DMAREQZ5) を出すようにしてください。

割り込み信号を DMA 転送要求に用いている場合は、DMA 転送が完了する前に次の割り込み信号が発生すると、DMA 転送要求として認識しません。割り込み信号の発生間隔に留意してください。

図 9-21 エッジ検出モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出，転送元からの要求，

DMA アクノリッジ出力：パルス・モード

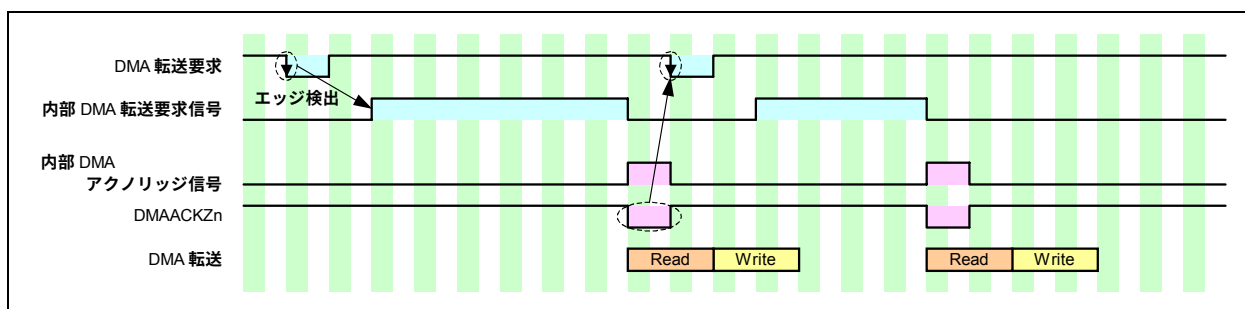
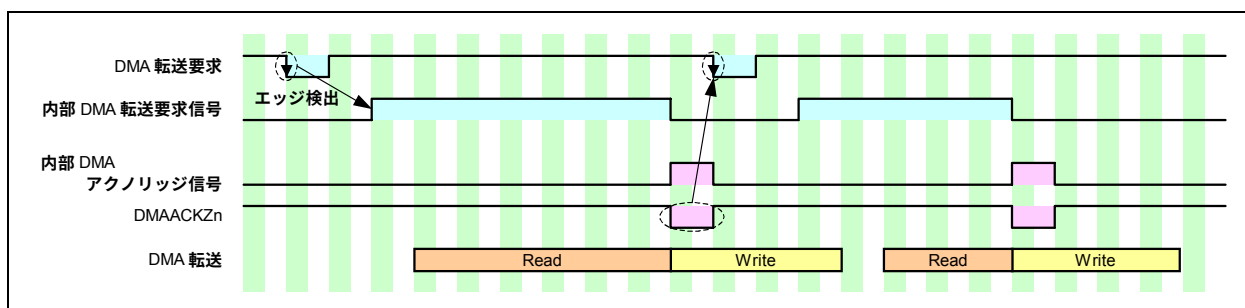


図 9-22 エッジ検出モードの動作例 2

DMA 転送要求：立ち上がりエッジ検出，転送先からの要求，

DMA アクノリッジ出力：パルス・モード



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

(4) レベル検出

CHCFGm レジスタの LVLm ビットを 1 に設定すると、レベル検出が選択されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ5 信号を用いる場合は、BUSCLK (SBUSCLK) ×2 の幅の有効レベル (CHCFGn レジスタの HENm, LENm で指定) が入力されると DMA 転送要求として認識されます。

DMA アクノリッジ信号にレベル・モードを選択した場合は、DMAACKZn は DMAREQZn がディassertされるまで、ロー・レベルになります。パルス・モードを選択した場合は 1×BUSCLK (SBUSCLK) のパルスで DMAACKZn が出力されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ5 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZ0-DMAACKZ5) を検出してから次の DMA 転送要求 (DMAREQZ0-DMAREQZ5) を出すようにしてください。

割り込み信号を DMA 転送要求に用いている場合は、DMA 転送が完了する前に次の割り込み信号が発生すると、DMA 転送要求として認識しません。割り込み信号の発生間隔に留意してください。

図 9-23 レベル検出モードの動作例 1

DMA 転送要求：ハイ・レベル検出、転送元からの要求、
DMA アクノリッジ出力：レベル・モード

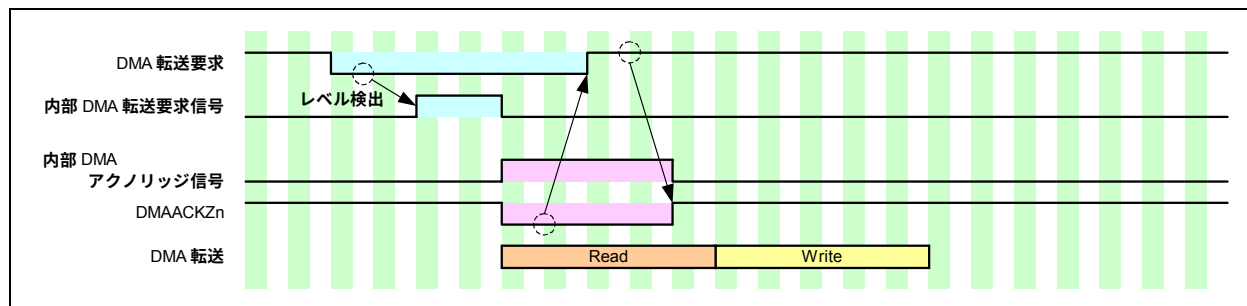
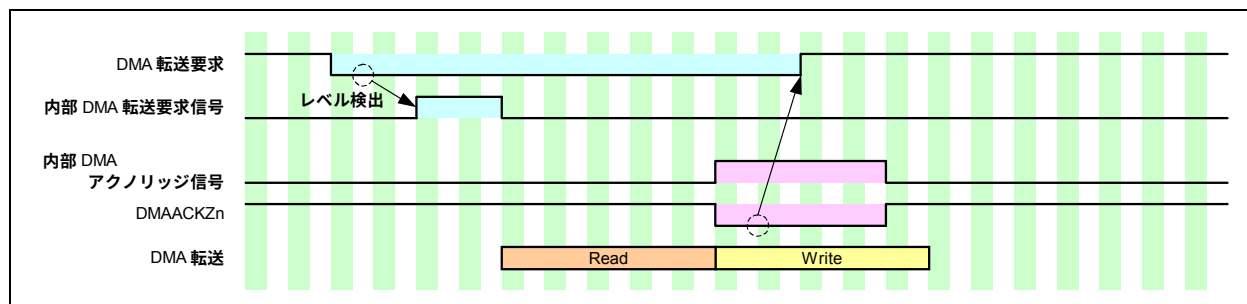


図 9-24 レベル検出モードの動作例 2

DMA 転送要求：ハイ・レベル検出、転送先からの要求、
DMA アクノリッジ出力：レベル・モード



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

9.5.4 DMA アクノリッジ出力機能

DMA 転送要求に対する受け付け応答信号として、DMA アクノリッジ信号が出力されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ5 信号を用いる場合は、DMA アクノリッジ信号として、DMAACKZ0-DMAACKZ5 を使用します。

DMA 転送要求に、外部割り込み、内蔵周辺機能からの割り込み要求を用いる場合は、DMA アクノリッジ信号は利用しませんが、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットで指定した DMA アクノリッジ信号が出力されます。

DMA 転送要求に、内蔵 UART からの送信／受信 FIFO の DMA 転送要求を用いる場合は、DMA アクノリッジ信号は出力されません。

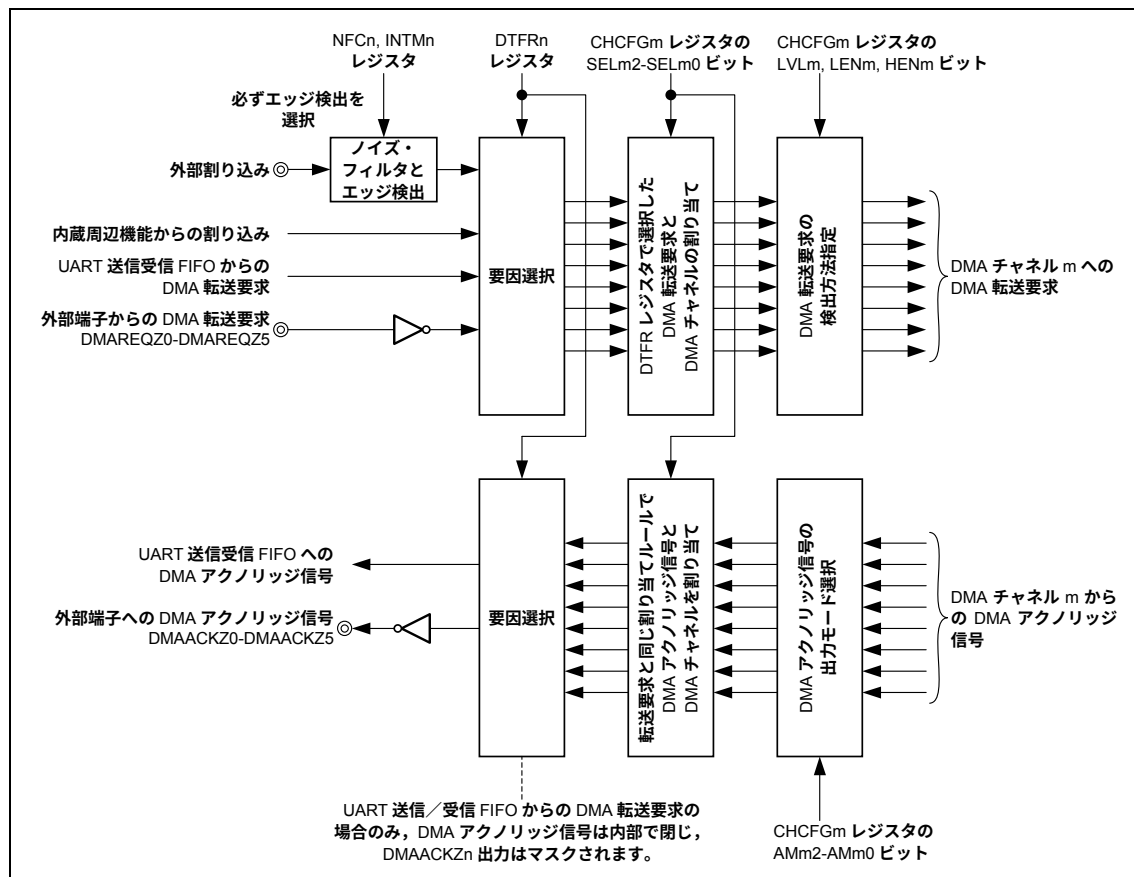
なお、DMA 転送要求と、各チャンネルの関係は、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の SELm2-SELm0 ビットで、割り当てを変更できます。

(1) DMA チャンネルと DMA アクノリッジ信号の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGm レジスタの SELm2-SELm0 ビットで、チャンネル m と DTFRn レジスタを同一に選択してください。たとえば、チャンネル 2 の DMA トリガ要因選択レジスタに DTFR2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGm レジスタの SELm2-SELm0 ビットで DMA チャンネル m と DTFRn レジスタの関係を変更してください。

図 9-25 DMA チャンネルと DMA アクノリッジ信号の割り当て



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

(2) DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DMA アクノリッジ信号は、要因によって出力モードが指定されているものがあります。

DTFRn レジスタで選択した DMA 転送要求要因ごとに、下記の表を元に、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットで正しい検出動作を指定してください。

表 9-18 DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DTFRn レジスタで選択した DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGm.LVLm, LENm, HENm)	DMA アクノリッジ信号の指定 (CHCFGm.AMm2-AMm0)	備考
外部端子からの割り込み要求 (INTPZ0-INTPZ31, INTPZ36, INTPZ37, INTPZ40, INTPZ41)	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	DMA 転送要求として選択する場合は、INTMn レジスタでのレベル指定は禁止です。
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	いずれ設定でも動作に影響ありません。	
UART の送信／受信 FIFO からの DMA 転送要求	ハイ・レベル検出	レベル・モード	
外部端子からの DMA 転送要求 (DMAREQZ0-DMAREQZ5)	DMA 転送要求元の仕様にあわせて 任意設定	DMA 転送要求元の仕様にあわせて 任意設定	

表 9-19 DMA アクノリッジ信号 (DMAACKZn) 信号の出力モード

AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZn) の出力モード
0	0	0	パルス・モード ^{※1} (初期値)
0	0	1	レベル・モード ^{※2} , UART 送信／受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZn) がインアクティブになるまで、アクティブ・レベルを保持します。
0	1	X	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。
1	X	X	DMA アクノリッジ信号 (DMAACKZn) の出力禁止

注 1. 1×BUSCLK 周期のパルスが DMAACKZn 信号として出力されます。

2. DTFR レジスタで、UART 送信／受信 FIFO DMA 転送要求を選択し、UART の DMA インタフェース機能を利用する場合は、AMn2-AMn0 は、001b としレベル・モードを指定してください。

注意 1. DTFR レジスタで、内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AMn2-AMn0 の設定は動作に影響しません。

2. AMn2-AMn0 の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AMn2-AMn0 を用いて DMAACKZn 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZn のパルス幅拡張や、DMAREQZn のマスク機能を利用している場合は、AMn2-AMn0 はパルス・モードを選択してください。

備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

(3) パルス出力

チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットを 000b に設定すると、DMA アクノリッジ信号 (DMAACKZn) は、パルス出力が選択されます。

1×BUSCLK (SBUSCLK) のロー・レベルのパルスが出力されます。

DMA 転送要求元でパルス幅が不足する場合は、DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5) の AKWDn4-AKWDn0 ビットで、DMAACKZn の幅を 1×BUSCLK (SBUSCLK) ～32×BUSCLK (SBUSCLK) まで設定できます。

図 9-26 パルス出力モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出，転送元からの要求，
DMA アクノリッジ出力：パルス・モード

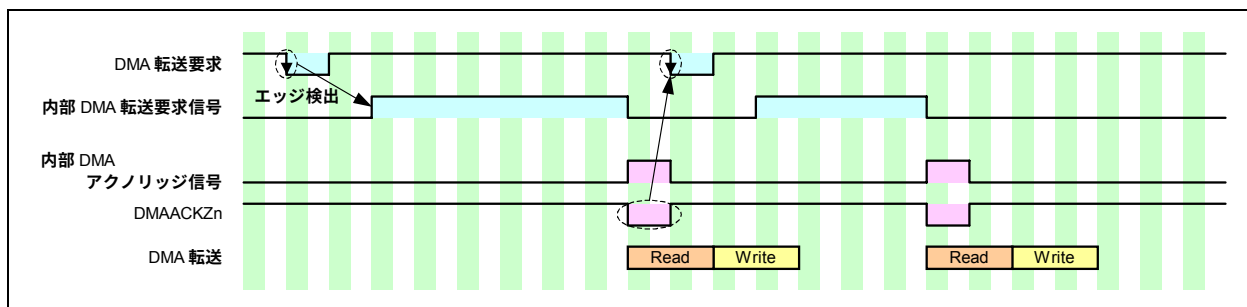
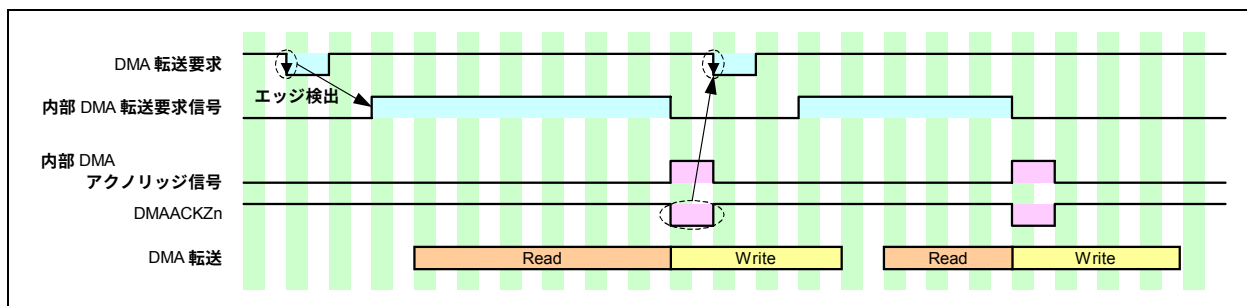


図 9-27 パルス出力モードの動作例 2

DMA 転送要求：立ち上がりエッジ検出，転送先からの要求，
DMA アクノリッジ出力：パルス・モード



備考 m：DMA チャンネル 0-7

n：DTFRn レジスタで選択した DMA 転送要求

(4) レベル出力

チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットを 001b に設定すると、DMA アクノリッジ信号 (DMAACKZn) は、レベル出力が選択されます。DMAACKZn 信号は、DMAREQZn 信号がデアサートされるまでアサートし続けます。

DMA アクノリッジ信号にレベル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5) は初期値のまま使用し、DMAACKZn 幅の拡張機能を利用しないでください。

図 9-28 レベル出力モードの動作例 1

DMA 転送要求：ハイ・レベル検出，転送元からの要求，
DMA アクノリッジ出力：レベル・モード

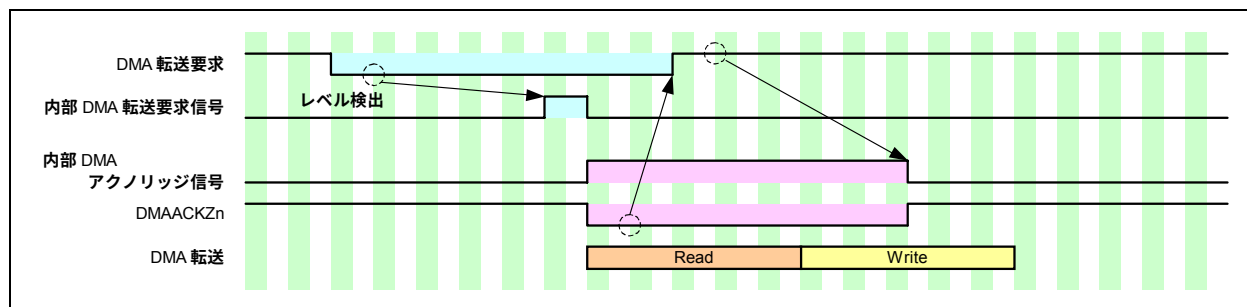
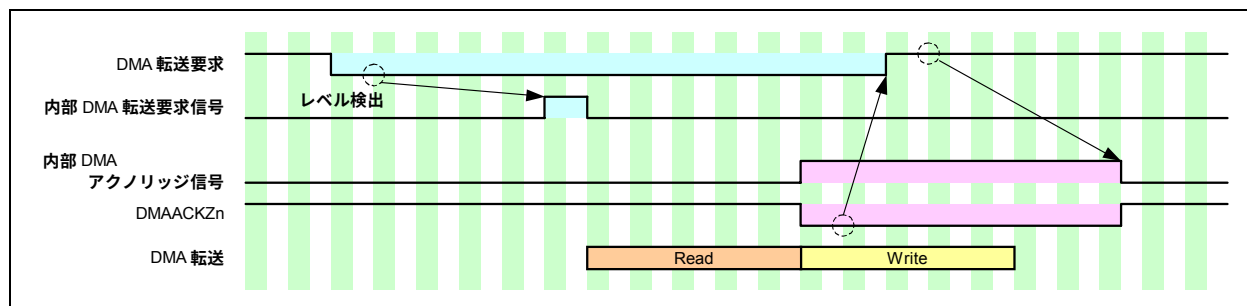


図 9-29 レベル出力モードの動作例 2

DMA 転送要求：ハイ・レベル検出，転送先からの要求，
DMA アクノリッジ出力：レベル・モード



備考 m：DMA チャンネル 0-7

n：DTFRn レジスタで選択した DMA 転送要求

(5) バス・サイクル出力

チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットを 010b に設定すると、DMA アクノリッジ信号 (DMAACKZn) は、バス・サイクル出力が選択されます。

DMAACKZn 信号は、バス・サイクルの期間でアクティブ (ロー・レベル) になります。DMA 転送要求の要求元 (転送元, 転送先) に応じて、転送元の場合はリード・サイクル, 転送先の場合はライト・サイクルに DMA アクノリッジ信号が出力されます。転送元と転送先のバス・サイズの違いなどで、1 回の DMA 転送 (トランザクション) で複数回のリード／ライトが発生する場合は、その期間 DMAACKZn はアサートされます。

DMA アクノリッジ信号にバス・サイクル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-5 (DMAIFC0-DMAIFC5) は初期値のまま使用し、DMAACKZn 幅の拡張機能を利用しないでください。

- 注意** 1. バス・サイクル出力モードでは、DMA 転送のバス・サイクル終了後+1×BUSCLK (SBUSCLK) の期間は、DMAREQZn 信号を受け付けません。
2. バス・サイクル出力は、内部システム・バスのリード／ライト・サイクルを基準に出力されます。外部バス・インタフェースのバス・サイクルでは、メモリ・コントローラ内部でのバス変換、ウエイト等の設定により、実際のリード／ライト・サイクルよりも速いタイミングで DMA アクノリッジ信号が出力されます。

備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

図 9-30 バス・サイクル出力モードの動作例 1

DMA 転送要求：立ち上がりエッジ検出，転送元からの要求，
DMA アクノリッジ出力：レベル・モード

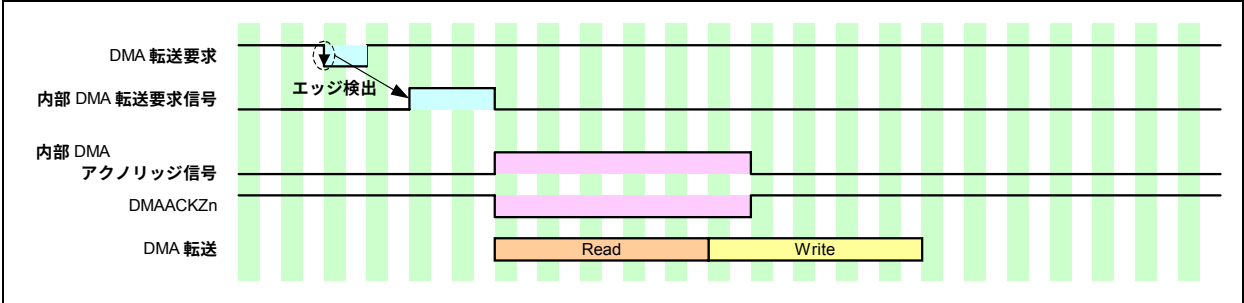
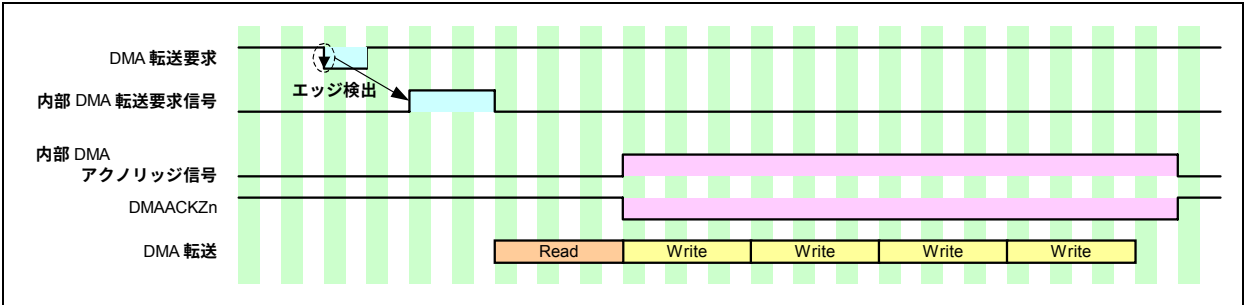


図 9-31 バス・サイクル出力モードの動作例 2

DMA 転送要求：ハイ・レベル検出，転送先からの要求，
DMA アクノリッジ出力：レベル・モード
SDS[3:0]>DDS[3:0] (例として，転送元の転送サイズが，転送先の転送サイズの 4 倍の場合)



備考 m：DMA チャンネル 0-7
n：DTFRn レジスタで選択した DMA 転送要求

9.5.5 DMA 転送完了割り込み

DMA トランザクション（一連の DMA 転送）が終了すると、INTDMA0-INTDMA7 がパルス出力で発生します。

INTDMA_n は、DMA チャンネル *n* に対応しています。

Current トランザクション・バイト・レジスタ (CRTB_n) にロードされた、総転送バイト数分の転送が正常に終了すると、チャンネル・ステータス・レジスタ (CHSTAT_n) の END_n ビットがセット (1) されます。このとき、チャンネル・コンフィギュレーション・レジスタ (CHCFG_n) の DEM_n ビットがクリア (0) されている場合に、INTDMA_n が発生します。

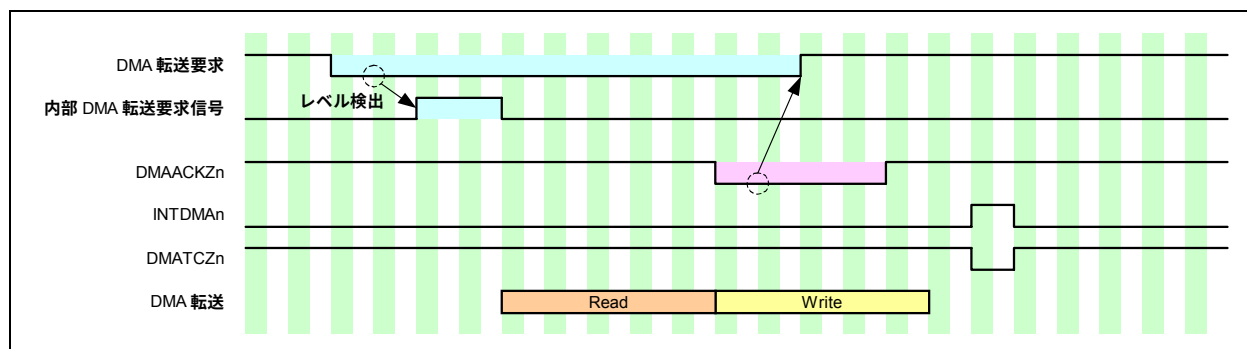
リンク・モードでライトバックを行う場合は、ライトバック後に INTDMA_n が発生します。またリンク・モードのディスクリプタ・リードで、CHCFG_n.DRRP_n = 0 の状態で、リードしたディスクリプタのヘッダが LV = 0 の場合、CHSTAT_n.DER_n ビットがセット (1) されます。このとき、CHCFG_n.DIM_n = 0 の場合、INTDMA_n が発生します。

表 9-20 INTDMA_n アサート条件

要因	条件	INTDMA _n のマスク設定ビット
DMA トランザクション完了	Current トランザクション・バイト・レジスタ (CRTB _n) にロードされた総転送バイト数分の転送が、正常終了したとき。 (リンク・モード時でライトバックを行う場合は、ライトバック後)	CHCFG _n .DEM _n
ディスクリプタ無効 (ヘッダの LV = 0)	リンク・モードにおいてチャンネル・コンフィギュレーション・レジスタ (CHCFG _n) の DRRP = 0、DIM = 0 のときに、リードしたディスクリプタのヘッダが LV=0 のとき。	CHCFG _n .DIM _n

図 9-32 INTDMA_n 出力の動作例

DMA 転送要求：ハイ・レベル検出，転送先からの要求，
DMA アクノリッジ出力：パルス・モード



備考 m：DMA チャンネル 0-7

n：DTFR_n レジスタで選択した DMA 転送要求

9.5.6 DMA ターミナル・カウント出力機能

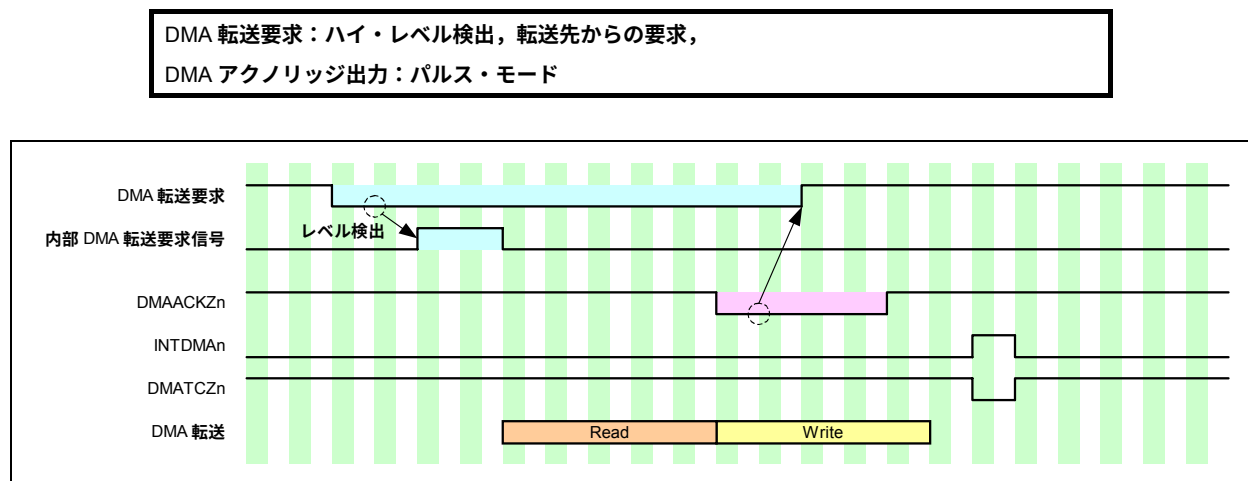
DMA トランザクション（一連の DMA 転送）完了信号として、DMA ターミナル・カウント信号が出力されます。

DMA 転送要求に、DMAREQZ0-DMAREQZ5 信号を用いる場合は、DMA ターミナル・カウント信号として、DMATCZ0-DMATCZ5 を使用します。

DMA 転送要求に、外部割り込み、内蔵周辺機能からの割り込み要求を用いる場合は、DMA ターミナル・カウント信号は利用しませんが、チャンネル・コンフィギュレーション・レジスタ (CHCFGm) の AMm2-AMm0 ビットで指定した DMA ターミナル・カウント信号が出力されます。

Current トランザクション・バイト・レジスタ (CRTBm) にロードされた、総転送バイト数分のデータ転送が正常終了すると、チャンネル・ステータス・レジスタ (CHSTATm) の TCm ビットをセット (1) され、 $1 \times \text{BUSCLK}$ (SBUSCLK) の期間のロー・レベル信号として、DMA ターミナル・カウント信号 (DMATCZn) を出力されます。

図 9-33 DMA ターミナル・カウント出力の動作例



備考 m：DMA チャンネル 0-7

n：DTFRn レジスタで選択した DMA 転送要求

(1) DMA ターミナル・カウント信号のマスク機能

DMA ターミナル・カウント信号は、CHCFGm レジスタの TCMm ビットで、マスク可能です。一般的にはソフトウェア起動（チャンネル・コントロール・レジスタ（CHCTRLm）の STGm ビットのセット（1））では、DMA ターミナル・カウント信号をマスクして使用します。

なお、DMA 転送要求と、各チャンネルの関係は、チャンネル・コンフィギュレーション・レジスタ（CHCFGm）の SELm2-SELM0 ビットで、割り当てを変更できます。この選択に連動して、DMA ターミナル・カウント信号も出力されます。

表 9-21 DMA ターミナル・カウント出力の設定

CHCFGm.TCMm	動 作	用 途
0	DMA ターミナル・カウント出力を許可	ハードウェアによる DMA 転送に使用してください。 ・カウント終了 ・リンク・モードの終了 を検出する場合に使用してください。
1	DMA ターミナル・カウント出力をマスク	ソフトウェアによる DMA 転送に使用してください。 なお、DMA トランザクション（一連の DMA 転送）後は、TCM はクリア（0）され、DMA ターミナル・カウント出力は許可状態に変化します。

備考 m：DMA チャンネル 0-7

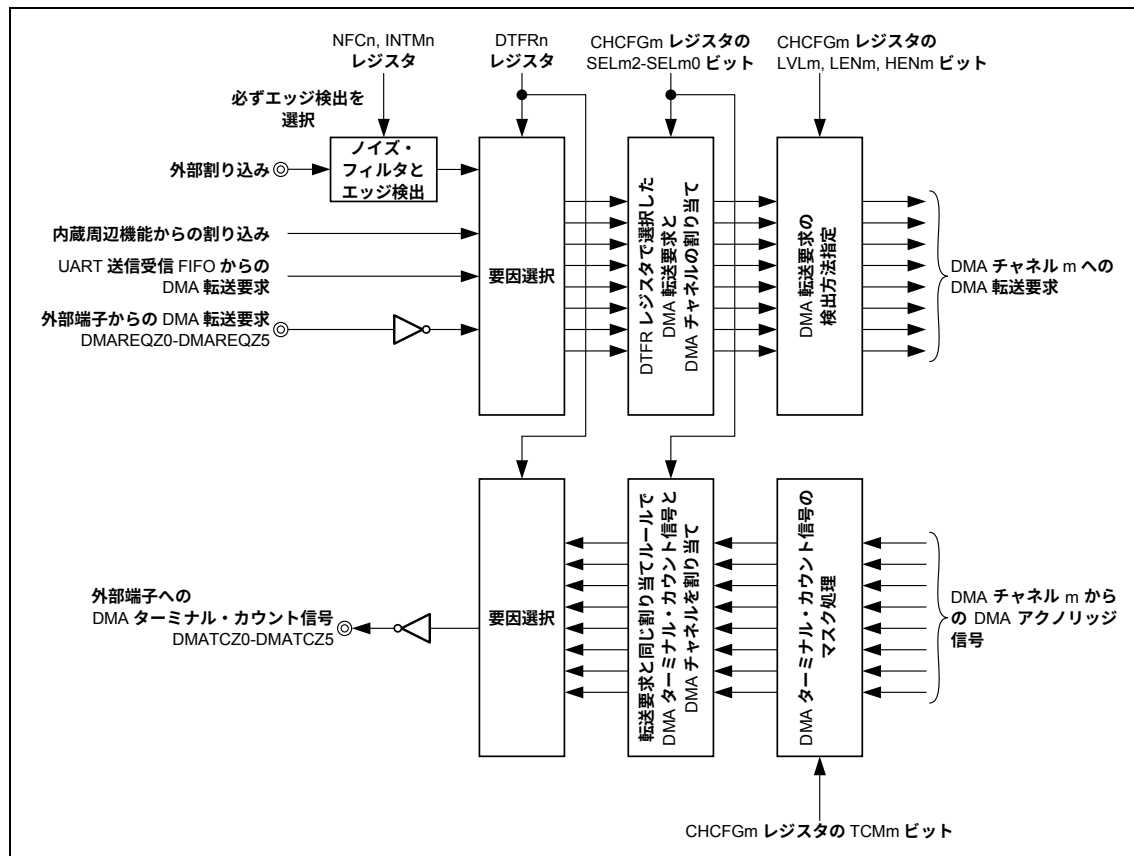
n：DTFRn レジスタで選択した DMA 転送要求

(2) DMA チャンネルと DMA ターミナル・カウント出力信号の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、CHCFGm レジスタの SELm2-SELm0 ビットで、チャンネル m と DTFRn レジスタを同一に選択してください。たとえば、チャンネル 2 の DMA トリガ要因選択レジスタに DTFR2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、CHCFGm レジスタの SELm2-SELm0 ビットで DMA チャンネル m と DTFRn レジスタの関係を変更してください。

図 9-34 DMA チャンネルと DMA ターミナル・カウント出力信号の割り当て



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

9.5.7 強制掃き出し機能

チャンネル・コントロール・レジスタ m (CHCTRL m) の SETSSWPRQ m ビットをセット (1) すると、システム・バス DMAC は、バッファ内のデータを転送先に強制的に掃き出し (ライト) します。その後 DMA トランスファを継続します。

DMA トリガ要因選択レジスタ n (DTFR n) で選択した DMA 転送要求と、強制掃き出しが競合した場合は、強制掃き出しが優先され、その後 DMA トランスファが実行されます。

チャンネル・コンフィギュレーション・レジスタ m (CHCFG m) の REQD m ビットをセット (1) し、DMAACK z をライト時にアクティブとなる設定の場合は、強制掃き出し機能は利用できません。転送先が DMA 転送要求 (DMAREQ z) をアサートしていない状態でデータ転送が行われることで、転送先で誤動作が発生する可能性があるためです。

チャンネル・コンフィギュレーション・レジスタ m (CHCFG m) の SBEm ビットのセット (1) でも掃き出しは行われますが、この場合は掃き出し後にチャンネル・ステータス・レジスタ m (CHSTAT m) の EN m ビットをクリア (0) して DMA の動作を停止します。SETSSWPRQ m ビットによる強制掃き出しは、掃き出し後も DMA トランスファを継続します。

備考 m : DMA チャンネル 0-7

n : DTFR n レジスタで選択した DMA 転送要求

9.5.8 DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、エラーが発生すると DMA 転送を中止します。

エラーが発生するとチャンネル・ステータス・レジスタ m (CHSTAT m) の EN m ビットがクリア (0) され、ER m ビットがセット (1) されます。また INTDMAERR が発生します。

エラーとなった一連の転送はそのデータを保証できません。DMA 転送を再起動する場合は、チャンネル・コンフィギュレーション・レジスタ m (CHCTRL m) の SWRST m ビットをセット (1) して、DMA チャンネル m をリセットし、各レジスタを再設定してください。

備考 m : DMA チャンネル 0-7

9.5.9 インターバル・カウント機能

チャンネル・インターバル・レジスタ m (CHITVL m) の ITVL ビットの設定によって、DMA 転送の実行間隔を調整できます。システム・バス・クロック (HCLK) 周期 $\times$ ITVL15-ITVL0 設定値の間隔を設定できます。これにより、システム・バス DMAC のバス占有率を調整できます。一回のリードまたはライトが完了すると、CHITVL m に設定された値からカウント・ダウンを始め、カウント値が 0 になるまで、次の内部 DMA 転送要求が保留されます。

備考 m : DMA チャンネル 0-7

9.5.10 転送サイズによる動作の相違

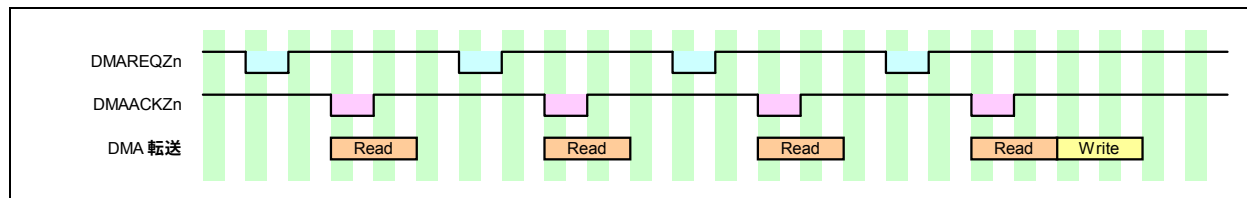
(1) 転送元の転送サイズが転送先より小さい場合

チャンネル・コンフィギュレーション・レジスタ m (CHCFGm) の DDSm3-DDSm0 ビットに設定したデータ・サイズのデータのリードが完了すると、転送先にライトします。ライト回数は、転送先サイズ／転送元サイズです。

転送元が 16 ビット、転送先が 64 ビットの場合のタイミング図を以下の波形に示します。

図 9-35 転送元の転送サイズが転送先より小さい場合

DMA 転送要求：エッジ検出，転送元からの要求，
DMA アクノリッジ出力：パルス・モード
転送元：16 ビット，転送先：64 ビット



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

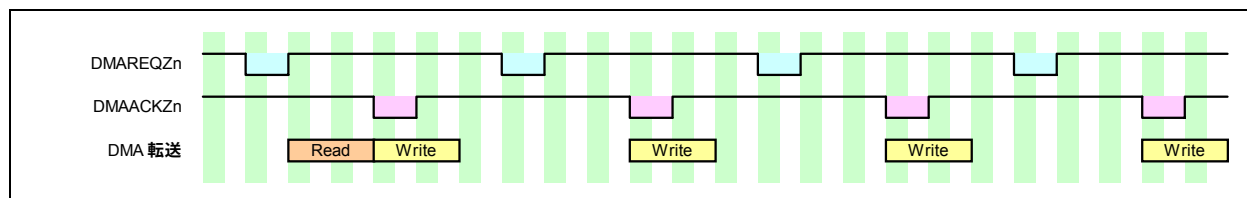
(2) 転送先の転送サイズが転送元より小さい場合

転送先のサイズが小さいため、転送元／転送先の回数のライトが発生します。

転送元が 64 ビット，転送先が 16 ビットの場合のタイミング図を以下の波形に示します。

図 9-36 転送元の転送サイズが転送先より小さい場合

DMA 転送要求：エッジ検出，転送先からの要求，
DMA アクノリッジ出力：パルス・モード
転送元：64 ビット，転送先：16 ビット



備考 m : DMA チャンネル 0-7

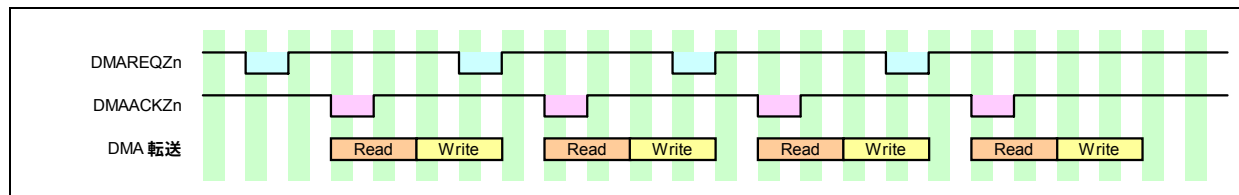
n : DTFRn レジスタで選択した DMA 転送要求

(3) 転送先の転送サイズと転送元の転送サイズが等しい場合

DMA 転送要求を検出するごとに転送元からのリードと転送先へのライトを行います。

図 9-37 転送元の転送サイズと転送先の転送サイズが等しい場合

DMA 転送要求：立ち上がりエッジ検出，転送元からの要求，
DMA アクノリッジ出力：パルス・モード



備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

9.5.11 転送状態

チャンネル・ステータス・レジスタ m (CHSTAT m) で、DMA チャンネル m の転送実行状態を確認できます。

CHSTAT m レジスタの TACT m ビットは、チャンネル m が動作中であることを示します。チャンネル・コントロール・レジスタ m (CHCTRL m) の SETEN m ビットのセット (1) で TACT m ビットがセット (1) されます。TACT m ビットはリンク・モードでのディスクリプタのアクセス中や、DMA 転送要求待ちの状態もセット (1) された状態です。

TACT m ビットは、CHSTAT m レジスタの EN m ビットのクリア条件が成立し、DMA 転送が終了した時点でクリア (0) されます。DMA トランザクションが終了しても、CHSTAT m レジスタの EN m ビットのクリア条件が成立しない場合 (たとえば、レジスタ・モードで CHCFG m .REN m = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合) は、TACT m ビットはクリア (0) されません。

転送状態は、DMA 転送 (トランスファ) 単位で更新されます。

備考 m : DMA チャンネル 0-7

n : DTFR n レジスタで選択した DMA 転送要求

9.5.12 一時停止機能

チャンネル・コントロール・レジスタ m (CHCTRL m) の SETSUS m ビットをセット (1) すると、DMA 転送を一時停止 (サスペンド状態) できます。このとき、すでに実行されているバス・サイクルがあれば、そのバス・サイクルが完了してから一時停止状態になります。チャンネル・コントロール・レジスタ m (CHCTRL m) の CLRSUS m ビットをセット (1) することで一時停止状態が解除されます。

一時停止状態を確認する場合は、SETSUS m をセット (1) したあと、CHSTAT m レジスタまたは DSTSUS レジスタをリードして該当チャンネルの SUS m ビットがセット (1) されていることを確認してください。

備考 m : DMA チャンネル 0-7

n : DTFR n レジスタで選択した DMA 転送要求

9.5.13 転送中断機能

DMA トランザクション (一連の DMA 転送) 中に、チャンネル・コントロール・レジスタ m (CHCTRLm) の CLRENm ビットをセット (1) すると、その DMA チャンネルの DMA トランザクション (一連の DMA 転送) を中断できます。

中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード (チャンネル・コンフィギュレーション・レジスタ m (CHCFGm) の SBEm ビットをセット (1)) と、掃き出しを行わないモード (SBEm ビットをクリア (0)) を選択できます。

掃き出しモードが有効で、CLRENm = 1 で DMA トランザクション (一連の DMA 転送) が中断されたときに、システム・バス DMAC のバッファにデータが残っていた場合、そのデータを掃き出して DMA トランザクションを完了します。

DMA 転送を中断した場合は、INTDMAM は発生しません。

中断後は、必ずチャンネル・コントロール・レジスタ m (CHCTRLm) の SWRSTm ビットをセット (1) し DMA チャンネルの内部状態をリセットしてから、次の転送設定を行ってください。

注意 チャンネル・コントロール・レジスタ (CHCTRLm) の CLRENm ビットをセット (1) して、ENm ビットをクリア (0) しても、DMA 転送が実行中の場合があります。DMA チャンネルの停止を確認する場合は、チャンネル・ステータス・レジスタ (CHSTATm) の ENm = 0, TACTm = 0 を確認してください。

備考 m : DMA チャンネル 0-7

n : DTFRn レジスタで選択した DMA 転送要求

(1) バッファ掃き出し無効 (SBEm = 0) の場合

DMA トランザクション (一連の DMA 転送) 中に、CLRENm をセット (1) すると、DMA 転送を中断して停止します。

チャンネル・コンフィギュレーション・レジスタ m (CHCFGm) の REQDm ビットの設定により、転送元からの DMA 転送要求の場合はリード・サイクル後、転送先からの DMA 転送要求の場合はライト・サイクル後に中断します。

(2) バッファ掃き出し有効 (SBEm = 1) の場合

DMA トランザクション (一連の DMA 転送) 中に、CLRENm をセット (1) すると、DMA 転送を中断して停止します。REQDm = 0 の場合、すでにリードしたデータを掃き出し (ライト) して DMA 転送を停止します。REQD = 1 でハードウェアからの DMA 転送要求を使用している場合は、掃き出しモードを使用しないでください。

9.6 DMA 転送の設定例

システム・バス DMAC を用いた、DMA 転送例を示します。

各設定例の転送条件は次のとおりです。

表 9-22 DMA 転送設定例の転送条件一覧

設定例	DMA モード	転送モード	転送要求
設定例 1	レジスタ・モード	シングル転送モード	ハードウェア
設定例 2	レジスタ・モード	ブロック転送モード	ソフトウェア
設定例 3	レジスタ・モード (連続実行)	ブロック転送モード	ソフトウェア
設定例 4	リンク・モード	ブロック転送モード	ソフトウェア

9.6.1 設定例 1 (レジスタ・モード, シングル転送モード, ハードウェア・トリガ)

表 9-23 の設定で DMA 転送を行う場合の設定例を示します。

表 9-23 DMA 転送の設定例 1

項 目	内 容	
使用チャンネル	チャンネル 3	
優先順位制御	固定優先順位	
DMA モード	レジスタ・モード	
転送モード	シングル転送モード	
使用レジスタ・セット	Next0 レジスタ・セット	
転送元／転送先	転送元	転送先
開始アドレス	0800 0000H	0F18 0000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	32 ビット	32 ビット
DMA トランザクション・データ・サイズ	64 バイト	
DMA トリガ要因選択レジスタ	DTFR3	
DMA 転送要求	ハードウェア (転送元の DMAREQZ3 による立ち下がりエッジ検出)	
DMA アクノリッジ信号	パルス出力モード (転送元からの要求のためリード時に出力)	
INTDMA3 マスク機能	なし	

表 9-24 設定例 1 のレジスタ設定

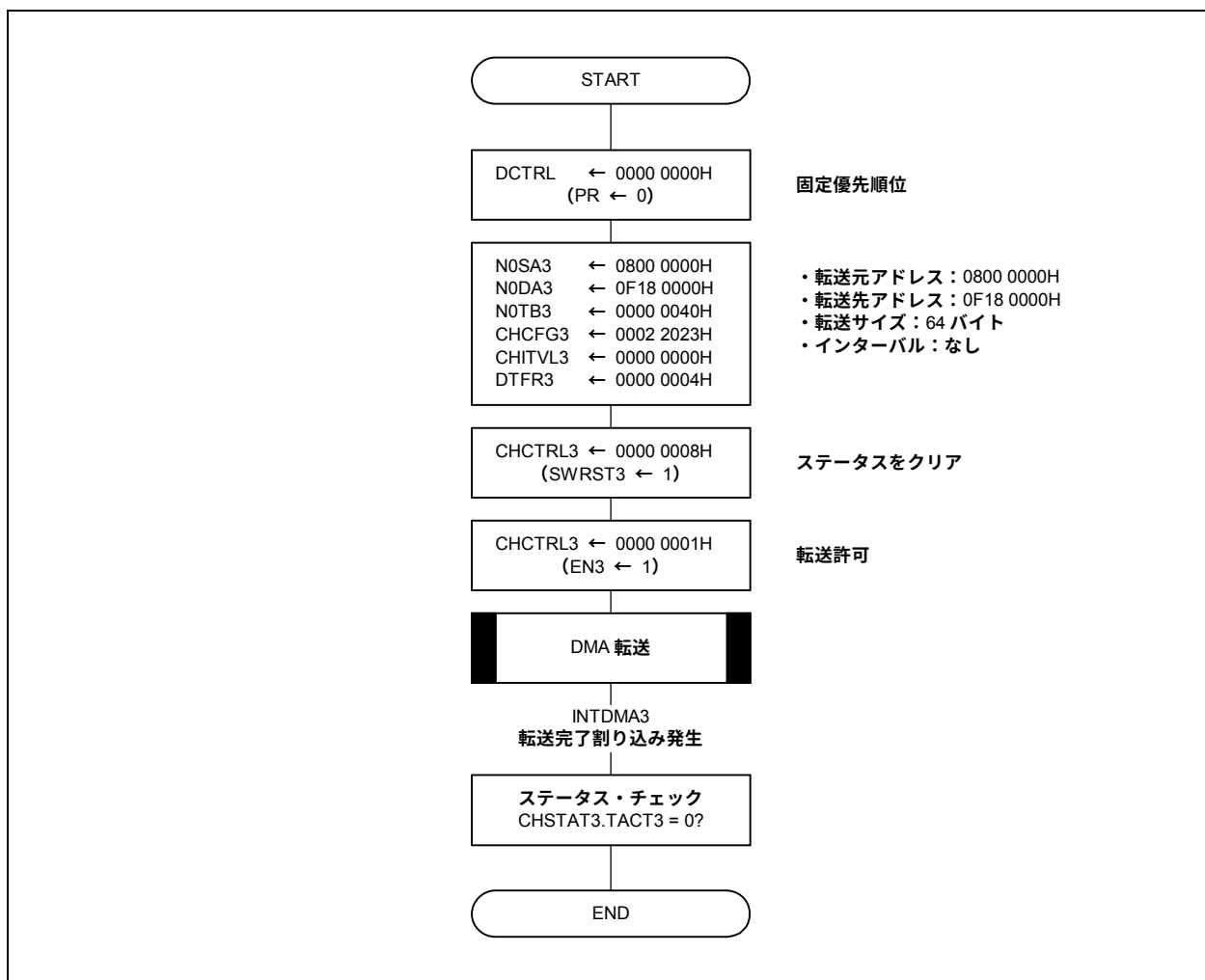
レジスタ	設定値	設定内容等
N0SA3	0800 0000H	転送元アドレス
N0DA3	0F18 0000H	転送先アドレス
N0TB3	0000 0040H	トランザクション・データ・バイト数
CHCFG3	0002 2023H	チャンネル・コンフィギュレーション
CHITVL3	0000 0000H	転送間隔最短
DTFR3	0000 0004H	DMAREQZ3, DMAACKZ3, DMATCZ3 を選択

表 9-25 設定例1のチャネル・コンフィギュレーション・レジスタ (CHCFG3) 設定

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFG3		DMS3	REN3	RSW3	RSEL3	SBE3	DIM3	TCM3	DEM3	WONLY3	TM3	DAD3	SAD3	DDS33- DDS30		SDS33- SDS30		DRRP3	AM32- AM30		0	LVL3	LEN3	HEN3	REQD3	SEL32- SEL30						0F00 08ECH		
																																初期値		
																																	0000 0000H	
設定値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	1	1	

ビット位置	ビット名	意 味								
31	DMS3	0：レジスタ・モード								
30	REN3	0：連続実行しない								
29	RSW3	0：DMA トランザクション（一連の DMA 転送）完了後に RSEL3 を反転しない								
28	RSEL3	0：次の DMA 転送に Next0 レジスタ・セットを使用する								
27	SBE3	0：動作が停止された場合、バッファの掃き出し（ライト）をしないで転送中止								
26	DIM3	0：リンク・モードで LV = 0 の場合、INTDMA3 をマスクしない								
25	TCM3	0：マスクしない（ターミナル・カウント出力（DMATCZm）許可）								
24	DEM3	0：DMA トランザクション完了時の INTDMA3 出力許可								
23	WONLY3	0：通常動作								
22	TM3	0：シングル転送モード								
21	DAD3	0：転送先のアドレスはインクリメント								
20	SAD3	0：転送元のアドレスはインクリメント								
19	DDS33	0：転送先のアドレッシングは通常モード								
18-16	DDS32- DDS30	<table><tr><td>DDS32</td><td>DDS31</td><td>DDS30</td><td>DMA 転送先（デスティネーション）の転送サイズ</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr></table>	DDS32	DDS31	DDS30	DMA 転送先（デスティネーション）の転送サイズ	0	1	0	32 ビット
DDS32	DDS31	DDS30	DMA 転送先（デスティネーション）の転送サイズ							
0	1	0	32 ビット							
15	SDS33	0：転送元のアドレッシングは通常モード								
14-12	SDS32- SDS30	<table><tr><td>SDS32</td><td>SDS31</td><td>SDS30</td><td>DMA 転送元（ソース）の転送サイズ</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr></table>	SDS32	SDS31	SDS30	DMA 転送元（ソース）の転送サイズ	0	1	0	32 ビット
SDS32	SDS31	SDS30	DMA 転送元（ソース）の転送サイズ							
0	1	0	32 ビット							
11	DRRP3	0：リンク・モードで LV = 0 の場合、CHSTAT3.DER3 ビットをセット（1）し動作停止								
10-8	AM32- AM30	<table><tr><td>AM32</td><td>AM31</td><td>AM30</td><td>DMA アクノリッジ信号（DMAACKZ3）の出力モード</td></tr><tr><td>0</td><td>0</td><td>0</td><td>パルス・モード（初期値）</td></tr></table>	AM32	AM31	AM30	DMA アクノリッジ信号（DMAACKZ3）の出力モード	0	0	0	パルス・モード（初期値）
AM32	AM31	AM30	DMA アクノリッジ信号（DMAACKZ3）の出力モード							
0	0	0	パルス・モード（初期値）							
6	LVL3	<table><tr><td>LVL3</td><td>HEN3</td><td>LEN3</td><td>DMA 転送要求信号の検出方法</td></tr><tr><td>0</td><td>1</td><td>0</td><td>立ち上がりエッジ検出</td></tr></table>	LVL3	HEN3	LEN3	DMA 転送要求信号の検出方法	0	1	0	立ち上がりエッジ検出
LVL3	HEN3		LEN3	DMA 転送要求信号の検出方法						
0	1		0	立ち上がりエッジ検出						
5	LEN3									
4	HEN3									
3	REQD3	0：DMAACKZ3 はリード時にアクティブ（DMAREQZ3 は転送元：ソース）								
2-0	SEL32- SEL30	<table><tr><td>SEL32</td><td>SEL31</td><td>SEL30</td><td>DMA トリガ要因選択レジスタの選択</td></tr><tr><td>0</td><td>1</td><td>1</td><td>DTFR3 で選択された DMA 転送要因を選択</td></tr></table>	SEL32	SEL31	SEL30	DMA トリガ要因選択レジスタの選択	0	1	1	DTFR3 で選択された DMA 転送要因を選択
SEL32	SEL31	SEL30	DMA トリガ要因選択レジスタの選択							
0	1	1	DTFR3 で選択された DMA 転送要因を選択							

図 9-38 設定例 1 の動作フロー



9.6.2 設定例 2 (レジスタ・モード, ブロック転送モード, ソフトウェア・トリガ)

表 9-26 の設定で DMA 転送を行う場合の設定例を示します。

表 9-26 DMA 転送の設定例 2

項 目	内 容	
使用チャンネル	チャンネル 2	
優先順位制御	ラウンドロビン・モード	
DMA モード	レジスタ・モード	
転送モード	ブロック転送モード	
使用レジスタ・セット	Next1 レジスタ・セット	
転送元／転送先	転送元	転送先
開始アドレス	0800 0000H	0F19 0000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	8 ビット	256 ビット
DMA トランザクション・データ・サイズ	128 バイト	
DMA トリガ要因選択レジスタ	DTFR2	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA2 マスク機能	なし	

表 9-27 設定例 2 のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)
N1SA2	0800 0000H	転送元アドレス
N1DA2	0F19 0000H	転送先アドレス
N1TB2	0000 0080H	トランザクション・データ・バイト数
CHCFG2	1045 0402H	チャンネル・コンフィギュレーション
CHITVL2	0000 0000H	転送間隔最短
DTFR2	0000 0000H	ソフトウェア・トリガのためハードウェア・トリガをマスク

表 9-28 設定例 2 のチャネル・コンフィギュレーション・レジスタ (CHCFG2) 設定

313029282726252423222120191817161514131211109876543210

CHCFG2

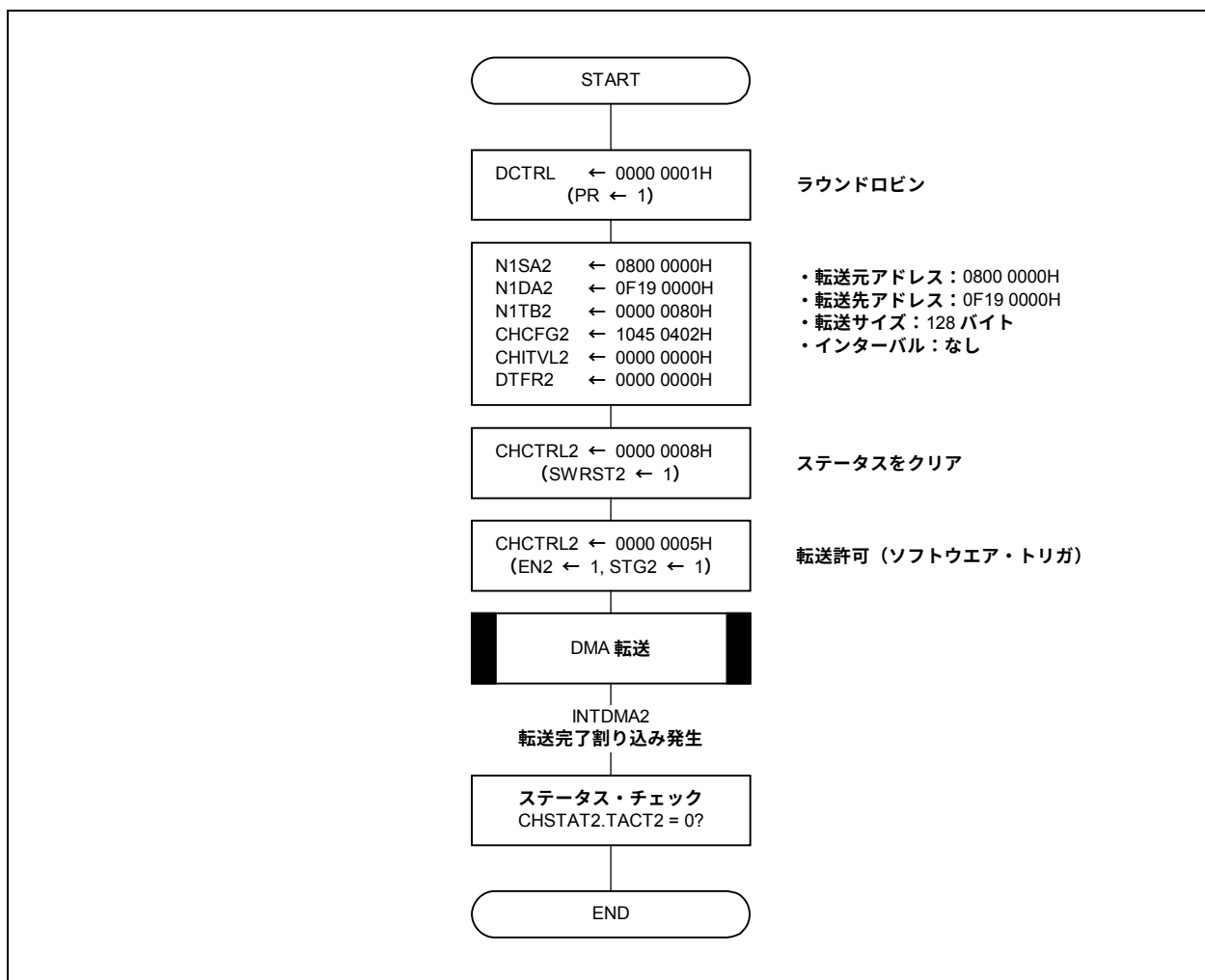
DMS2REN2RSW2RSEL2SBE2DIM2TCM2DEM2WONLY2TM2DAD2SAD2DDS23-
DDS20SDS23-
SDS20DRRP2AM22-
AM200LVL2LEN2HEN2REQD2SEL22-
SEL20

0F00 08ACH
初期値
0000 0000H

R/W00010000010001010000010000000010

ビット位置	ビット名	意 味								
31	DMS2	0：レジスタ・モード								
30	REN2	0：連続実行しない								
29	RSW2	0：DMA トランザクション（一連の DMA 転送）完了後に RSEL2 を反転しない								
28	RSEL2	1：次の DMA 転送に Next1 レジスタ・セットを使用する。								
27	SBE2	0：動作が停止された場合、バッファの掃き出し（ライト）をしないで転送中止								
26	DIM2	0：リンク・モードで LV = 0 の場合、INTDMA2 をマスクしない								
25	TCM2	0：マスクしない（ターミナル・カウント出力（DMATCZm）許可）								
24	DEM2	0：DMA トランザクション完了時の INTDMA2 出力許可								
23	WONLY2	0：通常動作								
22	TM2	1：ブロック転送モード								
21	DAD2	0：転送先のアドレスはインクリメント								
20	SAD2	0：転送元のアドレスはインクリメント								
19	DDS23	0：転送先のアドレッシングは通常モード								
18-16	DDS22- DDS20	<table><tr><td>DDS22</td><td>DDS21</td><td>DDS20</td><td>DMA 転送先（デスティネーション）の転送サイズ</td></tr><tr><td>1</td><td>0</td><td>1</td><td>256 ビット</td></tr></table>	DDS22	DDS21	DDS20	DMA 転送先（デスティネーション）の転送サイズ	1	0	1	256 ビット
DDS22	DDS21	DDS20	DMA 転送先（デスティネーション）の転送サイズ							
1	0	1	256 ビット							
15	SDS23	0：転送元のアドレッシングは通常モード								
14-12	SDS22- SDS20	<table><tr><td>SDS22</td><td>SDS21</td><td>SDS20</td><td>DMA 転送元（ソース）の転送サイズ</td></tr><tr><td>0</td><td>0</td><td>0</td><td>8 ビット</td></tr></table>	SDS22	SDS21	SDS20	DMA 転送元（ソース）の転送サイズ	0	0	0	8 ビット
SDS22	SDS21	SDS20	DMA 転送元（ソース）の転送サイズ							
0	0	0	8 ビット							
11	DRRP2	0：リンク・モードで LV = 0 の場合、CHSTAT2.DER2 ビットをセット（1）し動作停止								
10-8	AM22- AM20	<table><tr><td>AM22</td><td>AM21</td><td>AM20</td><td>DMA アクノリッジ信号（DMAACKZ2）の出力モード</td></tr><tr><td>1</td><td>X</td><td>X</td><td>DMA アクノリッジ信号（DMAACKZ2）の出力禁止</td></tr></table>	AM22	AM21	AM20	DMA アクノリッジ信号（DMAACKZ2）の出力モード	1	X	X	DMA アクノリッジ信号（DMAACKZ2）の出力禁止
AM22	AM21	AM20	DMA アクノリッジ信号（DMAACKZ2）の出力モード							
1	X	X	DMA アクノリッジ信号（DMAACKZ2）の出力禁止							
6	LVL2	<table><tr><td>LVL2</td><td>HEN2</td><td>LEN2</td><td>DMA 転送要求信号の検出方法</td></tr><tr><td>0</td><td>0</td><td>0</td><td>検出無効</td></tr></table>	LVL2	HEN2	LEN2	DMA 転送要求信号の検出方法	0	0	0	検出無効
LVL2	HEN2		LEN2	DMA 転送要求信号の検出方法						
0	0		0	検出無効						
5	LEN2									
4	HEN2									
3	REQD2	0：DMAACKZ2 はリード時にアクティブ（DMAREQZ2 は転送元：ソース）								
2-0	SEL22- SEL20	<table><tr><td>SEL22</td><td>SEL21</td><td>SEL20</td><td>DMA トリガ要因選択レジスタの選択</td></tr><tr><td>0</td><td>1</td><td>0</td><td>DTFR2 で選択された DMA 転送要因を選択</td></tr></table>	SEL22	SEL21	SEL20	DMA トリガ要因選択レジスタの選択	0	1	0	DTFR2 で選択された DMA 転送要因を選択
SEL22	SEL21	SEL20	DMA トリガ要因選択レジスタの選択							
0	1	0	DTFR2 で選択された DMA 転送要因を選択							

図 9-39 設定例 2 の動作フロー



9.6.3 設定例 3 (レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)

表 9-29 の設定で DMA 転送を行う場合の設定例を示します。

表 9-29 DMA 転送の設定例 3

項 目	内 容	
使用チャンネル	チャンネル 1	
優先順位制御	ラウンドロビン・モード	
DMA モード	レジスタ・モード	
転送モード	ブロック転送モード	
使用レジスタ・セット	Next0 レジスタ・セット→Next1 レジスタ・セット連続	
Next0 転送元／転送先	転送元	転送先
開始アドレス	0800 0000H	0F18 0000H
アドレスのカウント方向	固定	固定
転送データ・サイズ	32 ビット	512 ビット
DMA トランザクション・データ・サイズ	512 バイト	
Next1 転送元／転送先	転送元	転送先
開始アドレス	0840 0000H	0F18 4000H
アドレスのカウント方向	固定	固定
転送データ・サイズ	32 ビット	512 ビット
DMA トランザクション・データ・サイズ	2,048 バイト	
DMA トリガ要因選択レジスタ	DTFR1	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA1 マスク機能	Next0 レジスタ・セットでの DMA トランザクション完了時はマスク	

表 9-30 設定例 3 のレジスタ設定

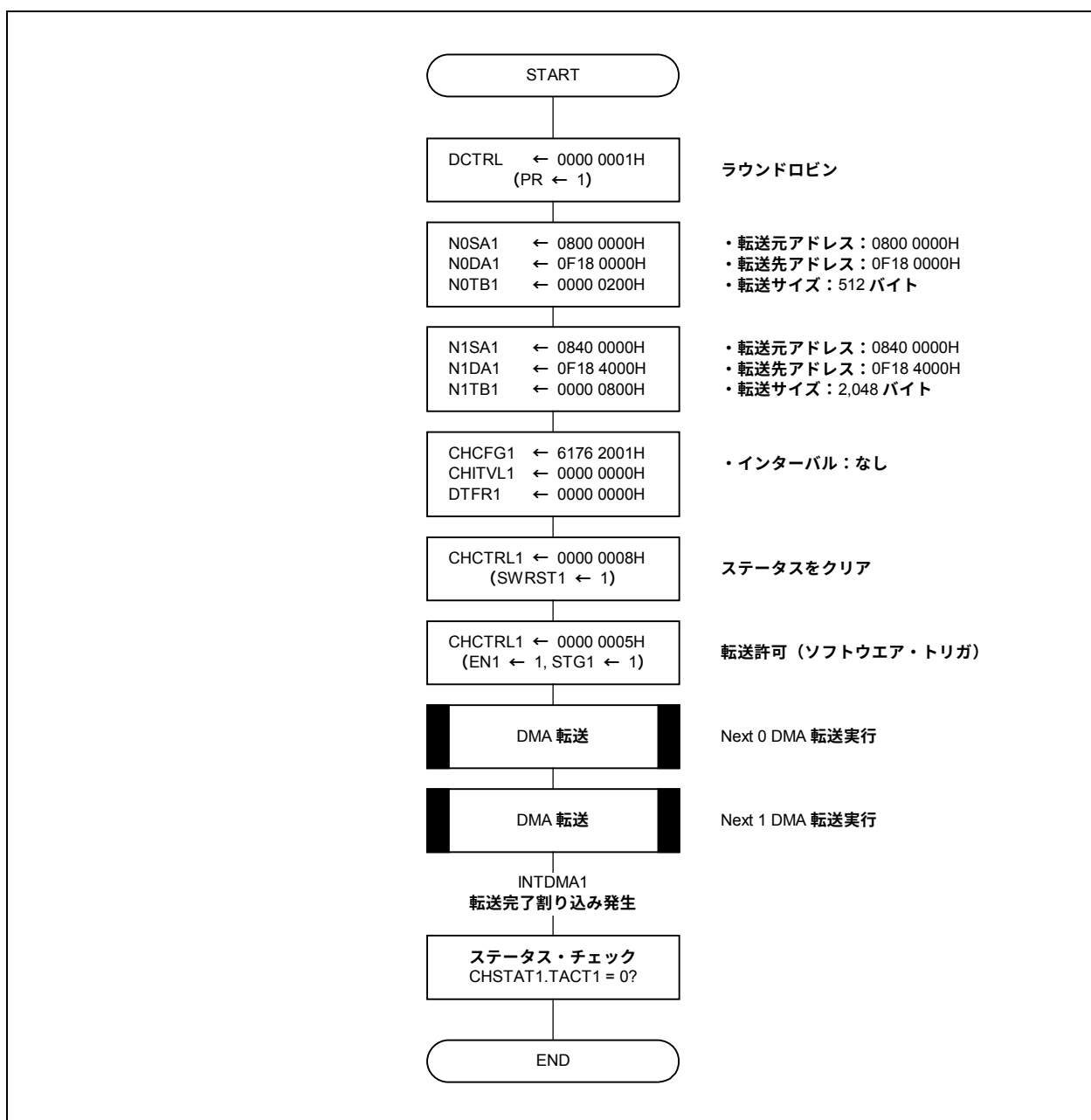
レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)
N0SA1	0800 0000H	Next0 転送元アドレス
N0DA1	0F18 0000H	Next0 転送先アドレス
N0TB1	0000 0200H	Next0 トランザクション・データ・バイト数
N1SA1	0840 0000H	Next1 転送元アドレス
N1DA1	0F18 4000H	Next1 転送先アドレス
N1TB1	0000 0800H	Next1 トランザクション・データ・バイト数
CHCFG1	6176 2001H	チャンネル・コンフィギュレーション
CHITVL1	0000 0000H	転送間隔最短
DTFR1	0000 0000H	ソフトウェア・トリガのためハードウェア・トリガをマスク

表 9-31 設定例3のチャネル・コンフィギュレーション・レジスタ (CHCFG1) 設定

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
CHCFG1		DMS1	REN1	RSW1	RSEL1	SBE1	DIM1	TCM1	DEM1	WONLY1	TM1	DAD1	SAD1	DDS13- DDS10		SDS13- SDS10		DRRP1	AM12- AM10		0	LVL1	LEN1	HEN1	REQD1	SEL12- SEL10						0F00 086CH		
	R/W	0	1	1	0	0	0	0	1	0	1	1	1	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	初期値 0000 0000H

ビット位置	ビット名	意 味								
31	DMS1	0：レジスタ・モード								
30	REN1	1：連続実行する（RSEL1 ビットで選択されている Next レジスタ・セットを使う）								
29	RSW1	1：DMA トランザクション（一連の DMA 転送）完了後に RSEL1 を反転する								
28	RSEL1	0：次の DMA 転送に Next0 レジスタ・セットを使用する								
27	SBE1	0：動作が停止された場合、バッファの掃き出し（ライト）をしないで転送中止								
26	DIM1	0：リンク・モードで LV = 0 の場合、INTDMA1 をマスクしない								
25	TCM1	0：マスクしない（ターミナル・カウント出力（DMATCZm）許可）								
24	DEM1	1：DMA トランザクション完了時の INTDMA1 出力をマスクする								
23	WONLY1	0：通常動作								
22	TM1	1：ブロック転送モード								
21	DAD1	1：転送先のアドレスは固定								
20	SAD1	1：転送元のアドレスは固定								
19	DDS13	0：転送先のアドレッシングは通常モード								
18-16	DDS12- DDS10	<table><tr><td>DDS12</td><td>DDS11</td><td>DDS10</td><td>DMA 転送先（デスティネーション）の転送サイズ</td></tr><tr><td>1</td><td>1</td><td>0</td><td>512 ビット</td></tr></table>	DDS12	DDS11	DDS10	DMA 転送先（デスティネーション）の転送サイズ	1	1	0	512 ビット
DDS12	DDS11	DDS10	DMA 転送先（デスティネーション）の転送サイズ							
1	1	0	512 ビット							
15	SDS13	0：転送元のアドレッシングは通常モード								
14-12	SDS12- SDS10	<table><tr><td>SDS12</td><td>SDS11</td><td>SDS10</td><td>DMA 転送元（ソース）の転送サイズ</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr></table>	SDS12	SDS11	SDS10	DMA 転送元（ソース）の転送サイズ	0	1	0	32 ビット
SDS12	SDS11	SDS10	DMA 転送元（ソース）の転送サイズ							
0	1	0	32 ビット							
11	DRRP1	0：リンク・モードで LV = 0 の場合、CHSTAT1.DER1 ビットをセット（1）し動作停止								
10-8	AM12- AM10	<table><tr><td>AM12</td><td>AM11</td><td>AM10</td><td>DMA アクノリッジ信号（DMAACKZ1）の出力モード</td></tr><tr><td>0</td><td>0</td><td>0</td><td>パルス・モード</td></tr></table>	AM12	AM11	AM10	DMA アクノリッジ信号（DMAACKZ1）の出力モード	0	0	0	パルス・モード
AM12	AM11	AM10	DMA アクノリッジ信号（DMAACKZ1）の出力モード							
0	0	0	パルス・モード							
6	LVL1	<table><tr><td>LVL2</td><td>HEN2</td><td>LEN2</td><td>DMA 転送要求信号の検出方法</td></tr><tr><td>0</td><td>0</td><td>0</td><td>検出無効</td></tr></table>	LVL2	HEN2	LEN2	DMA 転送要求信号の検出方法	0	0	0	検出無効
LVL2	HEN2		LEN2	DMA 転送要求信号の検出方法						
0	0		0	検出無効						
5	LEN1									
4	HEN1									
3	REQD1	0：DMAACKZ1 はリード時にアクティブ（DMAREQZ1 は転送元：ソース）								
2-0	SEL12- SEL10	<table><tr><td>SEL12</td><td>SEL11</td><td>SEL10</td><td>DMA トリガ要因選択レジスタの選択</td></tr><tr><td>0</td><td>0</td><td>1</td><td>DTFR1 で選択された DMA 転送要因を選択</td></tr></table>	SEL12	SEL11	SEL10	DMA トリガ要因選択レジスタの選択	0	0	1	DTFR1 で選択された DMA 転送要因を選択
SEL12	SEL11	SEL10	DMA トリガ要因選択レジスタの選択							
0	0	1	DTFR1 で選択された DMA 転送要因を選択							

図 9-40 設定例 3 の動作フロー



9.6.4 設定例 4 (リンク・モード, ブロック転送モード, ソフトウェア・トリガ)

表 9-32-表 9-35 の設定で DMA 転送を行う場合の設定例を示します。

表 9-32 DMA 転送の設定例 4

項 目	内 容
使用チャンネル	チャンネル 0
優先順位制御	ラウンドロビン・モード
DMA モード	リンク・モード
転送モード	ブロック転送モード
ディスクリプタ開始アドレス	0F19 1000H

表 9-33 DMA 転送の設定例 4 のディスクリプタ 1 設定

項 目	ディスクリプタ 1 設定内容	
ディスクリプタ先頭アドレス	0F19 1000H	
次ディスクリプタ先頭アドレス	0F19 2000H	
転送モード	ブロック転送モード	
Next0 転送元／転送先	転送元	転送先
開始アドレス	0800 0000H	0F18 0000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	32 ビット	32 ビット
DMA トランザクション・データ・サイズ	2,048 バイト	
DMA トリガ要因選択レジスタ	DTFR0	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA0 マスク機能	ディスクリプタ 1 での DMA トランザクション完了時はマスク	
ディスクリプタ・フォーマット	1 (8 ワード)	
ディスクリプタのヘッダ		
LV ビットの書き戻し	許可 (WBD = 0)	
次のリンク先	あり (LE = 0)	
ディスクリプタ有効	有効 (LV = 1)	

表 9-34 DMA 転送の設定例 4 のディスクリプタ 2 設定

項 目	ディスクリプタ 2 設定内容	
ディスクリプタ先頭アドレス	0F19 2000H	
次ディスクリプタ先頭アドレス	0F19 5000H	
転送モード	ブロック転送モード	
Next0 転送元／転送先	転送元	転送先
開始アドレス	0800 1000H	0F18 1000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	64 ビット	256 ビット
DMA トランザクション・データ・サイズ	1,024 バイト	
DMA トリガ要因選択レジスタ	DTFR0	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA0 マスク機能	ディスクリプタ 2 での DMA トランザクション完了時はマスク	
ディスクリプタ・フォーマット	1 (8 ワード)	
ディスクリプタのヘッダ		
LV ビットの書き戻し	許可 (WBD = 0)	
次のリンク先	あり (LE = 0)	
ディスクリプタ有効	有効 (LV = 1)	

表 9-35 DMA 転送の設定例 4 のディスクリプタ 3 設定

項 目	ディスクリプタ 3 設定内容	
ディスクリプタ先頭アドレス	0F19 5000H	
次ディスクリプタ先頭アドレス	—	
転送モード	ブロック転送モード	
Next0 転送元／転送先	転送元	転送先
開始アドレス	0800 6000H	0F18 6000H
アドレスのカウント方向	インクリメント	インクリメント
転送データ・サイズ	512 ビット	512 ビット
DMA トランザクション・データ・サイズ	4,096 バイト	
DMA トリガ要因選択レジスタ	DTFR0	
DMA 転送要求	ソフトウェア	
DMA アクノリッジ信号	DMA アクノリッジ信号をマスク	
INTDMA0 マスク機能	マスクしない	
ディスクリプタ・フォーマット	1 (8 ワード)	
ディスクリプタのヘッダ		
LV ビットの書き戻し	許可 (WBD = 0)	
次のリンク先	なし (LE = 1)	
ディスクリプタ有効	有効 (LV = 1)	

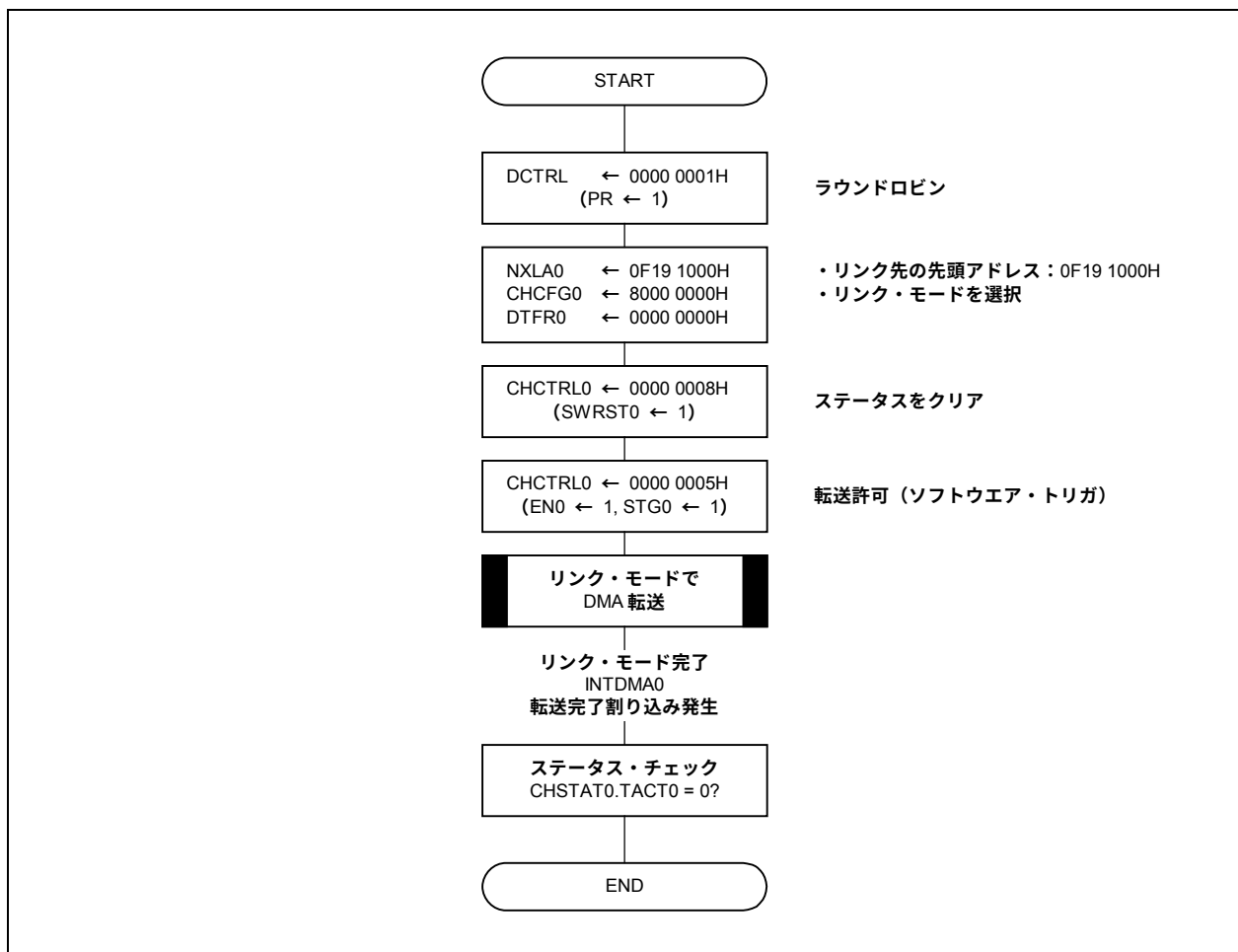
表 9-36 設定例4のレジスタ設定

レジスタ	設定値	設定内容等
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)
NXLA0	0F19 1000H	ディスクリプタ先頭アドレス
CHCFG0	8000 0000H	チャンネル・コンフィギュレーション
DTFR0	0000 0000H	ソフトウェア・トリガのためハードウェア・トリガをマスク

表 9-37 設定例4のディスクリプタ設定

項 目	ディスクリプタ 1	ディスクリプタ 2	ディスクリプタ 3
ヘッダ	1100 0000H	1100 0000H	1300 0000H
ソース・アドレス	0800 0000H	0800 1000H	0800 6000H
デスティネーション・アドレス	0F18 0000H	0F18 1000H	0F18 6000H
トランザクション・バイト	0000 0800H	0000 0400H	0000 1000H
チャンネル・コンフィギュレーション	8342 2008H	8345 3008H	8246 6008H
チャンネル・インターバル	0000 0000H	0000 0000H	0000 0000H
ネクスト・リンク・アドレス	0000 2000H	0000 5000H	0000 0000H

図 9-41 設定例4の動作フロー



9.7 注意事項

- (1) CPU の動作クロックが OSCCLK (CPCLK = OSCCLK) の場合は、OSCCLK 系統で動作している内蔵周辺機能からの割り込み信号は、DMA トリガに利用できません。該当する内蔵周辺機能は、タイマ (TMM, TAA, TMT) を OSCCLK 系統のクロックで動作させている場合です。
- (2) 転送元と転送先の領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保証できません。したがって、データの転送元と転送先のアドレス領域は重複させないでください。
- (3) 転送元アドレス固定 (CHCFGn レジスタの SADn = 1) に設定した場合は、転送元はスキップ・モードを指定できません。
- (4) 転送先アドレス固定 (CHCFGn レジスタの DADn = 1) に設定した場合は、転送先はスキップ・モード指定できません。
- (5) 転送元アドレス固定 (CHCFGn レジスタの SADn = 1) に設定した場合は、転送元のデータは、CHCFGn レジスタの SDSn3-SDSn0 で選択したトランスファ・サイズのアドレスにアラインされている必要があります。たとえば 32 ビットを選択している場合は、4 で割り切れるアドレスにデータを配置してください。
- (6) 転送先アドレス固定 (CHCFGn レジスタの DADn = 1) に設定した場合は、転送元のデータは、CHCFGn レジスタの DDSn3-DDSn0 で選択したトランスファ・サイズのアドレスにアラインされている必要があります。たとえば 32 ビットを選択している場合は、4 で割り切れるアドレスにデータを配置してください。
- (7) ハードウェア・トリガを利用時は、転送先が DMA 転送要求を発行している場合 (CHCFGn レジスタの REQD = 1) は、掃き出しモード (CHCFGn レジスタの SBEn = 1) は利用できません。
- (8) DMA アクノリッジ出力に、バス・サイクル出力を選択した場合、バス・サイクル出力は、内部システム・バスのリード／ライト・サイクルを基準に出力されます。、外部バス・インタフェースのバス・サイクルでは、メモリ・コントローラ内部でのバス変換、ウェイト等の設定により、実際のリード／ライト・サイクルよりも速いタイミングで DMA アクノリッジ信号が出力されます。
- (9) ディスクリプタは、命令 RAM、データ RAM 以外の領域に配置してください。
命令 RAM、データ RAM 領域に配置した場合には、ディスクリプタ・リード時にバス・エラーが発生します。

第10章 割り込み／例外処理機能

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。EP3-AM1 では次の例外をサポートしています。

表 10-1 例外要因一覧

名 称	略 称	発生要因	優先順位	例外レベル
CPU 初期化	RESET	リセット入力	1	—
FE レベル・ノンマスクابل割り込み	FENMI	FENMI 入力 (EP3-AM1 は未使用)	2	FE
システム・エラー例外	SYSERR	SYSERR 入力 (4 要因)	3	FE
周辺装置保護例外	PPI	周辺装置保護違反	4	FE
タイミング監視例外	TSI	タイミング監視違反	5	FE
FE レベル・マスクابل割り込み	FEINT	FEINT 入力 (NMI 端子入力)	6	FE
浮動小数点演算例外 (インプレサイズ)	FPI	FPU 命令	7	EI
EI レベル・マスクابل割り込み	EIINT	マスクابل割り込み入力	8	EI
実行保護例外	MIP	実行保護違反	9	FE
メモリ・エラー例外	MEP	命令アクセス・エラー入力	10	FE
データ保護例外	MDP	データ保護違反	11	FE
浮動小数点演算例外 (プレサイズ)	FPP	FPU 命令		EI
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令		FE
予約命令例外	RIEX	予約命令		FE
FE レベル・ソフトウェア例外	FETRAPEX	FETRAP 命令 (vector = 1H-FH)		FE
EI レベル・ソフトウェア例外	EITRAP0	TRAP0n 命令 (vector = 00-0FH)		EI
EI レベル・ソフトウェア例外	EITRAP1	TRAP1n 命令 (vector = 10H-1FH)		EI
システム・コール例外	SYSCALLEX	SYSCALL 命令 (vector = 00H-FFH)		EI

表 10-1 のうち、次の 2 種の例外を割り込みと呼び、この章ではこれらについて説明します。

その他の例外については V850E2M ユーザーズ・マニュアル アーキテクチャ編 (U19949) を参照してください。

○FE レベル・マスカブル割り込み (FEINT : NMI 端子入力) : 1 要因

- ・再開可能／回復可能[※]
- ・最高優先度割り込み

○EI レベル・マスカブル割り込み (EIINT) : 152 要因

- ・再開可能／回復可能[※]
- ・各割り込みチャンネルごとに割り込みマスクを指定可能
- ・各割り込みチャンネルごとに 16 レベルの割り込み優先度を指定可能
- ・本章では割り込みチャンネル n に対応する EIINT を EIINT n と表記します。

注 再開： 元のプログラムの中断した位置から実行再開が可能／不可能であることを示します。

回復： 元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ，システム・レジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

これらの割り込み要因を表 10-2 に示します。

表 10-2 割り込み要因一覧 (1/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
—	RESETZ	RESETZ	リセット入力	—	—	0000H	0000 0000H	不定	—	—	
FE	FEINT	NMI	NMI 入力	端子	—	0010H	0000 0010H	currentPC	FERET	FIC	FFFF 645EH
EI	EIINT0	INTWDT	WDT アラーム割り込み	WDT	0	0080H	0000 0080H	currentPC	EIRET	EIC0	FFFF 6000H
EI	EIINT1	INTSFC	シリアル・フラッシュ ROM メモリ・コントローラ・ システム・エラー	SFEMEMC	1	0090H	0000 0090H	currentPC	EIRET	EIC1	FFFF 6002H
EI	EIINT2	INTPZ0	INTPZ0 入力	端子	2	00A0H	0000 00A0H	currentPC	EIRET	EIC2	FFFF 6004H
EI	EIINT3	INTPZ1	INTPZ1 入力	端子	3	00B0H	0000 00B0H	currentPC	EIRET	EIC3	FFFF 6006H
EI	EIINT4	INTPZ2	INTPZ2 入力	端子	4	00C0H	0000 00C0H	currentPC	EIRET	EIC4	FFFF 6008H
EI	EIINT5	INTPZ3	INTPZ3 入力	端子	5	00D0H	0000 00D0H	currentPC	EIRET	EIC5	FFFF 600AH
EI	EIINT6	INTPZ4	INTPZ4 入力	端子	6	00E0H	0000 00E0H	currentPC	EIRET	EIC6	FFFF 600CH
EI	EIINT7	INTPZ5	INTPZ5 入力	端子	7	00F0H	0000 00F0H	currentPC	EIRET	EIC7	FFFF 600EH
EI	EIINT8	INTPZ6	INTPZ6 入力	端子	8	0100H	0000 0100H	currentPC	EIRET	EIC8	FFFF 6010H
EI	EIINT9	INTPZ7	INTPZ7 入力	端子	9	0110H	0000 0110H	currentPC	EIRET	EIC9	FFFF 6012H
EI	EIINT10	INTPZ16	INTPZ16 入力	端子	10	0120H	0000 0120H	currentPC	EIRET	EIC10	FFFF 6014H
EI	EIINT11	INTPZ17	INTPZ17 入力	端子	11	0130H	0000 0130H	currentPC	EIRET	EIC11	FFFF 6016H
EI	EIINT12	INTPZ18	INTPZ18 入力	端子	12	0140H	0000 0140H	currentPC	EIRET	EIC12	FFFF 6018H
EI	EIINT13	INTPZ19	INTPZ19 入力	端子	13	0150H	0000 0150H	currentPC	EIRET	EIC13	FFFF 601AH
EI	EIINT14	INTPZ20	INTPZ20 入力	端子	14	0160H	0000 0160H	currentPC	EIRET	EIC14	FFFF 601CH
EI	EIINT15	INTPZ21	INTPZ21 入力	端子	15	0170H	0000 0170H	currentPC	EIRET	EIC15	FFFF 601EH
EI	EIINT16	INTPZ22	INTPZ22 入力	端子	16	0180H	0000 0180H	currentPC	EIRET	EIC16	FFFF 6020H
EI	EIINT17	INTPZ23	INTPZ23 入力	端子	17	0190H	0000 0190H	currentPC	EIRET	EIC17	FFFF 6022H
EI	EIINT18	INTTIOV0	TMT0 オーバフロー割り込み	TMT0	18	01A0H	0000 01A0H	currentPC	EIRET	EIC18	FFFF 6024H
EI	EIINT19	INTTEQC00	TMT0 コンペア 0 一致 or キャプチャ 0 割り込み	TMT0	19	01B0H	0000 01B0H	currentPC	EIRET	EIC19	FFFF 6026H
EI	EIINT20	INTTEQC01	TMT0 コンペア 1 一致 or キャプチャ 1 割り込み	TMT0	20	01C0H	0000 01C0H	currentPC	EIRET	EIC20	FFFF 6028H
EI	EIINT21	INTTIEC0	TMT0 エンコーダ・クリア割り込み	TMT0	21	01D0H	0000 01D0H	currentPC	EIRET	EIC21	FFFF 602AH

表 10-2 割り込み要因一覧 (2/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT22	INTTIOV1	TMT1 オーバフロー・割り込み	TMT1	22	01E0H	0000 01E0H	currentPC	EIRET	EIC22	FFFF 602CH
EI	EIINT23	INTTEQC10	TMT1 コンペア 0 一致 or キヤプチャ 0 割り込み	TMT1	23	01F0H	0000 01F0H	currentPC	EIRET	EIC23	FFFF 602EH
EI	EIINT24	INTTEQC11	TMT1 コンペア 1 一致 or キヤプチャ 1 割り込み	TMT1	24	0200H	0000 0200H	currentPC	EIRET	EIC24	FFFF 6030H
EI	EIINT25	INTTIEC1	TMT1 エンコーダ・クリア割り込み	TMT1	25	0210H	0000 0210H	currentPC	EIRET	EIC25	FFFF 6032H
EI	EIINT26	INTTA0OV	TAA0 オーバーフロー・割り込み	TAA0	26	0220H	0000 0220H	currentPC	EIRET	EIC26	FFFF 6034H
EI	EIINT27	INTTA0CC0	TAA0 コンペア 0 一致割り込み	TAA0	27	0230H	0000 0230H	currentPC	EIRET	EIC27	FFFF 6036H
EI	EIINT28	INTTA0CC1	TAA0 コンペア 1 一致割り込み	TAA0	28	0240H	0000 0240H	currentPC	EIRET	EIC28	FFFF 6038H
EI	EIINT29	INTTA1OV	TAA1 オーバーフロー・割り込み	TAA1	29	0250H	0000 0250H	currentPC	EIRET	EIC29	FFFF 603AH
EI	EIINT30	INTTA1CC0	TAA1 コンペア 0 一致割り込み	TAA1	30	0260H	0000 0260H	currentPC	EIRET	EIC30	FFFF 603CH
EI	EIINT31	INTTA1CC1	TAA1 コンペア 1 一致割り込み	TAA1	31	0270H	0000 0270H	currentPC	EIRET	EIC31	FFFF 603EH
EI	EIINT32	INTTA2OV	TAA2 オーバーフロー・割り込み	TAA2	32	0280H	0000 0280H	currentPC	EIRET	EIC32	FFFF 6040H
EI	EIINT33	INTTA2CC0	TAA2 コンペア 0 一致割り込み	TAA2	33	0290H	0000 0290H	currentPC	EIRET	EIC33	FFFF 6042H
EI	EIINT34	INTTA2CC1	TAA2 コンペア 1 一致割り込み	TAA2	34	02A0H	0000 02A0H	currentPC	EIRET	EIC34	FFFF 6044H
EI	EIINT35	INTTA3OV	TAA3 オーバーフロー・割り込み	TAA3	35	02B0H	0000 02B0H	currentPC	EIRET	EIC35	FFFF 6046H
EI	EIINT36	INTTA3CC0	TAA3 コンペア 0 一致割り込み	TAA3	36	02C0H	0000 02C0H	currentPC	EIRET	EIC36	FFFF 6048H
EI	EIINT37	INTTA3CC1	TAA3 コンペア 1 一致割り込み	TAA3	37	02D0H	0000 02D0H	currentPC	EIRET	EIC37	FFFF 604AH
EI	EIINT38	INTTA4OV	TAA4 オーバーフロー・割り込み	TAA4	38	02E0H	0000 02E0H	currentPC	EIRET	EIC38	FFFF 604CH
EI	EIINT39	INTTA4CC0	TAA4 コンペア 0 一致割り込み	TAA4	39	02F0H	0000 02F0H	currentPC	EIRET	EIC39	FFFF 604EH
EI	EIINT40	INTTA4CC1	TAA4 コンペア 1 一致割り込み	TAA4	40	0300H	0000 0300H	currentPC	EIRET	EIC40	FFFF 6050H
EI	EIINT41	INTTA5OV	TAA5 オーバーフロー・割り込み	TAA5	41	0310H	0000 0310H	currentPC	EIRET	EIC41	FFFF 6052H
EI	EIINT42	INTTA5CC0	TAA5 コンペア 0 一致割り込み	TAA5	42	0320H	0000 0320H	currentPC	EIRET	EIC42	FFFF 6054H
EI	EIINT43	INTTA5CC1	TAA5 コンペア 1 一致割り込み	TAA5	43	0330H	0000 0330H	currentPC	EIRET	EIC43	FFFF 6056H
EI	EIINT44	INTDMAERR	システム・バス DMAC エラー応答割り込み	System Bus DMAC	44	0340H	0000 0340H	currentPC	EIRET	EIC44	FFFF 6058H
EI	EIINT45	INTDMA0	システム・バス DMAC チャネル 0 転送完了割り込み	System Bus DMAC	45	0350H	0000 0350H	currentPC	EIRET	EIC45	FFFF 605AH
EI	EIINT46	INTDMA1	システム・バス DMAC チャネル 1 転送完了割り込み	System Bus DMAC	46	0360H	0000 0360H	currentPC	EIRET	EIC46	FFFF 605CH

表 10-2 割り込み要因一覧 (3/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT47	INTDMA2	システム・バス DMAC チャネル 2 転送完了割り込み	System Bus DMAC	47	0370H	0000 0370H	currentPC	EIRET	EIC47	FFFF 605EH
EI	EIINT48	INTDMA3	システム・バス DMAC チャネル 3 転送完了割り込み	System Bus DMAC	48	0380H	0000 0380H	currentPC	EIRET	EIC48	FFFF 6060H
EI	EIINT49	INTDMA4	システム・バス DMAC チャネル 4 転送完了割り込み	System Bus DMAC	49	0390H	0000 0390H	currentPC	EIRET	EIC49	FFFF 6062H
EI	EIINT50	INTDMA5	システム・バス DMAC チャネル 5 転送完了割り込み	System Bus DMAC	50	03A0H	0000 03A0H	currentPC	EIRET	EIC50	FFFF 6064H
EI	EIINT51	INTDMA6	システム・バス DMAC チャネル 6 転送完了割り込み	System Bus DMAC	51	03B0H	0000 03B0H	currentPC	EIRET	EIC51	FFFF 6066H
EI	EIINT52	INTDMA7	システム・バス DMAC チャネル 7 転送完了割り込み	System Bus DMAC	52	03C0H	0000 03C0H	currentPC	EIRET	EIC52	FFFF 6068H
EI	EIINT53	INTCDMA0	セントラル DMAC チャネル 0 転送完了割り込み	Central DMAC	53	03D0H	0000 03D0H	currentPC	EIRET	EIC53	FFFF 606AH
EI	EIINT54	INTCDMA1	セントラル DMAC チャネル 1 転送完了割り込み	Central DMAC	54	03E0H	0000 03E0H	currentPC	EIRET	EIC54	FFFF 606CH
EI	EIINT55	INTCDMA2	セントラル DMAC チャネル 2 転送完了割り込み	Central DMAC	55	03F0H	0000 03F0H	currentPC	EIRET	EIC55	FFFF 606EH
EI	EIINT56	INTCDMA3	セントラル DMAC チャネル 3 転送完了割り込み	Central DMAC	56	0400H	0000 0400H	currentPC	EIRET	EIC56	FFFF 6070H
EI	EIINT57	INTCDMA4	セントラル DMAC チャネル 4 転送完了割り込み	Central DMAC	57	0410H	0000 0410H	currentPC	EIRET	EIC57	FFFF 6072H
EI	EIINT58	INTCDMA5	セントラル DMAC チャネル 5 転送完了割り込み	Central DMAC	58	0420H	0000 0420H	currentPC	EIRET	EIC58	FFFF 6074H
EI	EIINT59	INTCDMA6	セントラル DMAC チャネル 6 転送完了割り込み	Central DMAC	59	0430H	0000 0430H	currentPC	EIRET	EIC59	FFFF 6076H
EI	EIINT60	INTCDMA7	セントラル DMAC チャネル 7 転送完了割り込み	Central DMAC	60	0440H	0000 0440H	currentPC	EIRET	EIC60	FFFF 6078H
EI	EIINT61	INTCDMA8	セントラル DMAC チャネル 8 転送完了割り込み	Central DMAC	61	0450H	0000 0450H	currentPC	EIRET	EIC61	FFFF 607AH
EI	EIINT62	INTCDMA9	セントラル DMAC チャネル 9 転送完了割り込み	Central DMAC	62	0460H	0000 0460H	currentPC	EIRET	EIC62	FFFF 607CH
EI	EIINT63	INTCDMA10	セントラル DMAC チャネル 10 転送完了割り込み	Central DMAC	63	0470H	0000 0470H	currentPC	EIRET	EIC63	FFFF 607EH
EI	EIINT64	INTCDMA11	セントラル DMAC チャネル 11 転送完了割り込み	Central DMAC	64	0480H	0000 0480H	currentPC	EIRET	EIC64	FFFF 6080H
EI	EIINT65	INTCDMA12	セントラル DMAC チャネル 12 転送完了割り込み	Central DMAC	65	0490H	0000 0490H	currentPC	EIRET	EIC65	FFFF 6082H
EI	EIINT66	INTCDMA13	セントラル DMAC チャネル 13 転送完了割り込み	Central DMAC	66	04A0H	0000 04A0H	currentPC	EIRET	EIC66	FFFF 6084H
EI	EIINT67	INTCDMA14	セントラル DMAC チャネル 14 転送完了割り込み	Central DMAC	67	04B0H	0000 04B0H	currentPC	EIRET	EIC67	FFFF 6086H
EI	EIINT68	INTCDMA15	セントラル DMAC チャネル 15 転送完了割り込み	Central DMAC	68	04C0H	0000 04C0H	currentPC	EIRET	EIC68	FFFF 6088H
EI	EIINT69	INTCDMACT0	セントラル DMAC チャネル 0 転送回数一致割り込み	Central DMAC	69	04D0H	0000 04D0H	currentPC	EIRET	EIC69	FFFF 608AH
EI	EIINT70	INTCDMACT1	セントラル DMAC チャネル 1 転送回数一致割り込み	Central DMAC	70	04E0H	0000 04E0H	currentPC	EIRET	EIC70	FFFF 608CH
EI	EIINT71	INTCDMACT2	セントラル DMAC チャネル 2 転送回数一致割り込み	Central DMAC	71	04F0H	0000 04F0H	currentPC	EIRET	EIC71	FFFF 608EH

表 10-2 割り込み要因一覧 (4/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT72	INTCDMACT3	セントラル DMAC チャネル 3 転送回数一致割り込み	Central DMAC	72	0500H	0000 0500H	currentPC	EIRET	EIC72	FFFF 6090H
EI	EIINT73	INTCDMACT4	セントラル DMAC チャネル 4 転送回数一致割り込み	Central DMAC	73	0510H	0000 0510H	currentPC	EIRET	EIC73	FFFF 6092H
EI	EIINT74	INTCDMACT5	セントラル DMAC チャネル 5 転送回数一致割り込み	Central DMAC	74	0520H	0000 0520H	currentPC	EIRET	EIC74	FFFF 6094H
EI	EIINT75	INTCDMACT6	セントラル DMAC チャネル 6 転送回数一致割り込み	Central DMAC	75	0530H	0000 0530H	currentPC	EIRET	EIC75	FFFF 6096H
EI	EIINT76	INTCDMACT7	セントラル DMAC チャネル 7 転送回数一致割り込み	Central DMAC	76	0540H	0000 0540H	currentPC	EIRET	EIC76	FFFF 6098H
EI	EIINT77	INTCDMACT8	セントラル DMAC チャネル 8 転送回数一致割り込み	Central DMAC	77	0550H	0000 0550H	currentPC	EIRET	EIC77	FFFF 609AH
EI	EIINT78	INTCDMACT9	セントラル DMAC チャネル 9 転送回数一致割り込み	Central DMAC	78	0560H	0000 0560H	currentPC	EIRET	EIC78	FFFF 609CH
EI	EIINT79	INTCDMACT10	セントラル DMAC チャネル 10 転送回数一致割り込み	Central DMAC	79	0570H	0000 0570H	currentPC	EIRET	EIC79	FFFF 609EH
EI	EIINT80	INTCDMACT11	セントラル DMAC チャネル 11 転送回数一致割り込み	Central DMAC	80	0580H	0000 0580H	currentPC	EIRET	EIC80	FFFF 60A0H
EI	EIINT81	INTCDMACT12	セントラル DMAC チャネル 12 転送回数一致割り込み	Central DMAC	81	0590H	0000 0590H	currentPC	EIRET	EIC81	FFFF 60A2H
EI	EIINT82	INTCDMACT13	セントラル DMAC チャネル 13 転送回数一致割り込み	Central DMAC	82	05A0H	0000 05A0H	currentPC	EIRET	EIC82	FFFF 60A4H
EI	EIINT83	INTCDMACT14	セントラル DMAC チャネル 14 転送回数一致割り込み	Central DMAC	83	05B0H	0000 05B0H	currentPC	EIRET	EIC83	FFFF 60A6H
EI	EIINT84	INTCDMACT15	セントラル DMAC チャネル 15 転送回数一致割り込み	Central DMAC	84	05C0H	0000 05C0H	currentPC	EIRET	EIC84	FFFF 60A8H
EI	EIINT85	未使用	-	-	85	05D0H	0000 05D0H	currentPC	EIRET	EIC85	FFFF 60AAH
EI	EIINT86	未使用	-	-	86	05E0H	0000 05E0H	currentPC	EIRET	EIC86	FFFF 60ACH
EI	EIINT87	未使用	-	-	87	05F0H	0000 05F0H	currentPC	EIRET	EIC87	FFFF 60AEH
EI	EIINT88	未使用	-	-	88	0600H	0000 0600H	currentPC	EIRET	EIC88	FFFF 60B0H
EI	EIINT89	未使用	-	-	89	0610H	0000 0610H	currentPC	EIRET	EIC89	FFFF 60B2H
EI	EIINT90	未使用	-	-	90	0620H	0000 0620H	currentPC	EIRET	EIC90	FFFF 60B4H
EI	EIINT91	未使用	-	-	91	0630H	0000 0630H	currentPC	EIRET	EIC91	FFFF 60B6H
EI	EIINT92	未使用	-	-	92	0640H	0000 0640H	currentPC	EIRET	EIC92	FFFF 60B8H
EI	EIINT93	INTUART0	UART0 割り込み	UART	93	0650H	0000 0650H	currentPC	EIRET	EIC93	FFFF 60BAH
EI	EIINT94	INTUART1	UART1 割り込み	UART	94	0660H	0000 0660H	currentPC	EIRET	EIC94	FFFF 60BCH
EI	EIINT95	INTUART2	UART2 割り込み	UART	95	0670H	0000 0670H	currentPC	EIRET	EIC95	FFFF 60BEH
EI	EIINT96	INTUART3	UART3 割り込み	UART	96	0680H	0000 0680H	currentPC	EIRET	EIC96	FFFF 60C0H

表 10-2 割り込み要因一覧 (5/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT97	INTCSI30	CSI30 送受信完了割り込み	CSI30	97	0690H	0000 0690H	currentPC	EIRET	EIC97	FFFF 60C2H
EI	EIINT98	INTCOVF30	CSI30 バッファ・オーバーフロー割り込み	CSI30	98	06A0H	0000 06A0H	currentPC	EIRET	EIC98	FFFF 60C4H
EI	EIINT99	INTCSI31	CSI31 送受信完了割り込み	CSI31	99	06B0H	0000 06B0H	currentPC	EIRET	EIC99	FFFF 60C6H
EI	EIINT100	INTCOVF31	CSI31 バッファ・オーバーフロー割り込み	CSI31	100	06C0H	0000 06C0H	currentPC	EIRET	EIC100	FFFF 60C8H
EI	EIINT101	INTCSI32	CSI32 送受信完了割り込み	CSI32	101	06D0H	0000 06D0H	currentPC	EIRET	EIC101	FFFF 60CAH
EI	EIINT102	INTCOVF32	CSI32 バッファ・オーバーフロー割り込み	CSI32	102	06E0H	0000 06E0H	currentPC	EIRET	EIC102	FFFF 60CCH
EI	EIINT103	INTCSI33	CSI33 送受信完了割り込み	CSI33	103	06F0H	0000 06F0H	currentPC	EIRET	EIC103	FFFF 60CEH
EI	EIINT104	INTCOVF33	CSI33 バッファ・オーバーフロー割り込み	CSI33	104	0700H	0000 0700H	currentPC	EIRET	EIC104	FFFF 60D0H
EI	EIINT105	INTCSI34	CSI34 送受信完了割り込み	CSI34	105	0710H	0000 0710H	currentPC	EIRET	EIC105	FFFF 60D2H
EI	EIINT106	INTCOVF34	CSI34 バッファ・オーバーフロー割り込み	CSI34	106	0720H	0000 0720H	currentPC	EIRET	EIC106	FFFF 60D4H
EI	EIINT107	INTCSI35	CSI35 送受信完了割り込み	CSI35	107	0730H	0000 0730H	currentPC	EIRET	EIC107	FFFF 60D6H
EI	EIINT108	INTCOVF35	CSI35 バッファ・オーバーフロー割り込み	CSI35	108	0740H	0000 0740H	currentPC	EIRET	EIC108	FFFF 60D8H
EI	EIINT109	INTCSI36	CSI36 送受信完了割り込み	CSI36	109	0750H	0000 0750H	currentPC	EIRET	EIC109	FFFF 60DAH
EI	EIINT110	INTCOVF36	CSI36 バッファ・オーバーフロー割り込み	CSI36	110	0760H	0000 0760H	currentPC	EIRET	EIC110	FFFF 60DCH
EI	EIINT111	INTCSI37	CSI37 送受信完了割り込み	CSI37	111	0770H	0000 0770H	currentPC	EIRET	EIC111	FFFF 60DEH
EI	EIINT112	INTCOVF37	CSI37 バッファ・オーバーフロー割り込み	CSI37	112	0780H	0000 0780H	currentPC	EIRET	EIC112	FFFF 60E0H
EI	EIINT113	INTTM0EQ0	TMM0 コンペアー一致割り込み	TMM0	113	0790H	0000 0790H	currentPC	EIRET	EIC113	FFFF 60E2H
EI	EIINT114	INTTM1EQ0	TMM1 コンペアー一致割り込み	TMM1	114	07A0H	0000 07A0H	currentPC	EIRET	EIC114	FFFF 60E4H
EI	EIINT115	INTTM2EQ0	TMM2 コンペアー一致割り込み	TMM2	115	07B0H	0000 07B0H	currentPC	EIRET	EIC115	FFFF 60E6H
EI	EIINT116	INTTM3EQ0	TMM3 コンペアー一致割り込み	TMM3	116	07C0H	0000 07C0H	currentPC	EIRET	EIC116	FFFF 60E8H
EI	EIINT117	INTTM4EQ0	TMM4 コンペアー一致割り込み	TMM4	117	07D0H	0000 07D0H	currentPC	EIRET	EIC117	FFFF 60EAH
EI	EIINT118	INTTM5EQ0	TMM5 コンペアー一致割り込み	TMM5	118	07E0H	0000 07E0H	currentPC	EIRET	EIC118	FFFF 60ECH
EI	EIINT119	INTAD	A/D 変換終了割り込み	A/D	119	07F0H	0000 07F0H	currentPC	EIRET	EIC119	FFFF 60EEH
EI	EIINT120	未使用	-	-	120	0800H	0000 0800H	currentPC	EIRET	EIC120	FFFF 60F0H
EI	EIINT121	未使用	-	-	121	0810H	0000 0810H	currentPC	EIRET	EIC121	FFFF 60F2H

表 10-2 割り込み要因一覧 (6/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT122	未使用	-	-	122	0820H	0000 0820H	currentPC	EIRET	EIC122	FFFF 60F4H
EI	EIINT123	未使用	-	-	123	0830H	0000 0830H	currentPC	EIRET	EIC123	FFFF 60F6H
EI	EIINT124	未使用	-	-	124	0840H	0000 0840H	currentPC	EIRET	EIC124	FFFF 60F8H
EI	EIINT125	未使用	-	-	125	0850H	0000 0850H	currentPC	EIRET	EIC125	FFFF 60FAH
EI	EIINT126	未使用	-	-	126	0860H	0000 0860H	currentPC	EIRET	EIC126	FFFF 60FCH
EI	EIINT127	未使用	-	-	127	0870H	0000 0870H	currentPC	EIRET	EIC127	FFFF 60FEH
EI	EIINT128	未使用	-	-	128	0880H	0000 0880H	currentPC	EIRET	EIC128	FFFF 6100H
EI	EIINT129	未使用	-	-	129	0890H	0000 0890H	currentPC	EIRET	EIC129	FFFF 6102H
EI	EIINT130	未使用	-	-	130	08A0H	0000 08A0H	currentPC	EIRET	EIC130	FFFF 6104H
EI	EIINT131	未使用	-	-	131	08B0H	0000 08B0H	currentPC	EIRET	EIC131	FFFF 6106H
EI	EIINT132	未使用	-	-	132	08C0H	0000 08C0H	currentPC	EIRET	EIC132	FFFF 6108H
EI	EIINT133	未使用	-	-	133	08D0H	0000 08D0H	currentPC	EIRET	EIC133	FFFF 610AH
EI	EIINT134	未使用	-	-	134	08E0H	0000 08E0H	currentPC	EIRET	EIC134	FFFF 610CH
EI	EIINT135	INTPZ8 入力		端子	135	08F0H	0000 08F0H	currentPC	EIRET	EIC135	FFFF 610EH
EI	EIINT136	INTPZ9 入力		端子	136	0900H	0000 0900H	currentPC	EIRET	EIC136	FFFF 6110H
EI	EIINT137	INTPZ10 入力		端子	137	0910H	0000 0910H	currentPC	EIRET	EIC137	FFFF 6112H
EI	EIINT138	INTPZ11 入力		端子	138	0920H	0000 0920H	currentPC	EIRET	EIC138	FFFF 6114H
EI	EIINT139	INTPZ12 入力		端子	139	0930H	0000 0930H	currentPC	EIRET	EIC139	FFFF 6116H
EI	EIINT140	INTPZ13 入力		端子	140	0940H	0000 0940H	currentPC	EIRET	EIC140	FFFF 6118H
EI	EIINT141	INTPZ14 入力		端子	141	0950H	0000 0950H	currentPC	EIRET	EIC141	FFFF 611AH
EI	EIINT142	INTPZ15 入力		端子	142	0960H	0000 0960H	currentPC	EIRET	EIC142	FFFF 611CH
EI	EIINT143	INTPZ24 入力		端子	143	0970H	0000 0970H	currentPC	EIRET	EIC143	FFFF 611EH
EI	EIINT144	INTPZ25 入力		端子	144	0980H	0000 0980H	currentPC	EIRET	EIC144	FFFF 6120H
EI	EIINT145	INTPZ26 入力		端子	145	0990H	0000 0990H	currentPC	EIRET	EIC145	FFFF 6122H
EI	EIINT146	INTPZ27 入力		端子	146	09A0H	0000 09A0H	currentPC	EIRET	EIC146	FFFF 6124H

表 10-2 割り込み要因一覧 (7/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT147	INTPZ28	INTPZ28 入力	端子	147	09B0H	0000 09B0H	currentPC	EIRET	EIC147	FFFF 6126H
EI	EIINT148	INTPZ29	INTPZ29 入力	端子	148	09C0H	0000 09C0H	currentPC	EIRET	EIC148	FFFF 6128H
EI	EIINT149	INTPZ30	INTPZ30 入力	端子	149	09D0H	0000 09D0H	currentPC	EIRET	EIC149	FFFF 612AH
EI	EIINT150	INTPZ31	INTPZ31 入力	端子	150	09E0H	0000 09E0H	currentPC	EIRET	EIC150	FFFF 612CH
EI	EIINT151	INTPZ32	INTPZ32 入力	端子	151	09F0H	0000 09F0H	currentPC	EIRET	EIC151	FFFF 612EH
EI	EIINT152	INTPZ33	INTPZ33 入力	端子	152	0A00H	0000 0A00H	currentPC	EIRET	EIC152	FFFF 6130H
EI	EIINT153	INTPZ34	INTPZ34 入力	端子	153	0A10H	0000 0A10H	currentPC	EIRET	EIC153	FFFF 6132H
EI	EIINT154	INTPZ35	INTPZ35 入力	端子	154	0A20H	0000 0A20H	currentPC	EIRET	EIC154	FFFF 6134H
EI	EIINT155	INTPZ36	INTPZ36 入力	端子	155	0A30H	0000 0A30H	currentPC	EIRET	EIC155	FFFF 6136H
EI	EIINT156	INTPZ37	INTPZ37 入力	端子	156	0A40H	0000 0A40H	currentPC	EIRET	EIC156	FFFF 6138H
EI	EIINT157	INTPZ38	INTPZ38 入力	端子	157	0A50H	0000 0A50H	currentPC	EIRET	EIC157	FFFF 613AH
EI	EIINT158	INTPZ39	INTPZ39 入力	端子	158	0A60H	0000 0A60H	currentPC	EIRET	EIC158	FFFF 613CH
EI	EIINT159	INTPZ40	INTPZ40 入力	端子	159	0A70H	0000 0A70H	currentPC	EIRET	EIC159	FFFF 613EH
EI	EIINT160	INTPZ41	INTPZ41 入力	端子	160	0A80H	0000 0A80H	currentPC	EIRET	EIC160	FFFF 6140H
EI	EIINT161	INTPZ42	INTPZ42 入力	端子	161	0A90H	0000 0A90H	currentPC	EIRET	EIC161	FFFF 6142H
EI	EIINT162	INTPZ43	INTPZ43 入力	端子	162	0AA0H	0000 0AA0H	currentPC	EIRET	EIC162	FFFF 6144H
EI	EIINT163	INTPZ44	INTPZ44 入力	端子	163	0AB0H	0000 0AB0H	currentPC	EIRET	EIC163	FFFF 6146H
EI	EIINT164	INTPZ45	INTPZ45 入力	端子	164	0AC0H	0000 0AC0H	currentPC	EIRET	EIC164	FFFF 6148H
EI	EIINT165	INTPZ46	INTPZ46 入力	端子	165	0AD0H	0000 0AD0H	currentPC	EIRET	EIC165	FFFF 614AH
EI	EIINT166	INTPZ47	INTPZ47 入力	端子	166	0AE0H	0000 0AE0H	currentPC	EIRET	EIC166	FFFF 614CH
EI	EIINT167	INTPZ48	INTPZ48 入力	端子	167	0AF0H	0000 0AF0H	currentPC	EIRET	EIC167	FFFF 614EH
EI	EIINT168	INTPZ49	INTPZ49 入力	端子	168	0B00H	0000 0B00H	currentPC	EIRET	EIC168	FFFF 6150H
EI	EIINT169	INTTMM0PRS	TMM0 専用プリスケラ・コンペアー致割り込み	TMM0PRS	169	0B10H	0000 0B10H	currentPC	EIRET	EIC169	FFFF 6152H
EI	EIINT170	INTTMM1PRS	TMM1 専用プリスケラ・コンペアー致割り込み	TMM1PRS	170	0B20H	0000 0B20H	currentPC	EIRET	EIC170	FFFF 6154H
EI	EIINT171	INTTMM2PRS	TMM2 専用プリスケラ・コンペアー致割り込み	TMM2PRS	171	0B30H	0000 0B30H	currentPC	EIRET	EIC171	FFFF 6156H

表 10-2 割り込み要因一覧 (8/8)

レベル	略 称	発生要因略称	発生要因	発生ユニット	デフォルト・ プライオリティ	例外コード	ハンドラ・アドレスの オフセット・アドレス	復帰 PC	復帰命令	割り込み制御レジスタ	
										略称	アドレス
EI	EIINT172	INTTMM3PRS	TMM3 専用プリスケラ・コンペアー致割り込み	TMM3PRS	172	0B40H	0000 0B40H	currentPC	EIRET	EIC172	FFFF 6158H
EI	EIINT173	INTTMM4PRS	TMM4 専用プリスケラ・コンペアー致割り込み	TMM4PRS	173	0B50H	0000 0B50H	currentPC	EIRET	EIC173	FFFF 615AH
EI	EIINT174	INTTMM5PRS	TMM5 専用プリスケラ・コンペアー致割り込み	TMM5PRS	174	0B60H	0000 0B60H	currentPC	EIRET	EIC174	FFFF 615CH

10.1 例外ハンドラ・アドレス切り替え機能

EP3-AM1 では、ブート・モードに応じてブート・アドレスが選択されます。ブート後、例外ハンドラ・アドレス切り替え機能を用いることで、例外ハンドラ・アドレスを変更できます。各例外発生時に処理を移す例外ハンドラ・アドレスは、その時点での例外ハンドラ・切り替え機能の設定値により決定されます。

例外ハンドラ・アドレス切り替え機能は、システム・レジスタ・バンク上に次の 2 つのバンクがあります。詳細は 2.5 CPU 機能バンク／例外ハンドラ・アドレス切り替え機能バンクを参照してください。

例外ハンドラ・アドレス切り替え機能によって切り替えが行われる対象は、すべての例外ハンドラ・アドレスであり、次の 3 種類に分けられ、それぞれ個別の設定が可能です。

- CPU 初期化 (RESET)
- EI レベル・マスカブル割り込み (INT0-INT174)
- 上記以外の各種例外

10.1.1 例外ハンドラ・アドレスの決定

現在の例外ハンドラ・アドレスは、例外ハンドラ切り替え機能バンク 1 (ESWH1) に配置されたレジスタによって示されます。

(1) CPU 初期化 (RESET) 時の開始アドレス

EP3-AM1 では、BOOTSEL0, BOOTSEL1 端子の設定により、表 10-3 のようにブート・アドレスが決定されます。この値は EH_RESET レジスタによって示されます。

表 10-3 ブート領域の選択

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H
1	0	シリアル・フラッシュ ROM	0E00 0000H
1	1	設定禁止	—

(2) EI レベル・マスカブル割り込み (EIINT0-EIINT174) の例外ハンドラ・アドレス

EH_BASE レジスタによって示されます。このレジスタの設定値は、ソフトウェアによって変更できます。

EIINT0-INT174 の例外ハンドラ・アドレスは、EH_BASE レジスタにそれぞれのオフセット・アドレスを加えた 152 個の異なる例外ハンドラ・アドレスを使用します。

(3) 上記以外の各種例外の例外ハンドラ・アドレス

EH_BASE レジスタによって示されます。EH_BASE レジスタの示すアドレスに、各例外のオフセット・アドレスを加えたアドレスが、その例外の例外ハンドラ・アドレスとなります。このレジスタの設定値は、ソフトウェアによって変更できます。

10.1.2 例外ハンドラ・アドレス切り替え機能の設定方法

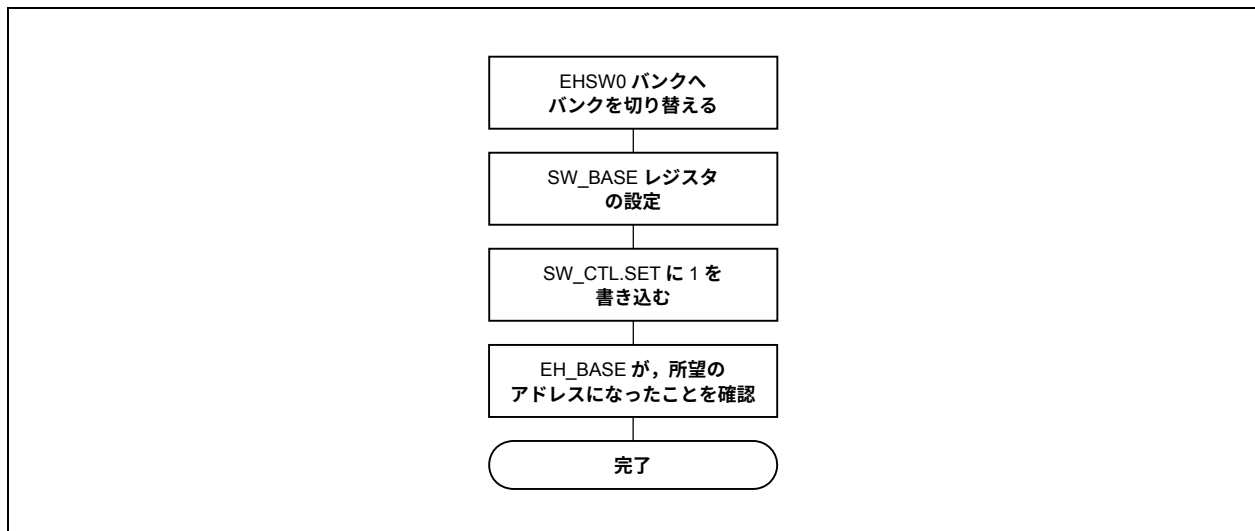
(1) BOOTSEL0, BOOTSEL1 端子による切り替え

BOOTSEL0, BOOTSEL1 端子により、CPU 初期化時の開始アドレス、および各種例外ハンドラ・アドレスが設定されます。

ブート領域 例外種別	MEMC #1 の STCSZ0 に 接続されているメモリ	MEMC #2 の SCSZ0 に 接続されているメモリ	シリアル・ フラッシュ ROM
	BOOTSEL1 = 0 BOOTSEL0 = 0	BOOTSEL1 = 0 BOOTSEL0 = 1	BOOTSEL1 = 1 BOOTSEL0 = 0
CPU 初期化 (RESET)	0800 0000H	0B00 0000H	0E00 0000H
FEINT (NMI)	0800 0010H	0B00 0010H	0E00 0010H
EIINT0	0800 0080H	0B00 0080H	0E00 0080H
EIINT1	0800 0090H	0B00 0090H	0E00 0090H
:	:	:	:
EIINT174	0800 0B60H	0B00 0B60H	0E00 0B60H
その他	0800 0000H + offset Address	0B00 0000H + offset Address	0E00 0000H + offset Address

(2) ソフトウェアによる切り替え

CPU の動作中に下記のような手順によって、例外ハンドラ・アドレスを変更できます。



EP3-AM1 では、一般的に外部メモリからブートし、プログラムを命令 RAM に転送して利用します。このとき、例外ハンドラ・アドレスも命令 RAM に変更し、例外応答の高速化を図ることを推奨します。

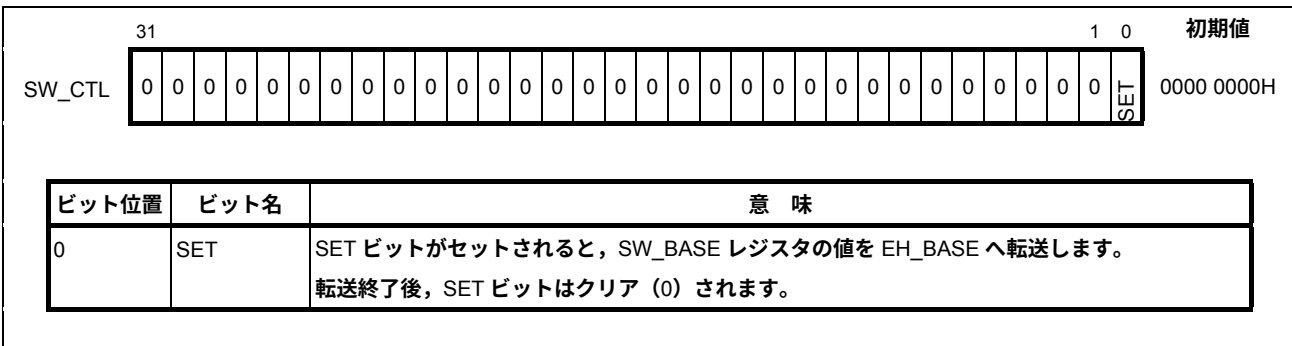
例外ハンドラ・アドレスを切り替える場合は、切り替え手順の開始から完了までの間、例外が発生しない、または発生しても問題がないように考慮してください（例：例外を禁止する。系統的に例外が発生しないように制御を行う。切り替え前後のいずれの例外ハンドラ・アドレスにも正しく動作をするプログラムを配置するなど）。

なお、CPU 初期化 (RESET) による開始アドレスは、ソフトウェアでは変更できません。

(3) 例外ハンドラ・アドレス関連レジスタ・セット

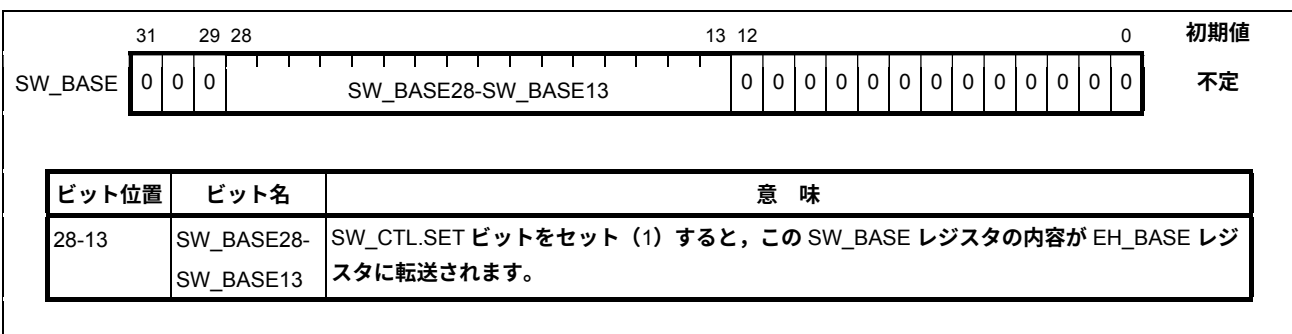
(a) 例外ハンドラ・アドレス切り替え機能制御レジスタ (SW_CTL)

例外ハンドラ・アドレス切り替え機能の制御レジスタです。



(b) 例外ハンドラ・アドレス切り替えレジスタ (SW_BASE)

例外ハンドラ・アドレス切り替え機能の切り替えを行う例外ハンドラ・アドレスのベース・アドレスを指定するレジスタです。



(c) 例外ハンドラ・アドレス・レジスタ (EH BASE)

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。



(d) リセット・アドレス・レジスタ (EH_RESET)

現在のリセット入力時のリセット・アドレスを示します。

EH_RESET

312928

1312

0

000

EH_RESET28-EH_RESET13

0000000000000000

初期値

不定

ビット位置	ビット名	意 味																				
28-13	EC_RESET28- EC_RESET13	EH_RESET レジスタは BOOTSEL1, BOOTSEL0 端子によるブート領域の選択により値が決定されます。 <table><thead><tr><th>BOOTSEL 1</th><th>BOOTSEL0</th><th>ブート領域の選択</th><th>ブート・ アドレス</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>MEMC #1 の STCSZ0 に接続されているメモリ</td><td>0800 0000H</td></tr><tr><td>0</td><td>1</td><td>MEMC #2 の SCSZ0 に接続されているメモリ</td><td>0B00 0000H</td></tr><tr><td>1</td><td>0</td><td>シリアル・フラッシュ ROM</td><td>0E00 0000H</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td><td>—</td></tr></tbody></table>	BOOTSEL 1	BOOTSEL0	ブート領域の選択	ブート・ アドレス	0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H	0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H	1	0	シリアル・フラッシュ ROM	0E00 0000H	1	1	設定禁止	—
BOOTSEL 1	BOOTSEL0	ブート領域の選択	ブート・ アドレス																			
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H																			
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H																			
1	0	シリアル・フラッシュ ROM	0E00 0000H																			
1	1	設定禁止	—																			

10.2 割り込みコントローラの制御レジスタ

10.2.1 EI レベル割り込み制御レジスタ

(1) EI レベル割り込み制御レジスタ n (EICn)

EI レベル INT の割り込み要求（マスカブル割り込み）ごとに割り当てられ、各割り込みに対する制御条件を設定します。

ビット 15-13, 11-8, 6-4 には必ず 0 を設定してください。

16 ビット単位でリード／ライト可能です。8/1 ビット単位でアクセスする場合は、EICnL, EICnH レジスタを利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
EICn	0	0	0	EIRF _n	0	0	0	0	EIMK _n	0	0	0	EIP3 _n	EIP2 _n	EIP1 _n	EIP0 _n	FFFF 6000H +02H×n	008FH
R/W	0	0	0	R/W	0	0	0	0	R/W	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
12	EIRF _n	割り込み要求フラグです。 EIRF _n ビットはプログラムから書き込み可能です。EIRF _n ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベル・マスカブル割り込み n (EIINT _n) を発生します。 0：割り込み要求なし（初期値） 1：割り込み要求あり
7	EIMK _n	割り込みマスク・ビットです。EIMK _n ビットがセット（1）されている場合は、割り込み要求フラグ（EIRF _n ）へセットされた割り込み要求をマスクし、そのチャネルから CPU コアへ割り込み要求が行われないようにします。また EIMK _n ビットがセット（1）されているチャネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMK _n ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMK _n ビットがセットされていても割り込み要求フラグはセット（1）されます。割り込みマスク・レジスタ（IMR0-IMR10）の対応するビットの設定も反映されます。 0：割り込み処理を許可 1：割り込み処理を禁止（初期値）
3-0	EIP3 _n -EIP0 _n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP3 _n -EIP0 _n ビットで指定される優先度が同じ場合は、固定の優先度としてチャネル番号が小さい要因が選択されます。

備考 n = 0-174

注意 割り込み優先順位の変更は、割り込み発生のタイミングとの競合で、意図しない割り込みが CPU に受け付けられないように、DI 状態、該当する割り込みがマスクされている状態で行ってください。

(2) EI レベル割り込み制御レジスタ nH (EICnH)

EI レベル INT の割り込み要求（マスカブル割り込み）ごとに割り当てられ、各割り込みに対する制御条件を設定します。

ビット 7-5, 3-0 には必ず 0 を設定してください。

8/1 ビット単位でリード／ライト可能です。ビット操作命令は、EIRFn（ビット 4）のみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
EICnH	0	0	0	EIRFn	0	0	0	0	FFFF 6001H +02H×n	00H
R/W	0	0	0	R/W	0	0	0	0		

ビット位置	ビット名	意 味
4	EIRFn	割り込み要求フラグです。 EIRFn ビットはプログラムから書き込み可能です。EIRFn ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベル・マスカブル割り込み n（EIINTn）を発生します。 0：割り込み要求なし（初期値） 1：割り込み要求あり

備考 n = 0-174

(3) EI レベル割り込み制御レジスタ nL (EICnL)

EI レベル INT の割り込み要求（マスカブル割り込み）ごとに割り当てられ、各割り込みに対する制御条件を設定します。

ビット 6-4 には必ず 0 を設定してください。

8/1 ビット単位でリード／ライト可能です。

								アドレス	初期値	
EICnL	7	6	5	4	3	2	1	0	FFFF 6000H +02H×n	8FH
	EIMKn	0	0	0	EIP3n	EIP2n	EIP1n	EIP0n		
R/W	R/W	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7	EIMKn	割り込みマスク・ビットです。EIMKn ビットがセット（1）されている場合は、割り込み要求フラグ（EIRFn）へセットされた割り込み要求をマスクし、そのチャネルから CPU コアへ割り込み要求が行われないようにします。また EIMKn ビットがセット（1）されているチャネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMKn ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMKn ビットがセットされていても割り込み要求フラグはセット（1）されます。割り込みマスク・レジスタ（IMR0-IMR10）の対応するビットの設定も反映されます。 0：割り込み処理を許可 1：割り込み処理を禁止（初期値）
3-0	EIP3n-EIP0n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP3n-EIP0n ビットで指定される優先度が同じ場合は、固定の優先度としてチャネル番号が小さい要因が選択されます。

備考 n = 0-174

注意 割り込み優先順位の変更は、割り込み発生のタイミングとの競合で、意図しない割り込みが CPU に受け付けられないように、DI 状態、該当する割り込みがマスクされている状態で行ってください。

10.2.2 EI レベル割り込みマスク・レジスタ

(1) EI レベル割り込みマスク・レジスタ 0-10 (IMR0-IMR10)

EICn レジスタの EIMKn ビットの集合レジスタです。IMR0-IMR10 レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMR0-IMR10 レジスタへの設定は対応する EIMKn ビットへ反映されます。16 ビット単位でリード／ライト可能です。8/1 ビット単位でアクセスする場合は、IMR0L-IMR10L, IMR0H-IMR10H レジスタを利用してください (n = 0-174)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
IMR0	EIMK 15	EIMK 14	EIMK 13	EIMK 12	EIMK 11	EIMK 10	EIMK 9	EIMK 8	EIMK 7	EIMK 6	EIMK 5	EIMK 4	EIMK 3	EIMK 2	EIMK 1	EIMK 0	FFFF 6400H	FFFFH
IMR1	EIMK 31	EIMK 30	EIMK 29	EIMK 28	EIMK 27	EIMK 26	EIMK 25	EIMK 24	EIMK 23	EIMK 22	EIMK 21	EIMK 20	EIMK 19	EIMK 18	EIMK 17	EIMK 16	FFFF 6402H	FFFFH
IMR2	EIMK 47	EIMK 46	EIMK 45	EIMK 44	EIMK 43	EIMK 42	EIMK 41	EIMK 40	EIMK 39	EIMK 38	EIMK 37	EIMK 36	EIMK 35	EIMK 34	EIMK 33	EIMK 32	FFFF 6404H	FFFFH
IMR3	EIMK 63	EIMK 62	EIMK 61	EIMK 60	EIMK 59	EIMK 58	EIMK 57	EIMK 56	EIMK 55	EIMK 54	EIMK 53	EIMK 52	EIMK 51	EIMK 50	EIMK 49	EIMK 48	FFFF 6406H	FFFFH
IMR4	EIMK 79	EIMK 78	EIMK 77	EIMK 76	EIMK 75	EIMK 74	EIMK 73	EIMK 72	EIMK 71	EIMK 70	EIMK 69	EIMK 68	EIMK 67	EIMK 66	EIMK 65	EIMK 64	FFFF 6408H	FFFFH
IMR5	EIMK 95	EIMK 94	EIMK 93	EIMK 92	EIMK 91	EIMK 90	EIMK 89	EIMK 88	EIMK 87	EIMK 86	EIMK 85	EIMK 84	EIMK 83	EIMK 82	EIMK 81	EIMK 80	FFFF 640AH	FFFFH
IMR6	EIMK 111	EIMK 110	EIMK 109	EIMK 108	EIMK 107	EIMK 106	EIMK 105	EIMK 104	EIMK 103	EIMK 102	EIMK 101	EIMK 100	EIMK 99	EIMK 98	EIMK 97	EIMK 96	FFFF 640CH	FFFFH
IMR7	EIMK 127	EIMK 126	EIMK 125	EIMK 124	EIMK 123	EIMK 122	EIMK 121	EIMK 120	EIMK 119	EIMK 118	EIMK 117	EIMK 116	EIMK 115	EIMK 114	EIMK 113	EIMK 112	FFFF 640EH	FFFFH
IMR8	EIMK 143	EIMK 142	EIMK 141	EIMK 140	EIMK 139	EIMK 138	EIMK 137	EIMK 136	EIMK 135	EIMK 134	EIMK 133	EIMK 132	EIMK 131	EIMK 130	EIMK 129	EIMK 128	FFFF 6410H	FFFFH
IMR9	EIMK 159	EIMK 158	EIMK 157	EIMK 156	EIMK 155	EIMK 154	EIMK 153	EIMK 152	EIMK 151	EIMK 150	EIMK 149	EIMK 148	EIMK 147	EIMK 146	EIMK 145	EIMK 144	FFFF 6412H	FFFFH
IMR10	1	EIMK 174	EIMK 173	EIMK 172	EIMK 171	EIMK 170	EIMK 169	EIMK 168	EIMK 167	EIMK 166	EIMK 165	EIMK 164	EIMK 163	EIMK 162	EIMK 161	EIMK 160	FFFF 6414H	FFFFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
15-0	EIMKn	EI レベル・マスカブル割り込み (EIINT) のチャンネル 0 からチャンネル 174 の割り込みマスク・ビットです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）（初期値）

(2) EI レベル割り込みマスク・レジスタ 0H-10H (IMR0H-IMR10H)

EICn レジスタの EIMKn ビットの集合レジスタの上位 8 ビットです。IMR0H-IMR10H レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMR0H-IMR10H レジスタへの設定は対応する EIMKn ビットへ反映されます。8/1 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IMR0H	EIMK15	EIMK14	EIMK13	EIMK12	EIMK11	EIMK10	EIMK9	EIMK8	FFFF 6401H	FFH
IMR1H	EIMK31	EIMK30	EIMK29	EIMK28	EIMK27	EIMK26	EIMK25	EIMK24	FFFF 6403H	FFH
IMR2H	EIMK47	EIMK46	EIMK45	EIMK44	EIMK43	EIMK42	EIMK41	EIMK40	FFFF 6405H	FFH
IMR3H	EIMK63	EIMK62	EIMK61	EIMK60	EIMK59	EIMK58	EIMK57	EIMK56	FFFF 6407H	FFH
IMR4H	EIMK79	EIMK78	EIMK77	EIMK76	EIMK75	EIMK74	EIMK73	EIMK72	FFFF 6409H	FFH
IMR5H	EIMK95	EIMK94	EIMK93	EIMK92	EIMK91	EIMK90	EIMK89	EIMK88	FFFF 640BH	FFH
IMR6H	EIMK111	EIMK110	EIMK109	EIMK108	EIMK107	EIMK106	EIMK105	EIMK104	FFFF 640DH	FFH
IMR7H	EIMK127	EIMK126	EIMK125	EIMK124	EIMK123	EIMK122	EIMK121	EIMK120	FFFF 640FH	FFH
IMR8H	EIMK143	EIMK142	EIMK141	EIMK140	EIMK139	EIMK138	EIMK137	EIMK136	FFFF 6411H	FFH
IMR9H	EIMK159	EIMK158	EIMK157	EIMK156	EIMK155	EIMK154	EIMK153	EIMK152	FFFF 6413H	FFH
IMR10H	1	EIMK174	EIMK173	EIMK172	EIMK171	EIMK170	EIMK169	EIMK168	FFFF 6415H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
15-0	EIMKn	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク・ビットです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）（初期値）

備考 n = 8-15, 24-31, 40-47, 56-63, 72-79, 88-95, 104-111, 120-127, 136-143, 152-159, 168-174

(3) EI レベル割り込みマスク・レジスタ 0L-10L (IMR0L-IMR10L)

EICn レジスタの EIMKn ビットの集合レジスタの下位 8 ビットです。IMR0L-IMR10L レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMR0L-IMR10L レジスタへの設定は対応する EIMKn ビットへ反映されます。8/1 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IMR0L	EIMK7	EIMK6	EIMK5	EIMK4	EIMK3	EIMK2	EIMK1	EIMK0	FFFF 6400H	FFH
IMR1L	EIMK23	EIMK22	EIMK21	EIMK20	EIMK19	EIMK18	EIMK17	EIMK16	FFFF 6402H	FFH
IMR2L	EIMK39	EIMK38	EIMK37	EIMK36	EIMK35	EIMK34	EIMK33	EIMK32	FFFF 6404H	FFH
IMR3L	EIMK55	EIMK54	EIMK53	EIMK52	EIMK51	EIMK50	EIMK49	EIMK48	FFFF 6406H	FFH
IMR4L	EIMK71	EIMK70	EIMK69	EIMK68	EIMK67	EIMK66	EIMK65	EIMK64	FFFF 6408H	FFH
IMR5L	EIMK87	EIMK86	EIMK85	EIMK84	EIMK83	EIMK82	EIMK81	EIMK80	FFFF 640AH	FFH
IMR6L	EIMK103	EIMK102	EIMK101	EIMK100	EIMK99	EIMK98	EIMK97	EIMK96	FFFF 640CH	FFH
IMR7L	EIMK119	EIMK118	EIMK117	EIMK116	EIMK115	EIMK114	EIMK113	EIMK112	FFFF 640EH	FFH
IMR8L	EIMK135	EIMK134	EIMK133	EIMK132	EIMK131	EIMK130	EIMK129	EIMK128	FFFF 6410H	FFH
IMR9L	EIMK151	EIMK150	EIMK149	EIMK148	EIMK147	EIMK146	EIMK145	EIMK144	FFFF 6412H	FFH
IMR10L	EIMK167	EIMK166	EIMK165	EIMK164	EIMK163	EIMK162	EIMK161	EIMK160	FFFF 6414H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意 味								
15-0	EIMKn	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク・ビットです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）（初期値）								

備考 n = 0-7, 16-23, 32-39, 48-55, 64-71, 80-87, 96-103, 112-119, 128-135, 144-151, 160-167

10.2.3 インサースビス・プライオリティ・レジスタ

(1) インサースビス・プライオリティ・レジスタ (ISPR)

CPU コアで処理中の EI レベル・マスカブル割り込み (EIINT) の割り込み優先度を保持します。CPU コアから割り込み要求の受け付け応答を受け取ると、その割り込み要求の割り込み優先度に対応するビットがセット (1) されます。CPU コアから割り込み処理の終了通知を受け取ると、セット (1) されているビットのうち最も優先度が高いビットが自動的にクリア (0) されます。FE レベルの割り込みからの復帰の場合はクリア (0) されません。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

ISPC レジスタへ 16 ビット単位で同時に 1 をライトした後、ISPR レジスタへ 16 ビット単位で同時に 0 をライトすると ISPR の全ビットをクリア (0) することができます[※]。任意ビットのクリア (0) やセット (1) をソフトウェアで行うことはできません。一度クリア (0) してしまうと元の値に復旧させることはできません。

16 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は、PMRL, PMRH を利用してください。

注 詳細は、「10.2.5 インサースビス・プライオリティ・クリア・レジスタ (ISPC)」を参照してください。

																アドレス	初期値				
ISPR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	FFFF 6440H	0000H			
	ISPR15	ISPR14	ISPR13	ISPR12	ISPR11	ISPR10	ISPR9	ISPR8	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0					
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R					
ビット位置	ビット名		意 味																		
15-0	ISPR15- ISPR0		受け付け中の割り込み優先順位を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中																		

(2) インサース・プライオリティ・レジスタ L (ISPR L)

ISPR レジスタの下位 8 ビットのレジスタです。8 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ISPR L	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	FFFF 6440H	0000H
R/W	R	R	R	R	R	R	R	R		
ビット位置	ビット名	意 味								
7-0	ISPR7- ISPR0	受け付け中の割り込み優先順位を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中								

(3) インサース・プライオリティ・レジスタ H (ISPR H)

ISPR レジスタの上位 8 ビットのレジスタです。8 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ISPR H	ISPR15	ISPR14	ISPR13	ISPR12	ISPR11	ISPR10	ISPR9	ISPR8	FFFF 6441H	0000H
R/W	R	R	R	R	R	R	R	R		
ビット位置	ビット名	意 味								
7-0	ISPR15- ISPR8	受け付け中の割り込み優先順位を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中								

10.2.4 プライオリティ・マスク・レジスタ

(1) プライオリティ・マスク・レジスタ (PMR)

EI レベル・マスカブル割り込み (EIINT) の割り込み要求フラグをマスクする割り込み優先度を指定します。このレジスタで指定された割り込み優先度が設定されている EIINT のチャンネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており、例えばビット 0 に 1 を設定すると割り込み優先度 0 のチャンネルをマスクすることができます。

16 ビット単位でリード／ライト可能です。

8/1 ビット単位でアクセスする場合は、PMRL, PMRH を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PMR	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0	FFFF 6448H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
15-0	PMR15-PMR0	割り込み要求をマスクする割り込み優先順位を指定します。 0：ビット位置に対応する優先順位の割り込み処理を許可（初期値） 1：ビット位置に対応する優先順位の割り込み処理を禁止

(2) プライオリティ・マスク・レジスタ L (PMRL)

PMR レジスタの下位 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMRL	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0	FFFF 6448H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	PMR7-PMR0	割り込み要求をマスクする割り込み優先順位を指定します。 0：ビット位置に対応する優先順位の割り込み処理を許可（初期値） 1：ビット位置に対応する優先順位の割り込み処理を禁止

(3) プライオリティ・マスク・レジスタ H (PMRH)

PMR レジスタの上位 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMRH	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8	FFFF 6449H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	PMR15-PMR8	割り込み要求をマスクする割り込み優先順位を指定します。 0：ビット位置に対応する優先順位の割り込み処理を許可（初期値） 1：ビット位置に対応する優先順位の割り込み処理を禁止

10.2.5 インサース・プライオリティ・クリア・レジスタ (ISPC)

ISPR レジスタのビットをクリア (0) するための特殊レジスタです。

ISPC レジスタの全ビットへ同時に 1 をライトし、次に ISPR レジスタの全ビットに同時に 0 をライトすると、ISPR レジスタの全ビットを 0 にクリア (0) することができます。同時に ICSR レジスタの FE レベル NMI の処理モード、FE レベル・マスカブル割り込み (FEINT: NMI 端子入力) の処理モード、EI レベル・マスカブル割り込み (EIINT) の処理モードがすべて解除されます。これにより割り込み要求が CPU コアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることになります。これらの一度クリア (0) された内容は、ソフトウェアで復旧させることはできません。

ISPR レジスタの全ビットへの 0 のライトにより ISPR がクリア (0) されると、ISPC レジスタの値も自動的にクリア (0) されます。ISPC レジスタヘリッド・アクセスを行った場合に読み出される値は、全ビットに 1 を書き込んだあとは、全ビットから 1 が読み出され、リセット後や ISPR レジスタのクリア後は、全ビットから 0 が読み出されます。全ビット同時に 1 または 0 ではないライト・アクセスではビットの値は変化しません。また全ビットが 1 の状態で全ビットに 0 をライトすると ISPC レジスタのビットの値はすべて 0 にクリアされ、ISPR レジスタの値は変化しません。

16 ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ISPC	ISPC15	ISPC14	ISPC13	ISPC12	ISPC11	ISPC10	ISPC9	ISPC8	ISPC7	ISPC6	ISPC5	ISPC4	ISPC3	ISPC2	ISPC1	ISPC0	FFFF 6450H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意 味																
15-0	ISPC15- ISPC0	全ビットから 1 または全ビットから 0 が読み出されます。全ビットから 1 が読み出される場合に ISPR の全ビットに 0 をライトすると ISPR をクリアできます。																

備考 プログラムの暴走などによって誤って書き換えられないように、ISPR レジスタのクリア (0) に特定のシーケンスを設けています。

10.2.6 選択チャネル保持レジスタ

(1) 選択チャネル保持レジスタ (ISCR)

CPU に受け付けられた EI レベル・マスカブル割り込み (EIINT) のチャネル番号を保持します。ソフトウェアでライトすることはできません。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EIINT の多重割り込み要求が受け付けられた場合は上書きされるので注意してください。FE レベルの割り込み要求が受け付けられた場合は更新されません。

16 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は、ISCRL を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ISCR	0	0	0	0	0	0	0	0	ISCR7	ISCR6	ISCR5	ISCR4	ISCR3	ISCR2	ISCR1	ISCR0	FFFF 6458H	0000H
R/W	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意 味
7-0	ISCR7- ISCR0	CPU によって受け付けられたマスカブル割り込みのチャネル番号を保持します。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが受け付けられた場合は上書きされます。FE レベルの割り込みが受け付けられた場合には更新されません。このレジスタへのライト・アクセスでは何も起こりません。

(2) 選択チャネル保持レジスタ L (ISCRL)

ISCR レジスタの下位 8 ビットのレジスタです。8 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ISCRL	ISCR7	ISCR6	ISCR5	ISCR4	ISCR3	ISCR2	ISCR1	ISCR0	FFFF 6458H	00H
R/W	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意 味
7-0	ISCR7- ISCR0	CPU によって受け付けられたマスカブル割り込みのチャネル番号を保持します。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが受け付けられた場合は上書きされます。FE レベルの割り込みが受け付けられた場合には更新されません。このレジスタへのライト・アクセスでは何も起こりません。

10.2.7 割り込みコントローラ・ステータス・レジスタ

(1) 割り込みコントローラ・ステータス・レジスタ (ICSR)

割り込みコントローラの動作状態を示します。特にビット 2-0 は割り込み処理のモード・レジスタになります。ソフトウェアでライトすることはできません。

16 ビット単位でリードのみ可能です。

8/1 ビット単位でアクセスする場合は、ICSRL, ICSRH を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ICSR	0	0	0	0	0	0	0	PMF	0	FNR	FIR	EIR	0	FNE	FIE	EIE	FFFF 645AH	0000H
R/W	0	0	0	0	0	0	0	R	0	R	R	R	0	R	R	R		
ビット位置	ビット名		意 味															
8	PMF		PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1															
6	FNR		FE レベル・ノンマスカブル割り込み (FENMI) [※] を CPU へ要求中であれば 1															
5	FIR		FE レベル・マスカブル割り込み (FEINT) を CPU へ要求中であれば 1															
4	EIR		EI レベル・マスカブル割り込み (EIINT) を CPU へ要求中であれば 1															
2	FNE		FE レベル・ノンマスカブル割り込み (FENMI) [※] が CPU で処理中であれば 1															
1	FIE		FE レベル・マスカブル割り込み (FEINT) が CPU で処理中であれば 1															
0	EIE		EI レベル・マスカブル割り込み (EIINT) が CPU で処理中であれば 1															

注 EP3-AM1 では FENMI は使用していません。

(2) 割り込みコントローラ・ステータス・レジスタ L (ICSRL)

ICSRL レジスタの下位 8 ビットのレジスタです。8/1 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ICSRL	0	FNR	FIR	EIR	0	FNE	FIE	EIE	FFFF 645AH	00H
R/W	0	R	R	R	0	R	R	R		
ビット位置	ビット名		意 味							
6	FNR		FE レベル・ノンマスカブル割り込み (FENMI) [※] を CPU へ要求中であれば 1							
5	FIR		FE レベル・マスカブル割り込み (FEINT) を CPU へ要求中であれば 1							
4	EIR		EI レベル・マスカブル割り込み (EIINT) を CPU へ要求中であれば 1							
2	FNE		FE レベル・ノンマスカブル割り込み (FENMI) [※] が CPU で処理中であれば 1							
1	FIE		FE レベル・マスカブル割り込み (FEINT) が CPU で処理中であれば 1							
0	EIE		EI レベル・マスカブル割り込み (EIINT) が CPU で処理中であれば 1							

注 EP3-AM1 では FENMI は使用していません。

(3) 割り込みコントローラ・ステータス・レジスタ H (ICSRH)

ICSRL レジスタの上位 8 ビットのレジスタです。8/1 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ICSRH	0	0	0	0	0	0	0	PMF	FFFF 645BH	00H
R/W	0	0	0	0	0	0	0	R		
ビット位置	ビット名		意 味							
0	PMF		PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1							

10.2.8 FE レベル・マスカブル割り込み制御レジスタ

(1) FE レベル・マスカブル割り込み制御レジスタ (FIC)

FE レベル・マスカブル割り込み (FEINT) の制御条件を設定します。

16 ビット単位でリードのみ可能です。8/1 ビット単位でアクセスする場合は，FICH を利用してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FIC	0	0	0	FIRF	0	0			0	0	0	0	0	0	0	0	FFFF 645EH	0000H
R/W	0	0	0	R	0	0	0	0	0	0	0	0	0	0	0	0		
ビット位置	ビット名		意 味															
12	FIRF		割り込み要求フラグです。 CPU が FE レベル・マスカブル割り込み要求を受け付けると自動的にクリア (0) されます。 0：割り込み要求なし (初期値) 1：割り込み要求あり															

(2) FE レベル・マスカブル割り込み制御レジスタ H (FICH)

FIC レジスタの上位 8 ビットのレジスタです。8/1 ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
FICH	0	0	0	FIRF	0	0	0	0	FFFF 645FH	00H
R/W	0	0	0	R	0	0	0	0		
ビット位置	ビット名		意 味							
4	FIRF		割り込み要求フラグです。 CPU が FE レベル・マスカブル割り込み要求を受け付けると自動的にクリア (0) されます。 0：割り込み要求なし (初期値) 1：割り込み要求あり							

10.2.9 割り込みコントローラのレジスタのアクセス方法

割り込みコントローラ内部のレジスタは、以下の方法でアクセスできます。

- CPU からのストア命令／ロード命令
 - ・すべてのレジスタをハーフワード（16 ビット）単位でアクセスできます。
 - ・一部のレジスタ（ISPC）を除き、バイト（8 ビット）単位でアクセスできます。
- CPU からのビット操作命令
 - ・すべてのレジスタを tst1 命令でアクセスできます。
 - ・一部のレジスタ／ビットを除き、set1, clr1, not1 命令でアクセスできます。

以下のアクセスは禁止です。禁止されているアクセスを行った場合、割り込みコントローラの動作を保証できません

- CPU からのワード単位（32 ビット）でのストア命令／ロード命令によるアクセス
- CPU からのミスアライン・ハーフワード（16 ビット）アクセス
- CPU からのストア命令／ロード命令／ビット操作命令以外のメモリ・アクセス命令によるアクセス
- prepare, dispose, caxi 命令によるアクセス
- セントラル DMAC からのアクセス

10.3 割り込みの受け付けと復帰

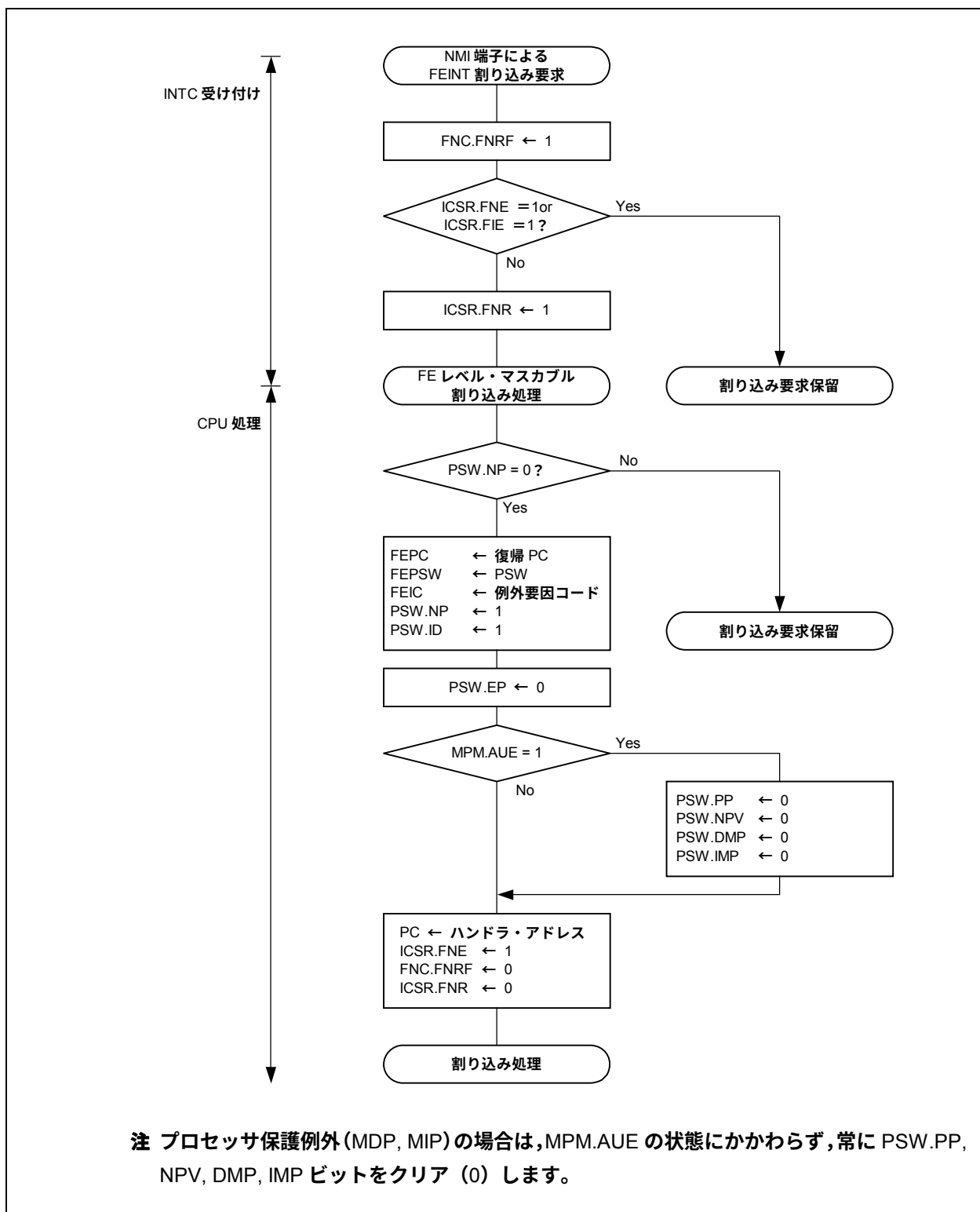
割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

10.3.1 NMI 端子による FE レベル・マスカブル割り込み

NMI 端子により FEINT 割り込みが要求されると、FE レベル・マスカブル割り込みが発生します。この割り込みは回復可能な FE レベルの割り込みです。

FEINT は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FEINT, EIINT 割り込み発生は保留されます。割り込み要求の受け付けと、要求の保持を行います。

図 10-1 NMI 端子による FEINT 割り込み要求時の処理



10.3.2 FE レベル・マスカブル割り込み (FEINT) からの復帰

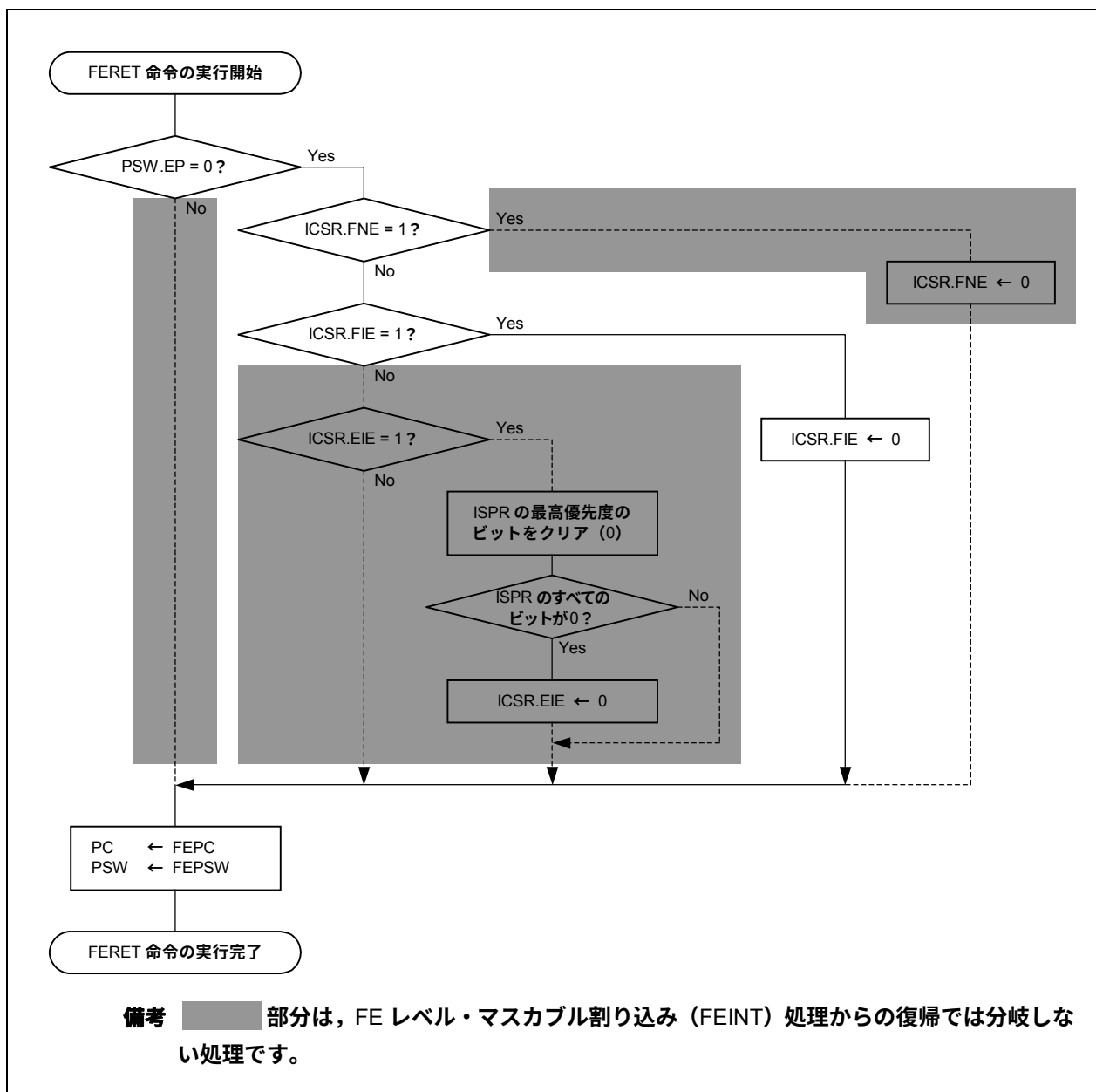
FE レベル・マスカブル割り込み (FEINT) 処理からの復帰には、FERET 命令を使用します。

PSW.EP ビットがクリア (0) されている状態で FERET 命令を実行すると FE レベル・マスカブル割り込み (FEINT) からの復帰処理を行います。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR, ISPR などのレジスタのクリアが行われません)。

FE レベル・マスカブル割り込み (FEINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で FERET 命令を実行してください。

注意 V850E2M CPU コアでは、V850E1, V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて EIRET 命令または FERET 命令に置き換えて使用してください。

図 10-2 FE レベル・マスカブル割り込み (FEINT) 処理からの復帰



10.3.3 EIINT 割り込み要求による EI レベル・マスクابل割り込み

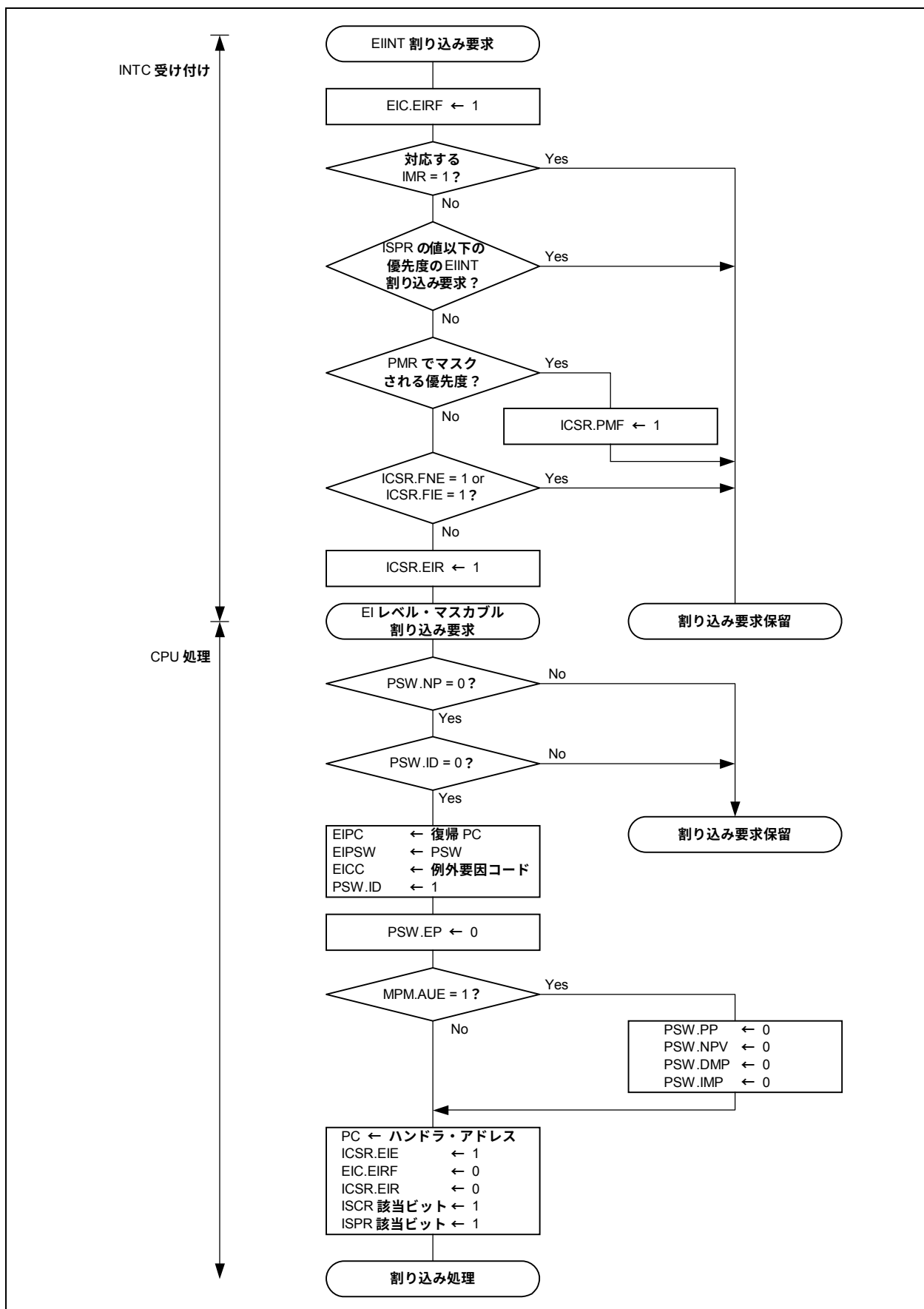
EI レベル・マスクابل割り込みが要求されると、CPU に EIINT 割り込み要求を行います（割り込みハンドラへの移行は、INTC の IMR レジスタ設定により発生します）。この割り込みは回復可能な EI レベルの割り込みです。

EIINT 割り込みでは、割り込み入力のあったチャンネル番号を ISCR レジスタへ設定します。これにより、複数のチャンネルで同じ割り込みベクタを共有したい場合などに簡単にチャンネル番号を知ることができます。

注意 EI レベル割り込みを受け付けると、ISPR レジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降、EIRET 命令を発行するまで、この ISPR レジスタの割り込み優先度以下の割り込みは、発生しません。割り込み要求の受け付け／保持は行います。

ISPR レジスタへの「現在受け付けた割り込み優先度の登録」「EIRET 時の割り込み優先度の削除」は、ハードウェアが自動的に行います。ソフトウェアでの ISPR レジスタへの書き込みはできません。書き込みは無視されます。

図 10-3 EIINT 割り込み要求時の処理



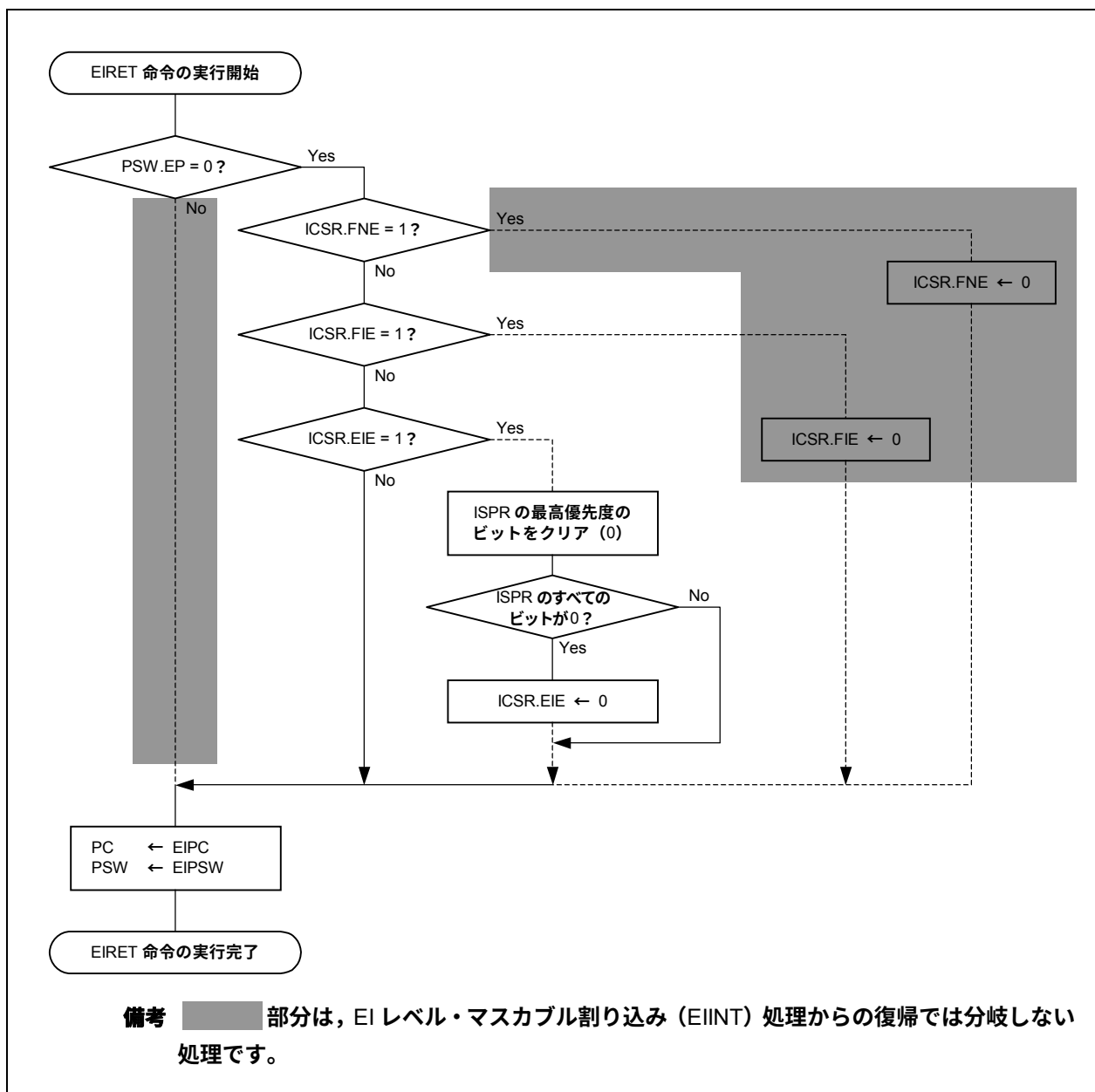
10.3.4 EI レベル・マスカブル割り込み (EIINT) からの復帰

EI レベル・マスカブル割り込み (EIINT) 処理からの復帰には、EIRET 命令を使用します。

PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行すると EI レベル・マスカブル割り込み (EIINT) からの復帰処理を行います。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR, ISPR などのレジスタのクリアが行われません)。EI レベル・マスカブル割り込み (EIINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行してください。

注意 V850E2-V3 CPU コアでは、V850E1, V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて EIRET 命令または FERET 命令に置き換えて使用してください。

図 10-4 EI レベル・マスカブル割り込み (EIINT) 処理からの復帰



10.4 割り込み動作

10.4.1 EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能

EIINT は、それぞれの割り込みチャンネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

EICn.EIMKn	動 作
1	割り込みをマスクします。
0	割り込みを許可します。

EICn.EIMKn ビットは、IMRm レジスタの対応する EIMKn ビットからもリード／ライト可能です。同じレジスタを共有しています。

【動作例】

- (1) IMRm.EIMKn ビットに 1 を書き込むと、対応するチャンネルの割り込みは禁止されます。
- (2) EICn.EIMKn ビットをリードすると 1 が読み出されます。

注意 EIMKn ビットでは、割り込みの保持以降の処理をマスクします。EIMKn ビットを 1 に設定しても、割り込み要求の受け付け、および保持は行われます。このため EIMKn ビットで割り込み禁止が指定されている割り込みに対して、ソフトウェアによる割り込みを要求しても割り込みは発生しません。また割り込み要求が保持されている状態で EIMKn ビットを 0 に再設定すると、その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には、対応する EIRFn ビットをクリア (0) してください。

10.4.2 割り込み優先度判断

FE レベル・マスカブル割り込み (FEINT) , EI レベル・マスカブル割り込み (EIINT) が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外 (割り込み含む) が要求されます。同時に要求された例外 (割り込み含む) は、あらかじめ割り付けてある優先順位 (デフォルト優先順位) で処理されます。割り込み FEINT (NMI) , EIINT の優先順位は、FEINT (NMI) が優先されます。

(その他の例外については、表 10-1 例外要因一覧、および V850E2M ユーザーズ・マニュアル アーキテクチャ編 を参照してください)

EIINT は各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、EIC0-EIC174.EIP3-EIP0 ビットで指定します。割り込み優先度は、0-15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT 割り込み間では、割り込みチャンネル番号の最も小さい (デフォルト・プライオリティの番号が最も小さい) 割り込みが優先されます。

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT 割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

(1) 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移ります。

(2) プライオリティ・マスク・レジスタ (PMR) によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。

(3) 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

最も高い優先度が設定されている割り込み要因のうち、複数の要因が同時に割り込み要求されている場合、割り込みチャンネル番号の最も小さいものが選択されます。

(4) CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。

このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みを選択します。

例 優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア (0) された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 10-5 に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態にしてください。

図 10-5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

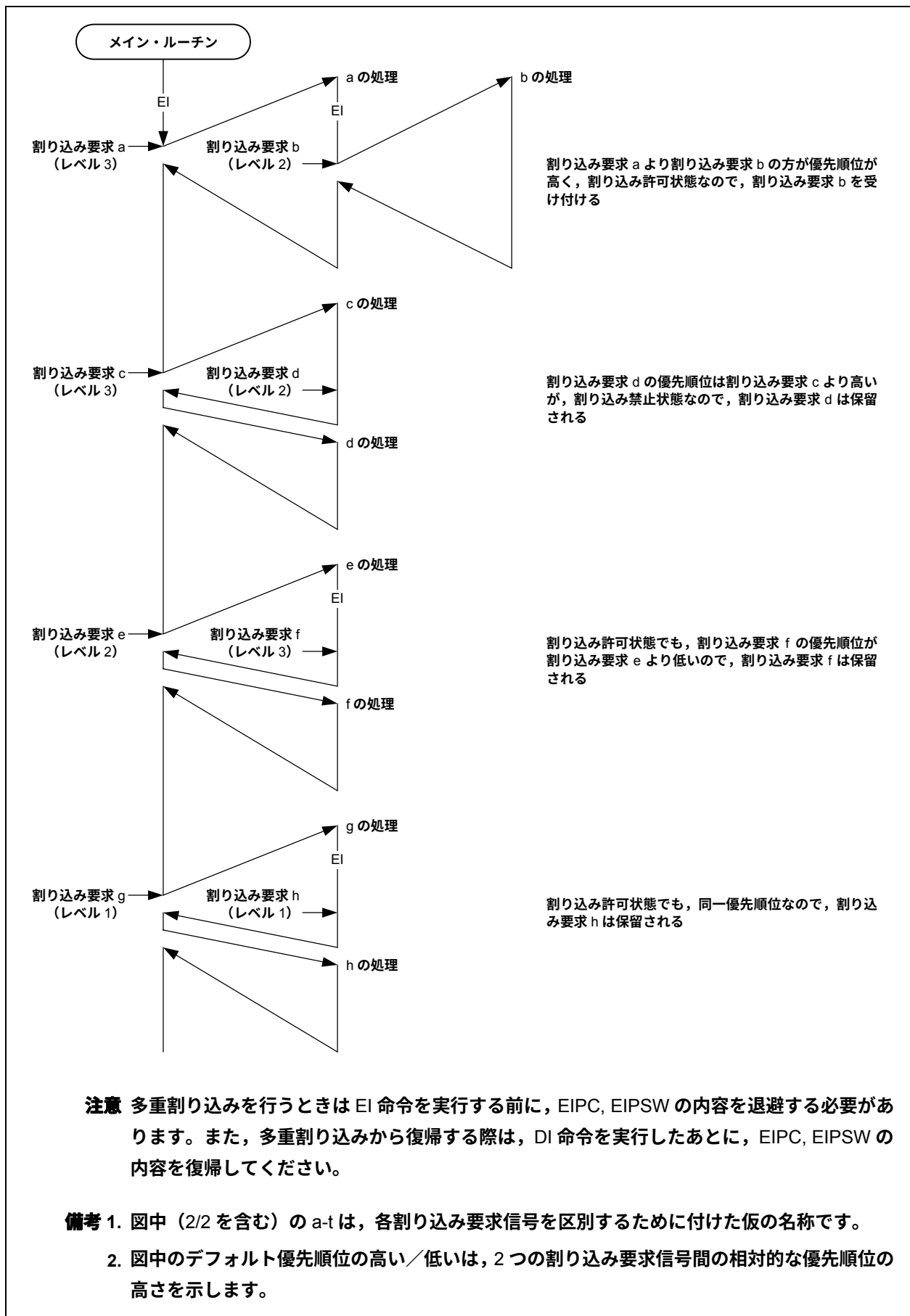


図 10-5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

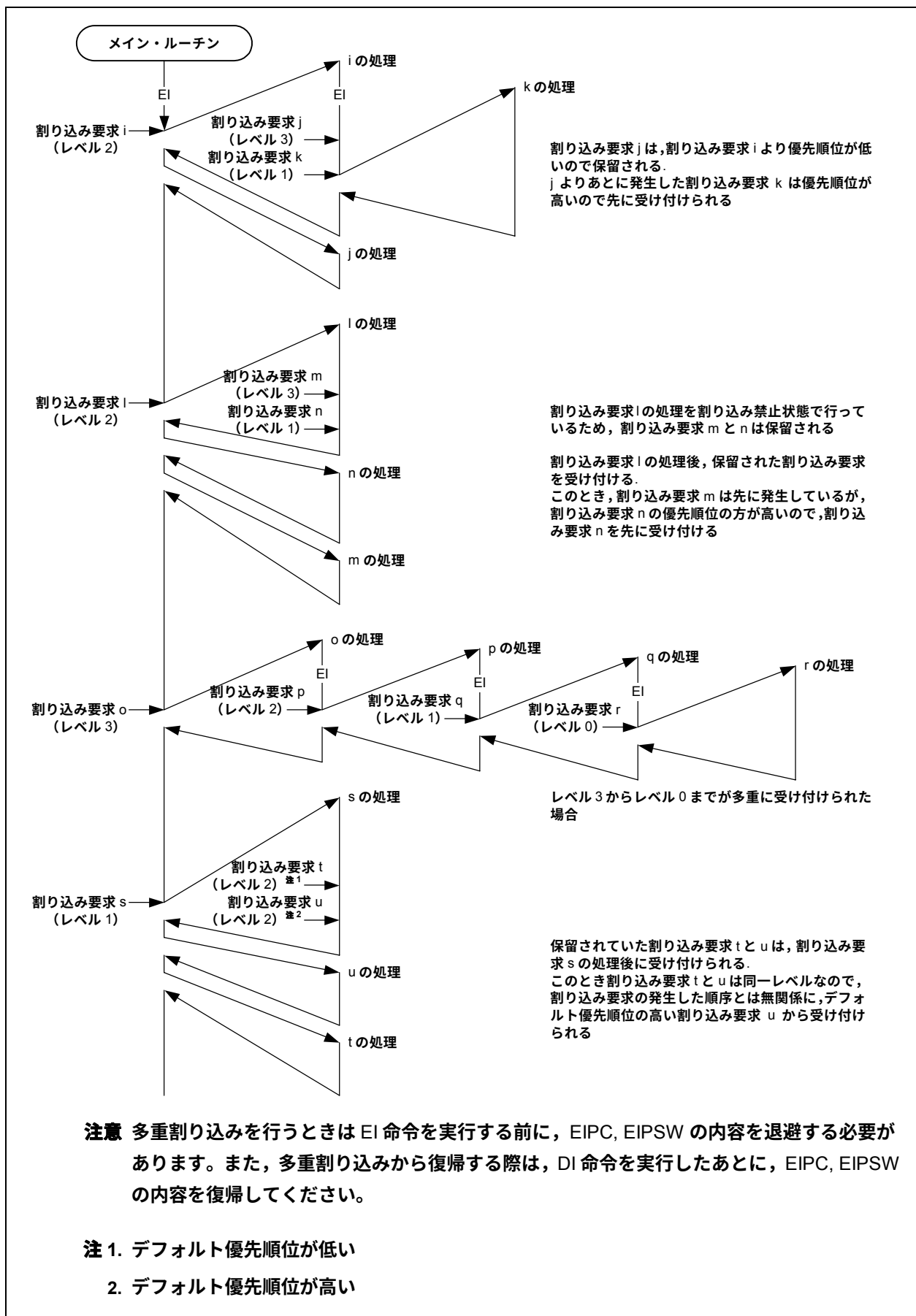
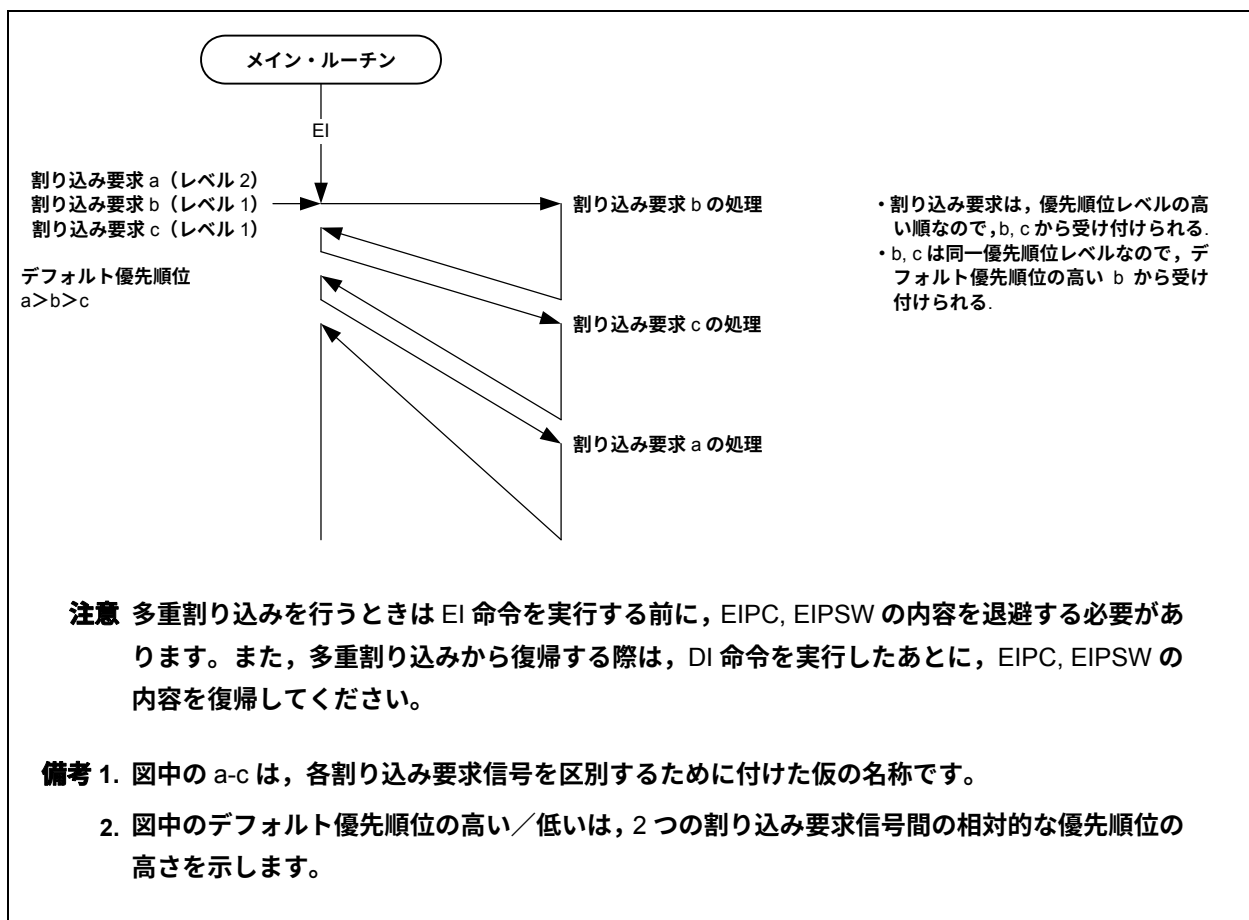


図 10-6 同時発生した割り込み要求の処理例



10.4.3 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。
PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。
優先度マスク機能には次の操作ができます。

- (i) 一時的にある割り込み優先度以下の割り込みを禁止とする
- (ii) 一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動 作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考 n = 0-15

PMR レジスタは、割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行います。
この機能により保留されている EIINT 割り込みの有無は、「10.4.4 保留割り込み通知機能」で確認が可能です。

10.4.4 保留割り込み通知機能

保留割り込み通知機能では、現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では、次の状態を確認することができます。

- (i) 優先度マスク機能（PMR）によってのみマスクされている割り込みが存在している場合
ICSR.PMF ビットにがセット（1）されます。
ISPR レジスタによる優先度マスク，EIMKn ビットによりマスクされている割り込みが存在しているだけでは，1 はセットされません。優先度マスクによる割り込み禁止中に，優先度マスク機能により保留されている割り込み要求の有無を確認できます。
- (ii) CPU に対し EI レベル・マスカブル割り込み要求が行われている場合
ICSR.EIR ビットがセット（1）されます。
PSW.ID = 1 区間中に ICSR.EIR ビットを見ることで，EIINTn 割り込み要求の有無を確認できます。
- (iii) CPU に対して FE レベル・マスカブル割り込み要求が行われている場合
ICSR.FIR ビットがセット（1）されます。
PSW.NP = 1 区間中に ICSR.FIR ビットを見ることで，FEINT 割り込み要求の有無を確認できます。

10.4.5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPC レジスタにアクセスすることで動作します。イン・サービス・プライオリティ・クリア機能では、次の操作が可能です。

- (i) ISPR レジスタの内容を全クリア
- (ii) ICSR.EIE, FIE, FNE ビットをクリア

ISPC レジスタの全ビットへ 1 をライトし，次に ISPR レジスタの全ビットに 0 をライトすると，ISPR レジスタの全ビットをクリア（0）することができます。また，割り込み要求が CPU コアで処理中であることを管理している ICSR.EIE, FIE, FNE ビットがすべてクリア（0）されます。

ISPR レジスタの全ビットへの 0 のライトとともにこのレジスタの値も自動的にクリア（0）されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

10.5 IDLE モードの解除が可能な割り込み／例外

EP3-AM1 では、表 10-4 に示す、リセット、FE レベル・マスカブル割り込み（NMI 端子入力）、22 種類の EI レベル・マスカブル割り込みでのみ IDLE モードの解除が可能です。ただし、EI レベル・マスカブル割り込みの場合は、マスクが解除されている割り込みのみ IDLE モードの解除が可能です。

表 10-4 IDLE モード解除可能割り込み／例外要因一覧

発生要因略称	発生要因	発生ユニット	割り込み制御レジスタ	
			略称	アドレス
RESETZ	リセット入力	—	—	
NMI	NMI 入力	端子	FIC	FFFF 645EH
INTWDT	WDT アラーム割り込み	WDT	EIC0	FFFF 6000H
INTPZ0	INTPZ0 入力	端子	EIC2	FFFF 6004H
INTPZ1	INTPZ1 入力	端子	EIC3	FFFF 6006H
INTPZ2	INTPZ2 入力	端子	EIC4	FFFF 6008H
INTPZ3	INTPZ3 入力	端子	EIC5	FFFF 600AH
INTPZ4	INTPZ4 入力	端子	EIC6	FFFF 600CH
INTPZ5	INTPZ5 入力	端子	EIC7	FFFF 600EH
INTPZ6	INTPZ6 入力	端子	EIC8	FFFF 6010H
INTPZ7	INTPZ7 入力	端子	EIC9	FFFF 6012H
INTPZ16	INTPZ16 入力	端子	EIC10	FFFF 6014H
INTPZ17	INTPZ17 入力	端子	EIC11	FFFF 6016H
INTPZ18	INTPZ18 入力	端子	EIC12	FFFF 6018H
INTPZ19	INTPZ19 入力	端子	EIC13	FFFF 601AH
INTPZ20	INTPZ20 入力	端子	EIC14	FFFF 601CH
INTPZ21	INTPZ21 入力	端子	EIC15	FFFF 601EH
INTPZ22	INTPZ22 入力	端子	EIC16	FFFF 6020H
INTPZ23	INTPZ23 入力	端子	EIC17	FFFF 6022H
INTTM0EQ0	TMM0 コンペアー致割り込み	TMM0	EIC113	FFFF 60E2H
INTTM1EQ0	TMM1 コンペアー致割り込み	TMM1	EIC114	FFFF 60E4H
INTTM2EQ0	TMM2 コンペアー致割り込み	TMM2	EIC115	FFFF 60E6H
INTPZ8	INTPZ8 入力	端子	EIC135	FFFF 610EH
INTPZ9	INTPZ9 入力	端子	EIC136	FFFF 6110H

10.6 外部割り込みのトリガ・モードの選択

INTPZ0-INTPZ49, NMI 入力, 有効エッジをプログラマブルに選択できます。また, INTPZ0-INTPZ49 入力はレベル・トリガも選択できます。選択できる有効エッジについて次に示します。

- ☐ 立ち上がりエッジ
- ☐ 立ち下がりエッジ
- ☐ 立ち上がり／立ち下がり両エッジ

有効エッジ, レベル・トリガは, 外部割り込みモード・レジスタ 0-4 (INTM0-INTM4) で指定します。

10.6.1 外部割り込みモード・レジスタ 0-4 (INTM0-INTM4)

外部端子による外部割り込み要求 (NMI, INTPZ0-INTPZ49) のトリガ・モードを指定するレジスタです。各レジスタと, そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ☐ INTM0 : NMI
- ☐ INTM1 : INTPZ15-INTPZ0
- ☐ INTM2 : INTPZ16-INTPZ31
- ☐ INTM3 : INTPZ32-INTPZ47
- ☐ INTM4 : INTPZ48, INTPZ49

INTM0-INTM4 レジスタは 32 ビット単位でリード／ライト可能です。

★ **注意** 割り込み入力と兼用されている入力系の兼用信号は, 外部割り込みモード・レジスタの影響を受けません。16 ビット・タイマ／カウンタ AA (TAA) 入力端子, 16 ビット・タイマ／イベント・カウンタ T (TMT) 入力端子, ADTRG の有効エッジは, それぞれのユニットのエッジ指定レジスタで有効エッジを指定します。

(1/2)

																アドレス	
INTM0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9130H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ESN1	ESN0	
																NMI	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	
																アドレス	
INTM1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9134H
	ESP 151	ESP 150	ESP 141	ESP 140	ESP 131	ESP 130	ESP 121	ESP 120	ESP 111	ESP 110	ESP 101	ESP 100	ESP 91	ESP 90	ESP 81	ESP 80	
	INTPZ15		INTPZ14		INTPZ13		INTPZ12		INTPZ11		INTPZ10		INTPZ9		INTPZ8		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	ESP 71	ESP 70	ESP 61	ESP 60	ESP 51	ESP 50	ESP 41	ESP 40	ESP 31	ESP 30	ESP 21	ESP 20	ESP 11	ESP 10	ESP 01	ESP 00	
	INTPZ7		INTPZ6		INTPZ5		INTPZ4		INTPZ3		INTPZ2		INTPZ1		INTPZ0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
INTM2	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9138H
	ESP 311	ESP 310	ESP 301	ESP 300	ESP 291	ESP 290	ESP 281	ESP 280	ESP 271	ESP 270	ESP 261	ESP 260	ESP 251	ESP 250	ESP 241	ESP 240	
	INTPZ31		INTPZ30		INTPZ29		INTPZ28		INTPZ27		INTPZ26		INTPZ25		INTPZ24		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	ESP 231	ESP 230	ESP 221	ESP 220	ESP 211	ESP 210	ESP 201	ESP 200	ESP 191	ESP 190	ESP 181	ESP 180	ESP 171	ESP 170	ESP 161	ESP 160	
	INTPZ23		INTPZ22		INTPZ21		INTPZ20		INTPZ19		INTPZ18		INTPZ17		INTPZ16		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																アドレス	
INTM3	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 913CH
	ESP 471	ESP 470	ESP 461	ESP 460	ESP 451	ESP 450	ESP 441	ESP 440	ESP 431	ESP 430	ESP 421	ESP 420	ESP 411	ESP 410	ESP 401	ESP 400	
	INTPZ47		INTPZ46		INTPZ45		INTPZ44		INTPZ43		INTPZ42		INTPZ41		INTPZ40		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	ESP 391	ESP 390	ESP 381	ESP 380	ESP 371	ESP 370	ESP 361	ESP 360	ESP 351	ESP 350	ESP 341	ESP 340	ESP 331	ESP 330	ESP 321	ESP 320	
	INTPZ39		INTPZ38		INTPZ37		INTPZ36		INTPZ35		INTPZ34		INTPZ33		INTPZ32		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(2/2)

31302928272625242322212019181716

INTM4

0000000000000000

1514131211109876543210

R/W

0000000000000000

ESP491ESP490ESP481ESP480

INTPZ49INTPZ48

00000000

00000000000000

R/W

00000000

アドレス

0F01 9140H

初期値

0000 0000H

ビット位置	ビット名	意 味															
31-0	ESn1-ESn0	NMI, INTPZ0-INTPZ49 のトリガ・モードを指定します。 <table><thead><tr><th>ESn1</th><th>ESn0</th><th>NMI, INTPZ0-INTPZ49 のトリガ・モード指定</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr><tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr><tr><td>1</td><td>0</td><td>レベル検出（ロー・レベル検出）^{注 1,2,3}</td></tr><tr><td>1</td><td>1</td><td>立ち上がり，立ち下がり両エッジ</td></tr></tbody></table>	ESn1	ESn0	NMI, INTPZ0-INTPZ49 のトリガ・モード指定	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	レベル検出（ロー・レベル検出） ^{注 1,2,3}	1	1	立ち上がり，立ち下がり両エッジ
ESn1	ESn0	NMI, INTPZ0-INTPZ49 のトリガ・モード指定															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	レベル検出（ロー・レベル検出） ^{注 1,2,3}															
1	1	立ち上がり，立ち下がり両エッジ															

備考 n = N, P0-P49

注 1. NMI は，レベル検出は設定禁止です。

2. INTPZ0-INTPZ49 端子のレベルは，アクティブ・レベル（ロー・レベル）が入力されていると，内部システム・バス・クロック（HCLK）の立ち上がりごとにトグルする連続パルスとして，割り込み要求が発生します。つまり HCLK を 2 分周したタイミングごとに割り込み要求が発生し EIRF ビットとして割り込み要求がラッチされます。このため，CPU が割り込みを受け付けて，EI レベル割り込み制御レジスタ（EIC）の EIRF ビットが自動的にクリア（0）されても，すぐに EIRF ビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して INTPZn 端子をインアクティブにする処理を行ったあと，EIRF ビットを強制的にクリア（0）してください。なお，外部割り込みをサンプリングする HCLK は，IDLE モードでも停止しません。

3. 割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTPZn）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTPZn）がインアクティブになった場合，新たに発生した割り込み（INTPZn）の割り込み要求は保留されます。この INTPZn の割り込み要求を受け付けたくない場合は，EI レベル割り込み制御レジスタ（EICn）の EIRFn ビットをクリア（0）してください。

注意 INTPZ0-INTPZ49 は，ポートと兼用されています。PMCTn レジスタで割り込み機能として利用するように設定した際に，直前の状態によっては不要な割り込みが発生する場合があります。これを避けるためには，PMCTn レジスタで割り込み機能として利用するように設定する場合に，これらの割り込みをマスクした状態で設定し，設定後にこれらの割り込み要求フラグをクリア（0）してください（n = 0-2, 5, 9, A-E）。

10.7 デジタル・ノイズ・フィルタ

- ★ 外部割り込み入力，A/D トリガ入力，16 ビット・タイマ／カウンタ AA（TAA）入力信号，16 ビット・タイマ／イベント・カウンタ T（TMT）入力信号，UART シリアル・データ入力は，デジタル・ノイズ・フィルタによるノイズ除去機能を利用できます。

ノイズ除去機能の設定は，ノイズ・フィルタ設定レジスタ 0-7（NFC0-NFC7）で行います。

ノイズ除去対象端子を以下に示します。

表 10-5 ノイズ除去対象信号

対象信号	内部接続ユニット	信号の機能
NMI	割り込みコントローラ	FE レベル・マスカブル外部割り込み入力
INTPZ0-INTPZ49	割り込みコントローラ	EI レベル・マスカブル外部割り込み入力
ADTRG	A/D コンバータ・コントローラ	A/D コンバータの外部変換トリガ入力
TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51	16 ビット・タイマ／カウンタ AA（TAA）	TAA タイマ・キャプチャ・トリガ入力
TENC00, TENC01, TENC10, TENC11	16 ビット・タイマ／イベント・ カウンタ T（TMT）	TMT タイマ・エンコーダ・カウント入力
TECR0, TECR1		TMT タイマ・エンコーダ・クリア入力
TRGT0, TRGT1		TMT タイマ外部トリガ入力
EVT0, EVTT1		TMT タイマ外部イベント入力
TIT00, TIT01, TIT10, TIT11		TMT タイマ・キャプチャ・トリガ入力
RXD0-RXD3	アシンクロナス・シリアル・イ ンタフェース（UART）	UART シリアル・データ入力

10.7.1 ノイズ・フィルタ設定レジスタ

表 10-5 に示す入力信号の、ノイズ除去幅を設定するレジスタです。

32 ビット単位でリード／ライト可能です。

注意 1. 入力パルス幅が、NFC0-NFC7 設定値～NFC0-NFC7 設定値－1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。

2. ノイズ・フィルタ設定レジスタは、割り込み入力とその他の入力系兼用機能が同一端子に割り当てられている場合でも、個別に設定してください。たとえば TIA00, INTPZ24 は同一端子に割り当てられていますが、ノイズ・フィルタの設定は、TIA00, INTPZ24 それぞれ個別に NFC5 レジスタ, NFC2 レジスタで設定してください。

★

3. 割り込み入力 (INTPZ0-INTPZ49, NMI) はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。16 ビット・タイマ／カウンタ AA (TAA) 入力端子, 16 ビット・タイマ／イベント・カウンタ T (TMT) 入力端子, ADTRG の有効エッジは、それぞれのユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0-RXD3 入力はエッジ指定の機能はありません。

4. INTPZ0-INTPZ49, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも、遅延が生じます。

5. NFC0-NFC4 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC4 レジスタの変更は DI 状態で行い、レジスタ変更後に該当している割り込み要求 (EIRFn) クリアしてください。

(1/3)

																アドレス								
NFC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9110H							
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
																初期値								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H							
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFN 1	NFN 0								
																NMI								
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W								
																アドレス								
NFC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9114H							
	NFP 151	NFP 150	NFP 141	NFP 140	NFP 131	NFP 130	NFP 121	NFP 120	NFP 111	NFP 110	NFP 101	NFP 100	NFP 91	NFP 90	NFP 81	NFP 80								
																INTPZ15		INTPZ14	INTPZ13	INTPZ12	INTPZ11	INTPZ10	INTPZ9	INTPZ8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
																初期値								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H							
	NFP 71	NFP 70	NFP 61	NFP 60	NFP 51	NFP 50	NFP 41	NFP 40	NFP 31	NFP 30	NFP 21	NFP 20	NFP 11	NFP 10	NFP 01	NFP 00								
																INTPZ7		INTPZ6	INTPZ5	INTPZ4	INTPZ3	INTPZ2	INTPZ1	INTPZ0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
																アドレス								
NFC2	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9118H							
	NFP 311	NFP 310	NFP 301	NFP 300	NFP 291	NFP 290	NFP 281	NFP 280	NFP 271	NFP 270	NFP 261	NFP 260	NFP 251	NFP 250	NFP 241	NFP 240								
																INTPZ31		INTPZ30	INTPZ29	INTPZ28	INTPZ27	INTPZ26	INTPZ25	INTPZ24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
																初期値								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H							
	NFP 231	NFP 230	NFP 221	NFP 220	NFP 211	NFP 210	NFP 201	NFP 200	NFP 191	NFP 190	NFP 181	NFP 180	NFP 171	NFP 170	NFP 161	NFP 160								
																INTPZ23		INTPZ22	INTPZ21	INTPZ20	INTPZ19	INTPZ18	INTPZ17	INTPZ16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
																アドレス								
NFC3	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 911CH							
	NFP 471	NFP 470	NFP 461	NFP 460	NFP 451	NFP 450	NFP 441	NFP 440	NFP 431	NFP 430	NFP 421	NFP 420	NFP 411	NFP 410	NFP 401	NFP 400								
																INTPZ47		INTPZ46	INTPZ45	INTPZ44	INTPZ43	INTPZ42	INTPZ41	INTPZ40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
																初期値								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H							
	NFP 391	NFP 390	NFP 381	NFP 380	NFP 371	NFP 370	NFP 361	NFP 360	NFP 351	NFP 350	NFP 341	NFP 340	NFP 331	NFP 330	NFP 321	NFP 320								
																INTPZ39		INTPZ38	INTPZ37	INTPZ36	INTPZ35	INTPZ34	INTPZ33	INTPZ32
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

(2/3)

																アドレス		
NFC4	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
																初期値		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	0	0	0	0	0	0	0	0	0	0	0	0	NFP 491	NFP 490	NFP 481	NFP 480		
												INTPZ49		INTPZ48				
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W		
																アドレス		
NFC5	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	0	0	0	0	0	0	0	0	NFTIA 511	NFTIA 510	NFTIA 501	NFTIA 500	NFTIA 411	NFTIA 410	NFTIA 401	NFTIA 400		
								TIA51		TIA50		TIA41		TIA40				
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
																初期値		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	NFTIA 311	NFTIA 310	NFTIA 301	NFTIA 300	NFTIA 211	NFTIA 210	NFTIA 201	NFTIA 200	NFTIA 111	NFTIA 110	NFTIA 101	NFTIA 100	NFTIA 011	NFTIA 010	NFTIA 001	NFTIA 000		
		TIA31		TIA30		TIA21		TIA20		TIA11		TIA10		TIA01		TIA00		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
																アドレス		
NFC6	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	0	0	NFTIT 111	NFTIT 110	NFTIT 101	NFTIT 100	NFEVT 11	NFEVT 10	NFTRG 11	NFTRG 10	NFECR 11	NFECR 10	NFENC 111	NFENC 110	NFENC 101	NFENC 100		
			TIT11		TIT10		EVTT1		TRGT1		TECR1		TENC11		TENC10			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
																初期値		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	0	0	NFTIT 011	NFTIT 010	NFTIT 001	NFTIT 000	NFEVT 01	NFEVT 00	NFTRG 01	NFTRG 00	NFECR 01	NFECR 00	NFENC 011	NFENC 010	NFENC 001	NFENC 000		
			TIT01		TIT00		EVTT0		TRGT0		TECR0		TENC01		TENC00			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
																アドレス		
NFC7	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	0	0	0	0	0	0	0	0	NFRXD 31	NFRXD 30	NFRXD 21	NFRXD 20	NFRXD 11	NFRXD 10	NFRXD 01	NFRXD 00		
								RXD3		RXD2		RXD1		RXD0				
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
																初期値		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFAD 1	NFAD 0		
															ADTRG			
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W		

★

ビット位置	ビット名	意 味															
31-0	NFm1- NFm0	ノイズ・フィルタ段数を，内部システム・バス・クロック（HCLK）基準で設定します。 CLKDV0-CLKDV2 端子により，内部システム・バス・クロックは，CPU 動作クロックの分周関係で設定されます。 <table><tr><th>NFm1</th><th>NFm0</th><th>ノイズ・フィルタ段数</th></tr><tr><td>0</td><td>0</td><td>0×HCLK</td></tr><tr><td>0</td><td>1</td><td>4×HCLK</td></tr><tr><td>1</td><td>0</td><td>8×HCLK</td></tr><tr><td>1</td><td>1</td><td>16×HCLK</td></tr></table>	NFm1	NFm0	ノイズ・フィルタ段数	0	0	0×HCLK	0	1	4×HCLK	1	0	8×HCLK	1	1	16×HCLK
NFm1	NFm0	ノイズ・フィルタ段数															
0	0	0×HCLK															
0	1	4×HCLK															
1	0	8×HCLK															
1	1	16×HCLK															

備考 m = N, P0-P49,
TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51,
ENC00, ENC01, ECR0, TRG0, EVT0, TIT00, TIT01,
ENC10, ENC11, ECR1, TRG1, EVT1, TIT10, TIT11,
AD,
RXD0-RXD3

10.7.2 ノイズ・フィルタの動作

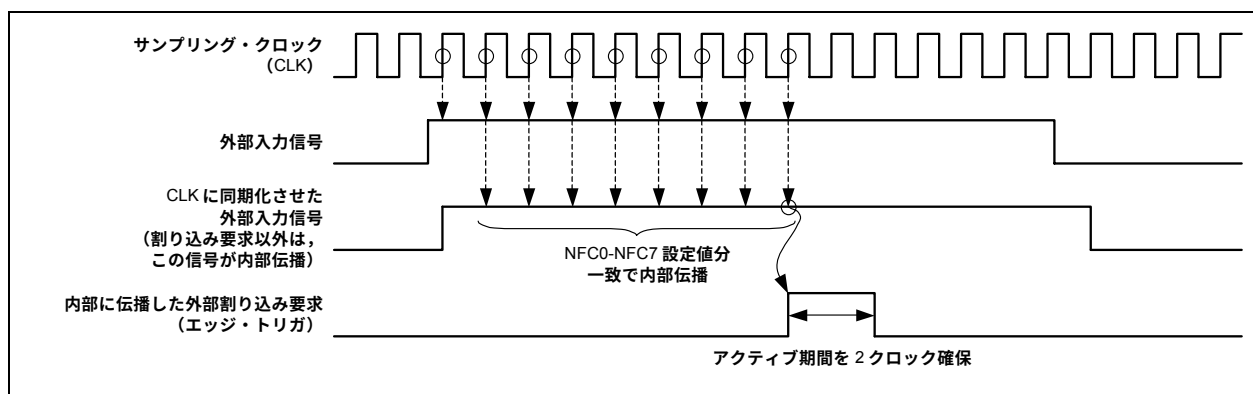
表 10-5 に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロック (CLK) でサンプリングし、ノイズ・フィルタ設定レジスタ (NFC0-NFC7) で指定したノイズ除去を行っています。

HCLK は、CLKDV0-CLKDV2 端子の設定により、CPU の動作クロック (CPCLK) からの分周比が設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

この CLK は IDLE モードで停止しないため、NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23 の外部割り込みは IDLE モードの解除が可能です。また、すべて立ち上がり／立ち下がり／両エッジ／ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

図 10-7 割り込み信号のデジタル・ノイズ・フィルタの動作 (エッジ・トリガ時)



第11章 クロック発生機能

クロック・ジェネレータ (CG) は、SSCG (Spread Spectrum Frequency Synthesizer Phase Locked Loop) -PLL で構成され、CPU をはじめとする内蔵の各ユニットに供給されるクロックを発生、制御します。

SSCG は、ノイズ対策用スペクトラム拡散クロック・ジェネレータで、EMI (Electromagnetic Interference) ノイズのピーク値を低減する効果があります。

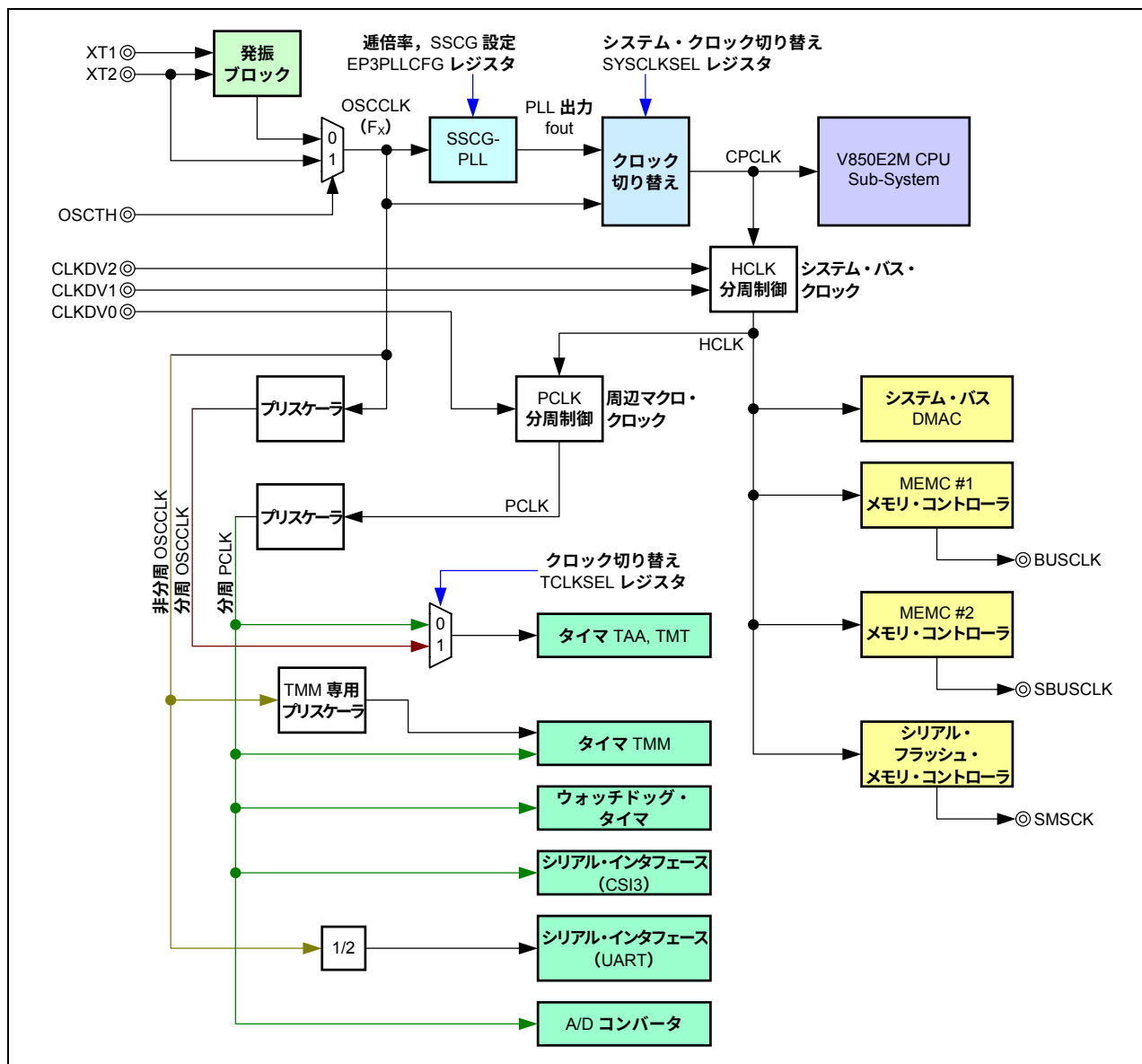
11.1 特 徴

- 標準 30MHz 入力の発振ブロック内蔵 (発振器周波数範囲: 27MHz-48MHz)
- ダイレクト・クロック対応 (XT2 に入力し, XT1 ロー・レベル入力, OSC1H にハイ・レベル入力)
- レジスタ設定による任意の逡倍率設定
- PLL ロック待ち回路内蔵
- レジスタ設定による SSCG 出力の周波数変調率 (f_{DIT}) 切り替え
 - 変調なし (周波数固定)
 - 変調あり^注 ダウンスプレッド : -0.5%, -1.0%, -2.0%, -3.0%, -4.0%, -5.0% (TYP.)
 - ^注 センタースプレッド: $\pm 0.5\%$, $\pm 1.0\%$, $\pm 1.5\%$, $\pm 2.0\%$, $\pm 2.5\%$ (TYP.)
- レジスタ設定による変調周期設定 (20Hz, 30kHz, 40kHz, 50kHz (TYP.))
- パワー・セーブ制御
 - ・ HALT モード
 - ・ IDLE モード

注 変調で基準となる周波数を上回る周波数が SSCG から出力されます。この周波数が最高動作周波数を超えないように設定してください。

11.2 構 成

図 11-1 クロック発生機能周辺ブロック図



11.3 発振ブロック

発振ブロックの標準入力周波数は 27MHz-48MHz です。

外部クロック入力モード時（発振器出力を直接接続する場合）には、OSCTH 端子にハイ・レベルを入力（EVDD に接続）し、XT2 端子に外部クロックを入力し、XT1 端子にはロー・レベルを入力（EGND に接続）してください。

リセット解除後はこの入力周波数で動作します。起動後、レジスタ設定にて PLL の通倍率を変更できます。

なお、EP3-AM1 は、源発振を停止する STOP モードを持っていません。

注意 1. 発振子、発振器（発振モジュール）いずれの場合も、上限の周波数は 48MHz です。

2. 発振子の選択および発振回路定数については、お客様にて発振評価していただくか、発振器メーカーに評価を依頼してください。

11.4 CPU 動作クロックと、バス・クロック、周辺マクロ・クロックの分周比設定

CPU の動作クロック（CPCLK）に対する内部システム・バス・クロック（HCLK）、周辺マクロ・クロック（PCLK）の分周比設定は、CLKDV2-CLKDV0 端子で設定します。

MEMC #1 の BUSCLK、MEMC #2 の SBUSCLK は、HCLK と同一周波数に設定されます。

なお CPU は、リセット解除後は XT1, XT2 入力の OSCCLK で動作します。必要に応じて後述の PLL 動作モードに設定してください。

注意 CLKDV2-CLKDV0 端子は、動作中に変更しないでください。リセット解除前に確定させてください。

表 11-1 CPU 動作クロックと、バス・クロック、周辺マクロ・クロックの分周比設定

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック（HCLK）	周辺マクロ・クロック（PCLK）
0	0	0	CPCLK/2	CPCLK/2（HCLK/1）
0	0	1	CPCLK/2	CPCLK/4（HCLK/2）
0	1	0	CPCLK/3	CPCLK/3（HCLK/1）
0	1	1	CPCLK/3	CPCLK/6（HCLK/2）
1	0	0	CPCLK/4	CPCLK/4（HCLK/1）
1	0	1	CPCLK/4	CPCLK/8（HCLK/2）
1	1	任意	設定禁止	

11.5 クロック発生機能の制御レジスタ

クロック発生機能に関する制御レジスタを以下に示します。

表 11-2 クロック発生機能レジスタ一覧

アドレス	レジスタ名称	略 号	R/W	リセット時
0F01 A014H	PLL ステータス・レジスタ	PLLS	R/W	0000 0025H
0F01 A100H	PLL 動作モード設定レジスタ	EP3PLLCFG	R/W	0000 0000H
0F01 A104H	システム・クロック選択レジスタ	SYSCLKSEL	R/W	0000 0000H
0F01 A114H	PLL プロテクト・コマンド・レジスタ	PLLPCMD	W	不定

クロック発生機能に関する特定レジスタは、プログラムの暴走などにより、これらのレジスタの書き換えが発生してシステムが不用意に停止しないように、プロテクト・コマンド・レジスタを併用した特定のシーケンスを併用しなければ書き換えができません。

特定レジスタと、プロテクト・コマンド・レジスタの関係を以下に示します。なお、PLL ステータス・レジスタ（PLLS）は、特定レジスタ対象外です。

特定レジスタへの書き込みシーケンスは、11.5.3 PLL プロテクト・コマンド・レジスタ（PLLPCMD）を参照してください。

表 11-3 クロック発生機能の特定レジスタと、プロテクト・コマンド・レジスタの関係

プロテクト・コマンド・レジスタ	プロテクト対象の特定レジスタ
PLL プロテクト・コマンド・レジスタ (PLLPCMD)	PLL 動作モード設定レジスタ (EP3PLLCFG) システム・クロック選択レジスタ (SYSCLKSEL)

11.5.1 PLL 動作モード設定レジスタ (EP3PLLCFG)

PLL の N, M 値, PLL 出力の分周設定, および SSCG の設定を行うレジスタです。

このレジスタは, PLL プロテクト・コマンド・レジスタ (PLLPCMD) を用いた特定のシーケンスでのみライト可能です。手順は 11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD) を参照してください。

なお, EP3PLLCFG レジスタの内容を読み出す場合は, 特別なシーケンスは必要ありません。

また, ビット 24-0 に設定した値で PLL を動作させる場合に, PLLE ビットも同時にセット (1) してください。

32 ビット単位でリード／ライト可能です。

アドレス																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
EP3PLLCFG	PLLE	0	0	0	0	0	0	PLL M6	PLL M5	PLL M4	PLL M3	PLL M2	PLL M1	PLL M0	PLL N7	PLL N6
R/W	R/W	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PLL N5	PLL N4	PLL N3	PLL N2	PLL N1	PLL N0	P0	SS PC1	SS PC0	SS ADJ2	SS ADJ1	SS ADJ0	SS MDL1	SS MDL0	SS S1	SS S0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0000 0000H																

ビット位置	ビット名	意 味
31	PLLE	ビット 24-0 への設定値のイネーブル・ビットです。ビット 24-0 に設定した値で PLL を動作させる場合に、このビットも同時にセット（1）してください。
24-18	PLLM6- PLLM0	内蔵 PLL の通倍率の設定入力（M 値）
17-10	PLLN7- PLLN0	内蔵 PLL の通倍率の設定入力（N 値） PLLN7-PLLN0 の設定値は、10 進数で、 $371 \leq \text{PLLN7-PLLN0 の設定値} \leq 399$ 以外は設定不可です。
9	P0	出力クロックの分周選択 0：PLL 出力周波数（スルー） 1：PLL 出力周波数を 2 分周
8, 7	SSPC1, SSPC0	内蔵 PLL の SSCG 動作モード設定入力
6-4	SSADJ2- SSADJ0	内蔵 PLL の SSCG の周波数拡散モードと、その範囲の設定入力
3, 2	SSMDL1, SSMDL0	内蔵 PLL の SSCG のモジュレーション範囲の設定入力
1, 0	SSS1, SSS0	内蔵 PLL の SSCG の S セクタ入力

備考 ビット 24-0 の設定方法は, 次のページにあります。

- 注意 1. EP3PLLCFG レジスタおよび PLLMODE レジスタの値を変更する場合には, 必ず PLLPCMD レジスタを用いた特定のシーケンスでアクセスしてください。
2. PLLMODE レジスタにて, 動作クロックに PLL の出力を選択した場合, 再度の EP3PLLCFG レジスタの変更はできません。再度設定を変更した場合は, 動作は保証されません。

(1) SSCG-PLL 動作モード設定

EP3PLLCFG レジスタの各ビットの説明を以下に示します。

利用条件に合わせて、適正な値に設定してください。

(1/2)

ビット位置	ビット名	意 味						
24-10	PLLM6- PLLM0, PLLN7- PLLN0	内蔵 PLL の逡倍率を設定します。 PLL 出力周波数 = 入力周波数×nr／mr／2 です。						
		項目	記号	計算式	MIN.	TYP.	MAX.	単位
		M 値	mr	PLLM6-PLLM0 の設定値+1	1		128	—
		N 値	nr	(PLLN7-PLLN0 の設定値+1) ×2	372		400	—
		入力周波数 ^{※1}	fstd	— (XT1, XT2 入力)	27.0		48.0	MHz
		入力デューティ	lduty	—	30		70	%
		逡倍率	MULT	MULT=nr／mr／2	1.453		200	—
		PFD 入力周波数	fpgd	fpgd=fstd／mr	1.0		2.0	MHz
		PLL 出力周波数	fout	fout=fstd×nr／mr／2	200		400	MHz
8, 7	SSPC1, SSPC0	内蔵 PLL の SSCG 動作モードを設定します。						
		SSPC1	SSPC0	内蔵 PLL の SSCG 動作モード				
		0	0	SSCG 機能オフ				
		0	1					
		1	0	SSCG モード (ダウンスプレッド・モード)				
		1	1	SSCG モード (センタースプレッド・モード) ^{※2}				

注意 PLL 出力の後段には、分周器があります。動作周波数は、EP3PLLCFG.P0 ビットにより PLL 出力スルーと 2 分周から選択してください。

注 1. XT1, XT2 の発振ブロックの特性により、入力周波数の範囲が決まっています。

2. 長周期における周期を保証するものではありません。XT1, XT2 入力クロック以上の誤差を伴うことがあります。

(2/2)

ビット位置	ビット名	意 味																																																																																																
6-4	SSADJ2- SSADJ0	SSCG の周波数変調率（fdit）を設定します。 <table><tr><th rowspan="2">SSADJ2</th><th rowspan="2">SSADJ1</th><th rowspan="2">SSADJ0</th><th colspan="3">ダウンスプレッド・モード PLLPC1 = 1, PLLPC0 = 0</th><th colspan="3">センタースプレッド・モード PLLPC1 = 1, PLLPC0 = 1</th><th rowspan="2">単位</th></tr><tr><th>MIN.</th><th>TYP.</th><th>MAX</th><th>MIN.</th><th>TYP.</th><th>MAX</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0.2</td><td>0.5</td><td>1.0</td><td colspan="3">設定禁止</td><td>%</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0.5</td><td>1.0</td><td>2.0</td><td>±0.2</td><td>±0.5</td><td>±1.0</td><td>%</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1.1</td><td>2.0</td><td>4.0</td><td>±0.5</td><td>±1.0</td><td>±2.0</td><td>%</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1.7</td><td>3.0</td><td>6.0</td><td>±0.8</td><td>±1.5</td><td>±3.0</td><td>%</td></tr><tr><td>1</td><td>0</td><td>0</td><td>2.3</td><td>4.0</td><td>8.0</td><td>±1.1</td><td>±2.0</td><td>±4.0</td><td>%</td></tr><tr><td>1</td><td>0</td><td>1</td><td>3.2</td><td>5.0</td><td>10.0</td><td>±1.4</td><td>±2.5</td><td>±5.0</td><td>%</td></tr><tr><td>1</td><td>1</td><td>0</td><td colspan="3">設定禁止</td><td colspan="3">設定禁止</td><td>—</td></tr><tr><td>1</td><td>1</td><td>1</td><td colspan="3">設定禁止</td><td colspan="3">設定禁止</td><td>—</td></tr></table>	SSADJ2	SSADJ1	SSADJ0	ダウンスプレッド・モード PLLPC1 = 1, PLLPC0 = 0			センタースプレッド・モード PLLPC1 = 1, PLLPC0 = 1			単位	MIN.	TYP.	MAX	MIN.	TYP.	MAX	0	0	0	0.2	0.5	1.0	設定禁止			%	0	0	1	0.5	1.0	2.0	±0.2	±0.5	±1.0	%	0	1	0	1.1	2.0	4.0	±0.5	±1.0	±2.0	%	0	1	1	1.7	3.0	6.0	±0.8	±1.5	±3.0	%	1	0	0	2.3	4.0	8.0	±1.1	±2.0	±4.0	%	1	0	1	3.2	5.0	10.0	±1.4	±2.5	±5.0	%	1	1	0	設定禁止			設定禁止			—	1	1	1	設定禁止			設定禁止			—
SSADJ2	SSADJ1	SSADJ0				ダウンスプレッド・モード PLLPC1 = 1, PLLPC0 = 0			センタースプレッド・モード PLLPC1 = 1, PLLPC0 = 1				単位																																																																																					
			MIN.	TYP.	MAX	MIN.	TYP.	MAX																																																																																										
0	0	0	0.2	0.5	1.0	設定禁止			%																																																																																									
0	0	1	0.5	1.0	2.0	±0.2	±0.5	±1.0	%																																																																																									
0	1	0	1.1	2.0	4.0	±0.5	±1.0	±2.0	%																																																																																									
0	1	1	1.7	3.0	6.0	±0.8	±1.5	±3.0	%																																																																																									
1	0	0	2.3	4.0	8.0	±1.1	±2.0	±4.0	%																																																																																									
1	0	1	3.2	5.0	10.0	±1.4	±2.5	±5.0	%																																																																																									
1	1	0	設定禁止			設定禁止			—																																																																																									
1	1	1	設定禁止			設定禁止			—																																																																																									
3, 2	SSMDL1, SSMDL0	内蔵 PLL の SSCG の変調周期を設定します。 <table><tr><th>SSMDL1</th><th>SSMDL0</th><th>MIN.</th><th>TYP.</th><th>MAX</th><th>単位</th></tr><tr><td>0</td><td>0</td><td>17.8</td><td>20.0</td><td>22.2</td><td>kHz</td></tr><tr><td>0</td><td>1</td><td>27.0</td><td>30.0</td><td>33.4</td><td>kHz</td></tr><tr><td>1</td><td>0</td><td>35.0</td><td>40.0</td><td>44.1</td><td>kHz</td></tr><tr><td>1</td><td>1</td><td>46.6</td><td>50.0</td><td>60.0</td><td>kHz</td></tr></table>	SSMDL1	SSMDL0	MIN.	TYP.	MAX	単位	0	0	17.8	20.0	22.2	kHz	0	1	27.0	30.0	33.4	kHz	1	0	35.0	40.0	44.1	kHz	1	1	46.6	50.0	60.0	kHz																																																																		
SSMDL1	SSMDL0	MIN.	TYP.	MAX	単位																																																																																													
0	0	17.8	20.0	22.2	kHz																																																																																													
0	1	27.0	30.0	33.4	kHz																																																																																													
1	0	35.0	40.0	44.1	kHz																																																																																													
1	1	46.6	50.0	60.0	kHz																																																																																													
1, 0	SSS1, SSS0	内蔵 PLL の PFD 入力周波数（fpfd）に対して SSCG 動作を最適化するために、PLLM6-PLLM0, PLLN7-PLLN0, PLLP0 設定した PFD 入力周波数に対して、SSS1, SSS0 を設定してください。 <table><tr><th>SSS1</th><th>SSS0</th><th>PFD 入力周波数（fpfd）</th></tr><tr><td>0</td><td>0</td><td>1.00MHz ≦ fpfd < 1.19MHz</td></tr><tr><td>0</td><td>1</td><td>1.18MHz ≦ fpfd < 1.41MHz</td></tr><tr><td>1</td><td>0</td><td>1.41MHz ≦ fpfd < 1.68MHz</td></tr><tr><td>1</td><td>1</td><td>1.68MHz ≦ fpfd ≦ 2.00MHz</td></tr></table>	SSS1	SSS0	PFD 入力周波数（fpfd）	0	0	1.00MHz ≦ fpfd < 1.19MHz	0	1	1.18MHz ≦ fpfd < 1.41MHz	1	0	1.41MHz ≦ fpfd < 1.68MHz	1	1	1.68MHz ≦ fpfd ≦ 2.00MHz																																																																																	
SSS1	SSS0	PFD 入力周波数（fpfd）																																																																																																
0	0	1.00MHz ≦ fpfd < 1.19MHz																																																																																																
0	1	1.18MHz ≦ fpfd < 1.41MHz																																																																																																
1	0	1.41MHz ≦ fpfd < 1.68MHz																																																																																																
1	1	1.68MHz ≦ fpfd ≦ 2.00MHz																																																																																																

11.5.2 システム・クロック選択レジスタ (SYSCLKSEL)

EP3-AM1 内部の、多くの動作クロックの元となる CPCLK を選択するレジスタです。

内部システム・バス・クロックの HCLK や、周辺マクロ・クロックの PCLK は、CPCLK から分周されています。

リセット解除後は、CPU は OSCCLK (CPCLK = OSCCLK) で動作しています。PLL に関する設定を終えて、このレジスタの PLLFOEN ビットをセット (1) すると、CPCLK は PLL 動作モードに移行します。

PLLFOEN ビットのセット (1) の前に、必ず PLL ステータス・レジスタ (PLLS) の PLLOVF ビットを読み出し、PLLOVF = 1 (PLL ロック待ちカウンタのオーバーフロー) を確認してください。

このレジスタは、PLL プロテクト・コマンド・レジスタ (PLLPCMD) を用いた特定のシーケンスでのみライト可能です。手順は 11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD) を参照してください。

なお、SYSCLKSEL レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

32 ビット単位でリード／ライト可能です。

	31		1	0	アドレス	初期値
SYSCLKSEL	0			PLLFOEN	0F01 A104H	0000 0000H
R/W	0			R/W		
ビット位置	ビット名	意 味				
0	PLLFOEN	システム・クロックの選択 0：OSC 出力クロック (OSCCLK) 1：PLL 出力クロック (PLL 動作モード)				

備考 システム負荷が軽い場合に、PLL 動作モードから OSCCLK 動作に戻すことも可能です。ただし、この場合には、システム・クロックが変化するため、外部メモリや内蔵周辺マクロへの供給クロックも変化することに十分留意して使用してください。

なお、EP3-AM1 は、高速プロセスで製造されているため、従来製品に対して比較的リーク電流が大きくなる傾向があります。総消費電力のうち、リーク電流が占める比率が高いため、動作クロックに比例した低電力効果が得られにくくなっています。

11.5.3 PLL プロテクト・コマンド・レジスタ (PLLPCMD)

PLLPCMD レジスタは、プログラムの暴走などによって応用システムが不用意に停止しないように、システムに重大な影響を与える可能性がある特定レジスタへの書き込みを保護するレジスタです。

特定レジスタの対象となるのは、PLL 動作モード設定レジスタ (EP3PLLCFG) と、システム・クロック選択レジスタ (SYSCLKSEL) です。

32 ビット単位でライトのみ可能です。

EP3PLLCFG レジスタと、SYSCLKSEL レジスタへの書き込みは、以下のシーケンスでの書き込みのみ受け付けられます。

- <1> PLLPCMD レジスタに特定値として、0000 00A5H を書き込む。
 - <2> 書き込み対象の特定レジスタに、設定したい値を書き込む。
 - <3> 書き込み対象の特定レジスタに、設定したい値の反転値（各ビットの反転値）を書き込む。
 - <4> 書き込み対象の特定レジスタに、再度設定したい値を書き込む。
- <2>、<3>では、実際の特定レジスタへの書き込みは行われていません。

	31	1	0	アドレス	初期値
PLLPCMD	PLLPCMD			0F01 A114H	不定
R/W	W				
ビット位置	ビット名	意 味			
31-0	PLLPCMD	0000 00A5H を書き込んだのち、書き込み対象の特定レジスタに上記シーケンスで書き込みを行った場合のみ、特定レジスタへの設定値が有効となります。			

11.5.4 PLL ステータス・レジスタ (PLLS)

内蔵 PLL のロック状態を確認するためのレジスタです。

PLL ロック待ちカウンタがオーバーフローすると、PLLOVF ビットがセット (1) されます。PLL 動作モードに移行する場合は、必ず PLLOVF ビットがセット (1) されていることを確認してから移行してください。PLLOVF ビットはリードのみ可能です。

32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
PLLS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 A014H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	PLL OVF	1	0	0	1	0	1	0000 0025H
R/W	0	0	0	0	0	0	0	0	0	R	1	0	0	1	0	1	
ビット位置	ビット名		意 味														
6	PLLOVF		内蔵 PLL のロック待ちカウンタのオーバーフロー状態を示します。 0：PLL ロック待ちカウンタは、オーバーフローしていない 1：PLL ロック待ちカウンタは、オーバーフローした														

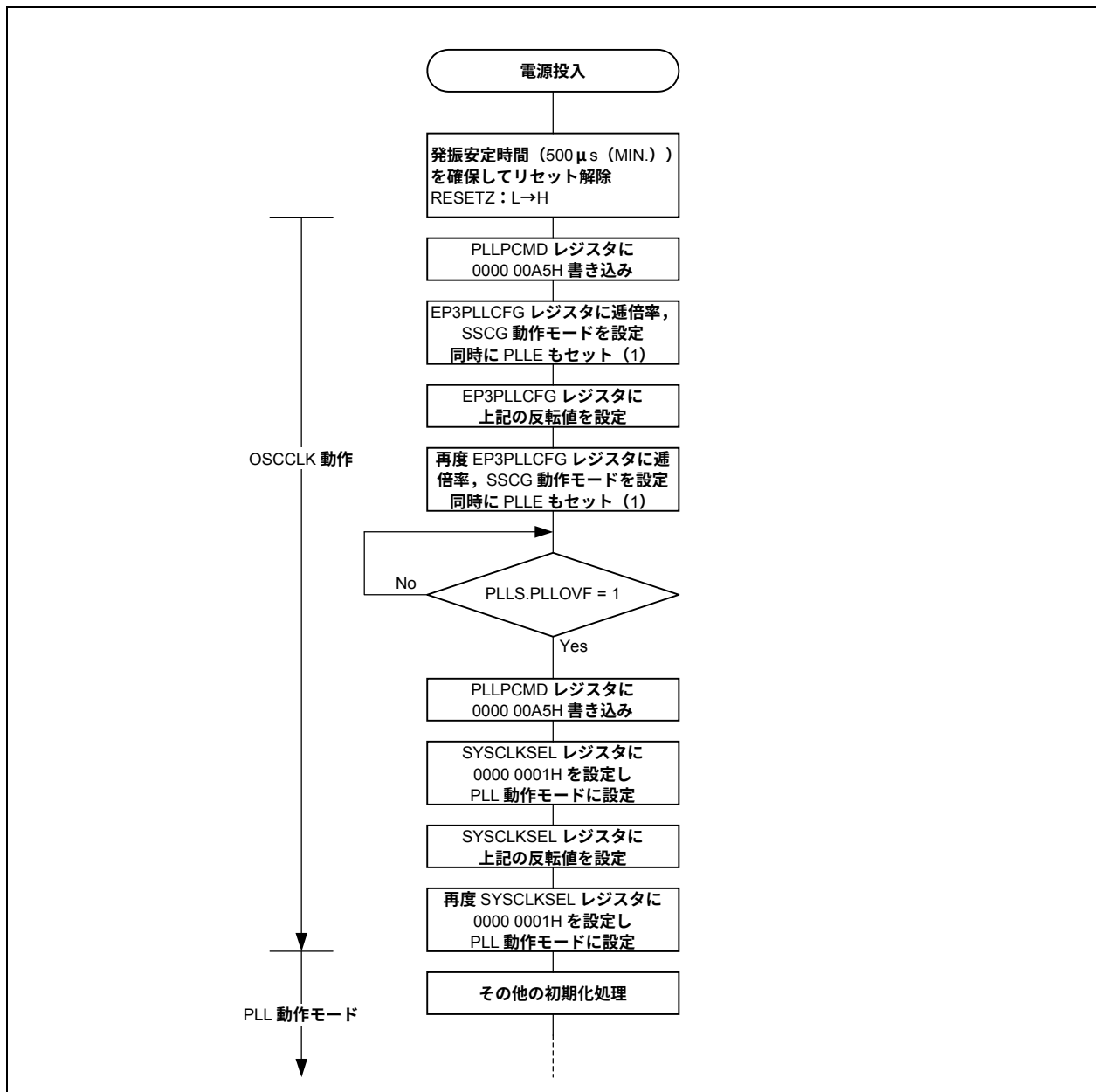
11.6 PLL 動作への移行方法

リセット解除時には、発振安定待ち時間は挿入されません。したがって、クロック発振回路が停止した状態から RESETZ 端子入力（パワーオン時のリセット入力）では、発振安定待ち時間以上（500 μ s（MIN.））をロー・レベルで確保する必要があります。

リセット解除後は、XT1, XT2 入力の OSCCLK で動作します。

その後、PLL 動作モードに移行するためには、以下の手順で設定してください。

図 11-2 PLL 動作への移行方法



11.7 動作クロックの規定

EP3-AM1 のクロック発生回路は、SSCG-PLL により、逡倍回路と周波数拡散のための変調回路から構成されています。SSCG-PLL は、回路特性により出力周期に最大で±50ps の出力誤差を発生します。

また、変調回路は、設定した変調率に対し、変調率に依存して値が変化する変調誤差が加算されます。

したがって、SSCG-PLL を介してクロックを出力する BUSCLK (SBUSCLK) の出力周波数や内部周辺 I/O の動作周波数はこれらの誤差の影響を受けます。そのため、各信号の周波数の算出については、必ず、これらの誤差を考慮して使用してください。

各変調率に対する出力周期および出力周波数の算出方法を次に示します。

11.7.1 動作周波数の最小値，最大値，平均値

(1) ダウンスプレッド・モード

最大周波数 = $(1 + (fdit_{MAX} - fdit_{TYP.}) / 2) \times PLL \text{ 出力周波数} / (P0 \text{ 設定値} + 1)$

最小周波数 = $(1 - (fdit_{MAX} - fdit_{TYP.}) / 2 - fdit_{TYP.} \times 400 / nr \text{ 値}) \times PLL \text{ 出力周波数} / (P0 \text{ 設定値} + 1)$

平均周波数 = $(nr \text{ 値} - fdit_{TYP.} / nr \text{ 値}) \times PLL \text{ 出力周波数} / (P0 \text{ 設定値} + 1)$

計算例

OSCCLK	30MHz		
PLL 出力周波数	265.91MHz		
動作周波数	265.91MHz		
PLLM6-PLLM0 設定値	21	mr 値	22
PLLN7-PLLN0 設定値	389	nr 値	390
P0 設定値	0 (分周しない)		
SSADJ2-SSADJ0 設定値	5	fdit (MAX.)	10%
		fdit (TYP.)	5%
PLL 出力ジッタ (MIN.)	-50ps		
PLL 出力ジッタ (MAX.)	50ps		
ジッタ加味前の最大周波数	$(1 + (10\% - 5\%) / 2) \times 265.91 / 1 = 272.56\text{MHz}$		
ジッタ加味後の最大周波数 (f_{MIN})	$1 / (1 / 272.56\text{MHz} - 50\text{ps}) = 276.33\text{MHz}$		
ジッタ加味前の最小周波数	$((1 - (10\% - 5\%) / 2) - 5\% \times 400 / 390) \times 265.91 / 1 = 245.62\text{MHz}$		
ジッタ加味後の最小周波数 (f_{MAX})	$1 / (1 / 245.62\text{MHz} + 50\text{ps}) = 242.64\text{MHz}$		
平均周波数 (f_{AVE})	$(390 - 5) / 390 \times 265.91 / 1 = 262.50\text{MHz}$		

注意 平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値です。変調周期に対して短い期間での動作周波数は、上記計算式の算出結果に対して誤差が大きくなる可能性が高いので注意してください。

備考 fdit = EP3PLLCFG レジスタの SSADJ2-SSADJ0 ビットで設定した周波数変調率 (11.5.1 PLL 動作モード設定レジスタ (EP3PLLCFG) 参照)

(2) センタースプレッド・モード

最大周波数 = $(1 + |\text{fdit}_{\text{MAX}}|) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$

最小周波数 = $(1 - |\text{fdit}_{\text{MAX}}|) \times \text{PLL 出力周波数} / (\text{P0 設定値} + 1)$

平均周波数 = $\text{PLL 出力周波数} / (\text{P0 設定値} + 1)$

計算例

OSCCLK	30MHz		
PLL 出力周波数	265.91MHz		
動作周波数	265.91MHz		
PLLM6-PLLM0 設定値	21	mr 値	22
PLLN7-PLLN0 設定値	389	nr 値	390
P0 設定値	0 (分周しない)		
SSADJ2-SSADJ0 設定値	5	fdit (MAX.)	±5%
		fdit (TYP.)	±2.55%
PLL 出力ジッタ (MIN.)	-50ps		
PLL 出力ジッタ (MAX.)	50ps		
ジッタ加味前の最大周波数	$(1 + 5\%) \times 265.91 / 1 = 279.21\text{MHz}$		
ジッタ加味後の最大周波数 (f_{MIN})	$1 / (1 / 279.21\text{MHz} - 50\text{ps}) = 283.16\text{MHz}$		
ジッタ加味前の最小周波数	$(1 - 5\%) \times 265.91 / 1 = 252.61\text{MHz}$		
ジッタ加味後の最小周波数 (f_{MAX})	$1 / (1 / 252.61\text{MHz} + 50\text{ps}) = 249.46\text{MHz}$		
平均周波数 (f_{AVE})	$265.91 / 1 = 265.91\text{MHz}$		

注意 平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値です。変調周期に対して短い期間での動作周波数は、上記計算式の算出結果に対して誤差が大きくなる可能性が高いので注意してください。

備考 fdit = EP3PLLCFG レジスタの SSADJ2-SSADJ0 ビットで設定した周波数変調率 (11.5.1 PLL 動作モード設定レジスタ (EP3PLLCFG) 参照)

11.7.2 BUSCLK 周波数の算出

SSCG-PLL による変調機能を使用した場合、BUSCLK も変動します。BUSCLK の周波数 (f_{BUSCLK}) を算出する場合には注意してください。

CLKDV2-CLKDV0 端子入力に対する BUSCLK の周波数変動を次に示します。

表 11-4 BUSCLK の周波数変動

CLKDV2	CLKDV1	CLKDV0	BUSCLK 周波数 (f_{BUSCLK})		
			MIN.	TYP.	MAX.
0	0	任意	$f_{\text{MIN}}/2$	$f_{\text{AVE}}/2$	$f_{\text{MAX}}/2$
0	1	任意	$f_{\text{MIN}}/3$	$f_{\text{AVE}}/3$	$f_{\text{MAX}}/3$
1	0	任意	$f_{\text{MIN}}/4$	$f_{\text{AVE}}/4$	$f_{\text{MAX}}/4$
1	1	任意	設定禁止		

11.7.3 各内蔵周辺機能の動作クロック周波数の算出

SSCG-PLL による変調機能を使用した場合、BUSCLK と同一周波数の HCLK から分周した周辺マクロ・クロック (PCLK) を利用している周辺機能は、動作クロックが変動します。(1) - (6) の内容について注意してください。

表 11-5 周辺マクロ・クロック (PCLK) の周波数変動

CLKDV2	CLKDV1	CLKDV0	BUSCLK 周波数 (f _{BUSCLK})			周辺マクロ・クロック (PCLK)		
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
0	0	0	f _{MIN} /2	f _{AVE} /2	f _{MAX} /2	f _{MIN} /2	f _{AVE} /2	f _{MAX} /2
0	0	1				f _{MIN} /4	f _{AVE} /4	f _{MAX} /4
0	1	0	f _{MIN} /3	f _{AVE} /3	f _{MAX} /3	f _{MIN} /3	f _{AVE} /3	f _{MAX} /3
0	1	1				f _{MIN} /6	f _{AVE} /6	f _{MAX} /6
1	0	0	f _{MIN} /4	f _{AVE} /4	f _{MAX} /4	f _{MIN} /4	f _{AVE} /4	f _{MAX} /4
1	0	1				f _{MIN} /8	f _{AVE} /8	f _{MAX} /8
1	1	任意	設定禁止					

(1) タイマ TMM のカウント周期

カウント・クロックは、PCLK の分周クロックと、OSCCLK を TMM 専用プリスケアラで分周したクロックの 2 系統を選択できます。SSCG 機能の影響を受けるのは、PCLK の分周クロックを選択した場合です。

カウント周期は、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には、一定時間以内のときは f_{MIN} 動作時、一定時間以上のときは f_{MAX} 動作時での最適なカウント数の設定を推奨します。

また、精度の高いカウント動作が必要な場合には、SSCG-PLL による変調機能を使用しないか、OSCCLK 系統のクロックを利用してください。

(2) タイマ TAA, タイマ TMT のカウント周期 (内部クロック使用時)

カウント・クロックは、PCLK の分周クロックと、OSCCLK の分周クロックの 2 系統を選択できます。SSCG 機能の影響を受けるのは、PCLK の分周クロックを選択した場合です。

カウント周期は、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には、一定時間以内のときは f_{MIN} 動作時、一定時間以上のときは f_{MAX} 動作時での最適なカウント数の設定を推奨します。なお、タイマ TAA, タイマ TMT のタイマ出力時のデューティ設定についてはハイ・レベル出力、またはロー・レベル出力のどちらか一方の保証しかできません。

また、精度の高いカウント動作が必要な場合には、SSCG-PLL による変調機能を使用しないでください。

(3) ウォッチドッグ・タイマ

カウント・クロックは、PCLK の分周クロックです。こりため SSCG 機能の影響を受けます。

カウント周期は、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には、一定時間以内のときは f_{MIN} 動作時、一定時間以上のときは f_{MAX} 動作時での最適なカウント数の設定を推奨します。

また、精度の高いカウント動作が必要な場合には、SSCG-PLL による変調機能を使用しないでください。

(4) CSI3 のシリアル通信（送信／受信／送受信）転送レート（マスタ・モード）

転送レートは、平均動作周波数から算出できます。

ただし、平均動作周波数は、SSCG-PLL に設定した変調周期の 1 周期に対する平均値となります。変調周期に対して短い期間の転送レート時には、平均動作周波数は、算出結果に対して誤差が大きくなる可能性が高いので注意してください。

転送レートとして絶対値の保証が必要な場合には、最小転送レートのときは f_{MIN} 動作時、最大転送レートのときは f_{MAX} 動作時での最適な転送レートの設定を推奨します。

(5) A/D コンバータの変換時間

A/D 変換動作時間（ADM1 レジスタの FR1-FR0 ビットで設定）の設定値は、 f_{AVE} で算出してください（ f_{MIN} および f_{MAX} の算出は不要）。

(6) デジタル・ノイズ除去時間

NFC0-NFC7 レジスタによるデジタル・ノイズ除去時間は、最小ノイズ除去時間のときは f_{MAX} 、最大ノイズ除去時間のときは f_{MIN} で算出してください。

(7) UART, ウォッチドッグ・タイマ

これらの機能は、専用クロック入力端子、OSCCLK、OSCCLK を分周したクロックのいずれかを利用しています。SSCG-PLL 系統のクロックを利用していないため、SSCG-PLL の影響を受けません。

11.8 パワー・セーブ制御

11.8.1 概 要

内蔵のスタンバイ・コントローラと、クロック制御回路により、各種パワー・セーブ機能を実現します。

注意 1. EP3-AM1 は、源発振器を停止させる STOP モードには対応していません。

2. EP3-AM1 は、IDLE モードでは外部割り込み入力のサンプリング・クロックは停止しません。このため IDLE モードは、外部割り込み入力 (NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23) と RESETZ 入力で解除できます。
3. デバッグ・モード時の IDLE モード解除には対応していません。デバッグ・モード時は IDLE モードを利用しないでください。
4. EP3-AM1 の IDLE モードは、発振ブロック、PLL、外部割り込み入力のサンプリング・クロックが動作しています。

パワー・セーブ機能には、次のものがあります。

(1) HALT モード

CPU のパイプライン動作のみ停止するモードです。

CPU が HALT の場合でも、CPU 以外の機能は動作を継続します。

専用命令 (HALT 命令) により HALT モードに移行します。

(2) IDLE モード

クロック・ジェネレータ (発振回路 (OSC) および SSCG-PLL シンセサイザ) は動作を継続したままで、内部クロックの供給を停止させることにより、システム全体を停止させるモードです。

ただし、外部割り込み入力のサンプリング・クロックと、OSCCLK または外部クロックで動作可能な内蔵周辺機能は動作を継続します。

内部の IDLE モード制御回路で、逡倍 PLL の出力クロック (FO) をゲーテッドすることで、CPU のパイプライン用クロック (CPCLK) とシステム・クロック (HCLK) を停止しています。

IDLE モードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

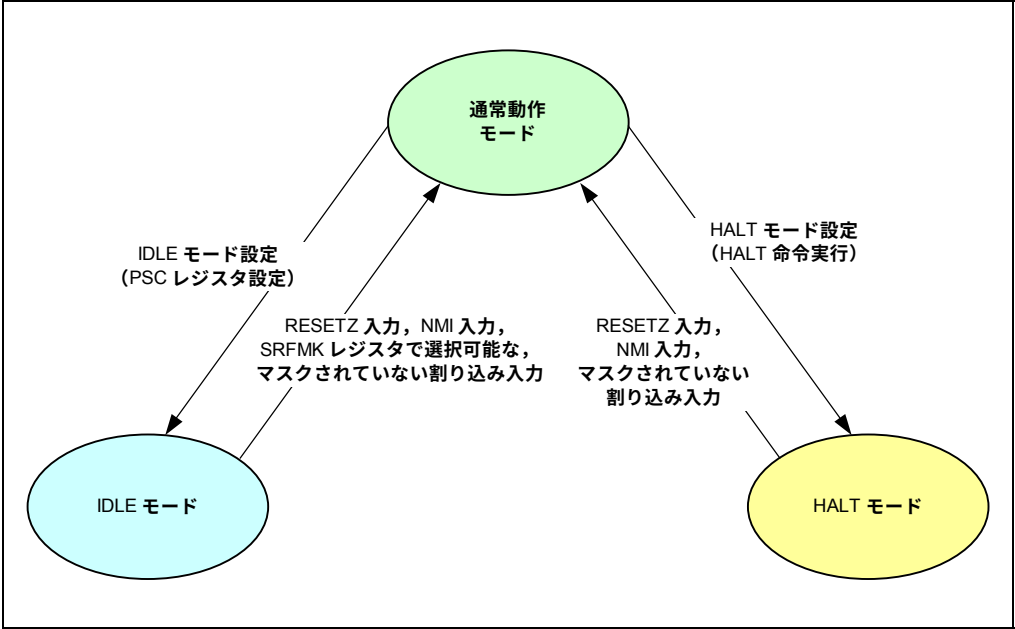
PSC レジスタの設定により IDLE モードに移行します。

注意 IDLE モード解除要因に選択できる割り込み信号は、NMI, INTPZ0-INTPZ9, INTPZ16-INTPZ23, INTTM0EQ0, INTTM1EQ0, INTTM2EQ0, INTWDT です。

通常動作，HALT，IDLE の各モードにおける動作を図 11-3 に示します。

各モードを組み合わせ、用途により切り替えて使用することにより、効果的な低消費電力システムを実現できます。

図 11-3 パワー・セーブ機能状態遷移図



11.8.2 各クロックの動作状態

各クロックの動作状態を次に示します。

動作状態	OSC	PLL	外部割り込み [※] 入力の取り込み	BUSCLK	内部システム・ クロック (HCLK) , 周辺マクロ・ クロック (PCLK)	CPU の 命令実行
通常動作時	○	○	○	○	○	○
HALT モード	○	○	○	○	○	×
IDLE モード	○	○	○	×	×	×
PLL ロック待ち期間	○	○	×	×	×	×
リセット期間	○	×	×	×	×	×

注 IDLE モード時の取り込み対象の外部割り込みは，NMI，INTPZ0-INTPZ9，INTPZ16-INTPZ23 です。

備考 ○：動作
×：停止

11.9 パワー・セーブ機能の制御レジスタ

パワー・セーブ機能に関する制御レジスタを以下に示します。

表 11-6 パワー・セーブ機能レジスタ一覧

アドレス	レジスタ名称	略 号	R/W	リセット時
0F01 A080H	パワー・セーブ・コントロール・レジスタ	PSC	R/W	0000 0000H
0F01 A084H	スタンバイ解除要因マスク設定レジスタ	SRFMK	R/W	0000 0000H
0F01 A088H	STBC プロテクト・コマンド・レジスタ	STBPCMD	W	不定

クロック発生機能に関する特定レジスタは、プログラムの暴走などにより、これらのレジスタの書き換えが発生してシステムが不用意に停止しないように、プロテクト・コマンド・レジスタを併用した特定のシーケンスを併用しなければ書き換えができません。

特定レジスタと、プロテクト・コマンド・レジスタの関係を以下に示します。なお、スタンバイ解除要因マスク設定レジスタ（SRFMK）は、特定レジスタ対象外です。

特定レジスタへの書き込みシーケンスは、11.9.3 STBC プロテクト・コマンド・レジスタ（STBPCMD）を参照してください。

表 11-7 パワー・セーブ機能の特定レジスタと、プロテクト・コマンド・レジスタの関係

プロテクト・コマンド・レジスタ	プロテクト対象の特定レジスタ
STBC プロテクト・コマンド・レジスタ (STBPCMD)	パワー・セーブ・コントロール・レジスタ (PSC)

11.9.1 パワー・セーブ・コントロール・レジスタ (PSC)

IDLE モードの設定を行うレジスタです。

このレジスタは、PLL プロテクト・コマンド・レジスタ (PLLPCMD) を用いた特定のシーケンスでのみライト可能です。手順は 11.9.3 STBC プロテクト・コマンド・レジスタ (STBPCMD) を参照してください。

なお、PSC レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

PSC レジスタの STP ビットは、一度セット (1) すると、ソフトウェアによるクリア (0) はできません。RESETZ によりリセット、および IDLE モード解除要因の発生によってのみクリア (0) されます。

32 ビット単位でリード／ライト可能です。

	31		1	0	アドレス	初期値
PSC	0			STP	0F01 A080H	0000 0000H
R/W	0			R/W		
ビット位置	ビット名	意 味				
0	STP	IDLE モードの状態を示します。 1 を書き込むと IDLE モードに入ります。IDLE モードが解除されると、自動的に 0 にリセットされます。 0 : IDLE モード解除状態 (通常状態) 1 : IDLE モード中				

注意 IDLE モードに設定する前に、セントラル DMAC、システム・バス DMAC の転送を終了させてください。

11.9.2 スタンバイ解除要因マスク設定レジスタ (SRFMK)

IDLE モードの解除が可能な 22 種類の割り込み要因に対して、IDLE モード解除機能のマスクを要因ごとに設定するレジスタです。各割り込み要因が、それぞれのマスク・ビットに対応しています。セット (1) されているビットに対応する割り込み要因では、IDLE モードは解除されません。

32ビット単位でリード／ライト可能です。

31302928272625242322212019181716

SRFMK

0000SRFMK27SRFMK26SRFMK25SRFMK24SRFMK23SRFMK22SRFMK21SRFMK20SRFMK19SRFMK18SRFMK17SRFMK16

R/W

0000R/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/W

1514131211109876543210

SRFMK15SRFMK14SRFMK13SRFMK12SRFMK11SRFMK10SRFMK9SRFMK8SRFMK7SRFMK6SRFMK5SRFMK4SRFMK3SRFMK2SRFMK1SRFMK0

00000000H

R/W

R/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/W

ビット位置	ビット名	意 味																																																						
31-0	SRFMK31-SRFMK0	IDLE モード解除要因のマスクを設定します。 0：マスクしない（ビットに対応する割り込み要求で IDLE モードを解除） 1：マスクする（ビットに対応する割り込み要求では IDLE モードを解除不可） 各ビットは、下記の割り込み要因に対応しています。 <table><tr><th>マスク・ビット</th><th>割り込み要因</th></tr><tr><td colspan="2"></td></tr><tr><td>SRFMK27</td><td>INTPZ9</td></tr><tr><td>SRFMK26</td><td>INTPZ8</td></tr><tr><td colspan="2"></td></tr><tr><td>SRFMK23</td><td>INTTM2EQ0</td></tr><tr><td>SRFMK22</td><td>INTTM1EQ0</td></tr><tr><td>SRFMK21</td><td>INTTM0EQ0</td></tr><tr><td colspan="2"></td></tr><tr><td>SRFMK16</td><td>INTWDT</td></tr></table> <table><tr><th>マスク・ビット</th><th>割り込み要因</th></tr><tr><td>SRFMK15</td><td>INTPZ23</td></tr><tr><td>SRFMK14</td><td>INTPZ22</td></tr><tr><td>SRFMK13</td><td>INTPZ21</td></tr><tr><td>SRFMK12</td><td>INTPZ20</td></tr><tr><td>SRFMK11</td><td>INTPZ19</td></tr><tr><td>SRFMK10</td><td>INTPZ18</td></tr><tr><td>SRFMK9</td><td>INTPZ17</td></tr><tr><td>SRFMK8</td><td>INTPZ16</td></tr><tr><td>SRFMK7</td><td>INTPZ7</td></tr><tr><td>SRFMK6</td><td>INTPZ6</td></tr><tr><td>SRFMK5</td><td>INTPZ5</td></tr><tr><td>SRFMK4</td><td>INTPZ4</td></tr><tr><td>SRFMK3</td><td>INTPZ3</td></tr><tr><td>SRFMK2</td><td>INTPZ2</td></tr><tr><td>SRFMK1</td><td>INTPZ1</td></tr><tr><td>SRFMK0</td><td>INTPZ0</td></tr></table>	マスク・ビット	割り込み要因			SRFMK27	INTPZ9	SRFMK26	INTPZ8			SRFMK23	INTTM2EQ0	SRFMK22	INTTM1EQ0	SRFMK21	INTTM0EQ0			SRFMK16	INTWDT	マスク・ビット	割り込み要因	SRFMK15	INTPZ23	SRFMK14	INTPZ22	SRFMK13	INTPZ21	SRFMK12	INTPZ20	SRFMK11	INTPZ19	SRFMK10	INTPZ18	SRFMK9	INTPZ17	SRFMK8	INTPZ16	SRFMK7	INTPZ7	SRFMK6	INTPZ6	SRFMK5	INTPZ5	SRFMK4	INTPZ4	SRFMK3	INTPZ3	SRFMK2	INTPZ2	SRFMK1	INTPZ1	SRFMK0	INTPZ0
マスク・ビット	割り込み要因																																																							
SRFMK27	INTPZ9																																																							
SRFMK26	INTPZ8																																																							
SRFMK23	INTTM2EQ0																																																							
SRFMK22	INTTM1EQ0																																																							
SRFMK21	INTTM0EQ0																																																							
SRFMK16	INTWDT																																																							
マスク・ビット	割り込み要因																																																							
SRFMK15	INTPZ23																																																							
SRFMK14	INTPZ22																																																							
SRFMK13	INTPZ21																																																							
SRFMK12	INTPZ20																																																							
SRFMK11	INTPZ19																																																							
SRFMK10	INTPZ18																																																							
SRFMK9	INTPZ17																																																							
SRFMK8	INTPZ16																																																							
SRFMK7	INTPZ7																																																							
SRFMK6	INTPZ6																																																							
SRFMK5	INTPZ5																																																							
SRFMK4	INTPZ4																																																							
SRFMK3	INTPZ3																																																							
SRFMK2	INTPZ2																																																							
SRFMK1	INTPZ1																																																							
SRFMK0	INTPZ0																																																							

11.9.3 STBC プロテクト・コマンド・レジスタ (STBPCMD)

STBPCMD レジスタは、プログラムの暴走などによって応用システムが不用意に停止しないように、システムに重大な影響を与える可能性がある特定レジスタへの書き込みを保護するレジスタです。

特定レジスタの対象となるのは、パワー・セーブ・コントロール・レジスタ (PSC) です。

32 ビット単位でライトのみ可能です。

PSC レジスタへの書き込みは、以下のシーケンスでの書き込みのみ受け付けられます。

- <1> STBPCMD レジスタに特定値として、0000 00A5H を書き込む。
 - <2> PSC レジスタに、設定したい値を書き込む。
 - <3> PSC レジスタに、設定したい値の反転値（各ビットの反転値）を書き込む。
 - <4> PSC レジスタに、再度設定したい値を書き込む。
- <2>、<3>では、実際の PSC レジスタへの書き込みは行われていません。

	31	1	0	アドレス	初期値
STBPCMD	STBPCMD			0F01 A088H	不定
R/W	W				
ビット位置	ビット名	意 味			
31-0	STBPCMD	0000 00A5H を書き込んだのち、PSC レジスタに上記シーケンスで書き込みを行った場合のみ、PSC レジスタへの設定値が有効となります。			

11.9.4 HALT モード

(1) 設定および動作状態

CPU のパイプライン動作のみ停止するモードです。CPU 以外は動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減させることができます。専用命令（HALT 命令）により HALT モードに移行します。

HALT モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵データ RAM、内蔵命令 RAM、ポートの内容は保持されます。また、CPU の命令処理に依存しない内蔵周辺機能（ポート以外）は動作を継続します。HALT モード時の各ハードウェアの状態は表 11-8 のようになります。

- 注意**
1. 割り込み要求が保留されている状態で HALT 命令を実行した場合、HALT モードになりますが、保留されている割り込み要求により HALT モードはすぐに解除されます。
 2. HALT 命令のあとには、NOP 命令を 16 命令以上挿入してください。
 3. HALT モードの場合でも、CPU 以外の内蔵バス・マスタの動作は継続されます。

表 11-8 HALT モード時の動作状態

機能	動作状態
発振回路	動作
SSCG-PLL シンセサイザ	動作
CPU	停止
内部データ	CPU のレジスタ、ステータス・データ、内蔵命令 RAM、内蔵データ RAM、内蔵ワーク RAM の内容など、内部のデータはすべて HALT モード設定前の状態を保持 [※]
割り込みコントローラ	動作
セントラル DMAC	動作
システム・バス DMAC	動作
TMM0-TMM5	動作
TMM 専用プリスケラ	動作
TAA0-TAA5	動作
TMT0, TMT1	動作
ウォッチドッグ・タイマ	動作
CSI30, CSI31	動作
UART	動作
A/D コンバータ	動作
シリアル・フラッシュ ROM メモリ・コントローラ	動作
ポート	HALT モード設定前の状態を保持 [※]
D0-D31, SD0-SD31	動作
A1-A26, SA1-SA24	
RDZ, WRSTBZ, BCYSTZ, SRDZ, SWRSTBZ, SBCYSTZ	
BENZ0-BENZ3 (WRZ0-WRZ3) , SBENZ0-SBENZ3 (SWRZ0-SWRZ3)	
STCSZ0-STCSZ3, SCSZ0-SCSZ3	
DYCSZ	
DQM0-DQM3	
SDRASZ, SDCASZ	
SDWEZ	
BUSREQZ	
HLDKZ, SHLDKZ	
HLDRQZ, SHLDRQZ	
WAITZ, SWAITZ	
SDCKE	
BUSCLK, SBUSCLK	
	クロック出力

★ 注 HALT モードでは、セントラル DMAC、システム・バス DMAC は動作するため、これらが転送先に指定されている場合は、HALT モードでもデータが変更されます。

(2) HALT モードの解除

HALT モードは、FE レベル・マスクابل割り込み要求（NMI）、EI レベル・マスクابل割り込み要求、および RESETZ 入力により解除されます。

注意 割り込み処理中（ISPR レジスタが 0 でない場合）に、HALT モードに移行した場合、ISPR レジスタに設定したレベルより優先順位の低い割り込み要求が発生しても、HALT モードは解除されません。

(a) FE レベル・マスクابل割り込み要求、EI レベル・マスクابل割り込み要求による解除

FE レベル・マスクابل割り込み要求、EI レベル・マスクابل割り込み要求により、優先順位とは無関係に解除されます。

表 11-9 割り込み要求による HALT モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
FE レベル・マスクابل割り込み要求（NMI）	ハンドラ・アドレスに分岐	
EI レベル・マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお、割り込み処理ルーチン内で HALT モードに設定した場合は、次のように動作が異なります。

- (i) 現在処理中の EI レベル・マスクابل割り込み要求よりも優先順位の低い割り込み要求が発生しても HALT モードの解除はされません。
- (ii) 現在処理中の EI レベル・マスクابل割り込み要求よりも優先順位が高い割り込み要求（FE レベル・マスクابل割り込み要求を含む）が発生すると、HALT モードの解除とともにこの割り込み要求を受け付けます。

(b) RESETZ 端子入力による解除

通常のリセット動作と同じです。

11.9.5 IDLE モード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路（OSC）および SSCG-PLL シンセサイザ）は動作を継続したままで、内部クロックの供給を停止させることにより、システム全体を停止させるモードです。

ただし、外部割り込み入力のサンプリング・クロックと、OSCCLK または外部クロックで動作可能な内蔵周辺機能は動作を継続します。

このモードの解除時は、発振回路の発振安定時間や PLL のロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

特定シーケンスによる PSC レジスタの設定で IDLE モードに移行します（11.9.3 STBC プロテクト・コマンド・レジスタ（STBPCMD）参照）。

IDLE モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵データ RAM、内蔵命令 RAM、ポートの内容は保持されます。また、CPU やその他の内蔵周辺機能は動作を停止します。

IDLE モード時の各ハードウェアの状態は表 11-10 のようになります。

注意 IDLE モードに設定するための PSC レジスタに対するストア命令のあとには、NOP 命令を 16 命令以上挿入してください。

表 11-10 IDLE モード時の動作状態

機能	動作状態
発振回路	動作
SSCG-PLL シンセサイザ	動作
CPU	停止
内部データ	CPU のレジスタ, ステータス・データ, 内蔵命令 RAM, 内蔵データ RAM, 内蔵ワーク RAM の内容など, 内部のデータはすべて HALT モード設定前の状態を保持
割り込みコントローラ	停止
セントラル DMAC	停止
システム・バス DMAC	停止
TMM0-TMM5	PCLK 動作の場合は停止, TMM 専用プリスケアラ動作の場合は動作
TMM 専用プリスケアラ	動作
TAA0-TAA5	PCLK 動作の場合は停止, OSCCLK 動作の場合は動作
TMT0, TMT1	PCLK 動作の場合は停止, OSCCLK 動作の場合は動作
ウォッチドッグ・タイマ	停止
CSI30, CSI31	停止
UART	動作可能 (IDLE モード時の動作は非推奨)
A/D コンバータ	停止
シリアル・フラッシュ ROM メモリ・コントローラ	停止
ポート	IDLE モード設定前の状態を保持*
D0-D31, SD0-SD31	ハイ・インピーダンス (Pull-down)
A1-A26, SA1-SA24	ロー・レベル出力
RDZ, WRSTBZ, BCYSTZ, SRDZ, SWRSTBZ, SBCYSTZ ★ BENZ0-BENZ3 (WRZ0-WRZ3) , SBENZ0-SBENZ3 (SWRZ0-SWRZ3) STCSZ0-STCSZ3, SCSZ0-SCSZ3 DYCSZ DQM0-DQM3 SDRASZ, SDCASZ SDWEZ BUSREQZ HLDAKZ, SHLDAKZ	ハイ・レベル出力
HLDRQZ, SHLDRQZ WAITZ, SWAITZ	入力 (サンプリングなし)
SDCKE	ロー・レベル出力
BUSCLK, SBUSCLK	ロー・レベルまたはハイ・レベルで停止

(2) IDLE モードの解除

IDLE モードは、以下の要因により解除されます。

表 11-11 IDLE モード解除可能割り込み／例外要因一覧

発生要因略称	発生要因	発生ユニット	割り込み制御レジスタ	
			略称	アドレス
RESETZ	リセット入力	—	—	
NMI	NMI 入力	端子	FIC	FFFF 645EH
INTWDT	WDT アラーム割り込み	WDT	EIC0	FFFF 6000H
INTPZ0	INTPZ0 入力	端子	EIC2	FFFF 6004H
INTPZ1	INTPZ1 入力	端子	EIC3	FFFF 6006H
INTPZ2	INTPZ2 入力	端子	EIC4	FFFF 6008H
INTPZ3	INTPZ3 入力	端子	EIC5	FFFF 600AH
INTPZ4	INTPZ4 入力	端子	EIC6	FFFF 600CH
INTPZ5	INTPZ5 入力	端子	EIC7	FFFF 600EH
INTPZ6	INTPZ6 入力	端子	EIC8	FFFF 6010H
INTPZ7	INTPZ7 入力	端子	EIC9	FFFF 6012H
INTPZ16	INTPZ16 入力	端子	EIC10	FFFF 6014H
INTPZ17	INTPZ17 入力	端子	EIC11	FFFF 6016H
INTPZ18	INTPZ18 入力	端子	EIC12	FFFF 6018H
INTPZ19	INTPZ19 入力	端子	EIC13	FFFF 601AH
INTPZ20	INTPZ20 入力	端子	EIC14	FFFF 601CH
INTPZ21	INTPZ21 入力	端子	EIC15	FFFF 601EH
INTPZ22	INTPZ22 入力	端子	EIC16	FFFF 6020H
INTPZ23	INTPZ23 入力	端子	EIC17	FFFF 6022H
INTTM0EQ0	TMM0 コンペアー致割り込み	TMM0	EIC113	FFFF 60E2H
INTTM1EQ0	TMM1 コンペアー致割り込み	TMM1	EIC114	FFFF 60E4H
INTTM2EQ0	TMM2 コンペアー致割り込み	TMM2	EIC115	FFFF 60E6H
INTPZ8	INTPZ8 入力	端子	EIC135	FFFF 610EH
INTPZ9	INTPZ9 入力	端子	EIC136	FFFF 6110H

(a) 割り込み要求による解除

表 11-11 に示される解除要因が発生したとき、その解除要因がスタンバイ解除要因マスク設定レジスタ（SRFMK）でマスクされていないければ、割り込みの優先順位とは無関係に解除されます。解除後の動作は次のようになります。

表 11-12 割り込み要求による IDLE モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
FE レベル・マスカブル割り込み要求（NMI）	ハンドラ・アドレスに分岐	
EI レベル・マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお、割り込み処理ルーチン内で IDLE モードに設定した場合は次のように動作が異なります。

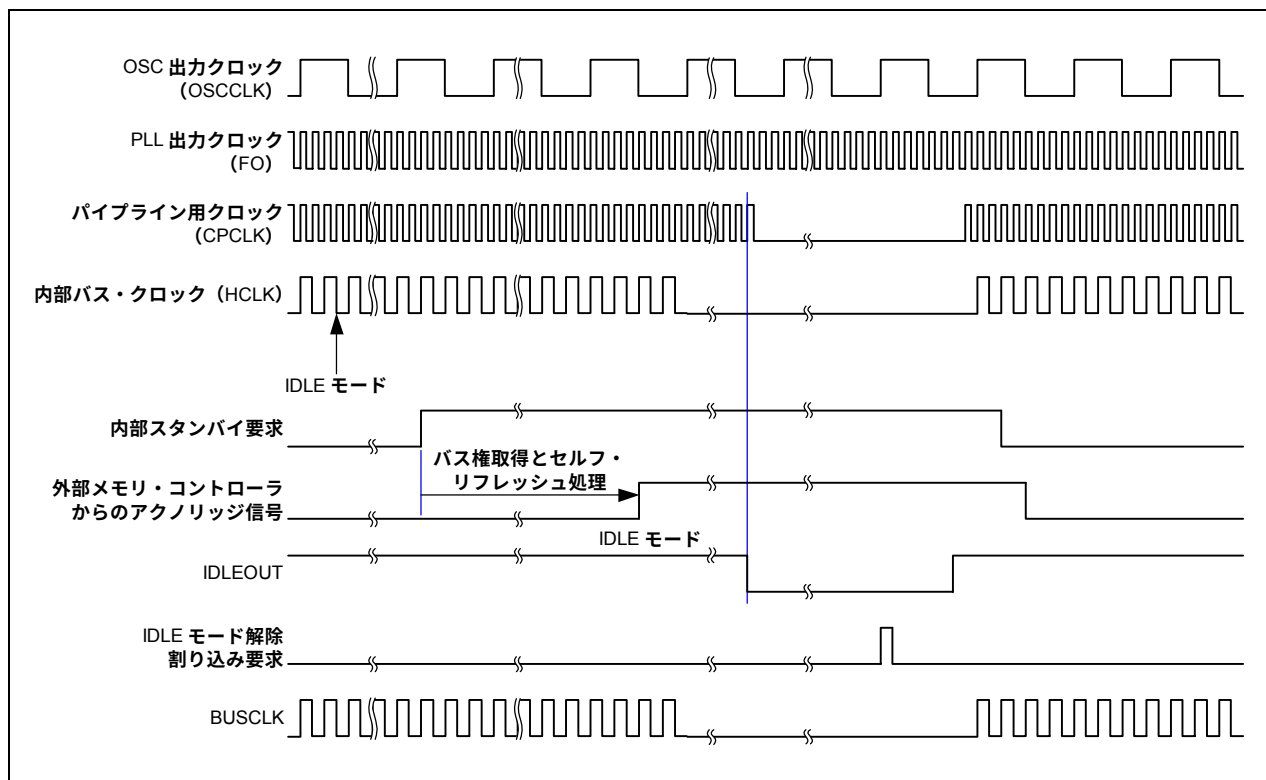
- (i) 現在処理中の EI レベル・マスカブル割り込み要求よりも優先順位の低い割り込み要求が発生すると IDLE モードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保留されます。
- (ii) 現在処理中の EI レベル・マスカブル割り込み要求よりも優先順位が高い割り込み要求が発生すると、IDLE モードの解除とともにこの割り込み要求を受け付けます。

(b) RESETZ 端子入力による解除

通常のリセット動作と同じです。

リセット動作のため、OSCCLK 動作に戻ります。

図 11-4 IDLE モードへの設定と外部割り込みによる IDLE モード解除時のクロック動作

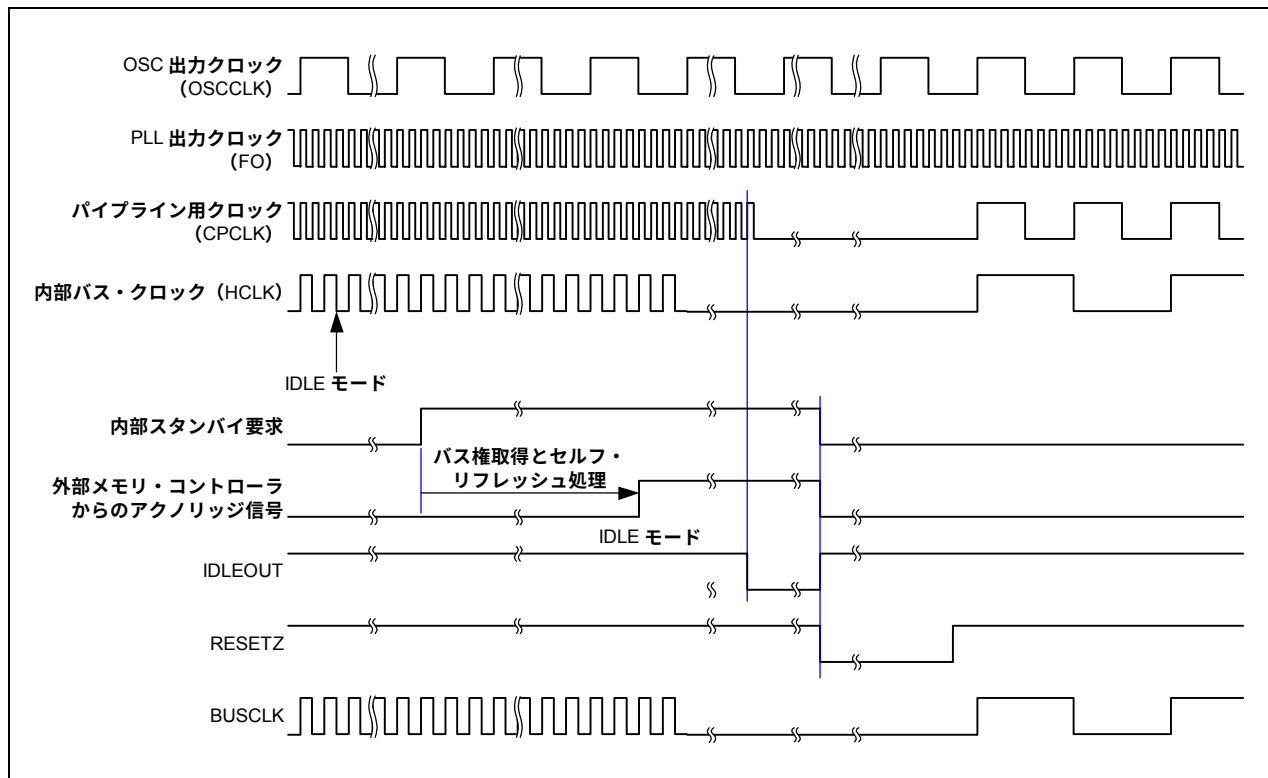


備考 1. CPCLK と OSCCLK の位相は特定されません。

2. この例は HCLK は CPCLK の 2 分周に設定しています。

3. この例は IDLE モード設定時に、CPCLK と HCLK の位相関係により BUSCLK がロー・レベルで停止した場合です。

図 11-5 IDLE モードへの設定と RESETZ による IDLE モード解除の動作



備考 1. CPCLK と OSCCLK の位相は特定されません。

2. この例は HCLK は CPCLK の 2 分周に設定しています。

3. この例は IDLE モード設定時に、CPCLK と HCLK の位相関係により BUCLK がロー・レベルで停止した場合は、

第12章 16 ビット・インターバル・タイマ M (TMM)

タイマ M (TMM) は、16 ビットのインターバル・タイマです。

EP3-AM1 では、TMM0-TMM5 を内蔵しています。

12.1 概 要

TMMn の概要を次に示します (n = 0-5)

- インターバル機能
- クロック選択×8
- 16 ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- コンペアー一致割り込み×1
- OSCCLK 用専用プリスケアラ利用可能
- IDLE モード解除機能 (TMM0, TMM1, TMM2)
- A/D 変換トリガ機能 (TMM2, TMM3)

タイマ M はクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

12.2 構 成

TMMn は、次のハードウェアで構成されています (n = 0-5)。

表 12-1 TMMn の構成

項 目	構 成
タイマ・レジスタ	16 ビット・カウンタ×各 1 本
レジスタ	TMMn コンペア・レジスタ 0 (TMnCMP0)
制御レジスタ	TMMn 制御レジスタ 0 (TMnCTL0)

備考 n = 0-5

図 12-1 TMM0, TMM2, TMM4 のブロック図

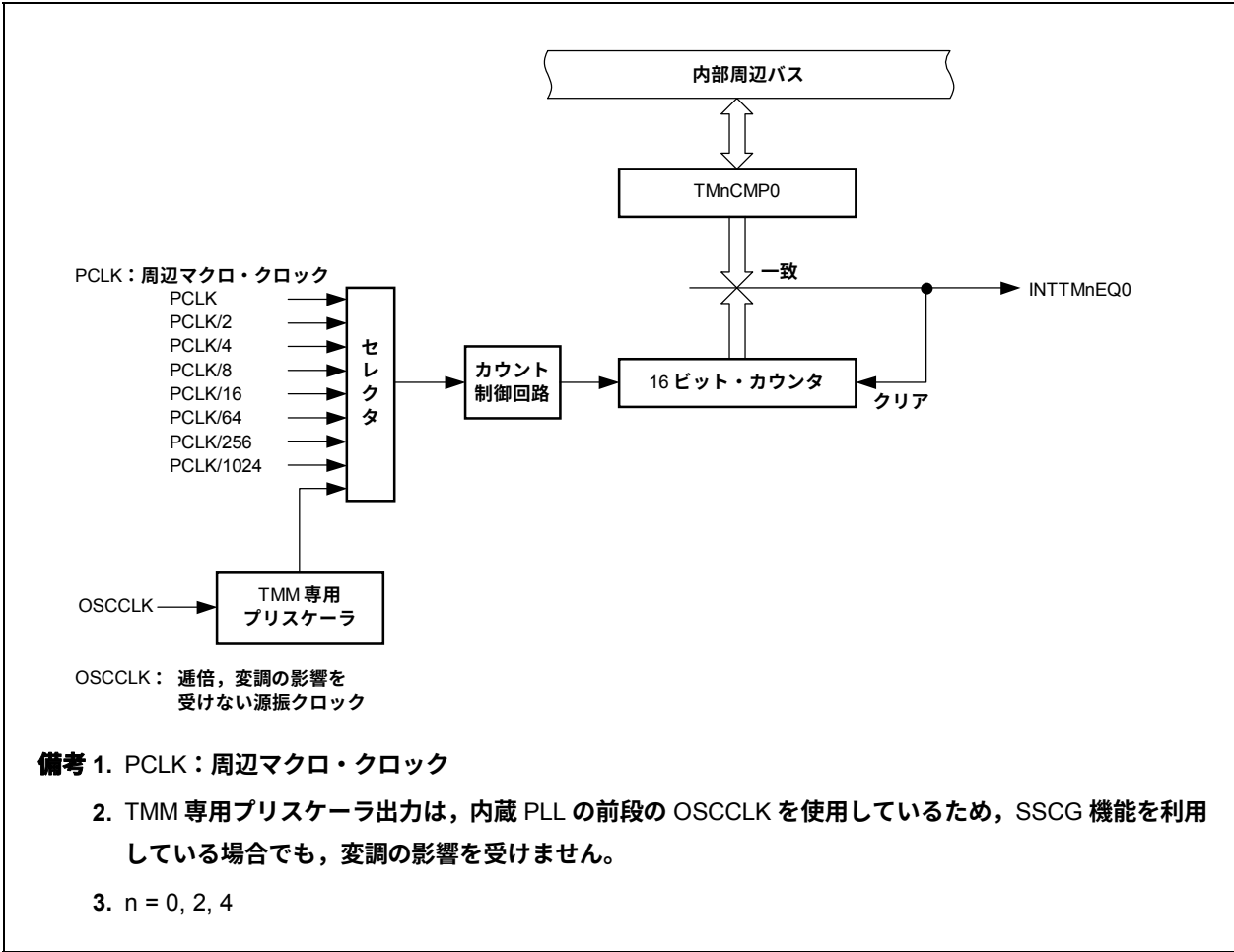
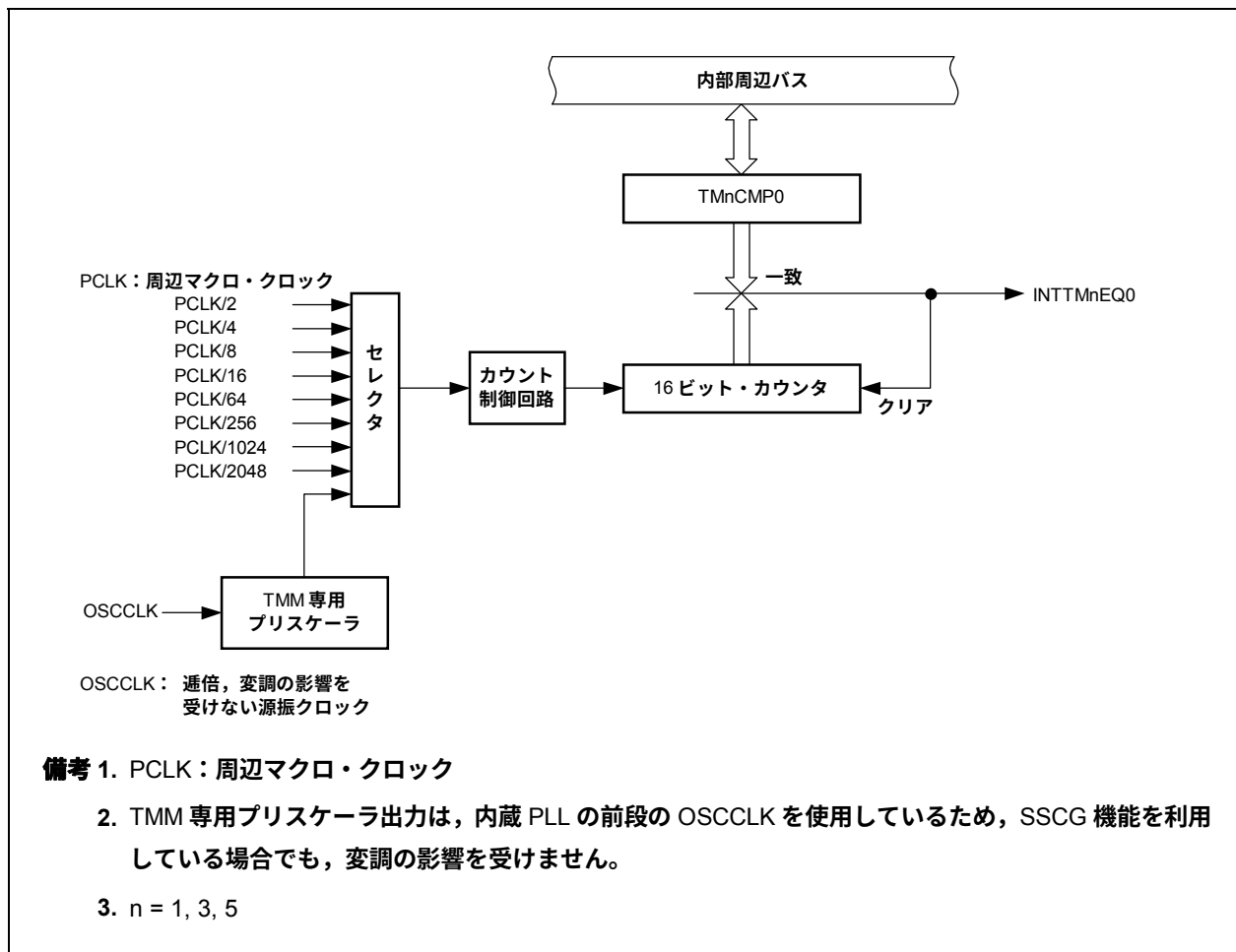


図 12-2 TMM1, TMM3, TMM5 のブロック図



(1) 16 ビット・カウンタ

内部クロックをカウントする 16 ビットのカウンタです。

16 ビット・カウンタはリード／ライトできません。

(2) TMMn コンペア・レジスタ 0 (TMnCMP0)

TMnCMP0 レジスタは 16 ビットのコンペア・レジスタです。

16 ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

TMnCMP0 レジスタは、常時ソフトウェアでの同値書き込みができます。

TMMn 動作中 (TMnCTL0.TMnCE ビット = 1) , TMnCMP0 レジスタの書き換えは禁止です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMnCMP0																	0F1C 0610H +40H	0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

備考 n = 0-5

注意 TMnCMP0 レジスタに 0003H 以下の値を設定した場合、INTTMnEQ0 割り込み要求信号は最初の 1 回のみ発生し、以後は発生しなくなります。TMnCMP0 レジスタには、0004H 以上の値を設定してください。(n = 0-5)。

12.3 制御レジスタ

(1) TMMn 制御レジスタ 0 (TMnCTL0)

TMnCTL0 レジスタは TMMn の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

TMnCTL0 レジスタは、常時ソフトウェアでの同値書き込みができます。

	7	6	5	4	3	2	1	0	アドレス	初期値
TMnCTL0	TMnCE	0	0	0	TMnCKS3	TMnCKS2	TMnCKS1	TMnCKS0	0F1C 0602H +40H	00H
R/W	R/W	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味																																																																				
7	TMnCE	TMMn の動作を制御します。 0：TMMn 動作禁止（TMMn を非同期にリセット※） 1：TMMn 動作許可。動作クロック供給開始。TMMn 動作開始。 TMnCE ビットにより、TMMn の内部クロックの制御と内部回路のリセットを非同期に行います。 TMnCE ビットをクリア（0）すると、TMMn の内部クロックは停止（ロー・レベル固定）し、16 ビット・カウンタが非同期にリセットされます。																																																																				
2-0	TMnCKS3- TMnCKS0	TMMn のカウント・クロックを選択します。 <table><tr><th rowspan="2">TMnCKS3</th><th rowspan="2">TMnCKS2</th><th rowspan="2">TMnCKS1</th><th rowspan="2">TMnCKS0</th><th colspan="2">TMMn のカウント・クロック</th></tr><tr><th>TMM0, TMM2, TMM4</th><th>TMM1, TMM3, TMM5</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>PCLK</td><td>PCLK／2</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>PCLK／2</td><td>PCLK／4</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>PCLK／4</td><td>PCLK／8</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>PCLK／8</td><td>PCLK／16</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>PCLK／16</td><td>PCLK／64</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>PCLK／64</td><td>PCLK／256</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>PCLK／256</td><td>PCLK／1024</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>PCLK／1024</td><td>PCLK／2048</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td colspan="2">TMM 専用プリスケアラ出力</td></tr><tr><td colspan="4">上記以外</td><td colspan="2">設定禁止</td></tr></table>	TMnCKS3	TMnCKS2	TMnCKS1	TMnCKS0	TMMn のカウント・クロック		TMM0, TMM2, TMM4	TMM1, TMM3, TMM5	0	0	0	0	PCLK	PCLK／2	0	0	0	1	PCLK／2	PCLK／4	0	0	1	0	PCLK／4	PCLK／8	0	0	1	1	PCLK／8	PCLK／16	0	1	0	0	PCLK／16	PCLK／64	0	1	0	1	PCLK／64	PCLK／256	0	1	1	0	PCLK／256	PCLK／1024	0	1	1	1	PCLK／1024	PCLK／2048	1	1	1	1	TMM 専用プリスケアラ出力		上記以外				設定禁止	
TMnCKS3	TMnCKS2	TMnCKS1					TMnCKS0	TMMn のカウント・クロック																																																														
			TMM0, TMM2, TMM4	TMM1, TMM3, TMM5																																																																		
0	0	0	0	PCLK	PCLK／2																																																																	
0	0	0	1	PCLK／2	PCLK／4																																																																	
0	0	1	0	PCLK／4	PCLK／8																																																																	
0	0	1	1	PCLK／8	PCLK／16																																																																	
0	1	0	0	PCLK／16	PCLK／64																																																																	
0	1	0	1	PCLK／64	PCLK／256																																																																	
0	1	1	0	PCLK／256	PCLK／1024																																																																	
0	1	1	1	PCLK／1024	PCLK／2048																																																																	
1	1	1	1	TMM 専用プリスケアラ出力																																																																		
上記以外				設定禁止																																																																		

注意 1. TMnCKS3-TMnCKS0 ビットは TMnCE ビット = 0 のときに設定してください。

ただし、TMnCE ビットを 0 から 1 に設定するときに、同時に TMnCKS3-TMnCKS0 ビットを設定することはできません。

2. ビット 6-3 には必ず 0 を設定してください。

備考 1. n = 0-5

2. PCLK = 周辺マクロ・クロック

3. TMM 専用プリスケアラ出力は、内蔵 PLL の前段のクロックを使用しているため、SSCG 機能を利用している場合でも、変調の影響を受けません。また IDLE モードでも停止しません。

12.4 動作

12.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TMnCTL0.TMnCE ビットをセット (1) することで、TMnCMP0 レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTMnEQ0) を発生します。

図 12-3 インターバル・タイマの構成図

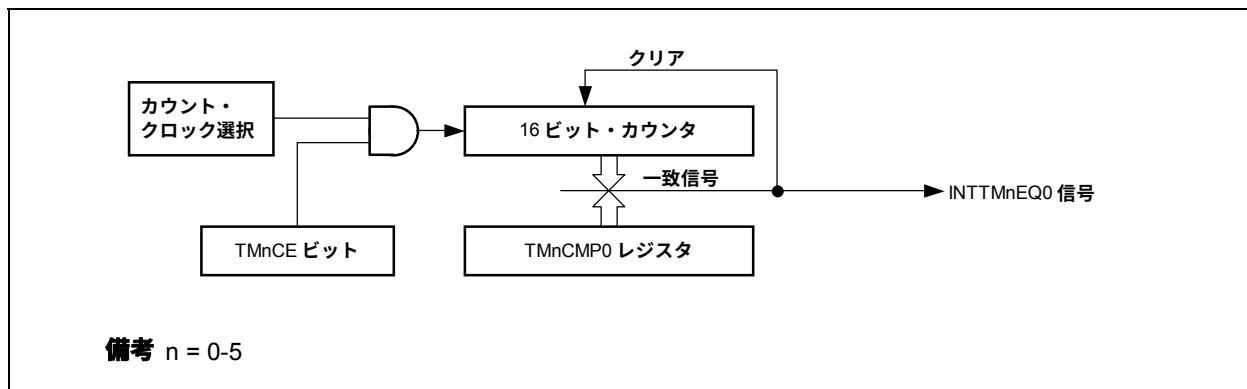
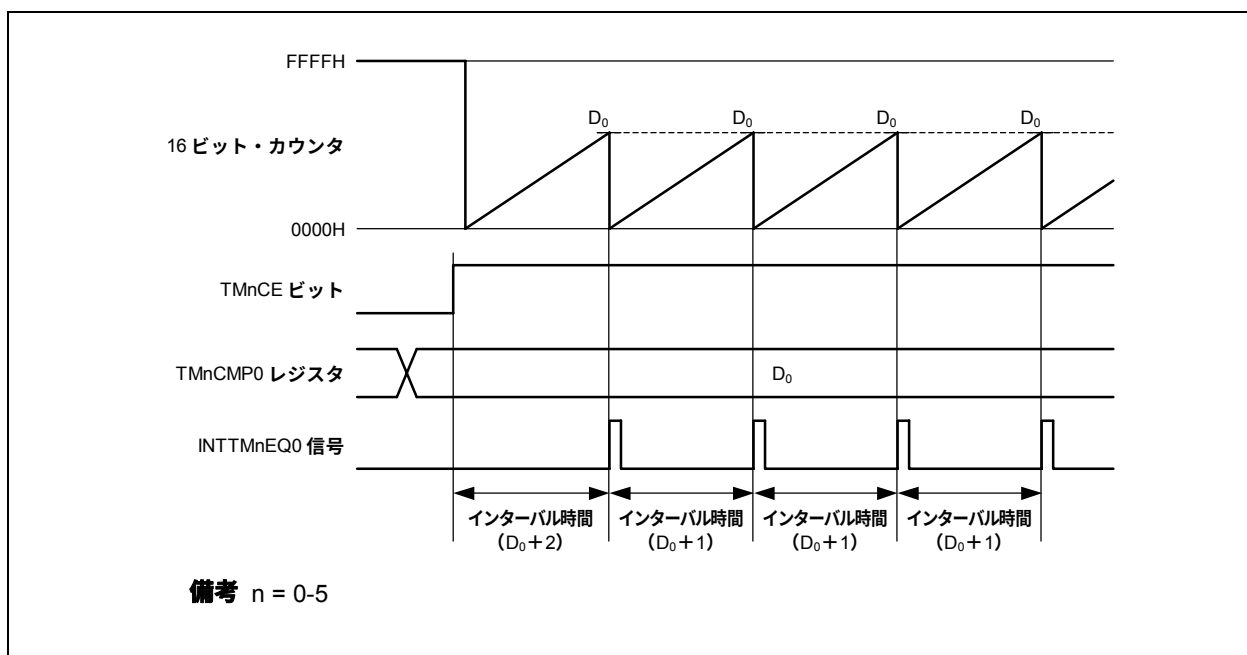


図 12-4 インターバル・タイマ・モード動作の基本タイミング



TMnCE ビットをセット (1) することで、カウント・クロックに同期して 16 ビット・カウンタを FFFFH から 0000H にクリアし、カウント動作を開始します。

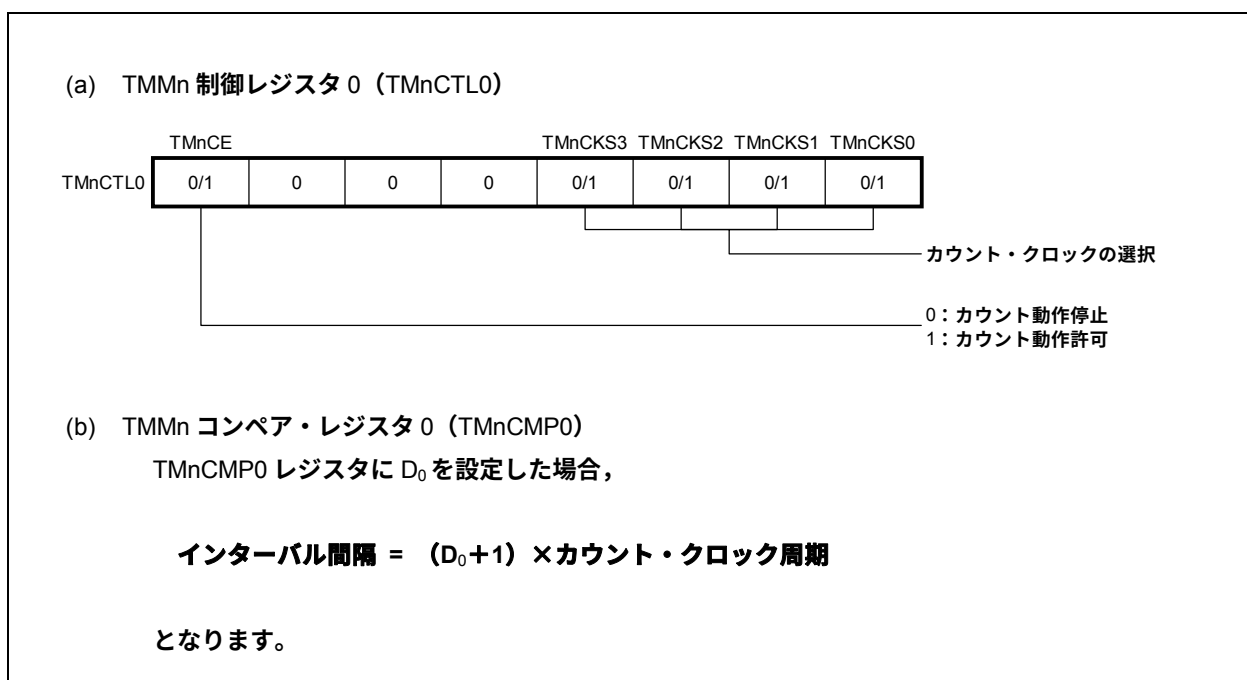
16 ビット・カウンタのカウント値と TMnCMP0 レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、コンペアー一致割り込み要求信号 (INTTMnEQ0) を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TMnCMP0 レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

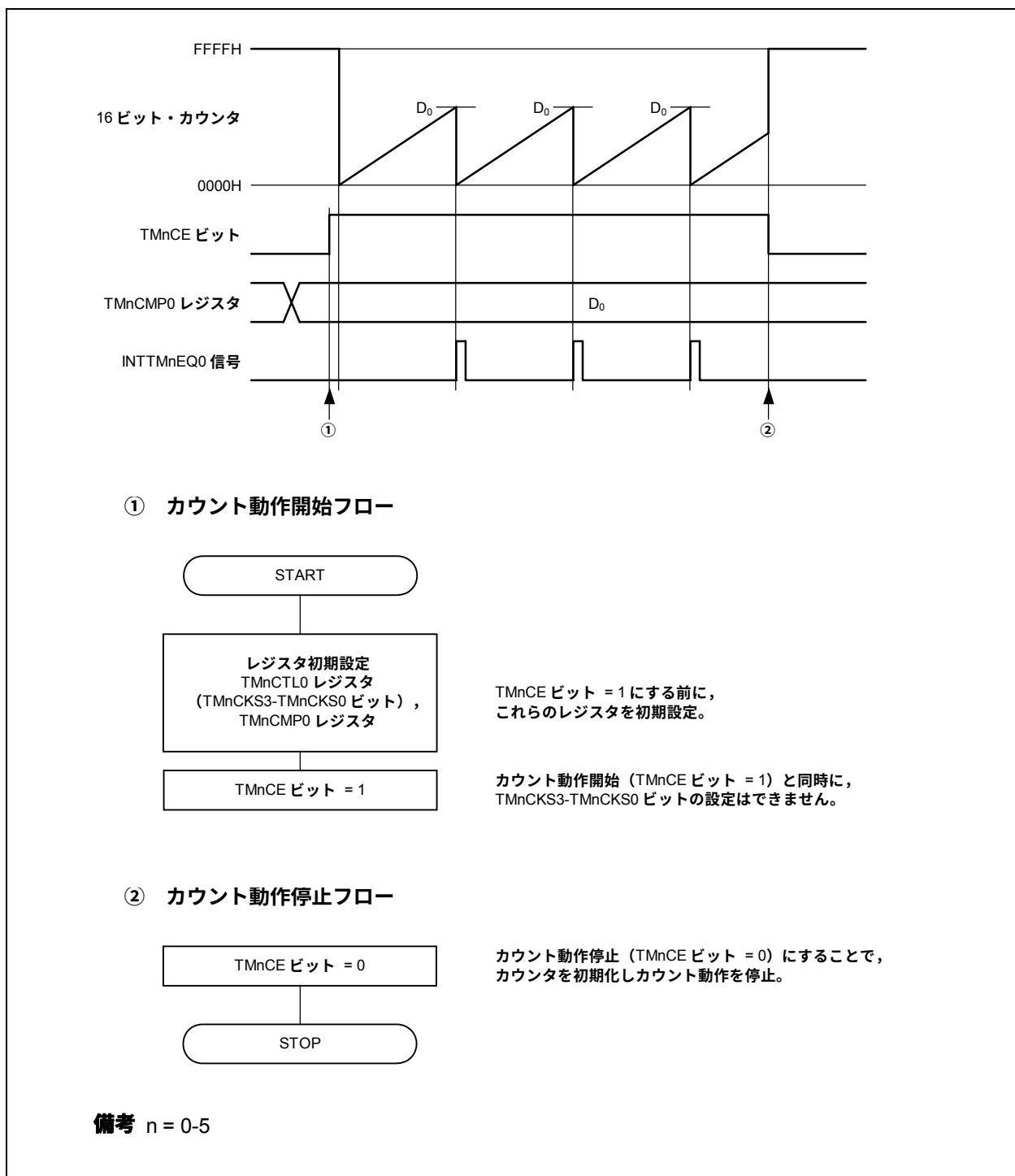
備考 n = 0-5

図 12-5 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

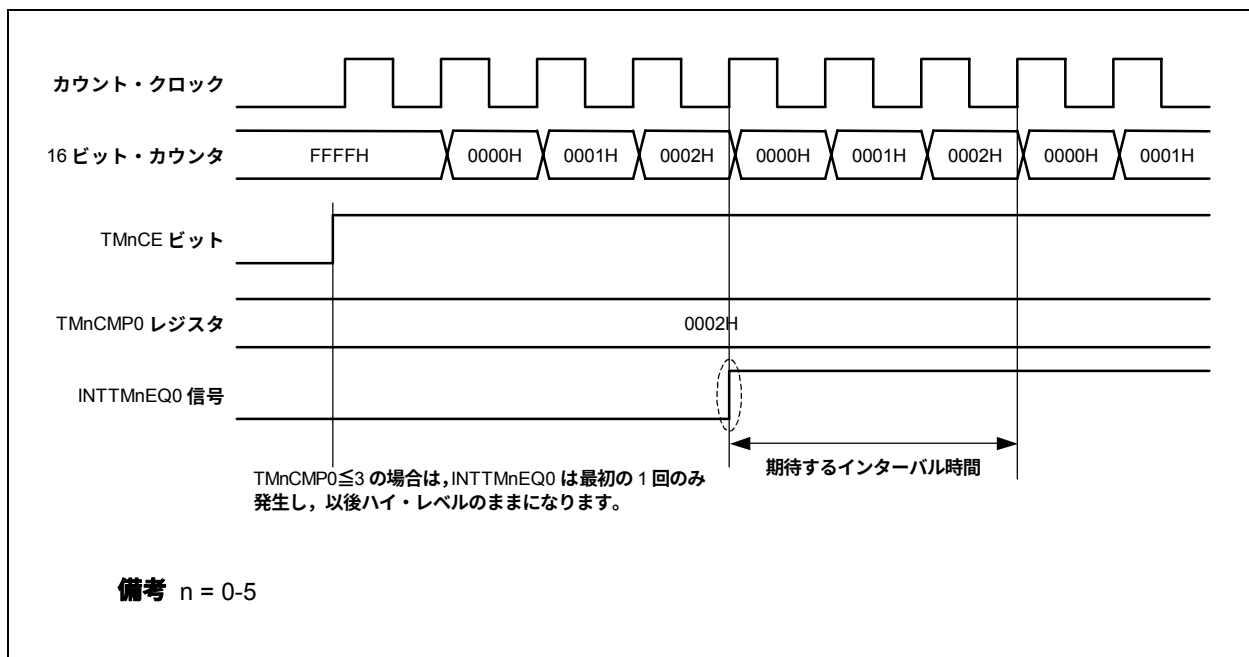
図 12-6 インターバル・タイマ・モード使用時のソフトウェア処理フロー



(2) インターバル・タイマ・モード動作タイミング

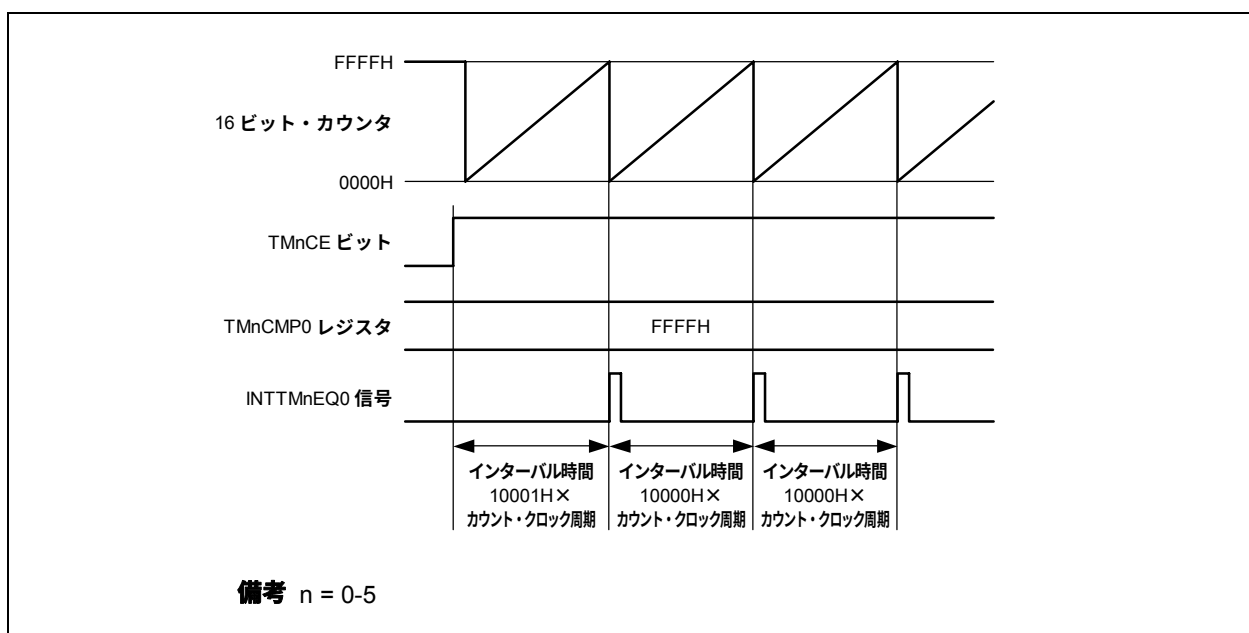
(a) TMnCMP0 レジスタに 0003H 以下を設定した場合の動作

TMnCMP0 レジスタに 0003H 以下の値を設定した場合、INTTMnEQ0 割り込み要求信号は最初の 1 回のみ発生し、以後は発生しなくなります。TMnCMP0 レジスタには、0004H 以上の値を設定してください。



(b) TMnCMP0 レジスタに FFFFH を設定した場合の動作

TMnCMP0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTMnEQ0 信号を発生します。



12.5 TMM 専用プリスケアラ

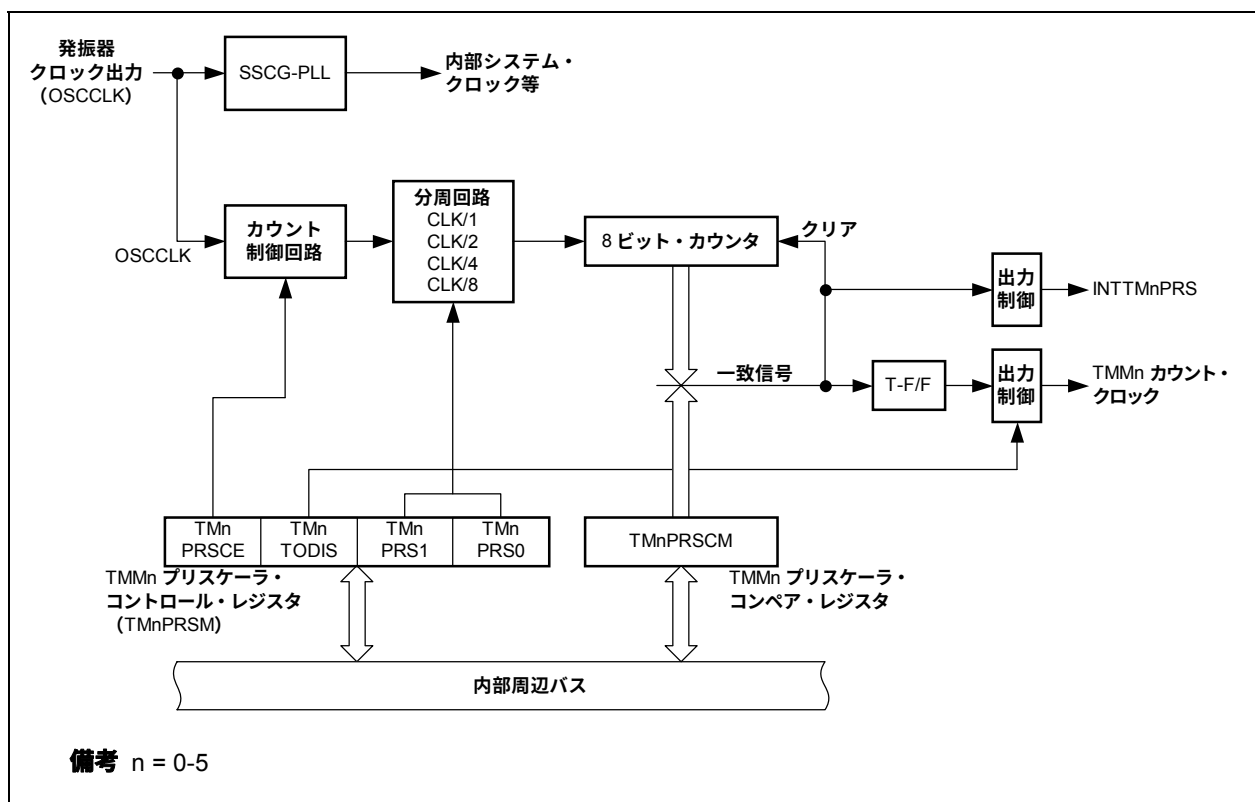
TMMn 制御レジスタ 0 (TMnCTL0) の TMnCKS3-TMnCKS0 ビットを 1111b に設定した場合、TMMn のカウント・クロックに TMMn 専用プリスケアラ出力が選択されます。

TMMn 専用プリスケアラの入力クロックは、内蔵 PLL の前段の発振器出力クロック (OSCCLK) を使用しているため、SSCG 機能を利用している場合でも、変調の影響を受けません。また、CPU を IDLE モードに設定している場合でも、カウント・クロックは停止しません。

また、TMMn のカウント・クロックに専用プリスケアラ出力を選択している場合は、TMMn からのコンペア一致割り込み要求信号のうち INTTM0EQ0, INTTM1EQ0, INTTM2EQ0 は IDLE モードを解除できます。

TMMn 専用プリスケアラは、TMMn のチャンネルごとに設けられています。

図 12-7 TMM 専用プリスケアラのブロック図



TMMn 専用プリスケアラは、最初に TMnPRSM.TMnPRS1, TMnPRS0 で入力クロックの選択、TMnPRSCM で TMMn 専用プリスケアラの出力（分周値）を設定してから、TMnPRSM.TMnPRSCE をセット (1) して、動作を許可してください。

注意 TMMn のカウント・クロックに、TMMn 専用プリスケアラを選択している場合は、TMMn 動作中に、TMnPRSM, TMnPRSCM レジスタの設定値を変更しないでください。

備考 n = 0-5

12.5.1 制御レジスタ

(1) TMMn プリスケアラ・モード・レジスタ (TMnPRSM)

TMnPRS レジスタは、TMMn 専用プリスケアラの動作を制御する 8 ビットのレジスタです。
8/1 ビット単位でリード／ライト可能です。
リセットにより 00H になります。

								アドレス	初期値
								0F1C 0C02H	00H
								+10H×n	
TMnPRSM	7	6	5	4	3	2	1	0	
	0	0	0	TMn PRSCE	0	TMn TODIS	TMn PRS1	TMn PRS0	
R/W	0	0	0	R/W	0	R/W	R/W	R/W	
ビット位置	ビット名		意 味						
4, 2	TMnPRSCE, TMnTODIS		TMMn 専用プリスケアラの動作を制御します。						
			TMnPRSCE	TMnTODIS	TMM 専用プリスケアラ出力	INTTMnPRS 割り込み出力		カウンタ	
			0	0/1	0 固定	0 固定		01H 固定	
			1	0	動作	動作		動作	
			1	1	0 固定	動作		動作	
1, 0	TMnPRS1, TMnPRS0		TMMn 専用プリスケアラの入カクロックを選択します。						
			TMnPRS1	TMnPRS0	入カクロックの選択				
			0	0	OSCCLK				
			0	1	OSCCLK／2				
			1	0	OSCCLK／4				
			1	1	OSCCLK／8				

注意 1. 最初に TMnTODIS, TMnPRS1, TMnPRS0 を設定し、TMnPRSCE をセット (1) して、TMMn 専用プリスケアラの動作を許可してください。

2. TMMn のカウント・クロックに、TMMn 専用プリスケアラを選択している場合は、TMMn 動作中に、TMnPRSM レジスタの設定値を変更しないでください。

備考 1. n = 0-5

2. CLK = 選択した源振クロック

(2) TMMn プリスケアラ・コンペア・レジスタ (TMnPRSCM)

TMnPRSCM レジスタは、TMM 専用プリスケアラの 8 ビットのコンペア・レジスタです。

TMMn 制御レジスタ 0(TMnCTL0)の TMnCKS3-TMnCKS0 ビットを 1111b に設定した場合の、TMMn のカウント・クロックを選択します。

8/1 ビット単位でリード／ライト可能です。

(a) TMnPRSCM 設定値=00H

TMMn カウント・クロック=TMnPRSM レジスタで選択したクロック／(256×2)

INTTMnPRS インターバル時間=TMnPRSM レジスタで選択したクロック／256

(b) TMnPRSCM 設定値=01H

TMMn カウント・クロック=TMnPRSM レジスタで選択したクロック／2

INTTMnPRS インターバル時間：最初の一回のみ発生し、以後発生しません。

(c) 02H≤TMnPRSCM 設定値≤FFH

TMMn カウント・クロック=TMnPRSM レジスタで選択したクロック

／(TMnPRSCM レジスタの設定値×2)

INTTMnPRS インターバル時間=TMnPRSM レジスタで選択したクロック

／TMnPRSCM レジスタの設定値

	7	6	5	4	3	2	1	0	アドレス	初期値
TMn PRSCM	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	0F1C 0C07H +10H×n	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

注意 1. TMnPRSCM をセット (1) して、TMM 専用プリスケアラの動作を許可する前に、TMnPRSCM レジスタ設定を行ってください。

2. TMMn のカウント・クロックに、TMMn 専用プリスケアラを選択している場合は、TMMn 動作中に、TMnPRSCM レジスタの設定値を変更しないでください。

備考 n = 0-5

12.5.2 動作

TMnPRSM.TMnPRSCE をセット (1) することで, TMnPRSM.TMnPRS1, TMnPRS0 で選択した入力クロック, TMnPRSCM レジスタで設定した分周値によるインターバル間隔で, 割り込み信号 (INTTMnPRS) を発生し, 同時にタイマ Mn (TMMn) に出力するクロックがトグル動作を行います。

(a) TMnPRSCM 設定値=00H

$\text{TMMn カウント} \cdot \text{クロック} = \text{TMnPRSM レジスタで選択したクロック} / (256 \times 2)$

$\text{INTTMnPRS インターバル時間} = \text{TMnPRSM レジスタで選択したクロック} / 256$

(b) TMnPRSCM 設定値=01H

$\text{TMMn カウント} \cdot \text{クロック} = \text{TMnPRSM レジスタで選択したクロック} / 2$

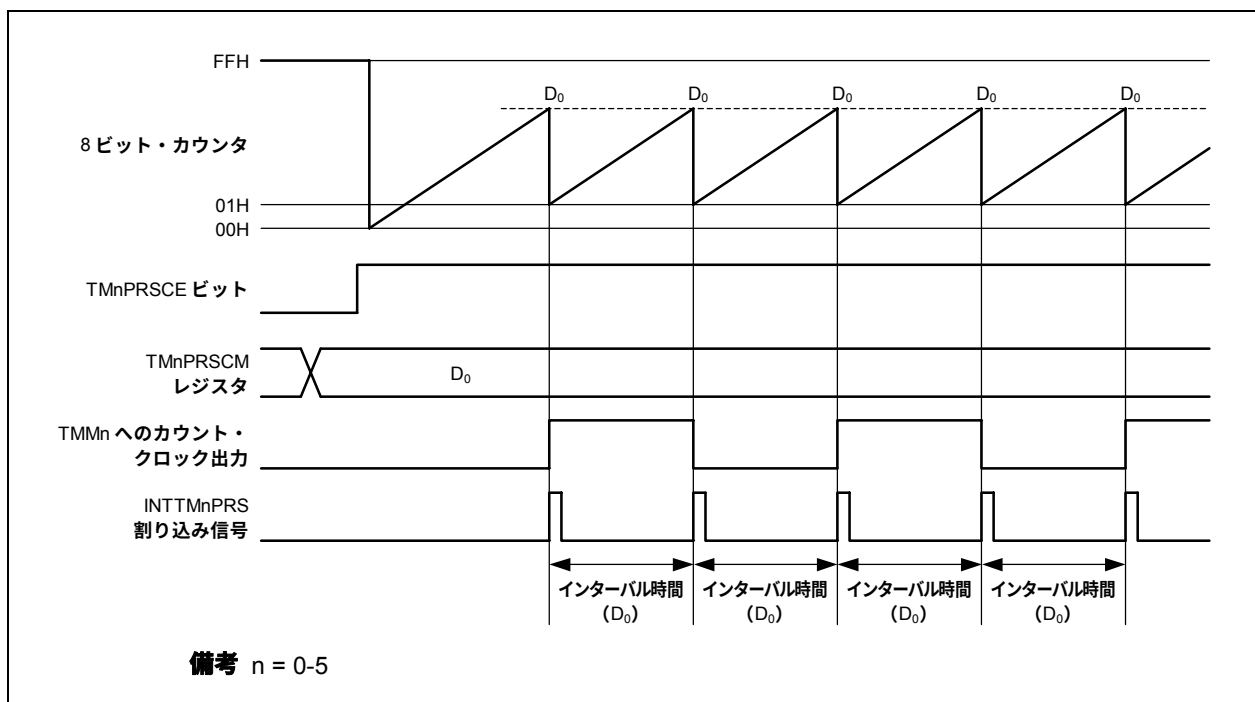
INTTMnPRS インターバル時間: 最初の一回のみ発生し, 以後発生しません。

(c) $02H \leq \text{TMnPRSCM 設定値} \leq FFH$

$\text{TMMn カウント} \cdot \text{クロック} = \text{TMnPRSM レジスタで選択したクロック} / (\text{TMnPRSCM レジスタの設定値} \times 2)$

$\text{INTTMnPRS インターバル時間} = \text{TMnPRSM レジスタで選択したクロック} / \text{TMnPRSCM レジスタの設定値}$

図 12-8 TMMn 専用プリスケアラの基本タイミング



注意 TMnPRSCM レジスタに 01H を設定した場合, INTTMnPRS 割り込み信号は, 最初の一回のみ発生し, 以後発生しません。

備考 $n = 0-5$

12.6 IDLE モード解除トリガ

TMM0, TMM1, TMM2 から発生する INTTM0EQ0, INTTM1EQ0, INTTM2EQ0 割り込み信号のみ, IDLE モードを解除できます。

ただし, IDLE モードの解除要因として利用する場合には, そのタイマは IDLE モードで停止しないクロックで動作している必要があります。TMMn 制御レジスタ 0 (TMnCTL0) の TMnCKS3-TMnCKS0 ビットで, カウント・クロックに TMM 専用プリスケアラ出力を選択した場合のみ IDLE モード解除に利用できます。

TMM3-TMM5 から発生する割り込み信号では IDLE モードは解除できません。

12.7 A/D コンバータの変換トリガ

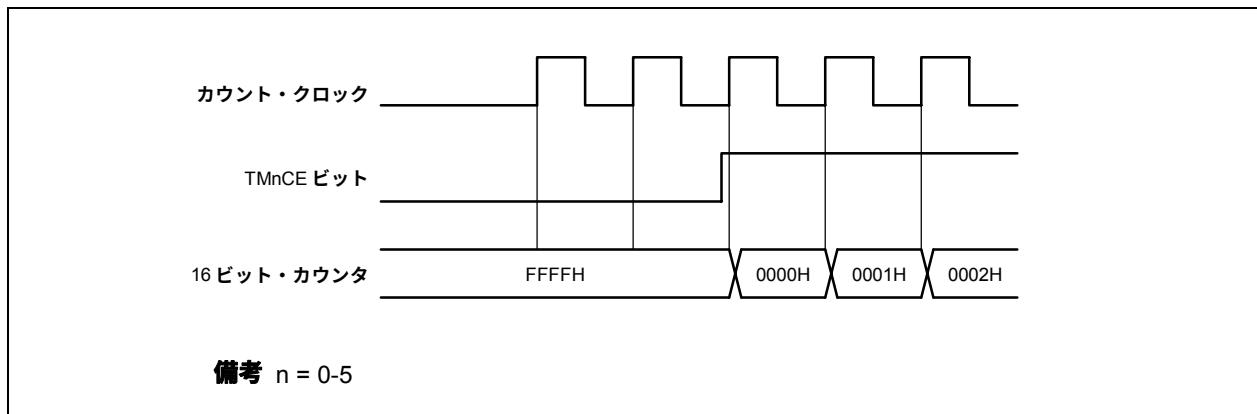
A/D コンバータは, タイマ・トリガ・モードで利用する場合, TMM の割り込み信号をトリガとして利用します。以下に対応を示します。

タイマ・トリガの対象	割り込み信号	割り込み発生 TMM チャンネル
A/D コンバータ	INTTM2EQ0	TMM2
	INTTM3EQ0	TMM3

12.8 注意事項

(1) タイマ・スタート時の誤差

TMnCTL0.TMnCE ビット = 0→1 にして TMMn をスタートしてから、最初のコmpare一致割り込み要求信号 (INTTMnEQ0) が発生するまでの時間は、1 クロック長くなります。これは、TMnCE ビット = 0 のときの 16 ビット・カウンタの値が FFFFH であるためと、TMMn のスタートがカウント・クロックと非同期で行われるためです。



(2) TMnCMP0, TMnCTL0 レジスタは TMMn 動作中の書き換えは禁止です。

TMnCTL0.TMnCE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCE ビットをクリア (0) してから再設定してください。

(3) 16 ビット・レジスタの 8 ビット・アクセスについて

TMM のレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、TMM のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

備考 n = 0-5

★

第13章 16 ビット・タイマ／カウンタ AA (TAA)

★ タイマ AA (TAA) は、16 ビットのタイマ／カウンタ AA (TAA) です。

13.1 概 要

次に、TAA_n の概要をチャンネルごとに示します (n = 0-5)。

表 13-1 TAA_n の概要

概 要	TAA0	TAA1	TAA2	TAA3	TAA4	TAA5
クロック選択	8 通り	8 通り	8 通り	8 通り	8 通り	8 通り
キャプチャ・トリガ入力端子	2 本	2 本	2 本	2 本	2 本	2 本
タイマ・カウンタ	1 本	1 本	1 本	1 本	1 本	1 本
キャプチャ／コンペア・レジスタ	2 本	2 本	2 本	2 本	2 本	2 本
キャプチャ／コンペア一致割り込み要求信号	2 本	2 本	2 本	2 本	2 本	2 本
オーバフロー割り込み要求信号	1 本	1 本	1 本	1 本	1 本	1 本
タイマ出力端子	2 本	2 本	2 本	2 本	2 本	2 本

13.2 機 能

TAA_n で実現できる機能を次に示します (n = 0-5)。

★

表 13-2 TAA_n の機能

概 要	TAA0	TAA1	TAA2	TAA3	TAA4	TAA5
インターバル・タイマ	○	○	○	○	○	○
ワンショット・パルス出力	○	○	○	○	○	○
PWM 出力	○	○	○	○	○	○
フリー・ランニング・タイマ	○	○	○	○	○	○
パルス幅測定	○	○	○	○	○	○

備考 TAA0, TAA2, TAA4 と TAA1, TAA3, TAA5 とでは、カウント・クロックの分周仕様が異なります。

13.3 構 成

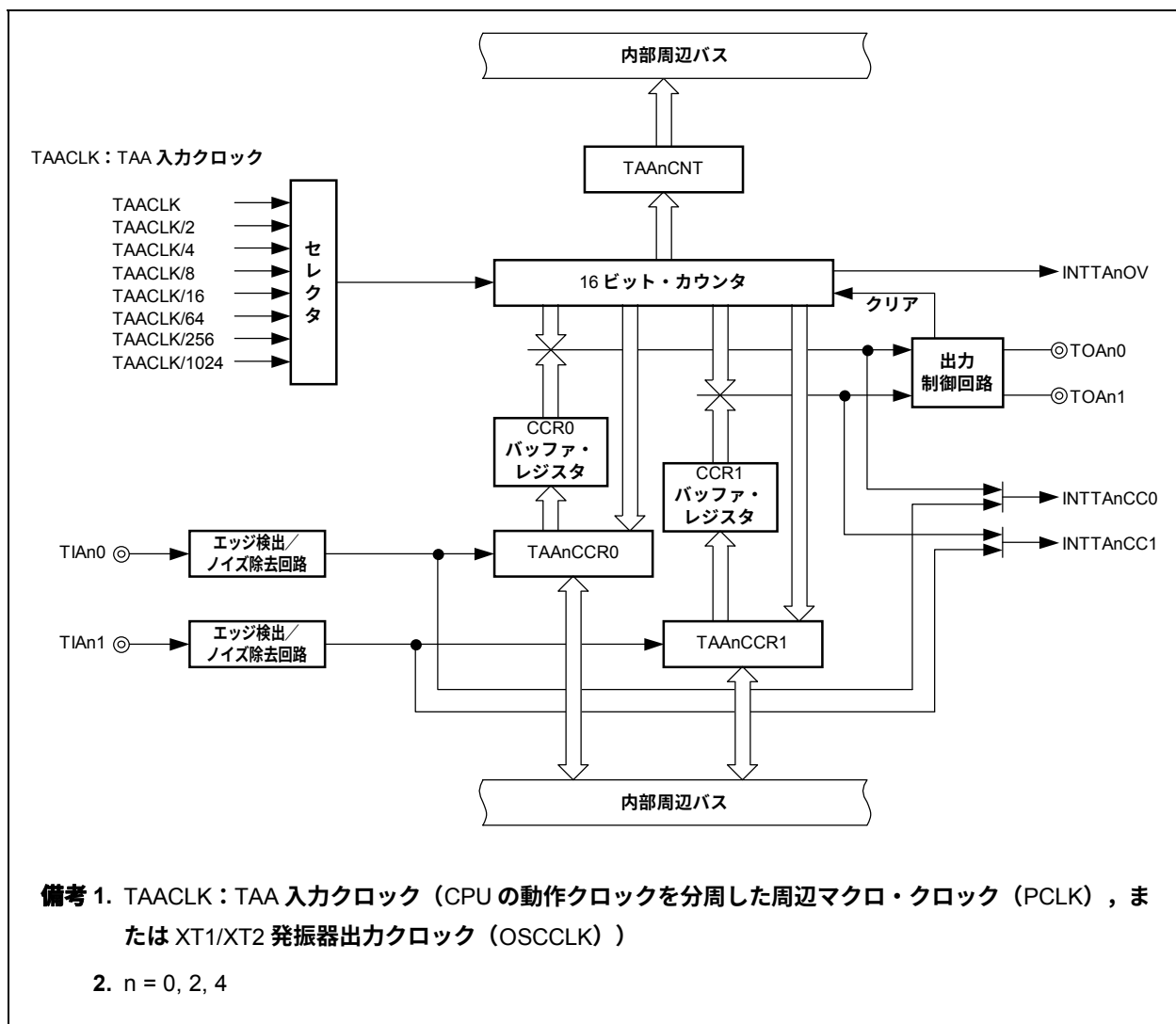
TAA_n は、次のハードウェアで構成されています (n = 0-5)。

表 13-3 TAA_n の構成

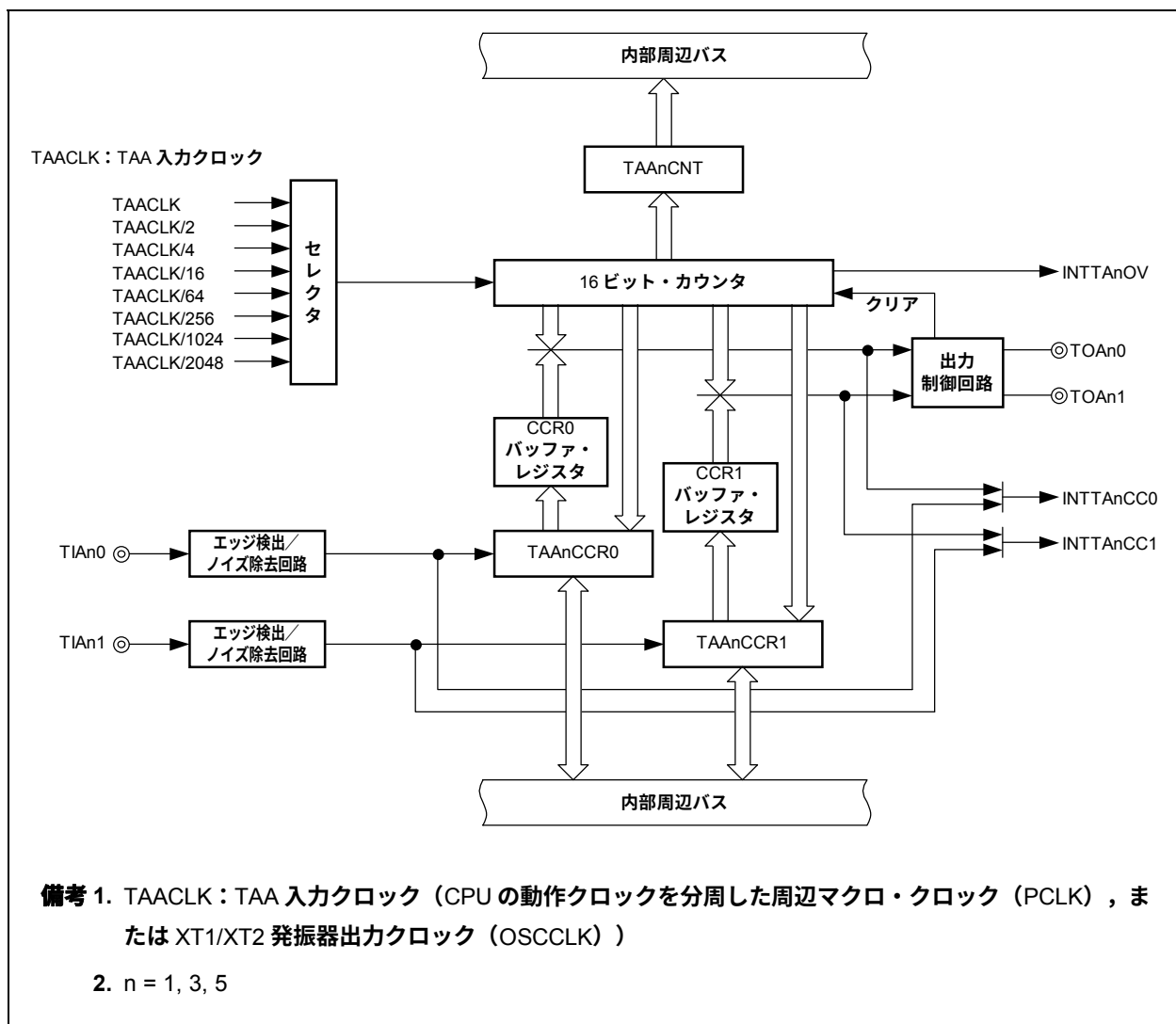
項 目	構 成
タイマ・レジスタ	16 ビット・カウンタ×各 1 本
レジスタ	TAA _n キャプチャ／コンペア・レジスタ 0, 1 (TAA _n CCR0, TAA _n CCR1) TAA _n カウンタ・リード・バッファ・レジスタ (TAA _n CNT) CCR0, CCR1 バッファ・レジスタ
タイマ入力	計 12 本 (TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51)
タイマ出力	計 12 本 (TOA00, TOA01, TOA10, TOA11, TOA20, TOA21, TOA30, TOA31, TOA40, TOA41, TOA50, TOA51)
制御レジスタ	タイマ・クロック選択レジスタ (TCKSEL) TAA _n 制御レジスタ 0, 1 (TAA _n CTL0, TAA _n CTL1) TAA _n I/O 制御レジスタ 0, 1 (TAA _n IOC0, TAA _n IOC1) TAA _n オプション・レジスタ 0 (TAA _n OPT0)

備考 n = 0-5

★ 図 13-1 TAA0, TAA2, TAA4 のブロック図



★ 図 13-2 TAA1, TAA3, TAA5 のブロック図



(1) 16 ビット・カウンタ

★

内部クロックをカウントする 16 ビットのカウンタです。

16 ビット・カウンタのカウント値は、TAAncNT レジスタでリードできます。

TAAncTL0.TAAncCE ビット = 0 のとき、16 ビット・カウンタは FFFFH になりますが、このとき TAAncNT レジスタをリードすると 0000H がリードされます。

リセット時には TAAncCE ビット = 0 になります。

(2) CCR0 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TAAncCCR0 レジスタをコンペア・レジスタとして使用するとき、TAAncCCR0 レジスタにライトした値が CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAAncCC0) を発生します。

CCR0 バッファ・レジスタは、直接リード／ライトできません。

リセット時には TAAncCCR0 レジスタが 0000H になり、CCR0 バッファ・レジスタも 0000H になります。

(3) CCR1 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TAAncCCR1 レジスタをコンペア・レジスタとして使用するとき、TAAncCCR1 レジスタにライトした値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAAncCC1) を発生します。

CCR1 バッファ・レジスタは、直接リード／ライトできません。

リセット時には TAAncCCR1 レジスタが 0000H になり、CCR1 バッファ・レジスタも 0000H になります。

(4) エッジ検出回路

★

TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51 端子に入力される有効エッジを検出します。有効エッジは、TAAncIOC1 レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOA00, TOA01, TOA10, TOA11, TOA20, TOA21, TOA30, TOA31, TOA40, TOA41, TOA50, TOA51 端子の出力を TAAncIOC0 レジスタで制御します。

(6) セレクタ

★

16 ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8 種類の内部クロックから選択できます。

13.4 レジスタ

- ★ (1) タイマ・クロック選択レジスタ (TCKSEL)
- 16 ビット・タイマ／カウンタ AA (TAA) , 16 ビット・タイマ／イベント・カウンタ T (TMT) の入力クロックを選択します。
- 8 ビット単位でリード／ライト可能です。
- カウント・クロックに, CPU の動作クロックを分周した周辺マクロ・クロック (PCLK) と, XT1/XT2 発振器出力クロック (OSCCLK) から選択できます。カウント・クロックの選択は, 16 ビット・タイマ／カウンタ AA (TAA) , 16 ビット・タイマ／イベント・カウンタ T (TMT) のチャンネルごとに行えます。
- カウント・クロックの選択は, TAA_nCTL0 レジスタで選択できるすべての分周比のクロックが一括で切り替わります (n = 0-5) 。
- OSCCLK を選択している場合は, SSCG 機能を利用している場合でも, 変調の影響を受けません。また, CPU を IDLE モードに設定している場合でも, カウント・クロックは停止しません。ただし 16 ビット・タイマ／カウンタ AA (TAA) から発生する割り込みでは, IDLE モードの解除はできません。
- ★ **注意** TCKSEL レジスタの変更は, すべての 16 ビット・タイマ／カウンタ AA (TAA) , 16 ビット・タイマ／イベント・カウンタ T (TMT) の動作が禁止されている状態で行ってください。また, TCKSEL レジスタへの書き込みは, リセット後のイニシャライズ処理で行い, 書き込み後は値を変更しないでください。
- それぞれのタイマの動作許可／禁止は, TAA は TAA_nCTRL0.TAA_nCE, TMT は TT_mCTL0.TT_mCE で設定します (n = 0-5, m = 0, 1) 。

								アドレス	初期値
TCKSEL	7	6	5	4	3	2	1	0	
	TSTT1	TSTT0	TSTAA5	TSTAA4	TSTAA3	TSTAA2	TSTAA1	TSTAA0	0F1C 0FEAH 00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置	ビット名	意 味							
7	TSTT1	16 ビット・タイマ／イベント・カウンタ T1 (TMT1) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
6	TSTT0	16 ビット・タイマ／イベント・カウンタ T0 (TMT0) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	5	16 ビット・タイマ／カウンタ AA5 (TAA5) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	4	16 ビット・タイマ／カウンタ AA4 (TAA4) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	3	16 ビット・タイマ／カウンタ AA3 (TAA3) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	2	16 ビット・タイマ／カウンタ AA2 (TAA2) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	1	16 ビット・タイマ／カウンタ AA1 (TAA1) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	0	16 ビット・タイマ／カウンタ AA0 (TAA0) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							

(2) TAA_n 制御レジスタ 0 (TAA_nCTL0)

TAA_nCTL0 レジスタは、TAA_n の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

TAA_nCTL0 レジスタは、常時ソフトウェアでの同値書き込みができます。

(1/2)

		7	6	5	4	3	2	1	0	アドレス	初期値
TAA _n CTL0	TAA _n CE	0	0	0	0	0	TAA _n CKS2	TAA _n CKS1	TAA _n CKS0	0F1C 0302H +80H×n	00H
R/W	R/W	0	0	0	0	0	R/W	R/W	R/W		

ビット位置	ビット名	意 味																																															
7	TAA _n CE	TAA _n の動作を制御します。 0：TAA _n 動作禁止（TAA _n を非同期にリセット※） 1：TAA _n 動作許可。TAA _n 動作開始																																															
2-0	TAA _n CKS2- TAA _n CKS0	TAA _n のカウント・クロックを選択します。 <table><tr><th rowspan="2">TAA_nCKS2</th><th rowspan="2">TAA_nCKS1</th><th rowspan="2">TAA_nCKS0</th><th colspan="2">TAA_n のカウント・クロック</th></tr><tr><th>TAA0, TAA2, TAA4</th><th>TAA1 , TAA3, TAA5</th></tr><tr><td>0</td><td>0</td><td>0</td><td>入力クロック</td><td>入力クロック</td></tr><tr><td>0</td><td>0</td><td>1</td><td>入力クロック／2</td><td>入力クロック／4</td></tr><tr><td>0</td><td>1</td><td>0</td><td>入力クロック／4</td><td>入力クロック／8</td></tr><tr><td>0</td><td>1</td><td>1</td><td>入力クロック／8</td><td>入力クロック／16</td></tr><tr><td>1</td><td>0</td><td>0</td><td>入力クロック／16</td><td>入力クロック／64</td></tr><tr><td>1</td><td>0</td><td>1</td><td>入力クロック／64</td><td>入力クロック／256</td></tr><tr><td>1</td><td>1</td><td>0</td><td>入力クロック／256</td><td>入力クロック／1024</td></tr><tr><td>1</td><td>1</td><td>1</td><td>入力クロック／1024</td><td>入力クロック／2048</td></tr></table>	TAA _n CKS2	TAA _n CKS1	TAA _n CKS0	TAA _n のカウント・クロック		TAA0, TAA2, TAA4	TAA1 , TAA3, TAA5	0	0	0	入力クロック	入力クロック	0	0	1	入力クロック／2	入力クロック／4	0	1	0	入力クロック／4	入力クロック／8	0	1	1	入力クロック／8	入力クロック／16	1	0	0	入力クロック／16	入力クロック／64	1	0	1	入力クロック／64	入力クロック／256	1	1	0	入力クロック／256	入力クロック／1024	1	1	1	入力クロック／1024	入力クロック／2048
TAA _n CKS2	TAA _n CKS1	TAA _n CKS0				TAA _n のカウント・クロック																																											
			TAA0, TAA2, TAA4	TAA1 , TAA3, TAA5																																													
0	0	0	入力クロック	入力クロック																																													
0	0	1	入力クロック／2	入力クロック／4																																													
0	1	0	入力クロック／4	入力クロック／8																																													
0	1	1	入力クロック／8	入力クロック／16																																													
1	0	0	入力クロック／16	入力クロック／64																																													
1	0	1	入力クロック／64	入力クロック／256																																													
1	1	0	入力クロック／256	入力クロック／1024																																													
1	1	1	入力クロック／1024	入力クロック／2048																																													

注 TAA_nOPT0.TAA_nOVF ビット, 16 ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TO_n0, TO_n1 端子) も TAA_nIOC0 レジスタの設定状態に 16 ビット・カウンタと同時にリセットされます。

- 備考 1. n = 0-5
2. 入力クロックは、タイマ・クロック選択レジスタ (TCKSEL) で選択してください。

(2/2)

★

- 注意 1.** 内部の割り込みコントローラや、DMA コントローラとの同期化のため、16 ビット・タイマ／カウンタ AA (TAA) から発生する割り込み信号のパルス幅の拡張を行っています。このため 16 ビット・タイマ／カウンタ AA (TAA) から発生する同一の割り込み信号の間隔が、TAA 入力クロック (TAACLK : PCLK または OSCCLK) の 4 クロック以下場合は、正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには、TAA nCTL0 レジスタの TAA nCKS2-TAA nCKS0 ビットで、入力クロック／8 以上 (TAA0, TAA2, TAA4 は 011 以上, TAA1, TAA3, TAA5 は 010 以上) としてください。この制限事項は 16 ビット・タイマ／カウンタ AA (TAA) から割り込みコントローラ、DMA コントローラへの割り込み出力に限った制限事項です。
- 2.** TAA nCKS2-TAA nCKS0 ビットは、TAA nCE ビット = 0 のときに設定してください。TAA nCE ビットを“0”から“1”に設定するときも、同時に TAA nCKS2-TAA nCKS0 ビットを設定できます。
- 3.** ビット 6-3 には必ず 0 を設定してください。

備考 n = 0-5

- ★
- (3) TAA_n 制御レジスタ 1 (TAA_nCTL1)
- TAA_nCTL1 レジスタは、TAA_n の動作を制御する 8 ビットのレジスタです。
- 8/1 ビット単位でリード／ライト可能です。
- リセットにより 00H になります。

76543210

TAA_nCTL1

0TAA_nEST0000TAA_nMD2TAA_nMD1TAA_nMD0

R/W

0R/W0000R/WR/WR/W

アドレス

初期値

0F1C 0307H
+80H×n

00H

ビット位置	ビット名	意 味																																			
6	TAA _n EST	ソフトウェア・トリガ制御を行います。 TAA_nEST ビットのリード値は常に 0 です。 ワンショット・パルス出力モード時に、TAA_nEST ビットへの“1”ライトをトリガとして、ワンショット・パルスを出力																																			
2-0	TAA _n MD2-TAA _n MD0	TAA_n の動作モードを選択します。 <table> <tr> <th>TAA_nMD2</th> <th>TAA_nMD1</th> <th>TAA_nMD0</th> <th>TAA_n の動作モード</th> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>インターバル・タイマ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td rowspan="2">設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ワンショット・パルス出力モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>PWM 出力モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>フリー・ランニング・タイマ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>パルス幅測定モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </table>	TAA _n MD2	TAA _n MD1	TAA _n MD0	TAA _n の動作モード	0	0	0	インターバル・タイマ・モード	0	0	1	設定禁止	0	1	0	0	1	1	ワンショット・パルス出力モード	1	0	0	PWM 出力モード	1	0	1	フリー・ランニング・タイマ・モード	1	1	0	パルス幅測定モード	1	1	1	設定禁止
TAA _n MD2	TAA _n MD1	TAA _n MD0	TAA _n の動作モード																																		
0	0	0	インターバル・タイマ・モード																																		
0	0	1	設定禁止																																		
0	1	0																																			
0	1	1	ワンショット・パルス出力モード																																		
1	0	0	PWM 出力モード																																		
1	0	1	フリー・ランニング・タイマ・モード																																		
1	1	0	パルス幅測定モード																																		
1	1	1	設定禁止																																		

注意

1. ビット 7, 5-3 には必ず 0 を設定してください。

2. TAA_nEST ビットは、ワンショット・パルス出力モード時のみ有効です。それ以外のモードでは，“1”をライトしても無視されます。

3. TAA_nMD2-TAA_nMD0 ビットは、TAA_nCTL0.TAA_nCE ビット = 0 のときに設定してください
(TAA_nCE ビット = 1 のときの同値書き込みは可能)。TAA_nCE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TAA_nCE ビットをクリア (0) してから再設定してください。

備考

n = 0-5

(4) TAAAnI/O 制御レジスタ 0 (TAAAnIOC0)

TAAAnIOC0 レジスタは、タイマ出力 (TOAn0, TOAn1 端子) を制御する 8 ビットのレジスタです。
8/1 ビット単位でリード／ライト可能です。
リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAAAnIOC0	0	0	0	0	TAAAnOL1	TAAAnOE1	TAAAnOL0	TAAAnOE0	0F1C 030AH +80H×n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
3	TAAAnOL1	TOAn1 端子の出力レベルを設定します。 0 : TOAn1 端子ハイ・レベル・スタート 1 : TOAn1 端子ロー・レベル・スタート
2	TAAAnOE1	TOAn1 端子のタイマ出力を設定します。 0 : タイマ出力禁止 ・ TAAAnOL1 ビット = 0 のとき TOAn1 端子からロー・レベルを出力 ・ TAAAnOL1 ビット = 1 のとき TOAn1 端子からハイ・レベルを出力 1 : タイマ出力許可 (TOAn1 端子からパルスを出力)
1	TAAAnOL0	TOAn0 端子の出力レベルを設定します。 0 : TOAn0 端子ハイ・レベル・スタート 1 : TOAn0 端子ロー・レベル・スタート
0	TAAAnOE0	TOAn0 端子のタイマ出力を設定します。 0 : タイマ出力禁止 ・ TAAAnOL0 ビット = 0 のとき TOAn0 端子からロー・レベルを出力 ・ TAAAnOL0 ビット = 1 のとき TOAn0 端子からハイ・レベルを出力 1 : タイマ出力許可 (TOAn0 端子からパルスを出力)

- 注意 1.** ポート設定が TOAn0, TOAn1 出力設定の場合、TAAAnIOC0 レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。
- 2.** TAAAnOL1, TAAAnOE1, TAAAnOL0, TAAAnOE0 ビットは、TAAAnCTL0.TAAAnCE ビット = 0 のときに書き換えてください (TAAAnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TAAAnCE ビットをクリア (0) してから再設定してください。
- 3.** TAAAnCE ビット = 0, TAAAnOE0 ビット = 0, TAAAnOE1 ビット = 0 の状態において、TAAAnOL0 ビット, TAAAnOL1 ビットを操作した場合でも、TOAn0, TOAn1 端子の出力レベルは変化します。
- 4.** ビット 7-4 には必ず 0 を設定してください。

備考 n = 0-5

(5) TAAAnI/O 制御レジスタ 1 (TAAAnIOC1)

TAAAnIOC1 レジスタは、キャプチャ・トリガ入力信号 (TIAAn0, TIAAn1 端子) に対する有効エッジを制御する 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TAAAnIOC1	0	0	0	0	TAAAnIS3	TAAAnIS2	TAAAnIS1	TAAAnIS0	0F1C 030EH +80H×n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味															
3, 2	TAAAnIS3, TAAAnIS2	キャプチャ・トリガ入力信号（TIAAn1 端子）の有効エッジを指定します。 <table><tr><th>TAAAnIS3</th><th>TAAAnIS2</th><th>キャプチャ・トリガ入力信号（TIAAn1 端子）の有効エッジ</th></tr><tr><td>0</td><td>0</td><td>エッジ検出なし（キャプチャ動作無効）</td></tr><tr><td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr><tr><td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr><tr><td>1</td><td>1</td><td>両エッジを検出</td></tr></table>	TAAAnIS3	TAAAnIS2	キャプチャ・トリガ入力信号（TIAAn1 端子）の有効エッジ	0	0	エッジ検出なし（キャプチャ動作無効）	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TAAAnIS3	TAAAnIS2	キャプチャ・トリガ入力信号（TIAAn1 端子）の有効エッジ															
0	0	エッジ検出なし（キャプチャ動作無効）															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TAAAnIS1, TAAAnIS0	キャプチャ・トリガ入力信号（TIAAn0 端子）の有効エッジを指定します。 <table><tr><th>TAAAnIS1</th><th>TAAAnIS0</th><th>キャプチャ・トリガ入力信号（TIAAn0 端子）の有効エッジ</th></tr><tr><td>0</td><td>0</td><td>エッジ検出なし（キャプチャ動作無効）</td></tr><tr><td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr><tr><td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr><tr><td>1</td><td>1</td><td>両エッジを検出</td></tr></table>	TAAAnIS1	TAAAnIS0	キャプチャ・トリガ入力信号（TIAAn0 端子）の有効エッジ	0	0	エッジ検出なし（キャプチャ動作無効）	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TAAAnIS1	TAAAnIS0	キャプチャ・トリガ入力信号（TIAAn0 端子）の有効エッジ															
0	0	エッジ検出なし（キャプチャ動作無効）															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

注意 1. TAAAnIS3-TAAAnIS0 ビットは、TAAAnCTL0.TAAAnCE ビット = 0 のときに書き換えてください (TAAAnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TAAAnCE ビットをクリア (0) してから再設定してください。

2. TAAAnIS3-TAAAnIS0 ビットは、フリー・ランニング・タイマ・モード (TAAAnOPT0.TAAAnCCS1, TAAAnCCS0 ビット = 11 時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

3. ビット 7-4 には必ず 0 を設定してください。

備考 n = 0-5

(6) TAAn オプション・レジスタ 0 (TAAnOPT0)

TAAnOPT0 レジスタは、キャプチャ／コンペア動作の設定、オーバフローの検出をする 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

								アドレス	初期値
TAAnOPT0								0F1C 0317H +80H×n	00H
	7	6	5	4	3	2	1	0	
	0	0	TAAAnCCS1	TAAAnCCS0	0	0	0	TAAAnOVF	
R/W	0	0	R/W	R/W	0	0	0	R/W	

ビット位置	ビット名	意 味
5	TAAAnCCS1	TAAAnCCR1 レジスタのキャプチャ／コンペア動作を選択します。 0：コンペア・レジスタに選択 1：キャプチャ・レジスタに選択 (TAAAnCTL0.TAAAnCE ビット = 0 によりクリア) TAAAnCCS1 ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。
4	TAAAnCCS0	TAAAnCCR0 レジスタのキャプチャ／コンペア動作を選択します。 0：コンペア・レジスタに選択 1：キャプチャ・レジスタに選択 (TAAAnCTL0.TAAAnCE ビット = 0 によりクリア) TAAAnCCS0 ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。
0	TAAAnOVF 注	TAAAn のオーバフロー検出フラグです。 セット (1) : オーバフロー発生 リセット (0) : TAAAnOVF ビットへの 0 書き込みまたは TAAAnCTL0.TAAAnCE ビット = 0 - TAAAnOVF ビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16 ビット・カウンタの値が FFFFH から 0000H にオーバフローするときセット (1) されます。 - TAAAnOVF ビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTAAAnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAAAnOV 信号は発生しません。 - TAAAnOVF ビット = 1 のときに TAAAnOVF ビットまたは TAAAnOPT0 レジスタをリードしても、TAAAnOVF ビットはクリア (0) されません。 - INTTAAAnOV 信号発生後、TAAAnOVF ビットをクリア (0) する場合は、必ず TAAAnOVF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 - TAAAnOVF ビットはリード／ライト可能ですが、ソフトウェアで TAAAnOVF ビットをセット (1) することはできません。1 をライトしても TAAAn の動作に影響はありません。

注 このレジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

注意 1. TAAAnCCS1, TAAAnCCS0 ビットは、TAAAnCE ビット = 0 のときに書き換えてください (TAAAnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TAAAnCE ビットをクリア (0) してから再設定してください。

2. ビット 7, 6, 3-1 には必ず 0 を設定してください。

備考 n = 0-5

(7) TAA_n キャプチャ／コンペア・レジスタ 0 (TAA_nCCR0)

TAA_nCCR0 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TAA_nCCR0 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS0 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TAA_nCCR0 レジスタは、動作中のリード／ライトを許可します。

16 ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

備考 n = 0-5

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAA _n CCR0																	0F1C 0318H +80H×n	0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

★

(a) コンペア・レジスタとしての機能

TAA_nCCR0 レジスタは、TAA_nCTL0.TAA_nCE ビット = 1 のときでも書き換えできます。

TAA_nCCR0 レジスタの設定値は CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA_nCC0) を発生し、TOA_n0 端子出力を許可している場合、TOA_n0 端子出力を反転します。

TAA_nCTL0.TAA_nCE ビット = 0 によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA_nCCR0 レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA_n0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TAA_nCCR0 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA_n0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TAA_nCCR0 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TAA_nCCR0 レジスタのリードが競合しても、TAA_nCCR0 レジスタは正しい値をリードできます。

TAA_nCTL0.TAA_nCE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

★ 表 13-4 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

備考 随時書き込みと一斉書き込みについては、13.6.1(2) 随時書き込みと一斉書き込みを参照してください。

(8) TAA_n キャプチャ／コンペア・レジスタ 1 (TAA_nCCR1)

TAA_nCCR1 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TAA_nCCR1 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS1 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TAA_nCCR1 レジスタは、動作中のリード／ライトを許可します。

16 ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

備考 n = 0-5

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAA _n CCR1																	0F1C 0320H +80H×n	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

(a) コンペア・レジスタとしての機能

TAA_nCCR1 レジスタは、TAA_nCTL0.TAA_nCE ビット = 1 のときでも書き換えることができます。

TAA_nCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA_nCC1) を発生し、TOA_n1 端子出力を許可している場合、TOA_n1 端子出力を反転します。

TAA_nCTL0.TAA_nCE ビット = 0 によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA_nCCR1 レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA_n1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TAA_nCCR1 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA_n1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TAA_nCCR1 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TAA_nCCR1 レジスタのリードが競合しても、TAA_nCCR1 レジスタは正しい値をリードできます。

TAA_nCTL0.TAA_nCE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

★ 表 13-5 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

備考 随時書き込みと一斉書き込みについては、13.6.1(2) 随時書き込みと一斉書き込みを参照してください。

(9) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNT レジスタは、16 ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAA_nCTL0.TAA_nCE ビット = 1 のときに TAA_nCNT レジスタをリードすると、16 ビット・カウンタのカウンタ値をリードできます。

16 ビット単位でリードのみ可能です。

TAA_nCE ビット = 0 のとき、TAA_nCNT レジスタは 0000H になります。このときに TAA_nCNT レジスタをリードすると、16 ビット・カウンタの値 (FFFFH) ではなく、そのまま 0000H がリードされます。

リセットにより TAA_nCE ビット = 0 になり、TAA_nCNT レジスタは 0000H になります。

備考 n = 0-5

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAA _n CNT																	0F1C 0328H +80H×n	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

13.5 タイマ出力動作説明

次に TOAn0, TOAn1 端子の動作, および出力レベルを示します。

★ 表 13-6 各モードによるタイマ出力制御

動作モード	TOAn1 端子	TOAn0 端子
インターバル・タイマ・モード	PWM 出力	
ワンショット・パルス出力モード	ワンショット・パルス出力	PWM 出力
PWM 出力モード	PWM 出力	
フリー・ランニング・タイマ・モード	PWM 出力（コンペア機能のときのみ）	
パルス幅測定モード	なし	

表 13-7 タイマ出力制御ビットによる TOAn0, TOAn1 端子の真理値表

TAAAnIOC0.TAAAnOLa ビット	TAAAnIOC0.TAAAnOEa ビット	TAAAnCTL0.TAAAnCE ビット	TOAna 端子のレベル
0	0	×	ロー・レベル出力
	1	0	ロー・レベル出力
		1	カウント直前はロー・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロー・レベル

備考 n = 0-5, a = 0, 1

13.6 動作

★ 表 13-8 TAA_n の各モードの仕様

動作	TAA _n CTL1.TAA _n EST ビット (ソフトウェア・トリガ・ビット)	キャプチャ／コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	コンペア専用	随時書き込み
ワンショット・パルス出力モード	有効	コンペア専用	随時書き込み
PWM 出力モード	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	キャプチャ専用	対象外

備考 n = 0-5

13.6.1 基本動作

(1) カウンタ基本動作

★

次に 16 ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作

初期値 FFFFH からカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

(b) クリア動作

16 ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび 16 ビット・カウンタの値のキャプチャ&クリアの場合、16 ビット・カウンタは 0000H にクリアされます。なお、カウント動作開始直後およびオーバーフローの場合の FFFFH から 0000H へのカウント動作はクリア動作ではありません。したがって、INTTAnCC0, INTTAnCC1 割り込み信号は発生しません。

(c) オーバフロー動作

16 ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFH から 0000H へのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TAAAnOPT0.TAAAnOVF ビットがセット (1) され、割り込み要求信号 (INTTAnOV) が発生します。なお、次の条件では INTTAnOV 信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値が FFFFH で一致&クリアされた場合
- ・ パルス幅測定モード時の FFFFH をキャプチャし、クリアした場合の FFFFH から 0000H になるタイミング

注意 1. オーバフロー割り込み要求信号 (INTTAnOV) 発生後は、必ずオーバーフロー・フラグ (TAAAnOVF ビット) が“1”にセットされているのを確認してください。

2. TAAAnOPT0 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバーフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

(d) カウント動作中のカウンタ・リード動作

TAAAn では、TAAAnCNT レジスタにより、カウント動作中の 16 ビット・カウンタの値をリードできます。

TAAAnCTL0.TAAAnCE ビット = 1 のときは、TAAAnCNT レジスタをリードすることにより、16 ビット・カウンタの値をリードできます。ただし、TAAAnCE ビット = 0 のときは、16 ビット・カウンタが FFFFH で、TAAAnCNT レジスタが 0000H です。

(e) 割り込み動作

TAA_n では、次の 3 種類の割り込み要求信号が発生します。

- INTTAA_nCC0 割り込み： CCR0 バッファ・レジスタの一致割り込み要求信号、および TAA_nCCR0 レジスタへのキャプチャ割り込み要求信号として機能します。
- INTTAA_nCC1 割り込み： CCR1 バッファ・レジスタの一致割り込み要求信号、および TAA_nCCR1 レジスタへのキャプチャ割り込み要求信号として機能します。
- INTTAA_nOV 割り込み： オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TAA_n では、タイマ動作中 (TAA_nCTL0.TAA_nCE ビット = 1) でも TAA_nCCR0, TAA_nCCR1 レジスタの書き換えを許可していますが、モードによって CCR0, CCR1 バッファ・レジスタへの書き込み方法 (随時書き込み、一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中に TAA_nCCR0, TAA_nCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を随時行います。

備考 n = 0-5

図 13-3 随時書き込みの基本動作フロー・チャート

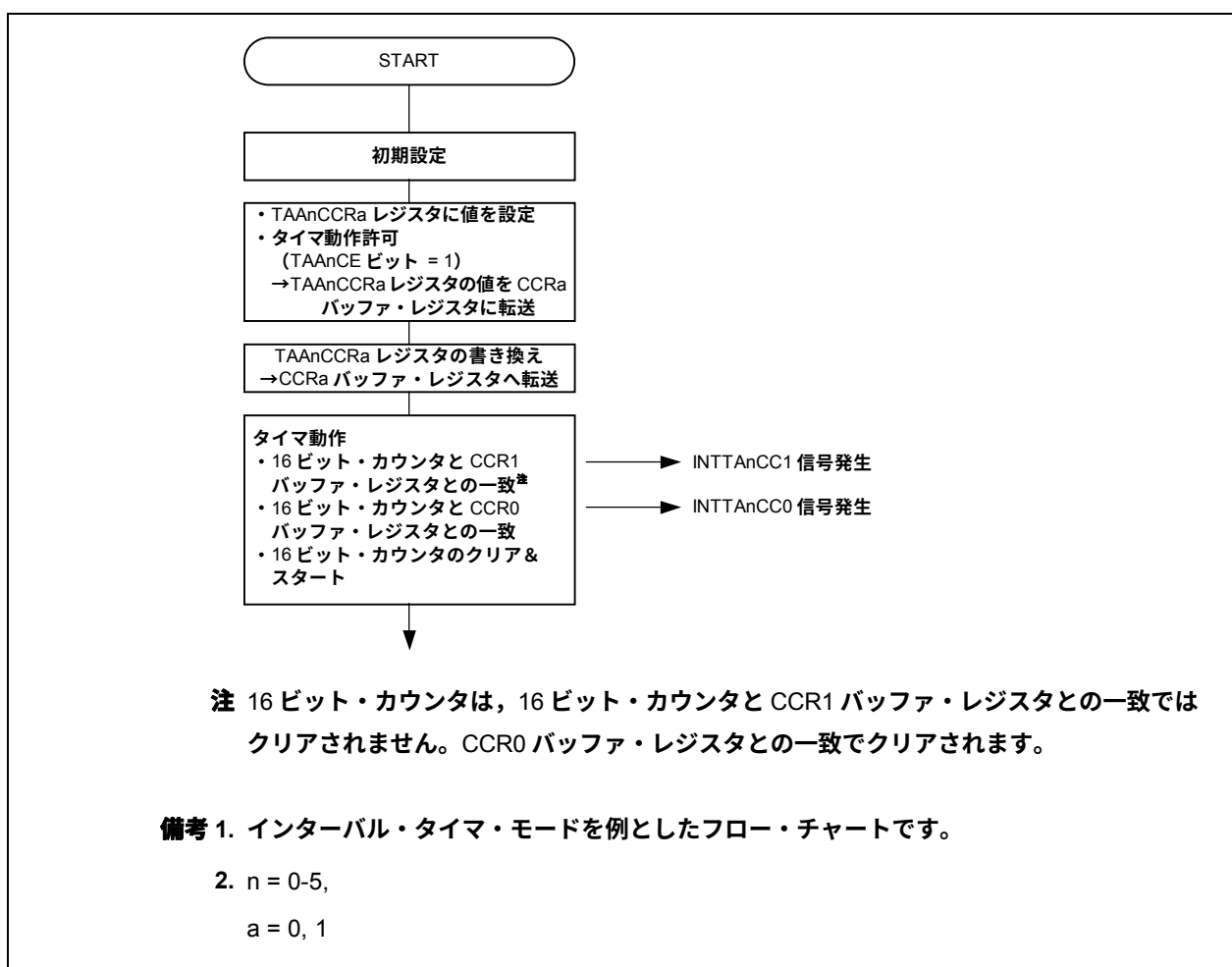
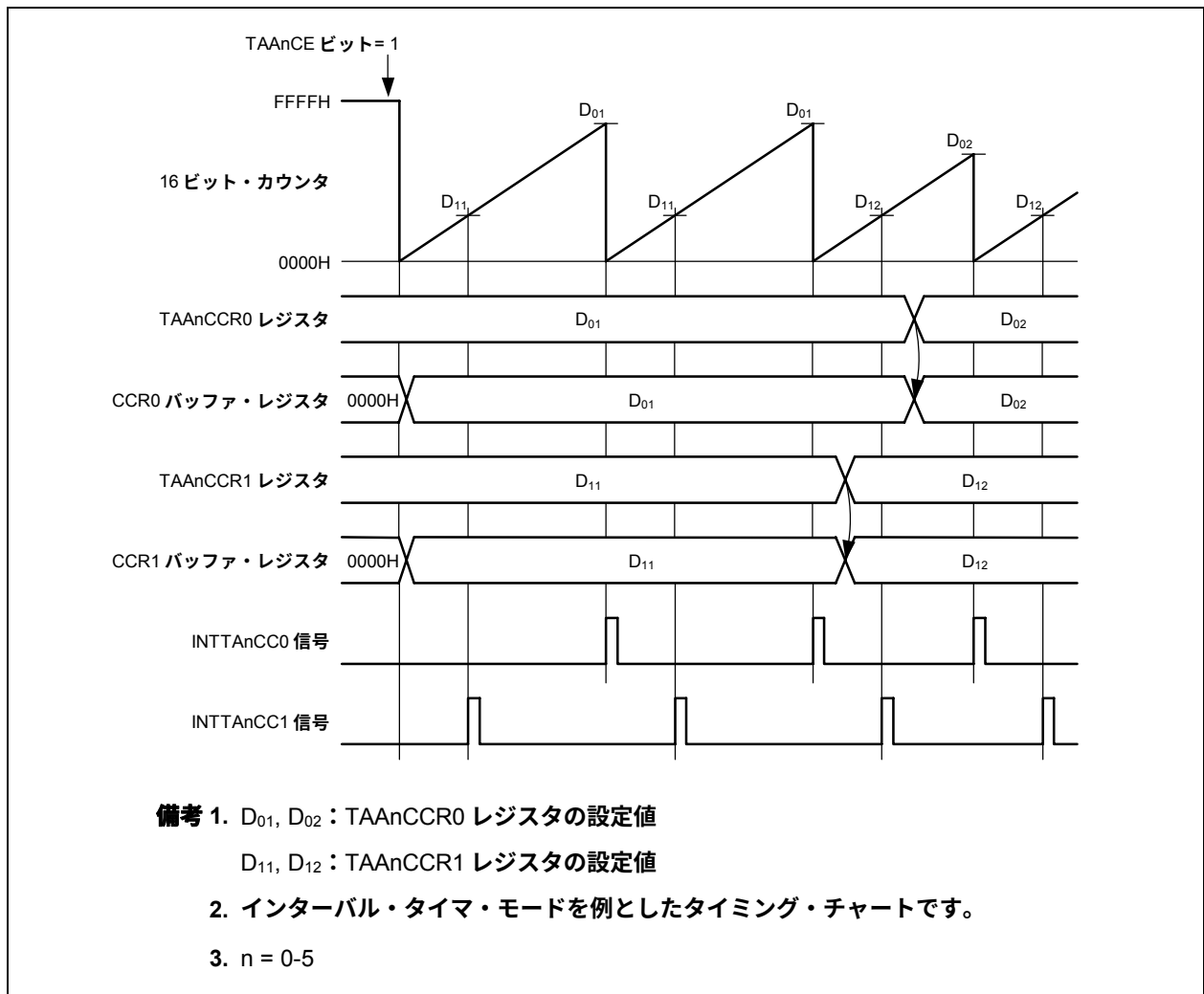


図 13-4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中に TAAAnCCR0, TAAAnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TAAAnCCR1 レジスタへの書き込みとなります。TAAAnCCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TAAAnCCR0, TAAAnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致する前に TAAAnCCR0 レジスタを書き換え、次に TAAAnCCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値との一致タイミングで、TAAAnCCR0, TAAAnCCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TAAAnCCR0 レジスタの値だけ書き換えたい場合でも、TAAAnCCR1 レジスタに同値 (すでに設定した TAAAnCCR1 レジスタと同じ値) を書き込んでください。

図 13-5 一斉書き込みの基本動作フロー・チャート

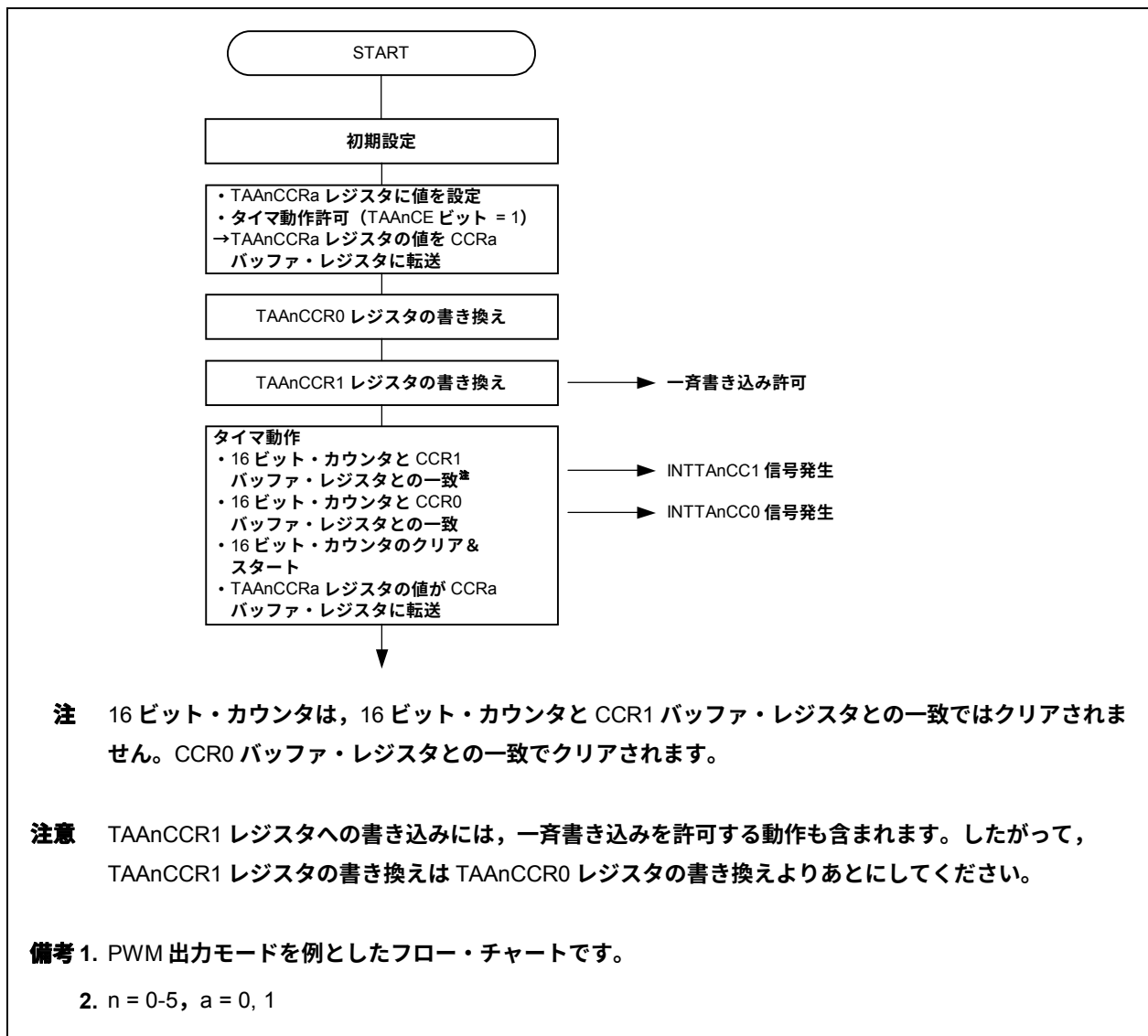
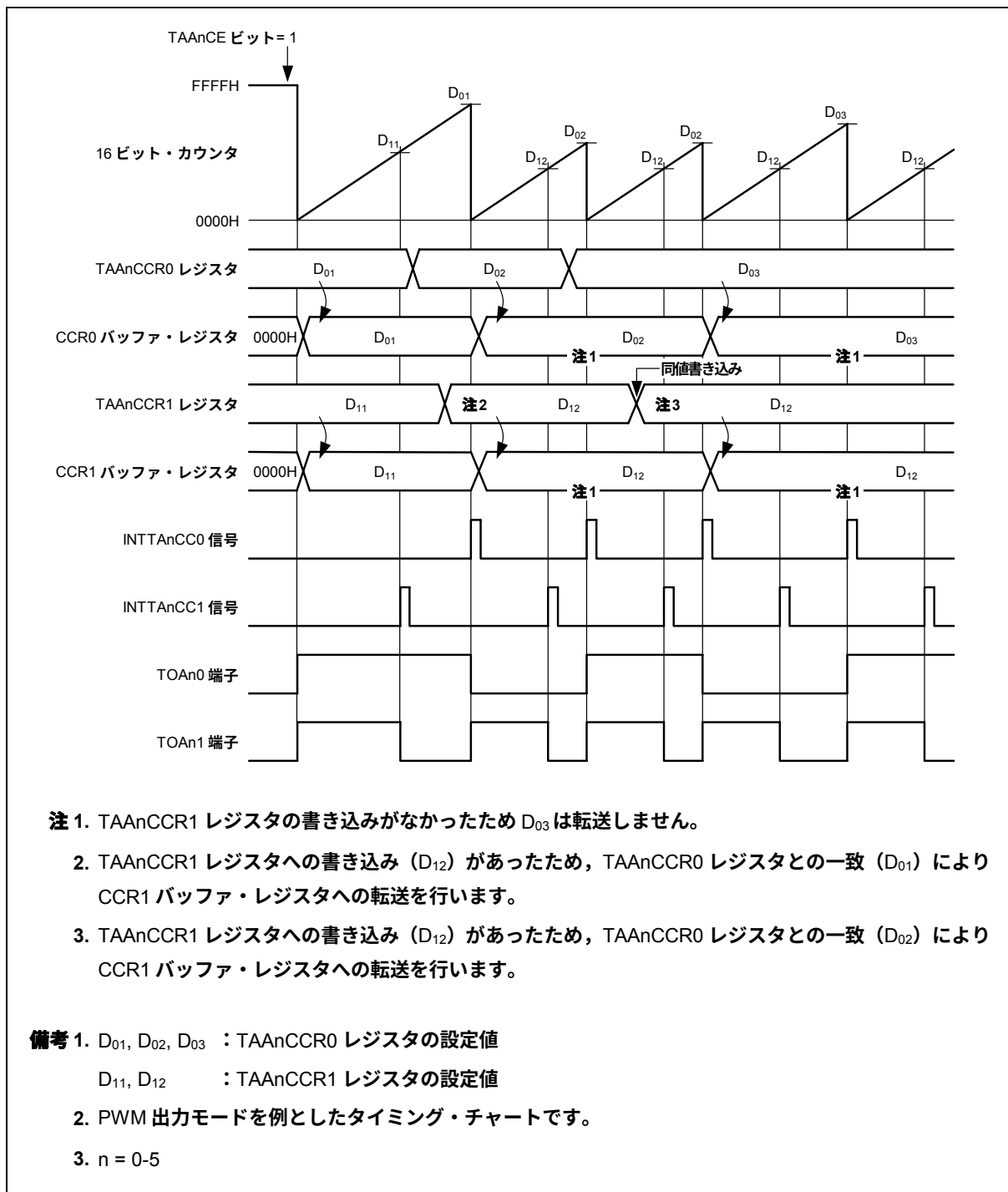


図 13-6 一斉書き込みのタイミング



13.6.2 インターバル・タイマ・モード (TAA_nMD2-TAA_nMD0 ビット = 000)

インターバル・タイマ・モードは、TAA_nCTL0.TAA_nCE ビットをセット (1) することで、TAA_nCCR0 レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTAA_nCC0) を発生します。また、TOA_n0 端子から、インターバル間隔を半周期とする 50% デューティの PWM 波形を出力できます。

インターバル・タイマ・モードでは、TAA_nCCR1 レジスタを使用しません。しかし、TAA_nCCR1 レジスタでは、TAA_nCCR1 レジスタの設定値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するとコンペアー一致割り込み要求信号 (INTTAA_nCC1) が発生します。

また、TOA_n1 端子から、INTTAA_nCC1 信号の発生タイミングにより反転する 50% デューティの PWM 波形を出力できます。

なお、TAA_nCCR0, TAA_nCCR1 レジスタのタイマ動作中の書き換えは可能です。

図 13-7 インターバル・タイマの構成図

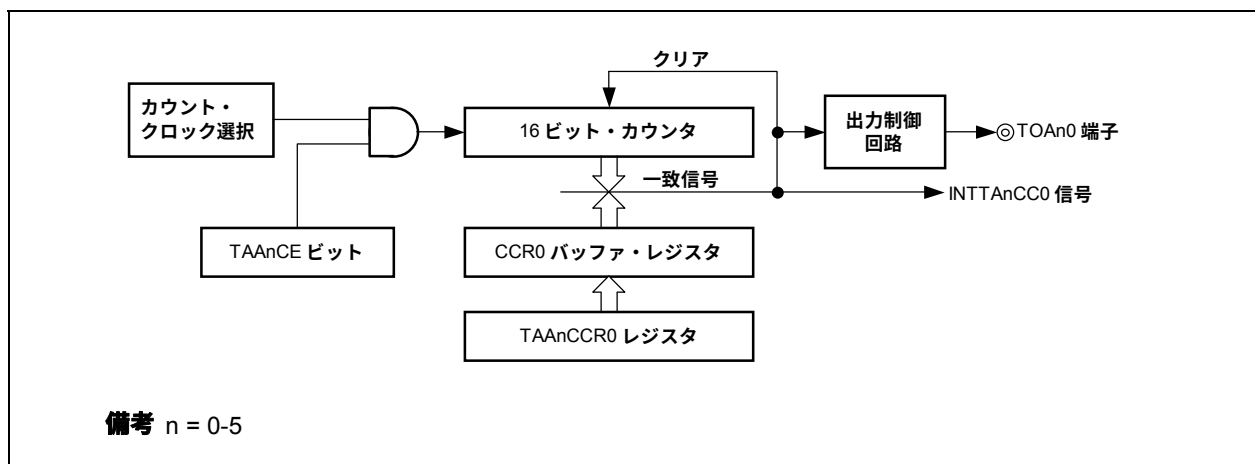
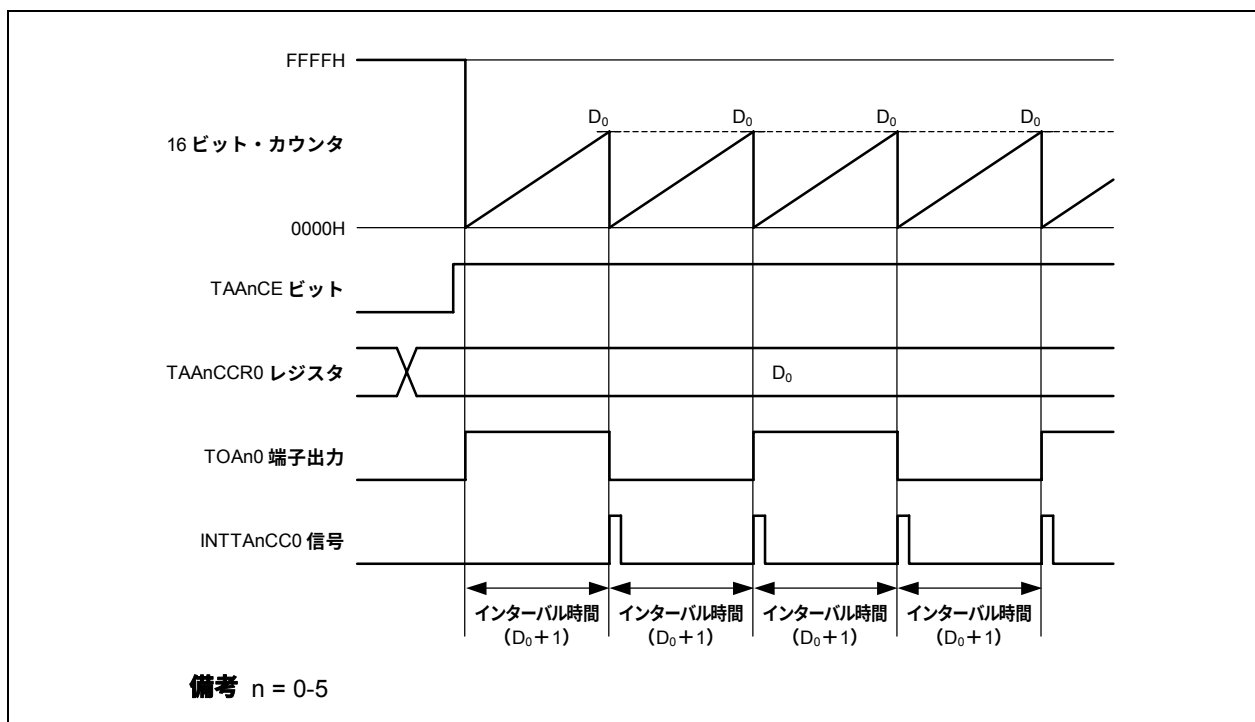


図 13-8 インターバル・タイマ・モード動作の基本タイミング



TAAAnCE ビットをセット (1) することで、カウント・クロックに同期して 16 ビット・カウンタを FFFFH から 0000H にクリアし、カウント動作を開始します。このとき TOAn0 端子出力を反転します。また、TAAAnCCR0 レジスタの設定値が CCR0 バッファ・レジスタに転送されます。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、TOAn0 端子出力を反転させて、コンペアー一致割り込み要求信号 (INTTAAAnCC0) を発生します。

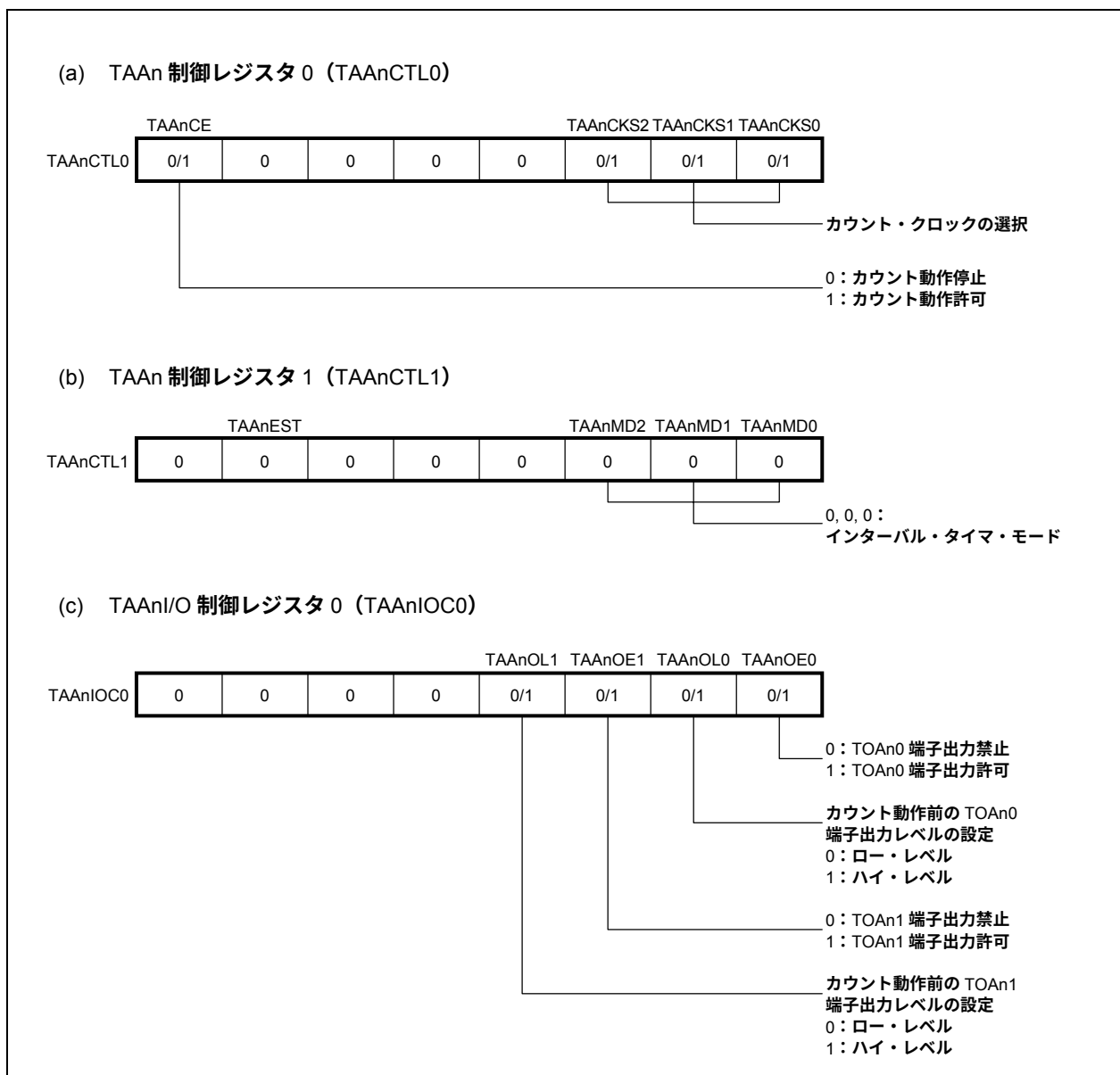
インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAAAnCCR0 レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-5

★

図 13-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)



★

図 13-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

- (d) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNT レジスタをリードすることで、16 ビット・カウンタのカウンタ値をリードできます。

- (e) TAA_n キャプチャ／コンペア・レジスタ 0 (TAA_nCCR0)

TAA_nCCR0 レジスタに D₀ を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- (f) TAA_n キャプチャ／コンペア・レジスタ 1 (TAA_nCCR1)

インターバル・タイマ・モードでは、TAA_nCCR1 レジスタを使用しません。しかし、TAA_nCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値が一致すると、TOA_n1 端子出力を反転し、コンペアー一致割り込み要求信号 (INTTA_nCC1) が発生します。

TAA_nCCR0 レジスタの設定値と同じ値を設定することにより、TOA_n1 端子から 50%デューティの PWM 波形を出力できます。

TAA_nCCR1 レジスタを使用しない場合には、TAA_nCCR1 レジスタの設定値を FFFFH に設定することを推奨します。また、割り込みマスク・フラグ (該当する EIC_m レジスタのマスク・ビット) でマスク設定してください。

備考 1. TAA_nI/O 制御レジスタ 1 (TAA_nIOC1) , TAA_n オプション・レジスタ 0 (TAA_nOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-5, m = 28, 31, 34, 37, 40, 43

(1) インターバル・タイマ・モード動作フロー

★ 図 13-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

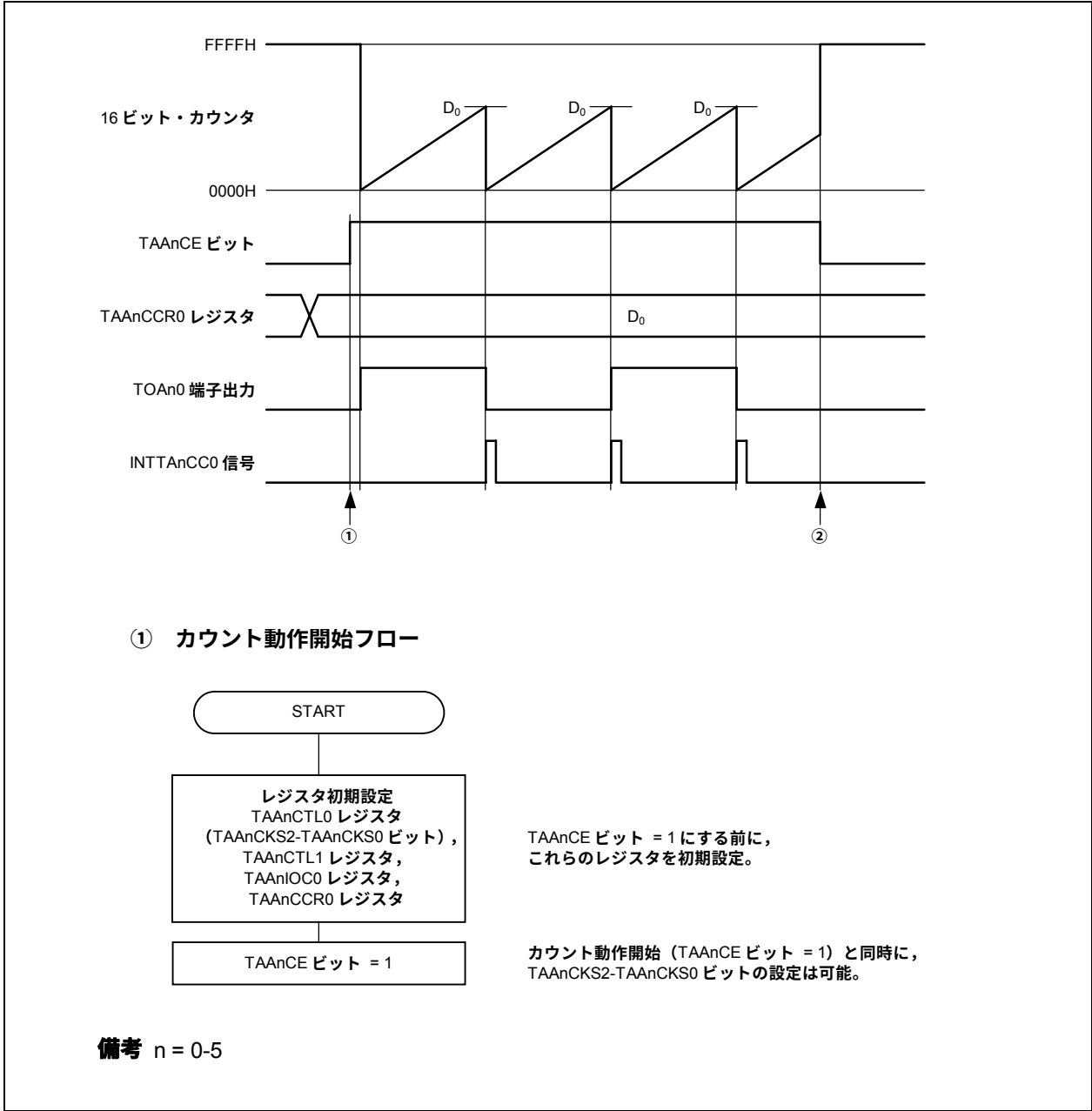
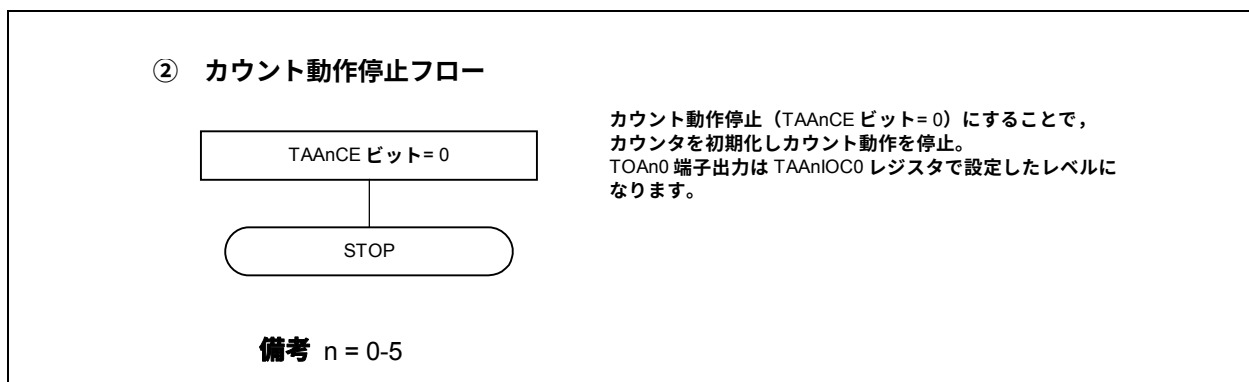


図 13-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

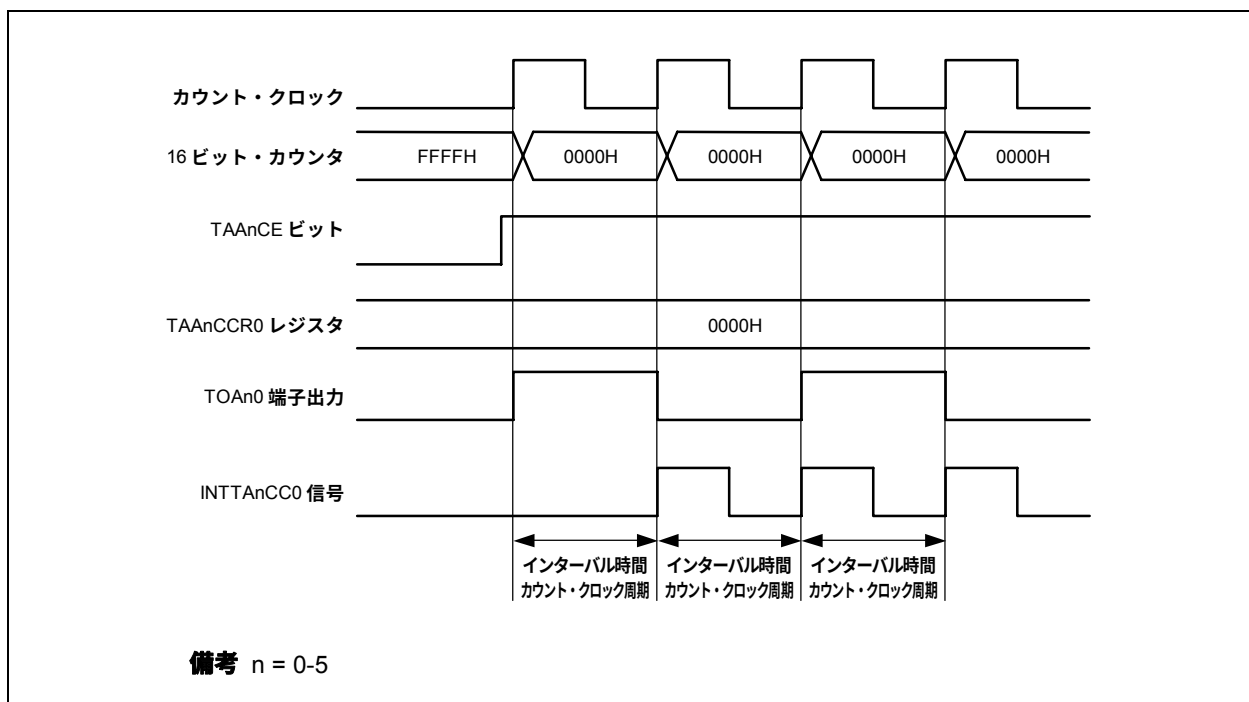


(2) インターバル・タイマ・モード動作タイミング

(a) TAAAnCCR0 レジスタに 0000H を設定した場合の動作

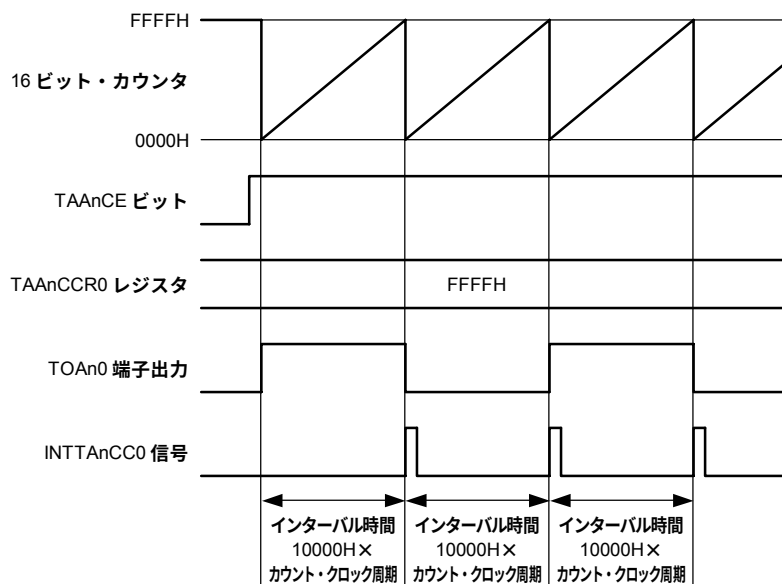
TAAAnCCR0 レジスタに 0000H を設定した場合、カウント・クロックごとに INTTAAAnCC0 信号を発生し、TOAn0 端子の出力を反転します。

16 ビット・カウンタは、常に 0000H となります。



(b) TAA_nCCR0 レジスタに FFFFH を設定した場合の動作

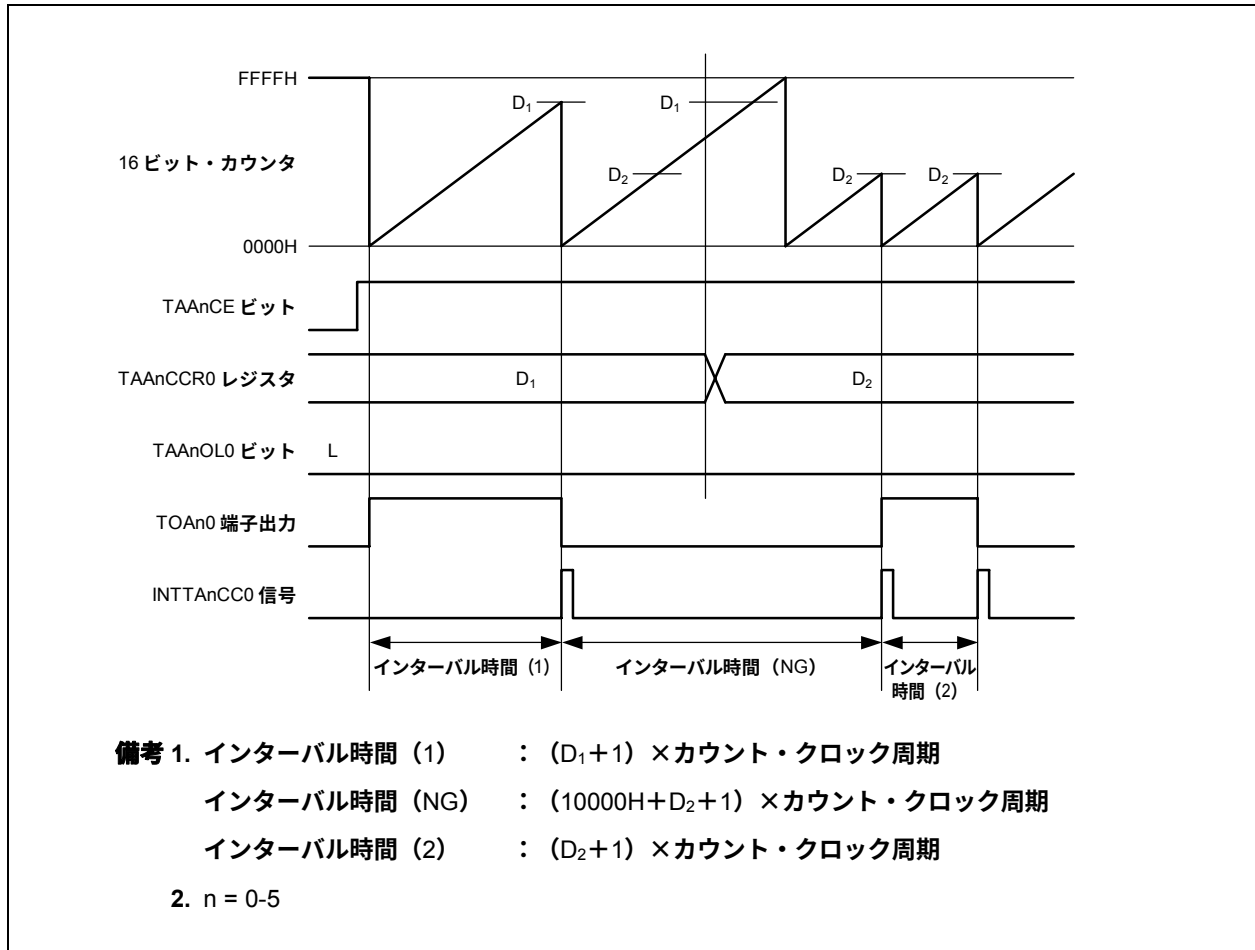
TAA_nCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTAA_nCC0 信号を発生し、TOA_n0 端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAA_nOV) は発生せず、オーバフロー・フラグ (TAA_nOPT0.TAA_nOVF ビット) もセット (1) されません。



備考 n = 0-5

(c) TAA_nCCR0 レジスタの書き換えに関する注意事項

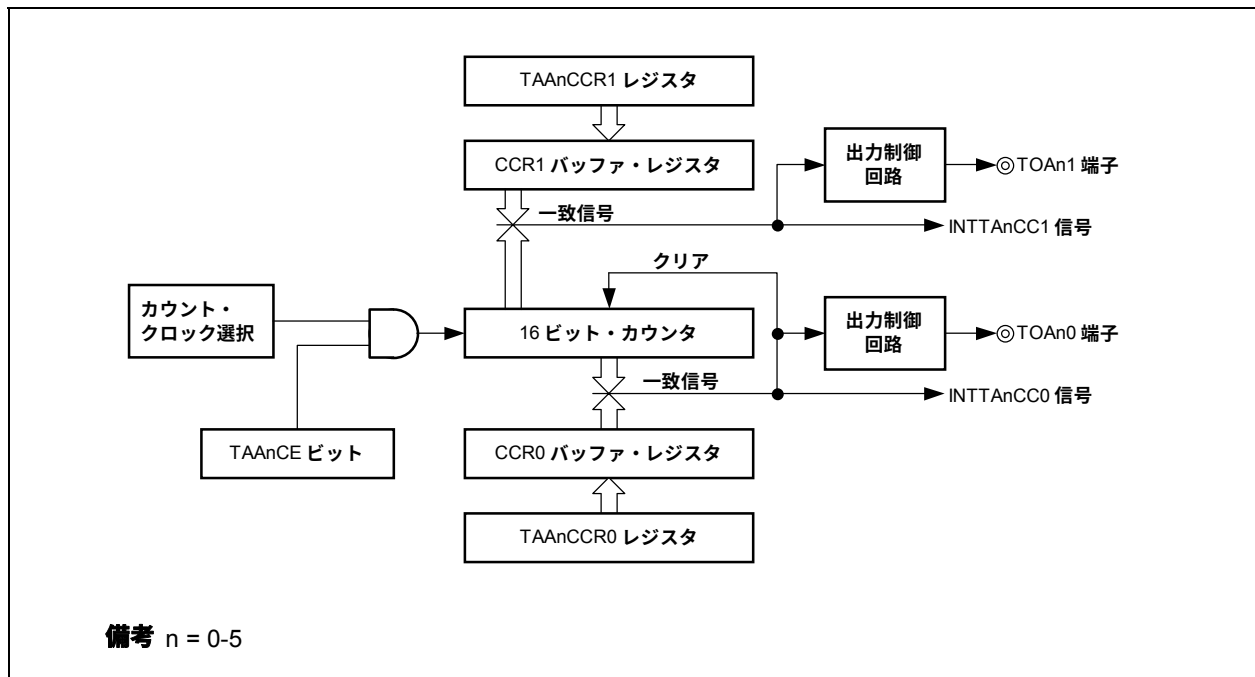
カウント動作中に TAA_nCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAA_nCCR0 レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 D_2 との一致で INTTAnCC0 信号を発生し TOAn0 端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」で INTTAnCC0 信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔で INTTAnCC0 信号が発生する場合があります。

(d) TAA_nCCR1 レジスタの動作図 13-11 TAA_nCCR1 レジスタの構成図

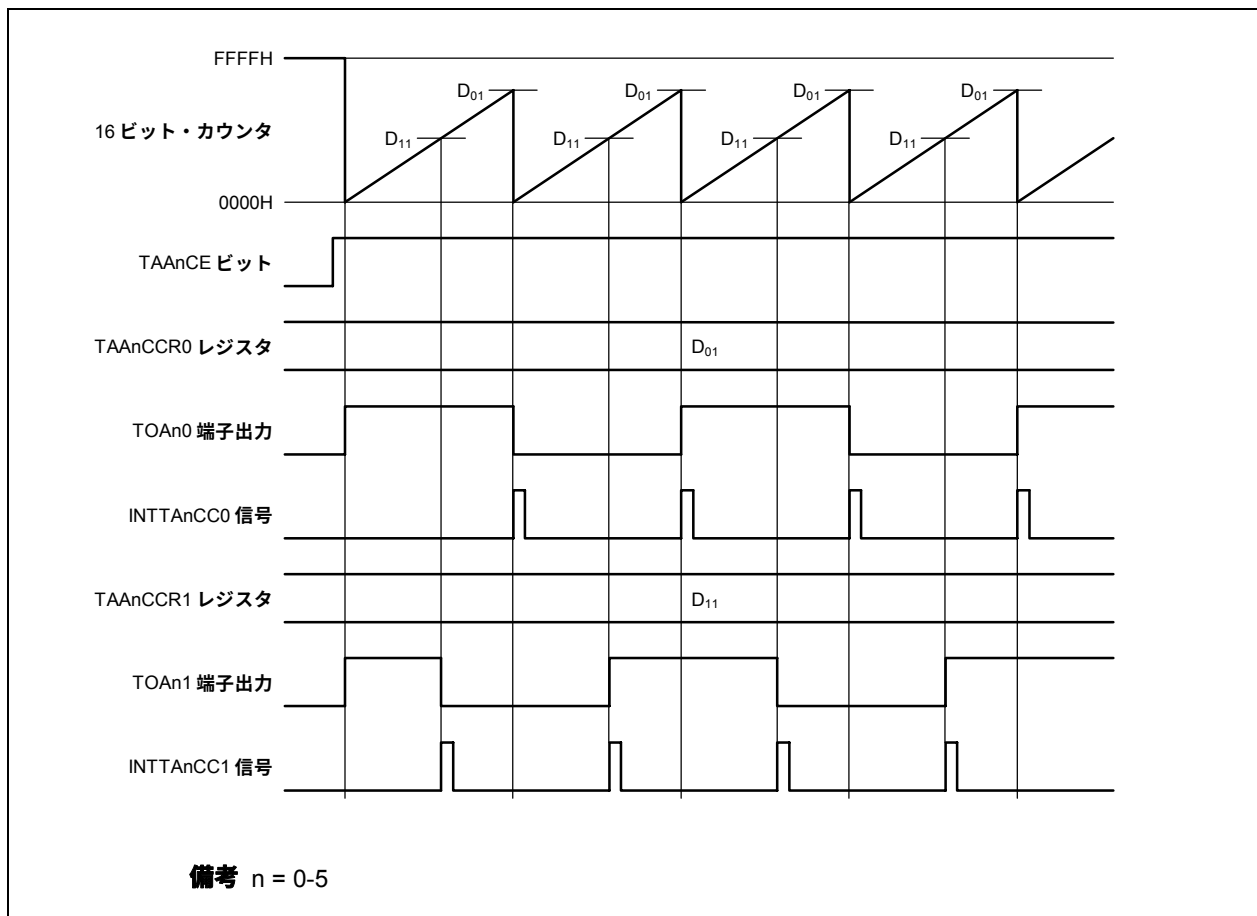
TAAAnCCR1 レジスタに TAAAnCCR0 レジスタの設定値と同じ値を設定すると、INTTAnCC0 信号と同じタイミングで INTTAnCC1 信号が発生し、TOAn1 端子出力が反転します。すなわち、TOAn1 端子から 50%デューティの PWM 波形を出力できます。

TAAAnCCR0 レジスタの設定値とは異なる値を TAAAnCCR1 レジスタに設定した場合の動作を次に示します。

TAAAnCCR1 レジスタの設定値が TAAAnCCR0 レジスタの設定値よりも小さい場合には、1 周期に 1 回の INTTAnCC1 信号が発生します。また、同じタイミングで TOAn1 端子出力は反転します。

TOAn1 端子出力は、最初に短い幅のパルスを出力したあと、50%デューティの PWM 波形を出力します。

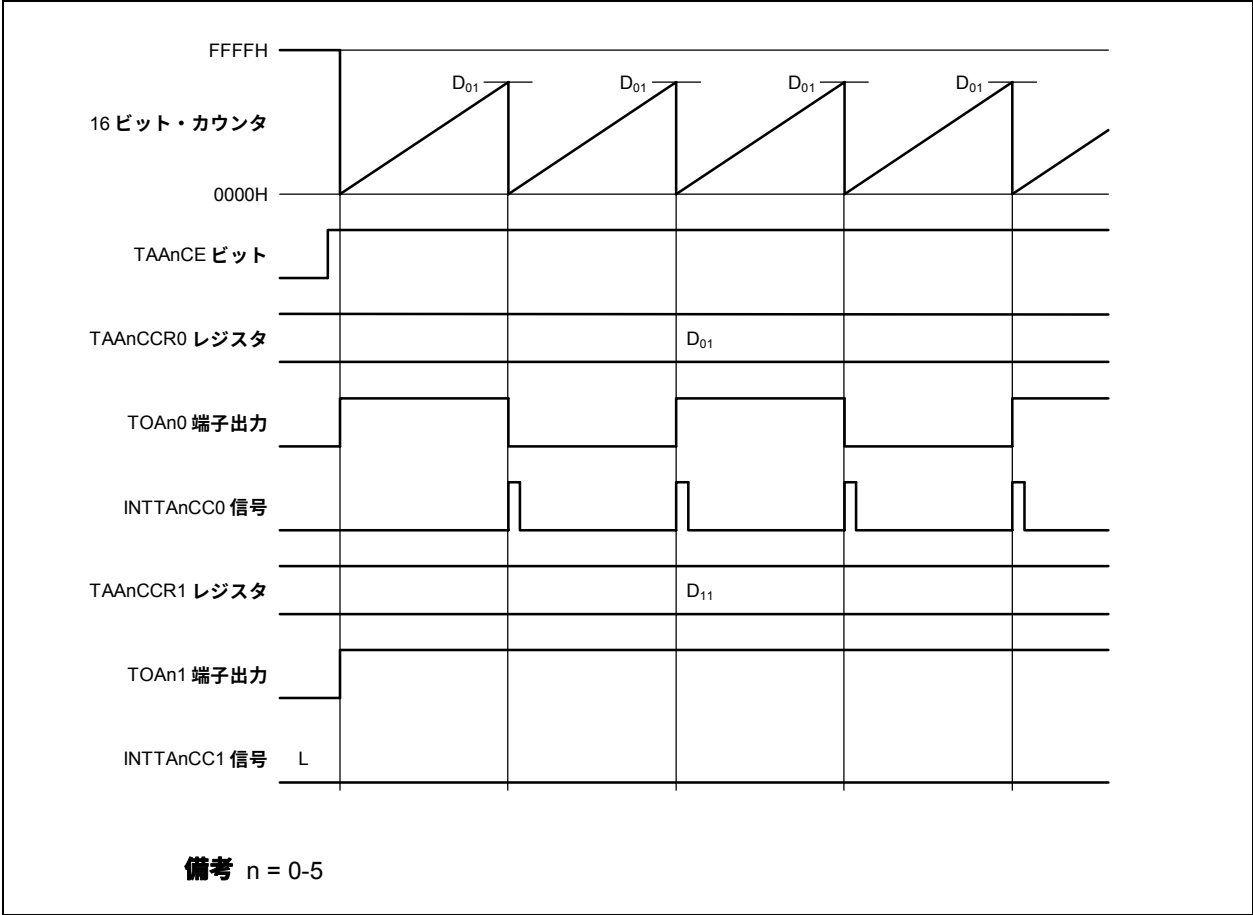
図 13-12 $D_{01} \geq D_{11}$ の場合のタイミング図



TAAAnCCR1 レジスタの設定値が TAAAnCCR0 レジスタの設定値よりも大きい場合には、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値が一致しないので、INTTAAAnCC1 信号は発生しません。また、TOAn1 端子出力も変化しません。

TAAAnCCR1 レジスタを使用しない場合には、TAAAnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。

図 13-13 D₀₁<D₁₁ の場合のタイミング図



13.6.3 ワンショット・パルス出力モード (TAAAnMD2-TAAAnMD0 ビット = 011)

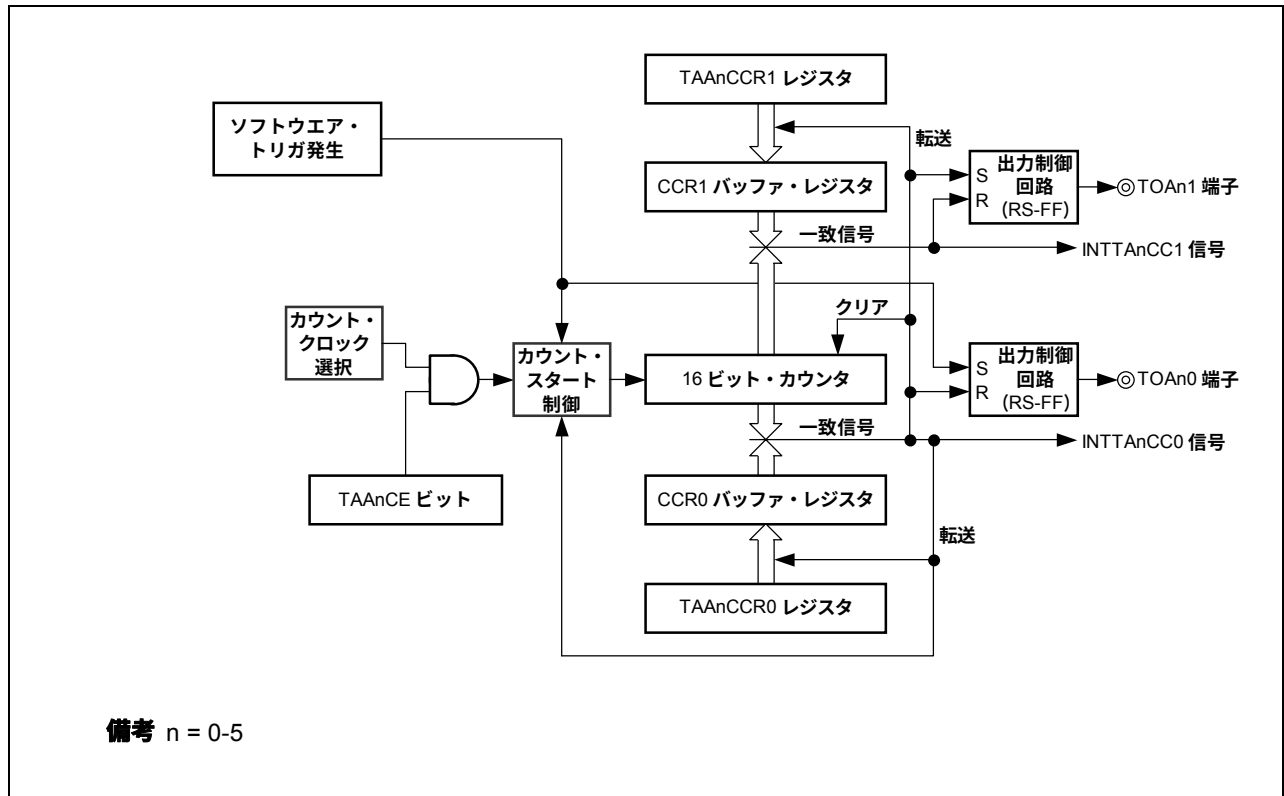
★

ワンショット・パルス出力モードは、TAAAnCTL0.TAAAnCE ビットをセット (1) することでトリガ待ち状態となり、ソフトウェア・トリガでカウント動作を開始し、TOAn1 端子からワンショット・パルスを出力します。

TOAn0 端子から、16 ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止（トリガ待ち状態）中のときはインアクティブ・レベルを出力できます。

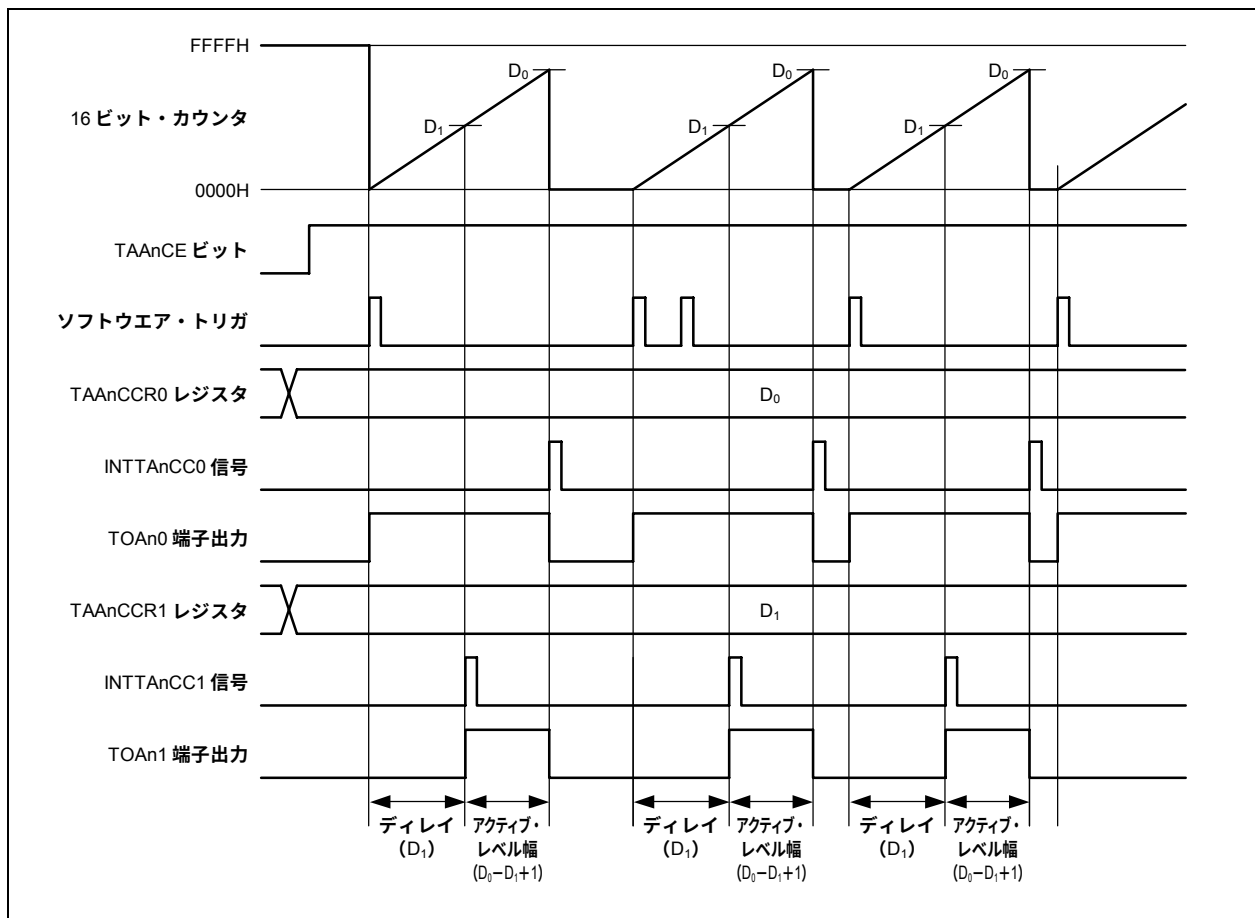
★

図 13-14 ワンショット・パルス出力モードの構成図



★

図 13-15 ワンショット・パルス出力モードの基本タイミング



TAAAnCE ビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOAn1 端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16 ビット・カウンタを 0000H にしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に 16 ビット・カウンタは 0000H からカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TAAAnCCR1 レジスタの設定値) × カウント・クロック周期

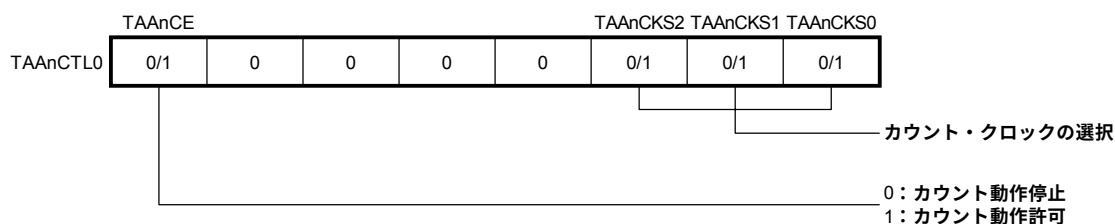
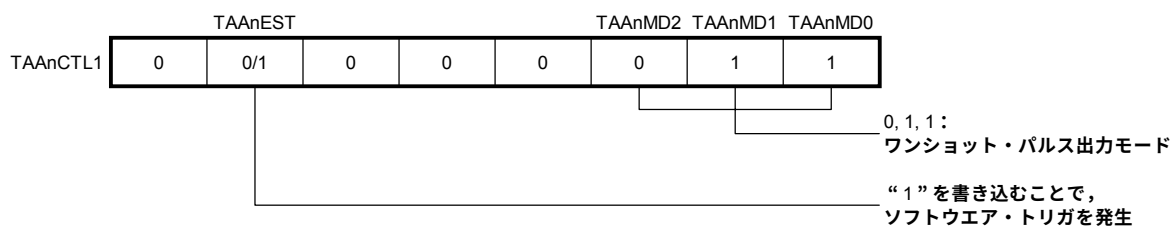
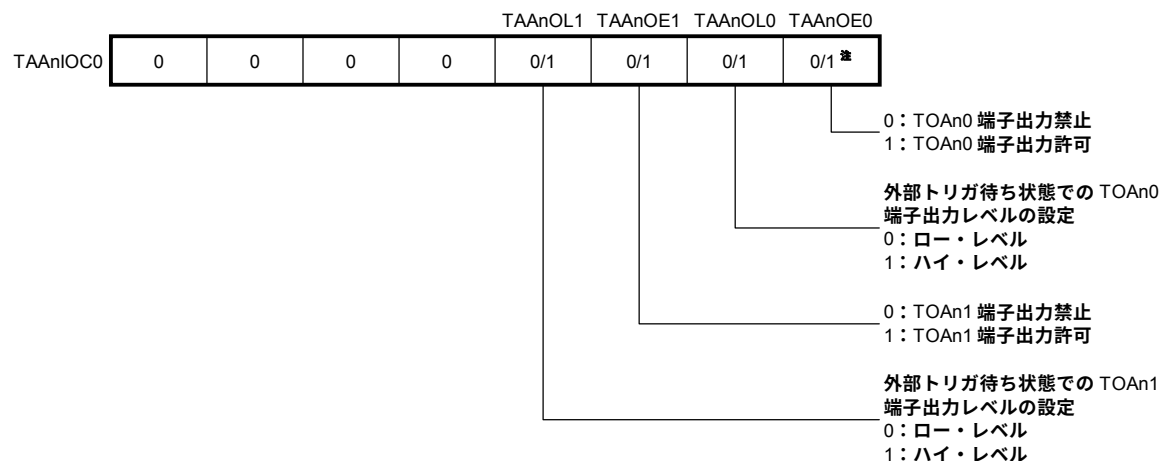
アクティブ・レベル幅 = (TAAAnCCR0 レジスタの設定値 - TAAAnCCR1 レジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTAAAnCC0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTAAAnCC1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

備考 n = 0-5

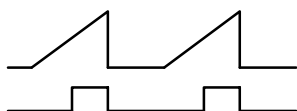
★

図 13-16 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TAA_n 制御レジスタ 0 (TAA_nCTL0)(b) TAA_n 制御レジスタ 1 (TAA_nCTL1)(c) TAA_nI/O 制御レジスタ 0 (TAA_nIOC0)・ TAA_nOL1 ビット = 0 の場合

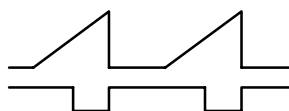
16 ビット・カウンタ

TOAn1 端子出力

・ TAA_nOL1 ビット = 1 の場合

16 ビット・カウンタ

TOAn1 端子出力



注 ワンショット・パルス出力モードで TOAn0 端子を使用しない場合は“0”に設定してください。

★

図 13-16 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

- (d) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

- (e) TAA_n キャプチャ／コンペア・レジスタ 0, 1 (TAA_nCCR0, TAA_nCCR1)

TAA_nCCR0 レジスタに D₀ を設定し、TAA_nCCR1 レジスタに D₁ を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D₀ − D₁ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D₁ × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて、TAA_nCCR1 レジスタの設定値が TAA_nCCR0 レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。

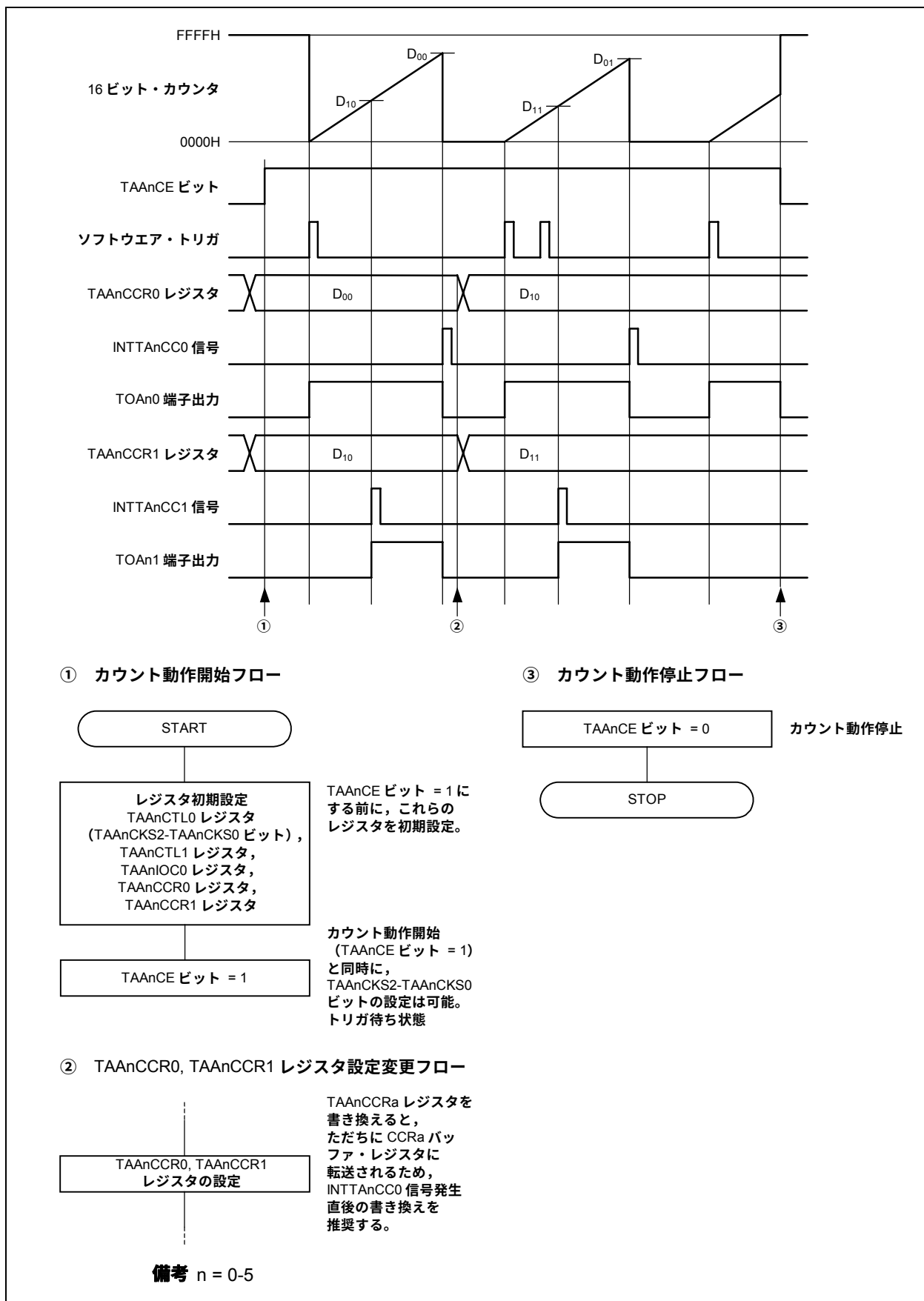
備考 1. TAA_nI/O 制御レジスタ 1 (TAA_nIOC1)，TAA_n オプション・レジスタ 0 (TAA_nOPT0) は、ワンショット・パルス出力モードでは使用しません。

2. n = 0-5

(1) ワンショット・パルス出力モード動作フロー

★

図 13-17 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

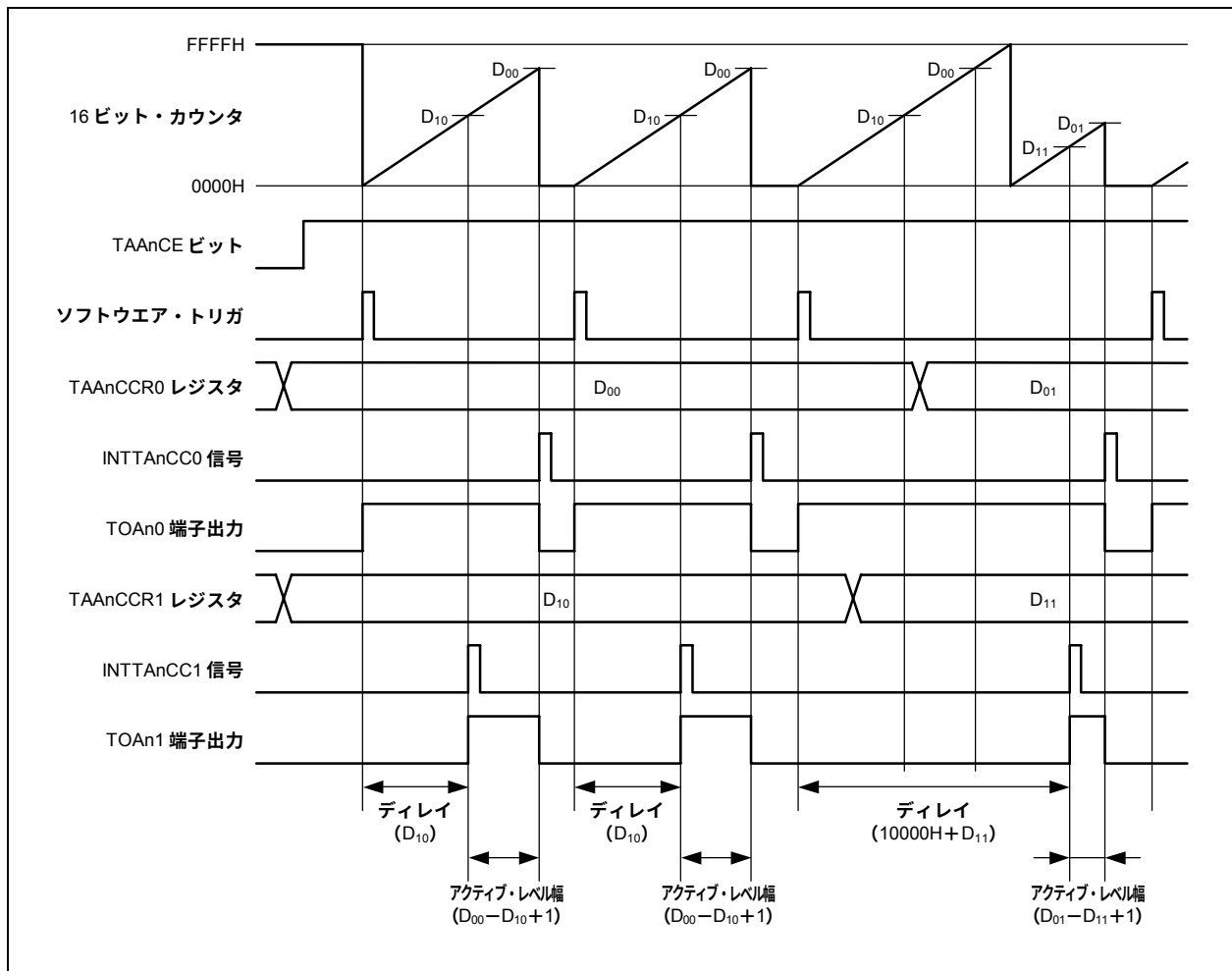


(2) ワンショット・パルス出力モード動作タイミング

(a) TAAAnCCRa レジスタの書き換えに関する注意事項

カウント動作中に TAAAnCCRa レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

★



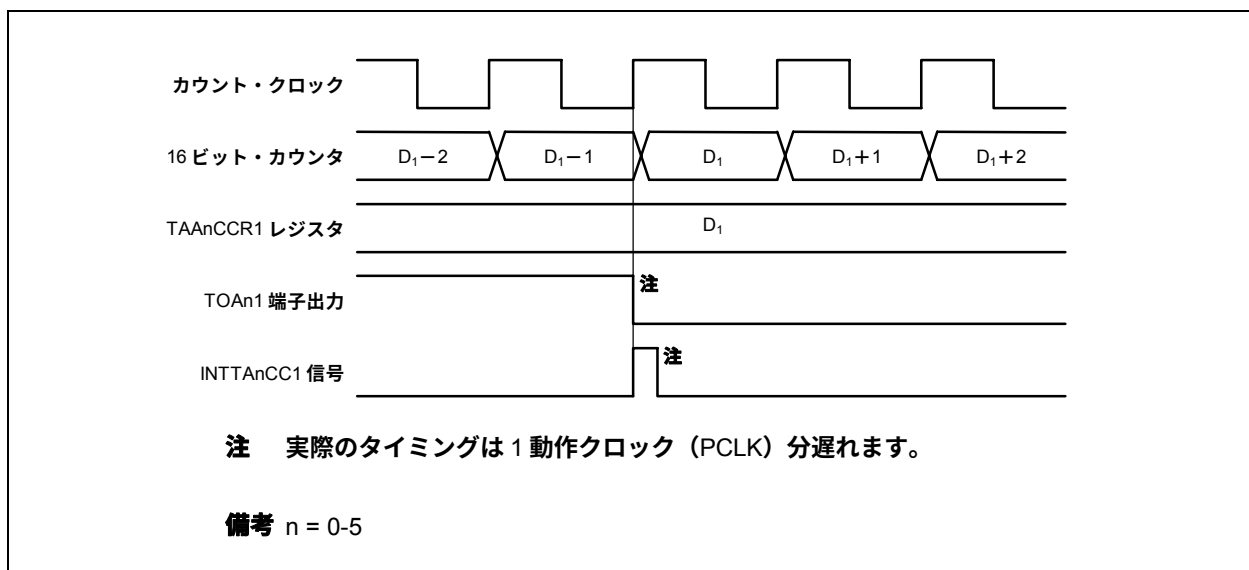
TAAAnCCR0 レジスタを D_{00} から D_{01} に、TAAAnCCR1 レジスタを D_{10} から D_{11} に書き換える場合において、 $D_{00} > D_{01}$, $D_{10} > D_{11}$ の状態で、16 ビット・カウンタのカウント値が D_{11} よりも大きく D_{10} よりも小さい状態のとき TAAAnCCR1 レジスタを書き換え、カウント値が D_{01} よりも大きく D_{00} よりも小さい状態で TAAAnCCR0 レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値は FFFFH までカウント動作を行い、その後、0000H から再度カウント・アップを行います。そして、 D_{11} との一致で INTTAAAnCC1 信号を発生して TOAn1 端子出力をアクティブ・レベルにし、 D_{01} との一致で INTTAAAnCC0 信号を発生して TOAn1 端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-5

(b) コンペアー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

ワンショット・パルス出力モードにおける INTTAnCC1 信号の発生タイミングは、ほかのモードの INTTAnCC1 信号と異なり、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTAnCC1 信号は、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1 クロック早いタイミングで発生します。これは、TOAn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

13.6.4 PWM 出力モード (TAA_nMD2-TAA_nMD0 ビット = 100)

PWM 出力モードは、TAA_nCTL0.TAA_nCE ビットをセット (1) することで、TOA_n1 端子から PWM 波形を出力します。

また、TOA_n0 端子から、TAA_nCCR0 レジスタの設定値+1 を半周期とする 50%デューティの PWM 波形を出力します。

★ 図 13-18 PWM 出力モードの構成図

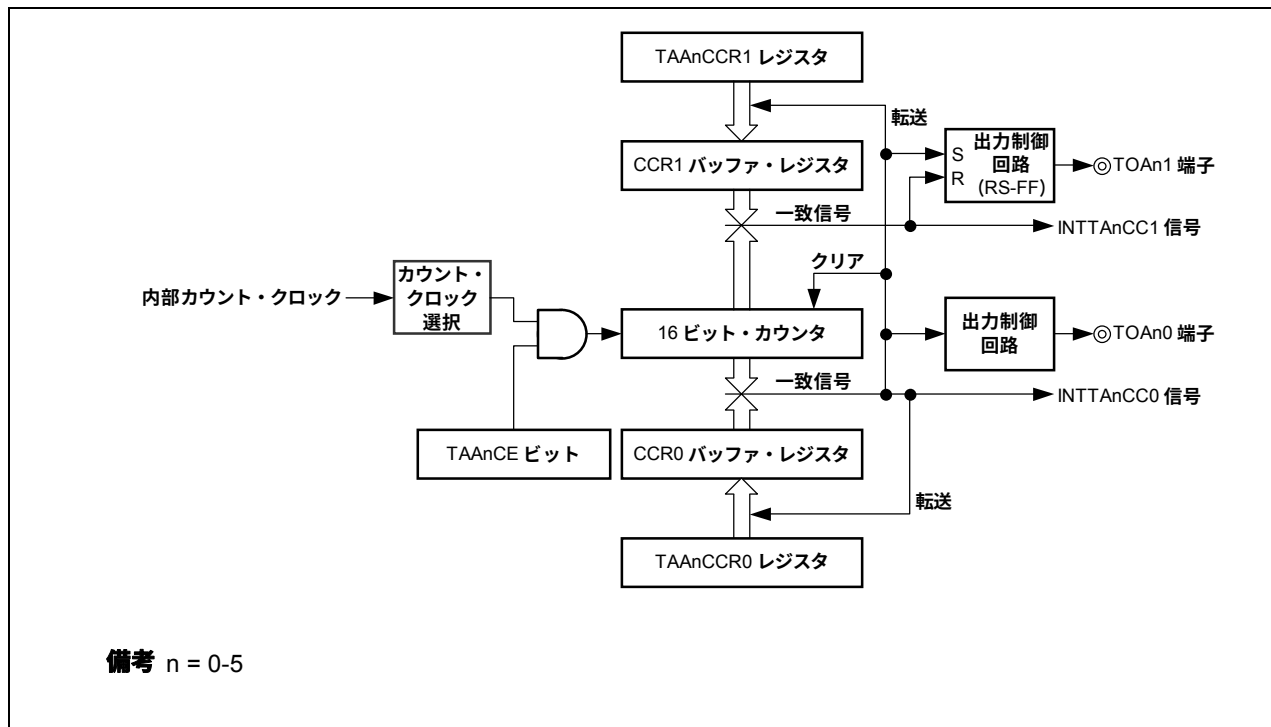
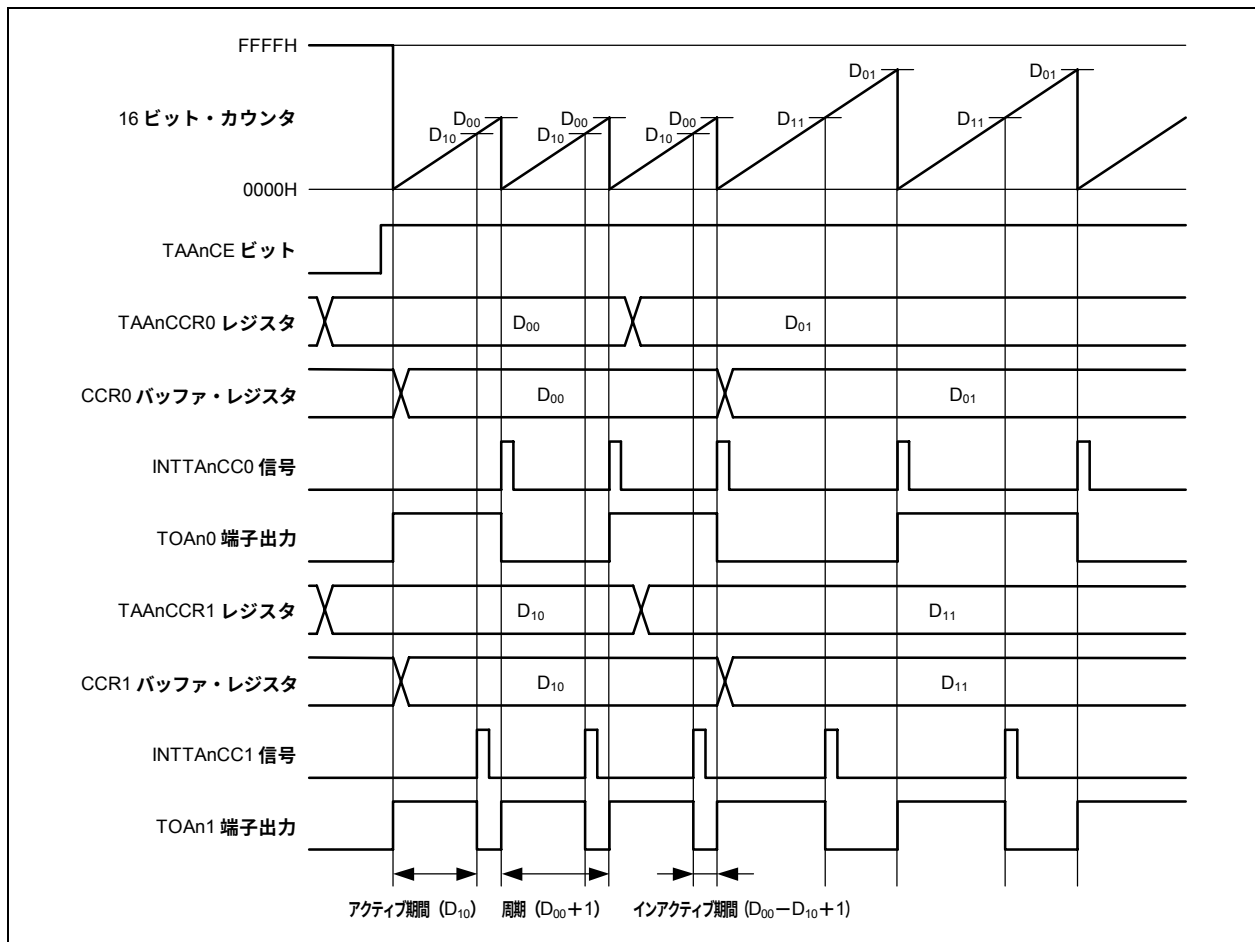


図 13-19 PWM 出力モードの基本タイミング



TAAAnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOAn1 端子から PWM 波形を出力します。

PWM 波形のアクティブ・レベル幅、周期、およびデューティーは次のように求められます。

アクティブ・レベル幅 = (TAAAnCCR1 レジスタの設定値) × カウント・クロック周期

周期 = (TAAAnCCR0 レジスタの設定値 + 1) × カウント・クロック周期

デューティー = (TAAAnCCR1 レジスタの設定値) / (TAAAnCCR0 レジスタの設定値 + 1)

動作中に TAAAnCCRa レジスタを書き換えることにより、PWM 波形を変更できます。書き換えた値は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致し、16 ビット・カウンタが 0000H にクリアされるタイミングで反映されます。

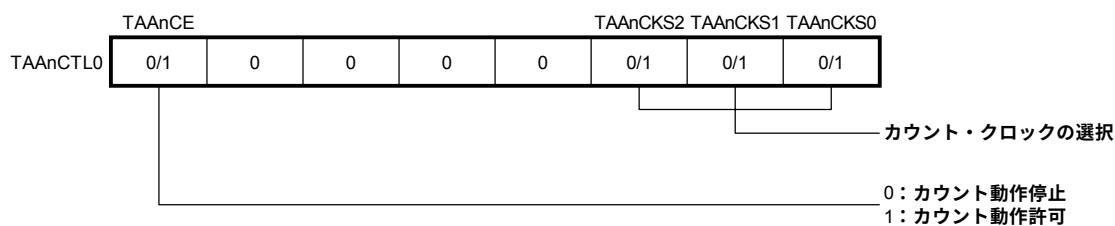
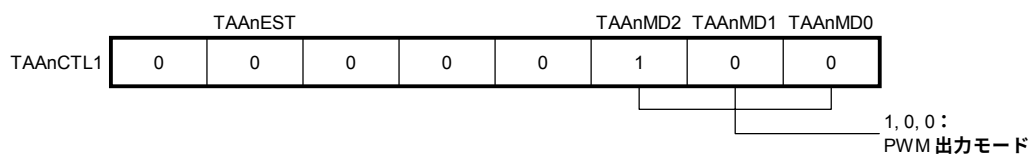
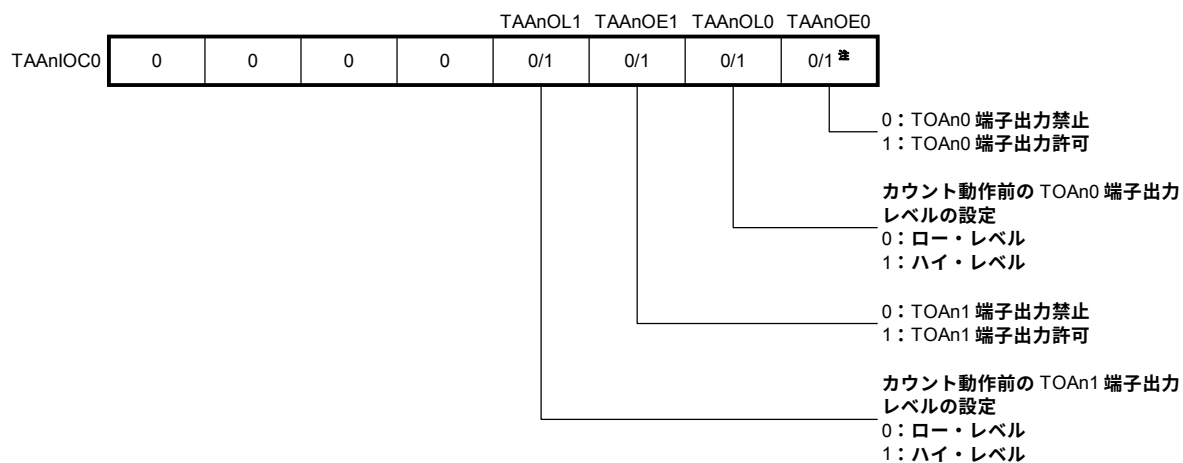
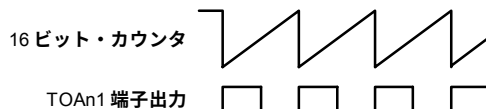
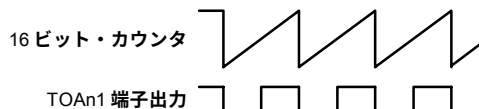
コンペアー一致割り込み要求信号 (INTTAAAnCC0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に 16 ビット・カウンタを 0000H にクリアします。コンペアー一致割り込み要求信号 (INTTAAAnCC1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRa レジスタに設定した値は、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致し、16 ビット・カウンタを 0000H にクリアするタイミングで CCRa バッファ・レジスタに転送されます。

備考 n = 0-5, a = 0, 1

★

図 13-20 PWM 出力モード動作時のレジスタ設定内容 (1/2)

(a) TAA_n 制御レジスタ 0 (TAA_nCTL0)(b) TAA_n 制御レジスタ 1 (TAA_nCTL1)(c) TAA_nI/O 制御レジスタ 0 (TAA_nIOC0)・ TAA_nOL1 ビット = 0 の場合・ TAA_nOL1 ビット = 1 の場合**注** PWM 出力モードで TOA_n0 端子を使用しない場合は“0”に設定してください。

★

図 13-20 PWM 出力モード動作時のレジスタ設定内容 (2/2)

- (d) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

- (e) TAA_n キャプチャ／コンペア・レジスタ 0, 1 (TAA_nCCR0, TAA_nCCR1)

TAA_nCCR0 レジスタに D₀ を設定し、TAA_nCCR1 レジスタに D₁ を設定した場合、

PWM 波形の周期 = (D₀ + 1) × カウント・クロック周期

PWM 波形のアクティブ・レベル幅 = D₁ × カウント・クロック周期

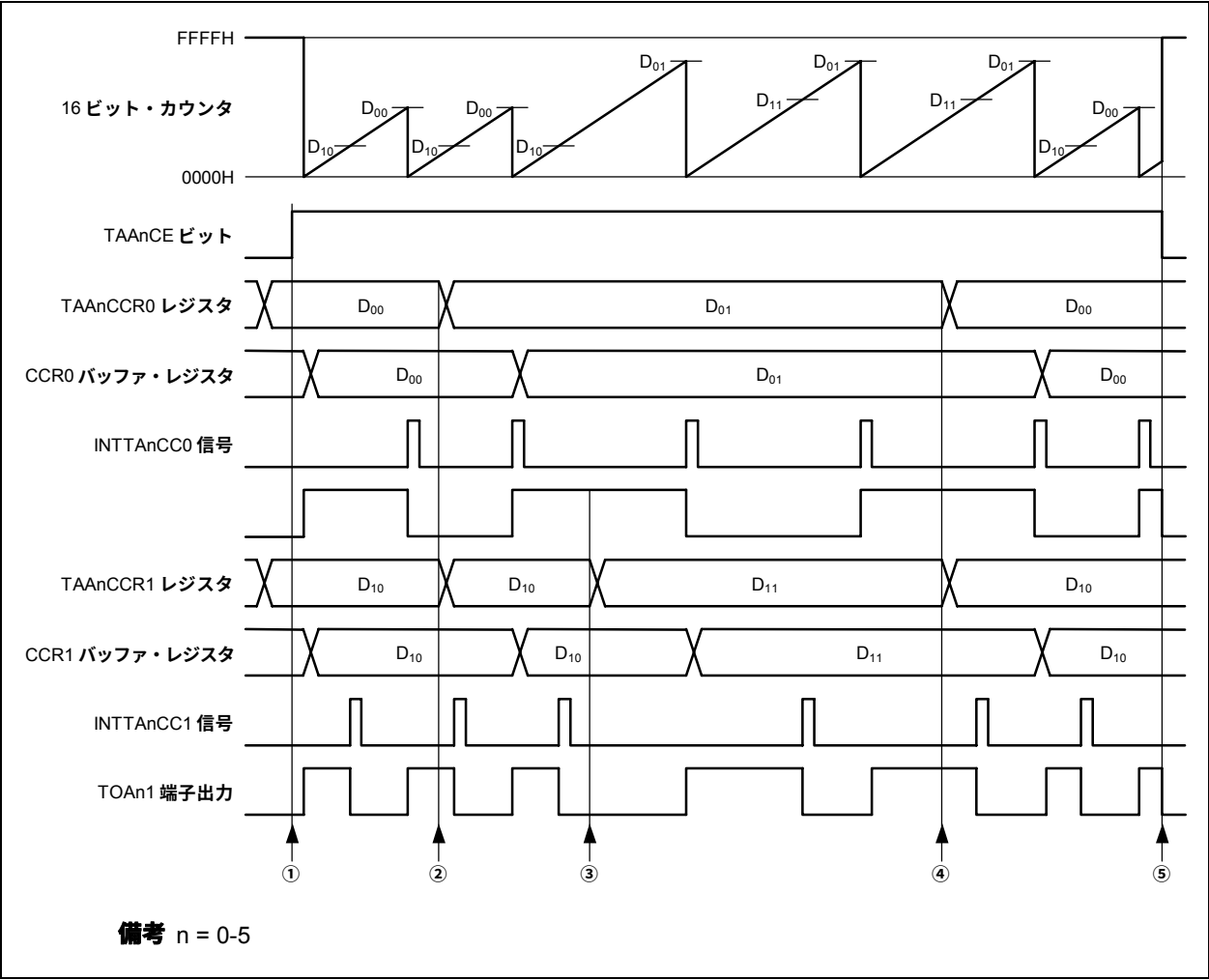
となります。

備考 1. TAA_nI/O 制御レジスタ 1 (TAA_nIOC1) , TAA_n オプション・レジスタ 0 (TAA_nOPT0) は、
PWM 出力モードでは使用しません。

2. n = 0-5

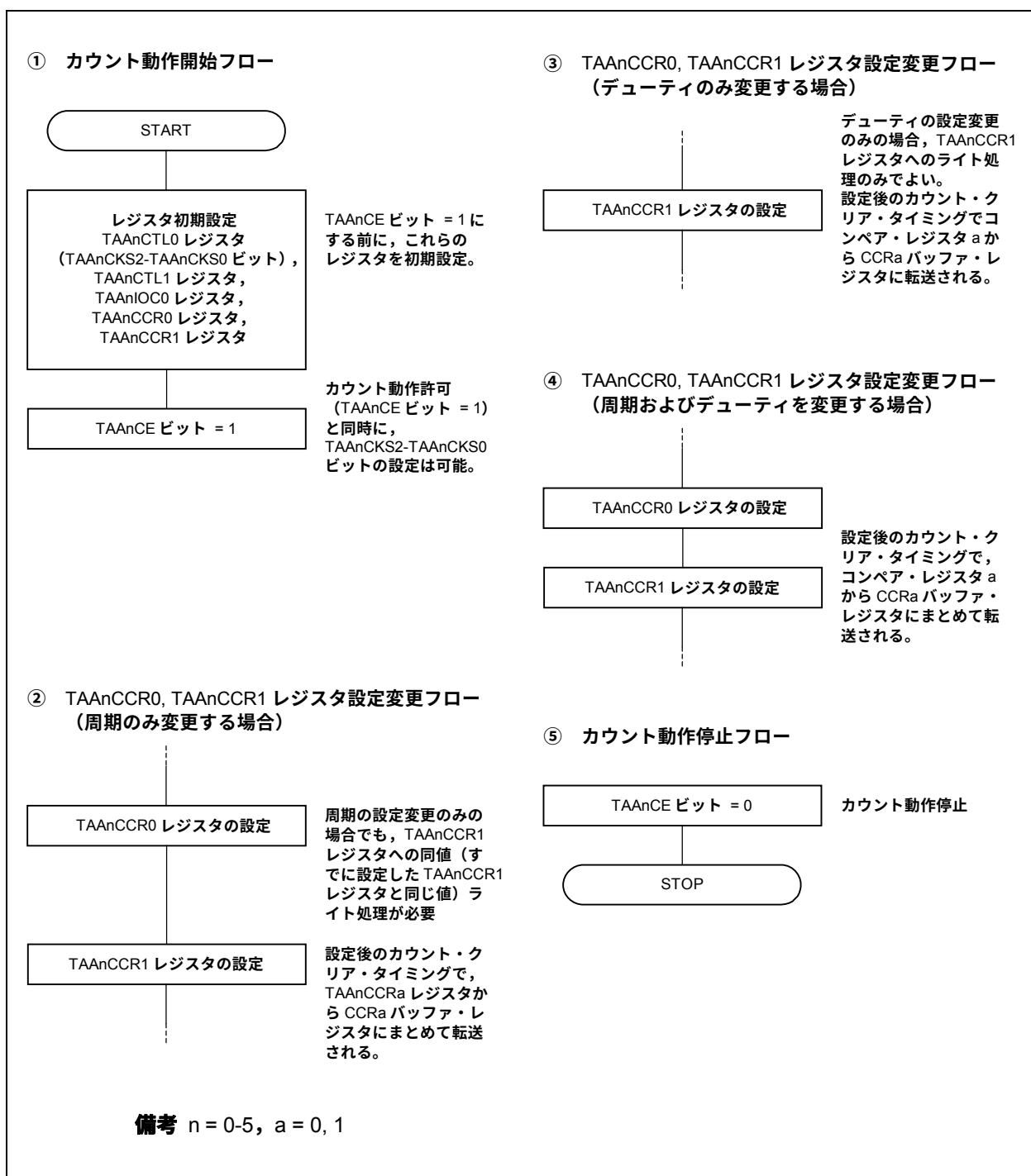
(1) PWM 出力モード動作フロー

図 13-21 PWM 出力モード使用時のソフトウェア処理フロー (1/2)



★

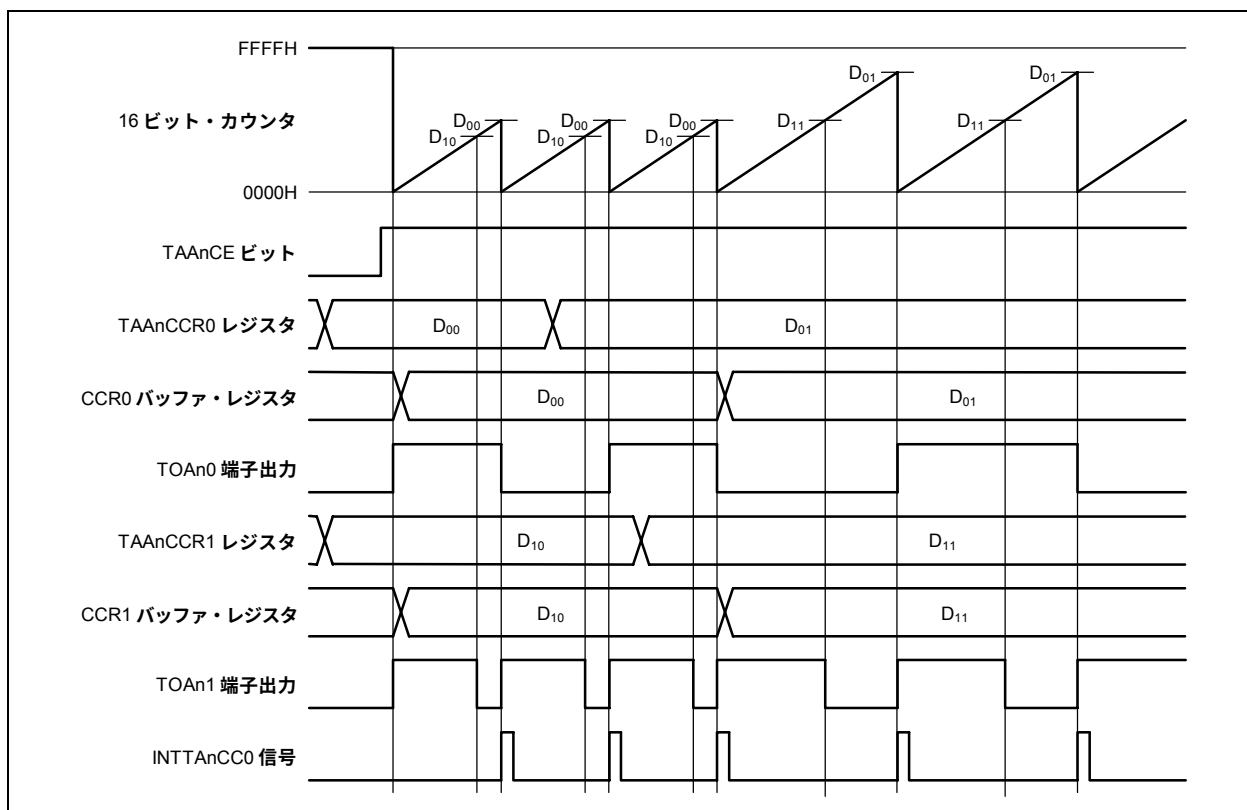
図 13-21 PWM 出力モード使用時のソフトウェア処理フロー (2/2)



(2) PWM 出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中に PWM 波形を変更する場合には、最後に TAAAnCCR1 レジスタにライトしてください。
TAAAnCCR1 レジスタにライト後、再度 TAAAnCCRa レジスタの書き換えを行う場合には、
INTTAAAnCC0 信号を検出後に書き換えてください。



TAAAnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1 レジスタに対してライトする必要があります。

このとき、PWM 波形の周期とアクティブ・レベル幅の両方を変更する場合には、まず TAAAnCCR0 レジスタに周期を設定し、そのあとで TAAAnCCR1 レジスタにアクティブ・レベル幅を設定してください。

PWM 波形の周期だけを変更する場合には、まず TAAAnCCR0 レジスタに周期を設定し、そのあとで TAAAnCCR1 レジスタに同値（すでに設定した TAAAnCCR1 レジスタと同じ値）をライトしてください。

PWM 波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1 レジスタのみの設定でかまいません。

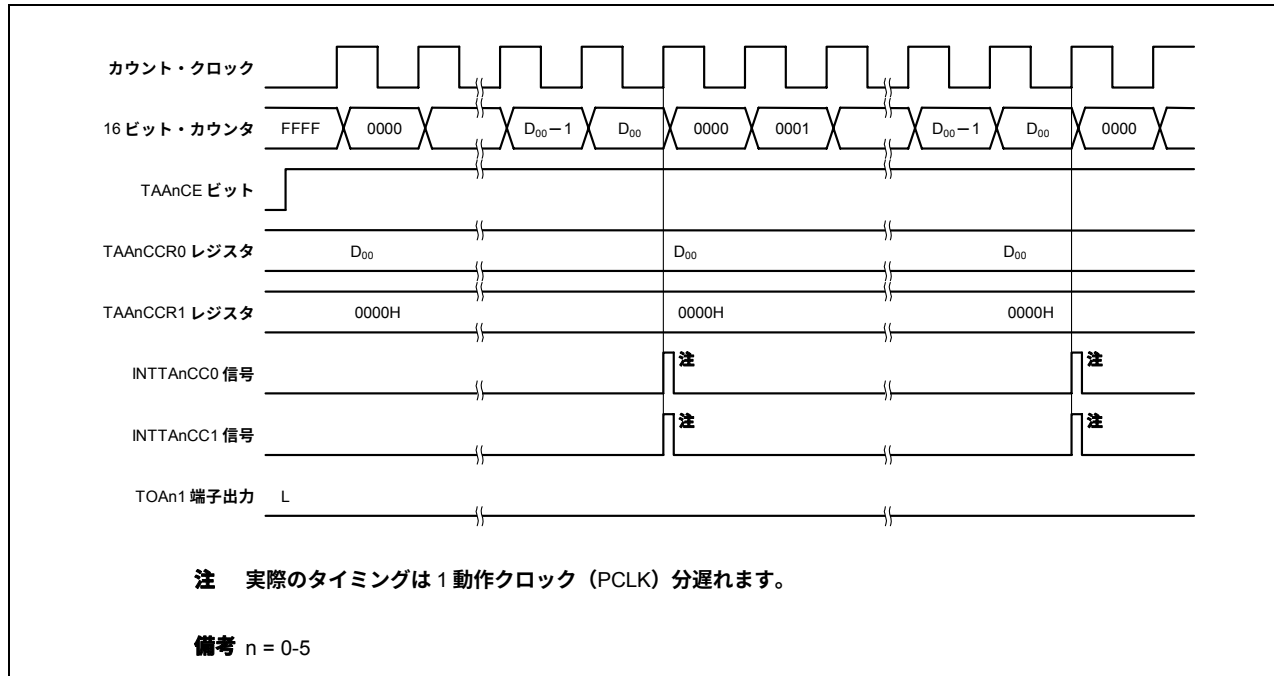
TAAAnCCR1 レジスタにライトしたあと、16 ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRa レジスタに書き込まれた値が CCRa バッファ・レジスタに転送され、16 ビット・カウンタとのコンペア値となります。

また、一度 TAAAnCCR1 レジスタにライトしたあとで、再度 TAAAnCCR0、または TAAAnCCR1 レジスタへのライトを行う場合は、INTTAAAnCC0 信号の発生後に行ってください。これを守れない場合には、TAAAnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送タイミングと、TAAAnCCRa レジスタの書き換えの競合により、CCRa バッファ・レジスタの値が不定値になる場合があります。

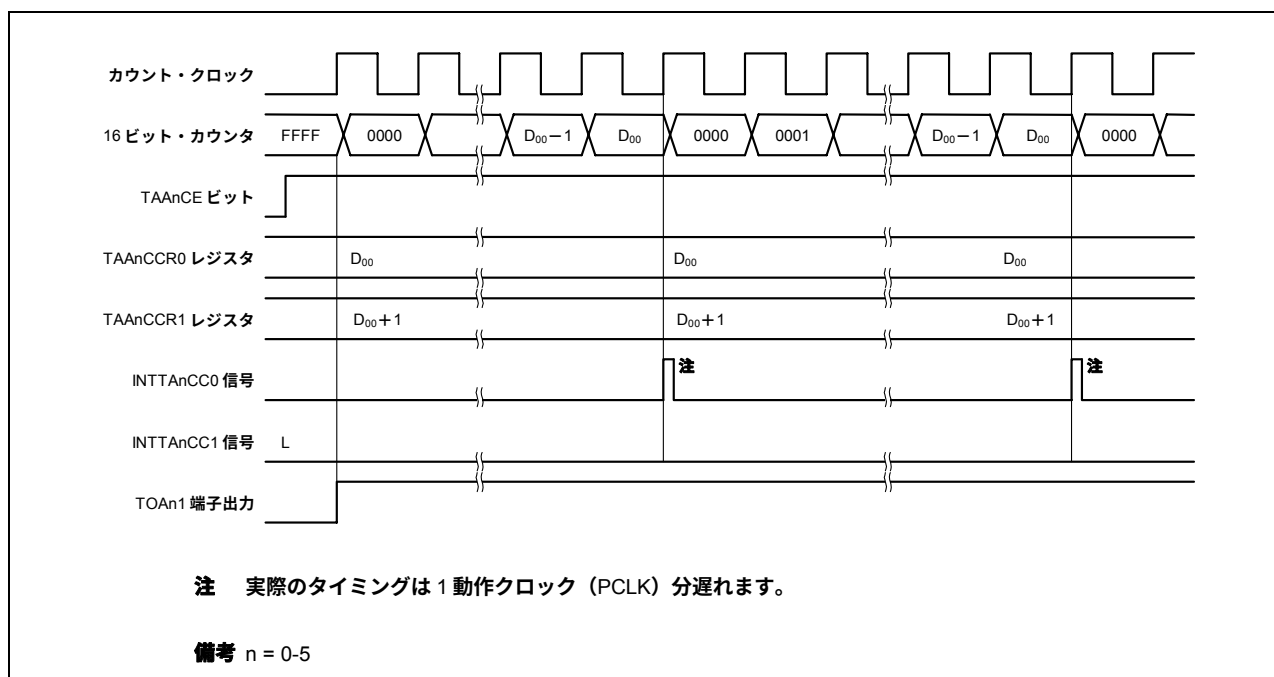
備考 n = 0-5, a = 0, 1

(b) PWM 波形の 0%／100%出力

0%波形を出力するためには、TAAAnCCR1 レジスタに対して 0000H を設定します。16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致した次のタイミングで 16 ビット・カウンタは 0000H にクリアされ、INTTAnCC0 信号と INTTAnCC1 信号が発生します。

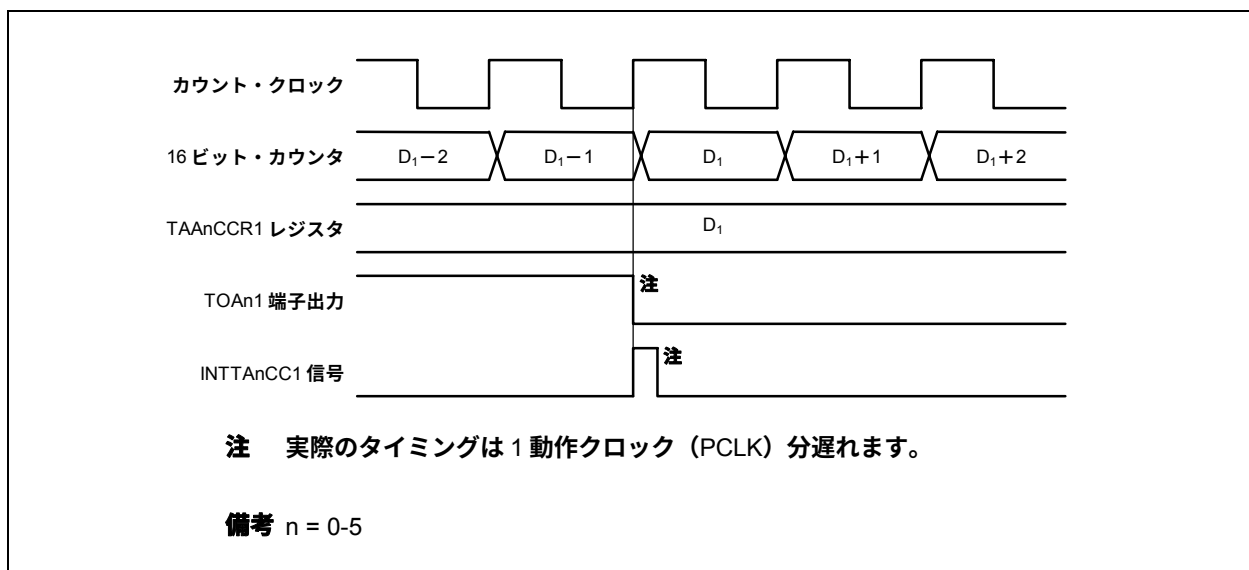


100%波形を出力するためには、TAAAnCCR1 レジスタに対して (TAAAnCCR0 レジスタの設定値+1) の値を設定してください。TAAAnCCR0 レジスタの設定値が FFFFH の場合には、100%出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

PWM 出力モードにおける INTTAnCC1 信号の発生タイミングは、ほかのモードの INTTAnCC1 信号と異なり、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTAnCC1 信号は、16 ビット・カウンタのカウント値と TAAAnCCR1 レジスタの値との一致後、次のカウント・アップに同期して発生します。

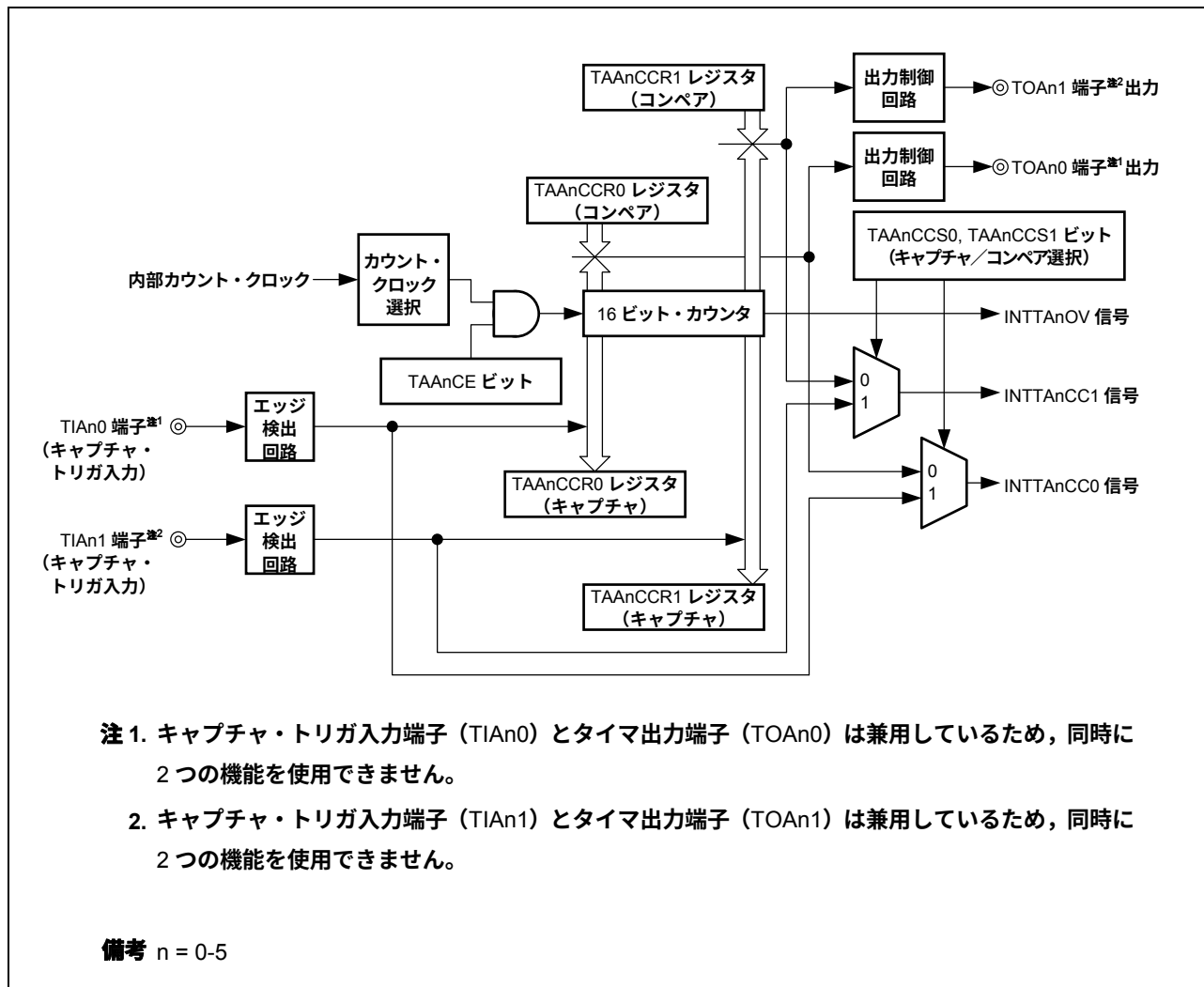
しかし、PWM 出力モードの場合、1 クロック早いタイミングで発生します。これは、TOAn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

13.6.5 フリー・ランニング・タイマ・モード (TAA_nMD2-TAA_nMD0 ビット = 101)

フリー・ランニング・タイマ・モードは、TAA_nCTL0.TAA_nCE ビットをセット (1) することでカウント動作を開始します。このときの TAA_nCCR0, TAA_nCCR1 レジスタの動作は、TAA_nOPT0.TAA_nCCS0, TAA_nCCS1 ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

★

図 13-22 フリー・ランニング・タイマ・モードの構成図



・コンペア動作

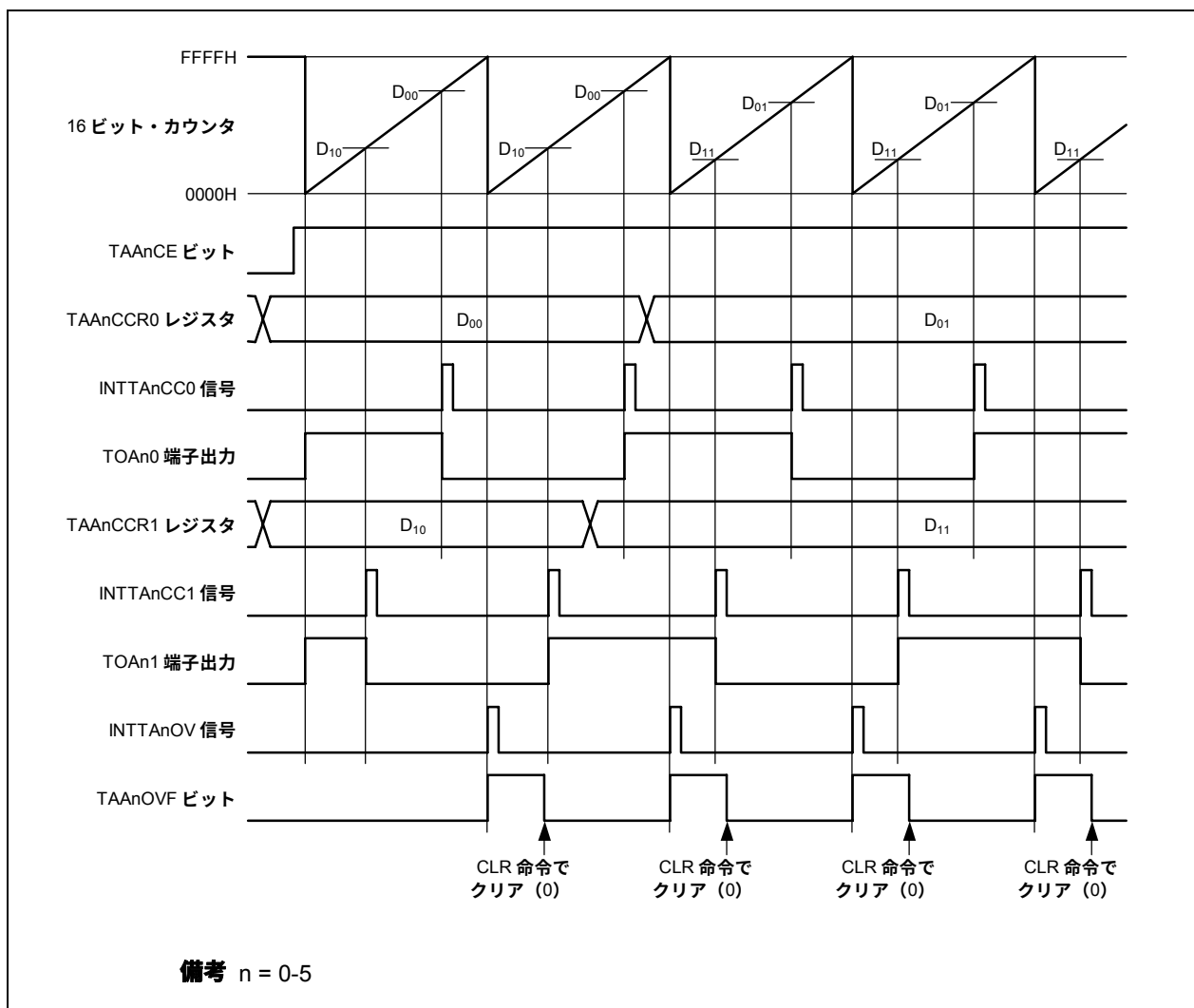
TAAAnCE ビットをセット (1) することで、カウント動作を開始し、TOAna 端子出力を反転します。その後、16 ビット・カウンタのカウント値と TAAAnCCRa レジスタの設定値が一致すると、コンペアー一致割り込み要求信号 (INTTAnCCa) を発生し、TOAna 端子出力を反転します。

16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTAnOV) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ

(TAAAnOPT0.TAAAnOVF ビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されているのを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

TAAAnCCRa レジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図 13-23 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



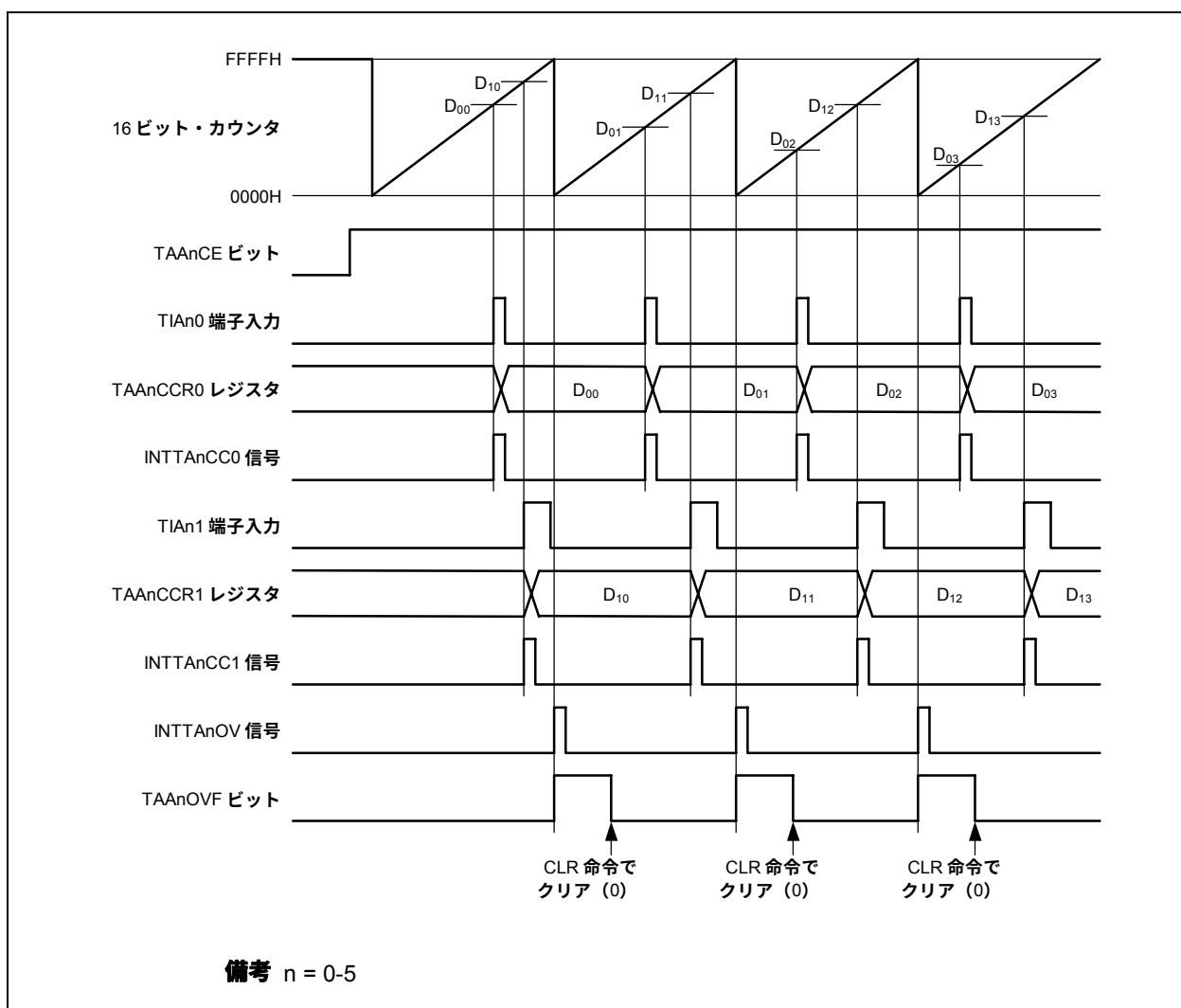
・キャプチャ動作

TAAAnCE ビットをセット (1) することで、カウント動作を開始します。その後、TIAAn₀ 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TAAAnCCR_a レジスタに格納し、キャプチャ割り込み要求信号 (INTTAAAnCC_a) を発生します。

16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTAAAnOV) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ

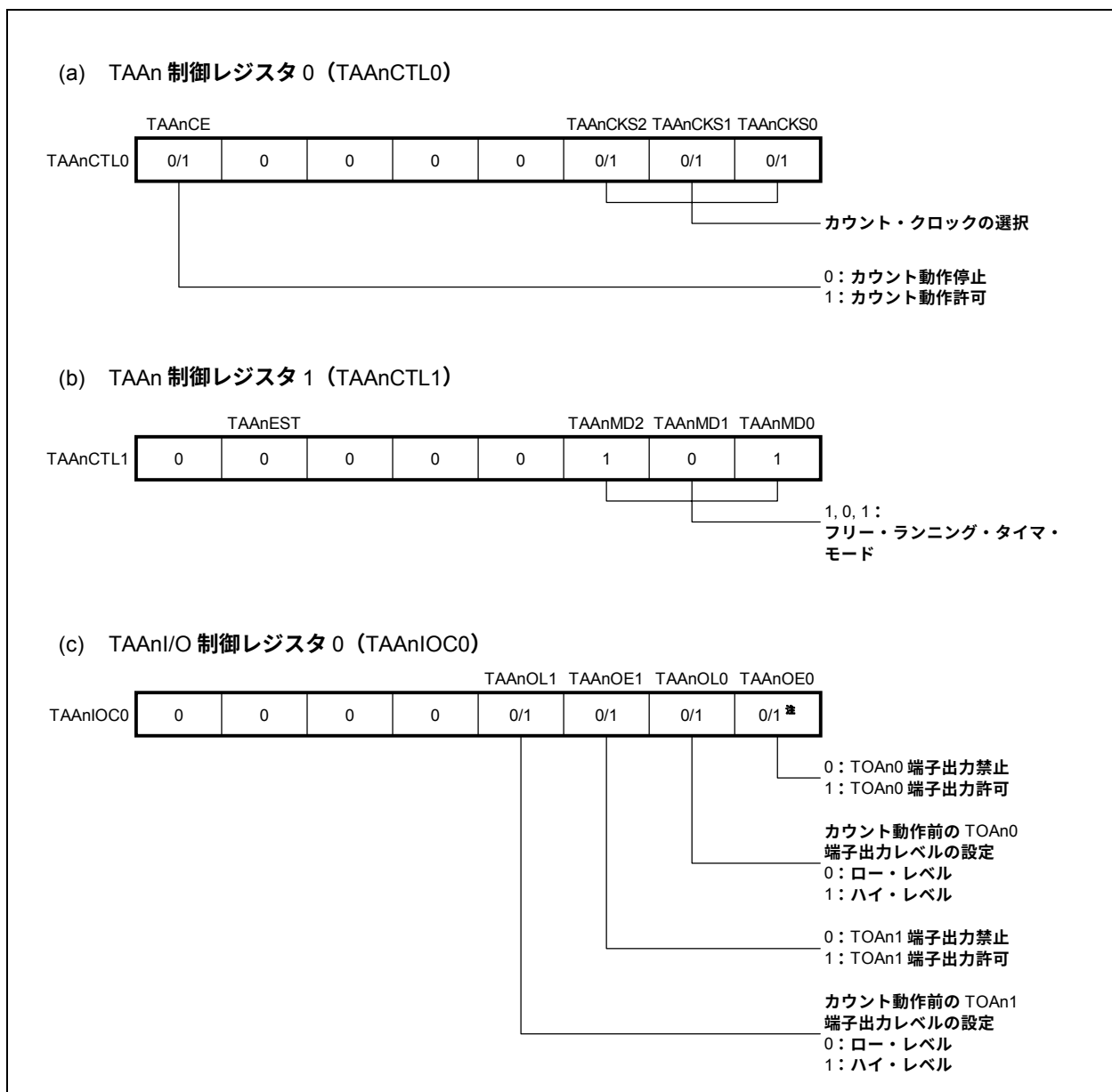
(TAAAnOPT0.TAAAnOVF ビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

図 13-24 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)



★

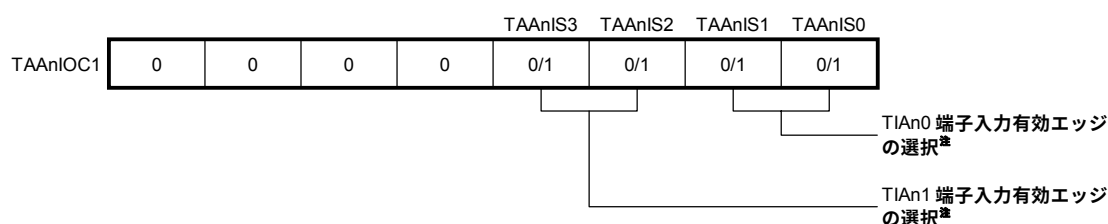
図 13-25 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/2)



★

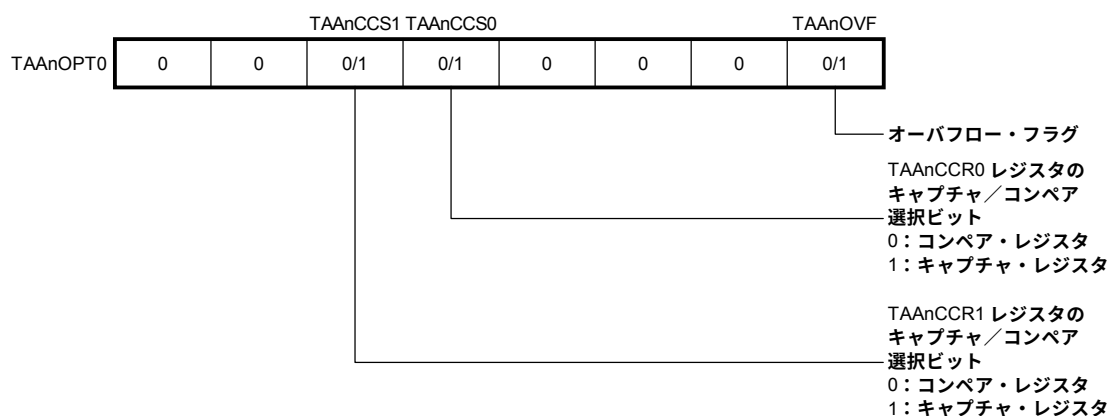
図 13-25 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TAAIn/O 制御レジスタ 1 (TAAInIOC1)



注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(e) TAA_n オプション・レジスタ 0 (TAA_nOPT0)



(f) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAAncNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(g) TAAn キャプチャ／コンペア・レジスタ 0, 1 (TAAncCR0, TAAncCR1)

TAAOPT0.TAAncCSa ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIA_{na} 端子入力の有効エッジ検出により、16 ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TAA_nCCR_a レジスタに D_a を設定した場合、カウンタが (D_a+1) になるタイミングで INTTAA_nCC_a 信号を発生し、TOAn0、TOAn1 端子出力を反転します。

備考 $n = 0-5, a = 0, 1$

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

図 13-26 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

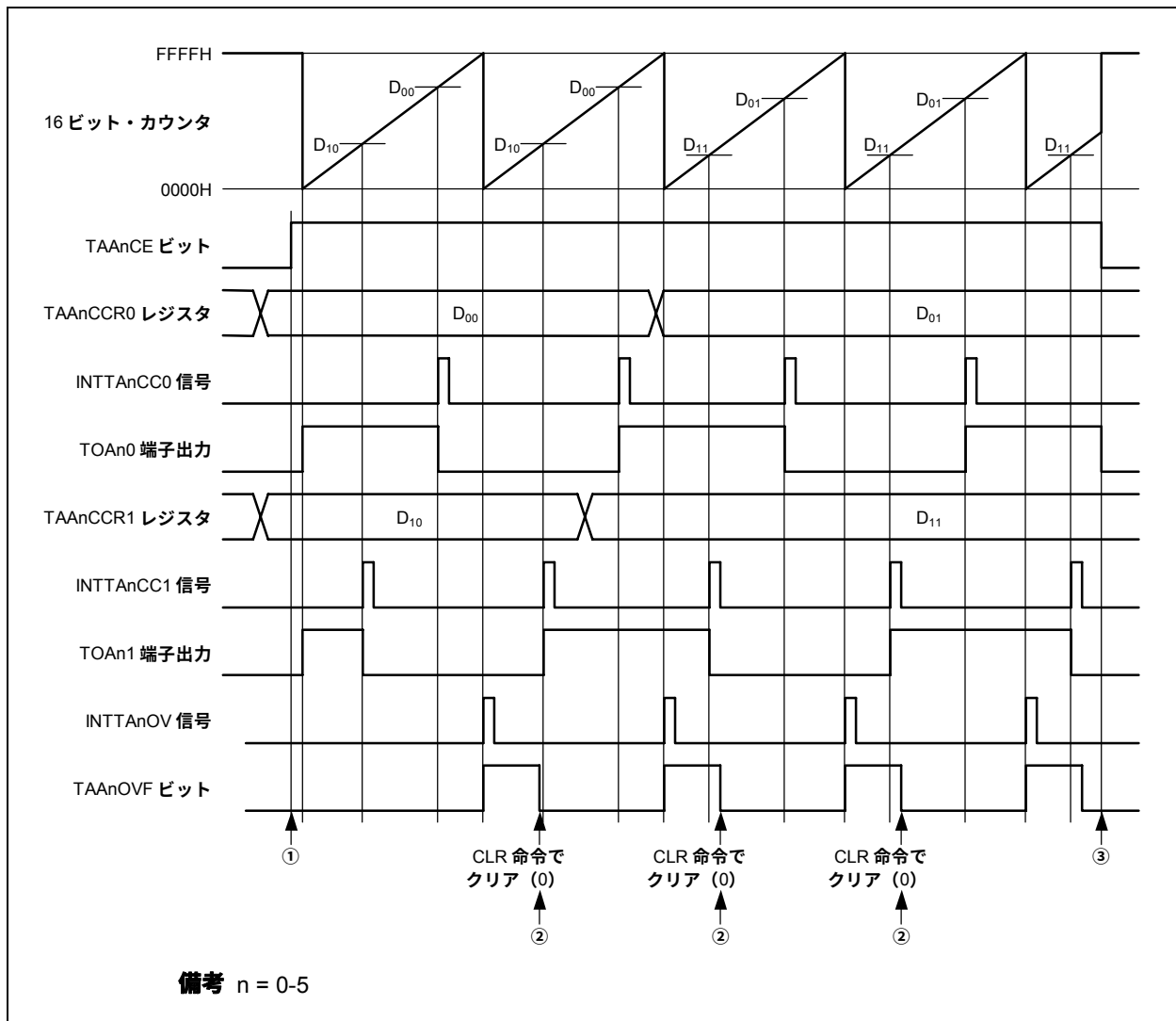
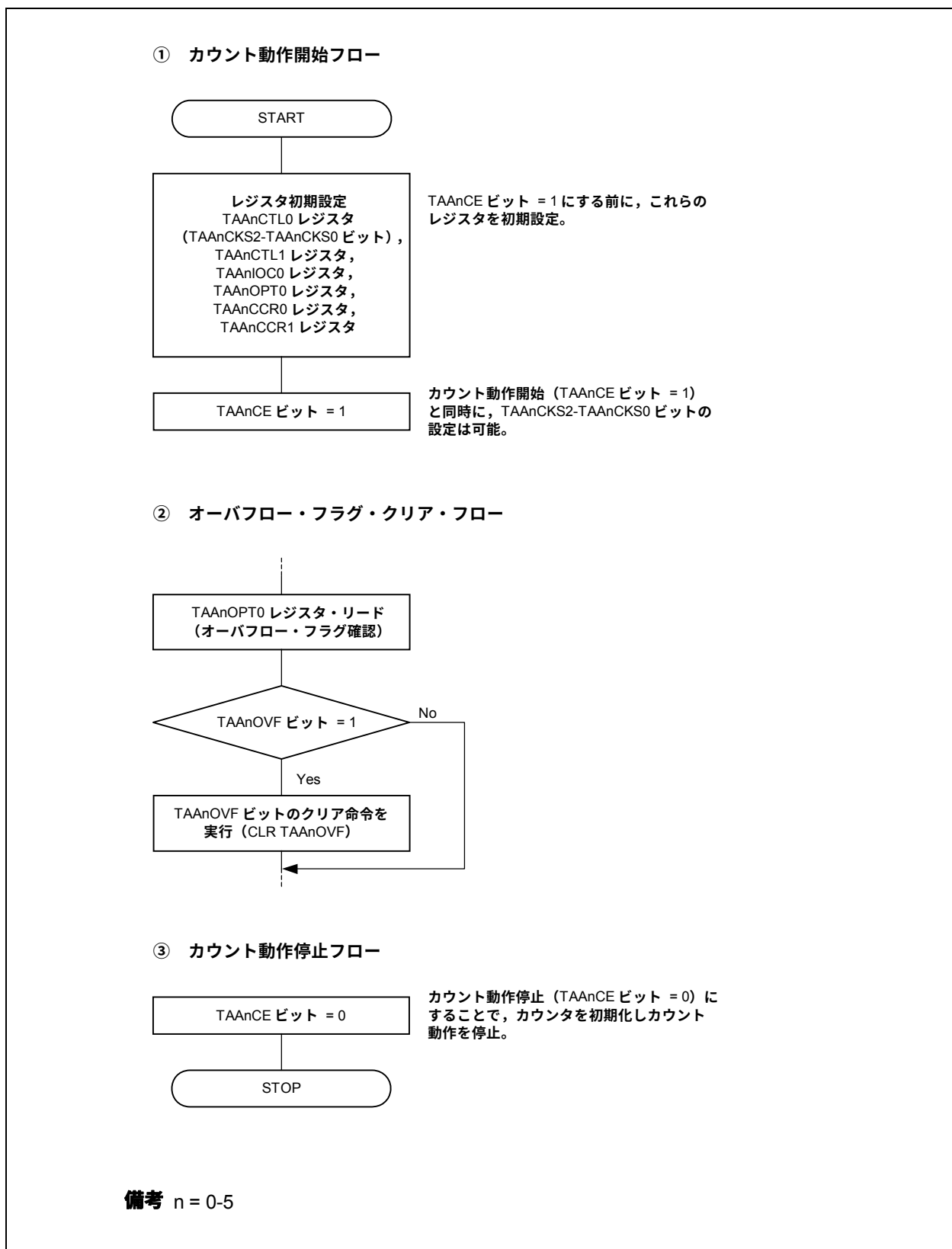


図 13-26 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ／コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図 13-27 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (1/2)

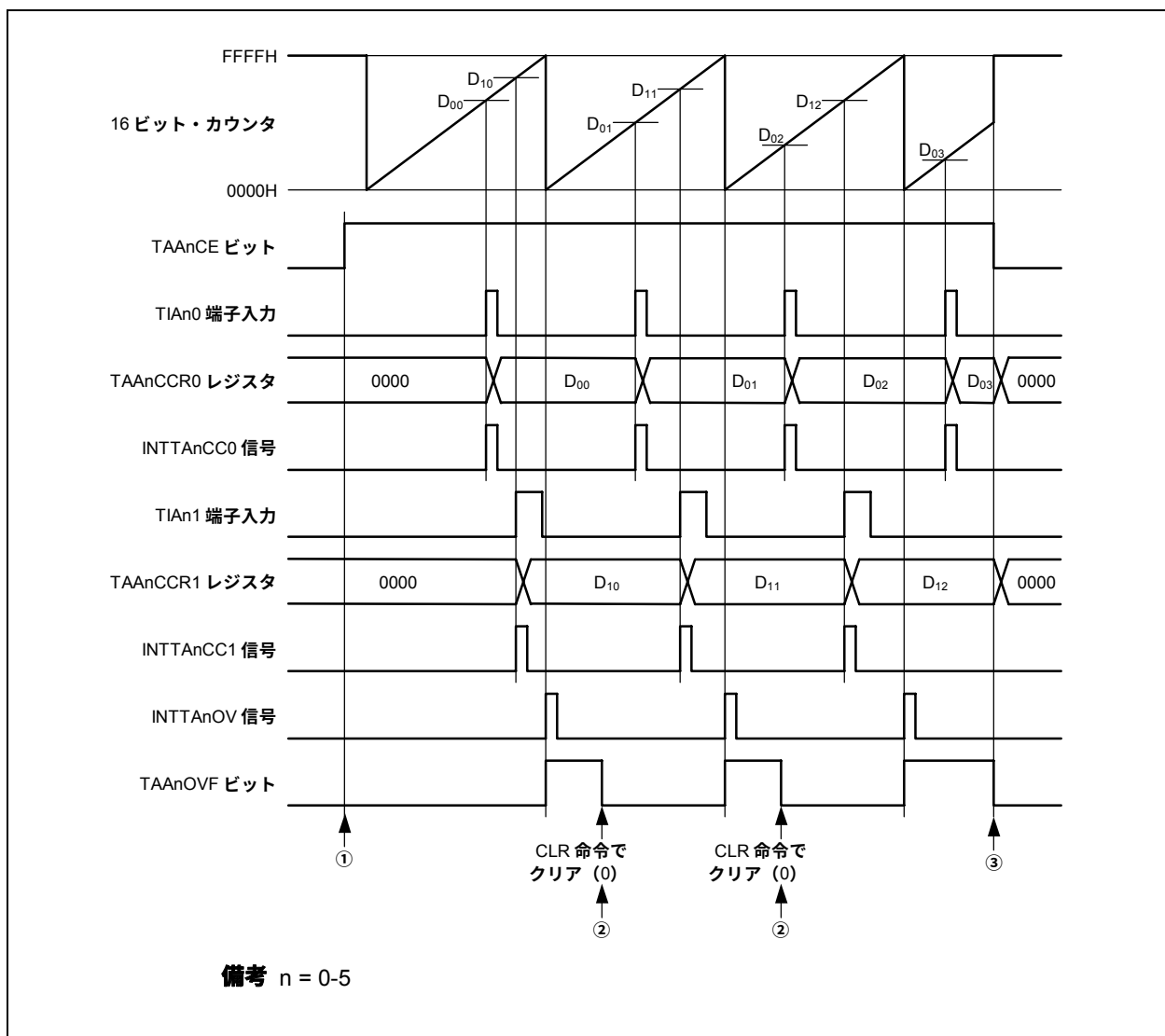
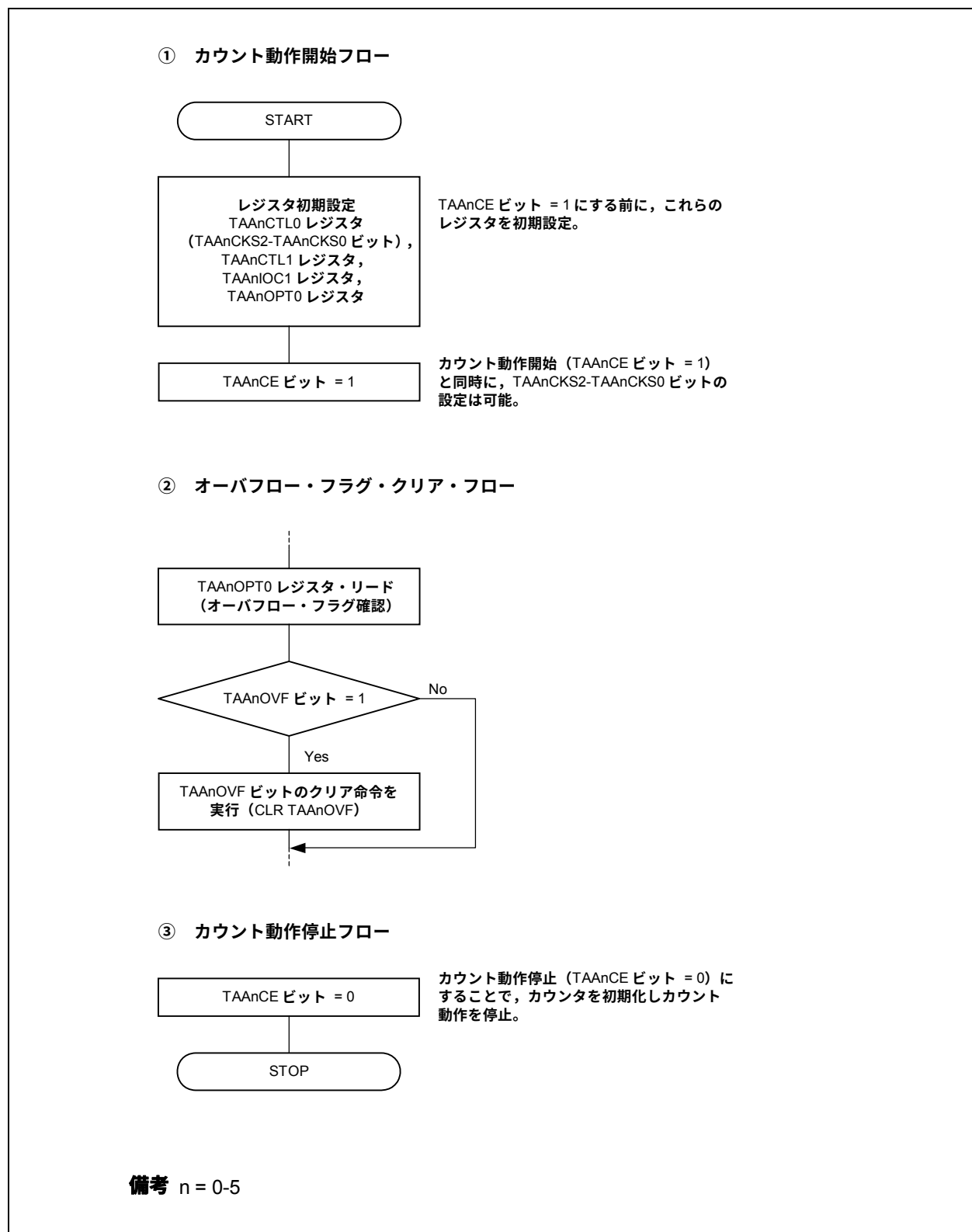


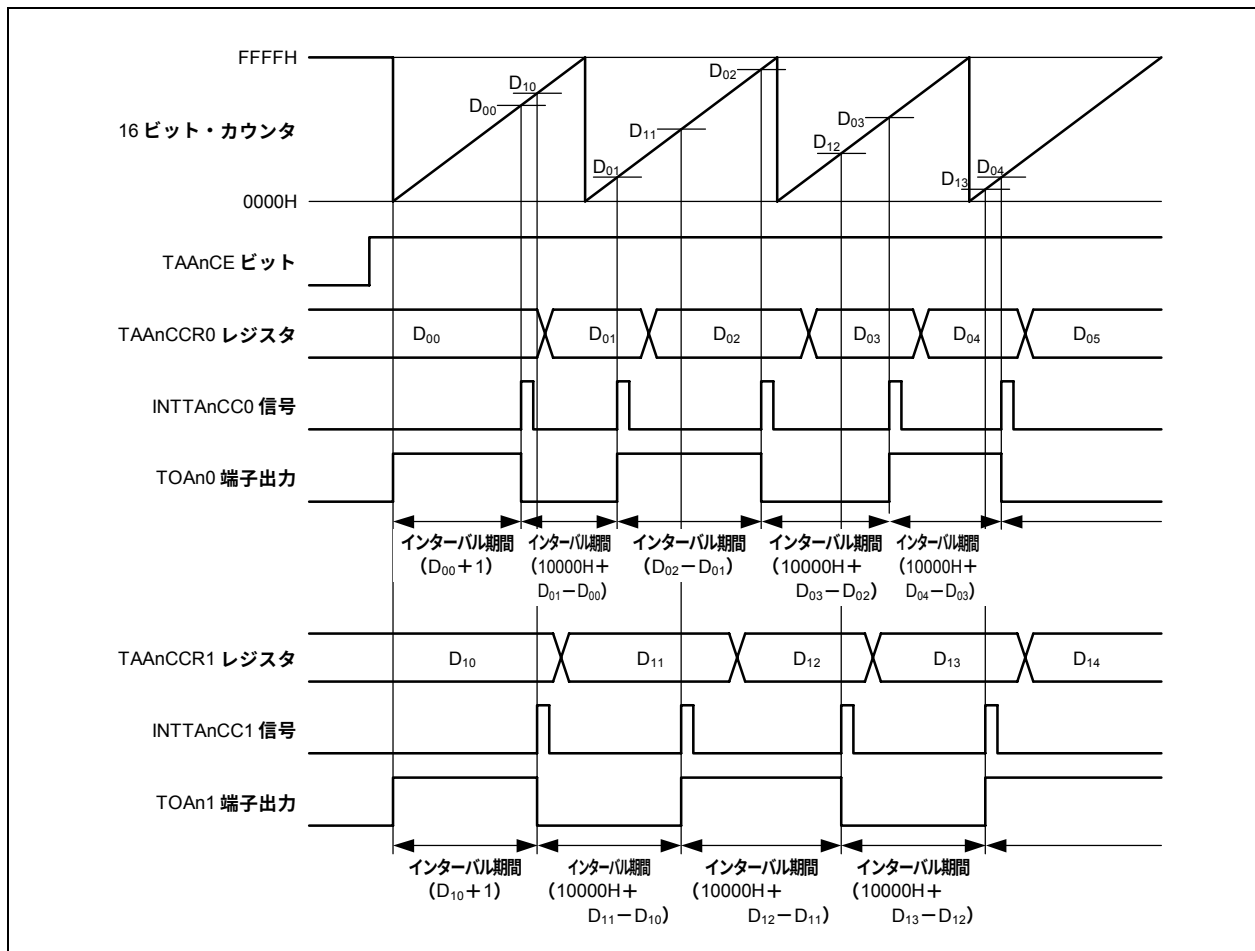
図 13-27 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCRa レジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAnCCa 信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAnCCa 信号を検出したときの割り込み処理中に、対応する TAAAnCCRa レジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_a - 1$

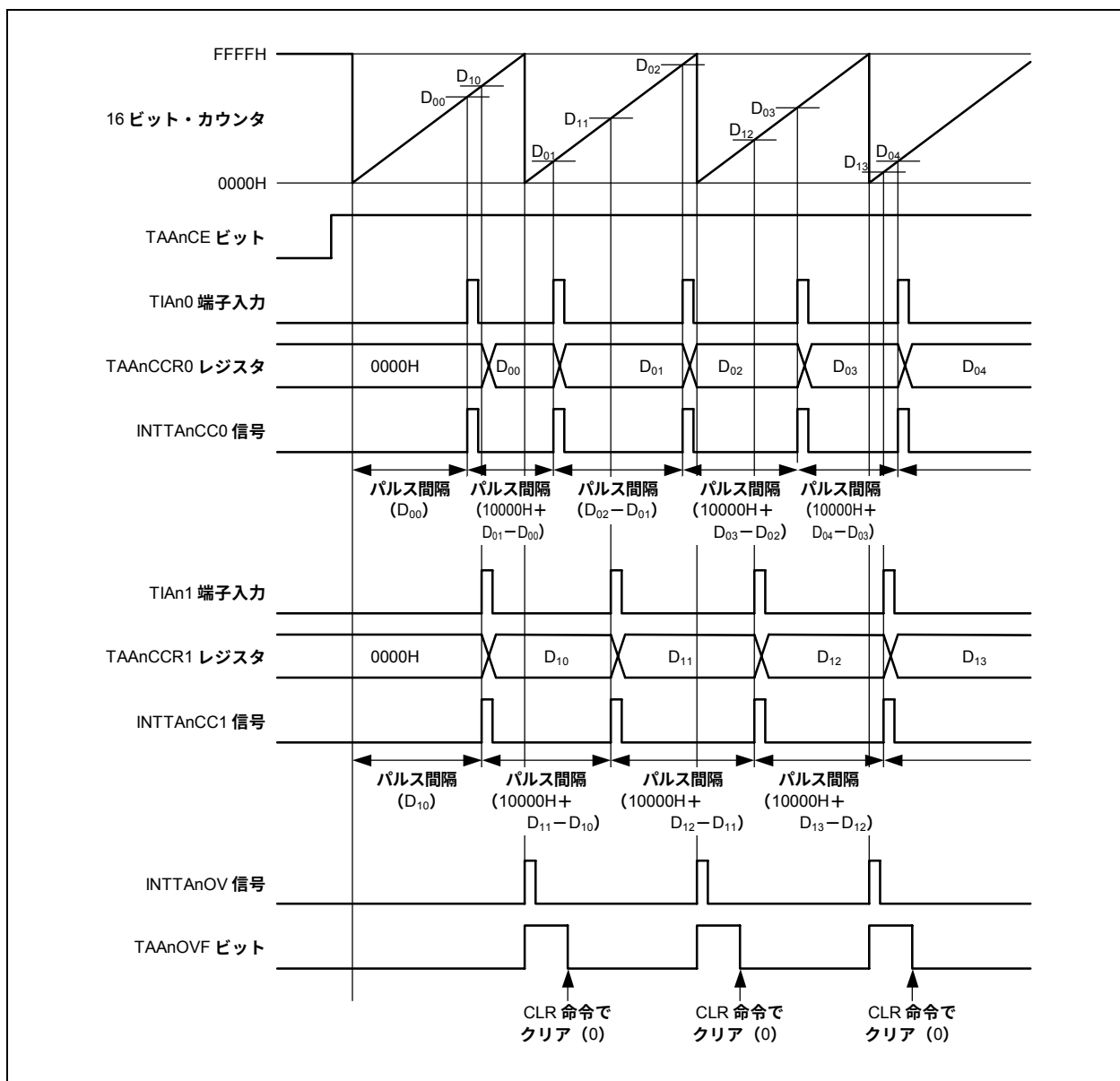
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果が FFFFH よりも大きい場合には、演算結果から 10000H を引いた値を設定してください)

備考 $n = 0-5, a = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAAAnCCRa レジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTAnCCa 信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1 チャンネルで 2 つのパルス幅測定ができます。

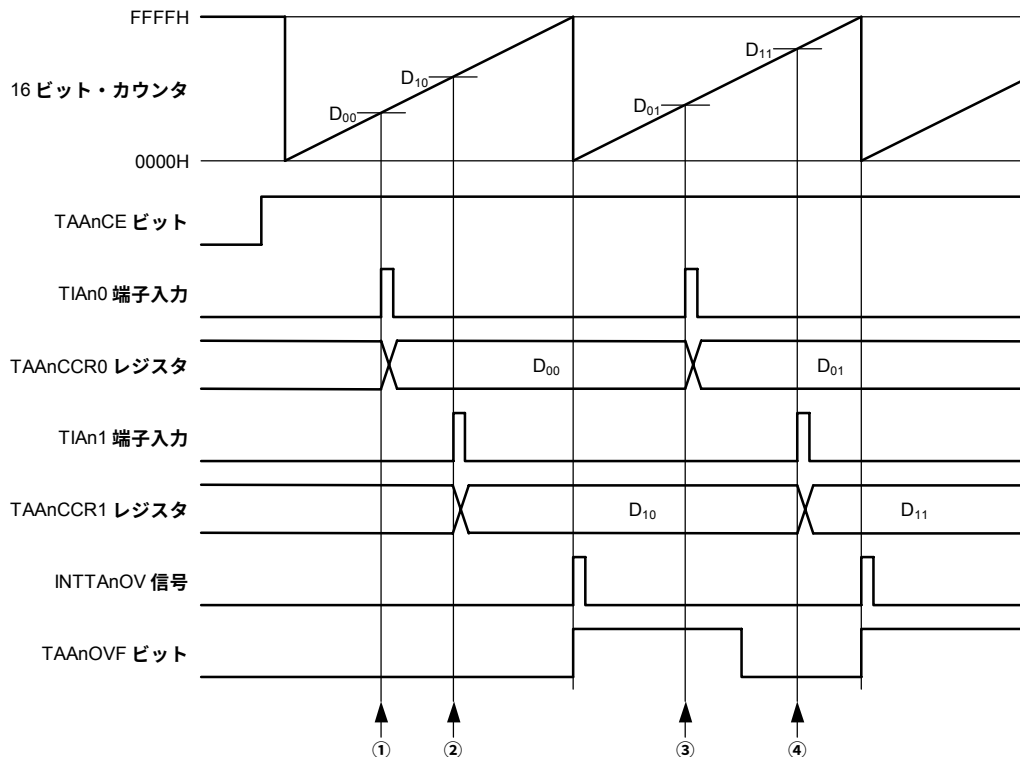
パルス幅測定を行う場合、INTTAnCCa 信号に同期して TAAAnCCRa レジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 $n = 0-5$, $a = 0, 1$

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

- ① TAAAnCCR0 レジスタをリードする (TIAAn0 端子入力の初期値設定)。
- ② TAAAnCCR1 レジスタをリードする (TIAAn1 端子入力の初期値設定)。
- ③ TAAAnCCR0 レジスタをリードする。

オーバーフロー・フラグをリードする。→オーバーフロー・フラグが“1”だった場合、クリア (0) する。
オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

- ④ TAAAnCCR1 レジスタをリードする。

オーバーフロー・フラグをリードする。→③でクリア (0) されているため、0 がリードされます。
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

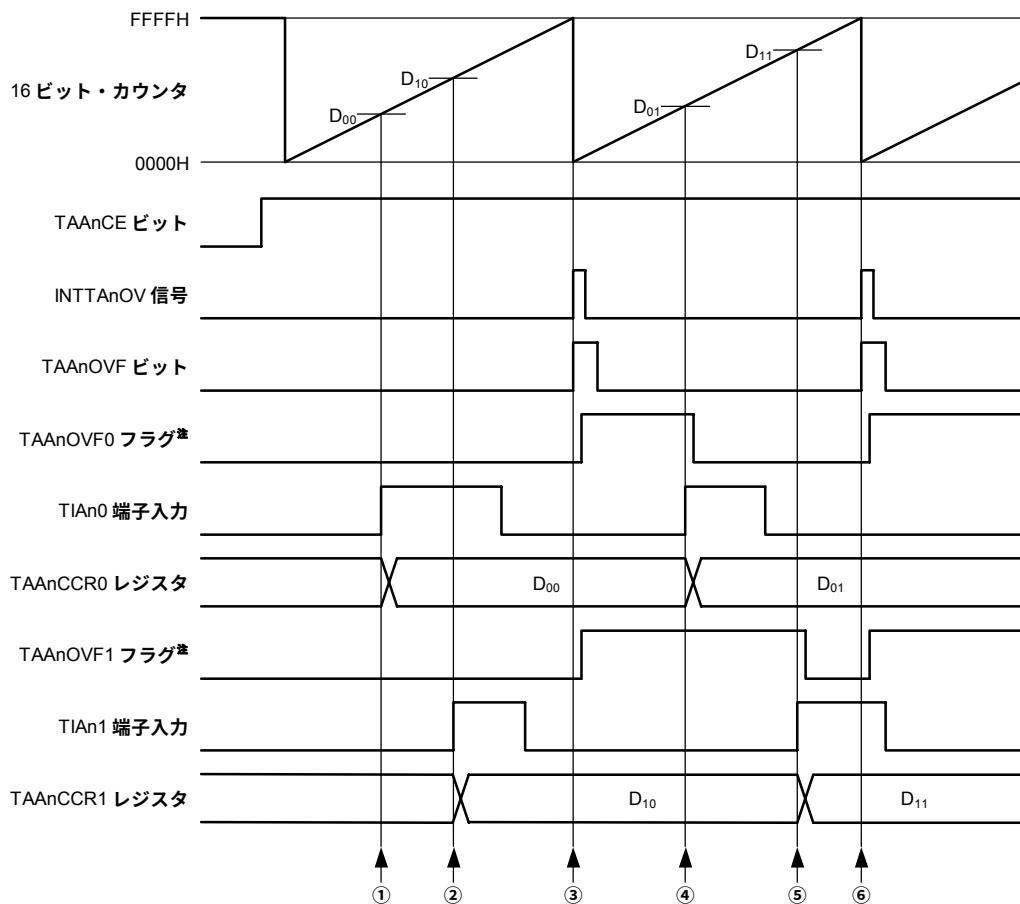
備考 n = 0-5

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア (0) してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

(1/2)

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用）



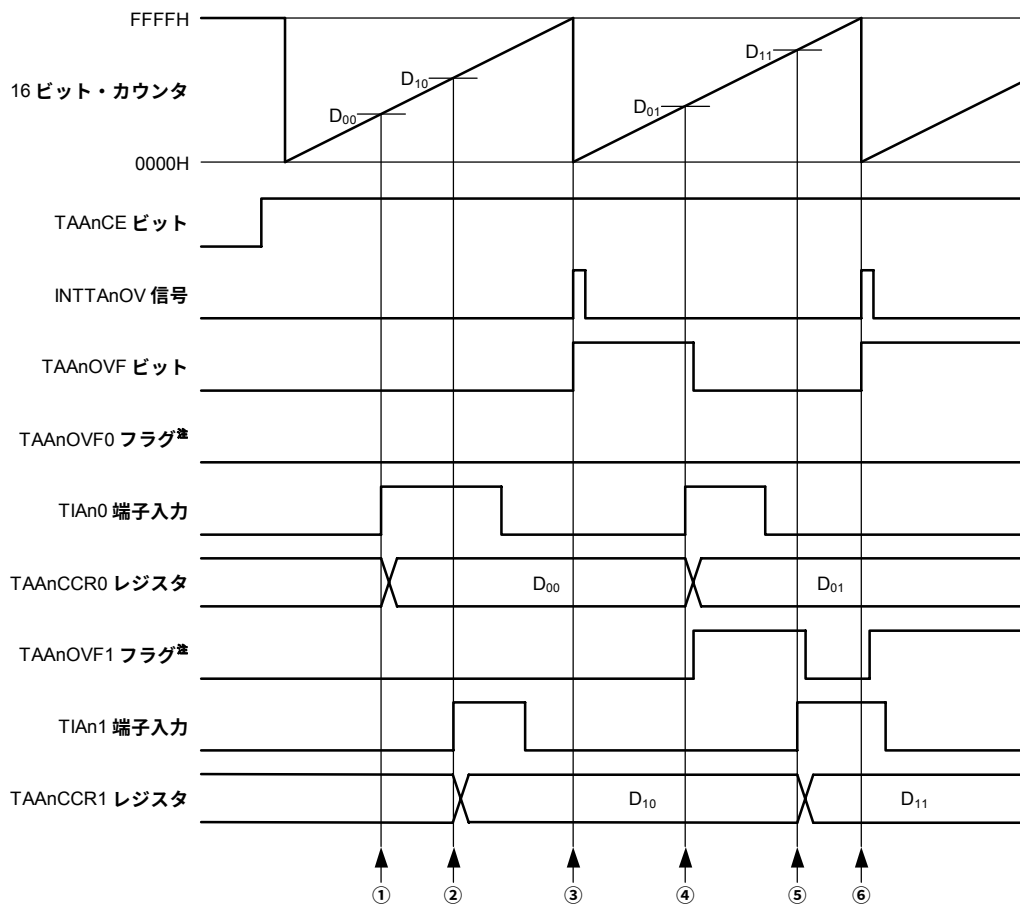
注 TAAAnOVF0, TAAAnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

- ① TAAAnCCR0 レジスタをリードする（TIA0 端子入力の初期値設定）。
- ② TAAAnCCR1 レジスタをリードする（TIA1 端子入力の初期値設定）。
- ③ オーバフローが発生する。オーバーフロー割り込み処理の中で、TAAAnOVF0, TAAAnOVF1 フラグをセット（1）し、オーバーフロー・フラグをクリア（0）する。
- ④ TAAAnCCR0 レジスタをリードする。
TAAAnOVF0 フラグをリードする。→TAAAnOVF0 フラグが“1”だった場合、クリア（0）する。
TAAAnOVF0 フラグが“1”なので、パルス幅は（10000H+D₀₁-D₀₀）で求められます。
- ⑤ TAAAnCCR1 レジスタをリードする。
TAAAnOVF1 フラグをリードする。→TAAAnOVF1 フラグが“1”だった場合、クリア（0）する（④でクリア（0）されたのは TAAAnOVF0 フラグであり、TAAAnOVF1 フラグは“1”のまま）。
TAAAnOVF1 フラグが“1”なので、パルス幅は（10000H+D₁₁-D₁₀）で求められます（OK）。
- ⑥ ③と同じです。

備考 n = 0-5

(2/2)

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TAAAnOVF0, TAAAnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

① TAAAnCCR0 レジスタをリードする（TIAAn0 端子入力の初期値設定）。

② TAAAnCCR1 レジスタをリードする（TIAAn1 端子入力の初期値設定）。

③ オーバフローが発生する。ソフトウェアでは何もしない。

④ TAAAnCCR0 レジスタをリードする。

オーバーフロー・フラグをリードする。→オーバーフロー・フラグが“1”だった場合、TAAAnOVF1 フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

⑤ TAAAnCCR1 レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは④でクリア（0）されているので“0”がリードされる。

TAAAnOVF1 フラグをリードする。→TAAAnOVF1 フラグが“1”だった場合、クリア（0）する。

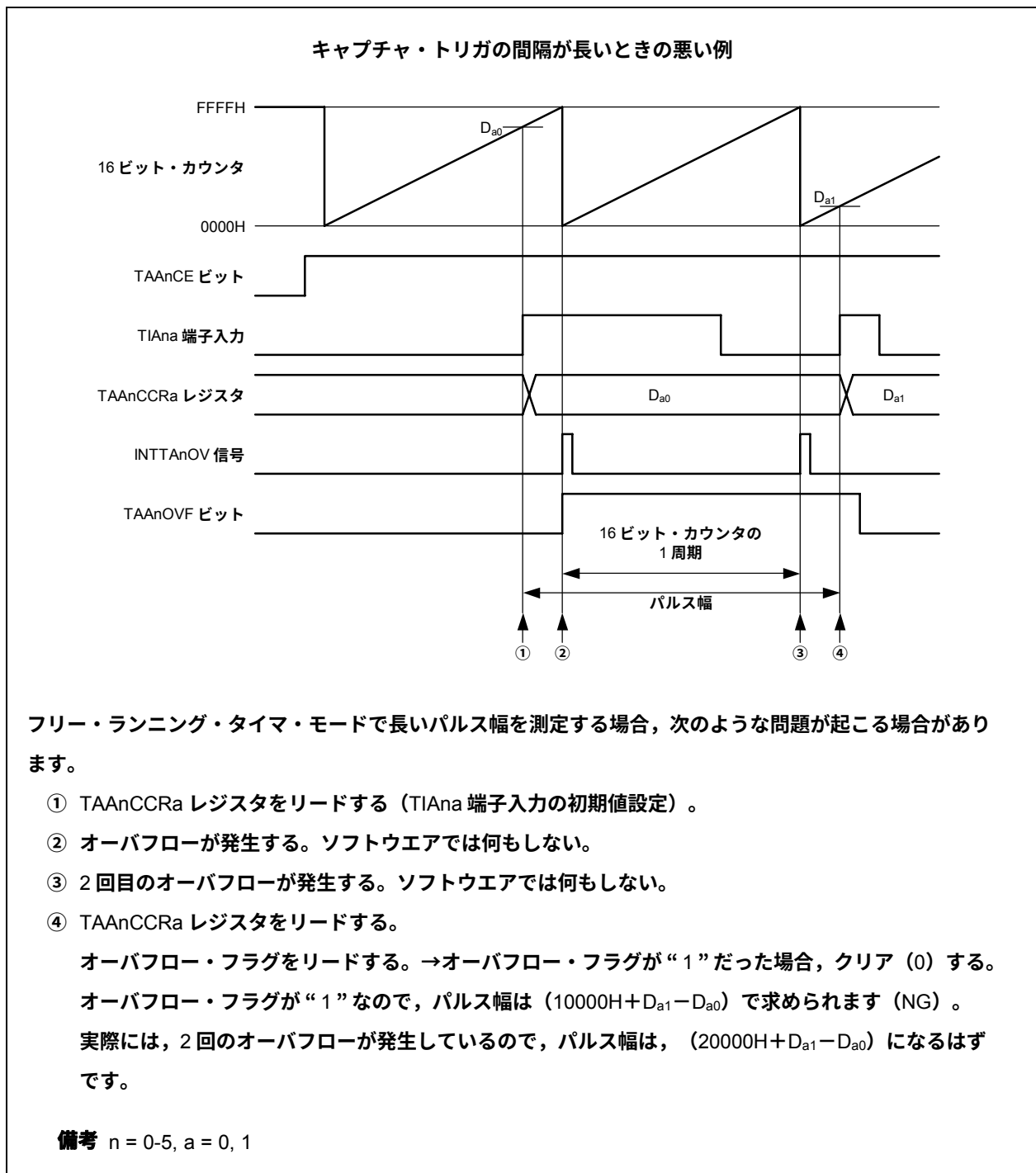
TAAAnOVF1 フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます（OK）。

⑥ ③と同じです。

備考 n = 0-5

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

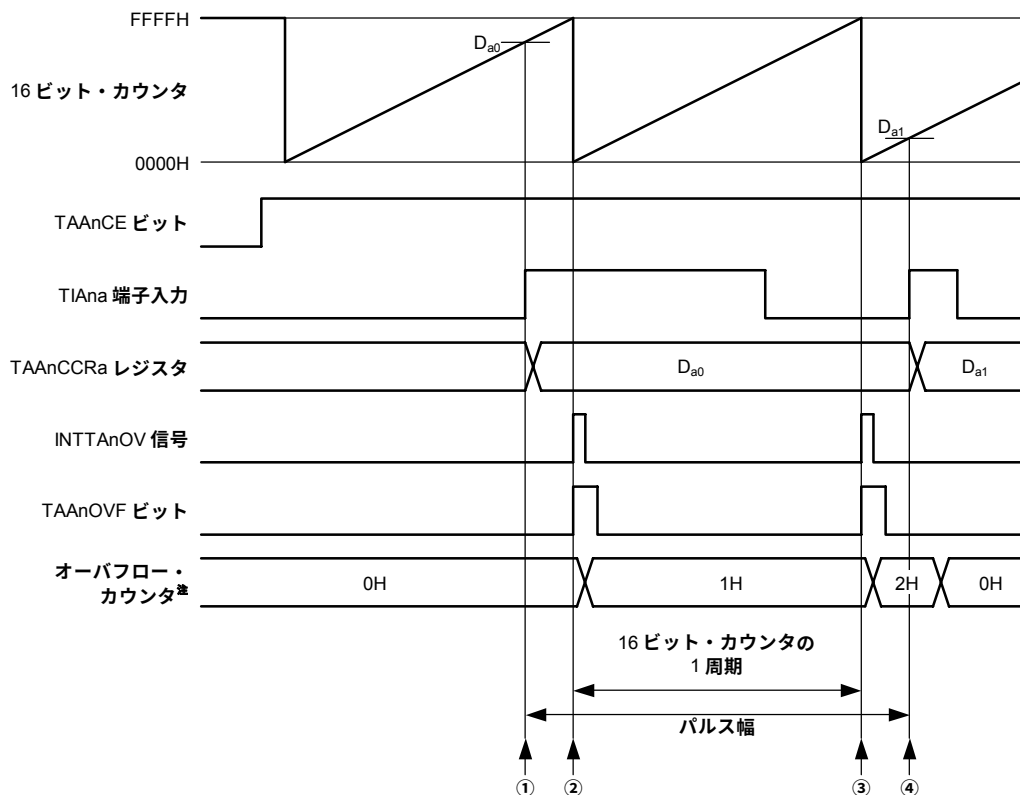
パルス幅が 16 ビット・カウンタの 1 周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが 2 回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2 回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして 16 ビット・カウンタの 1 周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

- ① TAAAnCCRa レジスタをリードする (TIAAnA 端子入力の初期値設定)。
- ② オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。
- ③ 2 回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。
- ④ TAAAnCCRa レジスタをリードする。

オーバフロー・カウンタをリードする。

→オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + Da1 - Da0)$ で求められる。

この例では、2 回のオーバフローが発生しているので、パルス幅は、 $(20000H + Da1 - Da0)$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 $n = 0-5, a = 0, 1$

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TAAAnOVF ビット = 1 をリードしたあとに TAAAnOVF ビットを CLR 命令でクリア (0) する方法と、TAAAnOVF ビット = 1 をリードしたあとに TAAAnOPT0 レジスタに 8 ビット・データ (ビット 0 は“0”) をライトする方法があります。

13.6.6 パルス幅測定モード (TAA_nMD2-TAA_nMD0 ビット = 110)

パルス幅測定モードは、TAA_nCTL0.TAA_nCE ビットをセット(1)することでカウント動作を開始し、TIA_na 端子入力の有効エッジを検出するごとに、16 ビット・カウンタのカウント値を TAA_nCCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアします。

キャプチャ割り込み要求信号 (INTTAA_nCCa) が発生したあと、TAA_nCCRa レジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図 13-29 のような場合は、キャプチャ・トリガ入力端子として TIA_n0, TIA_n1 端子のいずれか 1 本を使用し、使用しない端子は TAA_nIOC1 レジスタで“エッジ検出なし”に設定してください。

図 13-28 パルス幅測定モードの構成図

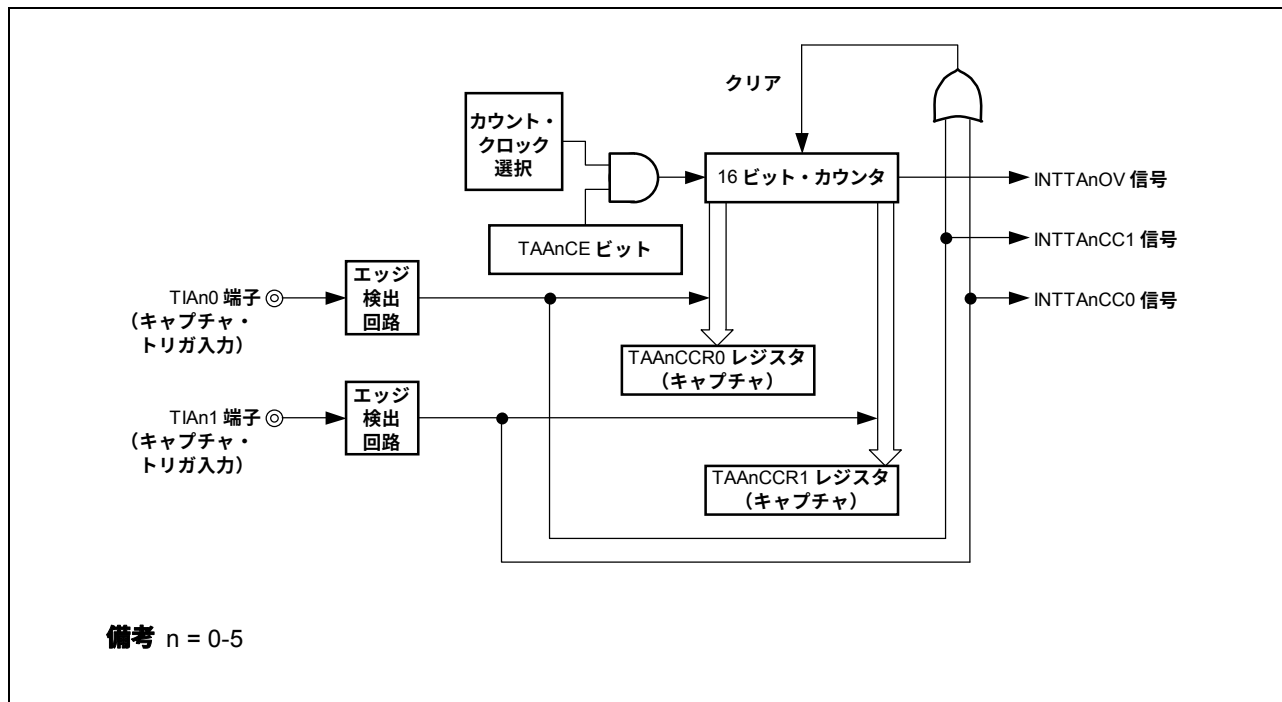
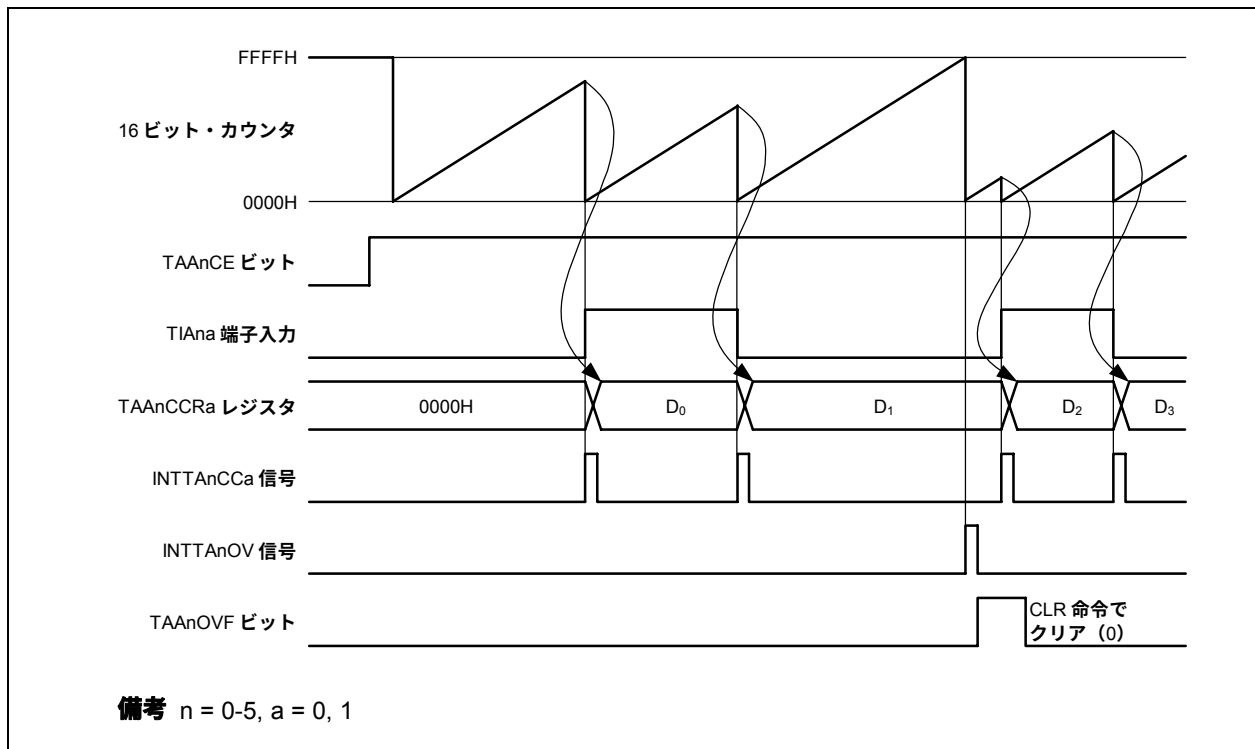


図 13-29 パルス幅測定モードの基本タイミング



TAAnCE ビットをセット (1) することで、カウント動作を開始します。その後、TIAAna 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TAAAnCCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアし、キャプチャ割り込み要求信号 (INTTAAAnCCa) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

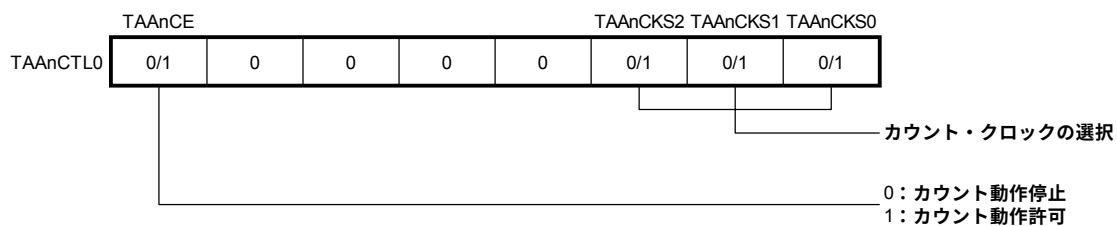
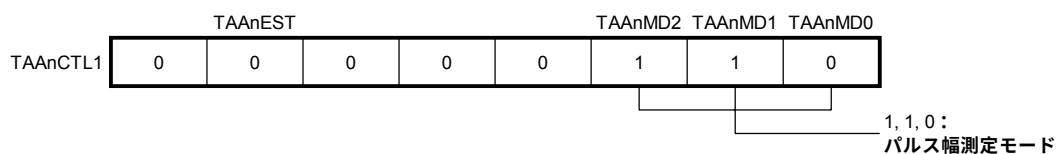
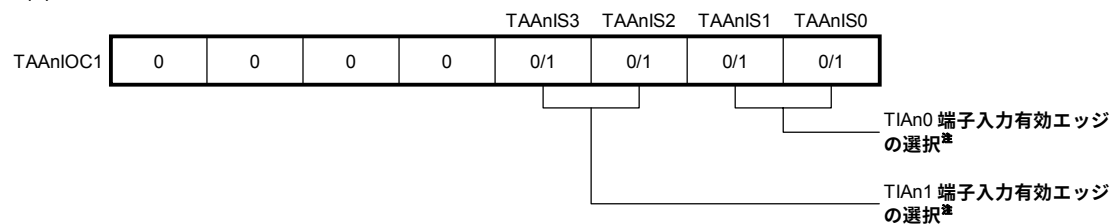
16 ビット・カウンタが FFFFH までカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTAAAnOV) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TAAAnOPT0.TAAAnOVF ビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアで CLR 命令を実行してクリア (0) してください。

オーバフロー・フラグがセット (1) された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000H \times \text{TAAAnOVF ビットがセット (1) された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-5, a = 0, 1

図 13-30 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TAA_n 制御レジスタ 0 (TAA_nCTL0)(b) TAA_n 制御レジスタ 1 (TAA_nCTL1)(c) TAA_nI/O 制御レジスタ 1 (TAA_nIOC1)

注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

図 13-30 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TAA_n オプション・レジスタ 0 (TAA_nOPT0)

TAA_nOPT0

TAA _n CCS1		TAA _n CCS0						TAA _n OVF
0	0	0	0	0	0	0	0/1	

オーバーフロー・フラグ

(e) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)
TAA_nCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

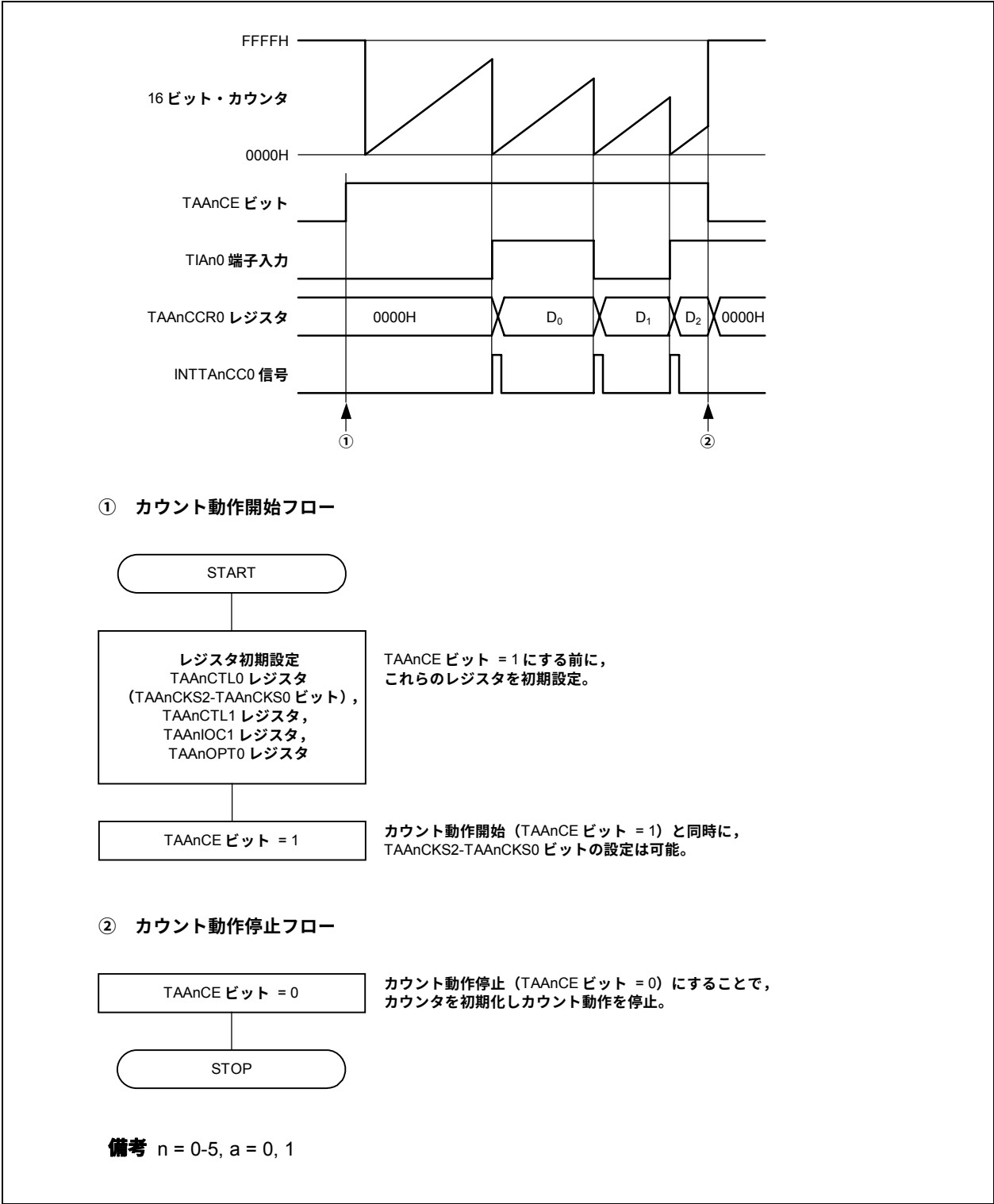
(f) TAA_n キャプチャ／コンペア・レジスタ 0, 1 (TAA_nCCR0, TAA_nCCR1)
TIA_n0, TIA_n1 端子入力の有効エッジ検出により、16 ビット・カウンタのカウント値を格納します。

備考 1. パルス幅測定モードでは、TAA_nI/O 制御レジスタ 0 (TAA_nIOC0) は使用しません。

2. n = 0-5

(1) パルス幅測定モード動作フロー

図 13-31 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TAA_nOVF ビット = 1 をリードしたあとに TAA_nOVF ビットを CLR 命令でクリア (0) する方法と、TAA_nOVF ビット = 1 をリードしたあとに TAA_nOPT0 レジスタに 8 ビット・データ (ビット 0 は “0”) をライトする方法があります。

13.7 注意事項

(1) 外部入力信号の注意事項

★

16 ビット・タイマ／カウンタ AA (TAA) の外部入力信号 (TIA_n0, TIA_n1) は、TAA_n 制御レジスタ 0 (TAA_nCTL0) の TAA_nCKS2-TAA_nCKS0 ビットが 000b のときのクロックでサンプリングされます。

有効な信号として入力するためには、ハイ・レベル幅、ロー・レベル幅とも、このサンプリング・クロックの 3 クロック以上の幅が必要です。

また、これらの入力はノイズ・フィルタを経由し、ノイズ・フィルタ段数を 0×HCLK に設定した場合でも HCLK に対する同期化が行われるため、ハイ・レベル幅、ロー・レベル幅とも、システム・バス・クロック (HCLK) の 2 クロック以上の幅が必要です。ノイズ・フィルタの段数を 0×HCLK 以外に設定している場合は、設定に応じたハイ・レベル幅、ロー・レベル幅が必要です。

表 13-9 の +10ns は、この論理的に必要な幅に加えたマージンです。

表 13-9 TIA_n0, TIA_n1 入力の最小ハイ・レベル幅、ロー・レベル幅

項 目	TIA _n 0, TIA _n 1 入力の最小ハイ・レベル幅、ロー・レベル幅 (ns)
ノイズ・フィルタによる条件	(設定除去クロック数+1) / PCLK+10
16 ビット・タイマ／カウンタ AA (TAA) のサンプリング・クロックによる条件	(TAA _n CKS2-TAA _n CKS0 = 000b 時に選択されるクロックの 3 周期) +10

★

(2) 16 ビット・タイマ／カウンタ AA (TAA) から発生する割り込み信号について

内部の割り込みコントローラや、DMA コントローラとの同期化のため、16 ビット・タイマ／カウンタ AA (TAA) から発生する割り込み信号のパルス幅の拡張を行っています。このため 16 ビット・タイマ／カウンタ AA (TAA) から発生する同一の割り込み信号の間隔が、16 ビット・タイマ／カウンタ AA (TAA) 入力クロック (TAACLK: PCLK または OSCCLK) の 4 クロック以下場合は、正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには、TAA_nCTL0 レジスタの TAA_nCKS2-TAA_nCKS0 ビットで、入力クロック／8 以上 (TAA0, TAA2, TAA4 は 011 以上, TAA1, TAA3, TAA5 は 010 以上) としてください。この制限事項は 16 ビット・タイマ／カウンタ AA (TAA) から割り込みコントローラ、DMA コントローラへの割り込み出力に限った制限事項です。

(3) TAA_nOPT0 レジスタに対するビット操作について

TAA_nOPT0 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバーライトされるため注意してください。

★ (4) 16 ビット・レジスタの 8 ビット・アクセスについて

16 ビット・タイマ／カウンタ AA (TAA) のレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、16 ビット・タイマ／カウンタ AA (TAA) のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

第14章 16 ビット・タイマ／イベント・カウンタ T (TMT)

- ★ 16 ビット・タイマ／イベント・カウンタ T (TMT) は、16 ビットのタイマ／イベント・カウンタです。
- 16 ビット・タイマ／カウンタ AA (TAA) にエンコーダ・カウント機能などを追加しています。
- EP3-AM1 は、TMT0, TMT1 を内蔵しています。
- TMTn の入出力機能は、MEMC #1 を 16 ビット・バス幅で利用している場合のみ利用できます。32 ビット・バス幅で利用している場合は、入出力端子を利用しないインターバル・タイマとフリー・ランニング・タイマの機能は利用できます。

14.1 概 要

次に TMTn の概要をチャンネルごとに示します (n = 0, 1)。

表 14-1 TMTn の概要

概 要	TMT0	TMT1
クロック選択	8 通り	8 通り
キャプチャ・トリガ入力端子	2 本	2 本
外部イベント・カウント入力端子	1 本	1 本
外部トリガ入力端子	1 本	1 本
エンコーダ入力端子	2 本	2 本
エンコーダ・クリア入力端子	1 本	1 本
タイマ・カウンタ	1 本	1 本
キャプチャ／コンペア・レジスタ	2 本 ^注	2 本 ^注
キャプチャ／コンペア一致割り込み要求信号	2 本 ^注	2 本 ^注
オーバフロー割り込み要求信号	1 本	1 本
エンコーダ・クリア割り込み要求信号	1 本	1 本
タイマ出力端子	2 本	2 本

注 MEMC #1 を 32 ビット・バスで利用する場合は、コンペア機能のみ利用可能。

14.2 機 能

TMT_n の入出力機能は、MEMC #1 を 16 ビット・バス幅で利用している場合のみ利用できます。32 ビット・バス幅で利用している場合は、入出力端子を利用しないインターバル・タイマとフリー・ランニング・タイマの機能のみ利用できます。

実現できる機能を次に示します (n = 0, 1)。

概 要	TMT0	TMT1
インターバル・タイマ	○	○
外部イベント・カウンタ	○	○
外部トリガ・パルス出力	○	○
ワンショット・パルス出力	○	○
PWM 出力	○	○
フリー・ランニング・タイマ	○	○
パルス幅測定	○	○
三角波 PWM 出力モード	○	○
エンコーダ・カウント機能	○	○

14.3 構 成

TMT_n は、次のハードウェアで構成されています (n = 0, 1)。

表 14-2 TMT_n の構成

項 目	構 成
タイマ・レジスタ	16 ビット・カウンタ×各 1 本
レジスタ	TMT _n キャプチャ／コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1) TMT _n カウンタ・リード・バッファ・レジスタ (TTnCNT) TMT _n カウンタ・ライト・レジスタ (TTnTCW) CCR0, CCR1 バッファ・レジスタ
タイマ入力 ^{※1}	計 14 本 (TIT00, TIT01, TIT10, TIT11, EVTT0, EVTT1, TRGT0, TRGT1, TENC00, TENC01, TENC10, TENC11, TECR0, TECR1 端子) ^{※2}
タイマ出力 ^{※1}	計 4 本 (TOT00, TOT01, TOT10, TOT11 端子) ^{※2}
制御レジスタ	TMT _n 制御レジスタ 0, 1 (TTnCTL0, TTnCTL1) TMT _n 制御レジスタ 2 (TTnCTL2) TMT _n /O 制御レジスタ 0-3 (TTnIOC0-TTnIOC3) TMT _n オプション・レジスタ 0 (TTnOPT0) TMT _n オプション・レジスタ 1 (TTnOPT1)

注 1. EP3-AM1 で、MEMC #1 を 16 ビット・バス幅とし、ポート 9, ポート A が利用できる場合のみ

2. TIT00 と TOT00 は兼用されています。

TIT01 と TOT01 は兼用されています。

TIT10 と TOT10 は兼用されています。

TIT11 と TOT11 は兼用されています。

備考 n = 0, 1

図 14-1 MEMC #1 を 16 ビット・バスとした場合の TMTn のブロック図

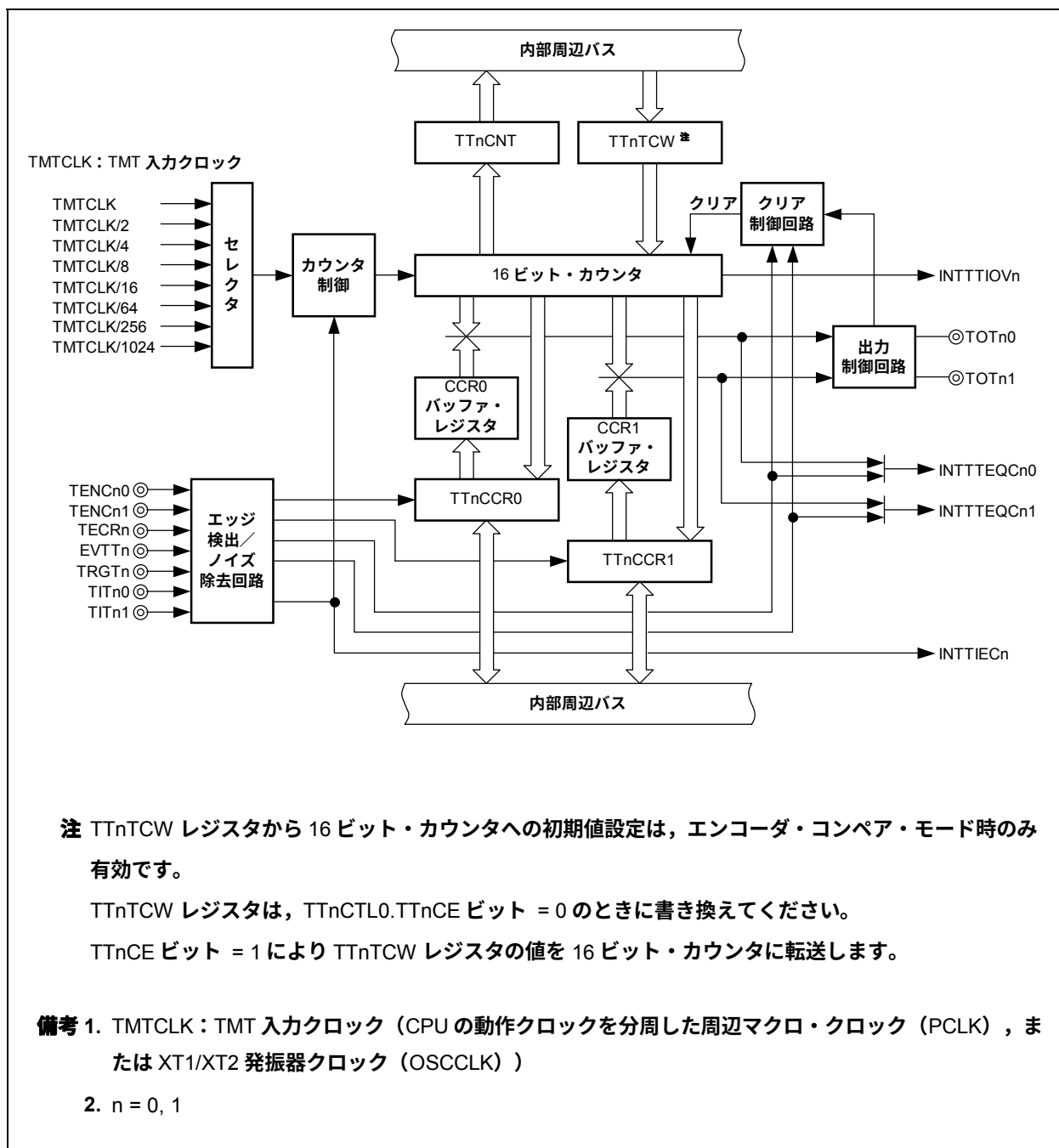
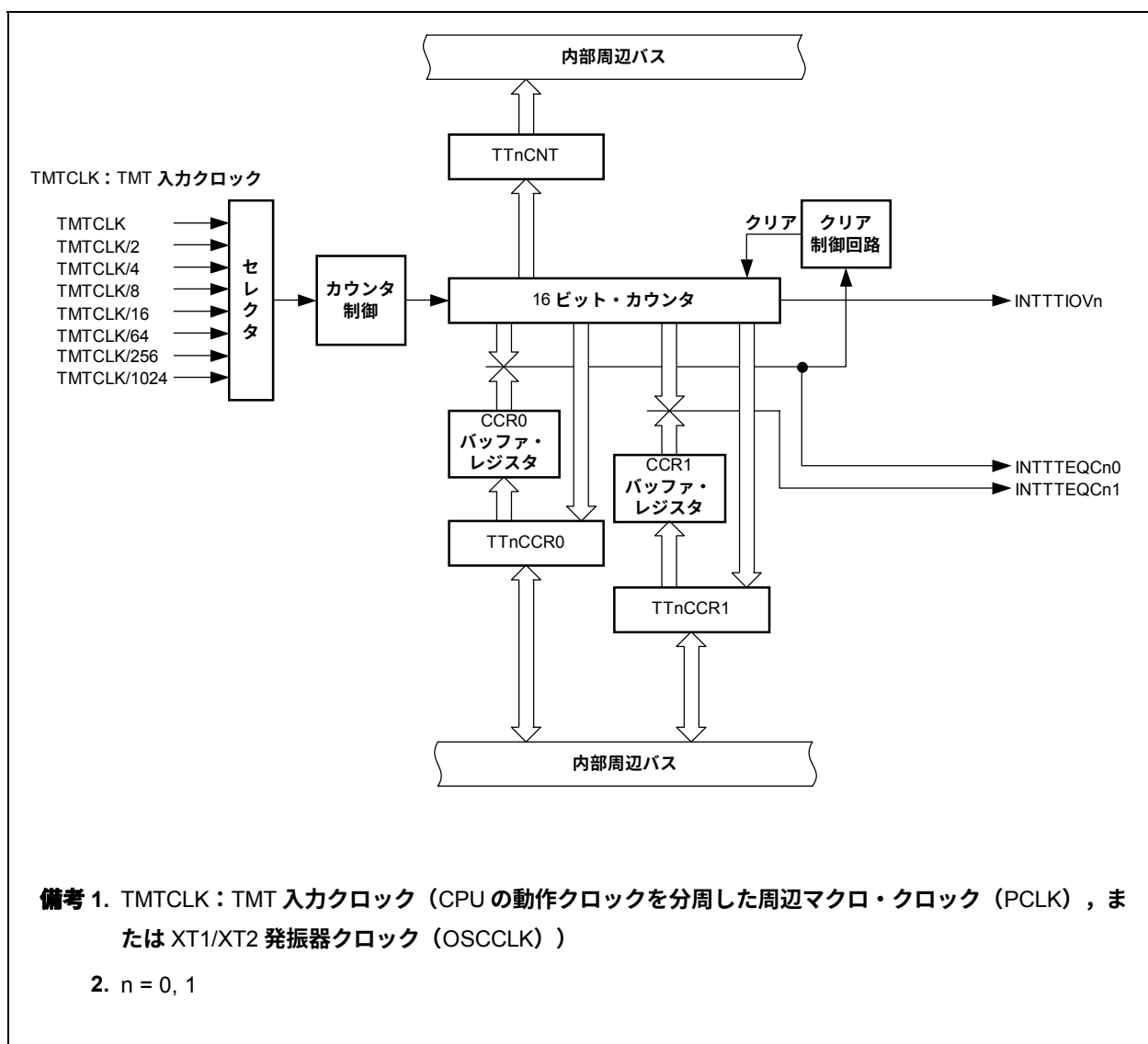


図 14-2 MEMC #1 を 32 ビット・バスで使用する場合の TMTn のブロック図



(1) 16 ビット・カウンタ

内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです。

16 ビット・カウンタのカウント値は、TTnCNT レジスタでリードできます。

TTnCTL0.TTnCE ビット = 0 のとき、16 ビット・カウンタは FFFFH になりますが、このとき TTnCNT レジスタをリードすると 0000H がリードされます。

リセット時には TTnCE ビット = 0 になります。

(2) CCR0 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TTnCCR0 レジスタをコンペア・レジスタとして使用するとき、TTnCCR0 レジスタにライトした値が CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn0) を発生します。

CCR0 バッファ・レジスタは、直接リード／ライトできません。

リセット時には TTnCCR0 レジスタが 0000H になり、CCR0 バッファ・レジスタも 0000H になります。

(3) CCR1 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TTnCCR1 レジスタをコンペア・レジスタとして使用するとき、TTnCCR1 レジスタにライトした値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn1) を発生します。

CCR1 バッファ・レジスタは、直接リード／ライトできません。

リセット時には TTnCCR1 レジスタが 0000H になり、CCR1 バッファ・レジスタも 0000H になります。

(4) エッジ検出回路

TIT00, TIT01, TIT10, TIT11, EVTT0, EVTT1, TENC00, TENC01, TENC10, TENC11, TECR0, TECR1, TRGT0, TRGT1 端子に入力される有効エッジを検出します。有効エッジは、TTnIOC1, TTnIOC2, TTnIOC3 レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOT00, TOT01, TOT10, TOT11 端子の出力を TTnIOC0 レジスタで制御します。

(6) セレクタ

16 ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8 種類の内部クロックまたは外部イベントから選択できます。

(7) カウンタ制御

TTnCTL1 レジスタで選択したタイマ・モードにより、カウント動作を制御します。

14.4 レジスタ

- ★ (1) タイマ・クロック選択レジスタ (TCKSEL)
- 16 ビット・タイマ／カウンタ AA (TAA) , 16 ビット・タイマ／イベント・カウンタ T (TMT) の入力クロックを選択します。
- 32 ビット単位でリード／ライト可能です。
- カウント・クロックに, CPU の動作クロックを分周した周辺マクロ・クロック (PCLK) と, XT1/XT2 発振器出力クロック (OSCCLK) から選択できます。カウント・クロックの選択は, 16 ビット・タイマ／カウンタ AA (TAA) , 16 ビット・タイマ／イベント・カウンタ T (TMT) の各チャンネルごとに行えます。
- カウント・クロックの選択は, TTnCTL0 レジスタで選択できるすべての分周比のクロックが一括で切り替わります (n = 0, 1)。
- OSCCLK を選択している場合は, SSCG 機能を利用している場合でも, 変調の影響を受けません。また, CPU を IDLE モードに設定している場合でも, カウント・クロックは停止しません。ただし 16 ビット・タイマ／イベント・カウンタ T (TMT) から発生する割り込みでは, IDLE モードの解除はできません。
- ★ **注意** TCKSEL レジスタの変更は, すべての 16 ビット・タイマ／カウンタ AA (TAA) , 16 ビット・タイマ／イベント・カウンタ T (TMT) の動作が禁止されている状態で行ってください。また, TCKSEL レジスタへの書き込みは, リセット後のイニシャライズ処理で行い, 書き込み後は値を変更しないでください。
- それぞれのタイマの動作許可／禁止は, 16 ビット・タイマ／カウンタ AA (TAA) は TAAAnCTRL0.TAAAnCE, 16 ビット・タイマ／イベント・カウンタ T (TMT) は TTnCTL0.TTmCE で設定します (n = 0-5, m = 0, 1)。

								アドレス	初期値
TCKSEL	7	6	5	4	3	2	1	0	
	TSTT1	TSTT0	TSTAA5	TSTAA4	TSTAA3	TSTAA2	TSTAA1	TSTAA0	0F1C 0FEAH 00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置	ビット名	意 味							
7	TSTT1	16 ビット・タイマ／イベント・カウンタ T1 (TMT1) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
6	TSTT0	16 ビット・タイマ／イベント・カウンタ T0 (TMT0) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	5	16 ビット・タイマ／カウンタ AA5 (TAA5) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	4	16 ビット・タイマ／カウンタ AA4 (TAA4) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	3	16 ビット・タイマ／カウンタ AA3 (TAA3) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	2	16 ビット・タイマ／カウンタ AA2 (TAA2) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	1	16 ビット・タイマ／カウンタ AA1 (TAA1) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							
★	0	16 ビット・タイマ／カウンタ AA0 (TAA0) のカウント・クロックを選択します。 0：周辺マクロ・クロック (PCLK) 1：XT1/XT2 発振器出力クロック (OSCCLK)							

(2) TMTn 制御レジスタ 0 (TTnCTL0)

TTnCTL0 レジスタは、TMTn の動作を制御する 8 ビットのレジスタです。
8/1 ビット単位でリード／ライト可能です。
リセットにより 00H になります。
TTnCTL0 レジスタは、常時ソフトウェアでの同値書き込みができます。

(1/2)

									アドレス	初期値																																					
									0F1C 0202H, 0F1C 0282H	00H																																					
TTnCTL0	7	6	5	4	3	2	1	0																																							
	TTnCE	0	0	0	0	TTnCKS2	TTnCKS1	TTnCKS0																																							
R/W	R/W	0	0	0	0	R/W	R/W	R/W																																							
ビット位置	ビット名	意 味																																													
7	TTnCE	TMTn の動作を制御します。 0 : TMTn 動作禁止 (TMTn を非同期にリセット※) 1 : TMTn 動作許可。TMTn 動作開始																																													
2-0	TTnCKS2- TTnCKS0	TMTn のカウント・クロックを選択します。 <table border="1"><thead><tr><th>TTnCKS2</th><th>TTnCKS1</th><th>TTnCKS0</th><th>TMTn のカウント・クロック</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>入力クロック</td></tr><tr><td>0</td><td>0</td><td>1</td><td>入力クロック／2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>入力クロック／4</td></tr><tr><td>0</td><td>1</td><td>1</td><td>入力クロック／8</td></tr><tr><td>1</td><td>0</td><td>0</td><td>入力クロック／16</td></tr><tr><td>1</td><td>0</td><td>1</td><td>入力クロック／64</td></tr><tr><td>1</td><td>1</td><td>0</td><td>入力クロック／256</td></tr><tr><td>1</td><td>1</td><td>1</td><td>入力クロック／1024</td></tr></tbody></table>										TTnCKS2	TTnCKS1	TTnCKS0	TMTn のカウント・クロック	0	0	0	入力クロック	0	0	1	入力クロック／2	0	1	0	入力クロック／4	0	1	1	入力クロック／8	1	0	0	入力クロック／16	1	0	1	入力クロック／64	1	1	0	入力クロック／256	1	1	1	入力クロック／1024
TTnCKS2	TTnCKS1	TTnCKS0	TMTn のカウント・クロック																																												
0	0	0	入力クロック																																												
0	0	1	入力クロック／2																																												
0	1	0	入力クロック／4																																												
0	1	1	入力クロック／8																																												
1	0	0	入力クロック／16																																												
1	0	1	入力クロック／64																																												
1	1	0	入力クロック／256																																												
1	1	1	入力クロック／1024																																												

注 TTnOPT0.TTnOVF ビット, 16 ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOT00, TOT01, TOT10, TOT11 端子) も TTnIOC0 レジスタの設定状態に 16 ビット・カウンタと同時にリセットされます (n = 0, 1)

備考 1. n = 0, 1

2. 入力クロックは、タイマ・クロック選択レジスタ (TCKSEL) で選択してください。

★

注意 1. 内部の割り込みコントローラや、DMA コントローラとの同期化のため、16 ビット・タイマ／イベント・カウンタ T (TMT) から発生する割り込み信号のパルス幅の拡張を行っています。このため TMT から発生する同一の割り込み信号の間隔が、TMT 入力クロック (TMTCLK: PCLK または OSCCLK) の 4 クロック以下場合は、正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには、TTnCTL0 レジスタの TTnCKS2-TTnCKS0 ビットを 011 以上 (入力クロック/8 以上) としてください。この制限事項は 16 ビット・タイマ／イベント・カウンタ T (TMT) から割り込みコントローラ、DMA コントローラへの割り込み出力に限った制限事項です。

2. TTnCKS2-TTnCKS0 ビットは、TTnCE ビット = 0 のときに設定してください。

TTnCE ビットを“0”から“1”に設定するときも、同時に TTnCKS2-TTnCKS0 ビットを設定できます。

3. ビット 6-3 には必ず 0 を設定してください。

備考 n = 0, 1

(3) TMTn 制御レジスタ 1 (TTnCTL1)

TTnCTL1 レジスタは、TMTn の動作を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

(1/2)

								アドレス	初期値
TTnCTL1								0F1C 0207H, 0F1C 0287H	00H
R/W	0	R/W	R/W	0	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味																																																							
6	TTnEST	ソフトウェア・トリガ制御を行います。 TTnEST ビットのリード値は常に 0 です。 ・ワンショット・パルス出力モード時 TTnEST ビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 TTnEST ビットへの“1”ライトをトリガとして、PWM 波形を出力																																																							
5	TTnEEE	カウント・クロックを、内部カウント・クロック、外部イベント・カウント入力の有効エッジから選択します。 0：外部イベント・カウント入力（EVTn 端子）での動作禁止 （TTnCTL0.TTnCKS2-TTnCKS0 ビットによって選択されたカウント・クロックでカウント動作を行う） 1：外部イベント・カウント入力（EVTn 端子）での動作許可 （外部イベント・カウント入力信号（EVTn 端子）の有効エッジごとにカウント動作を行う）																																																							
3-0	TTnMD3- TTnMD0	TMTn の動作モードを選択します。 <table><tr><th>TTnMD3</th><th>TTnMD2</th><th>TTnMD1</th><th>TTnMD0</th><th>TMTn の動作モード</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>インターバル・タイマ・モード</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>外部イベント・カウント・モード</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>外部トリガ・パルス出力モード</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>ワンショット・パルス出力モード</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>PWM 出力モード</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>フリー・ランニング・タイマ・モード</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>パルス幅測定モード</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>三角波 PWM 出力モード</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>エンコーダ・コンペア・モード</td></tr><tr><td colspan="4">上記以外</td><td>設定禁止</td></tr></table>	TTnMD3	TTnMD2	TTnMD1	TTnMD0	TMTn の動作モード	0	0	0	0	インターバル・タイマ・モード	0	0	0	1	外部イベント・カウント・モード	0	0	1	0	外部トリガ・パルス出力モード	0	0	1	1	ワンショット・パルス出力モード	0	1	0	0	PWM 出力モード	0	1	0	1	フリー・ランニング・タイマ・モード	0	1	1	0	パルス幅測定モード	0	1	1	1	三角波 PWM 出力モード	1	0	0	0	エンコーダ・コンペア・モード	上記以外				設定禁止
TTnMD3	TTnMD2	TTnMD1	TTnMD0	TMTn の動作モード																																																					
0	0	0	0	インターバル・タイマ・モード																																																					
0	0	0	1	外部イベント・カウント・モード																																																					
0	0	1	0	外部トリガ・パルス出力モード																																																					
0	0	1	1	ワンショット・パルス出力モード																																																					
0	1	0	0	PWM 出力モード																																																					
0	1	0	1	フリー・ランニング・タイマ・モード																																																					
0	1	1	0	パルス幅測定モード																																																					
0	1	1	1	三角波 PWM 出力モード																																																					
1	0	0	0	エンコーダ・コンペア・モード																																																					
上記以外				設定禁止																																																					

備考 n = 0, 1

- 注意** 1. TTnEST ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TTnEEE ビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM 出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード、三角波 PWM 出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
3. 外部イベント・カウント・モード、エンコーダ・コンペア・モードのときは、TTnEEE ビットの値にかかわらず外部イベント・カウント入力 (EVTn)，エンコーダ入力 (TENCn0, TENCn1) が選択されます。
4. TTnEEE, TTnMD3-TTnMD0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに設定してください (TTnCE ビット = 1 のときの同値書き込みは可能)。TTnCE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。
5. ビット 7, 4 には必ず 0 を設定してください。

備考 n = 0, 1

(4) TMTn 制御レジスタ 2 (TTnCTL2)

TTnCTL2 レジスタは、エンコーダ・カウンタ機能の動作を制御する 8 ビットのレジスタです。

TTnCTL2 レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

注意 TTnCTL2 レジスタの各ビットの詳細については、14.6.10(5) TTnCTL2 レジスタのビット制御を参照してください。

(1/2)

7

6

5

4

3

2

1

0

アドレス

初期値

TTnCTL2

TTnECC

0

0

TTnLDE

TTnECM1

TTnECM0

TTnUDS1

TTnUDS0

0F1C 020AH,
0F1C 028AH

00H

R/W

R/W

0

0

R/W

R/W

R/W

R/W

R/W

ビット位置	ビット名	意 味
7	TTnECC	エンコーダ・カウンタを制御します。 0：通常動作 1：TTnCTL0.TTnCE ビット = 0 時、16 ビット・カウンタのカウンタ値を保持
4	TTnLDE	16 ビット・カウンタへの転送設定を行います。 0：アンダフロー発生時、16 ビット・カウンタへ TTnCCR0 設定値の転送禁止 1：アンダフロー発生時、16 ビット・カウンタへ TTnCCR0 設定値の転送許可
3	TTnECM1	エンコーダのクリア動作を設定します。 0：16 ビット・カウンタのカウンタ値と CCR1 レジスタの値の一致ではカウンタを 0000H にクリアしない 1：16 ビット・カウンタのカウンタ値と CCR1 レジスタの値の一致で次のカウンタがダウン・カウントの場合、カウンタを 0000H にクリアする
2	TTnECM0	エンコーダのクリア動作を設定します。 0：16 ビット・カウンタのカウンタ値と CCR0 レジスタの値の一致ではカウンタを 0000H にクリアしない 1：16 ビット・カウンタのカウンタ値と CCR0 レジスタの値の一致で次のカウンタがアップ・カウントの場合、カウンタを 0000H にクリアする

備考

n = 0, 1

ビット位置	ビット名	意 味															
1, 0	TTnUDS1. TTnUDS0	アップ／ダウン・カウントの動作を選択します。 <table border="1"> <thead> <tr> <th>TTnUDS 1</th><th>TTnUDS 0</th><th>アップ／ダウン・カウントの選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TENCn0 入力の有効エッジ検出時, TENCn1 = ハイ・レベルのとき, ダウン・カウント TENCn1 = ロー・レベルのとき, アップ・カウント</td></tr> <tr> <td>0</td><td>1</td><td>TENCn0 入力の有効エッジ検出でアップ・カウント TENCn1 入力の有効エッジ検出でダウン・カウント</td></tr> <tr> <td>1</td><td>0</td><td>TENCn0 入力の立ち上がりエッジ検出でダウン・カウント TENCn1 入力の立ち下がりエッジ検出でアップ・カウント ただし, TENCn1 = ロー・レベルのときのみカウント動作</td></tr> <tr> <td>1</td><td>1</td><td>TENCn0, TENCn1 入力の立ち上がり／立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウント動作を自動判別。</td></tr> </tbody> </table>	TTnUDS 1	TTnUDS 0	アップ／ダウン・カウントの選択	0	0	TENCn0 入力の有効エッジ検出時, TENCn1 = ハイ・レベルのとき, ダウン・カウント TENCn1 = ロー・レベルのとき, アップ・カウント	0	1	TENCn0 入力の有効エッジ検出でアップ・カウント TENCn1 入力の有効エッジ検出でダウン・カウント	1	0	TENCn0 入力の立ち上がりエッジ検出でダウン・カウント TENCn1 入力の立ち下がりエッジ検出でアップ・カウント ただし, TENCn1 = ロー・レベルのときのみカウント動作	1	1	TENCn0, TENCn1 入力の立ち上がり／立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウント動作を自動判別。
TTnUDS 1	TTnUDS 0	アップ／ダウン・カウントの選択															
0	0	TENCn0 入力の有効エッジ検出時, TENCn1 = ハイ・レベルのとき, ダウン・カウント TENCn1 = ロー・レベルのとき, アップ・カウント															
0	1	TENCn0 入力の有効エッジ検出でアップ・カウント TENCn1 入力の有効エッジ検出でダウン・カウント															
1	0	TENCn0 入力の立ち上がりエッジ検出でダウン・カウント TENCn1 入力の立ち下がりエッジ検出でアップ・カウント ただし, TENCn1 = ロー・レベルのときのみカウント動作															
1	1	TENCn0, TENCn1 入力の立ち上がり／立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウント動作を自動判別。															

注意 1. TTnECC ビットは、エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

TTnECC ビット = 1 のとき TTnCTL0.TTnCE ビット = 0 にすると、タイマ・カウンタ、キャプチャ・レジスタ (TTnCCR0, TTnCCR1), TTnOPT1, TTnEUF, TTnEOF, TTnESF フラグの値は保持されます。

TTnECC ビット = 1 のとき TTnCE ビットを 0→1 にすると、TTnTCW レジスタの値を 16 ビット・カウンタに転送しません。

- TTnLDE ビットは、TTnECM1, TTnECM0 ビット = 00, 01 時のみ有効です。TTnECM1, TTnECM0 ビット = 10, 11 のときに“1”をライトしても無視されます。
- TTnUDS1, TTnUDS0 ビット = 10, 11 のとき、TTnIOC3.TTnEIS1, TTnEIS0 ビットで設定した TENCn0, TENCn1 入力のエッジ検出は無効となり、立ち上がり／立ち下がり両エッジ固定となります。
- TTnLDE, TTnECM1, TTnECM0, TTnUDS1, TTnUDS0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに設定してください (TTnCE ビット = 1 のときの同値書き込みは可能)。TTnCE ビット = 1 のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。
- ビット 6, 5 は必ず 0 を設定してください。

備考 n = 0, 1

(5) TMTnI/O 制御レジスタ 0 (TTnIOC0)

TTnIOC0 レジスタは、タイマ出力 (TOTn0, TOTn1 端子) を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

								アドレス	初期値
TTnIOC0	7	6	5	4	3	2	1	0	
	0	0	0	0	TTnOL1	TTnOE1	TTnOL0	TTnOE0	0F1C 020FH, 0F1C 028FH
R/W	0	0	0	0	R/W	R/W	R/W	R/W	00H

ビット位置	ビット名	意 味
3	TTnOL1	TOTn1 端子の出力レベルを設定します。 0: TOTn1 端子ハイ・レベル・スタート 1: TOTn1 端子ロー・レベル・スタート
2	TTnOE1	TOTn1 端子のタイマ出力を設定します。 0: タイマ出力禁止 ・ TTnOL1 ビット = 0 のとき TOTn1 端子からロー・レベルを出力 ・ TTnOL1 ビット = 1 のとき TOTn1 端子からハイ・レベルを出力 1: タイマ出力許可 (TOTn1 端子からパルスを出力)
1	TTnOL0	TOTn0 端子の出力レベルを設定します。 0: TOTn0 端子ハイ・レベル・スタート 1: TOTn0 端子ロー・レベル・スタート
0	TTnOE0	TOTn0 端子のタイマ出力を設定します。 0: タイマ出力禁止 ・ TTnOL0 ビット = 0 のとき TOTn0 端子からロー・レベルを出力 ・ TTnOL0 ビット = 1 のとき TOTn0 端子からハイ・レベルを出力 1: タイマ出力許可 (TOTn0 端子からパルスを出力)

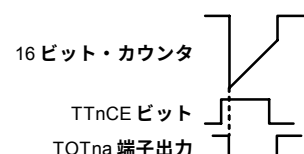
★

注 三角波 PWM 出力モード以外のモードでの TTnOLa ビットの指定によるタイマ出力端子 (TOTn0, TOTn1) の出力レベルを次に示します (a = 0, 1)。

・ TTnOLa ビット = 0 の場合



・ TTnOLa ビット = 1 の場合



- 注意 1. ポート設定が TOTn0, TOTn1 出力設定の場合, TTnIOC0 レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TTnOL1, TTnOE1, TTnOL0, TTnOE0 ビットは, TTnCTL0.TTnCE ビット=0 のときに書き換えてください (TTnCE ビット=1 のときの同値書き込みは可能)。誤って書き換えた場合は, TTnCE ビットをクリア (0) してから再設定してください。
3. TTnCE ビット=0, TTnOE0 ビット=0, TTnOE1 ビット=0 の状態において, TTnOL0 ビット, TTnOL1 ビットを操作した場合でも, TOTn0, TOTn1 端子の出力レベルは変化します。
4. ビット 7-4 には必ず 0 を設定してください。

備考 n = 0, 1

(6) TMTnI/O 制御レジスタ 1 (TTnIOC1)

TTnIOC1 レジスタは、キャプチャ・トリガ入力信号 (TITn0, TITn1 端子) に対する有効エッジを制御する 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnIOC1	0	0	0	0	TTnIS3	TTnIS2	TTnIS1	TTnIS0	0F1C 0212H, 0F1C 0292H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味															
3, 2	TTnIS3, TTnIS2	キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジを指定します。 <table> <tr> <th>TTnIS3</th><th>TTnIS2</th><th>キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジ</th></tr> <tr> <td>0</td><td>0</td><td>エッジ検出なし (キャプチャ動作無効)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr> <tr> <td>1</td><td>1</td><td>両エッジを検出</td></tr> </table>	TTnIS3	TTnIS2	キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジ	0	0	エッジ検出なし (キャプチャ動作無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnIS3	TTnIS2	キャプチャ・トリガ入力信号 (TITn1 端子) の有効エッジ															
0	0	エッジ検出なし (キャプチャ動作無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TTnIS1, TTnIS0	キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジを指定します。 <table> <tr> <th>TTnIS1</th><th>TTnIS0</th><th>キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジ</th></tr> <tr> <td>0</td><td>0</td><td>エッジ検出なし (キャプチャ動作無効)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr> <tr> <td>1</td><td>1</td><td>両エッジを検出</td></tr> </table>	TTnIS1	TTnIS0	キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジ	0	0	エッジ検出なし (キャプチャ動作無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnIS1	TTnIS0	キャプチャ・トリガ入力信号 (TITn0 端子) の有効エッジ															
0	0	エッジ検出なし (キャプチャ動作無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

注意 1. TTnIS3-TTnIS0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。

2. TTnIS3, TTnIS2 ビットは、フリー・ランニング・タイマ・モード (TTnOPT0.TTnCCS1 ビット = 1 時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

TTnIS1, TTnIS0 ビットは、フリー・ランニング・タイマ・モード (TTnOPT0.TTnCCS0 ビット = 1 時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

3. ビット 7-4 には必ず 0 を設定してください。

備考 n = 0, 1

(7) TMTnI/O 制御レジスタ 2 (TTnIOC2)

TTnIOC2 レジスタは、外部イベント・カウント入力信号 (EVTTn 端子)、外部トリガ入力信号 (TRGTn 端子) に対する有効エッジを制御する 8 ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnIOC2	0	0	0	0	TTnEES1	TTnEES0	TTnETS1	TTnETS0	0F1C 0217H, 0F1C 0297H	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味															
3, 2	TTnEES1, TTnEES0	外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジを指定します。 <table> <tr> <th>TTnEES1</th><th>TTnEES0</th><th>外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジ</th></tr> <tr> <td>0</td><td>0</td><td>エッジ検出なし (外部イベント・カウント無効)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr> <tr> <td>1</td><td>1</td><td>両エッジを検出</td></tr> </table>	TTnEES1	TTnEES0	外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジ	0	0	エッジ検出なし (外部イベント・カウント無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnEES1	TTnEES0	外部イベント・カウント入力信号 (EVTTn 端子) の有効エッジ															
0	0	エッジ検出なし (外部イベント・カウント無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TTnETS1, TTnETS0	外部トリガ入力信号 (TRGTn 端子) の有効エッジを指定します。 <table> <tr> <th>TTnETS1</th><th>TTnETS0</th><th>外部トリガ入力信号 (TRGTn 端子) の有効エッジ</th></tr> <tr> <td>0</td><td>0</td><td>エッジ検出なし (外部トリガ無効)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr> <tr> <td>1</td><td>1</td><td>両エッジを検出</td></tr> </table>	TTnETS1	TTnETS0	外部トリガ入力信号 (TRGTn 端子) の有効エッジ	0	0	エッジ検出なし (外部トリガ無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnETS1	TTnETS0	外部トリガ入力信号 (TRGTn 端子) の有効エッジ															
0	0	エッジ検出なし (外部トリガ無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

注意 1. TTnEES1, TTnEES0, TTnETS1, TTnETS0 ビットは、TTnCTL0.TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。

2. TTnEES1, TTnEES0 ビットは、TTnCTL1.TTnEEE ビット = 1, または、外部イベント・カウント・モード (TTnCTL1.TTnMD3-TTnMD0 ビット = 0001) に設定したときのみ有効です。

3. TTnETS1, TTnETS0 ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

4. ビット 7-4 には必ず 0 を設定してください。

備考 n = 0, 1

(8) TMTnI/O 制御レジスタ 3 (TTnIOC3)

TTnIOC3 レジスタは、エンコーダ・クリアを制御する 8 ビットのレジスタです。

TTnIOC3 レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

(1/2)

								アドレス	初期値	
TTnIOC3	7	6	5	4	3	2	1	0	0F1C 021AH, 0F1C 029AH	00H
	TTnSCE	TTnZCL	TTnBCL	TTnACL	TTnECS1	TTnECS0	TTnEIS1	TTnEIS0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7	TTnSCE	エンコーダ・クリア動作を選択します。 0：エンコーダ・クリア信号（TECRn 端子）のエッジ検出クリア 1：TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリア - TTnSCE ビット = 0 のとき、TTnECS1, TTnECS0 ビットで指定した TECRn 端子の有効エッジ検出により、16 ビット・カウンタを 0000H にクリアします。 - TTnSCE ビット = 1 のとき、TTnZCL, TTnBCL, TTnACL ビットのクリア・レベル条件と、TECRn, TENCn1, TENCn0 端子の入力レベルが一致すると 16 ビット・カウンタを 0000H にクリアします。 - TTnSCE ビット = 1 のとき、TTnZCL, TTnBCL, TTnACL ビットの設定が有効となり、TTnECS1, TTnECS0 ビットの設定は無効となります。エンコーダ・クリア割り込み要求信号（INTTIECn）は発生しません。 - TTnSCE ビット = 0 のとき、TTnZCL, TTnBCL, TTnACL ビットの設定が無効となり、TTnECS1, TTnECS0 ビットの設定は有効となります。TTnECS1, TTnECS0 ビットで設定した有効エッジ検出により INTTIECn 信号が発生します。 - TTnSCE ビット = 1 の設定をするときには、必ず TTnCTL2.TTnUDS1, TTnUDS0 ビット = 10 または 11 に設定してください。TTnUDS1, TTnUDS0 ビット = 00 または 01 に設定し、TTnSCE ビット = 1 とした場合の動作は保証しません。
6	TTnZCL	エンコーダ・クリア信号（TECRn 端子）のクリア・レベルを選択します。 0：TECRn 端子ロー・レベル・クリア 1：TECRn 端子ハイ・レベル・クリア TTnZCL ビットの設定は TTnSCE ビット = 1 のときのみ有効になります。
5	TTnBCL	エンコーダ入力信号（TENCn1 端子）のクリア・レベルを選択します。 0：TENCn1 端子ロー・レベル・クリア 1：TENCn1 端子ハイ・レベル・クリア TTnBCL ビットの設定は TTnSCE ビット = 1 のときのみ有効になります。
4	TTnACL	エンコーダ入力信号（TENCn0 端子）のクリア・レベルを選択します。 0：TENCn0 端子ロー・レベル・クリア 1：TENCn0 端子ハイ・レベル・クリア TTnACL ビットの設定は TTnSCE ビット = 1 のときのみ有効になります。

備考 n = 0, 1

ビット位置	ビット名	意 味															
3, 2	TTnECS1, TTnECS0	エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジを選択します。 <table border="1"> <thead> <tr> <th>TTnECS1</th><th>TTnECS0</th><th>エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジの設定</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>エッジ検出なし (エンコーダ・クリア無効)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr> <tr> <td>1</td><td>1</td><td>両エッジを検出</td></tr> </tbody> </table>	TTnECS1	TTnECS0	エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジの設定	0	0	エッジ検出なし (エンコーダ・クリア無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnECS1	TTnECS0	エンコーダ・クリア入力信号 (TECRn 端子) の有効エッジの設定															
0	0	エッジ検出なし (エンコーダ・クリア無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															
1, 0	TTnEIS1, TTnEIS0	エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジを選択します。 <table border="1"> <thead> <tr> <th>TTnEIS1</th><th>TTnEIS0</th><th>エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジの設定</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>エッジ検出なし (エンコーダ入力無効)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを検出</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを検出</td></tr> <tr> <td>1</td><td>1</td><td>両エッジを検出</td></tr> </tbody> </table>	TTnEIS1	TTnEIS0	エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジの設定	0	0	エッジ検出なし (エンコーダ入力無効)	0	1	立ち上がりエッジを検出	1	0	立ち下がりエッジを検出	1	1	両エッジを検出
TTnEIS1	TTnEIS0	エンコーダ入力信号 (TENCn0, TENCn1 端子) の有効エッジの設定															
0	0	エッジ検出なし (エンコーダ入力無効)															
0	1	立ち上がりエッジを検出															
1	0	立ち下がりエッジを検出															
1	1	両エッジを検出															

- 注意 1.** TTnSCE, TTnZCL, TTnBCL, TTnACL, TTnECS1, TTnECS0, TTnEIS1, TTnEIS0 ビットは, TTnCTL0.TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は, TTnCE ビットをクリア (0) してから再設定してください。
- 2.** TTnECS1, TTnECS0 ビットは, TTnSCE ビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
- 3.** TTnEIS1, TTnEIS0 ビットは, TTnCTL2.TTnUDS1, TTnUDS0 ビット = 00 または 01 時のみ有効です。

備考 n = 0, 1

(9) TMTn オプション・レジスタ 0 (TTnOPT0)

TTnOPT0 レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
TTnOPT0	0	0	TTnCCS1	TTnCCS0	0	0	0	TTnOVF	0F1C 021FH, 0F1C 029FH	00H
R/W	0	0	R/W	R/W	0	0	0	R/W		

ビット位置	ビット名	意 味
5	TTnCCS1	TTnCCR1 レジスタのキャプチャ/コンペア動作を選択します。 0: コンペア・レジスタに選択 1: キャプチャ・レジスタに選択 (TTnCTL0.TTnCE ビット = 0 によりクリア) TTnCCS1 ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。
4	TTnCCS0	TTnCCR0 レジスタのキャプチャ/コンペア動作を選択します。 0: コンペア・レジスタに選択 1: キャプチャ・レジスタに選択 (TTnCTL0.TTnCE ビット = 0 によりクリア) TTnCCS0 ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。
0	TTnOVF 注	TMTn のオーバフロー検出フラグです。 セット (1) : オーバフロー発生 リセット (0) : TTnOVF ビットへの 0 書き込みまたは TTnCTL0.TTnCE ビット = 0 - TTnOVF ビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16 ビット・カウンタの値が FFFFH から 0000H にオーバフローするときセット (1) されます。 - TTnOVF ビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTTIOVn) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTTIOVn 信号は発生しません。 - TTnOVF ビット = 1 のときに TTnOVF ビットまたは TTnOPT0 レジスタをリードしても、TTnOVF ビットはクリア (0) されません。 - INTTTIOVn 信号発生後、TTnOVF ビットをクリア (0) する場合は、必ず TTnOVF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 - TTnOVF ビットはリード/ライト可能ですが、ソフトウェアで TTnOVF ビットをセット (1) することはできません。1 をライトしても TMTn の動作に影響はありません。

注 このレジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

注意 1. TTnCCS1, TTnCCS0 ビットは、TTnCE ビット = 0 のときに書き換えてください (TTnCE ビット = 1 のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCE ビットをクリア (0) してから再設定してください。

2. ビット 7, 6, 3-1 には必ず 0 を設定してください。

備考 n = 0, 1

(10) TMTn オプション・レジスタ 1 (TTnOPT1)

TTnOPT1 レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ／ダウン・カウント動作の状態を検出する 8 ビットのレジスタです。

TTnOPT1 レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

TTnOPT1 レジスタは、TTnCTL0.TTnCE ビット = 1 のときでも書き換えできます。

注意 このレジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。
このときのリード・サイクルとライト・サイクルの間で発生した各種フラグはライト・サイクルでオーバーライトされるため注意してください。

(1/2)

								アドレス	初期値																
<table> <tr> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>TTnEUF</td> <td>TTnEOF</td> <td>TTnESF</td> </tr> </table>								7	6	5	4	3	2	1	0	0	0	0	0	0	TTnEUF	TTnEOF	TTnESF	0F1C 0222H, 0F1C 02A2H	00H
7	6	5	4	3	2	1	0																		
0	0	0	0	0	TTnEUF	TTnEOF	TTnESF																		
R/W	0	0	0	0	0	R/W	R/W	R/W																	

ビット位置	ビット名	意 味
2	TTnEUF	TMTn のアンダフロー検出フラグです。 セット (1) : アンダフロー発生 リセット (0) : TTnEUF ビットへの 0 書き込みまたは TTnCTL0.TTnCE ビット = 0 によりクリア) - TTnEUF ビットは、エンコーダ・コンペア・モード時に、16 ビット・カウンタの値が 0000H から FFFFH にアンダフローするときにセット (1) されます。 - TTnCTL2.TTnLDE ビット = 1 のときは、アンダフロー発生により 16 ビット・カウンタの値が 0000H から TTnCCR0 レジスタの設定値へ書き換わると、TTnEUF ビットがセット (1) されます。 - TTnEUF ビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTTIOVn) が発生します。 - TTnEUF ビット = 1 のときに TTnEUF ビットまたは TTnOPT1 レジスタをリードしても、TTnEUF ビットはクリア (0) されません。 - TTnCTL2.TTnECC ビット = 1 時に TTnCTL0.TTnCE ビット = 0 にしても TTnEUF ビットの状態は保持されます。 - INTTTIOVn 信号発生後、TTnEUF ビットをクリア (0) する場合は、必ず TTnEUF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 - TTnEUF ビットはリード／ライト可能ですが、ソフトウェアで TTnEUF ビットをセット (1) することはできません。1 をライトしても TMTn の動作に影響はありません。

備考 n = 0, 1

(2/2)

ビット位置	ビット名	意 味
1	TTnEOF	TMTn のエンコーダ機能用オーバーフロー検出フラグです。 セット (1) : オーバフロー発生 リセット (0) : TTnEOF ビットへの 0 書き込みまたは TTnCTL0.TTnCE ビット = 0 によりクリア - TTnEOF ビットは、エンコーダ・コンペア・モード時に、16 ビット・カウンタの値が FFFFH から 0000H にオーバーフローするときにセット (1) されます。 - TTnEOF ビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTTIOVn) が発生します。このとき、TTnOPT0.TTnOVF ビットはセット (1) されません。 - TTnEOF ビット = 1 のときに TTnEOF ビットまたは TTnOPT1 レジスタをリードしても、TTnEOF ビットはクリア (0) されません。 - TTnCTL2.TTnECC ビット = 1 時に TTnCTL0.TTnCE ビット = 0 にしても TTnEOF ビットの状態は保持されます。 - INTTTIOVn 信号発生後、TTnEOF ビットをクリア (0) する場合は、必ず TTnEOF ビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 - TTnEOF ビットはリード／ライト可能ですが、ソフトウェアで TTnEOF ビットをセット (1) することはできません。1 をライトしても TMTn の動作に影響はありません。
0	TTnESF	TMTn のアップ／ダウン・カウント動作状態検出フラグです。 0 : TMTn のアップ・カウント動作中 1 : TMTn のダウン・カウント動作中 - TTnCTL2.TTnECC ビット = 0 時に TTnCTL0.TTnCE ビット = 0 によりクリア (0) されます。 - TTnECC ビット = 1 時に TTnCE ビット = 0 にしても TTnESF ビットの状態は保持されます。

注意 ビット 7-3 には必ず 0 を設定してください。

備考 n = 0, 1

(11) TMTn キャプチャ／コンペア・レジスタ 0 (TTnCCR0)

TTnCCR0 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TTnCCR0 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTnOPT0.TTnCCS0 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TTnCCR0 レジスタは、動作中のリード／ライトを許可します。

16 ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

備考 n = 0, 1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCCR0																	0F1C 0228H, 0F1C 02A8H	0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

(a) コンペア・レジスタとしての機能

TTnCCR0 レジスタは、TTnCTL0.TTnCE ビット = 1 のときでも書き換えできます。

TTnCCR0 レジスタの設定値は CCR0 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号

(INTTTEQCh0) を発生し、TOTn0 端子出力を許可している場合、TOTn0 端子出力を反転します。

インターバル・タイマ・モードの場合は TTnCCR0 レジスタを、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM 出力モード、三角波 PWM 出力モード、エンコーダ・コンペア・モードの場合は TTnCCR0 レジスタを周期レジスタとして使用する場合は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致することで 16 ビット・カウンタをクリア (0000H) します。

TTnCTL0.TTnCE ビット = 0 によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTnCCR0 レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TITn0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR0 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITn0 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR0 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TTnCCR0 レジスタのリードが競合しても、TTnCCR0 レジスタは正しい値をリードできます。

TTnCTL0.TTnCE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表 14-3 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TTnCCR0 レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波 PWM 出力	コンペア・レジスタ	一斉書き込み ^注
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TTnCCR1 レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、14.6.1(2) 随時書き込みと一斉書き込みを参照してください。

(12) TMTn キャプチャ／コンペア・レジスタ 1 (TTnCCR1)

TTnCCR1 レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。

TTnCCR1 レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTnOPT0.TTnCCS1 ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TTnCCR1 レジスタは、動作中のリード／ライトを許可します。

16 ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

備考 n = 0, 1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCCR1																	0F1C 0230H, 0F1C 02B0H	0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

(a) コンペア・レジスタとしての機能

TTnCCR1 レジスタは、TTnCTL0.TTnCE ビット = 1 のときでも書き換えできます。

TTnCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号

(INTTTEQCn1) を発生し、TOTn1 端子出力を許可している場合、TOTn1 端子出力を反転します。

TTnCTL0.TTnCE ビット = 0 によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTnCCR1 レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TITn1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR1 レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITn1 端子) の有効エッジを検出すると、16 ビット・カウンタのカウント値を TTnCCR1 レジスタに格納し、16 ビット・カウンタをクリア (0000H) します。

キャプチャ動作と TTnCCR1 レジスタのリードが競合しても、TTnCCR1 レジスタは正しい値をリードできます。

TTnCTL0.TTnCE ビット = 0 によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表 14-4 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TTnCCR1 レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波 PWM 出力	コンペア・レジスタ	一斉書き込み ^注
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TTnCCR1 レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、14.6.1(2) 随時書き込みと一斉書き込みを参照してください。

(13) TMTn カウンタ・ライト・レジスタ (TTnTCW)

TTnTCW レジスタは、16 ビット・カウンタの初期値を設定するレジスタです。

TTnTCW レジスタは、エンコーダ・コンペア・モード時のみ有効です。

16 ビット単位でリード／ライト可能です。

TTnTCW レジスタは、TTnCTL0.TTnCE ビット = 0 のときに書き換えてください。

TTnCE ビットをセット (1) すると TTnTCW レジスタの値を 16 ビット・カウンタに転送します。

リセットにより 0000H になります。

備考 n = 0, 1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnTCW																	0F1C 0240H, 0F1C 02C0H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

(14) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタは、16 ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TTnCTL0.TTnCE ビット = 1 のときに TTnCNT レジスタをリードすると、16 ビット・カウンタのカウンタ値をリードできます。

16 ビット単位でリードのみ可能です。

TTnCTL2.TTnECC ビット = 0 かつ TTnCE ビット = 0 のとき、TTnCNT レジスタは 0000H になります。

このときに TTnCNT レジスタをリードすると、16 ビット・カウンタの値 (FFFFH) ではなく、そのまま 0000H がリードされます。TTnECC ビット = 1 かつ TTnCE ビット = 0 のとき、TTnCNT レジスタは 0000H とならず直前の値がリードされます。

リセットにより TTnECC ビット = 0 かつ TTnCE ビット = 0 になり、TTnCNT レジスタは 0000H になります。

備考 n = 0, 1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TTnCNT																	0F1C 0238H, 0F1C 02B8H	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

14.5 タイマ出力動作説明

次に TOTn0, TOTn1 端子の動作, および出力レベルを示します。

表 14-5 各モードによるタイマ出力制御

動作モード	TOTn1 端子	TOTn0 端子
インターバル・タイマ・モード	PWM 出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM 出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM 出力モード	PWM 出力	
フリー・ランニング・タイマ・モード	PWM 出力（コンペア機能のときのみ）	
パルス幅測定モード	なし	
三角波 PWM 出力モード	三角波 PWM 出力	
エンコーダ・コンペア・モード	なし	

表 14-6 タイマ出力制御ビットによる TOTn0, TOTn1 端子の真理値表

TTnIOC0.TTnOLa ビット	TTnIOC0.TTnOEa ビット	TTnCTL0.TTnCE ビット	TOTna 端子のレベル
0	0	×	ロー・レベル出力
	1	0	ロー・レベル出力
		1	カウント直前はロー・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロー・レベル

備考 n = 0, 1, a = 0, 1

14.6 動作

表 14-7 TMTn の各モードの仕様

動作	TTnCTL1.TTnEST ビット (ソフトウェア・トリガ・ビット)	TRGTn 端子 (外部トリガ入力)	キャプチャ／コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM 出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波 PWM 出力モード	無効	無効	コンペア専用	一斉書き込み
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

備考 n = 0, 1

14.6.1 基本動作

(1) カウンタ基本動作

次に 16 ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 $n = 0, 1$

(a) カウント開始動作

・外部イベント・カウント・モード

TTnCTL0.TTnCE ビット = 0→1 のタイミングで 16 ビット・カウンタに 0000H が設定されます。

その後は、外部イベント・カウント入力 (EVTTn) の有効エッジ検出するごとに 0001H, 0002H, 0003H, …とカウント・アップします。

・エンコーダ・コンペア・モード

TENCn0, TENCn1 の位相によりカウント動作を制御します。

TTnTCW レジスタ設定値を 16 ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TTnTCW レジスタ設定値は、TTnCTL2.TTnECC ビット = 0 時に TTnCTL0.TTnCE ビット = 0→1 となるタイミングで 16 ビット・カウンタに転送されます)。

・三角波 PWM 出力モード

初期値 FFFFH からカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

アップ・カウント後、16 ビット・カウンタ値と CCR0 バッファ・レジスタの値の一致でダウン・カウントします。

・上記以外のモード

初期値 FFFFH からカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

(b) クリア動作

16 ビット・カウンタとコンペア・レジスタの値の一致&クリア, 16 ビット・カウンタの値のキャプチャ&クリア, エンコーダ・クリア信号のエッジ検出クリア, TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリアの場合, 16 ビット・カウンタは 0000H にクリアされます。なお, カウント動作開始直後およびオーバフローの場合の FFFFH から 0000H へのカウント動作はクリア動作ではありません。したがって, INTTTEQCn0, INTTTEQCn1 割り込み信号は発生しません。

(c) オーバフロー動作

16 ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFH から 0000H へのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TTnOPT0.TTnOVF ビットがセット (1) され、割り込み要求信号 (INTTTIOVn) が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TTnOPT1.TTnEOF ビットがセット (1) され、割り込み要求信号 (INTTTIOVn) が発生します。

なお、次の条件では INTTTIOVn 信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値が FFFFH で一致 & クリアされた場合
- ・パルス幅測定モード時の FFFFH をキャプチャし、クリアした場合の FFFFH から 0000H になるタイミング

- 注意 1.** オーバフロー割り込み要求信号 (INTTTIOVn) 発生後は、必ずオーバフロー・フラグ (TTnOVF, TTnEOF ビット) が“1”にセットされているのを確認してください。
- 2.** TTnOPT0 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

(d) カウントの保持動作

エンコーダ・コンペア・モード時に、TTnCTL2.TTnECC ビットにより 16 ビット・カウンタの値の保持制御を行います。TTnECC ビット = 0 かつ TTnCTL0.TTnCE ビット = 0 の場合は、16 ビット・カウンタの値は FFFFH にリセットされ、次の TTnCE ビット = 1 で TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を行います。

TTnECC ビット = 1 かつ TTnCE ビット = 0 の場合は、16 ビット・カウンタの値は保持され、次に TTnCE ビット = 1 にすると保持していた値からカウント動作を再開します。

(e) カウント動作中のカウンタ・リード動作

TMTn では、TTnCNT レジスタにより、カウント動作中の 16 ビット・カウンタの値をリードできます。

TTnCTL0.TTnCE ビット = 1 のときは、TTnCNT レジスタをリードすることにより、16 ビット・カウンタの値をリードできます。ただし、TTnCTL2.TTnECC ビット = 0 かつ TTnCE ビット = 0 のときに TTnCNT レジスタをリードすると 0000H です。TTnECC ビット = 1 かつ TTnCE ビット = 0 のときに TTnCNT レジスタをリードすると保持していた値となります。

(f) アンダフロー動作

16 ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000H から FFFFH になるタイミングで発生します。アンダフローが発生すると、TTnOPT1.TTnEUF ビットがセット (1) され、割り込み要求信号 (INTTTIOVn) が発生します。

- 注意** TTnOPT1 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したアンダフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

(g) 割り込み動作

TMTn では、次の 4 種類の割り込み要求信号を発生します。

- INTTTEQCn0 割り込み： CCR0 バッファ・レジスタの一致割り込み要求信号、および TTnCCR0 レジスタへのキャプチャ割り込み要求信号として機能します。
- INTTTEQCn1 割り込み： CCR1 バッファ・レジスタの一致割り込み要求信号、および TTnCCR1 レジスタへのキャプチャ割り込み要求信号として機能します。
- INTTTIOVn 割り込み： オーバフロー割り込み要求信号として機能します。
- INTTIECn 割り込み： エンコーダ・クリア入力 (TECRn 端子) の有効エッジ検出割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMTn では、タイマ動作中 (TTnCTL0.TTnCE ビット = 1) でも TTnCCR0, TTnCCR1 レジスタの書き換えを許可していますが、モードによって CCR0, CCR1 バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中に TTnCCR0, TTnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を随時行います。

備考 n = 0, 1

図 14-3 随時書き込みの基本動作フロー・チャート

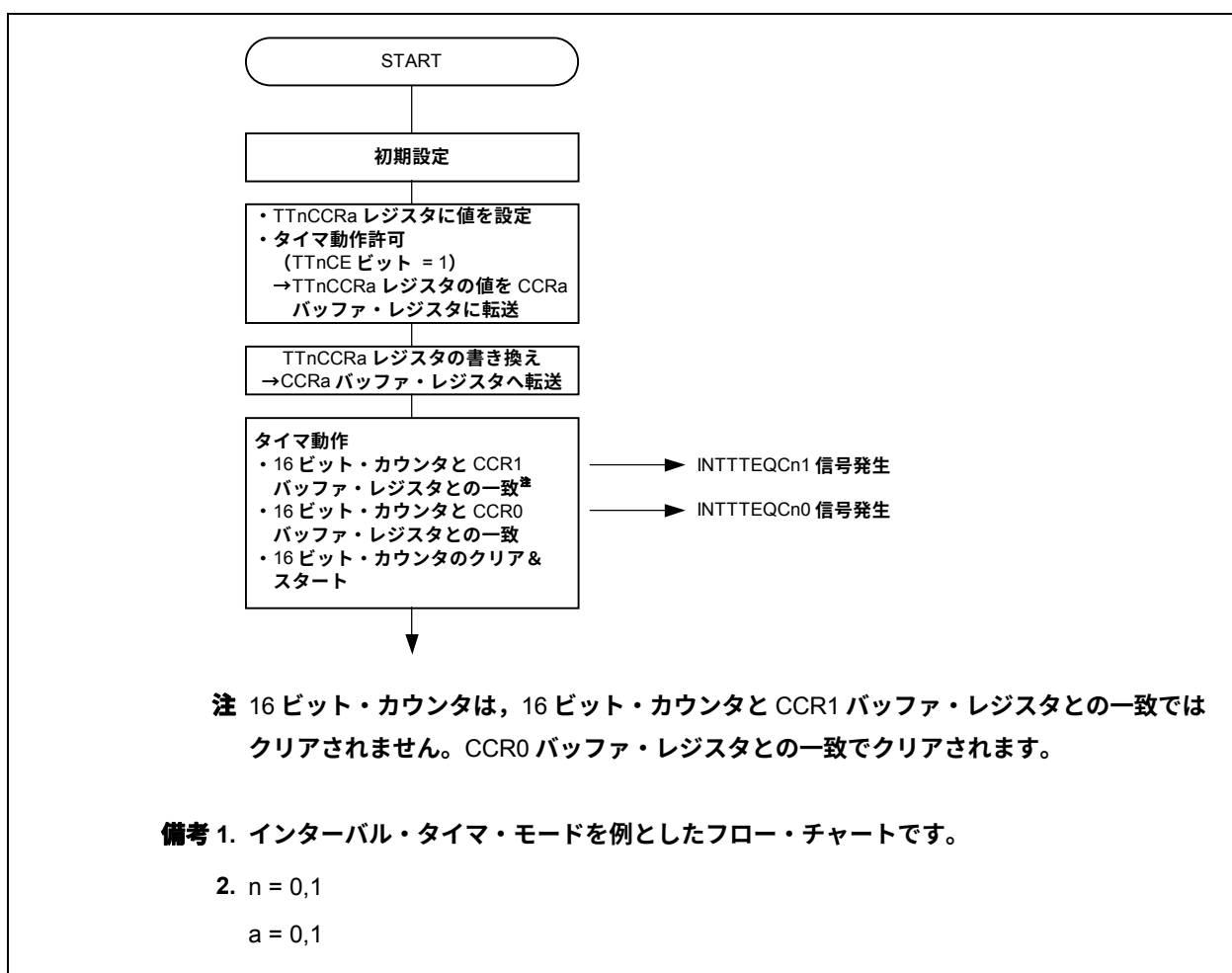
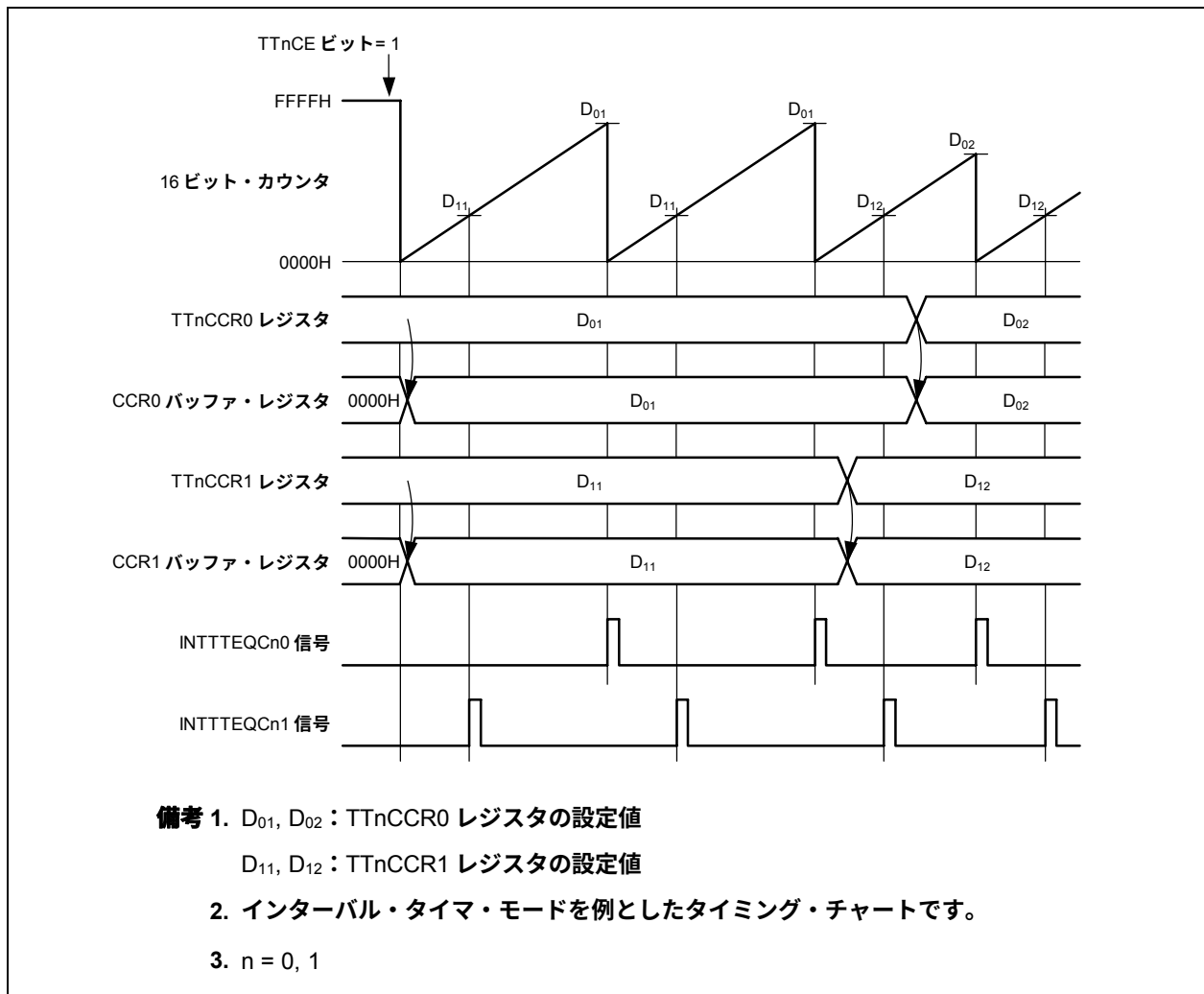


図 14-4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中に TTnCCR0, TTnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TTnCCR1 レジスタへの書き込みとなります。TTnCCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TTnCCR0, TTnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致する前に TTnCCR0 レジスタを書き換え、次に TTnCCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値との一致タイミングで、TTnCCR0, TTnCCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TTnCCR0 レジスタの値だけ書き換えたい場合でも、TTnCCR1 レジスタに同値 (すでに設定した TTnCCR1 レジスタと同じ値) を書き込んでください。

備考 n = 0, 1

図 14-5 一斉書き込みの基本動作フロー・チャート

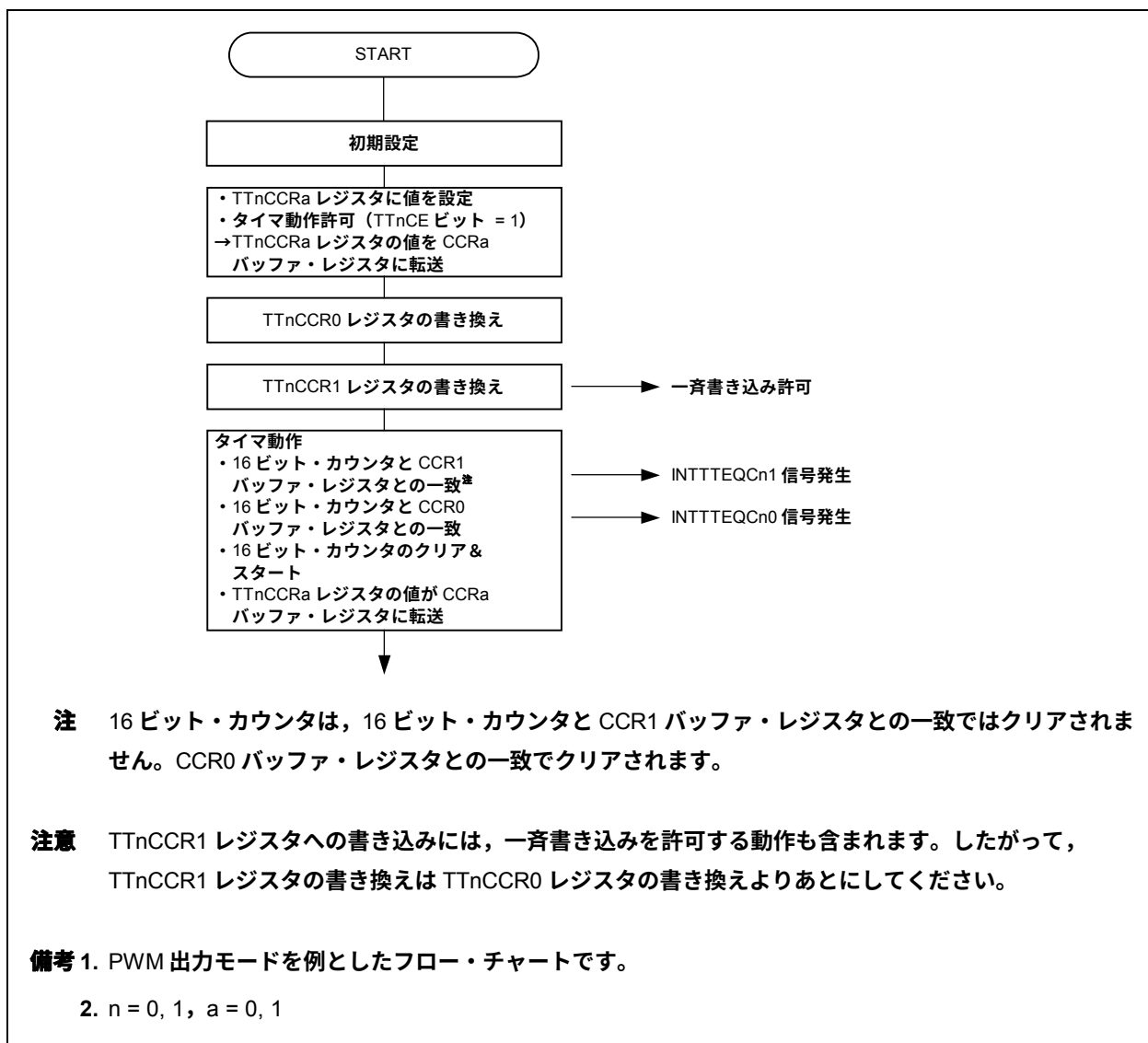
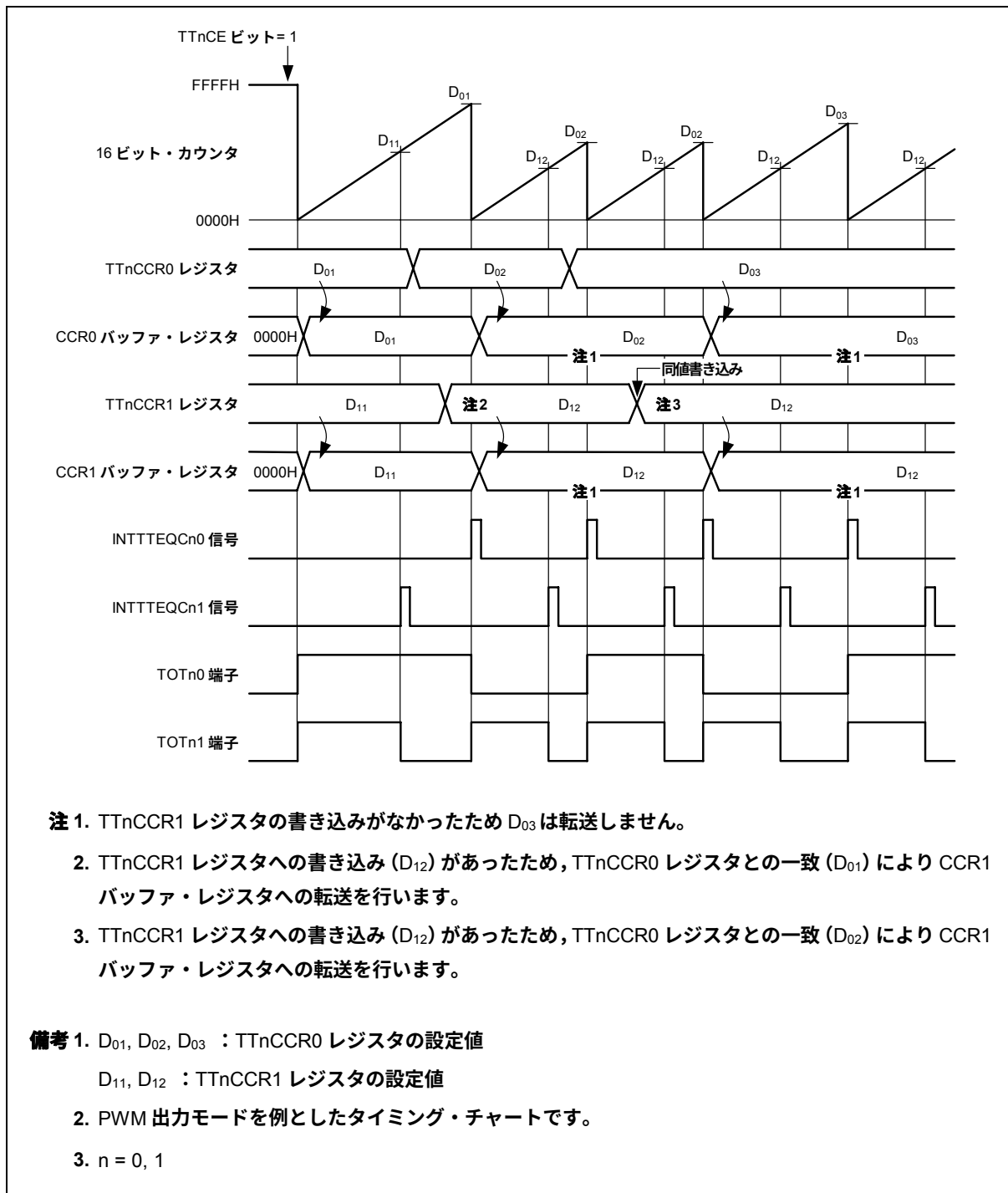


図 14-6 一斉書き込みのタイミング



14.6.2 インターバル・タイマ・モード (TTnMD3-TTnMD0 ビット = 0000)

インターバル・タイマ・モードは、TTnCTL0.TTnCE ビットをセット (1) することで、TTnCCR0 レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTTEQCn0) を発生します。また、TOTn0 端子から、インターバル間隔を半周期とする 50%デューティの PWM 波形を出力できます。

インターバル・タイマ・モードでは、TTnCCR1 レジスタを使用しません。しかし、TTnCCR1 レジスタでは、TTnCCR1 レジスタの設定値が CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するとコンパレー一致割り込み要求信号 (INTTTEQCn1) が発生します。また、TOTn1 端子から、INTTTEQCn1 信号の発生タイミングにより反転する 50%デューティの PWM 波形を出力できます。

なお、TTnCCR0, TTnCCR1 レジスタのタイマ動作中の書き換えは可能です。

図 14-7 インターバル・タイマの構成図

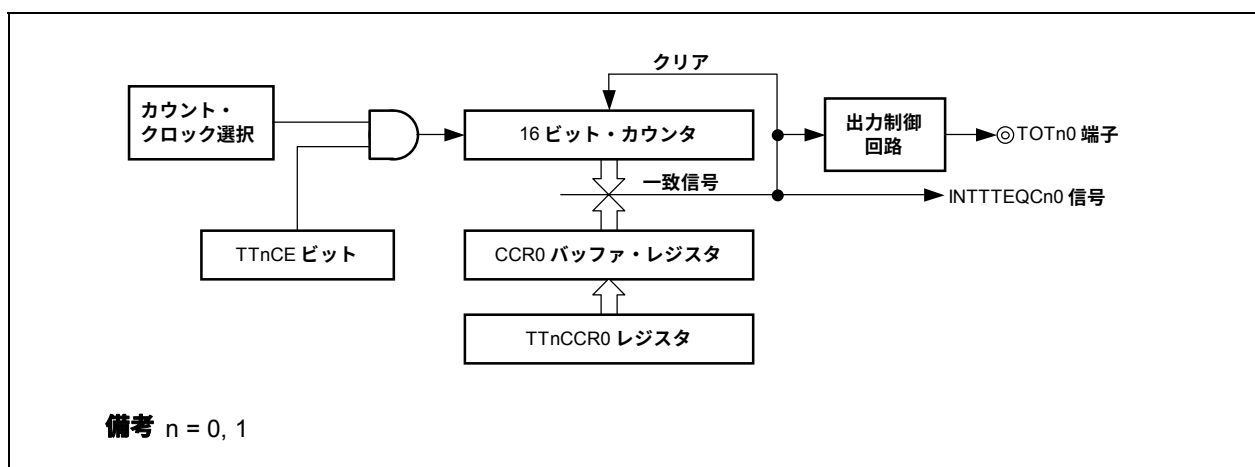
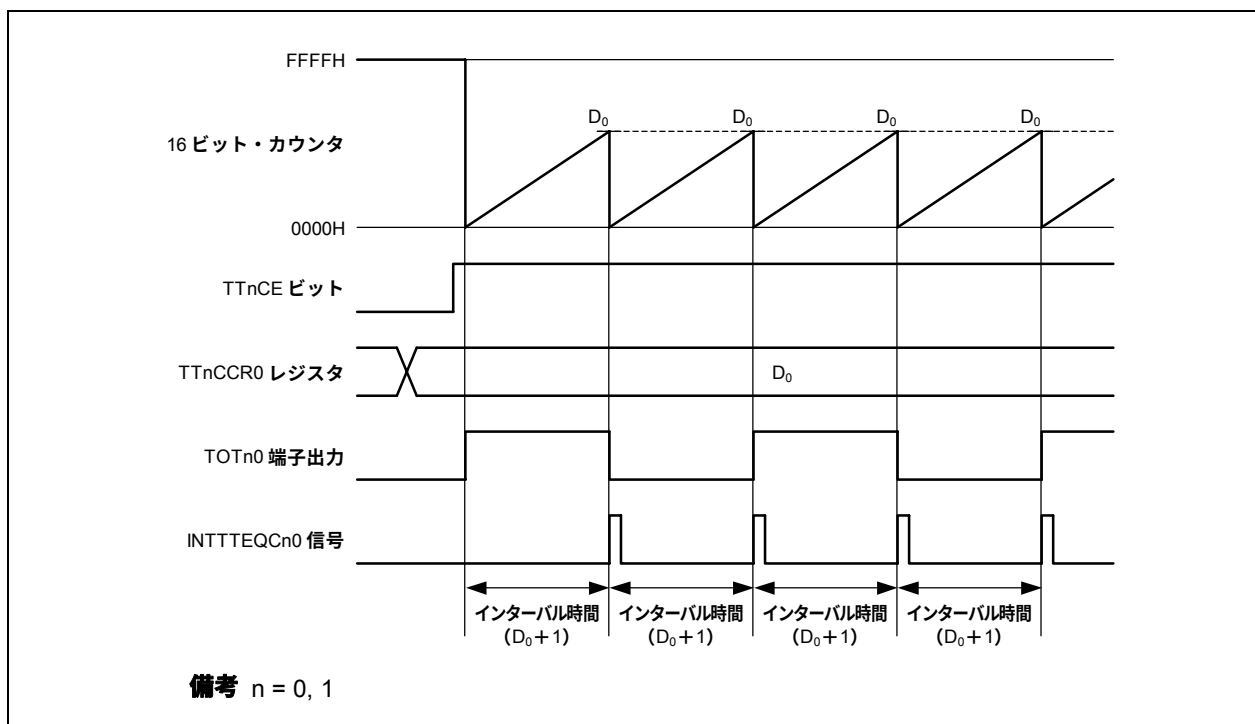


図 14-8 インターバル・タイマ・モード動作の基本タイミング



TTnCE ビットをセット (1) することで、カウント・クロックに同期して 16 ビット・カウンタを FFFFH から 0000H にクリアし、カウント動作を開始します。このとき TOTn0 端子出力を反転します。また、TTnCCR0 レジスタの設定値が CCR0 バッファ・レジスタに転送されます。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、TOTn0 端子出力を反転させて、コンペアー一致割り込み要求信号 (INTTTEQCn0) を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TTnCCR0 レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0, 1

図 14-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

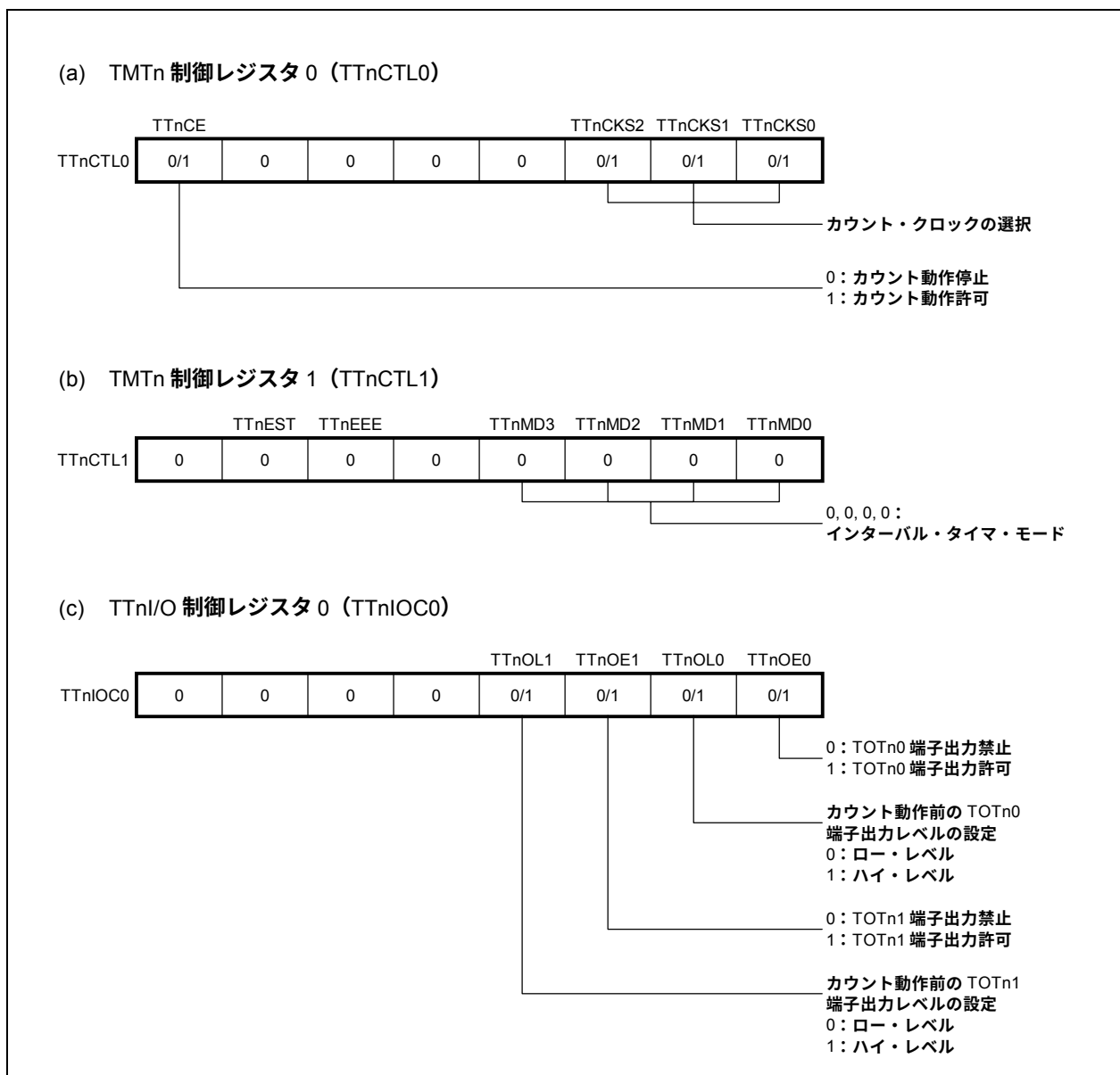


図 14-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

- (d) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタのカウント値をリードできます。

- (e) TMTn キャプチャ／コンペア・レジスタ 0 (TTnCCR0)

TTnCCR0 レジスタに D_0 を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- (f) TMTn キャプチャ／コンペア・レジスタ 1 (TTnCCR1)

インターバル・タイマ・モードでは、TTnCCR1 レジスタを使用しません。しかし、TTnCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると、TOTn1 端子出力を反転し、コンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR0 レジスタの設定値と同じ値を設定することにより、TOTn1 端子から 50% デューティの PWM 波形を出力できます。

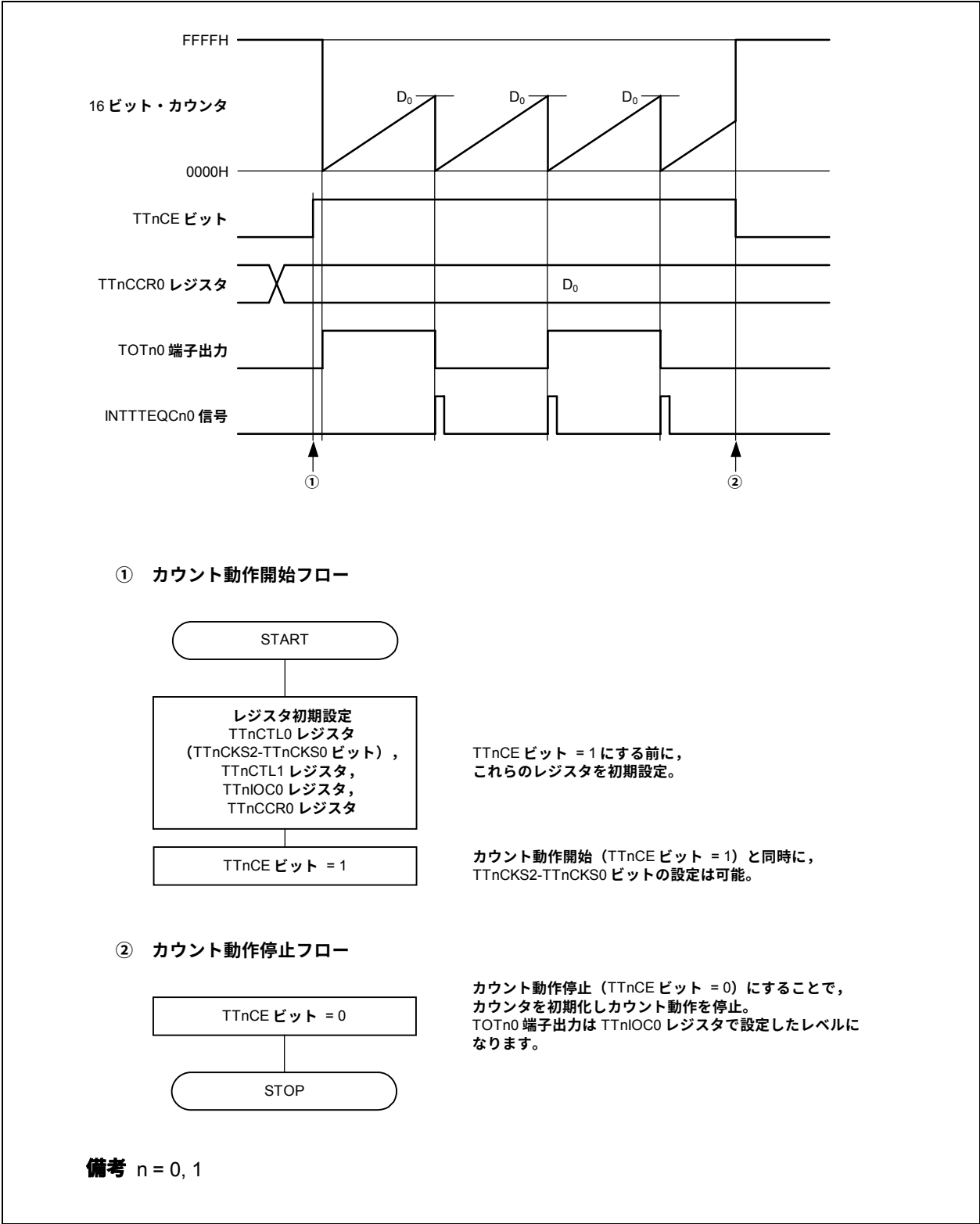
TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。また、割り込みマスク・フラグ (該当する EICm レジスタのマスク・ビット) でマスク設定してください。

備考 1. TMTn 制御レジスタ 2 (TTnCTL2)，TMTnI/O 制御レジスタ 1 (TTnIOC1)，TMTnI/O 制御レジスタ 2 (TTnIOC2)，TMTnI/O 制御レジスタ 3 (TTnIOC3)，TMTn オプション・レジスタ 0 (TTnOPT0)，TMTn オプション・レジスタ 1 (TTnOPT1)，TMTn カウンタ・ライト・レジスタ (TTnTCW) は、インターバル・タイマ・モードでは使用しません。

2. $n = 0, 1$, $m = 20, 24$

(1) インターバル・タイマ・モード動作フロー

図 14-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー

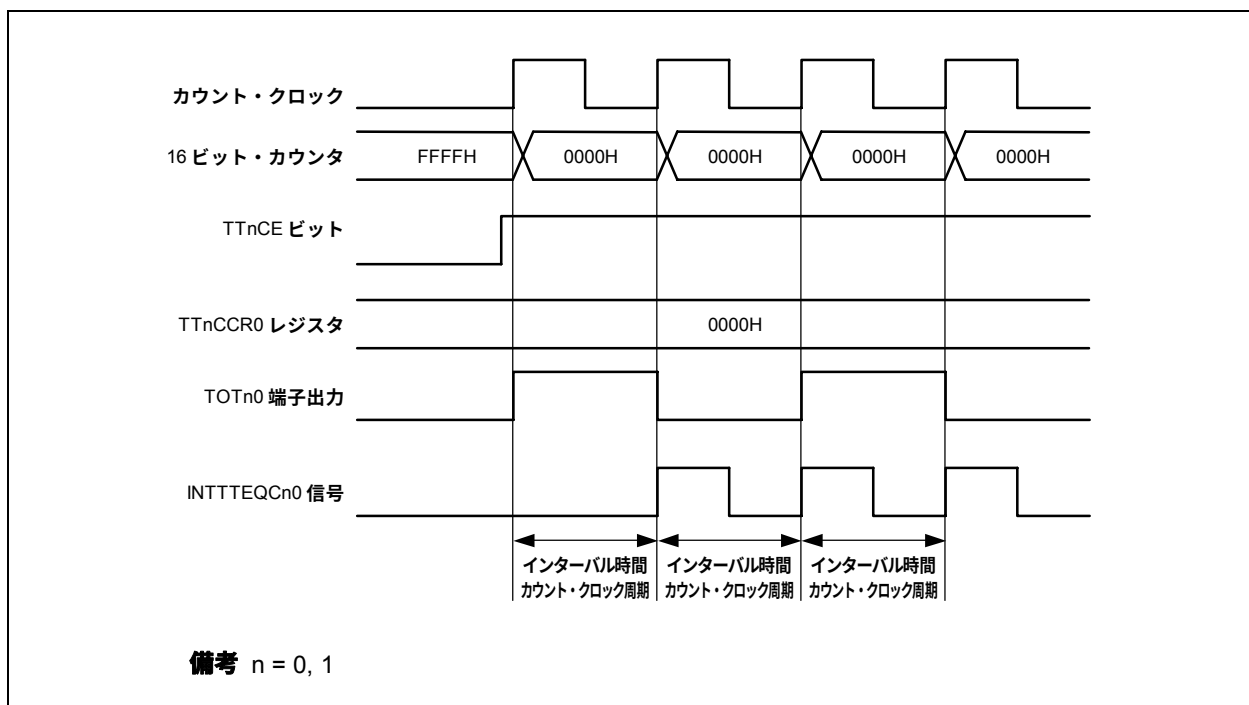


(2) インターバル・タイマ・モード動作タイミング

(a) TTnCCR0 レジスタに 0000H を設定した場合の動作

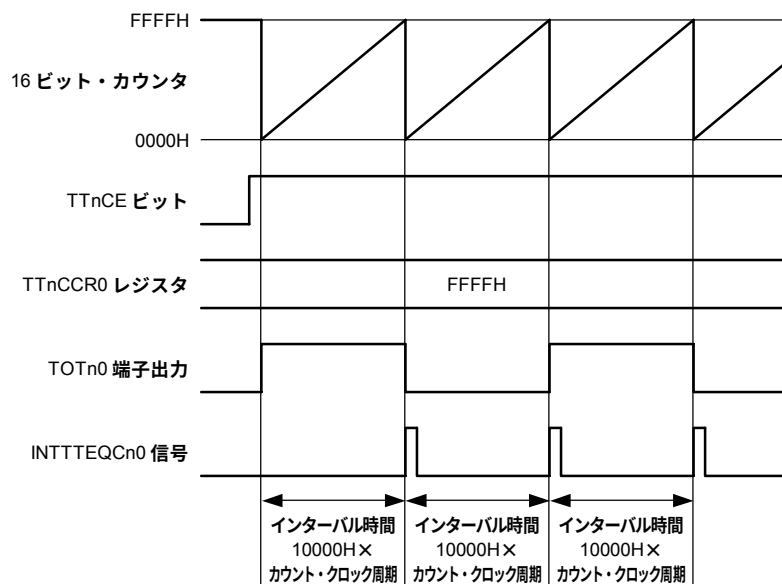
TTnCCR0 レジスタに 0000H を設定した場合、カウント・クロックごとに INTTTEQCn0 信号を発生し、TOTn0 端子の出力を反転します。

16 ビット・カウンタは、常に 0000H となります。



(b) TTnCCR0 レジスタに FFFFH を設定した場合の動作

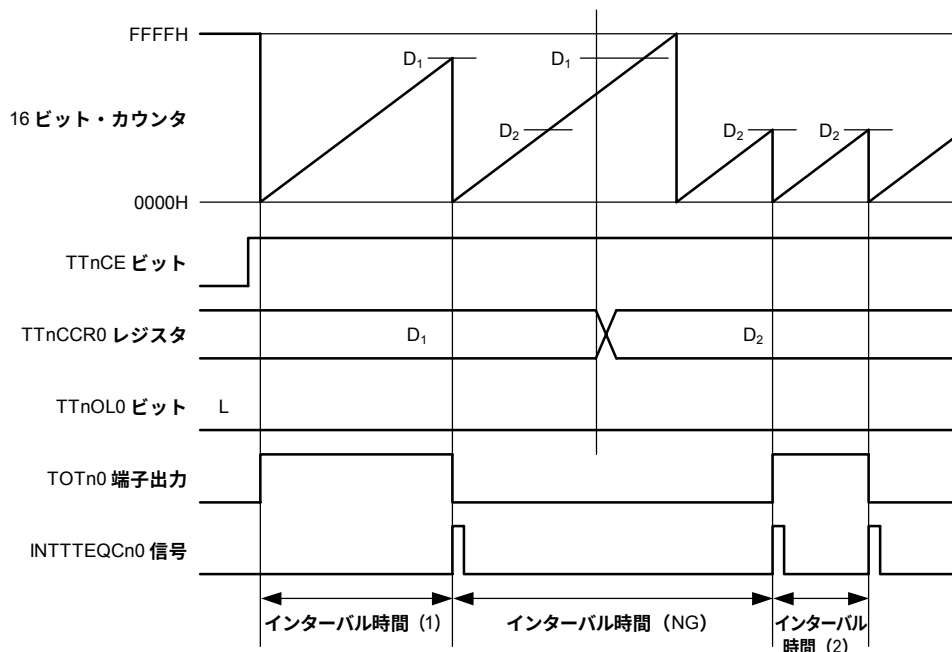
TTnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTTEQCn0 信号を発生し、TOTn0 端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTTIOVn) は発生せず、オーバーフロー・フラグ (TTnOPT0.TTnOVF ビット) もセット (1) されません。



備考 n = 0, 1

(c) TTnCCR0 レジスタの書き換えに関する注意事項

カウント動作中に TTnCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考 1.** インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
- 2.** $n = 0, 1$

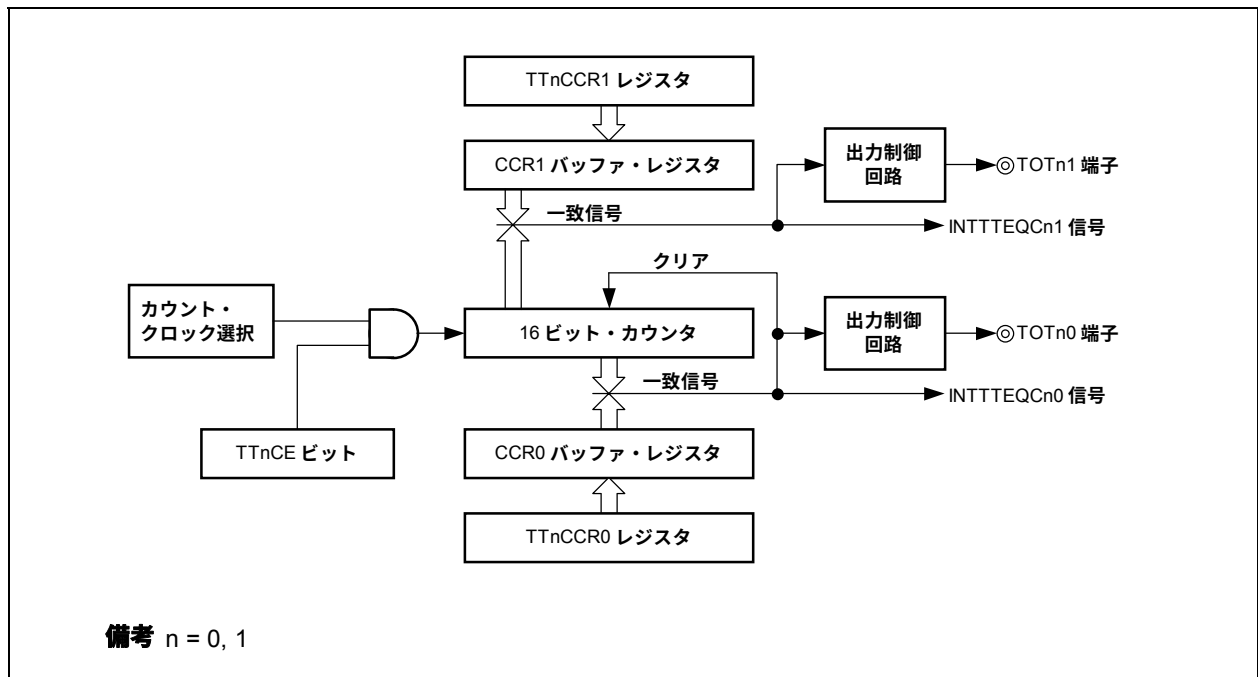
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TTnCCR0 レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 D_2 との一致で INTTTEQCn0 信号を発生し TOTn0 端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」で INTTTEQCn0 信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔で INTTTEQCn0 信号が発生する場合があります。

(d) TTnCCR1 レジスタの動作

図 14-11 TTnCCR1 レジスタの構成図



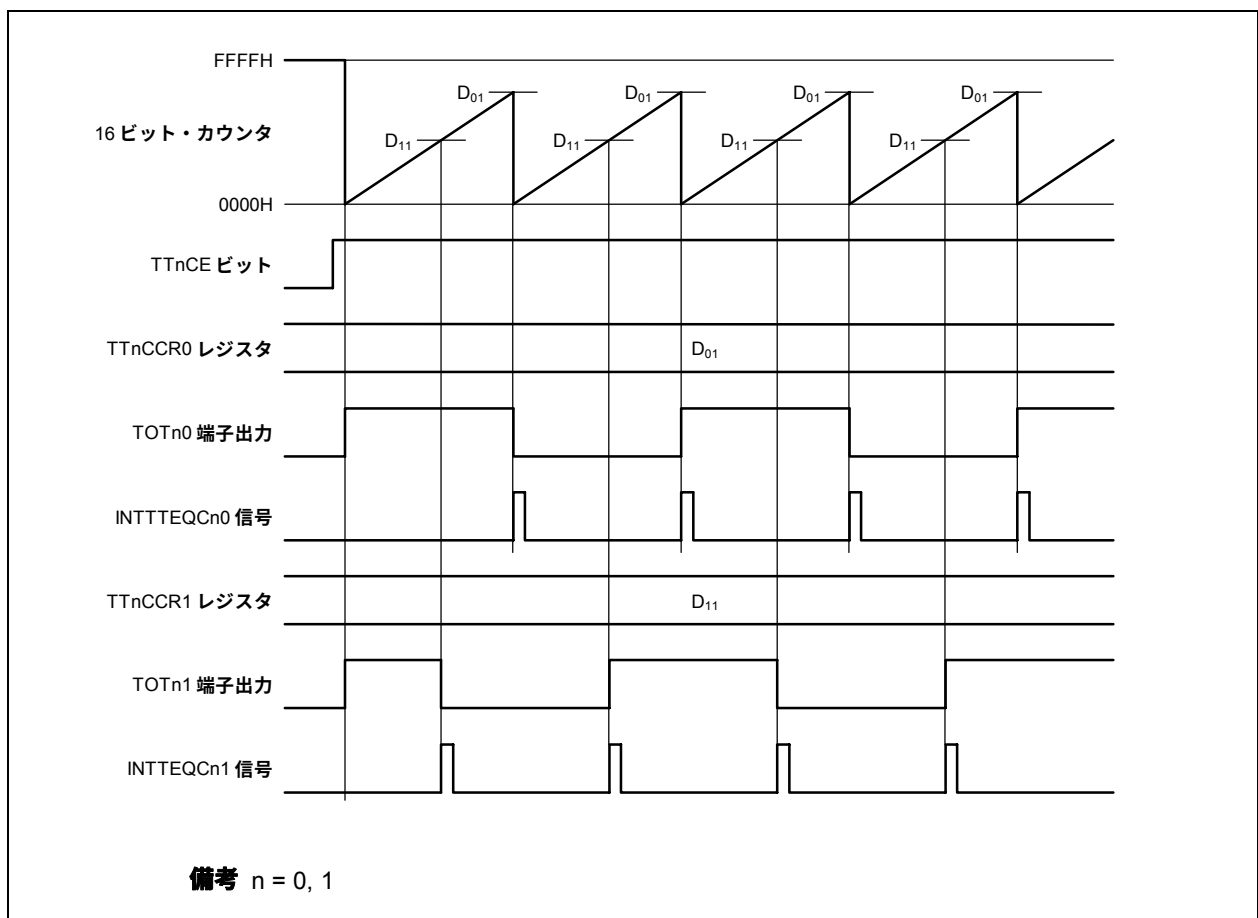
TTnCCR1 レジスタに TTnCCR0 レジスタの設定値と同じ値を設定すると、INTTTEQCn0 信号と同じタイミングで INTTTEQCn1 信号が発生し、TOTn1 端子出力が反転します。すなわち、TOTn1 端子から 50%デューティの PWM 波形を出力できます。

TTnCCR0 レジスタの設定値とは異なる値を TTnCCR1 レジスタに設定した場合の動作を次に示します。

TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも小さい場合には、1 周期に 1 回の INTTTEQCn1 信号が発生します。また、同じタイミングで TOTn1 端子出力は反転します。

TOTn1 端子出力は、最初に短い幅のパルスを出力したあと、50%デューティの PWM 波形を出力します。

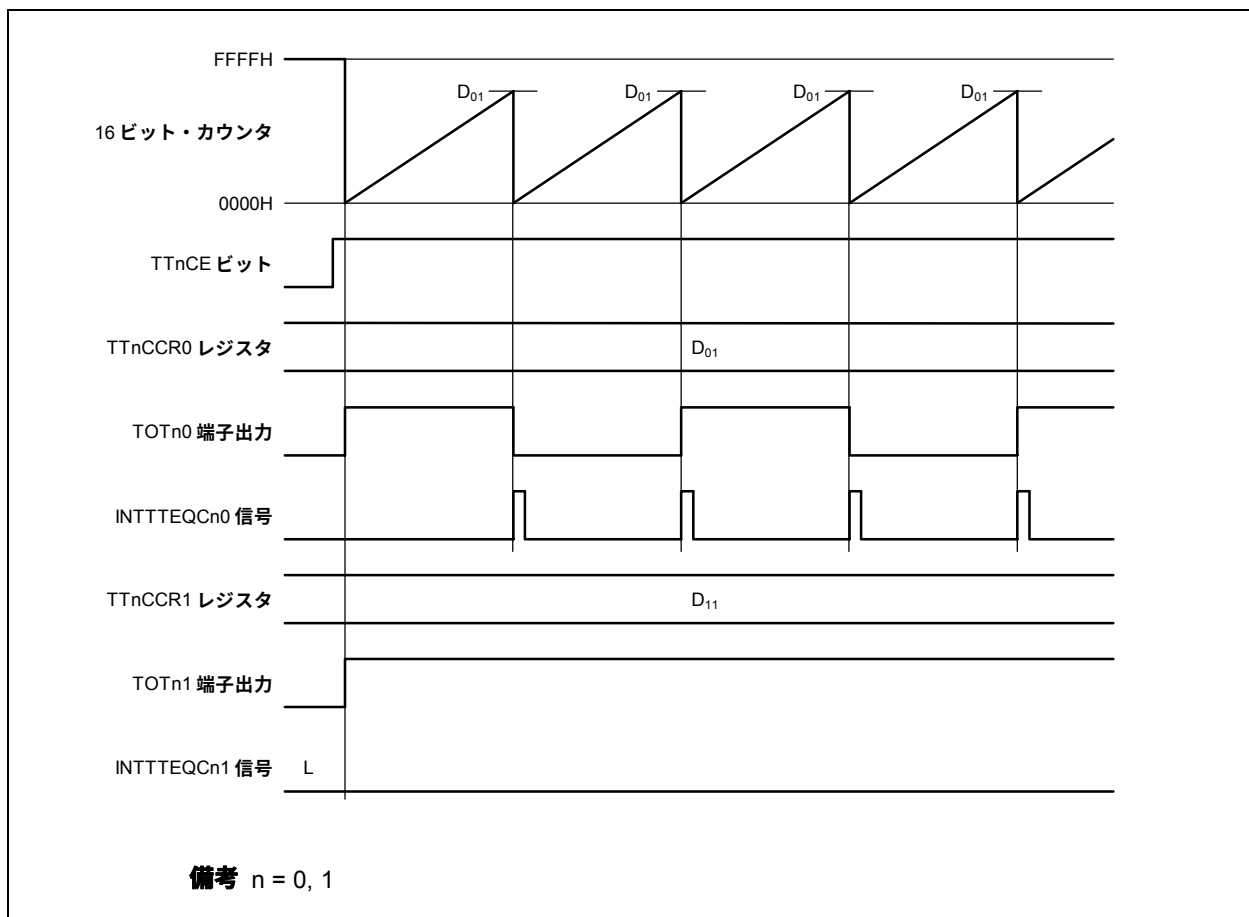
図 14-12 $D_{01} \geq D_{11}$ の場合のタイミング図



TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも大きい場合には、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値が一致しないので、INTTTEQCn1 信号は発生しません。また、TOTn1 端子出力も変化しません。

TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。

図 14-13 $D_{01} < D_{11}$ の場合のタイミング図



14.6.3 外部イベント・カウント・モード (TTnMD3-TTnMD0 ビット = 0001)

外部イベント・カウント・モードは、TTnCTL0.TTnCE ビットをセット (1) することで、外部イベント・カウント入力 (EVTn) の有効エッジをカウントし、TTnCCR0 レジスタで設定したカウント数をカウントするごとに割り込み要求信号 (INTTTEQCn0) を発生します。TOTn0, TOTn1 端子は使用できません。

外部イベント・カウント・モードでは、TTnCCR1 レジスタは使用しません。

図 14-14 外部イベント・カウント・モードの構成図

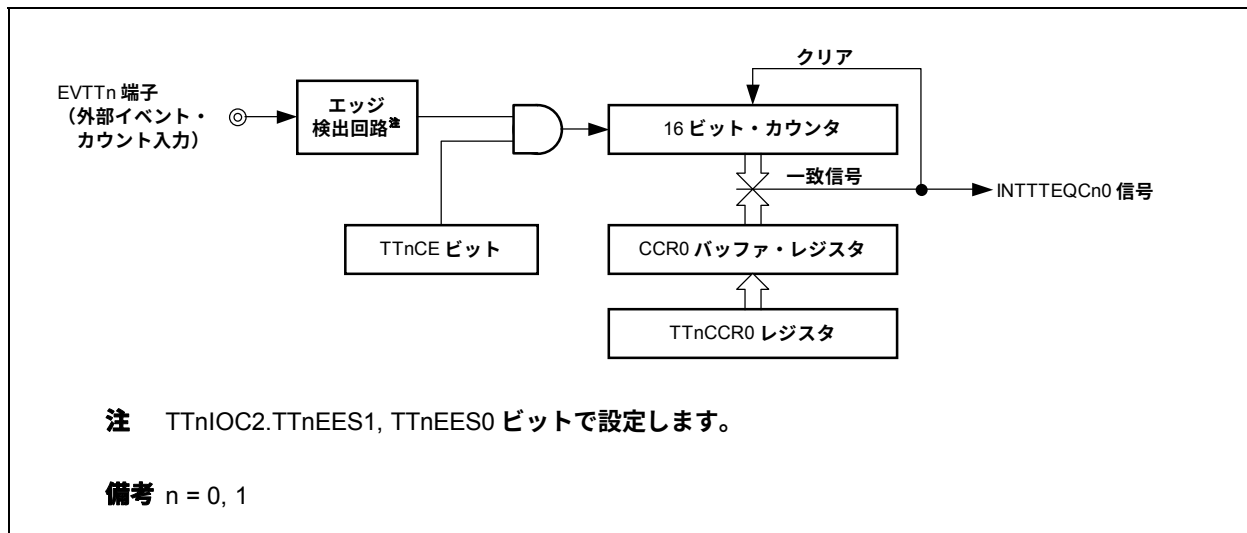
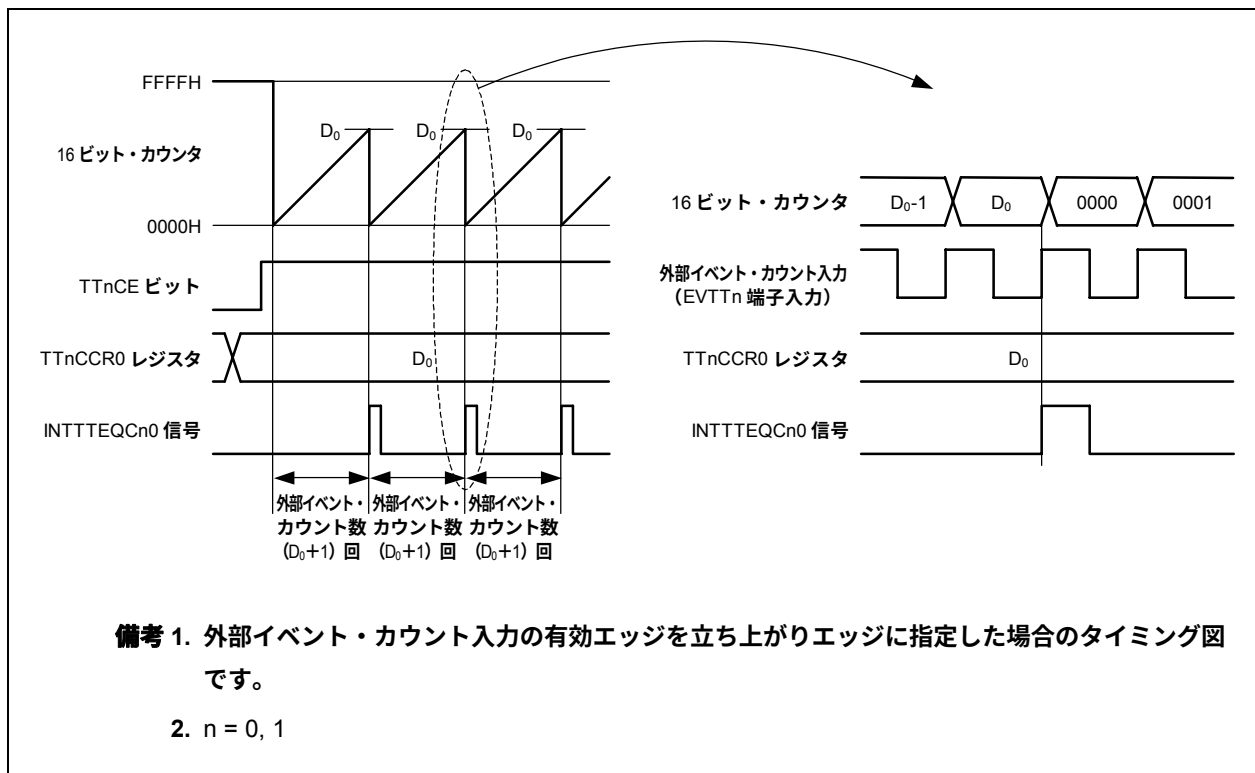


図 14-15 外部イベント・カウント・モードの基本タイミング



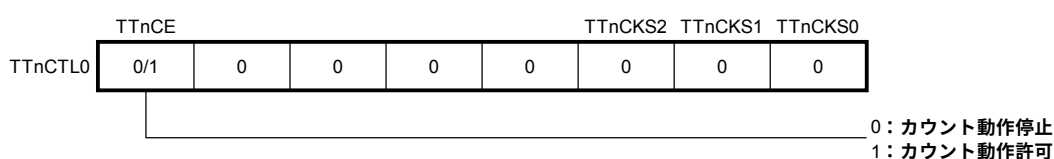
TTnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TTnCCR0 レジスタの設定値が CCR0 バッファ・レジスタに転送されます。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると、16 ビット・カウンタを 0000H にクリアし、コンペアー一致割り込み要求信号 (INTTTEQCn0) を発生します。

INTTTEQCn0 信号は、外部イベント・カウント入力の有効エッジを (TTnCCR0 レジスタに設定した値 + 1) 回検出するごとに発生します。

図 14-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

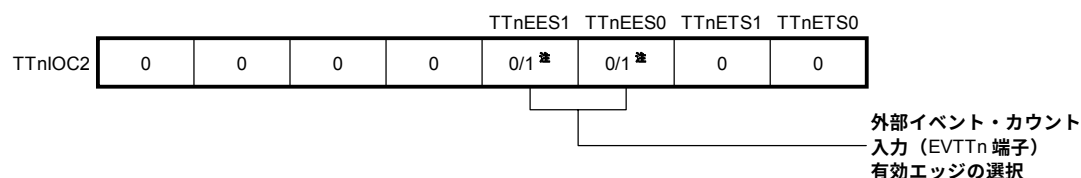
(a) TMTn 制御レジスタ 0 (TTnCTL0)



(b) TMTn 制御レジスタ 1 (TTnCTL1)



(c) TMTn/O 制御レジスタ 2 (TTnIOC2)



(d) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタのカウント値をリードできます。

(e) TMTn キャプチャ/コンペア・レジスタ 0 (TTnCCR0)

TTnCCR0 レジスタに D_0 を設定した場合、外部イベント・カウント数が $(D_0 + 1)$ 回となるとカウントをクリアしコンペアー一致割り込み要求信号 (INTTTEQCn0) を発生します。

図 14-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMTn キャプチャ／コンペア・レジスタ 1 (TTnCCR1)

外部イベント・カウント・モードでは、TTnCCR1 レジスタは使用しません。しかし、TTnCCR1 レジスタの設定値は CCR1 バッファ・レジスタに転送され、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。また、割り込みマスク・フラグ (該当する EICm レジスタのマスク・ビット) でマスク設定してください。

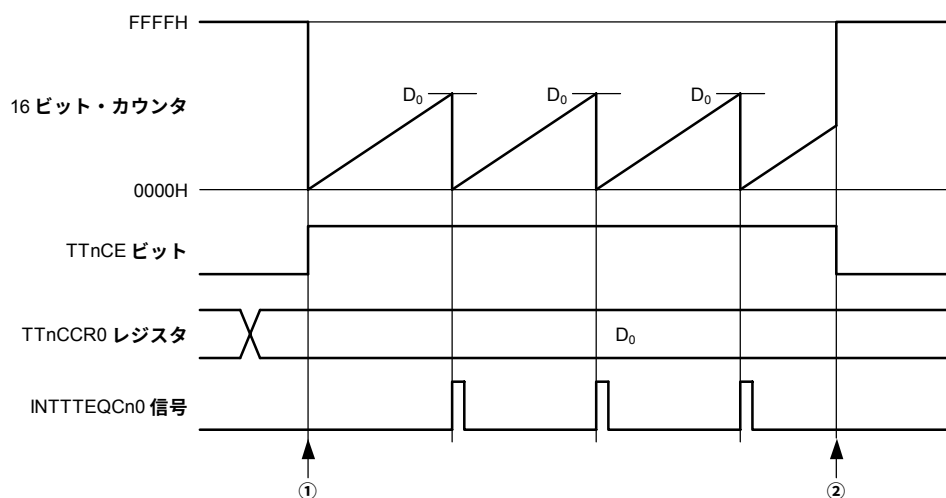
注意 TTnIOC0 レジスタには 00H を設定してください。

備考 1. TMTn 制御レジスタ 2 (TTnCTL2) , TMTnI/O 制御レジスタ 0 (TTnIOC0) , TMTnI/O 制御レジスタ 1 (TTnIOC1) , TMTnI/O 制御レジスタ 3 (TTnIOC3) , TMTn オプション・レジスタ 0 (TTnOPT0) , TMTn オプション・レジスタ 1 (TTnOPT1) , TMTn カウンタ・ライト・レジスタ (TTnTCW) は、外部イベント・カウント・モードでは使用しません。

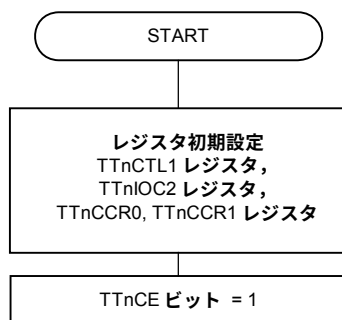
2. $n = 0, 1$, $m = 20, 24$

(1) 外部イベント・カウント・モード動作フロー

図 14-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

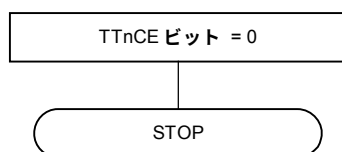


① カウント動作開始フロー



TTnCE ビット = 1 にする前に、
これらのレジスタを初期設定。

② カウント動作停止フロー



カウント動作停止 (TTnCE ビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

備考 n = 0, 1

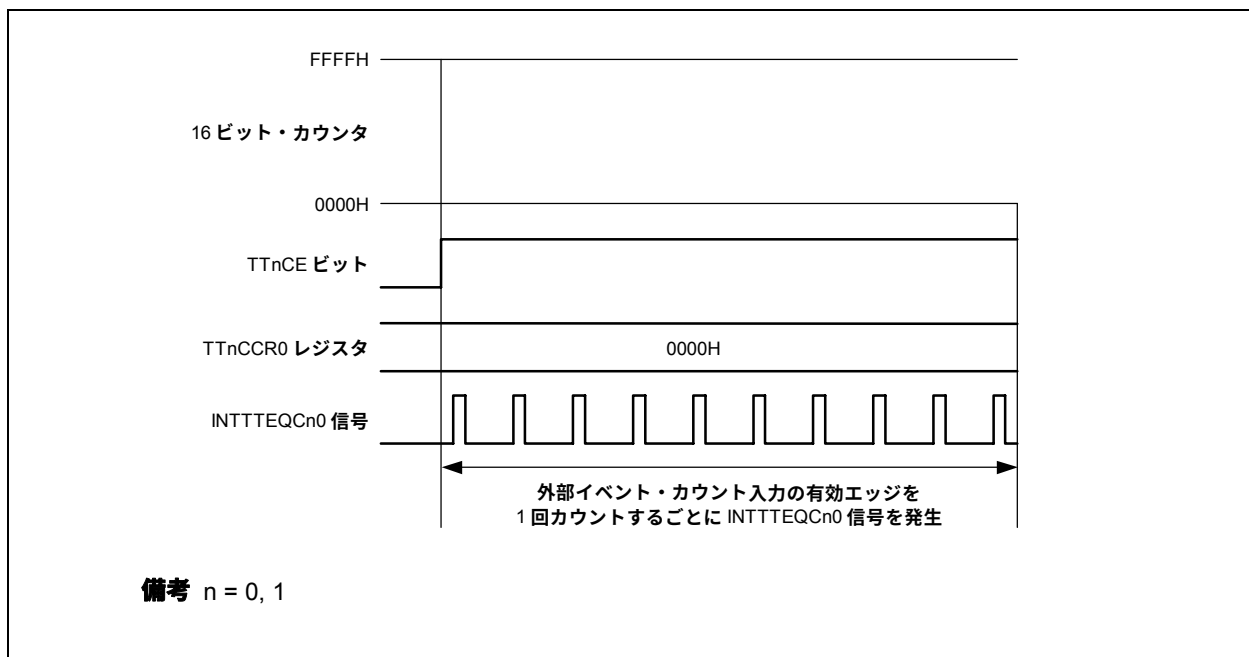
(2) 外部イベント・カウント・モード動作タイミング

注意 外部イベント・カウント・モード時，タイマ出力 (TOTn0, TOTn1) は使用禁止です。

(a) TTnCCR0 レジスタに 0000H を設定した場合の動作

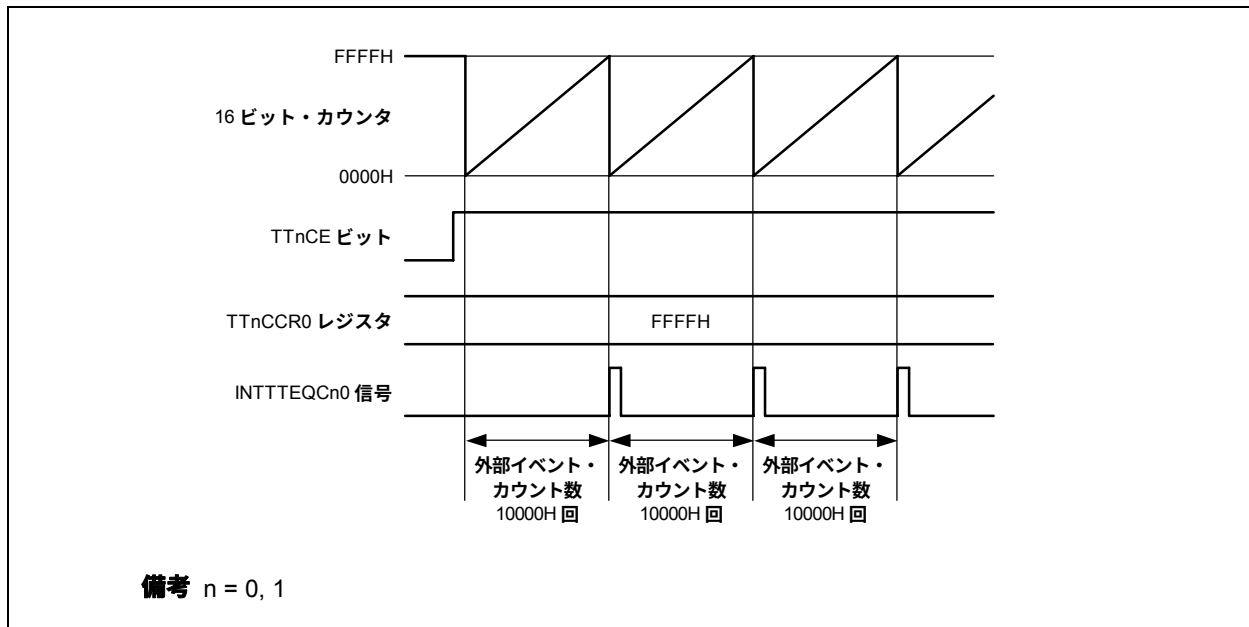
TTnCCR0 レジスタに 0000H を設定した場合，16 ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとに CCR0 バッファ・レジスタの値との一致で，16 ビット・カウンタを 0000H にクリアし続けて，INTTTEQCn0 信号を発生します。

16 ビット・カウンタは，常に 0000H となります。



(b) TTnCCR0 レジスタに FFFFH を設定した場合の動作

TTnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとに FFFFH までカウント動作を行い、次のカウント・アップ・タイミングに同期して、16 ビット・カウンタを 0000H にクリアし、INTTTEQCn0 信号を発生します。このとき、TTnOPT0.TTnOVF ビットはセットされません。

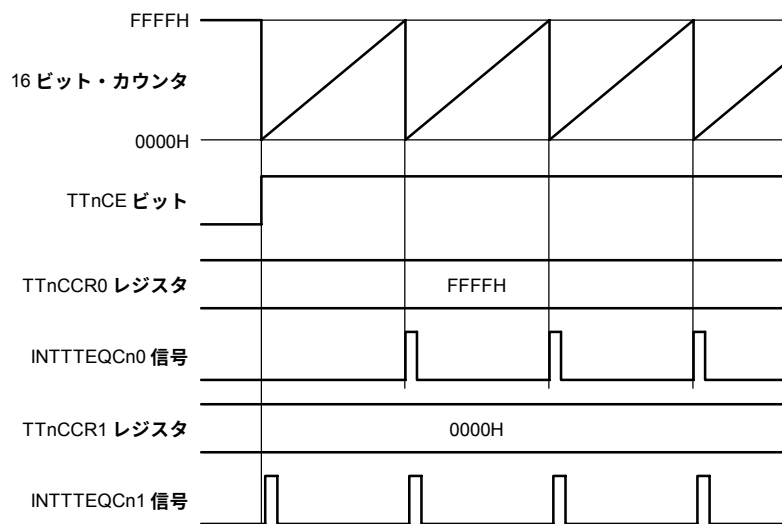


(c) TTnCCR0 レジスタに FFFFH, TTnCCR1 レジスタに 0000H を設定した場合の動作

TTnCCR0 レジスタに FFFFH を設定した場合、16 ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとに FFFFH までカウント動作を行い、次の外部イベント・カウント信号の有効エッジに同期して、16 ビット・カウンタを 0000H にクリアし、INTTTEQCn0 信号を発生します。

このとき、TTnOPT0.TTnOVF ビットはセットされません。

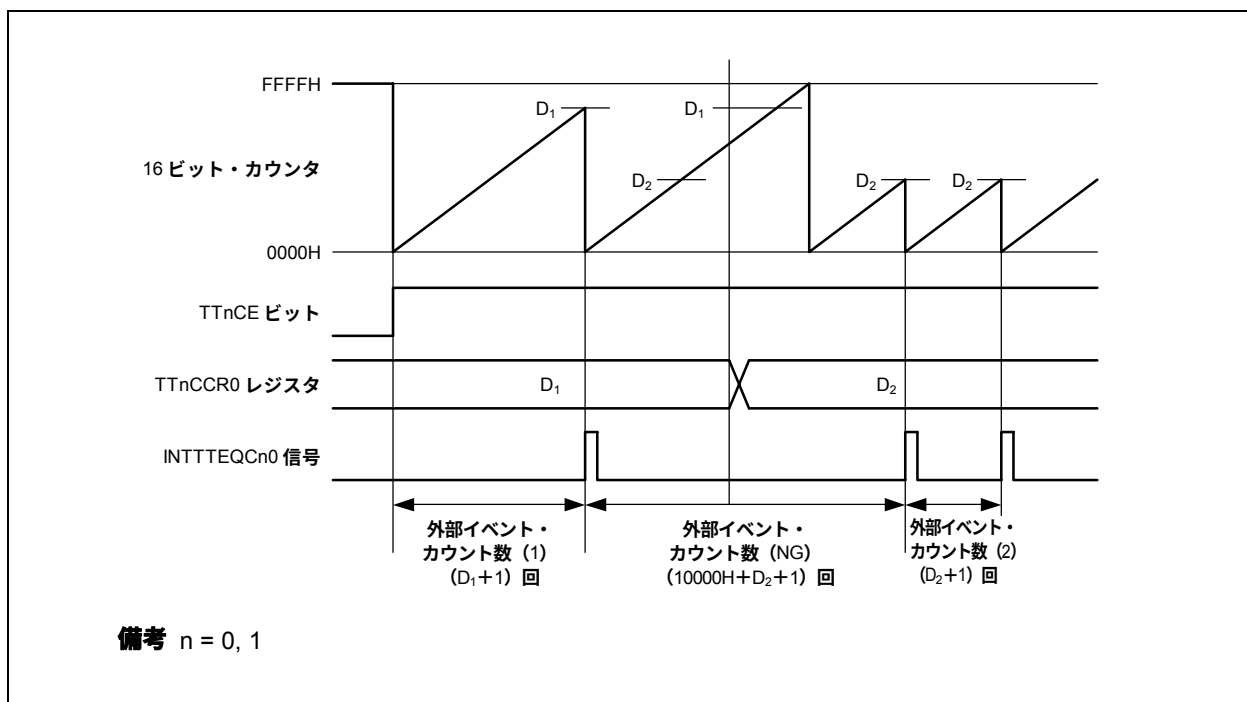
TTnCCR1 レジスタに 0000H を設定した場合、16 ビット・カウンタが 0000H にクリアされたタイミングで INTTTEQCn1 信号が発生します。



備考 n = 0, 1

(d) TTnCCR0 レジスタの書き換えに関する注意事項

カウント動作中に TTnCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



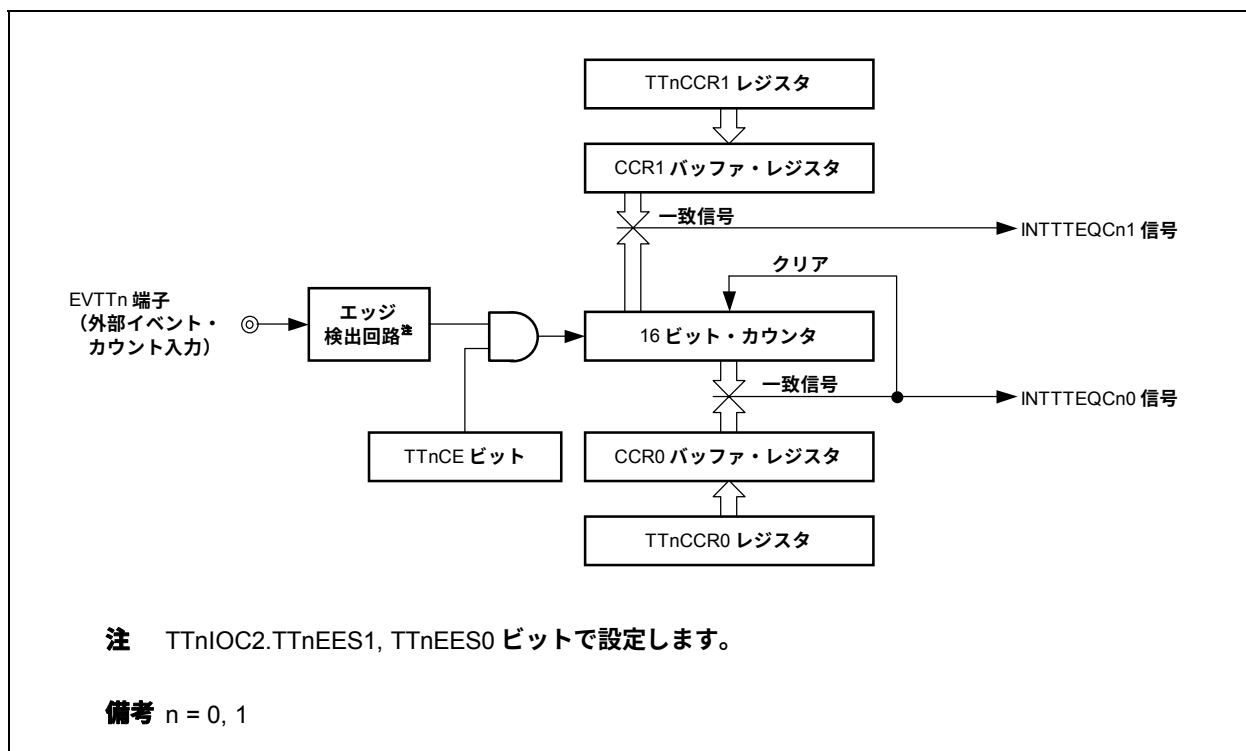
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TTnCCR0 レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 D_2 との一致で INTTTEQCn0 信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数で INTTTEQCn0 信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数で INTTTEQCn0 信号が発生する場合があります。

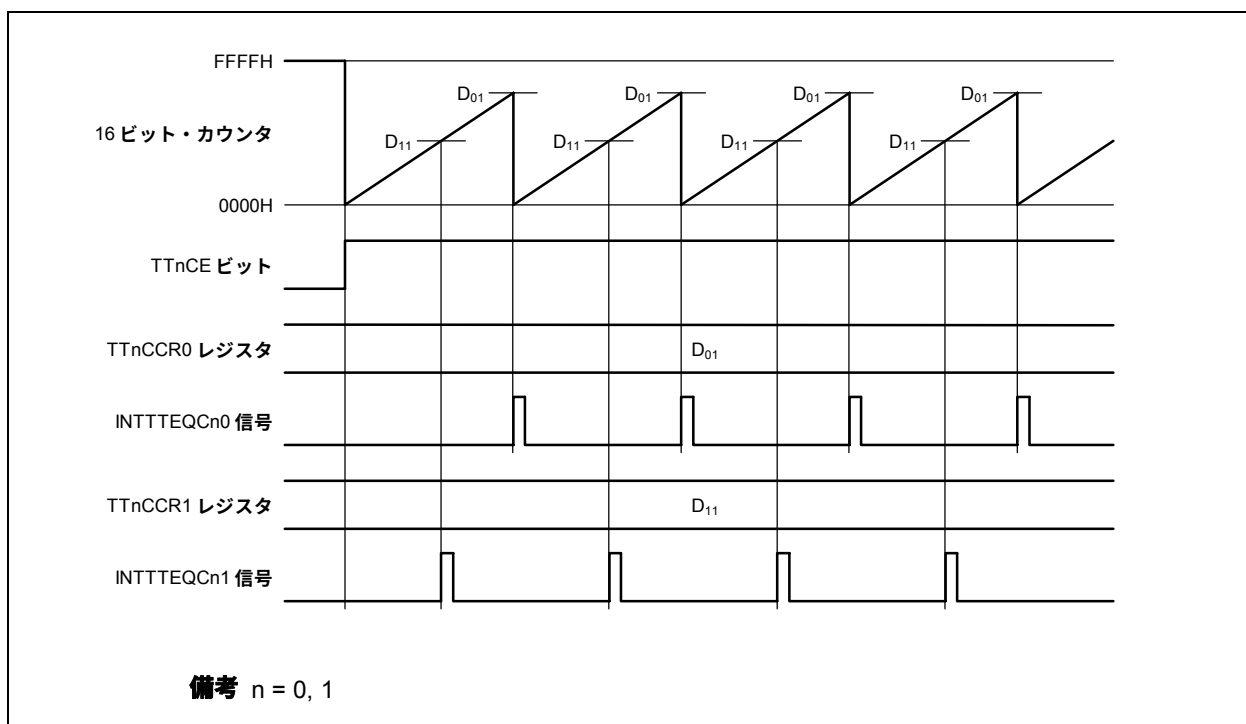
(e) TTnCCR1 レジスタの動作

図 14-18 TTnCCR1 レジスタ 1 の構成図



TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも小さい場合には、1 周期に 1 回の INTTTEQCn1 信号が発生します。

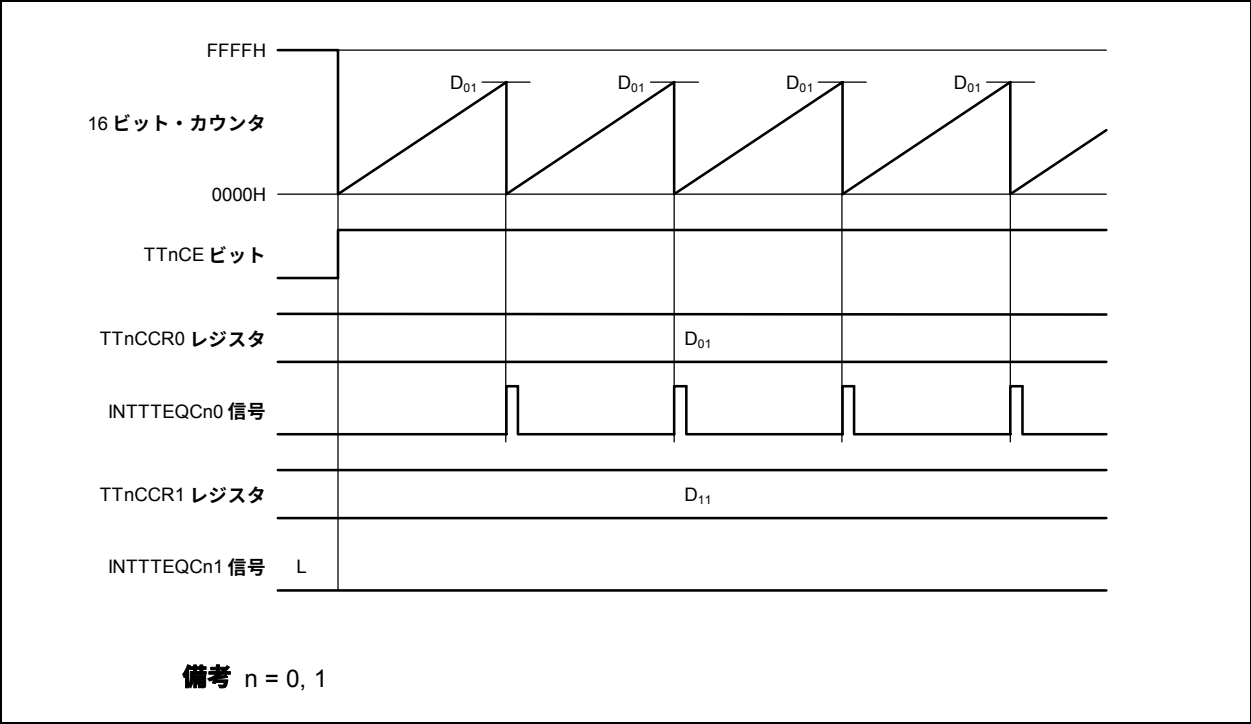
図 14-19 $D_{01} \geq D_{11}$ の場合のタイミング図



TTnCCR1 レジスタの設定値が TTnCCR0 レジスタの設定値よりも大きい場合には、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値が一致しないので、INTTTEQCn1 信号は発生しません。

TTnCCR1 レジスタを使用しない場合には、TTnCCR1 レジスタの設定値を FFFFH に設定することを推奨します。

図 14-20 $D_{01} < D_{11}$ の場合のタイミング図



14.6.4 外部トリガ・パルス出力モード (TTnMD3-TTnMD0 ビット = 0010)

外部トリガ・パルス出力モードは、TTnCTL0.TTnCE ビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力 (TRGTn) の有効エッジを検出すると、カウント動作を開始し、TOTn1 端子から PWM 波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOTn0 端子から TTnCCR0 レジスタの設定値+1 を半周期とする 50%デューティの PWM 波形を出力できます。

図 14-21 外部トリガ・パルス出力モードの構成図

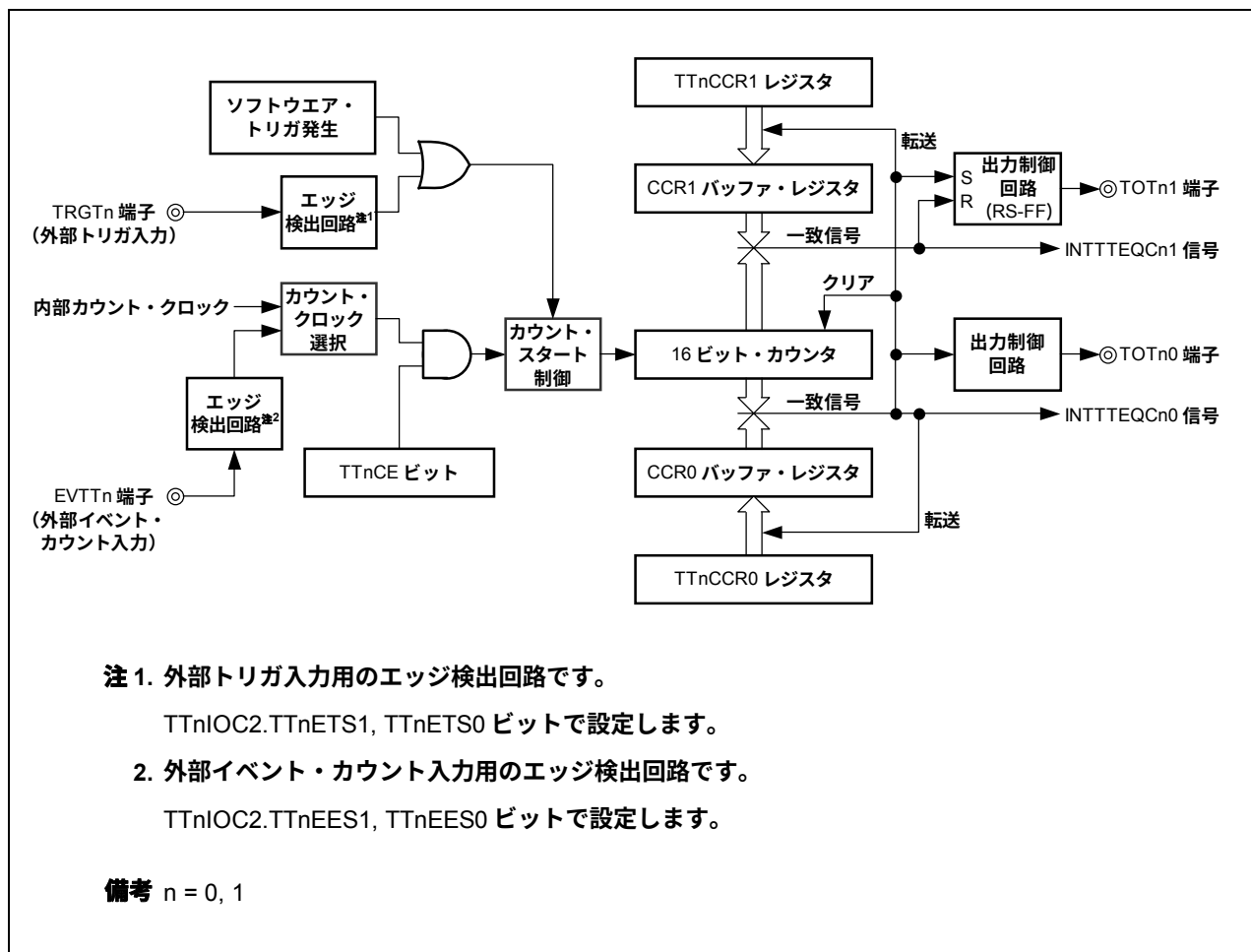
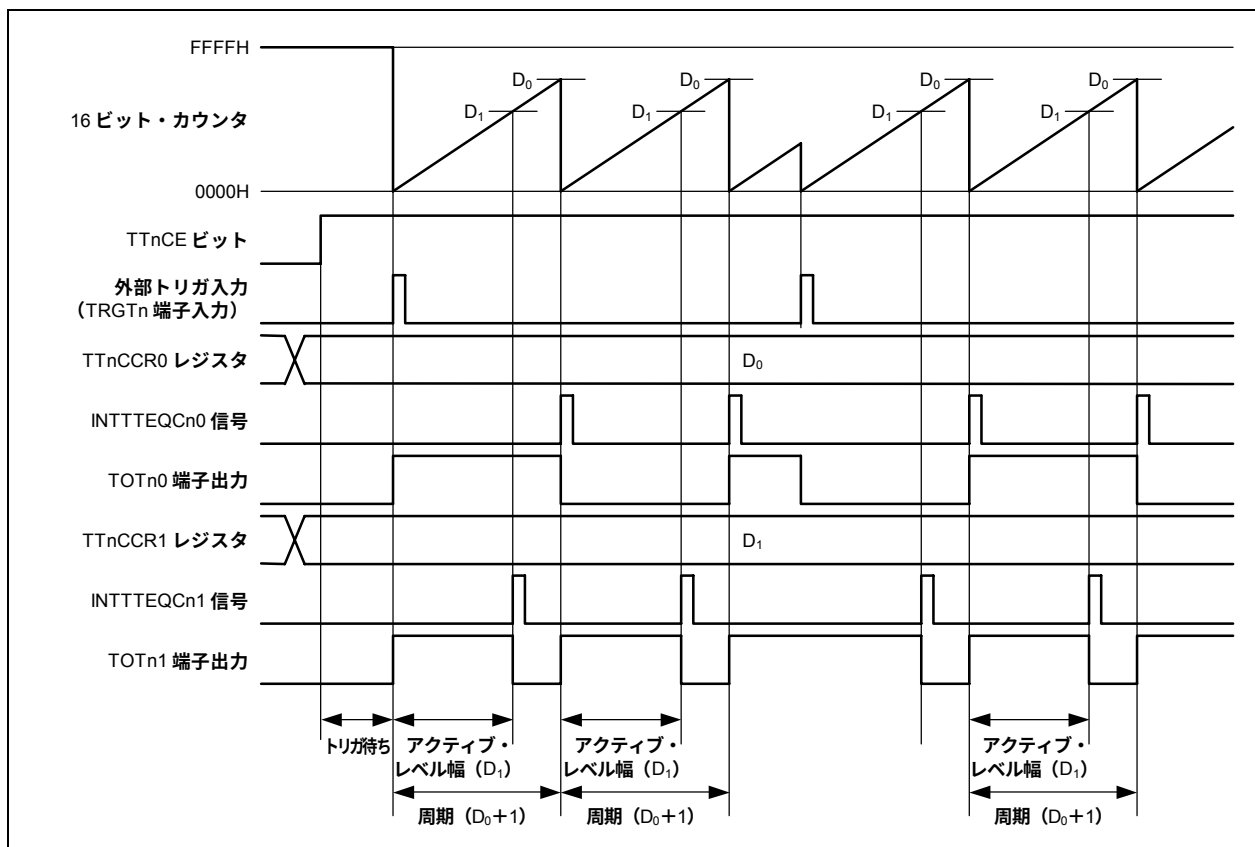


図 14-22 外部トリガ・パルス出力モードの基本タイミング



TTnCE ビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子から PWM 波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを 0000H にクリアし再スタートします (TOTn0 端子出力は反転します。TOTn1 端子出力はトリガが発生したときの状態がロー・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM 波形のアクティブ・レベル幅、周期、およびデューティーは次のように求められます。

アクティブ・レベル幅 = (TTnCCR1 レジスタの設定値) × カウント・クロック周期

周期 = (TTnCCR0 レジスタの設定値 + 1) × カウント・クロック周期

デューティー = (TTnCCR1 レジスタの設定値) / (TTnCCR0 レジスタの設定値 + 1)

コンペアー一致割り込み要求信号 (INTTTEQn0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に 16 ビット・カウンタを 0000H にクリアします。コンペアー一致割り込み要求信号 (INTTTEQn1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

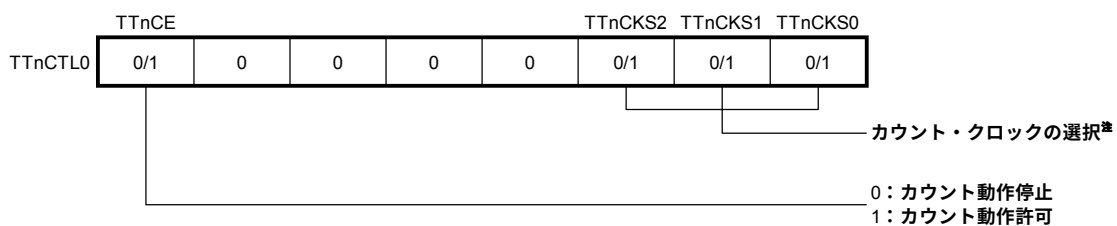
TTnCCRa レジスタに設定した値は、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致し、16 ビット・カウンタを 0000H にクリアするタイミングで CCRa バッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TRGTn) の有効エッジ、またはソフトウェア・トリガ (TTnCTL1.TTnEST ビット) のセット (1) があります。

備考 n = 0, 1, a = 0, 1

図 14-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

(a) TMTn 制御レジスタ 0 (TTnCTL0)



注 TTnCTL1.TTnEEE ビット = 1 のときは設定が無効になります。

(b) TMTn 制御レジスタ 1 (TTnCTL1)

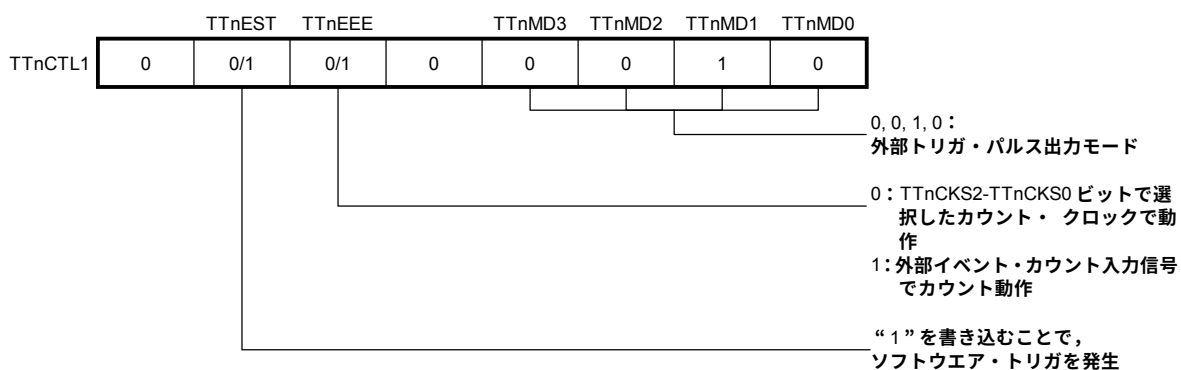
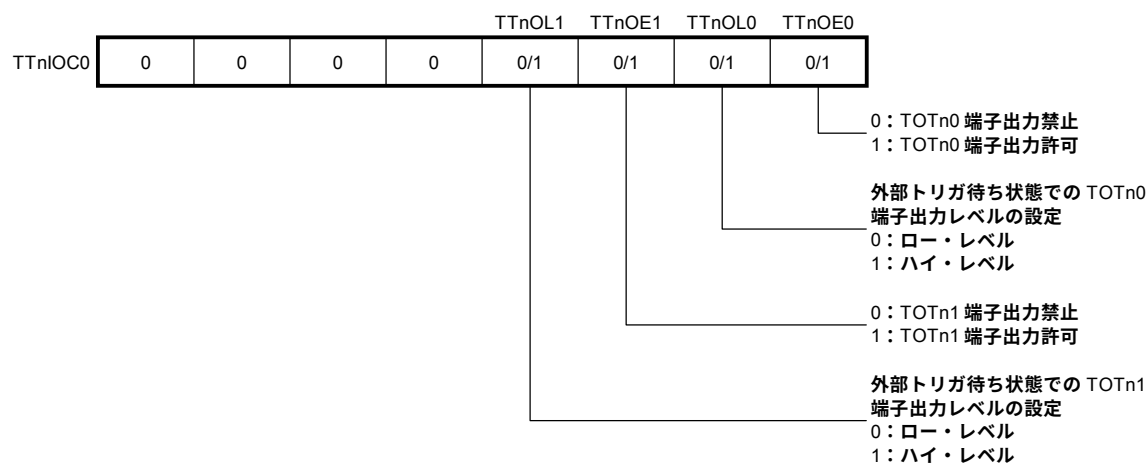
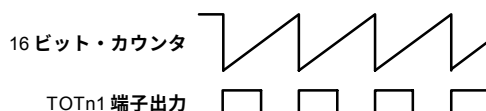


図 14-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

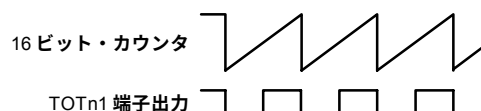
(c) TMTn/O 制御レジスタ 0 (TTnIOC0)



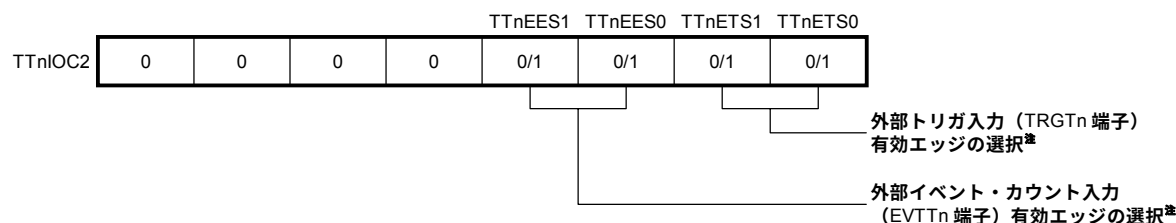
• TTnOL1 ビット = 0 の場合



• TTnOL1 ビット = 1 の場合



(d) TMTn/O 制御レジスタ 2 (TTnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(f) TMTn キャプチャ／コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TTnCCR0 レジスタに D_0 を設定し、TTnCCR1 レジスタに D_1 を設定した場合、

$$\text{PWM 波形の周期} = (D_0 + 1) \times \text{カウント・クロック周期}$$

$$\text{PWM 波形のアクティブ・レベル幅} = D_1 \times \text{カウント・クロック周期}$$

となります。

図 14-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

備考 1. TMTn 制御レジスタ 2 (TTnCTL2), TMTnI/O 制御レジスタ 1 (TTnIOC1), TMTnI/O 制御レジスタ 3 (TTnIOC3), TMTn オプション・レジスタ 0 (TTnOPT0), TMTn オプション・レジスタ 1 (TTnOPT1), TMTn カウンタ・ライト・レジスタ (TTnTCW) は, 外部トリガ・パルス出力モードでは使用しません。

2. $n = 0, 1$

(1) 外部トリガ・パルス出力モード動作フロー

図 14-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

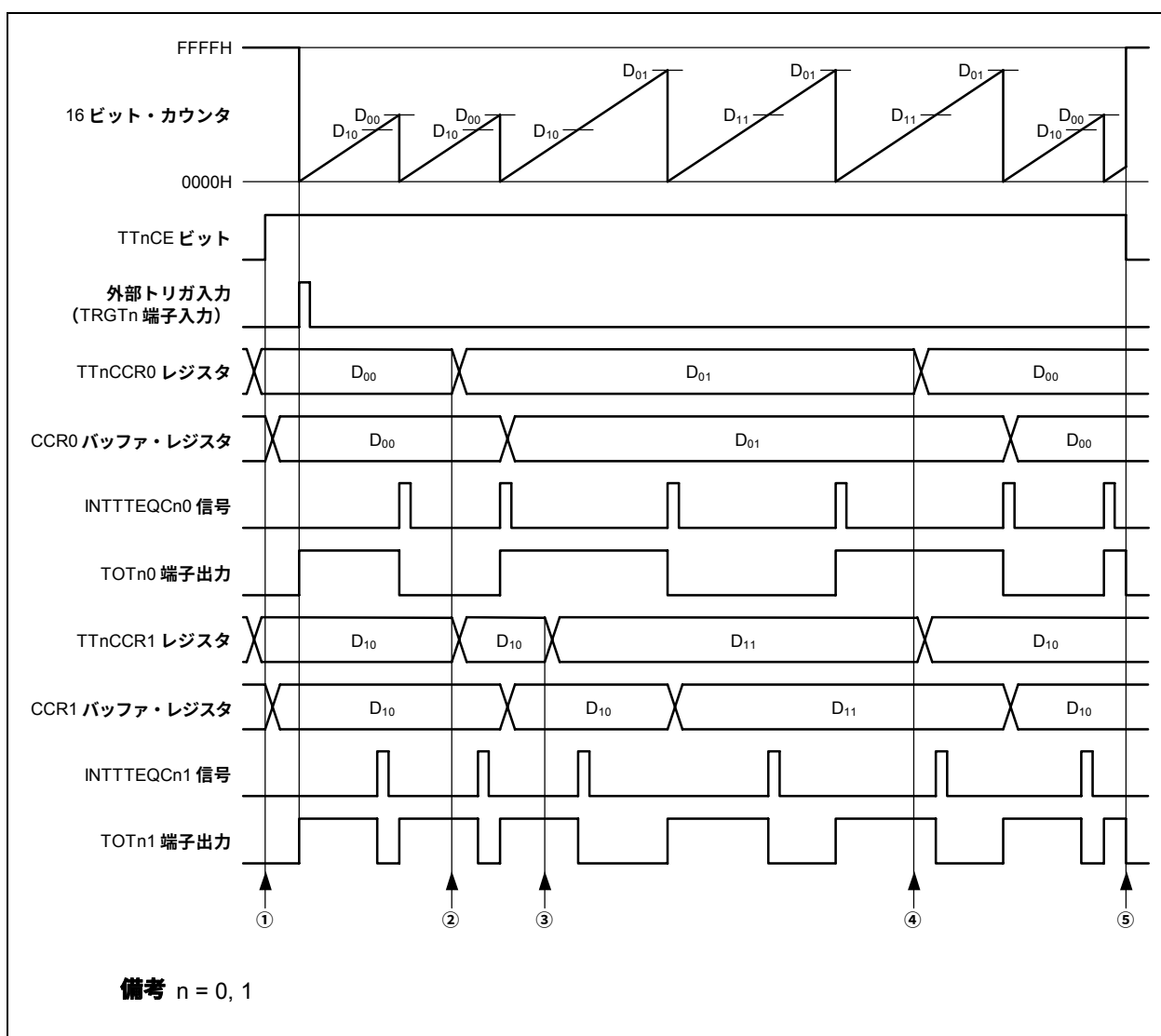
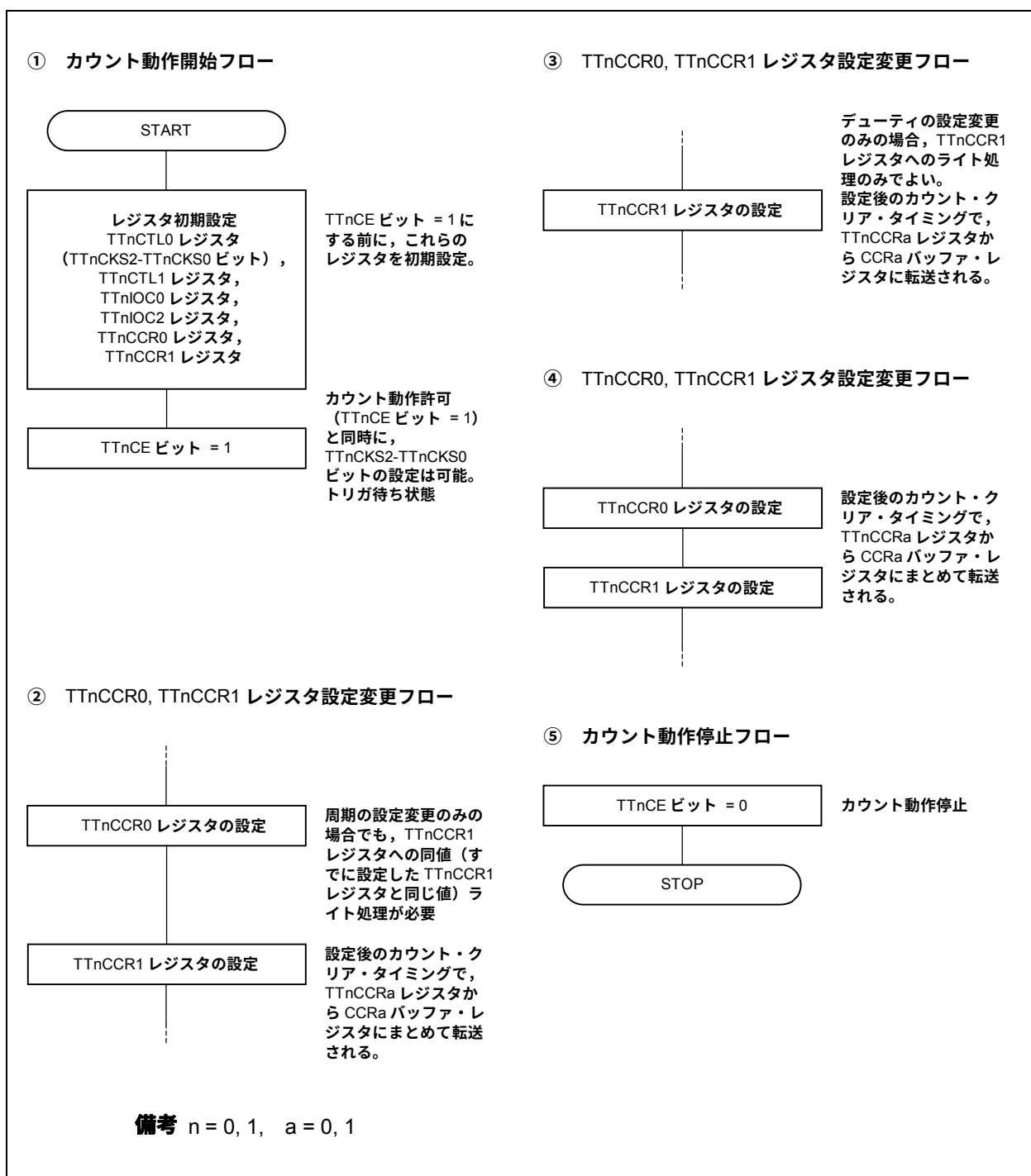


図 14-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

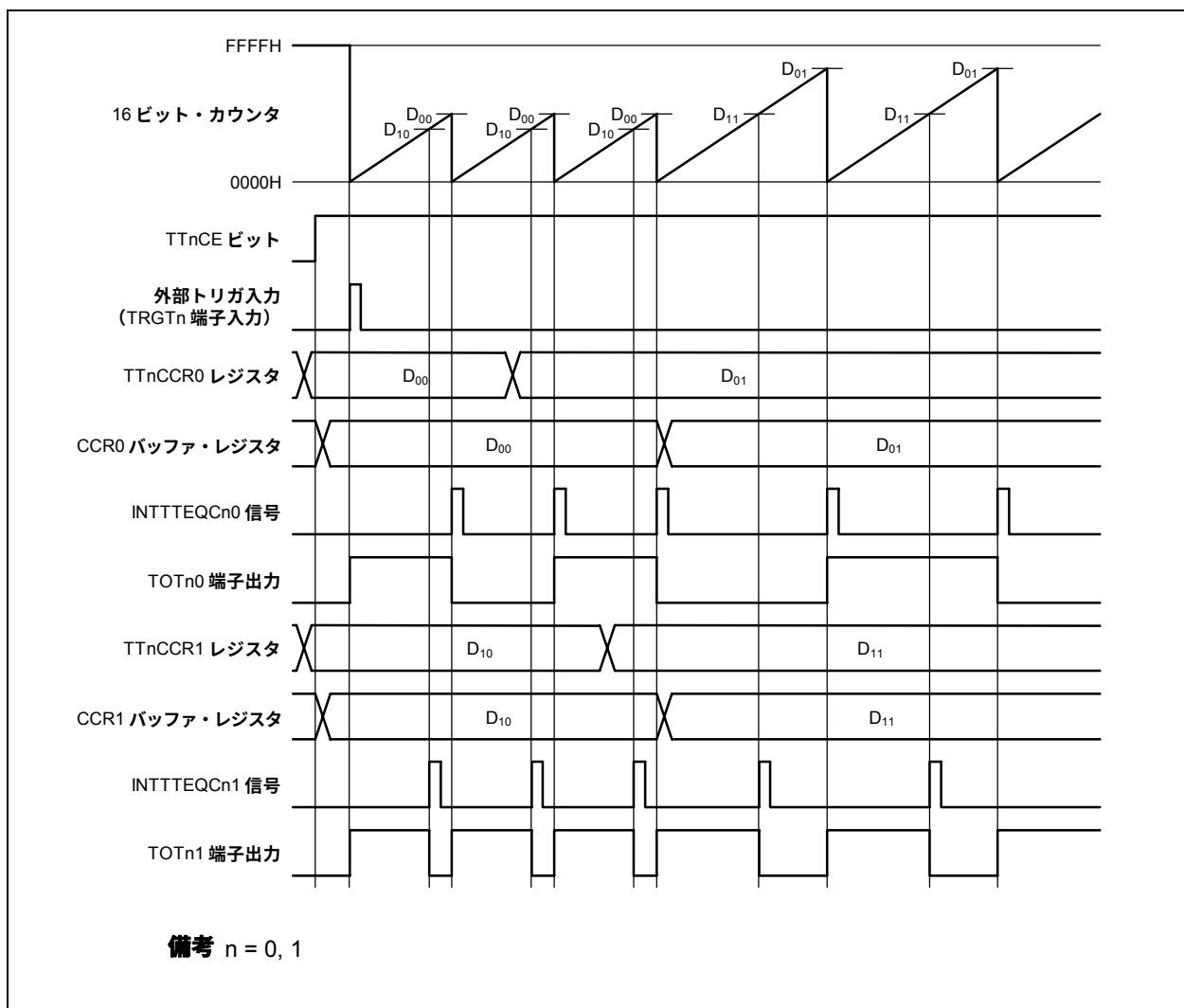


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中に PWM 波形を変更する場合には、最後に TTnCCR1 レジスタにライトしてください。

TTnCCR1 レジスタにライト後,再度 TTnCCRa レジスタの書き換えを行う場合には,INTTTEQCn0 信号を検出後に書き換えてください。



TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TTnCCR1 レジスタに対してライトする必要があります。

このとき、PWM 波形の周期とアクティブ・レベル幅の両方を変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタにアクティブ・レベル幅を設定してください。

PWM 波形の周期だけを変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタに同値（すでに設定した TTnCCR1 レジスタと同じ値）をライトしてください。

PWM 波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TTnCCR1 レジスタのみの設定でかまいません。

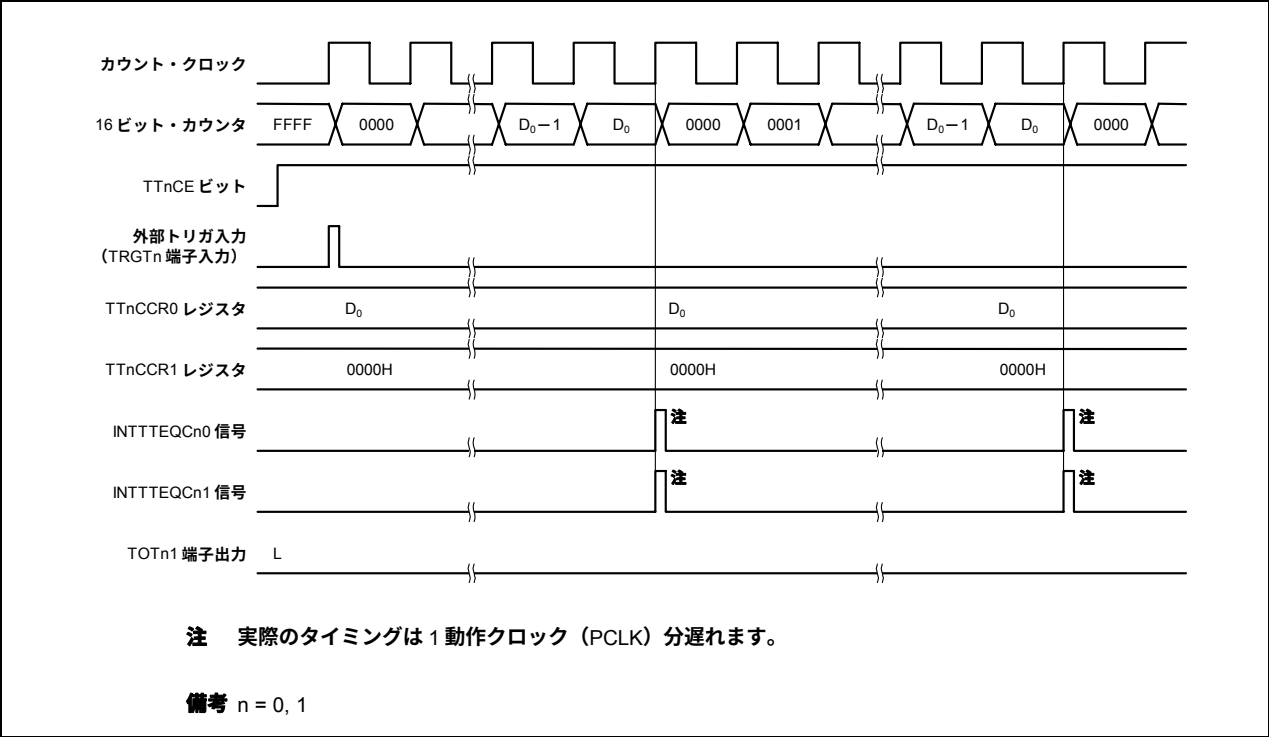
TTnCCR1 レジスタにライトしたあと、16 ビット・カウンタのクリア・タイミングに同期して、TTnCCRa レジスタに書き込まれた値が CCRa バッファ・レジスタに転送され、16 ビット・カウンタとのコンペア値となります。

また、一度 TTnCCR1 レジスタにライトしたあとで、再度 TTnCCR0、または TTnCCR1 レジスタへのライトを行う場合は、INTTTEQCn0 信号の発生後に行ってください。これを守れない場合には、TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送タイミングと、TTnCCRa レジスタの書き換えの競合により、CCRa バッファ・レジスタの値が不定値になる場合があります。

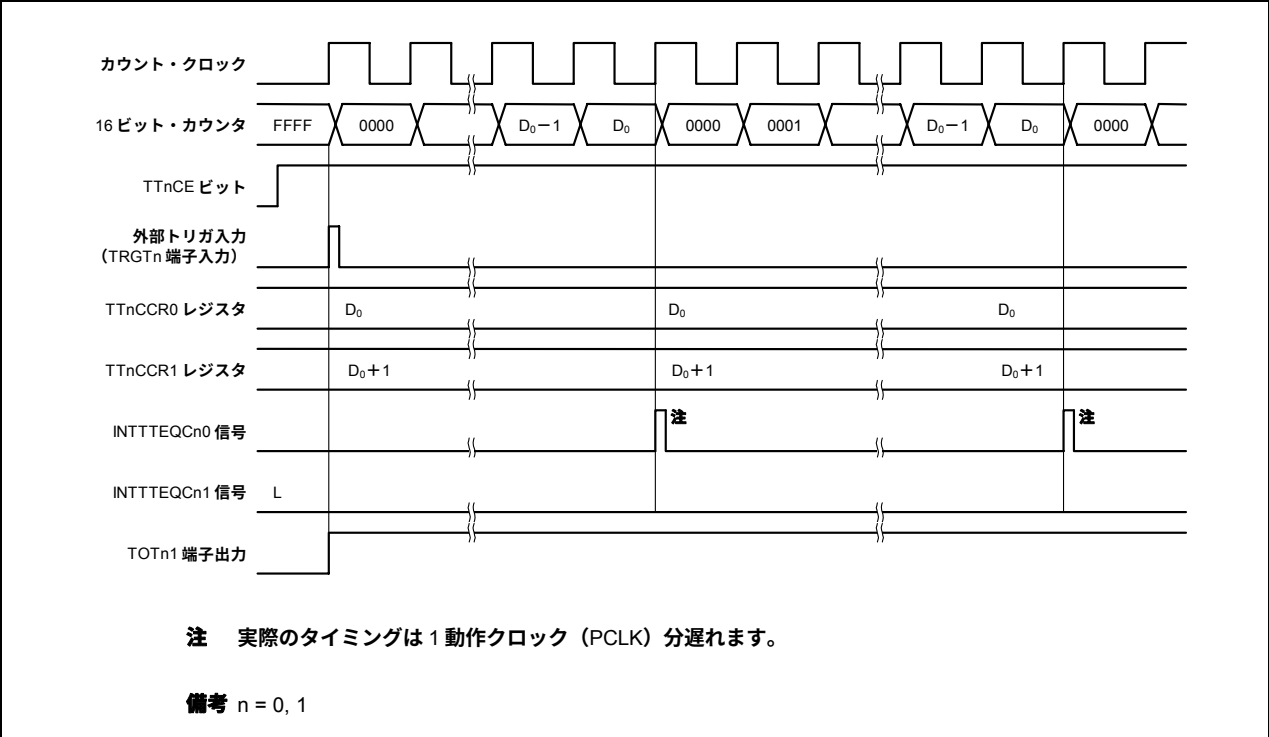
備考 $n = 0, 1, a = 0, 1$

(b) PWM 波形の 0%／100%出力

0%波形を出力するためには、TTnCCR1 レジスタに対して 0000H を設定します。16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致した次のタイミングで 16 ビット・カウンタは 0000H にクリアされ、INTTTEQCn0 信号と INTTTEQCn1 信号が発生します。

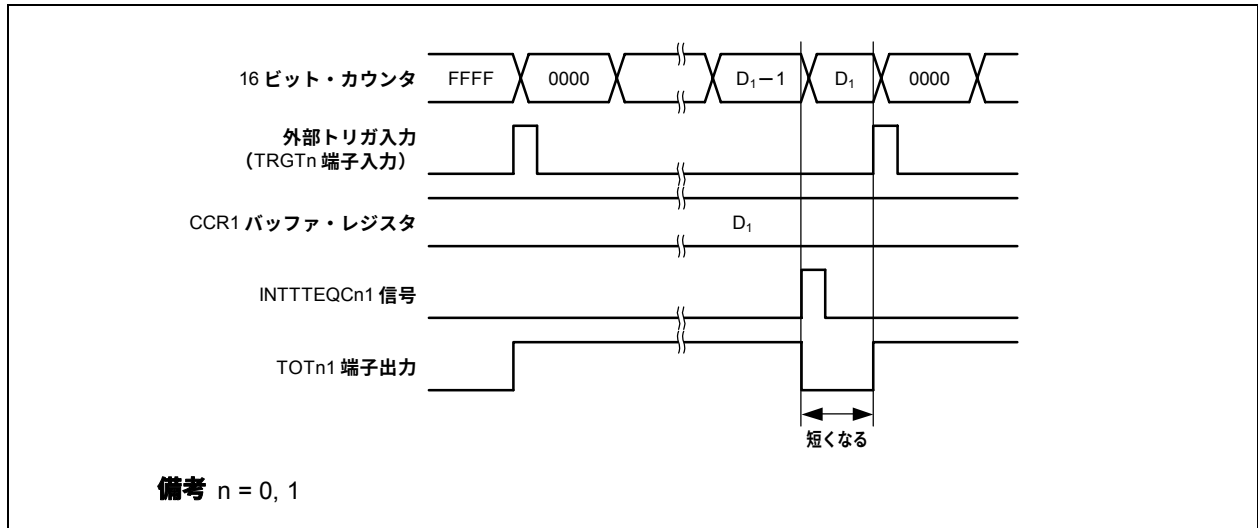


100%波形を出力するためには、TTnCCR1 レジスタに対して (TTnCCR0 レジスタの設定値+1) の値を設定してください。TTnCCR0 レジスタの設定値が FFFFH の場合には、100%出力はできません。

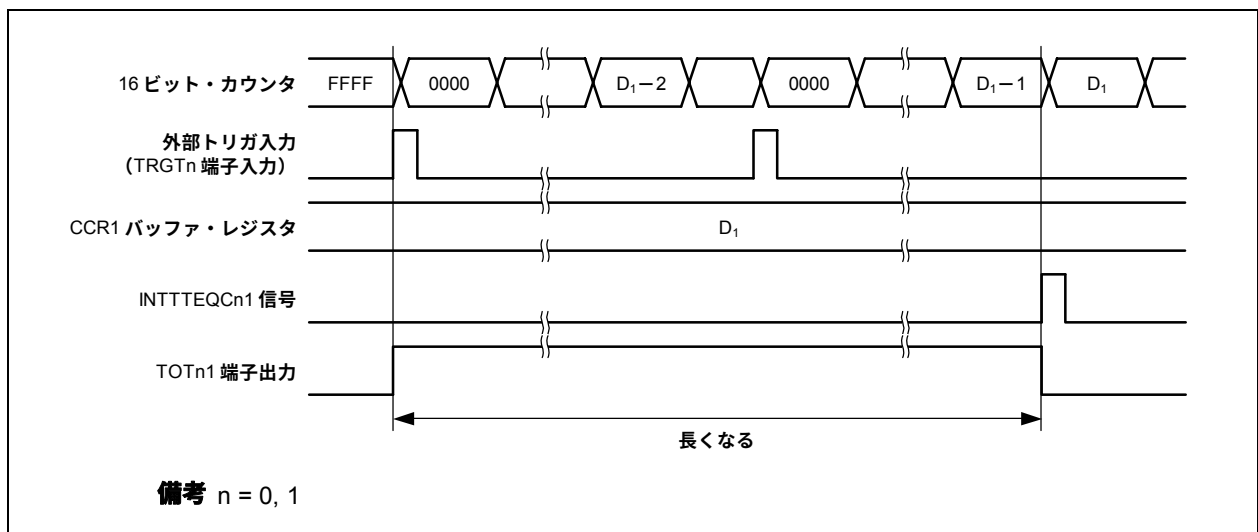


(c) トリガ検出と CCR1 バッファ・レジスタとの一致の競合

INTTTEQCn1 信号発生直後にトリガが検出された場合には、トリガ検出とともに 16 ビット・カウンタを 0000H にクリアし、TOTn1 端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM 波形のインアクティブ期間が短くなります。

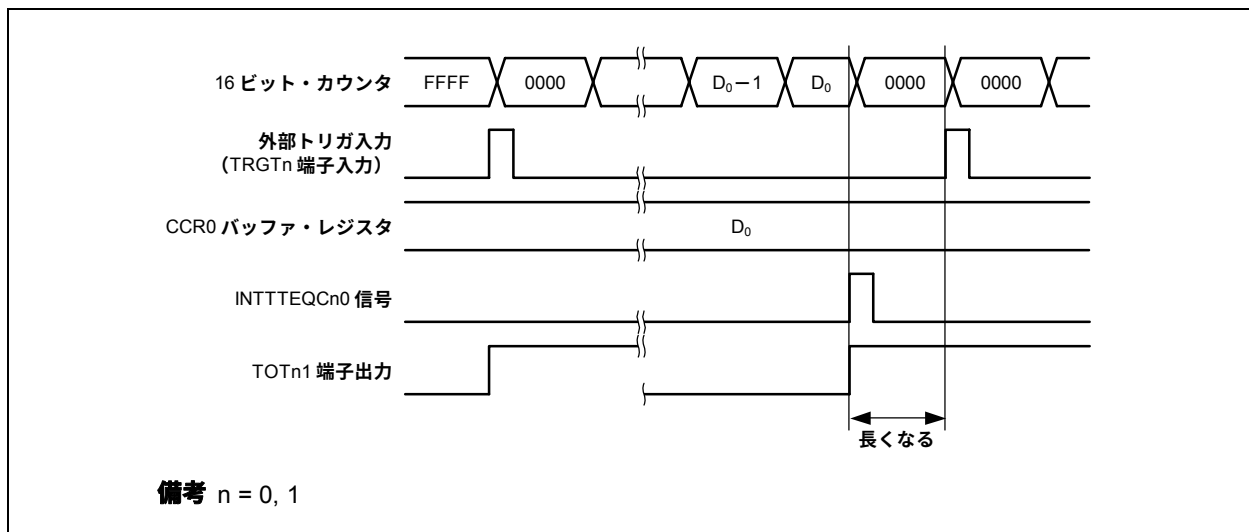


INTTTEQCn1 信号発生直前にトリガを検出した場合には、INTTTEQCn1 信号を発生することなく、16 ビット・カウンタを 0000H にクリアしてカウント動作を継続します。TOTn1 端子出力はアクティブ・レベルのままとなるため、PWM 波形のアクティブ期間が長くなります。

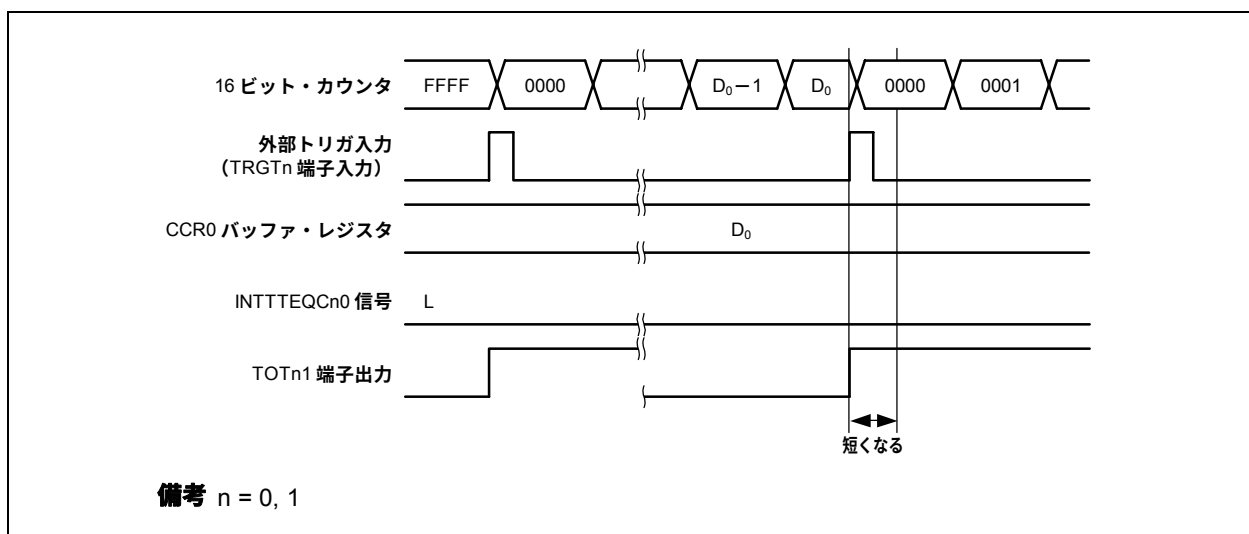


(d) トリガ検出と CCR0 バッファ・レジスタとの一致の競合

INTTTEQCn0 信号発生直後にトリガを検出した場合、そこから再度 16 ビット・カウンタを 0000H にクリアしてカウント・アップ動作を継続します。したがって、TOTn1 端子出力のアクティブ期間が、INTTTEQCn0 信号発生からトリガ検出までの分だけ長くなります。

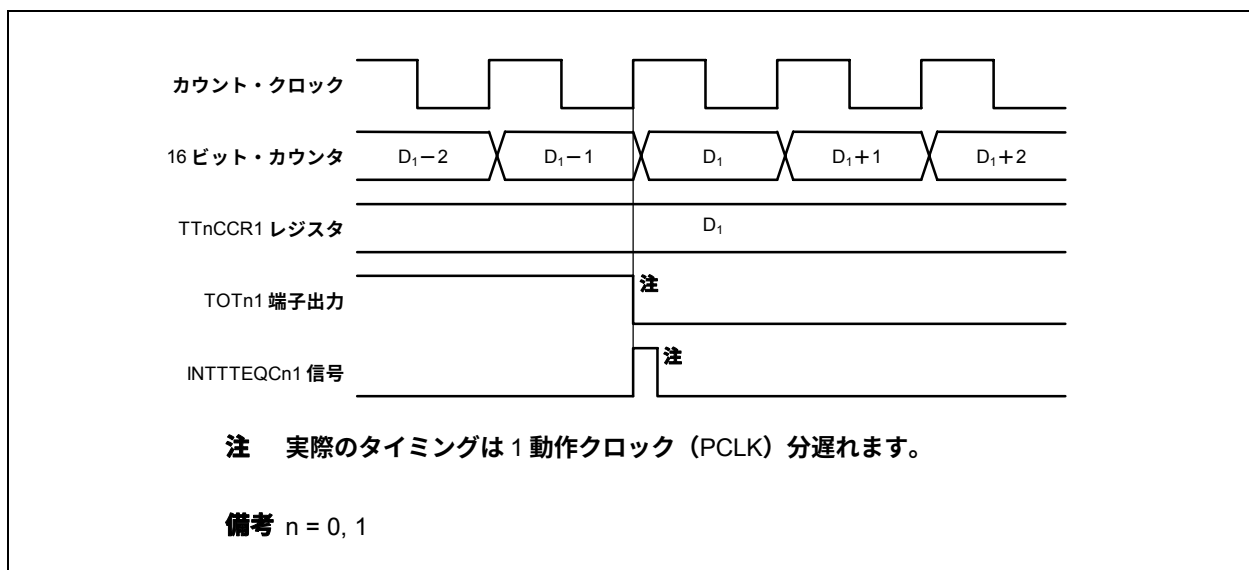


INTTTEQCn0 信号発生直前にトリガを検出した場合、INTTTEQCn0 信号を発生することなく、16 ビット・カウンタを 0000H にクリアし、TOTn1 端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していた PWM 波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

外部トリガ・パルス出力モードにおける INTTTEQCn1 信号の発生タイミングは、ほかのモードの INTTTEQCn1 信号と異なり、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTTEQCn1 信号は、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1 クロック早いタイミングで発生します。これは、TOTn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

14.6.5 ワンショット・パルス出力モード (TTnMD3-TTnMD0 ビット = 0011)

ワンショット・パルス出力モードは、TTnCTL0.TTnCE ビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOTn1 端子からワンショット・パルスを出力します。

外部トリガ入力 (TRGTn) の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

ソフトウェア・トリガを使用する場合、TOTn0 端子から、16 ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

図 14-25 ワンショット・パルス出力モードの構成図

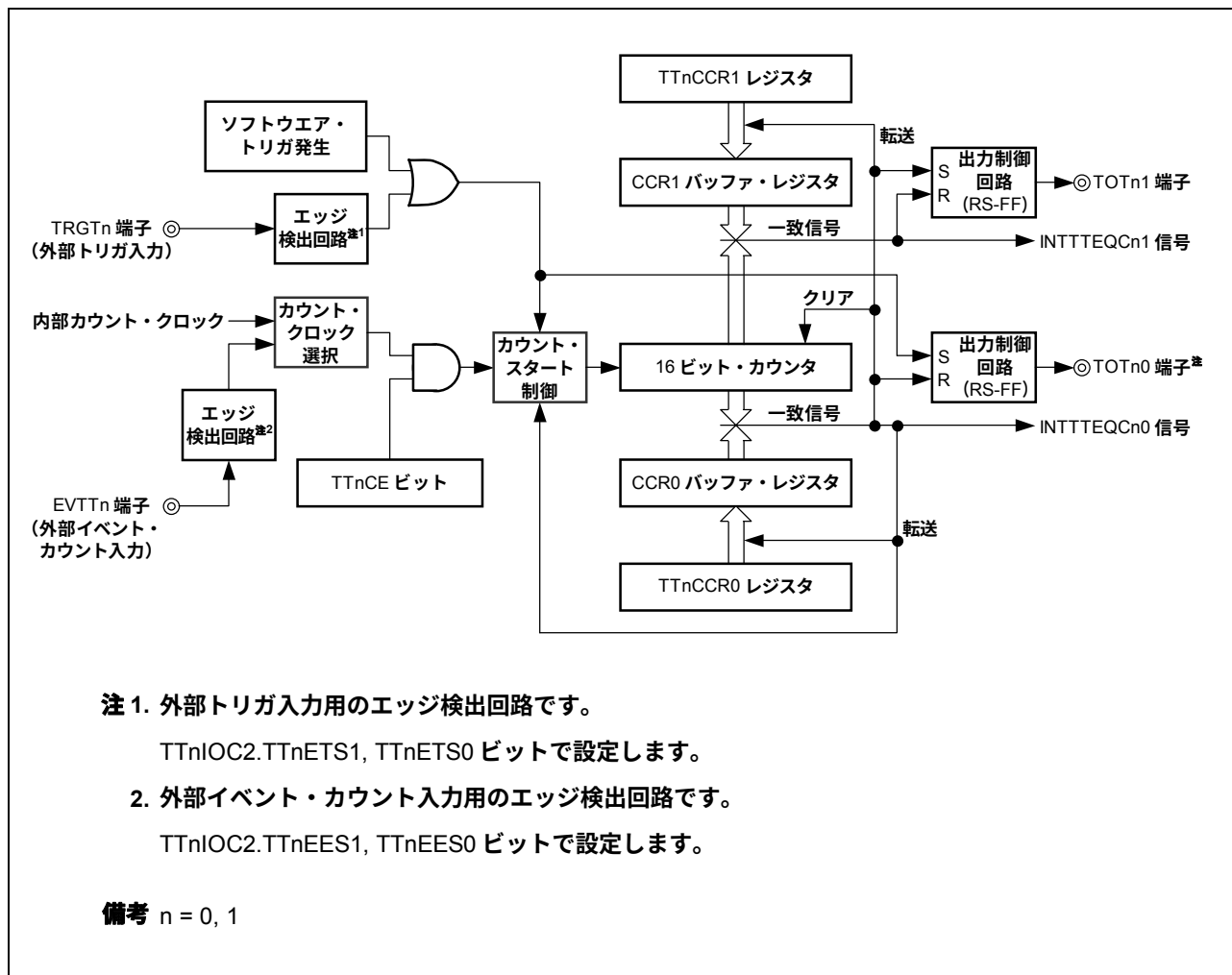
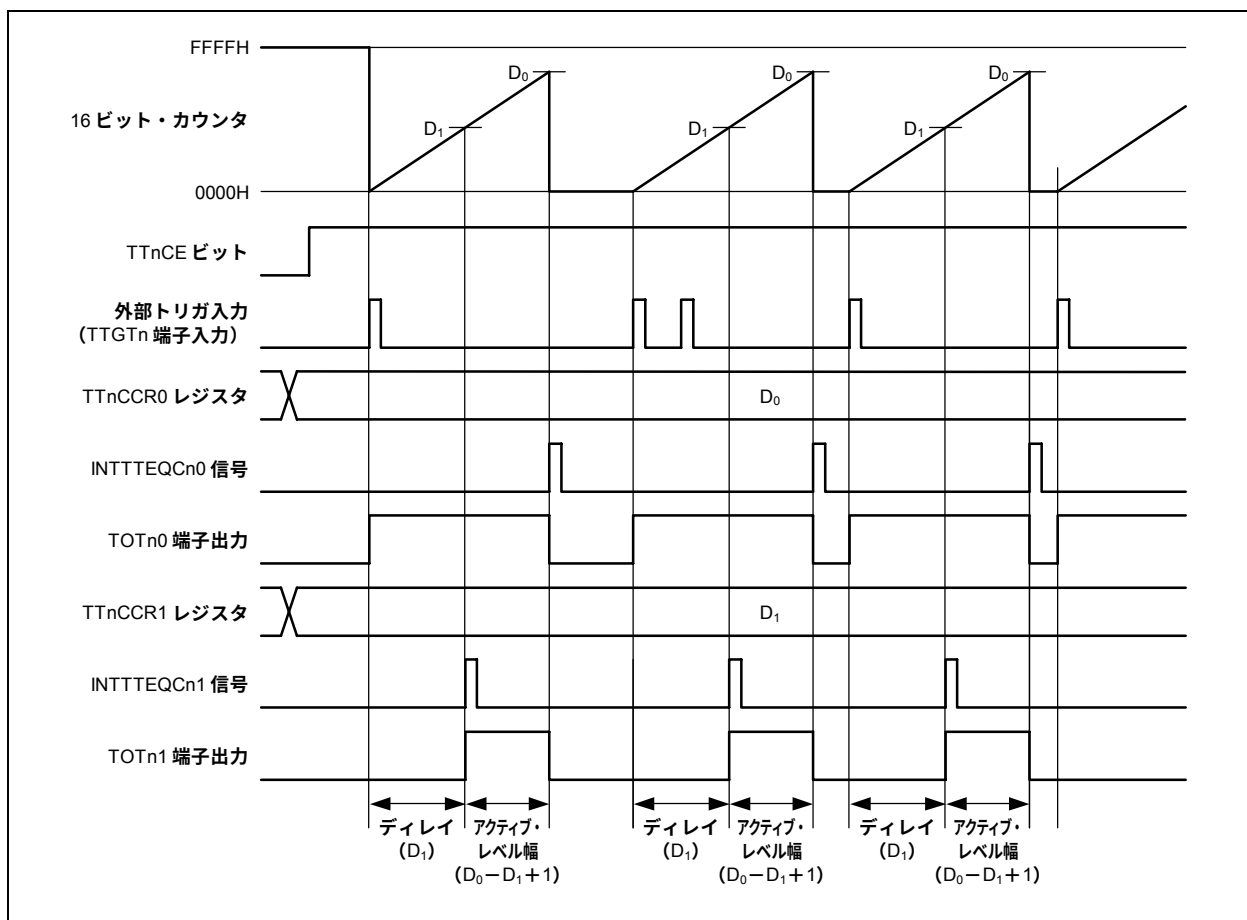


図 14-26 ワンショット・パルス出力モードの基本タイミング



TTnCE ビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16 ビット・カウンタを 0000H にしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に 16 ビット・カウンタは 0000H からカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TTnCCR1 レジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TTnCCR0 レジスタの設定値 - TTnCCR1 レジスタの設定値 + 1)
× カウント・クロック周期

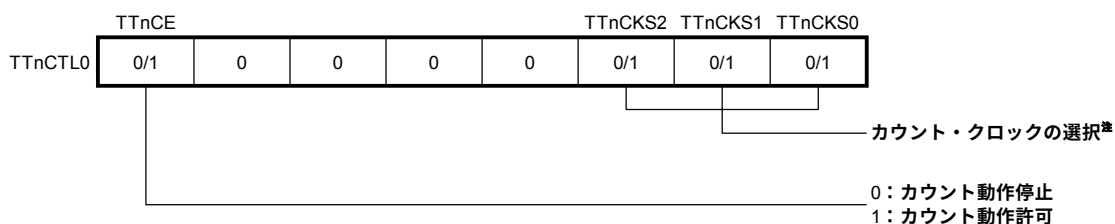
コンペアー一致割り込み要求信号 (INTTTEQCn0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTTEQCn1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TRGTn 端子) の有効エッジ、またはソフトウェア・トリガ (TTnCTL1.TTnEST ビット) のセット (1) があります。

備考 n = 0, 1

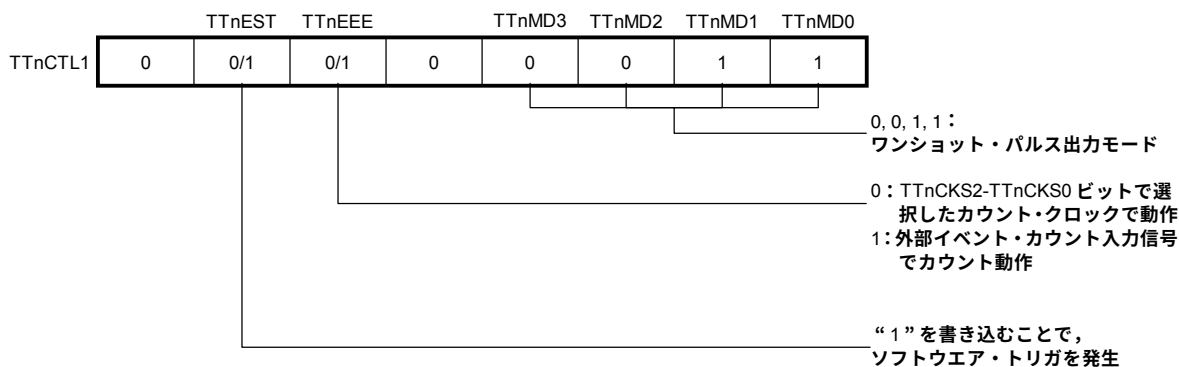
図 14-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMTn 制御レジスタ 0 (TTnCTL0)

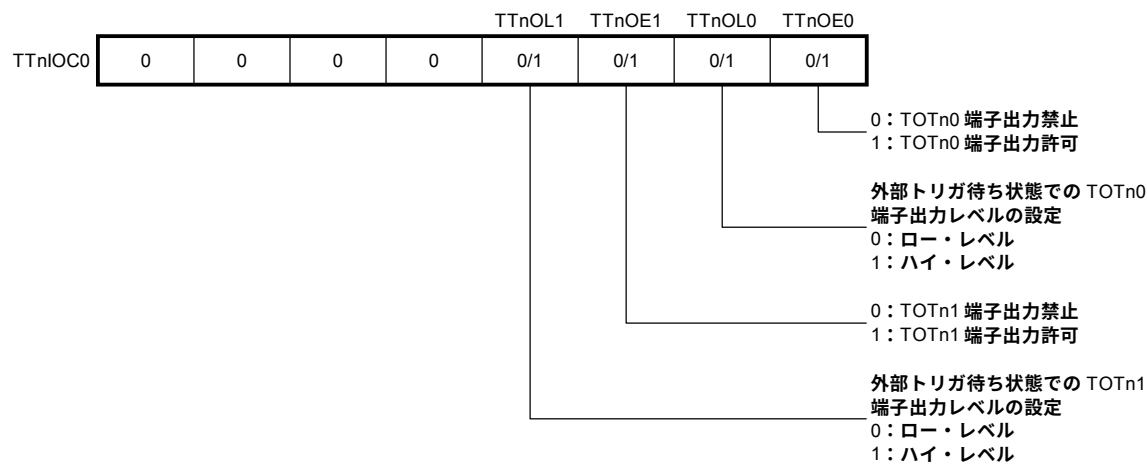


注 TTnCTL1.TTnEEE ビット = 1 のときは設定が無効になります。

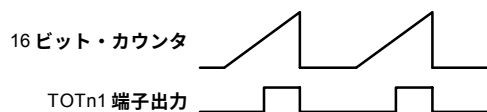
(b) TMTn 制御レジスタ 1 (TTnCTL1)



(c) TMTn/O 制御レジスタ 0 (TTnIOC0)



・ TTnOL1 ビット = 0 の場合



・ TTnOL1 ビット = 1 の場合

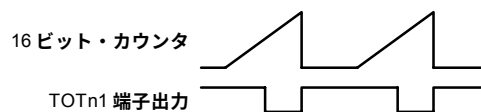
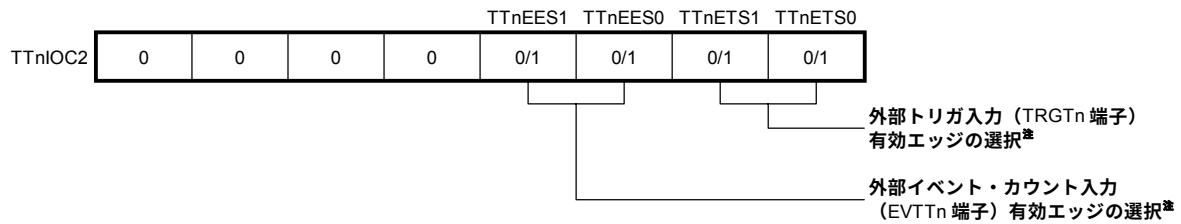


図 14-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMTnI/O 制御レジスタ 2 (TTnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(e) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(f) TMTn キャプチャ/コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TTnCCR0 レジスタに D_0 を設定し、TTnCCR1 レジスタに D_1 を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = $(D_0 - D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$

ワンショット・パルスの出力ディレイ期間 = $D_1 \times \text{カウント} \cdot \text{クロック周期}$

となります。

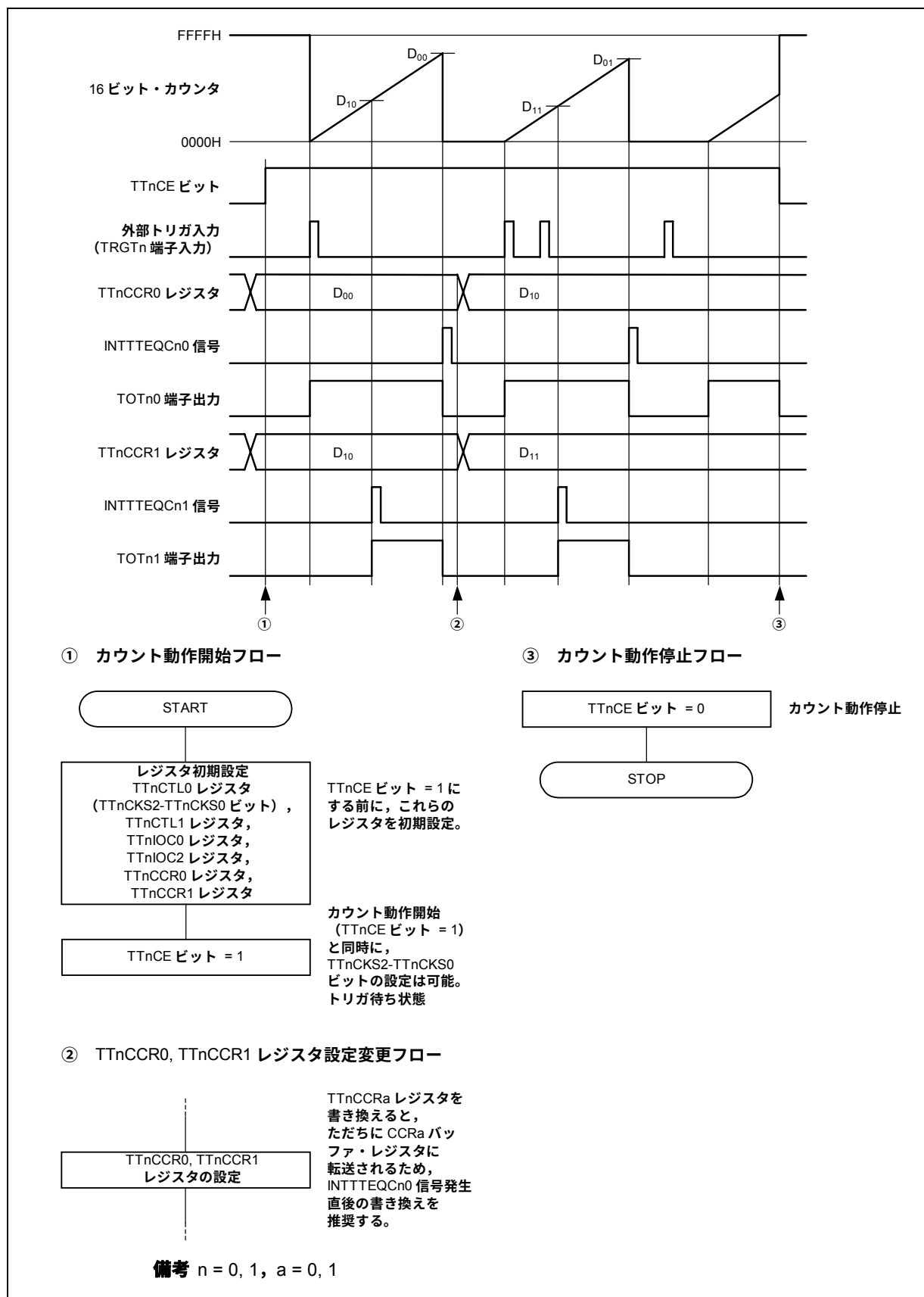
注意 ワンショット・パルス出力モードにおいて、TTnCCR1 レジスタの設定値が、TTnCCR0 レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。

備考 1. TMTn 制御レジスタ 2 (TTnCTL2)，TMTnI/O 制御レジスタ 1 (TTnIOC1)，TMTnI/O 制御レジスタ 3 (TTnIOC3)，TMTn オプション・レジスタ 0 (TTnOPT0)，TMTn オプション・レジスタ 1 (TTnOPT1)，TMTn カウンタ・ライト・レジスタ (TTnTCW) は、ワンショット・パルス出力モードでは使用しません。

2. $n = 0, 1$

(1) ワンショット・パルス出力モード動作フロー

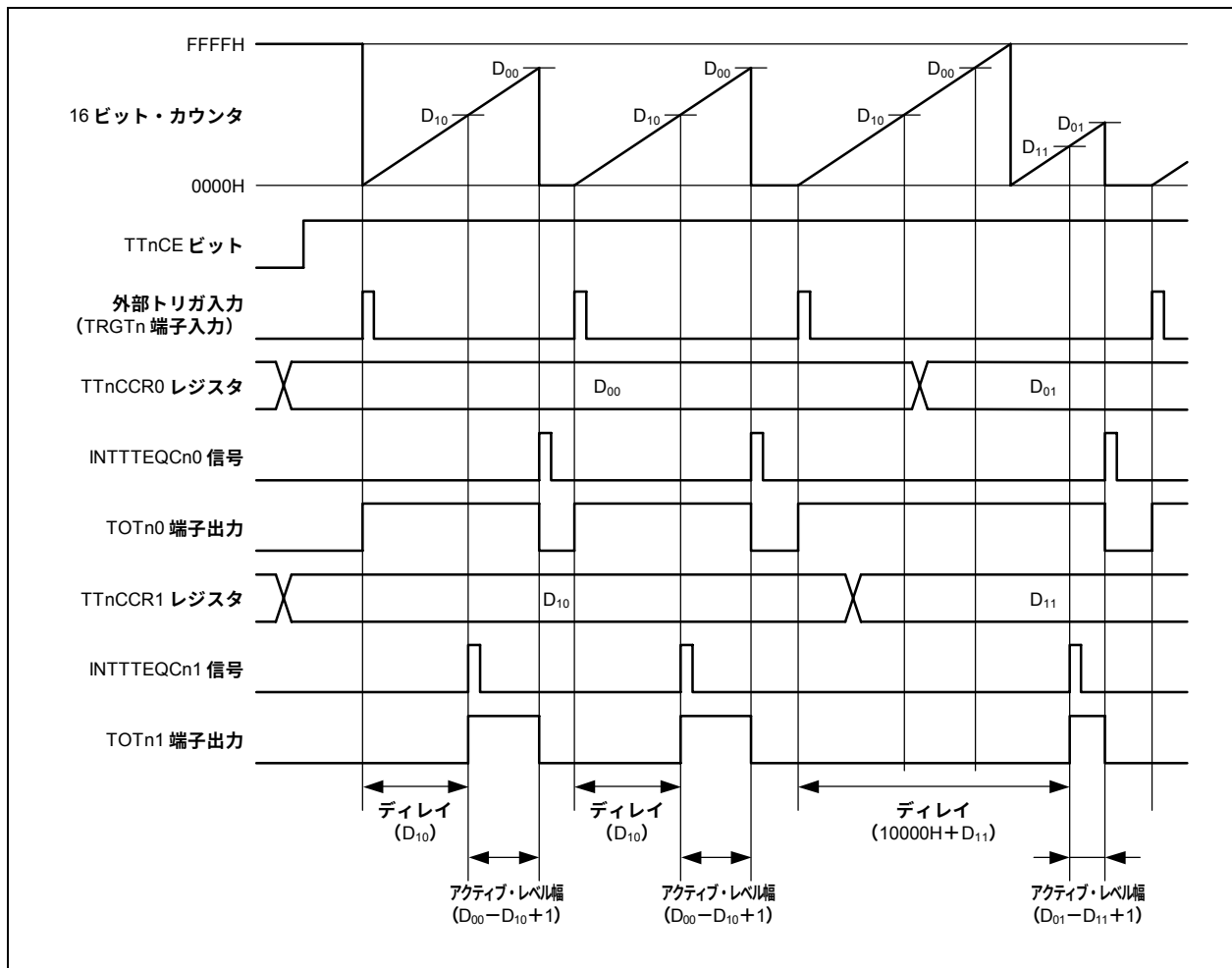
図 14-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



(2) ワンショット・パルス出力モード動作タイミング

(a) TTnCCRa レジスタの書き換えに関する注意事項

カウント動作中に TTnCCRa レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



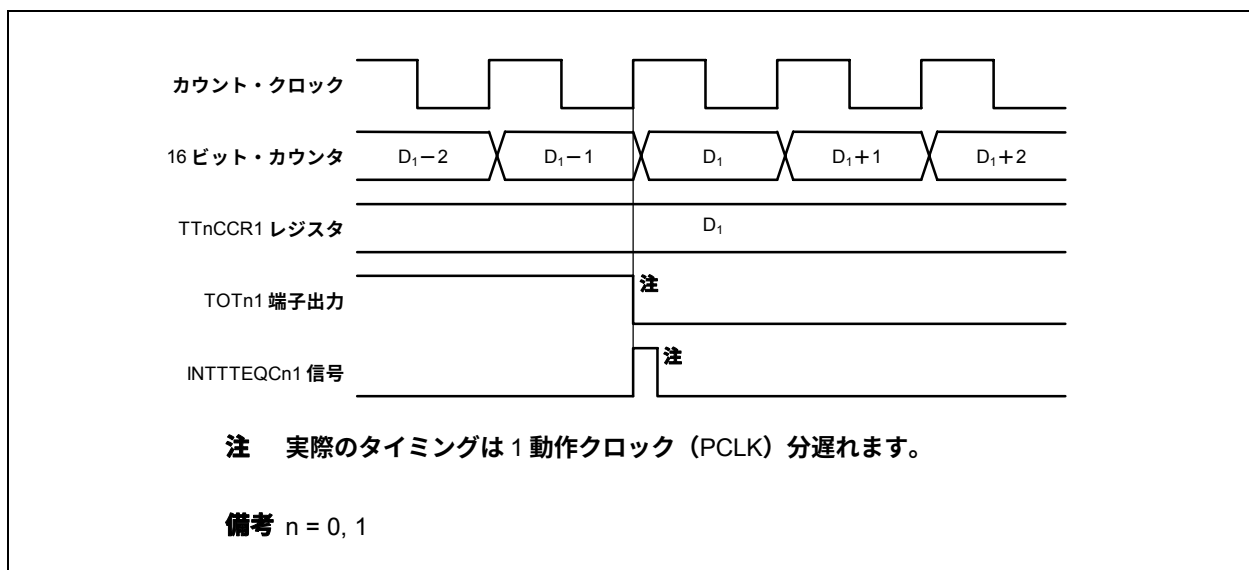
TTnCCR0 レジスタを D_{00} から D_{01} に、TTnCCR1 レジスタを D_{10} から D_{11} に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態で、16 ビット・カウンタのカウント値が D_{11} よりも大きく D_{10} よりも小さい状態のとき TTnCCR1 レジスタを書き換え、カウント値が D_{01} よりも大きく D_{00} よりも小さい状態で TTnCCR0 レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値は FFFFH までカウント動作を行い、その後 0000H から再度カウント・アップを行います。そして、 D_{11} との一致で INTTTEQCn1 信号を発生して TOTn1 端子出力をアクティブ・レベルにし、 D_{01} との一致で INTTTEQCn0 信号を発生して TOTn1 端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 $n = 0, 1$, $a = 0, 1$

(b) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

ワンショット・パルス出力モードにおける INTTTEQCn1 信号の発生タイミングは、ほかのモードの INTTTEQCn1 信号と異なり、16 ビット・カウンタのカウント値と TTnCCR1 レジスタの値との一致と同時に発生します。



通常、INTTTEQCn1 信号は、16 ビット・カウンタのカウント値と TTnCCR1 レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1 クロック早いタイミングで発生します。これは、TOTn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

14.6.6 PWM 出力モード (TTnMD3-TTnMD0 ビット = 0100)

PWM 出力モードは、TTnCTL0.TTnCE ビットをセット (1) することで、TOTn1 端子から PWM 波形を出力します。

また、TOTn0 端子から、TTnCCR0 レジスタの設定値+1 を半周期とする 50%デューティの PWM 波形を出力します。

図 14-29 PWM 出力モードの構成図

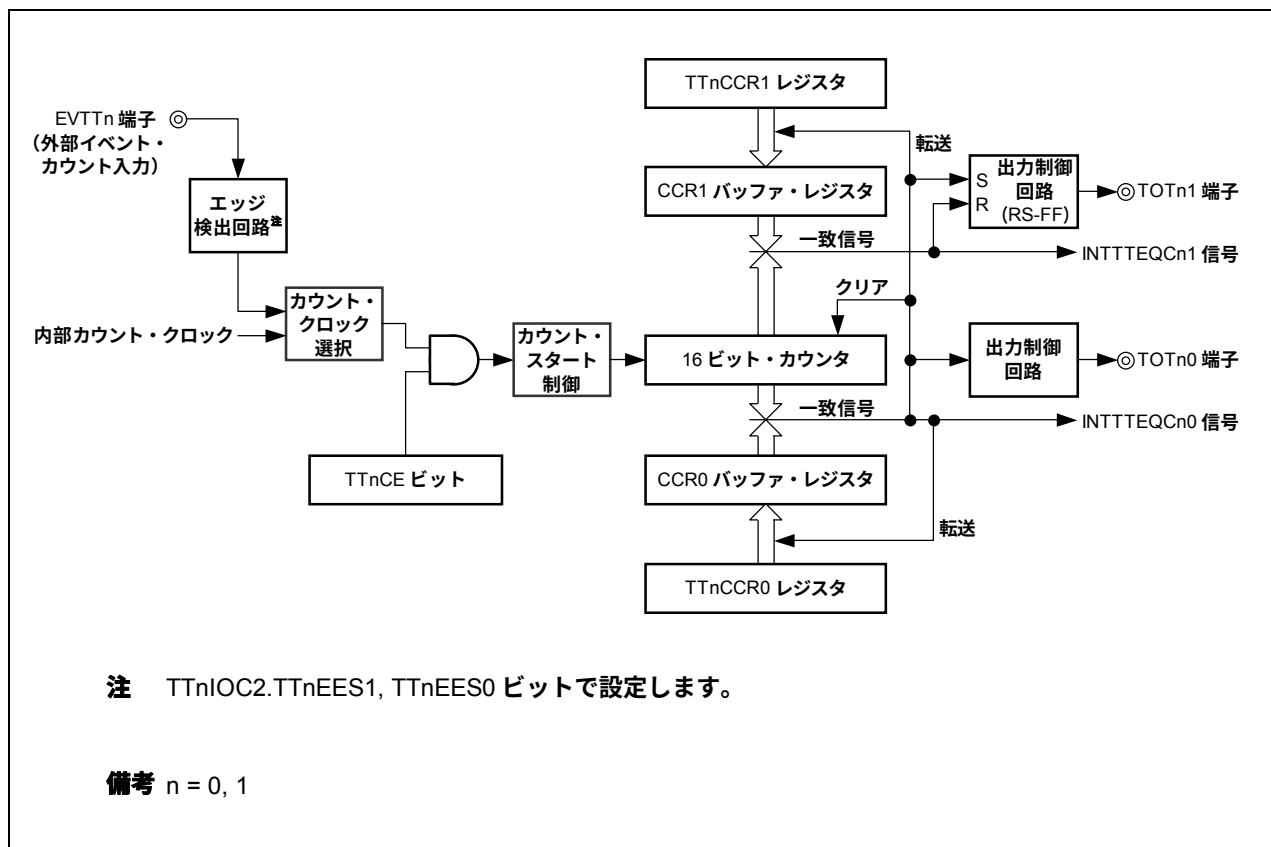
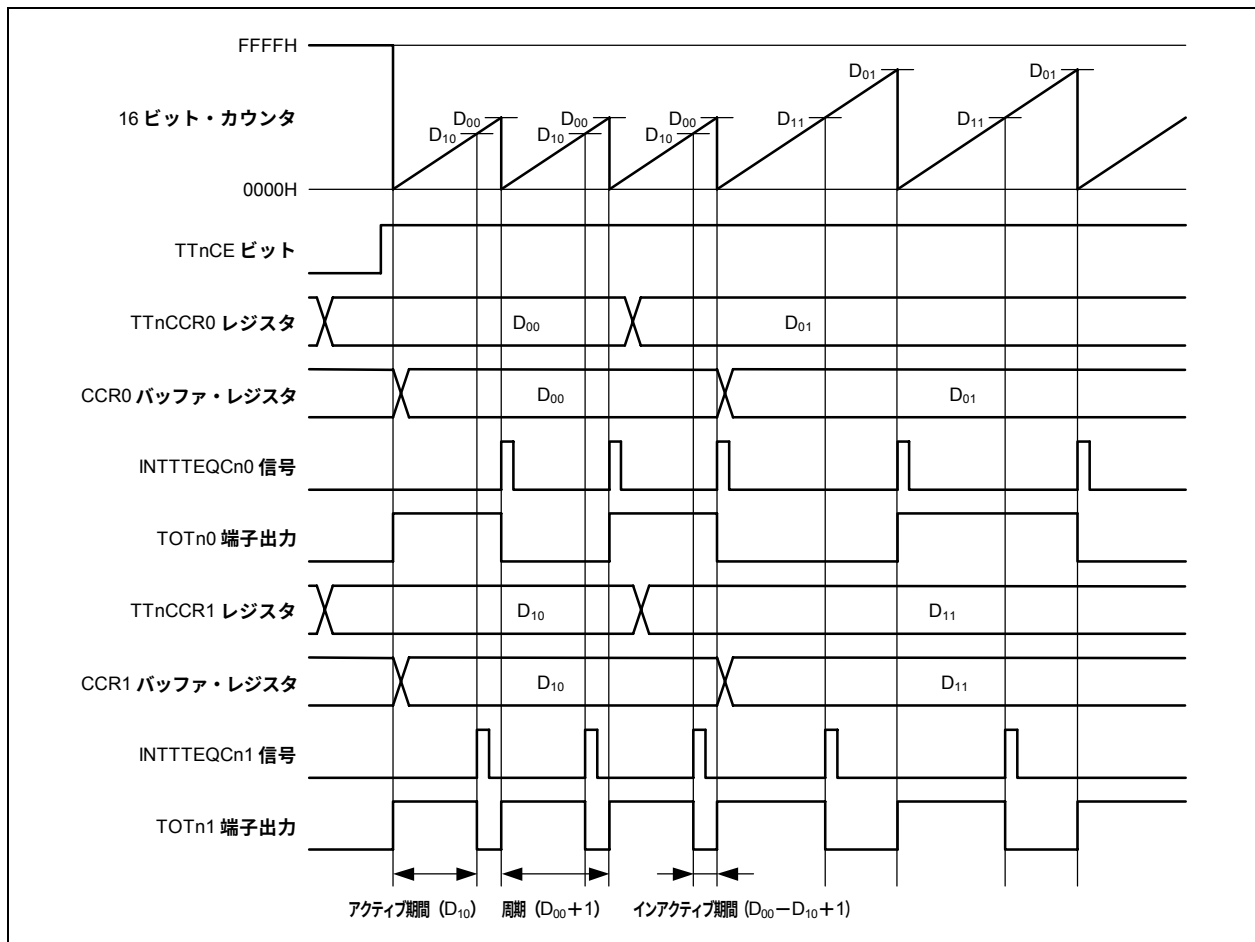


図 14-30 PWM 出力モードの基本タイミング



TTnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子から PWM 波形を出力します。

PWM 波形のアクティブ・レベル幅、周期、およびデューティーは次のように求められます。

アクティブ・レベル幅 = (TTnCCR1 レジスタの設定値) × カウント・クロック周期

周期 = (TTnCCR0 レジスタの設定値 + 1) × カウント・クロック周期

デューティー = (TTnCCR1 レジスタの設定値) / (TTnCCR0 レジスタの設定値 + 1)

動作中に TTnCCRa レジスタを書き換えることにより、PWM 波形を変更できます。書き換えた値は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致し、16 ビット・カウンタが 0000H にクリアされるタイミングで反映されます。

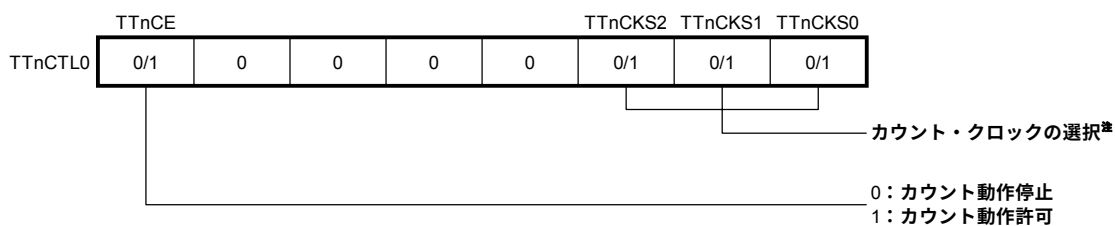
コンパレー一致割り込み要求信号 (INTTTEQn0) は、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に 16 ビット・カウンタを 0000H にクリアします。コンパレー一致割り込み要求信号 (INTTTEQn1) は、16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致するタイミングで発生します。

TTnCCRa レジスタに設定した値は、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致し、16 ビット・カウンタを 0000H にクリアするタイミングで CCRa バッファ・レジスタに転送されます。

備考 n = 0, 1, a = 0, 1

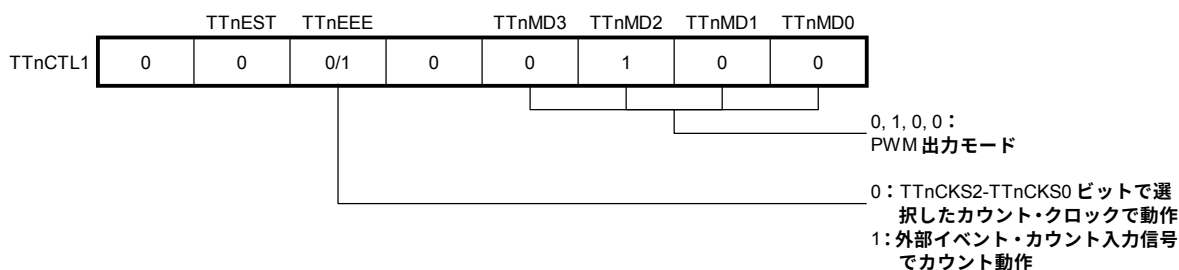
図 14-31 PWM 出力モード動作時のレジスタ設定内容 (1/2)

(a) TMTn 制御レジスタ 0 (TTnCTL0)

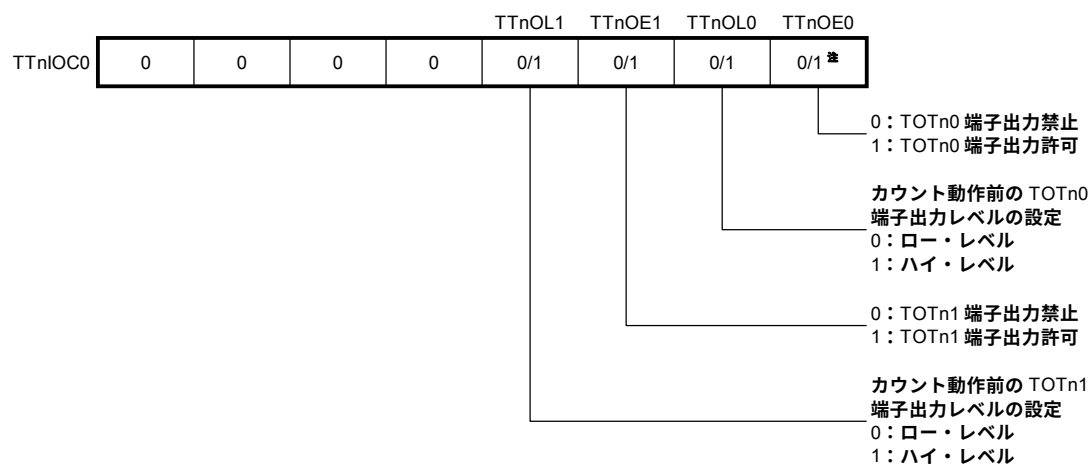


注 TTnCTL1.TTnEEE ビット = 1 のときは設定が無効になります

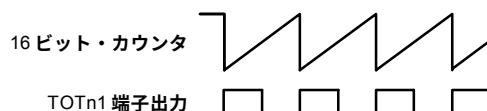
(b) TMTn 制御レジスタ 1 (TTnCTL1)



(c) TMTnI/O 制御レジスタ 0 (TTnIOC0)



・ TTnOL1 ビット = 0 の場合



・ TTnOL1 ビット = 1 の場合

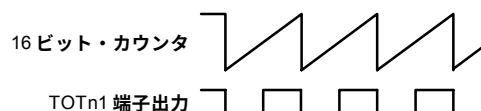
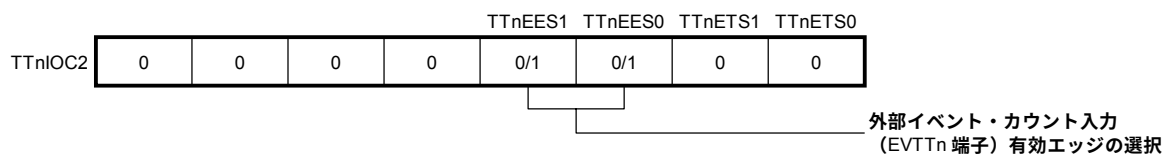


図 14-31 PWM 出力モード動作時のレジスタ設定内容 (2/2)

(d) TMTn/O 制御レジスタ 2 (TTnIOC2)



(e) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(f) TMTn キャプチャ／コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TTnCCR0 レジスタに D_0 を設定し、TTnCCR1 レジスタに D_1 を設定した場合、

PWM 波形の周期 = $(D_0 + 1) \times \text{カウント・クロック周期}$

PWM 波形のアクティブ・レベル幅 = $D_1 \times \text{カウント・クロック周期}$

となります。

備考 1. TMTn 制御レジスタ 2 (TTnCTL2)，TMTn/O 制御レジスタ 1 (TTnIOC1)，TMTn/O 制御レジスタ 3 (TTnIOC3)，TMTn オプション・レジスタ 0 (TTnOPT0)，TMTn オプション・レジスタ 1 (TTnOPT1)，TMTn カウンタ・ライト・レジスタ (TTnTCW) は、PWM 出力モードでは使用しません。

2. $n = 0, 1$

(1) PWM 出力モード動作フロー

図 14-32 PWM 出力モード使用時のソフトウェア処理フロー (1/2)

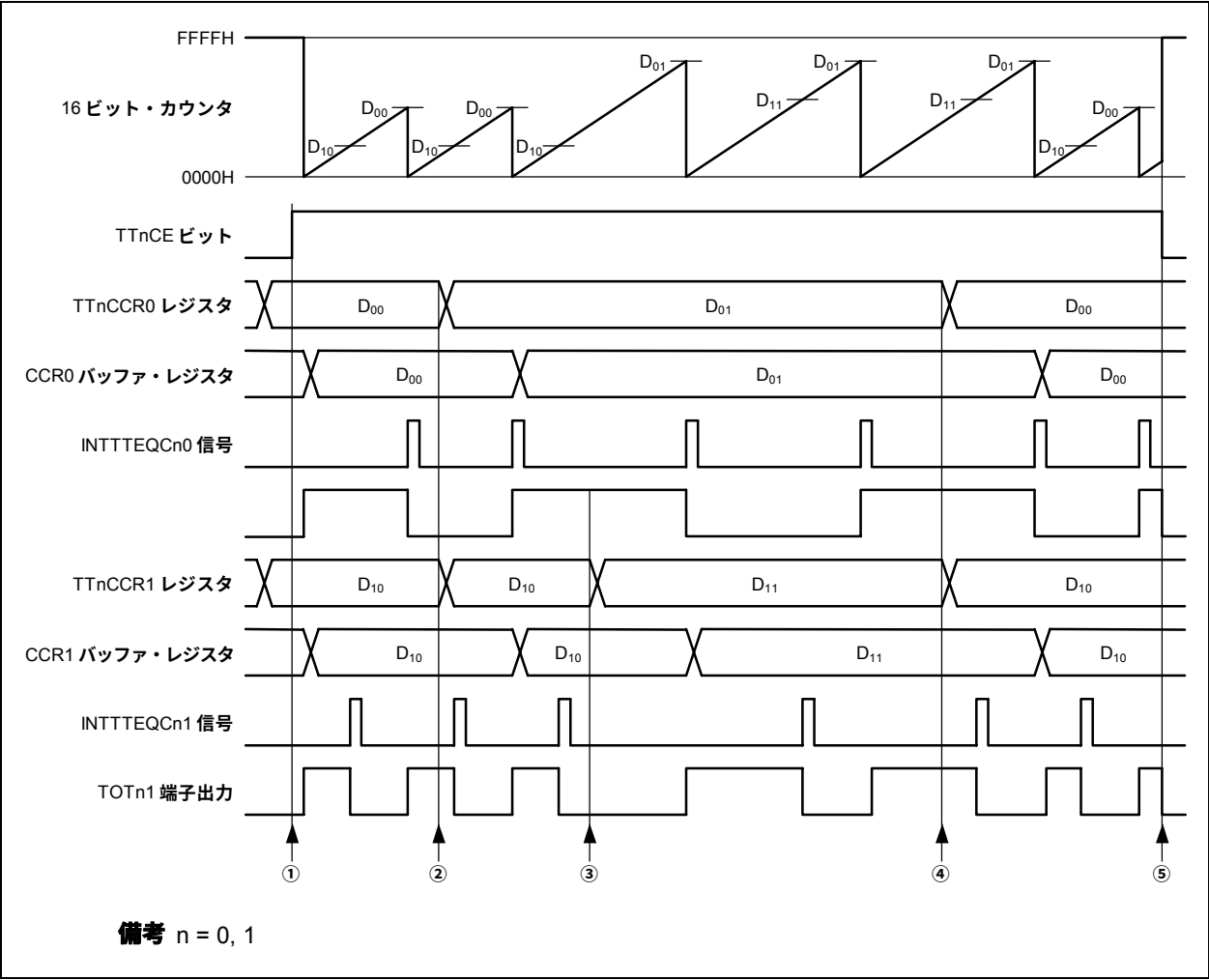
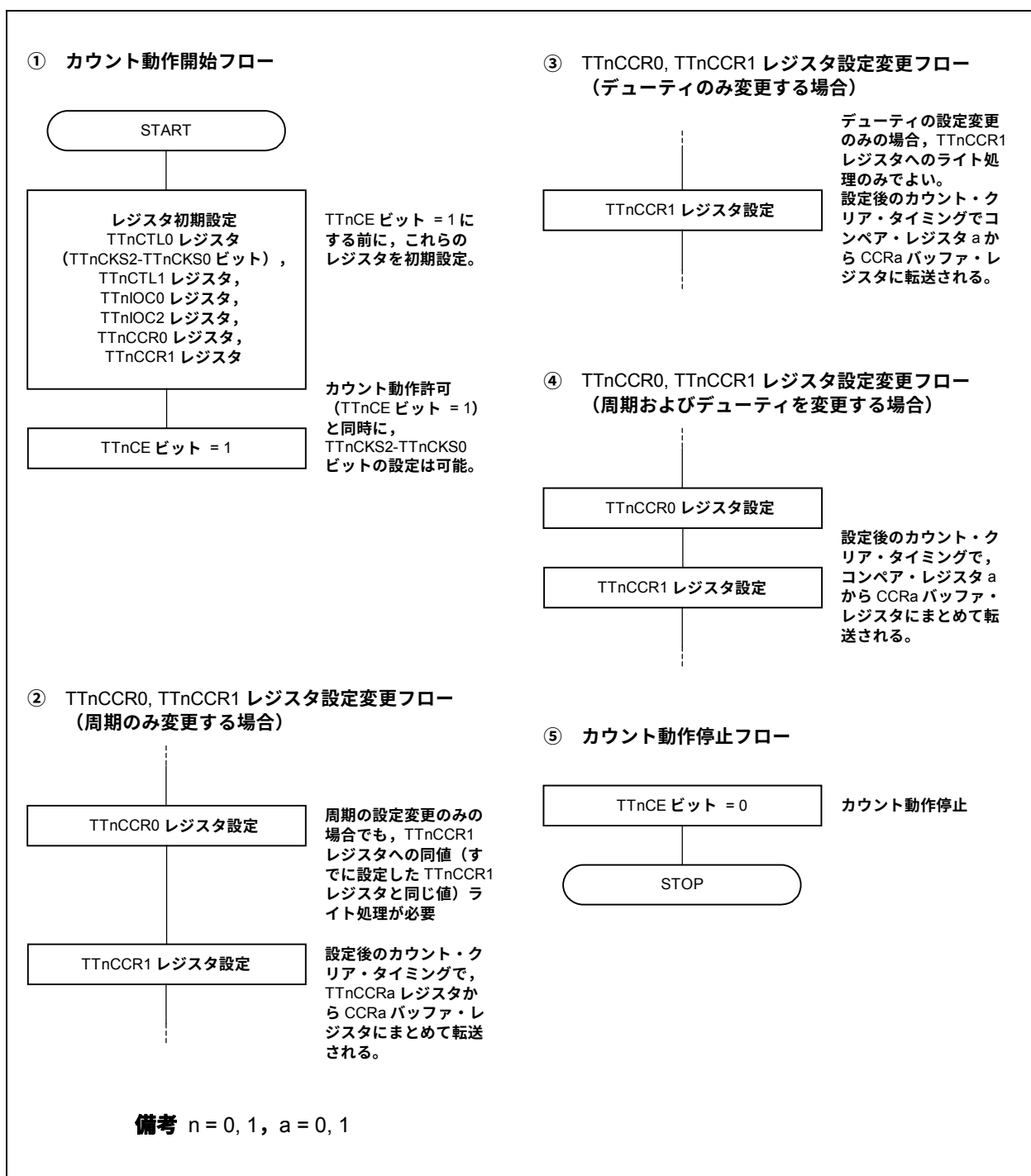


図 14-32 PWM 出力モード使用時のソフトウェア処理フロー (2/2)

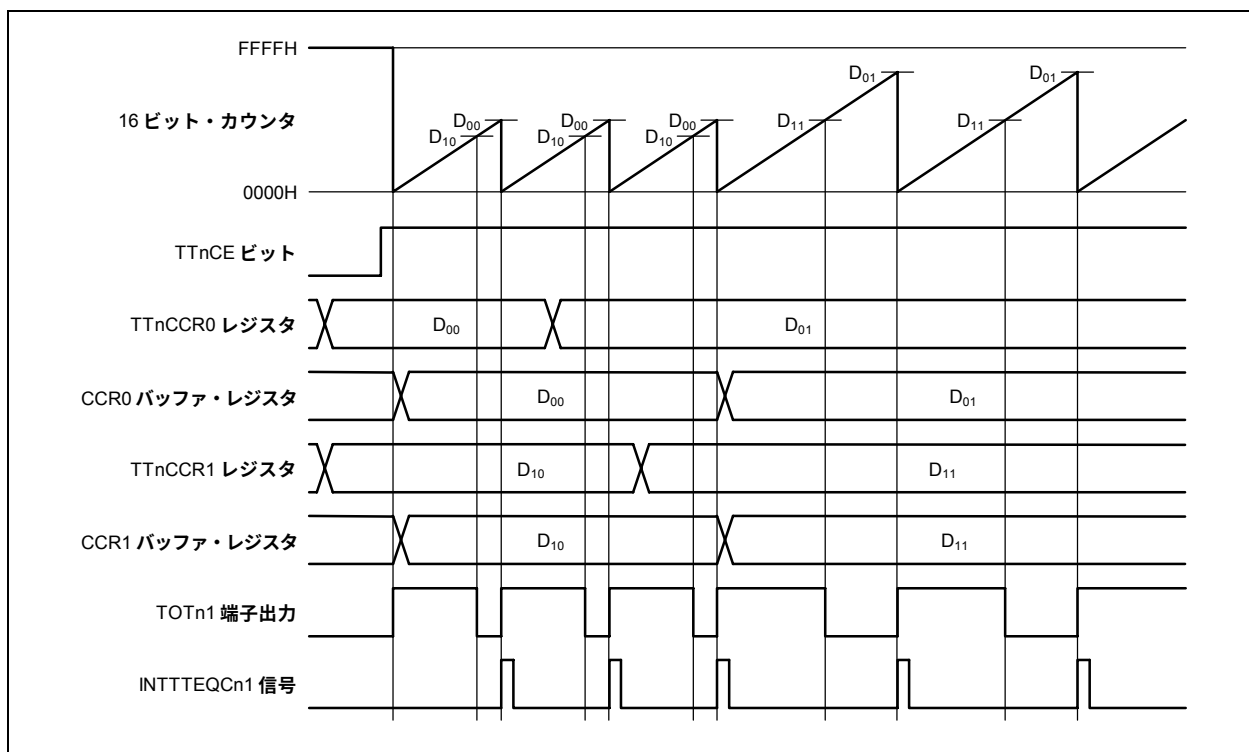


(2) PWM 出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中に PWM 波形を変更する場合には、最後に TTnCCR1 レジスタにライトしてください。

TTnCCR1 レジスタにライト後、再度 TTnCCRa レジスタの書き換えを行う場合には、INTTTEQCn1 信号を検出後に書き換えてください。



TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TTnCCR1 レジスタに対してライトする必要があります。

このとき、PWM 波形の周期とアクティブ・レベル幅の両方を変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタにアクティブ・レベル幅を設定してください。

PWM 波形の周期だけを変更する場合には、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタに同値（すでに設定した TTnCCR1 レジスタと同じ値）をライトしてください。

PWM 波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TTnCCR1 レジスタのみの設定でかまいません。

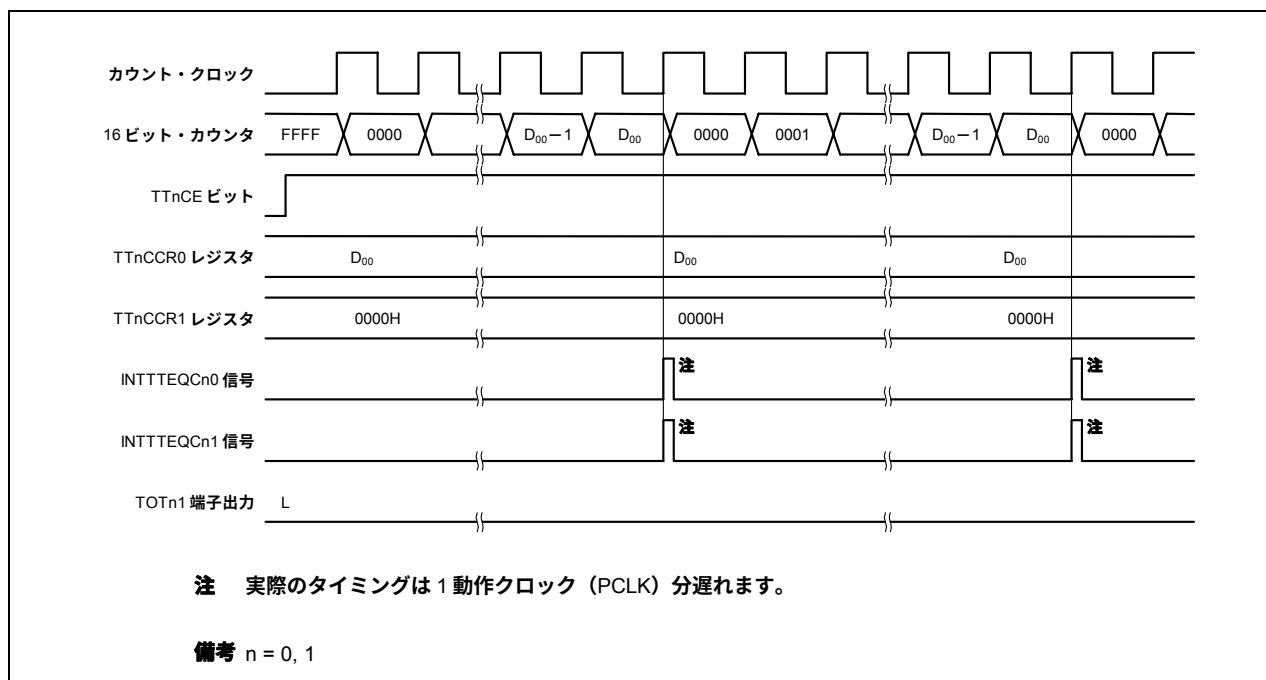
TTnCCR1 レジスタにライトしたあと、16 ビット・カウンタのクリア・タイミングに同期して、TTnCCRa レジスタに書き込まれた値が CCRa バッファ・レジスタに転送され、16 ビット・カウンタとのコンペア値となります。

また、一度 TTnCCR1 レジスタにライトしたあとで、再度 TTnCCR0、または TTnCCR1 レジスタへのライトを行う場合は、INTTTEQCn0 信号の発生後に行ってください。これを守れない場合には、TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送タイミングと、TTnCCRa レジスタの書き換えの競合により、CCRa バッファ・レジスタの値が不定値になる場合があります。

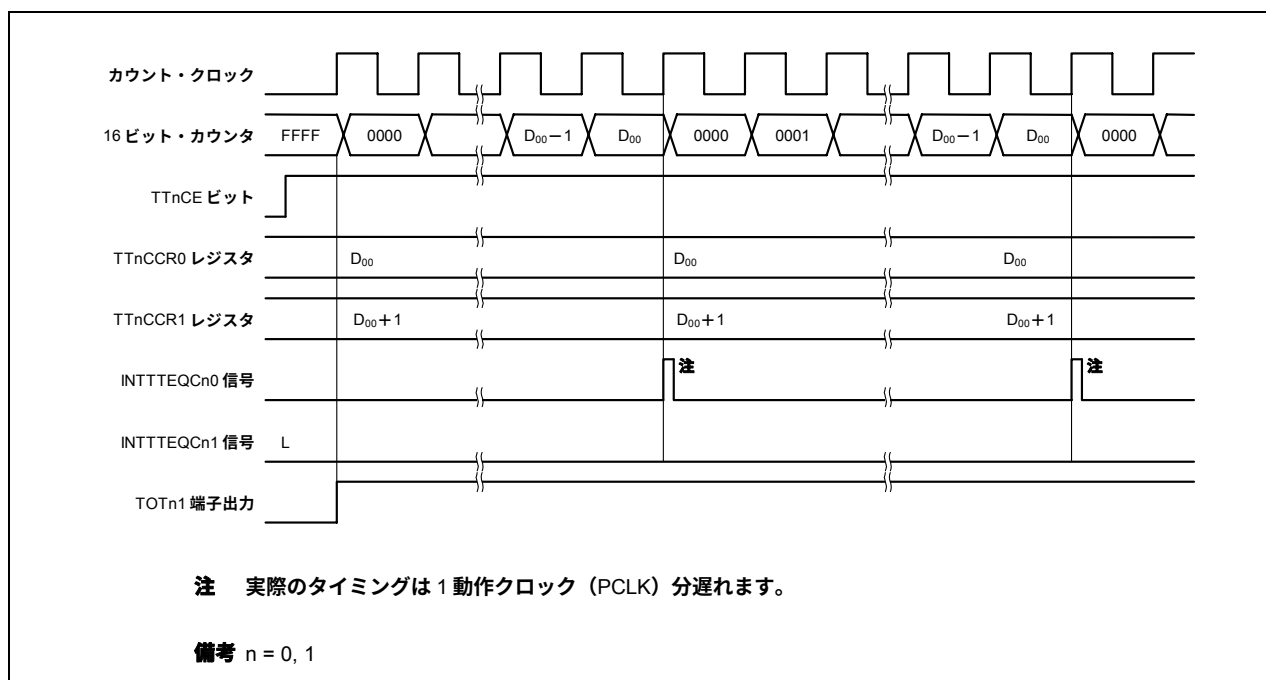
備考 n = 0, 1, a = 0, 1

(b) PWM 波形の 0%／100%出力

0%波形を出力するためには、TTnCCR1 レジスタに対して 0000H を設定します。16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致した次のタイミングで 16 ビット・カウンタは 0000H にクリアされ、INTTTEQCn0 信号と INTTTEQCn1 信号が発生します。

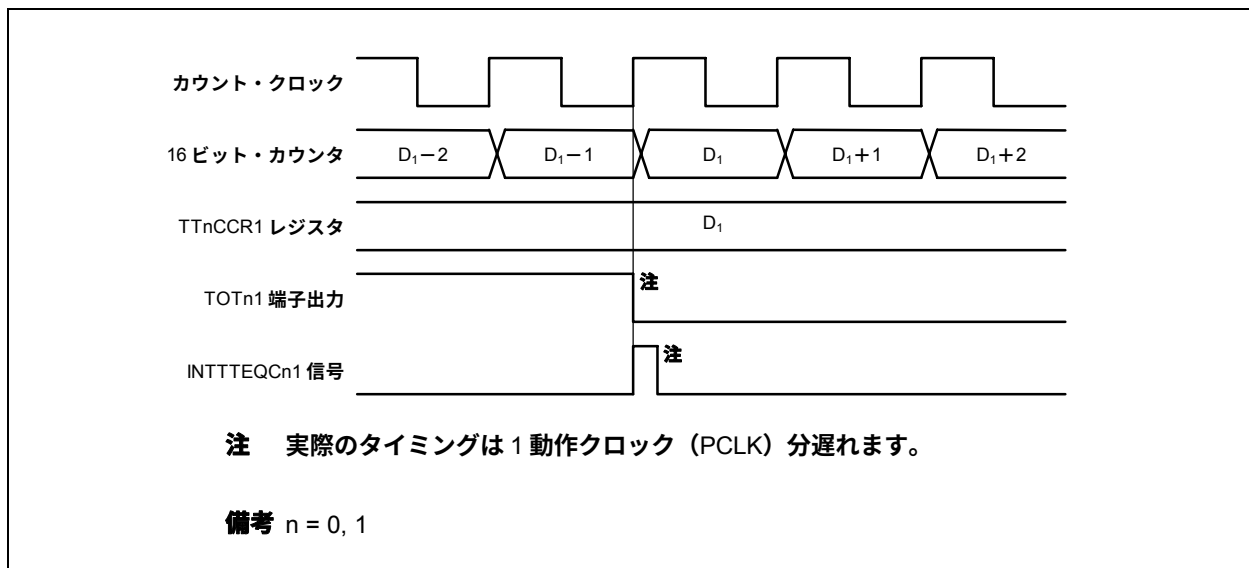


100%波形を出力するためには、TTnCCR1 レジスタに対して (TTnCCR0 レジスタの設定値+1) の値を設定してください。TTnCCR0 レジスタの設定値が FFFFH の場合には、100%出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

PWM 出力モードにおける INTTTEQCn1 信号の発生タイミングは、ほかのモードの INTTTEQCn1 信号と異なり、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致と同時に発生します。



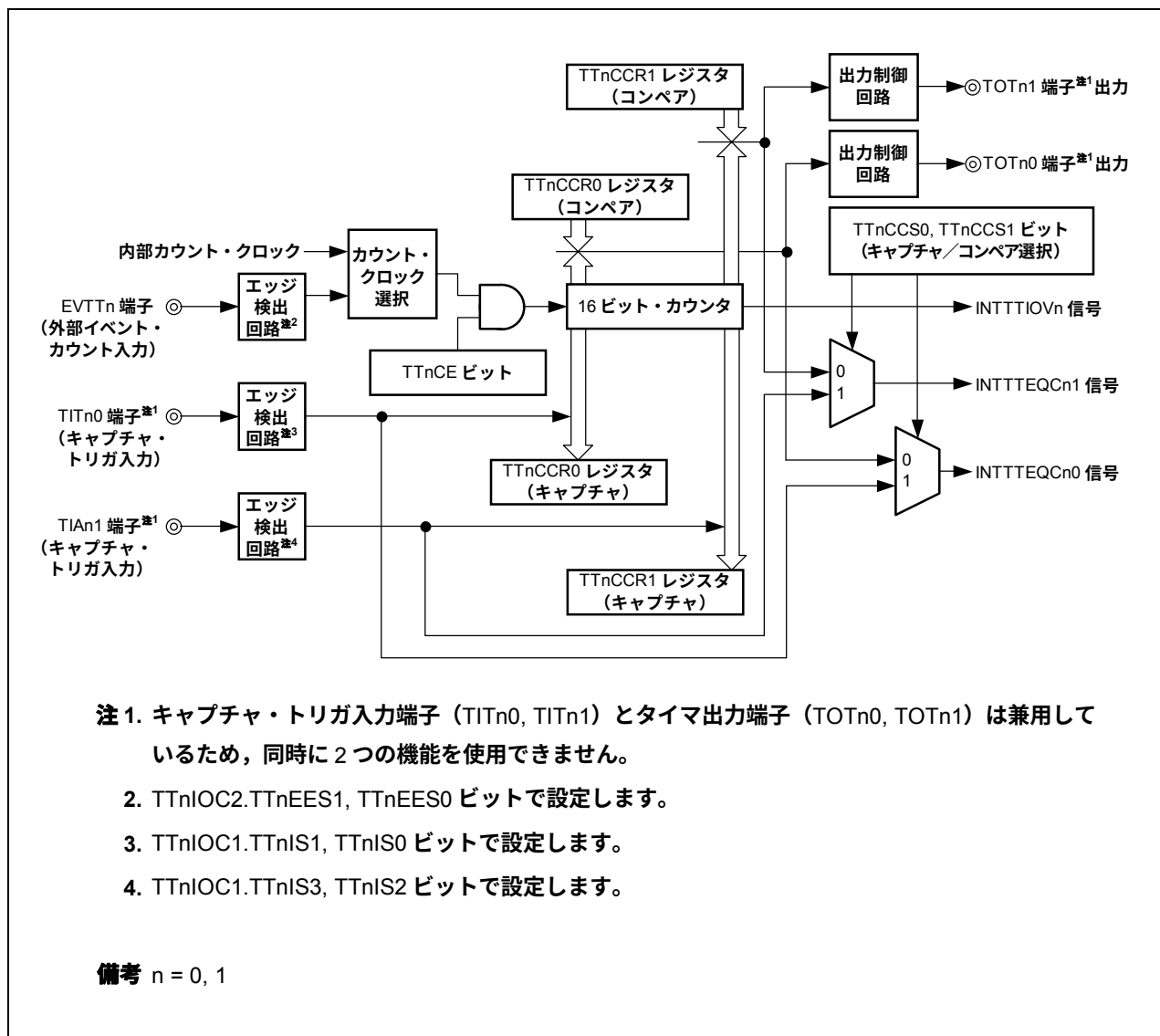
通常、INTTTEQCn1 信号は、16 ビット・カウンタのカウンタ値と TTnCCR1 レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM 出力モードの場合、1 クロック早いタイミングで発生します。これは、TOTn1 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

14.6.7 フリー・ランニング・タイマ・モード (TTnMD3-TTnMD0 ビット = 0101)

フリー・ランニング・タイマ・モードは、TTnCTL0.TTnCE ビットをセット (1) することでカウント動作を開始します。このときの TTnCCR0, TTnCCR1 レジスタの動作は、TTnOPT0.TTnCCS0, TTnCCS1 ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図 14-33 フリー・ランニング・タイマ・モードの構成図



注 1. キャプチャ・トリガ入力端子 (TITn0, TITn1) とタイマ出力端子 (TOTn0, TOTn1) は兼用しているため、同時に 2 つの機能を使用できません。

2. TTnIOC2.TTnEES1, TTnEES0 ビットで設定します。

3. TTnIOC1.TTnIS1, TTnIS0 ビットで設定します。

4. TTnIOC1.TTnIS3, TTnIS2 ビットで設定します。

備考 n = 0, 1

・コンペア動作

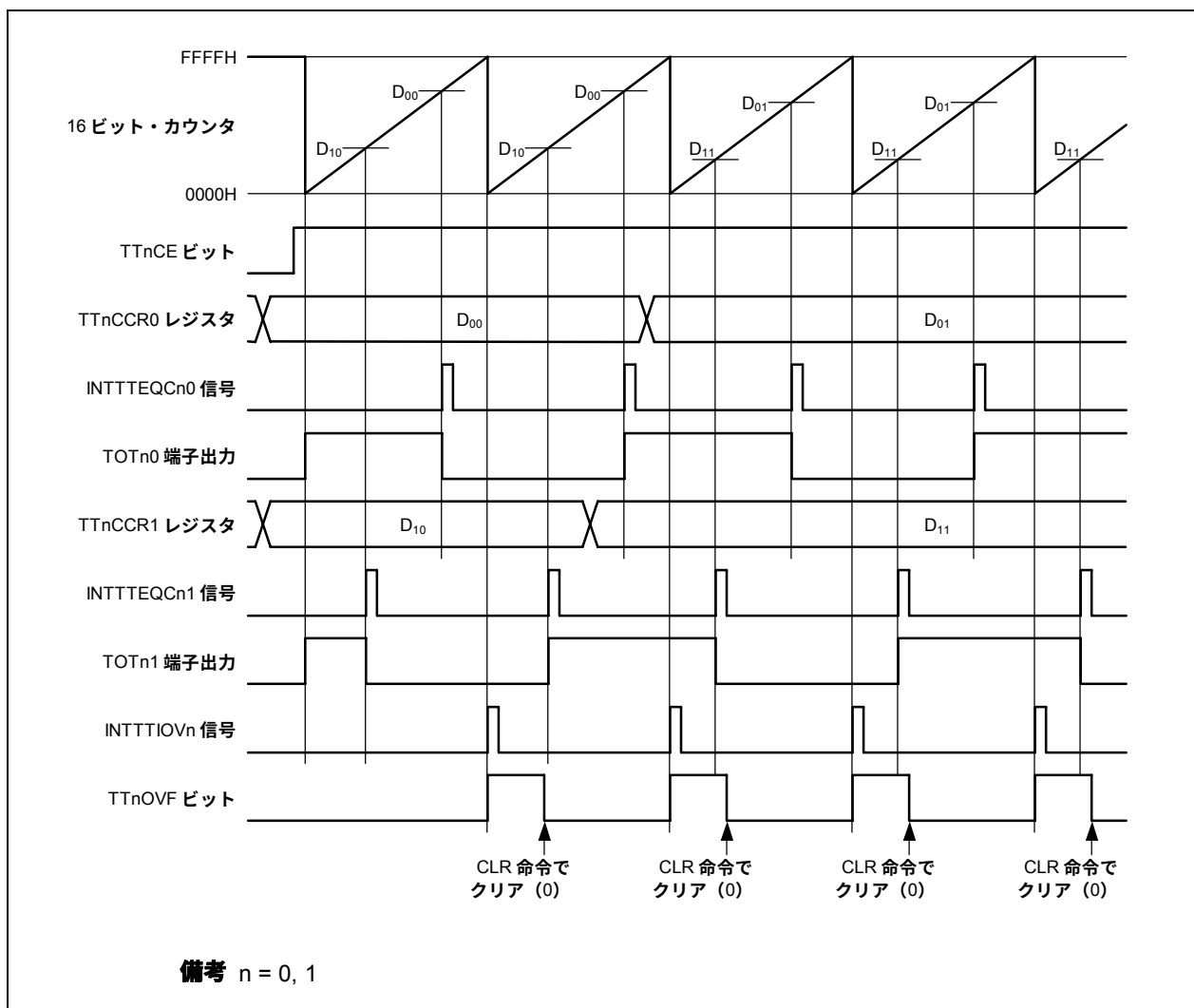
TTnCE ビットをセット (1) することで、カウント動作を開始し、TOTna 端子出力を反転します。その後、16 ビット・カウンタのカウント値と TTnCCRa レジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCna) を発生し、TOTna 端子出力を反転します。

16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTTIOVn) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバフロー・フラグ

(TTnOPT0.TTnOVF ビット) もセット (1) されます。オーバフロー・フラグがセット (1) されているのを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

TTnCCRa レジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図 14-34 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TTnCE ビットをセット (1) することで、カウント動作を開始します。その後、TITna 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TTnCCRa レジスタに格納し、キャプチャ割り込み要求信号 (INTTTEQCna) を発生します。

16 ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFH までカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTTIOVn) を発生するとともに、0000H にクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ

(TTnOPT0.TTnOVF ビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアで CLR 命令を実行してクリア (0) してください。

図 14-35 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

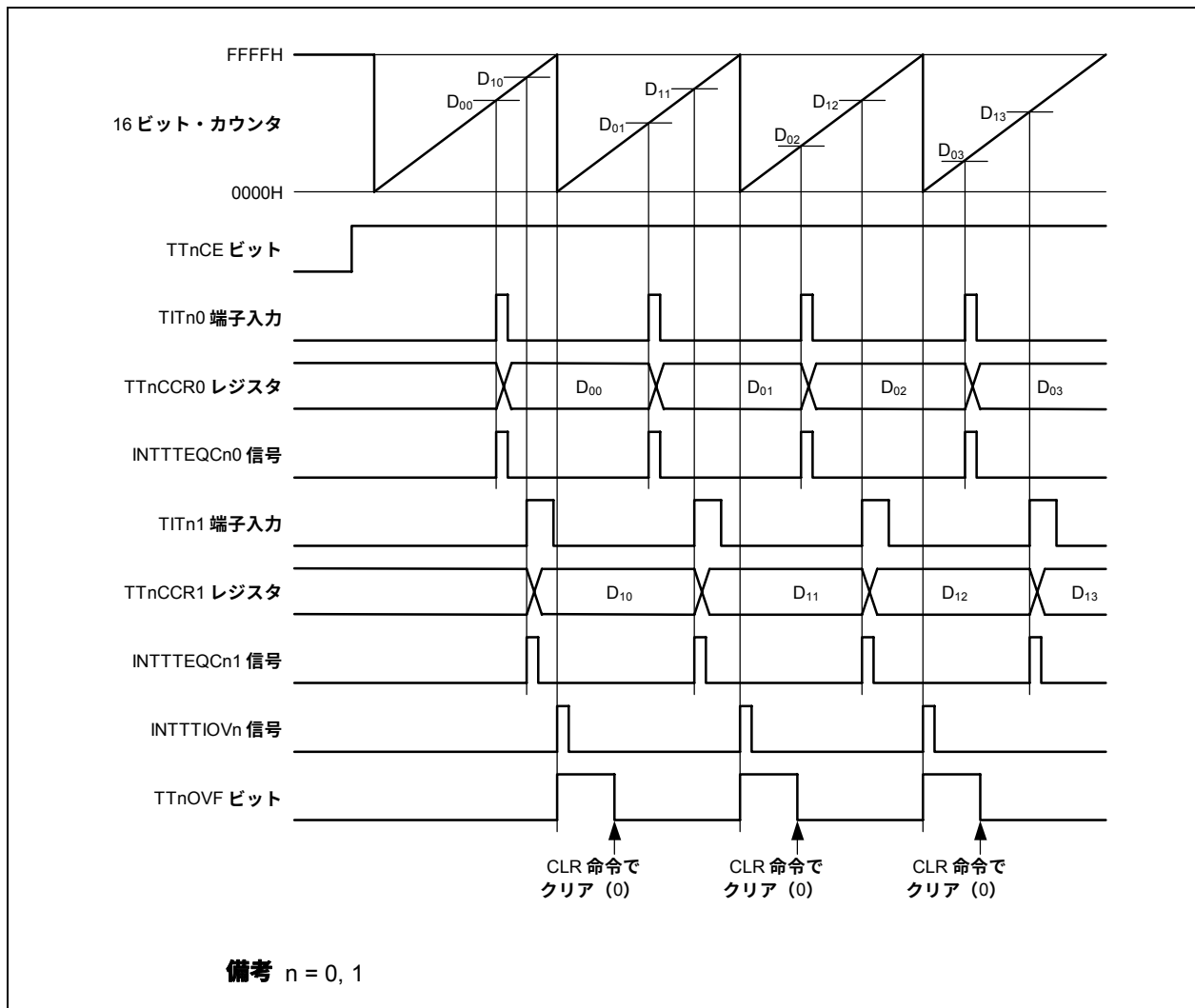
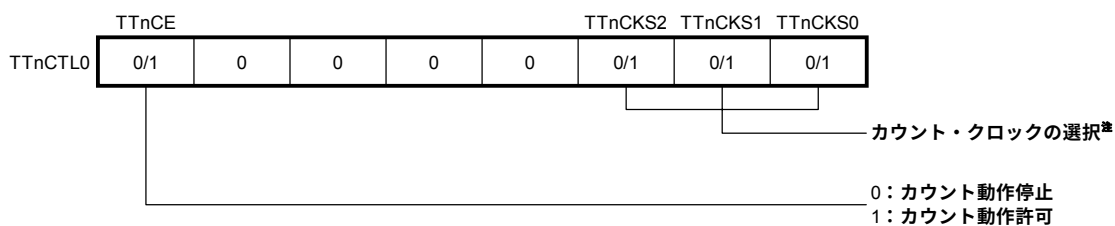


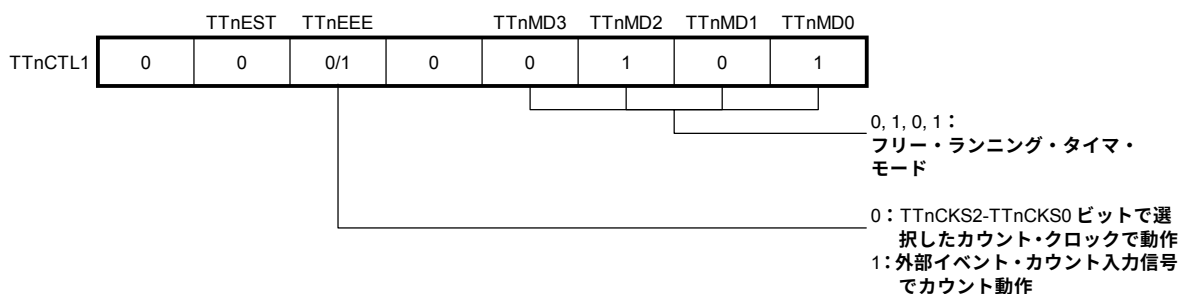
図 14-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMTn 制御レジスタ 0 (TTnCTL0)



注 TTnCTL1.TTnEEE ビット = 1 のときは設定が無効になります。

(b) TMTn 制御レジスタ 1 (TTnCTL1)



(c) TMTnI/O 制御レジスタ 0 (TTnIOC0)

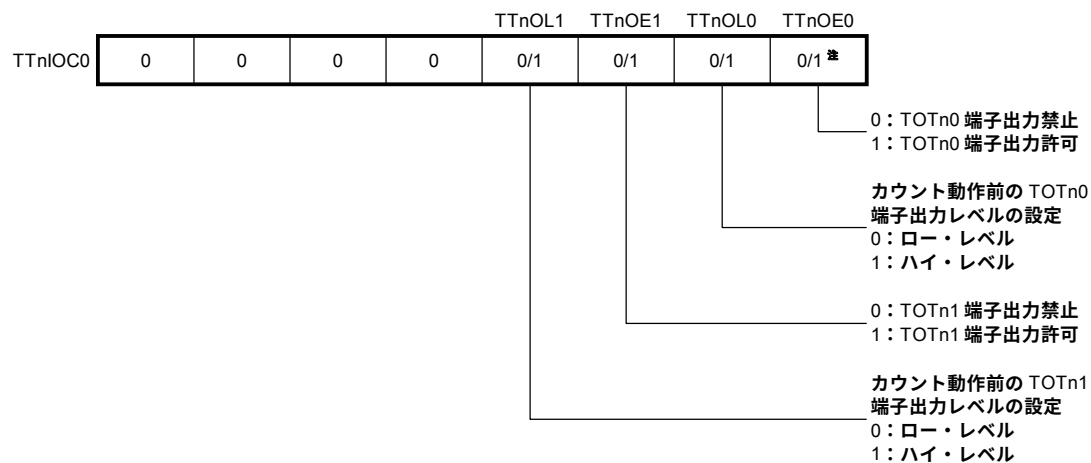
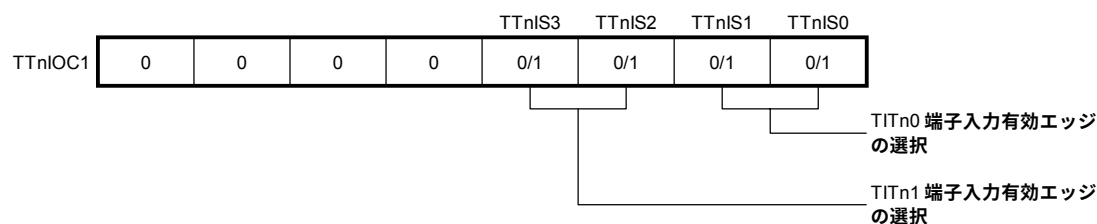
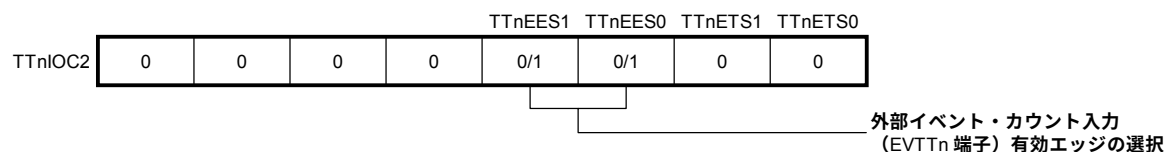


図 14-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

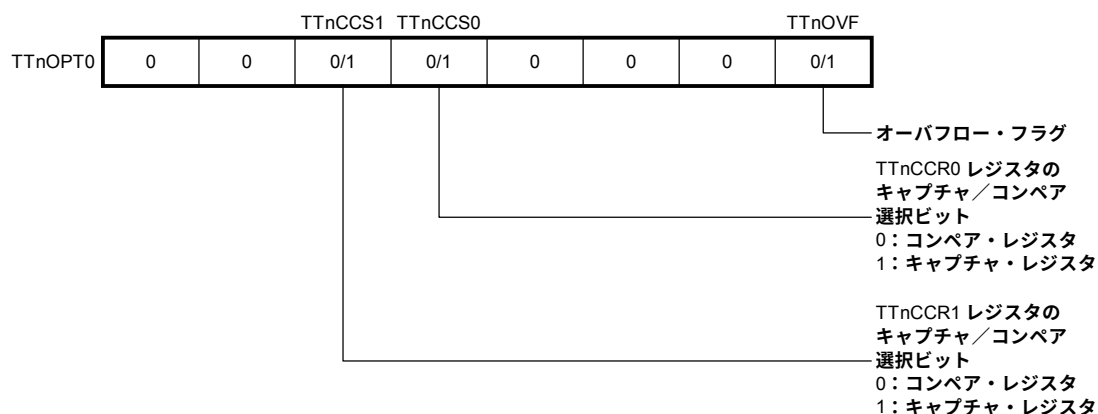
(d) TMTnI/O 制御レジスタ 1 (TTnIOC1)



(e) TMTnI/O 制御レジスタ 2 (TTnIOC2)



(f) TMTn オプション・レジスタ 0 (TTnOPT0)



(g) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

図 14-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

- (h) TMTn キャプチャ／コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

TTnOPT0.TTnCCSa ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TITna 端子入力の有効エッジ検出により、16 ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TTnCCRa レジスタに D_a を設定した場合、カウンタが $(D_a + 1)$ になるタイミングで INTTTEQCa 信号を発生し、TOTn0, TOTn1 端子出力を反転します。

備考 $n = 0, 1, \quad a = 0, 1$

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

図 14-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

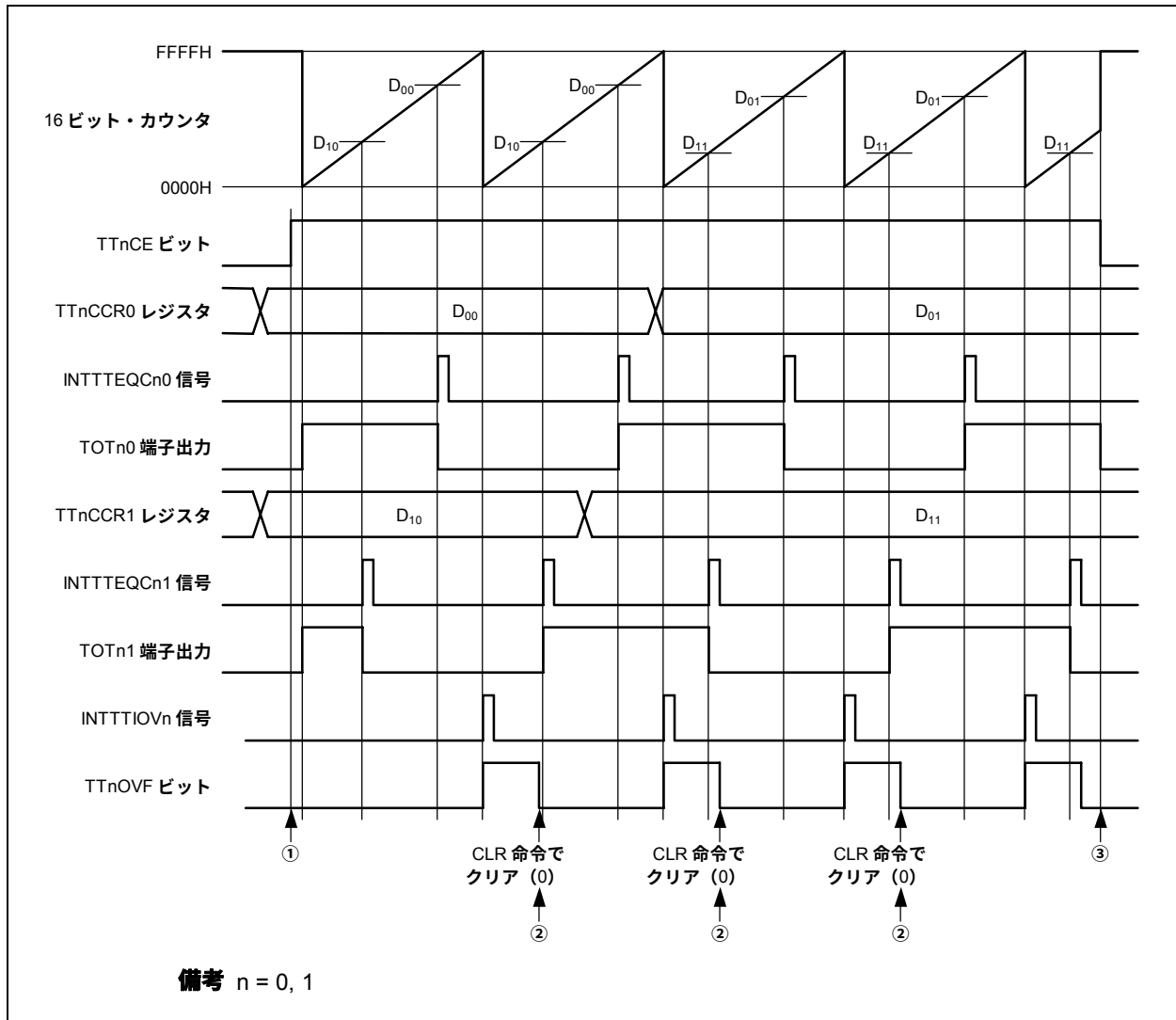
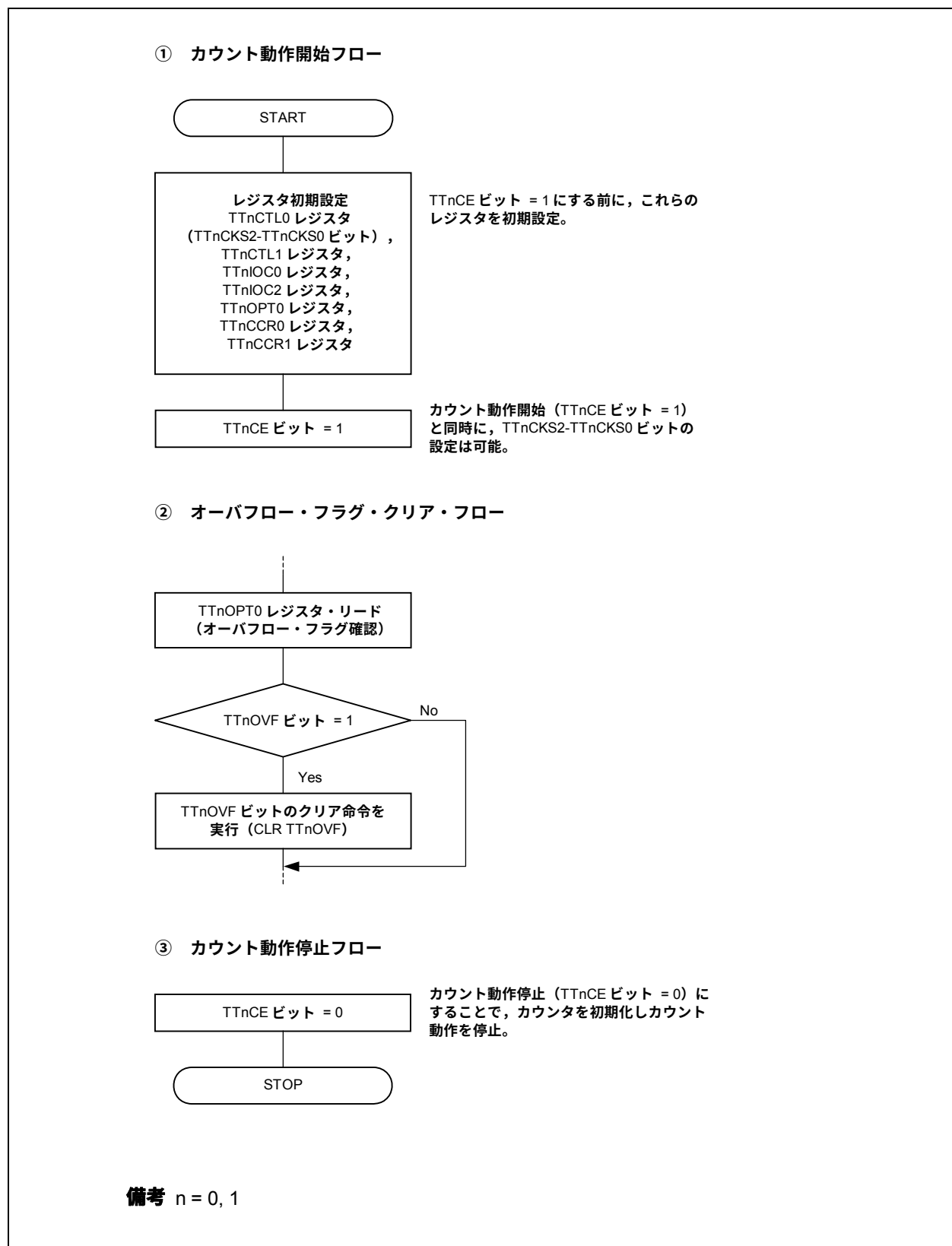


図 14-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ／コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図 14-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (1/2)

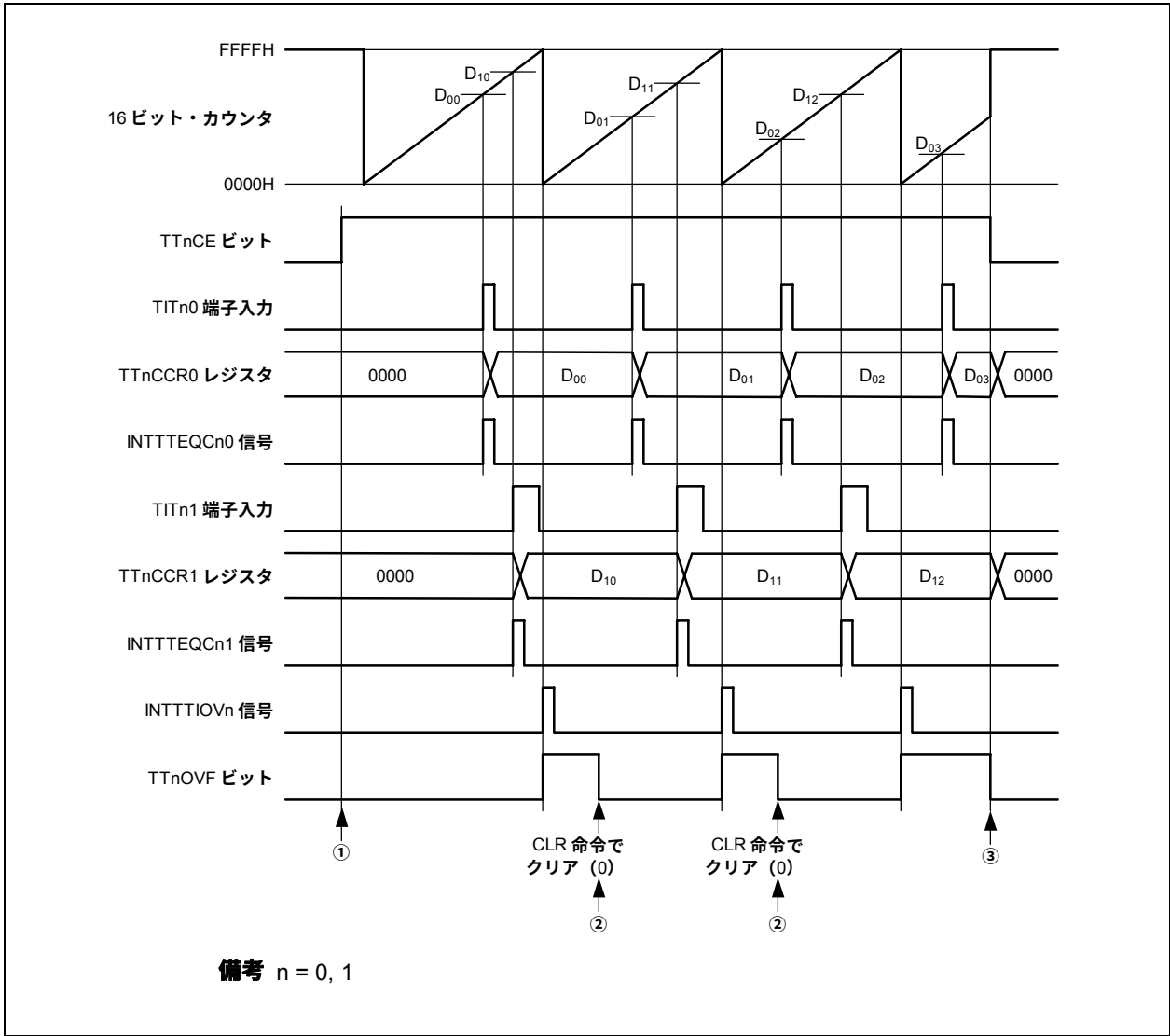
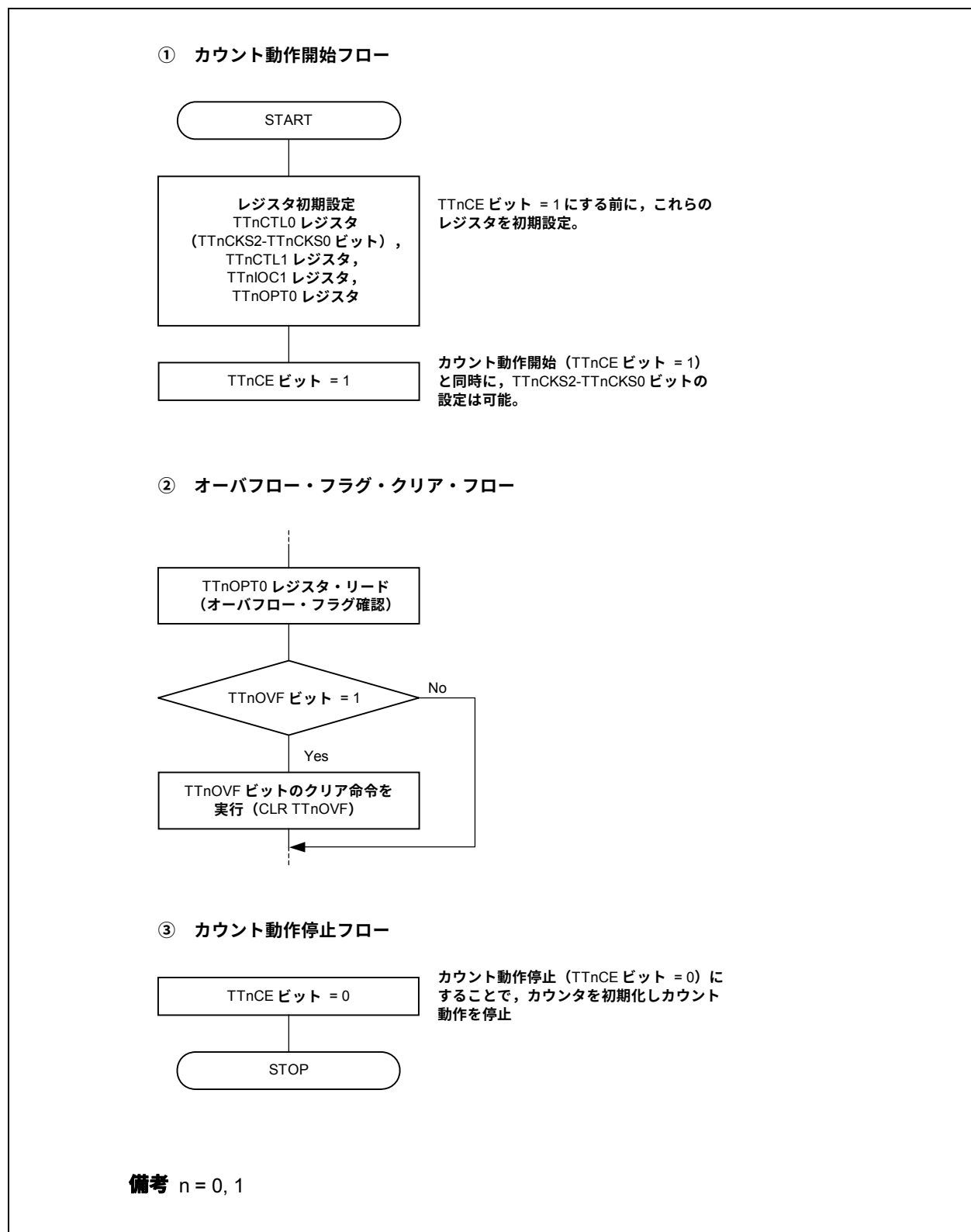


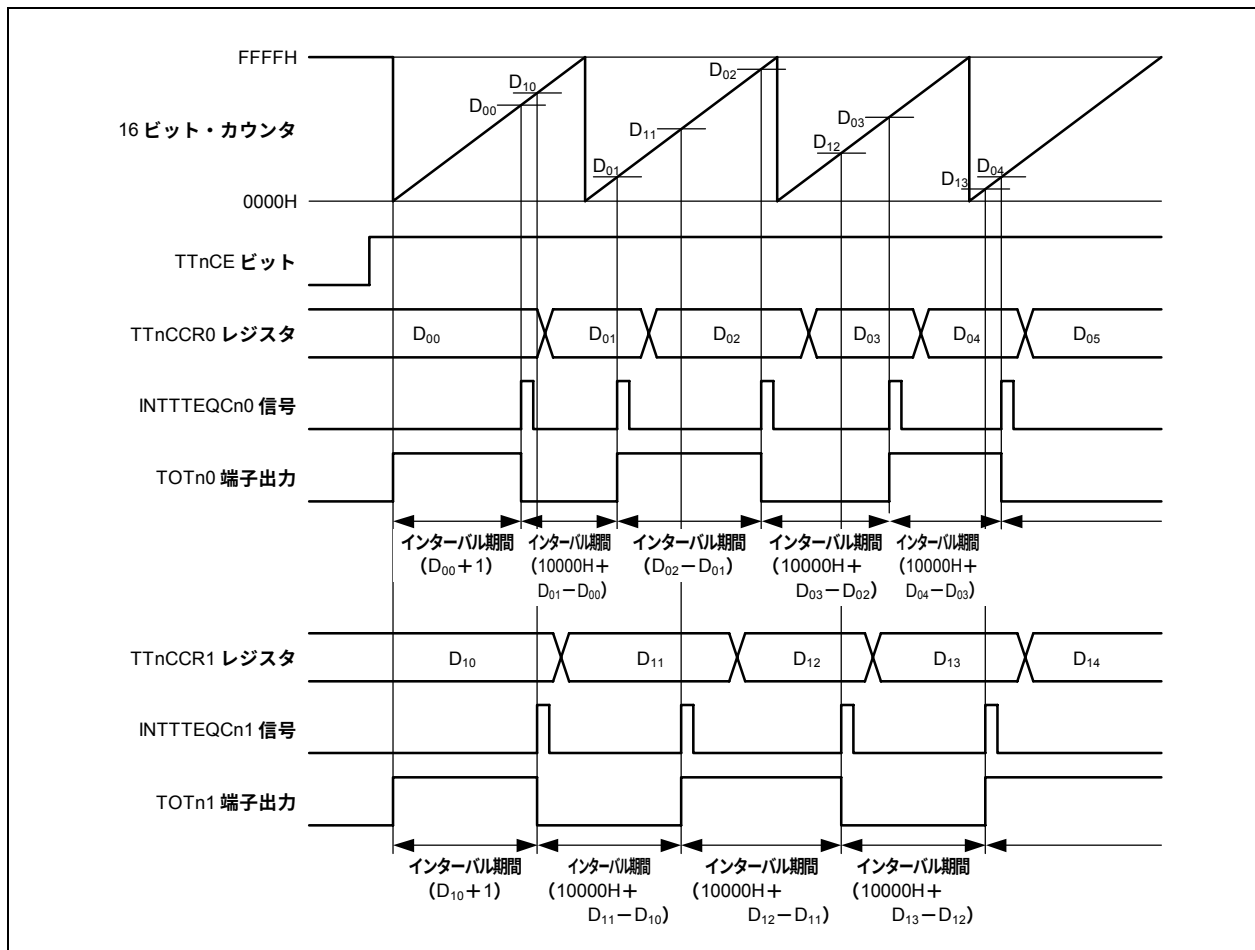
図 14-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TTnCCRa レジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTTEQCna 信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1 チャンネルで 2 つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTTEQCna 信号を検出したときの割り込み処理中に、対応する TTnCCRa レジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_a - 1$

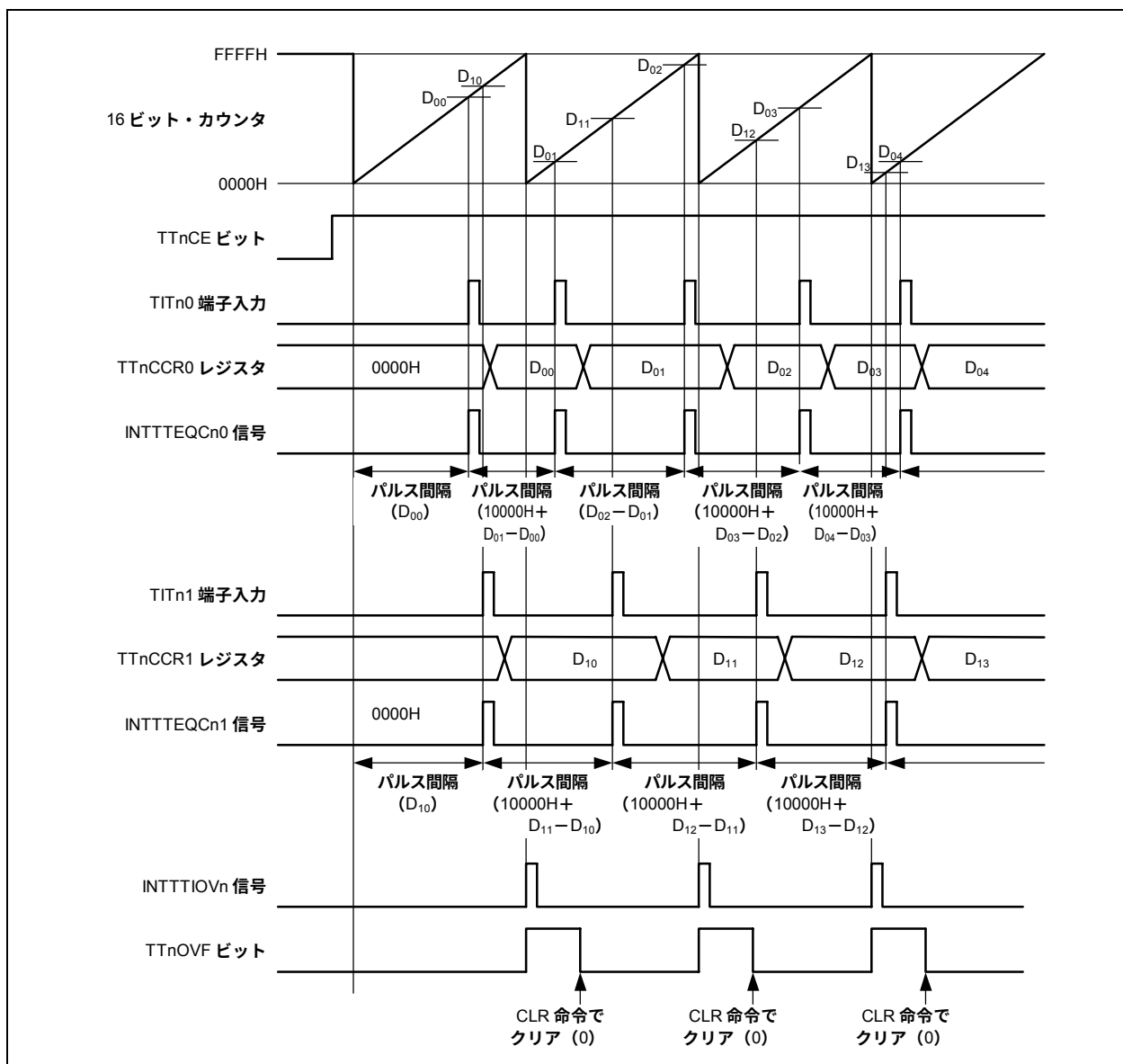
2 回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果が FFFFH よりも大きい場合には、演算結果から 10000H を引いた値を設定してください)

備考 $n = 0, 1, a = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TTnCCRa レジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTTEQCna 信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



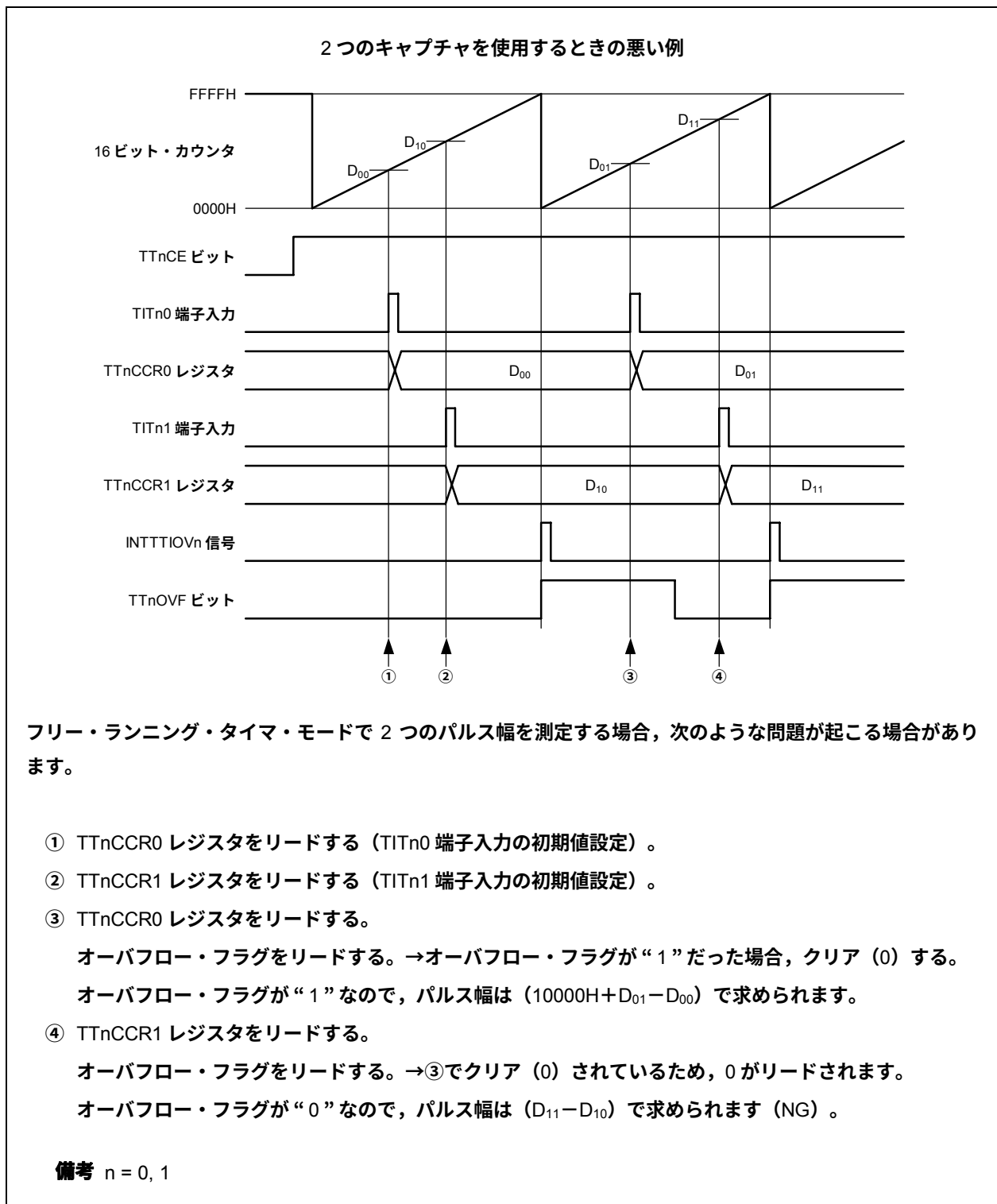
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1 チャンネルで 2 つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTTEQCna 信号に同期して TTnCCRa レジスタの値をリードし、同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0, 1, a = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

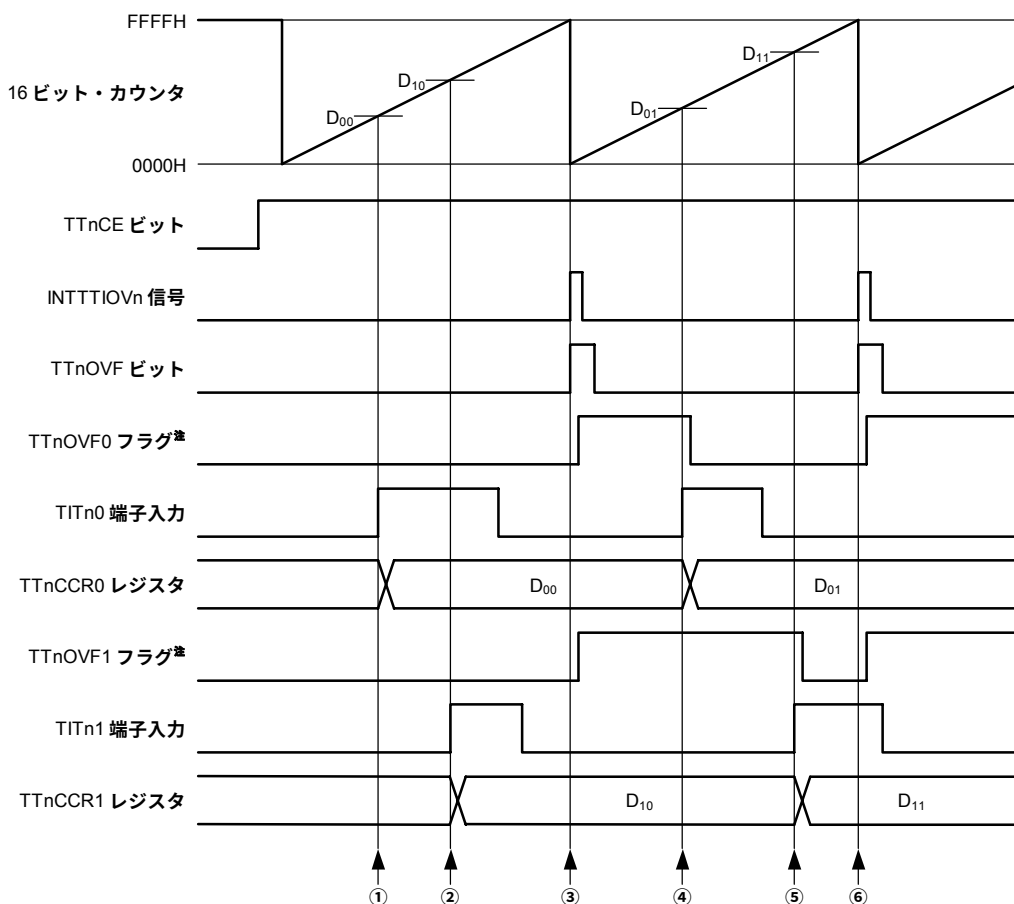
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア (0) してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2 つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)

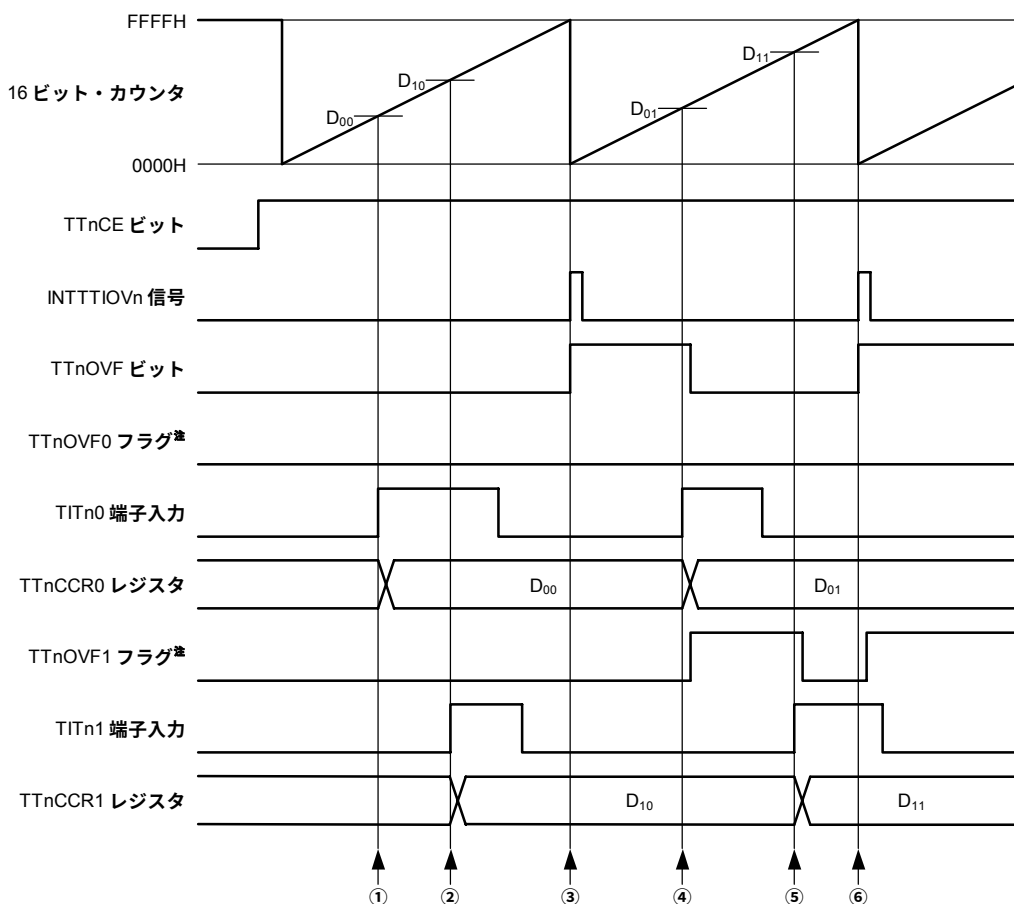


注 TTnOVF0, TTnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

- ① TTnCCR0 レジスタをリードする (TITn0 端子入力の初期値設定)。
- ② TTnCCR1 レジスタをリードする (TITn1 端子入力の初期値設定)。
- ③ オーバフローが発生する。オーバーフロー割り込み処理の中で、TTnOVF0, TTnOVF1 フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。
- ④ TTnCCR0 レジスタをリードする。
TTnOVF0 フラグをリードする。→TTnOVF0 フラグが“1”だった場合、クリア (0) する。
TTnOVF0 フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。
- ⑤ TTnCCR1 レジスタをリードする。
TTnOVF1 フラグをリードする。→TTnOVF1 フラグが“1”だった場合、クリア (0) する (④でクリア (0) されたのは TTnOVF0 フラグであり、TTnOVF1 フラグは“1”のまま)。
TTnOVF1 フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。
- ⑥ ③と同じです。

備考 n = 0, 1

2 つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TTnOVF0, TTnOVF1 フラグは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

① TTnCCR0 レジスタをリードする (TITn0 端子入力の初期値設定)。

② TTnCCR1 レジスタをリードする (TITn1 端子入力の初期値設定)。

③ オーバフローが発生する。ソフトウェアでは何もしない。

④ TTnCCR0 レジスタをリードする。

オーバーフロー・フラグをリードする。→オーバーフロー・フラグが“1”だった場合、TTnOVF1 フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

⑤ TTnCCR1 レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは④でクリア (0) されているので“0”がリードされる。

TTnOVF1 フラグをリードする。→TTnOVF1 フラグが“1”だった場合、クリア (0) する。

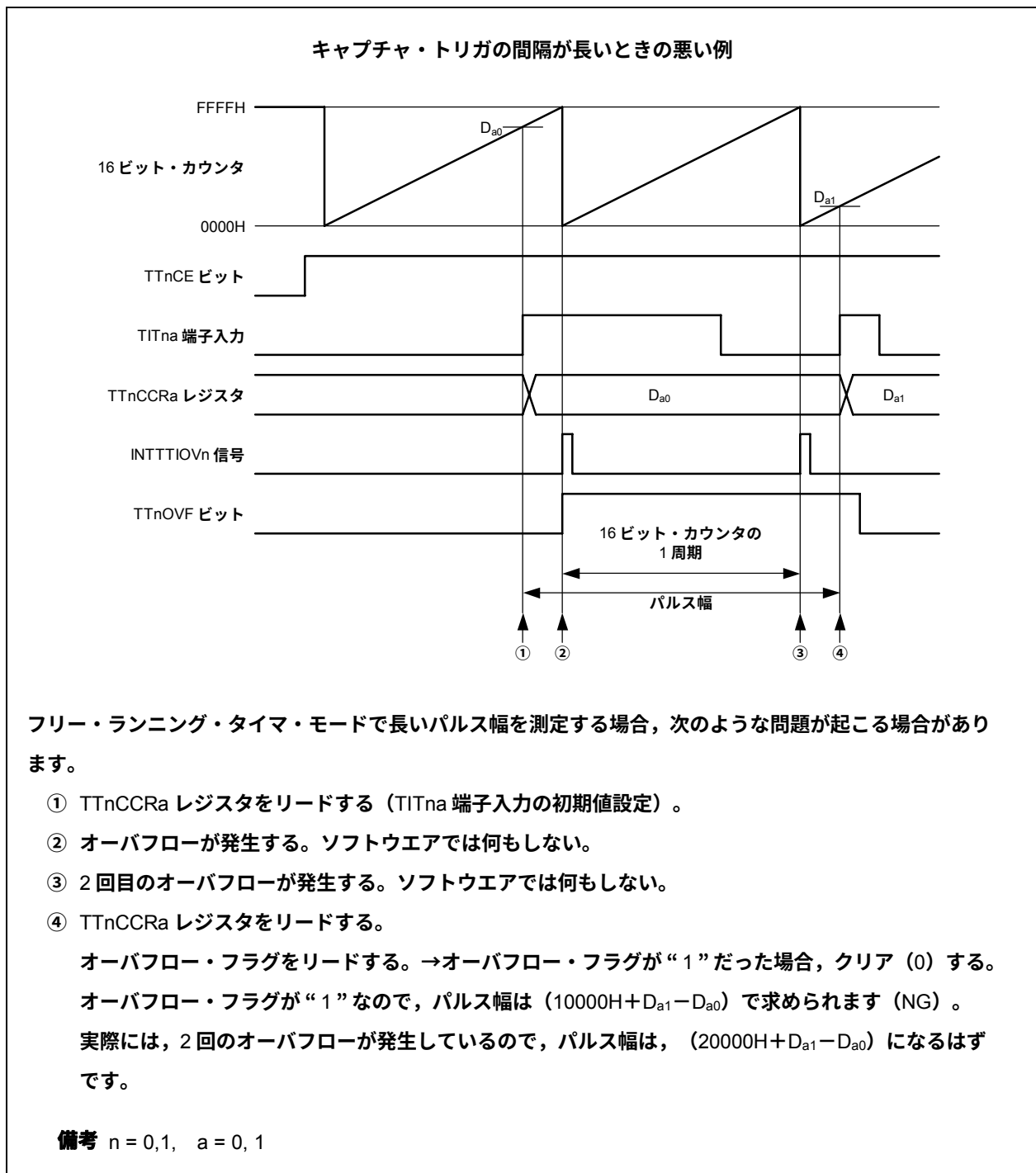
TTnOVF1 フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

⑥ ③と同じです。

備考 n = 0, 1

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

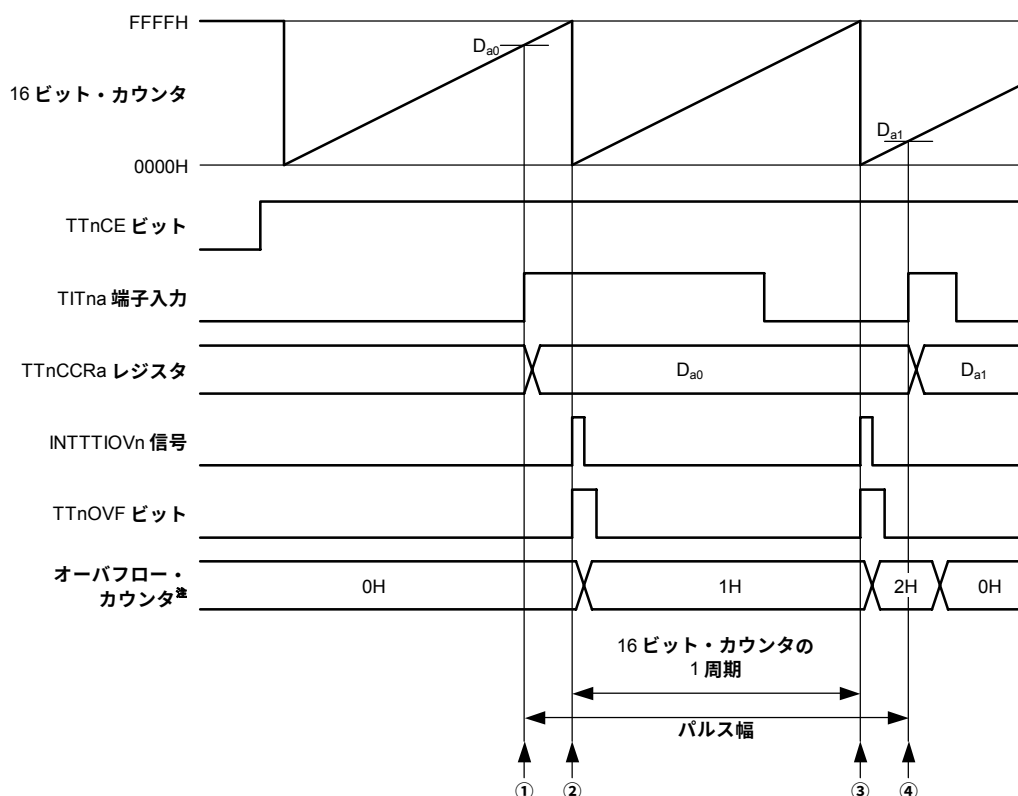
パルス幅が 16 ビット・カウンタの 1 周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが 2 回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2 回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして 16 ビット・カウンタの 1 周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵 RAM 上に任意に設定したものです。

- ① TTnCCRa レジスタをリードする (TITna 端子入力の初期値設定)。
- ② オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。
- ③ 2 回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。
- ④ TTnCCRa レジスタをリードする。

オーバフロー・カウンタをリードする。

→オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2 回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 $n = 0, 1, a = 0, 1$

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TTnOVF ビット = 1 をリードしたあとに TTnOVF ビットを CLR 命令でクリア (0) する方法と、TTnOVF ビット = 1 をリードしたあとに TTnOPT0 レジスタに 8 ビット・データ (ビット 0 は “0”) をライトする方法があります。

14.6.8 パルス幅測定モード (TTnMD3-TTnMD0 ビット = 0110)

パルス幅測定モードは、TTnCTL0.TTnCE ビットをセット (1) することでカウント動作を開始し、TITna 端子入力の有効エッジを検出するごとに、16 ビット・カウンタのカウント値を TTnCCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアします。

キャプチャ割り込み要求信号 (INTTTEQCna) が発生したあと、TTnCCRa レジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図 14-40 のような場合は、キャプチャ・トリガ入力端子として TITn0, TITn1 端子のいずれか 1 本を使用し、使用しない端子は TTnIOC1 レジスタで“エッジ検出なし”に設定してください。

図 14-39 パルス幅測定モードの構成図

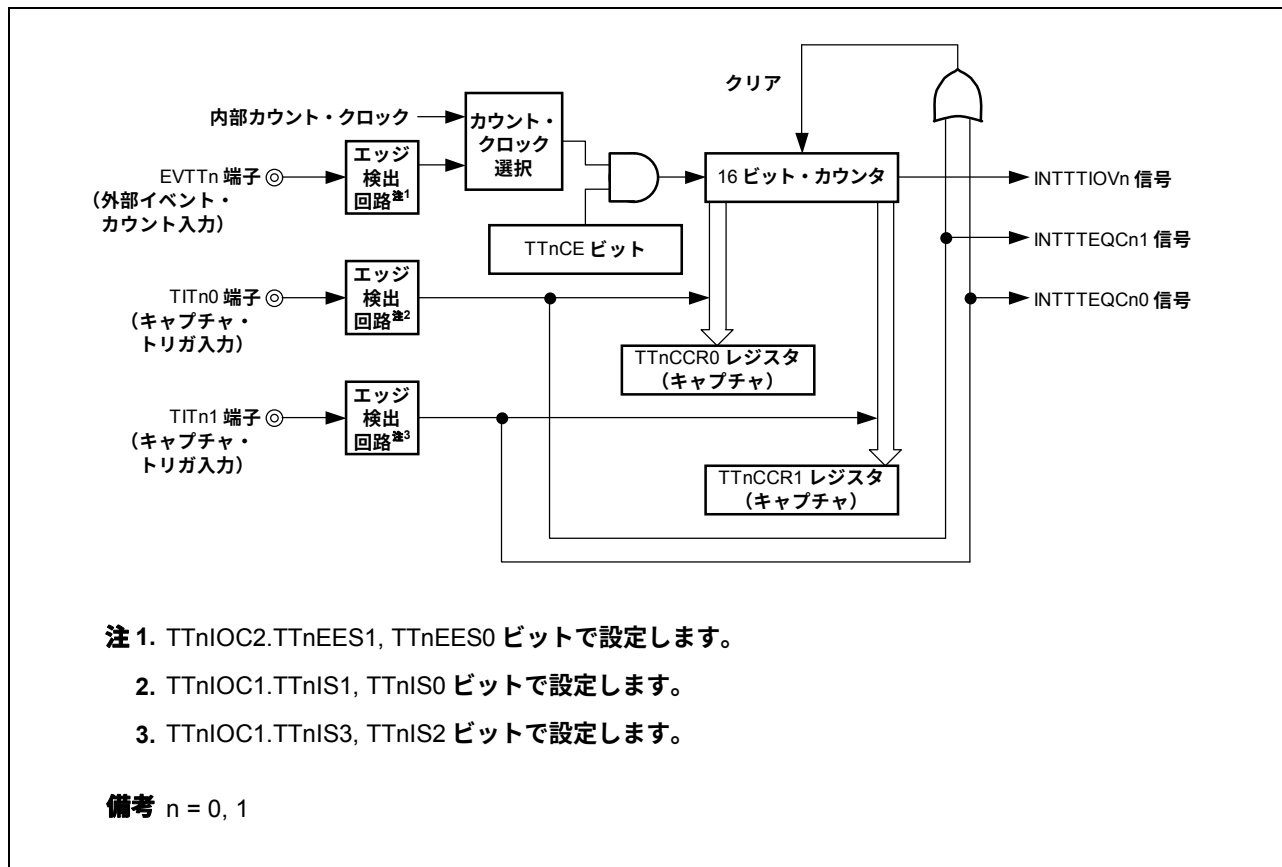
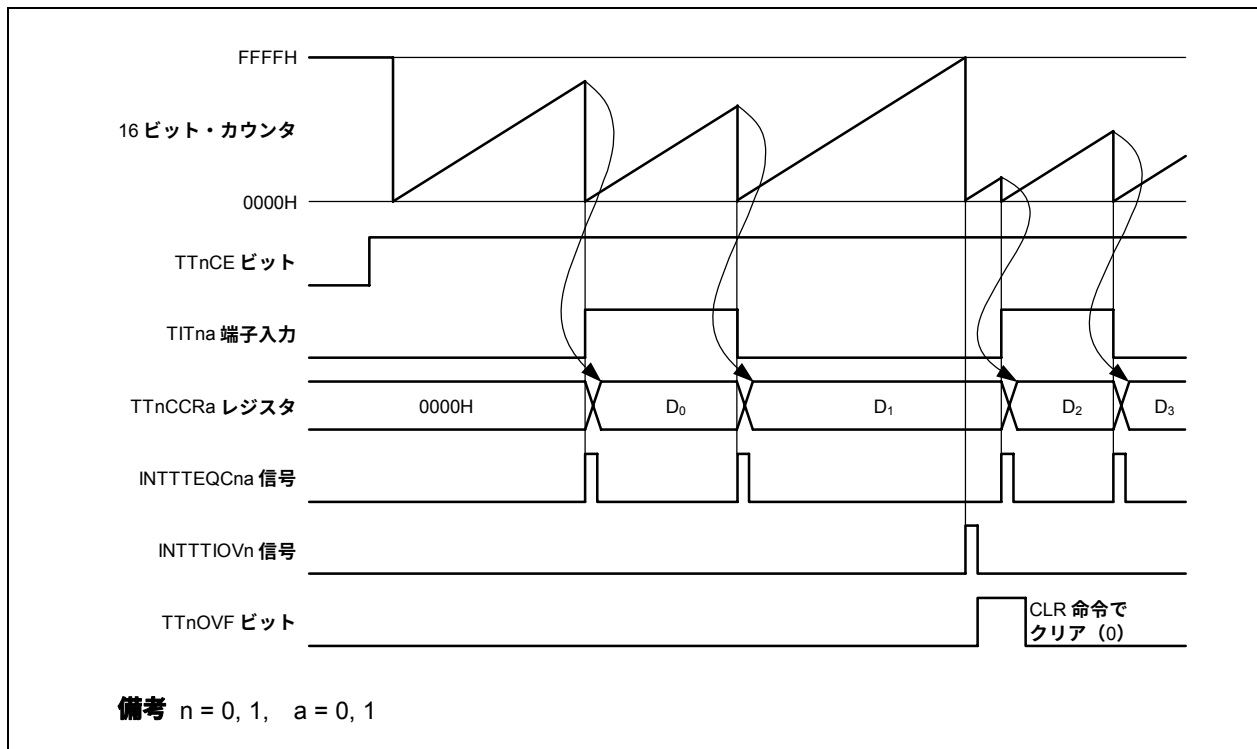


図 14-40 パルス幅測定モードの基本タイミング



TTnCE ビットをセット (1) することで、カウント動作を開始します。その後、TITna 端子入力の有効エッジを検出することにより、16 ビット・カウンタのカウント値を TTnCCRa レジスタに格納し、16 ビット・カウンタを 0000H にクリアし、キャプチャ割り込み要求信号 (INTTTEQCna) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16 ビット・カウンタが FFFFH までカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTTIOVn) を発生するとともに、0000H にクリアしカウント動作を継続します。

また、このときオーバフロー・フラグ (TTnOPT0.TTnOVF ビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアで CLR 命令を実行してクリア (0) してください。

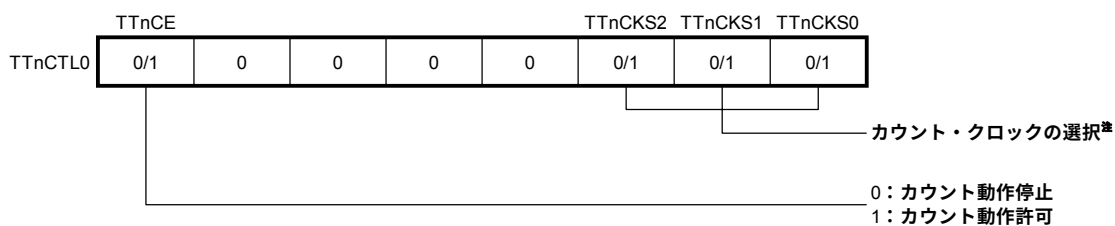
オーバフロー・フラグがセット (1) された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000H \times \text{TTnOVF ビットがセット (1) された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 $n = 0, 1, a = 0, 1$

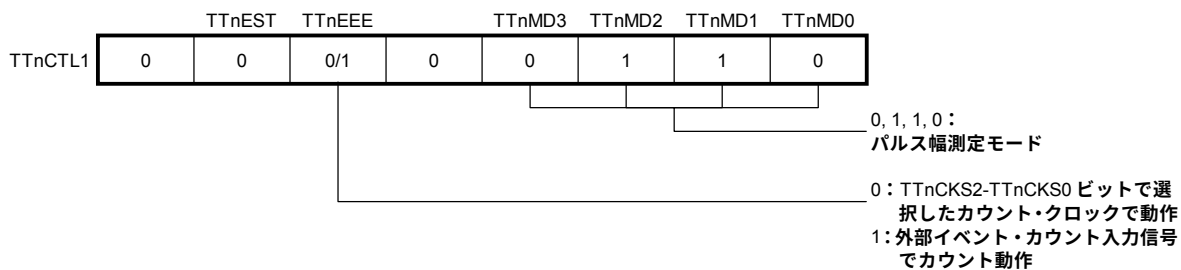
図 14-41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMTn 制御レジスタ 0 (TTnCTL0)



注 TTnCTL1.TTnEEE ビット = 1 のときは設定が無効になります。

(b) TMTn 制御レジスタ 1 (TTnCTL1)



(c) TMTnI/O 制御レジスタ 1 (TTnIOC1)

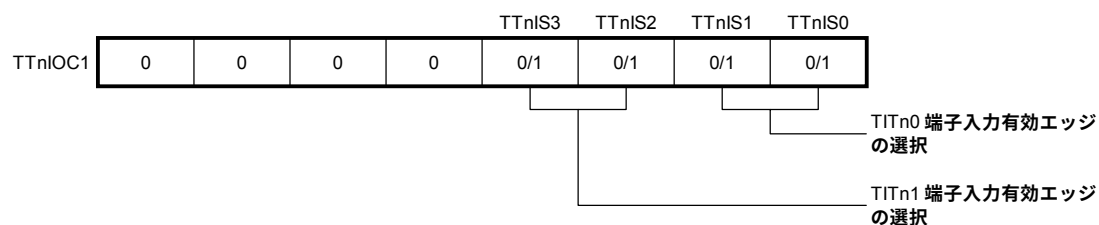
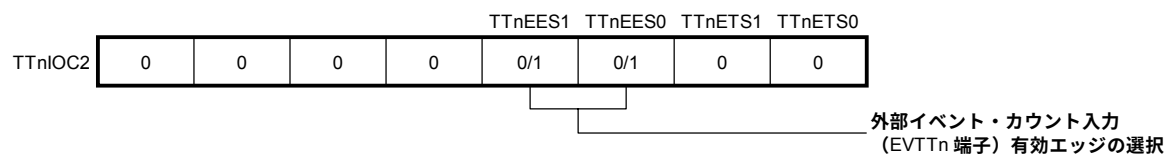
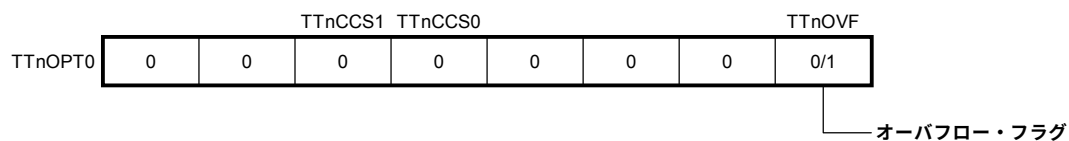


図 14-41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMTn/I/O 制御レジスタ 2 (TTnIOC2)



(e) TMTn オプション・レジスタ 0 (TTnOPT0)



(f) TMTn カウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNT レジスタをリードすることで、16 ビット・カウンタの値をリードできます。

(g) TMTn キャプチャ/コンペア・レジスタ 0, 1 (TTnCCR0, TTnCCR1)

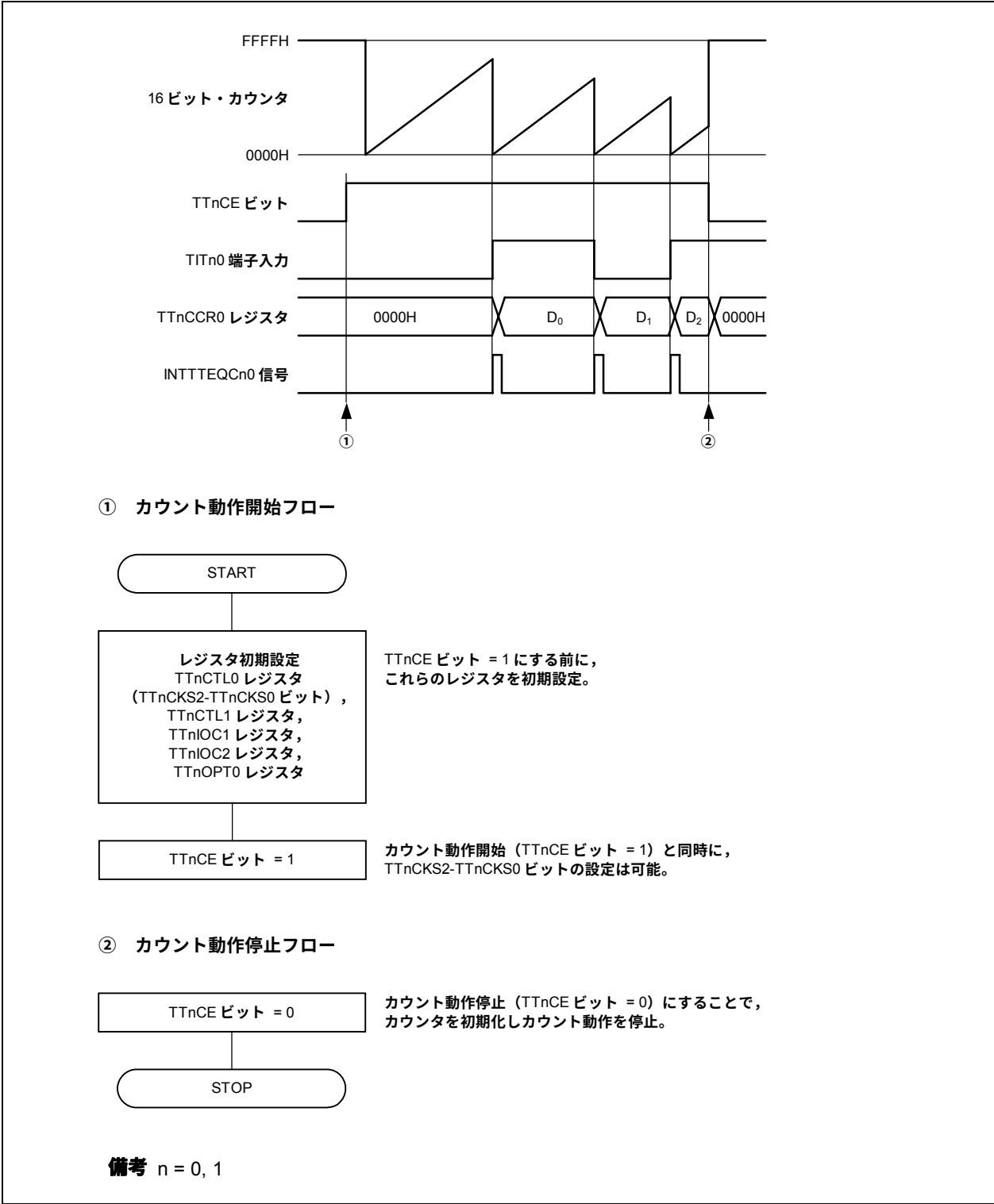
TITn0, TITn1 端子入力の有効エッジ検出により、16 ビット・カウンタのカウンタ値を格納します。

備考 1. パルス幅測定モードでは、TMTn 制御レジスタ 2 (TTnCTL2)，TMTn/I/O 制御レジスタ 0 (TTnIOC0)，TMTn/I/O 制御レジスタ 3 (TTnIOC3)，TMTn オプション・レジスタ 1 (TTnOPT1)，TMTn カウンタ・ライト・レジスタ (TTnTCW) は使用しません。

2. n = 0, 1

(1) パルス幅測定モード動作フロー

図 14-42 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TTnOVF ビット = 1 をリードしたあとに TTnOVF ビットを CLR 命令でクリア (0) する方法と、TTnOVF ビット = 1 をリードしたあとに TTnOPT0 レジスタに 8 ビット・データ (ビット 0 は“0”) をライトする方法があります。

14.6.9 三角波 PWM 出力モード (TTnMD3-TTnMD0 ビット = 0111)

三角波 PWM 出力モードは、TTnCTL0.TTnCE ビットをセット (1) することで、TOTn1 端子から三角波 PWM 波形を出力します。

また、TOTn0 端子から、16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値が一致したタイミングと、16 ビット・カウンタが 0000H のタイミングで反転する PWM 波形を出力します。

図 14-43 三角波 PWM 出力モードの構成図

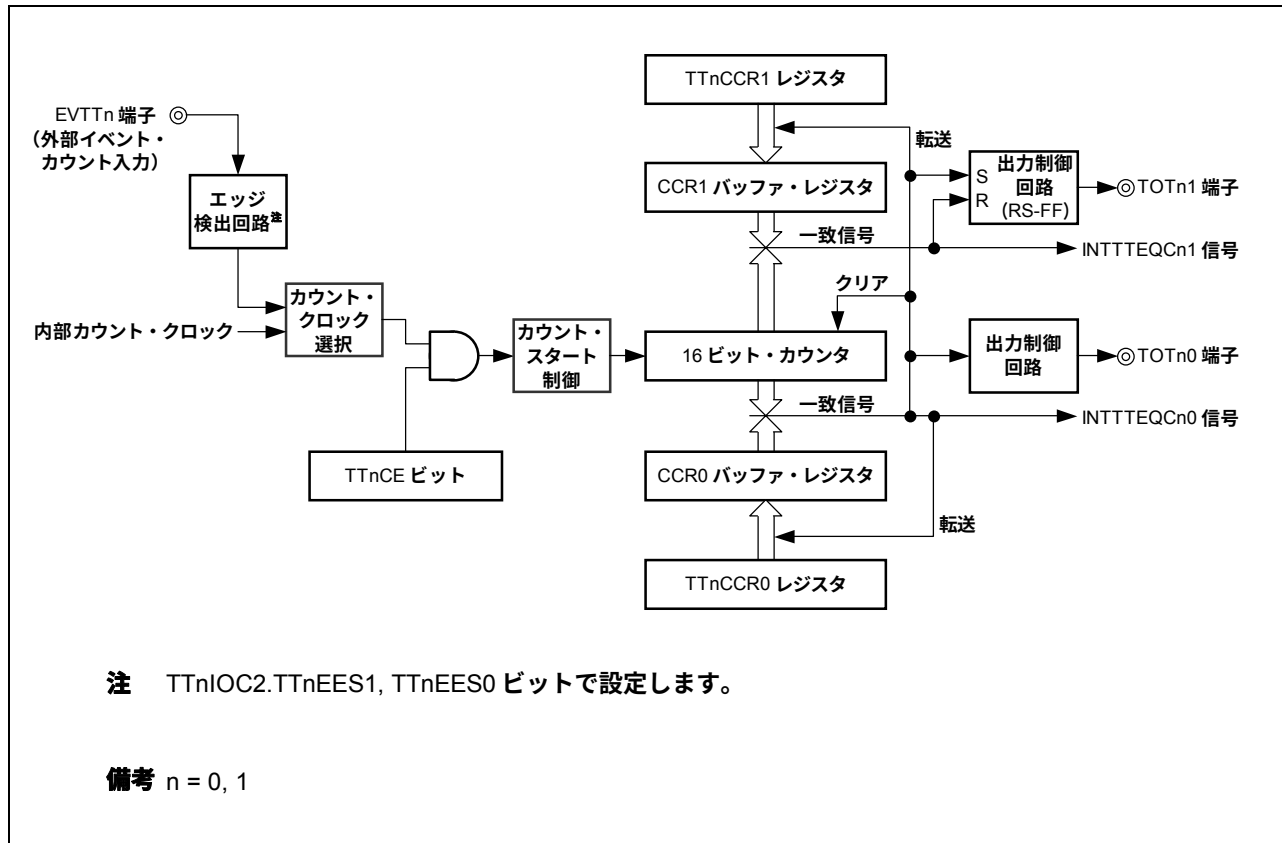
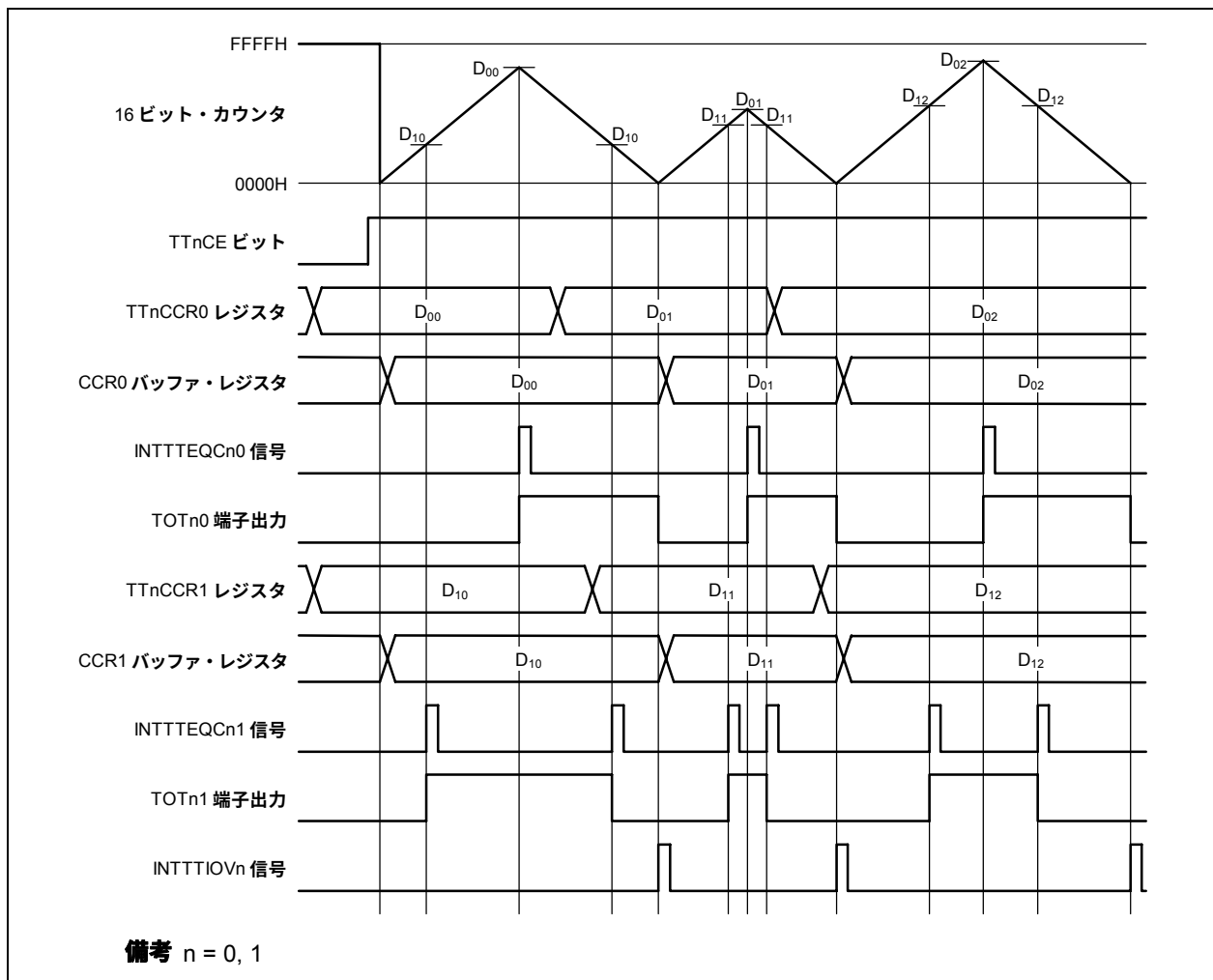


図 14-44 三角波 PWM 出力モードの基本タイミング



TTnCE ビットをセット (1) することで、16 ビット・カウンタを FFFFH から 0000H にクリアして同時にカウント動作を開始し、TOTn1 端子から三角波 PWM 波形を出力します。

三角波 PWM 出力モードでは、アップ/ダウン・カウント動作を行い、ダウン・カウント動作中に 16 ビット・カウンタが 0000H になるとオーバーフロー割り込み要求信号 (INTTTIOVn) を発生します。このとき、TTnOPT0.TTnOVF ビットはセット (1) されません。アップ・カウント動作中に 16 ビット・カウンタ値と CCR0 バッファ・レジスタの値が一致すると、コンパレー一致割り込み要求信号 (INTTTEQn0) を発生します。

アップ→ダウン切り替えは 16 ビット・カウンタ値と CCR0 バッファ・レジスタの値の一致 (INTTTEQn0) で、ダウン→アップ切り替えは 16 ビット・カウンタが 0000H のタイミングです。

動作中に TTnCCRa レジスタを書き換えることにより、PWM 波形を変更できます。なお、動作中に PWM 波形を変更する場合には、最後に TTnCCR1 レジスタにライトしてください。

三角波 PWM 波形の周期は TTnCCR0 レジスタ、デューティーは TTnCCR1 レジスタで設定します。TTnCCR0 レジスタの値は「 $0 \leq \text{TTnCCR0} \leq \text{FFFFH}$ 」の範囲で設定してください。書き換えた値は、ダウン・カウント動作中の 16 ビット・カウンタが 0000H のタイミングで反映されます。

PWM 波形の周期だけを変更する場合でも、まず TTnCCR0 レジスタに周期を設定し、そのあとで TTnCCR1 レジスタに同値 (すでに設定した TTnCCR1 レジスタと同じ値) をライトしてください。

TTnCCRa レジスタから CCRa バッファ・レジスタへのデータ転送を行うためには、TTnCCR1 レジスタに対してライトする必要があります (a = 0, 1)。

(1) 0%/100%の PWM 出力

三角波 PWM 出力モードでは、PWM 出力の 0%波形出力、および 100%波形出力が可能です。

0%波形は、TTnCCR0 レジスタ = M の場合、TTnCCR1 を “M+1” に設定することにより出力されます。

100%波形は、TTnCCR1 レジスタを “0000H” に設定することにより出力されます。

なお、TOTn0, TOTn1 の出力レベルは、TTnIOC0 レジスタで設定します。

備考 n = 0, 1

図 14-45 0%PWM 出力波形図 (TTnIOC0 レジスタ = 05H)

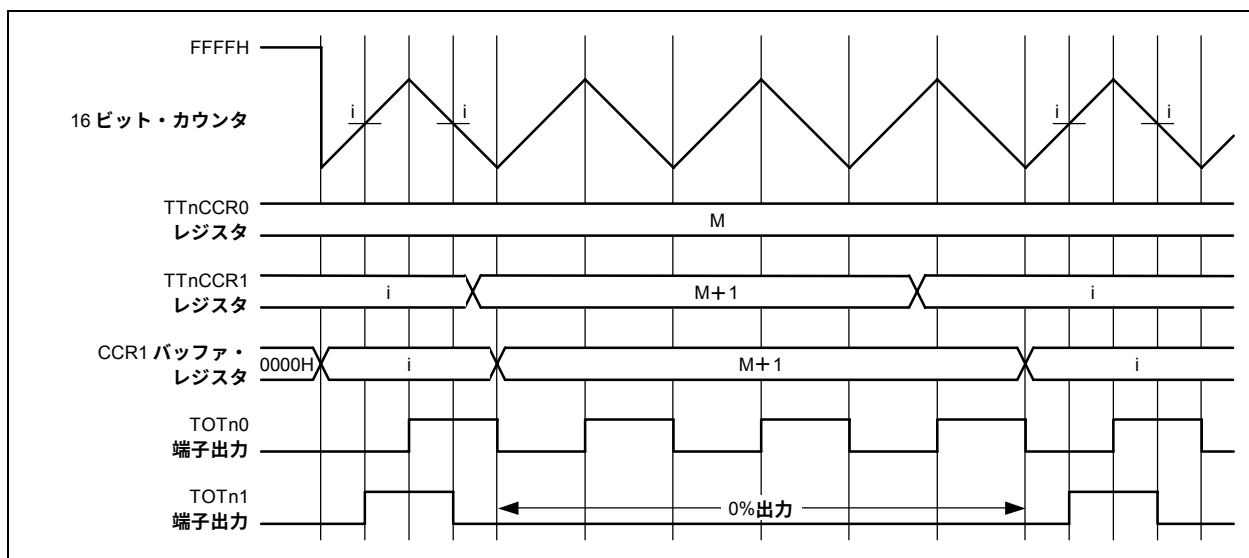
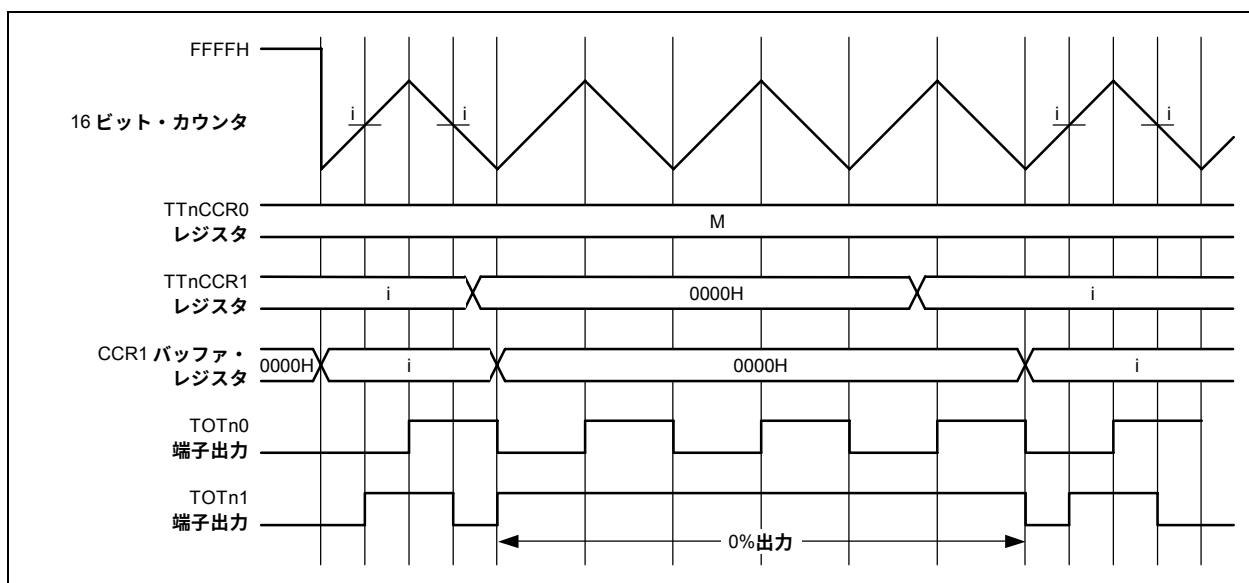


図 14-46 100%PWM 出力波形図 (TTnIOC0 レジスタ = 05H)



14.6.10 エンコーダ・カウント機能

エンコーダ・カウント機能には、エンコーダ・コンペア・モード（14.6.11 エンコーダ・コンペア・モード（TTnMD3-TTnMD0 ビット = 1000）参照）があります。

モード	TTnCCR0 レジスタ	TTnCCR1 レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

(1) アップ/ダウン・カウント制御

エンコーダ入力信号（TENCn0, TENCn1）の位相と TTnCTL2.TTnUDS1, TTnUDS0 ビットの設定により 16 ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力（EVTn）は使用できません。TTnCTL0.TTnCKS2-TTnCKS0 ビット = 000, TTnCTL1.TTnEEE ビット = 0 に設定してください。

(2) 16 ビット・カウンタの初期値設定

TTnCTL2.TTnECC ビット = 0 時に TTnTCW レジスタに設定したカウント初期値を、カウント動作の開始（TTnCTL0.TTnCE ビット = 0→1）直後に 16 ビット・カウンタに転送し、エンコーダ入力信号（TENCn0, TENCn1）の有効エッジ検出後にカウント動作を開始します

(3) 基本動作

TTnCCRa レジスタは、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号（INTTTEQCa）が発生します。

(4) クリア動作

エンコーダ・コンペア・モード時の 16 ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16 ビット・カウンタとコンペア・レジスタの値の一致によるクリア
（TTnCTL2.TTnECM1, TTnECM0 ビットを設定）
- ・ エンコーダ・クリア入力（TECRn）のエッジ検出クリア
（TTnIOC3.TTnSCE ビット = 0 時に TTnECS1, TTnECS0 ビットを設定）
- ・ TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリア
（TTnSCE ビット = 1 時に TTnZCL, TTnBCL, TTnACL ビットを設定）

備考 n = 0, 1, a = 0, 1

(5) TTnCTL2 レジスタのビット制御

エンコーダ・コンペア・モード時の TTnCTL2 レジスタの設定を次に示します。

表 14-8 TTnCTL2 レジスタの設定

モード	TTnUDS1, TTnUDS0 ビット (①)	TTnECM1 ビット (②)	TTnECM0 ビット (②)	TTnLDE ビット (③)	カウンタ・ クリア (対象の コンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	—	—
				1		可能
			1	0	TTnCCR0	—
				1		可能 [※]
		1	0	無効	TTnCCR1	—
			1	無効	TTnCCR0, TTnCCR1	—

注 「0000H-TTnCCR0 レジスタ設定値」範囲内でカウント動作が可能です。

備考 n = 0, 1

(a) 各ビットの概要

- ① TTnUDS1, TTnUDS0 ビットは、エンコーダ入力端子 (TENCn1, TENCn0) から入力された位相に対して、アップ／ダウン・カウンタの判別制御を行います。
- ② TTnECM1, TTnECM0 ビットは、16 ビット・カウンタのカウント値と CCR1, CCR0 バッファ・レジスタの値が一致した場合の 16 ビット・カウンタのクリアを制御します。
- ③ TTnLDE ビットは、アンダフローが発生したときに、TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送する機能を制御します。TTnLDE ビットは、TTnECM1, TTnECM0 ビットが 00, 01 時のみ有効となります。それ以外の設定は無効となります。

(b) 各ビットの詳細説明

① TTnUDS1, TTnUDS0 ビット：アップ／ダウン・カウントの選択

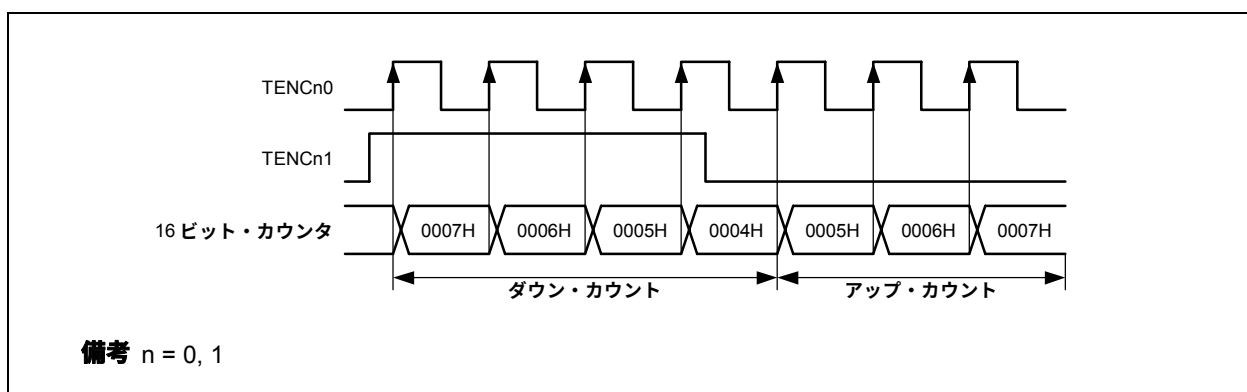
TTnUDS1, TTnUDS0 ビット設定と TENCn1, TENCn0 端子から入力された位相により、アップ／ダウン・カウントを判別します。TTnUDS1, TTnUDS0 ビットは、エンコーダ・コンペア・モード時のみ有効です。

・ TTnUDS1, TTnUDS0 ビット = 00 時

TENCn0 端子	TENCn1 端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロー・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENCn0 端子のエッジ検出は、TTnIOC3.TTnEIS1, TTnEIS0 ビットで設定します。

**図 14-47 動作例（TENCn0 端子の有効エッジが立ち上がりエッジ指定，
TENCn1 端子の有効エッジがエッジ検出なしの場合）**

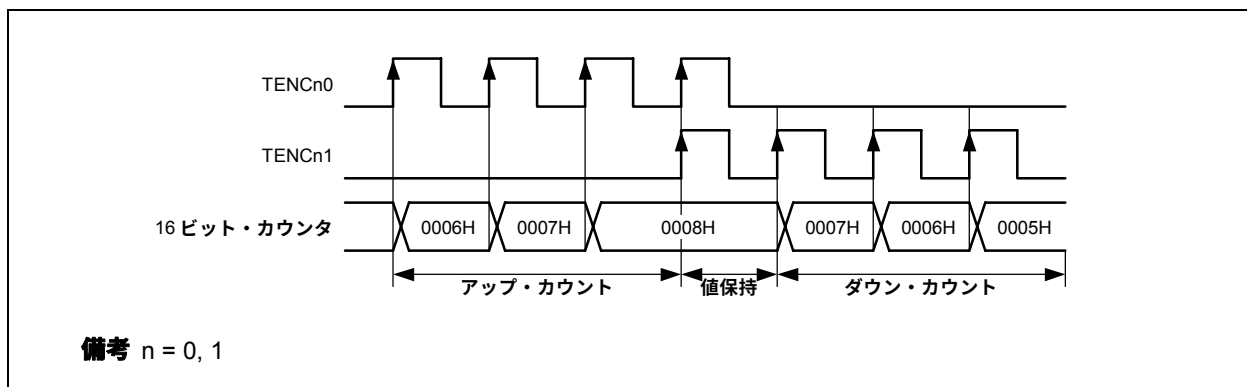


・ TTnUDS1, TTnUDS0 ビット = 01 時

TENCn0 端子	TENCn1 端子	カウント動作
ロー・レベル	立ち上がりエッジ	ダウン・カウント
	立ち下がりエッジ	
	両エッジ	
ハイ・レベル	立ち上がりエッジ	
	立ち下がりエッジ	
	両エッジ	
立ち上がりエッジ	ハイ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロー・レベル	
立ち下がりエッジ		
両エッジ		
TENCn0, TENCn1 端子同時入力		カウント動作は行わず, 直前の値を保持

備考 TENCn0, TENCn1 端子のエッジ検出は, TTnIOC3.TTnEIS1, TTnEIS0 ビットで設定します。

図 14-48 動作例 (TENCn0, TENCn1 端子の有効エッジが立ち上がりエッジ指定の場合)



• TTnUDS1, TTnUDS0 ビット = 10 時

TENCn0 端子	TENCn1 端子	カウント動作
ロー・レベル	立ち下がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ	ロー・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ		
ハイ・レベル	立ち下がりエッジ	
立ち下がりエッジ	ロー・レベル	アップ・カウント
ロー・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ		
立ち下がりエッジ		
立ち上がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち下がりエッジ		アップ・カウント

備考 TENCn0 端子と TENCn1 端子の有効エッジ指定は無効となります。

図 14-49 動作例 (TENCn0, TENCn1 端子の有効エッジが重ならない場合のカウント動作)

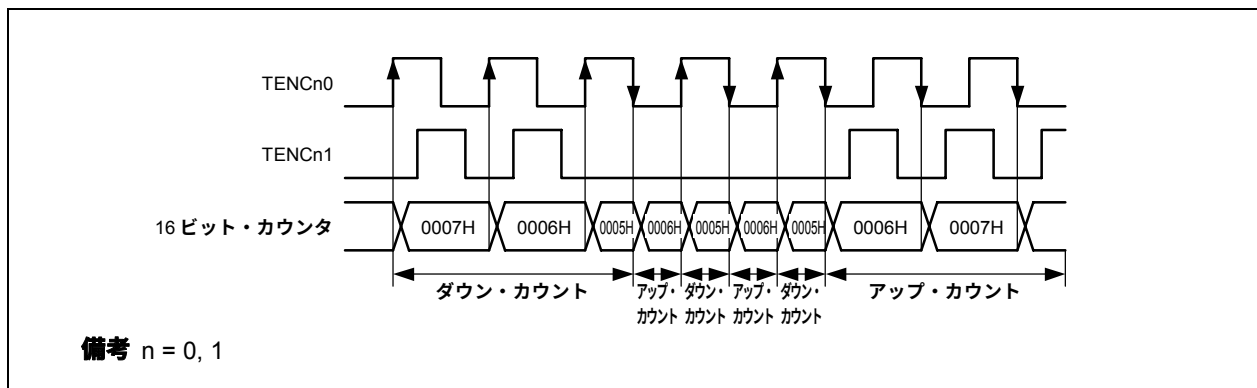
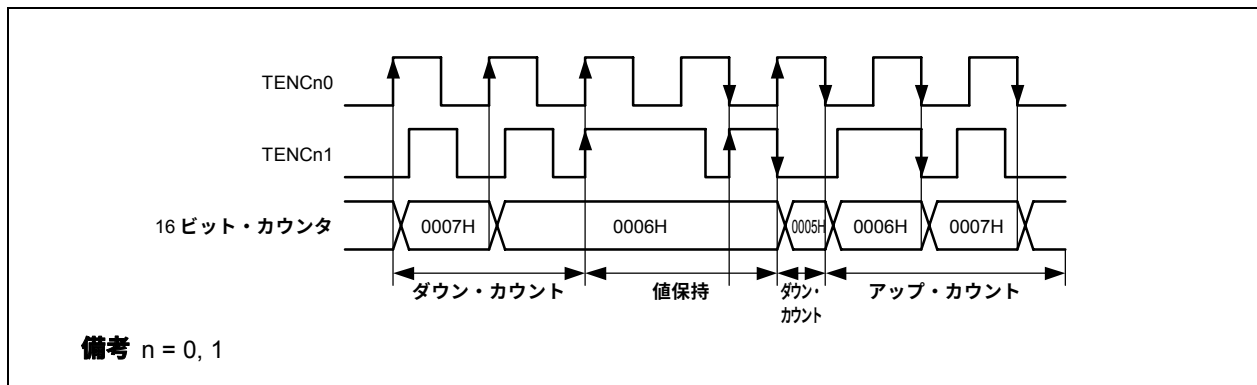


図 14-50 動作例 (TENCn0, TENCn1 端子の有効エッジが重なった場合のカウント動作)



• TTnUDS1, TTnUDS0 ビット = 11 時

TENCn0 端子	TENCn1 端子	カウント動作
ロー・レベル	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ	ロー・レベル	
ハイ・レベル	立ち上がりエッジ	
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ		アップ・カウント
ハイ・レベル		
立ち下がりエッジ	ロー・レベル	
ロー・レベル	立ち上がりエッジ	
TENCn0, TENCn1 端子同時入力		カウント動作は行わず、 直前の値を保持

備考 TENCn0 端子と TENCn1 端子の有効エッジ指定は無効となります。

図 14-51 動作例 (TENCn0, TENCn1 端子の有効エッジが重ならない場合のカウント動作)

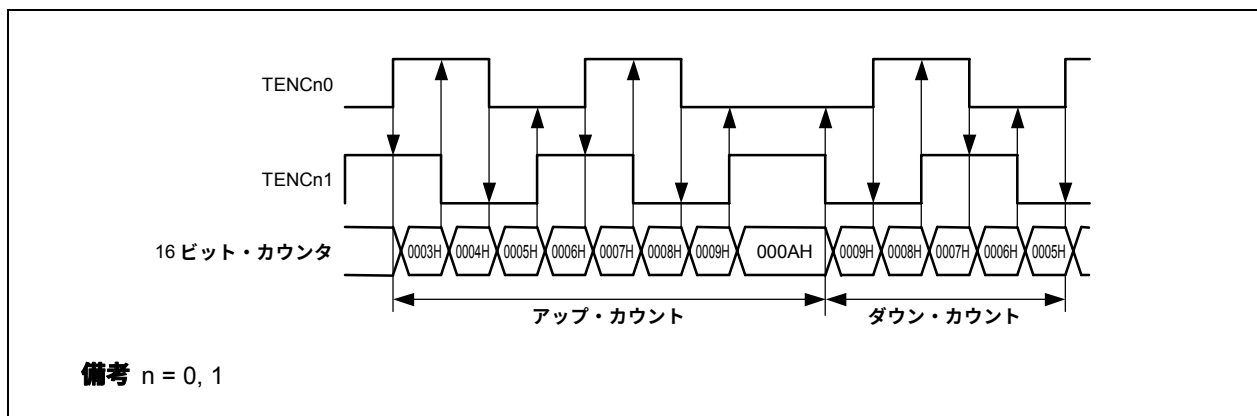
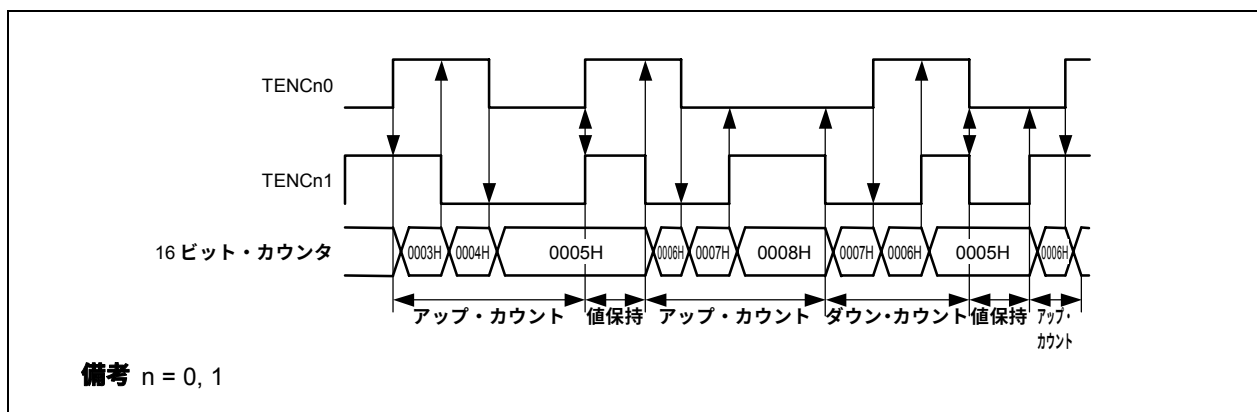


図 14-52 動作例 (TENCn0, TENCn1 端子の有効エッジが重なった場合のカウント動作)



- ② TTnECM1, TTnECM0 ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能
16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタの値が一致したときに TTnECM1, TTnECM0 ビットの設定値に従い、カウンタ動作を行います。

- TTnECM1, TTnECM0 ビット = 00 時

16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタの値の一致によるカウンタ・クリアを行わない。

- TTnECM1, TTnECM0 ビット = 01 時

16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタを 0000H にクリアする。
ダウン・カウンタ	16 ビット・カウンタのカウンタ値をダウン・カウントする

- TTnECM1, TTnECM0 ビット = 10 時

16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16 ビット・カウンタを 0000H にクリアする

- TTnECM1, TTnECM0 ビット = 11 時

16 ビット・カウンタのカウンタ値と CCR0 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタを 0000H にクリアする
ダウン・カウンタ	16 ビット・カウンタのカウンタ値をダウン・カウントする

16 ビット・カウンタのカウンタ値と CCR1 バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16 ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16 ビット・カウンタを 0000H にクリアする

③ TTnLDE ビット：アンダフロー発生時の TTnCCR0 レジスタ設定値の 16 ビット・カウンタへの転送機能

TTnLDE ビット = 1 に設定することにより、アンダフロー発生時に TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送することができます。

TTnLDE ビットは、エンコーダ・コンペア・モード時のみ有効です。

・「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作

TTnLDE ビット = 1, TTnECM1, TTnECM0 ビット = 01 に設定し、カウント動作を行うと、TTnECM0 ビット = 1 のときに 16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値の一致発生後、次のカウントがアップ・カウントの場合に 16 ビット・カウンタが 0000H にクリアされます。

TTnLDE ビット = 1 のときにアンダフロー発生時に TTnCCR0 レジスタ設定値が 16 ビット・カウンタに転送されます。

したがって、TTnCCR0 レジスタ設定値をカウント上限値、0000H をカウント下限値とした「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作が実現できます。

図 14-53 動作例（「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作）

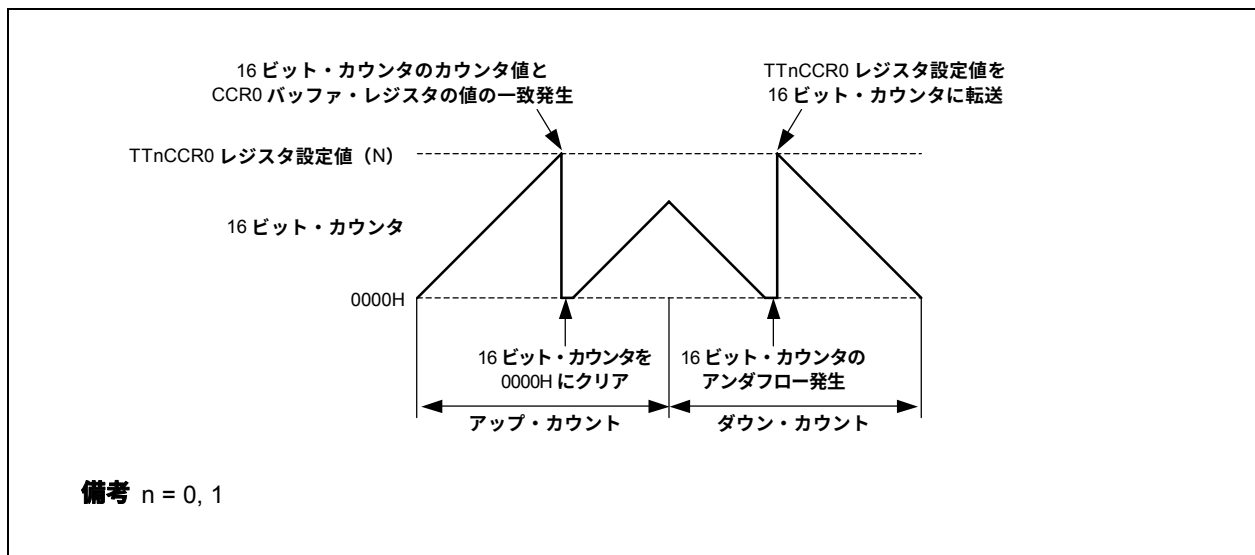
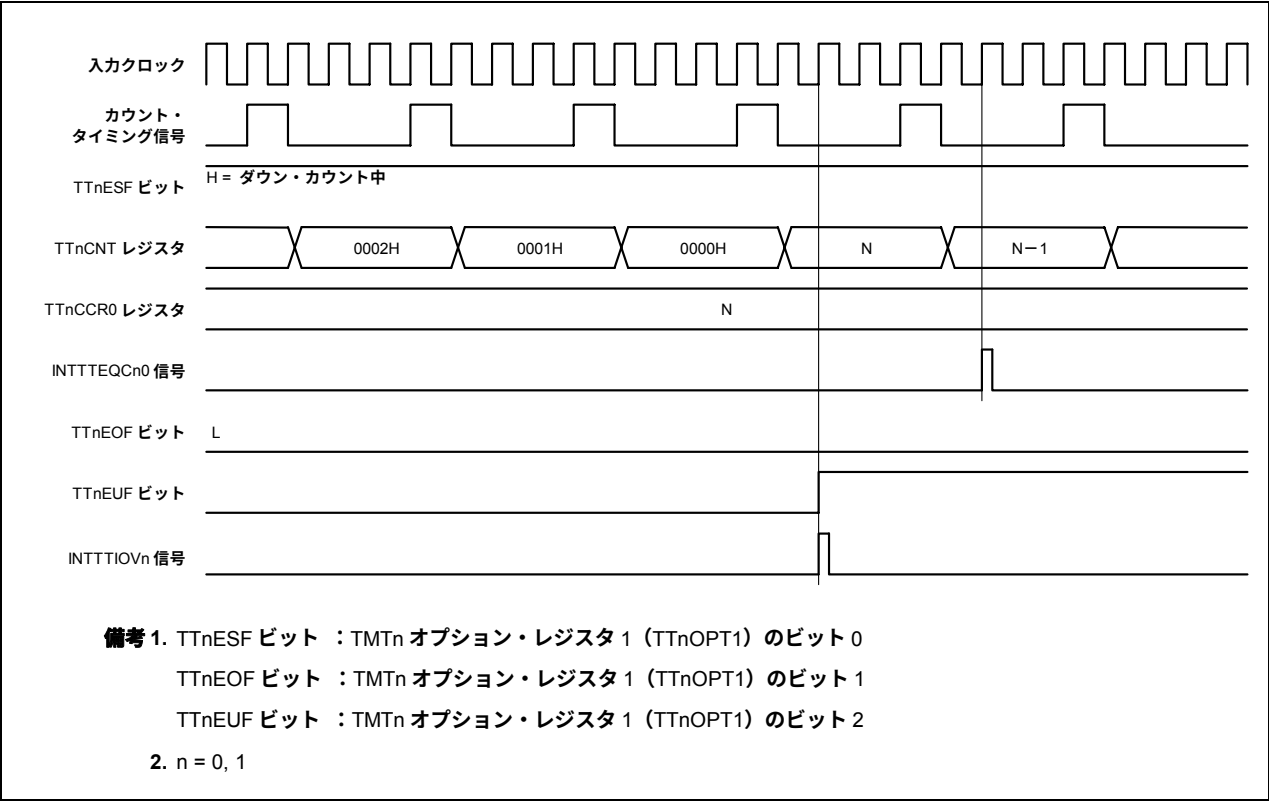


図 14-54 動作タイミング（「0000H-TTnCCR0 レジスタ設定値」範囲内でのカウント動作）



(6) エンコーダ・クリア信号 (TECRn 端子) によるカウンタの 0000H クリア機能

TECRn 端子入力により 16 ビット・カウンタを 0000H にクリアする方法は 2 種類あり、TTnIOC3.TTnSCE ビットにより制御されます。また、TTnSCE ビットは、その設定により TTnIOC3.TTnZCL, TTnBCL, TTnACL, TTnECS1, TTnECS0 ビットを制御します。

これらのクリア方法は、エンコーダ・コンペア・モード時のみ有効です。

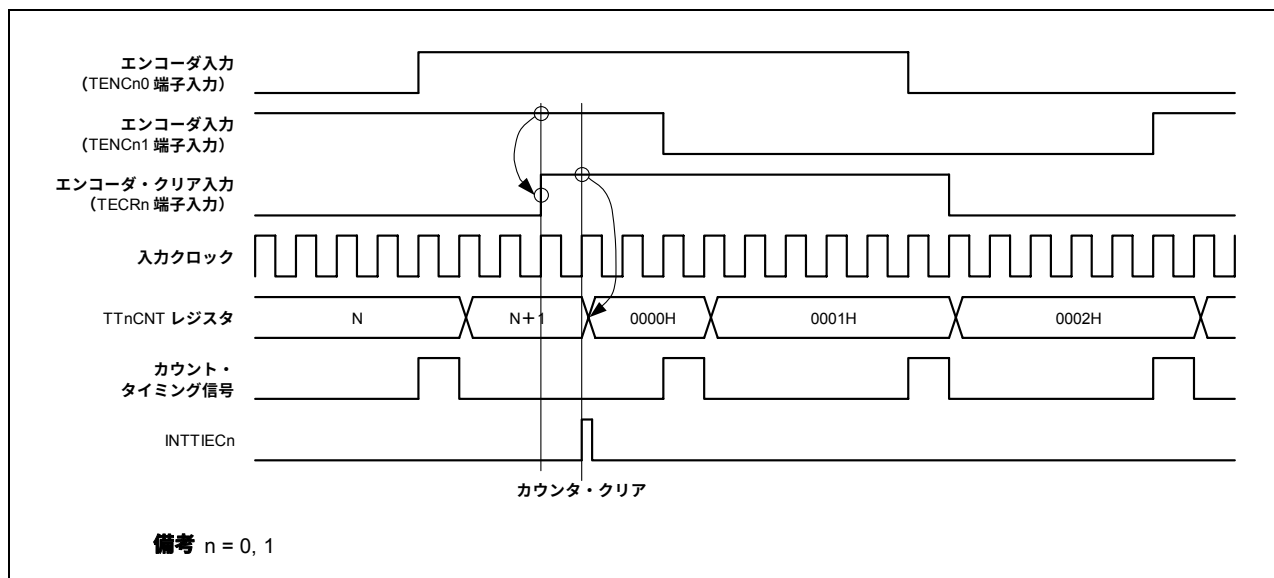
表 14-9 TTnSCE ビットと TTnZCL, TTnBCL, TTnACL, TTnECS1, TTnECS0 ビットの関係

クリア方法	TTnSCE ビット	TTnZCL ビット	TTnBCL ビット	TTnACL ビット	TTnECS1, TTnECS0 ビット
①	0	無効	無効	無効	有効
②	1	有効	有効	有効	無効

(a) クリア方法①：エンコーダ・クリア信号 (TECRn 端子) のエッジ検出クリア (TTnSCE ビット = 0)

TTnSCE ビット = 0 のとき、TTnECS1, TTnECS0 ビットで指定した TECRn 端子の有効エッジ検出により、入力クロックに同期して 16 ビット・カウンタを 0000H にクリアします。このとき、エンコーダ・クリア割り込み要求信号 (INTTIECn) が発生します。なお、TTnSCE ビット = 0 のとき、TTnZCL, TTnBCL, TTnACL ビットの設定は無効です。

図 14-55 動作例 (TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 01, TTnUDS1, TTnUDS0 ビット = 11 の場合)



- (b) クリア方法②：TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリア (TTnSCE ビット = 1)

TTnSCE ビット = 1 のとき、TTnZCL, TTnBCL, TTnACL ビットで設定した TECRn, TENCn0, TENCn1 端子のクリア・レベル条件検出により 16 ビット・カウンタを 0000H にクリアします。このとき、エンコーダ・クリア割り込み要求信号 (INTTIECn) は発生しません。なお、TTnSCE ビット = 1 のとき、TTnECS1, TTnECS0 ビットの設定は無効です。

表 14-10 TTnSCE ビット = 1 のときの 16 ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TTnZCL ビット	TTnBCL ビット	TTnACL ビット	TECRn 端子	TENCn1 端子	TENCn0 端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

注意 TTnZCL, TTnBCL, TTnACL ビットのクリア・レベル条件と、TECRn, TENCn1, TENCn0 端子の入力レベルが一致したときに 16 ビット・カウンタを 0000H にクリアします。

備考 n = 0, 1

図 14-56 動作例 (TTnSCE ビット = 1, TTnZCL ビット = 1, TTnBCL ビット = 0, TTnACL ビット = 1, TTnUDS1, TTnUDS0 ビット = 11, TECRn = ハイ・レベル, TENCn1 = ロー・レベル, TENCn0 = ハイ・レベルの場合) (1/3)

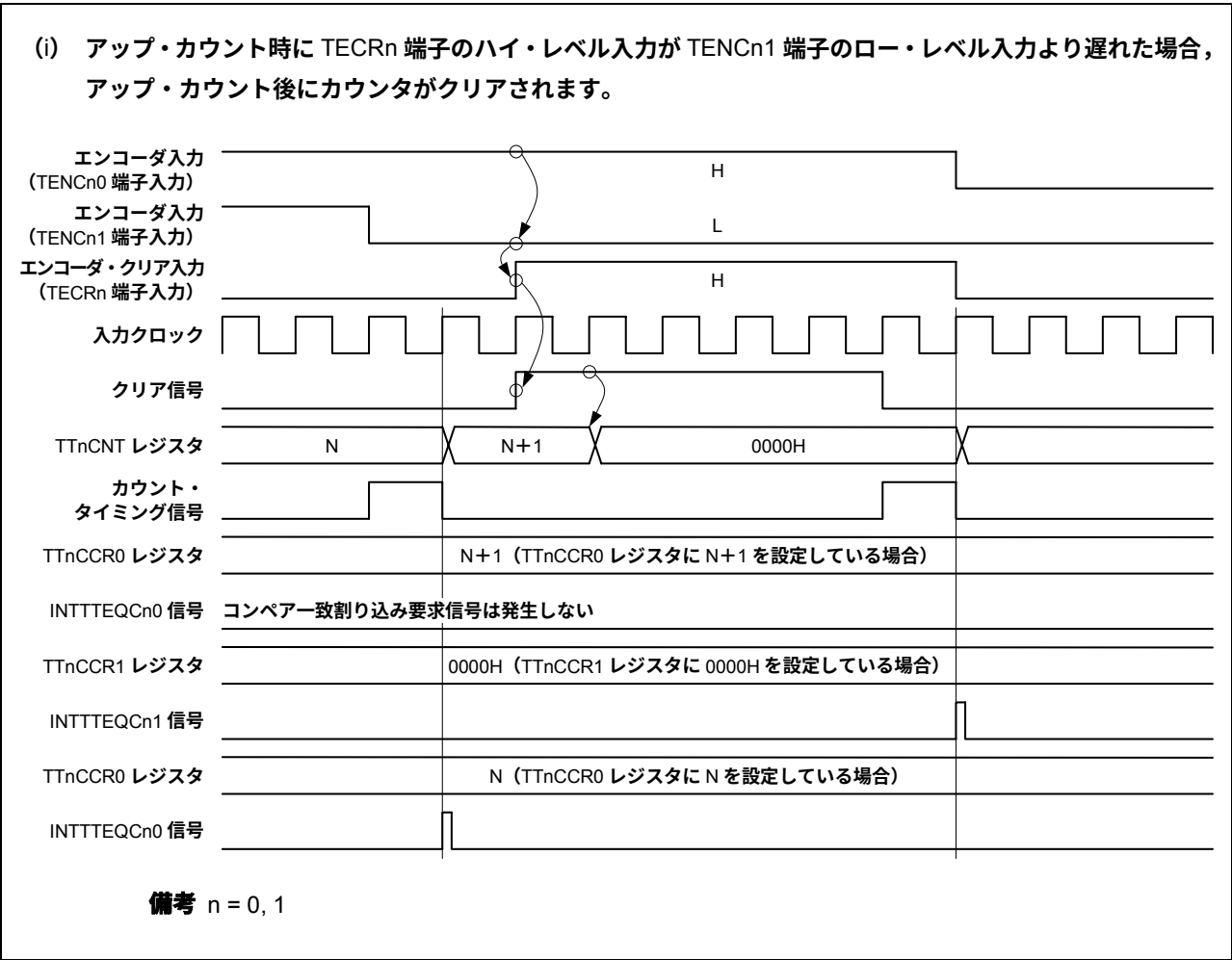
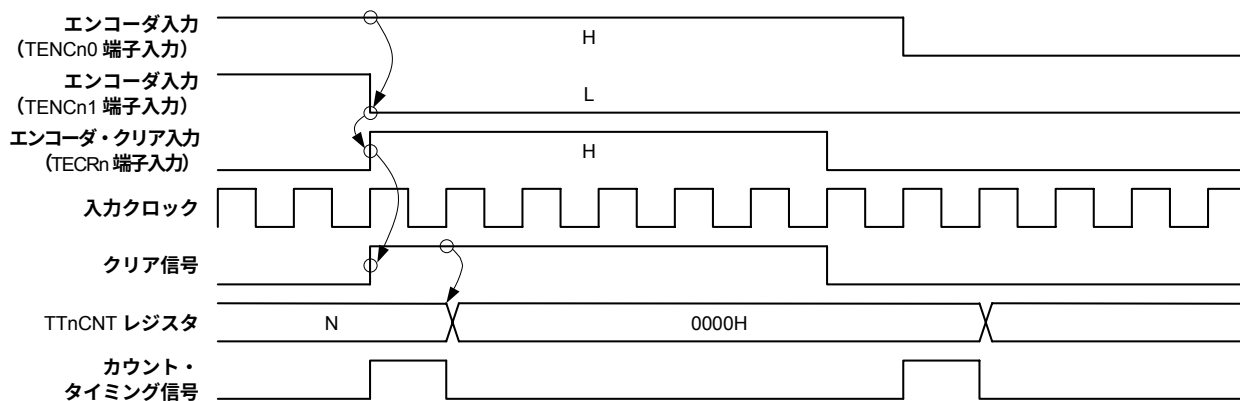
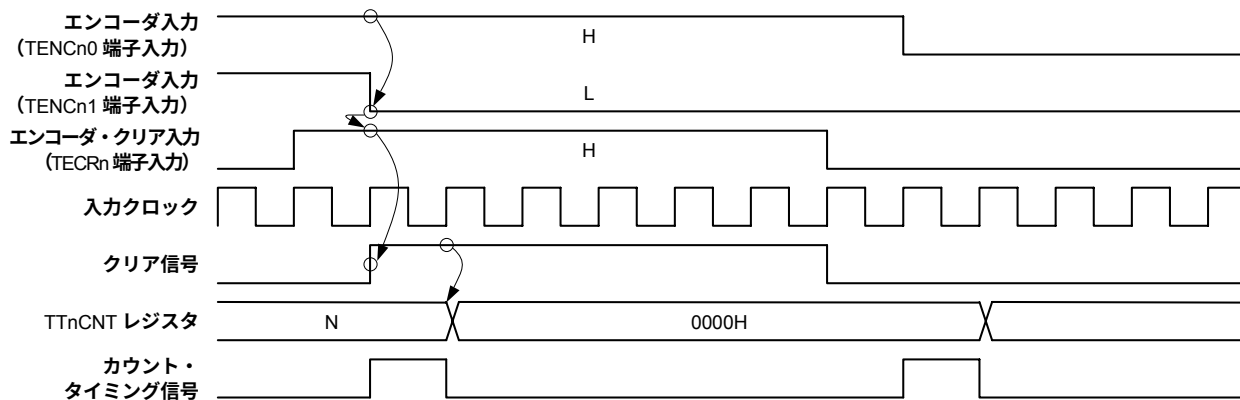


図 14-56 動作例 (TTnSCE ビット = 1, TTnZCL ビット = 1, TTnBCL ビット = 0, TTnACL ビット = 1, TTnUDS1, TTnUDS0 ビット = 11, TECRn = ハイ・レベル, TENCn1 = ロー・レベル, TENCn0 = ハイ・レベルの場合) (2/3)

- (ii) アップ・カウント時に TECRn 端子のハイ・レベル入力と TENCn1 端子のロー・レベル入力が同時の場合、アップ・カウントせずにカウンタがクリアされます。



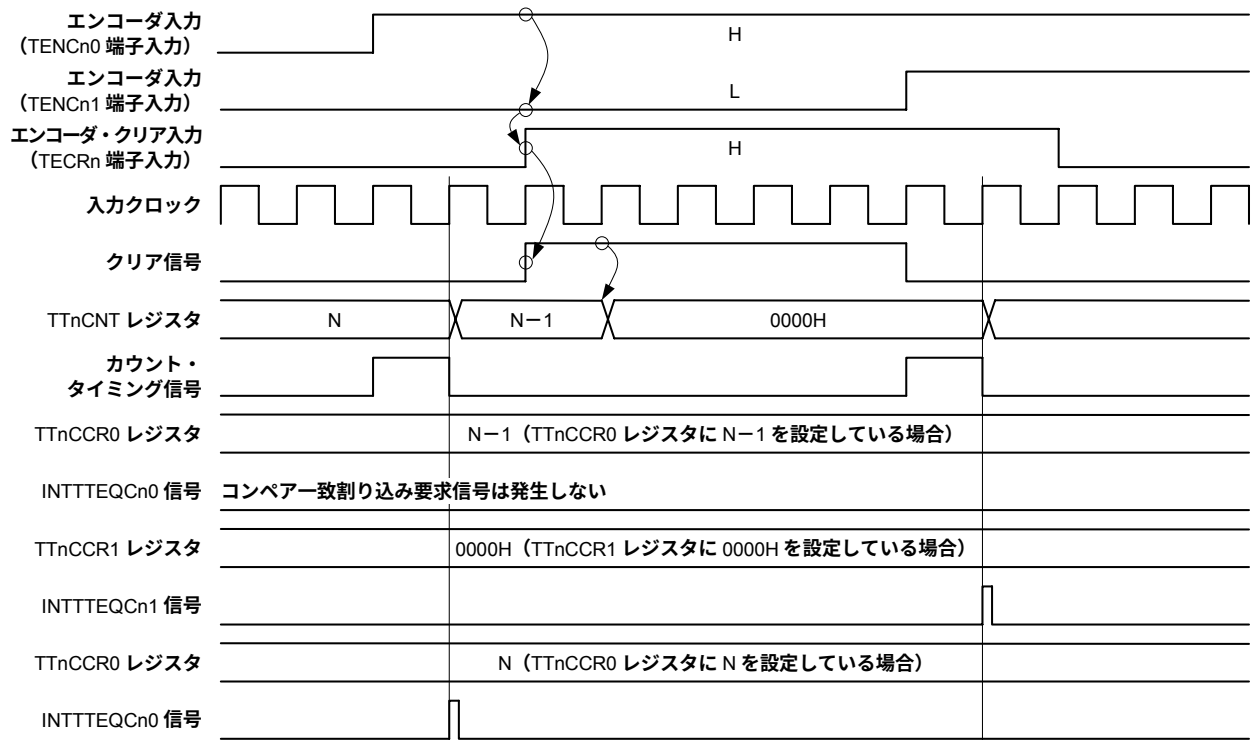
- (iii) アップ・カウント時に TECRn 端子のハイ・レベル入力が TENCn1 端子のロー・レベル入力より早い場合、アップ・カウントせずにカウンタがクリアされます。



備考 n = 0, 1

図 14-56 動作例 (TTnSCE ビット = 1, TTnZCL ビット = 1, TTnBCL ビット = 0, TTnACL ビット = 1, TTnUDS1, TTnUDS0 ビット = 11, TECRn = ハイ・レベル, TENCn1 = ロー・レベル, TENCn0 = ハイ・レベルの場合) (3/3)

(iv) ダウン・カウント時に TECRn 端子のハイ・レベル入力が TENCn1 端子のロー・レベル入力より遅れた場合、アップ・カウント後にカウンタがクリアされます。



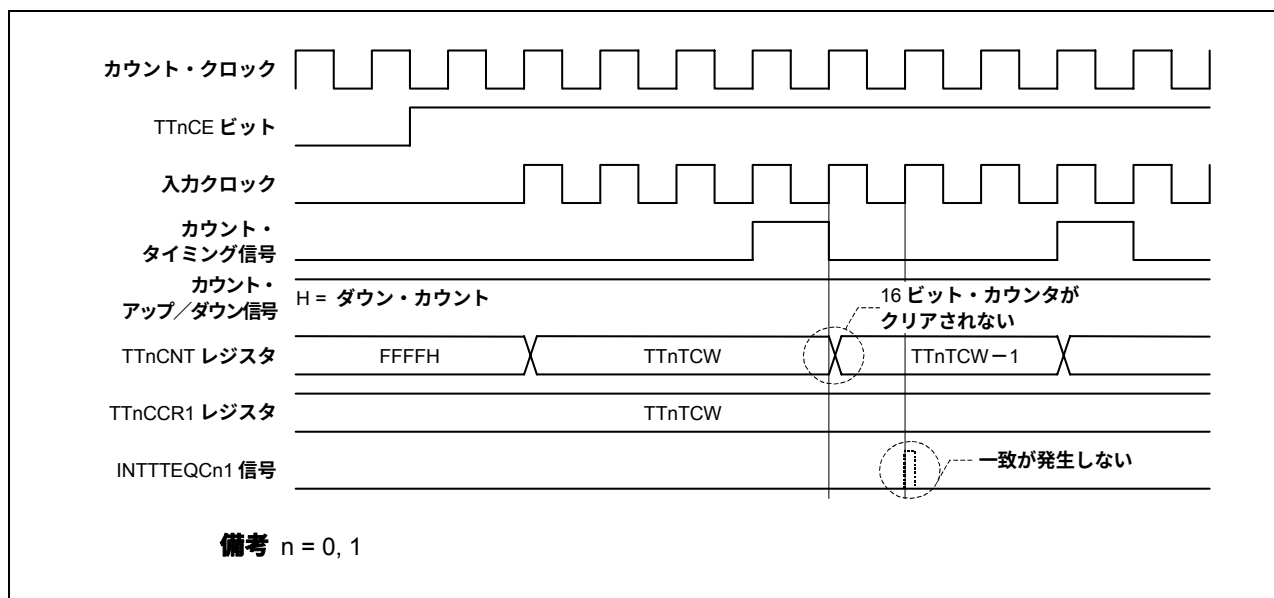
備考 n = 0, 1

このクリア方法では、TECRn, TENCn1, TENCn0 端子入力のクリア・レベル条件を設定し、クリア・レベル条件の検出により 16 ビット・カウンタを 0000H にクリアするため、TECRn 端子入力の遅延による誤カウントは発生しません。

(7) エンコーダ・カウント機能の注意事項

(a) 動作開始直後のコンペア一致の未発生

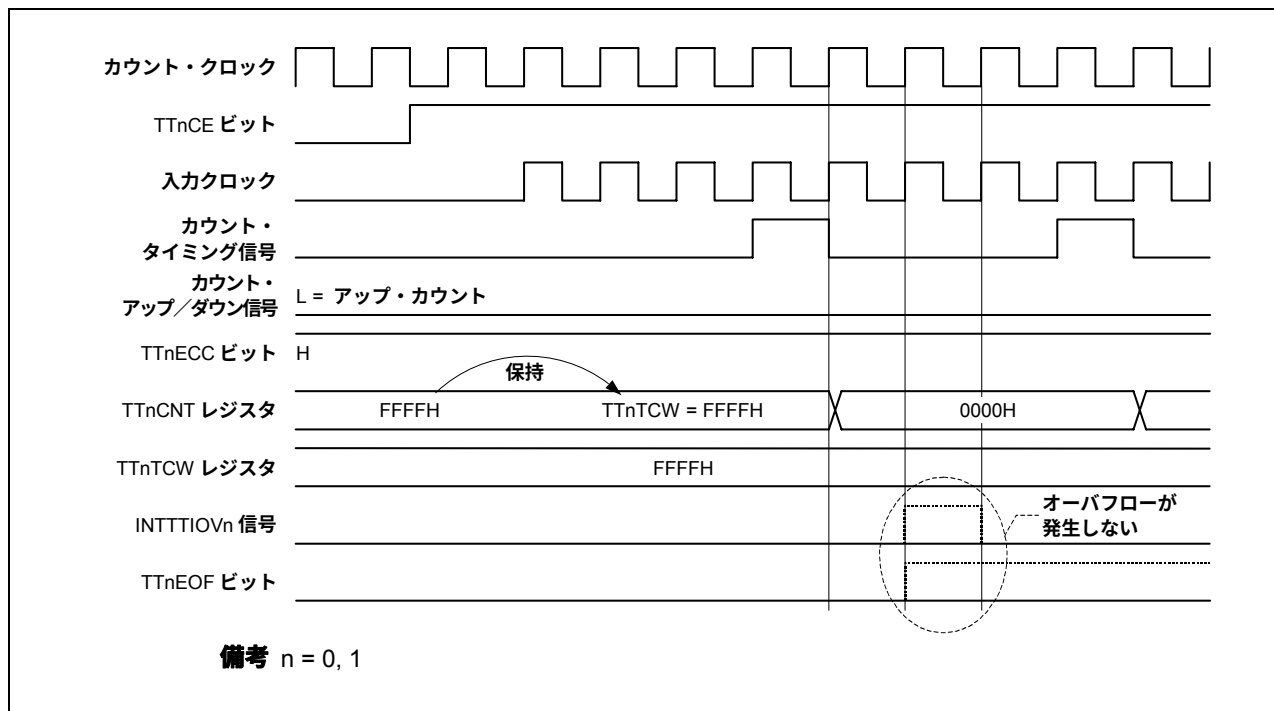
TTnCCR0 レジスタまたは TTnCCR1 レジスタに TTnTCW レジスタと同じ値を設定し
 TTnCTL2.TTnECC ビット = 0 時にカウンタ動作を開始した場合、動作開始直後の 16 ビット・カウンタのカウンタ値 (TTnTCW) と CCRa バッファ・レジスタの値が一致すると、一致はマスクされ、コンペア一致割り込み要求信号 (INTTTEQCna) は発生しません (a = 0, 1)。また、TTnCTL2.TTnECM1, TTnECM0 ビットの設定による 16 ビット・カウンタの 0000H クリアも行われません。



(b) 動作開始直後のオーバーフローの未発生

TTnCTL2.TTnECC ビット = 1 時にカウンタ動作を再開した場合、16 ビット・カウンタの保持していたカウント値が FFFFH で次のカウントがアップ・カウントのとき、オーバーフローは発生しません。

カウンタ値 (TTnTCW レジスタ値 = FFFFH) での動作開始後、カウント・アップした場合、カウンタ動作は FFFFH→0000H となりオーバーフローが発生となりますが、オーバーフロー検出がマスクされてしまい、オーバーフロー・フラグ (TTnEOF) はセットされず、オーバーフロー割り込み要求信号 (INTTTIOVn) も発生しません。



14.6.11 エンコーダ・コンペア・モード (TTnMD3-TTnMD0 ビット = 1000)

エンコーダ・コンペア・モードは、TTnCCR0, TTnCCR1 レジスタをともにコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENCn0, TENCn1, TECRn) により、エンコーダ制御を実現します。

クリア動作としては 3 つの条件があります。16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタの値の一致によるクリア (コンペアー一致割り込み要求信号 (INTTTEQCna) を発生)、エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア、TENCn0, TENCn1, TECRn 端子のクリア・レベル条件検出クリアにより、16 ビット・カウンタを 0000H にクリアします。

アンダフロー発生時に TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送することができます。

(1) エンコーダ・コンペア・モード動作フロー

図 14-57 エンコーダ・コンペア・モード動作フロー

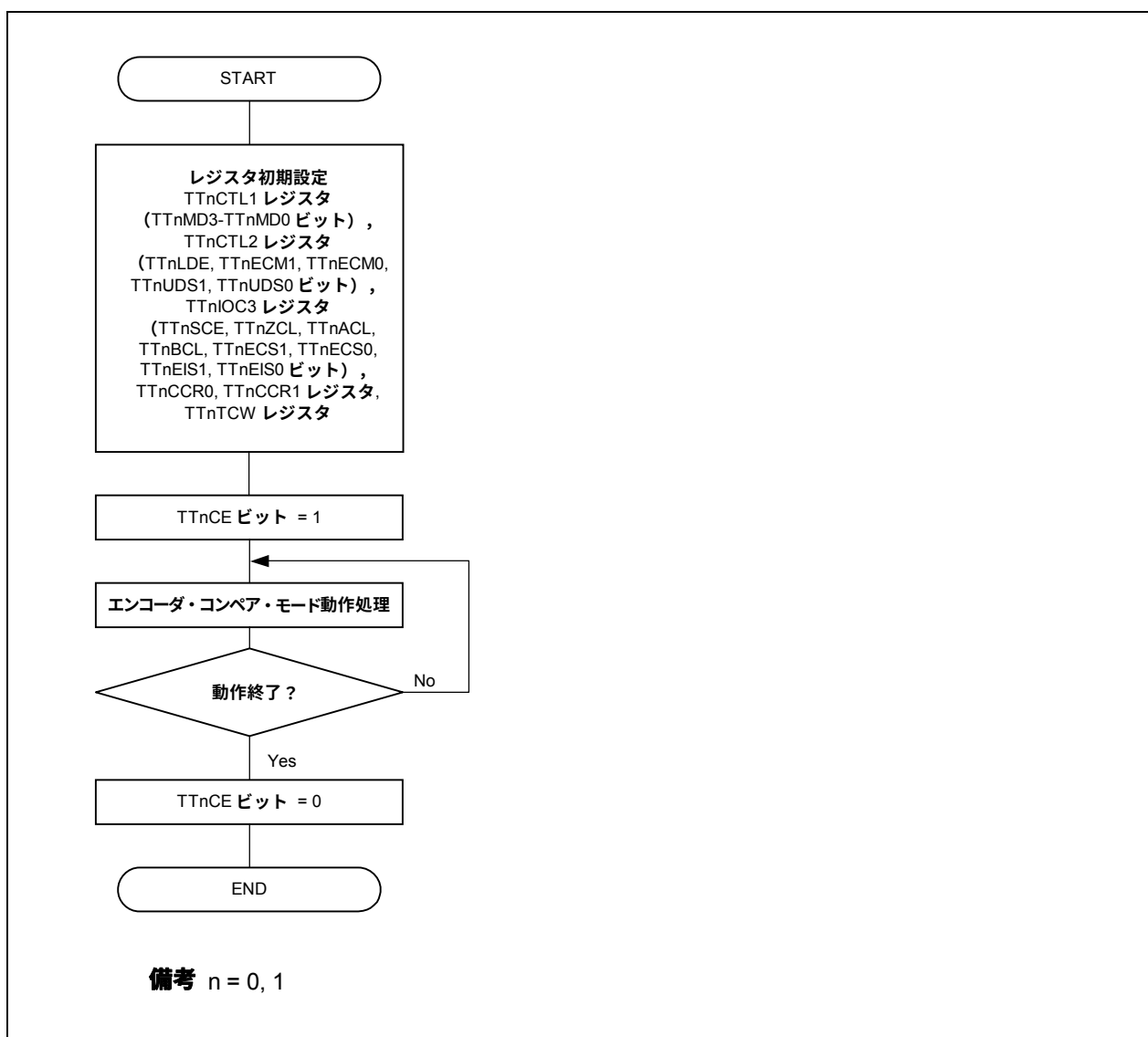
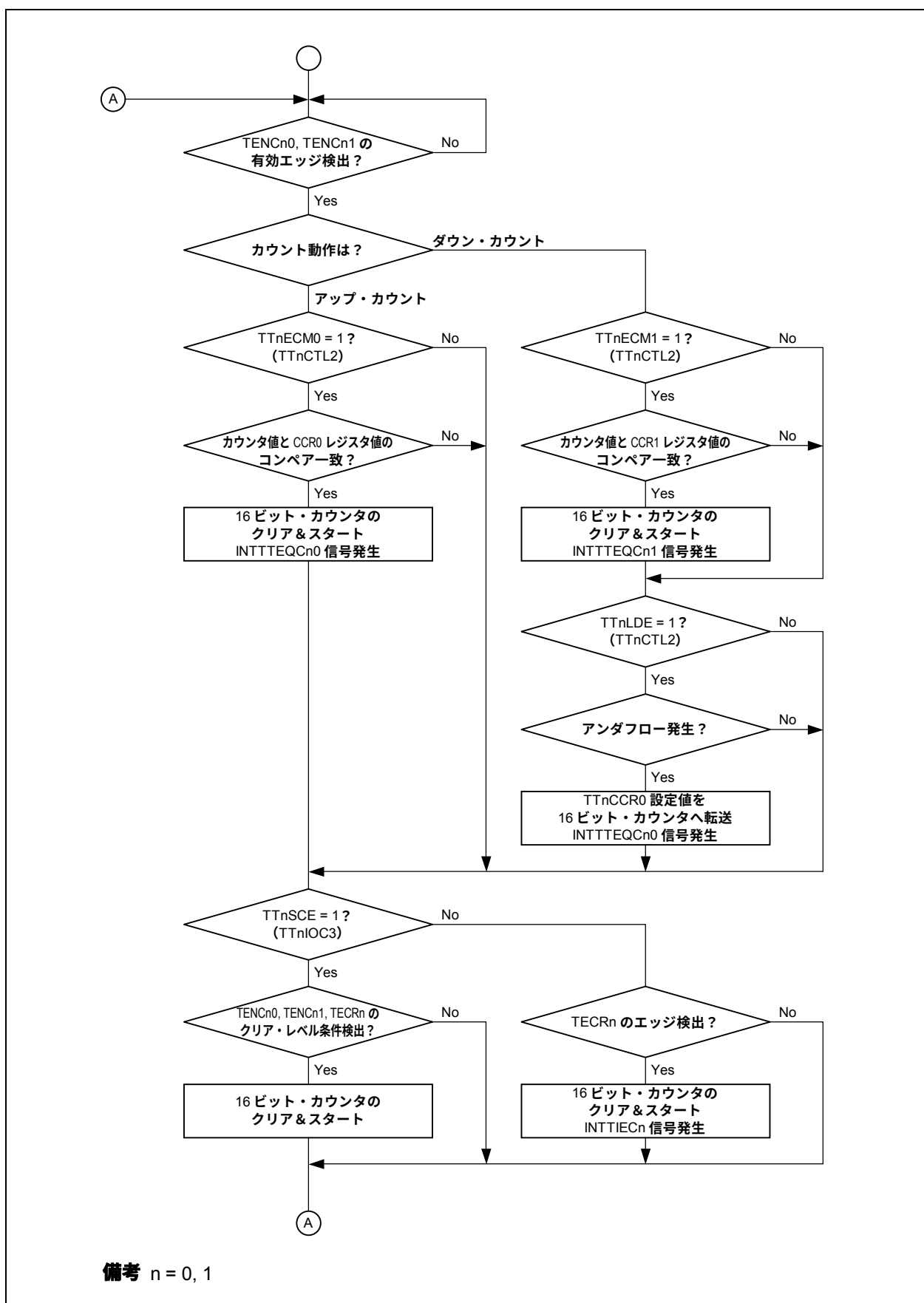


図 14-58 エンコーダ・コンペア・モード動作処理

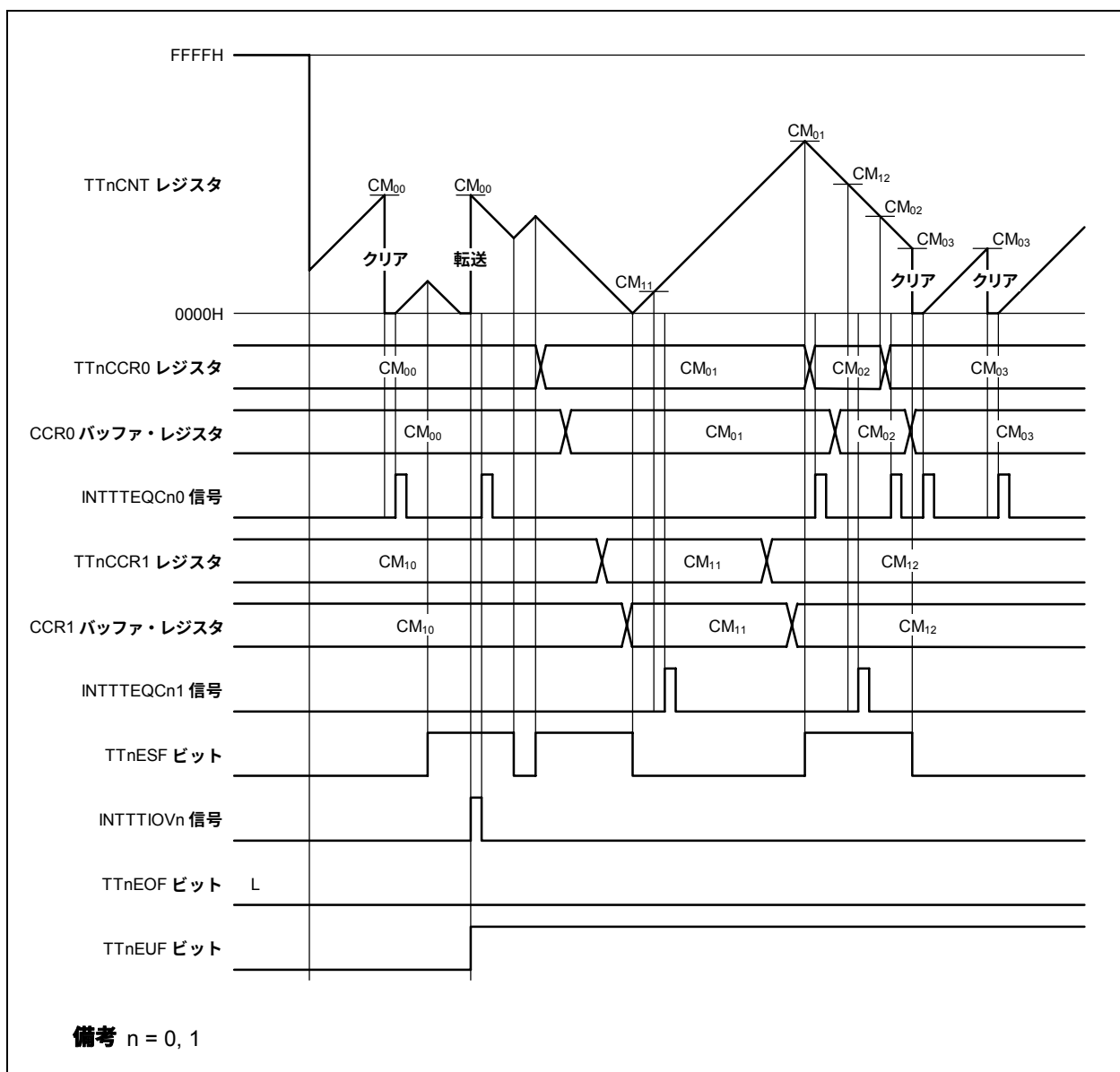


(2) エンコーダ・コンペア・モード動作タイミング

(a) 基本タイミング 1

【レジスタ設定条件】

- TTnCTL2.TTnECM1, TTnECM0 ビット = 01
16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値の一致でカウンタを 0000H にクリアする。
- TTnCTL2.TTnLDE ビット = 1
アンダフロー発生時, TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送する。
- TTnIOC3.TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 00
エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTnCE ビット = 0→1) に TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を開始します。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn0) が発生します。TTnECM0 ビット = 1 のため、次のカウント動作がアップ・カウントの場合に 16 ビット・カウンタを 0000H にクリアします。

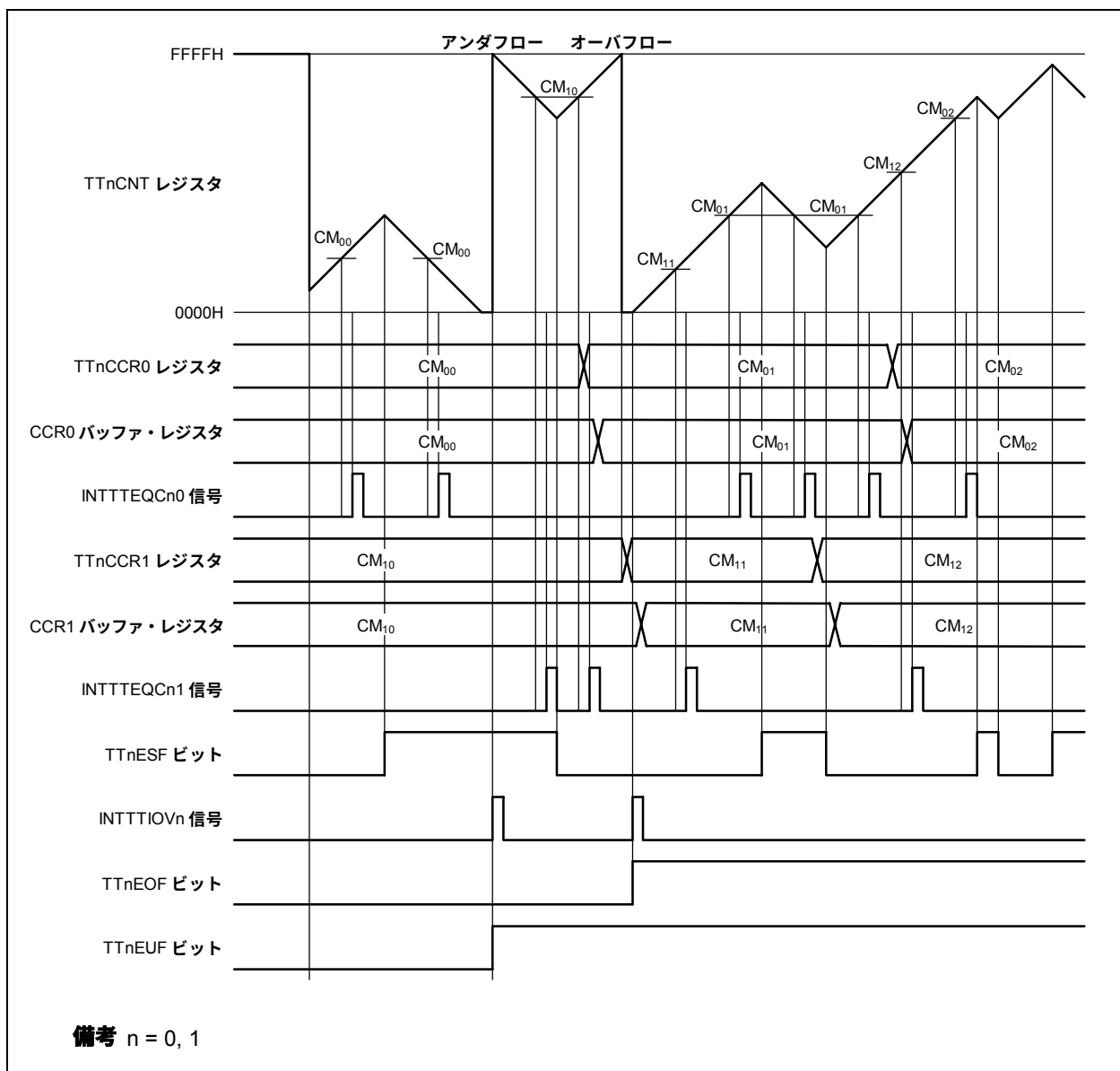
16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn1) が発生します。TTnECM1 ビット = 0 のため、一致条件では 16 ビット・カウンタは 0000H にクリアされません。

また、TTnLDE ビット = 1, TTnECM0 ビット = 1 の設定により、「0000H-TTnCCR0 レジスタ設定値」範囲内でカウント動作が可能です。

(b) 基本タイミング 2

【レジスタ設定条件】

- TTnCTL2.TTnECM1, TTnECM0 ビット = 00
16 ビット・カウンタのカウンタ値と CCRa バッファ・レジスタ値の一致でのカウンタ・クリアなし (a = 0, 1)。
- TTnCTL2.TTnLDE ビット = 0
アンダフロー発生時, TTnCCR0 レジスタ設定値を 16 ビット・カウンタに転送しない。
- TTnIOC3.TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 00
エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTnCE ビット = 0→1) に TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を開始します。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn0) が発生します。

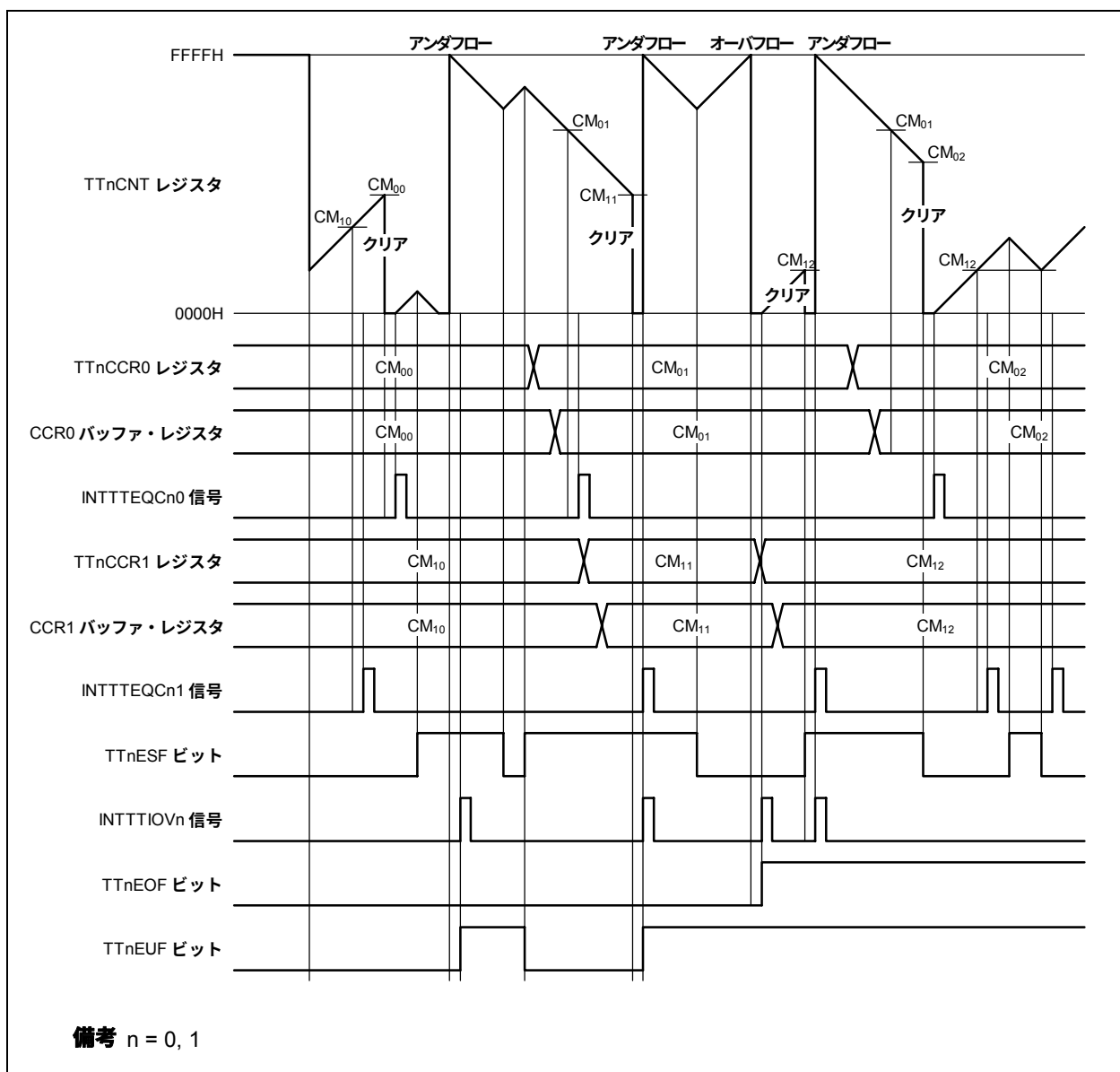
16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn1) が発生します。

また、TTnECM1, TTnECM0 ビット = 00 のため、16 ビット・カウンタのカウント値と CCRa バッファ・レジスタとの一致では、16 ビット・カウンタは 0000H にクリアされません (a = 0, 1)。

(c) 基本タイミング 3

【レジスタ設定条件】

- TTnCTL2.TTnECM1, TTnECM0 ビット = 11
16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値の一致でカウンタを 0000H にクリアする。
- 16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値の一致でカウンタを 0000H にクリアする。
- TTnCTL2.TTnLDE ビットの設定無効
- TTnIOC3.TTnSCE ビット = 0, TTnECS1, TTnECS0 ビット = 00
エンコーダ・クリア入力 (TECRn 端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTnCE ビット = 0→1) に TTnTCW レジスタ設定値を 16 ビット・カウンタに転送し、カウント動作を開始します。

16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn0) が発生します。このとき、次のカウント動作がアップ・カウントの場合に 16 ビット・カウンタを 0000H にクリアします。

16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn1) が発生します。このとき、次のカウント動作がダウン・カウントの場合に 16 ビット・カウンタを 0000H にクリアします。

14.7 注意事項

(1) 外部入力信号の注意事項

16 ビット・タイマ／イベント・カウンタ T (TMT) の外部入力信号 (TENCn0, TENCn1, TECRn, TRGTn, EVTTn) は、TMTn 制御レジスタ 0 (TTnCTL0) の TTnCKS2-TTnCKS0 ビットが 000b のときのクロックでサンプリングされます。

有効な信号として入力するためには、ハイ・レベル幅、ロー・レベル幅とも、このサンプリング・クロックの 2 クロック以上の幅が必要です。

また、これらの入力はノイズ・フィルタを経由し、ノイズ・フィルタ段数を $0 \times \text{HCLK}$ に設定した場合でも HCLK に対する同期化が行われるため、ハイ・レベル幅、ロー・レベル幅とも、システム・バス・クロック (HCLK) の 2 クロック以上の幅が必要です。ノイズ・フィルタの段数を $0 \times \text{HCLK}$ 以外に設定している場合は、設定に応じたハイ・レベル幅、ロー・レベル幅が必要です。

表 14-11 の +10ns は、この論理的に必要な幅に加えたマージンです。

**表 14-11 16 ビット・タイマ／イベント・カウンタ T (TMT) の
外部入力信号の最小ハイ・レベル幅、ロー・レベル幅**

項 目	16 ビット・タイマ／イベント・カウンタ T (TMT) の 外部入力信号の最小ハイ・レベル幅、ロー・レベル幅 (ns)
ノイズ・フィルタによる条件	(設定除去クロック数+1) / PCLK + 10
16 ビット・タイマ／イベント・カウンタ T (TMT) の サンプリング・クロックによる条件	(TTnCKS2-TTnCKS0 = 000b 時に選択されるクロックの 2 周期) + 10

(2) 16 ビット・タイマ／イベント・カウンタ T (TMT) から発生する割り込み信号について

内部の割り込みコントローラや、DMA コントローラとの同期化のため、16 ビット・タイマ／イベント・カウンタ T (TMT) から発生する割り込み信号のパルス幅の拡張を行っています。このため 16 ビット・タイマ／イベント・カウンタ T (TMT) から発生する同一の割り込み信号の間隔が、16 ビット・タイマ／イベント・カウンタ T (TMT) 入力クロック (TMTCLK: PCLK または OSCCLK) の 4 クロック以下場合は、正常な割り込み信号が発生しません。複数回の割り込み信号が 1 回の割り込み信号として出力されてしまいます。この問題を防ぐためには、TTnCTL0 レジスタの TTnCKS2-TTnCKS0 ビットを 011 以上 (入力クロック/8 以上) としてください。この制限事項は 16 ビット・タイマ／イベント・カウンタ T (TMT) から割り込みコントローラ、DMA コントローラへの割り込み出力に限った制限事項です。

★

(3) TTnOPT0, TTnOPT1 レジスタに対するビット操作について

TTnOPT0, TTnOPT1 レジスタに対するビット操作では、リード・モディファイ・ライト・アクセスが実行されます。このときのリード・サイクルとライト・サイクルの間で発生したオーバフロー・フラグはライト・サイクルでオーバライトされるため注意してください。

(4) 16 ビット・レジスタの 8 ビット・アクセスについて

16 ビット・タイマ／イベント・カウンタ T (TMT) のレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、16 ビット・タイマ／イベント・カウンタ T (TMT) のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

第15章 ウォッチドッグ・タイマ機能

15.1 機 能

- リセット・モード
タイマのオーバフローにより、リセットを発生。
- NMI (FEINT) 割り込み, WDTOUTZ 出力モード
タイマのオーバフローにより、NMI (FEINT) を発生し、同時に WDTOUTZ (P27, P83 と兼用) にロー・レベル出力。
- インターバル・タイマ・モード
タイマのオーバフローにより、インターバル割り込み (INTWDT) を発生。
- タイマのオーバフロー時間を選択可能

注意 ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

ウォッチドッグ・タイマを使用する場合は WDTM レジスタに“ACH”を書き込むことで動作を開始します。また、デフォルトの設定（リセット・モード，インターバル時間：WDCH3 ビットで選択したクロックの周期×2¹⁶）で変更する必要がない場合も、動作を確定するために WDTM レジスタに 1 回だけ書き込みを行ってください。

備考 1. WDTOUTZ はロー・アクティブ出力で、P27, P83 に兼用されています。

2. 一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。

15.2 構 成

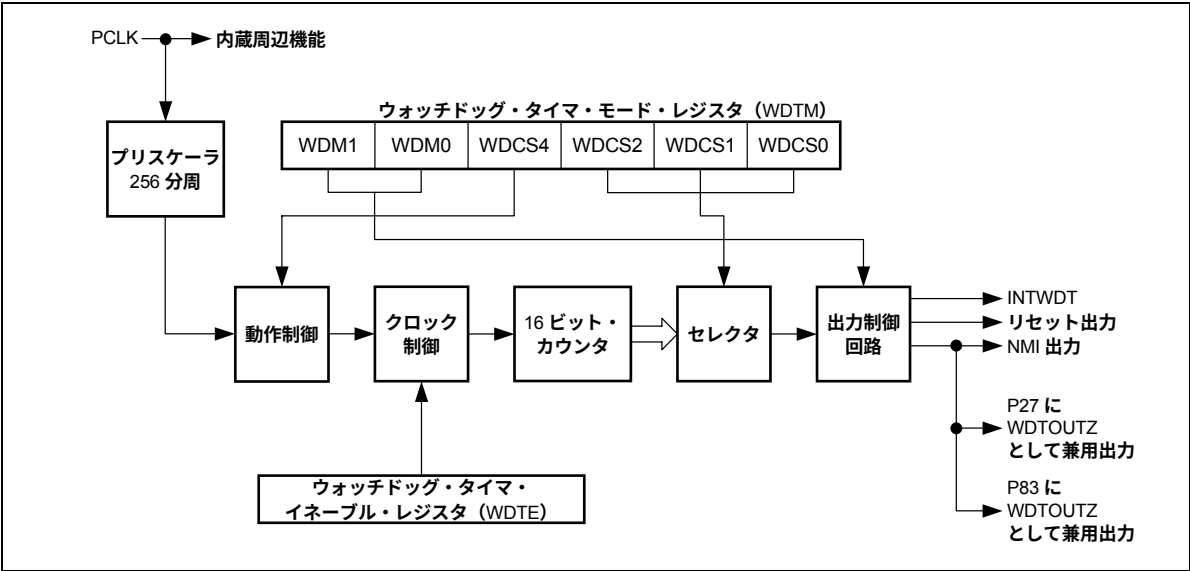
ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 15-1 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)
	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

次にウォッチドッグ・タイマのブロック図を示します。

図 15-1 ウォッチドッグ・タイマのブロック図



15.3 制御レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバーフロー時間（インターバル時間）および動作クロックを設定するレジスタです。

8ビット単位でリード／ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。なお、2回目以降は書き込みできません。

リセットにより 67H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
WDTM	0	WDM1	WDM0	WDSC4	0	WDSC2	WDSC1	WDSC0	0F1C 0002H	67H
R/W	0	R/W	R/W	R/W	0	R/W	R/W	R/W		

ビット位置	ビット名	意 味																																															
6, 5	WDM1, WDM0	ウォッチドッグ・タイマの動作モードを選択します。 <table><tr><th>WDM1</th><th>WDM0</th><th>動作モード</th></tr><tr><td>0</td><td>0</td><td>インターバル・タイマ・モード (INTWDT)</td></tr><tr><td>0</td><td>1</td><td>NMI (FEINT) 割り込み, WDTOUTZ 出力モード</td></tr><tr><td>1</td><td>X</td><td>リセット・モード</td></tr></table>	WDM1	WDM0	動作モード	0	0	インターバル・タイマ・モード (INTWDT)	0	1	NMI (FEINT) 割り込み, WDTOUTZ 出力モード	1	X	リセット・モード																																			
WDM1	WDM0	動作モード																																															
0	0	インターバル・タイマ・モード (INTWDT)																																															
0	1	NMI (FEINT) 割り込み, WDTOUTZ 出力モード																																															
1	X	リセット・モード																																															
4	WDSC4	ウォッチドッグ・タイマの動作許可を選択します。 0：動作許可 1：動作停止																																															
2-0	WDSC2- WDSC0	ウォッチドッグ・タイマ／インターバル・タイマのオーバーフロー時間を選択します。 <table><tr><th rowspan="2">WDSC2</th><th rowspan="2">WDSC1</th><th rowspan="2">WDSC0</th><th colspan="2">ウォッチドッグ・タイマ／インターバル・タイマの オーバーフロー時間選択</th></tr><tr><th>PCLK 周期換算</th><th>PCLK = 50MHz 時のオーバーフロー時間</th></tr><tr><td>0</td><td>0</td><td>0</td><td>2¹⁷/PCLK</td><td>2.62ms</td></tr><tr><td>0</td><td>0</td><td>1</td><td>2¹⁸/PCLK</td><td>5.24ms</td></tr><tr><td>0</td><td>1</td><td>0</td><td>2¹⁹/PCLK</td><td>10.49ms</td></tr><tr><td>0</td><td>1</td><td>1</td><td>2²⁰/PCLK</td><td>20.97ms</td></tr><tr><td>1</td><td>0</td><td>0</td><td>2²¹/PCLK</td><td>41.94ms</td></tr><tr><td>1</td><td>0</td><td>1</td><td>2²²/PCLK</td><td>83.89ms</td></tr><tr><td>1</td><td>1</td><td>0</td><td>2²³/PCLK</td><td>167.77ms</td></tr><tr><td>1</td><td>1</td><td>1</td><td>2²⁴/PCLK</td><td>335.54ms</td></tr></table>	WDSC2	WDSC1	WDSC0	ウォッチドッグ・タイマ／インターバル・タイマの オーバーフロー時間選択		PCLK 周期換算	PCLK = 50MHz 時のオーバーフロー時間	0	0	0	2 ¹⁷ /PCLK	2.62ms	0	0	1	2 ¹⁸ /PCLK	5.24ms	0	1	0	2 ¹⁹ /PCLK	10.49ms	0	1	1	2 ²⁰ /PCLK	20.97ms	1	0	0	2 ²¹ /PCLK	41.94ms	1	0	1	2 ²² /PCLK	83.89ms	1	1	0	2 ²³ /PCLK	167.77ms	1	1	1	2 ²⁴ /PCLK	335.54ms
WDSC2	WDSC1	WDSC0				ウォッチドッグ・タイマ／インターバル・タイマの オーバーフロー時間選択																																											
			PCLK 周期換算	PCLK = 50MHz 時のオーバーフロー時間																																													
0	0	0	2 ¹⁷ /PCLK	2.62ms																																													
0	0	1	2 ¹⁸ /PCLK	5.24ms																																													
0	1	0	2 ¹⁹ /PCLK	10.49ms																																													
0	1	1	2 ²⁰ /PCLK	20.97ms																																													
1	0	0	2 ²¹ /PCLK	41.94ms																																													
1	0	1	2 ²² /PCLK	83.89ms																																													
1	1	0	2 ²³ /PCLK	167.77ms																																													
1	1	1	2 ²⁴ /PCLK	335.54ms																																													

注意 ビット 7, 4, 3 には必ず 0 を設定してください。

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTE レジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

8 ビット単位でリード／ライト可能です。

リセットにより 1AH になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
WDTE	0	0	0	1	1	0	1	0	0F1C 0007H	1AH
R/W	R/W	0	0	1	1	0	1	0		

- 注意 1.** WDTE レジスタに“ACH”を書き込んでウォッチドッグ・タイマを動作許可したあと、WDTE レジスタに“ACH”以外の値を書き込んだ場合、WDTM.WDM1, WDM0 ビットの指定によりウォッチドッグ・タイマのオーバフローによる NMI (FEINT) 割り込み要求信号, WDTOUTZ へのロー・レベル出力, またはウォッチドッグ・タイマのオーバフローによるリセット信号が発生します。
- 2.** WDTE レジスタに 1 ビット単位でリード／ライトを実行した場合、内部リセット信号が発生します。
- 3.** WDTE レジスタのリード値は、ウォッチドッグ・タイマ動作前は“1AH”，動作後は“9AH”です。書き込んだ値 (ACH) とは異なります。

15.4 動作

(1) ウォッチドッグ・タイマ機能

(a) NMI 割り込み, WDTOUTZ 出力モード

プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDTM レジスタに"ACH"を書き込むと、カウント動作を開始します。その後 WDTM レジスタによって選択されたウォッチドッグ・タイマのオーバフロー時間内に、再び WDTM レジスタに"ACH"を書き込むことで、ウォッチドッグ・タイマはクリアされ、再度カウントを開始します。

WDTM レジスタに"ACH"が書き込まれず、ウォッチドッグ・タイマのオーバフロー時間を超えると、FE レベル・マスカブル割り込み（NMI（FEINT））が発生し、ポート P83 をコントロール・モードに指定して WDTOUTZ 出力を許可している場合、この端子にロー・レベルを出力します。一度 WDTOUTZ にロー・レベルが出力されると、RESETZ 端子からのリセット入力までロー・レベルから変化しません。

(b) リセット・モード

プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。タイマのオーバフロー時間内に WDTM レジスタに"ACH"が書き込まれず、ウォッチドッグ・タイマのオーバフロー時間を超えると、EP3-AM1 がリセットされます。

(2) インターバル・タイマ・モード

WDTM レジスタによって選択されたインターバル・タイマのオーバフロー時間をインターバルとして、繰り返し割り込み要求（INTWDT）を発生するインターバル・タイマとして使用できます。

ただし、WDTM はリセット解除後に 1 度しかライトできないため、一度設定したインターバル時間は変更できません。

第16章 アシクロナス・シリアル・インタフェース

EP3-AM1 は、NS16550 ソフトウェア互換な 4 チャンネルのアシクロナス・シリアル・インタフェース (UART) を内蔵しています。

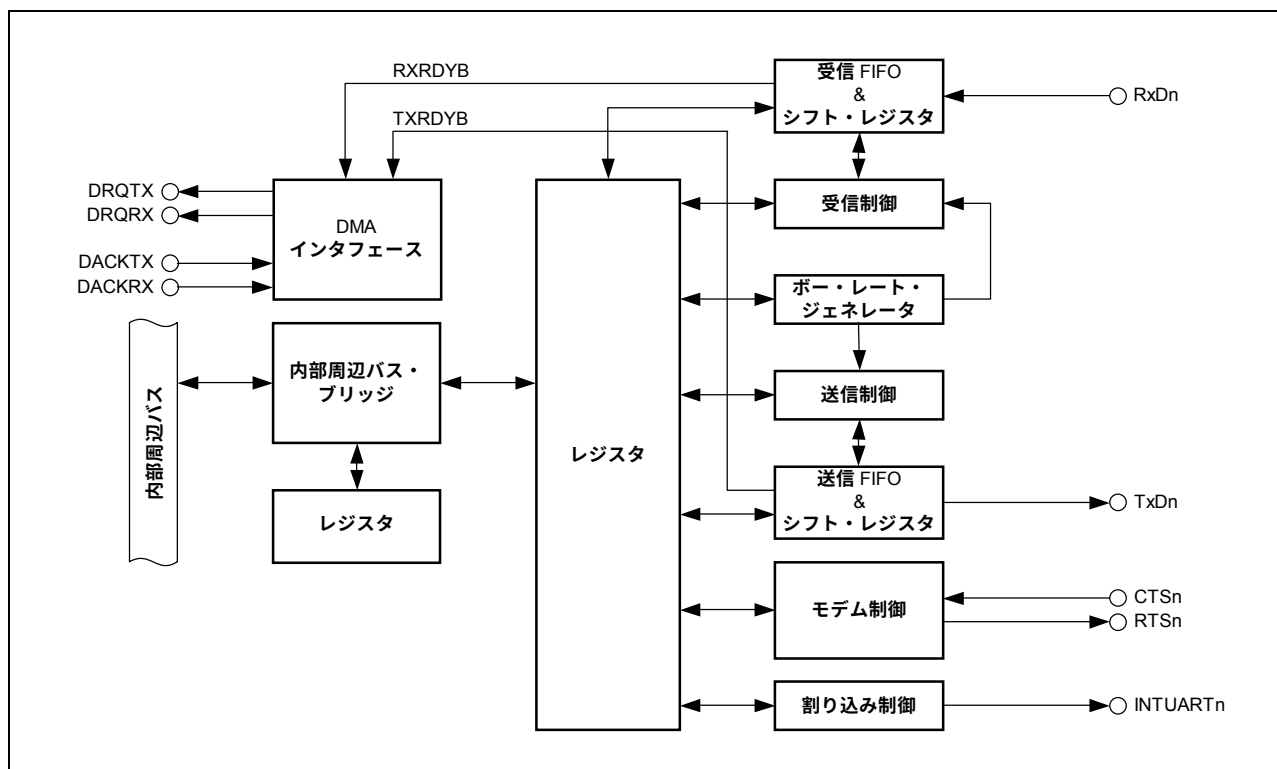
利用できる機能は、NS16550 のサブセットで、ハンドシェーク・ラインは、CTS、RTS のみをサポートしています。

また内部システム・クロックとは別に、UART 専用プリスケラ経由で、PLL 前段のクロックを分周したクロックを利用できます。

16.1 特 長

- NS16550 とレジスタ互換
- 送信 16 バイト、受信 16 バイトの FIFO 内蔵
- 内部システム・バスと非同期のクロックをシリアル・クロックに利用可能
- 各チャンネルに独立のボー・レート・ジェネレータ内蔵
- DMA インタフェースをサポート

図 16-1 アシクロナス・シリアル・インタフェースのブロック図



16.2 制御レジスタ

(1) UART 受信バッファ・レジスタ n (RBRn : Receive Buffer Register)

受信データを格納するリード専用のレジスタです。

このレジスタから受信データをリードするときは、UART ライン制御レジスタ n (LCRn) の LCRn7 ビットをクリア (0) し、このレジスタを UART 受信バッファ・レジスタとして機能させてください。
このレジスタは、32 ビット単位でリードのみ可能です。

注意 UART 受信バッファ・レジスタ n (RBRn) , UART 送信ホールディング・レジスタ n (THRn) ,
UART ディバイザ・ラッチ下位レジスタ n (DLLn) は同一アドレスに配置されています。UART
ライン制御レジスタ n (LCRn) の LCRn7 ビットの設定により、次のようにアクセスされます。

LCRn7 ビット	リード	ライト
0	RBRn レジスタ	THRn レジスタ
1	DLLn レジスタ	DLLn レジスタ

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
RBRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4800H +200HXn
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	RXDn 7	RXDn 6	RXDn 5	RXDn 4	RXDn 3	RXDn 2	RXDn 1	RXDn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	
ビット位置	ビット名	意 味															
31-8	Reserved	リードすると 0 が読み出されます。															
7-0	RXDn7- RXDn0	シリアル受信データ (LCRn.LCRn7 = 0 のとき)															

備考 n = 0-3

(2) UART 送信ホールディング・レジスタ n (THRn : Transmit Holding Register)

送信データを格納するライト専用のレジスタです。

このレジスタに送信データをライトするときは、UART ライン制御レジスタ n (LCRn) の LCRn7 ビットをクリア (0) し、このレジスタを UART 送信ホールディング・レジスタとして機能させてください。

このレジスタは、32 ビット単位でライトのみ可能です。

注意 UART 受信バッファ・レジスタ n (RBRn) , UART 送信ホールディング・レジスタ n (THRn) , UART デバイザ・ラッチ下位レジスタ n (DLLn) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCRn) の LCRn7 ビットの設定により、次のようにアクセスされます。

LCRn7 ビット	リード	ライト
0	RBRn レジスタ	THRn レジスタ
1	DLLn レジスタ	DLLn レジスタ

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
THRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4800H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	TXDn 7	TXDn 6	TXDn 5	TXDn 4	TXDn 3	TXDn 2	TXDn 1	TXDn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	W	W	W	W	W	W	W	W	
ビット位置	ビット名		意 味														
31-8	Reserved		0 をライトしてください。														
7-0	TXDn7- TXDn0		シリアル送信データ (LCRn.LCRn7 = 0 のとき)														

備考 n = 0-3

- (3) UART デバイザ・ラッチ下位レジスタ n (DLL n : Divisor Latch Low) , UART デバイザ・ラッチ上位レジスタ n (DLH n : Divisor Latch High)

このレジスタは、ボー・レート・ジェネレータの分周比を設定するリード／ライト可能なレジスタです。この DLH n レジスタの下位 8 ビットと DLL n レジスタの下位 8 ビットを連結した 16 ビット・データで分周比を設定します。両方のレジスタに 0000 0000H (16 ビット・データとして 0000H) の設定はできません。

DLL n , DLH n レジスタにアクセスするときは、UART ライン制御レジスタ n (LCR n) の LCR n 7 ビットをセット (1) し、UART デバイザ・ラッチ・レジスタとして機能させてください。

このレジスタは、32 ビット単位でリード／ライト可能です。

- 注意 1.** DLH n , DLL n レジスタは、UART ライン制御レジスタ n (LCR n) の LCR n 7 ビットをセット (1) し、USR n レジスタの BUSY n ビットが 0 であることを確認してから設定してください。
- 2.** UART 受信バッファ・レジスタ n (RBR n) , UART 送信ホールディング・レジスタ n (THR n) , UART デバイザ・ラッチ下位レジスタ n (DLL n) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCR n) の LCR n 7 ビットの設定により、次のようにアクセスされます。

LCR n 7 ビット	リード	ライト
0	RBR n レジスタ	THR n レジスタ
1	DLL n レジスタ	DLL n レジスタ

- 3.** UART デバイザ・ラッチ上位レジスタ n (DLH n) , UART 割り込み許可レジスタ n (IER n) は同一アドレスに配置されています。UART ライン制御レジスタ n (LCR n) の LCR n 7 ビットの設定により、次のようにアクセスされます。

LCR n 7 ビット	リード	ライト
0	IER n レジスタ	IER n レジスタ
1	DLH n レジスタ	DLH n レジスタ

DLH n , DLL n レジスタの設定とボー・レートの関係は、以下の計算式で求められます。

$$\text{ボー・レート} = \text{入力クロック}^{\text{※}} / (16 \times \text{DLHn, DLLn 設定値})$$

EP3-AM1 の代表的な入力周波数と、一般的なボー・レートとの関係を表 16-1 に示します。

注 入力クロックは、PLL 前段の発振器の周波数／2 です。

備考 $n = 0-3$

表 16-1 一般的なボー・レートと DLHn, DLLn の設定値

ボー・レート [bps]	入力クロック=15MHz		入力クロック=24MHz	
	DLHn, DLLn 設定値 の下位 8 ビットを 連結した値	誤差 [%]	DLHn, DLLn 設定値 の下位 8 ビットを 連結した値	誤差 [%]
300	C35H	0.00	1388H	0.00
600	61BH	-0.04	9C4H	0.00
1200	30DH	0.04	4E2H	0.00
2400	187H	-0.10	271H	0.00
4800	C3H	0.17	139H	-0.16
9600	62H	-0.36	9CH	0.17
14400	41H	0.17	68H	0.17
19200	31H	-0.36	4EH	0.17
38400	18H	1.73	27H	0.17
57600	10H	1.73	1AH	0.17
115200	8H	1.73	DH	0.17

																アドレス	
																0F01 4800H +200H×n	
DLLn	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	0	0	0	0	0	0	0	0	DLLn 7	DLLn 6	DLLn 5	DLLn 4	DLLn 3	DLLn 2	DLLn 1	DLLn 0	
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
7-0	DLLn7- DLLn0	ボー・レート・ジェネレータの分周比（下位 8 ビット）を設定してください。 （LCRn.LCRn7 = 1 のとき）

																アドレス	
																0F01 4804H +200H×n	
DLHn	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	0	0	0	0	0	0	0	0	DLHn 7	DLHn 6	DLHn 5	DLHn 4	DLHn 3	DLHn 2	DLHn 1	DLHn 0	
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
7-0	DLHn7- DLHn0	ボー・レート・ジェネレータの分周比（上位 8 ビット）を設定してください。 （LCRn.LCRn7 = 1 のとき）

備考 n = 0-3

(4) UART 割り込み許可レジスタ n (IERn: Interrupt Enable Register)

UART の 5 種類の割り込みについて、割り込み要求出力の許可／禁止を設定するレジスタです。

このレジスタにアクセスするときは、UART ライン制御レジスタ n (LCRn) の LCRn7 ビットをクリア (0) し、このレジスタを UART 割り込み許可レジスタとして機能させてください。

対応する割り込みのビットをセット (1) すると、その割り込み要求出力が許可されます。すべてのビットに 0 を設定すると、UART からのすべての割り込み要求が禁止されます。

このレジスタの操作は、割り込み以外の機能には影響はありません。

このレジスタは、32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
IERn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4804H +200HXn
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	IEn3	IEn2	IEn1	IEn0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31-4	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
3	IEn3	モデム・ステータス割り込みの許可／禁止を設定します。 0: 禁止 1: 許可
2	IEn2	受信ライン・ステータス割り込みの許可／禁止を設定します。 0: 禁止 1: 許可
1	IEn1	送信ホールディング・レジスタ・エンプティ割り込みの許可／禁止を設定します。 0: 禁止 1: 許可
0	IEn0	受信割り込み（受信データ可能割り込み，FIFO 有効時の受信データ・トリガ・レベル到達割り込み，FIFO 有効時のキャラクタ・タイムアウト割り込み）の許可／禁止を設定します。 0: 禁止 1: 許可

備考 n = 0-3

- (5) UART 割り込み識別レジスタ n (IIRn: Interrupt Identification Register (IIR))
- 送信／受信 FIFO 有効／無効状態と各割り込み要因を示すレジスタです。
- このレジスタは、32 ビット単位でリードのみ可能で、ビット 7, 6, 3-0 のみが有効データです。その他のビットは常に 0 が読み出されます。ライトは無視されます。

31

30

29

28

27

26

25

24

23

22

21

20

19

18

17

16

IIRn

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0F01 4808H
+200H×n

アドレス

R/W

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

15

14

13

12

11

10

9

8

7

6

5

4

3

2

1

0

初期値

0

0

0

0

0

0

0

0

IIRn7

IIRn6

0

0

IIRn3

IIRn2

IIRn1

IIRn0

0000 0001H

R/W

0

0

0

0

0

0

0

0

R

R

0

0

R

R

R

R

ビット位置	ビット名	意 味																							
31-8	Reserved	リードすると 0 が読み出されます。																							
7, 6	IIRn7, IIRn6	送信／受信 FIFO 有効／無効状態を示します。送信／受信 FIFO 有効（FCRn0 = 1）のとき、11b が読み出されます。それ以外は 00b が読み出されます。 11b：送信／受信 FIFO 有効 00b：送信／受信 FIFO 無効																							
5, 4	Reserved	リードすると 0 が読み出されます。																							
3-0	IIRn3-IIRn0	割り込み要因のステータスを示します。割り込み要因の優先順位、クリア手順は、「16.3.2 割り込み」を参照してください。 <table> <tr> <th>IIRn3-IIRn0</th> <th>割り込み状態</th> </tr> <tr> <td>0001b</td> <td>保留割り込みなし</td> </tr> <tr> <td>0110b</td> <td>受信ライン・ステータス割り込み</td> </tr> <tr> <td rowspan="2">0100b</td> <td>FIFO 無効時</td> <td>受信データ可能割り込み</td> </tr> <tr> <td>FIFO 有効時</td> <td>受信データ・トリガ・レベル到達</td> </tr> <tr> <td>1100b</td> <td colspan="2">キャラクタ・タイムアウト割り込み（FIFO 有効時のみ）</td> </tr> <tr> <td>0010b</td> <td colspan="2">送信ホールディング・レジスタ・エンプティ割り込み</td> </tr> <tr> <td>0000b</td> <td colspan="2">モデム・ステータス割り込み</td> </tr> <tr> <td>1111b</td> <td colspan="2">BUSY 検出割り込み</td> </tr> </table>	IIRn3-IIRn0	割り込み状態	0001b	保留割り込みなし	0110b	受信ライン・ステータス割り込み	0100b	FIFO 無効時	受信データ可能割り込み	FIFO 有効時	受信データ・トリガ・レベル到達	1100b	キャラクタ・タイムアウト割り込み（FIFO 有効時のみ）		0010b	送信ホールディング・レジスタ・エンプティ割り込み		0000b	モデム・ステータス割り込み		1111b	BUSY 検出割り込み	
IIRn3-IIRn0	割り込み状態																								
0001b	保留割り込みなし																								
0110b	受信ライン・ステータス割り込み																								
0100b	FIFO 無効時	受信データ可能割り込み																							
	FIFO 有効時	受信データ・トリガ・レベル到達																							
1100b	キャラクタ・タイムアウト割り込み（FIFO 有効時のみ）																								
0010b	送信ホールディング・レジスタ・エンプティ割り込み																								
0000b	モデム・ステータス割り込み																								
1111b	BUSY 検出割り込み																								

備考 n = 0-3

(6) UART FIFO 制御レジスタ n (FCRn : FIFO Control Register)

FIFO 制御を行うレジスタです。

このレジスタは 32 ビット単位でライトのみ可能で、リードすると 0 が読み出されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
FCRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4808H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	FCRn 7	FCRn 6	0	0	0	FCRn 2	FCRn 1	FCRn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	W	W	0	0	0	W	W	W	

ビット位置	ビット名	意 味															
31-8	Reserved	0 をライトしてください。															
7, 6	FCRn7, FCRn6	受信 FIFO 有効時に、受信データ・トリガ・レベル到達割り込みを発生させるトリガ・レベルを設定します。 <table><tr><th>FCRn7</th><th>FCRn6</th><th>受信 FIFO トリガ・レベル</th></tr><tr><td>0</td><td>0</td><td>1 バイト</td></tr><tr><td>0</td><td>1</td><td>4 バイト</td></tr><tr><td>1</td><td>0</td><td>8 バイト</td></tr><tr><td>1</td><td>1</td><td>14 バイト</td></tr></table>	FCRn7	FCRn6	受信 FIFO トリガ・レベル	0	0	1 バイト	0	1	4 バイト	1	0	8 バイト	1	1	14 バイト
FCRn7	FCRn6	受信 FIFO トリガ・レベル															
0	0	1 バイト															
0	1	4 バイト															
1	0	8 バイト															
1	1	14 バイト															
2	FCRn2	送信 FIFO と FIFO カウンタのクリアを行います。 0 : 通常 1 : FIFO と FIFO カウンタ・クリア															
1	FCRn1	受信 FIFO と FIFO カウンタのクリアを行います。 0 : 通常 1 : FIFO と FIFO カウンタ・クリア															
0	FCRn0	送信／受信 FIFO の有効／無効を設定します。 0 : 無効 1 : 有効															

備考 n = 0-3

★ (7) UART ライン制御レジスタ n (LCRn: Line Control Register)

非同期データ通信のフォーマットの指定や除数ラッチ・アクセスの設定するレジスタです。

ビット 6, 5 には必ず 0 を書き込んでください。リードした場合は 0 が読み出されます。

このレジスタは 8 ビット単位でリード／ライト可能です。

注意 1. LCRn レジスタを通信中に書き換えた場合は、正常に受信できません。通常は USRn.BUSYn = 0 (通信状態は IDLE 状態)を確認してから設定してください。通信相手とのオート・ネゴシエーションなどで、通信中に LCRn レジスタを書き換えた場合は、BUSY 検出割り込みが発生します。

2. 主に高速なボー・レートで back-to-back の連続通信をした場合、以下の条件を満たさない場合に、LCRn.LCRn2 で設定したストップ・ビット長より、ストップ・ビット長が長くなる場合があります。同時に、次のスタート・ビットが遅れます。

入力クロック周期 × (DLHn, DLLn の設定値)

≥ 入力クロック周期 × 4 + 周辺マクロ・クロック周期 × 5

入力クロックは PLL 前段の発振器の周波数 / 2, 周辺マクロ・クロック (PCLK) は CPU 動作クロックの分周クロックです。

ここで、仮に PLL 前段の発振器の周波数を 30MHz, PCLK = 44.33MHz とした場合、

$66.67\text{ns} \times \text{設定値} \geq 66.67\text{ns} \times 4 + 22.56\text{ns} \times 5$

となり、

DLHn, DLLn の設定値 ≥ 6[※]

が制限値になります。

この条件を満たさない場合の、ストップ・ビットのワースト長は、以下のとおりです。

ストップ・ビットのワースト長

= 入力クロック周期 × 4 + 周辺マクロ・クロック × 5

+ 15 × 入力クロック周期 × (DLHn, DLLn の設定値)

上記と同じ条件で、(DLHn, DLLn の設定値) = 4 の場合 (230.4kbps) ,

ストップ・ビットのワースト長 = $66.67\text{ns} \times 4 + 22.56\text{ns} \times 5 + 15 \times 66.67\text{ns} \times 4$

4.4μs

となります。

注 実際の値は 5.69 ですが、DLHn, DLLn には整数しか設定できないため、下限が 6 になります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LCRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 480CH +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	LCRn 7	LCRn 6	0	LCRn 4	LCRn 3	LCRn 2	LCRn 1	LCRn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	R/W	R/W	0	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味															
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。															
7	LCRn7	UART デバイザ・ラッチ・レジスタと同一アドレスに配置されているレジスタとのアクセスを切り替えます。 [※] 0 : RBRn, THRn, IERn レジスタを選択 1 : デバイザ・ラッチ・レジスタ (DLLn, DLHn) を選択															
6	LCRn6	ブレーク制御を設定します。 0 : ブレーク解除 1 : ブレーク設定 このビットは、受信側にブレーク状態を送信するときに使用します。このビットをセット (1) すると、RXDn 端子は強制的にスペーシング (0) の状態になります。															
5	Reserved	0 をライトしてください。リードすると 0 が読み出されます。															
4	LCRn4	パリティを設定します。 0 : 奇数パリティ 1 : 偶数パリティ															
3	LCRn3	パリティの許可／禁止を設定します。 0 : パリティなし (送信) / チェックなし (受信) 1 : パリティあり (送信) / チェックあり (受信)															
2	LCRn2	ストップ・ビットを設定します。 0 : 1 ビット 1 : 1.5 ビット (キャラクタ長さ=5 ビット時) , 2 ビット (キャラクタ長さ=6, 7, 8 ビット時)															
1, 0	LCRn1, LCRn0	キャラクタ長 (ビット数) を指定します。 <table border="1"> <tr> <th>LCRn1</th><th>LCRn0</th><th>キャラクタ長 (ビット数)</th></tr> <tr> <td>0</td><td>0</td><td>5 ビット</td></tr> <tr> <td>0</td><td>1</td><td>6 ビット</td></tr> <tr> <td>1</td><td>0</td><td>7 ビット</td></tr> <tr> <td>1</td><td>1</td><td>8 ビット</td></tr> </table>	LCRn1	LCRn0	キャラクタ長 (ビット数)	0	0	5 ビット	0	1	6 ビット	1	0	7 ビット	1	1	8 ビット
LCRn1	LCRn0	キャラクタ長 (ビット数)															
0	0	5 ビット															
0	1	6 ビット															
1	0	7 ビット															
1	1	8 ビット															

備考 n = 0-3

(8) UART モデム制御レジスタ n (MCRn : Modem Control Register)

★

モデム、またはデータ・セット（モデムをエミュレートする周辺デバイス）とのインタフェースの制御を行うレジスタです。

ビット 5, 4, 1 以外には必ず 0 を書き込んでください。ビット 5, 4, 1 以外をリードした場合は 0 が読み出されます。

このレジスタは 32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MCRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4810H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	MCRn 5	MCRn 4	0	0	MCRn 1	0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	0	R/W	0	

ビット位置	ビット名	意 味
31-6	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
5	MCRn5	オート・フロー制御の許可／禁止を選択します。 0 : 禁止 1 : 許可 CTS, RTS を使用したオート・フロー制御許可時は、受信 FIFO トリガ・レベルの設定を 1 バイトにしてください。
4	MCRn4	診断テスト（ローカル・ループ・バック）の動作を設定します。 0 : 禁止 1 : 許可 ローカル・ループ・バックは、UART の送信／受信のデータ・パスを確認するために使用できます。MCRn4 ビットをセット（1）にすると、次のような動作（ローカル・ループ・バック）が実行されます。 ① 送信部からのシリアル出力（TxDn）がマーキング状態（1）になり、受信部へのシリアル入力（RxDn）が切断され、送信シフト・レジスタの出力が受信シフト・レジスタの入力にループ・バックされます。 ② モデム制御出力端子は強制的にインアクティブ状態（ハイ・レベル）になります。このようなループ・バック・モードでは、送信されたデータがそのまま受信されることになります。ループ・バック・モードでは、送信と受信の割り込みはすべて使用可能です。
3, 2	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
1	MCRn1	RTSn 端子出力を設定します。 0 : RTSn にハイ・レベル出力 1 : RTSn にロー・レベル出力
0	Reserved	0 をライトしてください。リードすると 0 が読み出されます。

備考 n = 0-3

(a) オート・フロー制御

★

EP3-AM1 内蔵のアシクロナス・シリアル・インタフェースは、NS16570 互換の CTS, RTS 端子を使用したオート・フロー制御に対応しています。オート・フローを利用する場合は、UART モデム制御レジスタ n (MCR n) の MCR n 5 ビットをセット (1) してください。また UART FIFO 制御レジスタ n (FCR n) の FCR n 0 ビットをセット (1) し FIFO を有効にしてください。

注意 1. CTS, RTS 端子を利用する場合は、PMCT3, PFC3, PMCT4, PFC4 レジスタで、CTS, RTS 機能を選択してください。

2. MCR n .MCR5 = 0 でオート・フロー制御が禁止の場合は、RTS 端子は MCR n .MCR1 で制御されます。

(i) RTS 端子の動作

RTS 端子は、対向デバイスの CTS 端子に接続してください。オートフロー制御では、受信 FIFO の受信データ・トリガ・レベルは 1 に設定してください。このトリガ・レベルに達すると、RTS 端子はインアクティブ・レベル (ハイ・レベル) になります。これにより受信 FIFO の空きができるまで、対向デバイスはシリアル・データの送信を停止します。受信バッファ・レジスタ n (RBR n) を読み出すことで受信 FIFO がエンプティとなり、RTS 端子はアクティブ・レベル (ロー・レベル) になり、受信要求状態になります。

(ii) CTS 端子の動作

★

CTS 端子にインアクティブ・レベル (ハイ・レベル) が入力されると、UART は送信を停止します。これにより対向デバイスの受信オーバフローを防ぎます。

CTS 端子にインアクティブ・レベル (ハイ・レベル) が入力されたタイミングが、ストップ・ビット検出後の場合には、1 キャラクタ送信後に送信停止します。

送信禁止の間は、送信 FIFO への書き込みができます。送信 FIFO への書き込みの前に、UART ライン・ステータス・レジスタ n (LSR n) の LSR n 5 ビットで送信 FIFO のエンプティ状態を確認してください。

CTS 端子にアクティブ・レベル (ロー・レベル) が入力されると、送信を再開します。

(9) UART ライン・ステータス・レジスタ n (LSRn : Line Status Register)

データ転送に関するステータス・レジスタです。

このレジスタは 32 ビット単位でリードのみ可能です。

(1/3)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
LSRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4814H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	LSRn7	LSRn6	LSRn5	LSRn4	LSRn3	LSRn2	LSRn1	LSRn0	0000 0060H
R/W	0	0	0	0	0	0	0	0	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味											
31-8	Reserved	リードすると 0 が読み出されます。											
7	LSRn7 ^注	FIFO モード時の各種エラー検出ビットです。 0 : エラーなし 1 : パリティ・エラー, フレーミング・エラー, ブレーク検出 このビットは, FIFO 有効時のみ機能します。FIFO 無効時は常に 0 になります。											
6	LSRn6	送信シフト・レジスタと送信ホールディング・レジスタの両方のエンプティ・ビットです。 <table border="1"> <tr> <th rowspan="2">LSRn6</th><th colspan="2">送信エンプティ状態</th></tr> <tr> <th>FIFO 有効時</th><th>FIFO 無効時</th></tr> <tr> <td>0</td><td>送信 FIFO と送信シフト・レジスタのいずれかにデータがある</td><td>送信ホールディング・レジスタ, 送信シフト・レジスタのいずれかにデータがある</td></tr> <tr> <td>1</td><td>送信 FIFO と送信シフト・レジスタの両方にデータがない</td><td>送信ホールディング・レジスタ, 送信シフト・レジスタの両方にデータがない</td></tr> </table>	LSRn6	送信エンプティ状態		FIFO 有効時	FIFO 無効時	0	送信 FIFO と送信シフト・レジスタのいずれかにデータがある	送信ホールディング・レジスタ, 送信シフト・レジスタのいずれかにデータがある	1	送信 FIFO と送信シフト・レジスタの両方にデータがない	送信ホールディング・レジスタ, 送信シフト・レジスタの両方にデータがない
LSRn6	送信エンプティ状態												
	FIFO 有効時	FIFO 無効時											
0	送信 FIFO と送信シフト・レジスタのいずれかにデータがある	送信ホールディング・レジスタ, 送信シフト・レジスタのいずれかにデータがある											
1	送信 FIFO と送信シフト・レジスタの両方にデータがない	送信ホールディング・レジスタ, 送信シフト・レジスタの両方にデータがない											
5	LSRn5	送信ホールディング・レジスタ (THRn) エンプティ・ビットです。 <table border="1"> <tr> <th rowspan="2">LSRn5</th><th colspan="2">送信ホールディング・レジスタ・エンプティ状態</th></tr> <tr> <th>FIFO 有効時</th><th>FIFO 無効時</th></tr> <tr> <td>0</td><td>送信 FIFO に送信データがある状態</td><td>送信ホールディング・レジスタにデータを格納している状態</td></tr> <tr> <td>1</td><td>送信 FIFO が空の状態</td><td>送信シフト・レジスタにデータが転送された状態</td></tr> </table>	LSRn5	送信ホールディング・レジスタ・エンプティ状態		FIFO 有効時	FIFO 無効時	0	送信 FIFO に送信データがある状態	送信ホールディング・レジスタにデータを格納している状態	1	送信 FIFO が空の状態	送信シフト・レジスタにデータが転送された状態
LSRn5	送信ホールディング・レジスタ・エンプティ状態												
	FIFO 有効時	FIFO 無効時											
0	送信 FIFO に送信データがある状態	送信ホールディング・レジスタにデータを格納している状態											
1	送信 FIFO が空の状態	送信シフト・レジスタにデータが転送された状態											

注 このビットは, LSRn レジスタの読み出しでクリア (0) されます。**備考** n = 0-3

(2/3)

ビット位置	ビット名	意 味
4	LSRn4 ^注	ブレーク割り込み状態を示します。 0：ブレーク割り込みなし 1：ブレーク割り込み検出 受信データ入力が 1 キャラクタ分の送信時間（スタート・ビット+データ・ビット+パリティ・ビット+ストップ・ビット）よりも長い時間スペーシング状態（0）をブレーク状態といい、このとき LSRn4 ビットがセット（1）されます。FIFO 有効時は、FIFO 内の 1 キャラクタにブレークが検出されるとエラー・キャラクタとして認識され、そのキャラクタが FIFO の先頭になるとブレーク割り込みが通知されます。ブレークが発生すると 1 個のゼロ・キャラクタが FIFO に転送されます。RxDn がマーキング状態になり、次の有効なスタート・ビットを受信すると、次のキャラクタの転送が可能になります。
3	LSRn3 ^注	フレーミング・エラー・ビットです。 0：フレーミング・エラーなし 1：フレーミング・エラー検出 このビットは、LSRn レジスタを読み出すとクリア（0）されます。 最終データ・ビット、またはパリティ・ビットの後に 0（スペーシング・レベル）のストップ・ビットが検出されると（フレーミング・エラー）、このビットがセット（1）されます。FIFO 有効時は、FIFO 内の 1 キャラクタにフレーミング・エラーが検出されるとエラー・キャラクタとして認識され、そのキャラクタが FIFO の先頭になるとフレーミング・エラーが通知されます。フレーミング・エラーが発生すると、再び同期を取ろうとします。その際、フレーミング・エラーの原因は次のスタート・ビットにあったとみなして、次のスタート・ビットを 2 回サンプリングしてからデータを取り込みます。
2	LSRn2 ^注	パリティ・エラー・ビットです。 0：パリティ・エラーなし 1：パリティ・エラー検出 このビットは、LSRn レジスタを読み出すとクリア（0）されます。 受信したキャラクタが LCRn4 ビットで指定された偶数、または奇数のパリティを満足していないと（パリティ・エラー）、このビットがセット（1）されます。FIFO 有効時は、FIFO 内の 1 キャラクタにパリティ・エラーが検出されるとエラー・キャラクタとして認識され、その文字が FIFO の先頭になるとパリティ・エラーが通知されます。
1	LSRn1 ^注	オーバラン・エラー・ビットです。 0：オーバラン・エラーなし 1：オーバラン・エラー検出 このビットは、LSRn レジスタを読み出すとクリア（0）されます。 ソフトウェアや DMA で受信バッファ・レジスタを読み出す前に、次のキャラクタが受信バッファ・レジスタに上書きされると（オーバラン・エラー）、このビットがセット（1）されます。 FIFO 有効時に、データがトリガ・レベルを越えて FIFO に転送され続けた場合は、FIFO がフルになったのち、次のキャラクタが完全にシフト・レジスタに格納されるまではオーバラン・エラーにはなりません。シフト・レジスタ内のキャラクタは上書きされますが、FIFO には転送されません。

注 このビットは、LSRn レジスタの読み出しでクリア（0）されます。

備考 n = 0-3

(3/3)

ビット位置	ビット名	意 味
0	LSRn0	受信データ・レディ・ビットです。 0：FIFO に受信データがない 1：FIFO に受信データがある このビットは、データの受信を完了する前にセット（1）されるため、このビットがセット（1）された直後に受信データを RBRn レジスタから読み出した場合、このビットがクリア（0）されないことがあります。したがって、このビットがセット（1）されてからストップ・ビットのビット幅分の時間が経過してから、RBRn レジスタのデータを読み出してください。

備考 n = 0-3

(10) UART モデム・ステータス・レジスタ n (MSRn : Modem Status Register)
ハンドシェーク・ラインである CTSn 端子のステータス・レジスタです。
このレジスタは 32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
MSRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4818H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	MSRn 4	0	0	0	MSRn 0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	R	0	0	0	R	

ビット位置	ビット名	意 味
31-5	Reserved	ライトは無視されます。リードすると 0 が読み出されます。
4	MSRn4	CTSn 端子の状態を示します。 1 : CTSn 端子は 0 (ロー・レベル) 0 : CTSn 端子は 1 (ハイ・レベル)
3-1	Reserved	ライトは無視されます。リードすると 0 が読み出されます。
0	MSRn0 注	CTSn 端子の変化を示します。 0 : MSRn レジスタを最後にリードしてからの変化なし 1 : MSRn レジスタを最後にリードしてからの変化あり

注 このビットは、MSRn レジスタを読み出すとクリア (0) されます。

備考 n = 0-3

(11) UART スクラッチ・パッド・レジスタ n (SCRn : Scratch pad Register)

ユーザが自由に使用できるリード／ライト可能なレジスタです。

このレジスタへのリード／ライトは、UART の制御には影響を与えません。

ビット 31-8 には 0 を書き込んでください。ビット 31-8 をリードした場合は 0 が読み出されます。

このレジスタは 32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
SCRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 481CH +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	SCRn	SCRn	SCRn	SCRn	SCRn	SCRn	SCRn	SCRn	0000 0000H
									7	6	5	4	3	2	1	0	
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味
31-8	Reserved	0 をライトしてください。リードすると 0 が読み出されます。
7-0	SCRn7- SCRn0	汎用データ・ビットです。

備考 n = 0-3

(12) UART ステータス・レジスタ n (USR : UART Status Register)

UART の転送状態を示すレジスタです。

このレジスタは 8 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
USRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 487CH +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BUSY n	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R

ビット位置	ビット名	意 味
31-1	Reserved	ライトは無視されます。リードすると 0 が読み出されます。
0	BUSYn	転送状態を示します。 0 : IDLE 状態 (送信動作, 受信動作をしていません) 1 : BUSY 状態 (送信, または受信動作中であることを示しています)

備考 n = 0-3

(13) UART DMA 転送要求制御レジスタ n (FDRn：FIFO DMA Control Register)

DMA インタフェース信号を使用した DMA 転送をする際に、DMA 要求信号の制御を行うレジスタです。

ビット 31-7, 5, 3-0 には必ず 0 を書き込んでください。ビット 31-0 をリードした場合は 0 が読み出されます。

このレジスタは 32 ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
FDRn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 4900H +200H×n
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	FDRn 6	0	FDRn 4	0	0	0	0	0000 0000H
R/W	0	0	0	0	0	0	0	0	0	R/W	0	R/W	0	0	0	0	

ビット位置	ビット名	意 味
31-7	Reserved	ライトは無視されます。0 をライトしてください。リードすると 0 が読み出されます。
6	FDRn6	UART 送信 FIFO DMA 転送要求をリセットするビットです。 リードすると 0 が読み出されます。
5	Reserved	ライトは無視されます。0 をライトしてください。リードすると 0 が読み出されます。
4	FDRn4	UART 受信 FIFO DMA 転送要求をリセットするビットです。 キャラクタ・タイムアウト割り込み発生後、受信 FIFO に残っている受信データを読み出したあと、 このビットをセット (1) してください。このビットをリードすると 0 が読み出されます。
3-0	Reserved	ライトは無視されます。0 をライトしてください。リードすると 0 が読み出されます。

備考 n = 0-3

16.3 動作

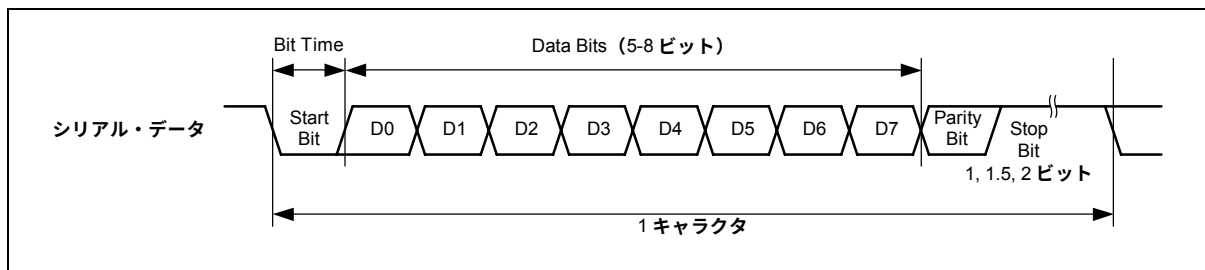
16.3.1 UART シリアル・プロトコル

ここではアシクロナス・シリアル・インタフェース (UART) のプロトコルについて簡単に説明します。この UART と対向 UART デバイス間のシリアル通信は非同期で行われます。UART のシリアル・データのフォーマットは以下の通りです。データ・ビットの前後にはスタート・ビットとストップ・ビットが付加されます。

データ長は、5/6/7/8 ビットを選択できます。パリティ・ビットは必要に応じて偶数パリティ/奇数パリティを付加できます。ストップ・ビットは、1/1.5/2 ビットから選択できます。

1 キャラクタのデータ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、ライン・コントロール・レジスタ n (LCR n) によって行います ($n = 0-3$)。

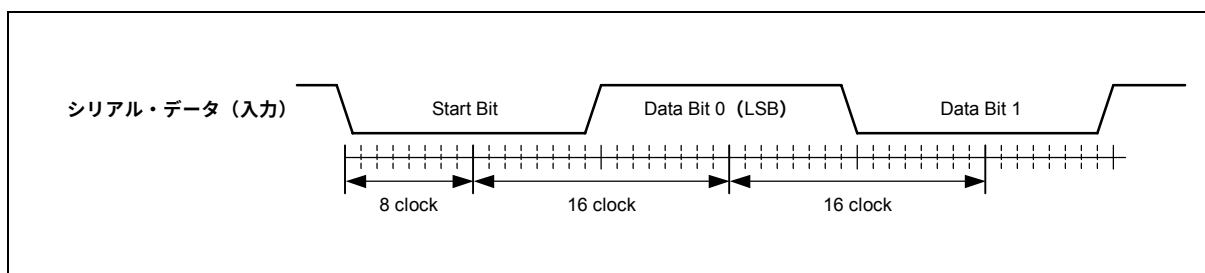
図 16-2 シリアル・データの構造



受信データは、16 倍オーバ・サンプリングされます。したがって、1 ビットのデータ幅は、UART 内部クロック幅の 16 倍です。スタート・ビットを検出すると、安定した受信のために 1 ビット・データのほぼ真中のタイミングで受信データをサンプリングします。スタート・ビットの真中のサンプリング・タイミング後、UART 内部クロックの 16 倍のタイミングごとにデータをサンプリングします。

図 16-3 のシリアル・データのサンプリング・タイミング例は、最初の 2 ビットのシリアル・データをサンプリングしている状態を示しています。

図 16-3 シリアル・データのサンプリング・タイミング



16.3.2 割り込み

UART 内部で割り込み要因が発生すると、INTUARTn がアサートされます。

割り込み要因には以下のものがあり、おのおの UART 割り込み許可レジスタ n (IERn) で割り込み要求の許可／禁止を設定できます。

- 受信エラー
- データを受信したとき
- キャラクタ・タイムアウト (FIFO モード時のみ)
- UART シリアル送信データ・レジスタ n (THRn) が空の場合
- モデム・ステータスの変化

IIRn.3-IIRn.0				優先順位	割り込み種別	割り込みセット (1) 条件	割り込みクリア (0) 条件
3	2	1	0				
0	1	1	0	最優先	受信ライン・ステータス	オーバラン・エラー, パリティ・エラー, フレーミング・エラー, またはブレーク	UART ライン・ステータス・レジスタ n (LSRn) レジスタのリード
0	1	0	0	2	受信データ可能	FIFO 無効時：受信データが存在	UART 受信バッファ・レジスタ n (RBRn) のリード
						FIFO 有効時：トリガ・レベルに到達	UART 受信バッファ・レジスタ n (RBRn) のリードにより、FIFO のトリガ・レベルを下回った場合
1	1	0	0	2	キャラクタ・タイムアウト	FIFO 有効時で、最近の 4 キャラクタ分の時間内に、受信 FIFO から 1 キャラクタも取り出されずに受信されたキャラクタもなし。この期間中に少なくとも 1 つのキャラクタが FIFO に存在。	UART 受信バッファ・レジスタ n (RBRn) のリード
0	0	1	0	3	UART 送信ホールディング・レジスタ・エンプティ	UART 送信ホールディング・レジスタが空	UART 割り込み識別レジスタ n (IIRn) をリードし (割り込み要因の場合)、または UART 送信ホールディング・レジスタ n (THRn) へのライト
0	0	0	0	4	モデム・ステータス	CTSn 信号がローになったことを検出したとき。 オートフロー制御許可の場合、CTSn 信号がローになっても割り込みは発生しません。	UART モデム・ステータス・レジスタ n (MSRn) のリード
0	1	1	1	5	ビジー検出	UART が BUSY 状態で LCRn レジスタにデータ・ライトした場合	UART ステータス・レジスタ n (USRn) のリード

(1) 送信ホールディング・レジスタ・エンプティ割り込み

IIRn レジスタをリードして送信ホールディング・レジスタ・エンプティ割り込みをクリア (0) 後、送信ホールディング・レジスタ・エンプティ割り込みの許可 (IEn = 1) と、送信後に UART 送信ホールディング・レジスタ n (THRn) レジスタが空の、両方の条件がそろったとき、次の送信ホールディング・レジスタ・エンプティ割り込みが発生します。

(2) 受信 FIFO 有効時の受信データ・トリガ・レベル到達割り込み

受信 FIFO 有効時に受信データ・トリガ・レベル到達割り込みが許可 (IERn.IEn0 = 1) されている場合、受信データ・トリガ・レベル到達割り込み要求は次のように発生します。

- (i) FIFO が指定されたトリガ・レベルに達すると、受信データ・トリガ・レベル到達割り込み要求が発生します。この割り込みは FIFO がトリガ・レベルを下回った時点でクリアされます。
- (ii) FIFO が指定されたトリガ・レベルに達すると、IIRn レジスタは受信データ・トリガ・レベル到達割り込み要求を示します。これは①と同様に FIFO がトリガ・レベルを下回った時点でクリアされます。
- (iii) 受信ライン・ステータス割り込みは、受信データ・トリガ・レベル到達割り込みよりも高優先に設定されています。
- (iv) シフト・レジスタから受信 FIFO にキャラクタが転送されると、UART ライン制御レジスタ n (LSRn) の LSRn0 ビットがセット (1) されます。このビットは、FIFO が空になるとクリア (0) されます。

(3) 受信 FIFO 有効時の受信 FIFO タイムアウト

受信 FIFO 有効時に受信割り込みが許可されている場合、キャラクタ・タイムアウト割り込み要求は次のように発生します。

- (i) キャラクタ・タイムアウト割り込みが発生する条件は次の通りです。
 - ① FIFO に少なくとも 1 キャラクタが格納されている。
 - ② 最後に受信されてから、連続 4 キャラクタ分を越える時間が経過している (ストップ・ビットが 2 ビットに指定されている場合は 2 ビット目の分の時間も含む)。
 - ③ 最後に FIFO を読み出してから、連続 4 キャラクタ分を越える時間が経過している。
- (ii) 1 キャラクタあたりの時間は、受信用ボー・レート・クロック (内部) に基づいて計算されます。したがって割り込み発生までの時間はボー・レートに比例します。
- (iii) キャラクタ・タイムアウト割り込み要求が発生した場合、受信 FIFO から 1 キャラクタを読み出すと、キャラクタ・タイムアウト割り込みはクリアされ、タイマはリセットされます。
- (iv) キャラクタ・タイムアウト割り込み要求が発生しなかった場合は、新しいキャラクタが受信されるか、受信 FIFO を読み出した時点でタイマがリセットされます。

(4) 送信 FIFO 有効時の送信ホールディング・レジスタ・エンプティ割り込み

送信 FIFO 有効時に送信ホールディング・レジスタ・エンプティ割り込みが許可されている場合、送信ホールディング・レジスタ・エンプティ割り込み要求は次のように発生します。

- (i) 送信 FIFO が空になると、送信ホールディング・レジスタ・エンプティ割り込み要求が発生します。送信ホールディング・レジスタにキャラクタが書き込まれるか（この割り込みの処理中に送信 FIFO に 1～16 キャラクタ書き込まれる可能性があります）、IIRn レジスタが読み出されると、割り込み要求はクリア（0）されます。
- (ii) 前回 LSRn レジスタで LSRn5 = 1（送信 FIFO が空）のときから、送信 FIFO に同時に 2 キャラクタ上のデータが存在することなく再び LSRn5 = 1 になった場合、（1 キャラクタ分の時間－最後のストップ・ビット分の時間）経過後に送信 FIFO ホールディング・レジスタ・エンプティが発生します。
- (iii) FCRn0（FIFO 有効／無効ビット）の書き換え後の最初の送信ホールディング・レジスタ・エンプティ割り込み要求は、すぐに発生します。

(5) 送信 FIFO と送信シフト・レジスタの送信データ

送信 FIFO と送信シフト・レジスタに送信データが残っているかは、LSRn レジスタのビット 6 を参照してください。LSRn レジスタのビット 5 には送信 FIFO 内のデータの有無のみ示されます。LSRn レジスタのビット 5 で送信データの残りがどうかを判定すると、送信 FIFO に送信データがなくても、送信シフト・レジスタにデータが残っている可能性があります。

16.3.3 DMA インタフェース

EP3-AM1 のアシクロナス・シリアル・インタフェース (UART) は、システム・バス DMAC のインタフェースをサポートしています。

- 注意** 1. アシクロナス・シリアル・インタフェース (UART) は、セントラル DMAC のインタフェースはサポートしていません。
2. EP3-AM1 のアシクロナス・シリアル・インタフェース (UART) は、NS16550 互換のため、発生する割り込みについて、その要因をレジスタ読み出しで判断する必要があります。割り込み要求だけでは、受信完了、送信完了、受信エラーなどの要因が判断できないため、INTUARTn を DMA 起動要因に割り当てていません。

備考 n = 0-3

(1) UART 送信側 DMA 機能

送信側からは、UART 送信 FIFO DMA 転送要求が出力されます。

DMA 機能を利用する場合は、セントラル DMAC の DTFR_m レジスタで、DMA 転送トリガ要因として「UART 送信 FIFO DMA 転送要求」を選択してください。

備考 n = 0-3

m = 0-7

- 8 ビット×16 段の送信 FIFO を内蔵しています。
- FIFO 有効時の UART 送信 FIFO DMA 転送要求は、送信 FIFO が空のとき 16 回の転送要求を繰り返し出力されます。システム・バス DMAC は、シングル転送モードを選択してください。
- システム・バス DMAC の DMA 転送要求、ハイ・レベルのレベル検出モードを指定してください。
- システム・バス DMAC のアクノリッジ信号は、レベル・モードを指定してください。
- FIFO 有効時は、システム・バス DMAC 以外のバス・マスタ（CPU、セントラル DMAC 等）からの UART 送信ホールディング・レジスタ n（THR_n）へのアクセスは禁止です。
- データ転送開始前に転送要求制御回路をリセットする必要があります。図 16-6 の手順を参照ください。
- 送信側の DMA インタフェース信号は、FIFO 有効時と FIFO 無効時で動作が異なります。

表 16-2 UART 送信 FIFO DMA 転送要求の動作

	送信 FIFO DMA 転送要求発生要因	送信 FIFO DMA 転送要求クリア要因
送信 FIFO 無効 (FCR _{n.0} = 0)	・ リセット入力 ・ UART 送信ホールディング・レジスタ n（THR_n）が空の場合	・ UART 送信ホールディング・レジスタ n（THR_n）にデータ・ライトした場合 ・ UART DMA 転送要求制御レジスタ n（FDR_n）のビット 6 をセット（1：UART 送信 FIFO DMA 転送要求のリセット）した場合
送信 FIFO 有効 (FCR _{n.0} = 1)	送信 FIFO DMA 転送要求として、16 段（16 キャラクタ）送信 FIFO 分のデータ転送を要求します。 1 キャラクタ目の転送要求は、THR _n レジスタが空の場合にアクティブになります。2 キャラクタ目から 16 キャラクタ目の転送要求は、システム・バス DMAC から THR _n にデータをライトすると、転送要求がいったんクリアされ、内部周辺マクロ・クロック（PCLK）の 2 クロック後に次の転送要求を出力します。16 キャラクタ目の THR _n レジスタへのデータのライト完了後に転送要求はクリアされます。再び、THR _n レジスタが空になると転送要求が発生します。	
	・ リセット入力	・ UART DMA 転送要求制御レジスタ n（FDR_n）のビット 6 をセット（1：UART 送信 FIFO DMA 転送要求のリセット）した場合

図 16-4 FIFO 無効 (FCRn.0 = 0) 時の, UART 送信 FIFO DMA 転送要求の状態遷移

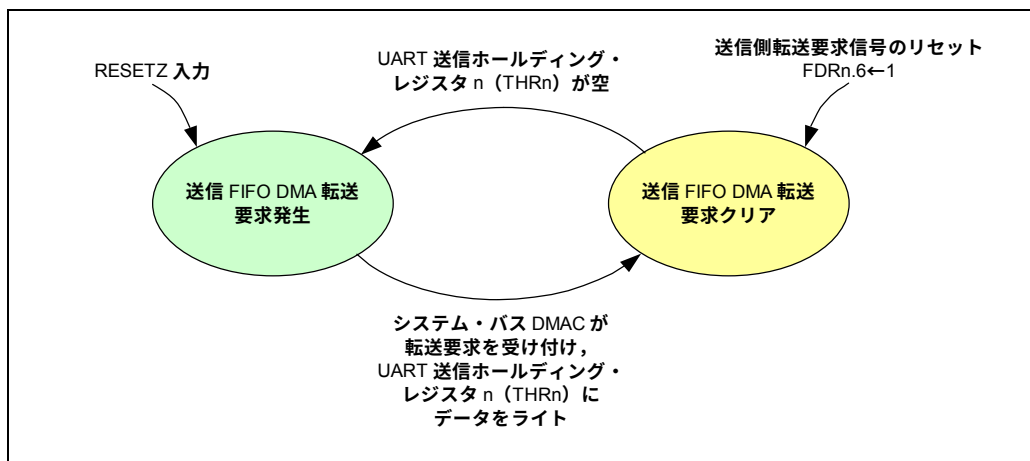


図 16-5 FIFO 有効 (FCRn.0 = 1) 時の, UART 送信 FIFO DMA 転送要求の状態遷移

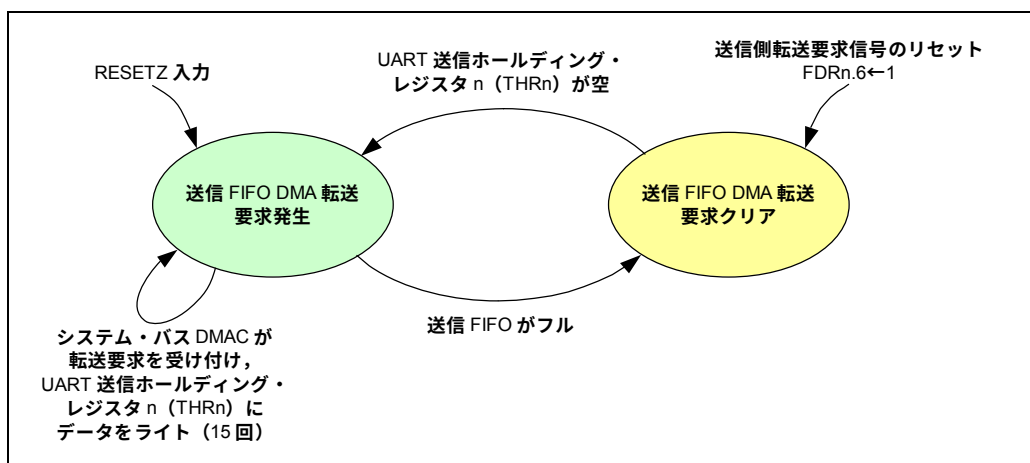
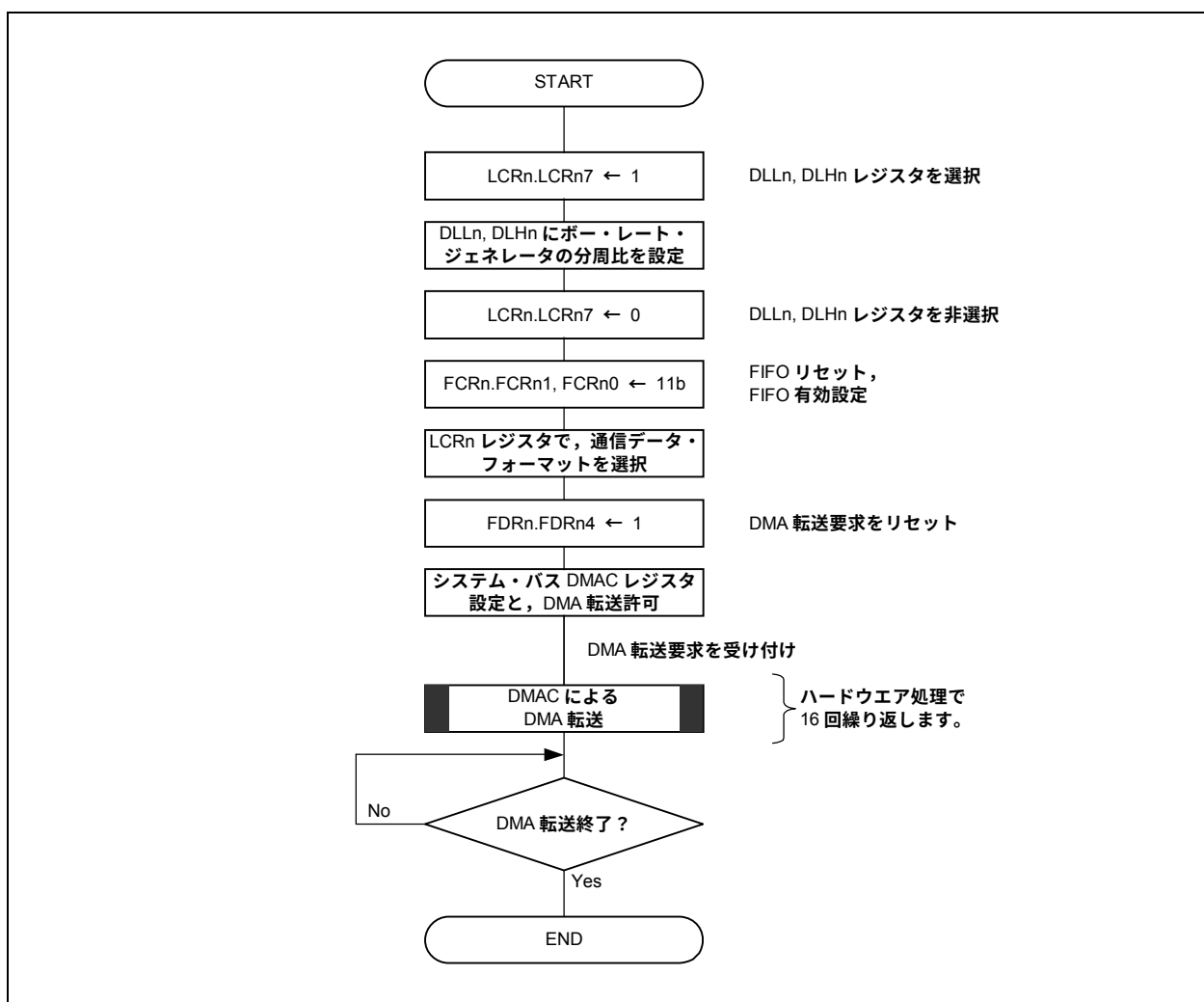


図 16-6 FIFO 有効 (FCRn.0 = 1) 時の，送信の DMA 転送手順



(2) UART 受信側 DMA 機能

受信側からは、UART 受信 FIFO DMA 転送要求が出力されます。

DMA 機能を利用する場合は、セントラル DMAC の DTFR_m レジスタで、DMA 転送トリガ要因として「UART 受信 FIFO DMA 転送要求」を選択してください。

備考 n = 0-3

m = 0-7

- 8 ビット×16 段の受信 FIFO を内蔵しています。
 - FIFO 有効時の UART 受信 FIFO DMA 転送要求は、UART FIFO 制御レジスタ n (FCR_n) に設定した受信 FIFO トリガ・レベルのサイズ分の転送要求を繰り返し出力します。システム・バス DMAC は、シングル転送モードを選択してください。
 - システム・バス DMAC の DMA 転送要求、ハイ・レベルのレベル検出モードを指定してください。
 - システム・バス DMAC のアクノリッジ信号は、レベル・モードを指定してください。
 - FIFO 有効時は、システム・バス DMAC 以外のバス・マスタ (CPU, セントラル DMAC 等) からの UART 受信バッファ・レジスタ n (RBR_n) レジスタへのアクセスは禁止です。
 - UART 受信 FIFO DMA 転送要求をクリアする必要があります。
UART FIFO 制御レジスタ n (FCR_n) の受信 FIFO トリガ・レベル設定値に受信データが到達する前にデータ受信が終了した場合、キャラクタ・タイムアウト割り込みが INTUART_n で発生します。受信 FIFOに残ったデータの処理と、UART 受信 FIFO DMA 転送要求をクリアする必要があります。
- 図 16-9 の手順を参照ください。
- 受信側の DMA インタフェース信号は、FIFO 有効時と FIFO 無効時で動作が異なります。

表 16-3 UART 受信 FIFO DMA 転送要求の動作

	受信 FIFO DMA 転送要求発生要因	受信 FIFO DMA 転送要求クリア要因
送信 FIFO 無効 (FCR _n .0 = 0)	UART 受信バッファ・レジスタ n (RBR_n) にデータがある場合	- UART 受信バッファ・レジスタ n (RBR_n) にヘデータ・リードした場合 - UART DMA 転送要求制御レジスタ n (FDR_n) のビット 4 をセット (1: UART 受信 FIFO DMA 転送要求のリセット) した場合
送信 FIFO 有効 (FCR _n .0 = 1)	- UART FIFO 制御レジスタ n (FCR_n) のビット 7, 6 に設定した受信 FIFO トリガ・レベル分のデータ転送要求を出力します。 1 キャラクタ目の受信 FIFO DMA 転送要求は、FCR_n レジスタに設定したトリガ・レベル分のデータ受信した場合に発生します。 以降、例えばトリガ・レベルを 4 キャラクタに設定した場合は、2 キャラクタ目の受信 FIFO DMA 転送要求は、転送要求を受け付けたシステム・バス DMAC が RBR_n レジスタのデータをリードすると、1 度受信 FIFO DMA 転送要求をクリアした後で次の受信 FIFO DMA 転送要求を出します。 4 キャラクタ目の RBR レジスタのデータ・リード完了後に受信 FIFO DMA 転送要求はクリアされ、再びトリガ・レベル分のデータを受信するまでは受信 FIFO DMA 転送要求は発生しません。	UART DMA 転送要求制御レジスタ n (FDR_n) のビット 4 をセット (1: UART 受信 FIFO DMA 転送要求のリセット) した場合

図 16-7 FIFO 無効 (FCRn.0 = 0) 時の、UART 受信 FIFO DMA 転送要求の状態遷移

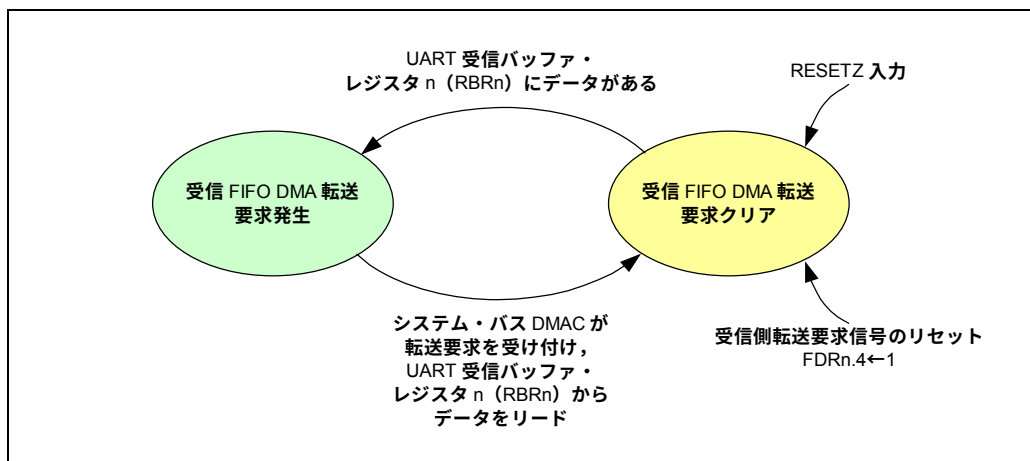


図 16-8 FIFO 有効 (FCRn.0 = 1) 時の、UART 受信 FIFO DMA 転送要求の状態遷移

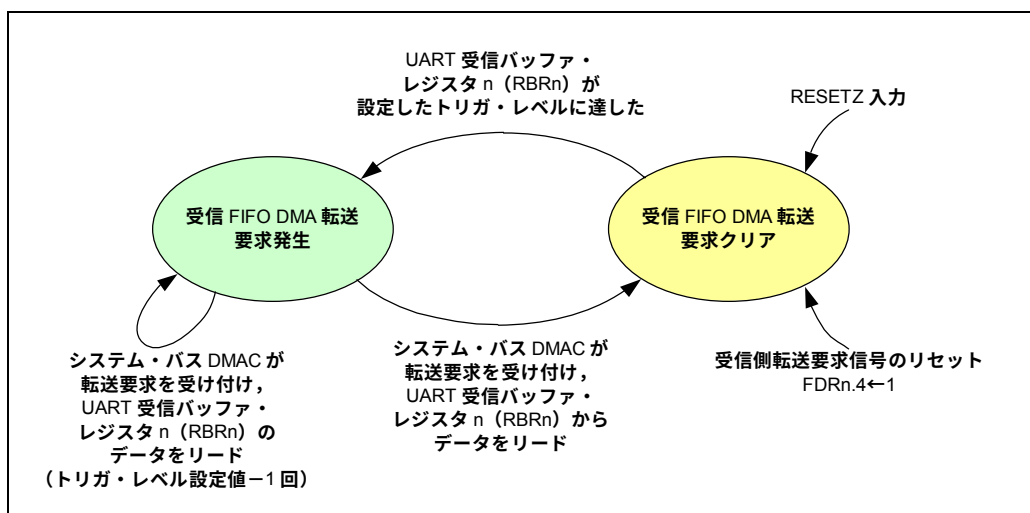
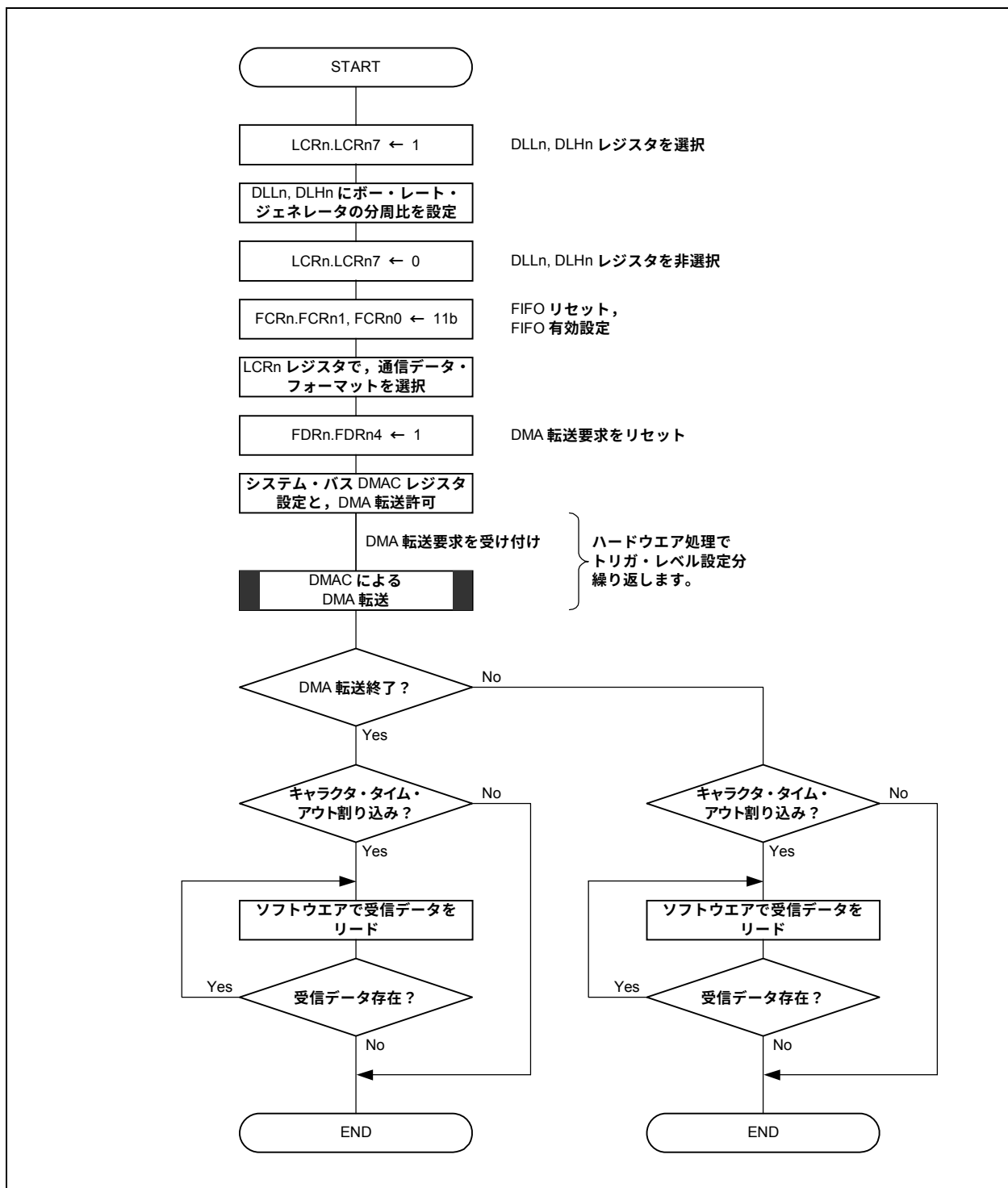


図 16-9 FIFO 有効 (FCRn.0 = 1) 時の、受信の DMA 転送手順



第17章 クロック同期式シリアル・インタフェース (CSI3)

EP3-AM1 は、送受信バッファ内蔵の 8 チャンネルのクロック同期式シリアル・インタフェース (CSI) を内蔵しています。

17.1 特 徴

- 高速転送 マスタ・モード／スレーブ・モード時：最大 12.5Mbps
- 全二重通信
送信と受信は、独立に行うことができません（送受信同時動作）
- マスタ・モードとスレーブ・モードを選択可能
- 送信データ長：8-16 ビット（1 ビット単位で選択可能）
- 転送データの MSB 先頭／LSB 先頭を切り替え可能
- 3 線式 SOn ：シリアル・データ出力
 SIn ：シリアル・データ入力
 SCKn ：シリアル・クロック入出力
- ビット・レート
マスタ・モード時： BRG 出力（クロック同期式シリアル・インタフェース・クロック選択レジスタ n (CSIC3n) の CKS3n2-CKS3n0 ビット, MDLn2-MDLn0 ビットで選択）
スレーブ・モード時： マスタからのクロック入力（CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 設定時）
- 割り込みソース 2 種
 - ・送受信完了割り込み (INTCSI3n)
 - ・CSIBUFn オーバフロー割り込み (INTCOVF3n)
- 送信モード，受信モード，送受信モードを選択可能
 - ・送信モード： 送信許可状態で送信データ CSI バッファ・レジスタ 3n (SFDB3n) に送信データをライトすることで送信を開始します（17.5(11) 送信モード参照）。
 - ・受信モード： 受信許可状態で送信データ CSI バッファ・レジスタ 3n (SFDB3n) にダミー・データをライトする処理をトリガとして受信を開始します（17.5(12) 受信モード参照）。
 - ・送受信モード： 送受信許可状態で送信データ CSI バッファ・レジスタ 3n (SFDB3n) に送信データをライトする処理をトリガとして送受信を開始します（17.5(13) 送受信モード参照）。
- 16 ビットの送受信バッファ (CSIBUFn) を 16 本内蔵
- 専用ボー・レート・ジェネレータ内蔵

備考 n = 0-7

17.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ 3n (CSIM3n) によって、CSI3n を制御します (n = 0-7)。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ 30-37 (CSIM30-CSIM37)

CSIM3n レジスタは、CSI3n の動作を指定する 8 ビット・レジスタです。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ 30-31 (CSIC30-CSIC37)

CSIC3n レジスタは、CSI3n の動作クロックと動作モードを制御する 8 ビット・レジスタです。

(3) シリアル I/O シフト・レジスタ 0-7 (SIO0-SIO7)

SIO_n レジスタは、シリアル・データ ↔ パラレル・データの変換を行う 8 ビット・レジスタです。

SIO_n は送信および受信の両方に使用されます。

データは、MSB 側または LSB 側からシフト・イン (受信) またはシフト・アウト (送信) されます。

(4) 受信データ・バッファ・レジスタ 30-37 (SIRB30-SIRB37)

SIRB3n レジスタは、受信データを格納する 16 ビット・バッファ・レジスタです。上位 8 ビット (SIRB3nH)，下位 8 ビット (SIRB3nL) に分割した 8 ビット・バッファ・レジスタとしても使用できます。

(5) 送信データ CSI バッファ・レジスタ 30-37 (SFDB30-SFDB37)

SFDB3n レジスタは、送信データを格納する 16 ビット・バッファ・レジスタです。上位 8 ビット (SFDB3nH)，下位 8 ビット (SFDB3nL) に分割した 8 ビット・バッファ・レジスタとしても使用できます。

(6) CSIBUF 状態レジスタ 30-37 (SFA30-SFA37)

SFA3n レジスタは、CSI データ・バッファ・レジスタ n (CSIBUF_n) または転送の状態を表示する 8 ビット・レジスタです。

(7) 転送データ長選択レジスタ 30-37 (CSIL30-CSIL37)

CSIL3n レジスタは、CSI3n 転送データ長を選択する 8 ビット・レジスタです。

(8) 転送データ数指定レジスタ 30-37 (SFN30-SFN37)

SFN3n レジスタは、連続モード時の CSI3n 転送データ数を設定する 8 ビット・レジスタです。

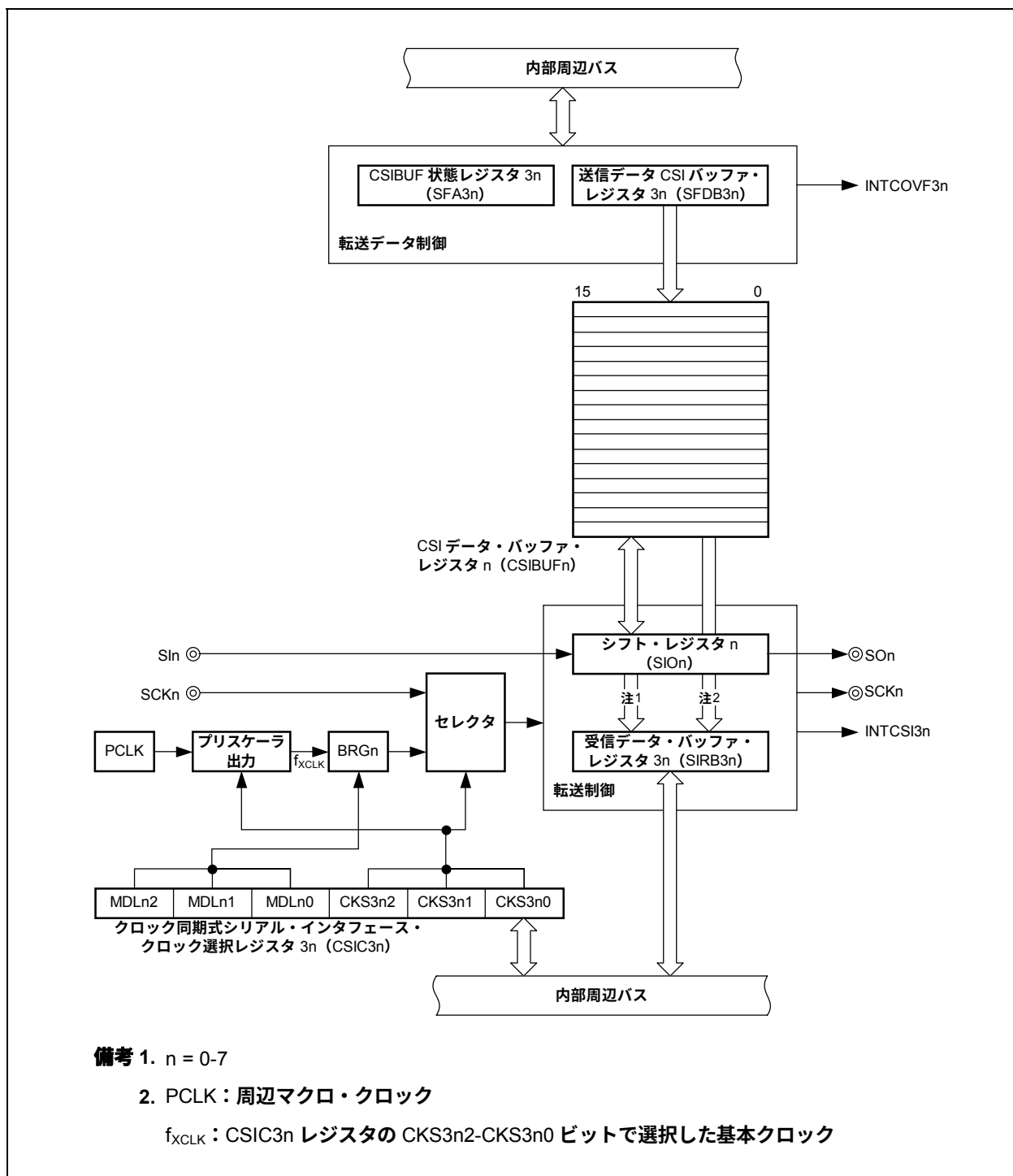
(9) CSI データ・バッファ・レジスタ 0-7 (CSIBUF0-CSIBUF7)

転送する送信データを SFDB3n レジスタに連続ライトすることにより、自動的にライト用 CSIBUF_n ポインタをインクリメントしながら CSIBUF_n レジスタ内にデータを格納することができます (CSIBUF_n)。

CSIBUF_n レジスタは 16 ビット・バッファ・レジスタです。

連続モードでは、受信データを SIRB3n レジスタから、続けてリードすることで、自動的にリード用 CSIBUF_n ポインタをインクリメントしながら、CSIBUF_n レジスタ内の受信済みデータを順次リードできます。

図 17-1 クロック同期式シリアル・インタフェース 30-37 のブロック図



17.3 制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ 30-37 (CSIM30-CSIM37)

CSIM3n レジスタは、CSI3n の動作を制御するレジスタです (n = 0-7)。

8/1 ビット単位でリード／ライト可能です。

ビット 0 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

注意 1. TRMDn, DIRn, CSITn, CSWEn ビットへのライトは、CTXEn ビット = 0、および CRXEn ビット = 0 のときのみ可能です。

2. CSI3n を使用する場合には、必ず CSI3n 機能に関連する外部端子をコントロール・モードに設定し、CSICAEn ビットをセット (1) してください。そのあとに、ほかのビットの設定を行ってください。

(1/2)

								アドレス	初期値
	7	6	5	4	3	2	1	0	
CSIM3n	CSICAEn	CTXEn	CRXEn	TRMDn	DIRn	CSITn	CSWEn	0	0F1C 0802H +80H×n 00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	
ビット位置	ビット名	意 味							
7	CSICAEn	動作クロックを制御します。 0 : CSI3n へのクロック供給を停止 1 : CSI3n へクロックを供給 注意 1. CSICAEn ビット = 0 にすると、CSI3n ユニットはリセット状態となり、CSI3n は停止します。CSI3n を動作させる場合には、まず CSICAEn ビット = 1 にしてください。 2. CSICAEn ビットを 0→1, 1→0 と書き換える場合は、同時に CSIM3n レジスタの CSICAEn ビット以外のビットを書き換えることは禁止です。 また、CSICAEn ビット = 0 のときに、CSIM3n レジスタの CSICAEn ビット以外のビット、および SFDB3n, SFDB3nL, SFA3n レジスタの書き換えは禁止します。							
6	CTXEn	送信許可／禁止を指定します。 0 : 送信禁止 1 : 送信許可 注意 1. CTXEn ビットは、CSICAEn ビットをクリア (0) するとリセットされます。 2. CTXEn ビットをクリア (0) する場合は、SFA3n.FPCLRn ビットをセット (1) し、CSIBUFn ポインタをクリア (0) してから行ってください。							

備考 n = 0-7

(2/2)

ビット位置	ビット名	意 味
5	CRXEn	受信許可／禁止を指定します。 0：受信禁止 1：受信許可 注意 CRXEn ビットは、CSICAE_n ビットをクリア (0) するとリセットされます。
4	TRMD _n	転送モードを指定します。 0：シングル・モード 1：連続モード
3	DIR _n	SFDB3_n レジスタから CSIBUF_n レジスタへのライト／SIRB3_n, CSIBUF_n レジスタからのリード時の転送方向を指定します。 0：転送データ先頭ビットは MSB 1：転送データ先頭ビットは LSB
2	CSIT _n	送受信完了割り込み信号 (INTCSI3_n) の遅延制御を行います (17.5(14) 送受信完了割り込み (INTCSI3_n) の遅延制御機能参照)。 0：遅延なし 1：遅延モード (1 データの転送終了時に半サイクルの遅延が挿入されるため、次のデータ転送も半サイクル遅れる) 注意 1. 遅延モード (CSIT ビット = 1) は、マスタ・モード (CSIC3_n レジスタの CKS3n2-CKS3n0 ビットが 111 以外) のときのみ有効です。スレーブ・モード (CKS3n2-CKS3n0 ビットが 111) の時は、遅延モードに設定しないでください。設定しても、INTCSI3_n は CSIT_n ビットの影響を受けません。 2. 連続モード (TRMD_n ビット = 1) 時に CSIT_n ビット = 1 に設定した場合、SFN3_n レジスタの SFNn3-SFNn0 ビットで設定した最終データ以外の転送終了時に INTCSI3_n 割り込み自体は出力されませんが、各データ転送間に半クロック分の遅延は挿入できます。
1	CSWEn	転送ウェイトの許可／禁止を指定します。 0：転送ウェイト禁止 (転送スタート時に 1 ウェイト挿入しない) 1：転送ウェイト許可 (転送スタート時に 1 ウェイト挿入する) 注意 転送ウェイトの挿入 (CSWEn ビット = 1) は、マスタ・モード (CSIC3_n レジスタの CKS3n2-CKS3n0 ビットが 111 以外) のときのみ有効です。スレーブ・モード (CKS3n2-CKS3n0 ビットが 111) の時は、転送ウェイトの挿入をしないでください。設定しても、転送ウェイトは挿入されません。

備考 n = 0-7

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ 30-37 (CSIC30-CSIC37)

CSIC3n レジスタは、CSI3n の動作クロックと動作モードを制御するレジスタです。

8/1 ビット単位でリード／ライト可能です。

注意 CSIC3n レジスタへのライトは、CSIM3n レジスタの CTXEn ビット = 0、および CRXEn ビット = 0 のときのみ可能です。

(1/3)

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC3n	MDLn2	MDLn1	MDLn0	CKPn	DAPn	CKS3n2	CKS3n1	CKS3n0	0F1C 0807H +80H×n	07H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味																																													
7-5	MDLn2- MDLn0	転送クロック（BRGn 出力信号）を指定します。 <table><tr><th>MDLn2</th><th>MDLn1</th><th>MDLn0</th><th>設定値 (N)</th><th>転送クロック (BRGn 出力信号)</th></tr><tr><td>0</td><td>0</td><td>0</td><td>—</td><td>BRGn ストップ・モード（パワー・セーブ）</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>f_{XCLK}/2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>2</td><td>f_{XCLK}/4</td></tr><tr><td>0</td><td>1</td><td>1</td><td>3</td><td>f_{XCLK}/6</td></tr><tr><td>1</td><td>0</td><td>0</td><td>4</td><td>f_{XCLK}/8</td></tr><tr><td>1</td><td>0</td><td>1</td><td>5</td><td>f_{XCLK}/10</td></tr><tr><td>1</td><td>1</td><td>0</td><td>6</td><td>f_{XCLK}/12</td></tr><tr><td>1</td><td>1</td><td>1</td><td>7</td><td>f_{XCLK}/14</td></tr></table> 注意 スレープ・モード（CKS3n2-CKS3n0 ビット = 111）時には、MDLn2-MDLn0 ビット = 000（BRGn ストップ・モード）に設定することを推奨します。 備考 f_{XCLK}：CKS3n2-CKS3n0 ビットで選択した基本クロック	MDLn2	MDLn1	MDLn0	設定値 (N)	転送クロック (BRGn 出力信号)	0	0	0	—	BRGn ストップ・モード（パワー・セーブ）	0	0	1	1	f _{XCLK} /2	0	1	0	2	f _{XCLK} /4	0	1	1	3	f _{XCLK} /6	1	0	0	4	f _{XCLK} /8	1	0	1	5	f _{XCLK} /10	1	1	0	6	f _{XCLK} /12	1	1	1	7	f _{XCLK} /14
MDLn2	MDLn1	MDLn0	設定値 (N)	転送クロック (BRGn 出力信号)																																											
0	0	0	—	BRGn ストップ・モード（パワー・セーブ）																																											
0	0	1	1	f _{XCLK} /2																																											
0	1	0	2	f _{XCLK} /4																																											
0	1	1	3	f _{XCLK} /6																																											
1	0	0	4	f _{XCLK} /8																																											
1	0	1	5	f _{XCLK} /10																																											
1	1	0	6	f _{XCLK} /12																																											
1	1	1	7	f _{XCLK} /14																																											

備考 n = 0-7

ビット位置	ビット名	意 味															
4, 3	CKPn, DAPn	SCKn に対するデータの送信, 受信タイミングを指定します。															
		<table border="1"> <thead> <tr> <th>CKPn</th><th>DAPn</th><th>SCKn 対する送信, 受信タイミング指定</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td> </td></tr> <tr> <td>0</td><td>1</td><td> </td></tr> <tr> <td>1 注</td><td>0</td><td> </td></tr> <tr> <td>1 注</td><td>1</td><td> </td></tr> </tbody> </table>	CKPn	DAPn	SCKn 対する送信, 受信タイミング指定	0	0		0	1		1 注	0		1 注	1	
CKPn	DAPn	SCKn 対する送信, 受信タイミング指定															
0	0																
0	1																
1 注	0																
1 注	1																

注 マスタ・モード (CKS3n2-CKS3n0 ビットが 111 以外) 時に CKPn ビット = 1 とした場合, SCKn 端子の出力は, インアクティブ時にロー・レベル出力となります。ただし, CSIM3n レジスタの CTXEn ビット = 0 (送信禁止) および CRXEn ビット = 0 (受信禁止) とした場合, SCKn 端子の出力は, ハイ・レベルとなります。
このため CSI3n の未使用時に SCKn 端子の出力をロー・レベルに固定とする場合は次のようにしてください。

【SCK0 端子 (SCK1 端子) の場合】

- ① PC レジスタの PC0 ビット = 0 にする (PC レジスタの PC3 ビット = 0 にする)
: ポート出力レベルをロー・レベルに設定
 - ② PMC レジスタの PMC0 ビット = 0 にする (PMC レジスタの PMC3 ビット = 0 にする)
: ポートを出力モードに設定
 - ③ PMCTC レジスタの PMCTC0 ビット = 0 にする (PMCTC レジスタの PMCTC3 ビット = 0 にする)
: 端子をポート・モードに切り替え (ロー・レベル出力固定)
 - ④ CSIM30 レジスタの CTXE0 ビット = 0 および CRXE0 ビット = 0 にする
(CSIM31 レジスタの CTXE1 ビット = 0 および CRXE1 ビット = 0 にする)
: 送信および受信禁止
 - ⑤ CSIM30 レジスタの CTXE0 ビット = 1 または CRXE0 ビット = 1 にする
(CSIM31 レジスタの CTXE1 ビット = 1 または CRXE1 ビット = 1 にする)
: 送信または受信許可 (送受信許可も可能)
 - ⑥ PMCTC レジスタの PMCTC0 ビット = 1 にする (PMCTC レジスタの PMCTC3 ビット = 1 にする)
: 端子をコントロール・モード (SCK0, SCK1 端子出力) に切り替え
- なお, ①, ②のレジスタ設定値は保持されているため, 一度設定すれば, ③-⑥のみの設定で制御できます。

備考 n = 0-7

ビット位置	ビット名	意 味						
2-0	CKS3n2- CKS3n0	基本クロック（プリスケアラ出力）を指定します。						
		CKS3n2	CKS3n1	CKS3n0	設定値 (K)	基本 クロック (f _{XCLK}) 注	モード	SCKn 入出力
		0	0	0	0	PCLK	マスタ・モード	出力
		0	0	1	1	PCLK/2	マスタ・モード	出力
		0	1	0	2	PCLK/4	マスタ・モード	出力
		0	1	1	3	PCLK/8	マスタ・モード	出力
		1	0	0	4	PCLK/16	マスタ・モード	出力
		1	0	1	5	PCLK/32	マスタ・モード	出力
		1	1	0	6	PCLK/64	マスタ・モード	出力
		1	1	1	7	SCKn 入力	スレーブ・モード	入力

注 転送クロックの最大周波数は、PCLK/4 です。MDLn2-MDLn0 と CKS3n2-CKS3n0 の設定に合わせて、転送クロックが PCLK の 1/4 以下になるように設定してください。

注意 CSIC3n レジスタの CKS3n2-CKS3n0 ビット= 000 に設定した場合、CSIC3n レジスタの MDLn2-MDLn0 ビット= 001 の設定は禁止します。

- 備考 1. PCLK：周辺マクロ・クロック
2. n = 0-7

(3) 受信データ・バッファ・レジスタ 30-37 (SIRB30-SIRB37)

SIRB3n レジスタは、受信データを格納する 16 ビット・バッファ・レジスタです。

連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時には、続けてリードすることで、リード用 CSIBUFn ポインタをインクリメントしながら、CSIBUFn レジスタ内の受信済みデータを順次リードできます。

シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時には、SIRB3n レジスタをリードすることで、受信済みデータをリードして SIRB3n レジスタが空になったことを判断します。

SIRB3n レジスタは 16 ビット単位でリードのみ可能です。

SIRB3n レジスタの上位 8 ビットを SIRB3nH レジスタ、下位 8 ビットを SIRB3nL レジスタとして使用した場合は、8 ビット単位でリードのみ可能です。なお、8 ビット単位でリードする場合は、必ず SIRB3nH レジスタ、SIRB3nL レジスタの順番で行ってください。

注意 SIRB3n レジスタと SIRB3nL レジスタは、EP3-AM1 の構造上、同一アドレスに配置されません。

SIRB3nL レジスタと SIRB3nH レジスタは、次のアドレスでアクセスしてください。

SIRB3nL レジスタ：0F1C 080A+80H×n

SIRB3nH レジスタ：0F1C 080F+80H×n

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値 [※]
SIRB3n	SIRBn15	SIRBn14	SIRBn13	SIRBn12	SIRBn11	SIRBn10	SIRBn9	SIRBn8	SIRBn7	SIRBn6	SIRBn5	SIRBn4	SIRBn3	SIRBn2	SIRBn1	SIRBn0	0F1C 0808H +80H×n	0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

注 連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時：不定

ビット位置	ビット名	意 味
15-0	SIRBn15- SIRBn0	受信データを格納します。

備考 1. n = 0-7

2. SIRB3n レジスタは、CSIM3n レジスタの CSICAE_n ビット = 0 で 0000H になります。

(4) 送信データ CSI バッファ・レジスタ 30-37 (SFDB30-SFDB37)

SFDB3n レジスタは、送信データを格納する 16 ビット・バッファ・レジスタです。

ライト時には、ライト用 CSIBUFn ポインタをインクリメントしながら、CSIBUFn レジスタ内に送信データを順次格納します。

リード時には、最後にライトした送信データの値がリードされます。

SFDB3n レジスタは 16 ビット単位でリード／ライト可能です。

SFDB3n レジスタの上位 8 ビットを SFDB3nH レジスタ、下位 8 ビットを SFDB3nL レジスタとして使用した場合は、8 ビット単位でリード／ライト可能です。なお、8 ビット単位でライトする場合は、必ず SFDB3nH レジスタ、SFDB3nL レジスタの順番で行ってください。

注意 SFDB3n レジスタと SFDB3nL レジスタは、EP3-AM1 の構造上、同一アドレスに配置されません。

SFDB3nL レジスタと SFDB3nH レジスタは、次のアドレスでアクセスしてください。

SFDB3nL レジスタ：0F1C 081A+80H×n

SFDB3nH レジスタ：0F1C 081F+80H×n

1514131211109876543210																アドレス	初期値	
SFDB3n	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	SFDB	0F1C 0818H +80H×n	0000H
	n15	n14	n13	n12	n11	n10	n9	n8	n7	n6	n5	n4	n3	n2	n1	n0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置		ビット名		意 味														
15-0		SFDBn15- SFDBn0		送信データを格納します。														
備考 n = 0-7																		

(5) CSIBUF 状態レジスタ 30-37 (SFA30-SFA37)

CSIBUF_n レジスタまたは転送の状態を表示するレジスタです。

8/1 ビット単位でリード／ライト可能です（ただし、ビット 6-0 はリードのみ可能です。ライトしても変化しません）。

注意 1. CSIM3_n レジスタの CSICAE_n ビット = 1 および周辺マクロ・クロック (PCLK) が停止している場合は、SFA3_n レジスタのリードは禁止します。

2. 転送中の SFFUL_n, SFEMP_n, CSOT_n, SFPn3-SFPn0 ビット値は、常に変化する可能性があるため、転送中のリード値は実際の値とは異なる場合があります。特に CSOT_n ビットは、単独で使用してください（他のビットと関連付けて使用しないでください）。また、転送終了の判断を SFA3_n レジスタで行う場合は、転送予定分の転送データを CSIBUF_n レジスタへライト後の SFEMP_n ビット = 1 で判断するようにしてください。

3. SFDB3_n, SFDB3_nL レジスタのライト後に SFA3_n レジスタの、SFFUL_n, SFEMP_n, SFPn3-SFPn0 ビット値が変化するまで、PCLK×2 の期間が必要です。

4. SFFUL_n ビット = 1 になる前に SFA3_n レジスタをリードし、17 個目のデータをライトした場合、CSIBUF_n オーバフロー割り込み (INTCOVF3_n) が発生します。

(1/3)

								アドレス	初期値
								0F1C 0822H +80HX _n	20H
SFA3 _n	7	6	5	4	3	2	1	0	
	FPCLR _n	SFFUL _n	SFEMP _n	CSOT _n	SFPn3	SFPn2	SFPn1	SFPn0	
R/W	R/W	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
7	FPCLR _n	CSIBUF_n ポインタのクリアを指定します。 0：動作なし 1：全 CSIBUF_n ポインタをクリア (0) 注意 1. リード時には常に 0 が読み出されます。 2. 転送途中に FPCLR_n ビット = 1 のライトを行った場合、転送は中断されます。また、全 CSIBUF_n ポインタがクリア (0) されるため、CSIBUF_n レジスタ内の残りのデータも無視されます。 FPCLR_n ビット = 1 のライトを行った場合には、必ず SFA3_n レジスタのリードを行い、全 CSIBUF_n ポインタが確実にクリア (0) されたこと (SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000) を確認してください。FPCLR_n ビット = 0 のライトを行っても何も起こりません。

備考 1. n = 0-7

2. SFA3_n レジスタは、CSIM3_n レジスタの CSICAE_n ビット = 0 で 20H になります。

ビット位置	ビット名	意 味
6	SFFULn	CSIBUFn レジスタの full 状態フラグです。 0 : CSIBUFn レジスタに空きあり 1 : CSIBUFn レジスタは full 状態 注意 1. CSIM3n レジスタの CSICAE_n ビット = 0, FPCLR ビット = 1 のライトでクリア (0) されます。 2. 連続モード (CSIM3n レジスタの TRMD_n ビット = 1) 時に 16 個のデータ転送を指定した場合 (SFN3n レジスタの SFNn3-SFNn0 ビット = 0000), シングル・モード (CSIM3n レジスタの TRMD_n ビット = 0) と同様に CSIBUFn レジスタにデータが 16 個あるときには SFFUL_n ビット = 1 になり, 1 つでもデータ転送が終了したときには SFFUL_n ビット = 0 になりますが, 実際に CSIBUFn レジスタに空きができたわけではありません。
5	SFEMPn	CSIBUFn レジスタの empty 状態フラグです。 0 : CSIBUFn レジスタにデータあり 1 : CSIBUFn レジスタは empty 状態 注意 1. CSIM3n レジスタの CSICAE_n ビット = 0, FPCLR ビット = 1 のライトでセット (1) されます。 2. CSIBUFn レジスタ内にライトされた転送データ分の転送が終了すると, SFEMP_n ビット = 1 になります (CSIBUFn レジスタ内に受信データが格納されていても SFEMP_n ビット = 1 になります)。
4	CSOTn	転送状態フラグです。 0 : アイドル状態 1 : 転送中または転送開始処理中 注意 1. CSIM3n レジスタの CSICAE_n ビット = 0, FPCLR_n ビット = 1 のライト, または CSIM3n レジスタの CTXE_n ビット = 0 および CRXE_n ビット = 0 でクリア (0) されます。 2. シングル・モード (CSIM3n レジスタの TRMD_n ビット = 0) 時には転送開始から CSIBUFn レジスタ内の転送データがなくなるまで, 連続モード (CSIM3n レジスタの TRMD_n ビット = 1) 時には転送開始から指定したデータ数分の転送が終了するまで '1' を保持します。

備考 n = 0-7

ビット位置	ビット名	意 味
3-0	SFPn3- SFPn0	・ シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時には、「CSIBUFn レジスタ内の残りの転送データ数 (ライト用 CSIBUFn ポインタ値 - SIO_n ロード用 CSIBUFn ポインタ値)」がリードできます。 ・ 連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時には、「転送完了したデータ数 (SIO_n ロード／ストア用 CSIBUFn ポインタの値)」がリードできます。ただし、SFPn3-SFPn0 ビット = 0H の場合の値は SFEMPn ビットの設定により次のようになります。 SFEMPn ビット = 0 のとき: 転送完了したデータ数 = 0 個 SFEMPn ビット = 1 のとき: 転送完了したデータ数 = 16 個、または転送開始前 (転送データ・ライト前) の状態 注意 FPCLRn ビット = 1 のライトにより、動作クロックに同期してクリア (0) されます。ただし、CSIM3n レジスタの CSICAEn ビット = 0 または FPCLRn ビット = 1 のライトを行うまで値は保持されます。

備考 n = 0-7

(6) 転送データ長選択レジスタ 30-37 (CSIL30-CSIL37)

CSIL3n レジスタは、CSI3n の転送データ長を選択するレジスタです。

8/1 ビット単位でリード／ライト可能です。

ビット 7-4 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

注意 CSIL3n レジスタは、CSIM3n レジスタの CTXEn ビット = 1 または CRXEn ビット = 1 の場合は転送中の可能性があります。CSIL3n レジスタへのライトは必ず CTXEn ビット = 0 および CRXEn ビット = 0 に設定してから実行してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIL3n	0	0	0	0	CCLn3	CCLn2	CCLn1	CCLn0	0F1C 0827H +80H×n	00H
R/W	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味																																																							
3-0	CCLn3- CCLn0	転送データ長を指定します。 <table><tr><th>CCLn3</th><th>CCLn2</th><th>CCLn1</th><th>CCLn0</th><th>転送データ長</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>16 ビット</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 ビット</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9 ビット</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10 ビット</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11 ビット</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12 ビット</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13 ビット</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14 ビット</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15 ビット</td></tr><tr><td colspan="4">その他</td><td>設定禁止</td></tr></table> 注意 転送データ長に 16 ビット（CCLn3-CCLn0 ビット = 0000）以外を指定した場合，SIRB3n, CSIBUFn レジスタの上位側の余ったビットには不定値がリードされます（17.5(3) データ転送方向指定機能参照）。	CCLn3	CCLn2	CCLn1	CCLn0	転送データ長	0	0	0	0	16 ビット	1	0	0	0	8 ビット	1	0	0	1	9 ビット	1	0	1	0	10 ビット	1	0	1	1	11 ビット	1	1	0	0	12 ビット	1	1	0	1	13 ビット	1	1	1	0	14 ビット	1	1	1	1	15 ビット	その他				設定禁止
CCLn3	CCLn2	CCLn1	CCLn0	転送データ長																																																					
0	0	0	0	16 ビット																																																					
1	0	0	0	8 ビット																																																					
1	0	0	1	9 ビット																																																					
1	0	1	0	10 ビット																																																					
1	0	1	1	11 ビット																																																					
1	1	0	0	12 ビット																																																					
1	1	0	1	13 ビット																																																					
1	1	1	0	14 ビット																																																					
1	1	1	1	15 ビット																																																					
その他				設定禁止																																																					

備考 n = 0-7

(7) 転送データ数指定レジスタ 30-37 (SFN30-SFN37)

SFN3n レジスタは、連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時の CSI3n の転送データ数を設定するレジスタです。

8/1 ビット単位でリード／ライト可能です。

								アドレス	初期値
								0F1C 0832H	00H
								+80H×n	
SFN3n	7	6	5	4	3	2	1	0	
	0	0	0	0	SFNn3	SFNn2	SFNn1	SFNn0	
R/W	0	0	0	0	R/W	R/W	R/W	R/W	
ビット位置	ビット名		意 味						
3-0	SFN n3- SFN n0		転送データ数を指定します。						
			SFNn3	SFNn2	SFNn1	SFNn0	転送データ長		
			0	0	0	0	16		
			0	0	0	1	1		
			0	0	1	0	2		
			0	0	1	1	3		
			0	1	0	0	4		
			0	1	0	1	5		
			0	1	1	0	6		
			0	1	1	1	7		
			1	0	0	0	8		
			1	0	0	1	9		
			1	0	1	0	10		
			1	0	1	1	11		
			1	1	0	0	12		
			1	1	0	1	13		
			1	1	1	0	14		
			1	1	1	1	15		
			注意 SFNn3-SFNn0 ビット設定値（CSI3n 転送データ数）を越えるデータを CSIBUFn レジスタへライトすることは禁止します（ライトしてもそのデータは無視されます）。						
備考 n = 0-7									

17.4 専用ポー・レート・ジェネレータ 0-7 (BRG0-BRG7)

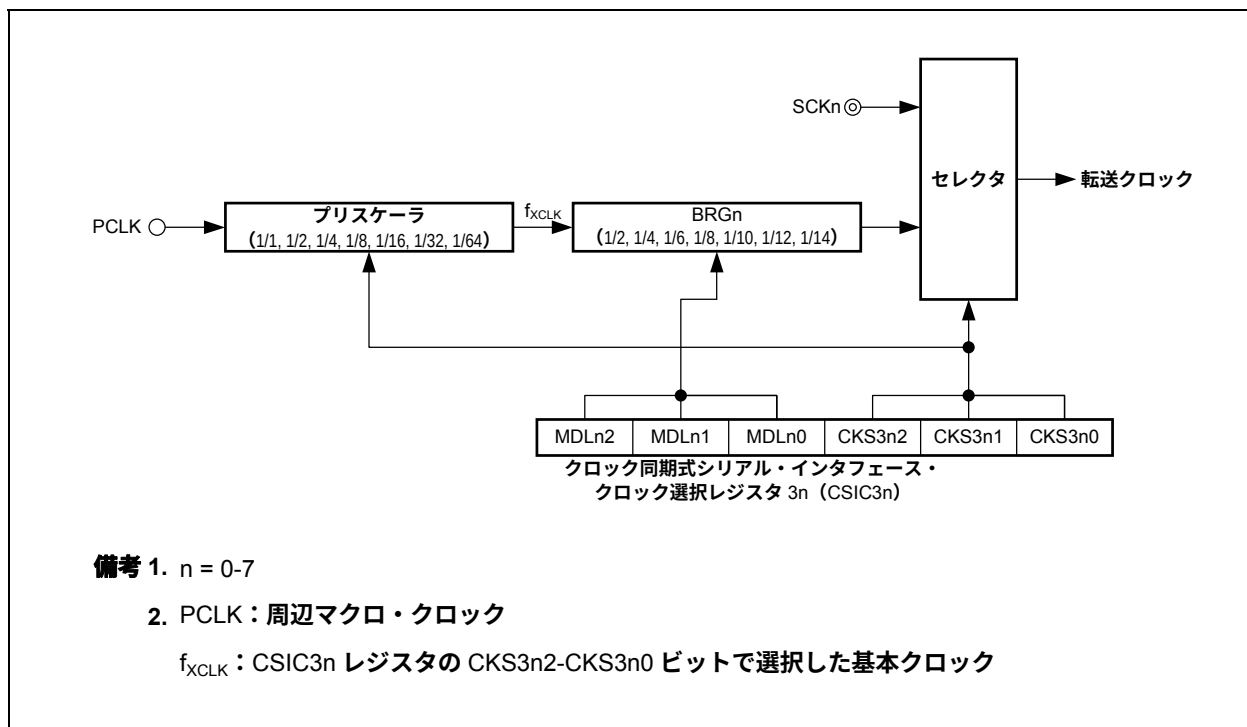
CSI3n の転送クロックは、専用ポー・レート・ジェネレータ出力または外部クロックから選択できます (n = 0-7)。

シリアル・クロック・ソースは、CSIC3n レジスタで指定します。

マスタ・モードを指定した場合 (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) は、クロック・ソースとして BRGn が選択されます。

17.4.1 転送クロック

図 17-2 CSI3n の転送クロック



17.4.2 ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{F}{N \times 2^{(K+1)}} \text{ [bps]}$$

F = PCLK (PCLK: 周辺マクロ・クロック)

K = CSIC3n レジスタの CKS3n2-CKS3n0 ビットで設定した値 (K = 0, 1, 2, ..., 6)

N = CSIC3n レジスタの MDLn2-MDLn0 ビットで設定した値 (N = 1, 2, 3, ..., 7)

注意 最大転送レートはPCLK/4であるため、CSIC3n レジスタのCKS3n2-CKS3n0ビット = 000 に設定した場合、CSIC3n レジスタのMDLn2-MDLn0 ビット = 001 の設定は禁止します。

17.5 動作

(1) 動作モード一覧

表 17-1 動作モード一覧

TRMDn ビット	CKS3n2-CKS3n0 ビット	CTXEn, CRXEn ビット	DIRn ビット	CSITn ビット	CSWEn ビット
シングル・モード	マスタ・モード	送信／受信／送受信	MSB/LSB 先頭	INTCSI3n 遅延モード の許可／禁止	転送ウェイト禁止
	スレーブ・モード			—	転送ウェイト許可
連続モード	マスタ・モード			INTCSI3n 遅延モード の許可／禁止	転送ウェイト禁止
	スレーブ・モード			—	転送ウェイト許可

備考 1. CTXEn ビット : CSIM3n レジスタのビット 6
 CRXEn ビット : CSIM3n レジスタのビット 5
 TRMDn ビット : CSIM3n レジスタのビット 4
 DIRn ビット : CSIM3n レジスタのビット 3
 CSITn ビット : CSIM3n レジスタのビット 2
 CSWEn ビット : CSIM3n レジスタのビット 1
 CKS3n2-CKS3n0 ビット : CSIC3n レジスタのビット 2-0

2. n = 0-7

(2) CSI データ・バッファ・レジスタ 0-7 (CSIBUF0-CSIBUF7) 機能

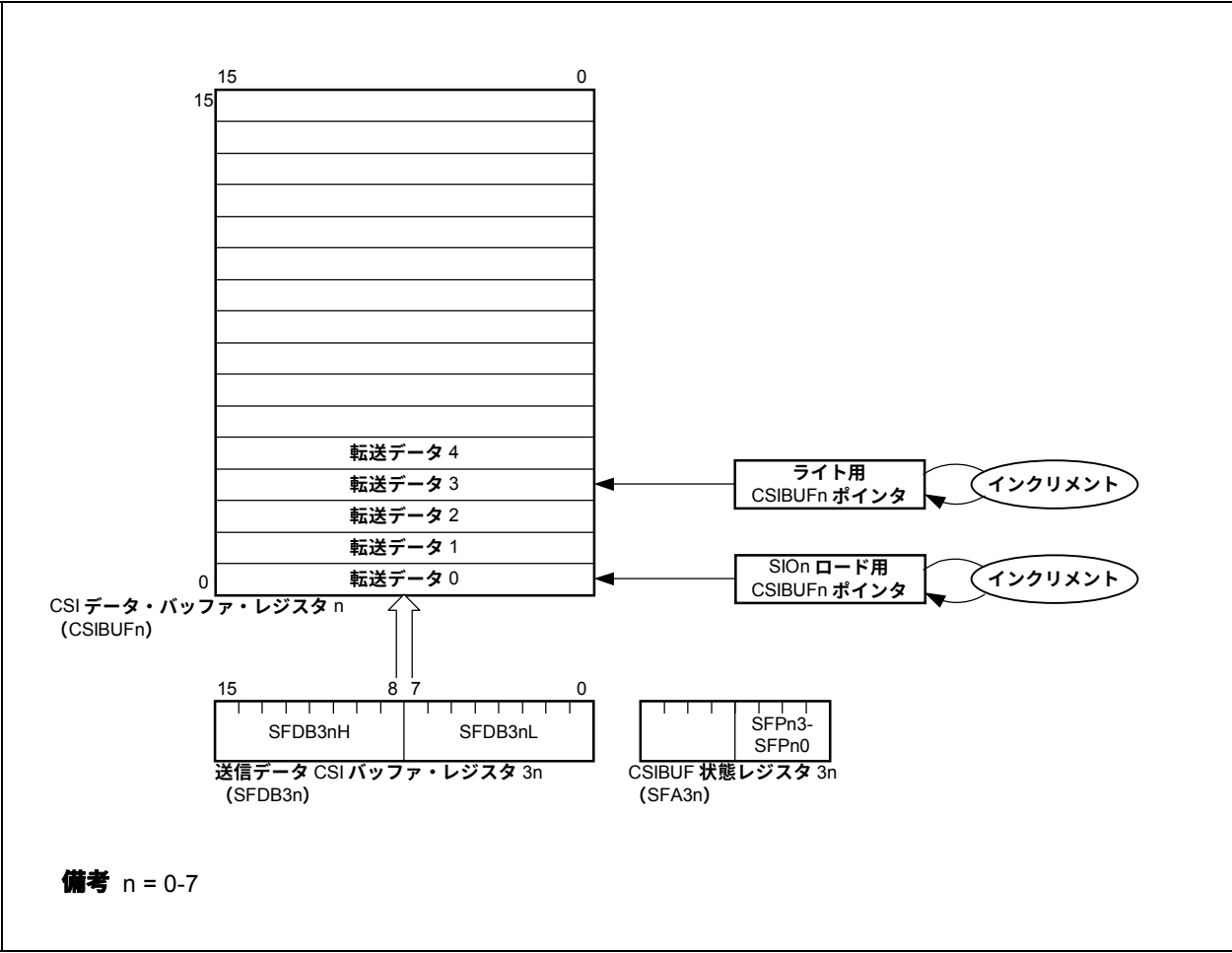
転送する送信データを SFDB3n レジスタに連続ライトすることにより、自動的にライト用 CSIBUFn ポインタをインクリメントしながら CSIBUFn レジスタ内にデータを格納できます (CSIBUFn レジスタ・サイズは 16 ビット×16) (n = 0-7)。

転送の開始条件 (SFA3n レジスタの SFEMPn ビット = 0) は、SFDB3n レジスタの下位 8 ビット側 (SFDB3nL レジスタ) へのライトで成立します。このため、転送データ長を 9 ビット以上 (CSIL3n レジスタの CCLn3-CCLn0 ビット = 0000, 1001-1111) に指定した場合は、SFDB3n レジスタへの 16 ビット・ライト、または SFDB3nH, SFDB3nL レジスタの順で 8 ビット・ライトするようにデータ設定してください。また、転送データ長を 8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) に指定した場合は、SFDB3nL レジスタへの 8 ビット・ライト、または SFDB3n レジスタへの 16 ビット・ライトするようにデータ設定してください (ただし、SFDB3nL レジスタへの 16 ビット・ライトを行っても、上位 8 ビット側 (SFDB3nH レジスタ) の 8 ビット・データは無視され、転送されません)。

SFA3n レジスタの SFFULn ビットは、CSIBUFn レジスタ内に 16 個のデータが存在する場合にセット (1) され、SFFULn ビット = 1 のとき、さらに 17 個目の転送データ・ライトを行った場合に CSIBUFn オーバフロー割り込み (INTCOVF3n) を出力します (17 個目の転送データはライトされず無視されます)。

シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時、CSIBUFn レジスタ内に 16 個のデータが存在する場合とは、「ライト用 CSIBUFn ポインタ値 = SIO_n ロード用 CSIBUFn ポインタ値、および SFA3n レジスタの SFFULn ビット = 1」のときです。転送が終了して、SIO_n ロード用 CSIBUFn ポインタがインクリメントされると、CSIBUFn レジスタには 1 個分の空きができます (連続モード (CSIM3n レジスタの TRMDn ビット = 1) では、1 つのデータ転送が終了しても CSIBUFn レジスタに空きはできません)。

図 17-3 CSI データ・バッファ・レジスタ n (CSIBUFn) 機能



(3) データ転送方向指定機能

CSIM3n レジスタの DIRn ビットにより、データ転送方向を切り替えることができます (n = 0-7)。

(a) MSB 先頭 (DIRn ビット = 0)

**図 17-4 転送データ長：8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,
転送方向：MSB 先頭 (CSIM3n レジスタの DIRn ビット = 0) 設定時 (1/2)**

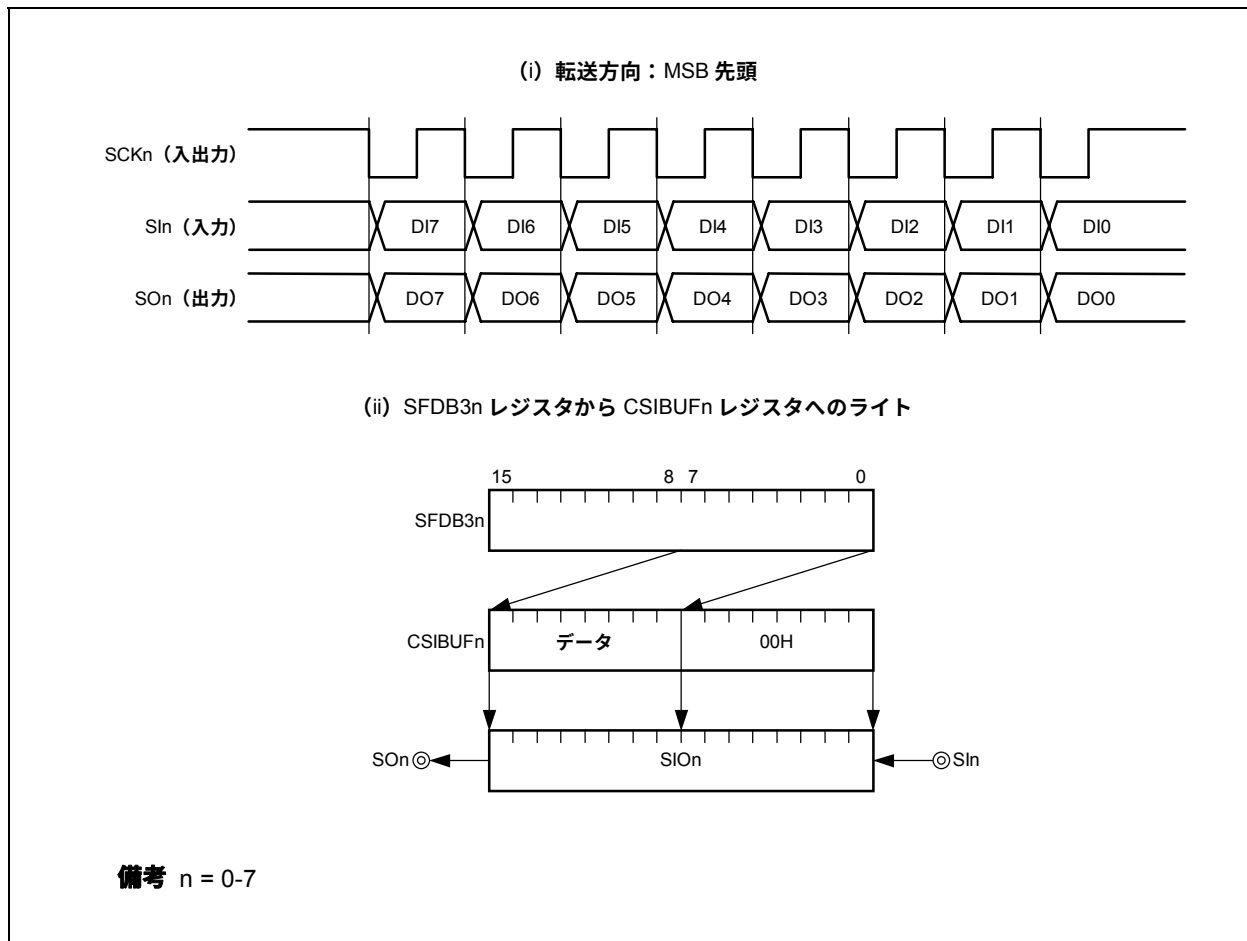
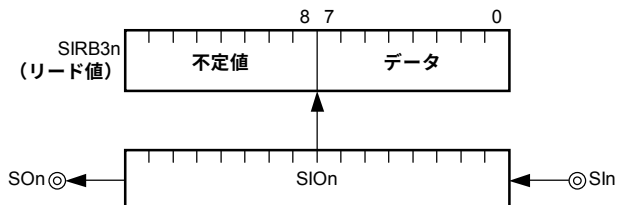
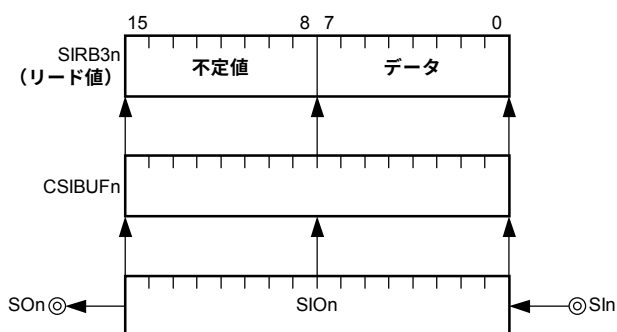


**図 17-4 転送データ長：8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,
転送方向：MSB 先頭 (CSIM3n レジスタの DIRn ビット = 0) 設定時 (2/2)**

(iii) SIRB3n レジスタからのリード (シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時)



(iv) SIRB3n レジスタからのリード (連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時)



備考 n = 0-7

(b) LSB 先頭 (DIRn ビット = 1)

図 17-5 転送データ長：8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,
転送方向：LSB 先頭 (CSIM3n レジスタの DIRn ビット = 1) 設定時 (1/2)

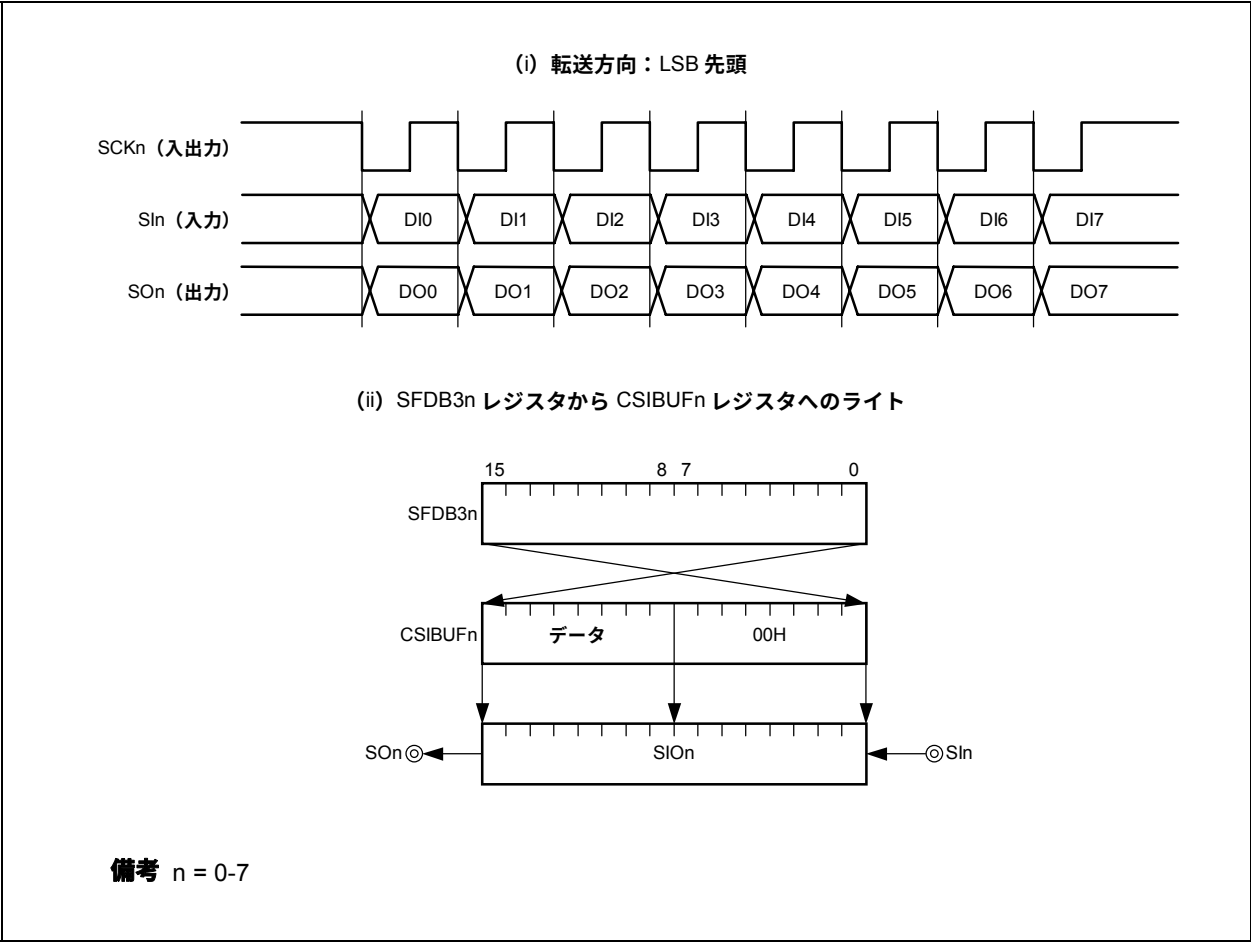
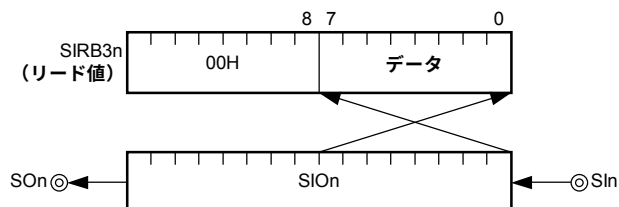
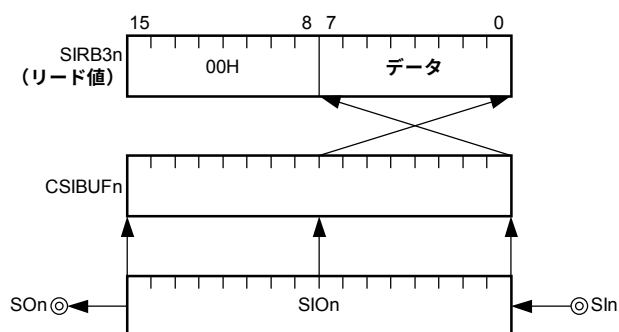


**図 17-5 転送データ長：8 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000) ,
転送方向：LSB 先頭 (CSIM3n レジスタの DIRn ビット = 1) 設定時 (2/2)**

(iii) SIRB3n レジスタからのリード (シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時)



(iv) SIRB3n レジスタからのリード (連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時)

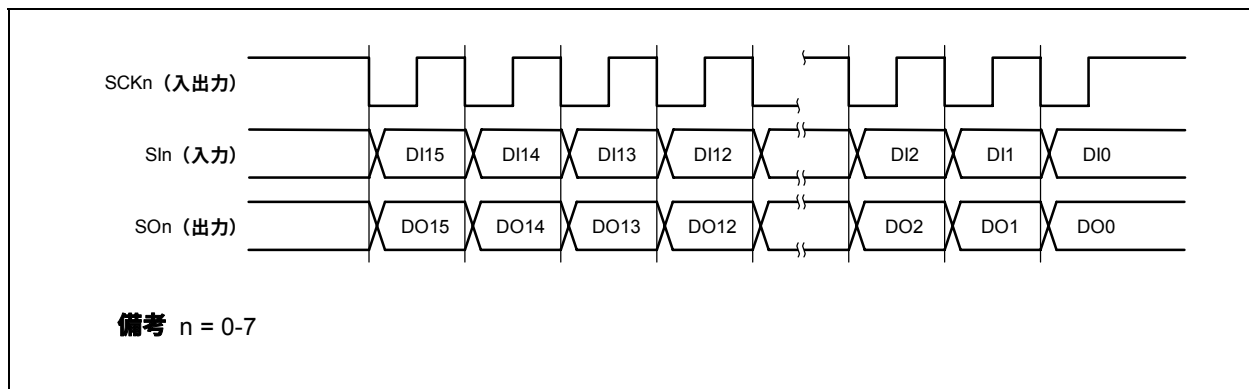


備考 n = 0-7

(4) 転送データ長変更機能

転送データ長は、CSIL3n レジスタの CCLn3-CCLn0 ビットによって、8-16 ビットに 1 ビット単位で設定できます (n = 0-7)。

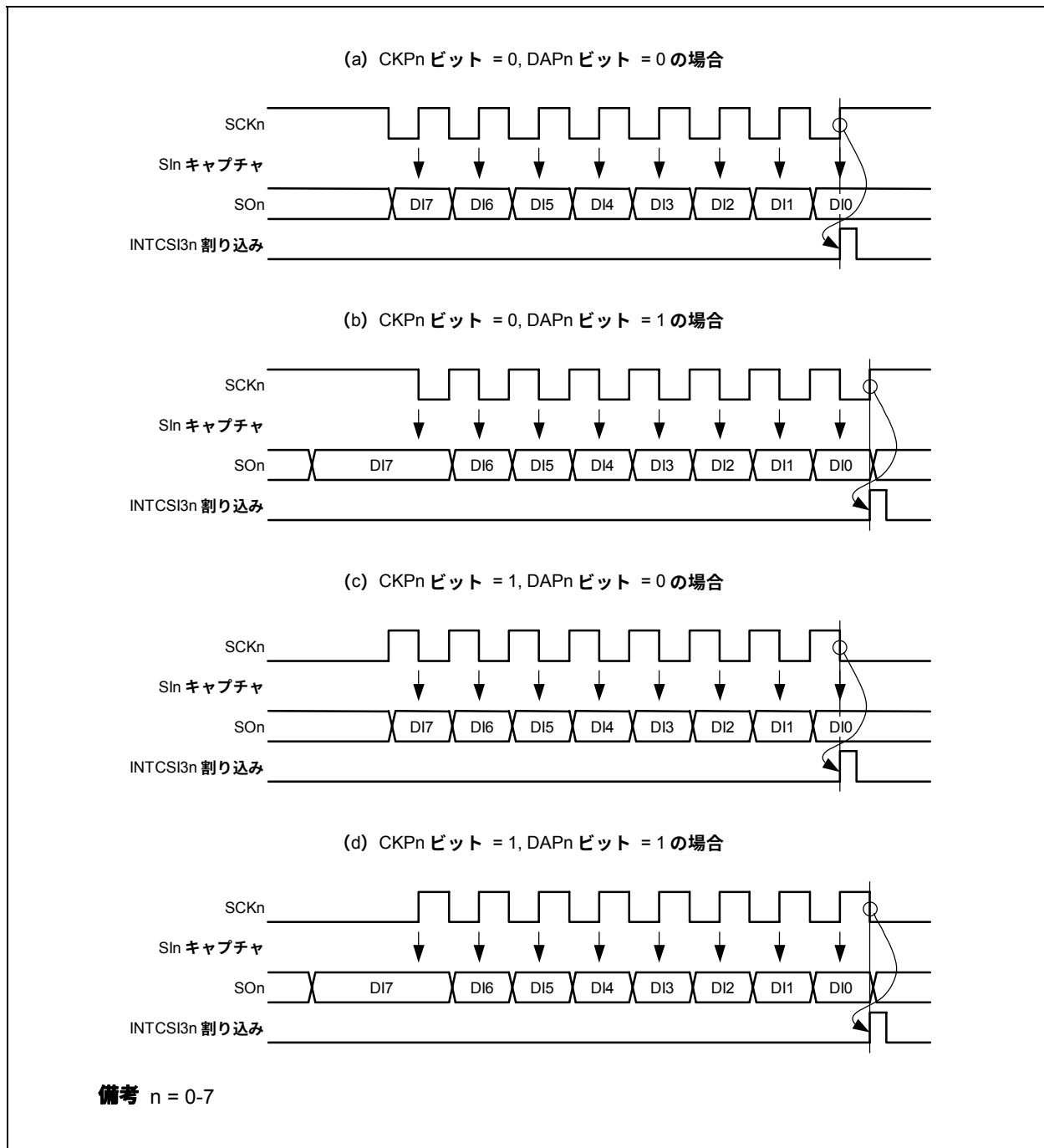
**図 17-6 転送データ長：16 ビット (CSIL3n レジスタの CCLn3-CCLn0 ビット = 0000) ,
転送方向：MSB 先頭 (CSIM3n レジスタの DIRn ビット = 0) 設定時**



(5) シリアル・クロックとデータ・フェーズの切り替え機能

CSIC3n レジスタの CKPn, DAPn ビットによって、シリアル・クロックとデータ・フェーズを切り替えることができます (n = 0-7)。

図 17-7 クロック・タイミング

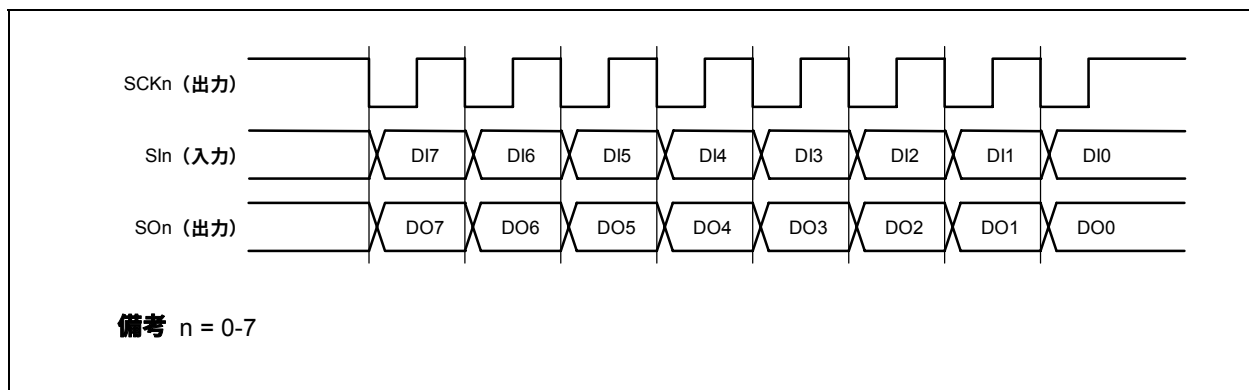


(6) マスタ・モード

CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外に設定することでマスタ・モードになり、SCKn 端子に出力する転送クロックによって転送を行います (SCKn 端子入力は無効です) (n = 0-7)。

なお、SCKn 端子出力のデフォルト・レベルは、CSIC3n レジスタの CKPn ビット = 0 のときはハイ・レベル、CKPn = 1 のときはロー・レベルになります。

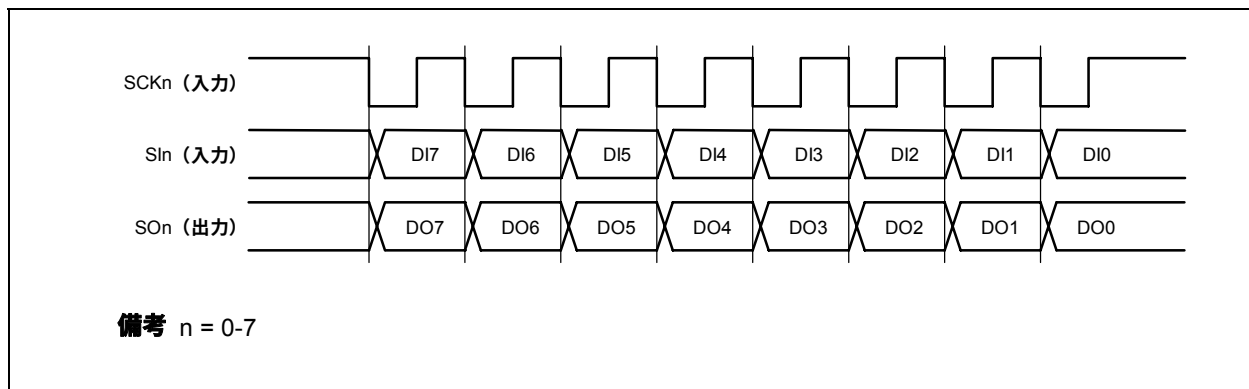
図 17-8 マスタ・モード (CSIC3n レジスタの CKPn, DAPn ビット = 00, CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000 (転送データ長: 8 ビット) 設定時)



(7) スレーブ・モード

CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 に設定することでスレーブ・モードになり, SCKn 端子に入力される転送クロックによって転送を行います (スレーブ・モード時は, CSIC3n レジスタの MDLn2-MDLn0 ビット = 000 に設定し, BRGn ストップ・モードにすることを推奨します) (n = 0-7)。

図 17-9 スレーブ・モード (CSIC3n レジスタの CKPn, DAPn ビット = 00, CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000 (転送データ長: 8 ビット) 設定時)



次にスレーブ・モード時に転送可能状態となる条件を示します。

表 17-2 スレーブ・モード時に転送可能状態となる条件

転送モード		CTXEn ビット	CRXEn ビット	CSIBUFn レジスタ	SIRB3n レジスタ, SION レジスタ
シングル・ モード	送信 モード	1	0	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	—
	受信 モード	0	1	CSIBUFn レジスタにダミー・データあり (SFEMPn ビット = 0)	SIRB3n レジスタまたは SION レジスタが空である
	送受信 モード	1	1	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	
連続 モード	送信 モード	1	0	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	—
	受信 モード	0	1	CSIBUFn レジスタにダミー・データあり (SFEMPn ビット = 0)	—
	送受信 モード	1	1	CSIBUFn レジスタにデータあり (SFEMPn ビット = 0)	—

注意 データ転送可能状態でないときに、マスタから転送クロックが入力されても正常な転送はできません。

備考 1. CTXEn ビット : CSIM3n レジスタのビット 6

CRXEn ビット : CSIM3n レジスタのビット 5

SFEMPn ビット : SFA3n レジスタのビット 5

2. n = 0-7

(8) 転送クロック選択機能

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合, CSIC3n レジスタの CKS3n2-CKS3n0, MDLn2-MDLn0 ビットの設定により, ビット転送レートを選択できます (17.3(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ 30-37 (CSIC30-CSIC37) 参照)。

(9) シングル・モード

CSIM3n レジスタの TRMDn ビット = 0 のとき、シングル・モードとして機能します (n = 0-7)。

シングル・モードの場合、CTXEn ビット = 1 または CRXEn ビット = 1、および CSIBUFn レジスタ内にデータが存在する (SFA3n レジスタの SFEMPn ビット = 0) のとき、転送を開始します。

CSIBUFn レジスタ内にデータが存在しない (SFEMPn ビット = 1) 場合は、SFDB3n レジスタに送信データまたはダミー・データがライトされるまでウェイト状態となります。

送信許可状態 (CTXEn ビット = 1) または受信許可状態 (CRXEn ビット = 1) の場合に CSIBUFn レジスタにデータが転送されると、SFA3n レジスタの CSOTn ビット (転送状態フラグ) をセット (1) し、SIO_n ロード用 CSIBUFn ポインタの示す転送データを CSIBUFn レジスタから SIO_n レジスタへロードし、転送処理を開始します。

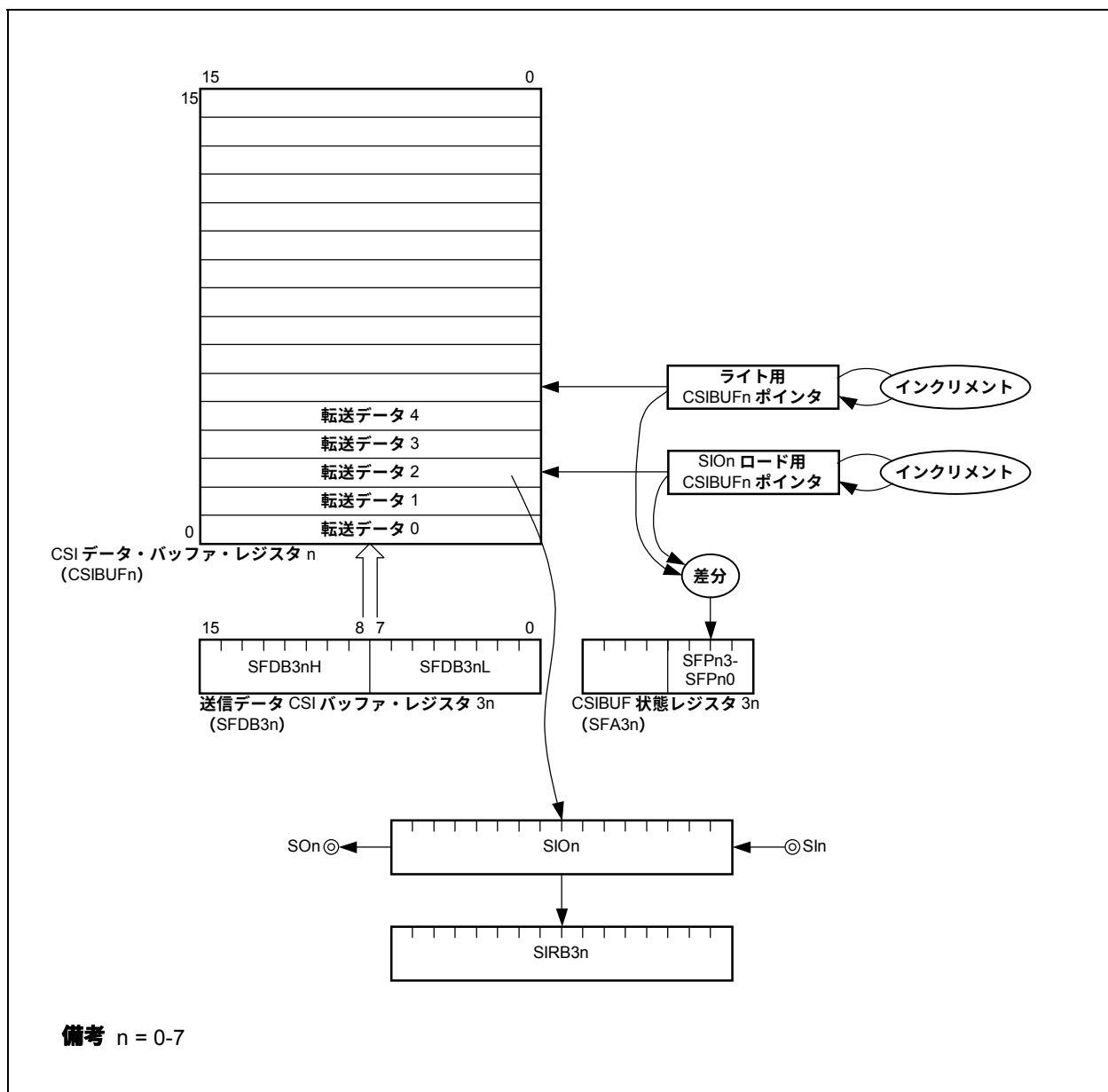
受信モードまたは送受信モードの場合、1 データの転送処理が終了したときに SIRB3n レジスタが空ならば、受信データを SIO_n レジスタから SIRB3n レジスタにストアし、送受信完了割り込み (INTCSI3n) を出力し、SIO_n ロード用 CSIBUFn ポインタをインクリメントします。CSIBUFn レジスタ内に送信データまたはダミー・データが存在するときは、次の転送処理を開始しますが、SIRB3n レジスタから前の受信データをリードして SIRB3n レジスタが空になるまで受信データの SIRB3n レジスタへのストア処理、INTCSI3n 割り込みの出力、SIO_n ロード用 CSIBUFn ポインタのインクリメントを保留します。

送信モードの場合、1 データの転送処理が終了したときは、INTCSI3n 割り込みを出力し、SIO_n ロード用ポインタをインクリメントします (SIO_n レジスタから SIRB3n レジスタへのストアは行わないため、SIRB3n レジスタは常に空です)。

すべてのモード (送信/受信/送受信) において、1 データの転送処理終了時に CSIBUFn レジスタ内が空 (ライト用 CSIBUFn ポインタ値 = SIO_n ロード用 CSIBUFn ポインタ値) の場合は、CSOTn ビットをクリア (0) します。SFA3n レジスタの SFP3n-SFP0n ビットは、常に「CSIBUFn レジスタ内の残りの転送データ数 (ライト用 CSIBUFn ポインタ - SIO_n ロード用ポインタ)」の値がリードできます。

注意 SFDB3n レジスタへのデータ・ライトを行う場合は、必ず SFA3n レジスタの SFFULn ビット = 0 であることを確認してからライトしてください。SFFULn ビット = 1 のときに SFDB3n レジスタへのデータ・ライトを行っても、CSIBUFn オーバフロー割り込み (INTCOVF3n) が出力され、ライトしたデータは無視されます。

図 17-10 シングル・モード



(10) 連続モード

CSIM3n レジスタの TRMDn ビット = 1 のとき、連続モードとして機能します (n = 0-7)。

連続モードの場合、CTXEn ビット = 1 または CRXEn ビット = 1、および CSIBUFn レジスタ内にデータが存在する (SFA3n レジスタの SFEMPn ビット = 0) のとき、転送を開始します。このとき、あらかじめ SFN3n レジスタの SFNn3-SFNn0 ビットで転送データ数を設定しておいてください。CSIBUFn レジスタに SFN3n レジスタの SFNn3-SFNn0 ビットで設定した転送データ数を越えるデータをライトした場合、そのデータは無視され、転送されません。

CSIBUFn レジスタ内にデータが存在しない (SFEMPn ビット = 1) 場合は、SFDB3n レジスタに送信データまたはダミー・データがライトされるまでウェイト状態となります。

送信許可状態 (CTXEn ビット = 1) または受信許可状態 (CRXEn ビット = 1) の場合に CSIBUFn レジスタ内にデータ・ライトが行われると、SFA3n レジスタの CSOTn ビット (転送状態フラグ) をセット (1) し、SIO_n ロード／ストア用 CSIBUFn ポインタの示す転送データを CSIBUFn レジスタから SIO_n レジスタへロードし、転送処理が開始されます。

受信モードまたは送受信モードの場合、1 データの転送処理が終了すると、受信データを SIO_n レジスタから SIO_n ロード／ストア用 CSIBUFn ポインタの示す CSIBUFn レジスタ内の転送データにオーバーライトし、SIO_n ロード／ストア用 CSIBUFn ポインタをインクリメントします。CSIBUFn レジスタ内の全データ転送終了 (INTCSI3n 割り込み発生) 後に、連続して転送データ数分を SIRB3n レジスタからリードすることにより、リード用 CSIBUFn ポインタをインクリメントしながら受信データを順次リードすることができます。

送信モードの場合は、1 データの転送処理が終了すると、SIO_n ロード／ストア用 CSIBUFn ポインタをインクリメントします。

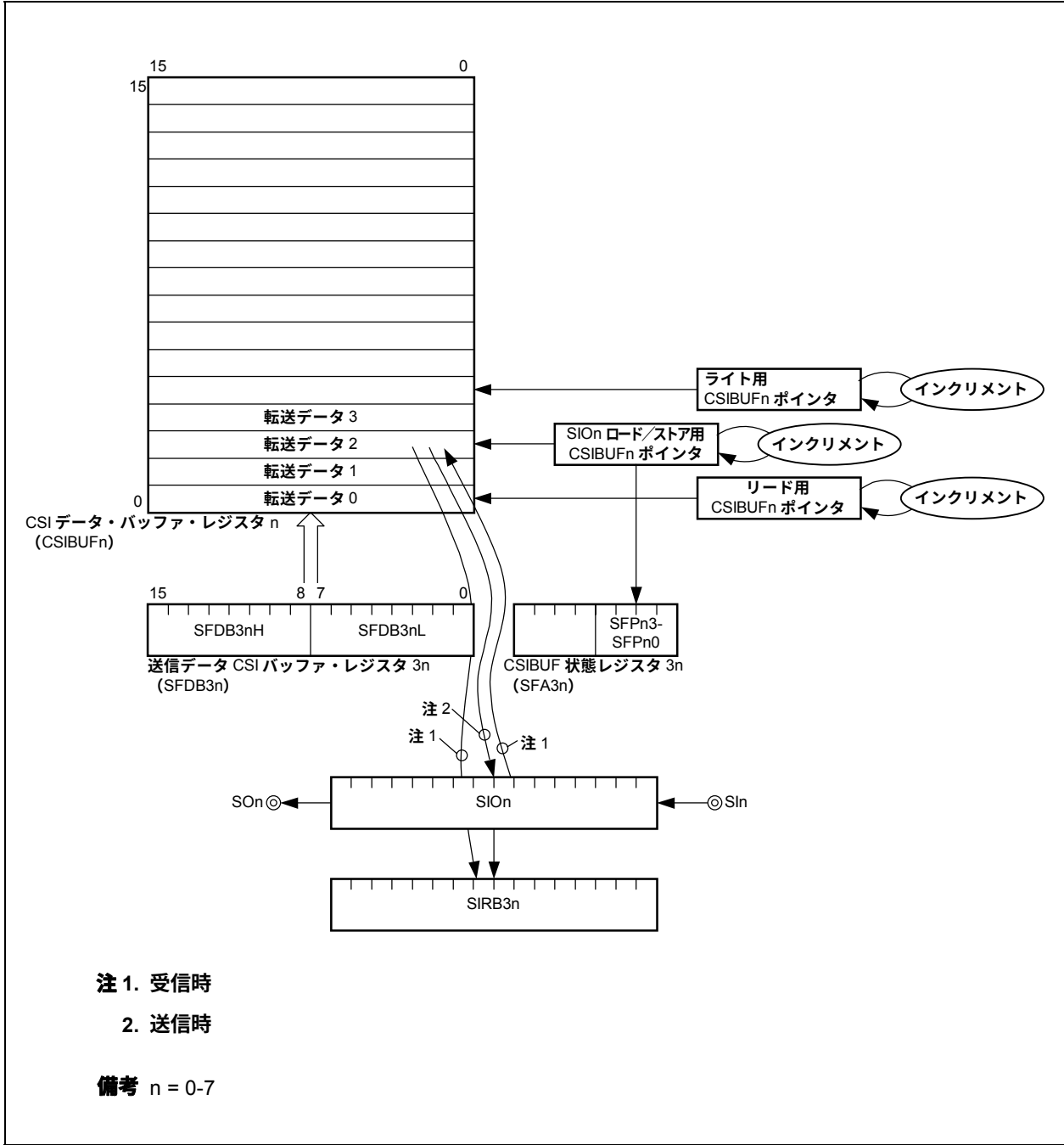
すべてのモード (送信／受信／送受信) において、SFN3n レジスタの SFNn3-SFNn0 ビットに設定した値分の転送が終了した場合は、CSOTn ビットをクリア (0) し、送受信完了割り込み (INTCSI3n) を出力します。

次の転送を行う前には、必ず SFA3n レジスタの FPCLRn ビット = 1 をライトして全 CSIBUFn ポインタをクリア (0) してください。

SFA3n レジスタの SFPn3-SFPn0 ビットには、常に「転送完了データ数 (SIO_n ロード／ストア用 CSIBUFn ポインタの値)」がリードできます。

注意 CSIBUFn ポインタのクリア (SFA3n レジスタの FPCLRn ビット = 1) 後から転送データをライトするまで (転送開始前) の SFA3n レジスタと、16 個のデータ転送を終了したときの SFA3n レジスタは、同じ状態になります (SFA3n レジスタの SFFULn ビット = 0, SFEMPn ビット = 1, SFPn3-SFPn0 ビット = 0000)。

図 17-11 連続モード



(11) 送信モード

CSIM3n レジスタの CTXEn ビット = 1, CRXEn ビット = 0 のとき、送信モードとなります。この状態で SFDB3n レジスタに送信データをライトする、または CSIBUFn レジスタに送信データが存在する状態で CTXEn ビット = 1 とする処理をトリガとして送信を開始します (n = 0-7)。シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) の場合でも、SIRB3n レジスタまたは SIOOn レジスタが空であるかの条件は関係しません。なお、送信中、SIn 端子に入力した値はシフト・レジスタ (SIOOn) 内にラッチされていますが、送信終了時に SIRB3n レジスタおよび CSIBUFn レジスタ内へのデータ転送は行いません。

送受信完了割り込み (INTCSI3n) は、SIOOn レジスタからデータが送出された直後に発生します。

(12) 受信モード

CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 1 のとき、受信モードとなります。この状態で SFDB3n レジスタにダミー・データをライトする処理をトリガとして受信を開始します (n = 0-7)。ただし、シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) の場合は、SIRB3n レジスタまたは SIOOn レジスタが空であることも開始条件に含まれます (SIRB3n レジスタ内に前の受信データがリードされずに保持されている上に、SIOOn レジスタへの受信処理が終了した場合は、SIRB3n レジスタから前の受信データをリードして SIRB3n レジスタが空になるまでウェイト状態となります)。連続モードの場合は、SFDB3n レジスタに受信データ数分のダミー・データをライトし、最初のダミー・データをライトする処理をトリガとして受信を開始します。

SIOOn 端子からはロー・レベルを出力します。

送受信完了割り込み (INTCSI3n) は、受信データが SIOOn レジスタから SIRB3n レジスタに転送された直後に発生します。

(13) 送受信モード

CSIM3n レジスタの CTXEn ビット = 1, CRXEn ビット = 1 のとき、送受信モードとなります。この状態で SFDB3n レジスタに送信データをライトする処理をトリガとして送受信を開始します (n = 0-7)。ただし、シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) の場合は、SIRB3n レジスタまたは SIOOn レジスタが空であることも開始条件に含まれます (SIRB3n レジスタ内に前の受信データがリードされずに保持されている上に、SIOOn レジスタへの受信処理が終了した場合は、SIRB3n レジスタから前の受信データをリードして SIRB3n レジスタが空になるまでウェイト状態となります)。

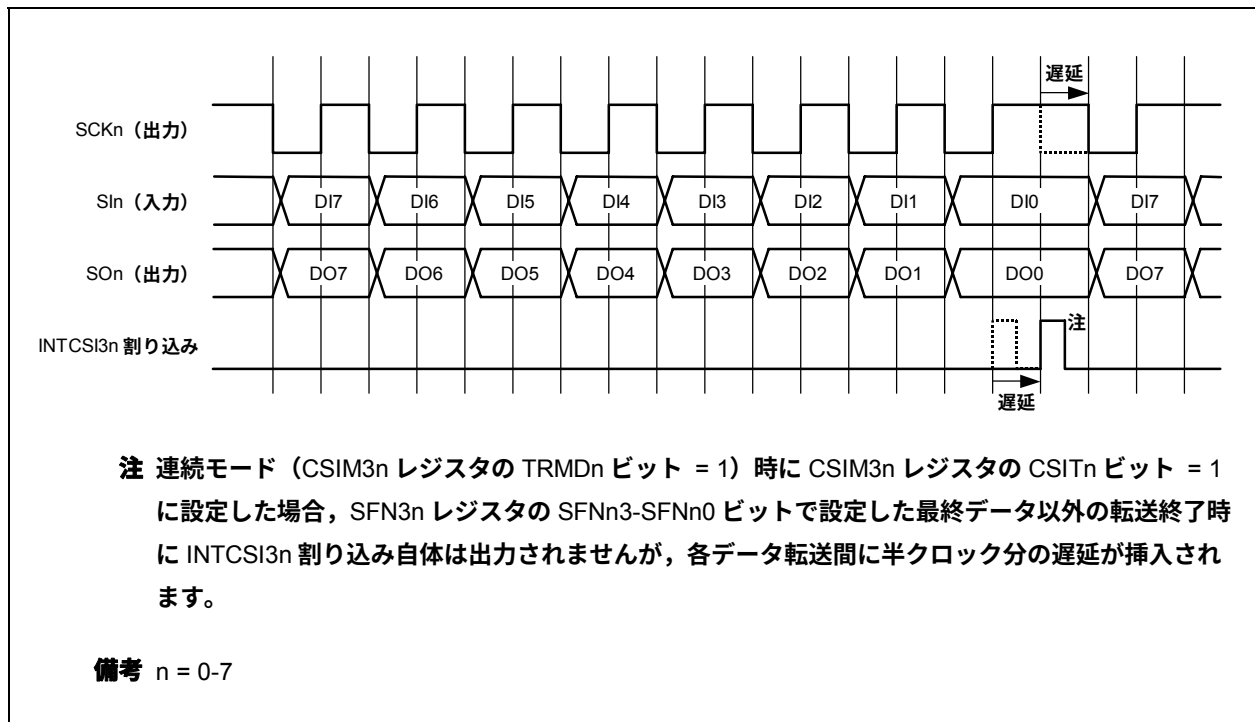
(14) 送受信完了割り込み (INTCSI3n) の遅延制御機能

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合、CSIM3n レジスタの CSITn ビット = 1 の設定により、送受信完了割り込み (INTCSI3n) の発生を半クロック (1/2 シリアル・クロック) 遅らせることができます。CSITn ビットはマスタ・モード時のみ有効です。スレーブ・モード時 (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111) には、CSITn ビット = 1 の設定は禁止です (設定しても、INTCSI3n 割り込みは影響を受けません)。

注意 連続モード (CSIM3n レジスタの TRMDn ビット = 1) 時に CSIM3n レジスタの CSITn ビット = 1 に設定した場合、SFN3n レジスタの SFNn3-SFNn0 ビットで設定した最終データ以外の転送終了時に INTCSI3n 割り込み自体は出力されませんが、各データ転送間に半クロック分の遅延が挿入されます。

図 17-12 送受信完了割り込み (INTCSI3n) の遅延制御機能

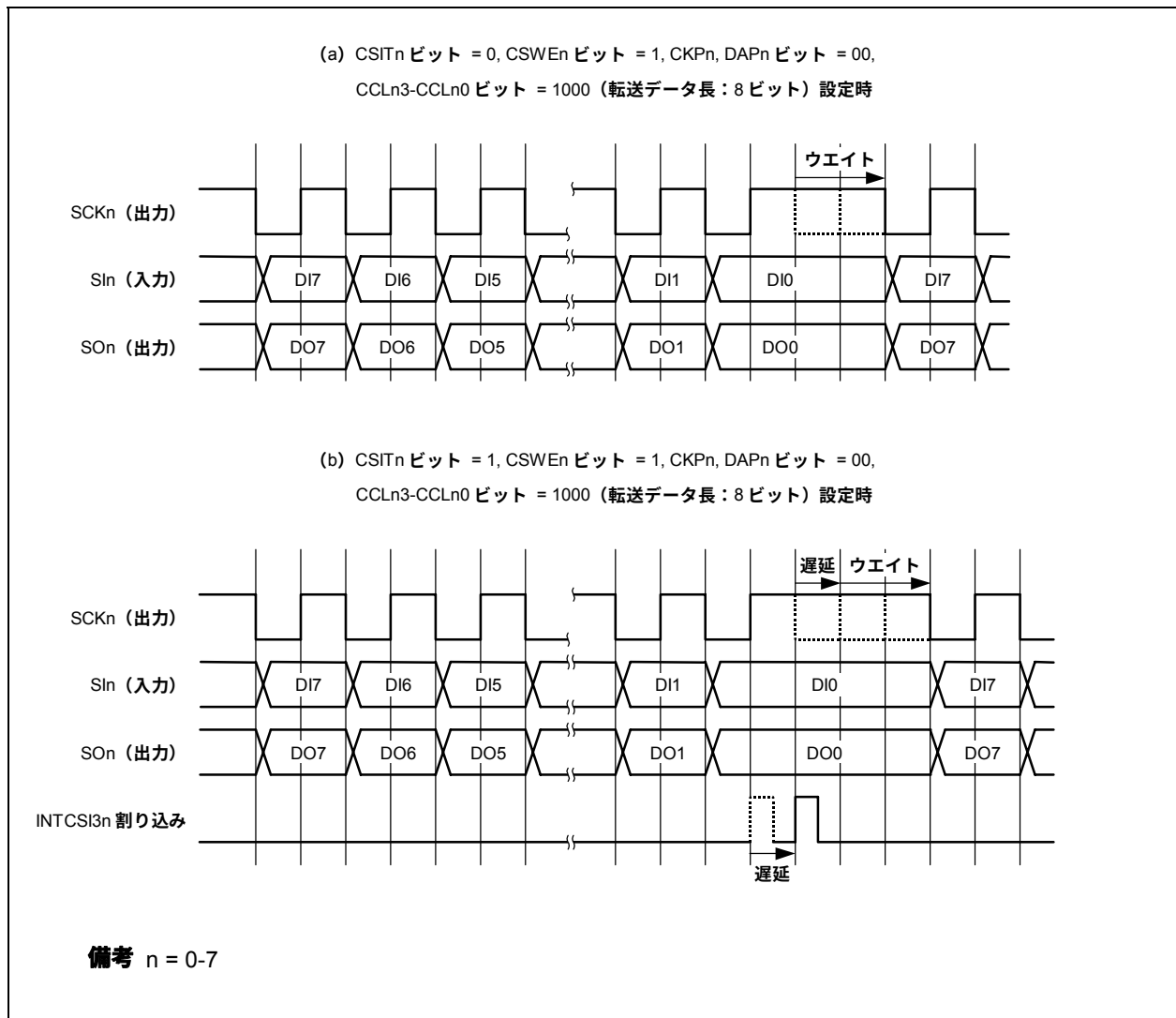
: CSIC3n レジスタの CSITn ビット = 1, CSWEn ビット = 0, CKPn, DAPn ビット = 00,
CSIL3n レジスタの CCLn3-CCLn0 ビット = 1000 (転送データ長: 8 ビット) 設定時



(15) 転送ウェイト許可／禁止指定機能

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合, CSIM3n レジスタの CSWEn ビット = 1 の設定により, 転送開始を 1 データの転送開始ごとに 1 クロック遅らせることができます (CSWEn ビット = 1 (転送ウェイト挿入))。CSWEn ビットはマスタ・モード時のみ有効です。スレーブ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111) の場合, CSWEn ビット = 1 の設定は禁止します (設定しても, 転送ウェイトは挿入されません)。

図 17-13 転送ウェイト許可／禁止指定機能



(16) 出力端子

(a) SCKn 端子

CSIM3n レジスタの CTXEn ビット = 0 および CRXEn ビット = 0 のとき、SCKn 端子の出力状態はハイ・レベルとなります (n = 0-7)。

マスタ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111 以外) の場合、SFA3n レジスタの FPCLRn ビット = 1 の設定により、デフォルト・レベルになります。

表 17-3 SCKn 端子出力のデフォルト・レベル

CKPn ビット	CKS3n2-CKS3n0 ビット	SCKn 端子出力のデフォルト・レベル
0	111 (スレーブ・モード)	ハイ・レベル [※]
	111 以外 (マスタ・モード)	ハイ・レベル
1	111 (スレーブ・モード)	— (入力)
	111 以外 (マスタ・モード)	ロー・レベル

注 リセット後の初期設定値, または CSIM3n レジスタの CSICAE_n ビット = 0 設定時の値

備考 1. マスタ・モード時, CKPn ビットを書き換えると SCKn 端子の出力が変化します。

2. n = 0-7

(b) SOn 端子

CSIM3n レジスタの CTXEn ビット = 0 および CRXEn ビット = 0 のとき, SOn 端子の出力状態はロー・レベルとなります (n = 0-7)。

SFA3n レジスタの FPCLRn ビット = 1 の設定により, SOn 端子の出力状態はロー・レベルとなります (ただし, スレーブ・モード (CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 111) および CSIC3n レジスタの DAPn ビット = 0 の場合のみ前の値を保持します)。

表 17-4 SOn 端子出力のデフォルト・レベル

SOn 端子出力のデフォルト・レベル
ロー・レベル [※]

注 リセット後の初期設定値, または CSIM3n レジスタの CSICAE_n ビット = 0 設定時の値

備考 n = 0-7

(17) CSIBUFn オーバフロー割り込み信号 (INTCOVF3n)

CSIBUFn レジスタ内に 16 個のデータが存在するとき、さらに 17 個目の転送データ・ライト (SFDB3n, SFDB3nL レジスタ・ライト) を行った場合は、INTCOVF3n 割り込みを出力します (17 個目のデータは、ライトされず、無視されます)。

シングル・モード (CSIM3n レジスタの TRMDn ビット = 0) 時に、CSIBUFn レジスタ内に 16 個のデータが存在する場合とは、「ライト用 CSIBUFn ポインタ値 = SIO_n ロード用 CSIBUFn ポインタ値、および SFA3n レジスタの SFFULn ビット = 1」のときです。転送が終了して、SIO_n ロード用 CSIBUFn ポインタがインクリメントされると、CSIBUFn レジスタには 1 個分の空きができます (連続モード (CSIM3n レジスタの TRMDn ビット = 1) では、1 つのデータ転送が終了しても CSIBUFn レジスタに空きはできません)。

17.6 使用方法

(1) シングル・モード (マスタ・モード, 送信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にすると、動作クロック供給を許可します。
- ③ CSIC3_n, CSIL3_n レジスタを設定し、転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWE_n ビットによって転送モードを指定すると同時に、CTXEn ビット = 1 にして送信許可状態にします。
- ⑦ SFA3n レジスタの SFFUL_n ビット = 0 であることを確認してから、SFDB3n レジスタに転送データをライトします。なお、INTCSI3n の割り込み処理ルーチンで転送データをライトするなど SFFUL_n ビット = 0 であることが明確であれば、必ずしも SFFUL_n ビット = 0 であることを確認する必要はありません。
- ⑧ INTCSI3n 割り込みの発生, SFA3n レジスタの SFEMP_n ビット = 1 を確認後, CSIM3n レジスタの CTXEn ビット = 0 にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には、⑧の前に⑦を繰り返してください。

(2) シングル・モード (マスタ・モード, 受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3_n, CSIL3_n レジスタを設定し、転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWE_n ビットによって転送モードを指定すると同時に、CRXEn ビット = 1 にして受信許可状態にします。
- ⑦ SFA3n レジスタの SFFUL_n ビット = 0 であることを確認してから、SFDB3n レジスタにダミー転送データをライトします (受信開始トリガ)。なお、INTCSI3n の割り込み処理ルーチンでダミー転送データをライトするなど SFFUL_n ビット = 0 であることが明確であれば、必ずしも SFFUL_n ビット = 0 であることを確認する必要はありません。
- ⑧ INTCSI3n 割り込みの発生を確認後, SIRB3n レジスタをリードします。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, CSIM3n レジスタの CRXEn ビット = 0 にして受信禁止状態にします (受信終了)。

注意 1. さらに転送を行いたい場合には、⑨の前に⑦、⑧を繰り返してください。

2. SOn 端子からはロー・レベルが出力されますが無効です。

(3) シングル・モード (マスタ・モード, 送受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3_n, CSIL3_n レジスタを設定し、転送モードを指定します。
- ④ SFA3_n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3_n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3_n レジスタの TRMD_n, DIR_n, CSIT_n, CSWEn ビットによって転送モードを指定すると同時に、CTXEn ビット = 1, CRXEn ビット = 1 にして送受信許可状態にします。
- ⑦ SFA3_n レジスタの SFFUL_n ビット = 0 であることを確認してから、SFDB3_n レジスタに転送データをライトします。なお、INTCSI3_n の割り込み処理ルーチンで転送データをライトするなど SFFUL_n ビット = 0 であることが明確であれば、必ずしも SFFUL_n ビット = 0 であることを確認する必要はありません。
- ⑧ INTCSI3_n 割り込みの発生を確認後、SIRB3_n レジスタをリードします。
- ⑨ INTCSI3_n 割り込みの発生、SFEMP_n ビット = 1 を確認後、CSIM3_n レジスタの CTXEn ビット = 0, CRXEn ビット = 0 にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には、⑨の前に⑦, ⑧を繰り返してください。

(4) シングル・モード (スレーブ・モード, 送信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3_n, CSIL3_n レジスタを設定し、転送モードを指定します。
- ④ SFA3_n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3_n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3_n レジスタの TRMD_n, DIR_n, CSIT_n, CSWEn ビットによって転送モードを指定すると同時に、CTXEn ビット = 1 にして送信許可状態にします。
- ⑦ SFA3_n レジスタの SFFUL_n ビット = 0 であることを確認してから、SFDB3_n レジスタに転送データをライトします。なお、INTCSI3_n の割り込み処理ルーチンで転送データをライトするなど SFFUL_n ビット = 0 であることが明確であれば、必ずしも SFFUL_n ビット = 0 であることを確認する必要はありません。
- ⑧ INTCSI3_n 割り込みの発生、SFEMP_n ビット = 1 を確認後、CSIM3_n レジスタの CTXEn ビット = 0 にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には、⑧の前に⑦を繰り返してください。

(5) シングル・モード (スレーブ・モード, 受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し、転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWE_n ビットによって転送モードを指定すると同時に、CRXE_n ビット = 1 にして受信許可状態にします。
- ⑦ SFA3n レジスタの SFFUL_n ビット = 0 であることを確認してから、SFDB3n レジスタにダミー転送データをライトします (受信開始トリガ)。なお、INTCSI3n の割り込み処理ルーチンでダミー転送データをライトするなど SFFUL_n ビット = 0 であることが明確であれば、必ずしも SFFUL_n ビット = 0 であることを確認する必要はありません。
- ⑧ INTCSI3n 割り込みの発生を確認後、SIRB3n レジスタをリードします。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, CSIM3n レジスタの CRXE_n ビット = 0 にして受信禁止状態にします (受信終了)。

注意 1. さらに転送を行いたい場合には、⑨の前に⑦, ⑧を繰り返してください。

2. SOn 端子からはロー・レベルが出力されますが無効です。

(6) シングル・モード (スレーブ・モード, 送受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し、転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWE_n ビットによって転送モードを指定すると同時に CTXE_n ビット = 1, CRXE_n ビット = 1 にして送受信許可状態にします。
- ⑦ SFA3n レジスタの SFFUL_n ビット = 0 であることを確認してから、SFDB3n レジスタに転送データをライトします。なお、INTCSI3n の割り込み処理ルーチンで転送データをライトするなど SFFUL_n ビット = 0 であることが明確であれば、必ずしも SFFUL_n ビット = 0 であることを確認する必要はありません。
- ⑧ INTCSI3n 割り込みの発生を確認後、SIRB3n レジスタをリードします。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, CSIM3n レジスタの CTXE_n ビット = 0, CRXE_n ビット = 0 にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には、⑨の前に⑦, ⑧を繰り返してください。

(7) 連続モード (マスタ・モード, 送信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し、転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWEn ビットによって転送モードを指定すると同時に、CTXEn ビット = 1 にして送信許可状態にします。
- ⑦ SFN3n レジスタの SFNn3-SFNn0 ビットに送信データ数を設定します。
- ⑧ SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, SFA3n レジスタの FPCLR_n ビット = 1 をライトして、次の転送のために全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑩ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑪ CSIM3n レジスタの CTXEn ビット = 0 にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には、⑪の前に⑦-⑩を繰り返してください。

(8) 連続モード (マスタ・モード, 受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして、動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し、転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWEn ビットによって転送モードを指定すると同時に、CRXEn ビット = 1 にして受信許可状態にします。
- ⑦ SFN3n レジスタの SFNn3-SFNn0 ビットに受信データ数を設定します。
- ⑧ SFDB3n レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF_n レジスタ内に格納された受信データを順次リードします)。
- ⑩ SFA3n レジスタの FPCLR_n ビット = 1 をライトして、次の転送のために全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑪ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑫ CSIM3n レジスタの CRXEn ビット = 0 にして受信禁止状態にします (受信終了)。

注意 1. さらに転送を行いたい場合には、⑫の前に⑦-⑩を繰り返してください。

2. SOn 端子からはロー・レベルが出力されます。

(9) 連続モード (マスタ・モード, 送受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして, 動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWE_n ビットによって転送モードを指定すると同時に, CTXEn ビット = 1, CRXEn ビット = 1 にして送受信許可状態にします。
- ⑦ SFN3n レジスタの SFNn3-SFNn0 ビットに送受信データ数を設定します。
- ⑧ SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF_n レジスタ内に格納された受信データを順次リードします)。
- ⑩ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 次の転送のために全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑪ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑫ CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 0 にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には, ⑫の前に⑦-⑪を繰り返してください

(10) 連続モード (スレーブ・モード, 送信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして, 動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWE_n ビットによって転送モードを指定すると同時に, CTXEn ビット = 1 にして送信許可状態にします。
- ⑦ SFN3n レジスタの SFNn3-SFNn0 ビットに送信データ数を設定します。
- ⑧ SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 次の転送のために全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑩ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑪ CSIM3n レジスタの CTXEn ビット = 0 にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には, ⑪の前に⑦-⑩を繰り返してください。

(11) 連続モード (スレーブ・モード, 受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして, 動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWEn ビットによって転送モードを指定すると同時に, CRXEn ビット = 1 にして受信許可状態にします。
- ⑦ SFN3n レジスタの SFNn3-SFNn0 ビットに受信データ数を設定します。
- ⑧ SFDB3n レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF_n レジスタ内に格納された受信データを順次リードします)。
- ⑩ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 次の転送のために全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑪ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑫ CSIM3n レジスタの CRXEn ビット = 0 にして受信禁止状態にします (受信終了)。

注意 1. さらに転送を行いたい場合には, ⑫の前に⑦-⑪を繰り返してください。

2. SOn 端子からはロー・レベルが出力されます。

(12) 連続モード (スレーブ・モード, 送受信モード時)

- ① CSI3n 機能に関連する外部端子をコントロール・モードに設定します。
- ② CSIM3n レジスタの CSICAE_n ビット = 1 にして, 動作クロック供給を許可します。
- ③ CSIC3n, CSIL3n レジスタを設定し, 転送モードを指定します。
- ④ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑤ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑥ CSIM3n レジスタの TRMD_n, DIR_n, CSIT_n, CSWEn ビットによって転送モードを指定すると同時に, CTXEn ビット = 1, CRXEn ビット = 1 にして送受信許可状態にします。
- ⑦ SFN3n レジスタの SFNn3-SFNn0 ビットに送受信データ数を設定します。
- ⑧ SFDB3n レジスタに送信データ数分の転送データをライトします。SFN3n レジスタの設定値を越えるデータ・ライトは禁止です。
- ⑨ INTCSI3n 割り込みの発生, SFEMP_n ビット = 1 を確認後, 受信データ数分の SIRB3n レジスタをリードします (CSIBUF_n レジスタ内に格納された受信データを順次リードします)。
- ⑩ SFA3n レジスタの FPCLR_n ビット = 1 をライトして, 次の転送のために全 CSIBUF_n 用ポインタをクリア (0) します。
- ⑪ SFA3n レジスタの SFFUL_n ビット = 0, SFEMP_n ビット = 1, SFPn3-SFPn0 ビット = 0000 であることを確認します。
- ⑫ CSIM3n レジスタの CTXEn ビット = 0, CRXEn ビット = 0 にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には, ⑫の前に⑦-⑪を繰り返してください。

17.7 注意事項

CSI3n についての注意事項を次に示します (n = 0-7)。

(1) CSI3n の停止

CSIM3n レジスタの CSICAE_n ビット = 0 にすると、CSI3n ユニットはリセット状態となり、CSI3n は停止します。CSI3n を動作させる場合には、まず CSICAE_n ビット = 1 にしてください。

また、通常 CSICAE_n ビットに“0”を設定する場合、CTXEn ビット = 0 および CRXEn ビット = 0 (転送終了後) にしてから行ってください。

(2) 転送許可

CSIM3n レジスタの CTXEn ビット = 1 または CRXEn ビット = 1 に設定して転送許可状態にする前に、必ず SFA3n レジスタの FPCLR_n ビット = 1 をライトして、全 CSIBUF_n 用ポインタをクリア (0) してください。

クリア (0) しないまま、CTXEn ビット = 1 または CRXEn ビット = 1 に設定した場合、CSIBUF_n レジスタ内に前の転送データが残っていたときには、ただちにそのデータ転送を開始します。

また、転送許可状態にする前に CSIBUF_n レジスタへ転送データを設定すると、CTXEn ビット = 1 または CRXEn ビット = 1 に設定した瞬間に転送を開始します。

(3) SFA3n レジスタ設定時の注意

SFDB3_n, SFDB3_nL レジスタのライト後に SFA3n レジスタの、SFFUL_n, SFEMP_n, SFPn3-SFPn0 ビット値が変化するまで、PCLK×2 の期間が必要です。

SFFUL_n ビット = 1 になる前に SFA3n レジスタをリードし、17 個目のデータをライトした場合、CSIBUF_n オーバフロー割り込み (INTCOVF3_n) が発生します。

(4) バイト・アクセス可能なレジスタのアクセス上の注意

SIRB3_n レジスタと SIRB3_nL レジスタは、EP3-AM1 の構造上、同一アドレスに配置されません。また、SIRB3_nH レジスタは、SIRB3_n レジスタの配置アドレス+1 ではありません。

SFDB3_n レジスタと SFDB3_nL レジスタは、EP3-AM1 の構造上、同一アドレスに配置されません。また、SFDB3_nH レジスタは、SFDB3_n レジスタの配置アドレス+1 ではありません。

(5) CSIM3n レジスタ設定時の注意

CSI3n を使用する場合には、必ず CSI3n 機能に関連する外部端子をコントロール・モードに設定し、CSICAE_n ビットをセット (1) してください。そのあとに、ほかのビットの設定を行ってください。

(6) 最大転送レート

最大転送レートは、12.5Mbps であるため、マスタ・モード時は 12.5Mbps を越えるような設定は行わないでください。またスレーブ・モード時も 12.5MHz 以上のクロックを SCK_n に入力しないでください。

(7) シングル・モード時の SFDB3n レジスタへのデータ・ライト

SFDB3n レジスタへのデータ・ライトを行う場合は、必ず SFA3n レジスタの SFFULn ビット = 0 であることを確認してからライトしてください。SFFULn ビット = 1 のときに SFDB3n レジスタへのデータ・ライトを行っても、CSIBUFn オーバフロー割り込み (INTCOVF3n) が出力され、ライトしたデータは無視されます。

(8) 連続モード時の SFA3n レジスタ状態

CSIBUFn ポインタのクリア (SFA3n レジスタの FPCLRn ビット = 1) 後から転送データをライトするまで (転送開始前) の SFA3n レジスタと、16 個のデータ転送を終了したときの SFA3n レジスタは、同じ状態になります (SFA3n レジスタの SFFULn ビット = 0, SFEMPn ビット = 1, SFPn3-SFPn0 ビット = 0000)。

(9) 16 ビット・レジスタの 8 ビット・アクセスについて

CSI3 のレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、CSI3 のレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

第18章 A/D コンバータ

18.1 特 徴

- アナログ入力：4 チャンネル
- 10 ビット A/D コンバータ内蔵
- A/D 変換結果レジスタ（ADCR0-ADCR3）内蔵
10 ビット×4 本
- A/D 変換トリガ・モード
 - ・A/D トリガ・モード
 - ・タイマ・トリガ・モード
 - ・外部トリガ・モード
- 逐次変換方式

18.2 構 成

A/D コンバータは、逐次変換方式を採用しており、A/D コンバータ・モード・レジスタ 0, 1, 2 (ADM0, ADM1, ADM2) , A/D 変換結果レジスタ (ADCR0-ADCR3) を使用して A/D 変換動作を行います。

(1) 入力回路

ADM0, ADM1, ADM2 レジスタに設定したモードに従ってアナログ入力 (AIN0-AIN3) を選択します。

(2) 電圧コンパレータ

入力されたアナログ入力と基準電圧生成回路の出力電圧を比較します。

(3) 逐次変換レジスタ (SAR : Successive Approximation Register)

SAR は、アナログ入力側 C アレイと基準側 C アレイの値を比較し、最上位ビット (MSB) から 1 ビットずつ設定する 10 ビット・レジスタです。

SAR の最下位ビット (LSB) まで設定すると (A/D 変換終了) , その SAR の内容 (変換結果) は、A/D 変換結果レジスタ (ADCRn) に転送されます。

(4) A/D 変換結果レジスタ (ADCRn) , A/D 変換結果レジスタ Hn (ADCRHn)

ADCR は、A/D 変換結果を保持する 10 ビット・レジスタです。A/D 変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

RESETZ 入力により、不定になります。

(5) AIN0-AIN3 端子

A/D コンバータへの 4 チャンネルのアナログ入力端子です。A/D 変換するアナログ信号を入力します。

注意 AIN0-AIN3 入力電圧は規格の範囲内でご使用ください。特に AD_AVDD 以上、AD_AGND 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(6) AVREFP, AVREFM 端子

A/D コンバータの基準電圧を入力するための端子です。AVREFP-AVREFM 間に加えられる電圧に基づいて AINn 端子に入力される信号をデジタル信号に変換します。

(7) AD_AGND 端子

A/D コンバータのグランド電位端子です。A/D コンバータを使用しないときでも、常に EGND 端子と同電位で使用してください。

(8) AD_AVDD 端子

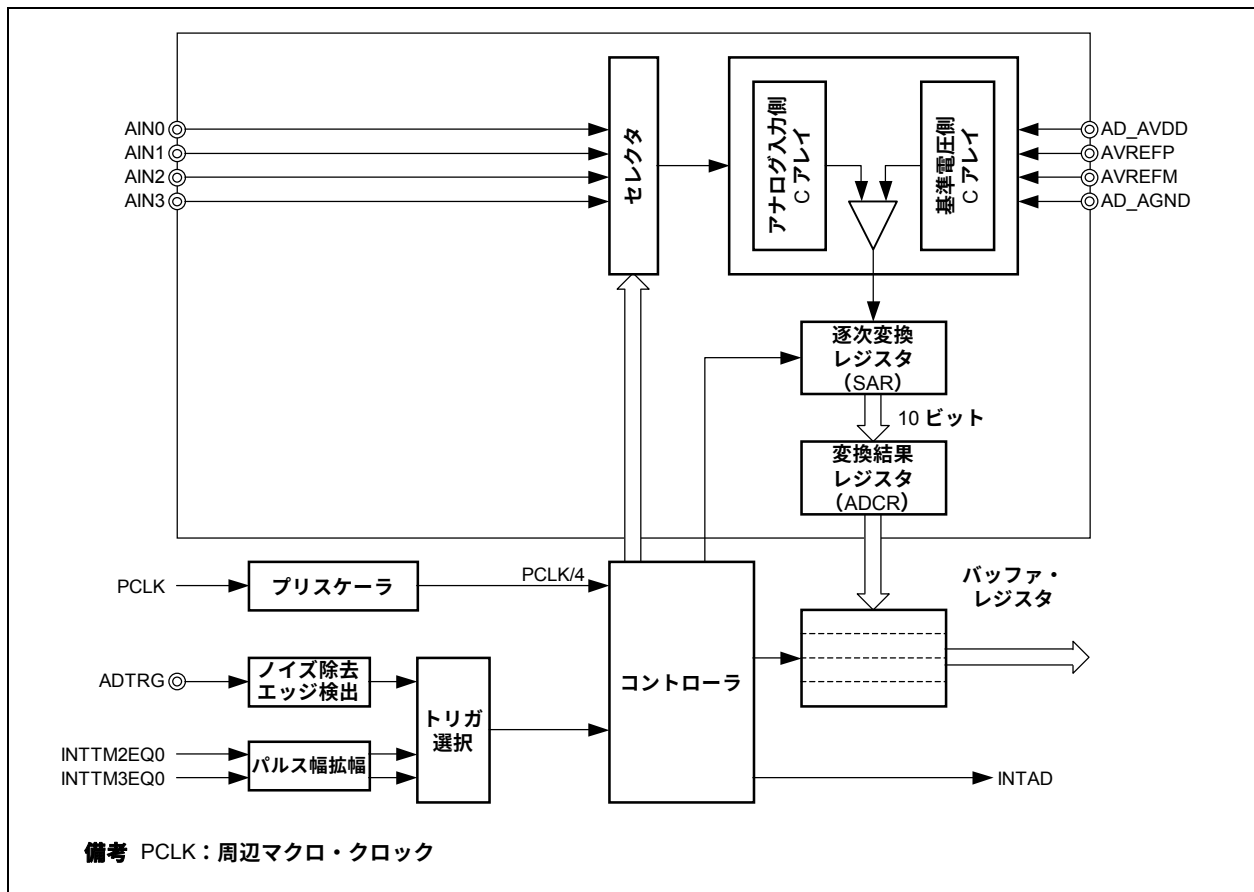
A/D コンバータのアナログ電源端子です。A/D コンバータを使用しないときでも、常に EVDD 端子と同電位で使用してください。

備考 n = 0-3

注意 A/D コンバータを使用しない場合は、下記のように端子処理してください。

AD_AVDD : EVDD と同電位に接続
 AVREFP : EVDD と同電位に接続
 AIN0-AIN3 : EGND と同電位に接続
 AVREFM : EGND と同電位に接続
 AD_AGND : EGND と同電位に接続

図 18-1 A/D コンバータのブロック図



注意 1. アナログ入力端子 (AIN0-AIN3) および基準電圧入力端子 (AVREFP, AVREFM) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わずに、再度異常発生を確認した上で異常処理を行う。

2. A/D コンバータの入力端子として使用している端子には、AVREFP-AVREFM の範囲外の電圧が加わらないようにしてください。

18.3 制御レジスタ

(1) A/D コンバータ・モード・レジスタ 0 (ADM0)

ADM0 レジスタは、動作モードの指定および変換動作の制御を行う 8 ビット・レジスタです。

8/1 ビット単位でリード／ライト可能です。ただし、ビット 6 はリードのみ可能です。ビット 6 をライトした場合は無視されます。

- 注意 1.** タイマ・トリガ・モード、外部トリガ・モード時で ADCE ビットが 1 のときは、トリガ信号待機状態になります。ADCE ビットをクリアするには、0 を書き込むか、リセットしてください。
A/D トリガ・モードでは、ADCE ビットに 1 を書き込むことが変換のトリガになります。動作後、ADCE ビットをクリア (0) せずにタイマ・トリガ・モード、外部トリガ・モードに変更した場合、レジスタ変更直後からトリガ入力の待機状態になります。
- 2.** A/D 変換動作許可状態 (ADCE ビット = 1) のとき、BS, MS ビットの変更は禁止します。
- 3.** A/D 変換動作中に ADM0 レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

図 18-2 A/D コンバータ・モード・レジスタ 0 (ADM0)

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM0	ADCE	ADCS	BS	MS	0	0	0	0	0F1C 0102H	00H
R/W	R/W	R	R/W	R/W	0	0	0	0		
ビット位置	ビット名	意 味								
7	ADCE	A/D 変換動作の許可／禁止を設定します。 0：変換動作停止 1：変換動作許可								
6	ADCS	A/D コンバータの状態です。 0：変換停止中 1：変換動作中								
5	BS	セレクト・モード時のバッファ・モードを指定します。 0：1 バッファ・モード 1：4 バッファ・モード								
4	MS	A/D コンバータの動作モードを指定します。 0：スキャン・モード 1：セレクト・モード								

(2) A/D コンバータ・モード・レジスタ 1 (ADM1)

ADM1 レジスタは、変換動作時間の指定、トリガ・モードの指定を行う 8 ビット・レジスタです。
8/1 ビット単位でリード／ライト可能です。
ビット 3 には、必ず 0 を設定してください。

- 注意 1.** A/D 変換動作許可状態 (ADM0 レジスタの ADCE ビット= 1) のとき、EGA1, EGA0, FR1-FR0 ビットの変更は禁止します。
- 2.** A/D 変換動作中に ADM1 レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

図 18-3 A/D コンバータ・モード・レジスタ 1 (ADM1)

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値															
ADM1	EGA1	EGA0	TRG1	TRG0	0	FR2	FR1	FR0	0F1C 0107H	00H															
R/W	R/W	R/W	R/W	R/W	0	R/W	R/W	R/W																	
ビット位置	ビット名	意 味																							
7, 6	EGA1, EGA0	外部トリガ（ADTRG）の有効エッジを指定します。 <table><tr><td>EGA1</td><td>EGA0</td><td>外部トリガ（ADTRG）の有効エッジ</td></tr><tr><td>0</td><td>0</td><td>エッジ検出なし（外部トリガとして動作しない）</td></tr><tr><td>0</td><td>1</td><td>立ち下がりエッジ検出</td></tr><tr><td>1</td><td>0</td><td>立ち上がりエッジ検出</td></tr><tr><td>1</td><td>1</td><td>立ち下がり／立ち上がりエッジ検出</td></tr></table>									EGA1	EGA0	外部トリガ（ADTRG）の有効エッジ	0	0	エッジ検出なし（外部トリガとして動作しない）	0	1	立ち下がりエッジ検出	1	0	立ち上がりエッジ検出	1	1	立ち下がり／立ち上がりエッジ検出
EGA1	EGA0	外部トリガ（ADTRG）の有効エッジ																							
0	0	エッジ検出なし（外部トリガとして動作しない）																							
0	1	立ち下がりエッジ検出																							
1	0	立ち上がりエッジ検出																							
1	1	立ち下がり／立ち上がりエッジ検出																							
5, 4	TRG1, TRG0	トリガ・モードを指定します。 <table><tr><td>TRG1</td><td>TRG0</td><td>トリガ・モード指定</td></tr><tr><td>0</td><td>0</td><td>ソフトウェア・トリガ・モード（A/D トリガ・モード）</td></tr><tr><td>0</td><td>1</td><td>タイマ・トリガ・モード（TTRG 入力）</td></tr><tr><td>1</td><td>0</td><td>外部トリガ・モード（ADTRG 入力）</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>									TRG1	TRG0	トリガ・モード指定	0	0	ソフトウェア・トリガ・モード（A/D トリガ・モード）	0	1	タイマ・トリガ・モード（TTRG 入力）	1	0	外部トリガ・モード（ADTRG 入力）	1	1	設定禁止
TRG1	TRG0	トリガ・モード指定																							
0	0	ソフトウェア・トリガ・モード（A/D トリガ・モード）																							
0	1	タイマ・トリガ・モード（TTRG 入力）																							
1	0	外部トリガ・モード（ADTRG 入力）																							
1	1	設定禁止																							

(2/2)

FR2	FR1	FR0	変換 クロック数	周辺マクロ・クロック (PCLK) ごとの変換時間 ^{※1}					A/D 安定時間 ^{※2}
				50MHz	48MHz	40MHz	44.33MHz	33.25MHz	
0	0	0	64	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	32/PCLK
0	0	1	128	2.56 μ s	2.67 μ s	3.20 μ s	2.89 μ s	3.85 μ s	64/PCLK
0	1	0	192	3.84 μ s	4.00 μ s	4.80 μ s	4.34 μ s	5.78 μ s	80/PCLK
0	1	1	256	5.12 μ s	5.34 μ s	6.40 μ s	5.78 μ s	7.70 μ s	80/PCLK
1	0	0	320	6.40 μ s	6.67 μ s	8.00 μ s	7.22 μ s	9.63 μ s	80/PCLK
1	0	1	384	7.68 μ s	8.00 μ s	9.60 μ s	8.67 μ s	設定禁止	80/PCLK
1	1	0	448	8.96 μ s	9.34 μ s	設定禁止	設定禁止	設定禁止	80/PCLK
1	1	1	512	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	80/PCLK

注 1. 変換動作時間が 2~10 μ s になるように設定してください。

2. A/D コンバータの安定時間確保のため、ADCE ビットを“0”から“1”に設定したあと、1 回目の A/D 変換前のみ、A/D 安定時間後に変換が開始されます。

注意 1. A/D 変換動作中 (ADCE ビット = 1) に、A/D 変換時間の設定値 (FR2-FR0 ビット) を変更しないでください。変更する場合は、ADCE ビット = 0 に設定してから行ってください。

2. 途中でトリガ・モードを変更 (TRG1, TRG0 ビット) する場合、ADCE ビットに“1”を再設定することにより A/D 安定時間を確保することなく、すぐに A/D 変換が可能です。

(3) A/D コンバータ・モード・レジスタ 2 (ADM2)

ADM2 レジスタは、A/D コンバータのアナログ入力端子の指定を行う 8 ビット・レジスタです。
8/1 ビット単位でリード／ライト可能です。

- 注意 1. アナログ入力の存在しないチャンネルを指定した場合、A/D 変換結果は不定となります。
2. A/D 変換動作許可状態 (ADM0 レジスタの ADCE ビット = 1) のとき、AINS1, AINS0 ビットの変更は禁止します。
3. A/D 変換動作中に、ADM2 レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

図 18-4 A/D コンバータ・モード・レジスタ 2 (ADM2)

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM2	0	0	0	0	0	0	AINS1	AINS0	0F1C 010AH	00H
R/W	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意 味																						
1, 0	AINS1, AINS0	A/D 変換するアナログ入力端子を指定します。 <table><tr><th rowspan="2">AINS1</th><th rowspan="2">AINS0</th><th colspan="2">A/D 変換するアナログ入力端子の指定</th></tr><tr><th>セレクト・モード</th><th>スキャン・モード</th></tr><tr><td>0</td><td>0</td><td>AIN0</td><td>AIN0</td></tr><tr><td>0</td><td>1</td><td>AIN1</td><td>AIN0, AIN1</td></tr><tr><td>1</td><td>0</td><td>AIN2</td><td>AIN0-AIN2</td></tr><tr><td>1</td><td>1</td><td>AIN3</td><td>AIN0-AIN3</td></tr></table>	AINS1	AINS0	A/D 変換するアナログ入力端子の指定		セレクト・モード	スキャン・モード	0	0	AIN0	AIN0	0	1	AIN1	AIN0, AIN1	1	0	AIN2	AIN0-AIN2	1	1	AIN3	AIN0-AIN3
AINS1	AINS0	A/D 変換するアナログ入力端子の指定																						
		セレクト・モード	スキャン・モード																					
0	0	AIN0	AIN0																					
0	1	AIN1	AIN0, AIN1																					
1	0	AIN2	AIN0-AIN2																					
1	1	AIN3	AIN0-AIN3																					

(4) ADC トリガ選択レジスタ (ADTS)

ADTS レジスタは、タイマ・トリガ・モード時のタイマ・トリガ信号の指定を行う 8 ビット・レジスタです。

8 ビット単位でリード／ライト可能です。

ビット 7-2 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

注意 ADTS レジスタの設定を変更する場合は、A/D 変換動作を停止 (ADM0 レジスタの ADCE ビット=0) してから行ってください。A/D 変換動作許可中 (ADCE ビット=1) に ADTS レジスタの設定を変更した場合の動作は保証できません。

図 18-5 ADC トリガ選択レジスタ (ADTS)

								アドレス	初期値
ADTS	7	6	5	4	3	2	1	0	
	0	0	0	0	0	0	TMS1	TMS0	0F1C 0182H 00H
R/W	0	0	0	0	0	0	R/W	R/W	
ビット位置	ビット名		意 味						
1	TMS1		16 ビット・インターバル・タイマ 3 (TMM3) の INTTM3EQ0 によるタイマ・トリガを選択します。 0 : INTTM3EQ0 タイマ・トリガ無効 1 : INTTM3EQ0 タイマ・トリガ有効						
0	TMS0		16 ビット・インターバル・タイマ 2 (TMM2) の INTTM2EQ0 によるタイマ・トリガを選択します。 0 : INTTM2EQ0 タイマ・トリガ無効 1 : INTTM2EQ0 タイマ・トリガ有効						

(5) A/D 変換結果レジスタ 0-3, 0H-3H (ADCR0-ADCR3, ADCR0H-ADCR3H)

ADCRn レジスタは、A/D 変換の結果を保持する 10 ビット・レジスタです。4 本の 10 ビット・レジスタを備えています。

16/8 ビット単位でリードだけ可能です。このレジスタへの 16 ビット・アクセス時は ADCRn レジスタを、上位 8 ビット・アクセス時は ADCRnH レジスタを指定します (n = 0-3)。

ADCRn レジスタから A/D 変換結果の 10 ビット・データを読み出す場合には、上位の 10 ビットだけが有効となり、下位 6 ビットは常に 0 が読み出されます。

図 18-6 A/D 変換結果レジスタ (ADCRn, ADCRnH)

ADCRn	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2	ADn1	ADn0	0	0	0	0	0	0	0F1C 0140H +08H×n	不定
	R	R	R	R	R	R	R	R	R	R	0	0	0	0	0	0		
ADCRnH	7	6	5	4	3	2	1	0									アドレス	初期値
	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2									0F1C 0147H +08H×n	不定
	R	R	R	R	R	R	R	R										
備考 n = 0-3																		

各アナログ入力端子と ADCRn レジスタの対応を次に示します。

アナログ入力端子	ADCRn レジスタ	
	セレクト 1 バッファ・モード／ スキャン・モード	セレクト 4 バッファ・モード
AIN0	ADCR0, ADCR0H	ADCR0-ADCR3, ADCR0H-ADCR3H
AIN1	ADCR1, ADCR1H	
AIN2	ADCR2, ADCR2H	
AIN3	ADCR3, ADCR3H	

アナログ入力端子 (AIN0-AIN3) に入力されたアナログ入力電圧と A/D 変換結果 (A/D 変換結果レジスタ (ADCRn)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{IN}}}{\text{AVREFP} - \text{AVREFM}} \times 1024 + 0.5 \right)$$

$$\text{ADCRn}^{\text{注}} = \text{SAR} \times 64$$

または,

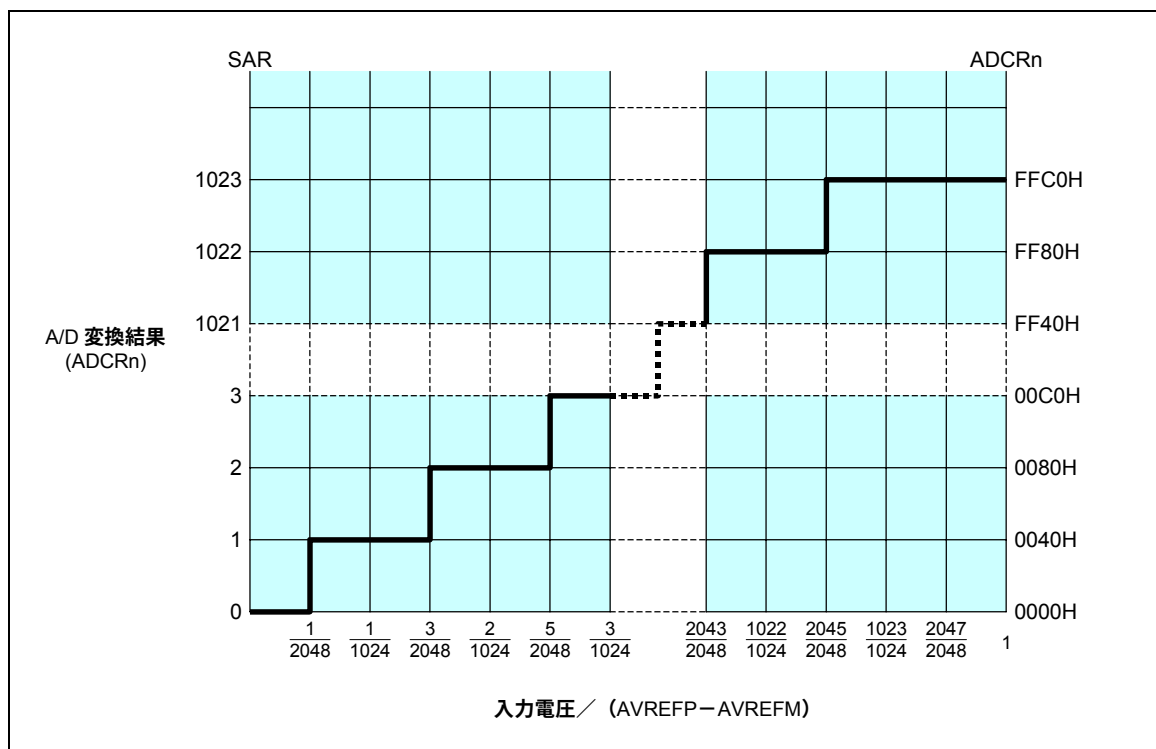
$$(\text{SAR} - 0.5) \times \frac{\text{AVREFP} - \text{AVREFM}}{1024} \leq V_{\text{IN}} < (\text{SAR} + 0.5) \times \frac{\text{AVREFP} - \text{AVREFM}}{1024}$$

INT () : () 内の値の整数部を返す関数
 VIN : アナログ入力電圧
 AVREFP : AVREFP 端子電圧
 AVREFM : AVREFM 端子電圧
 ADCR : A/D 変換結果レジスタ (ADCRn) の値

注 ADCRn レジスタの下位 6 ビットは 0 固定です。

図 18-7 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 18-7 アナログ入力と A/D 変換結果の関係



18.4 動作

18.4.1 基本動作

A/D 変換は次の手順で行います。

- (1) アナログ入力の選択、動作モード、トリガ・モードなどの指定を、ADM0, ADM1, ADM2 レジスタによって設定します^{※1}。ADM0 レジスタの ADCE ビットをセット (1) すると、A/D トリガ・モード時は A/D 変換を開始します。タイマ・トリガ・モード時、外部トリガ・モード時は、トリガ待機状態^{※2}になります。
- (2) A/D 変換を開始するとアナログ入力側 C アレイ電圧と基準側 C アレイ電圧をコンパレータで比較します。
- (3) 10 ビットの比較が終了したとき、ADCRn レジスタに変換結果を格納します。指定した回数の A/D 変換が終了したとき、A/D 変換終了割り込み (INTAD) を発生します (n = 0-3)。

注 1. A/D 変換動作中に ADM0, ADM1, ADM2 レジスタを変更した場合、変更前の A/D 変換動作は停止し、ADCRn レジスタ、ADCRnH レジスタへ変換結果を格納しません。変換前の A/D 変換動作は初期化され、最初から変換をやり直します (n = 0-3)。

2. タイマ・トリガ・モード、外部トリガ・モードの場合、ADM0 レジスタの ADCE ビットをセット (1) すると、トリガ待機状態に遷移します。また A/D 変換動作は、トリガ信号によって起動 (ADM0 レジスタの ADCS ビット = 1) され、A/D 変換動作が終了するとトリガ待機状態 (ADCS ビット = 0) に戻ります。

18.4.2 動作モードとトリガ・モード

A/D コンバータ、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは ADM0-ADM2 レジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

表 18-1 動作モード、トリガ・モードの関係

トリガ・モード	動作モード		レジスタ設定値			アナログ入力
			ADM0	ADM1	ADM2	
ソフトウェア・トリガ (A/D トリガ)	セレクト	1 バッファ	xx010000B	0000xxxxB	00000xxxB	AIN0-AIN3
		4 バッファ	xx110000B			AIN0-AIN3
	スキャン		xxx00000B			AIN0-AIN3
タイマ・トリガ	セレクト	1 バッファ	xx010000B	0001xxxxB		AIN0-AIN3
		4 バッファ	xx110000B			AIN0-AIN3
	スキャン		xxx00000B			AIN0-AIN3
外部トリガ	セレクト	1 バッファ	xx010000B	xx10xxxxB		AIN0-AIN3
		4 バッファ	xx110000B			AIN0-AIN3
	スキャン		xxx00000B			AIN0-AIN3

(1) トリガ・モード

A/D 変換処理の開始タイミングとなるトリガ・モードには、A/D トリガ（ソフトウェア・トリガ）・モード、タイマ・トリガ・モード、外部トリガ・モードの 3 通りがあります。これらのトリガ・モードは、ADM1 レジスタの TRG1, TRG0 ビットで設定します。

(a) A/D トリガ・モード（ソフトウェア・トリガ・モード）

AIN0-AIN3 端子に設定されたアナログ入力の変換タイミングを、ADM0 レジスタの ADCE ビットを 1 に設定することにより A/D 変換を開始するモードです。変換終了後 ADCE ビットを 0 にしない限り、次の変換動作を繰り返します。変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

(b) タイマ・トリガ・モード

AIN0-AIN3 端子に設定されたアナログ入力の変換タイミングを、タイマ M (TMM) のコンペア・レジスタに設定した値で規定するモードです。

16 ビット・インターバル・タイマ (TMM2, TMM3) のコンペアー致割り込み発生により、アナログ入力変換タイミングを生成します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、割り込み (INTTM2EQ0, INTTM3EQ0) 待機状態となり、INTTM2EQ0, INTTM3EQ0 発生により変換動作を開始します (ADM0 レジスタの ADCS ビット= 1)。変換が終了すると再び割り込み待機状態 (ADCS = 0) になります。変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

(c) 外部トリガ・モード

AIN0-AIN3 端子に設定されたアナログ入力の変換タイミングを、ADTRG 端子で指定するモードです。

ADM1 レジスタの EGA1, EGA0 ビットにより、ADTRG (PC7 と兼用) 端子入力の有効エッジを指定します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、外部トリガ (ADTRG) 待機状態となり ADTRG の有効エッジが検出されると変換動作を開始します (ADM0 レジスタの ADCS ビット= 1)。変換を終了すると再び外部トリガ待機状態 (ADCS ビット= 0) になります。

変換動作中に ADTRG 端子入力の有効エッジを検出すると、再度、最初から変換動作を行います。

変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

(2) 動作モード

動作モードには、AIN0-AIN3 端子を設定するモードとして、セレクト・モード、スキャン・モードの 2 通りがあります。セレクト・モードには、サブモードとして、1 バッファ・モードと 4 バッファ・モードがあります。これらのモードは、ADM0 レジスタの BS, MS ビットで設定します。

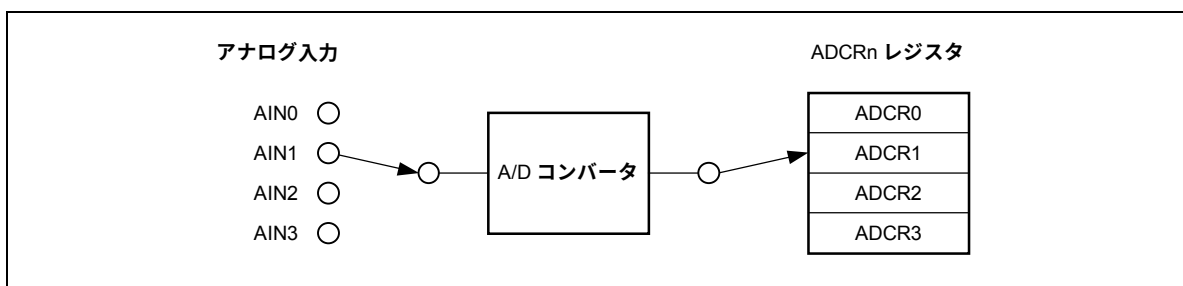
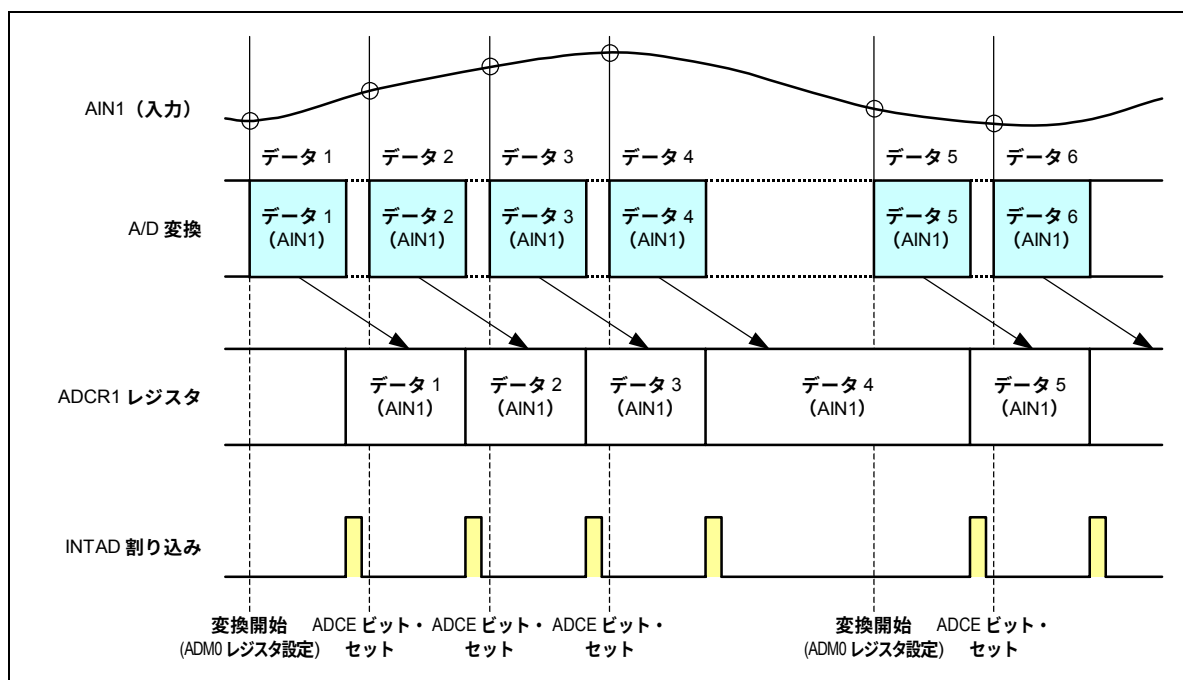
(a) セレクト・モード

ADM2 レジスタで指定される 1 つのアナログ入力を A/D 変換します。変換結果は、アナログ入力 (AINn) に対応した ADCRn レジスタに格納します。このモードでは、A/D 変換結果の格納方法として、1 バッファ・モードと 4 バッファ・モードを備えています (n = 0-3)。

(i) 1 バッファ・モード

ADM2 レジスタで指定される 1 つのアナログ入力を A/D 変換します。変換結果は、アナログ入力 (AINn) に対応した ADCRn レジスタに格納します (n = 0-3)。AINn と ADCRn レジスタは 1 対 1 に対応しており、1 回の A/D 変換終了ごとに A/D 変換終了割り込み (INTAD) が発生します。変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返します。

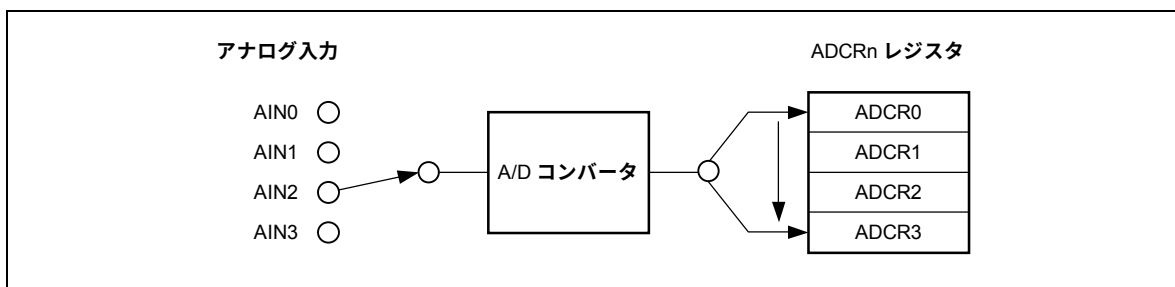
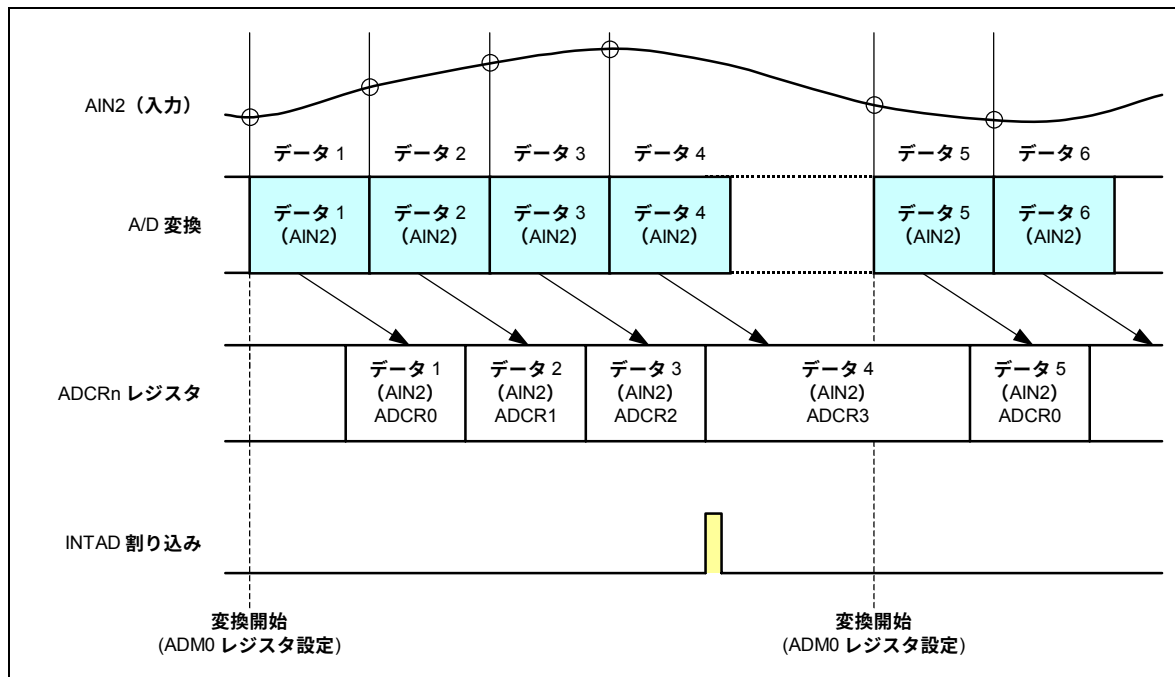
図 18-8 セレクト・モードの動作タイミング例：1 バッファ・モード (AIN1)



(ii) 4 バッファ・モード

1つのアナログ入力を4回 A/D 変換し、その結果を ADCRn レジスタに格納します。A/D 変換終了割り込み (INTAD) は、4 回の A/D 変換が終了したときに発生します ($n = 0-3$)。変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返します。

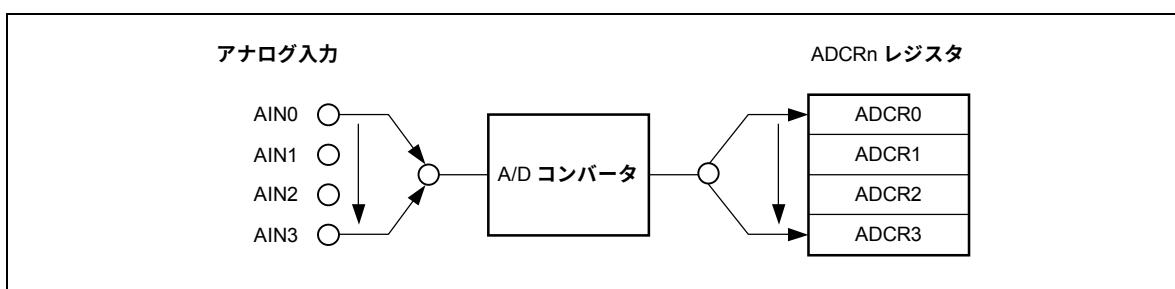
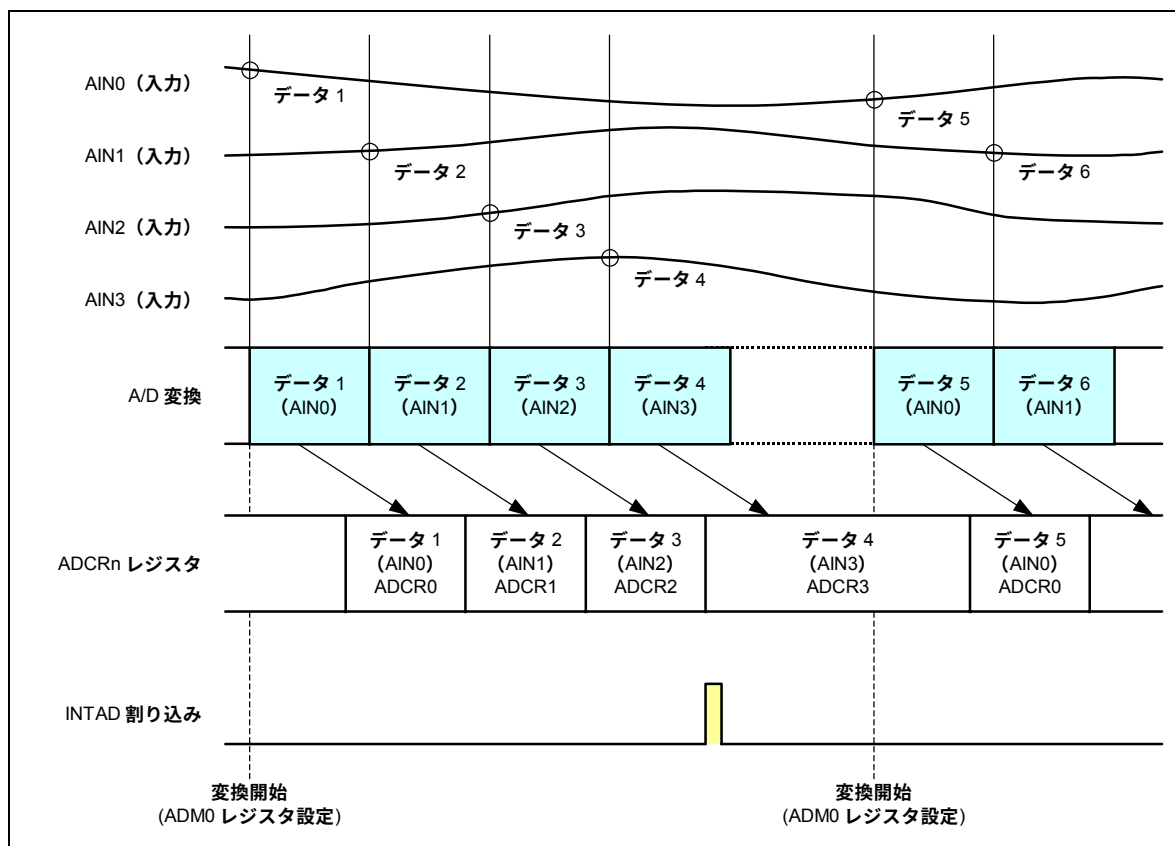
図 18-9 セレクト・モードの動作タイミング例：4 バッファ・モード (AIN2)



(b) スキャン・モード

AIN0 端子から、ADM2 レジスタで指定したアナログ入力までを順に選択し、A/D 変換します。A/D 変換結果は、アナログ入力に対応した ADCRn レジスタに格納します ($n = 0-3$)。指定したアナログ入力の変換が終了すると A/D 変換終了割り込み (INTAD) が発生します。変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返します。

図 18-10 スキャン・モードの動作タイミング例：4 チャンネル・スキャン (AIN0-AIN3)



18.5 A/D トリガ・モード時の動作

ADM0 レジスタの ADCE ビットをセット (1) すると、A/D 変換を開始します。

18.5.1 セレクト・モードの動作

ADM2 レジスタで指定されるアナログ入力を A/D 変換します。変換結果は、ADCRn レジスタに格納します。

セレクト・モードでは、A/D 変換結果の格納方法により、1 バッファ・モードと 4 バッファ・モードをサポートしています (n = 0-3)。

(1) 1 バッファ・モード (A/D トリガ・セレクト 1 バッファ)

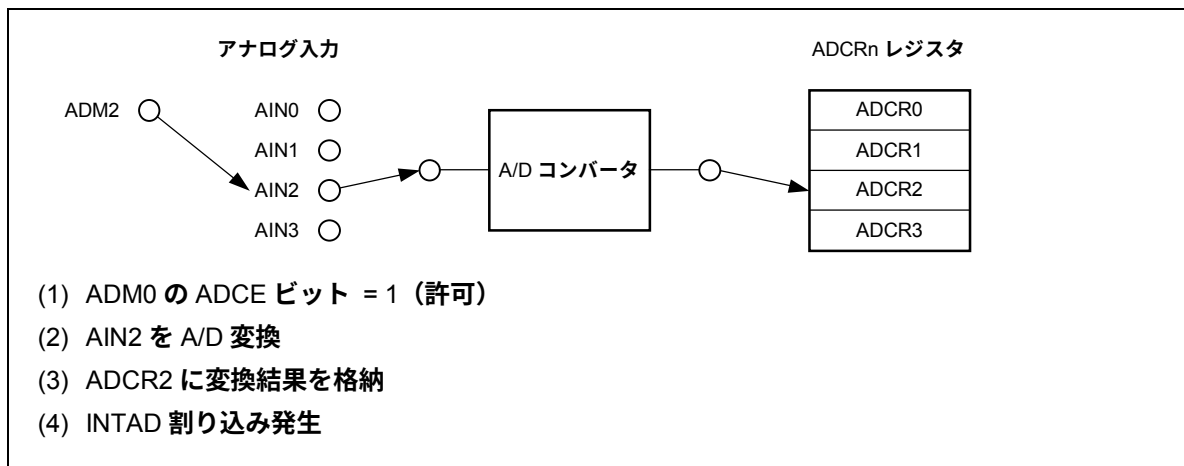
1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。アナログ入力と ADCRn レジスタは 1 対 1 に対応しています。

1 回の A/D 変換終了ごとに A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返していきます。

アナログ入力	A/D 変換結果レジスタ
AINn	ADCRn

1 回の A/D 変換ごとに結果を読み出すような応用に最適です。

図 18-11 1 バッファ・モード (A/D トリガ・セレクト 1 バッファ) の動作例



(2) 4 バッファ・モード (A/D トリガ・セレクト 4 バッファ)

1 つのアナログ入力を 4 回 A/D 変換し、その結果を ADCRn レジスタに格納します。

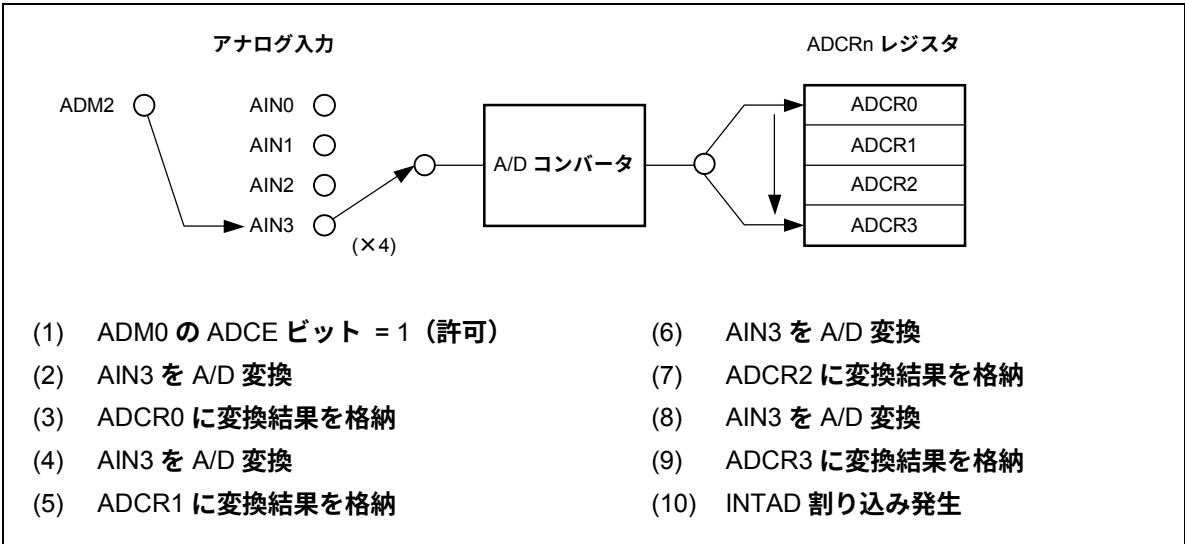
4 回の A/D 変換が終了すると、A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。

ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返し行います。

アナログ入力	A/D 変換結果レジスタ
AIN0-AIN3	ADCR0 (1 回目)
	ADCR1 (2 回目)
	ADCR2 (3 回目)
	ADCR3 (4 回目)

A/D 変換結果の平均を求めるような応用に最適です。

図 18-12 4 バッファ・モード (A/D トリガ・セレクト 4 バッファ) の動作例



18.5.2 スキャン・モードの動作

AIN0 端子から ADM2 レジスタで指定されるアナログ入力までを順に選択し、A/D 変換します。A/D 変換結果をアナログ入力に対応した ADCRn レジスタに格納します (n = 0-3)。

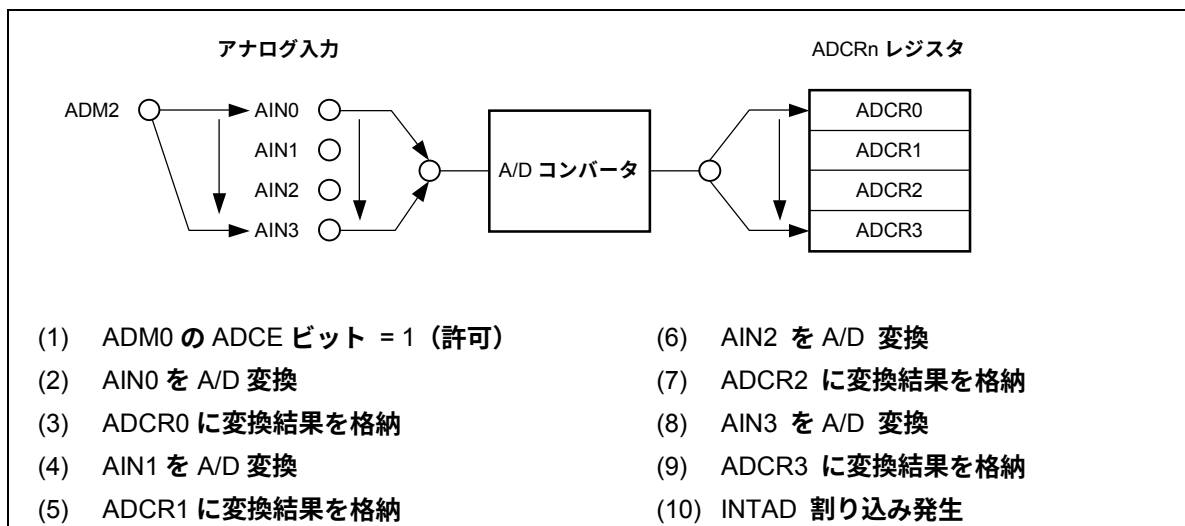
指定したアナログ入力の変換をすべて終了すると、A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。ADM0 レジスタの ADCE ビットを 0 にしない限り、次の変換動作を繰り返し行います。

アナログ入力	A/D 変換結果レジスタ
AINn	ADCR0
⋮	⋮
AINn [※]	ADCRn

注 ADM2 レジスタの AINS1, AINS0 ビットで設定。

複数のアナログ入力を常時監視するような用途に最適です。

図 18-13 スキャン・モード (A/D トリガ・スキャン) の動作例



18.6 タイマ・トリガ・モード時の動作

AIN0-AIN3 端子に設定されたアナログ入力の変換タイミングを、16 ビット・インターバル・タイマ TMM2, TMM3 のコンペア・レジスタに設定した値で規定するモードです。

16 ビット・インターバル・タイマ TMM2, TMM3 のコンペアー一致割り込み (INTTM2EQ0, INTTM3EQ0) 発生により、アナログ入力変換タイミングを生成します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、割り込み (INTTM2EQ0, INTTM3EQ0) 待機状態となり、INTTM2EQ0, INTTM3EQ0 発生により変換動作を開始します (ADM0 レジスタの ADCS ビット = 1)。変換を終了すると再び割り込み待機状態 (ADCS ビット = 0) になります。

変換動作中に INTTM2EQ0, INTTM3EQ0 が発生すると、再度最初から変換動作を行います。

また、変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度、最初から変換を行います。

18.6.1 セレクト・モードの動作

ADM2 レジスタで指定される 1 つのアナログ入力 (AIN0-AIN3) を A/D 変換します。変換結果は、アナログ入力に対応した ADCRn レジスタに格納します。セレクト・モードでは A/D 変換結果の格納法により、1 バッファ・モードと 4 バッファ・モードの 2 通りがあります。

(1) 1 バッファ・モードの動作 (タイマ・トリガ・セレクト 1 バッファ)

1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。

一致割り込み信号 (INTTM2EQ0, INTTM3EQ0) をトリガとして、1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。1 回の A/D 変換ごとに A/D 変換終了割り込み (INTAD) を発生します。

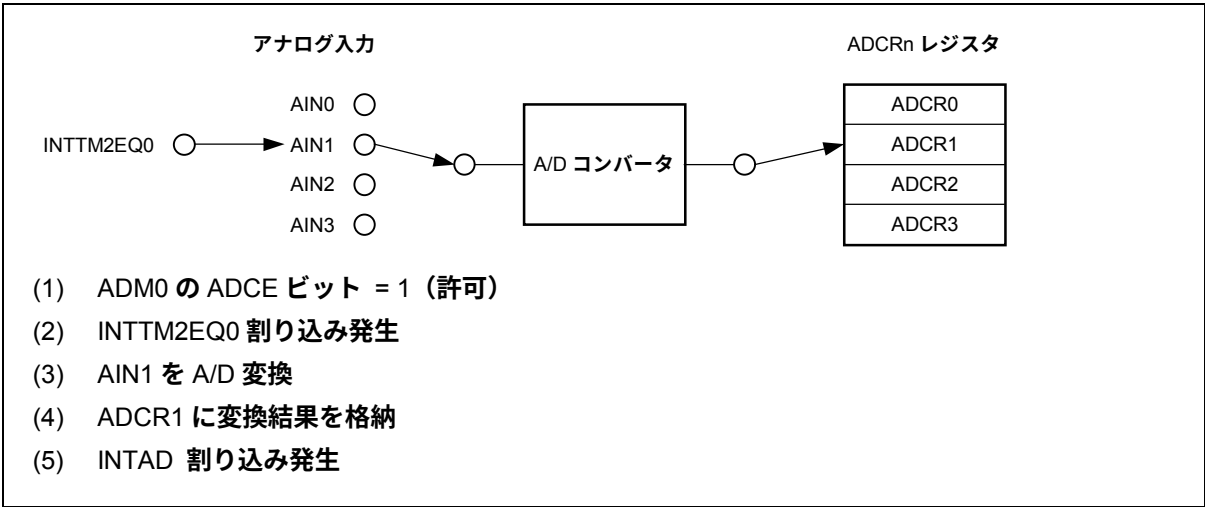
ADM0 レジスタの ADCE ビットを 0 に設定しないかぎり、タイマー一致割り込みが発生するごとに A/D 変換を繰り返します。

表 18-2 アナログ入力端子と ADCRn レジスタの対応
(1 バッファ・モード (タイマ・トリガ・セレクト 1 バッファ))

トリガ	アナログ入力	A/D 変換結果レジスタ
INTTMmEQ0 割り込み	AIN0	ADCR0
INTTMmEQ0 割り込み	AIN1	ADCR1
INTTMmEQ0 割り込み	AIN2	ADCR2
INTTMmEQ0 割り込み	AIN3	ADCR3

備考 m = 2, 3

図 18-14 1 バッファ・モード (タイマ・トリガ・セレクト 1 バッファ) の動作例 (AIN1)



(2) 4 バッファ・モードの動作 (タイマ・トリガ・セレクト 4 バッファ)

1 つのアナログ入力を 4 回 A/D 変換し、その結果を ADCRn レジスタに格納します。

一致割り込み信号 (INTTM2EQ0, INTTM3EQ0) をトリガとして、1 つのアナログ入力を 4 回 A/D 変換し、その結果を 4 つの ADCRn レジスタに格納します。A/D 変換が 4 回終了すると A/D 変換終了割り込み (INTAD) を発生します。

変換終了後は ADM0 レジスタの ADCE ビットを 0 にしない限り次の変換を繰り返します。

A/D 変換結果の平均を求めるような応用に最適です。

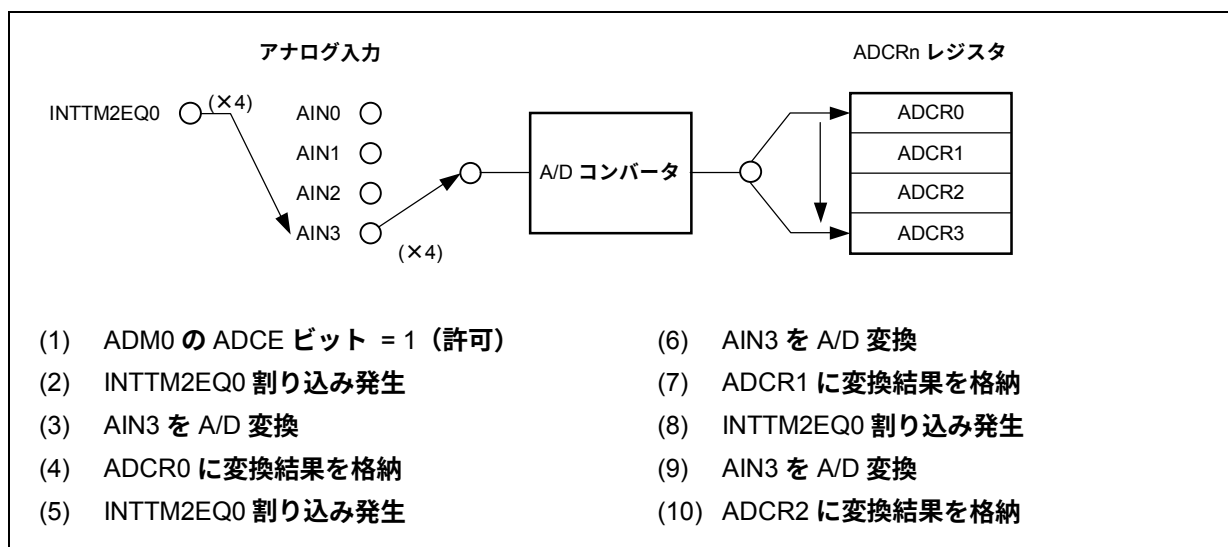
表 18-3 アナログ入力端子と ADCRn レジスタの対応

(4 バッファ・モード (タイマ・トリガ・セレクト 4 バッファ))

トリガ	アナログ入力	A/D 変換結果レジスタ
INTTMmEQ0 割り込み	AIN0-AIN3	ADCR0 (1 回目)
		ADCR1 (2 回目)
		ADCR2 (3 回目)
		ADCR3 (4 回目)

備考 m = 2, 3

図 18-15 4 バッファ・モード (タイマ・トリガ・セレクト 4 バッファ) の動作例 (AIN3)



18.6.2 スキャン・モードの動作

AIN0 端子から ADM2 レジスタで指定されるアナログ入力までを順に選択し、タイマー一致割り込みをトリガとして指定された回数の A/D 変換を行います。

変換結果はアナログ入力に対応した ADCRn レジスタに格納します。指定したアナログ入力の変換がすべて終了すると、A/D 変換終了割り込み (INTAD) を発生します。

変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、トリガ待ちとなり、再びタイマー一致割り込みが発生すると AIN0 入力から A/D 変換を開始します。

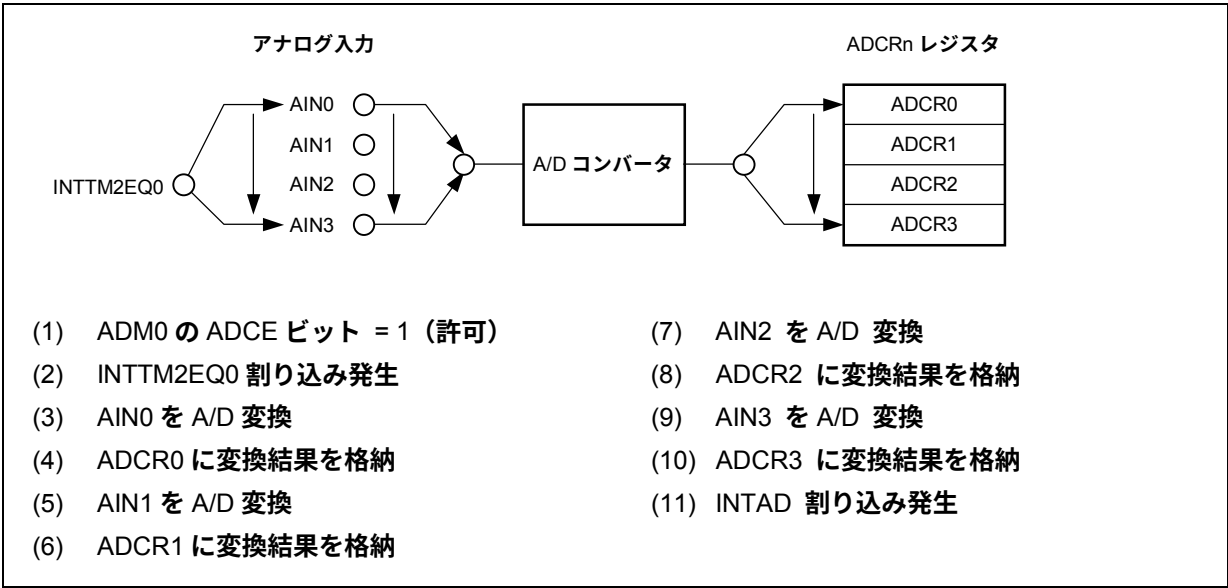
複数のアナログ入力を常時監視するような応用に最適です。

表 18-4 アナログ入力端子と ADCRn レジスタの対応
(スキャン・モード (タイマ・トリガ・スキャン))

トリガ	アナログ入力	A/D 変換結果レジスタ
INTTMmEQ0 割り込み	AIN0	ADCR0
	AIN1	ADCR1
	AIN2	ADCR2
	AIN3	ADCR3

備考 m = 2, 3

図 18-16 スキャン・モード (タイマ・トリガ・スキャン) の動作例 (AIN0-AIN3)



18.7 外部トリガ・モード時の動作

AIN0-AIN3 端子に設定されたアナログ入力の変換タイミングを、ADTRG 端子で指定するモードです。

ADM1 レジスタの EGA1, EGA0 ビットにより ADTRG 端子入力の有効エッジ検出を指定します。

ADM0 レジスタの ADCE ビットを 1 に設定すると、外部トリガ (ADTRG) 待機状態となり、ADTRG の有効エッジが検出されると変換動作を開始します (ADM0 レジスタの ADCS ビット = 1)。変換を終了すると再び外部トリガ待機状態 (ADCS ビット = 0) になります。

変換動作中に ADTRG 端子入力の有効エッジを検出すると、再度最初から変換動作を行います。

また、変換動作中に ADM0-ADM2 レジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

18.7.1 セレクト・モードの動作

ADM2 レジスタで指定する 1 つのアナログ入力 (AIN0-AIN3) を A/D 変換します。変換結果は、アナログ入力に対応した ADCR_n レジスタに格納します。セレクト・モードでは、変換結果の格納方法には 1 バッファ・モードと 4 バッファ・モードの 2 通りがあります。

(1) 1 バッファ・モード (外部トリガ・セレクト 1 バッファ)

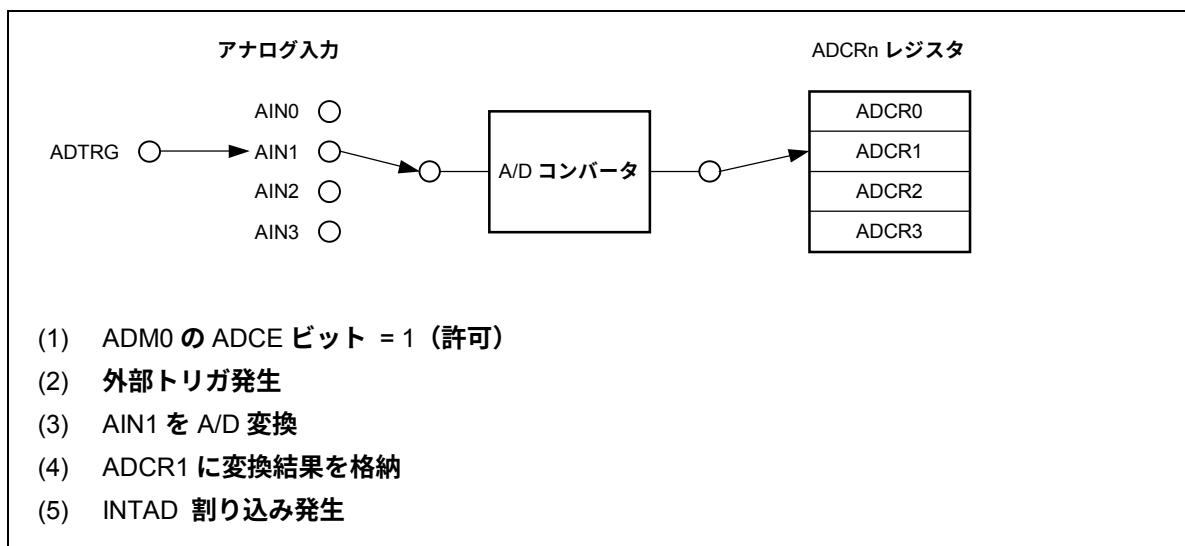
ADTRG 信号をトリガとして 1 つのアナログ入力を 1 回 A/D 変換し、その結果を 1 つの ADCRn レジスタに格納します。アナログ入力と A/D 変換結果レジスタは 1 対 1 に対応しています。1 回の A/D 変換ごとに A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。

トリガ	アナログ入力	A/D 変換結果レジスタ
ADTRG 信号	AINn	ADCRn

ADM0 レジスタの ADCE ビットが 1 の間は、ADTRG 端子からトリガが入力されるごとに A/D 変換を繰り返します。

1 回の A/D 変換ごとに結果を読み出すような応用に最適です。

図 18-17 1 バッファ・モード (外部トリガ・セレクト 1 バッファ) の動作例 (AIN1)



(2) 4 バッファ・モード (外部トリガ・セレクト 4 バッファ)

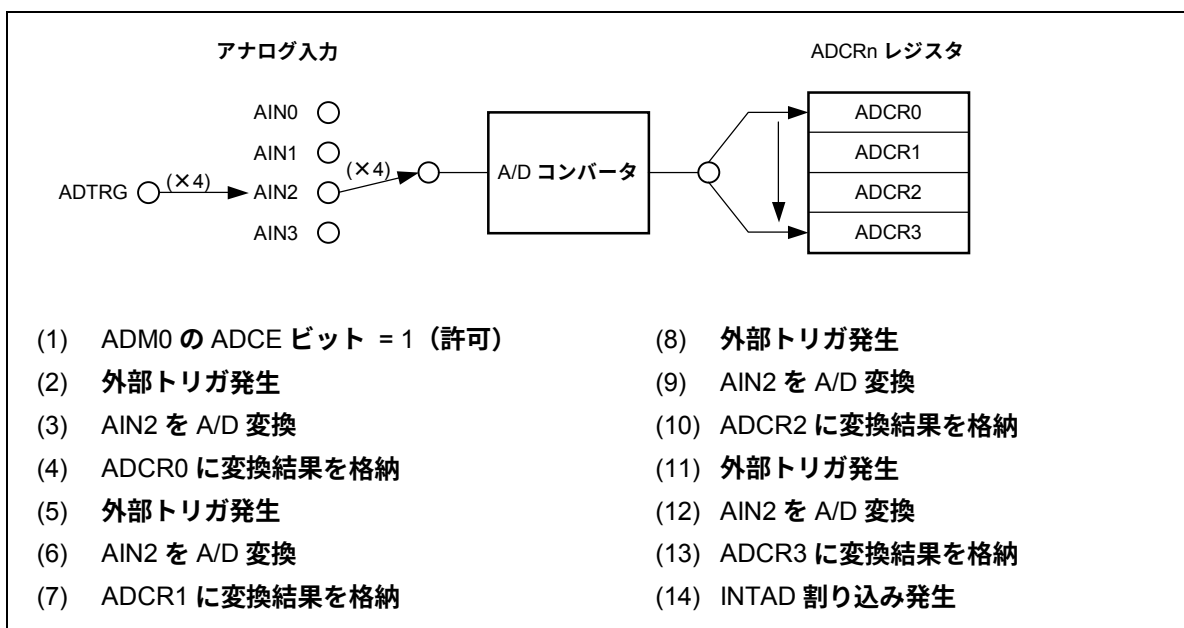
ADTRG 信号をトリガとして 1 つのアナログ入力を 4 回 A/D 変換し、その結果を ADCRn レジスタに格納します。4 回の A/D 変換が終了すると、A/D 変換終了割り込み (INTAD) を発生し、A/D 変換を終了します。

トリガ	アナログ入力	A/D 変換結果レジスタ
ADTRG 信号	AIN0-AIN3	ADCR0 (1 回目)
		ADCR1 (2 回目)
		ADCR2 (3 回目)
		ADCR3 (4 回目)

ADM0 レジスタの ADCE ビットが 1 の間は、ADTRG 端子からトリガが入力されるごとに A/D 変換を繰り返します。

A/D 変換結果の平均を求めるような応用に最適です。

図 18-18 4 バッファ・モード (外部トリガ・セレクト 4 バッファ) の動作例 (AIN2)



18.7.2 スキャン・モードの動作（外部トリガ・スキャン）

ADTRG 信号をトリガとして、AIN0 端子から ADM2 レジスタで指定されるアナログ入力までを順に選択し、A/D 変換します。A/D 変換結果はアナログ入力に対応した ADCRn レジスタに格納します（n = 0-3）。

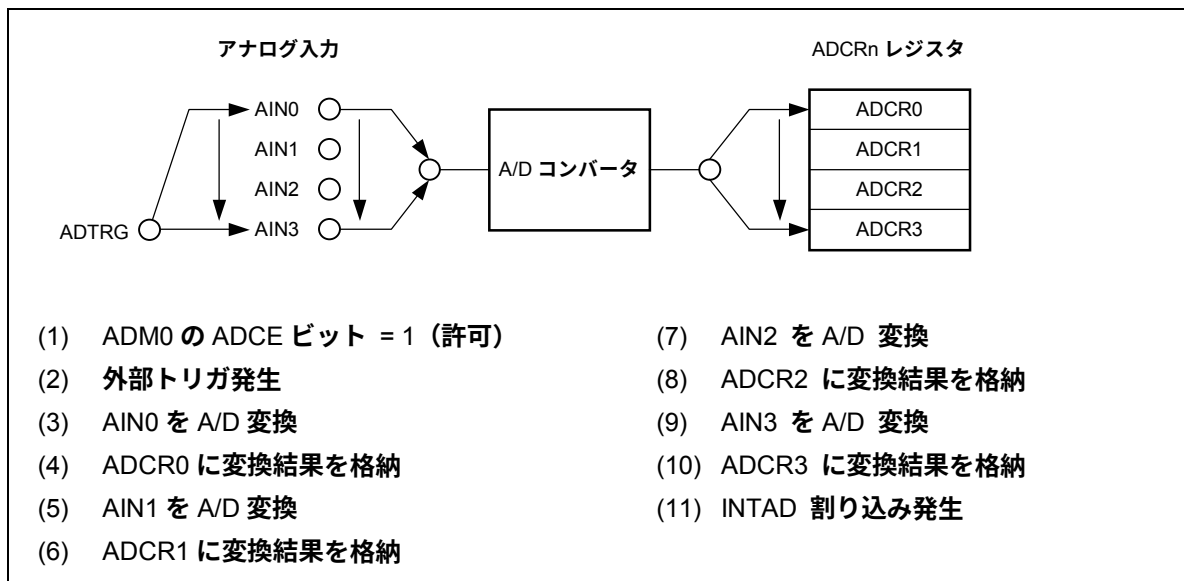
指定したアナログ入力の変換がすべて終了すると、A/D 変換終了割り込み（INTAD）を発生します。変換終了後は、ADM0 レジスタの ADCE ビットを 0 にしない限り、トリガ待ちとなり、再び ADTRG 端子にトリガを入力すると AIN0 入力から A/D 変換を開始します。

トリガ	アナログ入力	A/D 変換結果レジスタ
ADTRG 割り込み	AIN0	ADCR0
	AIN1	ADCR1
	AIN2	ADCR2
	AIN3	ADCR3

ADM0 レジスタの ADCE ビットが 1 の間に ADTRG 端子にトリガを入力すると、再度 A/D 変換を起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図 18-19 スキャン・モード（外部トリガ・スキャン）の動作例（AIN0-AIN3）



18.8 動作上の注意事項

(1) 変換動作の停止

変換動作中に ADM0 レジスタの ADCE ビットに 0 を書き込むと変換動作を停止し、ADCRn レジスタへ変換結果を格納しません (n = 0-3)。

(2) 電源投入直後の A/D 変換結果

電源投入直後の A/D 変換結果は、正しい電圧値を得られない場合があります。A/D コンバータの初期化の中で、ダミー変換を 1 回行ってください。

(3) 周辺マクロ・クロックの下限

A/D コンバータを利用する場合、周辺マクロ・クロック (PCLK) の下限は、6.4MHz です。

(4) 外部／タイマ・トリガの間隔

外部またはタイマ・トリガ・モード時のトリガのインターバル（入力時間の間隔）は、ADM1 レジスタの FR1, FR0 ビットで指定する変換動作時間より長くしてください。

0 < インターバル ≤ 変換動作時間の場合

変換動作中に次の外部トリガまたはタイマ・トリガが入力された場合、変換動作を中断し、最後に入力された外部トリガに従って変換を開始します。

変換動作を中断した場合、ADCRn レジスタに変換結果を格納しません (n = 0-3)。ただし、トリガ入力回数はカウントし、割り込みが発生すると、変換が終了した値を ADCRn レジスタへ格納します。

(5) スタンバイ・モード時の動作

(i) HALT モード

A/D 変換動作を継続します。FE レベル・マスカブル割り込み (NMI 入力) やマスクされていない EI レベル・マスカブル割り込み入力で解除した場合、ADM0, ADM1, ADM2 レジスタと ADCRn レジスタは値を保持します (n = 0-3)。

(ii) IDLE モード

A/D コンバータへのクロック供給は止まるため、変換動作は行われません。

変換動作中に IDLE モードに設定した場合、IDLE モードからの復帰後の A/D 変換結果は保証されません。IDLE モード解除後、改めて A/D 変換を行ってください。

(6) タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みが A/D 変換開始トリガとなり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPU に対するコンペア・レジスタの一致割り込みにもなります。CPU に対するコンペア・レジスタの一致割り込みを発生させないためには、INTTM2EQ0、INTTM3EQ0 割り込み制御レジスタの割り込みマスク・ビットで割り込みを禁止してください。

また、TMM2、TMM3 のカウント・クロックに発振器出力クロック (OSCCLK) を利用している場合は、OSCCLK 周波数 > 周辺マクロ・クロック (PCLK) 周波数では、タイマ・トリガ・モードは利用できません。PLL の SSCG 機能を利用する場合は、その変調周波数も加味してください。

(7) AIN0-AIN3 入力範囲について

AIN0-AIN3 入力電圧は規格の範囲内でご使用ください。特に AVREFP、AVREFM の範囲外、AD_AGND 未満 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(8) 競合動作について

(i) 変換終了時の A/D 変換結果レジスタ (ADCRn, ADCRHn) ライトと命令による ADCRn, ADCRHn リードとの競合

ADCRn, ADCRHn リードが優先されます。リードしたあと、新しい変換結果が ADCRn, ADCRHn にライトされます。

(ii) 変換終了時の ADCRn, ADCRHn ライトと外部トリガ信号入力の競合

A/D 変換中の外部トリガ信号は受け付けません。したがって、ADCRn, ADCRHn ライト中の外部トリガ信号も受け付けません。

(iii) 変換終了時の ADCRn, ADCRHn ライトと A/D コンバータ・モード・レジスタ 1 (ADM1) ライト、または A/D コンバータ・モード・レジスタ 2 (ADM2) ライトの競合

A/D 変換終了後の ADCRn, ADCRHn ライト直後に、ADM1 または ADM2 へライトした場合、ADCRn, ADCRHn レジスタへ変換結果がライトされますが、A/D 変換終了割り込み (INTAD) を発生しないタイミングがあります。

(9) 絶対精度

絶対精度の規格値はマイコン単体の特性であり、セット上の環境 (ボード配線、ノイズの影響等) の影響は受けない場合の値です。セット上の環境による絶対精度の悪化を抑えるためには、AD_AVDD や AD_AGND をデジタル系電源と分離したり、アナログ入力端子 (AIN0-AIN3) がデジタル系信号の影響を受けないようにするなど、ボードのレイアウトには十分注意が必要です。

(10) 一定の A/D コンバータ入力電圧を同一チャネルで複数回 A/D 変換した場合の変換結果

一定の A/D コンバータ入力電圧を同一チャネルで複数回 A/D 変換した場合、理想的な環境（各電源電圧、アナログ入力電圧、周囲温度等が安定状態）において理論的には同じ変換結果が得られますが、実際にはノイズ等による各電源電圧変動、アナログ入力電圧変動、周囲温度変化などの影響で理想的な環境にならず、その結果同じ変換結果にならないことがあります。

特にアナログ入力電圧がデジタル値の変化点近傍の場合、非常に微妙な環境の影響でこの現象が現われやすくなります。

(11) ノイズ対策について

アナログ入力端子（AIN0-AIN3）および基準電圧入力端子（AVREFP, AVREFM）にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- ・複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

(12) カップリング・ノイズ

A/D 変換中に端子へデジタル・パルス印加したりデジタル・バッファの出力端子として動作したりすると、カップリング・ノイズによって A/D 変換値が期待どおりに得られないことがあります。

(13) 基板設計時の注意

共通インピーダンス、インダクタンスによる電位変動から来る制約として、基板設計時には、デジタル信号とアナログ信号をできるだけ分離してください。またデジタル信号とアナログ信号を交差させたり、近接させるようなことはできるだけ避けてください。

AD_AGND 端子は基板上の安定した GND と 1 点で接続（1 点アース）してください。

(14) AVREFP, AVREFM 端子

AVREFP, AVREFM 端子への供給部のインピーダンスが高い場合や電源の電流供給能力が低い場合、基準電圧が変動し変換精度が悪くなるおそれがあります。これを避けるために AVREFP, AVREFM 端子と AD_AGND 端子間にコンデンサを接続することを推奨します。

(15) バイパス・コンデンサの接続

AD_AVDD, AVREFP, AVREFM 端子に接続するバイパス・コンデンサは、チップ・コンデンサ等の高周波特性の良いものを使用し、できるだけデバイスの近くに接続してください。

(16) 再変換動作の安定時間

A/D 安定時間中に A/D 制御レジスタへの書き込みあるいは外部／タイマ・トリガを入力した場合、再変換動作の安定時間が長くなる場合があります。

(17) 安定時間中の再変換起動トリガ入力

安定時間終了タイミングとレジスタへの書き込みが競合、または安定時間終了タイミングとトリガの入力が競合した場合、安定時間が再挿入されます。

(18) A/D 変換結果のばらつき

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D 変換結果の平均値をとるなど、プログラムで対策してください。

(19) A/D 変換のヒステリシス特性

逐次比較型 A/D コンバータは、内部のサンプル＆ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D 変換を行います。A/D 変換が終了したあとも、内部のサンプル＆ホールド用コンデンサには、アナログ入力電圧が残っています。このためアナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- ・ 同一チャンネルで A/D 変換を実行している場合、以前の A/D 変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・ アナログ入力チャンネルを切り替える場合、1 つの A/D コンバータを用いて A/D 変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、アナログ入力源の出力インピーダンスを低くするか、または同一チャンネルで 2 回連続 A/D 変換を行い、1 回目の変換結果を廃棄してください。

(20) 16 ビット・レジスタの 8 ビット・アクセスについて

A/D コンバータのレジスタは、内部システム・バスのブリッジを経由してアクセスされます。このため、内部システム・バスとブリッジの仕様により、16 ビット・レジスタの上位 8 ビットと下位 8 ビットを、それぞれ別のアドレスでアクセスするレジスタがあります。

たとえば、ある 16 ビット・レジスタが、XXXX 0010H に配置されている場合、一般的にはそのレジスタの下位 8 ビットは、XXXX 0010H、上位 8 ビットは XXXX 0011H でアクセスされますが、A/D コンバータのレジスタでは、下位 8 ビットは、XXXX 0012H、上位 8 ビットは XXXX 0017H でアクセスする必要があります。ただし、8/1 ビット・アクセスが許可されているレジスタに限ります。

第19章 ポート機能

19.1 特 徴

- 入出力ポート：112 本
- ほかの周辺機能の入出力端子と兼用
- ビット単位で入力／出力指定可能

注意 1. ポートと兼用している内蔵周辺機能の信号は、PMCTn レジスタの切り替えを行うと、直前の端子状態などによりスパイクが発生する可能性があります（n = 0-9, A-E）。

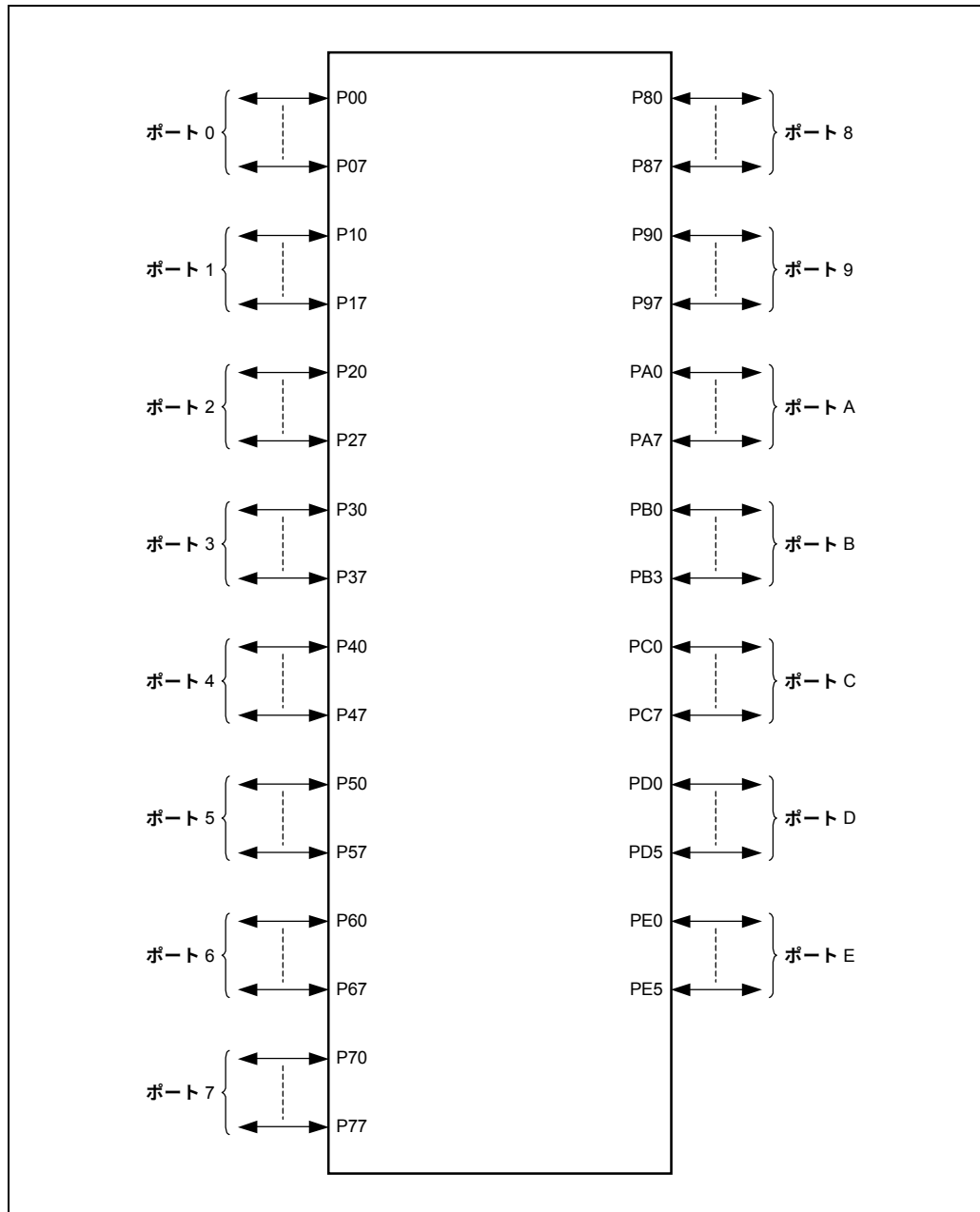
- 内蔵機能の動作が停止している間に切り替える。
- 割り込み信号との兼用端子は、いったん割り込み要求フラグをクリアしてからマスクを解除する。
- 出力値を確定させてから、モードを切り替える

などの、一般的なスパイク対策処理をソフトウェアで行ってください。

2. 入力バッファは、貫通電流対策を行っていないため、中間電位を外部から与えないでください。

19.2 ポートの基本構成

EP3-AM1 は、ポート 0-9 A-E の合計 112 本の入力／出力ポートを内蔵しています。ポートの構成を次に示します。



(1) 各ポートの機能

EP3-AM1 のポートには、次に示すような種類があります。どのポートも 8/1 ビット単位の操作が可能で、多様な制御を行うことができます。また、ポートとしての機能のほかにコントロール・モードとして内蔵周辺機能の入出力端子としての機能を持っています。

ポート	入出力	兼用機能
ポート 0 (P00-P07)	8 ビット入出力	外部割り込み (INTPZ0-INTPZ7)
ポート 1 (P10-P17)	8 ビット入出力	外部割り込み (INTPZ8-INTPZ15)
ポート 2 (P20-P27)	8 ビット入出力	外部割り込み (INTPZ16-INTPZ23) , ウォッチドッグ・タイマ出力 (WDTOUTZ)
ポート 3 (P30-P37)	8 ビット入出力	UART 入出力 (チャンネル 0, 1) , クロック同期式シリアル・インタフェース (チャンネル 2, 3)
ポート 4 (P40-P47)	8 ビット入出力	UART 入出力 (チャンネル 2, 3)
★ ポート 5 (P50-P57)	8 ビット入出力	16 ビット・タイマ／カウンタ AA (TAA) 入出力 (チャンネル 0-3) , 外部割り込み (INTPZ24-INTPZ31)
ポート 6 (P60-P67)	8 ビット入出力	アドレス・バス (A20-A26, A1)
ポート 7 (P70-P77)	8 ビット入出力	ウエイト入力 (WAITZ) , チップ・セレクト出力, 上位用バイト・レーン信号 (BENZ2, BENZ3) , IDLE モード状態出力 (IDLEOUTZ)
ポート 8 (P80-P87)	8 ビット入出力	バス・ホールド機能入出力 (HLDRQZ, HLDKZ) , バス・リクエスト (BUSREQZ) , ウォッチドッグ・タイマ出力 (WDTOUTZ) , シリアル・フラッシュ ROM インタフェース
ポート 9 (P90-P97)	8 ビット入出力	上位データ・バス (D16-D23) , 16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力 (チャンネル 0) , 外部割り込み (INTPZ42-INTPZ45)
ポート A (PA0-PA7)	8 ビット入出力	上位データ・バス (D24-D31) , 16 ビット・タイマ／イベント・カウンタ T (TMT) 入出力 (チャンネル 1) , 外部割り込み (INTPZ46-INTPZ49)
★ ポート B (PB0-PB3)	4 ビット入出力	16 ビット・タイマ／カウンタ AA (TAA) 入出力 (チャンネル 4, 5) , 外部割り込み (INTPZ32-INTPZ35)
ポート C (PC0-PC7)	8 ビット入出力	クロック同期式シリアル・インタフェース (チャンネル 0, 1) , 外部 A/D トリガ (ADTRG) , 外部割り込み (INTPZ40, INTPZ41)
ポート D (PD0-PD5)	6 ビット入出力	システム・バス DMA 入出力 (チャンネル 0, 1) , クロック同期式シリアル・インタフェース (チャンネル 4, 5) , 外部割り込み (INTPZ36, INTPZ37)
ポート E (PE0-PE5)	6 ビット入出力	システム・バス DMA 入出力 (チャンネル 2, 3) , クロック同期式シリアル・インタフェース (チャンネル 6, 7) , 外部割り込み (INTPZ38, INTPZ39)

注意 1. コントロール・モード時に、出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次に示す手順で設定を行ってください。

- ①コントロール・モードで出力する信号のインアクティブ・レベルをポート n の該当するビットに設定します (n = 0-9 ,A-E) 。
- ②ポート n モード・コントロール・レジスタ (PMCTn) により、コントロール・モードに切り替えます。

上記の①を行わない場合は、ポート・モードからコントロール・モードに切り替える際にポート n の内容が一瞬出力されることがあります。

2. ビット操作命令 (SET1, CLR1, NOT1) でポート操作を行う場合、ポートに対してバイト・データ・リードを行い、操作対象のビットのみデータの加工を行い、変換後のバイト・データをポートに書き戻します。たとえば、入力／出力が混在しているポートでは、操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため、入力端子の出力ラッチは不定になります（ただし、入力モードの場合、出力バッファがオフしているため、端子状態は変化しません）。
- したがって、ポートを入力から出力に切り替える場合は、該当するビットに出力期待値を設定してから、出力ポートに切り替えてください。また、コントロール・モードと出力ポートが混在する場合も同様です。

(2) 各ポート端子のリセット時の機能とポート・モード／コントロール・モードを設定するレジスタ

(1/3)

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ
ポート 0	P00-P07	INTPZ0-INTPZ7			P00-P07 (入力モード)	PM0, PMCT0
ポート 1	P10-P17	INTPZ8-INTPZ15			P10-P17 (入力モード)	PM1, PMCT1
ポート 2	P20-P26	INTPZ16-INTPZ22			P20-P26 (入力モード)	PM2, PMCT2
	P27	INTPZ23	WDTOUTZ		P27 (入力モード)	PM2, PMCT2, PFC2
ポート 3	P30	TXD0	SCK2		P30 (入力モード)	PM3, PMCT3, PFC3
	P31	RXD0	SO2		P31 (入力モード)	
	P32	RTS0	SI2		P32 (入力モード)	
	P33	CTS0			P33 (入力モード)	
	P34	TXD1	SCK3		P34 (入力モード)	
	P35	RXD1	SO3		P35 (入力モード)	
	P36	RTS1	SI3		P36 (入力モード)	
	P37	CTS1			P37 (入力モード)	
ポート 4	P40	TXD2			P30 (入力モード)	PM4, PMCT4
	P41	RXD2			P31 (入力モード)	
	P42	RTS2			P32 (入力モード)	
	P43	CTS2			P33 (入力モード)	
	P44	TXD3			P34 (入力モード)	
	P45	RXD3			P35 (入力モード)	
	P46	RTS3			P36 (入力モード)	
	P47	CTS3			P37 (入力モード)	
ポート 5	P50	TIA00/INTP24	TOA00		P50 (入力モード)	PM5, PMCT5, PFC5
	P51	TIA01/INTP25	TOA01		P51 (入力モード)	
	P52	TIA10/INTP26	TOA10		P52 (入力モード)	
	P53	TIA11/INTP27	TOA11		P53 (入力モード)	
	P54	TIA20/INTP28	TOA20		P54 (入力モード)	
	P55	TIA21/INTP29	TOA21		P55 (入力モード)	
	P56	TIA30/INTP30	TOA30		P56 (入力モード)	
	P57	TIA31/INTP31	TOA31		P57 (入力モード)	
ポート 6	P60-P66	A20-A26			下記注を参照	PM6, PMCT6
	P67	A1			下記注を参照	

注 BUS32EN0 端子による MEMC #1 の起動時のバス・サイズの設定により初期値が決定されます。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

(2/3)

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ
ポート 7	P70	WAITZ			P70（入力モード）	PM7, PMCT7
	P71-P73	STCSZ1-STCSZ3			P71-P73（入力モード）	
	P74	DYCSZ			P74（入力モード）	
	P75	IDLEOUTZ			P75（入力モード）	
	P76, P77	BENZ2, BENZ3			下記注 1 を参照	
ポート 8	P80	HLDRQZ			P80（入力モード）	PM8, PMCT8
	P81	HLDAKZ			P81（入力モード）	
	P82	BUSREQZ			P82（入力モード）	
	P83	WDTOUTZ			P83（入力モード）	
	P84	SMSCK			下記注 2 を参照	
	P85	SMSO				
	P86	SMSI				
	P87	SMCSZ				
ポート 9	P90	D16	TENC00		下記注 1 を参照	PM9, PMCT9, PFC9
	P91	D17	TENC01			
	P92	D18	TECR0 / INTPZ42			
	P93	D19	TRGT0 / INTPZ43			
	P94	D20	EVTT0 / INTPZ44			PM9, PMCT9, PFC9, PFC9X9
	P95	D21	TIT00	TOT00		
	P96	D22	TIT01	TOT01		PM9, PMCT9, PFC9
	P97	D23	INTPZ45			

注 1. BUS32EN0 端子による MEMC #1 の起動時のバス・サイズの設定により初期値が決定されます。

BUS32 EN0	MEMC #1 の起動時のバス・サイズ	BSC レジスタ	P67 端子の動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

2. BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	—	—

(3/3)

ポート名	端子名	兼用機能 1	兼用機能 2	兼用機能 3	リセット時の端子機能	モードを設定するレジスタ
ポート A	PA0	D24	TENC10		下記注を参照	PMA, PMCTA, PFCA
	PA1	D25	TENC11			
	PA2	D26	TECR1 / INTPZ46			
	PA3	D27	TRGT1 / INTPZ47			
	PA4	D28	EVT11 / INTPZ48			PMCA, PMCTA, PFCA, PFCEXA
	PA5	D29	TIT10	TOT10		
	PA6	D30	TIT11	TOT11		PMA, PMCTA, PFCA
	PA7	D31	INTPZ49			
ポート B	PB0	TIA40 / INTPZ32	TOA40		PB0 (入力モード)	PMB, PMCTB, PFCB
	PB1	TIA41 / INTPZ33	TOA41		PB1 (入力モード)	
	PB2	TIA50 / INTPZ34	TOA50		PB2 (入力モード)	
	PB3	TIA51 / INTPZ35	TOA51		PB3 (入力モード)	
ポート C	PC0	SCK0			PC0 (入力モード)	PMC, PMCTC
	PC1	SO0			PC1 (入力モード)	
	PC2	SI0			PC2 (入力モード)	
	PC3	SCK1			PC3 (入力モード)	
	PC4	SO1			PC4 (入力モード)	
	PC5	SI1			PC5 (入力モード)	
	PC6	INTPZ40			PC6 (入力モード)	
	PC7	ADTRG / INTPZ41			PC7 (入力モード)	
ポート D	PD0	DMAREQZ0 / INTPZ36	SCK4		PD0 (入力モード)	PMD, PMCTD, PFCB
	PD1	DMAACKZ0	SO4		PD1 (入力モード)	
	PD2	DMATCZ0	SI4		PD2 (入力モード)	
	PD3	DMAREQZ1 / INTPZ37	SCK5		PD3 (入力モード)	
	PD4	DMAACKZ1	SO5		PD4 (入力モード)	
	PD5	DMATCZ1	SI5		PD5 (入力モード)	
ポート E	PE0	DMAREQZ2 / INTPZ38	SCK6		PE0 (入力モード)	PME, PMCTE, PFCE
	PE1	DMAACKZ2	SO6		PE1 (入力モード)	
	PE2	DMATCZ2	SI6		PE2 (入力モード)	
	PE3	DMAREQZ3 / INTPZ39	SCK7		PE3 (入力モード)	
	PE4	DMAACKZ3	SO7		PE4 (入力モード)	
	PE5	DMATCZ3	SI7		PE5 (入力モード)	

注 BUS32EN0 端子による MEMC #1 の起動時のバス・サイズの設定により初期値が決定されます。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

19.3 ポートの構成

3 ステート入出力ポートを 15 ポート内蔵しています。1 ビット単位に入出力指定が可能です。ポートの基本構造は 8 ビット単位ですが、一部のポートは 8 ビット未満の構成になっています。

ポートには、下記のレジスタがあり、入出力の設定、兼用機能の選択を行います。またポートの基本回路構成を図 19-1 に示します。

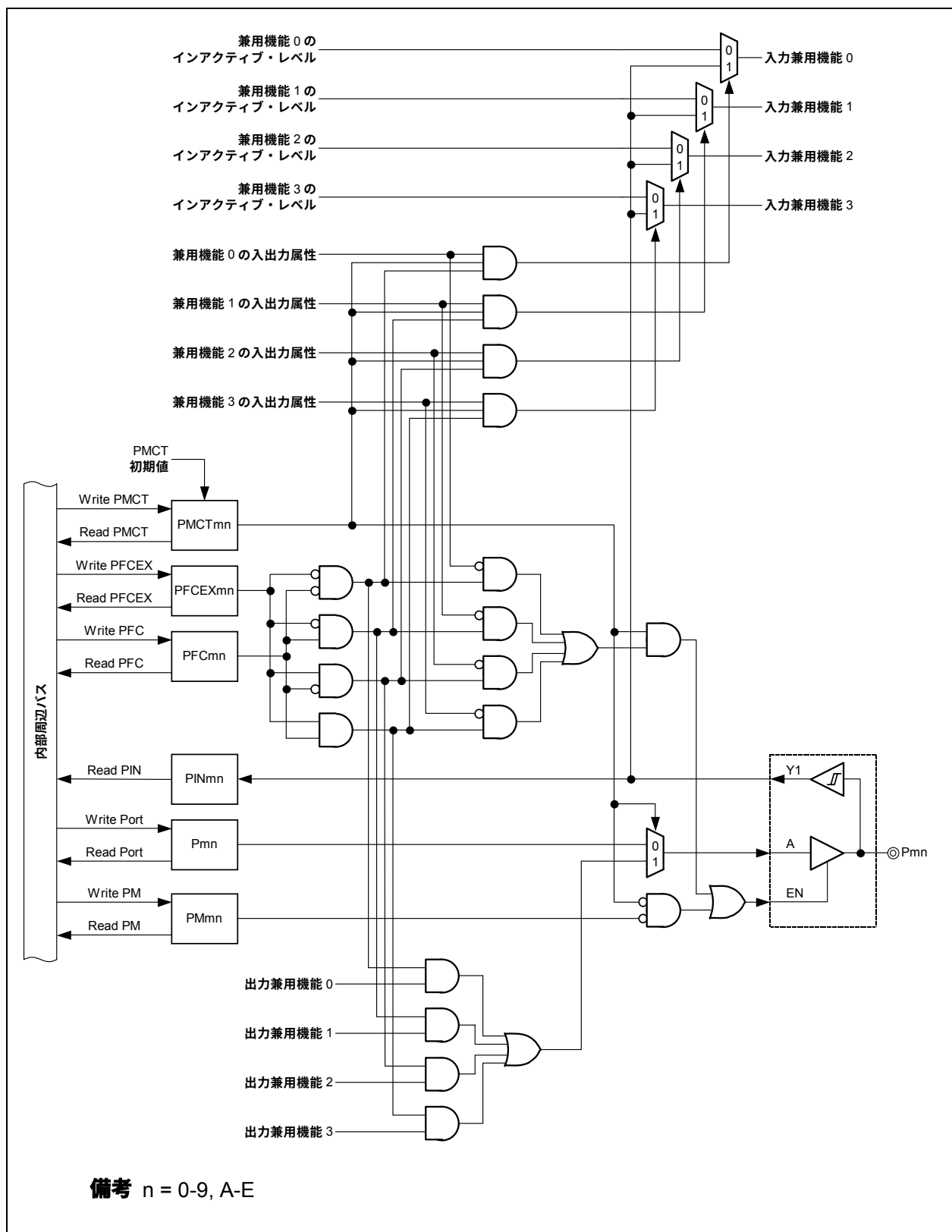
表 19-1 ポートのレジスタ

レジスタ名	用途と動作	
	リード	ライト
ポート・レジスタ (Pn)	出力ラッチの値を読み出します。	出力ラッチに値を設定します。
ポート・モード・レジスタ (PMn)	ポートの入出力モードを読み出します。	ポートの入出力モードを設定します。
ポート・モード・コントロール・レジスタ (PMCTn)	ポートとして利用するか、兼用機能を利用するかを選択状態を読み出します。	ポートとして利用するか、兼用機能を利用するかを選択します。
ポート・ファンクション・コントロール・レジスタ (PFCn)	2 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。	2 つ以上の兼用機能があるポートで、兼用機能のどれを利用するか選択します。
ポート・ファンクション・コントロール拡張レジスタ (PFCn)	3 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。	3 つ以上の兼用機能があるポートで、兼用機能のどれを利用するかを PFCn レジスタとともに選択します。
ポート端子入力レジスタ (PINn)	ポート端子の入力レベルを読み出します。	ライトできません。

注意 外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCTn レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。

備考 n = 0-9, A-E

図 19-1 ポートの基本回路構成



19.4 ポート・レジスタ (P0-P9, PA-PE)

3 ステート入出力ポートを 15 ポート内蔵しています。1 ビット単位に入出力指定が可能です。

ポート・レジスタは、出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。リードすると出力ラッチの値を読み出します。端子レベルをリードする場合は、PINx レジスタを使用します。

8/1 ビット単位でリード／ライト可能です。PB のビット 0-3 以外、PD, PE のビット 0-5 以外への書き込みは無視されます。リード時には 0 が読み出されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0	P07	P06	P05	P04	P03	P02	P01	P00	0F01 8000H	不定
P1	P17	P16	P15	P14	P13	P12	P11	P10	0F01 8004H	不定
P2	P27	P26	P25	P24	P23	P22	P21	P20	0F01 8008H	不定
P3	P37	P36	P35	P34	P33	P32	P31	P30	0F01 800CH	不定
P4	P47	P46	P45	P44	P43	P42	P41	P40	0F01 8010H	不定
P5	P57	P56	P55	P54	P53	P52	P51	P50	0F01 8014H	不定
P6	P67	P66	P65	P64	P63	P62	P61	P60	0F01 8018H	不定
P7	P77	P76	P75	P74	P73	P72	P71	P70	0F01 801CH	不定
P8	0	0	P85	P84	P83	P82	P81	P80	0F01 8020H	不定
P9	P97	P96	P95	P94	P93	P92	P91	P90	0F01 8024H	不定
PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	0F01 8028H	不定
PB	0	0	0	0	PB3	PB2	PB1	PB0	0F01 802CH	不定
PC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	0F01 8030H	不定
PD	0	0	PD5	PD4	PD3	PD2	PD1	PD0	0F01 8034H	不定
PE	0	0	PE5	PE4	PE3	PE2	PE1	PE0	0F01 8038H	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	Pmn	出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。リードすると出力ラッチの値を読み出します。

備考 m = 0-9, A-E, n = 0-7

19.5 ポート・モード・レジスタ (PM0-PM9, PMA-PME)

ポートの入力／出力を 1 ビット単位で指定するレジスタです。

8/1 ビット単位でリード／ライト可能です。PMB のビット 0-3 以外, PMD, PME のビット 0-5 以外への書き込みは無視されます。リード時には 1 が読み出されます。

RESETZ 入力により, FFH になり入力ポートになります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	0F01 8100H	FFH
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	0F01 8104H	FFH
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	0F01 8108H	FFH
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	0F01 810CH	FFH
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	0F01 8110H	FFH
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	0F01 8114H	FFH
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	0F01 8118H	FFH
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	0F01 811CH	FFH
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	0F01 8120H	FFH
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	0F01 8124H	FFH
PMA	PMA7	PMA6	PMA5	PMA4	PMA3	PMA2	PMA1	PMA0	0F01 8128H	FFH
PMB	1	1	1	1	PMB3	PMB2	PMB1	PMB0	0F01 812CH	FFH
PMC	PMC7	PMC6	PMC5	PMC4	PMC3	PMC2	PMC1	PMC0	0F01 8130H	FFH
PMD	1	1	PMD5	PMD4	PMD3	PMD2	PMD1	PMD0	0F01 8134H	FFH
PME	1	1	PME5	PME4	PME3	PME2	PME1	PME0	0F01 8138H	FFH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	PMmn	ポートの入出力を設定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）（初期値）

備考 m = 0-9, A-E, n = 0-7

19.6 ポート・モード・コントロール・レジスタ (PMCT0-PMCT9, PMCTA-PMCTE)

ポートをポートとして使用するか、兼用機能で使用するかを選択するレジスタです。

8/1 ビット単位でリード／ライト可能です。下記のレジスタ説明で 0 のビットへの書き込みは無視されます。
リード時には 0 が読み出されます。

RESETZ 入力により、PMCT6-PMCT9, PMCTA を除き 00H になります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT0	PMCT07	PMCT06	PMCT05	PMCT04	PMCT03	PMCT02	PMCT01	PMCT00	0F01 8200H	00H
PMCT1	PMCT17	PMCT16	PMCT15	PMCT14	PMCT13	PMCT12	PMCT11	PMCT10	0F01 8204H	00H
PMCT2	PMCT27	PMCT26	PMCT25	PMCT24	PMCT23	PMCT22	PMCT21	PMCT20	0F01 8208H	00H
PMCT3	PMCT37	PMCT36	PMCT35	PMCT34	PMCT33	PMCT32	PMCT31	PMCT30	0F01 820CH	00H
PMCT4	PMCT47	PMCT46	PMCT45	PMCT44	PMCT43	PMCT42	PMCT41	PMCT40	0F01 8210H	00H
PMCT5	PMCT57	PMCT56	PMCT55	PMCT54	PMCT53	PMCT52	PMCT51	PMCT50	0F01 8214H	00H
PMCT6	PMCT67	PMCT66	PMCT65	PMCT64	PMCT63	PMCT62	PMCT61	PMCT60	0F01 8218H	80H/ 00H 注1
PMCT7	PMCT77	PMCT76	PMCT75	PMCT74	PMCT73	PMCT72	PMCT71	PMCT70	0F01 821CH	00H/ C0H 注1
PMCT8	PMCT8	PMCT8	PMCT85	PMCT84	PMCT83	PMCT82	PMCT81	PMCT80	0F01 8220H	00H/ F0H 注2
PMCT9	PMCT97	PMCT96	PMCT95	PMCT94	PMCT93	PMCT92	PMCT91	PMCT90	0F01 8224H	00H/ FFH 注1
PMCTA	PMCTA7	PMCTA6	PMCTA5	PMCTA4	PMCTA3	PMCTA2	PMCTA1	PMCTA0	0F01 8228H	00H/ FFH 注1
PMCTB	0	0	0	0	PMCTB3	PMCTB2	PMCTB1	PMCTB0	0F01 822CH	00H
PMCTC	PMCTC7	PMCTC6	PMCTC5	PMCTC4	PMCTC3	PMCTC2	PMCTC1	PMCTC0	0F01 8230H	00H
PMCTD	0	0	PMCTD5	PMCTD4	PMCTD3	PMCTD2	PMCTD1	PMCTD0	0F01 8234H	00H
PMCTE	0	0	PMCTE5	PMCTE4	PMCTE3	PMCTE2	PMCTE1	PMCTE0	0F01 8238H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	PMCTmn	ポートとして利用するか、兼用機能を利用するかを選択します。 0：ポート・モード（入力系の兼用機能にはインアクティブ・レベルが入力されます） 1：兼用機能（コントロール・モード）

注 注 1, 2 の説明は次のページにあります。

備考 m = 0-9, A-E, n = 0-7

(2/2)

注意 外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCTn レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。

注 1. BUS32EN0 端子による MEMC #1 のバス・サイズ設定により初期値が決定されます。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

2. BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	—	—

19.7 ポート・ファンクション・コントロール・レジスタ (PFC2, PFEC3, PFC5, PFC9, PFCA-PFCE)

兼用機能を選択するレジスタです。1ビット単位で兼用機能を選択できます。

兼用機能が3本のポート9とポートAは、ポート・ファンクション・コントロール拡張レジスタ (PFCEX9, PFCEXA) と併用して兼用機能を選択します。

なお、外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCTn レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。

PFC2, PFC3, PFC5, PFC9, PFCA-PFCE は 8/1 ビット単位でリード／ライト可能です。下記のレジスタ説明で0のビットへの書き込みは無視されます。リード時には0が読み出されます。

RESETZ 入力により、00H になります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	PFC27	0	0	0	0	0	0	0	0F01 8308H	00H
PFC3	0	PFC36	PFC35	PFC34	0	PFC32	PFC31	PFC30	0F01 830CH	00H
PFC5	PFC57	PFC56	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50	0F01 8314H	00H
PFC9	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90	0F01 8324H	00H
PFCA	PFCA7	PFCA6	PFCA5	PFCA4	PFCA3	PFCA2	PFCA1	PFCA0	0F01 8328H	00H
PFCB	0	0	0	0	PFCB3	PFCB2	PFCB1	PFCB0	0F01 832CH	00H
PFCD	0	0	PFCD5	PFCD4	PFCD3	PFCD2	PFCD1	PFCD0	0F01 8334H	00H
PFCE	0	0	PFCE5	PFCE4	PFCE3	PFCE2	PFCE1	PFCE0	0F01 8338H	00H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	PFCmn	兼用機能を選択します。
PFC2.7	PFC27	0 : INTPZ23 を選択 1 : WDTOUTZ を選択
PFC3.6-4, 2-0	PFC36-PFC34, PFC32-PFC30	0 : RTS1, RXD1, TXD1, RTS0, RXD0, TXD (UART) を選択 1 : SCK2, SO2, SI2, SCK3, SO3, SI3 (CSI) を選択
PFC5.7-0	PFC57-PFC50	0 : TIA00 / INTPZ24, TIA01 / INTPZ25, TIA10 / INTPZ26, TIA11 / INTPZ27, TIA20 / INTPZ28, TIA21 / INTPZ29, TIA30 / INTPZ30, TIA31 / INTPZ31 を選択 1 : TOA00, TOA01, TOA10, TOA11, TOA20, TOA21, TOA30, TOA31 を選択
PFC9.7-0	PFC97-PFC90	0 : D16-D23 を選択 1 : TENC00, TENC01, TECR0 / INTPZ42, TRGT0 / INTPZ43, EVT0 / INTPZ44, TIT00 / TOT00, TIT01 / TOT01, INTPZ46 を選択
PFCA.7-0	PFCA7-PFCA0	0 : D24-D31 を選択 1 : TENC10, TENC11, TECR1 / INTPZ46, TRGT1 / INTPZ47, EVT1 / INTPZ48, TIT10 / TOT10, TIT11 / TOT11, INTPZ49 を選択
PFCB.3-0	PFCB3-PFCB0	0 : TIA40 / INTPZ32, TIA41 / INTPZ33, TIA50 / INTPZ34, TIA51 / INTPZ35 を選択 1 : TOA40, TOA41, TOA50, TOA51 を選択
PFCD.5-0	PFCD5-PFCD0	0 : DMATCZ1, DMAACKZ1, DMAREQZ1 / INTPZ37, DMATCZ0, DMAACKZ0, DMAREQZ0 / INTPZ36 を選択 1 : SI5, SO5, SCK5, SI4, SO4, SCK4 (CSI) を選択
PFCE.5-0	PFCE5-PFCE0	0 : DMATCZ3, DMAACKZ3, DMAREQZ3 / INTPZ39, DMATCZ2, DMAACKZ2, DMAREQZ2 / INTPZ38 を選択 1 : SI7, SO7, SCK7, SI6, SO6, SCK6 (CSI) を選択

備考 m = 2, 3, 5, 9, A, B, D, E, n = 0-7

19.8 ポート・ファンクション・コントロール拡張レジスタ
(PFCEX9, PFCEXA)

ポート 9, ポート A の兼用拡張機能を選択するレジスタです。1 ビット単位で兼用機能を選択できます。

ポート 9 とポート A は 3 本の兼用機能があるため,ポート・ファンクション・コントロール・レジスタ (PFC9, PFCA) と併用して兼用機能を選択します。

PFCEX9, PFCEXA は 8/1 ビット単位でリード／ライト可能です。下記のレジスタ説明で 0 のビットへの書き込みは無視されます。リード時には 0 が読み出されます。

RESETZ 入力により, 00H になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCEX9	0	PFCEX96	PFCEX95	0	0	0	0	0	0F01 8424H	00H
PFCEXA	0	PFCEXA6	PFCEXA5	0	0	0	0	0	0F01 8428H	00H
R/W	0	R/W	R/W	0	0	0	0	0		

ビット位置	ビット名	意 味
7-0	PFCEXmn	兼用機能を選択します。
PFCEX9. 6, 5	PFCEX96, PFCEX95	0 : TIT00, TIT01 を選択 1 : TOT00, TOT01 を選択
PFCEXA. 6, 5	PFCEXA6, PFCEXA5	0 : TIT10, TIT11 を選択 1 : TOT10, TOT11 を選択

備考 m = 9, A, n = 5, 6

19.9 ポート端子入力レジスタ (PIN0-PIN9, PINA-PINE)

ポートの端子レベルを読み出すレジスタです。

ポートの動作モードに関係なく、ポートの端子レベルを読み出します。

PIN0-PIN9, PINA-PINE レジスタは 8/1 ビット単位でリードのみ可能です。書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
PIN0	PIN07	PIN06	PIN05	PIN04	PIN03	PIN02	PIN01	PIN00	0F01 8500H	注
PIN1	PIN17	PIN16	PIN15	PIN14	PIN13	PIN12	PIN11	PIN10	0F01 8504H	注
PIN2	PIN27	PIN26	PIN25	PIN24	PIN23	PIN22	PIN21	PIN20	0F01 8508H	注
PIN3	PIN37	PIN36	PIN35	PIN34	PIN33	PIN32	PIN31	PIN30	0F01 850CH	注
PIN4	PIN47	PIN46	PIN45	PIN44	PIN43	PIN42	PIN41	PIN40	0F01 8510H	注
PIN5	PIN57	PIN56	PIN55	PIN54	PIN53	PIN52	PIN51	PIN50	0F01 8514H	注
PIN6	PIN67	PIN66	PIN65	PIN64	PIN63	PIN62	PIN61	PIN60	0F01 8518H	注
PIN7	PIN77	PIN76	PIN75	PIN74	PIN73	PIN72	PIN71	PIN70	0F01 851CH	注
PIN8	PIN87	PIN86	PIN85	PIN84	PIN83	PIN82	PIN81	PIN80	0F01 8520H	注
PIN9	PIN97	PIN96	PIN95	PIN94	PIN93	PIN92	PIN91	PIN90	0F01 8524H	注
PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	0F01 8528H	注
PINB	0	0	0	0	PINB3	PINB2	PINB1	PINB0	0F01 852CH	注
PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	0F01 8530H	注
PIND	0	0	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	0F01 8534H	注
PINE	0	0	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	0F01 8538H	注
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味
7-0	PINmn	対応するポートの端子レベルです。 0：ロー・レベル 1：ハイ・レベル

注 端子レベルによります。

備考 m = 0-9, A-E, n = 0-7

19.10 兼用機能の選択一覧

ポート関連レジスタで選択される兼用機能の選択一覧を以下に示します。

(1/4)

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
P00	P00 (出力モード)	P00 (入力モード)	INTPZ0	—	—	—
P01	P01 (出力モード)	P01 (入力モード)	INTPZ1	—	—	—
P02	P02 (出力モード)	P02 (入力モード)	INTPZ2	—	—	—
P03	P03 (出力モード)	P03 (入力モード)	INTPZ3	—	—	—
P04	P04 (出力モード)	P04 (入力モード)	INTPZ4	—	—	—
P05	P05 (出力モード)	P05 (入力モード)	INTPZ5	—	—	—
P06	P06 (出力モード)	P06 (入力モード)	INTPZ6	—	—	—
P07	P07 (出力モード)	P07 (入力モード)	INTPZ7	—	—	—
P10	P10 (出力モード)	P10 (入力モード)	INTPZ8	—	—	—
P11	P11 (出力モード)	P11 (入力モード)	INTPZ9	—	—	—
P12	P12 (出力モード)	P12 (入力モード)	INTPZ10	—	—	—
P13	P13 (出力モード)	P13 (入力モード)	INTPZ11	—	—	—
P14	P14 (出力モード)	P14 (入力モード)	INTPZ12	—	—	—
P15	P15 (出力モード)	P15 (入力モード)	INTPZ13	—	—	—
P16	P16 (出力モード)	P16 (入力モード)	INTPZ14	—	—	—
P17	P17 (出力モード)	P17 (入力モード)	INTPZ15	—	—	—
P20	P20 (出力モード)	P20 (入力モード)	INTPZ16	—	—	—
P21	P21 (出力モード)	P21 (入力モード)	INTPZ17	—	—	—
P22	P22 (出力モード)	P22 (入力モード)	INTPZ18	—	—	—
P23	P23 (出力モード)	P23 (入力モード)	INTPZ19	—	—	—
P24	P24 (出力モード)	P24 (入力モード)	INTPZ20	—	—	—
P25	P25 (出力モード)	P25 (入力モード)	INTPZ21	—	—	—
P26	P26 (出力モード)	P26 (入力モード)	INTPZ22	—	—	—
P27	P27 (出力モード)	P27 (入力モード)	INTPZ23	WDTOUTZ	—	—
P30	P30 (出力モード)	P30 (入力モード)	TXD0	SCK2	—	—
P31	P31 (出力モード)	P31 (入力モード)	RXD0	SO2	—	—
P32	P32 (出力モード)	P32 (入力モード)	RTS0	SI2	—	—
P33	P33 (出力モード)	P33 (入力モード)	CTS0	—	—	—
P34	P34 (出力モード)	P34 (入力モード)	TXD1	SCK3	—	—
P35	P35 (出力モード)	P35 (入力モード)	RXD1	SO3	—	—
P36	P36 (出力モード)	P36 (入力モード)	RTS1	SI3	—	—
P37	P37 (出力モード)	P37 (入力モード)	CTS1	—	—	—

備考 n = 0-9, A-E

m = 0-7, 0-18

(2/4)

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
P40	P40 (出力モード)	P40 (入力モード)	TXD2	—	—	—
P41	P41 (出力モード)	P41 (入力モード)	RXD2	—	—	—
P42	P42 (出力モード)	P42 (入力モード)	RTS2	—	—	—
P43	P43 (出力モード)	P43 (入力モード)	CTS2	—	—	—
P44	P44 (出力モード)	P44 (入力モード)	TXD3	—	—	—
P45	P45 (出力モード)	P45 (入力モード)	RXD3	—	—	—
P46	P46 (出力モード)	P46 (入力モード)	RTS3	—	—	—
P47	P47 (出力モード)	P47 (入力モード)	CTS3	—	—	—
P50	P50 (出力モード)	P50 (入力モード)	TIA00 / INTPZ24	TOA00	—	—
P51	P51 (出力モード)	P51 (入力モード)	TIA01 / INTPZ25	TOA01	—	—
P52	P52 (出力モード)	P52 (入力モード)	TIA10 / INTPZ26	TOA10	—	—
P53	P53 (出力モード)	P53 (入力モード)	TIA11 / INTPZ27	TOA11	—	—
P54	P54 (出力モード)	P54 (入力モード)	TIA20 / INTPZ28	TOA20	—	—
P55	P55 (出力モード)	P55 (入力モード)	TIA21 / INTPZ29	TOA21	—	—
P56	P56 (出力モード)	P56 (入力モード)	TIA30 / INTPZ30	TOA30	—	—
P57	P57 (出力モード)	P57 (入力モード)	TIA31 / INTPZ31	TOA31	—	—
P60	P60 (出力モード)	P60 (入力モード)	A20	—	—	—
P61	P61 (出力モード)	P61 (入力モード)	A21	—	—	—
P62	P62 (出力モード)	P62 (入力モード)	A22	—	—	—
P63	P63 (出力モード)	P63 (入力モード)	A23	—	—	—
P64	P64 (出力モード)	P64 (入力モード)	A24	—	—	—
P65	P65 (出力モード)	P65 (入力モード)	A25	—	—	—
P66	P66 (出力モード)	P66 (入力モード)	A26	—	—	—
P67	P67 (出力モード)	P67 (入力モード)	A1	—	—	—
P70	P70 (出力モード)	P70 (入力モード)	WAITZ	—	—	—
P71	P71 (出力モード)	P71 (入力モード)	STCSZ1	—	—	—
P72	P72 (出力モード)	P72 (入力モード)	STCSZ2	—	—	—
P73	P73 (出力モード)	P73 (入力モード)	STCSZ3	—	—	—
P74	P74 (出力モード)	P74 (入力モード)	DYCSZ	—	—	—
P75	P75 (出力モード)	P75 (入力モード)	IDLEOUTZ	—	—	—
P76	P76 (出力モード)	P76 (入力モード)	BENZ2	—	—	—
P77	P77 (出力モード)	P77 (入力モード)	BENZ3	—	—	—

備考 n = 0-9, A-E

m = 0-7, 0-18

(3/4)

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
P80	P80 (出力モード)	P80 (入力モード)	HLDRQZ	—	—	—
P81	P81 (出力モード)	P81 (入力モード)	HLDKAZ	—	—	—
P82	P82 (出力モード)	P82 (入力モード)	BUSREQZ	—	—	—
P83	P83 (出力モード)	P83 (入力モード)	WDTOUTZ	—	—	—
P84	P84 (出力モード)	P84 (入力モード)	SMSCK	—	—	—
P85	P85 (出力モード)	P85 (入力モード)	SMSO	—	—	—
P86	P86 (出力モード)	P86 (入力モード)	SMSI	—	—	—
P87	P87 (出力モード)	P87 (入力モード)	SMCSZ	—	—	—
P90	P90 (出力モード)	P90 (入力モード)	D16	TENC00	—	—
P91	P91 (出力モード)	P91 (入力モード)	D17	TENC01	—	—
P92	P92 (出力モード)	P92 (入力モード)	D18	TECR0 / INTPZ42	—	—
P93	P93 (出力モード)	P93 (入力モード)	D19	TRGT0 / INTPZ43	—	—
P94	P94 (出力モード)	P94 (入力モード)	D20	EVTT0 / INTPZ44	—	—
P95	P95 (出力モード)	P95 (入力モード)	D21	TIT00	TOT00	—
P96	P96 (出力モード)	P96 (入力モード)	D22	TIT01	TOT01	—
P97	P97 (出力モード)	P97 (入力モード)	D23	INTPZ45	—	—
PA0	PA0 (出力モード)	PA0 (入力モード)	D24	TENC10	—	—
PA1	PA1 (出力モード)	PA1 (入力モード)	D25	TENC11	—	—
PA2	PA2 (出力モード)	PA2 (入力モード)	D26	TECR1 / INTPZ46	—	—
PA3	PA3 (出力モード)	PA3 (入力モード)	D27	TRGT1 / INTPZ47	—	—
PA4	PA4 (出力モード)	PA4 (入力モード)	D28	EVTT1 / INTPZ48	—	—
PA5	PA5 (出力モード)	PA5 (入力モード)	D29	TIT10	TOT10	—
PA6	PA6 (出力モード)	PA6 (入力モード)	D30	TIT11	TOT11	—
PA7	PA7 (出力モード)	PA7 (入力モード)	D31	INTPZ49	—	—
PB0	PB0 (出力モード)	PB0 (入力モード)	TIA40 / INTPZ32	TOA40	—	—
PB1	PB1 (出力モード)	PB1 (入力モード)	TIA41 / INTPZ33	TOA41	—	—
PB2	PB2 (出力モード)	PB2 (入力モード)	TIA50 / INTPZ34	TOA50	—	—
PB3	PB3 (出力モード)	PB3 (入力モード)	TIA51 / INTPZ35	TOA51	—	—
PC0	PC0 (出力モード)	PC0 (入力モード)	SCK0	—	—	—
PC1	PC1 (出力モード)	PC1 (入力モード)	SO0	—	—	—
PC2	PC2 (出力モード)	PC2 (入力モード)	SI0	—	—	—
PC3	PC3 (出力モード)	PC3 (入力モード)	SCK1	—	—	—
PC4	PC4 (出力モード)	PC4 (入力モード)	SO1	—	—	—
PC5	PC5 (出力モード)	PC5 (入力モード)	SI1	—	—	—
PC6	PC6 (出力モード)	PC6 (入力モード)	INTPZ40	—	—	—
PC7	PC7 (出力モード)	PC7 (入力モード)	ADTRG / INTPZ41	—	—	—

備考 n = 0-9, A-E

m = 0-7, 0-18

(4/4)

モード ポート	PMCTmn = 0 (ポート・モード)		PMCTmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEXmn = 0		PFCEXmn = 1	
			PFCmn = 0	PFCmn = 1	PFCmn = 0	PFCmn = 1 (設定禁止)
PD0	PD0 (出力モード)	PD0 (入力モード)	DMAREQZ0 / INTPZ36	SCK4	—	—
PD1	PD1 (出力モード)	PD1 (入力モード)	DMAACKZ0	SO4	—	—
PD2	PD2 (出力モード)	PD2 (入力モード)	DMATCZ0	SI4	—	—
PD3	PD3 (出力モード)	PD3 (入力モード)	DMAREQZ1 / INTPZ37	SCK5	—	—
PD4	PD4 (出力モード)	PD4 (入力モード)	DMAACKZ1	SO5	—	—
PD5	PD5 (出力モード)	PD5 (入力モード)	DMATCZ1	SI5	—	—
PE0	PE0 (出力モード)	PE0 (入力モード)	DMAREQZ2 / INTPZ38	SCK6	—	—
PE1	PE1 (出力モード)	PE1 (入力モード)	DMAACKZ2	SO6	—	—
PE2	PE2 (出力モード)	PE2 (入力モード)	DMATCZ2	SI6	—	—
PE3	PE3 (出力モード)	PE3 (入力モード)	DMAREQZ3 / INTPZ39	SCK7	—	—
PE4	PE4 (出力モード)	PE4 (入力モード)	DMAACKZ3	SO7	—	—
PE5	PE5 (出力モード)	PE5 (入力モード)	DMATCZ3	SI7	—	—

備考 n = 0-9, A-E

m = 0-7, 0-18

19.11 バッファ機能切り替えレジスタ (DRCTRL)

MEMC #1 と兼用のポート 6-9, A, およびポート 2 は、ドライブ能力、プルアップ／プルダウン抵抗をプログラマブルに変更できます。

DRCTRL レジスタは、リセット解除後の初期化処理で設定し、以降の設定変更は、バッファ機能を切り替える端子を利用していないことを条件に切り替えてください。たとえば、内部アクセスのみを行っているときに設定を変更してください。

DRCTRL レジスタの設定は、その端子の動作モード（ポート・モードと兼用機能を利用するコントロール・モードなど）に関係なく有効になります。

32 ビット単位でリード／ライト可能です。

注意 プルアップ／プルダウンの設定変更は、基本的に推奨しません。変更する場合は、以下の点に十分注意してください。

- ①プルアップ／プルダウンの設定変更は、ハイ・インピーダンス時のレベルが変化します。
- ②MEMC #1 端子とポートのプルアップ／プルダウンが同時に変更されるものがあります。特にバス・ホールドなどでのハイ・インピーダンス制御時などに注意が必要です。

(1/2)

DRCTRL																アドレス	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 910CH	
IOL SBUS1	IOL SUBS0	IOL BUS1	IOL BUS0	0	0	0	0	PUI	PDI	IOLI1	IOLI0	1	0	1	0		
MEMC #2 SBUSCLK		MEMC #1 BUSCLK		MEMC #2 (バス以外)													
R/W	R/W	R/W	R/W	R/W	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
																初期値	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	608A 8495H	
PU SU	PD SU	IOL SU1	IOL SU0	PU SD	PD SD	IOL SD1	IOL SD0	PU EU	PD EU	IOL EU1	IOL EU0	PU ED	PD ED	IOL ED1	IOL ED0		
MEMC #2 プルアップ系				MEMC #2 プルダウン系				MEMC #1 プルアップ系				MEMC #1 プルダウン系					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意 味															
23, 22	PUI, PDI	P20-P27 ^{※1} 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <tr> <th>PUI</th><th>PDI</th><th>P20-P27 ^{※1} 端子のプルアップ抵抗／プルダウン抵抗</th></tr> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗（初期値）</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	PUI	PDI	P20-P27 ^{※1} 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗（初期値）	1	1	設定禁止
PUI	PDI	P20-P27 ^{※1} 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗（初期値）															
1	1	設定禁止															
21, 20	IOLI1, IOLI0	P20-P27 ^{※1} 端子のドライブ能力を設定します。 <table border="1"> <tr> <th>IOLI1</th><th>IOLI0</th><th>P20-P27 ^{※1} 端子のドライブ能力</th></tr> <tr> <td>0</td><td>0</td><td>3mA（初期値）</td></tr> <tr> <td>0</td><td>1</td><td>6mA</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	IOLI1	IOLI0	P20-P27 ^{※1} 端子のドライブ能力	0	0	3mA（初期値）	0	1	6mA	1	0	設定禁止	1	1	設定禁止
IOLI1	IOLI0	P20-P27 ^{※1} 端子のドライブ能力															
0	0	3mA（初期値）															
0	1	6mA															
1	0	設定禁止															
1	1	設定禁止															
7, 6	PUEU, PDEU	P70-P77, P80-P82 ^{※2} 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <tr> <th>PUEU</th><th>PDEU</th><th>P70-P77, P80-P82 ^{※2} 端子のプルアップ抵抗／プルダウン抵抗</th></tr> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗（初期値）</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	PUEU	PDEU	P70-P77, P80-P82 ^{※2} 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗（初期値）	1	1	設定禁止
PUEU	PDEU	P70-P77, P80-P82 ^{※2} 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗（初期値）															
1	1	設定禁止															

注 1. DMAACKZ4, DMAACKZ5, DMATCZ4, DMATCZ5 端子も同時に設定されます。

2. RDZ, WRSTBZ, BCYSTZ, STCSZ0, BENZ0, BENZ1, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ 端子も同時に設定されます。

(2/2)

ビット位置	ビット名	意 味															
5, 4	IOLEU1, IOLEU0	P70-P77, P80-P82 ^{※1} 端子のドライブ能力を設定します。 <table border="1"> <thead> <tr> <th>IOLEU1</th><th>IOLEU0</th><th>P70-P77, P80-P82 ^{※1} 端子のドライブ能力</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>3mA</td></tr> <tr> <td>0</td><td>1</td><td>6mA (初期値)</td></tr> <tr> <td>1</td><td>0</td><td>9mA</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	IOLEU1	IOLEU0	P70-P77, P80-P82 ^{※1} 端子のドライブ能力	0	0	3mA	0	1	6mA (初期値)	1	0	9mA	1	1	設定禁止
IOLEU1	IOLEU0	P70-P77, P80-P82 ^{※1} 端子のドライブ能力															
0	0	3mA															
0	1	6mA (初期値)															
1	0	9mA															
1	1	設定禁止															
3, 2	PUED, PDED	P60-P67, P90-P97, PA0-PA7 ^{※2} 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1"> <thead> <tr> <th>PUED</th><th>PDED</th><th>P60-P67, P90-P97, PA0-PA7 ^{※2} 端子の プルアップ抵抗／プルダウン抵抗</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>プルアップ抵抗／プルダウン抵抗なし</td></tr> <tr> <td>0</td><td>1</td><td>プルダウン抵抗 (初期値)</td></tr> <tr> <td>1</td><td>0</td><td>プルアップ抵抗</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	PUED	PDED	P60-P67, P90-P97, PA0-PA7 ^{※2} 端子の プルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗 (初期値)	1	0	プルアップ抵抗	1	1	設定禁止
PUED	PDED	P60-P67, P90-P97, PA0-PA7 ^{※2} 端子の プルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗 (初期値)															
1	0	プルアップ抵抗															
1	1	設定禁止															
1, 0	IOLED1, IOLED0	P60-P67, P90-P97, PA0-PA7 ^{※2} 端子のドライブ能力を設定します。 <table border="1"> <thead> <tr> <th>IOLSD1</th><th>IOLSD0</th><th>P60-P67, P90-P97, PA0-PA7 ^{※2} 端子のドライブ能力</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>3mA</td></tr> <tr> <td>0</td><td>1</td><td>6mA (初期値)</td></tr> <tr> <td>1</td><td>0</td><td>9mA</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	IOLSD1	IOLSD0	P60-P67, P90-P97, PA0-PA7 ^{※2} 端子のドライブ能力	0	0	3mA	0	1	6mA (初期値)	1	0	9mA	1	1	設定禁止
IOLSD1	IOLSD0	P60-P67, P90-P97, PA0-PA7 ^{※2} 端子のドライブ能力															
0	0	3mA															
0	1	6mA (初期値)															
1	0	9mA															
1	1	設定禁止															

注 1. RDZ, WRSTBZ, BCYSTZ, STCSZ0, BENZ0, BENZ1, DQM0-DQM3, SDRASZ, SDCASZ, SDWEZ 端子も同時に設定されます。

2. A2-A19, D0-D15 端子も同時に設定されます。

19.12 ポート構成

19.12.1 ポート 0

ポート 0 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 0 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 0 モード・コントロール・レジスタ（PMCT0）で指定します。

(1) ポート 0 と兼用機能

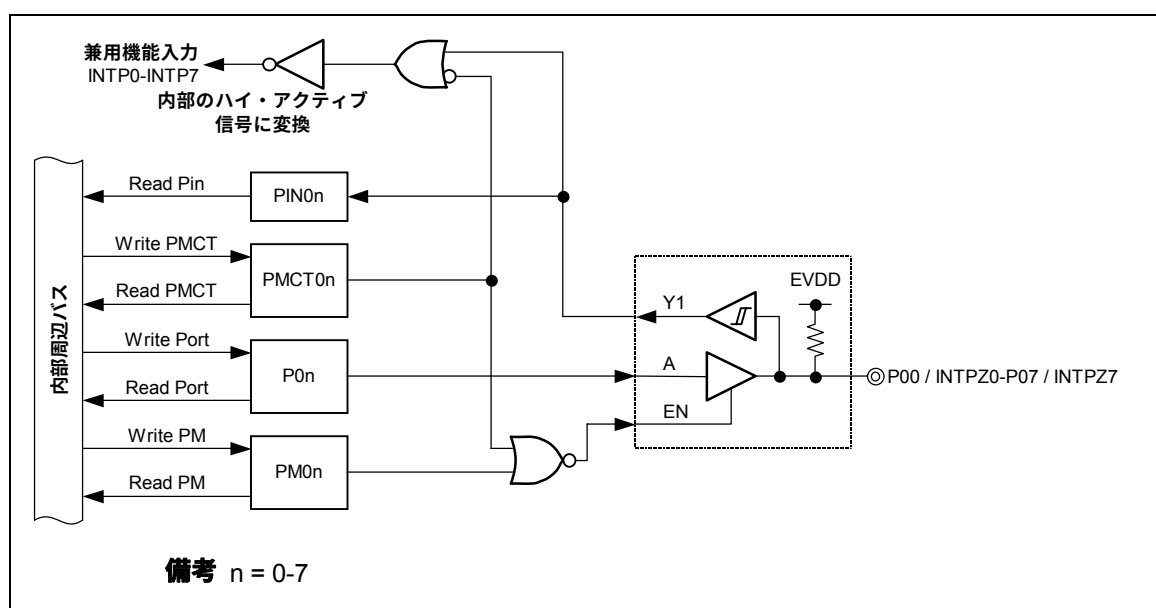
モード ポート	PMCT0n = 0 (ポート・モード)		PMCT0n = 1 (コントロール・モード)
	PM0n = 0 (出力ポート)	PM0n = 1 (入力ポート)	
P00	P00 (出力モード)	P00 (入力モード)	INTPZ0
P01	P01 (出力モード)	P01 (入力モード)	INTPZ1
P02	P02 (出力モード)	P02 (入力モード)	INTPZ2
P03	P03 (出力モード)	P03 (入力モード)	INTPZ3
P04	P04 (出力モード)	P04 (入力モード)	INTPZ4
P05	P05 (出力モード)	P05 (入力モード)	INTPZ5
P06	P06 (出力モード)	P06 (入力モード)	INTPZ6
P07	P07 (出力モード)	P07 (入力モード)	INTPZ7

備考 n = 0-7

(2) ポート 0 の構成

ポート 0 はロー・アクティブの外部割り込み入力と兼用されています。

また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



19.12.2 ポート 1

ポート 1 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 1 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 1 モード・コントロール・レジスタ (PMCT1) で指定します。

(1) ポート 1 と兼用機能

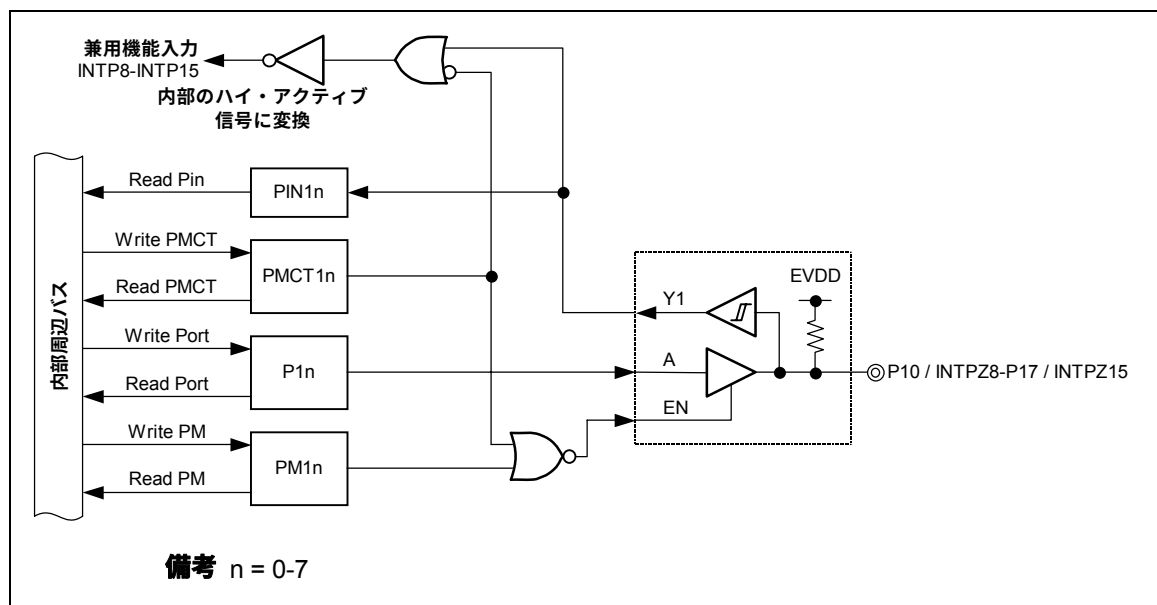
モード ポート	PMCT1n = 0 (ポート・モード)		PMCT1n = 1 (コントロール・モード)
	PM1n = 0 (出力ポート)	PM1n = 1 (入力ポート)	
P10	P10 (出力モード)	P10 (入力モード)	INTPZ8
P11	P11 (出力モード)	P11 (入力モード)	INTPZ9
P12	P12 (出力モード)	P12 (入力モード)	INTPZ10
P13	P13 (出力モード)	P13 (入力モード)	INTPZ11
P14	P14 (出力モード)	P14 (入力モード)	INTPZ12
P15	P15 (出力モード)	P15 (入力モード)	INTPZ13
P16	P16 (出力モード)	P16 (入力モード)	INTPZ14
P17	P17 (出力モード)	P17 (入力モード)	INTPZ15

備考 n = 0-7

(2) ポート 1 の構成

ポート 1 はロー・アクティブの外部割り込み入力と兼用されています。

また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



19.12.3 ポート 2

ポート 2 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 2 は入出力ポートとして機能するほか、コントロール・モードでは、外部割り込み要求入力、ウォッチドッグ・タイマ出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力や、プルアップ抵抗／プルダウン抵抗を変更できます。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 2 モード・コントロール・レジスタ (PMCT2) で指定します。

P27 の兼用機能の INTPZ23 と WDTOUTZ は、ポート 2 ファンクション・コントロール・レジスタ (PFC2) で選択します。

(1) ポート 2 と兼用機能

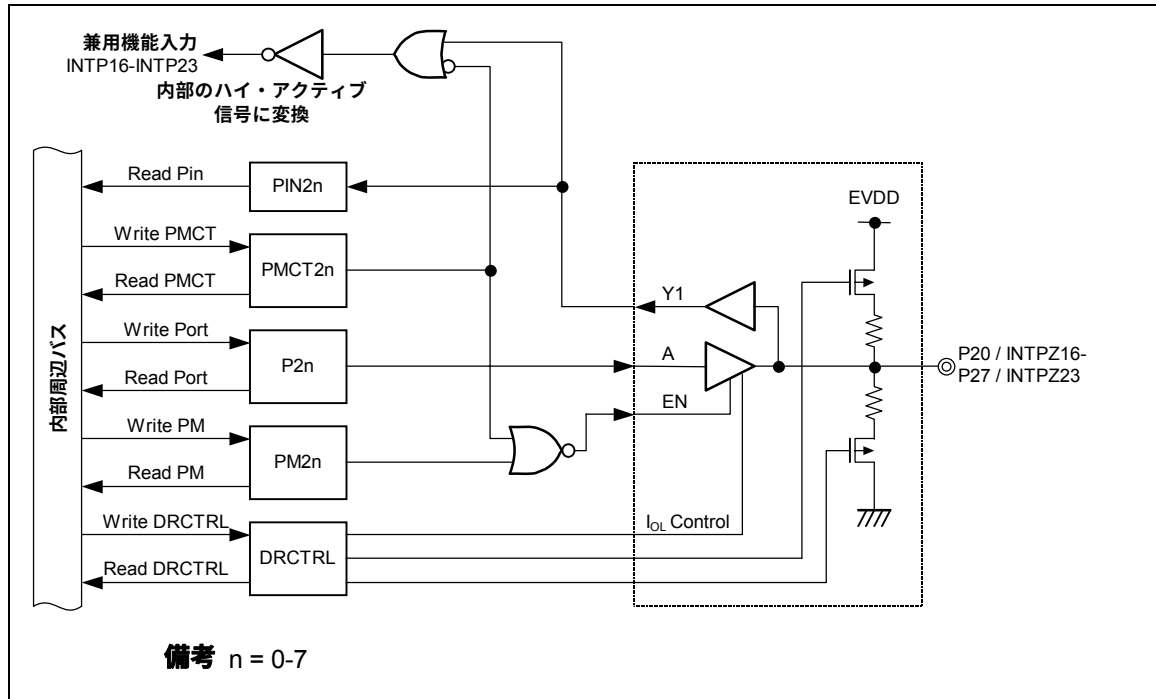
モード ポート	PMCT2n = 0 (ポート・モード)		PMCT2n = 1 (コントロール・モード)	
	PM2n = 0 (出力ポート)	PM2n = 1 (入力ポート)	PFCmn = 0	PFCmn = 1
P20	P20 (出力モード)	P20 (入力モード)	INTPZ16	—
P21	P21 (出力モード)	P21 (入力モード)	INTPZ17	—
P22	P22 (出力モード)	P22 (入力モード)	INTPZ18	—
P23	P23 (出力モード)	P23 (入力モード)	INTPZ19	—
P24	P24 (出力モード)	P24 (入力モード)	INTPZ20	—
P25	P25 (出力モード)	P25 (入力モード)	INTPZ21	—
P26	P26 (出力モード)	P26 (入力モード)	INTPZ22	—
P27	P27 (出力モード)	P27 (入力モード)	INTPZ23	WDTOUTZ

備考 n = 0-7

(2) P20/INTPZ16-P26/INTPZ22 の構成

P20-P26 はロー・アクティブの外部割り込み入力と兼用されています。

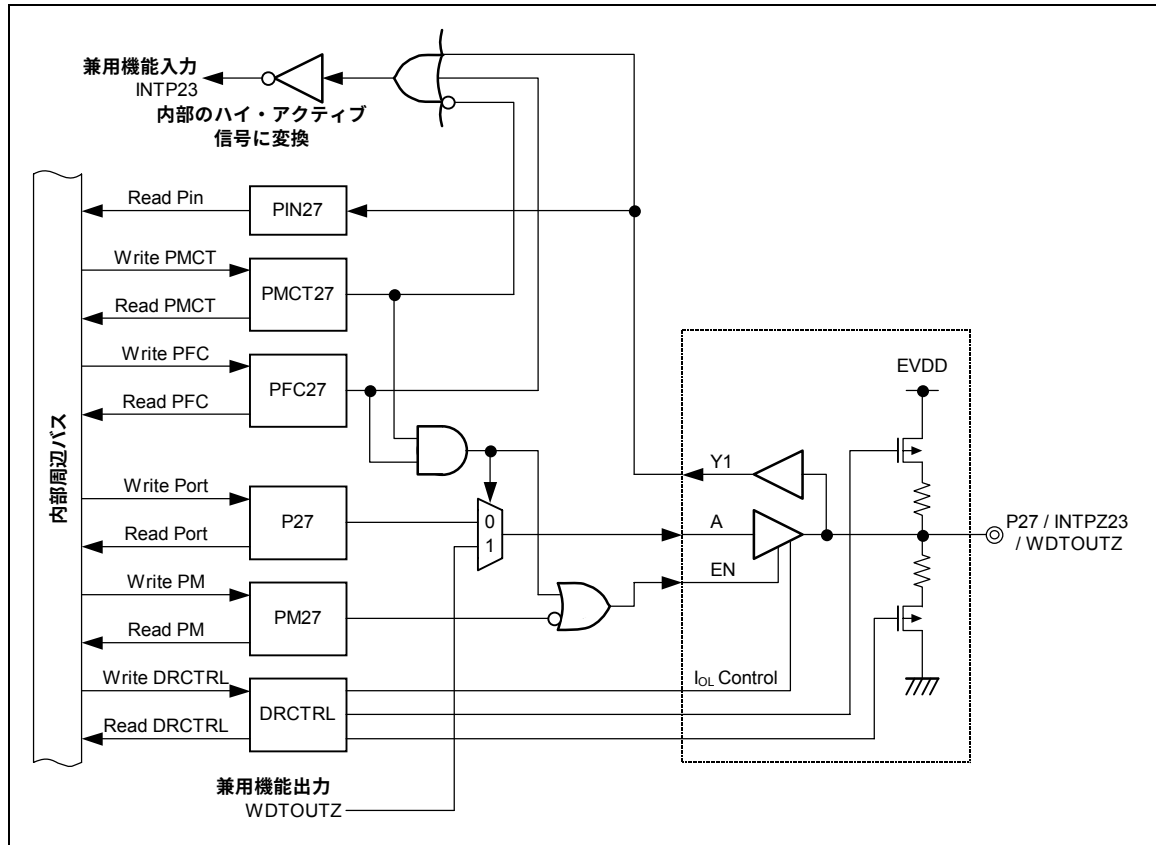
また、リセット時はプルアップ抵抗が接続されています。内部割り込み信号は正論理のため反転しています。



(3) P27/INTP23/WDTOUTZ の構成

P27 はロー・アクティブの外部割り込み入力、ウォッチドッグ・タイマ出力と兼用されています。

また、リセット時はプルアップ抵抗が接続されています。内部割り込み信号は正論理のため反転しています。



19.12.4 ポート 3

ポート 3 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 3 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 0, 1 (UART0, UART1)、クロック同期式シリアル・インタフェースのチャンネル 2, 3 (CSI32, CSI33) の入出力として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 3 モード・コントロール・レジスタ (PMCT3) で指定します。

P30-P32, P34-P36 は、UART 端子と CSI 端子で兼用されています。ポート 3 ファンクション・コントロール・レジスタ (PFC3) で、両者の機能を選択します。

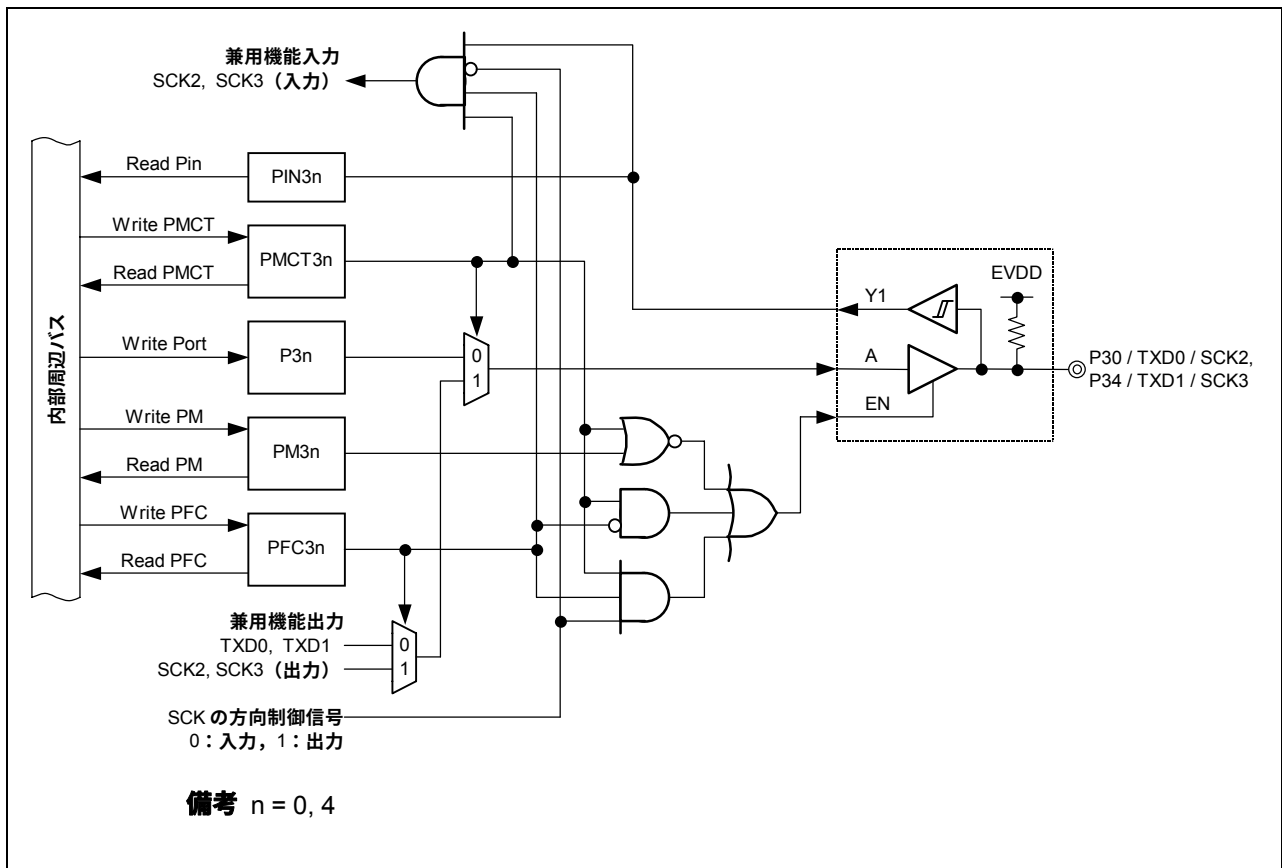
(1) ポート 3 と兼用機能

モード ポート	PMCT3n = 0 (ポート・モード)		PMCT3n = 1 (コントロール・モード)	
	PM3n = 0 (出力ポート)	PM3n = 1 (入力ポート)	PFC3n = 0	PFC3n = 1
P30	P30 (出力モード)	P30 (入力モード)	TXD0	SCK2
P31	P31 (出力モード)	P31 (入力モード)	RXD0	SO2
P32	P32 (出力モード)	P32 (入力モード)	RTS0	SI2
P33	P33 (出力モード)	P33 (入力モード)	CTS0	—
P34	P34 (出力モード)	P34 (入力モード)	TXD1	SCK3
P35	P35 (出力モード)	P35 (入力モード)	RXD1	SO3
P36	P36 (出力モード)	P36 (入力モード)	RTS1	SI3
P37	P37 (出力モード)	P37 (入力モード)	CTS1	—

備考 n = 0-7

(2) P30 / TXD0 / SCK2 の構成

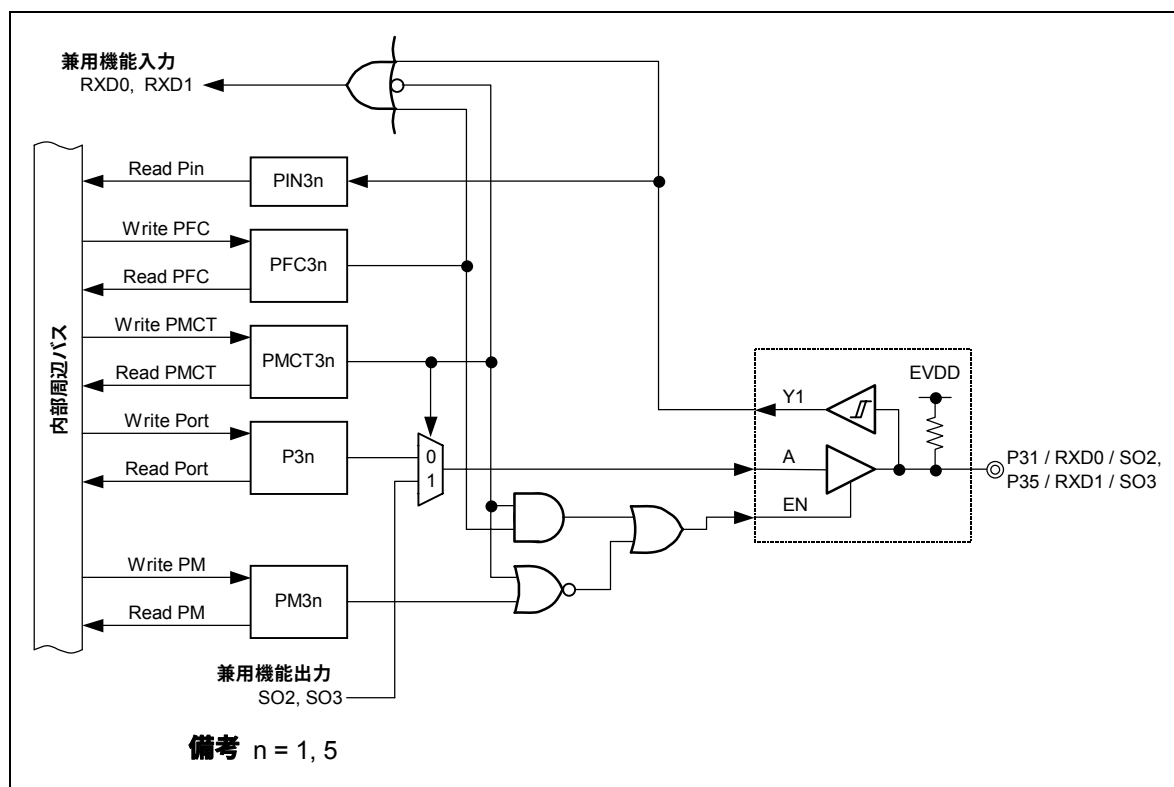
UART の送信端子と CSI クロック入出力端子を兼用機能に持っています。



(3) P31 / RXD0 / SO2, P35 / RXD1 / SO3 の構成

UART の受信端子と、CSI のデータ出力端子を兼用機能に持っています。

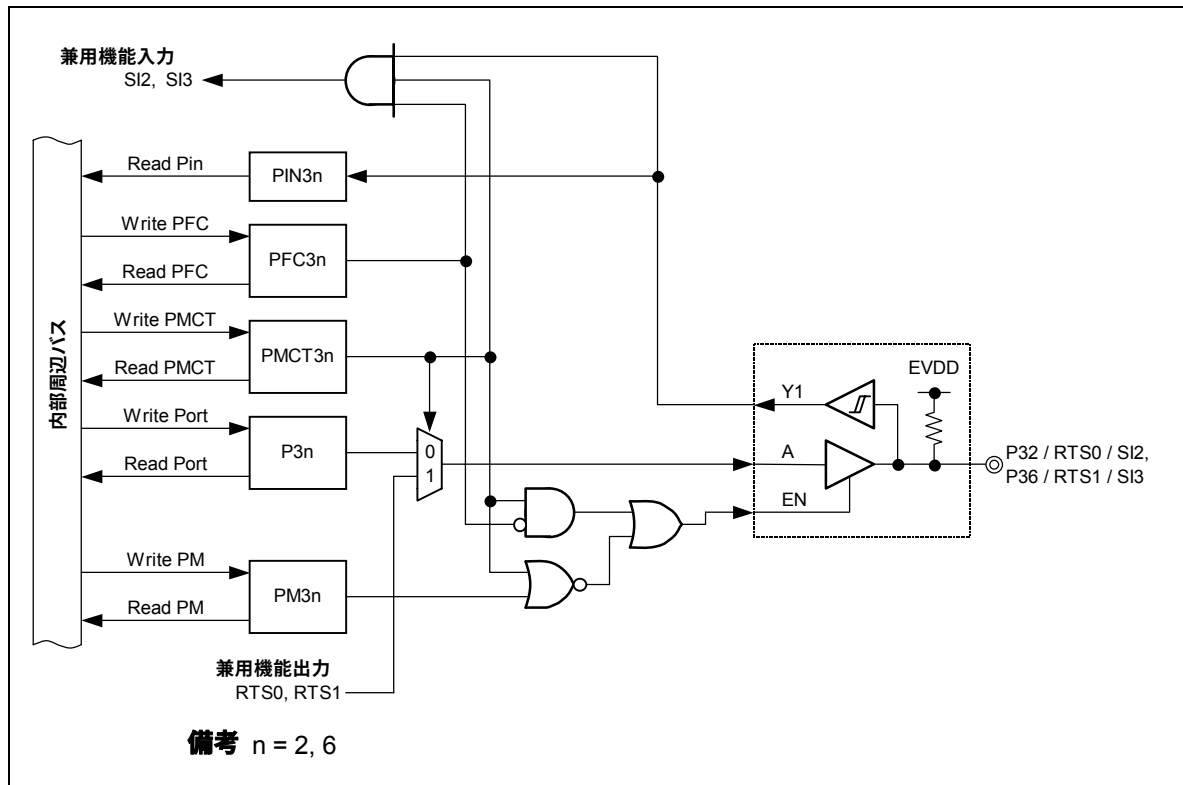
RXD 入力端子は、通信していない状態では、ハイ・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



(4) P32 / RTS0 / SI2, P36 / RTS1 / SI3 の構成

UART の RTS 出力端子と CSI のデータ入力端子を兼用機能に持っています。

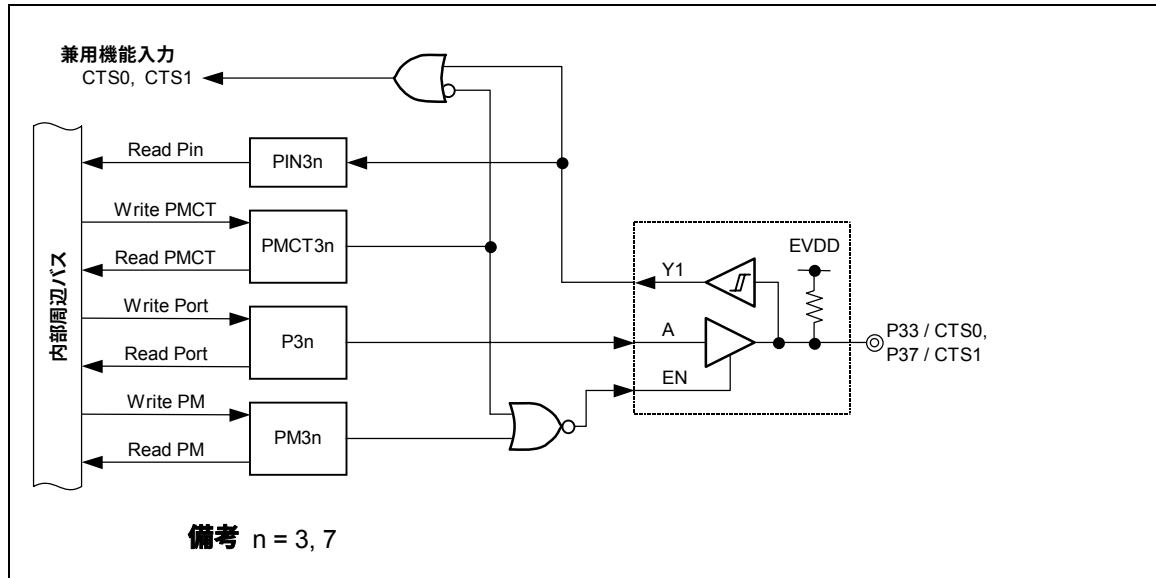
SI 入力端子のデフォルト状態は、通信していない状態では、ロー・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



(5) P33 / CTS0, P37 / CTS1 の構成

UART の CTS 入力端子を兼用機能に持っています。

CTS 入力端子は、通信していない状態では、ハイ・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



19.12.5 ポート 4

ポート 4 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 4 は入出力ポートとして機能するほか、コントロール・モードでは、アシンクロナス・シリアル・インタフェースのチャンネル 2, 3 (UART2, UART3) の入出力として動作します。この端子はプルアップ抵抗付きです。

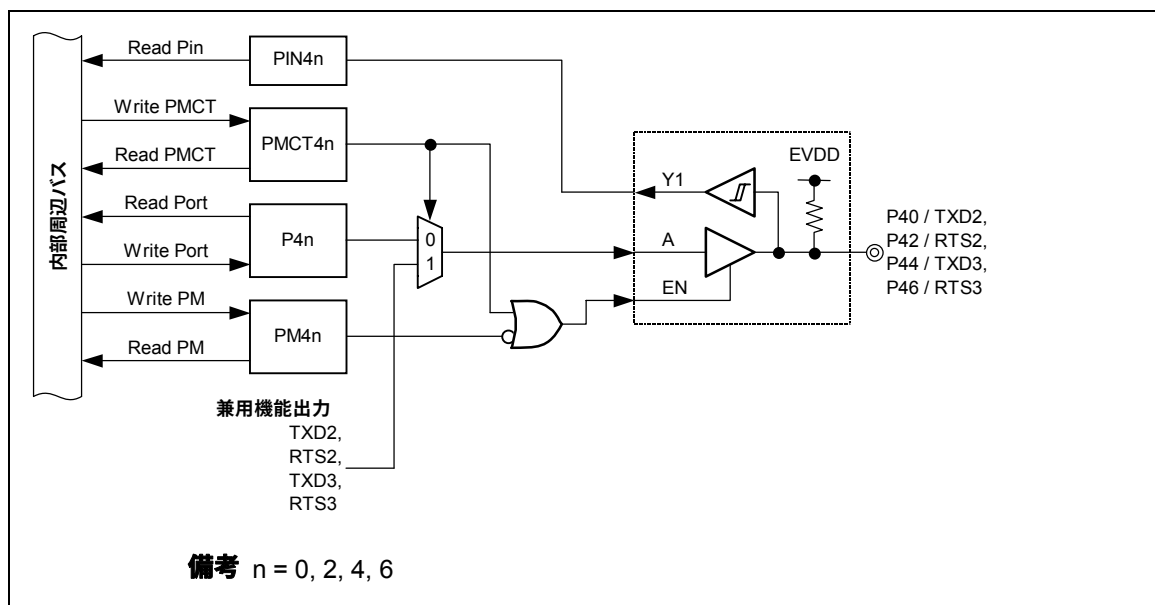
動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 4 モード・コントロール・レジスタ (PMCT4) で指定します。

(1) ポート 4 と兼用機能

モード ポート	PMCT4n = 0 (ポート・モード)		PMCT4n = 1 (コントロール・モード)
	PM4n = 0 (出力ポート)	PM4n = 1 (入力ポート)	
P40	P40 (出力モード)	P40 (入力モード)	TXD2
P41	P41 (出力モード)	P41 (入力モード)	RXD2
P42	P42 (出力モード)	P42 (入力モード)	RTS2
P43	P43 (出力モード)	P43 (入力モード)	CTS2
P44	P44 (出力モード)	P44 (入力モード)	TXD3
P45	P45 (出力モード)	P45 (入力モード)	RXD3
P46	P46 (出力モード)	P46 (入力モード)	RTS3
P47	P47 (出力モード)	P47 (入力モード)	CTS3

備考 n = 0-7

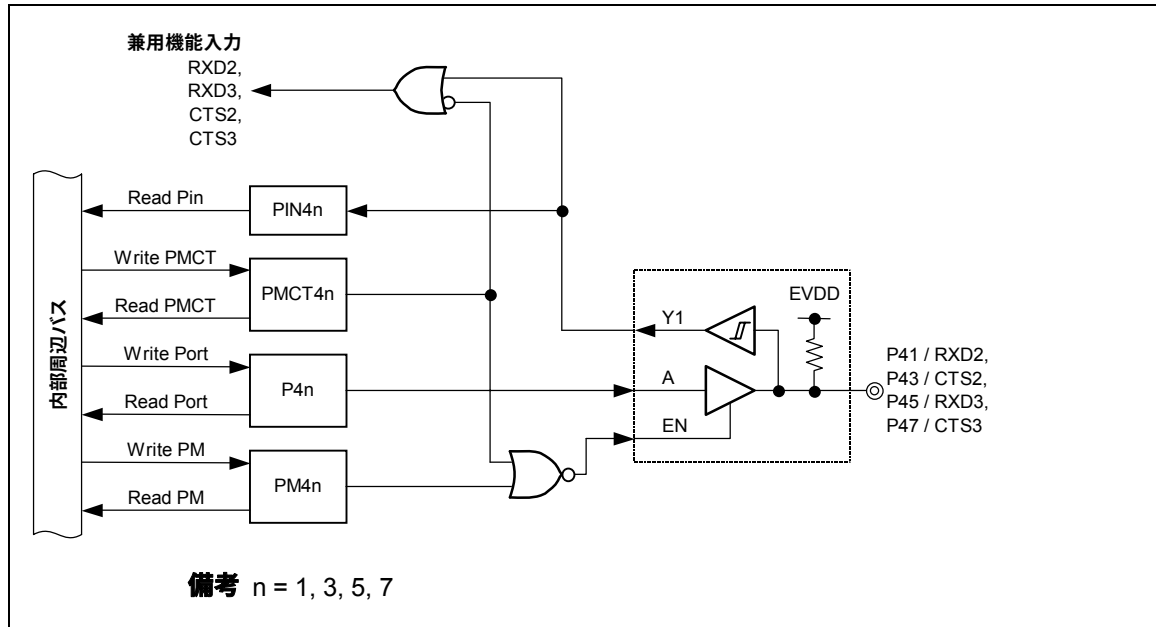
(2) P40 / TXD2, P44 / TXD3, P42 / RTS2, P46 / RTS3 の構成 UART の出力端子を兼用機能に持っています。



(3) P41 / RXD2, P45 / RXD3, P43 / CTS2, P47 / CTS3 の構成

UART の入力端子を兼用機能に持っています。

RXD 入力端子は、通信していない状態では、ハイ・レベルです。このためポートとして利用している場合には、兼用機能にはハイ・レベルが伝播する構造です。



19.12.6 ポート 5

★

ポート 5 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 5 は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 0-3 の入出力端子として動作します。また EI レベル・マスカブル割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 5 モード・コントロール・レジスタ (PMCT5) で指定します。

複数の機能が兼用されている端子は、ポート 5 ファンクション・コントロール・レジスタ (PFC5) で兼用機能を選択します。16 ビット・タイマ／カウンタ AA (TAA) のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

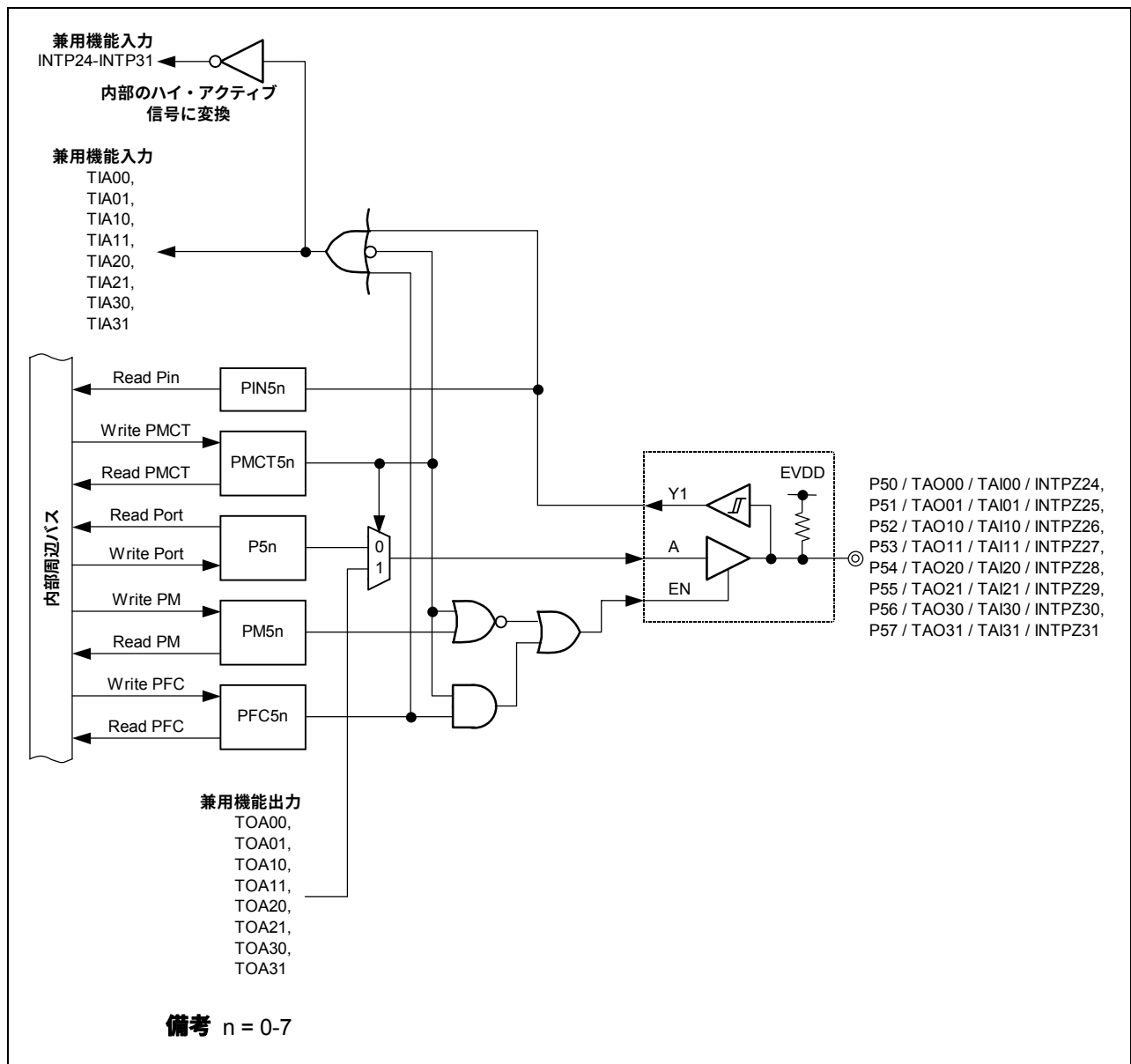
(1) ポート 5 と兼用機能

モード ポート	PMCT5n = 0 (ポート・モード)		PMCT5n = 1 (コントロール・モード)	
	PM5n = 0 (出力ポート)	PM5n = 1 (入力ポート)	PFC5n = 0	PFC5n = 1
P50	P50 (出力モード)	P50 (入力モード)	TIA00 / INTPZ24	TOA00
P51	P51 (出力モード)	P51 (入力モード)	TIA01 / INTPZ25	TOA01
P52	P52 (出力モード)	P52 (入力モード)	TIA10 / INTPZ26	TOA10
P53	P53 (出力モード)	P53 (入力モード)	TIA11 / INTPZ27	TOA11
P54	P54 (出力モード)	P54 (入力モード)	TIA20 / INTPZ28	TOA20
P55	P55 (出力モード)	P55 (入力モード)	TIA21 / INTPZ29	TOA21
P56	P56 (出力モード)	P56 (入力モード)	TIA30 / INTPZ30	TOA30
P57	P57 (出力モード)	P57 (入力モード)	TIA31 / INTPZ31	TOA31

備考 n = 0-7

(2) ポート 5 の構成

ポート 5 は、すべてのビットが、タイマ A (TAA) タイマ入出力、外部割り込み入力と兼用されています。内部割り込み信号は正論理のため反転しています。



19.12.7 ポート 6

ポート 6 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 6 は入出力ポートとして機能するほか、コントロール・モードでは、プライマリ・メモリ・コントローラ（MEMC #1）のアドレス・バス（A1, A20-A26）として動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ（DRCTRL）により、ドライブ能力や、プルアップ抵抗／プルダウン抵抗を変更できます。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 6 モード・コントロール・レジスタ（PMCT6）で指定します。

(1) ポート 6 と兼用機能

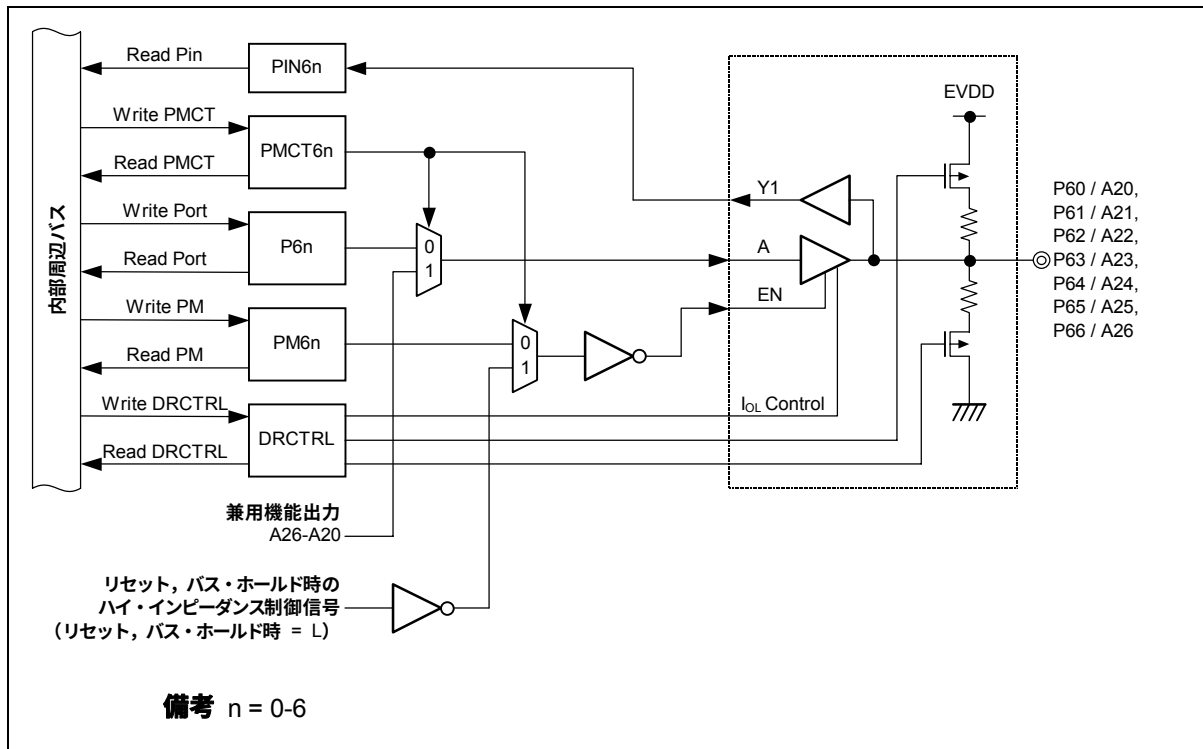
モード ポート	PMCT6n = 0（ポート・モード）		PMCT6n = 1（コントロール・モード）
	PM6n = 0 （出力ポート）	PM6n = 1 （入力ポート）	
P60	P60（出力モード）	P60（入力モード）	A20
P61	P61（出力モード）	P61（入力モード）	A21
P62	P62（出力モード）	P62（入力モード）	A22
P63	P63（出力モード）	P63（入力モード）	A23
P64	P64（出力モード）	P64（入力モード）	A24
P65	P65（出力モード）	P65（入力モード）	A25
P66	P66（出力モード）	P66（入力モード）	A26
P67	P67（出力モード）	P67（入力モード）	A1

備考 n = 0-7

(2) P60 / A20-P66 / A26 の構成

MEMC #1 のアドレス出力と兼用しているため、下記の制御が行われます。リセット時は P60 / A20-P66 / A26 は入力ポートです。リセット時はプルダウン抵抗が接続されているため、入力ポート時にはロー・レベルになります。

端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
A20-A26	Hi-Z (Pull-down)	ロー・レベル	Hi-Z (Pull-down)



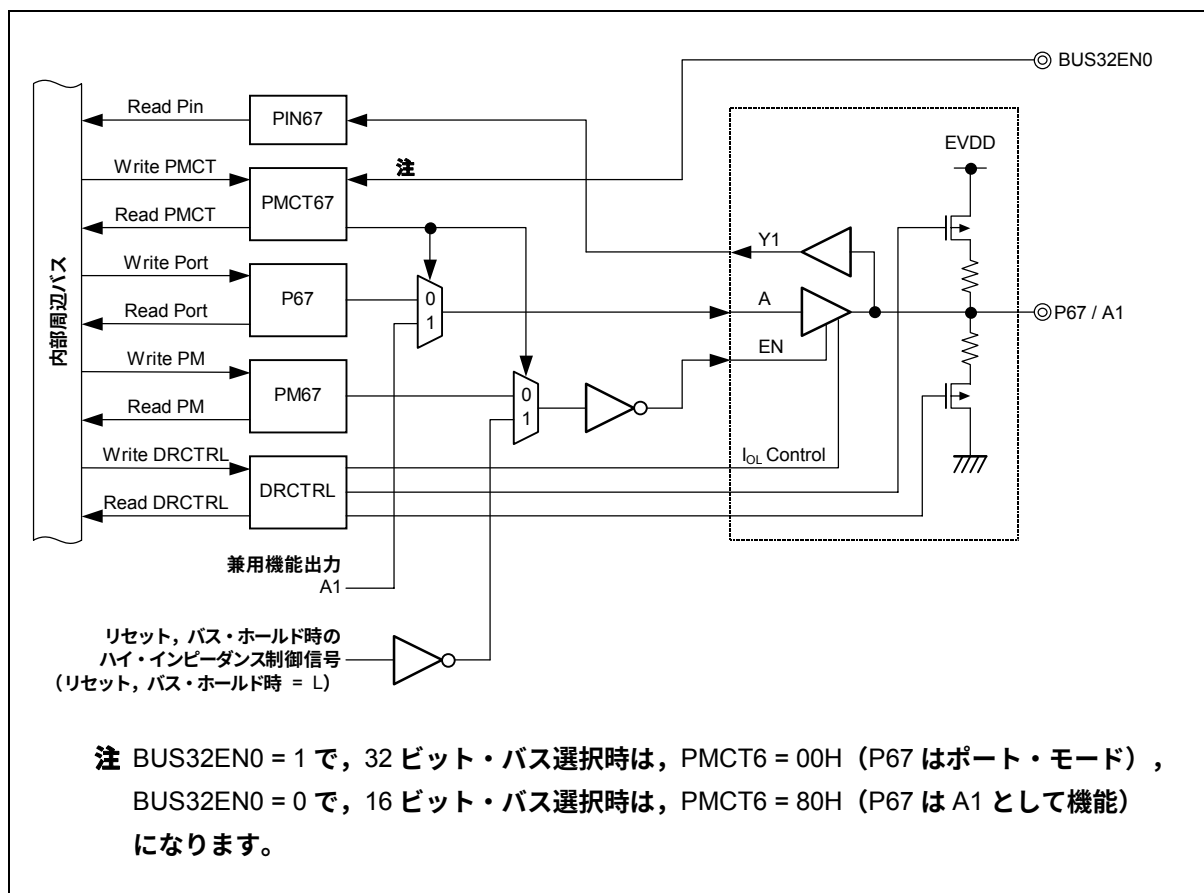
(3) P67 / A1 の構成

MEMC #1 の A1 アドレス出力と兼用しているため、下記の制御が行われます。リセット時は Hi-Z 状態です。リセット時はプルダウン抵抗が接続されているため、Hi-Z 時にはロー・レベルになります。

モード 端子	リセット時	IDLE モード時	バス・ホールド時
A1	Hi-Z (Pull-down)	ロー・レベル	Hi-Z (Pull-down)

また、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH



19.12.8 ポート 7

ポート 7 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 7 は入出力ポートとして機能するほか、コントロール・モードでは、プライマリ・メモリ・コントローラ (MEMC #1) の制御信号 (WAITZ, STCSZ1-STCSZ3, DYCSZ, BENZ2/WRZ2, BENZ3/WRZ3) , IDLE モード状態出力として動作します。

リセット時はプルアップ抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力や、プルアップ抵抗／プルダウン抵抗を変更できます。

BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 7 モード・コントロール・レジスタ (PMCT7) で指定します。

(1) ポート 7 と兼用機能

モード ポート	PMCT7n = 0 (ポート・モード)		PMCT7n = 1 (コントロール・モード)
	PM7n = 0 (出力ポート)	PM7n = 1 (入力ポート)	
P70	P70 (出力モード)	P70 (入力モード)	WAITZ
P71	P71 (出力モード)	P71 (入力モード)	STCSZ1-
P72	P72 (出力モード)	P72 (入力モード)	STCSZ2
P73	P73 (出力モード)	P73 (入力モード)	STCSZ3
P74	P74 (出力モード)	P74 (入力モード)	DYCSZ
P75	P75 (出力モード)	P75 (入力モード)	IDLEOUTZ
P76	P76 (出力モード)	P76 (入力モード)	BENZ2
P77	P77 (出力モード)	P77 (入力モード)	BENZ3

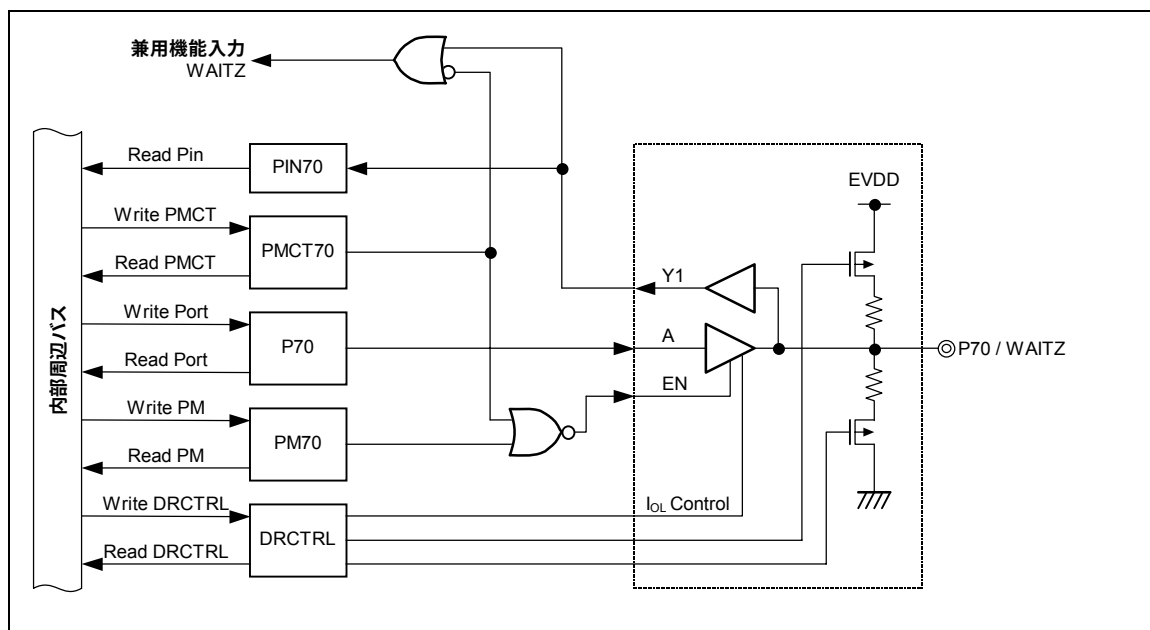
備考 n = 0-7

(2) P70 / WAITZ の構成

MEMC #1 の WAITZ は入力のため、内蔵周辺機能の入力との兼用と同様の構成です。WAITZ は、ロー・アクティブです。リセット時はプルアップ抵抗が接続されています。

リセット時は、入力ポートとして動作します。

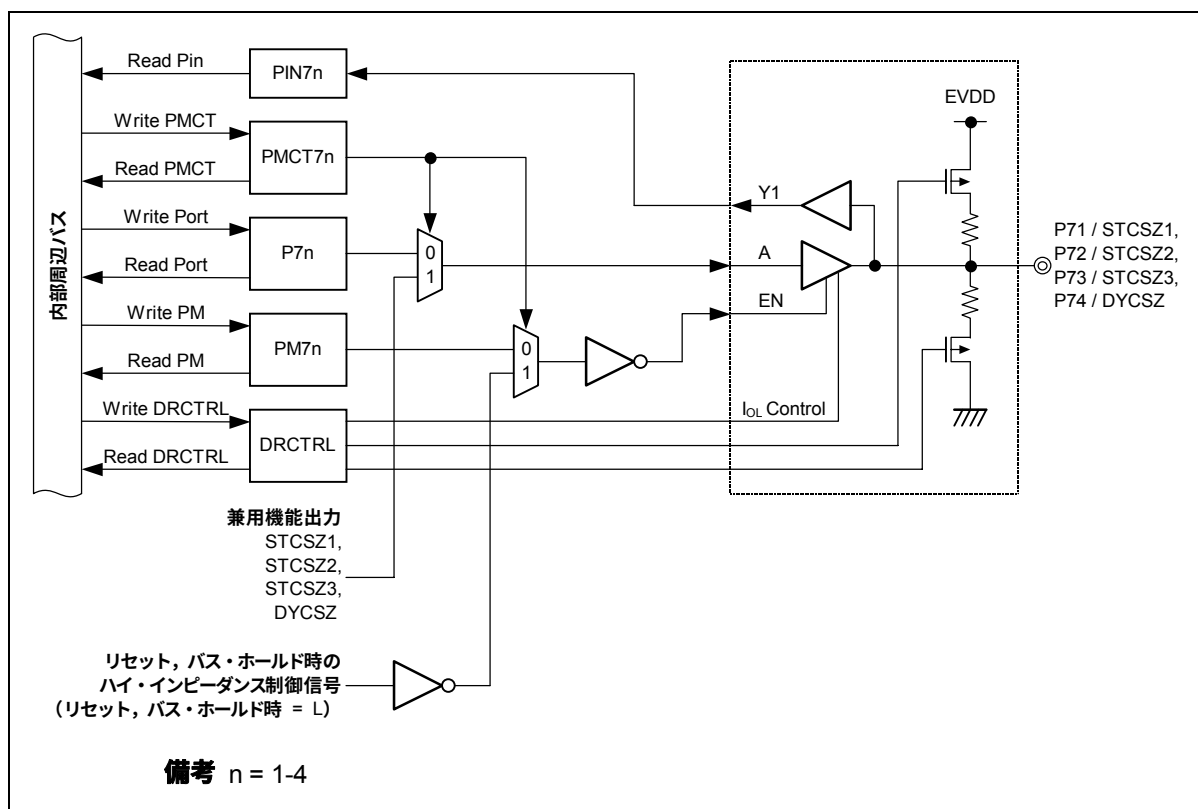
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
WAITZ	Hi-Z (Pull-up)	入力 (Pull-up)	入力 (Pull-up)



(3) P71 / STCSZ1-P73 / STCSZ3, P74 / DYCSZ の構成

MEMC #1 のチップ・セレクト出力 (STCSZ1-STCSZ3, DYCSZ) と兼用しており, 下記の制御が行われます。リセット時は入力ポートになるため Hi-Z 状態です。リセット時はプルアップ抵抗が接続されているため, Hi-Z 時にはハイ・レベルになります。

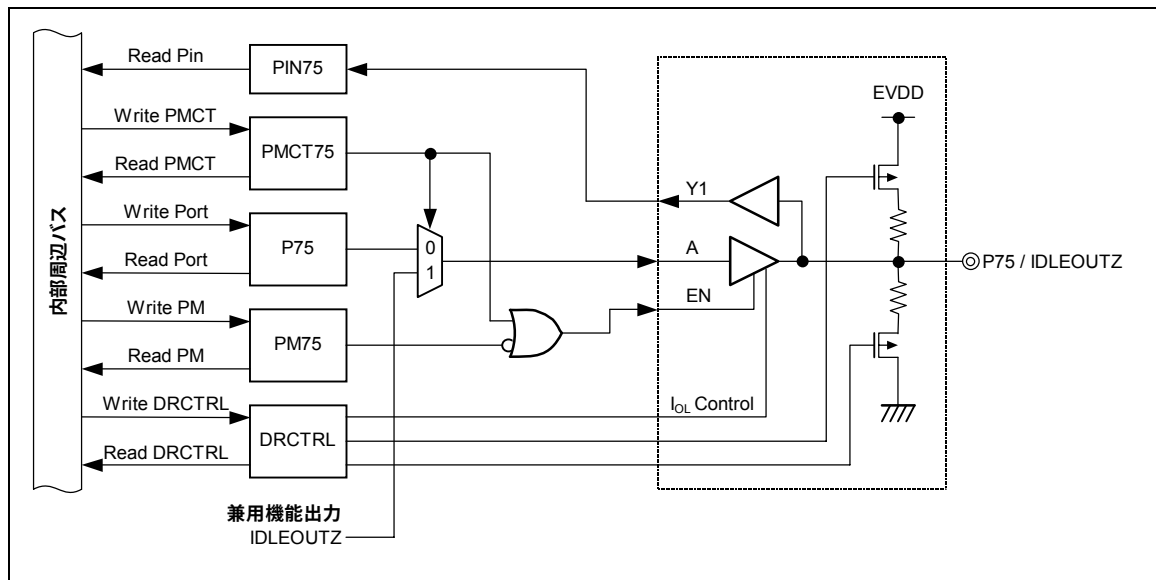
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
STCSZ1-STCSZ3	Hi-Z (Pull-up)	ハイ・レベル	Hi-Z (Pull-up)
DYCSZ			



(4) P75 / IDLEOUTZ の構成

IDLE モードの状態出力と兼用しています。

IDLE モードに入り、クロック停止が行われるタイミングで、ロー・レベルが出力されます。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。



(5) P76 / BENZ2, P77 / BENZ3 の構成

MEMC #1 の上位 2 ビットのバイト・レーン信号と兼用しており、下記の制御が行われます。

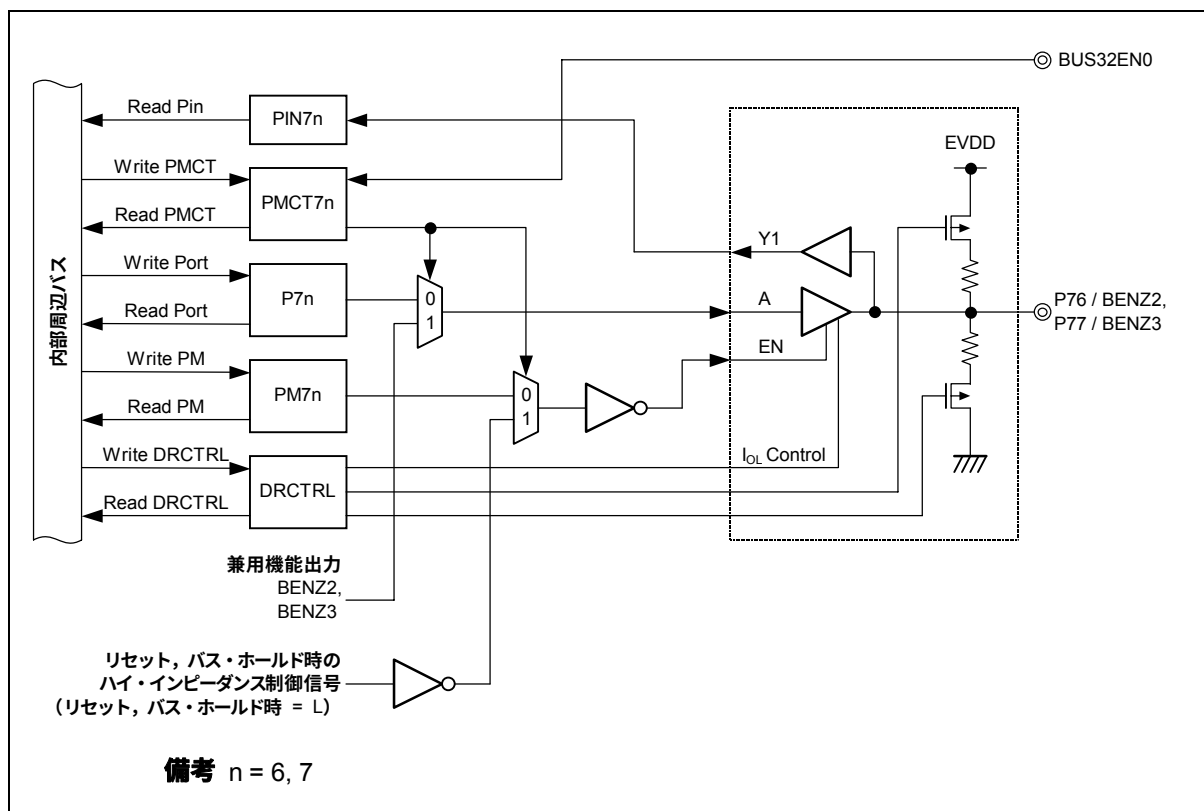
EP3-AM1 で BUS32EN0 端子にハイ・レベルを入力し、32 ビット・バスで起動した場合は、リセット解除直後から P76/BENZ2, P77/BENZ3 は BENZ2, BENZ3 が選択され、PMCT7 の初期値は C0H になります。

リセット時は Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

モード 端子	リセット時	IDLE モード時	バス・ホールド時
BENZ2, BENZ3	Hi-Z (Pull-up)	ハイ・レベル	Hi-Z (Pull-up)

また、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH



19.12.9 ポート 8

ポート 8 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 8 は入出力ポートとして機能するほか、コントロール・モードでは、プライマリ・メモリ・コントローラ（MEMC #1）の制御信号（HLDRQZ, HLDKZ, BUSREQZ）ウォッチドッグ・タイマ出力、およびシリアル・フラッシュ ROM メモリ・コントローラのインタフェースとして動作します。

リセット時はプルアップ抵抗付きです。P80-P82 のみ、バッファ機能切り替えレジスタ（DRCTRL）により、ドライブ能力や、プルアップ抵抗／プルダウン抵抗を変更できます。

BOOTSEL0, BOOTSEL1 端子で、シリアル・フラッシュ ROM からのブートを選択した場合は、P84-P87 はリセット解除直後から兼用機能が有効になります。[※]

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート 8 モード・コントロール・レジスタ（PMCT8）で指定します。

(1) ポート 8 と兼用機能

モード ポート	PMCT8n = 0（ポート・モード）		PMCT8n = 1（コントロール・モード）
	PM8n = 0 （出力ポート）	PM8n = 1 （入力ポート）	
P80	P80（出力モード）	P80（入力モード）	HLDRQZ
P81	P81（出力モード）	P81（入力モード）	HLDKZ
P82	P82（出力モード）	P82（入力モード）	BUSREQZ
P83	P83（出力モード）	P83（入力モード）	WDTOUTZ
P84	P84（出力モード）	P84（入力モード）	SMSCK
P85	P85（出力モード）	P85（入力モード）	SMSO
P86	P86（出力モード）	P86（入力モード）	SMSI
P87	P87（出力モード）	P87（入力モード）	SMCSZ

注 BOOTSEL0, BOOTSEL1 端子によりシリアル・フラッシュ ROM からのブートが選択された場合、P84-P87 は、コントロール・モードが選択され、リセット解除直後から、シリアル・フラッシュ ROM インタフェースが選択されます。

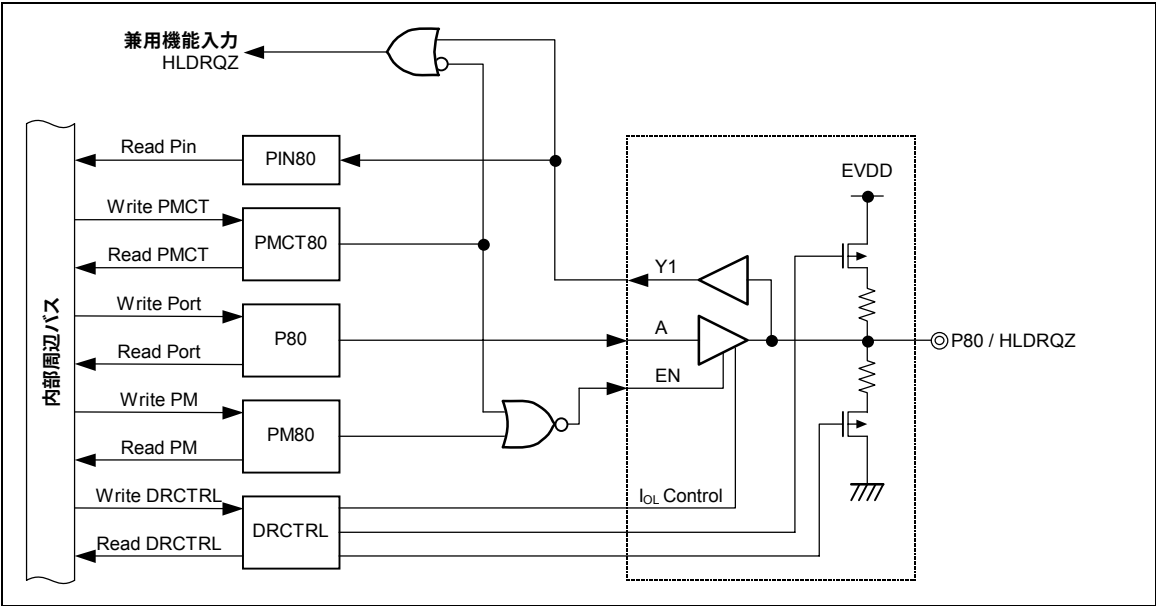
BOOTSEL1	BOOTSEL0	ブート領域の選択	ブート・アドレス	PMCT8
0	0	MEMC #1 の STCSZ0 に接続されているメモリ	0800 0000H	00H
0	1	MEMC #2 の SCSZ0 に接続されているメモリ	0B00 0000H	00H
1	0	シリアル・フラッシュ ROM	0E00 0000H	F0H
1	1	設定禁止	—	—

備考 n = 0-7

(2) P80 / HLDQRZ の構成

MEMC #1 の HLDQRZ 入力と兼用しているため、下記の制御が行われます。リセット時は入力ポートになるため Hi-Z 状態です。兼用機能はロー・アクティブです。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

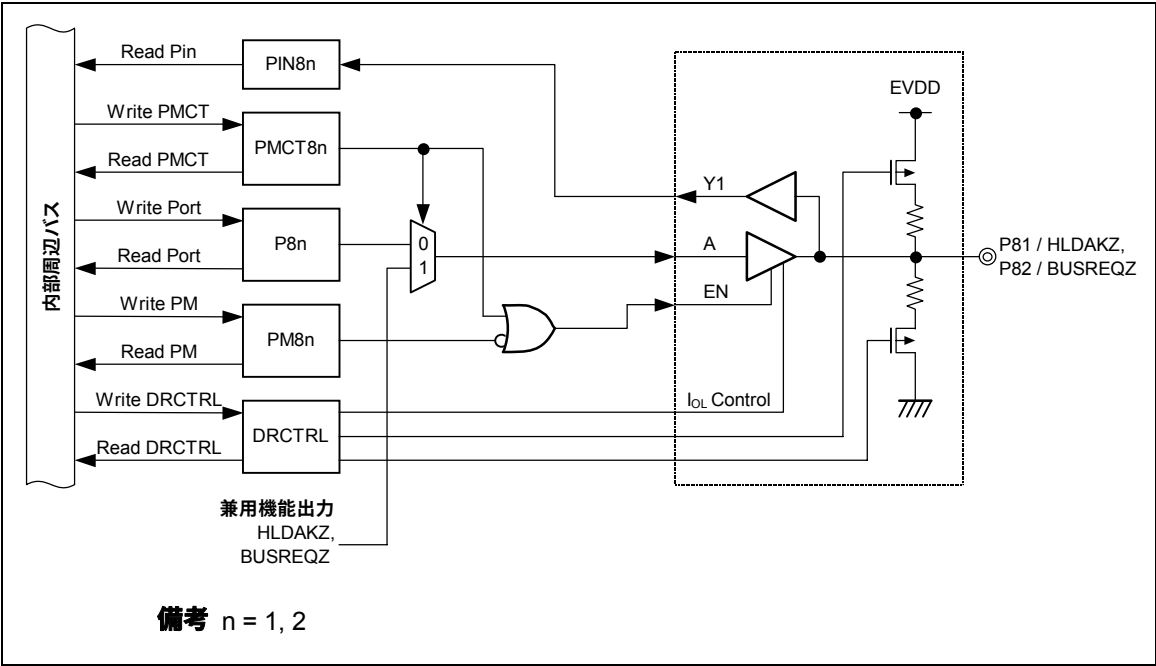
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
端子			
HLDQRZ	Hi-Z (Pull-up)	入力 (Pull-up)	動作



(3) P81 / HLD AKZ, P82 / BUSREQZ の構成

MEMC #1 の出力と兼用しているため、下記の制御が行われます。リセット時は入力ポートになるため Hi-Z 状態です。なおリセット時はプルアップ抵抗が接続されているため、Hi-Z 時にはハイ・レベルになります。

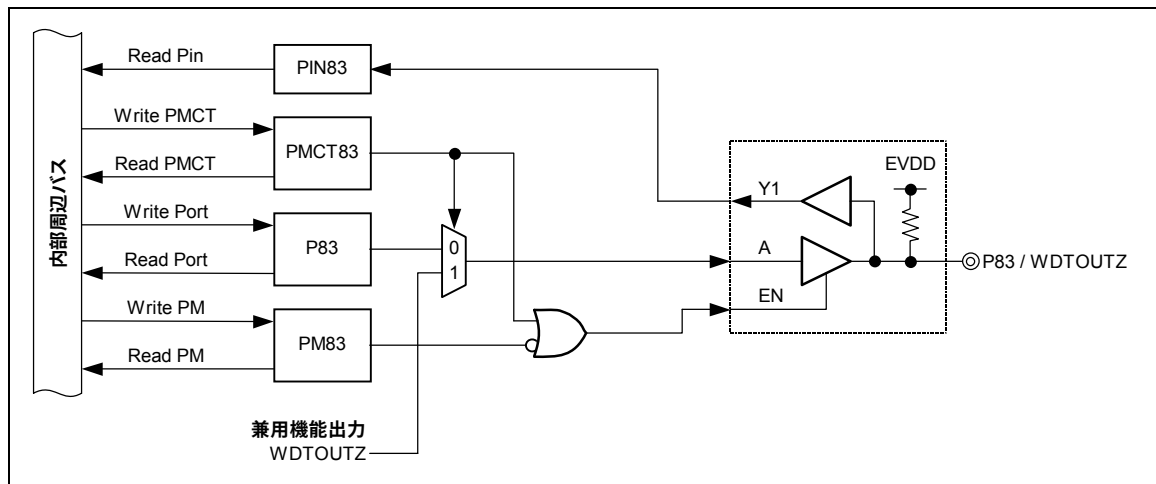
端子 \ モード	リセット時	IDLE モード時	バス・ホールド時
HLD AKZ	Hi-Z (Pull-up)	ハイ・レベル	ロー・レベル
BUSREQZ	Hi-Z (Pull-up)	動作	動作



(4) P83 / WDTOUTZ の構成

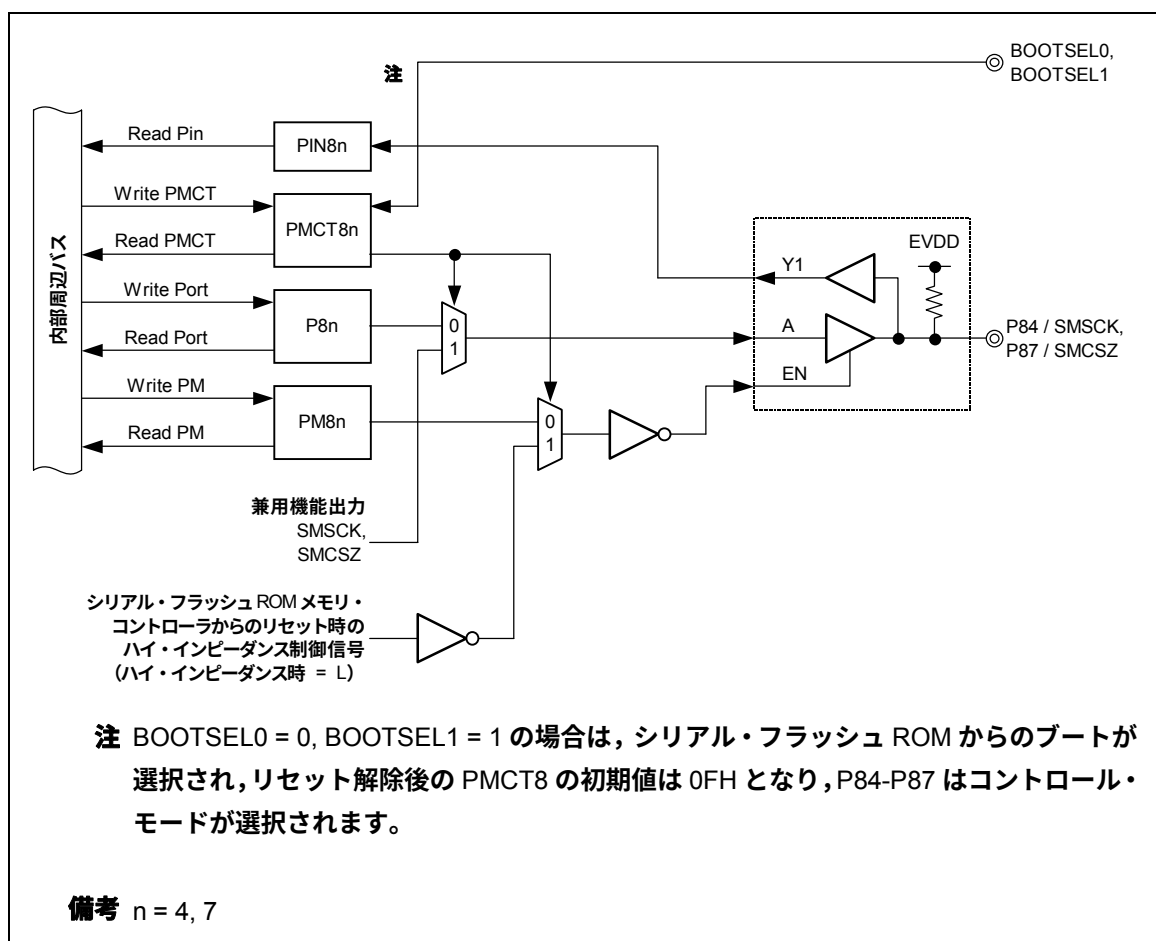
ウォッチドッグ・タイマ出力と兼用しています。

ウォッチドッグ・タイマがクリア (0) されず、オーバフローが発生するとロー・レベルを出力します。リセット時は入力ポートになるため Hi-Z 状態です。なおプルアップ抵抗内蔵のため、Hi-Z 時にはハイ・レベルになります。



(5) P84 / SMSCK, P87/ SMCSZ の構成

シリアル・フラッシュ ROM とのインタフェースの出力端子と兼用されています。

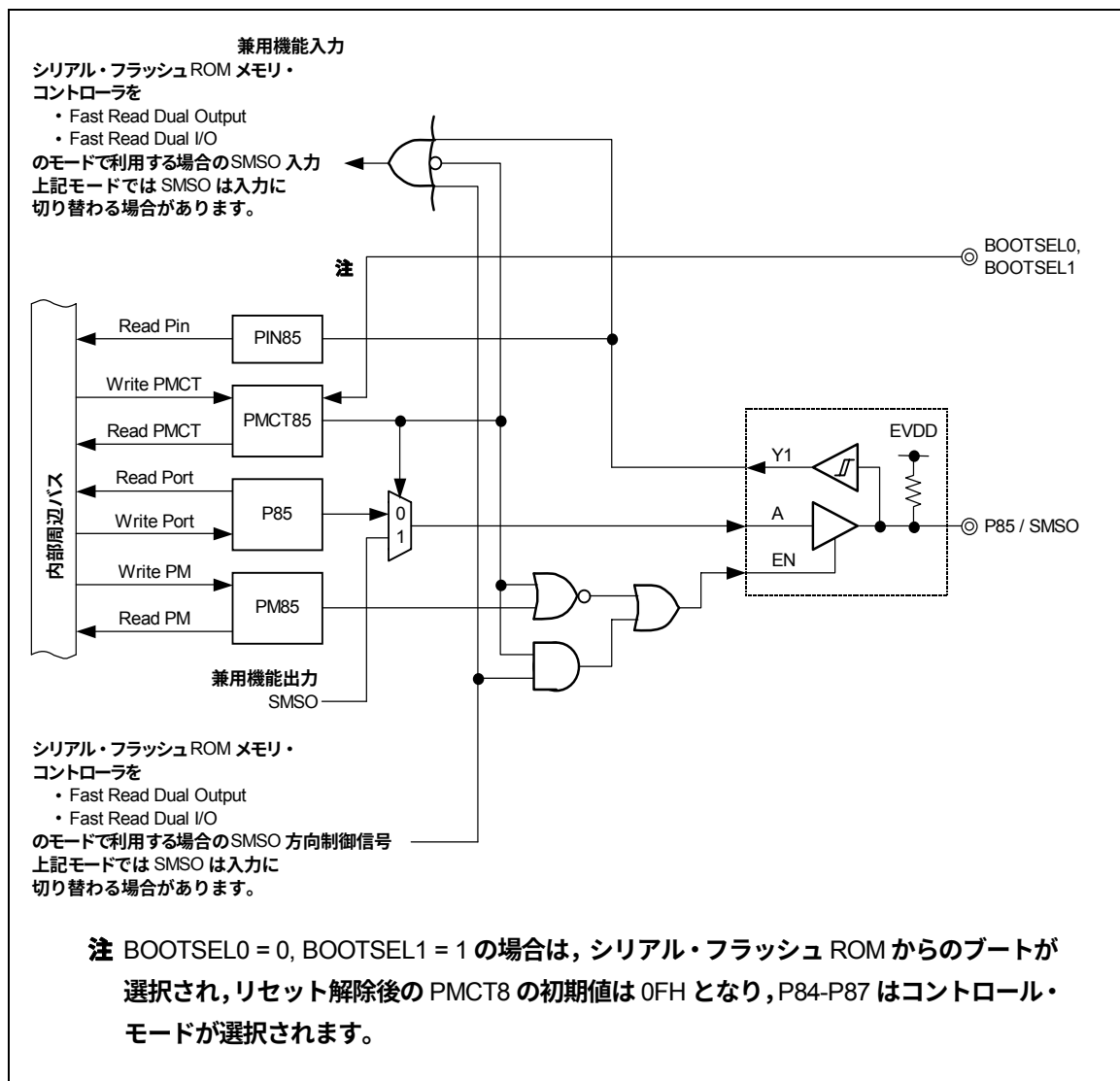


(6) P85 / SMSO の構成

シリアル・フラッシュ ROM とのインタフェースの入出力端子と兼用されています。

EP3-AM1 内蔵のシリアル・フラッシュ ROM メモリ・コントローラは、高いスループットを実現できる、Fast Read Dual Output モード、Fast Read Dual I/O モードに対応しており、これらのモードを持つシリアル・フラッシュ ROM と組み合わせることで、転送効率の向上が可能です。

これらのモードを利用する場合、SMSO は入出力端子として機能し、シリアル・フラッシュ ROM メモリ・コントローラから方向制御が行われます。

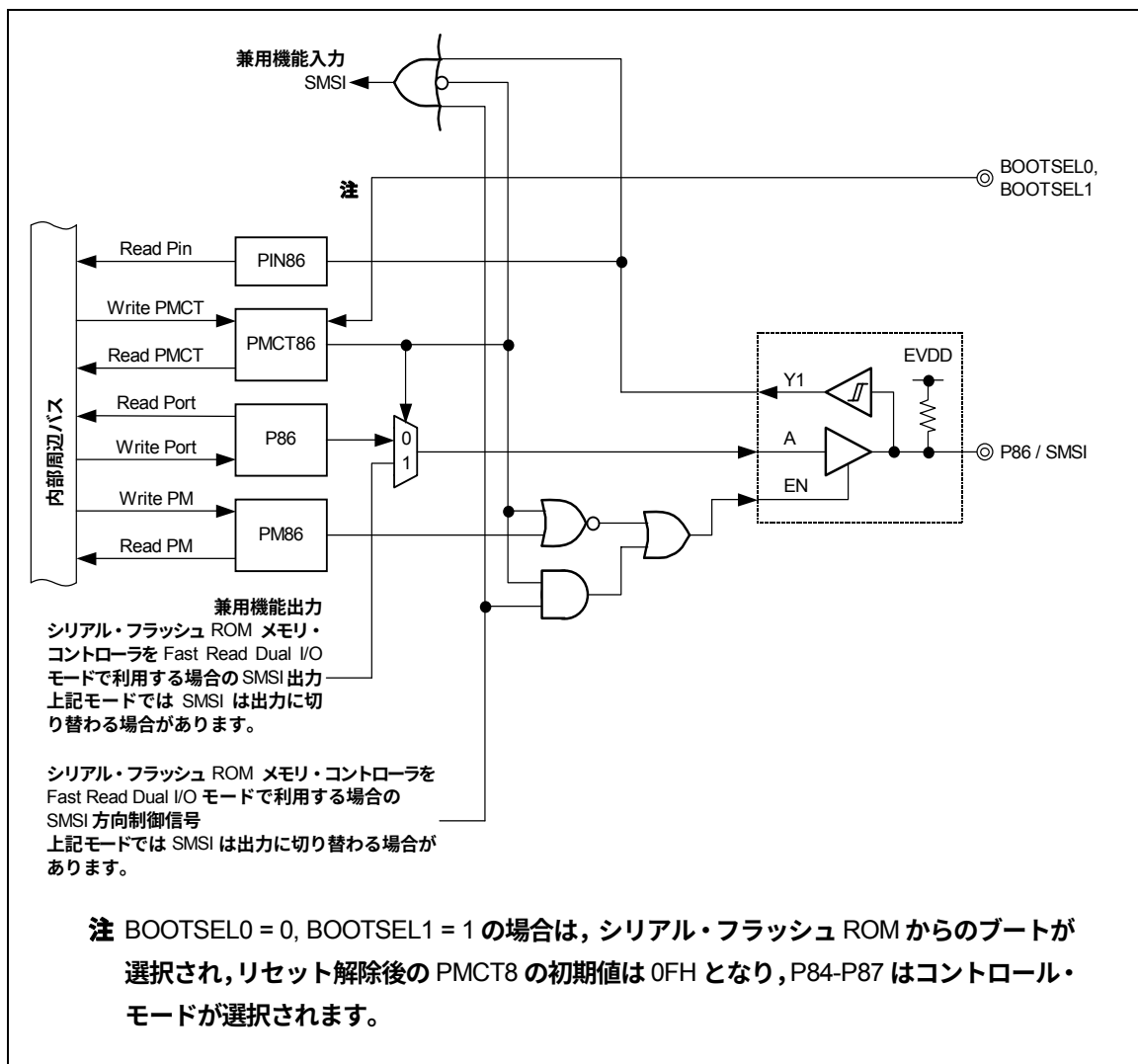


(7) P86 / SMSI の構成

シリアル・フラッシュ ROM とのインタフェースの入出力端子と兼用されています。

EP3-AM1 内蔵のシリアル・フラッシュ ROM メモリ・コントローラは、高いスループットを実現できる、Fast Read Dual Output モード、Fast Read Dual I/O モードに対応しており、これらのモードを持つシリアル・フラッシュ ROM と組み合わせることで、転送効率の向上が可能です。

これらのモードのうち Fast Read Dual I/O モードを利用する場合、SMSI は入出力端子として機能し、シリアル・フラッシュ ROM メモリ・コントローラから方向制御が行われます。



19.12.10 ポート 9

ポート 9 は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート 9 は入出力ポートとして機能するほか、コントロール・モードでは、プライマリ・メモリ・コントローラ (MEMC #1) のデータ・バス (D16-D23) , 16 ビット・タイマ/イベント・カウンタ T (TMT) のチャネル 0 の入出力端子、このうち P92-P94, P97 は EI レベル・マスカブル割り込み入力端子としても動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ (DRCTRL) により、ドライブ能力や、プルアップ抵抗/プルダウン抵抗を変更できます。

動作モードは、1 ビットごとにポート・モード/コントロール・モードの選択が可能で、ポート 9 モード・コントロール・レジスタ (PMCT9) で指定します。

また複数の機能が兼用されている端子は、ポート 9 ファンクション・コントロール・レジスタ (PFC9) で兼用機能を指定します。16 ビット・タイマ/イベント・カウンタ T (TMT) の機能と、外部割り込みの機能は、同時に動作します。

P95, P96 は、16 ビット・タイマ/イベント・カウンタ T (TMT) の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート 9 ファンクション・コントロール拡張レジスタ (PFCEX9) で選択します。

(1) ポート 9 と兼用機能

モード ポート	PMCT9n = 0 (ポート・モード)		PMCT9n = 1 (コントロール・モード)			
	PM9n = 0 (出力ポート)	PM9n = 1 (入力ポート)	PFCEX9n = 0		PFCEX9n = 1	
			PFC9n = 0	PFC9n = 1	PFC9n = 0	PFC9n = 1 (設定禁止)
P90	P90 (出力モード)	P90 (入力モード)	D16	TENC00	—	—
P91	P91 (出力モード)	P91 (入力モード)	D17	TENC01	—	—
P92	P92 (出力モード)	P92 (入力モード)	D18	TECR0 / INTPZ42	—	—
P93	P93 (出力モード)	P93 (入力モード)	D19	TRGT0 / INTPZ43	—	—
P94	P94 (出力モード)	P94 (入力モード)	D20	EVTT0 / INTPZ44	—	—
P95	P95 (出力モード)	P95 (入力モード)	D21	TIT00	TOT00	—
P96	P96 (出力モード)	P96 (入力モード)	D22	TIT01	TOT01	—
P97	P97 (出力モード)	P97 (入力モード)	D23	INTPZ45	—	—

備考 n = 0-7

(2) ポート 9 の構成

MEMC #1 のデータ・バスと兼用しているため、下記の制御が行われます。

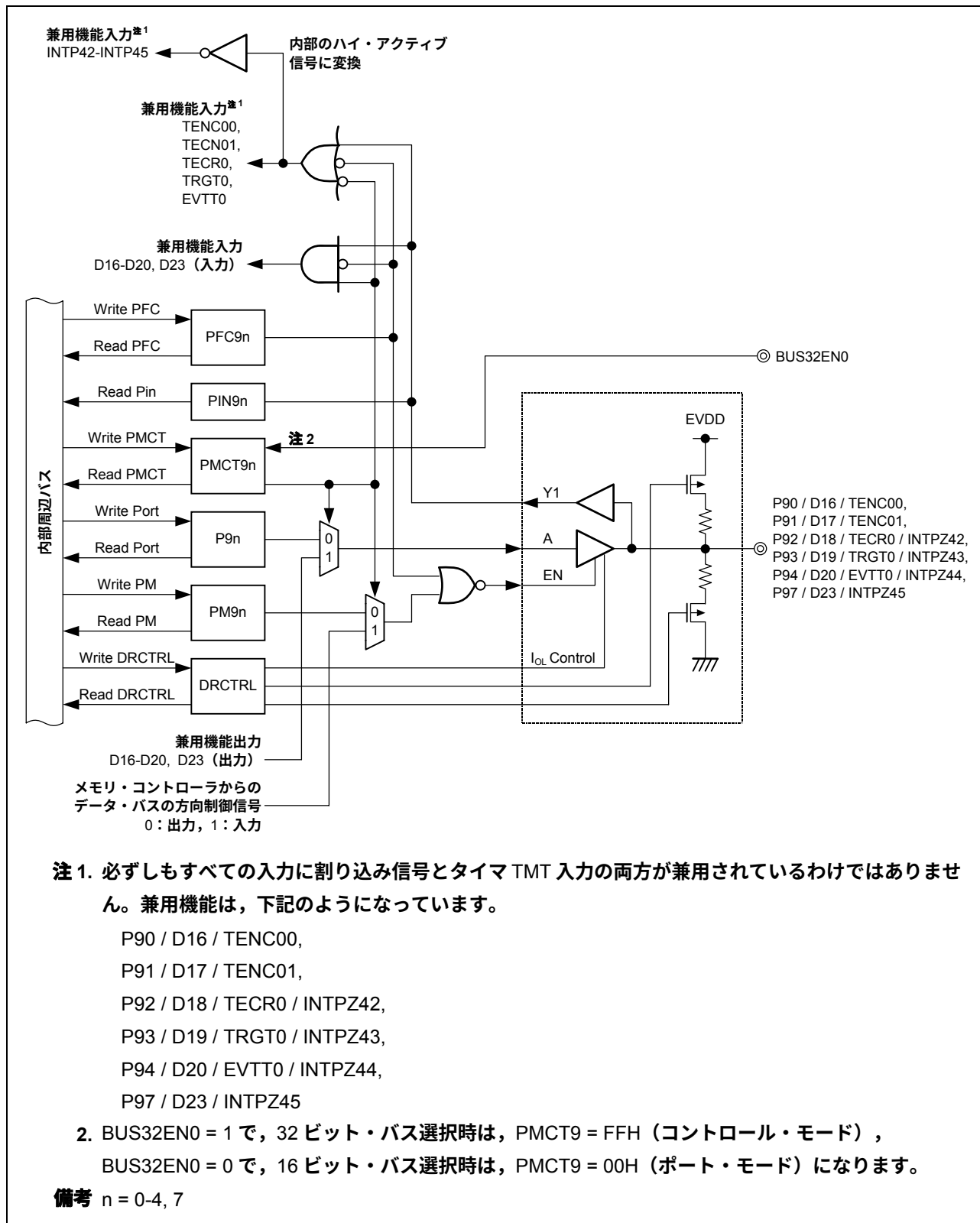
モード 端子	リセット	IDLE モード	バス・ホールド
D16-D23	Hi-Z (Pull-down)	Hi-Z (Pull-down)	Hi-Z (Pull-down)

なお、P90-P97 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

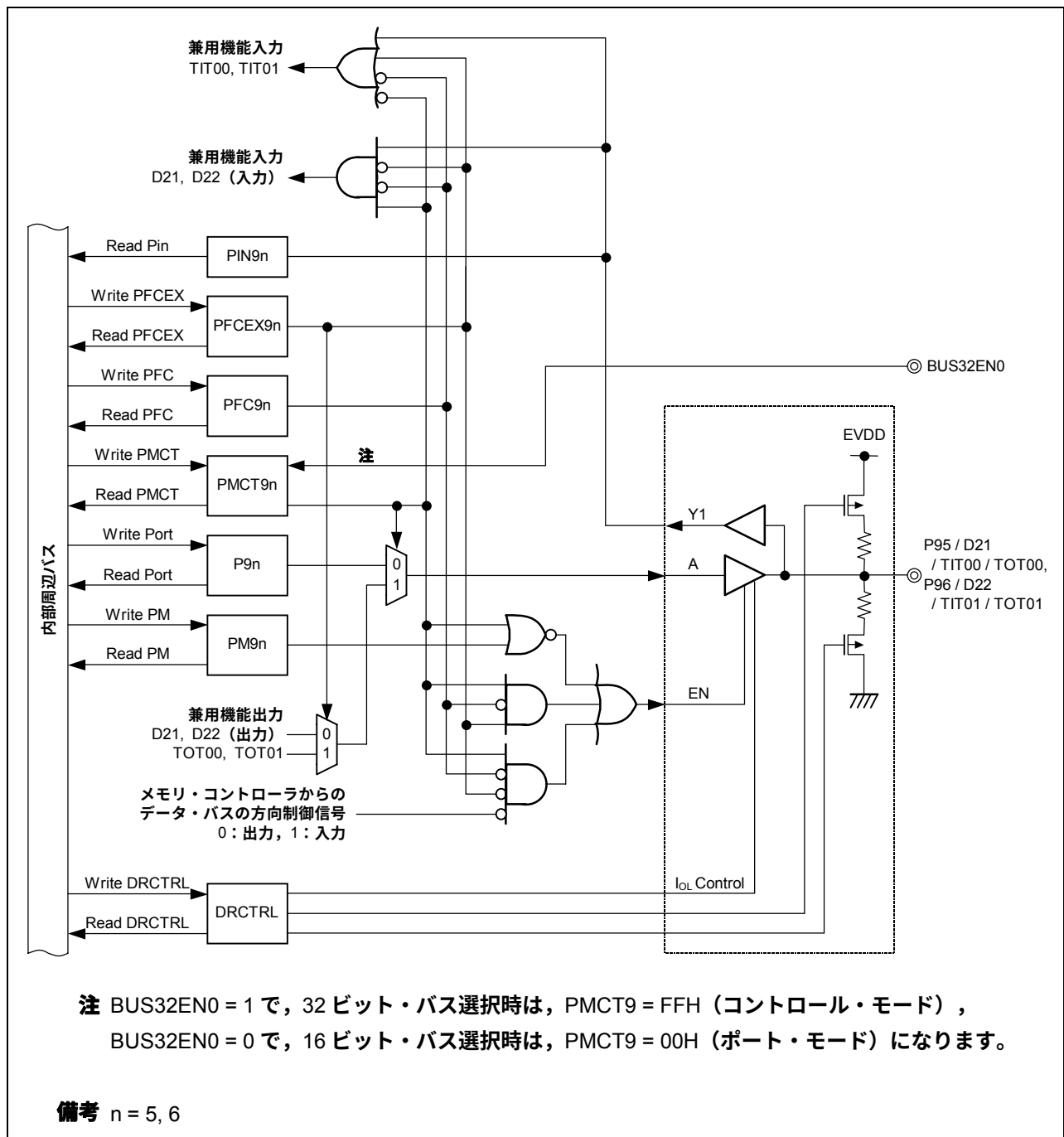
- (a) P90 / D16 / TENC00, P91 / D17 / TENC01, P92 / D18 / TECR0 / INTPZ42, P93 / D19 / TRGT0 / INTPZ43, P94 / D20 / EVTT0 / INTPZ44, P97 / D23 / INTPZ45 の構成

MEMC #1 のデータ・バスと、16 ビット・タイマ/イベント・カウンタ T (TMT) の入力端子、外部割り込み入力と兼用されています。PFC9 レジスタで 16 ビット・タイマ/イベント・カウンタ T (TMT) の入力機能を選択した場合、同時に外部割り込み入力機能も兼用されます。内部割り込み信号は正論理のため反転しています。



(b) P95 / D21 / TIT00 / TOT00, P96 / D22 / TIT01 / TOT01 の構成

MEMC #1 のデータ・バスと、16 ビット・タイマ／イベント・カウンタ T (TMT) の入出力端子と兼用されています。PFC9 レジスタで 16 ビット・タイマ／イベント・カウンタ T (TMT) の入出力機能を選択し、さらに入力兼用機能と出力兼用機能は、PFCEX9 レジスタで選択してください。



19.12.11 ポート A

ポート A は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート A は入出力ポートとして機能するほか、コントロール・モードでは、プライマリ・メモリ・コントローラ（MEMC #1）のデータ・バス（D24-D31）、16 ビット・タイマ／イベント・カウンタ T（TMT）のチャネル 1 の入出力端子、このうち PA2-PA4, PA7 は EI レベル・マスカブル割り込み入力端子としても動作します。

リセット時はプルダウン抵抗付きです。バッファ機能切り替えレジスタ（DRCTRL）により、ドライブ能力や、プルアップ抵抗／プルダウン抵抗を変更できます。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート A モード・コントロール・レジスタ（PMCTA）で指定します。

また複数の機能が兼用されている端子は、ポート A ファンクション・コントロール・レジスタ（PFCA）で兼用機能を指定します。16 ビット・タイマ／イベント・カウンタ T（TMT）の機能と、外部割り込みの機能は、同時に動作します。

PA5, PA6 は、16 ビット・タイマ／イベント・カウンタ T（TMT）の入出力機能と兼用されており、入力兼用機能と出力兼用機能は、ポート A ファンクション・コントロール拡張レジスタ（PFCEXA）で選択します。

(1) ポート A と兼用機能

モード ポート	PMCTAn = 0 (ポート・モード)		PMCTAn = 1 (コントロール・モード)			
	PMAAn = 0 (出力ポート)	PMAAn = 1 (入力ポート)	PFCEXAn = 0		PFCEXAn = 1	
			PFCAn = 0	PFCAn = 1	PFCAn = 0	PFCAn = 1 (設定禁止)
PA0	PA0 (出力モード)	PA0 (入力モード)	D24	TENC10	—	—
PA1	PA1 (出力モード)	PA1 (入力モード)	D25	TENC11	—	—
PA2	PA2 (出力モード)	PA2 (入力モード)	D26	TECR1 / INTPZ46	—	—
PA3	PA3 (出力モード)	PA3 (入力モード)	D27	TRGT1 / INTPZ47	—	—
PA4	PA4 (出力モード)	PA4 (入力モード)	D28	EVTT1 / INTPZ48	—	—
PA5	PA5 (出力モード)	PA5 (入力モード)	D29	TIT10	TOT10	—
PA6	PA6 (出力モード)	PA6 (入力モード)	D30	TIT11	TOT11	—
PA7	PA7 (出力モード)	PA7 (入力モード)	D31	INTPZ49	—	—

備考 n = 0-7

(2) ポート A の構成

MEMC #1 のデータ・バスと兼用しているため、下記の制御が行われます。

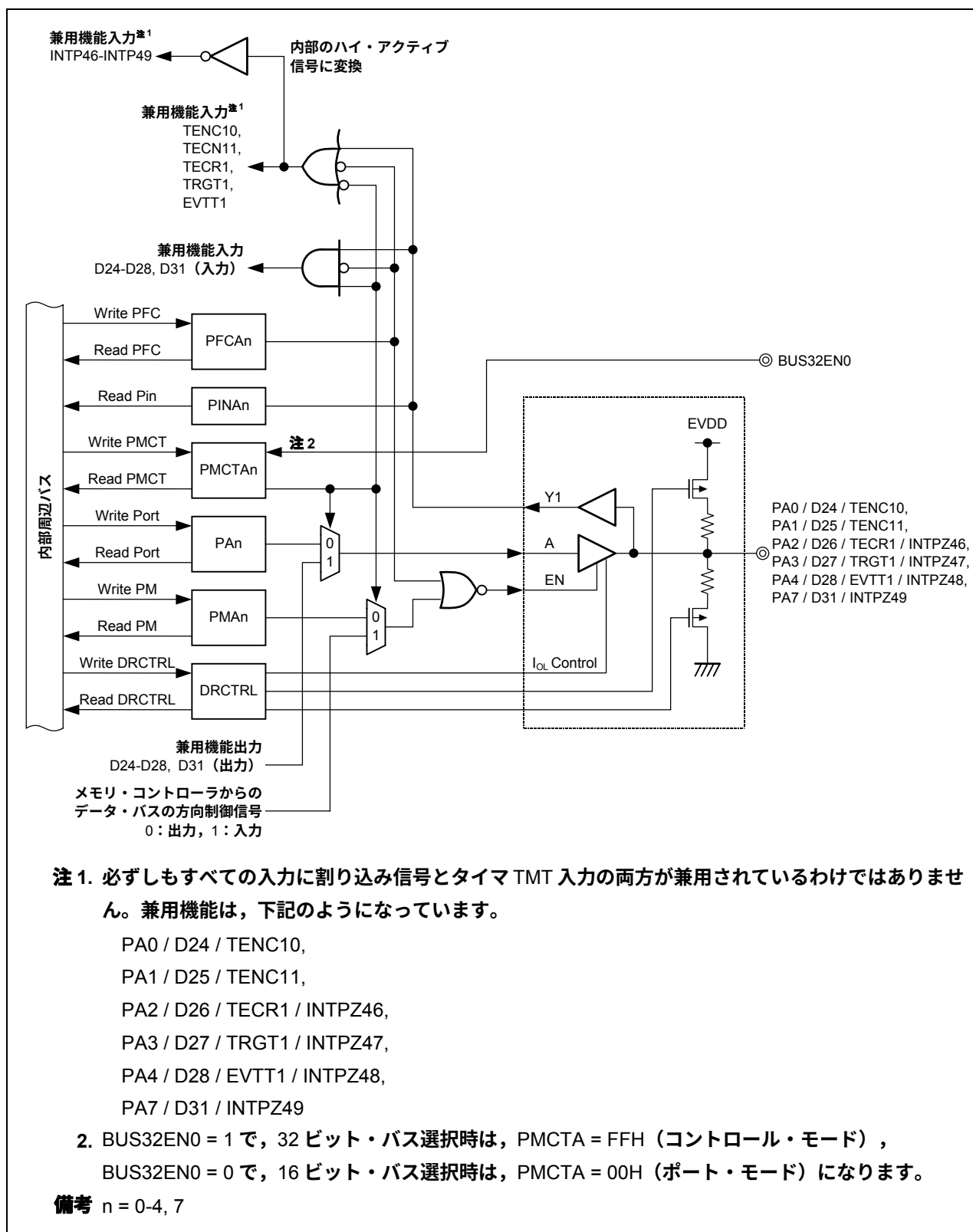
モード 端子	リセット	IDLE モード	バス・ホールド
D24-D31	Hi-Z (Pull-down)	Hi-Z (Pull-down)	Hi-Z (Pull-down)

なお、PA0-PA7 端子は、BUS32EN0 端子への入力レベルにより、次のように動作します。

BUS32 EN0	MEMC #1 の 起動時の バス・サイズ	BSC レジスタ	P67 端子の 動作	PMCT6	P90-P97, PA0-PA7 端子の動作	PMCT7	PMCT9	PMCTA
0	16 ビット	0000 5555H	A1	80H	入力ポート	00H	00H	00H
1	32 ビット	0000 FFFFH	入力ポート	00H	D16-D31	C0H	FFH	FFH

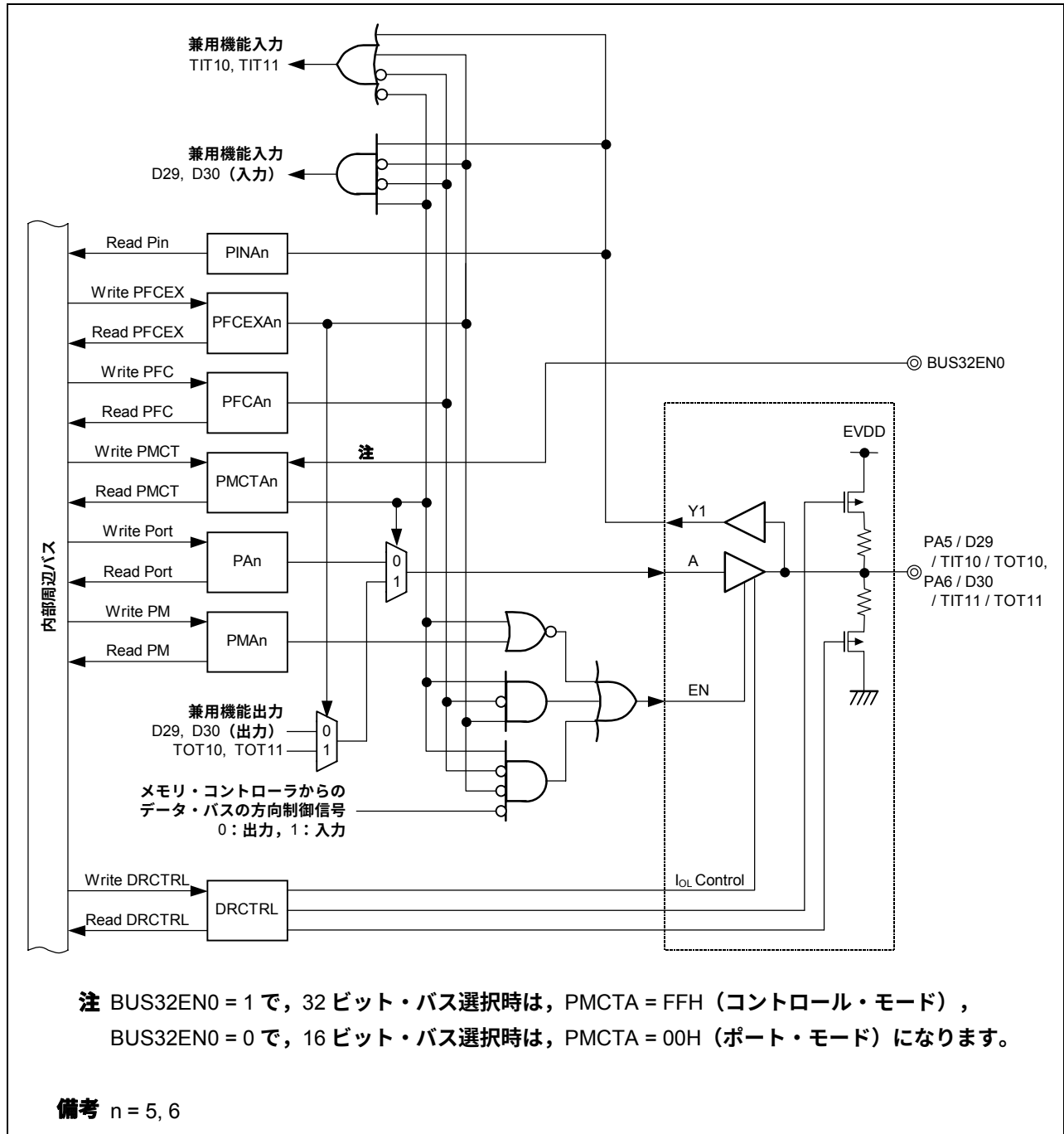
- (a) PA0 / D24 / TENC10, PA1 / D25 / TENC11, PA2 / D26 / TECR1 / INTPZ46, PA3 / D27 / TRGT1 / INTPZ47, PA4 / D28 / EVTT1 / INTPZ48, PA7 / D31 / INTPZ49 の構成

MEMC #1 のデータ・バスと、16 ビット・タイマ／イベント・カウンタ T (TMT) の入力端子、外部割り込み入力と兼用されています。PFCA レジスタで 16 ビット・タイマ／イベント・カウンタ T の入力機能を選択した場合、同時に外部割り込み入力機能も兼用されます。内部割り込み信号は正論理のため反転しています。



(b) PA5 / D29 / TIT10 / TOT10, PA6 / D30 / TIT11 / TOT11 の構成

MEMC #1 のデータ・バスと、16 ビット・タイマ／イベント・カウンタ T (TMT) の入出力端子と兼用されています。PFCA レジスタで 16 ビット・タイマ／イベント・カウンタ T の入出力機能を選択し、さらに入力兼用機能と出力兼用機能は、PFCEXA レジスタで選択してください。



19.12.12 ポート B

★

ポート B は、1 ビット単位で入力または出力を設定できる 4 ビットの入出力ポートです。

ポート B は入出力ポートとして機能するほか、コントロール・モードでは、16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 4, 5 の入出力端子として動作します。また EI レベル・マスクابل割り込み入力端子としても利用できます。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート B モード・コントロール・レジスタ (PMCTB) で指定します。

複数の機能が兼用されている端子は、ポート B ファンクション・コントロール・レジスタ (PFCB) で兼用機能を選択します。16 ビット・タイマ／カウンタ AA (TAA) のキャプチャ・トリガ機能と、外部割り込みの機能は、同時に動作します。

(1) ポート B と兼用機能

モード ポート	PMCTBn = 0 (ポート・モード)		PMCTBn = 1 (コントロール・モード)	
	PMBn = 0 (出力ポート)	PMBn = 1 (入力ポート)	PFCBn = 0	PFCBn = 1
PB0	PB0 (出力モード)	PB0 (入力モード)	TIA40 / INTPZ32	TOA40
PB1	PB1 (出力モード)	PB1 (入力モード)	TIA41 / INTPZ33	TOA41
PB2	PB2 (出力モード)	PB2 (入力モード)	TIA50 / INTPZ34	TOA50
PB3	PB3 (出力モード)	PB3 (入力モード)	TIA51 / INTPZ35	TOA51

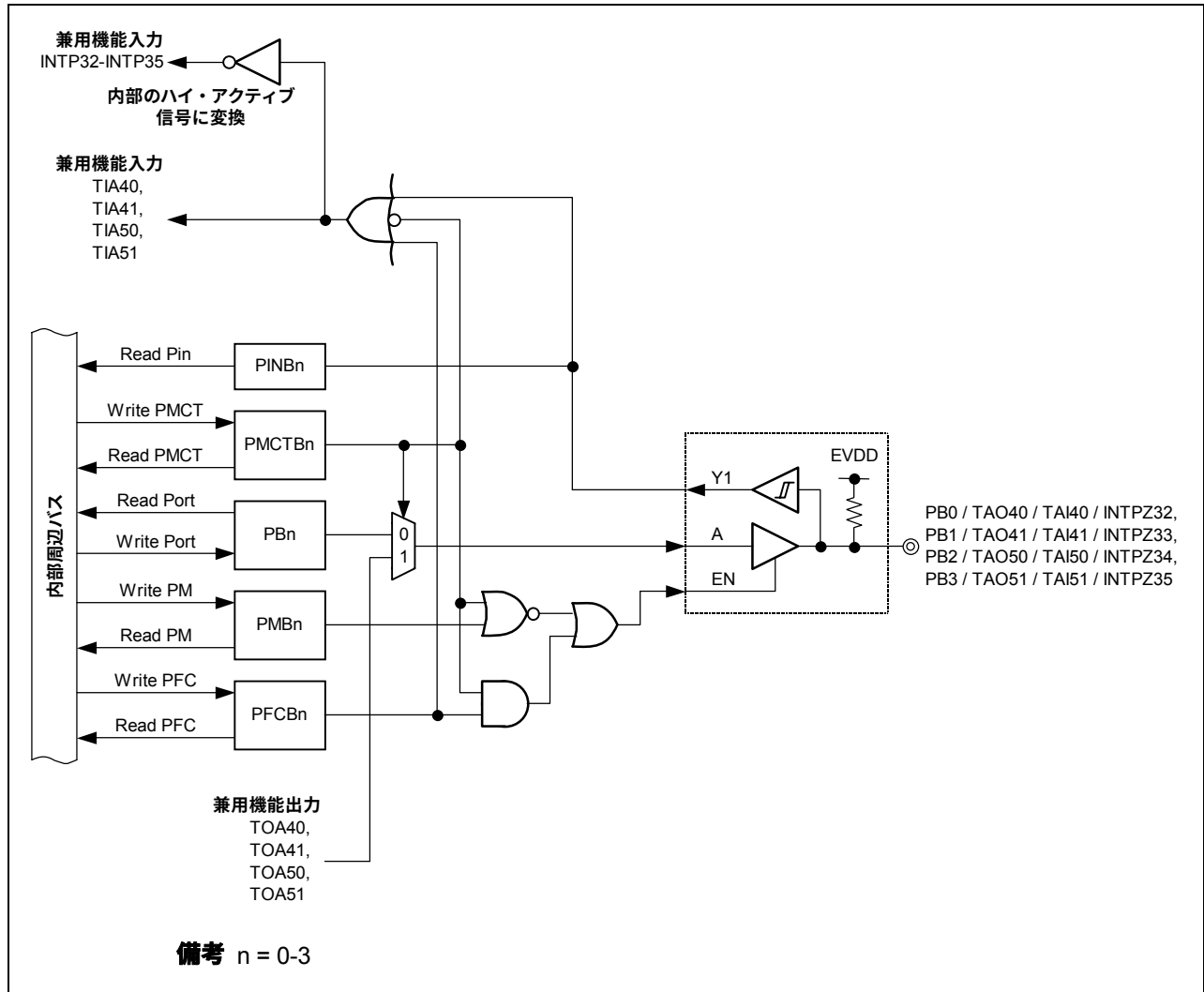
備考 n = 0-3

(2) ポート B の構成

★

16 ビット・タイマ／カウンタ AA (TAA) のチャンネル 4, 5 の入出力端子と兼用されています。

16 ビット・タイマ／カウンタ AA (TAA) の入力機能と兼用すると、同時に EI レベル・マスカブル割り込み入力端子としても機能します。内部割り込み信号は正論理のため反転しています。



19.12.13 ポート C

ポート C は、1 ビット単位で入力または出力を設定できる 8 ビットの入出力ポートです。

ポート C は入出力ポートとして機能するほか、コントロール・モードでは、クロック同期式シリアル・インタフェース (CSI30, CSI31) の入出力, A/D コンバータの外部トリガ入力, EI レベル・マスカブル割り込み入力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート C モード・コントロール・レジスタ (PMCTC) で指定します。

(1) ポート C と兼用機能

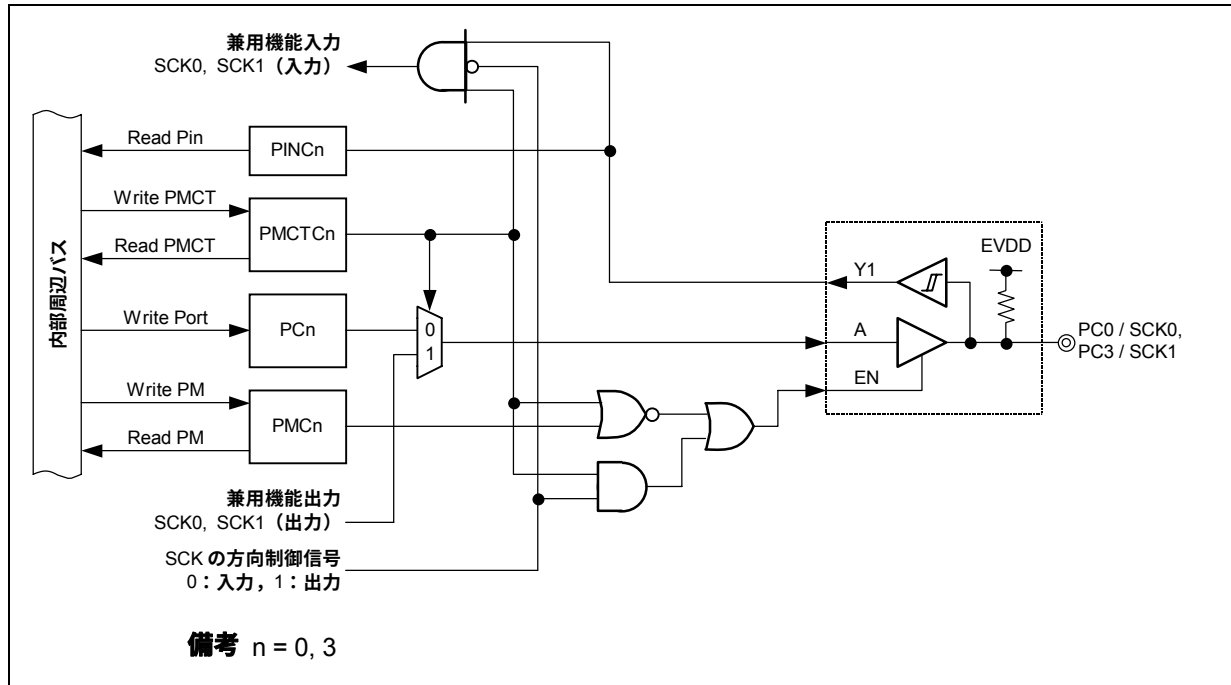
モード ポート	PMCTCn = 0 (ポート・モード)		PMCTCn = 1 (コントロール・モード)
	PMCn = 0 (出力ポート)	PMCn = 1 (入力ポート)	
PC0	PC0 (出力モード)	PC0 (入力モード)	SCK0
PC1	PC1 (出力モード)	PC1 (入力モード)	SO0
PC2	PC2 (出力モード)	PC2 (入力モード)	SI0
PC3	PC3 (出力モード)	PC3 (入力モード)	SCK1
PC4	PC4 (出力モード)	PC4 (入力モード)	SO1
PC5	PC5 (出力モード)	PC5 (入力モード)	SI1
PC6	PC6 (出力モード)	PC6 (入力モード)	INTPZ40
PC7	PC7 (出力モード)	PC7 (入力モード)	ADTRG / INTPZ41

備考 n = 0-7

(2) PC0 / SCK0, PC3 / SCK1 の構成

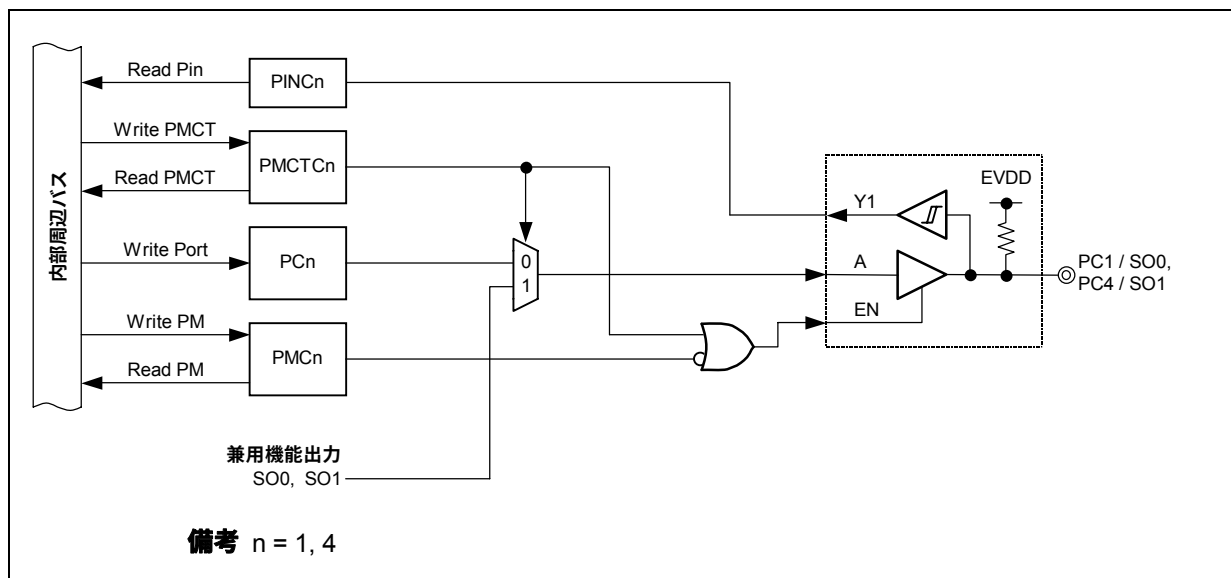
クロック同期式シリアル・インタフェースのクロック入出力端子と兼用です。

CSIC30, CSIC31 レジスタの設定で選択したマスタ・モード／スレーブ・モードにより、クロックの方向（入力／出力）が決定されます。



(3) PC1 / SO0, PC4 / SO1 の構成

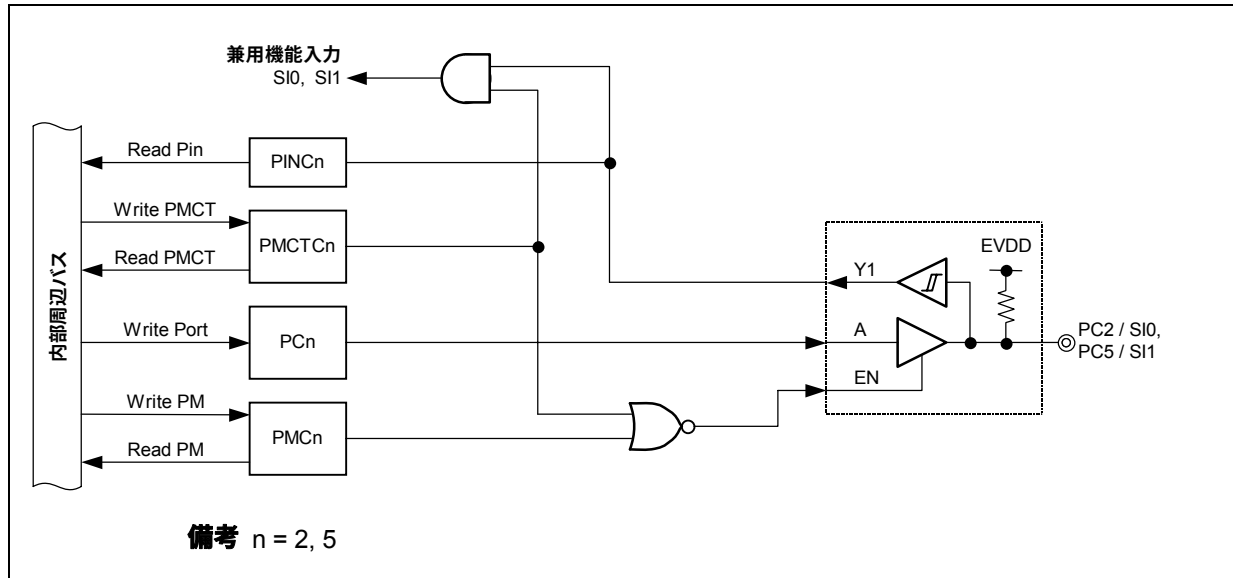
クロック同期式シリアル・インタフェースの出力端子と兼用です。



(4) PC2 / SI0, PC5 / SI1 の構成

クロック同期式シリアル・インタフェースの入力端子と兼用です。

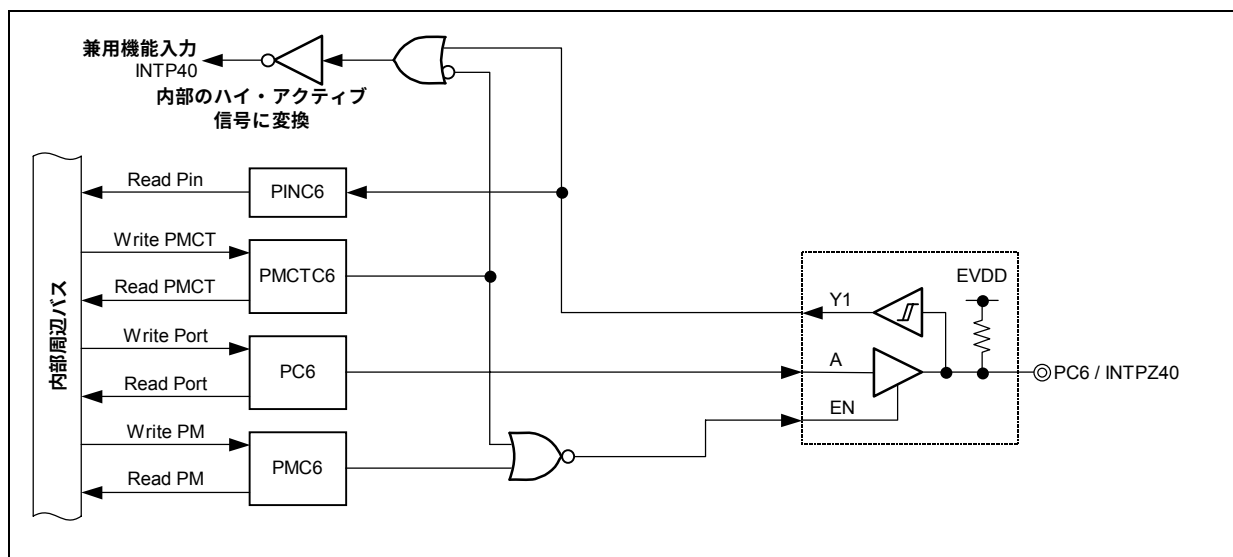
SI0, SI1 入力端子は、通信していない状態では、ロー・レベルです。このためポートとして利用している場合には、兼用機能にはロー・レベルが伝播する構造です。



(5) PC6 / INTPZ40 の構成

PC6 はロー・アクティブの外部割り込み入力 (INTPZ40) と兼用されています。

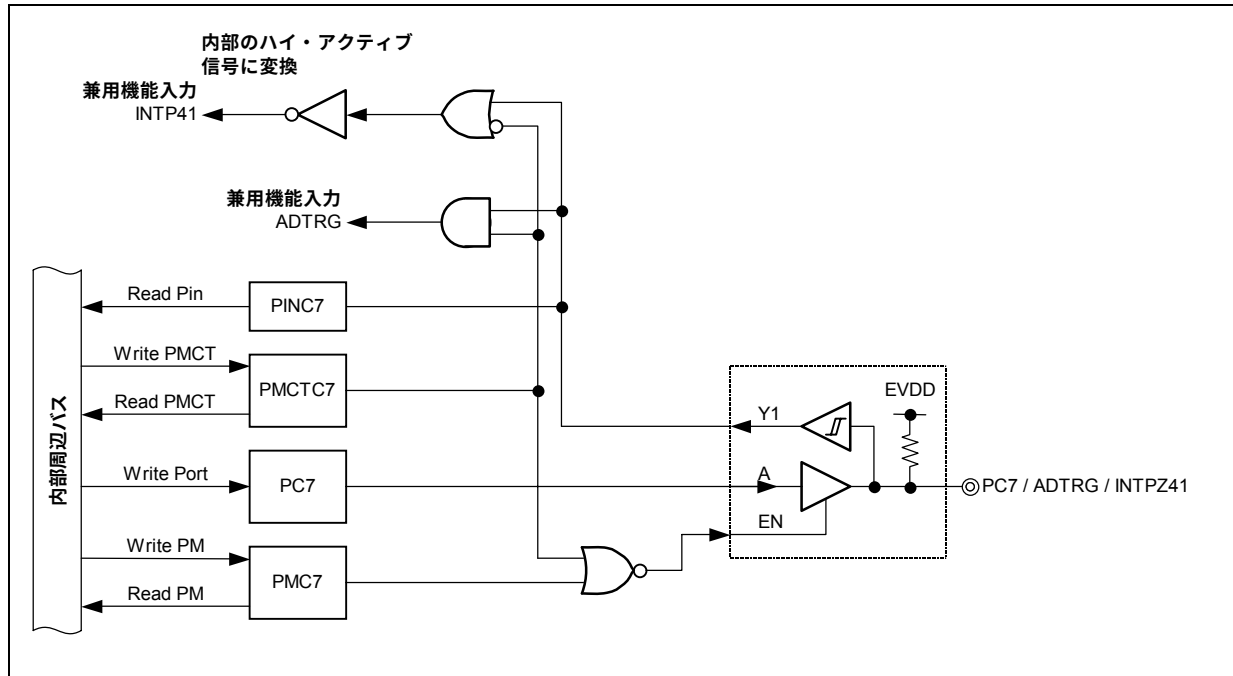
また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



(6) PC7 / ADTRG / INTPZ41 の構成

PC6 は A/D コンバータの外部トリガ入力端子と、ロー・アクティブの外部割り込み入力（INTPZ41）と兼用されています。

また、プルアップ抵抗が内蔵されています。内部割り込み信号は正論理のため反転しています。



19.12.14 ポート D

ポート D は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート D は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 0, 1 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 4, 5 (CSI34, CSI35) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート D モード・コントロール・レジスタ (PMCTD) で指定します。

PD0-PD5 は、システム・バス DMA コントローラ端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート D ファンクション・コントロール・レジスタ (PFCD) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

(1) ポート D と兼用機能

モード ポート	PMCTDn = 0 (ポート・モード)		PMCTDn = 1 (コントロール・モード)	
	PMDn = 0 (出力ポート)	PMDn = 1 (入力ポート)	PFCDn = 0	PFCDn = 1
PD0	PD0 (出力モード)	PD0 (入力モード)	DMAREQZ0 / INTPZ36	SCK4
PD1	PD1 (出力モード)	PD1 (入力モード)	DMAACKZ0	SO4
PD2	PD2 (出力モード)	PD2 (入力モード)	DMATCZ0	SI4
PD3	PD3 (出力モード)	PD3 (入力モード)	DMAREQZ1 / INTPZ37	SCK5
PD4	PD4 (出力モード)	PD4 (入力モード)	DMAACKZ1	SO5
PD5	PD5 (出力モード)	PD5 (入力モード)	DMATCZ1	SI5

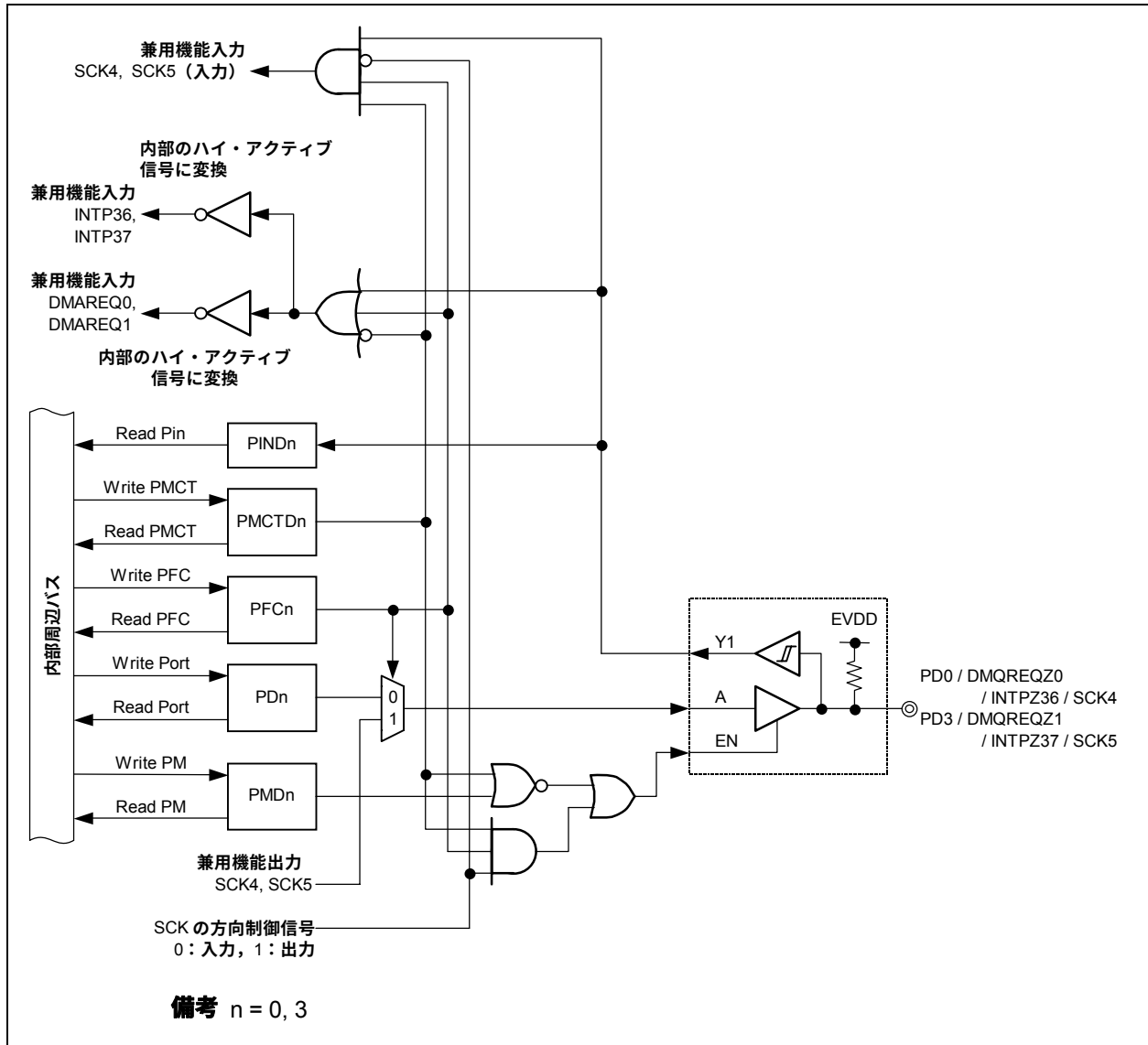
備考 n = 0-5

(2) PD0 / DMAREQZ0 / INTPZ36 / SCK4, PD3 / DMAREQZ1 / INTPZ37 / SCK5 の構成

システム・バス DMAC の DMA 転送要求入力, 外部割り込み入力と, CSI クロック出力が兼用されています。

またプルアップ抵抗が内蔵されています。

内部割り込み信号, 内部 DMA インタフェース信号は正論理のため反転しています。

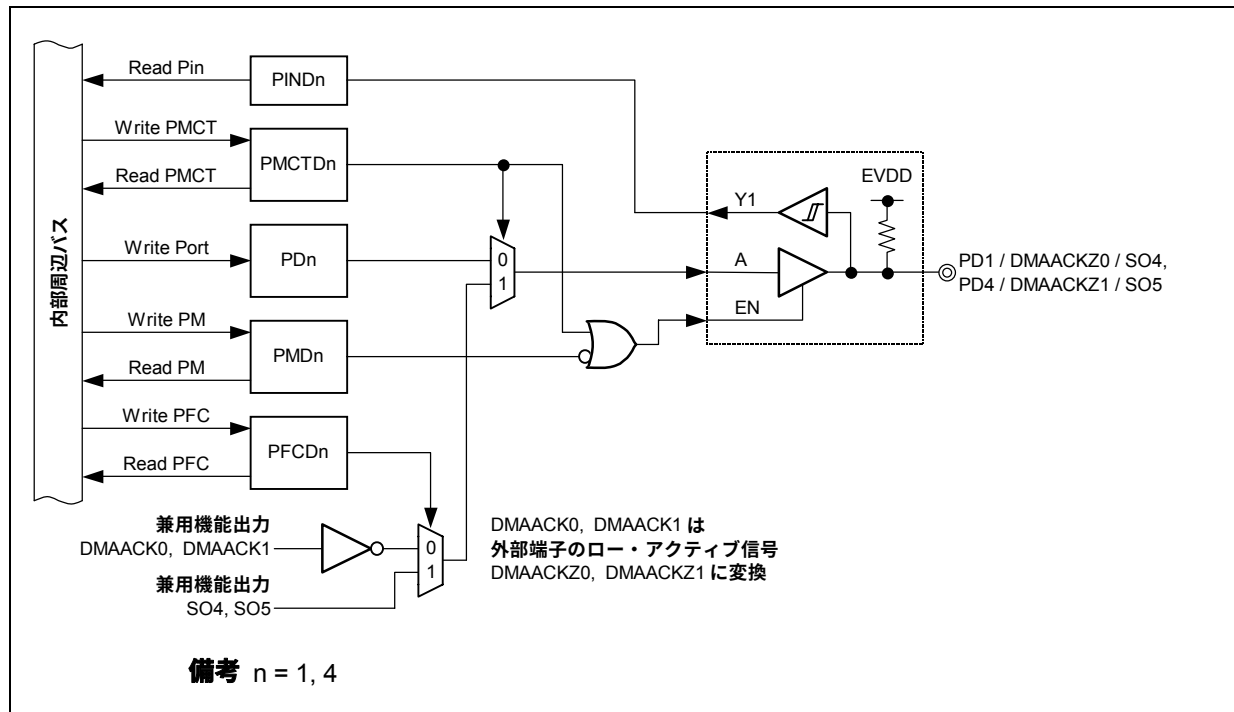


(3) PD1 / DMAACKZ0 / SO4, PD4 / DMAACKZ1 / SO5 の構成

システム・バス DMAC の DMA アクノリッジ出力と、CSI データ出力端子が兼用されています。

またプルアップ抵抗が内蔵されています。

内部 DMA アクノリッジ信号は正論理のため反転しています。

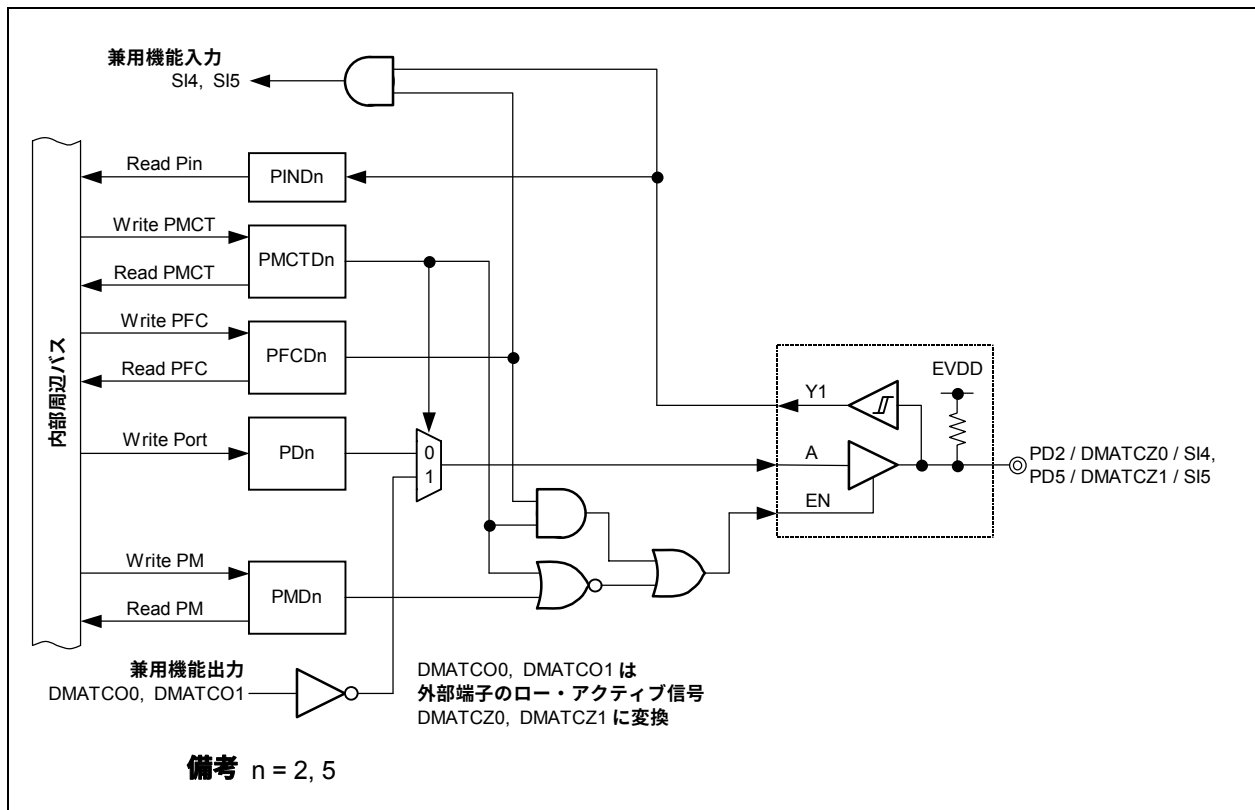


(4) PD2 / DMATCZ0 / SI4, PD5 / DMATCZ1 / SI5 の構成

システム・バス DMAC の DMA ターミナル・カウント出力と、CSI データ入力端子が兼用されています。

またプルアップ抵抗が内蔵されています。

内部 DMA ターミナル・カウント信号は正論理のため反転しています。



19.12.15 ポート E

ポート E は、1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

ポート E は入出力ポートとして機能するほか、コントロール・モードでは、システム・バス DMA コントローラのチャンネル 2, 3 の入出力端子、EI レベル・マスカブル割り込み入力端子、クロック同期式シリアル・インタフェースのチャンネル 6, 7 (CSI36, CSI37) の入出力端子として動作します。この端子はプルアップ抵抗付きです。

動作モードは、1 ビットごとにポート・モード／コントロール・モードの選択が可能で、ポート E モード・コントロール・レジスタ (PMCTE) で指定します。

PE0-PE5 は、システム・バス DMA コントローラ端子、EI レベル・マスカブル割り込み入力端子と、CSI 端子で兼用されています。ポート E ファンクション・コントロール・レジスタ (PFCE) で、両者の機能を選択します。DMA 転送要求入力と、外部割り込みの機能は、同時に動作します。

(1) ポート E と兼用機能

モード ポート	PMCTEn = 0 (ポート・モード)		PMCTEn = 1 (コントロール・モード)	
	PMEn = 0 (出力ポート)	PMEn = 1 (入力ポート)	PFCEn = 0	PFCEn = 1
PE0	PE0 (出力モード)	PE0 (入力モード)	DMAREQZ2 / INTPZ38	SCK6
PE1	PE1 (出力モード)	PE1 (入力モード)	DMAACKZ2	SO6
PE2	PE2 (出力モード)	PE2 (入力モード)	DMATCZ2	SI6
PE3	PE3 (出力モード)	PE3 (入力モード)	DMAREQZ3 / INTPZ39	SCK7
PE4	PE4 (出力モード)	PE4 (入力モード)	DMAACKZ3	SO7
PE5	PE5 (出力モード)	PE5 (入力モード)	DMATCZ3	SI7

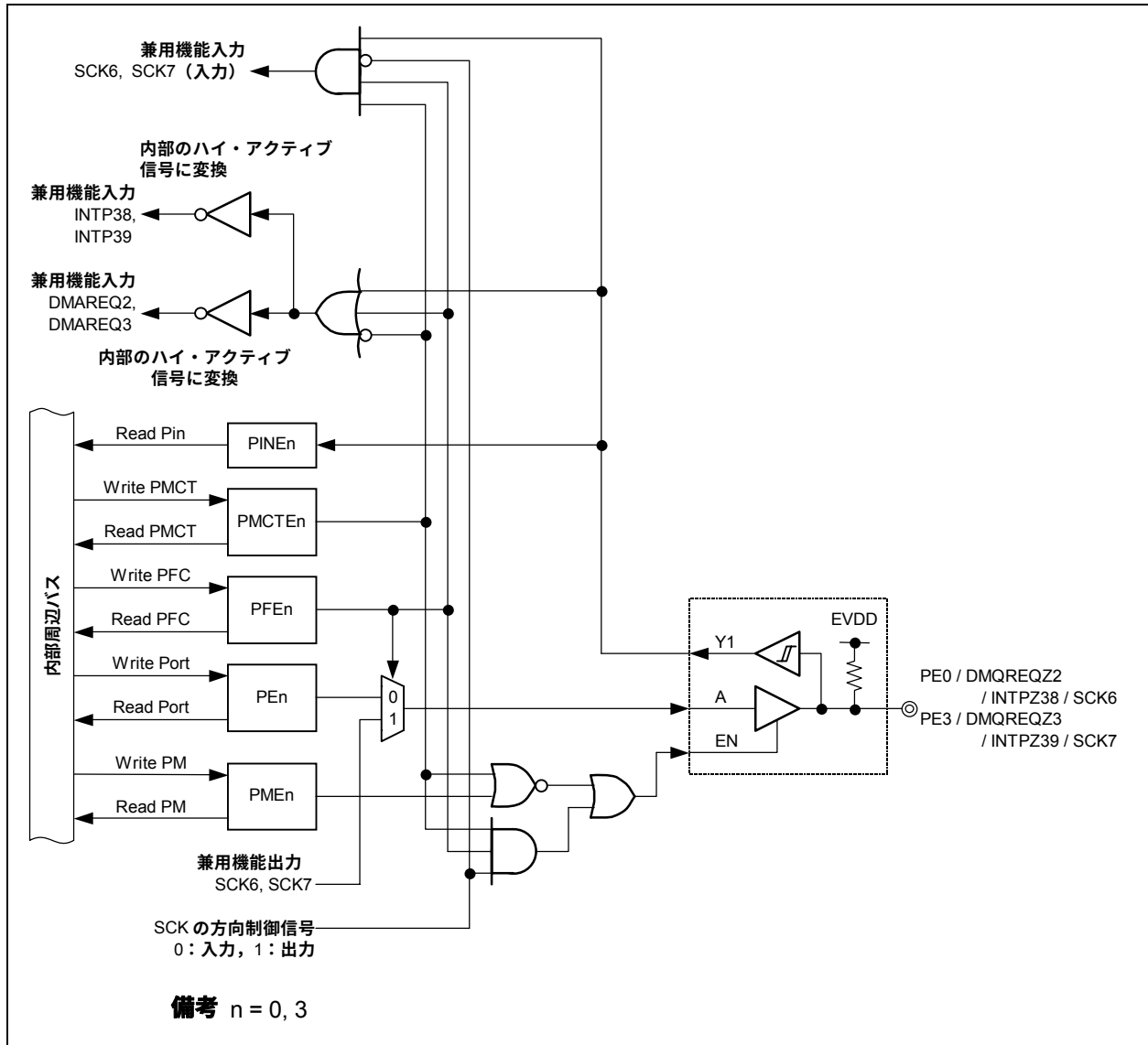
備考 n = 0-5

(2) PE0 / DMAREQZ2 / INTPZ38 / SCK6, PE3 / DMAREQZ3 / INTPZ39 / SCK7 の構成

システム・バス DMAC の DMA 転送要求入力, 外部割り込み入力と, CSI クロック出力が兼用されています。

またプルアップ抵抗が内蔵されています。

内部割り込み信号, 内部 DMA 転送要求信号は正論理のため反転しています。

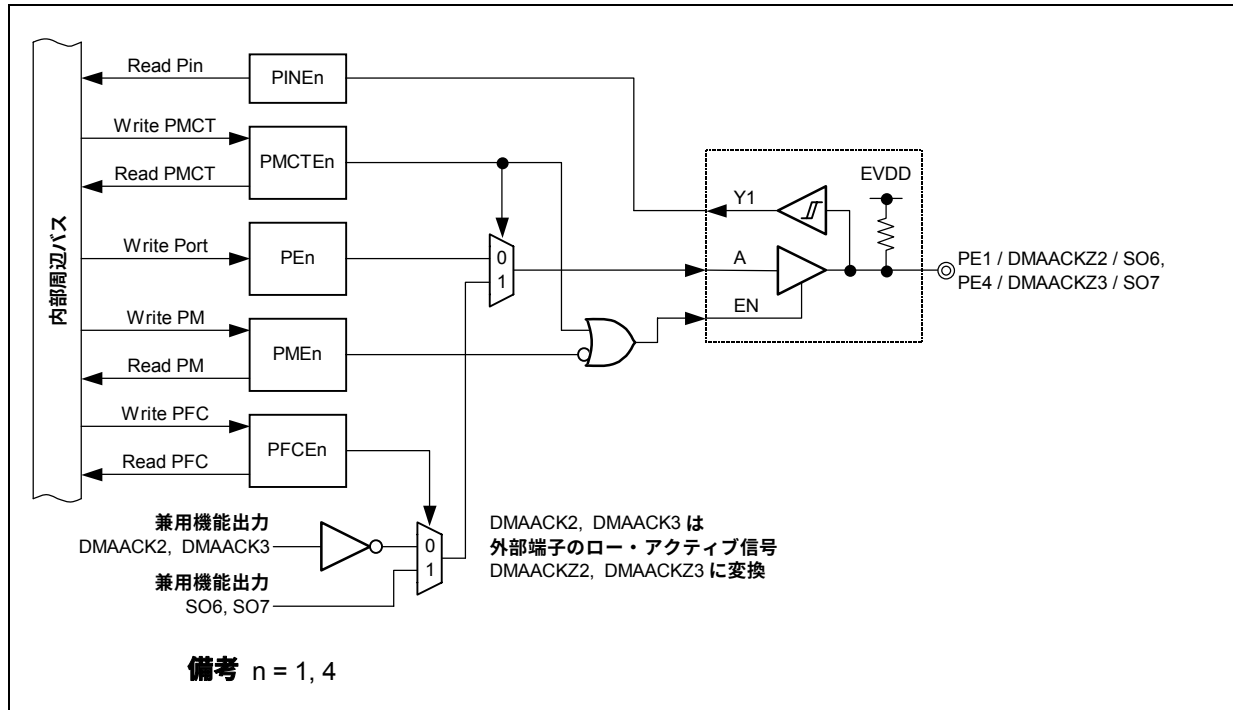


(3) PE1 / DMAACKZ2 / SO6, PE4 / DMAACKZ3 / SO7 の構成

システム・バス DMAC の DMA アクノリッジ出力と、CSI データ出力端子が兼用されています。

またプルアップ抵抗が内蔵されています。

内部 DMA アクノリッジ信号は正論理のため反転しています。

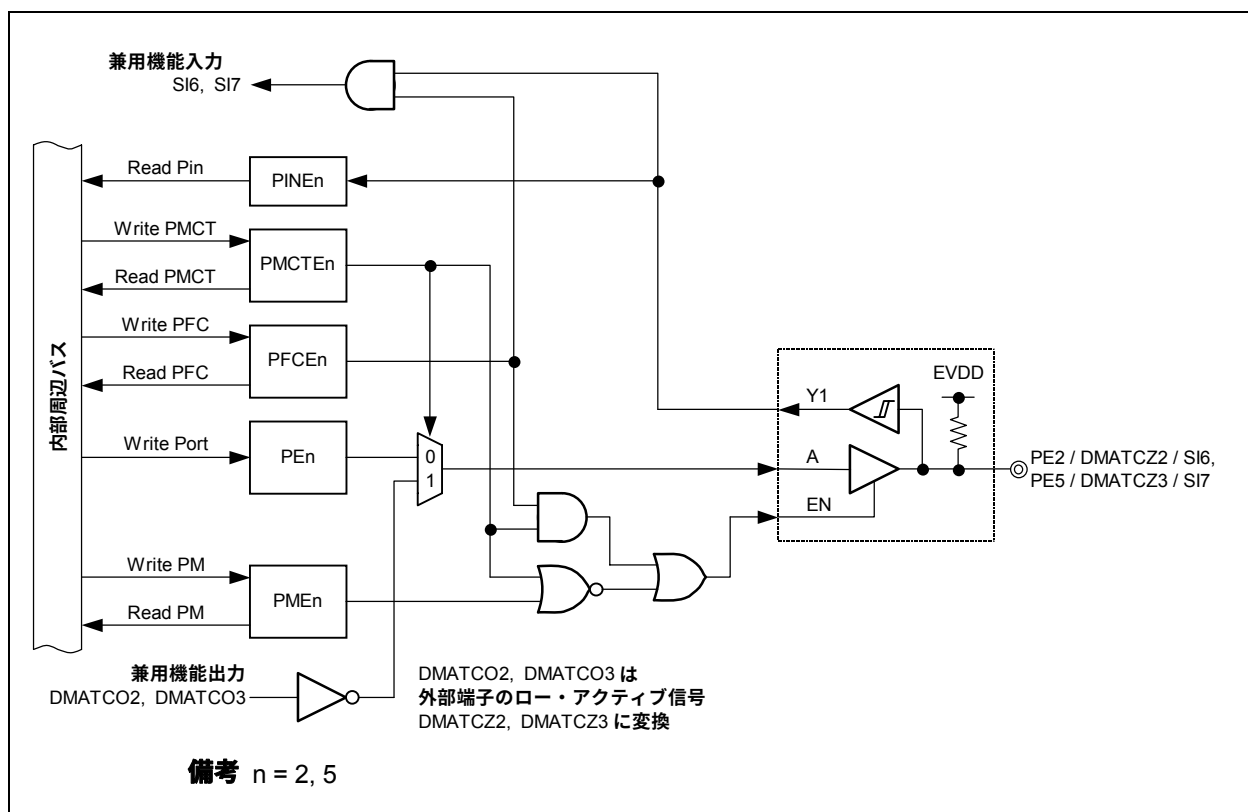


(4) PE2 / DMATCZ2 / SI6, PE5 / DMATCZ3 / SI7 の構成

システム・バス DMAC の DMA ターミナル・カウント出力と、CSI データ入力端子が兼用されています。

またプルアップ抵抗が内蔵されています。

内部 DMA ターミナル・カウント信号は正論理のため反転しています。



19.13 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

19.13.1 入出力ポートへのリード／ライト動作

(1) 出力モードの場合

ポート n レジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

ポート n レジスタ (Pn) をリードすると、出力ラッチ (Pn) を読み出せます。

ポート n 端子入力レジスタ ($PINn$) をリードすると、端子レベルを直接読み出せます。

(2) 入力モードの場合

ポート n レジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

入力レベルを読み出すには、ポート n 端子入力レジスタ ($PINn$) をリードしてください。

注意 ビット操作命令 (CLR1, SET1, NOT1) の場合、操作対象は 1 ビットですが、ポートを 8 ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定になります。

19.13.2 コントロール・モード時の兼用機能の出力状態

ポート端子の状態は、 $PMCn$ レジスタ、 PMn レジスタ、 $PFCn$ レジスタ、 $PFCEXn$ レジスタの設定に依存せず、ポート n 端子入力レジスタ ($PINn$) をリードすると、端子レベルを直接読み出せます。

19.14 ノイズ除去回路

- ★ 外部割り込み入力, A/D トリガ入力, 16 ビット・タイマ／カウンタ AA (TAA) 入力信号, 16 ビット・タイマ／イベント・カウンタ T (TMT) 入力信号, UART シリアル・データ入力は, デジタル・ノイズ・フィルタによるノイズ除去機能を利用できます。

ノイズ除去機能の設定は, ノイズ・フィルタ設定レジスタ 0-7 (NFC0-NFC7) で行います。

ノイズ除去対象端子を以下に示します。

表 19-2 ノイズ除去対象信号

対象信号	内部接続ユニット	信号の機能
NMI	割り込みコントローラ	FE レベル・マスカブル外部割り込み入力
INTPZ0-INTPZ49	割り込みコントローラ	EI レベル・マスカブル外部割り込み入力
ADTRG	A/D コンバータ・コントローラ	A/D コンバータの外部変換トリガ入力
TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51	16 ビット・タイマ／カウンタ AA (TAA)	TAA タイマ・キャプチャ・トリガ入力
TENC00, TENC01, TENC10, TENC11	16 ビット・タイマ／イベント・ カウンタ T (TMT)	TMT タイマ・エンコーダ・カウント入力
TECR0, TECR1		TMT タイマ・エンコーダ・クリア入力
TRGT0, TRGT1		TMT タイマ外部トリガ入力
EVT0, EVTT1		TMT タイマ外部イベント入力
TIT00, TIT01, TIT10, TIT11		TMT タイマ・キャプチャ・トリガ入力
RXD0-RXD3	アシンクロナス・シリアル・イ ンタフェース (UART)	UART シリアル・データ入力

19.14.1 ノイズ・フィルタ設定レジスタ

表 19-2 に示す入力信号の、ノイズ除去幅を設定するレジスタです。

32 ビット単位でリード／ライト可能です。

注意 1. 入力パルス幅が、NFC0-NFC7 設定値～NFC0-NFC7 設定値－1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。

2. ノイズ・フィルタ設定レジスタは、割り込み入力とその他の入力系兼用機能が同一端子に割り当てられている場合でも、個別に設定してください。たとえば TIA00, INTPZ24 は同一端子に割り当てられていますが、ノイズ・フィルタの設定は、TIA00, INTPZ24 それぞれ個別に NFC5 レジスタ, NFC2 レジスタで設定してください。

★

3. 割り込み入力 (INTPZ0-INTPZ49, NMI) はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。16 ビット・タイマ／カウンタ AA (TAA) 入力端子, 16 ビット・タイマ／イベント・カウンタ T (TMT) 入力端子, ADTRG の有効エッジは、それぞれのユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0-RXD3 入力はエッジ指定の機能はありません。

4. INTPZ0-INTPZ49, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも、遅延が生じます。

5. NFC0-NFC4 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC4 レジスタの変更は DI 状態で行い、レジスタ変更後に該当している割り込み要求 (EIRFn) クリアしてください。

(1/3)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0F01 9110H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFP 01	NFP 00	0000 0000H
																	NMI
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC1	NFP 151	NFP 150	NFP 141	NFP 140	NFP 131	NFP 130	NFP 121	NFP 120	NFP 111	NFP 110	NFP 101	NFP 100	NFP 91	NFP 90	NFP 81	NFP 80	0F01 9114H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 71	NFP 70	NFP 61	NFP 60	NFP 51	NFP 50	NFP 41	NFP 40	NFP 31	NFP 30	NFP 21	NFP 20	NFP 11	NFP 10	NFP 01	NFP 00	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC2	NFP 311	NFP 310	NFP 301	NFP 300	NFP 291	NFP 290	NFP 281	NFP 280	NFP 271	NFP 270	NFP 261	NFP 260	NFP 251	NFP 250	NFP 241	NFP 240	0F01 9118H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 231	NFP 230	NFP 221	NFP 220	NFP 211	NFP 210	NFP 201	NFP 200	NFP 191	NFP 190	NFP 181	NFP 180	NFP 171	NFP 170	NFP 161	NFP 160	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	アドレス
NFC3	NFP 471	NFP 470	NFP 461	NFP 460	NFP 451	NFP 450	NFP 441	NFP 440	NFP 431	NFP 430	NFP 421	NFP 420	NFP 411	NFP 410	NFP 401	NFP 400	0F01 911CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	NFP 391	NFP 390	NFP 381	NFP 380	NFP 371	NFP 370	NFP 361	NFP 360	NFP 351	NFP 350	NFP 341	NFP 340	NFP 331	NFP 330	NFP 321	NFP 320	0000 0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(2/3)

																アドレス	
NFC4	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9120H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	0	0	0	0	0	0	0	0	0	0	0	0	NFP 491	NFP 490	NFP 481	NFP 480	
													INTPZ49		INTPZ48		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	
																アドレス	
NFC5	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9124H
	0	0	0	0	0	0	0	0	NFTIA 511	NFTIA 510	NFTIA 501	NFTIA 500	NFTIA 411	NFTIA 410	NFTIA 401	NFTIA 400	
								TIA51		TIA50		TIA41		TIA40			
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	NFTIA 311	NFTIA 310	NFTIA 301	NFTIA 300	NFTIA 211	NFTIA 210	NFTIA 201	NFTIA 200	NFTIA 111	NFTIA 110	NFTIA 101	NFTIA 100	NFTIA 011	NFTIA 010	NFTIA 001	NFTIA 000	
		TIA31		TIA30		TIA21		TIA20		TIA11		TIA10		TIA01		TIA00	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
																アドレス	
NFC6	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 9128H
	0	0	NFTIT 111	NFTIT 110	NFTIT 101	NFTIT 100	NFEVT 11	NFEVT 10	NFTRG 11	NFTRG 10	NFECR 11	NFECR 10	NFENC 111	NFENC 110	NFENC 101	NFENC 100	
			TIT11		TIT10		EVT11		TRGT1		TECR1		TENC11		TENC10		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	0	0	NFTIT 011	NFTIT 010	NFTIT 001	NFTIT 000	NFEVT 01	NFEVT 00	NFTRG 01	NFTRG 00	NFECR 01	NFECR 00	NFENC 011	NFENC 010	NFENC 001	NFENC 000	
			TIT01		TIT00		EVT01		TRGT0		TECR0		TENC01		TENC00		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
																アドレス	
NFC7	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	0F01 912CH
	0	0	0	0	0	0	0	0	NFRXD 31	NFRXD 30	NFRXD 21	NFRXD 20	NFRXD 11	NFRXD 10	NFRXD 01	NFRXD 00	
								RXD3		RXD2		RXD1		RXD0			
R/W	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
																初期値	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000 0000H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NFAD 01	NFAD 00	
															ADTRG		
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

(3/3)

★

ビット位置	ビット名	意 味															
31-0	NFm1- NFm0	ノイズ・フィルタ段数を，内部システム・バス・クロック（HCLK）基準で設定します。 CLKDV0-CLKDV2 端子により，内部システム・バス・クロックは，CPU 動作クロックの分周関係で設定されます。 <table><tr><th>NFm1</th><th>NFm0</th><th>ノイズ・フィルタ段数</th></tr><tr><td>0</td><td>0</td><td>0×HCLK</td></tr><tr><td>0</td><td>1</td><td>4×HCLK</td></tr><tr><td>1</td><td>0</td><td>8×HCLK</td></tr><tr><td>1</td><td>1</td><td>16×HCLK</td></tr></table>	NFm1	NFm0	ノイズ・フィルタ段数	0	0	0×HCLK	0	1	4×HCLK	1	0	8×HCLK	1	1	16×HCLK
NFm1	NFm0	ノイズ・フィルタ段数															
0	0	0×HCLK															
0	1	4×HCLK															
1	0	8×HCLK															
1	1	16×HCLK															

備考 m = P0-P49,
TIA00, TIA01, TIA10, TIA11, TIA20, TIA21, TIA30, TIA31, TIA40, TIA41, TIA50, TIA51,
ENC00, ENC01, ECR0, TRG0, EVT0, TIT00, TIT01,
ENC10, ENC11, ECR1, TRG1, EVT1, TIT10, TIT11,
RXD0, RXD1, RXD2, RXD3,
AD

19.14.2 ノイズ・フィルタの動作

表 19-2 に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロック (CLK) でサンプリングし、ノイズ・フィルタ設定レジスタ (NFC0-NFC7) で指定したノイズ除去を行っています。

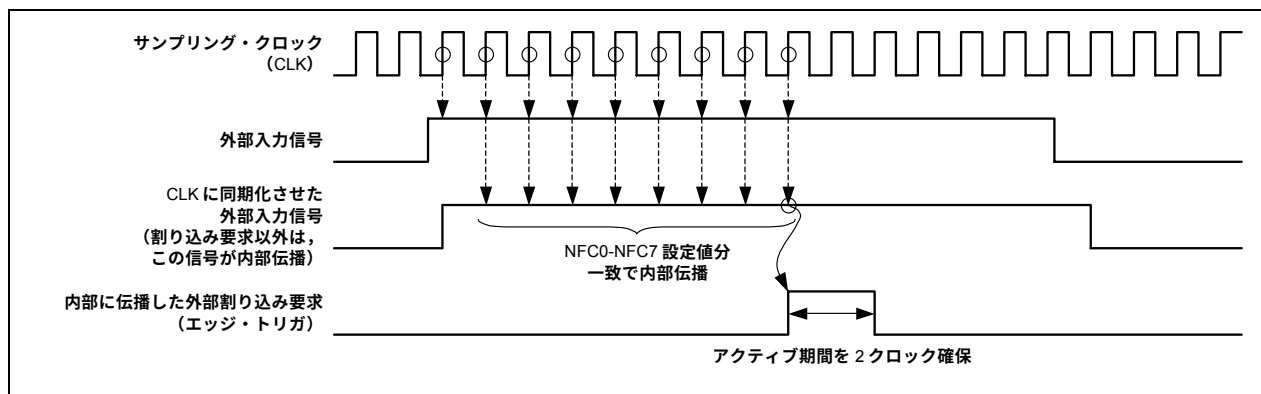
HCLK は、CLKDV0, CLKDV1 端子の設定により、CPU の動作クロック (CPCLK) からの分周比が設定されます。

CLKDV2	CLKDV1	CLKDV0	システム・バス・クロック (HCLK)	周辺マクロ・クロック (PCLK)
0	0	0	CPCLK/2	CPCLK/2 (HCLK/1)
0	0	1	CPCLK/2	CPCLK/4 (HCLK/2)
0	1	0	CPCLK/3	CPCLK/3 (HCLK/1)
0	1	1	CPCLK/3	CPCLK/6 (HCLK/2)
1	0	0	CPCLK/4	CPCLK/4 (HCLK/1)
1	0	1	CPCLK/4	CPCLK/8 (HCLK/2)
1	1	任意	設定禁止	

この CLK は IDLE モードで停止しないため、すべての外部割り込みで IDLE モードの解除が可能です。また、すべて立ち上がり／立ち下がり／両エッジ／ロー・アクティブのレベルのいずれかを有効トリガに選択できます。

注 CLK は、IDLE モードでも動作します。このため、IDLE モードは外部割り込みで解除できます。

図 19-2 割り込み信号のデジタル・ノイズ・フィルタの動作 (エッジ・トリガ時)



第20章 リセット機能

20.1 概 要

- RESETZ 端子入力によるリセット機能
- PONR 端子入力による、リダンダンシ RAM の初期化处理
- DCU による強制リセット機能（第 21 章 デバッグ機能（DCU）参照）
- RESETZ 端子へのロー・レベル入力は、500 μ s（MIN.）です。ただし、発振安定待ち時間が 500 μ s 以上必要な場合は、発振安定待ち時間分、ロー・レベルを確保してください。
- アナログ・ディレイによる RESETZ 端子入力のノイズ除去を行います。

システム・リセット期間中は、双方向や 3-st 出力バッファは、ほとんどの端子がハイ・インピーダンスになります（電源端子を除く）。ただし、動作モード設定端子は、JTAGSEL 端子を除き、プルアップ抵抗もプルダウン抵抗も接続されていません。動作モード設定端子は、適宜外部からレベルを与える必要があります。

20.2 動作

RESETZ 端子に有効幅以上[※]のロー・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期化されます。

RESETZ 端子がロー・レベルからハイ・レベルになると、内部回路の同期リセット後にリセットが解除されて、OSC 出力クロック (OSCCLK) で CPU はプログラムの実行を開始します。各種レジスタ内容は、プログラムの中で必要に応じてイニシャライズしてください。

リセット解除時には、発振安定待ち時間は挿入されません。したがって、クロック発振回路が停止した状態からの RESETZ 端子入力（パワーオン時のリセット入力）では、発振安定待ち時間以上（500 μ s (MIN.)）をロー・レベルで確保する必要があります。また、クロック発振回路が停止していない状態からの RESETZ 端子入力（IDLE モード解除時のリセット入力など）では、500 μ s (MIN.) のロー・レベルを確保する必要があります。

注. RESETZ 端子へのロー・レベル入力は、500 μ s (MIN.) です。ただし、発振安定待ち時間が 500 μ s 以上必要な場合は、発振安定待ち時間分、ロー・レベルを確保してください

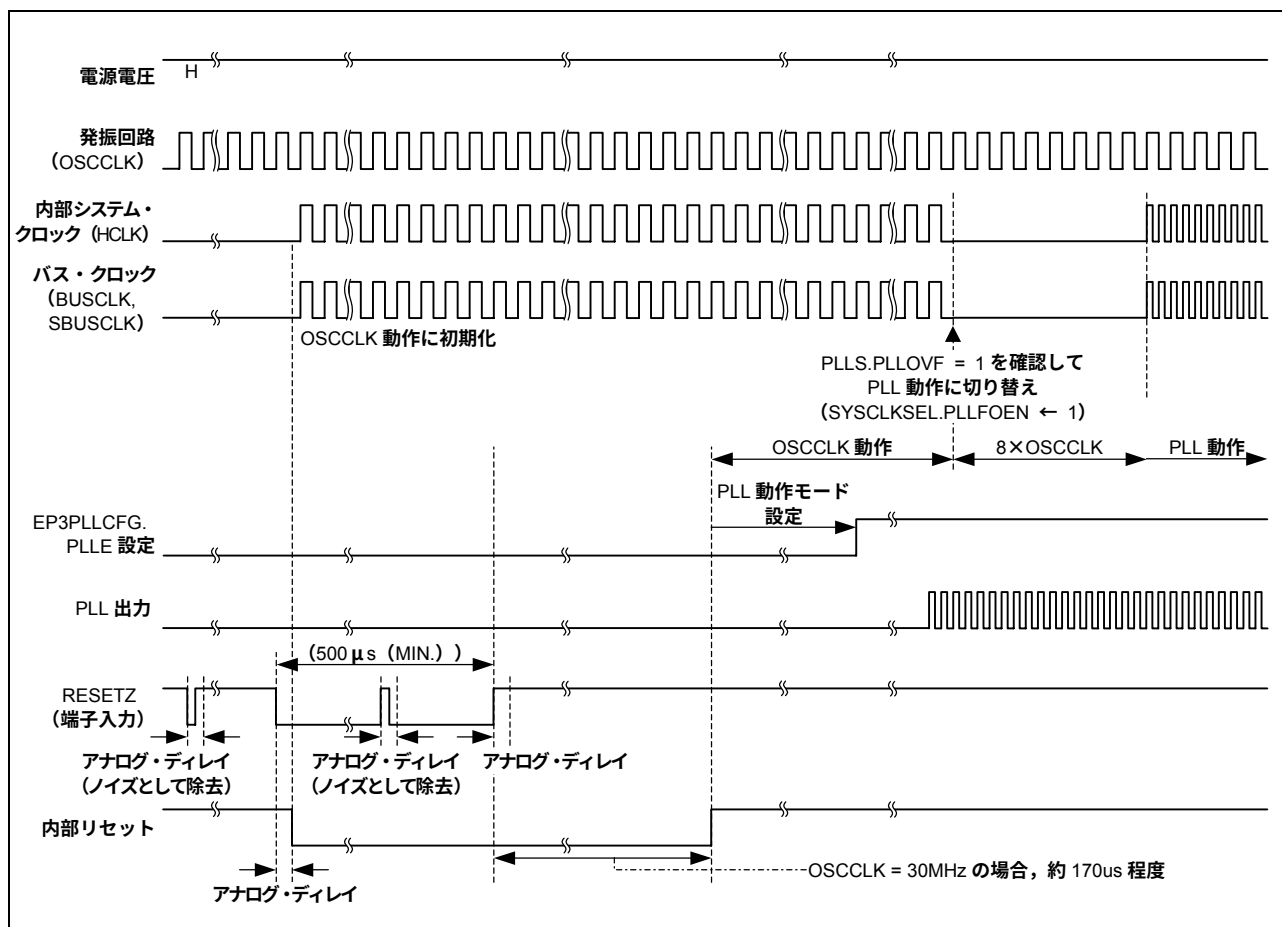
表 20-1 リセット入力時の各ハードウェアの状態

ハードウェア名	リセット期間中	リセット解除後
OSC	発振／供給継続	
クロック・ジェネレータ	- OSC クロック (OSCCLK) を出力 - 発振安定時間前の出力は保証されません。	- OSC クロック (OSCCLK) を出力 - PLL の動作モード設定、PLL ロック待ち後に PLL モードで動作可能。
CPU	動作停止	動作開始
内蔵命令 RAM (I_RAM)	不定	
内蔵データ RAM (D_RAM)	不定	
内蔵ワーク RAM (W_RAM)	不定	
デバッグ機能	動作停止	動作可能
内蔵周辺 I/O レジスタ	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能
端子機能	2.2 端子状態参照	

注意 RAM ブロックにはリセット信号は接続されていませんが、リセット動作はリセット解除を同期、リセット設定を非同期で行うため、リセット時には RAM に不正なクロックやストロブ信号が加わる可能性があるため、リセット前後での RAM の内容は保証されません。

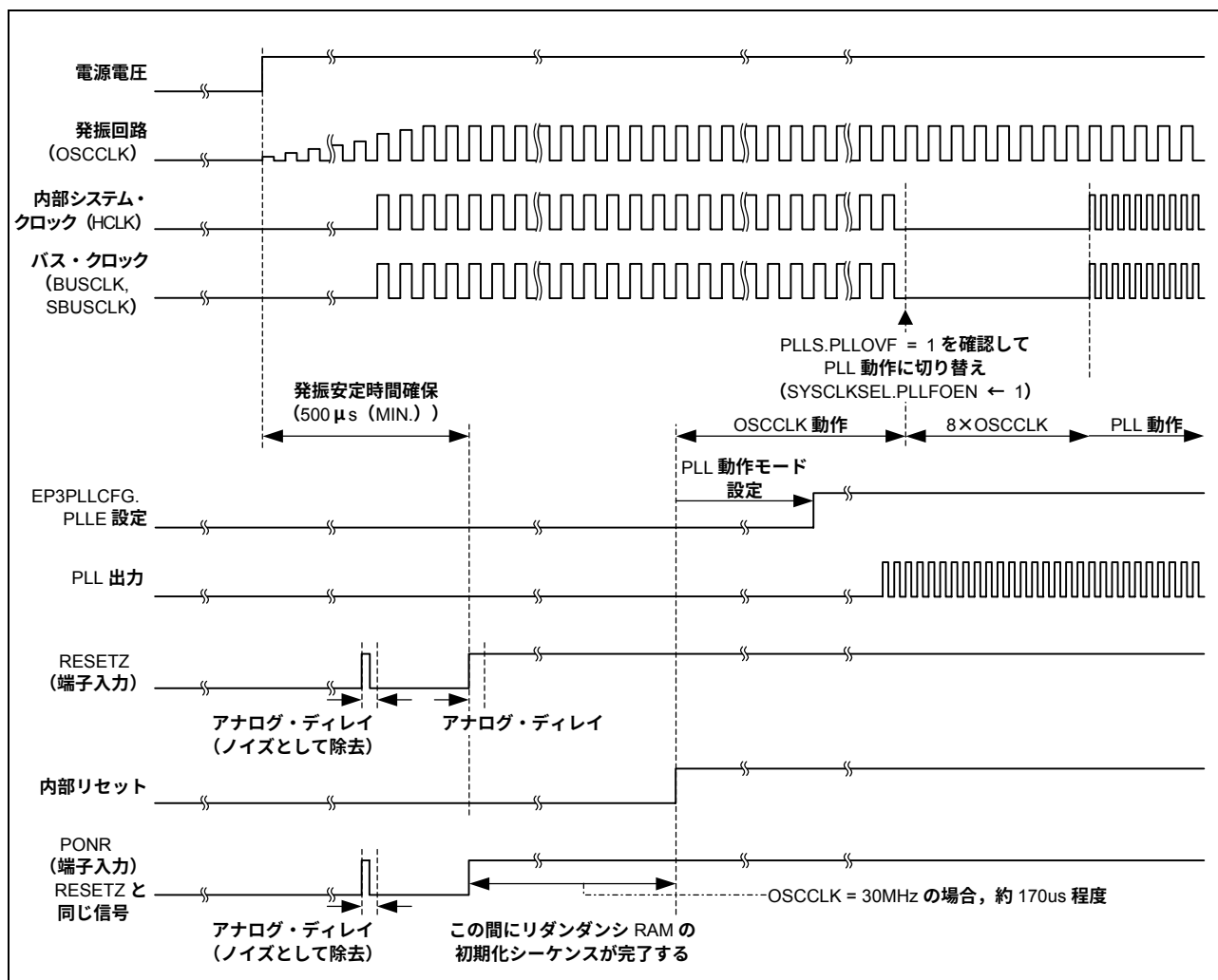
次に RESETZ 端子入力時のリセット動作を示します。

図 20-1 RESETZ 端子入力 (IDLE モード解除) 時のリセット動作



次にパワーオン時のリセット動作を示します。

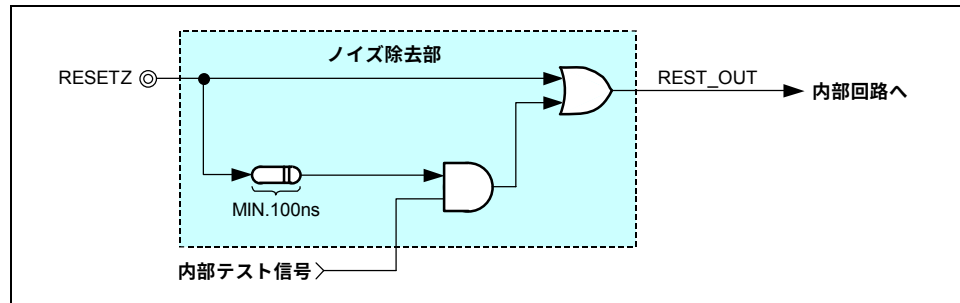
図 20-2 パワーオン時のリセット動作



20.2.1 リセット入力のノイズ除去

RESETZ 端子入力のノイズ除去には、アナログ・ディレイによるノイズ対策を行っています。

図 20-3 リセット入力のノイズ除去回路構成



20.2.2 リセット出力

CPU コアから、内蔵周辺回路に供給するリセット信号を出力しています。

プライマリ・メモリ・コントローラ（MEMC #1）用の RESTOZ 端子があります。

20.2.3 PONR 入力

EP3-AM1 の内蔵 RAM には、製造歩留まり向上のため、リダンダンシ RAM を採用しています。内蔵 RAM は複数のグループに分けられており、検査過程で、グループ単位で発生した 1 ビットまでのエラーをビット線ごとエラーのないビット線に置き換えています。

このエラー発生の有無の情報を内蔵 RAM に展開する初期化シーケンスを設けるため、PONR 信号を入力する必要があります。PONR には RESETZ 信号と同じリセット信号を入力してください。

RESETZ 入力によるリセット解除に対して、内部回路のリセット動作を行ってから内部リセット信号は解除されるため、この期間にリダンダンシ RAM の初期化シーケンスが完了します。

注意 リセット解除後には、リダンダンシ RAM のエラー情報を RAM 上に展開するため、リセット前の内蔵 RAM のデータは、リセット後は保証されません。ただし、インサーキット・エミュレータを用い、デバッグからソフトウェア・リセットする場合は、ソフトウェア・リセット前のデータは保証されます。

20.3 イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU, 内蔵命令 RAM, 内蔵データ RAM, 内蔵周辺機能のリセット後の初期値を次に示します。

表 20-2 CPU, 内蔵命令 RAM, 内蔵データ RAM, 内蔵周辺 I/O のリセット後の初期値

内蔵ハードウェア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H (固定)
		汎用レジスタ (r1-r31)	不定
		プログラム・カウンタ (PC)	00000000H
	システム・レジスタ	EIPC - EI レベル例外受け付け時の状態退避レジスタ	不定
		EIPSW - EI レベル例外受け付け時の状態退避レジスタ	00000020H
		FEPC - FE レベル例外受け付け時の状態退避レジスタ	不定
		FEPSW - FE レベル例外受け付け時の状態退避レジスタ	00000020H
		ECR - 例外要因	00000000H
		PSW - プログラム・ステータス・ワード	00000020H
		SCCFG - SYSCAL の動作設定	不定
		SCBP - SYSCALL ベース・ポインタ	不定
		EIIC - EI レベル例外要因	00000000H
		FEIC - FE レベル例外要因	00000000H
		CTPC - CALLT 実行時の状態退避レジスタ	不定
		CTPSW - CALLT 実行時の状態退避レジスタ	00000020H
		CTBP - CALLT ベース・ポインタ	不定
		EIWR - EI レベル例外用作業レジスタ	
		FEWR - FE レベル例外用作業レジスタ	
		BSEL - レジスタ・バンクの選択	
			00000000H
内蔵命令 RAM		—	不定
内蔵データ RAM		—	不定
内蔵ワーク RAM		—	不定
内蔵周辺機能		3.4.4 周辺 I/O レジスタ参照	

第21章 デバッグ機能

EP3-AM1 は、オンチップ・デバッグ機能として、DCU（デバッグ・コントロール・ユニット）を内蔵し、Nexus インタフェースでインサーキット・エミュレータとの接続を提供しています。

DCU には、RUN コントロール・ユニット（RCU）, トリガ・イベント・ユニット（TEU）, トレース・コントロール・ユニット（TCU）が内蔵されています。

なお、2010 年 3 月時点での対応インサーキット・エミュレータは、株式会社マイダス・ラボの RTE-2000H-TP と、京都マイクロコンピュータ株式会社の PARTNER-Jet（トレースは未対応）です。

21.1 機能概要

21.1.1 デバッグ機能

(1) デバッグ・インタフェース

DRSTZ, DCK, DMS, DDI, DDO 信号により Nexus インタフェース対応インサーキット・エミュレータを介して、ホスト・マシンとの通信を行います。

(2) オンチップ・デバッグ

ターゲット・システム上にデバッグ用の配線やコネクタを用意すれば、オンチップでのデバッグが可能です。配線やコネクタなどの規定は「21.3 ターゲット・ボード設計上の注意事項」を参照してください。

(3) 強制リセット機能

内蔵 CPU を強制的にリセットできます。

(4) ブレーク・リセット機能

CPU のリセット解除直後から CPU をデバッグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます。

21.1.2 トレース機能

(1) プログラム・トレース（分岐トレース）機能

ユーザ・プログラム実行中に発生するすべての分岐（割り込み，例外，分岐などの処理の遷移）をトレースできます。

任意アドレスの命令実行からの PC トレースの開始やトレース要因の切り替えが可能です。

(2) CPU データ・トレース機能

CPU が実行する任意のアドレスへのデータ・アクセスをトレースできます。

(3) DMA データ・トレース

セントラル DMAC が発行するデータ・アクセスをトレースできます。

なお，システム・バス DMAC が発行するデータ・アクセスはトレースできません。

(4) リアルタイム・トレース・モード

ユーザ・プログラムのリアルタイム実行での分岐，データ・アクセスをトレースできます。

検出されたトレース要因のトレース・パケットはトレース・バッファに格納され，トレース・インタフェース端子（MCKO, MDO0-MDO7, MSEO0, MSEO1）から出力されます（トレース・バッファにトレース・パケットが格納できなくなると，トレース・パケットの取りこぼしが発生します）。

(5) 完全トレース・モード（ノンリアルタイム・トレース・モード）

ユーザ・プログラムのすべての分岐，データ・アクセスをトレースできます。

完全トレース・モードでは，トレース・インタフェース端子からのトレース・データ出力の時間を確保するために，一時的に CPU のパイプラインをホールドさせて命令の実行を停止し，トレース・パケットの取りこぼしを防止しています。

21.1.3 イベント機能

(1) 命令系イベント検出機能

実行 PC の大小比較によるイベント検出（8 個）や実行 PC の範囲イベント検出（2 個 1 組で最大 4 組）が可能です。

(2) アクセス系イベント検出機能

次の内容でのイベント検出が可能です。

- ・ アクセス・アドレスの大小比較（6 個）
- ・ アクセス・アドレスによる範囲（2 個 1 組で最大 3 組）
- ・ アクセス・データの一致，不一致
- ・ データのマスクによる特定ビットのデータ
- ・ アクセス・サイズ

なお，アクセス系イベント要因はアクセス後検出です。アクセス系イベント要因をブレーク要因にした場合は，イベント検出したアクセスを発行した命令から，さらに数命令実行したあとにブレークします。

(3) シーケンシャル・イベント検出機能

最大 4 段のイベントの連続発生によるイベント検出やイベントの連続発生をクリアするイベント検出が可能です。

また，12 ビットのパス・カウンタによるシーケンシャル・イベントのカウントが可能です。

(4) イベント・トリガ出力インタフェース

EVTOZ 端子により，外部にイベント検出を通知します。

(5) イベント・トリガ入力インタフェース

EVTIZ 端子により，外部イベントを受け付けます。

21.2 RTE-2000H-TP+PB-NEXUS-N38 のハードウェア仕様

(1/2)

項 目		仕 様
使用する RTE-TP の形式		RTE-2000H-TP+PB-NEXUS-N38
エミュレーション機能		
CPU 動作周波数		266MHz (MAX.) 注1
インタフェース		Nexus 仕様
動作電圧		3.3V 注1
DCK クロック		10kHz -125MHz
イベント機能		
イベント数		
実行アドレスの設定		8
データ・アクセスの設定		6
セントラル DMAC サイクルの設定		6
条件	アドレス指定	範囲指定可
	データ指定	範囲指定可
	ステータス指定	リード, ライト, リード/ライト
他	シーケンシャル器段数	4
	パス・カウンタ	12 ビット
ブレーク機能		
H/W ブレークポイント		
命令/アクセス系ブレークポイント注2		4
アドレス指定		マスク指定可
データ指定		マスク指定可
ステータス指定		R, W, R/W, EX
S/W ブレークポイント		100
イベントによるブレーク設定		可
ステップ・ブレーク		可
マニュアル・ブレーク		可
外部信号によるブレーク (ハイ/ロー/エッジ) 注3		可

注 1. EP3-AM1 の仕様により, 制限されているものです。RTE-2000H-TP+PB-NEXUS-38 の単体性能はこの限りではありません。

2. 以下は同一の資源をシェアしています。

- ・命令/アクセス系ブレークポイント
- ・実行アドレス, およびデータ・アクセスによるトレース・トリガ
- ・サブスイッチの通過条件

3. 外部信号のブレークを有効にするためには, EVTIZ 信号を占有します。

(2/2)

項 目	仕 様
トレース機能	
トレース・データ・バス	8 ビット ^{※1}
トレース・メモリ	1M ワード
トリガ設定	
実行アドレスによるトリガ設定 ^{※2}	可
データ・アクセスによるトリガ設定 ^{※2}	可
イベントによるトリガ設定	可
外部入力によるトリガ設定	可
実行アドレスによる開始、停止指定 ^{※2}	可
トレース・ディレイ	0-FFFFF
トレース・クロック	DDR-133MHz (MAX.) ^{※1}
タイム・タグ	100ns-30h
逆アセンブル・トレース表示機能	有り
完全トレース・モード指定機能 (no real time)	有り
外部 ROM エミュレーション機能 ^{※3}	
ブロック内マップ機能 (USER/EMEM)	64K ワード
RAM として使用	可
メモリ容量	8M-128M バイト
アクセス・タイム	非バースト時: 35ns, バースト時: 30ns (CBL-STD16-2K 使用時)
動作電圧	3.3V±0.3V ^{※1} (CBL-STD16-2K 使用時)
電氣的条件	LV-TTL, 5V トレラント (CBL-STD16-2K 使用時)
エミュレーション可能な ROM 数 ^{※1}	
DIP-40/42pin-ROM (16 ビット・バス ROM)	4 (MAX.)
拡張 16bit-標準 ROM コネクタ	4 (MAX.)
エミュレーション可能な ROM の容量 (ビット) ^{※1}	
DIP-40-ROM (16 ビット・バス)	1M, 2M, 4M (27C1024 / 2048 / 4096)
DIP-42-ROM (16 ビット・バス)	8M, 16M (27C8000 / 16000)
拡張 16bit-標準 ROM (16 ビット・バス)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M (32M バイト)
バス幅指定 (ビット) ^{※1}	16/32
端子マスク機能	NMI, RESETZ ^{※1}
実行時間計測機能 () 内は JTAGCLK = 25MHz 時の値	
分解能 (ns)	t = JTAGCLK 周期の 2 倍 (80nsec)
最大計測時間 (ns)	t×2 ³¹ (約 171 秒)

注 1. EP3-AM1 の仕様により、制限されているものです。RTE-2000H-TP+PB-NEXUS-38 の単体性能はこの限りではありません。

2. 以下は同一の資源をシェアしています。

- ・命令／アクセス系ブレークポイント
- ・実行アドレス、およびデータ・アクセスによるトレース・トリガ
- ・サブスイッチの通過条件

3. ユーザ・システム上に ROM エミュレーション・ケーブルを接続するための ROM ソケット、または専用のコネクタが必要です。詳しくは RTE-2000H-TP のマニュアルを参照してください。なお、RTE-2000H-TP では、E.MEM 基板を最大 4 枚実装でき、そのときの最大容量は 128M バイトです。

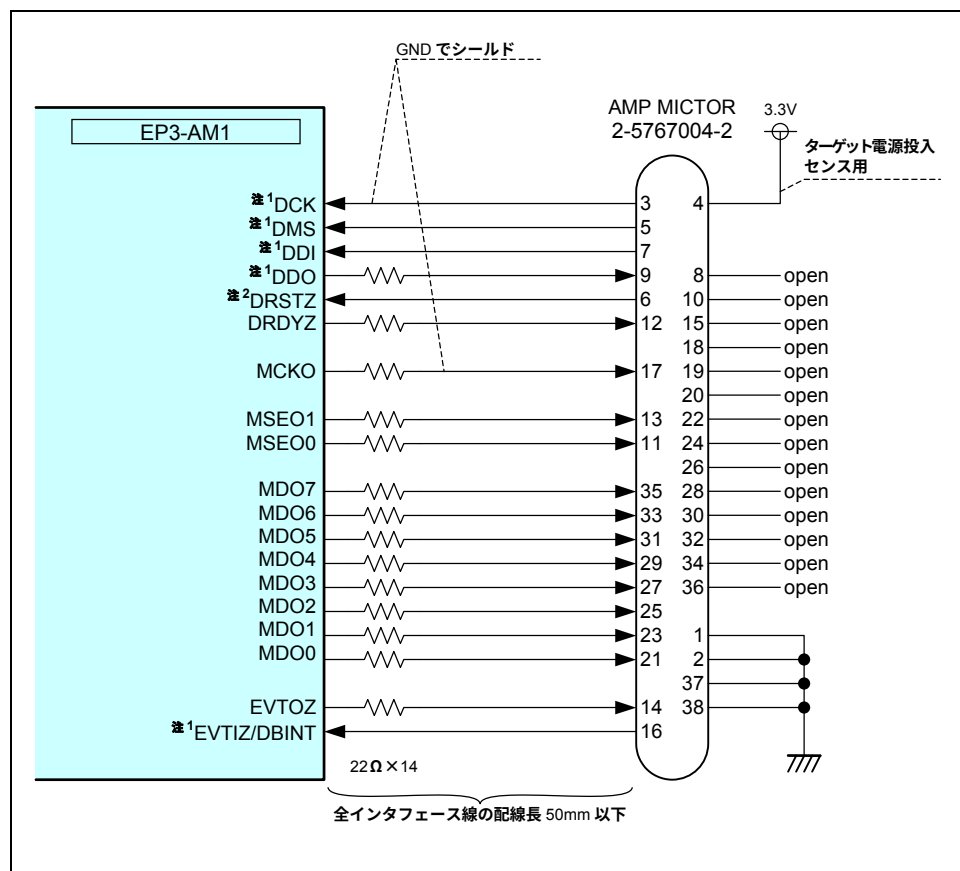
21.3 ターゲット・ボード設計上の注意事項

Nexus インタフェースを用いて、EP3-AM1 は高速トレースが可能です。

インサーキット・エミュレータ (RTE-2000H-TP+PB-NEXUS-N38) をターゲット・ボードに接続しデバッグを行うためには、ターゲット・ボード上に AMP 社 MICTOR レセクタブル「2-5767004-2」 (38 信号) を実装してください。

21.3.1 推奨回路

図 21-1 デバッグ・インタフェース推奨回路



注 1. DCK, DMS, DDI, DDO, EVTIZ/DBINT は、バッファ部において 5k Ω でプルアップされています。

2. DRSTZ は、バッファ部において 50k Ω でプルダウンされています。

21.3.2 接続コネクタ

表 21-1 デバッグ・インタフェース・コネクタ

EP3-AM1, ターゲット・ボードの接続		ピン 番号	信号名	信号名	ピン 番号	EP3-AM1, ターゲット・ボードの接続	
GND		1	GND	GND	2		
内部 5k Ω Pull-up	DCK	3	TCK	VCCIO	4	ターゲット・ボード EVDD	
内部 5k Ω Pull-up	DMS	5	TMS	_TRST	6	DRSTZ	内部 50k Ω Pull-down
内部 5k Ω Pull-up	DDI	7	TDI	RESET	8	open	
内部 5k Ω Pull-up	DDO	9	TDO	FLDM0	10	open	
MSEO0		11	MSEO0	RDYZ	12	DRDYZ	
MSEO1		13	MSEO1	EVTO	14	EVTOZ	
open		15	open	EVTI	16	EVTIZ	
MCKO		17	MCKO	open	18	open	
open		19	open	open	20	open	
MDO0		21	MDO0	MDO8	22	open	
MDO1		23	MDO1	MDO9	24	open	
MDO2		25	MDO2	MDO10	26	open	
MDO3		27	MDO3	MDO11	28	open	
MDO4		29	MDO4	MDO12	30	open	
MDO5		31	MDO5	MDO13	32	open	
MDO6		33	MDO6	MDO14	34	open	
MDO7		35	MDO7	MDO15	36	open	
GND		37	GND	GND	38	GND	

第22章 電気的特性

22.1 用語説明

表 22-1 絶対最大定格に関する用語

項目	略号	意味
電源電圧	V_{DD}	V_{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	V_I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	V_O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電流	I_O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。
動作周囲温度	T_A	正常な論理動作をする周囲温度範囲を示します。
保存温度	T_{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表 22-2 推奨動作範囲に関する用語

項目	略号	意味
電源電圧	V_{DD}	$V_{SS} = 0V$ としたときに正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	V_{IH}	EP3-AM1 の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 ● MIN 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロー・レベル入力電圧	V_{IL}	EP3-AM1 の入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示す。 ● MAX 値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。
ポジティブ・トリガ電圧	V_P	EP3-AM1 の入力をロー・レベル側からハイ・レベル側に変化させたときに、出力レベルが反転する入力レベル
ネガティブ・トリガ電圧	V_N	EP3-AM1 の入力をハイ・レベル側からロー・レベル側に変化させたときに、出力レベルが反転する入力レベル
ヒステリシス電圧	V_H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差
入力立ち上がり時間	t_{rid} , t_{ric} , t_{ris}	EP3-AM1 の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示します。 t_{rid} , t_{ric} , t_{ris} は、それぞれデータ・クロック、シュミット・バッファの入力立ち上がり時間を示します。
入力立ち下がり時間	t_{fid} , t_{fic} , t_{fis}	EP3-AM1 の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示します。 t_{fid} , t_{fic} , t_{fis} は、それぞれデータ・クロック、シュミット・バッファの入力立ち下がり時間を示します。

表 22-3 DC 特性に関する用語

項目	略号	意味
静消費電流	I_{DD5}	入力および出力端子の電圧変化がない状態で、規定された電源電圧において電源端子から流れ込む電流を示します。
オフステート出力電流	I_{OZ}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	I_{OS}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示します。
入力リーク電流	I_{LI}	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロー・レベル出力電流	I_{OL}	規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	I_{OH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロー・レベル出力電圧	V_{OL}	ロー・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	V_{OH}	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

22.2 絶対最大定格

表 22-4 絶対最大定格

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}	1.0V 系	-0.5 ~ +1.4	V
		3.3V 系	-0.5 ~ +4.6	V
入出力電圧	V_I/V_O	3.3V バッファ $V_I/V_O < V_{DD} + 0.5V$	-0.5 ~ +4.6	V
出力電流 (3.3V バッファ)	I_O	3mA タイプ (TUD1OC33N03N 相当)	8	mA
		6mA タイプ (TUD1OC33N06N 相当)	15	mA
		9mA タイプ (TUD1OC33N09N 相当)	20	mA
		12mA タイプ (TUD1OC33N12N 相当)	25	mA
		18mA タイプ (TUD1OC33N18N 相当)	35	mA
動作周囲温度	T_A		-40 ~ +85	°C
保存温度	T_{stg}		-65 ~ +125	°C

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

備考 入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

22.3 推奨動作範囲

表 22-5 推奨動作範囲

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧	V_{DD}	1.0V 電源	0.9	1.0	1.1	V
		3.3V 電源	3.0	3.3	3.6	V
ネガティブ・トリガ電圧	V_N	3.3V バッファ	0.6	—	1.8	V
ポジティブ・トリガ電圧	V_P	3.3V バッファ	1.2	—	2.4	V
ヒステリシス電圧	V_H	3.3V バッファ	0.3	—	1.5	V
ロー・レベル入力電圧	V_{IL}	3.3V バッファ	-0.3	—	0.8	V
ハイ・レベル入力電圧	V_{IH}	3.3V バッファ	2.0	—	$V_{DD} + 0.3$	V
入力立ち上がり／立ち下がり時間	t_{rid}	—	0	—	200	ns
	t_{fid}	—	0	—	200	ns
入力立ち上がり／立ち下がり時間 (クロック)	t_{ric}	—	0	—	4	ns
	t_{fic}	—	0	—	4	ns
入力立ち上がり／立ち下がり時間 (シュミット)	t_{ris}	—	0	—	1	ms
	t_{fis}	—	0	—	1	ms
動作周囲温度	T_A	—	-40	—	85	°C

22.4 DC 特性

表 22-6 DC 特性 ($V_{DD} = 3.3 \pm 0.3V$, $T_A = -40 \sim +85^\circ C$) (1/2)

項 目		略 号	条 件		MIN.	TYP.	MAX.	単 位
電源電流	通常時	I _{DD1}	IVDD (1.0V)			325	1596 (T _A =85°C時)	mA
			CPCLK:266MHz/BUSCLK:88.7MHz 動作時			325	1388 (T _A =70°C時)	mA
			EVDD (3.3V)			121	127 (T _A =85°C時)	mA
			CPCLK:266MHz/BUSCLK:88.7MHz 動作時			121	125 (T _A =70°C時)	mA
	HALT 時	I _{DD2}	IVDD (1.0V)			245		mA
	IDLE 時	I _{DD3}	IVDD (1.0V)			45		mA
オフステート電流		I _{OZ}	V _O = V _{DD} or GND	3.3V 出力	—	—	±10	μA
出力短絡電流 ²		I _{OS}	V _O = GND		—	—	−250	mA
入力リーク電流 (3.3V バッファ)		I _I	V _I = V _{DD} or GND	通常入力	—	—	±10	μA
			V _I = GND	プルアップ抵抗付き (5 kΩ)	293.8	645.7	1181.3	μA
				プルアップ抵抗付き (50 kΩ)	28.9	65.7	129.8	μA
			V _I = V _{DD}	プルダウン抵抗付き (50 kΩ)	10.2	43.4	83.9	μA

注 出力短絡電流は 1 秒以下で、1 端子のみ。

備考 表中の+、-は電流の方向を示しています。デバイスに流れ込む場合が+、流れ出す場合が-です。

表 22-6 DC 特性 ($V_{DD} = 3.3 \pm 0.3V$, $T_A = -40 \sim +85^\circ C$) (2/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロー・レベル出力電流 (3.3V バッファ)	I _{OL}	V _{OL} = 0.4V	3mA タイプ (TUD1OC33N03N)	3.0	—	—	mA
			6mA タイプ (TUD1OC33N06N)	6.0	—	—	mA
			9mA タイプ (TUD1OC33N09N)	9.0	—	—	mA
			12mA タイプ (TUD1OC33N12N)	12.0	—	—	mA
			18mA タイプ (TUD1OC33N18N)	18.0	—	—	mA
ハイ・レベル出力電流 (3.3 V バッファ)	I _{OH}	V _{OH} = 2.4V	3mA タイプ (TUD1OC33N03N)	3.0	—	—	mA
			6mA タイプ (TUD1OC33N06N)	6.0	—	—	mA
			9mA タイプ (TUD1OC33N09N)	9.0	—	—	mA
			12mA タイプ (TUD1OC33N12N)	12.0	—	—	mA
			18mA タイプ (TUD1OC33N18N)	18.0	—	—	mA
ロー・レベル出力電圧	V _{OL}	I _{OL} = 0mA	3.3V バッファ	—	—	0.1	V
ハイ・レベル出力電圧	V _{OH}	I _{OL} = 0mA	3.3V バッファ	V _{DD} -0.1	—	—	V

22.5 プルアップ／プルダウン抵抗値

表 22-7 プルアップ／プルダウン抵抗値 ($V_{DD} = 3.3 \pm 0.3V$, $T_A = -40 \sim +85^\circ C$)

項 目	ライブラリ表現	MIN.	TYP.	MAX.	単 位
プルアップ抵抗 (3.3V バッファ)	5k Ω	3.0	5.1	10.2	k Ω
	50k Ω	27.7	50.2	103.9	k Ω
プルダウン抵抗 (3.3V バッファ)	50k Ω	42.9	76.1	295.5	k Ω

22.6 AC 特性

22.6.1 クロック端子

(1) 入力クロック

表 22-8 入力クロック・タイミング

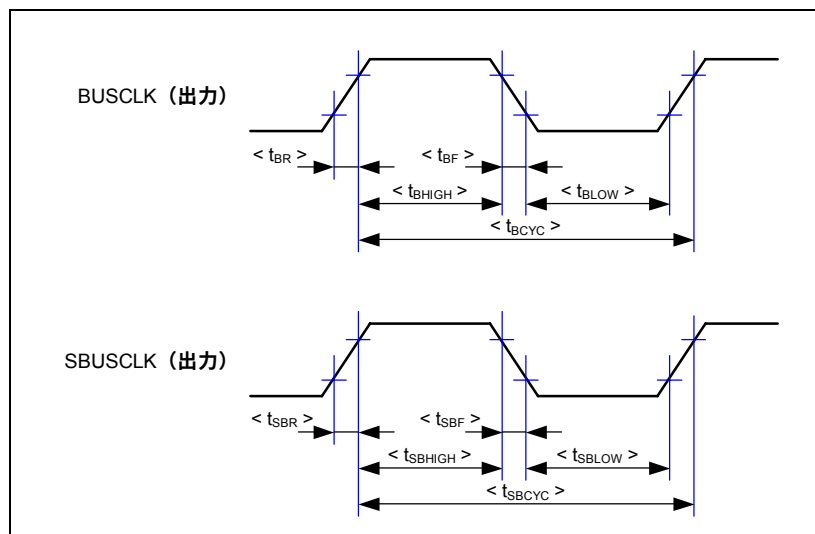
項 目	略号	条 件	MIN	MAX	単位
XT1 入力周期	t_{SCLK}		27	48	MHz
DCK 入力周期	t_{SDCK}		—	25	MHz

(2) 出力クロック

表 22-9 出力クロック・タイミング

項 目	略号	条 件	MIN	MAX	単位
BUSCLK 出力周期	t_{BCYC}	出力負荷容量：18.5pF 以下	10.0	—	ns
BUSCLK ハイ・レベル幅	t_{BHIG}		$0.5 t_{BCYC} - 2.1$	$0.5 t_{BCYC} + 2.1$	ns
BUSCLK ロー・レベル幅	t_{BLOW}		$0.5 t_{BCYC} - 2.1$	$0.5 t_{BCYC} + 2.1$	ns
BUSCLK 立ち上がり時間	t_{BR}		—	2.4	ns
BUSCLK 立ち下がり時間	t_{BF}		—	2.4	ns
SBUSCLK 出力周期	t_{SBCYC}	出力負荷容量：18.5pF 以下	10.0	—	ns
SBUSCLK ハイ・レベル幅	t_{SBHIG}		$0.5 t_{SBCYC} - 2.1$	$0.5 t_{SBCYC} + 2.1$	ns
SBUSCLK ロー・レベル幅	t_{SBLOW}		$0.5 t_{SBCYC} - 2.1$	$0.5 t_{SBCYC} + 2.1$	ns
SBUSCLK 立ち上がり時間	t_{SBR}		—	2.4	ns
SBUSCLK 立ち下がり時間	t_{SBF}		—	2.4	ns

図 22-1 出力クロック・タイミング

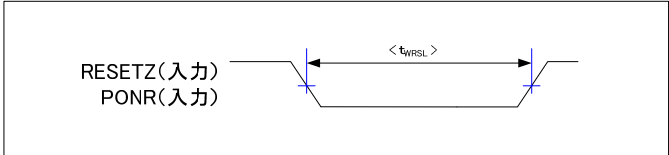


(3) リセット・タイミング

表 22-10 リセット・タイミング

項 目	略号	条 件	MIN	MAX	単位
RESETZ 端子ロー・レベル幅	t_{WRSL}		500 注	—	μs
PONR 端子ロー・レベル幅	t_{WRSL}		500 注	—	μs

図 22-2 リセット・タイミング



注 発振安定待ち時間が 500 μs 以上必要な場合は、発振安定待ち時間分、ロー・レベルを確保してください。

22.6.2 MEMC #1 インタフェース端子

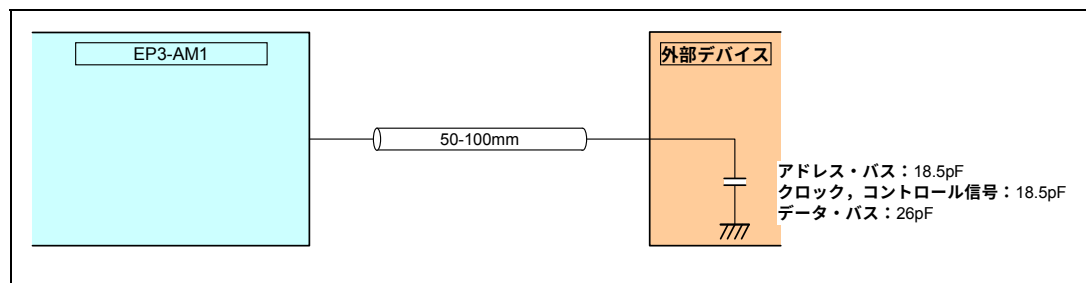
(1) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

表 22-11 MEMC #1 アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

項 目	略 号	MIN	MAX	単位
アドレス, STCSZ0-STCSZ3 出力遅延時間 (対 BUSCLK ↑)	t_{DKA}	1.3	7.2	ns
RDZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKRD}	1.3	7.2	ns
BENZ0-BENZ3 (WRZ0-WRZ3), WRSTBZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKWR}	1.3	7.2	ns
BCYSTZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKBSL}	1.3	7.2	ns
BCYSTZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKBS}	1.3	7.2	ns
WAITZ 入力設定時間 (対 BUSCLK ↑)	t_{SKW}	1.4	—	ns
WAITZ 入力保持時間 (対 BUSCLK ↑)	t_{HKW}	3.0	—	ns
データ入力設定時間 (対 BUSCLK ↑)	t_{SKID}	1.4	—	ns
データ入力保持時間 (対 BUSCLK ↑)	t_{HKID}	3.0	—	ns
データ出力遅延時間 (対 BUSCLK ↑)	t_{DKOD}	1.3	7.2	ns
データ・フロート遅延時間 (対 BUSCLK ↑)	t_{HKOD}	1.3	7.2	ns

注意 上記は、各端子のバッファのドライブ能力が 6mA の場合の値です。ドライブ能力の切り替え機能により、その他のドライブ能力を選択する場合は、弊社にお問い合わせください。

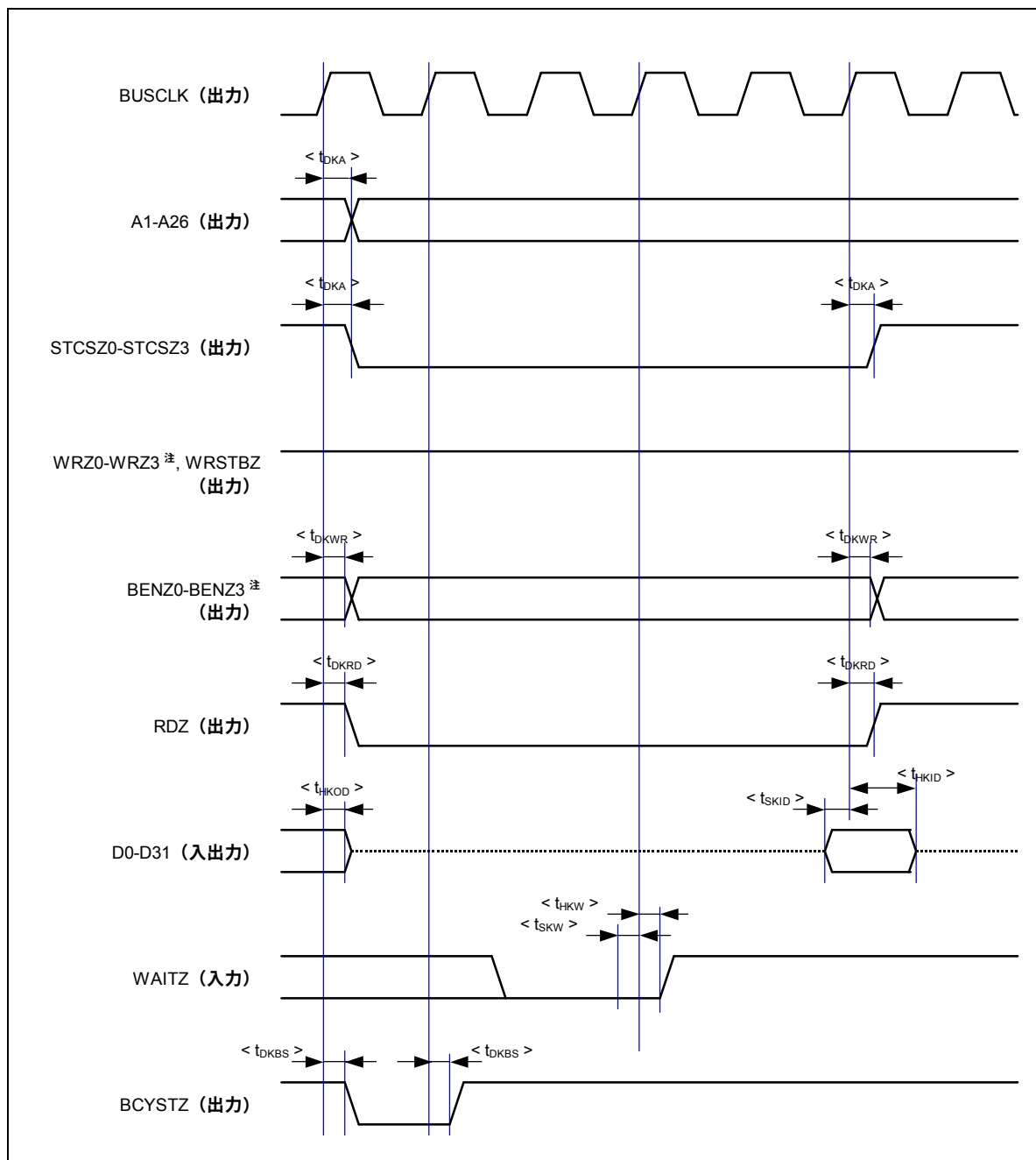
図 22-3 外部デバイスの想定負荷



備考 外部デバイスの負荷情報詳細は、「22.8.1 MEMC #1 インタフェース端子」を参照してください。

(a) リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 22-4 MEMC #1 リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

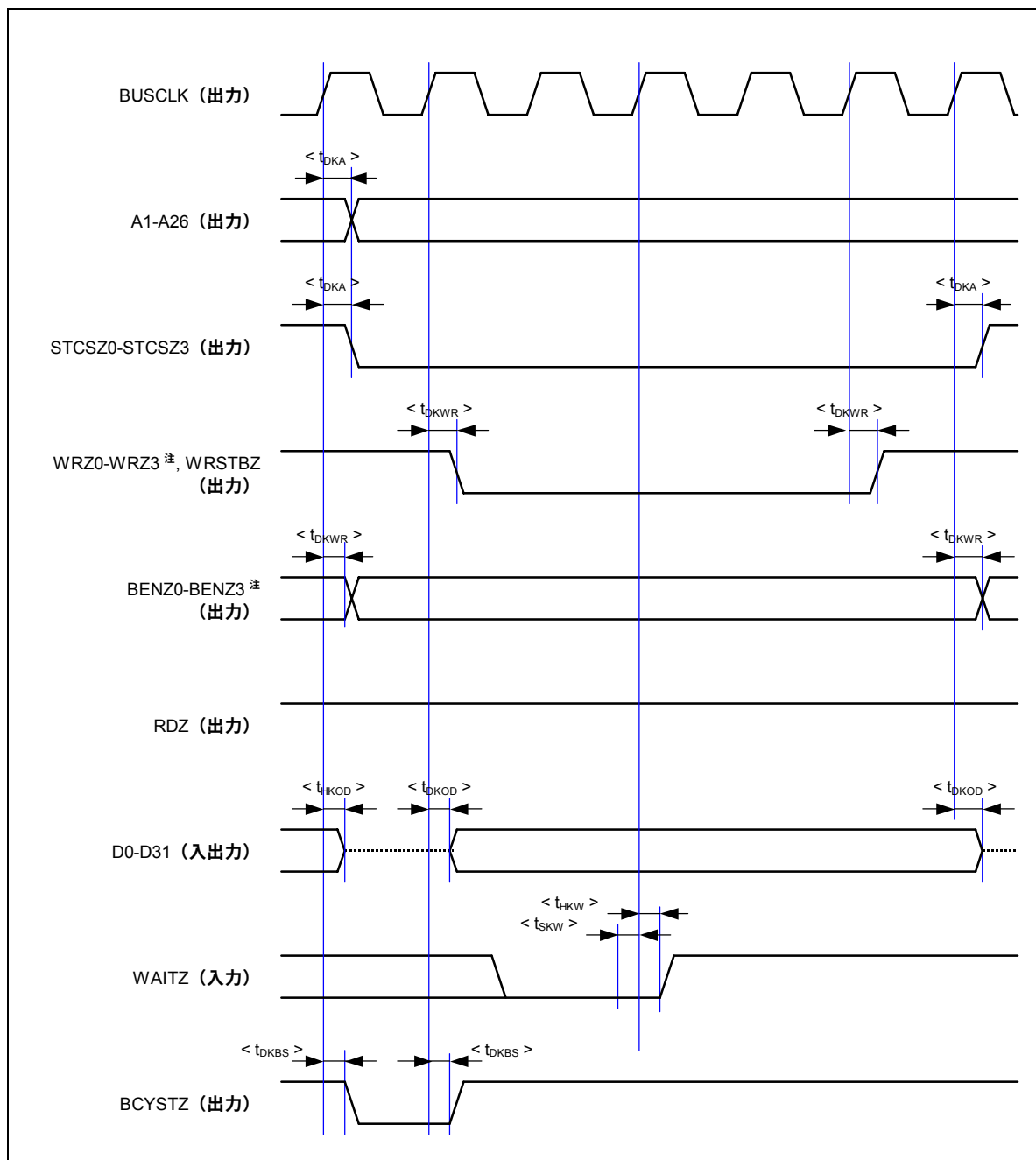


注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

- 備考 1. SMCn レジスタによるアイドル・ウエイト・ステート数/ライト・リカバリ・ウエイト・ステート数/アドレス設定ウエイト・ステート数が 0、データ・ウエイト数が 1 の場合のタイミングです。
2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 22-5 MEMC #1 ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)



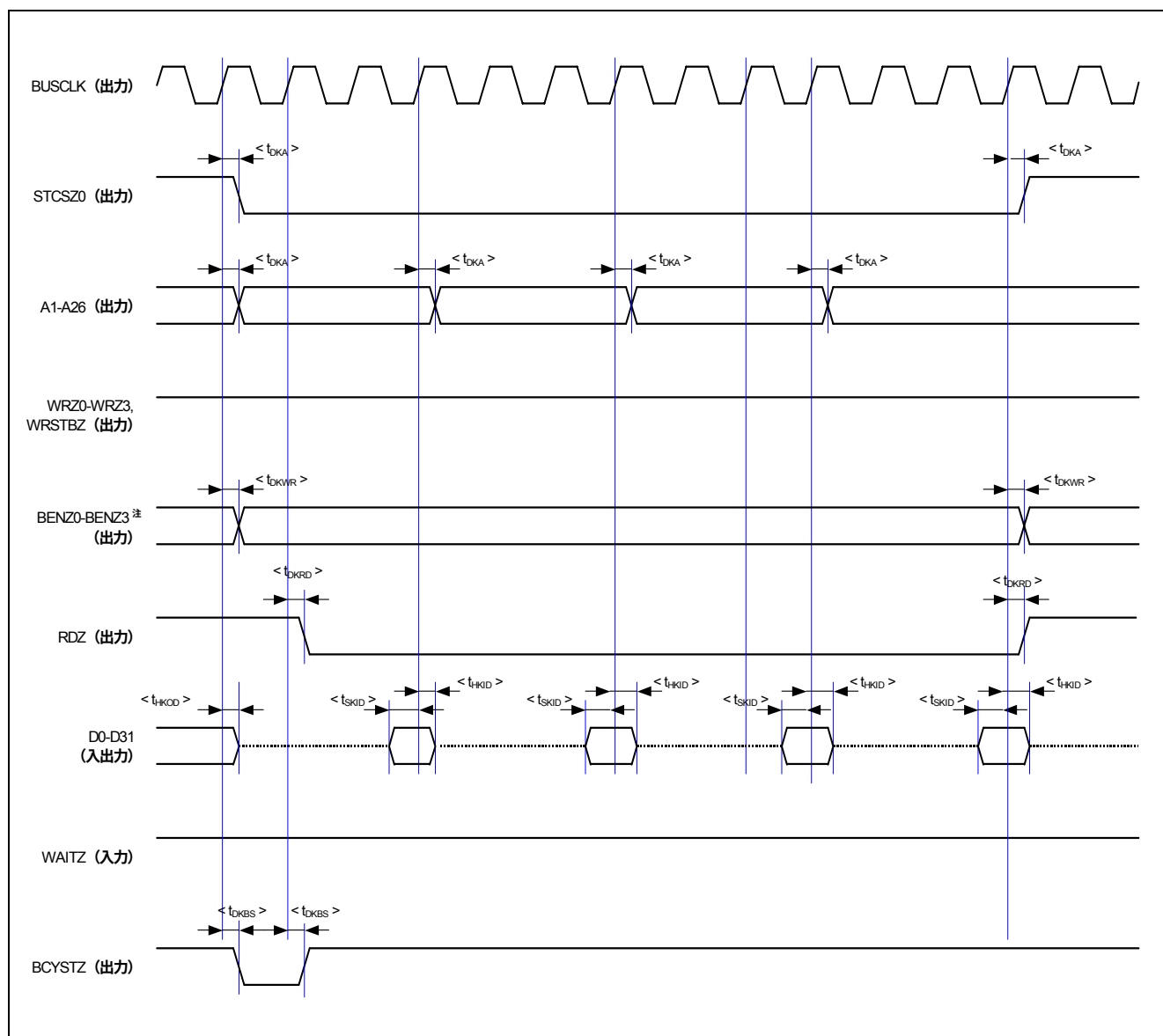
注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SMCn レジスタによるライト・リカバリ・ウエイト・ステート数／データ・ウエイト・ステート数／アドレス設定ウエイト・ステート数が 1, アイドル・ウエイト・ステート数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(c) ページ ROM アクセス・タイミング

図 22-6 MEMC #1 ページ ROM アクセス・タイミング



注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SMC0 レジスタによるアイドル・ウェイト・ステート数/データ・ウェイト・ステート数/アドレス設定ウェイト・ステート数が 1, PRC レジスタによるデータ・ウェイト・ステート数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(2) SDRAM アクセス・タイミング

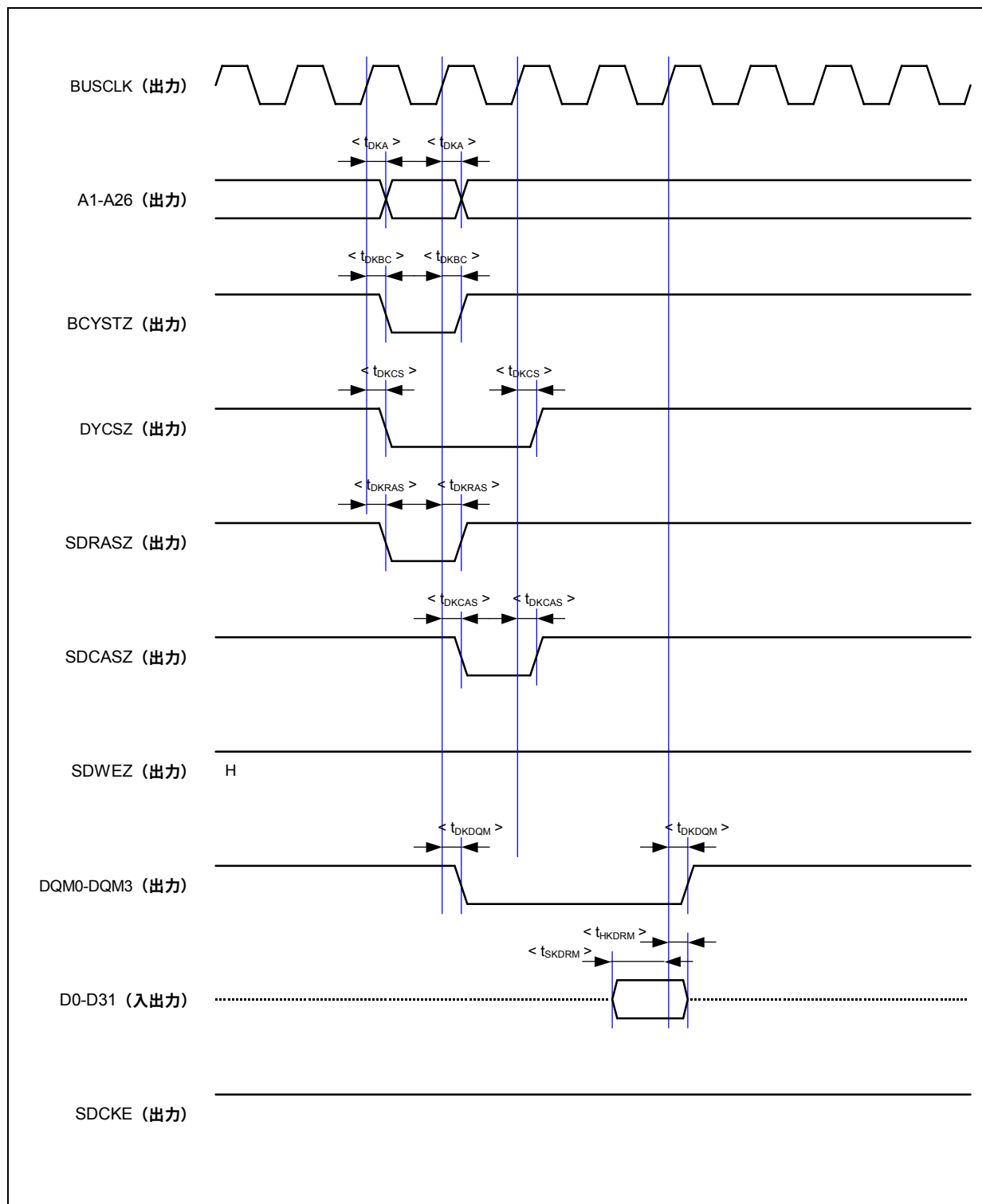
表 22-12 MEMC #1 SDRAM アクセス・タイミング

項 目	略 号	MIN	MAX	単位
アドレス出力遅延時間 (対 BUSCLK ↑)	t_{DKA}	1.3	7.2	ns
BCYSTZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKBC}	1.3	7.2	ns
DYCSZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKCS}	1.3	7.2	ns
SDRASZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKRAS}	1.3	7.2	ns
SDCASZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKCAS}	1.3	7.2	ns
SDWEZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKWE}	1.3	7.2	ns
DQM0-DQM3 出力遅延時間 (対 BUSCLK ↑)	t_{DKDQM}	1.3	7.2	ns
SDCKE 出力遅延時間 (対 BUSCLK ↑)	t_{DKCKE}	1.3	7.2	ns
データ入力設定時間 (SDRAM リード時, 対 BUSCLK ↑)	t_{SKDRM}	1.4	—	ns
データ入力保持時間 (SDRAM リード時, 対 BUSCLK ↑)	t_{HKDRM}	3.0	—	ns
データ出力遅延時間 (対 BUSCLK ↑)	t_{DKDT1}	1.3	7.2	ns
	t_{DKDT2}	1.3	7.2	ns
データ・フロート遅延時間 (対 BUSCLK ↑)	t_{HZKDT}	1.3	7.2	ns
BUSREQZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKREF}	1.3	7.2	ns

注意 上記は、各端子のバッファのドライブ能力が 6mA の場合の値です。ドライブ能力の切り替え機能により、その他のドライブ能力を選択する場合は、弊社にお問い合わせください。

(a) リード・タイミング (SDRAM アクセス)

図 22-7 MEMC #1 リード・タイミング (SDRAM アクセス)

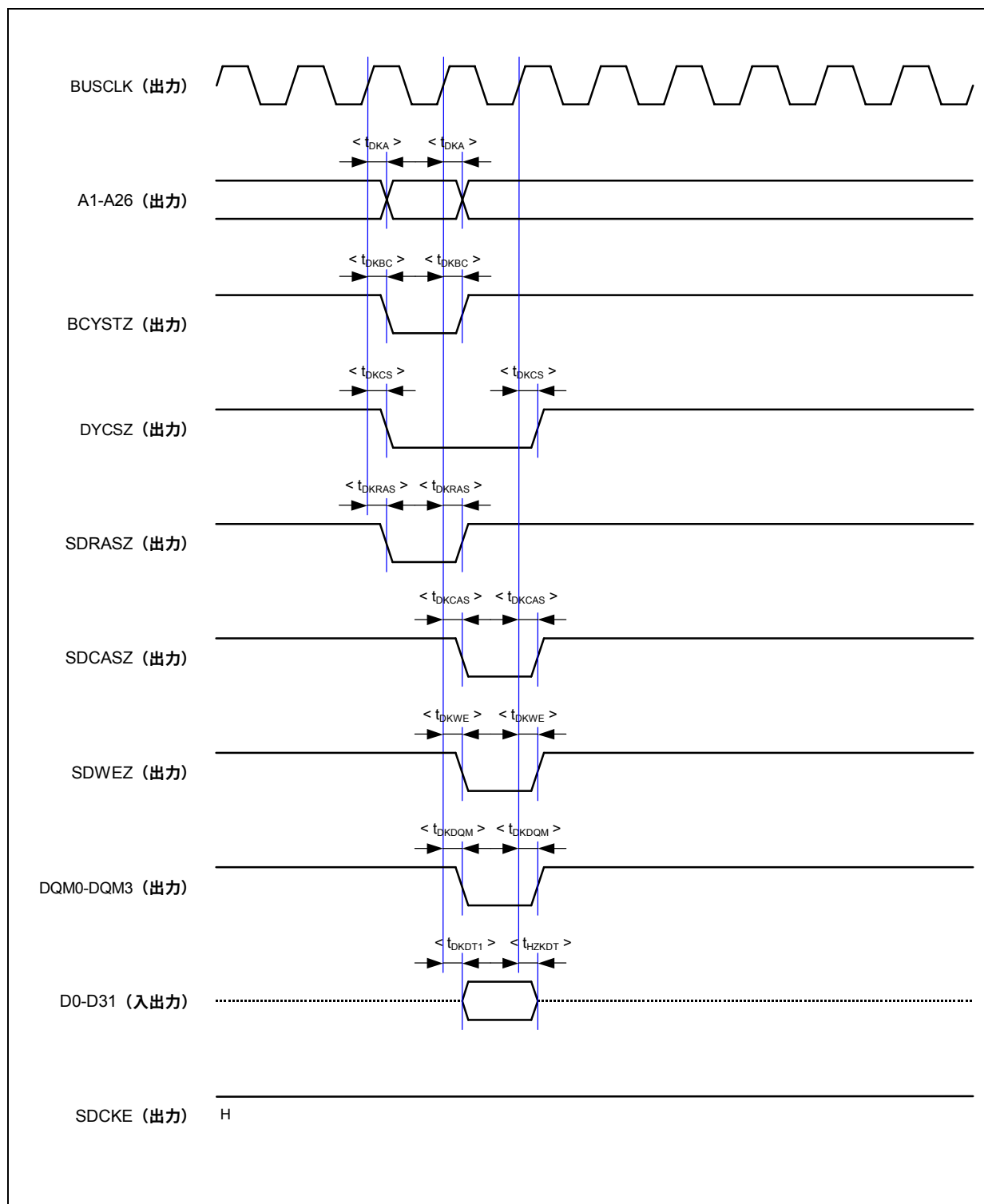


備考 1. DMC レジスタによる CAS レーテンシが 2 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SDRAM アクセス)

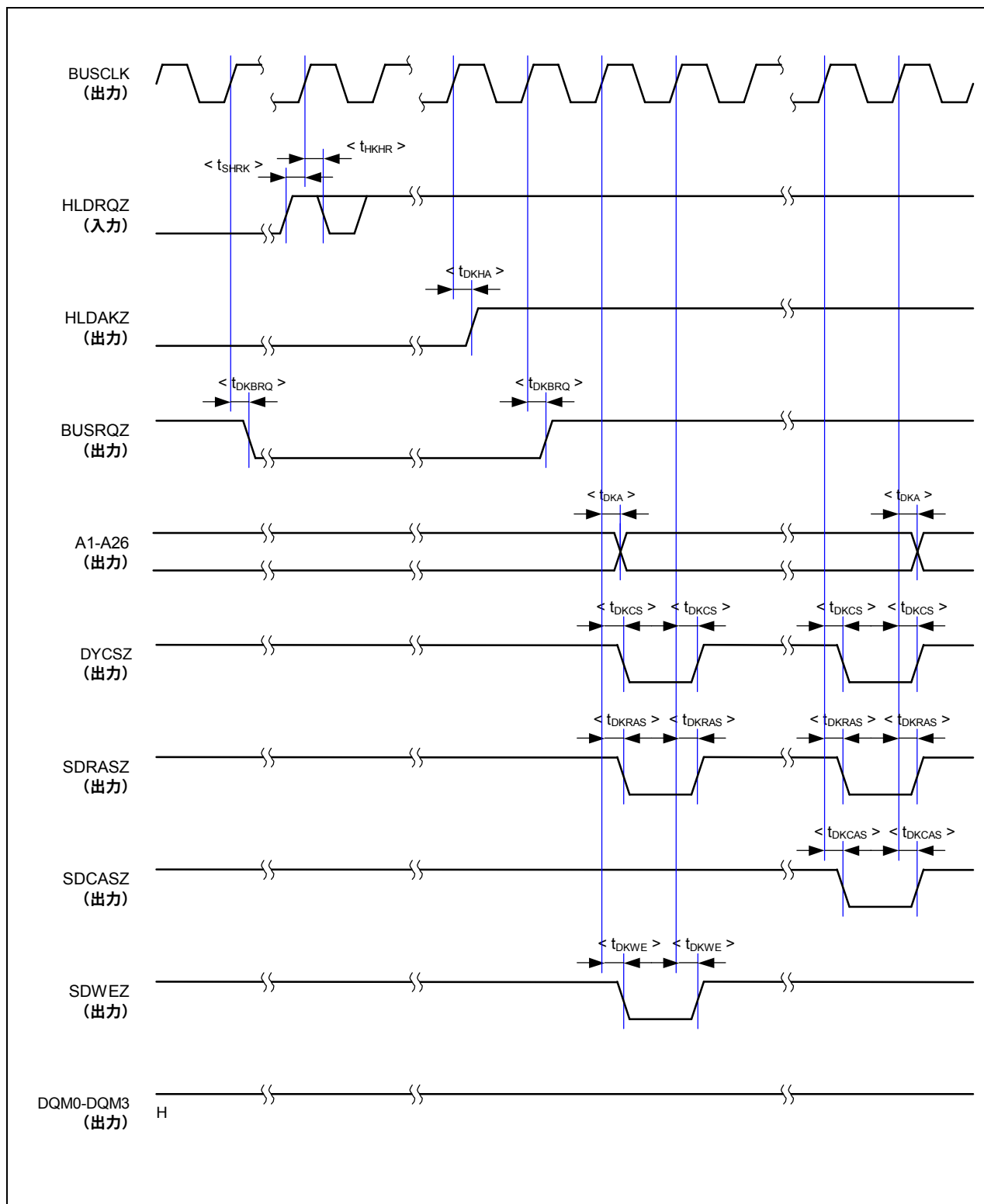
図 22-8 MEMC #1 ライト・タイミング (SDRAM アクセス)



備考 破線はハイ・インピーダンスを示します。

(c) リフレッシュ・タイミング

図 22-9 MEMC #1 リフレッシュ・タイミング



(3) バス・ホールド・タイミング

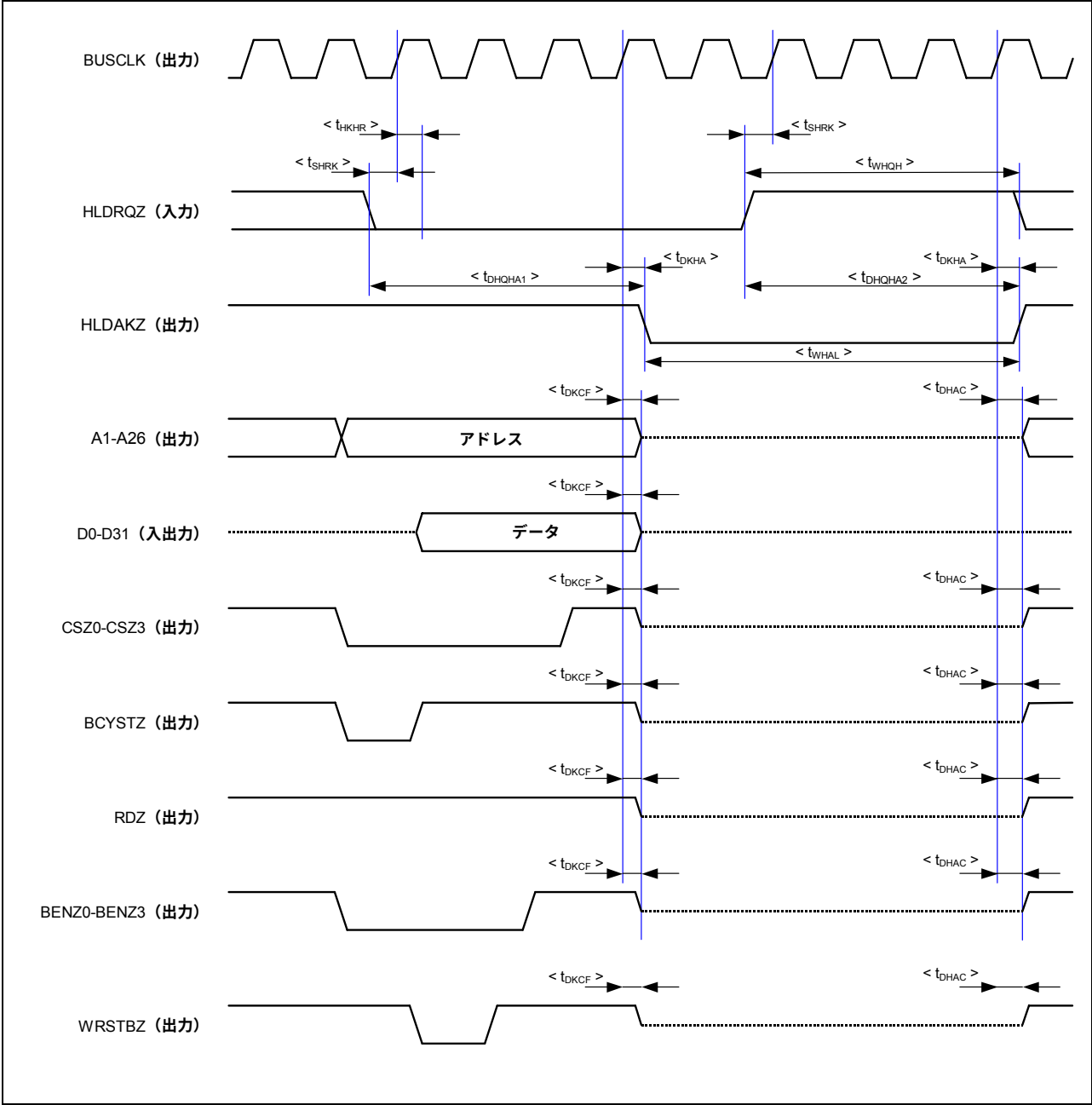
表 22-13 MEMC #1 バス・ホールド・タイミング

項 目	略 号	MIN	MAX	単位
HLDRQZ 設定時間 (対 BUSCLK ↑)	t_{SHRK}	6.4	—	ns
HLDRQZ 保持時間 (対 BUSCLK ↑)	t_{HKHR}	3.0	—	ns
BUSCLK ↑ → HLDKZ 遅延時間	t_{DKHA}	1.3	7.2	ns
HLDRQZ ハイ・レベル幅	t_{WHQH}	$t_{BCYC} \text{ 注} + 9.4$	—	ns
HLDKZ ロー・レベル幅	t_{WHAL}	$t_{BCYC} \text{ 注} - 5.9$	—	ns
BUSCLK ↑ → バス・フロート遅延時間	t_{DKCF}	1.3	7.2	ns
BUSCLK ↑ → バス出力遅延時間	t_{DHAC}	1.3	7.2	ns
HLDRQZ ↓ → HLDKZ ↓ 遅延時間	t_{DHQHA1}	$3 \times t_{BCYC} \text{ 注} - 1.7$	—	ns
HLDRQZ ↑ → HLDKZ ↑ 遅延時間	t_{DHQHA2}	$3 \times t_{BCYC} \text{ 注} - 1.7$	—	ns

注 t_{BCYC} は、BUSCLK の周期です。

注意 HLDKZ 端子のドライブ能力が 6mA の場合の値です。ドライブ能力の切り替え機能により、その他のドライブ能力を選択する場合は、弊社にお問い合わせください。

図 22-10 MEMC #1 バス・ホールド・タイミング



22.6.3 MEMC #2 インタフェース端子

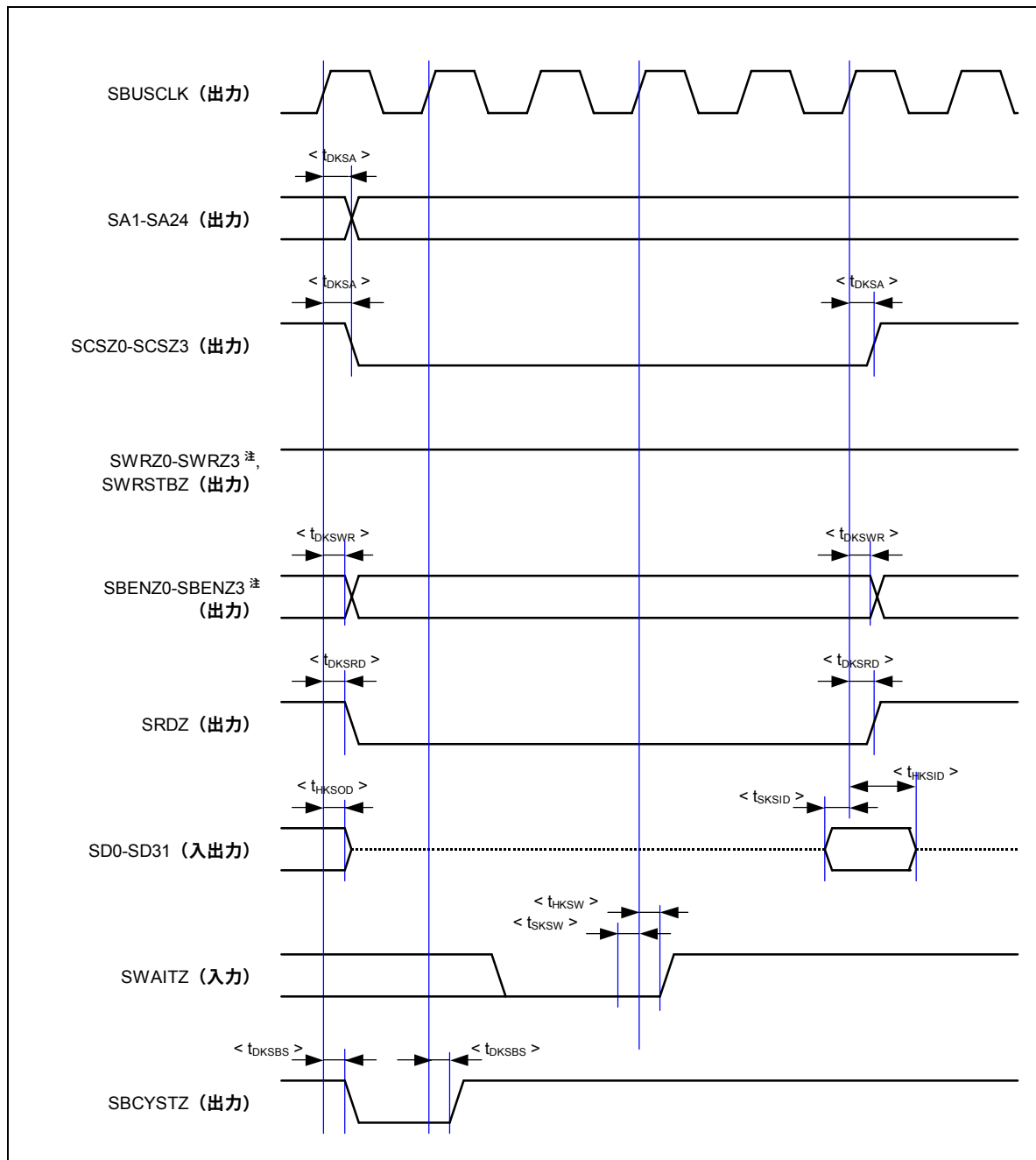
(1) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

表 22-14 MEMC #2 アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

項 目	略 号	MIN	MAX	単位
アドレス, SCSZ0-SCSZ3 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSA}	1.3	7.2	ns
SRDZ 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSRD}	1.3	7.2	ns
SBENZ0-SBENZ3 (SWRZ0-SWRZ3), SWRSTBZ 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSWR}	1.3	7.2	ns
SBCYSTZ 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSBSL}	1.3	7.2	ns
SBCYSTZ 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSBS}	1.3	7.2	ns
SWAITZ 入力設定時間 (対 SBUSCLK ↑)	t_{SKSW}	1.4	—	ns
SWAITZ 入力保持時間 (対 SBUSCLK ↑)	t_{HKSW}	3.0	—	ns
データ入力設定時間 (対 SBUSCLK ↑)	t_{SKISD}	1.4	—	ns
データ入力保持時間 (対 SBUSCLK ↑)	t_{HKISD}	3.0	—	ns
データ出力遅延時間 (対 SBUSCLK ↑)	t_{DKOSD}	1.3	7.2	ns
データ・フロート遅延時間 (対 SBUSCLK ↑)	t_{HKOSD}	1.3	7.2	ns

(a) リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 22-11 MEMC #2 リード・タイミング (SRAM, ROM, I/O)



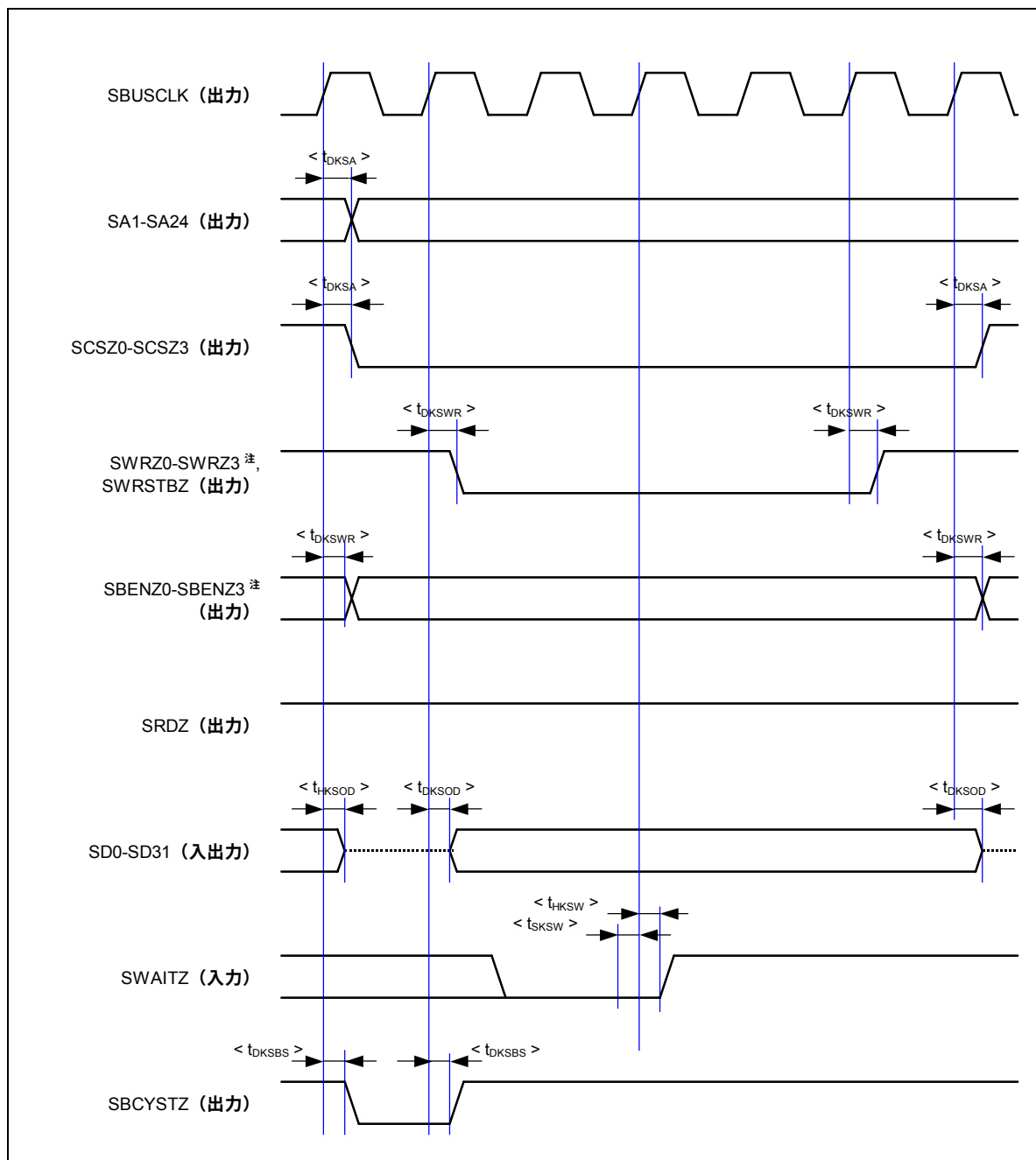
注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。
リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ
(WREN) で切り替えられます。

備考 1. SPSMCn レジスタによるアイドル・ウェイト・ステート数／ライト・リカバリ・ウェイト・ステート数／アドレス設定ウェイト・ステート数が 0，データ・ウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)

図 22-12 MEMC #2 ライト・タイミング (SRAM, ROM, I/O)



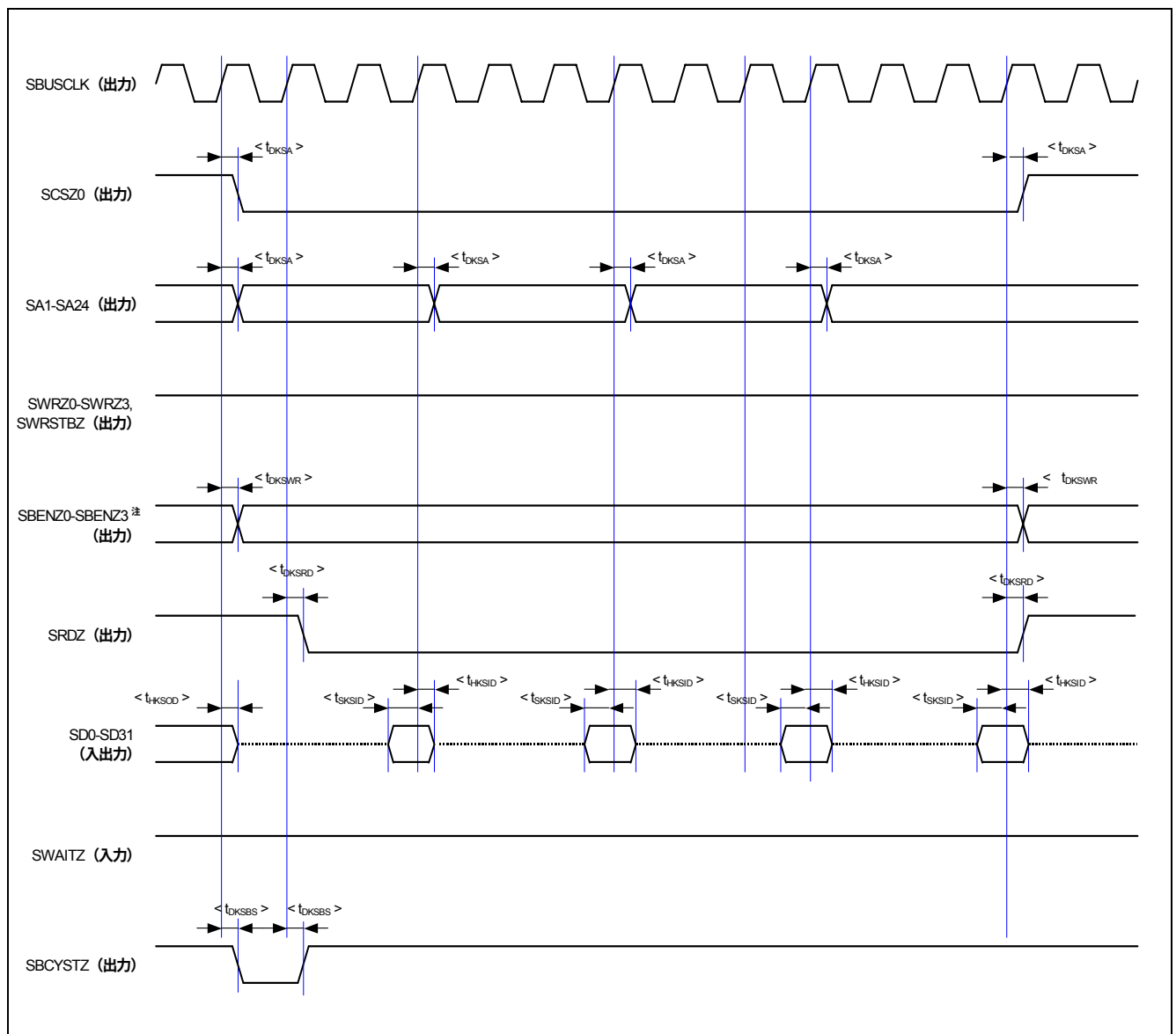
注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 1. SPSMCn レジスタによるライト・リカバリ・ウェイト・ステート数/データ・ウェイト・ステート数/アドレス設定ウェイト・ステート数が 1, アイドル・ウェイト・ステート数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(c) ページ ROM アクセス・タイミング

図 22-13 MEMC #2 ページ ROM アクセス・タイミング



注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。
リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ
(WREN) で切り替えられます。

備考 1. SPSMC0 レジスタによるアイドル・ウェイト・ステート数/データ・ウェイト・ステート数/アドレス設定ウェイト・ステート数が 1, SPPRC レジスタによるデータ・ウェイト・ステート数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

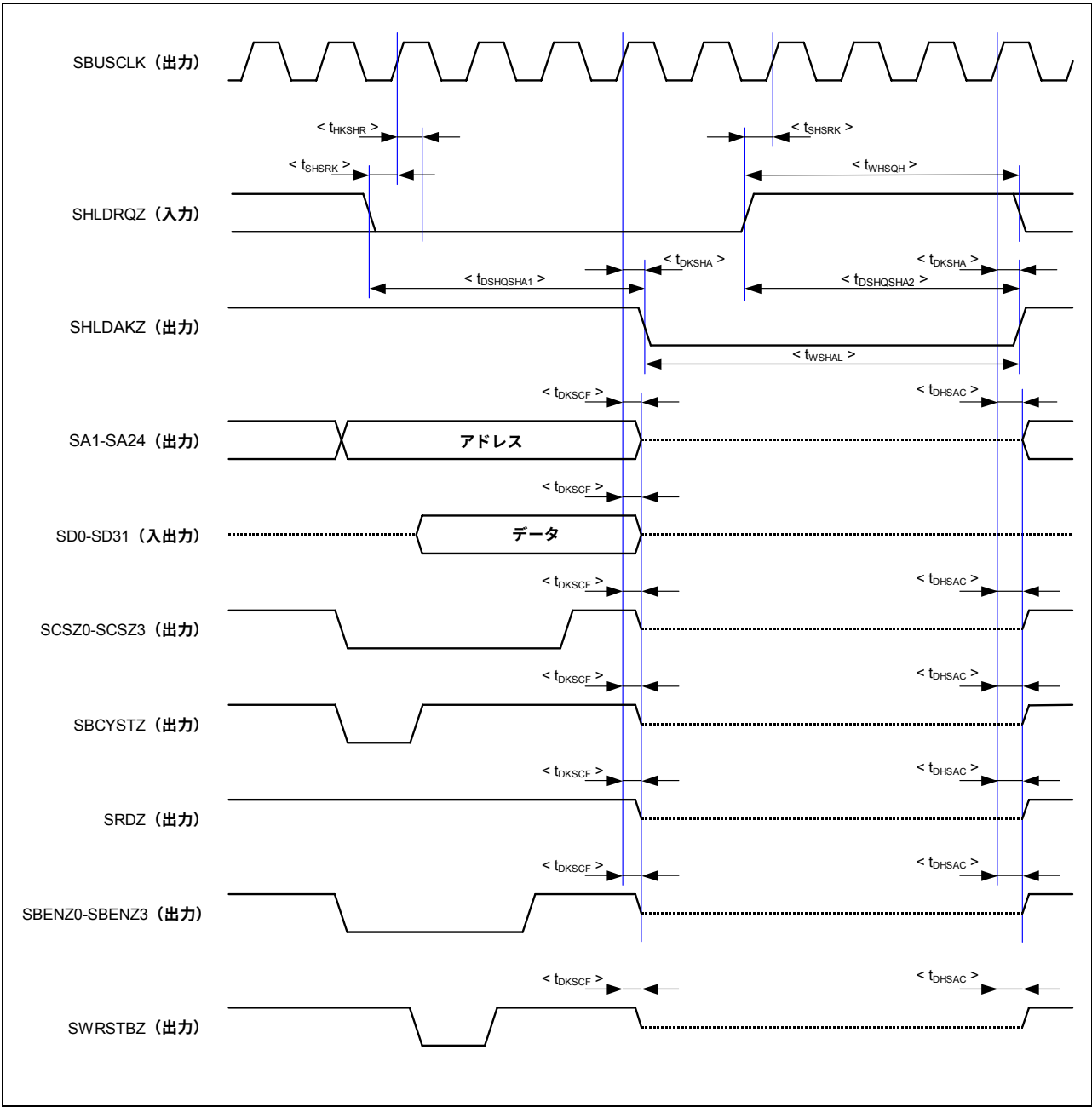
(2) バス・ホールド・タイミング

表 22-15 MEMC #2 内部接続メモリ・バス・ホールド・タイミング

項 目	略 号	MIN	MAX	単位
SHLDRQZ 設定時間 (対 SBUSCLK ↑)	t_{SKSHR}	6.4	—	ns
SHLDRQZ 保持時間 (対 SBUSCLK ↑)	t_{HKSHR}	3.0	—	ns
SBUSCLK ↑ → SHLDAKZ 遅延時間	t_{DKSHA}	1.3	7.2	ns
SHLDRQZ ハイ・レベル幅	t_{WSHQH}	$t_{BCYC} \text{ 注} + 9.4$	—	ns
SHLDAKZ ロー・レベル幅	t_{WSHAL}	$t_{BCYC} \text{ 注} - 5.9$	—	ns
SBUSCLK ↑ → バス・フロート遅延時間	t_{DKSCF}	1.3	7.2	ns
SBUSCLK ↑ → バス出力遅延時間	t_{DHSAC}	1.3	7.2	ns
SHLDRQZ ↓ → SHLDAKZ ↓ 遅延時間	$t_{DSHQSHA1}$	$3 \times t_{BCYC} \text{ 注} - 1.7$	—	ns
SHLDRQZ ↑ → SHLDAKZ ↑ 遅延時間	$t_{DSHQSHA2}$	$3 \times t_{BCYC} \text{ 注} - 1.7$	—	ns

注 t_{SCYC} は、SBUSCLK の周期です。

図 22-14 MEMC #2 バス・ホールド・タイミング



22.6.4 DMA インタフェース端子

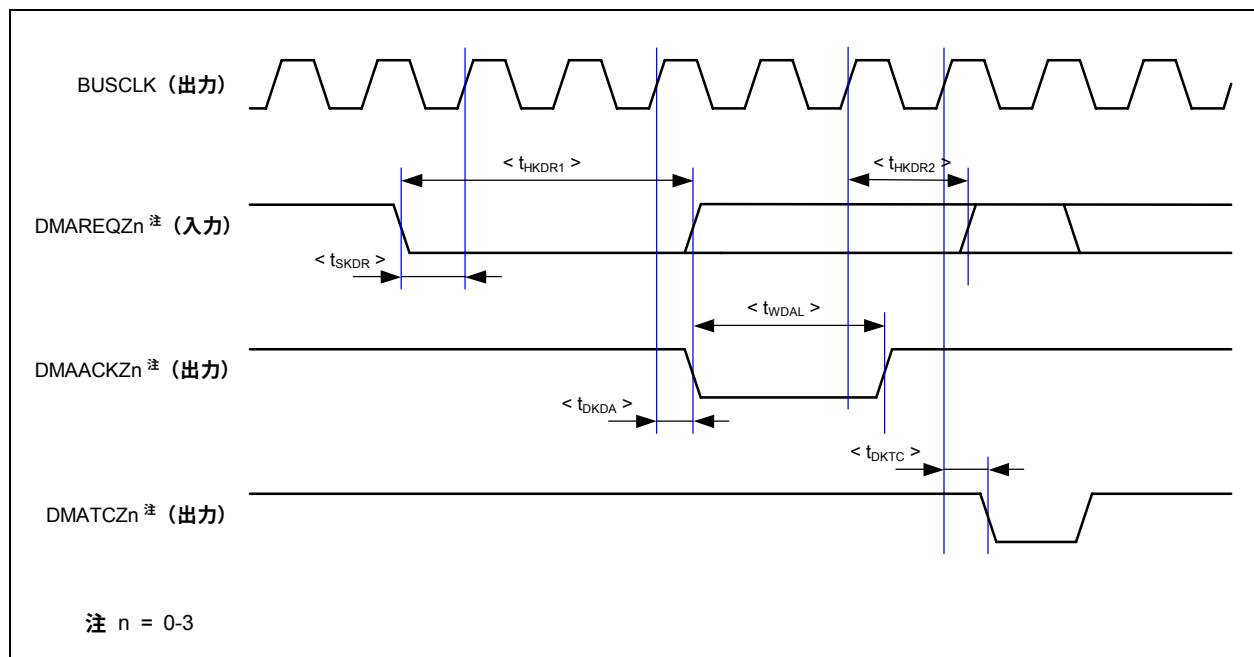
(1) DMAREQZ0-DMAREQZ3, DMAACKZ0-DMAACKZ3, DMATCZ0-DMATCZ3

表 22-16 外部 DMA インタフェース 0-3

項 目	略 号	MIN	MAX	単位
DMAREQZ [3:0] 入力設定時間 (対 BUSCLK ↑)	t_{SKDR}	4.3	—	ns
DMAREQZ [3:0] 入力保持時間 1	t_{HKDR1}	DMAACKZ ↓ まで	—	ns
DMAREQZ [3:0] 入力保持時間 2 (対 BUSCLK ↑)	t_{HKDR2}	—	$t_{BCYC}^{\text{注1}} \times m^{\text{注2}}$ — 4.3	ns
DMAACKZ [3:0] 出力遅延時間 (対 BUSCLK ↑)	t_{DKDA}	2.0	10.0	ns
DMAACKZ [3:0] 出力ロー・レベル幅	t_{WDAL}	$t_{BCYC}^{\text{注1}} \times m^{\text{注2}}$ — 8	$t_{BCYC}^{\text{注1}} \times m^{\text{注2}}$ + 8	ns
DMATCZ [3:0] 出力遅延時間 (対 BUSCLK ↑)	t_{DKTC}	2.0	10.0	ns

注 1. t_{BCYC} は、BUSCLK の周期です。2. $m = 1-16$ (DMAIFC0-DMAIFC3 レジスタ設定)。

図 22-15 外部 DMA インタフェース 0-3



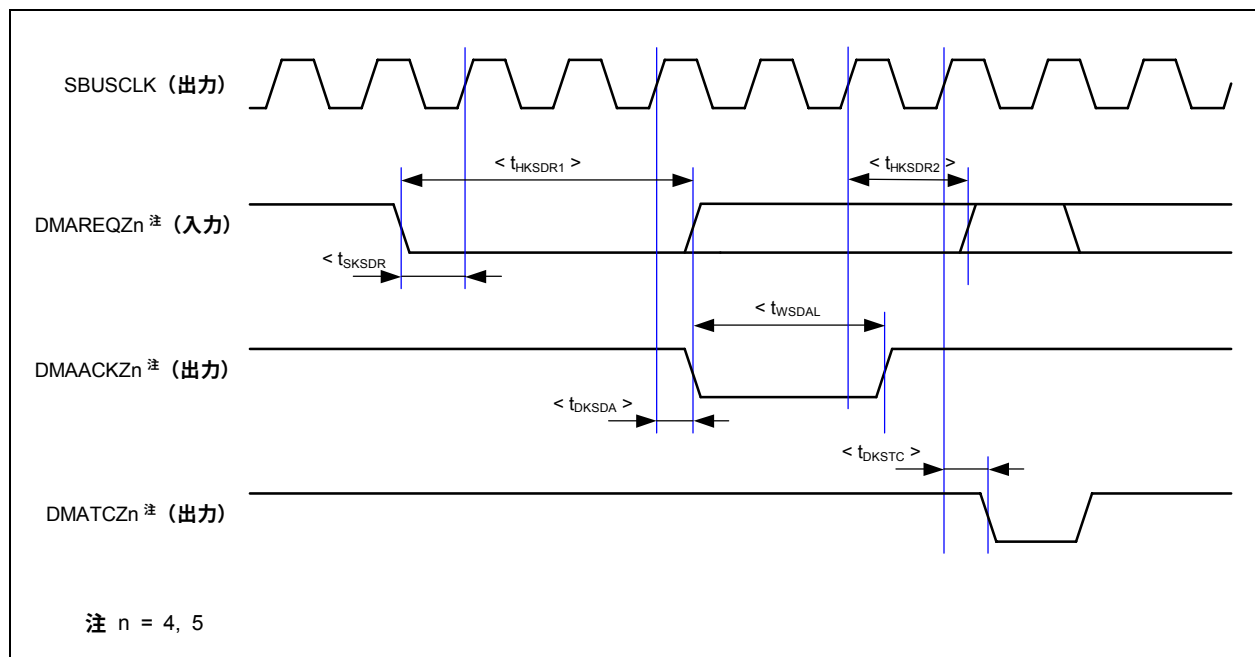
(2) DMAREQZ4, DMAREQZ5, DMAACKZ4, DMAACKZ5, DMATCZ4, DMATCZ5

表 22-17 外部 DMA インタフェース 4, 5

項 目	略 号	MIN	MAX	単位
DMAREQZ [5:4] 入力設定時間 (対 SBUSCLK ↑)	t_{SKSDR}	3.0	—	ns
DMAREQZ [5:4] 入力保持時間 1	t_{HKSDR1}	DMAACKZ ↓ まで	—	ns
DMAREQZ [5:4] 入力保持時間 2 (対 SBUSCLK ↑)	t_{HKSDR2}	—	$t_{SCYC}^{\text{注1}} \times m^{\text{注2}} + 3.0$	ns
DMAACKZ [5:4] 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSDA}	1.3	7.5	ns
DMAACKZ [5:4] 出力ロー・レベル幅	t_{WSDAL}	$t_{SCYC}^{\text{注1}} \times m^{\text{注2}} - 6.2$	$t_{SCYC}^{\text{注1}} \times m^{\text{注2}} + 6.2$	ns
DMATCZ [5:4] 出力遅延時間 (対 SBUSCLK ↑)	t_{DKSTC}	1.3	7.5	ns

注 1. t_{SCYC} は, SBUSCLK の周期です。2. $m = 1-32$ (DMAIFC4, DMAIFC5 レジスタ設定)。

図 22-16 外部 DMA インタフェース 4, 5



22.6.5 CSI インタフェース端子

CSI のアクセス・タイミングを示します。CSI はマスタ・モードとスレーブ・モードがあり、それぞれのタイミングを示しています。また、CKP と DAP の設定で動作タイミングが異なります。

表 22-18 CSI アクセス・タイミング (マスタ・モード)

項 目	略 号	MIN	MAX	単位
SCKn 出力周期 ^注	t_{CSICYC}	80.0	—	ns
SCKn 出力ハイ・レベル幅	t_{WSKH}	$0.5t_{CSICYC}-5$	—	ns
SCKn 出力ロー・レベル幅	t_{WSKL}	$0.5t_{CSICYC}-5$	—	ns
SIn 入力設定時間 (対 SCKn ↑) ^注	t_{SSI}	10.0	—	ns
SIn 入力設定時間 (対 SCKn ↓) ^注	t_{SSI}	10.0	—	ns
SIn 入力保持時間 (対 SCKn ↑) ^注	t_{HSI}	7.0	—	ns
SIn 入力保持時間 (対 SCKn ↓) ^注	t_{HSI}	7.0	—	ns
SOn 出力遅延時間 (対 SCKn ↑) ^注	t_{DSO}	—	7.0	ns
SOn 出力遅延時間 (対 SCKn ↓) ^注	t_{DSO}	—	7.0	ns
SOn 出力保持時間 (対 SCKn ↑) ^注	t_{HSO}	$0.5t_{CSICYC}-5$	—	ns
SOn 出力保持時間 (対 SCKn ↓) ^注	t_{HSO}	$0.5t_{CSICYC}-5$	—	ns

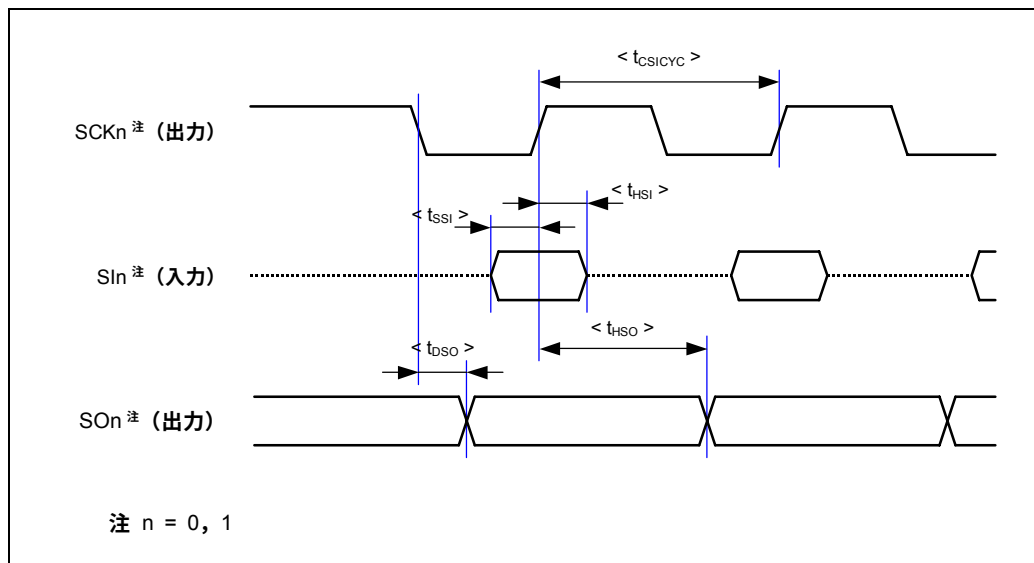
注 n = 0-7

表 22-19 CSI アクセス・タイミング (スレーブ・モード)

項 目	略 号	MIN	MAX	単位
SCKn 入力周期 ^注	t_{CSICYC}	80.0	—	ns
SCKn 入力ハイ・レベル幅	t_{WSKH}	$0.5t_{CSICYC}-5$	—	ns
SCKn 入力ロー・レベル幅	t_{WSKL}	$0.5t_{CSICYC}-5$	—	ns
SIn 入力設定時間 (対 SCKn ↑) ^注	t_{SSI}	10.0	—	ns
SIn 入力設定時間 (対 SCKn ↓) ^注	t_{SSI}	10.0	—	ns
SIn 入力保持時間 (対 SCKn ↑) ^注	t_{HSI}	$1.5T_{注}+5$	—	ns
SIn 入力保持時間 (対 SCKn ↓) ^注	t_{HSI}	$1.5T_{注}+5$	—	ns
SOn 出力遅延時間 (対 SCKn ↑) ^注	t_{DSO}	—	10.0	ns
SOn 出力遅延時間 (対 SCKn ↓) ^注	t_{DSO}	—	10.0	ns
SOn 出力保持時間 (対 SCKn ↑) ^注	t_{HSO}	t_{WSKH}	—	ns
SOn 出力保持時間 (対 SCKn ↓) ^注	t_{HSO}	t_{WSKL}	—	ns

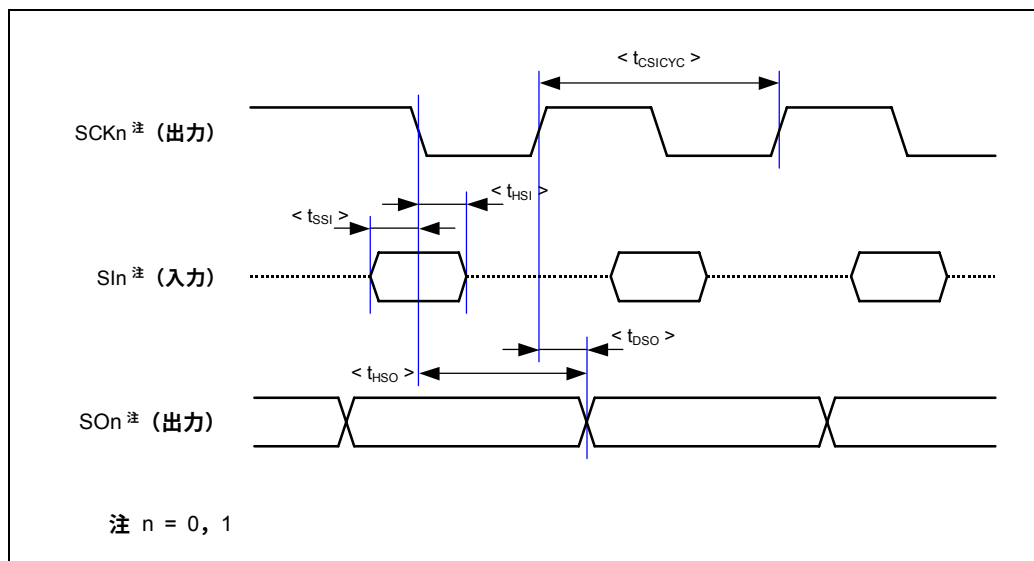
注 T は、周辺マクロ・クロック PCLK の周期です。

図 22-17 CSI アクセス・タイミング (CKP, DAP = 00)



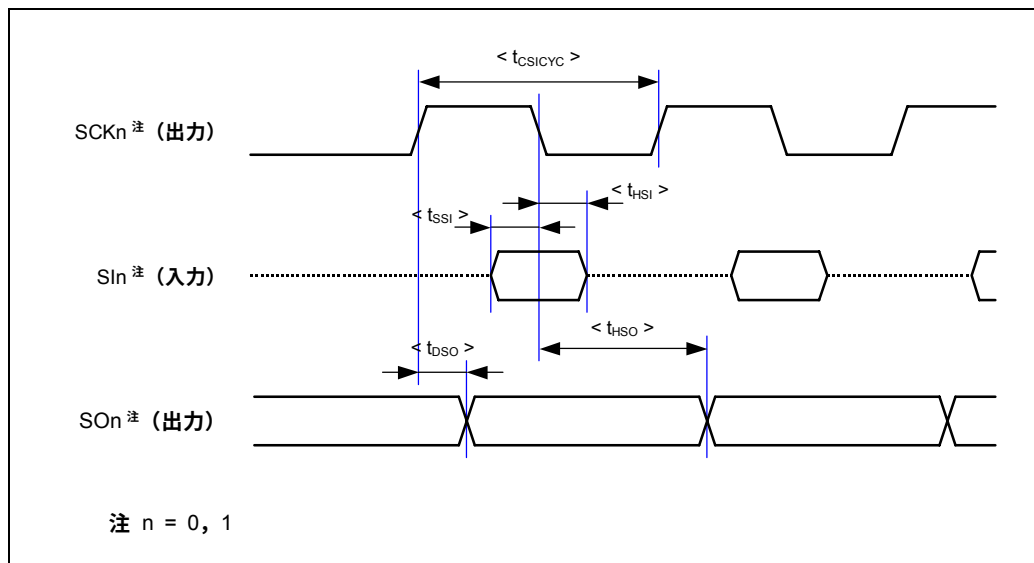
備考 破線はハイ・インピーダンスを示します。

図 22-18 CSI アクセス・タイミング (CKP, DAP=01)



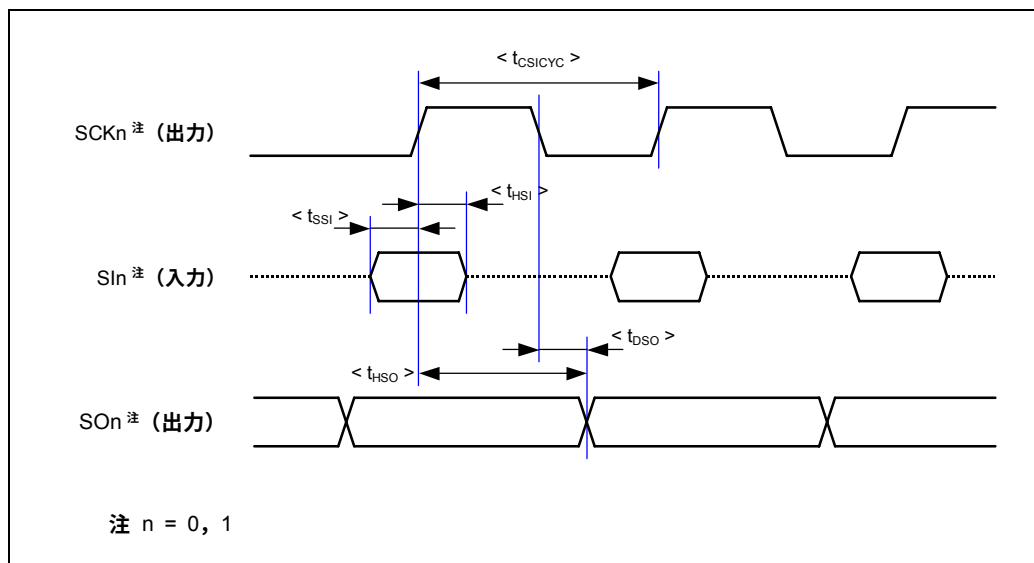
備考 破線はハイ・インピーダンスを示します。

図 22-19 CSI アクセス・タイミング (CKP, DAP=10)



備考 破線はハイ・インピーダンスを示します。

図 22-20 CSI アクセス・タイミング (CKP, DAP=11)



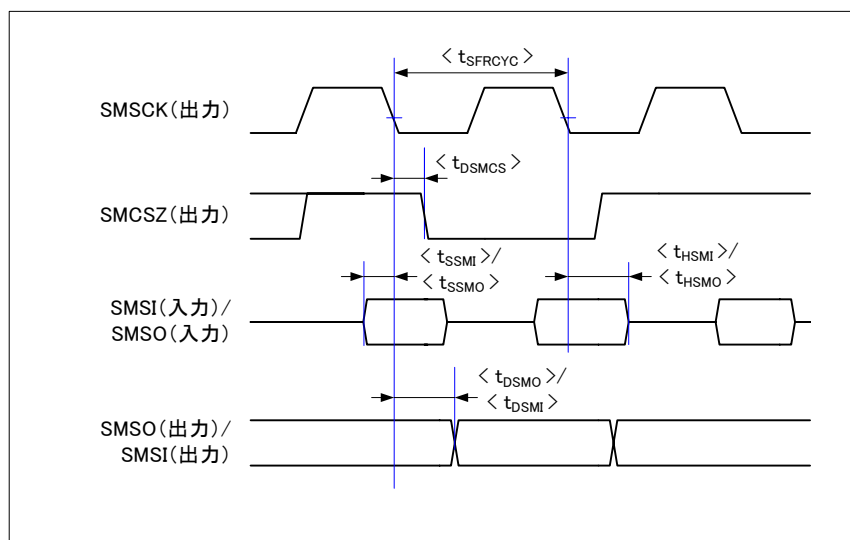
備考 破線はハイ・インピーダンスを示します。

22.6.6 シリアル・フラッシュ ROM インタフェース端子

表 22-20 シリアル・フラッシュ ROM インタフェース

項 目	略 号	MIN	MAX	単位
SMSCK 出力周期	t_{SFRCYC}	20.0	—	ns
SMCSZ 出力遅延時間 (対 SMSCK ↓)	t_{DSMCS}	-1.0	5.0	ns
SMSI 入力設定時間 (対 SMSCK ↓)	t_{SSMI}	6.0	—	ns
SMSI 入力保持時間 (対 SMSCK ↓)	t_{HSMI}	0.0	—	ns
SMSI 出力遅延時間 (対 SMSCK ↓)	t_{DSMI}	-1.0	5.0	ns
SMSO 入力設定時間 (対 SMSCK ↓)	t_{SSMO}	6.0	—	ns
SMSO 入力保持時間 (対 SMSCK ↓)	t_{HSMO}	0.0	—	ns
SMSO 出力遅延時間 (対 SMSCK ↓)	t_{DSMO}	-1.0	5.0	ns

図 22-21 シリアル・フラッシュ ROM アクセス・タイミング



22.6.7 Nexus インタフェース端子

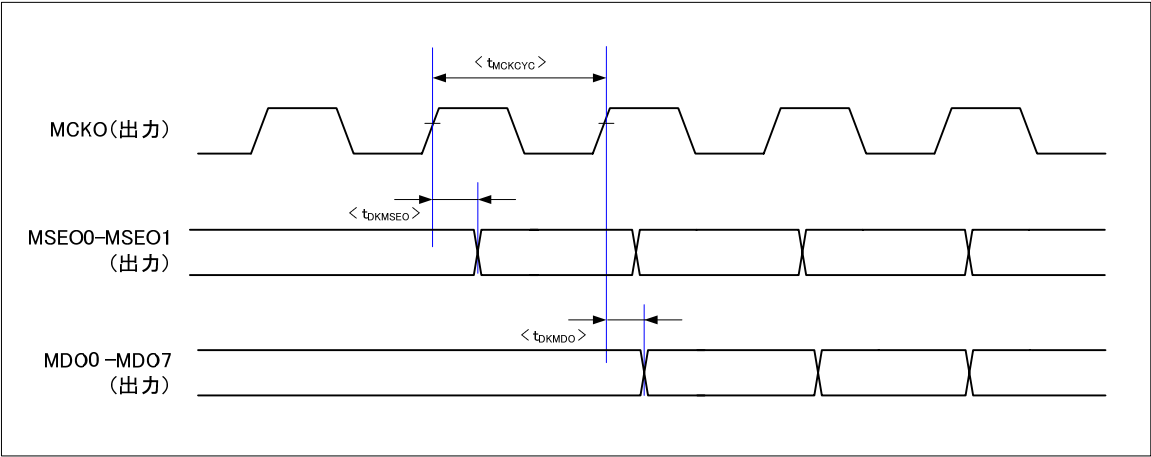
(1) トレース・インタフェース

(a) シングル・エッジの場合

表 22-21 トレース・インタフェース (シングル・エッジ)

項 目	略 号	MIN	MAX	単位
MCKO 出力周期	t_{MCKCYC}	6.67	—	ns
MSEO 出力遅延時間 (対 MCKO ↑)	t_{DKMSEO}	0.0	5.16	ns
MDO _n 出力遅延時間 (対 MCKO ↑)	t_{DKMDO}	0.0	5.16	ns

図 22-22 トレース・インタフェース (シングル・エッジ)

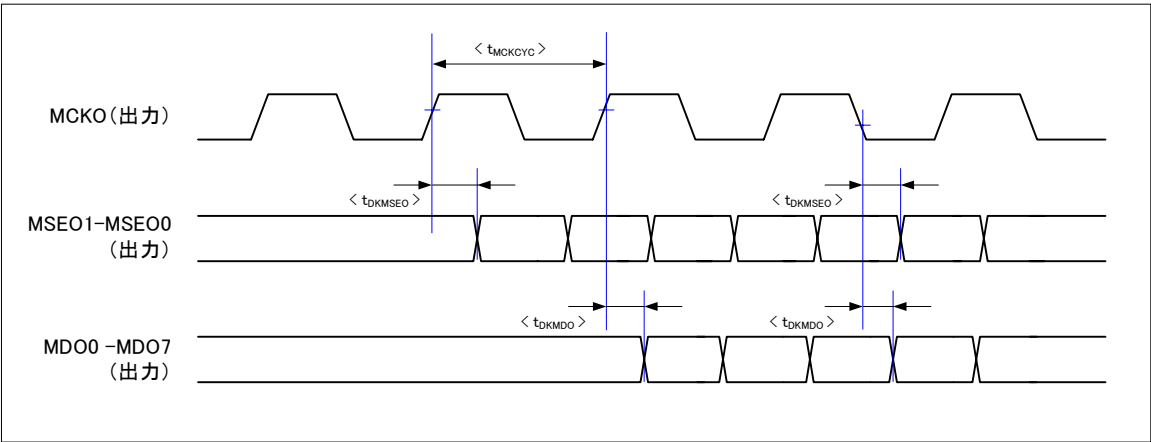


(b) ダブル・エッジの場合

表 22-22 トレース・インタフェース (ダブル・エッジ)

項 目	略 号	MIN	MAX	単位
MCKO 出力周期	t_{MCKCYC}	7.5	—	ns
MSEO 出力遅延時間 (対 MCKO ↑)	t_{DKMSEO}	-0.5	6.0	ns
MSEO 出力遅延時間 (対 MCKO ↓)	t_{DKMSEO}	-0.5	6.0	ns
MDO _n 出力遅延時間 (対 MCKO ↑)	t_{DKMDO}	-0.5	6.0	ns
MDO _n 出力遅延時間 (対 MCKO ↓)	t_{DKMDO}	-0.5	6.0	ns

図 22-23 トレース・インタフェース (ダブル・エッジ)

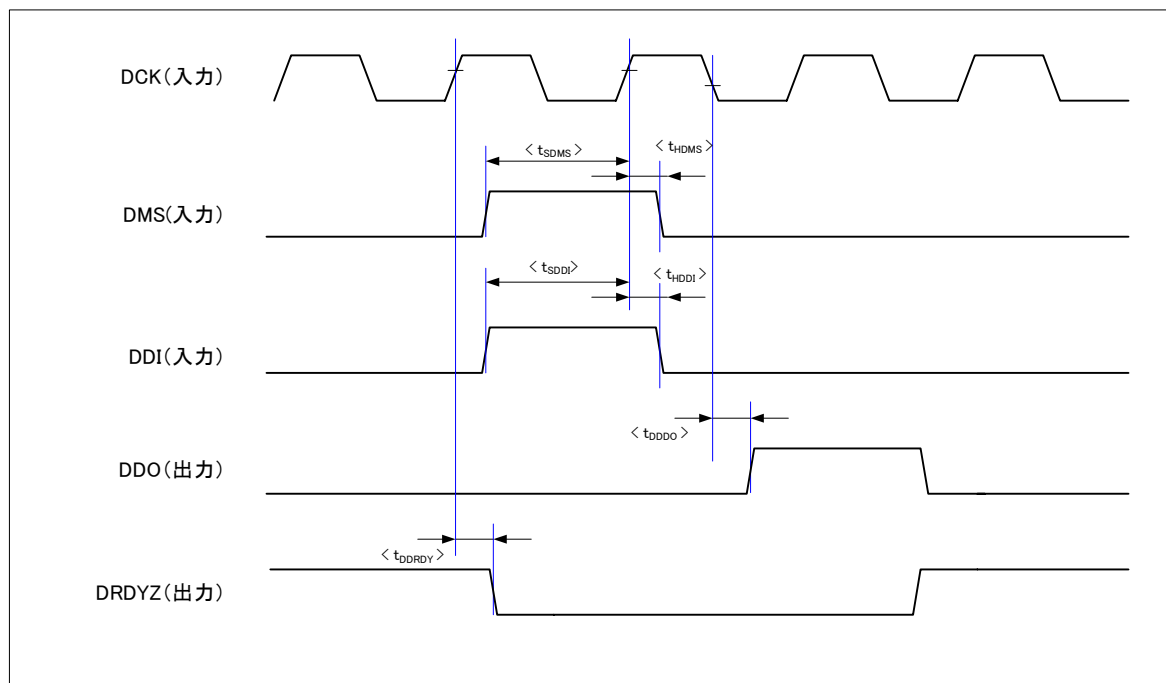


(2) デバッグ・シリアル・インタフェース

表 22-23 デバッグ・シリアル・インタフェース

項 目	略 号	MIN	MAX	単位
DCK 入力周期	t_{SDCK}	—	25	MHz
DMS 入力設定時間 (対 DCK↑)	t_{SDMS}	10.0	—	ns
DMS 入力保持時間 (対 DCK↑)	t_{HDMS}	0.0	—	ns
DDI 入力設定時間 (対 DCK↑)	t_{SDDI}	10.0	—	ns
DDI 入力保持時間 (対 DCK↑)	t_{HDDI}	0.0	—	ns
DDO 出力遅延時間 (対 DCK↓)	t_{DDDO}	0.0	20.0	ns
DRDYZ 出力遅延時間 (対 DCK↑)	t_{DDRZY}	0.0	10.0	ns

図 22-24 デバッグ・シリアル・インタフェース

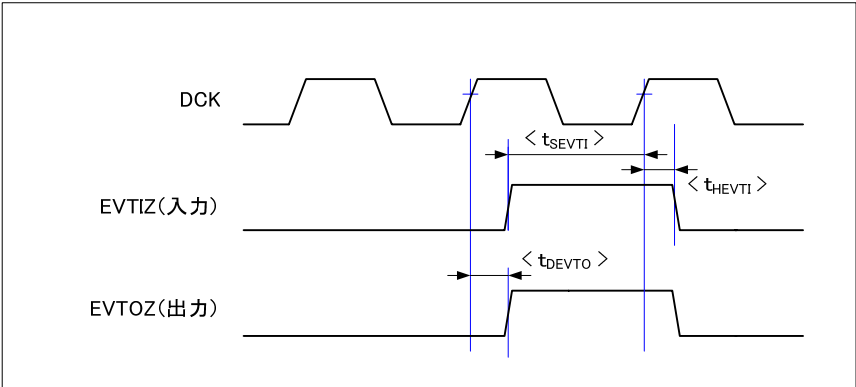


(3) イベント・トリガ・インタフェース

表 22-24 イベント・トリガ・インタフェース

項 目	略 号	MIN	MAX	単位
EVT0Z 出力遅延時間 (対 DCK↑)	t_{DEVTO}	0.0	20.0	ns
EVTIZ 入力設定時間 (対 DCK↑)	t_{SEVTI}	30.0	—	ns
EVTIZ 入力保持時間 (対 DCK↑)	t_{HEVTI}	0.0	—	ns

図 22-25 イベント・トリガ・インタフェース



22.7 A/D コンバータ特性

表 22-25 A/D コンバータ特性 (AD_AVDD = AVREFP = 3.0~3.6V, AD_AGND = AVREFM = 0V)

項 目	略号	MIN.	TYP.	MAX.	単位
分解能	—		10		bit
変換時間	—	2		12	μs
サンプリング時間	—	375		2400	ns
ゼロスケール誤差	—			±1.5	LSB
フルスケール誤差	—			±1.5	LSB
積分直線性誤差	—			±1.5	LSB
微分直線性誤差	—			±1.0	LSB
アナログ入力電圧	—	AV _{REFM}		AV _{REFP}	V
AV _{DD} 電源電流	—		0.7	1.5	mA
ADTRG ハイ・レベル幅	t _{WAIH}	500			ns
ADTRG ロー・レベル幅	t _{WAIL}	500			ns

図 22-26 A/D コンバータ特性

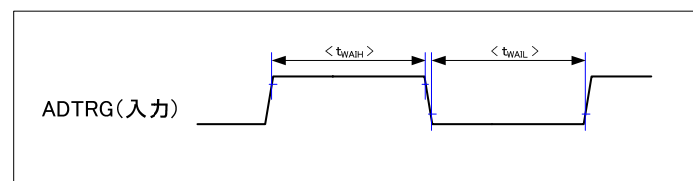


図 22-27 アナログ入力端子の等価回路

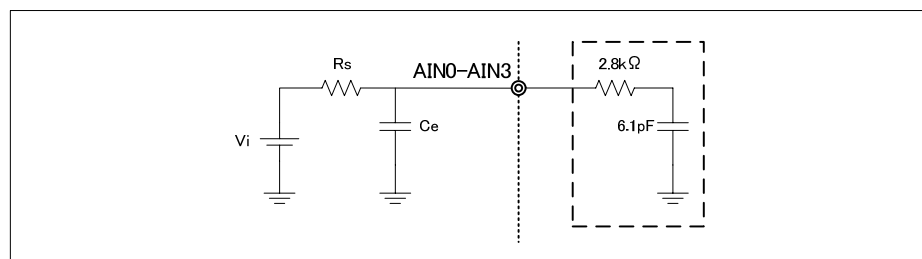


表 22-26 アナログ入力端子の規格

項 目	略号	MIN.	MAX.	単位
アナログ入力容量	Ce		15	pF
許容信号源インピーダンス	Rs		300	Ω

22.8 端子負荷容量

EP3-AM1 の AC 特性は、下記の負荷条件で算出しています。

22.8.1 MEMC #1 インタフェース端子

端子名称	入出力	機 能	CL [pF]
STCSZ0-STCSZ3	出力	スタティック・メモリ用チップ・セレクト出力	18.5
A1-A26	出力	ROM/SRAM 用アドレス出力	18.5
D0-D31	入出力	ROM/SRAM 用データ・バス	26
RDZ	出力	ROM/SRAM 用リード・ストロブ信号	18.5
WRZ0-WRZ3 注	出力	ROM/SRAM 用ライト・ストロブ信号	18.5
WRSTBZ	出力	SRAM/ページ ROM 用ライト・ストロブ出力 (WRZ [3:0] の OR)	18.5
WAITZ	入力	ROM/SRAM 用ウエイト信号入力	—
HLDRQZ	入力	外部バス・ホールド要求入力	—
HLDKZ	出力	外部バス・ホールド要求アクノリッジ出力	18.5
BENZ0-BENZ3 注	出力	ROM/SRAM 用バイト・イネーブル出力信号	18.5
BCYSTZ	出力	バス・サイクル・スタート・ステータス出力	18.5
BUSCLK	出力	クロック出力	18.5
BUSREQZ	出力	リフレッシュ・ステータス出力	18.5
DQM0-DQM3	出力	SDRAM 用ビット DQ マスク	18.5
SDWEZ	出力	SDRAM 用ライト・ストロブ信号	18.5
SDCASZ	出力	SDRAM 用カラム・アドレス信号	18.5
SDRASZ	出力	SDRAM 用ロウ・アドレス信号	18.5
SDCKE	出力	SDRAM 用クロック許可信号	18.5

注 WRZ0-WRZ3 と BENZ0-BENZ3 は、兼用されています。端子名称は BENZ0-BENZ3 です。リセット時は、BENZ0-BENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

22.8.2 MEMC #2 インタフェース端子

端子名称	入出力	機 能	CL [pF]
SCSZ0-SCSZ3	出力	スタティック・メモリ用チップ・セレクト出力	18.5
SA1-SA24	出力	ROM／SRAM 用アドレス出力	18.5
SD0-SD31	入出力	ROM／SRAM 用データ・バス	18.5
SRDZ	出力	ROM／SRAM 用リード・ストローク信号	18.5
SWRZ0-SWRZ3 注	出力	ROM／SRAM 用ライト・ストローク信号	18.5
SWRSTBZ	出力	SRAM／ページ ROM 用ライト・ストローク出力 (WRZ [3:0]の OR)	18.5
SWAITZ	入力	ROM／SRAM 用ウエイト信号入力	—
SHLDRQZ	入力	外部バス・ホールド要求入力	—
SHLDAKZ	出力	外部バス・ホールド要求アクノリッジ出力	18.5
SBENZ0-SBENZ3 注	出力	ROM／SRAM 用バイト・イネーブル出力信号	18.5
SBCYSTZ	出力	バス・サイクル・スタート・ステータス出力	18.5
SBUSCLK	出力	クロック出力	18.5

注 SWRZ0-SWRZ3 と SBENZ0-SBENZ3 は、兼用されています。端子名称は SBENZ0-SBENZ3 です。
リセット時は、SBENZ0-SBENZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN)
で切り替えられます。

22.8.3 DMA インタフェース端子

端子名称	入出力	機 能	CL [pF]
DMAREQZ0	入力	DMA 転送要求入力 0	—
DMAREQZ1		DMA 転送要求入力 1	—
DMAREQZ2		DMA 転送要求入力 2	—
DMAREQZ3		DMA 転送要求入力 3	—
DMAREQZ4		DMA 転送要求入力 4	—
DMAREQZ5		DMA 転送要求入力 5	—
DMAACKZ0	出力	DMA アクノリッジ出力 0	15
DMAACKZ1		DMA アクノリッジ出力 1	15
DMAACKZ2		DMA アクノリッジ出力 2	15
DMAACKZ3		DMA アクノリッジ出力 3	15
DMAACKZ4		DMA アクノリッジ出力 4	15
DMAACKZ5		DMA アクノリッジ出力 5	15
DMATCZ0		ターミナル・カウント出力 0	15
DMATCZ1		ターミナル・カウント出力 1	15
DMATCZ2		ターミナル・カウント出力 2	15
DMATCZ3		ターミナル・カウント出力 3	15
DMATCZ4		ターミナル・カウント出力 4	15
DMATCZ5		ターミナル・カウント出力 5	15

22.9 内蔵 SSCG-PLL の特性

22.9.1 推奨動作範囲

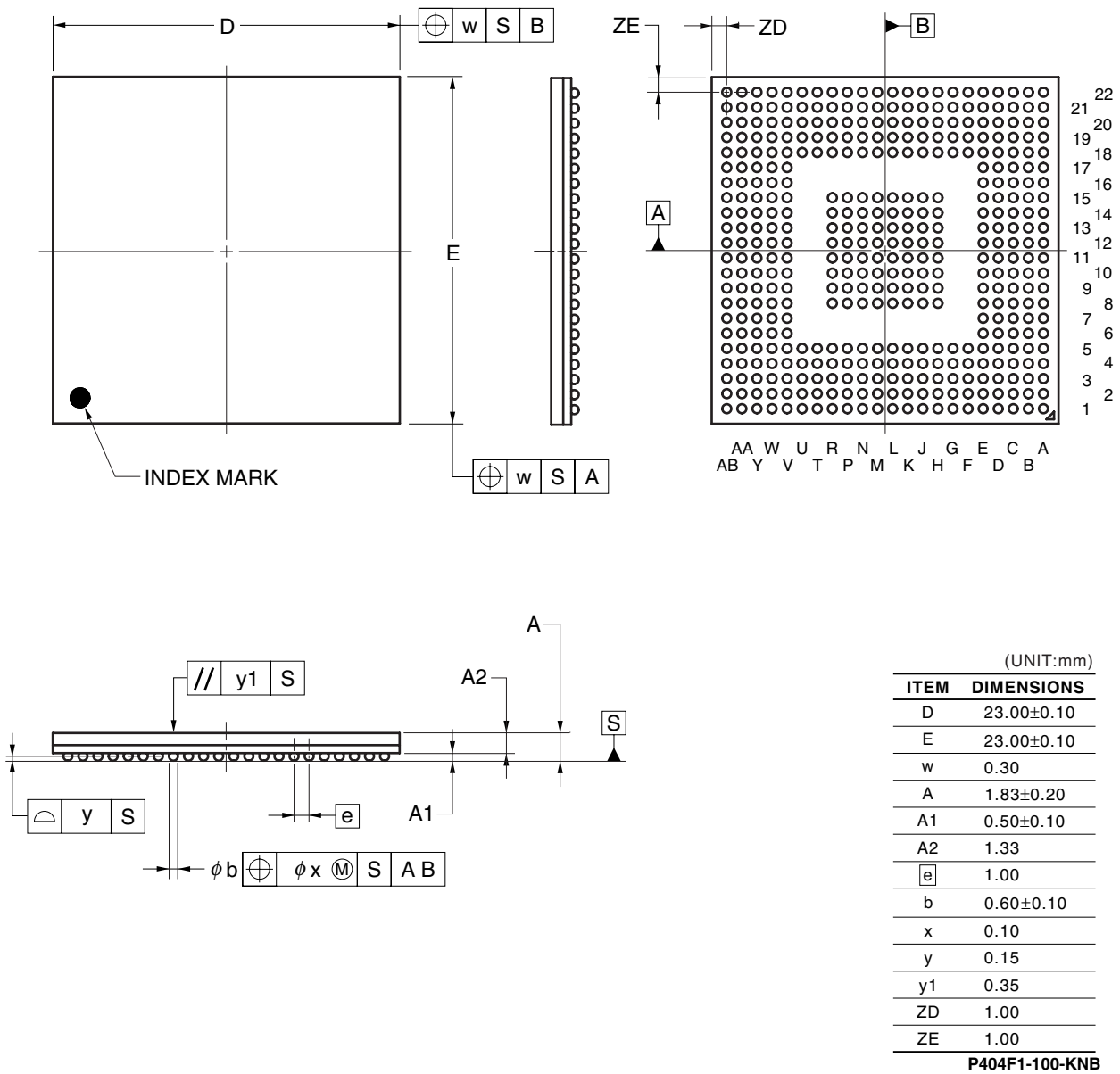
項 目	略号	条件	MIN.	MAX.	単位
入力周波数			27	48	MHz
入力デューティ			30	70	%

22.9.2 電気的特性

項 目	略号	条件	MIN.	MAX.	単位
VCO 出力周波数	f_{VCO}		400	800	MHz
出力周波数	f_{out}		200	400	MHz
出力デューティ	duty		48	52	%
出力ピリオド・ジッタ	t_{pj}		-50	50	ps

第23章 外形图

404-PIN PLASTIC BGA (23x23)



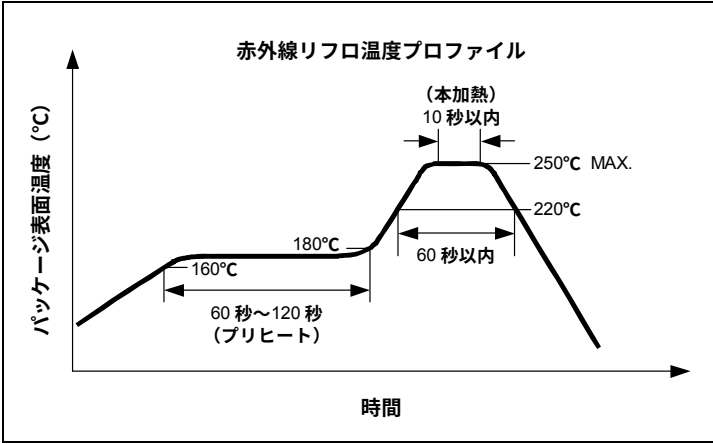
© NEC Electronics Corporation 2006

第24章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

★ 「半導体デバイス実装マニュアル」 (<http://www2.renesas.com/pkg/ja/jissou/index.html>)

表 24-1 EP3-AM1 の半田付け条件

半田付け方式	半田付け条件
赤外線リフロ	IR50-207-3 最高温度（パッケージ表面温度）：250℃以下 最高温度の時間：10 秒以内 220℃以上の時間：60 秒以内 プリヒート温度（160℃～180℃）の時間：60 秒～120 秒  最多リフロ回数：3 回 ロジン系フラックスの塩素含有量（質量百分率）：0.2%以下 ドライバック開封後の保管制限期間：7 日間^{※1}（以降は 125℃プリベーク^{※2}20～72 時間必要）

- 注 1. ドライバック開封後の保管制限日数で、保管条件は 25℃，65%（RH）以下。
2. 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。

- 備考 1. EP3-AM1 は、鉛フリー製品です。
2. 推奨条件以外の半田付け方式および半田付け条件については、当社販売員にお問い合わせください。

改訂記録	EP3-AM1 ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.03.01	－	初版発行
2.00	2010.07.01	－	新フォーマットに変更
		－	タイマ TAA の仕様変更に伴う修正
2.01	2010.11.01	p.13	1.7 端子接続図 (404 ピン□23mm) タイトル修正

EP3-AM1 ユーザーズマニュアル ハードウェア編

発行年月日 2010 年 3 月 1 日 Rev.1.00
 2010 年 11 月 1 日 Rev.2.01

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口： <http://japan.renesas.com/inquiry>

EP3-AM1