

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

携帯マルチメディア・プロセッサ

地上デジタルTV インタフェース編

EMMA Mobile™1

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品は外国為替及び外国貿易法の規定により規制貨物等に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2009年9月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

はじめに

対象者 このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1（以降、EM1 と表記します）の地上デジタルTV インタフェースの機能を理解し、それを用いたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

目的 このマニュアルは、EM1 の地上デジタルTV インタフェースが持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 第1章 概 説
- 第2章 端子機能
- 第3章 DTV 詳細
- 第4章 DTV2 詳細

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

- ・地上デジタルTV インタフェースの機能の詳細を理解しようとするとき
目次に従ってお読みください。
- ・携帯マルチメディア・プロセッサ全体の機能を理解しようとするとき
モジュールごとのユーザズ・マニュアルを参照してください。
- ・携帯マルチメディア・プロセッサ全体の電気的特性を理解しようとするとき
データ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数 ... x x x x または x x x x B 10進数 ... x x x x 16進数 ... x x x x H
	データ・タイプ	ワード ... 32 ビット ハーフ・ワード ... 16 ビット バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A データ・シート		S19657J
μ PD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice, PWM インタフェース編	S19253J
	DDR SDRAM インタフェース編	S19254J
	DMA コントローラ編	S19255J
	I ² C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	S19262J
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御 / 汎用入出力インタフェース編	S19265J
	タイマ編	S19266J
	地上デジタルTV インタフェース編	このマニュアル
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A)	S19598J
1 チップ編 (μ PD77630A)	S19687J	

注意 上記関連資料は, 予告なしに内容を変更することがあります。設計などには, 必ず最新の資料を使用してください。

目 次

第 1 章 概 説・・・11

- 1.1 特 徴・・・11
- 1.2 モジュール構成 (DTVとDTV2)・・・12
- 1.3 クロック供給・・・12
- 1.4 リセット/リセット解除・・・12
- 1.5 DTV / DTV2 切り替えタイミング・・・12

第 2 章 端子機能・・・13

- 2.1 地上デジタルTVインタフェース端子・・・13

第 3 章 DTV詳細・・・14

- 3.1 機能ブロック図・・・14
- 3.2 レジスター一覧・・・15
- 3.3 レジスタ機能・・・16
 - 3.3.1 DTV/DTV2 切り替えレジスタ・・・16
 - 3.3.2 割り込みステータス・レジスタ・・・17
 - 3.3.3 割り込みRawステータス・レジスタ・・・18
 - 3.3.4 割り込みイネーブル・セット・レジスタ・・・19
 - 3.3.5 割り込みイネーブル・クリア・レジスタ・・・20
 - 3.3.6 割り込み要因クリア・レジスタ・・・21
 - 3.3.7 エラー・アドレス・レジスタ・・・22
 - 3.3.8 転送コントロール・レジスタ・・・23
 - 3.3.9 転送要求レジスタ・・・24
 - 3.3.10 転送要求解除レジスタ・・・25
 - 3.3.11 スタート・アドレス・レジスタ・・・26
 - 3.3.12 バッファ・サイズ・レジスタ・・・26
 - 3.3.13 ブランク・サイズ・レジスタ・・・27
 - 3.3.14 カレント・パケット・レジスタ・・・28
 - 3.3.15 DMA完了割り込み設定レジスタ・・・29
 - 3.3.16 モジュール制御レジスタ・・・30
- 3.4 機能詳細・・・31
 - 3.4.1 入力信号タイミング・・・31
 - 3.4.2 データ・フォーマット・・・32
 - 3.4.3 DTV転送処理・・・33
 - 3.4.4 割り込み制御・・・34
 - 3.4.5 クロック制御・・・36
 - 3.4.6 同期ずれからの復帰方法・・・38

第4章 DTV2 詳細・・・39

4.1 機能ブロック図・・・39

4.2 レジスタ一覧・・・40

4.3 レジスタ機能・・・41

- 4.3.1 DTV/DTV2 切り替えレジスタ・・・41
- 4.3.2 割り込みステータス・レジスタ・・・42
- 4.3.3 割り込みRawステータス・レジスタ・・・43
- 4.3.4 割り込みイネーブル・セット・レジスタ・・・44
- 4.3.5 割り込みイネーブル・クリア・レジスタ・・・46
- 4.3.6 割り込み要因クリア・レジスタ・・・47
- 4.3.7 エラー・アドレス・レジスタ・・・48
- 4.3.8 転送コントロール・レジスタ・・・49
- 4.3.9 転送要求レジスタ・・・50
- 4.3.10 転送要求解除レジスタ・・・51
- 4.3.11 スタート・アドレス・レジスタ・・・52
- 4.3.12 バッファ・サイズ・レジスタ・・・52
- 4.3.13 ブランク・サイズ・レジスタ・・・53
- 4.3.14 カレント・パケット・レジスタ・・・54
- 4.3.15 DMA完了割り込み設定レジスタ・・・55
- 4.3.16 モジュール制御レジスタ・・・56
- 4.3.17 DTVPSYNC/DTVVLD極性指定レジスタ・・・57
- 4.3.18 入力端子状態モニタレジスタ・・・58

4.4 機能詳細・・・59

- 4.4.1 入力信号タイミング・・・59
- 4.4.2 データ・フォーマット・・・64
- 4.4.3 DTV転送処理・・・65
- 4.4.4 割り込み制御・・・67
- 4.4.5 クロック制御・・・71

図の目次

図番号	タイトル, ページ
図 1-1	全体ブロック図・・・12
図 3-1	DTV部機能ブロック図・・・14
図 3-2	DMA停止タイミング・・・25
図 3-3	カレント・パケット・レジスタ値・・・28
図 3-4	DTV I/F DMA完了割り込みセット・タイミング・・・29
図 3-5	DTV I/F信号タイミング・・・31
図 3-6	ストリーム・タイミング(バースト・シリアル)・・・31
図 3-7	ストリーム・データ格納フォーマット・・・32
図 3-8	リング・バッファ・マッピング・・・33
図 3-9	転送エラー時割り込みタイミング・・・34
図 3-10	DMA完了割り込みタイミング・・・34
図 3-11	DMA停止割り込みタイミング・・・35
図 3-12	DTV_SWT_CLKREQタイミング・・・36
図 3-13	DTV_CLKとDTVBCLKの周波数換算・・・37
図 3-14	DTVBCLKと入力データの関係・・・37
図 4-1	DTV2 部機能ブロック図・・・39
図 4-2	転送要求レジスタ値の変化・・・50
図 4-3	カレント・パケット・レジスタ値・・・54
図 4-4	DTV I/F DMA完了割り込みセット・タイミング・・・55
図 4-5	DTV2 I/F信号タイミング・・・59
図 4-6	ストリーム・タイミング(バースト・シリアル)・・・59
図 4-7	DTVPSYNCデータの判定(バースト・シリアル)・・・60
図 4-8	DTVPSYNCが連続して到達する場合(バースト・シリアル)・・・60
図 4-9	DTVVLDが間欠する場合(バースト・シリアル)・・・60
図 4-10	DTVPSYNCがHIGHの途中でDTVVLDが間欠する場合(バースト・シリアル)・・・61
図 4-11	DTVVLD間欠期間中にDTVPSYNCが立ち下がる場合(バースト・シリアル)・・・61
図 4-12	BCLKが間欠する場合(バースト・シリアル)・・・61
図 4-13	BCLK間欠期間中にDTVPSYNCが立ち下がる場合(バースト・シリアル)・・・61
図 4-14	DTVPSYNC到達直前のビットが 8bitsに満たない場合(バースト・シリアル)・・・62
図 4-15	DTVPSYNC到達直前ビット列が 8bits未満、かつ、DTVPSYNCが 8bits未満の場合 (バースト・シリアル)・・・62
図 4-16	リセット直後のデータはDTVPSYNCが来るまで無効データ(バースト・シリアル)・・・62
図 4-17	リセット直前の 8bitsに満たないデータは無効データ(バースト・シリアル)・・・63
図 4-18	ストリーム・データ格納フォーマット・・・64
図 4-19	リング・バッファ・マッピング・・・65
図 4-20	パケットの格納方法 (DTVMODE=0 のとき)・・・66
図 4-21	次のSyncByteが来たときのパケット格納方法 (DTVMODE=0 のとき)・・・66
図 4-21	転送エラー時割り込みタイミング・・・67
図 4-23	DMA転送していないときに転送予約された場合の割り込みタイミング・・・68

- 図 4 - 24 DMA転送中に転送予約された場合の割り込みタイミング・・・68
- 図 4 - 25 187byte以下でPSYNCバイトを含むワード転送の割り込みタイミング(DTVMODE=0 のとき)・・・69
- 図 4 - 26 188byteを越えてもSyncByteを含むワードデータが揃わないときの割り込みタイミング(DTVMODE=0 のとき)・・・69
- 図 4 - 27 PSYNCバイトが不正値の場合の割り込みタイミング(DTVMODE=0 のとき)・・・70

表の目次

表番号	タイトル, ページ
表 3 - 1	割り込み要因一覧・・・34
表 4 - 1	割り込み要因一覧・・・67

第1章 概 説

このマニュアルでは、EM1 の地上デジタル TV インタフェース（以降 DTV I/F といいます）について説明します。DTV I/F は、外部に接続された地上デジタル TV 用チャンネル・デコーダ LSI からのストリーム・データをメモリに DMA 転送する機能を持ちます。バースト出力形式（シリアル）に対応します。

1.1 特 徴

主な特徴を次に示します。

シリアルのみサポートします。

DTV I/F 信号

- ・シリアル・モード時には DTV_DATA[7]をデータとして使用。
- ・パケット同期パルス（DTV_PSYNC）
- ・ストリーム・データ・イネーブル（DTV_VLD）
- ・バス・クロック（DTV_BCLK）

DMA 転送先バッファ

リング・バッファ形式の領域を指定可能。

受信データ選択

パリティ・フィールドの受信選択可能。

バッファ・メモリ

32 ビット×4 ワードのバッファ・メモリを内蔵。

1.2 モジュール構成 (DTVとDTV2)

本 DTVIF は、下図の通り、内部に DTV2 機能モジュール(以下 DTV2)と、DTV 機能モジュール(以下 DTV)を搭載しています。各モジュールの回路、レジスタは完全に独立しています。レジスタアドレスは共通です。互いの機能モジュールは、OFDM インタフェース、および、AHB バスインタフェースを共有しています。

各モジュールは DTV / DTV2 切り替えレジスタ SWITCH の設定によって排他動作します。DT_SWITCH に 1 が設定されると DTV2 が選択され、0 が設定されると DTV が選択されます。初期値は DT_SWITCH=0 であり、DTV が選択された状態になります。

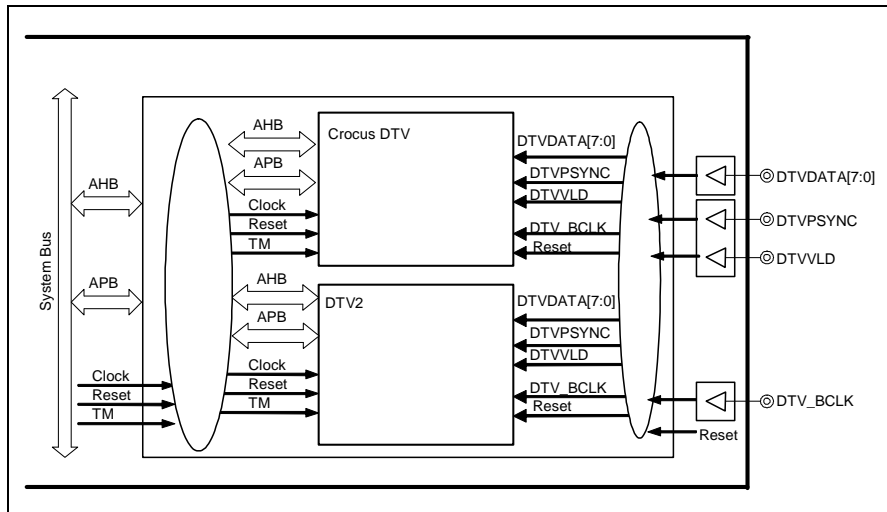


図 1 - 1 全体ブロック図

1.3 クロック供給

すべてのクロックはDTV / DTV2切り替えレジスタ DT_SWITCHによって選択された機能モジュールにのみ供給されます。非選択機能モジュールへは供給されません。

1.4 リセット / リセット解除

すべてのリセットはLow-Activeです。DTV / DTV2切り替えレジスタ DT_SWITCHによって選択された機能モジュールにのみ反映されます。非選択モジュールは常にリセット状態になります。

ハードウェアリセット直後はDTV / DTV2切り替えレジスタ DT_SWITCH=0となり、DTV有効となります。DTV2を有効にするためには、リセット解除後、DTV / DTV2切り替えレジスタ DT_SWITCH=1を設定する必要があります。

1.5 DTV / DTV2 切り替えタイミング

DTV / DTV2 を切り替える場合は、必ず以下の手順で切り替えてください

1. ハードウェアリセット
2. ハードウェアリセット解除
3. DT_SWITCH 設定

第2章 端子機能

2.1 地上デジタルTVインタフェース端子

端子名	入出力	リセット時	機 能	兼用端子
DTV_BCLK	入力	-	データ・クロック	SP2_CLK
DTV_DATA	入力	-	YUV データ	SP2_SI
DTV_PSYNC	入力	-	パケット同期信号	SP2_SO
DTV_VLD	入力	-	パケット・データ・イネーブル	SP2_CS0

第3章 DTV 詳細

3.1 機能ブロック図

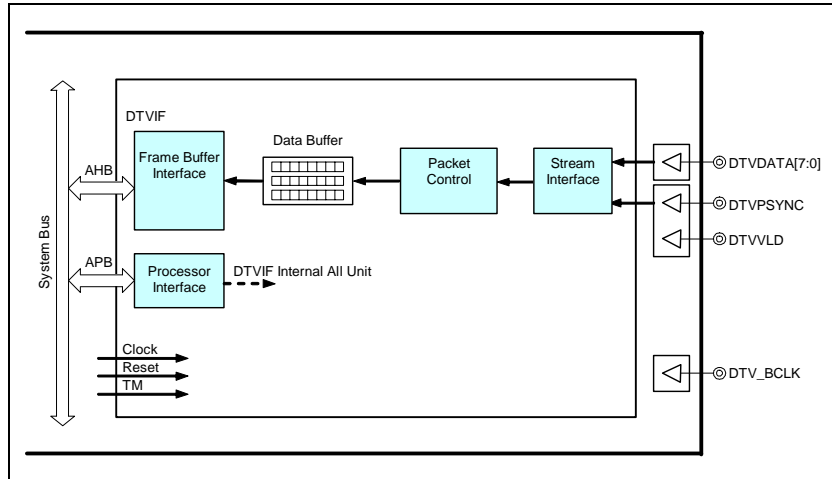


図 3 - 1 DTV 部機能ブロック図

3.2 レジスタ一覧

Reserved レジスタへのアクセスは行わないでください。

各レジスタ内の Reserved ビットへの書き込みは無視されます。

ベース・アドレス：4015_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0200H	DTV / DTV2 切り替えレジスタ	DT_SWITCH	R/W	0000_0000H

下記レジスタは DTV/DTV2 切り替えレジスタ DT_SWITCH=0 により使用可能となります。

アドレス 4015_0000H から 4015_0040H は DTV2 と重複していますが、DT_SWITCH=0 のとき、レジスタ操作は DTV レジスタのみに反映されます。

ベース・アドレス：4015_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	割り込みステータス・レジスタ	DT_STATUS	R	0000_0000H
0004H	割り込み Raw ステータス・レジスタ	DT_RAWSTATUS	R	0000_0000H
0008H	割り込みイネーブル・セット・レジスタ	DT_ENSET	R/W	0000_0000H
000CH	割り込みイネーブル・クリア・レジスタ	DT_ENCLR	W	0000_0000H
0010H	割り込み要因クリア・レジスタ	DT_FFCLR	W	0000_0000H
0014H	エラー・アドレス・レジスタ	DT_ERRORADR	R/W	0000_0000H
0020H	転送コントロール・レジスタ	DT_DMACNT	R/W	0000_0003H
0024H	転送要求レジスタ	DT_DMAREQ	R/W	0000_0000H
0028H	転送要求解除レジスタ	DT_DMASTOP	W	0000_0000H
002CH	スタート・アドレス・レジスタ	DT_START	R/W	0000_0000H
0030H	バッファ・サイズ・レジスタ	DT_BUFSIZE	R/W	0000_0000H
0034H	ブランク・サイズ・レジスタ	DT_BLANK	R/W	0000_0000H
0038H	カレント・パケット・レジスタ	DT_CURRENT	R	0000_0000H
003CH	DMA 完了割り込み設定レジスタ	DT_INTCONT	R/W	0000_0000H
0040H	モジュール制御レジスタ	DT_MODULECONT	R/W	0000_0000H

3.3 レジスタ機能

3.3.1 DTV/DTV2 切り替えレジスタ

本レジスタ (DT_SWITCH : 4015_0200H) は DTV と DTV2 を排他的に切り替えます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							SWITCH

名称	R/W	ビット	リセット時	機能
Reserved	R	31:1	0	予約。読み込みは不定値を返します。書き込みは無視されます。
SWITCH	R/2	0	0	DTV/DTV2 切り替え 0 : DTV 1 : DTV2

3.3.2 割り込みステータス・レジスタ

本レジスタ (DT_STATUS : 4015_0000H) はリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタ (DT_ENSET) でイネーブルにセットされている割り込み要因のステータスが確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				DTVSTOP	DTVOR	DTVDMA	DMAERR

名称	R/W	ビット	リセット時	機能
Reserved	R	31:4	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTVSTOP	R	3	0	DMA 停止割り込み DMA が停止した場合に割り込みを発生します。
DTVOR	R	2	0	パケット・オーバラン・エラー 内部バッファがオーバランした場合に割り込みを発生します。
DTVDMA	R	1	0	DMA 完了割り込み DMA 完了割り込み設定レジスタ(4015_003CH)で設定されたパケット数の DMA 転送が完了するごとに割り込みを発生します。
DMAERR	R	0	0	転送エラー割り込み 内部バス転送中にエラー応答を受信すると割り込みを発生します。 転送禁止領域へのライト動作などの禁止動作が原因で発生します。

3.3.3 割り込みRawステータス・レジスタ

本レジスタ(DT_RAWSTATUS: 4015_0004H)はリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタ(DT_ENSET)の設定に関係なく割り込み要因のステータスが確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				DTVSTOP RAW	DTVOR RAW	DTVDMA RAW	DMAERR RAW

名称	R/W	ビット	リセット時	機能
Reserved	R	31:4	0	予約。0以外書き込まないでください。1を書き込むと不正動作します。
DTVSTOP RAW	R	3	0	DMA 停止割り込み DMA が停止した場合に割り込みを発生します。
DTVOR RAW	R	2	0	パケット・オーバーラン・エラー 内部バッファがオーバーランした場合に割り込みを発生します。
DTVDMA RAW	R	1	0	DMA 完了割り込み DMA 完了割り込み設定レジスタ(4015_003CH)で設定されたパケット数のDMA転送が完了するごとに割り込みを発生します。
DMAERR RAW	R	0	0	転送エラー割り込み 内部バス転送中にエラー応答を受信すると割り込みを発生します。 転送禁止領域へのライト動作などの禁止動作が原因で発生します。

3.3.4 割り込みイネーブル・セット・レジスタ

本レジスタ (DT_ENSET : 4015_0008H) は割り込み要求の発行を許可するレジスタです。本レジスタの割り込み要因に対応するビットを 1 にセットすると割り込み要因がセットされることにより、割り込み要求を発行して割り込みステータス・レジスタ (DT_STATUS) の対応するビットを 1 にセットします。0 が書き込まれても何も変化しません。また、本レジスタを読み出すことにより、割り込み要求発行許可の状態が確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				DTVSTOP_ EN	DTVOR_ EN	DTVDMA_ EN	DMAERR_ EN

名称	R/W	ビット	リセット時	機 能
Reserved	R	31:4	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTVSTOP_ EN	R	3	0	DMA 停止割り込み発行許可の状態を示します。 0 : 許可しない 1 : 許可する
	W			DMA 停止割り込み発行許可の設定をします。 1 : 割り込みマスク解除
DTVOR_EN	R	2	0	パケット・オーバラン・エラー割り込み要求発行許可の状態を示します。 0 : 許可しない 1 : 許可する
	W			パケット・オーバラン・エラー割り込み要求発行許可の設定をします。 1 : 割り込みマスク解除
DTVDMA_ EN	R	1	0	DMA 完了割り込み要求発行許可の状態を示します。 0 : 許可しない 1 : 許可する
	W			DMA 完了割り込み要求発行許可の設定をします。 1 : 割り込みマスク解除
DMAERR_ EN	R	0	0	転送エラー割り込み発行許可の状態を示します。 0 : 許可しない 1 : 許可する
	W			転送エラー割り込み発行許可の設定をします。 1 : 割り込みマスク解除

3.3.5 割り込みイネーブル・クリア・レジスタ

本レジスタ (DT_ENCLR : 4015_000CH) は割り込み要求の発行を禁止するレジスタです。本レジスタの割り込み要因に対応するビットを 1 にセットすると、割り込み要因が発生しても割り込み要求の発行を行いません。また、割り込みステータス・レジスタ (DT_STATUS) の対応するビットのステータスも変化しません。0 をセットしても何も変わりません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				DTVSTOP MASK	DTVOR MASK	DTVDMA MASK	DMAERR MASK

名称	R/W	ビット	リセット時	機能
Reserved	R	31:4	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTVSTOP MASK	W	3	0	DMA 停止割り込み発行禁止 1 : 禁止する
DTVOR MASK	W	2	0	パケット・オーバーラン・エラー割り込み要求発行禁止 1 : 禁止する
DTVDMA MASK	W	1	0	DMA 完了割り込み要求発行禁止 1 : 禁止する
DMAERR MASK	W	0	0	転送エラー割り込み発行禁止 1 : 禁止する

3.3.6 割り込み要因クリア・レジスタ

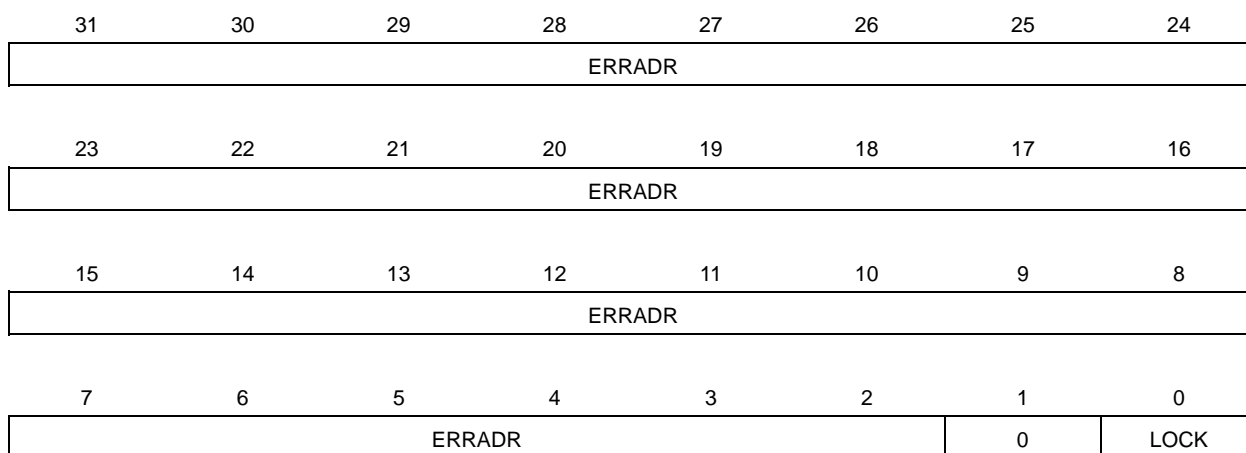
本レジスタ (DT_FFCLR : 4015_0010H) はライト・オンリー・レジスタです。割り込み要因に対応するビットを 1 にセットすると要因が解除されます。0 をセットしても何も変わりません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				DTVSTOP CLR	DTVOR CLR	DTVDMA CLR	DMAERR CLR

名称	R/W	ビット	リセット時	機能
Reserved	R	31:4	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTVSTOP CLR	W	3	0	DMA 停止割り込み要因クリア 1 : 要因をクリアする
DTVORCLR	W	2	0	パケット・オーバーラン・エラー割り込み要因クリア 1 : 要因をクリアする
DTVDMA CLR	W	1	0	DMA 完了割り込み要因クリア 1 : 要因をクリアする
DMAERR CLR	W	0	0	転送エラー割り込み要因クリア 1 : 要因をクリアする

3.3.7 エラー・アドレス・レジスタ

本レジスタ (DT_ERRORADR : 4015_0014H) は、DMA 転送中に内部バス・レスポンスの ERROR / RETRY / SPLIT 応答を受信すると、その時点のアドレス (HADDR) を保持します。



名称	R/W	ビット	リセット時	機能
ERRADR	R	31:2	0	エラー応答発生時の HADDR を格納します。
Reserved	R	1	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
LOCK	R	0	0	エラー・ステータス 0: エラー応答発生時に、アドレス格納状態 1: エラー応答が発生し、アドレスが格納された状態
	W			エラー・ステータス解除 0: 次のエラー応答発生時に、アドレス格納状態にします 1: 何も起こりません

注意 LOCK ビットが 0 に設定されている状態でエラー応答が発生すると、その時点の HADDR を ERRADR に格納し、同時に LOCK も 1 にセットされます。
再度取得したい場合は、LOCK を 0 にセットしてください。
LOCK に 1 をセットしても、何も変化しません。

3.3.8 転送コントロール・レジスタ

本レジスタ (DT_DMACNT : 4015_0020H) はデータ転送を制御するレジスタです。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT_DMAREQ) のリード値が 0H の状態)で行ってください。

DTVSP は起動後に必ず"1"に設定してください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved					DTVSP	DTVMODE	DTV ENDIAN

名称	R/W	ビット	リセット時	機能
Reserved	R	31:3	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTVSP	R/W	2	0	DTV ストリームのデータ・バス・タイプを設定します。 0 : バースト・パラレル (設定禁止) 1 : バースト・シリアル
DTVMODE	R/W	1	1	1 パケット・データ量を設定します。 0 : 同期フィールド+データ・フィールド転送 (188 バイト= 47 ワード) 1 : 同期フィールド+データ・フィールド+パリティ・フィールド転送 (204 バイト = 51 ワード)
DTVENDIAN	R/W	0	1	DTV ストリームのデータ・フォーマットを設定します。 0 : ビッグ・エンディアン 1 : リトル・エンディアン

3.3.9 転送要求レジスタ

本レジスタ (DT_DMAREQ : 4015_0024H) は DMA 転送の起動を設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DMAREQ

名称	R/W	ビット	リセット時	機能
Reserved	R	31:1	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DMAREQ	R	0	0	DMAREQ が受け付けられると本ビットが 1 にセットされます。 転送要求解除レジスタ (4015_0028H) をセットすることでクリアされます。
	W		-	1 をセットすることで DMA 転送要求を行います。 転送要求解除レジスタ (4015_0028H) をセットするまで DMA 転送を繰り返します。 0 を書き込んでも何も変化しません。

注意 DMA 転送要求時、データ転送はスタートアドレスから開始します。

3.3.10 転送要求解除レジスタ

本レジスタ (DT_DMASTOP : 4015_0028H) は, DMA の転送を停止させるレジスタです。本レジスタをセットすることで停止予約状態となり, パケット転送中の場合には転送後, 転送中でない場合には即座に DMA を停止します。DMA の停止は, 転送要求のステータスは, 転送要求レジスタ (DT_DMAREQ) をポーリングすることで確認できます。また, ステータス (転送要求レジスタのリード値) の立下り時には DMA 停止割り込みが発行されます。

本レジスタはライト・オンリーです。1 をセットすることで DMA 転送を終了します。0 を書き込んでも何も変化しません。

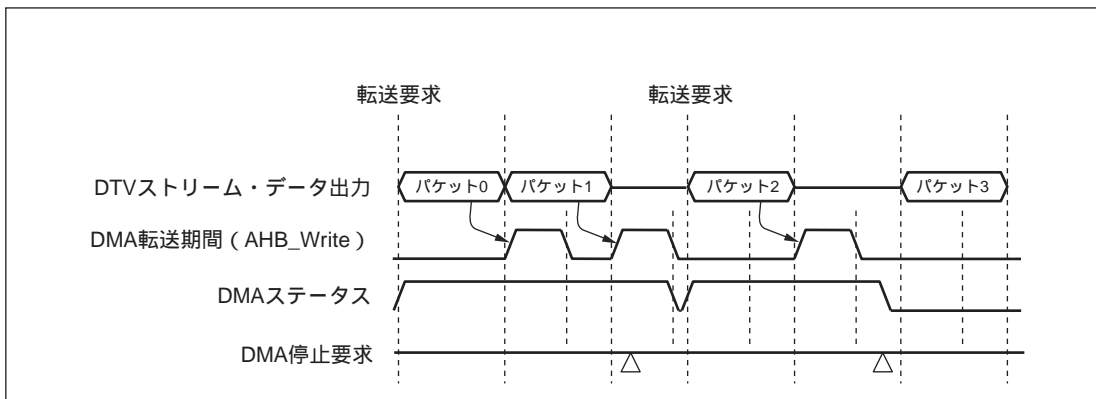
31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DMASTOP

名称	R/W	ビット	リセット時	機能
Reserved	W	31:1	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DMASTOP	W	0	0	DMA 転送を停止します。 1 : 転送停止 DMA 転送中の場合はそのパケット終了後に, DMA 転送中でない場合は即時終了します。

注意 1) DMA 停止割り込み後、DMA を再開する (転送要求レジスタセット) までに、DTVCLK の 10 周期分は間隔を空けて下さい。

注意 2) DMA 停止要求確定時点までに有効データ長分そろったパケットデータがメモリに転送されます。有効データ長に満たないバッファリング途中のデータは破棄されます。

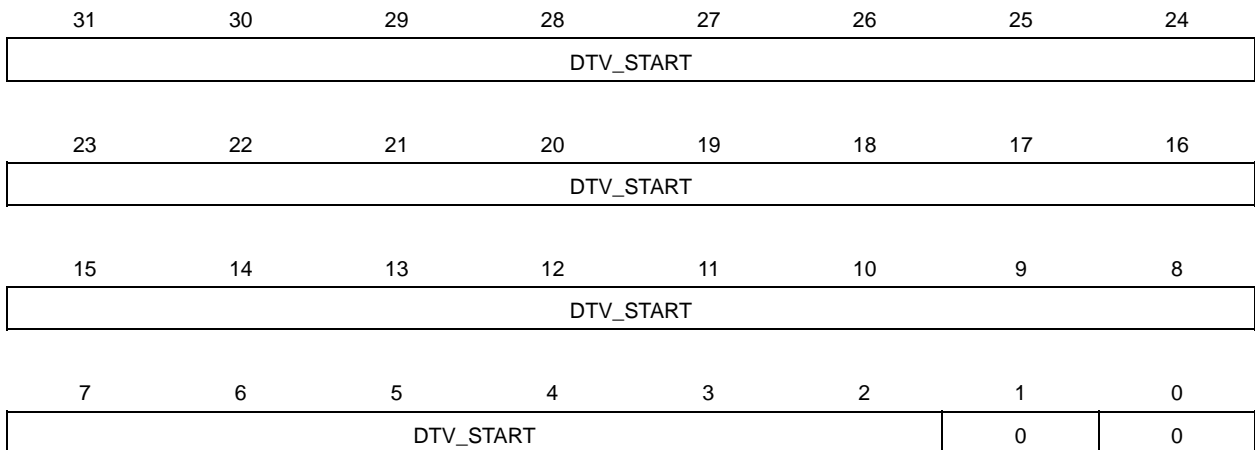
図 3 - 2 DMA 停止タイミング



3.3.11 スタート・アドレス・レジスタ

本レジスタ (DT_START : 4015_002CH) は、DMA 転送の転送先開始アドレスを設定するレジスタです。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT_DMAREQ) のリード値が 0H の状態)で行ってください。

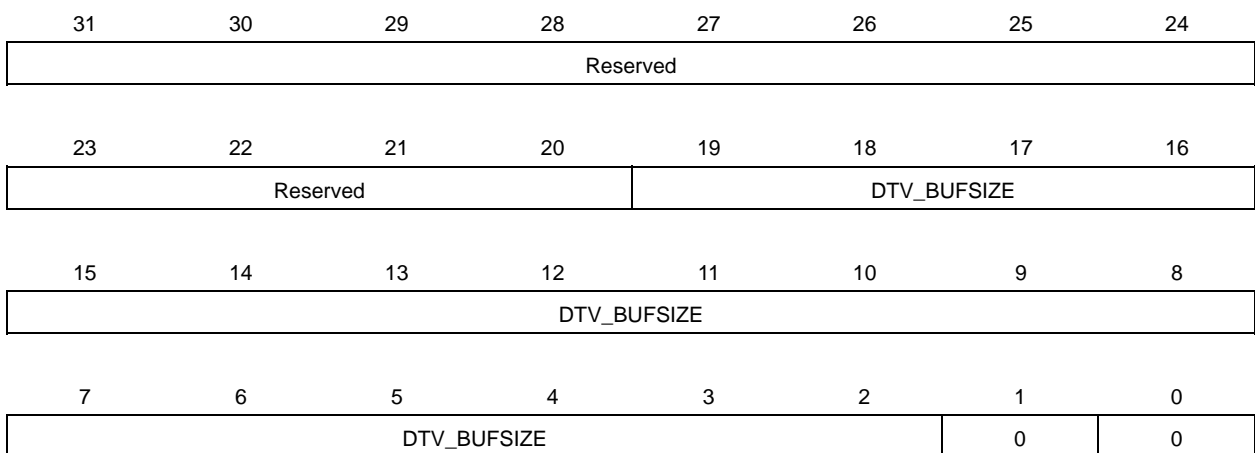


名称	R/W	ビット	リセット時	機能
DTV_START	R/W	31:0	0	DMA 転送先開始アドレスを指定します (下位 2 ビットは 0 固定です)。

3.3.12 バッファ・サイズ・レジスタ

本レジスタ (DT_BUFSIZE : 4015_0030H) は、DMA 転送の転送先領域サイズをパケット数単位で設定するレジスタです。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT_DMAREQ) のリード値が 0H の状態)で行ってください。



名称	R/W	ビット	リセット時	機能
Reserved	R	31:20	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTV_BUFSIZE	R/W	19:0	0	DMA 転送先領域のサイズを、パケット数単位で指定します (下位 2 ビットは 0 固定です)。

3.3.13 ブランク・サイズ・レジスタ

本レジスタ (DTV_BLANK : 4015_0034H) は、DMA 転送時のパケット間のブランク・サイズを設定するレジスタです。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT_DMAREQ) のリード値が 0H の状態) で行ってください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DTV_BLANK						0	0

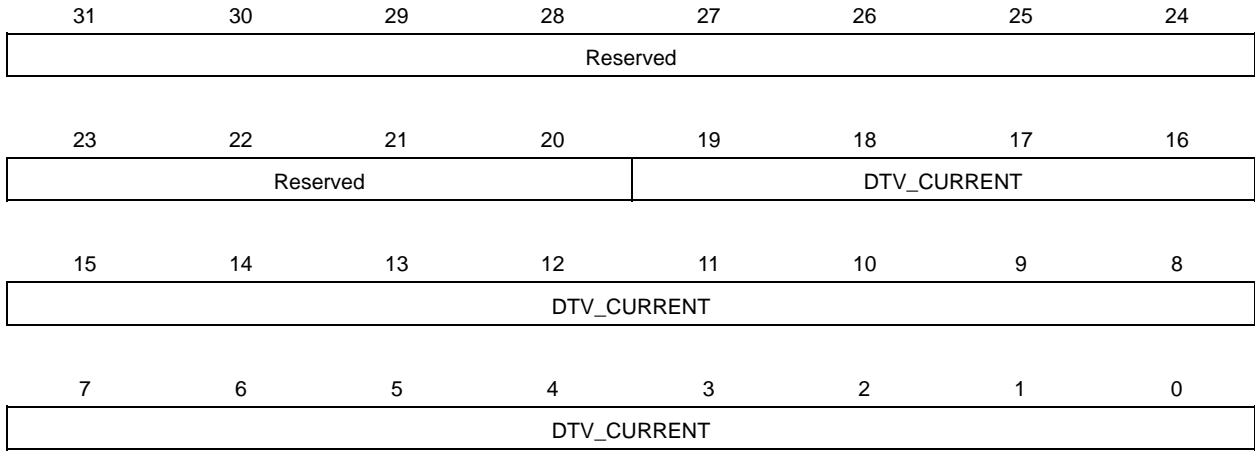
名称	R/W	ビット	リセット時	機能
Reserved	R	31:8	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTV_BLANK	R/W	7:0	0	パケット間ブランク・サイズ値を指定します (下位 2 ビットは 0 を設定してください)。

3.3.14 カレント・パケット・レジスタ

本レジスタ (DT_CURRENT : 4015_0038H) は, DMA 転送が完了したパケット数を示すレジスタです。

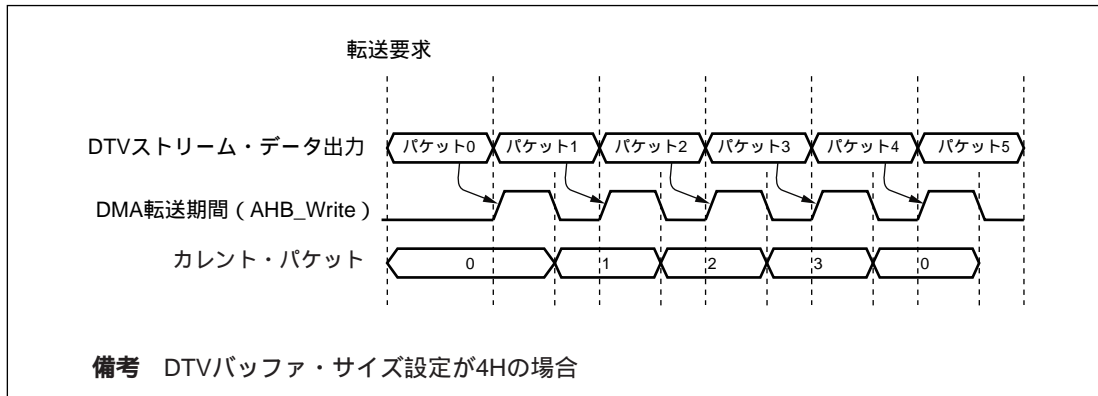
0 から DT_BUFSIZE レジスタで設定された値 - 1 までの値を示します。

設定値の変更は, DMA 転送が行われていない状態 (転送要求レジスタ (DT_DMAREQ) のリード値が 0H の状態) で行ってください。



名称	R/W	ビット	リセット時	機能
Reserved	R	31:20	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTV_CURRENT	R	19:0	0	DMA 転送が完了したパケット数 - 1 を格納します。

図 3-3 カレント・パケット・レジスタ値

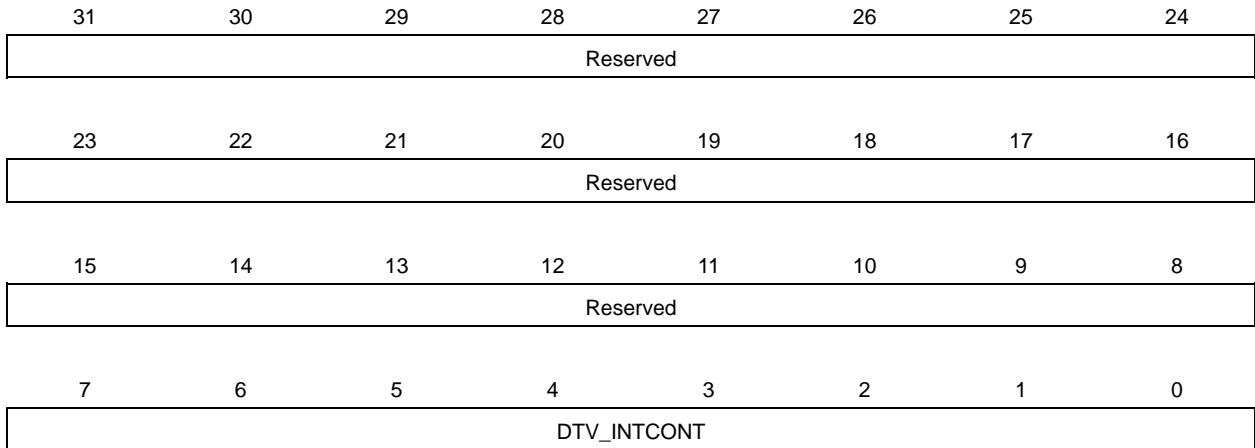


注意 カウント値は DT_DMAREQ=1 の間のみカウント値有効です。DT_DMAREQ=0 の間は 0 になります。

3.3.15 DMA完了割り込み設定レジスタ

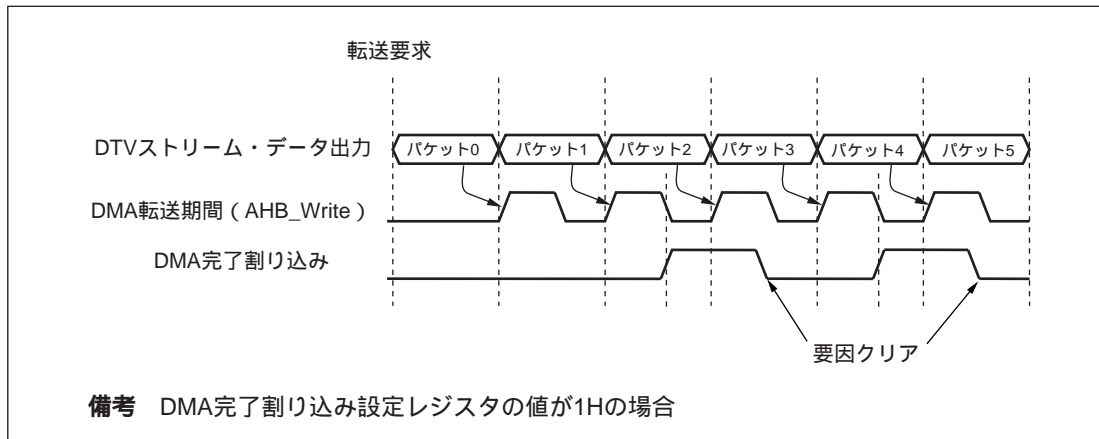
本レジスタ (DT_INTCONT : 4015_003CH) は、DMA 完了割り込みを発行する周期を設定するレジスタです。DMA からの転送完了割り込みはパケット単位で発行されます。本レジスタで設定した値 + 1 パケットの DMA 転送が完了するごとに DMA 完了割り込みを発行します。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT_DMAREQ) のリード値が 0H の状態)で行ってください。



名称	R/W	ビット	リセット時	機能
Reserved	R	31:8	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
DTV_INTCONT	R/W	7:0	0	DMA 転送完了割り込みを発行する周期をパケット単位で指定します。設定された値 + 1 のパケット受信ごとに割り込みを発行します。

図 3 - 4 DTV I/F DMA 完了割り込みセット・タイミング



3.3.16 モジュール制御レジスタ

本レジスタ (DT_MODULECONT : 4015_0040H) は, DTV_BCLK に同期したデータの取り込み回路の動作を初期化します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							HW_RSTZ

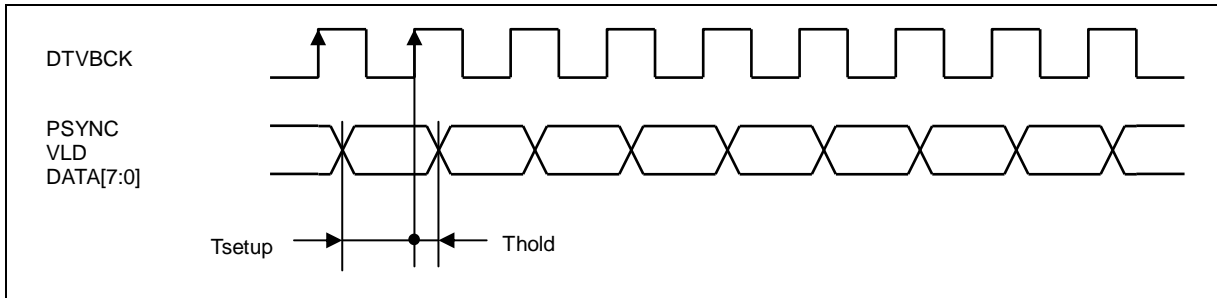
名称	R/W	ビット	リセット時	機能
Reserved	R	31:1	0	予約。0 以外書き込まないでください。1 を書き込むと不正動作します。
HW_RSTZ	R/W	0	0	ハードウェア・リセット DTV_BCLK に同期したデータの取り込み回路の動作を初期化します。 0 : リセット 1 : リセット解除

3.4 機能詳細

3.4.1 入力信号タイミング

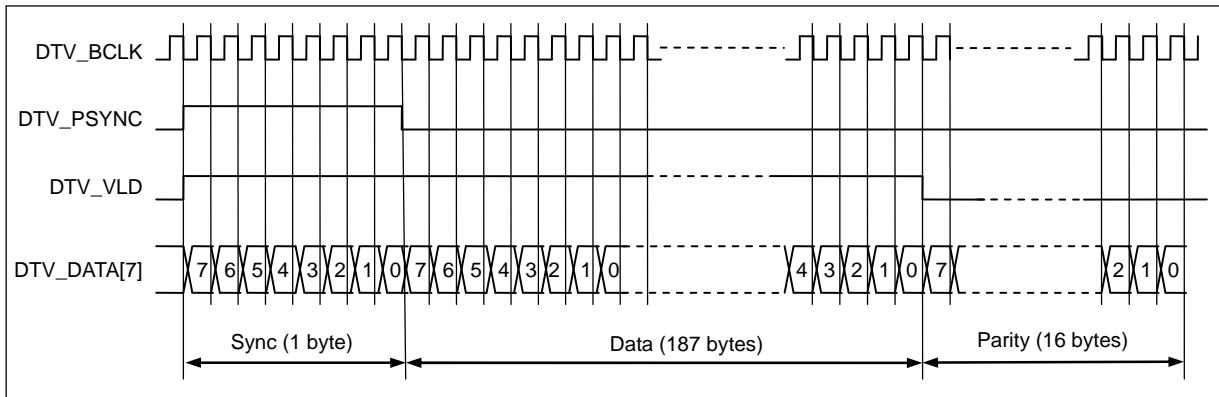
(1) DTV I/F 用信号タイミング

図 3 - 5 DTV I/F 信号タイミング



(2) ストリーム・タイミング

図 3 - 6 ストリーム・タイミング (パースト・シリアル)



注意 パリティ・フィールドの受信を行う場合は、パケットとパケットの間に DTV_BCLK で最低 2 サイクル分のブランク期間が必要です。

3.4.2 データ・フォーマット

図 3-7 ストリーム・データ格納フォーマット

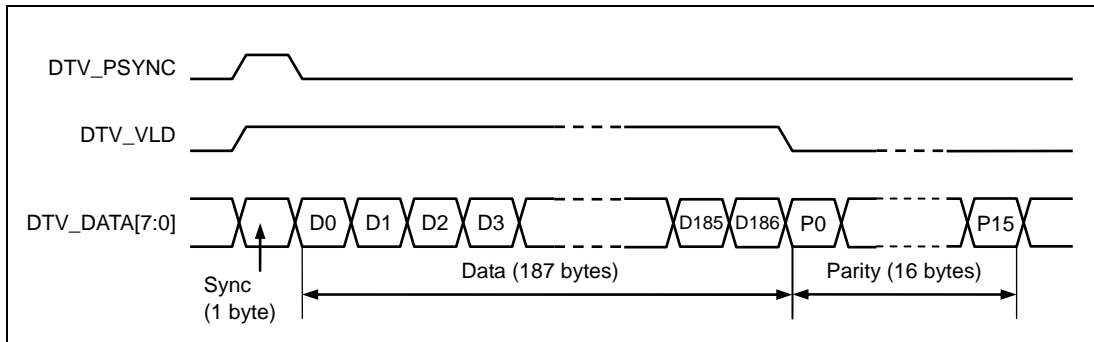


図 3-7 のように入力されたデータは、転送コントロール・レジスタ (DT_DMACNT) のDTVENDIANビットの設定値により、次のフォーマットでメモリに格納されます。

ビット・アラインメント	31-24	23-16	15-8	7-0	31-24	23-16	15-8	7-0
50ワード	P15	P14	P13	P12	P14	P15	P12	P13
49ワード	P11	P10	P9	P8	P10	P11	P8	P9
48ワード	P7	P6	P5	P4	P6	P7	P4	P5
47ワード	P3	P2	P1	P0	P2	P3	P0	P1
46ワード	D186	D185	D184	D183	D185	D186	D183	D184
	:	:	:	:	:	:	:	:
3ワード	D14	D13	D12	D11	D13	D14	D11	D12
2ワード	D10	D9	D8	D7	D9	D10	D7	D8
1ワード	D6	D5	D4	D3	D5	D6	D3	D4
0ワード	D2	D1	D0	Sync	D1	D2	Sync	D0

Little Endian

Big Endian

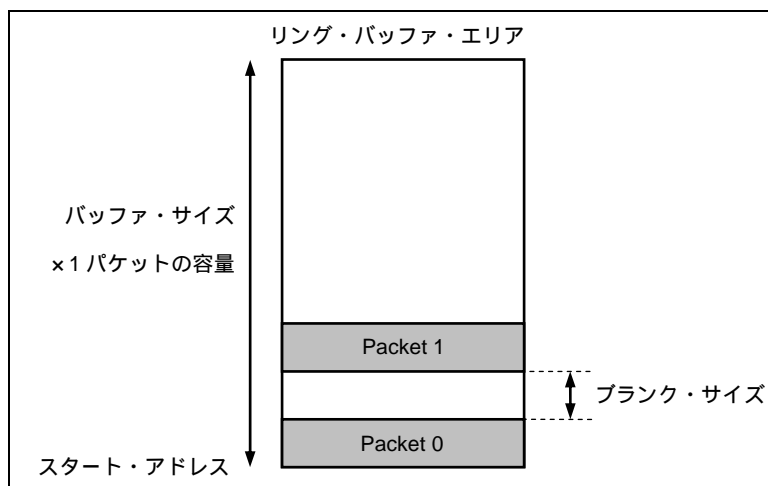
3.4.3 DTV転送処理

ストリーム・データをメモリ上に指定したバッファ領域にパケット単位に転送します。バッファはリング・バッファ形式として使用し、指定されたパケット数のデータを格納すると、バッファの先頭に戻ります。

バッファに関する設定は次の3レジスタで行います。

- ・スタート・アドレス (32 ビット) : リング・バッファの開始アドレス
- ・バッファ・サイズ (20 ビット) : リング・バッファ領域をパケット・カウント数で指定
- ・ブランク・サイズ (8 ビット) : パケット間のブランク・サイズ

図 3-8 リング・バッファ・マッピング



1 パケット・データの有効サイズは、転送コントロール・レジスタ (DT_DMACNT) の DTVMODE ビットにより 188 バイトまたは 204 バイトで設定されます。

バッファにマッピングされる、1 パケット単位の容量は DTVMODE ビットにより選択された有効サイズ + ブランク・サイズとなります。リング・バッファの総容量は、前述の 1 パケットの容量 × バッファ・サイズになります。

3.4.4 割り込み制御

DTV I/F は 4 種類の割り込みを発行します。

各割り込みの制御は、割り込みステータス・レジスタの各ビットに割り当てています。詳細は 表 3 - 1を参照してください。

表 3 - 1 割り込み要因一覧

割り込み名	要 因	ビット・アサイン
DMA 停止割り込み	DMA 転送が停止した場合に割り込みを発行します。	DT_STATUS [3] : DTVSTOP
パケット・オーバラン	内部バッファがオーバランした場合に割り込みを発行します。	DT_STATUS [2] : DTVOR
DMA 完了割り込み	設定されたパケット数の DMA を完了するごとに割り込みを発行します。	DT_STATUS [1] : DTVDMA
転送エラー割り込み	内部バス転送中に ERROR 応答を受信すると割り込みを発行します。	DT_STATUS [0] : DMAERR

(1) 転送エラー割り込み

内部バス転送中に ERROR 応答を受信すると割り込みを発生します。

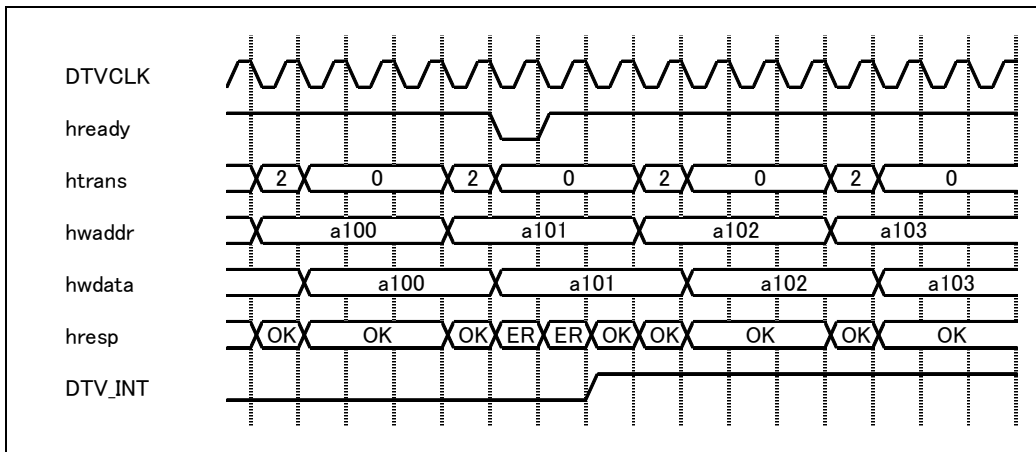


図 3-9 転送エラー時割り込みタイミング

(2) DMA 完了割り込み

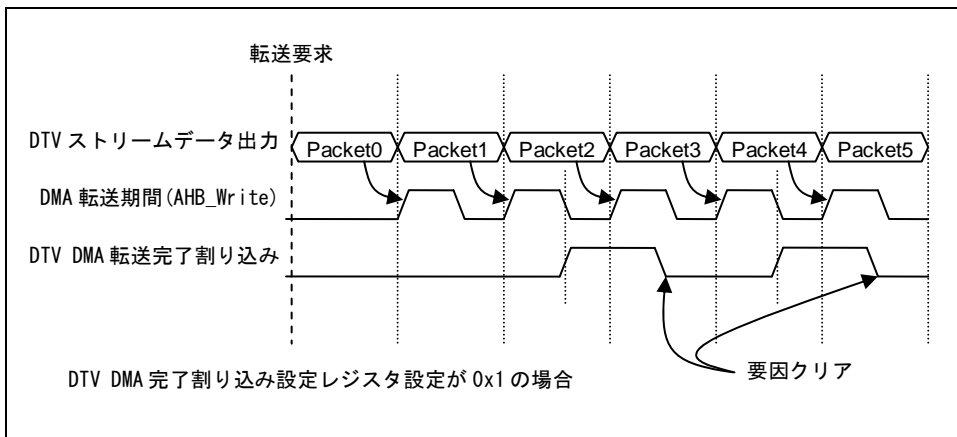


図 3 - 10 DMA 完了割り込みタイミング

(3) パケット・オーバーラン割り込み

DTV I/F は、内部メモリ (32 ビット×128 ワード) を 2 バンク構成のバッファとして使用します。パケットごとにバンクを切り替えてバッファリングし、取り込みが完了したバンクのデータをメモリへ DMA 転送します。

DTV のストリーム・データは、1 パケット・データの取り込み期間中に直前のパケット・データの DMA 転送が完了しない場合をパケット・オーバーランと定義しています。パケット・オーバーランが発生すると、ただちに割り込み要因レジスタの該当するビットをセットします。

パケット・オーバーランが発生した場合、チャンネル・デコーダ LSI から入力されるパケット・データと、リング・バッファに格納される領域に不整合が発生します。この場合、一度 DMA を終了させ、内部バスの帯域を十分に確保した状態で、再度取り込みを開始してください。

(4) DMA 停止割り込み

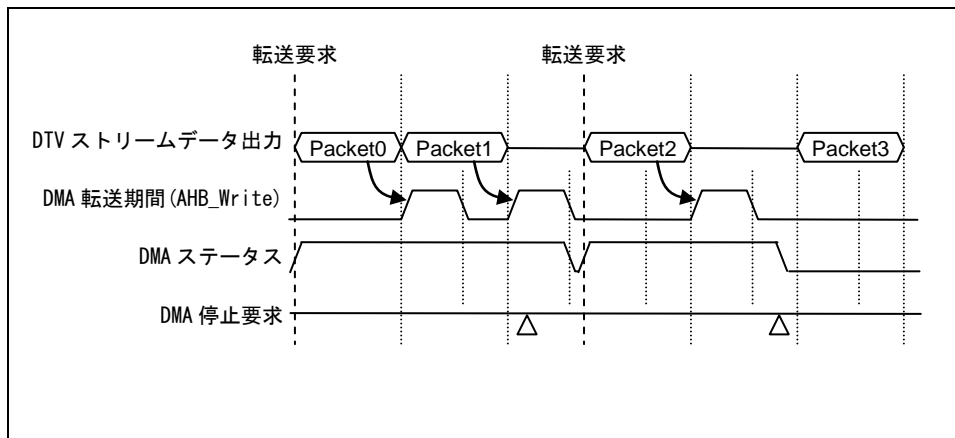


図 3 - 11 DMA 停止割り込みタイミング

注意：DMA 停止割り込み後、DMA を再開する（転送要求レジスタセット）までに、DTVCLK の 10 周期分の間隔を空けてください。

3.4.5 クロック制御

EM1 では省電力設計のため、内部バス・クロックの供給を各モジュールが制御します。

内部バス・クロックはモジュールからのクロック要求時、およびレジスタ・アクセス時にも供給されます。

DTV I/F では、レジスタ・アクセスにより DMA 転送要求がセットされるとクロック供給要求をセットし、転送要求がない状態、かつ転送中の DMA が終了するとクロック供給要求を解除します。

(1) DTV I/F で利用するクロック

(a) DTV_BCLK (外部入力クロック)

DTV 用データ・クロック、データの取り込みに使用します。

(b) DTV_CLK (DTV 内部クロック)

AHB バス・クロック、DTV の内部動作に使用されます。

(c) DTV_PCLK (APB クロック)

APB バス・アクセス (レジスタ・アクセス) に使用されます。

クロック/リセットの設定については、**携帯マルチメディア・プロセッサ ユーザーズ・マニュアル システム制御/汎用入出力インタフェース編 (S19265J)** を参照してください。

(2) DTV_CLKREQ セットタイミング

DTV 転送要求レジスタがセットされた場合

(3) DTV_CLKREQ クリアタイミング

DTV 転送要求解除がセットされパケット単位の DMA 転送が完了した場合

(4) DTV_SWT_CLKREQ 出力タイミング

バススイッチ用の CLKREQ として、トランザクションに対して 1CLK 先行した信号を出力します。

信号の立ち上がりはトランザクションの 1CLK 先行であり、立下りはデータフェーズの終了タイミングです。

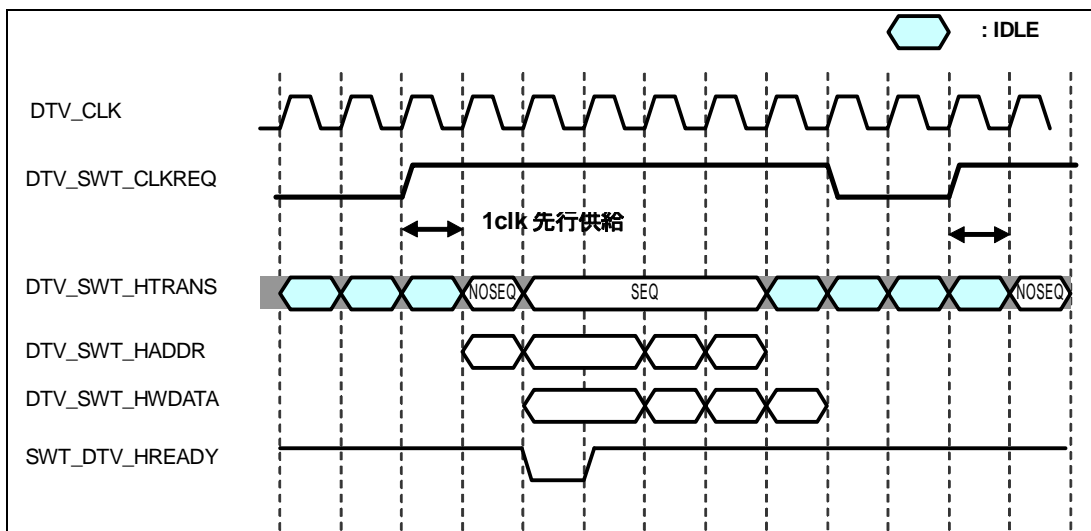


図 3 - 12 DTV_SWT_CLKREQ タイミング

(5) クロックの制限

外部クロックと内部クロック間でのデータ引渡しは ,DTV_BCLK の 32 クロックに対して ,DTV_CLK が 3 クロック必要です。

$$32 / \text{DTV_BCLK} > 3 / \text{DTV_CLK}$$

$$\text{DTV_CLK} > 0.093 * \text{DTV_BCLK}$$

注意：クロック切り替え等においてクロック停止期間が発生する場合でも周波数に換算して正常動作可否を判断してください。

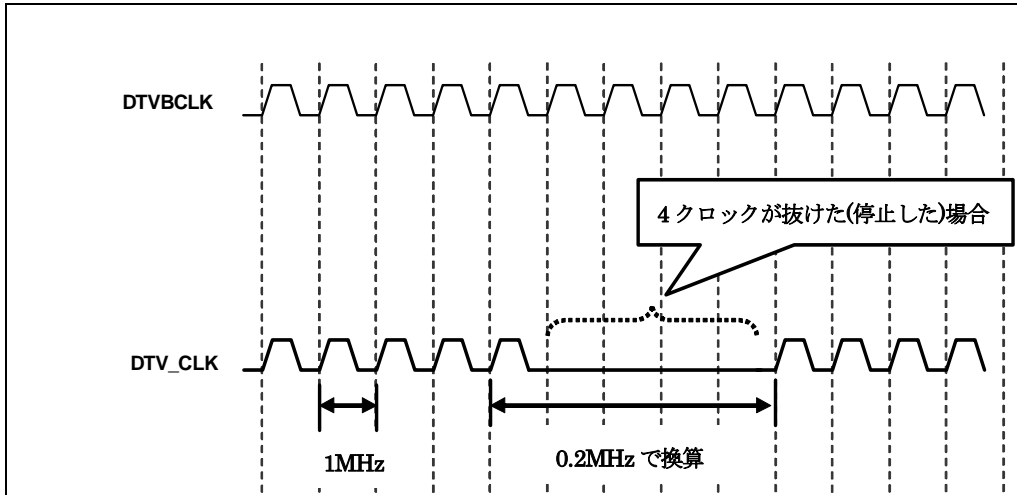


図 3 - 13 DTV_CLK と DTV_BCLK の周波数換算

(6) DTV_BCLK と入力データの関係について

DTV_BCLK は、有効データ領域外も下記のケースでは供給が必要です。

DMA 起動 (DMAREQ レジスタ) 直後の先頭パケットが入力される前に 5 クロック以上が必要です。

パケット間に 10 クロック以上が必要です。

先頭パケット前のクロックはデータ取り込み準備のためであり、パケット間のクロックは取り込みデータを DTV_BCLK から AHB クロックに引き渡すために必要です。

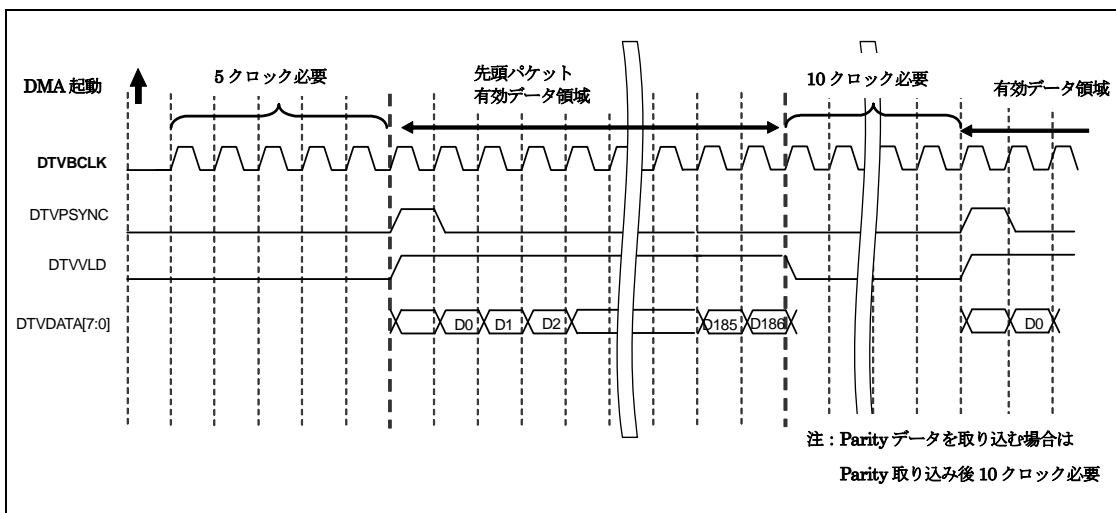


図 3 - 14 DTV_BCLK と入力データの関係

3.4.6 同期ずれからの復帰方法

(1) 起動タイミングによるビットずれ

DMA 起動 (DMAREQ) タイミングが DTVPSYNC 入力の H 期間 (8 クロック間) に重なると、取り込みデータにビットずれが発生します。

ビットずれが発生すると、DMA 起動後の先頭パケットデータは、本来の byte 境界ではないデータ単位で転送されます。それを回避するため、DMA 起動後の先頭パケットデータは、Sync コードのチェックを行ってビットずれがないことを確認してください。Sync コードで無い場合はビットずれが発生していますのでパケットデータを破棄してください。

次パケット以降は、ビットずれが自動で解消され、正常な byte 境界で転送されます。

(2) 規定外入力による同期ずれからの復帰

クロックにノイズが発生するなどしてクロック (DTVBCLK) が正しく供給されない場合や、規定された入力タイミングとは異なる入力となった場合は、同期がずれて、正しくデータ転送できない場合があります。

次の処理によって同期ずれから復帰してください。尚、回路内に保持しているデータは破棄されます。

- ①パケットデータの先頭 1byte データをチェックして同期ずれを判定
- ②DMA 転送ストップ (DMASTOP レジスタ)
- ③DMA 停止割り込みを確認する
- ④MODULECONT レジスタの HW_RSTZ でリセット (注)
- ⑤MODULECONT レジスタの HW_RSTZ でリセット解除
- ⑥DMA 転送の再起動 (DMAREQ レジスタ)

(注) HW_RSTZ は、DTV_IF 部 (DTVBCLK で動作する回路) のみ初期化を行なうため、レジスタ設定は保持されます。レジスタの再設定は必要ありません。

第4章 DTV2 詳細

4.1 機能ブロック図

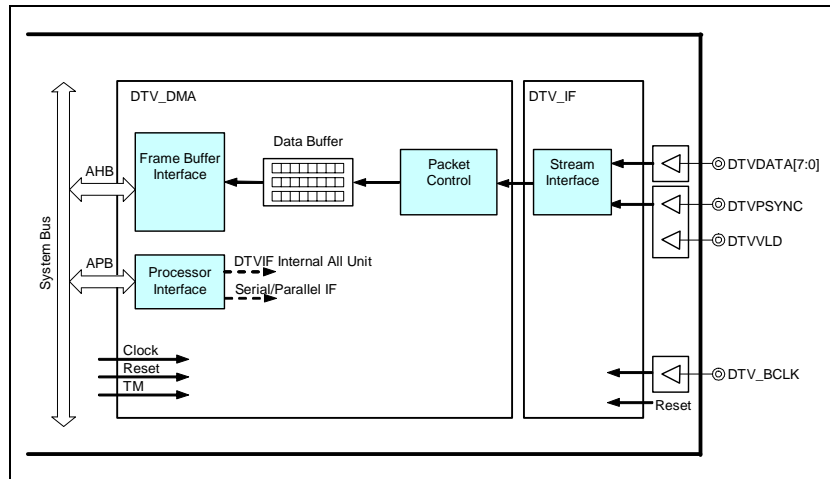


図 4 - 1 DTV2 部機能ブロック図

4.2 レジスタ一覧

Reserved レジスタへのアクセスは行わないでください。

各レジスタ内の Reserved ビットへの書き込みは無視されます。

ベース・アドレス：4015_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0200H	DTV / DTV2 切り替えレジスタ	DT_SWITCH	R/W	0000_0000H

下記レジスタは DTV/DTV2 切り替えレジスタ DT_SWITCH=1 により使用可能となります。

アドレス 4015_0000H から 4015_0040H は DTV と重複していますが、DT_SWITCH=1 のとき、レジスタ操作は DTV2 レジスタのみに反映されます。

ベース・アドレス：4015_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	割り込みステータス・レジスタ	DT2_STATUS	R	0000_0000H
0004H	割り込み Raw ステータス・レジスタ	DT2_RAWSTATUS	R	0000_0000H
0008H	割り込みイネーブル・セット・レジスタ	DT2_ENSET	R/W	0000_0000H
000CH	割り込みイネーブル・クリア・レジスタ	DT2_ENCLR	W	0000_0000H
0010H	割り込み要因クリア・レジスタ	DT2_FFCLR	W	0000_0000H
0014H	エラー・アドレス・レジスタ	DT2_ERRORADR	R/W	0000_0000H
0020H	転送コントロール・レジスタ	DT2_DMACNT	R/W	0000_0003H
0024H	転送要求レジスタ	DT2_DMAREQ	R/W	0000_0000H
0028H	転送要求解除レジスタ	DT2_DMASTOP	W	0000_0000H
002CH	スタート・アドレス・レジスタ	DT2_START	R/W	0000_0000H
0030H	バッファ・サイズ・レジスタ	DT2_BUFSIZE	R/W	0000_0000H
0034H	ブランク・サイズ・レジスタ	DT2_BLANK	R/W	0000_0000H
0038H	カレント・パケット・レジスタ	DT2_CURRENT	R	0000_0000H
003CH	DMA 完了割り込み設定レジスタ	DT2_INTCONT	R/W	0000_0000H
0040H	モジュール制御レジスタ	DT2_MODULECONT	R/W	0000_0000H
0044H	DTVPSYNC/DTVVD 極性指定レジスタ	DT2_SIGNALINVERT	R/W	0000_0000H
0048H	入力端子状態モニタレジスタ	DT2_MONITOR	R	0000_0000H

4.3 レジスタ機能

4.3.1 DTV/DTV2 切り替えレジスタ

本レジスタ (DT_SWITCH : 4015_0200H) は DTV と DTV2 を排他的に切り替えます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							SWITCH

名称	R/W	ビット	リセット時	機能
Reserved	R	31:1	0	予約。読み込みは不定値を返します。書き込みは無視されます。
SWITCH	R/2	0	0	DTV/DTV2 切り替え 0 : DTV 1 : DTV2

4.3.2 割り込みステータス・レジスタ

本レジスタ (DT2_STATUS : 4015_0000H) はリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタ (DT2_ENSET) でイネーブルにセットされている割り込み要因のステータスが確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	DTVLP	DTVSP	DTVSYNC	DTVSTOP	DTVOR	DTVDMA	DMAERR

名称	R/W	ビット	リセット時	機能
Reserved	R	31:7	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVLP	R	6	0	パケット長超過 1つのパケットが188byteあるいは204byteを超えた場合に割り込みを発生します。
DTVSP	R	5	0	パケット長不足 転送データが SyncByte を含み ,かつ ,直前のパケットデータの転送量が187byte以下あるいは203byte以下の場合に割り込みを発生します。
DTVSYNC	R	4	0	不正 SyncByte SyncByte の値が 47H あるいは B8H 以外の場合に割り込みを発生します。
DTVSTOP	R	3	0	DMA 停止割り込み DMA が停止した場合に割り込みを発生します。
DTVOR	R	2	0	パケット・オーバーラン・エラー 内部バッファがオーバーランした場合に割り込みを発生します。
DTVDMA	R	1	0	DMA 完了割り込み DMA 完了割り込み設定レジスタ(4015_003CH)で設定されたパケット数のDMA転送が完了するごとに割り込みを発生します。
DMAERR	R	0	0	転送エラー割り込み 内部バス転送中にエラー応答を受信すると割り込みを発生します。 転送禁止領域へのライト動作などの禁止動作が原因で発生します。

4.3.3 割り込みRawステータス・レジスタ

本レジスタ (DT2_RAWSTATUS : 4015_0004H) はリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタ (DT2_ENSET) の設定に関係なく割り込み要因のステータスが確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	DTVLP RAW	DTVSP RAW	DTVSYNC RAW	DTVSTOP RAW	DTVOR RAW	DTVDMA RAW	DMAERR RAW

名称	R/W	ビット	リセット時	機能
Reserved	R	31:7	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVLPRAW	R	6	0	パケット長超過 1つのパケットが188byteあるいは204byteを超えた場合に割り込みを発生します。
DTVSPRAW	R	5	0	パケット長不足 転送データが SyncByte を含み、かつ、直前のパケットデータの転送量が187byte以下あるいは203byte以下の場合に割り込みを発生します。
DTVSYNCR AW	R	4	0	不正 SyncByte SyncByte の値が 47H あるいは B8H 以外の場合に割り込みを発生します。
DTVSTOP RAW	R	3	0	DMA 停止割り込み DMA が停止した場合に割り込みを発生します。
DTVOR RAW	R	2	0	パケット・オーバラン・エラー 内部バッファがオーバランした場合に割り込みを発生します。
DTVDMA RAW	R	1	0	DMA 完了割り込み DMA 完了割り込み設定レジスタ(4015_003CH)で設定されたパケット数の DMA 転送が完了するごとに割り込みを発生します。
DMAERR RAW	R	0	0	転送エラー割り込み 内部バス転送中にエラー応答を受信すると割り込みを発生します。 転送禁止領域へのライト動作などの禁止動作が原因で発生します。

4.3.4 割り込みイネーブル・セット・レジスタ

本レジスタ (DT2_ENSET : 4015_0008H) は割り込み要求の発行を許可するレジスタです。本レジスタの割り込み要因に対応するビットを 1 にセットすると割り込み要因がセットされることにより、割り込み要求を発行して割り込みステータス・レジスタ (DT2_STATUS) の対応するビットを 1 にセットします。0 が書き込まれても何も変化しません。また、本レジスタを読み出すことにより、割り込み要求発行許可の状態が確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	DTVLP_EN	DTVSP_EN	DTVSYNC_EN	DTVSTOP_EN	DTVOR_EN	DTVDMA_EN	DMAERR_EN

(1/2)

名称	R/W	ビット	リセット時	機能
Reserved	R	31:7	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVLP_EN	R	6	0	パケット長超過割り込み発行許可の状態を示します。 0: 許可しない 1: 許可する
	W			パケット長超過割り込み発行許可の設定をします。 1: 割り込みマスク解除
DTVSP_EN	R	5	0	パケット長不足割り込み発行許可の状態を示します。 0: 許可しない 1: 許可する
	W			パケット長不足割り込み発行許可の設定をします。 1: 割り込みマスク解除
DTVSYNC_EN	R	4	0	不正 SyncByte 割り込み発行許可の状態を示します。 0: 許可しない 1: 許可する
	W			不正 SyncByte 割り込み発行許可の設定をします。 1: 割り込みマスク解除
DTVSTOP_EN	R	3	0	DMA 停止割り込み発行許可の状態を示します。 0: 許可しない 1: 許可する
	W			DMA 停止割り込み発行許可の設定をします。 1: 割り込みマスク解除
DTVOR_EN	R	2	0	パケット・オーバーラン・エラー割り込み要求発行許可の状態を示します。 0: 許可しない 1: 許可する
	W			パケット・オーバーラン・エラー割り込み要求発行許可の設定をします。 1: 割り込みマスク解除
DTVDMA_EN	R	1	0	DMA 完了割り込み要求発行許可の状態を示します。 0: 許可しない 1: 許可する
	W			DMA 完了割り込み要求発行許可の設定をします。 1: 割り込みマスク解除

名称	R/W	ビット	リセット時	機能
DMAERR_ EN	R	0	0	転送エラー割り込み発行許可の状態を示します。 0：許可しない 1：許可する
	W			転送エラー割り込み発行許可の設定をします。 1：割り込みマスク解除

4.3.5 割り込みイネーブル・クリア・レジスタ

本レジスタ (DT2_ENCLR : 4015_000CH) は割り込み要求の発行を禁止するレジスタです。本レジスタの割り込み要因に対応するビットを 1 にセットすると、割り込み要因が発生しても割り込み要求の発行を行いません。また、割り込みステータス・レジスタ (DT2_STATUS) の対応するビットのステータスも変化しません。0 をセットしても何も変わりません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	DTVLP MASK	DTVSP MASK	DTVSYNC MASK	DTVSTOP MASK	DTVOR MASK	DTVDMA MASK	DMAERR MASK

名称	R/W	ビット	リセット時	機能
Reserved	R	31:7	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVLP MASK	W	6	0	パケット長超過割り込み発行禁止 1: 禁止する
DTVSP MASK	W	5	0	パケット長不足割り込み発行禁止 1: 禁止する
DTVSYNC MASK	W	4	0	不正 SyncByte 割り込み発行禁止 1: 禁止する
DTVSTOP MASK	W	3	0	DMA 停止割り込み発行禁止 1: 禁止する
DTVOR MASK	W	2	0	パケット・オーバーラン・エラー割り込み要求発行禁止 1: 禁止する
DTVDMA MASK	W	1	0	DMA 完了割り込み要求発行禁止 1: 禁止する
DMAERR MASK	W	0	0	転送エラー割り込み発行禁止 1: 禁止する

4.3.6 割り込み要因クリア・レジスタ

本レジスタ (DT2_FFCLR : 4015_0010H) はライト・オンリー・レジスタです。割り込み要因に対応するビットを 1 にセットすると要因が解除されます。0 をセットしても何も変わりません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	DTVLP CLR	DTVSP CLR	DTVSYNC CLR	DTVSTOP CLR	DTVOR CLR	DTVDMA CLR	DMAERR CLR

名称	R/W	ビット	リセット時	機能
Reserved	R	31:7	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVLPCLR	W	6	0	パケット長超過割り込み要因クリア 1: 要因をクリアする
DTVSPCLR	W	5	0	パケット長不足割り込み要因クリア 1: 要因をクリアする
DTVSYNCCLR	W	4	0	不正 SyncByte 割り込み要因クリア 1: 要因をクリアする
DTVSTOPCLR	W	3	0	DMA 停止割り込み要因クリア 1: 要因をクリアする
DTVORCLR	W	2	0	パケット・オーバーラン・エラー割り込み要因クリア 1: 要因をクリアする
DTVDMACLR	W	1	0	DMA 完了割り込み要因クリア 1: 要因をクリアする
DMAERRCLR	W	0	0	転送エラー割り込み要因クリア 1: 要因をクリアする

4.3.7 エラー・アドレス・レジスタ

本レジスタ (DT2_ERRORADR : 4015_0014H) は、DMA 転送中に内部バス・レスポンスの ERROR / RETRY / SPLIT 応答を受信すると、その時点のアドレス (HADDR) を保持します。

31	30	29	28	27	26	25	24
ERRADR							
23	22	21	20	19	18	17	16
ERRADR							
15	14	13	12	11	10	9	8
ERRADR							
7	6	5	4	3	2	1	0
ERRADR						0	LOCK

名称	R/W	ビット	リセット時	機能
ERRADR	R	31:2	0	エラー応答発生時の HADDR を格納します。
Reserved	R	1	0	予約。読み込みは不定値を返します。書き込みは無視されます。
LOCK	R	0	0	エラー・ステータス 0: エラー応答発生時に、アドレス格納状態 1: エラー応答が発生し、アドレスが格納された状態
	W			エラー・ステータス解除 0: 次のエラー応答発生時に、アドレス格納状態にします 1: 何も起こりません

注意 LOCK ビットが 0 に設定されている状態でエラー応答が発生すると、その時点の HADDR を ERRADR に格納し、同時に LOCK も 1 にセットされます。

再度取得したい場合は、LOCK を 0 にセットしてください。

LOCK に 1 をセットしても、何も変化しません。

4.3.8 転送コントロール・レジスタ

本レジスタ (DT2_DMACNT : 4015_0020H) はデータ転送を制御するレジスタです。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT2_DMAREQ) のリード値が 0H の状態)で行ってください。

DTVSP は起動後に必ず"1"に設定してください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved					DTVSP	DTVMODE	DTV ENDIAN

名称	R/W	ビット	リセット時	機能
Reserved	R	31:3	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVSP	R/W	2	0	DTV ストリームのデータ・バス・タイプを設定します。 0: バースト・パラレル (設定禁止) 1: バースト・シリアル
DTVMODE	R/W	1	1	1 パケット・データ量を設定します。 0: 同期フィールド+データ・フィールド転送 (188 バイト= 47 ワード) 1: 同期フィールド+データ・フィールド+パリティ・フィールド転送 (204 バイト = 51 ワード)
DTVENDIAN	R/W	0	1	DTV ストリームのデータ・フォーマットを設定します。 0: ビッグ・エンディアン 1: リトル・エンディアン

4.3.9 転送要求レジスタ

本レジスタ (DT2_DMAREQ : 4015_0024H) は DMA 転送の起動を設定するレジスタです。

本レジスタに 1 をセットした後, DMA 転送が開始するまで本レジスタのリード値は 0 です。DMA 転送が開始するとリード値は 1 に変化します。転送解除要求レジスタに 1 がセットされ, DMA 転送が停止すると本レジスタのリード値は 0 に変化します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DMAREQ

名称	R/W	ビット	リセット時	機能
Reserved	R	31:1	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DMAREQ	R	0	0	DMAREQ が受け付けられると本ビットが 1 にセットされます。転送要求解除レジスタ (4015_0028H) をセットすることでクリアされます。
	W		-	1 をセットすることで DMA 転送要求を行います。転送要求解除レジスタ (4015_0028H) をセットするまで DMA 転送を繰り返します。0 を書き込んでも何も変化しません。

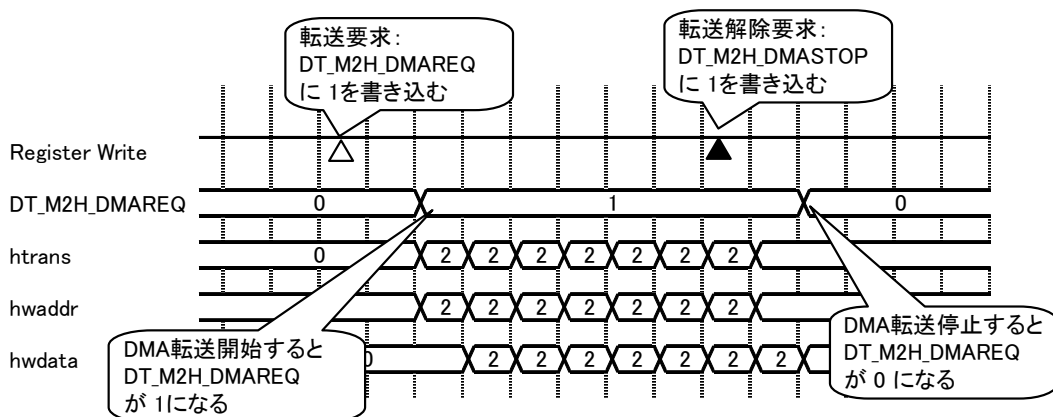


図 4 - 2 転送要求レジスタ値の変化

注意 DMA 転送要求時, データ転送は直前に DMASTOP したアドレス位置から開始します。スタートアドレスから DMA 転送を開始するときは H/W をリセットしてから DMA 転送要求をしてください。

4.3.10 転送要求解除レジスタ

本レジスタ (DT2_DMASTOP : 4015_0028H) は、DMA の転送を停止させるレジスタです。本レジスタをセットすることで停止予約状態となり、パケット転送中の場合には転送後、転送中でない場合には即座に DMA を停止します。DMA の停止は、転送要求のステータスは、転送要求レジスタ (DT2_DMAREQ) をポーリングすることで確認できます。また、ステータス (転送要求レジスタのリード値) の立下り時には DMA 停止割り込みが発行されます。

本レジスタはライト・オンリーです。1 をセットすることで DMA 転送を終了します。0 を書き込んでも何も変化しません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DMASTOP

名称	R/W	ビット	リセット時	機能
Reserved	W	31:1	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DMASTOP	W	0	0	DMA 転送を停止します。 1 : 転送停止 DMA 転送中の場合はそのパケット終了後に、DMA 転送中でない場合は即時終了します。

注意 1) DTV2 では DTV での制限事項「DMA 停止割り込み後、DMA を再開する(転送要求レジスタセット)までに、DTVCLK の 10 周期分は間隔を空けて下さい。」は不要です。

注意 2) DMA 停止要求確定時点までのワードデータがメモリに転送されます。転送データが 1 パケットの有効データ長 (188byte or 204byte) に満たない場合は、停止要求確定以降のバケットまでが不定データとなります。

4.3.11 スタート・アドレス・レジスタ

本レジスタ (DT2_START : 4015_002CH) は, DMA 転送の転送先開始アドレスを設定するレジスタです。

設定値の変更は, DMA 転送が行われていない状態 (転送要求レジスタ (DT2_DMAREQ) のリード値が 0H の状態) で行ってください。

31	30	29	28	27	26	25	24
DTV_START							
23	22	21	20	19	18	17	16
DTV_START							
15	14	13	12	11	10	9	8
DTV_START							
7	6	5	4	3	2	1	0
DTV_START						0	0

名称	R/W	ビット	リセット時	機能
DTV_START	R/W	31:0	0	DMA 転送先開始アドレスを指定します (下位 2 ビットは 0 固定です)。

4.3.12 バッファ・サイズ・レジスタ

本レジスタ (DT2_BUFSIZE : 4015_0030H) は, DMA 転送の転送先領域サイズをパケット数単位で設定するレジスタです。

設定値の変更は, DMA 転送が行われていない状態 (転送要求レジスタ (DT2_DMAREQ) のリード値が 0H の状態) で行ってください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved				DTV_BUFSIZE			
15	14	13	12	11	10	9	8
DTV_BUFSIZE							
7	6	5	4	3	2	1	0
DTV_BUFSIZE						0	0

名称	R/W	ビット	リセット時	機能
Reserved	R	31:20	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTV_BUFSIZE	R/W	19:0	0	DMA 転送先領域のサイズを, パケット数単位で指定します (下位 2 ビットは 0 固定です)。

4.3.13 ブランク・サイズ・レジスタ

本レジスタ (DT2_BLANK : 4015_0034H) は、DMA 転送時のパケット間のブランク・サイズを設定するレジスタです。

設定値の変更は、DMA 転送が行われていない状態 (転送要求レジスタ (DT2_DMAREQ) のリード値が 0H の状態) で行ってください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DTV_BLANK						0	0

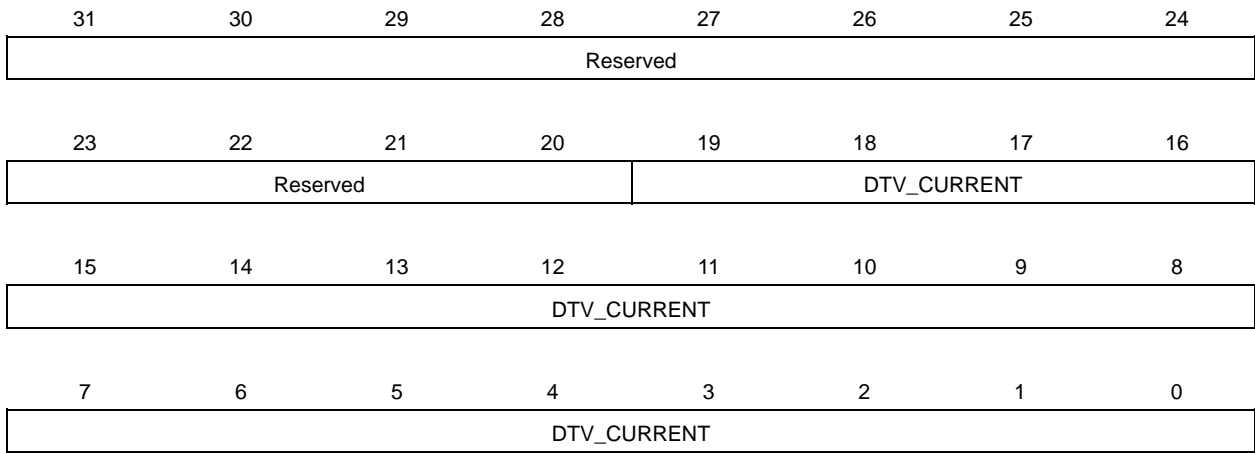
名称	R/W	ビット	リセット時	機能
Reserved	R	31:8	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTV_BLANK	R/W	7:0	0	パケット間ブランク・サイズ値を指定します (下位 2 ビットは 0 を設定してください)。

4.3.14 カレント・パケット・レジスタ

本レジスタ (DT2_CURRENT : 4015_0038H) は, DMA 転送が完了したパケット数を示すレジスタです。

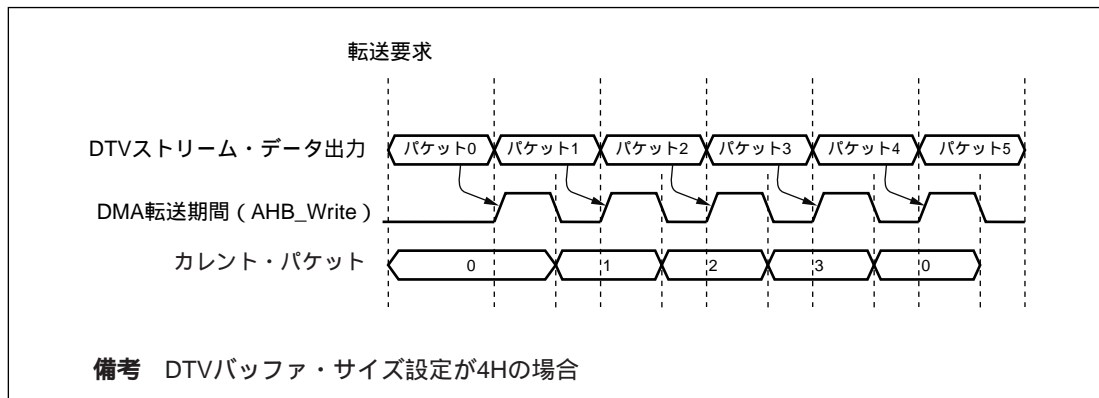
0 から DT_BUFSIZE レジスタで設定された値 - 1 までの値を示します。

設定値の変更は, DMA 転送が行われていない状態 (転送要求レジスタ (DT2_DMAREQ) のリード値が 0H の状態) で行ってください。



名称	R/W	ビット	リセット時	機能
Reserved	R	31:20	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTV_CURRENT	R	19:0	0	DMA 転送が完了したパケット数 - 1 を格納します。

図 4-3 カレント・パケット・レジスタ値

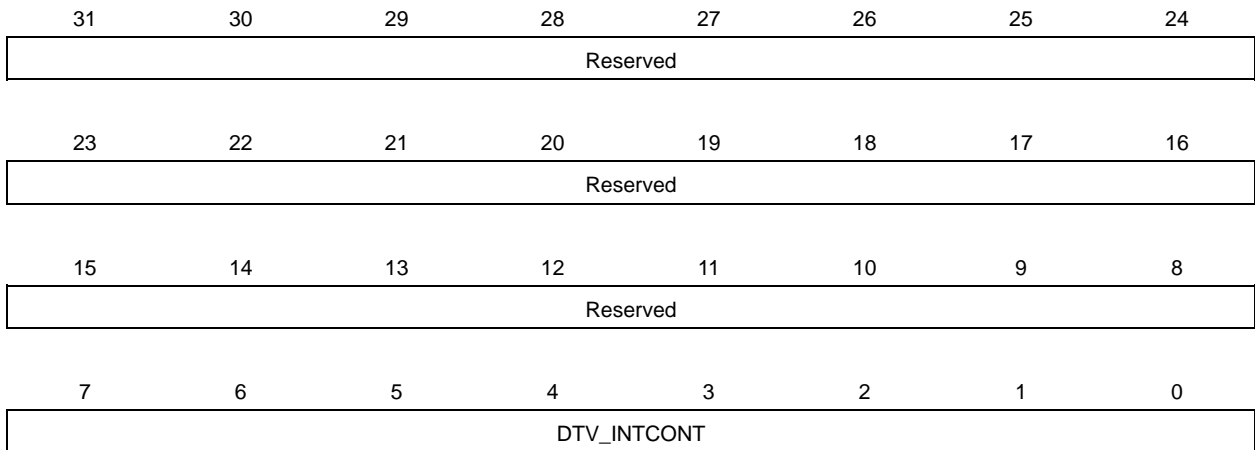


注意 カウント値は H/W リセットするまで保持されます。

4.3.15 DMA完了割り込み設定レジスタ

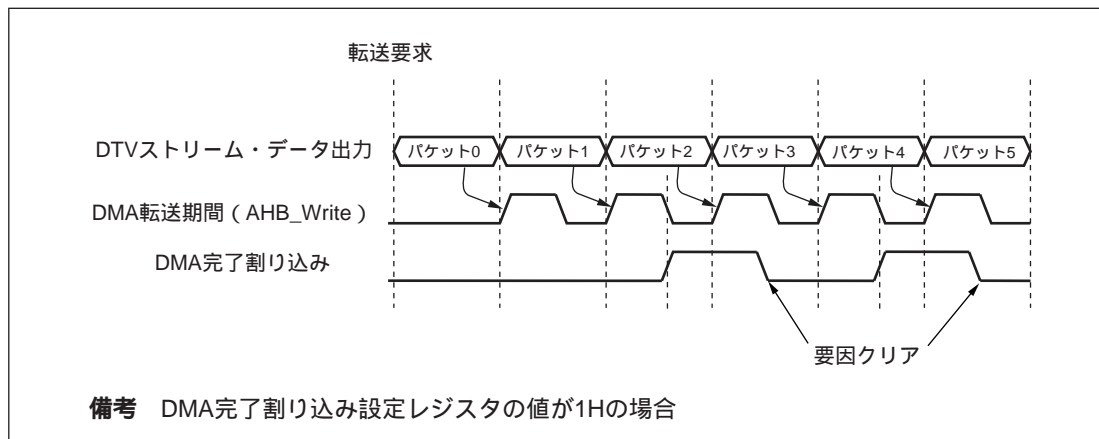
本レジスタ(DT2_INTCONT : 4015_003CH)は, DMA 完了割り込みを発行する周期を設定するレジスタです。DMA からの転送完了割り込みはパケット単位で発行されます。本レジスタで設定した値 + 1 パケットの DMA 転送が完了するごとに DMA 完了割り込みを発行します。

設定値の変更は, DMA 転送が行われていない状態(転送要求レジスタ(DT2_DMAREQ)のリード値が 0H の状態)で行ってください。



名称	R/W	ビット	リセット時	機能
Reserved	R	31:8	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTV_INTCONT	R/W	7:0	0	DMA 転送完了割り込みを発行する周期をパケット単位で指定します。設定された値 + 1 のパケット受信ごとに割り込みを発行します。

図 4 - 4 DTV I/F DMA 完了割り込みセット・タイミング



4.3.16 モジュール制御レジスタ

本レジスタ (DT2_MODULECONT : 4015_0040H) は, DTV_BCLK に同期したデータの取り込み回路の動作を初期化します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							HW_RSTZ

名称	R/W	ビット	リセット時	機能
Reserved	R	31:1	0	予約。読み込みは不定値を返します。書き込みは無視されます。
HW_RSTZ	R/W	0	0	ハードウェア・リセット DTV_BCLK に同期したデータの取り込み回路の動作を初期化します。 0 : リセット 1 : リセット解除

4.3.17 DTVPSYNC/DTVVLDD極性指定レジスタ

本レジスタ (DT2_SIGNALINVERT : 4015_0044H) は、使用する DTVPSYNC 信号、および DTVVLDD 信号の極性をそれぞれ指定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						DTVPSYN C	DTVVLDD

名称	R/W	ビット	リセット時	機能
Reserved	R	31:2	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVPSYNC	R/W	1	0	DTVPSYNC の極性を指定します。 0 : 通常 1 : 反転
DTVVLDD	R/W	0	0	DTVVLDD の極性を指定します。 0 : 通常 1 : 反転

4.3.18 入力端子状態モニタレジスタ

本レジスタ (DT2_SIGNALINVERT : 4015_0048H) は, DTVPSYNC, DTVVLD, DTVDATA, BCLK の端子入力状態を表示します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
DTVDATA							
7	6	5	4	3	2	1	0
Reserved					DTVBCLK	DTVPSYN C	DTVVLD

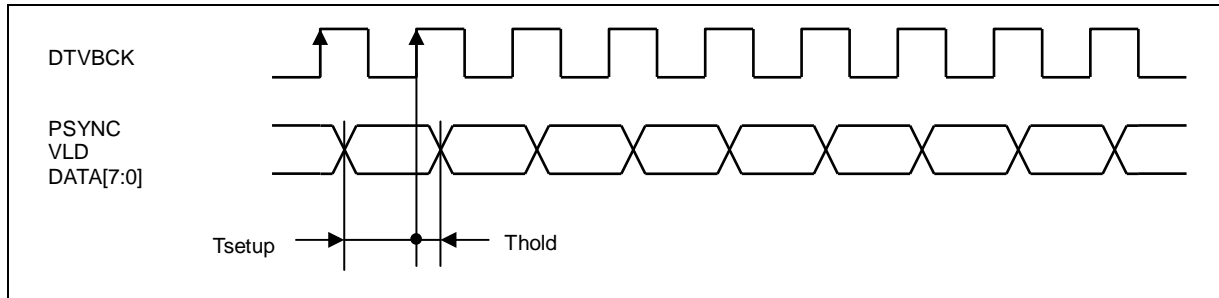
名称	R/W	ビット	リセット時	機能
Reserved	R	31:16	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVDATA	R	15:8	0	DTVDATA を表示します。
Reserved	R	7:3	0	予約。読み込みは不定値を返します。書き込みは無視されます。
DTVBCLK	R	2	0	DTVBCLK を表示します。
DTVPSYNC	R	1	0	DTVPSYNC を表示します。
DTVVLD	R	0	0	DTVVLD を表示します。

4.4 機能詳細

4.4.1 入力信号タイミング

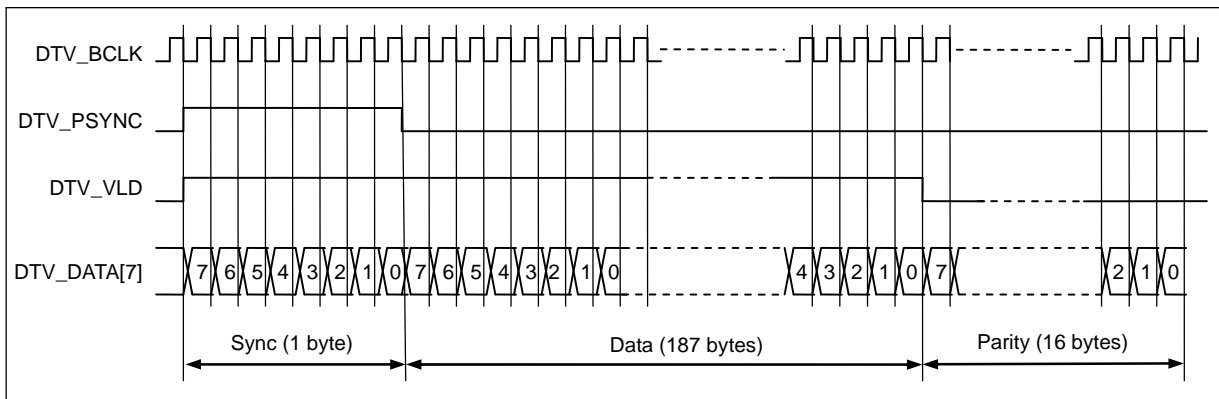
(1) DTV2 I/F 用信号タイミング

図 4-5 DTV2 I/F 信号タイミング



(2) ストリーム・タイミング

図 4-6 ストリーム・タイミング (パースト・シリアル)



注意 DTVSYNC , DTVVLD はレジスタ設定により極性指定が可能です。

(3) DTV2 I/F 信号 (バースト・シリアル) の受け取りタイミング

DTVVLD=1、かつ、DTVPSYNC=1 が連続して 8 サイクル分到達したとき、そのとき受信した 8bits データを SYNC とします。また、それに続く 8bits から DATA とします。

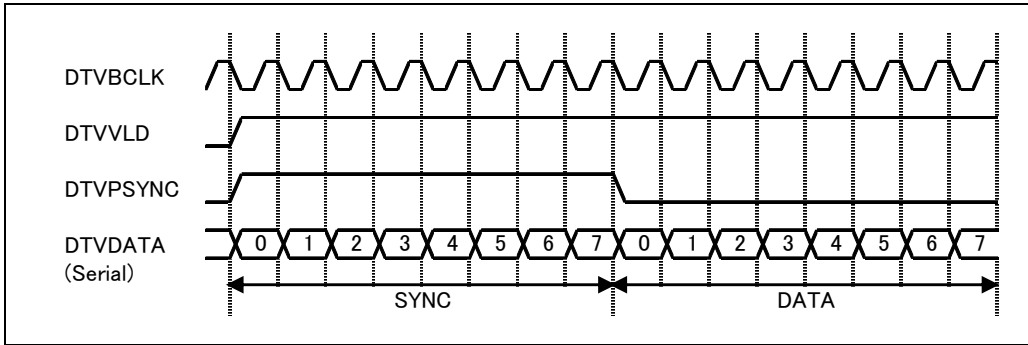


図 4-7 DTVPSYNC データの判定(バースト・シリアル)

DTVVLD=1、かつ、DTVPSYNC=1 が連続して 16 サイクル以上到達した場合は、図 4-8 に示すとおり、8bits 単位で連続した SYNC とします。

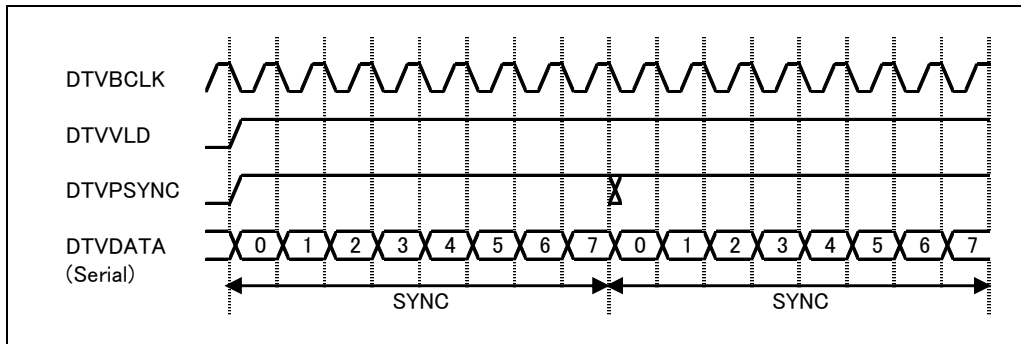


図 4-8 DTVPSYNC が連続して到達する場合(バースト・シリアル)

有効なデータビットを受信中に DTVVLD=0 になった場合は、DTVVLD=0 期間を除く 8bits を用いてデータとします (図 4-9)。また、DTVPSYNC=1 の場合も同様に、DTVVLD=0 期間を除く 8bits を用いて SYNC とします (図 4-10)。ただし、DTVVLD=0 期間中に DTVPSYNC=0 に変化した場合は、SYNC ではなく DATA とします (図 4-11)。

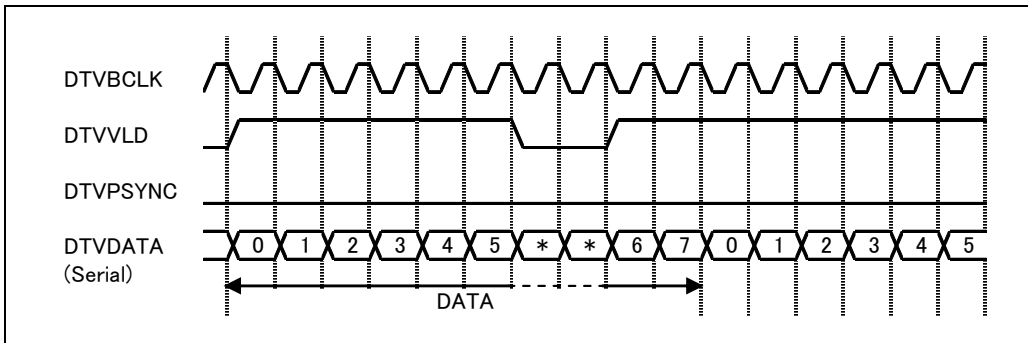


図 4-9 DTVVLD が間欠する場合(バースト・シリアル)

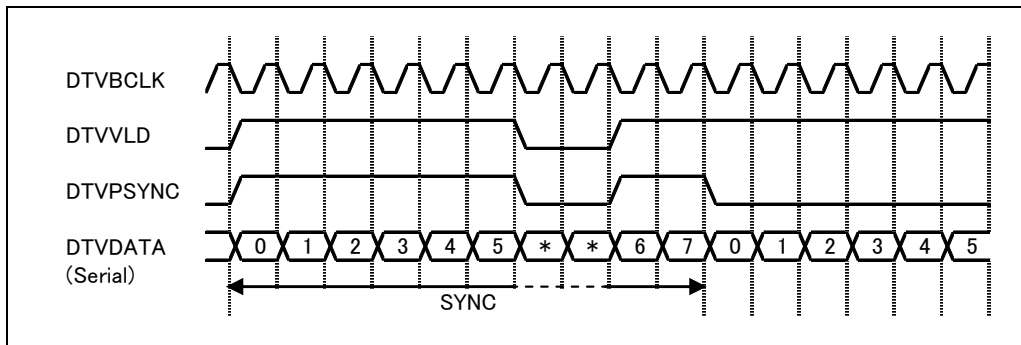


図 4-10 DTVPSYNC が HIGH の途中で DTVVLD が間欠する場合(パースト・シリアル)

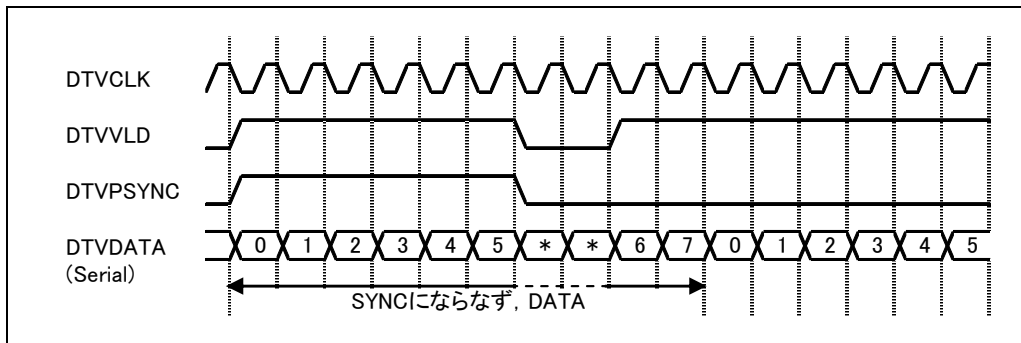


図 4-11 DTVVLD 間欠期間中に DTVPSYNC が立ち下がる場合(パースト・シリアル)

DTVBCLK が入らない期間は DTVVLD==1 であってもデータを受け取りません (図 4-12,4-13)。

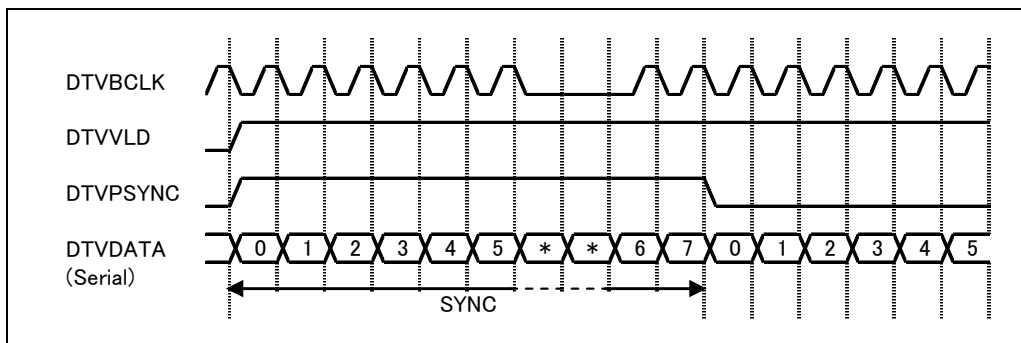


図 4-12 BCLK が間欠する場合(パースト・シリアル)

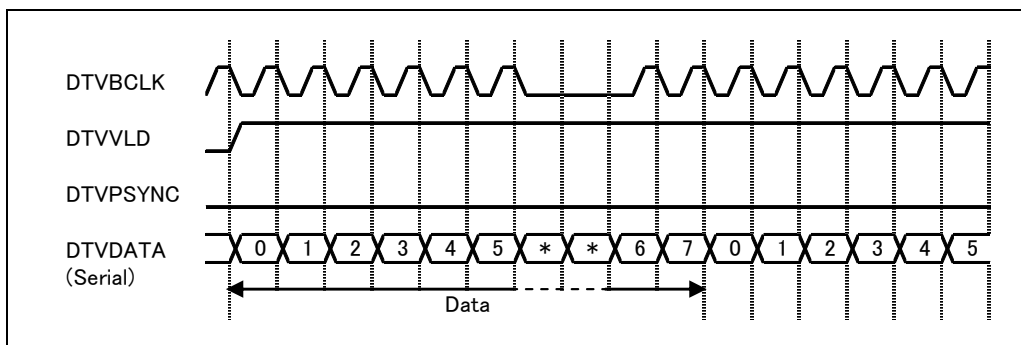


図 4-13 BCLK 間欠期間中に DTVPSYNC が立ち下がる場合(パースト・シリアル)

ビット列が8bitsに満たない状態でDTVPSYNC=1になったとき、その後8bitそろった時点でDataとします。また、DTVPSYNCが8サイクル連続すると、DTVPSYNCの立ち上がりを基点とする直後8bitsをもってSYNCとします(図4-14)。DTVPSYNC=1が8サイクルに満たない場合は、直前ビット列8bits後から有効データとします(図4-15)。

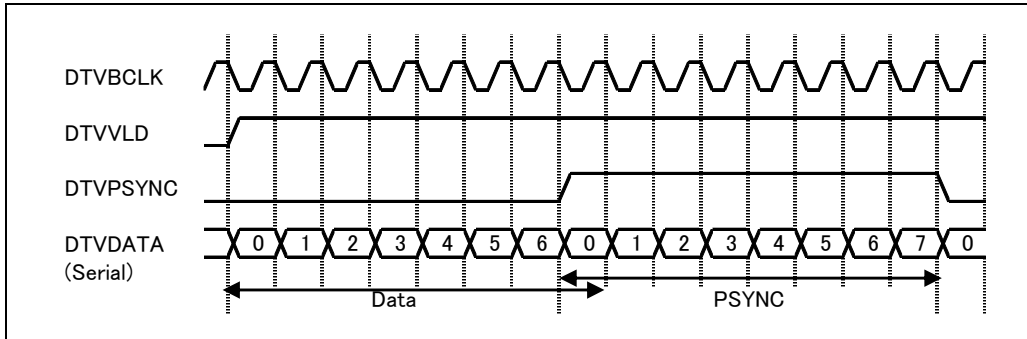


図 4-14 DTVPSYNC 到達直前のビットが8bitsに満たない場合(バースト・シリアル)

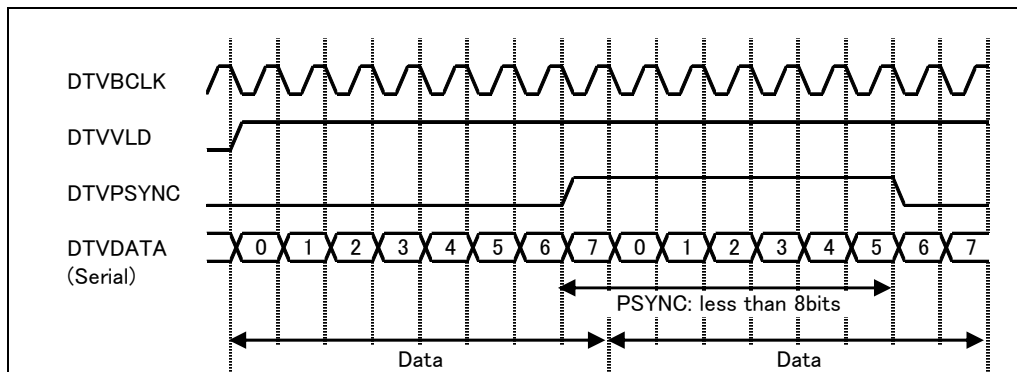


図 4-15 DTVPSYNC 到達直前ビット列が8bits未満、かつ、DTVPSYNCが8bits未満の場合(バースト・シリアル)

起動直後、および、リセット直後に受信したビット列は無効ビットとなり、最初のDTVPSYNCから有効ビットとします(図4-16)。また、有効ビットを受信しているときにリセットがかかった場合、最後に受け取った8bitsに満たないデータは無効データとします(図4-17)。

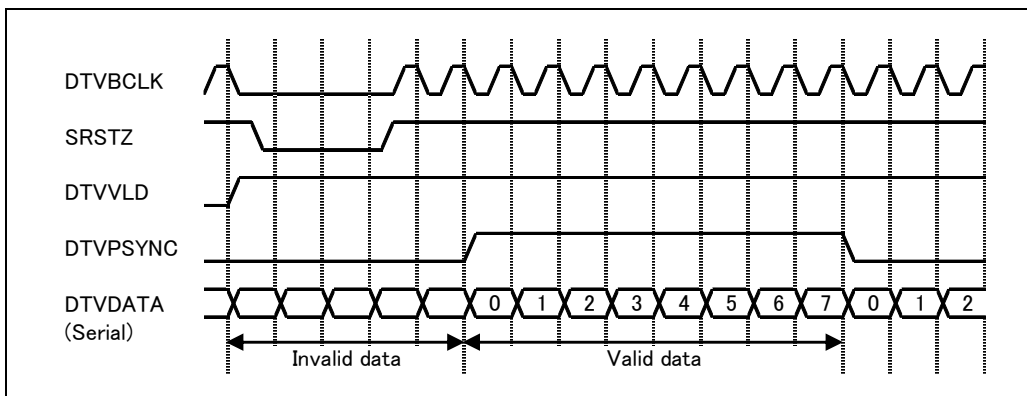


図 4-16 リセット直後のデータはDTVPSYNCが来るまで無効データ(バースト・シリアル)

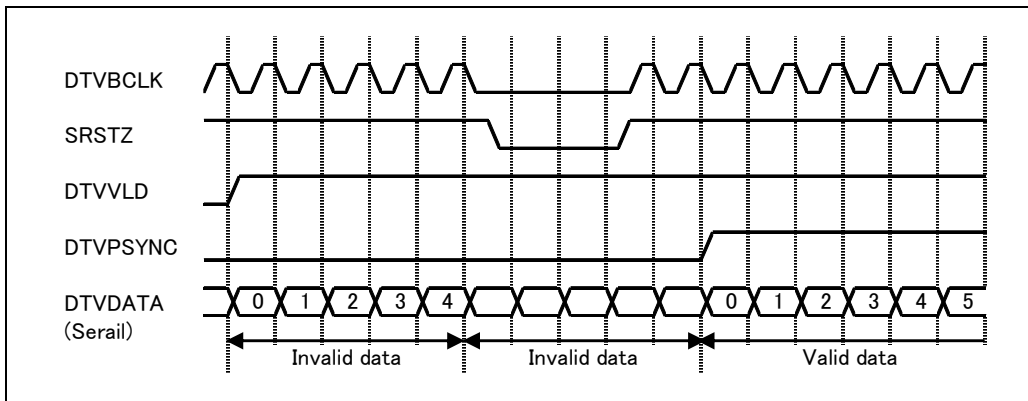


図 4-17 リセット直前の 8bits に満たないデータは無効データ(バースト・シリアル)

4.4.2 データ・フォーマット

図 4 - 18 ストリーム・データ格納フォーマット

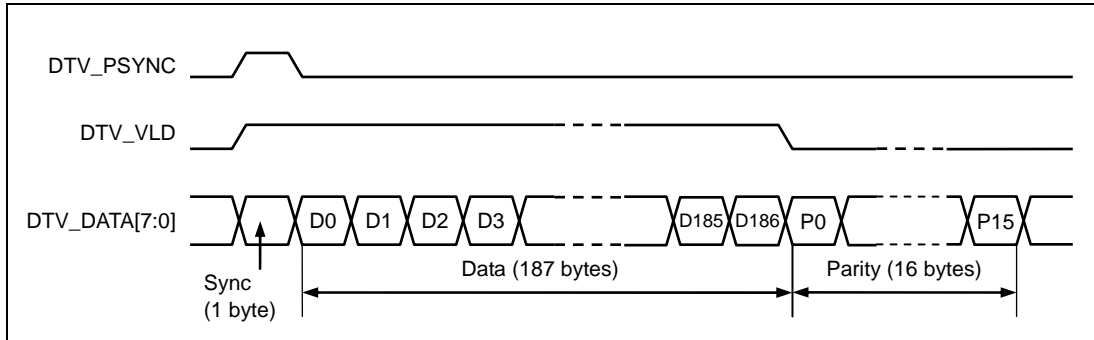


図 3 - 718 のように入力されたデータは、転送コントロール・レジスタ (DT2_DMACNT) のDTVENDIANビットの設定値により、次のフォーマットでメモリに格納されます。

ビット・アラインメント

	31-24	23-16	15-8	7-0
50ワード	P15	P14	P13	P12
49ワード	P11	P10	P9	P8
48ワード	P7	P6	P5	P4
47ワード	P3	P2	P1	P0
46ワード	D186	D185	D184	D183
	:	:	:	:
3ワード	D14	D13	D12	D11
2ワード	D10	D9	D8	D7
1ワード	D6	D5	D4	D3
0ワード	D2	D1	D0	Sync

Little Endian

	31-24	23-16	15-8	7-0
	P14	P15	P12	P13
	P10	P11	P8	P9
	P6	P7	P4	P5
	P2	P3	P0	P1
	D185	D186	D183	D184
	:	:	:	:
	D13	D14	D11	D12
	D9	D10	D7	D8
	D5	D6	D3	D4
	D1	D2	Sync	D0

Big Endian

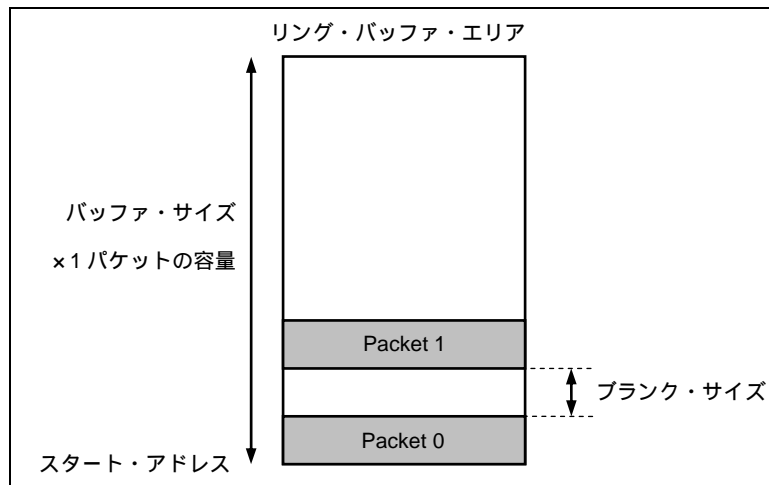
4.4.3 DTV転送処理

ストリーム・データをメモリ上に指定したバッファ領域にパケット単位に転送します。バッファはリング・バッファ形式として使用し、指定されたパケット数のデータを格納すると、バッファの先頭に戻ります。

バッファに関する設定は次の3レジスタで行います。

- ・スタート・アドレス (32 ビット) : リング・バッファの開始アドレス
- ・バッファ・サイズ (20 ビット) : リング・バッファ領域をパケット・カウント数で指定
- ・ブランク・サイズ (8 ビット) : パケット間のブランク・サイズ

図 4-19 リング・バッファ・マッピング



1 パケット・データの有効サイズは、転送コントロール・レジスタ (DT2_DMANT) の DTVMODE ビットにより 188 バイトまたは 204 バイトで設定されます。

バッファにマッピングされる、1 パケット単位の容量は DTVMODE ビットにより選択された有効サイズ + ブランク・サイズとなります。リング・バッファの総容量は、前述の 1 パケットの容量 × バッファ・サイズになります。

OFDM から受信した DTV ストリームはバイト単位で、DTV2 内部の FIFO にバッファリングされ、4 バイトそろそろ毎にメモリに DMA 転送します(図 4-20)。

通常動作時の SyncByte 受信時、および以下の例外発生時には、図 4-21 に示すとおり、SyncByte を先頭とした新しいアドレスラインでデータを格納します。

- a) パケット・オーバーランによる FIFO 溢れからの復旧後、次の SyncByte が来たとき
- b) 1 パケットデータの転送量が有効サイズを超えた後、次の SyncByte が来たとき(超過分は廃棄される)
- c) 1 パケットデータの転送量が有効サイズ未満で、次の SyncByte が来たとき(不足分は不定データになる)
- d) 受信した SyncByte の値が期待値(DMA コントロール・レジスタの DTVMODE ビットにより 47H あるいは B8H が設定されます)と異なる場合

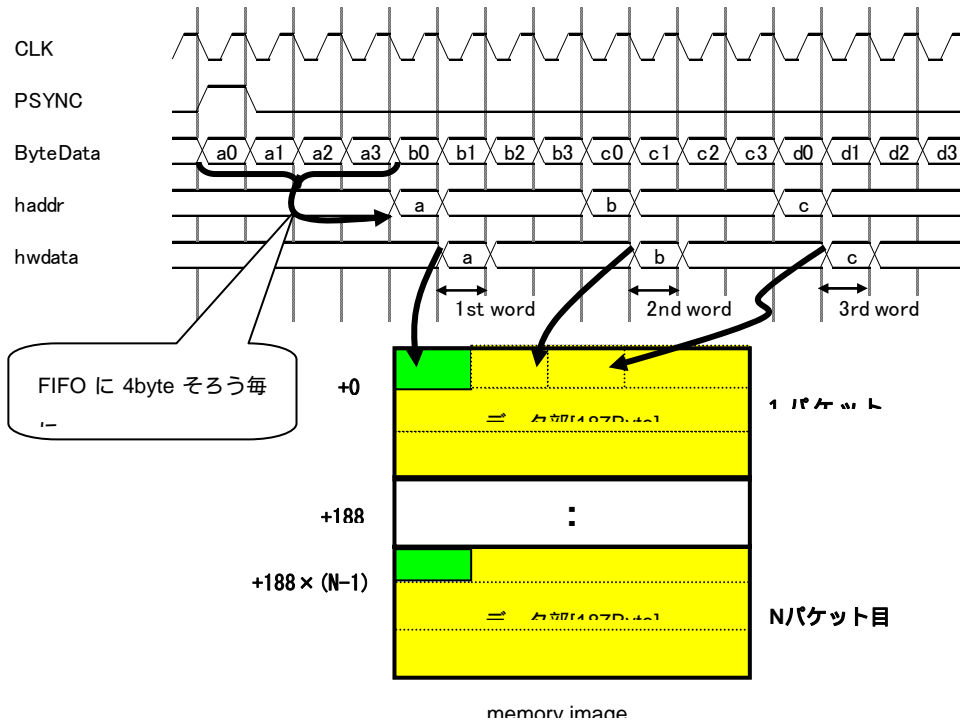


図 4-20 パケットの格納方法 (DTVMODE=0 のとき)

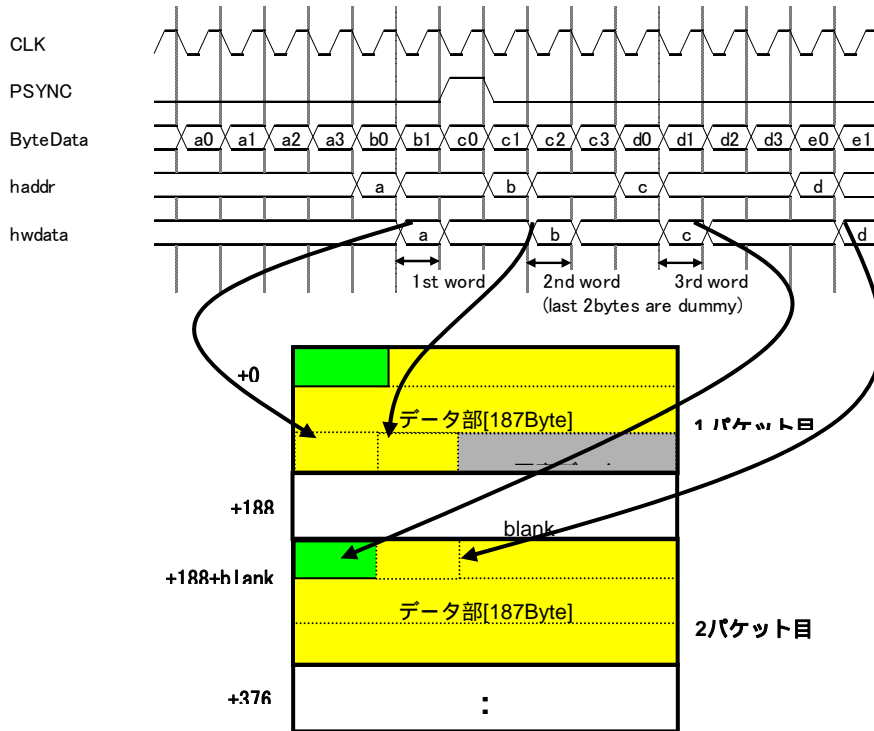


図 4-21 次の SyncByte が来たときのパケット格納方法 (DTVMODE=0 のとき)

4.4.4 割り込み制御

DTV2 I/F は 7 種類の割り込みを発行します。

各割り込みの制御は、割り込みステータス・レジスタの各ビットに割り当てています。詳細は 表 3 - 1 を参照してください。

表 4 - 1 割り込み要因一覧

割り込み名	要 因	ビット・アサイン
パケット長超過割り込み	1つのパケットが 188byte あるいは 204byte を超えた場合に割り込みを発生します。	DT2_STATUS [6] : DTVLVP
パケット長不足割り込み	DTVPSYNC=1 かつ受信データが 187byte 以下あるいは 203byte 以下の場合に割り込みを発生します。	DT2_STATUS [5] : DTVSP
不正 SyncByte 割り込み	DTVPSYNC=1 かつ SyncByte の値が 47H あるいは B8H 以外の場合に割り込みを発生します。	DT2_STATUS [4] : DTVSYNC
DMA 停止割り込み	DMA 転送が停止した場合に割り込みを発生します。	DT2_STATUS [3] : DTVSTOP
パケット・オーバラン	内部バッファがオーバランした場合に割り込みを発生します。	DT2_STATUS [2] : DTVOR
DMA 完了割り込み	設定されたパケット数の DMA を完了することに割り込みを発生します。	DT2_STATUS [1] : DTVDMA
転送エラー割り込み	内部バス転送中に ERROR 応答を受信すると割り込みを発生します。	DT2_STATUS [0] : DMAERR

(1) 転送エラー割り込み

内部バス転送中に ERROR 応答を受信すると割り込みを発生します。

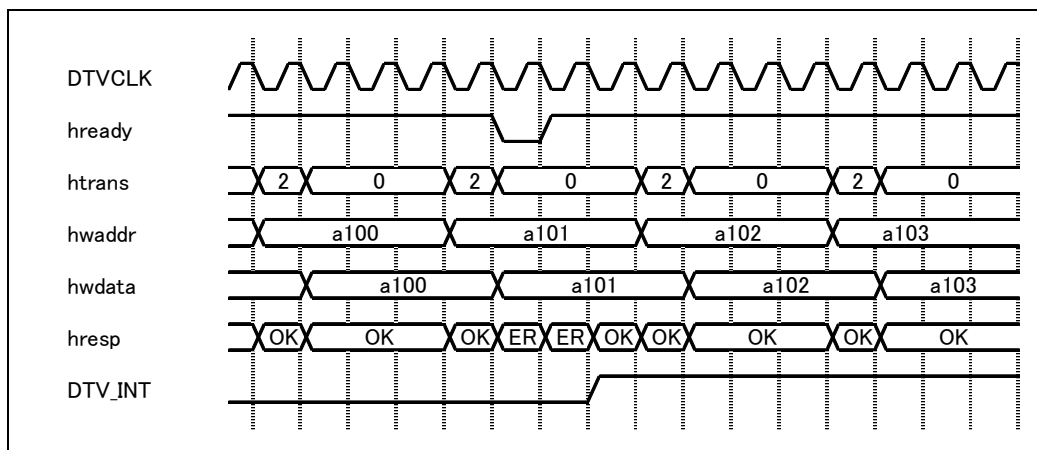


図 4-22 転送エラー時割り込みタイミング

(2) DMA 完了割り込み

レジスタ DT2_INTCONT に設定されたパケット数の DMA を完了することに割り込みを発生します。

(3) パケット・オーバーラン割り込み

DTV2 I/F は、内部メモリ (32 ビット×128 ワード) をバッファとして使用します。ワードの取り込みが完了したデータを DMA 転送します。内部バッファが溢れるとオーバーラン割り込みを発生します。パケット・オーバーランが発生した場合、DTV から入力されるパケット・データとリング・バッファに格納される領域に不整合が発生しますが、パケット・オーバーランから復帰後、次の Psync からは正常なパケット取り込みを再開します。

(4) DMA 停止割り込み

レジスタ DT2_DMASTOP により DMA 転送停止予約がなされた場合、DMA 転送してなければ即座に、DMA 転送中であれば、その転送が完了したときに割り込みを発生します。

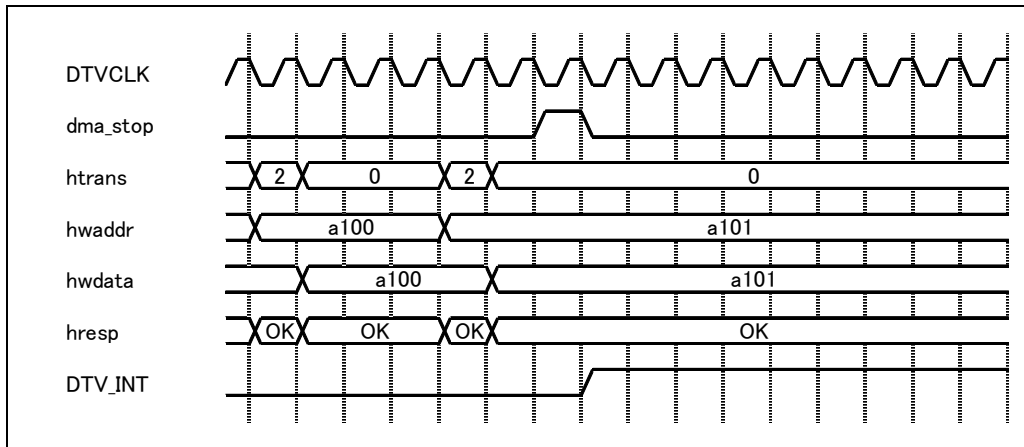


図 4 - 23 DMA 転送していないときに転送予約された場合の割り込みタイミング

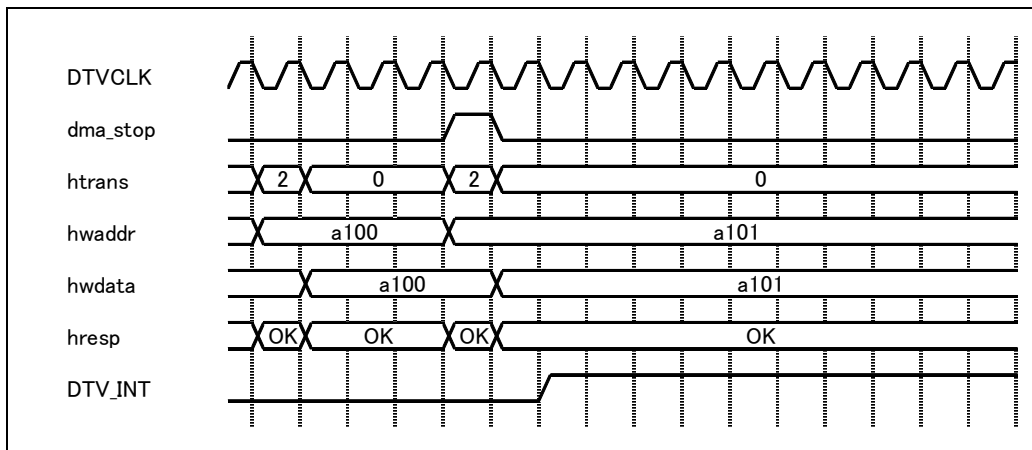


図 4 - 24 DMA 転送中に転送予約された場合の割り込みタイミング

(5) パケット長不足割り込み

転送したデータ長が、パケット長有効サイズ 188byte のとき 187byte 以下、パケット長有効サイズ 204byte のとき 203byte 以下の状態で次の SyncByte が到着した場合に割り込みを発生します。有効サイズは転送コントロール・レジスタの DTVMODE ビットによって設定します。

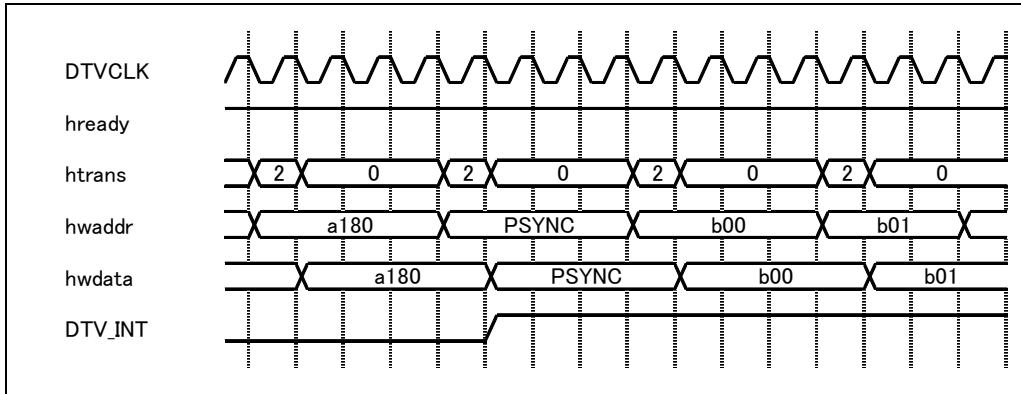


図 4 - 25 187byte 以下で PSYNC バイトを含むワード転送の割り込みタイミング (DTVMODE=0 のとき)

(6) パケット長超過割り込み

パケット長が有効サイズ (188byte or 204byte) を超えてしまう場合に割り込みを発生します。有効サイズは転送コントロール・レジスタの DTVMODE ビットによって指定します。

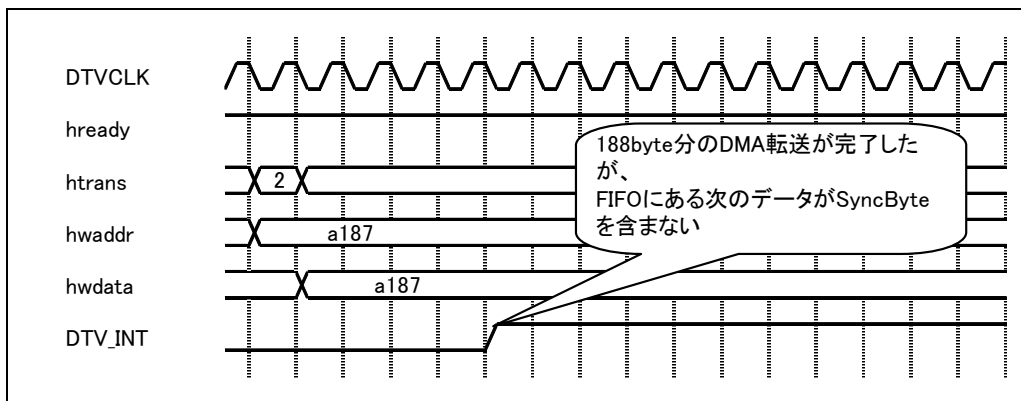


図 4 - 26 188byte を越えても SyncByte を含むワードデータが揃わないときの割り込みタイミング (DTVMODE=0 のとき)

(7) 不正 SyncByte 割り込み

SyncByte は 47H あるいは B8H を示します。値は転送コントロール・レジスタの DTVMODE により決定され DTVMODE=0 のとき 47H を、DTVMODE=1 のとき B8H を期待値とします。SyncByte を含む DMA 転送ワードデータの SyncByte が期待値以外の場合、不正 SyncByte 割り込みを発生します。

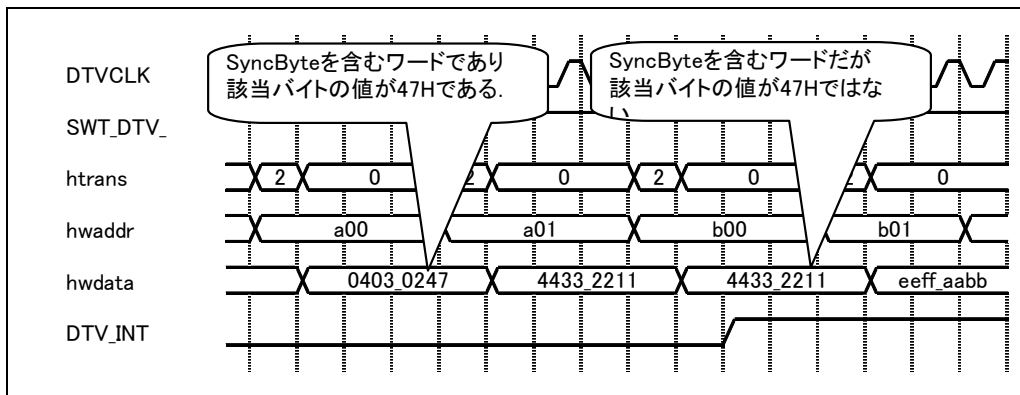


図 4 - 27 PSYNC バイトが不正値の場合の割り込みタイミング (DTVMODE=0 のとき)

4.4.5 クロック制御

EM1 では省電力設計のため、内部バス・クロックの供給を各モジュールが制御します。

内部バス・クロックはモジュールからのクロック要求時、およびレジスタ・アクセス時にも供給されます。

DTV2 I/F では、レジスタ・アクセスにより DMA 転送要求がセットされるとクロック供給要求をセットし、転送要求がない状態、かつ転送中の DMA が終了するとクロック供給要求を解除します。

(1) DTV I/F で利用するクロック

(a) DTV_BCLK (外部入力クロック)

DTV 用データ・クロック、データの取り込みに使用します。

(b) DTV_CLK (DTV 内部クロック)

AHB バス・クロック、DTV の内部動作に使用されます。

(c) DTV_PCLK (APB クロック)

APB バス・アクセス (レジスタ・アクセス) に使用されます。

クロック / リセットの設定については、**携帯マルチメディア・プロセッサ ユーザーズ・マニュアル システム制御 / 汎用入出力インタフェース編 (S19265J)** を参照してください。

(2) DTV_CLKREQ セットタイミング

DTV 転送要求レジスタがセットされたかつ DMA 転送するデータが存在する場合。

(3) DTV_CLKREQ クリアタイミング

DTV 転送要求解除がセットされていないあるいはワード単位の DMA 転送が完了した場合

(4) DTV_SWT_CLKREQ 出力タイミング

バススイッチ用の CLKREQ として、トランザクションに対して 1CLK 先行した信号を出力します。

信号の立ち上がりはトランザクションの 1CLK 先行であり、立下りはデータフェーズの終了タイミングです。

[メ モ]

【改版履歴】

日付	版数	改版内容
2009.1.30	暫定1版	-
2009.3.31	第2版	P6 関連資料 ・MC-10118A(EM1-D512), μ PD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。 ・電源チップ編を削除。
		P19 3.2.6 エラー・アドレス・レジスタ ビット0 LOCKの機能をR/Wに分けて説明
		P22 3.2.9 転送要求解除レジスタ 注意1, 2 追記
		P25 3.2.13 カレント・パケット・レジスタ 注意 追記
		P30 4.3.1 ストリームの転送方法 下から5行目 1パケット・データの有効サイズは, DMAコントロール・レジスタ 転送コントロールレジスタ 誤記訂正
		P31 4.4 割り込み要因 2行目 各割り込みの制御は, 割り込み設定レジスタ 割り込みステータス・レジスタ 誤記訂正
		P31 4.5.1 DTV/IFで利用するクロック 参照するドキュメントの資料番号 S18017J S19265J 誤記訂正
2009.9.30	第3版	DTV2仕様追記
		P38 3.4.6 同期ずれからの復帰方法 追記

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係，デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : (044)435-9494

E-mail : info@necel.com