

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

# 携帯マルチメディア・プロセッサ

I<sup>2</sup>C インタフェース編

---

EMMA Mobile™1

[メ モ]

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品は外国為替及び外国貿易法の規定により規制貨物等に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2009年9月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

# はじめに

**対象者** このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1(以降、EM1 と表記します)の I<sup>2</sup>C インタフェースの機能を理解し、それをういたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

**目的** このマニュアルは、EM1 の I<sup>2</sup>C インタフェースが持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

**構成** このマニュアルは、大きく分けて次の内容で構成しています。

- 第 1 章 概 説
- 第 2 章 端子機能
- 第 3 章 レジスタ
- 第 4 章 機能詳細

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

- ・ I<sup>2</sup>C インタフェースの機能の詳細を理解しようとするとき  
目次に従ってお読みください。
- ・ 携帯マルチメディア・プロセッサ全体の機能を理解しようとするとき  
モジュールごとのユーザズ・マニュアルを参照してください。
- ・ 携帯マルチメディア・プロセッサ全体の電気的特性を理解しようとするとき  
データ・シートを参照してください。

|     |          |   |
|-----|----------|---|
| 凡 例 | データ表記の重み | : 左が上位桁, 右が下位桁  |
|     | 注        | : 本文中につけた注の説明   |
|     | 注意       | : 気をつけて読んでいただきたい内容  |
|     | 備考       | : 本文中の補足説明  |
|     | 数の表記     | : 2進数 ... x x x x または x x x x B<br>10進数 ... x x x x<br>16進数 ... x x x x H |
|     | データ・タイプ  | ワード ... 32 ビット<br>ハーフワード ... 16 ビット<br>バイト ... 8 ビット                      |

**関連資料** 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

| 資料名                 |                           | 資料番号    |
|---------------------|---------------------------|---------|
| MC-10118A データ・シート   |                           | S19657J |
| μ PD77630A データ・シート  |                           | S19686J |
| ユーザーズ・マニュアル         | Audio/Voice, PWM インタフェース編 | S19253J |
|                     | DDR SDRAM インタフェース編        | S19254J |
|                     | DMA コントローラ編               | S19255J |
|                     | I <sup>2</sup> C インタフェース編 | このマニュアル |
|                     | ITU-R BT.656 インタフェース編     | S19257J |
|                     | LCD コントローラ編               | S19258J |
|                     | MICROWIRE 編               | S19259J |
|                     | NAND Flash インタフェース編       | S19260J |
|                     | SPI 編                     | S19261J |
|                     | UART インタフェース編             | S19262J |
|                     | イメージ・コンポーザ編               | S19263J |
|                     | イメージ・プロセッサ・ユニット編          | S19264J |
|                     | システム制御 / 汎用入出力インタフェース編    | S19265J |
|                     | タイマ編                      | S19266J |
|                     | 地上デジタル TV インタフェース編        | S19267J |
|                     | カメラ・インタフェース編              | S19285J |
|                     | USB インタフェース編              | S19359J |
|                     | SD メモリ・カード・インタフェース        | S19361J |
|                     | PDMA 編                    | S19373J |
|                     | 1 チップ編 (MC-10118A)        | S19598J |
| 1 チップ編 (μ PD77630A) | S19687J                   |         |

**注意** 上記関連資料は, 予告なしに内容を変更することがあります。設計などには, 必ず最新の資料を使用してください。



# 目 次

## 第 1 章 概 説・・・10

### 1.1 特 徴・・・10

## 第 2 章 端子機能・・・11

### 2.1 I<sup>2</sup>C インタフェース端子・・・11

## 第 3 章 レジスタ・・・12

### 3.1 レジスタ一覧・・・12

### 3.2 レジスタ機能・・・13

#### 3.2.1 IIC0 シフト・レジスタ・・・13

#### 3.2.2 IIC0 コントロール・レジスタ・・・14

#### 3.2.3 スレーブ・アドレス・レジスタ・・・17

#### 3.2.4 IIC0 クロック選択レジスタ・・・18

#### 3.2.5 IIC0 状態レジスタ・・・20

#### 3.2.6 IIC0 フラグ・レジスタ・・・23

## 第 4 章 機能詳細・・・25

### 4.1 I<sup>2</sup>C バスの動作・・・25

#### 4.1.1 スタート・コンディション・・・25

#### 4.1.2 アドレス・・・26

#### 4.1.3 転送方向指定・・・26

#### 4.1.4 アクノリッジ信号 (ACK)・・・27

#### 4.1.5 ストップ・コンディション・・・27

#### 4.1.6 ウェイト信号 (WAIT)・・・28

### 4.2 シフト・レジスタ (IIC\_IIC0) の動作・・・29

### 4.3 拡張コード・・・29

### 4.4 アービトレーション・・・30

### 4.5 割り込み・・・31

#### 4.5.1 マスタ動作・・・31

#### 4.5.2 スレーブ動作・・・33

#### 4.5.3 アドレス不一致時の動作・・・37

#### 4.5.4 アービトレーション負けの動作・・・37

### 4.6 ウェイクアップ機能・・・42

### 4.7 アクノリッジ信号・・・42

### 4.8 通信予約・・・42

### 4.9 通信動作・・・43

4.9.1 マスタ動作・・・43

4.9.2 スレーブ動作・・・45

## 図の目次

| 図番号    | タイトル, ページ                                     |
|--------|---|
| 図 4-1  | I <sup>2</sup> Cバスのシリアル・データ転送タイミング・・・25       |
| 図 4-2  | スタート・コンディション・・・25                             |
| 図 4-3  | アドレス・・・26                                     |
| 図 4-4  | 転送方向指定・・・26                                   |
| 図 4-5  | アクノリッジ信号・・・27                                 |
| 図 4-6  | ストップ・コンディション・・・27                             |
| 図 4-7  | ウエイト信号・・・28                                   |
| 図 4-8  | シフト・レジスタの動作例(アドレス転送, 9クロック・ウエイト時)・・・29        |
| 図 4-9  | アービトレーションの例・・・30                              |
| 図 4-10 | マスタ動作時のタイミング(1/2)・・・31                        |
| 図 4-11 | スレーブ・アドレス・データ受信時のタイミング(1/2)・・・33              |
| 図 4-12 | 拡張コード受信時のタイミング(1/2)・・・35                      |
| 図 4-13 | アドレス不一致時のタイミング・・・37                           |
| 図 4-14 | アービトレーション負けのあと, スレーブとして動作したときのタイミング(1/2)・・・37 |
| 図 4-15 | アービトレーション負けのあと, 通信に参加できない場合のタイミング(1/3)・・・38   |
| 図 4-16 | アービトレーション負けのあと, 通信に参加しない場合のタイミング・・・41         |
| 図 4-17 | 通信予約許可時およびストップ・コンディション検出後スタート・・・43            |
| 図 4-18 | 通信予約禁止およびストップ・コンディション未検出によるスタート・・・44          |
| 図 4-19 | 通信手順(スレーブ動作)・・・45                             |

## 表の目次

| 表番号   | タイトル, ページ        |
|-------|------------------|
| 表 4-1 | 拡張コードのビット定義・・・29 |

# 第1章 概 説

このマニュアルでは、EM1 の I<sup>2</sup>C インタフェースについて説明します。  
I<sup>2</sup>C インタフェースは、I<sup>2</sup>C バスのマスタおよびスレーブ動作を行う場合に使用します。

## 1.1 特 徴

主な特徴を次に示します。

EM1 には、IIC1, IIC2 の 2 個の I<sup>2</sup>C が搭載されています。

I<sup>2</sup>C バス・フォーマット (Philips 社 1995 Update 版) に準拠

データ長: 8 ビット (ただし, 8 ビット・データのあとに, ACK 信号が 1 ビット) 標準モード (転送速度: 最大 70 kbps) / 高速モード (転送速度: 最大 341 kbps) に対応しています。

シリアル・データの自動判別機能

シリアル・データ・バス上のスタート・コンディション, スレーブ・アドレス, データ, およびストップ・コンディションを自動的に検出します。

アドレスによるチップ・セレクト

マスタ動作時は, スレーブ・アドレスまたは拡張コードを送信することにより, I<sup>2</sup>C バスに接続した特定のスレーブ・デバイスを選択して通信することができます。

ウエイクアップ機能

スレーブ動作時は, 受信したアドレスが SVA0 レジスタの値と一致した場合と, 拡張コードを受信した場合にのみ割り込みを発生します。したがって, I<sup>2</sup>C バス上の選択されたスレーブ以外のデバイスは, シリアル通信に関係なく動作することができます。

アクノリッジ (ACK) 制御機能

マスタ / スレーブ動作時に, シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御することができます。

ウエイト (WAIT) 制御機能

ウエイト状態を知らせるためのウエイト信号制御が行えます。

アービトレーション制御機能

複数のマスタ・デバイスが, 同時に“スタート・コンディション”を発生したとき, シリアル・クロック (SCL) の同期調整のあとに, シリアル・データ・バス (SDA) 端子のレベル比較を行い, マスタ・デバイスを選択する制御が行えます。

## 第2章 端子機能

### 2.1 I<sup>2</sup>Cインタフェース端子

| 端子名      | 入出力 | 機能          | 兼用端子     |
|----------|-----|-------------|----------|
| IIC_SCL  | 入出力 | シリアル・クロック入力 | GIO_P83  |
| IIC_SDA  | 入出力 | シリアル・データ入力  | GIO_P84  |
| IIC2_SCL | 入出力 | シリアル・クロック入力 | NAND_WE  |
| IIC2_SDA | 入出力 | シリアル・データ入力  | NAND_RB0 |

## 第3章 レジスタ

### 3.1 レジスタ一覧

I<sup>2</sup>C インタフェースのレジスタは、ハーフ・ワード・アクセスのみ可能です。

Reserved のレジスタへのアクセスは行わないでください。

各レジスタ内の Reserved ビットへは、0 以外を書き込まないでください。

ベース・アドレス : 5004\_0000H (IIC)

| アドレス            | レジスタ名称                              | 略号         | R/W | リセット時 |
|-----------------|-------------------------------------|------------|-----|-------|
| 0000H           | IIC0 シフト・レジスタ                       | IIC_IIC0   | R/W | 0000H |
| 0004H           | Reserved                            | -          | -   | -     |
| 0008H           | IIC0 コントロール・レジスタ                    | IIC_IICC0  | R/W | 0000H |
| 000CH           | スレーブ・アドレス・レジスタ                      | IIC_SVA0   | R/W | 0000H |
| 0010H           | IIC0 クロック選択レジスタ                     | IIC_IICCL0 | R/W | 0000H |
| 0014H-<br>0018H | Reserved                            | -          | -   | -     |
| 001CH           | IIC0 状態レジスタ<br>(エミュレーション用リード専用レジスタ) | IIC_IICSE0 | R   | 0000H |
| 0020H-<br>0024H | Reserved                            | -          | -   | -     |
| 0028H           | IIC0 フラグ・レジスタ                       | IIC_IICF0  | R/W | 0000H |

ベース・アドレス : 5003\_0000H (IIC2)

| アドレス            | レジスタ名称                              | 略号          | R/W | リセット時 |
|-----------------|-------------------------------------|-------------|-----|-------|
| 0000H           | IIC0 シフト・レジスタ                       | IIC2_IIC0   | R/W | 0000H |
| 0004H           | Reserved                            | -           | -   | -     |
| 0008H           | IIC0 コントロール・レジスタ                    | IIC2_IICC0  | R/W | 0000H |
| 000CH           | スレーブ・アドレス・レジスタ                      | IIC2_SVA0   | R/W | 0000H |
| 0010H           | IIC0 クロック選択レジスタ                     | IIC2_IICCL0 | R/W | 0000H |
| 0014H-<br>0018H | Reserved                            | -           | -   | -     |
| 001CH           | IIC0 状態レジスタ<br>(エミュレーション用リード専用レジスタ) | IIC2_IICSE0 | R   | 0000H |
| 0020H-<br>0024H | Reserved                            | -           | -   | -     |
| 0028H           | IIC0 フラグ・レジスタ                       | IIC2_IICF0  | R/W | 0000H |

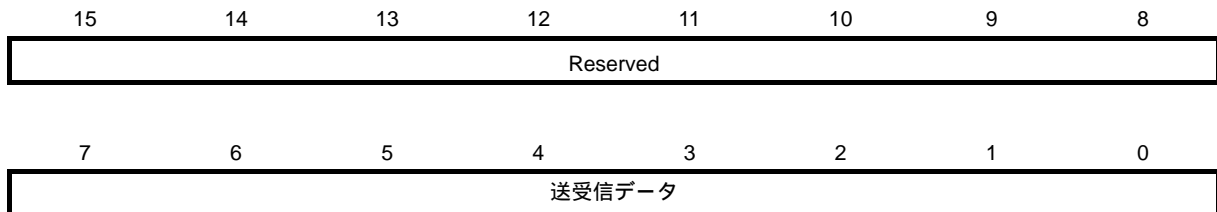
## 3.2 レジスタ機能

### 3.2.1 IIC0 シフト・レジスタ

本レジスタ (IIC\_IIC0 : 5004\_0000H (IIC), 5003\_0000H(IIC2)) は、シリアル・クロックに同期してシリアル送受信 (シフト動作) を行なうレジスタです。データは、最上位側 (MSB) から転送されます。

データの転送中に IIC\_IIC0 レジスタへアクセスした場合の動作は保証しません。

ウェイト期間中に IIC\_IIC0 レジスタへの書き込みを行うと、ウェイトを解除し、データ転送を開始します。



| 名 称      | R/W | ビット  | リセット時 | 機 能                      |
|----------|-----|------|-------|--------------------------|
| Reserved | R   | 15:8 | 0     | 予約。                      |
| 送受信データ   | R/W | 7:0  | 0     | 送受信データの読み出し / 書き込みを行います。 |

### 3.2.2 IIC0 コントロール・レジスタ

本レジスタ (IIC\_IICC0 : 5004\_0008H(IIC) , 5003\_0008H(IIC2)) は、I<sup>2</sup>C インタフェースの動作許可 / 禁止、ウェイト・タイミングの設定など、I<sup>2</sup>C インタフェースの動作の設定を行うレジスタです。

|          |       |       |       |       |       |      |      |
|----------|-------|-------|-------|-------|-------|------|------|
| 15       | 14    | 13    | 12    | 11    | 10    | 9    | 8    |
| Reserved |       |       |       |       |       |      |      |
| 7        | 6     | 5     | 4     | 3     | 2     | 1    | 0    |
| IICE0    | LRELO | WRELO | SPIE0 | WTIM0 | ACKE0 | STT0 | SPT0 |

(1/2)

| 名 称                 | R/W | ビット  | リセット時 | 機 能  |
|---------------------|-----|------|-------|--|
| Reserved            | R/W | 15:8 | 0     | 予約。  |
| IICE0               | R/W | 7    | 0     | I <sup>2</sup> C インタフェースの動作の許可 / 停止を設定します。<br>0 : 状態レジスタをプリセット、内部動作も停止<br>1 : I <sup>2</sup> C インタフェース動作許可   |
| LRELO               | R/W | 6    | 0     | 通信状態から退避し、待機状態にします。<br>このデバイスに関係のない拡張コードを受信したときなどに使用します。<br><br>このビットに“1”を設定すると、SCL/SDA ラインは Hi-Z 状態になり、STT0、SPT0 ビット、および IIC_IICSE0 レジスタの MST0、EXC0、COI0、TRC0、ACKD0、STD0 ビットがクリアされます。また、操作の実行後、自動的に“0”に戻ります (ワン・ショット動作)。<br>リード時には、“0” がリードされます。<br>0 : 通常動作<br>1 : 通信から退避後、待機状態。 |
| WRELO               | R/W | 5    | 0     | ウェイト状態の解除を行います。<br>このビットに“1”を設定すると、操作の実行後、自動的に“0”に戻ります (ワン・ショット動作)。<br><br>IIC_IICSE0 レジスタの TRC0 ビット = 1 のとき、9 ビット目のウェイト・タイミングで WRELO ビットをセットしてウェイトを解除した場合、TRC0 ビットをクリアして SDA ラインを開放 (Hi-Z) します。<br>リード時には、“0” がリードされます。<br>0 : 状態を保持<br>1 : ウェイト解除                                |
| SPIE0               | R/W | 4    | 0     | ストップ・コンディション割り込みを許可します。<br>0 : ストップ・コンディション割り込み要求の発生を禁止<br>1 : ストップ・コンディション割り込み要求の発生を許可  |
| WTIM0 <sup>注1</sup> | R/W | 3    | 0     | 割り込み要求を発生するタイミングを指定します。<br>マスタの場合、指定した数のシリアル・クロックを出力したあと、クロック出力をロー・レベルにして待機します。<br>スレーブの場合、指定した数のシリアル・クロックが入力されると、クロックをロー・レベルに引き込んでマスタを待機させます。<br>0 : シリアル・クロックの 8 回目の立ち下がり で割り込み要求発生<br>1 : シリアル・クロックの 9 回目の立ち下がり で割り込み要求発生   |



| 名 称                 | R/W | ビット | リセット時 | 機 能   |
|---------------------|-----|-----|-------|---|
| ACKEO <sup>注2</sup> | R/W | 2   | 0     | <p>アクノリッジ (ACK) の制御を行います。</p> <p>IIC レジスタの TRC ビットが“0”の場合は受信可能状態であるため、本ビットに“1”をセットしてください。次のデータを必要としない場合は本ビットに“0”をセットしてください。</p> <p>0：ACK を禁止<br/>1：ACK を許可</p>  |
| STTO <sup>注3</sup>  | R/W | 1   | 0     | <p>スタート・コンディションを生成します。</p> <p>このビットをセットする前の状態により動作が異なります。</p> <p>リード時には、“0” がリードされます。</p> <p>0：何もしない<br/>1：スタート・コンディションを生成</p> <p><b>備考</b> このビットは、次の条件で自動的にクリアされます。</p> <ul style="list-style-type: none"> <li>・マスタでのスタート・コンディションを検出</li> <li>・アービトレーション負け</li> <li>・LRELO ビットに “1” を設定</li> <li>・IICE0 ビットに “0” を設定</li> <li>・リセット入力</li> </ul>   |
| SPT0                | R/W | 0   | 0     | <p>ストップ・コンディションを生成します (マスタとしての転送終了)。</p> <p>このビットをセットすると、SDA ラインをロー・レベルにしたあと、SCL ラインをハイ・レベルにするか、SCL ラインがハイ・レベルになるのを待ちます。</p> <p>そのあと、規格の時間を確保し、SDA ラインをロー・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成します。</p> <p>ウェイト状態のときにセットすることで、ウェイトを解除し、ストップ・コンディションを生成できます。</p> <p>リード時には、“0” がリードされます。</p> <p>0：何もしない<br/>1：ストップ・コンディションを生成</p> <p><b>備考</b> このビットは、次の条件で自動的にクリアされます。</p> <ul style="list-style-type: none"> <li>・ストップ・コンディションを検出</li> <li>・アービトレーション負け</li> <li>・LRELO ビットに “1” を設定</li> <li>・IICE0 ビットに “0” を設定</li> <li>・リセット入力</li> </ul> |

注1) アドレス転送中は次のように動作します。

- ・マスタ側では、WTIM0 ビットの値に関係なく、クロックの9回目の立ち下がり時にウェイト、割り込み要求が発生します。
- ・スレーブ側で入力されたアドレスが一致したとき (COI0 = 1) は、WTIM0 ビットの値に関係なく、クロックの9回目の立ち下がり時にウェイト、割り込み要求発生が発生します。
- ・スレーブ側で拡張コード受信時 (EXC0 = 1) は、WTIM0 ビットの値に関係なく、クロックの8回目の立ち下がり時にウェイト、割り込み要求が発生します。WTIM0 ビットが “1” の場合は、さらにクロックの9回目の立ち下がり時にウェイト、割り込み要求が発生します。

注2) WRELO ビットと ACKEO ビットのセット順序は以下の通りとしてください。

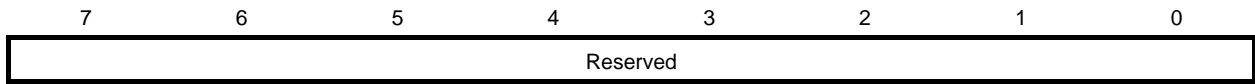
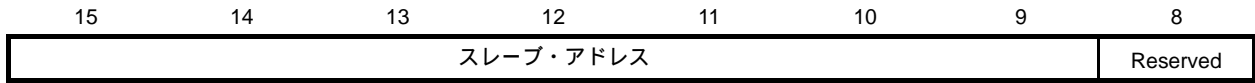
- ・WRELO ビットと ACKEO ビットを反映するタイミングが異なっているため、必ず ACKEO ビットをセットした後に WRELO ビットをセットするようにしてください。

注3) STT0 ビットをセットすると、セットする前の前の状態にしたがって次の動作を行います。

- ・バスが開放されている場合（通信がストップ状態）、SDA ラインをハイ・レベルからロー・レベルに変化させ、スタート・コンディションを生成（マスタとして起動）します。その後、規格の時間を確保し、SCL ラインをロー・レベルにします。
- ・バスに参加しておらず、通信予約許可（IIC\_IICF0 レジスタの IICRSV ビット = 0（デフォルト））の場合、スタート・コンディション予約状態になります。バスが開放されたあとに、自動的にスタート・コンディションを生成します。
- ・バスに参加しておらず、通信予約禁止（IIC\_IICF0 レジスタの IICRSV ビット = 1）の場合、IIC\_IICF0 レジスタの STCF ビットをセットします。スタート・コンディションは生成しません。
- ・ウェイト状態（マスタ時）の場合、ウェイトを解除して、ストップ・コンディション生成がリスタートします。

### 3.2.3 スレーブ・アドレス・レジスタ

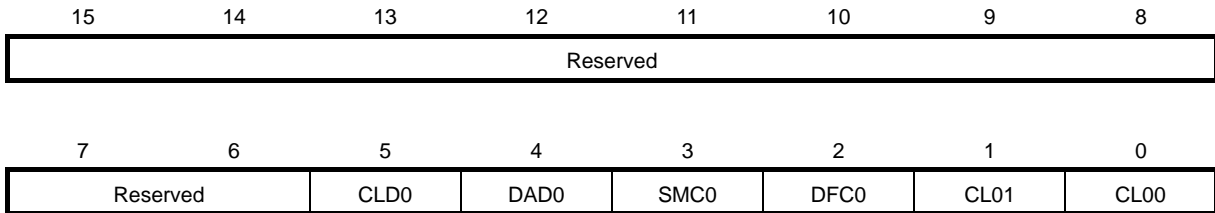
本レジスタ ( IIC\_SVA0:5004\_000CH(IIC),5003\_000CH(IIC2) ) は、スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値を格納するためのレジスタです。



| 名 称       | R/W | ビット  | リセット時 | 機 能               |
|-----------|-----|------|-------|-------------------|
| スレーブ・アドレス | R/W | 15:9 | 0     | スレーブ・アドレス値を格納します。 |
| Reserved  | R   | 8:0  | 0     | 予約。               |

### 3.2.4 IIC0 クロック選択レジスタ

本レジスタ ( IIC\_IICCL0 : 5004\_0010H(IIC) , 5003\_0010H(IIC2) ) は I<sup>2</sup>C インタフェースの転送クロックを設定するレジスタです。IIC\_IICCL0 レジスタの IICE0 ビットをセットする前に、このレジスタで転送クロックの設定を行ってください。



| 名 称      | R/W  | ビット                 | リセット時               | 機 能   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
|----------|------|---------------------|---------------------|---|------|------|-------|-------|---|---|---------------------|---------------------|---|---|---------------------|---------------------|---|---|---------------------|---------------------|---|---|------|------|
| Reserved | R    | 15:6                | 0                   | 予約。   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| CLD0 注1  | R    | 5                   | 0                   | SCL ラインのレベルを検出します。<br>0 : SCL ラインがロー・レベル<br>1 : SCL ラインがハイ・レベル  |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| DAD0 注1  | R    | 4                   | 0                   | SDA ラインのレベルを検出します。<br>0 : SDA ラインがロー・レベル<br>1 : SDA ラインがハイ・レベル  |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| SMC0     | R/W  | 3                   | 0                   | 動作モードを設定します。<br>0 : 標準モード ( 最大転送速度 70 kbps )<br>1 : 高速モード ( 最大転送速度 341 kbps )   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| DFC0 注2  | R/W  | 2                   | 0                   | デジタル・フィルタの有効 / 無効を設定します。<br>0 : デジタル・フィルタ無効<br>1 : デジタル・フィルタ有効  |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| CL01 注3  | R/W  | 1                   | 0                   | 転送クロックの周波数を選択します。 <table border="1" style="margin: 5px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>CL01</th> <th>CL00</th> <th>標準モード</th> <th>高速モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/44</td> <td>f<sub>xx</sub>/24</td> </tr> <tr> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/86</td> <td>f<sub>xx</sub>/24</td> </tr> <tr> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/86</td> <td>f<sub>xx</sub>/24</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> <td>設定禁止</td> </tr> </tbody> </table> | CL01 | CL00 | 標準モード | 高速モード | 0 | 0 | f <sub>xx</sub> /44 | f <sub>xx</sub> /24 | 0 | 1 | f <sub>xx</sub> /86 | f <sub>xx</sub> /24 | 1 | 0 | f <sub>xx</sub> /86 | f <sub>xx</sub> /24 | 1 | 1 | 設定禁止 | 設定禁止 |
| CL01     | CL00 | 標準モード               | 高速モード               |   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| 0        | 0    | f <sub>xx</sub> /44 | f <sub>xx</sub> /24 |   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| 0        | 1    | f <sub>xx</sub> /86 | f <sub>xx</sub> /24 |   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| 1        | 0    | f <sub>xx</sub> /86 | f <sub>xx</sub> /24 |   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| 1        | 1    | 設定禁止                | 設定禁止                |   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |
| CL00 注3  | R/W  | 0                   | 0                   |   |      |      |       |       |   |   |                     |                     |   |   |                     |                     |   |   |                     |                     |   |   |      |      |

**備考** f<sub>xx</sub> : 内部システムクロックの周波数。  
内部システムクロックは、システム制御ユニット ( ASMU ) から出力します。

注 1 ) CLD0 , DAD0 ビットは、IIC\_IICCL0 レジスタの IICE0 ビットが “ 1 ” のときのみ有効です。IICE0 ビットが “ 0 ” のときに CLD0 , DAD0 ビットをリードすると、SCL/SDA ラインの状態によらず “ 0 ” が読み出せます。

注 2 ) デジタル・フィルタは高速モード ( SMC0 ビット = 1 ) のときのみ使用可能です。

標準モード / 高速モードのどちらの場合も、DFC0 ビットの値 ( デジタル・フィルタの有効 / 無効 ) にかかわらず出力信号のタイミングは同じです。

注 3 ) CL01 , CL00 ビットの設定は、IIC\_SCLCK ( I<sup>2</sup>C インタフェース用内部システムクロック ) の周波数が次の条件を満たすように設定してください。CL01 , CL00 ビットに 01b , 10b を設定した場合の動作は同じです。また、高速モードでは、11b 以外のどの値を設定しても動作は同じです。

| CL01 | CL00 | 標準モード                             | 高速モード                             |
|------|------|-----------------------------------|-----------------------------------|
| 0    | 0    | 2.00 MHz f <sub>xx</sub> 4.19 MHz | 4.19 MHz f <sub>xx</sub> 8.38 MHz |
| 0    | 1    | 4.19 MHz f <sub>xx</sub> 8.38 MHz | 4.19 MHz f <sub>xx</sub> 8.38 MHz |
| 1    | 0    | 4.19 MHz f <sub>xx</sub> 8.38 MHz | 4.19 MHz f <sub>xx</sub> 8.38 MHz |
| 1    | 1    | 設定禁止                              | 設定禁止                              |

### 3.2.5 IIC0 状態レジスタ

本レジスタ ( IIC\_IICSE0 : 5004\_001CH(IIC) , 5003\_001CH(IIC2) ) は、I<sup>2</sup>C インタフェースの状態を表すエミュレーション用リード専用レジスタです。

IIC\_IICSE0 レジスタに対してリード・アクセスを行った場合、必ず1回のリトライが発生します。

|          |      |      |      |      |       |      |      |
|----------|------|------|------|------|-------|------|------|
| 15       | 14   | 13   | 12   | 11   | 10    | 9    | 8    |
| MSTS0    | ALD0 | EXC0 | COI0 | TRC0 | ACKD0 | STD0 | SPD0 |
| 7        | 6    | 5    | 4    | 3    | 2     | 1    | 0    |
| Reserved |      |      |      |      |       |      |      |

( 1/3 )

| 名 称   | R/W | ビット | リセット時 | 機 能   |
|-------|-----|-----|-------|---|
| MSTS0 | R   | 15  | 0     | マスタ通信状態を示すフラグです。<br>0：スレーブ状態，または通信可能状態<br>1：マスタ通信状態<br>[セット条件]<br>・スタート・コンディションを生成したとき<br>[クリア条件]<br>・ストップ・コンディションを検出したとき<br>・アービトレーションに負けたとき<br>・LREL0 ビットに“1”を設定したとき<br>・IICE0 ビットに“0”を設定したとき<br>・リセット入力したとき  |
| ALD0  | R   | 14  | 0     | アービトレーション負けを検出したことを示すフラグです。このビットがセットされると、MSTS0 ビットがクリアされます。<br>0：アービトレーションが起こっていない状態，またはアービトレーションに勝った状態<br>1：アービトレーションに負けた状態<br>[セット条件]<br>・アービトレーションに負けたとき<br>[クリア条件]<br>・IICE0 ビットに“0”を設定<br>・リセット入力  |
| EXC0  | R   | 13  | 0     | 拡張コードを受信していることを示すフラグです。<br>0：拡張コードを受信していない<br>1：拡張コードを受信している<br>[セット条件]<br>・受信したアドレス・データの上位4ビットが，“0000b”または“1111b”のとき (SCL クロックの8回目の立ち上がりタイミング)<br>[クリア条件]<br>・スタート・コンディションを検出したとき<br>・ストップ・コンディションを検出したとき<br>・LREL0 ビットに“1”を設定したとき<br>・IICE0 ビットに“0”を設定したとき<br>・リセット入力したとき |

| 名 称  | R/W | ビット | リセット時 | 機 能   |
|------|-----|-----|-------|---|
| COI0 | R   | 12  | 0     | <p>アドレスが一致したことを示すフラグです。</p> <p>0：アドレスが一致していない<br/>1：アドレスが一致</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信したアドレス・データがこのデバイスのスレーブ・アドレス (IIC_SVA0 レジスタ) と一致したとき (SCL クロックの 8 回目の立ち上がりタイミング)</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>スタート・コンディションを検出したとき</li> <li>ストップ・コンディションを検出したとき</li> <li>LRELO ビットに "1" を設定したとき</li> <li>IICE0 ビットに "0" を設定したとき</li> <li>リセット入力したとき</li> </ul>  |
| TRC0 | R   | 11  | 0     | <p>送受信状態を示すフラグです。</p> <p>0：受信状態 (送信状態以外)<br/>SDA ラインを Hi-Z にします。</p> <p>1：送信状態<br/>SDA ラインにシリアル・データ値を出力できる状態にします。1 バイト目の SCL クロックの、9 回目の立ち下がり以降に有効です。</p> <p>[セット条件]</p> <p>マスタの場合：</p> <ul style="list-style-type: none"> <li>スタート・コンディション生成時 (STD0 = 1 かつ MSTS0 = 1)</li> <li>送受信データの 1 バイト目の LSB に "0" を出力したとき</li> </ul> <p>スレーブの場合：</p> <ul style="list-style-type: none"> <li>送受信データの 1 バイト目の LSB に "1" が入力されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ストップ・コンディションを検出したとき</li> <li>アービトレーションに負けたとき</li> <li>LRELO ビットに "1" を設定したとき</li> <li>IICE0 ビットに "0" を設定したとき</li> <li>ウェイト期間中に WRELO ビットに "1" を設定したとき</li> <li>リセット入力したとき</li> </ul> <p>マスタの場合：</p> <ul style="list-style-type: none"> <li>送受信データの 1 バイト目の LSB に "1" を出力したとき</li> </ul> <p>スレーブの場合：</p> <ul style="list-style-type: none"> <li>スタート・コンディションを検出したとき (STD0 = 1 かつ MSTS0 = 0)</li> <li>送受信データの 1 バイト目の LSB に "0" が入力されたとき</li> </ul> |

| 名 称      | R/W | ビット | リセット時 | 機 能  |
|----------|-----|-----|-------|--|
| ACKD0    | R   | 10  | 0     | <p>アクノリッジを検出したことを示すフラグです。</p> <p>0：アクノリッジを検出していない<br/>1：アクノリッジを検出</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・SCL クロックの9回目の立ち上がり時に SDA ラインがロー・レベルだったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・次のバイトの SCL クロックの1回目の立ち上がり時</li> <li>・ストップ・コンディションを検出したとき</li> <li>・LREL0 ビットに“1”を設定したとき</li> <li>・IICE0 ビットに“0”を設定したとき</li> <li>・リセット入力したとき</li> </ul>                   |
| STD0     | R   | 9   | 0     | <p>スタート・コンディションを示すフラグです。</p> <p>0：スタート・コンディションを検出していない<br/>1：スタート・コンディションを検出<br/>アドレス転送期間であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・スタート・コンディションを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・このビットがセットされたあとのスタート・コンディション検出後、アドレス転送バイトの SCL クロックの1回目の立ち上がり時</li> <li>・ストップ・コンディションを検出したとき</li> <li>・IICE0 ビットに“0”を設定したとき</li> <li>・リセット入力したとき</li> </ul> |
| SPD0     | R   | 8   | 0     | <p>ストップ・コンディションを示すフラグです。</p> <p>0：ストップ・コンディションを検出していない<br/>1：ストップ・コンディションを検出<br/>あるマスタでの通信が終了し、バスが開放されていることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ストップ・コンディションを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・このビットがセットされたあとのスタート・コンディション検出後、アドレス転送バイトの SCL クロックの1回目の立ち上がり時</li> <li>・IICE0 ビットに“0”を設定したとき</li> <li>・リセット入力したとき</li> </ul>                  |
| Reserved | R   | 7:0 | 0     | 予約。  |

注 ウェイト期間については 4.1.6 ウェイト信号 (WAIT) を参照してください。



### 3.2.6 IIC0 フラグ・レジスタ

本レジスタ ( IIC\_IICF0 : 5004\_0028H(IIC) , 5003\_0028H(IIC2) ) は、I<sup>2</sup>C インタフェースの制御を行うレジスタです。

IIC\_IICF0 レジスタの IICE0 ビットが“ 1 ”のときこのレジスタに書き込みを行った場合の動作は保証しません。

|          |        |    |    |    |    |       |        |
|----------|--------|----|----|----|----|-------|--------|
| 15       | 14     | 13 | 12 | 11 | 10 | 9     | 8      |
| Reserved |        |    |    |    |    |       |        |
| 7        | 6      | 5  | 4  | 3  | 2  | 1     | 0      |
| STCF     | IICBSY | 0  | 0  | 0  | 0  | STCEN | IICRSV |

| 名 称                  | R/W | ビット  | リセット時 | 機 能  |
|----------------------|-----|------|-------|--|
| Reserved             | R   | 15:8 | 0     | 予約。  |
| STCF                 | R   | 7    | 0     | IIC_IICF0 レジスタの STT0 ビットがクリアされていることを示すフラグです。<br>0: スタート・コンディション発行<br>1: STT0 ビットがクリアされている<br>[ セット条件 ]<br>・通信予約禁止 ( IICRSV = 1 ) 設定時に STT0 ビットがクリアされたとき<br>[ クリア条件 ]<br>・STT0 ビットに “ 1 ” を設定したとき<br>・IICE0 ビットに “ 0 ” を設定したとき<br>・リセット入力したとき |
| IICBSY <sup>注1</sup> | R   | 6    | 0     | I <sup>2</sup> C バスが通信状態にあることを示すフラグです。<br>0: バス開放状態<br>1: バス通信状態<br>[ セット条件 ]<br>・スタート・コンディションを検出したとき<br>・STCEN ビットが “ 0 ” の状態で、IICE0 ビットに “ 0 ” を設定したとき<br>[ クリア条件 ]<br>・IICE0 ビットに “ 0 ” を設定したとき<br>・リセット入力したとき                            |
| 0                    | R   | 5:2  | 0     | 0 固定で使用してください。   |
| STCEN <sup>注2</sup>  | R/W | 1    | 0     | 動作許可後 ( IICE0 = 1 )、このビットをセットすることで、ストップ・コンディションを検出せずにスタート・コンディションを生成できます。<br>0: ストップ・コンディションを検出しないとスタート・コンディションを生成できない<br>1: ストップ・コンディションを検出せずにスタート・コンディションを生成できる<br><b>備考</b> このビットは、次の条件で自動的にクリアされます。<br>・スタート・コンディションを検出<br>・リセット入力       |
| IICRSV               | R/W | 0    | 0     | 通信予約の許可 / 禁止を設定します。<br>0: 通信予約許可    1: 通信予約禁止  |

注1 IICBSY は I<sup>2</sup>C を Enable にしてからバスの状態が反映されるまでに内部システムクロックで最低 2 クロック必要です。条件の同時変化で 1 クロック分のズレが発生する可能性があるため、内部システムクロックで 3 クロック待ってから確認してください。

注2 STCEN ビットをセットする場合は、I<sup>2</sup>C バスに接続されているほかの I<sup>2</sup>C デバイスが通信していないときに

セットしてください。ほかのI<sup>2</sup>Cデバイスが通信中のときに STCEN ビットをセットし、IIC\_IICC0 レジスタの STT0 ビットに“1”を設定すると、スタート・コンディションを発行するため、通信中のデータを破損します。

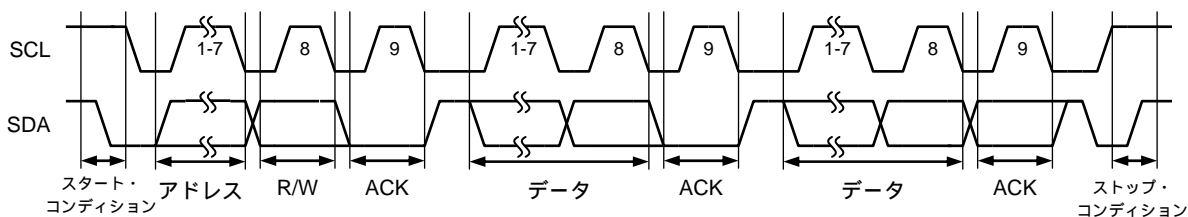
## 第4章 機能詳細

### 4.1 I<sup>2</sup>Cバスの動作

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に示します。

I<sup>2</sup>CバスのSDAライン上に出力されるスタート・コンディション、スレーブ・アドレス、データ、およびストップ・コンディションの各転送タイミングを図4-1に示します。

図4-1 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタ・デバイスが出力します。アクノリッジ信号 (ACK) は、マスタ/スレーブ・デバイスのどちらでも出力できます (通常、8 ビット・データの受信側が出力します)。

シリアル・クロック (SCL) はマスタ・デバイスが出力します。

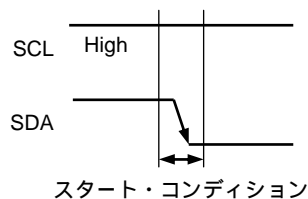
#### 4.1.1 スタート・コンディション

SCL ラインがハイ・レベルのとき (シリアル・クロックが出力されていないとき) に、SDA ラインがハイ・レベルからロー・レベルに変化するとスタート・コンディションになります。

スタート・コンディションは、マスタ・デバイスがスレーブ・デバイスに対してシリアル転送を開始するときに出力する信号です。

I<sup>2</sup>C インタフェースは、スレーブ動作時にスタート・コンディションを検出するハードウェアを内蔵しています。

図4-2 スタート・コンディション



なお、ストップ・コンディションによりシリアル転送は終了しますが、スタート後、ストップ・コンディションが生成される前に再びスタート・コンディションが生成された場合、これをリスタート・コンディションと呼びます。

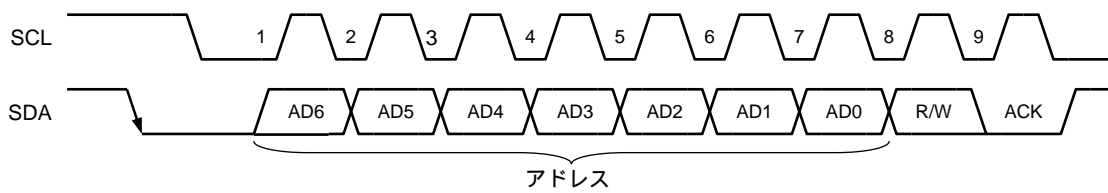
### 4.1.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、バス・ラインに接続されている複数のスレーブ・デバイスの中から特定のスレーブを選択するために、マスタ・デバイスが出力する7ビット・データです。したがって、バス・ライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブ・デバイスは、ハードウェアによって SDA ライン上のデータがアドレスであることを検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA0) と一致しているか調べます。このとき、7ビット・データと SVA0 レジスタの値が一致すると、そのスレーブ・デバイスが選択されたことになり、以後、マスタ・デバイスがスタート・コンディションまたはストップ・コンディションを送信するまで、マスタとの通信を行います。

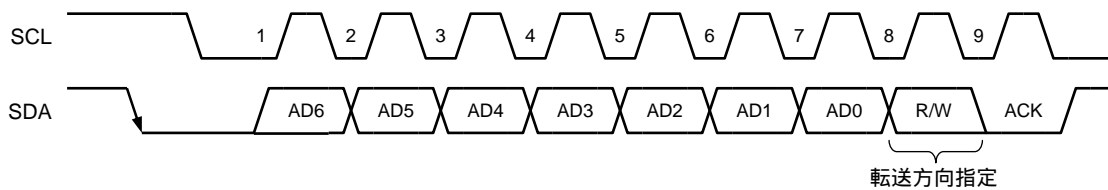
図 4-3 アドレス



### 4.1.3 転送方向指定

マスタ・デバイスは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。この転送方向ビットが0のとき、マスタ・デバイスがスレーブ・デバイスにデータを送信することを示します。この転送方向ビットが1のとき、マスタ・デバイスがスレーブ・デバイスからデータを受信することを示します。

図 4-4 転送方向指定



#### 4.1.4 アクノリッジ信号 (ACK)

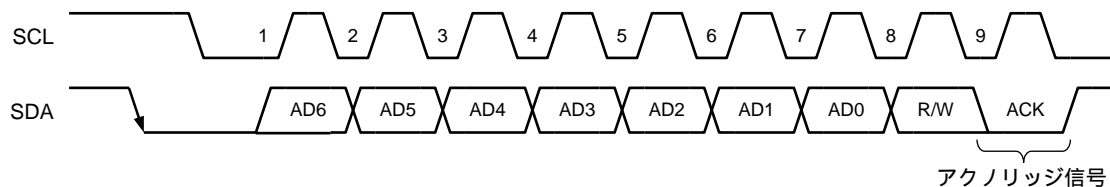
アクノリッジ信号は、受信側が送信側に対してシリアル・データを受信したことを通知するための信号です。

受信側は、8ビット・データを受信するたびにアクノリッジ信号を返送します。アクノリッジ信号はSCLライン上のクロックの、9回目のハイ・レベル期間にSDAラインをロー・レベルにすることにより生成されます。

送信側は、8ビット・データの送信後、受信側からアクノリッジ信号が返されたかどうかを検出します。

アクノリッジ信号が返された場合は、受信が正しく行われたものとして次の処理を行います。スレーブ・デバイスからアクノリッジ信号が返らない場合は受信が正しく行われないので、マスタ・デバイスはストップ・コンディションを出力し、送信を中止します。

図 4-5 アクノリッジ信号



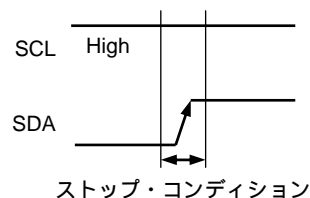
#### 4.1.5 ストップ・コンディション

SCLラインがハイ・レベルのとき(シリアル転送が終了し、シリアル・クロックが出力されていないとき)に、SDAラインがロー・レベルからハイ・レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションは、シリアル転送が終了したときにマスタ・デバイスからスレーブ・デバイスに対して出力する信号です。

I<sup>2</sup>Cインタフェースは、スレーブ動作時にストップ・コンディションを検出するハードウェアを内蔵しています。

図 4-6 ストップ・コンディション



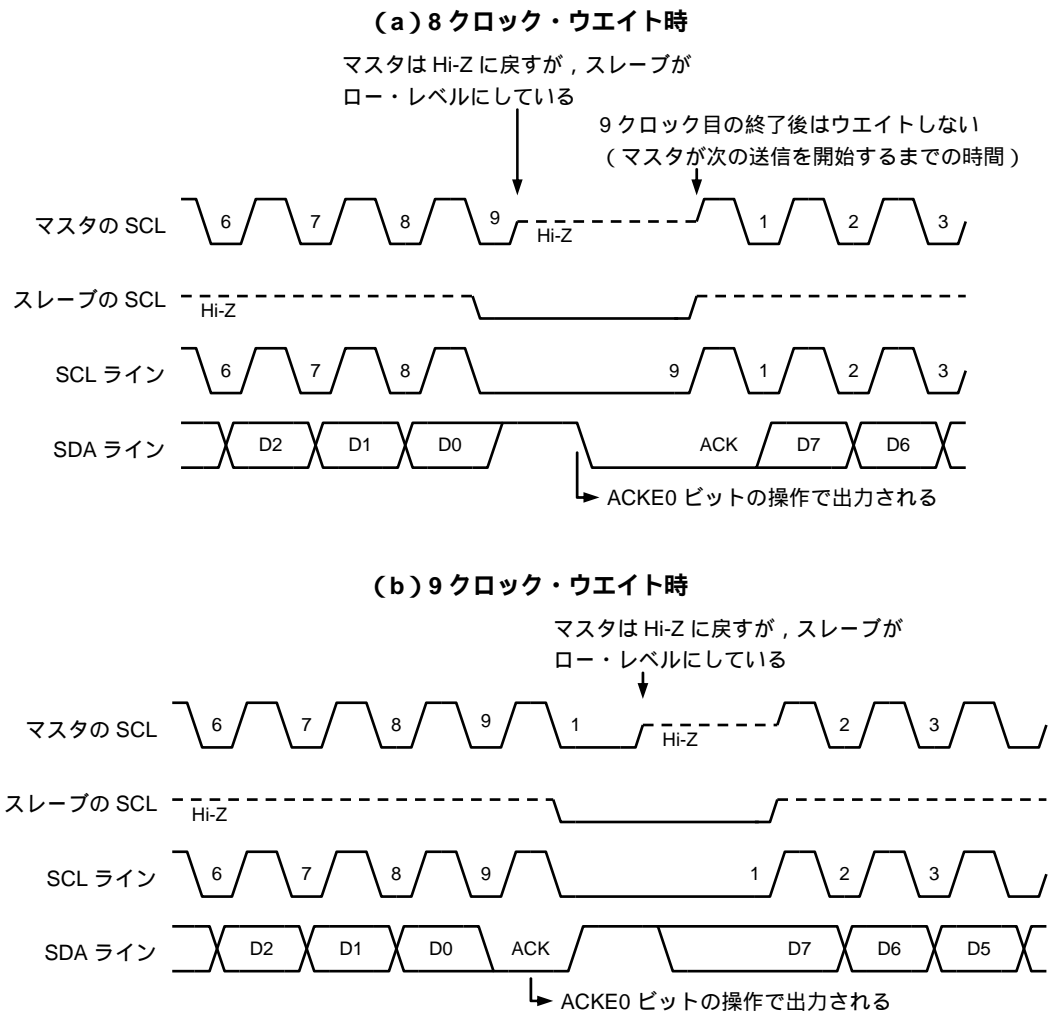
### 4.1.6 ウェイト信号 (WAIT)

ウェイト信号は、マスタ/スレーブ・デバイスがデータ送受信の準備中（ウェイト状態）であることを通信相手に知らせるための信号です。

マスタ/スレーブ・デバイスは、SCL ラインをロー・レベルにすることにより、通信相手にウェイト状態を通知します。

マスタ・デバイスは、ウェイト信号が解除されると次の転送を開始することが可能になります。

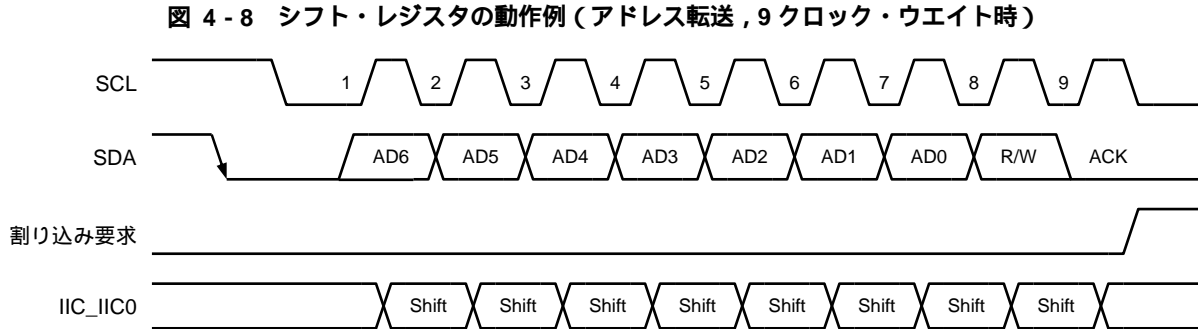
図 4-7 ウェイト信号



## 4.2 シフト・レジスタ (IIC\_IIC0) の動作

シフト・レジスタ (IIC\_IIC0) は、シリアル・クロック (SCL) の立ち上がりで同期してシフト動作を行います。SCL ラインの立ち上がりで最上位ビット側へ1ビット・シフトし、同時に SDA ラインの値を最下位ビットに取り込みます。

図 4-8 に IIC\_IIC0 レジスタのシフト動作例を示します。



## 4.3 拡張コード

受信アドレスの上位4ビットが“0000b”または“1111b”のときを拡張コード受信と判断して、拡張コード受信フラグ (EXC0) をセットし、クロックの8回目の立ち下がりタイミングで割り込み要求信号を発生します。

SVA0 レジスタに格納された自局アドレスには影響しません。

たとえば、10ビット・アドレス転送において、SVA0 レジスタに“111110xxb”を設定し、マスタから“111110xxb”が転送されてきた場合、上位4ビットのデータの一致により IIC\_IICSE0 レジスタの EXC0 ビット = 1、7ビット・データの一致により IIC\_IICSE0 レジスタの COI0 ビット = 1 となります。

ただし、割り込み要求信号は、クロックの8回目の立ち下がりタイミングで発生します。

割り込み要求信号発生後の処理は、拡張コードに続くデータにより異なります。このデータの処理はソフトウェアで行ってください。

拡張コード受信後、スレーブとして動作したくない場合は、IIC\_IIC0 レジスタの LREL0 ビットを“1”に設定し、通信待機状態となります。

表 4-1 拡張コードのビット定義

| スレーブ・アドレス | R/W ビット | 説明                        |
|-----------|---------|---------------------------|
| 0000000b  | 0       | ジェネラル・コール・アドレス            |
| 0000000b  | 1       | スタート・バイト                  |
| 0000001b  | x       | CBUS アドレス                 |
| 0000010b  | x       | 異なるバス・フォーマット用に予約されているアドレス |
| 0000011b  | x       |                           |
| 00001xxb  | x       |                           |
| 11111xxb  | x       |                           |
| 11110xxb  | x       | 10ビット・スレーブ・アドレス指定         |

備考 x: 不定

## 4.4 アービトレーション

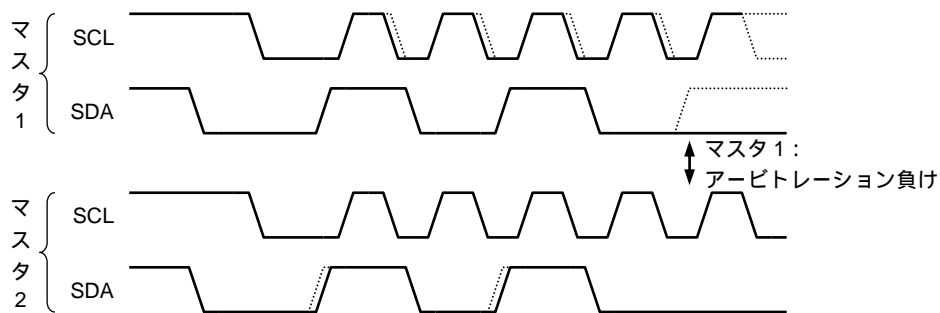
複数のマスタ・デバイスがスタート・コンディションを同時に発生した場合、SDA に対して自分のアドレス(7bit) を出力し、出力したアドレスと SDA の値が一致したデバイスが優先されます。これをアービトレーション(Arbitration) と呼び、通信を許可されない状態をアービトレーション負けと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ (ALD0) をセットし、SCL / SDA ラインとも Hi-Z 状態のまま、スレーブ待機状態になります。

次の割り込み要求発生タイミングで、ソフトウェアによりフラグの検出を行ってください。

割り込み発生タイミングについては、4.5 割り込みを参照してください。

図 4-9 アービトレーションの例



アービトレーションが起こる状態を次に示します。

アドレス送信中

アドレス送信後の R/W 情報送信中

拡張コード送信中

拡張コード送信後の R/W 情報送信中

データ送信中

データ受信後の ACK 転送期間中

データ転送中、リスタート・コンディションを検出

データ転送中、ストップ・コンディションを検出

リスタート・コンディションを発生しようとしたときに、データがロウ・レベル

リスタート・コンディションを発生しようとしたときに、ストップ・コンディションを検出

ストップ・コンディションを発生しようとしたときに、データがロウ・レベル

リスタート・コンディションを発生しようとしたときに、SCL を下げられた場合

**備考** ~ , , , は、基本的な割り込みタイミング(バイト転送後のクロックの 8 回目の立ち下がり、または 9 回目の立ち下がり)で割り込み要求を発生します。

, については、IIC\_IICC0 レジスタの SPIE0 ビットが“1”のときに、ストップ・コンディション割り込み発生タイミングで、割り込み要求を発生します。マスタ動作中にアービトレーションが起こる可能性がある場合、SPIE0 ビットに“1”を設定する必要があります。



## 4.5 割り込み

I<sup>2</sup>C インタフェースの割り込み要求発生タイミング、および割り込みタイミングでの IIC\_IICSE0 レジスタの値を示します。

次の2つの条件により割り込み信号が発生します。

シリアル・クロック (SCL) の 8 回目または 9 回目の立ち下がり (IIC\_IICC0 レジスタの WTIM0 ビットで制御)

ストップ・コンディションの検出 (IIC\_IICC0 レジスタの SPIE0 ビットで制御)

**備考 1.** および は割り込みの発生するタイミングです。

は、SPIE0 ビットの状態によって割り込みが発生しない場合があります。

2. IIC\_IICSE0 レジスタの値の中で、“x”は不定ではなく、“1”または“0”のどちらの場合も存在することを意味します。

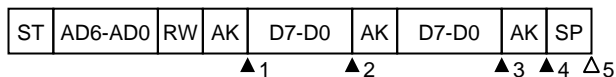
3. 各略称は次の意味で使用しています。

- ・ ST : スタート・コンディション
- ・ AD6-AD0 : アドレス・データ
- ・ RW : 転送方向指定 (R/W)
- ・ AK : アクノリッジ (ACK)
- ・ D7-D0 : 転送データ
- ・ SP : ストップ・コンディション

### 4.5.1 マスタ動作

図 4 - 10 マスタ動作時のタイミング (1/2)

(1) Start    Address    Data    Data    ...    Stop (WTIM0 = 0 のとき)



1 : IIC\_IICSE0 = 1000x110

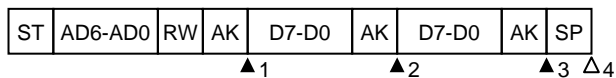
2 : IIC\_IICSE0 = 1000x000

3 : IIC\_IICSE0 = 1000x000 (WTIM0 ビットをセット)

4 : IIC\_IICSE0 = 1000xx00 (SPT0 ビットをセット)

5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(2) Start    Address    Data    Data    ...    Stop (WTIM0 = 1 のとき)



1 : IIC\_IICSE0 = 1000x110

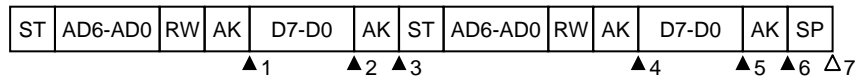
2 : IIC\_IICSE0 = 1000x100

3 : IIC\_IICSE0 = 1000xx00 (SPT0 ビットをセット)

4 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

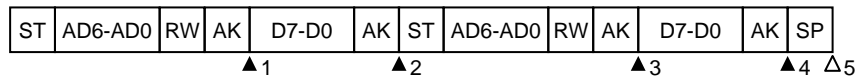
図 4 - 10 マスタ動作時のタイミング (2/2)

(3) Start    Address    Data    ...    Start    Address    Data    ...    Stop (WTIM0 = 0 のとき)



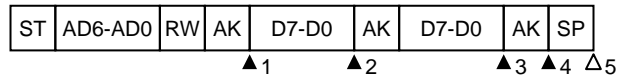
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000x000 (WTIM0 ビットをセット)
- 3 : IIC\_IICSE0 = 1000xx00 (WTIM0 ビットをクリア, STT0 ビットをセット)
- 4 : IIC\_IICSE0 = 1000x110
- 5 : IIC\_IICSE0 = 1000x000 (WTIM0 ビットをセット)
- 6 : IIC\_IICSE0 = 1000xx00 (SPT0 ビットをセット)
- 7 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(4) Start    Address    Data    ...    Start    Address    Data    ...    Stop (WTIM0 = 1 のとき)



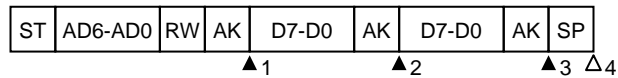
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000xx00
- 3 : IIC\_IICSE0 = 1000x110
- 4 : IIC\_IICSE0 = 1000xx00 (SPT0 ビットをセット)
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(5) Start    Code    Data    Data    ...    Stop (WTIM0 = 0 のとき)



- 1 : IIC\_IICSE0 = 1010x110
- 2 : IIC\_IICSE0 = 1010x000
- 3 : IIC\_IICSE0 = 1010x000 (WTIM0 ビットをセット)
- 4 : IIC\_IICSE0 = 1010xx00 (SPT0 ビットをセット)
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(6) Start    Code    Data    Data    ...    Stop (WTIM0 = 1 のとき)



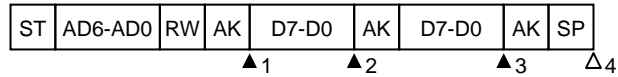
- 1 : IIC\_IICSE0 = 1010x110
- 2 : IIC\_IICSE0 = 1010x100
- 3 : IIC\_IICSE0 = 1010xx00 (SPT0 ビットをセット)
- 4 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

## 4.5.2 スレーブ動作

### (1) スレーブ・アドレス・データ受信時 (SVA0 一致)

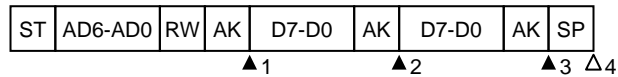
図 4 - 11 スレーブ・アドレス・データ受信時のタイミング (1/2)

(a) Start Address Data Data ... Stop (WTIM0 = 0 のとき)



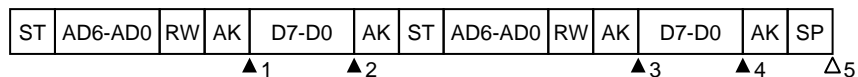
- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001x000
- 3 : IIC\_IICSE0 = 0001x000
- 4 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(b) Start Address Data Data ... Stop (WTIM0 = 1 のとき)



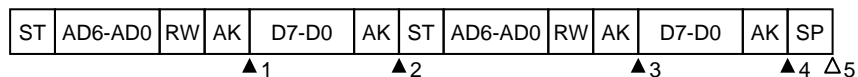
- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001x100
- 3 : IIC\_IICSE0 = 0001xx00
- 4 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(c) Start Address Data ... Start Address Data ... Stop (WTIM0 = 0 のとき) リスタート後, SVA0 一致



- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001x000
- 3 : IIC\_IICSE0 = 0001x110
- 4 : IIC\_IICSE0 = 0001x000
- 5 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

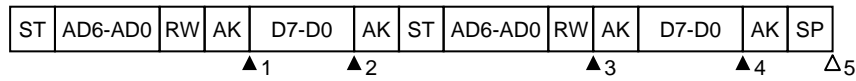
(d) Start Address Data ... Start Address Data ... Stop (WTIM0 = 1 のとき) リスタート後, SVA0 一致



- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001xx00
- 3 : IIC\_IICSE0 = 0001x110
- 4 : IIC\_IICSE0 = 0001xx00
- 5 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

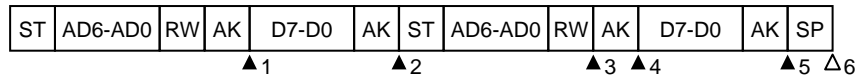
図 4 - 11 スレーブ・アドレス・データ受信時のタイミング (2/2)

(e) Start Address Data ... Start Code Data ... Stop (WTIM0 = 0 のとき)  
リスタート後, 拡張コード受信



- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001x000
- 3 : IIC\_IICSE0 = 0010x010
- 4 : IIC\_IICSE0 = 0010x000
- 5 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(f) Start Address Data ... Start Code Data ... Stop (WTIM0 = 1 のとき)  
リスタート後, 拡張コード受信



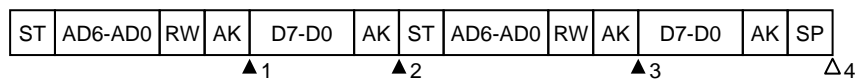
- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001xx00
- 3 : IIC\_IICSE0 = 0010x010
- 4 : IIC\_IICSE0 = 0010x110
- 5 : IIC\_IICSE0 = 0010xx00
- 6 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(g) Start Address Data ... Start Address Data ... Stop (WTIM0 = 0 のとき)  
リスタート後, アドレス不一致 (拡張コード以外)



- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001x000
- 3 : IIC\_IICSE0 = 00000x10
- 4 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(h) Start Address Data ... Start Address Data ... Stop (WTIM0 = 1 のとき)  
リスタート後, アドレス不一致 (拡張コード以外)

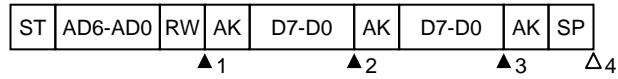


- 1 : IIC\_IICSE0 = 0001x110
- 2 : IIC\_IICSE0 = 0001xx00
- 3 : IIC\_IICSE0 = 00000x10
- 4 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(2) 拡張コード受信時

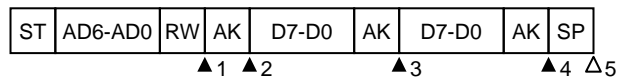
図 4 - 12 拡張コード受信時のタイミング (1/2)

(a) Start Code Data Data ... Stop (WTIM0 = 0 のとき)



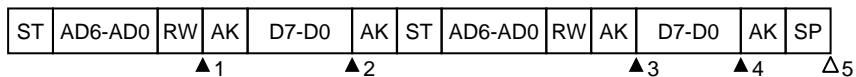
- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x000
- 3 : IIC\_IICSE0 = 0010x000
- 4 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(b) Start Code Data Data ... Stop (WTIM0 = 1 のとき)



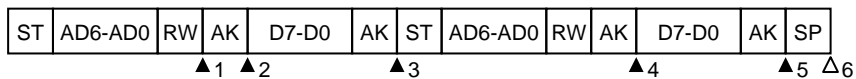
- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x110
- 3 : IIC\_IICSE0 = 0010x100
- 4 : IIC\_IICSE0 = 0010xx00
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(c) Start Code Data ... Start Address Data ... Stop(WTIM0 = 0 のとき) リスタート後, SVA0 一致



- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x000
- 3 : IIC\_IICSE0 = 0001x110
- 4 : IIC\_IICSE0 = 0001x000
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(d) Start Code Data ... Start Address Data ... Stop(WTIM0 = 1 のとき) リスタート後, SVA0 一致

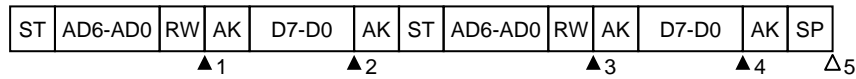


- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x110
- 3 : IIC\_IICSE0 = 0010xx00
- 4 : IIC\_IICSE0 = 0001x110
- 5 : IIC\_IICSE0 = 0001xx00
- 6 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

図 4 - 12 拡張コード受信時のタイミング (2/2)

(e) Start Code Data ... Start Code Data ... Stop (WTIM0 = 0 のとき)

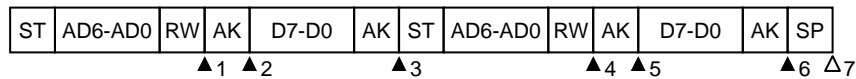
リスタート後, 拡張コード受信



- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x000
- 3 : IIC\_IICSE0 = 0010x010
- 4 : IIC\_IICSE0 = 0010x000
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(f) Start Code Data ... Start Code Data ... Stop (WTIM0 = 1 のとき)

リスタート後, 拡張コード受信



- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x110
- 3 : IIC\_IICSE0 = 0010xx00
- 4 : IIC\_IICSE0 = 0010x010
- 5 : IIC\_IICSE0 = 0010x110
- 6 : IIC\_IICSE0 = 0010xx00
- 7 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(g) Start Code Data ... Start Address Data ... Stop (WTIM0 = 0 のとき)

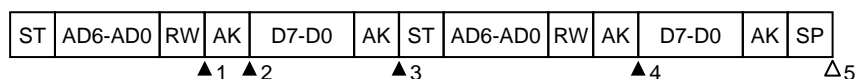
リスタート後, アドレス不一致 (拡張コード以外)



- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x000
- 3 : IIC\_IICSE0 = 00000x10
- 4 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(h) Start Code Data ... Start Address Data ... Stop (WTIM0 = 1 のとき)

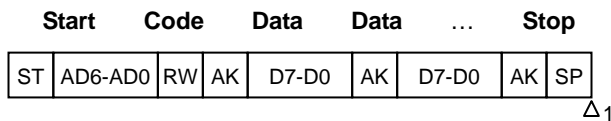
リスタート後, アドレス不一致 (拡張コード以外)



- 1 : IIC\_IICSE0 = 0010x010
- 2 : IIC\_IICSE0 = 0010x110
- 3 : IIC\_IICSE0 = 0010xx00
- 4 : IIC\_IICSE0 = 00000x10
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

### 4.5.3 アドレス不一致時の動作

図 4 - 13 アドレス不一致時のタイミング



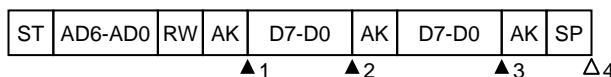
1: IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

### 4.5.4 アービトレーション負けの動作

(1) アービトレーション負けのあと、スレーブとして動作

図 4 - 14 アービトレーション負けのあと、スレーブとして動作したときのタイミング (1/2)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 0 のとき)



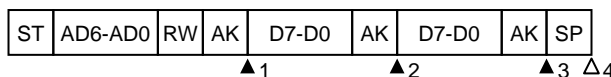
1: IIC\_IICSE0 = 0101x110 ( 例: 割り込み処理中の ALD0 ビットをリード )

2: IIC\_IICSE0 = 0001x000

3: IIC\_IICSE0 = 0001x000

4: IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(b) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)



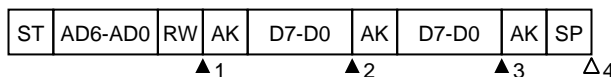
1: IIC\_IICSE0 = 0101x110 ( 例: 割り込み処理中の ALD0 ビットをリード )

2: IIC\_IICSE0 = 0001x100

3: IIC\_IICSE0 = 0001xx00

4: IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(c) 拡張コード送信中にアービトレーションに負けた場合 (WTIM0 = 0 のとき)



1: IIC\_IICSE0 = 0110x010 ( 例: 割り込み処理中の ALD0 ビットをリード )

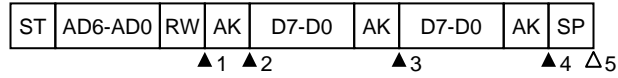
2: IIC\_IICSE0 = 0010x000

3: IIC\_IICSE0 = 0010x000

4: IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

図 4 - 14 アービトレーション負けのあと、スレーブとして動作したときのタイミング (2/2)

(d) 拡張コード送信中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)

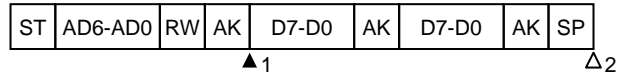


- 1 : IIC\_IICSE0 = 0110x010 (例: 割り込み処理中の ALD0 ビットをリード)
- 2 : IIC\_IICSE0 = 0010x110
- 3 : IIC\_IICSE0 = 0010x100
- 4 : IIC\_IICSE0 = 0010xx00
- 5 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(2) アービトレーション負けのあと、通信に参加できない場合

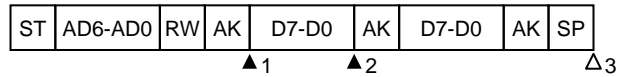
図 4 - 15 アービトレーション負けのあと、通信に参加できない場合のタイミング (1/3)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)



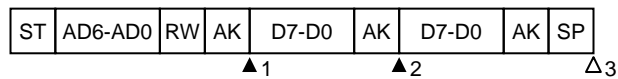
- 1 : IIC\_IICSE0 = 01000110 (例: 割り込み処理中の ALD0 ビットをリード)
- 2 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(b) データ転送中にアービトレーションに負けた場合 (WTIM0 = 0 のとき)



- 1 : IIC\_IICSE0 = 10001110
- 2 : IIC\_IICSE0 = 01000000 (例: 割り込み処理中の ALD0 ビットをリード)
- 3 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

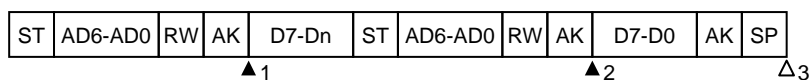
(c) データ転送中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)



- 1 : IIC\_IICSE0 = 10001110
- 2 : IIC\_IICSE0 = 01000100 (例: 割り込み処理中の ALD0 ビットをリード)
- 3 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(d) データ転送中にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVA0 不一致, WTIM0 = 1)

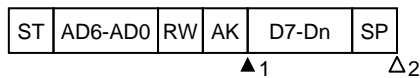


- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 01000110 (例: 割り込み処理中の ALD0 をリード)
- 3 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)



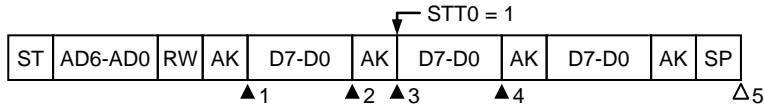
図 4 - 15 アービトレーション負けのあと、通信に参加できない場合のタイミング (2/3)

(e) データ転送中にストップ・コンディションで負けた場合



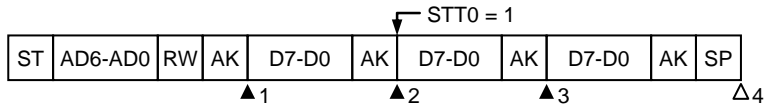
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 01000001 ( SPIE0 ビット = 1 のときのみ )

(f) リスタート・コンディションを発生しようとしたときに、データがロー・レベルのためアービトレーションに負けた場合 (WTIM0 = 0 のとき)



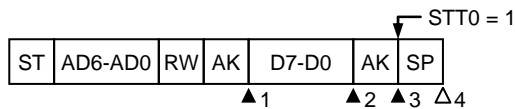
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000x000 ( WTIM0 ビットをセット )
- 3 : IIC\_IICSE0 = 1000xx00 ( WTIM0 ビットをクリア, STT0 ビットをセット )
- 4 : IIC\_IICSE0 = 01000000 ( 例: 割り込み処理中の ALD0 ビットをリード )
- 5 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(g) リスタート・コンディションを発生しようとしたときに、データがロー・レベルのためアービトレーションに負けた場合 (WTIM0 = 1 のとき)



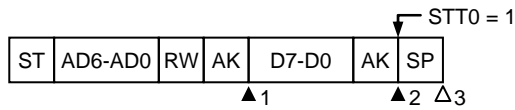
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000x100 ( STT0 ビットをセット )
- 3 : IIC\_IICSE0 = 01000100 ( 例: 割り込み処理中の ALD0 ビットをリード )
- 4 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(h) リスタート・コンディションを発生しようとしたときに、ストップ・コンディションのためアービトレーションに負けた場合 (WTIM0 = 0 のとき)



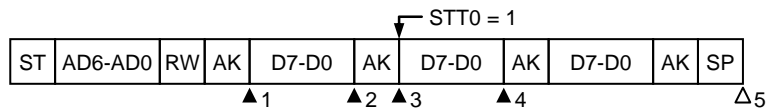
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000x000 ( WTIM0 ビットをセット )
- 3 : IIC\_IICSE0 = 1000xx00 ( STT0 ビットをセット )
- 4 : IIC\_IICSE0 = 01000001 ( SPIE0 ビット = 1 のときのみ )

図 4 - 15 アービトレーション負けのあと、通信に参加できない場合のタイミング (3/3)  
 (i) リスタート・コンディションを発生しようとしたときに、ストップ・コンディションのため  
 アービトレーションに負けた場合 (WTIM0 = 1 のとき)



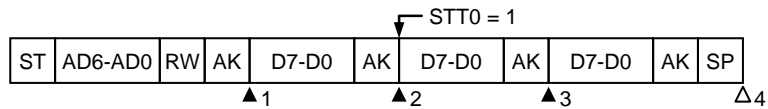
- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000xx00 ( STT0 ビットをセット )
- 3 : IIC\_IICSE0 = 01000001 ( SPIE0 ビット = 1 のときのみ )

(j) ストップ・コンディションを発生しようとしたときに、データがロー・レベルのため  
 アービトレーションに負けた場合 (WTIM0 = 0 のとき)



- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000x000 ( WTIM0 ビットをセット )
- 3 : IIC\_IICSE0 = 1000xx00 ( WTIM0 ビットをクリア, SPT0 ビットをセット )
- 4 : IIC\_IICSE0 = 01000000 ( 例: 割り込み処理中の ALD0 ビットをリード )
- 5 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(k) ストップ・コンディションを発生しようとしたときに、データがロー・レベルのため  
 アービトレーションに負けた場合 (WTIM0 = 1 のとき)

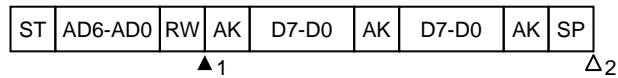


- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 1000xx00 ( SPT0 ビットをセット )
- 3 : IIC\_IICSE0 = 01000100 ( 例: 割り込み処理中の ALD0 ビットをリード )
- 4 : IIC\_IICSE0 = 00000001 ( SPIE0 ビット = 1 のときのみ )

(3) アービトレーション負けのあと、通信に参加しない場合

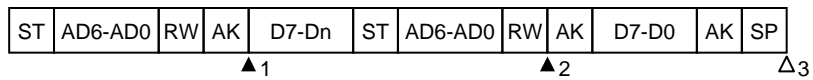
図 4 - 16 アービトレーション負けのあと、通信に参加しない場合のタイミング

(a) 拡張コード送信中にアービトレーションに負けた場合



- 1 : IIC\_IICSE0 = 0110x010 (例：割り込み処理中の ALD0 ビットをリード)  
ソフトウェアで LREL0 ビット = 1 を設定
- 2 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

(b) データ転送中にリスタート・コンディションで負けた場合 (拡張コード)



- 1 : IIC\_IICSE0 = 1000x110
- 2 : IIC\_IICSE0 = 0110x010 (例：割り込み処理中の ALD0 ビットをリード)  
ソフトウェアで LREL0 ビット = 0 を設定
- 3 : IIC\_IICSE0 = 00000001 (SPIE0 ビット = 1 のときのみ)

## 4.6 ウェイクアップ機能

ウェイクアップ機能は、I<sup>2</sup>C インタフェースのスレーブ機能において、自局アドレスおよび拡張コードを受信したときに割り込み要求信号を発生する機能です。

アドレスが一致しないときは、不要な割り込みを発生することなく、効率のよい処理を行うことができます。

スタート・コンディションを検出することにより、ウェイクアップ待機状態になります。

マスタ動作中（スタート・コンディションを発生した場合）であっても、アービトレーション負けによりスレーブ動作になる可能性があるため、アドレスを送信しながらウェイクアップ待機状態になる必要があります。

**注意** ストップ・コンディション割り込みにおいては、ウェイクアップ機能に関係なく IIC\_IICC0 レジスタの SPIE0 ビットの設定によって発生許可/禁止が決定されます。

## 4.7 アクノリッジ信号

アクノリッジ信号は SCL ライン上のクロックの、9 回目のハイ・レベル期間に SDA ラインをロー・レベルとすることにより表されます。

IIC\_IICC0 レジスタの ACKE0 ビット = 1 でアクノリッジ信号発生許可状態になります。

アドレス・データの 8 ビット目のデータ (LSB) の値にしたがって IIC\_IICSE0 レジスタの TRC0 ビットが設定されます。TRC0 ビットの値が "0" (受信側) の場合、ACKE0 ビットを "1" にする必要があります。

スレーブ受信側 (IIC\_IICSE0 レジスタの MST0 ビット = 0, TRC0 ビット = 0) では、複数バイトのデータを受信したあと、何らかの理由により次のデータを必要としない場合は、ACKE0 ビットを "0" にすることでマスタ側に次の転送を開始しないように促すことが可能です。

マスタ受信側 (MST0 ビット = 1, TRC0 ビット = 0) も同様に、次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを発生したい場合、ACK 信号を発生しないように ACKE0 ビットを "0" にすることで、スレーブ送信側が SDA ラインにデータの MSB データを出力しないように警告する必要があります。

## 4.8 通信予約

アービトレーションによって、マスタにもスレーブにもなれなかった場合、または拡張コードを受信してスレーブとして動作しない (ACK を返さず、IIC\_IICC0 レジスタの LREL0 ビットを "1" にしてバス開放を行った) 場合、通信予約を行うことで、現在行われている通信の終了後のアービトレーションに参加し、マスタになることができます。

待機状態のときは、IIC\_IICC0 レジスタの STT0 ビットをセットすることにより、バスが開放されたあと (ストップ・コンディション検出後) に、自動的にスタート・コンディションを生成し、ウェイト状態となります。

バス開放検出 (ストップ・コンディション検出) の割り込み発生において、IIC\_IIC0 レジスタへのライト操作により、マスタとしてのアドレス転送を開始します。

このとき、IIC\_IICC0 レジスタの SPIE0 ビットをセットしておく必要があります。

また、ストップ・コンディション検出の割り込みタイミング以前に IIC\_IIC0 レジスタへのライトを行った場合、データは無効になります。

## 4.9 通信動作

### 4.9.1 マスタ動作

マスタ動作における通信手順を 図 4 - 17, 図 4 - 18 に示します。

図 4 - 17 通信予約許可時およびストップ・コンディション検出後スタート

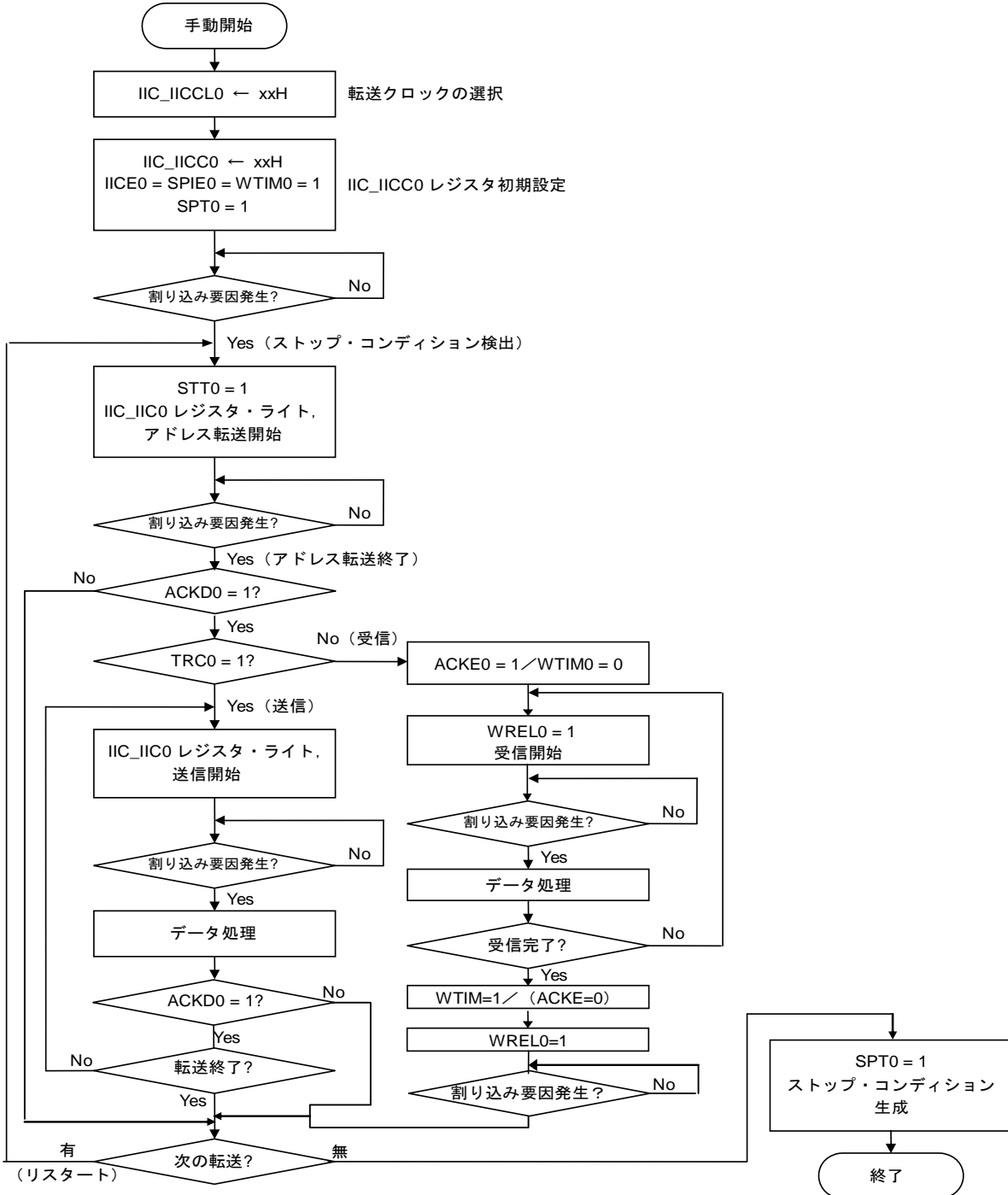
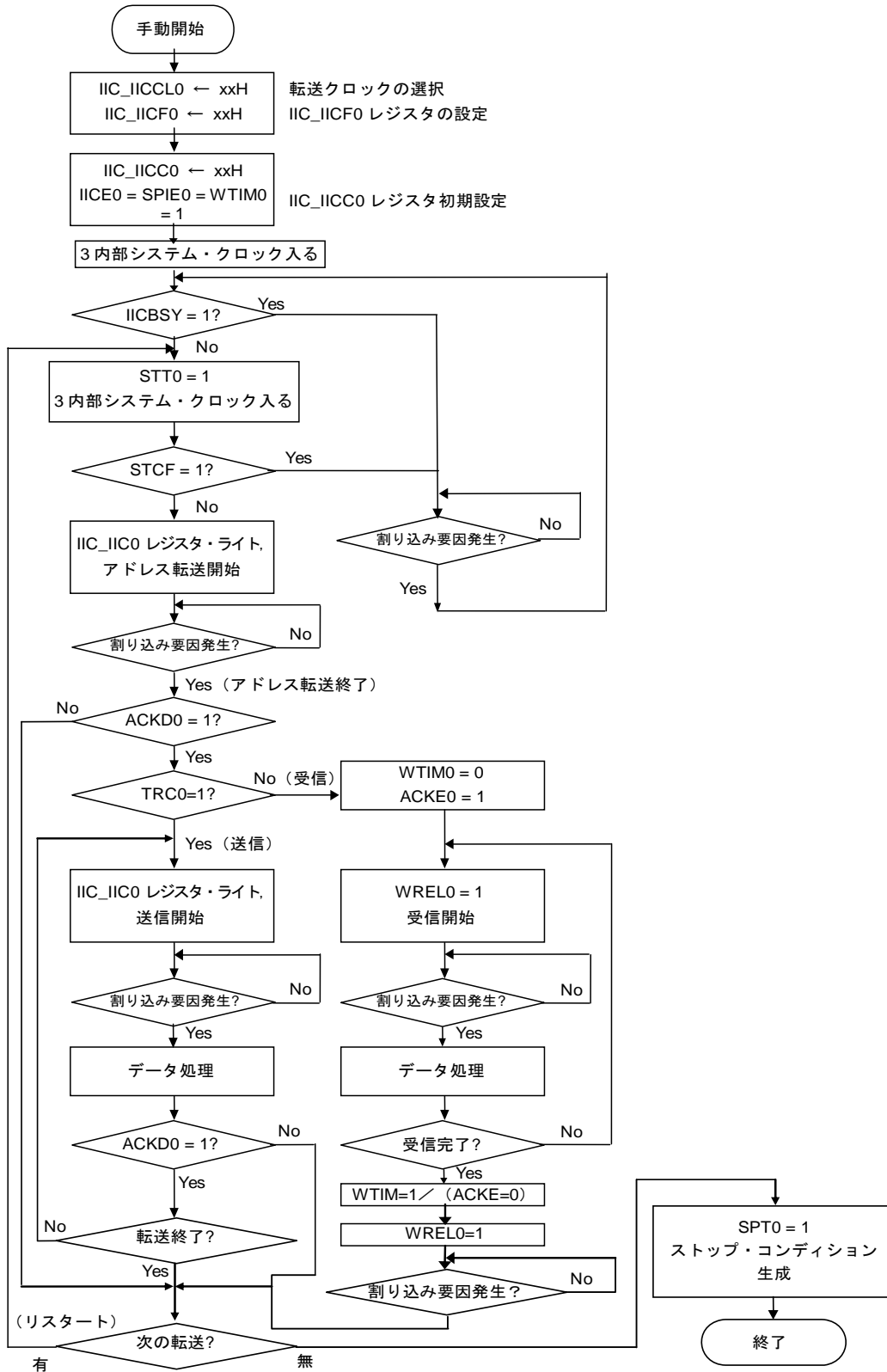


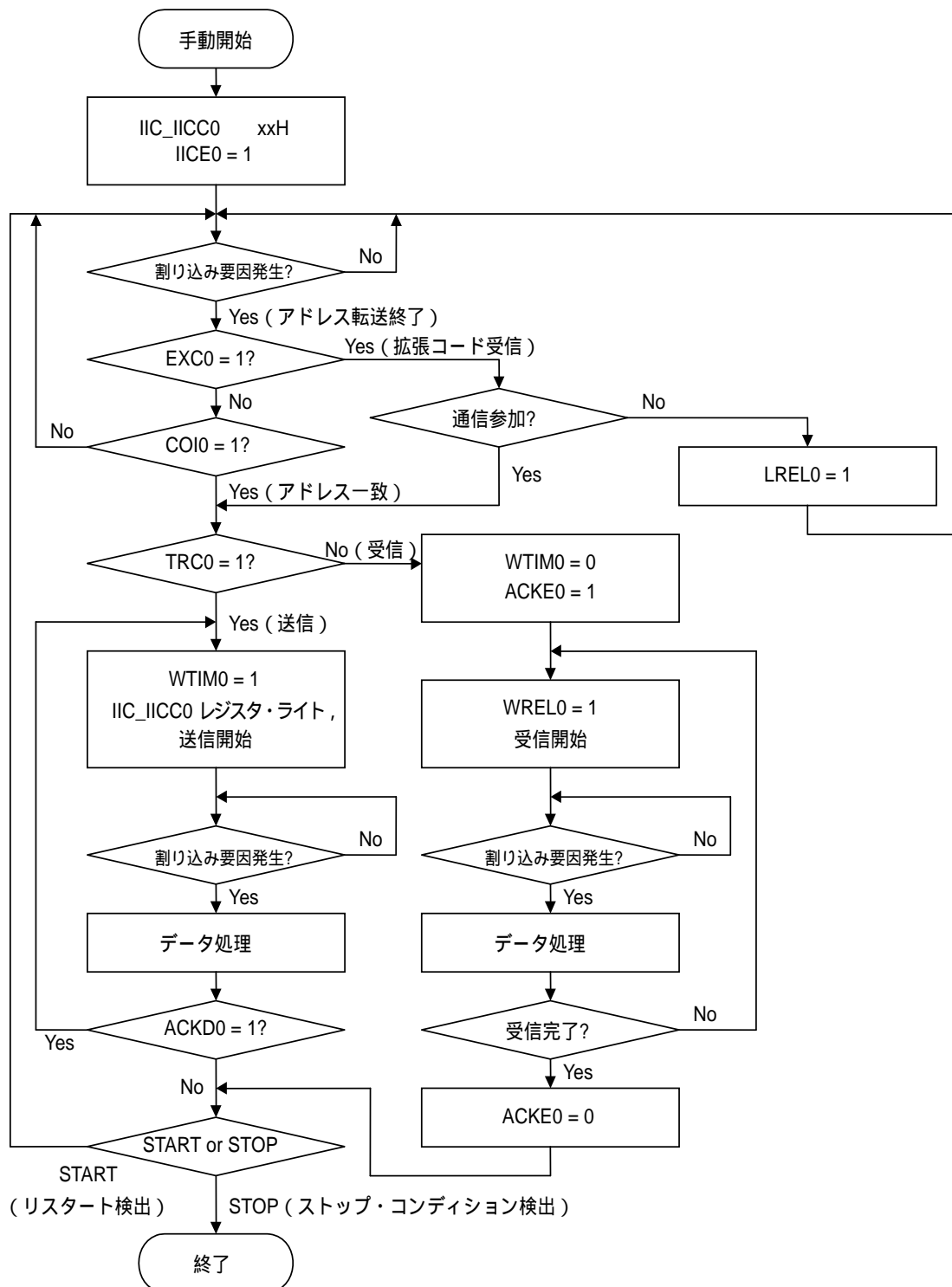
図 4 - 18 通信予約禁止およびストップ・コンディション未検出によるスタート



### 4.9.2 スレーブ動作

スレーブ動作における通信手順をに示します。

図 4 - 19 通信手順 (スレーブ動作)



[メ モ]



【改版履歴】

| 日付        | 版数   | 改版内容   |
|-----------|------|--|
| 2009.1.30 | 暫定1版 | -  |
| 2009.3.31 | 第2版  | P6 関連資料<br>・MC-10118A(EM1-D512), $\mu$ PD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。<br>・電源チップ編を削除。                       |
|           |      | P10 1.1 特徴<br>・2項目 I2C バス・フォーマット 標準モード転送速度 最大 100kbps 70kbps<br>・注意文削除   |
|           |      | P12 3.1 レジスタ一覧<br>・リセット時の値 I2C のレジスタはハーフワードのためリセット時の値も xxxxH に表記変更<br>・レジスタ一覧を I2C と I2C2 の2つ表記<br>・アドレス 0004H (Reserved) 追記 |
|           |      | P18 3.2.4 IIC クロック選択レジスタ<br>SMC0 の機能説明 最大転送速度 100kbps 70kbps   |
|           |      | P29 4.4 アービトレーション 1行目~ 説明文一部修正および追記  |
|           |      | P30 4.5 割り込み<br>備考3 <u>AD7-AD0</u> : アドレス・データ <u>AD6-AD0</u> 誤記訂正  |
|           |      | 4.10 スタンバイ機能, 4.11 クロック 記載削除   |
| 2009.9.30 | 第3版  | P23 3.2.6 IIC0 フラグ・レジスタ 注1 追記  |
|           |      | P43 4.9.1 マスタ動作 図 4-17, 図 4-18 一部修正  |

## 【発 行】

### NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

---

## 【営業関係，デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : (044)435-9494

E-mail : [info@necel.com](mailto:info@necel.com)