

CB-40 LD タイプ

ユーザーズマニュアル メモリマクロ編

CMOS セルベース IC

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOS デバイスの一般的注意事項

(1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOS デバイスの入力がノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

(3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

(5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

(6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。

入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、弊社の高速、高集積 CMOS セルベース IC CB-40 LD タイプを使用して LSI を設計する方を対象としています。

目的 このマニュアルは、弊社の高速、高集積 CMOS セルベース IC CB-40 LD タイプを使用して LSI を設計していただくうえでの各種制限事項、注意事項などをまとめたものです。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

概要	同期式 2 ポート (1R+1W) Bit Write 機能付き RAM
同期式 1 ポート RAM	同期式 2 ポート (1RW+1RW) RAM
同期式 1 ポート Bit Write 機能付き RAM	同期式 2 ポート (1RW+1RW) Bit Write 機能付き RAM
同期式 2 ポート (1R+1W) RAM	同期式 ROM

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータ、LSI 設計に関する一般的知識が必要となります。

マニュアルに記載された事項 (一般事項、注意事項、制限事項) は必ずお守りください。

お守りいただけない場合、LSI 製品の品質、性能の低下や動作の異常が生じることがあります。

凡例

データ表記の重み : 左が上位桁、右が下位桁

注 : 本文中につけた注の説明

注意 : 気をつけて読んでいただきたい内容

備考 : 本文中の補足説明

数の表記 : 2進数 ... $x \times x \times x$ または $x \times x \times x \times B$

10進数 ... $x \times x \times x$

16進数 ... $x \times x \times x \times H$

: 本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

関連資料 関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめ、ご了承ください。

- CB-40 LD タイプ ユーザーズマニュアル 製品データ編 (R05UH0010J)
- CB-40 L タイプ ユーザーズマニュアル 回路設計編 (A20268J)
- CB-40 LD タイプ ユーザーズマニュアル メモリマクロ編 (このマニュアル)
- CB-40 LD Type WIDE 1.1 V User's Manual: Block Library (IMB-NA4-E00422)

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

目 次

第 1 章 概 要	1
1.1 概 要.....	1
1.2 メモリマクロの種類.....	1
1.3 SRAM ラッパ回路.....	3
1.4 RAM マクロのテスト	4
1.5 ROM コードのフォーマット	4
1.5.1 NINCF	4
1.6 リード時のタイミング・エラーにおける注意.....	6
1.7 注意事項.....	7
1.7.1 各同期式 RAM, ROM の注意事項.....	7
1.7.2 同期式 1 ポート RAM.....	8
1.7.3 同期式 2 ポート (1R+1W) RAM.....	9
1.7.4 同期式 2 ポート (1RW+1RW) RAM.....	10
第 2 章 同期式 1 ポート RAM	11
2.1 概 要.....	11
2.1.1 コンパイルド・レンジ	11
2.1.2 シンボル図	12
2.1.3 端子容量	13
2.2 端子機能一覧	14
2.3 動作真理値表	15
2.4 マクロ・サイズ.....	16
2.5 電気的特性.....	18
2.6 動作消費電流	18
2.6.1 通常モード時の動作消費電流	19
2.6.2 スタンバイ・モード時の動作消費電流	25
2.7 タイミング	27
2.8 タイミング・チャート.....	40
第 3 章 同期式 1 ポート Bit Write 機能付き RAM	42
3.1 概 要.....	42
3.1.1 コンパイルド・レンジ	42
3.1.2 シンボル図	43
3.1.3 端子容量	44
3.2 端子機能一覧	45
3.3 動作真理値表	46
3.4 マクロ・サイズ.....	47

3.5 電気的特性.....	49
3.6 動作消費電流.....	49
3.6.1 通常モード時の動作消費電流.....	50
3.6.2 スタンバイ・モード時の動作消費電流.....	56
3.7 タイミング.....	58
3.8 タイミング・チャート.....	71
第4章 同期式2ポート(1R+1W)RAM.....	73
4.1 概 要.....	73
4.1.1 コンパイルド・レンジ.....	73
4.1.2 シンボル図.....	74
4.1.3 端子容量.....	75
4.2 端子機能一覧.....	76
4.3 動作真理値表.....	77
4.4 マクロ・サイズ.....	79
4.5 電気的特性.....	80
4.6 動作消費電流.....	80
4.6.1 通常モード時の動作消費電流.....	81
4.6.2 スタンバイ・モード時の動作消費電流.....	82
4.7 タイミング.....	83
4.8 タイミング・チャート.....	87
4.9 リード・ポート, ライト・ポート間の動作タイミング制約.....	89
第5章 同期式2ポート(1R+1W)Bit Write機能付きRAM.....	91
5.1 概 要.....	91
5.1.1 コンパイルド・レンジ.....	91
5.1.2 シンボル図.....	92
5.1.3 端子容量.....	93
5.2 端子機能一覧.....	94
5.3 動作真理値表.....	95
5.4 マクロ・サイズ.....	97
5.5 電気的特性.....	98
5.6 動作消費電流.....	98
5.6.1 通常モード時の動作消費電流.....	99
5.6.2 スタンバイ・モード時の動作消費電流.....	100
5.7 タイミング.....	101
5.8 タイミング・チャート.....	105
5.9 リード・ポート, ライト・ポート間の動作タイミング制約.....	107
第6章 同期式2ポート(1RW+1RW)RAM.....	109
6.1 概 要.....	109

6.1.1 コンパイルド・レンジ	109
6.1.2 シンボル図	110
6.1.3 端子容量	110
6.2 端子機能一覧	111
6.3 動作真理値表	112
6.4 マクロ・サイズ	114
6.5 電気的特性	115
6.6 動作消費電流	115
6.6.1 通常モード時の動作消費電流	116
6.6.2 スタンバイ・モード時の動作消費電流	117
6.7 タイミング	118
6.8 タイミング・チャート	121
6.9 リード・ポート, ライト・ポート間の動作タイミング制約	122
6.9.1 Aポート = ライト, Bポート = ライト (CENA = 0, CENB = 0, WENA = 0, WENB = 0)	122
6.9.2 Aポート = リード, Bポート = ライト (CENA = 0, CENB = 0, WENA = 1, WENB = 0)	123
第7章 同期式2ポート(1RW+1RW) Bit Write 機能付き RAM	125
7.1 概 要	125
7.1.1 コンパイルド・レンジ	125
7.1.2 シンボル図	126
7.1.3 端子容量	126
7.2 端子機能一覧	127
7.3 動作真理値表	128
7.4 マクロ・サイズ	130
7.5 電気的特性	131
7.6 動作消費電流	131
7.6.1 通常モード時の動作消費電流	132
7.6.2 スタンバイ・モード時の動作消費電流	133
7.7 タイミング	134
7.8 タイミング・チャート	137
7.9 リード・ポート, ライト・ポート間の動作タイミング制約	138
7.9.1 Aポート = ライト, Bポート = ライト (CENA = 0, CENB = 0, BWENA = 0, BWENB = 0)	138
7.9.2 Aポート = リード, Bポート = ライト (CENA = 0, CENB = 0, BWENA = 1, BWENB = 0)	139
第8章 同期式ROM	141
8.1 概 要	141
8.1.1 コンパイルド・レンジ	141
8.1.2 シンボル図	141
8.1.3 端子容量	142
8.2 端子機能一覧	142
8.3 動作真理値表	143

8.4	マクロ・サイズ	143
8.5	電気的特性	144
8.6	動作消費電流	144
	8.6.1 通常モード時の動作消費電流	145
	8.6.2 スタンバイ・モード時の動作消費電流	145
8.7	タイミング	146
8.8	タイミング・チャート	148

第1章 概 要

1.1 概 要

CB-40LD タイプのメモリマクロは、コンパイルド・タイプです。

コンパイルド・タイプのメモリマクロは、メモリ・コンパイラというソフトウェアによって、お客様に最適なサイズのメモリを自動生成できます。

1.2 メモリマクロの種類

CB-40LD タイプには、表 1 - 1 に示す 7 種類のメモリマクロが用意されています。

それぞれのメモリが持つ特徴とおお客様の用途を考慮して、ご希望に合ったマクロを選択してください。

表1 - 1 メモリマクロの種類 (1/2)

種 類	コンパイルド・レンジ	マクロ名
同期式 1 ポート RAM (第 2 章 参照)	2~146 ビット, 8~256 ワード (2 ビット/8 ワード単位で可変)	WDREG001PAA [word] W [bit] C1
	2~74 ビット, 32~512 ワード (1 ビット/16 ワード単位で可変)	WDREG001PAA [word] W [bit] C2
	2~146 ビット, 8~256 ワード (2 ビット/8 ワード単位で可変)	WDREG001PSA [word] W [bit] C1
	2~74 ビット, 32~512 ワード (1 ビット/16 ワード単位で可変)	WDREG001PSA [word] W [bit] C2
	2~146 ビット, 128~2048 ワード (1 ビット/16 ワード単位で可変)	WDSRAM001PAA [word] W [bit] C2
	2~74 ビット, 256~4096 ワード (1 ビット/32 ワード単位で可変)	WDSRAM001PAA [word] W [bit] C3
	2~74 ビット, 32~2048 ワード (1 ビット/32 ワード単位で可変)	WDSRAM001PAE [word] W [bit] C3
	2~74 ビット, 256~4096 ワード (1 ビット/32 ワード単位で可変)	WDSRAM001PSA [word] W [bit] C3
同期式 1 ポート Bit Write 機能付き RAM (第 3 章 参照)	2~146 ビット, 8~256 ワード (2 ビット/8 ワード単位で可変)	WDREG001PAA [word] W [bit] C1B1
	2~74 ビット, 32~512 ワード (1 ビット/16 ワード単位で可変)	WDREG001PAA [word] W [bit] C2B1
	2~146 ビット, 8~256 ワード (2 ビット/8 ワード単位で可変)	WDREG001PSA [word] W [bit] C1B1
	2~74 ビット, 32~512 ワード (1 ビット/16 ワード単位で可変)	WDREG001PSA [word] W [bit] C2B1
	2~146 ビット, 128~2048 ワード (1 ビット/16 ワード単位で可変)	WDSRAM001PAA [word] W [bit] C2B1

表1 - 1 メモリマクロの種類 (2/2)

種 類	コンパイルド・レンジ	マクロ名
同期式 1 ポート Bit Write 機能付き RAM (第 3 章 参照)	2~74 ビット, 256~4096 ワード (1 ビット/32 ワード単位で可変)	WDSRAM001PAA [word] W [bit] C3B1
	2~74 ビット, 32~2048 ワード (1 ビット/32 ワード単位で可変)	WDSRAM001PAE [word] W [bit] C3B1
	2~74 ビット, 256~4096 ワード (1 ビット/32 ワード単位で可変)	WDSRAM001PSA [word] W [bit] C3B1
同期式 2 ポート (1R + 1W) RAM (第 4 章 参照)	2~74 ビット, 16~512 ワード (2 ビット/8 ワード単位で可変)	WDREG110PAA [word] W [bit] C1
	4~146 ビット, 16~512 ワード (2 ビット/8 ワード単位で可変)	WDREG110PKA [word] W [bit] C1
	2~74 ビット, 128~1024 ワード (1 ビット/32 ワード単位で可変)	WDSRAM110PAA [word] W [bit] C2
同期式 2 ポート (1R + 1W) Bit Write 機能付き RAM (第 5 章 参照)	2~74 ビット, 16~512 ワード (2 ビット/8 ワード単位で可変)	WDREG110PAA [word] W [bit] C1B1
	4~146 ビット, 16~512 ワード (2 ビット/8 ワード単位で可変)	WDREG110PKA [word] W [bit] C1B1
	2~74 ビット, 128~1024 ワード (1 ビット/32 ワード単位で可変)	WDSRAM110PAA [word] W [bit] C2B1
同期式 2 ポート (1RW + 1RW) RAM (第 6 章 参照)	4~146 ビット, 64~512 ワード (2 ビット/16 ワード単位で可変)	WDSRAM002PAA [word] W [bit] C1
	2~74 ビット, 128~1024 ワード (1 ビット/32 ワード単位で可変)	WDSRAM002PAA [word] W [bit] C2
同期式 2 ポート (1RW + 1RW) Bit Write 機能付き RAM (第 7 章 参照)	4~146 ビット, 64~512 ワード (2 ビット/16 ワード単位で可変)	WDSRAM002PAA [word] W [bit] C1B1
	2~74 ビット, 128~1024 ワード (1 ビット/32 ワード単位で可変)	WDSRAM002PAA [word] W [bit] C2B1
同期式 ROM (第 8 章 参照)	2~32 ビット, 256~4096 ワード (2 ビット/128 ワード単位で可変)	WDROMSVDB [word] W [bit] C4N [id]

1.3 SRAM ラッパー回路

弊社から SRAM のライブラリを提供する際には、図 1 - 1 の SRAM マクロに加え、図 1 - 2 に示す SRAM ラッパー回路を合わせて提供いたします。

回路設計の際には SRAM ラッパー回路をインスタンスーションしてください。

SRAM マクロにはテスト専用端子がありますが、SRAM ラッパー回路の内部でクランプ処理しますので、回路設計時に考慮する必要はありません。

リダンダンシ適用の有無	ラッパー回路名
非適用時 (標準)	(SRAM マクロ名)_bus
適用時	(SRAM マクロ名)RDU_bus

備考 リダンダンシの適用については、別途弊社から提案いたします。

図 1 - 1 SRAMマクロ (シンボル図の例)

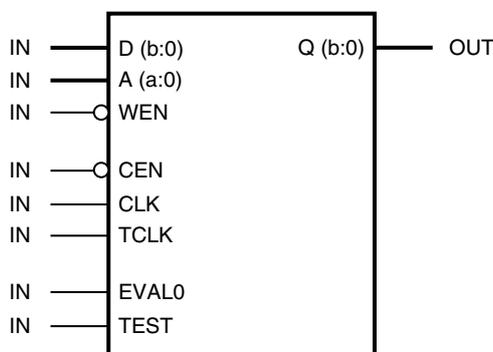
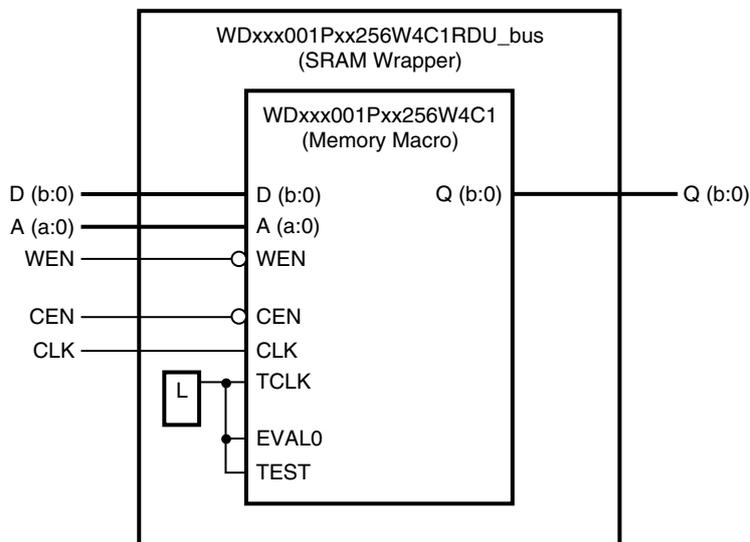
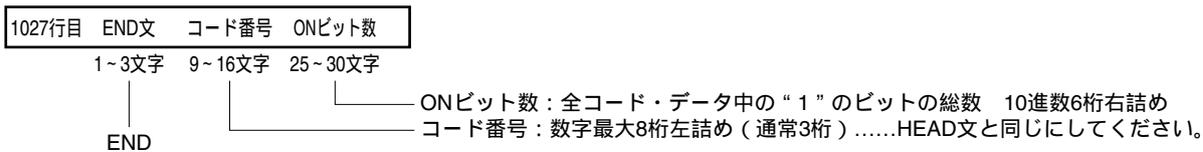
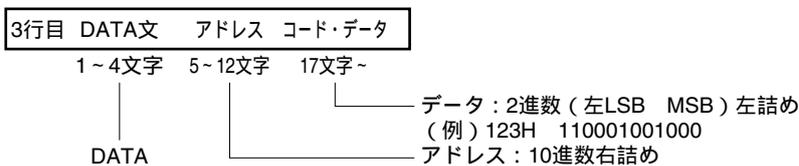
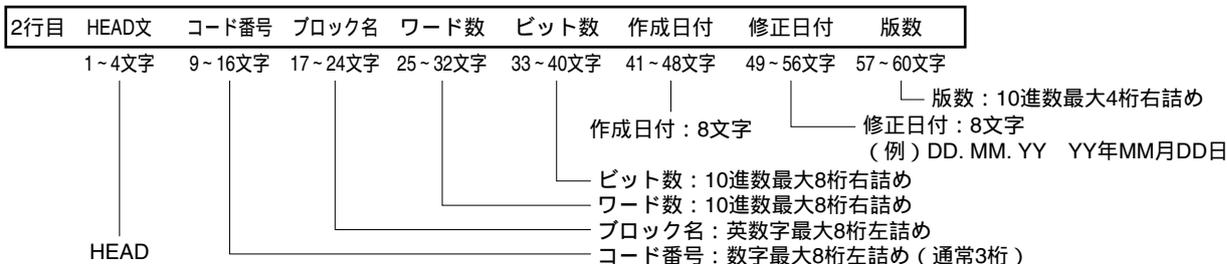
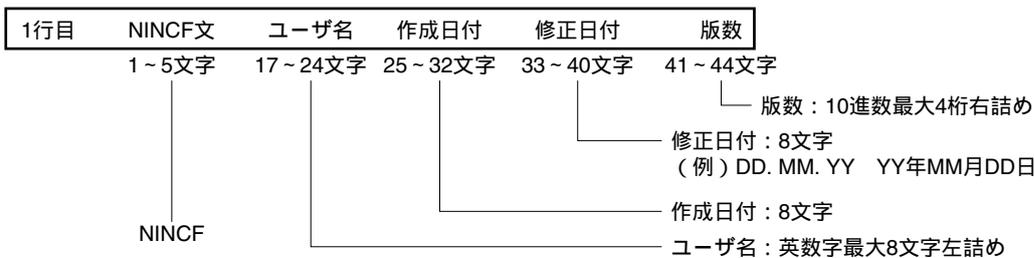


図 1 - 2 SRAMラッパー回路例





(1) 個数管理番号

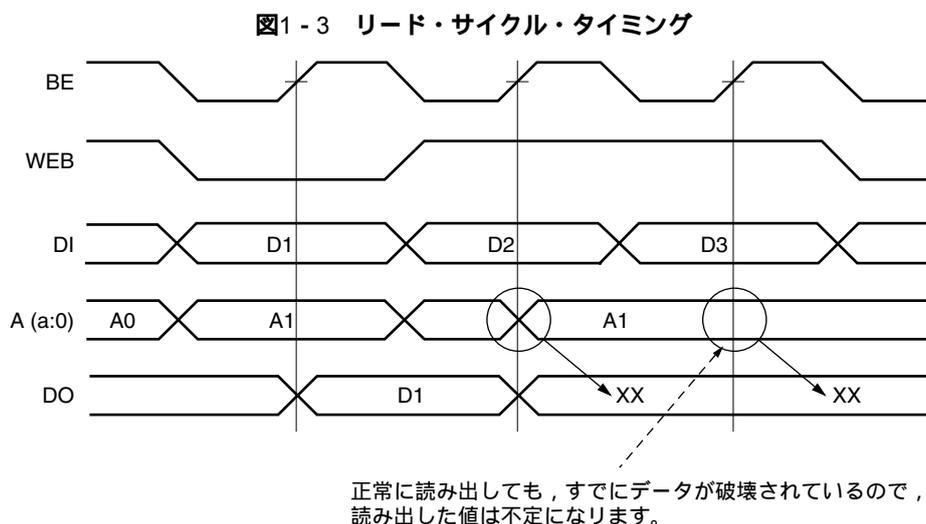
WDROMSVDB [word] W [bit] C4N [id]の[id]は、同一タイプのROMを1チップ上で複数使用する場合の管理情報を示します。

番号	内 容
01	1チップ上での1個目のROMを示す
02	1チップ上での同一タイプ2個目のROMを示す
03	1チップ上での同一タイプ3個目のROMを示す
:	:

1.6 リード時のタイミング・エラーにおける注意

リード時にタイミング・エラーがあると、書き込まれているメモリのデータが破壊されるので注意してください(図 1-3 参照)。

したがって、セットアップ/ホールド・タイムが確保されていることを必ずシミュレーション、あるいは STA (スタティック・タイミング・アナライザ) で確認してください。



注意 リード時のタイミング・エラーによるデータ破壊は、リード専用アドレス・ポートでは発生しません。タイミング・チャートでは書き込まれたデータが出力ポートから出力されていますが、メモリのタイプによっては、読み出し動作を行わないと、出力ポートのデータが変化しないものがあります。

1.7 注意事項

1.7.1 各同期式 RAM, ROM の注意事項

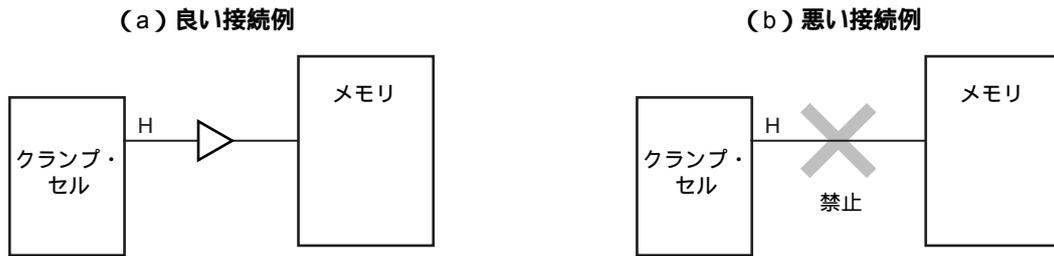
(1) 端子のクランプ処理

メモリ入力端子をクランプ・セルのハイに接続する場合は、バッファを介してください。
クランプ・セルのロウに接続する場合は、直接クランプ・セルに接続することができます。

端 子				ロウ・クランプ	ハイ・クランプ
1ポート RAM	2ポート(1R+1W) RAM	2ポート(1RW+1RW) RAM	ROM		
D	DB	DA/DB	-		×
A	AA/AB	AA/AB	A		×
CLK	CLKA/CLKB	CLKA/CLKB	CLK		×
CEN	CENA/CENB	CENA/CENB	CEN		×
WEN BWEN	- BWENB	WENA/WENB BWENA/BWENB	-		×

: 接続可能 × : 接続不可

クランプ・セルのハイに接続する場合は、次に示す (a) のようにバッファを介して接続してください。



(2) 端子のクランプ処理

CEN を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLK を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CEN を制御してください。

(3) シミュレーション時における架空アドレスへのアクセス

シミュレーション時にメモリの架空アドレスにアクセスした場合、次のログが表示されます。

```
$time,, "#### You are accessing the invalid address."
```

このように表示されてもメモリ・データに影響はありません。

ただし、非存在アドレスへアクセスしているため、そのサイクルの出力は不定“X”となります。

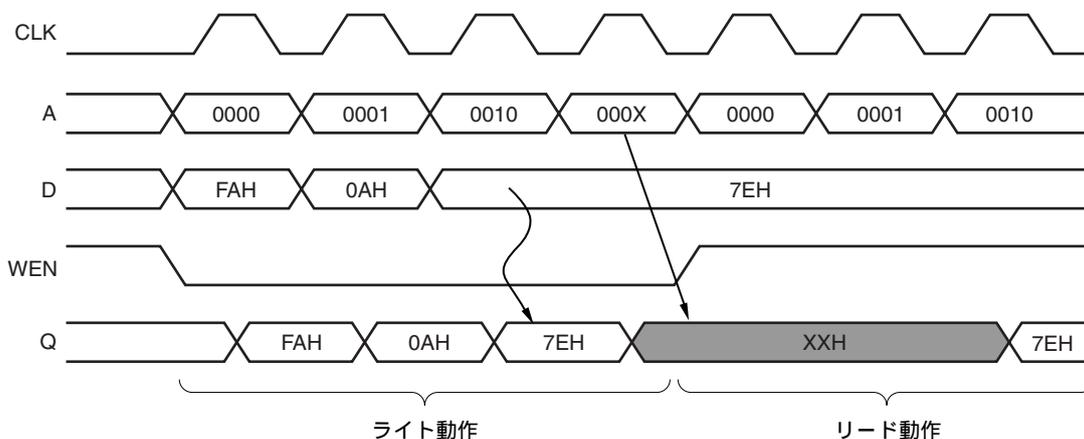
次に示すメモリマクロで架空アドレスに書き込みした場合は、上記のようなログが出力されますが、出力データは書き込んだデータがそのまま出力されます。

- 同期式 1 ポート RAM
- 同期式 1 ポート Bit Write 機能付き RAM
- 同期式 2 ポート (1RW+1RW) RAM
- 同期式 2 ポート (1RW+1RW) Bit Write 機能付き RAM

1.7.2 同期式 1 ポート RAM

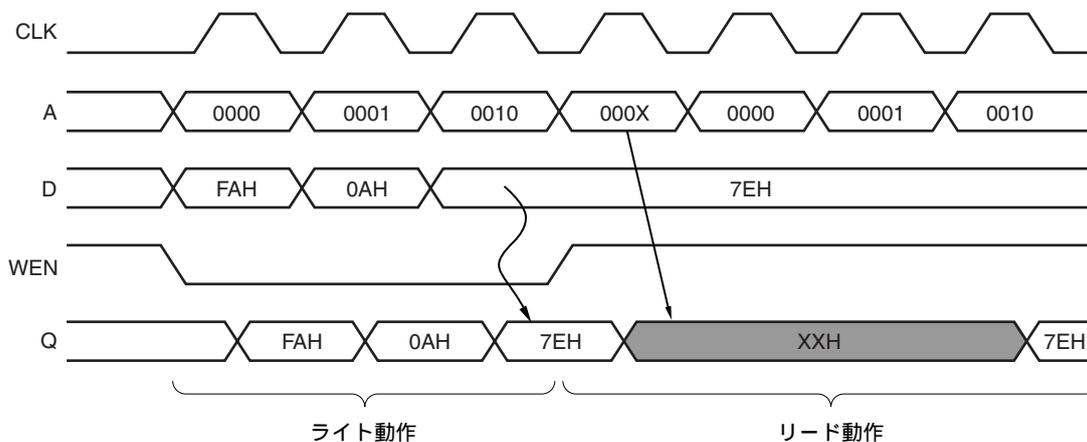
(1) 不定アドレスでのアクセス

(a) 不定アドレスでライト・オペレーションを行った場合の動作 (CEN = 0)



不定アドレスでライト・オペレーションを行うと、X が該当するアドレス(000X の場合は 0000 と 0001 になります) に不定が書き込まれます。なお、ライト動作中の出力 Q は、不定になります。

(b) 不定アドレスでリード・オペレーションを行った場合の動作 (CEN = 0)

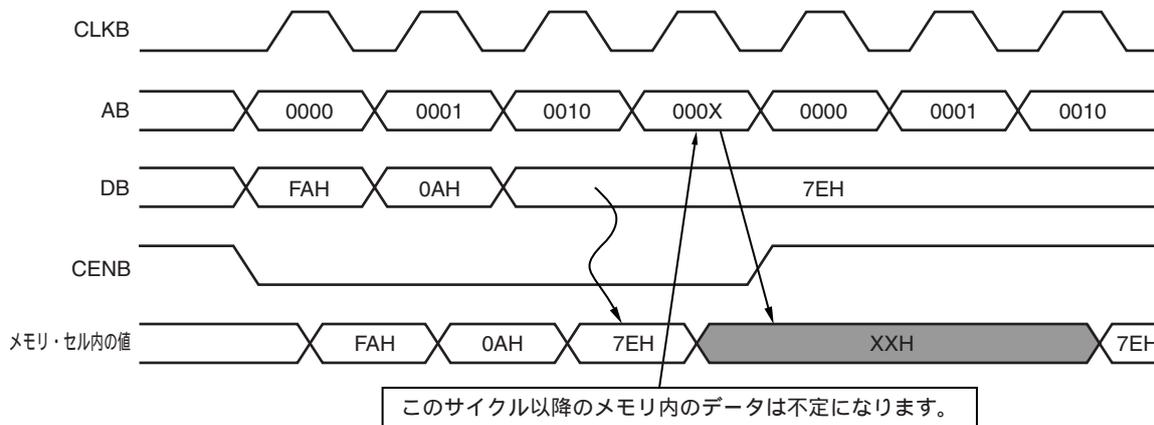


不定アドレスでリード・オペレーションを行うと、X が該当するアドレス(000X の場合は 0000 と 0001 になります) に不定が書き込まれます。

1.7.3 同期式 2 ポート (1R+1W) RAM

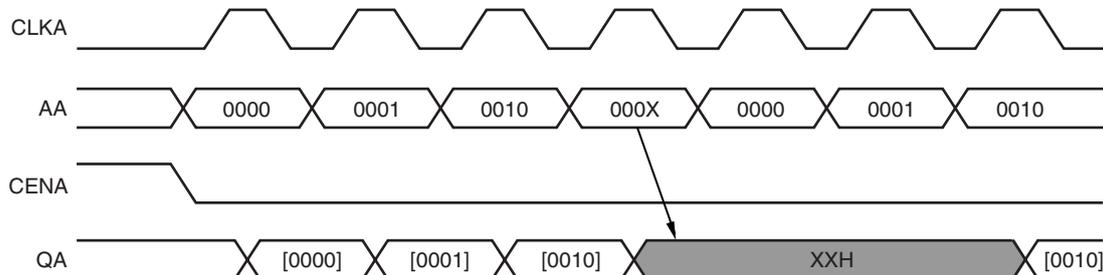
(1) 不定アドレスでのアクセス (同期式 2 ポート (1R+1W) RAM)

(a) 不定アドレスでライト・オペレーションを行った場合の動作



不定アドレスでライト・オペレーションを行うと、X が該当するアドレス(000X の場合は 0000 と 0001 になります) に不定が書き込まれます。

(b) 不定アドレスでリード・オペレーションを行った場合の動作

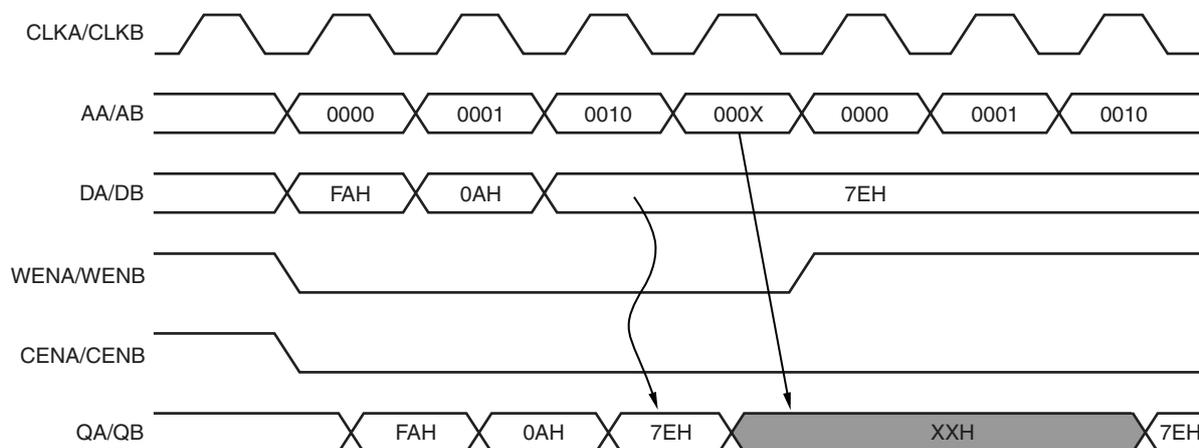


不定アドレスでリード・オペレーションを行うと、X が該当するアドレス(000X の場合は 0000 と 0001 になります) に不定が書き込まれます。

1.7.4 同期式 2 ポート (1RW+1RW) RAM

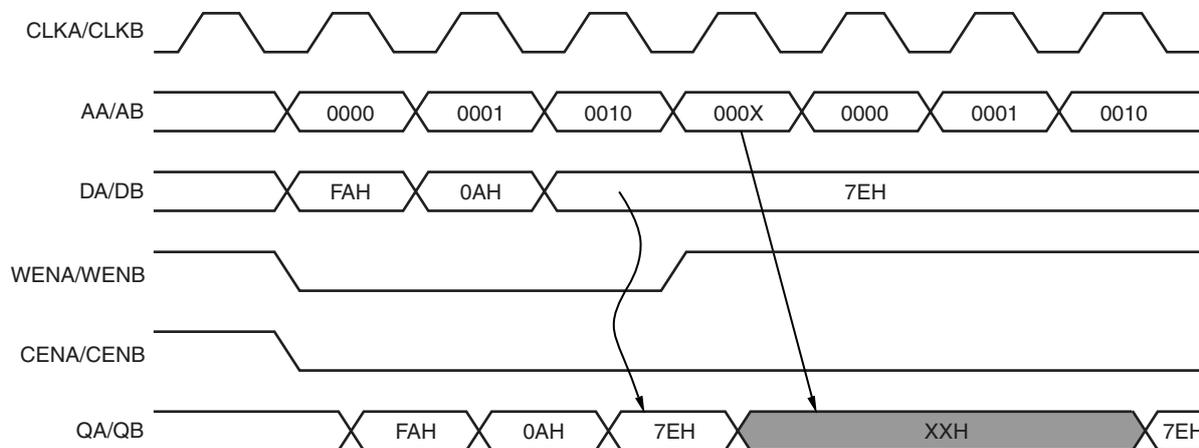
(1) 不定アドレスでのアクセス

(a) 不定アドレスでライト・オペレーションを行った場合の動作



不定アドレスでライト・オペレーションを行うと、X が該当するアドレス(000X の場合は 0000 と 0001 になります) に不定が書き込まれます。なお、ライト動作中の出力 Q は、不定になります。

(b) 不定アドレスでリード・オペレーションを行った場合の動作



不定アドレスでリード・オペレーションを行うと、X が該当するアドレス(000X の場合は 0000 と 0001 になります) に不定が書き込まれます。

第2章 同期式 1 ポート RAM

2.1 概 要

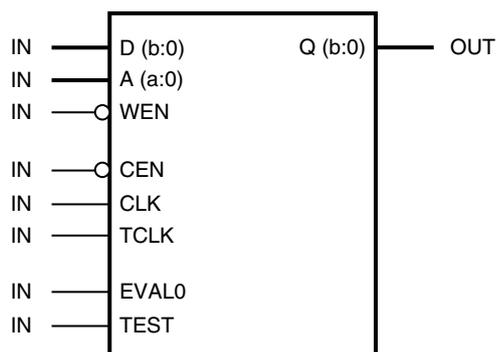
- 1 ポート RAM
- フリー・サイズ・メモリ
 - メモリ・コンパイラにより高効率マクロ配置を実現
 - ビット数：2~146 ビット
 - ワード数：8~4096 ワード
- 動作電圧：1.1 ±0.1 V
- 動作周囲温度：-40 ~ +85 °C

2.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
2	8ワード×2ビット	256ワード×146ビット	8ワード/2ビット	WDREG001PAA [word] W [bit] C1
4	32ワード×2ビット	512ワード×74ビット	16ワード/1ビット	WDREG001PAA [word] W [bit] C2
2	8ワード×2ビット	256ワード×146ビット	8ワード/2ビット	WDREG001PSA [word] W [bit] C1
4	32ワード×2ビット	512ワード×74ビット	16ワード/1ビット	WDREG001PSA [word] W [bit] C2
4	128ワード×2ビット	2048ワード×146ビット	16ワード/1ビット	WDSRAM001PAA [word] W [bit] C2
8	256ワード×2ビット	4096ワード×74ビット	32ワード/1ビット	WDSRAM001PAA [word] W [bit] C3
8	32ワード×2ビット	2048ワード×74ビット	32ワード/1ビット	WDSRAM001PAE [word] W [bit] C3
8	256ワード×2ビット	4096ワード×74ビット	32ワード/1ビット	WDSRAM001PSA [word] W [bit] C3

- 例 128 ワード， 32 ビット C1 タイプの場合： WDREG001PAA128W32C1
 256 ワード， 32 ビット C2 タイプの場合： WDREG001PAA256W32C2
 128 ワード， 32 ビット C1 タイプの場合： WDREG001PSA128W32C1
 256 ワード， 32 ビット C2 タイプの場合： WDREG001PSA256W32C2
 512 ワード， 32 ビット C2 タイプの場合： WDSRAM001PAA512W32C2
 1024 ワード， 32 ビット C3 タイプの場合： WDSRAM001PAA1024W32C3
 2048 ワード， 64 ビット C3 タイプの場合： WDSRAM001PAE2048W64C3
 4096 ワード， 64 ビット C3 タイプの場合： WDSRAM001PSA4096W64C3

2.1.2 シンボル図



備考 1. “a” = (アドレス本数) - 1

- ただし, 2 a 7 (WDREG001PAA [word] W [bit] C1, WDREG001PSA [word] W [bit] C1)
 4 a 8 (WDREG001PAA [word] W [bit] C2, WDREG001PSA [word] W [bit] C2)
 6 a 10 (WDSRAM001PAA [word] W [bit] C2)
 7 a 11 (WDSRAM001PAA [word] W [bit] C3, WDSRAM001PSA [word] W [bit] C3)
 4 a 10 (WDSRAM001PAE [word] W [bit] C3)

(アドレス本数) = \log_2 (ワード数) 小数点以下切り上げです。

“b” = (ビット数) - 1

- ただし, 1 b 145 (WDREG001PAA [word] W [bit] C1, WDREG001PSA [word] W [bit] C1,
 WDSRAM001PAA [word] W [bit] C2)
 1 b 73 (WDREG001PAA [word] W [bit] C2, WDREG001PSA [word] W [bit] C2,
 WDSRAM001PAA [word] W [bit] C3, WDSRAM001PAE [word] W [bit] C3,
 WDSRAM001PSA [word] W [bit] C3)

2. TCLK, TEST, EVAL0 端子は, 弊社が提供するラッパー回路により 0 に固定されます。

2.1.3 端子容量

(1) WDREG001PAA [word] W [bit] C1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0016	Q (b : 0)	0.1390
A (a : 0)	0.0017		
CEN	0.0016		
WEN	0.0016		
TEST	0.0025		
TCLK	0.0026		
CLK	0.0025		
EVAL0	0.0020		

(2) WDREG001PAA [word] W [bit] C2

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0016	Q (b : 0)	0.1390
A (a : 0)	0.0017		
CEN	0.0016		
WEN	0.0016		
TEST	0.0025		
TCLK	0.0026		
CLK	0.0025		
EVAL0	0.0020		

(3) WDREG001PSA [word] W [bit] C1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0019	Q (b : 0)	0.1053
A (a : 0)	0.0021		
CEN	0.0019		
WEN	0.0019		
TEST	0.0029		
TCLK	0.0028		
CLK	0.0027		
EVAL0	0.0021		

(4) WDREG001PSA [word] W [bit] C2

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0019	Q (b : 0)	0.1053
A (a : 0)	0.0020		
CEN	0.0016		
WEN	0.0018		
TEST	0.0026		
TCLK	0.0028		
CLK	0.0027		
EVAL0	0.0023		

(5) WDSRAM001PAA [word] W [bit] C2

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0018	Q (b : 0)	0.1390
A (a : 0)	0.0023		
CEN	0.0016		
WEN	0.0015		
TEST	0.0039		
TCLK	0.0032		
CLK	0.0031		
EVAL0	0.0022		

(6) WDSRAM001PAA [word] W [bit] C3

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0018	Q (b : 0)	0.1390
A (a : 0)	0.0024		
CEN	0.0017		
WEN	0.0016		
TEST	0.0041		
TCLK	0.0030		
CLK	0.0036		
EVAL0	0.0023		

(7) WDSRAM001PAE [word] W [bit] C3

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0017	Q (b : 0)	0.1010
A (a : 0)	0.0023		
CEN	0.0018		
WEN	0.0022		
TEST	0.0038		
TCLK	0.0029		
CLK	0.0029		
EVAL0	0.0044		

(8) WDSRAM001PSA [word] W [bit] C3

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0019	Q (b : 0)	0.1053
A (a : 0)	0.0029		
CEN	0.0018		
WEN	0.0020		
TEST	0.0043		
TCLK	0.0031		
CLK	0.0036		
EVAL0	0.0026		

2.2 端子機能一覧

端子名	属性	モード	機能
D (b : 0)	入力	ノーマル	データ入力
Q (b : 0)	出力	ノーマル	データ出力
A (a : 0)	入力	ノーマル	アドレス入力
CEN [※]	入力	ノーマル	チップ・イネーブル入力 (アクティブ・ロウ) CEN = 0 : 動作モード CEN = 1 : 非動作モード
WEN	入力	ノーマル	ライト・イネーブル入力 (アクティブ・ロウ) WEN = 0 : ライト動作 WEN = 1 : リード動作
CLK	入力	ノーマル	クロック入力
TCLK	入力	テスト	クロック入力 (テスト用)
TEST	入力	テスト	テスト・モード設定 TEST = 0 : ノーマル・モード (CLK が有効) TEST = 1 : テスト・モード (TCLK が有効)
EVAL0	入力	テスト	テスト端子 EVAL0 = 0 : ノーマル・モード EVAL0 = 1 : テスト・モード

注 CEN を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLK を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CEN を制御してください。

2.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

X: ハイ・インピーダンスを含まない不定

XZ: ハイ・インピーダンスを含む不定

Ax: 任意データ

Dx: 入力データ

[Ax]: メモリ内データ (アドレス Ax 内のデータを示します。)

(1) モード設定

TEST	EVAL0	Q	モード	動作
0	有効	有効	ノーマル	ノーマル・モード
1	有効	有効	テスト	テスト・モード
X, Z	ALL	X	X	全アドレスに不定ライト
ALL	X, Z	X	X	全アドレスに不定ライト

(2) RAM ファンクション

CEN	CLK	WEN	A (a : 0)	D (b : 0)	Q (b : 0)	動作
0	↑	0	Ax	Dx	[Ax] = Dx	ライト
0	↑	1	Ax	X	[Ax]	リード
0	固定	X	X	X	前データ	スタンバイ
1	↑	X	X	X	前データ	マクロ・オフ

(3) テスト・モード・ファンクション

EVAL0	動作
0	通常動作モード
1	内部タイミング加速動作モード (テスト用)

2.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W : ワード数

B : ビット数

N : アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

ROUNDUP (a, b) : a を小数点以下 b 桁に切り上げます。

例 $W = 240$ のとき(ROUNDUP (W/128, 0)

$$\text{ROUNDUP}(240/128, 0) = \text{ROUNDUP}(1.875, 0) = 2$$

ROUNDDOWN (a, b) : a を小数点以下 b 桁で切り捨てます。

MOD (a, b) : a を b で除算した余りを示します。

例 $\text{MOD}(3, 2) = 1$

(1) WDREG001PAA [word] W [bit] C1

$$W \ 16 \quad X = 20.988 + 1.65 \times B \quad [\mu\text{m}]$$

$$16 < W \ 32 \quad X = 23.100 + 1.65 \times B \quad [\mu\text{m}]$$

$$32 < W \ 64 \quad X = 23.364 + 1.65 \times B \quad [\mu\text{m}]$$

$$64 < W \ 128 \quad X = 23.892 + 1.65 \times B \quad [\mu\text{m}]$$

$$128 < W \ 256 \quad X = 24.552 + 1.65 \times B \quad [\mu\text{m}]$$

$$Y = 38.610 + 0.182 \times W + 0.726 \times (\text{ROUNDUP}(W/64, 0) - 1) + 0.066 \times \text{MOD}(\text{ROUNDUP}(W/64, 0), 2) \quad [\mu\text{m}]$$

(2) WDREG001PAA [word] W [bit] C2

$$W = 32 \quad X = 20.988 + 3.30 \times B \quad [\mu\text{m}]$$

$$32 < W \ 64 \quad X = 23.100 + 3.30 \times B \quad [\mu\text{m}]$$

$$64 < W \ 128 \quad X = 23.364 + 3.30 \times B \quad [\mu\text{m}]$$

$$128 < W \ 256 \quad X = 23.892 + 3.30 \times B \quad [\mu\text{m}]$$

$$256 < W \ 512 \quad X = 24.552 + 3.30 \times B \quad [\mu\text{m}]$$

$$W \ 128 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

$$128 < W \ 256 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

$$256 < W \ 384 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

$$384 < W \ 512 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

(3) WDREG001PSA [word] W [bit] C1

$$W = 16 \quad X = 20.988 + 1.65 \times B \quad [\mu m]$$

$$16 < W = 32 \quad X = 23.100 + 1.65 \times B \quad [\mu m]$$

$$32 < W = 64 \quad X = 23.364 + 1.65 \times B \quad [\mu m]$$

$$64 < W = 128 \quad X = 23.892 + 1.65 \times B \quad [\mu m]$$

$$128 < W = 256 \quad X = 24.552 + 1.65 \times B \quad [\mu m]$$

$$Y = 38.610 + 0.182 \times W + 0.726 \times (\text{ROUNDUP}(W/64, 0) - 1) + 0.066 \times \text{MOD}(\text{ROUNDUP}(W/64, 0), 2) \quad [\mu m]$$

(4) WDREG001PSA [word] W [bit] C2

$$W = 32 \quad X = 20.988 + 3.30 \times B \quad [\mu m]$$

$$32 < W = 64 \quad X = 23.100 + 3.30 \times B \quad [\mu m]$$

$$64 < W = 128 \quad X = 23.364 + 3.30 \times B \quad [\mu m]$$

$$128 < W = 256 \quad X = 23.892 + 3.30 \times B \quad [\mu m]$$

$$256 < W = 512 \quad X = 24.552 + 3.30 \times B \quad [\mu m]$$

$$W = 128 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

$$128 < W = 256 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

$$256 < W = 384 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

$$384 < W = 512 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

(5) WDSRAM001PAA [word] W [bit] C2

$$X = 49.104 + 3.3 \times B \quad [\mu m]$$

$$Y = 29.238 + 0.091 \times W + 0.726 \times \text{ROUNDUP}((W/128 - 1), 0) + 0.066 \times \text{MOD}((\text{ROUNDUP}((W/128), 0)), 2) \quad [\mu m]$$

(6) WDSRAM001PAA [word] W [bit] C3

$$X = 49.104 + 6.60 \times B \quad [\mu m]$$

$$Y = 25.872 + 0.045 \times W + 0.726 \times \text{ROUNDUP}((W/256 - 1), 0) + 0.066 \times \text{MOD}((\text{ROUNDUP}((W/256 - 1), 0)), 2) \quad [\mu m]$$

(7) WDSRAM001PAE [word] W [bit] C3

$$X = 58.74 + 7.92 \times B \quad [\mu m]$$

$$Y = 27.588 + 0.045 \times W + 0.726 \times \text{ROUNDDOWN}(((W - 32)/256), 0) + 0.066 \times \text{MOD}((\text{ROUNDDOWN}(((W - 32)/256), 0)), 2) \quad [\mu m]$$

(8) WDSRAM001PSA [word] W [bit] C3

$$X = 49.104 + 6.60 \times B \quad [\mu m]$$

$$Y = 25.872 + 0.045 \times W + 0.726 \times \text{ROUNDUP}((W/256 - 1), 0) + 0.066 \times \text{MOD}((\text{ROUNDUP}((W/256 - 1), 0)), 2) \quad [\mu m]$$

備考 小数点以下の端数は、切り上げてください。

2.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

2.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDR} (\text{Worst}) + I_{DDW} (\text{Worst}) + \text{スタンバイ電流} (\text{Worst}) \quad [\text{mA}]$$

$$I_{DD} (\text{TYP.}) = I_{DDR} (\text{TYP.}) + I_{DDW} (\text{TYP.}) + \text{スタンバイ電流} (\text{TYP.}) \quad [\text{mA}]$$

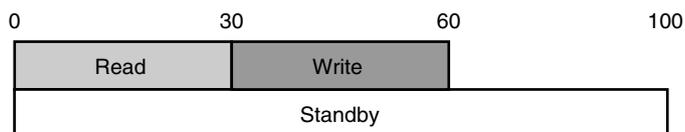
上記の式のうち I_{DDR}, I_{DDW} は次の式で求められます。

なお、表中の記号は次のとおりです。

B: ビット数	f _R : リード動作周波数 (MHz)	N: アドレス本数 $N = \log_2 W$
W: ワード数	f _W : ライト動作周波数 (MHz)	(小数点以下切り上げ)
C _L : 外部負荷容量 (pF)	A: 動作率 ^註 (100% = 1)	

注 この動作率とは、RAM の全動作期間 (リード、ライト、スタンバイ、マクロ・オフ) に対して、リードおよびライト動作が占める割合です。

例 RAM の全動作期間においてリード 30%、ライト 30% の場合、動作率はリード 0.3、ライト 0.3 になります。



2.6.1 通常モード時の動作消費電流

(1) WDREG001PAA [word] W [bit] C1

動作	条件		計算式 (mA)
リード (I _{DDR})	W 64	Worst	$(1.255 \times 10^{-6} \times W + 1.643 \times 10^{-4} \times B + 1.044 \times 10^{-7} \times W \times B + 1.290 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.035 \times 10^{-6} \times W + 1.139 \times 10^{-4} \times B + 7.155 \times 10^{-8} \times W \times B + 9.208 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	64 < W 128	Worst	$(1.192 \times 10^{-6} \times W + 1.706 \times 10^{-4} \times B + 6.461 \times 10^{-8} \times W \times B + 1.309 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(7.502 \times 10^{-7} \times W + 1.187 \times 10^{-4} \times B + 3.559 \times 10^{-8} \times W \times B + 9.514 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	128 < W 192	Worst	$(1.214 \times 10^{-6} \times W + 1.772 \times 10^{-4} \times B + 4.464 \times 10^{-8} \times W \times B + 1.320 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(7.897 \times 10^{-7} \times W + 1.228 \times 10^{-4} \times B + 2.480 \times 10^{-8} \times W \times B + 9.562 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	192 < W 256	Worst	$(1.165 \times 10^{-6} \times W + 1.835 \times 10^{-4} \times B + 3.336 \times 10^{-8} \times W \times B + 1.340 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(7.649 \times 10^{-7} \times W + 1.267 \times 10^{-4} \times B + 1.935 \times 10^{-8} \times W \times B + 9.699 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 64	Worst	$(1.061 \times 10^{-6} \times W + 2.531 \times 10^{-4} \times B + 1.569 \times 10^{-7} \times W \times B + 1.466 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(7.897 \times 10^{-7} \times W + 1.735 \times 10^{-4} \times B + 1.498 \times 10^{-7} \times W \times B + 1.041 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	64 < W 128	Worst	$(1.137 \times 10^{-6} \times W + 2.550 \times 10^{-4} \times B + 1.817 \times 10^{-7} \times W \times B + 1.479 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(6.771 \times 10^{-7} \times W + 1.753 \times 10^{-4} \times B + 1.525 \times 10^{-7} \times W \times B + 1.065 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	128 < W 192	Worst	$(1.198 \times 10^{-6} \times W + 2.575 \times 10^{-4} \times B + 1.868 \times 10^{-7} \times W \times B + 1.486 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(8.177 \times 10^{-7} \times W + 1.772 \times 10^{-4} \times B + 1.536 \times 10^{-7} \times W \times B + 1.061 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	192 < W 256	Worst	$(1.148 \times 10^{-6} \times W + 2.611 \times 10^{-4} \times B + 1.850 \times 10^{-7} \times W \times B + 1.506 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(7.984 \times 10^{-7} \times W + 1.809 \times 10^{-4} \times B + 1.455 \times 10^{-7} \times W \times B + 1.070 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$

(2) WDREG001PAA [word] W [bit] C2

動作	条件		計算式 (mA)
リード (I _{DDR})	W 128	Worst	$(6.664 \times 10^{-7} \times W + 2.355 \times 10^{-4} \times B + 4.181 \times 10^{-8} \times W \times B + 9.591 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(4.962 \times 10^{-7} \times W + 1.639 \times 10^{-4} \times B + 2.792 \times 10^{-8} \times W \times B + 7.056 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	128 < W 256	Worst	$(5.903 \times 10^{-7} \times W + 2.461 \times 10^{-4} \times B + 3.075 \times 10^{-8} \times W \times B + 9.829 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(4.062 \times 10^{-7} \times W + 1.718 \times 10^{-4} \times B + 1.563 \times 10^{-8} \times W \times B + 7.275 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	256 < W 384	Worst	$(6.099 \times 10^{-7} \times W + 2.575 \times 10^{-4} \times B + 2.096 \times 10^{-8} \times W \times B + 9.917 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(3.924 \times 10^{-7} \times W + 1.795 \times 10^{-4} \times B + 9.177 \times 10^{-9} \times W \times B + 7.423 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	384 < W 512	Worst	$(5.940 \times 10^{-7} \times W + 2.690 \times 10^{-4} \times B + 1.550 \times 10^{-8} \times W \times B + 1.008 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(3.943 \times 10^{-7} \times W + 1.864 \times 10^{-4} \times B + 8.185 \times 10^{-9} \times W \times B + 7.499 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 128	Worst	$(6.259 \times 10^{-7} \times W + 3.099 \times 10^{-4} \times B + 8.290 \times 10^{-8} \times W \times B + 9.969 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(4.242 \times 10^{-7} \times W + 2.121 \times 10^{-4} \times B + 7.436 \times 10^{-8} \times W \times B + 7.374 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	128 < W 256	Worst	$(5.580 \times 10^{-7} \times W + 3.174 \times 10^{-4} \times B + 9.152 \times 10^{-8} \times W \times B + 1.021 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(3.924 \times 10^{-7} \times W + 2.174 \times 10^{-4} \times B + 7.614 \times 10^{-8} \times W \times B + 7.527 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	256 < W 384	Worst	$(5.945 \times 10^{-7} \times W + 3.253 \times 10^{-4} \times B + 9.115 \times 10^{-8} \times W \times B + 1.026 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(3.906 \times 10^{-7} \times W + 2.235 \times 10^{-4} \times B + 7.254 \times 10^{-8} \times W \times B + 7.603 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	384 < W 512	Worst	$(5.955 \times 10^{-7} \times W + 3.339 \times 10^{-4} \times B + 9.065 \times 10^{-8} \times W \times B + 1.037 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(3.874 \times 10^{-7} \times W + 2.285 \times 10^{-4} \times B + 7.416 \times 10^{-8} \times W \times B + 7.697 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$

(3) WDREG001PSA [word] W [bit] C1

動作	条件		計算式 (mA)
リード (I _{DDR})	W 192	Worst	$(1.171 \times 10^{-6} \times W + 1.479 \times 10^{-4} \times B + 5.054 \times 10^{-8} \times W \times B + 1.373 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(9.005 \times 10^{-7} \times W + 1.139 \times 10^{-4} \times B + 2.261 \times 10^{-8} \times W \times B + 1.038 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	192 < W 256	Worst	$(9.966 \times 10^{-7} \times W + 1.653 \times 10^{-4} \times B + 9.549 \times 10^{-9} \times W \times B + 1.414 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(7.310 \times 10^{-7} \times W + 1.178 \times 10^{-4} \times B + 1.737 \times 10^{-9} \times W \times B + 1.087 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 192	Worst	$(1.116 \times 10^{-6} \times W + 2.000 \times 10^{-4} \times B + 1.924 \times 10^{-7} \times W \times B + 1.545 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(8.779 \times 10^{-7} \times W + 1.420 \times 10^{-4} \times B + 1.562 \times 10^{-7} \times W \times B + 1.176 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	192 < W 256	Worst	$(9.621 \times 10^{-7} \times W + 2.043 \times 10^{-4} \times B + 1.987 \times 10^{-7} \times W \times B + 1.582 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(6.667 \times 10^{-7} \times W + 1.457 \times 10^{-4} \times B + 1.589 \times 10^{-7} \times W \times B + 1.220 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$

(4) WDREG001PSA [word] W [bit] C2

動作	条件		計算式 (mA)
リード (I _{DDR})	W 128	Worst	$(2.153 \times 10^{-4} \times B + 4.075 \times 10^{-8} \times W \times B + 1.018 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.565 \times 10^{-4} \times B + 2.523 \times 10^{-8} \times W \times B + 7.856 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	128 < W 256	Worst	$(2.227 \times 10^{-4} \times B + 4.623 \times 10^{-8} \times W \times B + 1.100 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.622 \times 10^{-4} \times B + 2.316 \times 10^{-8} \times W \times B + 8.447 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	256 < W 384	Worst	$(2.360 \times 10^{-4} \times B + 2.658 \times 10^{-8} \times W \times B + 1.178 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.696 \times 10^{-4} \times B + 1.577 \times 10^{-8} \times W \times B + 9.046 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	384 < W 512	Worst	$(2.462 \times 10^{-4} \times B + 2.214 \times 10^{-8} \times W \times B + 1.254 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.759 \times 10^{-4} \times B + 1.407 \times 10^{-8} \times W \times B + 9.597 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 128	Worst	$(2.734 \times 10^{-4} \times B + 6.904 \times 10^{-8} \times W \times B + 1.071 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(1.929 \times 10^{-4} \times B + 6.041 \times 10^{-8} \times W \times B + 8.318 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	128 < W 256	Worst	$(2.778 \times 10^{-4} \times B + 9.352 \times 10^{-8} \times W \times B + 1.150 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(1.961 \times 10^{-4} \times B + 7.278 \times 10^{-8} \times W \times B + 8.906 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	256 < W 384	Worst	$(2.872 \times 10^{-4} \times B + 8.634 \times 10^{-8} \times W \times B + 1.229 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(2.015 \times 10^{-4} \times B + 7.003 \times 10^{-8} \times W \times B + 9.503 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	384 < W 512	Worst	$(2.925 \times 10^{-4} \times B + 9.235 \times 10^{-8} \times W \times B + 1.305 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(2.048 \times 10^{-4} \times B + 7.392 \times 10^{-8} \times W \times B + 1.003 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$

(5) WDSRAM001PAA [word] W [bit] C2

動作	条件		計算式 (mA)	
リード (I _{DDR})	W 512	B 80	Worst	$(2.635 \times 10^{-4} \times B + 2.088 \times 10^{-8} \times W \times B + 2.374 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(1.897 \times 10^{-4} \times B + 1.462 \times 10^{-8} \times W \times B + 1.695 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		80 < B	Worst	$(2.717 \times 10^{-4} \times B + 2.259 \times 10^{-8} \times W \times B + 4.694 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(1.970 \times 10^{-4} \times B + 1.345 \times 10^{-8} \times W \times B + 3.131 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	512 < W 1024	B 80	Worst	$(2.966 \times 10^{-4} \times B + 1.002 \times 10^{-8} \times W \times B + 2.468 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(2.110 \times 10^{-4} \times B + 7.378 \times 10^{-9} \times W \times B + 1.768 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		80 < B	Worst	$(2.947 \times 10^{-4} \times B + 1.069 \times 10^{-8} \times W \times B + 4.960 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(2.118 \times 10^{-4} \times B + 6.643 \times 10^{-9} \times W \times B + 3.313 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	1024 < W 1536	B 80	Worst	$(1.749 \times 10^{-4} \times B + 1.083 \times 10^{-7} \times W \times B + 2.574 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(1.314 \times 10^{-4} \times B + 7.156 \times 10^{-8} \times W \times B + 1.841 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		80 < B	Worst	$(1.738 \times 10^{-4} \times B + 1.078 \times 10^{-7} \times W \times B + 5.123 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(1.323 \times 10^{-4} \times B + 7.092 \times 10^{-8} \times W \times B + 3.382 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
1536 < W 2048	Worst	$(3.656 \times 10^{-4} \times B + 6.706 \times 10^{-9} \times W \times B + 2.753 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$		
	TYP.	$(2.578 \times 10^{-4} \times B + 4.209 \times 10^{-9} \times W \times B + 1.942 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$		
ライト (I _{DDW})	W 512	B 80	Worst	$(3.216 \times 10^{-4} \times B + 1.011 \times 10^{-7} \times W \times B + 2.644 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(2.301 \times 10^{-4} \times B + 8.093 \times 10^{-8} \times W \times B + 1.879 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		80 < B	Worst	$(3.352 \times 10^{-4} \times B + 9.758 \times 10^{-8} \times W \times B + 4.290 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(2.368 \times 10^{-4} \times B + 8.003 \times 10^{-8} \times W \times B + 3.017 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	512 < W 1024	B 80	Worst	$(3.455 \times 10^{-4} \times B + 1.001 \times 10^{-7} \times W \times B + 2.736 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(2.449 \times 10^{-4} \times B + 8.062 \times 10^{-8} \times W \times B + 1.952 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		80 < B	Worst	$(3.494 \times 10^{-4} \times B + 9.916 \times 10^{-8} \times W \times B + 4.463 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(2.465 \times 10^{-4} \times B + 7.973 \times 10^{-8} \times W \times B + 3.159 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	1024 < W 1536	B 80	Worst	$(2.419 \times 10^{-4} \times B + 1.840 \times 10^{-7} \times W \times B + 2.843 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(1.780 \times 10^{-4} \times B + 1.348 \times 10^{-7} \times W \times B + 2.020 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		80 < B	Worst	$(2.455 \times 10^{-4} \times B + 1.832 \times 10^{-7} \times W \times B + 4.579 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(1.798 \times 10^{-4} \times B + 1.337 \times 10^{-7} \times W \times B + 3.248 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
1536 < W 2048	Worst	$(4.018 \times 10^{-4} \times B + 9.921 \times 10^{-8} \times W \times B + 3.012 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$		
	TYP.	$(2.811 \times 10^{-4} \times B + 7.956 \times 10^{-8} \times W \times B + 2.123 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$		

(6) WDSRAM001PAA [word] W [bit] C3

動作	条 件		計算式 (mA)	
リード (I _{DDR})	W 1024	B 40	Worst	$(4.197 \times 10^{-4} \times B + 1.091 \times 10^{-8} \times W \times B + 1.655 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.032 \times 10^{-4} \times B + 8.106 \times 10^{-9} \times W \times B + 1.120 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(4.506 \times 10^{-4} \times B + 1.028 \times 10^{-8} \times W \times B + 3.263 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.296 \times 10^{-4} \times B + 6.784 \times 10^{-9} \times W \times B + 1.933 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	1024 < W 2048	B 40	Worst	$(4.825 \times 10^{-4} \times B + 6.009 \times 10^{-9} \times W \times B + 1.804 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.451 \times 10^{-4} \times B + 3.920 \times 10^{-9} \times W \times B + 1.885 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(4.936 \times 10^{-4} \times B + 5.369 \times 10^{-9} \times W \times B + 3.373 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.582 \times 10^{-4} \times B + 3.564 \times 10^{-9} \times W \times B + 2.018 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	2048 < W 3072	B 40	Worst	$(5.455 \times 10^{-4} \times B + 5.251 \times 10^{-9} \times W \times B + 1.913 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.877 \times 10^{-4} \times B + 2.893 \times 10^{-9} \times W \times B + 1.306 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(5.598 \times 10^{-4} \times B + 4.394 \times 10^{-9} \times W \times B + 3.404 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(4.023 \times 10^{-4} \times B + 2.864 \times 10^{-9} \times W \times B + 1.989 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
3072 < W 4096		Worst	$(6.210 \times 10^{-4} \times B + 3.965 \times 10^{-9} \times W \times B + 2.054 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
		TYP.	$(4.392 \times 10^{-4} \times B + 2.143 \times 10^{-9} \times W \times B + 1.454 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
ライト (I _{DDW})	W 1024	B 40	Worst	$(4.881 \times 10^{-4} \times B + 4.826 \times 10^{-8} \times W \times B + 1.582 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(3.493 \times 10^{-4} \times B + 3.943 \times 10^{-8} \times W \times B + 1.077 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		40<B	Worst	$(5.266 \times 10^{-4} \times B + 4.734 \times 10^{-8} \times W \times B + 2.643 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(3.751 \times 10^{-4} \times B + 3.899 \times 10^{-8} \times W \times B + 1.681 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	1024 < W 2048	B 40	Worst	$(5.390 \times 10^{-4} \times B + 5.182 \times 10^{-8} \times W \times B + 1.652 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(3.828 \times 10^{-4} \times B + 4.117 \times 10^{-8} \times W \times B + 1.129 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		40<B	Worst	$(5.610 \times 10^{-4} \times B + 5.090 \times 10^{-8} \times W \times B + 2.518 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(3.980 \times 10^{-4} \times B + 4.061 \times 10^{-8} \times W \times B + 1.612 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	2048 < W 3072	B 40	Worst	$(5.953 \times 10^{-4} \times B + 5.193 \times 10^{-8} \times W \times B + 1.734 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.168 \times 10^{-4} \times B + 4.195 \times 10^{-8} \times W \times B + 1.189 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		40<B	Worst	$(6.206 \times 10^{-4} \times B + 5.137 \times 10^{-8} \times W \times B + 2.379 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.360 \times 10^{-4} \times B + 4.114 \times 10^{-8} \times W \times B + 1.488 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
3072 < W 4096		Worst	$(6.644 \times 10^{-4} \times B + 5.154 \times 10^{-8} \times W \times B + 1.862 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	
		TYP.	$(4.617 \times 10^{-4} \times B + 4.117 \times 10^{-8} \times W \times B + 1.316 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	

(7) WDSRAM001PAE [word] W [bit] C3

動作	条件		計算式 (mA)	
リード (I _{DDR})	W 512	B 40	Worst	$(4.335 \times 10^{-4} \times B + 1.792 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.240 \times 10^{-4} \times B + 1.262 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
		40<B	Worst	$(4.223 \times 10^{-4} \times B + 4.146 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.139 \times 10^{-4} \times B + 3.034 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
	512 < W 1024	B 40	Worst	$(4.584 \times 10^{-4} \times B + 1.957 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.413 \times 10^{-4} \times B + 1.381 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
		40<B	Worst	$(4.477 \times 10^{-4} \times B + 4.324 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.318 \times 10^{-4} \times B + 3.155 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
	1024 < W 1536	B 40	Worst	$(4.839 \times 10^{-4} \times B + 2.003 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.592 \times 10^{-4} \times B + 1.419 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
		40<B	Worst	$(4.729 \times 10^{-4} \times B + 4.406 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.513 \times 10^{-4} \times B + 3.134 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
	1536 < W 2048	B 40	Worst	$(5.583 \times 10^{-4} \times B + 2.083 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(4.117 \times 10^{-4} \times B + 1.477 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
		40<B	Worst	$(4.984 \times 10^{-4} \times B + 4.477 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
			TYP.	$(3.676 \times 10^{-4} \times B + 3.243 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RR} \times A$
ライト (I _{DDW})	W 512	B 40	Worst	$(5.288 \times 10^{-4} \times B + 1.895 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(3.959 \times 10^{-4} \times B + 1.332 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
		40<B	Worst	$(5.198 \times 10^{-4} \times B + 4.046 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(3.901 \times 10^{-4} \times B + 2.821 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
	512 < W 1024	B 40	Worst	$(5.751 \times 10^{-4} \times B + 2.062 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(4.319 \times 10^{-4} \times B + 1.450 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
		40<B	Worst	$(5.709 \times 10^{-4} \times B + 4.044 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(4.270 \times 10^{-4} \times B + 2.917 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
	1024 < W 1536	B 40	Worst	$(6.242 \times 10^{-4} \times B + 2.107 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(4.691 \times 10^{-4} \times B + 1.488 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
		40<B	Worst	$(6.176 \times 10^{-4} \times B + 4.175 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(4.639 \times 10^{-4} \times B + 2.963 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
	1536 < W 2048	B 40	Worst	$(7.179 \times 10^{-4} \times B + 2.186 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(5.402 \times 10^{-4} \times B + 1.541 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
		40<B	Worst	$(6.665 \times 10^{-4} \times B + 4.244 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$
			TYP.	$(4.989 \times 10^{-4} \times B + 3.192 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{RW} \times A$

(8) WDSRAM001PSA [word] W [bit] C3

動作	条件		計算式 (mA)	
リード (I _{DDR})	W 1024	B 40	Worst	$(4.872 \times 10^{-4} \times B + 1.379 \times 10^{-8} \times W \times B + 1.654 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.644 \times 10^{-4} \times B + 9.829 \times 10^{-9} \times W \times B + 1.259 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(4.801 \times 10^{-4} \times B + 1.263 \times 10^{-8} \times W \times B + 4.411 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.615 \times 10^{-4} \times B + 8.664 \times 10^{-9} \times W \times B + 3.007 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	1024 < W 2048	B 40	Worst	$(5.326 \times 10^{-4} \times B + 6.519 \times 10^{-9} \times W \times B + 1.742 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.951 \times 10^{-4} \times B + 4.079 \times 10^{-9} \times W \times B + 1.320 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(5.260 \times 10^{-4} \times B + 5.945 \times 10^{-9} \times W \times B + 4.594 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.915 \times 10^{-4} \times B + 3.890 \times 10^{-9} \times W \times B + 3.125 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	2048 < W 3072	Worst	$(6.260 \times 10^{-4} \times B + 4.881 \times 10^{-9} \times W \times B + 1.943 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
		TYP.	$(4.561 \times 10^{-4} \times B + 3.777 \times 10^{-9} \times W \times B + 1.453 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
	3072 < W 4096	Worst	$(6.899 \times 10^{-4} \times B + 3.973 \times 10^{-9} \times W \times B + 2.052 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
		TYP.	$(4.999 \times 10^{-4} \times B + 2.815 \times 10^{-9} \times W \times B + 1.525 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
ライト (I _{DDW})	W 1024	B 40	Worst	$(5.508 \times 10^{-4} \times B + 5.299 \times 10^{-8} \times W \times B + 1.774 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.032 \times 10^{-4} \times B + 4.348 \times 10^{-8} \times W \times B + 1.351 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		40<B	Worst	$(5.506 \times 10^{-4} \times B + 4.981 \times 10^{-8} \times W \times B + 4.204 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(3.988 \times 10^{-4} \times B + 4.141 \times 10^{-8} \times W \times B + 3.099 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	1024 < W 2048	B 40	Worst	$(5.902 \times 10^{-4} \times B + 4.990 \times 10^{-8} \times W \times B + 1.859 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.306 \times 10^{-4} \times B + 3.950 \times 10^{-8} \times W \times B + 1.413 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		40<B	Worst	$(5.887 \times 10^{-4} \times B + 4.902 \times 10^{-8} \times W \times B + 4.368 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.255 \times 10^{-4} \times B + 3.952 \times 10^{-8} \times W \times B + 3.145 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	2048 < W 3072	Worst	$(6.771 \times 10^{-4} \times B + 4.951 \times 10^{-8} \times W \times B + 2.049 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	
		TYP.	$(4.835 \times 10^{-4} \times B + 4.072 \times 10^{-8} \times W \times B + 1.543 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	
	3072 < W 4096	Worst	$(7.323 \times 10^{-4} \times B + 5.007 \times 10^{-8} \times W \times B + 2.157 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	
		TYP.	$(5.242 \times 10^{-4} \times B + 3.977 \times 10^{-8} \times W \times B + 1.614 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	

2.6.2 スタンバイ・モード時の動作消費電流

(1) WDREG001PAA [word] W [bit] C1

条 件	計算式 (mA)
Worst	$4.190 \times 10^{-4} \times W + 1.338 \times 10^{-3} \times B + 5.803 \times 10^{-2} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$3.485 \times 10^{-6} \times W + 1.041 \times 10^{-5} \times B + 6.576 \times 10^{-4} + 5.200 \times 10^{-8} \times W \times B$

(2) WDREG001PAA [word] W [bit] C2

条 件	計算式 (mA)
Worst	$2.027 \times 10^{-4} \times W + 1.410 \times 10^{-3} \times B + 4.519 \times 10^{-2} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$1.659 \times 10^{-6} \times W + 1.069 \times 10^{-5} \times B + 5.083 \times 10^{-4} + 5.200 \times 10^{-8} \times W \times B$

(3) WDREG001PSA [word] W [bit] C1

条 件	計算式 (mA)
Worst	$6.944 \times 10^{-5} \times W + 3.436 \times 10^{-4} \times B + 7.046 \times 10^{-3} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$4.860 \times 10^{-7} \times W + 2.503 \times 10^{-6} \times B + 6.424 \times 10^{-5} + 5.200 \times 10^{-8} \times W \times B$

(4) WDREG001PSA [word] W [bit] C2

条 件	計算式 (mA)
Worst	$3.438 \times 10^{-5} \times W + 3.990 \times 10^{-4} \times B + 8.824 \times 10^{-3} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$2.363 \times 10^{-7} \times W + 3.022 \times 10^{-6} \times B + 8.747 \times 10^{-5} + 5.200 \times 10^{-8} \times W \times B$

(5) WDSRAM001PAA [word] W [bit] C2

条 件	計算式 (mA)
Worst	$5.856 \times 10^{-4} \times W + 4.256 \times 10^{-3} \times B + 1.254 \times 10^{-1} + 1.140 \times 10^{-5} \times W \times B$
TYP.	$4.284 \times 10^{-6} \times W + 4.443 \times 10^{-5} \times B + 1.038 \times 10^{-3} + 7.200 \times 10^{-8} \times W \times B$

(6) WDSRAM001PAA [word] W [bit] C3

条 件	計算式 (mA)
Worst	$2.562 \times 10^{-4} \times W + 3.952 \times 10^{-3} \times B + 1.199 \times 10^{-1} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$2.142 \times 10^{-6} \times W + 4.021 \times 10^{-5} \times B + 1.198 \times 10^{-3} + 5.200 \times 10^{-8} \times W \times B$

(7) WDSRAM001PAE [word] W [bit] C3

条 件	計算式 (mA)
Worst	$4.648 \times 10^{-4} \times W + 6.200 \times 10^{-3} \times B + 1.592 \times 10^{-1} + 2.350 \times 10^{-5} \times W \times B$
TYP.	$3.413 \times 10^{-6} \times W + 4.964 \times 10^{-5} \times B + 1.469 \times 10^{-3} + 1.630 \times 10^{-7} \times W \times B$

(8) WDSRAM001PSA [word] W [bit] C3

条 件	計算式 (mA)
Worst	$5.075 \times 10^{-5} \times W + 2.807 \times 10^{-3} \times B + 2.262 \times 10^{-2} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$3.381 \times 10^{-7} \times W + 3.187 \times 10^{-5} \times B + 1.744 \times 10^{-4} + 5.200 \times 10^{-8} \times W \times B$

備考 1. リード : CEN = 0, WEN = 1

ライト : CEN = 0, WEN = 0

(1) スタンバイ状態とは、全入力 (CLK 含む) が固定されている状態です。

(2) アドレス / データが固定でも、CEN = 0、かつ CLK が入力される状態の電流は、動作電流 (リード / ライト時) と同じになります。

(3) CEN = 1 であれば、CLK が入力されていても、スタンバイとほぼ同等の電流に抑えることができます。

2. 消費電流を計算する際の条件は次のとおりです。T_Jは、ジャンクション温度です。

Worst : V_{DD} = 1.2V, Process = fast, T_J = 125°C

TYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C

2.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量 (pF)

動作条件

条 件	プロセス	電源電圧	周囲温度 (TA)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- t_{RC}: CLK の最小周期 (これ以上の周期でなければ、メモリは正常に動作しません)
- t_{ACC}: CLK の立ち上がり後に Q 出力にデータが出力されるまでの時間
- t_{OH}: リード・アクセス時に前のデータが保持される時間
- t_{CKH}: CLK のハイ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{CKL}: CLK のロウ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{AS}: アドレスのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間)
- t_{AH}: アドレスのホールド時間
(CLK の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間)
- t_{DIS}: データのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前にデータが決まっていなければならない時間)
- t_{DIH}: データのホールド時間
(CLK の立ち上がりに対して、この時間以上データが保持されなければならない時間)
- t_{DTH}: ライト・サイクル時に書き込んだデータが出力 Q に出力されるまでの時間
- t_{OHW}: ライト・サイクル時に前のサイクルのデータが保持されている時間
- t_{WS}: ライト・イネーブルのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前に WEN が入力されなければならない時間)
- t_{WH}: ライト・イネーブルのホールド時間
(CLK の立ち上がりに対して、この時間以上 WEN が保持されなければならない時間)
- t_{CS}: チップ・イネーブルのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前に CEN が入力されなければならない時間)
- t_{CH}: チップ・イネーブルのホールド時間
(CLK の立ち上がりに対して、この時間以上 CEN が保持されなければならない時間)

(1) WDREG001PAA [word] W [bit] C1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
サイクル・タイム	t_{RC}	MAX1	W 64	2.483	ns
			64 < W 128	2.598	ns
			128 < W 192	2.713	ns
			192 < W 256	2.830	ns
		MAX2	W 64	2.558	ns
			64 < W 128	2.671	ns
			128 < W 192	2.787	ns
			192 < W 256	2.901	ns
アクセス・タイム	t_{ACC}	MAX1	W 64	$1.052 \times 10^{-3} \times B + 1.696 + 2.273 \times C_L$	ns
			64 < W 128	$1.048 \times 10^{-3} \times B + 1.794 + 2.273 \times C_L$	ns
			128 < W 192	$1.053 \times 10^{-3} \times B + 1.898 + 2.273 \times C_L$	ns
			192 < W 256	$1.051 \times 10^{-3} \times B + 2.003 + 2.273 \times C_L$	ns
		MAX2	W 64	$1.005 \times 10^{-3} \times B + 1.740 + 2.368 \times C_L$	ns
			64 < W 128	$1.003 \times 10^{-3} \times B + 1.840 + 2.368 \times C_L$	ns
			128 < W 192	$1.005 \times 10^{-3} \times B + 1.944 + 2.368 \times C_L$	ns
			192 < W 256	$1.012 \times 10^{-3} \times B + 2.046 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 64	$1.737 \times 10^{-4} \times B + 4.533 \times 10^{-1}$	ns
			64 < W 128	$1.749 \times 10^{-4} \times B + 4.801 \times 10^{-1}$	ns
			128 < W 192	$1.751 \times 10^{-4} \times B + 5.090 \times 10^{-1}$	ns
			192 < W 256	$1.756 \times 10^{-4} \times B + 5.377 \times 10^{-1}$	ns
		MIN2	W 64	$1.684 \times 10^{-4} \times B + 5.054 \times 10^{-1}$	ns
			64 < W 128	$1.685 \times 10^{-4} \times B + 5.362 \times 10^{-1}$	ns
			128 < W 192	$1.709 \times 10^{-4} \times B + 5.692 \times 10^{-1}$	ns
			192 < W 256	$1.714 \times 10^{-4} \times B + 6.020 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.258	ns	
		MAX2	0.249	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.520	ns	
		MAX2	0.539	ns	
アドレス・セットアップ・タイム	t_{AS}	MAX1	$1.557 \times 10^{-4} \times W + 3.967 \times 10^{-1}$	ns	
		MAX2	$1.625 \times 10^{-4} \times W + 4.061 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{AH}	MAX1	0.181	ns	
		MAX2	0.182	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$8.081 \times 10^{-6} \times W - 6.663 \times 10^{-4} \times B + 4.313 \times 10^{-1}$	ns	
		MAX2	$7.116 \times 10^{-6} \times W - 7.122 \times 10^{-4} \times B + 4.299 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$-8.528 \times 10^{-6} \times W + 1.502 \times 10^{-3} \times B + 1.933 \times 10^{-1}$	ns	
		MAX2	$-7.408 \times 10^{-6} \times W + 1.317 \times 10^{-3} \times B + 1.975 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{DTH}	–	= t_{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	–	= t_{OH}	ns	
WEN セットアップ・タイム	t_{WS}	MAX1	0.193	ns	
		MAX2	0.195	ns	
WEN ホールド・タイム	t_{WH}	MAX1	0.180	ns	
		MAX2	0.181	ns	
CEN セットアップ・タイム	t_{CS}	MAX1	0.360	ns	
		MAX2	0.381	ns	
CEN ホールド・タイム	t_{CH}	MAX1	0.265	ns	
		MAX2	0.266	ns	

(2) WDREG001PAA [word] W [bit] C2

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
サイクル・タイム	t_{rc}	MAX1	W 128	2.465	ns
			128 < W 256	2.585	ns
			256 < W 384	2.697	ns
			384 < W 512	2.812	ns
		MAX2	W 128	2.538	ns
			128 < W 256	2.657	ns
			256 < W 384	2.770	ns
			384 < W 512	2.884	ns
アクセス・タイム	t_{acc}	MAX1	W 128	$2.428 \times 10^{-3} \times B + 1.642 + 2.273 \times C_L$	ns
			128 < W 256	$2.434 \times 10^{-3} \times B + 1.744 + 2.273 \times C_L$	ns
			256 < W 384	$2.424 \times 10^{-3} \times B + 1.846 + 2.273 \times C_L$	ns
			384 < W 512	$2.454 \times 10^{-3} \times B + 1.949 + 2.273 \times C_L$	ns
		MAX2	W 128	$2.349 \times 10^{-3} \times B + 1.685 + 2.368 \times C_L$	ns
			128 < W 256	$2.358 \times 10^{-3} \times B + 1.796 + 2.368 \times C_L$	ns
			256 < W 384	$2.359 \times 10^{-3} \times B + 1.892 + 2.368 \times C_L$	ns
			384 < W 512	$2.365 \times 10^{-3} \times B + 2.000 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{oh}	MIN1	W 128	$4.413 \times 10^{-4} \times B + 4.414 \times 10^{-1}$	ns
			128 < W 256	$4.419 \times 10^{-4} \times B + 4.675 \times 10^{-1}$	ns
			256 < W 384	$4.460 \times 10^{-4} \times B + 4.953 \times 10^{-1}$	ns
			384 < W 512	$4.460 \times 10^{-4} \times B + 5.240 \times 10^{-1}$	ns
		MIN2	W 128	$4.222 \times 10^{-4} \times B + 4.908 \times 10^{-1}$	ns
			128 < W 256	$4.242 \times 10^{-4} \times B + 5.248 \times 10^{-1}$	ns
			256 < W 384	$4.274 \times 10^{-4} \times B + 5.540 \times 10^{-1}$	ns
			384 < W 512	$4.283 \times 10^{-4} \times B + 5.866 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{ckh}	MAX1	0.245	ns	
		MAX2	0.236	ns	
CLK ロウ・レベル・タイム	t_{ckl}	MAX1	0.512	ns	
		MAX2	0.535	ns	
アドレス・セットアップ・タイム	t_{as}	MAX1	$5.762 \times 10^{-5} \times W + 4.860 \times 10^{-1}$	ns	
		MAX2	$5.974 \times 10^{-5} \times W + 4.991 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{ah}	MAX1	0.309	ns	
		MAX2	0.310	ns	
ライト・データ・セットアップ・タイム	t_{dis}	MAX1	$5.174 \times 10^{-6} \times W - 1.404 \times 10^{-3} \times B + 4.939 \times 10^{-1}$	ns	
		MAX2	$4.377 \times 10^{-6} \times W - 1.529 \times 10^{-3} \times B + 5.133 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{dih}	MAX1	$-5.757 \times 10^{-6} \times W + 2.853 \times 10^{-3} \times B + 2.820 \times 10^{-1}$	ns	
		MAX2	$-4.228 \times 10^{-6} \times W + 2.537 \times 10^{-3} \times B + 2.851 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{dth}	–	= t_{acc}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{ohw}	–	= t_{oh}	ns	
WEN セットアップ・タイム	t_{ws}	MAX1	0.294	ns	
		MAX2	0.297	ns	
WEN ホールド・タイム	t_{wh}	MAX1	0.309	ns	
		MAX2	0.309	ns	
CEN セットアップ・タイム	t_{cs}	MAX1	0.478	ns	
		MAX2	0.500	ns	
CEN ホールド・タイム	t_{ch}	MAX1	0.395	ns	
		MAX2	0.396	ns	

(3) WDREG001PSA [word] W [bit] C1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位
サイクル・タイム	t_{RC}	MAX1	W 192	$3.132 \times 10^{-4} \times B + 3.339$	ns
			192 < W 256	$5.576 \times 10^{-4} \times B + 3.647$	ns
		MAX2	W 192	$3.323 \times 10^{-4} \times B + 3.641$	ns
			192 < W 256	$3.285 \times 10^{-4} \times B + 3.978$	ns
アクセス・タイム	t_{ACC}	MAX1	W 192	$1.425 \times 10^{-3} \times B + 2.982 + 2.766 \times C_L$	ns
			192 < W 256	$1.429 \times 10^{-3} \times B + 3.255 + 2.766 \times C_L$	ns
		MAX2	W 192	$1.505 \times 10^{-3} \times B + 3.207 + 3.072 \times C_L$	ns
			192 < W 256	$1.509 \times 10^{-3} \times B + 3.543 + 3.072 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 192	$1.650 \times 10^{-4} \times B + 5.070 \times 10^{-1}$	ns
			192 < W 256	$1.615 \times 10^{-4} \times B + 5.480 \times 10^{-1}$	ns
		MIN2	W 192	$1.563 \times 10^{-4} \times B + 5.590 \times 10^{-1}$	ns
			192 < W 256	$1.580 \times 10^{-4} \times B + 6.020 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.521	ns	
		MAX2	0.586	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.855	ns	
		MAX2	1.045	ns	
アドレス・セットアップ・タイム	t_{AS}	MAX1	$1.016 \times 10^{-4} \times W + 6.210 \times 10^{-1}$	ns	
		MAX2	$1.094 \times 10^{-4} \times W + 7.240 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{AH}	MAX1	$8.669 \times 10^{-5} \times W + 4.598 \times 10^{-1}$	ns	
		MAX2	$9.677 \times 10^{-5} \times W + 5.102 \times 10^{-1}$	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-1.108 \times 10^{-3} \times B + 5.952 \times 10^{-1}$	ns	
		MAX2	$-1.271 \times 10^{-3} \times B + 6.935 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$1.993 \times 10^{-3} \times B + 4.850 \times 10^{-1}$	ns	
		MAX2	$1.920 \times 10^{-3} \times B + 5.407 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{DTH}	–	= t_{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	–	= t_{OH}	ns	
WEN セットアップ・タイム	t_{WS}	MAX1	0.466	ns	
		MAX2	0.526	ns	
WEN ホールド・タイム	t_{WH}	MAX1	$8.669 \times 10^{-5} \times W + 4.578 \times 10^{-1}$	ns	
		MAX2	$9.677 \times 10^{-5} \times W + 5.082 \times 10^{-1}$	ns	
CEN セットアップ・タイム	t_{CS}	MAX1	0.551	ns	
		MAX2	0.635	ns	
CEN ホールド・タイム	t_{CH}	MAX1	0.523	ns	
		MAX2	0.597	ns	

(4) WDREG001PSA [word] W [bit] C2

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件		計算式	単位
サイクル・タイム	t_{rc}	MAX1	W 128	3.056	ns
			128 < W 256	3.154	ns
			256 < W 384	3.254	ns
			384 < W 512	3.358	ns
		MAX2	W 128	4.091	ns
			128 < W 256	3.587	ns
			256 < W 384	3.688	ns
			384 < W 512	3.791	ns
アクセス・タイム	t_{acc}	MAX1	W 128	$2.559 \times 10^{-3} \times B + 2.272 + 2.766 \times C_L$	ns
			128 < W 256	$2.558 \times 10^{-3} \times B + 2.387 + 2.766 \times C_L$	ns
			256 < W 384	$2.559 \times 10^{-3} \times B + 2.500 + 2.766 \times C_L$	ns
			384 < W 512	$2.560 \times 10^{-3} \times B + 2.614 + 2.766 \times C_L$	ns
		MAX2	W 128	$2.501 \times 10^{-3} \times B + 2.551 + 3.072 \times C_L$	ns
			128 < W 256	$2.501 \times 10^{-3} \times B + 2.665 + 3.072 \times C_L$	ns
			256 < W 384	$2.507 \times 10^{-3} \times B + 2.779 + 3.072 \times C_L$	ns
			384 < W 512	$2.500 \times 10^{-3} \times B + 2.892 + 3.072 \times C_L$	ns
出力ホールド・タイム	t_{oh}	MIN1	W 128	$3.060 \times 10^{-4} \times B + 3.751 \times 10^{-1}$	ns
			128 < W 256	$3.070 \times 10^{-4} \times B + 3.972 \times 10^{-1}$	ns
			256 < W 384	$3.092 \times 10^{-4} \times B + 4.181 \times 10^{-1}$	ns
			384 < W 512	$3.081 \times 10^{-4} \times B + 4.392 \times 10^{-1}$	ns
		MIN2	W 128	$2.904 \times 10^{-4} \times B + 4.080 \times 10^{-1}$	ns
			128 < W 256	$2.930 \times 10^{-4} \times B + 4.337 \times 10^{-1}$	ns
			256 < W 384	$2.928 \times 10^{-4} \times B + 4.578 \times 10^{-1}$	ns
			384 < W 512	$2.945 \times 10^{-4} \times B + 4.818 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{ckh}	MAX1	0.504	ns	
		MAX2	0.565	ns	
CLK ロウ・レベル・タイム	t_{ckl}	MAX1	0.848	ns	
		MAX2	1.038	ns	
アドレス・セットアップ・タイム	t_{as}	MAX1	$6.383 \times 10^{-5} \times W + 7.772 \times 10^{-1}$	ns	
		MAX2	$6.690 \times 10^{-5} \times W + 8.996 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{ah}	MAX1	0.447	ns	
		MAX2	0.494	ns	
ライト・データ・セットアップ・タイム	t_{dis}	MAX1	$-2.236 \times 10^{-3} \times B + 9.502 \times 10^{-1}$	ns	
		MAX2	$-2.608 \times 10^{-3} \times B + 1.145$	ns	
ライト・データ・ホールド・タイム	t_{dih}	MAX1	$3.770 \times 10^{-3} \times W + 3.758 \times 10^{-1}$	ns	
		MAX2	$3.739 \times 10^{-3} \times W + 3.835 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{dth}	–	= t_{acc}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{ohw}	–	= t_{oh}	ns	
WEN セットアップ・タイム	t_{ws}	MAX1	0.453	ns	
		MAX2	0.515	ns	
WEN ホールド・タイム	t_{wh}	MAX1	0.446	ns	
		MAX2	0.492	ns	
CEN セットアップ・タイム	t_{cs}	MAX1	0.547	ns	
		MAX2	0.633	ns	
CEN ホールド・タイム	t_{ch}	MAX1	0.516	ns	
		MAX2	0.587	ns	

(5) WDSRAM001PAA [word] W [bit] C2 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位			
サイクル・タイム	t_{RC}	MAX1	W 512	B 80	2.124	ns		
				$80 < B$	2.597	ns		
			512 < W 1024	B 80	2.438	ns		
				$80 < B$	2.807	ns		
			1024 < W 1536	B 80	3.038	ns		
				$80 < B$	3.345	ns		
			1536 < W 2048		3.827	ns		
			MAX2	W 512	B 80	2.190	ns	
		$80 < B$			2.661	ns		
		512 < W 1024		B 80	2.503	ns		
				$80 < B$	2.869	ns		
		1024 < W 1536		B 80	2.993	ns		
				$80 < B$	3.273	ns		
		1536 < W 2048			3.765	ns		
		アクセス・タイム		t_{ACC}	MAX1	W 512	$B \ 80$	$6.176 \times 10^{-4} \times B + 1.741 + 2.273 \times C_L$
			$80 < B$				$8.666 \times 10^{-4} \times B + 2.140 + 2.273 \times C_L$	ns
512 < W 1024	B 80		$6.104 \times 10^{-4} \times B + 2.056 + 2.273 \times C_L$			ns		
	$80 < B$		$8.739 \times 10^{-4} \times B + 2.349 + 2.273 \times C_L$			ns		
1024 < W 1536	B 80		$6.198 \times 10^{-4} \times B + 2.384 + 2.273 \times C_L$			ns		
	$80 < B$		$8.581 \times 10^{-4} \times B + 2.679 + 2.273 \times C_L$			ns		
1536 < W 2048			$7.290 \times 10^{-4} \times B + 2.909 + 2.273 \times C_L$			ns		
MAX2	W 512		B 80			$5.359 \times 10^{-4} \times B + 1.793 + 2.368 \times C_L$	ns	
			$80 < B$		$7.646 \times 10^{-4} \times B + 2.192 + 2.368 \times C_L$	ns		
	512 < W 1024		B 80		$5.426 \times 10^{-4} \times B + 2.106 + 2.368 \times C_L$	ns		
			$80 < B$		$7.669 \times 10^{-4} \times B + 2.401 + 2.368 \times C_L$	ns		
	1024 < W 1536		B 80		$5.401 \times 10^{-4} \times B + 2.434 + 2.368 \times C_L$	ns		
			$80 < B$		$7.645 \times 10^{-4} \times B + 2.729 + 2.368 \times C_L$	ns		
	1536 < W 2048				$6.388 \times 10^{-4} \times B + 2.956 + 2.368 \times C_L$	ns		
	出力ホールド・タイム		t_{OH}		MIN1	W 512	B 80	$1.114 \times 10^{-4} \times B + 4.598 \times 10^{-1}$
$80 < B$							$6.528 \times 10^{-5} \times B + 5.803 \times 10^{-1}$	ns
512 < W 1024		B 80		$1.104 \times 10^{-4} \times B + 5.475 \times 10^{-1}$		ns		
		$80 < B$		$6.813 \times 10^{-5} \times B + 6.385 \times 10^{-1}$		ns		
1024 < W 1536		B 80		$1.117 \times 10^{-4} \times B + 6.393 \times 10^{-1}$		ns		
		$80 < B$		$6.860 \times 10^{-5} \times B + 7.308 \times 10^{-1}$		ns		
1536 < W 2048				$9.198 \times 10^{-5} \times B + 7.861 \times 10^{-1}$		ns		
MIN2		W 512		B 80		$1.208 \times 10^{-4} \times B + 5.143 \times 10^{-1}$	ns	
				$80 < B$	$6.266 \times 10^{-5} \times B + 6.518 \times 10^{-1}$	ns		
		512 < W 1024		B 80	$1.185 \times 10^{-4} \times B + 6.143 \times 10^{-1}$	ns		
				$80 < B$	$6.442 \times 10^{-5} \times B + 7.189 \times 10^{-1}$	ns		
		1024 < W 1536		B 80	$1.223 \times 10^{-4} \times B + 7.182 \times 10^{-1}$	ns		
				$80 < B$	$6.506 \times 10^{-5} \times B + 8.225 \times 10^{-1}$	ns		
		1536 < W 2048			$9.674 \times 10^{-5} \times B + 8.841 \times 10^{-1}$	ns		

(5) WDSRAM001PAA [word] W [bit] C2 (2/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項 目	略号	条件	計 算 式	単位
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.215	ns
		MAX2	0.202	ns
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.501	ns
		MAX2	0.520	ns
アドレス・セットアップ・タイム	t_{AS}	MAX1	$1.444 \times 10^{-6} \times W + 3.385 \times 10^{-1}$	ns
		MAX2	$3.691 \times 10^{-6} \times W + 3.605 \times 10^{-1}$	ns
アドレス・ホールド・タイム	t_{AH}	MAX1	0.233	ns
		MAX2	0.231	ns
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-4.049 \times 10^{-4} \times B + 4.079 \times 10^{-1}$	ns
		MAX2	$-4.438 \times 10^{-4} \times B + 4.459 \times 10^{-1}$	ns
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$8.126 \times 10^{-4} \times B + 2.414 \times 10^{-1}$	ns
		MAX2	$7.320 \times 10^{-4} \times B + 2.446 \times 10^{-1}$	ns
ライト・データ・スルー・タイム	t_{DTH}	–	= t_{ACC}	ns
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	–	= t_{OH}	ns
WEN セットアップ・タイム	t_{WS}	MAX1	0.353	ns
		MAX2	0.378	ns
WEN ホールド・タイム	t_{WH}	MAX1	0.230	ns
		MAX2	0.230	ns
CEN セットアップ・タイム	t_{CS}	MAX1	0.382	ns
		MAX2	0.400	ns
CEN ホールド・タイム	t_{CH}	MAX1	0.210	ns
		MAX2	0.213	ns

(6) WDSRAM001PAA [word] W [bit] C3 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位		
サイクル・タイム	t_{RC}	MAX1	W 1024	B 40	2.307	ns	
				40 < B 74	2.731	ns	
			1024 < W 2048	B 40	2.624	ns	
				40 < B 74	2.939	ns	
			2048 < W 3072	B 40	3.170	ns	
				40 < B 74	3.486	ns	
			3072 < W 4096		3.990	ns	
			MAX2	W 1024	B 40	2.347	ns
		40 < B 74			2.768	ns	
		1024 < W 2048		B 40	2.662	ns	
				40 < B 74	2.974	ns	
		2048 < W 3072		B 40	3.112	ns	
				40 < B 74	3.426	ns	
		3072 < W 4096			3.905	ns	
		アクセス・タイム		t_{ACC}	MAX1	W 1024	$1.087 \times 10^{-3} \times B + 1.639 + 2.273 \times C_L$
			$1.087 \times 10^{-3} \times B + 2.063 + 2.273 \times C_L$				ns
1024 < W 2048	$1.087 \times 10^{-3} \times B + 1.957 + 2.273 \times C_L$		ns				
	$1.087 \times 10^{-3} \times B + 2.272 + 2.273 \times C_L$		ns				
2048 < W 3072	$1.087 \times 10^{-3} \times B + 2.285 + 2.273 \times C_L$		ns				
	$1.087 \times 10^{-3} \times B + 2.601 + 2.273 \times C_L$		ns				
3072 < W 4096	$1.087 \times 10^{-3} \times B + 2.812 + 2.273 \times C_L$		ns				
MAX2	W 1024		$9.261 \times 10^{-4} \times B + 1.691 + 2.368 \times C_L$			ns	
			$9.261 \times 10^{-4} \times B + 2.111 + 2.368 \times C_L$		ns		
	1024 < W 2048		$9.261 \times 10^{-4} \times B + 2.007 + 2.368 \times C_L$		ns		
			$9.261 \times 10^{-4} \times B + 2.318 + 2.368 \times C_L$		ns		
	2048 < W 3072		$9.261 \times 10^{-4} \times B + 2.331 + 2.368 \times C_L$		ns		
			$9.261 \times 10^{-4} \times B + 2.645 + 2.368 \times C_L$		ns		
	3072 < W 4096		$9.261 \times 10^{-4} \times B + 2.855 + 2.368 \times C_L$		ns		
	出力ホールド・タイム		t_{OH}		MIN1	W 1024	$1.260 \times 10^{-4} \times B + 4.435 \times 10^{-1}$
$1.260 \times 10^{-4} \times B + 5.620 \times 10^{-1}$							ns
1024 < W 2048		$1.260 \times 10^{-4} \times B + 5.324 \times 10^{-1}$		ns			
		$1.260 \times 10^{-4} \times B + 6.199 \times 10^{-1}$		ns			
2048 < W 3072		$1.260 \times 10^{-4} \times B + 6.230 \times 10^{-1}$		ns			
		$1.260 \times 10^{-4} \times B + 7.112 \times 10^{-1}$		ns			
3072 < W 4096		$1.260 \times 10^{-4} \times B + 7.693 \times 10^{-1}$		ns			
MIN2		W 1024		$1.316 \times 10^{-4} \times B + 4.929 \times 10^{-1}$		ns	
				$1.316 \times 10^{-4} \times B + 6.283 \times 10^{-1}$	ns		
		1024 < W 2048		$1.316 \times 10^{-4} \times B + 5.937 \times 10^{-1}$	ns		
				$1.316 \times 10^{-4} \times B + 6.934 \times 10^{-1}$	ns		
		2048 < W 3072		$1.316 \times 10^{-4} \times B + 6.972 \times 10^{-1}$	ns		
				$1.316 \times 10^{-4} \times B + 7.973 \times 10^{-1}$	ns		
		3072 < W 4096		$1.316 \times 10^{-4} \times B + 8.638 \times 10^{-1}$	ns		

(6) WDSRAM001PAA [word] W [bit] C3 (2/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条件	計 算 式	単位
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.170	ns
		MAX2	0.150	ns
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.559	ns
		MAX2	0.576	ns
アドレス・セットアップ・タイム	t _{AS}	MAX1	$6.890 \times 10^{-6} \times W - 3.461 \times 10^{-4} \times B + 4.295 \times 10^{-1}$	ns
		MAX2	$4.120 \times 10^{-6} \times W - 2.746 \times 10^{-4} \times B + 4.447 \times 10^{-1}$	ns
アドレス・ホールド・タイム	t _{AH}	MAX1	0.401	ns
		MAX2	0.397	ns
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1	$5.000 \times 10^{-8} \times W - 1.619 \times 10^{-3} \times B + 4.573 \times 10^{-1}$	ns
		MAX2	$3.000 \times 10^{-8} \times W - 1.788 \times 10^{-3} \times B + 4.896 \times 10^{-1}$	ns
ライト・データ・ホールド・タイム	t _{DIH}	MAX1	$2.800 \times 10^{-7} \times W + 2.239 \times 10^{-3} \times B + 3.985 \times 10^{-1}$	ns
		MAX2	$1.500 \times 10^{-7} \times W + 2.246 \times 10^{-3} \times B + 3.985 \times 10^{-1}$	ns
ライト・データ・スルー・タイム	t _{DTH}	-	= t _{acc}	ns
ライト・スルー出力データ・ホールド・タイム	t _{OHW}	-	= t _{oH}	ns
WEN セットアップ・タイム	t _{WS}	MAX1	$-3.800 \times 10^{-7} \times W - 1.028 \times 10^{-4} \times B + 4.528 \times 10^{-1}$	ns
		MAX2	$-2.450 \times 10^{-7} \times W - 1.090 \times 10^{-4} \times B + 4.803 \times 10^{-1}$	ns
WEN ホールド・タイム	t _{WH}	MAX1	0.397	ns
		MAX2	0.393	ns
CEN セットアップ・タイム	t _{CS}	MAX1	0.461	ns
		MAX2	0.478	ns
CEN ホールド・タイム	t _{CH}	MAX1	0.375	ns
		MAX2	0.376	ns

(7) WDSRAM001PAE [word] W [bit] C3 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件		計 算 式	単 位	
サイクル・タイム	t_{RC}	MAX1	W 512	B 40	1.341	ns
				40 < B	1.489	ns
			512 < W 1024	B 40	1.415	ns
				40 < B	1.563	ns
			1024 < W 1536	B 40	1.489	ns
				40 < B	1.637	ns
			1536 < W 2048	B 40	1.726	ns
				40 < B	1.726	ns
		MAX2	W 512	B 40	1.350	ns
				40 < B	1.494	ns
			512 < W 1024	B 40	1.422	ns
				40 < B	1.566	ns
			1024 < W 1536	B 40	1.494	ns
				40 < B	1.638	ns
			1536 < W 2048	B 40	1.710	ns
				40 < B	1.710	ns
アクセス・タイム	t_{ACC}	MAX1	W 512	B 40	$2.200 \times 10^{-3} \times B + 1.103 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.251 + 2.201 \times C_L$	ns
			512 < W 1024	B 40	$2.200 \times 10^{-3} \times B + 1.177 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.325 + 2.201 \times C_L$	ns
			1024 < W 1536	B 40	$2.200 \times 10^{-3} \times B + 1.251 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.399 + 2.201 \times C_L$	ns
			1536 < W 2048	B 40	$2.200 \times 10^{-3} \times B + 1.473 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.473 + 2.201 \times C_L$	ns
		MAX2	W 512	B 40	$1.974 \times 10^{-3} \times B + 1.122 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.266 + 2.285 \times C_L$	ns
			512 < W 1024	B 40	$1.974 \times 10^{-3} \times B + 1.194 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.338 + 2.285 \times C_L$	ns
			1024 < W 1536	B 40	$1.974 \times 10^{-3} \times B + 1.266 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.410 + 2.285 \times C_L$	ns
			1536 < W 2048	B 40	$1.974 \times 10^{-3} \times B + 1.482 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.482 + 2.285 \times C_L$	ns

(7) WDSRAM001PAE [word] W [bit] C3 (2/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位	
出力ホールド・タイム	toH	MIN1	W 512	B 40	$3.121 \times 10^{-4} \times B + 1.517 \times 10^{-1}$	ns
				40 < B	$3.121 \times 10^{-4} \times B + 1.979 \times 10^{-1}$	ns
			512 < W 1024	B 40	$3.121 \times 10^{-4} \times B + 1.748 \times 10^{-1}$	ns
				40 < B	$3.121 \times 10^{-4} \times B + 2.210 \times 10^{-1}$	ns
			1024 < W 1536	B 40	$3.121 \times 10^{-4} \times B + 1.979 \times 10^{-1}$	ns
				40 < B	$3.121 \times 10^{-4} \times B + 2.441 \times 10^{-1}$	ns
		1536 < W 2048	B 40	$3.121 \times 10^{-4} \times B + 2.672 \times 10^{-1}$	ns	
			40 < B	$3.121 \times 10^{-4} \times B + 2.672 \times 10^{-1}$	ns	
		MIN2	W 512	B 40	$3.208 \times 10^{-4} \times B + 2.999 \times 10^{-1}$	ns
				40 < B	$3.208 \times 10^{-4} \times B + 1.852 \times 10^{-1}$	ns
			512 < W 1024	B 40	$3.208 \times 10^{-4} \times B + 3.258 \times 10^{-1}$	ns
				40 < B	$3.208 \times 10^{-4} \times B + 2.111 \times 10^{-1}$	ns
			1024 < W 1536	B 40	$3.208 \times 10^{-4} \times B + 1.852 \times 10^{-1}$	ns
				40 < B	$3.208 \times 10^{-4} \times B + 2.370 \times 10^{-1}$	ns
1536 < W 2048	B 40		$3.208 \times 10^{-4} \times B + 2.629 \times 10^{-1}$	ns		
	40 < B		$3.208 \times 10^{-4} \times B + 2.629 \times 10^{-1}$	ns		
CLK ハイ・レベル・タイム	tCKH	MAX1		0.121	ns	
		MAX2		0.121	ns	
CLK ロウ・レベル・タイム	tCKL	MAX1		0.281	ns	
		MAX2		0.286	ns	
アドレス・セットアップ・タイム	tAS	MAX1	W 512	0.142	ns	
			512 < W 1024	0.168	ns	
			1024 < W 1536	0.169	ns	
			1536 < W 2048	0.180	ns	
		MAX2	W 512	0.144	ns	
			512 < W 1024	0.150	ns	
			1024 < W 1536	0.161	ns	
			1536 < W 2048	0.173	ns	
アドレス・ホールド・タイム	tAH	MAX1		0.246	ns	
		MAX2		0.247	ns	
ライト・データ・セットアップ・タイム	tDIS	MAX1		$-9.731 \times 10^{-4} \times B + 1.921 \times 10^{-1}$	ns	
		MAX2		$-1.312 \times 10^{-3} \times B + 2.170 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	tDIH	MAX1		$1.960 \times 10^{-3} \times B + 8.183 \times 10^{-2}$	ns	
		MAX2		$2.056 \times 10^{-3} \times B + 8.188 \times 10^{-2}$	ns	
ライト・データ・スルー・タイム	tDTH	-		= tACC	ns	
ライト・スルー出力データ・ホールド・タイム	toHW	-		= toH	ns	
WEN セットアップ・タイム	tWS	MAX1		0.086	ns	
		MAX2		0.085	ns	
WEN ホールド・タイム	tWH	MAX1		0.247	ns	
		MAX2		0.247	ns	
CEN セットアップ・タイム	tCS	MAX1		0.129	ns	
		MAX2		0.133	ns	
CEN ホールド・タイム	tCH	MAX1		0.209	ns	
		MAX2		0.211	ns	

(8) WDSRAM001PSA [word] W [bit] C3 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件		計 算 式	単 位			
サイクル・タイム	t_{RC}	MAX1	W 1024	B 40	3.235	ns		
				40 < B 74	3.562	ns		
			1024 < W 2048	B 40	3.466	ns		
				40 < B 74	3.796	ns		
			2048 < W 3072		4.145		ns	
			3072 < W 4096		4.841		ns	
		MAX2	W 1024	B 40	3.576	ns		
				40 < B 74	3.890	ns		
			1024 < W 2048	B 40	3.803	ns		
				40 < B 74	4.122	ns		
			2048 < W 3072		4.483		ns	
			3072 < W 4096		4.946		ns	
			アクセス・タイム	t_{ACC}	MAX1	W 1024	$1.217 \times 10^{-3} \times B + 2.420 + 2.766 \times C_L$	ns
							$1.726 \times 10^{-3} \times B + 2.739 + 2.766 \times C_L$	ns
1024 < W 2048	$1.200 \times 10^{-3} \times B + 2.649 + 2.766 \times C_L$	ns						
	$1.711 \times 10^{-3} \times B + 2.969 + 2.766 \times C_L$	ns						
2048 < W 3072		$1.414 \times 10^{-3} \times B + 3.333 + 2.766 \times C_L$				ns		
3072 < W 4096		$1.425 \times 10^{-3} \times B + 3.671 + 2.766 \times C_L$				ns		
MAX2	W 1024	$1.285 \times 10^{-3} \times B + 2.704 + 3.072 \times C_L$			ns			
		$1.638 \times 10^{-3} \times B + 3.027 + 3.072 \times C_L$			ns			
	1024 < W 2048	$1.244 \times 10^{-3} \times B + 2.932 + 3.072 \times C_L$			ns			
		$1.634 \times 10^{-3} \times B + 3.255 + 3.072 \times C_L$			ns			
	2048 < W 3072				$1.412 \times 10^{-3} \times B + 3.615 + 3.072 \times C_L$	ns		
	3072 < W 4096				$1.417 \times 10^{-3} \times B + 3.952 + 3.072 \times C_L$	ns		
	出力ホールド・タイム	t_{OH}			MIN1	W 1024	$1.630 \times 10^{-4} \times B + 4.040 \times 10^{-1}$	ns
							$1.180 \times 10^{-4} \times B + 4.695 \times 10^{-1}$	ns
1024 < W 2048			$1.630 \times 10^{-4} \times B + 4.465 \times 10^{-1}$	ns				
			$1.115 \times 10^{-4} \times B + 5.130 \times 10^{-1}$	ns				
2048 < W 3072			$1.445 \times 10^{-4} \times B + 5.740 \times 10^{-1}$	ns				
3072 < W 4096			$1.445 \times 10^{-4} \times B + 6.370 \times 10^{-1}$	ns				
MIN2			W 1024	$1.820 \times 10^{-4} \times B + 4.370 \times 10^{-1}$	ns			
				$1.090 \times 10^{-4} \times B + 5.130 \times 10^{-1}$	ns			
			1024 < W 2048	$1.840 \times 10^{-4} \times B + 4.855 \times 10^{-1}$	ns			
				$1.065 \times 10^{-4} \times B + 5.620 \times 10^{-1}$	ns			
			2048 < W 3072		$1.475 \times 10^{-4} \times B + 6.300 \times 10^{-1}$	ns		
			3072 < W 4096		$1.495 \times 10^{-4} \times B + 7.010 \times 10^{-1}$	ns		

(8) WDSRAM001PSA [word] W [bit] C3 (2/2)

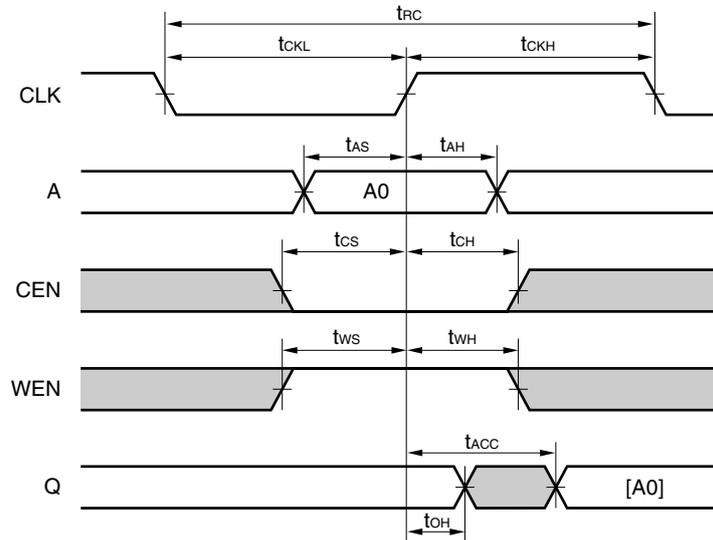
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条件	計 算 式	単位
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.300	ns
		MAX2	0.299	ns
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.966	ns
		MAX2	1.158	ns
アドレス・セットアップ・タイム	t _{AS}	MAX1	$7.000 \times 10^{-7} \times W - 3.225 \times 10^{-4} \times B + 6.113 \times 10^{-1}$	ns
		MAX2	$-7.000 \times 10^{-7} \times W - 2.899 \times 10^{-4} \times B + 6.814 \times 10^{-1}$	ns
アドレス・ホールド・タイム	t _{AH}	MAX1	0.699	ns
		MAX2	0.777	ns
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1	$-2.398 \times 10^{-3} \times B + 6.106 \times 10^{-1}$	ns
		MAX2	$-2.857 \times 10^{-3} \times B + 7.327 \times 10^{-1}$	ns
ライト・データ・ホールド・タイム	t _{DIH}	MAX1	$3.079 \times 10^{-3} \times B + 7.759 \times 10^{-1}$	ns
		MAX2	$3.385 \times 10^{-3} \times B + 8.485 \times 10^{-1}$	ns
ライト・データ・スルー・タイム	t _{DTH}	—	= t _{acc}	ns
ライト・スルー出力データ・ホールド・タイム	t _{OHW}	—	= t _{OH}	ns
WEN セットアップ・タイム	t _{WS}	MAX1	$-2.547 \times 10^{-4} \times B + 5.804 \times 10^{-1}$	ns
		MAX2	$-2.895 \times 10^{-4} \times B + 6.822 \times 10^{-1}$	ns
WEN ホールド・タイム	t _{WH}	MAX1	0.700	ns
		MAX2	0.776	ns
CEN セットアップ・タイム	t _{CS}	MAX1	0.606	ns
		MAX2	0.704	ns
CEN ホールド・タイム	t _{CH}	MAX1	0.522	ns
		MAX2	0.599	ns

2.8 タイミング・チャート

注意 タイミング・エラーが発生すると、メモリ中のデータは破壊されます。

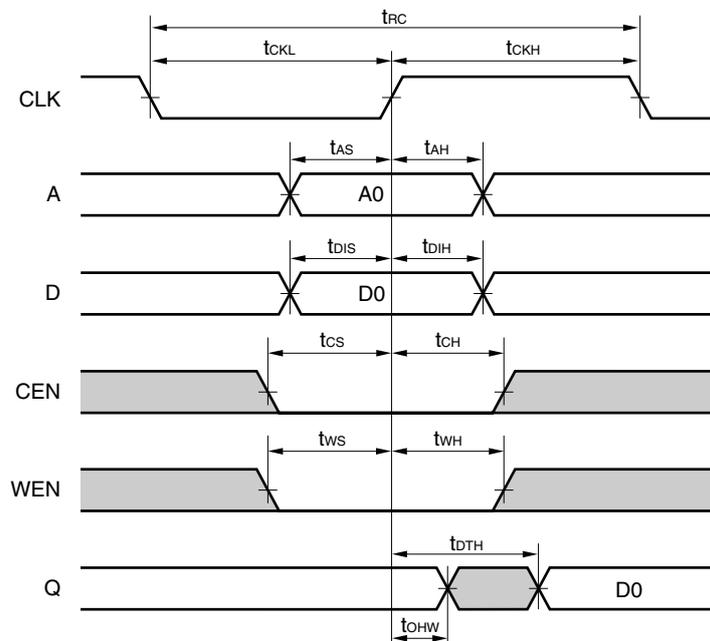
(1) リード・オペレーション



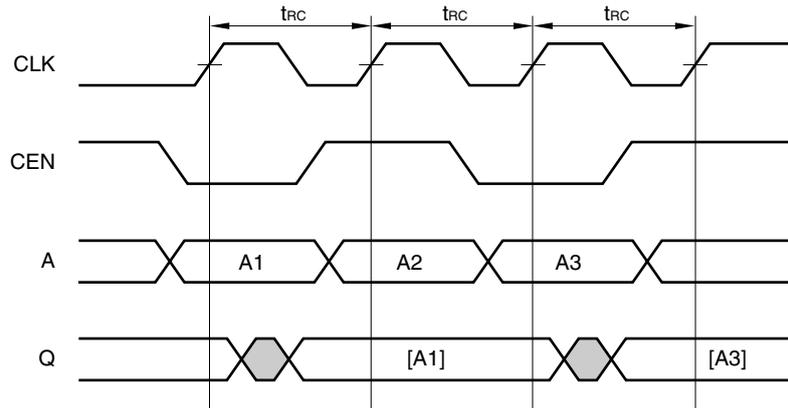
[Ax] : アドレス Ax 内のデータを示します。

同一アドレスに連続してアクセスする場合は、上記 t_{OH} 後の不定は出力されません。

(2) ライト・オペレーション



(3) アクティブ, 非アクティブ・オペレーション



第3章 同期式 1ポート Bit Write 機能付き RAM

3.1 概 要

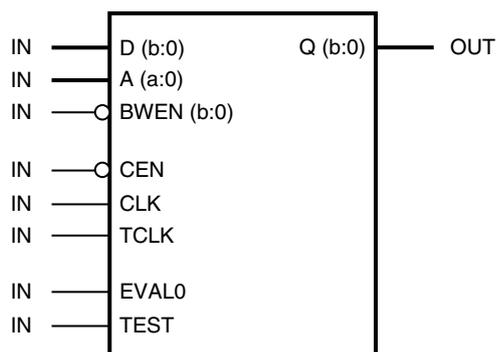
- 1ポート RAM
- フリー・サイズ・メモリ
 - メモリ・コンパイラにより高効率マクロ配置を実現
 - ビット数：2~146 ビット
 - ワード数：8~4096 ワード
- 動作電圧：1.1±0.1 V
- 動作周囲温度：-40~+85 °C

3.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
2	8ワード×2ビット	256ワード×146ビット	8ワード/2ビット	WDREG001PAA [word] W [bit] C1B1
4	32ワード×2ビット	512ワード×74ビット	16ワード/1ビット	WDREG001PAA [word] W [bit] C2B1
2	8ワード×2ビット	256ワード×146ビット	8ワード/2ビット	WDREG001PSA [word] W [bit] C1B1
4	32ワード×2ビット	512ワード×74ビット	16ワード/1ビット	WDREG001PSA [word] W [bit] C2B1
4	128ワード×2ビット	2048ワード×146ビット	16ワード/1ビット	WDSRAM001PAA [word] W [bit] C2B1
8	256ワード×2ビット	4096ワード×74ビット	32ワード/1ビット	WDSRAM001PAA [word] W [bit] C3B1
8	32ワード×2ビット	2048ワード×74ビット	32ワード/1ビット	WDSRAM001PAE [word] W [bit] C3B1
8	256ワード×2ビット	4096ワード×74ビット	32ワード/1ビット	WDSRAM001PSA [word] W [bit] C3B1

- 例 128ワード， 32ビット C1B1 タイプの場合： WDREG001PAA128W32C1B1
 512ワード， 32ビット C2B1 タイプの場合： WDREG001PAA512W32C2B1
 128ワード， 32ビット C1B1 タイプの場合： WDREG001PSA128W32C1B1
 512ワード， 32ビット C2B1 タイプの場合： WDREG001PSA512W32C2B1
 1024ワード， 32ビット C2B1 タイプの場合： WDSRAM001PAA1024W32C2B1
 1024ワード， 32ビット C3B1 タイプの場合： WDSRAM001PAA1024W32C3B1
 2048ワード， 64ビット C3B1 タイプの場合： WDSRAM001PAE2048W64C3B1
 4096ワード， 64ビット C3B1 タイプの場合： WDSRAM001PAE4096W64C3B1

3.1.2 シンボル図



備考 1. “a” = (アドレス本数) - 1

ただし, 2 a 7 (WDREG001PAA [word] W [bit] C1B1, WDREG001PSA [word] W [bit] C1B1)

4 a 8 (WDREG001PAA [word] W [bit] C2B1, WDREG001PSA [word] W [bit] C2B1)

6 a 10 (WDSRAM001PAA [word] W [bit] C2B1)

7 a 11 (WDSRAM001PAA [word] W [bit] C3B1, WDSRAM001PSA [word] W [bit] C3B1)

4 a 10 (WDSRAM001PAE [word] W [bit] C3B1)

(アドレス本数) = \log_2 (ワード数) 小数点以下切り上げです。

“b” = (ビット数) - 1

ただし, 1 b 145 (WDREG001PAA [word] W [bit] C1B1, WDREG001PSA [word] W [bit] C1B1,
WDSRAM001PAA [word] W [bit] C2B1)

1 b 73 (WDREG001PAA [word] W [bit] C2B1, WDREG001PSA [word] W [bit] C2B1,
WDSRAM001PAA [word] W [bit] C3B1, WDSRAM001PAE [word] W [bit] C3B1,
WDSRAM001PSA [word] W [bit] C3B1)

2. TCLK, TEST, EVAL0 端子は, 弊社が提供するラッパー回路により 0 に固定されます。

3.1.3 端子容量

(1) WDREG001PAA [word] W [bit] C1B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0016	Q (b : 0)	0.1390
A (a : 0)	0.0017		
CEN	0.0016		
BWEN (b : 0)	0.0015		
TEST	0.0025		
TCLK	0.0026		
CLK	0.0025		
EVAL0	0.0020		

(2) WDREG001PAA [word] W [bit] C2B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0016	Q (b : 0)	0.1390
A (a : 0)	0.0017		
CEN	0.0016		
BWEN (b : 0)	0.0017		
TEST	0.0025		
TCLK	0.0026		
CLK	0.0025		
EVAL0	0.0020		

(3) WDREG001PSA [word] W [bit] C1B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0019	Q (b : 0)	0.1053
A (a : 0)	0.0021		
CEN	0.0019		
BWEN (b : 0)	0.0019		
TEST	0.0029		
TCLK	0.0028		
CLK	0.0027		
EVAL0	0.0021		

(4) WDREG001PSA [word] W [bit] C2B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0019	Q (b : 0)	0.1053
A (a : 0)	0.0020		
CEN	0.0016		
BWEN (b : 0)	0.0019		
TEST	0.0026		
TCLK	0.0028		
CLK	0.0027		
EVAL0	0.0023		

(5) WDSRAM001PAA [word] W [bit] C2B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0018	Q (b : 0)	0.1390
A (a : 0)	0.0023		
CEN	0.0016		
BWEN (b : 0)	0.0018		
TEST	0.0039		
TCLK	0.0032		
CLK	0.0031		
EVAL0	0.0022		

(6) WDSRAM001PAA [word] W [bit] C3B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0018	Q (b : 0)	0.1390
A (a : 0)	0.0024		
CEN	0.0017		
BWEN (b : 0)	0.0016		
TEST	0.0041		
TCLK	0.0030		
CLK	0.0036		
EVAL0	0.0023		

(7) WDSRAM001PAE [word] W [bit] C3B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0017	Q (b : 0)	0.1010
A (a : 0)	0.0023		
CEN	0.0018		
BWEN (b : 0)	0.0014		
TEST	0.0038		
TCLK	0.0029		
CLK	0.0029		
EVAL0	0.0044		

(8) WDSRAM001PSA [word] W [bit] C3B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
D (b : 0)	0.0019	Q (b : 0)	0.1053
A (a : 0)	0.0029		
CEN	0.0018		
BWEN (b : 0)	0.0020		
TEST	0.0043		
TCLK	0.0031		
CLK	0.0036		
EVAL0	0.0026		

3.2 端子機能一覧

端子名	属性	モード	機能
D (b : 0)	入力	ノーマル	データ入力
Q (b : 0)	出力	ノーマル	データ出力
A (a : 0)	入力	ノーマル	アドレス入力
CEN [※]	入力	ノーマル	チップ・イネーブル入力 (アクティブ・ロウ) CEN = 0 : 動作モード CEN = 1 : 非動作モード
BWEN (b : 0)	入力	ノーマル	ライト・イネーブル入力 (アクティブ・ロウ) BWEN = 0 : ライト動作 BWEN = 1 : リード動作
CLK	入力	ノーマル	クロック入力
TCLK	入力	テスト	クロック入力 (テスト用)
TEST	入力	テスト	テスト・モード設定 TEST = 0 : ノーマル・モード (CLK が有効) TEST = 1 : テスト・モード (TCLK が有効)
EVAL0	入力	テスト	テスト端子 EVAL0 = 0 : ノーマル・モード EVAL0 = 1 : テスト・モード

注 CEN を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLK を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CEN を制御してください。

3.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

X: ハイ・インピーダンスを含まない不定

XZ: ハイ・インピーダンスを含む不定

Ax: 任意データ

Dx: 入力データ

[Ax]: メモリ内データ (アドレス Ax 内のデータを示します。)

(1) モード設定

TEST	EVAL0	Q	モード	動作
0	有効	有効	ノーマル	ノーマル・モード
1	有効	有効	テスト	テスト・モード
X, Z	ALL	X	X	全アドレスに不定ライト
ALL	X, Z	X	X	全アドレスに不定ライト

(2) RAM ファンクション

CEN	CLK	WEN (b:0)	A (a:0)	D (b:0)	Q (b:0)	動作
0	↑	0	Ax	Dx	[Ax] = Dx	ライト
0	↑	1	Ax	X	[Ax]	リード
0	固定	X	X	X	前データ	スタンバイ
1	↑	X	X	X	前データ	マクロ・オフ

(3) テスト・モード・ファンクション

EVAL0	動作
0	通常動作モード
1	内部タイミング加速動作モード (テスト用)

3.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W : ワード数

B : ビット数

N : アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

ROUNDUP (a, b) : a を小数点以下 b 桁に切り上げます。

例 $W = 240$ のとき(ROUNDUP (W/128, 0)

$$\text{ROUNDUP}(240/128, 0) = \text{ROUNDUP}(1.875, 0) = 2$$

ROUNDDOWN (a, b) : a を小数点以下 b 桁で切り捨てます。

MOD (a, b) : a を b で除算した余りを示します。

例 $\text{MOD}(3, 2) = 1$

(1) WDREG001PAA [word] W [bit] C1B1

$$W = 16 \quad X = 20.988 + 1.65 \times B \quad [\mu\text{m}]$$

$$16 < W = 32 \quad X = 23.100 + 1.65 \times B \quad [\mu\text{m}]$$

$$32 < W = 64 \quad X = 23.364 + 1.65 \times B \quad [\mu\text{m}]$$

$$64 < W = 128 \quad X = 23.892 + 1.65 \times B \quad [\mu\text{m}]$$

$$128 < W = 256 \quad X = 24.552 + 1.65 \times B \quad [\mu\text{m}]$$

$$Y = 38.610 + 0.182 \times W + 0.726 \times (\text{ROUNDUP}(W/64, 0) - 1) + 0.066 \times \text{MOD}(\text{ROUNDUP}(W/64, 0), 2) \quad [\mu\text{m}]$$

(2) WDREG001PAA [word] W [bit] C2B1

$$W = 32 \quad X = 20.988 + 3.30 \times B \quad [\mu\text{m}]$$

$$32 < W = 64 \quad X = 23.100 + 3.30 \times B \quad [\mu\text{m}]$$

$$64 < W = 128 \quad X = 23.364 + 3.30 \times B \quad [\mu\text{m}]$$

$$128 < W = 256 \quad X = 23.892 + 3.30 \times B \quad [\mu\text{m}]$$

$$256 < W = 512 \quad X = 24.552 + 3.30 \times B \quad [\mu\text{m}]$$

$$W = 128 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

$$128 < W = 256 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

$$256 < W = 384 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

$$384 < W = 512 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

(3) WDREG001PSA [word] W [bit] C1B1

$$W = 16 \quad X = 20.988 + 1.65 \times B \quad [\mu m]$$

$$16 < W = 32 \quad X = 23.100 + 1.65 \times B \quad [\mu m]$$

$$32 < W = 64 \quad X = 23.364 + 1.65 \times B \quad [\mu m]$$

$$64 < W = 128 \quad X = 23.892 + 1.65 \times B \quad [\mu m]$$

$$128 < W = 256 \quad X = 24.552 + 1.65 \times B \quad [\mu m]$$

$$Y = 38.610 + 0.182 \times W + 0.726 \times (\text{ROUNDUP}(W/64, 0) - 1) + 0.066 \times \text{MOD}(\text{ROUNDUP}(W/64, 0), 2) \quad [\mu m]$$

(4) WDREG001PSA [word] W [bit] C2B1

$$W = 32 \quad X = 20.988 + 3.30 \times B \quad [\mu m]$$

$$32 < W = 64 \quad X = 23.100 + 3.30 \times B \quad [\mu m]$$

$$64 < W = 128 \quad X = 23.364 + 3.30 \times B \quad [\mu m]$$

$$128 < W = 256 \quad X = 23.892 + 3.30 \times B \quad [\mu m]$$

$$256 < W = 512 \quad X = 24.552 + 3.30 \times B \quad [\mu m]$$

$$W = 128 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

$$128 < W = 256 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

$$256 < W = 384 \quad Y = 25.344 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

$$384 < W = 512 \quad Y = 25.278 + 0.091 \times W + 0.726 \times (\text{ROUNDUP}(W/128, 0) - 1) \quad [\mu m]$$

(5) WDSRAM001PAA [word] W [bit] C2B1

$$X = 49.104 + 3.3 \times B \quad [\mu m]$$

$$Y = 29.238 + 0.091 \times W + 0.726 \times \text{ROUNDUP}((W/128 - 1), 0) + 0.066 \times \text{MOD}((\text{ROUNDUP}((W/128), 0)), 2) \quad [\mu m]$$

(6) WDSRAM001PAA [word] W [bit] C3B1

$$X = 49.104 + 6.60 \times B \quad [\mu m]$$

$$Y = 25.872 + 0.045 \times W + 0.726 \times \text{ROUNDUP}((W/256 - 1), 0) + 0.066 \times \text{MOD}((\text{ROUNDUP}((W/256 - 1), 0)), 2) \quad [\mu m]$$

(7) WDSRAM001PAE [word] W [bit] C3B1

$$X = 58.74 + 7.92 \times B \quad [\mu m]$$

$$Y = 27.588 + 0.045 \times W + 0.726 \times \text{ROUNDDOWN}(((W - 32)/256), 0) + 0.066 \times \text{MOD}((\text{ROUNDDOWN}(((W - 32)/256), 0)), 2) \quad [\mu m]$$

(8) WDSRAM001PSA [word] W [bit] C3B1

$$X = 49.104 + 6.60 \times B \quad [\mu m]$$

$$Y = 25.872 + 0.045 \times W + 0.726 \times \text{ROUNDUP}((W/256 - 1), 0) + 0.066 \times \text{MOD}((\text{ROUNDUP}((W/256 - 1), 0)), 2) \quad [\mu m]$$

備考 小数点以下の端数は、切り上げてください。

3.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

3.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDR} (\text{Worst}) + I_{DDW} (\text{Worst}) + \text{スタンバイ電流} (\text{Worst}) \quad [\text{mA}]$$

$$I_{DD} (\text{TYP.}) = I_{DDR} (\text{TYP.}) + I_{DDW} (\text{TYP.}) + \text{スタンバイ電流} (\text{TYP.}) \quad [\text{mA}]$$

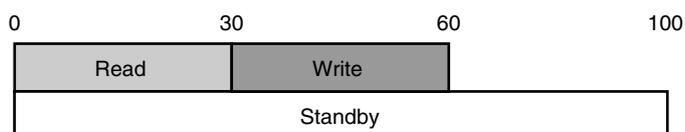
上記の式のうち I_{DDR}, I_{DDW} は次の式で求められます。

なお、表中の記号は次のとおりです。

B: ビット数	f _R : リード動作周波数 (MHz)	N: アドレス本数 $N = \log_2 W$
W: ワード数	f _W : ライト動作周波数 (MHz)	(小数点以下切り上げ)
C _L : 外部負荷容量 (pF)	A: 動作率 ^注 (100% = 1)	

注 この動作率とは、RAMの全動作期間 (リード、ライト、スタンバイ、マクロ・オフ) に対して、リードおよびライト動作が占める割合です。

例 RAMの全動作期間においてリード30%、ライト30%の場合、動作率はリード0.3、ライト0.3になります。



3.6.1 通常モード時の動作消費電流

(1) WDREG001PAA [word] W [bit] C1B1

動作	条件		計算式 (mA)
リード (I _{DDR})	W 64	Worst	$(1.255 \times 10^{-6} \times W + 1.728 \times 10^{-4} \times B + 1.044 \times 10^{-7} \times W \times B + 1.289 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(1.017 \times 10^{-6} \times W + 1.201 \times 10^{-4} \times B + 7.168 \times 10^{-8} \times W \times B + 9.216 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	64 < W 128	Worst	$(1.174 \times 10^{-6} \times W + 1.791 \times 10^{-4} \times B + 6.461 \times 10^{-8} \times W \times B + 1.310 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(7.324 \times 10^{-7} \times W + 1.249 \times 10^{-4} \times B + 3.559 \times 10^{-8} \times W \times B + 9.533 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	128 < W 192	Worst	$(1.196 \times 10^{-6} \times W + 1.856 \times 10^{-4} \times B + 4.477 \times 10^{-8} \times W \times B + 1.323 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(7.899 \times 10^{-7} \times W + 1.291 \times 10^{-4} \times B + 2.468 \times 10^{-8} \times W \times B + 9.557 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	192 < W 256	Worst	$(1.166 \times 10^{-6} \times W + 1.920 \times 10^{-4} \times B + 3.311 \times 10^{-8} \times W \times B + 1.340 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(7.649 \times 10^{-7} \times W + 1.329 \times 10^{-4} \times B + 1.935 \times 10^{-8} \times W \times B + 9.695 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	W 64	Worst	$(1.061 \times 10^{-6} \times W + 2.602 \times 10^{-4} \times B + 1.571 \times 10^{-7} \times W \times B + 1.466 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(8.085 \times 10^{-7} \times W + 1.791 \times 10^{-4} \times B + 1.493 \times 10^{-7} \times W \times B + 1.041 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
	64 < W 128	Worst	$(1.137 \times 10^{-6} \times W + 2.622 \times 10^{-4} \times B + 1.815 \times 10^{-7} \times W \times B + 1.479 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(6.768 \times 10^{-7} \times W + 1.809 \times 10^{-4} \times B + 1.527 \times 10^{-7} \times W \times B + 1.065 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
	128 < W 192	Worst	$(1.198 \times 10^{-6} \times W + 2.647 \times 10^{-4} \times B + 1.866 \times 10^{-7} \times W \times B + 1.485 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(8.177 \times 10^{-7} \times W + 1.827 \times 10^{-4} \times B + 1.536 \times 10^{-7} \times W \times B + 1.062 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
	192 < W 256	Worst	$(1.130 \times 10^{-6} \times W + 2.682 \times 10^{-4} \times B + 1.851 \times 10^{-7} \times W \times B + 1.510 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(7.984 \times 10^{-7} \times W + 1.865 \times 10^{-4} \times B + 1.455 \times 10^{-7} \times W \times B + 1.071 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

(2) WDREG001PAA [word] W [bit] C2B1

動作	条件		計算式 (mA)
リード (I _{DDR})	W 128	Worst	$(6.667 \times 10^{-7} \times W + 2.443 \times 10^{-4} \times B + 4.167 \times 10^{-8} \times W \times B + 9.583 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(4.962 \times 10^{-7} \times W + 1.704 \times 10^{-4} \times B + 2.792 \times 10^{-8} \times W \times B + 7.056 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	128 < W 256	Worst	$(5.905 \times 10^{-7} \times W + 2.550 \times 10^{-4} \times B + 3.063 \times 10^{-8} \times W \times B + 9.820 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(4.065 \times 10^{-7} \times W + 1.783 \times 10^{-4} \times B + 1.550 \times 10^{-8} \times W \times B + 7.275 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	256 < W 384	Worst	$(6.099 \times 10^{-7} \times W + 2.664 \times 10^{-4} \times B + 2.096 \times 10^{-8} \times W \times B + 9.910 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(3.926 \times 10^{-7} \times W + 1.860 \times 10^{-4} \times B + 9.053 \times 10^{-9} \times W \times B + 7.422 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	384 < W 512	Worst	$(5.940 \times 10^{-7} \times W + 2.779 \times 10^{-4} \times B + 1.550 \times 10^{-8} \times W \times B + 1.007 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(3.943 \times 10^{-7} \times W + 1.929 \times 10^{-4} \times B + 8.185 \times 10^{-9} \times W \times B + 7.499 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	W 128	Worst	$(6.146 \times 10^{-7} \times W + 3.169 \times 10^{-4} \times B + 8.333 \times 10^{-8} \times W \times B + 9.972 \times 10^{-4} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(4.242 \times 10^{-7} \times W + 2.176 \times 10^{-4} \times B + 7.436 \times 10^{-8} \times W \times B + 7.375 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
	128 < W 256	Worst	$(5.675 \times 10^{-7} \times W + 3.245 \times 10^{-4} \times B + 9.127 \times 10^{-8} \times W \times B + 1.018 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(3.921 \times 10^{-7} \times W + 2.229 \times 10^{-4} \times B + 7.626 \times 10^{-8} \times W \times B + 7.528 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
	256 < W 384	Worst	$(5.942 \times 10^{-7} \times W + 3.324 \times 10^{-4} \times B + 9.127 \times 10^{-8} \times W \times B + 1.025 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(3.904 \times 10^{-7} \times W + 2.290 \times 10^{-4} \times B + 7.267 \times 10^{-8} \times W \times B + 7.604 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
	384 < W 512	Worst	$(5.866 \times 10^{-7} \times W + 3.410 \times 10^{-4} \times B + 9.065 \times 10^{-8} \times W \times B + 1.041 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(3.867 \times 10^{-7} \times W + 2.338 \times 10^{-4} \times B + 7.453 \times 10^{-8} \times W \times B + 7.701 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

(3) WDREG001PSA [word] W [bit] C1B1

動作	条件		計算式 (mA)
リード (I _{DDR})	W 192	Worst	$(1.175 \times 10^{-6} \times W + 1.564 \times 10^{-4} \times B + 5.148 \times 10^{-8} \times W \times B + 1.372 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(9.058 \times 10^{-7} \times W + 1.123 \times 10^{-4} \times B + 2.265 \times 10^{-8} \times W \times B + 1.047 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	192 < W 256	Worst	$(1.012 \times 10^{-6} \times W + 1.737 \times 10^{-4} \times B + 9.766 \times 10^{-9} \times W \times B + 1.411 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(7.310 \times 10^{-7} \times W + 1.243 \times 10^{-4} \times B + 1.737 \times 10^{-9} \times W \times B + 1.087 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 192	Worst	$(1.116 \times 10^{-6} \times W + 2.072 \times 10^{-4} \times B + 1.925 \times 10^{-7} \times W \times B + 1.545 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(8.779 \times 10^{-7} \times W + 1.477 \times 10^{-4} \times B + 1.562 \times 10^{-7} \times W \times B + 1.177 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	192 < W 256	Worst	$(9.777 \times 10^{-7} \times W + 2.116 \times 10^{-4} \times B + 1.987 \times 10^{-7} \times W \times B + 1.578 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(6.665 \times 10^{-7} \times W + 1.514 \times 10^{-4} \times B + 1.590 \times 10^{-7} \times W \times B + 1.220 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$

(4) WDREG001PSA [word] W [bit] C2B1

動作	条件		計算式 (mA)
リード (I _{DDR})	W 128	Worst	$(2.265 \times 10^{-4} \times B + 4.076 \times 10^{-8} \times W \times B + 1.019 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.648 \times 10^{-4} \times B + 2.495 \times 10^{-8} \times W \times B + 7.850 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	128 < W 256	Worst	$(2.338 \times 10^{-4} \times B + 4.623 \times 10^{-8} \times W \times B + 1.101 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.705 \times 10^{-4} \times B + 2.326 \times 10^{-8} \times W \times B + 8.441 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	256 < W 384	Worst	$(2.472 \times 10^{-4} \times B + 2.648 \times 10^{-8} \times W \times B + 1.178 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.779 \times 10^{-4} \times B + 1.588 \times 10^{-8} \times W \times B + 9.050 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	384 < W 512	Worst	$(2.574 \times 10^{-4} \times B + 2.225 \times 10^{-8} \times W \times B + 1.253 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.	$(1.842 \times 10^{-4} \times B + 1.407 \times 10^{-8} \times W \times B + 9.592 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 128	Worst	$(2.830 \times 10^{-4} \times B + 6.890 \times 10^{-8} \times W \times B + 1.071 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(2.004 \times 10^{-4} \times B + 6.055 \times 10^{-8} \times W \times B + 8.318 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	128 < W 256	Worst	$(2.874 \times 10^{-4} \times B + 9.341 \times 10^{-8} \times W \times B + 1.149 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(2.036 \times 10^{-4} \times B + 7.257 \times 10^{-8} \times W \times B + 8.906 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	256 < W 384	Worst	$(2.968 \times 10^{-4} \times B + 8.634 \times 10^{-8} \times W \times B + 1.230 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(2.089 \times 10^{-4} \times B + 7.035 \times 10^{-8} \times W \times B + 9.502 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	384 < W 512	Worst	$(3.020 \times 10^{-4} \times B + 9.245 \times 10^{-8} \times W \times B + 1.305 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.	$(2.124 \times 10^{-4} \times B + 7.371 \times 10^{-8} \times W \times B + 1.003 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$

(5) WDSRAM001PAA [word] W [bit] C2B1

動作	条件		計算式 (mA)	
リード (I _{DDR})	W 512	B 80	Worst	$(2.635 \times 10^{-4} \times B + 2.088 \times 10^{-8} \times W \times B + 2.374 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(1.897 \times 10^{-4} \times B + 1.462 \times 10^{-8} \times W \times B + 1.695 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
		80<B	Worst	$(2.717 \times 10^{-4} \times B + 2.259 \times 10^{-8} \times W \times B + 4.694 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(1.970 \times 10^{-4} \times B + 1.345 \times 10^{-8} \times W \times B + 3.131 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
	512 < W 1024	B 80	Worst	$(2.966 \times 10^{-4} \times B + 1.002 \times 10^{-8} \times W \times B + 2.468 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(2.110 \times 10^{-4} \times B + 7.378 \times 10^{-9} \times W \times B + 1.768 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
		80<B	Worst	$(2.947 \times 10^{-4} \times B + 1.069 \times 10^{-8} \times W \times B + 4.960 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(2.118 \times 10^{-4} \times B + 6.643 \times 10^{-9} \times W \times B + 3.313 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
	1024 < W 1536	B 80	Worst	$(1.749 \times 10^{-4} \times B + 1.083 \times 10^{-7} \times W \times B + 2.574 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(1.314 \times 10^{-4} \times B + 7.156 \times 10^{-8} \times W \times B + 1.841 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
		80<B	Worst	$(1.738 \times 10^{-4} \times B + 1.078 \times 10^{-7} \times W \times B + 5.123 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(1.323 \times 10^{-4} \times B + 7.092 \times 10^{-8} \times W \times B + 3.382 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
1536 < W 2048	Worst	$(3.656 \times 10^{-4} \times B + 6.706 \times 10^{-9} \times W \times B + 2.753 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$		
	TYP.	$(2.578 \times 10^{-4} \times B + 4.209 \times 10^{-9} \times W \times B + 1.942 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$		
ライト (I _{DDW})	W 512	B 80	Worst	$(3.216 \times 10^{-4} \times B + 1.011 \times 10^{-7} \times W \times B + 2.644 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(2.301 \times 10^{-4} \times B + 8.093 \times 10^{-8} \times W \times B + 1.879 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
		80<B	Worst	$(3.352 \times 10^{-4} \times B + 9.758 \times 10^{-8} \times W \times B + 4.290 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(2.368 \times 10^{-4} \times B + 8.003 \times 10^{-8} \times W \times B + 3.017 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
	512 < W 1024	B 80	Worst	$(3.455 \times 10^{-4} \times B + 1.001 \times 10^{-7} \times W \times B + 2.736 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(2.449 \times 10^{-4} \times B + 8.062 \times 10^{-8} \times W \times B + 1.952 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
		80<B	Worst	$(3.494 \times 10^{-4} \times B + 9.916 \times 10^{-8} \times W \times B + 4.463 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(2.465 \times 10^{-4} \times B + 7.973 \times 10^{-8} \times W \times B + 3.159 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
	1024 < W 1536	B 80	Worst	$(2.419 \times 10^{-4} \times B + 1.840 \times 10^{-7} \times W \times B + 2.843 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(1.780 \times 10^{-4} \times B + 1.348 \times 10^{-7} \times W \times B + 2.020 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
		80<B	Worst	$(2.455 \times 10^{-4} \times B + 1.832 \times 10^{-7} \times W \times B + 4.579 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(1.798 \times 10^{-4} \times B + 1.337 \times 10^{-7} \times W \times B + 3.248 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
1536 < W 2048	Worst	$(4.018 \times 10^{-4} \times B + 9.921 \times 10^{-8} \times W \times B + 3.012 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$		
	TYP.	$(2.811 \times 10^{-4} \times B + 7.956 \times 10^{-8} \times W \times B + 2.123 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$		

(6) WDSRAM001PAA [word] W [bit] C3B1

動作	条件		計算式 (mA)	
リード (I _{DDR})	W 1024	B 40	Worst	$(4.197 \times 10^{-4} \times B + 1.091 \times 10^{-8} \times W \times B + 1.655 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(3.032 \times 10^{-4} \times B + 8.106 \times 10^{-9} \times W \times B + 1.120 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
		40<B	Worst	$(4.506 \times 10^{-4} \times B + 1.028 \times 10^{-8} \times W \times B + 3.263 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(3.296 \times 10^{-4} \times B + 6.784 \times 10^{-9} \times W \times B + 1.933 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
	1024 < W 2048	B 40	Worst	$(4.825 \times 10^{-4} \times B + 6.009 \times 10^{-9} \times W \times B + 1.804 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(3.451 \times 10^{-4} \times B + 3.920 \times 10^{-9} \times W \times B + 1.885 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
		40<B	Worst	$(4.936 \times 10^{-4} \times B + 5.369 \times 10^{-9} \times W \times B + 3.373 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(3.582 \times 10^{-4} \times B + 3.564 \times 10^{-9} \times W \times B + 2.018 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
	2048 < W 3072	B 40	Worst	$(5.455 \times 10^{-4} \times B + 5.251 \times 10^{-9} \times W \times B + 1.913 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(3.877 \times 10^{-4} \times B + 2.893 \times 10^{-9} \times W \times B + 1.306 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
		40<B	Worst	$(5.598 \times 10^{-4} \times B + 4.394 \times 10^{-9} \times W \times B + 3.404 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
			TYP.	$(4.023 \times 10^{-4} \times B + 2.864 \times 10^{-9} \times W \times B + 1.989 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$
3072 < W 4096		Worst	$(6.210 \times 10^{-4} \times B + 3.965 \times 10^{-9} \times W \times B + 2.054 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$	
		TYP.	$(4.392 \times 10^{-4} \times B + 2.143 \times 10^{-9} \times W \times B + 1.454 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{rx} \times A$	
ライト (I _{DDW})	W 1024	B 40	Worst	$(4.881 \times 10^{-4} \times B + 4.826 \times 10^{-8} \times W \times B + 1.582 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(3.493 \times 10^{-4} \times B + 3.943 \times 10^{-8} \times W \times B + 1.077 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
		40<B	Worst	$(5.266 \times 10^{-4} \times B + 4.734 \times 10^{-8} \times W \times B + 2.643 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(3.751 \times 10^{-4} \times B + 3.899 \times 10^{-8} \times W \times B + 1.681 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
	1024 < W 2048	B 40	Worst	$(5.390 \times 10^{-4} \times B + 5.182 \times 10^{-8} \times W \times B + 1.652 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(3.828 \times 10^{-4} \times B + 4.117 \times 10^{-8} \times W \times B + 1.129 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
		40<B	Worst	$(5.610 \times 10^{-4} \times B + 5.090 \times 10^{-8} \times W \times B + 2.518 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(3.980 \times 10^{-4} \times B + 4.061 \times 10^{-8} \times W \times B + 1.612 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
	2048 < W 3072	B 40	Worst	$(5.953 \times 10^{-4} \times B + 5.193 \times 10^{-8} \times W \times B + 1.734 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(4.168 \times 10^{-4} \times B + 4.195 \times 10^{-8} \times W \times B + 1.189 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
		40<B	Worst	$(6.206 \times 10^{-4} \times B + 5.137 \times 10^{-8} \times W \times B + 2.379 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
			TYP.	$(4.360 \times 10^{-4} \times B + 4.114 \times 10^{-8} \times W \times B + 1.488 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$
3072 < W 4096		Worst	$(6.644 \times 10^{-4} \times B + 5.154 \times 10^{-8} \times W \times B + 1.862 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$	
		TYP.	$(4.617 \times 10^{-4} \times B + 4.117 \times 10^{-8} \times W \times B + 1.316 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{wx} \times A$	

(7) WDSRAM001PAE [word] W [bit] C3B1

動作	条件		計算式 (mA)	
リード (I _{DDR})	W 512	B 40	Worst	$(4.459 \times 10^{-4} \times B + 1.791 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.332 \times 10^{-4} \times B + 1.262 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
		40<B	Worst	$(4.347 \times 10^{-4} \times B + 4.146 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.231 \times 10^{-4} \times B + 3.036 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
	512 < W 1024	B 40	Worst	$(4.708 \times 10^{-4} \times B + 1.957 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.506 \times 10^{-4} \times B + 1.381 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
		40<B	Worst	$(4.601 \times 10^{-4} \times B + 4.325 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.410 \times 10^{-4} \times B + 3.156 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
	1024 < W 1536	B 40	Worst	$(4.963 \times 10^{-4} \times B + 2.002 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.684 \times 10^{-4} \times B + 1.420 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
		40<B	Worst	$(4.853 \times 10^{-4} \times B + 4.405 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.606 \times 10^{-4} \times B + 3.133 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
	1536 < W 2048	B 40	Worst	$(5.707 \times 10^{-4} \times B + 2.082 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(4.209 \times 10^{-4} \times B + 1.478 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
		40<B	Worst	$(5.108 \times 10^{-4} \times B + 4.478 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
			TYP.	$(3.768 \times 10^{-4} \times B + 3.242 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{R \times A}$
ライト (I _{DDW})	W 512	B 40	Worst	$(5.392 \times 10^{-4} \times B + 1.896 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(4.041 \times 10^{-4} \times B + 1.332 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
		40<B	Worst	$(5.302 \times 10^{-4} \times B + 4.045 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(3.984 \times 10^{-4} \times B + 2.820 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
	512 < W 1024	B 40	Worst	$(5.855 \times 10^{-4} \times B + 2.062 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(4.402 \times 10^{-4} \times B + 1.450 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
		40<B	Worst	$(5.813 \times 10^{-4} \times B + 4.042 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(4.357 \times 10^{-4} \times B + 2.898 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
	1024 < W 1536	B 40	Worst	$(6.346 \times 10^{-4} \times B + 2.105 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(4.773 \times 10^{-4} \times B + 1.490 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
		40<B	Worst	$(6.280 \times 10^{-4} \times B + 4.176 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(4.721 \times 10^{-4} \times B + 2.964 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
	1536 < W 2048	B 40	Worst	$(7.283 \times 10^{-4} \times B + 2.186 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(5.484 \times 10^{-4} \times B + 1.542 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
		40<B	Worst	$(6.769 \times 10^{-4} \times B + 4.242 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{W \times A}$
			TYP.	$(5.072 \times 10^{-4} \times B + 3.190 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{W \times A}$

(8) WDSRAM001PSA [word] W [bit] C3B1

動作	条 件		計算式 (mA)	
リード (I _{DDR})	W 1024	B 40	Worst	$(4.872 \times 10^{-4} \times B + 1.379 \times 10^{-8} \times W \times B + 1.654 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.644 \times 10^{-4} \times B + 9.829 \times 10^{-9} \times W \times B + 1.259 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(4.801 \times 10^{-4} \times B + 1.263 \times 10^{-8} \times W \times B + 4.411 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.615 \times 10^{-4} \times B + 8.664 \times 10^{-9} \times W \times B + 3.007 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	1024 < W 2048	B 40	Worst	$(5.326 \times 10^{-4} \times B + 6.519 \times 10^{-9} \times W \times B + 1.742 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.951 \times 10^{-4} \times B + 4.079 \times 10^{-9} \times W \times B + 1.320 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		40<B	Worst	$(5.260 \times 10^{-4} \times B + 5.945 \times 10^{-9} \times W \times B + 4.594 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
			TYP.	$(3.915 \times 10^{-4} \times B + 3.890 \times 10^{-9} \times W \times B + 3.125 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
	2048 < W 3072	Worst		$(6.260 \times 10^{-4} \times B + 4.881 \times 10^{-9} \times W \times B + 1.943 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
		TYP.		$(4.561 \times 10^{-4} \times B + 3.777 \times 10^{-9} \times W \times B + 1.453 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$
3072 < W 4096	Worst		$(6.899 \times 10^{-4} \times B + 3.973 \times 10^{-9} \times W \times B + 2.052 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
	TYP.		$(4.999 \times 10^{-4} \times B + 2.815 \times 10^{-9} \times W \times B + 1.525 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{R \times A}$	
ライト (I _{DDW})	W 1024	B 80	Worst	$(5.508 \times 10^{-4} \times B + 5.299 \times 10^{-8} \times W \times B + 1.774 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.032 \times 10^{-4} \times B + 4.348 \times 10^{-8} \times W \times B + 1.351 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		80<B	Worst	$(5.506 \times 10^{-4} \times B + 4.981 \times 10^{-8} \times W \times B + 4.204 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(3.988 \times 10^{-4} \times B + 4.141 \times 10^{-8} \times W \times B + 3.099 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	1024 < W 2048	B 80	Worst	$(5.902 \times 10^{-4} \times B + 4.990 \times 10^{-8} \times W \times B + 1.859 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.306 \times 10^{-4} \times B + 3.950 \times 10^{-8} \times W \times B + 1.413 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		80<B	Worst	$(5.887 \times 10^{-4} \times B + 4.902 \times 10^{-8} \times W \times B + 4.368 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
			TYP.	$(4.255 \times 10^{-4} \times B + 3.952 \times 10^{-8} \times W \times B + 3.145 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
	2048 < W 3072	Worst		$(6.771 \times 10^{-4} \times B + 4.951 \times 10^{-8} \times W \times B + 2.049 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
		TYP.		$(4.835 \times 10^{-4} \times B + 4.072 \times 10^{-8} \times W \times B + 1.543 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$
3072 < W 4096	Worst		$(7.323 \times 10^{-4} \times B + 5.007 \times 10^{-8} \times W \times B + 2.157 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	
	TYP.		$(5.242 \times 10^{-4} \times B + 3.977 \times 10^{-8} \times W \times B + 1.614 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{W \times A}$	

3.6.2 スタンバイ・モード時の動作消費電流

(1) WDREG001PAA [word] W [bit] C1B1

条 件	計算式 (mA)
Worst	$4.190 \times 10^{-4} \times W + 1.338 \times 10^{-3} \times B + 5.803 \times 10^{-2} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$3.485 \times 10^{-6} \times W + 1.041 \times 10^{-5} \times B + 6.576 \times 10^{-4} + 5.200 \times 10^{-8} \times W \times B$

(2) WDREG001PAA [word] W [bit] C2B1

条 件	計算式 (mA)
Worst	$2.030 \times 10^{-4} \times W + 1.410 \times 10^{-3} \times B + 4.519 \times 10^{-2} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$1.659 \times 10^{-6} \times W + 1.069 \times 10^{-5} \times B + 5.083 \times 10^{-4} + 5.200 \times 10^{-8} \times W \times B$

(3) WDREG001PSA [word] W [bit] C1B1

条 件	計算式 (mA)
Worst	$6.944 \times 10^{-5} \times W + 3.436 \times 10^{-4} \times B + 7.046 \times 10^{-3} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$4.860 \times 10^{-7} \times W + 2.503 \times 10^{-6} \times B + 6.424 \times 10^{-5} + 5.200 \times 10^{-8} \times W \times B$

(4) WDREG001PSA [word] W [bit] C2B1

条 件	計算式 (mA)
Worst	$3.438 \times 10^{-5} \times W + 3.990 \times 10^{-4} \times B + 8.824 \times 10^{-3} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$2.363 \times 10^{-7} \times W + 3.022 \times 10^{-6} \times B + 8.747 \times 10^{-5} + 5.200 \times 10^{-8} \times W \times B$

(5) WDSRAM001PAA [word] W [bit] C2B1

条 件	計算式 (mA)
Worst	$5.856 \times 10^{-4} \times W + 4.256 \times 10^{-3} \times B + 1.254 \times 10^{-1} + 1.140 \times 10^{-5} \times W \times B$
TYP.	$4.284 \times 10^{-6} \times W + 4.443 \times 10^{-5} \times B + 1.038 \times 10^{-3} + 7.200 \times 10^{-8} \times W \times B$

(6) WDSRAM001PAA [word] W [bit] C3B1

条 件	計算式 (mA)
Worst	$2.562 \times 10^{-4} \times W + 3.952 \times 10^{-3} \times B + 1.199 \times 10^{-1} + 8.233 \times 10^{-5} \times W \times B$
TYP.	$2.142 \times 10^{-6} \times W + 4.021 \times 10^{-5} \times B + 1.198 \times 10^{-3} + 5.200 \times 10^{-8} \times W \times B$

(7) WDSRAM001PAE [word] W [bit] C3B1

条 件	計算式 (mA)
Worst	$4.648 \times 10^{-4} \times W + 6.200 \times 10^{-3} \times B + 1.592 \times 10^{-1} + 2.350 \times 10^{-5} \times W \times B$
TYP.	$3.413 \times 10^{-6} \times W + 4.964 \times 10^{-5} \times B + 1.469 \times 10^{-3} + 1.630 \times 10^{-7} \times W \times B$

(8) WDSRAM001PSA [word] W [bit] C3B1

条 件	計算式 (mA)
Worst	$5.075 \times 10^{-5} \times W + 2.807 \times 10^{-3} \times B + 2.262 \times 10^{-2} + 8.233 \times 10^{-6} \times W \times B$
TYP.	$3.381 \times 10^{-7} \times W + 3.187 \times 10^{-5} \times B + 1.744 \times 10^{-4} + 5.200 \times 10^{-8} \times W \times B$

備考 1. リード : CEN = 0, BWEN = 1

ライト : CEN = 0, BWEN = 0

(1) スタンバイ状態とは、全入力 (CLK 含む) が固定されている状態です。

(2) アドレス / データが固定でも、CEN = 0, かつ CLK が入力される状態の電流は、動作電流 (リード / ライト時) と同じになります。

(3) CEN = 1 であれば、CLK が入力されていても、スタンバイとほぼ同等の電流に抑えることができます。

2. 消費電流を計算する際の条件は次のとおりです。T_Jは、ジャンクション温度です。

Worst : V_{DD} = 1.2V, Process = fast, T_J = 125°C

TYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C

3. ビット・ライト動作時の消費電流 (I_{DDW}) は、ライト・ビット数の比率で計算します。

$$I_{DDW} = I_{DDR} \times \{(\text{全ビット数} - \text{ライト・ビット数}) / \text{全ビット数}\} + I_{DDW} \times (\text{ライト・ビット数} / \text{全ビット数})$$

3.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量（pF）

動作条件

条 件	プロセス	電源電圧	周囲温度 (T _A)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- trc: CLK の最小周期（これ以上の周期でなければ、メモリは正常に動作しません）
- tacc: CLK の立ち上がり後に Q 出力にデータが出力されるまでの時間
- toH: リード・アクセス時に前のデータが保持される時間
- tckH: CLK のハイ幅の最小時間（これ以上の幅がなければ、メモリは正常に動作しません）
- tckL: CLK のロウ幅の最小時間（これ以上の幅がなければ、メモリは正常に動作しません）
- tas: アドレスのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間)
- tah: アドレスのホールド時間
(CLK の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間)
- tdis: データのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前にデータが決まっていなければならない時間)
- tdih: データのホールド時間
(CLK の立ち上がりに対して、この時間以上データが保持されなければならない時間)
- tdth: ライト・サイクル時に書き込んだデータが出力 Q に出力されるまでの時間
- tohw: ライト・サイクル時に前のサイクルのデータが保持されている時間
- tbws: ライト・イネーブルのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前に BWEN が入力されなければならない時間)
- tbwh: ライト・イネーブルのホールド時間
(CLK の立ち上がりに対して、この時間以上 BWEN が保持されなければならない時間)
- tcs: チップ・イネーブルのセットアップ時間
(CLK の立ち上がりに対して、この時間以上前に CEN が入力されなければならない時間)
- tch: チップ・イネーブルのホールド時間
(CLK の立ち上がりに対して、この時間以上 CEN が保持されなければならない時間)

(1) WDREG001PAA [word] W [bit] C1B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
サイクル・タイム	t_{RC}	MAX1	W 64	2.483	ns
			64 < W 128	2.598	ns
			128 < W 192	2.713	ns
			192 < W 256	2.830	ns
		MAX2	W 64	2.558	ns
			64 < W 128	2.671	ns
			128 < W 192	2.787	ns
			192 < W 256	2.901	ns
アクセス・タイム	t_{ACC}	MAX1	W 64	$1.052 \times 10^{-3} \times B + 1.696 + 2.273 \times C_L$	ns
			64 < W 128	$1.048 \times 10^{-3} \times B + 1.794 + 2.273 \times C_L$	ns
			128 < W 192	$1.053 \times 10^{-3} \times B + 1.898 + 2.273 \times C_L$	ns
			192 < W 256	$1.051 \times 10^{-3} \times B + 2.003 + 2.273 \times C_L$	ns
		MAX2	W 64	$1.005 \times 10^{-3} \times B + 1.740 + 2.368 \times C_L$	ns
			64 < W 128	$1.003 \times 10^{-3} \times B + 1.840 + 2.368 \times C_L$	ns
			128 < W 192	$1.005 \times 10^{-3} \times B + 1.944 + 2.368 \times C_L$	ns
			192 < W 256	$1.012 \times 10^{-3} \times B + 2.046 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 64	$1.737 \times 10^{-4} \times B + 4.533 \times 10^{-1}$	ns
			64 < W 128	$1.749 \times 10^{-4} \times B + 4.801 \times 10^{-1}$	ns
			128 < W 192	$1.751 \times 10^{-4} \times B + 5.090 \times 10^{-1}$	ns
			192 < W 256	$1.756 \times 10^{-4} \times B + 5.377 \times 10^{-1}$	ns
		MIN2	W 64	$1.684 \times 10^{-4} \times B + 5.054 \times 10^{-1}$	ns
			64 < W 128	$1.685 \times 10^{-4} \times B + 5.362 \times 10^{-1}$	ns
			128 < W 192	$1.709 \times 10^{-4} \times B + 5.692 \times 10^{-1}$	ns
			192 < W 256	$1.714 \times 10^{-4} \times B + 6.020 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.258	ns	
		MAX2	0.249	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.520	ns	
		MAX2	0.539	ns	
アドレス・セットアップ・タイム	t_{AS}	MAX1	$1.557 \times 10^{-4} \times W + 3.967 \times 10^{-1}$	ns	
		MAX2	$1.625 \times 10^{-4} \times W + 4.061 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{AH}	MAX1	0.181	ns	
		MAX2	0.182	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$8.081 \times 10^{-6} \times W - 6.663 \times 10^{-4} \times B + 4.313 \times 10^{-1}$	ns	
		MAX2	$7.116 \times 10^{-6} \times W - 7.122 \times 10^{-4} \times B + 4.299 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$-8.528 \times 10^{-6} \times W + 1.502 \times 10^{-3} \times B + 1.933 \times 10^{-1}$	ns	
		MAX2	$-7.408 \times 10^{-6} \times W + 1.317 \times 10^{-3} \times B + 1.975 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{DTH}	–	= t_{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	–	= t_{OH}	ns	
BWEN セットアップ・タイム	t_{BWS}	MAX1	$7.944 \times 10^{-6} \times W - 4.220 \times 10^{-4} \times B + 3.837 \times 10^{-1}$	ns	
		MAX2	$7.080 \times 10^{-6} \times W - 4.435 \times 10^{-4} \times B + 4.037 \times 10^{-1}$	ns	
BWEN ホールド・タイム	t_{BWH}	MAX1	$-7.757 \times 10^{-6} \times W + 1.503 \times 10^{-3} \times B + 1.854 \times 10^{-1}$	ns	
		MAX2	$-7.622 \times 10^{-6} \times W + 1.318 \times 10^{-3} \times B + 1.895 \times 10^{-1}$	ns	
CEN セットアップ・タイム	t_{CS}	MAX1	0.360	ns	
		MAX2	0.381	ns	
CEN ホールド・タイム	t_{CH}	MAX1	0.265	ns	
		MAX2	0.266	ns	

(2) WDREG001PAA [word] W [bit] C2B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
サイクル・タイム	t_{rc}	MAX1	W 128	2.465	ns
			128 < W 256	2.585	ns
			256 < W 384	2.697	ns
			384 < W 512	2.812	ns
		MAX2	W 128	2.538	ns
			128 < W 256	2.657	ns
			256 < W 384	2.770	ns
			384 < W 512	2.884	ns
アクセス・タイム	t_{acc}	MAX1	W 128	$2.428 \times 10^{-3} \times B + 1.642 + 2.273 \times C_L$	ns
			128 < W 256	$2.434 \times 10^{-3} \times B + 1.744 + 2.273 \times C_L$	ns
			256 < W 384	$2.424 \times 10^{-3} \times B + 1.846 + 2.273 \times C_L$	ns
			384 < W 512	$2.454 \times 10^{-3} \times B + 1.949 + 2.273 \times C_L$	ns
		MAX2	W 128	$2.349 \times 10^{-3} \times B + 1.685 + 2.368 \times C_L$	ns
			128 < W 256	$2.358 \times 10^{-3} \times B + 1.796 + 2.368 \times C_L$	ns
			256 < W 384	$2.359 \times 10^{-3} \times B + 1.892 + 2.368 \times C_L$	ns
			384 < W 512	$2.365 \times 10^{-3} \times B + 2.000 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{oh}	MIN1	W 128	$4.413 \times 10^{-4} \times B + 4.414 \times 10^{-1}$	ns
			128 < W 256	$4.419 \times 10^{-4} \times B + 4.675 \times 10^{-1}$	ns
			256 < W 384	$4.460 \times 10^{-4} \times B + 4.953 \times 10^{-1}$	ns
			384 < W 512	$4.460 \times 10^{-4} \times B + 5.240 \times 10^{-1}$	ns
		MIN2	W 128	$4.222 \times 10^{-4} \times B + 4.908 \times 10^{-1}$	ns
			128 < W 256	$4.242 \times 10^{-4} \times B + 5.248 \times 10^{-1}$	ns
			256 < W 384	$4.274 \times 10^{-4} \times B + 5.540 \times 10^{-1}$	ns
			384 < W 512	$4.283 \times 10^{-4} \times B + 5.866 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{ckh}	MAX1	0.245	ns	
		MAX2	0.236	ns	
CLK ロウ・レベル・タイム	t_{ckl}	MAX1	0.512	ns	
		MAX2	0.535	ns	
アドレス・セットアップ・タイム	t_{as}	MAX1	$5.762 \times 10^{-5} \times W + 4.860 \times 10^{-1}$	ns	
		MAX2	$5.974 \times 10^{-5} \times W + 4.991 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{ah}	MAX1	0.309	ns	
		MAX2	0.310	ns	
ライト・データ・セットアップ・タイム	t_{dis}	MAX1	$5.174 \times 10^{-6} \times W - 1.404 \times 10^{-3} \times B + 4.939 \times 10^{-1}$	ns	
		MAX2	$4.377 \times 10^{-6} \times W - 1.529 \times 10^{-3} \times B + 5.133 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{dih}	MAX1	$-5.757 \times 10^{-6} \times W + 2.853 \times 10^{-3} \times B + 2.820 \times 10^{-1}$	ns	
		MAX2	$-4.228 \times 10^{-6} \times W + 2.537 \times 10^{-3} \times B + 2.851 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{dth}	–	= t_{acc}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{ohw}	–	= t_{oh}	ns	
BWEN セットアップ・タイム	t_{bws}	MAX1	$5.729 \times 10^{-6} \times W - 1.346 \times 10^{-3} \times B + 4.715 \times 10^{-1}$	ns	
		MAX2	$4.534 \times 10^{-6} \times W - 1.386 \times 10^{-3} \times B + 4.879 \times 10^{-1}$	ns	
BWEN ホールド・タイム	t_{bwh}	MAX1	$-5.118 \times 10^{-6} \times W + 2.857 \times 10^{-3} \times B + 2.812 \times 10^{-1}$	ns	
		MAX2	$-4.286 \times 10^{-6} \times W + 2.538 \times 10^{-3} \times B + 2.842 \times 10^{-1}$	ns	
CEN セットアップ・タイム	t_{cs}	MAX1	0.478	ns	
		MAX2	0.500	ns	
CEN ホールド・タイム	t_{ch}	MAX1	0.395	ns	
		MAX2	0.396	ns	

(3) WDREG001PSA [word] W [bit] C1B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位
サイクル・タイム	t_{RC}	MAX1	W 192	$3.132 \times 10^{-4} \times B + 3.339$	ns
			192 < W 256	$5.576 \times 10^{-4} \times B + 3.647$	ns
		MAX2	W 192	$3.323 \times 10^{-4} \times B + 3.641$	ns
			192 < W 256	$3.285 \times 10^{-4} \times B + 3.978$	ns
アクセス・タイム	t_{ACC}	MAX1	W 192	$1.425 \times 10^{-3} \times B + 2.982 + 2.766 \times C_L$	ns
			192 < W 256	$1.429 \times 10^{-3} \times B + 3.255 + 2.766 \times C_L$	ns
		MAX2	W 192	$1.505 \times 10^{-3} \times B + 3.207 + 3.072 \times C_L$	ns
			192 < W 256	$1.509 \times 10^{-3} \times B + 3.543 + 3.072 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 192	$1.650 \times 10^{-4} \times B + 5.070 \times 10^{-1}$	ns
			192 < W 256	$1.615 \times 10^{-4} \times B + 5.480 \times 10^{-1}$	ns
		MIN2	W 192	$1.563 \times 10^{-4} \times B + 5.590 \times 10^{-1}$	ns
			192 < W 256	$1.580 \times 10^{-4} \times B + 6.020 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.521	ns	
		MAX2	0.586	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.855	ns	
		MAX2	1.045	ns	
アドレス・セットアップ・タイム	t_{AS}	MAX1	$1.016 \times 10^{-4} \times W + 6.210 \times 10^{-1}$	ns	
		MAX2	$1.094 \times 10^{-4} \times W + 7.240 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{AH}	MAX1	$8.669 \times 10^{-5} \times W + 4.598 \times 10^{-1}$	ns	
		MAX2	$9.677 \times 10^{-5} \times W + 5.102 \times 10^{-1}$	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-1.108 \times 10^{-3} \times B + 5.952 \times 10^{-1}$	ns	
		MAX2	$-1.271 \times 10^{-3} \times B + 6.935 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$1.993 \times 10^{-3} \times B + 4.850 \times 10^{-1}$	ns	
		MAX2	$1.920 \times 10^{-3} \times B + 5.407 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{DTH}	–	= t_{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	–	= t_{OH}	ns	
BWEN セットアップ・タイム	t_{BWS}	MAX1	$-1.104 \times 10^{-3} \times B + 5.612 \times 10^{-1}$	ns	
		MAX2	$-1.267 \times 10^{-3} \times B + 6.475 \times 10^{-1}$	ns	
BWEN ホールド・タイム	t_{BWH}	MAX1	$1.986 \times 10^{-3} \times B + 4.770 \times 10^{-1}$	ns	
		MAX2	$1.910 \times 10^{-3} \times B + 5.322 \times 10^{-1}$	ns	
CEN セットアップ・タイム	t_{CS}	MAX1	0.551	ns	
		MAX2	0.635	ns	
CEN ホールド・タイム	t_{CH}	MAX1	0.523	ns	
		MAX2	0.597	ns	

(4) WDREG001PSA [word] W [bit] C2B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
サイクル・タイム	t_{rc}	MAX1	W 128	3.056	ns
			128 < W 256	3.154	ns
			256 < W 384	3.254	ns
			384 < W 512	3.358	ns
		MAX2	W 128	4.091	ns
			128 < W 256	3.587	ns
			256 < W 384	3.688	ns
			384 < W 512	3.791	ns
アクセス・タイム	t_{acc}	MAX1	W 128	$2.559 \times 10^{-3} \times B + 2.272 + 2.766 \times C_L$	ns
			128 < W 256	$2.558 \times 10^{-3} \times B + 2.387 + 2.766 \times C_L$	ns
			256 < W 384	$2.559 \times 10^{-3} \times B + 2.500 + 2.766 \times C_L$	ns
			384 < W 512	$2.560 \times 10^{-3} \times B + 2.614 + 2.766 \times C_L$	ns
		MAX2	W 128	$2.501 \times 10^{-3} \times B + 2.551 + 3.072 \times C_L$	ns
			128 < W 256	$2.501 \times 10^{-3} \times B + 2.665 + 3.072 \times C_L$	ns
			256 < W 384	$2.507 \times 10^{-3} \times B + 2.779 + 3.072 \times C_L$	ns
			384 < W 512	$2.500 \times 10^{-3} \times B + 2.892 + 3.072 \times C_L$	ns
出力ホールド・タイム	t_{oh}	MIN1	W 128	$3.060 \times 10^{-4} \times B + 3.751 \times 10^{-1}$	ns
			128 < W 256	$3.070 \times 10^{-4} \times B + 3.972 \times 10^{-1}$	ns
			256 < W 384	$3.092 \times 10^{-4} \times B + 4.181 \times 10^{-1}$	ns
			384 < W 512	$3.081 \times 10^{-4} \times B + 4.392 \times 10^{-1}$	ns
		MIN2	W 128	$2.904 \times 10^{-4} \times B + 4.080 \times 10^{-1}$	ns
			128 < W 256	$2.930 \times 10^{-4} \times B + 4.337 \times 10^{-1}$	ns
			256 < W 384	$2.928 \times 10^{-4} \times B + 4.578 \times 10^{-1}$	ns
			384 < W 512	$2.945 \times 10^{-4} \times B + 4.818 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{ckh}	MAX1	0.504	ns	
		MAX2	0.565	ns	
CLK ロウ・レベル・タイム	t_{ckl}	MAX1	0.848	ns	
		MAX2	1.038	ns	
アドレス・セットアップ・タイム	t_{as}	MAX1	$6.383 \times 10^{-5} \times W + 7.772 \times 10^{-1}$	ns	
		MAX2	$6.690 \times 10^{-5} \times W + 8.996 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{ah}	MAX1	0.447	ns	
		MAX2	0.494	ns	
ライト・データ・セットアップ・タイム	t_{dis}	MAX1	$-2.236 \times 10^{-3} \times B + 9.502 \times 10^{-1}$	ns	
		MAX2	$-2.608 \times 10^{-3} \times B + 1.145$	ns	
ライト・データ・ホールド・タイム	t_{dih}	MAX1	$3.770 \times 10^{-3} \times W + 3.758 \times 10^{-1}$	ns	
		MAX2	$3.739 \times 10^{-3} \times W + 3.835 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{dth}	–	= t_{acc}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{ohw}	–	= t_{oh}	ns	
BWEN セットアップ・タイム	t_{bws}	MAX1	$-1.968 \times 10^{-3} \times B + 9.408 \times 10^{-1}$	ns	
		MAX2	$-2.492 \times 10^{-3} \times B + 1.133$	ns	
BWEN ホールド・タイム	t_{bwh}	MAX1	$3.770 \times 10^{-3} \times B + 3.637 \times 10^{-1}$	ns	
		MAX2	$3.734 \times 10^{-3} \times B + 3.702 \times 10^{-1}$	ns	
CEN セットアップ・タイム	t_{cs}	MAX1	0.547	ns	
		MAX2	0.633	ns	
CEN ホールド・タイム	t_{ch}	MAX1	0.516	ns	
		MAX2	0.587	ns	

(5) WDSRAM001PAA [word] W [bit] C2B1 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件		計算式	単位			
サイクル・タイム	t_{RC}	MAX1	W 512	B 80	2.124	ns		
				$80 < B$	2.597	ns		
			512 < W 1024	B 80	2.438	ns		
				$80 < B$	2.807	ns		
			1024 < W 1536	B 80	3.038	ns		
				$80 < B$	3.345	ns		
			1536 < W 2048		3.827	ns		
			MAX2	W 512	B 80	2.190	ns	
		$80 < B$			2.661	ns		
		512 < W 1024		B 80	2.503	ns		
				$80 < B$	2.869	ns		
		1024 < W 1536		B 80	2.993	ns		
				$80 < B$	3.273	ns		
		1536 < W 2048			3.765	ns		
		アクセス・タイム		t_{ACC}	MAX1	W 512	$B \ 80$	$6.176 \times 10^{-4} \times B + 1.741 + 2.273 \times C_L$
			$80 < B$				$8.666 \times 10^{-4} \times B + 2.140 + 2.273 \times C_L$	ns
512 < W 1024	B 80		$6.104 \times 10^{-4} \times B + 2.056 + 2.273 \times C_L$			ns		
	$80 < B$		$8.739 \times 10^{-4} \times B + 2.349 + 2.273 \times C_L$			ns		
1024 < W 1536	B 80		$6.198 \times 10^{-4} \times B + 2.384 + 2.273 \times C_L$			ns		
	$80 < B$		$8.581 \times 10^{-4} \times B + 2.679 + 2.273 \times C_L$			ns		
1536 < W 2048			$7.290 \times 10^{-4} \times B + 2.909 + 2.273 \times C_L$			ns		
MAX2	W 512		B 80			$5.359 \times 10^{-4} \times B + 1.793 + 2.368 \times C_L$	ns	
			$80 < B$		$7.646 \times 10^{-4} \times B + 2.192 + 2.368 \times C_L$	ns		
	512 < W 1024		B 80		$5.426 \times 10^{-4} \times B + 2.106 + 2.368 \times C_L$	ns		
			$80 < B$		$7.669 \times 10^{-4} \times B + 2.401 + 2.368 \times C_L$	ns		
	1024 < W 1536		B 80		$5.401 \times 10^{-4} \times B + 2.434 + 2.368 \times C_L$	ns		
			$80 < B$		$7.645 \times 10^{-4} \times B + 2.729 + 2.368 \times C_L$	ns		
	1536 < W 2048				$6.388 \times 10^{-4} \times B + 2.956 + 2.368 \times C_L$	ns		
	出力ホールド・タイム		t_{OH}		MIN1	W 512	B 80	$1.114 \times 10^{-4} \times B + 4.598 \times 10^{-1}$
$80 < B$							$6.528 \times 10^{-5} \times B + 5.803 \times 10^{-1}$	ns
512 < W 1024		B 80		$1.104 \times 10^{-4} \times B + 5.475 \times 10^{-1}$		ns		
		$80 < B$		$6.813 \times 10^{-5} \times B + 6.385 \times 10^{-1}$		ns		
1024 < W 1536		B 80		$1.117 \times 10^{-4} \times B + 6.393 \times 10^{-1}$		ns		
		$80 < B$		$6.860 \times 10^{-5} \times B + 7.308 \times 10^{-1}$		ns		
1536 < W 2048				$9.198 \times 10^{-5} \times B + 7.861 \times 10^{-1}$		ns		
MIN2		W 512		B 80		$1.208 \times 10^{-4} \times B + 5.143 \times 10^{-1}$	ns	
				$80 < B$	$6.266 \times 10^{-5} \times B + 6.518 \times 10^{-1}$	ns		
		512 < W 1024		B 80	$1.185 \times 10^{-4} \times B + 6.143 \times 10^{-1}$	ns		
				$80 < B$	$6.442 \times 10^{-5} \times B + 7.189 \times 10^{-1}$	ns		
		1024 < W 1536		B 80	$1.223 \times 10^{-4} \times B + 7.182 \times 10^{-1}$	ns		
				$80 < B$	$6.506 \times 10^{-5} \times B + 8.225 \times 10^{-1}$	ns		
		1536 < W 2048			$9.674 \times 10^{-5} \times B + 8.841 \times 10^{-1}$	ns		

(5) WDSRAM001PAA [word] W [bit] C2B1 (2/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.215	ns
		MAX2	0.202	ns
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.501	ns
		MAX2	0.520	ns
アドレス・セットアップ・タイム	t _{AS}	MAX1	$1.444 \times 10^{-5} \times W + 3.385 \times 10^{-1}$	ns
		MAX2	$3.691 \times 10^{-6} \times W + 3.605 \times 10^{-1}$	ns
アドレス・ホールド・タイム	t _{AH}	MAX1	0.233	ns
		MAX2	0.231	ns
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1	$-4.049 \times 10^{-4} \times B + 4.079 \times 10^{-1}$	ns
		MAX2	$-4.438 \times 10^{-4} \times B + 4.459 \times 10^{-1}$	ns
ライト・データ・ホールド・タイム	t _{DIH}	MAX1	$8.126 \times 10^{-4} \times B + 2.414 \times 10^{-1}$	ns
		MAX2	$7.320 \times 10^{-4} \times B + 2.446 \times 10^{-1}$	ns
ライト・データ・スルー・タイム	t _{DTH}	—	= t _{ACC}	ns
ライト・スルー出力データ・ホールド・タイム	t _{OHW}	—	= t _{OH}	ns
BWEN セットアップ・タイム	t _{BWS}	MAX1	$-4.014 \times 10^{-4} \times B + 4.879 \times 10^{-1}$	ns
		MAX2	$-4.436 \times 10^{-4} \times B + 5.250 \times 10^{-1}$	ns
BWEN ホールド・タイム	t _{BWH}	MAX1	$8.128 \times 10^{-4} \times B + 2.406 \times 10^{-1}$	ns
		MAX2	$7.284 \times 10^{-4} \times B + 2.455 \times 10^{-1}$	ns
CEN セットアップ・タイム	t _{CS}	MAX1	0.382	ns
		MAX2	0.400	ns
CEN ホールド・タイム	t _{CH}	MAX1	0.210	ns
		MAX2	0.213	ns

(6) WDSRAM001PAA [word] W [bit] C3B1 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件		計 算 式	単 位			
サイクル・タイム	t_{RC}	MAX1	W 1024	B 40	2.307	ns		
				40 < B 74	2.731	ns		
			1024 < W 2048	B 40	2.624	ns		
				40 < B 74	2.939	ns		
			2048 < W 3072	B 40	3.170	ns		
				40 < B 74	3.486	ns		
			3072 < W 4096		3.990	ns		
			MAX2	W 1024	B 40	2.347	ns	
		40 < B 74			2.768	ns		
		1024 < W 2048		B 40	2.662	ns		
				40 < B 74	2.974	ns		
		2048 < W 3072		B 40	3.112	ns		
				40 < B 74	3.426	ns		
		3072 < W 4096			3.905	ns		
		アクセス・タイム		t_{ACC}	MAX1	W 1024	B 40	$1.087 \times 10^{-3} \times B + 1.639 + 2.273 \times C_L$
			40 < B 74				$1.087 \times 10^{-3} \times B + 2.063 + 2.273 \times C_L$	ns
1024 < W 2048	B 40		$1.087 \times 10^{-3} \times B + 1.957 + 2.273 \times C_L$			ns		
	40 < B 74		$1.087 \times 10^{-3} \times B + 2.272 + 2.273 \times C_L$			ns		
2048 < W 3072	B 40		$1.087 \times 10^{-3} \times B + 2.285 + 2.273 \times C_L$			ns		
	40 < B 74		$1.087 \times 10^{-3} \times B + 2.601 + 2.273 \times C_L$			ns		
3072 < W 4096			$1.087 \times 10^{-3} \times B + 2.812 + 2.273 \times C_L$			ns		
MAX2	W 1024		B 40			$9.261 \times 10^{-4} \times B + 1.691 + 2.368 \times C_L$	ns	
			40 < B 74		$9.261 \times 10^{-4} \times B + 2.111 + 2.368 \times C_L$	ns		
	1024 < W 2048		B 40		$9.261 \times 10^{-4} \times B + 2.007 + 2.368 \times C_L$	ns		
			40 < B 74		$9.261 \times 10^{-4} \times B + 2.318 + 2.368 \times C_L$	ns		
	2048 < W 3072		B 40		$9.261 \times 10^{-4} \times B + 2.331 + 2.368 \times C_L$	ns		
			40 < B 74		$9.261 \times 10^{-4} \times B + 2.645 + 2.368 \times C_L$	ns		
	3072 < W 4096				$9.261 \times 10^{-4} \times B + 2.855 + 2.368 \times C_L$	ns		
	出力ホールド・タイム		t_{OH}		MIN1	W 1024	B 40	$1.260 \times 10^{-4} \times B + 4.435 \times 10^{-1}$
40 < B 74							$1.260 \times 10^{-4} \times B + 5.620 \times 10^{-1}$	ns
1024 < W 2048		B 40		$1.260 \times 10^{-4} \times B + 5.324 \times 10^{-1}$		ns		
		40 < B 74		$1.260 \times 10^{-4} \times B + 6.199 \times 10^{-1}$		ns		
2048 < W 3072		B 40		$1.260 \times 10^{-4} \times B + 6.230 \times 10^{-1}$		ns		
		40 < B 74		$1.260 \times 10^{-4} \times B + 7.112 \times 10^{-1}$		ns		
3072 < W 4096				$1.260 \times 10^{-4} \times B + 7.693 \times 10^{-1}$		ns		
MIN2		W 1024		B 40		$1.316 \times 10^{-4} \times B + 4.929 \times 10^{-1}$	ns	
				40 < B 74	$1.316 \times 10^{-4} \times B + 6.283 \times 10^{-1}$	ns		
		1024 < W 2048		B 40	$1.316 \times 10^{-4} \times B + 5.937 \times 10^{-1}$	ns		
				40 < B 74	$1.316 \times 10^{-4} \times B + 6.934 \times 10^{-1}$	ns		
		2048 < W 3072		B 40	$1.316 \times 10^{-4} \times B + 6.972 \times 10^{-1}$	ns		
				40 < B 74	$1.316 \times 10^{-4} \times B + 7.973 \times 10^{-1}$	ns		
		3072 < W 4096			$1.316 \times 10^{-4} \times B + 8.638 \times 10^{-1}$	ns		

(6) WDSRAM001PAA [word] W [bit] C3B1 (2/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件	計 算 式	単 位
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.170	ns
		MAX2	0.150	ns
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.559	ns
		MAX2	0.576	ns
アドレス・セットアップ・タイム	t _{AS}	MAX1	$6.890 \times 10^{-6} \times W - 3.461 \times 10^{-4} \times B + 4.295 \times 10^{-1}$	ns
		MAX2	$4.120 \times 10^{-6} \times W - 2.746 \times 10^{-4} \times B + 4.447 \times 10^{-1}$	ns
アドレス・ホールド・タイム	t _{AH}	MAX1	0.401	ns
		MAX2	0.397	ns
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1	$5.000 \times 10^{-8} \times W - 1.619 \times 10^{-3} \times B + 4.573 \times 10^{-1}$	ns
		MAX2	$3.000 \times 10^{-8} \times W - 1.788 \times 10^{-3} \times B + 4.896 \times 10^{-1}$	ns
ライト・データ・ホールド・タイム	t _{DIH}	MAX1	$2.800 \times 10^{-7} \times W + 2.239 \times 10^{-3} \times B + 3.985 \times 10^{-1}$	ns
		MAX2	$1.500 \times 10^{-7} \times W + 2.246 \times 10^{-3} \times B + 3.985 \times 10^{-1}$	ns
ライト・データ・スルー・タイム	t _{DTH}	–	= t _{ACC}	ns
ライト・スルー出力データ・ホールド・タイム	t _{OHW}	–	= t _{OH}	ns
BWEN セットアップ・タイム	t _{BWS}	MAX1	$-2.100 \times 10^{-7} \times W - 1.619 \times 10^{-3} \times B + 4.483 \times 10^{-1}$	ns
		MAX2	$-2.300 \times 10^{-7} \times W - 1.788 \times 10^{-3} \times B + 4.757 \times 10^{-1}$	ns
BWEN ホールド・タイム	t _{BWH}	MAX1	$1.800 \times 10^{-7} \times W + 2.139 \times 10^{-3} \times B + 4.037 \times 10^{-1}$	ns
		MAX2	$9.000 \times 10^{-8} \times W + 2.039 \times 10^{-3} \times B + 4.069 \times 10^{-1}$	ns
CEN セットアップ・タイム	t _{CS}	MAX1	0.461	ns
		MAX2	0.478	ns
CEN ホールド・タイム	t _{CH}	MAX1	0.375	ns
		MAX2	0.376	ns

(7) WDSRAM001PAE [word] W [bit] C3B1 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件		計 算 式	単 位	
サイクル・タイム	t_{RC}	MAX1	W 512	B 40	1.341	ns
				40 < B	1.489	ns
			512 < W 1024	B 40	1.415	ns
				40 < B	1.563	ns
			1024 < W 1536	B 40	1.489	ns
				40 < B	1.637	ns
			1536 < W 2048	B 40	1.726	ns
				40 < B	1.726	ns
		MAX2	W 512	B 40	1.350	ns
				40 < B	1.494	ns
			512 < W 1024	B 40	1.422	ns
				40 < B	1.566	ns
			1024 < W 1536	B 40	1.494	ns
				40 < B	1.638	ns
			1536 < W 2048	B 40	1.710	ns
				40 < B	1.710	ns
アクセス・タイム	t_{ACC}	MAX1	W 512	$2.200 \times 10^{-3} \times B + 1.103 + 2.201 \times C_L$	ns	
				40 < B	$2.200 \times 10^{-3} \times B + 1.251 + 2.201 \times C_L$	ns
			512 < W 1024	B 40	$2.200 \times 10^{-3} \times B + 1.177 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.325 + 2.201 \times C_L$	ns
			1024 < W 1536	B 40	$2.200 \times 10^{-3} \times B + 1.251 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.399 + 2.201 \times C_L$	ns
			1536 < W 2048	B 40	$2.200 \times 10^{-3} \times B + 1.473 + 2.201 \times C_L$	ns
				40 < B	$2.200 \times 10^{-3} \times B + 1.473 + 2.201 \times C_L$	ns
		MAX2	W 512	B 40	$1.974 \times 10^{-3} \times B + 1.122 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.266 + 2.285 \times C_L$	ns
			512 < W 1024	B 40	$1.974 \times 10^{-3} \times B + 1.194 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.338 + 2.285 \times C_L$	ns
			1024 < W 1536	B 40	$1.974 \times 10^{-3} \times B + 1.266 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.410 + 2.285 \times C_L$	ns
			1536 < W 2048	B 40	$1.974 \times 10^{-3} \times B + 1.482 + 2.285 \times C_L$	ns
				40 < B	$1.974 \times 10^{-3} \times B + 1.482 + 2.285 \times C_L$	ns

(7) WDSRAM001PAE [word] W [bit] C3B1 (2/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位	
出力ホールド・タイム	t _{OH}	MIN1	W 512	B 40	$3.121 \times 10^{-4} \times B + 1.517 \times 10^{-1}$	ns
				40 < B	$3.121 \times 10^{-4} \times B + 1.979 \times 10^{-1}$	ns
			512 < W 1024	B 40	$3.121 \times 10^{-4} \times B + 1.748 \times 10^{-1}$	ns
				40 < B	$3.121 \times 10^{-4} \times B + 2.210 \times 10^{-1}$	ns
			1024 < W 1536	B 40	$3.121 \times 10^{-4} \times B + 1.979 \times 10^{-1}$	ns
				40 < B	$3.121 \times 10^{-4} \times B + 2.441 \times 10^{-1}$	ns
		1536 < W 2048	B 40	$3.121 \times 10^{-4} \times B + 2.672 \times 10^{-1}$	ns	
			40 < B	$3.121 \times 10^{-4} \times B + 2.672 \times 10^{-1}$	ns	
		MIN2	W 512	B 40	$3.208 \times 10^{-4} \times B + 2.999 \times 10^{-1}$	ns
				40 < B	$3.208 \times 10^{-4} \times B + 1.852 \times 10^{-1}$	ns
			512 < W 1024	B 40	$3.208 \times 10^{-4} \times B + 3.258 \times 10^{-1}$	ns
				40 < B	$3.208 \times 10^{-4} \times B + 2.111 \times 10^{-1}$	ns
1024 < W 1536	B 40		$3.208 \times 10^{-4} \times B + 1.852 \times 10^{-1}$	ns		
	40 < B		$3.208 \times 10^{-4} \times B + 2.370 \times 10^{-1}$	ns		
1536 < W 2048	B 40	$3.208 \times 10^{-4} \times B + 2.629 \times 10^{-1}$	ns			
	40 < B	$3.208 \times 10^{-4} \times B + 2.629 \times 10^{-1}$	ns			
CLK ハイ・レベル・タイム	t _{CKH}	MAX1		0.121	ns	
		MAX2		0.121	ns	
CLK ロウ・レベル・タイム	t _{CKL}	MAX1		0.281	ns	
		MAX2		0.286	ns	
アドレス・セットアップ・タイム	t _{AS}	MAX1	W 512	0.142	ns	
			512 < W 1024	0.168	ns	
			1024 < W 1536	0.169	ns	
			1536 < W 2048	0.180	ns	
		MAX2	W 512	0.144	ns	
			512 < W 1024	0.150	ns	
			1024 < W 1536	0.161	ns	
			1536 < W 2048	0.173	ns	
アドレス・ホールド・タイム	t _{AH}	MAX1		0.246	ns	
		MAX2		0.247	ns	
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1		$-9.731 \times 10^{-4} \times B + 1.921 \times 10^{-1}$	ns	
		MAX2		$-1.312 \times 10^{-3} \times B + 2.170 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t _{DIH}	MAX1		$1.960 \times 10^{-3} \times B + 8.183 \times 10^{-2}$	ns	
		MAX2		$2.056 \times 10^{-3} \times B + 8.188 \times 10^{-2}$	ns	
ライト・データ・スルー・タイム	t _{DTH}	-		= t _{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t _{OHW}	-		= t _{OH}	ns	
BWEN セットアップ・タイム	t _{BWS}	MAX1		$-9.731 \times 10^{-4} \times B + 2.421 \times 10^{-1}$	ns	
		MAX2		$-1.312 \times 10^{-3} \times B + 2.670 \times 10^{-1}$	ns	
BWEN ホールド・タイム	t _{BWH}	MAX1		$1.960 \times 10^{-3} \times B + 8.162 \times 10^{-2}$	ns	
		MAX2		$2.057 \times 10^{-3} \times B + 8.161 \times 10^{-2}$	ns	
CEN セットアップ・タイム	t _{CS}	MAX1		0.129	ns	
		MAX2		0.133	ns	
CEN ホールド・タイム	t _{CH}	MAX1		0.209	ns	
		MAX2		0.211	ns	

(8) WDSRAM001PSA [word] W [bit] C3B1 (1/2)

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位			
サイクル・タイム	t_{RC}	MAX1	W 1024	B 40	3.235	ns		
				40 < B 74	3.562	ns		
			1024 < W 2048	B 40	3.466	ns		
				40 < B 74	3.796	ns		
			2048 < W 3072		4.145		ns	
			3072 < W 4096		4.841		ns	
		MAX2	W 1024	B 40	3.576	ns		
				40 < B 74	3.890	ns		
			1024 < W 2048	B 40	3.803	ns		
				40 < B 74	4.122	ns		
			2048 < W 3072		4.483		ns	
			3072 < W 4096		4.946		ns	
			アクセス・タイム	t_{ACC}	MAX1	W 1024	$1.217 \times 10^{-3} \times B + 2.420 + 2.766 \times C_L$	ns
							$1.726 \times 10^{-3} \times B + 2.739 + 2.766 \times C_L$	ns
1024 < W 2048	$1.200 \times 10^{-3} \times B + 2.649 + 2.766 \times C_L$	ns						
	$1.711 \times 10^{-3} \times B + 2.969 + 2.766 \times C_L$	ns						
2048 < W 3072		$1.414 \times 10^{-3} \times B + 3.333 + 2.766 \times C_L$				ns		
3072 < W 4096		$1.425 \times 10^{-3} \times B + 3.671 + 2.766 \times C_L$				ns		
MAX2	W 1024	$1.285 \times 10^{-3} \times B + 2.704 + 3.072 \times C_L$			ns			
		$1.638 \times 10^{-3} \times B + 3.027 + 3.072 \times C_L$			ns			
	1024 < W 2048	$1.244 \times 10^{-3} \times B + 2.932 + 3.072 \times C_L$			ns			
		$1.634 \times 10^{-3} \times B + 3.255 + 3.072 \times C_L$			ns			
	2048 < W 3072				$1.412 \times 10^{-3} \times B + 3.615 + 3.072 \times C_L$	ns		
	3072 < W 4096				$1.417 \times 10^{-3} \times B + 3.952 + 3.072 \times C_L$	ns		
	出力ホールド・タイム	t_{OH}			MIN1	W 1024	$1.630 \times 10^{-4} \times B + 4.040 \times 10^{-1}$	ns
							$1.180 \times 10^{-4} \times B + 4.695 \times 10^{-1}$	ns
1024 < W 2048			$1.630 \times 10^{-4} \times B + 4.465 \times 10^{-1}$	ns				
			$1.115 \times 10^{-4} \times B + 5.130 \times 10^{-1}$	ns				
2048 < W 3072			$1.445 \times 10^{-4} \times B + 5.740 \times 10^{-1}$	ns				
3072 < W 4096			$1.445 \times 10^{-4} \times B + 6.370 \times 10^{-1}$	ns				
MIN2			W 1024	$1.820 \times 10^{-4} \times B + 4.370 \times 10^{-1}$	ns			
				$1.090 \times 10^{-4} \times B + 5.130 \times 10^{-1}$	ns			
			1024 < W 2048	$1.840 \times 10^{-4} \times B + 4.855 \times 10^{-1}$	ns			
				$1.065 \times 10^{-4} \times B + 5.620 \times 10^{-1}$	ns			
			2048 < W 3072		$1.475 \times 10^{-4} \times B + 6.300 \times 10^{-1}$	ns		
			3072 < W 4096		$1.495 \times 10^{-4} \times B + 7.010 \times 10^{-1}$	ns		

(8) WDSRAM001PSA [word] W [bit] C3B1 (2/2)

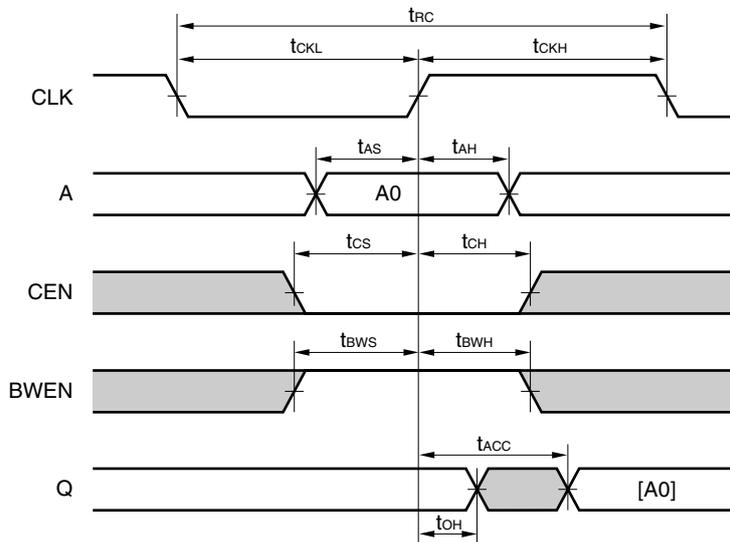
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条件	計 算 式	単位
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.300	ns
		MAX2	0.299	ns
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.966	ns
		MAX2	1.158	ns
アドレス・セットアップ・タイム	t _{AS}	MAX1	$7.000 \times 10^{-7} \times W - 3.225 \times 10^{-4} \times B + 6.113 \times 10^{-1}$	ns
		MAX2	$-7.000 \times 10^{-7} \times W - 2.899 \times 10^{-4} \times B + 6.814 \times 10^{-1}$	ns
アドレス・ホールド・タイム	t _{AH}	MAX1	0.699	ns
		MAX2	0.777	ns
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1	$-2.398 \times 10^{-3} \times B + 6.106 \times 10^{-1}$	ns
		MAX2	$-2.857 \times 10^{-3} \times B + 7.327 \times 10^{-1}$	ns
ライト・データ・ホールド・タイム	t _{DIH}	MAX1	$3.079 \times 10^{-3} \times B + 7.759 \times 10^{-1}$	ns
		MAX2	$3.385 \times 10^{-3} \times B + 8.485 \times 10^{-1}$	ns
ライト・データ・スルー・タイム	t _{DTH}	-	= t _{acc}	ns
ライト・スルー出力データ・ホールド・タイム	t _{OHW}	-	= t _{oH}	ns
BWEN セットアップ・タイム	t _{BWS}	MAX1	$-2.397 \times 10^{-3} \times B + 6.034 \times 10^{-1}$	ns
		MAX2	$-2.857 \times 10^{-3} \times B + 7.227 \times 10^{-1}$	ns
BWEN ホールド・タイム	t _{BWH}	MAX1	$3.087 \times 10^{-3} \times B + 7.485 \times 10^{-1}$	ns
		MAX2	$3.378 \times 10^{-3} \times B + 8.014 \times 10^{-1}$	ns
CEN セットアップ・タイム	t _{CS}	MAX1	0.606	ns
		MAX2	0.704	ns
CEN ホールド・タイム	t _{CH}	MAX1	0.522	ns
		MAX2	0.599	ns

3.8 タイミング・チャート

注意 タイミング・エラーが発生すると、メモリ中のデータは破壊されます。

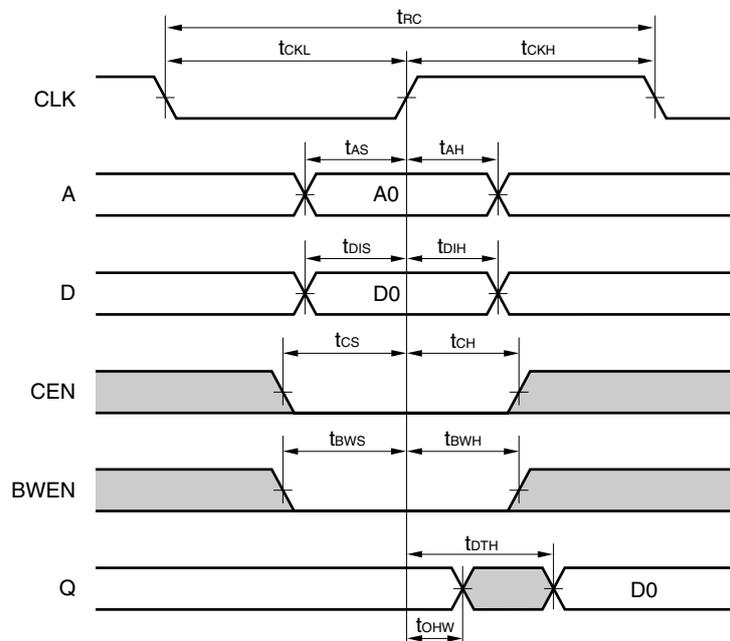
(1) リード・オペレーション



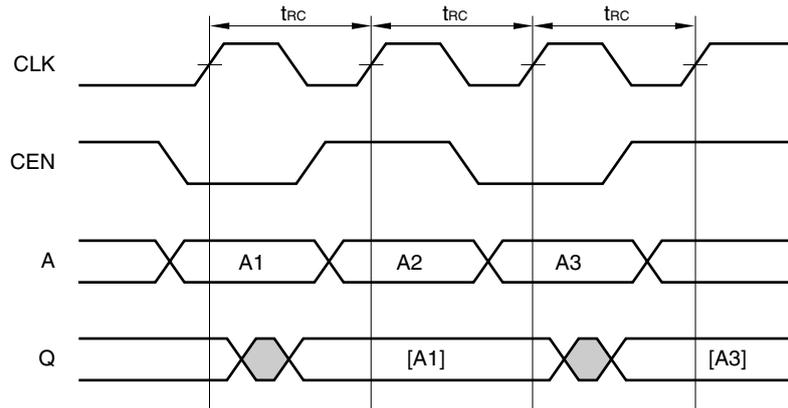
[Ax] : アドレス Ax 内のデータを示します。

同一アドレスに連続してアクセスする場合は、上記 toH 後の不定は出力されません。

(2) ライト・オペレーション



(3) アクティブ, 非アクティブ・オペレーション



第4章 同期式2ポート(1R+1W)RAM

4.1 概要

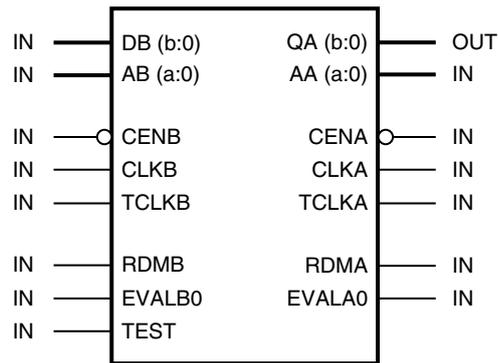
- リード・ポート+ライト・ポート型2ポートRAM
- フリー・サイズ・メモリ
 - メモリ・コンパイラにより高効率マクロ配置を実現
 - ビット数：2~146ビット
 - ワード数：16~1024ワード
- 動作電圧：1.1±0.1V
- 動作周囲温度：-40~+85℃

4.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
2	16ワード×2ビット	512ワード×74ビット	8ワード/2ビット	WDREG110PAA [word] W [bit] C1
2	16ワード×4ビット	512ワード×146ビット	8ワード/2ビット	WDREG110PKA [word] W [bit] C1
4	128ワード×2ビット	1024ワード×74ビット	32ワード/1ビット	WDSRAM110PAA [word] W [bit] C2

- 例 256ワード， 32ビットC1タイプの場合： WDREG110PAA256W32C1
 256ワード， 64ビットC1タイプの場合： WDREG110PKA256W64C1
 256ワード， 32ビットC2タイプの場合： WDSRAM110PAA256W32C2

4.1.2 シンボル図



備考 1. “a” = (アドレス本数) - 1

ただし, 3 a 8 (WDREG110PAA [word] W [bit] C1, WDREG110PKA [word] W [bit] C1)

6 a 9 (WDSRAM110PAA [word] W [bit] C2)

(アドレス本数) = \log_2 (ワード数) 小数点以下切り上げです。

“b” = (ビット数) - 1

ただし, 1 b 73 (WDREG110PAA [word] W [bit] C1, WDSRAM110PAA [word] W [bit] C2)

3 b 145 (WDREG110PKA [word] W [bit] C1)

2. TCLKA, TCLKB, TEST, EVALA0, EVALB0, RDMA, RDMB 端子は, 弊社が提供するラッパー回路により 0 に固定されます。

4.1.3 端子容量

(1) WDREG110PAA [word] W [bit] C1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DB (b : 0)	0.0015	QA (b : 0)	0.1390
AA (a : 0)	0.0018		
AB (a : 0)			
CENA CENB	0.0017		
CLKA CLKB	0.0023		
TEST	0.0039		
TCLKA TCLKB	0.0023		
EVALA0	0.0031		
EVALB0	0.0030		
RDMA	0.0017		
RDMB	0.0018		

(2) WDREG110PKA [word] W [bit] C1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DB (b : 0)	0.0017	QA (b : 0)	0.1598
AA (a : 0)	0.0019		
AB (a : 0)			
CENA CENB	0.0018		
CLKA CLKB	0.0024		
TEST	0.0029		
TCLKA	0.0025		
TCLKB	0.0024		
EVALA0 EVALB0	0.0030		
RDMA RDMB	0.0018		

(3) WDSRAM110PAA [word] W [bit] C2

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DB (b : 0)	0.0016	QA (b : 0)	0.1390
AA (a : 0)	0.0024		
AB (a : 0)			
CENA CENB	0.0015		
CLKA CLKB	0.0025		
TEST	0.0037		
TCLKA TCLKB	0.0025		
EVALA0	0.0031		
EVALB0			
RDMA	0.0015		
RDMB			

4.2 端子機能一覧

端子名	ポート	属性	モード	機能
QA (b:0)	A (リード)	出力	ノーマル	データ出力
AA (a:0)		入力	ノーマル	アドレス入力
CLKA		入力	ノーマル	クロック入力(ノーマル・モード時)
CENA [※]		入力	ノーマル	チップ・セレクト入力(アクティブ・ロウ) CENA = 0 : 動作モード CENA = 1 : 非動作モード
TCLKA		入力	テスト	クロック入力(テスト用)
EVALA0		入力	テスト	テスト端子 EVALA0 = 0 : ノーマル・モード EVALA0 = 1 : テスト・モード
RDMA		入力	テスト	テスト端子 RDMA = 0 : ノーマル・モード RDMA = 1 : テスト・モード
DB (b:0)		B (ライト)	入力	ノーマル
AB (a:0)	入力		ノーマル	アドレス入力
CLKB	入力		ノーマル	クロック入力(ノーマル・モード時)
CENB [※]	入力		ノーマル	チップ・セレクト入力(アクティブ・ロウ) CENB = 0 : 動作モード CENB = 1 : 非動作モード
TCLKB	入力		テスト	クロック入力(テスト用)
EVALB0	入力		テスト	テスト端子 EVALB0 = 0 : ノーマル・モード EVALB0 = 1 : テスト・モード
RDMB	入力		テスト	テスト端子 RDMB = 0 : ノーマル・モード RDMB = 1 : テスト・モード
TEST			入力	テスト

注 CENA または CENB を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLKA または CLKB を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CENA または CENB を制御してください。

4.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

X: ハイ・インピーダンスを含まない不定 AAx: 任意データ

XZ: ハイ・インピーダンスを含む不定 ABx: 任意データ

DBx: 入力データ

[AAx]: メモリ内データ(アドレス AAx 内のデータを示します。)

(1) モード設定

TEST	RDMA	RDMB	EVALA0	EVALB0	QA	モード	動作
0	0	0	有効	有効	有効	ノーマル	ノーマル・モード
0	1	0	有効	有効	有効	ノーマル	Aポート: ノーマル・モード Bポート: ディスエーブル
0	0	1	有効	有効	前データ	ノーマル	Aポート: ディスエーブル Bポート: ノーマル・モード
1	0	0	有効	有効	有効	テスト	テスト・モード
1	1	0	有効	有効	有効	テスト	Aポート: テスト・モード Bポート: ディスエーブル
1	0	1	有効	有効	前データ	テスト	Aポート: ディスエーブル Bポート: テスト・モード
X, Z	ALL	ALL	ALL	ALL	X	不定	全アドレス・データ不定
ALL	X, Z	ALL	ALL	ALL	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	X, Z	ALL	ALL	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	X, Z	ALL	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	ALL	X, Z	X	ノーマルかテスト	全アドレス・データ不定
有効	1	1	有効	有効	前データ	ノーマルかテスト	マクロ・ディスエーブル

(2) Aポート: リード

CENA	CLKA	AA (a: 0)	QA (b: 0)	動作
0	↑	AAx	[AAx]	リード
0	固定	X	前データ	スタンバイ
1	↑	X	前データ	Aポート・オフ

(3) Bポート: ライト

CENB	CLKB	AB (a: 0)	DB (b: 0)	動作
0	↑	ABx	DBx	ライト
0	固定	X	X	スタンバイ
1	↑	X	X	Bポート・オフ

(4) Aポート, Bポート同時アクセス

(AA ≠ AB)

CENA	CLKA (TCLKA)	CENB	CLKB (TCKLB)	AA (a:0)	AB (a:0)	QA	DB (b:0)	メモリ内	動作
0	↑	0	↑	AAx	ABx	[AAx]	Dx	[ABx] = Dx	Aポート:リード Bポート:ライト

(AA = AB)

CENA	CLKNA (TCLKA)	CENB	CLKB (TCKLB)	AA (a:0)	AB (a:0)	QA	DB (b:0)	メモリ内	動作
0	↑	0	↑	Ax	Ax	X	Dx	X	Aポート:"X"リード Bポート:"X"ライト

(5) テスト・モード・ファンクション

EVALA0/EVALB0	動作
0	通常動作モード
1	内部タイミング加速動作モード(テスト用)

4.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W : ワード数

B : ビット数

N : アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

ROUNDUP (a, b) : a を小数点以下 b 桁に切り上げます。

例 W = 240 のとき(ROUNDUP (W/128, 0)

$$\text{ROUNDUP} (240/128, 0) = \text{ROUNDUP} (1.875, 0) = 2$$

(1) WDREG110PAA [word] W [bit] C1

$$W = 16 \quad X = 51.744 + 2.442 \times B \quad [\mu\text{m}]$$

$$16 < W \leq 32 \quad X = 54.120 + 2.442 \times B \quad [\mu\text{m}]$$

$$32 < W \leq 64 \quad X = 55.704 + 2.442 \times B \quad [\mu\text{m}]$$

$$64 < W \leq 128 \quad X = 58.872 + 2.442 \times B \quad [\mu\text{m}]$$

$$128 < W \leq 256 \quad X = 61.248 + 2.442 \times B \quad [\mu\text{m}]$$

$$256 < W \leq 512 \quad X = 62.832 + 2.442 \times B \quad [\mu\text{m}]$$

$$Y = 29.832 + 0.281 \times W + 0.792 \times (\text{ROUNDUP} (W/64, 0) - 1) \quad [\mu\text{m}]$$

(2) WDREG110PKA [word] W [bit] C1

$$W = 16 \quad X = 66.792 + 2.442 \times B \quad [\mu\text{m}]$$

$$16 < W \leq 32 \quad X = 69.168 + 2.442 \times B \quad [\mu\text{m}]$$

$$32 < W \leq 64 \quad X = 70.752 + 2.442 \times B \quad [\mu\text{m}]$$

$$64 < W \leq 128 \quad X = 73.920 + 2.442 \times B \quad [\mu\text{m}]$$

$$128 < W \leq 256 \quad X = 76.296 + 2.442 \times B \quad [\mu\text{m}]$$

$$256 < W \leq 512 \quad X = 77.880 + 2.442 \times B \quad [\mu\text{m}]$$

$$Y = 29.832 + 0.281 \times W + 0.792 \times (\text{ROUNDUP} (W/64, 0) - 1) \quad [\mu\text{m}]$$

(3) WDSRAM110PAA [word] W [bit] C2

$$X = 4.884 \times B + 69.828 \quad [\mu\text{m}]$$

$$Y = 32.472 + 0.140 \times W + 0.792 \times \text{ROUNDUP} ((W/128) - 1, 0) \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

4.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

4.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDR} (\text{Worst}) + I_{DDW} (\text{Worst}) + \text{スタンバイ電流 (Worst)} \quad [\text{mA}]$$

$$I_{DD} (\text{TYP.}) = I_{DDR} (\text{TYP.}) + I_{DDW} (\text{TYP.}) + \text{スタンバイ電流 (TYP.)} \quad [\text{mA}]$$

上記の式のうち I_{DDR}, I_{DDW} は次の式で求められます。

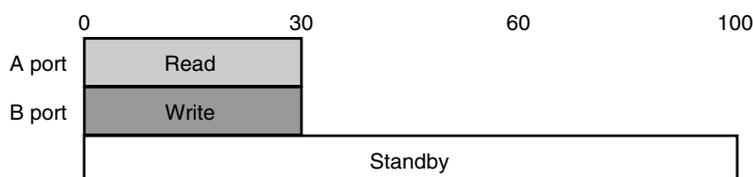
なお、表中の記号は次のとおりです。

B: ビット数	f _R : リード動作周波数 (MHz)	N: アドレス本数 N = log ₂ W
W: ワード数	f _W : ライト動作周波数 (MHz)	(小数点以下切り上げ)
C _L : 外部負荷容量 (pF)	A: 動作率 ^註 (100% = 1)	

注 この動作率とは、RAM の全動作期間 (リード、ライト、スタンバイ、マクロ・オフ) に対して、リードおよびライト動作が占める割合です。

マルチ・ポートの場合は、それぞれのポートごとにリードおよびライト動作率を計算式に反映してください。

例 RAM の全動作期間においてリード 30%、ライト 30% の場合、動作率はリード 0.3、ライト 0.3 になります。



4.6.1 通常モード時の動作消費電流

(1) WDREG110PAA [word] W [bit] C1

動作	ポート	条件	計算式 (mA)	
リード (I _{DDR})	A	W 128	Worst	$(1.110 \times 10^{-6} \times W + 1.737 \times 10^{-4} \times B + 1.592 \times 10^{-7} \times W \times B + 1.116 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(8.819 \times 10^{-7} \times W + 1.269 \times 10^{-4} \times B + 1.349 \times 10^{-7} \times W \times B + 7.807 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
		128 < W 256	Worst	$(1.129 \times 10^{-6} \times W + 1.945 \times 10^{-4} \times B + 8.970 \times 10^{-8} \times W \times B + 1.180 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(8.456 \times 10^{-7} \times W + 1.453 \times 10^{-4} \times B + 6.053 \times 10^{-8} \times W \times B + 8.340 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
		256 < W 384	Worst	$(1.267 \times 10^{-6} \times W + 2.178 \times 10^{-4} \times B + 5.405 \times 10^{-8} \times W \times B + 1.133 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(9.174 \times 10^{-7} \times W + 1.645 \times 10^{-4} \times B + 2.882 \times 10^{-8} \times W \times B + 8.076 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
		384 < W 512	Worst	$(8.525 \times 10^{-7} \times W + 2.382 \times 10^{-4} \times B + 4.039 \times 10^{-8} \times W \times B + 1.315 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(6.218 \times 10^{-7} \times W + 1.783 \times 10^{-4} \times B + 2.245 \times 10^{-8} \times W \times B + 9.360 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
ライト (I _{DDW})	B	W 128	Worst	$(1.127 \times 10^{-6} \times W + 1.637 \times 10^{-4} \times B + 1.864 \times 10^{-7} \times W \times B + 8.916 \times 10^{-4}) \times f_{W} \times A$
			TYP.	$(8.953 \times 10^{-7} \times W + 1.160 \times 10^{-4} \times B + 1.684 \times 10^{-7} \times W \times B + 6.214 \times 10^{-4}) \times f_{W} \times A$
		128 < W 256	Worst	$(1.115 \times 10^{-6} \times W + 1.645 \times 10^{-4} \times B + 2.133 \times 10^{-7} \times W \times B + 9.524 \times 10^{-4}) \times f_{W} \times A$
			TYP.	$(8.387 \times 10^{-7} \times W + 1.182 \times 10^{-4} \times B + 1.765 \times 10^{-7} \times W \times B + 6.675 \times 10^{-4}) \times f_{W} \times A$
		256 < W 384	Worst	$(1.293 \times 10^{-6} \times W + 1.693 \times 10^{-4} \times B + 2.161 \times 10^{-7} \times W \times B + 8.740 \times 10^{-4}) \times f_{W} \times A$
			TYP.	$(9.361 \times 10^{-7} \times W + 1.227 \times 10^{-4} \times B + 1.736 \times 10^{-7} \times W \times B + 6.218 \times 10^{-4}) \times f_{W} \times A$
		384 < W 512	Worst	$(8.194 \times 10^{-7} \times W + 1.723 \times 10^{-4} \times B + 2.194 \times 10^{-7} \times W \times B + 1.060 \times 10^{-3}) \times f_{W} \times A$
			TYP.	$(6.095 \times 10^{-7} \times W + 1.256 \times 10^{-4} \times B + 1.744 \times 10^{-7} \times W \times B + 7.521 \times 10^{-4}) \times f_{W} \times A$

(2) WDREG110PKA [word] W [bit] C1

動作	ポート	条件	計算式 (mA)	
リード (I _{DDR})	A	W 128	Worst	$(1.202 \times 10^{-6} \times W + 1.651 \times 10^{-4} \times B + 1.481 \times 10^{-7} \times W \times B + 1.553 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(9.194 \times 10^{-7} \times W + 1.222 \times 10^{-4} \times B + 1.273 \times 10^{-7} \times W \times B + 1.047 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
		128 < W 256	Worst	$(1.236 \times 10^{-6} \times W + 1.839 \times 10^{-4} \times B + 7.847 \times 10^{-8} \times W \times B + 1.603 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(9.053 \times 10^{-7} \times W + 1.390 \times 10^{-4} \times B + 5.284 \times 10^{-8} \times W \times B + 1.093 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
		256 < W 384	Worst	$(1.329 \times 10^{-6} \times W + 2.031 \times 10^{-4} \times B + 4.693 \times 10^{-8} \times W \times B + 1.562 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(9.486 \times 10^{-7} \times W + 1.531 \times 10^{-4} \times B + 2.951 \times 10^{-8} \times W \times B + 1.070 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
		384 < W 512	Worst	$(9.324 \times 10^{-7} \times W + 2.224 \times 10^{-4} \times B + 3.565 \times 10^{-8} \times W \times B + 1.744 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
			TYP.	$(6.750 \times 10^{-7} \times W + 1.674 \times 10^{-4} \times B + 2.083 \times 10^{-8} \times W \times B + 1.200 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times f_{RX} \times A$
ライト (I _{DDW})	B	W 128	Worst	$(1.102 \times 10^{-6} \times W + 1.672 \times 10^{-4} \times B + 1.799 \times 10^{-7} \times W \times B + 1.236 \times 10^{-3}) \times f_{W} \times A$
			TYP.	$(8.581 \times 10^{-7} \times W + 1.184 \times 10^{-4} \times B + 1.694 \times 10^{-7} \times W \times B + 7.968 \times 10^{-4}) \times f_{W} \times A$
		128 < W 256	Worst	$(9.236 \times 10^{-7} \times W + 1.677 \times 10^{-4} \times B + 2.108 \times 10^{-7} \times W \times B + 1.266 \times 10^{-3}) \times f_{W} \times A$
			TYP.	$(6.431 \times 10^{-7} \times W + 1.205 \times 10^{-4} \times B + 1.788 \times 10^{-7} \times W \times B + 8.364 \times 10^{-4}) \times f_{W} \times A$
		256 < W 384	Worst	$(9.326 \times 10^{-7} \times W + 1.708 \times 10^{-4} \times B + 2.189 \times 10^{-7} \times W \times B + 1.286 \times 10^{-3}) \times f_{W} \times A$
			TYP.	$(6.771 \times 10^{-7} \times W + 1.248 \times 10^{-4} \times B + 1.766 \times 10^{-7} \times W \times B + 8.427 \times 10^{-4}) \times f_{W} \times A$
		384 < W 512	Worst	$(9.076 \times 10^{-7} \times W + 1.743 \times 10^{-4} \times B + 2.210 \times 10^{-7} \times W \times B + 1.297 \times 10^{-3}) \times f_{W} \times A$
			TYP.	$(6.745 \times 10^{-7} \times W + 1.286 \times 10^{-4} \times B + 1.751 \times 10^{-7} \times W \times B + 8.514 \times 10^{-4}) \times f_{W} \times A$

(3) WDSRAM110PAA [word] W [bit] C2

動作	ポート	条件	計算式 (mA)	
リード (I _{DDR})	A	W 256	Worst	$(2.999 \times 10^{-4} \times B + 5.399 \times 10^{-8} \times W \times B + 1.412 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times fr \times A$
			TYP.	$(2.278 \times 10^{-4} \times B + 4.734 \times 10^{-8} \times W \times B + 9.721 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times fr \times A$
		W 512	Worst	$(3.181 \times 10^{-4} \times B + 2.846 \times 10^{-8} \times W \times B + 1.470 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times fr \times A$
			TYP.	$(2.434 \times 10^{-4} \times B + 1.921 \times 10^{-8} \times W \times B + 1.013 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times fr \times A$
		W 1024	Worst	$(3.505 \times 10^{-4} \times B + 1.408 \times 10^{-8} \times W \times B + 1.577 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times fr \times A$
			TYP.	$(2.663 \times 10^{-4} \times B + 9.490 \times 10^{-8} \times W \times B + 1.087 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times fr \times A$
ライト (I _{DDW})	B	W 256	Worst	$(2.824 \times 10^{-4} \times B + 1.009 \times 10^{-7} \times W \times B + 1.281 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times fw \times A$
			TYP.	$(2.097 \times 10^{-4} \times B + 8.535 \times 10^{-8} \times W \times B + 8.939 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times fw \times A$
		W 512	Worst	$(2.905 \times 10^{-4} \times B + 1.095 \times 10^{-7} \times W \times B + 1.335 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times fw \times A$
			TYP.	$(2.162 \times 10^{-4} \times B + 8.836 \times 10^{-8} \times W \times B + 9.361 \times 10^{-4} + 2.75 \times 10^{-4} \times CL \times B) \times fw \times A$
		W 1024	Worst	$(3.103 \times 10^{-4} \times B + 1.117 \times 10^{-7} \times W \times B + 1.443 \times 10^{-3} + 3.00 \times 10^{-4} \times CL \times B) \times fw \times A$
			TYP.	$(2.299 \times 10^{-4} \times B + 9.041 \times 10^{-8} \times W \times B + 1.006 \times 10^{-3} + 2.75 \times 10^{-4} \times CL \times B) \times fw \times A$

4.6.2 スタンバイ・モード時の動作消費電流

(1) WDREG110PAA [word] W [bit] C1

条件	計算式 (mA)
Worst	$1.286 \times 10^{-3} \times W + 1.571 \times 10^{-3} \times B + 1.180 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$8.826 \times 10^{-6} \times W + 1.108 \times 10^{-5} \times B + 1.079 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

(2) WDREG110PKA [word] W [bit] C1

条件	計算式 (mA)
Worst	$3.117 \times 10^{-3} \times W + 1.462 \times 10^{-3} \times B + 1.285 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$2.897 \times 10^{-5} \times W + 1.151 \times 10^{-5} \times B + 1.456 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

(3) WDSRAM110PAA [word] W [bit] C2

条件	計算式 (mA)
Worst	$1.222 \times 10^{-3} \times W + 5.204 \times 10^{-3} \times B + 1.279 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$8.869 \times 10^{-6} \times W + 5.568 \times 10^{-5} \times B + 9.004 \times 10^{-4} + 2.190 \times 10^{-7} \times W \times B$

備考 1. リード: CENA = 0

ライト: CENB = 0

(1) スタンバイ状態とは、全入力 (CLK 含む) が固定されている状態です。

(2) アドレス/データが固定でも、CENA = 0 または CENB = 0、かつ CLK が入力される状態の電流は、動作電流 (リード/ライト時) と同等になります。

(3) CENA/CENB = 1 であれば、CLK が入力されていても、スタンバイとほぼ同等の電流に抑えることができます。

2. 消費電流を計算する際の条件は次のとおりです。T_J は、ジャンクション温度です。Worst: V_{DD} = 1.2V, Process = fast, T_J = 125 °CTYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C

4.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量 (pF)

動作条件

条 件	プロセス	電源電圧	周囲温度 (T _A)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- t_{wc}: ライト・ポート用 CLK_B (TCLK_B) の最小周期
(これ以上の周期でなければ、メモリは正常に動作しません)
- t_{rc}: リード・ポート用 CLK_A (TCLK_A) の最小周期
(これ以上の周期でなければメモリは正常に動作しません)
- t_{acc}: CLK_B (TCLK_B) の立ち上がり後に Q 出力にデータが出力されるまでの時間
- t_{oh}: リード・アクセス時に前のデータが保持される時間
- t_{ckh}: CLK_{A/B} (TCLK_{A/B}) のハイ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{ckl}: CLK_{A/B} (TCLK_{A/B}) のロウ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{as}: アドレスのセットアップ時間 (CLK_{A/B} (TCLK_{A/B}) の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間)
- t_{ah}: アドレスのホールド時間 (CLK_{A/B} (TCLK_{A/B}) の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間)
- t_{dis}: データのセットアップ時間 (CLK_B (TCLK_B) の立ち上がりに対して、この時間以上前にデータが決まっていなければならない時間)
- t_{dih}: データのホールド時間
(CLK_B (TCLK_B) の立ち上がりに対して、この時間以上データが保持されなければならない時間)
- t_{cs}: チップ・イネーブルのセットアップ時間 (CLK_{A/B} (TCLK_{A/B}) の立ち上がりに対して、この時間以上前に CEN_{A/B} が入力されなければならない時間)
- t_{ch}: チップ・イネーブルのホールド時間 (CLK_{A/B} (TCLK_{A/B}) の立ち上がりに対して、この時間以上 CEN_{A/B} が保持されなければならない時間)

(1) WDREG110PAA [word] W [bit] C1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
リード・サイクル・タイム	t_{rc}	MAX1	W 128	2.594	ns
			128 < W 256	$1.317 \times 10^{-4} \times B + 2.873$	ns
			256 < W 384	3.167	ns
			384 < W 512	3.457	ns
		MAX2	W 128	2.678	ns
			128 < W 256	2.956	ns
			256 < W 384	$1.223 \times 10^{-4} \times B + 3.248$	ns
			384 < W 512	3.532	ns
ライト・サイクル・タイム	t_{wc}	MAX1	W 128	2.565	ns
			128 < W 256	2.717	ns
			256 < W 384	2.918	ns
			384 < W 512	$6.398 \times 10^{-4} \times B + 3.075$	ns
		MAX2	W 128	2.641	ns
			128 < W 256	2.804	ns
			256 < W 384	2.996	ns
			384 < W 512	3.158	ns
アクセス・タイム	t_{acc}	MAX1	W 128	$1.754 \times 10^{-3} \times B + 1.704 + 2.273 \times C_L$	ns
			128 < W 256	$1.750 \times 10^{-3} \times B + 1.969 + 2.273 \times C_L$	ns
			256 < W 384	$1.760 \times 10^{-3} \times B + 2.249 + 2.273 \times C_L$	ns
			384 < W 512	$1.750 \times 10^{-3} \times B + 2.526 + 2.273 \times C_L$	ns
		MAX2	W 128	$1.655 \times 10^{-3} \times B + 1.755 + 2.368 \times C_L$	ns
			128 < W 256	$1.651 \times 10^{-3} \times B + 2.013 + 2.368 \times C_L$	ns
			256 < W 384	$1.688 \times 10^{-3} \times B + 2.288 + 2.368 \times C_L$	ns
			384 < W 512	$1.647 \times 10^{-3} \times B + 2.563 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{oH}	MIN1	W 128	$3.021 \times 10^{-4} \times B + 4.512 \times 10^{-1}$	ns
			128 < W 256	$3.079 \times 10^{-4} \times B + 5.244 \times 10^{-1}$	ns
			256 < W 384	$3.079 \times 10^{-4} \times B + 6.017 \times 10^{-1}$	ns
			384 < W 512	$3.065 \times 10^{-4} \times B + 6.770 \times 10^{-1}$	ns
		MIN2	W 128	$3.020 \times 10^{-4} \times B + 5.038 \times 10^{-1}$	ns
			128 < W 256	$3.150 \times 10^{-4} \times B + 5.881 \times 10^{-1}$	ns
			256 < W 384	$3.129 \times 10^{-4} \times B + 6.765 \times 10^{-1}$	ns
			384 < W 512	$3.073 \times 10^{-4} \times B + 7.623 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{cKH}	MAX1	0.502	ns	
		MAX2	0.469	ns	
CLK ロウ・レベル・タイム	t_{cKL}	MAX1	0.528	ns	
		MAX2	0.551	ns	
リード・アドレス・セットアップ・タイム	t_{aS}	MAX1	$2.277 \times 10^{-4} \times W + 4.977 \times 10^{-1}$	ns	
		MAX2	$2.443 \times 10^{-4} \times W + 5.103 \times 10^{-1}$	ns	
リード・アドレス・ホールド・タイム	t_{aH}	MAX1	0.363	ns	
		MAX2	0.361	ns	
ライト・データ・セットアップ・タイム	t_{dIS}	MAX1	$-6.015 \times 10^{-6} \times W - 1.477 \times 10^{-3} \times B + 4.445 \times 10^{-1}$	ns	
		MAX2	$-7.423 \times 10^{-6} \times W - 1.559 \times 10^{-3} \times B + 4.775 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{dIH}	MAX1	$6.018 \times 10^{-6} \times W + 2.014 \times 10^{-3} \times B + 2.824 \times 10^{-1}$	ns	
		MAX2	$4.307 \times 10^{-6} \times W + 1.823 \times 10^{-3} \times B + 2.849 \times 10^{-1}$	ns	
CENA/CENB セットアップ・タイム	t_{cS}	MAX1	0.512	ns	
		MAX2	0.531	ns	
CENA/CENB ホールド・タイム	t_{cH}	MAX1	0.374	ns	
		MAX2	0.379	ns	

(2) WDREG110PKA [word] W [bit] C1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
リード・サイクル・タイム	t _{RC}	MAX1	W 128	2.576	ns
			128 < W 256	2.825	ns
			256 < W 384	3.170	ns
			384 < W 512	3.386	ns
		MAX2	W 128	2.676	ns
			128 < W 256	2.918	ns
			256 < W 384	3.261	ns
			384 < W 512	3.479	ns
ライト・サイクル・タイム	t _{WC}	MAX1	W 128	2.756	ns
			128 < W 256	2.948	ns
			256 < W 384	3.150	ns
			384 < W 512	3.321	ns
		MAX2	W 128	2.866	ns
			128 < W 256	3.043	ns
			256 < W 384	3.248	ns
			384 < W 512	3.420	ns
アクセス・タイム	t _{ACC}	MAX1	W 128	$8.962 \times 10^{-4} \times B + 1.560 + 1.905 \times C_L$	ns
			128 < W 256	$9.292 \times 10^{-4} \times B + 1.785 + 1.905 \times C_L$	ns
			256 < W 384	$9.128 \times 10^{-4} \times B + 2.113 + 1.905 \times C_L$	ns
			384 < W 512	$9.237 \times 10^{-4} \times B + 2.323 + 1.905 \times C_L$	ns
		MAX2	W 128	$8.617 \times 10^{-4} \times B + 1.607 + 1.948 \times C_L$	ns
			128 < W 256	$8.436 \times 10^{-4} \times B + 1.833 + 1.948 \times C_L$	ns
			256 < W 384	$8.570 \times 10^{-4} \times B + 2.154 + 1.948 \times C_L$	ns
			384 < W 512	$8.729 \times 10^{-4} \times B + 2.356 + 1.948 \times C_L$	ns
出力ホールド・タイム	t _{OH}	MIN1	W 128	$1.279 \times 10^{-4} \times B + 3.283 \times 10^{-1}$	ns
			128 < W 256	$1.346 \times 10^{-4} \times B + 3.789 \times 10^{-1}$	ns
			256 < W 384	$1.351 \times 10^{-4} \times B + 4.419 \times 10^{-1}$	ns
			384 < W 512	$1.346 \times 10^{-4} \times B + 4.949 \times 10^{-1}$	ns
		MIN2	W 128	$1.293 \times 10^{-4} \times B + 3.611 \times 10^{-1}$	ns
			128 < W 256	$1.374 \times 10^{-4} \times B + 4.190 \times 10^{-1}$	ns
			256 < W 384	$1.348 \times 10^{-4} \times B + 4.985 \times 10^{-1}$	ns
			384 < W 512	$1.364 \times 10^{-4} \times B + 5.491 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.557	ns	
		MAX2	0.514	ns	
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.581	ns	
		MAX2	0.609	ns	
リード・アドレス・セットアップ・タイム	t _{AS}	MAX1	$2.160 \times 10^{-4} \times W + 5.471 \times 10^{-1}$	ns	
		MAX2	$2.111 \times 10^{-4} \times W + 5.617 \times 10^{-1}$	ns	
リード・アドレス・ホールド・タイム	t _{AH}	MAX1	0.340	ns	
		MAX2	0.338	ns	
ライト・データ・セットアップ・タイム	t _{DIS}	MAX1	$7.148 \times 10^{-6} \times W - 7.300 \times 10^{-4} \times B + 5.174 \times 10^{-1}$	ns	
		MAX2	$7.172 \times 10^{-6} \times W - 7.011 \times 10^{-4} \times B + 5.522 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t _{DIH}	MAX1	$4.302 \times 10^{-6} \times W + 8.727 \times 10^{-4} \times B + 2.948 \times 10^{-1}$	ns	
		MAX2	$7.947 \times 10^{-4} \times B + 2.899 \times 10^{-1}$	ns	
CENA/CENB セットアップ・タイム	t _{CS}	MAX1	0.507	ns	
		MAX2	0.532	ns	
CENA/CENB ホールド・タイム	t _{CH}	MAX1	0.358	ns	
		MAX2	0.368	ns	

(3) WDSRAM110PAA [word] W [bit] C2

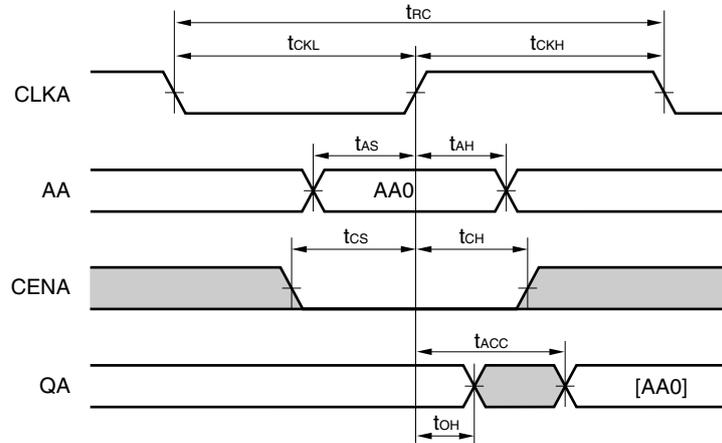
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
リード・サイクル・タイム	t_{RC}	MAX1	W 256	$4.771 \times 10^{-5} \times B + 2.245$	ns
			256 < W 512	2.345	ns
			512 < W 1024	$2.734 \times 10^{-5} \times B + 2.543$	ns
		MAX2	W 256	$4.383 \times 10^{-5} \times B + 2.315$	ns
			256 < W 512	2.415	ns
			512 < W 1024	$3.582 \times 10^{-5} \times B + 2.616$	ns
ライト・サイクル・タイム	t_{WC}	MAX1	W 256	2.365	ns
			256 < W 512	2.476	ns
			512 < W 1024	2.697	ns
		MAX2	W 256	2.469	ns
			256 < W 512	2.578	ns
			512 < W 1024	2.796	ns
アクセス・タイム	t_{ACC}	MAX1	W 256	$8.968 \times 10^{-4} \times B + 1.762 + 2.273 \times C_L$	ns
			256 < W 512	$9.017 \times 10^{-4} \times B + 1.867 + 2.273 \times C_L$	ns
			512 < W 1024	$8.982 \times 10^{-4} \times B + 2.075 + 2.273 \times C_L$	ns
		MAX2	W 256	$8.258 \times 10^{-4} \times B + 1.838 + 2.368 \times C_L$	ns
			256 < W 512	$8.211 \times 10^{-4} \times B + 1.941 + 2.368 \times C_L$	ns
			512 < W 1024	$8.245 \times 10^{-4} \times B + 2.147 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 256	$1.483 \times 10^{-4} \times B + 4.474 \times 10^{-1}$	ns
			256 < W 512	$1.499 \times 10^{-4} \times B + 4.766 \times 10^{-1}$	ns
			512 < W 1024	$1.483 \times 10^{-4} \times B + 5.344 \times 10^{-1}$	ns
		MIN2	W 256	$1.505 \times 10^{-4} \times B + 4.961 \times 10^{-1}$	ns
			256 < W 512	$1.529 \times 10^{-4} \times B + 5.291 \times 10^{-1}$	ns
			512 < W 1024	$1.515 \times 10^{-4} \times B + 5.950 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.338	ns	
		MAX2	0.344	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.556	ns	
		MAX2	0.585	ns	
リード・アドレス・セットアップ・タイム	t_{AS}	MAX1	$2.647 \times 10^{-5} \times W + 4.773 \times 10^{-1}$	ns	
		MAX2	$2.350 \times 10^{-5} \times W + 5.020 \times 10^{-1}$	ns	
リード・アドレス・ホールド・タイム	t_{AH}	MAX1	0.338	ns	
		MAX2	0.347	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-1.026 \times 10^{-3} \times B + 4.260 \times 10^{-1}$	ns	
		MAX2	$-1.086 \times 10^{-3} \times B + 4.448 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$1.385 \times 10^{-3} \times B + 2.566 \times 10^{-1}$	ns	
		MAX2	$1.336 \times 10^{-3} \times B + 2.658 \times 10^{-1}$	ns	
CENA/CENB セットアップ・タイム	t_{CS}	MAX1	0.348	ns	
		MAX2	0.370	ns	
CENA/CENB ホールド・タイム	t_{CH}	MAX1	0.244	ns	
		MAX2	0.252	ns	

4.8 タイミング・チャート

注意 タイミング・エラーが発生すると、メモリ中のデータは破壊されます。

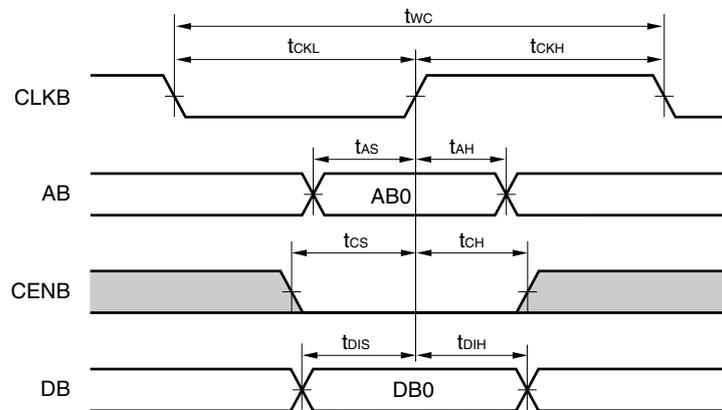
(1) リード・オペレーション



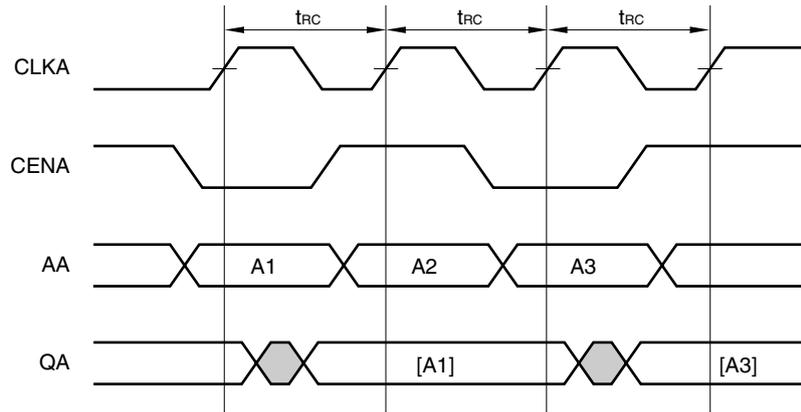
[AAx]: アドレス AAx 内のデータを示します。

同一アドレスに連続してアクセスする場合は、上記 t_{OH} 後の不定は出力されません。

(2) ライト・オペレーション

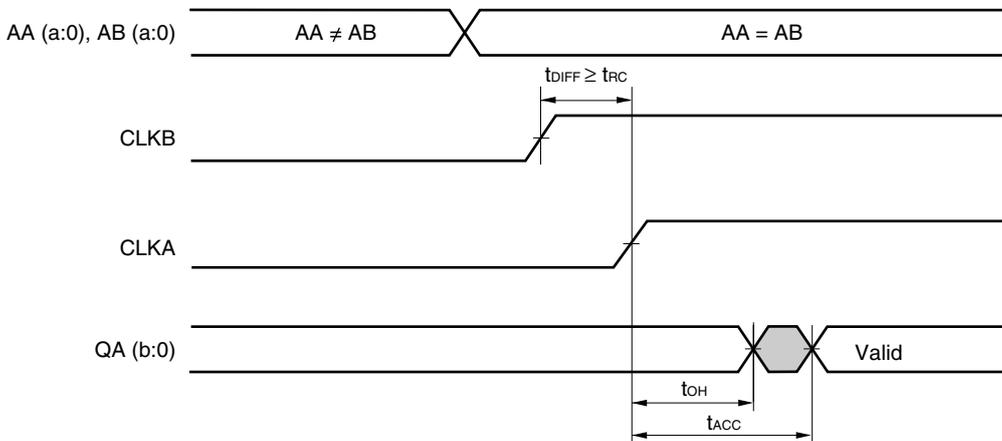


(3) アクティブ, 非アクティブ・オペレーション



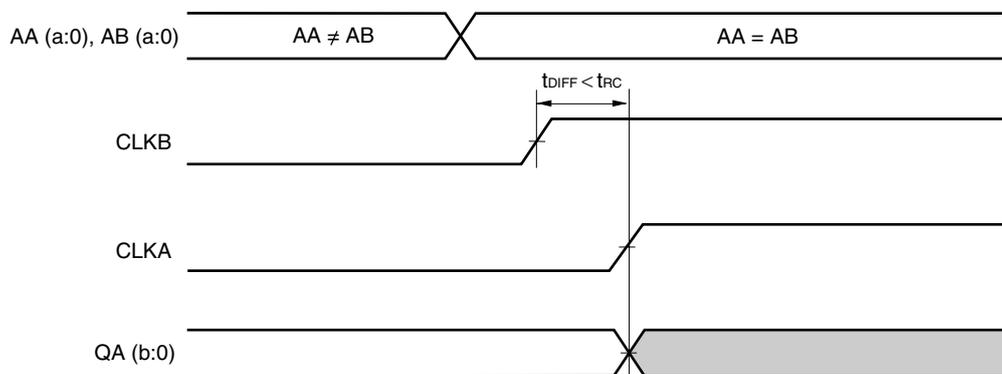
4.9 リード・ポート, ライト・ポート間の動作タイミング制約

- (1) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く,
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} と同じかまたは長い場合
 (同一アドレス同時アクセスではない)



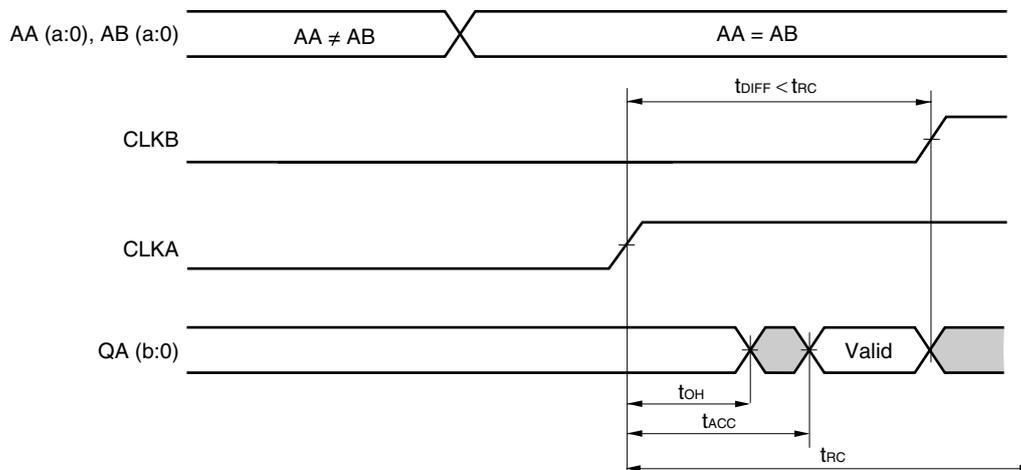
ライト・オペレーションは, 正常に行われます。
 QA の出力データは, B ポートに書き込まれたあとのデータが出力されます。

- (2) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く,
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より短い場合
 (同一アドレス同時アクセスとみなす)



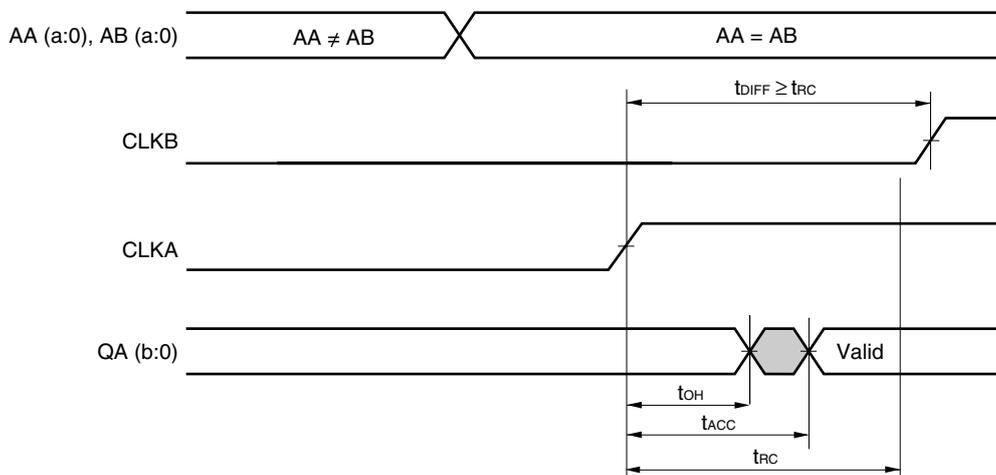
AB(a:0)で指定されたアドレスに “X” が書き込まれます。
 QA の出力データは, 不定です。

- (3) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より短い場合
(同一アドレス同時アクセスとみなす)



AB(a:0)で指定されたアドレスに“X”が書き込まれます。
QA の出力データは、不定です。

- (4) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より長い場合
(同一アドレス同時アクセスではない)



ライト・オペレーションは、正常に行われます。
QA の出力データは、B ポートに書き込まれる前のデータが出力されます。

第5章 同期式 2 ポート (1R+1W) Bit Write 機能付き RAM

5.1 概 要

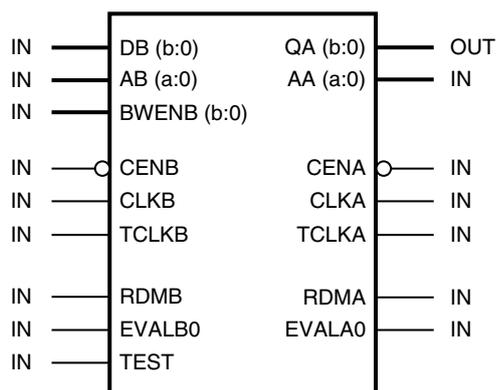
- リード・ポート+ライト・ポート型 2 ポート RAM
- フリー・サイズ・メモリ
 - メモリ・コンパイラにより高効率マクロ配置を実現
 - ビット数：2~146 ビット
 - ワード数：16~1024 ワード
- 動作電圧：1.1 ±0.1 V
- 動作周囲温度：-40 ~ +85 °C

5.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
2	16 ワード×2 ビット	512 ワード×74 ビット	8 ワード/2 ビット	WDREG110PAA [word] W [bit] C1B1
2	16 ワード×4 ビット	512 ワード×146 ビット	8 ワード/2 ビット	WDREG110PKA [word] W [bit] C1B1
4	128 ワード×2 ビット	1024 ワード×74 ビット	32 ワード/1 ビット	WDSRAM110PAA [word] W [bit] C2B1

- 例 256 ワード， 32 ビット C1B1 タイプの場合： WDREG110PAA256W32C1B1
 256 ワード， 64 ビット C1B1 タイプの場合： WDREG110PKA256W64C1B1
 256 ワード， 32 ビット C2B1 タイプの場合： WDSRAM110PAA256W32C2B1

5.1.2 シンボル図



備考 1. “a” = (アドレス本数) - 1

ただし, 3 a 8 (WDREG110PAA [word] W [bit] C1B1, WDREG110PKA [word] W [bit] C1B1)

6 a 9 (WDSRAM110PAA [word] W [bit] C2B1)

(アドレス本数) = \log_2 (ワード数) 小数点以下切り上げです。

“b” = (ビット数) - 1

ただし, 1 b 73 (WDREG110PAA [word] W [bit] C1B1, WDSRAM110PAA [word] W [bit] C2B1)

3 b 145 (WDREG110PKA [word] W [bit] C1B1)

2. TCLKA, TCLKB, TEST, EVALA0, EVALB0, RDMA, RDMB 端子は, 弊社が提供するラッパ回路により 0 に固定されます。

5.1.3 端子容量

(1) WDREG110PAA [word] W [bit] C1B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DB (b : 0)	0.0015	QA (b : 0)	0.1390
AA (a : 0)	0.0018		
AB (a : 0)			
CENA CENB	0.0017		
BWENB (b : 0)	0.0014		
CLKA CLKB	0.0023		
TEST	0.0039		
TCLKA TCLKB	0.0023		
EVALA0	0.0031		
EVALB0	0.0030		
RDMA	0.0017		
RDMB	0.0018		

(2) WDSRAM110PKA [word] W [bit] C2B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DB (b : 0)	0.0017	QA (b : 0)	0.1598
AA (a : 0)	0.0019		
AB (a : 0)			
CENA CENB	0.0018		
BWENB (b : 0)	0.0015		
CLKA CLKB	0.0024		
TEST	0.0029		
TCLKA	0.0025		
TCLKB	0.0024		
EVALA0	0.0030		
EVALB0			
RDMA	0.0018		
RDMB			

(3) WDSRAM110PAA [word] W [bit] C2B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DB (b : 0)	0.0015	QA (b : 0)	0.1390
AA (a : 0)	0.0018		
AB (a : 0)			
CENA CENB	0.0017		
BWENB (b : 0)	0.0014		
CLKA CLKB	0.0023		
TEST	0.0039		
TCLKA TCLKB	0.0023		
EVALA0	0.0031		
EVALB0	0.0030		
RDMA	0.0017		
RDMB	0.0018		

5.2 端子機能一覧

端子名	ポート	属性	モード	機能
QA (b : 0)	A (リード)	出力	ノーマル	データ出力
AA (a : 0)		入力	ノーマル	アドレス入力
CLKA		入力	ノーマル	クロック入力 (ノーマル・モード時)
CENA [※]		入力	ノーマル	チップ・セレクト入力 (アクティブ・ロウ) CENA = 0 : 動作モード CENA = 1 : 非動作モード
TCLKA		入力	テスト	クロック入力 (テスト用)
EVALA0		入力	テスト	テスト端子 EVALA0 = 0 : ノーマル・モード EVALA0 = 1 : テスト・モード
RDMA		入力	テスト	テスト端子 RDMA = 0 : ノーマル・モード RDMA = 1 : テスト・モード
DB (b : 0)	B (ライト)	入力	ノーマル	データ入力
AB (a : 0)		入力	ノーマル	アドレス入力
CLKB		入力	ノーマル	クロック入力 (ノーマル・モード時)
CENB [※]		入力	ノーマル	チップ・セレクト入力 (アクティブ・ロウ) CENB = 0 : 動作モード CENB = 1 : 非動作モード
BWENB (b : 0)		入力	ノーマル	ライト・イネーブル入力 (アクティブ・ロウ) BWENB = 0 : ライト動作 BWENB = 1 : ライト・マスク動作
TCLKB		入力	テスト	クロック入力 (テスト用)
EVALB0		入力	テスト	テスト端子 EVALB0 = 0 : ノーマル・モード EVALB0 = 1 : テスト・モード
RDMB		入力	テスト	テスト端子 RDMB = 0 : ノーマル・モード RDMB = 1 : テスト・モード
TEST		入力	テスト	テスト・モード設定

注 CENA または CENB を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLKA または CLKB を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CENA または CENB を制御してください。

5.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

X: ハイ・インピーダンスを含まない不定 AAx: 任意データ

XZ: ハイ・インピーダンスを含む不定 ABx: 任意データ

DBx: 入力データ

[AAx]: メモリ内データ (アドレス AAx 内のデータを示します。)

(1) モード設定

TEST	RDMA	RDMB	EVALA0	EVALB0	QA	モード	動作
0	0	0	有効	有効	有効	ノーマル	ノーマル・モード
0	1	0	有効	有効	有効	ノーマル	Aポート: ノーマル・モード Bポート: ディスエーブル
0	0	1	有効	有効	前データ	ノーマル	Aポート: ディスエーブル Bポート: ノーマル・モード
1	0	0	有効	有効	有効	テスト	テスト・モード
1	1	0	有効	有効	有効	テスト	Aポート: テスト・モード Bポート: ディスエーブル
1	0	1	有効	有効	前データ	テスト	Aポート: ディスエーブル Bポート: テスト・モード
X, Z	ALL	ALL	ALL	ALL	X	不定	全アドレス・データ不定
ALL	X, Z	ALL	ALL	ALL	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	X, Z	ALL	ALL	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	X, Z	ALL	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	ALL	X, Z	X	ノーマルかテスト	全アドレス・データ不定
有効	1	1	有効	有効	前データ	ノーマルかテスト	マクロ・ディスエーブル

(2) Aポート: リード

CENA	CLKA	AA (a: 0)	QA (b: 0)	動作
0	↑	AAx	[AAx]	リード
0	固定	X	前データ	スタンバイ
1	↑	X	前データ	Aポート・オフ

(3) Bポート: ライト

CENB	CLKB	BWENB (b: 0)	AB (a: 0)	DB (b: 0)	動作
0	↑	0	ABx	DBx	ライト
0	↑	1	ABx	DBx	ライト・マスク
0	固定	X	X	X	スタンバイ
1	↑	ALL	X	X	Bポート・オフ

(4) A ポート, B ポート同時アクセス

(AA ≠ AB)

CENA	CLKA (TCLKA)	CENB	CLKB (TCKLB)	AA (a:0)	AB (a:0)	QA	DB (b:0)	メモリ内	動作
0	↑	0	↑	AAx	ABx	[AAx]	Dx	[ABx] = Dx	A ポート: リード B ポート: ライト

(AA = AB)

CENA	CLKA (TCLKA)	CENB	CLKB (TCKLB)	AA (a:0)	AB (a:0)	QA	DB (b:0)	メモリ内	動作
0	↑	0	↑	Ax	Ax	X	Dx	X	A ポート: "X" リード B ポート: "X" ライト

(5) テスト・モード・ファンクション

EVALA0/EVALB0	動作
0	通常動作モード
1	内部タイミング加速動作モード (テスト用)

5.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W : ワード数

B : ビット数

N : アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

ROUNDUP (a, b) : a を小数点以下 b 桁に切り上げます。

例 W = 240 のときの (ROUNDUP (W/128, 0)

$$\text{ROUNDUP} (240/128, 0) = \text{ROUNDUP} (1.875, 0) = 2$$

(1) WDREG110PAA [word] W [bit] C1B1

W = 16	X = 51.744+2.442 × B	[μm]
16 < W 32	X = 54.120+2.442 × B	[μm]
32 < W 64	X = 55.704+2.442 × B	[μm]
64 < W 128	X = 58.872+2.442 × B	[μm]
128 < W 256	X = 61.248+2.442 × B	[μm]
256 < W 512	X = 62.832+2.442 × B	[μm]

$$Y = 29.832+0.281 \times W+0.792 \times (\text{ROUNDUP} (W/64, 0) - 1) \quad [\mu\text{m}]$$

(2) WDREG110PKA [word] W [bit] C1B1

W = 16	X = 66.792+2.442 × B	[μm]
16 < W 32	X = 69.168+2.442 × B	[μm]
32 < W 64	X = 70.752+2.442 × B	[μm]
64 < W 128	X = 73.920+2.442 × B	[μm]
128 < W 256	X = 76.296+2.442 × B	[μm]
256 < W 512	X = 77.880+2.442 × B	[μm]

$$Y = 29.832+0.281 \times W+0.792 \times (\text{ROUNDUP} (W/64, 0) - 1) \quad [\mu\text{m}]$$

(3) WDSRAM110PAA [word] W [bit] C2B1

$$X = 4.884 \times B+69.828 \quad [\mu\text{m}]$$

$$Y = 32.472+0.140 \times W+0.792 \times \text{ROUNDUP} ((W/128 - 1), 0) \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

5.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

5.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDR} (\text{Worst}) + I_{DDW} (\text{Worst}) + \text{スタンバイ電流 (Worst)} \quad [\text{mA}]$$

$$I_{DD} (\text{TYP.}) = I_{DDR} (\text{TYP.}) + I_{DDW} (\text{TYP.}) + \text{スタンバイ電流 (TYP.)} \quad [\text{mA}]$$

上記の式のうち I_{DDR}, I_{DDW} は次の式で求められます。

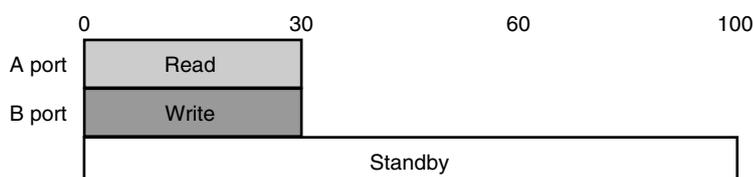
なお、表中の記号は次のとおりです。

B : ビット数	f _R : リード動作周波数 (MHz)	N : アドレス本数 $N = \log_2 W$
W : ワード数	f _W : ライト動作周波数 (MHz)	(小数点以下切り上げ)
C _L : 外部負荷容量 (pF)	A : 動作率 ^注 (100% = 1)	

注 この動作率とは、RAM の全動作期間 (リード、ライト、スタンバイ、マクロ・オフ) に対して、リードおよびライト動作が占める割合です。

マルチ・ポートの場合は、それぞれのポートごとにリードおよびライト動作率を計算式に反映してください。

例 RAM の全動作期間においてリード 30%、ライト 30% の場合、動作率はリード 0.3、ライト 0.3 になります。



5.6.1 通常モード時の動作消費電流

(1) WDREG110PAA [word] W [bit] C1B1

動作	ポート	条件	計算式 (mA)
リード (I _{DDR})	A	W 128	Worst (1.101×10 ⁻⁶ ×W+1.814×10 ⁻⁴ ×B+1.591×10 ⁻⁷ ×W×B+1.116×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A
			TYP. (8.817×10 ⁻⁷ ×W+1.325×10 ⁻⁴ ×B+1.350×10 ⁻⁷ ×W×B+7.805×10 ⁻⁴ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A
		128 < W 256	Worst (1.129×10 ⁻⁶ ×W+2.021×10 ⁻⁴ ×B+8.970×10 ⁻⁸ ×W×B+1.180×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A
			TYP. (8.456×10 ⁻⁷ ×W+1.509×10 ⁻⁴ ×B+6.053×10 ⁻⁸ ×W×B+8.337×10 ⁻⁴ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A
		256 < W 384	Worst (1.267×10 ⁻⁶ ×W+2.254×10 ⁻⁴ ×B+5.405×10 ⁻⁸ ×W×B+1.133×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A
			TYP. (9.174×10 ⁻⁷ ×W+1.701×10 ⁻⁴ ×B+2.882×10 ⁻⁸ ×W×B+8.084×10 ⁻⁴ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A
384 < W 512	Worst (8.525×10 ⁻⁷ ×W+2.459×10 ⁻⁴ ×B+4.039×10 ⁻⁸ ×W×B+1.314×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A		
	TYP. (6.130×10 ⁻⁷ ×W+1.838×10 ⁻⁴ ×B+2.269×10 ⁻⁸ ×W×B+9.403×10 ⁻⁴ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A		
ライト (I _{DDW})	B	W 128	Worst (1.118×10 ⁻⁶ ×W+1.703×10 ⁻⁴ ×B+1.864×10 ⁻⁷ ×W×B+8.916×10 ⁻⁴)×f _W ×A
			TYP. (8.951×10 ⁻⁷ ×W+1.211×10 ⁻⁴ ×B+1.685×10 ⁻⁷ ×W×B+6.212×10 ⁻⁴)×f _W ×A
		128 < W 256	Worst (1.124×10 ⁻⁶ ×W+1.711×10 ⁻⁴ ×B+2.132×10 ⁻⁷ ×W×B+9.500×10 ⁻⁴)×f _W ×A
			TYP. (8.475×10 ⁻⁷ ×W+1.234×10 ⁻⁴ ×B+1.763×10 ⁻⁷ ×W×B+6.661×10 ⁻⁴)×f _W ×A
		256 < W 384	Worst (1.292×10 ⁻⁶ ×W+1.758×10 ⁻⁴ ×B+2.164×10 ⁻⁷ ×W×B+8.741×10 ⁻⁴)×f _W ×A
			TYP. (9.278×10 ⁻⁷ ×W+1.278×10 ⁻⁴ ×B+1.736×10 ⁻⁷ ×W×B+6.248×10 ⁻⁴)×f _W ×A
384 < W 512	Worst (8.282×10 ⁻⁷ ×W+1.790×10 ⁻⁴ ×B+2.192×10 ⁻⁷ ×W×B+1.055×10 ⁻³)×f _W ×A		
	TYP. (6.178×10 ⁻⁷ ×W+1.307×10 ⁻⁴ ×B+1.744×10 ⁻⁷ ×W×B+7.486×10 ⁻⁴)×f _W ×A		

(2) WDREG110PKA [word] W [bit] C1B1

動作	ポート	条件	計算式 (mA)
リード (I _{DDR})	A	W 128	Worst (1.202×10 ⁻⁶ ×W+1.651×10 ⁻⁴ ×B+1.481×10 ⁻⁷ ×W×B+1.553×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A
			TYP. (9.194×10 ⁻⁷ ×W+1.222×10 ⁻⁴ ×B+1.273×10 ⁻⁷ ×W×B+1.047×10 ⁻³ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A
		128 < W 256	Worst (1.236×10 ⁻⁶ ×W+1.839×10 ⁻⁴ ×B+7.847×10 ⁻⁸ ×W×B+1.603×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A
			TYP. (9.053×10 ⁻⁷ ×W+1.390×10 ⁻⁴ ×B+5.284×10 ⁻⁸ ×W×B+1.093×10 ⁻³ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A
		256 < W 384	Worst (1.329×10 ⁻⁶ ×W+2.031×10 ⁻⁴ ×B+4.693×10 ⁻⁸ ×W×B+1.562×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A
			TYP. (9.486×10 ⁻⁷ ×W+1.531×10 ⁻⁴ ×B+2.951×10 ⁻⁸ ×W×B+1.070×10 ⁻³ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A
384 < W 512	Worst (9.324×10 ⁻⁷ ×W+2.224×10 ⁻⁴ ×B+3.565×10 ⁻⁸ ×W×B+1.744×10 ⁻³ +3.00×10 ⁻⁴ ×CL×B)×f _R ×A		
	TYP. (6.750×10 ⁻⁷ ×W+1.674×10 ⁻⁴ ×B+2.083×10 ⁻⁸ ×W×B+1.200×10 ⁻³ +2.75×10 ⁻⁴ ×CL×B)×f _R ×A		
ライト (I _{DDW})	B	W 128	Worst (1.093×10 ⁻⁶ ×W+1.744×10 ⁻⁴ ×B+1.799×10 ⁻⁷ ×W×B+1.236×10 ⁻³)×f _W ×A
			TYP. (8.581×10 ⁻⁷ ×W+1.240×10 ⁻⁴ ×B+1.694×10 ⁻⁷ ×W×B+7.965×10 ⁻⁴)×f _W ×A
		128 < W 256	Worst (9.146×10 ⁻⁷ ×W+1.749×10 ⁻⁴ ×B+2.109×10 ⁻⁷ ×W×B+1.267×10 ⁻³)×f _W ×A
			TYP. (6.516×10 ⁻⁷ ×W+1.261×10 ⁻⁴ ×B+1.788×10 ⁻⁷ ×W×B+8.349×10 ⁻⁴)×f _W ×A
		256 < W 384	Worst (9.329×10 ⁻⁷ ×W+1.781×10 ⁻⁴ ×B+2.189×10 ⁻⁷ ×W×B+1.286×10 ⁻³)×f _W ×A
			TYP. (6.850×10 ⁻⁷ ×W+1.303×10 ⁻⁴ ×B+1.767×10 ⁻⁷ ×W×B+8.403×10 ⁻⁴)×f _W ×A
384 < W 512	Worst (8.993×10 ⁻⁷ ×W+1.816×10 ⁻⁴ ×B+2.210×10 ⁻⁷ ×W×B+1.301×10 ⁻³)×f _W ×A		
	TYP. (6.836×10 ⁻⁷ ×W+1.343×10 ⁻⁴ ×B+1.749×10 ⁻⁷ ×W×B+8.476×10 ⁻⁴)×f _W ×A		

(3) WDSRAM110PAA [word] W [bit] C2B1

動作	ポート	条 件		計算式 (mA)
リード (I _{DDR})	A	W 256	Worst	$(2.999 \times 10^{-4} \times B + 5.399 \times 10^{-8} \times W \times B + 1.412 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(2.278 \times 10^{-4} \times B + 4.734 \times 10^{-8} \times W \times B + 9.721 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		W 512	Worst	$(3.181 \times 10^{-4} \times B + 2.846 \times 10^{-8} \times W \times B + 1.470 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(2.434 \times 10^{-4} \times B + 1.921 \times 10^{-8} \times W \times B + 1.013 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		W 1024	Worst	$(3.505 \times 10^{-4} \times B + 1.408 \times 10^{-8} \times W \times B + 1.577 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(2.663 \times 10^{-4} \times B + 9.490 \times 10^{-9} \times W \times B + 1.087 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	B	W 256	Worst	$(2.824 \times 10^{-4} \times B + 1.009 \times 10^{-7} \times W \times B + 1.281 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(2.097 \times 10^{-4} \times B + 8.535 \times 10^{-8} \times W \times B + 8.939 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		W 512	Worst	$(2.905 \times 10^{-4} \times B + 1.095 \times 10^{-7} \times W \times B + 1.335 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(2.162 \times 10^{-4} \times B + 8.836 \times 10^{-8} \times W \times B + 9.361 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		W 1024	Worst	$(3.103 \times 10^{-4} \times B + 1.117 \times 10^{-7} \times W \times B + 1.443 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(2.299 \times 10^{-4} \times B + 9.041 \times 10^{-8} \times W \times B + 1.006 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

5.6.2 スタンバイ・モード時の動作消費電流

(1) WDREG110PAA [word] W [bit] C1B1

条 件	計算式 (mA)
Worst	$1.286 \times 10^{-3} \times W + 1.571 \times 10^{-3} \times B + 1.180 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$8.826 \times 10^{-6} \times W + 1.108 \times 10^{-5} \times B + 1.079 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

(2) WDREG110PKA [word] W [bit] C1B1

条 件	計算式 (mA)
Worst	$3.117 \times 10^{-3} \times W + 1.462 \times 10^{-3} \times B + 1.285 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$2.897 \times 10^{-5} \times W + 1.151 \times 10^{-5} \times B + 1.456 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

(3) WDSRAM110PAA [word] W [bit] C2B1

条 件	計算式 (mA)
Worst	$1.222 \times 10^{-3} \times W + 5.204 \times 10^{-3} \times B + 1.279 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$8.869 \times 10^{-6} \times W + 5.568 \times 10^{-5} \times B + 9.004 \times 10^{-4} + 2.190 \times 10^{-7} \times W \times B$

備考 1. リード: CENA = 0

ライト: CENB = 0

- (1) スタンバイ状態とは、全入力 (CLK 含む) が固定されている状態です。
 - (2) アドレス / データが固定でも、CENA = 0 または CENB = 0、かつ CLK が入力される状態の電流は、動作電流 (リード / ライト時) と同等になります。
 - (3) CENA/CENB = 1 であれば、CLK が入力されていても、スタンバイとほぼ同等の電流に抑えることができます。
2. 消費電流を計算する際の条件は次のとおりです。T_Jは、ジャンクション温度です。
 - Worst: V_{DD} = 1.2 V, Process = fast, T_J = 125 °C
 - TYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C
 3. ビット・ライト動作時の消費電流 (I_{DDW/B}) は、ライト・ビット数の比率で計算します。

$$I_{DDW/B} = I_{DDR} \times \{(\text{全ビット数} - \text{ライト・ビット数}) / \text{全ビット数}\} + I_{DDW} \times (\text{ライト・ビット数} / \text{全ビット数})$$

5.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量 (pF)

動作条件

条 件	プロセス	電源電圧	周囲温度 (T _A)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- t_{wc}: ライト・ポート用 CLKB (TCLKB) の最小周期
(これ以上の周期でなければ、メモリは正常に動作しません)
- t_{rc}: リード・ポート用 CLKA (TCLKA) の最小周期
(これ以上の周期でなければメモリは正常に動作しません)
- t_{acc}: CLKB (TCLKB) の立ち上がり後に Q 出力にデータが出力されるまでの時間
- t_{oh}: リード・アクセス時に前のデータが保持される時間
- t_{ckh}: CLKA/B (TCLKA/B) のハイ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{ckl}: CLKA/B (TCLKA/B) のロウ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{as}: アドレスのセットアップ時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間)
- t_{ah}: アドレスのホールド時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間)
- t_{dis}: データのセットアップ時間 (CLKB (TCLKB) の立ち上がりに対して、この時間以上前にデータが決まっていなければならない時間)
- t_{dih}: データのホールド時間
(CLKB (TCLKB) の立ち上がりに対して、この時間以上データが保持されなければならない時間)
- t_{cs}: チップ・イネーブルのセットアップ時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上前に CENA/B が入力されなければならない時間)
- t_{ch}: チップ・イネーブルのホールド時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上 CENA/B が保持されなければならない時間)
- t_{bws}: ライト・イネーブルのセットアップ時間 (CLKB (TCLKB) の立ち上がりに対して、この時間以上前に BWEN が入力されなければならない時間)
- t_{bwh}: ライト・イネーブルのホールド時間 (CLKB (TCLKB) の立ち上がりに対して、この時間以上 BWEN が保持されなければならない時間)

(1) WDREG110PAA [word] W [bit] C1B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件		計算式	単位
リード・サイクル・タイム	trc	MAX1	W 128	2.594	ns
			128 < W 256	$1.317 \times 10^{-4} \times B + 2.873$	ns
			256 < W 384	3.167	ns
			384 < W 512	3.457	ns
		MAX2	W 128	2.678	ns
			128 < W 256	2.956	ns
			256 < W 384	$1.223 \times 10^{-4} \times B + 3.248$	ns
			384 < W 512	3.532	ns
ライト・サイクル・タイム	twc	MAX1	W 128	2.565	ns
			128 < W 256	2.717	ns
			256 < W 384	2.918	ns
			384 < W 512	$6.398 \times 10^{-4} \times B + 3.075$	ns
		MAX2	W 128	2.641	ns
			128 < W 256	2.804	ns
			256 < W 384	2.996	ns
			384 < W 512	3.158	ns
アクセス・タイム	tacc	MAX1	W 128	$1.754 \times 10^{-3} \times B + 1.704 + 2.273 \times C_L$	ns
			128 < W 256	$1.750 \times 10^{-3} \times B + 1.969 + 2.273 \times C_L$	ns
			256 < W 384	$1.760 \times 10^{-3} \times B + 2.249 + 2.273 \times C_L$	ns
			384 < W 512	$1.750 \times 10^{-3} \times B + 2.526 + 2.273 \times C_L$	ns
		MAX2	W 128	$1.655 \times 10^{-3} \times B + 1.755 + 2.368 \times C_L$	ns
			128 < W 256	$1.651 \times 10^{-3} \times B + 2.013 + 2.368 \times C_L$	ns
			256 < W 384	$1.688 \times 10^{-3} \times B + 2.288 + 2.368 \times C_L$	ns
			384 < W 512	$1.647 \times 10^{-3} \times B + 2.563 + 2.368 \times C_L$	ns
出力ホールド・タイム	toH	MIN1	W 128	$3.021 \times 10^{-4} \times B + 4.512 \times 10^{-1}$	ns
			128 < W 256	$3.079 \times 10^{-4} \times B + 5.244 \times 10^{-1}$	ns
			256 < W 384	$3.079 \times 10^{-4} \times B + 6.017 \times 10^{-1}$	ns
			384 < W 512	$3.065 \times 10^{-4} \times B + 6.770 \times 10^{-1}$	ns
		MIN2	W 128	$3.020 \times 10^{-4} \times B + 5.038 \times 10^{-1}$	ns
			128 < W 256	$3.150 \times 10^{-4} \times B + 5.881 \times 10^{-1}$	ns
			256 < W 384	$3.129 \times 10^{-4} \times B + 6.765 \times 10^{-1}$	ns
			384 < W 512	$3.073 \times 10^{-4} \times B + 7.623 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	tckH	MAX1	0.502	ns	
		MAX2	0.469	ns	
CLK ロウ・レベル・タイム	tckL	MAX1	0.528	ns	
		MAX2	0.551	ns	
リード・アドレス・セットアップ・タイム	tas	MAX1	$2.277 \times 10^{-4} \times W + 4.977 \times 10^{-1}$	ns	
		MAX2	$2.443 \times 10^{-4} \times W + 5.103 \times 10^{-1}$	ns	
リード・アドレス・ホールド・タイム	taH	MAX1	0.363	ns	
		MAX2	0.361	ns	
ライト・データ・セットアップ・タイム	tdis	MAX1	$-6.015 \times 10^{-6} \times W - 1.477 \times 10^{-3} \times B + 4.445 \times 10^{-1}$	ns	
		MAX2	$-7.423 \times 10^{-6} \times W - 1.559 \times 10^{-3} \times B + 4.775 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	tdiH	MAX1	$6.018 \times 10^{-6} \times W + 2.014 \times 10^{-3} \times B + 2.824 \times 10^{-1}$	ns	
		MAX2	$4.307 \times 10^{-6} \times W + 1.823 \times 10^{-3} \times B + 2.849 \times 10^{-1}$	ns	
CENA/CENB セットアップ・タイム	tcs	MAX1	0.512	ns	
		MAX2	0.531	ns	
CENA/CENB ホールド・タイム	tch	MAX1	0.374	ns	
		MAX2	0.379	ns	
BWEN セットアップ・タイム	tbws	MAX1	$-5.904 \times 10^{-6} \times W - 1.527 \times 10^{-3} \times B + 4.354 \times 10^{-1}$	ns	
		MAX2	$-4.295 \times 10^{-6} \times W - 1.571 \times 10^{-3} \times B + 4.641 \times 10^{-1}$	ns	
BWEN ホールド・タイム	tbwH	MAX1	$5.887 \times 10^{-6} \times W + 1.943 \times 10^{-3} \times B + 2.898 \times 10^{-1}$	ns	
		MAX2	$4.246 \times 10^{-6} \times W + 1.813 \times 10^{-3} \times B + 2.875 \times 10^{-1}$	ns	

(2) WDREG110PKA [word] W [bit] C1B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
リード・サイクル・タイム	trc	MAX1	W 128	2.576	ns
			128 < W 256	2.825	ns
			256 < W 384	3.170	ns
			384 < W 512	3.386	ns
		MAX2	W 128	2.676	ns
			128 < W 256	2.918	ns
			256 < W 384	3.261	ns
			384 < W 512	3.479	ns
ライト・サイクル・タイム	twc	MAX1	W 128	2.756	ns
			128 < W 256	2.948	ns
			256 < W 384	3.150	ns
			384 < W 512	3.321	ns
		MAX2	W 128	2.866	ns
			128 < W 256	3.043	ns
			256 < W 384	3.248	ns
			384 < W 512	3.420	ns
アクセス・タイム	tacc	MAX1	W 128	$8.962 \times 10^{-4} \times B + 1.560 + 1.905 \times C_L$	ns
			128 < W 256	$9.292 \times 10^{-4} \times B + 1.785 + 1.905 \times C_L$	ns
			256 < W 384	$9.128 \times 10^{-4} \times B + 2.113 + 1.905 \times C_L$	ns
			384 < W 512	$9.237 \times 10^{-4} \times B + 2.323 + 1.905 \times C_L$	ns
		MAX2	W 128	$8.617 \times 10^{-4} \times B + 1.607 + 1.948 \times C_L$	ns
			128 < W 256	$8.436 \times 10^{-4} \times B + 1.833 + 1.948 \times C_L$	ns
			256 < W 384	$8.570 \times 10^{-4} \times B + 2.154 + 1.948 \times C_L$	ns
			384 < W 512	$8.729 \times 10^{-4} \times B + 2.356 + 1.948 \times C_L$	ns
出力ホールド・タイム	toH	MIN1	W 128	$1.279 \times 10^{-4} \times B + 3.283 \times 10^{-1}$	ns
			128 < W 256	$1.346 \times 10^{-4} \times B + 3.789 \times 10^{-1}$	ns
			256 < W 384	$1.351 \times 10^{-4} \times B + 4.419 \times 10^{-1}$	ns
			384 < W 512	$1.346 \times 10^{-4} \times B + 4.949 \times 10^{-1}$	ns
		MIN2	W 128	$1.293 \times 10^{-4} \times B + 3.611 \times 10^{-1}$	ns
			128 < W 256	$1.374 \times 10^{-4} \times B + 4.190 \times 10^{-1}$	ns
			256 < W 384	$1.348 \times 10^{-4} \times B + 4.985 \times 10^{-1}$	ns
			384 < W 512	$1.364 \times 10^{-4} \times B + 5.491 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	tckH	MAX1	0.557	ns	
		MAX2	0.514	ns	
CLK ロウ・レベル・タイム	tckL	MAX1	0.581	ns	
		MAX2	0.609	ns	
リード・アドレス・セットアップ・タイム	tas	MAX1	$2.160 \times 10^{-4} \times W + 5.471 \times 10^{-1}$	ns	
		MAX2	$2.111 \times 10^{-4} \times W + 5.617 \times 10^{-1}$	ns	
リード・アドレス・ホールド・タイム	tAH	MAX1	0.340	ns	
		MAX2	0.338	ns	
ライト・データ・セットアップ・タイム	tdis	MAX1	$7.148 \times 10^{-6} \times W - 7.300 \times 10^{-4} \times B + 5.174 \times 10^{-1}$	ns	
		MAX2	$7.172 \times 10^{-6} \times W - 7.011 \times 10^{-4} \times B + 5.522 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	tdiH	MAX1	$4.302 \times 10^{-6} \times W + 8.727 \times 10^{-4} \times B + 2.948 \times 10^{-1}$	ns	
		MAX2	$7.947 \times 10^{-4} \times B + 2.899 \times 10^{-1}$	ns	
CENA/CENB セットアップ・タイム	tcs	MAX1	0.507	ns	
		MAX2	0.532	ns	
CENA/CENB ホールド・タイム	tch	MAX1	0.358	ns	
		MAX2	0.368	ns	
BWEN セットアップ・タイム	tbws	MAX1	$8.550 \times 10^{-6} \times W - 7.333 \times 10^{-4} \times B + 5.116 \times 10^{-1}$	ns	
		MAX2	$7.193 \times 10^{-6} \times W - 7.093 \times 10^{-4} \times B + 5.439 \times 10^{-1}$	ns	
BWEN ホールド・タイム	tbwH	MAX1	$8.788 \times 10^{-4} \times B + 2.969 \times 10^{-1}$	ns	
		MAX2	$8.127 \times 10^{-4} \times B + 2.894 \times 10^{-1}$	ns	

(3) WDSRAM110PAA [word] W [bit] C2B1

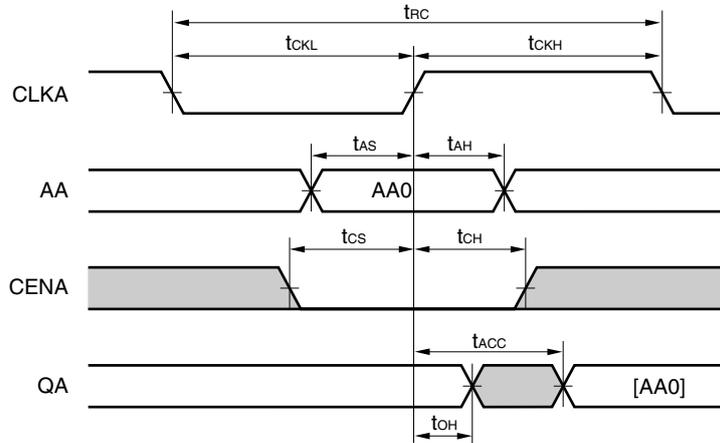
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位
リード・サイクル・タイム	t_{RC}	MAX1	W 256	$4.771 \times 10^{-5} \times B + 2.245$	ns
			256 < W 512	2.345	ns
			512 < W 1024	$2.734 \times 10^{-5} \times B + 2.543$	ns
		MAX2	W 256	$4.383 \times 10^{-5} \times B + 2.315$	ns
			256 < W 512	2.415	ns
			512 < W 1024	$3.582 \times 10^{-5} \times B + 2.616$	ns
ライト・サイクル・タイム	t_{WC}	MAX1	W 256	2.365	ns
			256 < W 512	2.476	ns
			512 < W 1024	2.697	ns
		MAX2	W 256	2.469	ns
			256 < W 512	2.578	ns
			512 < W 1024	2.796	ns
アクセス・タイム	t_{ACC}	MAX1	W 256	$8.968 \times 10^{-4} \times B + 1.762 + 2.273 \times C_L$	ns
			256 < W 512	$9.017 \times 10^{-4} \times B + 1.867 + 2.273 \times C_L$	ns
			512 < W 1024	$8.982 \times 10^{-4} \times B + 2.075 + 2.273 \times C_L$	ns
		MAX2	W 256	$8.258 \times 10^{-4} \times B + 1.838 + 2.368 \times C_L$	ns
			256 < W 512	$8.211 \times 10^{-4} \times B + 1.941 + 2.368 \times C_L$	ns
			512 < W 1024	$8.245 \times 10^{-4} \times B + 2.147 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 256	$1.483 \times 10^{-4} \times B + 4.474 \times 10^{-1}$	ns
			256 < W 512	$1.499 \times 10^{-4} \times B + 4.766 \times 10^{-1}$	ns
			512 < W 1024	$1.483 \times 10^{-4} \times B + 5.344 \times 10^{-1}$	ns
		MIN2	W 256	$1.505 \times 10^{-4} \times B + 4.961 \times 10^{-1}$	ns
			256 < W 512	$1.529 \times 10^{-4} \times B + 5.291 \times 10^{-1}$	ns
			512 < W 1024	$1.515 \times 10^{-4} \times B + 5.950 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.338	ns	
		MAX2	0.344	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.556	ns	
		MAX2	0.585	ns	
リード・アドレス・セットアップ・タイム	t_{AS}	MAX1	$2.647 \times 10^{-5} \times W + 4.773 \times 10^{-1}$	ns	
		MAX2	$2.350 \times 10^{-5} \times W + 5.020 \times 10^{-1}$	ns	
リード・アドレス・ホールド・タイム	t_{AH}	MAX1	0.338	ns	
		MAX2	0.347	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-1.026 \times 10^{-3} \times B + 4.260 \times 10^{-1}$	ns	
		MAX2	$-1.086 \times 10^{-3} \times B + 4.448 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$1.385 \times 10^{-3} \times B + 2.566 \times 10^{-1}$	ns	
		MAX2	$1.336 \times 10^{-3} \times B + 2.658 \times 10^{-1}$	ns	
CENA/CENB セットアップ・タイム	t_{CS}	MAX1	0.348	ns	
		MAX2	0.370	ns	
CENA/CENB ホールド・タイム	t_{CH}	MAX1	0.244	ns	
		MAX2	0.252	ns	
BWEN セットアップ・タイム	t_{BWS}	MAX1	$-1.031 \times 10^{-3} \times B + 3.817 \times 10^{-1}$	ns	
		MAX2	$-1.086 \times 10^{-3} \times B + 3.956 \times 10^{-1}$	ns	
BWEN ホールド・タイム	t_{BWH}	MAX1	$1.394 \times 10^{-3} \times B + 2.584 \times 10^{-1}$	ns	
		MAX2	$1.338 \times 10^{-3} \times B + 2.673 \times 10^{-1}$	ns	

5.8 タイミング・チャート

注意 タイミング・エラーが発生すると、メモリ中のデータは破壊されます。

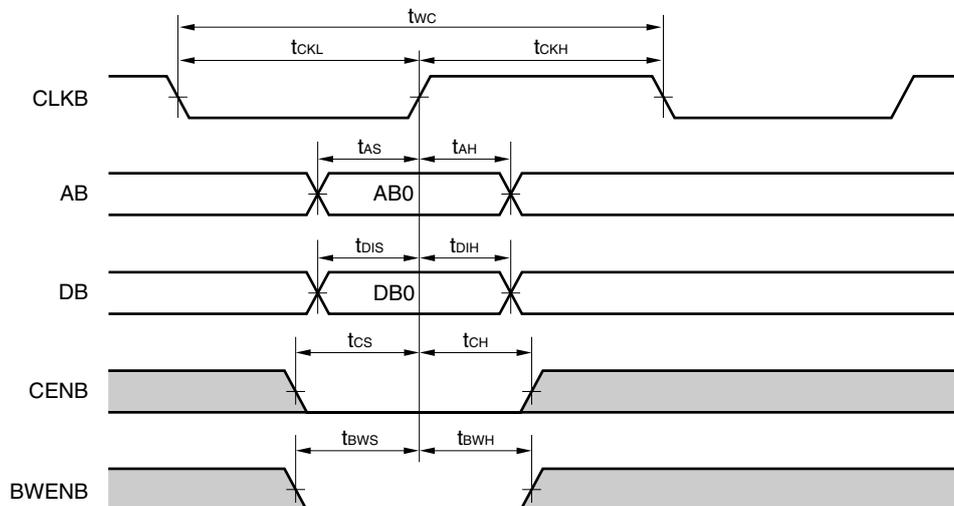
(1) リード・オペレーション



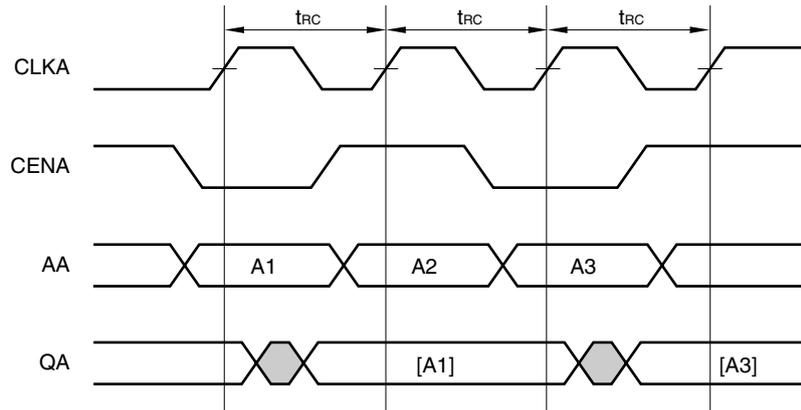
[AAx]: アドレス AAx 内のデータを示します。

同一アドレスに連続してアクセスする場合は、上記 t_{OH} 後の不定は出力されません。

(2) ライト・オペレーション

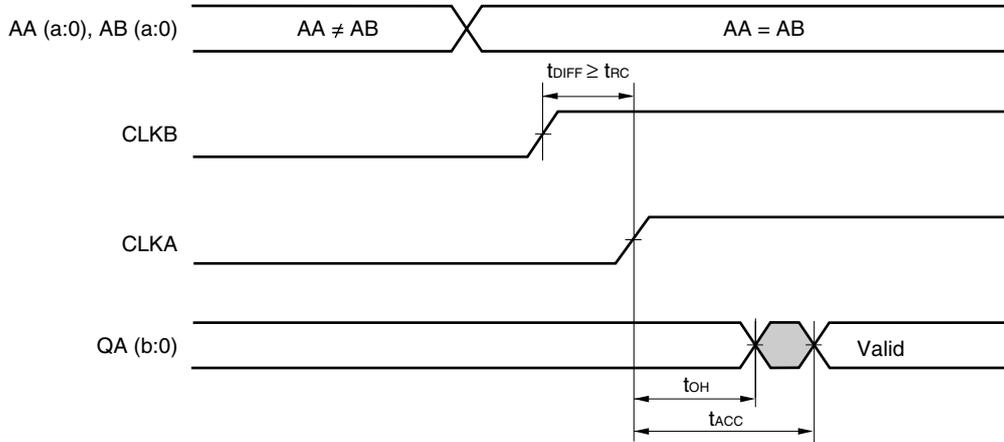


(3) アクティブ, 非アクティブ・オペレーション



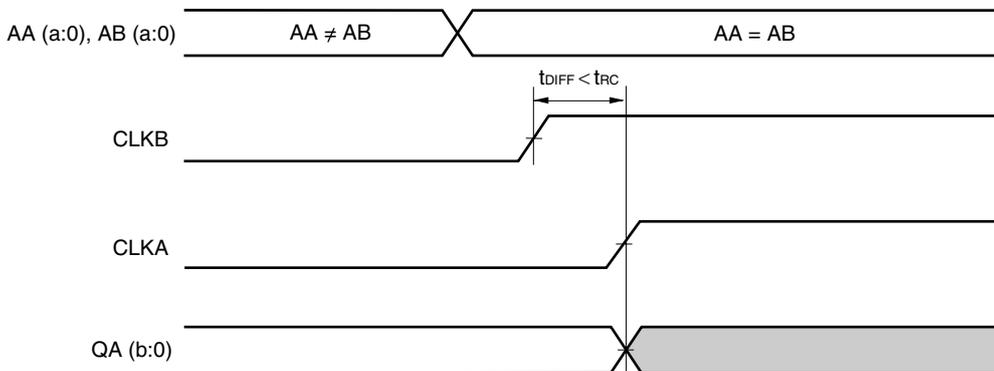
5.9 リード・ポート, ライト・ポート間の動作タイミング制約

- (1) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く,
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} と同じかまたは長い場合
 (同一アドレス同時アクセスではない)



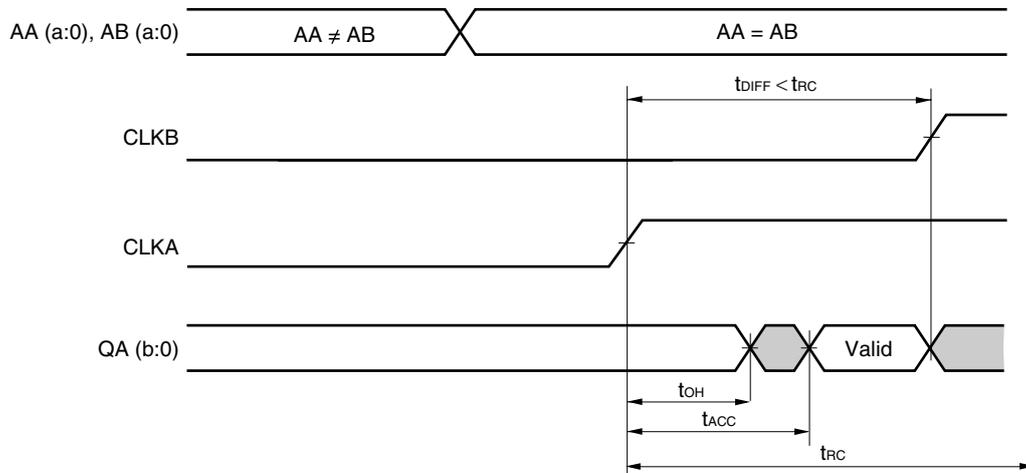
ライト・オペレーションは, 正常に行われます。
 QA の出力データは, B ポートに書き込まれたあとのデータが出力されます。

- (2) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く,
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より短い場合
 (同一アドレス同時アクセスとみなす)



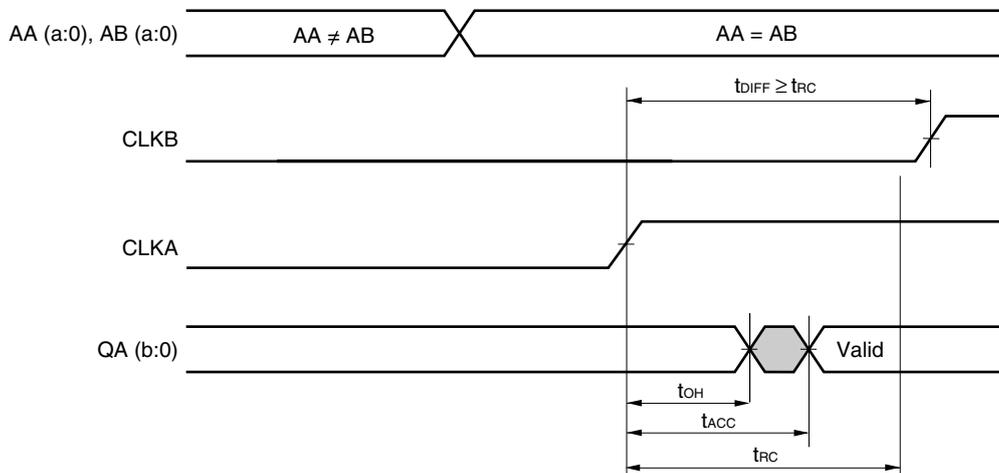
AB(a:0)で指定されたアドレスに“X”が書き込まれます。
 QA の出力データは, 不定です。

- (3) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{ACC} より長く、かつ t_{DIFF} が t_{RC} より短い場合
(同一アドレス同時アクセスとみなす)



AB(a:0)で指定されたアドレスに“X”が書き込まれます。
QA の出力データは、不定です。

- (4) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より長い場合
(同一アドレス同時アクセスではない)



ライト・オペレーションは、正常に行われます。
QA の出力データは、B ポートに書き込まれる前のデータが出力されます。

第6章 同期式2ポート(1RW+1RW)RAM

6.1 概要

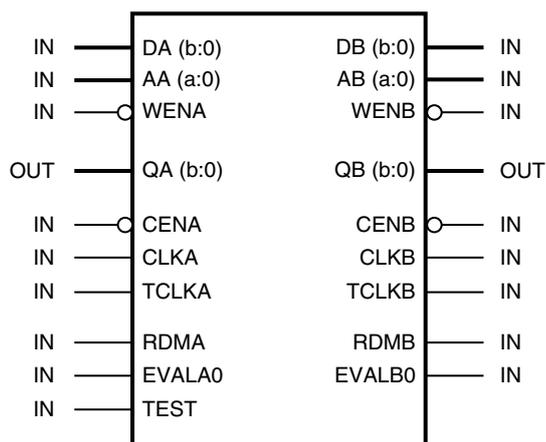
- 2ポート(1RW+1RW)RAM
- フリー・サイズ・メモリ
 - メモリ・コンパイラにより高効率マクロ配置を実現
 - ビット数：2~146ビット
 - ワード数：64~1024ワード
- 動作電圧：1.1±0.1V
- 動作周囲温度：-40~+85℃

6.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
2	64ワード×4ビット	512ワード×146ビット	16ワード/2ビット	WDSRAM002PAA[word]W[bit]C1
4	128ワード×2ビット	1024ワード×74ビット	32ワード/1ビット	WDSRAM002PAA[word]W[bit]C2

- 例 256ワード, 32ビットC1タイプの場合 : WDSRAM002PAA256W32C1
 1024ワード, 64ビットC2タイプの場合 : WDSRAM002PAA1024W64C2

6.1.2 シンボル図



備考 1. “a” = (アドレス本数) - 1

ただし, 5 a 8 (WDSRAM002PAA [word] W [bit] C1)

6 a 9 (WDSRAM002PAA [word] W [bit] C2)

(アドレス本数) = \log_2 (ワード数) 小数点以下切り上げです。

“b” = (ビット数) - 1

ただし, 3 b 145 (WDSRAM002PAA [word] W [bit] C1)

1 b 73 (WDSRAM002PAA [word] W [bit] C2)

2. TCLKA, TCLKB, TEST, EVALA0, EVALB0, RDMA, RDMB 端子は, 弊社が提供するラッパー回路により 0 に固定されます。

6.1.3 端子容量

(1) WDSRAM002PAA [word] W [bit] C1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DA (b : 0)	0.0018	QA (b : 0)	0.1390
DB (b : 0)		QB (b : 0)	
AA (a : 0)	0.0022		
AB (a : 0)			
CENA	0.0019		
CENB			
WENA	0.0014		
WENB			
TEST	0.0037		
TCLKA	0.0025		
TCLKB			
CLKA	0.0025		
CLKB			
EVALA0	0.0035		
EVALB0			
RDMA	0.0017		
RDMB			

(2) WDSRAM002PAA [word] W [bit] C2

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DA (b : 0)	0.0016	QA (b : 0)	0.1390
DB (b : 0)		QB (b : 0)	
AA (a : 0)	0.0022		
AB (a : 0)			
CENA	0.0019		
CENB			
WENA	0.0016		
WENB			
TEST	0.0037		
TCLKA	0.0025		
TCLKB			
CLKA	0.0025		
CLKB			
EVALA0	0.0044		
EVALB0			
RDMA	0.0017		
RDMB			

6.2 端子機能一覧

端子名	属性	モード	機 能
DA (b : 0)	入力	ノーマル	A ポート・データ入力
DB (b : 0)	入力	ノーマル	B ポート・データ入力
QA (b : 0)	出力	ノーマル	A ポート・データ出力
QB (b : 0)	出力	ノーマル	B ポート・データ出力
AA (a : 0)	入力	ノーマル	A ポート・アドレス入力
AB (a : 0)	入力	ノーマル	B ポート・アドレス入力
CENA [※]	入力	ノーマル	A ポート・チップ・イネーブル入力 CENA = 0 動作モード CENA = 1 非動作モード
CENB [※]	入力	ノーマル	B ポート・チップ・イネーブル入力 CENB = 0 動作モード CENB = 1 非動作モード
WENA	入力	ノーマル	A ポート・ライト・イネーブル入力 WENA = 0 ライト動作 WENA = 1 リード動作 (ライト・マスク)
WENB	入力	ノーマル	B ポート・ライト・イネーブル入力 WENB = 0 ライト動作 WENB = 1 リード動作 (ライト・マスク)
CLKA	入力	ノーマル	A ポート・クロック入力
CLKB	入力	ノーマル	B ポート・クロック入力
TCLKA	入力	テスト	A ポート・クロック入力 (テスト用)
TCLKB	入力	テスト	B ポート・クロック入力 (テスト用)
EVALA0	入力	テスト	テスト端子 EVALA0 = 0 : ノーマル・モード EVALA0 = 1 : テスト・モード
EVALB0	入力	テスト	テスト端子 EVALB0 = 0 : ノーマル・モード EVALB0 = 1 : テスト・モード
RDMA	入力	テスト	テスト端子 RDMA = 0 : ノーマル・モード RDMA = 1 : テスト・モード
RDMB	入力	テスト	テスト端子 RDMB = 0 : ノーマル・モード RDMB = 1 : テスト・モード
TEST	入力	テスト	テスト・モード設定

注 CENA または CENB を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLKA または CLKB を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CENA または CENB を制御してください。

6.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

- X: ハイ・インピーダンスを含まない不定 AAx: 任意データ
 XZ: ハイ・インピーダンスを含む不定 ABx: 任意データ
 DBx: 入力データ
 [AAx]: メモリ内データ (アドレス AAx 内のデータを示します。)

(1) モード設定

TEST	RDMA	RDMB	EVALA0	EVALB0	QA	QB	モード	動作
0	0	0	有効	有効	有効	有効	ノーマル	ノーマル・モード
0	1	0	有効	有効	有効	前データ	ノーマル	Aポート: ノーマル・モード Bポート: ディスエーブル
0	0	1	有効	有効	前データ	有効	ノーマル	Aポート: ディスエーブル Bポート: ノーマル・モード
1	0	0	有効	有効	有効	有効	テスト	テスト・モード
1	1	0	有効	有効	有効	前データ	テスト	Aポート: テスト・モード Bポート: ディスエーブル
1	0	1	有効	有効	前データ	有効	テスト	Aポート: ディスエーブル Bポート: テスト・モード
X, Z	ALL	ALL	ALL	ALL	X	X	不定	全アドレス・データ不定
ALL	X, Z	ALL	ALL	ALL	X	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	X, Z	ALL	ALL	X	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	X, Z	ALL	X	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	ALL	X, Z	X	X	ノーマルかテスト	全アドレス・データ不定
有効	1	1	有効	有効	前データ	前データ	ノーマルかテスト	マクロ・オフ

(2) ファンクション

A ポート

CENA	CLKA	WENA	AA (a:0)	DA (b:0)	QA (b:0)	動作
0	↑	0	Ax	Dlx	[AAx] = Dlx	ライト
0	↑	1	Ax	X	[AAx]	リード
0	固定	X	X	X	前データ	スタンバイ
1	↑	X	X	X	前データ	マクロ・オフ

B ポート

CENB	CLKB	WENB	AB (a:0)	DB (b:0)	QB (b:0)	動作
0	↑	0	Ax	Dlx	[ABx] = Dlx	ライト
0	↑	1	Ax	X	[ABx]	リード
0	固定	X	X	X	前データ	スタンバイ
1	↑	X	X	X	前データ	マクロ・オフ

(3) ポートの関係

A ポート	B ポート	制限事項
リード	リード	制限なし
リード	ライト	同じアドレスにアクセスする場合は、6.9 リード・ポート、ライト・ポート間の動作タイミング制約を参照してください。
ライト	リード	
ライト	ライト	同じアドレスから書き込まないでください。 回路の構成上デバイスが破壊される場合があります。

(4) A ポート, B ポート同時アクセス

(AA ≠ AB)

CENA CENB	CLKA (TCLKA)	WENA	CLKB (TCKLB)	WENB	AA AB	DA DB	QA	QB	メモリ内	動作
0	↑	0	↑	1	AAx ABx	DAx DBx	[AAx] = DAx	[ABx]	[AAx] = DAx	A ポート: ライト B ポート: リード
0	↑	1	↑	0	AAx ABx	DAx DBx	[AAx]	[ABx] = DBx	[ABx] = DBx	A ポート: リード B ポート: ライト

(AA = AB)

CENA CENB	CLKA (TCLKA)	WENA	CLKB (TCKLB)	WENB	AA AB	DA DB	QA	QB	メモリ内	動作
0	↑	0	↑	1	Ax	Dx	X	X	X	A ポート: "X" ライト B ポート: "X" リード
0	↑	1	↑	0	Ax	Dx	X	X	X	A ポート: "X" リード B ポート: "X" ライト

(5) テスト・モード・ファンクション

EVALA0/EVALB0	動作
0	通常動作モード
1	内部タイミング加速動作モード (テスト用)

6.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W : ワード数

B : ビット数

N : アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

ROUNDUP (a, b) : a を小数点以下 b 桁に切り上げます。

例 W = 240 のときの (ROUNDUP (W/128, 0)

$$\text{ROUNDUP} (240/128, 0) = \text{ROUNDUP} (1.875, 0) = 2$$

(1) WDSRAM002PAA [word] W [bit] C1

$$X = 2.442 \times B + 69.828 \quad [\mu\text{m}]$$

$$Y = 61.248 + 0.281 \times W + 0.792 \times \text{ROUNDUP} ((W/64) - 1, 0) \quad [\mu\text{m}]$$

(2) WDSRAM002PAA [word] W [bit] C2

$$X = 4.884 \times B + 69.828 \quad [\mu\text{m}]$$

$$Y = 42.504 + 0.140 \times W + 0.792 \times \text{ROUNDUP} ((W/128) - 1, 0) \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

6.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

6.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDRA} (\text{Worst}) + I_{DDWA} (\text{Worst}) + I_{DDRB} (\text{Worst}) + I_{DDWB} (\text{Worst}) + \text{スタンバイ電流} (\text{Worst}) \quad [\text{mA}]$$

$$I_{DD} (\text{TYP}) = I_{DDRA} (\text{TYP}) + I_{DDWA} (\text{TYP}) + I_{DDRB} (\text{TYP}) + I_{DDWB} (\text{TYP}) + \text{スタンバイ電流} (\text{TYP}) \quad [\text{mA}]$$

上記の式のうち I_{DDRA}, I_{DDRB}, I_{DDWA}, I_{DDWB} は次の式で求められます。

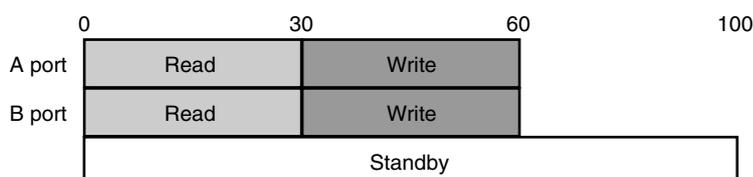
なお、表中の記号は次のとおりです。

B : ビット数	f _R : リード動作周波数 (MHz)	N : アドレス本数 $N = \log_2 W$
W : ワード数	f _W : ライト動作周波数 (MHz)	(小数点以下切り上げ)
C _L : 外部負荷容量 (pF)	A : 動作率 ^注 (100% = 1)	

注 この動作率とは、RAM の全動作期間 (リード、ライト、スタンバイ、マクロ・オフ) に対して、リードおよびライト動作が占める割合です。

マルチ・ポートの場合は、それぞれのポートごとにリードとライト動作率を計算式に反映してください。

例 RAM の全動作期間においてリード 30%、ライト 30% の場合、動作率はリード 0.3、ライト 0.3 になります。



6.6.1 通常モード時の動作消費電流

(1) WDSRAM002PAA [word] W [bit] C1

動作	ポート	条件	計算式 (mA)	
リード (I _{DDR})	A/B	W 128	Worst	$(2.139 \times 10^{-4} \times B + 1.065 \times 10^{-7} \times W \times B + 1.987 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(1.610 \times 10^{-4} \times B + 8.038 \times 10^{-8} \times W \times B + 1.405 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		128 < W 256	Worst	$(2.235 \times 10^{-4} \times B + 6.611 \times 10^{-8} \times W \times B + 2.047 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(1.695 \times 10^{-4} \times B + 4.012 \times 10^{-8} \times W \times B + 1.447 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		256 < W 512	Worst	$(2.380 \times 10^{-4} \times B + 2.949 \times 10^{-8} \times W \times B + 2.139 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(1.786 \times 10^{-4} \times B + 1.896 \times 10^{-8} \times W \times B + 1.511 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	A/B	W 128	Worst	$(2.728 \times 10^{-4} \times B + 2.133 \times 10^{-7} \times W \times B + 2.246 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(1.979 \times 10^{-4} \times B + 1.810 \times 10^{-7} \times W \times B + 1.583 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		128 < W 256	Worst	$(2.751 \times 10^{-4} \times B + 2.224 \times 10^{-7} \times W \times B + 2.305 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(1.998 \times 10^{-4} \times B + 1.841 \times 10^{-7} \times W \times B + 1.624 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		256 < W 512	Worst	$(2.770 \times 10^{-4} \times B + 2.275 \times 10^{-7} \times W \times B + 2.395 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(2.014 \times 10^{-4} \times B + 1.861 \times 10^{-7} \times W \times B + 1.686 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

(2) WDSRAM002PAA [word] W [bit] C2

動作	ポート	条件	計算式 (mA)
リード (I _{DDR})	A/B	Worst	$(3.801 \times 10^{-4} \times B + 6.032 \times 10^{-8} \times W \times B + 1.529 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(2.760 \times 10^{-4} \times B + 7.356 \times 10^{-8} \times W \times B + 1.099 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	A/B	Worst	$(4.054 \times 10^{-4} \times B + 1.514 \times 10^{-7} \times W \times B + 1.710 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(2.830 \times 10^{-4} \times B + 1.814 \times 10^{-7} \times W \times B + 1.108 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

6.6.2 スタンバイ・モード時の動作消費電流

(1) WDSRAM002PAA [word] W [bit] C1

条 件	計算式 (mA)
Worst	$2.442 \times 10^{-3} \times W + 8.276 \times 10^{-3} \times B + 1.460 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$1.771 \times 10^{-5} \times W + 9.391 \times 10^{-5} \times B + 1.057 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

(2) WDSRAM002PAA [word] W [bit] C2

条 件	計算式 (mA)
Worst	$1.220 \times 10^{-3} \times W + 7.844 \times 10^{-3} \times B + 1.390 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$8.842 \times 10^{-6} \times W + 8.001 \times 10^{-5} \times B + 1.006 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

備考 1. リード : CENA/B = 0, WENA/B = 1

ライト : CENA/B = 0, WENA/B = 0

(1) スタンバイ状態とは、全入力 (CLK 含む) が固定されている状態です。

(2) アドレス/データが固定でも、CENA = 0 または CENB = 0 ,かつ CLK が入力される状態の電流は、動作電流 (リード/ライト時) と同等になります。

(3) CENA/CENB = 1 であれば、CLK が入力されていても、スタンバイとほぼ同等の電流に抑えることができます。

2. 消費電流を計算する際の条件は次のとおりです。T_Jは、ジャンクション温度です。

Worst: V_{DD} = 1.2 V, Process = fast, T_J = 125 °C

TYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C

6.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量 (pF)

動作条件

条 件	プロセス	電源電圧	周囲温度 (T _A)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- t_{RC}: CLKA/B (TCLKA/B) の最小周期 (これ以上の周期でなければ、メモリは正常に動作しません)
- t_{ACC}: CLK A/B (TCLKA/B) の立ち上がり後に Q 出力にデータが出力されるまでの時間
- t_{OH}: リード・アクセス時に前のデータが保持される時間
- t_{CKH}: CLKA/B (TCLKA/B) のハイ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{CKL}: CLKA/B (TCLKA/B) のロウ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{AS}: アドレスのセットアップ時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間)
- t_{AH}: アドレスのホールド時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間)
- t_{DIS}: データのセットアップ時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上前にデータが決まっていなければならない時間)
- t_{DIH}: データのホールド時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上データが保持されなければならない時間)
- t_{DTH}: ライト・サイクル時に書き込んだデータが出力 Q に出力されるまでの時間
- t_{OHW}: ライト・サイクル時に前のサイクルのデータが保持されている時間
- t_{WS}: ライト・イネーブルのセットアップ時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上前に WEN が入力されなければならない時間)
- t_{WH}: ライト・イネーブルのホールド時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上 WEN が保持されなければならない時間)
- t_{CS}: チップ・イネーブルのセットアップ時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上前に CENA/B が入力されなければならない時間)
- t_{CH}: チップ・イネーブルのホールド時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上 CENA/B が保持されなければならない時間)

(1) WDSRAM002PAA [word] W [bit] C1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件		計 算 式	単 位
サイクル・タイム	t_{RC}	MAX1	W 128	2.489	ns
			128 < W 256	2.594	ns
			256 < W 512	2.693	ns
		MAX2	W 128	2.584	ns
			128 < W 256	2.687	ns
			256 < W 512	2.789	ns
アクセス・タイム	t_{ACC}	MAX1	W 128	$6.857 \times 10^{-4} \times B + 1.947 + 2.273 \times C_L$	ns
			128 < W 256	$6.797 \times 10^{-4} \times B + 2.050 + 2.273 \times C_L$	ns
			256 < W 512	$6.839 \times 10^{-4} \times B + 2.153 + 2.273 \times C_L$	ns
		MAX2	W 128	$6.025 \times 10^{-4} \times B + 2.027 + 2.368 \times C_L$	ns
			128 < W 256	$6.052 \times 10^{-4} \times B + 2.165 + 2.368 \times C_L$	ns
			256 < W 512	$6.026 \times 10^{-4} \times B + 2.229 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 128	$6.100 \times 10^{-5} \times B + 5.097 \times 10^{-1}$	ns
			128 < W 256	$6.145 \times 10^{-5} \times B + 5.382 \times 10^{-1}$	ns
			256 < W 512	$6.229 \times 10^{-5} \times B + 5.663 \times 10^{-1}$	ns
		MIN2	W 128	$6.222 \times 10^{-5} \times B + 5.617 \times 10^{-1}$	ns
			128 < W 256	$6.252 \times 10^{-5} \times B + 5.944 \times 10^{-1}$	ns
			256 < W 512	$6.408 \times 10^{-5} \times B + 6.264 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.291	ns	
		MAX2	0.297	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.554	ns	
		MAX2	0.584	ns	
アドレス・セットアップ・タイム	t_{AS}	MAX1	$5.416 \times 10^{-5} \times W + 4.213 \times 10^{-1}$	ns	
		MAX2	$4.785 \times 10^{-5} \times W + 4.409 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{AH}	MAX1	0.288	ns	
		MAX2	0.293	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-5.414 \times 10^{-4} \times B + 4.379 \times 10^{-1}$	ns	
		MAX2	$-5.607 \times 10^{-4} \times B + 4.631 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$8.223 \times 10^{-4} \times B + 2.371 \times 10^{-1}$	ns	
		MAX2	$7.592 \times 10^{-4} \times B + 2.440 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{DTH}	—	= t_{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{OHV}	—	= t_{OH}	ns	
WEN セットアップ・タイム	t_{WS}	MAX1	0.383	ns	
		MAX2	0.389	ns	
WEN ホールド・タイム	t_{WH}	MAX1	0.231	ns	
		MAX2	0.236	ns	
CEN セットアップ・タイム	t_{CS}	MAX1	0.341	ns	
		MAX2	0.362	ns	
CEN ホールド・タイム	t_{CH}	MAX1	0.249	ns	
		MAX2	0.258	ns	

(2) WDSRAM002PAA [word] W [bit] C2

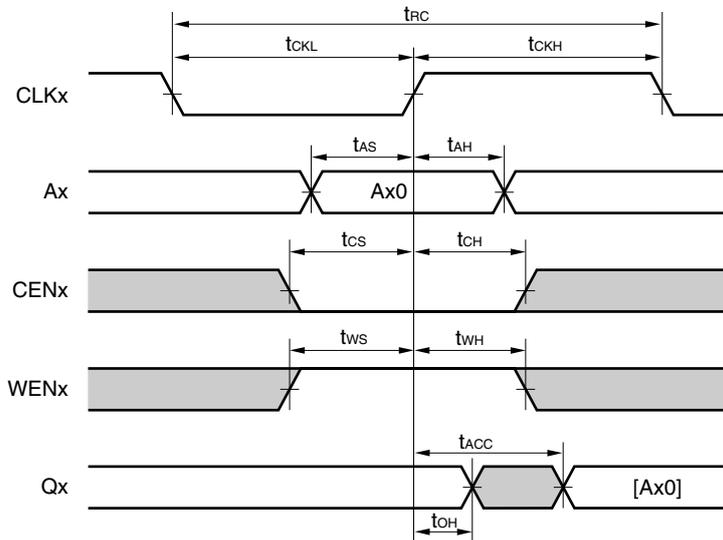
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条 件		計 算 式	単 位	
サイクル・タイム	t_{RC}	MAX1	W 256	2.516	ns	
			256 < W 512	2.618	ns	
			512 < W	B 40	2.709	ns
				41 B	2.802	ns
		MAX2	W 256	2.594	ns	
			256 < W 512	2.699	ns	
			512 < W	B 40	2.792	ns
				41 B	2.876	ns
アクセス・タイム	t_{ACC}	MAX1	W 256	$8.883 \times 10^{-4} \times B + 1.912 + 2.273 \times C_L$	ns	
			256 < W 512	$8.883 \times 10^{-4} \times B + 2.017 + 2.273 \times C_L$	ns	
			512 < W	B 40	$8.286 \times 10^{-4} \times B + 2.119 + 2.273 \times C_L$	ns
				41 B	$1.099 \times 10^{-3} \times B + 2.210 + 2.273 \times C_L$	ns
		MAX2	W 256	$8.222 \times 10^{-4} \times B + 2.007 + 2.368 \times C_L$	ns	
			256 < W 512	$8.353 \times 10^{-4} \times B + 2.109 + 2.368 \times C_L$	ns	
			512 < W	B 40	$7.477 \times 10^{-4} \times B + 2.213 + 2.368 \times C_L$	ns
				41 B	$8.967 \times 10^{-4} \times B + 2.310 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 256	$1.458 \times 10^{-4} \times B + 4.908 \times 10^{-1}$	ns	
			256 < W 512	$1.458 \times 10^{-4} \times B + 5.188 \times 10^{-1}$	ns	
			512 < W	B 40	$1.540 \times 10^{-4} \times B + 5.492 \times 10^{-1}$	ns
				41 B	$9.898 \times 10^{-4} \times B + 5.147 \times 10^{-1}$	ns
		MIN2	W 256	$1.296 \times 10^{-4} \times B + 5.433 \times 10^{-1}$	ns	
			256 < W 512	$1.458 \times 10^{-4} \times B + 5.748 \times 10^{-1}$	ns	
			512 < W	B 40	$1.870 \times 10^{-4} \times B + 6.087 \times 10^{-1}$	ns
				41 B	$1.096 \times 10^{-3} \times B + 5.709 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.343	ns		
		MAX2	0.351	ns		
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.649	ns		
		MAX2	0.681	ns		
アドレス・セットアップ・タイム	t_{AS}	MAX1	$-8.463 \times 10^{-4} \times B + 5.060 \times 10^{-1}$	ns		
		MAX2	$-9.167 \times 10^{-4} \times B + 5.281 \times 10^{-1}$	ns		
アドレス・ホールド・タイム	t_{AH}	MAX1	0.489	ns		
		MAX2	0.494	ns		
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-2.100 \times 10^{-3} \times B + 4.446 \times 10^{-1}$	ns		
		MAX2	$-2.107 \times 10^{-3} \times B + 4.587 \times 10^{-1}$	ns		
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$2.096 \times 10^{-3} \times B + 3.692 \times 10^{-1}$	ns		
		MAX2	$2.123 \times 10^{-3} \times B + 3.774 \times 10^{-1}$	ns		
ライト・データ・スルー・タイム	t_{DTH}	—	= t_{ACC}	ns		
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	—	= t_{OH}	ns		
WEN セットアップ・タイム	t_{WS}	MAX1	0.447	ns		
		MAX2	0.457	ns		
WEN ホールド・タイム	t_{WH}	MAX1	0.413	ns		
		MAX2	0.417	ns		
CEN セットアップ・タイム	t_{CS}	MAX1	0.458	ns		
		MAX2	0.466	ns		
CEN ホールド・タイム	t_{CH}	MAX1	0.423	ns		
		MAX2	0.434	ns		

6.8 タイミング・チャート

注意 タイミング・エラーが発生すると、メモリ中のデータは破壊されます。

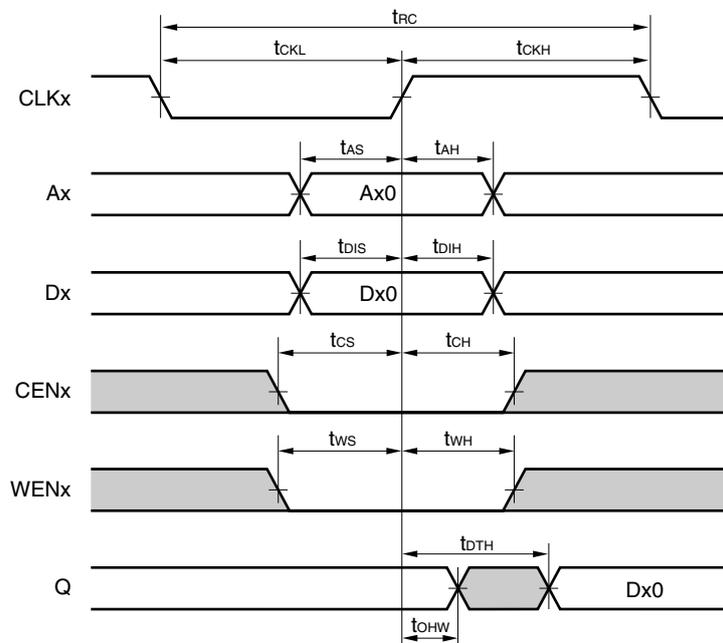
(1) リード・オペレーション



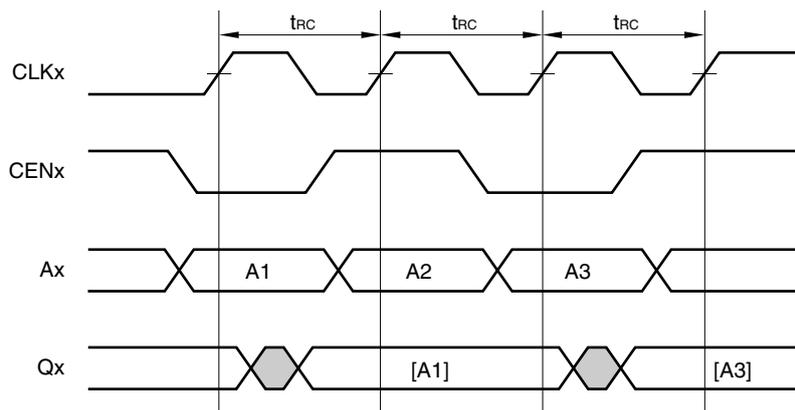
[Ax0] : アドレス Ax0 内のデータを示します。

同一アドレスに連続してアクセスする場合は、上記 tOH 後の不定は出力されません。

(2) ライト・オペレーション



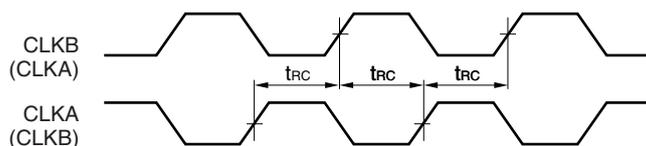
(3) アクティブ, 非アクティブ・オペレーション



6.9 リード・ポート, ライト・ポート間の動作タイミング制約

6.9.1 A ポート = ライト, B ポート = ライト

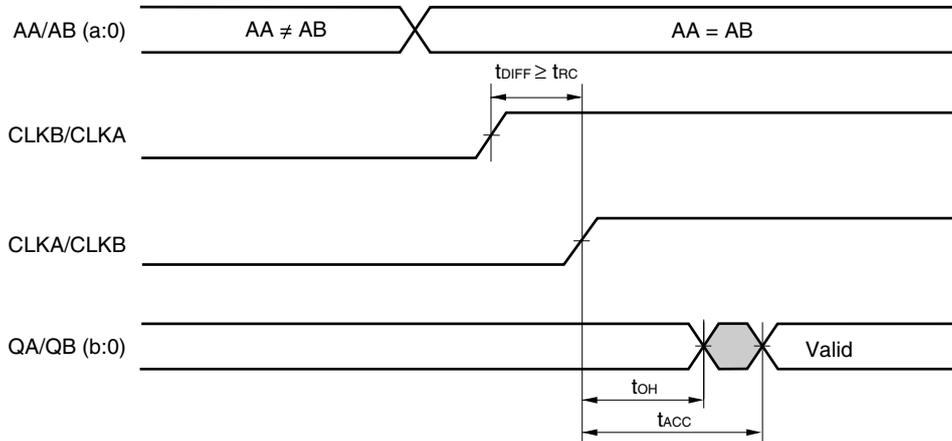
(CENA = 0, CENB = 0, WENA = 0, WENB = 0)



注意 同じアドレスへ同時に書き込まないでください。書き込み動作は正常に行われず、メモリ・データは保証されません。また、同じアドレスに書き込む場合は、CLKB - CLKA 間で t_{RC} 以上の時間差を確保してください。

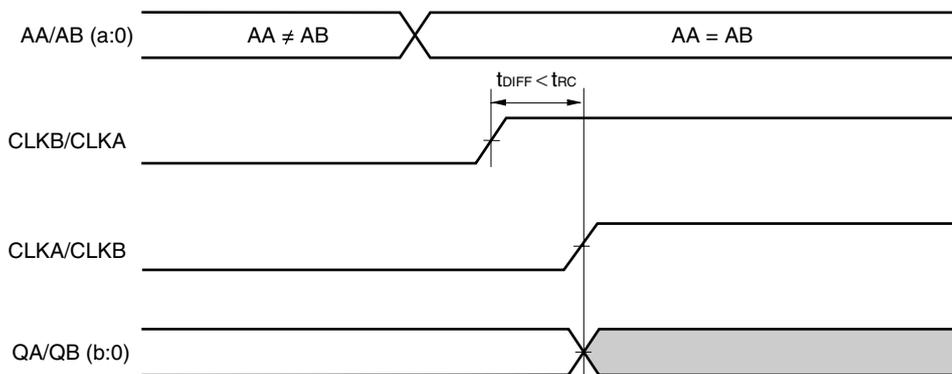
**6.9.2 A ポート = リード , B ポート = ライト
(CENA = 0, CENB = 0, WENA = 1, WENB = 0)**

- (1) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く ,
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} と同じかまたは長い場合
(同一アドレス同時アクセスではない)



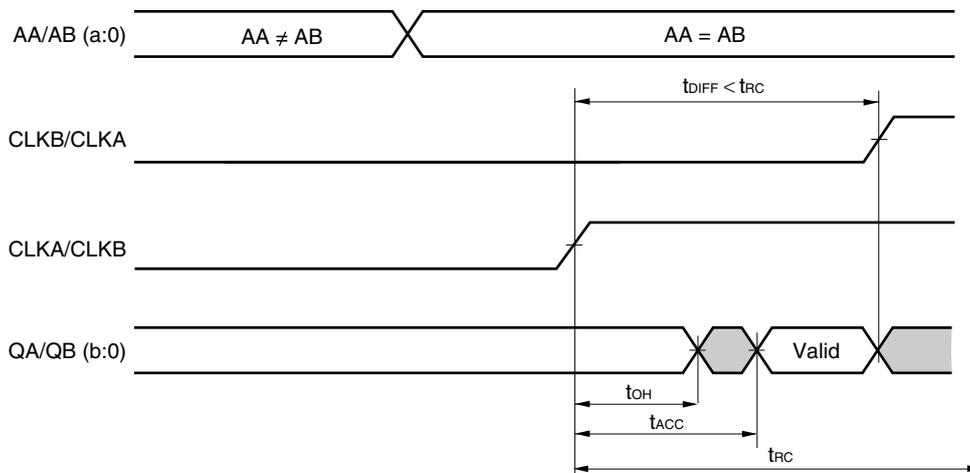
ライト・オペレーションは、正常に行われます。
QA (QB) の出力データは、B ポートに書き込まれたあとのデータが出力されます。

- (2) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く ,
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} とより短い場合
(同一アドレス同時アクセスとみなす)



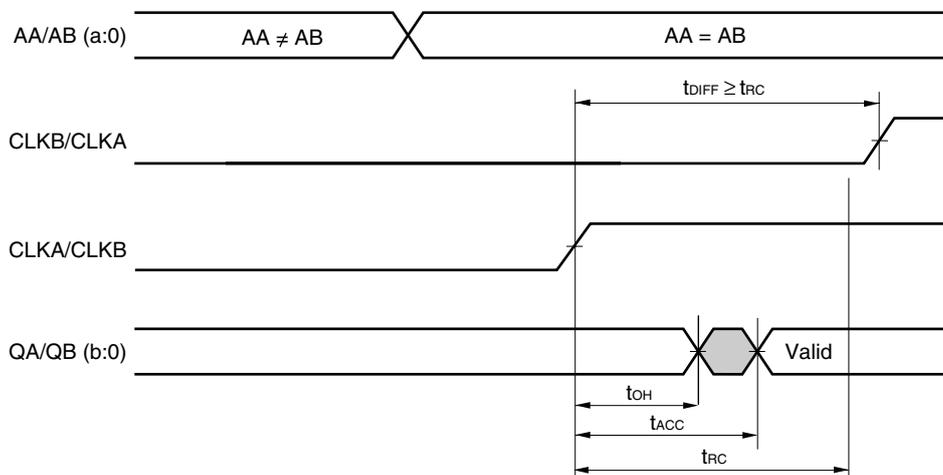
AA/AB(a:0)で指定されたアドレスに“X”が書き込まれます。
QA (QB) の出力データは、不定です。

- (3) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{ACC} より長く、かつ t_{DIFF} が t_{RC} より短い場合
 (同一アドレス同時アクセスとみなす)



AA/AB(a:0)で指定されたアドレスに “ X ” が書き込まれます。
 QA (QB) の出力データは、不定です。

- (4) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より長い場合
 (同一アドレス同時アクセスではない)



ライト・オペレーションは、正常に行われます。
 QA (QB) の出力データは、B ポートに書き込まれる前のデータが出力されます。

備考 A ポート = ライト , B ポート = リード ($CENA = 0, CENB = 0, WENA = 0, WENB = 1$) の場合は、
 CLKA と CLKB のタイミングが逆になり、QA (b:0) が QB (b:0) となります。

第7章 同期式2ポート(1RW+1RW) Bit Write 機能付き RAM

7.1 概要

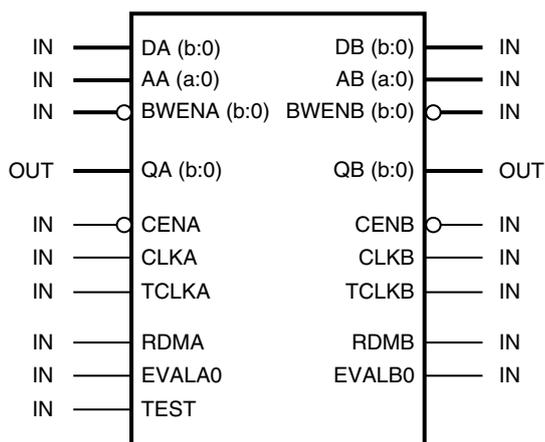
- 2ポート(1RW+1RW) RAM
- フリー・サイズ・メモリ
 - メモリ・コンパイラにより高効率マクロ配置を実現
 - ビット数：2~146ビット
 - ワード数：64~1024ワード
- 動作電圧：1.1±0.1V
- 動作周囲温度：-40~+85℃

7.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
2	64ワード×4ビット	512ワード×146ビット	16ワード/2ビット	WDSRAM002PAA[word]W[bit]C1B1
4	128ワード×2ビット	1024ワード×74ビット	32ワード/1ビット	WDSRAM002PAA[word]W[bit]C2B1

- 例 256ワード， 64ビット C1B1 タイプの場合 : WDSRAM002PAA256W64C1B1
 512ワード， 64ビット C2B1 タイプの場合 : WDSRAM002PAA512W64C2B1

7.1.2 シンボル図



備考 1. “a” = (アドレス本数) - 1

ただし, 5 a 8 (WDSRAM002PAA [word] W [bit] C1B1)

6 a 9 (WDSRAM002PAA [word] W [bit] C2B1)

(アドレス本数) = log₂ (ワード数) 小数点以下切り上げです。

“b” = (ビット数) - 1

ただし, 3 b 145 (WDSRAM002PAA [word] W [bit] C1B1)

1 b 73 (WDSRAM002PAA [word] W [bit] C2B1)

- TCLKA, TCLKB, TEST, EVALA0, EVALB0, RDMA, RDMB 端子は, 弊社が提供するラッパー回路により 0 に固定されます。

7.1.3 端子容量

(1) WDSRAM002PAA [word] W [bit] C1B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DA (b : 0)	0.0018	QA (b : 0)	0.1390
DB (b : 0)		QB (b : 0)	
AA (a : 0)	0.0022		
AB (a : 0)			
CENA	0.0019		
CENB			
BWENA (b : 0)	0.0016		
BWENB (b : 0)			
TEST	0.0037		
TCLKA	0.0025		
TCLKB			
CLKA	0.0025		
CLKB			
EVALA0	0.0035		
EVALB0			
RDMA	0.0017		
RDMB			

(2) WDSRAM002PAA [word] W [bit] C2B1

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
DA (b : 0)	0.0016	QA (b : 0)	0.390
DB (b : 0)		QB (b : 0)	
AA (a : 0)	0.0022		
AB (a : 0)			
CENA	0.0019		
CENB			
BWENA (b : 0)	0.0016		
BWENB (b : 0)			
TEST	0.0037		
TCLKA	0.0025		
TCLKB			
CLKA	0.0025		
CLKB			
EVALA0	0.0044		
EVALB0			
RDMA	0.0017		
RDMB			

7.2 端子機能一覧

端子名	属性	モード	機 能
DA (b : 0)	入力	ノーマル	A ポート・データ入力
DB (b : 0)	入力	ノーマル	B ポート・データ入力
QA (b : 0)	出力	ノーマル	A ポート・データ出力
QB (b : 0)	出力	ノーマル	B ポート・データ出力
AA (a : 0)	入力	ノーマル	A ポート・アドレス入力
AB (a : 0)	入力	ノーマル	B ポート・アドレス入力
CENA [※]	入力	ノーマル	A ポート・チップ・イネーブル入力 CENA = 0 動作モード CENA = 1 非動作モード
CENB [※]	入力	ノーマル	B ポート・チップ・イネーブル入力 CENB = 0 動作モード CENB = 1 非動作モード
BWENA(b : 0)	入力	ノーマル	A ポート・ライト・イネーブル入力 BWENA = 0 ライト動作 BWENA = 1 リード動作 (ライト・マスク)
BWENB(b : 0)	入力	ノーマル	B ポート・ライト・イネーブル入力 BWENB = 0 ライト動作 BWENB = 1 リード動作 (ライト・マスク)
CLKA	入力	ノーマル	A ポート・クロック入力
CLKB	入力	ノーマル	B ポート・クロック入力
TCLKA	入力	テスト	クロック入力 (テスト用)
TCLKB	入力	テスト	クロック入力 (テスト用)
EVALA0	入力	テスト	テスト端子 EVALA0 = 0 : ノーマル・モード EVALA0 = 1 : テスト・モード
EVALB0	入力	テスト	テスト端子 EVALB0 = 0 : ノーマル・モード EVALB0 = 1 : テスト・モード
RDMA	入力	テスト	テスト端子 RDMA = 0 : ノーマル・モード RDMA = 1 : テスト・モード
RDMB	入力	テスト	テスト端子 RDMB = 0 : ノーマル・モード RDMB = 1 : テスト・モード
TEST	入力	テスト	テスト・モード設定

注 CENA または CENB を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLKA または CLKB を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CENA または CENB を制御してください。

7.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

X: ハイ・インピーダンスを含まない不定 AAx: 任意データ

XZ: ハイ・インピーダンスを含む不定 ABx: 任意データ

DBx: 入力データ

[AAx]: メモリ内データ (アドレス AAx 内のデータを示します。)

(1) モード設定

TEST	RDMA	RDMB	EVALA0	EVALB0	QA	QB	モード	動作
0	0	0	有効	有効	有効	有効	ノーマル	ノーマル・モード
0	1	0	有効	有効	有効	前データ	ノーマル	Aポート: ノーマル・モード Bポート: ディスエーブル
0	0	1	有効	有効	前データ	有効	ノーマル	Aポート: ディスエーブル Bポート: ノーマル・モード
1	0	0	有効	有効	有効	有効	テスト	テスト・モード
1	1	0	有効	有効	有効	前データ	テスト	Aポート: テスト・モード Bポート: ディスエーブル
1	0	1	有効	有効	前データ	有効	テスト	Aポート: ディスエーブル Bポート: テスト・モード
X, Z	ALL	ALL	ALL	ALL	X	X	不定	全アドレス・データ不定
ALL	X, Z	ALL	ALL	ALL	X	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	X, Z	ALL	ALL	X	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	X, Z	ALL	X	X	ノーマルかテスト	全アドレス・データ不定
ALL	ALL	ALL	ALL	X, Z	X	X	ノーマルかテスト	全アドレス・データ不定
有効	1	1	有効	有効	前データ	前データ	ノーマルかテスト	マクロ・オフ

(2) ファンクション

A ポート

CENA	CLKA	BWENA(b:0)	AA (a:0)	DA (b : 0)	QA (b : 0)	動作
0	↑	0	Ax	Dlx	[AAx] = Dlx	ライト
0	↑	1	Ax	X	[AAx]	リード
0	固定	X	X	X	前データ	スタンバイ
1	↑	X	X	X	前データ	マクロ・オフ

B ポート

CENB	CLKB	BWENB(b:0)	AB (a:0)	DB (b : 0)	QB (b : 0)	動作
0	↑	0	Ax	Dlx	[ABx] = Dlx	ライト
0	↑	1	Ax	X	[ABx]	リード
0	固定	X	X	X	前データ	スタンバイ
1	↑	X	X	X	前データ	マクロ・オフ

(3) ポートの関係

A ポート	B ポート	制限事項
リード	リード	制限なし
リード	ライト	同じアドレスにアクセスする場合は、7.9 リード・ポート、ライト・ポート間の動作タイミング制約を参照してください。
ライト	リード	
ライト	ライト	同じアドレスから書き込まないでください。 回路の構成上デバイスが破壊される場合があります。

(4) A ポート, B ポート同時アクセス

(AA ≠ AB)

CENA CENB	CLKA (TCLKA)	BWENA (b:0)	CLKB (TCKLB)	BWENB (b:0)	AA AB	DA DB	QA	QB	メモリ内	動作
0	↑	0	↑	1	AAx ABx	DAx DBx	[AAx] = DAx	[ABx]	[AAx] = DAx	A ポート: ライト B ポート: リード
0	↑	1	↑	0	AAx ABx	DAx DBx	[AAx]	[ABx] = DBx	[ABx] = DBx	A ポート: リード B ポート: ライト

(AA = AB)

CENA CENB	CLKA (TCLKA)	BWENA (b:0)	CLKB (TCKLB)	BWENB (b:0)	AA AB	DA DB	QA	QB	メモリ内	動作
0	↑	0	↑	1	Ax	Dx	X	X	X	A ポート: "X" ライト B ポート: "X" リード
0	↑	1	↑	0	Ax	Dx	X	X	X	A ポート: "X" リード B ポート: "X" ライト

(5) テスト・モード・ファンクション

EVALA0/EVALB0	動作
0	通常動作モード
1	内部タイミング加速動作モード (テスト用)

7.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W : ワード数

B : ビット数

N : アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

ROUNDUP (a, b) : a を小数点以下 b 桁に切り上げます。

例 W = 240 のときの (ROUNDUP (W/128, 0)

$$\text{ROUNDUP} (240/128, 0) = \text{ROUNDUP} (1.875, 0) = 2$$

(1) WDSRAM002PAA [word] W [bit] C1B1

$$X = 2.442 \times B + 69.828 \quad [\mu\text{m}]$$

$$Y = 61.248 + 0.281 \times W + 0.792 \times \text{ROUNDUP} ((W/64) - 1, 0) \quad [\mu\text{m}]$$

(2) WDSRAM002PAA [word] W [bit] C2B1

$$X = 4.884 \times B + 69.828 \quad [\mu\text{m}]$$

$$Y = 42.504 + 0.140 \times W + 0.792 \times \text{ROUNDUP} ((W/128) - 1, 0) \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

7.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

7.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDRA} (\text{Worst}) + I_{DDWA} (\text{Worst}) + I_{DDRB} (\text{Worst}) + I_{DDWB} (\text{Worst}) + \text{スタンバイ電流} (\text{Worst}) \quad [\text{mA}]$$

$$I_{DD} (\text{TYP}) = I_{DDRA} (\text{TYP}) + I_{DDWA} (\text{TYP}) + I_{DDRB} (\text{TYP}) + I_{DDWB} (\text{TYP}) + \text{スタンバイ電流} (\text{TYP}) \quad [\text{mA}]$$

上記の式のうち I_{DDRA}, I_{DDRB}, I_{DDWA}, I_{DDWB} は次の式で求められます。

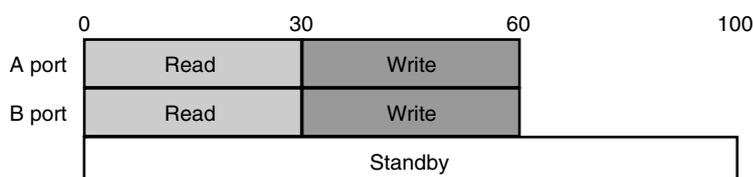
なお、表中の記号は次のとおりです。

B : ビット数	f _R : リード動作周波数 (MHz)	N : アドレス本数 N = log ₂ W
W : ワード数	f _W : ライト動作周波数 (MHz)	(小数点以下切り上げ)
C _L : 外部負荷容量 (pF)	A : 動作率 ^注 (100% = 1)	

注 この動作率とは、RAMの全動作期間(リード、ライト、スタンバイ、マクロ・オフ)に対して、リードおよびライト動作が占める割合です。

マルチ・ポートの場合は、それぞれのポートごとにリードとライト動作率を計算式に反映してください。

例 RAMの全動作期間においてリード30%、ライト30%の場合、動作率はリード0.3、ライト0.3になります。



7.6.1 通常モード時の動作消費電流

(1) WDSRAM002PAA [word] W [bit] C1B1

動作	ポート	条件		計算式 (mA)
リード (I _{DDR})	A/B	W 128	Worst	$(2.139 \times 10^{-4} \times B + 1.065 \times 10^{-7} \times W \times B + 1.987 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(1.610 \times 10^{-4} \times B + 8.038 \times 10^{-8} \times W \times B + 1.405 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		128 < W 256	Worst	$(2.235 \times 10^{-4} \times B + 6.611 \times 10^{-8} \times W \times B + 2.047 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(1.695 \times 10^{-4} \times B + 4.012 \times 10^{-8} \times W \times B + 1.447 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		256 < W 512	Worst	$(2.380 \times 10^{-4} \times B + 2.949 \times 10^{-8} \times W \times B + 2.139 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
			TYP.	$(1.786 \times 10^{-4} \times B + 1.896 \times 10^{-8} \times W \times B + 1.511 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	A/B	W 128	Worst	$(2.728 \times 10^{-4} \times B + 2.133 \times 10^{-7} \times W \times B + 2.246 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(1.979 \times 10^{-4} \times B + 1.810 \times 10^{-7} \times W \times B + 1.583 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		128 < W 256	Worst	$(2.751 \times 10^{-4} \times B + 2.224 \times 10^{-7} \times W \times B + 2.305 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(1.998 \times 10^{-4} \times B + 1.841 \times 10^{-7} \times W \times B + 1.624 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		256 < W 512	Worst	$(2.770 \times 10^{-4} \times B + 2.275 \times 10^{-7} \times W \times B + 2.395 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
			TYP.	$(2.014 \times 10^{-4} \times B + 1.861 \times 10^{-7} \times W \times B + 1.686 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

(2) WDSRAM002PAA [word] W [bit] C2B1

動作	ポート	条件	計算式 (mA)
リード (I _{DDR})	A/B	Worst	$(3.801 \times 10^{-4} \times B + 6.032 \times 10^{-8} \times W \times B + 1.529 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(2.760 \times 10^{-4} \times B + 7.356 \times 10^{-8} \times W \times B + 1.099 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
ライト (I _{DDW})	A/B	Worst	$(4.054 \times 10^{-4} \times B + 1.514 \times 10^{-7} \times W \times B + 1.710 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$
		TYP.	$(2.830 \times 10^{-4} \times B + 1.814 \times 10^{-7} \times W \times B + 1.108 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{w} \times A$

7.6.2 スタンバイ・モード時の動作消費電流

(1) WDSRAM002PAA [word] W [bit] C1B1

条件	計算式 (mA)
Worst	$2.442 \times 10^{-3} \times W + 8.276 \times 10^{-3} \times B + 1.460 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$1.771 \times 10^{-5} \times W + 9.391 \times 10^{-5} \times B + 1.057 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

(2) WDSRAM002PAA [word] W [bit] C2B1

条件	計算式 (mA)
Worst	$1.220 \times 10^{-3} \times W + 7.844 \times 10^{-3} \times B + 1.390 \times 10^{-1} + 2.940 \times 10^{-5} \times W \times B$
TYP.	$8.842 \times 10^{-6} \times W + 8.001 \times 10^{-5} \times B + 1.006 \times 10^{-3} + 2.190 \times 10^{-7} \times W \times B$

備考 1. リード: CENA/B = 0, BWENA/B(b:0) = 1

ライト: CENA/B = 0, BWENA/B(b:0) = 0

(1) スタンバイ状態とは、全入力 (CLK 含む) が固定されている状態です。

(2) アドレス/データが固定でも、CENA = 0 または CENB = 0、かつ CLK が入力される状態の電流は、動作電流 (リード/ライト時) と同等になります。

(3) CENA/CENB = 1 であれば、CLK が入力されていても、スタンバイとほぼ同等の電流に抑えることができます。

2. 消費電流を計算する際の条件は次のとおりです。T_Jは、ジャンクション温度です。

Worst: V_{DD} = 1.2 V, Process = fast, T_J = 125 °C

TYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C

3. ビット・ライト動作時の消費電流 (I_{DDWA/B}) は、ライト・ビット数の比率で計算します。

$I_{DDWA/B} = I_{DDR} \times \{(\text{全ビット数} - \text{ライト・ビット数}) / \text{全ビット数}\} + I_{DDW} \times (\text{ライト・ビット数} / \text{全ビット数})$

7.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量 (pF)

動作条件

条 件	プロセス	電源電圧	周囲温度 (T _A)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- t_{RC}: CLKA/B (TCLKA/B) の最小周期 (これ以上の周期でなければ、メモリは正常に動作しません)
- t_{ACC}: CLK A/B (TCLKA/B) の立ち上がり後に Q 出力にデータが出力されるまでの時間
- t_{OH}: リード・アクセス時に前のデータが保持される時間
- t_{CKH}: CLKA/B (TCLKA/B) のハイ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{CKL}: CLKA/B (TCLKA/B) のロウ幅の最小時間 (これ以上の幅がなければ、メモリは正常に動作しません)
- t_{AS}: アドレスのセットアップ時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間)
- t_{AH}: アドレスのホールド時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間)
- t_{DIS}: データのセットアップ時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上前にデータが決まっていなければならない時間)
- t_{DIH}: データのホールド時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上データが保持されなければならない時間)
- t_{DTH}: ライト・サイクル時に書き込んだデータが出力 Q に出力されるまでの時間
- t_{OHW}: ライト・サイクル時に前のサイクルのデータが保持されている時間
- t_{BWS}: ライト・イネーブルのセットアップ時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上前に BWEN が入力されなければならない時間)
- t_{BWH}: ライト・イネーブルのホールド時間 (CLK A/B (TCLKA/B) の立ち上がりに対して、この時間以上 BWEN が保持されなければならない時間)
- t_{CS}: チップ・イネーブルのセットアップ時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上前に CENA/B が入力されなければならない時間)
- t_{CH}: チップ・イネーブルのホールド時間 (CLKA/B (TCLKA/B) の立ち上がりに対して、この時間以上 CENA/B が保持されなければならない時間)

(1) WDSRAM002PAA [word] W [bit] C1B1

リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		計算式	単位
サイクル・タイム	t_{RC}	MAX1	W 128	2.489	ns
			128 < W 256	2.594	ns
			256 < W 512	2.693	ns
		MAX2	W 128	2.584	ns
			128 < W 256	2.687	ns
			256 < W 512	2.789	ns
アクセス・タイム	t_{ACC}	MAX1	W 128	$6.857 \times 10^{-4} \times B + 1.947 + 2.273 \times C_L$	ns
			128 < W 256	$6.797 \times 10^{-4} \times B + 2.050 + 2.273 \times C_L$	ns
			256 < W 512	$6.839 \times 10^{-4} \times B + 2.153 + 2.273 \times C_L$	ns
		MAX2	W 128	$6.025 \times 10^{-4} \times B + 2.027 + 2.368 \times C_L$	ns
			128 < W 256	$6.052 \times 10^{-4} \times B + 2.165 + 2.368 \times C_L$	ns
			256 < W 512	$6.026 \times 10^{-4} \times B + 2.229 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 128	$6.100 \times 10^{-5} \times B + 5.097 \times 10^{-1}$	ns
			128 < W 256	$6.145 \times 10^{-5} \times B + 5.382 \times 10^{-1}$	ns
			256 < W 512	$6.229 \times 10^{-5} \times B + 5.663 \times 10^{-1}$	ns
		MIN2	W 128	$6.222 \times 10^{-5} \times B + 5.617 \times 10^{-1}$	ns
			128 < W 256	$6.252 \times 10^{-5} \times B + 5.944 \times 10^{-1}$	ns
			256 < W 512	$6.408 \times 10^{-5} \times B + 6.264 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.291	ns	
		MAX2	0.297	ns	
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.554	ns	
		MAX2	0.584	ns	
アドレス・セットアップ・タイム	t_{AS}	MAX1	$5.416 \times 10^{-5} \times W + 4.213 \times 10^{-1}$	ns	
		MAX2	$4.785 \times 10^{-5} \times W + 4.409 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t_{AH}	MAX1	0.288	ns	
		MAX2	0.293	ns	
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-5.414 \times 10^{-4} \times B + 4.379 \times 10^{-1}$	ns	
		MAX2	$-5.607 \times 10^{-4} \times B + 4.631 \times 10^{-1}$	ns	
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$8.223 \times 10^{-4} \times B + 2.371 \times 10^{-1}$	ns	
		MAX2	$7.592 \times 10^{-4} \times B + 2.440 \times 10^{-1}$	ns	
ライト・データ・スルー・タイム	t_{DTH}	—	= t_{ACC}	ns	
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	—	= t_{OH}	ns	
BWEN セットアップ・タイム	t_{BWS}	MAX1	$-5.399 \times 10^{-4} \times B + 4.277 \times 10^{-1}$	ns	
		MAX2	$-5.608 \times 10^{-4} \times B + 4.500 \times 10^{-1}$	ns	
BWEN ホールド・タイム	t_{BWH}	MAX1	$8.212 \times 10^{-4} \times B + 2.345 \times 10^{-1}$	ns	
		MAX2	$7.570 \times 10^{-4} \times B + 2.428 \times 10^{-1}$	ns	
CEN セットアップ・タイム	t_{CS}	MAX1	0.341	ns	
		MAX2	0.362	ns	
CEN ホールド・タイム	t_{CH}	MAX1	0.249	ns	
		MAX2	0.258	ns	

(2) WDSRAM002PAA [word] W [bit] C2B1

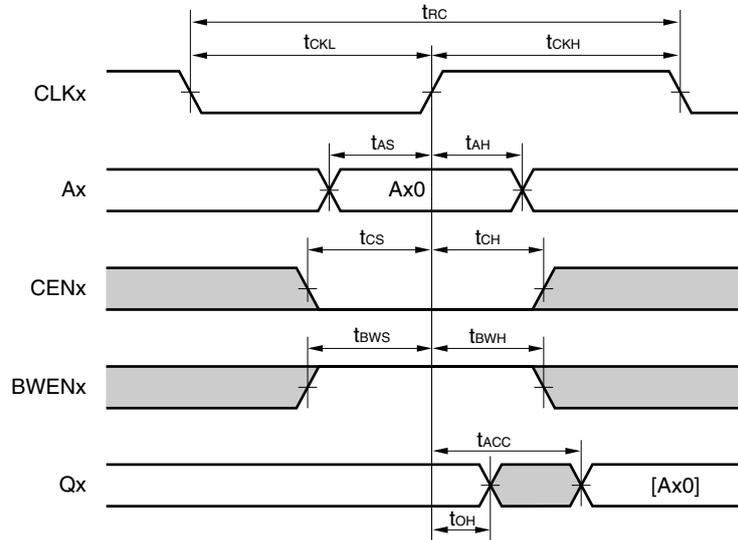
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項 目	略号	条件		計 算 式	単位	
サイクル・タイム	t_{RC}	MAX1	W 256	2.516	ns	
			256 < W 512	2.618	ns	
			512 < W	B 40	2.709	ns
				41 B	2.802	ns
		MAX2	W 256	2.594	ns	
			256 < W 512	2.699	ns	
			512 < W	B 40	2.792	ns
				41 B	2.876	ns
アクセス・タイム	t_{ACC}	MAX1	W 256	$8.883 \times 10^{-4} \times B + 1.912 + 2.273 \times C_L$	ns	
			256 < W 512	$8.883 \times 10^{-4} \times B + 2.017 + 2.273 \times C_L$	ns	
			512 < W	B 40	$8.286 \times 10^{-4} \times B + 2.119 + 2.273 \times C_L$	ns
				41 B	$1.099 \times 10^{-3} \times B + 2.210 + 2.273 \times C_L$	ns
		MAX2	W 256	$8.222 \times 10^{-4} \times B + 2.007 + 2.368 \times C_L$	ns	
			256 < W 512	$8.353 \times 10^{-4} \times B + 2.109 + 2.368 \times C_L$	ns	
			512 < W	B 40	$7.477 \times 10^{-4} \times B + 2.213 + 2.368 \times C_L$	ns
				41 B	$8.967 \times 10^{-4} \times B + 2.310 + 2.368 \times C_L$	ns
出力ホールド・タイム	t_{OH}	MIN1	W 256	$1.458 \times 10^{-4} \times B + 4.908 \times 10^{-1}$	ns	
			256 < W 512	$1.458 \times 10^{-4} \times B + 5.188 \times 10^{-1}$	ns	
			512 < W	B 40	$1.540 \times 10^{-4} \times B + 5.492 \times 10^{-1}$	ns
				41 B	$9.898 \times 10^{-4} \times B + 5.147 \times 10^{-1}$	ns
		MIN2	W 256	$1.296 \times 10^{-4} \times B + 5.433 \times 10^{-1}$	ns	
			256 < W 512	$1.458 \times 10^{-4} \times B + 5.748 \times 10^{-1}$	ns	
			512 < W	B 40	$1.870 \times 10^{-4} \times B + 6.087 \times 10^{-1}$	ns
				41 B	$1.096 \times 10^{-3} \times B + 5.709 \times 10^{-1}$	ns
CLK ハイ・レベル・タイム	t_{CKH}	MAX1	0.343	ns		
		MAX2	0.351	ns		
CLK ロウ・レベル・タイム	t_{CKL}	MAX1	0.649	ns		
		MAX2	0.681	ns		
アドレス・セットアップ・タイム	t_{AS}	MAX1	$-8.463 \times 10^{-4} \times B + 5.060 \times 10^{-1}$	ns		
		MAX2	$-9.167 \times 10^{-4} \times B + 5.281 \times 10^{-1}$	ns		
アドレス・ホールド・タイム	t_{AH}	MAX1	0.489	ns		
		MAX2	0.494	ns		
ライト・データ・セットアップ・タイム	t_{DIS}	MAX1	$-2.100 \times 10^{-3} \times B + 4.446 \times 10^{-1}$	ns		
		MAX2	$-2.107 \times 10^{-3} \times B + 4.587 \times 10^{-1}$	ns		
ライト・データ・ホールド・タイム	t_{DIH}	MAX1	$2.096 \times 10^{-3} \times B + 3.692 \times 10^{-1}$	ns		
		MAX2	$2.123 \times 10^{-3} \times B + 3.774 \times 10^{-1}$	ns		
ライト・データ・スルー・タイム	t_{DTH}	—	= t_{ACC}	ns		
ライト・スルー出力データ・ホールド・タイム	t_{OHW}	—	= t_{OH}	ns		
BWEN セットアップ・タイム	t_{BWS}	MAX1	$-2.100 \times 10^{-3} \times B + 5.446 \times 10^{-1}$	ns		
		MAX2	$-2.107 \times 10^{-3} \times B + 5.587 \times 10^{-1}$	ns		
BWEN ホールド・タイム	t_{BWH}	MAX1	$2.096 \times 10^{-3} \times B + 3.692 \times 10^{-1}$	ns		
		MAX2	$2.123 \times 10^{-3} \times B + 3.774 \times 10^{-1}$	ns		
CEN セットアップ・タイム	t_{CS}	MAX1	0.458	ns		
		MAX2	0.466	ns		
CEN ホールド・タイム	t_{CH}	MAX1	0.423	ns		
		MAX2	0.434	ns		

7.8 タイミング・チャート

注意 タイミング・エラーが発生すると、メモリ中のデータは破壊されます。

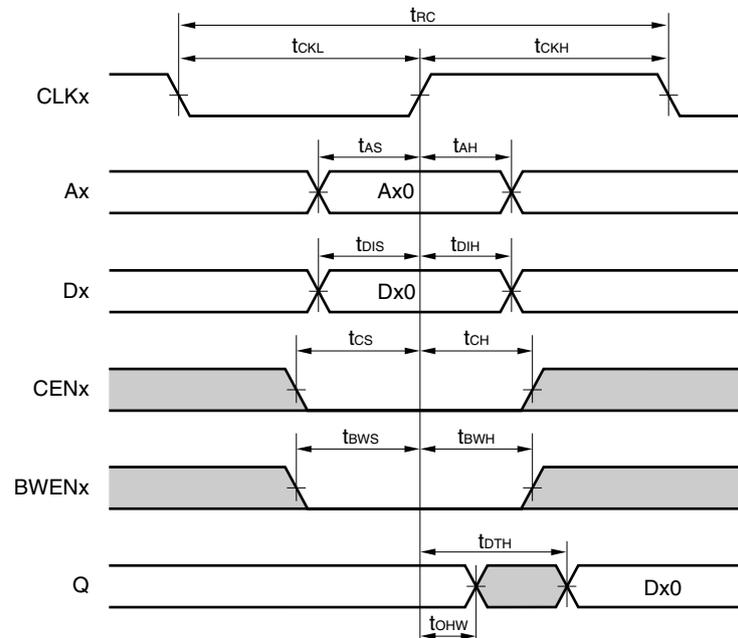
(1) リード・オペレーション



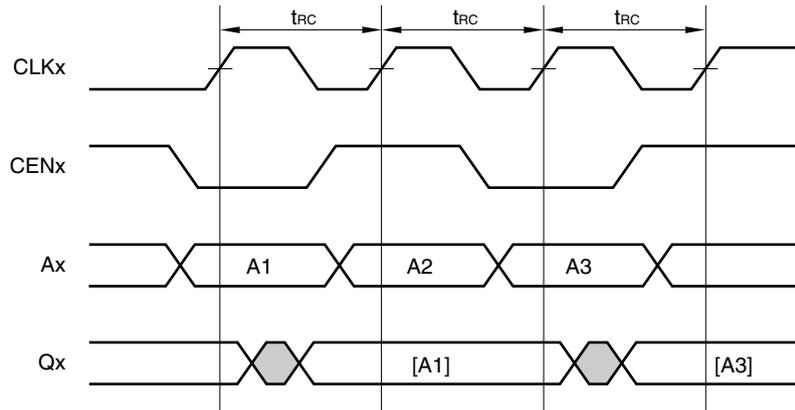
[Ax0] : アドレス Ax0 内のデータを示します。

同一アドレスに連続してアクセスする場合は、上記 toH 後の不定は出力されません。

(2) ライト・オペレーション



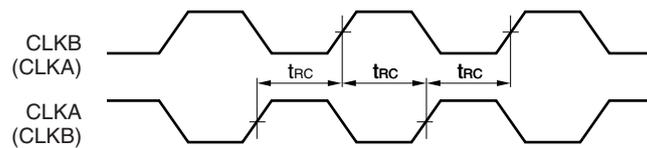
(3) アクティブ, 非アクティブ・オペレーション



7.9 リード・ポート, ライト・ポート間の動作タイミング制約

7.9.1 A ポート = ライト, B ポート = ライト

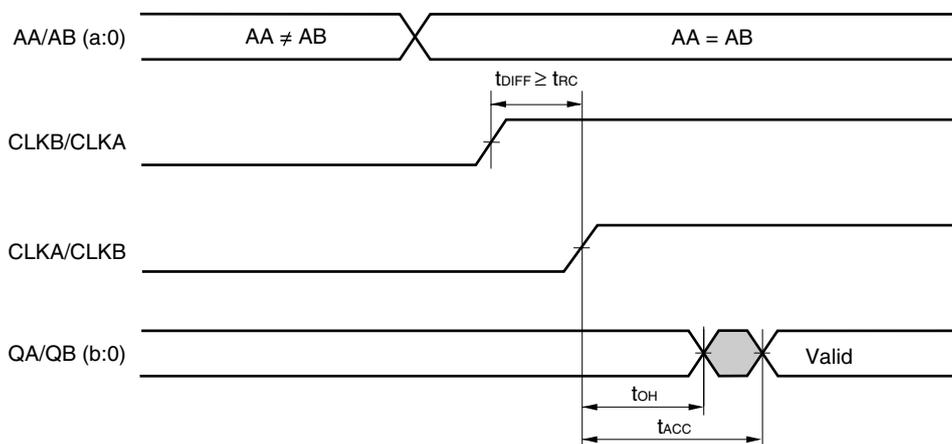
(CENA = 0, CENB = 0, BWENA = 0, BWENB = 0)



注意 同じアドレスへ同時に書き込まないでください。書き込み動作は正常に行われず、メモリ・データは保証されません。また、同じアドレスに書き込む場合は、CLKB - CLKA 間で t_{RC} 以上の時間差を確保してください。

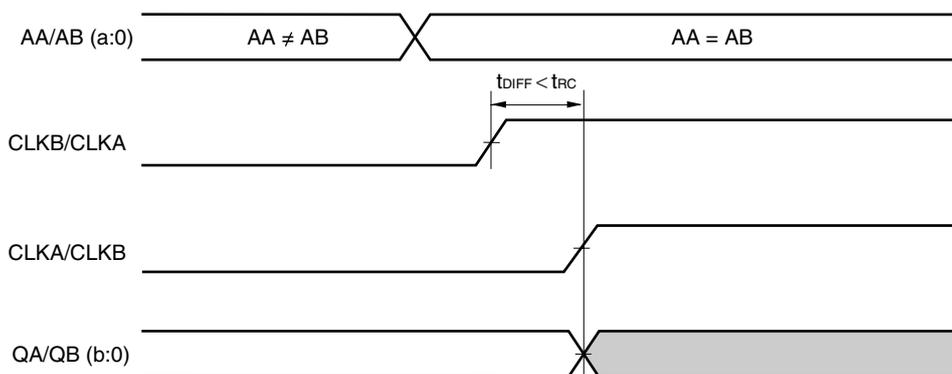
**7.9.2 A ポート = リード , B ポート = ライト
(CENA = 0, CENB = 0, BWENA = 1, BWENB = 0)**

(1) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く ,
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} と同じかまたは長い場合
(同一アドレス同時アクセスではない)



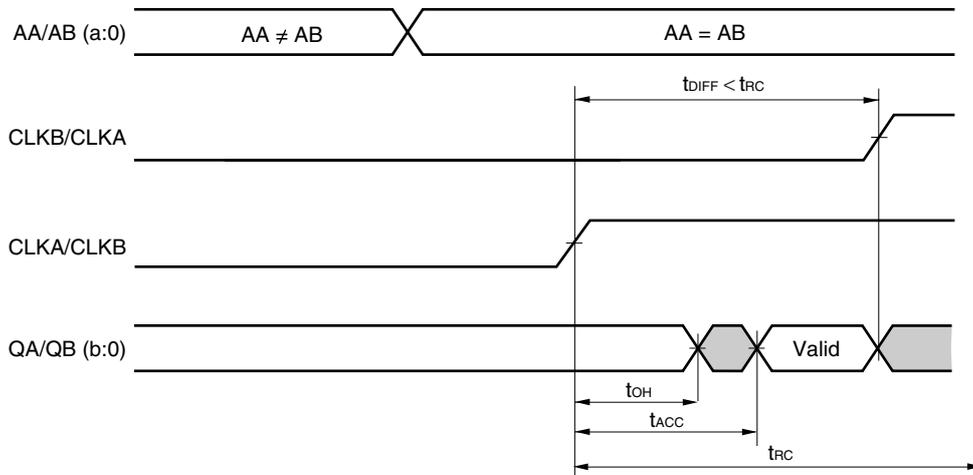
ライト・オペレーションは , 正常に行われます。
QA (QB) の出力データは , B ポートに書き込まれたあとのデータが出力されます。

(2) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより早く ,
かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} とより短い場合
(同一アドレス同時アクセスとみなす)



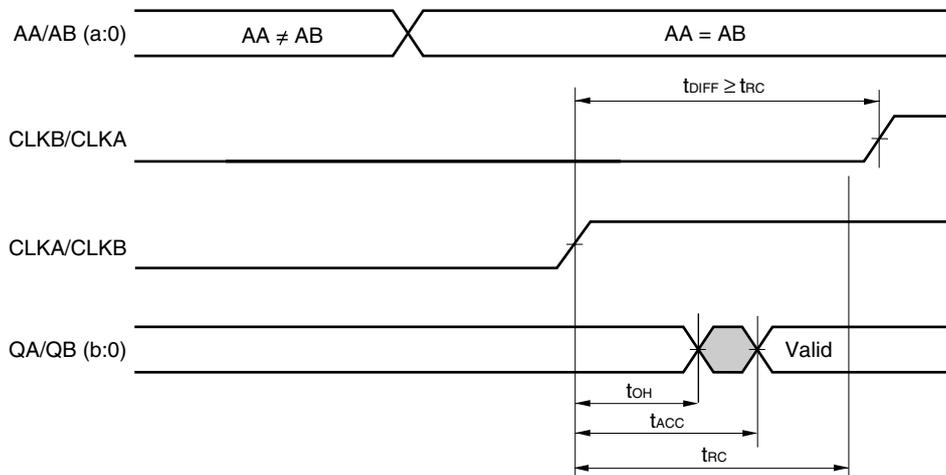
AA/AB(a:0)で指定されたアドレスに “ X ” が書き込まれます。
QA (QB) の出力データは , 不定です。

- (3) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{ACC} より長く、かつ t_{DIFF} が t_{RC} より短い場合
 (同一アドレス同時アクセスとみなす)



AA/AB(a:0)で指定されたアドレスに “ X ” が書き込まれます。
 QA (QB) の出力データは、不定です。

- (4) CLKB の立ち上がりタイミングが CLKA の立ち上がりタイミングより遅れ、
 かつ CLKA, CLKB の立ち上がり区間 (t_{DIFF}) が t_{RC} より長い場合
 (同一アドレス同時アクセスではない)



ライト・オペレーションは、正常に行われます。
 QA (QB) の出力データは、B ポートに書き込まれる前のデータが出力されます。

備考 A ポート = ライト, B ポート = リード ($CENA = 0, CENB = 0, BWENA(b:0) = 0, BWENB(b:0) = 1$) の場合は、CLKA と CLKB のタイミングが逆になり、QA (b:0) が QB (b:0) となります。

第8章 同期式 ROM

8.1 概 要

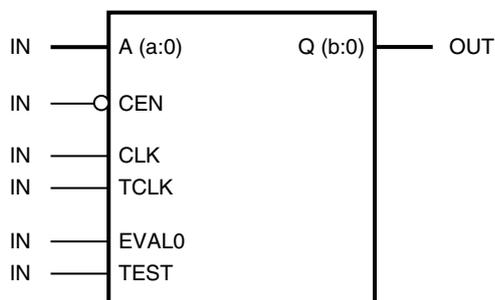
- フリー・サイズ・メモリ
メモリ・コンパイラにより高効率マクロ配置を実現
ビット数：2～32 ビット
ワード数：256～4096 ワード
- 動作電圧：1.1 ± 0.1 V
- 動作周囲温度：-40～+85 °C

8.1.1 コンパイルド・レンジ

カラム数	最小サイズ	最大サイズ	ステップ	マクロ名
16	256 ワード×2 ビット	4096 ワード×32 ビット	128 ワード / 2 ビット	WDROMSVDB [word] W [bit] C4N [id]

備考 id : ROM コード識別番号 (同じサイズの ROM がある場合, ROM コードを識別させるための番号)
番号は, N01, N02, ... となります。

8.1.2 シンボル図



- 備考 1.** “a” = (アドレス本数) - 1 ただし, 7 a 11
(アドレス本数) = \log_2 (ワード数) 小数点以下切り上げです。
“b” = (ビット数) - 1 ただし, 1 b 31
- 2.** TCLK, TEST, EVAL0 端子は, 弊社が提供するラッパー回路により 0 に固定されます。

8.1.3 端子容量

(1) WDROMSVDB [word] W [bit] C4N [id]

Input		Output	
Pin Name/Symbol	C _{IN} (pF)	Pin Name/Symbol	C _{MAX} (pF)
A (a : 0)	0.0022	Q (b : 0)	0.1390
CEN	0.0019		
TEST	0.0037		
TCLK	0.0025		
CLK	0.0025		
EVAL0	0.0044		

8.2 端子機能一覧

端子名	属性	モード	機能
Q (b : 0)	出力	ノーマル	データ出力
A (a : 0)	入力	ノーマル	アドレス入力
CEN [※]	入力	ノーマル	チップ・セレクト入力 (アクティブ・ロウ) CEN = 0 : 動作モード CEN = 1 : 非動作モード
CLK	入力	ノーマル	クロック入力
TCLK	入力	テスト	クロック入力 (テスト用)
TEST	入力	テスト	テスト・モード設定 TEST = 0 : ノーマル・モード (CLK が有効) TEST = 1 : テスト・モード (TCLK が有効)
EVAL0	入力	テスト	テスト端子 EVAL0 = 0 : ノーマル・モード EVAL0 = 1 : テスト・モード

注 CEN を制御する必要がない場合は、ロウ・レベルにクランプすることができます。ただし、CLK を入力している間は動作時と同じ電流が流れるため、できるだけユーザ回路で CEN を制御してください。

8.3 動作真理値表

動作真理値表中の記号の意味は次のとおりです。

X: ハイ・インピーダンスを含まない不定

Ax: 任意データ

[Ax]: メモリ内データ (アドレス Ax 内のデータを示します。)

(1) ROM ファンクション

CEN	CLK	A (a : 0)	Q (b : 0)	動作
0	↑	Ax	[Ax]	リード
0	固定	X	X	スタンバイ
1	↑	X	前データ	マクロ・オフ

(2) テスト・モード・ファンクション

EVAL0	動作
0	通常動作モード
1	内部タイミング加速動作モード (テスト用)

8.4 マクロ・サイズ

マクロ・サイズを算出する際には、次の式で求めてください。

$$\text{マクロ・サイズ} = X \times Y (\mu\text{m}^2)$$

W: ワード数

B: ビット数

N: アドレス本数 $N = \log_2 W$ (小数点以下切り上げ)

INT: 小数点第 1 位切り捨て

(1) WDROMSVDB [word] W [bit] C4N [id]

$$W = 256 \quad X = 34.056 + 5.280 \times B \quad [\mu\text{m}]$$

$$256 < W \quad 512 \quad X = 34.980 + 5.280 \times B \quad [\mu\text{m}]$$

$$512 < W \quad 1024 \quad X = 36.432 + 5.280 \times B \quad [\mu\text{m}]$$

$$1024 < W \quad 2048 \quad X = 37.752 + 5.280 \times B \quad [\mu\text{m}]$$

$$2048 < W \quad 4096 \quad X = 40.524 + 5.280 \times B \quad [\mu\text{m}]$$

$$Y = 24.948 + 0.019 \times W \quad [\mu\text{m}]$$

備考 小数点以下の端数は、切り上げてください。

8.5 電気的特性

絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +1.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0	1.1	1.2	V
動作周囲温度	T _A	-40	+25	+85	°C

8.6 動作消費電流

動作消費電流 (I_{DD}) は、メモリのビット数、ワード数、アドレス本数、動作周波数に依存します。

動作消費電流の値は次の式で求められます。

$$I_{DD} (\text{Worst}) = I_{DDR} (\text{Worst}) + I_{DDW} (\text{Worst}) + \text{スタンバイ電流} (\text{Worst}) \quad [\text{mA}]$$

$$I_{DD} (\text{TYP.}) = I_{DDR} (\text{TYP.}) + I_{DDW} (\text{TYP.}) + \text{スタンバイ電流} (\text{TYP.}) \quad [\text{mA}]$$

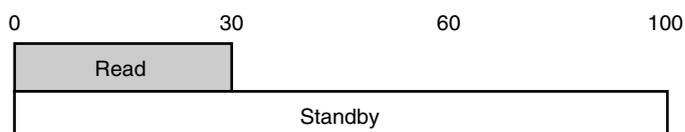
上記の式のうち I_{DDR}, I_{DDW} は次の式で求められます。

なお、表中の記号は次のとおりです。

- B : ビット数 f_R : リード動作周波数 (MHz) N : アドレス本数 N = log₂W
W : ワード数 A : 動作率^注 (100 % = 1) (小数点以下切り上げ)
C_L : 外部負荷容量 (pF)

注 この動作率とは、ROMの全動作期間（リード、スタンバイ、マクロ・オフ）に対して、リード動作が占める割合です。

例 ROMの全動作期間においてリード30%、動作率はリード0.3になります。



8.6.1 通常モード時の動作消費電流

(1) WDROMSVDB [word] W [bit] C4N [id]

動作	条件	計算式 (mA)	
リード (I _{DDR})	256 W 1024	Worst	$(6.394 \times 10^{-8} \times W + 1.629 \times 10^{-3} \times B + 2.436 \times 10^{-8} \times W \times B + 1.564 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(4.898 \times 10^{-8} \times W + 1.085 \times 10^{-3} \times B + 1.329 \times 10^{-8} \times W \times B + 9.896 \times 10^{-4} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	1024 < W 2048	Worst	$(1.061 \times 10^{-7} \times W + 1.834 \times 10^{-3} \times B + 9.920 \times 10^{-8} \times W \times B + 1.472 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(3.577 \times 10^{-8} \times W + 1.298 \times 10^{-3} \times B + 2.705 \times 10^{-8} \times W \times B + 1.019 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
	2048 < W 4096	Worst	$(7.203 \times 10^{-8} \times W + 2.155 \times 10^{-3} \times B + 6.747 \times 10^{-8} \times W \times B + 1.483 \times 10^{-3} + 3.00 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$
		TYP.	$(3.121 \times 10^{-8} \times W + 1.551 \times 10^{-3} \times B + 1.670 \times 10^{-8} \times W \times B + 1.039 \times 10^{-3} + 2.75 \times 10^{-4} \times C_L \times B) \times f_{rx} \times A$

8.6.2 スタンバイ・モード時の動作消費電流

(1) WDROMSVDB [word] W [bit] C4N [id]

条件	計算式 (mA)
Worst	$1.010 \times 10^{-4} \times W + 1.881 \times 10^{-3} \times B + 1.102 \times 10^{-5} \times W \times B + 4.712 \times 10^{-2}$
TYP.	$7.433 \times 10^{-7} \times W + 1.594 \times 10^{-5} \times B + 7.006 \times 10^{-8} \times W \times B + 3.605 \times 10^{-4}$

備考 1. 全入力信号を固定すると、消費電流はスタンバイ・モード時の値となります。

2. 消費電流を計算する際の条件は次のとおりです。T_Jは、ジャンクション温度です。

Worst: V_{DD} = 1.2 V, Process = fast, T_J = 125 °C

TYP.: V_{DD} = 1.1 V, Process = typical, T_J = 25 °C

8.7 タイミング

タイミングの値は、次の式で求めることができます。

なお、表中の記号は次のとおりです。

W：ワード数

B：ビット数

CL：外部負荷容量（pF）

動作条件

条 件	プロセス	電源電圧	周囲温度 (T _A)
MIN1	Fast	1.2 V	-40 °C
MIN2	Fast	1.2 V	+85 °C
TYP	Typical	1.1 V	+25 °C
MAX1	Slow	1.0 V	+85 °C
MAX2	Slow	1.0 V	-40 °C

タイミング規定の説明

- t_{RC}: CLK の最小周期（これ以上の周期でなければ、メモリは正常に動作しません）
- t_{ACC}: CLK の立ち上がり後に Q 出力にデータが出力されるまでの時間
- t_{OH}: リード・アクセス時に前のデータが保持される時間
- t_{CKH}: CLK のハイ幅の最小時間（これ以上の幅がなければ、メモリは正常に動作しません）
- t_{CKL}: CLK のロウ幅の最小時間（これ以上の幅がなければ、メモリは正常に動作しません）
- t_{AS}: アドレスのセットアップ時間
（CLK の立ち上がりに対して、この時間以上前にアドレスが決まっていなければならない時間）
- t_{AH}: アドレスのホールド時間
（CLK の立ち上がりに対して、この時間以上アドレスが保持されなければならない時間）
- t_{CS}: チップ・イネーブルのセットアップ時間
（CLK の立ち上がりに対して、この時間以上前に CEN が入力されなければならない時間）
- t_{CH}: チップ・イネーブルのホールド時間
（CLK の立ち上がりに対して、この時間以上 CEN が保持されなければならない時間）

(1) WDRMSVDB [word] W [bit] C4N [id]

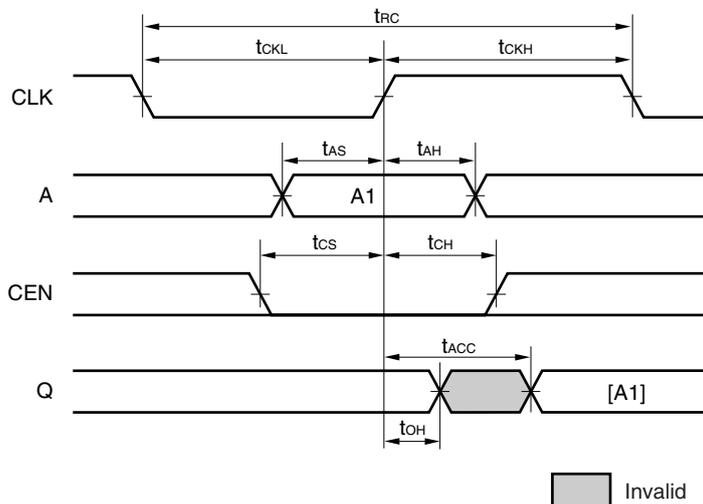
リード/ライト・オペレーション ($V_{DD} = 1.1 \pm 0.1$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件	計算式	単位	
サイクル・タイム	t _{RC}	MAX1	256 W 1024	$1.486 \times 10^{-5} \times W + 1.808 \times 10^{-3} \times B + 2.207$	ns
			1024 < W 2048	$2.881 \times 10^{-5} \times W + 1.924 \times 10^{-3} \times B + 2.623$	ns
			2048 < W 4096	$1.926 \times 10^{-4} \times W + 3.849 \times 10^{-3} \times B + 2.684$	ns
	MAX2	256 W 1024	$1.572 \times 10^{-5} \times W + 1.610 \times 10^{-3} \times B + 2.335$	ns	
		1024 < W 2048	$2.704 \times 10^{-5} \times W + 1.710 \times 10^{-3} \times B + 2.751$	ns	
		2048 < W 4096	$1.681 \times 10^{-4} \times W + 2.993 \times 10^{-3} \times B + 2.862$	ns	
アクセス・タイム	t _{ACC}	MAX1	256 W 1024	$2.126 \times 10^{-6} \times W + 1.488 \times 10^{-3} \times B + 1.619 + 2.273 \times C_L$	ns
			1024 < W 2048	$1.948 \times 10^{-7} \times W + 1.441 \times 10^{-3} \times B + 2.050 + 2.273 \times C_L$	ns
			2048 < W 4096	$9.617 \times 10^{-7} \times W + 1.471 \times 10^{-3} \times B + 2.483 + 2.273 \times C_L$	ns
	MAX2	256 W 1024	$3.666 \times 10^{-6} \times W + 1.445 \times 10^{-3} \times B + 1.739 + 2.368 \times C_L$	ns	
		1024 < W 2048	$2.108 \times 10^{-6} \times W + 1.439 \times 10^{-3} \times B + 2.165 + 2.368 \times C_L$	ns	
		2048 < W 4096	$3.847 \times 10^{-6} \times W + 1.456 \times 10^{-3} \times B + 2.590 + 2.368 \times C_L$	ns	
出力ホールド・タイム	t _{OH}	MIN1	256 W 1024	$3.107 \times 10^{-4} \times B + 4.194 \times 10^{-1}$	ns
			1024 < W 2048	$2.995 \times 10^{-4} \times B + 5.400 \times 10^{-1}$	ns
			2048 < W 4096	$2.878 \times 10^{-4} \times B + 6.006 \times 10^{-1}$	ns
	MAX2	256 W 1024	$3.107 \times 10^{-4} \times B + 4.659 \times 10^{-1}$	ns	
		1024 < W 2048	$2.995 \times 10^{-4} \times B + 6.009 \times 10^{-1}$	ns	
		2048 < W 4096	$2.878 \times 10^{-4} \times B + 7.385 \times 10^{-1}$	ns	
CLK ハイ・レベル・タイム	t _{CKH}	MAX1	0.301	ns	
		MAX2	0.310	ns	
CLK ロウ・レベル・タイム	t _{CKL}	MAX1	0.392	ns	
		MAX2	0.403	ns	
アドレス・セットアップ・タイム	t _{AS}	MAX1	$1.045 \times 10^{-5} \times W + 4.388 \times 10^{-1}$	ns	
		MAX2	$1.126 \times 10^{-5} \times W + 4.783 \times 10^{-1}$	ns	
アドレス・ホールド・タイム	t _{AH}	MAX1	0.494	ns	
		MAX2	0.504	ns	
CS セットアップ・タイム	t _{CS}	MAX1	0.463	ns	
		MAX2	0.496	ns	
CS ホールド・タイム	t _{CH}	MAX1	0.496	ns	
		MAX2	0.506	ns	

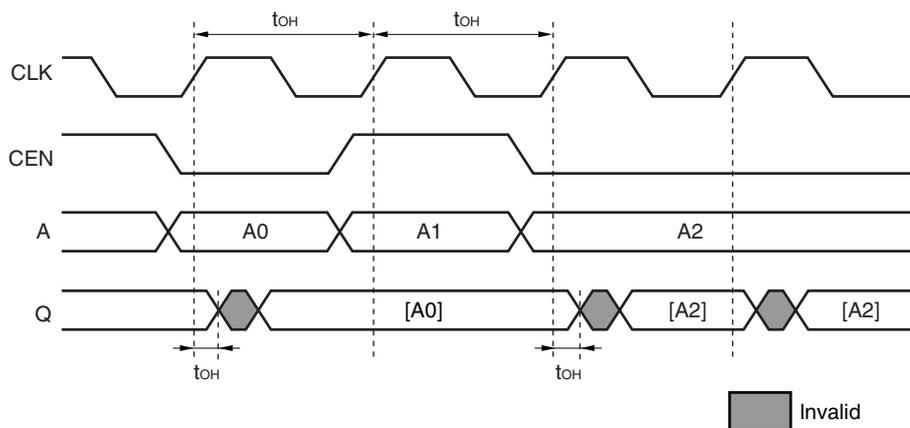
8.8 タイミング・チャート

注意 タイミング・エラーが発生すると、出力データは不定となります。

(1) リード・オペレーション



(2) アクティブ、非アクティブ・オペレーション



注意 同一アドレスの場合も、CLK の立ち上がりの t_{OH} から t_{ACC} の間に不定が出力されます。

改訂記録	CB-40 LD タイプ ユーザーズマニュアル メモリマクロ編
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.11.05	-	初版発行
2.00	2009.12.17	-	改版
3.00	2010.03.31	-	改版
4.00	2010.09.24	全般	新フォーマットに変更
		p.2	表 1 - 1 メモリマクロの種類にマクロ追加
		p.73-90	第 4 章 同期式 2 ポート (1R+1W) RAM に次のメモリマクロを追加 WDREG110PKA [word] W [bit] C1
		p.91-108	第 5 章 同期式 2 ポート (1R+1W) Bit Write 機能付き RAM に次のメモリマクロを追加 WDREG110PKA [word] W [bit] C1B1

CB-40 LD タイプ ユーザーズマニュアル メモリマクロ編

発行年月日 2009 年 11 月 5 日 Rev.1.00
 2010 年 9 月 24 日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

CB-40 LD タイプ