User's Manual

32

V850E2/Jx4-L

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコンピュータ

V850E2/Jx4-L **マイクロコントローラ**

【暫定版】

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.0.01　2012.01

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

対 象 者　このマニュアルは，V850E2/Jx4-Lの機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

目　　的　このマニュアルは，次の構成に示すハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　V850E2/Jx4-Lのユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編（V850E2S　ユーザーズ・マニュアル　アーキテクチャ編）の2冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・フラッシュ・メモリ・プログラミング	・割り込みと例外
・電気的特性	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコントローラに関する一般知識を必要とします。

一通りV850E2/Jx4-Lの機能を理解しようとするとき
　→目次に従ってお読みください。

レジスタ・フォーマットの見方
　→ビット番号を□で囲んでいるものは，そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき
　→別冊のV850E2S　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

このマニュアルでは，「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし，プログラムにそのまま「xxx.yyy」と記述しても，コンパイラ／アセンブラは正しく認識できませんので，注意してください。

凡　例

データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記：$\overline{\text{xxx}}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部－上位，下部－下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数　…　xxxxまたはxxxxB

10進数　…　xxxx

16進数　…　xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）：$2^{10} = 1024$

M（メガ）：$2^{20} = 1024^2$

G（ギガ）：$2^{30} = 1024^3$

目　　次

第1章　イントロダクション 1

1. 1　概　　説 1
1. 2　特　　徴 9
1. 3　応用分野 12
1. 4　オーダ情報 13
1. 5　端子接続図（Top View） 15
1. 6　機能ブロック構成 23
1. 6. 1　内部ブロック図 23
1. 6. 2　内部ユニット 30

第2章　端子機能 33

2. 1　端子機能一覧 33
2. 1. 1　ポート端子 35
2. 1. 2　ポート以外の端子 40
2. 2　端子機能の二重化 51
2. 3　端子状態 54
2. 4　端子の入出力バッファ電源と未使用端子の処理 55
2. 5　ノイズ除去回路 60
2. 5. 1　レジスタ 63

第3章　CPU機能 74

3. 1　特　　徴 74
3. 2　CPUレジスタ・セット 75
3. 2. 1　プログラム・レジスタ・セット 76
3. 2. 2　システム・レジスタ・バンク 78
3. 2. 3　CPU機能グループ／基本バンク 81
3. 2. 4　CPU機能グループ／例外ハンドラ・アドレス切り替え機能バンク 91
3. 2. 5　ユーザ・グループ 95
3. 3　プロセッサ保護機能（MPU） 96
3. 3. 1　特　徴 96
3. 3. 2　システム・レジスタ・バンク 97
3. 3. 3　システム・レジスタ 99
3. 3. 4　システム・レジスタ保護 106
3. 3. 5　メモリ保護 108
3. 4　信頼性機能 113
3. 4. 1　信頼性機能の構成 113
3. 4. 2　命令アクセス・エラー通知機能 115
3. 4. 3　システム・エラー通知機能 115
3. 5　動作モード 120
3. 6　アドレス空間 121
3. 6. 1　CPUアドレス空間 121
3. 6. 2　CPUアドレス空間のラップ・アラウンド 122
3. 6. 2　メモリ・マップ 123
3. 6. 3　領　　域 127

第4章　ポート機能 138

4. 1　特　　徴 138
4. 2　ポートの基本構成 138
4. 3　ポートの構成 145
4. 3. 1　ポート0 152
4. 3. 2　ポート1 155
4. 3. 3　ポート2 160
4. 3. 4　ポート3 166
4. 3. 5　ポート4 171
4. 3. 6　ポート5 177
4. 3. 7　ポート6 184
4. 3. 8　ポート7 190
4. 3. 9　ポート8 197
4. 3. 10　ポート9 204
4. 3. 11　ポート10 211
4. 3. 12　ポート11 216
4. 3. 13　ポート13 222
4. 3. 14　ポート14 227
4. 3. 15　ポート15 234
4. 3. 16　ポート16 239
4. 3. 17　ポート20 243
4. 3. 18　ポート21 248
4. 3. 19　ポート22 253
4. 3. 20　ポート23 257
4. 3. 21　ポートJP 263

第5章　バス制御機能 268

5. 1　特　　徴 268
5. 2　バス制御端子 269
5. 3　チップ･セレクト機能 271
5. 4　外部バス・インタフェース・モード制御機能 273
5. 5　バス・アクセス 274
5. 5. 1　バス・サイズ設定機能 274
5. 5. 2　データ・エンディアン制御機能 275
5. 6　ウエイト機能 287
5. 6. 1　プログラマブル・ウエイト機能 288
5. 6. 2　外部ウエイト機能 289
5. 6. 3　プログラマブル・ウエイトと外部ウエイトの関係 289
5. 6. 4　データ・ホールド・ウエイト機能 290
5. 6. 5　プログラマブル・アドレス・ウエイト機能 291
5. 7　アイドル・ステート挿入機能 293
5. 8　バスの優先順位 294
5. 9　バス・タイミング 294

第6章　クロック発生回路 299

6. 1　概　要　299
6. 1. 1　クロック・ソース 299
6. 1. 2　PLL機能 300

6.2 構　　成 301
6.3 レジスタ 303
6.3.1 特定レジスタについて 340
6.4 システム・クロック発振回路 343
6.4.1 X1発振回路 343
6.4.2 XT1発振回路 343
6.4.3 高速オンチップ・オシレータ 347
6.4.4 低速オンチップ・オシレータ 347
6.5 動　　作 348
6.5.1 リセット解除後のクロック動作 349
6.5.2 CPU／周辺クロック（fCLK）の動作 350
6.5.3 ウォッチドッグ・タイマ・クロック（fWDT）の動作 369
6.5.4 リアルタイム・クロック周波数（fRTC）の動作 370
6.5.5 USBクロック（fUSB）の動作 371

第7章　タイマ・アレイ・ユニット（TAU） 372

7.1 タイマ・アレイ・ユニットの機能 374
7.1.1 単独チャネル動作機能 374
7.1.2 複数チャネル連動動作機能 376
7.1.3 LIN-bus対応機能（ユニット2のチャネル0-7のみ） 378
7.2 タイマ・アレイ・ユニットの構成 379
7.3 タイマ・アレイ・ユニットを制御するレジスタ 386
7.4 タイマ・アレイ・ユニットの基本ルール 405
7.4.1 複数チャネル連動動作機能の基本ルール 405
7.5 カウンタの動作タイミング 407
7.5.1 カウント・クロック（fTCLK） 407
7.5.2 カウンタのスタート・タイミング 409
7.6 チャネル出力（TOnm端子）の制御 415
7.6.1 TOnm端子の出力回路の構成 415
7.6.2 TOnm端子の出力設定 416
7.6.3 チャネル出力操作時の注意事項 417
7.6.4 TOnmビットの一括操作 423
7.6.5 カウント動作開始時のタイマ割り込みとTOnm端子出力について 425
7.7 タイマ・アレイ・ユニットの単独チャネル動作機能 426
7.7.1 インターバル・タイマ／方形波出力としての動作 426
7.7.2 外部イベント・カウンタとしての動作 431
7.7.3 分周器としての動作（ユニット0のチャネル0-3のみ） 435
7.7.4 入力パルス間隔測定としての動作 439
7.7.5 入力信号のハイ／ロウ・レベル幅測定としての動作 443
7.7.6 ディレイ・カウンタとしての動作 447
7.8 タイマ・アレイ・ユニットの複数チャネル連動動作機能 451
7.8.1 ワンショット・パルス出力機能としての動作 451
7.8.2 PWM機能としての動作 458
7.8.3 多重PWM出力機能としての動作 465

第8章　16ビット・エンコーダ・タイマ（ENCA） 473

8.1 機　　能 473
8.2 構　　成 474
8.2.1 割り込み機能 476

8. 2. 2　端子の構成 477
8. 3　レジスタ 478
8. 4　動　　作 492
8. 4. 1　タイマ・カウンタの動作 492
8. 4. 2　タイマ・カウンタのアップ／ダウン制御 493
8. 4. 3　エンコーダ入力によるタイマ・カウンタ・クリア制御 497
8. 4. 4　ENCAnCCR0の機能 499
8. 4. 5　ENCAnCCR1の機能 500
8. 4. 6　コンペア・レジスタが一致したときのタイマ・カウンタのクリア制御 502
8. 5　設定の順序 503
8. 5. 1　エンコーダ・タイマの設定手順 503
8. 6　タイミング図 505
8. 6. 1　オーバフローの発生とオーバフロー・フラグ・クリア操作 505
8. 6. 2　アンダフローの発生とアンダフロー・フラグ・クリア操作 507
8. 6. 3　Z相のキャプチャ 509
8. 6. 4　オーバフローの発生とZ相の入力によるクリア動作との競合 510
8. 6. 5　アンダフローの発生とZ相の入力によるクリア動作との競合 511
8. 6. 6　動作開始直後のオーバフロー動作 512
8. 6. 7　動作開始直後のアンダフロー動作 513
8. 6. 8　ENCAnLDE機能（カウント値のロード） 514
8. 6. 9　ENCAnLDE機能（カウンタ値のロード）とENCAnCCR0レジスタの書き換えとの競合 516
8. 6. 10　ENCAnLDE機能（カウンタ値のロード）とZ相の入力によるクリア動作との競合 517
8. 6. 11　カウント・クロック間のキャプチャ動作（ENCAnCCR1） 519
8. 6. 12　カウント・クロック間のキャプチャ動作（ENCAnCCR0） 520
8. 6. 13　ENCAnECM1-0 = {0, 1}かつENCAnCTS = 0のときのエンコーダの動作 521
8. 6. 14　ENCAnECM1-0 = {0, 1}かつENCAnCTS = 1のときのエンコーダの動作 522
8. 6. 15　ENCAnECM1-0 = {0, 0}のときのエンコーダの動作 523
8. 6. 16　ENCAnSCE = 1のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作 524
8. 6. 17　ENCAnSCE = 0のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作 529
8. 6. 18　コンペア一致割り込み検出マスク機能の動作 530

第9章　16ビット・インターバル・タイマM（TMM） 532

9. 1　機　　能 532
9. 2　構　　成 533
9. 3　レジスタ 534
9. 4　動　　作 536
9. 4. 1　インターバル・タイマ・モード 536
9. 4. 2　注意事項 540

第10章　リアルタイム・クロック（RTC） 541

10. 1　リアルタイム・クロックの機能 541
10. 2　リアルタイム・クロックの構成 541
10. 3　リアルタイム・クロックを制御するレジスタ 543
10. 4　リアルタイム・クロックの動作 556
10. 4. 1　リアルタイム・クロックの動作開始 556

10. 4. 2　動作開始後のSTOPモードへの移行 557
10. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込み 558
10. 4. 4　リアルタイム・クロックのアラーム設定 560
10. 4. 5　リアルタイム・クロックの1 Hz出力 561
10. 4. 6　リアルタイム・クロックの時計誤差補正例 562

第11章　ウォッチドッグ・タイマ（WDT） 566

11. 1　ウォッチドッグ・タイマの機能 566
11. 2　ウォッチドッグ・タイマの構成 567
11. 3　レジスタ 569
11. 4　ウォッチドッグ・タイマの動作 570
11. 4. 1　ウォッチドッグ・タイマの動作制御 570
11. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定 571
11. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定 572
11. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定 573

第12章　リアルタイム出力機能（RTO） 574

12. 1　機　　能 574
12. 2　構　　成 575
12. 2. 1　端子の構成 576
12. 3　レジスタ 578
12. 4　動　　作 580
12. 5　使用方法 581
12. 6　注意事項 582

第13章　クロック出力／ブザー出力制御回路（BUZZ） 583

13. 1　クロック出力／ブザー出力制御回路の機能 583
13. 2　クロック出力／ブザー出力制御回路の構成 585
13. 3　クロック出力／ブザー出力制御回路を制御するレジスタ 585
13. 4　クロック出力／ブザー出力制御回路の動作 587
13. 4. 1　出力端子の動作 587

第14章　A/Dコンバータ 588

14. 1　A/Dコンバータの機能 588
14. 2　A/Dコンバータの構成 590
14. 3　A/Dコンバータで使用するレジスタ 592
14. 4　A/Dコンバータの変換動作 608
14. 5　入力電圧と変換結果 610
14. 6　A/Dコンバータの動作モード 611
14. 6. 1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード） 611
14. 6. 2　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード） 612
14. 6. 3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード） 613
14. 6. 4　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード） 614
14. 6. 5　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード） 615
14. 6. 6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット

変換モード） 616
14. 6. 7　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード） 617
14. 6. 8　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード） 618
14. 6. 9　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード） 619
14. 6. 10　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード） 620
14. 6. 11　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード） 621
14. 6. 12　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード） 622
14. 7　A/Dコンバータの設定フロー・チャート 623
14. 7. 1　ソフトウエア・トリガ・モード設定 624
14. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定 625
14. 7. 3　ハードウエア・トリガ・ウエイト・モード設定 626
14. 7. 4　温度センサ使用時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時） 627
14. 7. 5　テスト・モード設定 628
14. 8　SNOOZEモード機能 629
14. 9　A/Dコンバータ特性表の読み方 632
14. 10　A/Dコンバータの注意事項 635

第15章　D/Aコンバータ 638

15. 1　機　　能 638
15. 2　構　　成 639
15. 2. 1　端子の構成 640
15. 3　レジスタ 641
15. 4　使用方法 643
15. 4. 1　通常モード時の使用方法 643
15. 4. 2　リアルタイム出力モード時の使用方法 643
15. 4. 3　注意事項 644

第16章　シリアル・アレイ・ユニット（SAU） 645

16. 1　シリアル・アレイ・ユニットの機能 647
16. 1. 1　3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51） 647
16. 1. 2　UART（UART00, UART01, UART10, UART11, UART20, UART21, ... 648
UART40, UART50） 648
16. 2　シリアル・アレイ・ユニットの構成 649
16. 2. 1 各チャネルの端子機能について 655
16. 3　シリアル・アレイ・ユニットを制御するレジスタ 658
16. 4　動作停止モード 677
16. 4. 1　ユニット単位で動作停止とする場合 678
16. 4. 2　チャネルごとに動作停止とする場合 679
16. 5　3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信の動作　680
16. 5. 1　マスタ送信 682

16. 5. 2　マスタ受信 690
16. 5. 3　マスタ送受信 698
16. 5. 4　スレーブ送信 706
16. 5. 5　スレーブ受信 714
16. 5. 6　スレーブ送受信 720
16. 5. 7　SNOOZEモード機能 728
16. 5. 8　通信クロック周波数の算出 732
16. 5. 9　3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信時におけるエラー発生時の処理手順 734
16. 6　UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信の動作　735
16. 6. 1　UART送信 737
16. 6. 2　UART受信 746
16. 6. 3　SNOOZEモード機能 753
16. 6. 4　ボー・レートの算出 759
16. 6. 5　UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信時におけるエラー発生時の処理手順 763
16. 7　LIN通信の動作 765
16. 7. 1　LIN送信 765
16. 7. 2　LIN受信 768

第17章　シリアル・アレイ・ユニットS（SAUS） 772

17. 1　シリアル・アレイ・ユニットの機能 774
17. 1. 1　3線シリアルI/O（CSIS00, CSIS01） 774
17. 1. 2　UART（UARTS00） 775
17. 2　シリアル・アレイ・ユニットの構成 776
17. 2. 1 各チャネルの端子機能について 780
17. 3　シリアル・アレイ・ユニットを制御するレジスタ 781
17. 4　動作停止モード 799
17. 4. 1　ユニット単位で動作停止とする場合 800
17. 4. 2　チャネルごとに動作停止とする場合 801
17. 5　3線シリアルI/O（CSIS00, CSIS01）通信の動作 802
17. 6　UART（UARTS00）通信の動作 802
17. 7　LIN通信の動作 802

第18章　シリアル・インタフェースIICA 803

18. 1　シリアル・インタフェースIICAの機能 803
18. 2　シリアル・インタフェースIICAの構成 806
18. 3　シリアル・インタフェースIICAを制御するレジスタ 809
18. 4　I^2Cバス・モードの機能 821
18. 4. 1　端子構成 821
18. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法 822
18. 5　I^2Cバスの定義および制御方法 824
18. 5. 1　スタート・コンディション 824
18. 5. 2　アドレス 825
18. 5. 3　転送方向指定 825
18. 5. 4　アクノリッジ（ACK） 826
18. 5. 5　ストップ・コンディション 827
18. 5. 6　ウエイト 828

18. 5. 7　ウエイト解除方法 830
18. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびウエイト制御 831
18. 5. 9　アドレスの一致検出方法 832
18. 5. 10　エラーの検出 832
18. 5. 11　拡張コード 833
18. 5. 12　アービトレーション 834
18. 5. 13　ウエイク・アップ機能 836
18. 5. 14　通信予約 839
18. 5. 15　その他の注意事項 843
18. 5. 16　通信動作 844
18. 5. 17　I^2C割り込み要求（INTIICAn）の発生タイミング 853
18. 6　タイミング・チャート 874

第19章　USBファンクション・コントローラ（USBF） 889

第20章　DMA機能（DMAコントローラ） 890

20. 1　特　　徴 890
20. 2　構　　成 891
20. 3　レジスタ 892
20. 4　DMAの転送モード 906
20. 4. 1　シングル転送モード（ハードウエアDMA転送要求時） 906
20. 4. 2　シングル・ステップ転送モード（ソフトウエアDMA転送要求時） 907
20. 5　DMAチャネルの優先順位 908
20. 6　DMA転送要求の有効条件 909
20. 7　DMA各種タイミング 910
20. 7. 1　ハードウエアDMA転送要因サンプリング・タイミング 910
20. 7. 2　DMA転送完了割り込み（INTDMAn）発生タイミング 910
20. 8　DMA転送の設定フロー 911
20. 9　ループ機能 912
20. 9. 1　ループ機能の注意事項 912
20. 10　DMA転送の中断／再開，および強制終了 912
20. 10. 1　ハードウエアによるDMA転送の中断 912
20. 10. 2　ソフトウエアによるDMA転送の中断／再開 912
20. 10. 3　中断中のDMA転送の強制終了 913
20. 11　エラー・レスポンス 914
20. 11. 1　エラー・レスポンスによるDMA転送中断 914
20. 11. 2　エラー・レスポンスによる転送中断の解除 914
20. 12　注意事項 915

第21章　割り込み／例外処理機能 916

21. 1　特　　徴 916
21. 2　例外要因 916
21. 3　割り込み要因 917
21. 3. 1　FEレベル・マスカブル割り込み（FEINT） 917
21. 3. 2　EIレベル・マスカブル割り込み（EIINT） 917
21. 2　割り込みの受け付けと復帰 924
21. 2. 1　FEINT割り込み要求によるFEレベル・マスカブル割り込み 924
21. 2. 2　FEレベル・マスカブル割り込み（FEINT）からの復帰 926
21. 2. 3　EIINT割り込み要求によるEIレベル・マスカブル割り込み 927

21. 2. 4　EIレベル・マスカブル割り込み（EIINT）からの復帰 929
21. 3　割り込み動作 930
21. 3. 1　EIレベル・マスカブル割り込み（EIINT）の割り込みマスク機能 930
21. 3. 2　割り込み優先度判断 930
21. 3. 3　優先度マスク機能 934
21. 3. 4　保留割り込み通知機能 935
21. 3. 5　イン・サービス・プライオリティ・クリア機能 935
21. 4　割り込みコントローラ制御レジスタ 936
21. 4. 1　EIレベル割り込み制御レジスタ（ICxxx） 936
21. 4. 2　EIレベル割り込みマスク・レジスタ0-7（IMR0-IMR7） 940
21. 4. 3　インサービス・プライオリティ・レジスタ（ISPR） 942
21. 4. 4　プライオリティ・マスク・レジスタ（PMR） 943
21. 4. 5　イン・サービス・プライオリティ・マスク・レジスタ（ISPC） 944
21. 4. 6　割り込みコントローラ・ステータス・レジスタ（ICSR） 945
21. 4. 7　FEレベル・マスカブル割り込み制御レジスタ（FIC） 946
21. 5　例外ハンドラ・アドレス切り替え機能 946

第22章　キー割り込み機能 947

22. 1　機　　能 947
22. 2　端子の構成 948
22. 3　レジスタ 949
22. 4　注意事項 950

第23章　パワー・セーブ機能 951

23. 1　概　　要 951
23. 2　レジスタ 953
23. 2. 1　特定レジスタについて 957
23. 3　通常動作モード 960
23. 3. 1　通常動作（高速モード）と通常動作（低電圧モード）間の遷移 963
23. 4　サブシステム・クロック動作モード 965
23. 4. 1　設定および動作状態 965
23. 7. 2　サブシステム・クロック動作モードの解除 967
23. 5　HALTモード 968
23. 5. 1　設定および動作状態 968
23. 5. 2　HALTモードの解除 968
23. 6　サブHALTモード 970
23. 6. 1　設定および動作状態 970
23. 6. 2　サブHALTモードの解除 970
23. 7　STOPモード 973
23. 7. 1　設定および動作状態 973
23. 7. 2　STOPモードの解除 975
23. 7. 4　STOPモード解除時の発振安定時間の確保 976
23. 8　SNOOZEモード 977
23. 8. 1　SNOOZEモードの設定および動作状態 977
23. 8. 2　SNOOZEモードの解除 979

第24章　リセット機能 980

24. 1　機　　能 980
24. 2　構　　成 981

24. 3　レジスタ 985
24. 3. 1　特定レジスタについて 989

第25章　クロック・モニタ（CLM） 991

25. 1　機　　能 991
25. 2　構　　成 992
25. 3　レジスタ 993
25. 3. 1　特定レジスタについて 996
25. 4　動　　作 999
25. 4. 1　機能説明 1000

第26章　パワーオン・リセット回路（POR） 1003

26. 1　パワーオン・リセット回路の機能 1003
26. 2　パワーオン・リセット回路の構成 1004
26. 3　パワーオン・リセット回路の動作 1004

第27章　電圧検出回路（LVD） 1006

27. 1　電圧検出回路の機能 1006
27. 2　電圧検出回路の構成 1007
27. 3　電圧検出回路を制御するレジスタ 1007
27. 4　電圧検出回路の動作 1012
27. 4. 1　リセット・モードとして使用時の設定 1012
27. 4. 2　割り込みモードとして使用時の設定 1014
27. 5　電圧検出回路の注意事項 1016

第28章　安全機能 1017

28. 1　安全機能の概要 1017
28. 2　安全機能で使用するレジスタ 1018
28. 3　安全機能の動作 1018
28. 3. 1　フラッシュ・メモリCRC演算機能（Flash CRC） 1018
28. 3. 2　汎用CRC演算機能（汎用CRC） 1025
28. 3. 3　内蔵RAMパリティ・エラー検出機能 1026
28. 3. 4　周波数検出機能 1028
28. 3. 5　A/Dテスト機能 1030
28. 3. 6　メモリ保護機能 1033

第29章　汎用CRC機能 1034

29. 1　機　　能 1034
29. 2　構　　成 1034
29. 3　レジスタ 1035
29. 4　動　　作 1036
29. 5　使用方法 1037

第30章　レギュレータ 1039

30. 1　概　　要 1039
30. 2　動　　作 1040

第31章　オプション・バイト 1041

31. 1　プログラム例 1047

第32章　フラッシュ・メモリ 1048

32. 1　フラッシュ・メモリ・プログラマによる書き込み方法 1049
32. 1. 1　プログラミング環境 1051
32. 1. 2　通信方式 1051
32. 2　オンボード上の端子処理 1053
32. 2. 1　JP0_0/TOOL0端子 1053
32. 2. 2　RESET端子 1053
32. 2. 3　ポート端子 1054
32. 2. 4　REGC端子 1054
32. 2. 5　X1, X2端子 1054
32. 2. 6　電　　源 1054
32. 3　データ・フラッシュ 1055
32. 3. 1　データ・フラッシュの概要 1055
32. 3. 2　データ・フラッシュを制御するレジスタ 1056
32. 3. 3　データ・フラッシュへのアクセス手順 1058

第33章　オンチップ・デバッグ機能 1059

33. 1　オンチップ・デバッグ・エミュレータとの接続 1060
33. 1. 1　接続回路例 1060
33. 2　注意事項 1061
33. 3　ユーザ資源の確保 1061

第34章　外 形 図 1062

第1章　イントロダクション

V850E2/Jx4-Lは，ルネサス エレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラV850マイコンのロウ・パワー・シリーズの1製品です。

1.1　概　　説

V850E2/Jx4-Lは，V850E2S CPUコアを使用し，ROM/RAM，タイマ／カウンタ，シリアル・インタフェース，A/Dコンバータ，D/Aコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850E2/Jx4-Lは，高いリアルタイム応答性と1クロック・ピッチの基本命令に加え，デジタル・サーボ制御の応用に最適な命令として，ハードウエア乗算器による乗算命令，飽和演算命令，ビット操作命令などを持っています。また，リアルタイム制御システムとして，超低消費電力を必要とするデジタル・カメラ，電力メータ，携帯端末などへの応用が，きわめて高いコスト・パフォーマンスで実現できます。

表1－1～表1－7にV850E2/Jx4-Lの製品一覧を示します。

表1ー1 V850E2/JC4-L（40ピン）の製品一覧

愛 称		V850E2/JC4-L					
品 名		μPD70F4035	μPD70F4036	μPD70F4037	μPD70F4038	μPD70F4039	μPD70F4040
内部メモリ	フラッシュ・メモリ	32 Kバイト	64 Kバイト	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト
	内蔵RAM	16 Kバイト	24 Kバイト	24 Kバイト	48 Kバイト	64 Kバイト	64 Kバイト
	データ・フラッシュ	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト
メモリ空間	論理空間	64 Mバイト					
	外部メモリ領域	ー					
メイン・システム･クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V					
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V					
高速オンチップ･オシレータ･クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V					
低速オンチップ･オシレータ･クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V					
外部バス・インタフェース		ー					
タイマ	16ビットTAU	3ユニット×8チャネル					
	16ビット・エンコーダ・タイマ	1チャネル					
	16ビット・インターバル・タイマ	1チャネル					
	リアルタイム・クロック	1チャネル					
	ウォッチドッグ・タイマ	1チャネル					
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル					
クロック出力／ブザー出力		2チャネル					
A/Dコンバータ		5チャネル					
D/Aコンバータ		ー					
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：4チャネル ・UART：4チャネル					
	I^2Cバス	1チャネル					
USBファンクション		1チャネル					
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）					
割り込み要因		63（NMI含みます）					
スタンバイ機能		HALT／STOP／SNOOZEモード					
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット					
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応					
動作電源電圧		1.6 ～ 3.6 V					
パッケージ		40ピン・プラスチックWQFN（6×6 mm）					

表1ー2 V850E2/JC4-L（48ピン）の製品一覧

愛 称		V850E2/JC4-L					
品 名		μPD70F4041	μPD70F4042	μPD70F4043	μPD70F4044	μPD70F4045	μPD70F4046
内部メモリ	フラッシュ・メモリ	32 Kバイト	64 Kバイト	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト
	内蔵RAM	16 Kバイト	24 Kバイト	24 Kバイト	48 Kバイト	64 Kバイト	64 Kバイト
	データ・フラッシュ	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト
メモリ空間	論理空間	64 Mバイト					
	外部メモリ領域	ー					
メイン・システム･クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V					
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V					
高速オンチップ･オシレータ･クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V					
低速オンチップ･オシレータ･クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V					
外部バス・インタフェース		ー					
タイマ	16ビットTAU	3ユニット×8チャネル					
	16ビット・エンコーダ・タイマ	1チャネル					
	16ビット・インターバル・タイマ	1チャネル					
	リアルタイム・クロック	1チャネル					
	ウォッチドッグ・タイマ	1チャネル					
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル					
クロック出力／ブザー出力		2チャネル					
A/Dコンバータ		6チャネル					
D/Aコンバータ		1チャネル					
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：5チャネル ・UART：5チャネル					
	I^2Cバス	2チャネル					
USBファンクション		1チャネル					
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）					
割り込み要因		68（NMI含みます）					
スタンバイ機能		HALT／STOP／SNOOZEモード					
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット					
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応					
動作電源電圧		1.6 ～ 3.6 V					
パッケージ		48ピン・プラスチックLQFP（7×7 mm）					
		48ピン・プラスチックWQFN（7×7 mm）					

表1ー3 V850E2/JE4-L（64ピン）の製品一覧

愛 称		V850E2/JE4-L							
品 名		μPD70F4049	μPD70F4050	μPD70F4051	μPD70F4052	μPD70F4053	μPD70F4054	μPD70F4055	μPD70F4056
内部メモリ	フラッシュ・メモリ	32 Kバイト	64 Kバイト	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト	768 Kバイト	1024 Kバイト
	内蔵RAM	16 Kバイト	24 Kバイト	24 Kバイト	48 Kバイト	64 Kバイト	64 Kバイト	96 Kバイト	96 Kバイト
	データ・フラッシュ	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	32 Kバイト	32 Kバイト
メモリ空間	論理空間	64 Mバイト							
	外部メモリ領域	ー							
メイン・システム・クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V							
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V							
高速オンチップ・オシレータ・クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V							
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V							
外部バス・インタフェース		ー							
タイマ	16ビットTAU	3ユニット×8チャネル							
	16ビット・エンコーダ・タイマ	2チャネル							
	16ビット・インターバル・タイマ	1チャネル							
	リアルタイム・クロック	1チャネル							
	ウォッチドッグ・タイマ	1チャネル							
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル							
クロック出力／ブザー出力		2チャネル							
A/Dコンバータ		10チャネル							
D/Aコンバータ		1チャネル							
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：5チャネル ・UART：5チャネル							
	I^2Cバス	2チャネル							
USBファンクション		1チャネル							
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）							
割り込み要因		73（NMI含みます）							
スタンバイ機能		HALT／STOP／SNOOZEモード							
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット							
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応							
動作電源電圧		1.6 ～ 3.6 V							
パッケージ		64ピン・プラスチックLQFP（10×10 mm）							
		64ピン・プラスチックFBGA（5×5 mm）							

表1ー4 V850E2/JF4-L（80ピン）の製品一覧

愛 称		V850E2/JF4-L					
品 名		μPD70F4057	μPD70F4058	μPD70F4059	μPD70F4060	μPD70F4061	μPD70F4062
内部メモリ	フラッシュ・メモリ	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト	768 Kバイト	1024 Kバイト
	内蔵RAM	24 Kバイト	48 Kバイト	64 Kバイト	64 Kバイト	96 Kバイト	96 Kバイト
	データ・フラッシュ	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	32 Kバイト	32 Kバイト
メモリ空間	論理空間	64 Mバイト					
	外部メモリ領域	1.5 Mバイト					
メイン・システム･クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V					
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V					
高速オンチップ･オシレータ･クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V					
低速オンチップ･オシレータ･クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V					
外部バス・インタフェース		アドレス・バス3本（A16-A18） アドレス／データ・バス16本（AD0-AD15） マルチプレクス・バス対応					
タイマ	16ビットTAU	3ユニット×8チャネル					
	16ビット・エンコーダ・タイマ	2チャネル					
	16ビット・インターバル・タイマ	1チャネル					
	リアルタイム・クロック	1チャネル					
	ウォッチドッグ・タイマ	1チャネル					
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル					
クロック出力／ブザー出力		2チャネル					
A/Dコンバータ		11チャネル					
D/Aコンバータ		1チャネル					
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：6チャネル ・UART：7チャネル					
	I^2Cバス	3チャネル					
USBファンクション		1チャネル					
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）					
割り込み要因		79（NMI含みます）					
スタンバイ機能		HALT／STOP／SNOOZEモード					
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット					
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応					
動作電源電圧		1.6 ～ 3.6 V					
パッケージ		80ピン・プラスチックLQFP（12×12 mm）					

表1ー5 V850E2/JG4-L（100ピン）の製品一覧

愛 称		V850E2/JG4-L							
品 名		μPD70F4063	μPD70F4064	μPD70F4065	μPD70F4066	μPD70F4067	μPD70F4068	μPD70F4069	μPD70F4070
内部メモリ	フラッシュ・メモリ	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト	768 Kバイト	1024 Kバイト	1538 Kバイト	2048 Kバイト
	内蔵RAM	24 Kバイト	48 Kバイト	64 Kバイト	64 Kバイト	96 Kバイト	96 Kバイト	128 Kバイト	128 Kバイト
	データ・フラッシュ	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	32 Kバイト	32 Kバイト	32 Kバイト	32 Kバイト
メモリ空間	論理空間	64 Mバイト							
	外部メモリ領域	10 Mバイト							
メイン・システム・クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V							
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V							
高速オンチップ・オシレータ・クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V							
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V							
外部バス・インタフェース		アドレス・バス22本（A0-A21） アドレス／データ・バス16本（AD0-AD15） セパレート・バス／マルチプレクス・バス選択可能							
タイマ	16ビットTAU	3ユニット×8チャネル							
	16ビット・エンコーダ・タイマ	2チャネル							
	16ビット・インターバル・タイマ	1チャネル							
	リアルタイム・クロック	1チャネル							
	ウォッチドッグ・タイマ	1チャネル							
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル							
クロック出力／ブザー出力		2チャネル							
A/Dコンバータ		13チャネル							
D/Aコンバータ		2チャネル							
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：9チャネル ・UART：9チャネル							
	I^2Cバス	3チャネル							
USBファンクション		1チャネル							
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）							
割り込み要因		88（NMI含みます）							
スタンバイ機能		HALT／STOP／SNOOZEモード							
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット							
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応							
動作電源電圧		1.6 ～ 3.6 V							
パッケージ		100ピン・プラスチックLQFP（14×14 mm） 121ピン・プラスチックFBGA（6×6 mm）							

表1ー6 V850E2/JH4-L（128ピン）の製品一覧

愛 称		V850E2/JH4-L				
品 名		μPD70F4071	μPD70F4072	μPD70F4073	μPD70F4074	μPD70F4075
内部メモリ	フラッシュ・メモリ	512 Kバイト	768 Kバイト	1024 Kバイト	1536 Kバイト	2048 Kバイト
	内蔵RAM	64 Kバイト	96 Kバイト	96 Kバイト	128 Kバイト	128 Kバイト
	データ・フラッシュ	16 Kバイト	32 Kバイト	32 Kバイト	32 Kバイト	32 Kバイト
メモリ空間	論理空間	64 Mバイト				
	外部メモリ領域	16 Mバイト				
メイン・システム･クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V				
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V				
高速オンチップ･オシレータ･クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V				
低速オンチップ･オシレータ･クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V				
外部バス・インタフェース		アドレス・バス23本（A0-A22） アドレス／データ・バス16本（AD0-AD15） セパレート・バス／マルチプレクス・バス選択可能				
タイマ	16ビットTAU	3ユニット×8チャネル				
	16ビット・エンコーダ・タイマ	2チャネル				
	16ビット・インターバル・タイマ	1チャネル				
	リアルタイム・クロック	1チャネル				
	ウォッチドッグ・タイマ	1チャネル				
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル				
クロック出力／ブザー出力		2チャネル				
A/Dコンバータ		20チャネル				
D/Aコンバータ		2チャネル				
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：14チャネル ・UART：9チャネル				
	I^2Cバス	4チャネル				
USBファンクション		1チャネル				
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）				
割り込み要因		93（NMI含みます）				
スタンバイ機能		HALT／STOP／SNOOZEモード				
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット				
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応				
動作電源電圧		1.6 ～ 3.6 V				
パッケージ		128ピン・プラスチックLQFP（14×20 mm）				

表1ー7 V850E2/JJ4-L（144ピン）の製品一覧

愛 称		V850E2/JJ4-L				
品 名		μPD70F4076	μPD70F4077	μPD70F4078	μPD70F4079	μPD70F4080
内部メモリ	フラッシュ・メモリ	512 Kバイト	768 Kバイト	1024 Kバイト	1536 Kバイト	2048 Kバイト
	内蔵RAM	64 Kバイト	96 Kバイト	96 Kバイト	128 Kバイト	128 Kバイト
	データ・フラッシュ	16 Kバイト	32 Kバイト	32 Kバイト	32 Kバイト	32 Kバイト
メモリ空間	論理空間	64 Mバイト				
	外部メモリ領域	16 Mバイト				
メイン・システム･クロック		X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 4～20 MHz : V_{DD} = 2.7～3.6 V, 4～16 MHz : V_{DD} = 2.4～2.7 V, 4～8 MHz : V_{DD} = 1.8～2.4 V, 4 MHz : V_{DD} = 1.6～1.8 V				
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz：V_{DD} = 1.6～3.6 V				
高速オンチップ･オシレータ･クロック		32 MHz（TYP.）：V_{DD} = 1.6～3.6 V				
低速オンチップ･オシレータ･クロック		15 kHz（TYP.）：V_{DD} = 1.6～3.6 V				
外部バス・インタフェース		アドレス・バス23本（A0-A22） アドレス／データ・バス16本（AD0-AD15） セパレート・バス／マルチプレクス・バス選択可能				
タイマ	16ビットTAU	3ユニット×8チャネル				
	16ビット・エンコーダ・タイマ	2チャネル				
	16ビット・インターバル・タイマ	1チャネル				
	リアルタイム・クロック	1チャネル				
	ウォッチドッグ・タイマ	1チャネル				
リアルタイム出力機能		8ビット×1チャネルまたは4ビット×2チャネル				
クロック出力／ブザー出力		2チャネル				
A/Dコンバータ		24チャネル				
D/Aコンバータ		2チャネル				
シリアル・インタフェース		シリアル・アレイ・ユニット ・CSI：14チャネル ・UART：9チャネル				
	I^2Cバス	4チャネル				
USBファンクション		1チャネル				
DMAコントローラ		8チャネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ，フラッシュ・メモリ）				
割り込み要因		93（NMI含みます）				
スタンバイ機能		HALT／STOP／SNOOZEモード				
リセット要因		$\overline{\text{RESET}}$端子入力，ウォッチドッグ・タイマ（WDT），クロック・モニタ（CLM）， 低電圧検出回路（LVD），パワーオン・リセット（POR），ソフトウエア・リセット				
オンチップ・デバッグ		E1, MINICUBE, MINICUBE2対応				
動作電源電圧		1.6 ～ 3.6 V				
パッケージ		144ピン・プラスチックLQFP（20×20 mm）				

1.2 特 徴

○最小命令実行時間 31.25 ns（メイン・システム・クロック（f_{MAIN}）= 32 MHz動作時：V_{DD} = 2.7 V～3.6 V）
62.5 ns（メイン・システム・クロック（f_{MAIN}）= 16 MHz動作時：V_{DD} = 2.4 V～3.6 V）
125 ns（メイン・システム・クロック（f_{MAIN}）= 8 MHz動作時：V_{DD} = 1.8 V～3.6 V）
250 ns（メイン・システム・クロック（f_{MAIN}）= 4 MHz動作時：V_{DD} = 1.6 V～3.6 V）
30.5 μs（サブシステム・クロック（f_{SUB}）= 32.768 kHz動作時）

○汎用レジスタ 32ビット×32本

○CPUの特徴 符号付き乗算（16×16→32）：1クロック）
符号付き乗算（32×32→64）：1-4クロック）
飽和演算（オーバフロー／アンダフロー検出機能付き）
32ビットのRISCアーキテクチャをベースにし，5段パイプライン構造でほとんどの命令を1クロックで実行可能
ハーバード・アーキテクチャにより，内蔵ROMからの命令フェッチと内蔵RAMへのアクセスが独立して動作
可変長命令により高いコード効率を実現
積和演算命令
高速除算演算命令
32ビット・シフト命令：1クロック
ビット操作命令
ロング／ショート形式を持つロード／ストア命令
システム保護機能（SPF）
・システム・レジスタ保護機能（SRP）
・メモリ保護機能（MPU）

○メモリ空間 64 Mバイト・リニア・アドレス空間（プログラム／データ共用）
外部拡張：最大16 Mバイトまで可能

・内蔵メモリ

表1－8 ROM/RAM展開（1/2）

愛 称	品 名	フラッシュ・メモリ・サイズ	データ・フラッシュ・サイズ	RAMサイズ
V850E2/JC4-L	μPD70F4035	32 Kバイト	16 Kバイト	16 Kバイト
	μPD70F4036	64 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4037	128 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4038	256 Kバイト	16 Kバイト	48 Kバイト
	μPD70F4039	384 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4040	512 Kバイト	16 Kバイト	64 Kバイト

表1ー8　ROM/RAM展開（2/2）

愛　　称	品　　名	フラッシュ・メモリ・サイズ	データ・フラッシュ・サイズ	RAMサイズ
V850E2/JC4-L	μPD70F4041	32 Kバイト	16 Kバイト	16 Kバイト
	μPD70F4042	64 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4043	128 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4044	256 Kバイト	16 Kバイト	48 Kバイト
	μPD70F4045	384 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4046	512 Kバイト	16 Kバイト	64 Kバイト
V850E2/JE4-L	μPD70F4049	32 Kバイト	16 Kバイト	16 Kバイト
	μPD70F4050	64 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4051	128 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4052	256 Kバイト	16 Kバイト	48 Kバイト
	μPD70F4053	384 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4054	512 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4055	768 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4056	1024 Kバイト	32 Kバイト	96 Kバイト
V850E2/JF4-L	μPD70F4057	128 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4058	256 Kバイト	16 Kバイト	48 Kバイト
	μPD70F4059	384 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4060	512 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4061	768 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4062	1024 Kバイト	32 Kバイト	96 Kバイト
V850E2/JG4-L	μPD70F4063	128 Kバイト	16 Kバイト	24 Kバイト
	μPD70F4064	256 Kバイト	16 Kバイト	48 Kバイト
	μPD70F4065	384 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4066	512 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4067	768 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4068	1024 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4069	1538 Kバイト	32 Kバイト	128 Kバイト
	μPD70F4070	2048 Kバイト	32 Kバイト	128 Kバイト
V850E2/JH4-L	μPD70F4071	512 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4072	768 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4073	1024 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4074	1538 Kバイト	32 Kバイト	128 Kバイト
	μPD70F4075	2048 Kバイト	32 Kバイト	128 Kバイト
V850E2/JJ4-L	μPD70F4076	512 Kバイト	16 Kバイト	64 Kバイト
	μPD70F4077	768 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4078	1024 Kバイト	32 Kバイト	96 Kバイト
	μPD70F4079	1538 Kバイト	32 Kバイト	128 Kバイト
	μPD70F4080	2048 Kバイト	32 Kバイト	128 Kバイト

・外部バス・インタフェース

セパレート・バス／マルチプレクス・バス選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

○割り込み／例外

表1－9 割り込み／例外一覧

品名	端子数	FEレベル・マスカブル割り込み（FEINT）	EIレベル・マスカブル割り込み（EIINT）
V850E2/JC4-L	40ピン	1（NMI）	62
	48ピン	1（NMI）	67
V850E2/JE4-L	64ピン	1（NMI）	72
V850E2/JF4-L	80ピン	1（NMI）	78
V850E2/JG4-L	100ピン	1（NMI）	87
V850E2/JH4-L	128ピン	1（NMI）	92
V850E2/JJ4-L	144ピン	1（NMI）	92

ソフトウエア例外 ：32要因

例外トラップ ：2要因

○ポート

表1－10 ポート一覧

品名	端子数	入力ポート数	入出力ポート数	総ポート数（5Vトレラント対応）
V850E2/JC4-L	40ピン	5	23	28（0本）
	48ピン	5	31	36（0本）
V850E2/JE4-L	64ピン	5	45	50（0本）
V850E2/JF4-L	80ピン	5	61	66（2本）
V850E2/JG4-L	100ピン	5	81	86（2本）
V850E2/JH4-L	128ピン	5	107	112（8本）
V850E2/JJ4-L	144ピン	5	123	128（8本）

○タイマ機能

16ビット・タイマ・アレイ・ユニット（TAU） ：3ユニット

16ビット・インターバル・タイマM（TMM） ：1ch

16ビット・エンコーダ・タイマ（ENCA） ：1, 2 ch

リアルタイム・クロック ：1ch

ウォッチドッグ・タイマ ：1ch

○クロック出力／ブザー出力制御回路内蔵

○リアルタイム出力ポート 8ビット×1 chまたは4ビット×2 chを選択可能

○シリアル・インタフェース

シリアル・アレイ・ユニット（CSI/UART）

I^2Cバス・インタフェース（I^2C）

USBファンクション・コントローラ

○A/Dコンバータ　12ビット分解能：5, 6, 10, 11, 13, 20, 24 ch

○D/Aコンバータ　8ビット分解能：0, 1, 2 ch

○DMAコントローラ：8ch

○DCU（デバッグ・コントロール・ユニット）：JTAGインタフェース

○クロック・ジェネレータ　メイン・システム・クロック（f_{MX}）

・PLLモード（3, 4, 6, 8逓倍）　：f_{MX} = 4～16 MHz（f_{MAIN} = 12～32 MHz）

・クロック・スルー・モード　：f_{MX} = 4～20 MHz（f_{MAIN} = 4～20 MHz）

○高速オンチップ・オシレータ：f_{IH} = 32 MHz

○低速オンチップ・オシレータ：f_{IL} = 15 kHz

○スタンバイ機能　HALT／STOP／SNOOZEモード

○パッケージ

表1－10　パッケージ一覧

品名	端子数	パッケージ
V850E2/JC4-L	40ピン	40ピン・プラスチックWQFN（6×6 mm）
	48ピン	48ピン・プラスチックLQFP（7×7 mm） 48ピン・プラスチックWQFN（7×7 mm）
V850E2/JE4-L	64ピン	64ピン・プラスチックLQFP（10×10 mm） 64ピン・プラスチックFBGA（5×5 mm）
V850E2/JF4-L	80ピン	80ピン・プラスチックLQFP（12×12 mm）
V850E2/JG4-L	100ピン	100ピン・プラスチックLQFP（14×14 mm） 121ピン・プラスチックFBGA（6×6 mm）
V850E2/JH4-L	128ピン	128ピン・プラスチックLQFP（14×20 mm）
V850E2/JJ4-L	144ピン	144ピン・プラスチックLQFP（20×20 mm）

○電源電圧　V_{DD} = 1.6 V～3.6 V（4 MHz）

V_{DD} = 1.8 V～3.6 V（8 MHz）

V_{DD} = 2.4 V～3.6 V（16 MHz）

V_{DD} = 2.7 V～3.6 V（32 MHz）

1.3　応用分野

デジタル・カメラ，電力メータ，ヘルス・ケア（血糖値計），携帯端末，情報家電，その他民生機器

1.4 オーダ情報

• V850E2/JC4-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F4035K8-4B4-Ax	40ピン・プラスチックWQFN（6×6）	32 Kバイト
μPD70F4036K8-4B4-Ax	〃	64 Kバイト
μPD70F4037K8-4B4-Ax	〃	128 Kバイト
μPD70F4038K8-4B4-Ax	〃	256 Kバイト
μPD70F4039K8-4B4-Ax	〃	384 Kバイト
μPD70F4040K8-4B4-Ax	〃	512 Kバイト
μPD70F4041GA-GAM-Ax	48ピン・プラスチックLQFP（7×7）	32 Kバイト
μPD70F4042GA-GAM-Ax	〃	64 Kバイト
μPD70F4043GA-GAM-Ax	〃	128 Kバイト
μPD70F4044GA-GAM-Ax	〃	256 Kバイト
μPD70F4045GA-GAM-Ax	〃	384 Kバイト
μPD70F4046GA-GAM-Ax	〃	512 Kバイト
μPD70F4041K8-5B4-Ax	48ピン・プラスチックWQFN（7×7）	32 Kバイト
μPD70F4042K8-5B4-Ax	〃	64 Kバイト
μPD70F4043K8-5B4-Ax	〃	128 Kバイト
μPD70F4044K8-5B4-Ax	〃	256 Kバイト
μPD70F4045K8-5B4-Ax	〃	384 Kバイト
μPD70F4046K8-5B4-Ax	〃	512 Kバイト

• V850E2/JE4-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F4049GB-GAH-Ax	64ピン・プラスチックLQFP（10×10）	32 Kバイト
μPD70F4050GB-GAH-Ax	〃	64 Kバイト
μPD70F4051GB-GAH-Ax	〃	128 Kバイト
μPD70F4052GB-GAH-Ax	〃	256 Kバイト
μPD70F4053GB-GAH-Ax	〃	384 Kバイト
μPD70F4054GB-GAH-Ax	〃	512 Kバイト
μPD70F4055GB-GAH-Ax	〃	768 Kバイト
μPD70F4056GB-GAH-Ax	〃	1024 Kバイト
μPD70F4049F1-AN9-A	64ピン・プラスチックFBGA（5×5）	32 Kバイト
μPD70F4050F1-AN9-A	〃	64 Kバイト
μPD70F4051F1-AN9-A	〃	128 Kバイト
μPD70F4052F1-AN9-A	〃	256 Kバイト
μPD70F4053F1-AN9-A	〃	384 Kバイト
μPD70F4054F1-AN9-A	〃	512 Kバイト
μPD70F4055F1-AN9-A	〃	768 Kバイト
μPD70F4056F1-AN9-A	〃	1024 Kバイト

備考1. V850E2/Jx4-Lは，鉛フリー製品です。

2. オーダ名称末尾のAxにはATタイプとARタイプがあります。タイプの違いの詳細については弊社販売員にお問い合わせください。

• V850E2/JF4-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F4057GK-GAK-Ax	80ピン・プラスチックLQFP（12×12）	128 Kバイト
μPD70F4058GK-GAK-Ax	〃	256 Kバイト
μPD70F4059GK-GAK-Ax	〃	384 Kバイト
μPD70F4060GK-GAK-Ax	〃	512 Kバイト
μPD70F4061GK-GAK-Ax	〃	768 Kバイト
μPD70F4062GK-GAK-Ax	〃	1024 Kバイト

• V850E2/JG4-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F4063GC-UEU-Ax	100ピン・プラスチックLQFP（14×14）	128 Kバイト
μPD70F4064GC-UEU-Ax	〃	256 Kバイト
μPD70F4065GC-UEU-Ax	〃	384 Kバイト
μPD70F4066GC-UEU-Ax	〃	512 Kバイト
μPD70F4067GC-UEU-Ax	〃	768 Kバイト
μPD70F4068GC-UEU-Ax	〃	1024 Kバイト
μPD70F4069GC-UEU-Ax	〃	1536 Kバイト
μPD70F4070GC-UEU-Ax	〃	2048 Kバイト
μPD70F4063F1-BAL-A	121ピン・プラスチックFBGA（6×6）	128 Kバイト
μPD70F4064F1-BAL-A	〃	256 Kバイト
μPD70F4065F1-BAL-A	〃	384 Kバイト
μPD70F4066F1-BAL-A	〃	512 Kバイト

• V850E2/JH4-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F4071GF-GAT-Ax	128ピン・プラスチックLQFP（14×20）	512 Kバイト
μPD70F4072GF-GAT-Ax	〃	768 Kバイト
μPD70F4073GF-GAT-Ax	〃	1024 Kバイト
μPD70F4074GF-GAT-Ax	〃	1536 Kバイト
μPD70F4075GF-GAT-Ax	〃	2048 Kバイト

• V850E2/JJ4-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F4076GJ-GAE-Ax	144ピン・プラスチックLQFP（20×20）	512 Kバイト
μPD70F4077GJ-GAE-Ax	〃	768 Kバイト
μPD70F4078GJ-GAE-Ax	〃	1024 Kバイト
μPD70F4079GJ-GAE-Ax	〃	1536 Kバイト
μPD70F4080GJ-GAE-Ax	〃	2048 Kバイト

備考1. V850E2/Jx4-Lは，鉛フリー製品です。

2. オーダ名称末尾のAxにはATタイプとARタイプがあります。タイプの違いの詳細については弊社販売員にお問い合わせください。

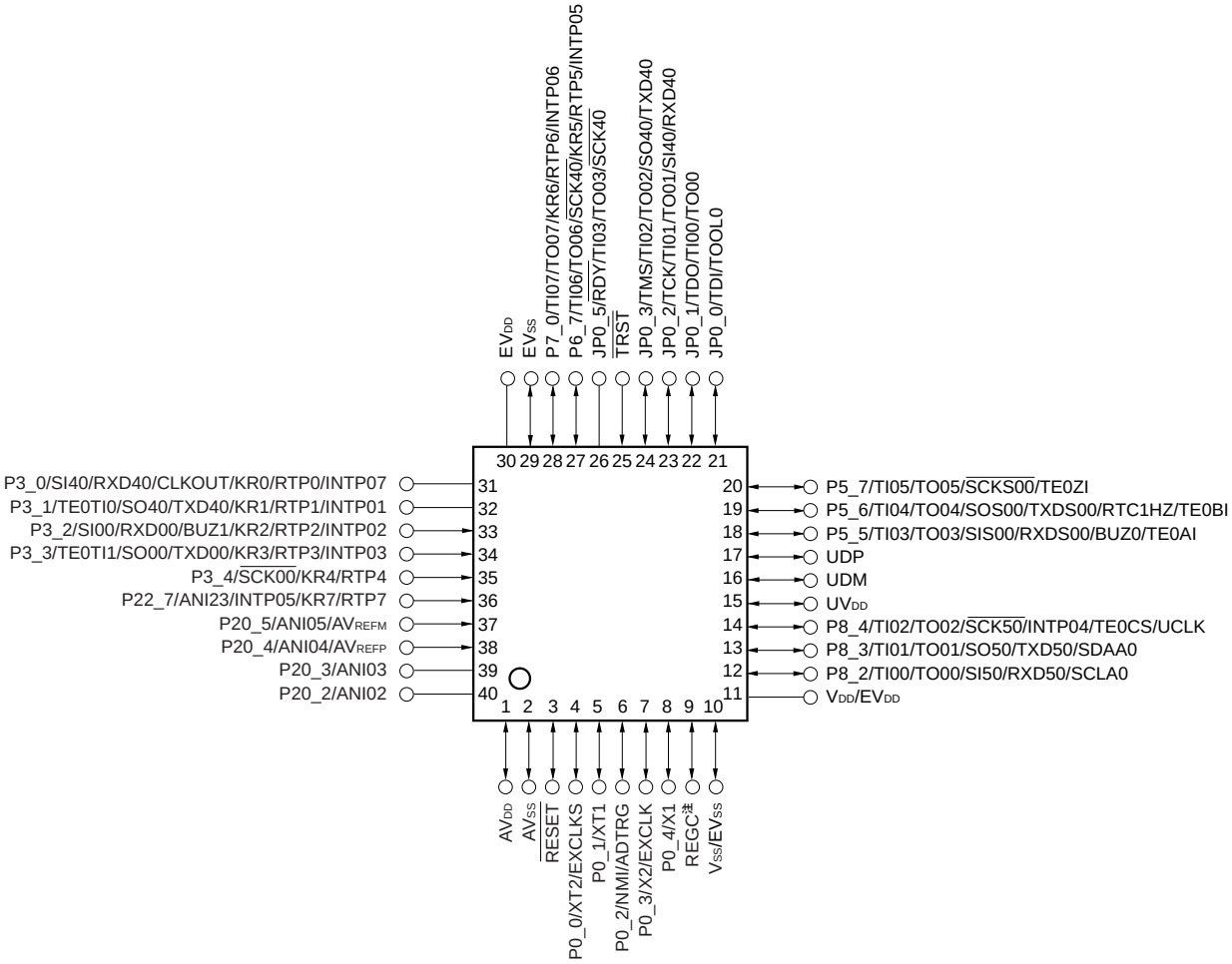
1.5 端子接続図（Top View）

• V850E2/JC4-L

40ピン・プラスチックWQFN（6×6）

μPD70F4035K8-4B4-Ax　μPD70F4036K8-4B4-Ax　μPD70F4037K8-4B4-Ax

μPD70F4038K8-4B4-Ax　μPD70F4039K8-4B4-AX　μPD70F4040K8-4B4-Ax



注 REGC端子は1μF（暫定）のコンデンサを介し，VSSに接続してください。

• V850E2/JC4-L

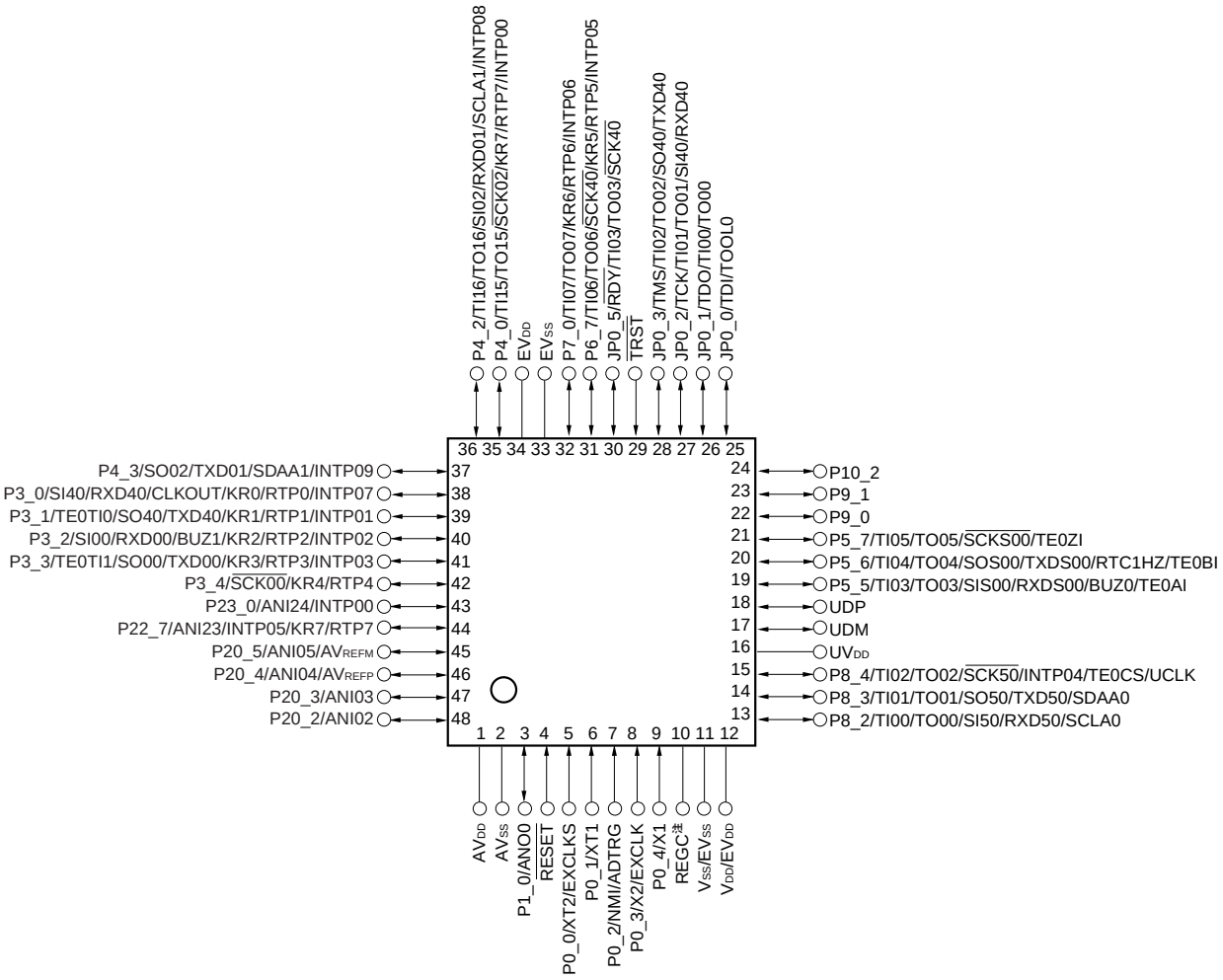
48**ピン・プラスチック**LQFP（7×7） 48**ピン・プラスチック**WQFN（7×7）

μPD70F4041GA-GAM-Ax μPD70F4042GA-GAM-Ax μPD70F4043GA-GAM-Ax

μPD70F4044GA-GAM-Ax μPD70F4045GA-GAM-Ax μPD70F4046GA-GAM-Ax

μPD70F4041K8-5B4-Ax μPD70F4042K8-5B4-Ax μPD70F4043K8-5B4-Ax

μPD70F4044K8-5B4-Ax μPD70F4045K8-5B4-Ax μPD70F4046K8-5B4-Ax

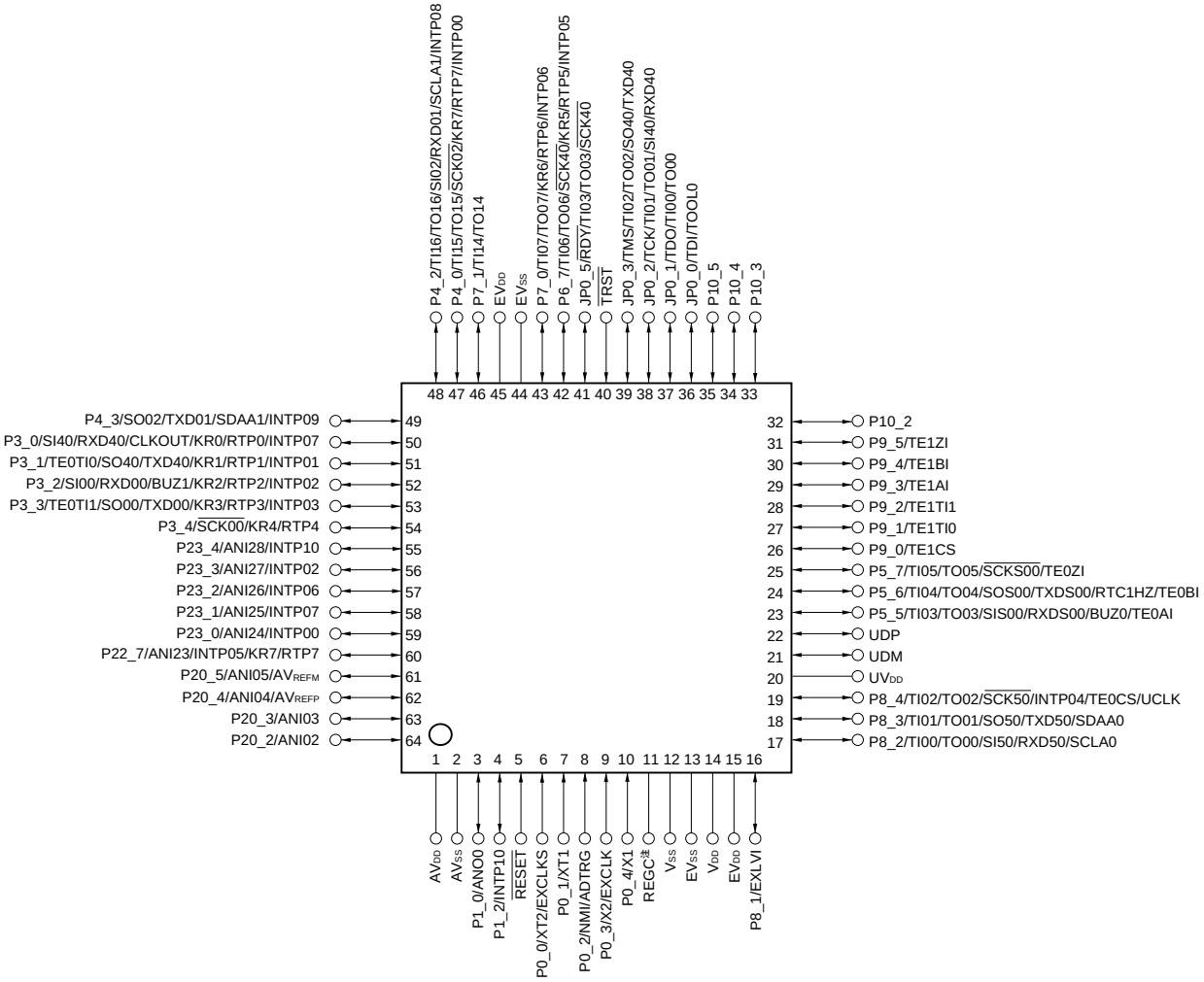


注 REGC**端子は**1 μF**（暫定）のコンデンサを介し，**VSS**に接続してください。**

• V850E2/JE4-L

64**ピン・プラスチック**LQFP（10×10）

μPD70F4049GB-GAH-Ax　μPD70F4050GB-GAH-Ax　μPD70F4051GB-GAH-Ax
μPD70F4052GB-GAH-Ax　μPD70F4053GB-GAH-Ax　μPD70F4054GB-GAH-Ax
μPD70F4055GB-GAH-Ax　μPD70F4056GB-GAH-Ax



注 REGC**端子は**1 μF**（暫定）のコンデンサを介し，**VSS**に接続してください。**

64**ピン・プラスチック**FBGA（5×5）

μPD70F4049F1-AN9-A　μPD70F4050F1-AN9-A　μPD70F4051F1-AN9-A
μPD70F4052F1-AN9-A　μPD70F4053F1-AN9-A　μPD70F4054F1-AN9-A
μPD70F4055F1-AN9-A　μPD70F4056F1-AN9-A

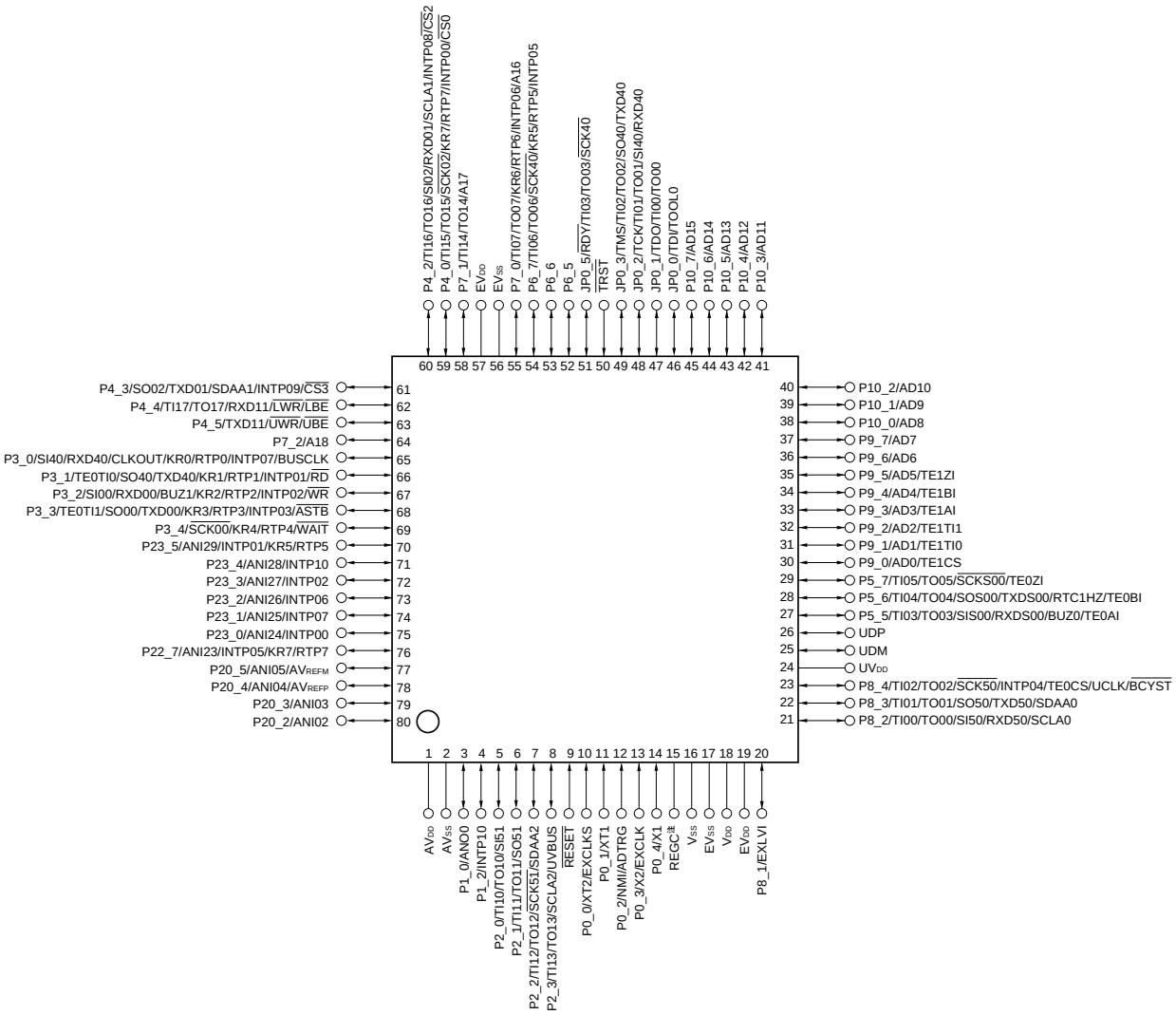
FBGA**パッケージの端子配置は未定です。**

• V850E2/JF4-L

80**ピン・プラスチック**LQFP（12✕12）

μPD70F4057GK-GAK-Ax μPD70F4058GK-GAK-Ax μPD70F4059GK-GAK-Ax

μPD70F4060GK-GAK-Ax μPD70F4061GK-GAK-Ax μPD70F4062GK-GAK-Ax



注 REGC**端子は**1 μF**（暫定）のコンデンサを介し，**VSS**に接続してください。**

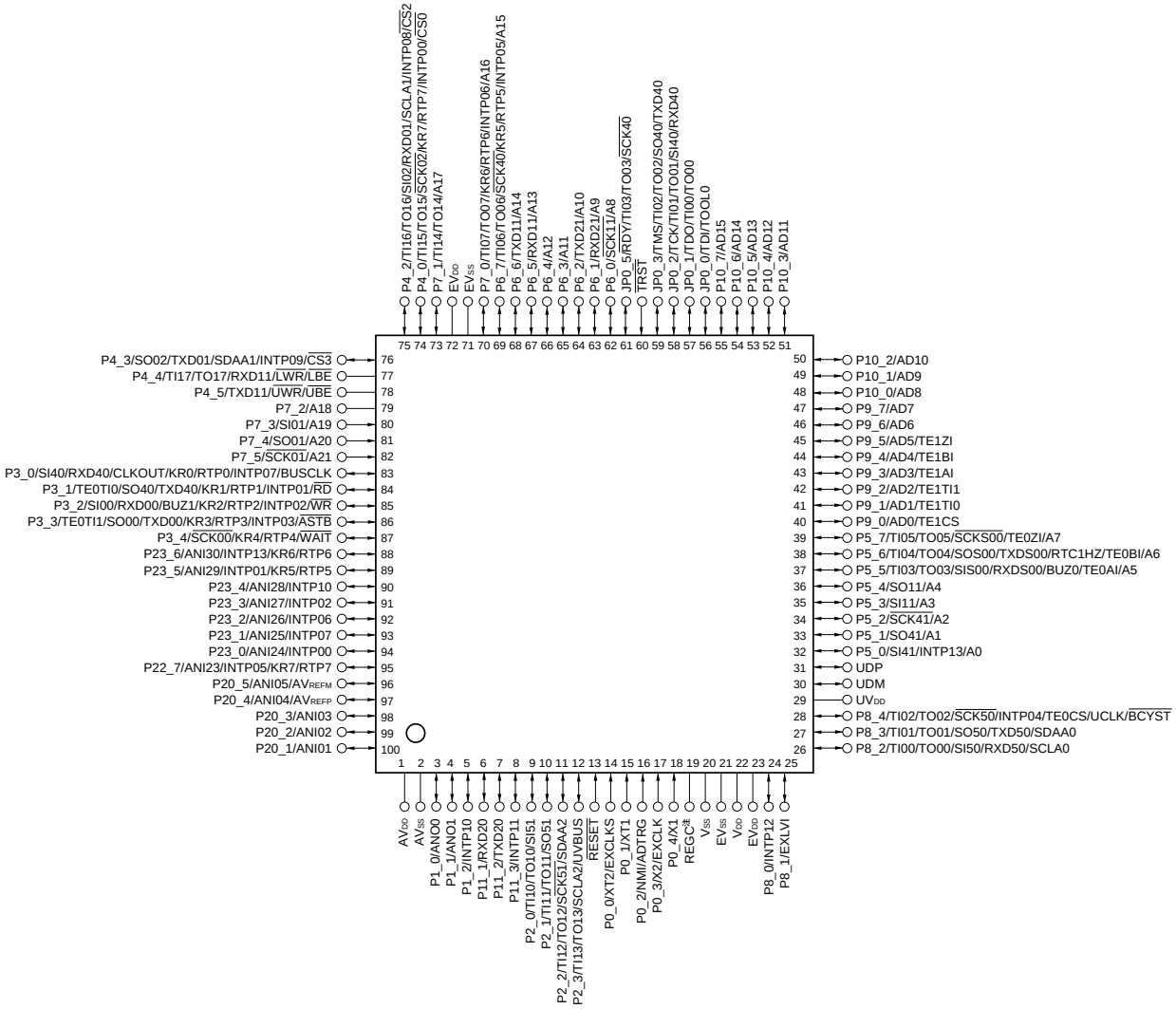
• V850E2/JG4-L

100**ピン・プラスチック**LQFP（14×14）

μPD70F4063GC-UEU-Ax　μPD70F4064GC-UEU-Ax　μPD70F4065GC-UEU-Ax

μPD70F4066GC-UEU-Ax　μPD70F4067GC-UEU-Ax　μPD70F4068GC-UEU-Ax

μPD70F4069GC-UEU-Ax　μPD70F4070GC-UEU-Ax



注　REGC**端子は**1 μF（**暫定**）**のコンデンサを介し，**VSS**に接続してください。**

121**ピン・プラスチック**FBGA（6×6）

μPD70F4063F1-BAL-A　μPD70F4064F1-BAL-A　μPD70F4065F1-BAL-A

μPD70F4066F1-BAL-A

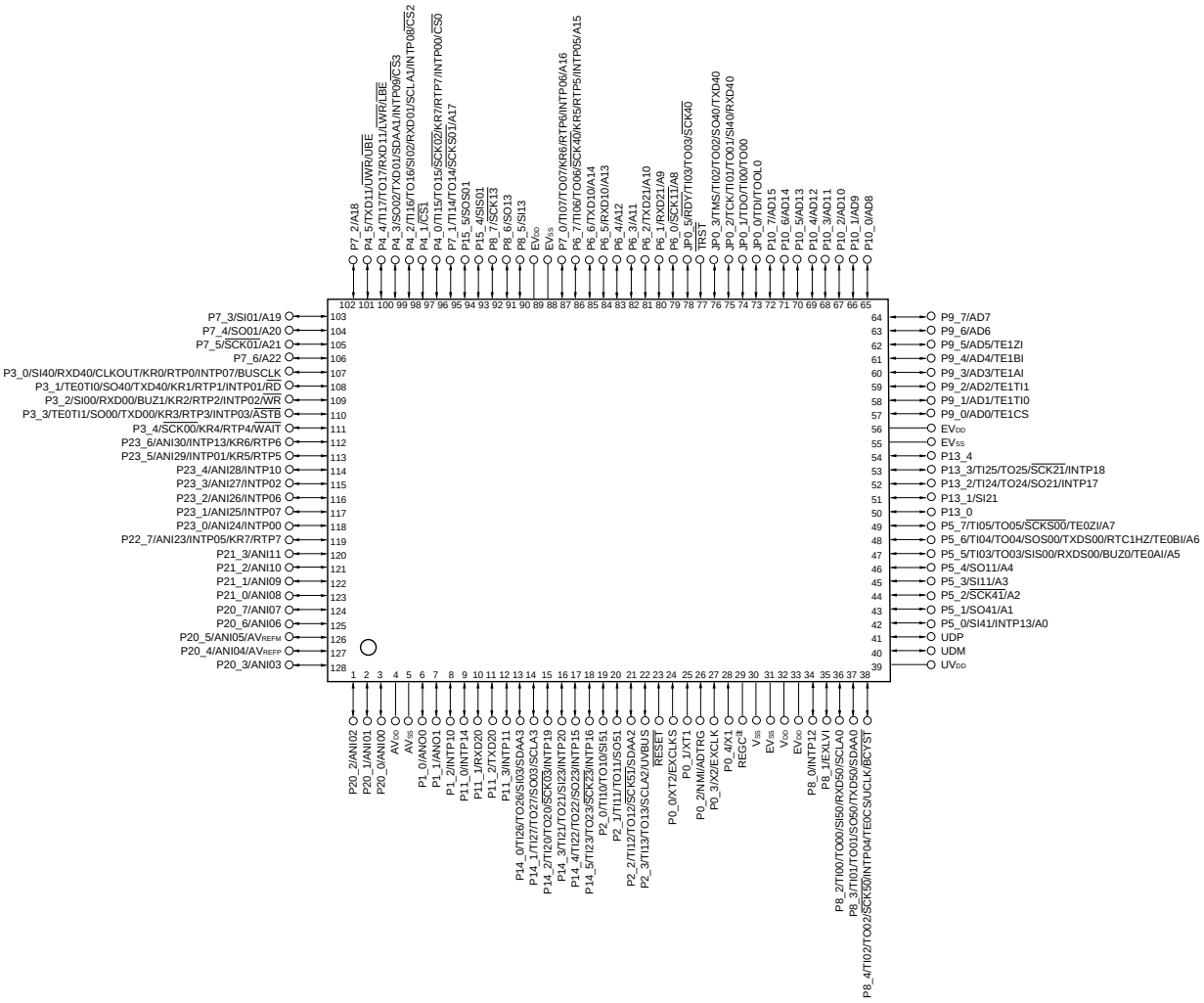
FBGA**パッケージの端子配置は未定です。**

• V850E2/JH4-L

128**ピン・プラスチック**LQFP（14×20）

μPD70F4071GF-GAT-Ax　μPD70F4072GF-GAT-Ax　μPD70F4073GF-GAT-Ax

μPD70F4074GF-GAT-Ax　μPD70F4075GF-GAT-Ax



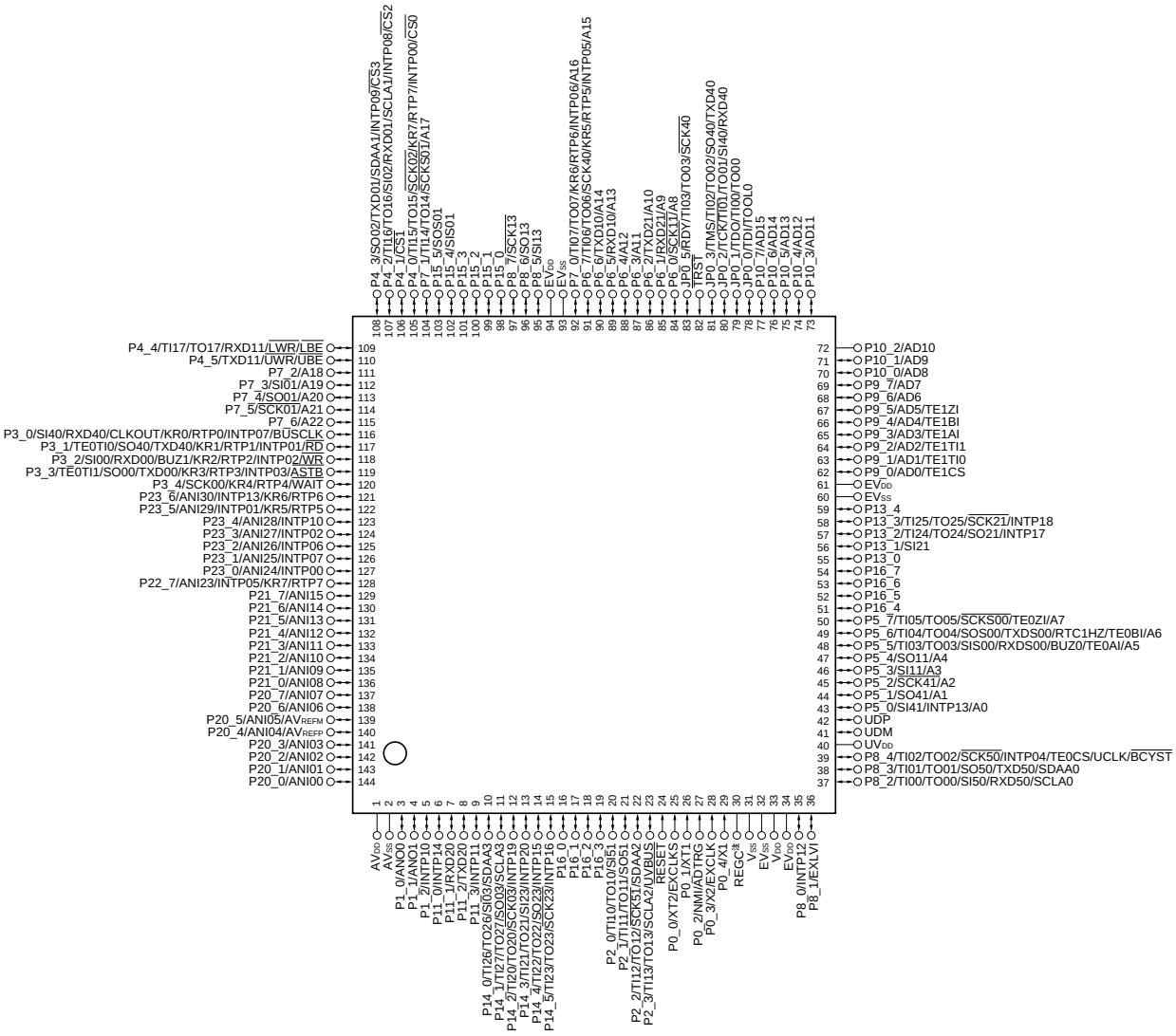
注　REGC**端子は**1 μF**（暫定）のコンデンサを介し，**Vss**に接続してください。**

• V850E2/JJ4-L

144**ピン・プラスチック**LQFP（20×20）

μPD70F4076GJ-GAE-Ax μPD70F4077GJ-GAE-Ax μPD70F4078GJ-GAE-Ax

μPD70F4079GJ-GAE-Ax μPD70F4080GJ-GAE-Ax



注 REGC**端子は**1 μF**（暫定）のコンデンサを介し，**Vss**に接続してください。**

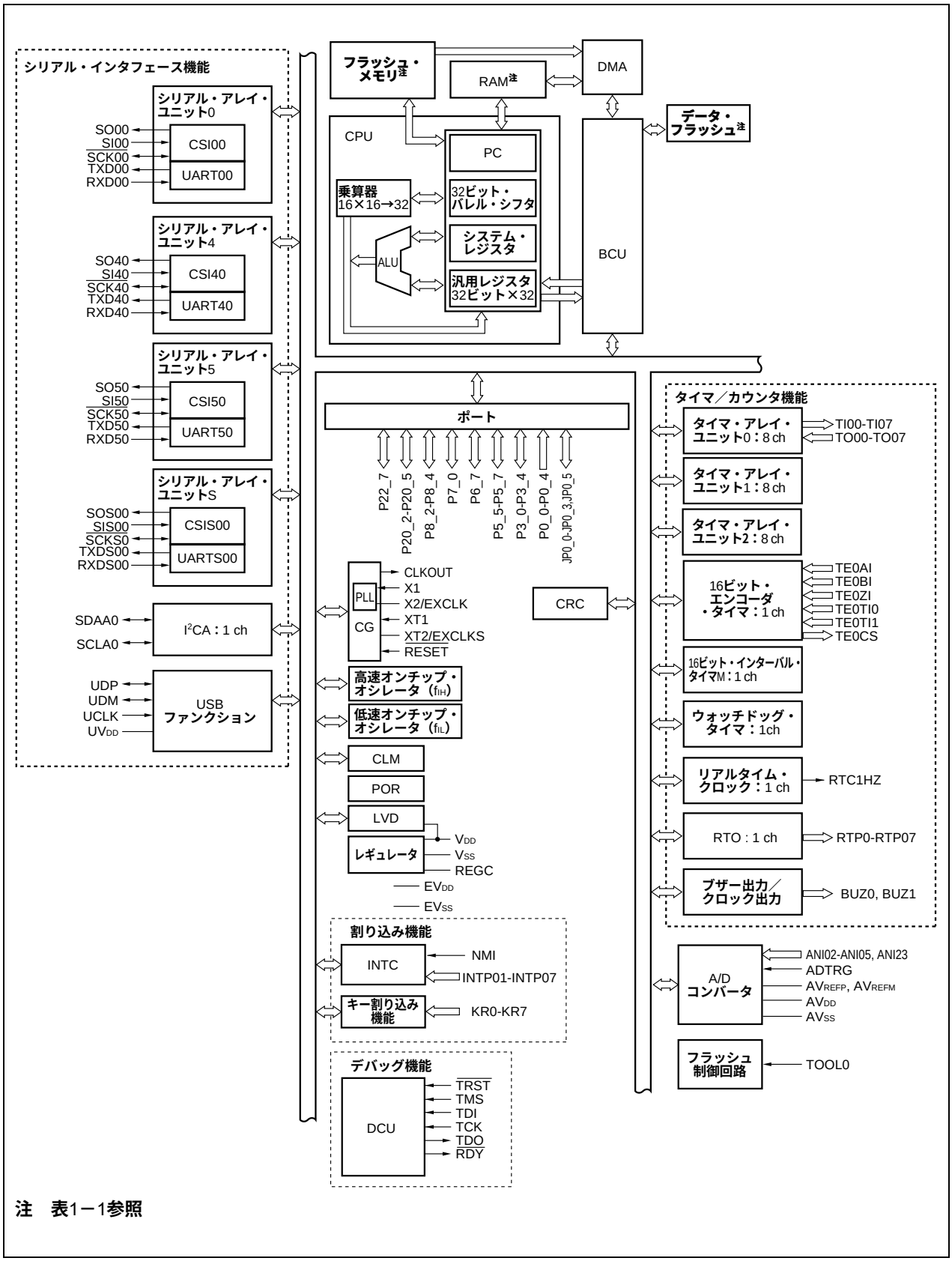
端子名称

A0-A22 ：Address Bus
AD0-AD15 ：Address/Data Bus
ADTRG ：AD Trigger Input
ANI00-ANI15, ANI23-ANI30 ：Analog Input
ANO0, ANO1 ：Analog Output
ASTB ：Address Strobe
AV_{DD} ：Analog Voltage
AV_{REFM} ：Analog Reference Voltage Minus
AV_{REFP} ：Analog Reference Voltage Plus
AV_{SS} ：Analog V_{SS}
$\overline{BCYST}$ ：Bus Cycle Start Timing
BUSCLK ：Bus Clock Output
BUZ0, BUZ1 ：Programmable Clock Output /Buzzer Output
CLKOUT ：Clock Output
$\overline{CS0}$-$\overline{CS3}$ ：Chip Select
EV_{DD} ：Power Supply for External Pin
EV_{SS} ：Ground for External Pin
EXCLK ：External Clock Input (Main System Clock)
EXCLKS ：External Clock Input (Sub System Clock)
EXLVI ：External Potential Input for Voltage Detector
INTP00-INTP20 ：External Interrupt Input
KR0-KR7 ：Key Return
$\overline{LBE}$ ：Lower Byte Enable
$\overline{LWR}$ ：Lower Byte Write Strobe
NMI ：Non-maskable Interrupt Request
JP0_0-JP0_3, JP0_5 ：Port JP
P0_0-P0_4 ：Port 0
P1_0-P1_2 ：Port 1
P2_0-P2_3 ：Port 2
P3_0-P3_4 ：Port 3
P4_0-P4_5 ：Port 4
P5_0-P5_7 ：Port 5
P6_0-P6_7 ：Port 6
P7_0-P7_6 ：Port 7
P9_0-P9_7 ：Port 9
P10_0-P10_7 ：Port 10
P11_0-P11_3 ：Port 11
P13_0-P13_4 ：Port 13
P14_0-P14_5 ：Port 14
P15_0-P15_5 ：Port 15
P16_0-P16_7 ：Port 16
P20_0-P20_7 ：Port 20
P21_0-P21_7 ：Port 21
P22_7 ：Port 22
P23_0-P23_6 ：Port 23
$\overline{RD}$ ：Read
$\overline{RDY}$ ：Debug Ready
$\overline{REGC}$ ：Regulator Control
$\overline{RESET}$ ：Reset
RTC1HZ ：Real-time Clock Correction Clock (1 Hz) Output
RTP0-RTP7 ：Real-time Output Port
RXD00, RXD01, RXD10, RXD11, RXD20, RXD21, RXD40, RXD50, RXDS00 ：Receive Data
$\overline{SCK00}$-$\overline{SCK03}$, $\overline{SCK11}$, $\overline{SCK13}$, $\overline{SCK21}$, $\overline{SCK23}$, $\overline{SCK40}$, $\overline{SCK41}$, $\overline{SCK50}$, $\overline{SCK51}$, $\overline{SCKS00}$, $\overline{SCKS01}$ ：Serial Clock
SCLA0-SCLA3 ：Serial Clock
SDAA0-SDAA3 ：Serial Data
SI00-SI03, SI11, SI13, SI21, SI23, SI40, SI41, SI50, SI51, SIS00, SIS01 ：Serial Input
SO00-SO03, SO11, SO13, SO21, SO23, SO40, SO41, SO50, SO51, SOS00, SOS01 ：Serial Output
TCK ：Debug Clock Input
TDI ：Debug Data Input
TDO ：Dubug Data Output
TE0AI, TE1AI, TE0BI, TE1BI, TE0CS, TE1CS, TE0TI0, TE1TI0, TE0TI1, TE1TI1, TE0ZI, TE1ZI ：Timer Input
TI00-TI07, TI10-TI17, TI20-TI27
TMS ：Debug Mode Select
TO00-TO07, TO10-TO17, TO20-TO27 ：Timer Output
$\overline{TOOL0}$ ：Data Input/Output for Tool
$\overline{TRST}$ ：Debug Reset
TXD00, TXD01, TXD10, TXD11, TXD20, TXD21, TXD40, TXD50, TXDS00 ：Transmit Data
$\overline{UBE}$ ：Upper Byte Enable
UCLK ：USB Clock
UDM ：USB Data I/O Minus
UDP ：USB Data I/O Plus
UVBUS ：USB V bus Detect
UV_{DD} ：USB Power Supply
$\overline{UWR}$ ：Upper Byte Write Strobe
V_{DD} ：Power Supply
V_{SS} ：Ground
$\overline{WAIT}$ ：Wait
$\overline{WR}$ ：Write Strobe
X1, X2 ：Crystal for Main Clock
XT1, XT2 ：Crystal for Sub-clock

1. 6 機能ブロック構成

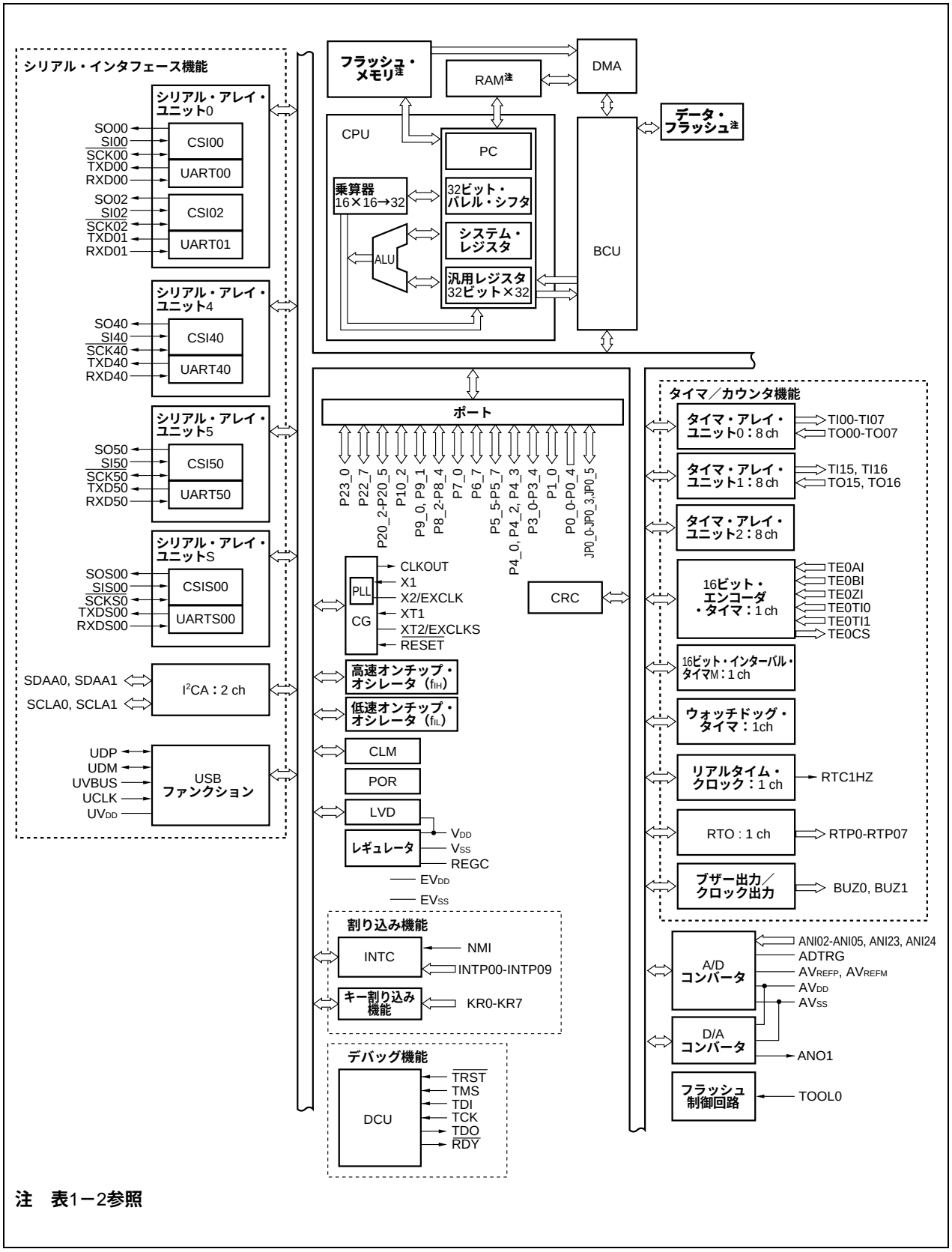
1. 6. 1 内部ブロック図

（1）V850E2/JC4-L（40ピン）



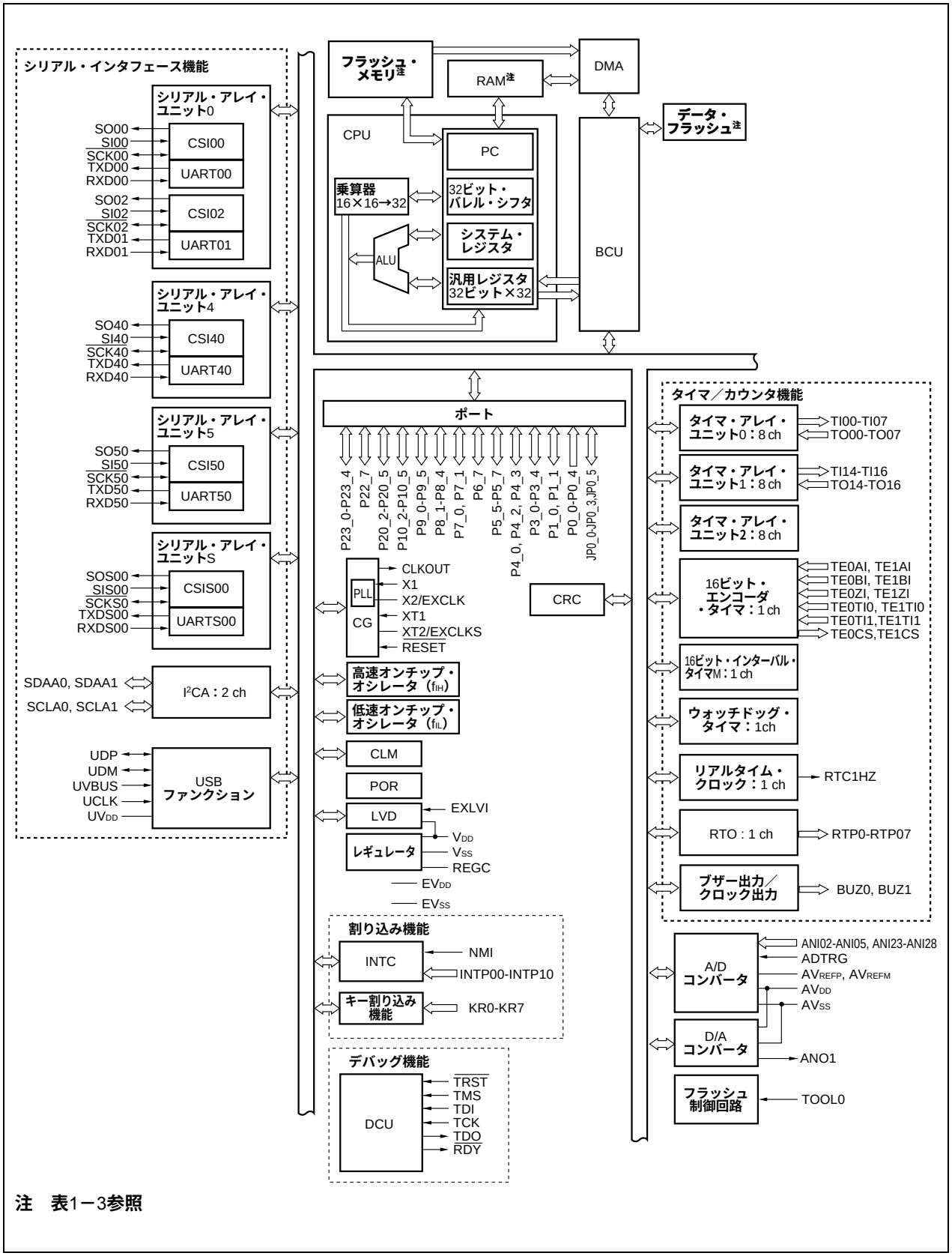
注 表1－1参照

（2）V850E2/JC4-L（48ピン）



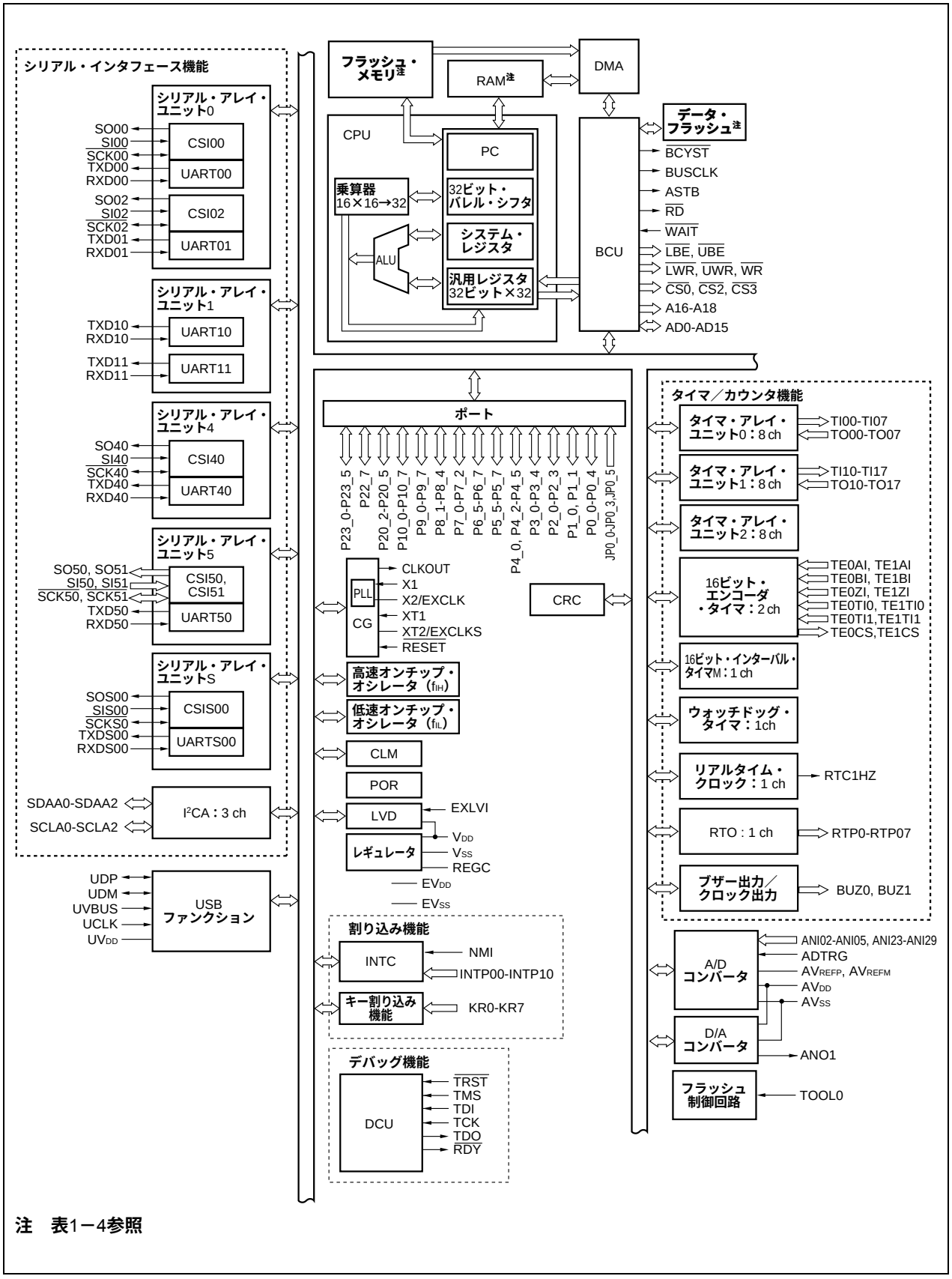
注 表1－2参照

（3）V850E2/JE4-L（64ピン）



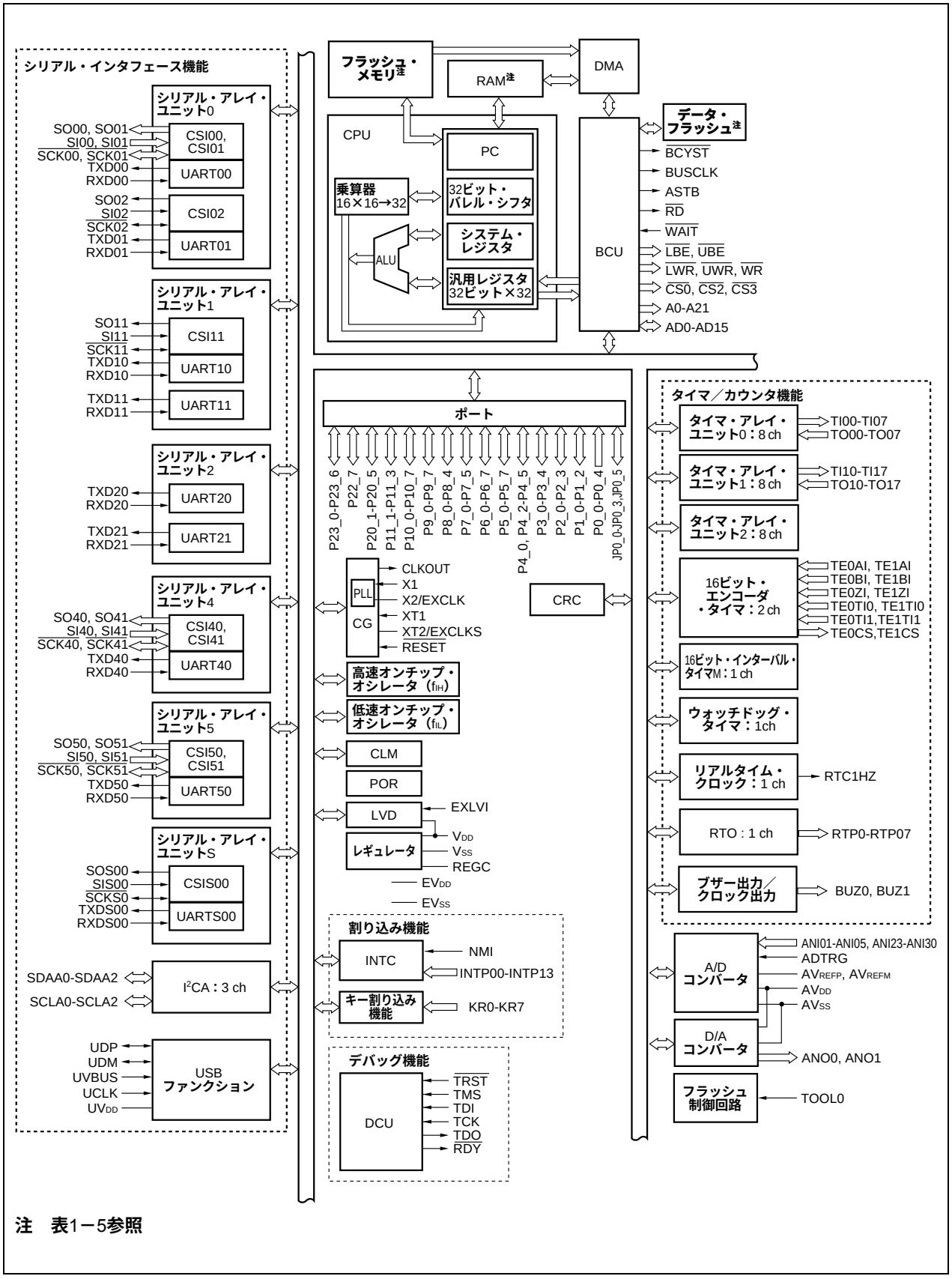
注 表1－3参照

（4）V850E2/JF4-L（80ピン）



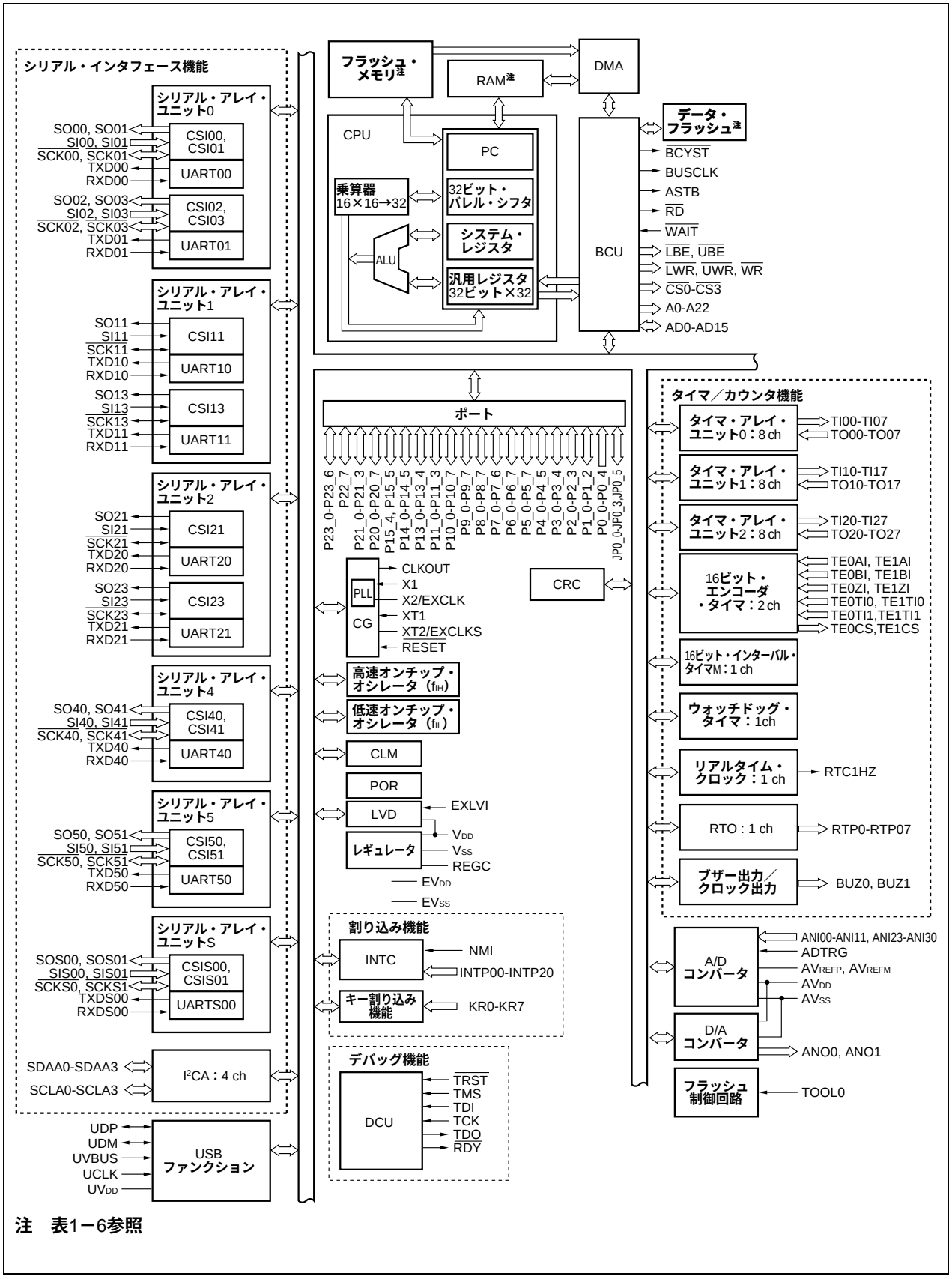
注 表1－4参照

（5）V850E2/JG4-L（100ピン）



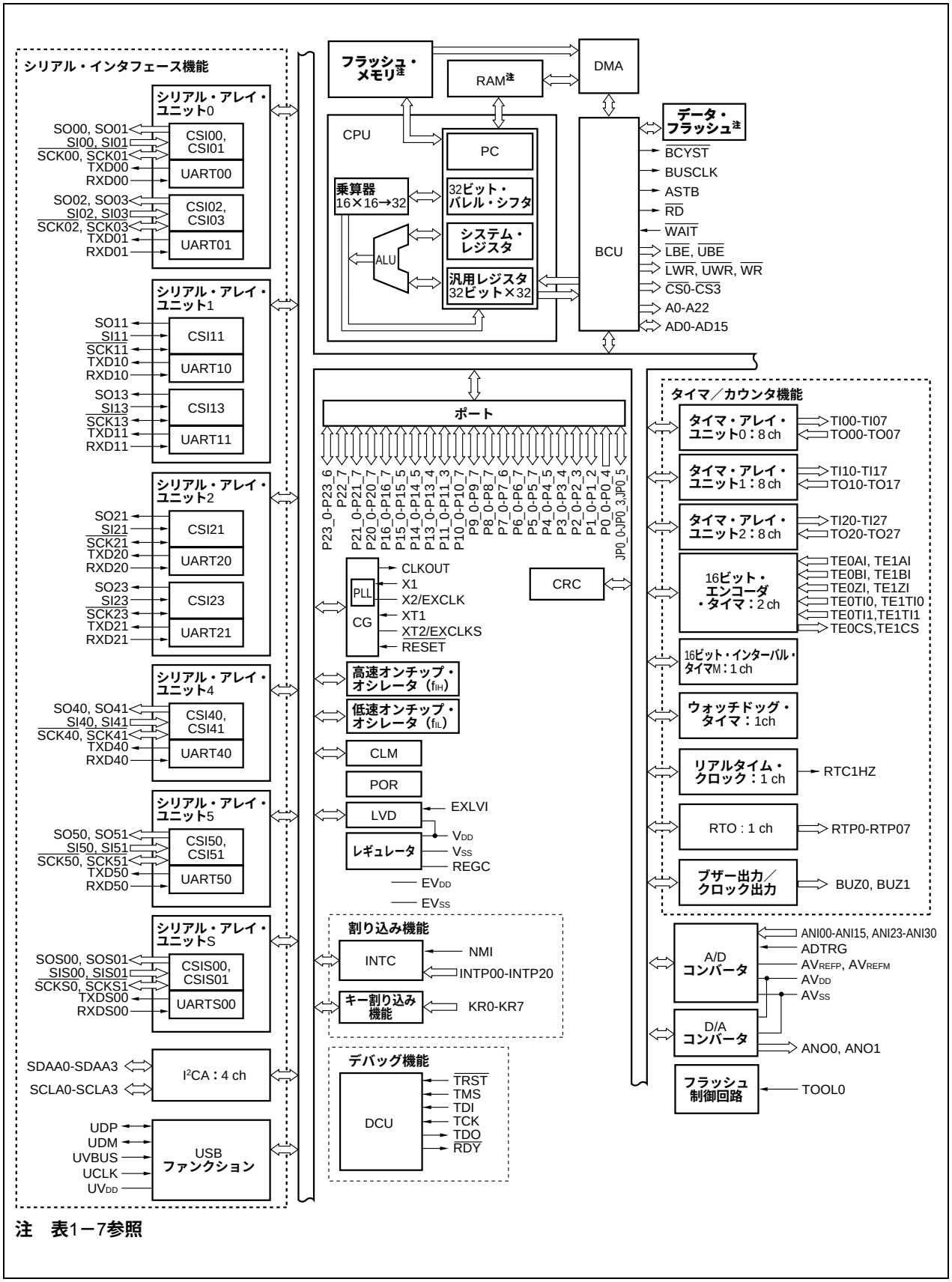
注 表1－5参照

（6）V850E2/JH4-L（128ピン）



注 表1－6参照

（7）V850E2/JJ4-L（144ピン）



注 表1－7参照

1.6.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を，5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(3) フラッシュ・メモリ（ROM）

2 M/1.5 M/1 M/768 K/512 K/384 K/256 K/128 K/64 K/32 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

また，データ格納用のデータ･フラッシュを32 K/16 Kバイト搭載しています。

(4) RAM

128 K/96 K/64 K/48 K/24 K/16 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ（INTC）

内蔵周辺ハードウエア，および外部からのハードウエア割り込み要求（NMI, INTP00-INTP20）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，多重割り込み制御ができます。

(6) クロック・ジェネレータ（CG）

メイン・システム・クロック発振回路とサブシステム・クロック発振回路があり，メイン・クロック周波数（f_{MX}）とサブクロック周波数（f_{SX}）を生成しています。メイン・システム・クロック周波数（f_{MAIN}）として，f_{MX}をそのまま使用するクロック・スルー・モードと，f_{MX}を3/4/6/8逓倍して使用するPLLモードがあります。

CPU／周辺クロック周波数（f_{CLK}）としては，f_{MAIN}, f_{MAIN}/2, f_{MAIN}/4, f_{MAIN}/8, f_{MAIN}/16, f_{MAIN}/32, f_{SUB}の7種類から選択できます。

(7) 高速オンチップ・オシレータ（f_{IH}）

V850E2/Jx4-Lに内蔵された発振回路で発振周波数は32 MHzです。メイン・システム・クロック（f_{MAIN}），またはf_{IH}を1024分周してサブシステム・クロック（f_{SUB}）にクロック供給します。

(8) 低速オンチップ・オシレータ（f_{IL}）

V850E2/Jx4-Lに内蔵された発振回路で発振周波数は15 kHzです。ウォッチドッグ・タイマ，TMM，メイン･システム発振クロック（f_{MX}）のクロック・モニタ用サンプリング・クロック，TAU1のTI7入力にクロック供給します。

(9) タイマ／カウンタ

16ビットのタイマ・アレイ・ユニット（TAU）を3ユニット×8チャネル，16ビットのエンコーダ・タイマを最大2チャネル，16ビットのインターバル・タイマM（TMM）を1チャネル内蔵しています。

(10) リアルタイム・クロック

サブシステム・クロック（32.768 kHz）またはメイン・システム・クロックから時計カウント用の基準時間（1秒）をカウントします。年，月，曜日，日，時，分，秒の専用ハードウエア・カウンタを持ち，最長99年までカウントが可能です。

(11) ウォッチドッグ・タイマ

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして低速オンチップ・オシレータ・クロック，高速オンチップ・オシレータの分周クロック，サブクロックを選択できます。

オーバフローでシステム・リセット信号（WDTRES）を発生します。また，オーバフロー発生時間の75%到達時にEIレベル・マスカブル割り込み要求信号（INTWDT）を発生させることができます。

(12) クロック出力／ブザー出力制御回路

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

(13) シリアル・インタフェース

V850E2/Jx4-Lには，シリアル・アレイ・ユニットを最大6ユニット（CSI：最大14チャネル，UART：最大9チャネル）搭載しています。

そのほかにI^2Cバス・インタフェース（I^2CA）を最大4チャネル，USBファンクション・コントローラ（USBF）を1チャネル内蔵しています。

(14) A/Dコンバータ

最大24本のアナログ入力端子を持つ12ビットA/Dコンバータです。逐次変換方式で変換します。

(15) D/Aコンバータ

8ビット分解能のD/Aコンバータを最大2チャネル内蔵しています。R-2Rラダー方式です。

(16) DMAコントローラ

8チャネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて，内蔵RAM，内蔵周辺I/O，フラッシュ・メモリ，外部メモリ間でデータを転送します。

(17) キー割り込み機能

8チャネルのキー入力端子に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

(18) リアルタイム出力機能

あらかじめ設定しておいた8ビット・データをタイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

（19）CRC機能

8ビットのデータ設定により，16ビットのCRC（Cyclic Redundancy Check）コードを生成する，CRC演算回路を内蔵します。

（20）DCU（デバッグ・コントロール・ユニット）

JTAG（Joint Test Action Group）の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは，制御端子の入力レベルとオプション・バイトの2つで行います。

（21）ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

表1－11 ポートの構成

ポート	入出力	兼用機能
JP0	5ビット入出力	デバッグ入出力，TAU入出力，SAU入出力
P0	5ビット入力	システム・クロック用入力，NMI入力，A/Dコンバータ・トリガ入力
P1	3ビット入出力	D/Aコンバータ出力，外部割り込み入力
P2	4ビット入出力	TAU入出力，SAU入出力，I^2CA入出力，USBFインタフェース入力
P3	5ビット入出力	TAU入出力，SAU入出力，外部制御信号，キー割り込み入力，外部割り込み入力，ENCA入力，リアルタイム出力，ブザー出力
P4	6ビット入出力	TAU入出力，SAU入出力，外部制御信号，外部割り込み入力，リアルタイム出力
P5	8ビット入出力	外部アドレス・バス出力，TAU入出力，SAU入出力，外部割り込み入力，ENCA入力，リアルタイム・クロック出力，ブザー出力
P6	8ビット入出力	外部アドレス・バス出力，TAU入出力，SAU入出力，キー割り込み入力，外部割り込み入力，リアルタイム出力
P7	7ビット入出力	外部アドレス・バス出力，TAU入出力，SAU入出力，キー割り込み入力，外部割り込み入力
P8	8ビット入出力	TAU入出力，SAU入出力，電圧検出回路入力，外部制御信号，外部割り込み入力，ENCA出力，I^2CA入出力，USBFインタフェース入力
P9	8ビット入出力	外部アドレス／データ・バス入出力，ENCA入出力
P10	8ビット入出力	外部アドレス／データ・バス入出力
P11	4ビット入出力	SAU入出力，外部割り込み入力
P13	5ビット入出力	TAU入出力，SAU入出力，外部割り込み入力
P14	6ビット入出力	TAU入出力，SAU入出力，外部割り込み入力，I^2CA入出力
P15	6ビット入出力	SAU入出力
P16	8ビット入出力	－
P20	8ビット入出力	A/Dコンバータ・アナログ入力，A/Dコンバータ基準電圧
P21	8ビット入出力	A/Dコンバータ・アナログ入力
P22	1ビット入出力	A/Dコンバータ・アナログ入力，キー割り込み入力，外部割り込み入力，リアルタイム出力
P23	7ビット入出力	A/Dコンバータ・アナログ入力，キー割り込み入力，外部割り込み入力，リアルタイム出力

第2章　端子機能

2. 1　端子機能一覧

V850E2/Jx4-Lの端子機能一覧を次に示します。

端子の入出力バッファ電源には，V_{DD}, AV_{DD}, EV_{DD}, UV_{DD}の4系統があります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源（V850E2/JC4-L：40ピン）

電　源	対応する端子
AV_{DD}	ポート20
EV_{DD}/V_{DD}	$\overline{TRST}$, ポート3, 5-10, 22, JP0, $\overline{RESET}$, ポート0
UV_{DD}	UDM, UDP

表2－2　各端子の入出力バッファ電源（V850E2/JC4-L：48ピン）

電　源	対応する端子
AV_{DD}	ポート20
EV_{DD}/V_{DD}	$\overline{TRST}$, ポート3-10, 22, 23, JP0, $\overline{RESET}$, ポート0
UV_{DD}	UDM, UDP

表2－3　各端子の入出力バッファ電源（V850E2/JE4-L）

電　源	対応する端子
AV_{DD}	ポート20
EV_{DD}	$\overline{TRST}$, ポート3-10, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0

表2－4　各端子の入出力バッファ電源（V850E2/JF4-L）

電　源	対応する端子
AV_{DD}	ポート20
EV_{DD}	$\overline{TRST}$, ポート2-11, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0

表2－5　各端子の入出力バッファ電源（V850E2/JG4-L）

電　源	対応する端子
AV_{DD}	ポート20
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-11, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0, P1_1

表2－6　各端子の入出力バッファ電源（V850E2/JH4-L）

電　源	対応する端子
AV_{DD}	ポート20, 21
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-11, 13-15, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0, P1_1

表2－7　各端子の入出力バッファ電源（V850E2/JJ4-L）

電　源	対応する端子
AV_{DD}	ポート20, 21
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-11, 13-16, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0, P1_1

2. 1. 1　ポート端子

備考　ピン番号の欄は次のように対応しています。

- 144　：V850E2/JJ4-L
- 128　：V850E2/JH4-L
- 100　：V850E2/JG4-L
- 80　：V850E2/JF4-L
- 64　：V850E2/JE4-L
- 48　：V850E2/JC4-L（48ピン版）
- 40　：V850E2/JC4-L（40ピン版）

（1/5）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
JP0_0	入出力	ポートJP	TDI/TOOL0	78	73	56	46	36	25	21
JP0_1	入出力		TDO/TI00/TO00	79	74	57	47	37	26	22
JP0_2	入出力		TCK/TI01/TO01/SI40/RXD40	80	75	58	48	38	27	23
JP0_3	入出力		TMS/TI02/TO02/SO40/TXD40	81	76	59	49	39	28	24
JP0_5	入出力		$\overline{\text{RDY}}$/TI03/TO03/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26
P0_0	入力	ポート0	XT2/EXCLKS	25	24	14	10	6	5	4
P0_1	入力		XT1	26	25	15	11	7	6	5
P0_2	入力		NMI/ADTRG	27	26	16	12	8	7	6
P0_3	入力		X2/EXCLK	28	27	17	13	9	8	7
P0_4	入力		X1	29	28	18	14	10	9	8
P1_0	入出力	ポート1	ANO0	3	6	3	3	3	3	—
P1_1	入出力		ANO1	4	7	4	—	—	—	—
P1_2	入出力		INTP10	5	8	5	4	4	—	—
P2_0	入出力	ポート2 N-chオープン･ドレーン／ 5 Vトレラント対応 (P2_2, P2_3)	TI10/TO10/SI51	20	19	9	5	—	—	—
P2_1	入出力		TI11/TO11/SO51	21	20	10	6	—	—	—
P2_2	入出力		TI12/TO12/$\overline{\text{SCK51}}$/SDAA2	22	21	11	7	—	—	—
P2_3	入出力		TI13/TO13/SCLA2/UVBUS	23	22	12	8	—	—	—
P3_0	入出力	ポート3	SI40/RXD40/CLKOUT/KR0/RTP0/INTP07/BUSCLK	116	107	83	65	—	—	—
			SI40/RXD40/CLKOUT/KR0/RTP0/INTP07	—	—	—	—	50	38	31
P3_1	入出力		TE0TI0/SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	—	—	—
			TE0TI0/SO40/TXD40/KR1/RTP1/INTP01	—	—	—	—	51	39	32
P3_2	入出力		SI00/RXD00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$	118	109	85	67	—	—	—
			SI00/RXD00/BUZ1/KR2/RTP2/INTP02	—	—	—	—	52	40	33
P3_3	入出力		TE0TI1/SO00/TXD00/KR3/RTP3/INTP03/ASTB	119	110	86	68	—	—	—
			TE0TI1/SO00/TXD00/KR3/RTP3/INTP03	—	—	—	—	53	41	34
P3_4	入出力		$\overline{\text{SCK00}}$/KR4/RTP4/$\overline{\text{WAIT}}$	120	111	87	69	—	—	—
			$\overline{\text{SCK00}}$/KR4/RTP4	—	—	—	—	54	42	35

(2/5)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
P4_0	入出力	ポート4	TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	–	–	–
		N-chオープン・ドレーン対応	TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00	–	–	–	–	47	35	–
P4_1	入出力	(P4_2, P4_3)	$\overline{\text{CS1}}$	106	97	–	–	–	–	–
P4_2	入出力		TI16/TO16/SI02/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	107	98	75	60	–	–	–
			TI16/TO16/SI02/RXD01/SCLA1/INTP08	–	–	–	–	48	36	–
P4_3	入出力		SO02/TXD01/SDAA1/INTP09/$\overline{\text{CS3}}$	108	99	76	61	–	–	–
			SO02/TXD01/SDAA1/INTP09	–	–	–	–	49	37	–
P4_4	入出力		TI17/TO17/RXD11/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	109	100	77	62	–	–	–
P4_5	入出力		TXD11/$\overline{\text{UWR}}$/$\overline{\text{UBE}}$	110	101	78	63	–	–	–
P5_0	入出力	ポート5	SI41/INTP13/A0	43	42	32	–	–	–	–
P5_1	入出力		SO41/A1	44	43	33	–	–	–	–
P5_2	入出力		$\overline{\text{SCK41}}$/A2	45	44	34	–	–	–	–
P5_3	入出力		SI11/A3	46	45	35	–	–	–	–
P5_4	入出力		SO11/A4	47	46	36	–	–	–	–
P5_5	入出力		TI03/TO03/SIS00/RXDS00/BUZ0/TE0AI/A5	48	47	37	–	–	–	–
			TI03/TO03/SIS00/RXDS00/BUZ0/TE0AI	–	–	–	27	23	19	18
P5_6	入出力		TI04/TO04/SOS00/TXDS00/RTC1HZ/TE0BI/A6	49	48	38	–	–	–	–
			TI04/TO04/SOS00/TXDS00/RTC1HZ/TE0BI	–	–	–	28	24	20	19
P5_7	入出力		TI05/TO05/$\overline{\text{SCKS00}}$/TE0ZI/A7	50	49	39	–	–	–	–
			TI05/TO05/$\overline{\text{SCKS00}}$/TE0ZI	–	–	–	29	25	21	20
P6_0	入出力	ポート6	$\overline{\text{SCK11}}$/A8	84	79	62	–	–	–	–
P6_1	入出力		RXD21/A9	85	80	63	–	–	–	–
P6_2	入出力		TXD21/A10	86	81	64	–	–	–	–
P6_3	入出力		A11	87	82	65	–	–	–	–
P6_4	入出力		A12	88	83	66	–	–	–	–
P6_5	入出力		RXD10/A13	89	84	67	–	–	–	–
			–	–	–	–	52	–	–	–
P6_6	入出力		TXD10/A14	90	85	68	–	–	–	–
			–	–	–	–	53	–	–	–
P6_7	入出力		TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05/A15	91	86	69	–	–	–	–
			TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05	–	–	–	54	42	31	27
P7_0	入出力	ポート7	TI07/TO07/KR6/RTP6/INTP06/A16	92	87	70	55	–	–	–
			TI07/TO07/KR6/RTP6/INTP06	–	–	–	–	43	32	28
P7_1	入出力		TI14/TO14/$\overline{\text{SCKS01}}$/A17	104	95	–	–	–	–	–
			TI14/TO14/A17	–	–	73	58	–	–	–
			TI14/TO14	–	–	–	–	46	–	–
P7_2	入出力		A18	111	102	79	64	–	–	–
P7_3	入出力		SI01/A19	112	103	80	–	–	–	–
P7_4	入出力		SO01/A20	113	104	81	–	–	–	–
P7_5	入出力		$\overline{\text{SCK01}}$/A21	114	105	82	–	–	–	–
P7_6	入出力		A22	115	106	–	–	–	–	–

(3/5)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
P8_0	入出力	ポート8	INTP12	35	34	24	–	–	–	–
P8_1	入出力	N-chオープン・ドレーン対応	EXLVI	36	35	25	20	16	–	–
P8_2	入出力	(P8_2, P8_3)	TI00/TO00/SI50/RXD50/SCLA0	37	36	26	21	17	13	12
P8_3	入出力		TI01/TO01/SO50/TXD50/SDAA0	38	37	27	22	18	14	13
P8_4	入出力		TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	–	–	–
			TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK	–	–	–	–	19	15	14
P8_5	入出力		SI13	95	90	–	–	–	–	–
P8_6	入出力		SO13	96	91	–	–	–	–	–
P8_7	入出力		$\overline{\text{SCK13}}$	97	92	–	–	–	–	–
P9_0	入出力	ポート9	AD0/TE1CS	62	57	40	30	–	–	–
			TE1CS	–	–	–	–	26	–	–
			–	–	–	–	–	–	22	–
P9_1	入出力		AD1/TE1TI0	63	58	41	31	–	–	–
			TE1TI0	–	–	–	–	27	–	–
			–	–	–	–	–	–	23	–
P9_2	入出力		AD2/TE1TI1	64	59	42	32	–	–	–
			TE1TI1	–	–	–	–	28	–	–
P9_3	入出力		AD3/TE1AI	65	60	43	33	–	–	–
			TE1AI	–	–	–	–	29	–	–
P9_4	入出力		AD4/TE1BI	66	61	44	34	–	–	–
			TE1BI	–	–	–	–	30	–	–
P9_5	入出力		AD5/TE1ZI	67	62	45	35	–	–	–
			TE1ZI	–	–	–	–	31	–	–
P9_6	入出力		AD6	68	63	46	36	–	–	–
P9_7	入出力		AD7	69	64	47	37	–	–	–
P10_0	入出力	ポート10	AD8	70	65	48	38	–	–	–
P10_1	入出力		AD9	71	66	49	39	–	–	–
P10_2	入出力		AD10	72	67	50	40	–	–	–
			–	–	–	–	–	32	24	–
P10_3	入出力		AD11	73	68	51	41	–	–	–
			–	–	–	–	–	33	–	–
P10_4	入出力		AD12	74	69	52	42	–	–	–
			–	–	–	–	–	34	–	–
P10_5	入出力		AD13	75	70	53	43	–	–	–
			–	–	–	–	–	35	–	–
P10_6	入出力		AD14	76	71	54	44	–	–	–
P10_7	入出力		AD15	77	72	55	45	–	–	–
P11_0	入出力	ポート11	INTP14	6	9	–	–	–	–	–
P11_1	入出力		RXD20	7	10	6	–	–	–	–
P11_2	入出力		TXD20	8	11	7	–	–	–	–
P11_3	入出力		INTP11	9	12	8	–	–	–	–

(4/5)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
P13_0	入出力	ポート13	–	55	50	–	–	–	–	–
P13_1	入出力		SI21	56	51	–	–	–	–	–
P13_2	入出力		TI24/TO24/SO21/INTP17	57	52	–	–	–	–	–
P13_3	入出力		TI25/TO25/$\overline{\text{SCK21}}$/INTP18	58	53	–	–	–	–	–
P13_4	入出力		–	59	54	–	–	–	–	–
P14_0	入出力	ポート14	TI26/TO26/SI03/SDAA3	10	13	–	–	–	–	–
P14_1	入出力	N-chオープン･ドレーン対応	TI27/TO27/SO03/SCLA3	11	14	–	–	–	–	–
P14_2	入出力	(P14_0, P14_1),	TI20/TO20/$\overline{\text{SCK03}}$/INTP19	12	15	–	–	–	–	–
P14_3	入出力	5 Vトレラント対応	TI21/TO21/SI23/INTP20	13	16	–	–	–	–	–
P14_4	入出力	(P14_0-P14_5)	TI22/TO22/SO23/INTP15	14	17	–	–	–	–	–
P14_5	入出力		TI23/TO23/$\overline{\text{SCK23}}$/INTP16	15	18	–	–	–	–	–
P15_0	入出力	ポート15	–	98	–	–	–	–	–	–
P15_1	入出力		–	99	–	–	–	–	–	–
P15_2	入出力		–	100	–	–	–	–	–	–
P15_3	入出力		–	101	–	–	–	–	–	–
P15_4	入出力		SIS01	102	93	–	–	–	–	–
P15_5	入出力		SOS01	103	94	–	–	–	–	–
P16_0	入出力	ポート16	–	16	–	–	–	–	–	–
P16_1	入出力		–	17	–	–	–	–	–	–
P16_2	入出力		–	18	–	–	–	–	–	–
P16_3	入出力		–	19	–	–	–	–	–	–
P16_4	入出力		–	51	–	–	–	–	–	–
P16_5	入出力		–	52	–	–	–	–	–	–
P16_6	入出力		–	53	–	–	–	–	–	–
P16_7	入出力		–	54	–	–	–	–	–	–
P20_0	入出力	ポート20	ANI00	144	3	–	–	–	–	–
P20_1	入出力		ANI01	143	2	100	–	–	–	–
P20_2	入出力		ANI02	142	1	99	80	64	48	40
P20_3	入出力		ANI03	141	128	98	79	63	47	39
P20_4	入出力		ANI04/AV_{REFP}	140	127	97	78	62	46	38
P20_5	入出力		ANI05/AV_{REFM}	139	126	96	77	61	45	37
P20_6	入出力		ANI06	138	125	–	–	–	–	–
P20_7	入出力		ANI07	137	124	–	–	–	–	–
P21_0	入出力	ポート21	ANI08	136	123	–	–	–	–	–
P21_1	入出力		ANI09	135	122	–	–	–	–	–
P21_2	入出力		ANI10	134	121	–	–	–	–	–
P21_3	入出力		ANI11	133	120	–	–	–	–	–
P21_4	入出力		ANI12	132	–	–	–	–	–	–
P21_5	入出力		ANI13	131	–	–	–	–	–	–
P21_6	入出力		ANI14	130	–	–	–	–	–	–
P21_7	入出力		ANI15	129	–	–	–	–	–	–

（5/5）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
P22_7	入出力	ポート22	ANI23/INTP05/KR7/RTP7	128	119	95	76	60	44	36
P23_0	入出力	ポート23	ANI24/INTP00	127	118	94	75	59	43	－
P23_1	入出力		ANI25/INTP07	126	117	93	74	58	－	－
P23_2	入出力		ANI26/INTP06	125	116	92	73	57	－	－
P23_3	入出力		ANI27/INTP02	124	115	91	72	56	－	－
P23_4	入出力		ANI28/INTP10	123	114	90	71	55	－	－
P23_5	入出力		ANI29/INTP01/KR5/RTP5	122	113	89	70	－	－	－
P23_6	入出力		ANI30/INTP13/KR6/RTP6	121	112	88	－	－	－	－

2. 1. 2　ポート以外の端子

（1/11）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
A0	出力	アドレス出力	P5_0/SI41/INTP13	43	42	32	－	－	－	－
A1	出力		P5_1/SO41	44	43	33	－	－	－	－
A2	出力		P5_2/$\overline{\text{SCK41}}$	45	44	34	－	－	－	－
A3	出力		P5_3/SI11	46	45	35	－	－	－	－
A4	出力		P5_4/SO11	47	46	36	－	－	－	－
A5	出力		P5_5/TI03/TO03/SIS00/RXDS00/BUZ0/TE0AI	48	47	37	－	－	－	－
A6	出力		P5_6/TI04/TO04/SOS00/TXDS00/RTC1HZ/TE0BI	49	48	38	－	－	－	－
A7	出力		P5_7/TI05/TO05/$\overline{\text{SCKS00}}$/TE0ZI	50	49	39	－	－	－	－
A8	出力		P6_0/$\overline{\text{SCK11}}$	84	79	62	－	－	－	－
A9	出力		P6_1/RXD21	85	80	63	－	－	－	－
A10	出力		P6_2/TXD21	86	81	64	－	－	－	－
A11	出力		P6_3	87	82	65	－	－	－	－
A12	出力		P6_4	88	83	66	－	－	－	－
A13	出力		P6_5/RXD10	89	84	67	－	－	－	－
A14	出力		P6_6/TXD10	90	85	68	－	－	－	－
A15	出力		P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05	91	86	69	－	－	－	－
A16	出力		P7_0/TI07/TO07/KR6/RTP6/INTP06	92	87	70	55	－	－	－
A17	出力		P7_1/TI14/TO14/$\overline{\text{SCKS01}}$	104	95	－	－	－	－	－
			P7_1/TI14/TO14	－	－	73	58			
A18	出力		P7_2	111	102	79	64	－	－	－
A19	出力		P7_3/SI01	112	103	80	－	－	－	－
A20	出力		P7_4/SO01	113	104	81	－	－	－	－
A21	出力		P7_5/$\overline{\text{SCK01}}$	114	105	82	－	－	－	－
A22	出力		P7_6	115	106	－	－	－	－	－
AD0	入出力	アドレス／データ入出力	P9_0/TE1CS	62	57	40	30	－	－	－
AD1	入出力		P9_1/TE1TI0	63	58	41	31	－	－	－
AD2	入出力		P9_2/TE1TI1	64	59	42	32	－	－	－
AD3	入出力		P9_3/TE1AI	65	60	43	33	－	－	－
AD4	入出力		P9_4/TE1BI	66	61	44	34	－	－	－
AD5	入出力		P9_5/TE1ZI	67	62	45	35	－	－	－
AD6	入出力		P9_6	68	63	46	36	－	－	－
AD7	入出力		P9_7	69	64	47	37	－	－	－
AD8	入出力		P10_0	70	65	48	38	－	－	－
AD9	入出力		P10_1	71	66	49	39	－	－	－
AD10	入出力		P10_2	72	67	50	40	－	－	－
AD11	入出力		P10_3	73	68	51	41	－	－	－
AD12	入出力		P10_4	74	69	52	42	－	－	－
AD13	入出力		P10_5	75	70	53	43	－	－	－
AD14	入出力		P10_6	76	71	54	44	－	－	－
AD15	入出力		P10_7	77	72	55	45	－	－	－

（2/11）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
ADTRG	入力	A/Dコンバータ・トリガ入力	P0_2/NMI	27	26	16	12	8	7	6
ANI00	入力	A/Dコンバータのアナログ入力	P20_0	144	3	－	－	－	－	－
ANI01	入力		P20_1	143	2	100	－	－	－	－
ANI02	入力		P20_2	142	1	99	80	64	48	40
ANI03	入力		P20_3	141	128	98	79	63	47	39
ANI04	入力		P20_4/AV_{REFP}	140	127	97	78	62	46	38
ANI05	入力		P20_5/AV_{REFM}	139	126	96	77	61	45	37
ANI06	入力		P20_6	138	125	－	－	－	－	－
ANI07	入力		P20_7	137	124	－	－	－	－	－
ANI08	入力		P21_0	136	123	－	－	－	－	－
ANI09	入力		P21_1	135	122	－	－	－	－	－
ANI10	入力		P21_2	134	121	－	－	－	－	－
ANI11	入力		P21_3	133	120	－	－	－	－	－
ANI12	入力		P21_4	132	－	－	－	－	－	－
ANI13	入力		P21_5	131	－	－	－	－	－	－
ANI14	入力		P21_6	130	－	－	－	－	－	－
ANI15	入力		P21_7	129	－	－	－	－	－	－
ANI23	入力		P22_7/INTP05/KR7/RTP7	128	119	95	76	60	44	36
ANI24	入力		P23_0/INTP00	127	118	94	75	59	43	－
ANI25	入力		P23_1/INTP07	126	117	93	74	58	－	－
ANI26	入力		P23_2/INTP06	125	116	92	73	57	－	－
ANI27	入力		P23_3/INTP02	124	115	91	72	56	－	－
ANI28	入力		P23_4/INTP10	123	114	90	71	55	－	－
ANI29	入力		P23_5/INTP01/KR5/RTP5	122	113	89	70	－	－	－
ANI30	入力		P23_6/INTP13/KR6/RTP6	121	112	88	－	－	－	－
ANO0	出力		P1_0	3	6	3	3	3	3	－
ANO1	出力		P1_1	4	7	4	－	－	－	－
ASTB	出力	アドレス・ストローブ	P3_3/TE0TI1/SO00/TXD00/KR3/RTP3/INTP03	119	110	86	68	－	－	－
AV_{DD}	－	A/Dコンバータ，D/Aコンバータ用正電源供給端子	－	1	4	1	1	1	1	1
AV_{REFM}	入力	A/Dコンバータの基準電位（－側）入力	P20_5/ANI05	139	126	96	77	61	45	37
AV_{REFP}	入力	A/Dコンバータの基準電位（＋側）入力	P20_4/ANI04	140	127	97	78	62	46	38
AV_{SS}	－	A/Dコンバータ，D/Aコンバータ用グランド電位	－	2	5	2	2	2	2	2
$\overline{BCYST}$	出力	バス・サイクル・スタート	P8_4/TI02/TO02/$\overline{SCK50}$/INTP04/TE0CS/UCLK	39	38	28	23	－	－	－
BUSCLK	出力	バス･クロック出力	P3_0/SI40/RXD40/CLKOUT/KR0/RTP0/INTP07	116	107	83	65	－	－	－
BUZ0	出力	ブザー0出力	P5_5/TI03/TO03/SIS00/RXDS00/TE0AI/A5	48	47	37	－	－	－	－
			P5_5/TI03/TO03/SIS00/RXDS00/TE0AI	－	－	－	27	23	19	18
BUZ1	出力	ブザー1出力	P3_2/SI00/RXD00/KR2/RTP2/INTP02/$\overline{WR}$	118	109	85	67	－	－	－
			P3_2/SI00/RXD00/KR2/RTP2/INTP02	－	－	－	－	52	40	33
CLKOUT	出力	内部システム・クロック出力	P3_0/SI40/RXD40/KR0/RTP0/INTP07/BUSCLK	116	107	83	65	－	－	－
			P3_0/SI40/RXD40/KR0/RTP0/INTP07	－	－	－	－	50	38	31

（3/11）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
$\overline{CS0}$	出力	チップ・セレクト0出力	P4_0/TI15/TO15/$\overline{SCK02}$/KR7/RTP7/INTP00	105	96	74	59	－	－	－
$\overline{CS1}$	出力	チップ・セレクト1出力	P4_1	106	97	－	－	－	－	－
$\overline{CS2}$	出力	チップ・セレクト2出力	P4_2/TI16/TO16/SI02/RXD01/SCLA1/INTP08	107	98	75	60	－	－	－
$\overline{CS3}$	出力	チップ・セレクト3出力	P4_3/SO02/TXD01/SDAA1/INTP09	108	99	76	61	－	－	－
EV_{DD}	－	ポート端子の正電源	－	34, 61, 94	33, 56, 89	23, 72	19, 57	15, 45	34	30
			V_{DD}	－	－	－	－	－	12	11
EV_{SS}	－	ポート端子のグランド電位	－	32, 60, 93	31, 55, 88	21, 71	17, 56	13, 44	33	29
			V_{SS}	－	－	－	－	－	11	10
EXCLK	入力	メイン・システム・クロック用外部クロック入力	P0_3/X2	28	27	17	13	9	8	7
EXCLKS	入力	サブクロック用外部クロック入力	P0_0/XT2	25	24	14	10	6	5	4
EXLVI	入力	外部LVDレベル入力	P8_1	36	35	25	20	16	－	－
INTP00	入力	外部割り込み入力	P4_0/TI15/TO15/$\overline{SCK02}$/KR7/RTP7/$\overline{CS0}$	105	96	74	59	－	－	－
			P4_0/TI15/TO15/$\overline{SCK02}$/KR7/RTP7	－	－	－	－	47	35	－
			P23_0/ANI24	127	118	94	75	59	43	－
INTP01			P3_1/TE0TI0/SO40/TXD40/KR1/RTP1/$\overline{RD}$	117	108	84	66	－	－	－
			P3_1/TE0TI0/SO40/TXD40/KR1/RTP1	－	－	－	－	51	39	32
			P23_5/ANI29/KR5/RTP5	122	113	89	70	－	－	－
INTP02			P3_2/SI00/RXD00/BUZ1/KR2/RTP2/$\overline{WR}$	118	109	85	67	－	－	－
			P3_2/SI00/RXD00/BUZ1/KR2/RTP2	－	－	－	－	52	40	33
			P23_3/ANI27	124	115	91	72	56	－	－
INTP03			P3_3/TE0TI1/SO00/TXD00/KR3/RTP3/ASTB	119	110	86	68	－	－	－
			P3_3/TE0TI1/SO00/TXD00/KR3/RTP3	－	－	－	－	53	41	34
INTP04			P8_4/TI02/TO02/$\overline{SCK50}$/TE0CS/UCLK/$\overline{BCYST}$	39	38	28	23	－	－	－
			P8_4/TI02/TO02/$\overline{SCK50}$/TE0CS/UCLK	－	－	－	－	19	15	14
INTP05			P6_7/TI06/TO06/$\overline{SCK40}$/KR5/RTP5/A15	91	86	69	－	－	－	－
			P6_7/TI06/TO06/$\overline{SCK40}$/KR5/RTP5	－	－	－	54	42	31	27
			P22_7/ANI23/KR7/RTP7	128	119	95	76	60	44	36
INTP06			P7_0/TI07/TO07/KR6/RTP6/A16	92	87	70	55	－	－	－
			P7_0/TI07/TO07/KR6/RTP6	－	－	－	－	43	32	28
			P23_2/ANI26	125	116	92	73	57	－	－
INTP07			P3_0/SI40/RXD40/CLKOUT/KR0/RTP0/BUSCLK	116	107	83	65	－	－	－
			P3_0/SI40/RXD40/CLKOUT/KR0/RTP0	－	－	－	－	50	38	31
			P23_1/ANI25	126	117	93	74	58	－	－
INTP08			P4_2/TI16/TO16/SI02/RXD01/SCLA1/$\overline{CS2}$	107	98	75	60	－	－	－
			P4_2/TI16/TO16/SI02/RXD01/SCLA1	－	－	－	－	48	36	－
INTP09			P4_3/SO02/TXD01/SDAA1/$\overline{CS3}$	108	99	76	61	－	－	－
			P4_3/SO02/TXD01/SDAA1	－	－	－	－	49	37	－

(4/11)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
INTP10	入力	外部割り込み入力	P1_2	5	8	5	4	4	—	—
			P23_4/ANI28	123	114	90	71	55	—	—
INTP11			P11_3	9	12	8	—	—	—	—
INTP12			P8_0	35	34	24	—	—	—	—
INTP13			P5_0/SI41/A0	43	42	32	—	—	—	—
			P23_6/ANI30/KR6/RTP6	121	112	88	—	—	—	—
INTP14			P11_0	6	9	—	—	—	—	—
INTP15			P14_4/TI22/TO22/SO23	14	17	—	—	—	—	—
INTP16			P14_5/TI23/TO23/$\overline{\text{SCK23}}$	15	18	—	—	—	—	—
INTP17			P13_2/TI24/TO24/SO21	57	52	—	—	—	—	—
INTP18			P13_3/TI25/TO25/$\overline{\text{SCK21}}$	58	53	—	—	—	—	—
INTP19			P14_2/TI20/TO20/$\overline{\text{SCK03}}$	12	15	—	—	—	—	—
INTP20			P14_3/TI21/TO21/SI23	13	16	—	—	—	—	—
KR0	入力	キー割り込み入力	P3_0/SI40/RXD40/CLKOUT/RTP0/INTP07/BUSCLK	116	107	83	65	—	—	—
			P3_0/SI40/RXD40/CLKOUT/RTP0/INTP07	—	—	—	—	50	38	31
KR1			P3_1/TE0TI0/SO40/TXD40/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	—	—	—
			P3_1/TE0TI0/SO40/TXD40/RTP1/INTP01	—	—	—	—	51	39	32
KR2			P3_2/SI00/RXD00/BUZ1/RTP2/INTP02/$\overline{\text{WR}}$	118	109	85	67	—	—	—
			P3_2/SI00/RXD00/BUZ1/RTP2/INTP02	—	—	—	—	52	40	33
KR3			P3_3/TE0TI1/SO00/TXD00/RTP3/INTP03/ASTB	119	110	86	68	—	—	—
			P3_3/TE0TI1/SO00/TXD00/RTP3/INTP03	—	—	—	—	53	41	34
KR4			P3_4/$\overline{\text{SCK00}}$/RTP4/$\overline{\text{WAIT}}$	120	111	87	69	—	—	—
			P3_4/$\overline{\text{SCK00}}$/RTP4	—	—	—	—	54	42	35
KR5			P6_7/TI06/TO06/$\overline{\text{SCK40}}$/RTP5/INTP05/A15	91	86	69	—	—	—	—
			P6_7/TI06/TO06/$\overline{\text{SCK40}}$/RTP5/INTP05	—	—	—	54	42	31	27
			P23_5/ANI29/INTP01/RTP5	122	113	89	70	—	—	—
KR6			P7_0/TI07/TO07/RTP6/INTP06/A16	92	87	70	55	—	—	—
			P7_0/TI07/TO07/RTP6/INTP06	—	—	—	—	43	32	28
			P23_6/ANI30/INTP13/RTP6	121	112	88	—	—	—	—
KR7			P4_0/TI15/TO15/$\overline{\text{SCK02}}$/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	—	—	—
			P4_0/TI15/TO15/$\overline{\text{SCK02}}$/RTP7/INTP00	—	—	—	—	47	35	—
			P22_7/ANI23/INTP05/RTP7	128	119	95	76	60	44	36
$\overline{\text{LBE}}$	出力	外部データ・バスのバイト・イネーブル信号（D0-D7）	P4_4/TI17/TO17/RXD11/$\overline{\text{LWR}}$	109	100	77	62	—	—	—
$\overline{\text{LWR}}$	出力	外部データ・バスのライト・ストローブ信号（D0-D7）	P4_4/TI17/TO17/RXD11/$\overline{\text{LBE}}$	109	100	77	62	—	—	—
NMI	入力	外部割り込み入力（FEレベル・マスカブル割り込み）。	P0_2/ADTRG	27	26	16	12	8	7	6
$\overline{\text{RD}}$	出力	外部データ・バスのリード・ストローブ信号	P3_1/TE0TI0/SO40/TXD40/KR1/RTP1/INTP01	117	108	84	66	—	—	—
$\overline{\text{RDY}}$	出力	デバッグ・レディ出力	JP0_5/TI03/TO03/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26

(5/11)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
REGC	－	内部動作用レギュレータ出力安定容量接続	－	30	29	19	15	11	10	9
$\overline{\text{RESET}}$	入力	外部リセット入力	－	24	23	13	9	5	4	3
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力	P5_6/TI04/TO04/SOS00/TXDS00/TE0BI/A6	49	48	38	－	－	－	－
			P5_6/TI04/TO04/SOS00/TXDS00/TE0BI	－	－	－	28	24	20	19
RTP0	出力	リアルタイム出力ポート0	P3_0/SI40/RXD40/CLKOUT/KR0/INTP07/BUSCLK	116	107	83	65	－	－	－
			P3_0/SI40/RXD40/CLKOUT/KR0/INTP07	－	－	－	－	50	38	31
RTP1		リアルタイム出力ポート1	P3_1/TE0TI0/SO40/TXD40/KR1/INTP01/$\overline{\text{RD}}$	117	108	84	66	－	－	－
			P3_1/TE0TI0/SO40/TXD40/KR1/INTP01	－	－	－	－	51	39	32
RTP2		リアルタイム出力ポート2	P3_2/SI00/RXD00/BUZ1/KR2/INTP02/$\overline{\text{WR}}$	118	109	85	67	－	－	－
			P3_2/SI00/RXD00/BUZ1/KR2/INTP02	－	－	－	－	52	40	33
RTP3		リアルタイム出力ポート3	P3_3/TE0TI1/SO00/TXD00/KR3/INTP03/ASTB	119	110	86	68	－	－	－
			P3_3/TE0TI1/SO00/TXD00/KR3/INTP03	－	－	－	－	53	41	34
RTP4		リアルタイム出力ポート4	P3_4/$\overline{\text{SCK00}}$/KR4/$\overline{\text{WAIT}}$	120	111	87	69	－	－	－
			P3_4/$\overline{\text{SCK00}}$/KR4	－	－	－	－	54	42	35
RTP5		リアルタイム出力ポート5	P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/INTP05/A15	91	86	69	－	－	－	－
			P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/INTP05	－	－	－	54	42	31	27
			P23_5/ANI29/INTP01/KR5	122	113	89	70	－	－	－
RTP6		リアルタイム出力ポート6	P7_0/TI07/TO07/KR6/INTP06/A16	92	87	70	55	－	－	－
			P7_0/TI07/TO07/KR6/INTP06	－	－	－	－	43	32	28
			P23_6/ANI30/INTP13/KR6	121	112	88	－	－	－	－
RTP7		リアルタイム出力ポート7	P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	－	－	－
			P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/INTP00	－	－	－	－	47	35	－
			P22_7/ANI23/INTP05/KR7	128	119	95	76	60	44	36
RXD00	入力	UART00のシリアル・データ入力	P3_2/SI00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$	118	109	85	67	－	－	－
			P3_2/SI00/BUZ1/KR2/RTP2/INTP02	－	－	－	－	52	40	33
RXD01		UART01のシリアル・データ入力	P4_2/TI16/TO16/SI02/SCLA1/INTP08/$\overline{\text{CS2}}$	107	98	75	60	－	－	－
			P4_2/TI16/TO16/SI02/SCLA1/INTP08	－	－	－	－	48	36	－
RXD10		UART10のシリアル・データ入力	P6_5/A13	89	84	67	－	－	－	－
RXD11		UART11のシリアル・データ入力	P4_4/TI17/TO17/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	109	100	77	62	－	－	－
RXD20		UART20のシリアル・データ入力	P11_1	7	10	6	－	－	－	－
RXD21		UART21のシリアル・データ入力	P6_1/A9	85	80	63	－	－	－	－
RXD40		UART40のシリアル・データ入力	JP0_2/TCK/TI01/TO01/SI40	80	75	58	48	38	27	23
			P3_0/SI40/CLKOUT/KR0/RTP0/INTP07/BUSCLK	116	107	83	65	－	－	－
			P3_0/SI40/CLKOUT/KR0/RTP0/INTP07	－	－	－	－	50	38	31
RXD50		UART50のシリアル・データ入力	P8_2/TI00/TO00/SI50/SCLA0	37	36	26	21	17	13	12
RXDS00		UARTS00のシリアル・データ入力	P5_5/TI03/TO03/SIS00/BUZ0/TE0AI/A5	48	47	37	－	－	－	－
			P5_5/TI03/TO03/SIS00/BUZ0/TE0AI	－	－	－	27	23	19	18

(6/11)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
$\overline{\text{SCK00}}$	入出力	CSI00のクロック入出力	P3_4/KR4/RTP4/$\overline{\text{WAIT}}$	120	111	87	69	–	–	–
			P3_4/KR4/RTP4	–	–	–	–	54	42	35
$\overline{\text{SCK01}}$		CSI01のクロック入出力	P7_5/A21	114	105	82	–	–	–	–
$\overline{\text{SCK02}}$		CSI02のクロック入出力	P4_0/TI15/TO15/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	–	–	–
			P4_0/TI15/TO15/KR7/RTP7/INTP00	–	–	–	–	47	35	–
$\overline{\text{SCK03}}$		CSI03のクロック入出力	P14_2/TI20/TO20/INTP19	12	15	–	–	–	–	–
$\overline{\text{SCK11}}$		CSI11のクロック入出力	P6_0/A8	87	82	65	–	–	–	–
$\overline{\text{SCK13}}$		CSI13のクロック入出力	P8_7	97	92	–	–	–	–	–
$\overline{\text{SCK21}}$		CSI21のクロック入出力	P13_3/TI25/TO25/INTP18	58	53	–	–	–	–	–
$\overline{\text{SCK23}}$		CSI23のクロック入出力	P14_5/TI23/TO23/INTP16	15	18	–	–	–	–	–
$\overline{\text{SCK40}}$		CSI40のクロック入出力	JP0_5/$\overline{\text{RDY}}$/TI03/TO03	83	78	61	51	41	30	26
			P6_7/TI06/TO06/KR5/RTP5/INTP05/A15	91	86	69	–	–	–	–
			P6_7/TI06/TO06/KR5/RTP5/INTP05	–	–	–	54	42	31	27
$\overline{\text{SCK41}}$		CSI41のクロック入出力	P5_2/A2	45	44	34	–	–	–	–
$\overline{\text{SCK50}}$		CSI50のクロック入出力	P8_4/TI02/TO02/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	–	–	–
			P8_4/TI02/TO02/INTP04/TE0CS/UCLK	–	–	–	–	19	15	14
$\overline{\text{SCK51}}$		CSI51のクロック入出力	P2_2/TI12/TO12/SDAA2	22	21	11	7	–	–	–
$\overline{\text{SCKS00}}$		CSIS00のクロック入出力	P5_7/TI05/TO05/TE0ZI/A7	50	49	39	–	–	–	–
			P5_7/TI05/TO05/TE0ZI	–	–	–	29	25	21	20
$\overline{\text{SCKS01}}$		CSIS01のクロック入出力	P7_1/TI14/TO14/A17	104	95	–	–	–	–	–
SCLA0	入出力	I^2CA0のクロック入出力	P8_2/TI00/TO00/SI50/RXD50	37	36	26	21	17	13	12
SCLA1		I^2CA1のクロック入出力	P4_2/TI16/TO16/SI02/RXD01/INTP08/$\overline{\text{CS2}}$	107	98	75	60	–	–	–
			P4_2/TI16/TO16/SI02/RXD01/INTP08	–	–	–	–	48	36	–
SCLA2		I^2CA2のクロック入力／出力	P2_3/TI13/TO13/UVBUS	23	22	12	8	–	–	–
SCLA3		I^2CA3のクロック入力／出力	P14_1/TI27/TO27/SO03	11	14	–	–	–	–	–
SDAA0	入出力	I^2CA0のシリアル・データ入出力	P8_3/TI01/TO01/SO50/TXD50	38	37	27	22	18	14	13
SDAA1		I^2CA1のシリアル・データ入出力	P4_3/SO02/TXD01/INTP09/$\overline{\text{CS3}}$	108	99	76	61	–	–	–
			P4_3/SO02/TXD01/INTP09	–	–	–	–	49	37	–
SDAA2		I^2CA2のシリアル・データ入出力	P2_2/TI12/TO12/$\overline{\text{SCK51}}$	22	21	11	7	–	–	–
SDAA3		I^2CA3のシリアル・データ入出力	P14_0/TI26/TO26/SI03	10	13	–	–	–	–	–
SI00	入力	CSI00のシリアル・データ入力	P3_2/RXD00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$	118	109	85	67	–	–	–
			P3_2/RXD00/BUZ1/KR2/RTP2/INTP02	–	–	–	–	52	40	33
SI01		CSI01のシリアル・データ入力	P7_3/A19	112	103	80	–	–	–	–
SI02		CSI02のシリアル・データ入力	P4_2/TI16/TO16/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	107	98	75	60	–	–	–
			P4_2/TI16/TO16/RXD01/SCLA1/INTP08	–	–	–	–	48	36	–
SI03		CSI03のシリアル・データ入力	P14_0/TI26/TO26/SDAA3	10	13	–	–	–	–	–
SI11		CSI11のシリアル・データ入力	P5_3/A3	46	45	35	–	–	–	–
SI13		CSI13のシリアル・データ入力	P8_5	95	90	–	–	–	–	–

(7/11)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
SI21	入力	CSI21のシリアル･データ入力	P13_1	56	51	—	—	—	—	—
SI23		CSI23のシリアル･データ入力	P14_3/TI21/TO21/INTP20	13	16	—	—	—	—	—
SI40		CSI40のシリアル･データ入力	JP0_2/TCK/TI01/TO01/RXD40	80	75	58	48	38	27	23
			P3_0/RXD40/CLKOUT/KR0/RTP0/INTP07/BUSCLK	116	107	83	65	—	—	—
			P3_0/RXD40/CLKOUT/KR0/RTP0/INTP07	—	—	—	—	50	38	31
SI41		CSI41のシリアル･データ入力	P5_0/INTP13/A0	43	42	32	—	—	—	—
SI50		CSI50のシリアル･データ入力	P8_2/TI00/TO00/RXD50/SCLA0	37	36	26	21	17	13	12
SI51		CSI51のシリアル･データ入力	P2_0/TI10/TO10	20	19	9	5	—	—	—
SIS00		CSIS00のシリアル･データ入力	P5_5/TI03/TO03/RXDS00/BUZ0/TE0AI/A5	48	47	37	—	—	—	—
			P5_5/TI03/TO03/RXDS00/BUZ0/TE0AI	—	—	—	27	23	19	18
SIS01		CSIS01のシリアル･データ入力	P15_4	102	93	—	—	—	—	—
SO00	**出力**	CSI00のシリアル･データ出力	P3_3/TE0TI1/TXD00/KR3/RTP3/INTP03/ASTB	119	110	86	68	—	—	—
			P3_3/TE0TI1/TXD00/KR3/RTP3/INTP03	—	—	—	—	53	41	34
SO01		CSI01のシリアル･データ出力	P7_4/A20	113	104	81	—	—	—	—
SO02		CSI02のシリアル･データ出力	P4_3/TXD01/SDAA1/INTP09/$\overline{CS3}$	108	99	76	61	—	—	—
			P4_3/TXD01/SDAA1/INTP09	—	—	—	—	49	37	—
SO03		CSI03のシリアル･データ出力	P14_1/TI27/TO27/SCLA3	11	14	—	—	—	—	—
SO11		CSI11のシリアル･データ出力	P5_4/A4	47	46	36	—	—	—	—
SO13		CSI13のシリアル･データ出力	P8_6	96	91	—	—	—	—	—
SO21		CSI21のシリアル･データ出力	P13_2/TI24/TO24/INTP17	57	52	—	—	—	—	—
SO23		CSI23のシリアル･データ出力	P14_4/TI22/TO22/INTP15	14	17	—	—	—	—	—
SO40		CSI40のシリアル･データ出力	JP0_3/TMS/TI02/TO02/TXD40	81	76	59	49	39	28	24
			P3_1/TE0TI0/TXD40/KR1/RTP1/INTP01/$\overline{RD}$	117	108	84	66	—	—	—
			P3_1/TE0TI0/TXD40/KR1/RTP1/INTP01	—	—	—	—	51	39	32
SO41		CSI41のシリアル･データ出力	P5_1/A1	44	43	33	—	—	—	—
SO50		CSI50のシリアル･データ出力	P8_3/TI01/TO01/TXD50/SDAA0	38	37	27	22	18	14	13
SO51		CSI51のシリアル･データ出力	P2_1/TI11/TO11	21	20	10	6	—	—	—
SOS00		CSIS00のシリアル･データ出力	P5_6/TI04/TO04/TXDS00/RTC1HZ/TE0BI/A6	49	48	38	—	—	—	—
			P5_6/TI04/TO04/TXDS00/RTC1HZ/TE0BI	—	—	—	28	24	20	19
SOS01		CSIS01のシリアル･データ出力	P15_5	103	94	—	—	—	—	—
TCK	入力	**デバッグ・クロック入力**	JP0_2/TI01/TO01/SI40/RXD40	80	75	58	48	38	27	23
TDI	入力	**デバッグ・データ入力**	JP0_0/TOOL0	78	73	56	46	36	25	21
TDO	出力	**デバッグ・データ出力**	JP0_1/TI00/TO00	79	74	57	47	37	26	22
TE0AI	**入力**	ENCA0**エンコーダ入力（A相）**	P5_5/TI03/TO03/SIS00/RXDS00/BUZ0/A5	48	47	37	—	—	—	—
			P5_5/TI03/TO03/SIS00/RXDS00/BUZ0	—	—	—	27	23	19	18
TE0BI	**入力**	ENCA0**エンコーダ入力（B相）**	P5_6/TI04/TO04/SOS00/TXDS00/RTC1HZ/A6	49	48	38	—	—	—	—
			P5_6/TI04/TO04/SOS00/TXDS00/RTC1HZ	—	—	—	28	24	20	19
TE0CS	**出力**	ENCA0**カウント・ステータス出力**	P8_4/TI02/TO02/$\overline{SCK50}$/INTP04/UCLK/$\overline{BCYST}$	39	38	28	23	—	—	—
			P8_4/TI02/TO02/$\overline{SCK50}$/INTP04/UCLK	—	—	—	—	19	15	14
TE0ZI	**入力**	ENCA0**エンコーダ入力（Z相）**	P5_7/TI05/TO05/$\overline{SCKS00}$/A7	50	49	39	—	—	—	—
			P5_7/TI05/TO05/$\overline{SCKS00}$	—	—	—	29	25	21	20

(8/11)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
TE0TI0	入力	ENCA0キャプチャ・トリガ入力0	P3_1/SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	–	–	–
			P3_1/SO40/TXD40/KR1/RTP1/INTP01	–	–	–	–	51	39	32
TE0TI1		ENCA0キャプチャ・トリガ入力1	P3_3/SO00/TXD00/KR3/RTP3/INTP03/ASTB	119	110	86	68	–	–	–
			P3_3/SO00/TXD00/KR3/RTP3/INTP03	–	–	–	–	53	41	34
TE1AI		ENCA1エンコーダ入力(A相)	P9_3/AD3	65	60	43	33	–	–	–
			P9_3	–	–	–	–	29	–	–
TE1BI		ENCA1エンコーダ入力(B相)	P9_4/AD4	66	61	44	34	–	–	–
			P9_4	–	–	–	–	30	–	–
TE1CS	出力	ENCA1カウント・ステータス出力	P9_0/AD0	62	57	40	30	–	–	–
			P9_0	–	–	–	–	26	–	–
TE1TI0	入力	ENCA1キャプチャ・トリガ入力0	P9_1/AD1	63	58	41	31	–	–	–
			P9_1	–	–	–	–	27	–	–
TE1TI1		ENCA1キャプチャ・トリガ入力1	P9_2/AD2	64	59	42	32	–	–	–
			P9_2	–	–	–	–	28	–	–
TE1ZI		ENCA1エンコーダ入力(Z相)	P9_5/AD5	67	62	45	35	–	–	–
			P9_5	–	–	–	–	31	–	–
TI00	入力	16ビット・タイマ00への外部カウント・クロック 入力	P8_2/TO00/SI50/RXD50/SCLA0	37	36	26	21	17	13	12
			JP0_1/TDO/TO00	79	74	57	47	37	26	22
TI01		16ビット・タイマ01への外部カウント・クロック 入力	P8_3/TO01/SO50/TXD50/SDAA0	38	37	27	22	18	14	13
			JP0_2/TCK/TO01/SI40/RXD40	80	75	58	48	38	27	23
TI02		16ビット・タイマ02への外部カウント・クロック 入力	P8_4/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	–	–	–
			P8_4/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK	–	–	–	–	19	15	14
			JP0_3/TMS/TO02/SO40/TXD40	81	76	59	49	39	28	24
TI03		16ビット・タイマ03への外部カウント・クロック 入力	P5_5/TO03/SIS00/RXDS00/BUZ0/TE0AI/A5	48	47	37	–	–	–	–
			P5_5/TO03/SIS00/RXDS00/BUZ0/TE0AI	–	–	–	27	23	19	18
			JP0_5/$\overline{\text{RDY}}$/TO03/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26
TI04		16ビット・タイマ04への外部カウント・クロック入力	P5_6/TO04/SOS00/TXDS00/RTC1HZ/TE0BI/A6	49	48	38	–	–	–	–
			P5_6/TO04/SOS00/TXDS00/RTC1HZ/TE0BI	–	–	–	28	24	20	19
TI05		16ビット・タイマ05への外部カウント・クロック入力	P5_7/TO05/$\overline{\text{SCKS00}}$/TE0ZI/A7	50	49	39	–	–	–	–
			P5_7/TO05/$\overline{\text{SCKS00}}$/TE0ZI	–	–	–	29	25	21	20
TI06		16ビット・タイマ06への外部カウント・クロック入力	P6_7/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05/A15	91	86	69	–	–	–	–
			P6_7/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05	–	–	–	54	42	31	27
TI07		16ビット・タイマ07への外部カウント・クロック入力	P7_0/TO07/KR6/RTP6/INTP06/A16	92	87	70	55	–	–	–
			P7_0/TO07/KR6/RTP6/INTP06	–	–	–	–	43	32	28
TI10		16ビット・タイマ10への外部カウント・クロック入力	P2_0/TO10/SI51	20	19	9	5	–	–	–
TI11		16ビット・タイマ11への外部カウント・クロック入力	P2_1/TO11/SO51	21	20	10	6	–	–	–
TI12		16ビット・タイマ12への外部カウント・クロック入力	P2_2/TO12/$\overline{\text{SCK51}}$/SDAA2	22	21	11	7	–	–	–
TI13		16ビット・タイマ13への外部カウント・クロック入力	P2_3/TO13/SCLA2/UVBUS	23	22	12	8	–	–	–

(9/11)

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
TI14	入力	16ビット・タイマ14への外部カウント・クロック入力	P7_1/TO14/$\overline{\text{SCKS01}}$/A17	104	95	–	–	–	–	–
			P7_1/TO14/A17	–	–	73	58	–	–	–
			P7_1/TO14	–	–	–	–	46	–	–
TI15		16ビット・タイマ15への外部カウント・クロック入力	P4_0/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	–	–	–
			P4_0/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00	–	–	–	–	47	35	–
TI16		16ビット・タイマ16への外部カウント・クロック入力	P4_2/TO16/SI02/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	107	98	75	60	–	–	–
			P4_2/TO16/SI02/RXD01/SCLA1/INTP08	–	–	–	–	48	36	–
TI17		16ビット・タイマ17への外部カウント・クロック入力	P4_4/TI17/RXD11/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	109	100	77	62	–	–	–
TI20		16ビット・タイマ20への外部カウント・クロック入力	P14_2/TO20/$\overline{\text{SCK03}}$/INTP19	12	15	–	–	–	–	–
TI21		16ビット・タイマ21への外部カウント・クロック入力	P14_3/TO21/SI23/INTP20	13	16	–	–	–	–	–
TI22		16ビット・タイマ22への外部カウント・クロック入力	P14_4/TO22/SO23/INTP15	14	17	–	–	–	–	–
TI23		16ビット・タイマ23への外部カウント・クロック入力	P14_5/TO23/$\overline{\text{SCK23}}$/INTP16	15	18	–	–	–	–	–
TI24		16ビット・タイマ24への外部カウント・クロック入力	P13_2/TO24/SO21/INTP17	57	52	–	–	–	–	–
TI25		16ビット・タイマ25への外部カウント・クロック入力	P13_3/TO25/$\overline{\text{SCK21}}$/INTP18	58	53	–	–	–	–	–
TI26		16ビット・タイマ26への外部カウント・クロック入力	P14_0/TO26/SI03/SDAA3	10	13	–	–	–	–	–
TI27		16ビット・タイマ27への外部カウント・クロック入力	P14_1/TO27/SO03/SCLA3	11	14	–	–	–	–	–
TMS	入力	デバッグ・モード選択入力	JP0_3/TI02/TO02/SO40/TXD40	81	76	59	49	39	28	24
TO00	出力	16 ビット・タイマ00出力	P8_2/TI00/SI50/RXD50/SCLA0	37	36	26	21	17	13	12
			JP0_1/TDO/TI00	79	74	57	47	37	26	22
TO01		16 ビット・タイマ01出力	P8_3/TI01/SO50/TXD50/SDAA0	38	37	27	22	18	14	13
			JP0_2/TCK/TI01/SI40/RXD40	80	75	58	48	38	27	23
TO02		16 ビット・タイマ02出力	P8_4/TI02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	–	–	–
			P8_4/TI02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK	–	–	–	–	19	15	14
			JP0_3/TMS/TI02/SO40/TXD40	81	76	59	49	39	28	24
TO03		16 ビット・タイマ03出力	P5_5/TI03/SIS00/RXDS00/BUZ0/TE0AI/A5	48	47	37	–	–	–	–
			P5_5/TI03/SIS00/RXDS00/BUZ0/TE0AI	–	–	–	27	23	19	18
			JP0_5/$\overline{\text{RDY}}$/TI03/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26
TO04		16 ビット・タイマ04出力	P5_6/TI04/SOS00/TXDS00/RTC1HZ/TE0BI/A6	49	48	38	–	–	–	–
			P5_6/TI04/SOS00/TXDS00/RTC1HZ/TE0BI	–	–	–	28	24	20	19
TO05		16 ビット・タイマ05出力	P5_7/TI05/$\overline{\text{SCKS00}}$/TE0ZI/A7	50	49	39	–	–	–	–
			P5_7/TI05/$\overline{\text{SCKS00}}$/TE0ZI	–	–	–	29	25	21	20
TO06		16 ビット・タイマ06出力	P6_7/TI06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05/A15	91	86	69	–	–	–	–
			P6_7/TI06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05	–	–	–	54	42	31	27
TO07		16 ビット・タイマ07出力	P7_0/TI07/KR6/RTP6/INTP06/A16	92	87	70	55	–	–	–
			P7_0/TI07/KR6/RTP6/INTP06	–	–	–	–	43	32	28

（10/11）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
TO10	出力	16 ビット・タイマ10出力	P2_0/TI10/SI51	20	19	9	5	–	–	–
TO11		16 ビット・タイマ11出力	P2_1/TI11/SO51	21	20	10	6	–	–	–
TO12		16 ビット・タイマ12出力	P2_2/TI12/$\overline{\text{SCK51}}$/SDAA2	22	21	11	7	–	–	–
TO13		16 ビット・タイマ13出力	P2_3/TI13/SCLA2/UVBUS	23	22	12	8	–	–	–
TO14		16 ビット・タイマ14出力	P7_1/TI14/$\overline{\text{SCKS01}}$/A17	104	95	–	–	–	–	–
			P7_1/TI14/A17	–	–	73	58	–	–	–
			P7_1/TI14	–	–	–	–	46	–	–
TO15		16 ビット・タイマ15出力	P4_0/TI15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	–	–	–
			P4_0/TI15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00	–	–	–	–	47	35	–
TO16		16 ビット・タイマ16出力	P4_2/TI16/SI02/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	107	98	75	60	–	–	–
			P4_2/TI16/SI02/RXD01/SCLA1/INTP08	–	–	–	–	48	36	–
TO17		16 ビット・タイマ17出力	P4_4/TI17/RXD11/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	109	100	77	62	–	–	–
TO20		16 ビット・タイマ20出力	P14_2/TI20/$\overline{\text{SCK03}}$/INTP19	12	15	–	–	–	–	–
TO21		16 ビット・タイマ21出力	P14_3/TI21/SI23/INTP20	13	16	–	–	–	–	–
TO22		16 ビット・タイマ22出力	P14_4/TI22/SO23/INTP15	14	17	–	–	–	–	–
TO23		16 ビット・タイマ23出力	P14_5/TI23/$\overline{\text{SCK23}}$/INTP16	15	18	–	–	–	–	–
TO24		16 ビット・タイマ24出力	P13_2/TI24/SO21/INTP17	57	52	–	–	–	–	–
TO25		16 ビット・タイマ25出力	P13_3/TI25/$\overline{\text{SCK21}}$/INTP18	58	53	–	–	–	–	–
TO26		16 ビット・タイマ26出力	P14_0/TI26/SI03/SDAA3	10	13	–	–	–	–	–
TO27		16 ビット・タイマ27出力	P14_1/TI27/SO03/SCLA3	11	14	–	–	–	–	–
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力	JP0_0/TDI	78	73	56	46	36	25	21
$\overline{\text{TRST}}$	入力	デバッグ・リセット入力	–	82	77	60	50	40	29	25
TXD00	出力	UART00のシリアル・データ出力	P3_3/TE0TI1/SO00/KR3/RTP3/INTP03/ASTB	119	110	86	68	–	–	–
			P3_3/TE0TI1/SO00/KR3/RTP3/INTP03	–	–	–	–	53	41	34
TXD01		UART01のシリアル・データ出力	P4_3/SO02/SDAA1/INTP09/$\overline{\text{CS3}}$	108	99	76	61	–	–	–
			P4_3/SO02/SDAA1/INTP09	–	–	–	–	49	37	–
TXD10		UART10のシリアル・データ出力	P6_6/A14	90	85	68	–	–	–	–
TXD11		UART11のシリアル・データ出力	P4_5/$\overline{\text{UWR}}$/$\overline{\text{UBE}}$	110	101	78	63	–	–	–
TXD20		UART20のシリアル・データ出力	P11_2	8	11	7	–	–	–	–
TXD21		UART21のシリアル・データ出力	P6_2/A10	86	81	64	–	–	–	–
TXD40		UART40のシリアル・データ出力	JP0_3/TMS/TI02/TO02/SO40	81	76	59	49	39	28	24
			P3_1/TE0TI0/SO40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	–	–	–
			P3_1/TE0TI0/SO40/KR1/RTP1/INTP01	–	–	–	–	51	39	32
TXD50		UART50のシリアル・データ出力	P8_3/TI01/TO01/SO50/SDAA0	38	37	27	22	18	14	13
TXDS00		UARTS00のシリアル・データ出力	P5_6/TI04/TO04/SOS00/RTC1HZ/TE0BI/A6	49	48	38	–	–	–	–
			P5_6/TI04/TO04/SOS00/RTC1HZ/TE0BI	–	–	–	28	24	20	19

（11/11）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
$\overline{\text{UBE}}$	出力	外部データ・バスのバイト・イネーブル信号（D8-D15）	P4_5/TXD11/$\overline{\text{UWR}}$	110	101	78	63	－	－	－
UCLK	入力	USB 外部クロック入力	P8_4/TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/$\overline{\text{BCYST}}$	39	38	28	23	－	－	－
			P8_4/TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS	－	－	－	－	19	15	14
UDM	入出力	USBデータ入出力（－）	－	41	40	30	25	21	17	16
UDP	入出力	USBデータ入出力（＋）	－	42	41	31	26	22	18	17
UVBUS	入力	UBUS検出信号	P2_3/TI13/TO13/SCLA2/UVBUS	23	22	12	8	－	－	－
UV_{DD}	－	USB用正電源供給端子	－	40	39	29	24	20	16	15
$\overline{\text{UWR}}$	出力	外部データ・バスのライト・ストローブ信号（D8-D15）	P4_5/TXD11/$\overline{\text{UBE}}$	110	101	78	63	－	－	－
V_{DD}	－	内部用正電源供給端子	－	33	32	22	18	14	－	－
			EV_{DD}	－	－	－	－	－	12	11
V_{SS}	－	内部用グランド電位	－	31	30	20	16	12	－	－
			EV_{SS}	－	－	－	－	－	11	10
$\overline{\text{WAIT}}$	入力	バス・サイクルにウエイトを挿入する制御信号	P3_4/$\overline{\text{SCK00}}$/KR4/RTP4	120	111	87	69	－	－	－
$\overline{\text{WR}}$	出力	外部データ・バスのライト・ストローブ信号	P3_2/SI00/RXD00/BUZ1/KR2/RTP2	118	109	85	67	－	－	－
X1	－	X1クロック用発振子接続	P0_4	29	28	18	14	10	9	8
X2			P0_3/EXCLK	28	27	17	13	9	8	7
XT1	－	XT1クロック用発振子接続	P0_1	26	25	15	11	7	6	5
XT2			P0_0/EXCLKS	25	24	14	10	6	5	4

2.2　端子機能の二重化

この製品では，一部機能の入出力を2ヵ所で兼用していますが，使用できる端子機能としてはいずれか一方のみになります。2ヵ所で同じ端子機能を設定することは禁止です。

例えば，a/b/c端子をbとして使用する場合，b/d/e端子はbとして使用できません。b以外の端子機能として設定して使用してください。

注意　CSI40は次のどちらかの組み合わせで使用してください。

<1> $\overline{\text{SCK40}}$（JP0_5），SI40（JP0_2），SO40（JP0_3）

<2> $\overline{\text{SCK40}}$（P6_7），SI40（P3_0），SO40（P3_1）

表2－8　端子の二重化（1/3）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
INTP00	入力	外部割り込み入力	P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/$\overline{\text{CS0}}$	105	96	74	59	－	－	－
			P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7	－	－	－	－	47	35	－
			P23_0/ANI24	127	118	94	75	59	43	－
INTP01	入力	外部割り込み入力	P3_1/TE0TI0/SO40/TXD40/KR1/RTP1/$\overline{\text{RD}}$	117	108	84	66	－	－	－
			P3_1/TE0TI0/SO40/TXD40/KR1/RTP1	－	－	－	－	51	39	32
			P23_5/ANI29/KR5/RTP5	122	113	89	70	－	－	－
INTP02	入力	外部割り込み入力	P3_2/SI00/RXD00/BUZ1/KR2/RTP2/$\overline{\text{WR}}$	118	109	85	67	－	－	－
			P3_2/SI00/RXD00/BUZ1/KR2/RTP2	－	－	－	－	52	40	33
			P23_3/ANI27	124	115	91	72	56	－	－
INTP05	入力	外部割り込み入力	P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/A15	91	86	69	－	－	－	－
			P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5	－	－	－	54	42	31	27
			P22_7/ANI23/KR7/RTP7	128	119	95	76	60	44	36
INTP06	入力	外部割り込み入力	P7_0/TI07/TO07/KR6/RTP6/A16	92	87	70	55	－	－	－
			P7_0/TI07/TO07/KR6/RTP6	－	－	－	－	43	32	28
			P23_2/ANI26	125	116	92	73	57	－	－
INTP07	入力	外部割り込み入力	P3_0/SI40/RXD40/CLKOUT/KR0/RTP0/BUSCLK	116	107	83	65	－	－	－
			P3_0/SI40/RXD40/CLKOUT/KR0/RTP0	－	－	－	－	50	38	31
			P23_1/ANI25	126	117	93	74	58	－	－
INTP10	入力	外部割り込み入力	P1_2	5	8	5	4	4	－	－
			P23_4/ANI28	123	114	90	71	55	－	－
INTP13	入力	外部割り込み入力	P5_0/SI41/A0	43	42	32	－	－	－	－
			P23_6/ANI30/KR6/RTP6	121	112	88	－	－	－	－
KR5	入力	キー割り込み入力	P6_7/TI06/TO06/SCK40/RTP5/INTP05/A15	91	86	69	－	－	－	－
			P6_7/TI06/TO06/SCK40/RTP5/INTP05	－	－	－	54	42	31	27
			P23_5/ANI29/INTP01/RTP5	122	113	89	70	－	－	－
KR6	入力	キー割り込み入力	P7_0/TI07/TO07/RTP6/INTP06/A16	92	87	70	55	－	－	－
			P7_0/TI07/TO07/RTP6/INTP06	－	－	－	－	43	32	28
			P23_6/ANI30/INTP13/RTP6	121	112	88	－	－	－	－
KR7	入力	キー割り込み入力	P4_0/TI15/TO15/SCK02/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	－	－	－
			P4_0/TI15/TO15/SCK02/RTP7/INTP00	－	－	－	－	47	35	－
			P22_7/ANI23/INTP05/RTP7	128	119	95	76	60	44	36

表2－8　端子の二重化（2/3）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
RTP5	出力	リアルタイム出力ポート5	P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/INTP05/A15	91	86	69	－	－	－	－
			P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/INTP05	－	－	－	54	42	31	27
			P23_5/ANI29/INTP01/KR5	122	113	89	70	－	－	－
RTP6	出力	リアルタイム出力ポート6	P7_0/TI07/TO07/KR6/INTP06/A16	92	87	70	55	－	－	－
			P7_0/TI07/TO07/KR6/INTP06	－	－	－	－	43	32	28
			P23_6/ANI30/INTP13/KR6	121	112	88	－	－	－	－
RTP7	出力	リアルタイム出力ポート7	P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	－	－	－
			P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/INTP00	－	－	－	－	47	35	－
			P22_7/ANI23/INTP05/KR7	128	119	95	76	60	44	36
RXD40	入力	UART40のシリアル・データ入力	JP0_2/TCK/TI01/TO01/SI40	80	75	58	48	38	27	23
			P3_0/SI40/CLKOUT/KR0/RTP0/INTP07 /BUSCLK	116	107	83	65	－	－	－
			P3_0/SI40/CLKOUT/KR0/RTP0/INTP07	－	－	－	－	50	38	31
$\overline{\text{SCK40}}$	入出力	CSI40のクロック入出力	JP0_5/$\overline{\text{RDY}}$/TI03/TO03	83	78	61	51	41	30	26
			P6_7/TI06/TO06/KR5/RTP5/INTP05/A15	91	86	69	－	－	－	－
			P6_7/TI06/TO06/KR5/RTP5/INTP05	－	－	－	54	42	31	27
SI40	入力	CSI40のシリアル･データ入力	JP0_2/TCK/TI01/TO01/RXD40	80	75	58	48	38	27	23
			P3_0/RXD40/CLKOUT/KR0/RTP0/INTP07 /BUSCLK	116	107	83	65	－	－	－
			P3_0/RXD40/CLKOUT/KR0/RTP0/INTP07	－	－	－	－	50	38	31
SO40	出力	CSI40のシリアル･データ出力	JP0_3/TMS/TI02/TO02/TXD40	81	76	59	49	39	28	24
			P3_1/TE0TI0/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	－	－	－
			P3_1/TE0TI0/TXD40/KR1/RTP1/INTP01	－	－	－	－	51	39	32
TI00	入力	16ビット・タイマ00への外部カウント・クロック 入力	P8_2/TO00/SI50/RXD50/SCLA0	37	36	26	21	17	13	12
			JP0_1/TDO/TO00	79	74	57	47	37	26	22
TI01	入力	16ビット・タイマ01への外部カウント・クロック 入力	P8_3/TO01/SO50/TXD50/SDAA0	38	37	27	22	18	14	13
			JP0_2/TCK/TO01/SI40/RXD40	80	75	58	48	38	27	23
TI02	入力	16ビット・タイマ02への外部カウント・クロック 入力	P8_4/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK /$\overline{\text{BCYST}}$	39	38	28	23	－	－	－
			P8_4/TO02/SCK50/INTP04/TE0CS/UCLK	－	－	－	－	19	15	14
			JP0_3/TMS/TO02/SO40/TXD40	81	76	59	49	39	28	24
TI03	入力	16ビット・タイマ03への外部カウント・クロック 入力	P5_5/TO03/SIS00/RXDS00/BUZ0/TE0AI/A5	48	47	37	－	－	－	－
			P5_5/TO03/SIS00/RXDS00/BUZ0/TE0AI	－	－	－	27	23	19	18
			JP0_5/$\overline{\text{RDY}}$/TO03/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26

表2－8　端子の二重化（3/3）

機能名称	入出力	機能	兼用機能	ピン番号						
				144	128	100	80	64	48	40
TO00	出力	16 ビット・タイマ00出力	P8_2/TI00/SI50/RXD50/SCLA0	37	36	26	21	17	13	12
			JP0_1/TDO/TI00	79	74	57	47	37	26	22
TO01	出力	16 ビット・タイマ01出力	P8_3/TI01/SO50/TXD50/SDAA0	38	37	27	22	18	14	13
			JP0_2/TCK/TI01/SI40/RXD40	80	75	58	48	38	27	23
TO02	出力	16 ビット・タイマ02出力	P8_4/TI02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	－	－	－
			P8_4/TI02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK	－	－	－	－	19	15	14
			JP0_3/TMS/TI02/SO40/TXD40	81	76	59	49	39	28	24
TO03	出力	16 ビット・タイマ03出力	P5_5/TI03/SIS00/RXDS00/BUZ0/TE0AI/A5	48	47	37	－	－	－	－
			P5_5/TI03/SIS00/RXDS00/BUZ0/TE0AI	－	－	－	27	23	19	18
			JP0_5/$\overline{\text{RDY}}$/TI03/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26
TXD40	出力	UART40のシリアル・データ出力	JP0_3/TMS/TI02/TO02/SO40	81	76	59	49	39	28	24
			P3_1/TE0TI0/SO40/KR1/RTP1/INTP01/RD	117	108	84	66	－	－	－
			P3_1/TE0TI0/SO40/KR1/RTP1/INTP01	－	－	－	－	51	39	32

2. 3　端子状態

電源立ち上げ時およびリセット中の各ポート端子の状態を次に示します。

表2－9　端子状態

状態 端子	リセット中
TCK（OPJTAG = 1）時	プルアップ
TMS（OPJTAG = 1）時	プルアップ
TDO（OPJATG = 1）時	プルアップ
$\overline{\text{RDY}}$（OPJTAG = 1）時	プルアップ
$\overline{\text{TRST}}$	プルダウン
TOOL0	プルアップ
その他のポート端子	Hi-Z

2.4　端子の入出力バッファ電源と未使用端子の処理

（1/4）

機能名称	兼用機能	バッファ電源	機能	未使用時の推奨接続方法
P0_0	XT2/EXCLKS	V_{DD}	－	PMCnm = 0（ポート・モード），PMnm = 1（入力），PIBCnm = 0（入力バッファ禁止）に設定（初期値）し，端子処置はオープンにしてください。
P0_1	XT1	V_{DD}	－	
P0_2	NMI/ADTRG	V_{DD}	－	
P0_3	X2/EXCLK	V_{DD}	－	
P0_4	X1	V_{DD}	－	
P1_0	ANO0	V_{DD}	－	
P1_1	ANO1	V_{DD}	－	
P1_2	INTP10	EV_{DD}	ソフトウエアにてプルアップ抵抗接続可	
P2_0	TI10/TO10/SI51	EV_{DD}		
P2_1	TI11/TO11/SO51	EV_{DD}		
P2_2	TI12/TO12/$\overline{\text{SCK1}}$/SDAA2	EV_{DD}	N-chオープン・ドレーン対応，5 Vトレラント対応	
P2_3	TI13/TO13/SCLA2/UVBUS	EV_{DD}		
P3_0	SI40/RXD40/CLKOUT/KR0/RTP0/INTP07/BUSCLK	EV_{DD}	－	
P3_1	TE0TI0/SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	EV_{DD}	－	
P3_2	SI00/RXD00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$	EV_{DD}	－	
P3_3	TE0TI1/SO00/TXD00/KR3/RTP3/INTP03/ASTB	EV_{DD}	－	
P3_4	$\overline{\text{SCK00}}$/KR4/RTP4/$\overline{\text{WAIT}}$	EV_{DD}	－	
P4_0	TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	EV_{DD}	－	
P4_1	$\overline{\text{CS1}}$	EV_{DD}	－	
P4_2	TI16/TO16/SI02/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	EV_{DD}	N-chオープン・ドレーン対応	
P4_3	SO02/TXD01/SDAA1/INTP09/$\overline{\text{CS3}}$	EV_{DD}		
P4_4	TI17/TO17/RXD11/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	EV_{DD}	－	
P4_5	TXD11/$\overline{\text{UWR}}$/$\overline{\text{UBE}}$	EV_{DD}	－	
P5_0	SI41/INTP13/A0	EV_{DD}	－	
P5_1	SO41/A1	EV_{DD}	－	
P5_2	$\overline{\text{SCK41}}$/A2	EV_{DD}	－	
P5_3	SI11/A3	EV_{DD}	－	
P5_4	SO11/A4	EV_{DD}	－	
P5_5	TI03/TO03/SIS00/RXDS00/BUZ0/TE0AI/A5	EV_{DD}	－	
P5_6	TI04/TO04/SOS00/TXDS00/RTC1HZ/TE0BI/A6	EV_{DD}	－	
P5_7	TI05/TO05/$\overline{\text{SCKS00}}$/TE0ZI/A7	EV_{DD}	－	

（2/4）

機能名称	兼用機能	バッファ電源	機能	未使用時の推奨接続方法
P6_0	$\overline{\text{SCK11}}$/A8	EV_{DD}	－	PMCnm = 0（ポート・モード），PMnm = 1（入力），PIBCnm = 0（入力バッファ禁止）に設定（初期値）し，端子処置はオープンにしてください。
P6_1	RXD21/A9	EV_{DD}	－	
P6_2	TXD21/A10	EV_{DD}	－	
P6_3	A11	EV_{DD}	－	
P6_4	A12	EV_{DD}	－	
P6_5	RXD10/A13	EV_{DD}	－	
P6_6	TXD10/A14	EV_{DD}	－	
P6_7	TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05/A15	EV_{DD}	－	
P7_0	TI07/TO07/KR6/RTP6/INTP06/A16	EV_{DD}	－	
P7_1	TI14/TO14/$\overline{\text{SCKS01}}$/A17	EV_{DD}	－	
P7_2	A18	EV_{DD}	－	
P7_3	SI01/A19	EV_{DD}	－	
P7_4	SO01/A20	EV_{DD}	－	
P7_5	$\overline{\text{SCK01}}$/A21	EV_{DD}	－	
P7_6	A22	EV_{DD}	－	
P8_0	INTP12	EV_{DD}	ソフトウエアにてプルアップ抵抗接続可	
P8_1	EXLVI	EV_{DD}	－	
P8_2	TI00/TO00/SI50/RXD50/SCLA0	EV_{DD}	N-chオープン・ドレーン対応	
P8_3	TI01/TO01/SO50/TXD50/SDAA0	EV_{DD}	N-chオープン・ドレーン対応	
P8_4	TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	EV_{DD}	－	
P8_5	SI13	EV_{DD}	ソフトウエアにてプルアップ抵抗接続可	
P8_6	SO13	EV_{DD}		
P8_7	$\overline{\text{SCK13}}$	EV_{DD}		
P9_0	AD0/TE1CS	EV_{DD}	－	
P9_1	AD1/TE1TI0	EV_{DD}	－	
P9_2	AD2/TE1TI1	EV_{DD}	－	
P9_3	AD3/TE1AI	EV_{DD}	－	
P9_4	AD4/TE1BI	EV_{DD}	－	
P9_5	AD5/TE1ZI	EV_{DD}	－	
P9_6	AD6	EV_{DD}	－	
P9_7	AD7	EV_{DD}	－	
P10_0	AD8	EV_{DD}	－	
P10_1	AD9	EV_{DD}	－	
P10_2	AD10	EV_{DD}	－	
P10_3	AD11	EV_{DD}	－	
P10_4	AD12	EV_{DD}	－	
P10_5	AD13	EV_{DD}	－	
P10_6	AD14	EV_{DD}	－	
P10_7	AD15	EV_{DD}	－	

（3/4）

機能名称	兼用機能	バッファ電源	機能	未使用時の推奨接続方法
P11_0	INTP14	EV_{DD}	ソフトウエアにてプルアップ抵抗接続可	PMCnm = 0（ポート・モード），PMnm = 1（入力），PIBCnm = 0（入力バッファ禁止）に設定（初期値）し，端子処置はオープンにしてください。
P11_1	RXD20	EV_{DD}		
P11_2	TXD20	EV_{DD}		
P11_3	INTP11	EV_{DD}		
P13_0	－	EV_{DD}		
P13_1	SI21	EV_{DD}		
P13_2	TI24/TO24/SO21/INTP17	EV_{DD}		
P13_3	TI25/TO25/$\overline{SCK21}$/INTP18	EV_{DD}		
P13_4	－	EV_{DD}		
P14_0	TI26/TO26/SI03/SDAA3	EV_{DD}	N-chオープン・ドレーン対応，5 Vトレラント対応	
P14_1	TI27/TO27/SO03/SCLA3	EV_{DD}		
P14_2	TI20/TO20/$\overline{SCK03}$/INTP19	EV_{DD}	5 Vトレラント対応	
P14_3	TI21/TO21/SI23/INTP20	EV_{DD}		
P14_4	TI22/TO22/SO23/INTP15	EV_{DD}		
P14_5	TI23/TO23/$\overline{SCK23}$/INTP16	EV_{DD}		
P15_0	－	EV_{DD}	ソフトウエアにてプルアップ抵抗接続可	
P15_1	－	EV_{DD}		
P15_2	－	EV_{DD}		
P15_3	－	EV_{DD}		
P15_4	SIS01	EV_{DD}		
P15_5	SOS01	EV_{DD}		
P16_0	－	EV_{DD}		
P16_1	－	EV_{DD}		
P16_2	－	EV_{DD}		
P16_3	－	EV_{DD}		
P16_4	－	EV_{DD}		
P16_5	－	EV_{DD}		
P16_6	－	EV_{DD}		
P16_7	－	EV_{DD}		
P20_0	ANI00	AV_{DD}	－	
P20_1	ANI01	AV_{DD}	－	
P20_2	ANI02	AV_{DD}	－	
P20_3	ANI03	AV_{DD}	－	
P20_4	ANI04/AV_{REFP}	AV_{DD}	－	
P20_5	ANI05/AV_{REFM}	AV_{DD}	－	
P20_6	ANI06	AV_{DD}	－	
P20_7	ANI07	AV_{DD}	－	

（4/4）

機能名称	兼用機能	バッファ電源	機能	未使用時の推奨接続方法
P21_0	ANI08	AV_{DD}	－	PMCnm = 0（ポート・モード），PMnm = 1（入力），PIBCnm = 0（入力バッファ禁止）に設定（初期値）し，端子処置はオープンにしてください。
P21_1	ANI09	AV_{DD}	－	
P21_2	ANI10	AV_{DD}	－	
P21_3	ANI11	AV_{DD}	－	
P21_4	ANI12	AV_{DD}	－	
P21_5	ANI13	AV_{DD}	－	
P21_6	ANI14	AV_{DD}	－	
P21_7	ANI15	AV_{DD}	－	
P22_7	ANI23/INTP05/KR7/RTP7	AV_{DD}	－	
P23_0	ANI24/INTP00	AV_{DD}	－	
P23_1	ANI25/INTP07	AV_{DD}	－	
P23_2	ANI26/INTP06	AV_{DD}	－	
P23_3	ANI27/INTP02	AV_{DD}	－	
P23_4	ANI28/INTP10	AV_{DD}	－	
P23_5	ANI29/INTP01/KR5/RTP5	AV_{DD}	－	
P23_6	ANI30/INTP13/KR6/RTP6	AV_{DD}	－	
JP0_0	TDI/TOOL0	EV_{DD}	プルアップ抵抗接続。OPJTAG=0のとき、ソフトウエアにて接続解除可能。	表2－10参照
JP0_1	TDO/TI00/TO00	EV_{DD}		
JP0_2	TCK/TI01/TO01/SI40/RXD40	EV_{DD}		
JP0_3	TMS/TI02/TO02/SO40/TXD40	EV_{DD}		
JP0_5	$\overline{RDY}$/TI03/TO03/$\overline{SCK40}$	EV_{DD}		
$\overline{RESET}$	－	V_{DD}	－	抵抗を介してV_{DD}に接続してください。
$\overline{TRST}$	－	EV_{DD}	プルダウン抵抗内蔵	抵抗を介してEVssに接続してください。
V_{DD}	－	－	－	必ず使用してください。
V_{SS}	－	－	－	
EV_{DD}	－	－	－	
EV_{SS}	－	－	－	
AV_{DD}	－	－	－	
AV_{SS}	－	－	－	
UV_{DD}	－	－	－	
UDM	－	UV_{DD}	ソフトウエアにてプルアップ／プルダウン設定可能。	オープンにしてください。
UDP	－	UV_{DD}		

備考　OPJATGはオプション・バイトです。詳細は第31章　オプション・バイトを参照してください。

表2－10　JPポートの未使用時の推奨接続方法

機能名称	兼用機能	モード	未使用時の推奨接続方法
JP0_0	TDI/TOOL0	OPJATG =1	抵抗を介してEV$_{DD}$に接続してください。
		OPJATG =0	抵抗を介してEV$_{DD}$に接続してください。
		フラッシュメモリ・プログラミング・モード	必ず使用してください。
JP0_1	TDO/TI00/TO00	OPJATG =1	オープンにしてください。
		OPJATG =0	JPMC01 = 0（ポート・モード），JPM01 = 1（入力），JPU01 = 1（内蔵プルアップ抵抗を接続）に設定（初期値）し，端子処置はオープンにしてください。
		フラッシュメモリ・プログラミング・モード	CSI通信時は必ず使用してください。 UART通信時はオープンにしてください。
JP0_2	TCK/TI01/TO01/SI40/RXD40	OPJATG =1	オープンにしてください。
		OPJATG =0	JPMC02 = 0（ポート・モード），JPM02 = 1（入力），JPU02 = 1（内蔵プルアップ抵抗を接続）に設定（初期値）し，端子処置はオープンにしてください。
		フラッシュメモリ・プログラミング・モード	CSI通信時は必ず使用してください。 UART通信時はオープンにしてください。
JP0_3	TMS/TI02/TO02/SO40/TXD40	OPJATG =1	オープンにしてください。
		OPJATG =0	JPMC03 = 0（ポート・モード），JPM03 = 1（入力），JPU03 = 1（内蔵プルアップ抵抗を接続）に設定（初期値）し，端子処置はオープンにしてください。
		フラッシュメモリ・プログラミング・モード	オープンにしてください。
JP0_5	$\overline{\text{RDY}}$/TI03/TO03/$\overline{\text{SCK40}}$	OPJATG =1	オープンにしてください。
		OPJATG =0	JPMC05 = 0（ポート・モード），JPM05 = 1（入力），JPU05 = 1（内蔵プルアップ抵抗を接続）に設定（初期値）し，端子処置はオープンにしてください。
		フラッシュメモリ・プログラミング・モード	オープンにしてください。

備考　OPJATGはオプション・バイトです。詳細は第31章　オプション・バイトを参照してください。

2. 5 ノイズ除去回路

次に示す端子には，アナログもしくはデジタル・ノイズ除去回路が内蔵されております。

ノイズ除去時間未満で変化する信号入力は内部で受け付けられません。

(1/3)

対象端子	兼用機能	フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック
ADTRG	P0_2/NMI	アナログ・フィルタ	Min. 50 ns	−
INTP00	P4_0/TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/$\overline{\text{CS0}}$	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	2/3クロック	f_{CLK}/8, f_{CLK}/16, f_{CLK}/32, f_{CLK}/64, f_{CLK}/128, f_{CLK}/256, f_{CLK}/512, f_{CLK}/1024 より選択可能
	P23_0/ANI24	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	2/3クロック	f_{CLK}/8, f_{CLK}/16, f_{CLK}/32, f_{CLK}/64, f_{CLK}/128, f_{CLK}/256, f_{CLK}/512, f_{CLK}/1024 より選択可能
INTP01	P3_1/TE0TI0SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	アナログ・フィルタ	Min. 50 ns	−
	P23_5/ANI29/KR5/RTP5	アナログ・フィルタ	Min. 50 ns	−
INTP02	P3_2/SI00/RXD00/BUZ1/KR2/RTP2/$\overline{\text{WR}}$	アナログ・フィルタ	Min. 50 ns	−
	P23_3/ANI27	アナログ・フィルタ	Min. 50 ns	−
INTP03	P3_3/TE0TI1/SO00/TXD00/KR3/RTP3/ASTB	アナログ・フィルタ	Min. 50 ns	−
INTP04	P8_4/TI02/TO02/$\overline{\text{SCK50}}$/TE0CS/UCLK/$\overline{\text{BCYST}}$	アナログ・フィルタ	Min. 50 ns	−
INTP05	P6_7/TI06/TO06/$\overline{\text{SCK40}}$/KR5/RTP5/A15	アナログ・フィルタ	Min. 50 ns	−
	P22_7/ANI23/KR7/RTP7	アナログ・フィルタ	Min. 50 ns	−
INTP06	P7_0/TI07/TO07/KR6/RTP6/A16	アナログ・フィルタ	Min. 50 ns	−
	P23_2/ANI26	アナログ・フィルタ	Min. 50 ns	−
INTP07	P3_0/SI40/RXD40/CLKOUT/KR0/RTP0/BUSCLK	アナログ・フィルタ	Min. 50 ns	−
	P23_1/ANI25	アナログ・フィルタ	Min. 50 ns	−
INTP08	P4_2/TI16/TO16/SI02/RXD01/SCLA1/$\overline{\text{CS2}}$	アナログ・フィルタ	Min. 50 ns	−
INTP09	P4_3/SO02/TXD01/SDAA1/$\overline{\text{CS3}}$	アナログ・フィルタ	Min. 50 ns	−
INTP10	P1_2	アナログ・フィルタ	Min. 50 ns	−
	P23_4/ANI28	アナログ・フィルタ	Min. 50 ns	−
INTP11	P11_3	アナログ・フィルタ	Min. 50 ns	−
INTP12	P8_0	デジタル・フィルタ	1クロック	f_{CLK}
INTP13	P5_0/SI41/A0	アナログ・フィルタ	Min. 50 ns	−
	P23_6/ANI30/KR6/RTP6	アナログ・フィルタ	Min. 50 ns	−
INTP14	P11_0	アナログ・フィルタ	Min. 50 ns	−
INTP15	P14_4/TI22/TO22/SO23	アナログ・フィルタ	Min. 50 ns	−
INTP16	P14_5/TI23/TO23/$\overline{\text{SCK23}}$	アナログ・フィルタ	Min. 50 ns	−
INTP17	P13_2/TI24/TO24/SO21	アナログ・フィルタ	Min. 50 ns	−
INTP18	P13_3/TI25/TO25/$\overline{\text{SCK21}}$	アナログ・フィルタ	Min. 50 ns	−
INTP19	P14_2/TI20/TO20/$\overline{\text{SCK03}}$	アナログ・フィルタ	Min. 50 ns	−
INTP20	P14_3/TI21/TO21/SI23	アナログ・フィルタ	Min. 50 ns	−

(2/3)

対象端子	兼用機能	フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック
NMI	P0_2/ADRTG	アナログ・フィルタ	Min. 50 ns	−
$\overline{\text{RESET}}$	−	アナログ・フィルタ	Typ. 80 ns	−
RXD00	P3_2/SI00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$	アナログ・フィルタ	Min. 50 ns	−
RXD01	P4_2/TI16/TO16/SI02/SCLA1/INTP08/$\overline{\text{CS2}}$	デジタル・フィルタ	1クロック	f_{MCK}
RXD10	P6_5/A13	デジタル・フィルタ	1クロック	f_{MCK}
RXD11	P4_4/TI17/TO17/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	デジタル・フィルタ	1クロック	f_{MCK}
RXD20	P11_1	デジタル・フィルタ	1クロック	f_{MCK}
RXD21	P6_1/A9	デジタル・フィルタ	1クロック	f_{MCK}
RXD40	P3_0/SI40/CLKOUT/KR0/RTP0/INTP07/BUSCLK	デジタル・フィルタ	1クロック	f_{MCK}
	JP0_2/TI01/TCK/TO01/SI40	デジタル・フィルタ	1クロック	f_{MCK}
RXD50	P8_2/TI00/TO00/SI50/SCLA0	デジタル・フィルタ	1クロック	f_{MCK}
RXDS00	P5_5/TI03/TO03/SIS00/BUZ0/TE0AI/A5	デジタル・フィルタ	1クロック	f_{MCK}
SCLA0	P8_2/TI00/TO00/SI50/RXD50	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SCLA1	P4_2/TI16/TO16/SI02/RXD01/INTP08/$\overline{\text{CS2}}$	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SCLA2	P2_3/TI13/TO13/UVBUS	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SCLA3	P14_1/TI27/TO27/SO03	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SDAA0	P8_3/TI01/TO01/SO50/TXD50	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SDAA1	P4_3/SO02/TXD01/INTP09/$\overline{\text{CS3}}$	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SDAA2	P2_2/TI12/TO12/$\overline{\text{SCK1}}$	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
SDAA3	P14_0/TI26/TO26/SI03	アナログ・フィルタ	Min. 50 ns	−
		デジタル・フィルタ	1クロック	f_{MCK}
TE0AI	P5_5/TI03/TO03/SIS00/RXDS00/BUZ0/A5	デジタル・フィルタ	1クロック	f_{CLK}
TE0BI	P5_6/TI04/TO04/SOS00/TXDS00/RTC1HZ/A6	デジタル・フィルタ	1クロック	f_{CLK}
TE0TI0	P3_1/SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	デジタル・フィルタ	1クロック	f_{CLK}
TE0TI1	P3_3/SO00/TXD00/KR3/RTP3/INTP03/ASTB	アナログ・フィルタ	Min. 50 ns	−
TE0ZI	P5_7/TI05/$\overline{\text{TO05}}$/$\overline{\text{SCK}}$S00/A7	デジタル・フィルタ	1クロック	f_{CLK}
TE1AI	P9_3/AD3	デジタル・フィルタ	1クロック	f_{CLK}
TE1BI	P9_4/AD4	デジタル・フィルタ	1クロック	f_{CLK}
TE1TI0	P9_1/AD1	デジタル・フィルタ	1クロック	f_{CLK}
TE1TI1	P9_2/AD2	デジタル・フィルタ	1クロック	f_{CLK}
TE1ZI	P9_5/AD5	デジタル・フィルタ	1クロック	f_{CLK}

(3/3)

対象端子	兼用機能	フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック
TI00	P8_2/TO00/SI50/RXD50/SCLA0	デジタル・フィルタ	1クロック	f_{MCK}
	JP0_1/TDO/TO00	デジタル・フィルタ	1クロック	f_{MCK}
TI01	P8_3/TO01/SO50/TXD50/SDAA0	デジタル・フィルタ	1クロック	f_{MCK}
	JP0_2/TCK/TO01/SI40/RXD40	デジタル・フィルタ	1クロック	f_{MCK}
TI02	P8_4/TO02/$\overline{SCK50}$/INTP04/TE0CS/UCLK/$\overline{BCYST}$	デジタル・フィルタ	1クロック	f_{MCK}
	JP0_3/TMS/TO02/SO40/TXD40	デジタル・フィルタ	1クロック	f_{MCK}
TI03	P5_5/TO03/SIS00/RXDS00/BUZ0/TE0AI/A5	デジタル・フィルタ	1クロック	f_{MCK}
	JP0_4/$\overline{RDY}$/TO03/$\overline{SCK40}$	デジタル・フィルタ	1クロック	f_{MCK}
TI04	P5_6/TO04/SOS00/TXDS00/RTC1HZ/TE0BI/A6	デジタル・フィルタ	1クロック	f_{MCK}
TI05	P5_7/TO05/$\overline{SCKS00}$/TE0ZI/A7	デジタル・フィルタ	1クロック	f_{MCK}
TI06	P6_7/TO06/$\overline{SCK40}$/KR5/RTP5/INTP05/A15	デジタル・フィルタ	1クロック	f_{MCK}
TI07	P7_0/TO07/KR6/RTP6/INTP06/A16	デジタル・フィルタ	1クロック	f_{MCK}
TI10	P2_0/TO10/SI51	デジタル・フィルタ	1クロック	f_{MCK}
TI11	P2_1/TO11/S51	デジタル・フィルタ	1クロック	f_{MCK}
TI12	P2_2/TO12/$\overline{SCK1}$/SDAA2	デジタル・フィルタ	1クロック	f_{MCK}
TI13	P2_3/TO13/SCLA2/UVBUS	デジタル・フィルタ	1クロック	f_{MCK}
TI14	P7_1/TO14/$\overline{SCKS01}$/A17	デジタル・フィルタ	1クロック	f_{MCK}
TI15	P4_0/TO15/$\overline{SCK02}$/KR7/RTP7/INTP00/$\overline{CS0}$	デジタル・フィルタ	1クロック	f_{MCK}
TI16	P4_2/TO16/SI02/RXD01/SCLA1/INTP08/$\overline{CS2}$	デジタル・フィルタ	1クロック	f_{MCK}
TI17	P4_4/TO17/RXD11/$\overline{LWR}$/$\overline{LBE}$	デジタル・フィルタ	1クロック	f_{MCK}
TI20	P14_2/TO20/$\overline{SCK03}$/INTP19	デジタル・フィルタ	1クロック	f_{MCK}
TI21	P14_3/TO21/SI23/INTP20	デジタル・フィルタ	1クロック	f_{MCK}
TI22	P14_4/TO22/SO23/INTP15	デジタル・フィルタ	1クロック	f_{MCK}
TI23	P14_5/TO23/$\overline{SCK23}$/INTP16	デジタル・フィルタ	1クロック	f_{MCK}
TI24	P13_2/TO24/SO21/INTP17	デジタル・フィルタ	1クロック	f_{MCK}
TI25	P13_3/TO25/$\overline{SCK21}$/INTP18	デジタル・フィルタ	1クロック	f_{MCK}
TI26	P14_0/TO26/SI03/SDAA3	デジタル・フィルタ	1クロック	f_{MCK}
TI27	P14_1/TO27/SO03/SCLA3	デジタル・フィルタ	1クロック	f_{MCK}
TOOL0	JP0_0/TDI	アナログ・フィルタ	Min. 50 ns	–
$\overline{TRST}$	–	アナログ・フィルタ	Typ. 30 ns	–
UVBUS	P2_3/TI13/TO13/SCLA2	アナログ・フィルタ	Min. 50 ns	–

2. 5. 1　レジスタ

(1) TAUノイズ・フィルタ許可レジスタn（TDNFENn）

TDNFENnレジスタは，TAU入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，タイマ・クロック選択レジスタm（TPSm）で周辺ハードウエア・クロック（f_{CLK}）を分周したTAU動作クロック（f_{MCK}）で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，TAU動作クロック（f_{MCK}）で同期化だけ行います。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：　TDNFEN0：FF410100H　　リセット時：00H　　R/W
TDNFEN1：FF410104H
TDNFEN2：FF410108H

略号	7	6	5	4	3	2	1	0
TDNFENn (n = 0-2)	TDNFENn7	TDNFENn6	TDNFENn5	TDNFENn4	TDNFENn3	TDNFENn2	TDNFENn1	TDNFENn0

TDNFENnm	TInmのノイズ・フィルタ使用可否（n = 0-2，m = 0-7）
0	ノイズ・フィルタ・オフ（同期化のみ）
1	ノイズ・フィルタ・オン

(2) ENCA**ノイズ・フィルタ許可レジスタ**n（EDNFENn）

EDNFENn**レジスタは，**ENCA**入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。**

ノイズ除去が必要な端子は，対応するビットに1**を設定して，ノイズ・フィルタを有効にしてください。**

ノイズ・フィルタ有効時は，CPU**／周辺クロック（**f_{CLK}**）で**2**クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，**CPU**／周辺クロック（**f_{CLK}**）で同期化だけ行います。**

8/1**ビット単位でリード／ライト可能です。**

リセットにより00H**になります。**

アドレス： EDNFEN0：FF410110H **リセット時：**00H R/W
EDNFEN1：FF410114H

略号	7	6	5	4	3	2	1	0
EDNFENn (n = 0, 1)	0	0	0	EDNFENnZ	EDNFENnB	EDNFENnA	EDNFENn1	EDNFENn0

EDNFENnZ	TEnZI**端子のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

EDNFENnB	TEnBI**端子のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

EDNFENnA	TEnAI**端子のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

EDNFENn1	TEnTI1**端子のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

EDNFENn0	TEnTI0**端子のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

(3) UART**ノイズ・フィルタ許可レジスタ**n（UDNFENn）

UDNFENn**レジスタは，**SAU**の**UART**受信端子**（RXDx）**からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。**

ノイズ除去が必要な端子は，対応するビットに1**を設定して，ノイズ・フィルタを有効にしてください。**

ノイズ・フィルタ有効時は，シリアル・クロック選択レジスタm（SPSm）**で周辺ハードウエア・クロック**（f_{CLK}）**を分周したSAU動作クロック**（f_{MCK}）**で**2**クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，**SAU**動作クロック**（f_{MCK}）**で同期化だけ行います。**

8/1**ビット単位でリード／ライト可能です。**

リセットにより00H**になります。**

(a) UART**ノイズ・フィルタ許可レジスタ**0（UDNFEN0）

アドレス： UDNFEN0：FF410120H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
UDNFEN0	0	0	UDNFEN05	UDNFEN04	UDNFEN03	UDNFEN02	UDNFEN01	UDNFEN00

UDNFEN05	SAU**の**UART**受信端子**（RXD21）**のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

UDNFEN04	SAU**の**UART**受信端子**（RXD20）**のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

UDNFEN03	SAU**の**UART**受信端子**（RXD11）**のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

UDNFEN02	SAU**の**UART**受信端子**（RXD10）**のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

UDNFEN01	SAU**の**UART**受信端子**（RXD01）**のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

UDNFEN00	SAU**の**UART**受信端子**（RXD00）**のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ・オフ（同期化のみ）**
1	**ノイズ・フィルタ・オン**

(b) UARTノイズ・フィルタ許可レジスタ1（UDNFEN1）

アドレス： UDNFEN1：FF410124H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
UDNFEN1	0	0	0	0	0	UDNFEN12	UDNFEN11	UDNFEN10

UDNFEN12	SAUのUART受信端子（RXDS00）のノイズ・フィルタ使用可否
0	ノイズ・フィルタ・オフ（同期化のみ）
1	ノイズ・フィルタ・オン

UDNFEN11	SAUのUART受信端子（RXD50）のノイズ・フィルタ使用可否
0	ノイズ・フィルタ・オフ（同期化のみ）
1	ノイズ・フィルタ・オン

UDNFEN10	SAUのUART受信端子（RXD40）のノイズ・フィルタ使用可否
0	ノイズ・フィルタ・オフ（同期化のみ）
1	ノイズ・フィルタ・オン

(4) INTP00デジタル・ノイズ・フィルタ・コントロール・レジスタ0（IDNFCTL0）

IDNFCTL0レジスタは，INTP00入力端子からの入力信号に対するデジタル・ノイズ・フィルタのサンプリング・クロックを制御するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： IDNFCTL0：FF410000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IDNFCTL0	0	IDNF NFSTS1	IDNF NFSTS0	0	0	IDNF PRS2	IDNF PRS1	IDNF PRS0

IDNF NFSTS1	IDNF NFSTS0	INTP00のデジタル・ノイズ・フィルタのサンプリング回数
0	0	2回
0	1	3回

IDNF PRS2	IDNF PRS1	IDNF PRS0	INTP00のデジタル・ノイズ・フィルタのサンプリング・クロックの選択
0	0	0	$f_{CLK}/8$
0	0	1	$f_{CLK}/16$
0	1	0	$f_{CLK}/32$
0	1	1	$f_{CLK}/64$
1	0	0	$f_{CLK}/128$
1	0	1	$f_{CLK}/256$
1	1	0	$f_{CLK}/512$
1	1	1	$f_{CLK}/1024$

(5) INTP00デジタル・ノイズ・フィルタ許可レジスタ（IDNFEN0）

IDNFEN0レジスタは，INTP00入力端子からの入力信号に対するデジタル・ノイズ・フィルタの使用可否を設定するレジスタです。

デジタル・ノイズ・フィルタ有効時は，IDNFCTL0レジスタで設定したクロックで，設定した回数の一致検出と同期化を行います。デジタル・ノイズ・フィルタ無効時は，CPU／周辺クロック（f_{CLK}）で同期化だけ行います。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： IDNFEN0：FF41000CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IDNFEN0	0	0	0	0	0	0	0	IDNFEN00

IDNFEN00	INTP00のデジタル・ノイズ・フィルタ使用可否
0	デジタル・ノイズ・フィルタ・オフ（同期化のみ）
1	デジタル・ノイズ・フィルタ・オン

(6) INTP00ノイズ・フィルタ・コントロール・レジスタ（INTP00NFSEL）

INTP00NFSELレジスタは，INTP00入力端子からの入力信号に対してデジタル・ノイズ・フィルタまたは，アナログ･ノイズ･フィルタを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： INTP00NFSEL：FF410140H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
INTP00NFSEL	0	0	0	0	0	0	0	INTP00NFSEL0

INTP00NFSEL0	INTP00端子のノイズ・フィルタ選択
0	アナログ・ノイズ・フィルタ
1	デジタル・ノイズ・フィルタ

（7）外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ（INTP00EGP, INTP00EGN）

デジタル・ノイズ・フィルタ選択時のINTP00端子の検出エッジを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　ポート機能から，外部割り込み機能（兼用機能）に切り替える際，エッジ検出を行う可能性があるため，INTP00EGP0, INTPEGN0ビット = 00の状態で外部割り込み機能に設定してください。また，外部割り込み機能からポート機能に切り替える際も，エッジ検出を行う可能性があるため，INTP00EGP0, INTPEGN0ビット = 00に設定したあとにポート・モードに設定（PMC0.PMC0nビット = 0）してください。

アドレス：FF410144H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTP00EGP	0	0	0	0	0	0	0	INTP00EGP0
								INTP00

アドレス：FF410148H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTP00EGN	0	0	0	0	0	0	0	INTP00EGN0
								INTP00

備考　有効エッジの指定については表2－11を参照してください。

表2－11　有効エッジの指定

INTP00EGP0	INTP00EGN0	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

注意　INTP00端子として使用しない場合，必ずINTP00EGP0, INTPEGN0ビット = 00に設定してください。

（8）外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ（INTM80EGP, INTM80EGN）

アナログ・ノイズ・フィルタ選択時のADTRG, NMI, INTP00-INTP05端子の検出エッジを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　ポート機能から，外部割り込み機能（兼用機能）に切り替える際，エッジ検出を行う可能性があるため，INTM80EGPn, INTM80EGNnビット = 00の状態で外部割り込み機能に設定してください。

また，外部割り込み機能からポート機能に切り替える際も，エッジ検出を行う可能性があるため，INTM80EGPn, INTM80EGNnビット = 00に設定したあとにポート・モードに設定してください。

アドレス：FF414000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTM80EGP	INTM80EGP7	INTM80EGP6	INTM80EGP5	INTM80EGP4	INTM80EGP3	INTM80EGP2	INTM80EGP1	INTM80EGP0
	INTP05	INTP04	INTP03	INTP02	INTP01	INTP00	NMI	ADTRG

アドレス：FF414004H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTM80EGN	INTM80EGN7	INTM80EGN6	INTM80EGN5	INTM80EGN4	INTM80EGN3	INTM80EGN2	INTM80EGN1	INTM80EGN0
	INTP05	INTP04	INTP03	INTP02	INTP01	INTP00	NMI	ADTRG

備考　有効エッジの指定については表2－12を参照してください。

表2－12　有効エッジの指定

INTM80EGPn	INTM80EGNn	有効エッジの指定（n = 0-7）
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

注意　ADTRG, NMI, INTP00-INTP05端子として使用しない場合，必ずINTM80EGPn, INTM80EGNnビット = 00に設定してください。

(9) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ（INTM81EGP, INTM81EGN）

アナログ・ノイズ・フィルタ選択時のINTP06-INTP13端子の検出エッジを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から，外部割り込み機能（兼用機能）に切り替える際，エッジ検出を行う可能性があるため，INTM81EGPn, INTM81EGNnビット = 00の状態で外部割り込み機能に設定してください。

また，外部割り込み機能からポート機能に切り替える際も，エッジ検出を行う可能性があるため，INTM81EGPn, INTM81EGNnビット = 00に設定したあとにポート・モードに設定してください。

アドレス： FF414100H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM81EGP	INTM81EGP7	INTM81EGP6	INTM81EGP5	INTM81EGP4	INTM81EGP3	INTM81EGP2	INTM81EGP1	INTM81EGP0
	INTP13	INTP12	INTP11	INTP10	INTP09	INTP08	INTP07	INTP06

アドレス： FF414104H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM81EGN	INTM81EGN7	INTM81EGN6	INTM81EGN5	INTM81EGN4	INTM81EGN3	INTM81EGN2	INTM81EGN1	INTM81EGN0
	INTP13	INTP12	INTP11	INTP10	INTP09	INTP08	INTP07	INTP06

備考 有効エッジの指定については表2－13を参照してください。

表2－13 有効エッジの指定

INTM81EGPn	INTM81EGNn	有効エッジの指定（n = 0-7）
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

注意 INTP06-INTP13端子として使用しない場合，必ずINTM81EGPn, INTM81EGNnビット = 00に設定してください。

（10）外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ（INTM82EGP, INTM82EGN）

アナログ・ノイズ・フィルタ選択時のINTP14-INTP20端子の検出エッジを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から，外部割り込み機能（兼用機能）に切り替える際，エッジ検出を行う可能性があるため，INTM82EGPn, INTM82EGNnビット = 00の状態で外部割り込み機能に設定してください。

また，外部割り込み機能からポート機能に切り替える際も，エッジ検出を行う可能性があるため，INTM82EGPn, INTM82EGNnビット = 00に設定したあとにポート・モードに設定してください。

アドレス： FF414200H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM82 EGP	0	INTM82 EGP6	INTM82 EGP5	INTM82 EGP4	INTM82 EGP3	INTM82 EGP2	INTM82 EGP1	INTM82 EGP0
		INTP20	INTP19	INTP18	INTP17	INTP16	INTP15	INTP14

アドレス： FF414204H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM82 EGN	0	INTM82 EGN6	INTM82 EGN5	INTM82 EGN4	INTM82 EGN3	INTM82 EGN2	INTM82 EGN1	INTM82 EGN0
		INTP20	INTP19	INTP18	INTP17	INTP16	INTP15	INTP14

備考 有効エッジの指定については表2ー14を参照してください。

表2ー14 有効エッジの指定

INTM82EGPn	INTM82EGNn	有効エッジの指定（n = 0-6）
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

注意 INTP14-INTP20端子として使用しない場合，必ずINTM82EGPn, INTM82EGNnビット = 00に設定してください。

第3章 CPU機能

V850E2/Jx4-LのCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3. 1 特 徴

○可変命令長（16ビット／32ビット）

○最小命令実行時間 31.25 ns（メイン・システム・クロック（f_{MAIN}）= 32 MHz動作時：V_{DD} = 2.7 V～3.6 V）
62.5 ns（メイン・システム・クロック（f_{MAIN}）= 16 MHz動作時：V_{DD} = 2.4 V～3.6 V）
125 ns（メイン・システム・クロック（f_{MAIN}）= 8 MHz動作時：V_{DD} = 1.8 V～3.6 V）
250 ns（メイン・システム・クロック（f_{MAIN}）= 4 MHz動作時：V_{DD} = 1.6 V～3.6 V）
30.5 μs（サブクロック（f_{SUB}）= 32.768 kHz動作時）

○メモリ空間 プログラム空間：64 Mバイト・リニア
データ空間 ：4 Gバイト・リニア

○汎用レジスタ：32ビット×32本

○内部32ビット・アーキテクチャ

○5段パイプライン制御

○乗除算命令

○飽和演算命令

○積和演算命令

○高速除算演算命令

○32ビット・シフト命令：1クロック

○ロング／ショート形式を持つロード／ストア命令

○ビット操作命令4種

- SET1
- CLR1
- NOT1
- TST1

○システム保護機能（SPF）

- システム・レジスタ保護機能（SRP）
- メモリ保護機能（MPU）

○信頼性保護機能

3. 2 CPUレジスタ・セット

V850E2/Jx4-Lのレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E2S ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット

31 汎用レジスタ 0

r0	(ゼロ・レジスタ)
r1	(アセンブラ予約レジスタ)
r2	
r3	(スタック・ポインタ (SP))
r4	(グローバル・ポインタ (GP))
r5	(テキスト・ポインタ (TP))
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	(エレメント・ポインタ (EP))
r31	(リンク・ポインタ (LP))

31 0

PC	(プログラム・カウンタ)

(2) システム・レジスタ・セット

プロセッサ保護機能グループ・システム・レジスタ群

CPU機能グループ・システム・レジスタ群

31 0

EIPC	(EIレベル例外受け付け時の状態退避レジスタ)
EIPSW	(EIレベル例外受け付け時の状態退避レジスタ)
FEPC	(FEレベル例外受け付け時の状態退避レジスタ)
FEPSW	(FEレベル例外受け付け時の状態退避レジスタ)
ECR	(例外要因)
PSW	(プログラム・ステータス・ワード)
SCCFG	(SYSCALLの動作設定)
SCBP	(SYSCALLベース・ポインタ)
EIIC	(EIレベル例外要因)
FEIC	(FEレベル例外要因)
DBIC注	(DBレベル例外要因)
CTPC	(CALLT実行時の状態退避レジスタ)
CTPSW	(CALLT実行時の状態退避レジスタ)
DBPC注	(例外／デバッグ・トラップ時状態退避レジスタ)
DBPSW注	(例外／デバッグ・トラップ時状態退避レジスタ)
CTBP	(CALLTベース・ポインタ)
デバッグ機能レジスタ群注	
EIWR	(EIレベル例外用作業レジスタ)
FEWR	(FEレベル例外用作業レジスタ)
DBWR注	(DBレベル例外用作業レジスタ)
BSEL	(レジスタ・バンクの選択)

注 開発ツール向けのデバッグ機能です。

3. 2. 1 プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタ（r0-r31）とプログラム・カウンタ（PC）があります。

表3－1 プログラム・レジスター覧

プログラム・レジスタ	名 称	機 能	説 明
汎用レジスタ	r0	ゼロ・レジスタ	常に0を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキング・レジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがこのレジスタを使用していない場合）	
	r3	スタック・ポインタ（SP）	関数コール時のスタック・フレーム生成時に使用
	r4	グローバル・ポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキスト・ポインタ（TP）	テキスト領域（プログラム・コードを配置する領域）の先頭を示すレジスタとして使用
	r6-r29	アドレス／データ変数用レジスタ	
	r30	エレメント・ポインタ（EP）	メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用
	r31	リンク・ポインタ（LP）	コンパイラが関数コールをするときに使用
プログラム・カウンタ	PC	プログラム実行中の命令アドレスを保持	

備考 アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は，CubeSuite＋統合開発環境 ユーザーズ・マニュアル コーディング編（CXコンパイラ）を参照してください。

(1) 汎用レジスタ（r0-r31）

汎用レジスタとして，r0-r31 の32本が用意されています。これらのレジスタは，すべてデータ変数用またはアドレス変数用として利用できます。

ただし，r0-r5, r30, r31は，ソフトウエア開発環境において特殊な用途に用いられることを想定しているため，使用する際には次のような注意が必要です。

(a) r0, r3, r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり，0を使用する演算やベース・アドレスが0のアドレシングで使用されます。

r3はPREPARE命令，DISPOSE命令により，暗黙的に使用されます。

r30はSLD命令とSST命令により，メモリをアクセスするときのベース・ポインタとして使用されます。

(b) r1, r4, r5, r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際には，レジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。

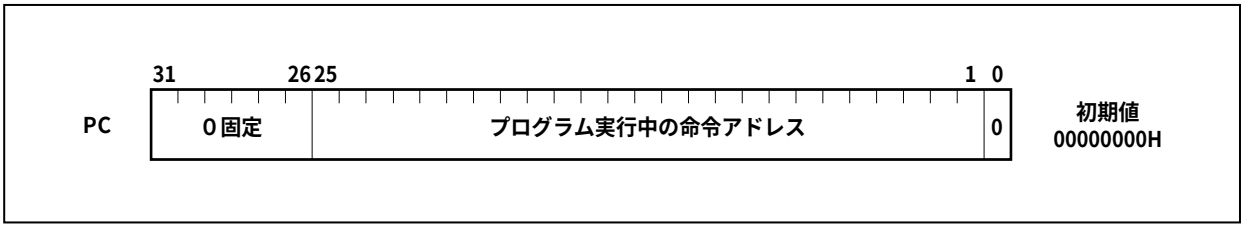
(c) r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，アドレス変数用またはデータ変数用レジスタとして利用できます。

(2) プログラム・カウンタ（PC）

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で，ビット31-26は0に固定されます。

また，ビット0は0に固定されており，奇数番地への分岐はできません。



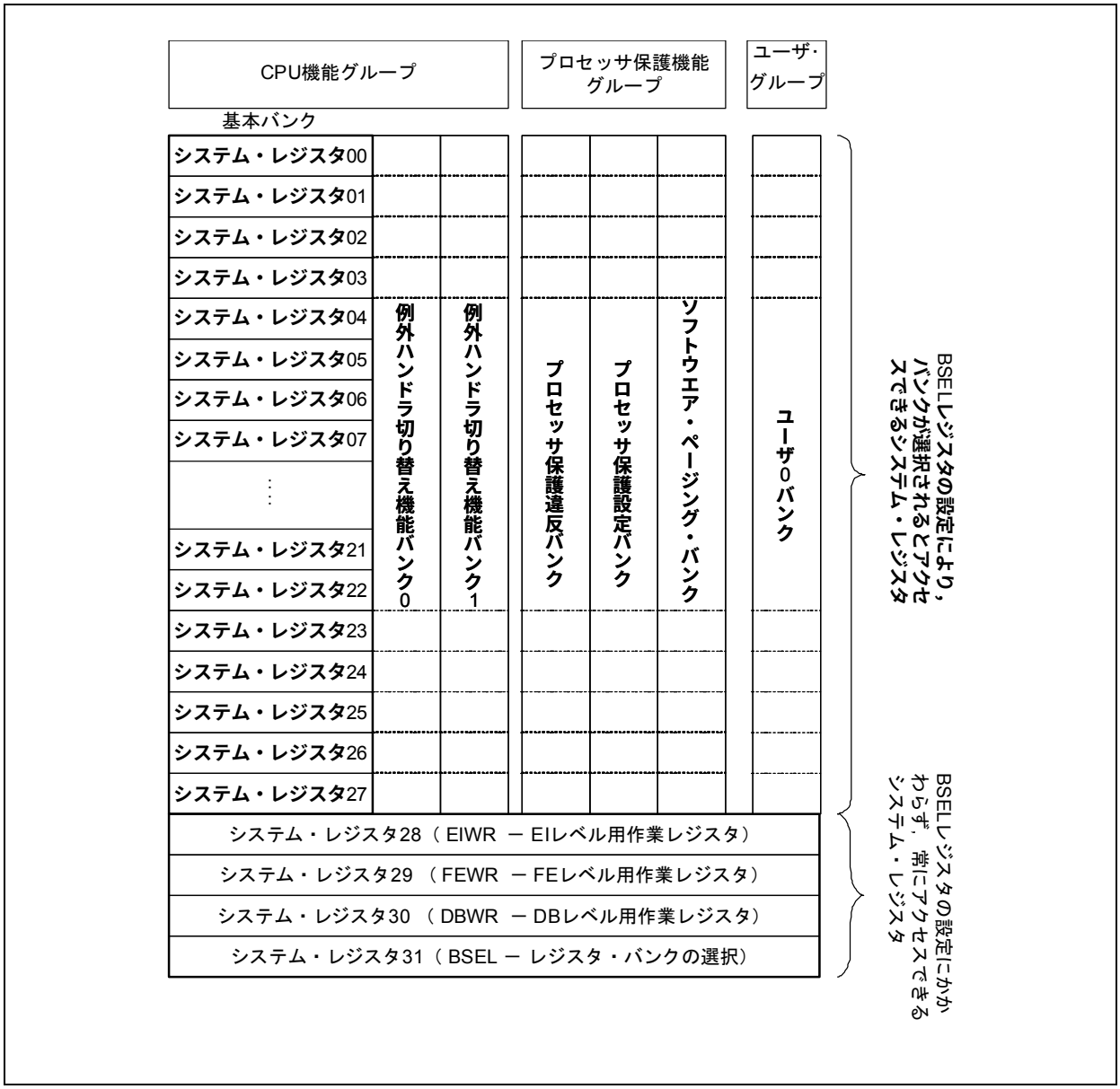
3. 2. 2 システム・レジスタ・バンク

V850E2S CPUのシステム・レジスタは，システム・レジスタ・バンク上に用意されています。機能ごとに分類されたシステム・レジスタ群を「グループ」と定義し，さらに細かく用途ごとに分類したものを「バンク」と定義します。各バンクには，0から27まで最大28本のシステム・レジスタが定義可能です。

V850E2S CPUには次のようなグループとバンクがあります。

- CPU機能グループ
  - ・基本バンク：従来のシステム・レジスタ群です。
  - ・例外ハンドラ切り替え機能バンク0：例外ハンドラ切り替えを行うシステム・レジスタ群です。
  - ・例外ハンドラ切り替え機能バンク1：例外ハンドラ切り替えを行うシステム・レジスタ群です。
- プロセッサ保護機能グループ
  - ・プロセッサ保護違反バンク：プロセッサ保護違反に関するシステム・レジスタ群です。
  - ・プロセッサ保護設定バンク：プロセッサ保護機能に関するシステム・レジスタ群です。
  - ・ソフトウエア・ページング・バンク：メモリ保護をページング方式で利用する場合に使用するシステム・レジスタ群です。
- ユーザ・グループ
  - ・ユーザ0バンク ：ユーザ・アプリケーションで使用されるシステム・レジスタだけにアクセスできるバンクです。

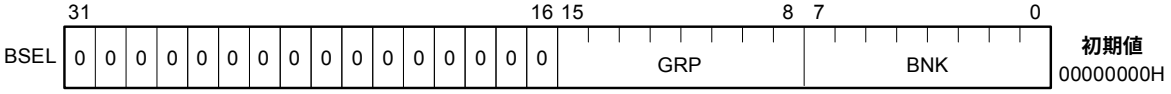
図3ー1 システム・レジスタ・バンク



(1) BSEL － レジスタ・バンクの選択

レジスタ・バンク選択レジスタは，LDSR命令およびSTSR命令でアクセスされるシステム・レジスタ群を選択します。BSELレジスタは，どのバンクが選択されているときでも常に参照可能です。

ビット31-16には必ず0を設定してください。



ビット位置	ビット名	意　味
15-8	GRP	**システム・レジスタ・バンクのグループ番号を指定します（初期値：0）。** 00H：CPU**機能グループ** 10H：**プロセッサ保護機能グループ** FFH：**ユーザ・グループ** **上記以外の設定は禁止です。**
7-0	BNK	**システム・レジスタ・バンクのバンク番号を指定します（初期値：0）。**

GRP	BNK	対応する実行レベル
00H	00H	**基本バンク**
	10H	**例外ハンドラ切り替え機能バンク**0
	11H	**例外ハンドラ切り替え機能バンク**1
10H	00H	**プロセッサ保護違反バンク**
	01H	**プロセッサ保護設定バンク**
	10H	**ソフトウエア・ページング・バンク**
FFH	00H	**ユーザ**0**バンク**
上記以外		**設定禁止**

3. 2. 3 CPU機能グループ／基本バンク

基本バンクのシステム・レジスタは，CPUの状態制御，例外情報保持などを行います。

システム・レジスタへのリード／ライトは，LDSR命令，STSR命令により，次に示すシステム・レジスタ番号を指定することで行います。

表3－2 システム・レジスター覧（基本バンク）

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護
			LDSR命令	STSR命令	
0	EIPC	EIレベル例外受け付け時の状態退避レジスタ	○	○	○
1	EIPSW	EIレベル例外受け付け時の状態退避レジスタ	○	○	○
2	FEPC	FEレベル例外受け付け時の状態退避レジスタ	○	○	○
3	FEPSW	FEレベル例外受け付け時の状態退避レジスタ	○	○	○
4	ECR	例外要因	×	○	○
5	PSW	プログラム・ステータス・ワード	○	○	○注1
6-10		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
11	SCCFG	SYSCALの動作設定	○	○	○
12	SCBP	SYSCALLベース・ポインタ	○	○	○
13	EIIC	EIレベル例外要因	○	○	○
14	FEIC	FEレベル例外要因	○	○	○
15	DBIC注2	DBレベル例外要因	－	－	－
16	CTPC	CALLT実行時の状態退避レジスタ	○	○	○
17	CTPSW	CALLT実行時の状態退避レジスタ	○	○	○
18	DBPC注2	DBレベル例外受け付け時の状態退避レジスタ	－	－	－
19	DBPSW注2	DBレベル例外受け付け時の状態退避レジスタ	－	－	－
20	CTBP	CALLTベース・ポインタ	○	○	×
21	DIR注2	デバッグ・インタフェース・レジスタ	－	－	－
22-27		デバッグ機能レジスタ	－	－	－
28	EIWR	EIレベル例外用作業レジスタ	○	○	○
29	FEWR	FEレベル例外用作業レジスタ	○	○	○
30	DBWR注2	DBレベル例外用作業レジスタ	○	○	○
31	BSEL	レジスタ・バンクの選択	○	○	○

注1. ビット31-6のみ保護。保護されている場合に書き込みがあっても，システム・レジスタ保護違反として検出しません。詳細は，3. 3 プロセッサ保護機能（MPU）を参照してください。

2. 開発ツール向けのデバッグ機能のレジスタです。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では，保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では，保護対象ではないことを示します。

(1) EIPC, EIPSW ー EIレベル例外受け付け時の状態退避レジスタ

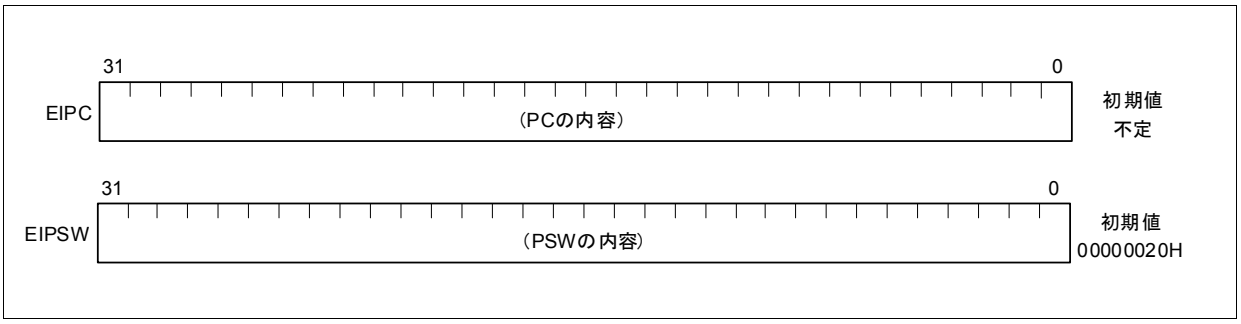
EIレベル例外時状態退避レジスタには，EIPCとEIPSWがあります。

EIレベル例外（EIレベル・ソフトウエア例外やEIレベル割り込み（EIINT）など）が発生した場合，EIPCには，EIレベル例外が発生したときに実行していた命令，あるいはその次の命令のアドレスが退避されます（表21－1 例外要因一覧参照）。EIPSWには，現在のPSWの内容が退避されます。

EIレベル例外時状態退避レジスタは，1組であるため，多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPCレジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

なお，PSWで「0を設定してください」とされているビットは，EIPSWでも必ず0を設定してください。



注意 命令アドレッシング範囲は 64 M バイトです。EIPC のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

(2) FEPC, FEPSW ー FEレベル例外受け付け時の状態退避レジスタ

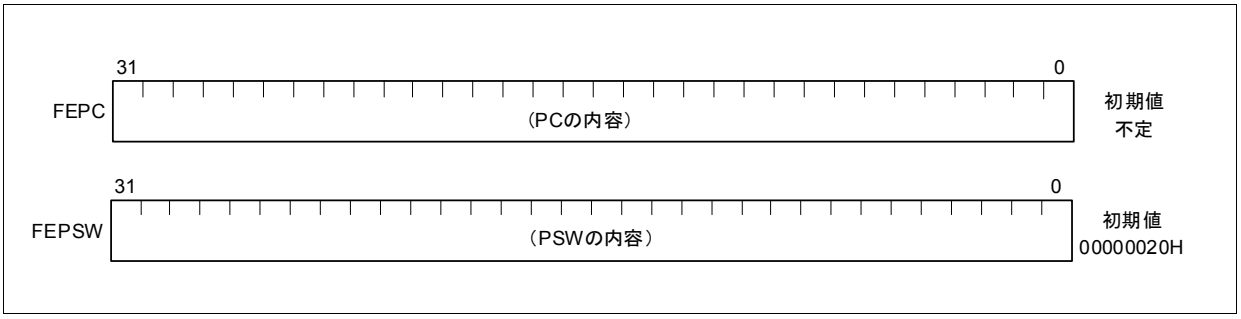
FEレベル例外時状態退避レジスタには，FEPCとFEPSWがあります。

FEレベル例外（FEレベル・ソフトウエア例外やFEレベル割り込み（FEINT）など）が発生した場合，FEPCには，FEレベル例外が発生したときに実行していた命令，あるいはその次の命令のアドレスが退避されます（表21－1 例外要因一覧参照）。FEPSWには，現在のPSWの内容が退避されます。

FEレベル例外時状態退避レジスタは，1組であるため，多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPCレジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

なお，PSWで「0を設定してください」とされているビットは，FEPSWでも必ず0を設定してください。

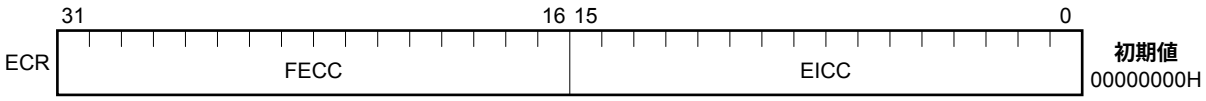


注意 命令アドレッシング範囲は 64 M バイトです。FEPC のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

(3) ECR ー 例外要因

ECRレジスタは，例外が発生した場合に，その要因を保持するレジスタです。ECRが保持する値は，例外要因ごとにコード化された例外要因コードです（表21－1 例外要因一覧参照）。なお，このレジスタは読み出し専用のため，LDSR命令を使ってこのレジスタにデータを書き込むことはできません。

注意 ECR レジスタは V850E1, V850E2, V850ES CPU コア上位互換のための機能であり，原則として使用を禁止しています。
修正の不可能な既存プログラム以外では，ECR レジスタを使用していた部分すべてを，EIIC レジスタまたは FEIC レジスタを使用するプログラムで置き換えて使用してください。



ビット位置	ビット名	意　味
31-16	FECC	FEレベル例外の例外要因コード（初期値：0）
15-0	EICC	EIレベル例外の例外要因コード（初期値：0）

(4) PSW ― プログラム・ステータス・ワード

PSW（プログラム・ステータス・ワード）は，プログラムの状態（命令実行の結果）を示すフラグやCPUの動作状態を示すビットの集合です（フラグとは条件命令（BcondやCMOVなど）によって参照されるPSW上のビットを示します）。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は，LDSR命令実行終了直後から変更内容が有効となります。

ビット31-6は，システム・レジスタ保護の対象です。システム・レジスタ保護が有効であるとき，LDSR命令を使用してビット31-6の内容を変更することはできません。

なお，ビット31-19, 15-12, 8は，将来の機能拡張のために予約されているため，必ず0を設定してください。また，読み出した場合の値は不定です[注]。

注 ビット 18-16 は 3. 3 プロセッサ保護機能で使用するビットです。（**3.3 プロセッサ保護機能**参照）。
ビット 11-9 は開発ツール向けのデバッグ機能で使用するビットです。ユーザ・プログラムでは LDSR 命令によりこれらのビットの値を変更することはできません。

(1/3)

	31												19	18	17	16	15			12	11	10	9	8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	NPV	DMP	IMP	0	0	0	0	SS	SB	SE	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	ビット／フラグ名	意　味
18	NPV	システム・レジスタ保護の状態ビットです。 CPUが，現在実行中のプログラムによるシステム・レジスタへのアクセスを信頼している状態であるかどうかを示します。 0：Tステート（CPUは，システム・レジスタへのアクセスを信頼しています）（初期値） 1：NTステート（CPUは，システム・レジスタへのアクセスを信頼していません） システム・レジスタ保護機能は，NPVビットがTステートを示している場合，アクセス制限を行いません。また，NTステートを示している場合，アクセス制限を行います。
17	DMP	データ・アクセス（データ領域）に対するメモリ保護の状態ビットです。 CPUが，現在実行中のプログラムによるデータ・アクセスを信頼している状態であるかどうかを示します）。 0：Tステート（CPUは，データ・アクセスを信頼しています）（初期値） 1：NTステート（CPUは，データ・アクセスを信頼していません） メモリ保護機能は，DMPビットがTステートを示している場合，データ・アクセスに対するアクセス制限を行いません。また，NTステートを示している場合，データ・アクセスに対するアクセス制限を行います。

(2/3)

ビット位置	フラグ名	意　味
16	IMP	プログラム領域に対するメモリ保護の状態ビットです。CPUが，現在実行中のプログラムによるプログラム領域へのアクセスを信頼している状態であるかどうかを示します。 0：Tステート（CPUはプログラム領域へのアクセスを信頼しています）（初期値） 1：NTステート(CPUはプログラム領域へのアクセスを信頼していません) メモリ保護機能は，IMPビットがTステートを示している場合，プログラム領域に対するアクセス制限を行いません。また，NTステートを示している場合，プログラム領域に対するアクセス制限を行います。
11	SS	開発ツール向けのデバッグ機能で使用します。
10	SB	開発ツール向けのデバッグ機能で使用します。
9	SE	開発ツール向けのデバッグ機能で使用します。
7	NP	FEレベル例外処理中であることを示します。FEレベル例外が受け付けられるとセット（1）され，多重例外の発生を禁止します。 0：FEレベル例外処理中でない（初期値） 1：FEレベル例外処理中である
6	EP	割り込み[注1]以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお，このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込みの処理中である（初期値） 1：割り込み以外の例外処理中である
5	ID	EIレベル例外処理中であることを示します。EIレベル例外が受け付けられるとセット（1）され，多重例外の発生を禁止します。また，通常のプログラムや，割り込み処理中にクリティカル・セクションとして，EIレベル例外の受け付けを禁止する場合にも使用されます。DI命令の実行によってセット（1）し，EI命令の実行によってクリア（0）します。 0：EIレベル例外処理中またはクリティカル・セクションでない（EI命令実行後） 1：EIレベル例外処理中またはクリティカル・セクションである（DI命令実行後）（初期値）
4	SAT[注2]	飽和演算命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット（1）され，以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は，LDSR命令により行います。なお，算術演算命令の実行では，セット（1）もクリア（0）も行いません。 0：飽和していない（初期値） 1：飽和している
3	CY	演算結果にキャリー，またはボローがあったかどうかを示します。 0：キャリー，およびボローが発生していない（初期値） 1：キャリー，またはボローが発生した

注1. 割り込みについては，第21章　割り込み／例外処理を参照してください。

2. 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また，飽和演算時にOVフラグがセット（1）された場合だけ，SATフラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(3/3)

ビット位置	フラグ名	意　味
2	OV 注	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローが発生していない（初期値） 1：オーバフローが発生した
1	S 注	演算の結果が負かどうかを示します。 0：演算の結果は，正または 0 であった（初期値） 1：演算の結果は負であった
0	Z	演算の結果が 0 かどうかを示します。 0：演算の結果は 0 でなかった（初期値） 1：演算の結果は 0 であった

注　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また，飽和演算時に OV フラグがセット（1）された場合だけ，SAT フラグはセット（1）されます。

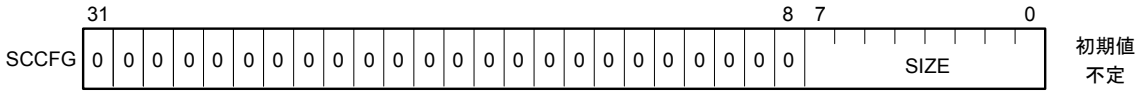
演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) SCCFG ー SYSCALLの動作設定

SYSCALL命令に関する動作設定を行います。SYSCALL命令の使用前に必ず適切な値を設定してください。

ビット31-8には必ず0を設定してください。

注意 SCCFG レジスタの変更を行う LDSR 命令の直後に，SYSCALL 命令を配置しないでください。



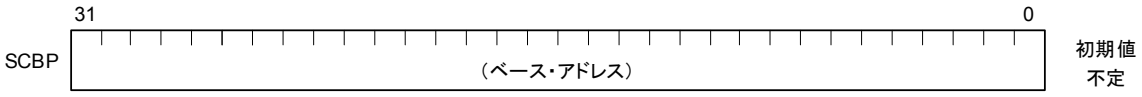
ビット位置	ビット名	意　味
7-0	SIZE	SYSCALL命令が参照するテーブルの最大エントリ数を指定します。SYSCALLが参照する最大エントリ数は，SIZEが0の場合は1エントリ，255の場合は256エントリです。SYSCALL命令で分岐する関数の数に合わせて，最大エントリ数を適切に設定することで，メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタがSYSCALL命令で指定された場合には，先頭のエントリが選択されます。先頭のエントリには，エラー処理ルーチンを配置してください。

(6) SCBP ー SYSCALLベース・ポインタ

SCBPレジスタは，SYSCALL命令のテーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます。SYSCALL命令の使用前に，必ず適切な値を設定してください。

SCBPレジスタには必ずワード・アドレスを設定してください。

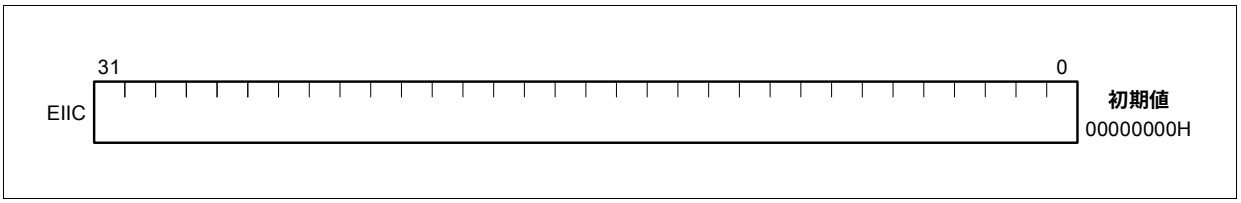
また，ビット1, 0は0に固定されています。



注意 命令アドレッシング範囲は 64 M バイトです。SCBP のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

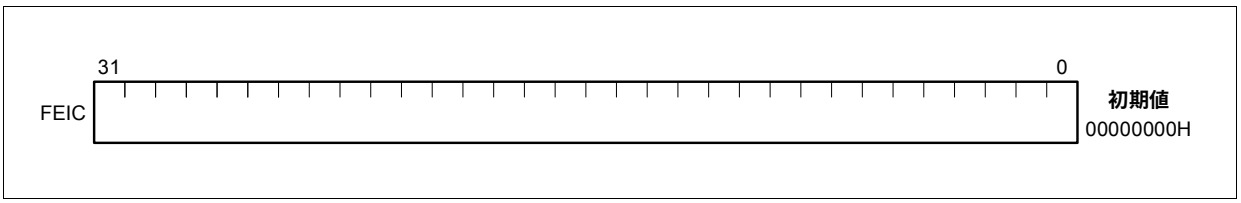
（7）EIIC － EIレベル例外要因

EIICレジスタは，EIレベルの例外が発生した場合に，その要因を保持するレジスタです。EIICレジスタが保持する値は，例外要因ごとにコード化された例外要因コードです（表21－1　例外要因一覧参照）。



（8）FEIC － FEレベル例外要因

FEICレジスタは，FEレベルの例外が発生した場合に，その要因を保持するレジスタです。FEICレジスタが保持する値は，例外要因ごとにコード化された例外要因コードです（表21－1　例外要因一覧参照）。



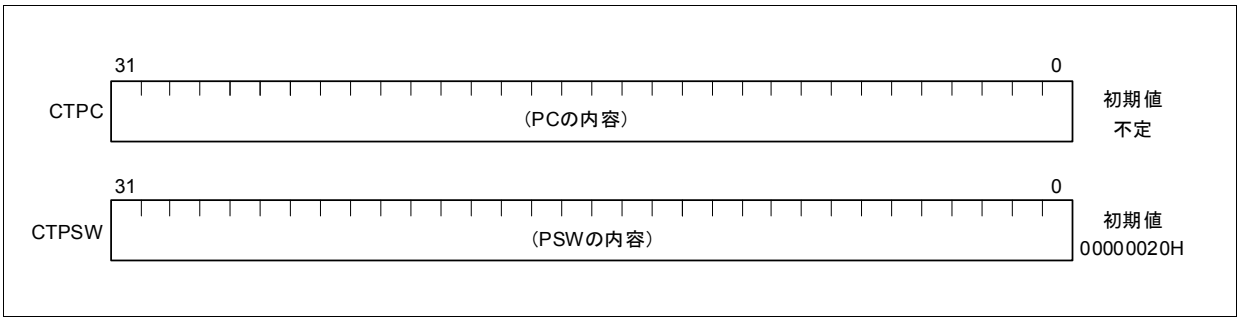
（9）CTPC, CTPSW － CALLT実行時の状態退避レジスタ

CALLT実行時の状態退避レジスタには，CTPCとCTPSWがあります。

CALLT命令が実行されると，CALLT命令の次の命令のアドレスがCTPCに，PSW（プログラム・ステータス・ワード）の内容がCTPSWに退避されます。

CTPCレジスタのビット0は，必ず0を設定してください。

なお，PSWで「0を設定してください」とされているビットは，CTPSWでも必ず0を設定してください。



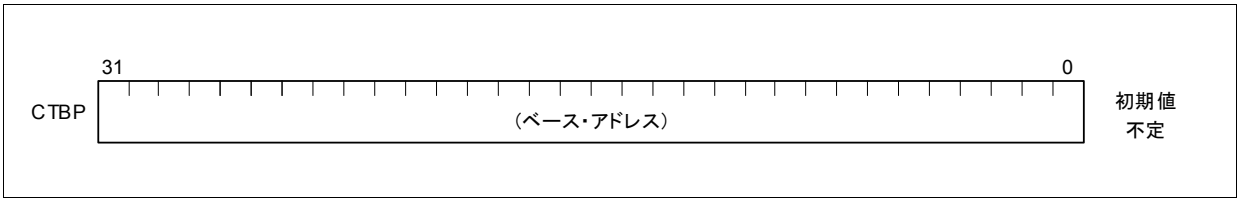
注意　命令アドレッシング範囲は 64 M バイトです。CTPC のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

（10）CTBP ー CALLTベース・ポインタ

CTBPレジスタは，CALLT命令のテーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます。

CTBPレジスタには必ずハーフワード・アドレスを設定してください。

また，ビット0は，0に固定されています。

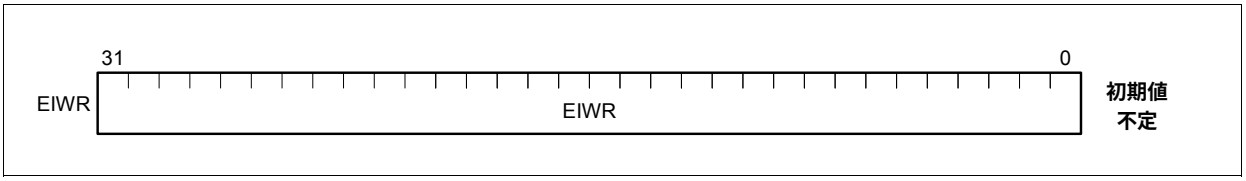


注意 命令アドレッシング範囲は 64 M バイトです。CTBP のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

（11）EIWR ー EIレベル例外用作業レジスタ

EIWRレジスタは，EIレベルの例外が発生したときの作業用レジスタです。

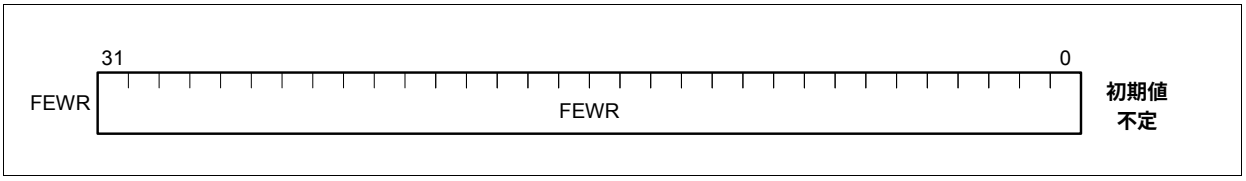
EIWRレジスタは，どのバンクが選択されているときでも常に参照可能です。



（12）FEWR ー FEレベル例外用作業レジスタ

FEWRレジスタは，FEレベルの例外が発生したときの作業用レジスタです。

FEWRレジスタは，どのバンクが選択されているときでも常に参照可能です。



（13）DBIC ー DBレベル例外要因

DBICレジスタは，デバック機能に関するレジスタです。

このレジスタは開発ツール向けのデバッグ機能で使用します。

（14）DBPC, DBPSW ー DBレベル例外受け付け時の状態退避レジスタ

DBレベル例外時状態退避レジスタとして，DBPCとDBPSWがあります。

このレジスタは開発ツール向けのデバッグ機能で使用します。

（15）DBWR ー DBレベル例外用作業レジスタ

DBWRレジスタは，デバック機能に関するレジスタです。

このレジスタは開発ツール向けのデバッグ機能で使用します。

（16）DIR ー デバッグ・インタフェース・レジスタ

DIRレジスタは，デバッグ機能の制御や状態を示します。

DIRレジスタ，およびデバッグ機能レジスタ（システム・レジスタ22-27）は，開発ツール向けのデバッグ機能で使用します。

3. 2. 4 CPU機能グループ／例外ハンドラ・アドレス切り替え機能バンク

例外ハンドラ切り替え機能バンク0,1は，各LDSR命令でBSELレジスタ（3. 2. 2（1） BSEL － レジスタ・バンクの選択参照）に00000010Hおよび00000011Hを設定することにより選択されます。

システム・レジスタ番号28-31はバンク共通のシステム・レジスタで，BSELレジスタの設定値に関係なく，CPU機能バンクのEIWR, FEWR, DBWR, BSELレジスタが参照されます。

- 例外ハンドラ切り替え機能バンク0
  （グループ番号00H，バンク番号10H，略称EHSW0バンク）
- 例外ハンドラ切り替え機能バンク1
  （グループ番号00H，バンク番号11H，略称EHSW1バンク）

表3－3 システム・レジスタ・バンク

グループ	CPU機能（00H）									
バンク	例外ハンドラ切り替え機能バンク0（10H）					例外ハンドラ切り替え機能バンク1（11H）				
バンク・ラベル	EHSW0					EHSW1				
レジスタ番号	名 称	機 能	オペランド指定の可否 LDSR命令	オペランド指定の可否 STSR命令	システム・レジスタ保護	名 称	機 能	オペランド指定の可否 LDSR命令	オペランド指定の可否 STSR命令	システム・レジスタ保護
0	SW_CTL	例外ハンドラ・アドレス切り替えの制御	○	○	○	機能拡張用に予約		×	×	○
1	SW_CFG	例外ハンドラ・アドレス切り替え設定	○	○	○	EH_CFG	例外ハンドラ設定	×	○	○
2	機能拡張用に予約		×	×	○	EH_RESET	リセット・アドレス・レジスタ	×	○	○
3	SW_BASE	例外ハンドラ・アドレス切り替えベース・アドレス	○	○	○	EH_BASE	例外ハンドラ・ベース・アドレス	×	○	○
4-27	機能拡張用に予約		×	×	○	機能拡張用に予約		×	×	○
28	EIWR	EIレベル例外用作業レジスタ						○	○	○
29	FEWR	FEレベル例外用作業レジスタ						○	○	○
30	DBWR[注]	DBレベル例外用作業レジスタ						○	○	○
31	BSEL	レジスタ・バンクの選択						○	○	○

注 開発ツール向けのデバッグ機能のレジスタです。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では，保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では，保護対象ではないことを示します。

(1) SW_CTL ― 例外ハンドラ・アドレス切り替えの制御

例外ハンドラ・アドレス切り替え機能の制御レジスタです。

ビット31-1には必ず0を設定してください。

	31																													1	0	
SW_CTL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SET	初期値 00000000H

ビット位置	ビット名	意　味
0	SET	SETビットをセット（1）すると，SW_CFG, SW_BASEレジスタの値をEH_CFG, EH_BASEへ転送します。転送終了後，SETビットはクリア（0）されます。

(2) SW_CFG ― 例外ハンドラ・アドレス切り替え設定

例外ハンドラ・アドレス切り替え機能を行う設定を指定するレジスタです。

ビット31-1には必ず0を設定してください。

	31																													1	0	
SW_CFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RINT	初期値 0000000xH

ビット位置	ビット名	意　味
0	RINT	SW_CTL.SETビットをセット（1）すると，SW_CFGレジスタの値がEH_CFGレジスタへ転送されます。

(3) SW_BASE ― 例外ハンドラ・アドレス切り替えベース・アドレス

例外ハンドラ・アドレス切り替え機能の切り替えを行う例外ハンドラ・アドレスのベース・アドレスを指定するレジスタです。

ビット12-0には必ず0を設定してください。

	31													13	12												0	
SW_BASE	SW_BASE31-SW_BASE13														0	0	0	0	0	0	0	0	0	0	0	0	0	初期値 不定

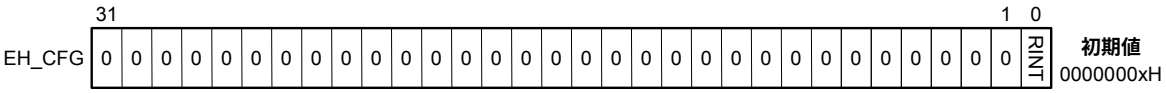
ビット位置	ビット名	意　味
31-13	SW_BASE31-SW_BASE13	SW_CTL.SETビットをセット（1）すると，このSW_BASEレジスタの内容がEH_BASEレジスタに転送されます。

注意　命令アドレッシング範囲は 64 M バイトです。SW_BASE のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

(4) EH_CFG ― 例外ハンドラ設定

例外ハンドラ・アドレス切り替え機能の現在の設定を示すレジスタです。

ビット31-1は0に固定されています。

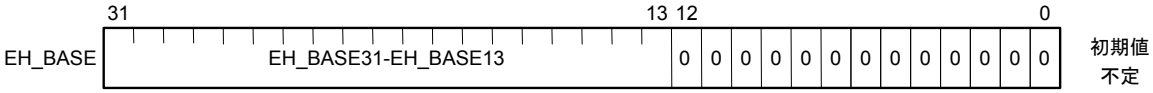


ビット位置	ビット名	意　味
0	RINT	RINTビットがセット（1）された場合，INT0-INT255の例外ハンドラ・アドレスを1つのハンドラ・アドレス（INT0）に縮小します。クリア（0）されている場合，INT0-INT255は独立した例外ハンドラ・アドレスを持ちます。EH_CFGレジスタは製品仕様によって，リセット時に初期値が設定されます。またLDSR命令による直接書き換えは行えません。SW_CTL.SETビットをセット（1）することによって，SW_CFGの内容が転送されます。

(5) EH_BASE ― 例外ハンドラ・ベース・アドレス

例外ハンドラ・アドレス切り替え機能の現在の例外ハンドラ・アドレスのベース・アドレスを示すレジスタです。

ビット12-0は0に固定されています。



ビット位置	ビット名	意　味
31-13	EH_BASE31-EH_BASE13	例外ハンドラ・ルーチンのアドレスがこのレジスタで指定されたベース・アドレスに，各例外のオフセット・アドレスを加えたアドレスに変更されます。 EH_BASEレジスタは製品仕様によって，リセット時に初期値が設定されます。またLDSR命令による直接書き換えは行えません。SW_CTL.SETビットをセット（1）することによって，SW_BASEの内容が転送されます。

注意　命令アドレッシング範囲は 64 M バイトです。EH_BASE のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

(6) EH_RESET ー リセット・アドレス

現在のリセット入力時のリセット・アドレスを示します。

ビット12-0は0に固定されています。

	31												13	12										0	
EH_RESET	EH_RESET31-EH_RESET13													0	0	0	0	0	0	0	0	0	0	0	0

初期値
00000000H

ビット位置	ビット名	意　味
31-13	EH_RESET31-EH_RESET13	EH_RESETレジスタは製品仕様によってリセット時に初期化される以外，値が変化しません。 本製品では0固定です。

注意 命令アドレッシング範囲は 64 M バイトです。EH_RESET のビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

3. 2. 5 ユーザ・グループ

ユーザ・グループは，LDSR命令でBSELレジスタに0000FF00Hまたは0000FFFFHを設定することにより選択されます（3. 2. 2（1）BSEL － レジスタ・バンクの選択参照）。ユーザ・グループにあるシステム・レジスタは基本バンクにあるレジスタの写像となっています。

ユーザ・グループには次のバンクがあります。

・ユーザ0バンク（表3－4参照）

表3－4 システム・レジスター覧（ユーザ0バンク）

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護
			LDSR	STSR	
0-4		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
5	PSW	プログラム・ステータス・ワード	○	○	○注1
6-15		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
16	CTPC	CALLT実行時の状態退避レジスタ	○	○	○
17	CTPSW	CALLT実行時の状態退避レジスタ	○	○	○
18, 19		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
20	CTBP	CALLTベース・ポインタ	○	○	×
21-27		（将来の機能拡張のための予約番号 （アクセスした場合の動作は保証しません））	×	×	○
28	EIWR	EIレベル例外用作業レジスタ	○	○	○
29	FEWR	FEレベル例外用作業レジスタ	○	○	○
30	DBWR注2	DBレベル例外用作業レジスタ	○	○	○
31	BSEL	レジスタ・バンクの選択	○	○	○

注 1. ビット 31-6 のみ保護。保護されている場合に書き込みがあっても，システム･レジスタ保護違反として検出しません。

2. 開発ツール向けのデバッグ機能のレジスタです。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では，保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では，保護対象ではないことを示します。

3. 3 プロセッサ保護機能（MPU）

V850E2/Jx4-Lでは，信頼済みでないプログラムや暴走などによるシステム・リソースの不正使用などを検出／抑止し，システムの一貫性を維持するためのプロセッサ保護機能を提供しています。

3. 3. 1 特 徴

(1) リソース・アクセス制御

V850E2S CPUは次の2種類のリソースに対するアクセス制御機能を提供します。

- **システム・レジスタ保護（System Register Protection）**
  信頼済みでないプログラムによるシステム・レジスタ破壊を防ぐことができます。

- **メモリ保護（Memory Protection）**
  アドレス空間上に命令／定数保護領域とデータ保護領域を最大4個まで配置可能です。これによって，ユーザ・プログラムに許可されていない実行，またはデータ操作を検出し，不正な実行，データ操作を防ぐことができます。各領域は上限アドレス／下限アドレスで指定するため，アドレス空間を効率よく細かい粒度で使用できます。

(2) 実行レベルによる管理

V850E2S CPUでは，リソースへのアクセス制御を行うための状態ビットを複数持っており，これらの状態ビットの組み合わせを実行レベルとして定義しています。

ユーザは状況に応じた実行レベルを選択するほか，例外発生時，例外からの復帰時，いくつかの特殊命令の実行により自動的に変化する実行レベルの自動遷移機能を用いることで，状況に応じたアクセス制御を行うことが可能です。

(3) 選択可能でスケーラブルな仕様

実行レベルの自動遷移機能を利用するためには，OS（およびそれに準ずるプログラム），共用ライブラリやユーザ・タスクがそれぞれ一定のプログラム・モデルに従う必要があります。

V850E2S CPUでは，実行レベルの自動遷移機能を選択しない場合にも，プロセッサ保護を利用できるスケーラブルな仕様をとっています。このため既存のソフトウエア資産に対しても容易にプロセッサ保護を導入することが可能です。また，従来どおり，プロセッサ保護機能のない状態で動作させることも可能です。

3. 3. 2 システム・レジスタ・バンク

プロセッサ保護機能に関わるシステム・レジスタ・バンクを，表3－5に示します。

プロセッサ保護設定バンク，プロセッサ保護違反バンクおよびソフトウエア・ページング・バンクは，各LDSR命令でシステム・レジスタ（BSEL）に00001001H, 00001000Hおよび00001010Hを設定することにより選択されます。

システム・レジスタ番号28-31はバンク共通のシステム・レジスタで，BSELレジスタの設定値に関係なく，CPU機能バンクのEIWR, FEWR, DBWR[注], BSELレジスタが参照されます。

注 DBWR レジスタは，開発ツール向けのデバッグ機能で使用します。

- プロセッサ保護違反バンク
  （グループ番号10H，バンク番号00H，略称MPV/PROT00バンク，プロセッサ保護違反レジスタを格納）
- プロセッサ保護設定バンク
  （グループ番号10H，バンク番号01H，略称MPU/PROT01バンク，プロセッサ保護設定レジスタを格納）
- ソフトウエア・ページング・バンク
  （グループ番号10H，バンク番号10H，略称PROT10バンク，プロセッサ保護設定／違反レジスタを格納）

また，次のCPU機能バンクのシステム・レジスタがプロセッサ保護機能に関わるレジスタとして使用されます。

- PSWレジスタ

表3－5 システム・レジスタ・バンク

グループ	プロセッサ保護機能（10H）				
バンク	プロセッサ保護違反（00H）		プロセッサ保護設定（01H）		ソフトウエア・ページング（10H）
バンク・ラベル	MPV, PROT00		MPU, PROT01		PROT10
レジスタ番号	名称	機　　能	名称	機　　能	名　　称
0	VSECR	システム・レジスタ保護違反要因	MPM	プロセッサ保護動作モードの設定	MPM
1	VSTID	システム・レジスタ保護違反タスク識別子	MPC	プロセッサ保護コマンドの指定	MPC
2	VSADR	システム・レジスタ保護違反アドレス	TID	タスク識別子	TID
3	機能拡張用に予約		機能拡張用に予約		VMECR
4	VMECR	メモリ保護違反要因			VMTID
5	VMTID	メモリ保護違反タスク識別子			VMADR
6	VMADR	メモリ保護違反アドレス	PA0L	保護領域0下限アドレス	PA0L
7	機能拡張用に予約		PA0U	保護領域0上限アドレス	PA0U
8			PA1L	保護領域1下限アドレス	PA1L
9			PA1U	保護領域1上限アドレス	PA1U
10			PA2L	保護領域2下限アドレス	PA2L
11			PA2U	保護領域2上限アドレス	PA2U
12			PA3L	保護領域3下限アドレス	PA3L
13			PA3U	保護領域3上限アドレス	PA3U
14			機能拡張用に予約		機能拡張用に予約
15					
16					
17					
18					
19					
20					
21					
22					
23					
24					
25					
26					
27					
28	EIWR	EIレベル例外用作業レジスタ			
29	FEWR	FEレベル例外用作業レジスタ			
30	DBWR注	DBレベル例外用作業レジスタ			
31	BSEL	レジスタ・バンクの選択			

注 DBWR レジスタは，開発ツール向けのデバッグ機能で使用します。

3. 3. 3 システム・レジスタ

(1) プロセッサ保護設定レジスタ

プロセッサ保護設定レジスタは，プロセッサ保護モードの選択，保護対象の指定などを行います。システム・レジスタへのリード／ライトは，LDSR命令，STSR命令により，次に示すシステム・レジスタ番号を指定することで行います。

表3－6にプロセッサ保護設定レジスター覧を示します。

表3－6 プロセッサ保護設定レジスター覧

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護注
			LDSR	STSR	
0	MPM	プロセッサ保護動作モードの設定	○	○	○
1	MPC	プロセッサ保護コマンドの指定	○	○	○
2	TID	タスク識別子	○	○	○
3-5	(将来の機能拡張のための予約番号(アクセスした場合の動作は保証しません))		×	×	○
6	PA0L	保護領域0下限アドレス	○	○	○
7	PA0U	保護領域0上限アドレス	○	○	○
8	PA1L	保護領域1下限アドレス	○	○	○
9	PA1U	保護領域1上限アドレス	○	○	○
10	PA2L	保護領域2下限アドレス	○	○	○
11	PA2U	保護領域2上限アドレス	○	○	○
12	PA3L	保護領域3下限アドレス	○	○	○
13	PA3U	保護領域3上限アドレス	○	○	○
14-27	(将来の機能拡張のための予約番号(アクセスした場合の動作は保証しません))		×	×	○

注 3. 3. 4 システム・レジスタ保護を参照してください。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では，保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では，保護対象ではないことを示します。

(2) プロセッサ保護違反レジスタ

プロセッサ保護違反レジスタ（メモリ保護違反通知レジスタ）は，違反要因，違反タスク識別子，違反アドレスの通知などを行います。システム・レジスタへのリード／ライトは，LDSR命令，STSR命令により，次に示すシステム・レジスタ番号を指定することで行います。

表3－7にプロセッサ保護違反レジスター覧を示します。

表3－7 プロセッサ保護違反レジスター覧

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護[注]
			LDSR	STSR	
0	VSECR	システム・レジスタ保護違反要因	○	○	○
1	VSTID	システム・レジスタ保護違反タスク識別子	○	○	○
2	VSADR	システム・レジスタ保護違反アドレス	○	○	○
3	（将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません））		×	×	○
4	VMECR	メモリ保護違反要因	○	○	○
5	VMTID	メモリ保護違反タスク識別子	○	○	○
6	VMADR	メモリ保護違反アドレス	○	○	○
7-27	（将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません））		×	×	○

注 3.3.4 システム・レジスタ保護を参照してください。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では，保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では，保護対象ではないことを示します。

(3) ソフトウエア・ページング・レジスタ

ソフトウエア・ページング・レジスタは，ソフトウエアによるメモリ保護のページング運用を実現するためのレジスタ群です。ソフトウエア・ページング・レジスタは，プロセッサ保護設定レジスタとプロセッサ保護違反レジスタにあるレジスタの写像になっています。

V850E2S CPUにおいて，メモリ保護の運用はタスクごとに固定的なメモリ保護領域設定を行うことが原則です。しかし，非常に大規模なソフトウエア・システムにおいてメモリ保護領域の数が足りない場合に備えて，プログラムがメモリ・アクセスを行う際に，そのメモリ・アクセス要求の際にプロセッサ保護例外によって起動された例外プログラムによって，保護設定を順次切り替える運用を想定しています。この運用方式をソフトウエア・ページングと呼び，またこの運用に最適なシステム・レジスタで構成されたバンクをソフトウエア・ページング・バンクとして定義しています。

このバンクを利用することで，プロセッサ保護例外処理中でのバンクの切替えを一度行うだけに抑えることができ，ソフトウエア・ページング時に必要な汎用レジスタ数を減らし，コンテキストの退避／復帰にかかる実行サイクルを低減することで，ソフトウエア・オーバヘッドを減少させます。

表3－8にソフトウエア・ページング・レジスター覧を示します。システム・レジスタへのリード／ライトは，LDSR命令，STSR命令により，次に示すシステム・レジスタ番号を指定することで行います。

表3－8 ソフトウエア・ページング・レジスタ一覧

システム・レジスタ番号	名 称	機 能	オペランド指定の可否		システム・レジスタ保護注
			LDSR	STSR	
0	MPM	プロセッサ保護動作モードの設定	○	○	○
1	MPC	プロセッサ保護コマンドの指定	○	○	○
2	TID	タスク識別子	○	○	○
3	VMECR	メモリ保護違反要因	○	○	○
4	VMTID	メモリ保護違反タスク識別子	○	○	○
5	VMADR	メモリ保護違反アドレス	○	○	○
6	PA0L	保護領域0下限アドレス	○	○	○
7	PA0U	保護領域0上限アドレス	○	○	○
8	PA1L	保護領域1下限アドレス	○	○	○
9	PA1U	保護領域1上限アドレス	○	○	○
10	PA2L	保護領域2下限アドレス	○	○	○
11	PA2U	保護領域2上限アドレス	○	○	○
12	PA3L	保護領域3下限アドレス	○	○	○
13	PA3U	保護領域3上限アドレス	○	○	○
14-27	（将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません））		×	×	○

注 3. 3. 4 システム・レジスタ保護を参照してください。

備考 ○：オペランド指定の可否の欄では指定可能であることを示します。システム・レジスタ保護の欄では，保護対象であることを示します。

×：オペランド指定の可否の欄では指定不可能であることを示します。システム・レジスタ保護の欄では，保護対象ではないことを示します。

(4) PSW ― プログラム・ステータス・ワード

CPU機能バンク上のPSWレジスタのビット16-18に，プロセッサ保護機能に関するビットが配置されています。

図3ー2 PSW上のメモリ保護動作状態ビット

	31												19	18	17	16	15			12	11	10	9	8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	NPV	DMP	IMP	0	0	0	0	SS	SB	SE	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	ビット名	意　味
18	NPV	システム・レジスタ保護の状態ビットです。 CPUが，現在実行中のプログラムによるシステム・レジスタへのアクセスを信頼している状態であるかどうかを示します。 0：Tステート（CPUは，システム・レジスタへのアクセスを信頼しています）（初期値） 1：NTステート（CPUは，システム・レジスタへのアクセスを信頼していません） システム・レジスタ保護機能は，NPVビットがTステートを示している場合，アクセス制限を行いません。また，NTステートを示している場合，アクセス制限を行います。
17	DMP	データ・アクセス（データ領域）に対するメモリ保護の状態ビットです。 CPUが，現在実行中のプログラムによるデータ・アクセスを信頼している状態であるかどうかを示します（初期値：0）。 0：Tステート（CPUは，データ・アクセスを信頼しています）（初期値） 1：NTステート（CPUは，データ・アクセスを信頼していません） メモリ保護機能は，DMPビットがTステートを示している場合，データ・アクセスに対するアクセス制限を行いません。また，NTステートを示している場合，データ・アクセスに対するアクセス制限を行います。
16	IMP	プログラム領域に対するメモリ保護の状態ビットです。 CPUが，現在実行中のプログラムによるプログラム領域へのアクセスを信頼している状態であるかどうかを示します（初期値：0）。 0：Tステート（CPUはプログラム領域へのアクセスを信頼しています）（初期値） 1：NTステート(CPUはプログラム領域へのアクセスを信頼していません) メモリ保護機能は，IMPビットがTステートを示している場合，プログラム領域に対するアクセス制限を行いません。また，NTステートを示している場合，プログラム領域に対するアクセス制限を行います。

(5) MPM ― プロセッサ保護動作モードの設定

プロセッサ保護モード・レジスタはプロセッサ保護機能の基本的な動作状態を決定します。ビット31-6, 2には必ず0を設定してください。

(1/2)

	31																									6	5	4	3	2	1	0	
MPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DWE	DRE	DXE	0	AUE	MPE	初期値 00000000H

ビット位置	ビット名	意　味
5	DWE[注1]	領域指定されていない空間に対するライト・アクセスの許可／禁止を設定します。 DWEビットがクリア（0）されている場合，領域指定されていない空間に置かれたデータに対するライト・アクセスは禁止されます。 禁止された空間に対するライト・アクセスを行う命令を実行しようとした場合，データ保護違反を検出し，MDP例外がただちに受け付けられます。 0：領域指定されていない空間に対するライト・アクセスの禁止 1：領域指定されていない空間に対するライト・アクセスの許可
4	DRE[注1]	領域指定されていない空間に対するリード・アクセスの許可／禁止を設定します。 DREビットがクリア（0）されている場合，領域指定されていない空間に置かれたデータに対するリード・アクセスは禁止されます。 禁止された空間に対するリード・アクセスを行う命令を実行しようとした場合，データ保護違反を検出し，MDP例外がただちに受け付けられます。 0：領域指定されていない空間に対するリード・アクセスの禁止 1：領域指定されていない空間に対するリード・アクセスの許可
3	DXE[注1]	領域指定されていない空間に対する命令実行の許可／禁止を設定します。 DXEビットがクリア（0）されている場合，領域指定されていない空間に置かれたプログラムの実行は禁止されます。 禁止された空間に対する命令実行を行おうとした場合，命令保護違反を検出し，MIP例外がただちに受け付けられます。 0：領域指定されていない空間に対する命令実行の禁止 1：領域指定されていない空間に対する命令実行の許可
1	AUE	例外発生時に自動的に実行レベルを遷移し， PSW.NPV, DMP, IMPビットの更新を行う機能の設定をします（初期値：0）。 0：自動更新をしない 例外が発生しても，PSW.PNPV, DMP, IMPビットの値を変更しません[注2,3] 1：自動更新をする 例外が発生すると，PSW.NPV, DMP, IMPビットの値を0に設定します

注1. DWE，DRE，DXEは，0000_0000H~01FF_FFFFH，FE00_0000H~FFFF_FFFFHの64MB空間のみ有効です。上記64MB空間以外は，命令実行／アクセス禁止です。

2. DBレベルへ遷移する例外，およびプロセッサ保護違反例外（MDP例外／MIP例外）を除きます。これらの例外受け付け時には，いかなる状態でもPSW.NPV, DMP, IMPビットは0に更新されます

3. MPM.AUEビットがクリア（0）されている場合は，PSW.NPVビットは0に固定され，変更できません。

備考 アドレッシング可能な64 Mバイトの空間内においては，いずれの設定に対しても，PAnL/PAnUレジスタの設定が優先します。
例えば，DRE = 1で領域指定されていない空間に対するリード・アクセスを許可しても，PAnL/PAnUレジスタでリード禁止に設定した領域はリード・アクセス禁止です。

(2/2)

ビット位置	ビット名	意　味
0	MPE	プロセッサ保護機能の動作の有効／無効を設定します（初期値：0）。 0：プロセッサ保護機能無効 ・ PSW.NPVビットを0に固定します。 システム・レジスタ保護機能が無効となり，すべてのシステム・レジスタへのアクセスを許可します。 ・ PSW.DMP, IMPビットを0に固定します。 メモリ保護機能が無効となり，すべてのメモリ・アクセスを許可します。また，MIP例外，MDP例外は発生しません。 1：プロセッサ保護機能有効 ・PSW.NPVビットの更新を許可します。 システム・レジスタ保護機能が有効となり，設定に従って違反を検出します。 ・PSW.DMP, IMPビットの更新を許可します。 メモリ保護機能が有効となり，設定に従って違反を検出します。また，MIP例外，MDP例外が発生する可能性があります。

備考 NPV, IMP, DMPビットの詳細は3. 3. 3（4）**PSW － プログラム・ステータス・ワード**を参照してください。

注意 アドレッシング不可能な64 Mバイト領域外部へデータ・アクセスした場合，プロセッサ保護機能が有効（MPE = 1）であれば，すべてのデータ・アクセスはメモリ保護違反として検出され，MDP例外が発生します。一方，アドレッシング不可能な64 Mバイト領域外部の命令実行によるメモリ保護違反（MIP例外）は検出できません。

（6）MPC ― プロセッサ保護コマンドの指定

プロセッサ保護機能の特殊操作を行うビットが配置されたレジスタです。

ビット31-1には必ず0を設定してください。

	31																														1	0	
MPC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ALDS	初期値 00000000H

ビット位置	ビット名	意　味
0	ALDS	このビットをセット（1）するとただちに全メモリ保護領域の保護動作ビットがクリア（0）されます。対象となるは次のビットです。 PAnL.Eビット（n = 0-3） 対象となるすべてのビットのクリア（0）が完了したあと，ALDSビットもクリア（0）されます。

注意 ALDS ビットをセット（1）した LDSR 命令の直後の LDSR 命令で，ALDS ビットの機能によってクリア（0）されるビットをセット（1）した場合にも，命令の実行手順に従った結果が得られます（対象のビットはセット（1）されます）。

（7）TID ― タスク識別子

実行中タスクの識別子を設定するレジスタです。TIDレジスタは自動的には変更されません。タスクを切り替える際には，必ずプログラムによって適切な値をTIDレジスタに設定してください。

	31																															0	
TID	TID																																初期値 00000000H

ビット位置	ビット名	意　味
31-0	TID	実行中タスクの識別子を設定します。

3. 3. 4 システム・レジスタ保護

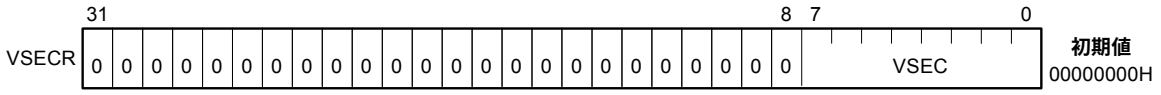
V850E2/Jx4-Lでは，信頼済みでない（Non-trusted）プログラムによる，システム設定の不当な変更からシステムを保護するために，特定のシステム・レジスタに対するアクセス制御を行うことが可能です。

システム・レジスタ保護違反が発生した場合には，違反情報がMPU違反バンクのシステム・レジスタに保存されます。

(1) VSECR － システム・レジスタ保護違反要因

システム・レジスタ保護によって違反が検出された回数を示します。

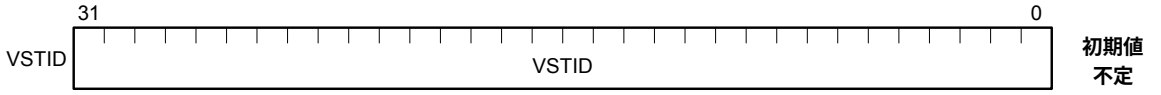
ビット31-8には必ず0を設定してください。



ビット位置	ビット名	意　味
7-0	VSEC	システム・レジスタ保護違反を検出した回数を保存します。 VSECビットの値が255に達したとき，以降は増加せず，255のまま変化しません。違反処理を行った場合には，VSECRレジスタをプログラムによってクリアしてください。

(2) VSTID － システム・レジスタ保護違反タスク識別子

システム・レジスタ保護によって違反を検出された，最初の命令の実行時点のタスク識別子（TID）の内容を保存します。

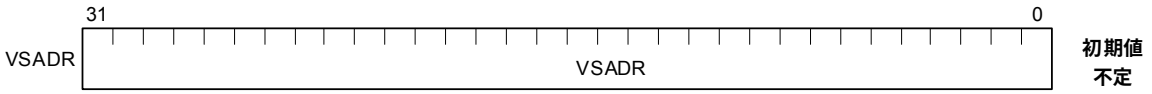


ビット位置	ビット名	意　味
31-0	VSTID	VSECRレジスタのVSECビットが0の状態で，システム・レジスタ保護違反を検出した場合に，その時点のTIDレジスタ（プロセッサ保護設定バンク）の値を格納します。 VSTIDレジスタは違反処理後，最初にシステム・レジスタ保護違反を起こしたタスクの識別子を保存します。

(3) VSADR ー システム・レジスタ保護違反アドレス

システム・レジスタ保護によって違反を検出された，最初の命令のPCを保存します。

ビット0は，0に固定されています。



ビット位置	ビット名	意　味
31-0	VSADR	VSECRレジスタのVSECビットが0の状態で，システム・レジスタ保護違反を検出した場合に，その命令のPCを格納します。 VSADRレジスタは違反処理後，最初にシステム・レジスタ保護違反を起こした命令のPCを保存します。

注意 命令アドレッシング範囲は，64 M バイトに制限された VSADR レジスタのビット 31-26 はビット 25 を符号拡張した値が自動的に設定されます。

3. 3. 5 メモリ保護

V850E2/Jx4-Lは，命令実行の際に参照するプログラム領域（命令アクセス），およびメモリ・アクセスを行う命令の実行によって参照するデータ領域（データ・アクセス）のアドレス空間上の4つの領域に対して，信頼済みでない（Non-trusted）プログラムによる不正なアクセスからシステムを保護するアクセス制御を行うことが可能です。

V850E2/Jx4-Lのメモリ保護では、メモリ保護領域を上限・下限アドレスで指定します。指定可能な領域粒度は16バイト単位です。このため，少ない領域数で適切な保護設定ができます。指定されたアドレスは，32ビットのシステム・レジスタで保持され，64 Mバイトのアドレス空間に対する保護設定が可能です。

（1）PAnL ー 保護領域n下限アドレス（n = 0-3）

保護領域の下限アドレスと動作を設定するためのレジスタです。

ビット3, 2には必ず0を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PAnL	0	0	0	0	0	0	AL 25	AL 24	AL 23	AL 22	AL 21	AL 20	AL 19	AL 18	AL 17	AL 16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
AL 15	AL 14	AL 13	AL 12	AL 11	AL 10	AL 9	AL 8	AL 7	AL 6	AL 5	AL 4	0	0	S	E	初期値 00000000H

ビット位置	ビット名	意　味
25-4	AL25- AL4	保護領域の下限アドレスを設定します。 また，PAnLレジスタのビット3-0は保護領域の他の設定で利用されているため，下限アドレスのビット3-0（AL3-0）は暗黙的に0を使用します。 00000000H～01FFFFFFH、FE000000H～FFFFFFFFHの64MB空間内を指定してください。 ビット31～ビット26への書き込みは無視され、AL25をAL31まで拡張した値が使用されます。
1	S注	保護領域に対するsp（r3）レジスタ相対によるデータ・アクセスの許可／禁止を設定します。 Sビットがクリア（0）されている場合，データ領域上の保護領域に置かれたデータに対するsp（r3）レジスタ相対によるデータ・アクセスは禁止されます。 禁止された領域に対するsp（r3）レジスタ相対によるデータ・アクセスを行う命令を実行しようとした場合，データ保護違反を検出し，MDP例外が直ちに受け付けられます。 0：保護領域に対するsp（r3）レジスタ相対によるデータ・アクセスの禁止 1：保護領域に対するsp（r3）レジスタ相対によるデータ・アクセスの許可
0	E	保護領域の設定の有効／無効を設定します。 Eビットがクリア（0）されている場合，その他の設定ビットの内容はすべて無効となり，保護領域は設定されません。 0：無効（保護領域nを使用しません） 1：有効（保護領域nを使用します）

備考 n = 0-3

(2) PAnU ー保護領域n上限アドレス（n = 0-3）

保護領域の上限アドレスを設定するためのレジスタです。

ビット3には必ず0を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PAnU	AU31	AU30	AU29	AU28	AU27	AU26	AU25	AU24	AU23	AU22	AU21	AU20	AU19	AU18	AU17	AU16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
AU15	AU14	AU13	AU12	AU11	AU10	AU9	AU8	AU7	AU6	AU5	AU4	0	W	R	X	00000000H

ビット位置	ビット名	意　味
31-4	AU31- AU4	保護領域の上限アドレスを設定します。 また，PAnUレジスタのビット3-0は保護領域の他の設定で利用されているため，上限アドレスのビット3-0（AU3-0）は暗黙的に1を使用します。 00000000H-01FFFFFFH, FE000000H-FFFFFFFFHの64 Mバイト空間内を指定してください。
2	W	保護領域に対するライト・アクセスの許可／禁止を設定します。 Wビットがクリア（0）されている場合，データ領域上の保護領域に置かれたデータに対するライト・アクセスは禁止されます。 禁止された領域に対するライト・アクセスを行う命令を実行しようとした場合，データ保護違反を検出し，MDP例外が直ちに受け付けられます。 0：保護領域に対するライト・アクセスの禁止 1：保護領域に対するライト・アクセスの許可
1	R	保護領域に対するリード・アクセスの許可／禁止を設定します。 Rビットがクリア（0）されている場合，データ領域上の保護領域に置かれたデータに対するリード・アクセスは禁止されます。 禁止された領域に対するリード・アクセスを行う命令を実行しようとした場合，データ保護違反を検出し，MDP例外が直ちに受け付けられます。 0：保護領域に対するリード・アクセスの禁止 1：保護領域に対するリード・アクセスの許可
0	X	保護領域に対する命令実行の許可／禁止を設定します。 Xビットがクリア（0）されている場合，プログラム上の保護領域に置かれたプログラムの実行は禁止されます。 禁止された領域の命令実行を行おうとした場合，命令保護違反を検出し，MIP例外が直ちに受け付けられます。 0：保護領域に対する命令実行の禁止 1：保護領域に対する命令実行の許可

備考　n = 0-3

(3) VMECR ー メモリ保護違反要因

VMECRレジスタはMIP例外，MDP例外発生時の保護違反要因を示します。

ビット31-7, 0には必ず0を設定してください。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VMECR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

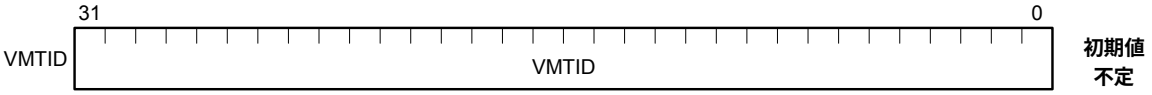
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	VMMS	VM RMW	VMS	VMW	VMR	VMX	0	初期値 00000000H

ビット位置	ビット名	意　味
6	VMMS	データ保護例外の発生状況を示します。LD, ST, SLD, SST命令によるミスアライン・アクセス時にデータ保護例外が発生した場合，セット（1）されます。それ以外の場合はクリア（0）されます。
5	VMRMW	データ保護例外の発生状況を示します。SET1, CLR1, NOT1, CAXI命令によるアクセス時にデータ保護例外が発生した場合，セット（1）されます。それ以外の場合はクリア（0）されます。
4	VMS	sp相対アクセス違反によるMDP例外が発生した場合，セット（1）されます。それ以外の場合はクリア（0）されます。 このビットがセット（1）された場合，VMXビットは常にクリア（0）の状態となります。VMR, VMWビットはこのビットと同時にセット（1）される可能性があります。
3	VMW	ライト・アクセス違反によるMDP例外が発生した場合，セット（1）されます。それ以外の場合はクリア（0）されます。 このビットがセット（1）された場合，VMX, VMRビットは常にクリア（0）の状態となります。VMSビットは，このビットと同時にセット（1）される可能性があります。
2	VMR	リード・アクセス違反によるMDP例外が発生した場合，セット（1）されます。それ以外の場合はクリア（0）されます。 このビットがセット（1）された場合，VMX, VMWビットは常にクリア（0）の状態となります。VMSビットはこのビットと同時にセット（1）される可能性があります。
1	VMX	命令実行違反によるMIP例外が発生した場合，セット（1）されます。それ以外の場合はクリア（0）されます。 このビットがセット（1）された場合，VMR, VMW, VMSビットは常にクリア（0）の状態となります。

備考　例外発生時の各ビットの状態については，V850E2S **アーキテクチャ編 ユーザーズ･マニュアルの第**3**編** 7．3　**違反要因**の特定を参照してください。

(4) VMTID ー メモリ保護違反タスク識別子

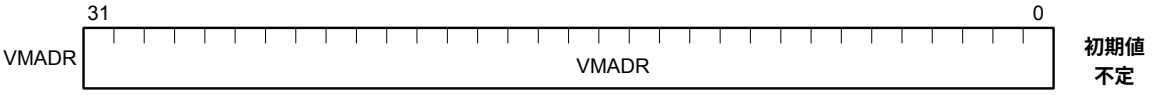
VMTIDレジスタはMIP例外，MDP例外発生時のタスクの識別子を格納します。



ビット位置	ビット名	意 味
31-0	VMTID	実行保護違反，データ保護違反のいずれかを引き起こした命令の実行時点のタスクの識別子内容（TIDレジスタの値）が格納されます。

(5) VMADR ー メモリ保護違反アドレス

VMADRレジスタはMIP例外，MDP例外発生時のアドレスを格納します。



ビット位置	ビット名	意 味
31-0	VMADR	実行保護違反を検出した場合は違反を起こした命令のPC，データ保護違反を検出した場合は，そのデータ・アクセスのアドレスを格納します。

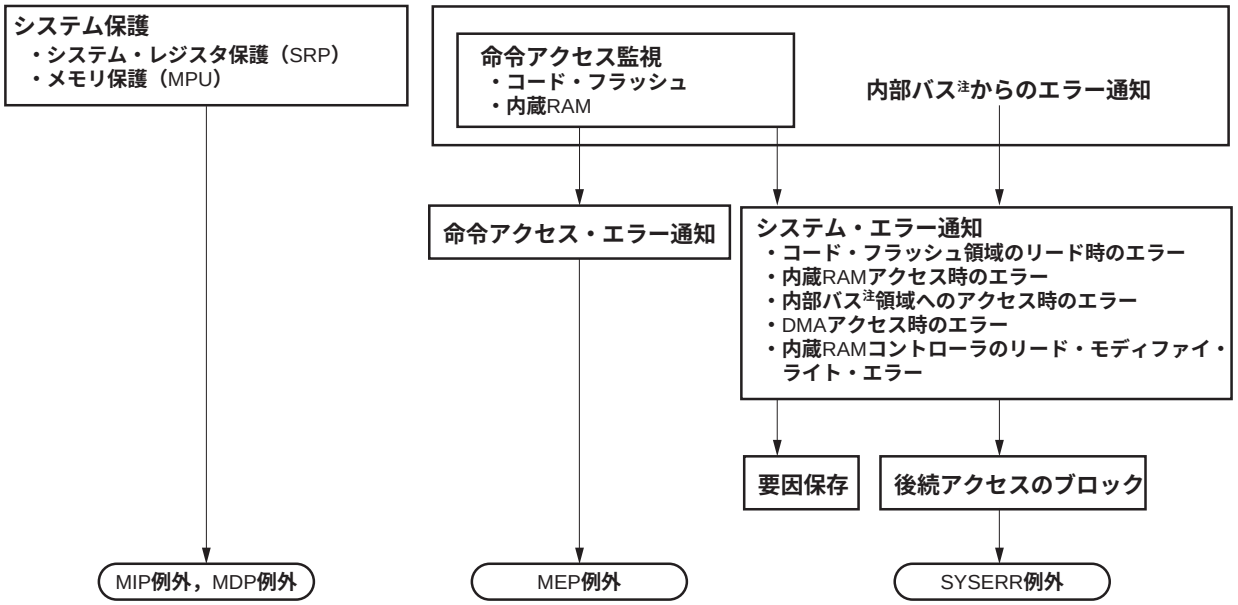
注意 実行保護違反を検出した命令の PC 値は，命令が複数のアドレスにまたがって配置されている場合などに，実際に違反を起こした命令アドレスと一致しない場合があります。

3. 4 信頼性機能

3. 4. 1 信頼性機能の構成

V850E2/Jx4-Lでは，CPUの信頼性を向上させるために各種の信頼性機能があります。

図3－3 信頼性機能の構成



注 内部バスは次を指します。
- 内蔵周辺I/Oバス
- データ・フラッシュ・バス

信頼性に関わる機能を次に示します。

- CPUによるシステム・レジスタ保護機能（SRP）／メモリ保護機能（MPU機能）
- 命令アクセス・エラー通知機能
- システム・エラー通知機能
- 異常通知機能

信頼性機能で違反やエラーを検出した場合，次のいずれかの例外が発生します。

例外の種類	機　　能
MIP例外の発生	CPUによるメモリ保護機能で実行保護違反を検出した時に発生する例外です。
MDP例外の発生	CPUによるメモリ保護機能でデータ保護違反を検出した時に発生する例外です。
SYSERR例外の発生	システム・エラーを検出した際に発生可能な例外です。非回復例外です。システム・エラー・コントローラの設定により発生／非発生を制御できます。
MEP例外の発生	V850E2/Jx4-L内部の命令フェッチ時，外部メモリ・インタフェース経由の命令フェッチ・アクセス時に命令アクセス・エラー検出した場合に発生する例外です。非回復例外です。この例外は，エラーの発生した命令を実行しようとしたときに発生します（命令フェッチしただけでは例外は発生しません）。

3. 4. 2 命令アクセス・エラー通知機能

CPUによる命令フェッチ・アクセス時にエラーが発生した場合，実際にエラーの発生したアドレス中に含まれる命令を実行しようとした場合にのみ，命令アクセス・エラー（MEP例外，例外要因コード00000330H）を通知します。

命令フェッチ・アクセス時に発生するエラー要因は，次の2種類です。

- コード・フラッシュによるエラー入力
- 内蔵RAMによるエラー入力

3. 4. 3 システム・エラー通知機能

システム上の深刻なエラー（システム・エラー）が発生した場合に，CPUに対してシステム・エラー例外（SYSERR例外）を通知することができます。

(1) システム・エラーの要因

次の各要因が発生した場合にシステム・エラーとして検出し，CPUにSYSERR例外を通知します。

- コード・フラッシュ領域へデータ・アクセスした際のエラー応答
- 内部バス領域へデータ・アクセスした際のエラー応答
- 内蔵周辺I/Oバスからのエラー入力
- データ・フラッシュへのデータ・アクセス時のエラー発生
- 内蔵RAM領域へデータ・アクセスした際のエラー応答
- DMAのアクセスによるエラー発生
- 内蔵RAM領域へのDMAアクセス時のエラー発生
- コード・フラッシュ領域へのDMAアクセス時のエラー発生
- 内部バス領域へのDMAアクセス時のエラー発生
- 内蔵RAMに対するライト動作時のエラー発生

これらのエラー発生条件ごとに，CPUに対してSYSERR例外の発生可否を選択できます。

システム・エラー・コントロール・レジスタ（SEG_CONT）の対応するビットで，SYSERR例外発生／非発生を設定します。

エラーが発生した場合，SEG_CONTレジスタの設定によらず，SEG_FLAGレジスタの，エラー要因に対応するエラー・フラグがセット（1）されます。

(a) コード・フラッシュ領域へのリード・アクセス時のエラー発生

CPUがコード・フラッシュ領域にリード・アクセスした結果，エラーが発生すると，SEG_FLAG.ROMFがセットされます。SEG_CONT.FCHEがセット（SYSERR例外発生が許可）されている場合は，SYSERR例外が発生します。このときFEICレジスタには0231が格納されます。

(b) 内部バス領域へのアクセス時のエラー発生

CPU が内蔵周辺 I/O，データ･フラッシュへのリード／ライト・アクセス時にエラーが通知された場合に発生します。次の場合にエラー通知がされます。

- 内蔵周辺 I/O バスからエラーが通知された場合
- データ・フラッシュからエラーが通知された場合

内部バス領域へのアクセス時のエラーが発生すると， SEG_FLAG.EXTF ビットがセット（1）されます。

SEG_CONT.EXTEがセット（SYSERR例外発生が許可）されている場合は，SYSERR例外が発生します。このときFEICレジスタには0231が格納されます。

（c）内蔵RAMリード時のエラー発生

CPUが内蔵RAMからリードするときにエラーを検出した場合です。

内蔵RAMリード時のエラーが発生すると，SEG_FLAG.RAMFがセットされます。SEG_CONT.RAMEがセット（SYSERR例外発生が許可）されている場合は，SYSERR例外が発生します。このときFEICレジスタには0231が格納されます。

（d）内蔵RAMライト動作時のエラー発生

CPUまたは，DMAが内蔵RAMに，ライトしたときにエラーを検出した場合，SYSERR例外が発生します。このときFEICレジスタには0231が格納されます。

（e）DMAのアクセスによりエラーが発生したとき

DMAのアクセス時に次のようなエラーが検出された場合，DMAはすべてのチャネルの転送動作を停止し，CPUに対してエラー通知を行います。DMAからのエラー通知を受けるとSEG_FLAG.DMAFがセットされます。

・内蔵周辺I/Oバスから通知された場合
・データ・フラッシュからエラーが通知された場合
・内蔵RAMからエラーが通知された場合

SEG_CONT.DMAEがセット（SYSERR例外を許可）されている場合，SYSERR例外が発生します。このときFEICには0232が格納されます。

注意 DMAのアクセスによりエラーが発生した場合，エラー発生の要因に関わらずSEG_FLAG.DMAFがセット（1）されます。そのため，CPUはSEG_FLAGからエラー発生の要因を特定することはできません。

(2) SEG_CONT：システム・エラー・コントロール・レジスタ

各SYSERR要因のエラー通知の許可／禁止を設定するレジスタです。

ビットがセット（1）されているときは，エラー発生時のSYSERR通知を許可します。

ビットがクリア（0）されているときは，発生したエラー要因に対応するSEG_FLAGレジスタのエラー・フラグはセットされますが，SYSERR通知は行われません。

16ビット単位でリード／ライト可能です。ただし下位8ビットをSEG_CONTLレジスタとしてアクセスした場合，8/1ビット単位でリードライト可能です。

リセットにより0000Hになります。

アドレス：FFFF64B0H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
SEG_CONT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(SEG_CONTL)	DMAE	RMWE	0	RAME	0	EXTE	FCHE	0

DMAE	DMAエラー通知
0	DMAエラー発生時のSYSERR通知禁止
1	DMAエラー発生時のSYSERR通知許可

RMWE	内蔵RAMライト・エラー通知
0	内蔵RAMライト・エラー発生時のSYSERR通知禁止
1	内蔵RAMライト・エラー発生時のSYSERR通知許可
内蔵RAMに対してライトを行ったときのエラー発生に対し，SYSERR通知許可を設定します	

RAME	内蔵RAMリード・エラー通知
0	内蔵RAMリード・エラー発生時のSYSERR通知禁止
1	内蔵RAMリード・エラー発生時のSYSERR通知許可
CPUが内蔵RAM領域へデータ・リードした際のエラー発生に対し，SYSERR通知許可を設定します。	

EXTE	EXT領域エラー通知
0	EXT領域アクセス時のSYSERR通知禁止
1	EXT領域アクセス時のSYSERR通知許可
CPUが内蔵周辺I/O、データ・フラッシュへデータ・アクセスした際のエラー発生に対し，SYSERR通知許可を設定します。	

FCHE	コード・フラッシュ領域エラー通知
0	コード・フラッシュ領域アクセス時のSYSERR通知禁止
1	コード・フラッシュ領域アクセス時のSYSERR通知許可
CPUがコード・フラッシュ領域へデータ・リードした際のフラッシュ・メモリからのエラー発生に対し，SYSERR通知許可を設定します。	

(3) SEG_FLAG：システム・エラー・フラグ・レジスタ

各SYSERR要因の発生状態を保存するフラグ・レジスタです。

SYSERR要因が発生すると，対応するエラー要因のフラグがセット（1）されます。レジスタ書き込みにより直接フラグをセットし，SYSERRを発生することも可能です。

各フラグは，（1）の状態をリード後，（0）をライトすることでクリアされます。リード時に（0）だったフラグに対し，その後のライト動作で（0）をライトしても，リード－ライト間に発生したエラーに対しては，フラグはセットされます

16ビット単位でリード／ライト可能です。ただし下位8ビットをSEG_FLAGLレジスタとしてアクセスした場合，8/1ビット単位でリードライト可能です。

リセットにより0000Hになります。

注意 あるビットがセットされた状態で，他のビットへのビット操作命令（SET1, CLR1, NOT1, TST1）が行われると，“1”読み出しが行われたとみなされます。

(1/2)

アドレス：FFFF64B2H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8
SEG_FLAG	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(SEG_FLAGL)	DMAF	RMWF	0	RAMF	0	EXTF	FCHF	0

DMAF	DMAエラー通知
0	DMAエラー発生時のSYSERR発生なし
1	DMAエラー発生時のSYSERR発生あり

RMWF	内蔵RAMライト・エラー通知
0	内蔵RAMライト・エラー発生時のSYSERR発生なし
1	内蔵RAMライト・エラー発生時のSYSERR発生あり
内蔵RAMに対してライトを行ったときにエラーが発生するとセット（1）されます。	

RAMF	内蔵RAMリード・エラー通知
0	内蔵RAMリード・エラー発生時のSYSERR発生なし
1	内蔵RAMリード・エラー発生時のSYSERR発生あり
CPUが内蔵RAM領域へデータ・リードした際にエラーが発生するとセット（1）されます	

EXTF	EXT領域エラー通知
0	EXT領域アクセス時のSYSERR発生なし
1	EXT領域アクセス時のSYSERR発生あり
CPUが内蔵周辺I/O，データ・フラッシュへデータ・アクセスした際にエラーが発生するとセット（1）されます。	

(2/2)

FCHF	コード･フラッシュ領域エラー通知
0	コード･フラッシュ領域アクセス時のSYSERR発生なし
1	コード･フラッシュ領域アクセス時のSYSERR発生あり
CPUがコード・フラッシュ領域へデータ・リードした際のフラッシュ・メモリからのエラーが発生するとセット（1）されます。	

(4) SYSERR例外発生時の対応

SYSERR例外が発生した場合，CPUは正常に処理を継続できません。SYSERR例外ハンドラでは，適切な処理の後，システム・リセットを行ってください。

システム・エラー・コントローラの機能により，いったんSYSERR例外をCPUに要求すると，ソフトウエアでSEG_FLAGのエラー要因のビットを明示的にクリアしない限り，そのCPUに対し，もう一度SYSERR例外を要求することはありません。

SYSERR例外処理中にも，MEP例外が発生することがあります。この場合，エラーが発生した時点でMEP例外処理に移行します。このようにSYSERR例外処理からMEP例外処理に移動した場合，この例外処理中ではSYSERR例外は再度発生しません（システム・エラー・コントローラが，いったんSYSERR例外をCPUに要求すると，SEG_FLAGをクリアしない限り，再度SYSERR例外を要求しないためです）。

(5) 後続アクセスのブロック機能

SYSERRが発生してからCPUがSYSERR例外を受け付けるまでの期間，後続命令による周辺装置および外部へのアクセスをブロックする機能を提供します。これにより，誤ったデータに基づくアクセスで外部リソースを不正に更新することを防ぎます。

DMA転送時にエラーが発生すると，DMAはシステム・エラー・コントローラにエラーを通知し，リード時のエラーでは後続のライト動作を行いません。また，その後の全てのチャネルの動作を停止します。

システム・エラー・コントローラのSEG_FLAGレジスタの該当するエラー要因ビットがセットされ，SEG_CONTレジスタの該当するビットでSYSERR例外の通知が許可されていれば，CPUに対してSYSERR例外を通知するとともに，アクセス・ブロック要求をアクティブにします。CPUがSYSERR例外を受け付けすると，アクセス・ブロック要求を解除します。

3. 5 動作モード

V850E2/Jx4-Lは次に示す動作モードを備えます。

- 通常動作モード
- フラッシュ・メモリ・プログラミング・モード
- オンチップ・デバッグ・モード

TOOL0端子の状態（入力レベル）および内部レジスタ操作により，動作モードを指定します。

通常動作モード時は，リセット期間にTOOL0端子がハイ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のTOOL0端子へのロウ・レベル入力は，フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行います。

端子		オプション・バイト	動作モード
TOOL0	$\overline{\text{TRST}}$	OPJTAG	
H	L	0	通常動作モード（JP0→ポート）
L	L	0	フラッシュ・メモリ・プログラミング・モード
H	L	1	通常動作モード（JP0→JTAG）
L	L	1	フラッシュ・メモリ・プログラミング・モード
動作	H	1	オンチップ・デバッグ・モード（JP0→JTAG）

備考 H ：ハイ・レベル
L ：ロウ・レベル
×：任意

(1) 通常動作モード

システム・リセット解除後，各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) オンチップ・デバッグ・モード

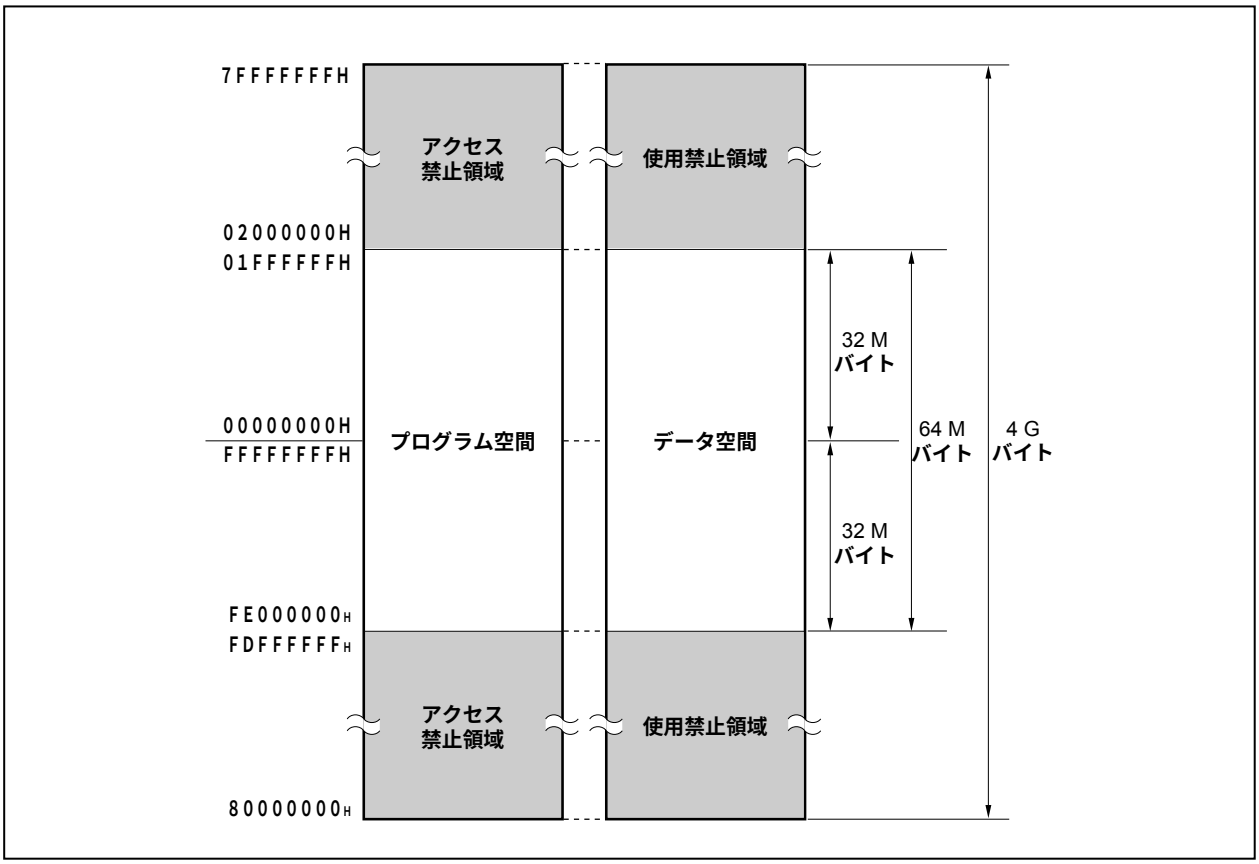
JTAG（Joint Test Action Group）の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第33章 オンチップ・デバッグ機能を参照してください。

3. 6 アドレス空間

3. 6. 1 CPUアドレス空間

V850E2S CPU は32 ビット・アーキテクチャであり，最大4 Gバイトのリニア・アドレス空間のうち，アクセス可能なアドレス範囲は，プログラム空間とデータ空間ともに最大64 Mバイトをサポートしています。

図3－4 アドレス空間上のイメージ



命令アドレスのアドレッシングにおいては，命令アドレスを保持するレジスタの上位6ビットには，25ビット目が符号拡張された値が自動的に設定されます。したがって，アドレッシング可能な範囲は，00000000H-01FFFFFEHおよびFE000000H-FFFFFFFEH となります（最下位ビットは常に0）。命令およびSWITCH, CALLT, SYSCALL 命令で参照するテーブルは，必ずこの命令アドレッシング可能なアドレス範囲に配置してください。

データ・アクセスは，物理的に配置された64 Mバイトを越える領域へのアドレッシングでは，上位6ビットの除いたアドレスによってミラーリングされるため，4 Gバイト空間のどこに配置してもアクセスが可能です。しかし，将来的な互換性維持のため，このようなミラーリングを前提としたデータ・アドレッシングを運用することは禁止とします。

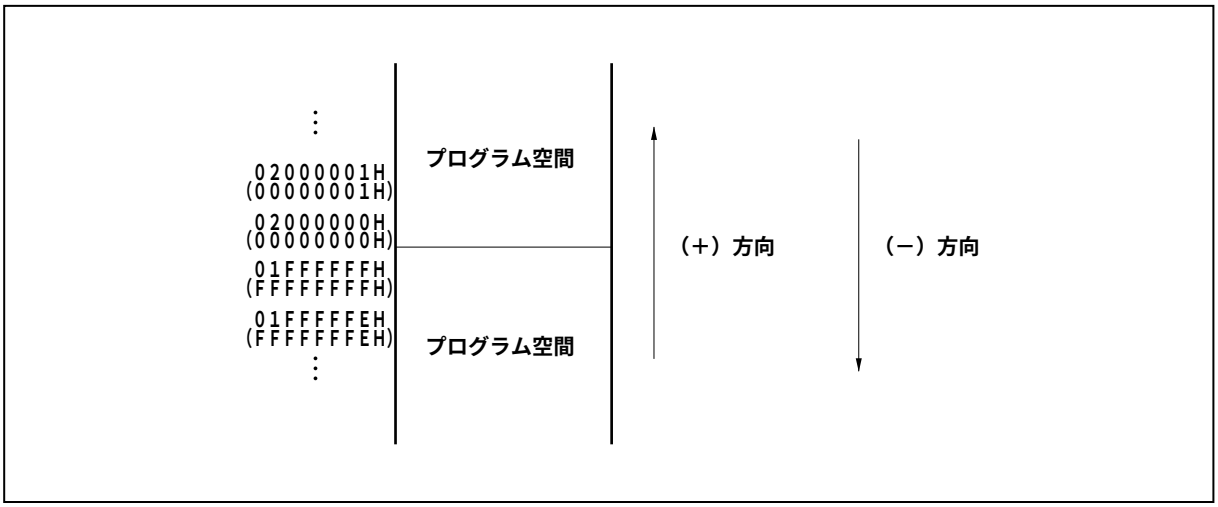
3. 6. 2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

命令アドレスのアドレッシングにおいては，命令アドレスを保持するレジスタの上位6ビットには，25ビット目が符号拡張された値が自動的に設定されます。

したがって，プログラム空間の上限のFFFFFFFFH番地と下限である00000000H番地，および，02000000H番地と01FFFFFFH番地は連続したアドレスになり，この境界でラップ・アラウンドします。

図3－5 プログラム空間のラップ・アラウンド

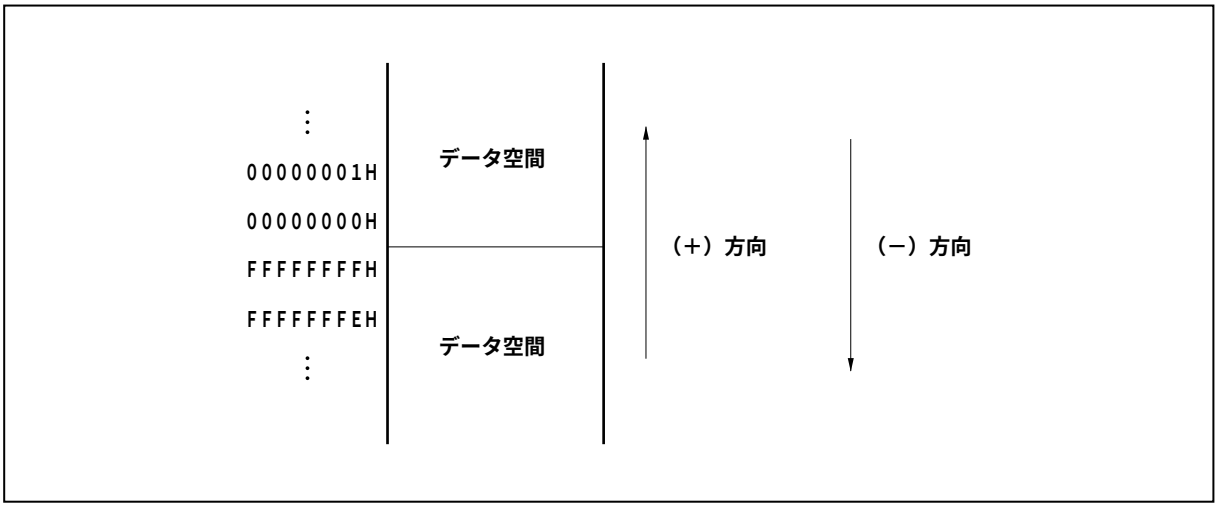


(2) データ空間

オペランド・アドレス計算で26ビットを越える演算結果は無視します。

したがって，データ空間の上限のFFFFFFFFH番地と下限である00000000H番地は，連続したアドレスになり，この境界でラップ・アラウンドします。

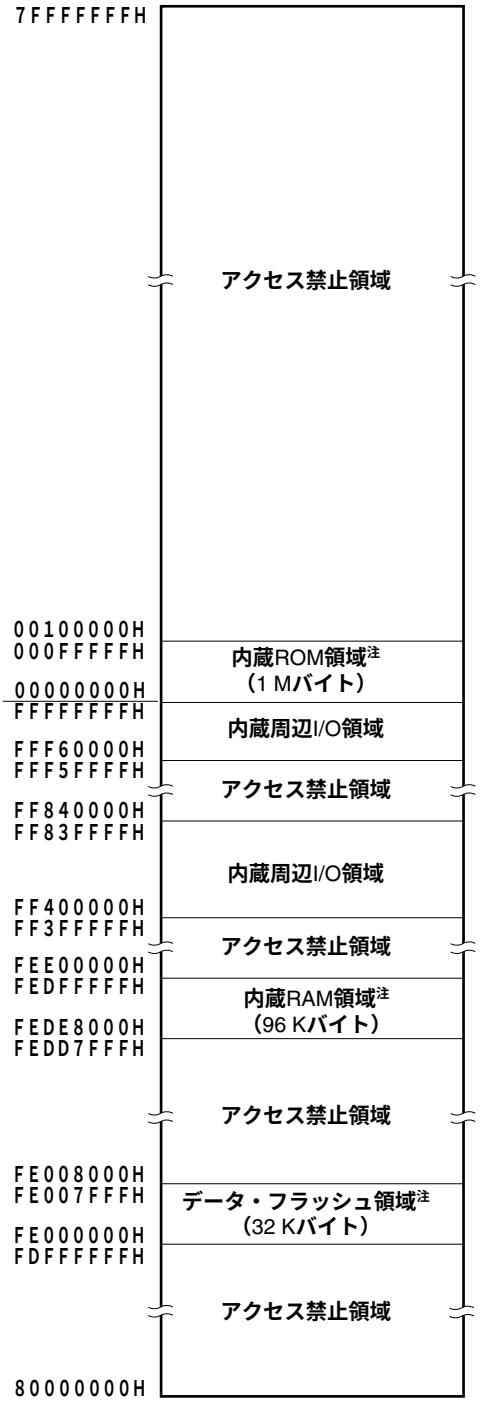
図3－6 データ空間のラップ・アラウンド



3. 6. 2 メモリ・マップ

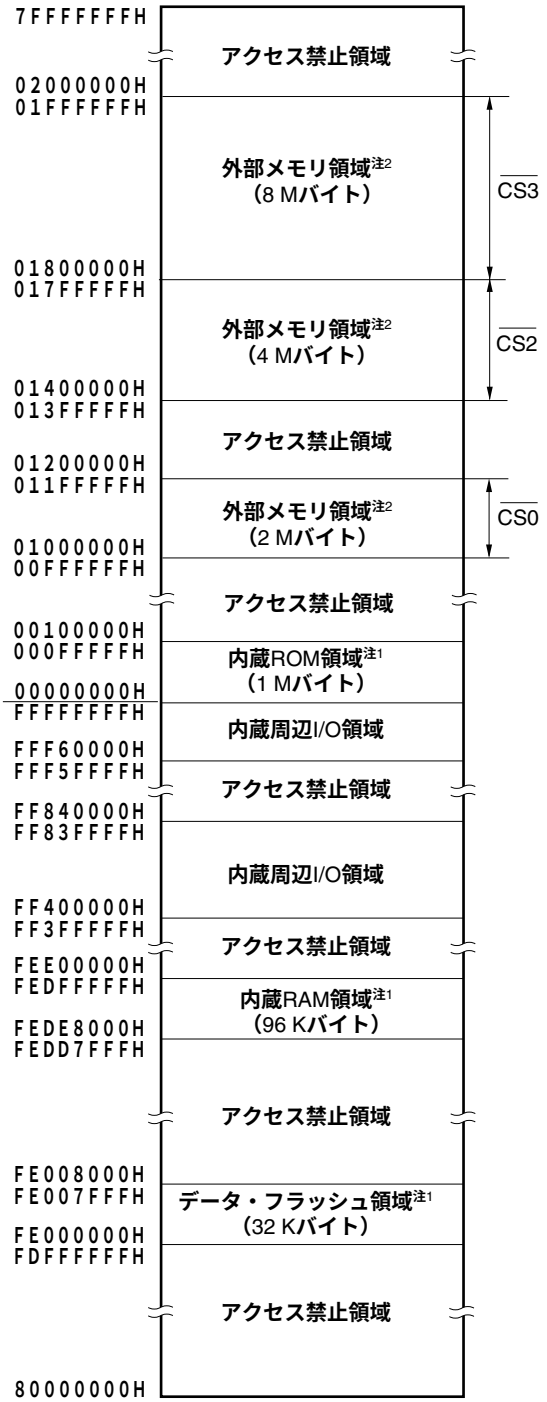
V850E2/Jx4-Lでは，次に示すように各領域を予約しています。

図3－7 データ・メモリ・マップ（V850E2/JC4-L, V850E2/JE4-L）



注 μPD70F4056の場合の例です。他のV850E2/JC4-L, V850E2/JE4-L製品については表1－8を参照してください。

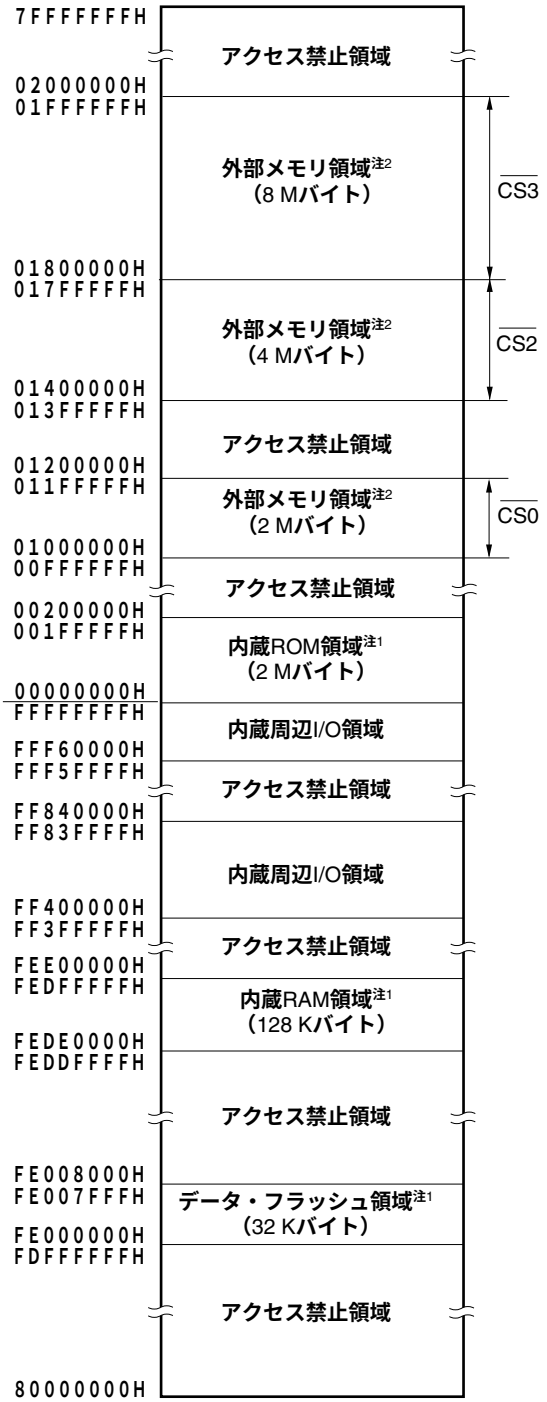
図3－8 データ・メモリ・マップ（V850E2/JF4-L）



注1. μPD70F4062の場合の例です。他のV850E2/JF4-L製品については表1－8を参照してください。

2. V850E2/JF4-Lはアドレス端子が19本であり，512 Kバイトのイメージが繰り返し見えます。

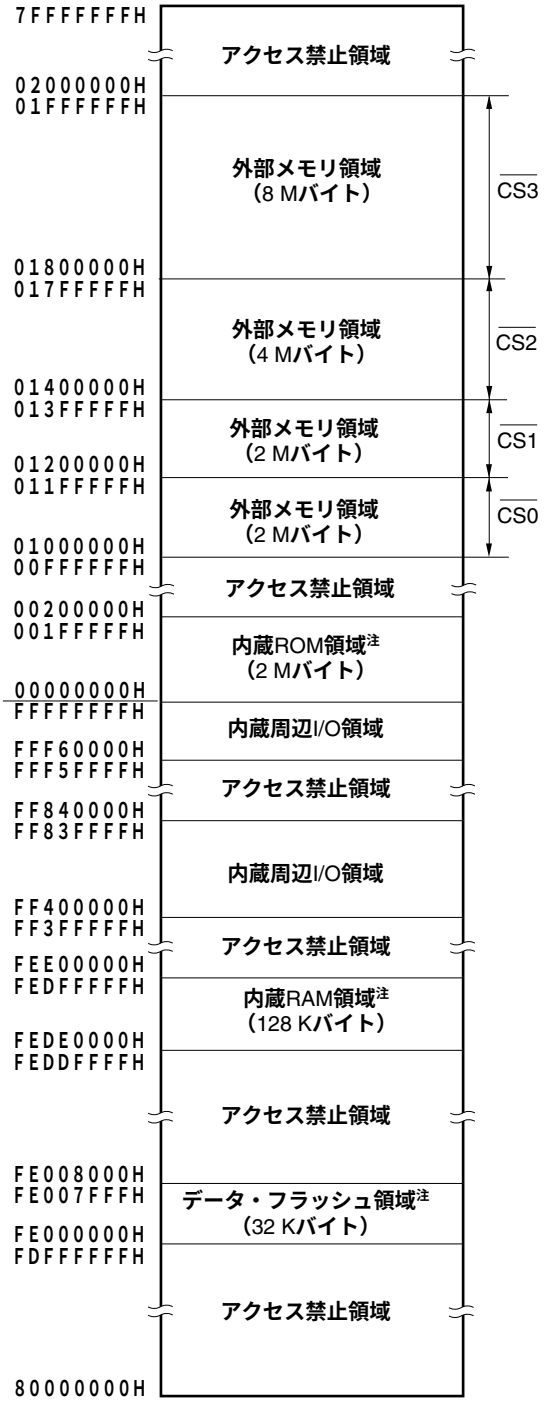
図3－9 データ・メモリ・マップ（V850E2/JG4-L）



注1. μPD70F4070の場合の例です。他のV850E2/JG4-L製品については表1－8を参照してください。

2. V850E2/JG4-Lはアドレス端子が22本であり，4 Mバイトのイメージが繰り返し見えます。

図3－10 データ・メモリ・マップ（V850E2/JH4-L, V850E2/JJ4-L）



注 μPD70F4075, 70F4080**の場合の例です。他の**V850E2/JH4-L, V850E2/JJ4-L**製品については表**1－8**を参照してください。**

3. 6. 3 領　　域

(1) 内蔵ROM領域

内蔵ROM領域は，最大16 Mバイトが予約されています。

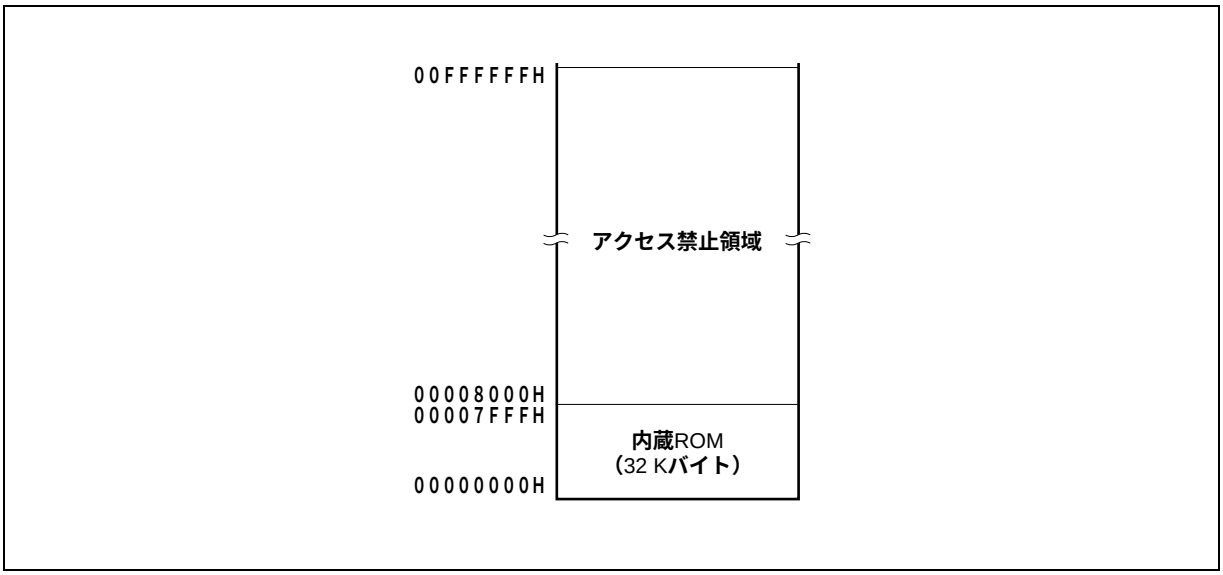
(a) 内蔵ROM（32 Kバイト）

次の製品には00000000Hから00007FFFH番地に32 Kバイト実装しています。

00008000Hから00FFFFFFH番地はアクセス禁止領域です。

・μPD70F4035, 70F4041, 70F4049

図3－11　内蔵ROM領域（32 Kバイト）



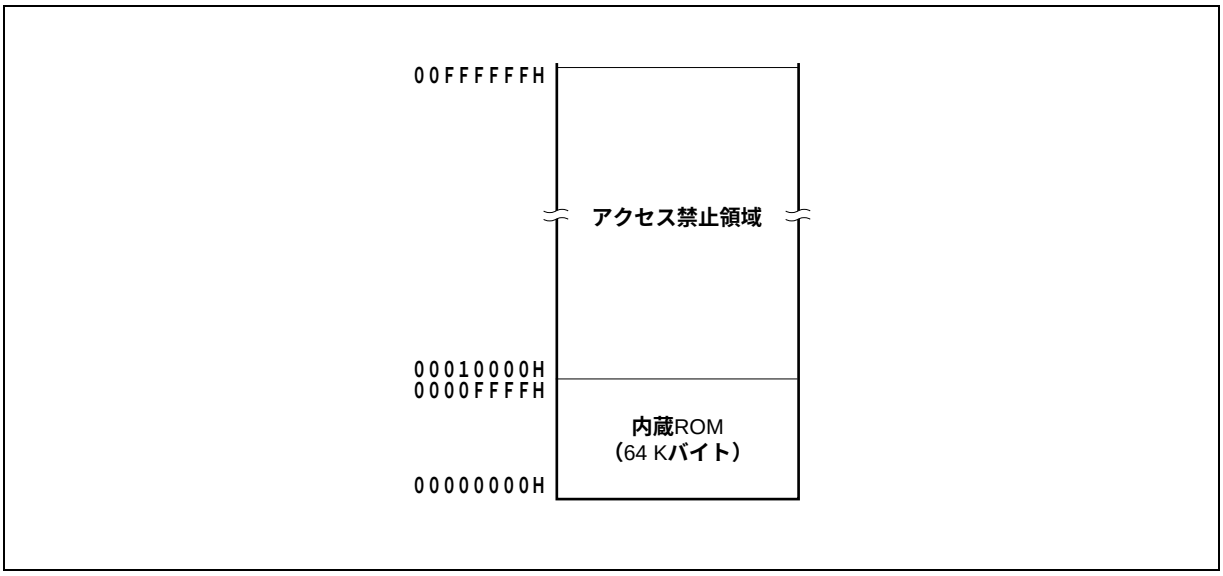
(b) 内蔵ROM（64 Kバイト）

次の製品には00000000Hから0000FFFFH番地に64 Kバイト実装しています。

00010000Hから00FFFFFFH番地はアクセス禁止領域です。

• μPD70F4036, 70F4042, 70F4050

図3－12 内蔵ROM領域（64 Kバイト）



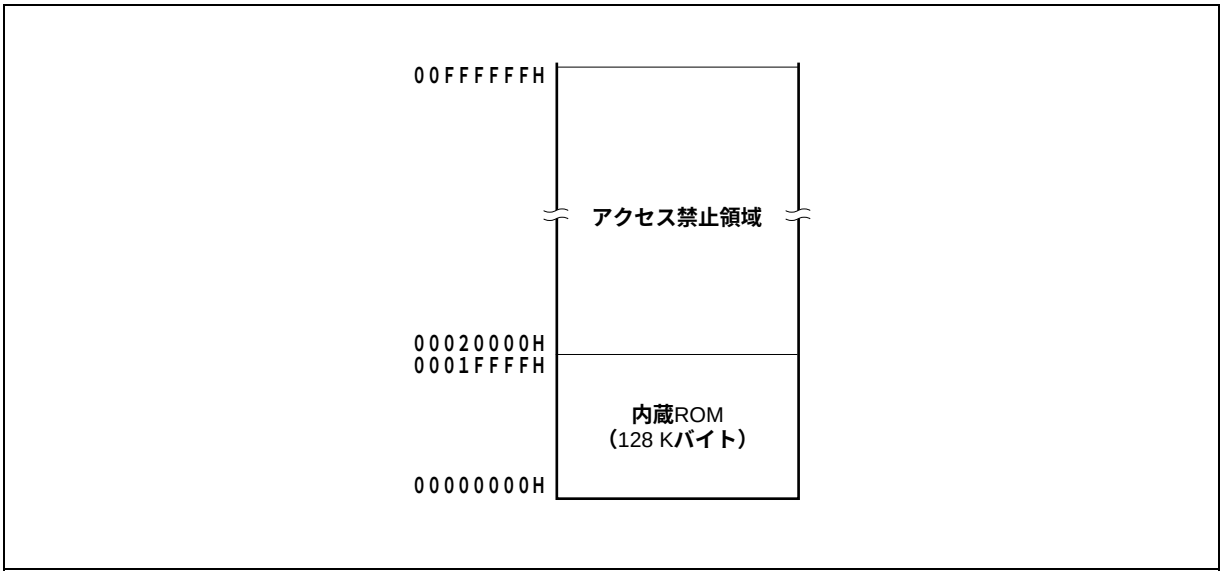
(c) 内蔵ROM（128 Kバイト）

次の製品には00000000Hから0001FFFFH番地に128 Kバイト実装しています。

00020000Hから00FFFFFFH番地はアクセス禁止領域です。

• μPD70F4037, 70F4043, 70F4051, 70F4057, 70F4063

図3－13 内蔵ROM領域（128 Kバイト）



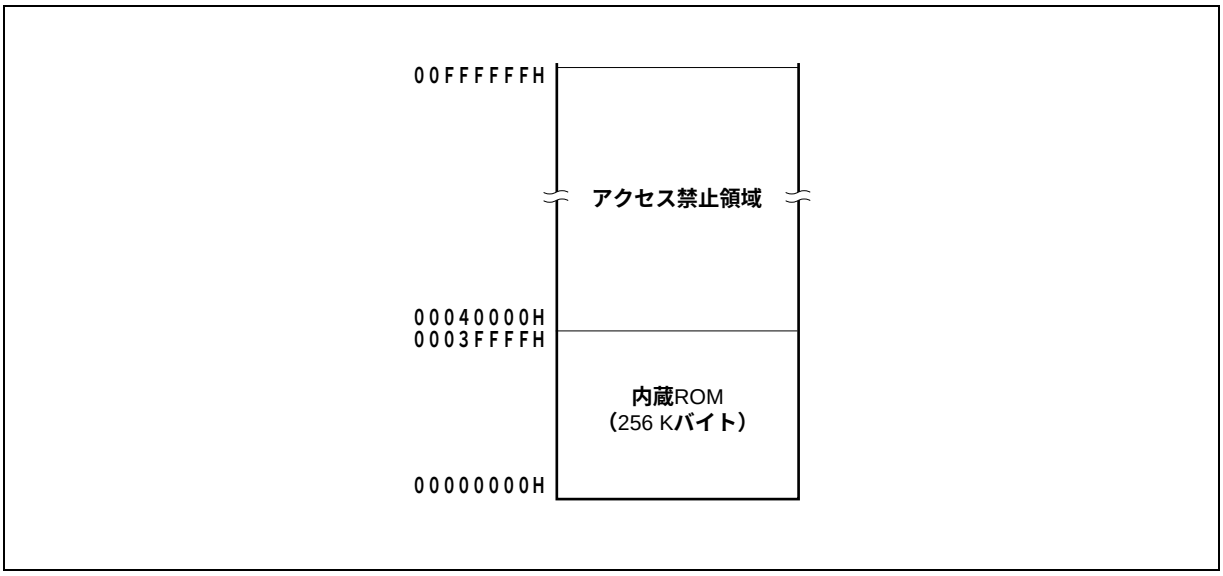
（d）内蔵ROM（256 Kバイト）

次の製品には00000000Hから0003FFFFH番地に256 Kバイト実装しています。

00040000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4038, 70F4044, 70F4052, 70F4058, 70F4064

図3－14 内蔵ROM領域（256 Kバイト）



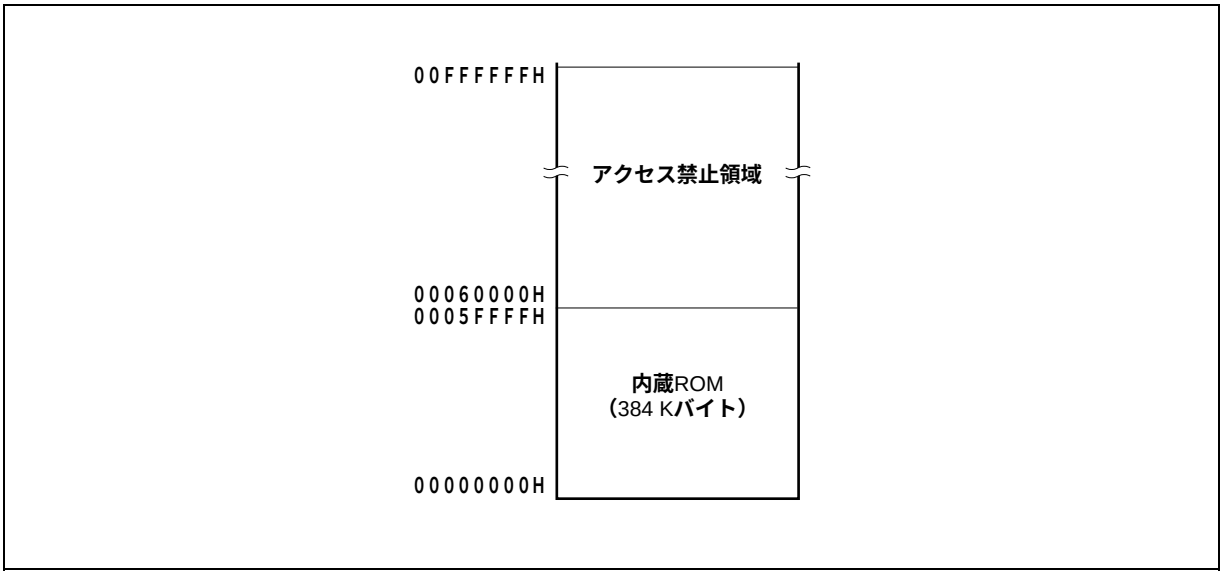
（e）内蔵ROM（384 Kバイト）

次の製品には00000000Hから0005FFFFH番地に384 Kバイト実装しています。

00060000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4039, 70F4045, 70F4053, 70F4059, 70F4065

図3－15 内蔵ROM領域（384 Kバイト）



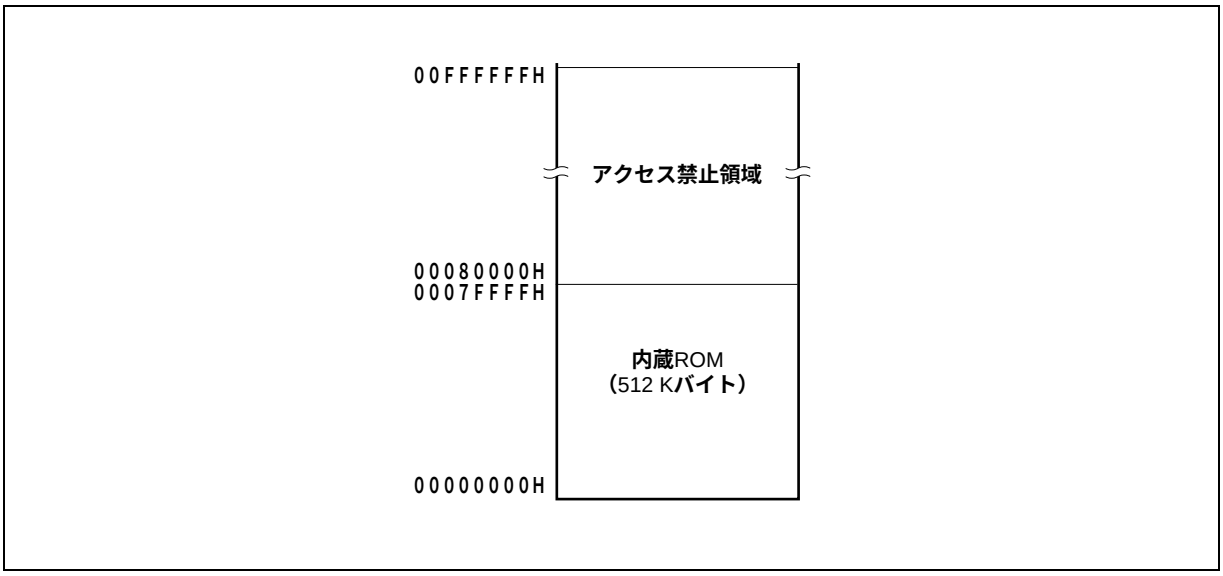
(f) 内蔵ROM（512 Kバイト）

次の製品には00000000Hから0007FFFFH番地に512 Kバイト実装しています。

00080000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4040, 70F4046, 70F4054, 70F4060, 70F4066, 70F4071, 70F4076

図3－16 内蔵ROM領域（512 Kバイト）



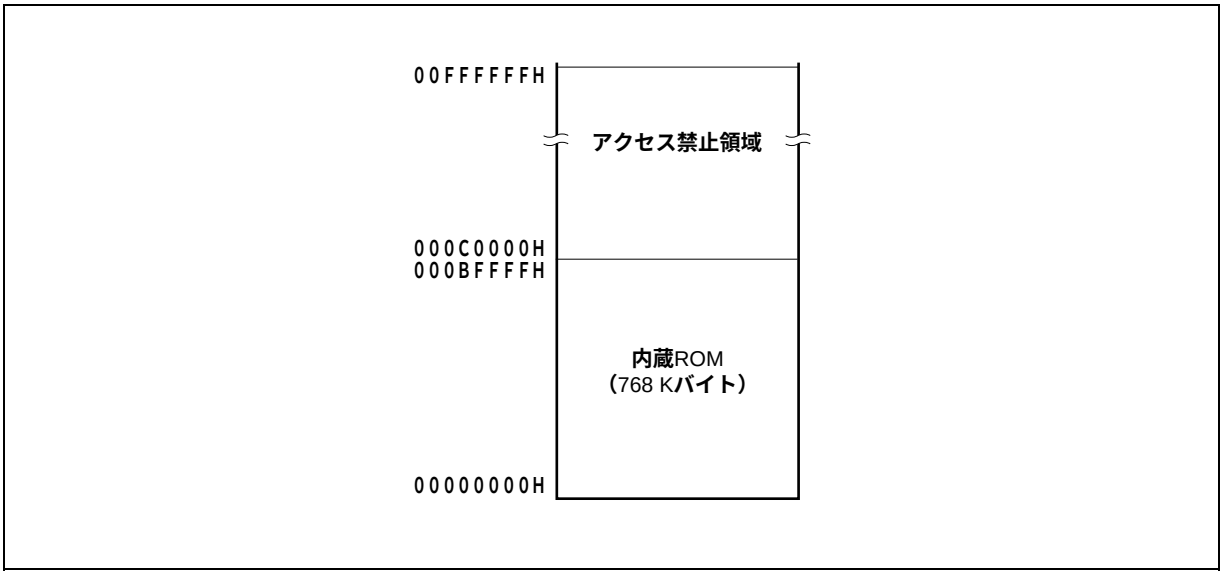
(g) 内蔵ROM（768 Kバイト）

次の製品には00000000Hから000BFFFFH番地に768 Kバイト実装しています。

000C0000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4055, 70F4061, 70F4067, 70F4072, 70F4077

図3－17 内蔵ROM領域（768 Kバイト）



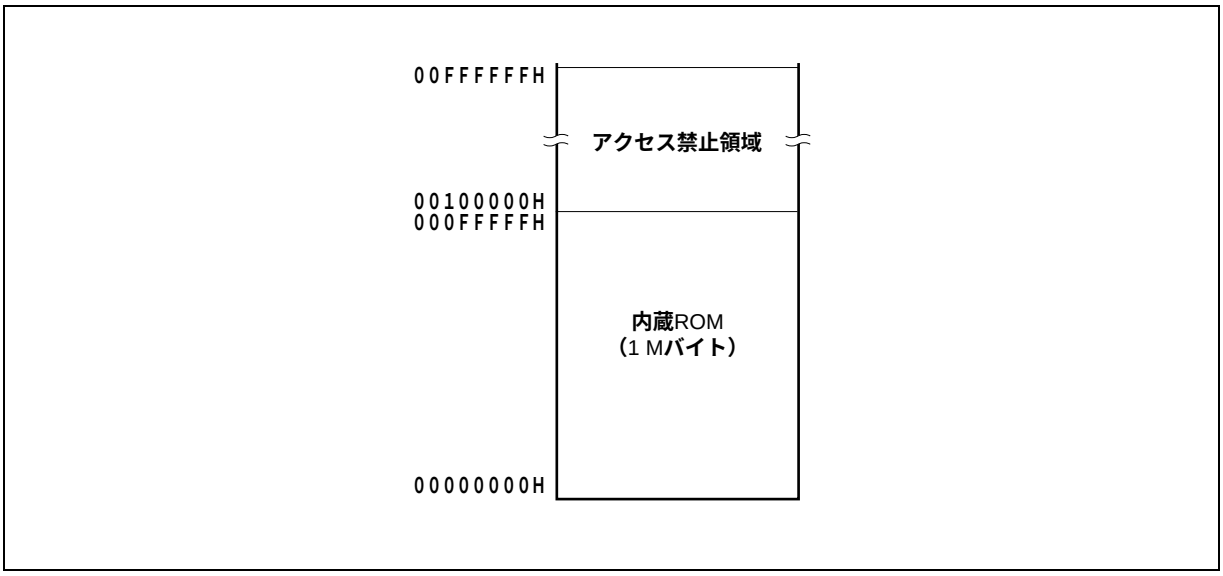
(h) 内蔵ROM（1 Mバイト）

次の製品には00000000Hから000FFFFFH番地に1 Mバイト実装しています。

00100000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4056, 70F4062, 70F4068, 70F4073, 70F4078

図3－18 内蔵ROM領域（1 Mバイト）



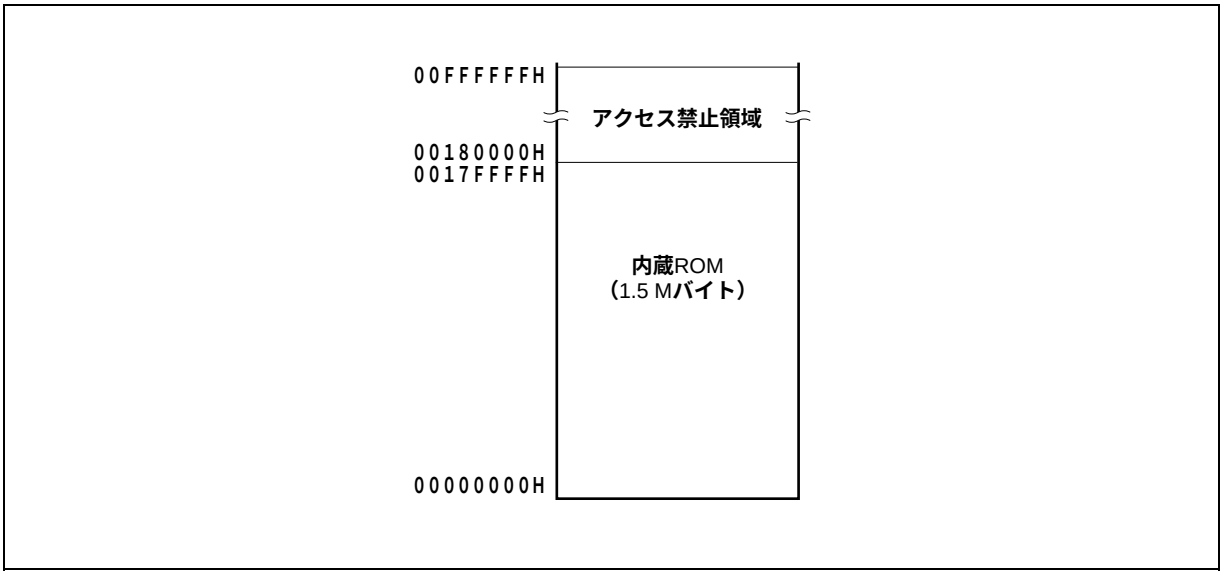
(i) 内蔵ROM（1.5 Mバイト）

次の製品には00000000Hから0017FFFFH番地に1.5 Mバイト実装しています。

00180000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4069, 70F4074, 70F4079

図3－19 内蔵ROM領域（1.5 Mバイト）



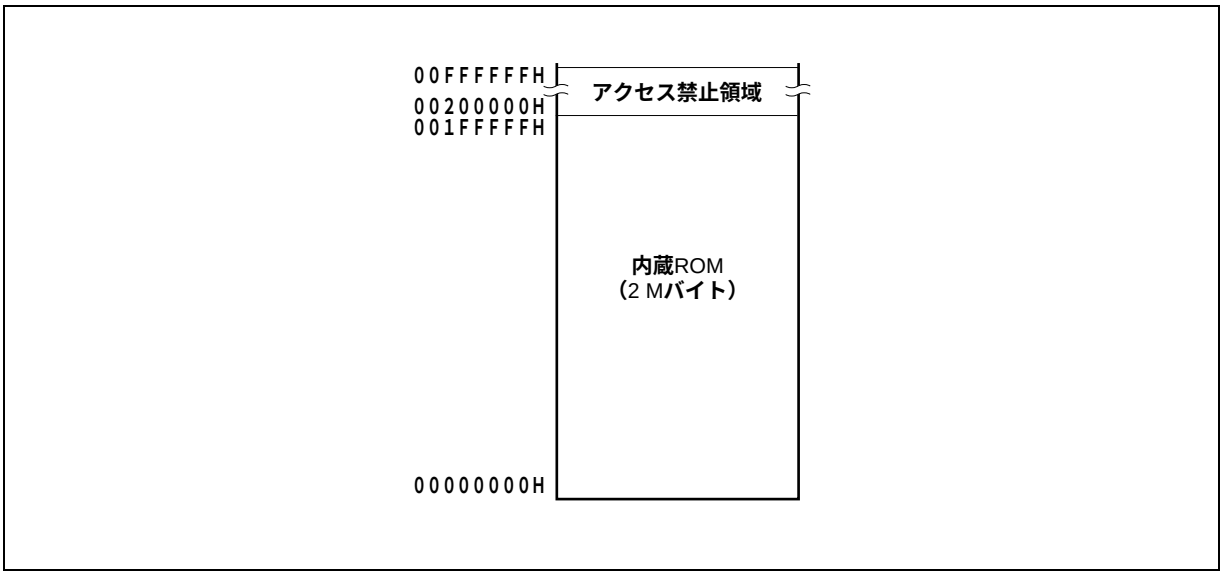
(j) 内蔵ROM（2 Mバイト）

次の製品には00000000Hから001FFFFFH番地に2 Mバイト実装しています。

00200000Hから00FFFFFFH番地はアクセス禁止領域です。

- μPD70F4070, 70F4075, 70F4080

図3－20 内蔵ROM領域（2 Mバイト）



(2) 内蔵RAM領域

内蔵RAM領域は，FEC00000H-FEDFFFFFH番地（物理アドレス）の最大2 Mバイトが予約されています。

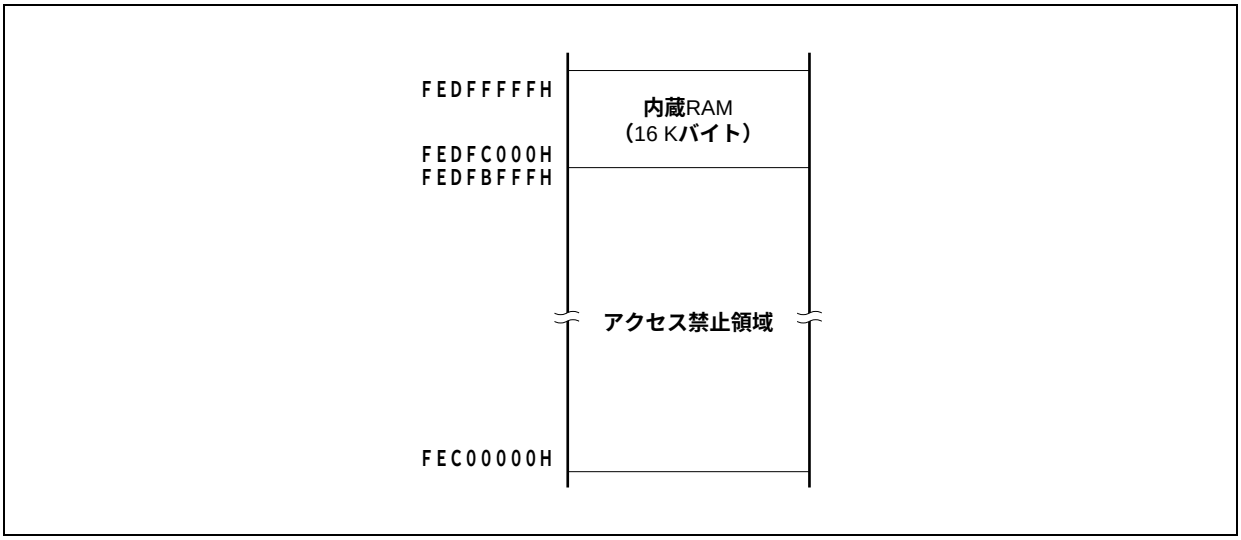
(a) 内蔵RAM（16 Kバイト）

次の製品にはFEDFC000HからFEDFFFFFH番地に16 Kバイト実装しています。

FEC00000HからFEDFBFFFH番地はアクセス禁止領域です。

- μPD70F4035, 70F4041, 70F4049

図3－21 内蔵RAM領域（16 Kバイト）



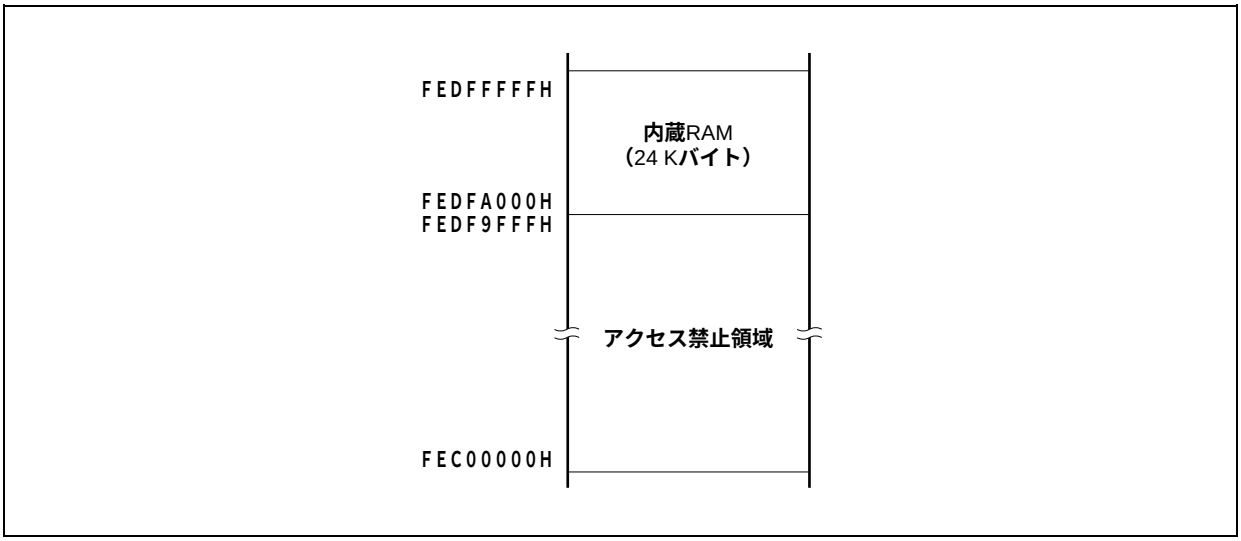
(b) 内蔵RAM（24 Kバイト）

次の製品にはFEDFA000HからFEDFFFFFH番地に24 Kバイト実装しています。

FEC00000HからFEDF9FFFH番地はアクセス禁止領域です。

- μPD70F4036, 70F4037, 70F4042, 70F4043, 70F4050, 70F4051, 70F4057, 70F4063

図3－22 内蔵RAM領域（24 Kバイト）



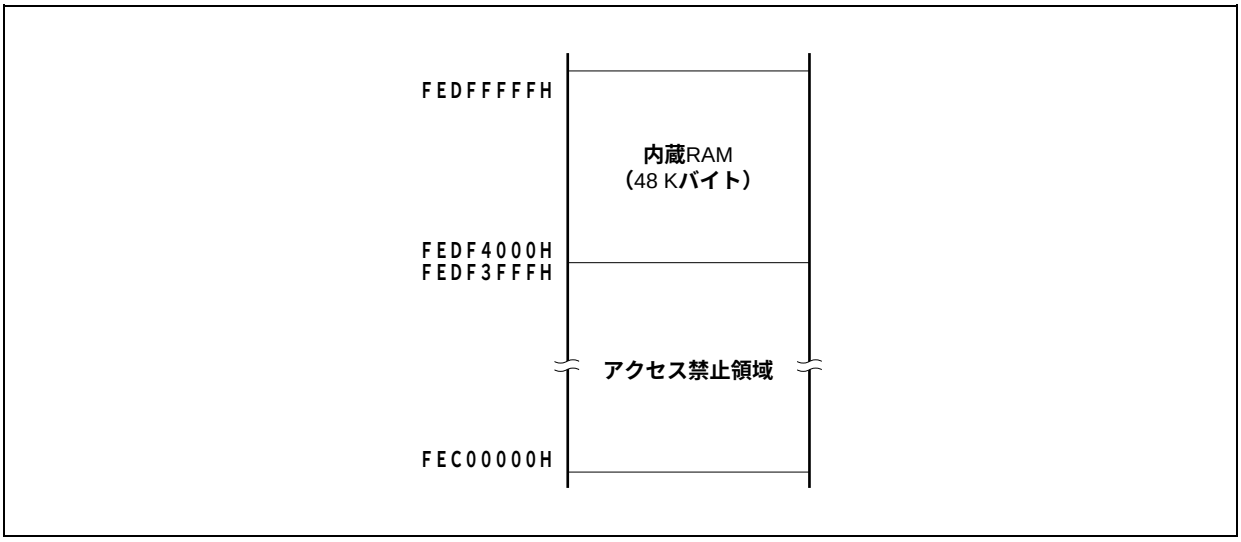
（c）内蔵RAM（48 Kバイト）

次の製品にはFEDF4000Hからの FEDFFFFFH番地に48 Kバイト実装しています。

FEC00000Hから FEDF3FFFH番地はアクセス禁止領域です。

・μPD70F4038, 70F4044, 70F4052, 70F4058, 70F4064

図3－23 内蔵RAM領域（48 Kバイト）



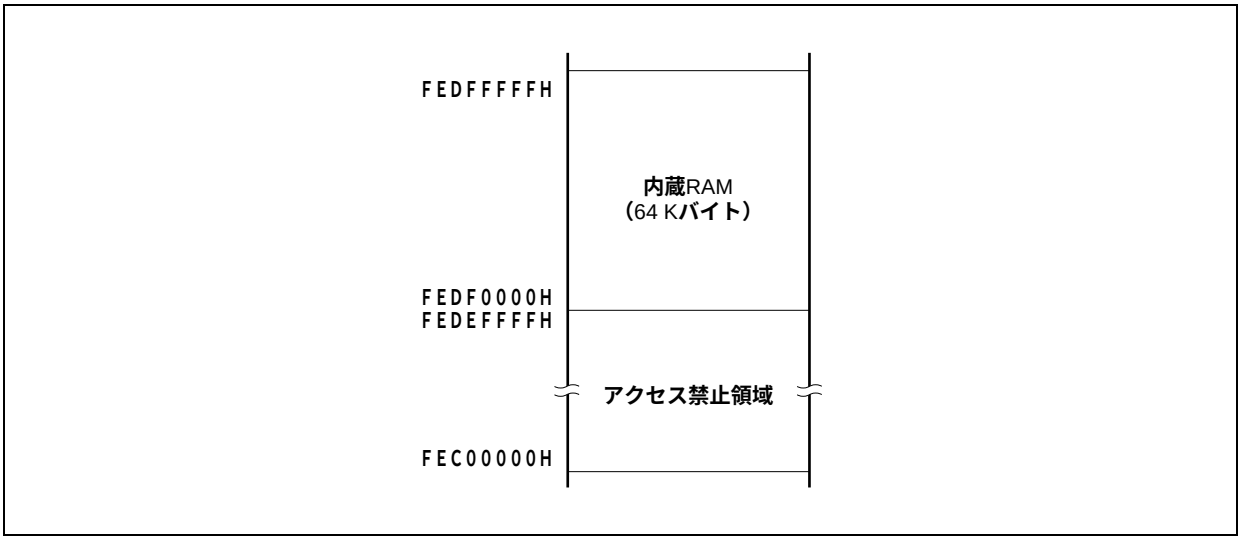
（d）内蔵RAM（64 Kバイト）

次の製品にはFEDF0000Hからの FEDFFFFFH番地に64 Kバイト実装しています。

FEC00000Hから FEDEFFFFH番地はアクセス禁止領域です。

・μPD70F4039, 70F4040, 70F4045, 70F4046, 70F4053, 70F4054, 70F4059, 70F4060, 70F4065, 70F4066, 70F4071, 70F4076

図3－24 内蔵RAM領域（64 Kバイト）



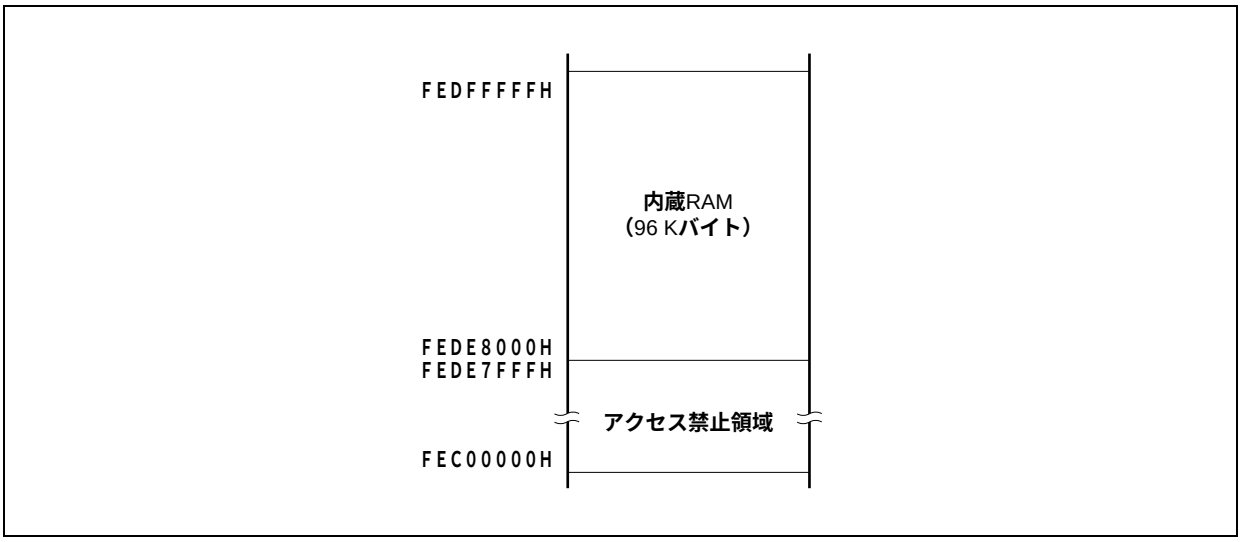
(e) 内蔵RAM（96 Kバイト）

次の製品にはFEDE8000Hからの FEDFFFFFH番地に96 Kバイト実装しています。

FEC00000Hからの FEDE7FFFH番地はアクセス禁止領域です。

- μPD70F4055, 70F4056, 70F4061, 70F4062, 70F4067, 70F4068, 70F4072, 70F4073, 70F4077, 70F4048

図3－25 内蔵RAM領域（96 Kバイト）



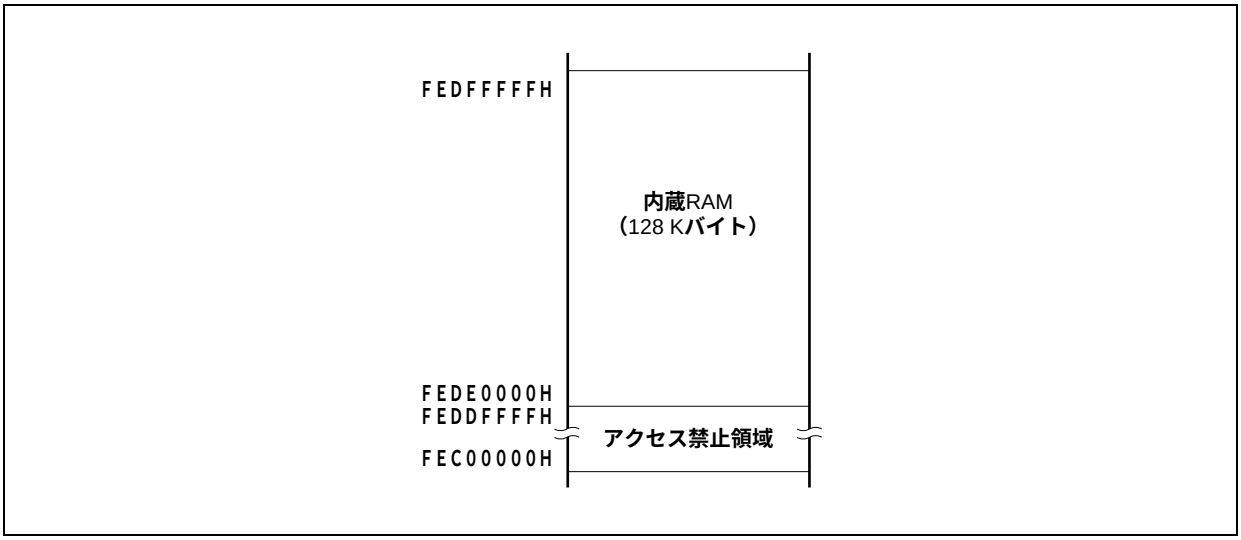
(f) 内蔵RAM（128 Kバイト）

次の製品にはFEDE0000Hからの FEDFFFFFH番地に128 Kバイト実装しています。

FEC00000Hからの FEDDFFFFH番地はアクセス禁止領域です。

- μPD70F4069, 70F4070, 70F4074, 70F4075, 70F4079, 70F4080

図3－26 内蔵RAM領域（128 Kバイト）



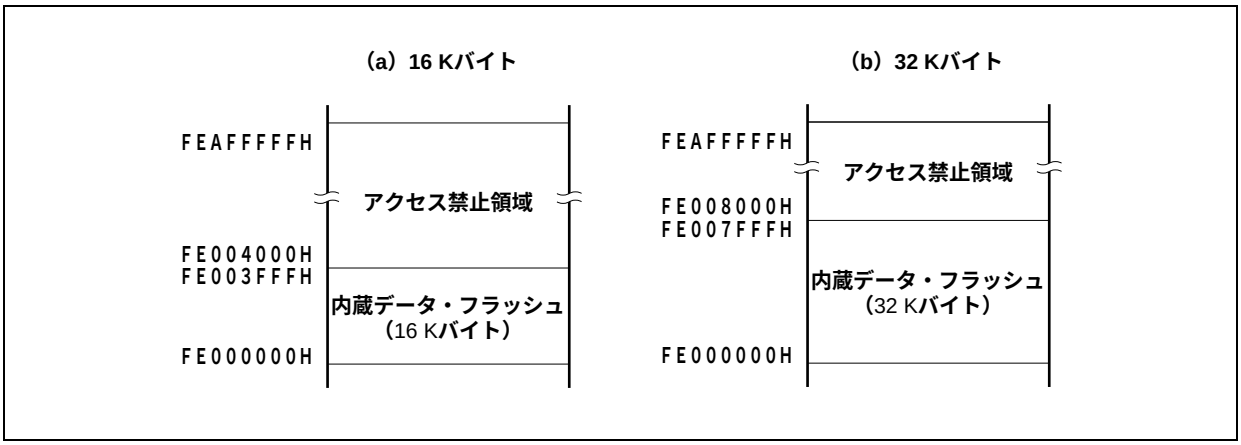
(3) 内蔵データ・フラッシュ領域

内蔵データ・フラッシュ領域は，FE000000H-FEAFFFFFH番地（物理アドレス）の最大12 Mバイトが予約されています。製品ごとに実装されている内蔵データ・フラッシュの違いを表3－9に示します

表3－9 内蔵データ・フラッシュ

内蔵データ・フラッシュ・サイズ	愛　称	品　名
16 Kバイト	V850E2/JC4-L	μPD70F4035, 70F4036, 70F4037, 70F4038, 70F4039, 70F4040
	V850E2/JC4-L	μPD70F4041, 70F4042, 70F4043, 70F4044, 70F4045, 70F4046
	V850E2/JE4-L	μPD70F4049, 70F4050, 70F4051, 70F4052, 70F4053, 70F4054
	V850E2/JF4-L	μPD70F4057, 70F4058, 70F4059, 70F4060
	V850E2/JG4-L	μPD70F4063, 70F4064, 70F4065, 70F4066
	V850E2/JH4-L	μPD70F4071
	V850E2/JJ4-L	μPD70F4076
32 Kバイト	V850E2/JE4-L	μPD70F4055, 70F4056
	V850E2/JF4-L	μPD70F4061, 70F4062
	V850E2/JG4-L	μPD70F4067, 70F4068, 70F4069, 70F4070
	V850E2/JH4-L	μPD70F4072, 70F4073, 70F4074, 70F4075
	V850E2/JJ4-L	μPD70F4077,70F4078, 70F4079, 70F4080

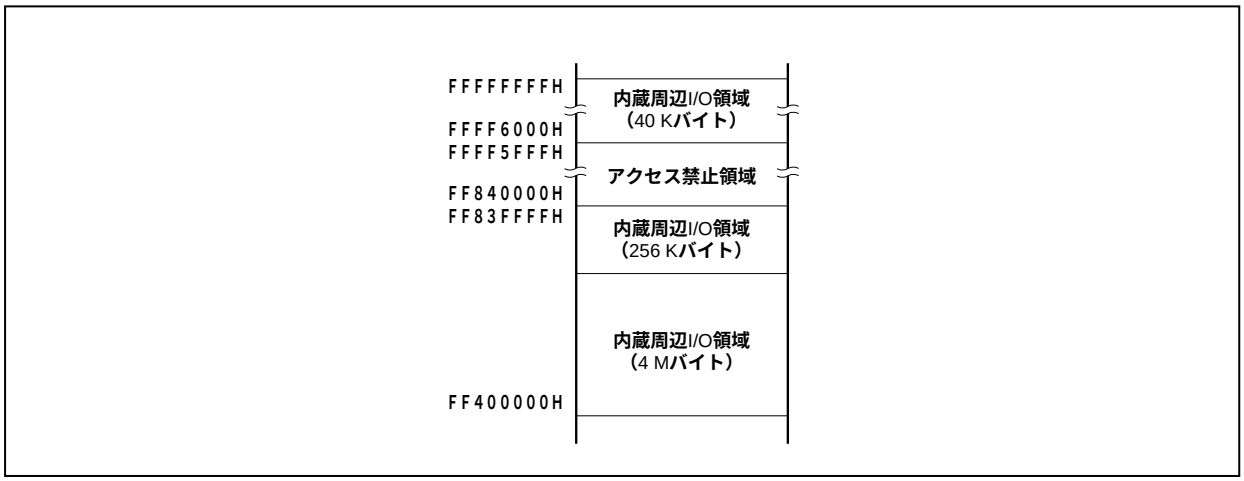
図3－27 内蔵データ・フラッシュ領域



(4) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFF400000-FF83FFFFH, FFF60000H-FFFFFFFFH番地を予約しています。

図3ー28 内蔵周辺I/O領域



内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意1. 周辺I/Oレジスタにワード・アクセスを行うと，アドレスの下位2ビットを無視したワード領域に対し下位，上位の順番でハーフワード・アクセスを2回行います。

2. バイト・アクセス可能な周辺I/Oレジスタにハーフワード・アクセスした場合，下位8ビットが有効になります。上位8ビットに対しては，リード時は不定になり，ライト時は無効になります。

3. レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

(5) 外部メモリ領域

外部メモリ領域として16 Mバイト（01000000H-01FFFFFFH）あります。詳細は第5章 バス制御機能を参照してください。

第4章 ポート機能

4. 1 特 徴

V850E2/Jx4-Lは1ビット単位で入力／出力の指定が可能です

V850E2/Jx4-Lの入出力ポート数を次に示します。

品名	端子数	入力ポート数	入出力ポート数	総ポート数 （5Vトレラント対応）
V850E2/JC4-L	40ピン	5	23	28（0本）
	48ピン	5	31	36（0本）
V850E2/JE4-L	64ピン	5	45	50（0本）
V850E2/JF4-L	80ピン	5	61	66（2本）
V850E2/JG4-L	100ピン	5	81	86（2本）
V850E2/JH4-L	128ピン	5	107	112（8本）
V850E2/JJ4-L	144ピン	5	123	128（8本）

4. 2 ポートの基本構成

各製品のポートの構成を次に示します。

図4－1 ポートの構成図（V850E2/JC4-L：40ピン）

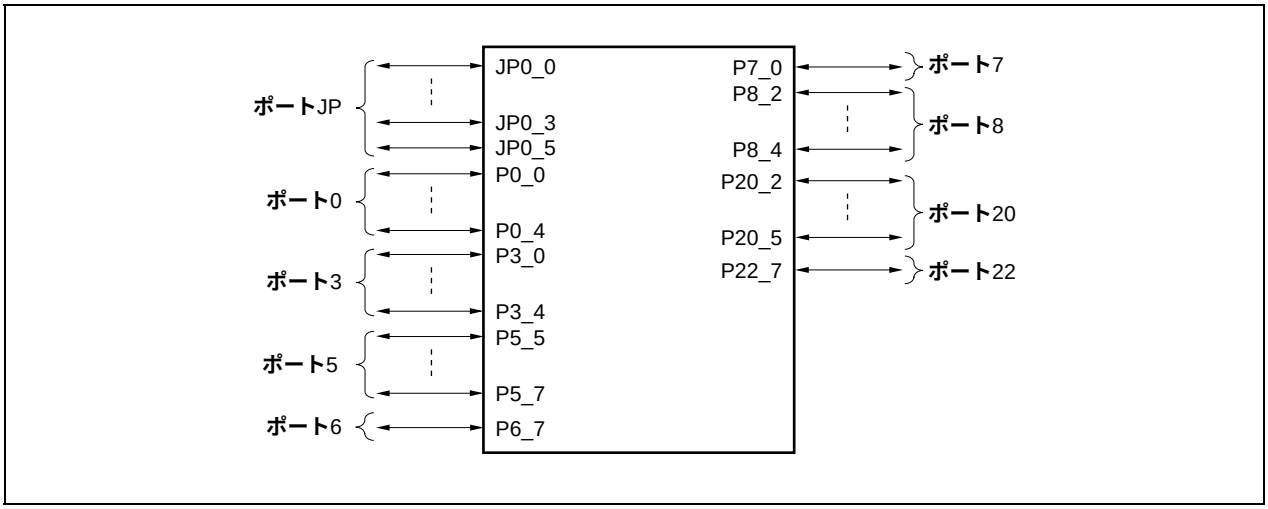


表4－1 各端子の入出力バッファ電源（V850E2/JC4-L：40ピン）

電 源	対応する端子
AV_{DD}	ポート20
V_{DD}/EV_{DD}	$\overline{TRST}$, ポート0, 3, 5-8, 22, JP0, $\overline{RESET}$
UV_{DD}	UDM, UDP

図4ー2 ポートの構成図（V850E2/JC4-L：48ピン）

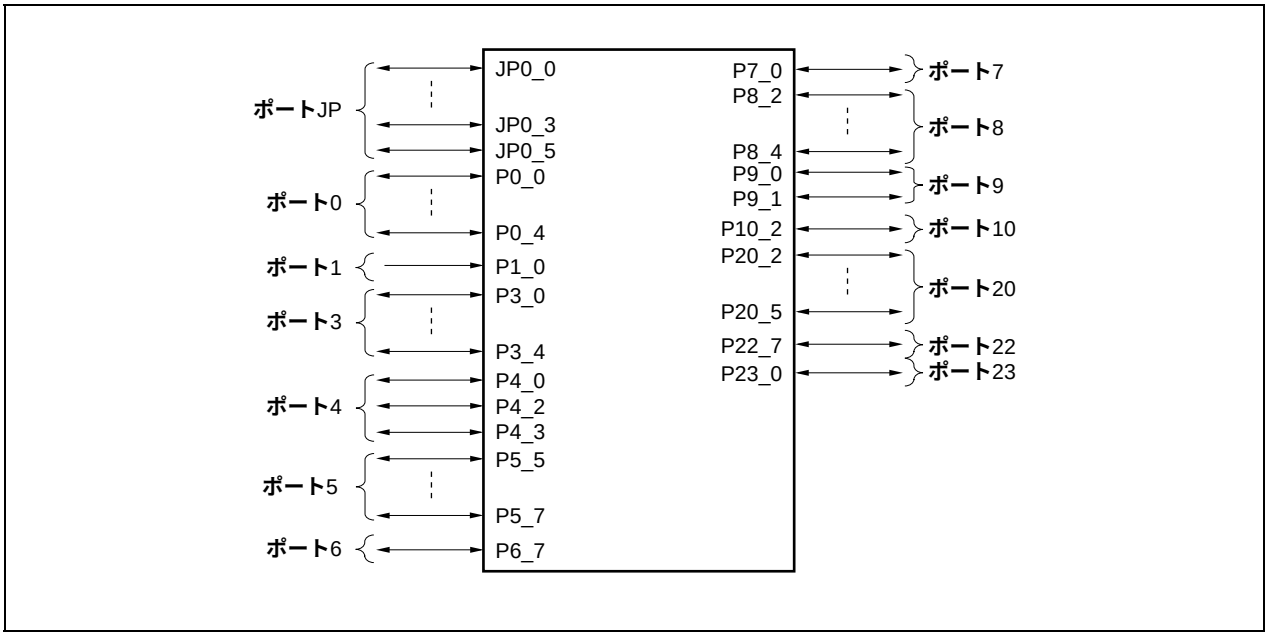


表4ー2 各端子の入出力バッファ電源（V850E2/JC4-L：48ピン）

電 源	対応する端子
AV_{DD}	ポート20
V_{DD}/EV_{DD}	$\overline{TRST}$, ポート0, 1, 3-10, 22, 23, JP0, $\overline{RESET}$
UV_{DD}	UDM, UDP

図4－3 ポートの構成図（V850E2/JE4-L）

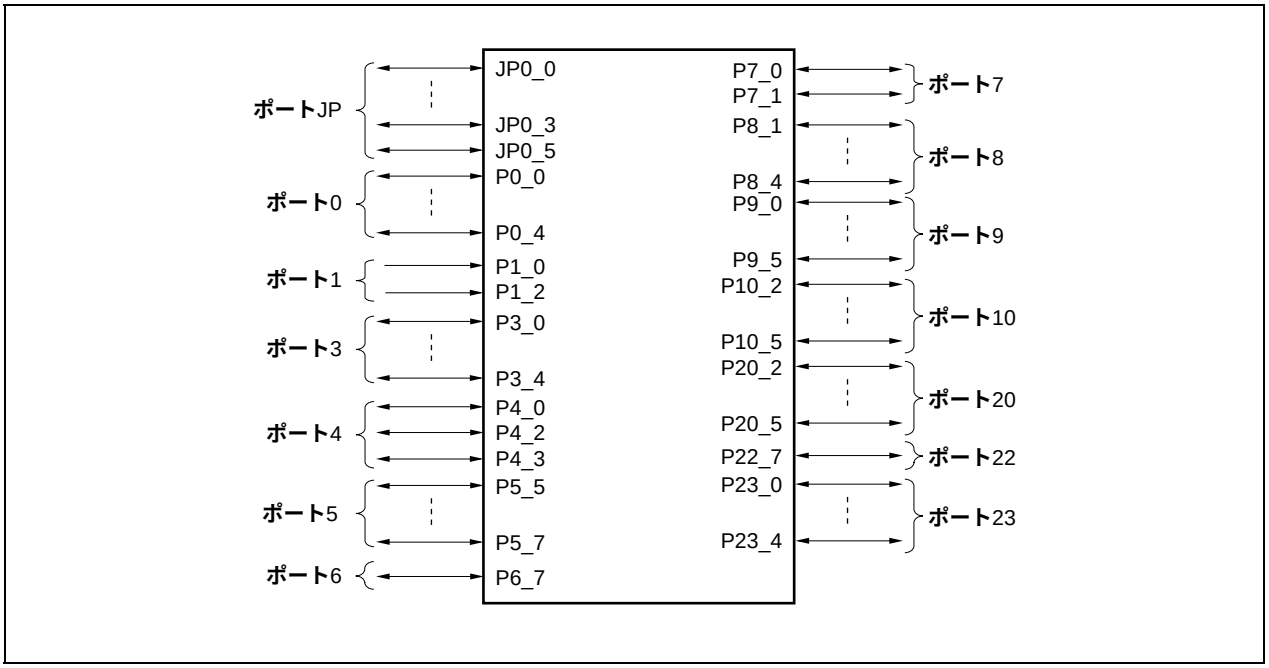


表4－3 各端子の入出力バッファ電源（V850E2/JE4-L）

電 源	対応する端子
AV_{DD}	ポート20
EV_{DD}	$\overline{TRST}$, P1_2, ポート3-10, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0

図4ー4 ポートの構成図（V850E2/JF4-L）

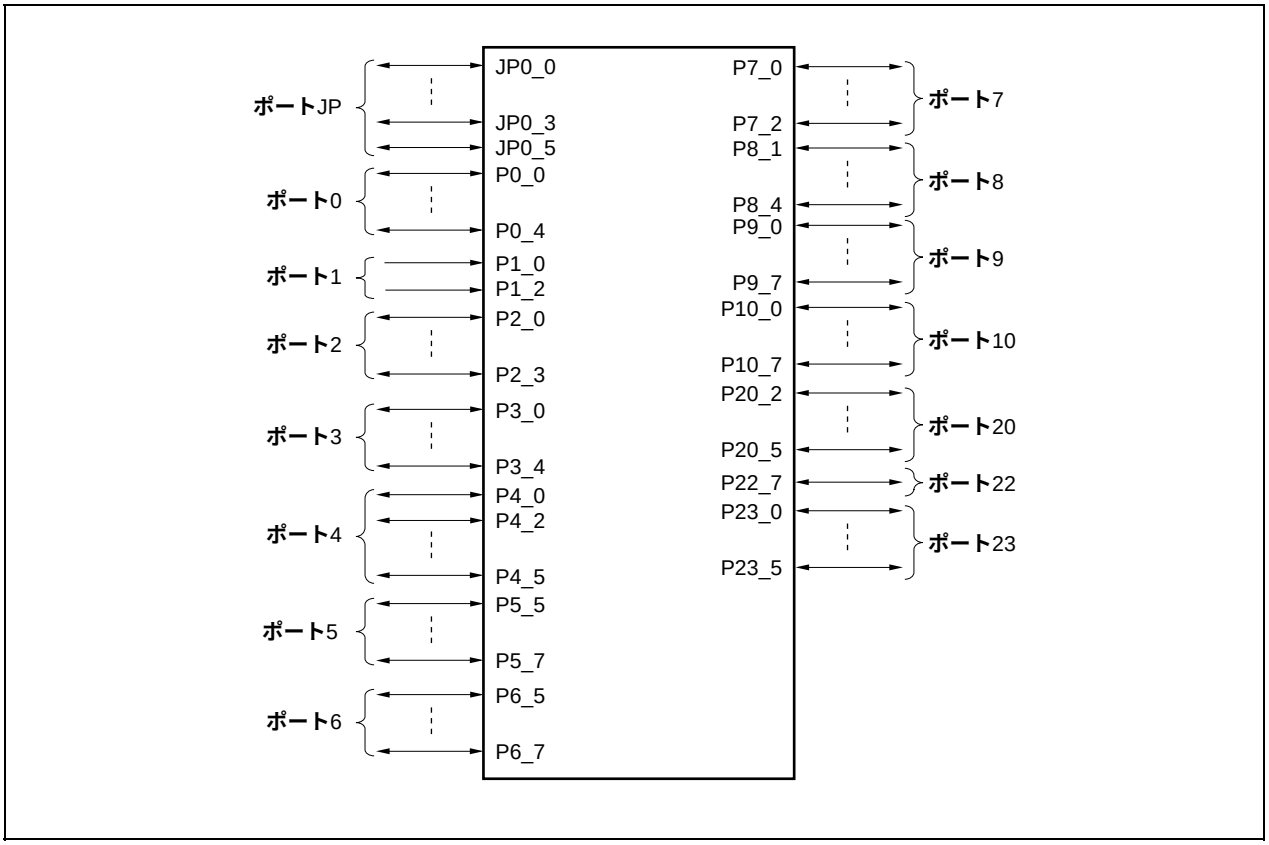


表4ー4 各端子の入出力バッファ電源（V850E2/JF4-L）

電 源	対応する端子
AV_{DD}	ポート20
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-10, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0

図4－5 ポートの構成図（V850E2/JG4-L）

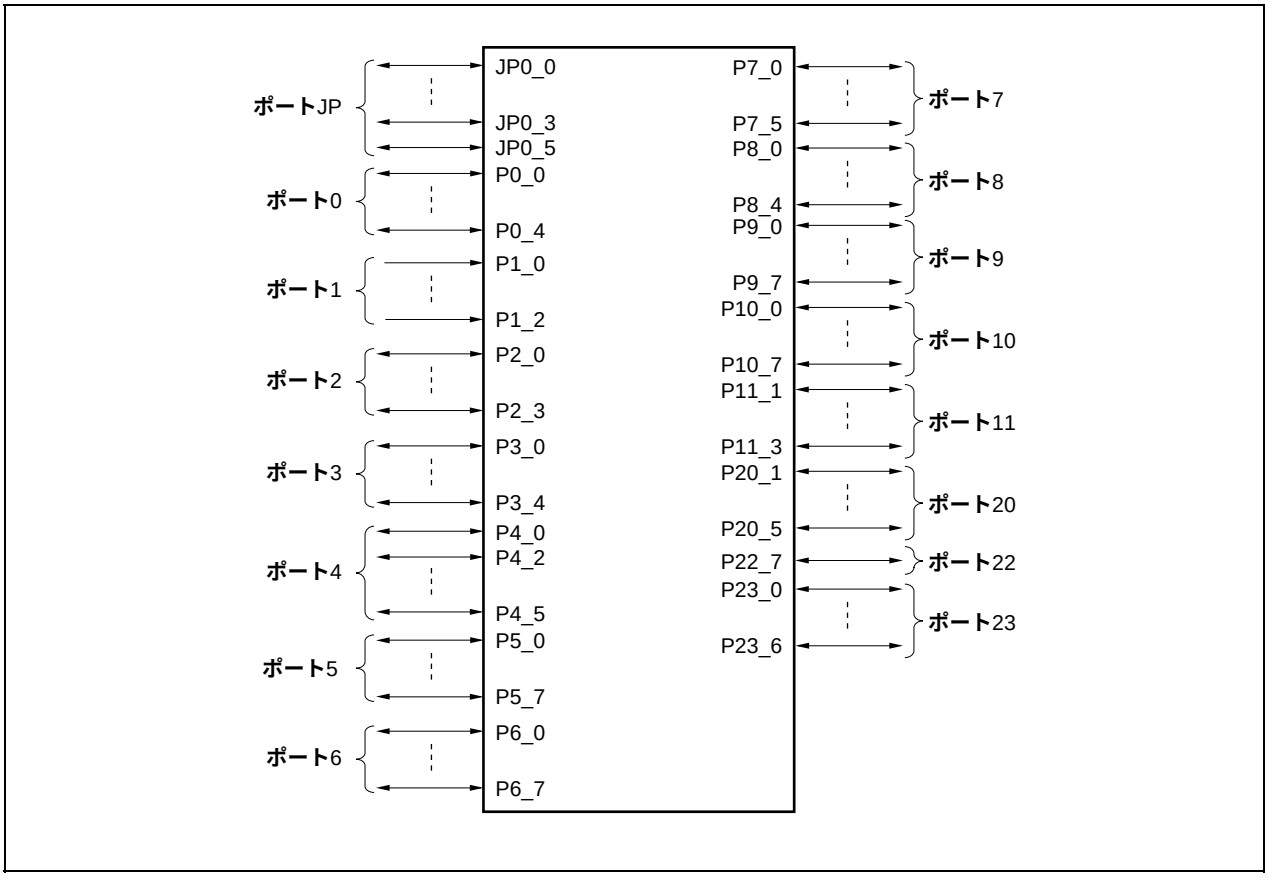


表4－5 各端子の入出力バッファ電源（V850E2/JG4-L）

電 源	対応する端子
AV_{DD}	ポート20
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-11, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0, P1_1

図4－6 ポートの構成図（V850E2/JH4-L）

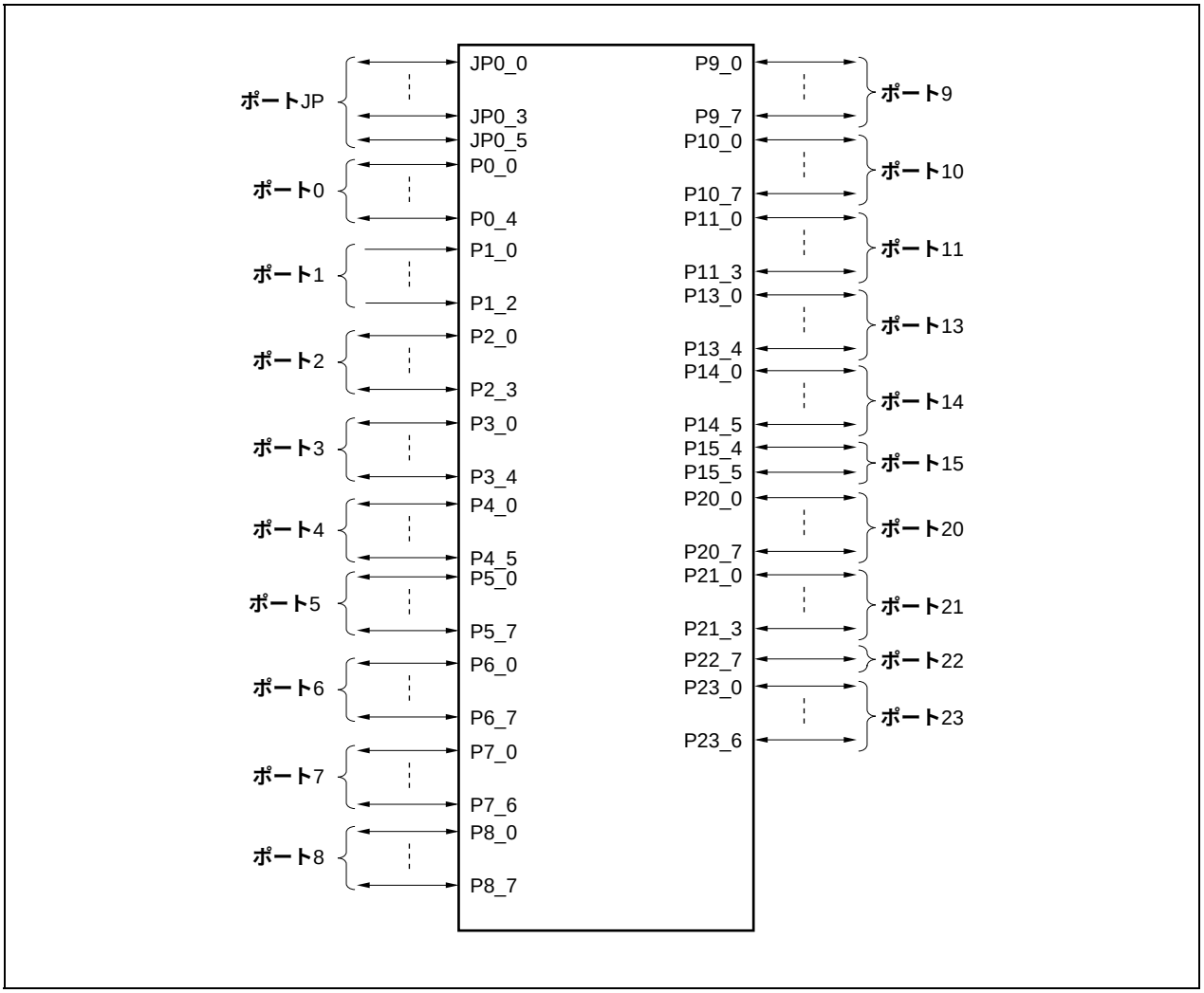


表4－6 各端子の入出力バッファ電源（V850E2/JH4-L）

電 源	対応する端子
AV_{DD}	ポート20, 21
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-11, 13-15, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0, P1_1

図4－7 ポートの構成図（V850E2/JJ4-L）

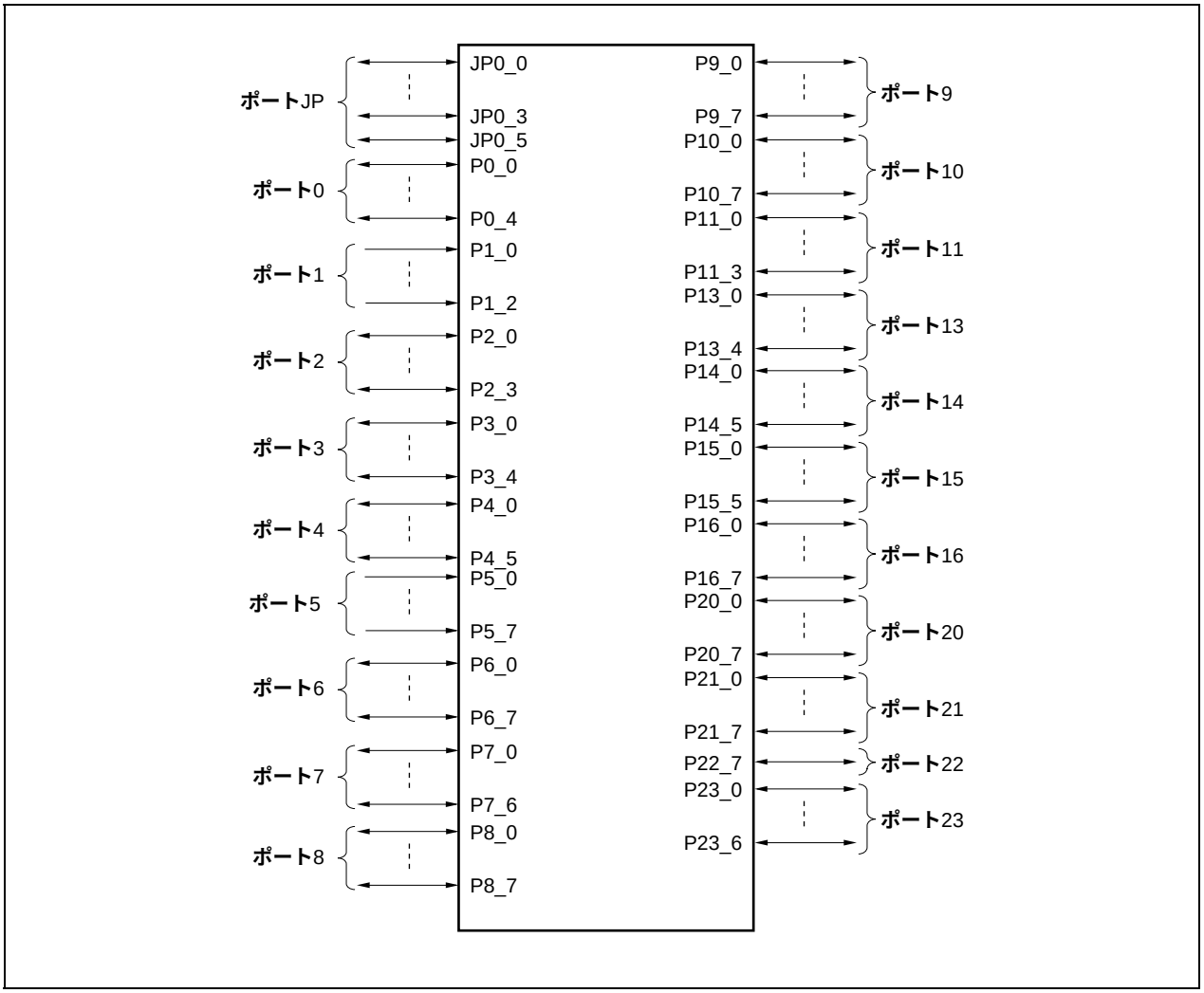


表4－7 各端子の入出力バッファ電源（V850E2/JJ4-L）

電 源	対応する端子
AV_{DD}	ポート20, 21
EV_{DD}	$\overline{TRST}$, P1_2, ポート2-11, 13-16, 22, 23, JP0
UV_{DD}	UDM, UDP
V_{DD}	$\overline{RESET}$，ポート0，P1_0, P1_1

4. 3 ポートの構成

(1) ポートnレジスタ（Pn）

このレジスタは，出力ポート・モード時（PMCn.PMCn_m = 0, PMn.PMn_m = 0）に，ポートPn_mから出力されるPn.Pn_m データを設定／保持します。それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：（出力ラッチ）00H[注] R/W

略号	7	6	5	4	3	2	1	0
Pn	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0

Pn_m	出力データの制御（出力モード時）
0	0を出力
1	1を出力

注 入力専用ポートは不定になります。

(2) ポートnモード・レジスタ（PMn）

このレジスタは，ポート・グループnの各端子が入力モードか出力モードかを指定します。それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMn	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0

PMn_m	入出力モードの制御
0	出力モード
1	入力モード

備考 ポートを入力ポート・モード（PMCn.PMCn_m = 0 かつPMn.PMn_m = 1）で使用する場合は，入力バッファを許可する必要があります（PIBCn.PIBCn_m = 1）。

(3) ポートnモード・コントロール・レジスタ（PMCn）

ポートと兼用機能を切り替える必要がある場合，ポート・モード／兼用機能を指定します。

PMCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMCn	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0

PMCn_m	端子の動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポートnファンクション・コントロール・レジスタ（PFCn）

1本の端子に兼用機能が第2兼用以上存在する場合に，使用する兼用機能を指定するレジスタです。

PMn.PMn_mにより入出力の設定と組み合わせて使用することで，入力と出力で別の兼用機能を指定できます。

いくつかの兼用機能は，内蔵周辺機能が直接Pn_m端子の入出力制御を行います。そのような兼用機能では，PIPCn.PIPCn_mは1に設定する必要があります。

PFCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCn	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0

PFCn_m	兼用機能の指定
0	第1兼用機能
1	第2兼用機能

(5) ポートnファンクション・コントロール拡張レジスタ（PFCEn）

1本の端子に兼用機能が第3兼用以上存在する場合に，PFCnレジスタと組み合わせて使用する兼用機能を指定するレジスタです。

PMn.PMn_mにより入出力の設定と組み合わせて使用することで，入力と出力で別の兼用機能を指定できます。PMnレジスタ，PFCnレジスタ，PFCEnレジスタを組み合わせることで，最大8個の兼用機能を選択することができます。

いくつかの兼用機能は，内蔵周辺機能が直接Pn_m端子の入出力制御を行います。そのような兼用機能では，PIPCn.PIPCn_mは1に設定する必要があります。

PFCEnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCEn	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0

PFCEn_m	PFCn_m	兼用機能の指定
0	0	第1兼用機能
0	1	第2兼用機能
1	0	第3兼用機能
1	1	第4兼用機能

(6) ポート端子リード・レジスタ（PPRn）

このレジスタは，実際のPn_m端子レベル，Pn.Pn_mビットの値，または兼用機能の出力レベルを表します。リードする値は，表4－8 PPRn_mリード値に示すように，制御設定によって異なります。

PPRnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPRn	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0

PPRn_m	ビット／レベルのリード
0	Pn_m端子レベルがロウ・レベル，またはPn.Pn_mの値，兼用機能の出力が0
1	Pn_m端子レベルがハイ・レベル，またはPn.Pn_mの値，兼用機能の出力が1

表4－8 PPRn_mレジスタのリード値

レジスタ					モード	PPRn_mリード値
PMCn_m	PMn_m	PIBCn_m	PIPCn_m	PODCn_m		
0	1	0	X	X	ポート入力，入力バッファ禁止	Pn.Pn_mレジスタの値
		1		X	ポート入力，入力バッファ許可	Pn_m端子レベル
	0	X		0	ポート・CMOS出力	Pn.Pn_mレジスタの値[注]
				1	ポート・オープン・ドレーン出力	
1	1	X	0	X	S/W I/O制御兼用入力	Pn_m端子レベル
	0			0	S/W I/O制御兼用CMOS出力	兼用機能内部出力信号のレベル[注]
				1	S/W I/O制御兼用オープン・ドレーン出力	
	X		1	0	直接I/O制御兼用CMOS出力	兼用機能モードでの入出力ポート： •入力：Pn_m端子レベル •出力：兼用機能内部出力信号レベル[注]
				1	直接I/O制御兼用オープン・ドレーン出力	

注 PBDCn_m = 1の場合，Pn_m端子レベルがPPRn_mレジスタでリードされます。

注意 Pn_mポートを兼用出力機能（PMCn.PMCn_m = 1, PMn.PMn_m = 0）として使用する場合，双方向モードを許可（PBDCn.PBDCn_m = 1）することにより，PPRn.PPRn_mでPn_m端子のレベルをリードすることができます。

しかし，その場合，Pn_m端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

(7) ポート入力バッファ・コントロール・レジスタ（PIBCn）

PIBCnレジスタは，入力ポート・モード（PMCn.PMCn_m = 0 かつPMn.PMn_m = 1）で，ポート端子の入力バッファを許可します。

PIBCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIBCn	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0

PIBCn_m	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

注意 PIBCnレジスタの設定は，双方向モード（PBDCn.PBDCn_m = 1）では無視されます。

備考 入力バッファを禁止すると，端子レベルがHi-Z状態でも貫通電流が流れません。したがって，外部から端子をハイまたはロウ・レベルに固定する必要はありません。

(8) ポート双方向コントロール・レジスタ（PBDCn）

PBDCレジスタは，入力バッファを許可し，常にPn_m端子のレベルをPPRn.PPRn_m経由で読み出すことができます。

PBDCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDCn	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0

PBDCn_m	双方向モードの許可／禁止
0	双方向モード禁止
1	双方向モード許可

注意 Pn_mポートを兼用出力機能（PMCn.PMCn_m = 1，PMn.PMn_m = 0）として使用する場合，双方向モードを許可（PBDCn.PBDCn_m = 1）することにより，PPRn.PPRn_m でPn_m端子のレベルをリードすることができます。

しかし，その場合，Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

備考 PBDCn = 1に設定すると，PMn.PMn_mのポート・モード設定は無視されます。

(9) ポートIPコントロール・レジスタ（PIPCn）

PIPCnレジスタは，Pn_m端子の入出力方向がポート・モード・レジスタ（PMn.PMn_m）と内蔵周辺機能のどちらによって制御されるかを指定します。

Pn_m端子が兼用モード（PMCn.PMCn_m = 1）となり，内蔵周辺機能が直接Pn_mの入出力方向を制御する場合，PIPCn.PIPCn_m は1に設定する必要があります。

これにより内蔵周辺機能が入出力制御を行い，PMn.PMn_mの設定が無効となります。

PIPCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIPCn	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0

PIPCn_m	入出力制御モードの指定
0	入出力モードはPMn.PMn_m（S/W入出力制御）によって制御します。
1	入出力モードは内蔵周辺機能（直接入出力制御）によって制御されます。

(10) プルアップ抵抗オプション・レジスタ（PUn）

PUnレジスタは，内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

PUnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PUn	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0

PUn_m	プルアップ抵抗の制御
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

備考 端子が出力モードで動作している場合，内蔵プルアップ抵抗は無効です。

(11) ポート入力バッファ選択レジスタ (PISn)

PISnレジスタは，入力バッファ特性を指定するレジスタです。

PISnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PISn	PISn_7	PISn_6	PISn_5	PISn_4	PISn_3	PISn_2	PISn_1	PISn_0

PISn_m	入力バッファの指定
0	CMOS
1	シュミット

(12) ポート・オープン・ドレーン・コントロール・レジスタ (PODCn)

PODCnレジスタは，出力バッファの機能としてCMOSまたはオープン・ドレーンを選択します。

PODCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PODCn	PODCn_7	PODCn_6	PODCn_5	PODCn_4	PODCn_3	PODCn_2	PODCn_1	PODCn_0

PODCn_m	出力バッファの指定
0	CMOS
1	N-chオープン・ドレーン

4. 3. 1 ポート0

ポート0は1ビット単位で入出力を制御できる5ビットのポートです。

ポート0は，次に示す端子と兼用しています。

表4－9 ポート0の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P0_0	入力	XT2/EXCLKS	入力	－	25	24	14	10	6	5	4
P0_1	入力	XT1	入力	－	26	25	15	11	7	6	5
P0_2	入力	NMI/ADTRG	入力	－	27	26	16	12	8	7	6
P0_3	入力	X2/EXCLK	入力	－	28	27	17	13	9	8	7
P0_4	入力	X1	入力	－	29	28	18	14	10	9	8

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－10 ポート0の兼用機能の配置

ポート・モード	兼用機能モード								特殊機能
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能		
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4	
P0_0	－	－	－	－	－	－	－	－	XT2/EXCLKS
P0_1	－	－	－	－	－	－	－	－	XT1
P0_2	NMI	－	－	－	－	－	ADTRG	－	－
P0_3	－	－	－	－	－	－	－	－	X2/EXCLK
P0_4	－	－	－	－	－	－	－	－	X1

備考 特殊機能のX1, X2, EXCLK, XT1,XT2, EXCLKSの設定は，クロック動作モード制御レジスタ（CMC）で設定してください。CMCレジスタの設定については6. 3（1）クロック動作モード制御レジスタ（CMC）を参照してください。

(1) ポート0端子リード・レジスタ (PPR0)

アドレス：FFFF9200H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR0	0	0	0	PPR0_4	PPR0_3	PPR0_2	PPR0_1	PPR0_0

PPR0_n	端子レベルの読み出し (n = 0-4)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート0モード・コントロール・レジスタ (PMC0)

アドレス：FFFF9400H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC0	0	0	0	0	0	PMC0_2	0	0

PMC0_2	端子の動作モードの指定
0	入出力ポート (P0_2)
1	NMI/ADRTG入力

(3) ポート0ファンクション・コントロール・レジスタ (PFC0)

アドレス：FFFF9500H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	0	PFC0_2	0	0

備考　兼用機能の指定については4. 3. 1 (5) ポート0の兼用機能の指定を参照してください。

(4) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

アドレス：FFFF9600H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCE0	0	0	0	0	0	PFCE0_2	0	0

備考　兼用機能の指定については4. 3. 1 (5) ポート0の兼用機能の指定を参照してください。

(5) ポート0の兼用機能の指定

ポート・モード (PMC0_2 = 0)	兼用機能モード (PMC0_2 = 1)			
	第1兼用機能 (PFCE0_2= 0, PFC0_2 = 0)	第2兼用機能 (PFCE0_2= 0, PFC0_2 = 1)	第3兼用機能 (PFCE0_2= 1, PFC0_2 = 0)	第4兼用機能 (PFCE0_2= 1, PFC0_2 = 1)
	入力1	入力2	入力3	入力4
P0_2	NMI	設定禁止	設定禁止	ADTRG

(6) ポート0入力バッファ・コントロール・レジスタ (PIBC0)

アドレス：FF405000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC0	0	0	0	PIBC0_4	PIBC0_3	PIBC0_2	PIBC0_1	PIBC0_0

PIBC0_n	入力バッファの制御 (n = 0-4)
0	入力バッファ禁止
1	入力バッファ許可

4. 3. 2 ポート1

ポート1は1ビット単位で入出力を制御できる3/2/1ビットのポートです。

ポート1は，次に示す端子と兼用しています。

表4－11 ポート1の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P1_0	入出力	ANO0	出力	－	3	6	3	3	3	3	－
P1_1	入出力	ANO1	出力	－	4	7	4	－	－	－	－
P1_2	入出力	INTP10	入力	プルアップ抵抗設定可能	5	8	5	4	4	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－12 ポート1の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P1_0	－	ANO0	－	－	－	－	－	－
P1_1	－	ANO1	－	－	－	－	－	－
P1_2	INTP10	－	－	－	－	－	－	－

(1) ポート1端子リード・レジスタ (PPR1)

アドレス：FFFF9204H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR1	0	0	0	0	0	PPR1_2	PPR1_1	PPR1_0

PPR1_n	端子レベルの読み出し (n = 0-2)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート1レジスタ (P1)

アドレス：FFFF9004H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	P1_2	P1_1	P1_0

P1_n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(3) ポート1モード・レジスタ (PM1)

アドレス：FFFF9304H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	PM1_2	PM1_1	PM1_0

PM1_n	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(4) ポート1モード・コントロール・レジスタ (PMC1)

アドレス：FFFF9404H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC1	0	0	0	0	0	PMC1_2	PMC1_1	PMC1_0

PMC1_2	端子の動作モードの指定
0	入出力ポート (P1_2)
1	INTP10入力

PMC1_1	端子の動作モードの指定
0	入出力ポート (P1_1)
1	ANO1出力

PMC1_0	端子の動作モードの指定
0	入出力ポート (P1_0)
1	ANO0出力

(5) ポート1の兼用機能の指定

ポート・モード (PMC1_2 = 0)	兼用機能モード (PMC1_2 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM1_1 =1)	出力1 (PM1_1 =0)	入力2	出力2	入力3	出力3	入力4	出力4
P1_2	INTP10入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC1_1 = 0)	兼用機能モード (PMC1_1 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM1_1 =1)	出力1 (PM1_1 =0)	入力2	出力2	入力3	出力3	入力4	出力4
P1_1	設定禁止	ANO1出力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC1_0 = 0)	兼用機能モード (PMC1_0 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM1_0 =1)	出力1 (PM1_0 =0)	入力2	出力2	入力3	出力3	入力4	出力4
P1_0	設定禁止	ANO0出力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(5) ポート1入力バッファ・コントロール・レジスタ (PIBC1)

アドレス：FF405004H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIBC1	0	0	0	0	0	PIBC1_2	PIBC1_1	PIBC1_0

PIBC1_n	入力バッファの制御 (n = 2-0)
0	入力バッファ禁止
1	入力バッファ許可

(6) ポート1双方向コントロール・レジスタ (PBDC1)

アドレス：FF405104H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDC1	0	0	0	0	0	PBDC1_2	PBDC1_1	PBDC1_0

PBDC1_n	P1_nの双方向モードの制御 (n = 0-2)
0	双方向モード禁止
1	双方向モード許可

(7) プルアップ抵抗オプション・レジスタ1 (PU1)

アドレス：FF405304H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	PU1_2	PU1_1	PU1_0

PU1_n	内蔵プルアップ抵抗接続制御 (n = 0-2)
0	接続しない
1	接続する

(8) ポート入力バッファ選択レジスタ1（PIS1）

アドレス：FF405704H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
PIS1	0	0	0	0	0	PIS1_2	0	0

PIS1_2	入力バッファの指定
0	CMOS
1	シュミット

備考　兼用機能でINTP10を使用する場合は，シュミット（PIS1_2 = 1）を選択することを推奨します。

4. 3. 3 ポート2

ポート2は1ビット単位で入出力を制御できる4ビットのポートです。

ポート2は，次に示す端子と兼用しています。

表4－13 ポート2の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P2_0	入出力	TI10/TO10/SI51	入出力	プルアップ抵抗設定可能	20	19	9	5	－	－	－
P2_1	入出力	TI11/TO11/SO51	入出力	プルアップ抵抗設定可能	21	20	10	6	－	－	－
P2_2	入出力	TI12/TO12/$\overline{\text{SCK51}}$/SDAA2	入出力	－	22	21	11	7	－	－	－
P2_3	入出力	TI13/TO13/SCLA2/UVBUS	入出力	－	23	22	12	8	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－14 ポート2の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P2_0	TI10	TO10	SI51	－	－	－	－	－
P2_1	TI11	TO11	－	SO51	－	－	－	－
P2_2	TI12	TO12	$\overline{\text{SCK51}}$		SDAA2		－	－
P2_3	TI13	TO13	－	－	SCLA2		UVBUS	－

(1) ポート2端子リード・レジスタ (PPR2)

アドレス：FFFF9208H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR2	0	0	0	0	PPR2_3	PPR2_2	PPR2_1	PPR2_0

PPR2_n	端子レベルの読み出し (n = 0-3)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート2レジスタ (P2)

アドレス：FFFF9008H　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P2	0	0	0	0	P2_3	P2_2	P2_1	P2_0

P2_n	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(3) ポート2モード・レジスタ (PM2)

アドレス：FFFF9308H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM2_3	PM2_2	PM2_1	PM2_0

PM2_n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(4) ポート2モード・コントロール・レジスタ (PMC2)

アドレス：FFFF9408H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC2	0	0	0	0	PMC2_3	PMC2_2	PMC2_1	PMC2_0

PMC2_3	端子の動作モードの指定
0	入出力ポート (P2_3)
1	TI13入力/TO13出力/SCLA2入出力/UVBUS入力

PMC2_2	端子の動作モードの指定
0	入出力ポート (P2_2)
1	TI12入力/TO12出力/$\overline{\text{SCK51}}$入出力/SDAA2入出力

PMC2_1	端子の動作モードの指定
0	入出力ポート (P2_1)
1	TI11入力/TO11出力/SO51出力

PMC2_0	端子の動作モードの指定
0	入出力ポート (P2_0)
1	TI10入力/TO10出力/SI51入力

(5) ポート2ファンクション・コントロール・レジスタ (PFC2)

アドレス：FFFF9508H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC2	0	0	0	0	PFC2_3	PFC2_2	PFC2_1	PFC2_0

備考 兼用機能の指定については4. 3. 3 (7) ポート2の兼用機能の指定を参照してください。

(6) ポート2ファンクション・コントロール拡張レジスタ (PFCE2)

アドレス：FFFF9608H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCE2	0	0	0	0	PFCE2_3	PFCE2_2	0	0

備考 兼用機能の指定については4. 3. 3 (7) ポート2の兼用機能の指定を参照してください。

(7) ポート2の兼用機能の指定

ポート・モード (PMC2_3 = 0)	兼用機能モード (PMC2_3 = 1)							
	第1兼用機能 (PFCE2_3= 0, PFC2_3 = 0)		第2兼用機能 (PFCE2_3= 0, PFC2_3 = 1)		第3兼用機能 (PFCE2_3= 1, PFC2_3 = 0)		第4兼用機能 (PFCE2_3= 1, PFC2_3 = 1)	
	入力1 (PM2_3 =1)	出力1 (PM2_3 =0)	入力2	出力2	入力3 (PIPC2_3 = 1)	出力3 (PIPC2_3 = 1)	入力4 (PM2_3 =1)	出力4 (PM2_3 =1)
P2_3	TI13入力	TO13出力	設定禁止	設定禁止	SCLA2入出力		UVBUS入力	設定禁止

ポート・モード (PMC2_2 = 0)	兼用機能モード (PMC2_2 = 1)							
	第1兼用機能 (PFCE2_2= 0, PFC2_2 = 0)		第2兼用機能 (PFCE2_2= 0, PFC2_2 = 1)		第3兼用機能 (PFCE2_2= 1, PFC2_2 = 0)		第4兼用機能 (PFCE2_2= 1, PFC2_2 = 1)	
	入力1 (PM2_2 = 1)	出力1 (PM2_2 = 0)	入力2 (PM2_2 = 1)	出力2 (PM2_2 = 0)	入力3 (PIPC2_2 = 1)	出力3 (PIPC2_2 = 1)	入力4	出力4
P2_2	TI12入力	TO12出力	$\overline{\text{SCK51}}$入力	$\overline{\text{SCK51}}$出力	SDAA2入出力		設定禁止	設定禁止

ポート・モード (PMC2_1 = 0)	兼用機能モード (PMC2_1 = 1)							
	第1兼用機能 (PFC2_1 = 0)		第2兼用機能 (PFC2_1 = 1)		第3兼用機能		第4兼用機能	
	入力1 (PM2_1 = 1)	出力1 (PM2_1 = 0)	入力2 (PM2_1 = 1)	出力2 (PM2_1 = 0)	入力3	出力3	入力4	出力4
P2_1	TI11入力	TO11出力	設定禁止	SO51出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC2_0 = 0)	兼用機能モード (PMC2_0 = 1)							
	第1兼用機能 (PFC2_0 = 0)		第2兼用機能 (PFC2_0 = 1)		第3兼用機能		第4兼用機能	
	入力1 (PM2_0 = 1)	出力1 (PM2_0 = 0)	入力2 (PM2_0 = 1)	出力2 (PM2_0 = 0)	入力3	出力3	入力4	出力4
P2_0	TI10入力	TO10出力	SI51入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(8) ポート2入力バッファ・コントロール・レジスタ（PIBC2）

アドレス：FF405008H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC2	0	0	0	0	PIBC2_3	PIBC2_2	PIBC2_1	PIBC2_0

PIBC2_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート2双方向コントロール・レジスタ（PBDC2）

アドレス：FF405108H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC2	0	0	0	0	PBDC2_3	PBDC2_2	PBDC2_1	PBDC2_0

PBDC2_n	P2_nの双方向モードの制御（n = 0-3）
0	双方向モード禁止
1	双方向モード許可

(10) ポートIPコントロール・レジスタ2（PIPC2）

アドレス　FF405208H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIPC2	0	0	0	0	PIPC2_3	PIPC2_2	0	0

PIPC2_n	入出力制御モードの指定（n = 2, 3）
0	入出力モードはPM2.PM2_n（S/W入出力制御）によって制御します。
1	入出力モードは周辺機能（直接入出力制御）によって制御します。

注意　兼用機能でSDAA2, SCLA2を使用する場合は，PIPC2_n = 1に設定してください。

(11) プルアップ抵抗オプション・レジスタ2 (PU2)

アドレス：FF405308H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PU2	0	0	0	0	0	0	PU2_1	PU2_0

PU2_n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(12) ポート2オープン・ドレーン・コントロール・レジスタ2 (PODC2)

アドレス：FF405508H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PODC2	0	0	0	0	PODC2_3	PODC2_2	0	0

PODC2_n	出力バッファ機能の指定
0	CMOS
1	オープン・ドレーン

(13) ポート入力バッファ選択レジスタ2 (PIS2)

アドレス：FF405708H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIS2	0	0	0	0	0	0	PIS2_1	PIS2_0

PIS2_n	入力バッファの指定 (n = 0, 1)
0	CMOS
1	シュミット

備考　入力の兼用機能を使用する場合は，PIS2_n=1にすることを推奨します。

4.3.4　ポート3

ポート3は1ビット単位で入出力を制御できる5ビットのポートです。

ポート3は，次に示す端子と兼用しています。

表4－15　ポート3の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P3_0	入出力	SI40/RXD40/CLKOUT/KR0/RTP0/INTP07/BUSCLK	入出力	－	116	107	83	65	－	－	－
		SI40/RXD40/CLKOUT/KR0/RTP0/INTP07			－	－	－	－	50	38	31
P3_1	入出力	TE0TI0/SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	入出力	－	117	108	84	66	－	－	－
		TE0TI0/SO40/TXD40/KR1/RTP1/INTP01			－	－	－	－	51	39	32
P3_2	入出力	SI00/RXD00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$	入出力	－	118	109	85	67	－	－	－
		SI00/RXD00/BUZ1/KR2/RTP2/INTP02			－	－	－	－	52	40	33
P3_3	入出力	TE0TI1/SO00/TXD00/KR3/RTP3/INTP03/ASTB	入出力	－	119	110	86	68	－	－	－
		TE0TI1/SO00/TXD00/KR3/RTP3/INTP03			－	－	－	－	53	41	34
P3_4	入出力	$\overline{\text{SCK00}}$/KR4/RTP4/$\overline{\text{WAIT}}$	入出力	－	120	111	87	69	－	－	－
		$\overline{\text{SCK00}}$/KR4/RTP4			－	－	－	－	54	42	35

備考　ピン番号の欄は次のように対応しています。

- 144　：V850E2/JJ4-L
- 128　：V850E2/JH4-L
- 100　：V850E2/JG4-L
- 80　：V850E2/JF4-L
- 64　：V850E2/JE4-L
- 48　：V850E2/JC4-L（48ピン版）
- 40　：V850E2/JC4-L（40ピン版）

表4－16　ポート3の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P3_0	－	－	SI40/RXD40	CLKOUT	KR0	RTP0	INTP07	BUSCLK
P3_1	－	－	TE0TI0	SO40/TXD40	KR1	RTP1	INTP01	$\overline{\text{RD}}$
P3_2	－	－	SI00/RXD00	BUZ1	KR2	RTP2	INTP02	$\overline{\text{WR}}$
P3_3	－	－	TE0TI1	SO00/TXD00	KR3	RTP3	INTP03	ASTB
P3_4	－	－	$\overline{\text{SCK00}}$		KR4	RTP4	$\overline{\text{WAIT}}$	－

(1) ポート3端子リード・レジスタ (PPR3)

アドレス：FFFF920CH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR3	0	0	0	PPR3_4	PPR3_3	PPR3_2	PPR3_1	PPR3_0

PPR3_n	端子レベルの読み出し (n = 0-4)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート3レジスタ (P3)

アドレス：FFFF900CH　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P3	0	0	0	P3_4	P3_3	P3_2	P3_1	P3_0

P3_n	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(3) ポート3モード・レジスタ (PM3)

アドレス：FFFF930CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM3_4	PM3_3	PM3_2	PM3_1	PM3_0

PM3_n	入出力モードの制御 (n = 0-4)
0	出力モード
1	入力モード

(4) ポート3モード・コントロール・レジスタ (PMC3)

アドレス：FFFF940CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC3	0	0	0	PMC3_4	PMC3_3	PMC3_2	PMC3_1	PMC3_0

PMC3_4	端子の動作モードの指定
0	入出力ポート (P3_4)
1	$\overline{\text{SCK00}}$入出力/KR4入力/RTP4出力/$\overline{\text{WAIT}}$入力

PMC3_3	端子の動作モードの指定
0	入出力ポート (P3_3)
1	TE0TI1入力/SO00出力/TXD00出力/KR3入力/RTP3出力/INTP03入力/ASTB出力

PMC3_2	端子の動作モードの指定
0	入出力ポート (P3_2)
1	SI00入力/RXD00入力/BUZ1出力/KR2入力/RTP2出力/INTP02入力/$\overline{\text{WR}}$出力

PMC3_1	端子の動作モードの指定
0	入出力ポート (P3_1)
1	TE0TI0入力/SO40出力/TXD40出力/KR1入力/RTP1出力/INTP01入力/$\overline{\text{RD}}$出力

PMC3_0	端子の動作モードの指定
0	入出力ポート (P3_0)
1	SI40入力/RXD40入力/CLKOUT出力/KR0入力/RTP0出力/INTP07入力/BUSCLK出力

(5) ポート3ファンクション・コントロール・レジスタ (PFC3)

アドレス：FFFF950CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC3	0	0	0	PFC3_4	PFC3_3	PFC3_2	PFC3_1	PFC3_0

備考 兼用機能の指定については4. 3. 4 (7) ポート3の兼用機能の指定を参照してください。

(6) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

アドレス：FFFF960CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE3_4	PFCE3_3	PFCE3_2	PFCE3_1	PFCE3_0

備考 兼用機能の指定については4. 3. 4 (7) ポート3の兼用機能の指定を参照してください。

(7) ポート3の兼用機能の指定

ポート・モード (PMC3_4 = 0)	兼用機能モード (PMC3_4 = 1)							
	第1兼用機能 (PFCE3_4= 0, PFC3_4 = 0)		第2兼用機能 (PFCE3_4= 0, PFC3_4 = 1)		第3兼用機能 (PFCE3_4= 1, PFC3_4 = 0)		第4兼用機能 (PFCE3_4= 1, PFC3_4 = 1)	
	入力1	出力1	入力2 (PM3_4 = 1)	出力2 (PM3_4 = 0)	入力3 (PM3_4 = 1)	出力3 (PM3_4 = 0)	入力4 (PM3_4 = 1)	出力4 (PM3_4 = 0)
P3_4	設定禁止	設定禁止	$\overline{\text{SCK00}}$入力	$\overline{\text{SCK00}}$出力	KR4入力	RTP4出力	$\overline{\text{WAIT}}$入力	設定禁止

ポート・モード (PMC3_3 = 0)	兼用機能モード (PMC3_3 = 1)							
	第1兼用機能 (PFCE3_3= 0, PFC3_3 = 0)		第2兼用機能 (PFCE3_3= 0, PFC3_3 = 1)		第3兼用機能 (PFCE3_3= 1, PFC3_3 = 0)		第4兼用機能 (PFCE3_3= 1, PFC3_3 = 1)	
	入力1	出力1	入力2 (PM3_3 = 1)	出力2 (PM3_3 = 0)	入力3 (PM3_3 = 1)	出力3 (PM3_3 = 0)	入力4 (PM3_3 = 1)	出力4 (PM3_3 = 0)
P3_3	設定禁止	設定禁止	TE0TI1入力	SO00/TXD00出力	KR3入力	RTP3出力	INTP03入力	ASTB出力

ポート・モード (PMC3_2 = 0)	兼用機能モード (PMC3_2 = 1)							
	第1兼用機能 (PFCE3_2= 0, PFC3_2 = 0)		第2兼用機能 (PFCE3_2= 0, PFC3_2 = 1)		第3兼用機能 (PFCE3_2= 1, PFC3_2 = 0)		第4兼用機能 (PFCE3_2= 1, PFC3_2 = 1)	
	入力1	出力1	入力2 (PM3_2 = 1)	出力2 (PM3_2 = 0)	入力3 (PM3_2 = 1)	出力3 (PM3_2 = 0)	入力4 (PM3_2 = 1)	出力4 (PM3_2 = 0)
P3_2	設定禁止	設定禁止	SI00/RXD00入力	BUZ1出力	KR2入力	RTP2出力	INTP02入力	$\overline{\text{WR}}$出力

ポート・モード (PMC3_1 = 0)	兼用機能モード (PMC3_1 = 1)							
	第1兼用機能 (PFCE3_1= 0, PFC3_1 = 0)		第2兼用機能 (PFCE3_1= 0, PFC3_1 = 1)		第3兼用機能 (PFCE3_1= 1, PFC3_1 = 0)		第4兼用機能 (PFCE3_1= 1, PFC3_1 = 1)	
	入力1	出力1	入力2 (PM3_1 = 1)	出力2 (PM3_1 = 0)	入力3 (PM3_1 = 1)	出力3 (PM3_1 = 0)	入力4 (PM3_1 = 1)	出力4 (PM3_1 = 0)
P3_1	設定禁止	設定禁止	TE0TI0入力	SO40/TXD40出力	KR1入力	RTP1出力	INTP01入力	$\overline{\text{RD}}$出力

ポート・モード（PMC3_0 = 0）	兼用機能モード（PMC3_0 = 1）							
	第1兼用機能（PFCE3_0= 0, PFC3_0 = 0）		第2兼用機能（PFCE3_0= 0, PFC3_0 = 1）		第3兼用機能（PFCE3_0= 1, PFC3_0 = 0）		第4兼用機能（PFCE3_0= 1, PFC3_0 = 1）	
	入力1	出力1	入力2（PM3_0 = 1）	出力2（PM3_0 = 0）	入力3（PM3_0 = 1）	出力3（PM3_0 = 0）	入力4（PM3_0 = 1）	出力4（PM3_0 = 0）
P3_0	設定禁止	設定禁止	SI40/RXD40入力	CLKOUT出力	KR0入力	RTP0出力	INTP07入力	BUSCLK出力

（8）ポート3入力バッファ・コントロール・レジスタ（PIBC3）

アドレス：FF40500CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC3	0	0	0	PIBC3_4	PIBC3_3	PIBC3_2	PIBC3_1	PIBC3_0

PIBC3_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

（9）ポート3双方向コントロール・レジスタ（PBDC3）

アドレス：FF40510CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC3	0	0	0	PBDC3_4	PBDC3_3	PBDC3_2	PBDC3_1	PBDC3_0

PBDC3_n	P3_nの双方向モードの制御（n = 0-4）
0	双方向モード禁止
1	双方向モード許可

（10）ポート入力バッファ選択レジスタ3（PIS3）

アドレス：FF40570CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIS3	0	0	0	PIS3_4	PIS3_3	PIS3_2	PIS3_1	PIS3_0

PIS3_n	入力バッファの指定（n = 0-4）
0	CMOS
1	シュミット

備考　入力の兼用機能は$\overline{\text{WAIT}}$入力を除き，PIS3_n = 1にすることを推奨します。$\overline{\text{WAIT}}$入力はPIS3_n = 0にすることを推奨します。

4. 3. 5 ポート4

ポート4は1ビット単位で入出力を制御できる6/5/3ビットのポートです。

ポート4は，次に示す端子と兼用しています。

表4－17 ポート4の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P4_0	入出力	TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	入出力	－	105	96	74	59	－	－	－
		TI15/TO15/$\overline{\text{SCK02}}$/KR7/RTP7/INTP00			－	－	－	－	47	35	－
P4_1	入出力	$\overline{\text{CS1}}$	出力	－	106	97	－	－	－	－	－
P4_2	入出力	TI16/TO16/SI02/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	入出力	－	107	98	75	60	－	－	－
		TI16/TO16/SI02/RXD01/SCLA1/INTP08			－	－	－	－	48	36	－
P4_3	入出力	SO02/RXD01/SDAA1/INTP09/$\overline{\text{CS3}}$	入出力	－	108	99	76	61	－	－	－
		SO02/RXD01/SDAA1/INTP09			－	－	－	－	49	37	－
P4_4	入出力	TI17/TO17/RXD11/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	入出力	－	109	100	77	62	－	－	－
P4_5	入出力	TXD11/$\overline{\text{UWR}}$/$\overline{\text{UBE}}$	入出力	－	110	101	78	63	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－18 ポート4の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P4_0	TI15	TO15	$\overline{\text{SCK02}}$		KR7	RTP7	INTP00	$\overline{\text{CS0}}$
P4_1	－	－	－	－	－	－	－	$\overline{\text{CS1}}$
P4_2	TI16	TO16	SI02/RXD01	－	SCLA1		INTP08	$\overline{\text{CS2}}$
P4_3	－	－	－	SO02/TXD01	SDAA1		INTP09	$\overline{\text{CS3}}$
P4_4	TI17	TO17	RXD11	－	－	$\overline{\text{LWR}}$	－	$\overline{\text{LBE}}$
P4_5	－	－	－	TXD11	－	$\overline{\text{UWR}}$	－	$\overline{\text{UBE}}$

(1) ポート4端子リード・レジスタ (PPR4)

アドレス：FFFF9210H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR4	0	0	PPR4_5	PPR4_4	PPR4_3	PPR4_2	PPR4_1	PPR4_0

PPR4_n	端子レベルの読み出し (n = 0-5)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート4レジスタ (P4)

アドレス：FFFF9010H　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P4	0	0	P4_5	P4_4	P4_3	P4_2	P4_1	P4_0

P4_n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(3) ポート4モード・レジスタ (PM4)

アドレス：FFFF9310H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	PM4_5	PM4_4	PM4_3	PM4_2	PM4_1	PM4_0

PM4_n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(4) ポート4モード・コントロール・レジスタ (PMC4)

アドレス：FFFF9410H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC4	0	0	PMC4_5	PMC4_4	PMC4_3	PMC4_2	PMC4_1	PMC4_0

PMC4_5	端子の動作モードの指定
0	入出力ポート (P4_5)
1	TXD11出力/$\overline{\text{UWR}}$出力/$\overline{\text{UBE}}$出力

PMC4_4	端子の動作モードの指定
0	入出力ポート (P4_4)
1	TI17入力/TO17出力/RXD11入力/$\overline{\text{LWR}}$出力/$\overline{\text{LBE}}$出力

PMC4_3	端子の動作モードの指定
0	入出力ポート (P4_3)
1	SO02出力/RXD01出力/SDAA1入出力/INTP09入力/$\overline{\text{CS3}}$出力

PMC4_2	端子の動作モードの指定
0	入出力ポート (P4_2)
1	TI16入力/TO16出力/SI02入力/RXD01入力/SCLA1入出力/INTP08入力/$\overline{\text{CS2}}$出力

PMC4_1	端子の動作モードの指定
0	入出力ポート (P4_1)
1	$\overline{\text{CS1}}$出力

PMC4_0	端子の動作モードの指定
0	入出力ポート (P4_0)
1	TI15入力/TO15出力/$\overline{\text{SCK02}}$入出力/KR7入力/RTP7出力/INTP00入力/$\overline{\text{CS0}}$出力

(5) ポート4ファンクション・コントロール・レジスタ (PFC4)

アドレス：FFFF9510H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC4	0	0	PFC4_5	PFC4_4	PFC4_3	PFC4_2	PFC4_1	PFC4_0

備考 兼用機能の指定については4. 3. 5 (7) ポート4の兼用機能の指定を参照してください。

(6) ポート4ファンクション・コントロール拡張レジスタ (PFCE4)

アドレス：FFFF9610H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCE4	0	0	PFCE4_5	PFCE4_4	PFCE4_3	PFCE4_2	PFCE4_1	PFCE4_0

備考 兼用機能の指定については4. 3. 5 (7) ポート4の兼用機能の指定を参照してください。

(7) ポート4の兼用機能の指定

ポート・モード (PMC4_5 = 0)	兼用機能モード (PMC4_5 = 1)							
	第1兼用機能 (PFCE4_5= 0, PFC4_5 = 0)		第2兼用機能 (PFCE4_5= 0, PFC4_5 = 1)		第3兼用機能 (PFCE4_5= 1, PFC4_5 = 0)		第4兼用機能 (PFCE4_5= 1, PFC4_5 = 1)	
	入力1	出力1	入力2 (PM4_5 = 1)	出力2 (PM4_5 = 0)	入力3 (PM4_5 = 1)	出力3 (PM4_5 = 0)	入力4 (PM4_5 = 1)	出力4 (PM4_5 = 0)
P4_5	設定禁止	設定禁止	設定禁止	TXD11出力	設定禁止	$\overline{\text{UWR}}$出力	設定禁止	$\overline{\text{UBE}}$出力

ポート・モード (PMC4_4 = 0)	兼用機能モード (PMC4_4 = 1)							
	第1兼用機能 (PFCE4_4= 0, PFC4_4 = 0)		第2兼用機能 (PFCE4_4= 0, PFC4_4 = 1)		第3兼用機能 (PFCE4_4= 1, PFC4_4 = 0)		第4兼用機能 (PFCE4_4= 1, PFC4_4 = 1)	
	入力1 (PM4_4 = 1)	出力1 (PM4_4 = 0)	入力2 (PM4_4 = 1)	出力2 (PM4_4 = 0)	入力3 (PM4_4 = 1)	出力3 (PM4_4 = 0)	入力4 (PM4_4 = 1)	出力4 (PM4_4 = 0)
P4_4	TI17入力	TO17出力	RXD11入力	設定禁止	設定禁止	$\overline{\text{LWR}}$出力	設定禁止	$\overline{\text{LBE}}$出力

ポート・モード (PMC4_3 = 0)	兼用機能モード (PMC4_3 = 1)							
	第1兼用機能 (PFCE4_3= 0, PFC4_3 = 0)		第2兼用機能 (PFCE4_3= 0, PFC4_3 = 1)		第3兼用機能 (PFCE4_3= 1, PFC_43 = 0)		第4兼用機能 (PFCE4_3= 1, PFC4_3 = 1)	
	入力1	出力1	入力2 (PM4_3 = 1)	出力2 (PM4_3 = 0)	入力3 (PIPC4_3 = 1)	出力3 (PIPC4_3 = 1)	入力4 (PM4_3 = 1)	出力4 (PM4_3 = 0)
P4_3	設定禁止	設定禁止	設定禁止	SO02/TXD01 出力	SDAA1入出力		INTP09入力	$\overline{\text{CS3}}$出力

ポート・モード (PMC4_2 = 0)	兼用機能モード (PMC4_2 = 1)							
	第1兼用機能 (PFCE4_2= 0, PFC4_2 = 0)		第2兼用機能 (PFCE4_2= 0, PFC4_2 = 1)		第3兼用機能 (PFCE4_2= 1, PFC4_2 = 0)		第4兼用機能 (PFCE4_2= 1, PFC4_2 = 1)	
	入力1 (PM4_2 = 1)	出力1 (PM4_2 = 0)	入力2 (PM4_2 = 1)	出力2 (PM4_2 = 0)	入力3 (PIPC4_2 = 1)	出力3 (PIPC4_2 = 1)	入力4 (PM4_2 = 1)	出力4 (PM4_2 = 0)
P4_2	TI16入力	TO16出力	SI02/RXD01 入力	設定禁止	SCLA1入出力		INTP08入力	$\overline{\text{CS2}}$出力

ポート・モード (PMC4_1 = 0)	兼用機能モード（PMC4_1 = 1）							
	第1兼用機能 (PFCE4_1= 0, PFC4_1 = 0)		第2兼用機能 (PFCE4_1= 0, PFC4_1 = 1)		第3兼用機能 (PFCE4_1= 1, PFC4_1 = 0)		第4兼用機能 (PFCE4_1= 1, PFC4_1 = 1)	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4 (PM4_1 = 1)	出力4 (PM4_1 = 0)
P4_1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	$\overline{CS1}$出力

ポート・モード (PMC4_0 = 0)	兼用機能モード（PMC4_0 = 1）							
	第1兼用機能 (PFCE4_0= 0, PFC4_0 = 0)		第2兼用機能 (PFCE4_0= 0, PFC4_0 = 1)		第3兼用機能 (PFCE4_0= 1, PFC4_0 = 0)		第4兼用機能 (PFCE4_0= 1, PFC4_0 = 1)	
	入力1 (PM4_0 = 1)	出力1 (PM4_0 = 0)	入力2 (PM4_0 = 1)	出力2 (PM4_0 = 0)	入力3 (PM4_0 = 1)	出力3 (PM4_0 = 0)	入力4 (PM4_0 = 1)	出力4 (PM4_0 = 0)
P4_0	TI15入力	TO15出力	$\overline{SCK02}$入力	$\overline{SCK02}$出力	KR7入力	RTP7出力	INTP00入力	$\overline{CS0}$出力

(8) ポート4入力バッファ・コントロール・レジスタ（PIBC4）

アドレス：FF405010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC4	0	0	PIBC4_5	PIBC4_4	PIBC4_3	PIBC4_2	PIBC4_1	PIBC4_0

PIBC4_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート4双方向コントロール・レジスタ（PBDC4）

アドレス：FF405110H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC4	0	0	PBDC4_5	PBDC4_4	PBDC4_3	PBDC4_2	PBDC4_1	PBDC4_0

PBDC4_n	P4_nの双方向モードの制御（n = 0-5）
0	双方向モード禁止
1	双方向モード許可

(10) ポートIPコントロール・レジスタ4 (PIPC4)

アドレス FF405210H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIPC4	0	0	0	0	PIPC4_3	PIPC4_2	0	0

PIPC4_n	入出力制御モードの指定 (n = 2, 3)
0	入出力モードはPM4.PM4_m (S/W入出力制御) によって制御します。
1	入出力モードは周辺機能 (直接入出力制御) によって制御します。

注意 SDAA1, SCLA1を使用する場合は，PIPC4_n=1に設定してください。

(11) ポート4オープン・ドレーン・コントロール・レジスタ (PODC4)

アドレス：FF405510H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PODC4	0	0	0	0	PODC4_3	PODC4_2	0	0

PODC4_n	出力バッファ機能の指定 (n = 2, 3)
0	CMOS
1	オープン・ドレーン

(12) ポート入力バッファ選択レジスタ4 (PIS4)

アドレス：FF405710H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIS4	0	0	0	PIS4_4	PIS4_3	PIS4_2	0	PIS4_0

PIS4_n	入力バッファの指定 (n = 0, 2-4)
0	CMOS
1	シュミット

備考 入力の兼用機能を使用する場合は，PIS4_n=1にすることを推奨します。

4.3.6　ポート5

ポート5は1ビット単位で入出力を制御できる8/3ビットのポートです。

ポート5は，次に示す端子と兼用しています。

表4－19　ポート5の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P5_0	入出力	SI41/INTP13/A0	入出力	－	43	42	32	－	－	－	－
P5_1	入出力	SO41/A1	出力	－	44	43	33	－	－	－	－
P5_2	入出力	$\overline{\text{SCK41}}$/A2	入出力	－	45	44	34	－	－	－	－
P5_3	入出力	SI11/A3	入出力	－	46	45	35	－	－	－	－
P5_4	入出力	SO11/A4	出力	－	47	46	36	－	－	－	－
P5_5	入出力	TI03/TO3/SIS00/RXDS00/BUZ0/TE0AI/A5	入出力	－	48	47	37	－	－	－	－
		TI03/TO3/SIS00/RXDS00/BUZ0/TE0AI			－	－	－	27	23	19	18
P5_6	入出力	TI04/TO4/SOS00/TXDS00/RTC1HZ/TE0BI/A6	入出力	－	49	48	38	－	－	－	－
		TI04/TO4/SOS00/TXDS00/RTC1HZ/TE0BI			－	－	－	28	24	20	19
P5_7	入出力	TI05/TO5/$\overline{\text{SCKS00}}$/TE0ZI/A7	入出力	－	50	49	39	－	－	－	－
		TI05/TO5/$\overline{\text{SCKS00}}$/TE0ZI			－	－	－	29	25	21	20

備考　ピン番号の欄は次のように対応しています。

- 144　：V850E2/JJ4-L
- 128　：V850E2/JH4-L
- 100　：V850E2/JG4-L
- 80　：V850E2/JF4-L
- 64　：V850E2/JE4-L
- 48　：V850E2/JC4-L（48ピン版）
- 40　：V850E2/JC4-L（40ピン版）

表4－20　ポート5の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P5_0	－	－	SI41	－	－	－	INTP13	A0
P5_1	－	－	－	SO41	－	－	－	A1
P5_2	－	－	$\overline{\text{SCK41}}$		－	－	－	A2
P5_3	－	－	SI11	－	－	－	－	A3
P5_4	－	－	－	SO11	－	－	－	A4
P5_5	TI03	TO03	SIS00/RXDS00	－	－	BUZ0	TE0AI	A5
P5_6	TI04	TO04	－	SOS00/TXDS00	－	RTC1HZ	TE0BI	A6
P5_7	TI05	TO05	$\overline{\text{SCKS00}}$		－	－	TE0ZI	A7

(1) ポート5端子リード・レジスタ (PPR5)

アドレス：FFFF9214H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR5	PPR5_7	PPR5_6	PPR5_5	PPR5_4	PPR5_3	PPR5_2	PPR5_1	PPR5_0

PPR5_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート5レジスタ (P5)

アドレス：FFFF9014H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P5	P5_7	P5_6	P5_5	P5_4	P5_3	P5_2	P5_1	P5_0

P5_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート5モード・レジスタ (PM5)

アドレス：FFFF9314H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	PM5_7	PM5_6	PM5_5	PM5_4	PM5_3	PM5_2	PM5_1	PM5_0

PM5_n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート5モード・コントロール・レジスタ (PMC5)

アドレス：FFFF9414H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC5	PMC5_7	PMC5_6	PMC5_5	PMC5_4	PMC5_3	PMC5_2	PMC5_1	PMC5_0

PMC5_7	端子の動作モードの指定
0	入出力ポート (P5_7)
1	TI05入力/TO5出力/$\overline{\text{SCKS00}}$入出力/TE0ZI入力/A7出力

PMC5_6	端子の動作モードの指定
0	入出力ポート (P5_6)
1	TI04入力/TO4出力/SOS00出力/TXDS00出力/RTC1HZ出力/TE0BI入力/A6出力

PMC5_5	端子の動作モードの指定
0	入出力ポート (P5_5)
1	TI03入力/TO3出力/SIS00入力/RXDS00入力/BUZ0出力/TE0AI入力/A5出力

PMC5_4	端子の動作モードの指定
0	入出力ポート (P5_4)
1	SO11出力/A4出力

PMC5_3	端子の動作モードの指定
0	入出力ポート (P5_3)
1	SI11入力/A3出力

PMC5_2	端子の動作モードの指定
0	入出力ポート (P5_2)
1	$\overline{\text{SCK41}}$入出力/A2出力

PMC5_1	端子の動作モードの指定
0	入出力ポート (P5_1)
1	SO41出力/A1出力

PMC5_0	端子の動作モードの指定
0	入出力ポート (P5_0)
1	SI41入力/INTP13入力/A0出力

(5) ポート5ファンクション・コントロール・レジスタ (PFC5)

アドレス：FFFF9514H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC5	PFC5_7	PFC5_6	PFC5_5	PFC5_4	PFC5_3	PFC5_2	PFC5_1	PFC5_0

備考 兼用機能の指定については4. 3. 6 (7) ポート5の兼用機能の指定を参照してください。

(6) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

アドレス：FFFF9614H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCE5	PFCE5_7	PFCE5_6	PFCE5_5	PFCE5_4	PFCE5_3	PFCE5_2	PFCE5_1	PFCE5_0

備考 兼用機能の指定については4. 3. 6 (7) ポート5の兼用機能の指定を参照してください。

(7) ポート5の兼用機能の指定

ポート・モード (PMC5_7 = 0)	兼用機能モード (PMC5_7 = 1)							
	第1兼用機能 (PFCE5_7= 0, PFC5_7 = 0)		第2兼用機能 (PFCE5_7= 0, PFC5_7 = 1)		第3兼用機能 (PFCE5_7= 1, PFC5_7 = 0)		第4兼用機能 (PFCE5_7= 1, PFC5_7 = 1)	
	入力1 (PM5_7 = 1)	出力1 (PM5_7 = 0)	入力2 (PIPC5_7 = 1)	出力2 (PIPC5_7 = 1)	入力3	出力3	入力4 (PM5_7 = 1)	出力4 (PM5_7 = 0)
P5_7	TI05入力	TO05出力	$\overline{\text{SCKS00}}$入出力		設定禁止	設定禁止	TE0ZI入力	A7出力

ポート・モード (PMC5_6 = 0)	兼用機能モード (PMC5_6 = 1)							
	第1兼用機能 (PFCE5_6= 0, PFC5_6 = 0)		第2兼用機能 (PFCE5_6= 0, PFC5_6 = 1)		第3兼用機能 (PFCE5_6= 1, PFC5_6 = 0)		第4兼用機能 (PFCE5_6= 1, PFC5_6 = 1)	
	入力1 (PM5_6 = 1)	出力1 (PM5_6 = 0)	入力2 (PM5_6 = 1)	出力2 (PM5_6 = 0)	入力3 (PM5_6 = 1)	出力3 (PM5_6 = 0)	入力4 (PM5_6 = 1)	出力4 (PM5_6 = 0)
P5_6	TI04入力	TO04出力	設定禁止	SOS00/ TXDS00出力	設定禁止	RTC1HZ出力	TE0BI入力	A6出力

ポート・モード (PMC5_5 = 0)	兼用機能モード (PMC5_5 = 1)							
	第1兼用機能 (PFCE5_5= 0, PFC5_5 = 0)		第2兼用機能 (PFCE5_5= 0, PFC5_5 = 1)		第3兼用機能 (PFCE5_5= 1, PFC5_5 = 0)		第4兼用機能 (PFCE5_5= 1, PFC5_5 = 1)	
	入力1 (PM5_5 = 1)	出力1 (PM5_5 = 0)	入力2 (PM5_5 = 1)	出力2 (PM5_5 = 0)	入力3 (PM5_5 = 1)	出力3 (PM5_5 = 0)	入力4 (PM5_5 = 1)	出力4 (PM5_5 = 0)
P5_5	TI03入力	TO03出力	SIS00/ RXDS00入力	設定禁止	設定禁止	BUS0出力	TE0AI入力	A5出力

ポート・モード (PMC5_4 = 0)	兼用機能モード (PMC5_4 = 1)							
	第1兼用機能 (PFCE5_4= 0, PFC5_4 = 0)		第2兼用機能 (PFCE5_4= 0, PFC5_4 = 1)		第3兼用機能 (PFCE5_4= 1, PFC5_4 = 0)		第4兼用機能 (PFCE5_4= 1, PFC5_4 = 1)	
	入力1	出力1	入力2 (PM5_4 = 1)	出力2 (PM5_4 = 0)	入力3	出力3	入力4 (PM5_4 = 1)	出力4 (PM5_4 = 0)
P5_4	設定禁止	設定禁止	設定禁止	SO11出力	設定禁止	設定禁止	設定禁止	A4出力

ポート・モード (PMC5_3 = 0)	兼用機能モード (PMC5_3 = 1)							
	第1兼用機能 (PFCE5_3= 0, PFC5_3 = 0)		第2兼用機能 (PFCE5_3= 0, PFC5_3 = 1)		第3兼用機能 (PFCE5_3= 1, PFC5_3 = 0)		第4兼用機能 (PFCE5_3= 1, PFC5_3 = 1)	
	入力1	出力1	入力2 (PM5_3 = 1)	出力2 (PM5_3 = 0)	入力3	出力3	入力4 (PM5_3 = 1)	出力4 (PM5_3 = 0)
P5_3	設定禁止	設定禁止	SI11入力	設定禁止	設定禁止	設定禁止	設定禁止	A3出力

ポート・モード (PMC5_2 = 0)	兼用機能モード (PMC5_2 = 1)							
	第1兼用機能 (PFCE5_2= 0, PFC5_2 = 0)		第2兼用機能 (PFCE5_2= 0, PFC5_2 = 1)		第3兼用機能 (PFCE5_2= 1, PFC5_2 = 0)		第4兼用機能 (PFCE5_2= 1, PFC5_2 = 1)	
	入力1	出力1	入力2 (PM5_2 = 1)	出力2 (PM5_2 = 0)	入力3	出力3	入力4 (PM5_2 = 1)	出力4 (PM5_2 = 0)
P5_2	設定禁止	設定禁止	$\overline{\text{SCK41}}$入力	$\overline{\text{SCK41}}$出力	設定禁止	設定禁止	設定禁止	A2出力

ポート・モード (PMC5_1 = 0)	兼用機能モード (PMC5_1 = 1)							
	第1兼用機能 (PFCE5_1= 0, PFC5_1 = 0)		第2兼用機能 (PFCE5_1= 0, PFC5_1 = 1)		第3兼用機能 (PFCE5_1= 1, PFC5_1 = 0)		第4兼用機能 (PFCE5_1= 1, PFC5_1 = 1)	
	入力1	出力1	入力2 (PM5_1 = 1)	出力2 (PM5_1 = 0)	入力3	出力3	入力4 (PM5_1 = 1)	出力4 (PM5_1 = 0)
P5_1	設定禁止	設定禁止	設定禁止	SO41出力	設定禁止	設定禁止	設定禁止	A1出力

ポート・モード (PMC5_0 = 0)	兼用機能モード (PMC5_0 = 1)							
	第1兼用機能 (PFCE5_0= 0, PFC5_0 = 0)		第2兼用機能 (PFCE5_0= 0, PFC5_0 = 1)		第3兼用機能 (PFCE5_0= 1, PFC5_0 = 0)		第4兼用機能 (PFCE5_0= 1, PFC5_0 = 1)	
	入力1	出力1	入力2 (PM5_0 = 1)	出力2 (PM5_0 = 0)	入力3	出力3	入力4 (PM5_0 = 1)	出力4 (PM5_0 = 0)
P5_0	設定禁止	設定禁止	SI41入力	設定禁止	設定禁止	設定禁止	INTP13入力	A0出力

(8) ポート5入力バッファ・コントロール・レジスタ（PIBC5）

アドレス：FF405014H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIBC5	PIBC5_7	PIBC5_6	PIBC5_5	PIBC5_4	PIBC5_3	PIBC5_2	PIBC5_1	PIBC5_0

PIBC5_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート5双方向コントロール・レジスタ（PBDC5）

アドレス：FF405114H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDC5	PBDC5_7	PBDC5_6	PBDC5_5	PBDC5_4	PBDC5_3	PBDC5_2	PBDC5_1	PBDC5_0

PBDC5_n	P5_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

(10) ポート5 IPコントロール・レジスタ（PIPC5）

アドレス：FF405214H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIPC5	PIPC5_7	0	0	0	0	0	0	0

PIPC5_7	入出力制御モードの指定
0	PM5.PM5_7（S/W入出力制御）によって制御
1	周辺機能（直接入出力制御）によって制御

注意 $\overline{\text{SCKS00}}$を使用する場合は，PIPC5_7 = 1に設定してください。

（11）ポート入力バッファ選択レジスタ5（PIS5）

アドレス：FF405714H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
PIS5	PIS5_7	PIS5_6	PIS5_5	0	PIS5_3	PIS5_2	0	PIS5_0

PIS5_n	入力バッファの指定（n = 0, 2, 3, 5-7）
0	CMOS
1	シュミット

備考　入力の兼用機能を使用する場合は，PIS5_n = 1にすることを推奨します。

4.3.7　ポート6

ポート6は1ビット単位で入出力を制御できる8/3/1ビットのポートです。

ポート6は，次に示す端子と兼用しています。

表4－21　ポート6の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P6_0	入出力	$\overline{\text{SCK11}}$/A8	入出力	－	84	79	62	－	－	－	－
P6_1	入出力	RXD21/A9	入出力	－	85	80	63	－	－	－	－
P6_2	入出力	TXD21/A10	出力	－	86	81	64	－	－	－	－
P6_3	入出力	A11	出力	－	87	82	65	－	－	－	－
P6_4	入出力	A12	出力	－	88	83	66	－	－	－	－
P6_5	入出力	RXD10/A13	入出力	－	89	84	67	－	－	－	－
		RXD10			－	－	－	52	－	－	－
P6_6	入出力	TXD10/A14	出力	－	90	85	68	－	－	－	－
		TXD10			－	－	－	53	－	－	－
P6_7	入出力	TI06/TO6/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05/A15	入出力	－	91	86	69	－	－	－	－
		TI06/TO6/$\overline{\text{SCK40}}$/KR5/RTP5/INTP05			－	－	－	54	42	31	27

備考　ピン番号の欄は次のように対応しています。

- 144　：V850E2/JJ4-L
- 128　：V850E2/JH4-L
- 100　：V850E2/JG4-L
- 80　：V850E2/JF4-L
- 64　：V850E2/JE4-L
- 48　：V850E2/JC4-L（48ピン版）
- 40　：V850E2/JC4-L（40ピン版）

表4－22　ポート6の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P6_0	－	－	$\overline{\text{SCK11}}$		－	－	－	A8
P6_1	－	－	RXD21	－	－	－	－	A9
P6_2	－	－	－	TXD21	－	－	－	A10
P6_3	－	－	－	－	－	－	－	A11
P6_4	－	－	－	－	－	－	－	A12
P6_5	－	－	RXD10	－	－	－	－	A13
P6_6	－	－	－	TXD10	－	－	－	A14
P6_7	TI06	TO6	$\overline{\text{SCK40}}$		KR5	RTP5	INTP05	A15

(1) ポート6端子リード・レジスタ (PPR6)

アドレス：FFFF9218H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR6	PPR6_7	PPR6_6	PPR6_5	PPR6_4	PPR6_3	PPR6_2	PPR6_1	PPR6_0

PPR6_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート6レジスタ (P6)

アドレス：FFFF9018H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P6	P6_7	P6_6	P6_5	P6_4	P6_3	P6_2	P6_1	P6_0

P6_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート6モード・レジスタ (PM6)

アドレス：FFFF9318H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	PM6_7	PM6_6	PM6_5	PM6_4	PM6_3	PM6_2	PM6_1	PM6_0

PM6_n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート6モード・コントロール・レジスタ (PMC6)

アドレス：FFFF9418H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC6	PMC6_7	PMC6_6	PMC6_5	PMC6_4	PMC6_3	PMC6_2	PMC6_1	PMC6_0

PMC6_7	端子の動作モードの指定
0	入出力ポート (P6_7)
1	TI06入力/TO6出力/$\overline{\text{SCK40}}$入出力/KR5入力/RTP5出力/INTP05入力/A15出力

PMC6_6	端子の動作モードの指定
0	入出力ポート (P6_6)
1	TXD10出力/A14出力

PMC6_5	端子の動作モードの指定
0	入出力ポート (P6_5)
1	RXD10入力/A13出力

PMC6_4	端子の動作モードの指定
0	入出力ポート (P6_4)
1	A12出力

PMC6_3	端子の動作モードの指定
0	入出力ポート (P6_3)
1	A11出力

PMC6_2	端子の動作モードの指定
0	入出力ポート (P6_2)
1	TXD21出力/A10出力

PMC6_1	端子の動作モードの指定
0	入出力ポート (P6_1)
1	RXD21入力/A9出力

PMC6_0	端子の動作モードの指定
0	入出力ポート (P6_0)
1	$\overline{\text{SCK11}}$入出力/A8出力

(5) ポート6ファンクション・コントロール・レジスタ (PFC6)

アドレス：FFFF9518H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC6	PFC6_7	PFC6_6	PFC6_5	PFC6_4	PFC6_3	PFC6_2	PFC6_1	PFC6_0

備考 兼用機能の指定については4. 3. 7 (7) ポート6の兼用機能の指定を参照してください。

(6) ポート6ファンクション・コントロール拡張レジスタ (PFCE6)

アドレス：FFFF9618H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCE6	PFCE6_7	PFCE6_6	PFCE6_5	PFCE6_4	PFCE6_3	PFCE6_2	PFCE6_1	PFCE6_0

備考 兼用機能の指定については4. 3. 7 (7) ポート6の兼用機能の指定を参照してください。

(7) ポート6の兼用機能の指定

ポート・モード (PMC6_7 = 0)	兼用機能モード (PMC6_7 = 1)							
	第1兼用機能 (PFCE6_7= 0, PFC6_7 = 0)		第2兼用機能 (PFCE6_7= 0, PFC6_7 = 1)		第3兼用機能 (PFCE6_7= 1, PFC6_7 = 0)		第4兼用機能 (PFCE6_7= 1, PFC6_7 = 1)	
	入力1 (PM6_7 = 1)	出力1 (PM6_7 = 0)	入力2 (PM6_7 = 1)	出力2 (PM6_7 = 0)	入力3 (PM6_7 = 1)	出力3 (PM6_7 = 0)	入力4 (PM6_7 = 1)	出力4 (PM6_7 = 0)
P6_7	TI06入力	TO06出力	$\overline{\text{SCK40}}$入力	$\overline{\text{SCK40}}$出力	KR5入力	RTP5出力	INTP05入力	A15出力

ポート・モード (PMC6_6 = 0)	兼用機能モード (PMC6_6 = 1)							
	第1兼用機能 (PFCE6_6= 0, PFC6_6 = 0)		第2兼用機能 (PFCE6_6= 0, PFC6_6 = 1)		第3兼用機能 (PFCE6_6= 1, PFC6_6 = 0)		第4兼用機能 (PFCE6_6= 1, PFC6_6 = 1)	
	入力1	出力1	入力2 (PM6_6 = 1)	出力2 (PM6_6 = 0)	入力3	出力3	入力4 (PM6_6 = 1)	出力4 (PM6_6 = 0)
P6_6	設定禁止	設定禁止	設定禁止	TXD10出力	設定禁止	設定禁止	設定禁止	A14出力

ポート・モード (PMC6_5 = 0)	兼用機能モード (PMC6_5 = 1)							
	第1兼用機能 (PFCE6_5= 0, PFC6_5 = 0)		第2兼用機能 (PFCE6_5= 0, PFC6_5 = 1)		第3兼用機能 (PFCE6_5= 1, PFC6_5 = 0)		第4兼用機能 (PFCE6_5= 1, PFC6_5 = 1)	
	入力1	出力1	入力2 (PM6_5 = 1)	出力2 (PM6_5 = 0)	入力3	出力3	入力4 (PM6_5 = 1)	出力4 (PM6_5 = 0)
P6_5	設定禁止	設定禁止	RXD10入力	設定禁止	設定禁止	設定禁止	設定禁止	A13出力

ポート・モード (PMC6_4 = 0)	兼用機能モード (PMC6_4 = 1)							
	第1兼用機能 (PFCE6_4= 0, PFC6_4 = 0)		第2兼用機能 (PFCE6_4= 0, PFC6_4 = 1)		第3兼用機能 (PFCE6_4= 1, PFC6_4 = 0)		第4兼用機能 (PFCE6_4= 1, PFC6_4 = 1)	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4 (PM6_4 = 1)	出力4 (PM6_4 = 0)
P6_4	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	A12出力

ポート・モード (PMC6_3 = 0)	兼用機能モード (PMC6_3 = 1)							
	第1兼用機能 (PFCE6_3= 0, PFC6_3 = 0)		第2兼用機能 (PFCE6_3= 0, PFC6_3 = 1)		第3兼用機能 (PFCE6_3= 1, PFC6_3 = 0)		第4兼用機能 (PFCE6_3= 1, PFC6_3 = 1)	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4 (PM6_3 = 1)	出力4 (PM6_3 = 0)
P6_3	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	A12出力

ポート・モード (PMC6_2 = 0)	兼用機能モード (PMC6_2 = 1)							
	第1兼用機能 (PFCE6_2= 0, PFC6_2 = 0)		第2兼用機能 (PFCE6_2= 0, PFC6_2 = 1)		第3兼用機能 (PFCE6_2= 1, PFC6_2 = 0)		第4兼用機能 (PFCE6_2= 1, PFC6_2 = 1)	
	入力1	出力1	入力2 (PM6_2 = 1)	出力2 (PM6_2 = 0)	入力3	出力3	入力4 (PM6_2 = 1)	出力4 (PM6_2 = 0)
P6_2	設定禁止	設定禁止	設定禁止	TXD21出力	設定禁止	設定禁止	設定禁止	A10出力

ポート・モード (PMC6_1 = 0)	兼用機能モード (PMC6_1 = 1)							
	第1兼用機能 (PFCE6_1= 0, PFC6_1 = 0)		第2兼用機能 (PFCE6_1= 0, PFC6_1 = 1)		第3兼用機能 (PFCE6_1= 1, PFC6_1 = 0)		第4兼用機能 (PFCE6_1= 1, PFC6_1 = 1)	
	入力1	出力1	入力2 (PM6_1 = 1)	出力2 (PM6_1 = 0)	入力3	出力3	入力4 (PM6_1 = 1)	出力4 (PM6_1 = 0)
P6_1	設定禁止	設定禁止	RXD21入力	設定禁止	設定禁止	設定禁止	設定禁止	A9出力

ポート・モード (PMC6_0 = 0)	兼用機能モード (PMC6_0 = 1)							
	第1兼用機能 (PFCE6_0= 0, PFC6_0 = 0)		第2兼用機能 (PFCE6_0= 0, PFC6_0 = 1)		第3兼用機能 (PFCE6_0= 1, PFC6_0 = 0)		第4兼用機能 (PFCE6_0= 1, PFC6_0 = 1)	
	入力1	出力1	入力2 (PM6_0 = 1)	出力2 (PM6_0 = 0)	入力3	出力3	入力4 (PM6_0 = 1)	出力4 (PM6_0 = 0)
P6_0	設定禁止	設定禁止	$\overline{\text{SCK11}}$入力	$\overline{\text{SCK11}}$出力	設定禁止	設定禁止	設定禁止	A8出力

(8) ポート6入力バッファ・コントロール・レジスタ (PIBC6)

アドレス：FF405018H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIBC6	PIBC6_7	PIBC6_6	PIBC6_5	PIBC6_4	PIBC6_3	PIBC6_2	PIBC6_1	PIBC6_0

PIBC6_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート6双方向コントロール・レジスタ (PBDC6)

アドレス：FF405118H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDC6	PBDC6_7	PBDC6_6	PBDC6_5	PBDC6_4	PBDC6_3	PBDC6_2	PBDC6_1	PBDC6_0

PBDC6_n	P6_nの双方向モードの制御 (n = 0-7)
0	双方向モード禁止
1	双方向モード許可

(10) ポート入力バッファ選択レジスタ6 (PIS6)

アドレス：FF405718H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIS6	PIS6_7	0	PIS6_5	0	0	0	PIS6_1	PIS6_0

PIS6_n	入力バッファの指定 (n = 0, 1, 5, 7)
0	CMOS
1	シュミット

備考 入力の兼用機能を使用する場合は，PIS6_n = 1にすることを推奨します。

4.3.8　ポート7

ポート7は1ビット単位で入出力を制御できる7/6/3/2/1ビットのポートです。

ポート7は，次に示す端子と兼用しています。

表4－23　ポート7の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P7_0	入出力	TI07/TO7/KR6/RTP6/INTP06/A16	入出力	－	92	87	70	55	－	－	－
		TI07/TO7/KR6/RTP6/INTP06			－	－	－	－	43	32	28
P7_1	入出力	TI14/TO14/$\overline{\text{SCKS01}}$/A17	入出力	－	104	95	－	－	－	－	－
		TI14/TO14/A17			－	－	73	58	－	－	－
		TI14/TO14			－	－	－	－	46	－	－
P7_2	入出力	A18	出力	－	111	102	79	64	－	－	－
P7_3	入出力	SI01/A19	入出力	－	112	103	80	－	－	－	－
P7_4	入出力	SO01/A20	出力	－	113	104	81	－	－	－	－
P7_5	入出力	$\overline{\text{SCK01}}$/A21	入出力	－	114	105	82	－	－	－	－
P7_6	入出力	A22	出力	－	115	106	－	－	－	－	－

備考　ピン番号の欄は次のように対応しています。

- 144　：V850E2/JJ4-L
- 128　：V850E2/JH4-L
- 100　：V850E2/JG4-L
- 80　：V850E2/JF4-L
- 64　：V850E2/JE4-L
- 48　：V850E2/JC4-L（48ピン版）
- 40　：V850E2/JC4-L（40ピン版）

表4－24　ポート7の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P7_0	TI07	TO07	－	－	KR6	RTP6	INTP06	A16
P7_1	TI14	TO14	$\overline{\text{SCKS01}}$		－	－	－	A17
P7_2	－	－	－	－	－	－	－	A18
P7_3	－	－	SI01	－	－	－	－	A19
P7_4	－	－	－	SO01	－	－	－	A20
P7_5	－	－	$\overline{\text{SCK01}}$		－	－	－	A21
P7_6	－	－	－	－	－	－	－	A22

(1) ポート7端子リード・レジスタ (PPR7)

アドレス：FFFF921CH リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR7	0	PPR7_6	PPR7_5	PPR7_4	PPR7_3	PPR7_2	PPR7_1	PPR7_0

PPR7_n	端子レベルの読み出し (n = 0-6)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート7レジスタ (P7)

アドレス：FFFF901CH リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P7	0	P7_6	P7_5	P7_4	P7_3	P7_2	P7_1	P7_0

P7_n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(3) ポート7モード・レジスタ (PM7)

アドレス：FFFF931CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0

PM7_n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(4) ポート7モード・コントロール・レジスタ (PMC7)

アドレス：FFFF941CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC7	0	PMC7_6	PMC7_5	PMC7_4	PMC7_3	PMC7_2	PMC7_1	PMC7_0

PMC7_6	端子の動作モードの指定
0	入出力ポート (P7_6)
1	A22出力

PMC7_5	端子の動作モードの指定
0	入出力ポート (P7_5)
1	$\overline{\text{SCK01}}$入出力/A21出力

PMC7_4	端子の動作モードの指定
0	入出力ポート (P7_4)
1	SO01出力/A20出力

PMC7_3	端子の動作モードの指定
0	入出力ポート (P7_3)
1	SI01入力/A19出力

PMC7_2	端子の動作モードの指定
0	入出力ポート (P7_2)
1	A18出力

PMC7_1	端子の動作モードの指定
0	入出力ポート (P7_1)
1	TI14入力/TO14出力/$\overline{\text{SCKS01}}$入出力/A17出力

PMC7_0	端子の動作モードの指定
0	入出力ポート (P7_0)
1	TI07入力/TO7出力/KR6入力/RTP6出力/INTP06入力/A16出力

(5) ポート7ファンクション・コントロール・レジスタ (PFC7)

アドレス：FFFF951CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC7	0	PFC7_6	PFC7_5	PFC7_4	PFC7_3	PFC7_2	PFC7_1	PFC7_0

備考 兼用機能の指定については4. 3. 8 (7) ポート7の兼用機能の指定を参照してください。

(6) ポート7ファンクション・コントロール拡張レジスタ (PFCE7)

アドレス：FFFF961CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCE7	0	PFCE7_6	PFCE7_5	PFCE7_4	PFCE7_3	PFCE7_2	PFCE7_1	PFCE7_0

備考 兼用機能の指定については4. 3. 8 (7) ポート7の兼用機能の指定を参照してください。

(7) ポート7の兼用機能の指定

ポート・モード (PMC7_6 = 0)	兼用機能モード (PMC7_6 = 1)							
	第1兼用機能 (PFCE7_6= 0, PFC7_6 = 0)		第2兼用機能 (PFCE7_6= 0, PFC7_6 = 1)		第3兼用機能 (PFCE7_6= 1, PFC7_6 = 0)		第4兼用機能 (PFCE7_6= 1, PFC7_6 = 1)	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4 (PM7_6 = 1)	出力4 (PM7_6 = 0)
P7_6	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	A22出力

ポート・モード (PMC7_5 = 0)	兼用機能モード (PMC7_5 = 1)							
	第1兼用機能 (PFCE7_5= 0, PFC7_5 = 0)		第2兼用機能 (PFCE7_5= 0, PFC7_5 = 1)		第3兼用機能 (PFCE7_5= 1, PFC7_5 = 0)		第4兼用機能 (PFCE7_5= 1, PFC7_5 = 1)	
	入力1	出力1	入力2 (PM7_5 = 1)	出力2 (PM7_5 = 0)	入力3	出力3	入力4 (PM7_5 = 1)	出力4 (PM7_5 = 0)
P7_5	設定禁止	設定禁止	$\overline{\text{SCK01}}$入力	$\overline{\text{SCK01}}$出力	設定禁止	設定禁止	設定禁止	A21出力

ポート・モード (PMC7_4 = 0)	兼用機能モード (PMC7_4 = 1)							
	第1兼用機能 (PFCE7_4= 0, PFC7_4 = 0)		第2兼用機能 (PFCE7_4= 0, PFC7_4 = 1)		第3兼用機能 (PFCE7_4= 1, PFC7_4 = 0)		第4兼用機能 (PFCE7_4= 1, PFC7_4 = 1)	
	入力1	出力1	入力2 (PM7_4 = 1)	出力2 (PM7_4 = 0)	入力3	出力3	入力4 (PM7_4 = 1)	出力4 (PM7_4 = 0)
P7_4	設定禁止	設定禁止	設定禁止	SO01出力	設定禁止	設定禁止	設定禁止	A20出力

ポート・モード (PMC7_3 = 0)	兼用機能モード (PMC7_3 = 1)							
	第1兼用機能 (PFCE7_3= 0, PFC7_3 = 0)		第2兼用機能 (PFCE7_3= 0, PFC7_3 = 1)		第3兼用機能 (PFCE7_3= 1, PFC7_3 = 0)		第4兼用機能 (PFCE7_3= 1, PFC7_3 = 1)	
	入力1	出力1	入力2 (PM7_3 = 1)	出力2 (PM7_3 = 0)	入力3	出力3	入力4 (PM7_3 = 1)	出力4 (PM7_3 = 0)
P7_3	設定禁止	設定禁止	SI01入力	設定禁止	設定禁止	設定禁止	設定禁止	A19出力

ポート・モード (PMC7_2 = 0)	兼用機能モード (PMC7_2 = 1)							
	第1兼用機能 (PFCE7_2= 0, PFC7_2 = 0)		第2兼用機能 (PFCE7_2= 0, PFC7_2 = 1)		第3兼用機能 (PFCE7_2= 1, PFC7_2 = 0)		第4兼用機能 (PFCE7_2= 1, PFC7_2 = 1)	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4 (PM7_2 = 1)	出力4 (PM7_2 = 0)
P7_2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	A18出力

ポート・モード (PMC7_1 = 0)	兼用機能モード (PMC7_1 = 1)							
	第1兼用機能 (PFCE7_1= 0, PFC7_1 = 0)		第2兼用機能 (PFCE7_1= 0, PFC7_1 = 1)		第3兼用機能 (PFCE7_1= 1, PFC7_1 = 0)		第4兼用機能 (PFCE7_1= 1, PFC7_1 = 1)	
	入力1 (PM7_1 = 1)	出力1 (PM7_1 = 0)	入力2 (PIPC7_1 = 1)	出力2 (PIPC7_1 = 1)	入力3	出力3	入力4 (PM7_1 = 1)	出力4 (PM7_1 = 0)
P7_1	TI14入力	TO14出力	$\overline{\text{SCKS01}}$入出力		設定禁止	設定禁止	設定禁止	A17出力

ポート・モード (PMC7_0 = 0)	兼用機能モード (PMC7_0 = 1)							
	第1兼用機能 (PFCE7_0= 0, PFC7_0 = 0)		第2兼用機能 (PFCE7_0= 0, PFC7_0 = 1)		第3兼用機能 (PFCE7_0= 1, PFC7_0 = 0)		第4兼用機能 (PFCE7_0= 1, PFC7_0 = 1)	
	入力1 (PM7_0 = 1)	出力1 (PM7_0 = 0)	入力2	出力2	入力3 (PM7_0 = 1)	出力3 (PM7_0 = 0)	入力4 (PM7_0 = 1)	出力4 (PM7_0 = 0)
P7_0	TI07入力	TO07出力	設定禁止	設定禁止	KR06入力	RTP6出力	INTP06入力	A16出力

(8) ポート7入力バッファ・コントロール・レジスタ（PIBC7）

アドレス：FF40501CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC7	0	PIBC7_6	PIBC7_5	PIBC7_4	PIBC7_3	PIBC7_2	PIBC7_1	PIBC7_0

PIBC7_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート7双方向コントロール・レジスタ（PBDC7）

アドレス：FF40511CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC7	0	PBDC7_6	PBDC7_5	PBDC7_4	PBDC7_3	PBDC7_2	PBDC7_1	PBDC7_0

PBDC7_n	P7_nの双方向モードの制御（n = 0-6）
0	双方向モード禁止
1	双方向モード許可

(10) ポート7 IPコントロール・レジスタ（PIPC7）

アドレス：FF40521CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIPC7	0	0	0	0	0	0	PIPC7_1	0

PIPC7_1	入出力制御モードの指定
0	PM7.PM7_1（S/W入出力制御）によって制御
1	周辺機能（直接入出力制御）によって制御

注意　$\overline{\text{SCKS01}}$を使用する場合は，PIPC7_1 = 1に設定してください。

（11）ポート入力バッファ選択レジスタ7（PIS7）

アドレス：FF40571CH **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
PIS7	0	0	PIS7_5	0	PIS7_3	0	PIS7_1	PIS7_0

PIS7_n	入力バッファの指定（n = 0, 1, 3, 5）
0	CMOS
1	シュミット

備考 入力の兼用機能を使用する場合は，PIS7_n = 1にすることを推奨します。

4. 3. 9 ポート8

ポート8は1ビット単位で入出力を制御できる8/5/4/3ビットのポートです。

ポート8は，次に示す端子と兼用しています。

表4－25 ポート8の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P8_0	入出力	INTP12	入力	プルアップ抵抗設定可能	35	34	24	－	－	－	－
P8_1	入出力	EXLVI	入力	－	36	35	25	20	16	－	－
P8_2	入出力	TI00/TO00/SI50/RXD50/SCLA0	入出力	－	37	36	26	21	17	13	12
P8_3	入出力	TI01/TO01/SO50/TXD50/SDAA0	入出力	－	38	37	27	22	18	14	13
P8_4	入出力	TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	入出力	－	39	38	28	23	－	－	－
		TI02/TO02/$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK			－	－	－	－	19	15	14
P8_5	入出力	SI13	入力	プルアップ抵抗設定可能	95	90	－	－	－	－	－
P8_6	入出力	SO13	出力	プルアップ抵抗設定可能	96	91	－	－	－	－	－
P8_7	入出力	$\overline{\text{SCK13}}$	入出力	プルアップ抵抗設定可能	97	92	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－26 ポート8の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P8_0	INTP12	－	－	－	－	－	－	－
P8_1	EXLVI	－	－	－	－	－	－	－
P8_2	TI00	TO00	SI50/RXD50	－	－	－	SCLA0	
P8_3	TI01	TO01	－	SO50/TXD50	－	－	SDAA0	
P8_4	TI02	TO02	$\overline{\text{SCK50}}$		INTP04	TE0CS	UCLK	$\overline{\text{BCYST}}$
P8_5	－	－	SI13	－	－	－	－	－
P8_6	－	－	－	SO13	－	－	－	－
P8_7	－	－	$\overline{\text{SCK13}}$		－	－	－	－

(1) ポート8端子リード・レジスタ (PPR8)

アドレス：FFFF9220H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR8	PPR8_7	PPR8_6	PPR8_5	PPR8_4	PPR8_3	PPR8_2	PPR8_1	PPR8_0

PPR8_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート8レジスタ (P8)

アドレス：FFFF9020H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P8	P8_7	P8_6	P8_5	P8_4	P8_3	P8_2	P8_1	P8_0

P8_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート8モード・レジスタ (PM8)

アドレス：FFFF9320H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	PM8_7	PM8_6	PM8_5	PM8_4	PM8_3	PM8_2	PM8_1	PM8_0

PM8_n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート8モード・コントロール・レジスタ (PMC8)

アドレス：FFFF9420H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC8	PMC8_7	PMC8_6	PMC8_5	PMC8_4	PMC8_3	PMC8_2	PMC8_1	PMC8_0

PMC8_7	端子の動作モードの指定
0	入出力ポート (P8_7)
1	$\overline{\text{SCK13}}$入出力

PMC8_6	端子の動作モードの指定
0	入出力ポート (P8_6)
1	SO13出力

PMC8_5	端子の動作モードの指定
0	入出力ポート (P8_5)
1	SI13入力

PMC8_4	端子の動作モードの指定
0	入出力ポート (P8_4)
1	TI02入力/TO02出力/$\overline{\text{SCK50}}$入出力/INTP04入力/TE0CS出力/UCLK入力/$\overline{\text{BCYST}}$出力

PMC8_3	端子の動作モードの指定
0	入出力ポート (P8_3)
1	TI01入力/TO01出力/SO50出力/TXD50出力/SDAA0入出力

PMC8_2	端子の動作モードの指定
0	入出力ポート (P8_2)
1	TI00入力/TO00出力/SI50入力/RXD50入力/SCLA0入出力

PMC8_1	端子の動作モードの指定
0	入出力ポート (P8_1)
1	EXLVI入力

PMC8_0	端子の動作モードの指定
0	入出力ポート (P8_0)
1	INTP12入力

(5) ポート8ファンクション・コントロール・レジスタ (PFC8)

アドレス：FFFF9520H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC8	PFC8_7	PFC8_6	PFC8_5	PFC8_4	PFC8_3	PFC8_2	0	0

備考 兼用機能の指定については4. 3. 9 (7) ポート8の兼用機能の指定を参照してください。

(6) ポート8ファンクション・コントロール拡張レジスタ (PFCE8)

アドレス：FFFF9620H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCE8	0	0	0	PFCE8_4	PFCE8_3	PFCE8_2	0	0

備考 兼用機能の指定については4. 3. 9 (7) ポート8の兼用機能の指定を参照してください。

(7) ポート8の兼用機能の指定

ポート・モード (PMC8_7 = 0)	兼用機能モード (PMC8_7 = 1)							
	第1兼用機能 (PFC8_7 = 0)		第2兼用機能 (PFC8_7 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM8_7 = 1)	出力2 (PM8_7 = 0)	入力3	出力3	入力4	出力4
P8_7	設定禁止	設定禁止	$\overline{\text{SCK13}}$入力	$\overline{\text{SCK13}}$出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC8_6 = 0)	兼用機能モード (PMC8_6 = 1)							
	第1兼用機能 (PFC8_6 = 0)		第2兼用機能 (PFC8_6 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM8_6 = 1)	出力2 (PM8_6 = 0)	入力3	出力3	入力4	出力4
P8_6	設定禁止	設定禁止	設定禁止	SO13出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC8_5 = 0)	兼用機能モード (PMC8_5 = 1)							
	第1兼用機能 (PFC8_5 = 0)		第2兼用機能 (PFC8_5 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM8_5 = 1)	出力2 (PM8_5 = 0)	入力3	出力3	入力4	出力4
P8_5	設定禁止	設定禁止	SI13入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC8_4 = 0)	兼用機能モード (PMC8_4 = 1)							
	第1兼用機能 (PFCE8_4= 0, PFC8_4 = 0)		第2兼用機能 (PFCE8_4= 0, PFC8_4 = 1)		第3兼用機能 (PFCE8_4= 1, PFC8_4 = 0)		第4兼用機能 (PFCE8_4= 1, PFC8_4 = 1)	
	入力1 (PM8_4 = 1)	出力1 (PM8_4 = 0)	入力2 (PM8_4 = 1)	出力2 (PM8_4 = 0)	入力3 (PM8_4 = 1)	出力3 (PM8_4 = 0)	入力4 (PM8_4 = 1)	出力4 (PM8_4 = 0)
P8_4	TI02入力	TO02出力	$\overline{\text{SCK50}}$入力	$\overline{\text{SCK50}}$出力	INTP04入力	TE0CS出力	UCLK入力	$\overline{\text{BCYST}}$出力

ポート・モード (PMC8_3 = 0)	兼用機能モード (PMC8_3 = 1)							
	第1兼用機能 (PFCE8_3= 0, PFC8_3 = 0)		第2兼用機能 (PFCE8_3= 0, PFC8_3 = 1)		第3兼用機能 (PFCE8_3= 1, PFC8_3 = 0)		第4兼用機能 (PFCE8_3= 1, PFC8_3 = 1)	
	入力1 (PM8_3 = 1)	出力1 (PM8_3 = 0)	入力2 (PM8_3 = 1)	出力2 (PM8_3 = 0)	入力3	出力3	入力4 (PIPC8_3 = 1)	出力4 (PIPC8_3 = 1)
P8_3	TI01入力	TO01出力	設定禁止	SO50/TXD50 出力	設定禁止	設定禁止	SDAA0入出力	

ポート・モード (PMC8_2 = 0)	兼用機能モード (PMC8_2 = 1)							
	第1兼用機能 (PFCE8_2= 0, PFC8_2 = 0)		第2兼用機能 (PFCE8_2= 0, PFC8_2 = 1)		第3兼用機能 (PFCE8_2= 1, PFC8_2 = 0)		第4兼用機能 (PFCE8_2= 1, PFC8_2 = 1)	
	入力1 (PM8_2 = 1)	出力1 (PM8_2 = 0)	入力2 (PM8_2 = 1)	出力2 (PM8_2 = 0)	入力3	出力3	入力4 (PIPC8_2 = 1)	出力4 (PIPC8_2 = 1)
P8_2	TI00入力	TO00出力	SI50/RXD50 入力	設定禁止	設定禁止	設定禁止	SCLA0入出力	

ポート・モード (PMC8_1 = 0)	兼用機能モード (PMC8_1 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM8_1 = 1)	出力1 (PM8_1 = 0)	入力2	出力2	入力3	出力3	入力4	出力4
P8_1	EXLVI入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC8_0 = 0)	兼用機能モード (PMC8_0 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM8_0 = 1)	出力1 (PM8_0 = 0)	入力2	出力2	入力3	出力3	入力4	出力4
P8_0	INTP12入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(8) ポート8入力バッファ・コントロール・レジスタ（PIBC8）

アドレス：FF405020H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC8	PIBC8_7	PIBC8_6	PIBC8_5	PIBC8_4	PIBC8_3	PIBC8_2	PIBC8_1	PIBC8_0

PIBC8_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート8双方向コントロール・レジスタ（PBDC8）

アドレス：FF405120H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC8	PBDC8_7	PBDC8_6	PBDC8_5	PBDC8_4	PBDC8_3	PBDC8_2	PBDC8_1	PBDC8_0

PBDC8_n	P8_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

(10) ポート8 IPコントロール・レジスタ（PIPC8）

アドレス：FF405220H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIPC8	0	0	0	0	PIPC8_3	PIPC8_2	0	0

PIPC8_n	入出力制御モードの指定（n = 2, 3）
0	PM8.PM8_n（S/W入出力制御）によって制御
1	周辺機能（直接入出力制御）によって制御

注意　SDAA0, SCLA0を使用する場合は，PIPC8_n = 1に設定してください。

(11) プルアップ抵抗オプション・レジスタ8 (PU8)

アドレス：FF405320H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PU8	PU8_7	PU8_6	PU8_5	0	0	0	PU8_1	PU8_0

PU8_n	内蔵プルアップ抵抗接続制御 (n = 0, 1, 5-7)
0	接続しない
1	接続する

(12) ポート8オープン・ドレーン・コントロール・レジスタ (PODC8)

アドレス：FF405520H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PODC8	0	0	0	0	PODC8_3	PODC8_2	0	0

PODC8_n	出力バッファ機能の指定
0	CMOS
1	オープン・ドレーン

(10) ポート入力バッファ選択レジスタ8 (PIS8)

アドレス：FF405720H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIS8	PIS8_7	0	PIS8_5	PIS8_4	PIS8_3	PIS8_2	0	PIS8_0

PIS8_n	入力バッファの指定 (n = 0, 1-5, 7)
0	CMOS
1	シュミット

備考 入力の兼用機能を使用する場合は，PIS8_n = 1にすることを推奨します。

4. 3. 10 ポート9

ポート9は1ビット単位で入出力を制御できる8/6/2ビットのポートです。

ポート9は，次に示す端子と兼用しています。

表4－27 ポート9の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P9_0	入出力	AD0/TE1CS	入出力	－	62	57	40	30	－	－	－
		TE1CS			－	－	－	－	26	－	－
		－			－	－	－	－	－	22	－
P9_1	入出力	AD1/TE1TI0	入出力	－	63	58	41	31	－	－	－
		TE1TI0			－	－	－	－	27	－	－
		－			－	－	－	－	－	23	－
P9_2	入出力	AD2/TE1TI1	入出力	－	64	59	42	32	－	－	－
		TE1TI1			－	－	－	－	28	－	－
P9_3	入出力	AD3/TE1AI	入出力	－	65	60	43	33	－	－	－
		TE1AI			－	－	－	－	29	－	－
P9_4	入出力	AD4/TE1BI	入出力	－	66	61	44	34	－	－	－
		TE1BI			－	－	－	－	30	－	－
P9_5	入出力	AD5/TE1ZI	入出力	－	67	62	45	35	－	－	－
		TE1ZI			－	－	－	－	31	－	－
P9_6	入出力	AD6	入出力	－	68	63	46	36	－	－	－
P9_7	入出力	AD7	入出力	－	69	64	47	37	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－28 ポート9の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P9_0	AD0		－	TE1CS	－	－	－	－
P9_1	AD1		TE1TI0	－	－	－	－	－
P9_2	AD2		TE1TI1	－	－	－	－	－
P9_3	AD3		TE1AI	－	－	－	－	－
P9_4	AD4		TE1BI	－	－	－	－	－
P9_5	AD5		TE1ZI	－	－	－	－	－
P9_6	AD6		－	－	－	－	－	－
P9_7	AD7		－	－	－	－	－	－

(1) ポート9端子リード・レジスタ (PPR9)

アドレス：FFFF9224H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR9	PPR9_7	PPR9_6	PPR9_5	PPR9_4	PPR9_3	PPR9_2	PPR9_1	PPR9_0

PPR9_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート9レジスタ (P9)

アドレス：FFFF9024H　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P9	P9_7	P9_6	P9_5	P9_4	P9_3	P9_2	P9_1	P9_0

P9_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート9モード・レジスタ (PM9)

アドレス：FFFF9324H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM9	PM9_7	PM9_6	PM9_5	PM9_4	PM9_3	PM9_2	PM9_1	PM9_0

PM9_n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート9モード・コントロール・レジスタ (PMC9)

アドレス：FFFF9424H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC9	PMC9_7	PMC9_6	PMC9_5	PMC9_4	PMC9_3	PMC9_2	PMC9_1	PMC9_0

PMC9_7	端子の動作モードの指定
0	入出力ポート (P9_7)
1	AD7入出力

PMC9_6	端子の動作モードの指定
0	入出力ポート (P9_6)
1	AD6入出力

PMC9_5	端子の動作モードの指定
0	入出力ポート (P9_5)
1	AD5入出力/TE1ZI入力

PMC9_4	端子の動作モードの指定
0	入出力ポート (P9_4)
1	AD4入出力/TE1BI入力

PMC9_3	端子の動作モードの指定
0	入出力ポート (P9_3)
1	AD3入出力/TE1AI入力

PMC9_2	端子の動作モードの指定
0	入出力ポート (P9_2)
1	AD2入出力/TE1TI1入力

PMC9_1	端子の動作モードの指定
0	入出力ポート (P9_1)
1	AD1入出力/TE1TI0入力

PMC9_0	端子の動作モードの指定
0	入出力ポート (P9_0)
1	AD0入出力/TE1CS出力

(5) ポート9ファンクション・コントロール・レジスタ (PFC9)

アドレス：FFFF9524H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFC9	0	0	PFC9_5	PFC9_4	PFC9_3	PFC9_2	PFC9_1	PFC9_0

備考 兼用機能の指定については4. 3. 10 (6) ポート9の兼用機能の指定を参照してください。

(6) ポート9の兼用機能の指定

ポート・モード (PMC9_7 = 0)	兼用機能モード (PMC9_7 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_7 = 1)							
P9_7	AD7入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_6 = 0)	兼用機能モード (PMC9_6 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_6 = 1)							
P9_6	AD6入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_5 = 0)	兼用機能モード (PMC9_5 = 1)							
	第1兼用機能 (PFC9_5 = 0)		第2兼用機能 (PFC9_5 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM9_5 = 1)	出力2 (PM9_5 = 0)	入力3	出力3	入力4	出力4
	(PIPC9_5 = 1)							
P9_5	AD5入出力		TE1ZI入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_4 = 0)	兼用機能モード (PMC9_4 = 1)							
	第1兼用機能 (PFC9_4 = 0)		第2兼用機能 (PFC9_4 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM9_4 = 1)	出力2 (PM9_4 = 0)	入力3	出力3	入力4	出力4
	(PIPC9_4 = 1)							
P9_5	AD5入出力		TE1BI入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_4 = 0)	兼用機能モード (PMC9_4 = 1)							
	第1兼用機能 (PFC9_4 = 0)		第2兼用機能 (PFC9_4 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_4 = 1)		(PM9_4 = 1)	(PM9_4 = 0)				
P9_4	AD4入出力		TE1BI入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_3 = 0)	兼用機能モード (PMC9_3 = 1)							
	第1兼用機能 (PFC9_3 = 0)		第2兼用機能 (PFC9_3 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_3 = 1)		(PM9_3 = 1)	(PM9_3 = 0)				
P9_3	AD3入出力		TE1AI入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_2 = 0)	兼用機能モード (PMC9_2 = 1)							
	第1兼用機能 (PFC9_2 = 0)		第2兼用機能 (PFC9_2 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_2 = 1)		(PM9_2 = 1)	(PM9_2 = 0)				
P9_2	AD2入出力		TE1TI1入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_1 = 0)	兼用機能モード (PMC9_1 = 1)							
	第1兼用機能 (PFC9_1 = 0)		第2兼用機能 (PFC9_1 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_1 = 1)		(PM9_1 = 1)	(PM9_1 = 0)				
P9_1	AD1入出力		TE1TI0入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC9_0 = 0)	兼用機能モード (PMC9_0 = 1)							
	第1兼用機能 (PFC9_0 = 0)		第2兼用機能 (PFC9_0 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC9_0 = 1)		(PM9_0 = 1)	(PM9_0 = 0)				
P9_0	AD0入出力		設定禁止	TE1CS出力	設定禁止	設定禁止	設定禁止	設定禁止

(6) ポート9入力バッファ・コントロール・レジスタ（PIBC9）

アドレス：FF405024H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC9	PIBC9_7	PIBC9_6	PIBC9_5	PIBC9_4	PIBC9_3	PIBC9_2	PIBC9_1	PIBC9_0

PIBC9_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(7) ポート9双方向コントロール・レジスタ（PBDC9）

アドレス：FF405124H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC9	PBDC9_7	PBDC9_6	PBDC9_5	PBDC9_4	PBDC9_3	PBDC9_2	PBDC9_1	PBDC9_0

PBDC9_n	P9_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

(8) ポート9 IPコントロール・レジスタ（PIPC9）

アドレス：FF405224H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIPC9	PIPC9_7	PIPC9_6	PIPC9_5	PIPC9_4	PIPC9_3	PIPC9_2	PIPC9_1	PIPC9_0

PIPC9_n	入出力制御モードの指定（n = 0-7）
0	PM9.PM9_n（S/W入出力制御）によって制御
1	周辺機能（直接入出力制御）によって制御

注意　AD0-AD7を使用する場合は，PIPC9_n = 1に設定してください。

(9) ポート入力バッファ選択レジスタ9 (PIS9)

アドレス：FF405724H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIS9	0	0	PIS9_5	PIS9_4	PIS9_3	PIS9_2	PIS9_1	0

PIS9_n	入力バッファの指定 (n = 1-5)
0	CMOS
1	シュミット

備考 入力の兼用機能を使用する場合は，PIS9_n = 1にすることを推奨します。

4. 3. 11 ポート10

ポート10は1ビット単位で入出力を制御できる8/4/1ビットのポートです。

ポート10は，次に示す端子と兼用しています。

表4－29 ポート10の兼用端子

機能名称	入出力	兼用機能 名称	兼用機能 入出力	備考	ピン番号 144	128	100	80	64	48	40
P10_0	入出力	AD8	入出力	－	70	65	48	38	－	－	－
P10_1	入出力	AD9	入出力	－	71	66	49	39	－	－	－
P10_2	入出力	AD10	入出力	－	72	67	50	40	－	－	－
					－	－	－	－	32	24	
P10_3	入出力	AD11	入出力	－	73	68	51	41	－	－	－
					－	－	－	－	33	－	
P10_4	入出力	AD12	入出力	－	74	69	52	42	－	－	－
					－	－	－	－	34	－	
P10_5	入出力	AD13	入出力	－	75	70	53	43	－	－	－
					－	－	－	－	35	－	
P10_6	入出力	AD14	入出力	－	76	71	54	44	－	－	－
P10_7	入出力	AD15	入出力	－	77	72	55	45	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－30 ポート10の兼用機能の配置

ポート・モード	兼用機能モード 第1兼用機能 入力1	第1兼用機能 出力1	第2兼用機能 入力2	第2兼用機能 出力2	第3兼用機能 入力3	第3兼用機能 出力3	第4兼用機能 入力4	第4兼用機能 出力4
P10_0	AD8		－	－	－	－	－	－
P10_1	AD9		－	－	－	－	－	－
P10_2	AD10		－	－	－	－	－	－
P10_3	AD11		－	－	－	－	－	－
P10_4	AD12		－	－	－	－	－	－
P10_5	AD13		－	－	－	－	－	－
P10_6	AD14		－	－	－	－	－	－
P10_7	AD15		－	－	－	－	－	－

(1) ポート10端子リード・レジスタ (PPR10)

アドレス：FFFF9228H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR10	PPR10_7	PPR10_6	PPR10_5	PPR10_4	PPR10_3	PPR10_2	PPR10_1	PPR10_0

PPR10_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート10レジスタ (P10)

アドレス：FFFF9028H　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P10	P10_7	P10_6	P10_5	P10_4	P10_3	P10_2	P10_1	P10_0

P10_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート10モード・レジスタ (PM10)

アドレス：FFFF9328H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM10	PM10_7	PM10_6	PM10_5	PM10_4	PM10_3	PM10_2	PM10_1	PM10_0

PM10_n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート10モード・コントロール・レジスタ (PMC10)

アドレス：FFFF9428H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC10	PMC10_7	PMC10_6	PMC10_5	PMC10_4	PMC10_3	PMC10_2	PMC10_1	PMC10_0

備考 兼用機能の指定については4. 3. 11 (5) ポート10の兼用機能の指定を参照してください。

(5) ポート10の兼用機能の指定

ポート・モード (PMC10_7 = 0)	兼用機能モード (PMC10_7 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC10_7 = 1)							
P10_7	AD15入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_6 = 0)	兼用機能モード (PMC10_6 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC10_6 = 1)							
P10_6	AD14入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_5 = 0)	兼用機能モード (PMC10_5 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC10_5 = 1)							
P10_5	AD13入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_4 = 0)	兼用機能モード (PMC10_4 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	(PIPC10_4 = 1)							
P10_4	AD12入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_3 = 0)	兼用機能モード（PMC10_3 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	（PIPC10_3 = 1）							
P10_3	AD11入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_2 = 0)	兼用機能モード（PMC10_2 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	（PIPC10_2 = 1）							
P10_2	AD10入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_1 = 0)	兼用機能モード（PMC10_1 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	（PIPC10_1 = 1）							
P10_1	AD9入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC10_0 = 0)	兼用機能モード（PMC10_0 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
	（PIPC10_0 = 1）							
P10_0	AD8入出力		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(5) ポート10入力バッファ・コントロール・レジスタ（PIBC10）

アドレス：FF405028H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC10	PIBC10_7	PIBC10_6	PIBC10_5	PIBC10_4	PIBC10_3	PIBC10_2	PIBC10_1	PIBC10_0

PIBC10_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(6) ポート10双方向コントロール・レジスタ（PBDC10）

アドレス：FF405128H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC10	PBDC10_7	PBDC10_6	PBDC10_5	PBDC10_4	PBDC10_3	PBDC10_2	PBDC10_1	PBDC10_0

PBDC10_n	P10_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

(7) ポート10 IPコントロール・レジスタ（PIPC10）

アドレス：FF405228H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIPC10	PIPC10_7	PIPC10_6	PIPC10_5	PIPC10_4	PIPC10_3	PIPC10_2	PIPC10_1	PIPC10_0

PIPC10_n	入出力制御モードの指定（n = 0-7）
0	PM10.PM10_n（S/W入出力制御）によって制御
1	周辺機能（直接入出力制御）によって制御

注意　AD8-AD15を使用する場合は，PIPC10_n = 1に設定してください。

4. 3. 12 ポート11

ポート11は1ビット単位で入出力を制御できる4/3ビットのポートです。

ポート11は，次に示す端子と兼用しています。

表4－31 ポート11の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P11_0	入出力	INTP14	入力	プルアップ抵抗設定可能	6	9	－	－	－	－	－
P11_1	入出力	RXD20	入力	プルアップ抵抗設定可能	7	10	6	－	－	－	－
P11_2	入出力	TXD20	出力	プルアップ抵抗設定可能	8	11	7	－	－	－	－
P11_3	入出力	INTP11	入力	プルアップ抵抗設定可能	9	12	8	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－32 ポート11の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P11_0	INTP14	－	－	－	－	－	－	－
P11_1	－	－	RXD20	－	－	－	－	－
P11_2	－	－	－	TXD20	－	－	－	－
P11_3	INTP11	－	－	－	－	－	－	－

(1) ポート11端子リード・レジスタ (PPR11)

アドレス：FFFF922CH リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR11	0	0	0	0	PPR11_3	PPR11_2	PPR11_1	PPR11_0

PPR11_n	端子レベルの読み出し (n = 0-3)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート11レジスタ (P11)

アドレス：FFFF902CH リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P11	0	0	0	0	P11_3	P11_2	P11_1	P11_0

P11_n	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(3) ポート11モード・レジスタ (PM11)

アドレス：FFFF932CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM11	1	1	1	1	PM11_3	PM11_2	PM11_1	PM11_0

PM11_n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(4) ポート11モード・コントロール・レジスタ (PMC11)

アドレス：FFFF942CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC11	0	0	0	0	PMC11_3	PMC11_2	PMC11_1	PMC11_0

PMC11_3	端子の動作モードの指定
0	入出力ポート (P11_3)
1	INTP11入力

PMC11_2	端子の動作モードの指定
0	入出力ポート (P11_2)
1	TXD20出力

PMC11_1	端子の動作モードの指定
0	入出力ポート (P11_1)
1	RXD20入力

PMC11_0	端子の動作モードの指定
0	入出力ポート (P11_0)
1	INTP14入力

(5) ポート11ファンクション・コントロール・レジスタ (PFC11)

アドレス：FFFF952CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC11	0	0	0	0	0	PFC11_2	PFC11_1	0

PFC11_2	P11_2端子の兼用機能の指定
0	設定禁止
1	TXD20出力

PFC11_1	P11_1端子の兼用機能の指定
0	設定禁止
1	RXD20入力

備考 兼用機能の指定については4. 3. 12 (6) ポート11の兼用機能の指定を参照してください。

(6) ポート11の兼用機能の指定

ポート・モード (PMC11_3 = 0)	兼用機能モード (PMC11_3 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM11_3= 1)	出力1 (PM11_3= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P11_3	INTP11入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC11_2 = 0)	兼用機能モード (PMC11_2 = 1)							
	第1兼用機能 (PFC11_2 = 0)		第2兼用機能 (PFC11_2 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力1 (PM11_2= 1)	出力1 (PM11_2= 0)	入力3	出力3	入力4	出力4
P11_2	設定禁止	設定禁止	設定禁止	TXD20出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC11_1 = 0)	兼用機能モード (PMC11_1 = 1)							
	第1兼用機能 (PFC11_1 = 0)		第2兼用機能 (PFC11_1 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力1 (PM11_1= 1)	出力1 (PM11_1= 0)	入力3	出力3	入力4	出力4
P11_1	設定禁止	設定禁止	RXD20入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC11_0 = 0)	兼用機能モード (PMC11_0 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM11_0= 1)	出力1 (PM11_0= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P11_0	INTP14入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(7) ポート11入力バッファ・コントロール・レジスタ（PIBC11）

アドレス：FF40502CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC11	0	0	0	0	PIBC11_3	PIBC11_2	PIBC11_1	PIBC11_0

PIBC11_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(8) ポート11双方向コントロール・レジスタ（PBDC11）

アドレス：FF40512CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC11	0	0	0	0	PBDC11_3	PBDC11_2	PBDC11_1	PBDC11_0

PBDC11_n	P11_nの双方向モードの制御（n = 0-3）
0	双方向モード禁止
1	双方向モード許可

(9) プルアップ抵抗オプション・レジスタ11（PU11）

アドレス：FF40532CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PU11	0	0	0	0	PU11_3	PU11_2	PU11_1	PU11_0

PU11_n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

（10）ポート入力バッファ選択レジスタ11（PIS11）

アドレス：FF40572CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIS11	0	0	0	0	PIS11_3	0	PIS11_1	PIS11_0

PIS11_n	入力バッファの指定（n = 0-3）
0	CMOS
1	シュミット

注意　入力の兼用機能を使用する場合は，PIS11_n = 1にすることを推奨します。

4. 3. 13 ポート13

ポート13は1ビット単位で入出力を制御できる5ビットのポートです。

ポート13は，次に示す端子と兼用しています。

表4－33 ポート13の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P13_0	入出力	－	－	プルアップ抵抗設定可能	55	50	－	－	－	－	－
P13_1	入出力	SI21	入力	プルアップ抵抗設定可能	56	51	－	－	－	－	－
P13_2	入出力	TI24/TO24/SO21/INTP17	入出力	プルアップ抵抗設定可能	57	52	－	－	－	－	－
P13_3	入出力	TI25/TO25/$\overline{\text{SCK21}}$/INTP18	入出力	プルアップ抵抗設定可能	58	53	－	－	－	－	－
P13_4	入出力	－	－	プルアップ抵抗設定可能	59	54	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－34 ポート13の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P13_0	－	－	－	－	－	－	－	－
P13_1	－	－	SI21	－	－	－	－	－
P13_2	TI24	TO24	－	SO21	INTP17	－	－	－
P13_3	TI25	TO25	$\overline{\text{SCK21}}$		INTP18	－	－	－
P13_4	－	－	－	－	－	－	－	－

(1) ポート13端子リード・レジスタ (PPR13)

アドレス：FFFF9234H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR13	0	0	0	PPR13_4	PPR13_3	PPR13_2	PPR13_1	PPR13_0

PPR13_n	端子レベルの読み出し (n = 0-4)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート13レジスタ (P13)

アドレス：FFFF9034H　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P13	0	0	0	P13_4	P13_3	P13_2	P13_1	P13_0

P13_n	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(3) ポート13モード・レジスタ (PM13)

アドレス：FFFF9334H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM13	1	1	1	PM13_4	PM13_3	PM13_2	PM13_1	PM13_0

PM13_n	入出力モードの制御 (n = 0-4)
0	出力モード
1	入力モード

(4) ポート13モード・コントロール・レジスタ（PMC13）

アドレス：FFFF9434H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC13	0	0	0	0	PMC13_3	PMC13_2	PMC13_1	0

PMC13_3	端子の動作モードの指定
0	入出力ポート（P13_3）
1	TI25入力/TO25出力/$\overline{\text{SCK21}}$入出力/INTP18入力

PMC13_2	端子の動作モードの指定
0	入出力ポート（P13_2）
1	TI24入力/TO24出力/SO21出力/INTP17入力

PMC13_1	端子の動作モードの指定
0	入出力ポート（P13_1）
1	SI21入力

(5) ポート13ファンクション・コントロール・レジスタ（PFC13）

アドレス：FFFF9534H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFC13	0	0	0	0	PFC13_3	PFC13_2	PFC13_1	0

備考　兼用機能の指定については4. 3. 13（7）ポート13の兼用機能の指定を参照してください。

(6) ポート13ファンクション・コントロール拡張レジスタ（PFCE13）

アドレス：FFFF9634H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCE13	0	0	0	0	PFCE13_3	PFCE13_2	0	0

備考　兼用機能の指定については4. 3. 13（7）ポート13の兼用機能の指定を参照してください。

(7) ポート13の兼用機能の指定

ポート・モード (PMC13_3 = 0)	兼用機能モード (PMC13_3 = 1)							
	第1兼用機能 (PFCE13_3= 0, PFC13_3 = 0)		第2兼用機能 (PFCE13_3= 0, PFC13_3 = 1)		第3兼用機能 (PFCE13_3= 1, PFC13_3 = 0)		第4兼用機能 (PFCE13_3= 1, PFC13_3 = 1)	
	入力1 (PM13_3 =1)	出力1 (PM13_3 =0)	入力2 (PM13_3 =1)	出力2 (PM13_3 =0)	入力3 (PM13_3 =1)	出力3 (PM13_3 =0)	入力4	出力4
P13_3	TI25入力	TO25出力	$\overline{\text{SCK21}}$入力	$\overline{\text{SCK21}}$出力	INTP18	設定禁止	設定禁止	設定禁止

ポート・モード (PMC13_2 = 0)	兼用機能モード (PMC13_2 = 1)							
	第1兼用機能 (PFCE13_2= 0, PFC13_2 = 0)		第2兼用機能 (PFCE13_2= 0, PFC13_2 = 1)		第3兼用機能 (PFCE13_2= 1, PFC13_2 = 0)		第4兼用機能 (PFCE13_2= 1, PFC13_2 = 1)	
	入力1 (PM13_2 =1)	出力1 (PM13_2 =0)	入力1 (PM13_2 =1)	出力1 (PM13_2 =0)	入力1 (PM13_2 =1)	出力1 (PM13_2 =0)	入力4	出力4
P13_2	TI24入力	TO24出力	設定禁止	SO21出力	INTP17	設定禁止	設定禁止	設定禁止

ポート・モード (PMC13_1 = 0)	兼用機能モード (PMC13_1 = 1)							
	第1兼用機能 (PFC13_1 = 0)		第2兼用機能 (PFC13_1 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM13_1 = 1)	出力2 (PM13_1 = 0)	入力3	出力3	入力4	出力4
P13_1	設定禁止	設定禁止	SI21入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(8) ポート13入力バッファ・コントロール・レジスタ (PIBC13)

アドレス：FF405034H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC13	0	0	0	PIBC13_4	PIBC13_3	PIBC13_2	PIBC13_1	PIBC13_0

PIBC13_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート13双方向コントロール・レジスタ (PBDC13)

アドレス：FF405134H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDC13	0	0	0	PBDC13_4	PBDC13_3	PBDC13_2	PBDC13_1	PBDC13_0

PBDC13_n	P13_nの双方向モードの制御 (n = 0-4)
0	双方向モード禁止
1	双方向モード許可

(10) プルアップ抵抗オプション・レジスタ13 (PU13)

アドレス：FF405334H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PU13	0	0	0	PU13_4	PU13_3	PU13_2	PU13_1	PU13_0

PU13_n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(11) ポート入力バッファ選択レジスタ13 (PIS13)

アドレス：FF405734H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIS13	0	0	0	0	PIS13_3	PIS13_2	PIS13_1	0

PIS13_n	入力バッファの指定 (n = 1-3)
0	CMOS
1	シュミット

注意 入力の兼用機能を使用する場合は，PIS13_n = 1にすることを推奨します。

4. 3. 14 ポート14

ポート14は1ビット単位で入出力を制御できる6ビットのポートです。

ポート14は，次に示す端子と兼用しています。

表4－35 ポート14の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P14_0	入出力	TI26/TO26/SI03/SDAA3	入出力	－	10	13	－	－	－	－	－
P14_1	入出力	TI27/TO27/SO03/SCLA3	入出力	－	11	14	－	－	－	－	－
P14_2	入出力	TI20/TO20/$\overline{\text{SCK03}}$/INTP19	入出力	－	12	15	－	－	－	－	－
P14_3	入出力	TI21/TO21/SI23/INTP20	入出力	－	13	16	－	－	－	－	－
P14_4	入出力	TI22/TO22/SO23/INTP15	入出力	－	14	17	－	－	－	－	－
P14_5	入出力	TI23/TO23/$\overline{\text{SCK23}}$/INTP16	入出力	－	15	18	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－36 ポート14の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P14_0	TI26	TO26	SI03	－	SDAA3		－	－
P14_1	TI27	TO27	－	SO03	SCLA3		－	－
P14_2	TI20	TO20	$\overline{\text{SCK03}}$		INTP19	－	－	－
P14_3	TI21	TO21	SI23	－	INTP20	－	－	－
P14_4	TI22	TO22	－	SO23	INTP15	－	－	－
P14_5	TI23	TO23	$\overline{\text{SCK23}}$		INTP16	－	－	－

(1) ポート14端子リード・レジスタ (PPR14)

アドレス：FFFF9238H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
PPR14	0	0	PPR14_5	PPR14_4	PPR14_3	PPR14_2	PPR14_1	PPR14_0

PPR14_n	端子レベルの読み出し (n = 0-5)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート14レジスタ (P14)

アドレス：FFFF9038H　リセット時：00H (出力ラッチ)　R/W

略号	7	6	5	4	3	2	1	0
P14	0	0	P14_5	P14_4	P14_3	P14_2	P14_1	P14_0

P14_n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(3) ポート14モード・レジスタ（PM14）

アドレス：FFFF9338H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM14_5	PM14_4	PM14_3	PM14_2	PM14_1	PM14_0

PM14_n	入出力モードの制御（n = 0-5）
0	出力モード
1	入力モード

(4) ポート14モード・コントロール・レジスタ（PMC14）

アドレス：FFFF9438H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC14	0	0	PMC14_5	PMC14_4	PMC14_3	PMC14_2	PMC14_1	PMC14_0

PMC14_5	端子の動作モードの指定
0	入出力ポート（P14_5）
1	TI23入力/TO23出力/$\overline{\text{SCK23}}$入出力/INTP16入力

PMC14_4	端子の動作モードの指定
0	入出力ポート（P14_4）
1	TI22入力/TO22出力/SO23出力/INTP15入力

PMC14_3	端子の動作モードの指定
0	入出力ポート（P14_3）
1	TI21入力/TO21出力/SI23入力/INTP20入力

PMC14_2	端子の動作モードの指定
0	入出力ポート（P14_2）
1	TI20入力/TO20出力/$\overline{\text{SCK03}}$入出力/INTP19入力

PMC14_1	端子の動作モードの指定
0	入出力ポート（P14_1）
1	TI27入力/TO27出力/SO03出力/SCLA3入出力

PMC14_0	端子の動作モードの指定
0	入出力ポート（P14_0）
1	TI26入力/TO26出力/SI03入力/SDAA3入出力

(5) ポート14ファンクション・コントロール・レジスタ（PFC14）

アドレス：FFFF9538H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFC14	0	0	PFC14_5	PFC14_4	PFC14_3	PFC14_2	PFC14_1	PFC14_0

備考　兼用機能の指定については4. 3. 14（7）ポート14の兼用機能の指定を参照してください。

(6) ポート14ファンクション・コントロール拡張レジスタ（PFCE14）

アドレス：FFFF9638H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFCE14	0	0	PFCE14_5	PFCE14_4	PFCE14_3	PFCE14_2	PFCE14_1	PFCE14_0

備考　兼用機能の指定については4. 3. 14（7）ポート14の兼用機能の指定を参照してください。

(7) ポート14の兼用機能の指定

ポート・モード (PMC14_5 = 0)	兼用機能モード (PMC14_5 = 1)							
	第1兼用機能 (PFCE14_5= 0, PFC14_5 = 0)		第2兼用機能 (PFCE14_5= 0, PFC14_5 = 1)		第3兼用機能 (PFCE14_5= 1, PFC14_5 = 0)		第4兼用機能 (PFCE14_5= 1, PFC14_5 = 1)	
	入力1 (PM14_5 = 1)	出力1 (PM14_5 = 0)	入力2 (PM14_5 = 1)	出力2 (PM14_5 = 0)	入力3 (PM14_5 = 1)	出力3 (PM14_5 = 0)	入力4	出力4
P14_5	TI23入力	TO23出力	$\overline{\text{SCK23}}$入力	$\overline{\text{SCK23}}$出力	INTP16入力	設定禁止	設定禁止	設定禁止

ポート・モード (PMC14_4 = 0)	兼用機能モード (PMC14_4 = 1)							
	第1兼用機能 (PFCE14_4= 0, PFC14_4 = 0)		第2兼用機能 (PFCE14_4= 0, PFC14_4 = 1)		第3兼用機能 (PFCE14_4= 1, PFC14_4 = 0)		第4兼用機能 (PFCE14_4= 1, PFC14_4 = 1)	
	入力1 (PM14_4 = 1)	出力1 (PM14_4 = 0)	入力2 (PM14_4 = 1)	出力2 (PM14_4 = 0)	入力3 (PM14_4 = 1)	出力3 (PM14_4 = 0)	入力4	出力4
P14_4	TI22入力	TO22出力	設定禁止	SO23出力	INTP15入力	設定禁止	設定禁止	設定禁止

ポート・モード (PMC14_3 = 0)	兼用機能モード (PMC14_3 = 1)							
	第1兼用機能 (PFCE14_3= 0, PFC14_3 = 0)		第2兼用機能 (PFCE14_3= 0, PFC14_3 = 1)		第3兼用機能 (PFCE14_3= 1, PFC14_3 = 0)		第4兼用機能 (PFCE14_3= 1, PFC14_3 = 1)	
	入力1 (PM14_3 = 1)	出力1 (PM14_3 = 0)	入力2 (PM14_3 = 1)	出力2 (PM14_3 = 0)	入力3 (PM14_3 = 1)	出力3 (PM14_3 = 0)	入力4	出力4
P14_3	TI21入力	TO21出力	SI23入力	設定禁止	INTP20入力	設定禁止	設定禁止	設定禁止

ポート・モード (PMC14_2 = 0)	兼用機能モード (PMC14_2 = 1)							
	第1兼用機能 (PFCE14_2= 0, PFC14_2 = 0)		第2兼用機能 (PFCE14_2= 0, PFC14_2 = 1)		第3兼用機能 (PFCE14_2= 1, PFC14_2 = 0)		第4兼用機能 (PFCE14_2= 1, PFC14_2 = 1)	
	入力1 (PM14_2 = 1)	出力1 (PM14_2 = 0)	入力2 (PM14_2 = 1)	出力2 (PM14_2 = 0)	入力3 (PM14_2 = 1)	出力3 (PM14_2 = 0)	入力4	出力4
P14_2	TI20入力	TO20出力	$\overline{\text{SCK03}}$入力	$\overline{\text{SCK03}}$出力	INTP19入力	設定禁止	設定禁止	設定禁止

ポート・モード (PMC14_1 = 0)	兼用機能モード (PMC14_1 = 1)							
	第1兼用機能 (PFCE14_1= 0, PFC14_1 = 0)		第2兼用機能 (PFCE14_1= 0, PFC14_1 = 1)		第3兼用機能 (PFCE14_1= 1, PFC14_1 = 0)		第4兼用機能 (PFCE14_1= 1, PFC14_1 = 1)	
	入力1 (PM14_1 = 1)	出力1 (PM14_1 = 0)	入力2 (PM14_1 = 1)	出力2 (PM14_1 = 0)	入力3 (PIPC14_1 = 1)	出力3 (PIPC14_1 = 1)	入力4	出力4
P14_1	TI27入力	TO27出力	設定禁止	SO03出力	SCLA3入出力		設定禁止	設定禁止

ポート・モード (PMC14_0 = 0)	兼用機能モード (PMC14_0 = 1)							
	第1兼用機能 (PFCE14_0= 0, PFC14_0 = 0)		第2兼用機能 (PFCE14_0= 0, PFC14_0 = 1)		第3兼用機能 (PFCE14_0= 1, PFC14_0 = 0)		第4兼用機能 (PFCE14_0= 1, PFC14_0 = 1)	
	入力1 (PM14_0 = 1)	出力1 (PM14_0 = 0)	入力2 (PM14_0 = 1)	出力2 (PM14_0 = 0)	入力3 (PIPC14_0 = 1)	出力3 (PIPC14_0 = 1)	入力4	出力4
P14_0	TI26入力	TO26出力	SI03入力	設定禁止	SDAA3入出力		設定禁止	設定禁止

(8) ポート14入力バッファ・コントロール・レジスタ（PIBC14）

アドレス：FF405038H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC14	0	0	PIBC14_5	PIBC14_4	PIBC14_3	PIBC14_2	PIBC14_1	PIBC14_0

PIBC14_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート14双方向コントロール・レジスタ（PBDC14）

アドレス：FF405138H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC14	0	0	PBDC14_5	PBDC14_4	PBDC14_3	PBDC14_2	PBDC14_1	PBDC14_0

PBDC14_n	P14_nの双方向モードの制御（n = 0-5）
0	双方向モード禁止
1	双方向モード許可

(10) ポート14 IPコントロール・レジスタ（PIPC14）

アドレス：FF405238H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIPC14	0	0	0	0	0	0	PIPC14_1	PIPC14_0

PIPC14_n	入出力制御モードの指定（n = 0, 1）
0	PM14.PM14_n（S/W入出力制御）によって制御
1	周辺機能（直接入出力制御）によって制御

注意　SDAA3, SCLA3を使用する場合は，PIPC14_n = 1に設定してください。

（11）ポート14オープン・ドレーン・コントロール・レジスタ（PODC14）

アドレス：FF405538H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PODC14	0	0	0	0	0	0	PODC14_1	PODC14_0

PODC14_n	出力バッファ機能の指定
0	CMOS
1	オープン・ドレーン

4. 3. 15 ポート15

ポート15は1ビット単位で入出力を制御できる6/2ビットのポートです。

ポート15は，次に示す端子と兼用しています。

表4－37 ポート15の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P15_0	入出力	－	－	プルアップ抵抗設定可能	98	－	－	－	－	－	－
P15_1	入出力	－	－	プルアップ抵抗設定可能	99	－	－	－	－	－	－
P15_2	入出力	－	－	プルアップ抵抗設定可能	100	－	－	－	－	－	－
P15_3	入出力	－	－	プルアップ抵抗設定可能	101	－	－	－	－	－	－
P15_4	入出力	SIS01	入力	プルアップ抵抗設定可能	102	93	－	－	－	－	－
P15_5	入出力	SOS01	出力	プルアップ抵抗設定可能	103	84	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－38 ポート15の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P15_0	－	－	－	－	－	－	－	－
P15_1	－	－	－	－	－	－	－	－
P15_2	－	－	－	－	－	－	－	－
P15_3	－	－	－	－	－	－	－	－
P15_4	－	－	SIS01	－	－	－	－	－
P15_5	－	－	－	SOS01	－	－	－	－

(1) ポート15端子リード・レジスタ (PPR15)

アドレス：FFFF923CH リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR15	0	0	PPR15_5	PPR15_4	PPR15_3	PPR15_2	PPR15_1	PPR15_0

PPR15_n	端子レベルの読み出し (n = 0-5)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート15レジスタ (P15)

アドレス：FFFF903CH リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P15	0	0	P15_5	P15_4	P15_3	P15_2	P15_1	P15_0

P15_n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(3) ポート15モード・レジスタ (PM15)

アドレス：FFFF933CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM15	1	1	PM15_5	PM15_4	PM15_3	PM15_2	PM15_1	PM15_0

PM15_n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(4) ポート15モード・コントロール・レジスタ (PMC15)

アドレス：FFFF943CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC15	0	0	PMC15_5	PMC15_4	0	0	0	0

PMC15_5	端子の動作モードの指定
0	入出力ポート (P15_5)
1	SOS01出力

PMC15_4	端子の動作モードの指定
0	入出力ポート (P15_4)
1	SIS01入力

(5) ポート15ファンクション・コントロール・レジスタ (PFC15)

アドレス：FFFF953CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC15	0	0	PFC15_5	PFC15_4	0	0	0	0

PFC15_5	P15_5端子の兼用機能の指定
0	設定禁止
1	SOS01出力

PFC15_4	P15_4端子の兼用機能の指定
0	設定禁止
1	SIS01入力

(6) ポート15の兼用機能の指定

ポート・モード (PMC15_5 = 0)	兼用機能モード (PMC15_5 = 1)							
	第1兼用機能 (PFC15_5 = 0)		第2兼用機能 (PFC15_5 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM15_5 = 1)	出力2 (PM15_5 = 0)	入力3	出力3	入力4	出力4
P15_5	設定禁止	設定禁止	設定禁止	SOS01出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC15_4 = 0)	兼用機能モード (PMC15_4 = 1)							
	第1兼用機能 (PFC15_4 = 0)		第2兼用機能 (PFC15_4 = 1)		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2 (PM15_4 = 1)	出力2 (PM15_4 = 0)	入力3	出力3	入力4	出力4
P15_4	設定禁止	設定禁止	SIS01入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(7) ポート15入力バッファ・コントロール・レジスタ (PIBC15)

アドレス：FF40503CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC15	0	0	PIBC15_5	PIBC15_4	PIBC15_3	PIBC15_2	PIBC15_1	PIBC15_0

PIBC15_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(8) ポート15双方向コントロール・レジスタ (PBDC15)

アドレス：FF40513CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC15	0	0	PBDC15_5	PBDC15_4	PBDC15_3	PBDC15_2	PBDC15_1	PBDC15_0

PBDC15_n	P15_nの双方向モードの制御 (n = 0-5)
0	双方向モード禁止
1	双方向モード許可

(9) プルアップ抵抗オプション・レジスタ15 (PU15)

アドレス：FF40533CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PU15	0	0	PU15_5	PU15_4	PU15_3	PU15_2	PU15_1	PU15_0

PU15_n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(10) ポート入力バッファ選択レジスタ15 (PIS15)

アドレス：FF40573CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIS15	0	0	0	PIS15_4	0	0	0	0

PIS15_4	入力バッファの指定
0	CMOS
1	シュミット

備考 入力の兼用機能を使用する場合は，PIS15_4 = 1にすることを推奨します。

4. 3. 16 ポート16

ポート16は1ビット単位で入出力を制御できる8ビットのポートです。

ポート16は，次に示す端子と兼用しています。

表4－39 ポート16の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P16_0	入出力	－	－	プルアップ抵抗設定可能	16	－	－	－	－	－	－
P16_1	入出力	－	－	プルアップ抵抗設定可能	17	－	－	－	－	－	－
P16_2	入出力	－	－	プルアップ抵抗設定可能	18	－	－	－	－	－	－
P16_3	入出力	－	－	プルアップ抵抗設定可能	19	－	－	－	－	－	－
P16_4	入出力	－	－	プルアップ抵抗設定可能	51	－	－	－	－	－	－
P16_5	入出力	－	－	プルアップ抵抗設定可能	52	－	－	－	－	－	－
P16_6	入出力	－	－	プルアップ抵抗設定可能	53	－	－	－	－	－	－
P16_7	入出力	－	－	プルアップ抵抗設定可能	54	－	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－40 ポート16の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P16_0	－	－	－	－	－	－	－	－
P16_1	－	－	－	－	－	－	－	－
P16_2	－	－	－	－	－	－	－	－
P16_3	－	－	－	－	－	－	－	－
P16_4	－	－	－	－	－	－	－	－
P16_5	－	－	－	－	－	－	－	－
P16_6	－	－	－	－	－	－	－	－
P16_7	－	－	－	－	－	－	－	－

(1) ポート16端子リード・レジスタ（PPR16）

アドレス：FFFF9240H **リセット時：**00H R

略号	7	6	5	4	3	2	1	0
PPR16	PPR16_7	PPR16_6	PPR16_5	PPR16_4	PPR16_3	PPR16_2	PPR16_1	PPR16_0

PPR16_n	端子レベルの読み出し（n = 0-7）
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート16レジスタ（P16）

アドレス：FFFF9040H **リセット時：**00H（出力ラッチ） R/W

略号	7	6	5	4	3	2	1	0
P16	P16_7	P16_6	P16_5	P16_4	P16_3	P16_2	P16_1	P16_0

P16_n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

(3) ポート16モード・レジスタ（PM16）

アドレス：FFFF9340H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM16	PM16_7	PM16_6	PM16_5	PM16_4	PM16_3	PM16_2	PM16_1	PM16_0

PM16_n	入出力モードの制御（n = 0-7）
0	出力モード
1	入力モード

(4) ポート16入力バッファ・コントロール・レジスタ（PIBC16）

アドレス：FF405040H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC16	PIBC16_7	PIBC16_6	PIBC16_5	PIBC16_4	PIBC16_3	PIBC16_2	PIBC16_1	PIBC16_0

PIBC16_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(5) ポート16双方向コントロール・レジスタ（PBDC16）

アドレス：FF405140H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC16	PBDC16_7	PBDC16_6	PBDC16_5	PBDC16_4	PBDC16_3	PBDC16_2	PBDC16_1	PBDC16_0

PBDC16_n	P16_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

(6) プルアップ抵抗オプション・レジスタ16 (PU16)

アドレス：FF405340H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
PU16	PU16_7	PU16_6	PU16_5	PU16_4	PU16_3	PU16_2	PU16_1	PU16_0

PU16_n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

4. 3. 17 ポート20

ポート20は1ビット単位で入出力を制御できる8/5/4ビットのポートです。

ポート20は，次に示す端子と兼用しています。

表4－41 ポート20の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P20_0	入出力	ANI00	入力	－	144	3	－	－	－	－	－
P20_1	入出力	ANI01	入力	－	143	2	100	－	－	－	－
P20_2	入出力	ANI02	入力	－	142	1	99	80	64	48	40
P20_3	入出力	ANI03	入力	－	141	128	98	79	63	47	39
P20_4	入出力	ANI04/AV_{REFP}	入力	－	140	127	97	78	62	46	38
P20_5	入出力	ANI05/AV_{REFM}	入力	－	139	126	96	77	61	45	37
P20_6	入出力	ANI06	入力	－	138	125	－	－	－	－	－
P20_7	入出力	ANI07	入力	－	137	124	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－42 ポート20の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P20_0	ANI00	－	－	－	－	－	－	－
P20_1	ANI01	－	－	－	－	－	－	－
P20_2	ANI02	－	－	－	－	－	－	－
P20_3	ANI03	－	－	－	－	－	－	－
P20_4	ANI04/AV_{REFP}	－	－	－	－	－	－	－
P20_5	ANI05/AV_{REFM}	－	－	－	－	－	－	－
P20_6	ANI06	－	－	－	－	－	－	－
P20_7	ANI07	－	－	－	－	－	－	－

(1) ポート20端子リード・レジスタ (PPR20)

アドレス：FFFF9250H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR20	PPR20_7	PPR20_6	PPR20_5	PPR20_4	PPR20_3	PPR20_2	PPR20_1	PPR20_0

PPR20_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート20レジスタ (P20)

アドレス：FFFF9050H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P20	P20_7	P20_6	P20_5	P20_4	P20_3	P20_2	P20_1	P20_0

P20_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート20モード・レジスタ (PM20)

アドレス：FFFF9350H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM20	PM20_7	PM20_6	PM20_5	PM20_4	PM20_3	PM20_2	PM20_1	PM20_0

PM20_n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート20モード・コントロール・レジスタ (PMC20)

アドレス：FFFF9450H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC20	PMC20_7	PMC20_6	PMC20_5	PMC20_4	PMC20_3	PMC20_2	PMC20_1	PMC20_0

PMC20_7	端子の動作モードの指定
0	入出力ポート (P20_7)
1	ANI07入力

PMC20_6	端子の動作モードの指定
0	入出力ポート (P20_6)
1	ANI06入力

PMC20_5	端子の動作モードの指定
0	入出力ポート (P20_5)
1	ANI05入力/AVREFM入力

PMC20_4	端子の動作モードの指定
0	入出力ポート (P20_4)
1	ANI04入力/AVREFP入力

PMC20_3	端子の動作モードの指定
0	入出力ポート (P20_3)
1	ANI03入力

PMC20_2	端子の動作モードの指定
0	入出力ポート (P20_2)
1	ANI02入力

PMC20_1	端子の動作モードの指定
0	入出力ポート (P20_1)
1	ANI01入力

PMC20_0	端子の動作モードの指定
0	入出力ポート (P20_0)
1	ANI00入力

(5) ポート20の兼用機能の指定

ポート・モード (PMC20_7 = 0)	兼用機能モード (PMC20_7 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM20_7= 1)	出力1 (PM20_7= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P20_7	ANI07入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC20_6 = 0)	兼用機能モード (PMC20_6 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM20_6= 1)	出力1 (PM20_6= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P20_6	ANI06入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC20_5 = 0)	兼用機能モード (PMC20_5 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM20_5= 1)	出力1 (PM20_5= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P20_5	ANI05/ AV_{REFM}入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC20_4 = 0)	兼用機能モード (PMC20_4 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM20_4= 1)	出力1 (PM20_4= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P20_4	ANI04/ AV_{REFP}入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC20_3 = 0)	兼用機能モード (PMC20_3 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM20_3= 1)	出力1 (PM20_3= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P20_3	ANI03入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC20_2 = 0)	兼用機能モード (PMC20_2 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM20_2= 1)	出力1 (PM20_2= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P20_2	ANI02入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC20_1 = 0）	兼用機能モード（PMC20_1 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1（PM20_1= 1）	出力1（PM20_1= 0）	入力2	出力2	入力3	出力3	入力4	出力4
P20__1	ANI01入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC20_0 = 0）	兼用機能モード（PMC20_0 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1（PM20_0= 1）	出力1（PM20_0= 0）	入力2	出力2	入力3	出力3	入力4	出力4
P20_0	ANI00入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

（6）ポート20入力バッファ・コントロール・レジスタ（PIBC20）

アドレス：FF405050H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC20	PIBC20_7	PIBC20_6	PIBC20_5	PIBC20_4	PIBC20_3	PIBC20_2	PIBC20_1	PIBC20_0

PIBC20_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

（7）ポート20双方向コントロール・レジスタ（PBDC20）

アドレス：FF405150H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC20	PBDC20_7	PBDC20_6	PBDC20_5	PBDC20_4	PBDC20_3	PBDC20_2	PBDC20_1	PBDC20_0

PBDC20_n	P20_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

4. 3. 18 ポート21

ポート21は1ビット単位で入出力を制御できる8/4ビットのポートです。

ポート21は，次に示す端子と兼用しています。

表4－43 ポート21の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P21_0	入出力	ANI08	入力	－	136	123	－	－	－	－	－
P21_1	入出力	ANI09	入力	－	135	122	－	－	－	－	－
P21_2	入出力	ANI10	入力	－	134	121	－	－	－	－	－
P21_3	入出力	ANI11	入力	－	133	120	－	－	－	－	－
P21_4	入出力	ANI12	入力	－	132	－	－	－	－	－	－
P21_5	入出力	ANI13	入力	－	131	－	－	－	－	－	－
P21_6	入出力	ANI14	入力	－	130	－	－	－	－	－	－
P21_7	入出力	ANI15	入力	－	129	－	－	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－44 ポート21の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P21_0	ANI08	－	－	－	－	－	－	－
P21_1	ANI09	－	－	－	－	－	－	－
P21_2	ANI10	－	－	－	－	－	－	－
P21_3	ANI11	－	－	－	－	－	－	－
P21_4	ANI12	－	－	－	－	－	－	－
P21_5	ANI13	－	－	－	－	－	－	－
P21_6	ANI14	－	－	－	－	－	－	－
P21_7	ANI15	－	－	－	－	－	－	－

(1) ポート21端子リード・レジスタ (PPR21)

アドレス：FFFF9254H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR21	PPR21_7	PPR21_6	PPR21_5	PPR21_4	PPR21_3	PPR21_2	PPR21_1	PPR21_0

PPR21_n	端子レベルの読み出し (n = 0-7)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート21レジスタ (P21)

アドレス：FFFF9054H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P21	P21_7	P21_6	P21_5	P21_4	P21_3	P21_2	P21_1	P21_0

P21_n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(3) ポート21モード・レジスタ (PM21)

アドレス：FFFF9354H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM21	PM207	PM206	PM205	PM204	PM203	PM202	PM201	PM200

PM20n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(4) ポート21モード・コントロール・レジスタ (PMC21)

アドレス：FFFF9454H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC21	PMC21_7	PMC21_6	PMC21_5	PMC21_4	PMC21_3	PMC21_2	PMC21_1	PMC21_0

PMC21_7	端子の動作モードの指定
0	入出力ポート (P21_7)
1	ANI15入力

PMC21_6	端子の動作モードの指定
0	入出力ポート (P21_6)
1	ANI14入力

PMC21_5	端子の動作モードの指定
0	入出力ポート (P21_5)
1	ANI13入力

PMC21_4	端子の動作モードの指定
0	入出力ポート (P21_4)
1	ANI12入力

PMC21_3	端子の動作モードの指定
0	入出力ポート (P21_3)
1	ANI11入力

PMC21_2	端子の動作モードの指定
0	入出力ポート (P21_2)
1	ANI10入力

PMC21_1	端子の動作モードの指定
0	入出力ポート (P21_1)
1	ANI09入力

PMC21_0	端子の動作モードの指定
0	入出力ポート (P21_0)
1	ANI08入力

(5) ポート21の兼用機能の指定

ポート・モード (PMC21_7 = 0)	兼用機能モード (PMC21_7 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM21_7= 1)	出力1 (PM21_7= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P21_7	ANI15入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC21_6 = 0)	兼用機能モード (PMC21_6 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM21_6= 1)	出力1 (PM21_6= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P21_6	ANI14入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC21_5 = 0)	兼用機能モード (PMC21_5 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM21_5= 1)	出力1 (PM21_5= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P21_5	ANI13入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC21_4 = 0)	兼用機能モード (PMC21_4 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM21_4= 1)	出力1 (PM21_4= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P21_4	ANI12入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC21_3 = 0)	兼用機能モード (PMC21_3 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM21_3= 1)	出力1 (PM21_3= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P21_3	ANI11入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (PMC21_2 = 0)	兼用機能モード (PMC21_2 = 1)							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1 (PM21_2= 1)	出力1 (PM21_2= 0)	入力2	出力2	入力3	出力3	入力4	出力4
P21_2	ANI10入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC21_1 = 0）	兼用機能モード（PMC21_1 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1（PM21_1= 1）	出力1（PM21_1= 0）	入力2	出力2	入力3	出力3	入力4	出力4
P21_1	ANI09入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC21_0 = 0）	兼用機能モード（PMC21_0 = 1）							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1（PM21_0= 1）	出力1（PM21_0= 0）	入力2	出力2	入力3	出力3	入力4	出力4
P21_0	ANI08入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

（6）ポート21入力バッファ・コントロール・レジスタ（PIBC21）

アドレス：FF405054H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIBC21	PIBC21_7	PIBC21_6	PIBC21_5	PIBC21_4	PIBC21_3	PIBC21_2	PIBC21_1	PIBC21_0

PIBC21_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

（7）ポート21双方向コントロール・レジスタ（PBDC21）

アドレス：FF405154H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PBDC21	PBDC21_7	PBDC21_6	PBDC21_5	PBDC21_4	PBDC21_3	PBDC21_2	PBDC21_1	PBDC21_0

PBDC21_n	P21_nの双方向モードの制御（n = 0-7）
0	双方向モード禁止
1	双方向モード許可

4. 3. 19 ポート22

ポート22は1ビット単位で入出力を制御できる1ビットのポートです。

ポート22は，次に示す端子と兼用しています。

表4－45 ポート22の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P22_7	入出力	ANI23/INTP05/KR7/RTP7	入出力	－	128	119	95	76	60	44	36

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－46 ポート22の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P22_7	ANI23	－	INTP05	－	KR7	RTP7	－	－

（1）ポート22端子リード・レジスタ（PPR22）

アドレス：FFFF9258H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR22	PPR22_7	0	0	0	0	0	0	0

PPR22_7	端子レベルの読み出し
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート22レジスタ (P22)

アドレス：FFFF9058H　リセット時：00H（出力ラッチ）　R/W

略号	7	6	5	4	3	2	1	0
P22	P22_7	0	0	0	0	0	0	0

P22_7	出力データの制御（出力モード時）
0	0を出力
1	1を出力

(3) ポート22モード・レジスタ (PM22)

アドレス：FFFF9358H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM22	PM22_7	1	1	1	1	1	1	1

PM22_7	入出力モードの制御
0	出力モード
1	入力モード

(4) ポート22モード・コントロール・レジスタ (PMC22)

アドレス：FFFF9458H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC22	PMC22_7	0	0	0	0	0	0	0

PMC22_7	端子の動作モードの指定
0	入出力ポート（P22_7）
1	ANI23入力/INTP05入力/KR7入力/RTP7出力

(5) ポート22ファンクション・コントロール・レジスタ (PFC22)

アドレス：FFFF9558H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC22	PFC22_7	0	0	0	0	0	0	0

備考 兼用機能の指定については4. 3. 19 (7) ポート22の兼用機能の指定を参照してください。

(6) ポート22ファンクション・コントロール拡張レジスタ (PFCE22)

アドレス：FFFF9658H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCE22	PFCE22_7	0	0	0	0	0	0	0

備考 兼用機能の指定については4. 3. 19 (7) ポート22の兼用機能の指定を参照してください。

(7) ポート22の兼用機能の指定

ポート・モード (PMC22_7 = 0)	兼用機能モード (PMC22_7 = 1)							
	第1兼用機能 (PFCE22_7= 0, PFC22_7 = 0)		第2兼用機能 (PFCE22_7= 0, PFC22_7 = 1)		第3兼用機能 (PFCE22_7= 1, PFC22_7 = 0)		第4兼用機能 (PFCE22_7= 1, PFC22_7 = 1)	
	入力1 (PM22_7 = 1)	出力1 (PM22_7 = 0)	入力2 (PM22_7 = 1)	出力2 (PM22_7 = 0)	入力3 (PM22_7 = 1)	出力3 (PM22_7 = 0)	入力4	出力4
P22_7	ANI23入力	設定禁止	INTP05入力	設定禁止	KR7入力	RTP7出力	設定禁止	設定禁止

(8) ポート22入力バッファ・コントロール・レジスタ (PIBC22)

アドレス：FF405058H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIBC22	PIBC22_7	0	0	0	0	0	0	0

PIBC22_7	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート22双方向コントロール・レジスタ (PBDC22)

アドレス：FF405158H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDC22	PBDC22_7	0	0	0	0	0	0	0

PBDC22_7	P22_7の双方向モードの制御
0	双方向モード禁止
1	双方向モード許可

(10) プルアップ抵抗オプション・レジスタ22 (PU22)

アドレス：FF405358H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PU22	PU22_7	0	0	0	0	0	0	0

PU22_7	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

4. 3. 20 ポート23

ポート23は1ビット単位で入出力を制御できる7/6/5/1ビットのポートです。

ポート23は，次に示す端子と兼用しています。

表4－47 ポート23の兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
P23_0	入出力	ANI24/INTP00	入力	－	127	118	94	75	59	43	－
P23_1	入出力	ANI25/INTP07	入力	－	126	117	93	74	58	－	－
P23_2	入出力	ANI26/INTP06	入力	－	125	116	92	73	57	－	－
P23_3	入出力	ANI27/INTP02	入力	－	124	115	91	72	56	－	－
P23_4	入出力	ANI28/INTP10	入力	－	123	114	90	71	55	－	－
P23_5	入出力	ANI29/INTP01/KR5/RTP5	入出力	－	122	113	89	70	－	－	－
P23_6	入出力	ANI30/INTP13/KR6/RTP6	入出力	－	121	112	88	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－48 ポート23の兼用機能の配置

ポート・モード	兼用機能モード							
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能	
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4
P23_0	ANI24	－	INTP00	－	－	－	－	－
P23_1	ANI25	－	INTP07	－	－	－	－	－
P23_2	ANI26	－	INTP06	－	－	－	－	－
P23_3	ANI27	－	INTP02	－	－	－	－	－
P23_4	ANI28	－	INTP10	－	－	－	－	－
P23_5	ANI29	－	INTP01	－	KR5	RTP5	－	－
P23_6	ANI30	－	INTP13	－	KR6	RTP6	－	－

(1) ポート23端子リード・レジスタ (PPR23)

アドレス：FFFF925CH リセット時：00H R

略号	7	6	5	4	3	2	1	0
PPR23	0	PPR23_6	PPR23_5	PPR23_4	PPR23_3	PPR23_2	PPR23_1	PPR23_0

PPR23_n	端子レベルの読み出し (n = 0-6)
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポート23レジスタ (P23)

アドレス：FFFF905CH リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P23	0	P23_6	P23_5	P23_4	P23_3	P23_2	P23_1	P23_0

P23_n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(3) ポート23モード・レジスタ (PM23)

アドレス：FFFF935CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM23	1	PM23_6	PM23_5	PM23_4	PM23_3	PM23_2	PM23_1	PM23_0

PM23_n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(4) ポート23モード・コントロール・レジスタ (PMC23)

アドレス：FFFF945CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC23	0	PMC23_6	PMC23_5	PMC23_4	PMC23_3	PMC23_2	PMC23_1	PMC23_0

PMC23_6	端子の動作モードの指定
0	入出力ポート (P23_6)
1	ANI30入力/INTP13入力/KR6入力/RTP6出力

PMC23_5	端子の動作モードの指定
0	入出力ポート (P23_5)
1	ANI29入力/INTP01入力/KR5入力/RTP5出力

PMC23_4	端子の動作モードの指定
0	入出力ポート (P23_4)
1	ANI28入力/INTP10入力

PMC23_3	端子の動作モードの指定
0	入出力ポート (P23_3)
1	ANI27入力/INTP02入力

PMC23_2	端子の動作モードの指定
0	入出力ポート (P23_2)
1	ANI26入力/INTP06入力

PMC23_1	端子の動作モードの指定
0	入出力ポート (P23_1)
1	ANI25入力/INTP07入力

PMC23_0	端子の動作モードの指定
0	入出力ポート (P23_0)
1	ANI24入力/INTP00入力

(5) ポート23ファンクション・コントロール・レジスタ (PFC23)

アドレス：FFFF955CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFC23	0	PFC23_6	PFC23_5	PFC23_4	PFC23_3	PFC23_2	PFC23_1	PFC23_0

備考 兼用機能の指定については4. 3. 20 (7) ポート23の兼用機能の指定を参照してください。

(6) ポート23ファンクション・コントロール拡張レジスタ (PFCE23)

アドレス：FFFF965CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFCE23	0	PFCE23_6	PFCE23_5	0	0	0	0	0

備考 兼用機能の指定については4. 3. 20 (7) ポート23の兼用機能の指定を参照してください。

(7) ポート23の兼用機能の指定

ポート・モード (PMC23_6 = 0)	兼用機能モード (PMC23_6 = 1)							
	第1兼用機能 (PFCE23_6= 0, PFC23_6 = 0)		第2兼用機能 (PFCE23_6= 0, PFC23_6 = 1)		第3兼用機能 (PFCE23_6= 1, PFC23_6 = 0)		第4兼用機能 (PFCE23_6= 1, PFC23_6 = 1)	
	入力1 (PM23_6 = 1)	出力1 (PM23_6 = 0)	入力2 (PM23_6 = 1)	出力2 (PM23_6 = 0)	入力3 (PM23_6 = 1)	出力3 (PM23_6 = 0)	入力4	出力4
P23_6	ANI30入力	設定禁止	INTP13入力	設定禁止	KR6入力	RTP6出力	設定禁止	設定禁止

ポート・モード (PMC23_5 = 0)	兼用機能モード (PMC23_5 = 1)							
	第1兼用機能 (PFCE23_5= 0, PFC23_5 = 0)		第2兼用機能 (PFCE23_5= 0, PFC23_5 = 1)		第3兼用機能 (PFCE23_5= 1, PFC23_5 = 0)		第4兼用機能 (PFCE23_5= 1, PFC23_5 = 1)	
	入力1 (PM23_5 = 1)	出力1 (PM23_5 = 0)	入力2 (PM23_5 = 1)	出力2 (PM23_5 = 0)	入力3 (PM23_5 = 1)	出力3 (PM23_5 = 0)	入力4	出力4
P23_5	ANI29入力	設定禁止	INTP01入力	設定禁止	KR5入力	RTP5出力	設定禁止	設定禁止

ポート・モード (PMC23_4 = 0)	兼用機能モード (PMC23_4 = 1)							
	第1兼用機能 (PFC23_4 = 0)		第2兼用機能 (PFC23_4 = 1)		第3兼用機能		第4兼用機能	
	入力1 (PM23_4 = 1)	出力1 (PM23_4 = 0)	入力2 (PM23_4 = 1)	出力2 (PM23_4 = 0)	入力3	出力3	入力4	出力4
P23_4	ANI28入力	設定禁止	INTP10入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC23_3 = 0）	兼用機能モード（PMC23_3 = 1）							
	第1兼用機能（PFC23_3 = 0）		第2兼用機能（PFC23_3 = 1）		第3兼用機能		第4兼用機能	
	入力1（PM23_3 = 1）	出力1（PM23_3 = 0）	入力2（PM23_3 = 1）	出力2（PM23_3 = 0）	入力3	出力3	入力4	出力4
P23_3	ANI27入力	設定禁止	INTP02入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC23_2 = 0）	兼用機能モード（PMC23_2 = 1）							
	第1兼用機能（PFC23_2 = 0）		第2兼用機能（PFC23_2 = 1）		第3兼用機能		第4兼用機能	
	入力1（PM23_2 = 1）	出力1（PM23_2 = 0）	入力2（PM23_2 = 1）	出力2（PM23_2 = 0）	入力3	出力3	入力4	出力4
P23_2	ANI26入力	設定禁止	INTP06入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC23_1 = 0）	兼用機能モード（PMC23_1 = 1）							
	第1兼用機能（PFC23_1 = 0）		第2兼用機能（PFC23_1 = 1）		第3兼用機能		第4兼用機能	
	入力1（PM23_1 = 1）	出力1（PM23_1 = 0）	入力2（PM23_1 = 1）	出力2（PM23_1 = 0）	入力3	出力3	入力4	出力4
P23_1	ANI25入力	設定禁止	INTP07入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード（PMC23_0 = 0）	兼用機能モード（PMC23_0 = 1）							
	第1兼用機能（PFC23_0 = 0）		第2兼用機能（PFC23_0 = 1）		第3兼用機能		第4兼用機能	
	入力1（PM23_0 = 1）	出力1（PM23_0 = 0）	入力2（PM23_0 = 1）	出力2（PM23_0 = 0）	入力3	出力3	入力4	出力4
P23_0	ANI24入力	設定禁止	INTP00入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(8) ポート23入力バッファ・コントロール・レジスタ (PIBC23)

アドレス：FF40505CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIBC23	0	PIBC23_6	PIBC23_5	PIBC23_4	PIBC23_3	PIBC23_2	PIBC23_1	PIBC23_0

PIBC23_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(9) ポート23双方向コントロール・レジスタ (PBDC23)

アドレス：FF40515CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PBDC23	0	PBDC23_6	PBDC23_5	PBDC23_4	PBDC23_3	PBDC23_2	PBDC23_1	PBDC23_0

PBDC23_n	P23_nの双方向モードの制御 (n = 0-6)
0	双方向モード禁止
1	双方向モード許可

(10) プルアップ抵抗オプション・レジスタ23 (PU23)

アドレス：FF40535CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PU23	0	PU23_6	PU23_5	PU23_4	PU23_3	PU23_2	PU23_1	PU23_0

PU23_n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

4. 3. 21 ポートJP

ポートJPは1ビット単位で入出力を制御できる5ビットのポートです。

ポートJPは，次に示す端子と兼用しています。

表4－49 ポートJPの兼用端子

機能名称	入出力	兼用機能		備考	ピン番号						
		名称	入出力		144	128	100	80	64	48	40
JP0_0	入出力	TDI/TOOL0	入力	－	78	73	56	46	36	25	21
JP0_1	入出力	TDO/TI00/TO00	入出力	－	79	74	57	47	37	26	22
JP0_2	入出力	TCK/TI01/TO01/SI40/RXD40	入出力	－	80	75	58	48	38	27	23
JP0_3	入出力	TMS/TI02/TO02/SO40/TXD40	入出力	－	81	76	59	49	39	28	24
JP0_5	入出力	$\overline{\text{RDY}}$/TI03/TO03/$\overline{\text{SCK40}}$	入出力	－	83	78	61	51	41	30	26

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

表4－50 ポートJPの兼用機能の配置

ポート・モード	兼用機能モード								特殊機能
	第1兼用機能		第2兼用機能		第3兼用機能		第4兼用機能		
	入力1	出力1	入力2	出力2	入力3	出力3	入力4	出力4	
JP0_0	－	－	－	－	－	－	－	－	TDI/TOOL0
JP0_1	TI00	TO00	－	－	－	－	－	－	TDO
JP0_2	TI01	TO01	SI40/RXD40	－	－	－	－	－	TCK
JP0_3	TI02	TO02	－	SO40/TXD40	－	－	－	－	TMS
JP0_5	TI03	TO03	$\overline{\text{SCK40}}$		－	－	－	－	$\overline{\text{RDY}}$

備考 特殊機能はオプション・バイトOPJATG = 1のとき有効になります。オプション・バイトOPJATG = 1のとき，ポート・モード，兼用機能モードは無効になります。

(1) ポートJP0端子リード・レジスタ（JPPR0）

アドレス：FF440020H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
JPPR0	0	0	JPPR0_5	0	JPPR0_3	JPPR0_2	JPPR0_1	JPPR0_0

JPPR0_n	端子レベルの読み出し（n = 0-3, 5）
0	端子レベルがロウ・レベル
1	端子レベルがハイ・レベル

(2) ポートJP0レジスタ（JP0）

アドレス：FF440000H　リセット時：00H（出力ラッチ）　R/W

略号	7	6	5	4	3	2	1	0
JP0	0	0	JP0_5	0	JP0_3	JP0_2	JP0_1	JP0_0

JP0_n	出力データの制御（出力モード時）（n = 0-3, 5）
0	0を出力
1	1を出力

注意　ビット7, 6, 4には必ず0を設定してください。

(3) ポートJP0モード・レジスタ（JPM0）

アドレス：FF440030H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
JPM0	1	1	JPM0_5	1	JPM0_3	JPM0_2	JPM0_1	JPM0_0

JPM0_n	入出力モードの制御（n = 0-3, 5）
0	出力モード
1	入力モード

(4) ポートJP0モード・コントロール・レジスタ（JPMC0）

アドレス：FF440040H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
JPMC0	0	0	JPMC0_5	0	JPMC0_3	JPMC0_2	JPMC0_1	0

JPMC0_5	端子の動作モードの指定
0	入出力ポート（JP0_5）
1	TI03/TO03/$\overline{\text{SCK40}}$入力

JPMC0_3	端子の動作モードの指定
0	入出力ポート（JP0_3）
1	TI02/TO02/SO40/TXD40入出力

JPMC0_2	端子の動作モードの指定
0	入出力ポート（JP0_2）
1	TI01/TO01/SI40/RXD40入力

JPMC0_1	端子の動作モードの指定
0	入出力ポート（JP0_1）
1	TI00/TO00入出力

(5) ポートJP0ファンクション・コントロール・レジスタ（JPFC0）

アドレス：FF440050H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
JPFC0	0	0	JPFC0_5	0	JPFC0_3	JPFC0_2	JPFC0_1	0

備考　兼用機能の指定については4. 3. 21（7）ポートJP0の兼用機能の指定を参照してください。

(6) ポートJP0の兼用機能の指定

ポート・モード (JPMC0_5 = 0)	兼用機能モード (JPMC0_5 = 1)							
	第1兼用機能 (JPFC0_5 = 0)		第2兼用機能 (JPFC0_5 = 1)		第3兼用機能		第4兼用機能	
	入力1 (JPM0_5 = 1)	出力1 (JPM0_5 = 0)	入力2 (JPM0_5 = 1)	出力2 (JPM0_5 = 0)	入力3	出力3	入力4	出力4
JP0_5	TI03入力	TO03出力	$\overline{\text{SCK40}}$入力	$\overline{\text{SCK40}}$出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (JPMC0_3= 0)	兼用機能モード (JPMC0_3 = 1)							
	第1兼用機能 (JPFC0_3 = 0)		第2兼用機能 (JPFC0_3 = 1)		第3兼用機能		第4兼用機能	
	入力1 (JPM0_3 = 1)	出力1 (JPM0_3 = 0)	入力2 (JPM0_3 = 1)	出力2 (JPM0_3 = 0)	入力3	出力3	入力4	出力4
JP0_3	TI02入力	TO02出力	設定禁止	SO40出力/TXD40出力	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (JPMC0_2 = 0)	兼用機能モード (JPMC0_2 = 1)							
	第1兼用機能 (JPFC0_2 = 0)		第2兼用機能 (JPFC0_2 = 1)		第3兼用機能		第4兼用機能	
	入力1 (JPM0_2 = 1)	出力1 (JPM0_2 = 0)	入力2 (JPM0_2 = 1)	出力2 (JPM0_2 = 0)	入力3	出力3	入力4	出力4
JP0_2	TI01入力	TO02出力	SI40入力/RXD40入力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

ポート・モード (JPMC0_1 = 0)	兼用機能モード (JPMC0_1 = 1)							
	第1兼用機能 (JPFC0_1 = 0)		第2兼用機能 (JPFC0_1 = 1)		第3兼用機能		第4兼用機能	
	入力1 (JPM0_1 = 1)	出力1 (JPM0_1 = 0)	入力2	出力2	入力3	出力3	入力4	出力4
JP0_1	TI00入力	TO00出力	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

(7) ポートJP0入力バッファ・コントロール・レジスタ（JPIBC0）

アドレス：FF440400H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
JPIBC0	0	0	JPIBC0_5	0	JPIBC0_3	JPIBC0_2	JPIBC0_1	JPIBC0_0

JPIBC0_n	入力バッファの制御
0	入力バッファ禁止
1	入力バッファ許可

(8) ポートJP0双方向コントロール・レジスタ（JPBDC0）

アドレス：FF440410H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
JPBDC0	0	0	JPBDC0_5	0	JPBDC0_3	JPBDC0_2	JPBDC0_1	JPBDC0_0

JPBDC0_n	JP0_nの双方向モードの制御（n = 0-3, 5）
0	双方向モード禁止
1	双方向モード許可

(9) プルアップ抵抗オプション・レジスタJP0（JPU0）

アドレス：FF440430H　リセット時：2FH　R/W

略号	7	6	5	4	3	2	1	0
JPU0	0	0	JPU0_5	0	JPU0_3	JPU0_2	JPU0_1	JPU0_0

JPU0_n	内蔵プルアップ抵抗接続制御（n =0-3, 5）
0	接続しない
1	接続する

第5章　バス制御機能

外部バス・インタフェース機能は，外部メモリ領域に，外部デバイスを接続する機能です。

V850E2/JF4-L, V850E2/JG4-L, V850E2/JH4-L, V850E2/JJ4-Lは，外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1　特　　徴

○最小で4バス・サイクルのマルチプレクス・バスと，最小で2バス・サイクルのセパレート・バス選択可能
（V850E2/JG4-L, V850E2/JH4-L, V850E2/JJ4-L）

○最小で4バス・サイクルのマルチプレクス・バス力可能
（V850E2/JF4-L）

○8ビット／16ビット・データ・バス切り替え可能（チップ・セレクト領域ごとに選択可能）

○ウエイト機能

・最大で7ステートのプログラマブル・ウエイト機能（チップ･セレクト領域ごとに選択可能）

・$\overline{\text{WAIT}}$端子による外部ウエイト機能

○アイドル・ステート挿入機能

・リード・サイクルのあとにアイドル・ステートを挿入することで，低速デバイスの接続が可能

○ミスアライン・アクセス可能

5. 2 バス制御端子

V850E2/Jx4-Lは，外部にROM, RAMなどのメモリや周辺I/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

次に外部バス・インタフェース機能の特徴について示します。

表5－1 製品別バス制御機能一覧

	V850E2/JJ4-L	V850E2/JH4-L	V850E2/JG4-L	V850E2/JF4-L	V850E2/JE4-L V850E2/JC4-L
バス・モード	セパレート・バス／マルチプレクス・バス選択可能			マルチプレクス・バス	なし
バス・サイジング機能	チップ・セレクトごとに8/16ビットを切り替え可能				なし
プログラマブル・ウエイト機能	あり	あり	あり	あり	なし
外部ウエイト機能	あり	あり	あり	あり	なし
アイドル・ステート機能	あり	あり	あり	あり	なし
アドレス・バス（An）	23本（A0-A22）		22本（A0-A21）	3本（A16-A18）	なし
アドレス／データ・バス（ADn）	16本（AD0-AD15）				なし
チップ・セレクト出力（CSn）	4本（$\overline{CS0}$-$\overline{CS3}$）		3本（$\overline{CS0}$, $\overline{CS1}$, $\overline{CS3}$）		なし
その他の端子 $\overline{WAIT}$, BUSCLK, $\overline{LWR}$, $\overline{UWR}$, $\overline{LBE}$, $\overline{UBE}$, $\overline{RD}$, $\overline{WR}$, ASTB, $\overline{BCYST}$	あり				なし

外部バス・インタフェースに使用する端子を次に示します。

表5－2 バス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機　　能
AD0-AD15	P9_ 0-P9_7, P10_0-P10_7	入出力	アドレス／データ・バス
A16-A22	P7_0-P7_6	出力	アドレス・バス
$\overline{WAIT}$	P3_4	入力	外部ウエイト制御
BUSCLK	P3_0	出力	バス・クロック出力
$\overline{LWR}$, $\overline{UWR}$	P4_4, P4_5	出力	ライト・ストローブ信号
$\overline{LBE}$, $\overline{UBE}$	P4_4, P4_5	出力	バイト･イネーブル信号
$\overline{RD}$	P3_1	出力	リード・ストローブ信号
$\overline{WR}$	P3_2	出力	ライト・ストローブ信号
ASTB	P3_3	出力	アドレス・ストローブ信号
$\overline{BCYST}$	P8_4	出力	バス・サイクル・スタート信号
$\overline{CS0}$-$\overline{CS3}$	P4_0-P4_3	出力	チップ・セレクト

備考 各製品の端子の有無は表5－1を参照してください。

表5－3 バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機　　能
AD0-AD15	P9_0-P9_7, P10_0-P10_7	入出力	データ・バス
A0-A22	P5_0-P5_7, P6_0-P6_7, P7_0-P7_6	出力	アドレス・バス
$\overline{\text{WAIT}}$	P3_4	入力	外部ウエイト制御
BUSCLK	P3_0	出力	バス・クロック出力
$\overline{\text{LWR}}$, $\overline{\text{UWR}}$	P4_4, P4_5	出力	ライト・ストローブ信号
$\overline{\text{LBE}}$, $\overline{\text{UBE}}$	P4_4, P4_5	出力	バイト･イネーブル信号
$\overline{\text{RD}}$	P3_1	出力	リード・ストローブ信号
$\overline{\text{WR}}$	P3_2	出力	ライト・ストローブ信号
$\overline{\text{BCYST}}$	P8_4	出力	バス・サイクル・スタート信号
$\overline{\text{CS0}}$-$\overline{\text{CS3}}$	P4_0-P4_3	出力	チップ・セレクト

備考 各製品の端子の有無は表5－1を参照してください。

5. 3 チップ･セレクト機能

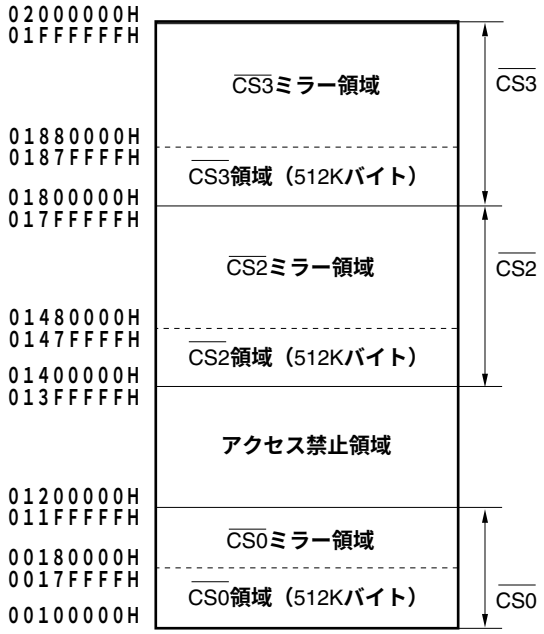
64 Mバイトのメモリ空間中で16 Mバイトが外部拡張用に予約されており，2 M, 2 M, 4 M, 8 Mバイトのチップ･セレクトに分割されています。また，各ブロックごとにバス幅，プログラマブル・ウエイトなどが独立して設定できます。

製品間のチップ・セレクト領域の違いを次に示します。

表5－4 製品間のチップ・セレクト領域の違い

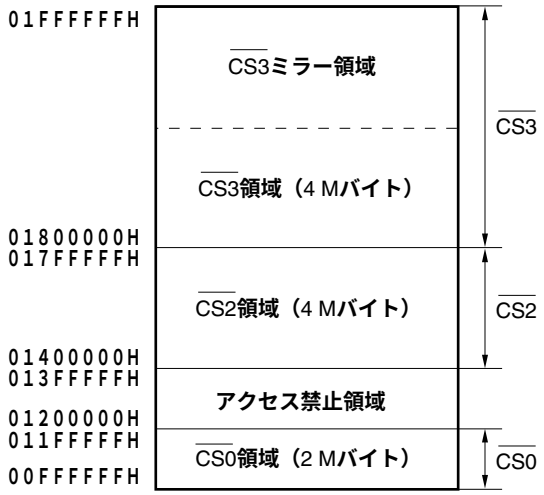
		V850E2/JF4-L V850E2/JG4-L	V850E2/JH4-L V850E2/JJ4-L
CS0	アドレス	01000000H-011FFFFFH	01000000H-011FFFFFH
	サイズ	2 Mバイト	2 Mバイト
CS1	アドレス	－	01200000H-013FFFFFH
	サイズ	－	2 Mバイト
CS2	アドレス	01400000H-017FFFFFH	01400000H-017FFFFFH
	サイズ	4 Mバイト	4 Mバイト
CS3	アドレス	01800000H-01FFFFFFH	01800000H-01FFFFFFH
	サイズ	8 Mバイト	8 Mバイト

図5－1 データ･メモリ・マップ（V850E2/JF4-L）



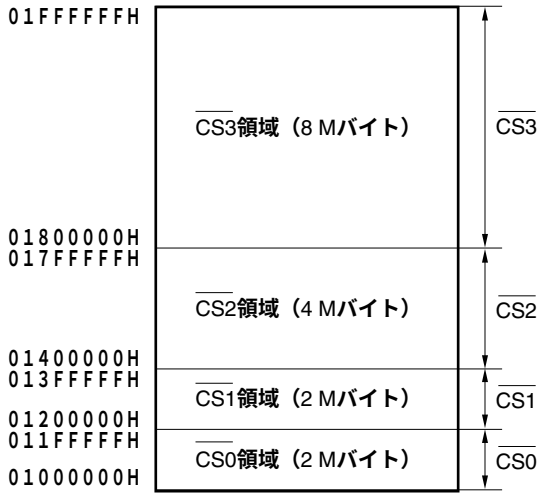
注意 V850E2/JF4-Lはアドレス端子が19本であり，512 Kバイトのイメージが繰り返し見えます。

図5－2 データ・メモリ・マップ（V850E2/JG4-L）



注意 V850E2/JG4-Lはアドレス端子が22本であり，4 Mバイトのイメージが繰り返し見えます。

図5－3 データ・メモリ・マップ（V850E2/JH4-L, V850E2/JJ4-L）



5. 4　外部バス・インタフェース・モード制御機能

V850E2/Jx4-Lは，外部バス・インタフェースとして次の2つのモードがあります。

・マルチプレクス・バス・モード
・セパレート・バス・モード

V850E2/Jx4-Lでは，2つのモードの切り替えはオプション・バイトのEXIMCビットで設定します。
すべての外部メモリ領域が設定したバス・モードで動作します。

EXIMC	外部バスのモード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

詳細につきましては，第31章　オプション・バイトを参照してください。

5. 5 バス・アクセス

外部バスを使用する場合は，CLKSレジスタにて外部バスの動作クロックの選択をして，BUSCLKCTLレジスタで外部バス動作クロックを許可してください。詳細は6. 3（10）**バス・クロック選択レジスタ**（CLKS），および6. 3（11）**バス・クロック制御レジスタ**（BUSCLKCTL）を参照してください。

5. 5. 1 バス・サイズ設定機能

V850E2/Jx4-Lの外部メモリ領域は，チップ･セレクト0-3で選択されます。

外部メモリ領域は，チップ･セレクトnで選択される領域ごとにバス･サイズをBSCレジスタで設定できます。設定可能なバス・サイズは8ビットと16ビットです。

16ビット幅に指定した場合は下位8ビットが偶数番地となり，上位8ビットが奇数番地となります。

（1）**バス・サイズ設定レジスタ**（BSC）

チップ･セレクト空間のバス幅を制御するレジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0055Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BSCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

アドレス：FFFF7200H　リセット時：0055H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSC	0	0	0	0	0	0	0	0	0	BS3	0	BS2	0	BS1	0	BS0
										$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$

BSn	CSn空間のデータ・パス幅（n = 0-3）
0	8ビット
1	16ビット

注意1. ビット15-7, 5, 3, 1は，常に0がリードされます。

2. 144ピン, 128ピン製品では，ビット15-7,5, 3, 1には必ず0を設定してください。

3. 100ピン, 80ピン製品では, BS3, BS2, BS0のみ設定可能です。ビット15-7, 5, 3, 1には必ず0を，ビット2には必ず1を設定してください。

5. 5. 2 データ・エンディアン制御機能

データ・エンディアン制御機能により，チップ・セレクトで選択される領域ごとにメモリ内のワード.データをビッグ・エンディアン形式，リトル・エンディアン形式のどちらで処理するかを設定できます。

エンディアン形式の切り替えは，DECレジスタで設定できます。

(1) データ・エンディアン設定レジスタ（DEC）

外部メモリ・アクセス時のエンディアン形式を選択するレジスタです。
16ビット単位でリード／ライト可能です。
リセットにより0000Hになります。

注意 ビック・エンディアン設定時に，該当領域へのミスアライン・アクセスは禁止です。

アドレス：FFFF7202H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEC	0	0	0	0	0	0	0	0	0	DE3	0	DE2	0	DE1	0	DE0
										$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$

DEn	CSn空間のデータ・エンディアン形式（n = 0-3）
0	リトル・エンディアン
1	ビッグ・エンディアン

注意1. ビット15-7, 5, 3, 1は，常に0がリードされます。
2. 144ピン，128ピン製品では，ビット15-7, 5, 3, 1には必ず0を設定してください。
3. 100ピン，80ピン製品では，DE3，DE2，DE0ビットのみ設定可能です。ビット15-7, 5, 3-1には必ず0を設定してください。
4. 外部メモリのプログラム・フェッチ領域は、DECレジスタの設定値によらずリトル・エンディアン形式になります。

図5－4 ワード内のリトル・エンディアン・アドレス

31 24	23 16	15 8	7 0
000BH	000AH	0009H	0008H
0007H	0006H	0005H	0004H
0003H	0002H	0001H	0000H

図5－5 ワード内のビック・エンディアン・アドレス

31 24	23 16	15 8	7 0
0008H	0009H	000AH	000BH
0004H	0005H	0006H	0007H
0000H	0001H	0002H	0003H

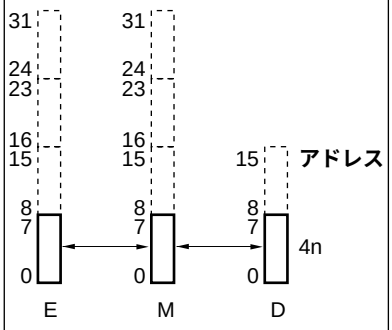
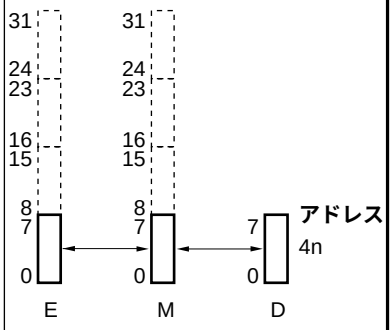
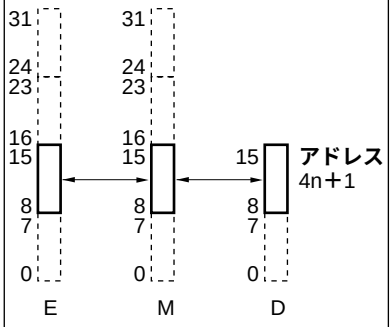
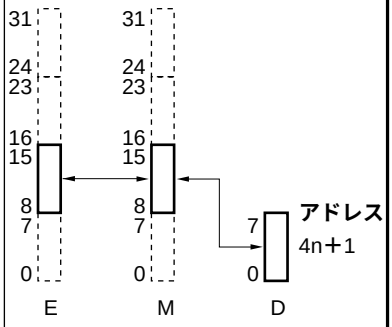
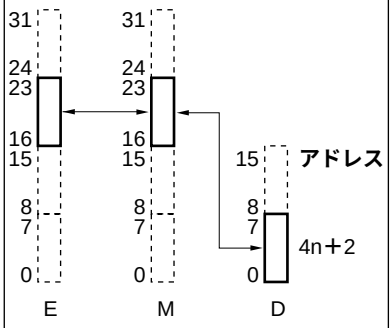
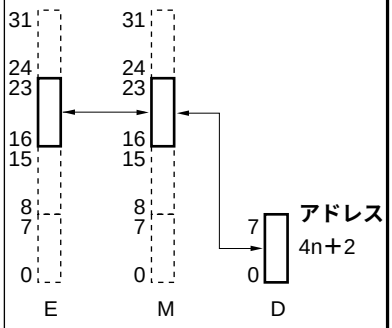
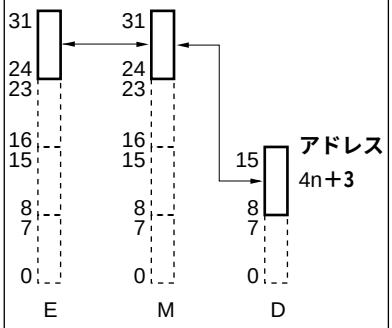
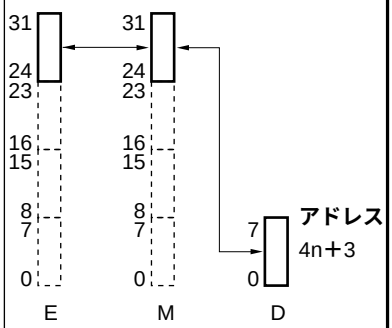
(2) データ空間

V850E2/Jx4-Lはアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，余分なバス・サイクルが発生し，バス効率が低下します。

次に8, 16, 32ビット・アクセス時の例を示します。

表5－5 バイト・アクセス時のデータ・フロー（リトル・エンディアン）

アクセスするアドレス	データ転送フロー	
	外部データ・バス：16ビット	外部データ・バス：8ビット
4n		
4n＋1		
4n＋2		
4n＋3		

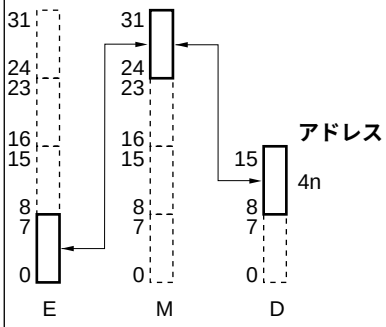
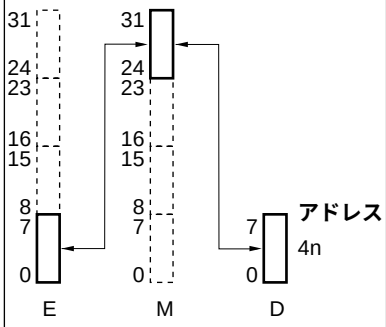
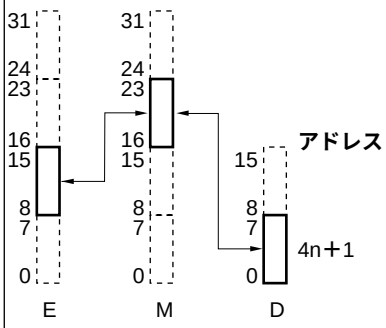
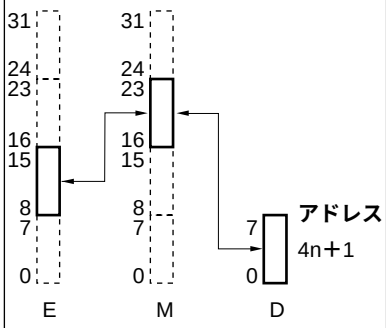
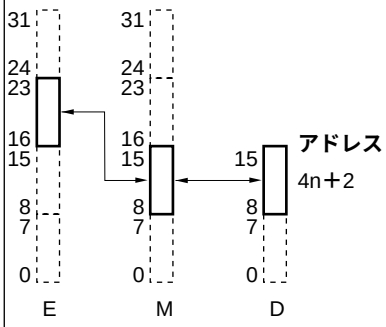
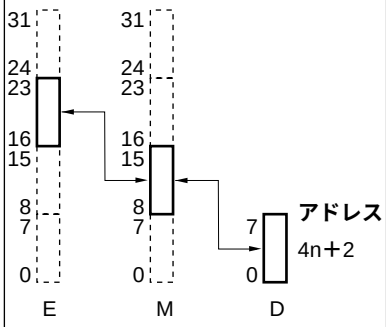
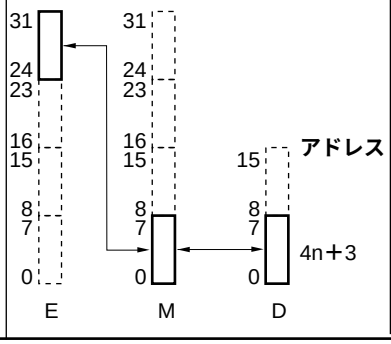
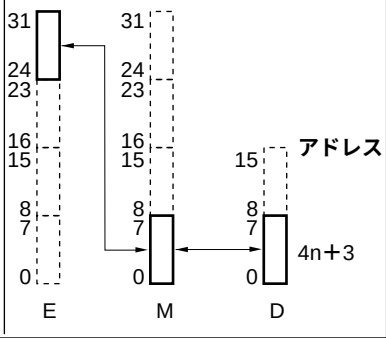
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5−6 バイト・アクセス時のデータ・フロー（ビック・エンディアン）

アクセスするアドレス	データ転送フロー	
	外部データ・バス：16ビット	外部データ・バス：8ビット
4n		
4n＋1		
4n＋2		
4n＋3		

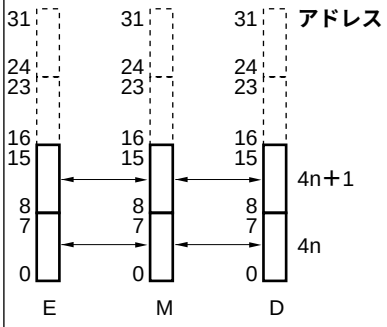
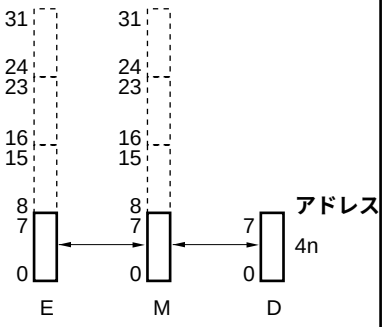
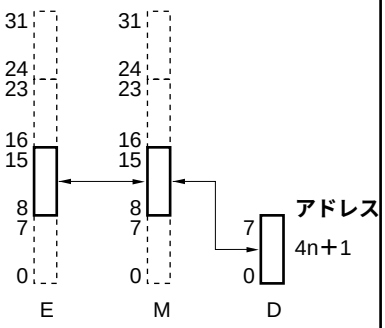
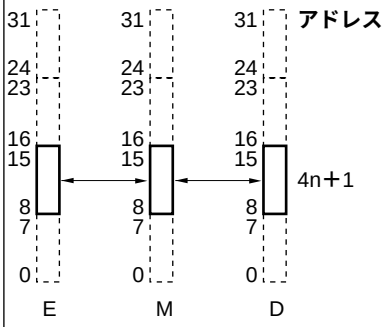
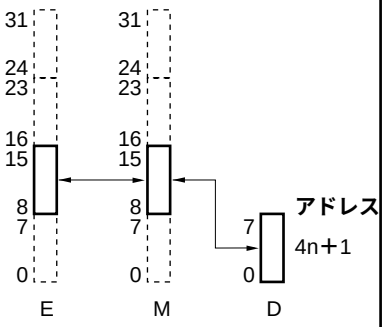
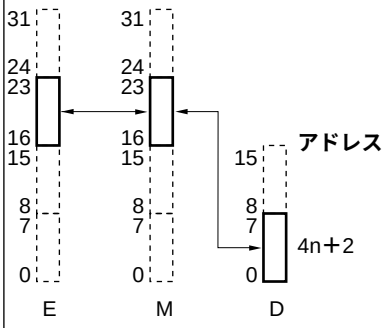
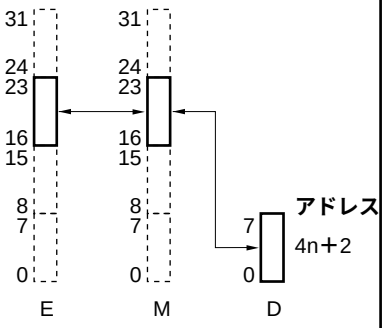
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－7 ハーフワード・アクセス時のデータ・フロー（リトル・エンディアン）（1/2）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n	1回目		
	2回目	――	
4n+1	1回目		
	2回目		

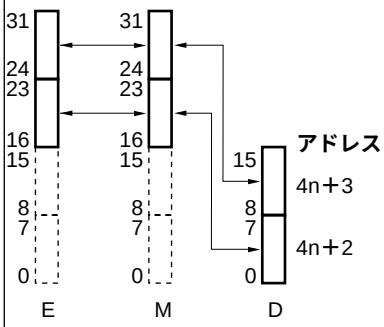
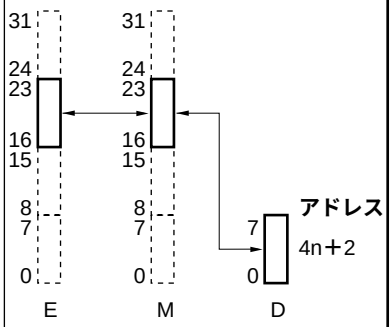
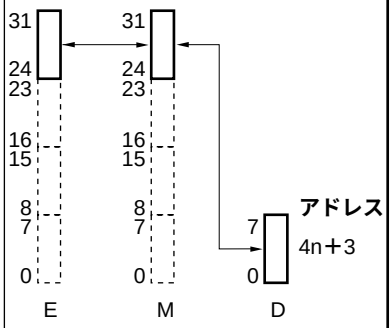
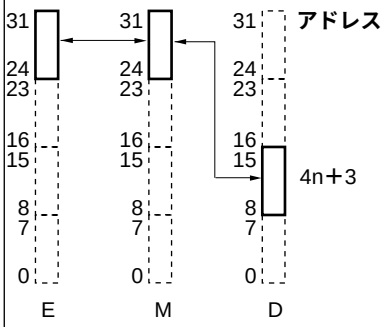
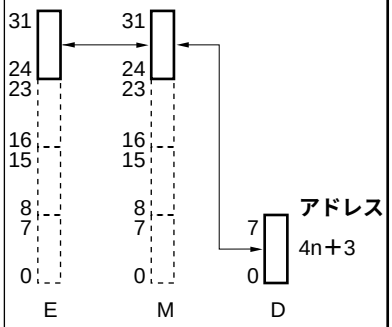
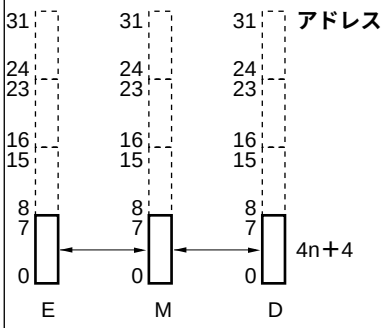
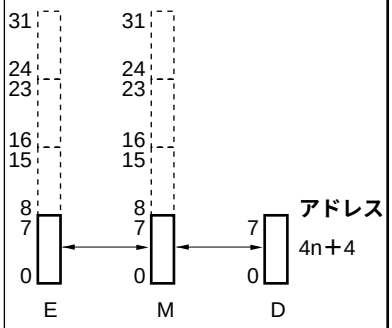
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－7 ハーフワード・アクセス時のデータ・フロー（リトル・エンディアン）（2/2）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n+2	1回目		
	2回目	――	
4n+3	1回目		
	2回目		

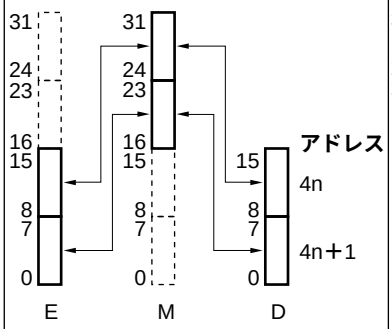
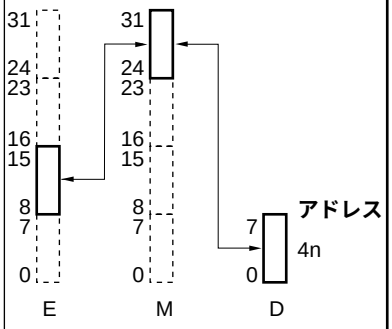
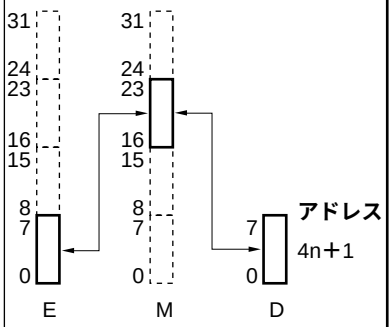
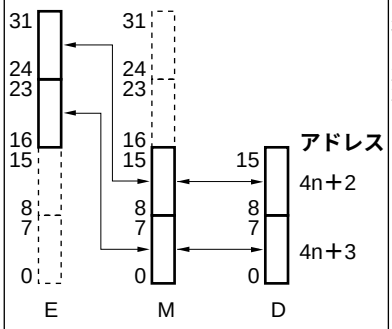
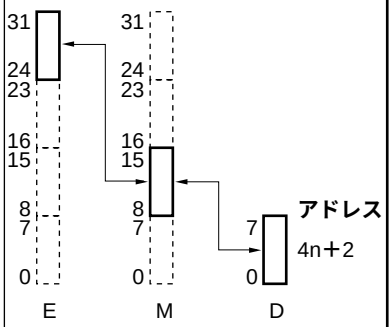
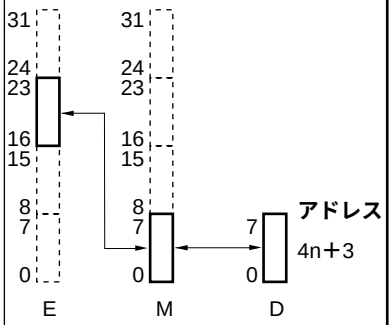
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－8 ハーフワード・アクセス時のデータ・フロー（ビック・エンディアン）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n	1回目		
	2回目	――	
4n+2	1回目		
	2回目	――	

備考1. E：内部バス

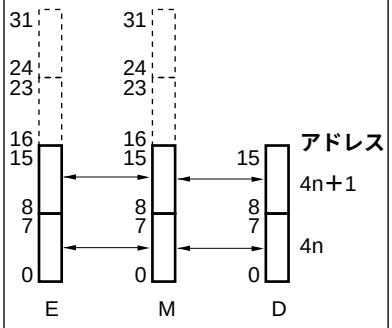
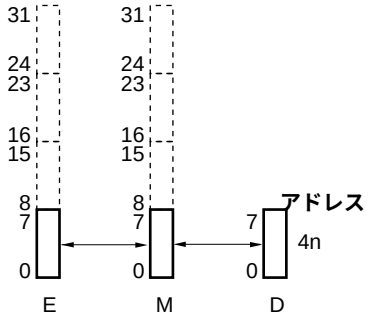
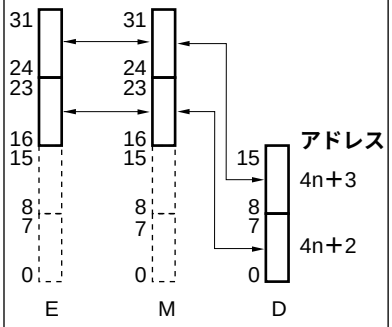
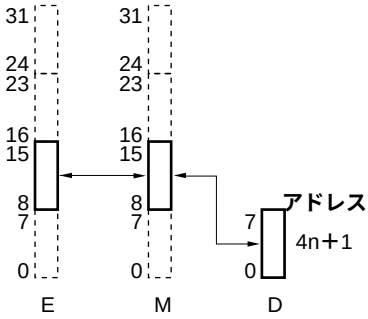
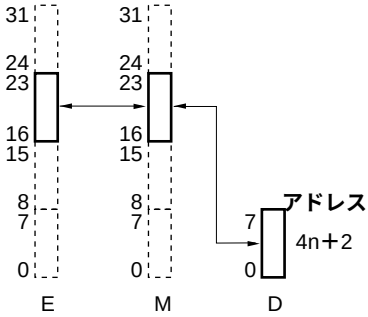
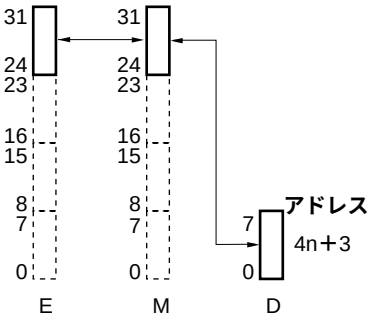
M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

2. 先頭アドレスが4n＋1, 4n＋3,で始まるアクセスは禁止です。

表5－9 ワード・アクセス時のデータ・フロー（リトル・エンディアン）（1/4）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n	1回目		
	2回目		
	3回目	――	
	4回目	――	

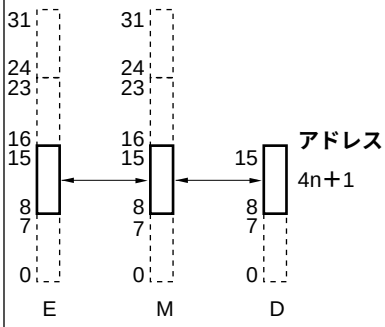
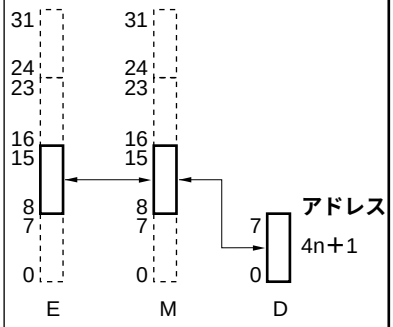
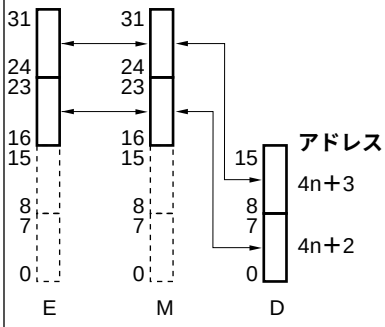
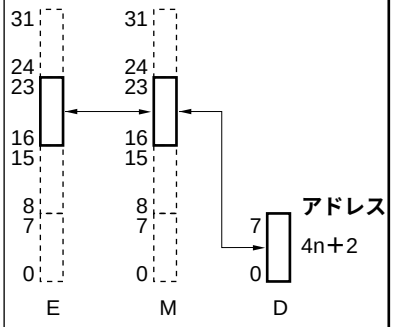
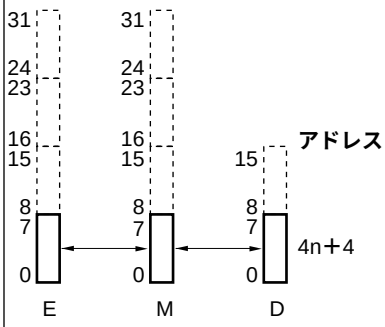
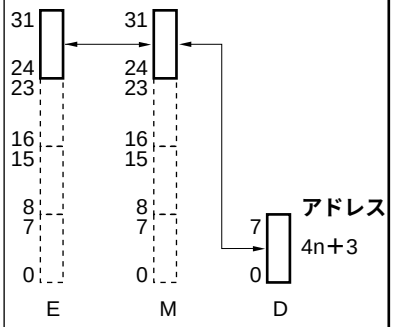
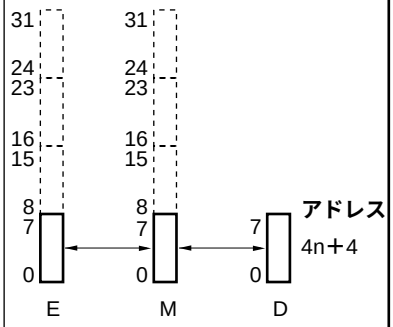
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－9 ワード・アクセス時のデータ・フロー（リトル・エンディアン）（2/4）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n+1	1回目		
	2回目		
	3回目		
	4回目	――	

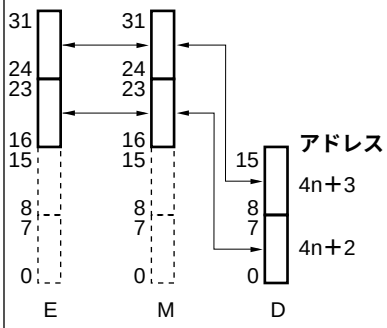
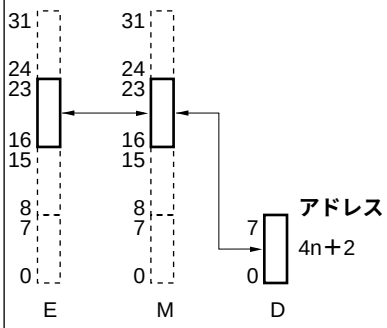
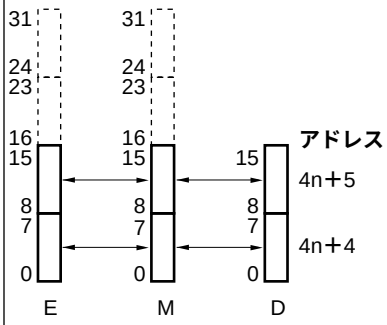
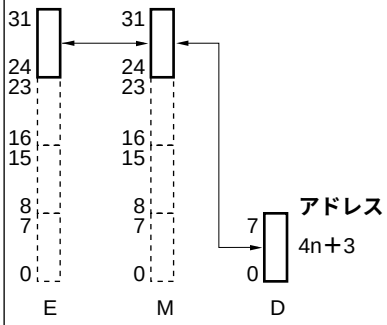
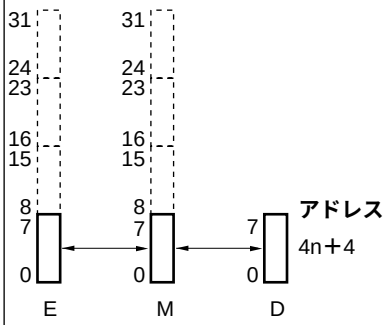
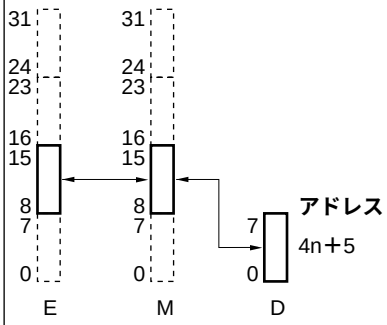
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－9 ワード・アクセス時のデータ・フロー（リトル・エンディアン）（3/4）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n+2	1回目		
	2回目		
	3回目	――	
	4回目	――	

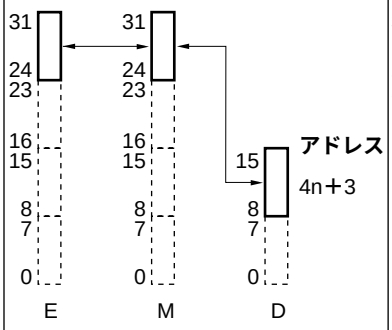
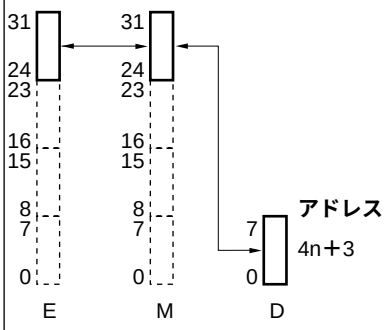
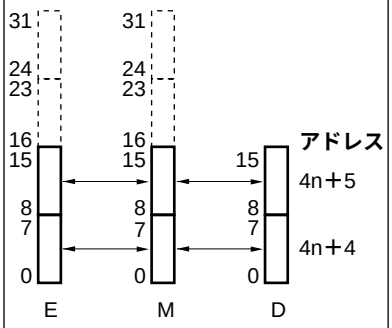
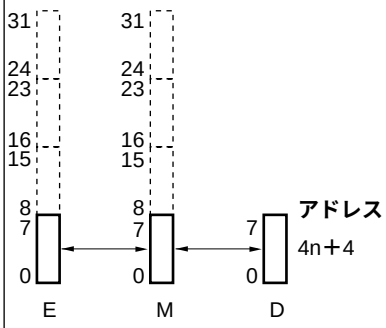
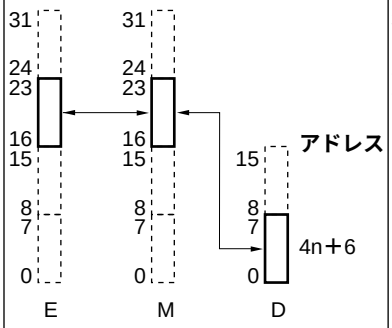
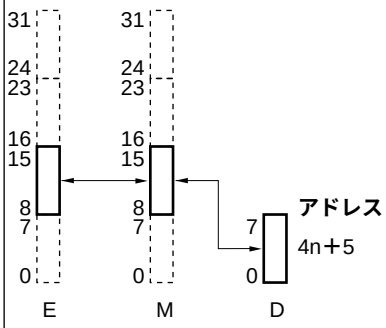
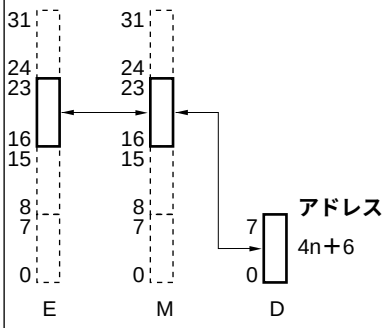
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－9 ワード・アクセス時のデータ・フロー（リトル・エンディアン）（4/4）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n+3	1回目		
	2回目		
	3回目		
	4回目	――	

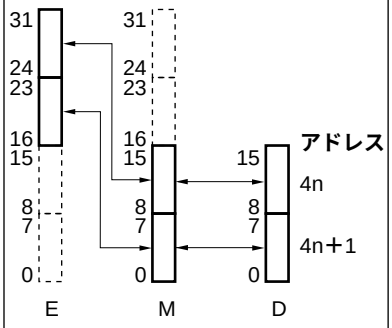
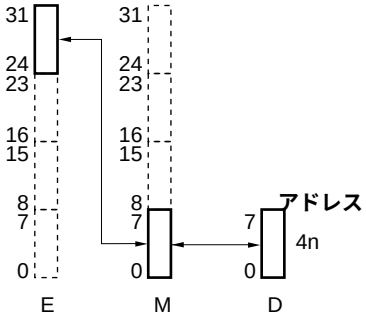
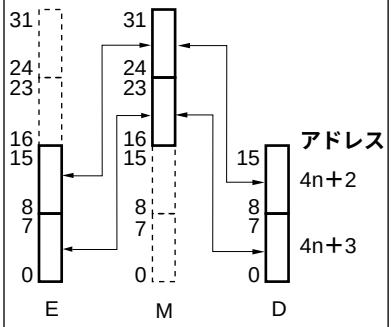
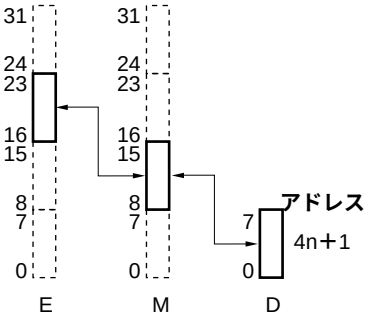
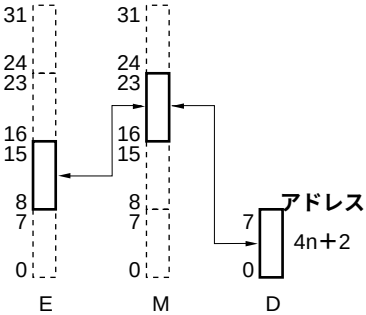
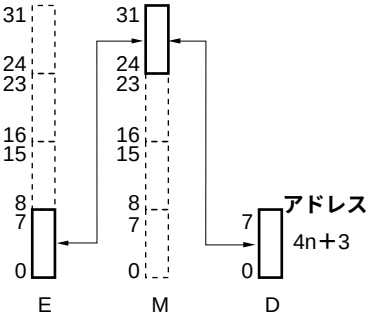
備考 E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

表5－10 ワード・アクセス時のデータ・フロー（ビック・エンディアン）

アクセスするアドレス		データ転送フロー	
		外部データ・バス：16ビット	外部データ・バス：8ビット
4n	1回目		
	2回目		
	3回目	――	
	4回目	――	

備考1. E：内部バス

M：メモリ・コントローラ・データ・バッファ

D：外部データ・バス

n = 0, 1, 2, 3

2. 先頭アドレスが4n＋1, 4n＋2, 4n＋3,で始まるアクセスは禁止です。

5. 6 ウエイト機能

低速メモリ，I/Oに対するインタフェース回路作成を容易に実現させることを目的とし，チップ･セレクト空間ごとに起動されるバス・サイクルに対し，各種ウエイトを挿入できます。

表5－11 ウエイト機能一覧

ウエイト機能		データ・ウエイト		データ・ホールド・ウエイト	アドレス・ウエイト		アイドル
		プログラマブル	外部ウエイト		セットアップ	ホールド	
セパレート・バス・モード	リード	○	○	－	－	－	○注
	ライト	○	○	○	－	－	－
マルチプレクス・バス・モード	リード	○	○	×	○	○	○
	ライト	○	○	○	○	○	－
設定レジスタ		DWC	－	DHC	AWC	AWC	ICC
最大ウエイト		7	－	1	1	1	1
初期値		7	－	1	1	1	1

注 セパレート・バス・モード時，アイドルが挿入されるのはリード→ライト時のみです。

5. 6. 1 プログラマブル・ウエイト機能

(1) データ・ウエイト設定レジスタ（DWC）

ウエイト数は，DWCレジスタでプログラマブルに最大7ステートのデータ・ウエイトを挿入可能です。
システム・リセット直後は，全チップ･セレクト領域に対して7データ・ウエイトの挿入状態になります。
16ビット単位でリード／ライト可能です。
リセットにより7777Hになります。

注意 DWCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。
また，DWCレジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。

アドレス：FFFF7208H リセット時：7777H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DWC	0	DW 32	DW 31	DW 30	0	DW 22	DW 21	DW 20	0	DW 12	DW 11	DW 10	0	DW 02	DW 01	DW 00
		CS3				CS2				CS1				CS0		

DWn2	DWn1	DWn0	CSn空間のデータ・ウエイト数（n = 0-3）
0	0	0	データ・ウエイトなし
0	0	1	1クロック
0	1	0	2クロック
0	1	1	3クロック
1	0	0	4クロック
1	0	1	5クロック
1	1	0	6クロック
1	1	1	7クロック

注意1. ビット15, 11, 7, 3は，常に0がリードされます。
2. 144ピン，128ピン製品では，ビット15, 11, 7, 3には必ず0を設定してください。
3. 100ピン, 80ピン製品では，DW32-DW30, DW22-DW20, DW02-DW00ビットのみ設定可能です。ビット15, 11, 7, 3には必ず0を，ビット6-4には必ず1を設定してください。

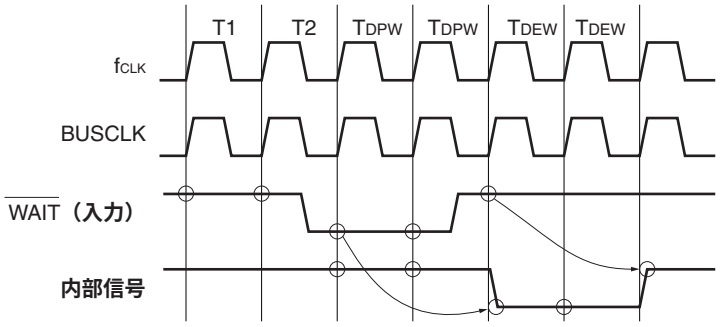
5. 6. 2 外部ウエイト機能

遅いデバイスや非同期システムに接続する場合など，外部デバイスに同期をとる目的で外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

外部ウエイトは内部信号として，T2，T_{DPW}，T_{DEW}サイクルの最後にサンプリングされます。しかし，WAIT端子入力信号は，CPU/周辺クロック（f_{CLK}）で同期化しているため，サンプリング・タイミングの2 f_{CLK}前の信号が有効になります。そのため，$\overline{\text{WAIT}}$端子によるウエイト制御を行う場合には期待するタイミングでの外部ウエイトに間に合うよう，DWCレジスタによりプログラマブル・データ・ウエイトを挿入して使用してください。

サンプリング・タイミングにおける設定／保持時間を満たさないときは，そのサンプリング・タイミングに対する外部ウエイトを挿入するかどうかは不定となります。

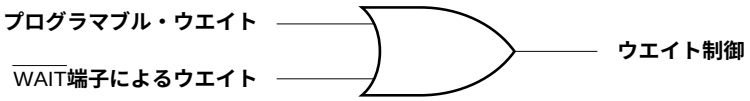
図5－6 セパレート・バス・モード（リード）時のウエイト挿入例



備考1. ○はサンプリング・タイミングです。
2. T_{DPW}はプログラマブル・データ・ウエイトです。
3. T_{DEW}は$\overline{\text{WAIT}}$端子入力によるデータ・ウエイトです。

5. 6. 3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和（OR）として挿入されます。



5. 6. 4 データ・ホールド・ウエイト機能

(1) データ・ホールド・ウエイト設定レジスタ（DHC）

外部バスのライト・サイクルにおけるデータ・ホールド・ウエイトの延長数を設定するレジスタです。

DHCレジスタにより，各バス・サイクルに対して挿入するデータ・ホールド・ウエイトを設定できます。

データ・ホールド・ウエイト挿入は各チップ･セレクト領域（チップ･セレクト0-3）ごとに設定します。

システム・リセット直後は，全チップ･セレクト領域に対して1データ・ウエイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

リセットにより0055Hになります。

注意 DHCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DHCレジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。

アドレス：FFFF720CH　リセット時：0055H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DHC	0	0	0	0	0	0	0	0	0	DH3	0	DH2	0	DH1	0	DH0
										CS3		CS2		CS1		CS0

DHn	CSn空間のデータ・ホールド・ウエイト数（n = 0-3）
0	データ・ホールド・ウエイトなし
1	1クロック

注意1. ビット15-7，5，3，1は，常に0がリードされます。

2. 144ピン，128ピン製品では，ビット15-7，5，3，1には必ず0を設定してください。

3. 100ピン, 80ピン製品では，ビット6，4，0（DH3，DH2，DH0）のみ設定可能です。ビット15-7，5，3，1には必ず0を，ビット2には必ず1を設定してください。

5. 6. 5 プログラマブル・アドレス・ウエイト機能

マルチプレクス・バス・モード時に，アドレス・ラッチのセットアップ・ホールドを確保するための機能です。

AWCレジスタにより，各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト／アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ･セレクト領域（チップ･セレクト0-3）ごとに設定します。

システム・リセット直後は，全チップ･セレクト領域に対して1データ・ウエイトの挿入状態になります。

アドレス・セットアップ・ウエイトを挿入すると，T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また，アドレス・ホールド・ウエイトを挿入すると，T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト設定レジスタ（AWC）

16ビット単位でリード／ライト可能です。

リセットにより5555Hになります。

注意1. AWCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，AWCレジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。

2. セパレート・バス・モード時では，AWCレジスタの設定は無効となります。

アドレス：FFFF7210H **リセット時：**5555H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWC	0	AHW3	0	ASW3	0	AHW2	0	ASW2	0	AHW1	0	ASW1	0	AHW0	0	ASW0
		CS3				CS2				CS1				CS0		

AHWn	CSn空間のアドレス・ホールド・ウエイト数（n = 0-3）
0	アドレス・ホールド・ウエイトなし
1	1クロック

ASWn	CSn空間のアドレス・セットアップ・ウエイト数（n = 0-3）
0	アドレス・セットアップ・ウエイトなし
1	1クロック

注意1. **ビット**15, 13, 11, 9, 7, 5, 3, 1**は，常に**0**がリードされます。**

2. 144**ピン，**128**ピン製品では，ビット**15, 13, 11, 9, 7, 5, 3, 1**には必ず**0**を設定してください。**

3. 100**ピン**, 80**ピン製品では，ビット**AHW3, ASW3, AHW2, ASW2, AHW0, ASW0**ビットのみ設定可能です。ビット**15, 13, 11, 9, 7, 5, 3, 1**には必ず**0**を，ビット**6, 4**には必ず**1**を設定してください。**

5. 7 アイドル・ステート挿入機能

低速デバイスに対するインタフェースを容易に実現させることを目的とし，チップ･セレクトで選択される空間ごとに起動されるバス・サイクルのリード・アクセス時のみ，マルチプレクス・アドレス／データ・バス時には，T3ステート後に1ステートのアイドル・ステート（TI）を挿入できます。また，セパレート・バス時には，T2ステート後に1ステートのアイドル・ステート（TI）を挿入できます。アイドル・ステートを挿入することにより，リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます（ライト・アクセス時には，アイドル・ステートは挿入できません。）。

アイドル・ステートの挿入指定は，ICCレジスタでプログラマブルに設定できます。

システム・リセット直後は，全チップ･セレクト領域に対してアイドル・ステートの挿入状態になります。

(1) アイドル・サイクル設定レジスタ（ICC）

16ビット単位でリード／ライト可能です。

リセットにより1111Hになります。

注意 ICCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，ICCレジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。

アドレス：FFFF7214H　リセット時：1111H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ICC	0	0	0	RIC3	0	0	0	RIC2	0	0	0	RIC1	0	0	0	RIC0
				CS3				CS2				CS1				CS0

RICn	CSn空間のアドレス・ステート挿入（n = 0-3）
0	アドレス・ステートなし
1	1クロック

注意1. ビット15-13, 11-9, 7-5, 3-1は，常に0がリードされます。

2. 144ピン，128ピン製品では，ビット15-13, 11-9, 7-5, 3-1には必ず0を設定してください。

3. 100ピン，80ピン製品では，RIC3, RIC2, RIC0ビットのみ設定可能です。ビット15-13, 11-9, 7-5, 3-1には必ず0を，ビット4には必ず1を設定してください。

5. 8 バスの優先順位

外部バス・サイクルには，命令フェッチ（分岐），命令フェッチ（連続），オペランド・データ・アクセス，DMA転送の5つがあります。

優先順位はDMA転送が最も高く，オペランド・データ・アクセス，命令フェッチ（分岐），命令フェッチ（連続）の順で低くなります。

ただし，リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。

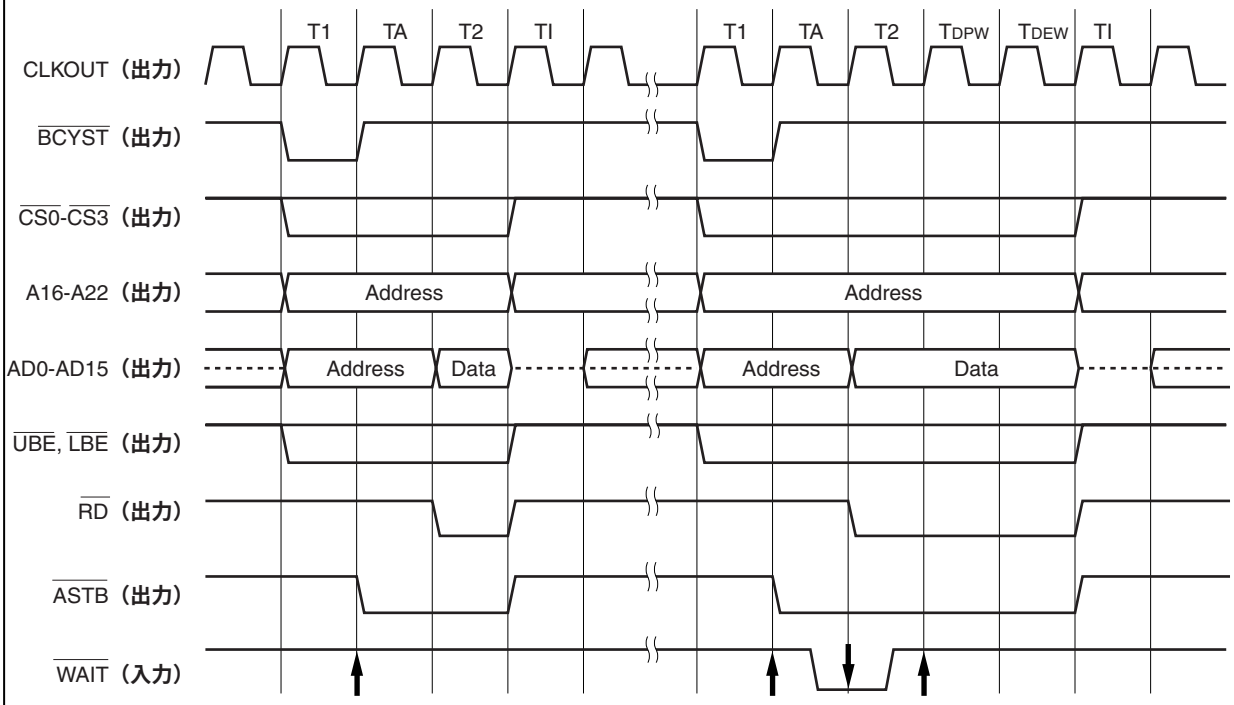
表5－12 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	DMA転送	DMAC
↑	オペランド・データ・アクセス	CPU
↕	命令フェッチ（分岐）	CPU
低い	命令フェッチ（連続）	CPU

5. 9 バス・タイミング

次に代表的なバス・タイミングを示します。

図5－7 マルチプレクス・バスのタイミング例（リード時）



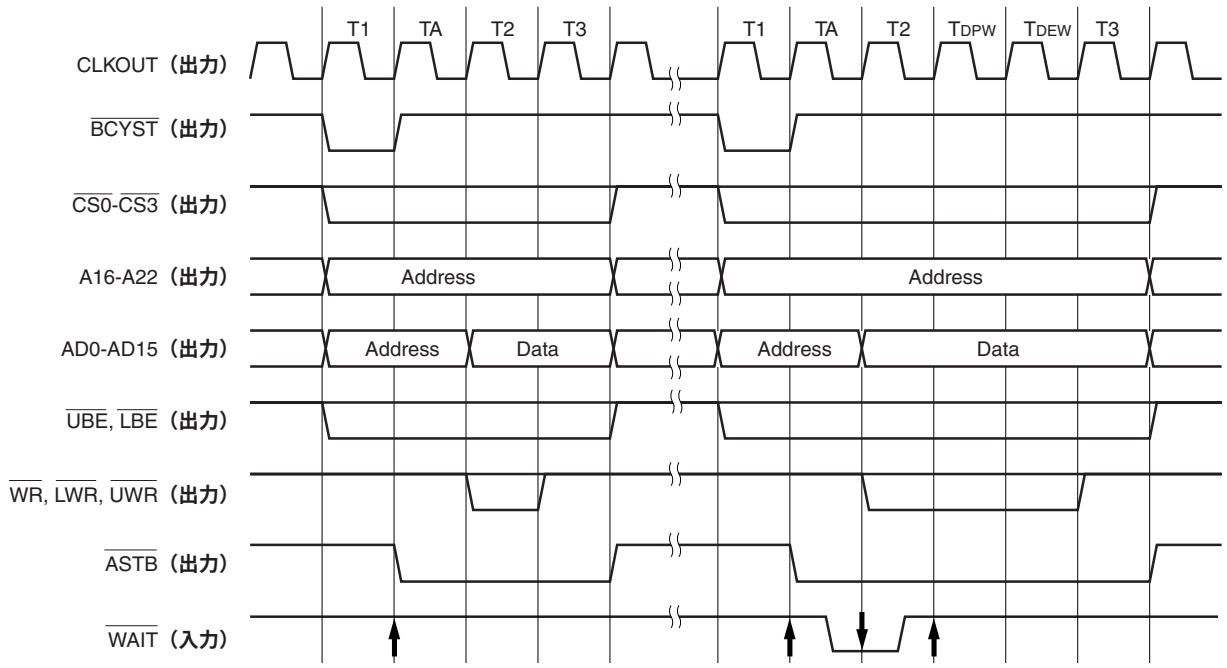
備考1. TI：アイドル・ステート（必ず1つ入ります）

T_{DPW}：プログラマブル・ウエイト

T_{DEW}：WAIT端子によるウエイト

2. 破線はハイ・インピーダンスを示します。

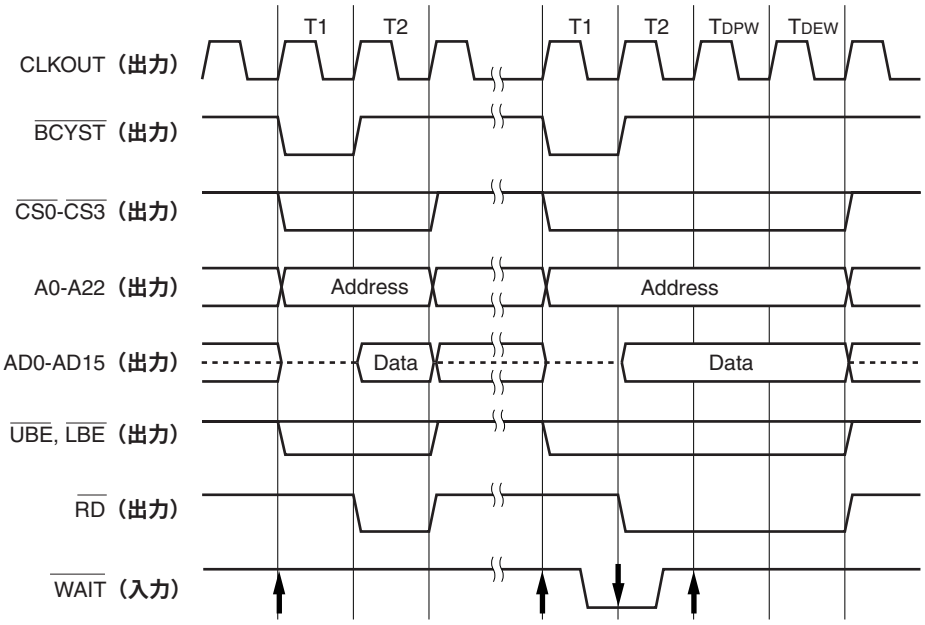
図5ー8 マルチプレク・バスのタイミング例（ライト時）



備考 T_{DPW}：プログラマブル・ウエイト

T_{DEW}：WAIT端子によるウエイト

図5－9 セパレート・バスのタイミング例（リード時）



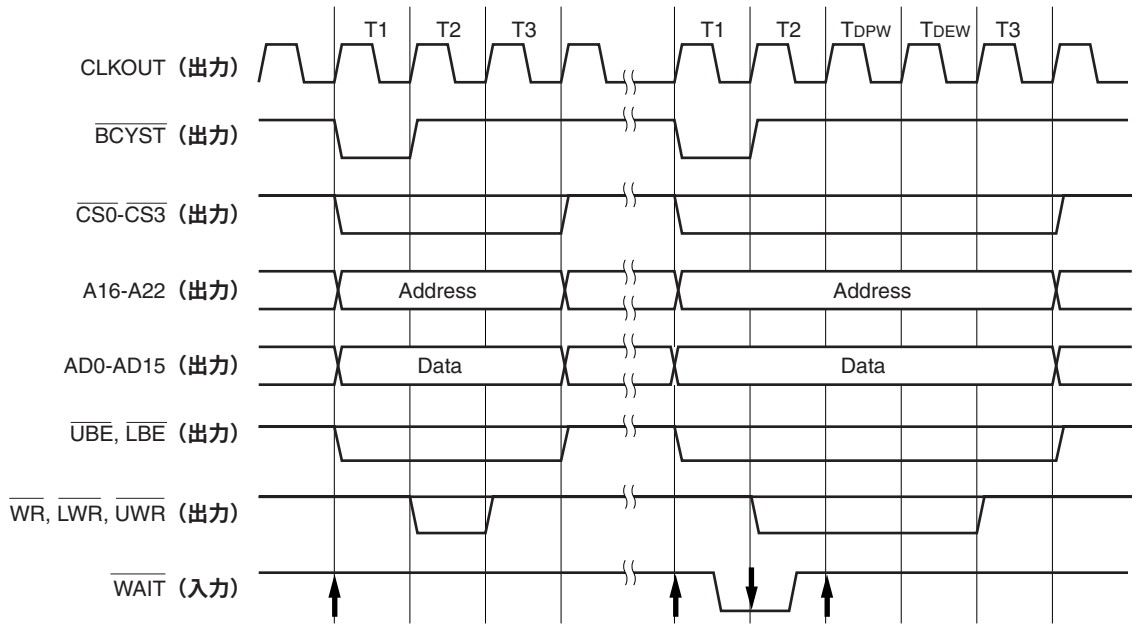
備考1. T_{DPW}：プログラマブル・ウエイト

T_{DEW}：$\overline{WAIT}$端子によるウエイト

2. 破線はハイ・インピーダンスを示します。

3. 次のサイクルがライト・サイクルの場合，自動的にアイドル・ステートがひとつ入ります。

図5－10 セパレート・バスのタイミング例（ライト時）



備考 T_{DPW}：プログラマブル・ウエイト

T_{DEW}：$\overline{WAIT}$端子によるウエイト

第6章　クロック発生回路

6.1　概　要

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。2種類のPLL回路を内蔵しており，発振／供給したクロックを逓倍して使用することができます。また，クロックを分周してCPUや内蔵周辺機能に供給したり，クロック発振を停止して低消費電力状態にすることが可能です。

クロック発生機能の概要を次に示します。

6.1.1　クロック・ソース

V850E2/Jx4-Lには5種類のクロック･ソースがあります。

(1) メイン・クロック周波数（f_{MX}）

- 水晶／セラミック発振（f_X）
- 外部入力メイン・クロック入力（f_{EX}）

メインPLLモード（3, 4, 6, 8逓倍）　：f_{MX} = 4～16 MHz（f_{MAIN} = 12～32 MHz）

クロック・スルー・モード　：f_{MX} = 4～20 MHz（f_{MAIN} = 4～20 MHz）

(2) サブクロック周波数（f_{SX}）

- 水晶発振（f_{XT}）
- 外部入力サブクロック入力（f_{EXS}）

f_{SX} = 32.768 kHz（f_{SUB} = 32.768 kHz）

(3) 高速オンチップ・オシレータ：f_{IH} = 32 MHz（f_{MAIN} = 32 MHz）

- メイン・システム・クロック周波数（f_{MAIN}）のクロック：f_{IH} = f_{MAIN} = 32 MHz
- サブシステム・クロック周波数（f_{SUB}）のクロック：f_{IH}/1024 = 31.25 kHz

(4) 低速オンチップ・オシレータ・クロック（f_{IL} = 15 kHz）

- ウォッチドッグ・タイマのクロック
- メイン・クロック発振回路のクロック・モニタ用サンプリング・クロック
- TAU1のTI7クロック入力

(5) 外部USBクロック入力端子（UCLK）からの入力クロック（f_{UCLK} = 48 MHz）

6. 1. 2 PLL機能

V850E2/Jx4-Lには用途にあわせた2種類のPLL回路を内蔵しております。

（1）メイン・クロック用PLL（メインPLL）

メイン・クロック周波数（f_{MX}または$f_{MX}/2$）をクロック・ソースに3, 4, 6, 8逓倍が設定可能です。

逓倍後はメイン・システム・クロック周波数（f_{MAIN}）となり，分周回路を経てCPU／周辺クロック（f_{CLK}）として供給されます。

（2）USBクロック用PLL（USB PLL）

メイン・クロック周波数（f_{MX}または$f_{MX}/2$）をクロック・ソースに6, 8逓倍が設定可能です。

逓倍後はUSBクロック周波数（f_{USB}）のひとつとして供給されます。

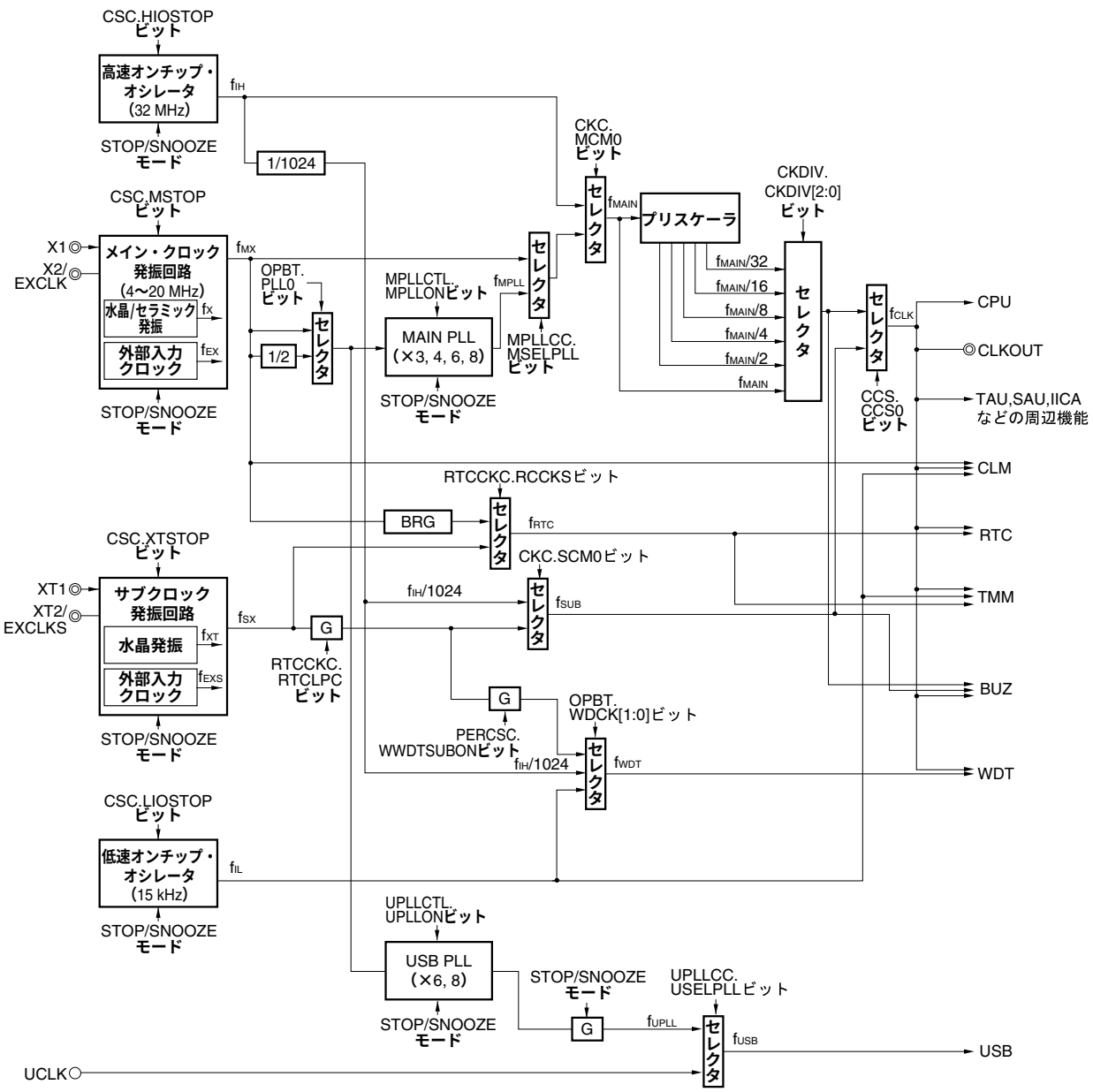
6.2 構　　成

クロック発生回路は，次のハードウエアで構成しています。

表6－1 クロック発生回路の構成

項　　目	構　　成
制御レジスタ	クロック動作モード制御レジスタ（CMC） クロック発振モード・コントロール・レジスタ（OAC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） CPUクロック選択レジスタ（CCS） クロック・ステータス・レジスタ（CKS） 発振安定時間選択レジスタ（OSTS） 発振安定時間カウンタ状態レジスタ（OSTC） クロック分周レジスタ（CKDIV） バス・クロック選択レジスタ（CLKS） バス・クロック制御レジスタ（BUSCLKCTL） WDT用サブクロック制御レジスタ（WWDTSUBONCTL） メインPLL逓倍率コントロール・レジスタ（MPMC） メインPLLコントロール・レジスタ（MPLLCTL） メインPLLクロック・コントロール・レジスタ（MPLLCC） メインPLLクロック・ステータス・レジスタ（MPLLCS） メインPLLロックアップ時間設定レジスタ（MPLLS） メインPLLロック・レジスタ（MLOCKR） USB PLL逓倍率コントロール・レジスタ（UPMC） USB PLLコントロール・レジスタ（UPLLCTL） USB PLLクロック・コントロール・レジスタ（UPLLCC） USB PLLクロック状態レジスタ（UPLLCS） USB PLLロックアップ時間設定レジスタ（UPLLS） USB PLLロック・レジスタ（ULOCKR） RTCクロック・コントロール・レジスタ（RTCCKC） RTC用ボー・レート・ジェネレータ・コントロール・レジスタ（BRGA0CTL） RTC用ボー・レート・ジェネレータ・コンペア・レジスタ（BRGA0CMP） RTC用ボー・レート・ジェネレータ・フラグ・レジスタ（BRGA0FLG） 周辺イネーブル・レジスタ0（PER0） 周辺イネーブル・レジスタ1（PER1） 周辺イネーブル・レジスタ2（PER2） 周辺イネーブル・レジスタ3（PER3） CSCコマンド・レジスタ（CSCPCMD） CSCステータス・レジスタ（CSCPS）
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ
PLL回路	メイン・クロック用PLL USBクロック用PLL

図6－1 クロック発生回路のブロック図



備考 fX ：X1クロック発振周波数
fIH ：高速オンチップ・オシレータ・クロック周波数
fEX ：外部入力メイン・クロック周波数
fMX ：メイン・クロック周波数
fMAIN ：メイン・システム・クロック周波数
fMPLL ：メインPLLクロック周波数
fXT ：XT1クロック発振周波数
fEXS ：外部入力サブクロック周波数
fSX ：サブクロック周波数
fSUB ：サブシステム・クロック周波数
fCLK ：CPU／周辺クロック周波数
fIL ：低速オンチップ・オシレータ・クロック周波数
fUPLL ：USB PLL周波数
fUSB ：USBクロック周波数
fRTC ：リアルタイム・クロック周波数
fWDT ：ウォッチドッグ・タイマ・クロック周波数

6. 3 レジスタ

クロック発生回路は，次のレジスタで制御します。

- クロック動作モード制御レジスタ（CMC）
- クロック発振モード・コントロール・レジスタ（OAC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- CPUクロック選択レジスタ（CCS）
- クロック・ステータス・レジスタ（CKS）
- 発振安定時間選択レジスタ（OSTS）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- クロック分周レジスタ（CKDIV）
- バス・クロック選択レジスタ（CLKS）
- バス・クロック制御レジスタ（BUSCLKCTL）
- WDT用サブクロック制御レジスタ（WWDTSUBONCTL）
- メインPLL逓倍率コントロール・レジスタ（MPMC）
- メインPLLコントロール・レジスタ（MPLLCTL）
- メインPLLクロック・コントロール・レジスタ（MPLLCC）
- メインPLLクロック・ステータス・レジスタ（MPLLCS）
- メインPLLロックアップ時間設定レジスタ（MPLLS）
- メインPLLロック・レジスタ（MLOCKR）
- USB PLL逓倍率コントロール・レジスタ（UPMC）
- USB PLLコントロール・レジスタ（UPLLCTL）
- USB PLLクロック・コントロール・レジスタ（UPLLCC）
- USB PLLクロック状態レジスタ（UPLLCS）
- USB PLLロックアップ時間設定レジスタ（UPLLS）
- USB PLLロック・レジスタ（ULOCKR）
- RTCクロック・コントロール・レジスタ（RTCCKC）
- RTC用ボー・レート・ジェネレータ・コントロール・レジスタ（BRGA0CTL）
- RTC用ボー・レート・ジェネレータ・コンペア・レジスタ（BRGA0CMP）
- RTC用ボー・レート・ジェネレータ・フラグ・レジスタ（BRGA0FLG）
- 周辺イネーブル・レジスタ0（PER0）
- 周辺イネーブル・レジスタ1（PER1）
- 周辺イネーブル・レジスタ2（PER2）
- 周辺イネーブル・レジスタ3（PER3）

(1) クロック動作モード制御レジスタ（CMC）

X1, X2/EXCLK端子およびXT1, XT2/EXCLKS端子の動作モードの設定をするレジスタです。

リセット解除後，8ビット単位で1回のみライト可能です。リードは常に可能です。

リセットにより00Hになります。

アドレス：FF420020H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	0

EXCLK	OSCSEL	メイン・クロック端子の動作モード	X1/P0_4端子	X2/EXCLK/P0_3端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブクロック端子の動作モード	XT1/P0_1端子	XT2/EXCLKS/P0_0端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

注意1. CMCレジスタは，リセット解除後，8ビット単位で1回のみライト可能です。

2. リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。

3. CMCレジスタを初期値（00H）のまま使用する場合，動作を確定させるために，リセット解除後は必ず00Hをライトしてください。

(2) クロック発振モード・コントロール・レジスタ（OAC）

X1, X2/EXCLK端子およびXT1, XT2/EXCLKS端子の発振回路のゲインを選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF420024H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
OAC	0	0	0	0	0	AMPHS1	AMPHS0	AMPH

AMPHS1	AMPHS0	XT1発振回路の発振モード選択注	
0	0	低消費発振（デフォルト）	発振余裕度：中
0	1	通常発振	発振余裕度：高
1	0	超低消費発振	発振余裕度：低
1	1	設定禁止	

AMPH	X1クロック発振周波数の制御
0	4 MHz≦fx≦10 MHz
1	10 MHz＜fx≦20 MHz

注　XT1発振回路は，消費電力の低い発振モードになるにつれて，発振余裕度は厳しくなります。

注意1. X1クロック発振周波数が10MHzを越える場合は，必ずAMPHビットに1を設定してください。

2. サブクロックが動作中（CSC.XTSTOP = 0）に，AMPHS1, AMPHS0ビットの値を書き換えないでください。

3. メイン・クロックが動作中（CSC.MSTOP = 0）にAMPHビットの値を書き換えないでください。

4. XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。
   - 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
   - XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
   - 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
   - XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。
   - XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
   - 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
   - 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

(3) システム・クロック制御レジスタ（CKC）

メイン・システム・クロック（f_{MAIN}）やサブシステム・クロック（f_{SUB}）を選択するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

アドレス：FF420034H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CKC	0	0	0	MCM0	0	0	SCM0	0

MCM0	メイン・システム・クロック（f_{MAIN}）の設定
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	メイン・クロック（f_{MX}），またはメインPLLクロック（f_{MPLL}）

SCM0	サブシステム・クロック（f_{SUB}）の設定
0	高速オンチップ・オシレータ・クロック（f_{IH}）を1024分周したクロック
1	サブ・クロック（f_{SX}）

注意1. ビット0, 2, 3, 5-7には，必ず0を設定してください。

2. CPU／周辺クロック（f_{CLK}）として高速オンチップ・オシレータ・クロック（f_{IH}）を1024分周したクロックが選択されている場合，RTCを制御するレジスタにアクセスしないでください。

備考 メイン・クロック（f_{MX}）とメインPLLクロック（f_{MPLL}）の切り替えは，6. 3（15）メインPLLクロック・コントロール・レジスタ（MPLLCC）を参照してください。

(4) クロック動作ステータス制御レジスタ（CSC）

メイン・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}），サブクロック（f_{SX}），低速オンチップ・オシレータ・クロック（f_{IL}）の動作を制御するレジスタです。

CSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（6. 3. 1 特定レジスタについて 特定レジスタ参照）。

8ビット単位でリード／ライト可能です。

リセットにより110000x0Bになります（LIOSTOPビットの初期値はオプション・バイトの設定により異なります。詳細は第31章 オプション・バイトを参照してください）。

(1/2)

アドレス：FF420028H リセット時：110000x0B R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	LIOSTOP	HIOSTOP

MSTOP	メイン・クロック（f_{MX}）の動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP注1	サブクロック（f_{SX}）の動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

LIOSTOP注2	低速オンチップ・オシレータ・クロックの動作制御
0	低速オンチップ・オシレータ動作
1	低速オンチップ・オシレータ停止

HIOSTOP注3	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注1. XTSTOPビットのR/W属性はオプション・バイトのWDTON，WDCK1，WDCK0ビットの値に依存します。

オプション・バイト			XTSTOPビット
WDTON	WDCK1	WDCK0	R/W属性
1	0	0	リード可 一度のみ“0”をライト可能
上記以外			リード／ライト可能

(2/2)

注2. LIOSTOPビットの初期値およびR/W属性はオプション・バイトのWDTON, WDCK1, WDCK0ビットの値に依存します。

オプション・バイト			LIOSTOPビット	
WDTON	WDCK1	WDCK0	初期値	R/W属性
1	1	1	0	リード可，ライト不可
上記以外			1	リード／ライト可能

3. HIOSTOPビットのR/W属性はオプション・バイトのWDTON, WDCK1, WDCK0ビットの値に依存します。

オプション・バイト			HIOSTOPビット
WDTON	WDCK1	WDCK0	R/W属性
1	0	1	リード可，ライト不可
上記以外			リード／ライト可能

注意1. リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4. XTSTOPビットの設定でXT1発振を開始したあとは，サブシステム・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

5. CPU／周辺クロック（f_{CLK}）で使用しているクロック・ソースは，CSCレジスタで停止できません。
   - f_{CLK}としてf_{MX}が選択されている時（CCS.CCS0ビット=0かつCKC.MCM0ビット=1）時は，CSC.MSTOPビットに“1”をライトしても“1”になりません。
   - f_{CLK}としてf_{SX}が選択されている時（CCS.CCS0ビット=1かつCKC.MCM0ビット=1）時は，CSC.XTSTOPビットに“1”をライトしても“1”になりません。
   - f_{CLK}としてf_{IH}が選択されている時（CCS.CCS0ビット=0かつCKC.MCM0ビット=0）時は，CSC.HIOSTOPビットに“1”をライトしても“1”になりません。
   - f_{CLK}としてf_{IH}/1024が選択されている時（CCS.CCS0ビット=1かつCKC.MCM0ビット=0）時は，CSC.HIOSTOPビットに“1”をライトしても“1”になりません。

6. ビット5-2には，必ず0を設定してください。

(5) CPUクロック選択レジスタ（CCS）

CPU／周辺クロックを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF42003CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CCS	0	CCS0	0	0	0	0	0	0

CCS0	CPU／周辺クロックの選択
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

注意1. ビット0-5, 7には，必ず0を設定してください。

2. CCS.CCS0ビットを1→0に設定したあとf_{MAIN}に切り替わる時間は最大f_{SUB}×2＋f_{MAIN}×1（クロック）です。

(6) クロック・ステータス・レジスタ（CKS）

CPU／周辺クロック，メイン・システム・クロック，サブシステム・クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FF420038H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CKS	0	CLS	0	MCS	0	0	SCS	0

CLS	CPU／周辺クロック（f_{CLK}）の状態
0	メイン・システム・クロック（f_{MAIN}）で動作
1	サブシステム・クロック（f_{SUB}）で動作

MCS	メイン・システム・クロック（f_{MAIN}）の状態
0	高速オンチップ・オシレータ（f_{IH}）で動作
1	メイン・クロック（f_{MX}）または，メインPLLクロック（f_{MPLL}）で動作

SCS	サブシステム・クロック（f_{SUB}）の状態
0	高速オンチップ・オシレータ（f_{IH}）/1024で動作
1	サブクロック（f_{SX}）で動作

(7) 発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

OSTSレジスタで設定した発振安定時間経過後にメイン・クロック（f_{MX}）が動作します。

OSTSレジスタは次の場合にカウントを開始します。

- X1クロック発振停止から動作設定時
- X1クロック発振時のSTOPモードまたはSNOOZEモードからの復帰時

8ビット単位でリード／ライト可能です。

リセットにより07Hになります。

注意 メイン・クロック（f_{MX}）として外部入力メイン・クロック（EXCLK：f_{EX}）を選択時発振安定時間は，OSTSレジスタの設定に関係なく$2^4/f_{EX}$となります。

アドレス：FF42002CH　リセット時：07H　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

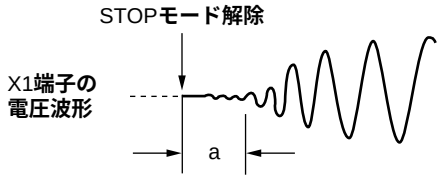
OSTS2	OSTS1	OSTS0	発振安定時間の選択				
				f_X = 4 MHz時	f_X = 8 MHz時	f_X = 16 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	0.064 ms	0.032 ms	0.016 ms	12.8 μs
0	0	1	$2^9/f_X$	0.128 ms	0.064 ms	0.032 ms	25.6 μs
0	1	0	$2^{10}/f_X$	0.256 ms	0.128 ms	0.064 ms	51.2 μs
0	1	1	$2^{11}/f_X$	0.512 ms	0.256 ms	0.128 ms	102.4 μs
1	0	0	$2^{13}/f_X$	2.048 ms	1.024 ms	0.512 ms	409.6 μs
1	0	1	$2^{15}/f_X$	8.192 ms	4.096 ms	2.048 ms	1.64 ms
1	1	0	$2^{17}/f_X$	32.77 ms	16.38 ms	8.192 ms	6.55 ms
1	1	1	$2^{18}/f_X$	65.54 ms	32.77 ms	16.38 ms	13.11 ms

注意1．OSTSレジスタの設定は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

2．CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOPモードの設定よりも前にOSTSレジスタを設定しておいてください。

3．X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。

4．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_X：X1クロック発振周波数

(8) 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセット，STOP命令，CSC.MSTOPビット = 1により，00Hになります。

アドレス：FF420030H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	0	0	0	0	MSTS

MSTS	メイン・クロック発振の発振安定状態
0	メイン・クロック発振停止，または発振安定待ち
1	メイン・クロック発振安定

備考 MSTSビットのセット／クリア条件は次のとおりです。

〔クリア条件〕

- システム・リセット時
- STOPモード時
- メイン・クロック発振停止（CSC.MSTOP = 1）時

〔セット条件〕

- メイン・クロック発振安定用タイマのオーバフロー時
  （OSTSレジスタで設定）

(9) クロック分周レジスタ（CKDIV）

メイン・システム・クロック（f_{MAIN}）の分周比を選択しCPU／周辺クロックを生成するレジスタです。

8ビット単位でリード／ライト可能です。

リセット後の値はオプション・バイトの設定に依存します。詳細は第31章 オプション・バイトを参照してください。

アドレス：FF420050H リセット時：注 R/W

略号	7	6	5	4	3	2	1	0
CKDIV	0	0	0	0	1	CKDIV2注	CKDIV1注	CKDIV0注

CKDIV2	CKDIV1	CKDIV0	CPU／周辺クロック（f_{CLK}）の生成
0	1	0	f_{MAIN}（分周なし）
0	1	1	$f_{MAIN}/2$
1	0	0	$f_{MAIN}/4$
1	0	1	$f_{MAIN}/8$
1	1	0	$f_{MAIN}/16$
1	1	1	$f_{MAIN}/32$
上記以外			設定禁止

注 CKDIV2-CKDIV0ビットの初期値はオプション・バイトのCKDIV2-CKDIV0ビットの設定値に依存します。詳細は第31章 オプション・バイトを参照してください。

(10) バス・クロック選択レジスタ (CLKS)

CPU／周辺クロック (f_{CLK}) の分周比を選択し外部バス動作クロックを生成するレジスタです。外部バス動作クロックは，バス・クロック (BUSCLK) 端子から出力できます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 BUSCLKを使用する場合はポートP3_0をポート関連のレジスタでBUSCLKの兼用機能を選択しバス・クロック選択レジスタ (CLKS) でクロック分周比を設定した後に，BUSCLKCTL.BUSCLKON = 1に設定してください。

アドレス：FF420054H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CLKS	0	0	0	0	0	0	DBCT1S	DBCT0S

DBCT1S	DBCT0S	外部バス動作クロック (BUSCLK) の生成
0	0	f_{CLK} (分周なし)
0	1	$f_{CLK}/2$
1	0	$f_{CLK}/4$
1	1	設定禁止

（11）バス・クロック制御レジスタ（BUSCLKCTL）

外部バス動作クロックの動作／停止を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 BUSCLKを使用する場合はポートP3_0をポート関連のレジスタでBUSCLKの兼用機能を選択しバス・クロック選択レジスタ（CLKS）でクロック分周比を設定した後に，BUSCLKCTL.BUSCLKON = 1に設定してください。

アドレス：FF420058H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BUSCLKCTL	0	0	0	0	0	0	0	BUSCLKON

BUSCLKON	外部バス動作クロック（BUSCLK）制御
0	外部バス動作クロック（BUSCLK）停止
1	外部バス動作クロック（BUSCLK）許可

（12）WDT用サブクロック制御レジスタ（WWDTSUBONCTL）

ウォッチドッグ・タイマに供給するサブクロック（fsx）を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. WWDTSUBONビットはリセット解除後一度だけライト可能です。リードは何度でも可能です。

2. WWDTSUBONビットは，WDTのカウント・クロックとしてサブクロック（fsx）を選択しWDTがリセット解除後に動作するオプション・バイトの設定時（WDTON = 1）に使用できます。

アドレス：FF42005CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WWDTSUBONCTL	0	0	0	0	0	0	0	WWDTSUBON

WWDTSUBON	WDTに供給するサブクロック（fsx）の制御
0	WDTに供給するサブクロック（fsx）停止
1	WDTに供給するサブクロック（fsx）動作

（13）メインPLL逓倍率コントロール・レジスタ（MPMC）

メイン・クロック（f_{MX}）のPLLの逓倍率を制御するレジスタです。

MPMCレジスタは特定レジスタです。特性のシーケンスの組み合わせによってだけ書き込みができます（6. 3. 1 特定レジスタについて参照）。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. MPLLCC.MSELPLLビットおよび，CKC.MCMOビットによりメイン・システム・クロック（f_{MAIN}）を高速オンチップ・オシレータ・クロック（f_{IH}）またはメイン・クロック（f_{MX}）に選択し，MPLLCTL.MPLLONビットを“0”に設定したあと，MPMCレジスタでメインPLLクロック（f_{MPLL}）の周波数を設定してください。

2. MPMCレジスタの値の設定後，値の設定待ち時間を確保するため，2 μsの待ち時間をソフトウエアで挿入したあと，MPLLCTL.MPLLONビットを“1”に設定してください。

3. ビット7-3, 1には必ず0に設定してください。

アドレス：FF420060H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MPMC	0	0	0	0	0	MPMC2	0	MPMC0

MPMC2	MPMC0	オプション・バイトPLLI0	メインPLLの逓倍率の設定
0	0	0	f_{MPLL} = 3×f_{MX}（f_{MX} = 4.0～8.0 MHz）
0	1		f_{MPLL} = 6×f_{MX}（f_{MX} = 4.0～5.3 MHz）
1	0		f_{MPLL} = 4×f_{MX}（f_{MX} = 4.0～8.0 MHz）
1	1		f_{MPLL} = 8×f_{MX}（f_{MX} = 4.0 MHz）
0	0	1	f_{MPLL} = 3×f_{MX}/2（f_{MX} = 8.0～16.0 MHz）
0	1		f_{MPLL} = 6×f_{MX}/2（f_{MX} = 8.0～10.6 MHz）
1	0		f_{MPLL} = 4×f_{MX}/2（f_{MX} = 8.0～16.0 MHz）
1	1		f_{MPLL} = 8×f_{MX}/2（f_{MX} = 8.0 MHz）

備考 PLLI0ビットはオプション・バイトです。詳細は第31章 オプション・バイトを参照してください。

（14）メインPLLコントロール・レジスタ（MPLLCTL）

メインPLLを制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. メインPLL動作を停止させる場合は，最初にメイン・クロック（f_{MX}）を選択し（MPLLCC.MSELPLL = 0），16クロック以上経過後にPLLを停止（MPLLCTL.MPLLON = 0）としてください。

2. 低電圧モードおよび，V_{DD}＜2.4 V時の高速モード時はメインPLLを動作（MPLLCTL.MPLLON = 1）させることは禁止です。

アドレス：FF420064H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MPLLCTL	0	0	0	0	0	0	0	MPLLON

MPLLON	メインPLLの動作制御
0	メインPLLの停止
1	メインPLLの動作

（15）メインPLLクロック・コントロール・レジスタ（MPLLCC）

メインPLLモード／クロック・スルー・モードを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. MPLLCC.MSELPLLを設定後，CKC.MCM0 = 1とすることで，MSELPLLビットで選択したクロックが，メイン・システム・クロック（f_{MAIN}）となります。

2. MPLLCC.MSELPLL = 1の設定は，メインPLLクロック周波数が安定した状態（ロック状態）で実行してください。

アドレス：FF420068H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MPLLCC	0	0	0	0	0	0	0	MSELPLL

MSELPLL	メインPLLの動作制御
0	クロック・スルー・モード　（メイン・クロック（f_{MX}）を選択）
1	メインPLLモード　（メインPLLクロック（f_{MPLL}）を選択）

(16) メインPLLクロック・ステータス・レジスタ (MPLLCS)

メインPLLモード／クロック・スルー・モードのどちらのモードで動作しているかを確認するレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FF42006CH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
MPLLCS	0	0	0	0	0	0	0	MPLLCS0

MPLLCS0	クロック動作モードの状態
0	クロック・スルー・モードで動作
1	メインPLLモードで動作

（17）メインPLLロックアップ時間設定レジスタ（MPLLS）

MPLLCTL.PLLONビットを0→1に設定したときの，メインPLLロックアップ時間を選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより03Hになります。

注意1. メインPLLロックアップ時間は，80 μs以上になるように設定してください。

2. ロックアップ期間中はMPLLSレジスタの設定は変更しないでください。

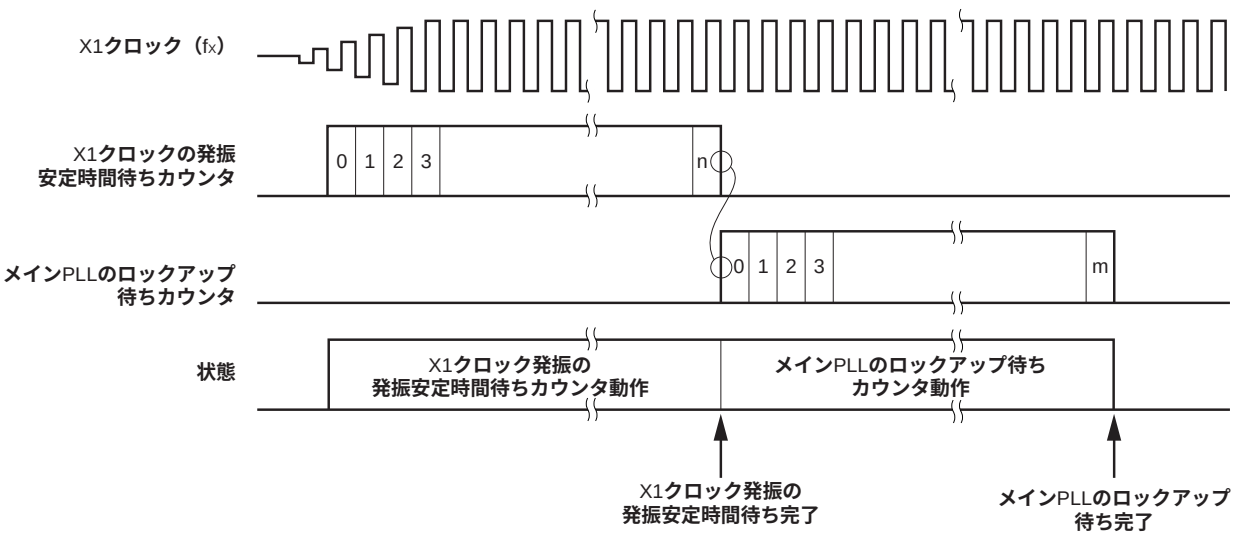
3. メインPLLが動作状態でSTOPモードに設定した場合のSTOPモード，またはSNOOZEモードからの復帰後は，自動でOSTSレジスタにてX1クロック（fx）の発振安定時間が確保されたあと，自動でMPLLSレジスタにてメインPLLのロックアップ時間のカウンタが動作を開始します。

アドレス：FF420070H　リセット時：03H　R/W

略号	7	6	5	4	3	2	1	0
MPLLS	0	0	0	0	0	0	MPLLS1	MPLLS0

MPLLS1	MPLLS0	メインPLLロックアップ時間の選択
0	0	$2^{10}/f_{MX}$
0	1	$2^{11}/f_{MX}$
1	0	$2^{12}/f_{MX}$
1	1	$2^{13}/f_{MX}$

図6－2　X1クロック発振安定用カウンタとメインPLLロックアップ待ち用カウンタの概念図



備考　n：発振安定時間選択レジスタ（OSTS）にて設定したX1クロック発振の発振安定時間

m：MPLLSレジスタで設定したメインPLLロックアップ時間

（18）メインPLLロック・レジスタ（MLOCKR）

メインPLLのロック状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより01Hになります。

アドレス：FF420074H　リセット時：01H　R

略号	7	6	5	4	3	2	1	0
MLOCKR	0	0	0	0	0	0	0	MLOCK

MLOCK	メインPLLのロック状態
0	ロック状態
1	アンロック（ロックしていない）状態

備考 MLOCKビットはメインPLLのロック状態をリアルタイムに反映しません。

MLOCKビットのセット／クリア条件は次のとおりです。

〔セット条件〕

- システム・リセット時
- STOPモード時
- メインPLLを停止（MPLLCTL.MPLLON = 0）時

〔クリア条件〕

- MPLLCTL.MPLLONビットを0→1に設定したときの，メインPLLロックアップ時間タイマのオーバフロー（MPLLSレジスタで時間設定）
- メインPLL動作状態でSTOPモードを設定し，そのあとSTOPモードまたはSNOOZEモード解除後の発振安定時間（OSTSレジスタで設定）待ち完了後のメインPLLロックアップ時間タイマのオーバフロー（MPLLSレジスタで時間設定）

（19）USB PLL逓倍率コントロール・レジスタ（UPMC）

USB PLLの逓倍率を制御するレジスタです。

UPMCレジスタは特定レジスタです。特性のシーケンスの組み合わせによってだけ書き込みができます（6. 3. 1 特定レジスタについて参照）

8ビット単位でリード／ライト可能です。

リセットにより01Hになります。

注意1. USBクロック（f_{USB}）は，48 MHzになるようにUPMCレジスタを設定してください。

2. UPMCレジスタの値の変更後，値の設定待ちを確保するため，2 μsの待ち時間をソフトウエアで挿入した後、UPLLCTL.UPLLONビットを1に設定してください。

3. ビット7-3, 1には必ず0を設定し，ビット0には必ず1を設定してください。

アドレス：FF420080H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
UPMC	0	0	0	0	0	UPMC2	0	1

UPMC2	オプション・バイトPLLI0	USB PLLの逓倍率の設定
0	0	f_{UPLL} = 6×f_{MX}（f_{MX} = 8.0 MHz）
1		f_{UPLL} = 8×f_{MX}（f_{MX} = 6.0 MHz）
0	1	f_{UPLL} = 6×f_{MX}/2（f_{MX} = 16.0 MHz）
1		f_{UPLL} = 8×f_{MX}/2（f_{MX} = 12.0 MHz）

備考 PLLI0ビットはオプション・バイトです。詳細は第31章 オプション・バイトを参照してください。

（20）USB PLLコントロール・レジスタ（UPLLCTL）

USB PLLを制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. USB PLL動作を停止させる場合は，USBを停止（SYSCFG.USBE = 0）してからUSB PLLを停止（UPLLCTL.UPLLON = 0）としてください。

2. 低電圧モードおよび，V_{DD}＜2.4 V時の高速モード時はUSB PLLを動作（UPLLCTL.UPLLON = 1）させることは禁止です。

3. UCLK端子を使用している場合は，USB PLLを使用しないでください。

4. スタンバイ・モード時にUCLK端子からクロックを入力した場合，消費電力が増えるので注意してください。

アドレス：FF420084H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
UPLLCTL	0	0	0	0	0	0	0	UPLLON

UPLLON	USB PLLの動作制御
0	USB PLLの停止
1	USB PLLの動作

(21) USB PLLクロック・コントロール・レジスタ（UPLLCC）

USBファンクション・コントローラに供給するクロックを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 USELPLL = 1の設定は，USB PLLのクロック周波数が安定した状態（ロック状態）で実行してください。

アドレス：FF420088H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
UPLLCC	0	0	0	0	0	0	0	USELPLL

USELPLL	USBクロックの選択
0	UCLK端子からのクロック入力（f_{UCLK}）
1	USB PLLからのクロック入力（f_{UPLL}）

(22) USB PLLクロック状態レジスタ（UPLLCS）

USBにどのクロックが供給されているかを示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FF42008CH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
UPLLCS	0	0	0	0	0	0	0	UPLLCS0

UPLLCS0	USBに供給されているクロックの確認
0	UCLK端子からのクロック入力（f_{UCLK}）
1	USB PLLからのクロック入力（f_{UPLL}）

（23）USB PLLロックアップ時間設定レジスタ（UPLLS）

USB PLLロックアップ時間を選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより03Hになります。

注意1. USB PLLロックアップ時間は，80 μs以上になるように設定してください。

2. ロックアップ期間中はUPLLSレジスタの設定は変更しないでください。

3. USB PLLが動作状態でSTOPモードに設定した場合のSTOPモードまたはSNOOZEモードからの復帰後は，自動でOSTSレジスタにてX1クロック（fx）の発振安定時間が確保されたあと，自動でUPLLSレジスタにてUSB PLLのロックアップ時間のカウンタが動作を開始します。

アドレス：FF420090H　リセット時：03H　R/W

略号	7	6	5	4	3	2	1	0
UPLLS	0	0	0	0	0	0	UPLLS1	UPLLS0

UPLLS1	UPLLS0	USB PLLロックアップ時間の選択
0	0	$2^{10}/f_{MX}$
0	1	$2^{11}/f_{MX}$
1	0	$2^{12}/f_{MX}$
1	1	$2^{13}/f_{MX}$

（24）USB PLLロック・レジスタ（ULOCKR）

USB PLLのロック状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより01Hになります。

アドレス：FF420094H　リセット時：01H　R

略号	7	6	5	4	3	2	1	0
ULOCKR	0	0	0	0	0	0	0	ULOCK

ULOCK	USB PLLのロック状態
0	ロック状態
1	アンロック（ロックしていない）状態

備考 ULOCKビットはUSB PLLのロック状態をリアルタイムに反映しません。

ULOCKビットのセット／クリア条件は次のとおりです。

〔セット条件〕

- システム・リセット時
- STOPモード時
- USB PLLを停止（UPLLCTL.UPLLON = 0）時

〔クリア条件〕

- UPLLCTL.UPLLONビットを0→1に設定したときの，USB PLLロックアップ時間タイマのオーバフロー（UPLLSレジスタで時間設定）
- USB PLL動作状態でSTOPモードを設定し，そのあとSTOPモード，またはSNOOZEモード解除後の発振安定時間（OSTSレジスタで設定）待ち完了後のUSB PLLロックアップ時間タイマのオーバフロー（UPLLSレジスタで時間設定）

(25) RTCクロック・コントロール・レジスタ（RTCCKC）

RTCのクロック選択，およびサブシステム・クロック（f_{SUB}）の動作の制御をするレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

注意　ビット6-4, 2-0は必ず0に設定してください。

アドレス：FF4200C4H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCCKC	RTCLPC	0	0	0	RCCKS	0	0	0

RTCLPC	サブHALT/STOP/SNOOZEモード時のサブクロック（f_{SX}）のクロック供給の制御
0	サブHALT/STOP/SNOOZEモード時にサブシステム・クロック（f_{SUB}），ウォッチドッグ・タイマ・クロック（f_{WDT}）， リアルタイム・クロック（f_{RTC}）に供給
1	リアルタイム・クロック（f_{RTC}）のみに供給

RCCKS	リアルタイム・クロック（f_{RTC}）の選択
0	サブクロック（f_{SX}）
1	リアルタイム・カウンタ用ボー・レート・クロック（f_{RBRG}）

(26) RTC用ボー・レート・ジェネレータ・コントロール・レジスタ（BRGA0CTL）

リアルタイム・クロック周波数（f_{RTC}）用のクロックを生成するボー・レート・ジェネレータを制御するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. STOPモードへの遷移前にはボー・レート・ジェネレータの動作を停止（BRGA0CTL.BRGA0CE = 0）してください。

ボー・レート・ジェネレータを動作させたままSTOPモードに遷移した場合，STOPモードから復帰したあとのリアルタイム・クロック（RTC）の動作は保証できません。

2. ビット7-5, 3, 2には必ず0を設定してください。

アドレス：FF422008H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
BRGA0CTL	0	0	0	BRGA0CE	0	0	BRGA0CCS1	BRGA0CCS0

BRGA0CE	ボー・レート・ジェネレータの制御
0	ボー・レート・ジェネレータ停止
1	ボー・レート・ジェネレータ動作

BRGA0CCS1	BRGA0CCS0	ボー・レート・ジェネレータのカウント・クロック（f_{RBGCS}）の選択
0	0	f_{MX}
0	1	$f_{MX}/2$
1	0	$f_{MX}/4$
1	1	$f_{MX}/8$

（27）RTC用ボー・レート・ジェネレータ・コンペア・レジスタ（BRGA0CMP）

ボー・レート・カウンタとの比較値を格納するレジスタです。

BRGA0CMPレジスタはBRGA0FLG.BRGA0CEF = 0のとき書き換え可能です。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. リアルタイム・クロック動作中にBRGA0CMPレジスタを書き換えないでください。

2. BRGA0CTL.BRGA0CEビットをセット（1）する前にBRGA0CMPレジスタの設定を行ってください。

3. f_{RBRG}の周波数が32.768 kHzの近似値となるよう，使用するメイン・クロック周波数にあわせて，BRGA0CTL, BRGA0CMPレジスタの設定を行ってください。

アドレス：FF42200CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
BRGA0CMP	BRGA0CMP7	BRGA0CMP6	BRGA0CMP5	BRGA0CMP4	BRGA0CMP3	BRGA0CMP2	BRGA0CMP1	BRGA0CMP0

f_{RBRG}の計算式を次に示します。

$$f_{RBRG} = f_{RBGCS} / (N \times 2)$$

備考 f_{RBGCS}：BRGA0CTL.BRGA0CCS1, BRGA0CCS0ビットで設定したボー・レート・ジェネレータのカウント・クロック

N ：BRGA0CMPレジスタの設定値 = 1-256

ただし，N = 256となるのは，BRGA0CMPレジスタに00Hを設定した場合です。

f_{RBRG}を32.768 kHzの近似値にするには，次のように計算してBRGA0CCS1, BRGA0CCS0ビット，BRGA0CMPレジスタを設定してください。

<1> f_{BRGCS} = f_{MX}として，N = f_{BRGCS}/65,536を計算してください。

<2> Nの小数点第一位を四捨五入した値が偶数であれば，f_{BRGCS} = f_{MX}/2として，N = f_{BRGCS}/65,536を計算してください。

<3> Nが奇数になったときのf_{BRGCS}の値で，BRGA0CCS1, BRGA0CCS0ビットの値を設定してください。f_{BRGCS} = f_{MX}/8まで計算した場合は，それをBRGA0CCS1, BRGA0CCS0ビットの値としてください

<4> Nの小数点第一位を四捨五入した値をBRGA0CMPレジスタに設定してください。

例 f_{MX} = 8.00 MHzの場合

<1> f_{BRGCS} = f_{MX}として，N = 8,000,000/65,536 = 122.07 …

<2> N（小数点第一位を四捨五入）は偶数なので，f_{BRGCS} = f_{MX}/2として，N = 4,000,000/65,536 = 61.03 …

<3> N（小数点第一位を四捨五入）が奇数なので，f_{BRGCS} = f_{MX}/2で，BRGA0CCS1, BRGA0CCS0ビットの値を設定値は01

<4> BRGA0CMPレジスタの設定値は3DH（61）

このとき，実際のf_{RBRG}の周波数は，次のようになります。

f_{BRGCS} = f_{RBGCS}/（N×2）

= （f_{MX}/2）/（N×2）

= （8,000,000/2）/（61/2）

= 32.787 kHz

（28）RTC用ボー・レート・ジェネレータ・フラグ・レジスタ（BRGA0FLG）

ボー・レート・カウンタの状態を示すレジスタです。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 BRGA0FLG.BRGA0CEFビットは，BRGA0CTL.BRGA0CEビットの設定状態を反映するビットです。そのため，メイン・クロック（f_{MX}）が停止している状態（CSC.MSTOP = 1）で，BRGA0CTL.BRGA0CE = 1のとき，リアルタイム・クロック用ボー・レート・クロック（f_{RBRG}）は出力させませんが，BRGA0FLG.BRGA0CEFビットはセット（1）されます。

アドレス：FF422000H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
BRGA0FLG	0	0	0	0	0	0	0	BRGA0CEF

BRGA0CEF	ボー・レート・カウンタの状態
0	ボー・レート・カウンタ停止
1	ボー・レート・カウンタ動作

(29) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- リアルタイム・クロック
- A/Dコンバータ
- I^2CA0
- シリアル・アレイ・ユニット4
- シリアル・アレイ・ユニット0
- 16ビット・インターバル・タイマM（TMM）
- タイマ・アレイ・ユニット0

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ビット6には必ず0を設定してください。

(1/2)

アドレス：FF420000H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN注	IICA0EN	SAU4EN	SAU0EN	TMM0EN	TAU0EN

RTCEN	リアルタイム・クロック（RTC）の入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC）で使用する周辺I/Oレジスタへのライト不可 ・リアルタイム・クロック（RTC）はリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC）で使用する周辺I/Oレジスタへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用する周辺I/Oレジスタへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用する周辺I/Oレジスタへのリード／ライト可

注 ADULレジスタの初期値はADCENビットの設定により次のように異なります。
ADCEN = 0：ADUL = 00H
ADCEN = 1：ADUL = FFH

(2/2)

IICA0EN	I²CA0の入力クロック供給の制御
0	入力クロック供給停止 ・I²CA0で使用する周辺I/Oレジスタへのライト不可 ・I²CA0はリセット状態
1	入力クロック供給 ・I²CA0で使用する周辺I/Oレジスタへのリード／ライト可

SAU4EN	シリアル・アレイ・ユニット4の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット4で使用する周辺I/Oレジスタへのライト不可 ・シリアル・アレイ・ユニット4はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット4で使用する周辺I/Oレジスタへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用する周辺I/Oレジスタへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用する周辺I/Oレジスタへのリード／ライト可

TMM0EN	16ビット・インターバル・タイマM（TMM）の入力クロック供給の制御
0	入力クロック供給停止 ・TMMで使用する周辺I/Oレジスタへのライト不可 ・TMMはリセット状態
1	入力クロック供給 ・TMMで使用する周辺I/Oレジスタへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用する周辺I/Oレジスタへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用する周辺I/Oレジスタへのリード／ライト可

(30) 周辺イネーブル・レジスタ1 (PER1)

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- D/Aコンバータ
- I^2CA1
- シリアル・アレイ・ユニット5
- シリアル・アレイ・ユニット1
- タイマ・アレイ・ユニット1

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ビット7, 6, 1には必ず0を設定してください。

(1/2)

アドレス：FF420004H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	DACEN	IICA1EN	SAU5EN	SAU1EN	0	TAU1EN

DACEN	D/Aコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・D/Aコンバータで使用する周辺I/Oレジスタへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 ・D/Aコンバータで使用する周辺I/Oレジスタへのリード／ライト可

IICA1EN	I^2CA1の入力クロック供給の制御
0	入力クロック供給停止 ・I^2CA1で使用する周辺I/Oレジスタへのライト不可 ・I^2CA1はリセット状態
1	入力クロック供給 ・I^2CA1で使用する周辺I/Oレジスタへのリード／ライト可

(2/2)

SAU5EN	シリアル・アレイ・ユニット5の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット5で使用する周辺I/Oレジスタへのライト不可 ・シリアル・アレイ・ユニット5はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット5で使用する周辺I/Oレジスタへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット1で使用する周辺I/Oレジスタへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット1で使用する周辺I/Oレジスタへのリード／ライト可

TAU1EN	タイマ・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット1で使用する周辺I/Oレジスタへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット1で使用する周辺I/Oレジスタへのリード／ライト可

(31) 周辺イネーブル・レジスタ2 (PER2)

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- I²CA2
- シリアル・アレイ・ユニットS
- シリアル・アレイ・ユニット2
- タイマ・アレイ・ユニット2

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ビット7-5, 1には必ず0を設定してください。

(1/2)

アドレス：FF420008H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	IICA2EN	SAUS0EN	SAU2EN	0	TAU2EN

IICA2EN	I²CA2の入力クロック供給の制御
0	入力クロック供給停止 ・I²CA2で使用する周辺I/Oレジスタへのライト不可 ・I²CA2はリセット状態
1	入力クロック供給 ・I²CA2で使用する周辺I/Oレジスタへのリード／ライト可

SAUS0EN	シリアル・アレイ・ユニットSの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットSで使用する周辺I/Oレジスタへのライト不可 ・シリアル・アレイ・ユニットSはリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニットSで使用する周辺I/Oレジスタへのリード／ライト可

(2/2)

SAU2EN	シリアル・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット2で使用する周辺I/Oレジスタへのライト不可 ・シリアル・アレイ・ユニット2はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット2で使用する周辺I/Oレジスタへのリード／ライト可

TAU2EN	タイマ・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット2で使用する周辺I/Oレジスタへのライト不可 ・タイマ・アレイ・ユニット2はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット2で使用する周辺I/Oレジスタへのリード／ライト可

(32) 周辺イネーブル・レジスタ3 (PER3)

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- I^2CA3

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ビット7-5, 3-0には必ず0を設定してください。

アドレス：FF42000CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER3	0	0	0	IICA3EN	0	0	0	0

IICA3EN	I^2CA3の入力クロック供給の制御
0	入力クロック供給停止 ・I^2CA3で使用する周辺I/Oレジスタへのライト不可 ・I^2CA3はリセット状態
1	入力クロック供給 ・I^2CA3で使用する周辺I/Oレジスタへのリード／ライト可

6. 3. 1 特定レジスタについて

CSC, MPMC, UPMCレジスタは特定レジスタです。特定レジスタは，プログラムの暴走などにより不正なデータがライトされないよう保護されているレジスタです。

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，CSCPCMDレジスタがあり，特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作はCPCPSレジスタに報告されます。

(1) 特定レジスタへの書き込み（特定シーケンス）

次に示す特定シーケンスでライト動作を行った場合のみ，ライト動作が有効となります。

ステップ1： CSCPCMDレジスタに特定の値（= A5H）をライト。

ステップ2： 対象とする特定レジスタ（CSC, MPMC, UPMCレジスタ）に，設定したい値をライト（このステップでのライト動作は無効）。

ステップ3： 対象とする特定レジスタに，設定したい値のビットごとの反転値をライト（このステップでのライト動作は無効）。

ステップ4： 対象とする特定レジスタに，設定したい値をライト（このステップでのライト動作が有効）。

ステップ5： CSCPSレジスタのエラー・モニタ・ビットが“0”であることを確認することによって，保護されたレジスタに所定の値がライトできたことが確認できます。確認結果が“1”の場合はステップ1から再開する必要があります。

注意 ステップ1-4の間では，DMAを停止，および割り込みを禁止してください。

(2) プロテクション・エラー

6. 3. 1 (1) 特定レジスタへの書き込み (特定シーケンス) のステップ1-4の間で他の書き込み動作を行った場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，CSCPSレジスタのステータス・フラグがセット (1) されます。

このステータス・フラグのセット／リセット条件を次に示します。

セット条件：

① 最近の周辺レジスタに対するストア命令動作が，CSCPCMDレジスタへの特定値 (= A5H) の書き込み動作ではない状態で，定められた特定レジスタへの書き込みを行ったとき。

② ステップ1 後の最初のストア命令動作が，定められた特定レジスタ以外の周辺レジスタに対するとき。

③ ステップ2 後の最初のストア命令動作が，対象とする特定レジスタ以外の周辺レジスタに対するとき。

④ ステップ2 後の最初のストア命令動作で，対象とする特定レジスタに，設定したい値の反転値以外の値を書き込んだとき。

⑤ ステップ3 後の最初のストア命令動作が，対象とする特定レジスタ以外の周辺レジスタに対するとき。

⑥ ステップ3 後の最初のストア命令動作で，対象とする特定レジスタに，設定したい値 (ステップ2 の書き込み値) 以外の値を書き込んだとき。

リセット条件：

① システム・リセットを行ったとき。

② 次の特定シーケンス開始時 (ステップ1後)

(3) CSCコマンド・レジスタ（CSCPCMD）

CSCPCMDレジスタは，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。定められたシーケンスによってだけ，CSC, MPMC, UPMCレジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

リセットにより不定になります。

アドレス：FF4200F8H　リセット時：不定　W

略号	7	6	5	4	3	2	1	0
CSCPCMD								

(4) CSCステータス・レジスタ（CSCPS）

プロテクション対象の特定レジスタ（CSC, MPMC, UPMCレジスタ）に対して，コマンド・レジスタ（CSCPCMD）を含む正しいシーケンスで書き込み動作をしなかった場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，ステータス・フラグ（CSCPRERR）がセット（1）されます。

CSCPRERRフラグはリセットおよび，次の特定シーケンス開始時にクリア（0）されます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FF4200FCH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CSCPS	0	0	0	0	0	0	0	CSC PRERR

CSC PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない。
1	プロテクション・エラーが発生している。

6.4 システム・クロック発振回路

6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（4～20 MHz）によって発振します。

また，外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のEXCLK, OSCSELビットを次のように設定してください。

・水晶，セラミック発振 ：EXCLK, OSCSEL = 0, 1

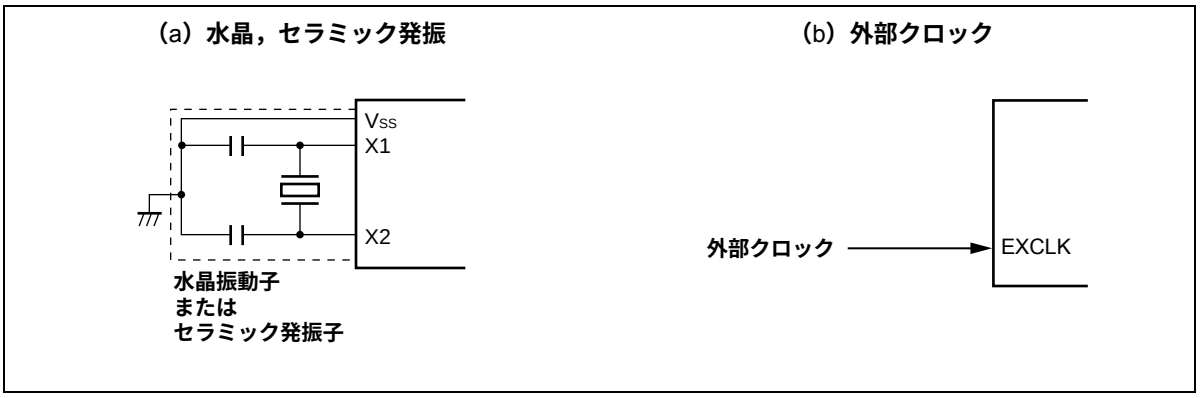
・外部クロック入力 ：EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3 各端子の未使用端子処理を参照してください。

図6－3にX1発振回路の外付け回路例を示します。

図6－3 X1発振回路の外付け回路例



注意を次ページに示します。

6.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のEXCLKS, OSCSELSビットを次のように設定してください。

・水晶発振 ：EXCLKS, OSCSELS = 0, 1

・外部クロック入力 ：EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3 各端子の未使用端子処理を参照してください。

図6－4にXT1発振回路の外付け回路例を示します。

図6－4 XT1発振回路の外付け回路例

注意 X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－11, 5－12の破線の部分を次のように配線してください。

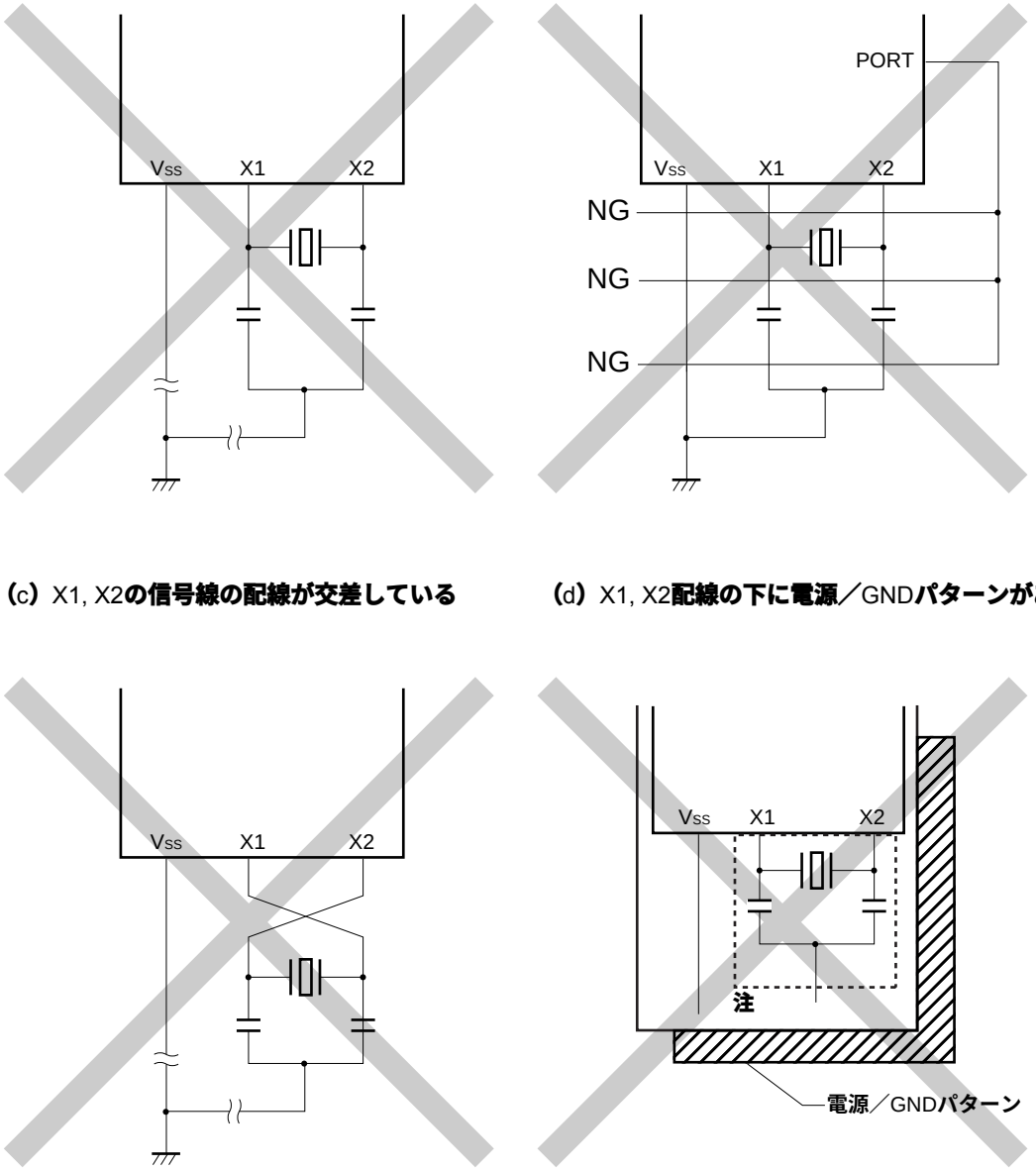
- 配線は極力短くしてください。
- 他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は，十分にマッチング評価をしたうえでご使用ください。
- XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
- 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

図6－5に発振子の接続の悪い例を示します。

図6－5 発振子の接続の悪い例（1/2）

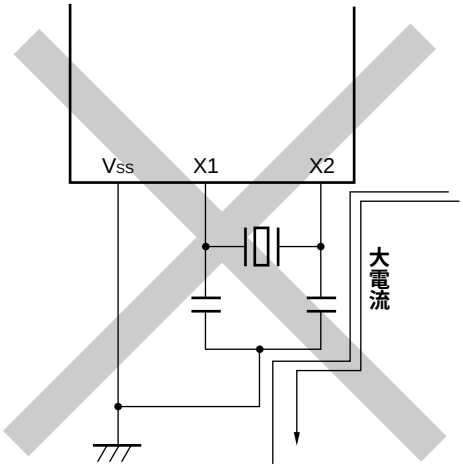


注 多層基板や両面基板において，X1，X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

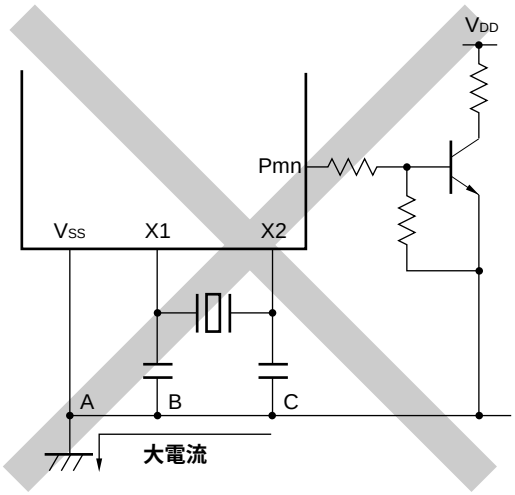
備考 サブクロックをご使用の場合は，X1，X2をXT1，XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

図6－5 発振子の接続の悪い例（2/2）

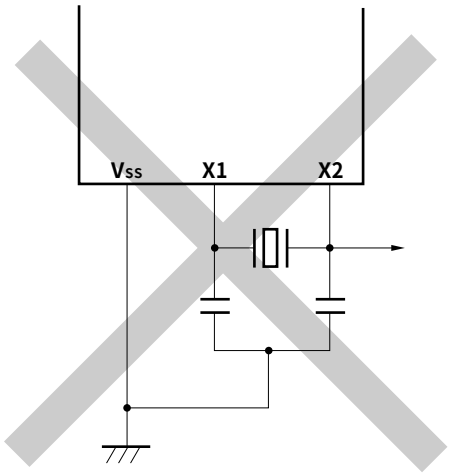
(e) 変化する大電流が信号線に近接している



(f) 発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブクロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

6. 4. 3 高速オンチップ・オシレータ

V850E2/Jx4-Lは，高速オンチップ・オシレータを内蔵しています。32 MHzのクロックを出力することが可能です。クロック動作ステータス制御レジスタ（CSC）のHIOSTOPビットにて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

6. 4. 4 低速オンチップ・オシレータ

V850E2/Jx4-Lは，低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは，ウォッチドッグ・タイマ，インターバル・タイマM，クロック・モニタのクロックとして使用します。CPUクロックとして使用できません。

クロック動作ステータス制御レジスタ（CSC）のLIOSTOPビットにて発振を制御できます。

ウォッチドッグ・タイマ動作時に，プログラムが暴走する場合においても，低速オンチップ・オシレータ・クロックが停止することはありません。

6.5 動　　作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図6－1を参照）。

○メイン・システム・クロック（f_{MAIN}）
- メイン・クロック（f_{MX}）
  - X1クロック（f_X）
  - 外部入力メイン・クロック（f_{EX}）
- 高速オンチップ・オシレータ・クロック（f_{IH}）

○サブシステム・クロック（f_{SUB}）
- XT1クロック（f_{XT}）
- 外部入力サブクロック（f_{EXS}）

○低速オンチップ・オシレータ・クロック（f_{IL}）

○CPU／周辺クロック（f_{CLK}）

○ウォッチドッグ・タイマ・クロック（f_{WDT}）

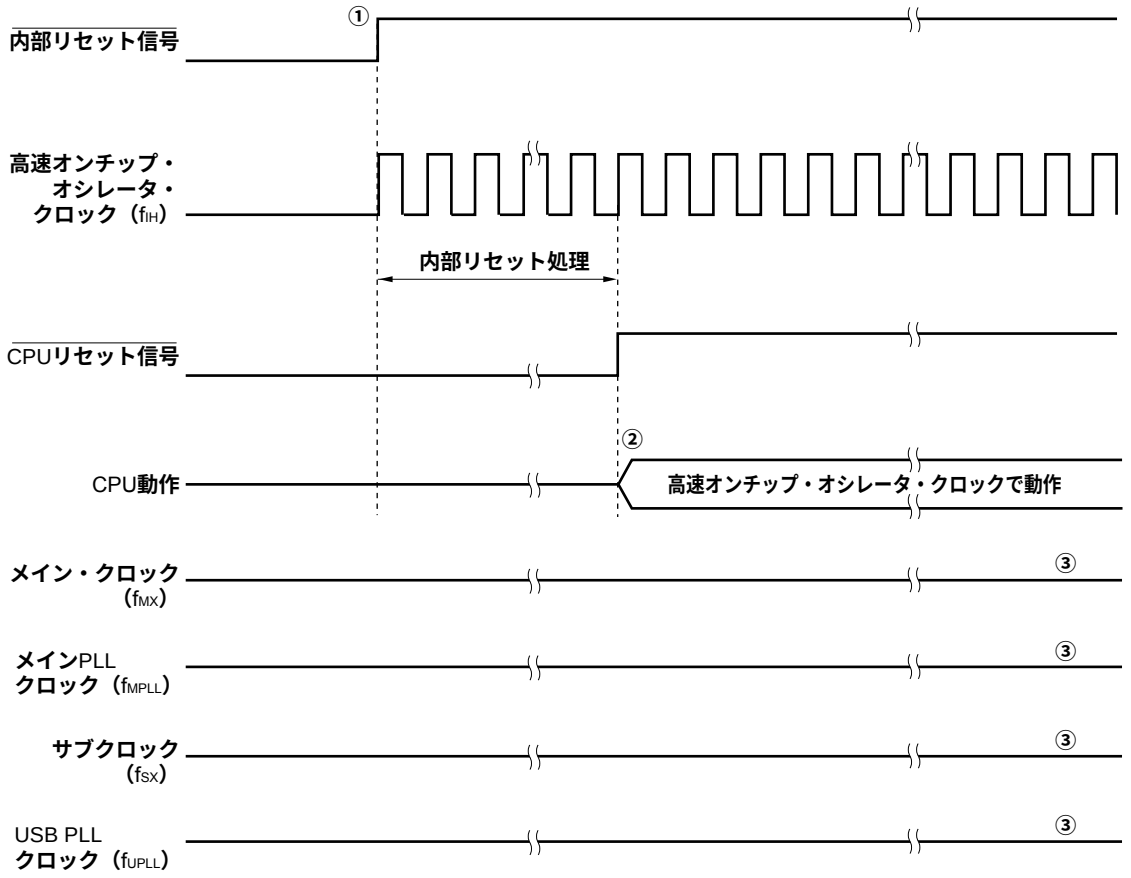
○リアルタイム・クロック周波数（f_{RTC}）

○USBクロック（f_{USB}）

6. 5. 1 リセット解除後のクロック動作

V850E2/Jx4-Lでは，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。リセット解除後のクロック発生回路の動作を，図6－6に示します。

図6－6 リセット解除後のクロック発生回路の動作



① リセットが解除されると，高速オンチップ・オシレータが自動的に発振を開始します。

② オプション・バイトなどの内部リセット処理が行われた後に，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

③ メイン・クロック（f_{MX}），サブクロック（f_{SX}），メインPLLクロック（f_{MPLL}），USB PLLクロック（f_{UPLL}）は停止状態です。必要に応じて，ソフトウエアで動作させ使用するクロックに切り替えてください。

6. 5. 2 CPU／周辺クロック（f_{CLK}）の動作

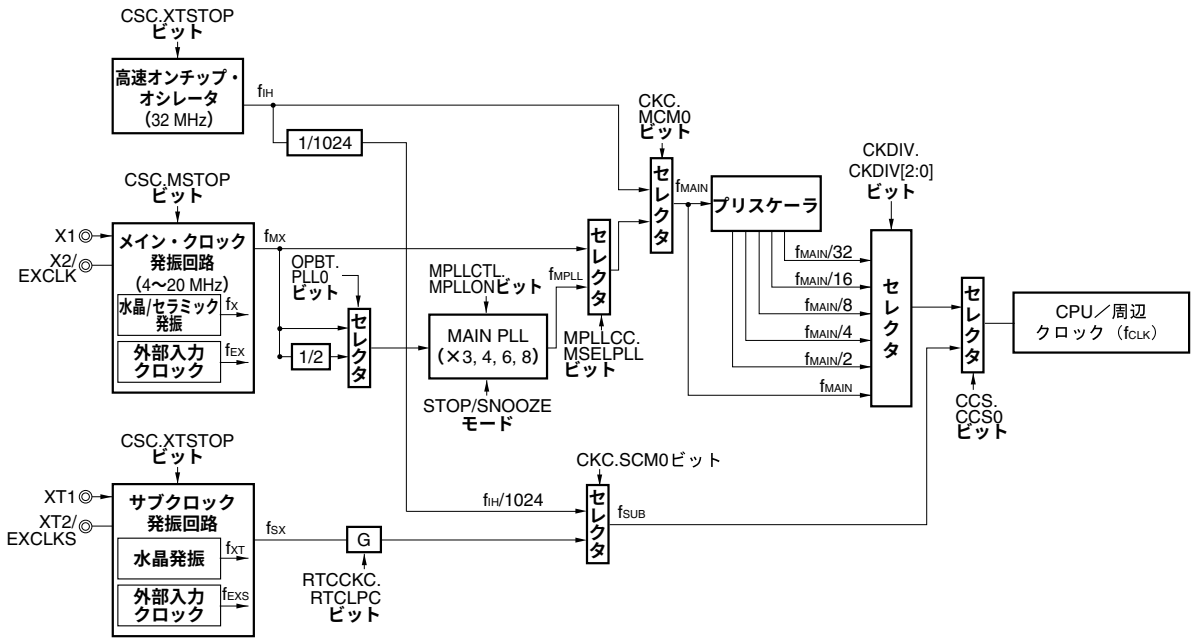
CPU／周辺クロック（f_{CLK}）は，CPUおよびタイマ，シリアル・インタフェース，A/Dコンバータなどの周辺機器などにクロックを供給します。

CPU／周辺クロックはCKC.MCMOビット，MPLLCC.MSELPLLビットにより次の5つのクロックより選択することができます。

表6－3 CPU／周辺クロックで使用するソース・クロック

MPLLCC.MSELPLL	CKC.MCMO	CKC.SCM0	CCS.CCS0	選択されるクロック
－	0	－	0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	1	－	0	メイン・クロック（f_{MX}）
0	1	－	0	メインPLLクロック（f_{MPLL}）
－	－	1	1	高速オンチップ・オシレータを1024分周したクロック（f_{IH}/1024）
－	－	0	1	サブクロック（f_{SX}）

図6－7 CPU／周辺クロック（f_{CLK}）のブロック図



備考 f_X ：X1クロック発振周波数

f_{IH} ：高速オンチップ・オシレータ・クロック周波数

f_{EX} ：外部入力メイン・クロック周波数

f_{MX} ：メイン・クロック周波数

f_{MAIN} ：メイン・システム・クロック周波数

f_{MPLL} ：メインPLLクロック周波数

f_{XT} ：XT1クロック発振周波数

f_{EXS} ：外部入力サブクロック周波数

f_{SX} ：サブクロック周波数

f_{SUB} ：サブシステム・クロック周波数

f_{CLK} ：CPU／周辺クロック周波数

CPU／周辺クロック（f_{CLK}）の切り替え手順を次に示します。

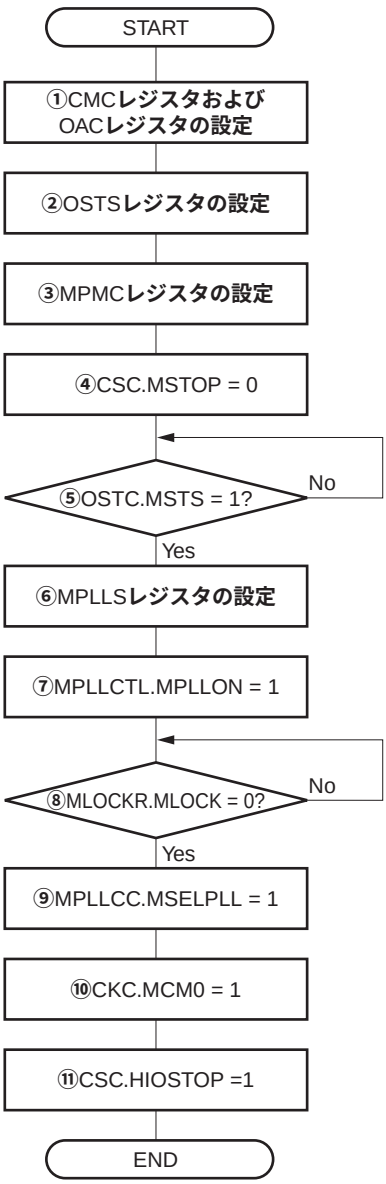
表6－4はf_{CLK}の切り替えの組み合わせに対応するフロー図を説明した図番号を示します。

例えば変更前のf_{CLK}が高速オンチップ・オシレータ（f_{IH}），変更後のf_{CLK}がメインPLLクロック（f_{MPLL}）の場合のフロー図は図6－8で説明されています。

表6－4 f_{CLK}の切り替え手順

		変更前のf_{CLK}				
		f_{IH}	f_{MPLL}	f_{MX}	f_{SX}	f_{IH}/1024
変更後のf_{CLK}	f_{IH}		図6－12参照	図6－16参照	図6－20参照	図6－24参照
	f_{MPLL}	図6－8参照		図6－17参照	図6－21参照	図6－25参照
	f_{MX}	図6－9参照	図6－13参照		図6－22参照	図6－26参照
	f_{SX}	図6－10参照	図6－14参照	図6－18参照		図6－27参照
	f_{IH}/1024	図6－11参照	図6－15参照	図6－19参照	図6－23参照	

図6－8 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH} → f_{MPLL}）



① X1，X2端子の動作モードおよび，X1クロック発振周波数を設定する

② X1クロックの発振安定時間を設定する。

③ メインPLLの逓倍率を設定する（③～⑦間は2 μs以上の時間が必要）。

④ メイン・クロックの動作を開始する。

⑤ OSTC.MSTSビットが1（発振安定）になるのを待つ。

⑥ メインPLLのロックアップ待ち時間を設定する。

⑦ メインPLLの動作を開始する。

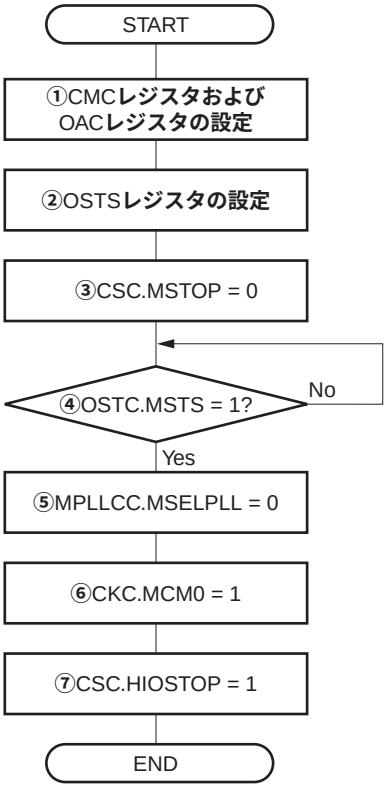
⑧ MLOCKR.MLOCKビットが0（ロック状態）になるのを待つ。

⑨ MPLLCC.MSELPLL = 1（f_{MPLL}）に設定する。

⑩ CKC.MCM0 = 1（f_{MPLL}）に設定する

⑪ 必要に応じてCSC.HIOSTOP = 1（高速オンチップ・オシレータ（f_{IH}）を停止）にする

図6－9 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH} → f_{MX}）



① X1，X2端子の動作モードおよび，X1クロックの発振周波数を設定する

② X1クロックの発振安定時間を設定する。

③ メイン・クロックの動作を開始する。

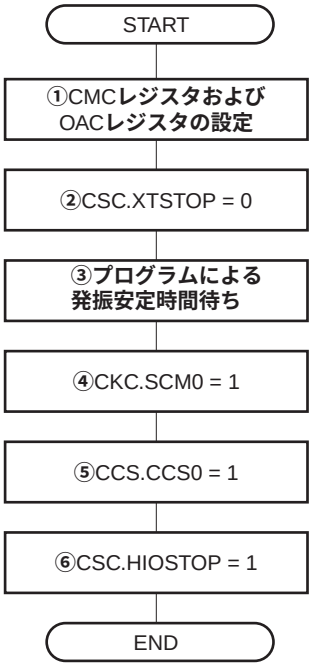
④ OSTC.MSTSビットが1（発振安定）になるのを待つ。

④ MPLLCC.MSELPLL = 0（f_{MX}）に設定する。

⑤ CKC.MCM0 = 1（f_{MX}）に設定する

⑥ 必要に応じてCSC.HISTOP = 1（高速オンチップ・オシレータ（f_{IH}）を停止）にする

図6－10 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH} → f_{SX}）



① XT1，XT2端子の動作モードおよび，サブクロックの発振モードを設定する

② XT1クロックの発振動作を開始する。

③ プログラムにより，ウエイトを挿入して，XT1クロックの発振安定時間が経過するまで待つ。

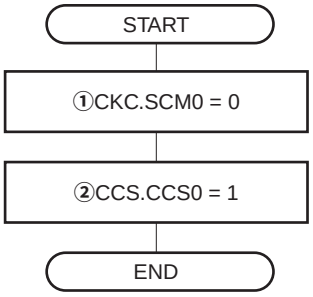
④ サブシステム・クロック（f_{SUB}）としてf_{SX}を選択する。

⑤ CPU／周辺クロック（f_{CLK}）として，f_{SUB}を選択する[注]。

⑥ 必要に応じてCSC.HISTOP = 1（高速オンチップ・オシレータ（f_{IH}）を停止）にする

注 CSC.CCS0ビットをセット（1）した後は，CKS.CLSビットをリードして，サブシステム・クロック動作に切り替わったことを確認してください。

図6－11 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH} → f_{IH}/1024）



① サブシステム・クロック（f_{SUB}）としてf_{IH}/1024を選択する。

② CPU／周辺クロック（f_{CLK}）として，f_{SUB}を選択する[注]。

注 CSC.CCS0ビットをセット（1）した後は，CKS.CLSビットをリードして，サブシステム・クロック動作に切り替わったことを確認してください。

図6－12 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MPLL} → f_{IH}）

① 高速オンチップ・オシレータ・クロック（f_{IH}）の動作を開始する。

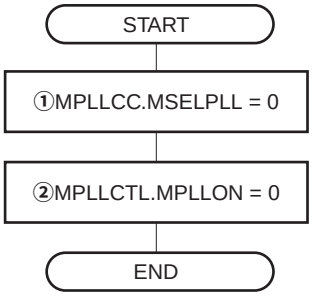
② プログラムによりウエイトを挿入してf_{IH}の発振安定時間が経過するまで待つ

③ メイン・システム・クロック（f_{MAIN}）として，f_{IH}を選択する。

④ 必要に応じてメインPLLを停止する（メインPLLを停止する場合，ソフトウエアにて16クロック以上待ってからMPLLCTL.MPLLON=0とする）

⑤ 必要に応じてメイン・クロック（f_{MX}）を停止する。

図6－13 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MPLL} → f_{MX}）



① メイン・システム・クロック（f_{MAIN}）として，f_{MX}を選択する。

② 必要に応じてメインPLLを停止する（メインPLLを停止する場合，ソフトウエアにて16クロック以上待ってからMPLLCTL.MPLLON=0 とする）

図6－14 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MPLL} → f_{SX}）

① XT1，XT2端子の動作モードおよび，サブクロックの発振モードを設定する

② XT1クロックの発振動作を開始する。

③ プログラムにより，ウエイトを挿入して，XT1クロックの発振安定時間が経過するまで待つ。

④ サブシステム・クロック（f_{SUB}）としてf_{SX}を選択する。

⑤ CPU／周辺クロック（f_{CLK}）として，f_{SUB}を選択する[注]。

⑥ 必要に応じてメインPLLを停止する（メインPLLを停止する場合，ソフトウエアにて16クロック以上待ってからMPLLCTL.MPLLON=0 とする）

⑦ 必要に応じてCSC.MSTOP = 1（メイン・クロック（f_{MX}）を停止）にする

注 CSC.CCS0ビットをセット（1）した後は，CKS.CLSビットをリードして，サブシステム・クロック動作に切り替わったことを確認してください。

図6－15 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MPLL} → f_{IH}/1024）

① 高速オンチップ・オシレータ・クロック（f_{IH}）の動作を開始する。

② プログラムによりウエイトを挿入してf_{IH}の発振安定時間が経過するまで待つ

③ サブクロック（f_{SUB}）として，f_{IH}/1024を選択する。

④ CPU／周辺クロック（f_{CLK}）として，f_{SUB}を選択する[注]

⑤ 必要に応じてメインPLLを停止する（メインPLLを停止する場合，ソフトウエアにて16クロック以上待ってからMPLLCTL.MPLLON=0 とする）

⑥ 必要に応じてCSC.MSTOP = 1（メイン・クロック（f_{MX}）を停止）にする

注 CSC.CCS0ビットをセット（1）した後は，CKS.CLSビットをリードして，サブシステム・クロック動作に切り替わったことを確認してください。

図6－16 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MX} → f_{IH}）

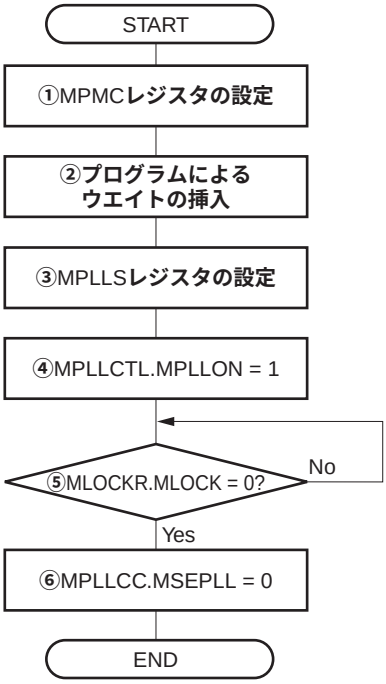
① 高速オンチップ・オシレータ・クロック（f_{IH}）の動作を開始する。

② プログラムによりウエイトを挿入してf_{IH}の発振安定時間が経過するまで待つ

③ メイン・システム・クロック（f_{MAIN}）として，f_{IH}を選択する。

④ 必要に応じてメイン・クロック（f_{MX}）を停止する。

図6－17 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MX} → f_{MPLL}）



① メインPLLの逓倍率を設定する。

②プログラムにより，ウエイトを挿入して2 μsの時間を確保する。

③ メインPLLのロックアップ待ち時間を設定する。

④ メインPLLの動作を開始する。

⑤ MLOCKR.MLOCKビットが0（ロック状態）になるのを待つ。

⑥ MPLLCC.MSELPLL = 1（f_{MPLL}）に設定する。

図6－18 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MX} → f_{SX}）

① XT1，XT2端子の動作モードおよび，サブクロックの発振モードを設定する

② XT1クロックの発振動作を開始する。

③ プログラムにより，ウエイトを挿入して，XT1クロックの発振安定時間が経過するまで待つ。

④ サブシステム・クロック（f_{SUB}）としてf_{SX}を選択する。

⑤ CPU／周辺クロック（f_{CLK}）として，f_{SUB}を選択する[注]。

⑥ 必要に応じてCSC.MSTOP = 1（メイン・クロック（f_{MX}）を停止）にする

注 CSC.CCS0ビットをセット（1）した後は，CKS.CLSビットをリードして，サブシステム・クロック動作に切り替わったことを確認してください。

図6－19 CPU／周辺クロック（f_{CLK}）の切り替え（f_{MX} → f_{IH}/1024）

① 高速オンチップ・オシレータ・クロック（f_{IH}）の動作を開始する。

② プログラムによりウエイトを挿入してf_{IH}の発振安定時間が経過するまで待つ

③ サブシステム・クロック（f_{SUB}）として，f_{IH}/1024を選択する。

④ CPU／周辺クロック（f_{CLK}）として，f_{SUB}を選択する[注]

⑤ 必要に応じてCSC.MSTOP = 1（メイン・クロック（f_{MX}）を停止）にする

注 CSC.CCS0ビットをセット（1）した後は，CKS.CLSビットをリードして，サブシステム・クロック動作に切り替わったことを確認してください。

図6ー20 CPU／周辺クロック（f_{CLK}）の切り替え（f_{SX} → f_{IH}）

① 高速オンチップ・オシレータ・クロック（f_{IH}）の動作を開始する。

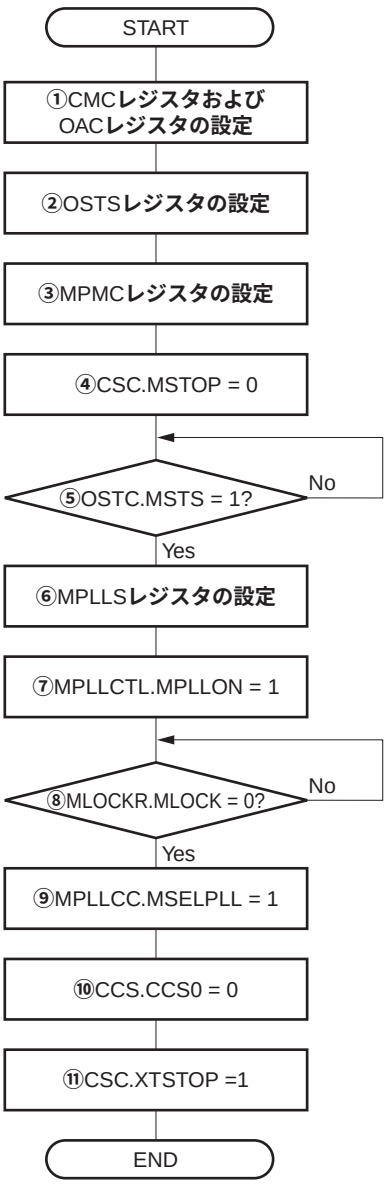
② プログラムによりウエイトを挿入してf_{IH}の発振安定時間が経過するまで待つ

③ メイン・システム・クロック（f_{MAIN}）として，f_{IH}を選択する。

④ CPU／周辺クロック（f_{CLK}）として，f_{MAIN}を選択する

⑤ 必要に応じてサブクロック（f_{SX}）を停止する。

図6－21 CPU／周辺クロック（f_{CLK}）の切り替え（f_{SX} → f_{MPLL}）



① X1，X2端子の動作モードおよび，X1クロックの発振周波数を設定する。

② X1クロックの発振安定時間を設定する。

③ メインPLLの逓倍率を設定する（③～⑦間は2 μs以上の時間が必要）。

④ メイン・クロックの動作を開始する。

⑤ OSTC.MSTSビットが1（発振安定）になるのを待つ。

⑥ メインPLLのロックアップ待ち時間を設定する。

⑦ メインPLLの動作を開始する。

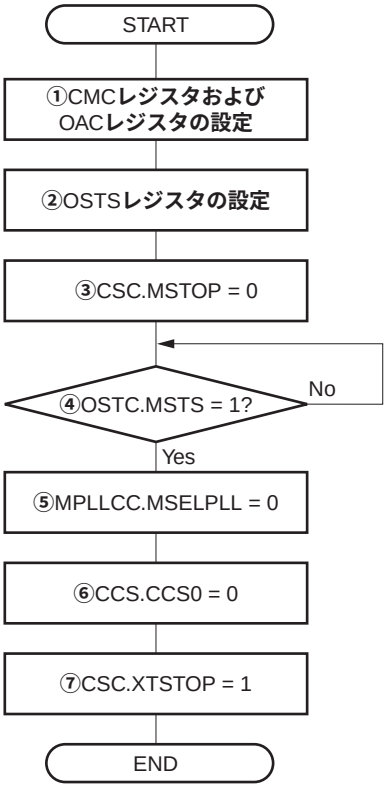
⑧ MLOCKR.MLOCKビットが0（ロック状態）になるのを待つ。

⑨ MPLLCC. MSELPLL = 1（f_{MPLL}）に設定する。

⑩ CPU／周辺クロック（f_{CLK}）として，f_{MAIN}を選択する

⑪ 必要に応じてサブクロック（f_{SX}）を停止する。

図6－22 CPU／周辺クロック（f_{CLK}）の切り替え（f_{SX} → f_{MX}）



① X1，X2端子の動作モードおよび，X1クロックの周波数を設定する

② X1クロックの発振安定時間を設定する。

③ メイン・クロックの動作を開始する。

④ OSTC.MSTSビットが1（発振安定）になるのを待つ。

⑤ MPLLCC.MSELPLLビットによりクロック・スルー・モード（f_{MX}）を選択する

⑥ CPU／周辺クロック（f_{CLK}）として，f_{MAIN}を選択する

⑦ 必要に応じてサブクロック（f_{SX}）を停止する。

図6ー23 CPU／周辺クロック（f_{CLK}）の切り替え（f_{SX} → f_{IH}/1024）

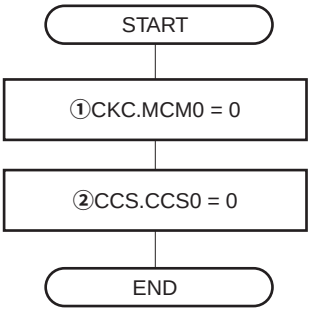
① 高速オンチップ・オシレータ・クロック（f_{IH}）の動作を開始する。

② プログラムによりウエイトを挿入してf_{IH}の発振安定時間が経過するまで待つ

③ サブクロック（f_{SUB}）として，f_{IH}/1024を選択する。

④ 必要に応じてサブクロック（f_{SX}）を停止する。

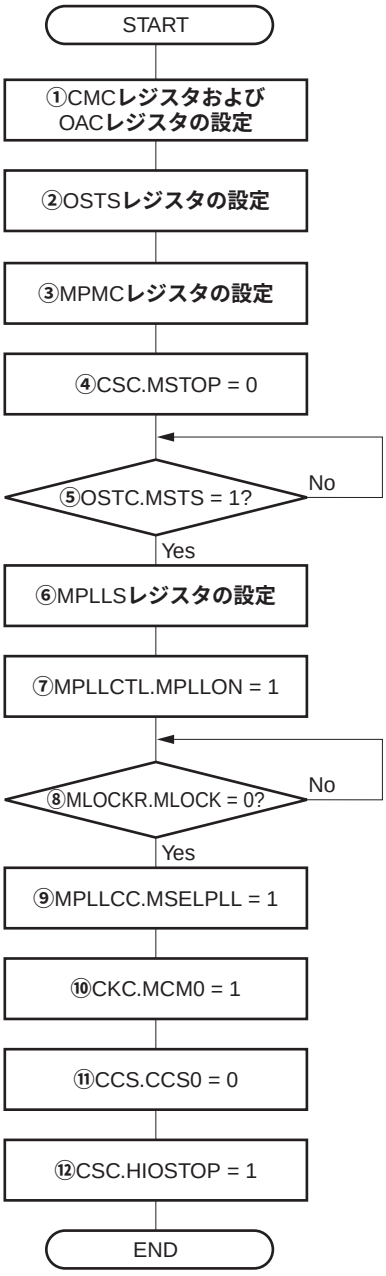
図6ー24 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH}/1024 → f_{IH}）



① メイン･システム･クロック（f_{MAIN}）として，高速オンチップ・オシレータ･クロック（f_{IH}）を選択する

② CPU／周辺クロック（f_{CLK}）として，f_{MAIN}を選択する

図6－25 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH}/1024 → f_{MPLL}）



① X1，X2端子の動作モードおよび，X1クロックの発振周波数を設定する

② X1クロックの発振安定時間を設定する。

③ メインPLLの逓倍率を設定する（③～⑦間は2 μs以上の時間が必要）。

④ メイン・クロックの動作を開始する。

⑤ OSTC.MSTSビットが1（発振安定）になるのを待つ。

⑥ メインPLLのロックアップ待ち時間を設定する。

⑦ メインPLLの動作を開始する。

⑧ MLOCKR.MLOCKビットが0（ロック状態）になるのを待つ。

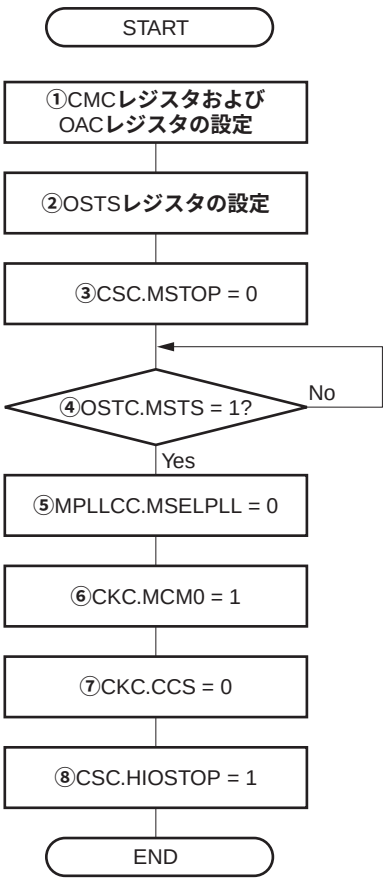
⑨ MPLLCC.MSELPLL = 1（f_{MPLL}）に設定する。

⑩ CKC.MCM0 = 1（f_{MPLL}）に設定する

⑪ CPU／周辺クロック（f_{CLK}）として，f_{MAIN}を選択する

⑫ 必要に応じてCSC.HIOSTOP = 1（高速オンチップ・オシレータ（f_{IH}）を停止）にする

図6－26 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH}/1024 → f_{MX}）



① X1，X2端子の動作モードおよび，X1クロックの発振周波数を設定する

② X1クロックの発振安定時間を設定する。

③ メイン・クロックの動作を開始する。

④ OSTC.MSTSビットが1（発振安定）になるのを待つ。

⑤ MPLLCC.MSELPLLビットによりクロック・スルー・モード（f_{MX}）を選択する

⑥ CKC.MCM0 = 1（f_{MX}）に設定する

⑦ CPU／周辺クロック（f_{CLK}）として，f_{MAIN}を選択する

⑧ 必要に応じてCSC.HIOSTOP = 1（高速オンチップ・オシレータ（f_{IH}）を停止）にする

図6－27 CPU／周辺クロック（f_{CLK}）の切り替え（f_{IH}/1024 → f_{SX}）

① XT1，XT2端子の動作モードおよび，サブクロックの発振モードを設定する

② XT1クロックの発振動作を開始する。

③ プログラムにより，ウエイトを挿入して，XT1クロックの発振安定時間が経過するまで待つ。

④ サブシステム・クロック（f_{SUB}）としてf_{SX}を選択する。

⑤ 必要に応じてCSC.HIOSTOP = 1（高速オンチップ・オシレータ（f_{IH}）を停止）にする

6. 5. 3 ウォッチドッグ・タイマ・クロック（f_{WDT}）の動作

ウォッチドッグ・タイマ・クロック（f_{WDT}）は，ウォッチドッグ・タイマにクロックを供給します。

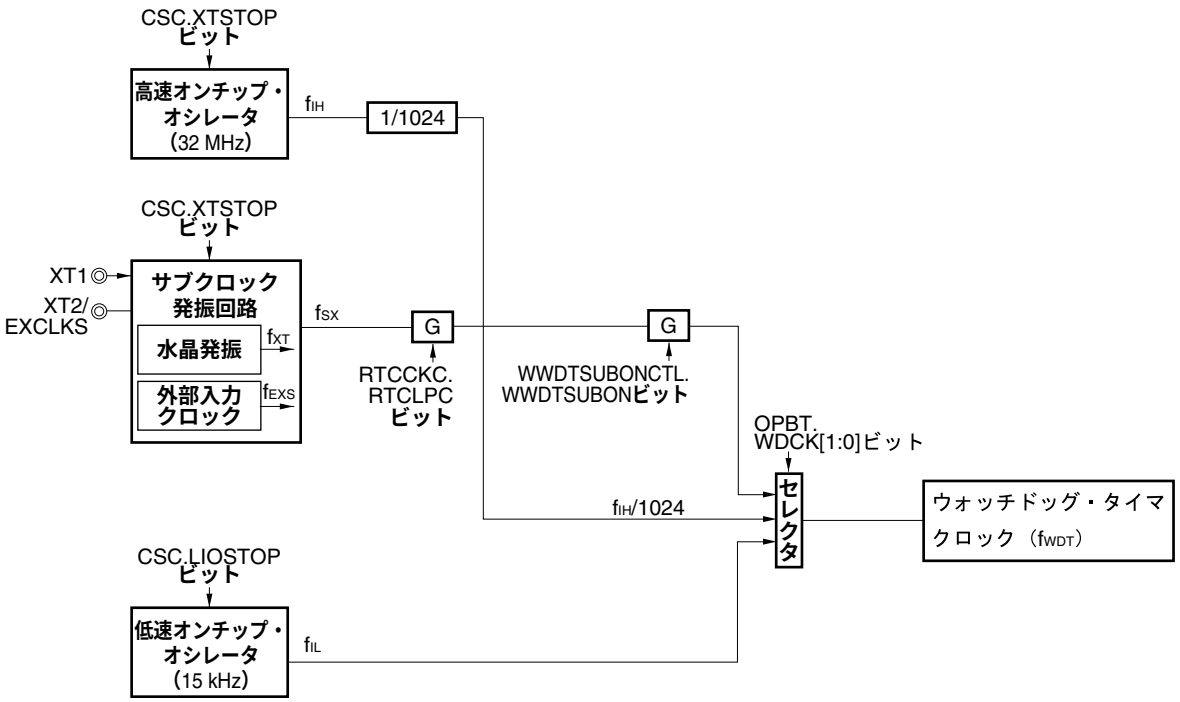
ウォッチドッグ・タイマ・クロック（f_{WDT}）はオプション・バイトにより次の3つのクロックより選択することができます。

OPBT.WDCK1, WDCK0ビット	選択されるクロック
00	サブクロック（f_{SX}）
01	高速オンチップ・オシレータを1024分周したクロック（f_{IH}/1024）
10	設定禁止
11	低速オンチップ・オシレータ・クロック（f_{IL}）

注意1. ソース・クロックとして低速オンチップ・オシレータを選択した場合，ウインドウ・オープン・サイズ25%の設定（OPBT.WINDOW1,WINDOW0 = 00）は禁止です。

2. ソース・クロックとしてサブクロック（f_{SX}）を選択した場合，オプション・バイトの設定（OPBT.WDCK1,WDCK0 = 00）のほかに次の設定が必要になります
   - RTCCKC.RTCLPCビット = 0
   - WWDTSUBONCTL.WDTSUBON = 1

図6－28 ウォッチドッグ・タイマ・クロック（f_{WDT}）のブロック図



備考 f_{IH} ：高速オンチップ・オシレータ・クロック周波数

f_{XT} ：XT1クロック発振周波数

f_{EXS} ：外部サブクロック周波数

f_{SX} ：サブクロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

f_{WDT} ：ウォッチドッグ・タイマ・クロック周波数

6. 5. 4 リアルタイム・クロック周波数（f_{RTC}）の動作

リアルタイム・クロック周波数（f_{RTC}）は，リアルタイム・クロック（RTC），インターバル・タイマM（TMM）にクロックを供給します。

リアルタイム・クロック周波数（f_{RTC}）はRTCCKC.RCCKSビットの設定により次の2つのクロックより選択することができます。

RTCCKC.RCCKSビット	選択されるクロック
0	サブクロック（f_{SX}）
1	RTCボー・レート・クロック（f_{RBRG}）

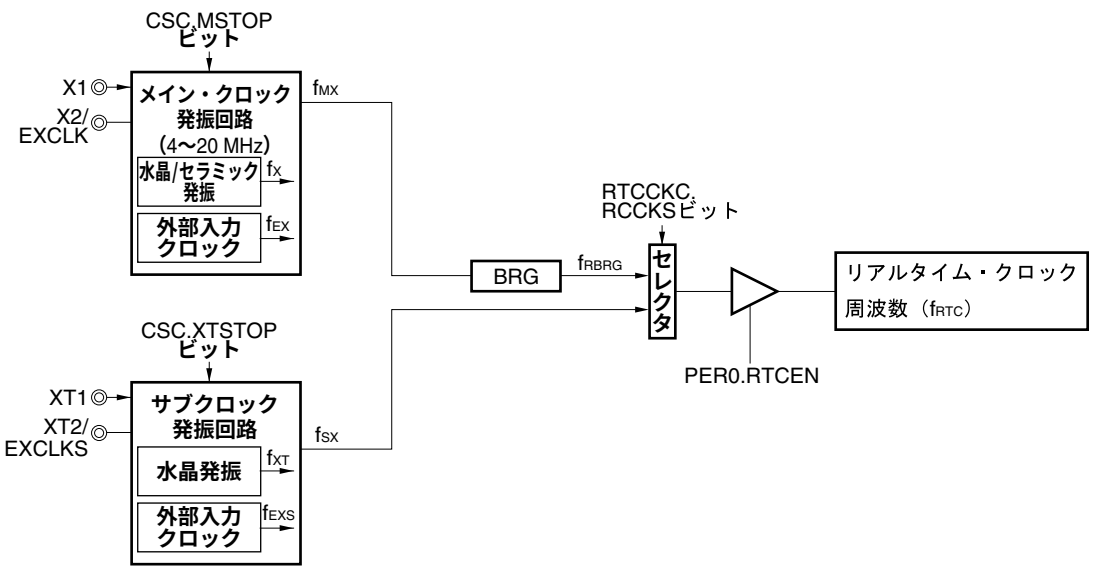
注意 ソース・クロックとしてRTCボー・レート・クロック（f_{RBRG}）を選択した場合，RTCCKC.RCCKSビットの設定のほかに次のレジスタにてメイン・クロック（f_{MX}）を分周して32.768 kHzに近いクロックを生成する必要があります。

- RTC用ボー・レート・ジェネレータ・コントロール・レジスタ（BRGA0CTL）
- RTC用ボー・レート・ジェネレータ・コンペア・レジスタ（BRGA0CMP）

また，ボー・レート・ジェネレータの状態は，RTC用ボー・レート・ジェネレータ・フラグ・レジスタ（BRGA0FLG）で確認ください。

リアルタイム・クロック周波数（f_{RTC}）生成後はPER0.RTCENビットをセット（1）することでリアルタイム・クロック，インターバル・タイマM（TMM）にクロックを供給することができます。

図6－29 リアルタイム・クロック周波数（f_{RTC}）のブロック図



備考 f_X ：X1クロック発振周波数
f_{EX} ：外部入力メイン・クロック周波数
f_{MX} ：メイン・クロック周波数
f_{XT} ：XT1クロック発振周波数
f_{EXS} ：外部入力サブクロック周波数
f_{SX} ：サブクロック周波数
f_{RBRG} ：RTCボー・レート・クロック周波数
f_{RTC} ：リアルタイム・クロック周波数

6. 5. 5 USBクロック（f_{USB}）の動作

USBクロック（f_{USB}）は，USBファンクション・コントローラにクロックを供給します。

USBクロック周波数（f_{USB}）はUPLLCC.USELPLLビットの設定により次の2つのクロックより選択することができます。また，どちらのクロックが選択されているかは，USB PLLクロック・ステータス・レジスタ（UPLLCS）でモニタできます。

UPLLCC.USELPLLビット	選択されるクロック
0	外部クロック（UCLK）
1	USB PLLクロック（f_{UPLL}）

注意1. ソース・クロックとしてUSB PLLクロック（f_{UPLL}）を選択した場合の設定方法は次の手順で行ってください。

<1> UPLLCTL.UPLLON = 0（USB PLL停止）

<2> UPMC.UPMC2-UPMC0ビットで逓倍率の選択

<3> UPLLS.UPLLS1, UPLLS0ビットでUSB PLLのロックアップ時間の選択

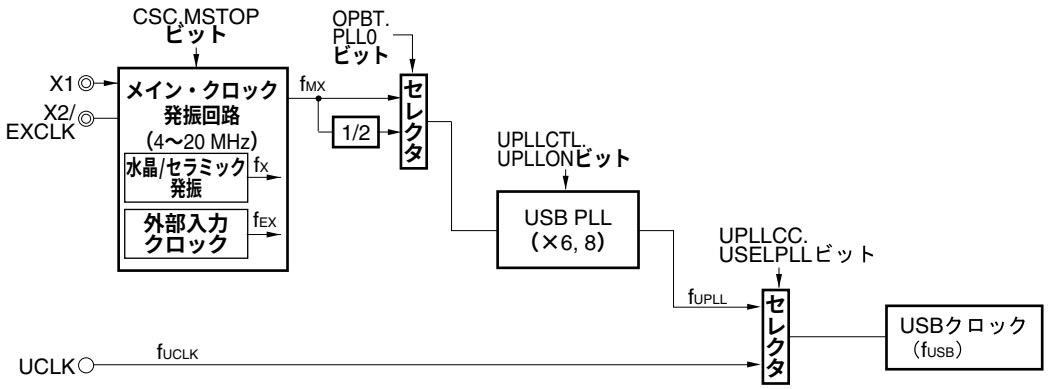
<4> UPLLCTL.UPLLON = 1（USB PLL動作）

（USB PLLの状態は，USB PLLロック・レジスタ（ULOCKR）で確認ください）

<5> UPLLCC.USELPLLビット = 1（USB PLLクロック（f_{UPLL}））を選択

2. USBクロックは48 MHzになるように設定してください。

図6－30 USBクロック周波数（f_{RTC}）のブロック図



備考 f_X ：X1クロック発振周波数

f_{EX} ：外部入力メイン・クロック周波数

f_{MX} ：メイン・システム・クロック発振周波数

f_{UPLL} ：USB PLLクロック周波数

f_{UCLK} ：外部入力USBクロック周波数

f_{USB} ：USBクロック周波数

第7章　タイマ・アレイ・ユニット（TAU）

各製品のTAUの搭載数を次に示します。

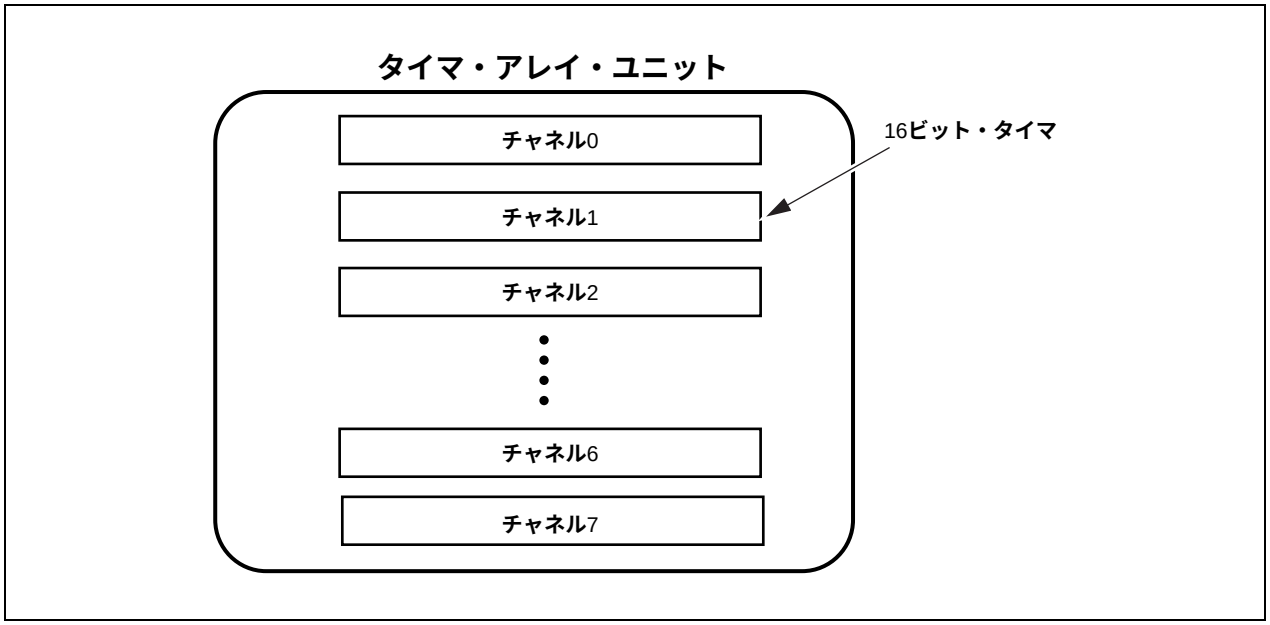
品　名		V850E2/JC4-L（40ピン）	V850E2/JC4-L（48ピン）	V850E2/JE4-L（64ピン）	V850E2/JF4-L（80ピン）	V850E2/JG4-L（100ピン）	V850E2/JH4-L（128ピン）	V850E2/JJ4-L（144ピン）
ユニット数	ユニット0	あり	あり	あり	あり	あり	あり	あり
	ユニット1	あり	あり	あり	あり	あり	あり	あり
	ユニット2	あり	あり	あり	あり	あり	あり	あり
端子入力	ユニット0	8本	8本	8本	8本	8本	8本	8本
	ユニット1	0本	2本	3本	8本	8本	8本	8本
	ユニット2	0本	0本	0本	0本	0本	8本	8本
端子出力	ユニット0	8本	8本	8本	8本	8本	8本	8本
	ユニット1	0本	2本	3本	8本	8本	8本	8本
	ユニット2	0本	0本	0本	0本	0本	8本	8本

注意1.　タイマ入出力端子の有無は製品によって異なります。詳細は，表7－2　各製品に搭載しているタイマ入出力端子を参照してください。

2.　この章では，以降の主な説明を144ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照下さい。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→7. 7. 1参照） ・方形波出力（→7. 7. 1参照） ・外部イベント・カウンタ（→7. 7. 2参照） ・分周器機能注（→7. 7. 3参照） ・入力パルス間隔測定（→7. 7. 4参照） ・入力信号のハイ／ロウ・レベル幅測定（→7. 7. 5参照） ・ディレイ・カウンタ（→7. 7. 6参照）	・ワンショット・パルス出力（→7. 8. 1参照） ・PWM出力（→7. 8. 2参照） ・多重PWM出力（→7. 8. 3参照）

注　ユニット0のチャネル0-3のみ

また，ユニット2のチャネル0-7は，シリアル・アレイ・ユニットのUARTxxと連携し，LIN-bus通信動作を実現することができます。

備考　xx = 00, 01, 10, 11, 20, 40, 50, S00

7. 1　タイマ・アレイ・ユニットの機能

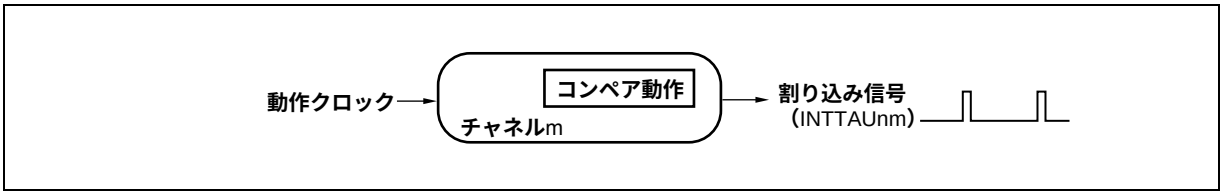
タイマ・アレイ・ユニットには，次のような機能があります。

7. 1. 1　単独チャネル動作機能

単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

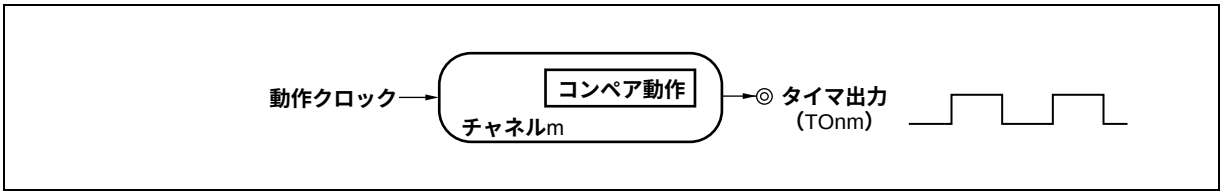
(1) インターバル・タイマ

一定間隔で割り込み（INTTAUnm）を発生する基準タイマとして利用できます。



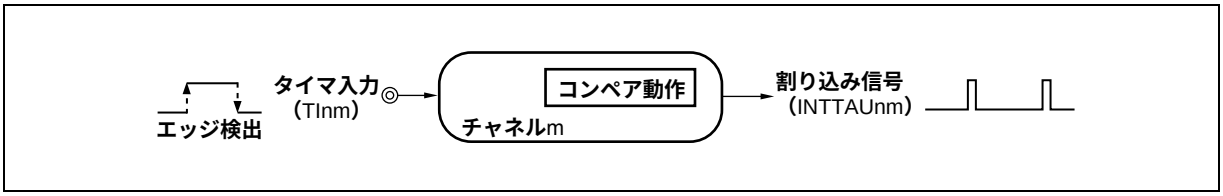
(2) 方形波出力

INTTAUnm割り込みの発生ごとにトグル動作を行い，デューティ50％の方形波をタイマ出力端子（TOnm）より出力します。



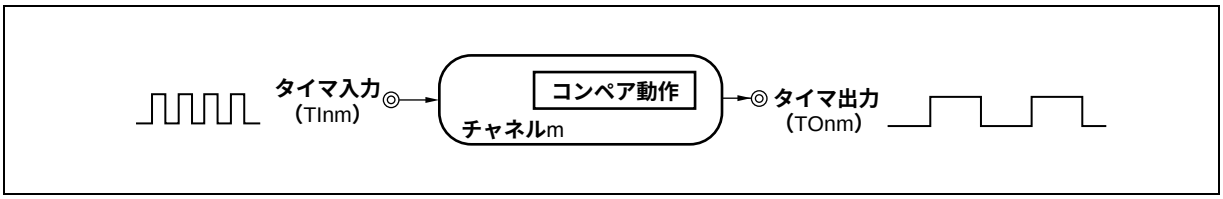
(3) 外部イベント・カウンタ

タイマ入力端子（TInm）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



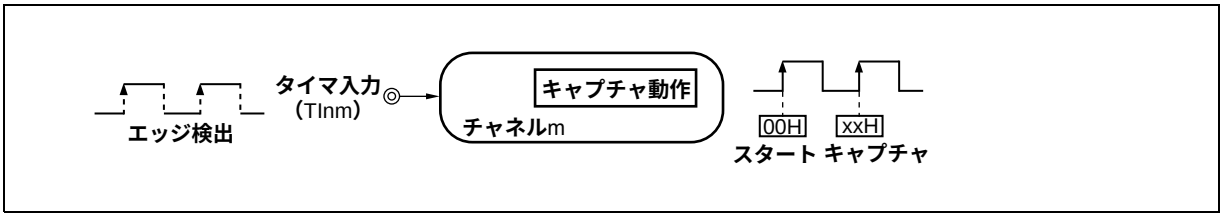
(4) 分周器機能（ユニット0のチャネル0-3のみ）

タイマ入力端子（TInm）から入力されたクロックを分周して出力端子（TOnm）より出力します。



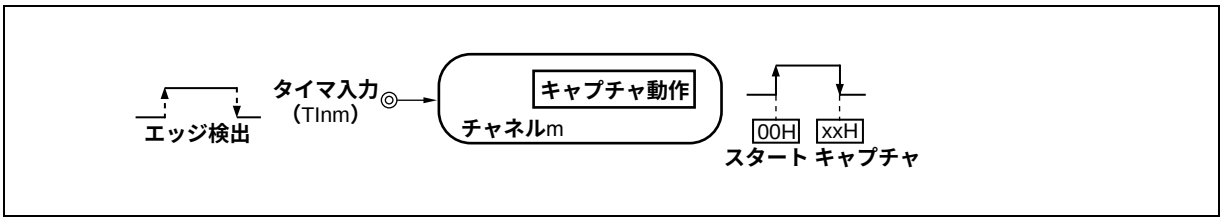
(5) 入力パルス間隔測定

タイマ入力端子（TInm）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



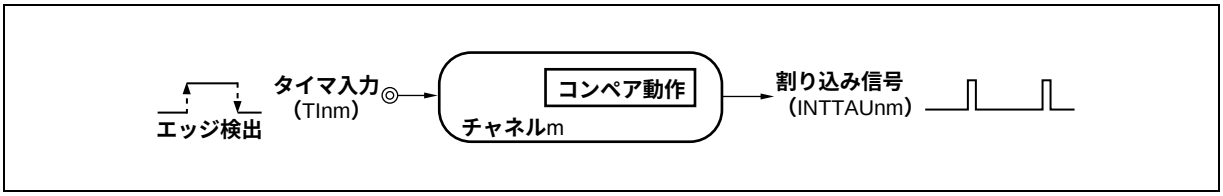
(6) 入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TInm）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子（TInm）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考1. n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

2. チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表7ー2　**各製品に搭載しているタイマ入出力端子**を参照してください。

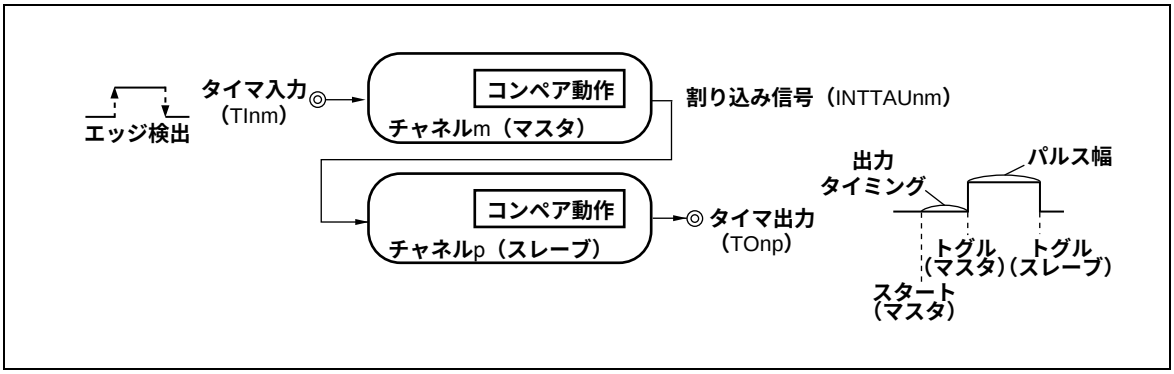
7.1.2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

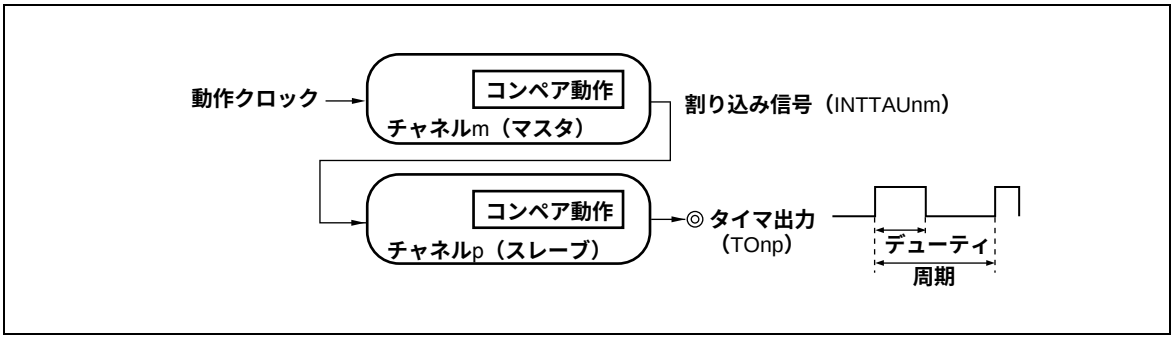
(1) ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



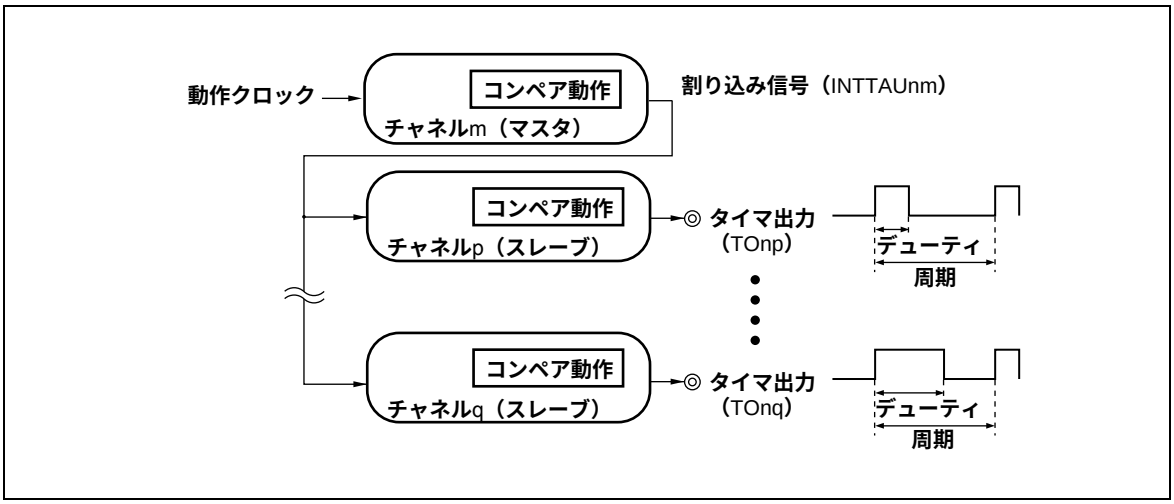
(2) PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能の使用にあたっては，いくつかのルールがあります。

・マスタ・チャネルには，偶数チャネル（チャネル0, 2, 4…）のみ設定可能

・スレーブ・チャネルはマスタ・チャネルの下位のチャネルのみ設定可能（複数のスレーブ・チャネルを設定可能）

など

複数チャネル連動動作機能のルールの詳細については，7. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7），

p, q：スレーブ・チャネル番号（m＜p＜q≦7）

7. 1. 3　LIN-bus対応機能（ユニット2のチャネル0-7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウエイクアップ信号の検出

UARTxxのシリアル・データ入力端子（RXDxx）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

(2) シンク・ブレーク・フィールドの検出

ウエイクアップ信号検出後，UARTxxのシリアル・データ入力端子（RXDxx）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，シンク・ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレーク・フィールド検出後，UARTxxのシリアル・データ入力端子（RXDxx）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考1. LIN-bus対応機能の動作設定については，7. 3（8）TAU2入力選択レジスタ（TAU2TINSEL），7. 7. 5 入力信号のハイ／ロウ・レベル幅測定としての動作を参照してください。

2. xx = 00, 01, 10, 11, 20, 40, 50, S00

7. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表7－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタnm（TAUnTCRm）
レジスタ	タイマ・データ・レジスタnm（TAUnTDRm）
タイマ入力	TI00-TI07, TI10-TI17[注1], TI20-TI27[注1]，RXD00, RXD01, RXD10, RXD11, RXD20, RXD40, RXD50, RXDS00端子（LIN-bus用）
タイマ出力	TO00-TO07, TO10-TO17[注1], TO20-TO27[注1]，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタn（PERn）[注2] ・タイマ・クロック選択レジスタn（TAUnTPS） ・タイマ・チャネル許可ステータス・レジスタn（TAUnTE） ・タイマ・チャネル開始レジスタn（TAUnTS） ・タイマ・チャネル停止レジスタn（TAUnTT） ・TAU1入力選択レジスタ（TAU1TINSEL） ・TAU2入力選択レジスタ（TAU2TINSEL） ・タイマ出力許可レジスタn（TAUnTOE） ・タイマ出力レジスタn（TAUnTO） ・タイマ出力レベル・レジスタn（TAUnTOL） ・タイマ出力モード・レジスタn（TAUnTOM）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタnm（TAUnTMRm） ・タイマ・ステータス・レジスタnm（TAUnTSRm） ・TAUノイズ・フィルタ許可レジスタn（TDNFENn）[注3]

注1.　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表7－2　各製品に搭載しているタイマ入出力端子を参照してください。

2.　6. 3（29）周辺イネーブル・レジスタ0（PER0），（30）周辺イネーブル・レジスタ1（PER1），（31）周辺イネーブル・レジスタ2（PER2）参照

3.　2. 4. 1（1）TAUノイズ・フィルタ許可レジスタn（TDNFENn）参照（n = 0-2）

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

表7－2　各製品に搭載しているタイマ入出力端子

ユニット	ポート	タイマ入力	タイマ出力	兼用機能	ピン番号						
					144	128	100	80	64	48	40
TAU0	P8_2	TI00	TO00	SI50/RXD50/SCLA0	37	36	26	21	17	13	12
	JP0_1			TDO	79	74	57	47	37	26	22
	P8_3	TI01	TO01	SO50/TXD50/SDAA0	38	37	27	22	18	14	13
	JP0_2			TCK/SI40/RXD40	80	75	58	48	38	27	23
	P8_4	TI02	TO02	$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	△	△	△
				$\overline{\text{SCK50}}$/INTP04/TE0CS/UCLK	△	△	△	△	19	15	14
	JP0_3			TMS/SO40/TXD40	81	76	59	49	39	28	24
	P5_5	TI03	TO03	SIS00/RXDS00/BUZ0/TE0AI/A5	48	47	37	△	△	△	△
				SIS00/RXDS00/BUZ0/TE0AI	△	△	△	27	23	19	18
	JP0_5			$\overline{\text{RDY}}$/$\overline{\text{SCK40}}$	83	78	61	51	41	30	26
	P5_6	TI04	TO04	SOS00/TXDS00/RTC1HZ/TE0BI/A6	49	48	38	△	△	△	△
				SOS00/TXDS00/RTC1HZ/TE0BI	△	△	△	28	24	20	19
	P5_7	TI05	TO05	$\overline{\text{SCKS00}}$/TE0ZI/A7	50	49	39	△	△	△	△
				$\overline{\text{SCKS00}}$/TE0ZI	△	△	△	29	25	21	20
	P6_7	TI06	TO06	$\overline{\text{SCK40}}$/KR5/RTP5/INTP05/A15	91	86	69	△	△	△	△
				$\overline{\text{SCK40}}$/KR5/RTP5/INTP05	△	△	△	54	42	31	27
	P7_0	TI07	TO07	KR6/RTP6/INTP06/A16	92	87	70	55	△	△	△
				KR6/RTP6/INTP06	△	△	△	△	43	32	28
TAU1	P2_0	TI10	TO10	SI51	20	19	9	5	△	△	△
	P2_1	TI11	TO11	SO51	21	20	10	6	△	△	△
	P2_2	TI12	TO12	$\overline{\text{SCK51}}$/SDAA2	22	21	11	7	△	△	△
	P2_3	TI13	TO13	SCLA2/UVBUS	23	22	12	8	△	△	△
	P7_1	TI14	TO14	$\overline{\text{SCKS01}}$/A17	104	95	△	△	△	△	△
				A17	△	△	73	58	△	△	△
				－	△	△	△	△	46	△	△
	P4_0	TI15	TO15	$\overline{\text{SCK02}}$/KR7/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	△	△	△
				$\overline{\text{SCK02}}$/KR7/RTP7/INTP00	△	△	△	△	47	35	△
	P4_2	TI16	TO16	SI02/RXD01/SCLA1/INTP08/$\overline{\text{CS2}}$	107	98	75	60	△	△	△
				SI02/RXD01/SCLA1/INTP08	△	△	△	△	48	36	△
	P4_4	TI17	TO17	RXD11/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$	109	100	77	62	△	△	△
TAU2	P14_2	TI20	TO20	$\overline{\text{SCK03}}$/INTP19	12	15	△	△	△	△	△
	P14_3	TI21	TO21	SI23/INTP20	13	16	△	△	△	△	△
	P14_4	TI22	TO22	SO23/INTP15	14	17	△	△	△	△	△
	P14_5	TI23	TO23	$\overline{\text{SCK23}}$/INTP16	15	18	△	△	△	△	△
	P13_2	TI24	TO24	SO21/INTP17	57	52	△	△	△	△	△
	P13_3	TI25	TO25	$\overline{\text{SCK21}}$/INTP18	58	53	△	△	△	△	△
	P14_0	TI26	TO26	SI03/SDAA3	10	13	△	△	△	△	△
	P14_1	TI27	TO27	SO03/SCLA3	11	14	△	△	△	△	△

備考1.　タイマ入力とタイマ出力が同一端子で兼用されている場合は，タイマ入力かタイマ出力のどちらかのみ使用可能です。

2.　△：タイマ入出力端子はないが，チャネルは搭載（インターバルタイマとしてのみ使用可能）

図7－1，図7－2にタイマ・アレイ・ユニットのブロック図を示します。

図7－1　タイマ・アレイ・ユニット0の全体ブロック図

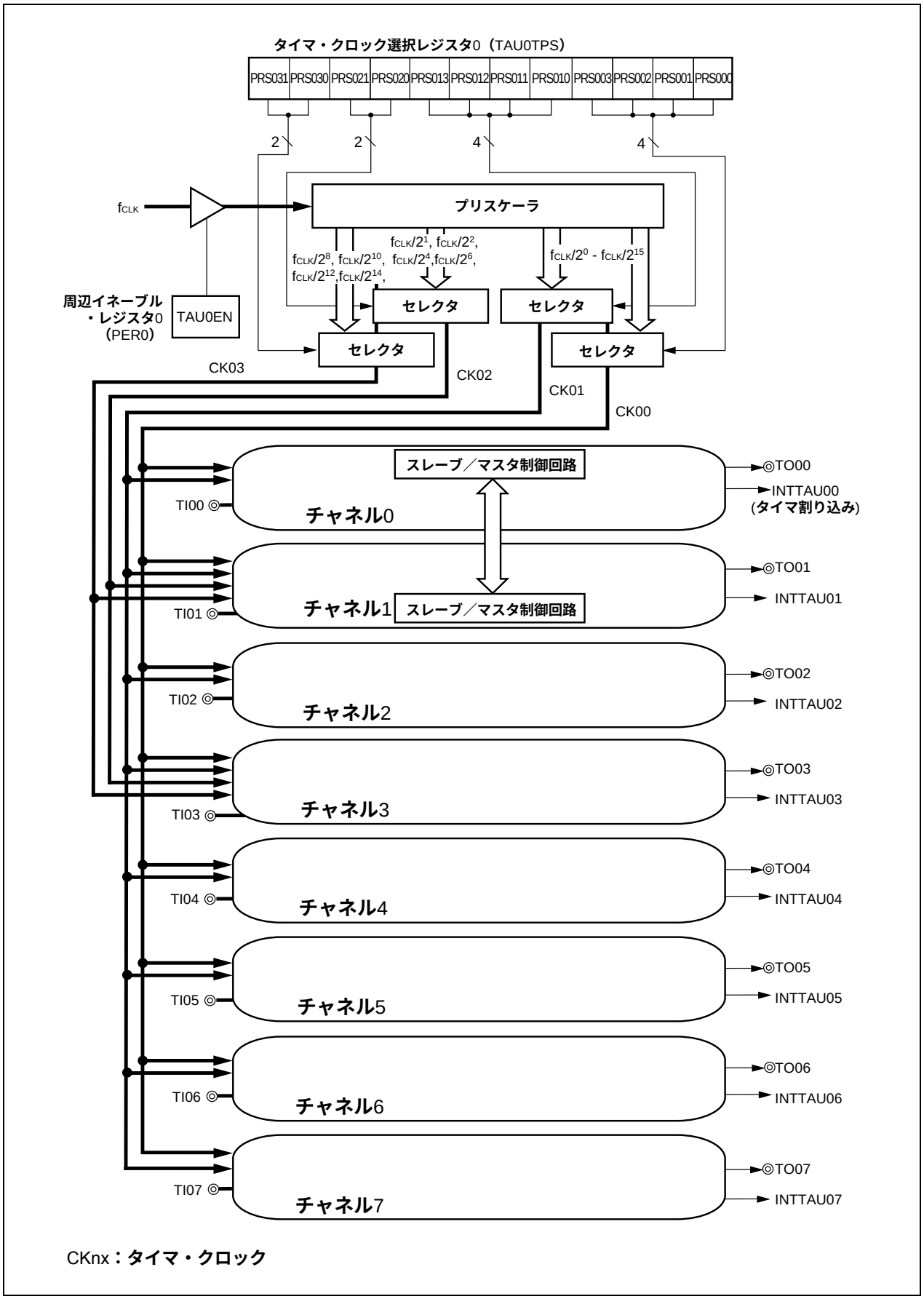
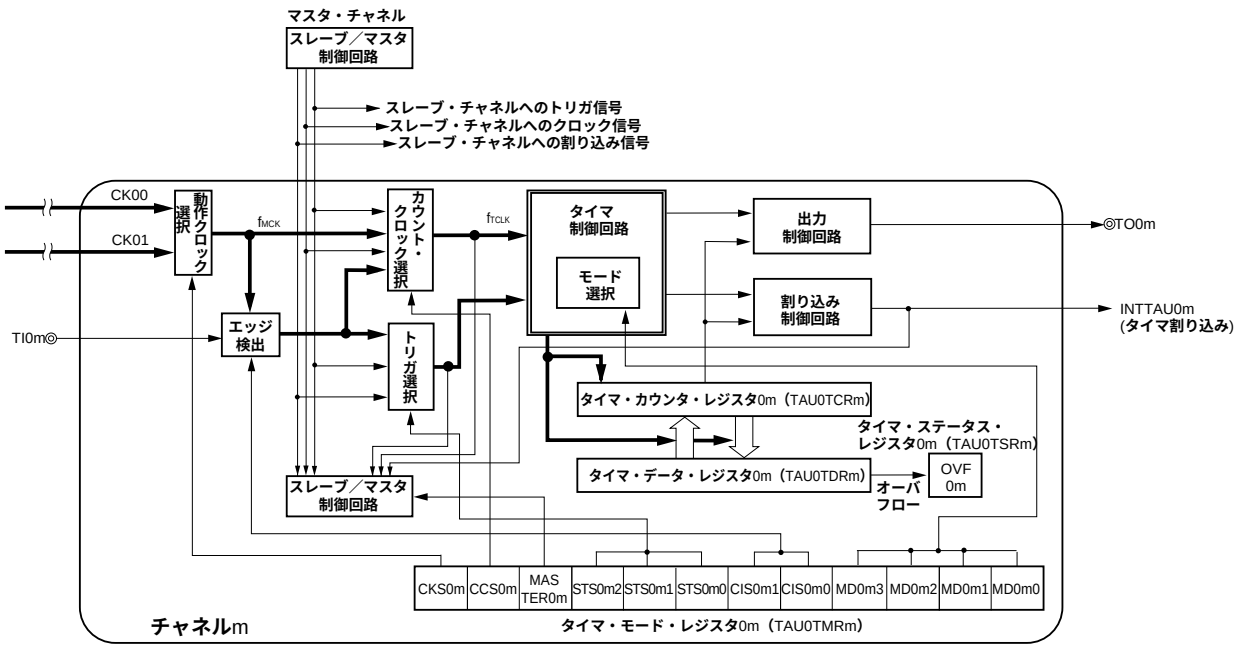


図7－2　タイマ・アレイ・ユニット0の内部ブロック図（偶数チャネル）



備考　m = 0, 2, 4, 6

f_{MCK}：**動作クロック**

f_{TCLK}：**カウント・クロック**

（1）タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTCRm**レジスタは，カウント・クロックをカウントする**16**ビットのリード専用レジスタです。**

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタnm（TAUnTMRm）**の**MDnm3-MDnm0**ビットで動作モードを選択することで切り替わります**（7. 3（2）**タイマ・モード・レジスタ**nm（TAUnTMRm）**参照）。**

アドレス：TAU0TCR0　FFFFC480H, TAU0TCR1　FFFFC484H,　**リセット時：**FFFFH　R
TAU0TCR2　FFFFC488H, TAU0TCR3　FFFFC48CH,
TAU0TCR4　FFFFC490H, TAU0TCR5　FFFFC494H,
TAU0TCR6　FFFFC498H, TAU0TCR7　FFFFC49CH,
TAU1TCR0　FFFFC580H, TAU1TCR1　FFFFC584H,
TAU1TCR2　FFFFC588H, TAU1TCR3　FFFFC58CH,
TAU1TCR4　FFFFC590H, TAU4TCR5　FFFFC594H,
TAU1TCR6　FFFFC598H, TAU7TCR7　FFFFC59CH,
TAU2TCR0　FFFFC680H, TAU2TCR1　FFFFC684H,
TAU2TCR2　FFFFC688H, TAU2TCR3　FFFFC68CH,
TAU2TCR4　FFFFC690H, TAU2TCR5　FFFFC694H,
TAU2TCR6　FFFFC698H, TAU2TCR7　FFFFC69CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTCRm																

備考　n：**ユニット番号**（n = 0-2），m：**チャネル番号**（m = 0-7）

タイマ・カウンタ・レジスタnm（TAUnTCRm）**をリードすることにより，カウント値をリードできます。**

次の場合，カウント値はFFFFH**になります。**

- **リセット信号の発生時**
- **周辺イネーブル・レジスタ**n（PERn）**の**TAUnEN**ビットをクリアしたとき**
- PWM**出力モードで，スレーブ・チャネルのカウント完了時**
- **ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時**
- **ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時**
- **多重**PWM**出力モードで，スレーブ・チャネルのカウント完了時**

また，次の場合には，カウント値は0000H**になります。**

- **キャプチャ・モード時に，スタート・トリガが入力されたとき**
- **キャプチャ・モード時で，キャプチャ完了時**

注意　TAUnTCRm**レジスタをリードしても，タイマ・データ・レジスタ**nm（TAUnTDRm）**にはキャプチャしません。**

TAUnTCRmレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表7－3　各動作モード時のタイマ・カウンタ・レジスタnm（TAUnTCRm）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TAUnTCRm）の読み出し値[注]			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTnmビット = 1）後，動作モード変更した場合の値	カウント動作を一時停止（TTnmビット = 1）後，動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	－
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	－
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TAUnTDRmレジスタのキャプチャ値＋1

注　チャネルmがタイマ動作停止状態（TEnmビット = 0）かつカウント動作許可状態（TSnmビット = 1）にした時点の，TAUnTCRmレジスタの読み出し値を示します。カウント動作開始までこの値がTAUnTCRmレジスタに保持されます。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(2) タイマ・データ・レジスタnm（TAUnTDRm）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタnm（TAUnTMRm）のMDnm3-MDnm0ビットで動作モードを選択することで切り替わります。

TAUnTDRmレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

リセット信号により，0000Hになります。

アドレス：TAU0TDR0 FFFFC400H, TAU0TDR1 FFFFC404H,　リセット時：0000H　R/W
TAU0TDR2 FFFFC408H, TAU0TDR3 FFFFC40CH,
TAU0TDR4 FFFFC410H, TAU0TDR5 FFFFC414H,
TAU0TDR6 FFFFC418H, TAU0TDR7 FFFFC41CH,
TAU1TDR0 FFFFC500H, TAU1TDR1 FFFFC504H,
TAU1TDR2 FFFFC508H, TAU1TDR3 FFFFC50CH,
TAU1TDR4 FFFFC510H, TAU1TDR5 FFFFC514H,
TAU1TDR6 FFFFC518H, TAU1TDR7 FFFFC51CH,
TAU2TDR0 FFFFC600H, TAU2TDR1 FFFFC604H,
TAU2TDR2 FFFFC608H, TAU2TDR3 FFFFC60CH,
TAU2TDR4 FFFFC610H, TAU2TDR5 FFFFC614H,
TAU2TDR6 FFFFC618H, TAU2TDR7 FFFFC61CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTDRm																

（ｉ）タイマ・データ・レジスタnm（TAUnTDRm）をコンペア・レジスタとして使用するとき

TAUnTDRmレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTAUnm）を発生します。TAUnTDRmレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTAUnTDRmレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ii）タイマ・データ・レジスタnm（TAUnTDRm）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタnm（TAUnTCRm）のカウント値をTAUnTDRmレジスタにキャプチャします。

キャプチャ・トリガとして，TInm端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタnm（TAUnTMRm）で設定します。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7. 3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタn（PERn）[注1]
- タイマ・クロック選択レジスタn（TAUnTPS）
- タイマ・モード・レジスタnm（TAUnTMRm）
- タイマ・ステータス・レジスタnm（TAUnTSRm）
- タイマ・チャネル許可ステータス・レジスタn（TAUnTE）
- タイマ・チャネル開始レジスタn（TAUnTS）
- タイマ・チャネル停止レジスタn（TAUnTT）
- TAU1入力選択レジスタ（TAU1TINSEL）
- TAU2入力選択レジスタ（TAU2TINSEL）
- タイマ出力許可レジスタn（TAUnTOE）
- タイマ出力レジスタn（TAUnTO）
- タイマ出力レベル・レジスタn（TAUnTOL）
- タイマ出力モード・レジスタn（TAUnTOM）
- TAUノイズ・フィルタ許可レジスタn（TDNFENn）[注2]

注1.　6. 3（29）周辺イネーブル・レジスタ0（PER0），（30）周辺イネーブル・レジスタ1（PER1），（31）周辺イネーブル・レジスタ2（PER2）参照

2.　2. 4. 1（1）TAUノイズ・フィルタ許可レジスタn（TDNFENn）参照（n = 0-2）

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

（1）タイマ・クロック選択レジスタn（TAUnTPS）

TAUnTPSレジスタは，外部プリスケーラから各チャネルに共通して供給される2種類または4種類の動作クロック（CKn0, CKn1, CKn2, CKn3）を選択する16ビット・レジスタです。TAUnTPSレジスタのビット7-4でCKn1を，ビット3-0でCKn0を選択します。さらにチャネル1, 3では，TAUnTPSレジスタのビット9, 8でCKn2を，ビット13, 12でCKn3を選択します。

タイマ動作中のTAUnTPSレジスタの書き換えは，次の場合のみ可能です。

PRSn00-PRSn03ビットが書き換え可能な場合（m = 0-7）：

動作クロックにCKn0を選択（CKSnm1, CKSnm0 = 0, 0）しているチャネルがすべて停止状態（TEnm = 0）

PRSn10-PRSn13ビットが書き換え可能な場合（m = 0-7）：

動作クロックにCKn1を選択（CKSnm1, CKSnm0 = 1, 0）しているチャネルがすべて停止状態（TEnm = 0）

PRSn20, PRSn21ビットが書き換え可能な場合（m = 1, 3）：

動作クロックにCKn2を選択（CKSnm1, CKSnm0 = 0, 1）しているチャネルがすべて停止状態（TEnm = 0）

PRSn30-PRSn31ビットが書き換え可能な場合（m = 1, 3）：

動作クロックにCKn3を選択（CKSnm1, CKSnm0 = 1, 1）しているチャネルがすべて停止状態（TEnm = 0）

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

（1/2）

アドレス：TAU0TPS FFFFC4ECH, TAU1TPS FFFFC5ECH, TAU2TPS FFFFC6EC **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TPS	0	0	PRS n31	PRS n30	0	0	PRS n21	PRS n20	PRS n13	PRS n12	PRS n11	PRS n10	PRS n03	PRS n02	PRS n01	PRS n00

PRS nk3	PRS nk2	PRS nk1	PRS nk0	タイマ・クロック（CKnk）の選択[注]（k = 0, 1）					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	1	1	$f_{CLK}/2^{11}$	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	15.63 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	976 Hz

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TAUnTTレジスタ = 00FFH）させてください。カウント・クロック（f_{TCLK}）にCKSnm0, CKSnm1ビットで指定した動作クロック（f_{MCK}），TInm端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には，必ず0を設定してください。

備考1. f_{CLK}：CPU／周辺クロック周波数

2. TAUnTPSレジスタで選択するf_{CLK}-$f_{CLK}/2^{15}$の波形のうち，分周を選択した場合は，単純に2^k分周した波形ではなく，その立ち上がりでf_{CLK}の１周期分ハイ・レベルになる信号となります（k = 1-15）。詳しくは，7. 5. 1 **カウント・クロック（f_{TCLK}）**を参照してください。

(2/2)

PRS n21	PRS n20	タイマ･クロック（CKn2）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
1	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz

PRS n31	PRS n30	タイマ･クロック（CKn3）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 Hz	2.44 kHz	3.91 kHz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TAUnTTレジスタ = 00FFH）させてください。カウント・クロック（f_{TCLK}）にCKSnm0, CKSnm1ビットで指定した動作クロック（f_{MCK}），TInm端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には，必ず0を設定してください。

(2) タイマ・モード・レジスタnm（TAUnTMRm）

TAUnTMRmレジスタは，チャネルmの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロック（f_{TCLK}）の選択，マスタ／スレーブの選択，スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TAUnTMRmレジスタは，動作中（TEnmビット = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CISnm1, CISnm0）は，一部の機能で動作中（TEnmビット = 1のとき）の書き換えが可能です（詳細は7.7 **タイマ・アレイ・ユニットの単独チャネル動作機能**，7.8 **タイマ・アレイ・ユニットの複数チャネル連動動作機能**を参照）。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

（1/3）

アドレス：TAU0TMR0　FFFFC4A0H, TAU0TMR1　FFFFC4A4H,　**リセット時：**0000H　R/W
TAU0TMR2　FFFFC4A8H, TAU0TMR3　FFFFC4ACH,
TAU0TMR4　FFFFC4B0H, TAU0TMR5　FFFFC4B4H,
TAU0TMR6　FFFFC4B8H, TAU0TMR7　FFFFC4BCH,
TAU1TMR0　FFFFC5A0H, TAU1TMR1　FFFFC5A4H,
TAU1TMR2　FFFFC5A8H, TAU1TMR3　FFFFC5ACH,
TAU1TMR4　FFFFC5B0H, TAU1TMR5　FFFFC5B4H,
TAU1TMR6　FFFFC5B8H, TAU1TMR7　FFFFC5BCH,
TAU2TMR0　FFFFC6A0H, TAU2TMR1　FFFFC6A4H,
TAU2TMR2　FFFFC6A8H, TAU2TMR3　FFFFC6ACH,
TAU2TMR4　FFFFC6B0H, TAU2TMR5　FFFFC6B4H,
TAU2TMR6　FFFFC6B8H, TAU2TMR7　FFFFC6BCH

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTMRm (m = 2, 4, 6)	CKS nm1	CKS nm0	0	CCS nm	MAS TERnm	STS nm2	STS nm1	STS nm0	CIS nm1	CIS nm0	0	0	MD nm3	MD nm2	MD nm1	MD nm0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTMRm (m = 0, 1, 3, 5, 7)	CKS nm1	CKS nm0	0	CCS nm	0	STS nm2	STS nm1	STS nm0	CIS nm1	CIS nm0	0	0	MD nm3	MD nm2	MD nm1	MD nm0

CKS nm1	CKS nm0	チャネルmの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタn（TAUnTPS）で設定した動作クロックCKn0
0	1	タイマ・クロック選択レジスタn（TAUnTPS）で設定した動作クロックCKn2
1	0	タイマ・クロック選択レジスタn（TAUnTPS）で設定した動作クロックCKn1
1	1	タイマ・クロック選択レジスタn（TAUnTPS）で設定した動作クロックCKn3
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSnmビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCKn2, CKn3は，チャネル1, 3のみ選択可能です。		

CCS nm	チャネルmのカウント・クロック（f_{TCLK}）の選択
0	CKSnm0, CKSnm1ビットで指定した動作クロック（f_{MCK}）
1	TInm端子からの入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，タイマ・カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注意1.　**ビット**13, 5, 4**には，必ず**0**を設定してください。**

2.　**カウント・クロック（**f_{TCLK}**）に**CKSnm0, CKSnm1**ビットで指定した動作クロック（**f_{MCK}**），**TInm**端子からの入力信号の有効エッジのどれを選択していても，**f_{CLK}**に選択しているクロックを変更（システム・クロック制御レジスタ（**CKC**）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（**TAUnTT＝00FFH**）させてください。**

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(2/3)

（TAUnTMRm（m = 2, 4, 6）のビット11）

MASTERnm	チャネルmの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作

チャネル2, 4, 6のみマスタ・チャネル（MASTERnm = 1）に設定できます。
チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。
また，単独チャネル動作機能として使用するチャネルは，MASTERnm = 0 にします。

STSnm2	STSnm1	STSnm0	チャネルmのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TInm端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TInm端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

CISnm1	CISnm0	TInm端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ

STSnm2-STSnm0ビット = 010B時以外で両エッジ指定を使用する場合は，CISnm1-CISnm0ビット = 10Bに設定してください。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

（3/3）

MD nm3	MD nm2	MD nm1	MD nm0	チャネルnの動作モードの設定	対応する機能	TAUnTCRmのカウント動作
0	0	0	1/0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	1/0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	0	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	1/0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン・カウント
1	1	0	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外				設定禁止		
MDnm0ビットの動作は，各動作モードによって変わります（下表を参照）。						

動作モード（MDnm3-MDnm1で設定（上表参照））	MD nm0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード[注1]（1, 0, 0）	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注2]。その際に割り込みも発生する。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
上記以外		設定禁止

注1. ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTAUnm），TOnm出力は制御しません。

2. 動作中にスタート・トリガ（TSnm = 1）が掛かると，カウンタを初期化し，割り込みを発生して再カウント・スタートします。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(3) タイマ・ステータス・レジスタnm（TAUnTSRm）

TAUnTSRmレジスタは，チャネルmのカウンタのオーバフロー状況を表示するレジスタです。

TAUnTSRmレジスタは，キャプチャ・モード（MDnm3-MDnm1 = 010B）とキャプチャ＆ワンカウント・モード（MDnm3-MDnm1 = 110B）のみ有効です。各動作モードでのOVFビットの動作とセット／クリア条件は表7－4を参照してください。

16ビット単位でリードのみ可能です。

リセットにより，0000Hになります。

アドレス：TAU0TSR0 FFFFC4C0H, TAU0TSR1 FFFFC4C4H, リセット時：0000H R
TAU0TSR2 FFFFC4C8H, TAU0TSR3 FFFFC4CCH,
TAU0TSR4 FFFFC4D0H, TAU0TSR5 FFFFC4D4H,
TAU0TSR6 FFFFC4D8H, TAU0TSR7 FFFFC4DCH,
TAU1TSR0 FFFFC5C0H, TAU1TSR1 FFFFC5C4H,
TAU1TSR2 FFFFC5C8H, TAU1TSR3 FFFFC5CCH,
TAU1TSR4 FFFFC5D0H, TAU1TSR5 FFFFC5D4H,
TAU1TSR6 FFFFC5D8H, TAU1TSR7 FFFFC5DCH,
TAU2TSR0 FFFFC6C0H, TAU2TSR1 FFFFC6C4H,
TAU2TSR2 FFFFC6C8H, TAU2TSR3 FFFFC6CCH,
TAU2TSR4 FFFFC6D0H, TAU2TSR5 FFFFC6D4H,
TAU2TSR6 FFFFC6D8H, TAU2TSR7 FFFFC6DCH

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTSRm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルmのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

表7－4　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

(4) タイマ・チャネル許可ステータス・レジスタn（TAUnTE）

TAUnTEレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TAUnTEレジスタの各ビットは，タイマ・チャネル開始レジスタn（TAUnTS）とタイマ・チャネル停止レジスタn（TAUnTT）の各ビットに対応しています。TAUnTSレジスタの各ビットが1にセットされると，TAUnTEレジスタの対応ビットが1にセットされます。TAUnTTレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

16ビット単位でリードのみ可能です。

リセットにより，0000Hになります。

アドレス：TAU0TE　FFFFC4E0H, TAU1TE　FFFFC5E0, TAU2TE　FFFFC6E0　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTE	0	0	0	0	0	0	0	0	TEn7	TEn6	TEn5	TEn4	TEn3	TEn2	TEn1	TEn0

TEnm	チャネルmの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(5) タイマ・チャネル開始レジスタn（TAUnTS）

TAUnTSレジスタは，タイマ・カウンタ・レジスタnm（TAUnTCRm）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタn（TAUnTE）の対応ビットが1にセットされます。

16ビット単位でライトのみ可能です。

リセットにより，0000Hになります。

アドレス：TAU0TS　FFFFC4E4H, TAU1TS　FFFFC5E4H, TAU2TS　FFFFC6E4H　リセット時：0000H　W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTS	0	0	0	0	0	0	0	0	TSn7	TSn6	TSn5	TSn4	TSn3	TSn2	TSn1	TSn0

TSnm	チャネルmの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEnmビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTAUnTCRmレジスタのカウント動作開始は，各動作モードにより異なります（7. 5. 2　カウンタのスタート・タイミングの表7－5参照）。

注意1.　ビット15-8には必ず0を設定してください。

2.　TInm端子入力を使用しない機能から，TInm端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタnm（TAUnTMRm）設定後，TSnmビットを1に設定するまでに，次の期間ウエイトが必要になります。

TInm端子のノイズ・フィルタ有効時（TDNFENn.TDNFENnm = 1）：動作クロック（f_{MCK}）の4クロック

TInm端子のノイズ・フィルタ無効時（TDNFENn.TDNFENnm = 0）：動作クロック（f_{MCK}）の2クロック

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(6) タイマ・チャネル停止レジスタn（TAUnTT）

TAUnTTレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタn（TAUnTE）の対応ビットが0にクリアされます。TTnmビットはトリガ・ビットなので，動作停止状態（TEnm = 0）になるとすぐTTnmビットはクリアされます。

16ビット単位でライトのみ可能です。

リセットにより，0000Hになります。

アドレス：TAU0TT　FFFFC4E8H, TAU1TT　FFFFC5E8H, TAU2TT　FFFFC6E8H　**リセット時：**0000H　W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTT	0	0	0	0	0	0	0	0	TTn7	TTn6	TTn5	TTn4	TTn3	TTn2	TTn1	TTn0

TTnm	チャネルmの動作停止トリガ
0	トリガ動作しない
1	動作停止（停止トリガ発生）

注意　ビット15-8には必ず0を設定してください。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

（7）TAU1入力選択レジスタ（TAU1TINSEL）

TAU1TINSELレジスタは，ユニット1のチャネル7のタイマ入力を選択するレジスタです。

TINSEL17ビットを１に設定し，パルス幅測定を行うことで，クロック周波数が正常かどうかを判断する周波数検出機能を実現するときに使用します。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FFFFC304H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TAU1 TINSEL	TINSEL17	0	0	0	0	0	0	0

TINSEL17	ユニット1のチャネル7で使用するタイマ入力の選択
0	タイマ入力端子（TI17）の入力信号
1	低速オンチップ・オシレータ・クロック（f_{IL}）

備考　パルス幅測定の方法については，7. 7. 4　**入力パルス間隔測定**としての動作を参照してください。

また，周波数検出機能については，28. 3. 4　**周波数検出機能**を参照してください。

(8) TAU2入力選択レジスタ（TAU2TINSEL）

TAU2TINSELレジスタは，ユニット2のチャネル0-7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。TAU2TINSELレジスタの各ビットに1を設定すると，シリアル・データ入力端子（RxDxx）の入力信号がタイマ入力として選択されます。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

備考　xx = 00, 01, 10, 11, 20, 40, 50, S00

(1/2)

アドレス：FFFFC308H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
TAU2 TINSEL	TINSEL27	TINSEL26	TINSEL25	TINSEL24	TINSEL23	TINSEL22	TINSEL21	TINSEL20

TINSEL27	ユニット2のチャネル7の入力切り替え
0	TI27端子の入力信号をタイマ入力とする（通常動作）
1	RXDS00端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

TINSEL26	ユニット2のチャネル6の入力切り替え
0	TI26端子の入力信号をタイマ入力とする（通常動作）
1	RXD50端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

TINSEL25	ユニット2のチャネル5の入力切り替え
0	TI25端子の入力信号をタイマ入力とする（通常動作）
1	RXD40端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

TINSEL24	ユニット2のチャネル4の入力切り替え
0	TI24端子の入力信号をタイマ入力とする（通常動作）
1	RXD20端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

TINSEL23	ユニット2のチャネル3の入力切り替え
0	TI23端子の入力信号をタイマ入力とする（通常動作）
1	RXD11端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

備考　LIN-bus通信を使用する場合は，TINSEL27-TINSEL20 = 1に設定してRXDxx端子の入力信号を選択しておいてください。

(2/2)

TINSEL22	ユニット2のチャネル2の入力切り替え
0	TI22端子の入力信号をタイマ入力とする（通常動作）
1	RXD10端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

TINSEL21	ユニット2のチャネル1の入力切り替え
0	TI21端子の入力信号をタイマ入力とする（通常動作）
1	RXD01端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

TINSEL20	ユニット2のチャネル0の入力切り替え
0	TI20端子の入力信号をタイマ入力とする（通常動作）
1	RXD00端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

備考1. LIN-bus通信を使用する場合は，TINSEL27-TINSEL20 = 1に設定してRXDxx端子の入力信号を選択しておいてください。

2. xx = 00, 01, 10, 11, 20, 40, 50, S00

(9) タイマ出力許可レジスタn（TAUnTOE）

TAUnTOEレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルmは，後述のタイマ出力レジスタn（TAUnTO）のTOnmビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOnm）から出力されます。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

アドレス：TAU0TOE　FFFFC4F4H, TAU1TOE　FFFFC5F4H, TAU2TOE　FFFFC6F4H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TOE	0	0	0	0	0	0	0	0	TOEn7	TOEn6	TOEn5	TOEn4	TOEn3	TOEn2	TOEn1	TOEn0

TOEnm	チャネルmのタイマ出力許可／禁止
0	カウント動作によるTOnm（タイマ・チャネル出力ビット）の動作停止。 TOnmビットへの書き込みが可能。 TOnm端子がデータ出力機能となり，TOnmビットに設定したレベルがTOnm端子から出力される。 TOnm端子の出力レベルをソフトウエアで操作することができる。
1	カウント動作によるTOnm（タイマ・チャネル出力ビット）の動作許可。 TOnmビットへの書き込み不可（書き込みが無視される）。 TOnm端子がタイマ出力機能となり，タイマの動作によりセット／リセットされる。 TOnm端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意　ビット15-8には必ず0を設定してください。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

（10）タイマ出力レジスタn（TAUnTO）

TAUnTOレジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOnm）から出力されます。

このレジスタのTOnmビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOEnmビット = 0）のみ可能です。タイマ出力許可時（TOEnmビット = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，タイマ出力端子（TOnm端子）を兼用しているポートをポート機能として使用する場合は，該当するTOnmビットに“0”を設定してください。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

アドレス：TAU0TO　FFFFC4F0H, TAU1TO　FFFFC5F0H, TAU2TO　FFFFC6F0H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUnTO	0	0	0	0	0	0	0	0	TOn7	TOn6	TOn5	TOn4	TOn3	TOn2	TOn1	TOn0

TOnm	チャネルmのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意　ビット15-8には必ず0を設定してください。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

（11）タイマ出力レベル・レジスタn（TAUnTOL）

TAUnTOLレジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルmの反転設定は，タイマ出力許可（TOEnmビット = 1），複数チャネル連動動作機能（TOMnmビット = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMnmビット = 0）時には，このレジスタの設定は無効となります。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

アドレス：TAU0TOL　FFFFC4F8H, TAU1TOL　FFFFC5F8H, TAU2TOL　FFFFC6F8H　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TOL	0	0	0	0	0	0	0	0	TOL n7	TOL n6	TOL n5	TOL n4	TOL n3	TOL n2	TOL n1	0

TOL nm	チャネルmのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注意　ビット15-8, 0**には必ず**0**を設定してください。**

備考1.　タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2.　n：**ユニット番号**（n = 0-2），m：**チャネル番号**（m = 0-7）

（12）タイマ出力モード・レジスタn（TAUnTOM）

TAUnTOMレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルmの設定は，タイマ出力許可（TOEnmビット = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

アドレス：TAU0TOM　FFFFC4FCH, TAU1TOM　FFFFC5FCH, TAU2TOM　FFFFC6FCH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TOM	0	0	0	0	0	0	0	0	TOMn7	TOMn6	TOMn5	TOMn4	TOMn3	TOMn2	TOMn1	0

TOMnm	チャネルmのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTAUnm）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTAUnm）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTAUnp）で出力がリセットされる）

注意　ビット15-8, 0には必ず0を設定してください。

備考　n：ユニット番号（n = 0-2）

m：チャネル番号

m = 0-7（マスタ・チャネル時：m = 0, 2, 4, 6）

p：スレーブ・チャネル番号

m＜p≦7

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，7. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください）

7.4　タイマ・アレイ・ユニットの基本ルール

7.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2，チャネル4，…）のみ設定できます。
(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例　チャネル2をマスタ・チャネルにした場合，チャネル3以降（チャネル3，チャネル4，チャネル5，…）をスレーブ・チャネルに設定できます。

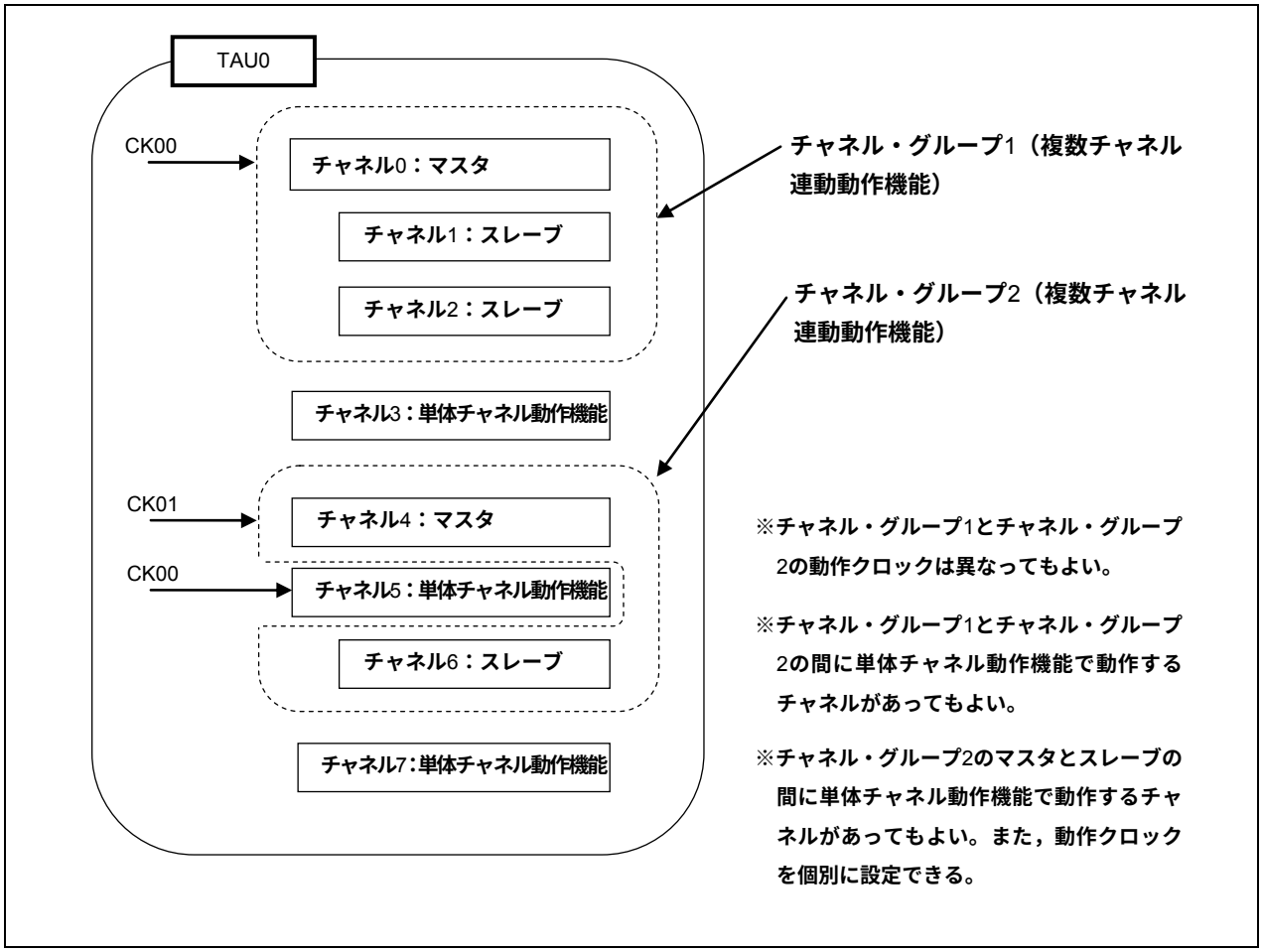
(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例　チャネル0，チャネル4をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル5-7をスレーブ・チャネルとして設定できません。

(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSnm1, CKSnm0ビット（タイマ・モード・レジスタnm（TAUnTMRm）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTAUnm（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTAUnm（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTAUnm（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTAUnm（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSnm）を同時に設定する必要があります。
(11) カウント動作中のTSnmビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSnmビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTnm）を同時に設定する必要があります。
(13) 連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，マスタ・チャネルで選択できないCKn2/CKn3は選択できません。
(14) チャネル0のタイマ・モード・レジスタn0（TAUnTMR0）は，マスタ・ビットがなく，”0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には**上記の基本ルール**は適用されません。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）


TAU0
CK00
チャネル0：マスタ
チャネル1：スレーブ
チャネル2：スレーブ
チャネル3：単体チャネル動作機能
CK01
チャネル4：マスタ
CK00
チャネル5：単体チャネル動作機能
チャネル6：スレーブ
チャネル7：単体チャネル動作機能
チャネル・グループ1（複数チャネル連動動作機能）
チャネル・グループ2（複数チャネル連動動作機能）
※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。
※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。
※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また，動作クロックを個別に設定できる。

7.5　カウンタの動作タイミング

7.5.1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタnm（TAUnTMRm）のCCSnmビットにより，以下のどちらかを選択することができます。

- CKSnm0, CKSnm1ビットで指定した動作クロック（f_{MCK}）
- TInm端子からの入力信号の有効エッジ

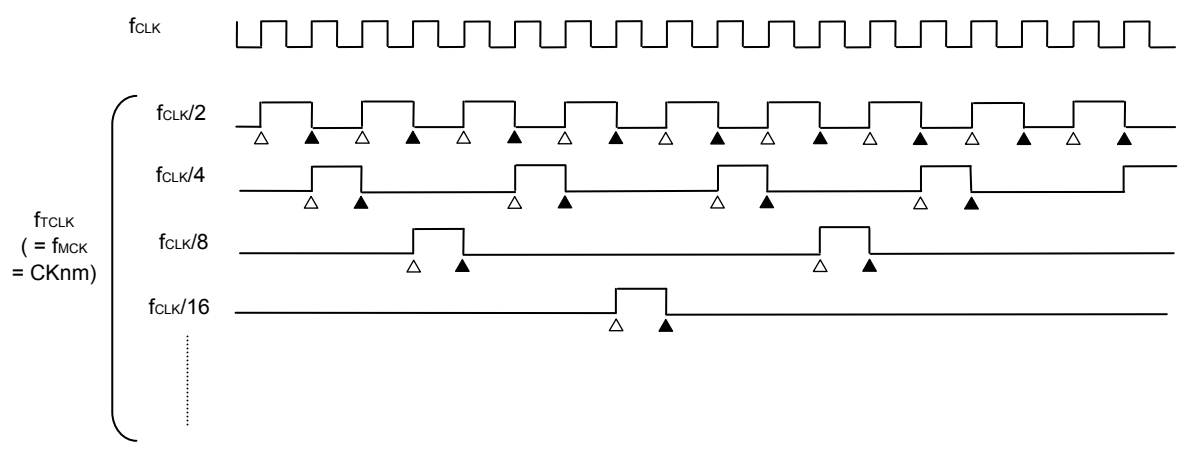
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

(1) CKSnm0, CKSnm1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSnm = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタn（TAUnTPS）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただしf_{CLK}の分周を選んだ場合は，カウント・クロックは単純に2^k分周した波形ではなく，その立ち上がりでf_{CLK}の1周期分ハイ・レベルになる信号となります（k = 1-15）。

タイマ・カウンタ・レジスタnm（TAUnTCRm）は，f_{CLK}との同期をとるため，カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7－3　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCSnm = 0時）



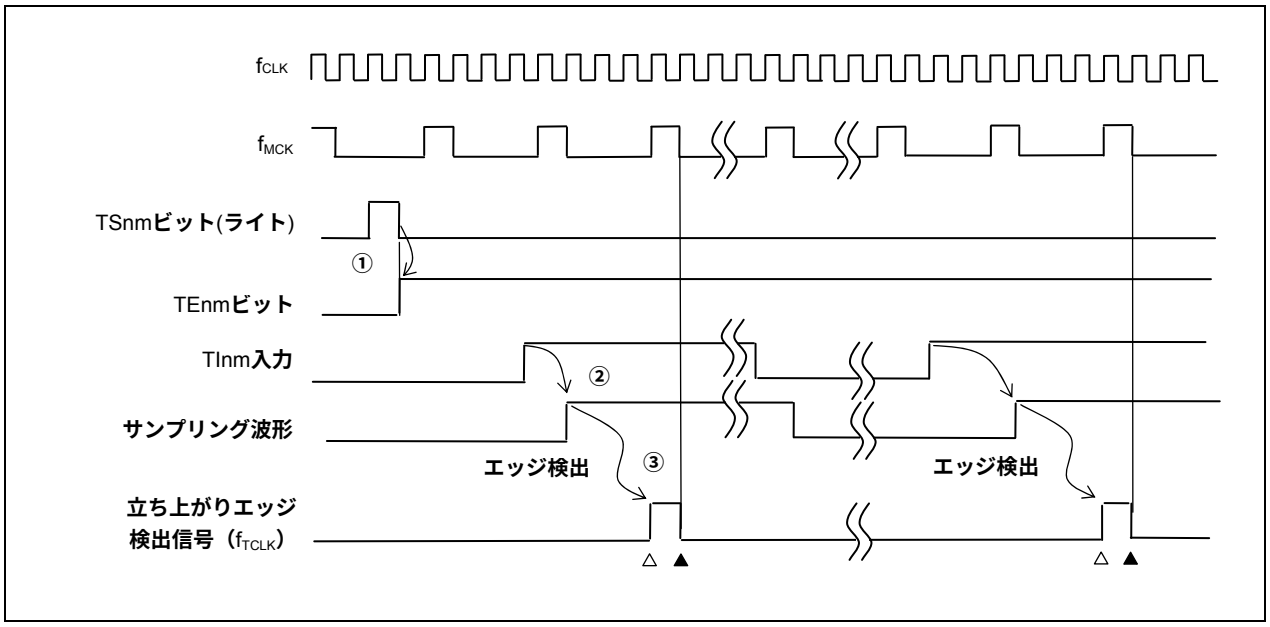
備考1．△：カウント・クロックの立ち上がり
▲：同期化，カウンタのインクリメント／デクリメント
2．f_{CLK}：CPU／周辺クロック

（2）TInm端子からの入力信号の有効エッジを選択した場合（CCSnm = 1）

カウント・クロック（f_{TCLK}）は，TInm端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTInm端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタnm（TAUnTCRm）は，f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“TInm端子からの入力信号の有効エッジでカウントする”と表現します。

図7－4　カウント・クロック（f_{TCLK}）のタイミング（CCSnm = 1，ノイズ・フィルタ未使用時）



①TSnmビットをセットすることでタイマが動作を開始し，TInm入力の有効エッジ待ちになります。

②TInm入力の立ち上がりがf_{MCK}でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

備考1．△：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2．f_{CLK}：CPU／周辺クロック

f_{MCK}：チャネルmの動作クロック

3．入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTInm入力も同様の波形になります。

7. 5. 2　カウンタのスタート・タイミング

タイマ・カウント・レジスタnm（TAUnTCRm）は，タイマ・チャネル開始レジスタn（TAUnTS）のTSnmビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタnm（TAUnTCRm）のカウント・スタートまでの動作を，表7－5に示します。

表7－5　カウント動作許可状態からタイマ・カウンタ・レジスタnm（TAUnTCRm）のカウント・スタートまでの動作

タイマの動作モード	TSnmビット = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出（TSnmビット = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTAUnTDRmレジスタの値をTAUnTCRmレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（7. 5. 2（a）インターバル・タイマ・モード時のスタート・タイミング参照）。
イベント・カウンタ・モード	TSnmビットに1を書き込むことにより，TAUnTDRmレジスタの値をTAUnTCRmレジスタにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TAUnTMRmレジスタのSTSnm2-STSnm0ビットで選択した外部トリガ検出では，カウント動作を開始しません（7. 5. 2（b）イベント・カウンタ・モード時のスタート・タイミング参照）。
キャプチャ・モード	スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTAUnTCRmレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（7. 5. 2（c）キャプチャ・モード時のスタート・タイミング参照）。
ワンカウント・モード	タイマ動作停止（TEnmビット = 0）の状態で，TSnmビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTAUnTDRmレジスタの値をTAUnTCRmレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（7. 5. 2（d）ワンカウント・モード時のスタート・タイミング参照）。
キャプチャ＆ワンカウント・モード	タイマ動作停止（TEnmビット = 0）の状態で，TSnmビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTAUnTCRmレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（7. 5. 2（e）キャプチャ&ワンカウント・モード時のスタート・タイミング参照）。

(a) インターバル・タイマ・モード時のスタート・タイミング

① TSnmビットへ1を書き込むことにより，動作許可状態（TEnmビット = 1）となります。タイマ・カウンタ・レジスタnm（TAUnTCRm）は，カウント・クロック発生まで初期値を保持しています。

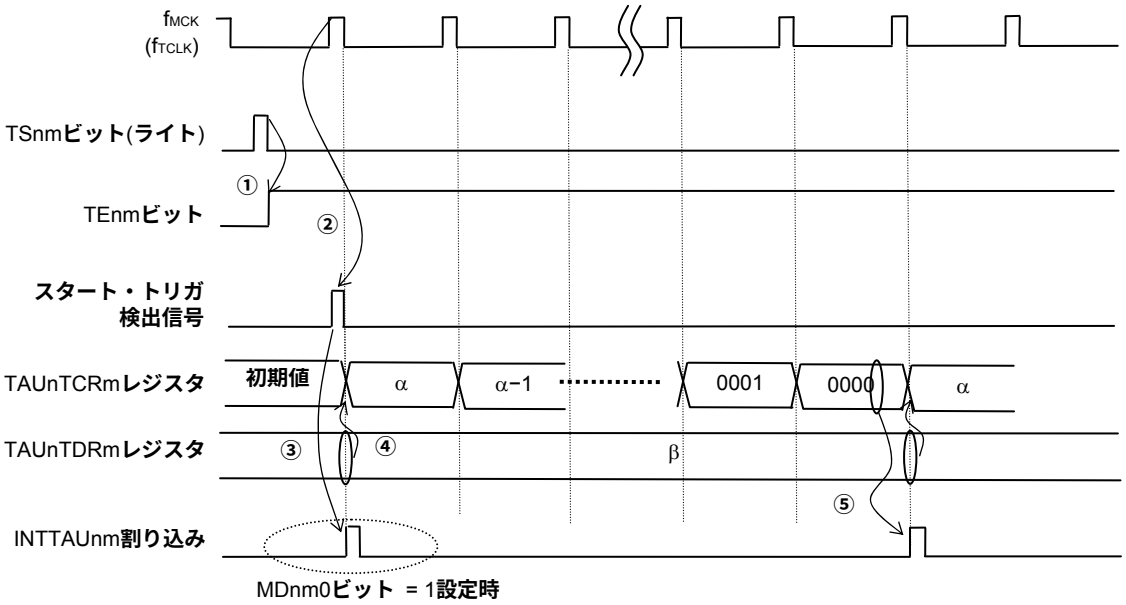
② 動作許可後の最初のカウント・クロック（= f_{MCK}）で，スタート・トリガが発生します。

③ MDnm0ビットが1に設定されている場合には，スタート・トリガにより，INTTAUnm割り込みが発生します。

④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタnm（TAUnTDRm）の値をTAUnTCRmレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。

⑤ TAUnTCRmレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（= f_{MCK}）でINTTAUnm割り込みを発生し，タイマ・データ・レジスタnm（TAUnTDRm）の値をTAUnTCRmレジスタにロードしてカウントを継続します。

図7－5　スタート・タイミング（インターバル・タイマ・モード時）



備考　f_{MCK}，スタート・トリガ検出信号，INTTAUnm割り込みは，f_{CLK}に同期して１クロック間アクティブとなります。

注意　カウント・クロックの1周期目の動作はTSnmビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDnm0ビット = 1に設定することで，カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

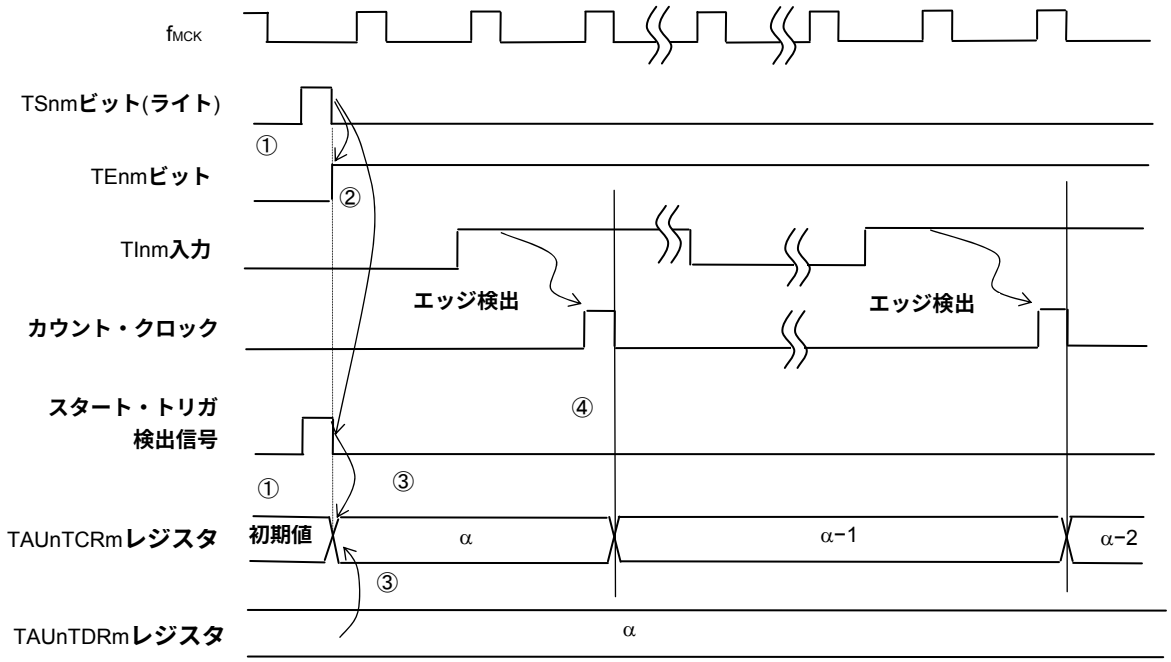
① 動作停止状態（TEnmビット = 0）の期間，タイマ・カウンタ・レジスタnm（TAUnTCRm）は，初期値を保持します。

② TSnmビットへ1を書き込むことにより，動作許可状態（TEnmビット = 1）となります。

③ TSnmビット = 1→TEnmビット = 1と同時に，TAUnTCRmレジスタにタイマ・データ・レジスタnm（TAUnTDRm）の値をロードし，カウントを開始します。

④ 以降はTInm入力の有効エッジでのカウント・クロックに従い，TAUnTCRmレジスタの値をダウン・カウントします。

図7−6　スタート・タイミング（イベント・カウンタ・モード時）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTInm入力からさらにf_{MCK}の2周期分（合計で3〜4周期分）遅くなります。

(c) キャプチャ・モード時のスタート・タイミング

① TSnmビットへ1を書き込むことにより，動作許可状態（TEnmビット = 1）となります。

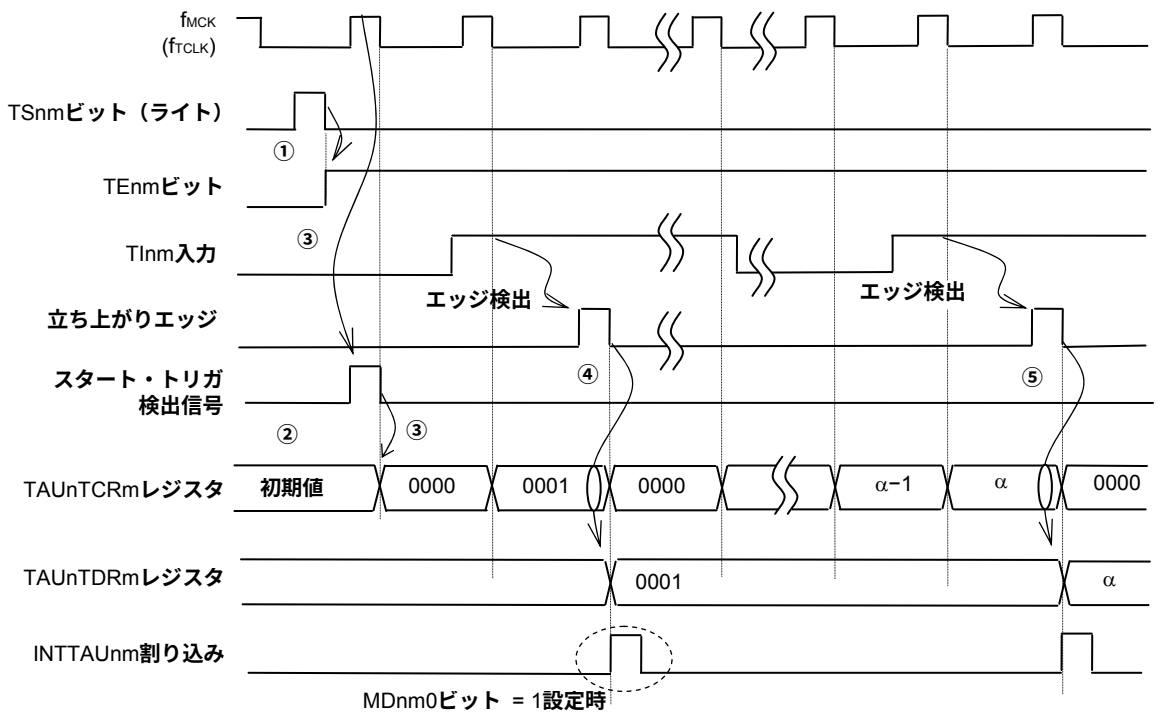
② タイマ・カウンタ・レジスタnm（TAUnTCRm）は，カウント・クロック発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロック（= f_{MCK}）で，スタート・トリガが発生します。そして0000Hの値をTAUnTCRmレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDnm0ビットが1に設定されている場合には，スタート・トリガにより，INTTAUnmが発生します。）

④ TInm入力の有効エッジを検出すると，TAUnTCRmレジスタの値をTAUnTDRmレジスタにキャプチャし，INTTAUnm割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TAUnTCRmレジスタは0000Hからカウントを継続します。

⑤ 次のTInm入力の有効エッジを検出すると，TAUnTCRmレジスタの値をTAUnTDRmレジスタにキャプチャし，INTTAUnm割り込みが発生します。

図7－7　スタート・タイミング（キャプチャ・モード時）



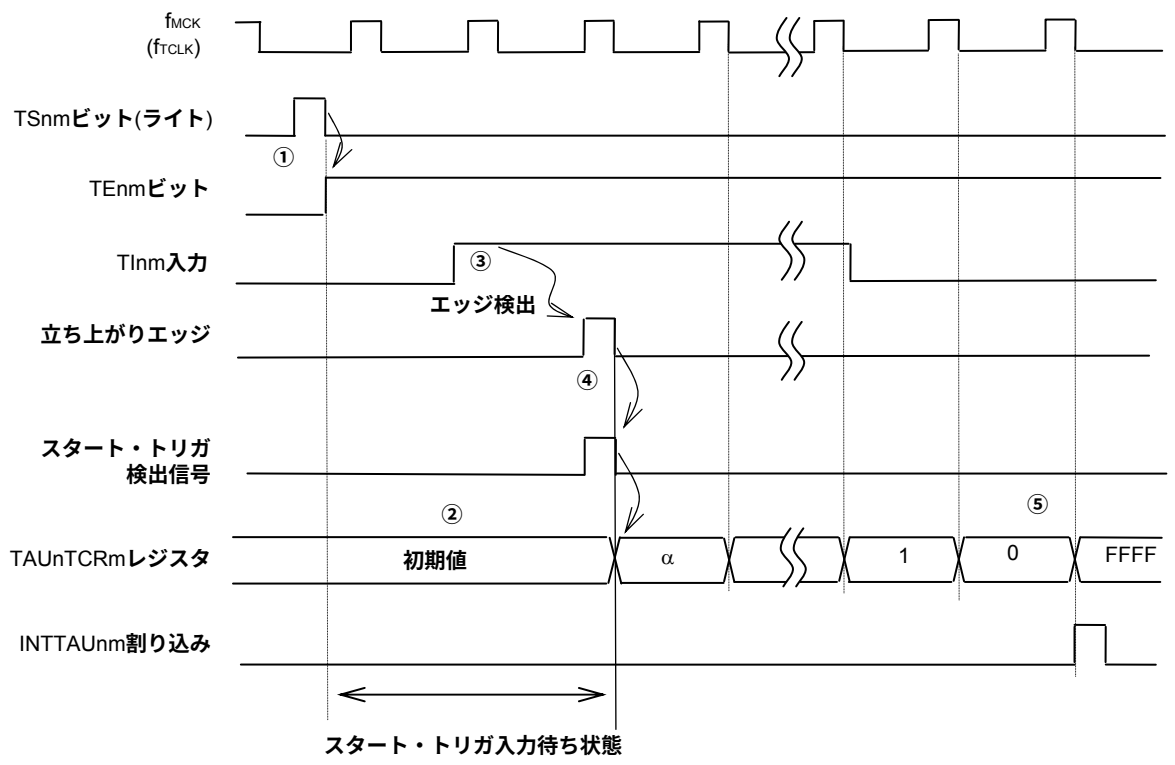
備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTInm入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。
カウントの開始とTInm入力のタイミングが非同期のため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とは全く関係のない値となるので，無視してください。

注意　カウント・クロックの1周期目の動作はTSnmビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDnm0ビット = 1に設定することで，カウント開始時に割り込みを発生させることができます。

(d) ワンカウント・モード時のスタート・タイミング

① TSnmビットへ1を書き込むことにより，動作許可状態（TEnmビット = 1）となります。
② タイマ・カウンタ・レジスタnm（TAUnTCRm）は，スタート・トリガ発生まで初期値を保持しています。
③ TInm入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TAUnTDRmレジスタの値（α）をTAUnTCRmレジスタにロードし，カウントを開始します。
⑤ TAUnTCRmレジスタがカウント・ダウンしてカウント値が0000Hになると，INTTAUnm割り込みを発生し，TAUnTCRmレジスタはFFFFHで停止します。

図7－8　スタート・タイミング（ワンカウント・モード時）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTInm入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTInm入力とカウント・クロック（fMCK）が非同期なためです。

(e) キャプチャ&ワンカウント・モード時のスタート・タイミング（ハイ・レベル幅測定時の動作）

① タイマ・チャネル開始レジスタn（TAUnTS）のTSnmビットに1を書き込むことにより，動作許可状態（TEnmビット = 1）となります。

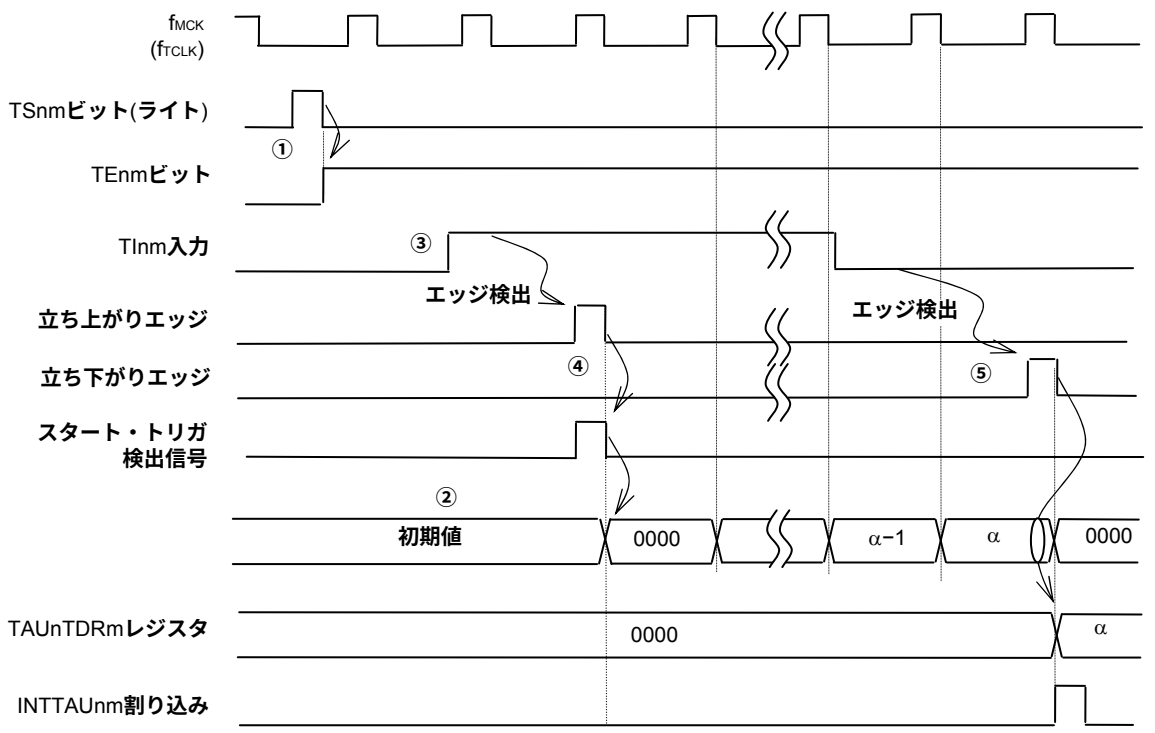
② タイマ・カウンタ・レジスタnm（TAUnTCRm）は，スタート・トリガ発生まで初期値を保持します。

③ TInm入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000HをTAUnTCRmレジスタにロードし，カウントを開始します。

⑤ TInm入力の立ち下がりエッジを検出すると，TAUnTCRmレジスタの値をTAUnTDRmレジスタにキャプチャし，INTTAUnm割り込みが発生します。

図7－9　スタート・タイミング（キャプチャ&ワンカウント・モード時）

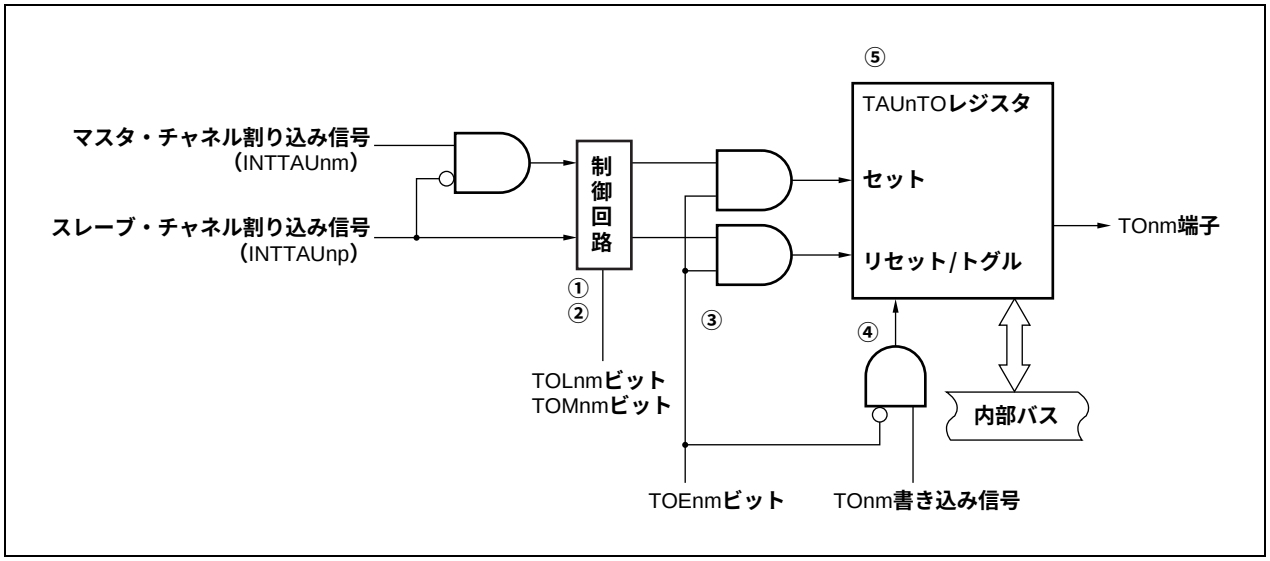


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTInm入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。

7. 6 チャネル出力（TOnm端子）の制御

7. 6. 1 TOnm端子の出力回路の構成

図7－10 出力回路構成図



TOnm端子の出力回路の説明を次に示します。

① TOMnmビット = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタn（TAUnTOL）の設定値は無視され，INTTAUnp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタn（TAUnTO）に伝えられます。

② TOMnmビット = 1（スレーブ・チャネル出力モード）のときは，INTTAUnm（マスタ・チャネル・タイマ割り込み）とINTTAUnp（スレーブ・チャネル・タイマ割り込み）がTAUnTOレジスタに伝えられます。
このとき，TAUnTOLレジスタが有効となり，次のように信号を制御します。

TOLnmビット = 0の場合 ：正転動作（INTTAUnm→セット，INTTAUnp→リセット）
TOLnmビット = 1の場合 ：反転動作（INTTAUnm→リセット，INTTAUnp→セット）

また，INTTAUnmとINTTAUnpが同時に発生した場合（PWM出力の0%出力時）は，INTTAUnp（リセット信号）が優先され，INTTAUnm（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEnmビット = 1）で，INTTAUnm（マスタ・チャネル・タイマ割り込み）とINTTAUnp（スレーブ・チャネル・タイマ割り込み）がTAUnTOレジスタに伝えられます。TAUnTOレジスタへの書き込み（TOnmビット・ライト信号）は無効となります。
また，TOEnmビット = 1のとき，割り込み信号以外でTOnm端子の出力が変化することはありません。TOnm端子の出力レベルを初期化する場合は，タイマ動作停止（TOEnm = 0）に設定しTAUnTOレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEnmビット = 0）で，対象チャネルのTOnmビットへの書き込み（TOnmライト信号）が有効となります。タイマ出力禁止状態（TOEnmビット = 0）のとき，INTTAUnm（マスタ・チャネル・タイマ割り込み）とINTTAUnp（スレーブ・チャネル・タイマ割り込み）はTAUnTOレジスタに伝えられません。

⑤ TAUnTOレジスタは常に読み出し可能であり，TOnm端子の出力レベルを確認することができます。

（備考は次ページにあります。）

備考　n：ユニット番号（n = 0-2）

m：チャネル番号

m = 0-7（マスタ・チャネル時：m = 0, 2, 4, 6）

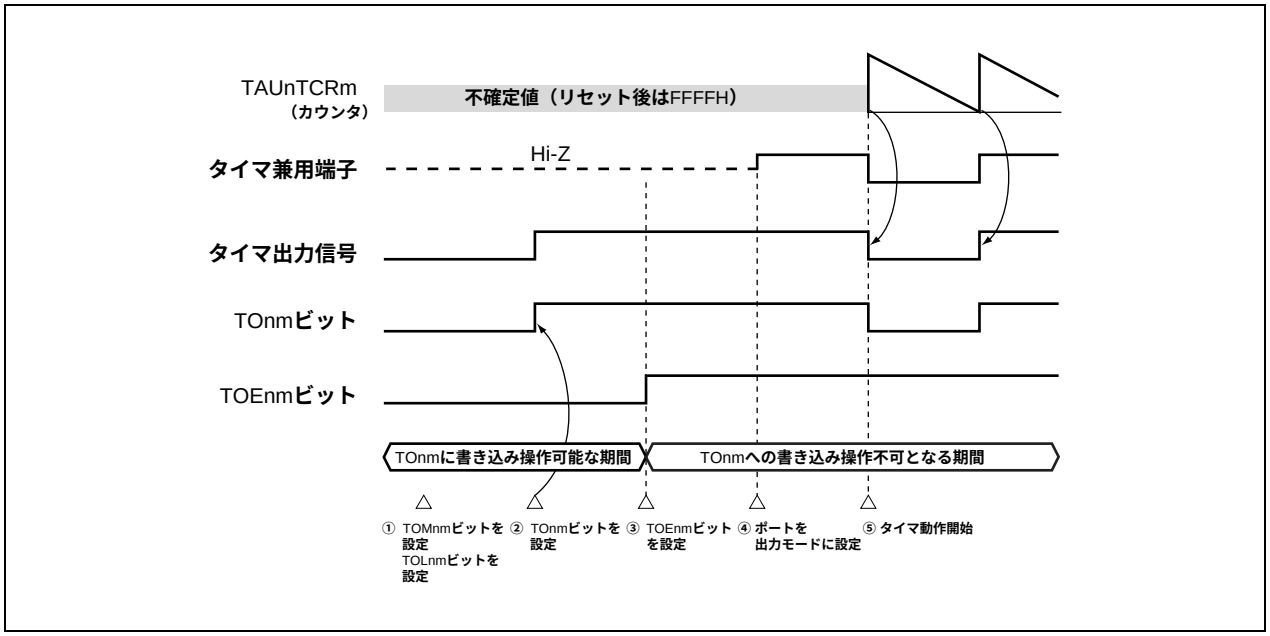
p：スレーブ・チャネル番号

m＜p≦7

7. 6. 2　TOnm端子の出力設定

TOnm出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7－11　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMnmビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）
- TOLnmビット（0：正論理出力，1：負論理出力）

② タイマ出力レジスタn（TAUnTO）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEnmビットに1を書き込み，タイマ出力動作を許可します（TAUnTOレジスタへの書き込みは不可となります）。

④ ポート設定をします（第4章　ポート機能参照）。

⑤ タイマを動作許可にします（TSnmビット = 1）。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7. 6. 3　チャネル出力操作時の注意事項

（1）タイマ動作中のTAUnTO, TAUnTOE, TAUnTOL, TAUnTOM**レジスタの設定値変更について**

タイマ動作（タイマ・カウンタ・レジスタnm（TAUnTCRm）,**タイマ・データ・レジスタ**nm（TAUnTDRm）**の動作）は，**TOnm**出力回路とは独立しています。よって，タイマ出力レジスタ**n（TAUnTO），**タイマ出力許可レジスタ**n（TAUnTOE），**タイマ出力レベル・レジスタ**n（TAUnTOL），**タイマ出力モード・レジスタ**m（TAUnTOM）**の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形を**TOnm**端子から出力するためには，**7.7，7.8**節で示す各動作のレジスタ設定内容例の値に設定してください。**

各チャネルのタイマ割り込み（INTTAUnm**）近辺で，**TAUnTO**レジスタを除く**TAUnTOE**レジスタ，**TAUnTOL**レジスタ，**TAUnTOM**レジスタの設定値変更を行うと，タイマ割り込み（**INTTAUnm**）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（**INTTAUnm**）信号発生タイミング直後に設定値変更が実施された場合とでは，**TOnm**端子に出力される波形が異なる場合があります。**

備考　n：**ユニット番号（**n = 0-2**），**m：**チャネル番号（**m = 0-7**）**

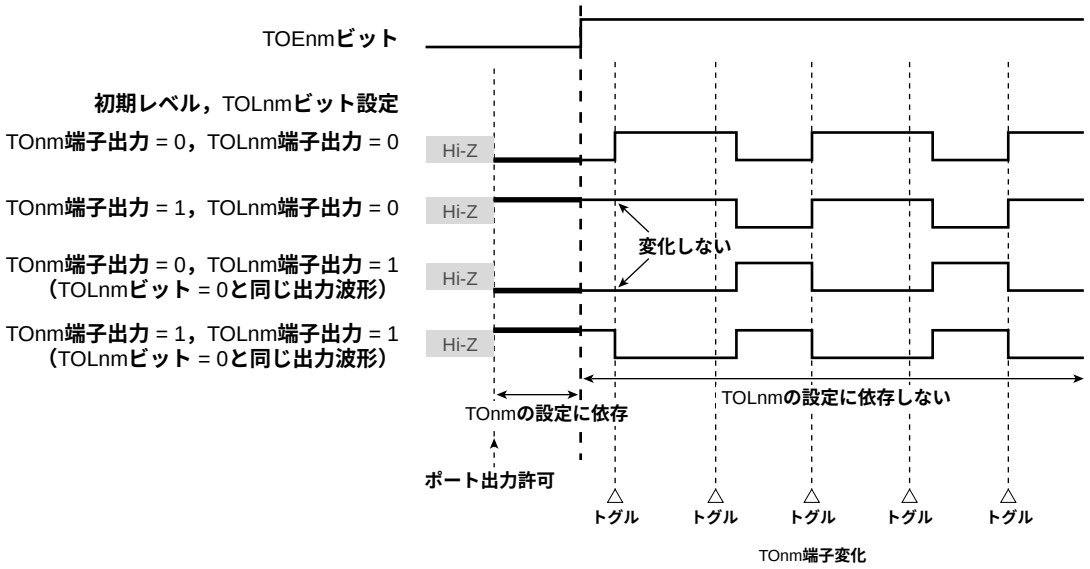
(2) TOnm端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEnmビット = 0）の状態でタイマ出力レジスタn（TAUnTO）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEnmビット = 1）に設定した場合のTOnm端子出力レベルの変化を次に示します。

(a) マスタ・チャネル出力モード（TOMnmビット = 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMnmビット = 0）の時，タイマ出力レベル・レジスタn（TAUnTOL）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOnm端子の出力レベルを反転します。

図7－12　トグル出力時（TOMnmビット = 0）のTOnm端子出力状態



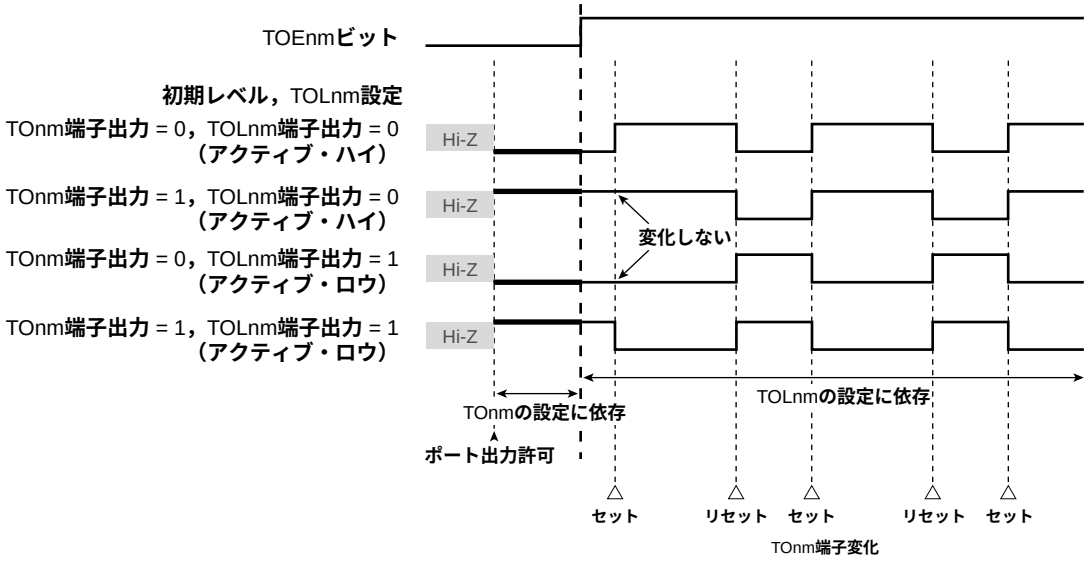
備考1.　トグル：TOnm端子の出力状態を反転

2.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(b) スレーブ・チャネル出力モード（TOMnmビット = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMnmビット = 1）の時，タイマ出力レベル・レジスタn（TAUnTOL）の設定によりアクティブ・レベルを決定します。

図7ー13　PWM出力時（TOMnmビット = 1）のTOnm端子出力状態



備考1.　**セット**　：TOnm端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOnm端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

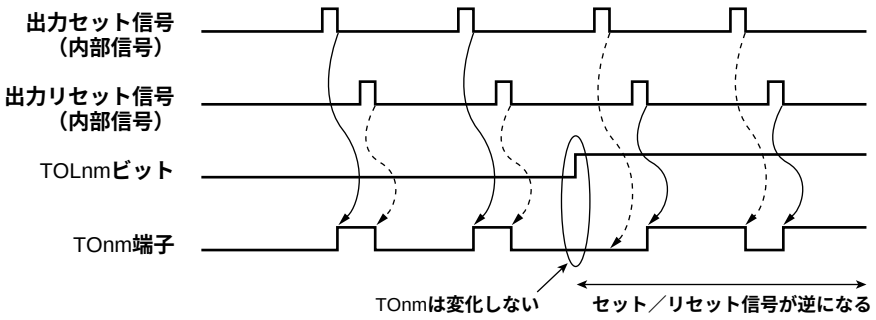
(3) TOnm端子のスレーブ・チャネル出力モード（TOMnmビット = 1）での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタn（TAUnTOL）の設定を変更した場合

タイマ動作中にTAUnTOLレジスタの設定を変更した場合，設定が有効となるのはTOnm端子変化条件の発生タイミングです。TAUnTOLレジスタの書き換えでは，TOnm端子の出力レベルは変化しません。

TOMnmビット = 1で，タイマ動作中（TEnmビット = 1）にTAUnTOLレジスタの値を変更した場合の動作を次に示します。

図7－14　タイマ動作中にTAUnTOLレジスタを変更した場合の動作



備考1.　セット　：TOnm端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化
　　リセット　：TOnm端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化
　2.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

(b) セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTAUnm）発生時のTOnm端子/TOnmビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図7－15に示します。

マスタ・チャネル　：TOEnmビット = 1, TOMnmビット = 0, TOLnmビット = 0

スレーブ・チャネル：TOEnpビット = 1, TOMnpビット = 1, TOLnpビット = 0

備考 n：ユニット番号（n = 0-2）

m：チャネル番号

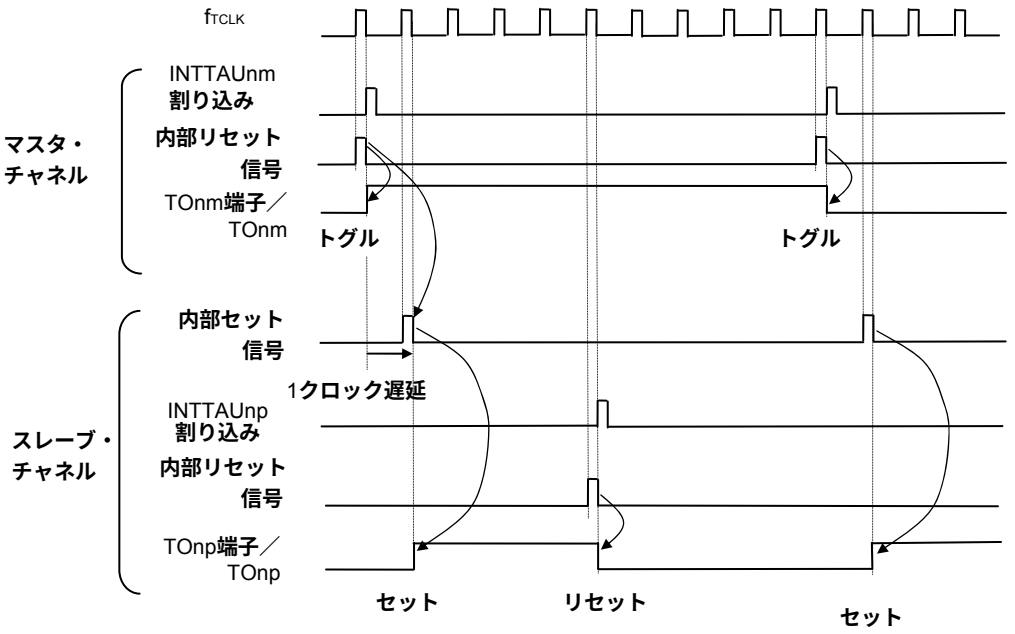
m = 0-7（マスタ・チャネル時：m = 0, 2, 4, 6）

p：スレーブ・チャネル番号

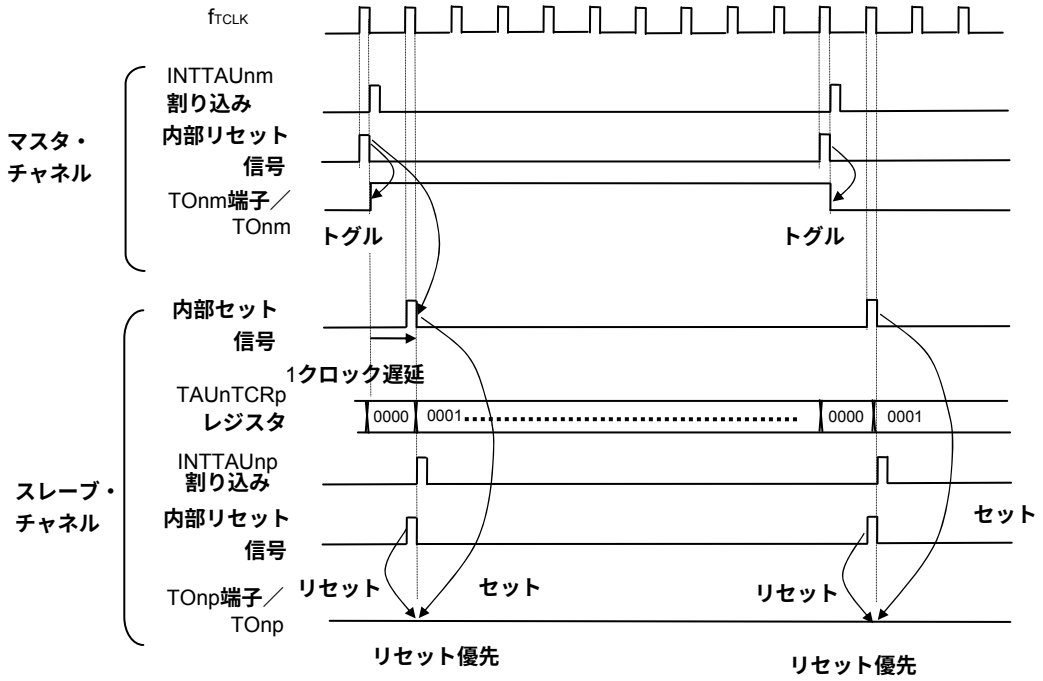
m＜p≦7

図7－15　セット／リセット・タイミング動作状態

（1）基本動作タイミング



（2）0 %デューティ時の動作タイミング



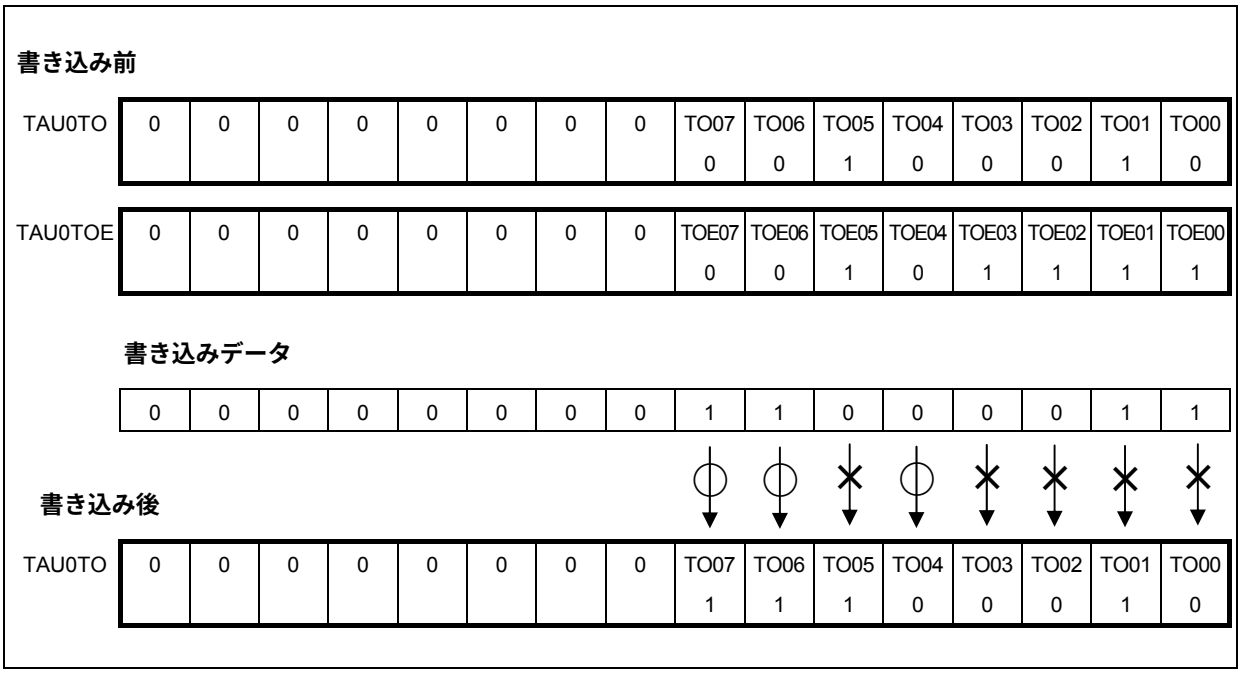
備考1.　内部リセット信号：TOnm端子のリセット／トグル信号
　　内部セット信号　：TOnm端子のセット信号

2.　n：ユニット番号（n = 0-2）
　　m：チャネル番号
　　m = 0-7（マスタ・チャネル時：m = 0, 2, 4, 6）
　　p：スレーブ・チャネル番号
　　m＜p≦7

7. 6. 4　TOnmビットの一括操作

タイマ出力レジスタn（TAUnTO）には，タイマ・チャネル開始レジスタn（TAUnTS）と同様に，1レジスタに全チャネル分の設定ビット（TOnm）が配置されています。よって，全チャネルのTOnmビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOnm）のみTOnmビットへの書き込み可能（TOEnmレジスタ = 0）とすることによって任意のビットのみ操作することが可能です。

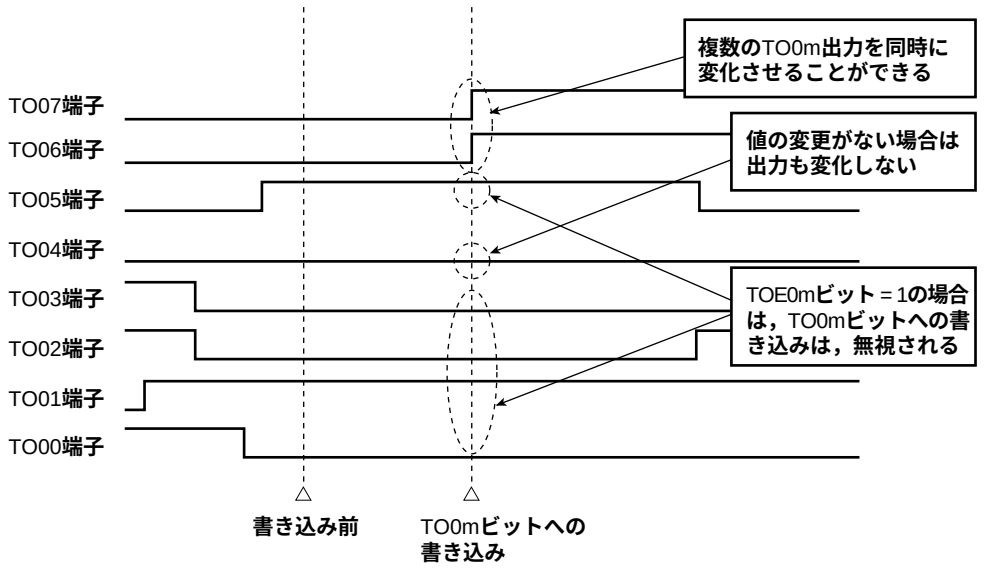
図7－16　TO0mビットの一括操作例



TOEnmビット = 0のTOnmビットのみ書き込みが行われます。TOEnmビット = 1のTOnmビットへの書き込みは無視されます。

TOEnmビット = 1に設定されているTOnm（チャネル出力）は，書き込み操作による影響は受けません。TOnmビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図7－17　TO0mビットの一括操作によるTO0mの端子状態



注意　タイマ出力許可状態（TOEnmビット ＝ 1）において，各チャネルのタイマ割り込み（INTTAUnm）による出力とTOnmビットへの書き込みが競合しても，TOnm端子は正常に出力動作が行われます。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7. 6. 5　カウント動作開始時のタイマ割り込みとTOnm端子出力について

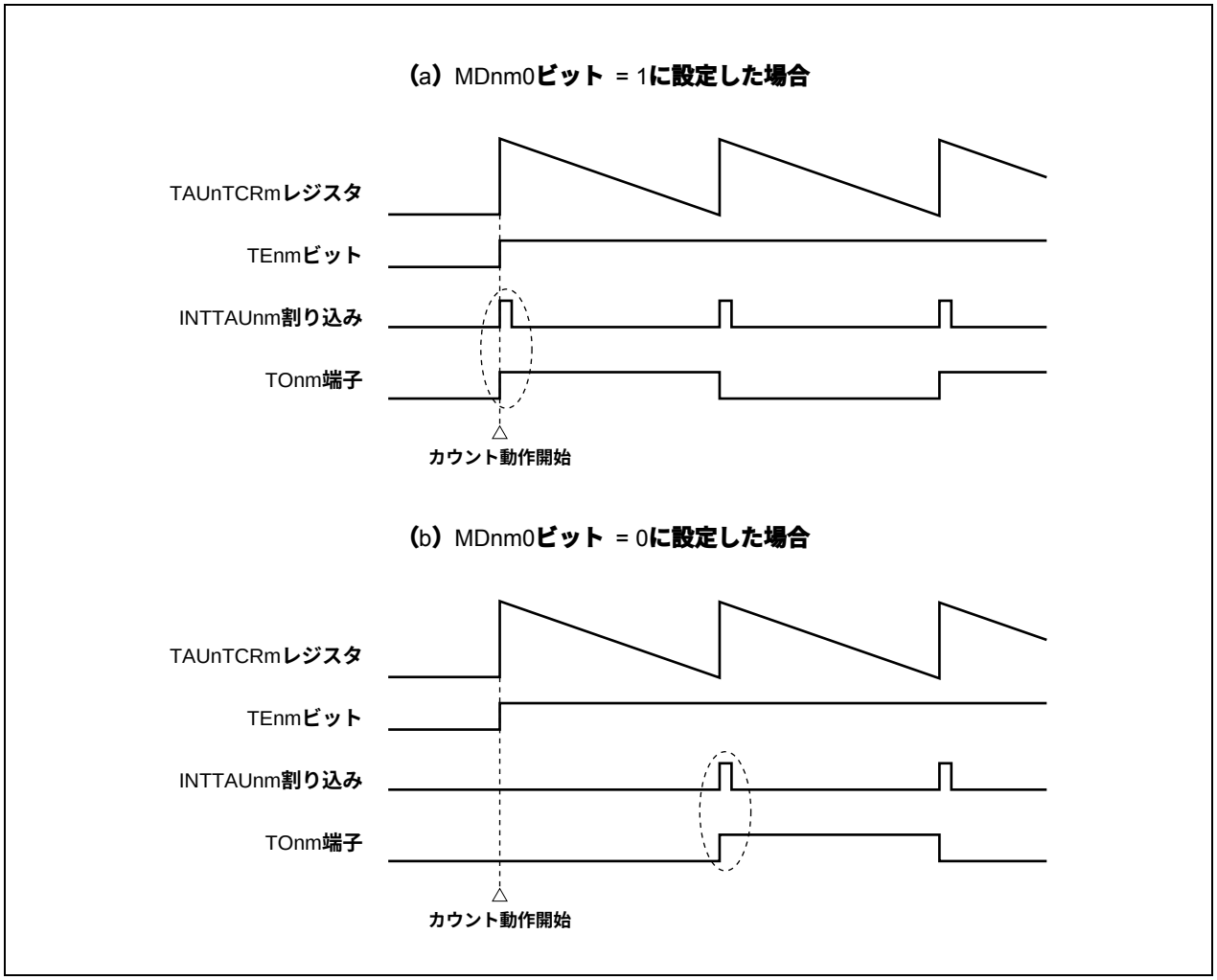
インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタnm（TAUnTMRm）のMDnm0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDnm0 = 1に設定することで，タイマ割り込み（INTTAUnm）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOnm出力は制御しません。

インターバル・タイマ・モード（TOEnmビット = 1, TOMnmビット = 0）に設定した場合の動作例を次に示します。

図7－18　カウント動作開始時のタイマ割り込み，TOnm出力の動作例



MDnm0ビット = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTAUnm）が出力され，TOnm端子がトグル動作します。

MDnm0ビット = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTAUnm）を出力しません。TOnm端子も変化しません。1周期をカウント後，INTTAUnm割り込みを出力し，TOnm端子がトグル動作します。

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7.7　タイマ・アレイ・ユニットの単独チャネル動作機能

7.7.1　インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTAUnm（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTAUnm（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TAUnTDRm）の設定値＋1）

(2) 方形波出力としての動作

TOnmは，INTTAUnm発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOnm出力波形の周期と周波数は，次の式で求めることができます。

・TOnmからの出力方形波の周期 ＝ カウント・クロックの周期×（TAUnTDRmの設定値＋1）×2
・TOnmからの出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TAUnTDRmの設定値＋1）×2｝

タイマ・カウンタ・レジスタnm（TAUnTCRm）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタn（TAUnTS）のチャネル・スタート・トリガ・ビット（TSnm）に1を設定後，最初のカウント・クロックでTAUnTCRmレジスタはタイマ・データ・レジスタnm（TAUnTDRm）の値をロードします。このときタイマ・モード・レジスタnm（TAUnTMRm）のMDnm0ビット ＝ 0ならば，INTTAUnm割り込みを出力せず，TOnm端子はトグルしません。TAUnTMRmレジスタのMDnm0ビット ＝ 1ならば，INTTAUnm割り込みを出力して，TOnm端子をトグルします。

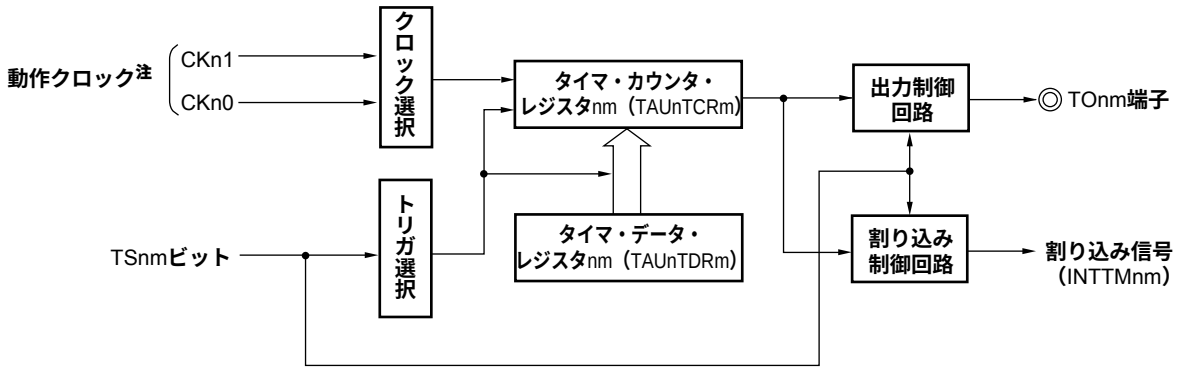
その後，TAUnTCRmレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TAUnTCRmレジスタ ＝ 0000Hとなったら，次のカウント・クロックでINTTAUnm割り込みを出力しTOnm端子をトグルします。また，同タイミングで再びTAUnTCRmレジスタはTAUnTDRmレジスタの値をロードします。以降，同様の動作を継続します。

TAUnTDRmレジスタは任意のタイミングで書き換えることができます。書き換えたTAUnTDRmレジスタの値は，次の周期から有効となります。

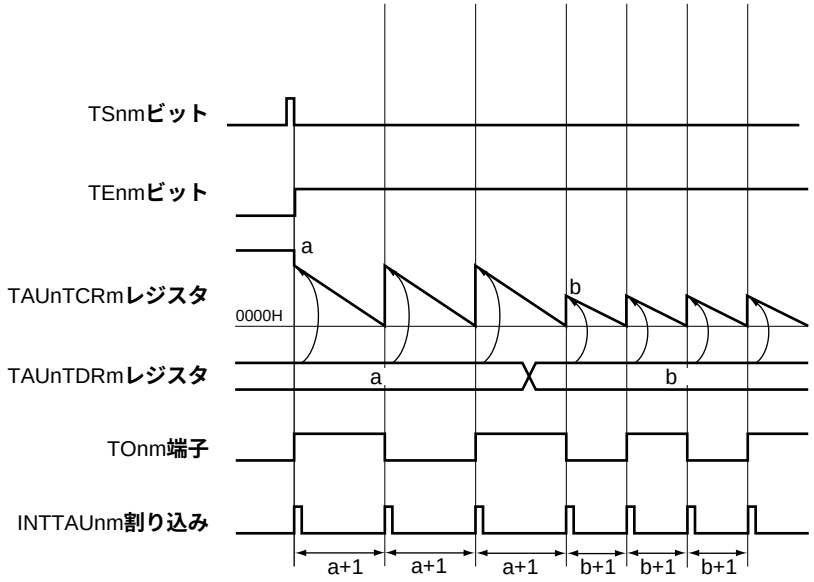
備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－19　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は，CKn0, CKn1, CKn2, CKn3からクロックを選択できます。

図7－20　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDnm0ビット = 1）



備考1.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

2.　TSnm　：タイマ・チャネル開始レジスタn（TAUnTS）のビットm

TEnm　：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビットm

TAUnTCRm　：タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTDRm　：タイマ・データ・レジスタnm（TAUnTDRm）

TOnm　：TOnm端子出力信号

図7－21　インターバル・タイマ／方形波出力時のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	Master nm注	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	1/0	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0

チャネルmの動作モード
000B:インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTAUnm発生せず，タイマ出力反転せず
1：カウント開始時にINTTAUnm発生し，タイマ出力反転する

TInm端子入力のエッジ選択
00B:使用しないので00を設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択
01B：チャネル1, 3の動作クロックにCKn2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKn3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm 1/0

0：TOnm端子より0を出力する
1：TOnm端子より1を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn TOE	TOEnm 1/0

0：カウント動作によるTOnm端子出力動作停止
1：カウント動作によるTOnm端子出力動作許可

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn TOL	TOLnm 0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn TOM	TOMnm 0

0：マスタ・チャネル出力モードを設定

注　TAUnTMR0, TAUnTMR1, TAUnTMR3, TAUnTMR5, TAUnTMR7の場合　：0固定

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－22　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1（チャネル1, 3は，CKn0, CKn1, CKn2, CKn3）のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタnm（TAUnTMRm）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタnm（TAUnTDRm）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	TOnm出力を使用する場合， タイマ出力モード・レジスタn（TAUnTOM）のTOMnmビットに0（マスタ・チャネル出力モード）を設定する TOLnmビットに0を設定する TOnmビットを設定し，TOnm端子出力の初期レベルを確定する →	TOnm端子はHi-Z出力状態 TOnm端子出力初期設定レベルが出力される。
	TOEnmビットに1を設定し，TOnm端子の動作を許可 →	チャネルは動作停止状態なので，TOnm端子出力は変化しない
	ポート関係のレジスタを設定する →	TOnm端子はTOnm設定レベルを出力
動作開始	（TOnm出力を使用する場合で，かつ動作再開時のみTOEnmビットに1を設定する） TSnmビットに1を設定する →	TEnmビット ＝1になり，カウント動作開始
	TSnmビットはトリガ・ビットなので，自動的に0に戻る	カウント・クロック入力でタイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードする。 TAUnTMRmレジスタのMDnm0ビットが1の場合は，INTTAUnm割り込みを発生し，TOnm端子もトグル動作する。
動作中	TAUnTMRmレジスタ, TOMnm, TOLnmビットは，設定値変更禁止 TAUnTDRmレジスタは，任意に設定値変更が可能 TAUnTCRmレジスタは，常に読み出し可能 TAUnTSRmレジスタは，使用しない TAUnTO, TAUnTOEレジスタは，設定値変更可能	カウンタ（TAUnTCRm）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTAUnTCRmレジスタはTAUnTDRmレジスタの値をロードし，カウント動作を継続する。TAUnTCRmレジスタ ＝0000H検出でINTTAUnm割り込みを発生し，TOnm端子はトグル動作する。 以降，この動作を繰り返す。
動作停止	TTnmビットに1を設定する →	TEnmビット ＝0になり，カウント動作停止
	TTnmビットはトリガ・ビットなので，自動的に0に戻る	TAUnTCRmレジスタはカウント値を保持して停止 TOnm出力は初期化されず，状態保持
	TOEnmビットに0を設定し，TOnmビットに値を設定する →	TOnm端子はTOnmビットに設定したレベルを出力

動作再開

（備考は次ページにあります。）

図7－22　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
TAU 停止	TOnm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOnmビットに0を設定する ▶	TOnm端子出力レベルはポート機能により保持される。
	TOnm端子の出力レベルを保持不要の場合 設定不要	
	PERnレジスタのTAUnENビットに0を設定する ▶	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOnmビットが0になり，TOnm端子はポート機能となる）

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7.7.2　外部イベント・カウンタとしての動作

TInm端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TAUnTDRmの設定値＋1

タイマ・カウンタ・レジスタnm（TAUnTCRm）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタn（TAUnTS）の任意のチャネル・スタート・トリガ・ビット（TSnm）に1を設定することによりTAUnTCRmレジスタはタイマ・データ・レジスタnm（TAUnTDRm）の値をロードします。

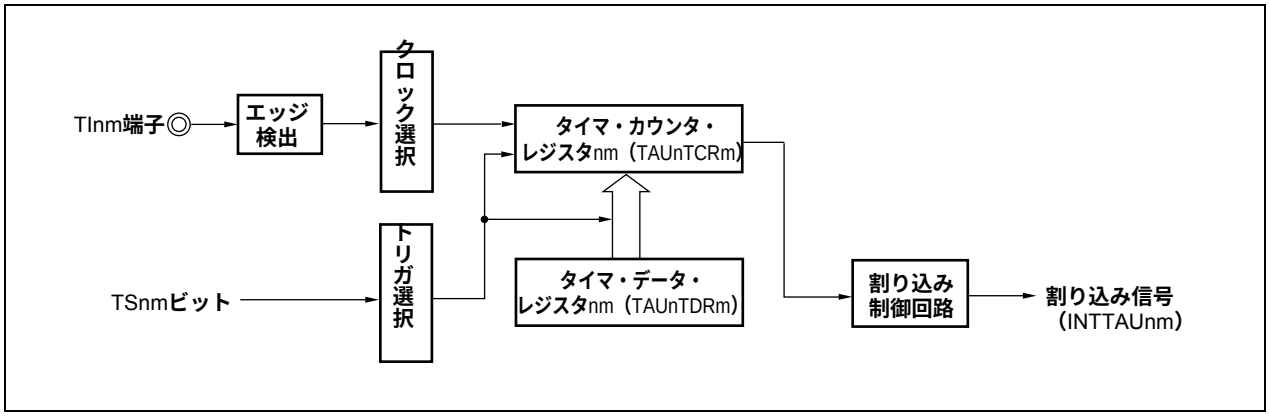
TAUnTCRmレジスタはTInm端子入力の有効エッジ検出に合わせてダウン・カウントを行い，TAUnTCRmレジスタ = 0000Hとなったら，再びTAUnTDRmレジスタの値をロードして，INTTAUnm割り込みを出力します。

以降，同様の動作を継続します。

TOnm端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタn（TAUnTOE）のTOEnmビットに0を設定して出力動作を停止するようにしてください。

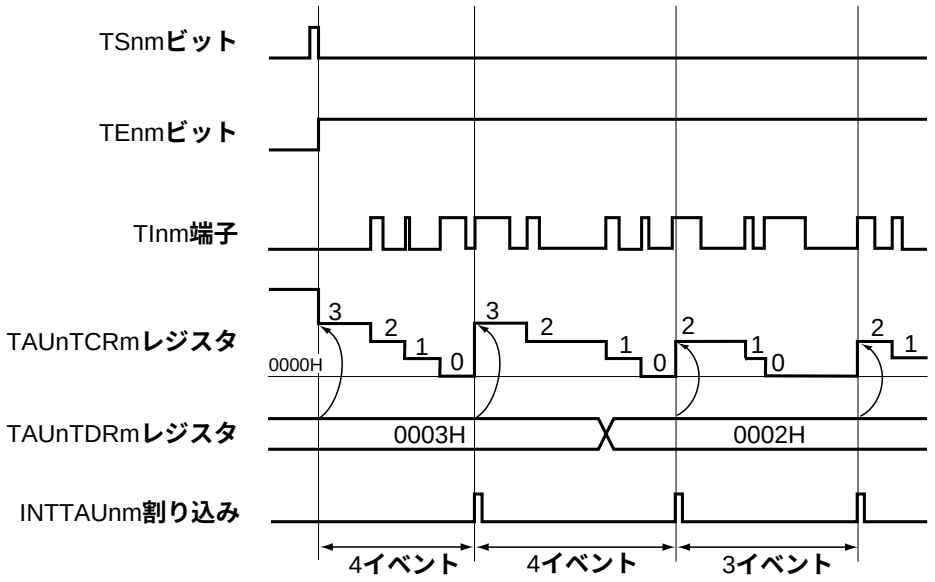
TAUnTDRmレジスタは任意のタイミングで書き換えることができます。書き換えたTAUnTDRmレジスタの値は次のカウント期間で有効になります。

図7－23　外部イベント・カウンタとしての動作のブロック図



備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－24　外部イベント・カウンタとしての動作の基本タイミング例



備考1.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

2.　TSnm　：タイマ・チャネル開始レジスタn（TAUnTS）のビットm

TEnm　：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビットm

TInm　：TInm端子入力信号

TAUnTCRm　：タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTDRm　：タイマ・データ・レジスタnm（TAUnTDRm）

図7－25　外部イベント・カウンタ・モード時のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	Master nm注	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	1/0	0	1	0	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルmの動作モード
011B：イベント・カウント・モード

カウント開始時の動作設定
0：カウント開始時にINTTAUnm割り込み発生せず，タイマ出力反転せず

TInm端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
1：TInm端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択
01B：チャネル1, 3の動作クロックにCKn2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKn3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm
	0

0：TOnmビットより0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn	TOEnm
TOE	0

0：カウント動作によるTOnm出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn	TOLnm
TOL	0

0：TOMnmビット ＝0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn	TOMnm
TOM	0

0：マスタ・チャネル出力モードを設定

注　TAUnTMR0, TAUnTMR1, TAUnTMR3, TAUnTMR5, TAUnTMR7の場合　：0固定

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－26　外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1（チャネル1, 3は，CKn0, CKn1, CKn2, CKn3）のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタnm（TAUnTMRm）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタnm（TAUnTDRm）にカウント数を設定する タイマ出力許可レジスタn（TAUnTOE）のTOEnmビットに0を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSnmビットに1を設定する → TSnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 1になり，カウント動作開始 タイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードし，TInm端子入力のエッジ検出待ち状態になる
動作中	TAUnTDRmレジスタは，任意に設定値変更が可能 TAUnTCRmレジスタは，常に読み出し可能 TAUnTSRmレジスタは，使用しない TAUnTMRmレジスタ，TOMnm，TOLnm，TOnm，TOEnmビットは，設定値変更禁止	TInm端子入力のエッジが検出されるごとに，カウンタ（TAUnTCRm）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTAUnTCRmレジスタはTAUnTDRmレジスタの値をロードし，カウント動作を継続する。 TAUnTCRm = 0000H検出でINTTAUnm割り込み出力を発生する。 以降，この動作を繰り返す。
動作停止	TTnmビットに1を設定する → TTnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 0になり，カウント動作停止 TAUnTCRmレジスタはカウント値を保持して停止
TAU停止	PERnレジスタのTAUnENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7.7.3 分周器としての動作（ユニット0のチャネル0-3のみ）

TInm端子に入力されたクロックを分周し，TOnm端子から出力する分周器として利用することができます。

TOnm出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ／立ち下がりエッジ選択時：

分周クロック周波数 = 入力クロック周波数／{（TAUnTDRmの設定値＋1）×2}

・両エッジ選択時：

分周クロック周波数　入力クロック周波数／（TAUnTDRmの設定値＋1）

タイマ・カウンタ・レジスタnm（TAUnTCRm）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TAUnTS）のチャネル・スタート・トリガ・ビット（TSnm）に1を設定後，TInm端子の有効エッジ検出でTAUnTCRmレジスタはタイマ・データ・レジスタnm（TAUnTDRm）の値をロードします。このときタイマ・モード・レジスタnm（TAUnTMRm）のMDnm0ビット = 0ならば，INTTAUnm割り込みを出力せず，TOnm端子はトグルしません。TAUnTMRmレジスタのMDnm0ビット = 1ならば，INTTAUnm割り込みを出力して，TOnm端子をトグルします。

その後，TInm端子入力の有効エッジに合わせてダウン・カウントを行い，TAUnTCRmレジスタ = 0000Hとなったら，TOnm端子をトグルします。同時にTAUnTCRmレジスタはTAUnTDRmレジスタの値をロードして，カウントを継続します。

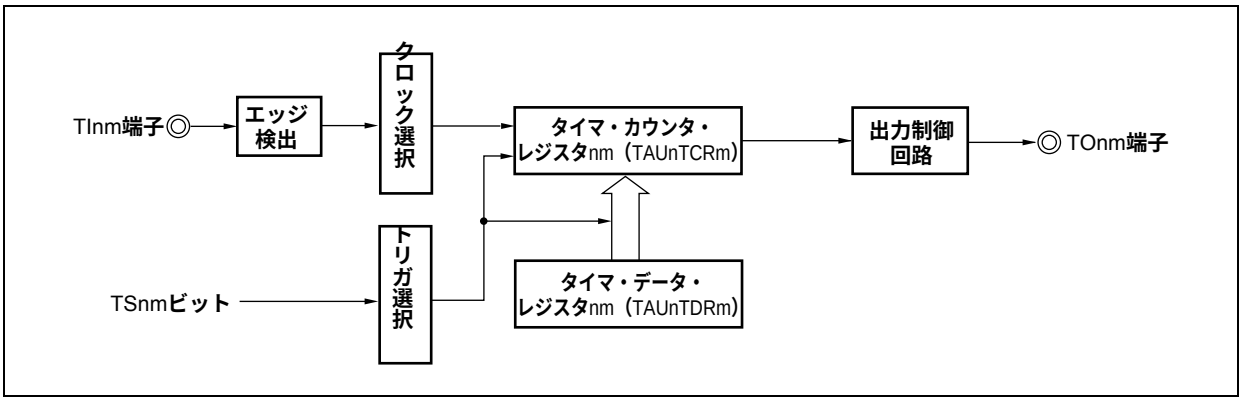
TInm端子入力の両エッジ検出を選択すると，入力クロックのデューティ誤差がTOnm端子出力の分周クロック周期に影響します。

TOnm端子の出力クロックの周期には，動作クロック1周期分のサンプリング誤差が含まれます。

TOnm端子出力のクロック周期 = 理想のTOnm出力クロック周期±動作クロック周期（誤差）

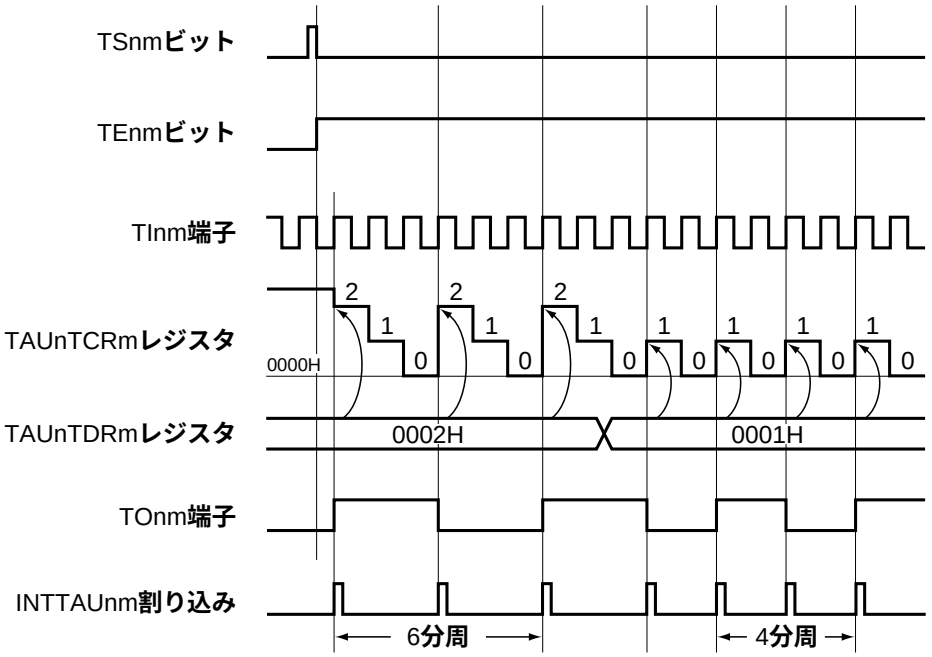
TAUnTDRmレジスタは任意のタイミングで書き換えることができます。書き換えたTAUnTDRmレジスタの値は次のカウント期間で有効となります。

図7－27 分周器としての動作のブロック図



備考 n：ユニット番号（n = 0），m：チャネル番号（m = 0-3）

図7－28　分周器としての動作の基本タイミング例（MDnm0 = 1）



備考1.　n：ユニット番号（n = 0），m：チャネル番号（m = 0-3）

2.　TSnm　：タイマ・チャネル開始レジスタn（TAUnTS）のビット0

TEnm　：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビット0

TInm　：TInm端子入力信号

TAUnTCRm　：タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTDRm　：タイマ・データ・レジスタnm（TAUnTDRm）

TOnm　：TOnm端子出力信号

図7－29 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	Master nm注	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	0	0	1	0	0	0	0	1/0	1/0	0	0	0	0	0	1/0

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTAUnm割り込み発生せず，タイマ出力反転せず
1：カウント開始時にINTTAUnm割り込み発生し，タイマ出力反転する

TInm端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
1：TInm端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択
01B：チャネル1, 3の動作クロックにCKn2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKn3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタn（TAUnTO）

	ビットn
TAUn	TOnm
TO	1/0

0：TOnm端子より0を出力する
1：TOnm端子より1を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットn
TAUn	TOEnm
TOE	1/0

0：カウント動作によるTOnm出力動作停止
1：カウント動作によるTOnm出力動作許可

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットn
TAUn	TOLnm
TOL	0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットn
TAUn	TOMnm
TOM	0

0：マスタ・チャネル出力モードを設定

注 TAUnTMR0, TAUnTMR1, TAUnTMR3の場合 ：0固定

備考 n：ユニット番号（n = 0），m：チャネル番号（m = 0-3）

図7－30　分周器機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1（チャネル1, 3は，CKn0, CKn1, CKn2, CKn3）のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタnm（TAUnTMRm）を設定する（チャネルの動作モード確定，検出エッジの選択） タイマ・データ・レジスタnm（TAUnTDRm）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	タイマ出力モード・レジスタn（TAUnTOM）のTOMnmビットに0（マスタ・チャネル出力モード）を設定する TOLnmビットに0を設定する TOnmビットを設定し，Tonm端子出力の初期レベルを確定する →	TOnm端子はHi-Z出力状態 TOnm初期設定レベルが出力される。
	TOEnmビットに1を設定し，TOnm端子の動作を許可 →	チャネルは動作停止状態なので，TOnmは変化しない
	ポート関係のレジスタを設定する →	TOnm端子はTOnm設定レベルを出力
動作開始	TOEnmビットに1を設定する（動作再開時のみ） TSnmビットに1を設定する → TSnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードする。 TAUnTMRmレジスタのMDnm0ビットが1の場合は，INTTAUnm割り込みを発生し，TOnm端子もトグル動作する。
動作中	TAUnTDRmレジスタは，任意に設定値変更が可能 TAUnTCRmレジスタは，常に読み出し可能 TAUnTSRmレジスタは，使用しない TAUnTO, TAUnTOEレジスタは，設定値変更可能 TAUnTMRmレジスタ, TOMnm, TOLnmビットは，設定値変更禁止	カウンタ（TAUnTCRm）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTAUnTCRmレジスタはTAUnTDRmレジスタの値をロードし，カウント動作を継続する。TAUnTCRm = 0000H検出でINTTAUnm割り込みを発生し，TOnm端子はトグル動作する。 以降，この動作を繰り返す。
動作停止	TTnmビットに1を設定する → TTnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 0になり，カウント動作停止 TAUnTCRmレジスタはカウント値を保持して停止 TOnm端子出力は初期化されず，状態保持
	TOEnmビットに0を設定し，TOnmビットに値を設定する →	TOnm端子はTOnm設定レベルを出力
TAU停止	TOnm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOnmビットに0を設定する → TOnm端子の出力レベルを保持不要の場合 設定不要	TOnm端子出力レベルはポート機能により保持される。
	PERnレジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOnmビットが0になり，TOnm端子はポート機能となる）

動作再開

備考　n：ユニット番号（n = 0），m：チャネル番号（m = 0-3）

7.7.4 入力パルス間隔測定としての動作

TInm有効エッジでカウント値をキャプチャし，TInm入力パルスの間隔を測定することができます。

パルス間隔は次の式で求めることができます。

TInm入力パルス間隔 = カウント・クロックの周期×（（10000H×TAUnTSRm:OVF）＋（TAUnTDRmのキャプチャ値＋1））

注意 TInm端子入力は，タイマ・モード・レジスタnm（TAUnTMRm）のCKSnmビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ･レジスタnm（TAUnTCRm）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタn（TAUnTS）のチャネル・スタート・トリガ・ビット（TSnm）に1を設定するとTAUnTCRmレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TInm端子入力の有効エッジを検出すると，TAUnTCRmレジスタのカウント値をタイマ・データ・レジスタnm（TAUnTDRm）に転送（キャプチャ）すると同時に，TAUnTCRmレジスタを0000Hにクリアして，INTTAUnm割り込みを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタnm（TAUnTSRm）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

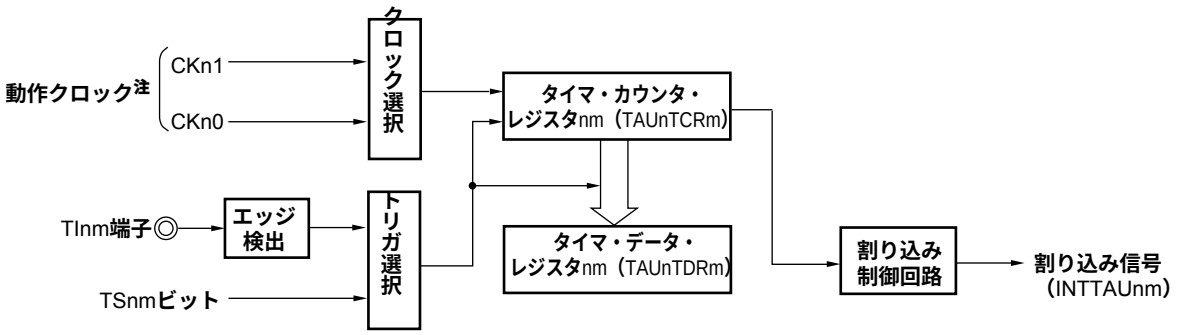
カウント値がTAUnTDRmレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TAUnTSRmレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TAUnTSRmレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TAUnTMRmレジスタのSTSnm2-STSnm0ビット = 001Bに設定して，TInm有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEnmビット = 1のときは，TInm端子入力を使用せずに，ソフトウエア操作（TSnmビット = 1）をキャプチャ・トリガにすることもできます。

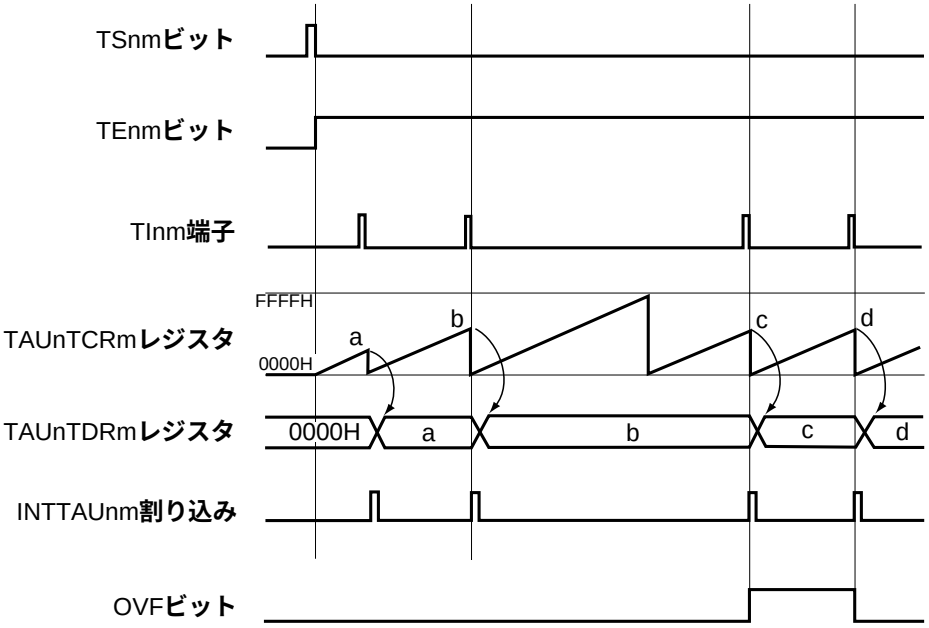
図7－31 入力パルス間隔測定としての動作のブロック図



注 チャネル1, 3の場合は，CKn0, CKn1, CKn2, CKn3からクロックを選択できます。

備考 n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－32　入力パルス間隔測定としての動作の基本タイミング例（MDnm0 = 0）



備考1.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

2.　TSnm　：タイマ・チャネル開始レジスタn（TAUnTS）のビットm

TEnm　：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビットm

TInm　：TInm端子入力信号

TAUnTCRm　：タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTDRm　：タイマ・データ・レジスタnm（TAUnTDRm）

OVF　：タイマ・ステータス・レジスタnm（TAUnTSRm）のビット0

図7－33　入力パルス間隔測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	Master nm注	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルmの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTAUnm割り込み発生しない
1：カウント開始時にINTTAUnm割り込み発生する

TInm端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TInm端子入力の有効エッジを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択
01B：チャネル1, 3の動作クロックにCKn2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKn3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm
	0

0：TOnm端子より0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn	TOEnm
TOE	0

0：カウント動作によるTOnm端子出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn	TOLnm
TOL	0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn	TOMnm
TOM	0

0：マスタ・チャネル出力モードを設定

注　TAUnTMR0, TAUnTMR1, TAUnTMR3, TAUnTMR5, TAUnTMR7の場合　：0固定

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－34　入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタnのTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1（チャネル1, 3は，CKn0, CKn1, CKn2, CKn3）のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタnm（TAUnTMRm）を設定する（チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSnmビットに1を設定する → TSnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット ＝1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタnm（TAUnTCRm）を0000Hにクリアする。TAUnTMRmレジスタのMDnm0ビットが1の場合は，INTTAUnmを発生する。
動作中	TAUnTMRmレジスタは，CISnm1, CISnm0ビットのみ設定値変更可能 TAUnTDRmレジスタは，常に読み出し可能 TAUnTCRmレジスタは，常に読み出し可能 TAUnTSRmレジスタは，常に読み出し可能 TOMnm, TOLnm, TOnm, TOEnmビットは，設定値変更禁止	カウンタ（TAUnTCRm）は0000Hからアップ・カウント動作を行い，TInm端子入力の有効エッジが検出されたら，カウント値をタイマ・データ・レジスタnm（TAUnTDRm）に転送（キャプチャ）する。同時に，TAUnTCRmレジスタを0000Hにクリアし，INTTAUnmを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタnm（TAUnTSRm）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTnmビットに1を設定する → TTnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット ＝0になり，カウント動作停止 TAUnTCRmレジスタはカウント値を保持して停止 TAUnTSRmレジスタのOVFビットも保持
TAU停止	PERnレジスタのTAUnENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7.7.5 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は，TAU2入力選択レジスタ（TAU2TINSEL）の各ビットを1に設定してください。また，以降の説明では「TInm」を「RXDxx」と読み替えてください。

備考 xx = 00, 01, 10, 11, 20, 40, 50, S00

TInm端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TInmの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TInmの信号幅は次の式で求めることができます。

TInm入力の信号幅 = カウント・クロックの周期×（（10000H×TAUnTSRm:OVF）＋（TAUnTDRmのキャプチャ値＋1））

注意 TInm端子入力は，タイマ・モード・レジスタnm（TAUnTMRm）のCKSnmビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタnm（TAUnTCRm）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタn（TAUnTS）のチャネル・スタート・トリガ・ビット（TSnm）に1を設定すると，TEnmビット = 1となりTInm端子のスタート・エッジ検出待ち状態となります。

TInm端子入力のスタート・エッジ（ハイ・レベル幅測定ならTInm端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTInm端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタnm（TAUnTDRm）に転送すると同時にINTTAUnmを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタnm（TAUnTSRm）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TAUnTCRmレジスタは，「TAUnTDRmレジスタに転送した値＋1」の値で停止し，TInm端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTAUnTDRmレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TAUnTSRmレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

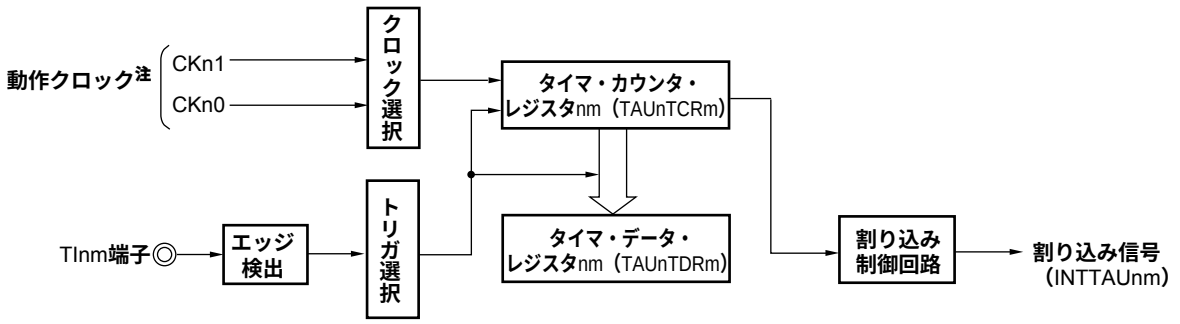
カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TAUnTSRmレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TInm端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは，TAUnTMRmレジスタのCISnm1, CISnm0ビットにて設定することができます。

この機能は，TInm端子入力の信号幅測定を目的とするため，TEnmビット = 1期間中のTSnmビットのセット（1）は使用できません。

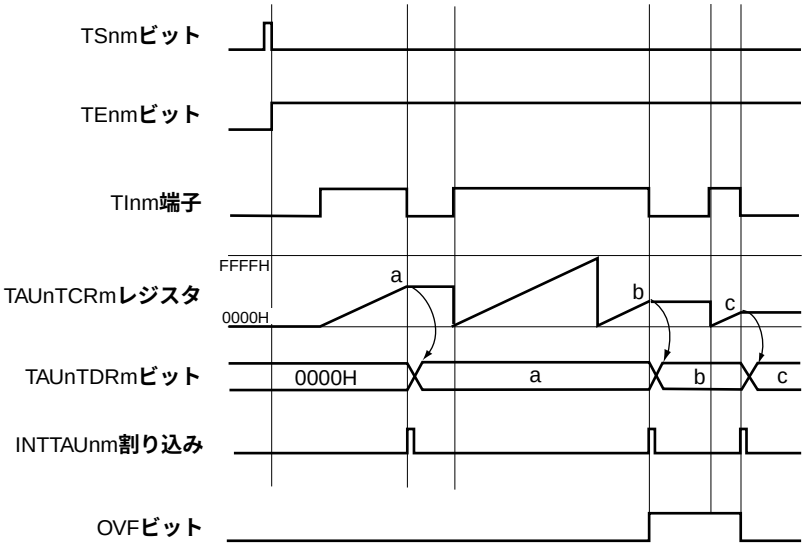
TAUnTMRmレジスタのCISnm1, CISnm0 = 10B：ロウ・レベル幅を測定する
TAUnTMRmレジスタのCISnm1, CISnm0 = 11B：ハイ・レベル幅を測定する

図7－35　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



注　チャネル1, 3の場合は，CKn0, CKn1, CKn2, CKn3からクロックを選択できます。

図7－36　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

2.　TSnm　：タイマ・チャネル開始レジスタn（TAUnTS）のビットm

TEnm　：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビットm

TInm　：TInm端子入力信号

TAUnTCRm　：タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTDRm　：タイマ・データ・レジスタnm（TAUnTDRm）

OVF　：タイマ・ステータス・レジスタnm（TAUnTSRm）のビット0

図7－37　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSn0	Master nm注	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	0	0	0	0	0	1	0	1	1/0	0	0	1	1	0	0

チャネルmの動作モード
110B：キャプチャ＆ワンカウント

カウント開始時の動作設定
0：カウント開始時にINTTAUnm割り込み発生しない

TInm端子入力のエッジ選択
10B：両エッジ選択（ロウ幅測定）
11B：両エッジ選択（ハイ幅測定）

スタート・トリガ選択
010B：TInm端子入力の有効エッジを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択
01B：チャネル1, 3の動作クロックにCKn2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKn3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm
	0

0：TOnm端子より0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn	TOEnm
TOE	0

0：カウント動作によるTOnm出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn	TOLnm
TOL	0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn	TOMnm
TOM	0

0：マスタ・チャネル出力モードを設定

注　TAUnTMR0, TAUnTMR1, TAUnTMR3, TAUnTMR5, TAUnTMR7の場合　：0固定

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－38　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1（チャネル1, 3は，CKn0, CKn1, CKn2, CKn3）のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタnm（TAUnTMRm）を設定する（チャネルの動作モード確定） TOEnmビットに0を設定し，TOnm端子の動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSnmビットに1を設定する → TSnmビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 1になり，TInm端子のスタート・エッジ検出待ち状態になる
	TInm端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタnm（TAUnTCRm）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TAUnTDRmレジスタは，任意に設定値変更が可能 TAUnTCRmレジスタは，常に読み出し可能 TAUnTSRmレジスタは，使用しない TAUnTMRmレジスタ，TOMnm，TOLnm，TOnm，TOEnmビットは，設定値変更禁止	TInm端子のスタート・エッジ検出後，カウンタ（TAUnTCRm）は0000Hからアップ・カウント動作を行う。 TInm端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタnm（TAUnTDRm）に転送し，INTTAUnm割り込みを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタnm（TAUnTSRm）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TAUnTCRmレジスタは，次のTInm端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTnmビットに1を設定する → TTnmビットはトリガ・ビットなので，自動的に0に戻る	TEnm = 0になり，カウント動作停止 TAUnTCRmレジスタはカウント値を保持して停止 TAUnTSRmレジスタのOVFビットも保持
TAU停止	PERnレジスタのTAUnENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7.7.6 ディレイ・カウンタとしての動作

TInm端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔でINTTAUnm（タイマ割り込み）を発生することができます。

また，TEnmビット = 1の期間中に，ソフトウエアでTSnmビット = 1に設定してダウン・カウントをスタートし，任意の設定間隔でINTTAUnm（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求める事ができます。

INTTAUnm（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TAUnTDRmの設定値＋1）

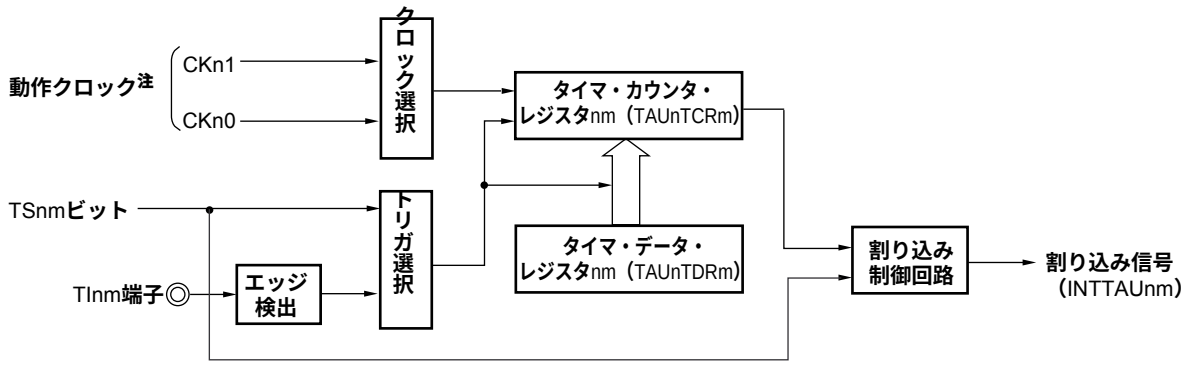
タイマ・カウンタ・レジスタnm（TAUnTCRm）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタn（TAUnTS）のチャネル・スタート・トリガ・ビット（TSnm）に1を設定すると，TEnmビット = 1となりTInm端子の有効エッジ検出待ち状態となります。

TAUnTCRmレジスタは，TInm端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタnm（TAUnTDRm）から値をロードします。TAUnTCRmレジスタはロードしたTAUnTDRmレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TAUnTCRm = 0000HとなったらINTTAUnmを出力し，次のTInm端子入力の有効エッジがあるまで，カウントを停止します。

TAUnTDRmレジスタは任意のタイミングで書き換えることができます。書き換えたTAUnTDRmレジスタの値は，次の周期から有効となります。

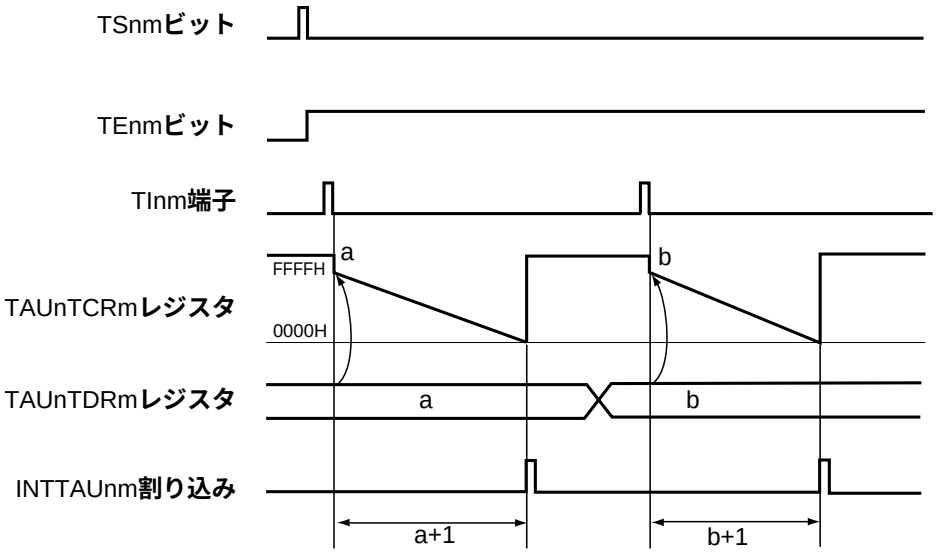
図7－39 ディレイ・カウンタとしての動作のブロック図



注 チャネル1, 3の場合は，CKn0, CKn1, CKn2, CKn3からクロックを選択できます。

備考 n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－40　ディレイ・カウンタとしての動作の基本タイミング例



備考1.　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

2.　TSnm　：タイマ・チャネル開始レジスタn（TAUnTS）のビットm

TEnm　：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビットm

TInm　：TInm端子入力信号

TAUnTCRm　：タイマ・カウンタ・レジスタnm（TAUnTCRm）

TAUnTDRm　：タイマ・データ・レジスタnm（TAUnTDRm）

図7－41　ディレイ・カウンタ機能時のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TMRm	CKSnm1 1/0	CKSnm0 1/0	0	CCSnm 0	Master nm注 0	STSnm2 0	STSnm1 0	STSnm0 1	CISnm1 1/0	CISnm0 1/0	0	0	MDnm3 1	MDnm2 0	MDnm1 0	MDnm0 1/0

チャネルmの動作モード
100B:ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TInm端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TInm端子入力の有効エッジを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択
01B：チャネル1, 3の動作クロックにCKn2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKn3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm 0

0：TOnm端子より0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn TOE	TOEnm 0

0：カウント動作によるTOnm出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn TOL	TOLnm 0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn TOM	TOMnm 0

0：マスタ・チャネル出力モードを設定

注　TAUnTMR0, TAUnTMR1, TAUnTMR3, TAUnTMR5, TAUnTMR7の場合　：0固定

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

図7－42　ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1（チャネル1, 3は，CKn0, CKn1, CKn2, CKn3）のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタnm（TAUnTMRm）を設定する（チャネルmの動作モード確定） タイマ・データ・レジスタnm（TAUnTDRm）に遅延時間を設定する TOEnmビットに0を設定し，TOnm端子の動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSnmビットに1を設定する →	TEnmビット = 1になり，TInm端子入力の有効エッジ検出待ち状態になる
	TSnmビットはトリガ・ビットなので，自動的に0に戻る	
	TInm端子入力の有効エッジ検出 →	タイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードする。
動作中	TAUnTDRmレジスタは，任意に設定値変更が可能 TAUnTCRmレジスタは，常に読み出し可能 TAUnTSRmレジスタは，使用しない	カウンタ（TAUnTCRm）はダウン・カウント動作を行う。 TAUnTCRmレジスタ = 0000Hまでカウントしたら INTTAUnm出力を発生し，次のTInm端子入力までTAUnTCRmレジスタ = 0000Hでカウント動作を停止する。
動作停止	TTnmビットに1を設定する →	TEnmビット = 0になり，カウント動作停止 TAUnTCRmレジスタはカウント値を保持して停止
TAU停止	PERnレジスタのTAUnENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：ユニット番号（n = 0-2），m：チャネル番号（m = 0-7）

7.8　タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.8.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TInm端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝ {TAUnTDRm（マスタ）の設定値＋2} ×カウント・クロック周期
パルス幅 ＝ {TAUnTDRp（スレーブ）の設定値} ×カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタnm（TAUnTCRm）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタnm（TAUnTDRm）から値をロードします。TAUnTCRmレジスタはロードしたTAUnTDRmレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TAUnTCRmレジスタ ＝ 0000Hとなったら INTTAUnm割り込みを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

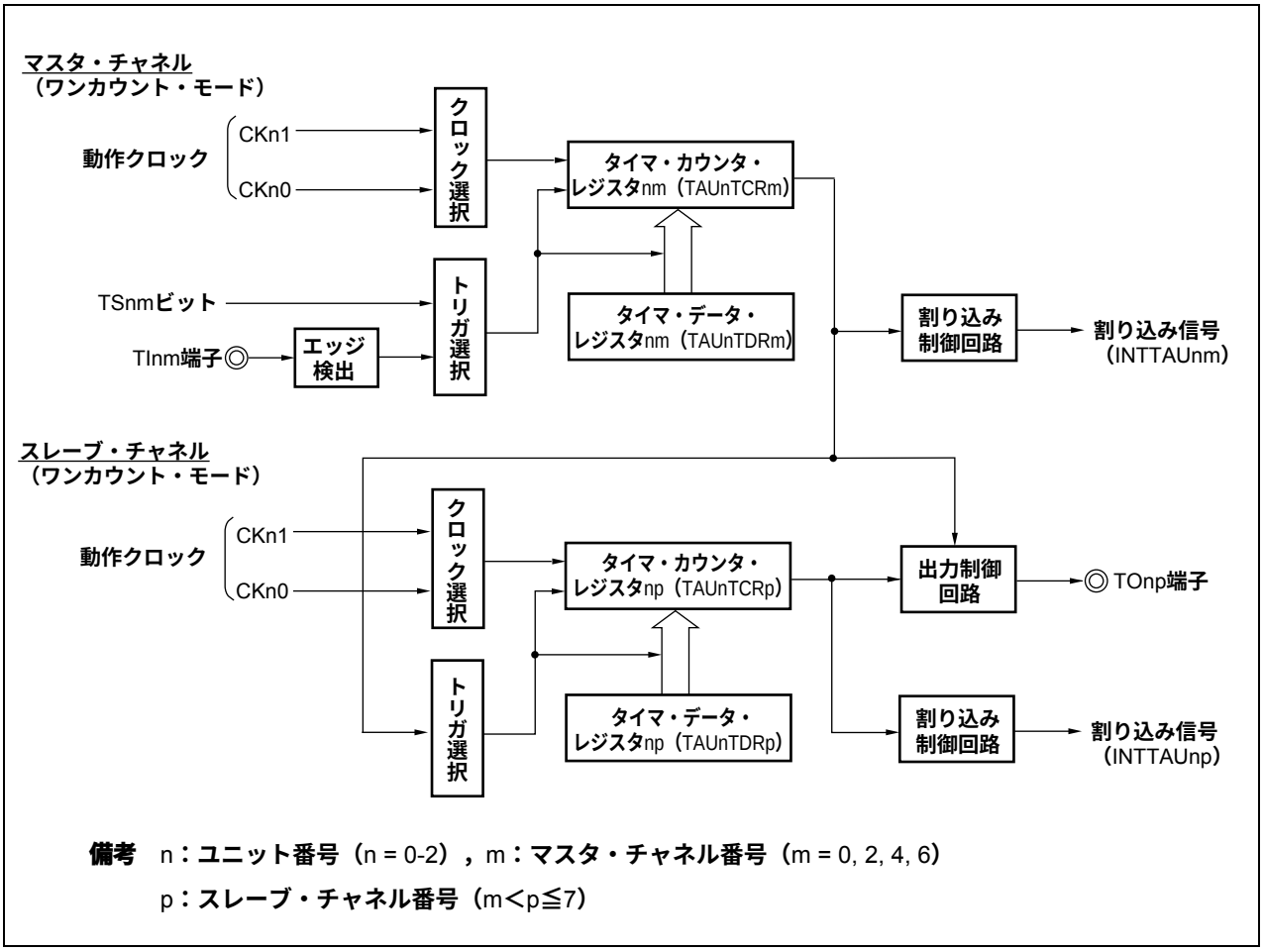
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTAUnTCRpレジスタは，マスタ・チャネルのINTTAUnm割り込みをスタート・トリガとして動作を開始し，TAUnTDRpレジスタから値をロードします。TAUnTCRpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 ＝ 0000Hとなったら INTTAUnp割り込みを出力して，次のスタート・トリガ（マスタ・チャネルのINTTAUnm）検出があるまで，カウントを停止します。TOnp端子の出力レベルは，マスタ・チャネルのINTTAUnm割り込み発生から1カウント・クロック経過後にアクティブ・レベルとなり，TAUnTCRpレジスタ ＝ 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TInm端子入力を使用せず，ソフトウエア操作（TSnmビット ＝ 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタnm（TAUnTDRm）とスレーブ・チャネルのTAUnTDRpレジスタでは，ロード・タイミングが異なるため，動作中にTAUnTDRmレジスタ，TAUnTDRpレジスタを書き換えると不正波形が出力されます。TAUnTDRmレジスタはINTTAUnm発生後に，TAUnTDRpレジスタはINTTAUnp発生後に書き換えてください。

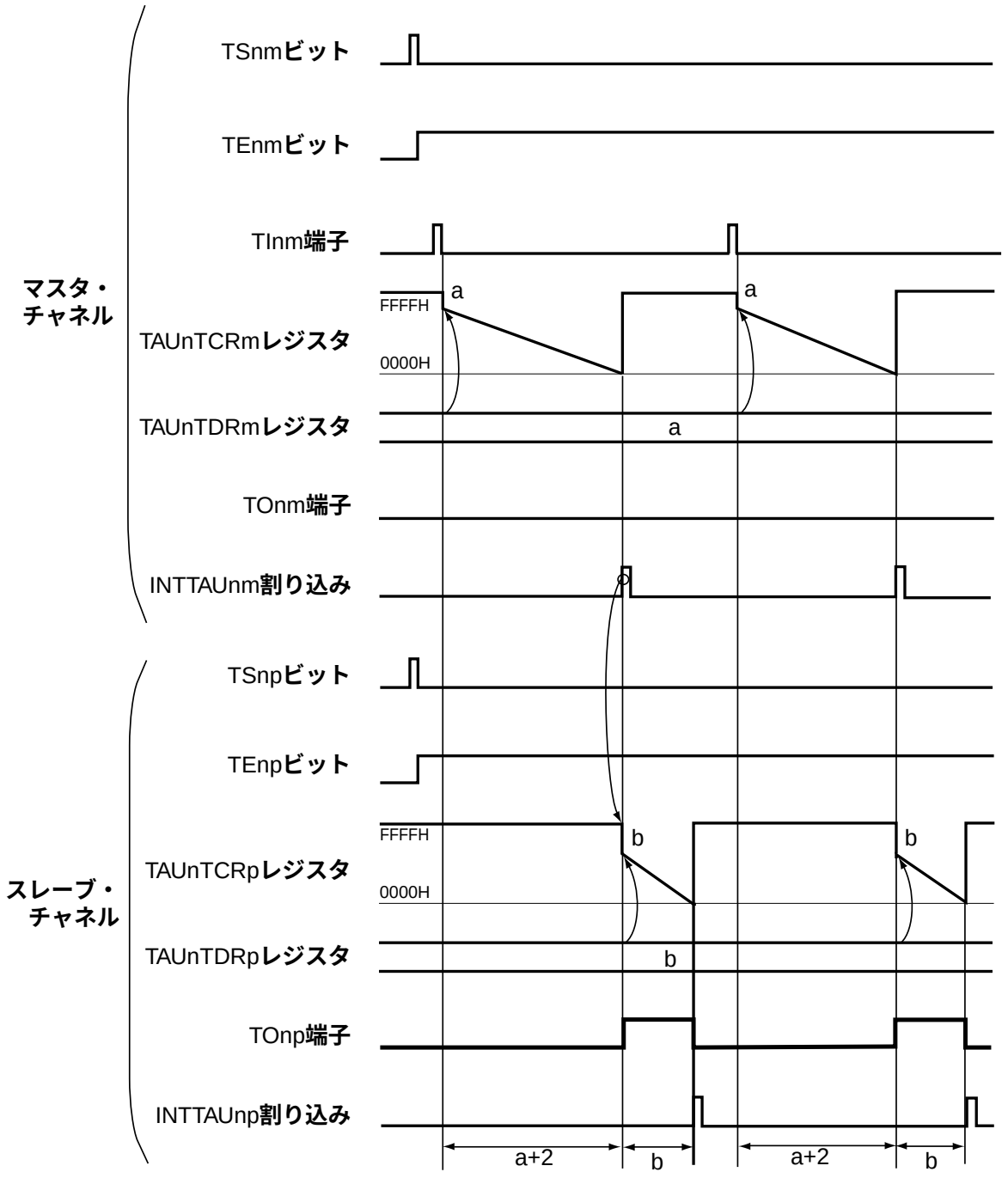
備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

図7－43　ワンショット・パルス出力機能としての動作のブロック図



備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

図7－44　ワンショット・パルス出力機能としての動作の基本タイミング例



備考1.　n：**ユニット番号**（n = 0-2），m：**マスタ・チャネル番号**（m = 0, 2, 4, 6）
　　p：**スレーブ・チャネル番号**（m＜p≦7）

2.　TSnm, TSnp　：**タイマ・チャネル開始レジスタ**n（TAUnTS）**のビット**m, p
　　TEnm, TEnp　：**タイマ・チャネル許可ステータス・レジスタ**n（TAUnTE）**のビット**m, p
　　TInm, TInp　：TInm, TInp**端子入力信号**
　　TAUnTCRm, TAUnTCRp　：**タイマ・カウンタ・レジスタ**nm, np（TAUnTCRm, TAUnTCRp）
　　TAUnTDRm, TAUnTDRp　：**タイマ・データ・レジスタ**nm, np（TAUnTDRm, TAUnTDRp）
　　TOnm, TOnp　：TOnm, TOnp**端子出力信号**

図7－45 ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	MAS TERnm	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	0	0	0	1	0	0	1	1/0	1/0	0	0	1	0	0	0

チャネルmの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TInm端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TInm入力の有効エッジを選択

スレーブ／マスタの選択
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm
	0

0：TOnm端子より0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn	TOEnm
TOE	0

0：カウント動作によるTOnm端子出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn	TOLnm
TOL	0

0：TOMnmビット ＝0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn	TOMnm
TOM	0

0：マスタ・チャネル出力モードを設定

備考 n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）

図7－46　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタnp（TAUnTMRp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnp1	CKSnp0		CCSnp		STSnp2	STSnp1	STSnp0	CISnp1	CISnp0			MDnp3	MDnp2	MDnp1	MDnp0
TMRp	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0

チャネルpの動作モード
100B：**ワンカウント・モード**

動作中のスタート・トリガ
0：**トリガ入力は無効**

TInp**端子入力のエッジ選択**
00B：**使用しないので**00B**を設定**

スタート・トリガ選択
100B：**マスタ・チャネルの**INTTAUnm**割り込みを選択**

カウント・クロック選択
0：**動作クロック（**f_{MCK}**）を選択**

動作クロック（f_{MCK}**）の選択**
00B：**チャネル**p**の動作クロックに**CKn0**を選択**
10B：**チャネル**p**の動作クロックに**CKn1**を選択**
※**マスタ・チャネルと同一設定にする**

(b) タイマ出力レジスタn（TAUnTO）

	ビットp
TAUnTO	TOnp
	1/0

0：TOnp**端子より**0**を出力する**
1：TOnp**端子より**1**を出力する**

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットp
TAUn	TOEnp
TOE	1/0

0：**カウント動作による**TOnp**端子出力動作停止**
1：**カウント動作による**TOnp**端子出力動作許可**

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットp
TAUn	TOLnp
TOL	1/0

0：**正論理出力（アクティブ・ハイ）**
1：**負論理出力（アクティブ・ロウ）**

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットp
TAUn	TOMnp
TOM	1

1：**スレーブ・チャネル出力モードを設定**

備考　n：**ユニット番号**（n = 0-2），m：**マスタ・チャネル番号**（m = 0, 2, 4, 6）
p：**スレーブ・チャネル番号**（m＜p≦7）

図7－47　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタnm, np（TAUnTMRm, TAUnTMRp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタnm（TAUnTDRm）に出力遅延時間，スレーブ・チャネルのTAUnTDRpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタn（TAUnTOM）のTOMnpビットに1（スレーブ・チャネル出力モード）を設定する TOLnpビットを設定する TOnpビットを設定し，TOnp端子出力の初期レベルを確定する →	TOnp端子はHi-Z出力状態 TOnp端子初期設定レベルが出力される。
	TOEnpビットに1を設定し，TOnp端子の動作を許可 →	チャネルは動作停止状態なので，TOnp端子は変化しない
	ポート関係のレジスタを設定する →	TOnp端子はTOnp設定レベルを出力

（注，備考は次ページにあります。）

図7－47　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEnp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタn（TAUnTS）のTSnm（マスタ），TSnp（スレーブ）ビットに同時に1を設定する TSnm, TSnpビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 1, TEnpビット = 1となり，マスタ・チャネルはTInm入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャネルのTInm端子入力の有効エッジ検出	マスタ・チャネルがカウント動作開始
動作中	TAUnTMRmレジスタは，CISnm1, CISnm0ビットのみ設定値変更可能 TAUnTMRp, TAUnTDRm, TAUnTDRpレジスタ，TOMnm, TOMnp, TOLnm, TOLnpビットは，設定値変更禁止 TAUnTCRm, TAUnTCRpレジスタは，常に読み出し可能 TAUnTSRm, TAUnTSRmpレジスタは，使用しない TAUnTO, TAUnTOEレジスタは，設定値変更可能	マスタ・チャネルでは，TInm端子入力の有効エッジが検出されたら，タイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードし，ダウン・カウント動作を行う。TAUnTCRmレジスタ = 0000Hまでカウントしたら INTTAUnm割り込み出力を発生し,次のTInm端子入力までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTAUnm割り込みをトリガとして，TAUnTCRpレジスタはTAUnTDRpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTAUnm割り込み出力から1カウント・クロック経過後にTOnp端子出力レベルをアクティブ・レベルとする。そしてTAUnTCRpレジスタ = 0000Hまでカウントしたら TOnp端子出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTnm（マスタ），TTnp（スレーブ）ビットに同時に1を設定する TTnm, TTnpビットはトリガ・ビットなので，自動的に0に戻る	TEnm, TEnpビット = 0になり，カウント動作停止 TAUnTCRm, TAUnTCRpレジスタはカウント値を保持して停止 TOnp端子出力は初期化されず，状態保持
	スレーブ・チャネルのTOEnpビットに0を設定し，TOnpビットに値を設定する	TOnp端子はTOnp設定レベルを出力
TAU停止	TOnp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOnpビットに0を設定する TOnp端子の出力レベルを保持不要の場合 設定不要	TOnp端子出力レベルはポート機能により保持される。
	PERnレジスタのTAUnENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOnpビットが0になり，TOnp端子はポート機能となる）

動作再開

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

7. 8. 2 PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TAUnTDRm（マスタ）の設定値＋1} ×カウント・クロック周期
デューティ [%] = {TAUnTDRp（スレーブ）の設定値} ／ {TAUnTDRm（マスタ）の設定値＋1} ×100
0 %出力 ：TAUnTDRp（スレーブ）の設定値 = 0000H
100 %出力 ：TAUnTDRp（スレーブ）の設定値≧ {TAUnTDRm（マスタ）の設定値＋1}

備考 TAUnTDRp（スレーブの設定値）＞ {TAUnTDRm（マスタ）の設定値＋1} の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタn（TAUnTS）のチャネル・スタート・トリガ・ビット（TSnm）に1を設定すると，割り込み（INTTAUnm）を出力して，タイマ・データ・レジスタnm（TAUnTDRm）に設定した値をタイマ・カウンタ・レジスタnm（TAUnTCRm）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，割り込み（INTTAUnm）を出力して，再びTAUnTDRmレジスタからTAUnTCRmレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタn（TAUnTT）のチャネル・ストップ・トリガ・ビット（TTnm）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOnp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからの割り込み（INTTAUnm）をスタート・トリガとして，TAUnTDRpレジスタからTAUnTCRpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000Hになったところで割り込み（INTTAUnp）を出力して，次のスタート・トリガ（マスタ・チャネルからのINTTAUnm）が来るまで待機します。

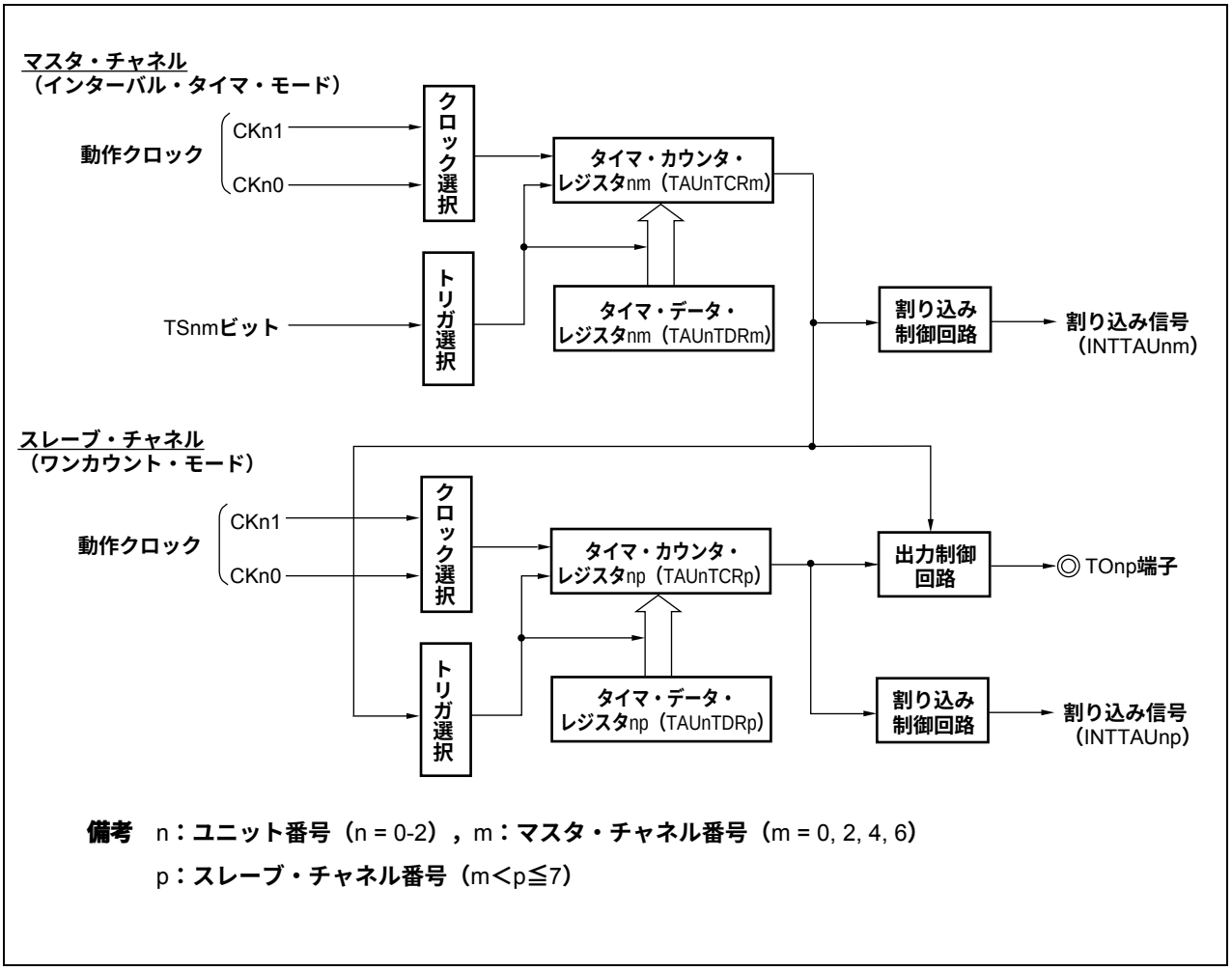
PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOnp）のデューティとなります。

PWM出力（TOnp）は，マスタ・チャネルの割り込み（INTTAUnm）発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTAUnTCRpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャネルのタイマ・データ・レジスタnm（TAUnTDRm）とスレーブ・チャネルのTAUnTDRpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TAUnTCRm, TAUnTCRpレジスタにTAUnTDRm, TAUnTDRpレジスタの値がロードされるのは，マスタ・チャネルの割り込み（INTTAUnm）発生時となります。そのため，書き換えがマスタ・チャネルの割り込み（INTTAUnm）発生前と発生後に分かれて行われると，TOnp端子は期待通りの波形を出力できません。したがって，マスタのTAUnTDRmレジスタとスレーブのTAUnTDRpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルの割り込み（INTTAUnm）発生直後に両方のレジスタを書き換えてください。

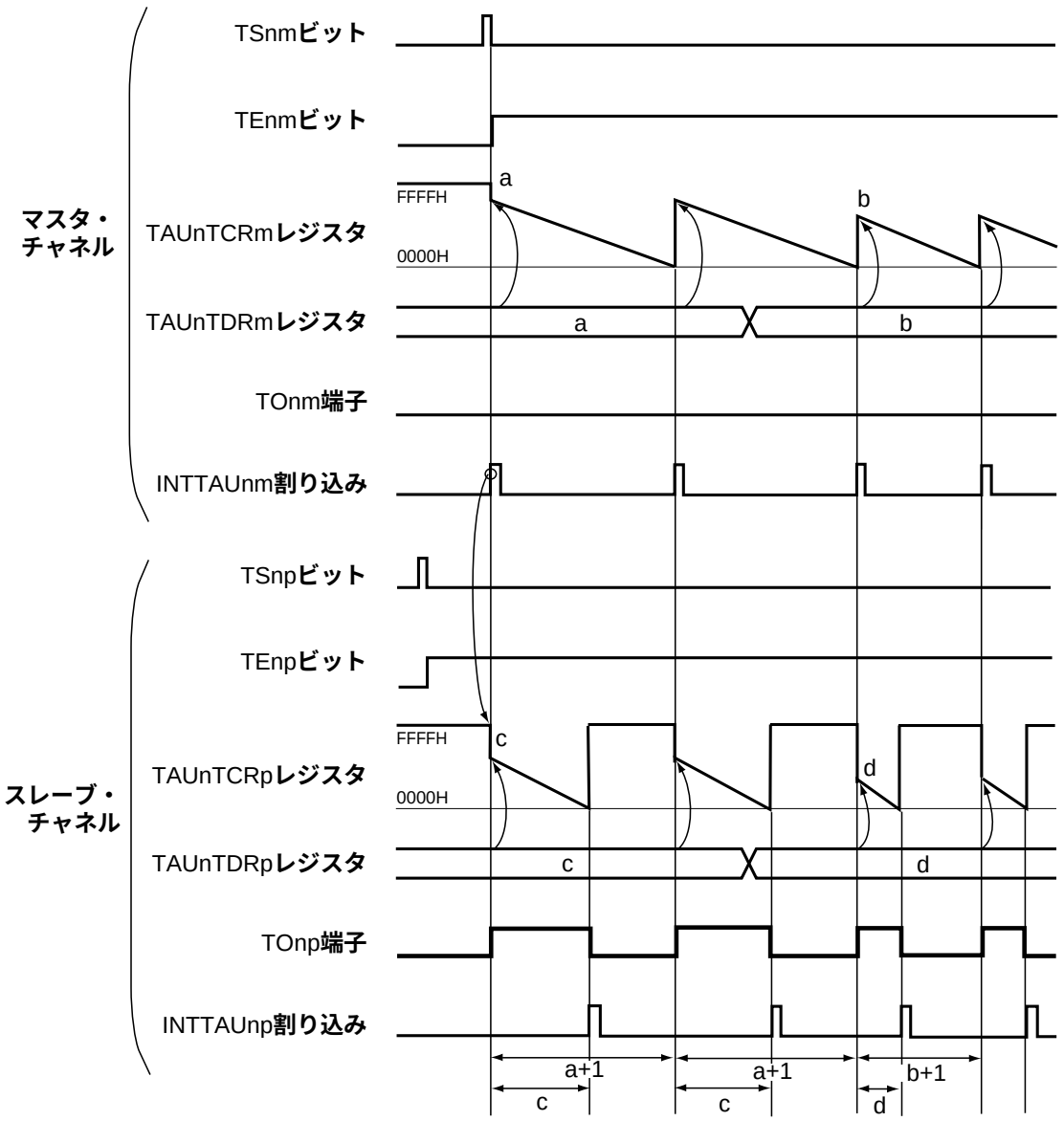
備考 n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

図7ー48　PWM機能としての動作のブロック図



備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

図7－49　PWM機能としての動作の基本タイミング例



備考1.　n：**ユニット番号**（n = 0-2），m：**マスタ・チャネル番号**（m = 0, 2, 4, 6）
p：**スレーブ・チャネル番号**（m＜p≦7）

2.　TSnm, TSnp：**タイマ・チャネル開始レジスタ**n（TAUnTS）**のビット**m, p
TEnm, TEnp：**タイマ・チャネル許可ステータス・レジスタ**n（TAUnTE）**のビット**m, p
TAUnTCRm, TAUnTCRp　：**タイマ・カウンタ・レジスタ**nm, np（TAUnTCRm, TAUnTCRp）
TAUnTDRm, TAUnTDRp　：**タイマ・データ・レジスタ**nm, np（TAUnTDRm, TAUnTDRp）
TOnm, TOnp　：TOnm, TOnp**端子出力信号**

図7－50　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	MAS TERnm	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルmの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTAUnm割り込み発生する

TInm端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

スレーブ／マスタの選択
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm
	0

0：TOnm端子より0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn	TOEnm
TOE	0

0：カウント動作によるTOnm端子出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn	TOLnm
TOL	0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn	TOMnm
TOM	0

0：マスタ・チャネル出力モードを設定

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）

図7－51　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタnp（TAUnTMRp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnp1	CKSnp0		CCSnp		STSnp2	STSnp1	STSnp0	CISnp1	CISnp0			MDnp3	MDnp2	MDnp1	MDnp0
TMRp	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TInp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTAUnm割り込みを選択

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCKn0を選択
10B：チャネルpの動作クロックにCKn1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタn（TAUnTO）

	ビットp	
TAUnTO	TOnp 1/0	0：TOnp端子より0を出力 1：TOnp端子より1を出力

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットp	
TAUn TOE	TOEnp 1/0	0：カウント動作によるTOnp端子出力動作停止 1：カウント動作によるTOnp端子出力動作許可

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットp	
TAUn TOL	TOLnp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットp	
TAUn TOM	TOMnp 1	1：スレーブ・チャネル出力モードを設定

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

図7－52　PWM機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタnm，np（TAUnTMRm, TAUnTMRp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタnm（TAUnTDRm）にインターバル（周期）値，スレーブ・チャネルのTAUnTDRpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタn（TAUnTOM）のTOMnpビットに1（スレーブ・チャネル出力モード）を設定する TOLnpビットを設定する TOnpビットを設定し，TOnp端子出力の初期レベルを確定する →	TOnp端子はHi-Z出力状態 TOnp端子初期設定レベルが出力される。
	TOEnpビットに1を設定し，TOnp端子の動作を許可 →	チャネルは動作停止状態なので，TOnp端子は変化しない
	ポート関係のレジスタを設定する →	TOnp端子はTOnp設定レベルを出力

（注，備考は次ページにあります。）

図7－52　PWM機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEnp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタn（TAUnTS）のTSnm（マスタ），TSnp（スレーブ）ビットに同時に1を設定する TSnm, TSnpビットはトリガ・ビットなので，自動的に0に戻る	TEnmビット = 1, TEnpビット = 1となる マスタ・チャネルがカウント動作開始し， INTTAUnm割り込みを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TAUnTMRm, TAUnTMRpレジスタ，TOMnm, TOMnp, TOLnm, TOLnpビットは，設定値変更禁止 TAUnTDRm, TAUnTDRpレジスタは，マスタ・チャネルのINTTAUnm発生後に設定値変更可能 TAUnTCRm, TAUnTCRpレジスタは，常に読み出し可能 TAUnTSRm, TAUnTSRmpレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードし，ダウン・カウント動作を行う。TAUnTCRmレジスタ = 0000Hまでカウントしたら INTTAUnm割り込みを発生する。同時に，TAUnTCRmレジスタはTAUnTDRmレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTAUnm割り込みをトリガとして，TAUnTCRpレジスタはTAUnTDRpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTAUnm割り込み出力から1カウント・クロック経過後にTOnp端子出力レベルをアクティブ・レベルとする。そしてTAUnTCRpレジスタ = 0000Hまでカウントしたら TOnp端子出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTnm（マスタ），TTnp（スレーブ）ビットに同時に1を設定する TTnm, TTnpビットはトリガ・ビットなので，自動的に0に戻る	TEnm, TEnpビット = 0になり，カウント動作停止 TAUnTCRm, TAUnTCRpレジスタはカウント値を保持して停止 TOnp端子出力は初期化されず，状態保持
	スレーブ・チャネルのTOEnpビットに0を設定し，TOnpビットに値を設定する	TOnp端子はTOnp設定レベルを出力
TAU停止	TOnp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOnpビットに0を設定する TOnp端子の出力レベルを保持不要の場合 設定不要	TOnp端子出力レベルはポート機能により保持される。
	PERnレジスタのTAUnENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOnpビットが0になり，TOnp端子はポート機能となる）

動作再開

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4, 6）
p：スレーブ・チャネル番号（m＜p≦7）

7. 8. 3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TAUnTDRm（マスタ）の設定値＋1} ×カウント・クロック周期
デューティ1 [%] = {TAUnTDRp（スレーブ1）の設定値} ／ {TAUnTDRm（マスタ）の設定値＋1} ×100
デューティ2 [%] = {TAUnTDRq（スレーブ2）の設定値} ／ {TAUnTDRm（マスタ）の設定値＋1} ×100

備考 TAUnTDRp（スレーブ1）の設定値＞ {TAUnTDRm（マスタ）の設定値＋1} の場合
または TAUnTDRq（スレーブ2）の設定値＞ {TAUnTDRm（マスタ）の設定値＋1} の場合は，
デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタnm（TAUnTCRm）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTAUnTCRpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOnp端子よりPWM波形を出力します。TAUnTCRpレジスタは，マスタ・チャネルの割り込み（INTTAUnm）をスタート・トリガとして， タイマ・データ・レジスタnp（TAUnTDRp）の値をロードし，ダウン・カウントを行います。TAUnTCRpレジスタ = 0000Hとなったら，割り込み（INTTAUnp）を出力し，次のスタート・トリガ（マスタ・チャネルのINTTAUnm）が入力されるまでカウントを停止します。TOnp端子の出力レベルは，マスタ・チャネルの割り込み（INTTAUnm）発生から1カウント・クロック経過後にアクティブ・レベルとなり，TAUnTCRpレジスタ = 0000Hとなったらインアクティブ・レベルとなります。

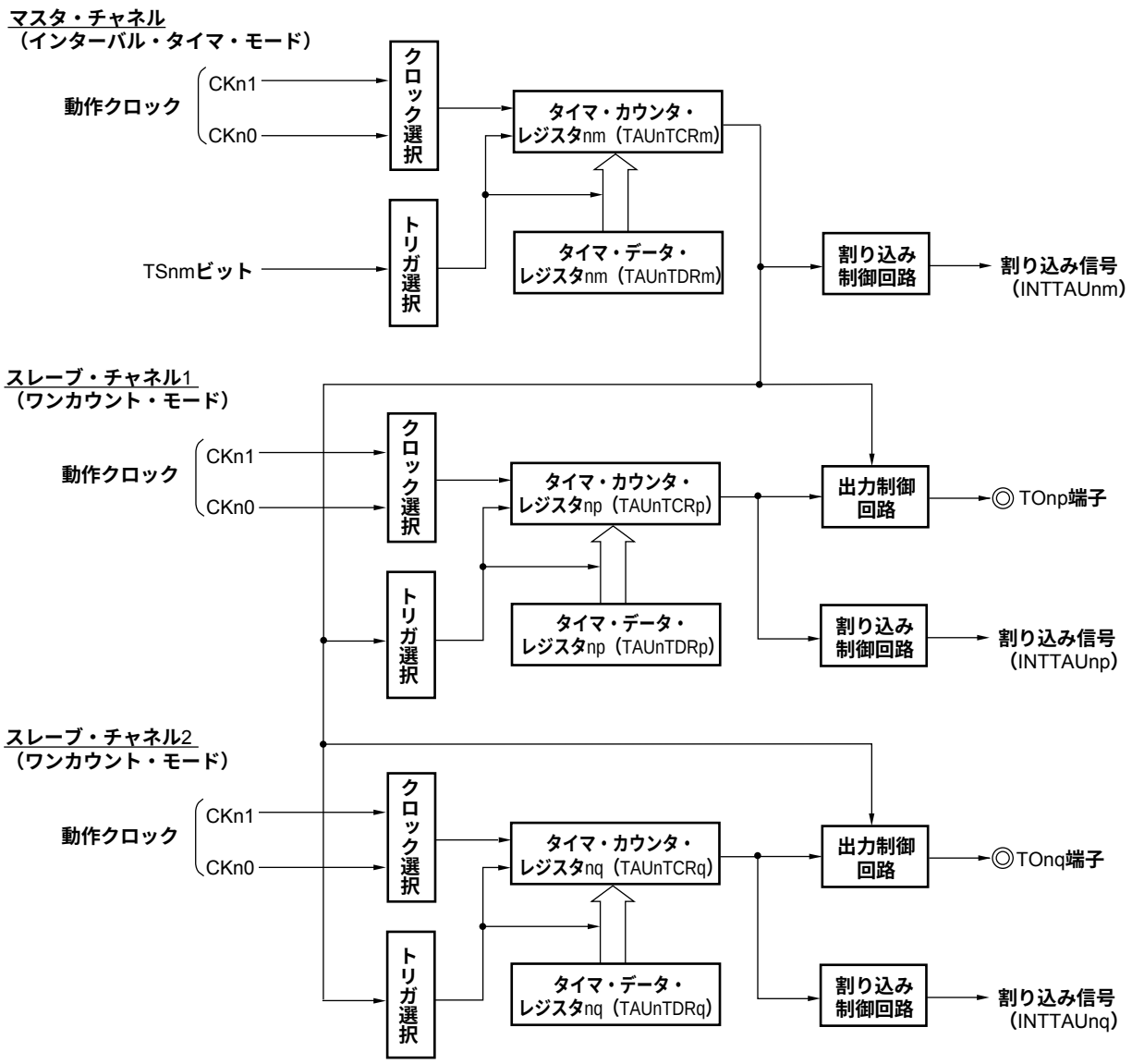
スレーブ・チャネル2のTAUnTCRqレジスタも，スレーブ・チャネル1のTAUnTCRpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOnq端子よりPWM波形を出力します。TAUnTCRqレジスタは，マスタ・チャネルの割り込み（INTTAUnm）をスタート・トリガとして，TAUnTDRqレジスタの値をロードし，ダウン・カウントを行います。TAUnTCRqレジスタ = 0000Hとなったら，割り込み（INTTAUnq）を出力し，次のスタート・トリガ（マスタ・チャネルの割り込み（INTTAUnm））が入力されるまでカウントを停止します。TOnq端子の出力レベルは，マスタ・チャネルの割り込み（INTTAUnm）発生から1カウント・クロック経過後にアクティブ・レベルとなり，TAUnTCRqレジスタ = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大7種のPWMを同時に出力できます。

注意 マスタ・チャネルのタイマ・データ・レジスタnm（TAUnTDRm）とスレーブ・チャネル1のTAUnTDRpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TAUnTCRm, TAUnTCRpレジスタにTAUnTDRm, TAUnTDRpレジスタの値をロードするのは，マスタ・チャネルのINTTAUnm割り込み発生後となるため，書き換えがマスタ・チャネルのINTTAUnm割り込み発生前と発生後に分かれて行われると，TOnp端子は，期待通りの波形を出力できません。したがって，TAUnTDRmレジスタとスレーブのTAUnTDRpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTAUnm割り込み発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTAUnTDRqレジスタの場合も同様です。）

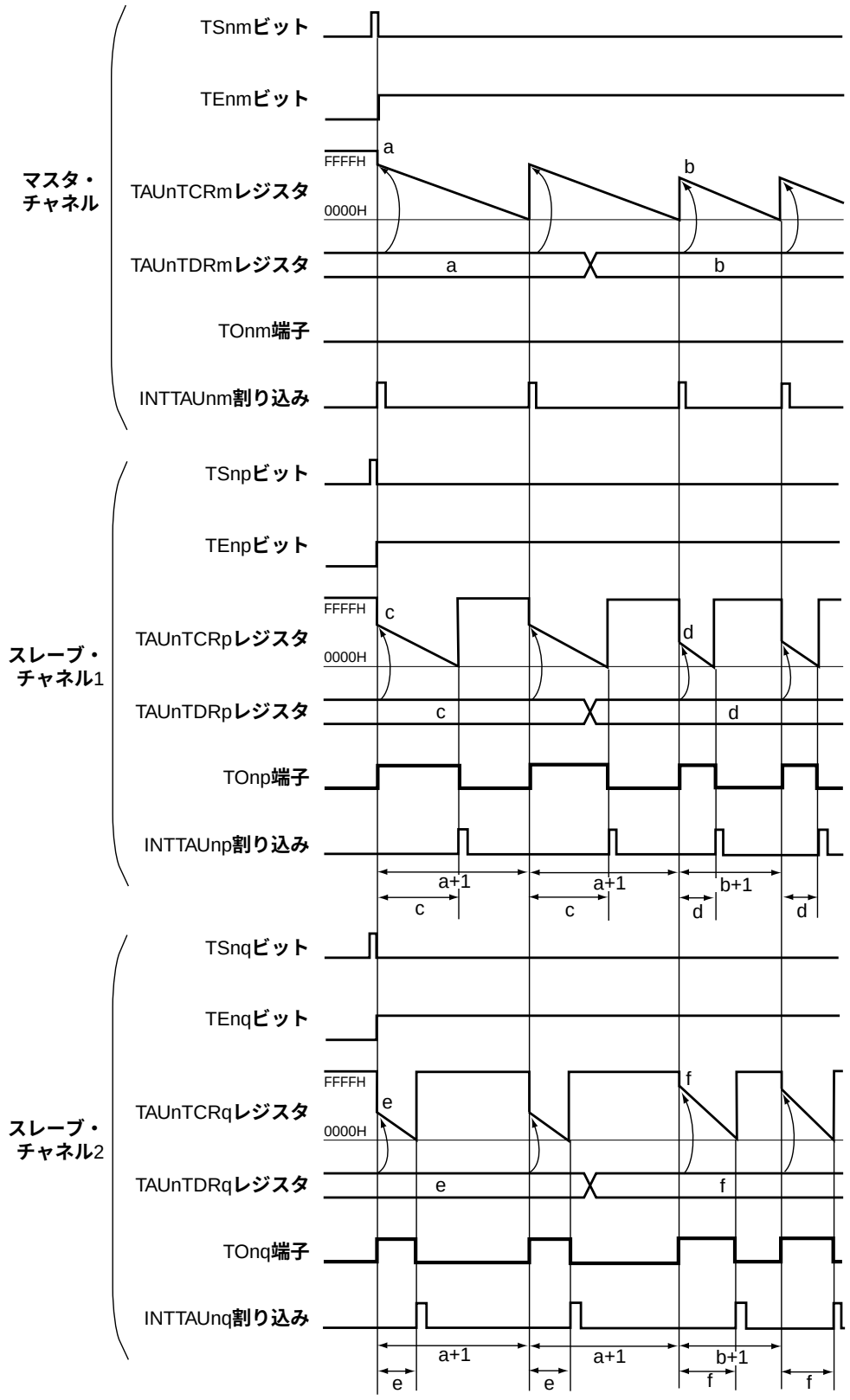
備考 n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
m＜p＜q≦7（ただしp, qは，m以降の連続した整数）

図7－53　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）



備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
m＜p＜q≦7（ただしp, qは，m以降の連続した整数）

図7－54　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）（1/2）



（備考は次ページにあります。）

図7－54　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）（2/2）

備考1.　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
m＜p＜q≦7（ただしp, qは，m以降の連続した整数）

2.　TSnm, TSnp, TSnq：タイマ・チャネル開始レジスタn（TAUnTS）のビットm, p, q
TEnm, TEnp, TEnq：タイマ・チャネル許可ステータス・レジスタn（TAUnTE）のビットm, p, q
TAUnTCRm, TAUnTCRp, TAUnTCRq：タイマ・カウンタ・レジスタnm, np, nq（TAUnTCRm, TAUnTCRp, TAUnTCRq）
TAUnTDRm, TAUnTDRp, TAUnTDRq：タイマ・データ・レジスタnm, np, nq（TAUnTDRm, TAUnTDRp, TAUnTDRq）
TOnm, TOnp, TOnq：TOnm, TOnp, TOnq端子出力信号

図7－55　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタnm（TAUnTMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn	CKSnm1	CKSnm0		CCSnm	MAS TERnm	STSnm2	STSnm1	STSnm0	CISnm1	CISnm0			MDnm3	MDnm2	MDnm1	MDnm0
TMRm	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルmの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTAUnm割り込み発生する

TInm端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

スレーブ／マスタの選択
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルmの動作クロックにCKn0を選択
10B：チャネルmの動作クロックにCKn1を選択

(b) タイマ出力レジスタn（TAUnTO）

	ビットm
TAUnTO	TOnm
	0

0：TOnm端子より0を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットm
TAUn TOE	TOEnm
	0

0：カウント動作によるTOnm端子出力動作停止

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットm
TAUn TOL	TOLnm
	0

0：TOMnmビット = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットm
TAUn TOM	TOMnm
	0

0：マスタ・チャネル出力モードを設定

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4）

図7－56　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

(a) タイマ・モード・レジスタnp, nq（TAUnTMRp, TAUnTMRq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TMRp	CKSnp1	CKSnp0		CCSnp		STSnp2	STSnp1	STSnp0	CISnp1	CISnp0			MDnp3	MDnp2	MDnp1	MDnp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUn TMRq	CKSnq1	CKSnq0		CCSnq		STSnq2	STSnq1	STSnq0	CISnq1	CISnq0			MDnq3	MDnq2	MDnq1	MDnq0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TInp, TInq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTAUnm割り込みを選択

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp, qの動作クロックにCKn0を選択
10B：チャネルp, qの動作クロックにCKn1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタn（TAUnTO）

	ビットq	ビットp
TAUnTO	TOnq	TOnp
	1/0	1/0

0：TOnp, TOnq端子より0を出力する
1：TOnp, TOnq端子より1を出力する

(c) タイマ出力許可レジスタn（TAUnTOE）

	ビットq	ビットp
TAUn TOE	TOEnq	TOEnp
	1/0	1/0

0：カウント動作によるTOnp, TOnq端子出力動作停止
1：カウント動作によるTOnp, TOnq端子出力動作許可

(d) タイマ出力レベル・レジスタn（TAUnTOL）

	ビットq	ビットp
TAUn TOL	TOLnq	TOLnp
	1/0	1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタn（TAUnTOM）

	ビットq	ビットp
TAUn TOM	TOMnq	TOMnp
	1	1

1：スレーブ・チャネル出力モードを設定

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
m＜p＜q≦7（ただしp, qは，m以降の連続した整数）

図7－57 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタn（PERn）のTAUnENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタn（TAUnTPS）を設定する CKn0とCKn1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタnm, np, nq（TAUnTMRm, TAUnTMRp, TAUnTMRq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタnm（TAUnTDRm）にインターバル（周期）値，スレーブ・チャネルのTAUnTDRp, TAUnTDRqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタn（TAUnTOM）のTOMnp, TOMnqビットに1（スレーブ・チャネル出力モード）を設定する TOLnp, TOLnqビットに0を設定する TOnp, TOnqビットを設定し，TOnp, TOnq端子出力の初期レベルを確定する →	TOnp, TOnq端子はHi-Z出力状態 TOnp, TOnq端子初期設定レベルが出力される。
	TOEnp, TOEnqビットに1を設定し，TOnp, TOnq端子の動作を許可 →	チャネルは動作停止状態なので，TOnp, TOnq端子は変化しない
	ポート関係のレジスタを設定する →	TOnp, TOnq端子はTOnp, TOnq設定レベルを出力
動作開始	（動作再開時のみTOEnp, TOEnq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタn（TAUnTS）のTSnm（マスタ），TSnp, TSnq（スレーブ）ビットに同時に1を設定する →	TEnmビット = 1, TEnpビット, TEnqビット = 1となる マスタ・チャネルがカウント動作開始し，INTTAUnm割り込みを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
	TSnm, TSnp, TSnqビットはトリガ・ビットなので，自動的に0に戻る	

（注，備考は次ページにあります。）

動作再開（次ページへ）

図7－57　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページへ）

	ソフトウエア操作	ハードウエアの状態
動作中	TAUnTMRm, TAUnTMRp, TAUnTMRqレジスタ, TOMnm, TOMnp, TOMnq, TOLnm, TOLnp, TOLnqビットは，設定値変更禁止 TAUnTDRm, TAUnTDRp, TAUnTDRqレジスタは，マスタ・チャネルのINTTAUnm割り込み発生後に設定値変更可能 TAUnTCRm, TAUnTCRp, TAUnTCRqレジスタは，常に読み出し可能 TAUnTSRm, TAUnTSRmp, TAUnTSRmqレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタnm（TAUnTCRm）はTAUnTDRmレジスタの値をロードし，ダウン・カウント動作を行う。TAUnTCRmレジスタ = 0000Hまでカウントしたら INTTAUnm割り込みを発生する。同時に，TAUnTCRmレジスタはTAUnTDRmレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTAUnm割り込み信号をトリガとして，TAUnTDRpレジスタ値をTAUnTCRpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTAUnm割り込み出力から1カウント・クロック経過後にTOnp端子出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOnp端子出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTAUnm割り込み信号をトリガとして，TAUnTDRqレジスタ値をTAUnTCRqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTAUnm割り込み出力から1カウント・クロック経過後にTOnq端子出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOnq端子出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動作停止	TTnm（マスタ），TTnp, TTnq（スレーブ）ビットに同時に1を設定する TTnm, TTnp, TTnqビットはトリガ・ビットなので，自動的に0に戻る	TEnm, TEnp, TEnqビット = 0になり，カウント動作停止 TAUnTCRm, TAUnTCRp, TAUnTCRqレジスタはカウント値を保持して停止 TOnp, TOnq端子出力は初期化されず，状態保持
	スレーブ・チャネルのTOEnp, TOEnqビットに0を設定し，TOnp, TOnqビットに値を設定する	TOnp, TOnq端子はTOnp, TOnq設定レベルを出力
TAU停止	TOnp, TOnq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOnp, TOnqビットに0を設定する TOnp, TOnq端子の出力レベルを保持不要の場合 設定不要	TOnp, TOnq端子出力レベルはポート機能により保持される。
	PERnレジスタのTAUnENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOnp, TOnqビットが0になり，TOnp, TOnq端子はポート機能となる）

備考　n：ユニット番号（n = 0-2），m：マスタ・チャネル番号（m = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
m＜p＜q≦7（ただしp, qは，m以降の連続した整数）

第8章 16ビット・エンコーダ・タイマ（ENCA）

各製品のENCAの搭載数を次に示します。

品 名	V850E2/JC4-L（40ピン）	V850E2/JC4-L（48ピン）	V850E2/JE4-L（64ピン）	V850E2/JF4-L（80ピン）	V850E2/JG4-L（100ピン）	V850E2/JH4-L（128ピン）	V850E2/JJ4-L（144ピン）
チャネル数	1チャネル	1チャネル	2チャネル	2チャネル	2チャネル	2チャネル	2チャネル

8.1 機 能

エンコーダ・タイマには次のような機能があります。

- 3種類の入力（A相：TEnAI，B相：TEnBI，Z相：TEnZI）によるカウント・アップ／ダウン・コントロール
- カウンタ値更新機能（ENCAnLDE機能）
- 16ビット・カウンタとコンペア・レジスタによるエンコーダ・コンペア一致機能
- コンペア一致割り込み検出マスク機能
- 2本の外部イベント端子（TEnTI0,TEnTI1）によるキャプチャ機能
- 6種類の端子
  - TEnAI（エンコーダ入力（A相））
  - TEnBI（エンコーダ入力（B相））
  - TEnZI（エンコーダ入力（Z相））
  - TEnTI0（キャプチャ・トリガ入力0）
  - TEnTI1（キャプチャ・トリガ入力1）
  - TEnCS（カウント・ステータス出力）
- 5種類の割り込み
  - ENCAnオーバフロー割り込み
  - ENCAnアンダフロー割り込み
  - TEnTI0コンペア一致／キャプチャ割り込み
  - TEnTI1コンペア一致／キャプチャ割り込み
  - ENCAnエンコーダ入力クリア割り込み

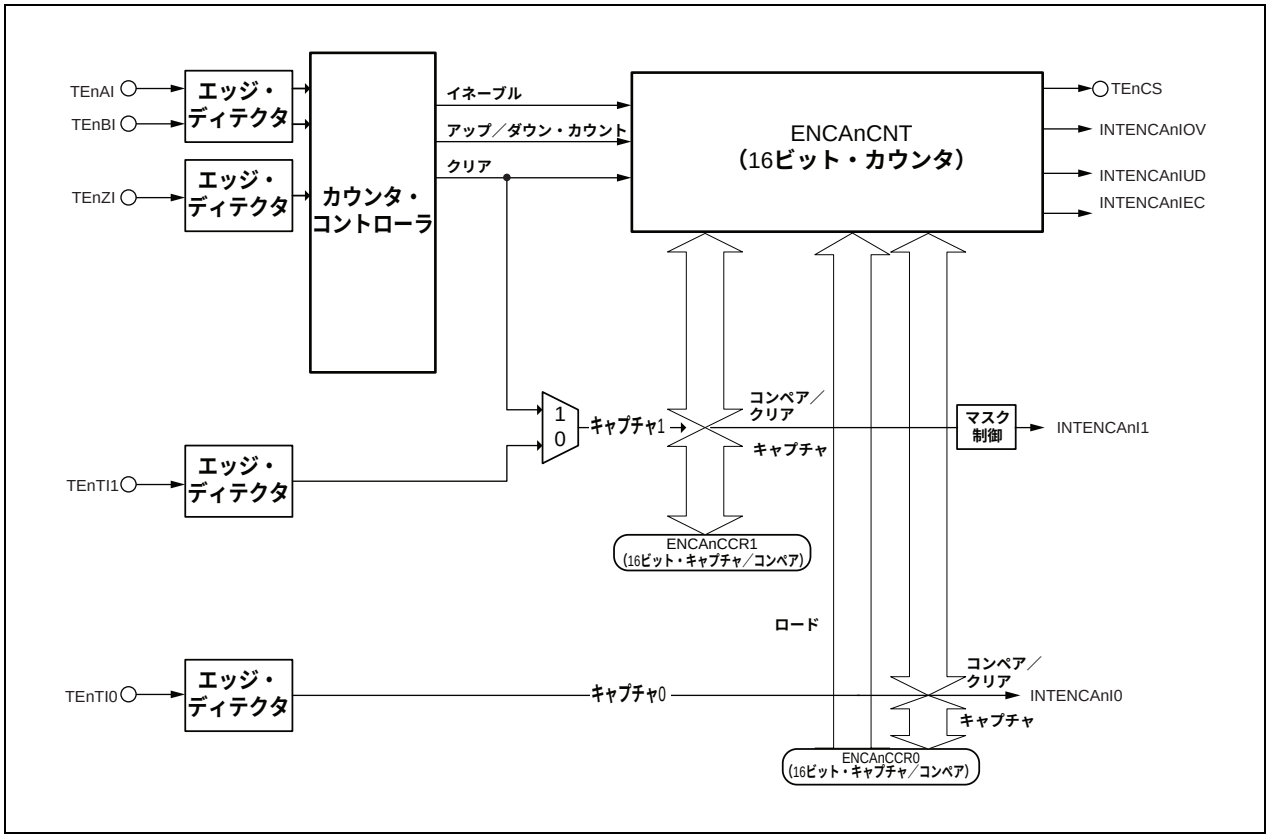
8. 2 構　　成

ENCAnは，次のハードウエアで構成されています。

表8－1 ENCAnの構成

項　　目	構　　成
レジスタ	ENCAn制御レジスタ（ENCAnCTL） ENCAn I/O制御レジスタ0（ENCAnIOC0） ENCAn I/O制御レジスタ1（ENCAnIOC1） ENCAnステータス・フラグ・レジスタ（ENCAnFLG） ENCAnステータス・フラグ・クリア・レジスタ（ENCAnFGC） ENCAnキャプチャ／コンペア・レジスタ0（ENCAnCCR0） ENCAnキャプチャ／コンペア・レジスタ1（ENCAnCCR1） ENCAnカウンタ・レジスタ（ENCAnCNT） ENCAnタイマ・イネーブル・ステータス・レジスタ（ENCAnTE） ENCAnタイマ・スタート・トリガ・レジスタ（ENCAnTS） ENCAnタイマ・ストップ・トリガ・レジスタ（ENCAnTT）
タイマ入力	5本（TEnAI, TEnBI, TEnZI, TEnTI0, TEnTI1端子）
タイマ出力	1本（TEnCS端子）

図8－1 エンコーダ・タイマのブロック図



8. 2. 1 割り込み機能

ENCAnには5種類の割り込み信号があります。

（1）INTENCAnIOV

16ビット・カウンタがカウントアップしFFFFHからオーバフローするときに発生します。

（2）INTENCAnIUD

16ビット・カウンタがカウントダウンし0000Hからアンダフローするときに発生します。

（3）INTENCAnI0

16ビット・カウンタの値とENCAnCCR0レジスタの値の一致，もしくはTEnTI0端子からのキャプチャ入力により発生します。

（4）INTENCAnI1

16ビット・カウンタの値とENCAnCCR1レジスタの値の一致，もしくはTEnTI1端子からのキャプチャ入力により発生します。

（5）INTENCAnIEC

エンコーダ入力（Z相）によるENCAnをクリアしたときに発生します。

8. 2. 2 端子の構成

ENCAnを構成するタイマ入力およびタイマ出力は，表8－2のように兼用されています。各端子を使用する場合は，ポート機能の設定をする必要があります（第4章 ポート機能参照）。

表8－2 端子構成

チャネル	ポート	タイマ入力	タイマ出力	その他の兼用機能	ピン番号						
					144	128	100	80	64	48	40
ENCA0	P5_5	TE0AI	－	TI03/TO03/SIS00/RXDS00/BUZ0/A5	48	47	37	－	－	－	－
				TI03/TO03/SIS00/RXDS00/BUZ0	－	－	－	27	23	19	18
	P5_6	TE0BI	－	TI04/TO04/SOS00/TXDS00/RTC1HZ/A6	49	48	38	－	－	－	－
				TI04/TO04/SOS00/TXDS00/RTC1HZ	－	－	－	28	24	20	19
	P5_7	TE0ZI	－	TI05/TO05/$\overline{\text{SCKS00}}$/A7	50	49	39	－	－	－	－
				TI05/TO05/$\overline{\text{SCKS00}}$	－	－	－	29	25	21	20
	P3_1	TE0TI0	－	SO40/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	－	－	－
				SO40/TXD40/KR1/RTP1/INTP01	－	－	－	－	51	39	32
	P3_3	TE0TI1	－	SO00/TXD00/KR3/RTP3/INTP03/$\overline{\text{ASTB}}$	119	110	86	68	－	－	－
				SO00/TXD00/KR3/RTP3/INTP03	－	－	－	－	53	41	34
	P8_4	－	TE0CS	TI02/TO02/$\overline{\text{SCK50}}$/INTP04/UCLK/$\overline{\text{BCYST}}$	39	38	28	23	－	－	－
				TI02/TO02/$\overline{\text{SCK50}}$/INTP04/UCLK	－	－	－	－	19	15	14
ENCA1	P9_3	TE1AI	－	AD3	65	60	43	33	－	－	－
				－	－	－	－	－	29	－	－
	P9_4	TE1BI	－	AD4	66	61	44	34	－	－	－
				－	－	－	－	－	30	－	－
	P9_5	TE1ZI	－	AD5	67	62	45	35	－	－	－
				－	－	－	－	－	31	－	－
	P9_1	TE1TI0	－	AD1	63	58	41	31	－	－	－
				－	－	－	－	－	27	－	－
	P9_2	TE1TI1	－	AD2	64	59	42	32	－	－	－
				－	－	－	－	－	28	－	－
	P9_0	－	TE1CS	AD0	62	57	40	30	－	－	－
				－	－	－	－	－	26	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

8. 3 レジスタ

（1）ENCAn制御レジスタ（ENCAnCTL）

ENCAnCTLレジスタは，エンコーダ・タイマの動作の制御を行います。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

（1/3）

アドレス：FF819040H（ENCA0CTL） リセット時：00H R/W
FF81A040H（ENCA1CTL）

略号	15	14	13	12	11	10	9	8
ENCAn CTL	ENCAn CME	ENCAn MCS	0	0	0	0	ENCAn CRM1	ENCAn CRM0

7	6	5	4	3	2	1	0
ENCAn CTS	0	0	ENCAn LDE	ENCAn ECM1	ENCAn ECM0	ENCAn UDS1	ENCAn UDS0

ENCAn CME	コンペア機能使用時の割り込み検出マスク機能の制御
0	コンペアー致割り込み（INTENCAnI1）検出マスク機能を無効にします
1	コンペアー致割り込み（INTENCAnI1）検出マスク機能を有効にします
コンペアー致割り込み検出マスク機能を有効とすることで，一度タイマ・カウンタ値とENCAnCCR1レジスタの設定値が一致しコンペアー致割り込み（INTENCAnI1）が発生したあと，マスクのキャンセルがあるまで，2回目以降のコンペアー致割り込みをマスクすることが可能です。 詳細は，8. 4. 5（a）コンペアー致割り込み検出マスク機能を参照してください。 ENCAnCMEビットはENCAnCRM1ビット = 0（コンペア）のときにのみ有効になります。 ENCAnCMEビットがセット（1）されているときにENCAnECM1ビットをセット（1）することは禁止です。	

ENCAn MCS	割り込み検出マスク機能のキャンセル・トリガの選択
0	ENCAnCCR1レジスタへの書き込みが行われると，コンペアー致割り込み検出のマスクキングをキャンセルします。
1	次の3つの動作のいずれかが実行されたときにコンペアー致割り込み検出のマスキングをキャンセルします。 ・Z相によるタイマ・カウンタ・クリア動作 ・ENCAnECM0ビット = 1のときにENCAnCNTレジスタとENCAnCCR0レジスタが比較一致したときのタイマ・カウンタ・クリア動作 ・ENCAnLDEビット = 1のときのアンダフローの検出によるENCAnCCR0レジスタからタイマ・カウンタへのロード
ENCAnMCSビットはENCAnCRM1ビット = 0（コンペア）のときにのみ有効になります。	

（2/3）

ENCAn CRM1	ENCAnCCR1レジスタのモード選択
0	コンペア・レジスタ
1	キャプチャ・レジスタ

ENCAn CRM0	ENCAnCCR0レジスタのモード選択
0	コンペア・レジスタ
1	キャプチャ・レジスタ

ENCAn CTS	ENCAnCCR1レジスタのキャプチャ・トリガ選択
0	TEnTI1端子からの入力信号
1	TEnZI端子からの入力信号
ENCAnCTSビットはENCAnCRM1ビット = 1（キャプチャ）のときにのみ有効になります。	

ENCAn LDE	カウンタ・ロード・イネーブル・ビット
0	ロード禁止
1	ロード許可
アンダフローが発生したときにENCAnCCR0レジスタの設定値をカウンタにロードすることを許可／禁止するために使用されます。 このビットはENCAnCRM0ビット = 0（コンペア）のときにのみ有効になります。 ENCAnCRM0ビット = 1（キャプチャ）のときは，このビットの値にかかわらず，アンダフローの発生によるカウンタへのENCAnCCR0レジスタの設定値のロードは行われません	

ENCAn ECM1	エンコーダ・クリア・モード・ビット1
0	カウンタを0000Hにクリアしない
1	次のカウントがダウン・カウントであればカウンタを0000Hにクリアする
次のカウントがダウン・カウントであれば，カウンタ値とENCAnCCR1レジスタの設定値が一致したときのカウンタ・クリア動作の設定に使用されます。 このビットはENCAnCRM1ビット = 0（コンペア）のときにのみ有効になります。 ENCAnCMEビットがセット（1）されているときに，ENCAnECM1をセット（1）することは禁止です。	

ENCAn ECM0	エンコーダ・クリア・モード・ビット0
0	カウンタを0000Hにクリアしない
1	次のカウントがアップ・カウントであればカウンタを0000Hにクリアする
次のカウントがアップ・カウントであれば、カウンタ値とENCAnCCR0レジスタの設定値が一致したときのカウンタ・クリア動作の設定に使用されます。 このビットはENCAnCRM0ビット = 0（コンペア）のときにのみ有効になります。	

（3/3）

ENCAn UDS1	ENCAn UDS0	アップダウン・カウント選択ビット
0	0	TEnAI端子の有効エッジを検出したときに次のカウントを実行 ・TEnBI = ハイ・レベルの場合はダウン・カウント ・TEnBI = ロウ・レベルの場合はアップ・カウント
0	1	TEnAI端子の有効エッジを検出したときにアップ・カウントを実行 TEnBI端子の有効エッジを検出したときにダウン・カウントを実行
1	0	TEnAI端子の立ち上がりエッジでダウン・カウントを実行 TEnAI端子の立ち下がりエッジでアップ・カウントを実行 ただし，カウントはTEnBI端子 = ロウ・レベルおよび立ち下がりエッジのときにのみ実行されます。
1	1	TEnAI/TEnBI端子の両方のエッジを検出します。 検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します
ENCAnUDS1とENCAnUSD0が｛0, 0｝または｛0, 1｝のとき有効エッジは，ENCAnEIS1とENCAnEIS0で指定されます。 各設定の詳細は，8.4.2を参照してください。		

注意 ENCAnIOC1.ENCAnSCEビット = 1とした場合は，ENCAnUDS1ビットとENCAnENCAnUDS0ビットを｛1, 0｝または｛1, 1｝に設定してください。ENCAnUSD1ビットとENCAnUSD0ビットが｛0, 0｝または｛0, 1｝の設定された状態でENCAnSCEビット = 1とした場合の動作は保守されません。

（2）ENCAn I/O制御レジスタ0（ENCAnIOC0）

ENCAnIOC0レジスタは，キャプチャ・トリガ0と1（TEnTI0とTEnTI1）の入力エッジの選択に使用されます。

8,ビット単位でリード／ライト可能です。

動作中のENCAnIOC0レジスタへのライトは禁止されています。

リセットにより00Hになります。

アドレス：FFFFD820H（ENCA0IOC0） リセット時：00H R/W
FFFFD920H（ENCA1IOC0）

略号	7	6	5	4	3	2	1	0
ENCAn IOC0	0	0	0	0	ENCAn TIS3	ENCAn TIS2	ENCAn TIS1	ENCAn TIS0

ENCAn TIS3	ENCAn TIS2	キャプチャ・トリガ1の入力エッジ選択ビット
0	0	エッジを検出しません。
0	1	立ち上がりエッジを検出します。
1	0	立ち下がりエッジを検出します。
1	1	両方のエッジを検出します。

これらのビットはENCAnCTLレジスタのENCAnCRM1ビット = 1（キャプチャ）かつENCAnCTSビット = 0（TEnTI1入力）である場合にのみ有効になります。
ENCAnCRM1ビットとENCAnCTSビットがそれ以外の値に設定されているときは無効です。

ENCAn TIS1	ENCAn TIS0	キャプチャ・トリガ0の入力エッジ選択ビット
0	0	エッジを検出しません。
0	1	立ち上がりエッジを検出します。
1	0	立ち下がりエッジを検出します。
1	1	両方のエッジを検出します。

これらのビットはENCAnCTL.ENCAnCRM0ビット = 1（キャプチャ）の場合にのみ有効になります。

（3）ENCAn I/O制御レジスタ1（ENCAnIOC1）

ENCAnIOC1レジスタは，エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

8ビット単位でリード／ライト可能です。

動作中のENCAnIOC1レジスタへのライトは禁止されています。

リセットにより00Hになります。

（1/2）

アドレス：FF819044H（ENCA0IOC1） リセット時：00H R/W
FF81A044H（ENCA1IOC1）

略号	7	6	5	4	3	2	1	0
ENCAn IOC1	ENCAn SCE	ENCAn ZCL	ENCAn BCL	ENCAn ACL	ENCAn ECS1	ENCAn ECS0	ENCAn EIS1	ENCAn EIS0

ENCAn SCE	エンコーダ特殊クリア・イネーブル・ビット
0	ENCAnECS1ビットとENCAnECS0ビットで設定されたTEnZIの有効なエッジを検出すると，カウンタをクリアします。
1	ENCAnZCLビット，ENCAnBCLビット，ENCAnACLビットで設定されたTEnZI，TEnBI，TEnAIの入力レベル条件を検出すると，カウンタをクリアします。
0に設定すると，特殊クリアが無効になり，カウンタはZ相のエッジが検出されたときにクリアされます。 1に設定すると，特殊クリアが有効になり，カウンタは，TEnZI，TEnAI，TEnBIが設定されたレベルに達したときにクリアされます。	

注意 ENCAnSCEビットを1にセット（1）する場合は，ENCAnUDS1ビットとENCAnUDS0ビットを{1, 0}または{1, 1}に設定してください。ENCAnUDS1ビットとENCAnUDS0ビットが{0, 0}または{0, 1}に設定された状態でこのビットを1にセットした場合の動作は保証されません。

ENCAn ZCL	入力Zクリア・レベル選択ビット
0	クリア条件：ロウ・レベル
1	クリア条件：ハイ・レベル
このビットは，エンコーダ特殊クリア機能を使用するときのZ相エンコーダ入力（TEnZI）のクリア・レベルの設定に使用されます。 このビットはENCAnSCEビット = 1のときにのみ有効であり，ENCAnSCE = 0のときは無効です。	

ENCAn BCL	入力Bクリア・レベル選択ビット
0	クリア条件：ロウ・レベル
1	クリア条件：ハイ・レベル
このビットは，エンコーダ特殊クリア機能を使用するときのB相エンコーダ入力（TEnBI）のクリア・レベルの設定に使用されます。 このビットはENCAnSCEビット = 1のときにのみ有効であり，ENCAnSCEビット = 0のときは無効です。	

（2/2）

ENCAn ACL	入力Aクリア・レベル選択ビット
0	クリア条件：ロウ・レベル
1	クリア条件：ハイ・レベル

このビットは，エンコーダ特殊クリア機能を使用するときのA相エンコーダ入力（TEnAI）のクリア・レベルの設定に使用されます。
このビットはENCAnSCEビット = 1のときにのみ有効であり，ENCAnSCEビット = 0のときは無効です。

ENCAn ECS1	ENCAn ECS0	エンコーダ・クリア入力エッジ選択ビット
0	0	エッジを検出しません。
0	1	立ち上がりエッジを検出します。
1	0	立ち下がりエッジを検出します。
1	1	両方のエッジを検出します。

エンコーダ・クリア入力エッジ選択ビット（Z相）です。
これらのビットはENCAnSCEビット = 0のときにのみ有効であり，ENCAnSCEビット = 1のときは無効です。

ENCAn EIS1	ENCAn EIS0	エンコーダ入力選択ビット
0	0	エッジを検出しません。
0	1	立ち上がりエッジを検出します。
1	0	立ち下がりエッジを検出します。
1	1	両方のエッジを検出します。

エンコーダ入力エッジ選択ビット（A相，B相）です。
これらのビットは，ENCAnUDS1ビットとENCAnUDS0ビットが{0, 0}または{0, 1}のときにのみ有効であり，ENCAnUDS1ビットとENCAnUDS0ビットが{1, 0}または{1, 1}のときは無効です。

（4）ENCAn**ステータス・フラグ・レジスタ**（ENCAnFLG）

ENCAnFLG**レジスタにはENCAnの状態を示すレジスタです。**

8ビット単位でリードのみ可能です。動作中のENCAnFLGレジスタへのライトは禁止です。

リセットにより00Hになります。

アドレス：FFFFD80CH（ENCA0FLG） **リセット時：**00H R

FFFFD90CH（ENCA1FLG）

略号	7	6	5	4	3	2	1	0
ENCAn FLG	0	0	0	0	0	ENCAn CSF	ENCAn UDF	ENCAn OVF

ENCAn CSF	**カウンタ・ステータス・フラグ**
0	**タイマ・カウンタがアップ・カウント状態にあります。**
1	**タイマ・カウンタがダウン・カウント状態にあります。**
このビットには現在のタイマ・カウンタの動作が反映されます。 **このビットはカウント動作の開始時にクリアされます。**	

ENCAn UDF	**アンダフロー・フラグ**
0	**・**ENCAnFGC.ENCAnCLUD**ビットがセット（**1**）される** **・**ENCAnTE.ENCAnTE**ビット** = 0**のときに**ENCAnTS.ENCAnTS**ビットがセット（**1**）される**
1	**・エンコーダ・タイマ・カウント動作中にアンダフローが発生**
このビットには，タイマ・カウンタの動作中にアンダフローが発生したかどうかが反映されます。 **このビットはカウント動作の開始時にクリアされます。**	

ENCAn OVF	**オーバフロー・フラグ**
0	**・**ENCAnFGC.ENCAnCLOV**がセット（**1**）される** **・**ENCAnTE.ENCAnTE**ビット** = 0**のときに**ENCAnTS.ENCAnTS**ビットがセット（**1**）される**
1	**・エンコーダ・タイマ・カウント動作中にオーバフローが発生**
このビットには，タイマ・カウンタの動作中にオーバフローが発生したかどうかが反映されます。 **このビットはカウント動作の開始時にクリアされます。**	

(5) ENCAnステータス・フラグ・クリア・レジスタ（ENCAnFGC）

ENCAnFGCレジスタはENCAnFLGのタイマ・カウンタ・ステータス・フラグをクリアするレジスタです。

8ビット単位でライトのみ可能です。リード値は常に0です。

リセットにより00Hになります。

アドレス：FFFFD810H（ENCA0FGC） リセット時：00H W

FFFFD910H（ENCA1FGC）

略号	7	6	5	4	3	2	1	0
ENCAn FGC	0	0	0	0	0	0	ENCAn CLUD	ENCAn CLOV

ENCAn CLUD	アンダフロー・フラグ・クリア
0	–
1	ENCAnFLG.ENCAnUDFビットをクリアします（アンダフロー検出のクリア）。
このビットはアンダフロー・フラグをクリアします。	

ENCAn CLOV	オーバフロー・フラグ・クリア
0	–
1	ENCAnFLG.ENCAnOVFビットをクリアします（オーバフロー検出のクリア）。
このビットはオーバフロー・フラグをクリアします。	

（6）ENCAn**キャプチャ／コンペア・レジスタ**0（ENCAnCCR0）

ENCAnCCR0**レジスタは**16**ビットのキャプチャ／コンペア・レジスタ**0**です。**

コンペア・レジスタとして使用する場合（ENCAnCTL.ENCAnCRM0 = 0）**は**16**ビット単位でライト可能です。**

キャプチャ・レジスタとして使用する場合（ENCAnCTL.ENCAnCRM0 = 1），ENCAnCCR0**レジスタへのライトは無効になります。**

リセットにより0000H**になります。**

アドレス：FFFFD800H（ENCA0CCR0） **リセット時：**0000H R/W
FFFFD900H（ENCA1CCR0）

略号	15	14	13	12	11	10	9	8
ENCAn CCR0	ENCAnCCR0[15:8]							
	7	6	5	4	3	2	1	0
	ENCAnCCR0[7:0]							

ENCAn CCR0[15:0]	**キャプチャ／コンペア・レジスタ**0

アンダフローが発生した場合は，ENCAnCTL.ENCAnLDE**ビットの設定に従って，**ENCAnCCR0**レジスタの設定値をタイマ・カウンタにロードすることができます。詳細については，**ENCA**制御レジスタ**ENCAnCTL**の**ENCAnLDE**ビットの説明を参照してください。**

- ENCAnCTL.ENCAnCRM0 = 0**の場合：** ENCAnCCR0**はコンペア・レジスタになります。**
  タイマ・カウンタ値との比較の対象になる値を設定します。
- ENCAnCTL.ENCAnCRM0 = 1**の場合：** ENCAnCCR0**はキャプチャ・レジスタになります。**
  キャプチャされたタイマ・カウンタ値が格納されます。

（7）ENCAn**キャプチャ／コンペア・レジスタ**1（ENCAnCCR1）

ENCAnCCR1**レジスタは**16**ビットのキャプチャ／コンペア・レジスタ**1**です。**

コンペア・レジスタとして使用する場合（ENCAnCTL.ENCAnCRM1 = 0）**は**16**ビット単位でライト可能です。**

キャプチャ・レジスタとして使用する場合（ENCAnCTL.ENCAnCRM1 = 1），ENCAnCCR1**レジスタへのライトは無効になります。**

リセットにより0000H**になります。**

アドレス：FFFFD804H（ENCA0CCR1） **リセット時：**0000H R/W
FFFFD904H（ENCA1CCR1）

略号	15	14	13	12	11	10	9	8
ENCAn CCR1	ENCAnCCR1[15:8]							
	7	6	5	4	3	2	1	0
	ENCAnCCR1[7:0]							

ENCAn CCR1[15:0]	**キャプチャ／コンペア・レジスタ**1

キャプチャ動作中，ENCAnCCR1**レジスタへのキャプチャをトリガする条件は，**ENCAnCTL.ENCAnCTS**の設定によって異なります。 詳細については,**ENCA**制御レジスタ**ENCAnCTL**の**ENCAnCTS**ビットの説明を参照してください。**

・ENCAnCTL.ENCAnCRM1 = 0**の場合：** ENCAnCCR1**はコンペア・レジスタになります。**
タイマ・カウンタ値との比較の対象になる値を設定します。

・ENCAnCTL.ENCAnCRM1 = 1**の場合：** ENCAnCCR1**はキャプチャ・レジスタになります。**
キャプチャされたタイマ・カウンタ値が格納されます。

（8）ENCAnカウンタ・レジスタ（ENCAnCNT）

ENCAnCNTレジスタは16ビットのタイマ・カウンタ・レジスタです。

16ビット単位でリード／ライト可能です。

ENCAnCNTレジスタへのライトは，動作の停止中にのみ行うことができます。

リセットにより0000Hになります。

アドレス：FFFFD808H（ENCA0CNT） **リセット時：**0000H R/W
FFFFD908H（ENCA1CNT）

略号	15	14	13	12	11	10	9	8
ENCAn CNT	ENCAnCNT[15:8]							

7	6	5	4	3	2	1	0
ENCAnCNT[7:0]							

ENCAn CNT[15:0]	カウンタ・レジスタ

- ENCAnTE.ENCAnTEの状態：0（初期設定）：カウント停止
  任意の値をタイマ・カウンタに設定できます。
- ENCAnTE.ENCAnTEの状態：0 →1（動作開始）：カウント動作開始
  設定された任意の値からのアップ／ダウン・カウント動作を開始します。
- ENCAnTE.ENCAnTEの状態：1（動作中）：カウント実行中
  アップ／ダウン・カウント動作を実行中です。
- ENCAnTE.ENCAnTEの状態：1 → 0（停止）：カウント停止
  動作停止直前のカウンタ値が保持され，カウント動作が停止します。

（9）ENCAnタイマ・イネーブル・ステータス・レジスタ（ENCAnTE）

ENCAnTEレジスタはENCAnの動作状態を示します。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FFFFD814H（ENCA0TE） リセット時：00H R

FFFFD914H（ENCA1TE）

略号	7	6	5	4	3	2	1	0
ENCAn TE	0	0	0	0	0	0	0	ENCAn TE

ENCAn TE	タイマ・ステータス・イネーブル・ビット
0	動作停止状態
1	動作可能状態

ENCAnの動作可能／停止状態を示すステータス・ビットです。

このビットは，ENCAnTT.ENCAnTTがセット（1）されるとクリア（0）されます。

このビットは，ENCAnTS.ENCAnTSがセット（1）されるとセット（1）されます。

（10）ENCAn**タイマ・スタート・トリガ・レジスタ**（ENCAnTS）

ENCAnTS**レジスタは，**ENCAn**を動作可能状態に設定するトリガ・ビットを設定するレジスタです。**

8**ビット単位でライトのみ可能です。**

ENCAnTS**レジスタは，リード値は常に**0**です。ライトは**ENCAnTE.ENCAnTE**が**0**のときにのみ行うことができます。**

リセットにより00H**になります。**

アドレス：FFFFD818H（ENCA0TS） **リセット時：**00H W

FFFFD918H（ENCA1TS）

略号	7	6	5	4	3	2	1	0
ENCAn TS	0	0	0	0	0	0	0	ENCAn TS

ENCAn TS	**タイマ・スタート・トリガ・ビット**
0	–
1	ENCAnTE.ENCAnTE = 1**をセットし，**ENCAn**を動作可能状態に設定します。**

（11）ENCAn**タイマ・ストップ・トリガ・レジスタ**（ENCAnTT）

ENCAnTT**レジスタは，**ENCAn**を動作停止状態に設定するトリガ・ビットを設定するレジスタです。**

8**ビット単位でライトのみ可能です。リード値は常に**0**です。**

リセットにより00H**になります。**

アドレス：FFFFD81CH（ENCA0TT） **リセット時：**00H W

FFFFD91CH（ENCA1TT）

略号	7	6	5	4	3	2	1	0
ENCAnTT	0	0	0	0	0	0	0	ENCAnTT

ENCAnTT	**タイマ・ストップ・トリガ・ビット**
0	–
1	ENCAnTE.ENCAnTE**を**0**にクリアし，**ENCAn**をカウント動作停止状態に設定します。**

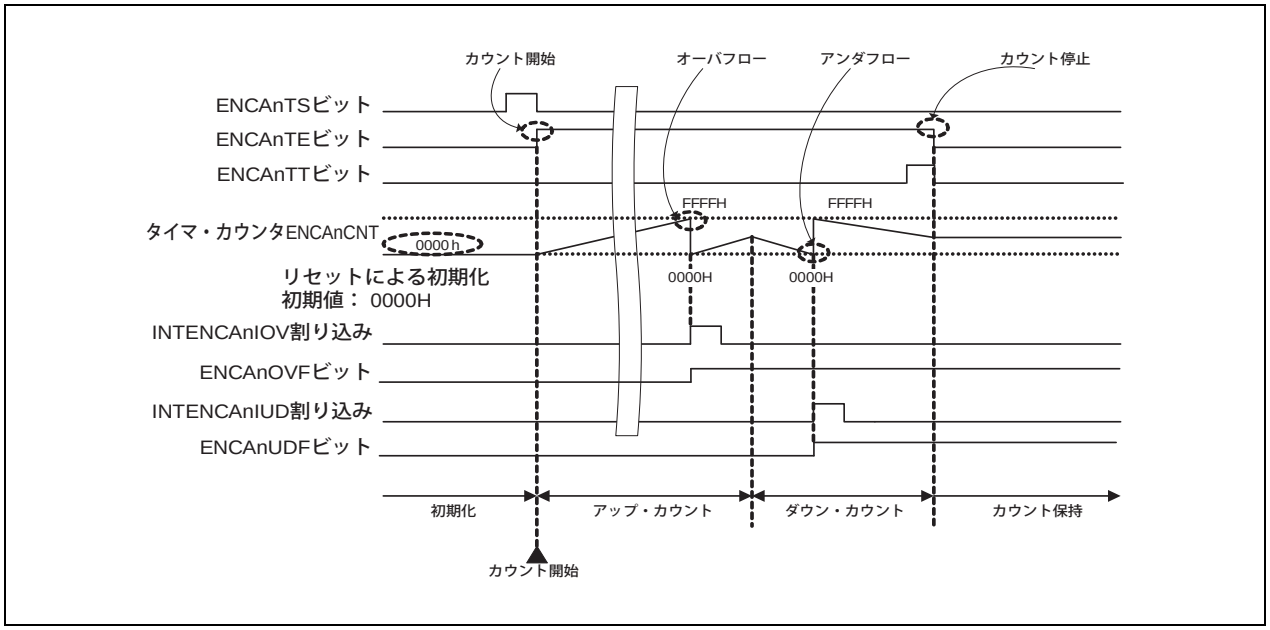
8.4 動　　作

ENCAnは，エンコーダ入力（A相，B相，Z相）を利用してカウンタ・アップ／ダウン制御とクリア制御を行うことでタイマ・カウンタを動作させます。ENCAnCCR0レジスタとENCAnCCR1レジスタは，専用のコンペア・レジスタとしても専用のキャプチャ・レジスタとしても使用することができます。

8.4.1 タイマ・カウンタの動作

次にENCAnのタイマ・カウンタの動作について説明します。

図8－2 タイマ・カウンタの初期値設定／開始／停止



(1) タイマ・カウンタの初期値設定

カウンタ動作停止状態（ENCAnTEビット = 0）のときにENCAnカウンタ・レジスタ（ENCAnCNT）の初期値を設定することができます。

(2) タイマ・カウンタの起動

タイマ・スタート・トリガ・ビット（ENCAnTS）をセット（1）することによってタイマ・ステータス・イネーブル・ビット（ENCAnTE）がセット（1）され，カウント動作が可能になり，エンコーダ入力の有効なエッジが検出されるとカウント動作が実行されます。

(3) オーバフロー動作

カウンタ値がFFFFHのときにアップ・カウントが実行されると，オーバフローが発生します。オーバフローが発生すると，カウンタ値がFFFFHから0000Hにリセットされ，オーバフロー割り込み（INTENCAnIOV）が発生し，オーバフロー・フラグ（ENCAnOVF）がセット（1）されます。オーバフロー・クリア・ビット（ENCAnCLOV）がセット（1）されると，オーバフロー・フラグ（ENCAnOVF）がクリア（0）されます。動作の詳細については，**8. 6. 1 オーバフローの発生とオーバフロー・フラグ・クリア操作**を参照してください。

(4) アンダフローの動作

カウンタ値が0000Hのときにダウン・カウントが実行されると，アンダフローが発生します。アンダフローが発生すると，カウンタ値が0000HからFFFFHにリセットされ，アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグ（ENCAnUDF）がセット（1）されます。アンダフロー・クリア・ビット（ENCAnCLUD）がセット（1）されると，アンダフロー・フラグ（ENCAnUDF）がクリア（0）されます。動作の詳細については，**8. 6. 2 アンダフローの発生とアンダフロー・フラグ・クリア操作**を参照してください。

(5) タイマ・カウンタの停止

タイマ・ストップ・トリガ・ビット（ENCAnTT）をセット（1）することによって，タイマ・ステータス・イネーブル・ビット（ENCAnTE）がクリア（0）され，カウント動作が停止します。その時点で，タイマ・カウンタは0000Hにリセットされず，カウント動作が停止する直前の値を保持します。

8. 4. 2 タイマ・カウンタのアップ／ダウン制御

アップ／ダウン制御は，ENCAnUDS1ビットとENCAnUDS0ビットの設定でエンコーダ入力（TEnAI, TEnBI）の位相を判定することによって行われます。

(1) ENCAnUDS1ビットとENCAnUDS0ビット = {0, 0}の場合

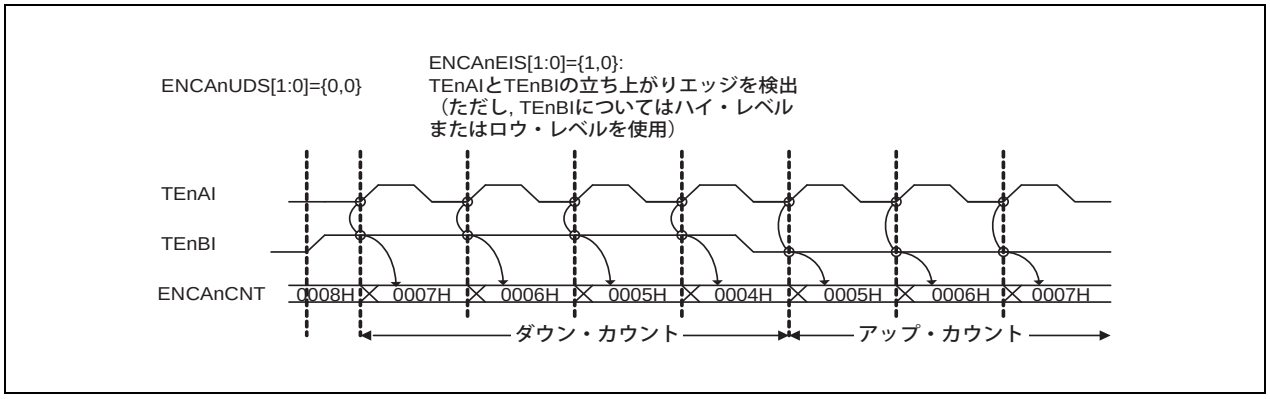
ENCAnUDS1	ENCAnUDS0	動作の説明		
		TEnAI入力	TEnBI入力	カウント動作
0	0	立ち上がりエッジ	ハイ・レベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

TEnAIの有効なエッジは，ENCAnEIS1ビットとENCAnEIS0ビットを設定することによって指定します。

カウント動作はTEnAIとTEnBIの有効なエッジが重なると実行されます。

次のタイミング図は，ENCAnUDS1とENCAnUDS0 = {0, 0}のときのカウント動作を示しています。

図8ー3 ENCAnUDS1ビットとENCAnUDS0ビット = {0, 0}のときのカウント動作



（2）ENCAnUDS1ビットとENCAnUDS0ビット = {0, 1}の場合

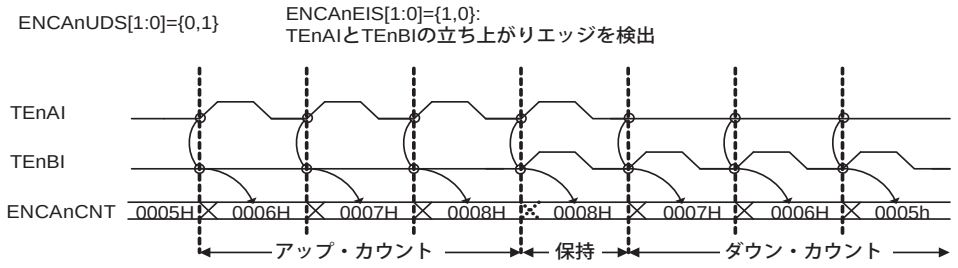
ENCAnUDS1	ENCAnUDS0	動作の説明		
		TEnAI入力	TEnBI入力	カウント動作
0	1	ロウ・レベル	立ち上がりエッジ	ダウン
			立ち下がりエッジ	
			両方のエッジ	
		ハイ・レベル	立ち上がりエッジ	
			立ち下がりエッジ	
			両方のエッジ	
		立ち上がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ハイ・レベル	
		立ち下がりエッジ		
		両方のエッジ		
		同時入力		保持

TEnAIとTEnBIの有効なエッジは，ENCAnEIS1ビットとENCAnEIS0ビットを設定することによって指定します。

カウント動作はTEnAIとTEnBIの有効なエッジが重なるとカウンタ値が保持されます。

図8－4に，ENCAnUDS1ビットとENCAnUDS0ビット = {0, 1}のときのカウント動作を示します。

図8－4 ENCAnUDS1ビットとENCAnUDS0ビット = {0, 1}のときのカウント動作



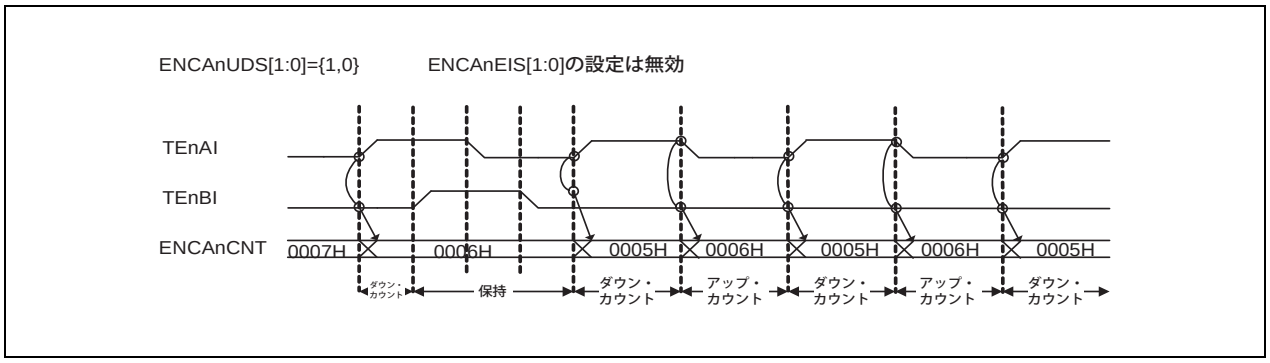
（3）ENCAnUDS1ビットとENCAnUDS0ビット = {1, 0}の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		TEnAI入力	TEnBI入力	カウント動作
1	0	立ち上がりエッジ	ロウ・レベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウ・レベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウ・レベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイ・レベル	
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイ・レベル	

TEnAIとTEnBIの有効なエッジの指定（ENCAnEIS1ビットとENCAnEIS0ビットの設定）は無効です。

図8－5に，ENCAnUDS1ビットとENCAnUDS0ビット = {1, 0}のときのカウント動作を示します。

図8－5 ENCAnUDS1ビットとENCAnUDS0ビット = {1, 0}のときのカウント動作



（4）ENCAnUDS1ビットとENCAnUDS0ビット = {1, 1}の場合

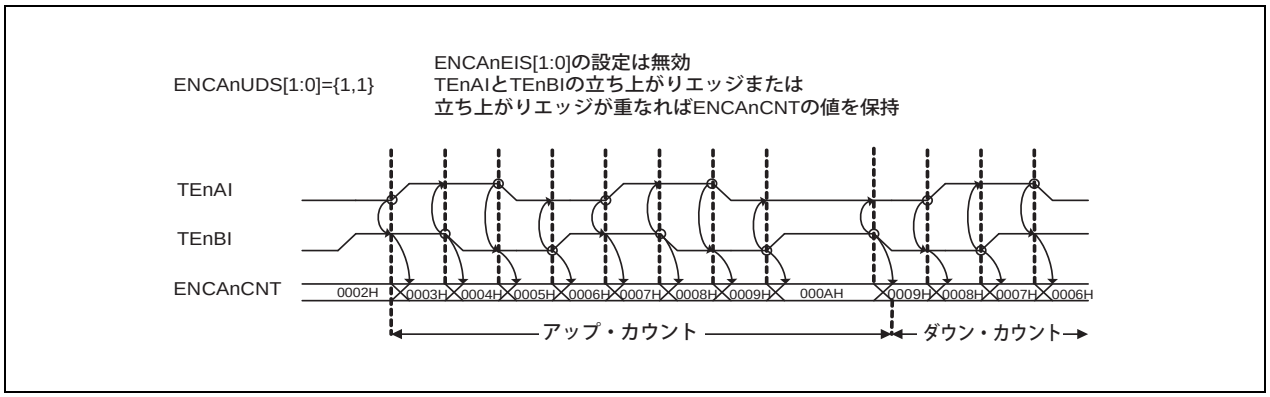
ENCAnUDS1	ENCAnUDS0	動作の説明		
		TEnAI入力	TEnBI入力	カウント動作
1	1	ロウ・レベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウ・レベル	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイ・レベル	
		立ち上がりエッジ	ハイ・レベル	アップ
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	
		ロウ・レベル	立ち上がりエッジ	
		同時入力		保持

TEnAIとTEnBIの有効なエッジの指定（ENCAnEIS1ビットとENCAnEIS0ビットの設定）は無効です。

TEnAIとTEnBIの立ち上がりエッジまたは立ち下がりエッジが重なるとカウンタ値が保持されます。

図8－6に，ENCAnUDS1ビットとENCAnUDS0ビット = {1, 1}のときのカウント動作を示します。

図8－6 ENCAnUDS1ビットとENCAnUDS0ビット = {1, 1}のときのカウント動作



8. 4. 3 エンコーダ入力によるタイマ・カウンタ・クリア制御

タイマ・カウンタは，Z相のエンコーダ入力（TEnZI）によって0000Hにクリアされます。

ENCAnIOC1レジスタのENCAnSCEビット，ENCAnZCLビット，ENCAnBCLビット，ENCAnACLビット，ENCAnECS1ビットおよびENCAnECS0ビットを制御することによって，2種類のクリア方法を選択できます。

クリア方法	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	TEnZIの有効エッジ保持ビット ENCAnECS1, ENCAnECS0
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

(1) ENCAnSCEビット = 0のときのクリア方法

- TEnZIの有効なエッジを検出すると，タイマ・カウンタは動作クロックと同期して0000Hにクリアされます。
- TEnZIの有効なエッジはENCAnECS1ビットとENCAnECS0ビットを設定することによって指定します。
- ENCAnZCLビット，ENCAnBCLビット，ENCAnACLビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に，エンコーダ・クリア割り込み信号（INTENCAnIEC）が出力されます。

ENCAnSCEビット = 0のときのクリア動作については，8. 6. 19 ENCAnSCE = 0のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作のタイミング図を参照してください。

(2) ENCAnSCEビット = 1のときのクリア方法

- ENCAnZCLビット，ENCAnBCLビット，ENCAnACLビットの設定に従ってTEnZI入力，TEnBI入力，TEnAI入力のクリア・レベルが検出され，タイマ・カウンタが動作クロックと同期して0000Hにクリアされます。
- ENCAnECS1ビットとENCAnECS0ビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に，エンコーダ・クリア割り込み信号（INTENCAnIEC）が出力されます。

ENCAnZCLビット，ENCAnBCLビット，ENCAnACLビットの設定に従って行われるタイマ・カウンタのクリア条件を次に示します。

カウンタ・クリア条件の設定			エンコーダの入力レベル		
ENCAnZCL	ENCAnBCL	ENCAnACL	TEnZI	TEnBI	TEnAI
0	0	0	ロウ・レベル	ロウ・レベル	ロウ・レベル
0	0	1	ロウ・レベル	ロウ・レベル	ハイ・レベル
0	1	0	ロウ・レベル	ハイ・レベル	ロウ・レベル
0	1	1	ロウ・レベル	ハイ・レベル	ハイ・レベル
1	0	0	ハイ・レベル	ロウ・レベル	ロウ・レベル
1	0	1	ハイ・レベル	ロウ・レベル	ハイ・レベル
1	1	0	ハイ・レベル	ハイ・レベル	ロウ・レベル
1	1	1	ハイ・レベル	ハイ・レベル	ハイ・レベル

ENCAnSCEビット = 1のときのクリア動作については，8. 6. 18 ENCAnSCE = 1のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作を参照してください。

8. 4. 4 ENCAnCCR0の機能

(1) コンペア機能

- ENCAnCRM0ビット = 0のとき，ENCAnCCR0レジスタは専用のコンペア・レジスタとして機能します。
- タイマ・カウンタの値とENCAnCCR0レジスタの設定値がコンペア一致すると，コンペア0一致割り込み（INTENCAnI0）が出力されます。
- ENCAnECM0ビット = 1の場合は，次のカウント動作がアップ・カウントであれば，コンペア一致が発生すると同時にタイマ・カウンタが動作クロックと同期して0000Hにクリアされます。

ENCAnCCR0の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR0とのコンペア一致が発生したときのタイマ・カウンタのクリア
ENCAnCRM0	ENCAnECM0		
0（コンペア・レジスタ）	0	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。
		ダウン・カウント	
	1	アップ・カウント	タイマ・カウンタを0000Hにクリアします。
		ダウン・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。

(a) ENCAnLDEビット = 1の場合

- アンダフローが発生すると，ENCAnCCR0レジスタの設定値がタイマ・カウンタにロードされます。
- アンダフロー割り込み（INTENCAnIUD）が出力されます。

ENCAnLDEビット = 1のときのさまざまなタイミング図が図8－16 開始直後のENCAnLDE機能の利用から図8－21 ENCAnLDE機能とZ相クリアとの競合後のアップ・カウントに記載されています。

(2) キャプチャ機能

- ENCAnCRM0ビット = 1のとき，ENCAnCCR0レジスタは専用のキャプチャ・レジスタとして機能します。
- キャプチャ・トリガ入力0（TEnTI0）の有効なエッジを検出すると，タイマ・カウンタの値がENCAnCCR0レジスタに格納されます。
- キャプチャ動作中にキャプチャ0割り込み（INTENCAnI0）が発生します。

ENCAnCCR0レジスタへのキャプチャ動作については，8. 6. 14 カウント・クロック間のキャプチャ動作（ENCAnCCR0）と8. 6. 17 ENCAnECM1-0 = {0,0}の時エンコーダの動作のタイミング図を参照してください。

8. 4. 5 ENCAnCCR1の機能

（1）コンペア機能

ENCAnCRM1ビット = 0のとき，ENCAnCCR1レジスタは，専用のコンペア・レジスタとして機能します。

タイマ・カウンタの値とENCAnCCR1レジスタの設定値がコンペア一致すると，コンペア1一致割り込み（INTENCAnI1）が発生します。

ENCAnECM1ビット = 1の場合は，次のカウント動作がダウン・カウントであれば，コンペア一致が発生すると同時にタイマ・カウンタが動作クロックと同期して0000Hにクリアされます。

ENCAnCCR1の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR1とのコンペア一致が発生したときのタイマ・カウンタのクリア
ENCAnCRM1	ENCAnECM1		
0（コンペア・レジスタ）	0	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。
		ダウン・カウント	
	1	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。
		ダウン・カウント	タイマ・カウンタを0000Hにクリアします。

（a）コンペア一致割り込み検出マスク機能

ENCAnCMEビット = 1のときは，コンペア一致割り込み検出マスク機能が有効です。この状態では，タイマ・カウンタの値とENCAnCCR1レジスタの設定値が初めて一致したときにコンペア一致割り込みが発生しますが，2回目以降のコンペア一致によって生成される割り込みはマスクされます。ENCAnMCSビットで設定されるキャンセル・トリガが発生するとマスクがキャンセルされ，次のコンペア一致割り込み発生後に割り込みはマスクされます。

ENCAnMCSビット = 0のときは，ENCAnCCR1レジスタへの書き込み操作によってコンペア1一致割り込み検出マスク機能がキャンセルされます。

ENCAnMCSビット = 1のときは，Z相によるタイマ・カウンタのクリア動作またはENCAnCCR0レジスタ値とタイマ・カウンタ値との一致によるタイマ・カウンタのクリア動作によってコンペア一致割り込み検出マスク機能がキャンセルされます。

ENCAnMCSビット = 1かつENCAnLDEビット = 1のときは，アンダフロー検出時のENCAnCCR0レジスタからタイマ・カウンタへのロード動作によってコンペア一致割り込み検出マスク機能がキャンセルされます。

コンペア一致割り込み検出マスク機能を有効にする場合，ENCAnECMビットをセット（1）することはできません。

コンペア一致割り込みマスク機能が有効になっているときのタイミング図については**8. 6. 18 コンペア一致割り込み検出マスク機能の動作**を参照してください。

ENCAnCCR1の機能	コンペア1一致割り込みマスク	割り込みマスク・キャンセル・トリガ		ENCAnCCR1レジスタとのコンペア一致が発生したときのコンペア一致割り込みの発生
ENCAnCRM1	ENCAnCME	ENCAnMCS	ENCAnLDE = 0のときのアンダフローの発生	
0 （コンペア・レジスタ）	0 （マスク機能無効）	－ （設定無効）	－	コンペア一致が発生するたびにコンペア一致割り込みを発生します。
	0 （マスク機能有効）	0 （ENCAnCCR1レジスタへの書き込み操作）	発生 （ENCAnCCR0レジスタからタイマ・カウンタへのロード）	最初のコンペア一致でコンペア一致割り込みを1回発生します（キャンセル・トリガが発生するまで，2回目以降の一致によって生成される割り込みはマスクされます）
		1 （タイマ・カウンタ・クリア動作）		

（2）キャプチャ機能

ENCAnCRM1ビット = 1のとき，ENCAnCCR1レジスタは，専用のキャプチャ・レジスタとして機能します。

ENCAnCCR1レジスタへのキャプチャ動作については，8. 6. 13 カウント・クロック間のキャプチャ動作（ENCAnCCR1）のタイミング図を参照してください。

ENCAnCTSビットのさまざまな設定に対応する動作を次に示します。

ENCAnCCR1の機能	キャプチャ・トリガの選択	キャプチャ・トリガ信号	タイマ・カウンタのクリア	割り込みの発生
ENCAnCRM1	ENCAnCTS			
1 （キャプチャ・レジスタ）	0	キャプチャ・トリガ1入力（TEnTI1）	タイマ・カウンタをクリアしません。	(1) キャプチャ1割り込み（INTENCAnI1）
	1	Z相によるエンコーダ・クリア入力（TEnZI）	タイマ・カウンタをクリアします。	(1) キャプチャ1割り込み（INTENCAnI1） (2) エンコーダ・クリア割り込み（INTENCAnIEC）

8.4.6 コンペア・レジスタが一致したときのタイマ・カウンタのクリア制御

タイマ・カウンタ値とENCAnCCR0/1レジスタの設定値がコンペア一致したときに，ENCAnECM1ビットとENCAnECM0ビットの設定に従って行われるタイマ・カウンタのクリア動作の詳細を次に示します。

ENCAnECM1 と ENCAnECM0	次のカウント動作	ENCAnCCR1とのコンペア一致が発生したときのタイマ・カウンタのクリア	ENCAnCCR0とのコンペア一致が発生したときのタイマ・カウンタのクリア
00	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
	ダウン・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
01	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタを0000Hにクリアします。
	ダウン・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
10	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
	ダウン・カウント	タイマ・カウンタを0000Hにクリアします。	タイマ・カウンタをクリアしません（カウント動作を継続します）
11	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタを0000Hにクリアします。
	ダウン・カウント	タイマ・カウンタを0000Hにクリアします。	タイマ・カウンタをクリアしません（カウント動作を継続します）

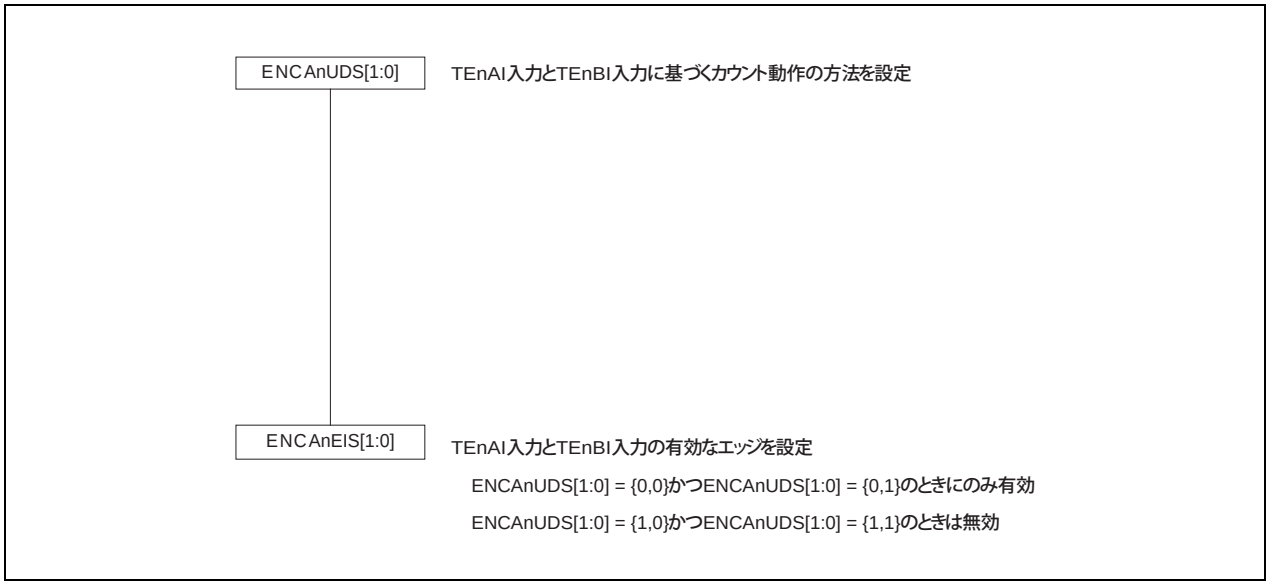
8. 5 設定の順序

8. 5. 1 エンコーダ・タイマの設定手順

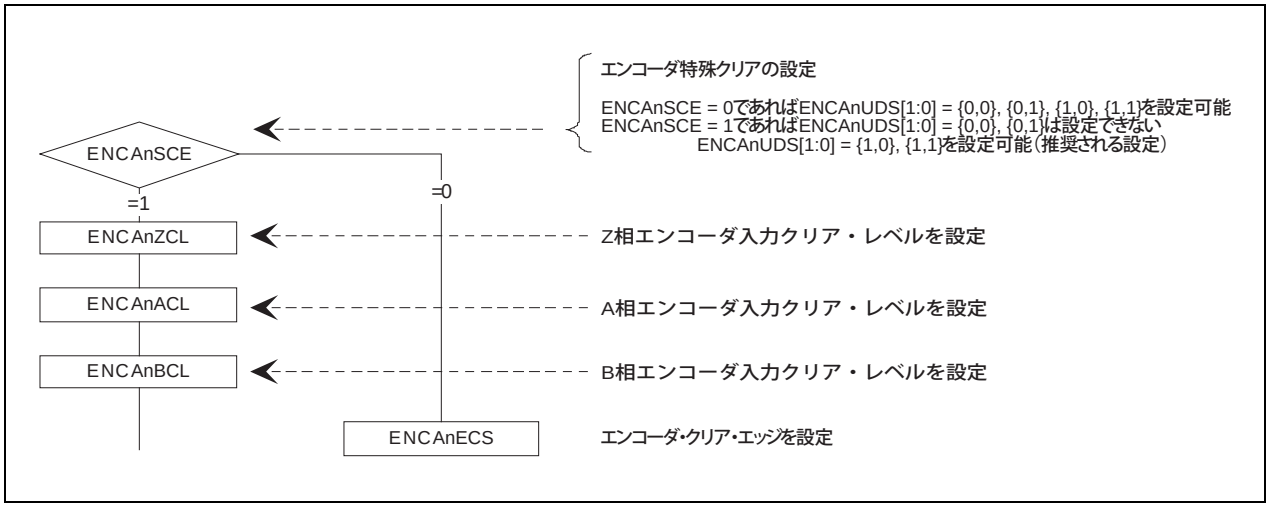
以下でエンコーダ・タイマの設定の手順を説明します。

	操　作	設定の状態
ENCAの初期設定	以下の初期設定を実行します。 ・カウンタの設定 ・カウンタ・クリアの設定 ・ENCAnCCR0レジスタの設定 ・ENCAnCCR1レジスタの設定	これはカウント動作停止状態です。 動作状態を示すENCAnTEビットの値が0です。
	カウンタ初期値の設定を実行します。 ・ENCAnCNTレジスタに任意の16ビット値を設定します。 （このレジスタを設定した後，ENCAnTSビットセット（1）すると，設定されたカウント値からカウンタの動作が開始されます）。	ここで設定される値がカウンタ・レジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 ・ENCAnTSビットをセット（1）します。	これはカウンタ動作開始状態です。 動作状態を示すENCAnTEビットの値が1であり，カウント・クロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 ・ENCAnCCR0レジスタは、コンペア・レジスタとして使用時のみライト可能です（リードはキャプチャ・レジスタ時も可能です）。 ・ENCAnCCR1レジスタは、コンペア・レジスタとして使用時のライト可能です（リードはキャプチャ・レジスタ時も可能です）。 ・ENCAnIOC0レジスタの設定は変更可能です。	初期設定で設定されたカウント動作が実行され，TEnAIとTEnBIに従ってアップ・カウント／ダウン・カウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 ・ENCAnTTビットをセット（1）します。	これはカウンタ動作停止状態です。 動作状態を示すENCAnTEビットの値が0です。

(1) カウンタの初期設定手順



(2) カウンタ・クリアのための初期設定手順

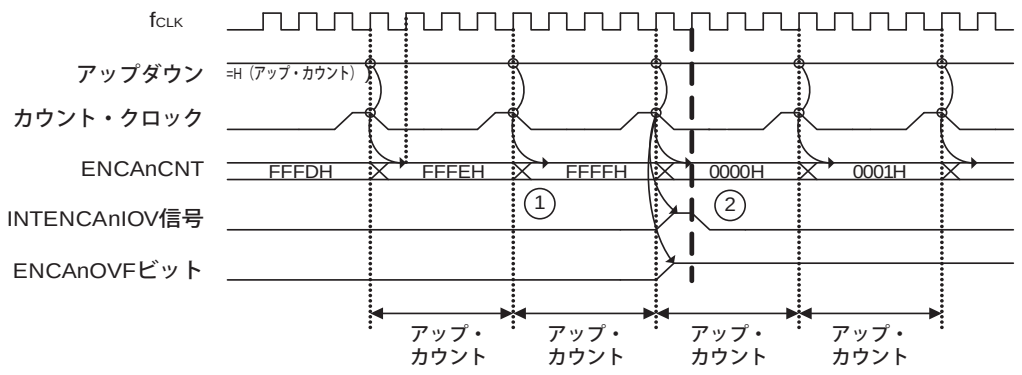


8. 6 タイミング図

8. 6. 1 オーバフローの発生とオーバフロー・フラグ・クリア操作

以下でオーバフローの発生について説明します。

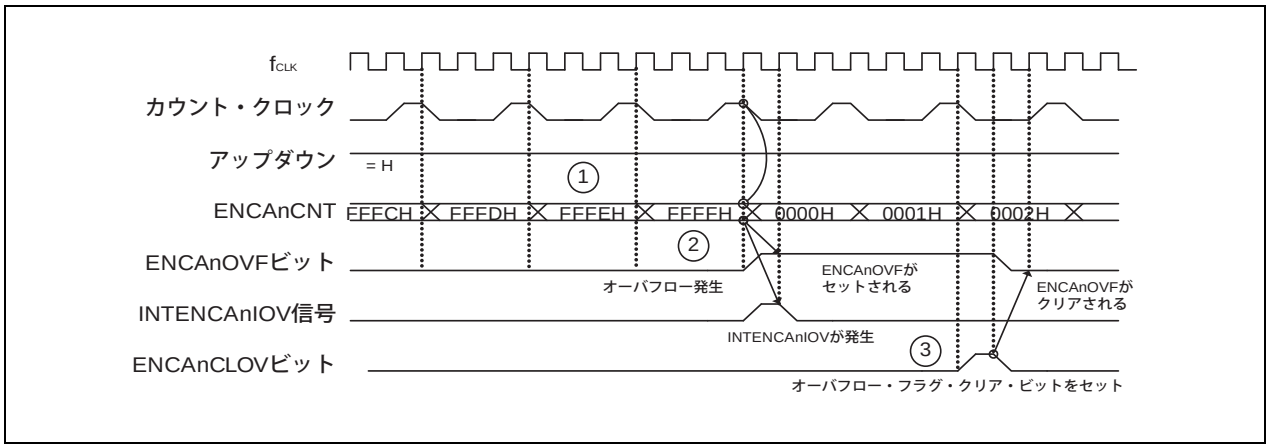
図8－7 オーバフローの発生



1. カウント値がFFFFHのときにアップ・カウントが実行されるとオーバフローが発生します。
2. カウント値がFFFFHから0000Hに変化すると同時に，オーバフロー割り込み（INTENCAnIOV）が発生し，オーバフロー・フラグENCAnOVFがセット（1）されます。

以下でオーバフロー・フラグ・クリア操作について説明します。

図8－8 オーバフロー・フラグ・クリア

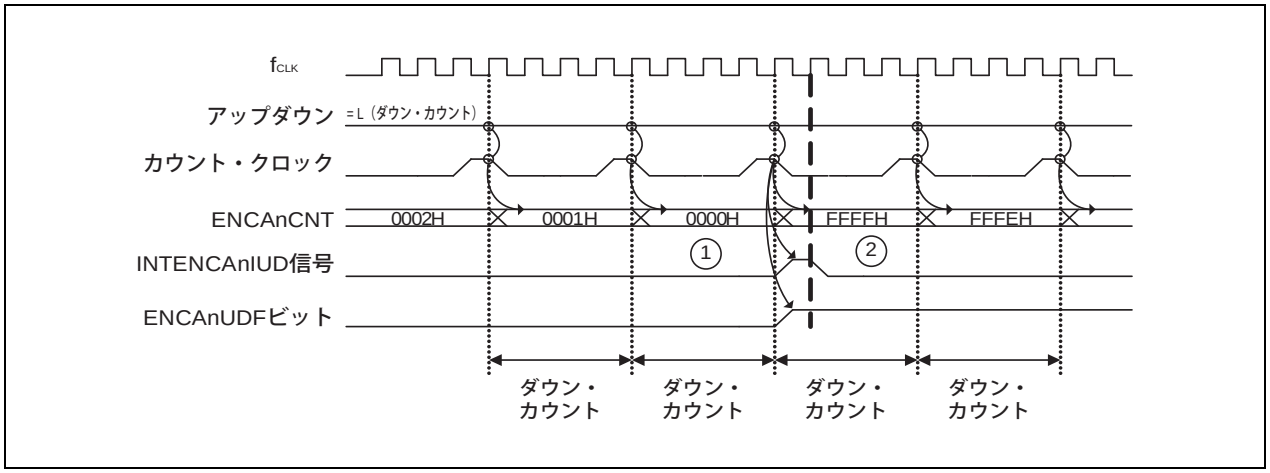


1. アップ・カウントが実行されます。
2. カウント値がFFFFHのときにアップ・カウントが実行されるとオーバフローが発生します。オーバフローが発生すると，オーバフロー割り込みが発生し，オーバフロー・フラグが「1」にセットされます。
3. オーバフローが発生したあとは，オーバフロー・フラグがセット（1）されたままになりますが，ENCAnCLOVをセット（1）することで，オーバフロー・フラグはクリア（0）されます。
   ENCAnTEビット= 0（動作停止状態）のときにタイマ・スタート・トリガ・ビットENCAnTSをセット（1）を設定してもオーバフロー・フラグはクリア（0）されます。

8. 6. 2 アンダフローの発生とアンダフロー・フラグ・クリア操作

以下でアンダフローの発生について説明します。

図8－9 アンダフローの発生

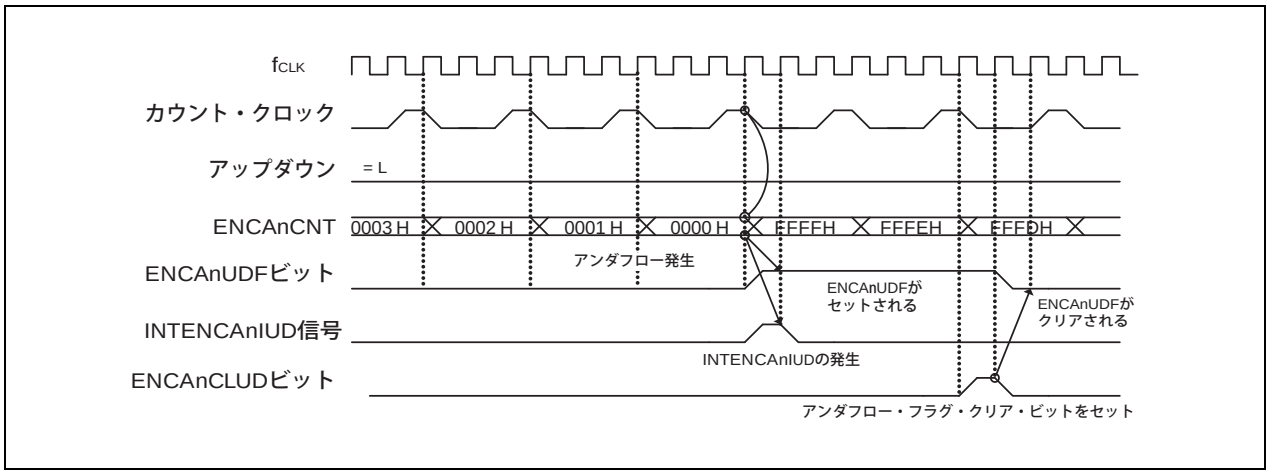


1. カウント値が0000Hのときにダウン・カウントが実行されるとアンダフローが発生します。
2. カウント値が0000HからFFFFHに変化すると同時に，アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグENCAnUDFがセット（1）されます。

備考 ENCAnLDE機能（カウント値のロード）は禁止（ENCAnLDEビット = 0）時の動作です。
ENCAnLDE機能（カウント値のロード）については，8. 6. 9を参照してください。

次にアンダフロー・フラグ・クリア操作について説明します。

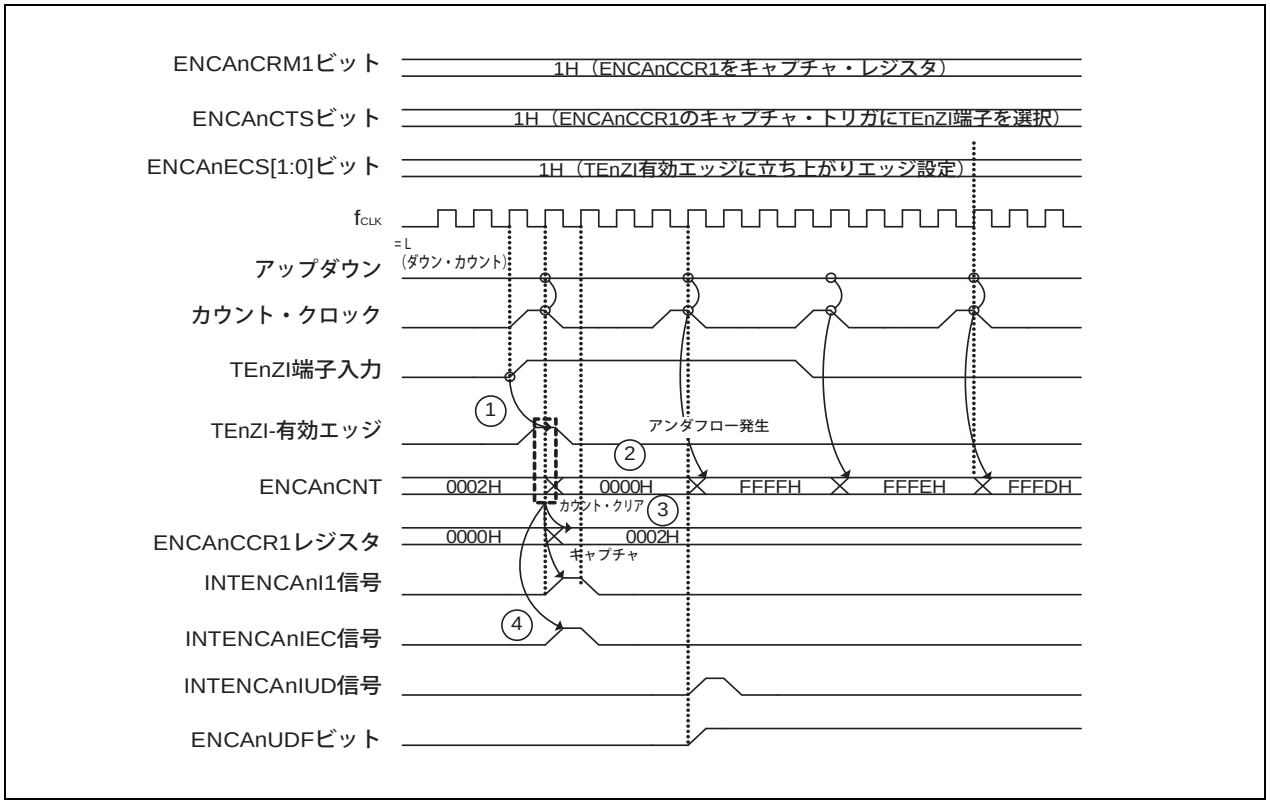
図8－10 アンダフロー・フラグ・クリア



1. ダウン・カウントが実行されます。
2. カウント値が0000Hのときにダウン・カウントが実行されるとアンダフローが発生します。アンダフローが発生すると，アンダフロー割り込みが発生し，アンダフロー・フラグがセット（1）されます。
3. アンダフローが発生したあとは，アンダフロー・フラグがセット（1）されたままになりますが，ENCAnCLUDをセット（1）することで，アンダフロー・フラグはクリア（0）されます。ENCAnTEビット=0（動作停止状態）のときにタイマ・スタート・トリガ・ビットENCAnTSをセット（1）を設定してもアンダフロー・フラグはクリアされます。

8. 6. 3 Z相のキャプチャ

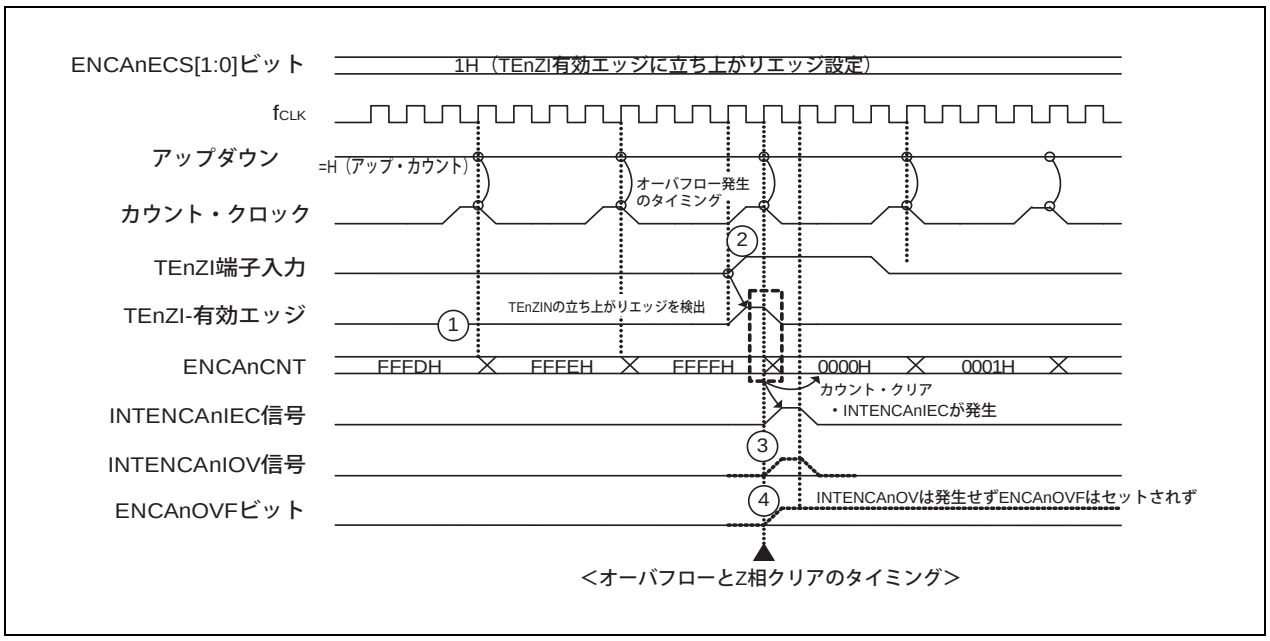
図8－11 Z相キャプチャのタイミング図



1. ENCAnCTSビット = 1に設定することで，TEnZIトリガの有効エッジ（立ち上がりエッジ：ENCAnECS1ビットとENCAnECS0ビット = 「01」）でキャプチャ動作が実行されます。
2. Z相の入力によるクリア動作が実行され，カウント値が0000Hにリセットされます。
3. TEnZIの有効エッジでカウンタ値（0002H）がキャプチャされ，ENCAnCCR1レジスタに保存されます。
4. 同時に，Z相の入力によるクリア割り込み（INTENCAnIEC）とキャプチャ割り込み（INTENCAnI1）が発生します。

8. 6. 4 オーバフローの発生とZ相の入力によるクリア動作との競合

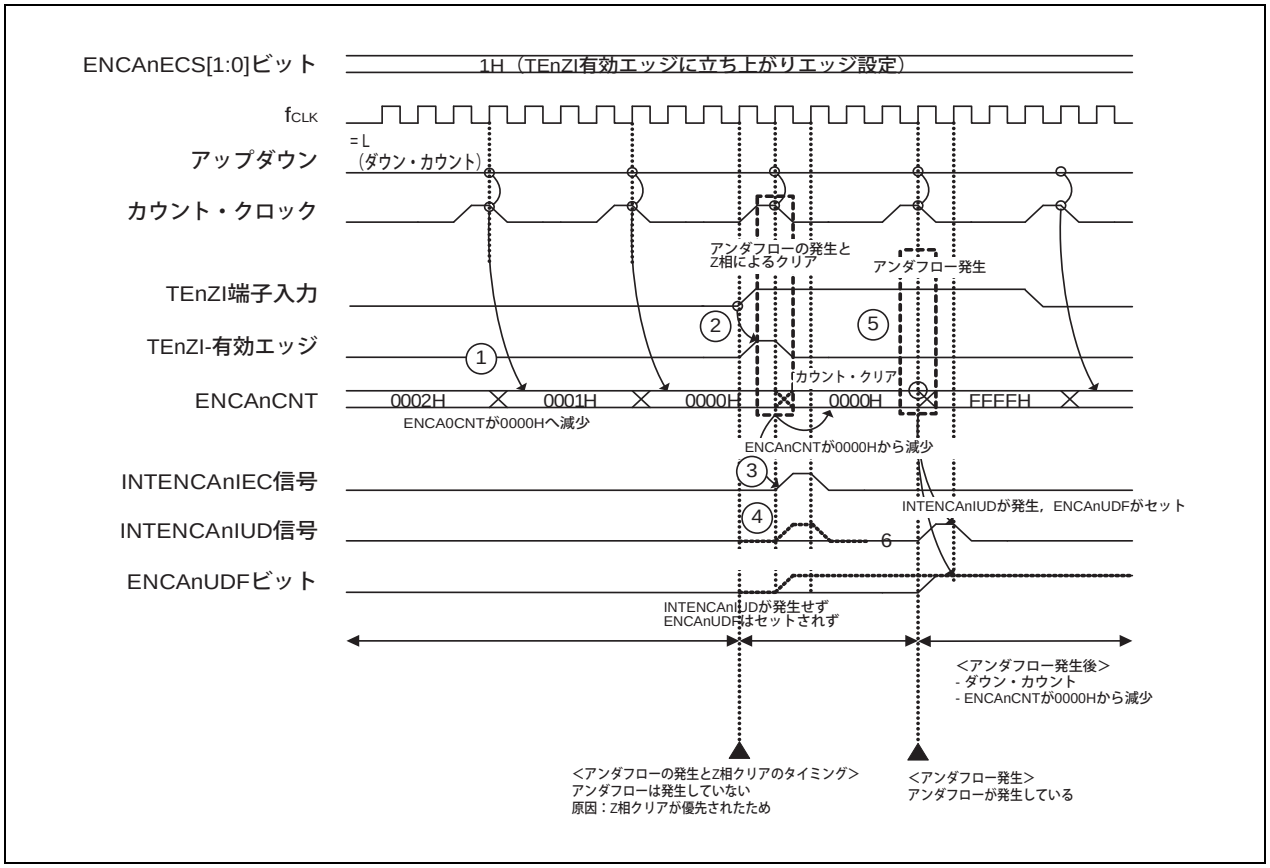
図8－12 オーバフローの発生とZ相の入力によるクリア動作との競合



1. FFFDHからのアップ・カウントが継続的に実行されます。
2. カウント値FFFFHでオーバフローが発生すると同時にTEnZIの有効エッジ（立ち上がりエッジ）が検出されると，Z相の入力によるクリア動作が実行されます。カウンタ値が0000Hにクリアされます。
3. Z相の入力によるカウンタ値のクリアが実行されると同時に，Z相によるクリア割り込み（INTENCAnIEC）が発生します。Z相の入力によるクリアがオーバフローの発生と同時に行われるため，オーバフロー割り込み（INTENCAnIOV）は発生しません（オーバフローは発生しません。Z相の入力によるクリアが実行されます）。
4. ステップ（3）と同様にオーバフローが発生しないため，オーバフロー・フラグ（ENCAnOVF）もセット（1）されません。

8. 6. 5 アンダフローの発生とZ相の入力によるクリア動作との競合

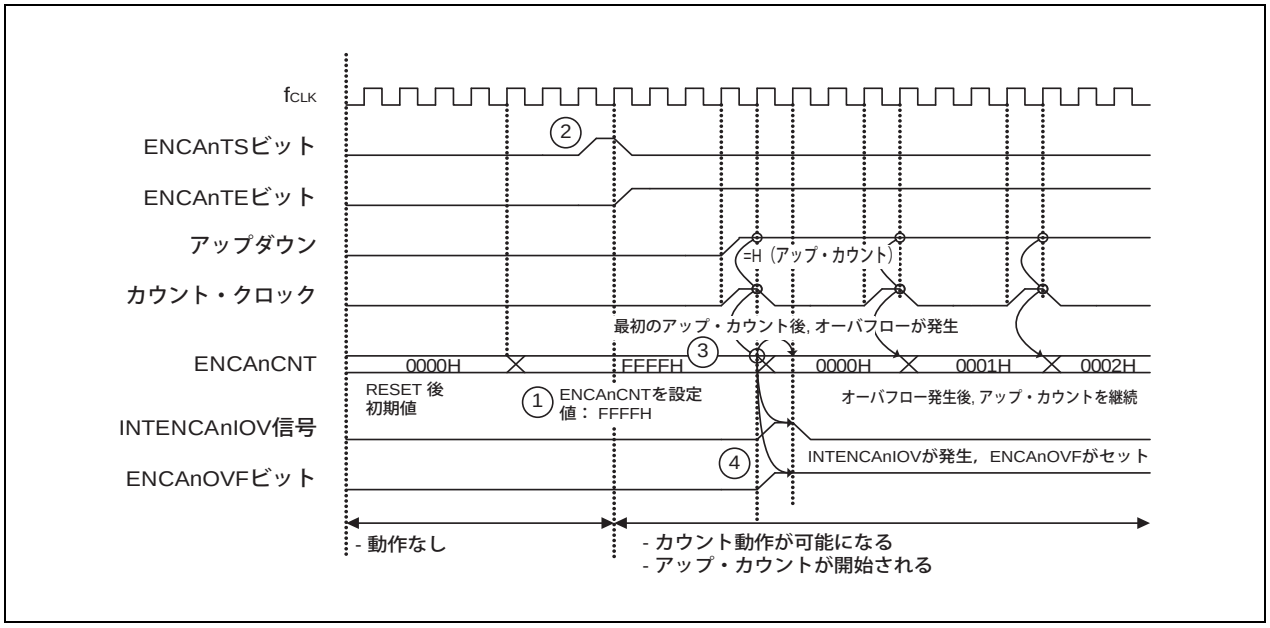
図8－13 アンダフローの発生とZ相の入力によるクリア動作との競合



1. 0002Hからのダウン・カウントが継続的に実行されます。
2. カウント値0000Hでアンダフローが発生すると同時にTEnZIの有効エッジ（立ち上がりエッジ）が検出されると，Z相の入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても，カウンタ値は0000Hのまま変わりません。
3. Z相の入力によるカウンタ値のクリアが実行されると同時に，Z相クリア割り込み（INTENCAnIEC）が発生します。Z相の入力によるクリアがアンダフローの発生と同時に行われるため，アンダフロー割り込み（INTENCAnIUD）は発生しません（アンダフローは発生しません。Z相の入力によるクリアが実行されます）。
4. ステップ（3）と同様にアンダフローが発生しないため，アンダフロー・フラグ（ENCAnUDF）もセットされません。
5. Z相の入力によるクリア動作によってカウンタ値が0000Hになったあと，さらにダウン・カウントが行われることで，カウンタ値が0000HからFFFFHへ変化し，アンダフローが発生します。
6. アンダフローが発生すると，アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグ（ENCAnUDF）がセット（1）されます。

8. 6. 6 動作開始直後のオーバフロー動作

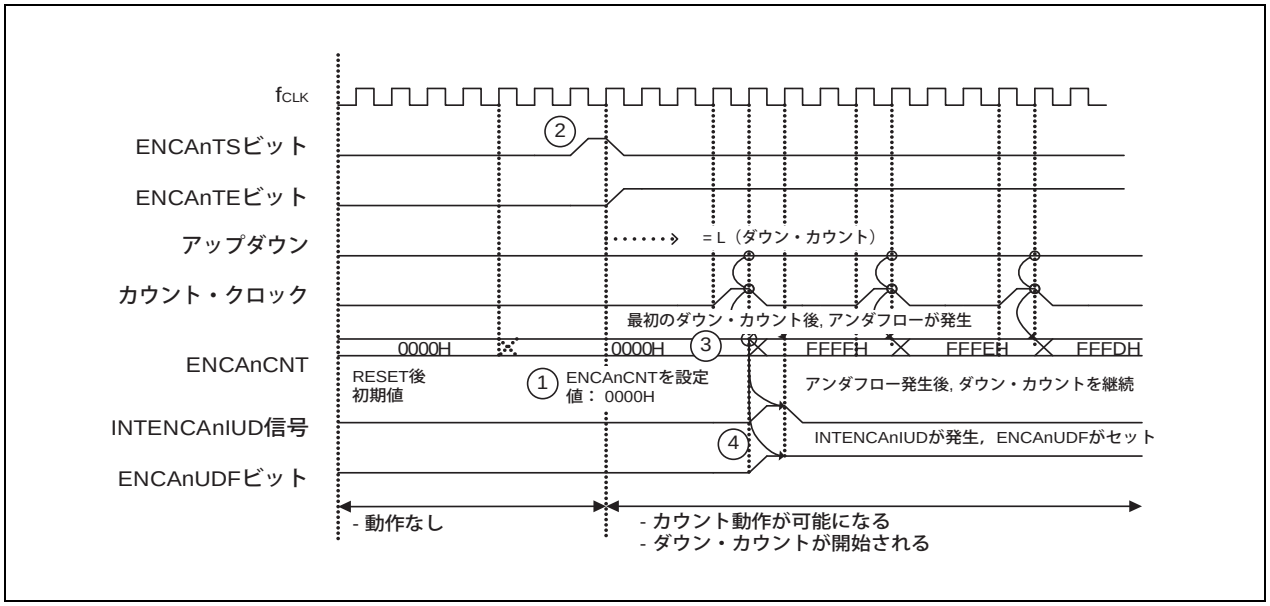
図8－14 開始直後のオーバフロー動作



1. タイマの動作停止時（ENCAnTEビット = 0）にFFFFHをタイマ・カウンタに設定します。
2. ENCAnTSビットがセット（1）され，動作が開始されます。ENCAnTEビットがセット（1）され，動作が可能になったことを示します。
3. 設定されたカウント値であるFFFFHからのアップ・カウントが実行されることで，カウンタ値がFFFFHから0000Hへ変化し，動作開始直後にオーバフローが発生します。
4. 同時に，動作開始直後のオーバフローの発生によって，オーバフロー割り込み（INTENCAnIOV）が発生し，オーバフロー・フラグ（ENCAnOVF）がセット（1）されます。

8. 6. 7 動作開始直後のアンダフロー動作

図8－15 開始直後のアンダフロー動作

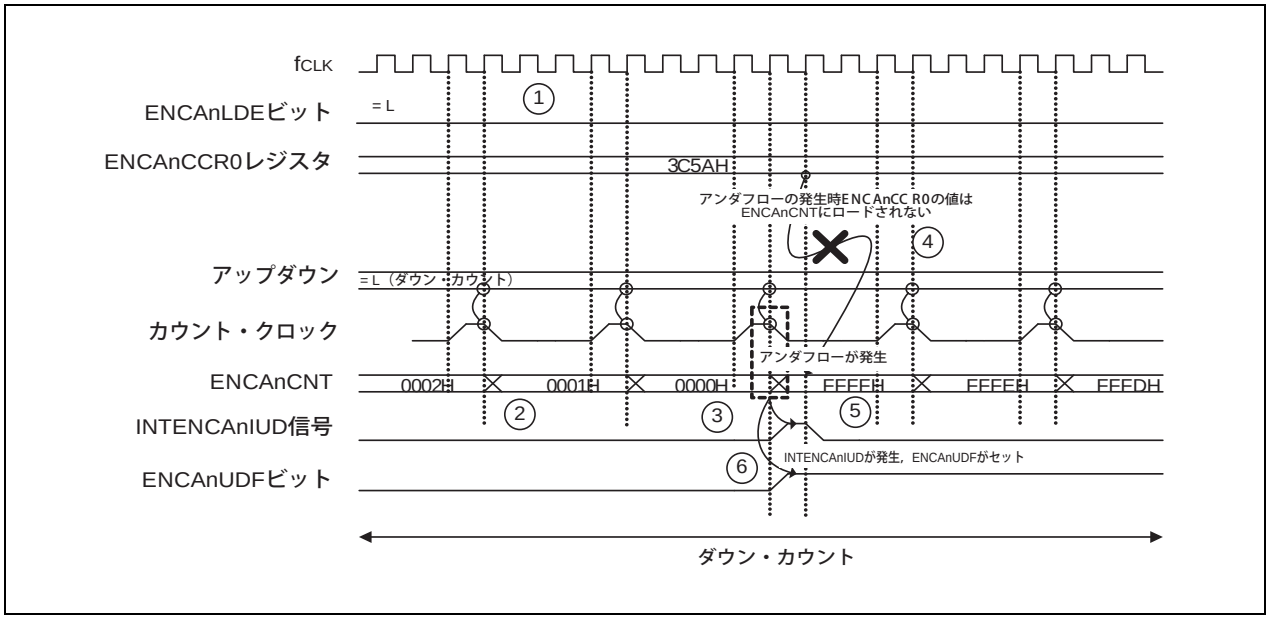


1. **タイマの動作停止時（ENCAnTEビット = 0）に0000Hをタイマ・カウンタに設定します。**
2. ENCAnTS**ビットが「1」にセットされ，動作が開始されます。**ENCAnTE**ビットが「1」になり，動作が可能になったことを示します。**
3. **設定されたカウント値である0000Hからのダウン・カウントが実行されることで，カウンタ値が0000HからFFFFHへ変化し，動作開始直後にアンダフローが発生します。**
4. **同時に，動作開始直後のアンダフローの発生によって，アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグ（ENCAnUDF）がセット（1）されます。**

8. 6. 8 ENCAnLDE機能（カウント値のロード）

（1）ENCAnLDE機能（カウント値のロード）を禁止とした場合 <ENCAnLDEビット = 0>

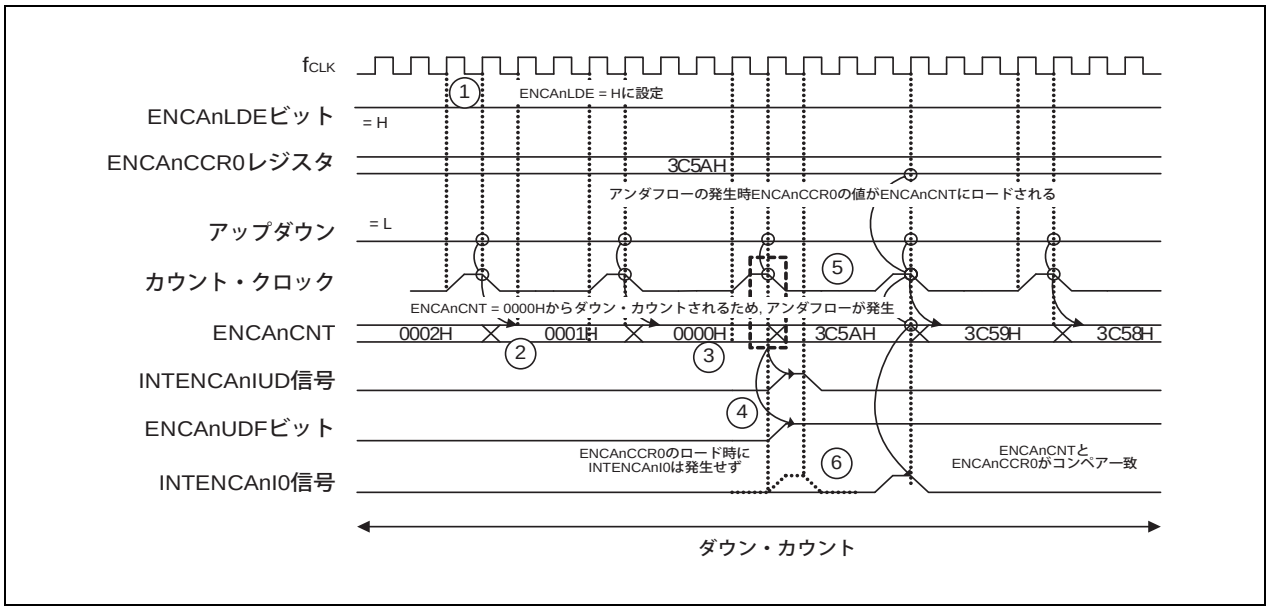
図8－16 ENCAnLDE機能（ENCAnLDEビット = 0の場合）



1. ENCAnLDEビットが0に設定されています（アンダフローが発生しても，ENCAnCCR0の値はロードされません）。
2. ダウン・カウントが実行されます： 0002H → 0001H → 0000H。
3. カウンタ値が0000Hになったあと，さらにダウン・カウントが実行されることでアンダフローが発生します。
4. ENCAnLDEビットが0に設定されているため，アンダフローが発生したときにENCAnCCR0レジスタの設定値はカウンタにロードされません。
5. アンダフローの発生により，カウンタ値は 0000H → FFFFH に変化します。
6. アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグENCAnUDFがセット（1）されます。

（2）ENCAnLDE機能（カウント値のロード）を許可した場合 <ENCAnLDEビット = 1>

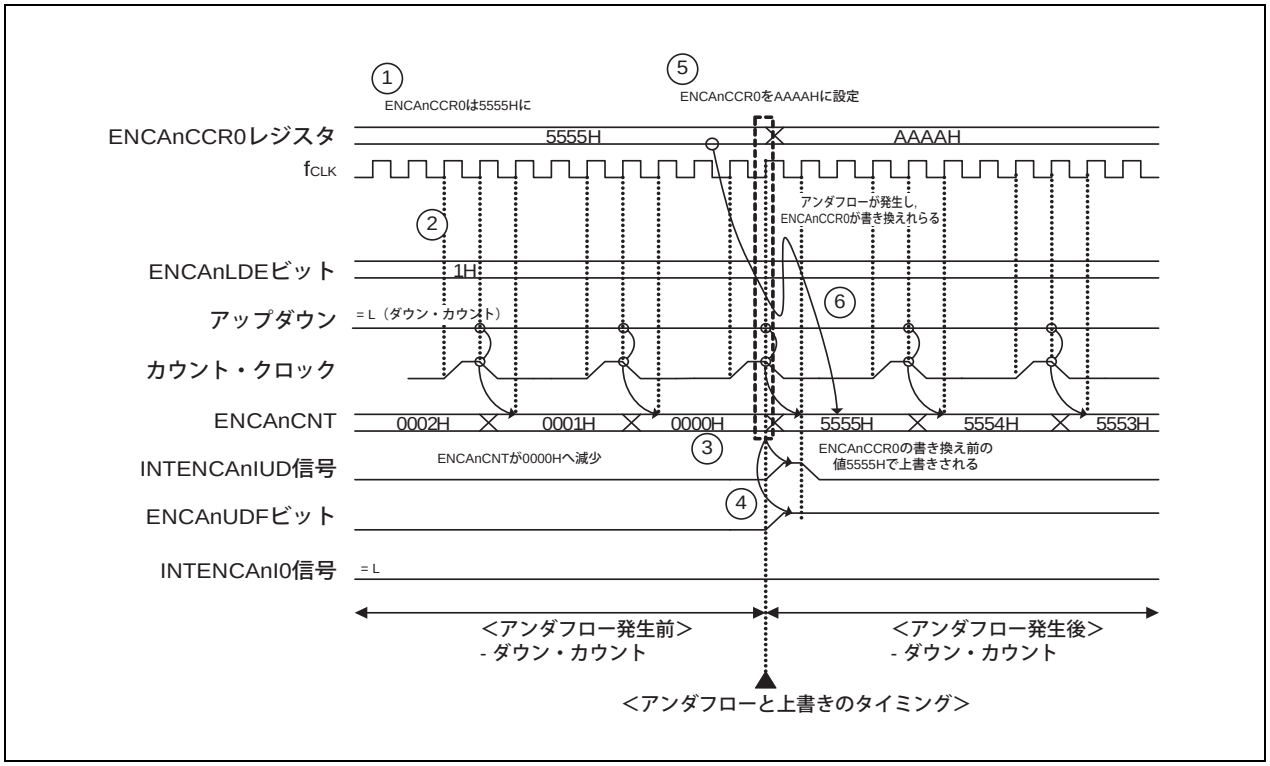
図8ー17 ENCAnLDE機能（ENCAnLDEビット = 1の場合）



1. ENCAnLDEが1ビットに設定されています（アンダフローが発生すると，ENCAnCCR0レジスタの値がカウンタにロードされます）。
2. ダウン・カウントが実行されます： 0002H → 0001H → 0000H。
3. カウンタ値が0000Hになったあと，さらにダウン・カウントが実行されることでアンダフローが発生します。
4. アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグ（ENCAnUDF）がセットされます。
5. ENCAnLDEビットがセット（1）されているため，アンダフローが発生するとENCAnCCR0レジスタの設定値がカウンタにロードされます。
   ENCAnCNTが3C5AHに設定されます。
6. ENCAnCCR0の値がENCAnCNTにロードされた後，ENCAnCNTの値とENCAnCCR0の値がカウント・クロックで一致すれば，コンペアー致割り込み（INTENCAnI0）が発生します。

8. 6. 9 ENCAnLDE機能（カウンタ値のロード）とENCAnCCR0レジスタの書き換えとの競合

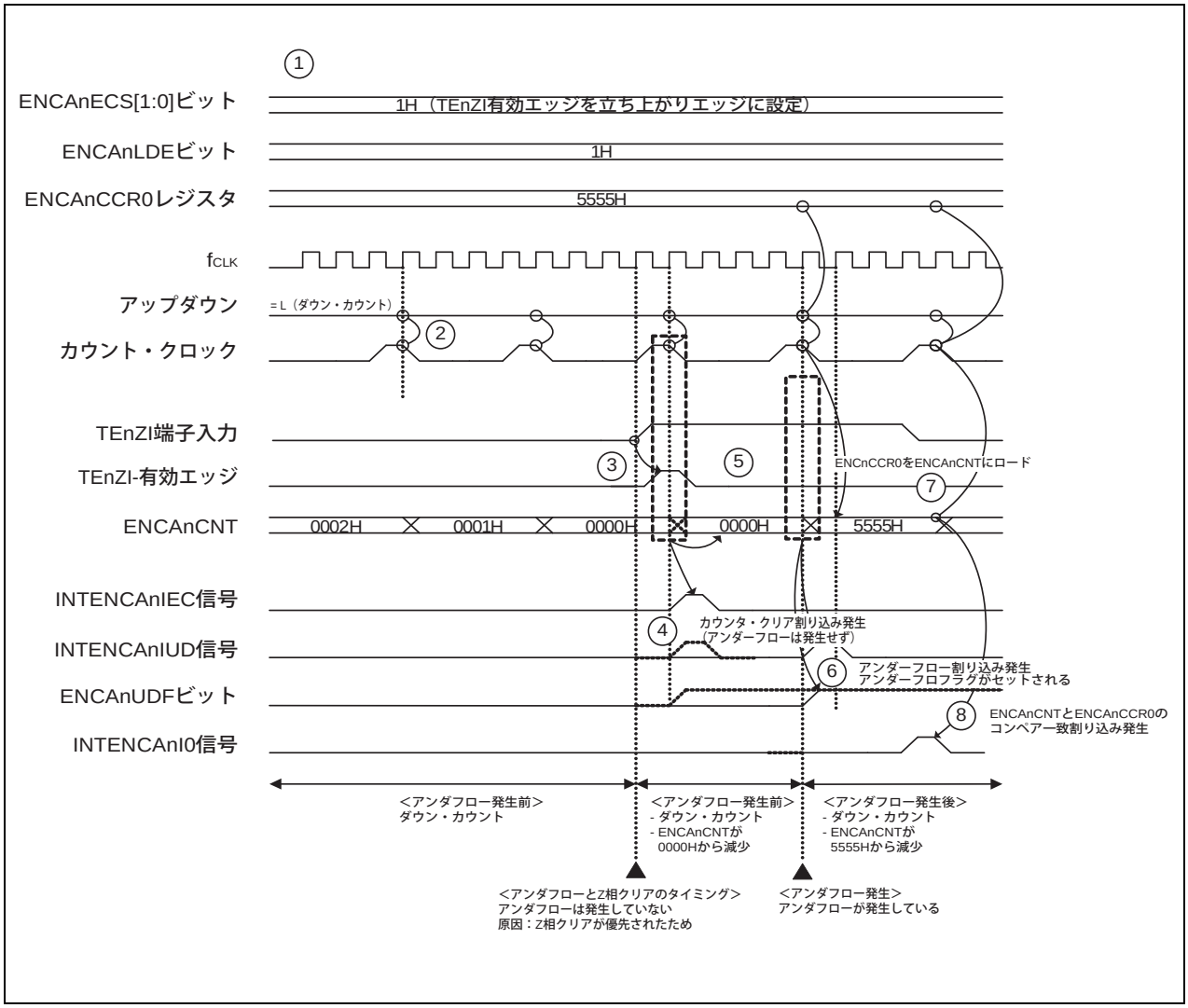
図8－18 ENCAnLDE機能とENCAnCCR0レジスタの書き換えとの競合



1. ENCAnCCR0レジスタは，現在5555Hに設定されています。
2. ENCAnLDEビットは現在セット（1）されています（カウンタにロードされます）。
3. 00002H → 0001H → 0000Hとダウン・カウントが実行され，アンダフローが発生します。
4. アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグ（ENCAnUDF）がセット（1）されます。
5. またアンダフローが発生すると同時に，ENCAnCCR0レジスタの値が5555HからAAAAHに書き換えられます。
6. 書き換えの実行後，ENCAnCCR0レジスタは新たに書き換えられた値（AAAAH）に設定されます。一方，アンダフローが発生すると同時に，書き換えられる前のENCAnCCR0レジスタの値（5555H）がENCAnCNTにロードされます。

8. 6. 10 ENCAnLDE機能（カウンタ値のロード）とZ相の入力によるクリア動作との競合

図8－19 ENCAnLDE機能とZ相の入力によるクリア動作との競合

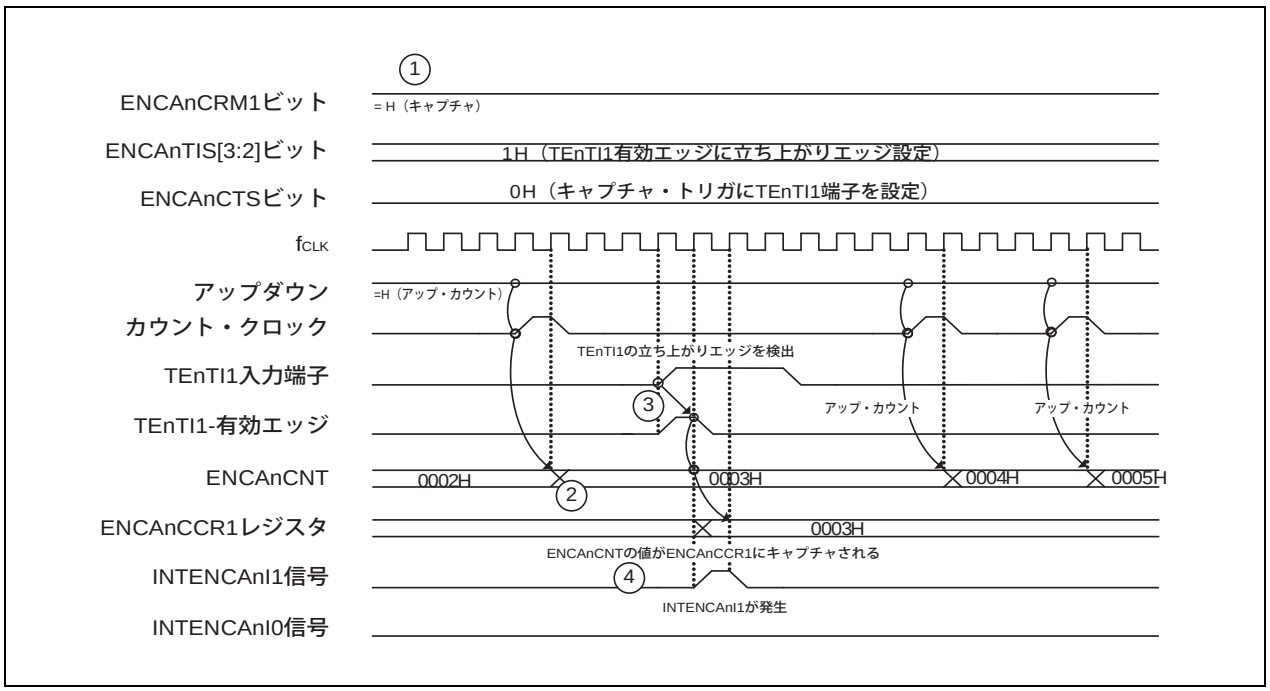


1. **次の値が設定されています。**
   TEnZI端子入力の有効エッジを立ち上がりエッジ（ENCAnECS1ビットとENCAnECS0ビット = {0, 1}），カウンタ値のロードを許可（ENCAnLDEビット = 1），ENCAnCCR0レジスタ = 5555H。
2. **ダウン・カウントが実行されます：** 0002H → 0001H → 0000H。
3. **カウント値が0000HになったときにTEnZIの立ち上がりエッジが検出され，Z相の入力によるクリア（0）が実行されます。**
4. **カウント値が0000Hに達したときにカウント・クリアが実行されたため，Z相の入力によるカウンタ・クリア割り込み（INTENCAnIEC）が発生します。さらに，カウント値0000Hでダウン・カウントが行われなかったため，アンダフローは発生しません。したがって，アンダフロー割り込み（INTENCAnIUD）は発生せず，アンダフロー・フラグ（ENCAnUDF）もセット（1）されません。**
5. **Z相の入力によるクリア（0）によってカウント値が0000Hにクリア（0）されたあと，ダウン・カウントが実行され，アンダフローが発生します。**

6. アンダフロー割り込み（INTENCAnIUD）が発生し，アンダフロー・フラグ（ENCAnUDF）がセットされます。
7. ENCAnLDEビット = 1であるため，アンダフローが発生するとENCAnCCR0レジスタの値がENCAnCNTにロードされます。
8. ENCAnCCR0レジスタの値がENCAnCNTに設定されたあと，カウント・クロックに基づいてコンペア一致の検出が行われ，ENCAnCNTとENCAnCCR0レジスタが一致するとコンペア一致割り込み（INTENCAnIO）が発生します。

8. 6. 11 カウント・クロック間のキャプチャ動作（ENCAnCCR1）

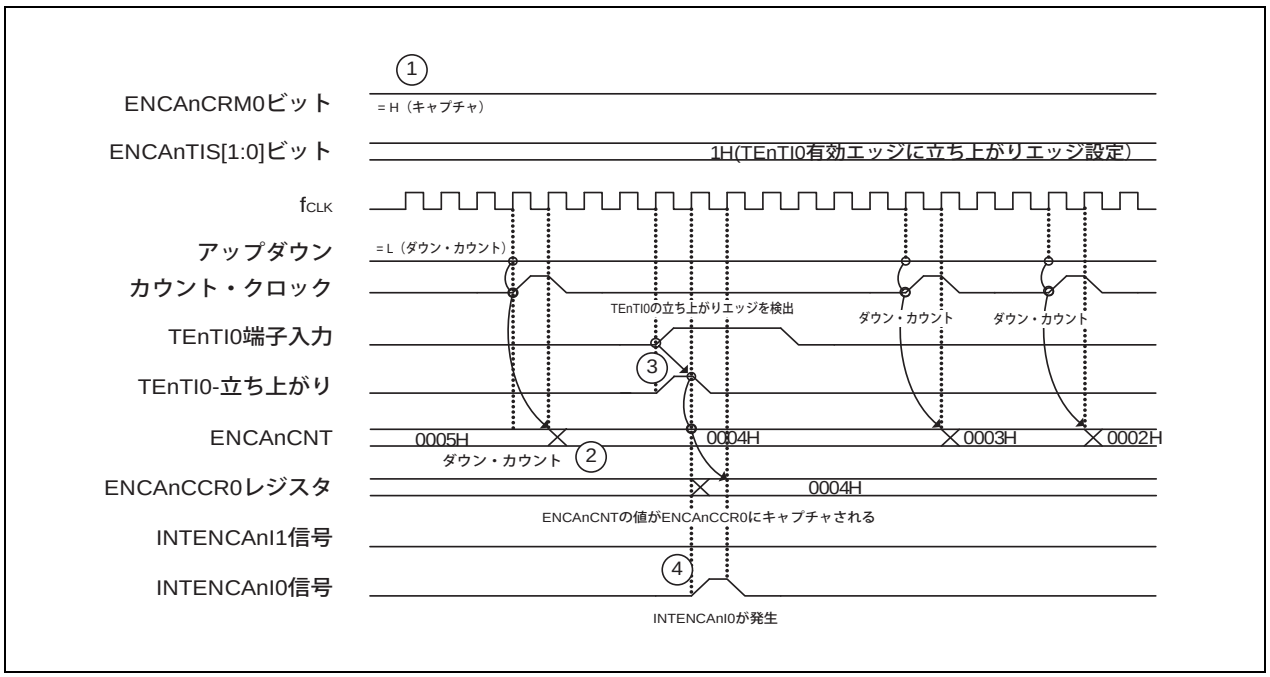
図8－20 カウント・クロック間のキャプチャ動作（ENCAnCCR1）



1. **次の値が設定されています。**
   ENCAnCCR1**をキャプチャ・レジスタ（**ENCAnCRM1**ビット** = 1**），**TEnTI1**端子入力の有効エッジとして立ち上がりエッジ（**ENCAnTIS3**ビットと**ENCAnTIS2**ビット** = {0, 1}**）。キャプチャ・トリガに**TEnTI1**入力（**ENCAnCTS**ビット** = 0**）**
2. **アップ・カウントが実行されます。**
3. TEnTI1**入力の立ち上がりエッジが検出され，カウント値が**ENCAnCCR1**レジスタにキャプチャされます。**
4. ENCAnCCR1**レジスタへのキャプチャに対応する割り込み信号（**INTENCAnI1**）が発生します。**

8. 6. 12 カウント・クロック間のキャプチャ動作（ENCAnCCR0）

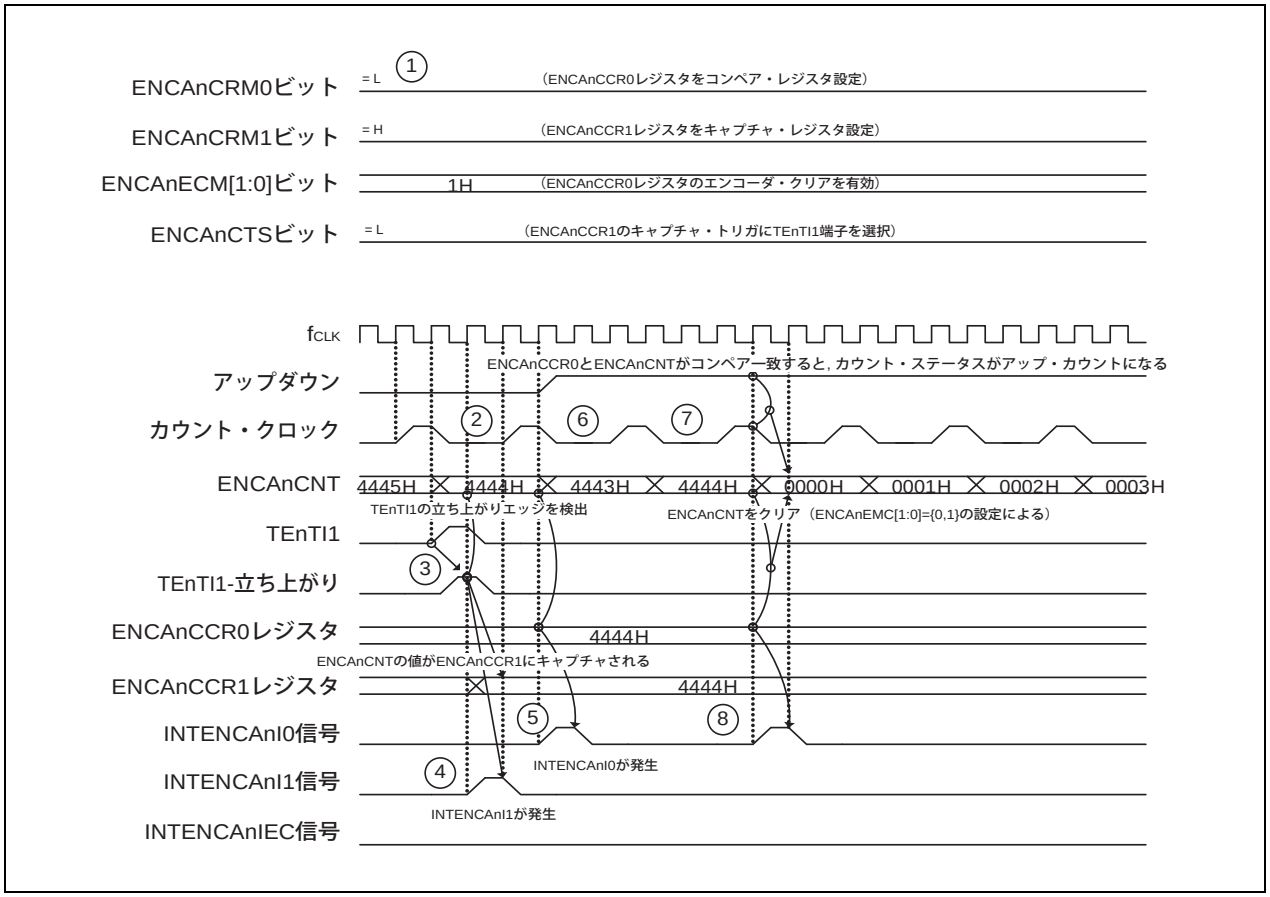
図8ー21 カウント・クロック間のキャプチャ動作（ENCAnCCR0）



1. **次の値が設定されています。**
   ENCAnCCR1**をキャプチャ･レジスタ**（ENCAnCRM1**ビット** = 1），TEnTI0**端子入力の有効エッジを立ち上がりエッジ**（ENCAnTIS3**ビットと**ENCAnTIS2**ビット** = {0, 1}）。
2. **ダウン・カウントが実行されます。**
3. TEnTI0**入力の立ち上がりエッジが検出され，カウント値が**ENCAnCCR0**レジスタにキャプチャされます。**
4. ENCAnCCR0**レジスタへのキャプチャに対応する割り込み信号**（INTENCAnI0）**が発生します。**

8. 6. 13 ENCAnECM1-0 = {0, 1}かつENCAnCTS = 0のときのエンコーダの動作

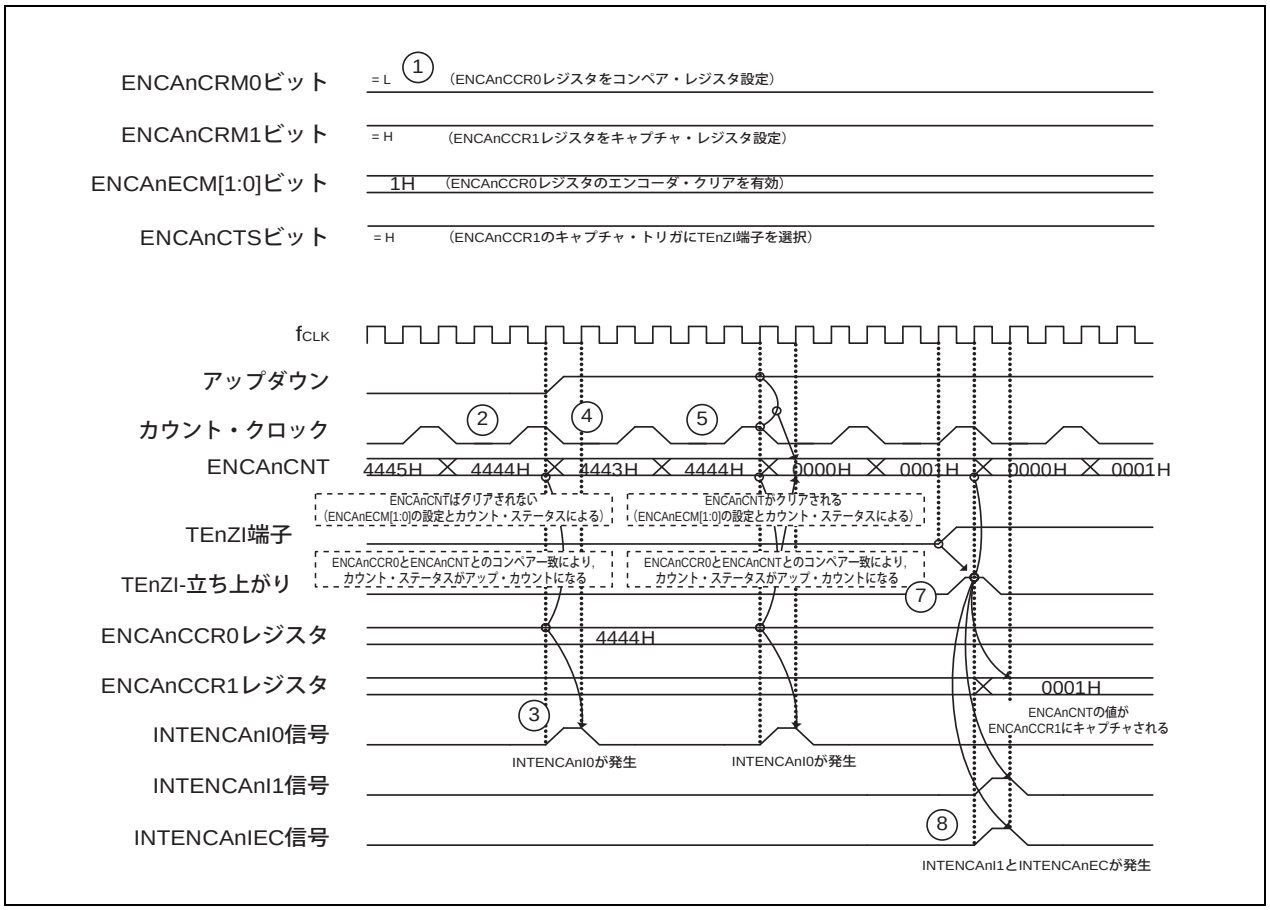
図8－22 ENCAnECM1-0 = {0, 1}かつENCAnCTS = 0のときのエンコーダの動作



1. **次の値が設定されています。**
   ENCAnCCR0**レジスタ** = 4444H，ENCAnCCR0**をコンペア・レジスタ**（ENCAnCRM0**ビット** = 0），ENCAnCCR1**をキャプチャ・レジスタ**（ENCAnCRM1**ビット** = 1），ENCAnCCR0**のエンコーダ・クリアを有効**（ENCAnECM1**ビットと**ENCAnECM0**ビット** = {0, 1}），ENCAnCCR1**のキャプチャ・トリガに**TEnTI1**端子を選択**（ENCAnCTS = 0）。
2. **ダウン・カウントが実行されます。**
3. TEnTI1**の立ち上がりエッジが検出され，**ENCAnCNT**の値**4444H**が**ENCAnCCR1**レジスタにキャプチャされます。**
4. ENCAnCCR1**レジスタへのキャプチャに対応する割り込み**（INTENCAnIEC）**が発生します。**
5. ENCAnCNT（4445H**から**4444H**へダウン・カウントされる）と**ENCAnCCR0**レジスタ**（4444H）**がコンペアー致すると，**ENCAnCCR0**レジスタとのコンペアー致割り込み**（INTENCAnI0）**が発生します。**
6. **カウント動作がアップ・カウントに変わります。**
7. ENCAnCNT**が**4443H**から**4444H**へカウント・アップされると**ENCAnCCR0**レジスタとのコンペアー致が再び発生します。コンペアー致が発生したときのカウント動作がアップ・カウントであるため，**ENCAnECM1**ビットと**ENCAnECM0**ビットの設定**（0, 1）**に従ってカウント値がクリア**（0）**され，**ENCAnCNT**の値が**0000H**になります。**
8. ENCAnCNT**が**4444H**になると，**ENCAnCCR0**レジスタとのコンペアー致割り込み**（INTENCAnI0）**が発生します。**

8. 6. 14 ENCAnECM1-0 = {0, 1}かつENCAnCTS = 1のときのエンコーダの動作

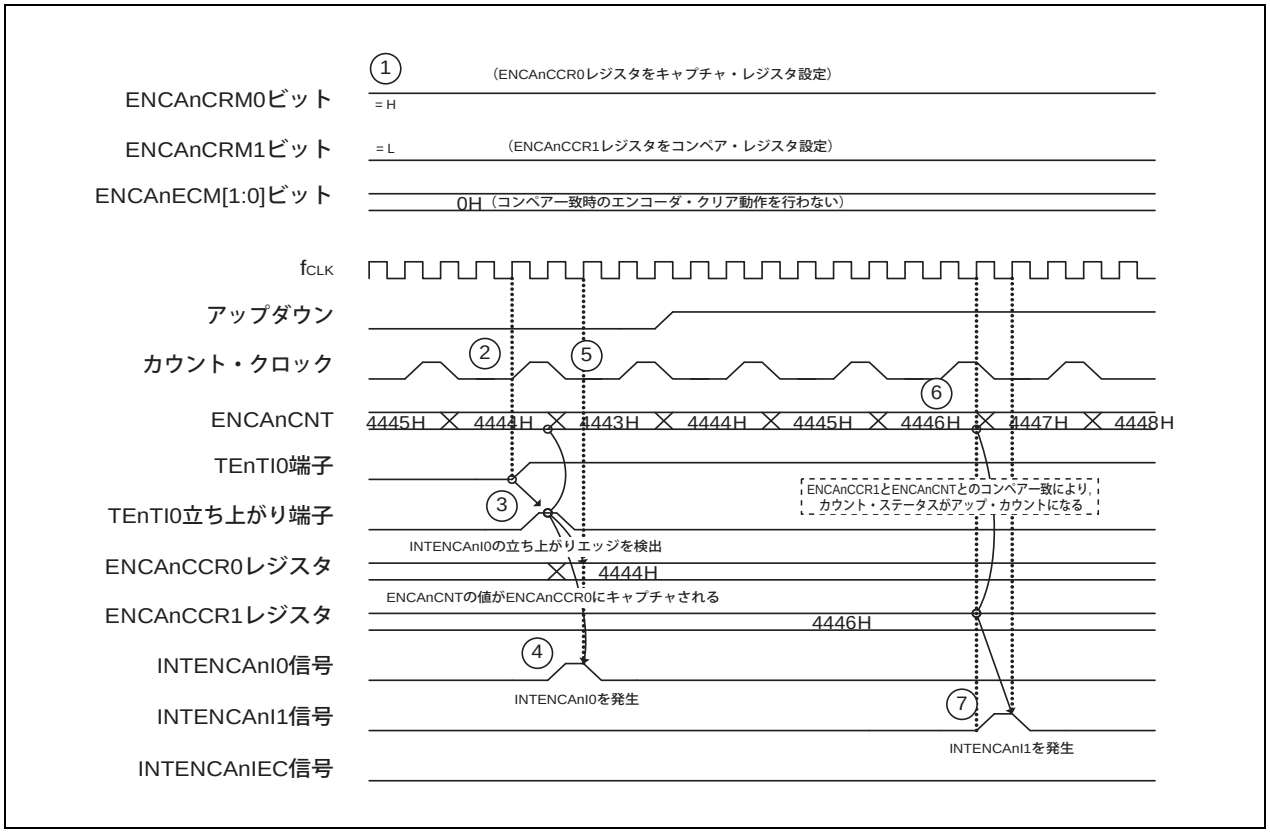
図8－23 ENCAnECM1-0 = {0, 1}かつENCAnCTS = 1のときのエンコーダの動作



1. **次の値が設定されています。**
   ENCAnCCR0**レジスタ** = 4444H，ENCAnCCR0**をコンペア・レジスタ**（ENCAnCRM0**ビット** = 0），ENCA**n**CCR1**をキャプチャ・レジスタ**（ENCAnCRM1**ビット** = 1），ENCAnCCR0**のエンコーダ・クリアを有効**（ENCAnECM1**ビットと**ENCAnECM0**ビット** = {0, 1}），ENCAnCCR1**のキャプチャ・トリガに**TEnZI**端子を選択**（ENCAnCTS**ビット** = 1）。
2. **ダウン・カウントが実行されます。**
3. ENCAnCNT（4445H**から**4444H**へダウン・カウントされる**）**と**ENCAnCCR0**レジスタ**（4444H）**がコンペア一致すると，割り込み信号**（INTENCAnI0）**が発生します。**
4. **カウント動作がアップ・カウントに変わります。**
5. ENCAnCNT**が**4443H**から**4444H**へカウント・アップされると**ENCAnCCR0**レジスタとのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップ・カウントであるため，**ENCAnECM1**ビットと**ENCAnECM0**ビットの設定**（0, 1）**に従ってカウント値がクリア**（0）**され，**ENCAnCNT**の値が**0000H**になります。**
6. ENCAnCNT**が**4444H**になると，**ENCAnCCR0**レジスタとのコンペア一致割り込み**（INTENCAnI0）**が発生します。**
7. **カウントがクリア**（0）**されたあと，アップ・カウントが実行され，カウント値が**0001H**になります。この時点で**TEnZI**入力の立ち上がりエッジが検出されることによって**ENCAnCNT**の値**0001H**が**ENCAnCCR1**レジスタにキャプチャされ，カウンタが**0000H**にクリア**（0）**されます。**
8. ENCAnCCR1**レジスタへのキャプチャに対応する割り込み**（INTENCAnI1）**と**TEnZI**によるクリア割り込み**（INTENCAnIEC）**が発生します。**

8. 6. 15 ENCAnECM1-0 = {0, 0}のときのエンコーダの動作

図8ー24 ENCAnECM1-0 = {0, 0}のときのエンコーダの動作

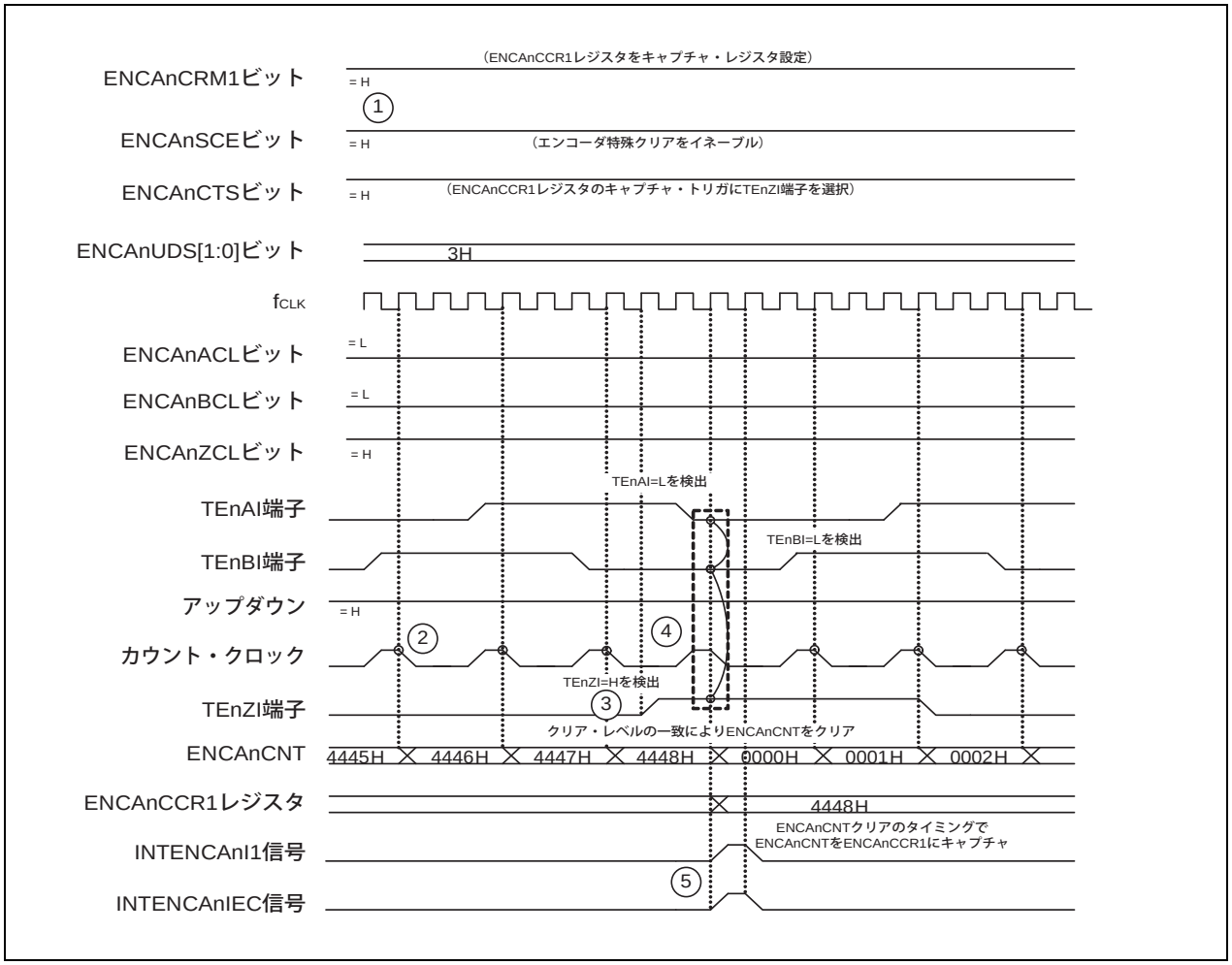


1. **次の値が設定されています。**
   ENCAnCCR1**レジスタ** = 4446H，ENCAnCCR0**をキャプチャ・レジスタ**（ENCAnCRM0**ビット** = 1），ENCAnCCR1**をコンペア・レジスタ**（ENCAnCRM1**ビット** = 0），**コンペアー致時のエンコーダ・クリア動作を行わない**（ENCAnECM1**ビットと**ENCAnECM0**ビット** = {0, 0}）。
2. **ダウン・カウントが実行されます。**
3. TEnTI0**の立ち上がりエッジが検出されると，**ENCAnCNT**の値**（4444H）**が**ENCAnCCR0**レジスタにキャプチャされます。**
4. ENCAnCCR0**レジスタへのキャプチャに対応する割り込み**（INTENCAnI0）**が発生します。**
5. **カウント動作がアップ・カウントに変わります。**
6. ENCAnCNT**が**4446H**になると，**ENCAnCCR1**レジスタとのコンペアー致が検出されます。**
7. ENCAnCCR1**レジスタとのコンペアー致割り込み**（INTENCAnI1）**が発生します。**

8. 6. 16 ENCAnSCE = 1のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作

（1）キャプチャ動作がともなう場合

図8ー25 ENCAnSCE = 1のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作

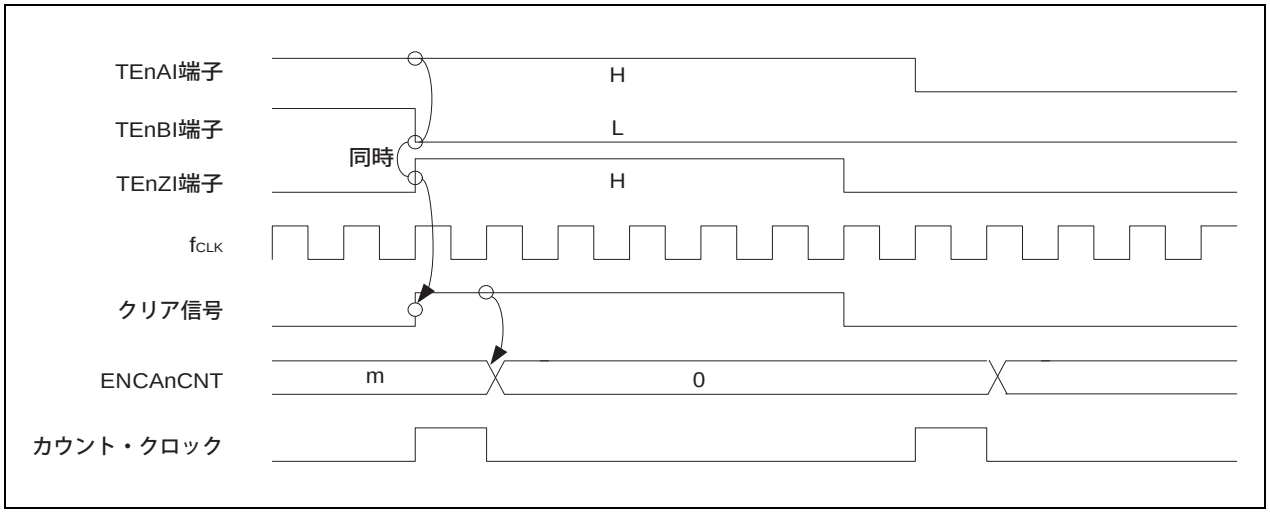


1. 次の設定が行われています。
   エンコーダ特殊クリア設定をイネーブル（ENCAnSCEビット = 1），ENCAnCCR1のキャプチャ・トリガにTEnZI端子を選択（ENCAnCTSビット = 1），ENCAnUDS1ビットとENCAnUDS0ビット = {1, 1}，A相エンコーダ入力のクリア条件をロウ・レベル（ENCAnACLビット = 0），B相エンコーダ入力のクリア条件をロウ・レベル（ENCAnBCLビット = 0），Z相エンコーダ入力のクリア条件をハイ・レベル（ENCAnZCLビット = 1）。
2. アップ・カウントが実行されます。
3. TEnZIの立ち上がりエッジではカウント値はクリア（0）されません。
4. TEnAI，TEnBI，TEnZIが設定されたクリア・レベルに達すると，カウント値がクリア（0）されます。クリア（0）のタイミングでカウント値がENCAnCCR1レジスタにキャプチャされます。
5. クリアのタイミングで，ENCAnCCR1レジスタへのキャプチャに対応する割り込み（INTENCAnI1）とTEnZIによるクリア割り込み（INTENCAnIEC）が発生します。

（2）アップ・カウント中にTEnZIの入力のタイミングがTEnBIの入力のタイミングと同じだった場合

（ENCAnACL=1，ENCAnBCL=0，ENCAnZCL=1，ENCAnUDS={1,1}のとき）

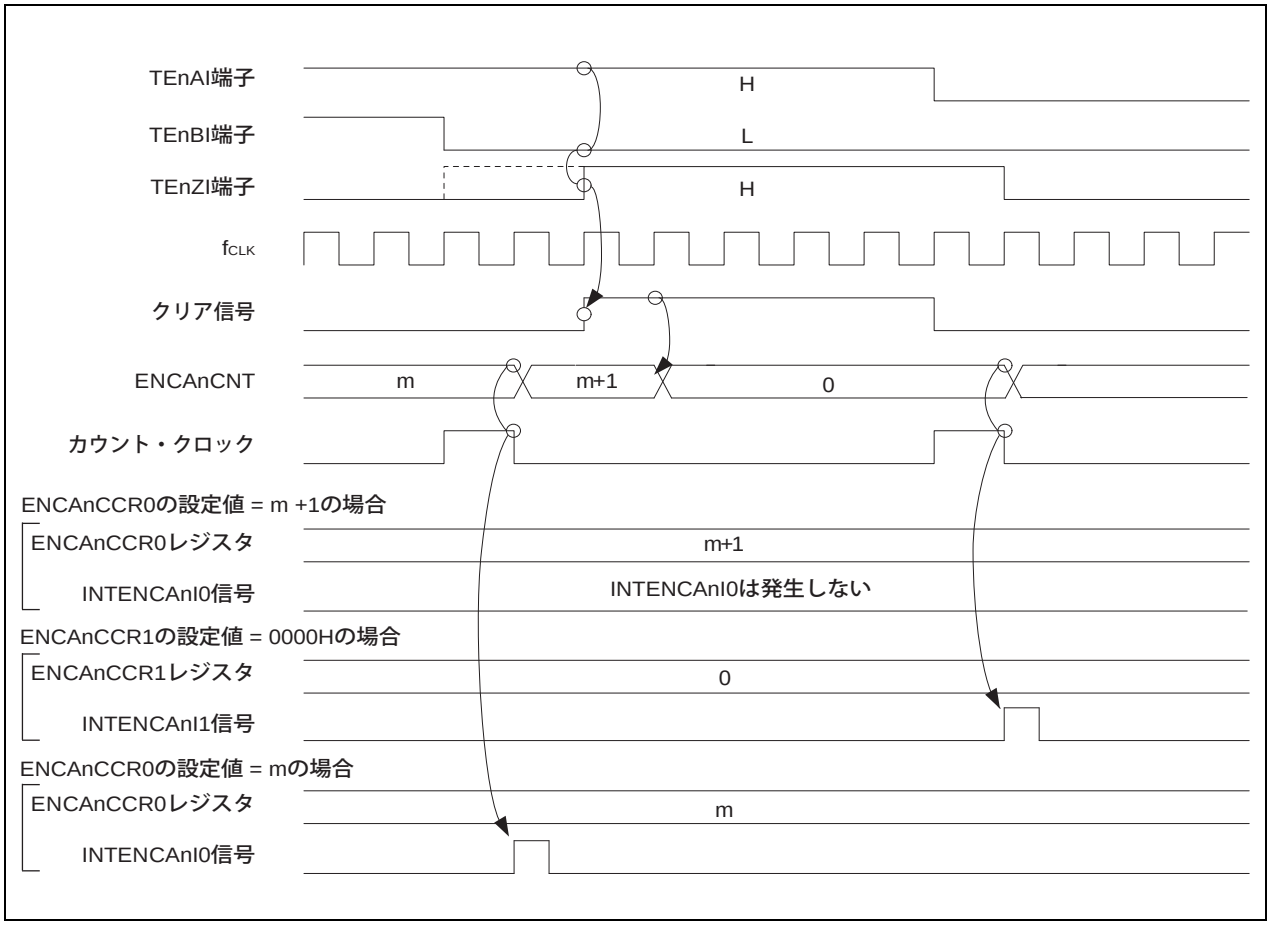
図8－26 アップ・カウント中にTEnZIの入力のタイミングがTEnBIの入力のタイミングと同じだった場合のクリアのタイミング



（3）アップ・カウント中にTEnZIの入力のタイミングがTEnBIの入力のタイミングより遅かった場合

（ENCAnACL=1，ENCAnBCL=0，ENCAnZCL=1，ENCAnUDS={1,1}のとき）

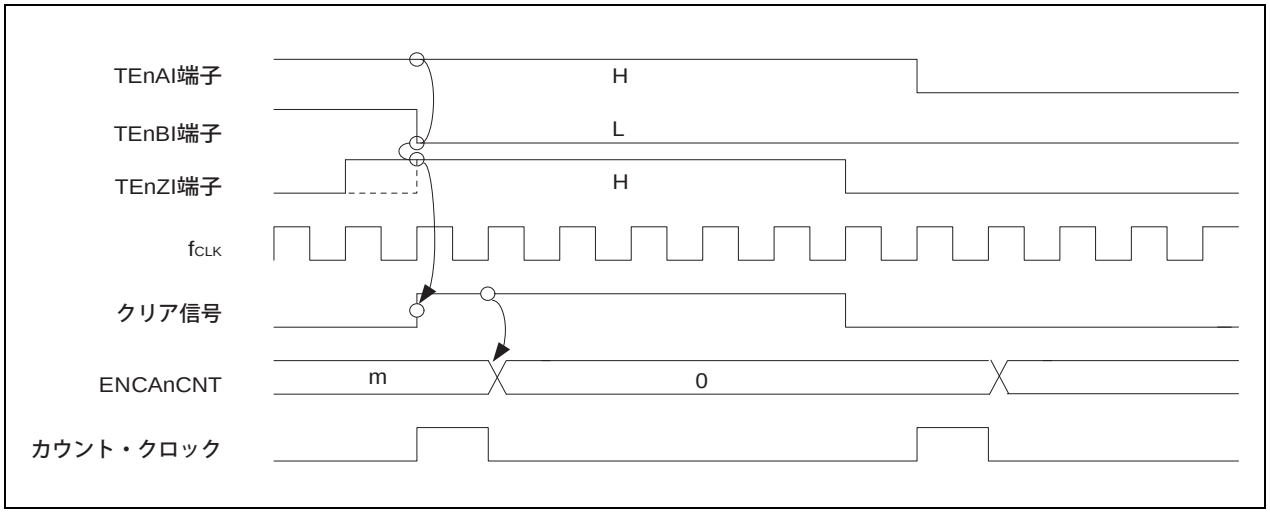
図8－27 アップ・カウント中にTEnZIの入力のタイミングがTEnBIの入力のタイミングより遅かった場合のクリアのタイミング



（4）アップ・カウント中にTEnZIの入力のタイミングがTEnBIの入力のタイミングより早かった場合

（ENCAnACL=1，ENCAnBCL=0，ENCAnZCL=1，ENCAnUDS={1,1}のとき）

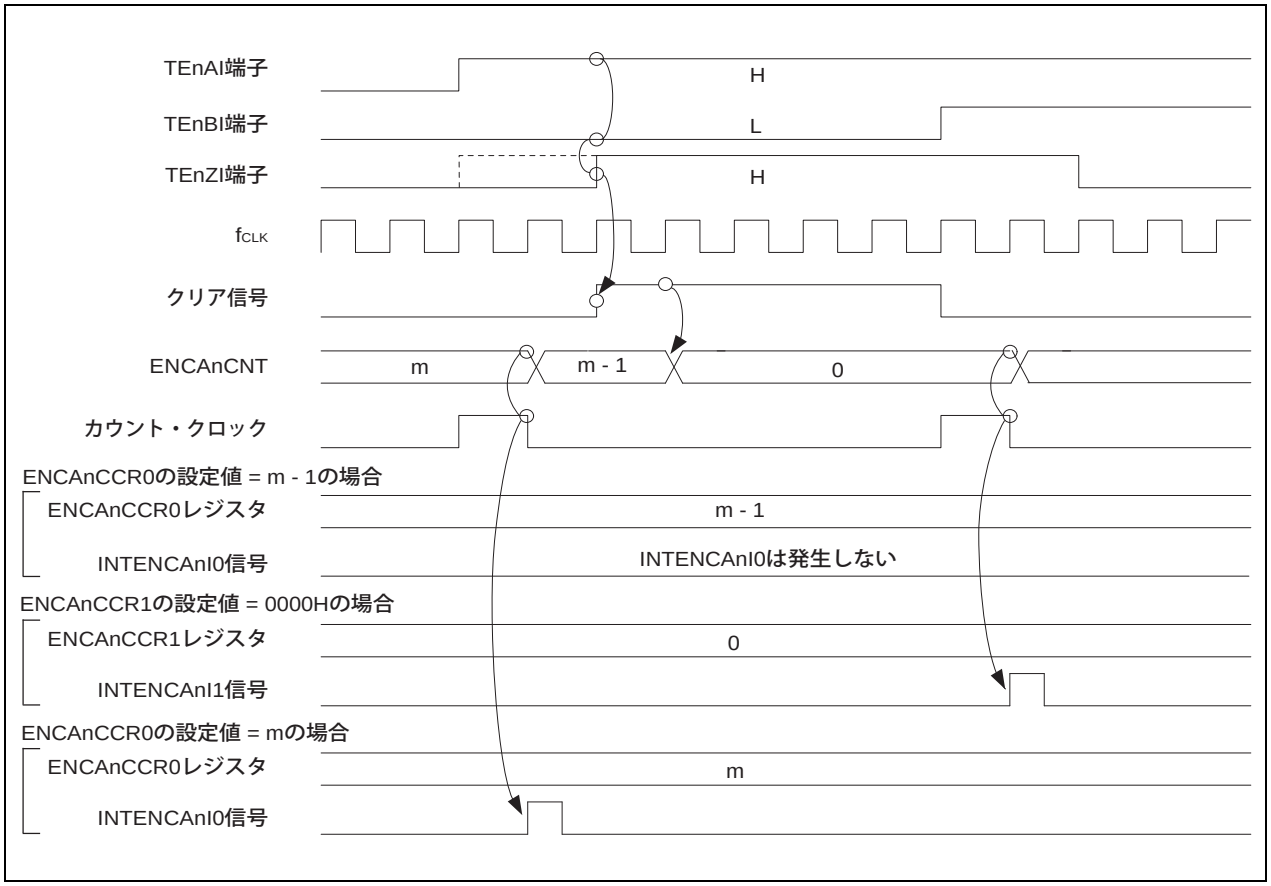
図8－28 アップ・カウント中にTEnZIの入力のタイミングがTEnBIの入力のタイミングより早かった場合のクリアのタイミング



（5）ダウン・カウント中にTEnZIの入力のタイミングがTEnAIの入力のタイミングより遅かった場合

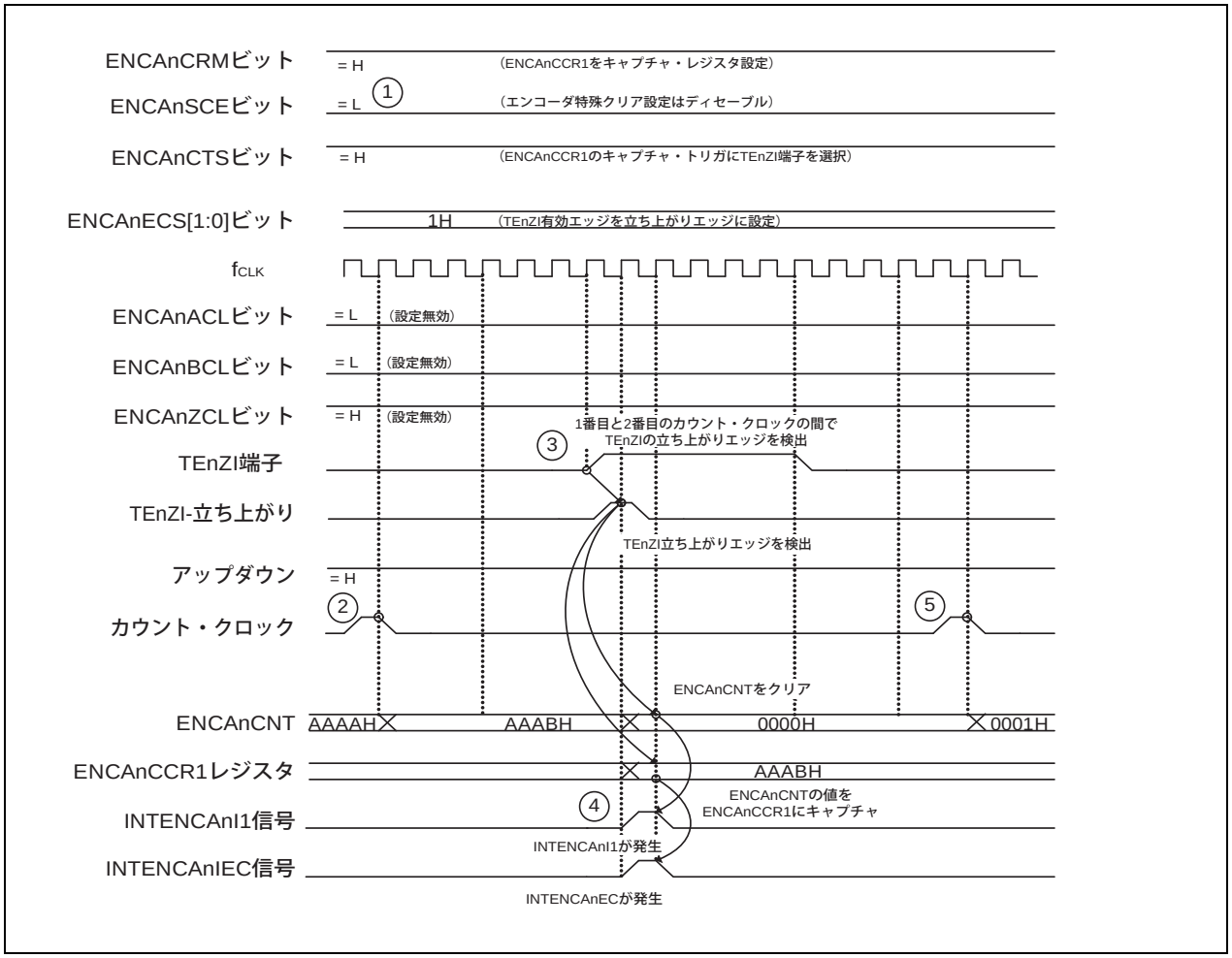
（ENCAnACL=1，ENCAnBCL=0，ENCAnZCL=1，ENCAnUDS={1,1}のとき）

図8－29 ダウン・カウント中にTEnZIの入力のタイミングがTEnAIの入力のタイミングより遅かった場合のクリアのタイミング



8. 6. 17 ENCAnSCE = 0のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作

図8ー30 ENCAnSCE = 0のときにTEnZIによるクリアのタイミングで行われるキャプチャ動作

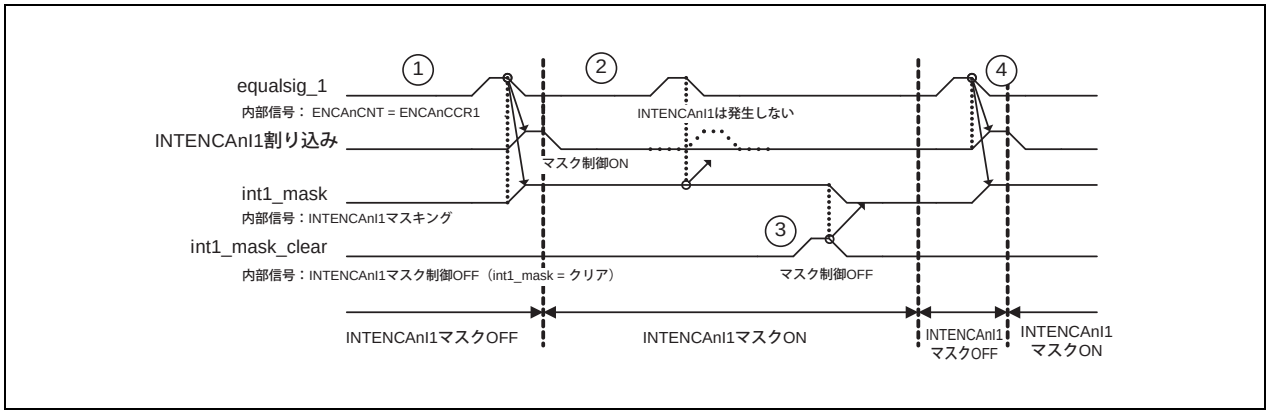


1. **次の値が設定されています。**
   エンコーダ特殊クリア設定をディセーブル（ENCAnSCEビット = 0），ENCAnCCR1のキャプチャ・トリガにTEnZI端子を選択（ENCAnCTSビット = 1），TEnZI端子入力の有効エッジを立ち上がりエッジ（ENCAnECS1ビットとENCAnECS0ビット = {0, 1}）。
2. **アップ・カウントが実行されます。**
3. **TEnZIの立ち上がりエッジが検出され，ENCAnCNTの値（AAABH）がENCAnCCR1レジスタにキャプチャされます。同時に，TEnZIによるクリア動作が行われるため，ENCAnCNTは0000Hにリセットされます。**
4. **ENCAnCCR1レジスタへのキャプチャに対応する割り込み（INTENCAnI1）とTEnZIによるクリア割り込み（INTENCAnIEC）が発生します。**
5. **カウントがクリアされたあと，アップ・カウントが実行され，カウント値が0001Hになります。**

8. 6. 18 コンペア一致割り込み検出マスク機能の動作

（1）マスク動作とマスキングのキャンセル

図8－31 一致割り込みマスク動作とマスキングのキャンセル



上のタイミング図の信号：

equal_sig1： ENCAnCNTレジスタとENCAnCCR1レジスタが一致したときに生成される内部信号

int1_mask： 割り込み検出マスク信号。この信号はENCAnCNTレジスタとENCAnCCR1レジスタとの最初のコンペア一致が発生したときにセットされます。

int1_mask_clr： 割り込み検出マスク・キャンセル信号。マスク・キャンセルのトリガは，以下に示すように，ENCAnMCSビットの設定によって異なります。

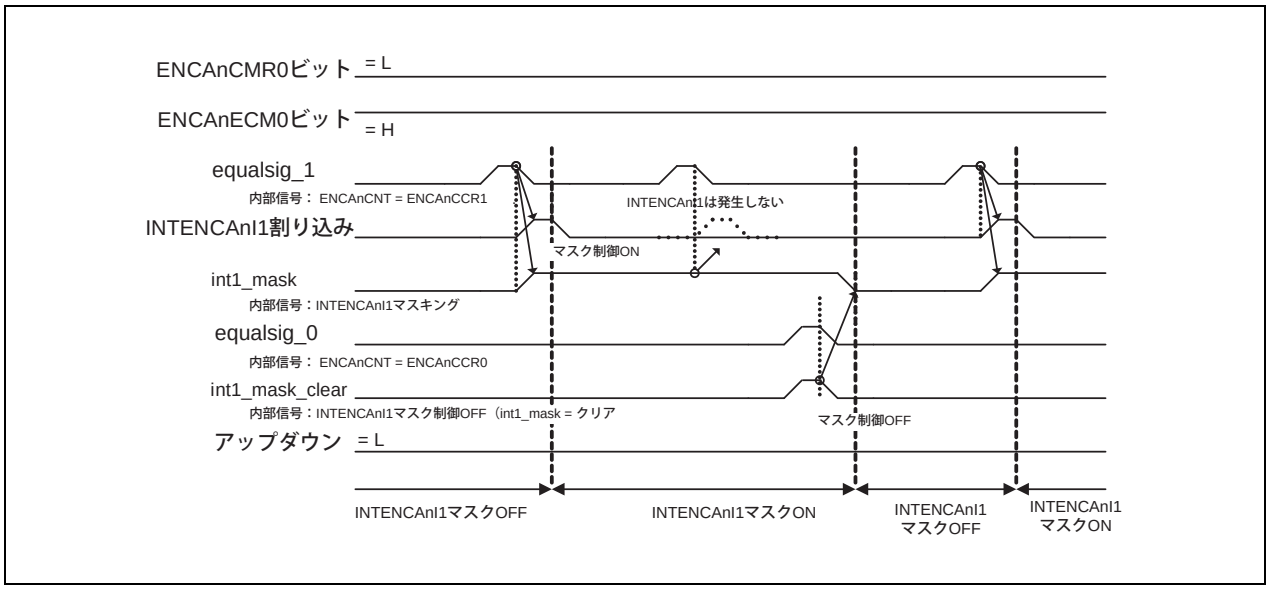
ENCAnMCSビット = 0： ENCAnCCR1レジスタへの書き込み動作によって割り込み検出マスクがキャンセルされます。

ENCAnMCSビット = 1： ENCAnCNTレジスタとENCAnCCR0レジスタが一致したときのタイマ・カウンタ・クリア動作，Z相によるタイマ・カウンタのクリア動作またはENCAnLDEビット = 1のときのアンダフローの検出によって割り込み検出マスクがキャンセルされます。

1. 一致割り込み検出マスク機能が無効になっている状態で最初のコンペア一致が検出されます。
   その時点で，2番目以降のコンペア一致割り込みの検出をマスクするint1_maskがセット（1）され，一致割り込み検出マスク機能が有効になります。
2. int1_maskがハイ・レベルであるため，equal_sig1がハイ・レベルになってもINTENCAnI1割り込みは発生しません。
3. 一致割り込み検出マスクをキャンセルするトリガが発生すると，int1_mask_clrがセット（1）され，int1_maskがロウ・レベルになり，一致割り込み検出マスク機能が無効になります。
4. 一致割り込み検出マスクが無効になった状態で，最初のコンペア一致が検出され，それと同時にint1_maskがセット（1）されます。

（2）マスク動作とマスキングのキャンセル（ENCAnCNTとENCAnCCR0が一致するとき）

図8－32 一致割り込みマスク動作とマスキングのキャンセル（ENCAnCNTとENCAnCCR0が一致するとき）



上のタイミング図の信号：

equal_sig1： ENCAnCNTレジスタとENCAnCCR1レジスタが一致したときに生成される内部信号

int1_mask： 割り込み検出マスク信号。この信号はENCAnCNTレジスタとENCAnCCR1レジスタとの最初のコンペア一致が発生したときにセット（1）されます。

equal_sig0： ENCAnCNTレジスタとENCAnCCR0レジスタが一致したときに生成される内部信号

int1_mask_clr： 割り込み検出マスク・キャンセル信号。マスク・キャンセルのトリガは，次に示すように，ENCAnMCSビットの設定によって異なります。

ENCAnMCSビット = 0： ENCAnCCR1レジスタへの書き込み動作によって割り込み検出マスクがキャンセルされます。

ENCAnMCSビット = 1： ENCAnCNTレジスタとENCAnCCR0レジスタが一致したときのタイマ・カウンタ・クリア動作，Z相によるタイマ・カウンタのクリア動作またはENCAnLDEビット = 1のときのアンダフローの検出によって割り込み検出マスクがキャンセルされます。

1. 一致割り込み検出マスク機能が無効になっている状態で最初のコンペア一致が検出されます。
   その時点で，2番目以降のコンペア一致割り込みの検出をマスクするint1_maskがセット（1）され，一致割り込み検出マスク機能が有効になります。
2. int1_maskがハイ・レベルであるため，equal_sig1がハイ・レベルになってもINTENCAnI1割り込みは発生しません。
3. ENCAnCNTレジスタとENCAnCCR0レジスタとのコンペア一致によるクリア動作によってint1_mask_clrがセット（1）され，int1_maskがロウ・レベルになり，一致割り込み検出マスク機能が無効になります。
4. 一致割り込み検出マスクが無効になった状態で，最初のコンペア一致が検出され，それと同時にint1_maskがセット（1）されます。

第9章 16ビット・インターバル・タイマM（TMM）

タイマM（TMM）は16ビットのインターバル・タイマです。

9.1 機 能

16ビット・インターバル・タイマMはインターバル・タイマ専用のタイマで8種類（f_{CLK}, $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/64$, $f_{CLK}/512$, $f_{CLK}/32768$, f_{IL}, f_{RTC}）のクロック・ソースからカウント・クロックを選択して指定されたインターバルで割り込み要求を発生します。

タイマMはクリア＆スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

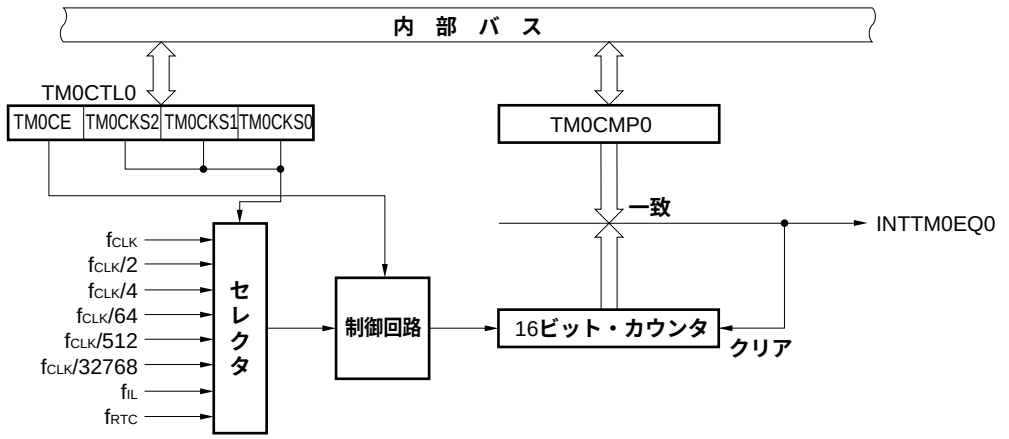
9. 2 構　　成

TMM0は，次のハードウエアで構成されています。

表9－1　TMM0の構成

項　　目	構　　成
レジスタ	16ビット・カウンタ TMM0コンペア・レジスタ0（TM0CMP0） TMM0制御レジスタ0（TM0CTL0）

図9－1　TMM0のブロック図



備考　f_{CLK}　：CPU／周辺クロック周波数
f_{IL}　：低速オンチップ・オシレータ・クロック周波数
f_{RTC}　：リアルタイム・クロック周波数

(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード／ライトできません。

(2) TMM0コンペア・レジスタ0（TM0CMP0）

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

(3) TMM0制御レジスタ0（TM0CTL0）

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

(4) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして，8種類クロックから選択できます。

9. 3 レジスタ

（1）TMM0制御レジスタ0（TM0CTL0）

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは，TM0CEビット以外のタイマ動作中の書き換えは禁止です（同値書き込みはできます）。

リセット時：00H R/W アドレス：FFFFC000H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可／禁止指定
0	TMM0動作禁止（16ビット・カウンタを非同期にリセット）。
1	TMM0動作許可。
TM0CEビットをクリア（0）すると，TMM0の内部クロックは停止（ロウ・レベル固定）し，16ビット・カウンタが非同期にリセットされます。	

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	f_{CLK}
0	0	1	$f_{CLK}/2$
0	1	0	$f_{CLK}/4$
0	1	1	$f_{CLK}/64$
1	0	0	$f_{CLK}/512$
1	0	1	$f_{CLK}/32768$
1	1	0	f_{IL}
1	1	1	f_{RTC}

注意1. TM0CKS2-TM0CKS0ビットは停止中（TM0CEビット = 0）のときに設定してください。TM0CEビットを“0”から“1”に設定するときに，同時にTM0CKS2-TM0CKS0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{CLK} ：CPU／周辺クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

f_{RTC} ：リアルタイム・クロック周波数

（2）TMM0コンペア・レジスタ0（TM0CMP0）

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。ただし動作停止中はFFFFHになります。

TM0CMP0レジスタは，常時ソフトウエアでの同値書き込みができます。

動作中（TM0CTL0.TM0CEビット = 1）のとき，TM0CMP0レジスタの書き換えは禁止です。

注意 TM0CMP0レジスタには，FFFFHを設定しないでください。

リセット時：0000H R/W アドレス：FFFFC00CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TM0CMP0																

9.4 動　　作

9.4.1 インターバル・タイマ・モード

TM0CEビットをセット（1）することで，カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし，カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，任意のインターバル間隔でのコンペア一致割り込み要求信号（INTTM0EQ0）を発生します。

図9－2 インターバル・タイマの構成図

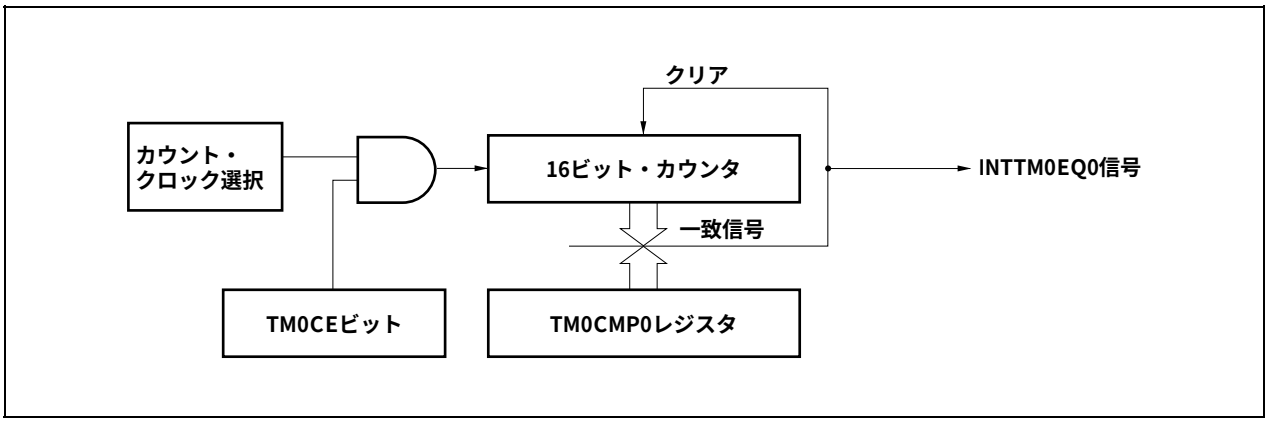
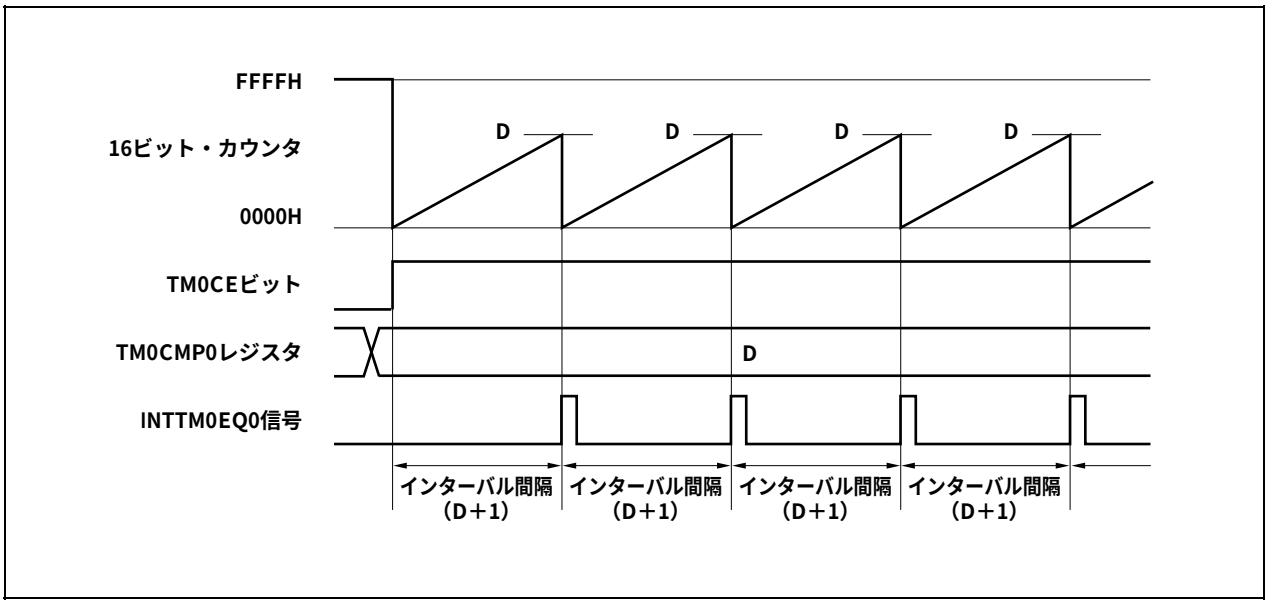


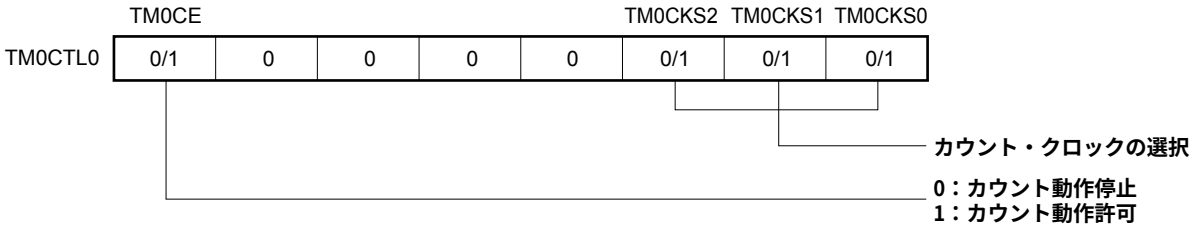
図9－3 インターバル・タイマ・モード動作の基本タイミング



次にインターバル・タイマ・モード動作時のレジスタ設定例を示します。

図9－4 インターバル・タイマ・モード動作時のレジスタ設定内容

（a）TMM0制御レジスタ0（TM0CTL0）



（b）TMM0コンペア・レジスタ0（TM0CMP0）

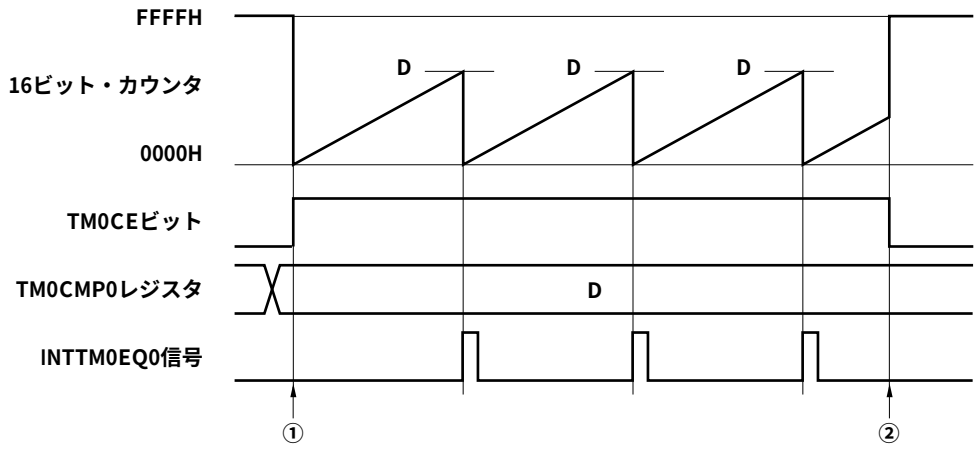
TM0CMP0レジスタにDを設定した場合，インターバル間隔は次のようになります。

インターバル間隔 = （D＋1）×カウント・クロック周期

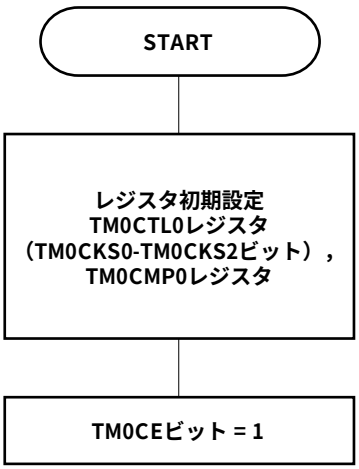
（0000H≦TM0CMP0レジスタの設定値＜FFFFH）

(1) インターバル・タイマ・モード動作フロー

図9−5 インターバル・タイマ・モード動作タイミングと処理フロー



① カウント動作開始フロー



TM0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作許可（TM0CEビット = 1）
同時に，TM0CKS0-TM0CKS2ビットの
設定は禁止。

② カウント動作停止フロー

カウント動作禁止（TM0CEビット = 0）にすることで，
カウンタをリセットしカウント動作を停止。

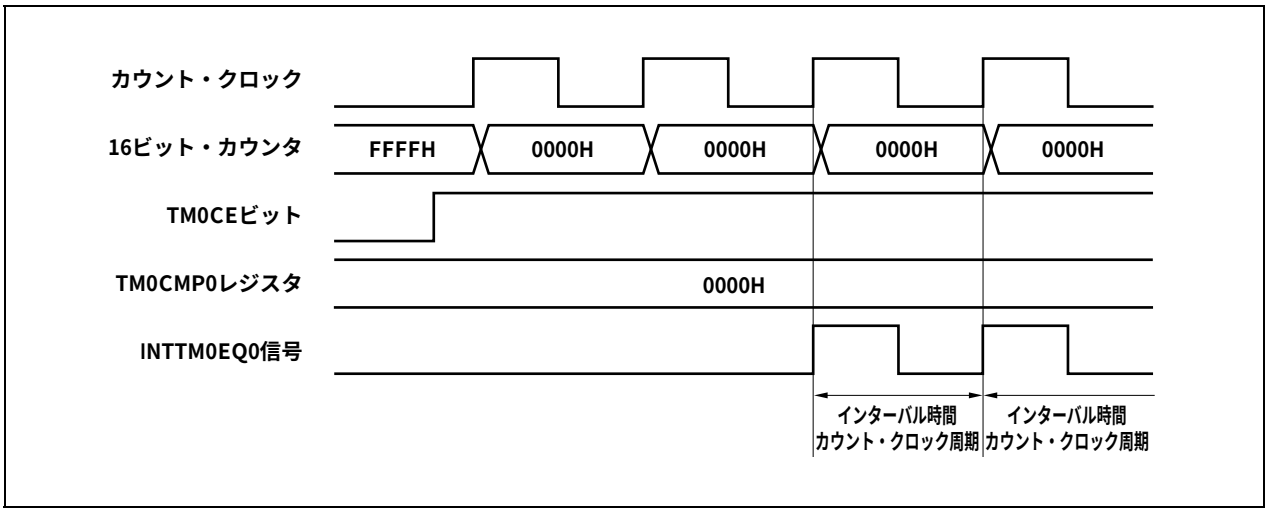
(2) インターバル・タイマ・モードの応用

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

TM0CMP0レジスタに0000Hを設定した場合，カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは，常に0000Hとなります。

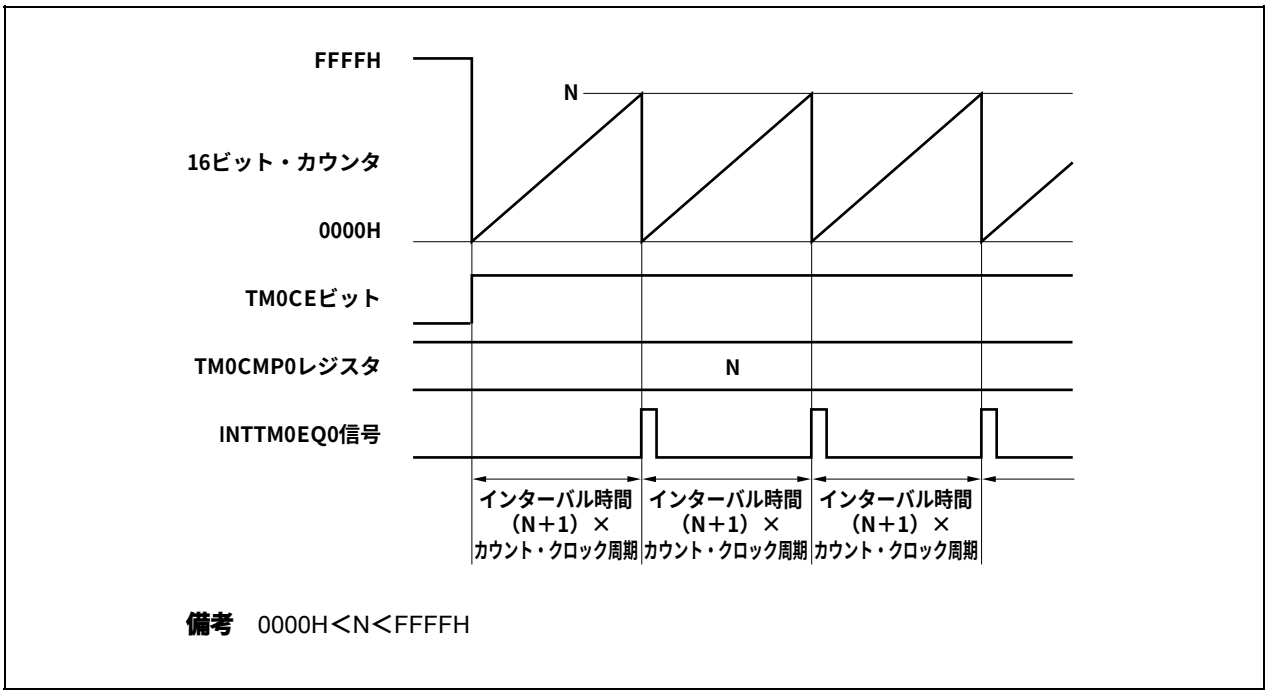
図9－6 TM0CMP0レジスタに0000Hを設定した場合の動作



(b) TM0CMP0レジスタにNを設定した場合の動作

TM0CMP0レジスタにNを設定した場合，16ビット・カウンタはNまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTM0EQ0信号を発生します。

図9－7 TM0CMP0レジスタに0000H, FFFFH以外の値を設定した場合の動作



備考 0000H＜N＜FFFFH

9. 4. 2 注意事項

（1）TM0CTL0.TM0CEビット = 1としてからカウント開始するまで，選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
f_{CLK}	$2/f_{CLK}$
$f_{CLK}/2$	$3/f_{CLK}$
$f_{CLK}/4$	$6/f_{CLK}$
$f_{CLK}/64$	$128/f_{CLK}$
$f_{CLK}/512$	$1024/f_{CLK}$
$f_{CLK}/32768$	$65536/f_{CLK}$
f_{IL}	$2/f_{IL}$
f_{RTC}	$2/f_{RTC}$

（2）TM0CMP0, TM0CTL0レジスタはタイマ動作中の書き換えは禁止です。
TMM0動作中（TM0CEビット = 1）のときに書き換えた場合，動作を保証できません。誤って書き換えた場合は，TM0CTL0.TM0CEビットをクリア（0）してから再設定してください。

第10章 リアルタイム・クロック（RTC）

10. 1 リアルタイム・クロックの機能

リアルタイム・クロックには，次のような機能があります。

- 年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒，1秒，1分，1時間，1日，1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能
- 時計誤差修正機能

10. 2 リアルタイム・クロックの構成

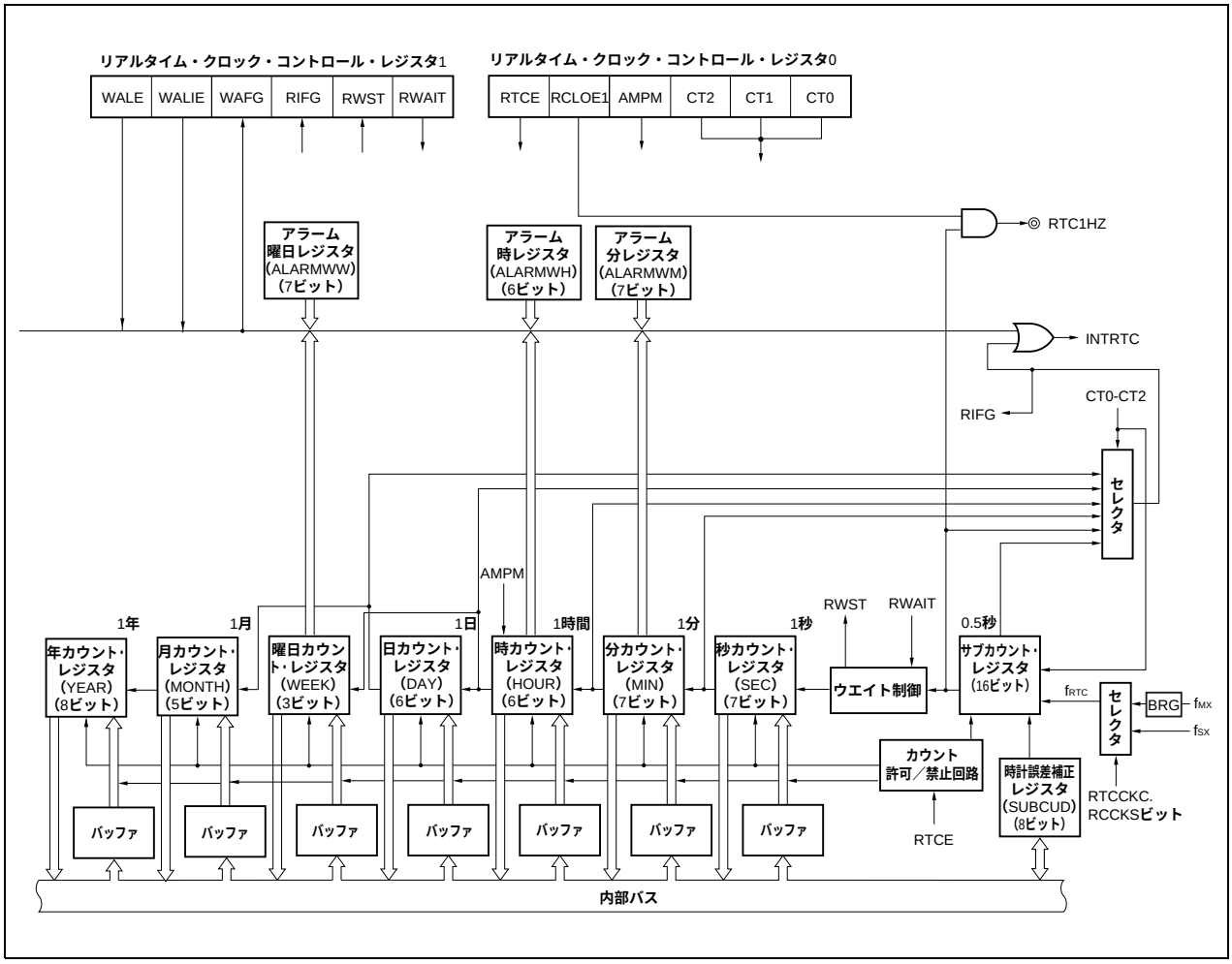
リアルタイム・クロックは，次のハードウエアで構成されています。

表10－1 リアルタイム・クロックの構成

項 目	構 成
カウンタ	サブカウント・レジスタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	RTCクロック･コントロール・レジスタ（RTCCKC）
	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
	アラーム曜日レジスタ（ALARMWW）

備考 リアルタイム・クロックの動作クロックである，リアルタイム・クロック周波数（f_{CLK}）については，6. 5. 4 **リアルタイム・クロック周波数（f_{RTC}）の動作**を参照してください。

図10ー1 リアルタイム・クロックのブロック図



10. 3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）注1
- RTCクロック・コントロール・レジスタ（RTCCKC）注2
- リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
- リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
- 秒カウント・レジスタ（SEC）
- 分カウント・レジスタ（MIN）
- 時カウント・レジスタ（HOUR）
- 日カウント・レジスタ（DAY）
- 曜日カウント・レジスタ（WEEK）
- 月カウント・レジスタ（MONTH）
- 年カウント・レジスタ（YEAR）
- 時計誤差補正レジスタ（SUBCUD）
- アラーム分レジスタ（ALARMWM）
- アラーム時レジスタ（ALARMWH）
- アラーム曜日レジスタ（ALARMWW）

注1． 6. 3（29）周辺イネーブル・レジスタ0（PER0）を参照してください。
2． 6. 3（25）RTCクロック・コントロール・レジスタ（RTCCKC）を参照してください。

(1) リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック動作の開始／停止，RTC1HZ端子の制御，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF814034H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始
RTCE = 1に設定直後に，STOPモードに移行する際は，10. 4. 2　動作開始直後のSTOPモードへの移行に記載するフローに従って行ってください。	

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

AMPM	12時間制／24時間制の選択
0	12時間制（午前／午後を表示）
1	24時間制
・カウンタ動作中（RTCE = 1）にAMPMビットの値を変更する場合は，RWAITビット（リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のビット0）　= 1にしてから書き換えてください。AMPMレジスタの値を変更すると，時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。 ・時間桁表示表を表10－2に示します。	

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度（秒カウントアップに同期）
0	1	0	1秒に1度（秒カウントアップと同時）
0	1	1	1分に1度（毎分00秒）
1	0	0	1時間に1度（毎時00分00秒）
1	0	1	1日に1度（毎日00時00分00秒）
1	1	×	1月に1度（毎月1日午前00時00分00秒）
カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RTCC1.RIFGフラグ，割り込み要求フラグ（RTCIF）をクリアしてから割り込み処理許可にしてください。			

注意　RTCE = 1のときにRCLOE1ビットを変更しないでください。

備考　×　：don’t care

(2) リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウエイトを制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

(1/2)

アドレス：FF814038H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，割り込み要求フラグ（RTCIF）をクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック（f_{RTC}）後に“1”となります。 “0”を書き込むことでクリアされます。また，“1”の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされます。また，“1”の書き込みは無効となります。	

RWST	リアルタイム・クロックのウエイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。詳細は，10. 4. 3　**リアルタイム・クロックのカウンタ読み出し／書き込み**を参照してください。	

（2/2）

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し，書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。
サブカウント・レジスタは動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。
RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで最大1クロック（f_{RTC}）の時間がかかります。
サブカウント・レジスタのオーバフローがRWAIT = 1のときに起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。
ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に，RIFGフラグ，WAFGフラグをクリアしないようにするためには，該当ビットに書き込みが無効となる“1”を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き換わっても問題ない場合は，RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

(3) 秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

サブカウント・レジスタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，最大2クロック（2×f_{RTC}）後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF814008H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

(4) 分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（2×f_{RTC}）後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF81400CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

(5) 時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（2×f_{RTC}）後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

8ビット単位でリード／ライト可能です。

リセットにより，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

アドレス：FF814010H　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5（HOUR20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表10－2に示します。

表10－2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“ 0 ”のときに12時間表示，“ 1 ”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

(6) 日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- 01-31（1, 3, 5, 7, 8, 10, 12月）
- 01-30（4, 6, 9, 11月）
- 01-29（2月 うるう年）
- 01-28（2月 通常年）

書き込みを行った場合は，バッファに書き込まれ最大2クロック（2×f_{RTC}）後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより，01Hになります。

アドレス：FF814018H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

（7）曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大の2クロック（2×f_{RTC}）後にカウンタへ書き込まれます。また設定する値は，10進の00-06をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF814014H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。
リセット解除後，次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

(8) 月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（2×f_{RTC}）後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより，01Hになります。

アドレス：FF81401CH　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

(9) 年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（2×f_{RTC}）後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF814020H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，10. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

（10）時計誤差補正レジスタ（SUBCUD）

サブカウント・レジスタから秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF814024H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正

次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。
- DEV = 0設定時：SEC = 00H, 20H, 40Hの期間
- DEV = 1設定時：SEC = 00Hの期間

F6	時計誤差補正値の設定
0	{（F5, F4, F3, F2, F1, F0）－1} ×2だけサブカウント・レジスタのオーバフローする値を増加
1	{（/F5, /F4, /F3, /F2, /F1, /F0）＋1）×2だけサブカウント・レジスタのオーバフローする値を減少

（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。
/F5～/F0は，ビット反転した値（111100のときは000011）となります。
補正値の範囲：（F6=0のとき）　2, 4, 6, 8,・・・120, 122, 124
（F6=1のとき）　－2, －4, －6, －8,・・・－120, －122, －124

次に，時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	－189.2 ppm～189.2 ppm （32.76180000 kHz～32.77420000 kHz）	－63.1 ppm～63.1 ppm （32.76593333 kHz～32.77006667 kHz）
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考1. 補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。
2. 時計誤差補正の詳細については，10. 4. 6 リアルタイム・クロックの時計誤差補正例を参照してください。

（11）アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

注意 設定する値は，10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

アドレス：FF814028H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

（12）アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は，10進の00～23または，01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

アドレス：FF81402CH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5（WH20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

（13）アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF814030H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0
		土	金	木	水	火	月	日

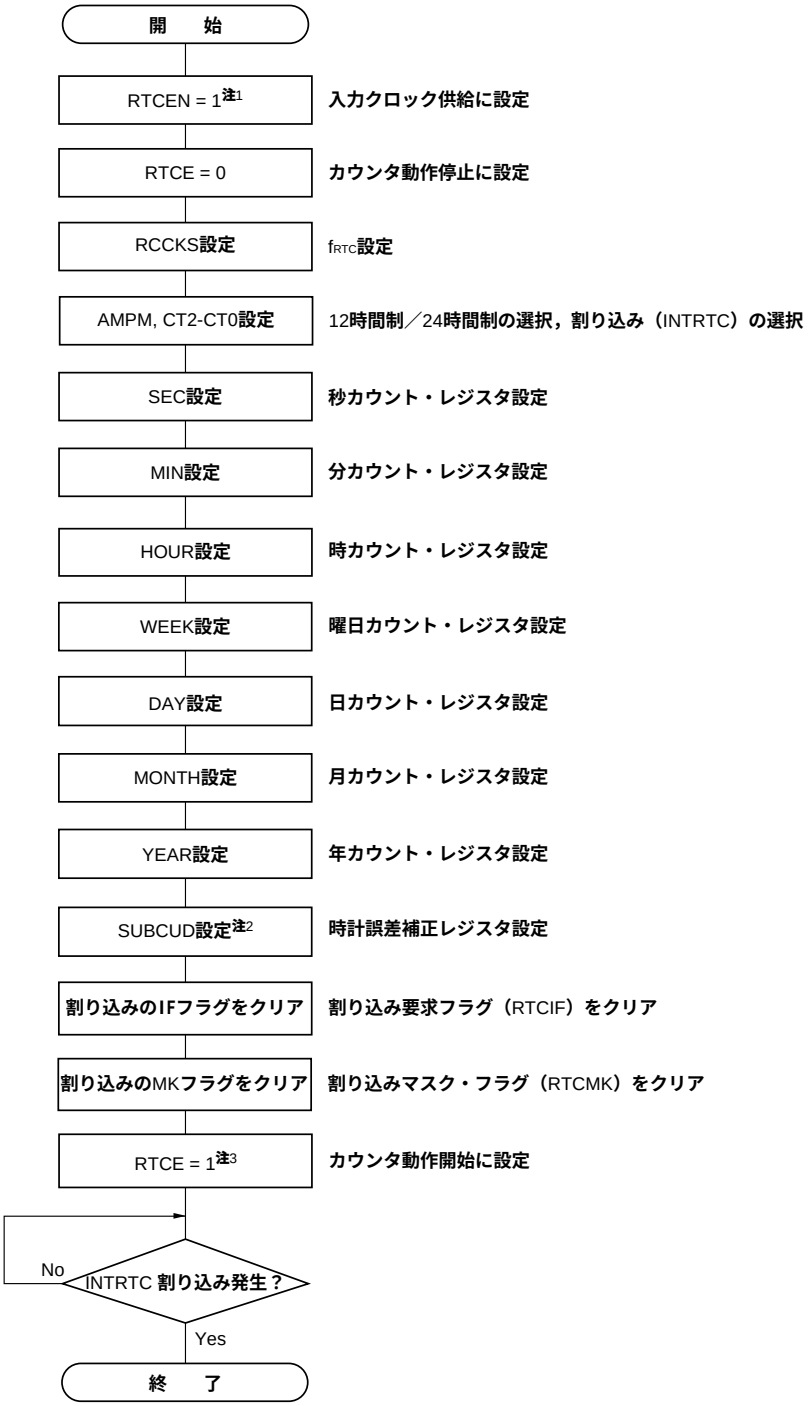
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	10時	1時	10分	1分	10時	1時	10分	1分
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

10. 4 リアルタイム・クロックの動作

10. 4. 1 リアルタイム・クロックの動作開始

図10ー2 リアルタイム・クロックの動作開始手順



注1. 入力クロック（f_{RTC}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2. 時計誤差補正する必要がある場合のみ。補正値の算出方法は，10. 4. 6 リアルタイム・クロックの時計誤差補正例を参照してください。

3. RTCE = 1のあとにINTRTC割り込み発生を待たずにSTOPモードへ移行する場合は，10. 4. 2 動作開始後のSTOPモードへの移行の手順を確認してください。

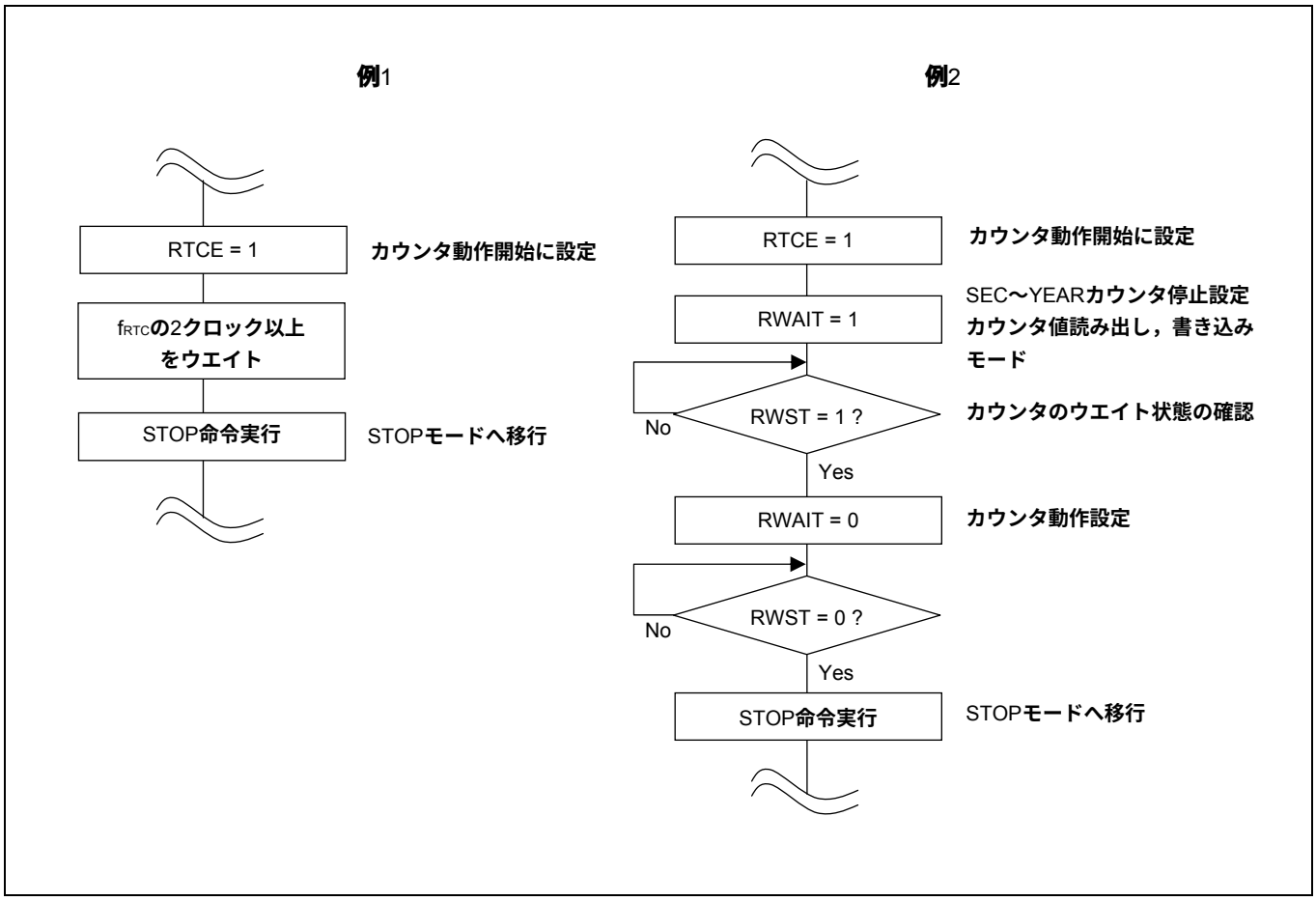
10. 4. 2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1に設定後，INTRTC割り込みの発生以降にSTOPモードへ移行する場合は，これらの処理は必要ありません。

- RTCE = 1に設定してから，入力クロック（f_{RTC}）の2クロック分以上経過後にSTOPモードへ移行する（図10－3 例1参照）。
- RTCE = 1に設定後，RWAIT = 1に設定し，RWSTビットが1になるのをポーリングで確認する。それから，RWAIT = 0に設定し，RWSTビットが0になったのを再度ポーリングで確認後にSTOPモードへ移行する（図10－3 例2参照）。

図10－3 RTCE = 1に設定後のSTOPモードへの移行手順

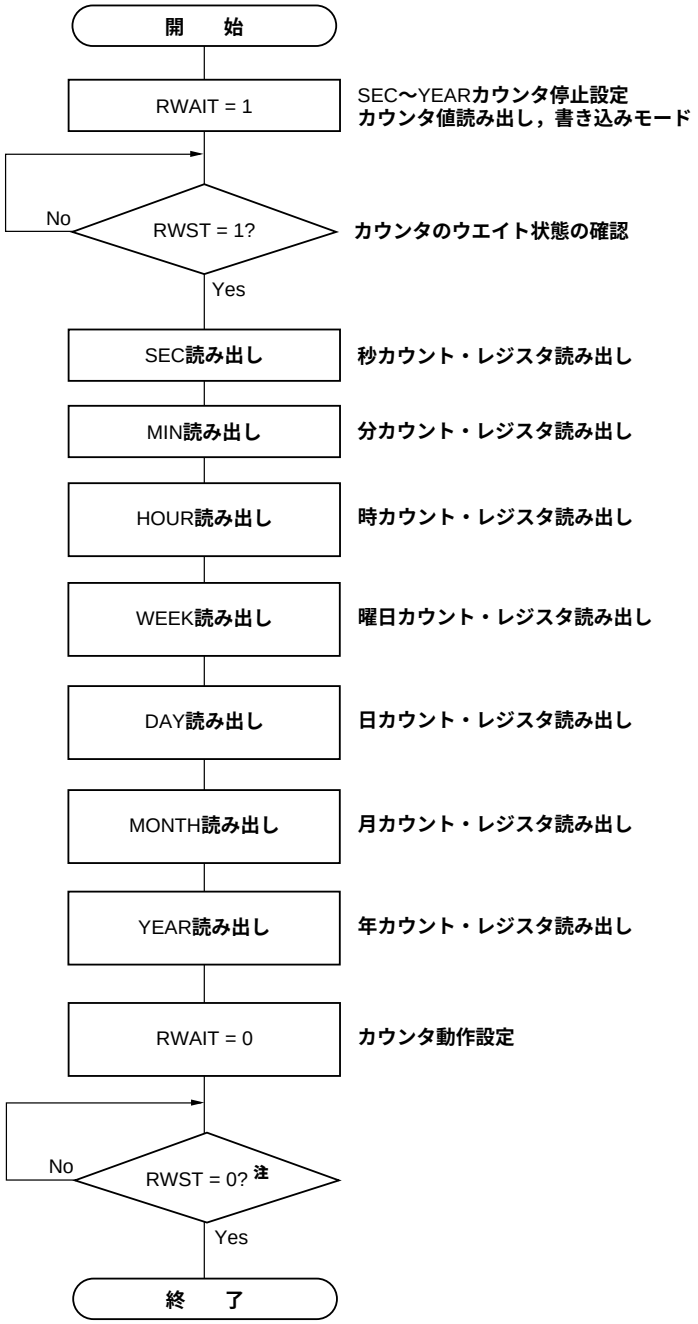


10. 4. 3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは，最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は，RWAIT = 0にしてください。

図10ー4 リアルタイム・クロックの読み出し手順

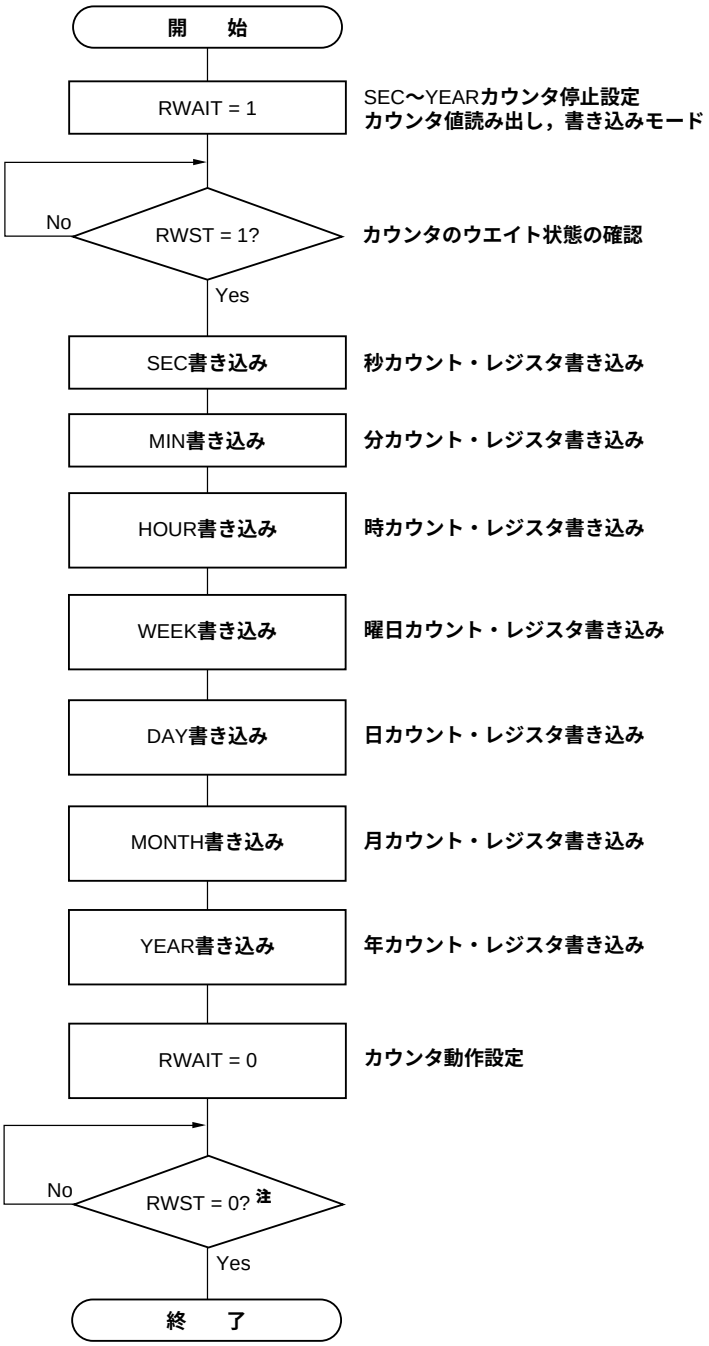


注 STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0までの処理を1秒以内で行ってください。

備考 秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。
また，すべてのレジスタを読み出す必要はなく，一部のレジスタのみを読み出しても構いません。

図10ー5 リアルタイム・クロックの書き込み手順



注 STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意 1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

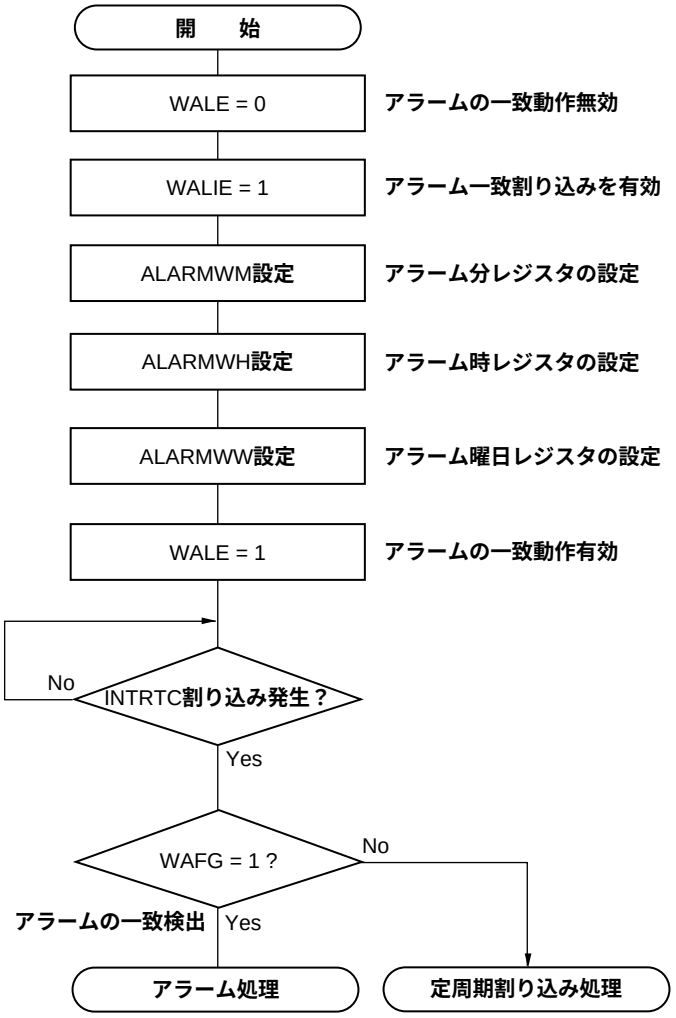
2. カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてください。

備考 秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

10. 4. 4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図10－6 アラーム処理手順

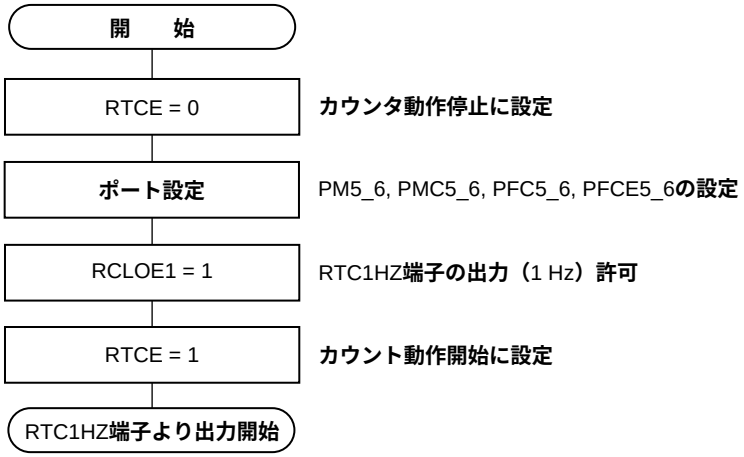


備考1. アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

10. 4. 5 リアルタイム・クロックの1 Hz出力

図10ー7 1 Hz出力の設定手順



注意1. **入力クロック（**fsx**）が発振安定状態において，最初に**RTCEN = 1**の設定を行ってください。**

2. RTCE = 1**のときに**RCLOE1**ビットを変更しないでください。**

10. 4. 6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより，時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタのカウント値を補正する際の補正値は，次の式で算出できます。

補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

（DEV = 0の場合）

補正値[注] = 1分間の補正カウント数÷3 =（発振周波数÷ターゲット周波数－1）×32768×60÷3

（DEV = 1の場合）

補正値[注] = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

注 補正値とは，時計誤差補正レジスタ（SUBCUD）のビット6-0の値により求められる時計誤差補正値です。

（F6=0の場合）補正値 = {（F5, F4, F3, F2, F1, F0）－1} ×2

（F6=1の場合）補正値 = － {（/F5, /F4, /F3, /F2, /F1, /F0）＋1} ×2

（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。

/F5～/F0は，ビット反転した値（111100のときは000011）となります。

備考1. 補正値は，2, 4, 6, 8,・・・120, 122, 124，または－2, －4, －6, －8・・・－120, －122, －124です。

2. 発振周波数とは，入力クロック（f_{RTC}）の値です。
時計誤差補正レジスタが初期値（00H）時のRTC1HZ端子の出力周波数×32768で求めることができます。

3. ターゲット周波数とは，時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32767.4 Hzから32768 Hz（32767.4 Hz＋18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注]を，時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は，10. 4. 5 リアルタイム・クロックの1Hz出力を参照してください。

【補正値の算出】

（RTC1HZ端子からの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768×0.9999817 32767.4 Hz

ターゲット周波数を32768 Hz（32767.4 Hz＋18.3 ppm）とし，DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

=（32767.4÷32768 – 1）×32768×60

= －36

【（F6～F0）への設定値の算出】

（補正値 = －36の場合）

補正値が0以下（速くする場合）では，F6 = 1とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

－｛（/F5, /F4, /F3, /F2, /F1, /F0）＋1｝×2 = －36

（/F5, /F4, /F3, /F2, /F1, /F0） = 17

（/F5, /F4, /F3, /F2, /F1, /F0） =（0, 1, 0, 0, 0, 1）

（F5,F4,F3,F2,F1,F0） =（1, 0, 1, 1, 1, 0）

したがって，32767.4 Hzから32768 Hz（32767.4Hz＋18.3 ppm）への補正の場合，

DEV = 1，補正値 = －36（SUBCUDレジスタのビット6-0：1101110）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の動作を図10－23に示します。

図10－8 （DEV, F6, F5, F4, F3, F2, F1, F0）＝（1, 1, 1, 0, 1, 1, 1, 0）の場合の動作

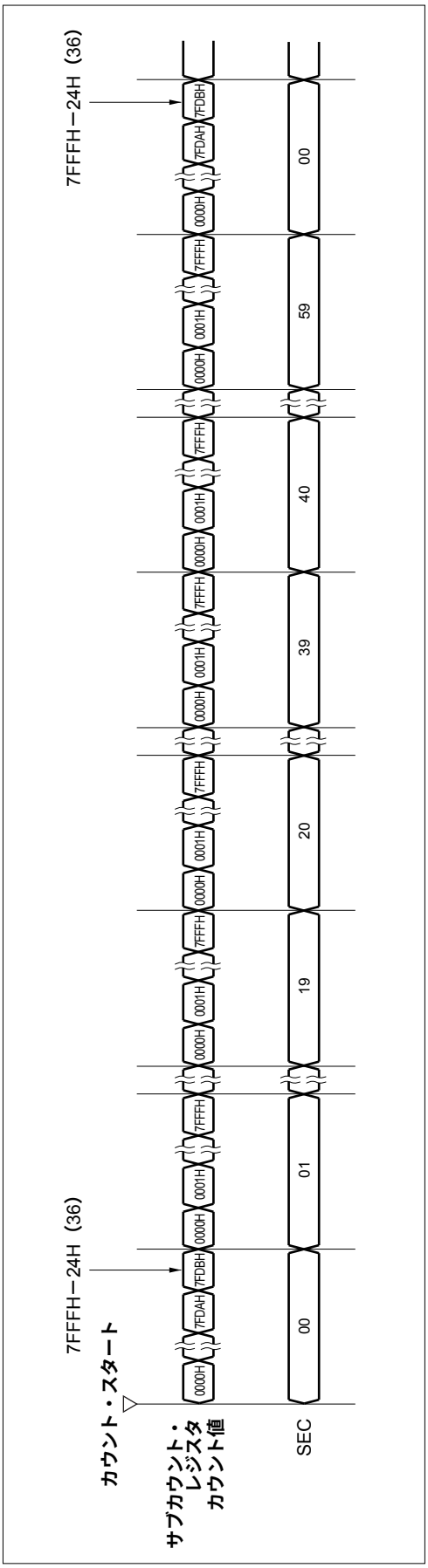


表11ー3 DEVビット = 0のときの補正できる周波数範囲

F6	F5-F0	サブカウント・レジスタ補正値	接続クロック周波数（定常偏差込み）
0	000000	補正なし	ー
0	000001	補正なし	ー
0	000010	20秒に1度，サブカウント・レジスタカウント値を＋2	32.76810000 kHz
0	000011	20秒に1度，サブカウント・レジスタカウント値を＋4	32.76820000 kHz
0	000100	20秒に1度，サブカウント・レジスタカウント値を＋6	32.76830000 kHz
：			
：			
0	111011	20秒に1度，サブカウント・レジスタカウント値を+120	32.77400000 kHz
0	111110	20秒に1度，サブカウント・レジスタカウント値を+122	32.77410000 kHz
0	111111	20秒に1度，サブカウント・レジスタカウント値を+124	32.77420000 kHz（上限）
1	000000	補正なし	ー
1	000001	補正なし	ー
1	000010	20秒に1度，サブカウント・レジスタカウント値を－124	32.76180000 kHz(下限)
1	000011	20秒に1度，サブカウント・レジスタカウント値を－122	32.76190000 kHz
1	000100	20秒に1度，サブカウント・レジスタカウント値を－120	32.76200000 kHz
：			
：			
1	11011	20秒に1度，サブカウント・レジスタカウント値を－6	32.76770000 kHz
1	11110	20秒に1度，サブカウント・レジスタカウント値を－4	32.76780000 kHz
1	11111	20秒に1度，サブカウント・レジスタカウント値を－2	32.76790000 kHz

表11ー4 DEVビット = 1のときの補正できる周波数範囲

F6	F5-F0	サブカウント・レジスタ補正値	接続クロック周波数（定常偏差込み）
0	000000	補正なし	ー
0	000001	補正なし	ー
0	000010	60秒に1度，サブカウント・レジスタカウント値を＋2	32.76803333 kHz
0	000011	60秒に1度，サブカウント・レジスタカウント値を＋4	32.76806667 kHz
0	000100	60秒に1度，サブカウント・レジスタカウント値を＋6	32.76810000 kHz
：			
：			
0	111011	60秒に1度，サブカウント・レジスタカウント値を＋120	32.77000000 kHz
0	111110	60秒に1度，サブカウント・レジスタカウント値を＋122	32.77003333 kHz
0	111111	60秒に1度，サブカウント・レジスタカウント値を＋124	32.77006667 kHz（上限）
1	000000	補正なし	ー
1	000001	補正なし	ー
1	000010	60秒に1度，サブカウント・レジスタカウント値を－124	32.76593333 kHz（下限）
1	000011	60秒に1度，サブカウント・レジスタカウント値を－122	32.76596667 kHz
1	000100	60秒に1度，サブカウント・レジスタカウント値を－120	32.76600000 kHz
：			
：			
1	11011	60秒に1度，サブカウント・レジスタカウント値を－6	32.76790000 kHz
1	11110	60秒に1度，サブカウント・レジスタカウント値を－4	32.76793333 kHz
1	11111	60秒に1度，サブカウント・レジスタカウント値を－2	32.76796667 kHz

第11章　ウォッチドッグ・タイマ（WDT）

11. 1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック（f_{IL}），高速オンチップ・オシレータ・クロックを1024分周したクロック（f_{IH}/1024），サブクロック（f_{SX}）で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のWDTRFビットがセット（1）されます。RESFレジスタの詳細については第24章　リセット機能を参照してください。

また，オーバフロー時間の75%＋1/2f_{WDT}到達時にインターバル割り込みを発生することもできます。

11. 2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表11－1 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

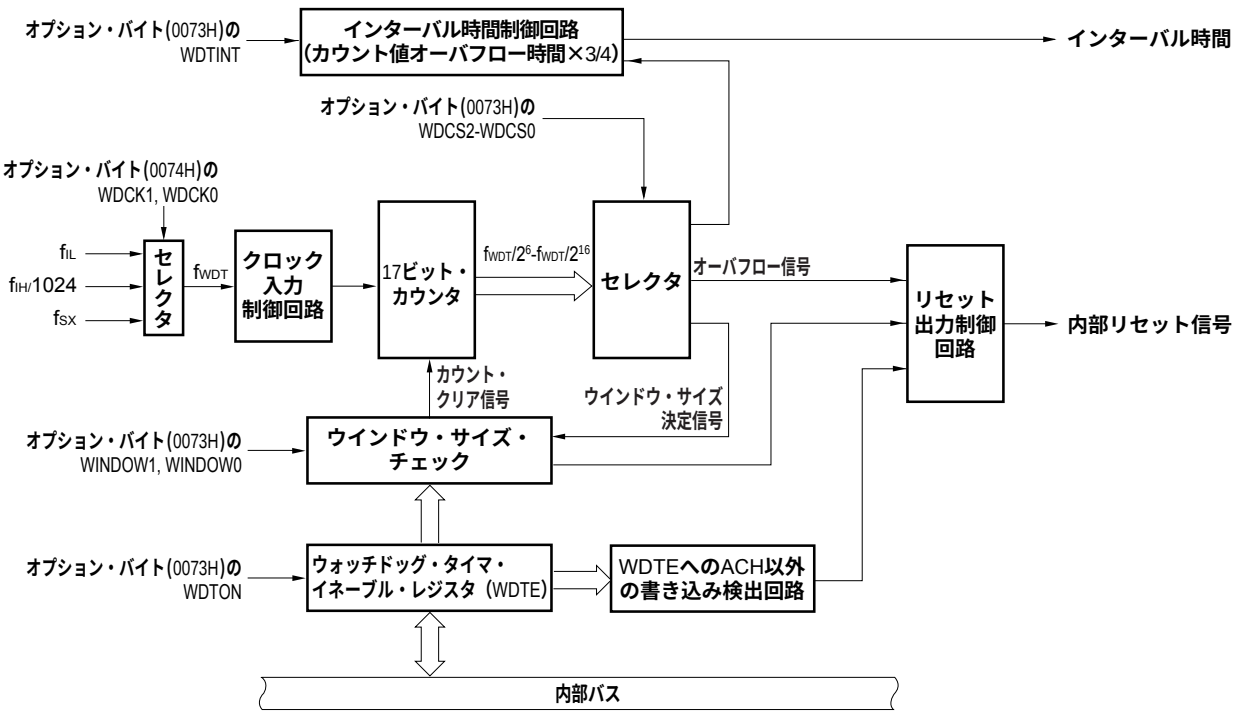
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定，ウォッチドッグ・タイマのソース・クロックの選択を行います。

表11－2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（0073H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP時）	ビット0（WDSTBYON）
ウォッチドッグ・タイマのソース・クロックの選択	オプション・バイト（0074H） ビット1, 0（WDCK1, WDCK0）

備考 オプション・バイトについては，第31章 オプション・バイトを参照してください。

図11－1 ウォッチドッグ・タイマのブロック図



備考 f_{IH}：高速オンチップ・オシレータ・クロック

f_{IL}：低速オンチップ・オシレータ・クロック

f_{SX}：サブクロック

f_{WDT}：ウォッチドッグ・タイマ・クロック

11.3 レジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

8ビット単位でリード／ライト可能です。

リセットにより，9AHまたは1AH[注]になります。

アドレス：FF806000H　リセット時：9AH／1AH[注]　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（0073H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1．WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2．WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3．WDTEレジスタのリード値は，“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

11. 4 ウォッチドッグ・タイマの動作

11. 4. 1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（0073H）で次の内容を設定します。

   ・オプション・バイト（0073H）のWDTONビットを1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，第31章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

   ・オプション・バイト（0073H）のWDCS2-WDCS0ビットで，オーバフロー時間を設定してください（詳細は，11. 4. 2および第31章を参照）。

   ・オプション・バイト（0073H）のWINDOW1, WINDOW0ビットで，ウインドウ・オープン期間を設定してください（詳細は，11. 4. 3および第31章を参照）。

2. ウォッチドッグ・タイマに供給するクロックはオプション・バイト（0074H）のWDCK1, WDCK0ビットで次のクロック・ソースより選択します。

WDCK1	WDCK0	ウォッチドッグ・タイマのソース・クロックの選択
0	0	サブクロック（f_{SX}）
0	1	高速オンチップ・オシレータ（f_{IH}）/1024
1	0	設定禁止
1	1	低速オンチップ・オシレータ（f_{IL}）

   クロックの設定については6. 5. 3 ウォッチドッグ・タイマ・クロック（f_{WDT}）の動作も参照してください。

3. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
4. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
5. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
6. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

   ・WDTEレジスタに1ビット操作命令を使用した場合
   ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

2. WDTEレジスタに“ACH”を書き込んで，ウォッチドッグ・タイマをクリアしたとき，再度カウント動作を開始するまで，最大1/f_{WDT}秒の誤差が生じる場合があります。。
3. ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4. **オプション・バイト（**0073H**）の**WDSTBYON**ビットの設定値により，ウォッチドッグ・タイマの**HALT**および**STOP**および**SNOOZE**モード時の動作は，次のように異なります。**

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0**の場合，**HALT**および**STOP**モード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（**0**）して，カウント開始します。**
STOP**モード解除後に**X1**発振クロックで動作する場合は，**CPU**は発振安定時間経過後に動作を開始します。**
そのため，STOP**モード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。**
よって，インターバル割り込みによるSTOP**モード解除後に**X1**発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。**

11. 4. 2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（0073H）のWDCS2-WDCS0ビットで設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

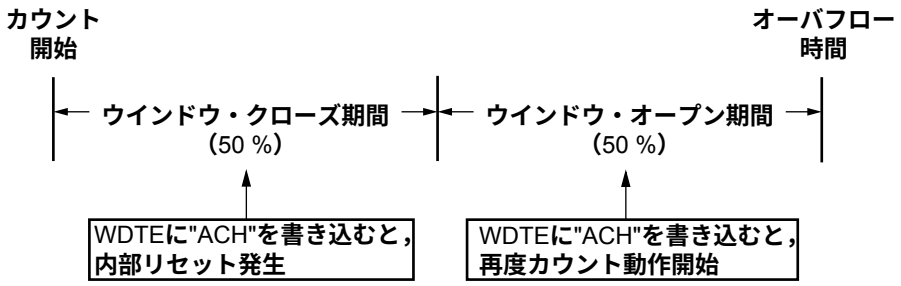
設定可能なオーバフロー時間の詳細については**第31章 オプション・バイト**を参照してください。

11. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ･タイマのウインドウ･オープン期間は,オプション･バイト（0073H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ ACH ”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
- ウインドウ・クローズ期間中は，WDTEレジスタに“ ACH ”を書き込んでも，異常検出され，内部リセットを発生します。

例 ウインドウ・オープン期間が50 %の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表11－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %注
0	1	50 %
1	0	75 %
1	1	100 %

注 ウォッチドッグ・タイマのソース・クロックに低速オンチップ・オシレータ（f_{IL}）を選択した場合は設定禁止です。

注意 オプション・バイト（0073H）のビット0（WDSTBYON）= 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$2^9/f_{IL}$ (MAX.) = 2^9 /17.25 kHz = 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$ (MIN.) ×（1－0.5）= 0～2^9/12.75 kHz ×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$ (MIN.) ×（1－0.5）～$2^9/f_{IL}$ (MAX.) = 2^9/12.75 kHz ×0.5～2^9 /17.25 kHz

= 20.08～29.68 ms

11. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（0073H）のWDTINTビットの設定により，オーバフロー時間の75%＋1/2f_{WDT}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表11－5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%＋1/2f_{WDT}到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。

そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。

よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第12章　リアルタイム出力機能（RTO）

12. 1　機　　能

リアルタイム出力バッファ・レジスタ（RTBL0, RTBH0）にあらかじめ設定したデータを，タイマ割り込みの発生と同時にハードウエアで出力ラッチに転送して，外部に出力することをリアルタイム出力機能（RTO）といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより，ジッタのない信号を出力できますので，ステッピング・モータなどの制御に最適です。

V850E2/Jx4-Lでは，8ビット・リアルタイム出力ポート1チャネル，もしくは4ビット・リアルタイム出力ポート2チャネルを選択可能です。

1ビット単位でポート・モード／リアルタイム出力ポート・モードの指定ができます。

12. 2 構　　成

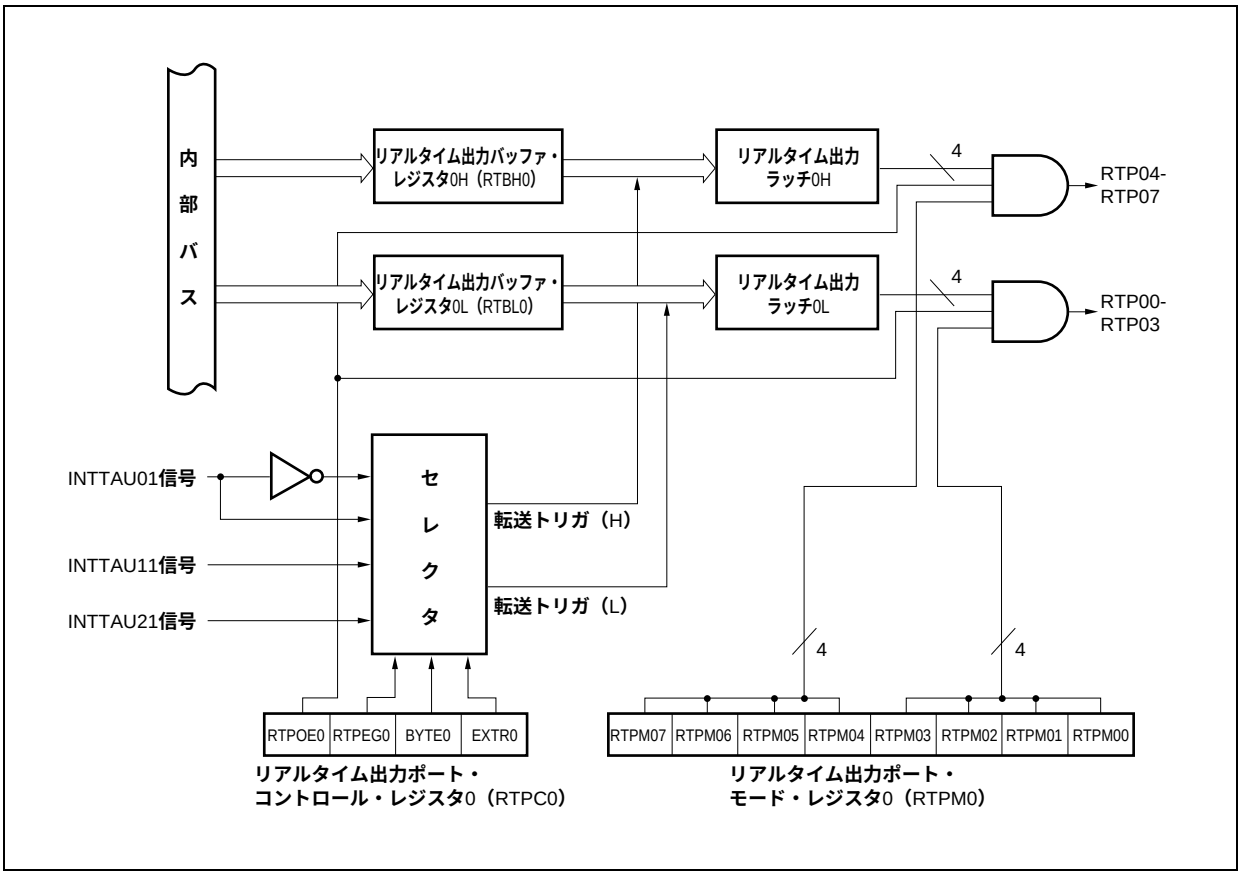
RTOは，次のハードウエアで構成しています。

表12ー1 RTOの構成

項　目	構　成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H（RTBL0, RTBH0） リアルタイム出力ラッチ0H, 0L リアルタイム出力ポート・モード・レジスタ0（RTPM0） リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

次にRTOのブロック図を示します。

図12ー1 RTOのブロック図



12. 2. 1 端子の構成

リアルタイム・出力機能を構成する端子は表12－2のように兼用されています。各端子を使用する場合はポート機能の設定をする必要があります（第4章 ポート機能参照）。

表12－2 端子構成

リアルタイム出力端子	ポート	その他の兼用機能	ピン番号						
			144	128	100	80	64	48	40
RTP0	P3_0	SI40/RXD40/CLKOUT/KR0/INTP07/BUSCLK	116	107	83	65	－	－	－
		SI40/RXD40/CLKOUT/KR0/INTP07	－	－	－	－	50	38	31
RTP1	P3_1	TE0TI0/SO40/TXD40/KR1/INTP01/$\overline{\text{RD}}$	117	108	84	66	－	－	－
		TE0TI0/SO40/TXD40/KR1/INTP01	－	－	－	－	51	39	32
RTP2	P3_2	SI00/RXD00/BUZ1/KR2/INTP02/$\overline{\text{WR}}$	118	109	85	67	－	－	－
		SI00/RXD00/BUZ1/KR2/INTP02	－	－	－	－	52	40	33
RTP3	P3_3	TE0TI1/SO00/TXD00/KR3/INTP03/ASTB	119	110	86	68	－	－	－
		TE0TI1/SO00/TXD00/KR3/INTP03	－	－	－	－	53	41	34
RTP4	P3_4	$\overline{\text{SCK00}}$/KR4/$\overline{\text{WAIT}}$	120	111	87	69	－	－	－
		$\overline{\text{SCK00}}$/KR4	－	－	－	－	54	42	35
RTP5	P6_7	TI06/TO06/$\overline{\text{SCK40}}$/KR5/INTP05/A15	91	86	69	－	－	－	－
		TI06/TO06/$\overline{\text{SCK40}}$/KR5/INTP05	－	－	－	54	42	31	27
	P23_5	ANI29/INTP01/KR5	122	113	89	70	－	－	－
RTP6	P7_0	TI07/TO07/KR6/INTP06/A16	92	87	70	55	－	－	－
		TI07/TO07/KR6/INTP06	－	－	－	－	43	32	28
	P23_6	/ANI30/INTP13/KR6	121	112	88	－	－	－	－
RTP7	P4_0	TI15/TO15/$\overline{\text{SCK02}}$/KR7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	－	－	－
		TI15/TO15/$\overline{\text{SCK02}}$/KR7/INTP00	－	－	－	－	47	35	－
	P22_7	ANI23/INTP05/KR7	128	119	95	76	60	44	36

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

（1）**リアルタイム出力バッファ・レジスタ**0L, 0H（RTBL0, RTBH0）

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは，周辺I/Oレジスタ領域内でそれぞれ異なるアドレスにマッピングされています。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

4ビット×2チャネルの動作モードを指定したとき（RTPC0.BYTE0ビット = 0）は，RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また，RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

8ビット×1チャネルの動作モードを指定したとき（BYTE0ビット = 1）は，RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより，RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また，RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表12－3にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

アドレス：FF81B000H（RTBL0） リセット時：00H R/W
FF81B008H（RTBH0）

略号	7	6	5	4	3	2	1	0
RTBL0					RTBL03	RTBL02	RTBL01	RTBL00
RTBH0	RTBH07	RTBH06	RTBH05	RTBH04				

表12－3 RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象レジスタ	リード時		ライト時[注]	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
8ビット×1チャネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注 リアルタイム出力ポートに設定後，リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

12. 3 レジスタ

RTOは，次の2種類のレジスタで制御します。

・リアルタイム出力ポート・モード・レジスタ0（RTPM0）
・リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

注意 リアルタイム出力端子（RTP00-RTP07）として使用するには，PMC, PFCレジスタでリアルタイム出力ポートに設定してください。

（1）リアルタイム出力ポート・モード・レジスタ0（RTPM0）

RTPM0レジスタは，リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で許可するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF81B010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTPM0	RTPM07	RTPM06	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00

RTPM0n	リアルタイム出力ポートの制御（n = 0-7）
0	リアルタイム出力禁止
1	リアルタイム出力許可

注意1. リアルタイム出力動作を許可（RTPC0.RTPOE0ビット = 1）することにより，RTP00-RTP07信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い，リアルタイム出力動作禁止に指定されたビットは“0”を出力します。

2. リアルタイム出力動作を禁止（RTPOE0ビット = 0）した場合は，RTPM0レジスタの設定にかかわらず，リアルタイム出力端子（RTP00-RTP07）は全ビット“0”を出力します。

(2) リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

RTPC0レジスタは，リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表12－3に示すような関係があります。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF81B014H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0

RTPOE0	リアルタイム出力の動作制御
0	動作禁止[注]
1	動作許可

RTPEG0	INTTAU01/INTTAU11/INTTAU21信号の有効エッジ
0	立ち下がりエッジ
1	立ち上がりエッジ

BYTE0	リアルタイム出力のチャネル構成指定
0	4ビット×2チャネル
1	8ビット×1チャネル

EXTR0	INTTAU01/INTTAU11/INTTAU21信号によるリアルタイム出力の制御
0	動作禁止
1	動作許可

注 リアルタイム出力動作禁止（RTPOE0ビット = 0）の場合，リアルタイム出力端子（RTP00-RTP05）は全ビット“0”を出力します。

注意 RTPEG0, BYTE0, EXTR0ビットの設定は，必ずRTPOE0ビット = 0のときに行ってください。

表12－4 リアルタイム出力ポートの動作モードと出力トリガ

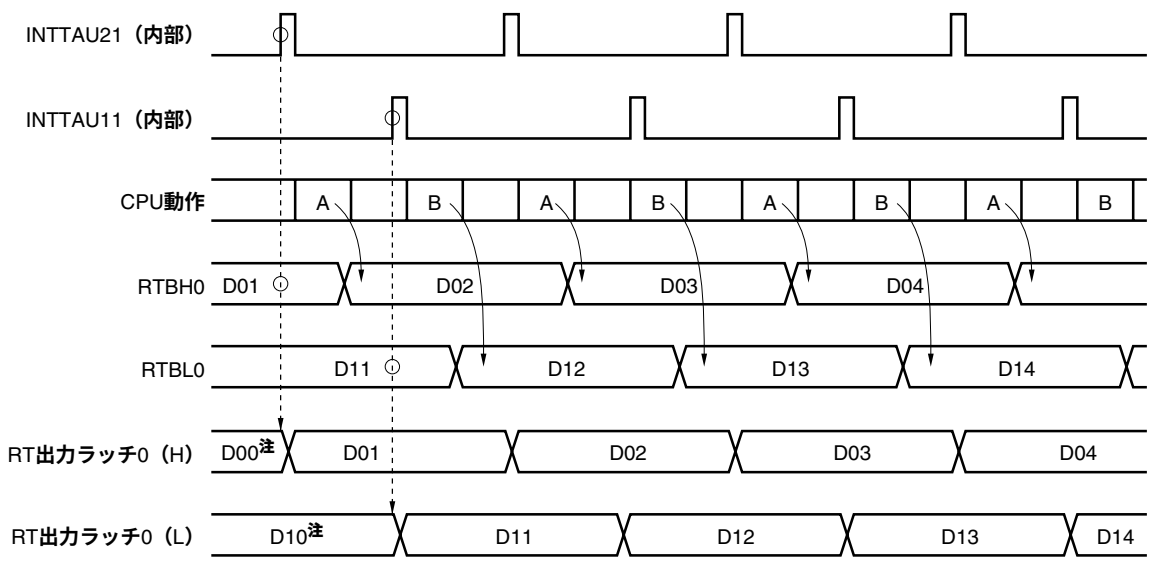
BYTE0	EXTR0	動作モード	RTBH0（RTP04-RTP07）	RTBL0（RTP00-RTP03）
0	0	4ビット×2チャネル	INTTAU21	INTTAU11
	1		INTTAU11	INTTAU01
1	0	8ビット×1チャネル	INTTAU11	
	1		INTTAU01	

12. 4 動　　作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合，選択された転送トリガ（RTPC0.EXTR0, BYTE0ビットで設定）の発生に同期して，RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により，リアルタイム出力を許可されたビットのデータのみをRTP00-RTP07のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は，RTPM0レジスタの設定に関係なくRTP00-RTP07端子は0を出力します。

図12ー2　RTO0の動作タイミング例（EXTR0ビット = 0, BYTE0ビット = 0の場合）



注　RTPOE0ビット = 0のとき，RTBH0, RTBL0レジスタに対してライトを行うと，その値がそれぞれリアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lに転送されます。

A：INTTAU21割り込み要求によるソフトウエア処理（RTBH0ライト）
B：INTTAU11割り込み要求によるソフトウエア処理（RTBL0ライト）

備考　スタンバイ時の動作については，第23章　パワー・セーブ機能を参照してください。

12. 5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

(2) 初期設定

- ポート関係のレジスタを設定する。
  詳細については，表12－2 端子構成および，第4章 ポート機能を参照してください。
- RTPM0レジスタを設定。
- チャネル構成，トリガおよび有効エッジを選択する。
  RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。
- 初期値をRTBH0, RTBL0レジスタに設定する[注1]。

(3) リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

(4) 選択した転送トリガが発生するまでに，次の出力値をRTBH0, RTBL0レジスタに設定する[注2]。

(5) 選択したトリガに対応する割り込み処理により，順次，次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき，RTBH0, RTBL0レジスタに対してライトを行うと，その値がそれぞれリアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき，RTBH0, RTBL0レジスタに対してライトを行っても，リアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lにデータ転送はされません。

注意 リアルタイム出力端子に反映するには表12－2 端子構成および，第4章 ポート機能を参照してリアルタイム出力ポート（RTP00-RTP07）に設定してください。

12. 6 注意事項

（1）選択されたリアルタイム出力トリガの割り込み処理内でRTBL0, RTBH0, RTPC0レジスタへの書き込みを行うなど，ソフトウエアにより，次の競合を回避してください。

- リアルタイム出力動作の禁止／許可の切り替え（RTPOE0ビット）と選択したリアルタイム出力トリガとの競合
- リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

（2）初期設定は，リアルタイム出力動作を禁止（RTPOE0ビット = 0）にしてから行ってください。

（3）一度リアルタイム出力動作を禁止（RTPOE0ビット = 0）した場合は，リアルタイム出力動作を許可（RTPOE0ビット = 0→1）する前に，必ずRTBH0, RTBL0レジスタに初期値を設定してください。

第13章　クロック出力／ブザー出力制御回路（BUZZ）

13. 1　クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

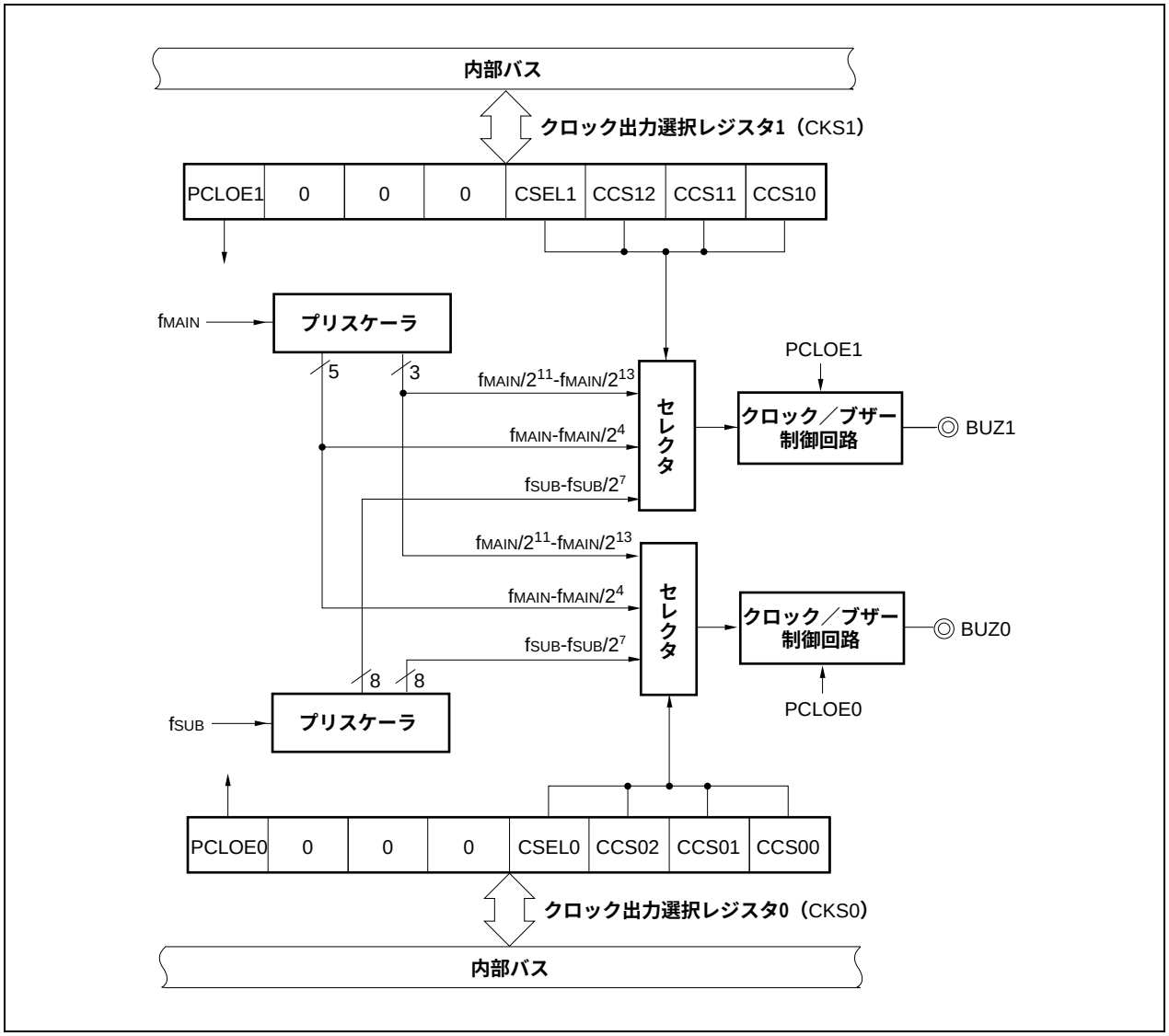
1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

BUZn端子は，クロック出力選択レジスタn（BUZ0CKSn）で選択したクロックを出力します。

図13－1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考　n = 0, 1

図13－1 クロック出力／ブザー出力制御回路のブロック図



13. 2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表13－1 クロック出力／ブザー出力制御回路の構成

項　目	構　成
制御レジスタ	クロック出力選択レジスタn（BUZ0CKSn）

13. 3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次の2種類のレジスタで制御します。

- クロック出力選択レジスタn（BUZ0CKSn）
- ポート関係のレジスタ（第4章 ポート機能参照）

(1) クロック出力選択レジスタn（BUZ0CKSn）

クロック出力またはブザー周波数出力の端子（BUZn）の出力許可／禁止，および出力クロックを設定するレジスタです。

BUZ0CKSnレジスタで，BUZn端子の出力するクロックを選択します。

8/1ビット単位でリード／ライト可能です。

リセット信号により，00Hになります。

アドレス：BUZ0CKS0 FFFFDA04，BUZ0CKS1 FFFFDA08 **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
BUZ0CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	BUZn端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	BUZn端子の出力クロックの選択				
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 32 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注	設定禁止注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	f_{SUB}	32.768 kHz			
1	0	0	1	$f_{SUB}/2$	16.384 kHz			
1	0	1	0	$f_{SUB}/2^2$	8.192 kHz			
1	0	1	1	$f_{SUB}/2^3$	4.096 kHz			
1	1	0	0	$f_{SUB}/2^4$	2.048 kHz			
1	1	0	1	$f_{SUB}/2^5$	1.024 kHz			
1	1	1	0	$f_{SUB}/2^6$	512 Hz			
1	1	1	1	$f_{SUB}/2^7$	256 Hz			

注 出力クロックは，10 MHz以内の範囲で使用してください。また，V_{DD}<2.2 Vで使用する場合は，8 MHz以内のみ使用可能です。

注意1. 出力クロックの切り替えは，出力禁止（PCLOEn = 0）にしてから行ってください。

2. メイン・システム・クロック（f_{MAIN}）選択時（CSELn = 0）にSTOPモードに移行する場合は，STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック（f_{SUB}）選択時（CSELn = 1）は，STOPモード時にクロック出力が可能なためPCLOEn = 1に設定可能です。

備考1．n = 0, 1

2．f_{MAIN} ：メイン・システム・クロック周波数

f_{SUB} ：サブシステム・クロック周波数

13. 4 クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

BUZ0端子は，クロック出力選択レジスタ0（BUZ0CKS0）で選択したクロック／ブザーを出力します。

BUZ1端子は，クロック出力選択レジスタ1（BUZ0CKS1）で選択したクロック／ブザーを出力します。

13. 4. 1 出力端子の動作

BUZn端子は，次の手順で出力します。

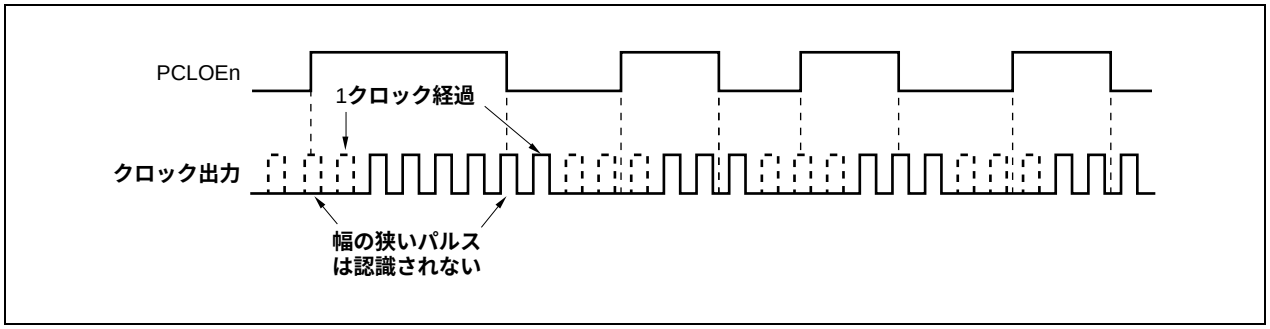
① BUZn端子のクロック出力選択レジスタ（BUZ0CKSn）のビット0-3（CCSn0-CCSn2, CSELn）で出力周波数を選択する（出力は禁止の状態）。

② BUZ0CKSnレジスタのビット7（PCLOEn）に1を設定し，クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。ただし，出力禁止（PCLOEn = 0）後のクロック出力がハイ・レベルの状態でSTOPモードに移行した場合，クロック出力幅が選択クロックより短くなる場合があります。クロック出力幅を確保したい場合は，出力禁止（PCLOEn = 0）に設定してから,，選択クロックの1.5クロック以上待ったあと、STOPモードに移行してください。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図13－4に示します。

2. n = 0, 1

図13－4 リモコン出力応用例



第14章 A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

品 名			V850E2/JC4-L（40ピン）	V850E2/JC4-L（48ピン）	V850E2/JE4-L（64ピン）	V850E2/JF4-L（80ピン）	V850E2/JG4-L（100ピン）	V850E2/JH4-L（128ピン）	V850E2/JJ4-L（144ピン）
アナログ入力チャネル数		合計	5チャネル	6チャネル	10チャネル	11チャネル	13チャネル	20チャネル	24チャネル
	アナログ専用チャネル	アナログ専用入力バッファ系端子	ANI02-ANI05	ANI02-ANI05	ANI02-ANI05	ANI02-ANI05	ANI01-ANI05	ANI00-ANI11	ANI00-ANI15
	デジタル兼用チャネル	デジタル兼用入力バッファ系端子	ANI23	ANI23, ANI24	ANI23-ANI28	ANI23-ANI29	ANI23-ANI30	ANI23-ANI30	ANI23-ANI30

14. 1 A/Dコンバータの機能

次にA/Dコンバータの特徴について示します。

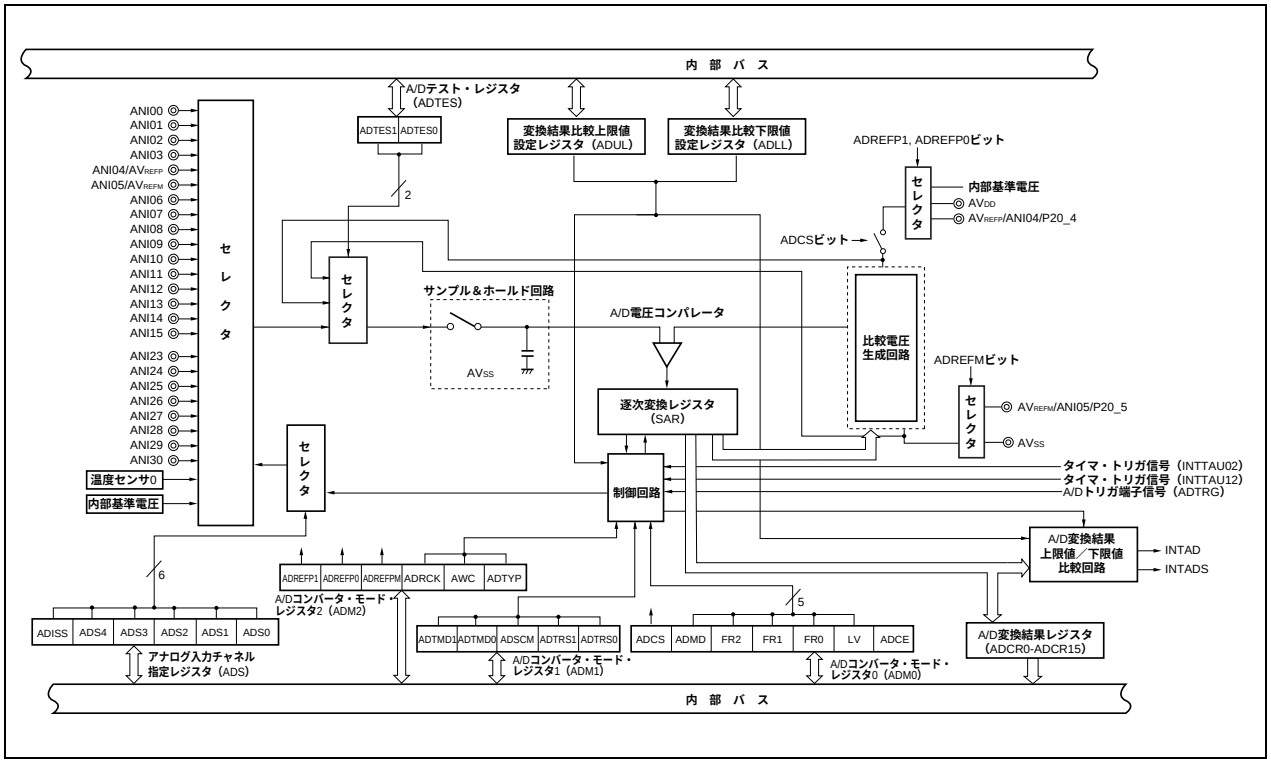
○12/10ビット分解能
○変換時間：1 μs（ターゲット）
○逐次比較変換方式
○動作電圧：AV_{DD} = 1.6～3.6 V
○アナログ入力基準電圧：AV_{REFM}～AV_{REFP}
○動作モードとして，次の機能があります。
- 連続セレクト・モード
- 連続スキャン・モード
- ワンショット・セレクト・モード
- ワンショット・スキャン・モード

○トリガ・モードとして，次の機能があります。
- ソフトウエア・トリガ・モード
- ハードウエア・トリガ・ノー・ウエイト・モード
- ハードウエア・トリガ・ウエイト・モード

○ハードウエア・トリガ信号として次のトリガがあります。
- INTTAU02割り込み信号
- INTTAU12割り込み信号
- ADTRG端子からの入力信号

○パワー・フェイル監視機能（変換結果比較機能）
○温度センサ対応
○SNOOZEモード対応

図14ー1 A/Dコンバータのブロック図



14. 2 A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

(1) ANI00-ANI15, ANI23-ANI30端子

A/Dコンバータの24チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

A/D電圧コンパレータは，サンプリングされた電圧値と比較電圧生成回路の電圧タップの出力を比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット11の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット11 = 0：（1/4 AV_{REF}）
ビット11 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット10を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット10 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。
10ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考 AV_{REF}：A/Dコンバータの＋側基準電圧
（AV_{REFP}，内部基準電圧，AV_{DD}から選択可能）

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCRn）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD），A/Dスキャン完了割り込み要求信号（INTADS）が発生します。

(6) A/D変換結果レジスタn（ADCRn）

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。16本のレジスタで構成されており，A/D変換結果はアナログ入力に対応したADA0CRnレジスタの下位12ビットに格納します（上位4ビットは0に固定）。10ビット分解能を選択した場合は，下位2ビットは0に固定されます。

(7) 制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，INTAD, INTADSを発生します。

(8) AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの基準電圧の＋側として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1, ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/AV_{SS}）間にかかる電圧に基づいて，ANI00-ANI15, ANI23-ANI30に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，AV_{REFP}のほかにAV_{DD}と内部基準電圧を選択することが可能です。

(9) AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。AV_{REFM}をA/Dコンバータの－側の基準電圧として使用する場合は，ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにAV_{SS}を選択することが可能です。

14. 3 A/Dコンバータで使用するレジスタ

A/Dコンバータは，次のレジスタを使用します。

- 周辺イネーブル・レジスタ0（PER0）[注]
- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- A/D変換結果レジスタ（ADCRn）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）

注 6. 3（29）周辺イネーブル・レジスタ0（PER0）を参照してください。

(1) A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(1/2)

アドレス：FF81D000H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	0	LV注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止／待機状態
1	変換動作許可 [リード時注2] ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：安定待ち状態＋変換動作状態

ADMD	A/D変換動作モードを設定
0	セレクト・モード
1	スキャン・モード

LV	A/D変換チャネルの種類を設定
0	アナログ専用チャネル（ANI00-ANI15）
1	デジタル兼用チャネル（ANI23-ANI30）

ADCE	A/D電圧コンパレータの動作制御注3
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LVビットおよびA/D変換に関する詳細は，表14－3～表14－6を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ウエイト・モード時は，ADCSビットを変換動作状態のステータス・フラグとして使用することができます。ただし，ハードウエア・トリガ・ノーウエイト・モード時は，ステータス・フラグとして使用することはできません。

3. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，安定待ち時間がかかります。このため，ADCEビットに1を設定してから安定待ち時間を経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。安定待ち時間を満たさないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

[安定待ち時間]

アナログ入力チャネルに専用チャネル選択の場合 ：T.B.D μs

テスト・モード設定（ADTESレジスタのADTES1 = 1）選択の場合 ：T.B.D μs

アナログ入力チャネルに標準チャネル選択の場合 ：T.B.D μs

アナログ入力チャネルに温度センサ出力／内部基準電圧出力（ADSレジスタのADISS = 1）選択の場合：T.B.D μs

(2/2)

注意 1. ADMD, FR2-FR0, LVビット, ADCEの変更は変換停止状態，および変換待機状態（ADCS = 0）で行ってください。

2. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず14. 7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

表14－1 ADCSビットとADCEビットの設定

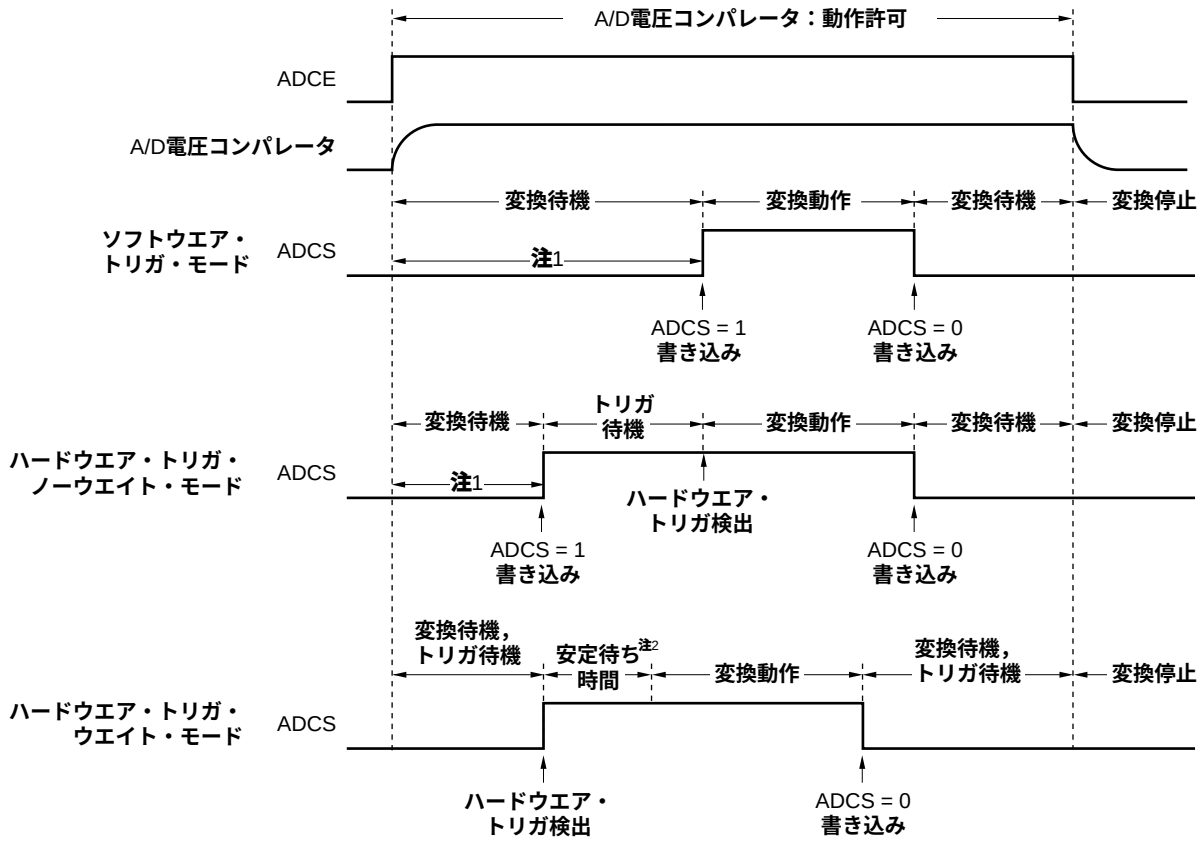
ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（A/D電圧コンパレータのみ電力消費注）
1	0	設定禁止
1	1	変換モード（A/D電圧コンパレータ：動作許可）

注 ハードウエア・トリガ・ウエイト・モードでは，変換待機モード中もDC電力消費パスは存在しません。

表14－2 ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCE = 1の状態でADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ADCE = 1の状態でハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図14－2 A/D電圧コンパレータ使用時のタイミング・チャート



注 1. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりからADCSビットの立ち上がりまでの時間は，内部回路安定のため，次の安定待ち時間以上必要です。

[安定待ち時間]

アナログ入力チャネルに専用チャネル選択の場合 ：T.B.D μs

テスト・モード設定（ADTESレジスタのADTES1 = 1）選択の場合 ：T.B.D μs

アナログ入力チャネルに標準チャネル選択の場合 ：T.B.D μs

アナログ入力チャネルに温度センサ出力／内部基準電圧出力（ADSレジスタのADISS = 1）選択の場合：T.B.D μs

2. 連続変換モードの2回目以降，スキャン・モードのスキャン1以降の変換ではハードウエア・トリガ検出後に安定待ち時間は発生しません。

注意 1. ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります）。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。

2. ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD変換終了時にADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

3. ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。

4. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時： f_{CLK}の1クロック＋A/D変換時間

ハードウエア・トリガ・ウエイト・モード時： f_{CLK}の1クロック＋安定待ち時間＋A/D変換時間

備考 f_{CLK}：CPU／周辺クロック周波数

表14－3 12ビットA/D変換，高速変換動作時の変換動作（ADTYP = 0, ADHSC = 1）

FR2	FR1	FR0	LV	分周比	変換クロック数 (f_{CLK})	変換時間（μs）			
						f_{CLK} = 32 MHz	f_{CLK} = 16MHz	f_{CLK} = 8 MHz	f_{CLK} = 4 MHz
0	0	0	0	f_{CLK}/32	1024	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	f_{CLK}/16	512	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	0	f_{CLK}/8	256	8.00	設定禁止	32.00	設定禁止
0	1	1	0	f_{CLK}/6	192	6.00	設定禁止	24.00	設定禁止
1	0	0	0	f_{CLK}/5	160	5.00	設定禁止	20.00	設定禁止
1	0	1	0	f_{CLK}/4	128	4.00	8.00	16.00	32.00
1	1	0	0	f_{CLK}/2	64	2.00	4.00	8.00	16.00
1	1	1	0	f_{CLK}/1	32	1.00	2.00	4.00	8.00
0	0	0	1	f_{CLK}/32	1376	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	f_{CLK}/16	688	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	1	f_{CLK}/8	344	10.75	設定禁止	43.00	設定禁止
0	1	1	1	f_{CLK}/6	258	8.06	設定禁止	32.25	設定禁止
1	0	0	1	f_{CLK}/5	215	6.72	設定禁止	26.88	設定禁止
1	0	1	1	f_{CLK}/4	172	5.38	10.75	21.50	43.00
1	1	0	1	f_{CLK}/2	86	2.69	5.38	10.75	21.50
1	1	1	1	f_{CLK}/1	43	1.34	2.69	5.38	10.75

注意 変換時間の値はすべて暫定値で評価後，変更になる可能性があります。

表14－4 12ビットA/D変換，通常変換動作時の変換動作（ADTYP = 0, ADHSC = 0）

FR2	FR1	FR0	LV	分周比	変換クロック数 (f_{CLK})	変換時間（μs）			
						f_{CLK} = 32 MHz	f_{CLK} = 16MHz	f_{CLK} = 8 MHz	f_{CLK} = 4 MHz
0	0	0	0	f_{CLK}/32	1216	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	f_{CLK}/16	608	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	0	f_{CLK}/8	304	9.50	設定禁止	38.00	設定禁止
0	1	1	0	f_{CLK}/6	228	7.13	設定禁止	28.50	設定禁止
1	0	0	0	f_{CLK}/5	190	5.94	設定禁止	23.75	設定禁止
1	0	1	0	f_{CLK}/4	152	4.75	9.50	19.00	38.00
1	1	0	0	f_{CLK}/2	76	2.38	4.75	9.50	19.00
1	1	1	0	f_{CLK}/1	38	1.19	2.38	4.75	9.50
0	0	0	1	f_{CLK}/32	1568	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	f_{CLK}/16	784	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	1	f_{CLK}/8	392	12.25	設定禁止	49.00	設定禁止
0	1	1	1	f_{CLK}/6	294	9.19	設定禁止	36.75	設定禁止
1	0	0	1	f_{CLK}/5	245	7.66	設定禁止	30.63	設定禁止
1	0	1	1	f_{CLK}/4	196	6.13	12.25	24.50	49.00
1	1	0	1	f_{CLK}/2	98	3.06	6.13	12.25	24.50
1	1	1	1	f_{CLK}/1	49	1.53	3.06	6.13	12.25

注意 変換時間の値はすべて暫定値で評価後，変更になる可能性があります。

表14－5 10ビットA/D変換，高速変換動作時の変換動作（ADTYP = 1, ADHSC = 1）

FR2	FR1	FR0	LV	分周比	変換クロック数 (f_{CLK})	変換時間（μs）			
						f_{CLK} = 32 MHz	f_{CLK} = 16MHz	f_{CLK} = 8 MHz	f_{CLK} = 4 MHz
0	0	0	0	f_{CLK}/32	896	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	f_{CLK}/16	448	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	0	f_{CLK}/8	224	7.00	設定禁止	28.00	設定禁止
0	1	1	0	f_{CLK}/6	168	5.25	設定禁止	21.00	設定禁止
1	0	0	0	f_{CLK}/5	140	4.38	設定禁止	17.50	設定禁止
1	0	1	0	f_{CLK}/4	112	3.50	7.00	14.00	28.00
1	1	0	0	f_{CLK}/2	56	1.75	3.50	7.00	14.00
1	1	1	0	f_{CLK}/1	28	0.88	1.75	3.50	7.00
0	0	0	1	f_{CLK}/32	1248	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	f_{CLK}/16	642	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	1	f_{CLK}/8	312	9.75	設定禁止	39.00	設定禁止
0	1	1	1	f_{CLK}/6	234	7.31	設定禁止	29.25	設定禁止
1	0	0	1	f_{CLK}/5	195	6.09	設定禁止	24.38	設定禁止
1	0	1	1	f_{CLK}/4	156	4.88	9.75	19.50	39.00
1	1	0	1	f_{CLK}/2	78	2.44	4.88	9.75	19.50
1	1	1	1	f_{CLK}/1	39	1.22	2.44	4.88	9.75

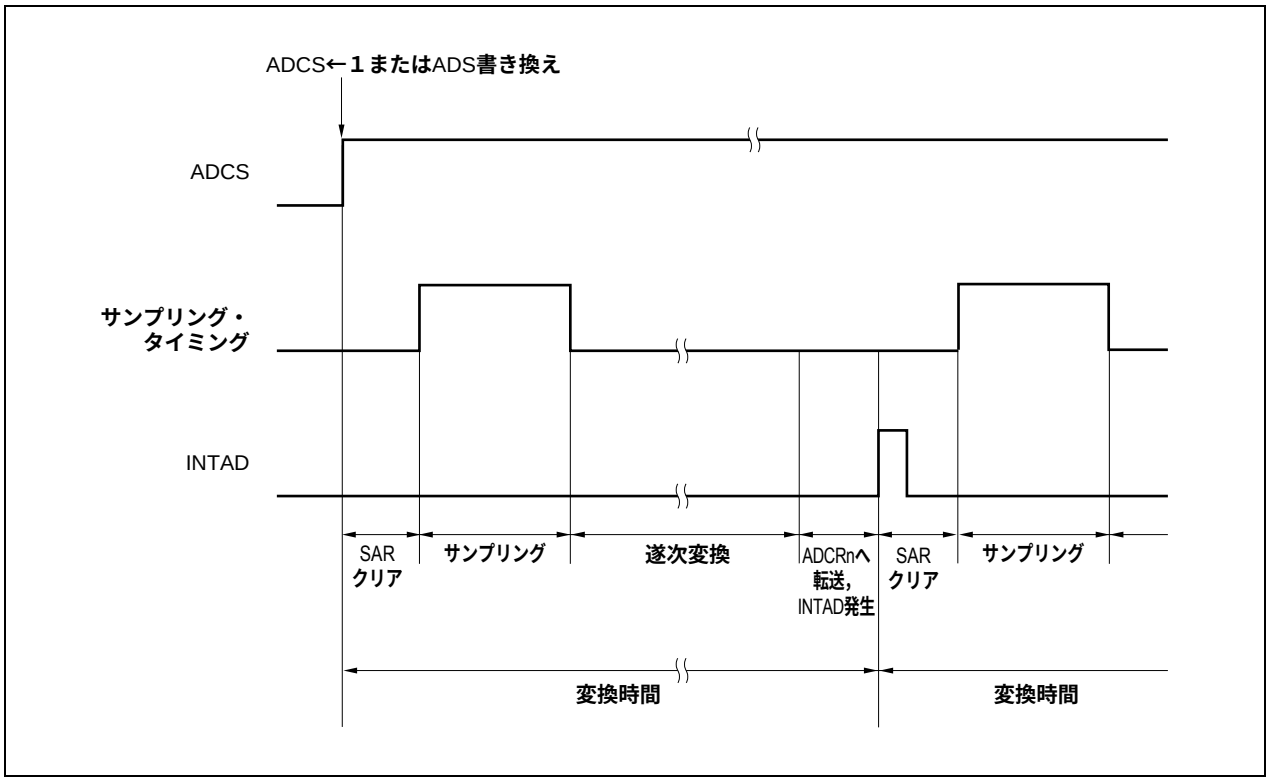
注意 変換時間の値はすべて暫定値で評価後，変更になる可能性があります。

表14－6 10ビットA/D変換，通常変換動作時の変換動作（ADTYP = 1, ADHSC = 0）

FR2	FR1	FR0	LV	分周比	変換クロック数 (f_{CLK})	変換時間（μs）			
						f_{CLK} = 32 MHz	f_{CLK} = 16MHz	f_{CLK} = 8 MHz	f_{CLK} = 4 MHz
0	0	0	0	f_{CLK}/32	1088	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	f_{CLK}/16	540	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	0	f_{CLK}/8	272	8.50	設定禁止	34.00	設定禁止
0	1	1	0	f_{CLK}/6	204	6.38	設定禁止	25.50	設定禁止
1	0	0	0	f_{CLK}/5	170	5.31	設定禁止	21.25	設定禁止
1	0	1	0	f_{CLK}/4	136	4.25	8.50	17.00	34.00
1	1	0	0	f_{CLK}/2	68	2.13	4.25	8.50	17.00
1	1	1	0	f_{CLK}/1	34	1.06	2.13	4.25	8.50
0	0	0	1	f_{CLK}/32	1440	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	f_{CLK}/16	720	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	1	f_{CLK}/8	360	11.25	設定禁止	45.00	設定禁止
0	1	1	1	f_{CLK}/6	270	8.44	設定禁止	33.75	設定禁止
1	0	0	1	f_{CLK}/5	225	7.03	設定禁止	28.13	設定禁止
1	0	1	1	f_{CLK}/4	180	5.63	11.25	22.50	45.00
1	1	0	1	f_{CLK}/2	90	2.81	5.63	11.25	22.50
1	1	1	1	f_{CLK}/1	45	1.41	2.81	5.63	11.25

注意 変換時間の値はすべて暫定値で評価後，変更になる可能性があります。

図14－3 A/D**コンバータのサンプリングと**A/D**変換のタイミング（例 ソフトウエア・トリガ・モードの場合）**



(2) A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，割り込み動作，ハードウエア・トリガ信号を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF81D008H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	ADHSC	ADSMS1	ADSMS0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウエア・トリガ・モード
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADHSC	高速／通常変換動作の設定
0	通常変換動作
1	高速変換動作

ADSMS1	ADSMS0	スキャン・モード時のINTAD/INTADS割り込みの選択
0	0	変換ごとにINTAD/INTADSが発生する
0	1	設定禁止
1	0	変換ごとにINTADが，4チャネルごとにINTADSが発生する
1	1	最初のチャネル変換後にINTADが，4チャネルごとにINTADSが発生する
スキャン・モード時はADSMS1, ADSMS0ビットの設定によって割り込み発生タイミングを変えることができます。 セレクト・モード時はADSMS1, ADSMS0ビットの設定に関わらず，変換ごとにINTAD/INTADSが発生します。		

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	INTTAU02割り込み信号
0	1	INTTAU12割り込み信号
1	0	ADTRG端子からの入力信号
1	1	設定禁止

注意1. ADM1レジスタを書き換える場合は，必ず変換停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

2. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時： f_{CLK}の1クロック＋変換時間

ハードウエア・トリガ・ウエイト・モード時： f_{CLK}の1クロック＋安定待ち時間＋変換時間

備考 1. ×：don't care

2. f_{CLK}：CPU／周辺クロック周波数

各動作モードにおけるINTAD/INTADS割り込みの発生条件について次に示します。

表14－7 割り込み発生条件

動作モード		INTAD割り込み			INTADS割り込み	
	ADSMS1,0	比較対象[注1]	割り込み発生条件	割り込み発生のタイミング	割り込み発生条件	割り込み発生タイミング
連続セレクト・モード	－	A/D変換	割り込み発生条件に一致[注2]	1回のA/D変換の終了後	無条件	1回のA/D変換の終了後
連続スキャン・モード	00	1-4番目までのA/D変換結果	割り込み発生条件に一致[注2]	1回のA/D変換の終了後	無条件	1回のA/D変換の終了後
	10		割り込み発生条件に一致[注2]		無条件	全4 chスキャン完了後
	11	1番目までのA/D変換結果	割り込み発生条件に一致[注2]	1回のA/D変換の終了後	無条件	全4 chスキャン完了後
ワンショット・セレクト・モード	－	A/D変換結果	割り込み発生条件に一致[注2]	1回のA/D変換の終了後	無条件	1回のA/D変換の終了後
ワンショット・スキャン・モード	00	1-4番目までのA/D変換結果	割り込み発生条件に一致[注2]	1回のA/D変換の終了後	無条件	1回のA/D変換の終了後
	10		割り込み発生条件に一致[注2]		無条件	全4 chスキャン完了後
	11	1番目までのA/D変換結果	割り込み発生条件に一致[注2]	1回のA/D変換の終了後	無条件	全4 chスキャン完了後

注1. A/D変換結果の比較対象は変換結果レジスタ（ADUL/ADLL）です。

2. 割り込み発生条件についてはADM2.ADRCKビットの説明，および図14－4を参照してください。

備考 セレクト・モード時ではINTADS割り込みはマスクすることを推奨します。

(3) A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(1/2)

アドレス：FF81D080H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧源の選択
0	0	AV_{DD}から供給
0	1	P20_4/AV_{REFP}/ANI04から供給
1	0	内部基準電圧から供給
1	1	設定禁止

- ADREFP1, ADREFP0ビットを書き換える場合，00の値に設定を戻したあと，次の手順で設定してください。
  ① ADCE = 0に設定
  ② ADREFP1, ADREFP0の値を変更
  ③ 安定待ち時間ウエイト（A）
  ④ ADCE = 1に設定
  ⑤ 安定待ち時間ウエイト（B）

  ③の安定待ち時間は，ADREFP1, ADREFP0の値の変更時に必要となります。
  ADREFP1, ADREFP0 = 1, 0に変更する場合 ： A = T.B.D μs
  ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 ： A = T.B.D μs
  ⑤の安定待ち時間は，ADCE = 1に設定時に必要となります。
  アナログ入力チャネルに専用チャネル選択の場合 ：B = T.B.D μs
  テスト・モード設定（ADTESレジスタのADTES1 = 1）選択の場合 ：B = T.B.D μs
  アナログ入力チャネルに標準チャネル選択の場合 ：B = T.B.D μs
  アナログ入力チャネルに温度センサ出力／内部基準電圧出力（ADSレジスタのADISS = 1）選択の場合：B = T.B.D μs

  ⑤の安定待ち時間のあとに，A/D変換を開始してください。
- ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力と内部基準電圧出力をA/D変換することはできません。
  必ずADISS = 0としてA/D変換を行なってください。

注意 1. ADM2レジスタを書き換える場合は，必ず変換停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

2. STOPモードもしくはサブシステム・クロックでCPU動作中からのHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。

3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI04とANI05をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

(2/2)

ADREFM	A/Dコンバータの－側の基準電圧源の選択
0	AV_{SS}から供給
1	P20_5/AV_{REFM}/ANI05から供給

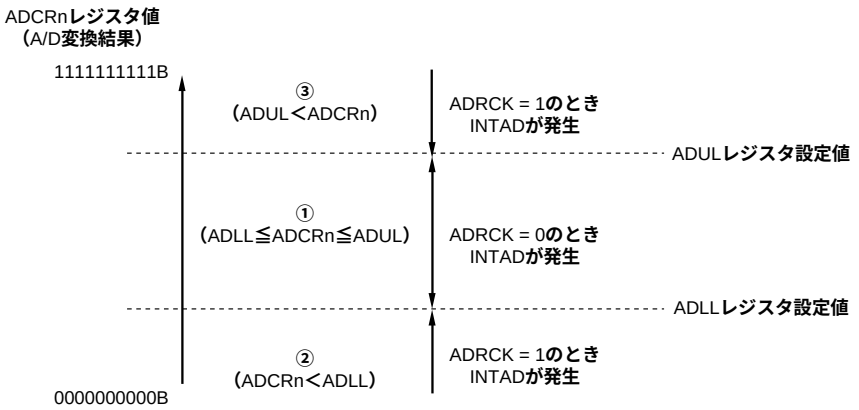
ADRCK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRnレジスタ≦ADULレジスタ（①）のとき割り込み信号（INTAD）が発生。
1	ADCRnレジスタ＜ADLLレジスタ（②），またはADULレジスタ＜ADCRnレジスタ（③）のとき割り込み信号（INTAD）が発生。
①～③の割り込み信号（INTAD）発生範囲を図14－4に示します。 INTADが発生しない場合は，A/D変換結果がADCRnレジスタに格納されません。	

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のADTRG端子からのハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「「f_{CLK}の1クロック＋安定待ち時間＋A/D変換時間」以上の間隔を空けて設定してください。 ・SNOOZEモードを使用する場合でも，通常動作モード時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。 またSTOPモードから通常動作モードへ復帰後，必ずAWCを0に変更してください。 AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	12ビット分解能
1	10ビット分解能

注意 ADM2レジスタを書き換える場合は，必ず変換停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

図14－4 ADRCKビットによる割り込み信号発生範囲



(4) A/D変換結果レジスタ（ADCRn）

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。上位4ビットは“0”固定です。A/D変換が終了するたびに，ADSAR[11:0]の値をA/D変換結果レジスタに格納します（ただし，ADM2レジスタのADRCKビット, ADUL, ADLLレジスタの設定より格納するか否かが決まります）。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

アドレス：表14－7参照　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCRn	0	0	0	0												

注意1. A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），に対して書き込み動作を行ったとき，ADCRnレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2. INTAD, INTADSが発生しない場合は，A/D変換結果がADCRnレジスタに格納されません。

ADCRnレジスタは，ANIxxチャネルによって対応するレジスタが異なります。ACDRnレジスタのアドレス，および対応するANIxxチャネルを次に示します。

表14－7　ADCRnレジスタに対するアドレスおよび保持するチャネル

レジスタ	アドレス	保持するチャネル	レジスタ	アドレス	保持するチャネル
ADCR0	FF81D00CH	ANI00	ADCR8	FF81D02CH	ANI08
					ANI24
ADCR1	FF81D010H	ANI01	ADCR9	FF81D030H	ANI09
					ANI25
ADRC2	FF81D014H	ANI02	ADRC10	FF81D034H	ANI10
					ANI26
ADCR3	FF81D018H	ANI03	ADCR11	FF81D038H	ANI11
					ANI27
ADCR4	FF81D01CH	ANI04	ADCR12	FF81D03CH	ANI12
					ANI28
ADCR5	FF81D020H	ANI05	ADCR13	FF81D040H	ANI13
					ANI29
ADCR6	FF81D024H	ANI06	ADCR14	FF81D044H	ANI14
					ANI30
ADCR7	FF81D028H	ANI07	ADCR15	FF81D048H	ANI15
		ANI23			温度センサ／基準電圧

(5) アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(1/2)

アドレス：FF81D004H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20_0/ANI0端子
0	0	0	0	0	1	ANI1	P20_1/ANI1端子
0	0	0	0	1	0	ANI2	P20_2/ANI2端子
0	0	0	0	1	1	ANI3	P20_3/ANI3端子
0	0	0	1	0	0	ANI4	P20_4/ANI4/AV_{REFM}端子
0	0	0	1	0	1	ANI5	P20_5/ANI5/AV_{REFP}端子
0	0	0	1	1	0	ANI6	P20_6/ANI6端子
0	0	0	1	1	1	ANI7	P20_7/ANI7端子
0	0	1	0	0	0	ANI8	P21_0/ANI8端子
0	0	1	0	0	1	ANI9	P21_1/ANI9端子
0	0	1	0	1	0	ANI10	P21_2/ANI10端子
0	0	1	0	1	1	ANI11	P21_3/ANI11端子
0	0	1	1	0	0	ANI12	P21_4/ANI12端子
0	0	1	1	0	1	ANI13	P21_5/ANI13端子
0	0	1	1	1	0	ANI14	P21_6/ANI14端子
0	0	1	1	1	1	ANI15	P21_7/ANI15端子
0	1	0	0	0	0	**設定禁止**	
0	1	0	0	0	1	**設定禁止**	
0	1	0	0	1	0	**設定禁止**	
0	1	0	0	1	1	**設定禁止**	
0	1	0	1	0	0	**設定禁止**	
0	1	0	1	0	1	**設定禁止**	
0	1	0	1	1	0	**設定禁止**	
0	1	0	1	1	1	ANI23	P22_7/INTP05/KR7/RTP7端子
0	1	1	0	0	0	ANI24	P23_0/INTP00端子
0	1	1	0	0	1	ANI25	P23_1/INTP07端子
0	1	1	0	1	0	ANI26	P23_2/INTP06端子
0	1	1	0	1	1	ANI27	P23_3/INTP02端子
0	1	1	1	0	0	ANI28	P23_4/INTP10端子
0	1	1	1	0	1	ANI29	P23_5/INTP01/KR5/RTP5端子
0	1	1	1	1	0	ANI30	P23_6/INTP13/KR6/RTP6端子
0	1	1	1	1	1	**設定禁止**	
1	0	0	0	0	0	**－**	**温度センサ出力**
1	0	0	0	0	1	**－**	**内部基準電圧出力**
上記以外						**設定禁止**	

(2/2)

○スキャン・モード（ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
0	0	1	1	0	0	ANI12	ANI13	ANI14	ANI15
0	1	0	1	1	1	ANI23	ANI24	ANI25	ANI26
0	1	1	0	0	0	ANI24	ANI25	ANI26	ANI27
0	1	1	0	0	1	ANI25	ANI26	ANI27	ANI28
0	1	1	0	1	0	ANI26	ANI27	ANI28	ANI29
0	1	1	0	1	1	ANI27	ANI28	ANI29	ANI30
上記以外						設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

2. ADISSビットを書き換える場合は，必ずA/D電圧コンパレータ動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

3. AV_{REFP}をA/Dコンバータの＋側の基準電圧源として使用している場合，ANI04をA/D変換チャネルとして選択しないでください。

4. AV_{REFM}をA/Dコンバータの－側の基準電圧源として使用している場合，ANI05をA/D変換チャネルとして選択しないでください。

5. ADISS = 1を設定した場合，＋側の基準電圧源に内部基準電圧は使用できません。

6. STOPモードもしくはサブクロックでCPU動作中からのHALTモードへ移行する場合は，ADISS = 1に設定しないでください。

(7) 変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果に対する上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図14－4参照）で割り込み信号（INTAD）の発生を制御します。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意 1. A/D変換結果レジスタ（ADCRn）に格納された変換結果の上位8ビットをADULレジスタと比較します。

2. ADULレジスタの書き換えは，必ず変換停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

3. ADULレジスタおよびADLLレジスタの設定を行う際には，ADUL＞ADLLになるよう設定を行ってください。

アドレス：FF81D084H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

(8) 変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果に対する下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図14－4参照）で割り込み信号（INTAD）の発生を制御します。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 1. A/D変換結果レジスタ（ADCRn）に格納された変換結果の上位8ビットをADLLレジスタと比較します。

2. ADLLレジスタの書き換えは，必ず変換停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

3. ADULレジスタおよびADLLレジスタの設定を行う際には，ADUL＞ADLLになるよう設定を行ってください。

アドレス：FF81D088H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

(9) A/Dテスト・レジスタ（ADTES）

A/Dテスト機能として，A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx）を選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF81D08CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx（アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで設定）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで設定）
上記以外		設定禁止

14. 4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。
② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。
③ 逐次変換レジスタ（SAR）のビット11をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。
④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。
⑤ 次にSARレジスタのビット10が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット11の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。
   - ビット11 = 1：（3/4）AV_{REF}
   - ビット11 = 0：（1/4）AV_{REF}

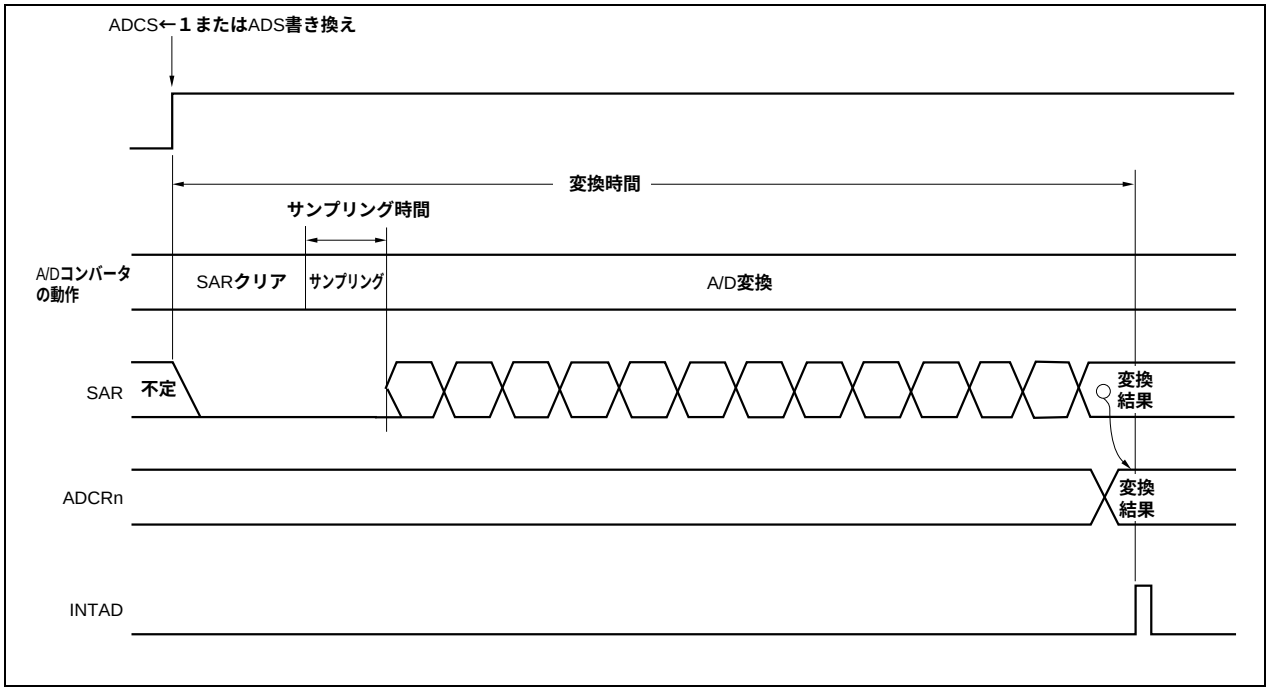
   この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット10を次のように操作します。
   - サンプリングされた電圧≧電圧タップ：ビット10 = 1
   - サンプリングされた電圧＜電圧タップ：ビット10 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。
⑦ 12ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCRn）に転送され，ラッチします。
   同時に，A/D変換終了割り込み要求（INTAD, INTADS）を発生させることができます。
⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注]。
   A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

備考 AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧，AV_{DD}から選択可能です。

図14ー5 A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



A/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き込み操作を行うと，変換動作は初期化され，ADCSビットがセット（1）されていれば，最初から変換を開始します。

A/D変換結果レジスタ（ADCRn）は，リセット信号の発生により0000Hとなります。

14. 5 入力電圧と変換結果

アナログ入力端子（ANI00-ANI15, ANI23-ANI30）に入力されたアナログ入力電圧と理論上のA/D変換結果（A/D変換結果レジスタ（ADCRn））には次式に示す関係があります。

$$ADCRn = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 4096 + 0.5\right)$$

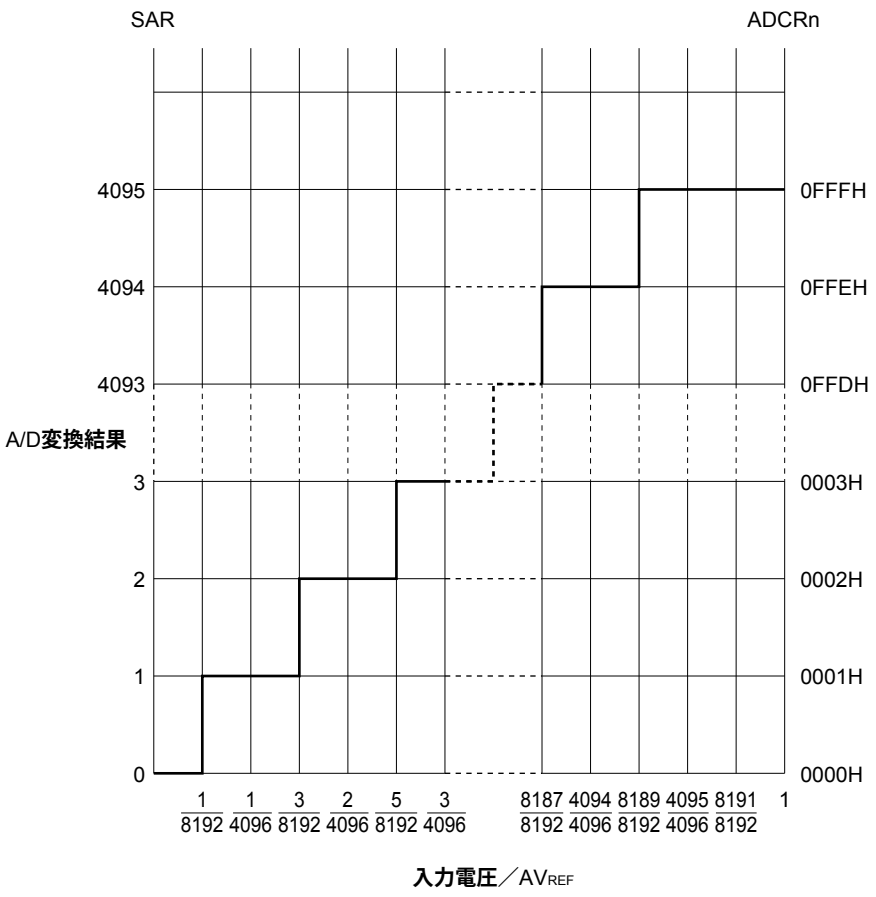
または，

$$(ADCRn - 0.5) \times \frac{AV_{REF}}{4096} \leqq V_{AIN} < (ADCRn + 0.5) \times \frac{AV_{REF}}{4096}$$

INT（ ） ：（ ）内の値の整数部を返す関数
V_{AIN} ：アナログ入力電圧
AV_{REF} ：AV_{REF}端子電圧
ADCRn ：A/D変換結果レジスタ（ADCRn）の値

図14－6にアナログ入力電圧とA/D変換結果の関係を示します。

図14－6 アナログ入力電圧とA/D変換結果の関係



備考 AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧，AV_{DD}から選択可能です。

14. 6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を14. 7 A/Dコンバータの設定フロー・チャートに示します。

14. 6. 1 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

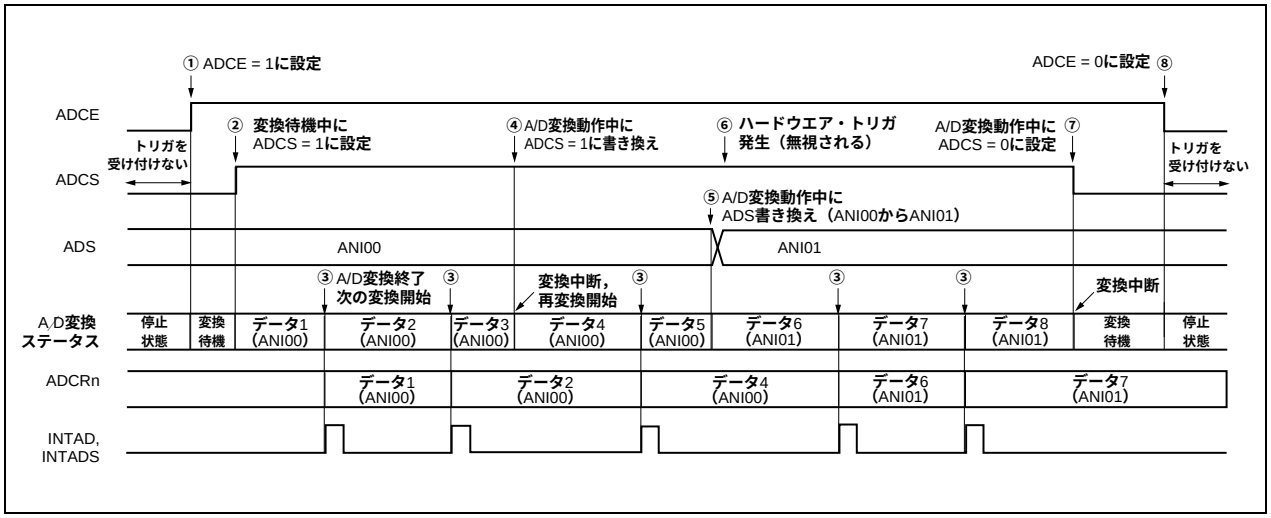
⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－7 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



14. 6. 2 ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

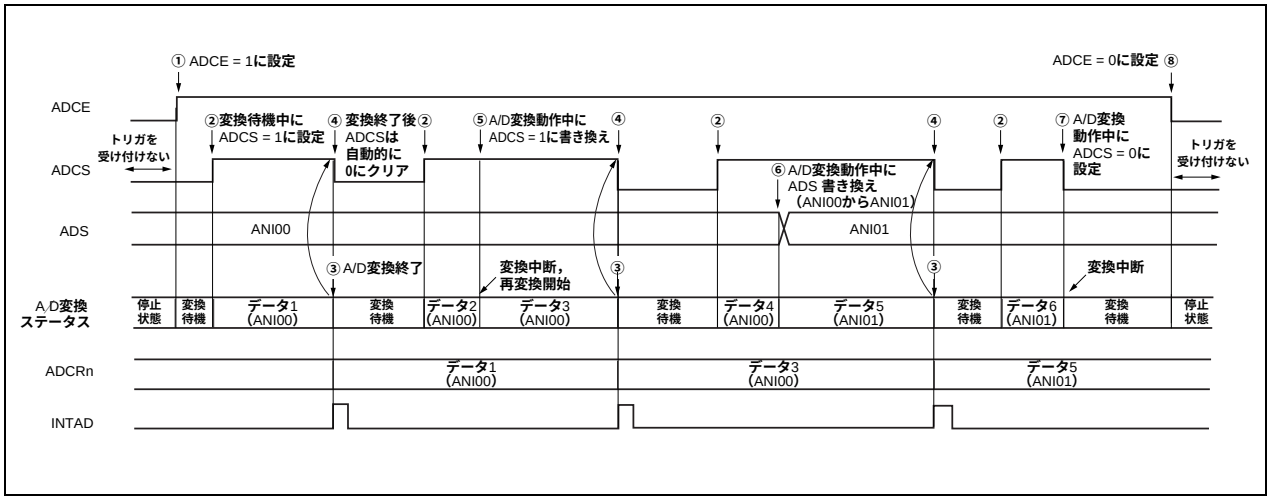
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－8 ソフトウエア・セレクト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



14. 6. 3 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

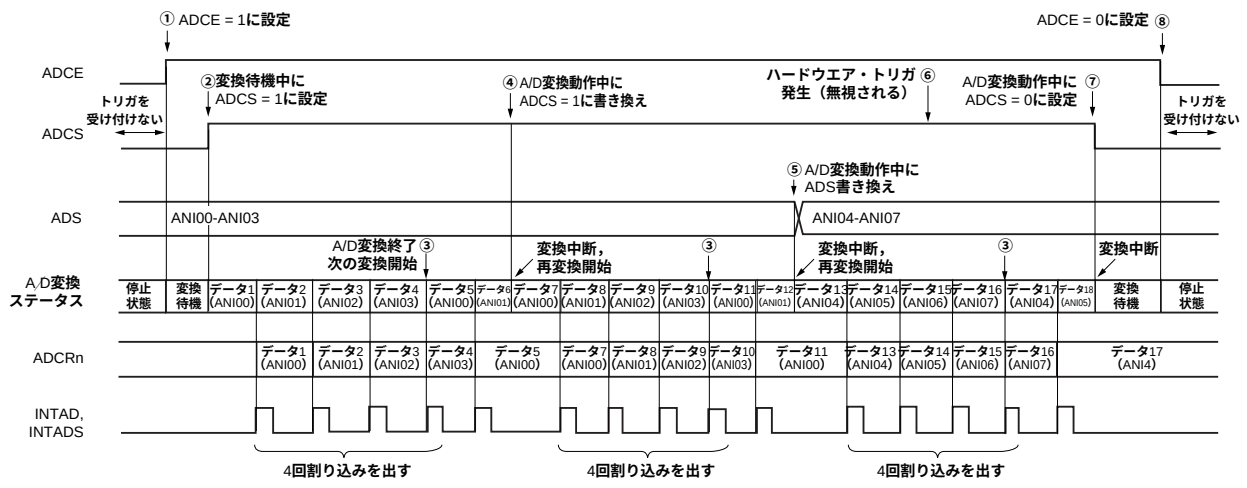
⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－9 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



備考 ADSMS1, 0ビット = 00の場合の例です。

14. 6. 4 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

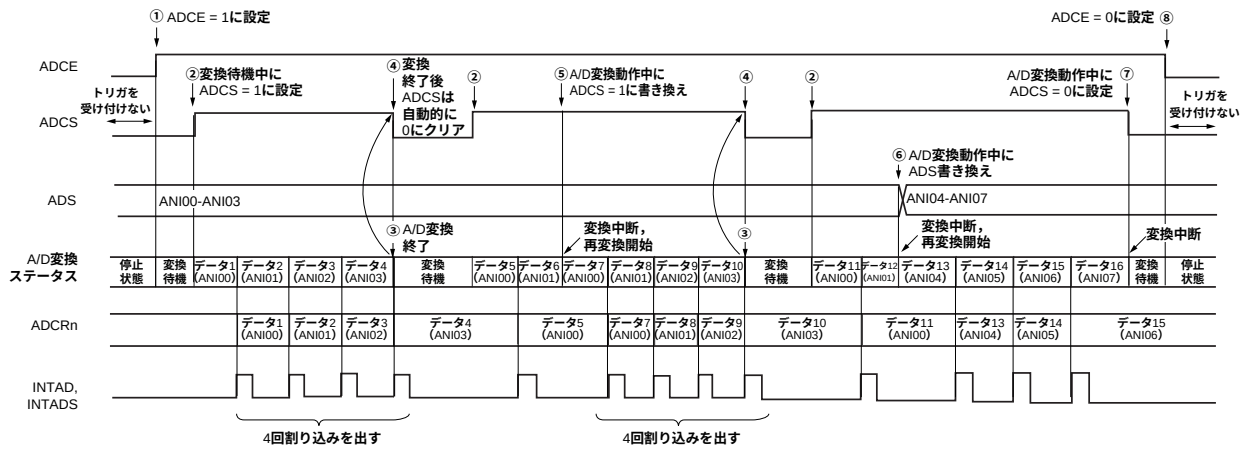
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－10 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



備考 ADSMS1, 0ビット = 00の場合の例です。

14. 6. 5 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

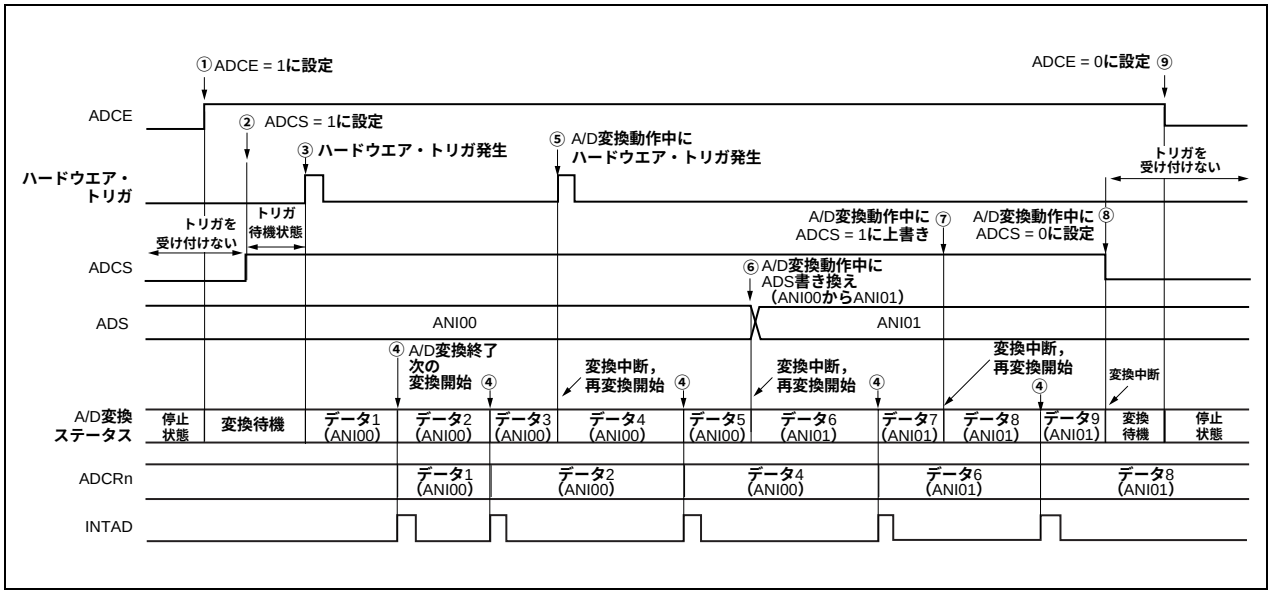
⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－11 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



14. 6. 6 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

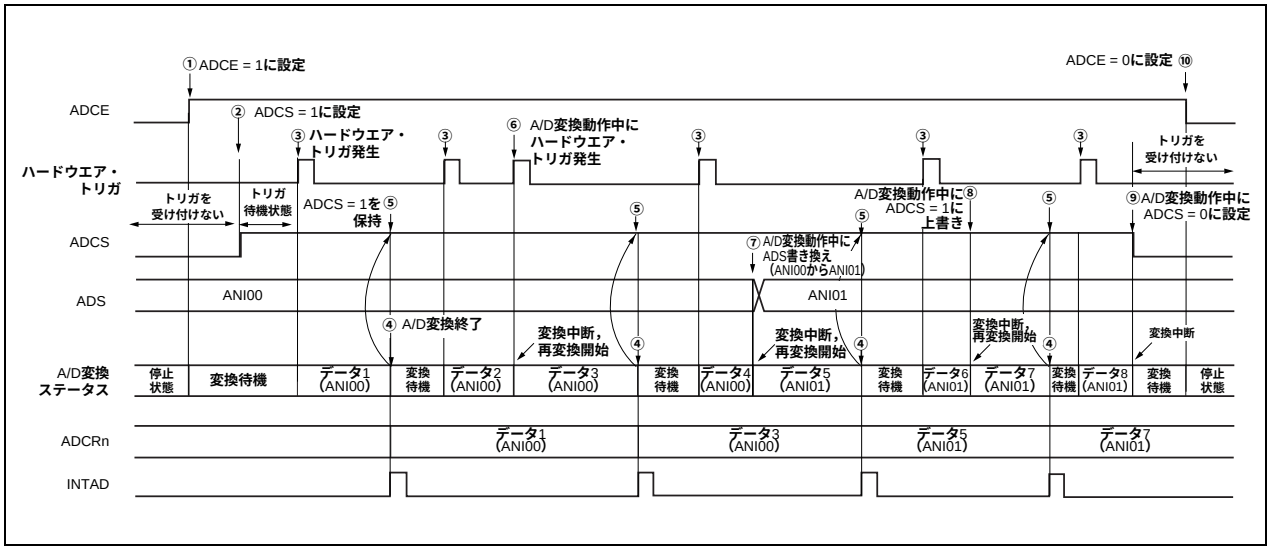
⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－12 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



14. 6. 7 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

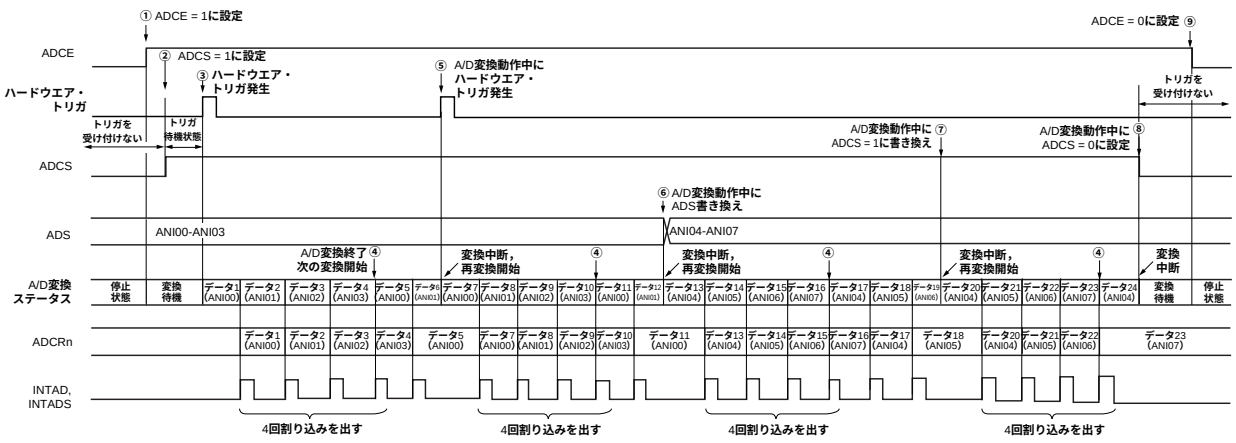
⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－13 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



備考 ADSMS1, 0ビット = 00の場合の例です。

14. 6. 8 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間[注]をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

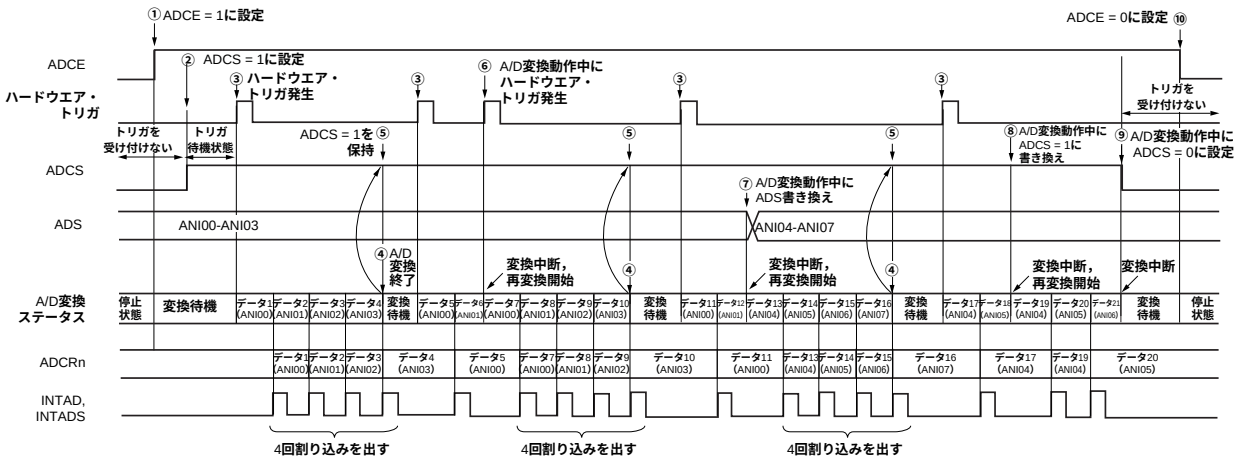
⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

注 FR2-0 = 111の場合 ： 安定待ち時間 = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： 安定待ち時間 = 1/f_{CLK} x 64

図14－14 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



備考 ADSMS1, 0ビット = 00の場合の例です。

14. 6. 9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

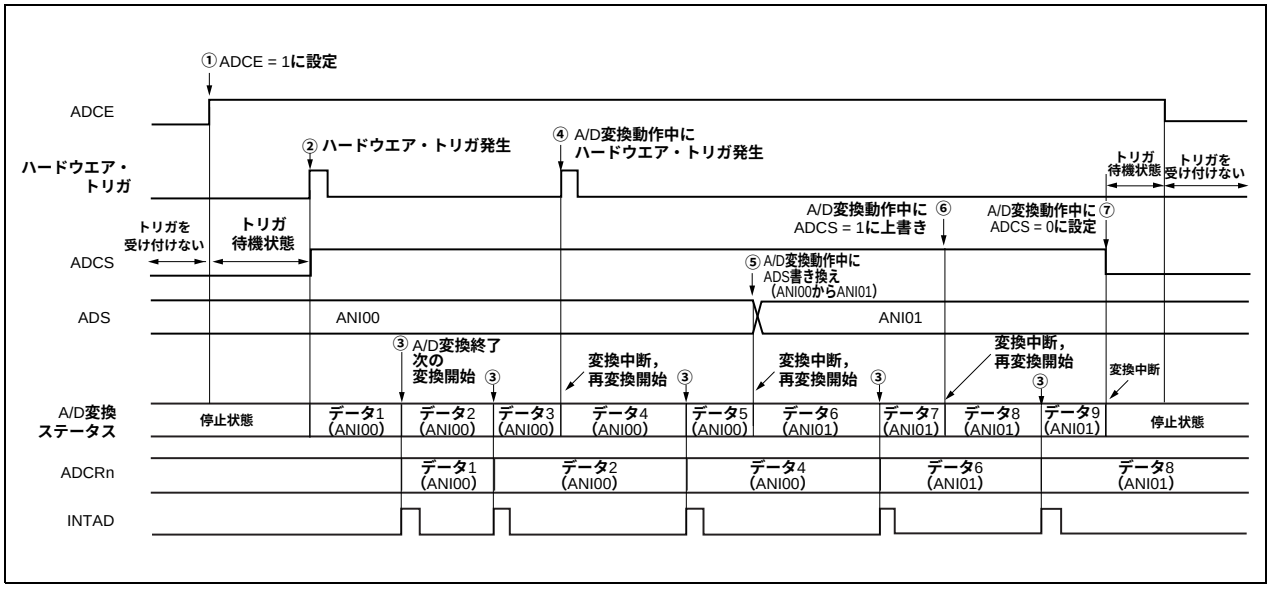
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図14－15 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



14. 6. 10 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

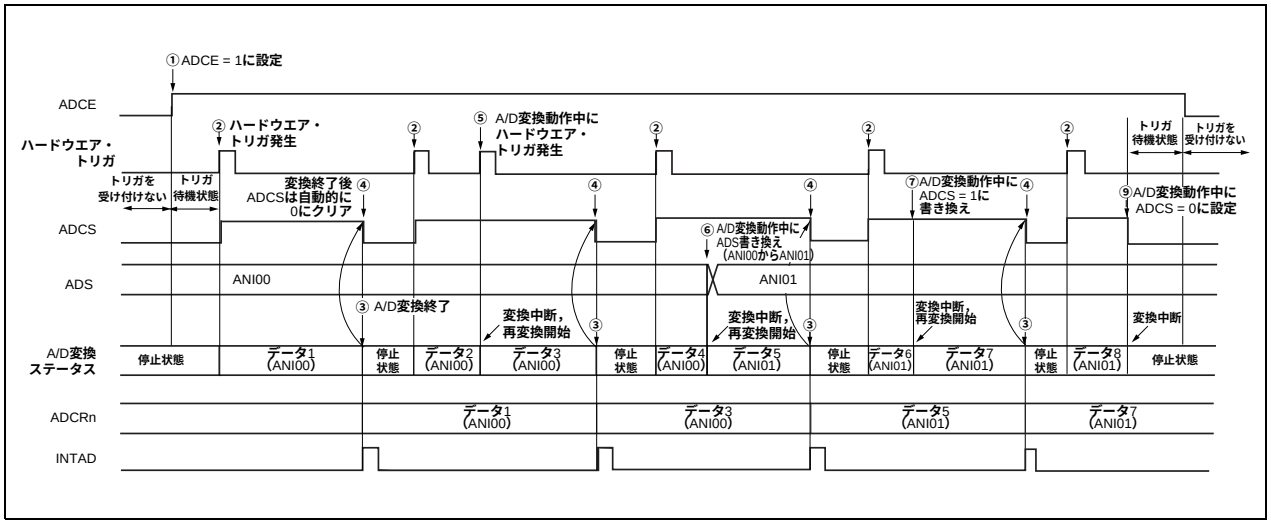
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図14－16 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



14. 6. 11 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD，INTADS）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

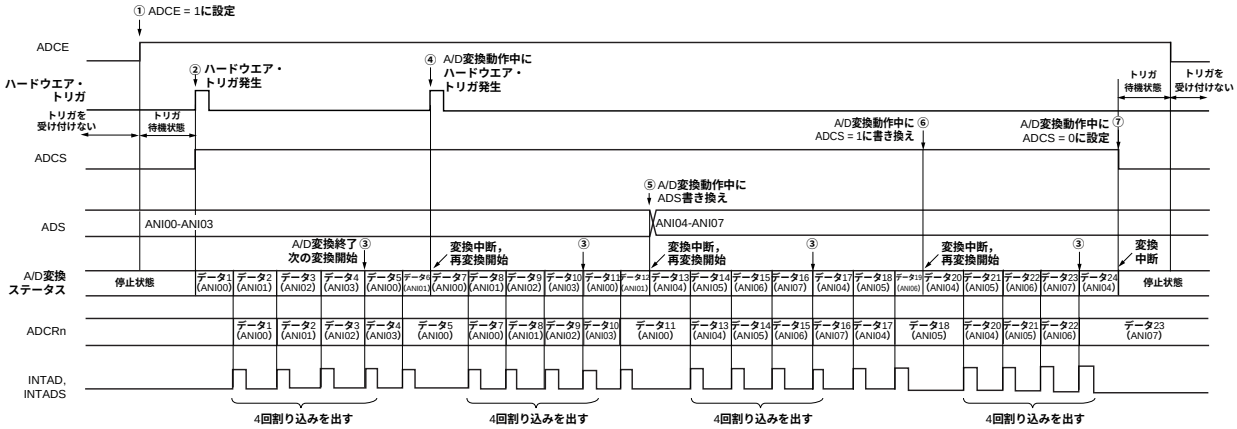
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図14－17 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



備考 ADSMS1, 0ビット = 00の場合の例です。

14. 6. 12 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCRn）に格納し，A/D変換終了割り込み要求信号（INTAD, INTADS）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

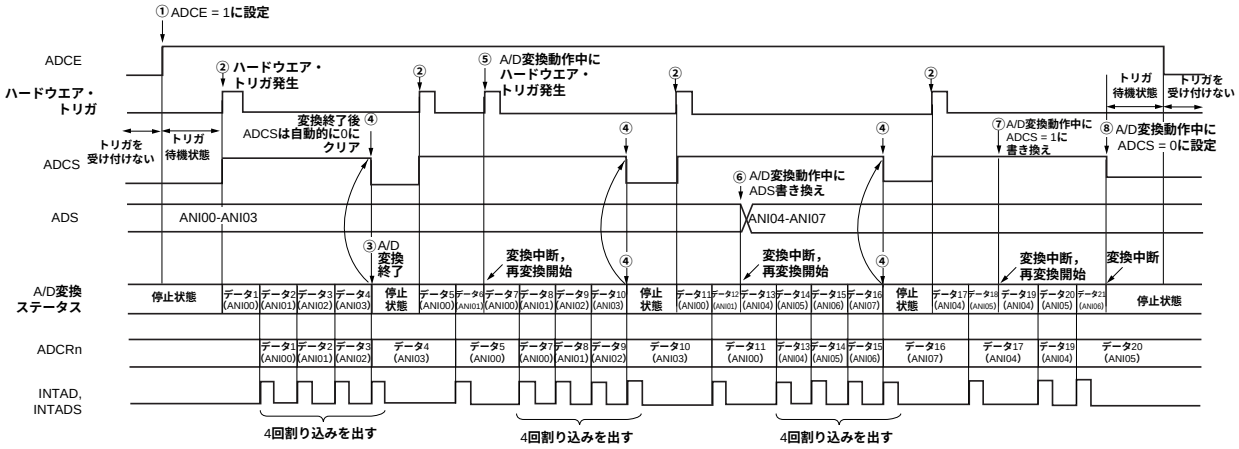
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図14－18 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



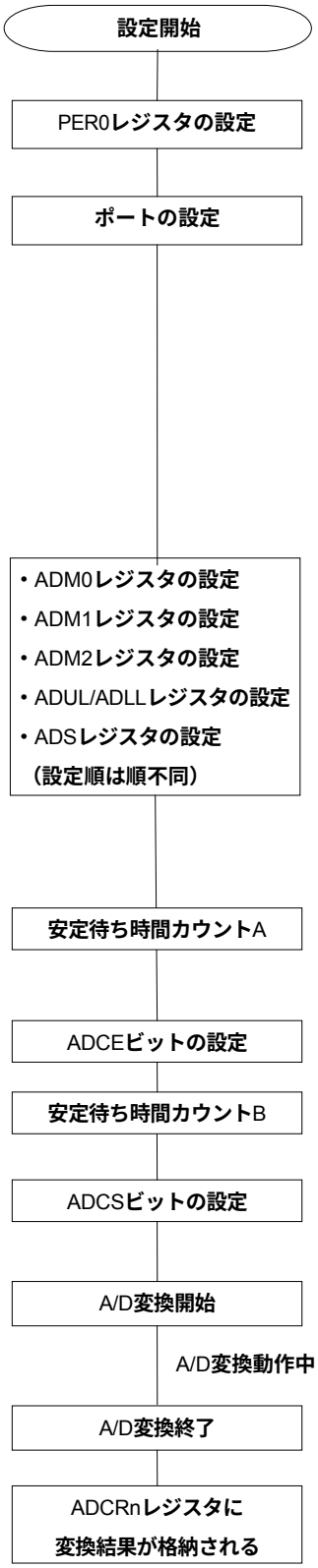
備考 ADSMS1, 0ビット = 00の場合の例です。

14. 7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

14. 7. 1 ソフトウエア・トリガ・モード設定

図14－19 ソフトウエア・トリガ・モード設定



PER0レジスタのADCENビットをセット（1）し，クロック供給を開始します。

ポートをアナログ入力に設定します。
詳細は第4章 ポート機能を参照してください

- ADM0レジスタ
  FR2-FR0, LVビット：A/D変換時間を設定
  ADMDビット：セレクト・モード／スキャン・モード
- ADM1レジスタ
  ADTMD1, ADTMD0ビット：ソフトウエア・トリガ・モードに設定
  ADSCMビット：連続変換モード／ワンショット変換モード
- ADM2レジスタ
  ADREFP1, ADREFP0, ADREFMビット：基準電圧源の選択
  ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲を AREA1, AREA3, またはAREA2から選択
  ADTYPビット：10ビット／12ビット分解能
- ADUL／ADLLレジスタ
  A/D変換結果比較値の上限値／下限値を設定
- ADSレジスタ
  ADS4-ADS0ビット：アナログ入力チャネルを選択

安定待ち時間Aは，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合 ：A = T.B.D μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 ：A = T.B.D μs

ADM0レジスタのADCEビットをセット（1）し，A/D変換待機状態にします。

FR2-0 = 111の場合 ： B = 1/f_{CLK} x 32
FR2-0 = 111以外の場合 ： B = 1/f_{CLK} x 64

安定待ち時間Bをカウント終了後，ADM0レジスタのADCSビットをセット（1）し，A/D変換を開始します。

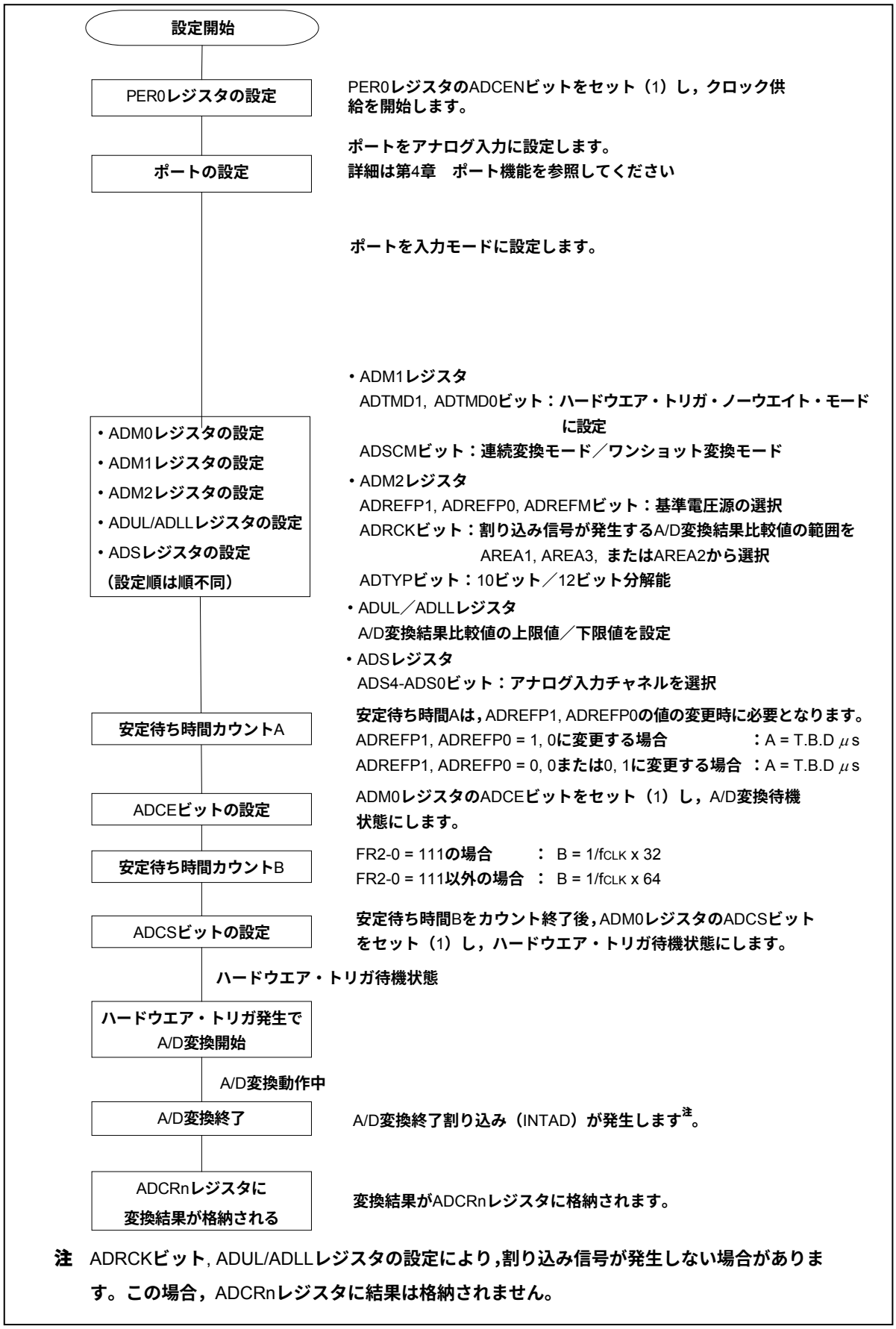
A/D変換終了割り込み（INTAD）が発生します[注]。

変換結果がADCRnレジスタに格納されます。

注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRnレジスタに結果は格納されません。

14. 7. 2 ハードウエア・トリガ・ノーウエイト・モード設定

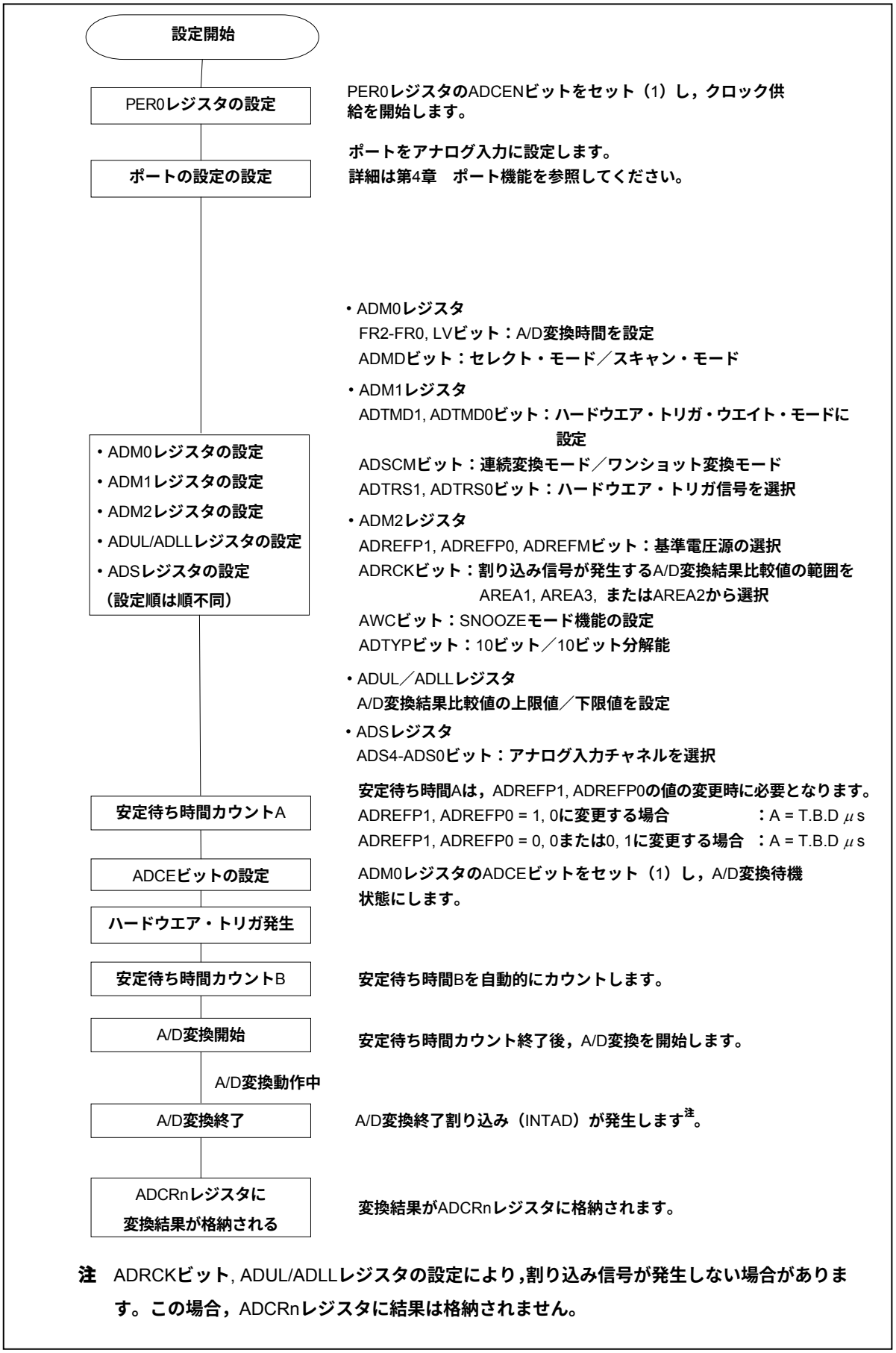
図14－20 ハードウエア・トリガ・ノーウエイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRnレジスタに結果は格納されません。

14. 7. 3 ハードウエア・トリガ・ウエイト・モード設定

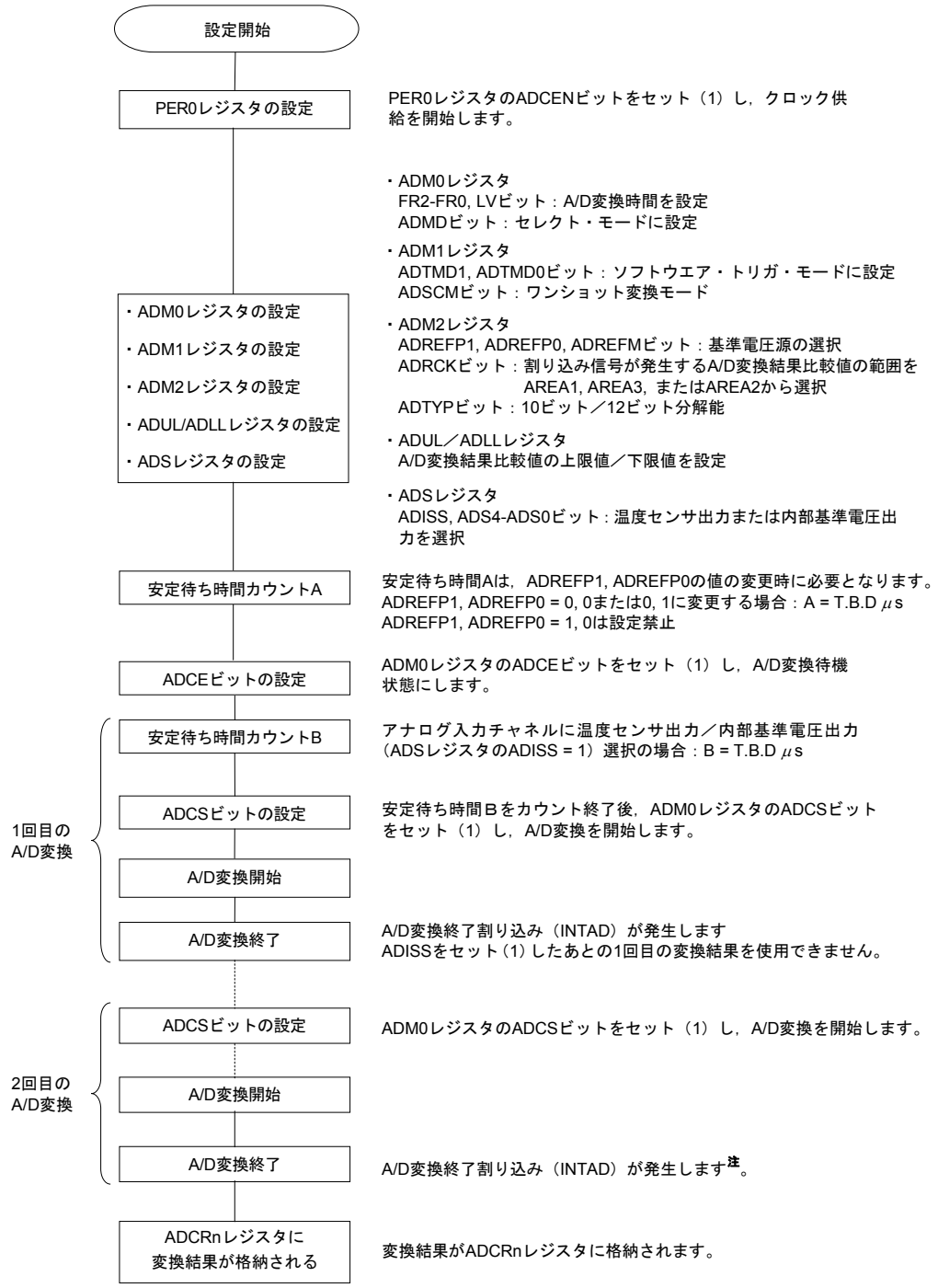
図14－21 ハードウエア・トリガ・ウエイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRnレジスタに結果は格納されません。

14. 7. 4 温度センサ使用時の設定（例 ソフトウエア・トリガ・モード，ワンショット変換モード時）

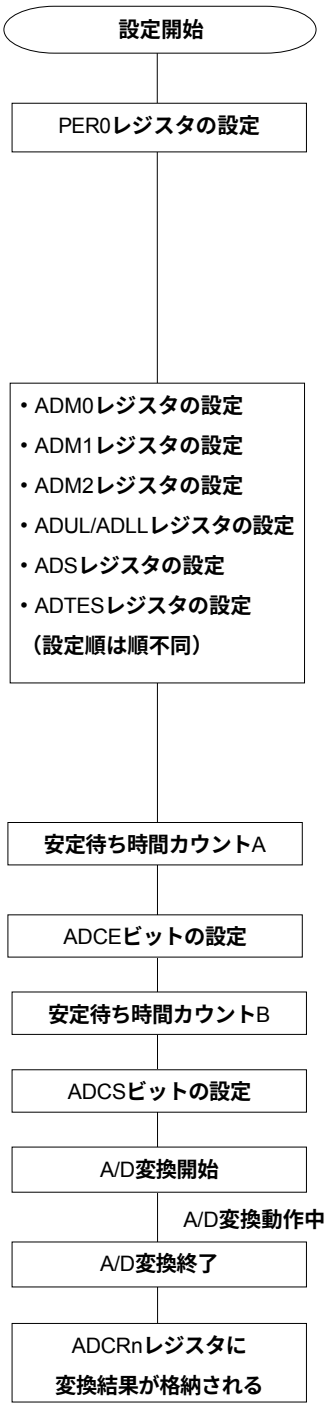
図14－22 温度センサ使用時の設定



注 ADRCK**ビット**，ADUL/ADLL**レジスタの設定により，割り込み信号が発生しない場合があります。この場合，**ADCRn**レジスタに結果は格納されません。**

14. 7. 5 テスト・モード設定

図14－23 テスト・トリガ・モード設定



PER0レジスタのADCENビットをセット（1）し，クロック供給を開始します。

・ADM0レジスタ
FR2-FR0, LVビット：A/D変換時間を設定
ADMDビット：セレクト・モードに設定

・ADM1レジスタ
ADTMD1, ADTMD0ビット：ソフトウエア・トリガ・モードに設定
ADSCMビット：ワンショット変換モードに設定

・ADM2レジスタ
ADREFP1, ADREFP0, ADREFMビット：基準電圧源の選択
ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲をAREA2に設定
ADTYPビット：12ビット分解能に設定

・ADUL／ADLLレジスタ
ADUL = FFH, ADLL = 00Hに設定（初期値）

・ADSレジスタ
ADS4-ADS0ビット：ANI0に設定

・ADTESレジスタ
ADTES1, ADTES0ビット：－側の基準電圧／＋側の基準電圧

安定待ち時間Aは，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合：A = T.B.D μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合：A = T.B.D μs

ADM0レジスタのADCEビットをセット（1）し，A/D変換待機状態にします。

アナログ入力チャネルにテスト・モード設定（ADTESレジスタのADTES1 = 1）選択の場合：B = T.B.D μs

安定待ち時間Bをカウント終了後，ADM0レジスタのADCSビットをセット（1）し，A/D変換を開始します。

A/D変換終了割り込み（INTAD）が発生します[注]。

変換結果がADCRnレジスタに格納されます。

注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRnレジスタに結果は格納されません。

14. 8 SNOOZEモード機能

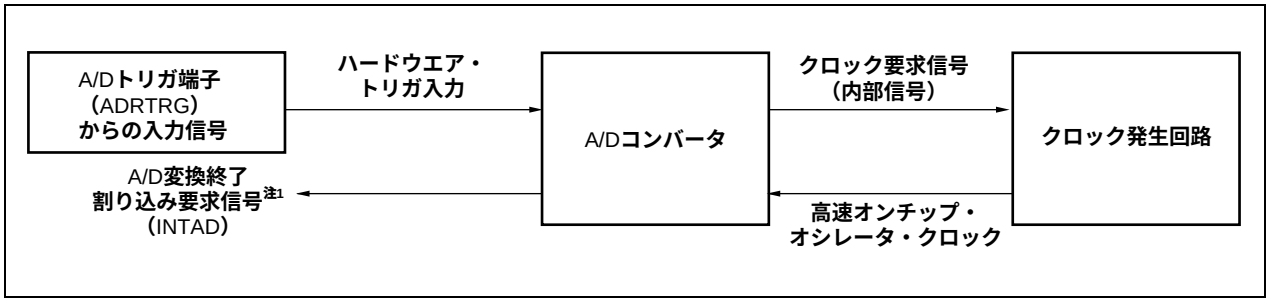
STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが，このモードを使うことで，ハードウエア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

- ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）
- ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

また，SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図14－24 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（14. 7. 3 **ハードウエア・トリガ・ウエイト・モード設定手順**を参照[注2]）。STOPモードへ移行する直前に，A/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットに1を設定します。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のADCEビットに1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります[注1]。

注1. A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。
2. ADM1レジスタは必ずE2HまたはE3Hに設定してください。

備考 ハードウエア・トリガは，ADTRG端子からの入力信号です。
ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

（1）A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

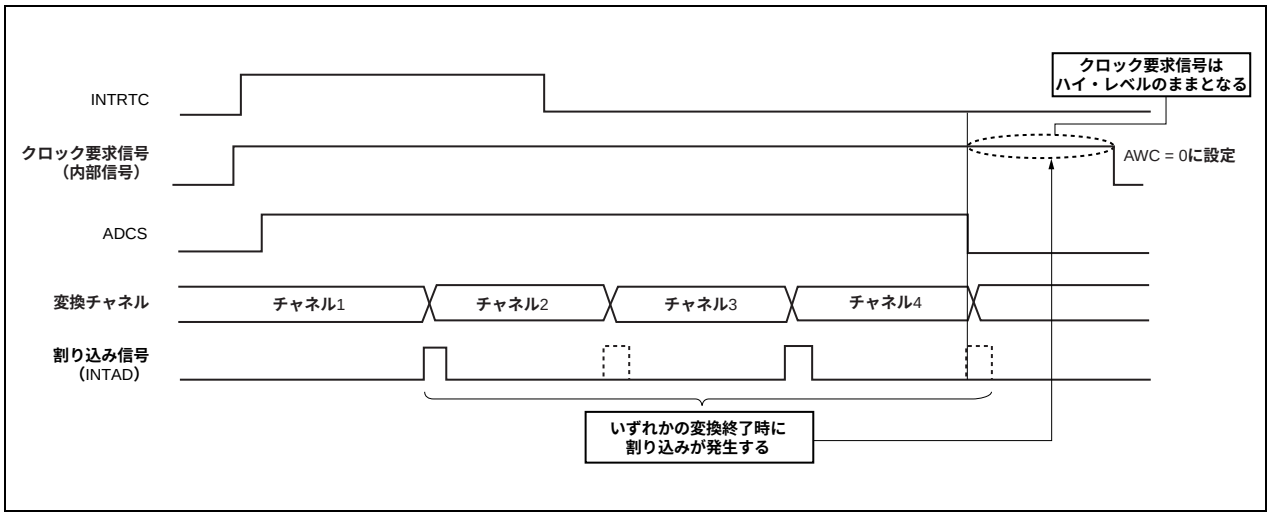
● セレクト・モード時

A/D変換が終了しA/D変換終了割り込み要求信号（INTAD）が発生後，クロック要求信号はハイ・レベルのままとなり，A/DコンバータはSNOOZEモードから通常動作モードに移行します。通常動作モードへ移行後は，必ずA/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）をクリア（0）してください。それにより，クロック要求信号（内部信号）はロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止します。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。

● スキャン・モード時

4チャネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，クロック要求信号はハイ・レベルのままとなり，A/DコンバータはSNOOZEモードから通常動作モードに移行します。通常動作モードへ移行後は，必ずA/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）をクリア（0）してください。それにより，クロック要求信号（内部信号）はロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止します。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。

図14－25 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

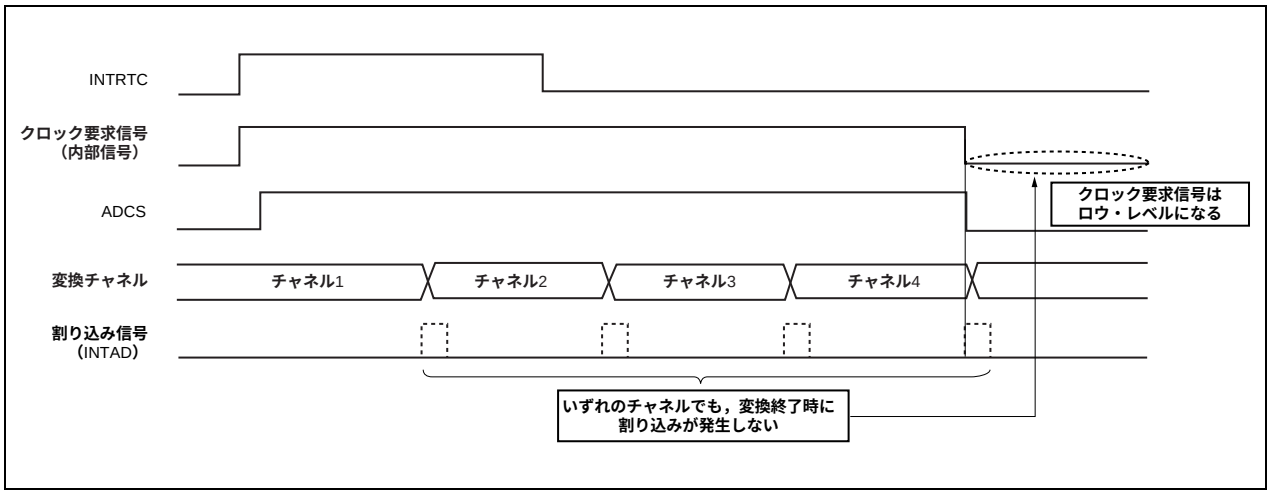
● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図14－26 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）



14. 9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能12ビットのとき

$$1\ \text{LSB} = 1/2^{12} = 1/4096$$
$$= 0.00091\ \%\text{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図14－27 総合誤差

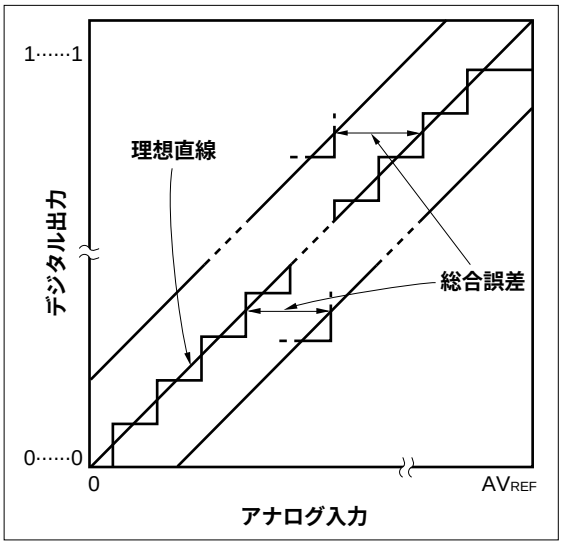
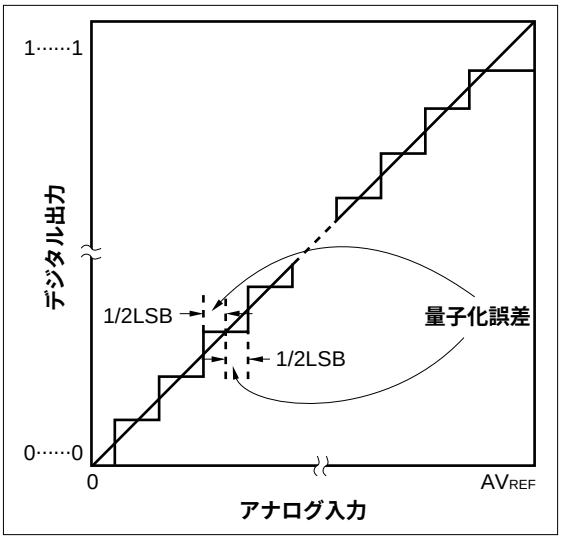


図14－28 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図14－29 ゼロスケール誤差

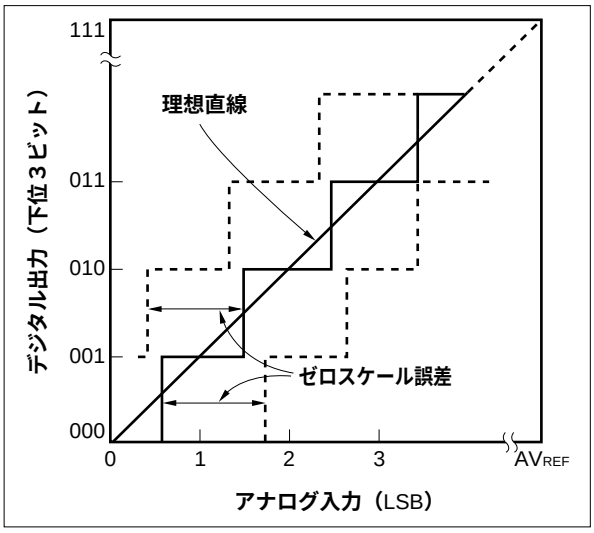


図14－30 フルスケール誤差

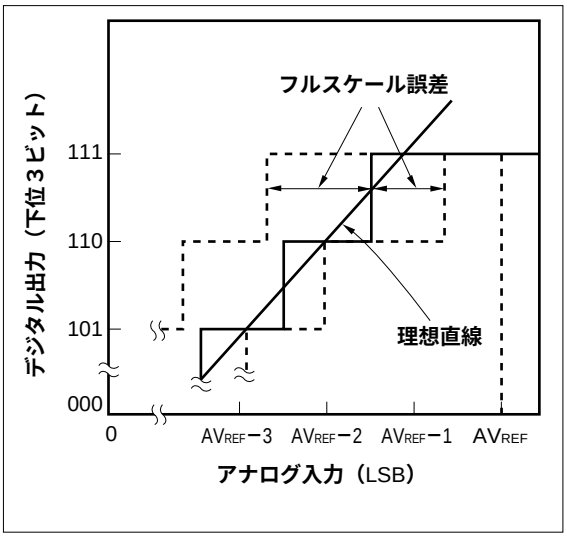


図14－31 積分直線性誤差

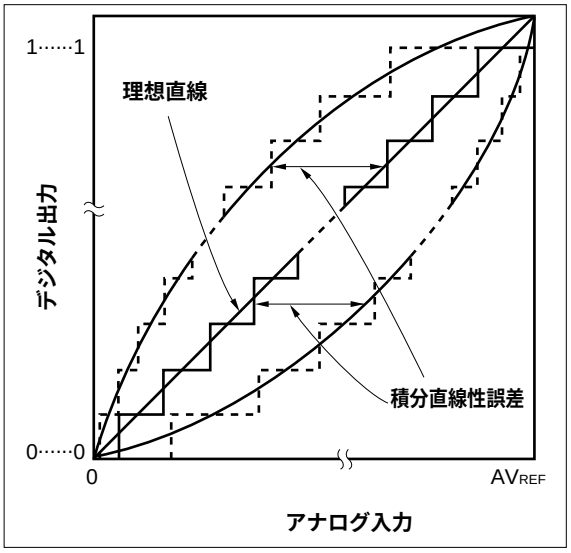
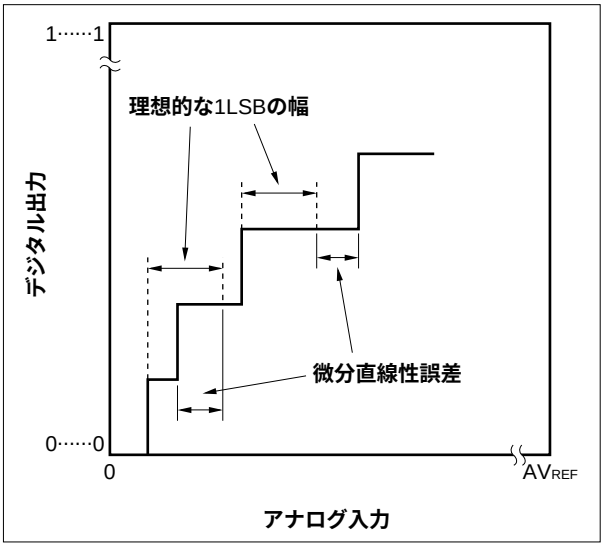


図14－32 微分直線性誤差



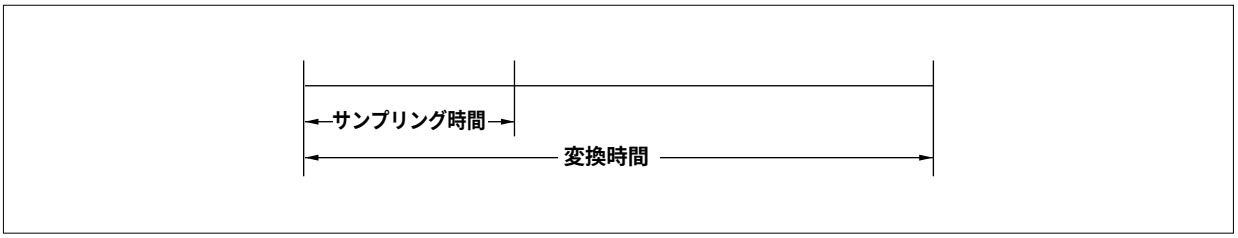
(8) 変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



14. 10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

(2) ANI00-ANI15, ANI23-ANI30端子入力範囲について

ANI00-ANI15, ANI23-ANI30端子入力電圧は規格の範囲内でご使用ください。特にAV_{DD}, AV_{REFP}以上，AV_{SS}, AV_{REFM}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧をA/Dコンバータの＋側の基準電圧源に選択した場合は，ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCRn）へのライトと，命令によるADCRnレジスタのリードとの競合

ADCRnレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCRnレジスタにライトされます。

② 変換終了時のADCRnレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）へのライトの競合

ADM0, ADSレジスタへのライトが優先されます。ADCRnレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

12ビット分解能を保つためには，AV_{REFP}, AV_{DD}, ANI00-ANI15, ANI23-ANI30端子へのノイズに注意する必要があります。

① AV_{DD}-AV_{SS}は他の電源と分離し，AV_{DD}-AV_{SS}間に等価抵抗が小さく，周波数応答のよいコンデンサ（0.01 μF程度）を接続してください。

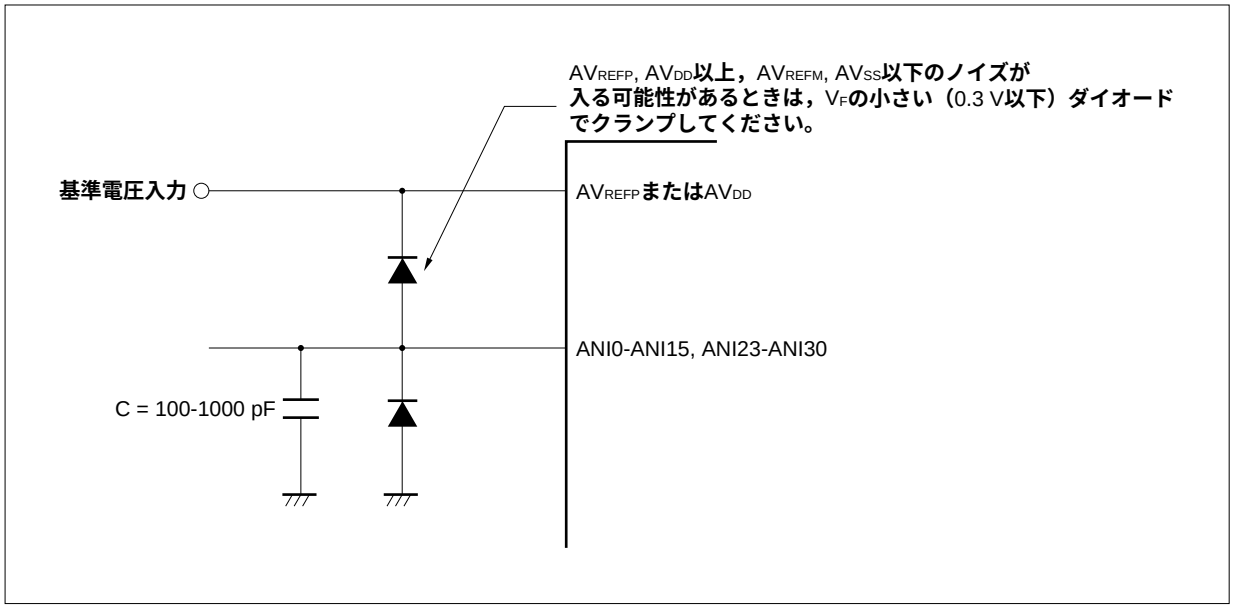
② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図14－33のようにCを外付けすることを推奨します。

③ 変換中においては，他の端子とスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

⑤ デジタル信号とアナログ信号を交差させたり，近接させずに分離してください。

図14－33 アナログ入力端子の処理



(5) アナログ入力（ANIn）端子

① アナログ入力（ANI00-ANI15, ANI23-ANI30）端子は入出力ポート（P20_0-P20_7, P21_0-P21_7, P22_7, P23_0-P23_6）端子と兼用になっています。
ANI00-ANI15, ANI23-ANI30端子のいずれかを選択してA/D変換をする場合，変換中にP20_0-P20_7, P21_0-P21_7, P22_7, P23_0-P23_6に対してアクセスしないでください。変換分解能が低下することがあります。

② A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にし，出力インピーダンスが高いときはANI00-ANI15, ANI23-ANI30端子に100 pF程度のコンデンサを付けることを推奨します（図14－33参照）。

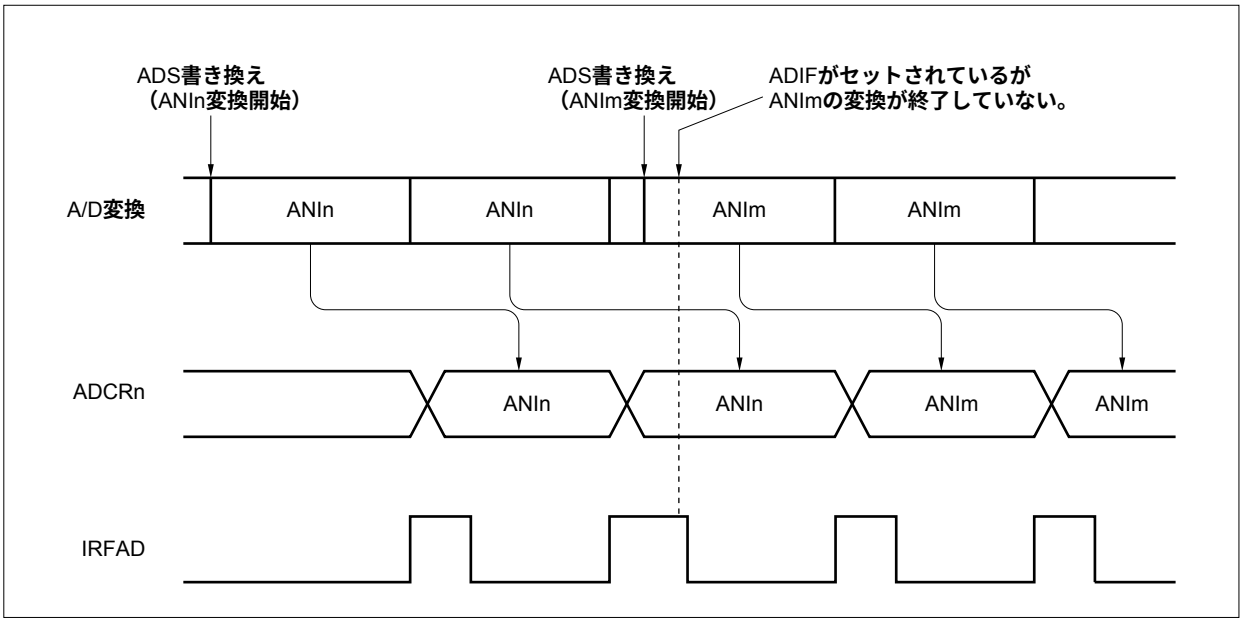
(7) 割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にIRFADフラグをクリア（0）してください。

図14－34 A/D変換終了割り込み要求発生タイミング



（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから，1 μs以内にADCSビット = 1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCRn）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），ポート・モード・コントロール・レジスタ（PMC）に対して書き込み動作を行ったとき，ADCRnレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, AV_{DD}の電圧が安定してから開始してください。

第15章 D/Aコンバータ

15. 1 機 能

V850E2/Jx4-Lは，R-2Rラダー方式によるD/Aコンバータを搭載しています。

V850E2/Jx4-LのD/Aコンバータの搭載数は製品ごとに次のように異なります。

品 名	V850E2/JC4-L（40ピン）	V850E2/JC4-L（48ピン）	V850E2/JE4-L（64ピン）	V850E2/JF4-L（80ピン）	V850E2/JG4-L（100ピン）	V850E2/JH4-L（128ピン）	V850E2/JJ4-L（144ピン）
アナログ出力チャネル数	－	1チャネル ANO0	1チャネル ANO0	1チャネル ANO0	2チャネル ANO0, ANO1	2チャネル ANO0, ANO1	2チャネル ANO0, ANO1

D/Aコンバータには，次のような機能があります。

○8ビット分解能

○R-2Rラダー方式

○変換時間：

3 μs（ターゲット）@ 2.7 V≦V_{DD}≦3.6 V，外部負荷20 pF時

6 μs（ターゲット）@ 1.6 V≦V_{DD}＜2.7 V，外部負荷20 pF時

○アナログ出力電圧：V_{DD}×m/256（m = 0-255；DACSnレジスタに設定した値）

○動作モード：通常モード／リアルタイム出力モード

15. 2 構 成

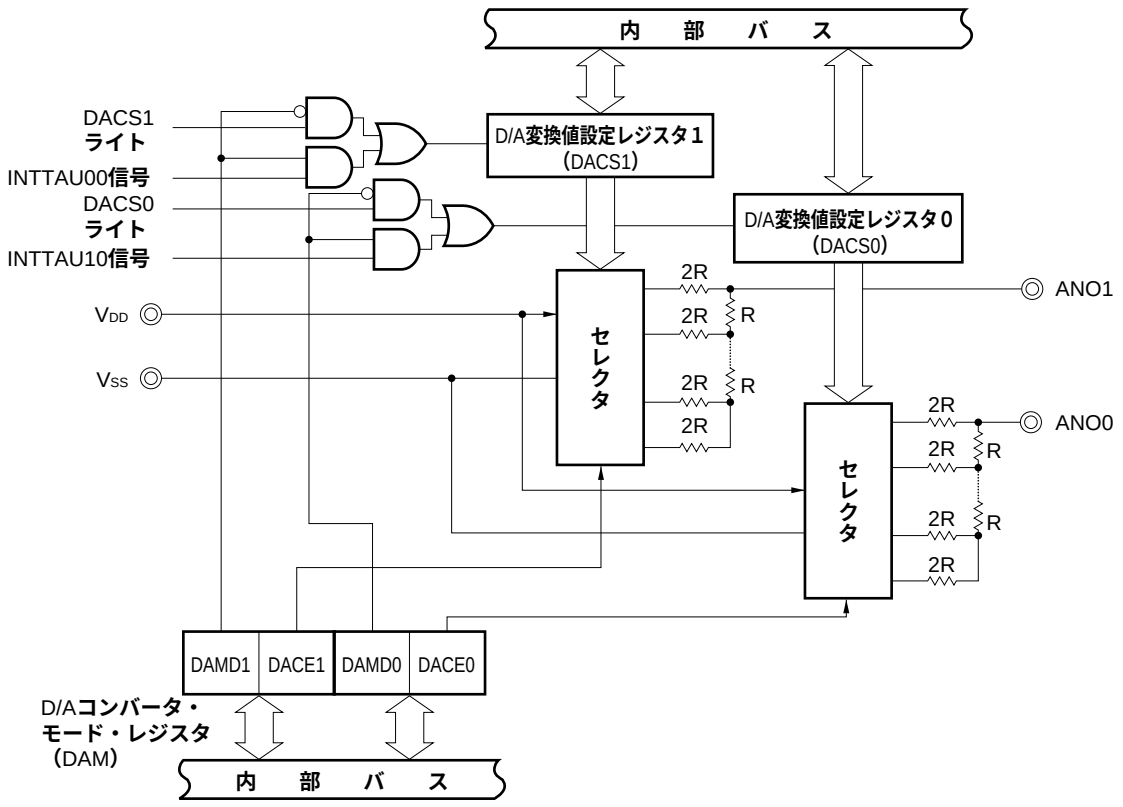
D/Aコンバータは，次のハードウエアで構成されています。

表15ー1 ソフトウエアで使用するD/Aコンバータのレジスタ

項 目	構 成
制御レジスタ	D/Aコンバータ・モード・レジスタ（DAM） D/A変換値設定レジスタ0, 1（DACS0, DACS1）

次にD/Aコンバータの構成について示します。

図15ー1 D/Aコンバータのブロック図



注意1. DAC0, DAC1は，VDD端子を共用しています。

2. DAC0, DAC1は，VSS端子を共用しています。

15. 2. 1 端子の構成

D/Aコンバータを構成するアナログ出力は，表15－2のように兼用されています。各端子を使用する場合は，ポート機能の設定をする必要があります（第4章 ポート機能参照）。

表15－2 端子構成

アナログ出力	ポート	その他の兼用機能	ピン番号						
			144	128	100	80	64	48	40
ANO0	P1_0	－	3	6	3	3	3	3	－
ANO1	P1_1	－	4	7	4	－	－	－	－

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

15. 3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- D/Aコンバータ・モード・レジスタ（DAM）
- D/A変換値設定レジスタ0, 1（DACS0, DACS1）

(1) D/Aコンバータ・モード・レジスタ（DAM）

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： FF81F008H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0

DACEn	D/Aコンバータの動作許可／禁止制御（n = 0, 1）
0	動作禁止
1	動作許可

DAMDn	D/Aコンバータの動作モードの選択（n = 0, 1）
0	通常モード
1	リアルタイム出力モード注

注 リアルタイム出力モード（DAMDnビット = 1）時の出力トリガは，次のとおりです。

- n = 0のとき：INTTAU00信号（第7章 タイマ・アレイ・ユニット（TAU）参照）
- n = 1のとき：INTTAU10信号（第7章 タイマ・アレイ・ユニット（TAU）参照）

(2) D/A変換値設定レジスタ0, 1 (DACS0, DACS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： DACS0 FF81F000H, DACS1 FF81F004H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DACSn	DACSn7	DACSn6	DACSn5	DACSn4	DACSn3	DACSn2	DACSn1	DACS0

注意 リアルタイム出力モード（DAM.DAMDnビット = 1）のとき，INTTAU00/INTTAU10信号が発生する前に，DACSnレジスタを設定してください。INTTAU00/INTTAU10信号発生でD/A変換を開始します。

備考 n = 0, 1

15. 4 使用方法

15. 4. 1 通常モード時の使用方法

DACSnレジスタへのライト動作を起動トリガとして，D/A変換を行います。
次に，その設定方法を示します。

① PM1nビットを1（入力モード）に，PER1レジスタ（周辺イネーブル・レジスタ1）のDACENビットを1に設定してください。D/Aコンバータへの入力クロック供給を開始します。
② DAM.DAMDnビット = 0（通常モード）に設定してください。
③ DACSnレジスタに，ANOn端子に出力するアナログ電圧値を設定してください。
以上②，③を初期設定として行います。
④ DAM.DACEnビットをセット（1）（D/A変換動作許可）してください。
これによりD/A変換したアナログ電圧値をANOn端子から出力します。
⑤ 以降，アナログ電圧値を変更する場合は，DACSnレジスタへのライト動作を行ってください。
なお，次のライト動作を行うまでは，直前に設定したアナログ電圧値を保持します。

備考1. 兼用端子の設定は第4章 ポート機能を参照してください。
2. n = 0, 1

15. 4. 2 リアルタイム出力モード時の使用方法

TAUの割り込み要求信号（INTTAU00, INTTAU10）を起動トリガとして，D/A変換を行います。
次に，その設定方法を示します。

① PM1nビットを1（入力モード）に，PER1レジスタ（周辺イネーブル・レジスタ1）のDACENビットを1に設定してください。D/Aコンバータへの入力クロック供給を開始します。
② DAM.DAMDnビット = 0（通常モード）に設定してください。
③ DACSnレジスタに，ANOn端子に出力するアナログ電圧値を設定してください。
④ DAM.DACEnビットをセット（1）（D/A変換動作許可）してください。
⑤ DAM.DAMDnビット = 1（リアルタイム出力モード）に設定してください。
以上②～⑤を初期設定として行います。
⑥ TAUを動作させます。
⑦ INTTAU00, INTTAU10信号が発生すると，D/A変換したアナログ電圧値をANOn端子から出力します。
次のINTTAU00, INTTAU10信号が発生する前に，DACSnレジスタに次に出力するアナログ電圧値を設定してください。
⑧ 以降，DACSnレジスタに設定した値が，INTTAU00, INTTAU10信号発生のタイミングでANOn端子から出力されます。

備考1. ⑦までのANO0, ANO1端子の出力値は不定です。
2. HALT, STOP, SNOOZEモード時のANO0, ANO1端子の出力値については，第23章 パワー・セーブ機能を参照してください。
3. n = 0, 1

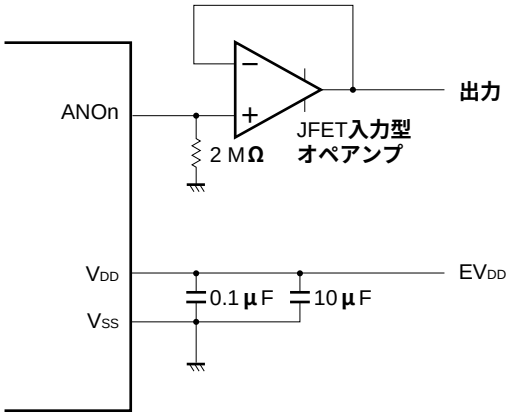
15. 4. 3 注意事項

D/Aコンバータを使用する際の注意事項を次に示します。

(1) ポート端子を入力モード（PM1nビット = 1）に，PER1レジスタ（周辺イネーブル・レジスタ1）のDACENビットを1に設定してください。
(2) D/A変換中にP1レジスタをリード／ライトしないでください。
(3) P1_0/ANO0, P1_1/ANO1端子を，1本を入出力ポート，1本をD/A出力端子として使用する場合，D/A出力中はポートの入出力レベルが変化しないようなアプリケーションで使用してください。
(4) D/Aコンバータの出力インピーダンスが高いため，ANOn端子から電流を取り出すことはできません。2 MΩ以下の負荷を接続する場合には，負荷とANOn端子の間にJFET入力型オペアンプを挿入するなどの対策をしてください。

備考 n = 0, 1

図15－2 外部端子の接続例



注意 ここに示した図はあくまで参考であり，使用する場合は十分に評価したうえでご使用ください。

(5) D/Aコンバータは，HALT, STOP, SNOOZEモード時に動作を継続します。消費電力を低減する場合にはDAM.DACEnビット = 0にしてください。

第16章 シリアル・アレイ・ユニット（SAU）

シリアル・アレイ・ユニット0-2は1つのユニットに4つのシリアル・チャネルを持ち，シリアル・アレイ・ユニット4, 5は1つのユニットに2つのシリアル・チャネルを持ちます。各チャネルは3線シリアル（CSI），UARTの通信機能を実現できます。

V850E2/Jx4-Lで対応している各チャネルの機能割り当ては，次のようになっています。

ユニット	チャネル	CSIとして使用	UARTとして使用	V850E2/JC4-L (40ピン)		V850E2/JC4-L (48ピン)		V850E2/JE4-L (64ピン)		V850E2/JF4-L (80ピン)		V850E2/JG4-L (100ピン)		V850E2/JH4-L (128ピン)		V850E2/JJ4-L (144ピン)	
				CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART
0	0	CSI00	UART00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI01	(LIN-bus対応)	–		–		–		–		○		○		○	
	2	CSI02	UART01	–	–	○	○	○	○	○	○	○	○	○	○	○	○
	3	CSI03	(LIN-bus対応)	–		–		–		–		–		○		○	
1	0	–	UART10	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	1	CSI11	(LIN-bus対応)	–		–		–		–		○		○		○	
	2	–	UART11	–	–	–	–	–	–	–	○	–	○	–	○	–	○
	3	CSI13	(LIN-bus対応)	–		–		–		–		–		○		○	
2	0	–	UART20	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	1	CSI21	(LIN-bus対応)	–		–		–		–		–		○		○	
	2	–	UART21	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	3	CSI23		–		–		–		–		–		○		○	
4	0	CSI40	UART40	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI41	(LIN-bus対応)	–		–		–		–		○		○		○	
5	0	CSI50	UART50	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI51	(LIN-bus対応)	–		–		–		○		○		○		○	
合計				3	3	4	4	4	4	5	5	8	8	12	8	12	8

ユニット0のチャネル0, 1で「UART00」を使用するときは，CSI00やCSI01を使用することはできませんが，チャネル2, 3のCSI02やSCI03やUART01は使用することができます。

シリアル・アレイ・ユニット間の主な機能の違いを次に示します。

機能	ユニット / 項目		SAU0-2				SAU4, 5		SAUS0[注]	
			CH0	CH1	CH2	CH3	CH0	CH1	CH0	CH1
CSI	データ長		7, 8ビット				7, 8ビット		7-16ビット	
	最大通信レート	マスタ	16 MHz				16 MHz		8 MHz	
		スレーブ	5.3 MHz				5.3 MHz		5.3 MHz	
	SNOOZEモード		対応	非対応			非対応		非対応	
UART	送受信		送信	受信	送信	受信	送信	受信	送信	受信
	データ長		7, 8, 9ビット		7, 8ビット		7, 8ビット		7, 8, 9, 16ビット	
	最大通信レート		5.3 Mbps				5.3 Mbps		5.3 Mbps	
	SNOOZEモード		非対応	対応	非対応		非対応		非対応	

注 SAUS0の詳細は，第17章 シリアル・アレイ・ユニットS を参照してください。

注意 この章では，以降の主な説明をV850E2/JJ4-L製品のユニット，チャネル構成で説明しています。

16. 1 シリアル・アレイ・ユニットの機能

V850E2/Jx4-Lで対応している各シリアル・インタフェースの特徴を示します。

16. 1. 1 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）

マスタから出力されるシリアル・クロック（$\overline{\text{SCK}}$）に同期してデータの送信／受信を行います。

シリアル・クロック（$\overline{\text{SCK}}$）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「16. 5 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信の動作」を参照してください。

[データ送受信]
- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]
- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. $f_{CLK}/2$ 注
  スレーブ通信時：Max. $f_{MCK}/6$ 注

[割り込み機能]
- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]
- オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{\text{SCK}}$入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

注 ただし，$\overline{\text{SCK}}$サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。

16. 1. 2 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニット2と組み合わせてLIN-busにも対応可能です。

具体的な設定例は，「16. 6 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長（UART00, UART10, UART20）
- 7, 8ビットのデータ長（UART01, UART11, UART21, UART40, UART50）
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- 受信完了割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによる受信エラー割り込み

[エラー検出フラグ]

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRXD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，以下のUARTのみ設定可能です。

- UART00, UART10, UART20

UART00（ユニット0のチャネル0, 1），UART01（ユニット0のチャネル2, 3），UART10（ユニット1のチャネル0, 1），UART11（ユニット1のチャネル2, 3），UART20（ユニット2のチャネル0, 1），UART40（ユニット4のチャネル0, 1），UART50（ユニット5のチャネル0, 1）は，LIN-busに対応しています。

[LIN-bus機能]

- ウエイクアップ信号検出
- シンク・ブレーク・フィールド（SBF）検出
- シンク・フィールド測定，ボー・レート算出

} タイマ・アレイ・ユニット2を使用

16. 2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表16－1 シリアル・アレイ・ユニットの構成

項　目	構　成
シフト・レジスタ	8ビットまたは9ビット[注1]
バッファ・レジスタ	シリアル・データ・レジスタnm（SAUnSDRm）の下位8ビットまたは9ビット[注1]
シリアル・クロック入出力	$\overline{\text{SCK00}}$-$\overline{\text{SCK03}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK13}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCK23}}$, $\overline{\text{SCK40}}$, $\overline{\text{SCK41}}$, $\overline{\text{SCK50}}$, $\overline{\text{SCK51}}$端子（3線シリアルI/O用）
シリアル・データ入力	SI00-SI03, SI11, SI13, SI21, SI23, SI40, SI41, SI50, SI51端子（3線シリアルI/O用），RXD21端子（UART用），RXD00, RXD01, RXD10, RXD11, RXD20, RXD40, RXD50端子（LIN-bus対応UART用）
シリアル・データ出力	SO00-SO03, SO11, SO13, SO21, SO23, SO40, SO41, SO50, SO51端子（3線シリアルI/O用），TXD21端子（UART用），TXD00, TXD01, TXD10, TXD11, TXD20, TXD40, TXD50端子（LIN-bus対応UART用），出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0-2（PER0-PER2）[注2] ・シリアル・クロック選択レジスタn（SAUnSPS） ・シリアル・チャネル許可レジスタn（SAUnSE） ・シリアル・チャネル開始レジスタn（SAUnSS） ・シリアル・チャネル停止レジスタn（SAUnST） ・シリアル出力許可レジスタn（SAUnSOE） ・シリアル出力レジスタn（SAUnSO） ・シリアル出力レベル・レジスタn（SAUnSOL） ・シリアル・スタンバイ・コントロール・レジスタn（SAUnSSC） ・UARTノイズ・フィルタ許可レジスタ0, 1（UDNFEN0, UDNFEN1）[注3] ・TAU2入力切り替え制御レジスタ（TAU2TINSEL）[注4]
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタnm（SAUnSDRm） ・シリアル・モード・レジスタnm（SAUnSMRm） ・シリアル通信動作設定レジスタnm（SAUnSCRm） ・シリアル・ステータス・レジスタnm（SAUnSSRm） ・シリアル・フラグ・クリア・トリガ・レジスタnm（SAUnSIRm）

（注，備考は次ページにあります。）

注1. シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。

- nm = 00, 10, 20の場合： 下位9ビット
- nm = 01, 11, 21, 40, 41, 50, 51の場合： 下位8ビット

2. 詳細については，6. 3（29）周辺イネーブル・レジスタ0（PER0），（30）周辺イネーブル・レジスタ1（PER1），（31）周辺イネーブル・レジスタ2（PER2）を参照してください。
3. 詳細については，2. 4. 1（3）UARTノイズ・フィルタ許可レジスタn（UDNFENn）を参照してください。
4. 詳細については，7. 3（8）TAU2入力選択レジスタ（TAU2TINSEL）を参照してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

図16－1にシリアル・アレイ・ユニット0のブロック図（V850E2/JJ4-L：ユニット0の場合）を示します。

図16－1 シリアル・アレイ・ユニット0のブロック図（V850E2/JJ4-L：ユニット0の場合）

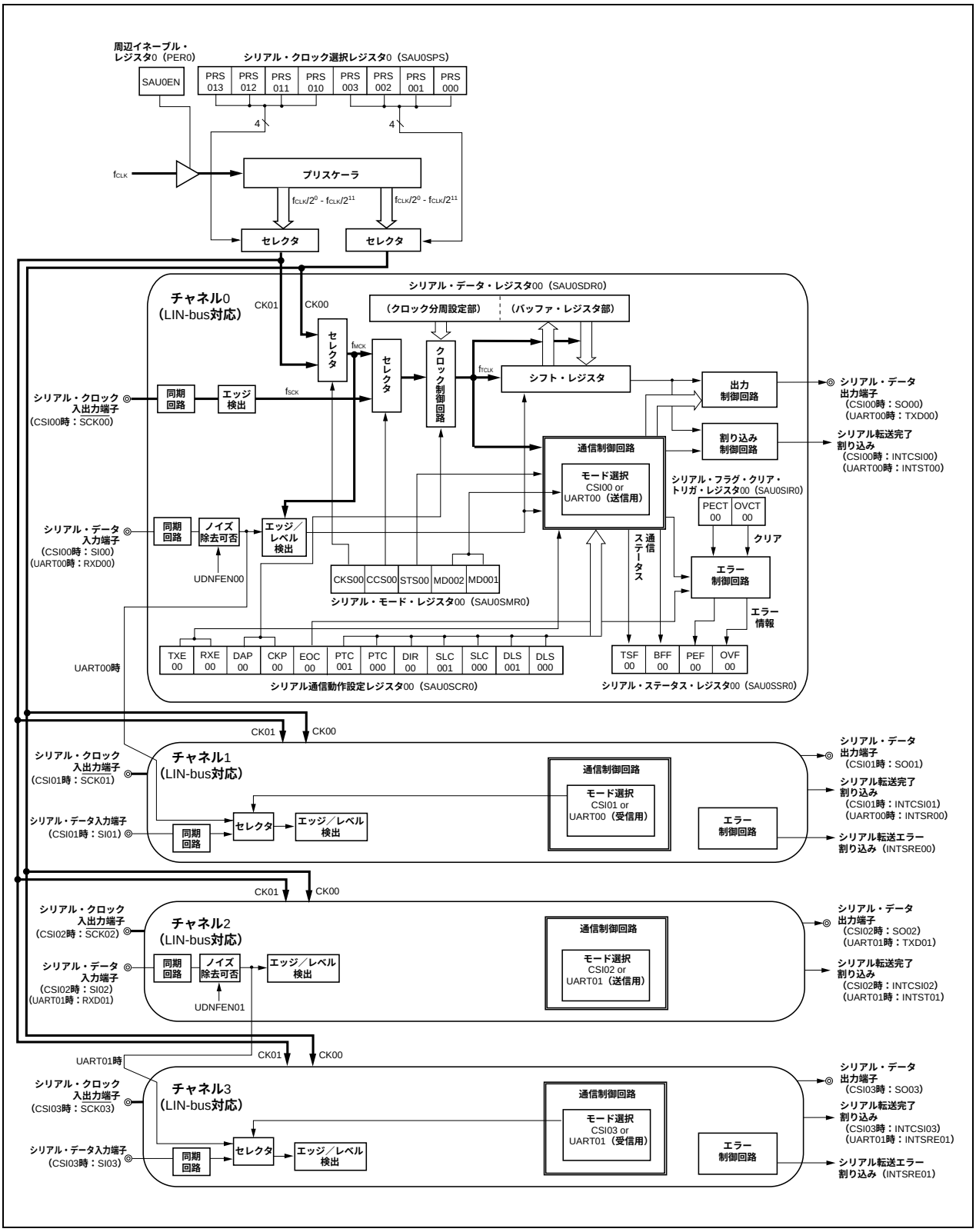
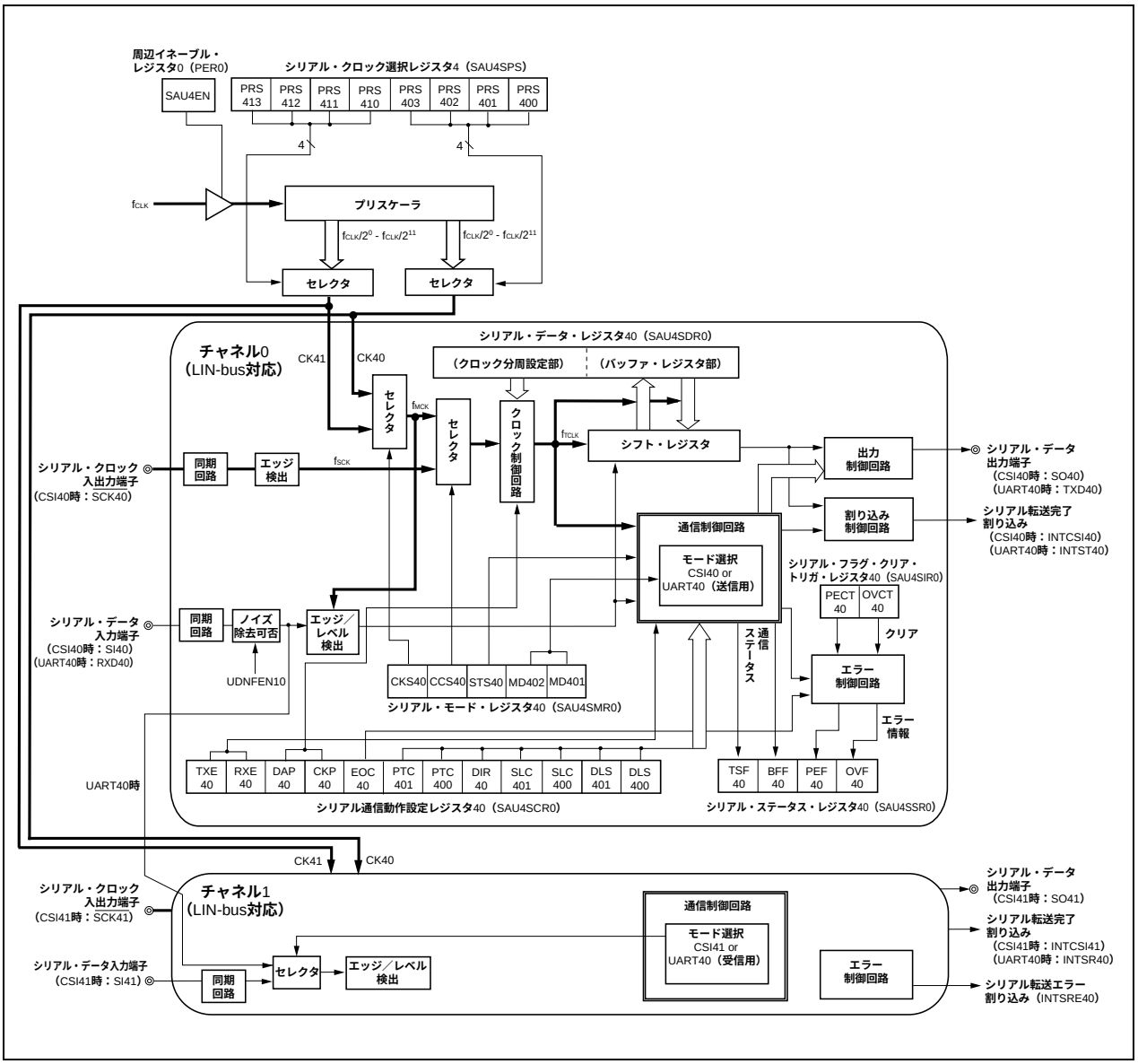


図16－2にシリアル・アレイ・ユニット4のブロック図（V850E2/JJ4-Lの場合）を示します。

図16－2 シリアル・アレイ・ユニット4のブロック図（V850E2/JJ4-Lの場合）



(1) シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0～8）を使用します[注1]。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタnm（SAUnSDRm）の下位8/9ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

(2) シリアル・データ・レジスタnm（SAUnSDRm）の下位8/9ビット

SAUnSDRmレジスタは，チャネルmの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）[注]，またはビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタnm（SAUnSCRm）のビット0, 1（DLSnm0, DLSnm1）の設定によって，次のようになります。

- 7ビット・データ長（SAUnSDRmレジスタのビット0-6に格納）
- 8ビット・データ長（SAUnSDRmレジスタのビット0-7に格納）
- 9ビット・データ長（SAUnSDRmレジスタのビット0-8に格納）[注]

SAUnSDRmレジスタは16ビット単位でリード／ライト可能です。

リセット信号の発生により，SAUnSDRmレジスタは0000Hになります。

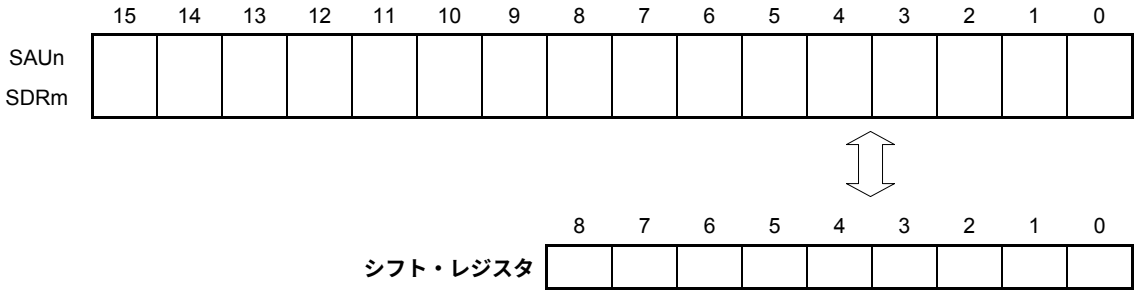
注 9ビット・データ長は，以下のUARTのみ対応しています。

- UART00, UART10, UART20

備考1. 受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。

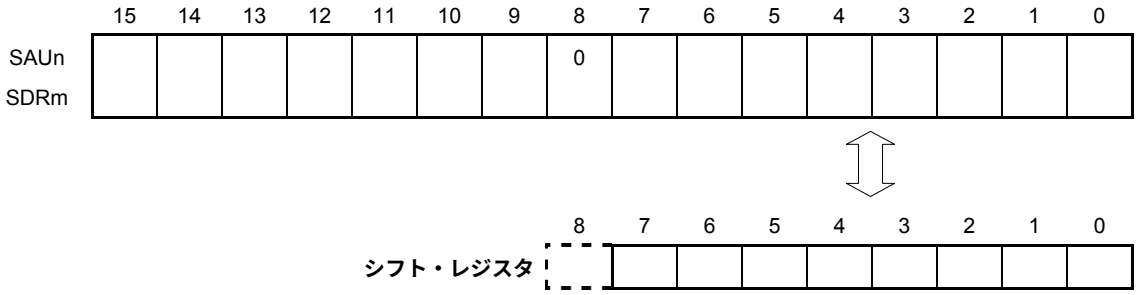
2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

アドレス： SAU0SDR0 FFFFE000H, SAU0SDR1 FFFFE004H, **リセット時：** 0000H R/W
SAU1SDR0 FFFFE100H, SAU1SDR1 FFFFE104H,
SAU2SDR0 FFFFE200H, SAU2SDR1 FFFFE204H



備考 SAUnSDRmレジスタの上位7ビットの機能については，16. 3 **シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

アドレス： SAU0SDR2 FFFFE008H, SAU0SDR3 FFFFE00CH, **リセット時：** 0000H R/W
SAU1SDR2 FFFFE108H, SAU1SDR3 FFFFE10CH,
SAU2SDR2 FFFFE208H, SAU2SDR3 FFFFE20CH,
SAU4SDR0 FFFFEA00H, SAU4SDR1 FFFFEA04H,
SAU5SDR0 FFFFEB00H, SAU5SDR1 FFFFEB04H



注意 ビット8は，必ず0を設定してください。

備考 SAUnSDRmレジスタの上位7ビットの機能については，16. 3 **シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

16. 2. 1 各チャネルの端子機能について

V850E2/Jx4-Lでは，シリアル・アレイ・ユニットnを構成するSIp, SOp, $\overline{SCKp}$, RXDq, TXDq端子は，表16－2のように兼用されています。各端子を使用する場合は，ポート機能の設定をする必要があります（第4章 ポート機能参照）。

表16－2 端子構成（1/3）

(a) CSIp（1/2）

チャネル	ピン番号							ポート	CSI受信入力	CSI送信出力	CSIクロック入出力	その他の兼用機能
	144	128	100	80	64	48	40					
CSI00	118	109	85	67	－	－	－	P3_2	SI00	－	－	RXD00/BUZ1/KR2/RTP2/INTP02/$\overline{WR}$
	－	－	－	－	52	40	33					RXD00/BUZ1/KR2/RTP2/INTP02
	119	110	86	68	－	－	－	P3_3	－	SO00	－	TE0TI1/TXD00/KR3/RTP3/INTP03/$\overline{ASTB}$
	－	－	－	－	53	41	34					TE0TI1/TXD00/KR3/RTP3/INTP03
	120	111	87	69	－	－	－	P3_4	－	－	$\overline{SCK00}$	KR4/RTP4/$\overline{WAIT}$
	－	－	－	－	54	42	35					KR4/RTP4
CSI01	112	103	80	－	－	－	－	P7_3	SI01	－	－	A19
	113	104	81	－	－	－	－	P7_4	－	SO01	－	A20
	114	105	82	－	－	－	－	P7_5	－	－	$\overline{SCK01}$	A21
CSI02	107	98	75	60	－	－	－	P4_2	SI02	－	－	TI16/TO16/RXD01/SCLA1/INTP08/$\overline{CS2}$
	－	－	－	－	48	36	－					TI16/TO16/RXD01/SCLA1/INTP08
	108	99	76	－	－	－	－	P4_3	－	SO02	－	TXD01/SDAA1/INTP09/$\overline{CS3}$
	－	－	－	61	49	37	－					TXD01/SDAA1/INTP09
	105	96	74	59	－	－	－	P4_0	－	－	$\overline{SCK02}$	TI15/TO15/KR7/RTP7/INT$\overline{P00}$/CS0
	－	－	－	－	47	35	－					TI15/TO15/KR7/RTP7/INTP00
CSI03	10	13	－	－	－	－	－	P14_0	SI03	－	－	TI26/TO26/SDAA3
	11	14	－	－	－	－	－	P14_1	－	SO03	－	TI27/TO27/SCLA3
	12	15	－	－	－	－	－	P14_2	－	－	$\overline{SCK03}$	TI20/TO20/INTP19
CSI11	46	45	35	－	－	－	－	P5_3	SI11	－	－	A3
	47	46	36	－	－	－	－	P5_4	－	SO11	－	A4
	87	82	65	－	－	－	－	P6_0	－	－	$\overline{SCK11}$	A8
CSI13	95	90	－	－	－	－	－	P8_5	SI13	－	－	
	96	91	－	－	－	－	－	P8_6	－	SO13	－	－
	97	92	－	－	－	－	－	P8_7	－	－	$\overline{SCK13}$	－
CSI21	56	51	－	－	－	－	－	P13_1	SI21	－	－	
	57	52	－	－	－	－	－	P13_2	－	SO21	－	TI24/TO24/INTP17
	58	53	－	－	－	－	－	P13_3	－	－	$\overline{SCK21}$	TI25/TO25/INTP18

表16－2 端子構成（2/3）

（a）CSIp（2/2）

チャネル	ピン番号							ポート	CSI受信 入力	CSI送信 出力	CSIクロック 入出力	その他の兼用機能
	144	128	100	80	64	48	40					
CSI23	13	16	－	－	－	－	－	P14_3	SI23	－	－	TI21/TO21/INTP20
	14	17	－	－	－	－	－	P14_4	－	SO23	－	TI22/TO22/INTP15
	15	18	－	－	－	－	－	P14_5	－	－	$\overline{\text{SCK23}}$	TI23/TO23/INTP16
CSI40	80	75	58	48	38	27	23	JP0_2	SI40	－	－	TCK/TI01/TO01/RXD40
	116	107	83	65	－	－	－	P3_0				RXD40/CLKOUT/KR0/RTP0/INTP07/BUSCLK
	－	－	－	－	50	38	31					RXD40/CLKOUT/KR0/RTP0/INTP07
	81	76	59	49	39	28	24	JP0_3	－	SO40	－	TMS/TI02/TO02/TXD40
	117	108	84	66	－	－	－	P3_1				TE0TI0/TXD40/KR1/RTP1/INTP01/$\overline{\text{RD}}$
	－	－	－	－	51	39	32	P3_1				TE0TI0/TXD40/KR1/RTP1/INTP01
	83	78	61	51	41	30	26	JP0_5	－	－	$\overline{\text{SCK40}}$	$\overline{\text{RDY}}$/TI03/TO03
	91	86	69	－	－	－	－	P6_7				TI06/TO06/KR5/RTP5/INTP05/A15
	－	－	－	54	42	31	27	P6_7				TI06/TO06/KR5/RTP5/INTP05
CSI41	43	42	32	－	－	－	－	P5_0	SI41	－	－	INTP13/A0
	44	43	33	－	－	－	－	P5_1	－	SO41	－	A1
	45	44	34	－	－	－	－	P5_2	－	－	$\overline{\text{SCK41}}$	A2
CSI50	37	36	26	21	17	13	12	P8_2	SI50	－	－	TI00/TO00/RXD50/SCLA0
	38	37	27	22	18	14	13	P8_3	－	SO50	－	TI01/TO01/TXD50/SDAA0
	39	38	28	23	－	－	－	P8_4	－	－	$\overline{\text{SCK50}}$	TI02/TO02/INTP04/TE0CS/UCLK/BCYST
	－	－	－	－	19	15	14	P8_4				TI02/TO02/INTP04/TE0CS/UCLK
CSI51	20	19	9	5	－	－	－	P2_0	SI51	－	－	TI10/TO10
	21	20	10	6	－	－	－	P2_1	－	SO51	－	TI11/TO11
	22	21	11	7	－	－	－	P2_2	－	－	$\overline{\text{SCK51}}$	TI12/TO12/SDAA2

表16－2 端子構成（3/3）

（b）UARTq

チャネル	ピン番号							ポート	UART受信入力	UART送信出力	UARTクロック入出力	その他の兼用機能
	144	128	100	80	64	48	40					
UART00	118	109	85	67	－	－	－	P3_2	RXD00	－	－	SI00/BUZ1/KR2/RTP2/INTP02/$\overline{\text{WR}}$
	－	－	－	－	52	40	33					SI00/BUZ1/KR2/RTP2/INTP02
	119	110	86	68	－	－	－	P3_3	－	TXD00	－	TE0TI1/SO00/KR3/RTP3/INTP03/$\overline{\text{ASTB}}$
	－	－	－	－	53	41	34					TE0TI1/SO00/KR3/RTP3/INTP03
UART01	107	98	75	60	－	－	－	P4_2	RXD01	－	－	TI16/TO16/SI02/SCLA1/INTP08/$\overline{\text{CS2}}$
	－	－	－	－	48	36	－					TI16/TO16/SI02/SCLA1/INTP08
	108	99	76	－	－	－	－	P4_3	－	TXD01	－	SO02/SDAA1/INTP09/$\overline{\text{CS3}}$
	－	－	－	61	49	37	－					SO02/SDAA1/INTP09
UART10	89	84	67	－	－	－	－	P6_5	RXD10	－	－	A13
	90	85	68	－	－	－	－	P6_6	－	TXD10	－	A14
UART11	109	100	77	62	－	－	－	P4_4	RXD11	－	－	TI17/TO17/$\overline{\text{LWR}}$/$\overline{\text{LBE}}$
	110	101	78	63	－	－	－	P4_5	－	TXD11	－	$\overline{\text{UWR}}$/$\overline{\text{UBE}}$
UART20	7	10	6	－	－	－	－	P11_1	RXD20	－	－	
	8	11	7	－	－	－	－	P11_2	－	TXD20	－	
UART21	85	80	63	－	－	－	－	P6_1	RXD21	－	－	A9
	86	81	64	－	－	－	－	P6_2	－	TXD21	－	A10
UART40	80	75	58	48	38	27	23	JP0_2	RXD40	－	－	TCK/TI01/TO01/SI40
	116	107	83	65	－	－	－	P3_0				SI40/CLKOUT/KR0/RTP0/INTP07/BUSCLK
	－	－	－	－	50	38	31					SI40/CLKOUT/KR0/RTP0/INTP07
	81	76	59	49	39	28	24	JP0_3	－	TXD40	－	TMS/TI02/TO02/SO40
	117	108	84	66	－	－	－	P3_1				TE0TI0/SO40/KR1/RTP1/INTP01/$\overline{\text{RD}}$
	－	－	－	－	51	39	32					TE0TI0/SO40/KR1/RTP1/INTP01
UART50	37	36	26	21	17	13	12	P8_2	RXD50	－	－	TI00/TO00/SI50/SCLA0
	38	37	27	22	18	14	13	P8_3	－	TXD50	－	TI01/TO01/SO50/SDAA0

備考 40 ：40ピン・プラスチックWQFN（6×6）（V850E2/JC4-L）
48 ：48ピン・プラスチックLQFP（7×7），
48ピン・プラスチックWQFN（7×7）（V850E2/JC4-L）
64 ：64ピン・プラスチックLQFP（10×10）（V850E2/JE4-L）
80 ：80ピン・プラスチックLQFP（10×10）（V850E2/JE4-L）
100 ：100ピン・プラスチックLQFP（14×14）（V850E2/JG4-L）
128 ：128ピン・プラスチックLQFP（14×20）（V850E2/JG4-L）

16. 3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- シリアル・クロック選択レジスタn（SAUnSPS）
- シリアル・モード・レジスタnm（SAUnSMRm）
- シリアル通信動作設定レジスタnm（SAUnSCRm）
- シリアル・データ・レジスタnm（SAUnSDRm）
- シリアル・フラグ・クリア・トリガ・レジスタnm（SAUnSIRm）
- シリアル・ステータス・レジスタnm（SAUnSSRm）
- シリアル・チャネル開始レジスタn（SAUnSS）
- シリアル・チャネル停止レジスタn（SAUnST）
- シリアル・チャネル許可ステータス・レジスタn（SAUnSE）
- シリアル出力許可レジスタn（SAUnSOE）
- シリアル出力レベル・レジスタn（SAUnSOL）
- シリアル出力レジスタn（SAUnSO）
- シリアル・スタンバイ・コントロール・レジスタn（SAUnSSC）

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

(1) シリアル・クロック選択レジスタn（SAUnSPS）

SAUnSPSレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKn0, CKn1）を選択する16ビット・レジスタです。SAUnSPSレジスタのビット7-4でCKn1を，ビット3-0でCKn0を選択します。

SAUnSPSレジスタは，動作中（SEnm = 1のとき）の書き換えは禁止です。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

アドレス：SAU0SPS FFFFE0CCH, SAU1SPS FFFFE1CCH, SAU2SPS FFFFE2CCH, SAU4SPS FFFFEACCH, SAU5SPS FFFFEBCCH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SPS	0	0	0	0	0	0	0	0	PRS n13	PRS n12	PRS n11	PRS n10	PRS n03	PRS n02	PRS n01	PRS n00

PRS nk3	PRS nk2	PRS nk1	PRS nk0	動作クロック（CKnk）の選択[注1]					
					f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	4 MHz	8 MHz	16 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	2 MHz	4 MHz	8 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	1 MHz	2 MHz	4 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	500 kHz	1 MHz	2 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	250 kHz	500 kHz	1 MHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	125 kHz	250 kHz	500 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	62.5 kHz	125 kHz	250 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	31.3 kHz	62.5 kHz	125 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	15.6 kHz	31.3 kHz	62.5 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	7.81 kHz	15.6 kHz	31.3 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	3.91 kHz	7.81 kHz	15.6 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	1.95 kHz	3.91 kHz	7.81 kHz	9.77 kHz	15.6 kHz
上記以外				設定禁止					

注 シリアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロック周波数を変更する場合は，SAUの動作を停止（シリアル・チャネル停止レジスタn（SAUnST） = 000FH）させてから変更してください。

注意 ビット15-8には，必ず0を設定してください。

備考1. f_{CLK}：CPU／周辺クロック周波数

2. n：ユニット番号（n = 0-2, 4, 5）

3. k = 0, 1

(3) シリアル・モード・レジスタnm（SAUnSMRm）

SAUnSMRm**レジスタは，チャネル**m**の動作モード設定レジスタです。動作クロック**（f_{MCK}）**の選択，シリアル・クロック**（f_{SCK}）**入力の使用可否，スタート・トリガ設定，動作モード**（CSI, UART）**設定，割り込み要因の選択を行います。また**UART**モード時のみ，受信データのレベル反転の設定を行います。**

SAUnSMRm**レジスタは，動作中**（SEnm = 1**のとき）の書き換えは禁止です。ただし**MDnm0**ビットは，動作中でも書き換えをすることができます。**

16**ビット単位でリード／ライト可能です。**

リセットにより0020H**になります。**

（1/2）

アドレス： SAU0SMR0 FFFFE0A0H, SAU0SMR1 FFFFE0A4H, **リセット時：** 0020H R/W
SAU0SMR2 FFFFE0A8H, SAU0SMR3 FFFFE0ACH,
SAU1SMR0 FFFFE1A0H, SAU1SMR1 FFFFE1A4H,
SAU1SMR2 FFFFE1A8H, SAU1SMR3 FFFFE1ACH,
SAU2SMR0 FFFFE2A0H, SAU2SMR1 FFFFE2A4H,
SAU2SMR2 FFFFE2A8H, SAU2SMR3 FFFFE2ACH,
SAU4SMR0 FFFFEAA0H, SAU4SMR1 FFFFEAA4H,
SAU5SMR0 FFFFEBA0H, SAU5SMR1 FFFFEBA4H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SMRm	CKS nm	CCS nm	0	0	0	0	0	STS nm注	0	SIS nm0注	1	0	0	0	MD nm1	MD nm0

CKS nm	チャネルmの動作クロック（f_{MCK}）の選択
0	SAUnSPSレジスタで設定した動作クロックCKn0
1	SAUnSPSレジスタで設定した動作クロックCKn1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSnmビットとSAUnSDRmレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCS nm	チャネルmの転送クロック（f_{TCLK}）の選択
0	CKSnmビットで指定した動作クロックf_{MCK}の分周クロック
1	$\overline{\text{SCK}}$p端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSnm = 0の場合は，SAUnSDRmレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STS nm注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（CSI, UART送信時に選択）
1	RXDq端子の有効エッジ（UART受信時に選択）
SAUnSSレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50）

（2/2）

SIS nm0注	UARTモードでのチャネルmの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD nm1	チャネルmの動作モードの設定
0	CSIモード
1	UARTモード

MD nm0	チャネルmの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSAUnSDRmレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDnm0 = 1として，SAUnSDRmデータが空になったら次送信データの書き込みを行う。	

注　奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定。

注意　ビット13-9, 7, 4, 3（偶数チャネルのレジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　n：ユニット番号（n = 0-2, 4, 5）　m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50）

（4）シリアル通信動作設定レジスタnm（SAUnSCRm）

チャネルmの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SAUnSCRmレジスタは，動作中（SEnm = 1のとき）の書き換えは禁止です。

16ビット単位でリード／ライト可能です。

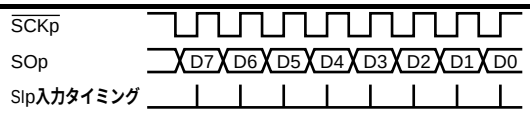
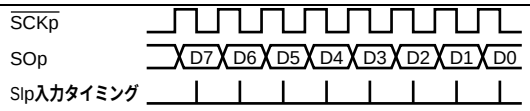
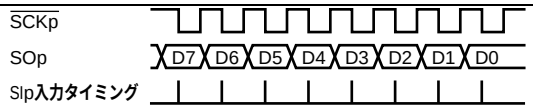
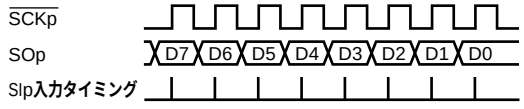
リセットにより0087Hになります。

（1/3）

アドレス： SAU0SCR0 FFFFE0B0H, SAU0SCR1 FFFFE0B4H, **リセット時：** 0087H R/W
SAU0SCR2 FFFFE0B8H, SAU0SCR3 FFFFE0BCH,
SAU1SCR0 FFFFE1B0H, SAU1SCR1 FFFFE1B4H,
SAU1SCR2 FFFFE1B8H, SAU1SCR3 FFFFE1BCH,
SAU2SCR0 FFFFE2B0H, SAU2SCR1 FFFFE2B4H,
SAU2SCR2 FFFFE2B8H, SAU2SCR3 FFFFE2BCH,
SAU4SCR0 FFFFEAB0H, SAU4SCR1 FFFFEAB4H,
SAU5SCR0 FFFFEBB0H, SAU5SCR1 FFFFEBB4H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SCRm	TXE nm	RXE nm	DAP nm	CKP nm	0	EOC nm	PTC nm1	PTC nm0	DIR nm	0	SLCn m1注1	SLC nm0	0	1	DLSn m1注2	DLS nm0

TXE nm	RXE nm	チャネルmの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP nm	CKP nm	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード時には，必ずDAPnm, CKPnm = 0, 0に設定してください。			

注1. **偶数チャネルのレジスタのみ。奇数チャネルのレジスタの本ビットは“0”固定。**

2. SAU0SCR0, SAU0SCR1, SAU1SCR0, SAU1SCR1, SAU2SCR0, SAU2SCR1**レジスタのみ。その他は**1**固定になります。**

備考 n：**ユニット番号**（n = 0-2, 4, 5） m：**チャネル番号**（m = 0-3）
p：CSI**番号**（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

（2/3）

EOCnm	エラー割り込み信号（INTSREnm）のマスク可否の選択
0	エラー割り込みINTSREnmをマスクする（受信完了割り込みINTSRnmはマスクされない）
1	エラー割り込みINTSREnmの発生を許可する（エラー発生時に受信完了割り込みINTSRnmはマスクされる）
CSIモード，UART送信時には，EOCnm = 0に設定してください[注1]。 UART受信時には，EOCnm = 1に設定してください。	

PTCnm1	PTCnm0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力[注2]	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
CSIモード時には，必ずPTCnm1, PTCnm0 = 0, 0に設定してください。			

DIRnm	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

SLCnm1[注3]	SLCnm0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（偶数チャネル（UART送信）のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時には，1ビット（SLCnm1, SLCnm0 = 0, 1）に設定してください。 CSIモード時には，ストップ・ビットなし（SLCnm1, SLCnm0 = 0, 0）に設定してください。		

DLSnm1[注4]	DLSnm0	CSI, UARTモードでのデータ長の設定
0	1	9ビット・データ長（SAUnSDRmレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SAUnSDRmレジスタのビット0-6に格納）
1	1	8ビット・データ長（SAUnSDRmレジスタのビット0-7に格納）
その他		設定禁止

注1. CSI01をEOC01 = 0で使用しない場合，エラー割り込みINTSREnmが発生する場合があります。
2. データの内容にかかわらず必ず0が付加されます。
3. 偶数チャネルのレジスタのみ。奇数チャネルのレジスタの本ビットは“0”固定。
4. SAU0SCR0, SAU0SCR1, SAU1SCR0, SAU1SCR1, SAU2SCR0, SAU2SCR1レジスタのみ。その他は1固定になります。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

（3/3）

注意 ビット3, 6, 11には，必ず0を設定してください（奇数チャネルのレジスタはビット5も0に設定してください）。
ビット2には，必ず1を設定してください（偶数チャネルのレジスタはビット1も1に設定してください）。

（5）シリアル・データ・レジスタnm（SAUnSDRm）の上位7ビット

SAUnSDRmレジスタは，チャネルmの送受信データ・レジスタ（16ビット）です。

SAU0SDR0, SAU0SDR1, SAU1SDR0, SAU1SDR1, SAU2SDR0, SAU2DR1のビット8-0（下位9ビット），または SAU0SDR2, SAU0SDR3, SAU1SDR2, SAU1SDR3, SAU2SDR2, SAU2SDR3, SAU4SDR0, SAU4SDR1, SAU5SDR0, SAU5SDR1のビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタnm（SAUnSMRm）でCCSnmビットを0に設定した場合は，動作クロックをこのSAUnSDRmレジスタの上位7ビットで分周設定したクロックが，転送クロックとして使用されます。

SAUnSDRmレジスタの下位7/8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位7/8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位7/8/9ビット設定します。

16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEnm = 0）のときのみ有効です。動作中（SEnm = 1）にSAUnSDRmレジスタに書き込みを行ったときは，下位8/9ビットのみ値が書き込まれます。動作中にSAUnSDRmレジスタの読み出しを行ったときは，常に0が読み出されます。

リセットにより0000Hになります。

アドレス： SAU0SDR0 FFFFE000H, SAU0SDR1 FFFFE004H, **リセット時：** 0000H R/W
SAU1SDR0 FFFFE100H, SAU1SDR1 FFFFE104H,
SAU2SDR0 FFFFE200H, SAU2SDR1 FFFFE204H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	転送クロック設定							通信データ								

アドレス： FFFFE008H（SAU0SDR2）, FFFFE00CH（SAU0SDR3）, **リセット時：** 0000H R/W
FFFFE108H（SAU1SDR2）, FFFFE10CH（SAU1SDR3）,
FFFFE208H（SAU2SDR2）, FFFFE20CH（SAU2SDR3）,
FFFFEA00H（SAU4SDR0）, FFFFEA04H（SAU4SDR1）,
FFFFEB00H（SAU5SDR0）, FFFFEB04H（SAU5SDR1）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	転送クロック設定							0	通信データ							

SAUnSDRm[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	f_{MCK}（UART時設定禁止）
0	0	0	0	0	0	1	$f_{MCK}/2$（UART時設定禁止）
0	0	0	0	0	1	0	$f_{MCK}/3$
0	0	0	0	0	1	1	$f_{MCK}/4$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/127$
1	1	1	1	1	1	1	$f_{MCK}/128$

注意 SAU0SDR2, SAU0SDR3, SAU1SDR2, SAU1SDR3, SAU2SDR2, SAU2SDR3, SAU4SDR0, SAU4SDR1, SAU5SDR0, SAU5SDR1**レジスタのビット**8**は，必ず**0**を設定してください。**

備考1. SAUnSDRm**レジスタの下位**8/9**ビットの機能については，**16. 2 **シリアル・アレイ・ユニットの構成**を参照してください。
2. n**：ユニット番号**（n = 0-2, 4, 5） m**：チャネル番号**（m = 0-3）
3. **通信クロック（ボー・レート）は転送クロックの**1/2**になります。**

(6) シリアル・フラグ・クリア・トリガ・レジスタnm（SAUnSIRm）

チャネルmの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTnm, PECTnm, OVCTnm）を1にセットすると，シリアル・ステータス・レジスタnm（SAUnSSRm）の対応ビット（FEFnm, PEFnm, OVFnm）が0にクリアされます。SAUnSIRmレジスタはトリガ・レジスタなので，SAUnSSRmレジスタの対応ビットをクリアするとすぐSAUnSIRmレジスタもクリアされます。

16ビット単位でライトのみ可能です。リード値は常に0000Hになります。

リセットにより0000Hになります。

アドレス：SAU0SIR0 FFFFE090H, SAU0SIR1 FFFFE094H, リセット時：0000H W
SAU0SIR2 FFFFE098H, SAU0SIR3 FFFFE09CH,
SAU1SIR0 FFFFE190H, SAU1SIR1 FFFFE194H,
SAU1SIR2 FFFFE198H, SAU1SIR3 FFFFE19CH,
SAU2SIR0 FFFFE290H, SAU2SIR1 FFFFE294H,
SAU2SIR2 FFFFE298H, SAU2SIR3 FFFFE29CH,
SAU4SIR0 FFFFEA90H, SAU4SIR1 FFFFEA94H,
SAU5SIR0 FFFFEB90H, SAU5SIR1 FFFFEB94H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SIRm	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tnm注	PEC Tnm	OVC Tnm

FEC Tnm	チャネルmのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SAUnSSRmレジスタのFEFnmビットを0にクリアする

PEC Tnm	チャネルmのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SAUnSSRmレジスタのPEFnmビットを0にクリアする

OVC Tnm	チャネルmのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SAUnSSRmレジスタのOVFnmビットを0にクリアする

注 奇数チャネルのレジスタのみ。

注意 ビット15-3（偶数チャネルのレジスタの場合は，ビット15-2）には，必ず0を設定してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

(7) シリアル・ステータス・レジスタnm（SAUnSSRm）

SAUnSSRmレジスタは，チャネルmの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

（1/2）

アドレス： SAU0SSR0 FFFFE080H, SAU0SSR1 FFFFE084H, **リセット時：** 0000H R
SAU0SSR2 FFFFE088H, SAU0SSR3 FFFFE08CH,
SAU1SSR0 FFFFE180H, SAU1SSR1 FFFFE184H,
SAU1SSR2 FFFFE188H, SAU1SSR3 FFFFE18CH,
SAU2SSR0 FFFFE280H, SAU2SSR1 FFFFE284H,
SAU2SSR2 FFFFE288H, SAU2SSR3 FFFFE28CH,
SAU4SSR0 FFFFEA80H, SAU4SSR1 FFFFEA84H,
SAU5SSR0 FFFFEB80H, SAU5SSR1 FFFFEB84H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SSRm	0	0	0	0	0	0	0	0	0	TSF nm	BFF nm	0	0	FEF nm注	PEF nm	OVF nm

TSF nm	チャネルmの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

<クリア条件>
- SAUnSTレジスタのSTnmビットに1を設定時（通信停止状態），もしくはSAUnSSレジスタのSSnmビットに1を設定時（通信待機状態）
- 通信動作が終了時

<セット条件>
- 通信動作を開始時

BFF nm	チャネルmのバッファ・レジスタ状態表示フラグ
0	有効なデータがSAUnSDRmレジスタに格納されていない
1	有効なデータがSAUnSDRmレジスタに格納されている

<クリア条件>
- 送信時においてSAUnSDRmレジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時においてSAUnSDRmレジスタから受信データの読み出しが終了したとき
- SAUnSTレジスタのSTnmビットに1を設定時（通信停止状態），SAUnSSレジスタのSSnmビットに1を設定時（通信許可状態）。

<セット条件>
- SAUnSCRmレジスタのTXEnmビット = 1（各通信モードでの送信，送受信モード時）の状態でSAUnSDRmレジスタに送信データを書き込んだとき
- SAUnSCRmレジスタのRXEnmビット = 1（各通信モードでの受信，送受信モード時）の状態でSAUnSDRmレジスタに受信データが格納されたとき
- 受信エラー時

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定です。

（2/2）

FEFnm[注]	チャネルmのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SAUnSIRmレジスタのFECTnmビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEFnm	チャネルmのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SAUnSIRmレジスタのPECTnmビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）

OVFnm	チャネルmのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SAUnSIRmレジスタのOVCTnmビットに1を書き込んだとき
＜セット条件＞
・SAUnSCRmレジスタのRXEnmビット = 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSAUnSDRmレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・CSIモードのスレーブ送信／送受信で，送信データが準備できていないとき

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定です。

注意 BFFnm = 1のときにSAUnSDRmレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVEnm = 1）と検出されます。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

(8) シリアル・チャネル開始レジスタn（SAUnSS）

SAUnSSレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSnm）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタn（SAUnSE）の対応ビット（SEnm）が1にセット（動作許可状態）されます。SSnmビットはトリガ・ビットなので，SEnm = 1になるとすぐSSnmビットはクリアされます。

16ビット単位でライトのみ可能です。リード値は常に0000Hになります。

リセットにより0000Hになります。

アドレス：SAU0SS FFFFE0C4H, SAU1SS FFFFE1C4H, リセット時：0000H W
SAU2SS FFFFE2C4H, SAU4SS FFFFEAC4H,
SAU5SS FFFFEBC4H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUnSS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3注1	SSn2注1	SSn1	SSn0

SSnm	チャネルmの動作開始トリガ
0	トリガ動作せず
1	SEnmビットに1をセットし，通信待機状態に遷移する注2

注1. SAU4SS, SAU5SSレジスタは，“0”固定です。
2. すでに通信動作中の場合は，通信動作を停止してください。

注意1. SAUnSSレジスタのビット15-4には，必ず0を設定してください。
2. UART受信の場合は，SAUnSCRmレジスタのRXEnmビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSSnm = 1を設定してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

(9) シリアル・チャネル停止レジスタn（SAUnST）

SAUnSTレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STnm）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタn（SAUnSE）の対応ビット（SEnm）が0にクリア（動作停止状態）されます。STnmビットはトリガ・ビットなので，SEnm = 0になるとすぐSTnmビットはクリアされます。

16ビット単位でライトのみ可能です。リード値は常に0000Hになります。

リセットにより0000Hになります。

アドレス：SAU0ST FFFFE0C8H, SAU1ST FFFFE1C8H, リセット時：0000H W
SAU2ST FFFFE2C8H, SAU4ST FFFFEAC8H,
SAU5ST FFFFEBC8H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUnST	0	0	0	0	0	0	0	0	0	0	0	0	STn3注1	STn2注1	STn1	STn0

STnm	チャネルmの動作停止トリガ
0	トリガ動作せず
1	SEnmビットを0にクリアし，通信動作を停止する注2

注1. SAU4ST, SAU5STレジスタは，“0”固定です。

2. 制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFnm：フレーミング・エラー・フラグ, PEFnm：パリティ・エラー・フラグ, OVFnm：オーバーラン・エラー・フラグ）は，状態を保持したまま停止します。

注意 SAUnSTレジスタのビット15-4には，必ず0を設定してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

（10）シリアル・チャネル許可ステータス・レジスタn（SAUnSE）

SAUnSEレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタn（SAUnSS）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタn（SAUnST）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルmは，後述のシリアル出力レジスタn（SAUnSO）のCKOnmビット（チャネルmのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルmは，SAUnSOレジスタのCKOnmビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

アドレス：SAU0SE FFFFE0C0H, SAU1SE FFFFE1C0H, リセット時：0000H R
SAU2SE FFFFE2C0H, SAU4SE FFFFEAC0H,
SAU5SE FFFFEBC0H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUnSE	0	0	0	0	0	0	0	0	0	0	0	0	SEn3注	SEn2注	SEn1	SEn0

SEnm	チャネルmの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

注 SAU4SE, SAU5SEレジスタは，“0”固定です。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

（11）シリアル出力許可レジスタn（SAUnSOE）

SAUnSOEレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルmは，後述のシリアル出力レジスタn（SAUnSO）のSOnmビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルmは，SAUnSOレジスタのSOnmビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：SAU0SOE FFFFE0D4H, SAU1SOE FFFFE1D4H, リセット時：0000H R/W
SAU2SOE FFFFE2D4H, SAU4SOE FFFFEAD4H,
SAU5SOE FFFFEBD4H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOE n3注	SOE n2注	SOE n1	SOE n0

SOE nm	チャネルmのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注 SAU4SOE, SAU5SOEレジスタは，“0”固定です。

注意 SAUnSOEレジスタのビット15-4には，必ず0を設定してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

（12）シリアル出力レジスタn（SAUnSO）

SAUnSOレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOnmビットの値が，チャネルmのシリアル・データ出力端子から出力されます。

このレジスタのCKOnmビットの値が，チャネルmのシリアル・クロック出力端子から出力されます。

このレジスタのSOnmビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEnm = 0）時のみ可能です。シリアル出力許可（SOEnm = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOnmビットのソフトウエアによる書き換えは，チャネル動作停止（SEnm = 0）時のみ可能です。チャネル動作許可（SEnm = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOnm, SOnmビットに“1”を設定してください。

16ビット単位でリード／ライト可能です。

リセットにより0F0FHになります。

アドレス：SAU0SO FFFFE0D0H, SAU1SO FFFFE1D0H, リセット時：0F0FH R/W
SAU2SO FFFFE2D0H, SAU4SO FFFFEAD0H,
SAU5SO FFFFEBD0H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUnSO	0	0	0	0	CKO n3注	CKO n2注	CKO n1	CKO n0	0	0	0	0	SO n3注	SO n2注	SO n1	SO n0

CKO nm	チャネルmのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO nm	チャネルmのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注 SAU4SO, SAU5SOレジスタは，“0”固定です。

注意 SAUnSOレジスタのビット15-12, 7-4には，必ず0を設定してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

（13）シリアル出力レベル・レジスタn（SAUnSOL）

SAUnSOLレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルmの反転設定は，シリアル出力許可（SOEnm = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEnm = 0）時はSOnmビットの値がそのまま出力されます。

SAUnSOLレジスタは，動作中（SEnm = 1のとき）の書き換えは禁止です。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：SAU0SOL FFFFE0E8H, SAU1SOL FFFFE1E8H, リセット時：0000H R/W
SAU2SOL FFFFE2E8H, SAU4SOL FFFFEAE8H,
SAU5SOL FFFFEBE8H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOL	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL n2注	0	SOL n0

SOL nm	UARTモードでのチャネルmの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注 SAU4SOL, SAU5SOLレジスタは，“0”固定です。

注意 SAUnSOLレジスタのビット15-3, 1には，必ず0を設定してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2）

（14）シリアル・スタンバイ・コントロール・レジスタn（SAUnSSC）

SAU0SSCレジスタは，CSI00，UART00，SAU1SSCレジスタは，UART10，SAU2SSCレジスタは，UART20のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 SNOOZEモード時の最大転送レートは，次のようになります。

- CSI00の場合： 1 Mbps（ターゲット）
- UART00, UART10, UART20の場合：9600 bps（ターゲット）

アドレス：SAU0SSC FFFFE0F0H, SAU1SSC FFFFE1F0H, SAU2SSC FFFFE2F0H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECn	SWCn

SSECn	転送完了割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0/INTSRE1/INTSRE2）発生許可。 また，次の場合，クロック発生回路へのクロック要求信号（内部信号）がクリアされます。 ・SWCnビットを0に設定時 ・UART受信スタート・ビットの誤検出
1	エラー割り込み（INTSRE0/INTSRE1/INTSRE2）発生停止。 また，次の場合，クロック発生回路へのクロック要求信号（内部信号）がクリアされます。 ・SWCnビットを0に設定時 ・UART受信スタート・ビットの誤検出 ・パリティ・エラー，フレーミング・エラーによる転送完了割り込み発生タイミング時

SWCn	STOPモード状態からのCSI00またはUART00/UART10/UART20受信動作起動許可／停止の選択
0	STOPモードからの受信動作起動停止
1	STOPモードからの受信動作起動許可 （CSI00の非同期受信または，UART00/UART10/UART20の受信時ボー・レート調整機能を有効化）

注意 SSECn, SWCn = 1, 0は設定禁止です。

16. 4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

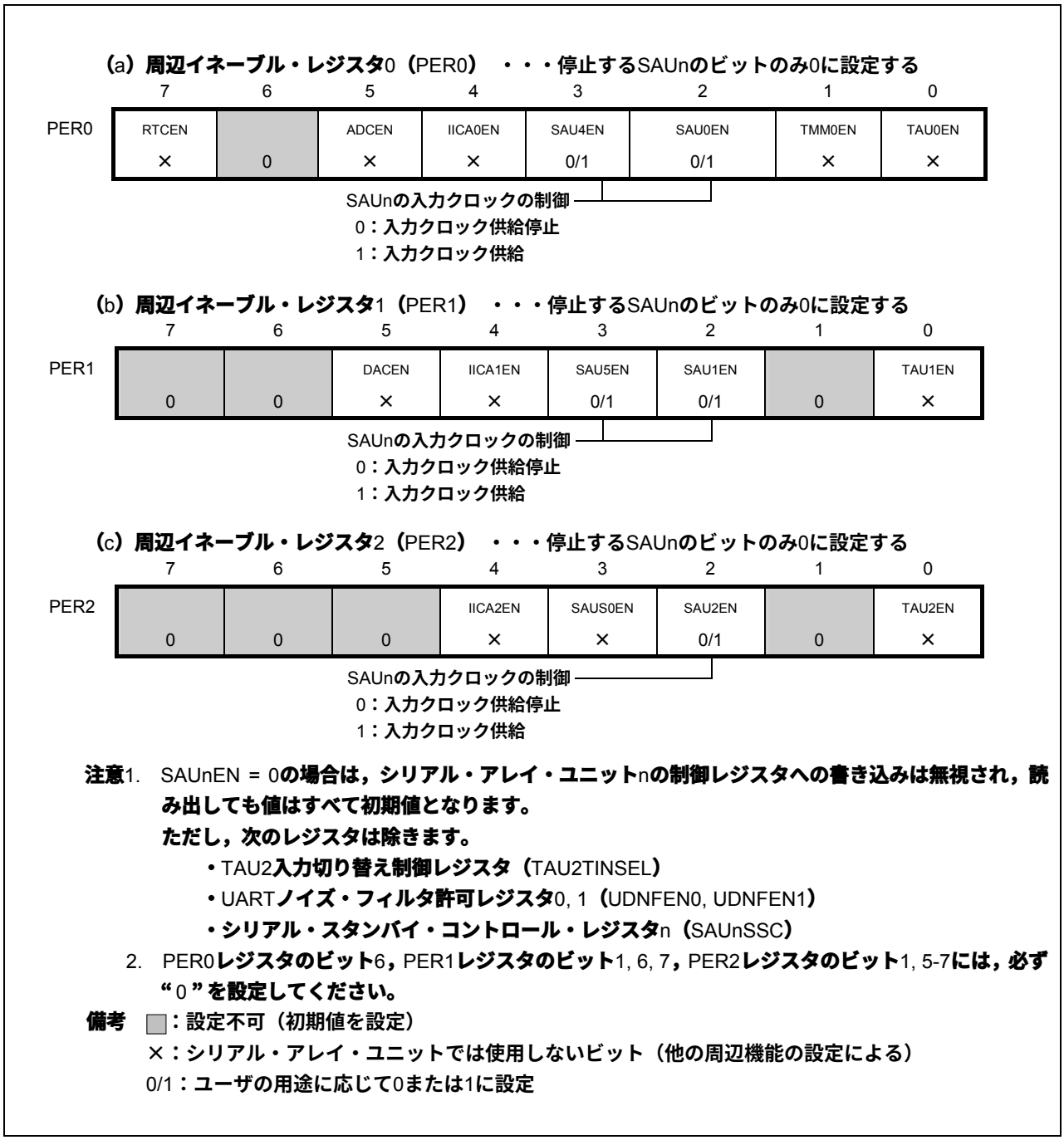
16. 4. 1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0-2（PER0-PER2）で行います。

PER0-PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，PER0レジスタのビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは，PER1レジスタのビット2（SAU1EN）に0を設定してください。シリアル・アレイ・ユニット2を停止するときは，PER2レジスタのビット2（SAU2EN）に0を設定してください。シリアル・アレイ・ユニット4を停止するときは，PER0レジスタのビット3（SAU4EN）に0を設定してください。シリアル・アレイ・ユニット5を停止するときは，PER1レジスタのビット3（SAU5EN）に0を設定してください。

図16－3 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタn（PERn）の設定



注意1. SAUnEN = 0の場合は，シリアル・アレイ・ユニットnの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。
- TAU2入力切り替え制御レジスタ（TAU2TINSEL）
- UARTノイズ・フィルタ許可レジスタ0, 1（UDNFEN0, UDNFEN1）
- シリアル・スタンバイ・コントロール・レジスタn（SAUnSSC）

2. PER0レジスタのビット6，PER1レジスタのビット1, 6, 7，PER2レジスタのビット1, 5-7には，必ず“0”を設定してください。

備考 □：設定不可（初期値を設定）
×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

16. 4. 2 チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図16－4 チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタn（SAUnST）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn ST	0	0	0	0	0	0	0	0	0	0	0	0	STn3 0/1	STn2 0/1	STn1 0/1	STn0 0/1

1：SEnmビットを0にクリアし，通信動作を停止

※ STnmビットはトリガ・ビットなので，SEnm = 0になるとすぐSTnmビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタn（SAUnSE）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SE	0	0	0	0	0	0	0	0	0	0	0	0	SEn3 0/1	SEn2 0/1	SEn1 0/1	SEn0 0/1

0：動作停止状態

※SAUnSEレジスタはRead Onlyのステータス・レジスタであり，SAUnSTレジスタにて動作停止にします。
動作を停止したチャネルは，SAUnSOレジスタのCKOnmビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタn（SAUnSOE）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 0/1	SOEn2 0/1	SOEn1 0/1	SOEn0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SAUnSOレジスタのSOnmビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタn（SAUnSO）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 0/1	CKOn2 0/1	CKOn1 0/1	CKOn0 0/1	0	0	0	0	SOn3 0/1	SOn2 0/1	SOn1 0/1	SOn0 0/1

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOnm, SOnmビットに“1”を設定してください。

備考1. n：ユニット番号（n = 0-2, 4, 5）　m：チャネル番号（m = 0-3）

2. □：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

16. 5 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信の動作

シリアル・クロック（$\overline{\text{SCK}}$）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. $f_{CLK}/2$ 注
  スレーブ通信時：Max. $f_{MCK}/6$ 注

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{\text{SCK}}$入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

注 ただし，$\overline{\text{SCK}}$サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。

3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）に対応しているチャネルは，SAU0のチャネル0-3，SAU1のチャネル1, 3，SAU2のチャネル1, 3，SAU4のチャネル1, 2，SAU5のチャネル1, 2です。

ユニット	チャネル	CSIとして使用	UARTとして使用	V850E2/JC4-L (40ピン) CSI	V850E2/JC4-L (40ピン) UART	V850E2/JC4-L (48ピン) CSI	V850E2/JC4-L (48ピン) UART	V850E2/JE4-L (64ピン) CSI	V850E2/JE4-L (64ピン) UART	V850E2/JF4-L (80ピン) CSI	V850E2/JF4-L (80ピン) UART	V850E2/JG4-L (100ピン) CSI	V850E2/JG4-L (100ピン) UART	V850E2/JH4-L (128ピン) CSI	V850E2/JH4-L (128ピン) UART	V850E2/JJ4-L (144ピン) CSI	V850E2/JJ4-L (144ピン) UART
0	0	CSI00	UART00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI01	(LIN-bus対応)	–		–		–		–		○		○		○	
	2	CSI02	UART01	–	–	○	○	○	○	○	○	○	○	○	○	○	○
	3	CSI03	(LIN-bus対応)	–		–		–		–		–		○		○	
1	0	–	UART10	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	1	CSI11	(LIN-bus対応)	–		–		–		–		○		○		○	
	2	–	UART11	–	–	–	–	–	–	–	○	–	○	–	○	–	○
	3	CSI13	(LIN-bus対応)	–		–		–		–		–		○		○	
2	0	–	UART20	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	1	CSI21	(LIN-bus対応)	–		–		–		–		–		○		○	
	2	–	UART21	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	3	CSI23		–		–		–		–		–		○		○	
4	0	CSI40	UART40	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI41	(LIN-bus対応)	–		–		–		–		○		○		○	
5	0	CSI50	UART50	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI51	(LIN-bus対応)	–		–		–		○		○		○		○	
合計				3	3	4	4	4	4	5	5	8	8	12	8	12	8

3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）の通信動作は，以下の7種類があります。

- マスタ送信 （16. 5. 1項を参照）
- マスタ受信 （16. 5. 2項を参照）
- マスタ送受信 （16. 5. 3項を参照）
- スレーブ送信 （16. 5. 4項を参照）
- スレーブ受信 （16. 5. 5項を参照）
- スレーブ送受信 （16. 5. 6項を参照）
- SNOOZEモード機能（16. 5. 7項を参照）

16. 5. 1 マスタ送信

マスタ送信とは，このV850E2/Jx4-Lが転送クロックを出力し，V850E2/Jx4-Lから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI02	CSI03	CSI11	CSI13	CSI21	CSI23	CSI40	CSI41	CSI50	CSI51
対象ユニット	SAU0				SAU1		SAU2		SAU4		SAU5	
対象チャネル	チャネル0	チャネル1	チャネル2	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル0	チャネル1	チャネル0	チャネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK02}}$, SO02	$\overline{\text{SCK03}}$, SO03	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK13}}$, SO13	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCK23}}$, SO23	$\overline{\text{SCK40}}$, SO40	$\overline{\text{SCK41}}$, SO41	$\overline{\text{SCK50}}$, SO50	$\overline{\text{SCK51}}$, SO51
割り込み	INTCSI00	INTCSI01	INTCSI02	INTCSI03	INTCSI11	INTCSI13	INTCSI21	INTCSI23	INTCSI40	INTCSI41	INTCSI50	INTCSI51
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能											
エラー検出フラグ	なし											
転送データ長	7ビットまたは8ビット											
転送レート	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2\times2^{11}\times128)$ [Hz] 注　　f_{CLK}：CPU／周辺クロック周波数											
データ位相	SAUnSCRmレジスタのDAPnmビットにより選択可能 ・DAPnm = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPnm = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始											
クロック位相	SAUnSCRmレジスタのCKPnmビットにより選択可能 ・CKPnm = 0の場合：正転 ・CKPnm = 1の場合：反転											
データ方向	MSBファーストまたはLSBファースト											

注 この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

(1) レジスタ設定

図16ー5 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）のマスタ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタnm（SAUnSMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SMRm	CKSnm 0/1	CCSnm 0	0	0	0	0	0	STSnm 0	0	SISnm0 0	1	0	0	0	MDnm1 0	MDnm0 0/1

チャネルmの動作クロック（f_{MCK}）
0：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn0”
1：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn1”

チャネルmの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタnm（SAUnSCRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SCRm	TXEnm 1	RXEnm 0	DAPnm 0/1	CKPnm 0/1	0	EOCnm 0	PTCnm1 0	PTCnm0 0	DIRnm 0/1	0	SLCnm1 0	SLCnm0 0	0	1	DLSnm1 1	DLSnm0 0/1

データとクロックの位相選択
（設定内容詳細は「16. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタnm（SAUnSDRm）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ（送信データを設定）							

SIOp

(d) シリアル出力レジスタn（SAUnSO）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 0/1	CKOn2 0/1	CKOn1 0/1	CKOn0 0/1	0	0	0	0	SOn3 0/1	SOn2 0/1	SOn1 0/1	SOn0 0/1

クロック位相が“正転”（SAUnSCRmレジスタのCKPnmビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPnmビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタn（SAUnSOE）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 0/1	SOEn2 0/1	SOEn1 0/1	SOEn0 0/1

(f) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3 0/1	SSn2 0/1	SSn1 0/1	SSn0 0/1

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

2. □：CSIマスタ送信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図16ー6 マスタ送信の初期設定手順

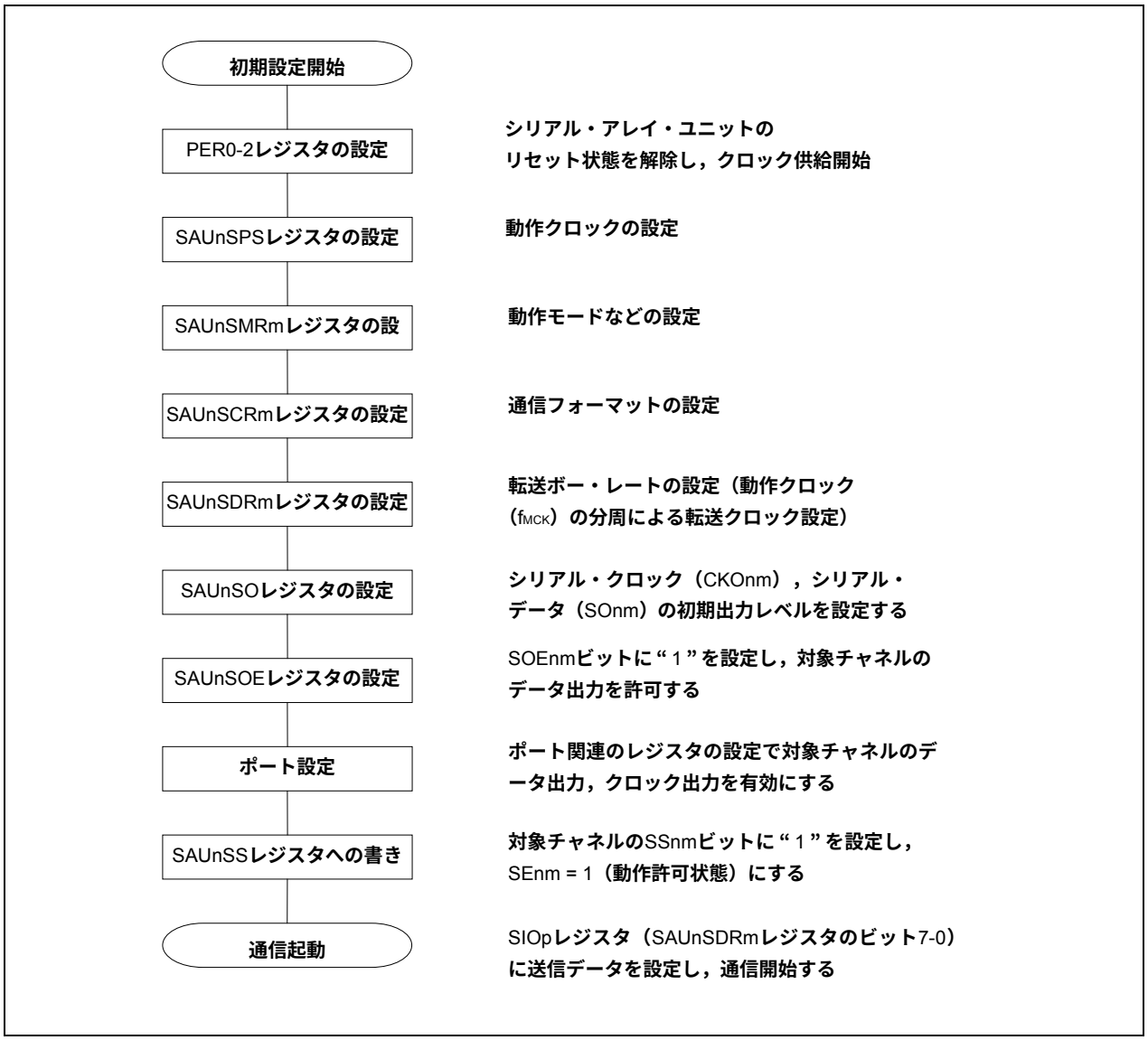


図16ー7 マスタ送信の中断手順

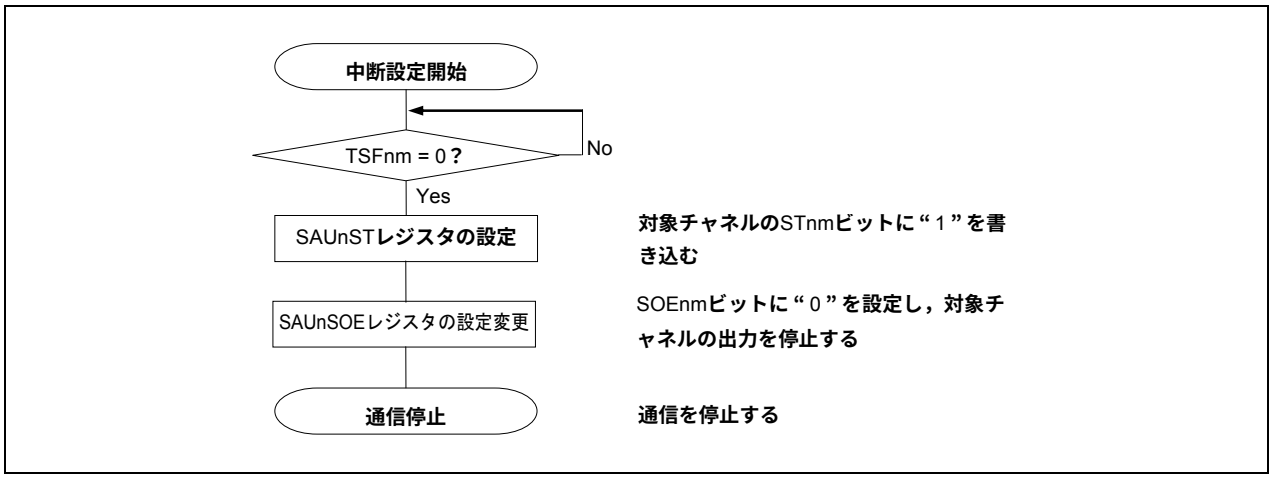
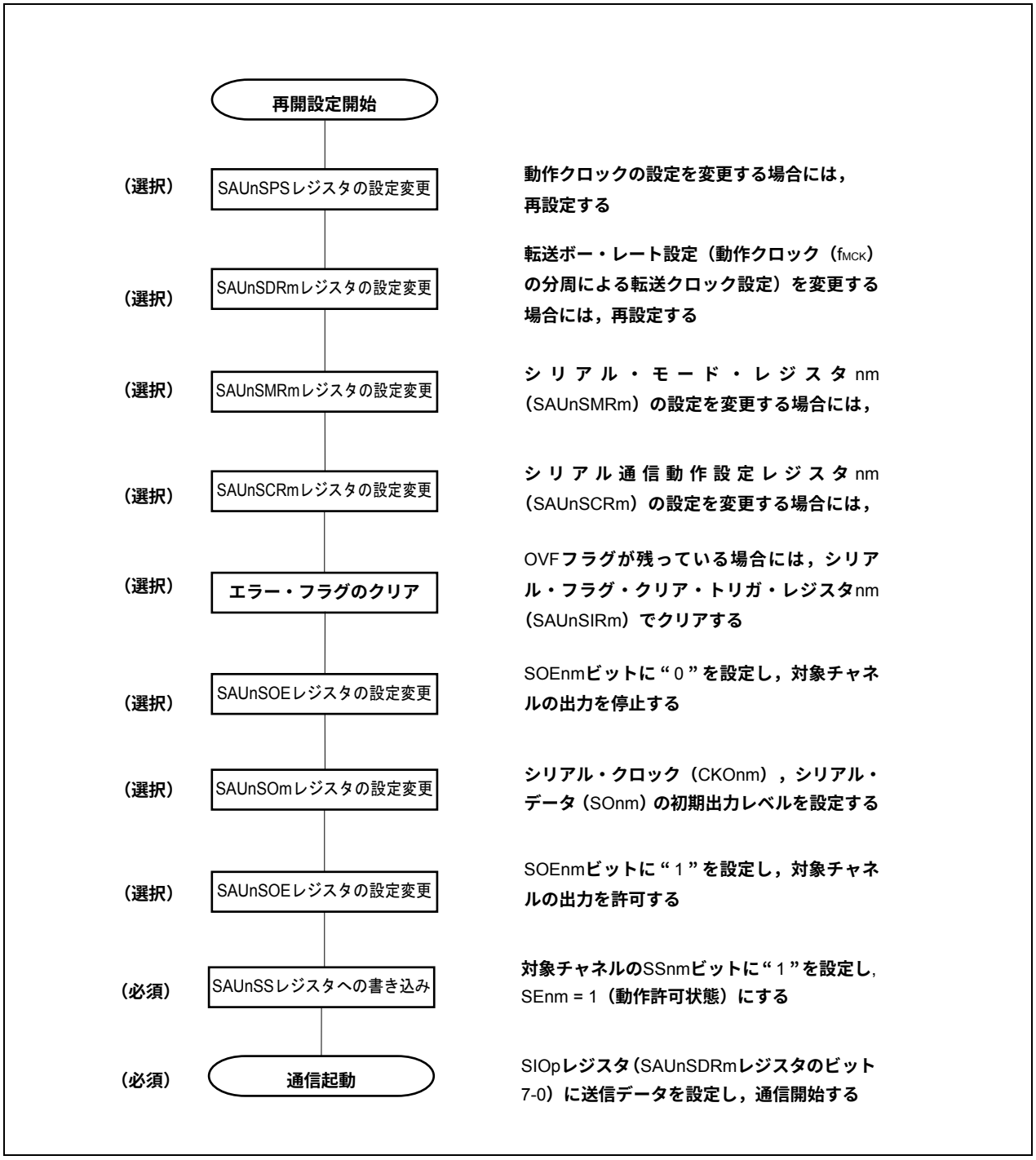
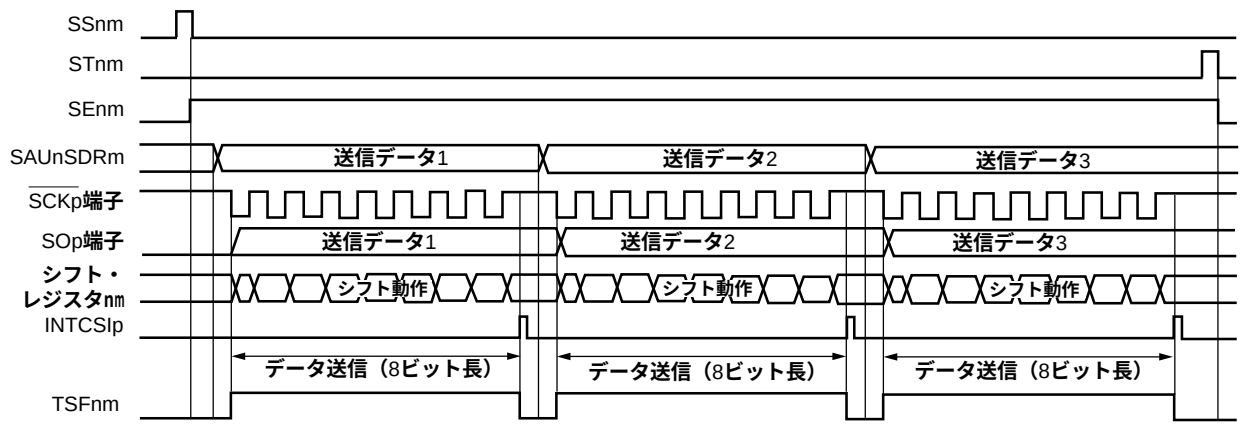


図16－8 マスタ送信の再開設定手順



（3）処理フロー（シングル送信モード時）

図16－9 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

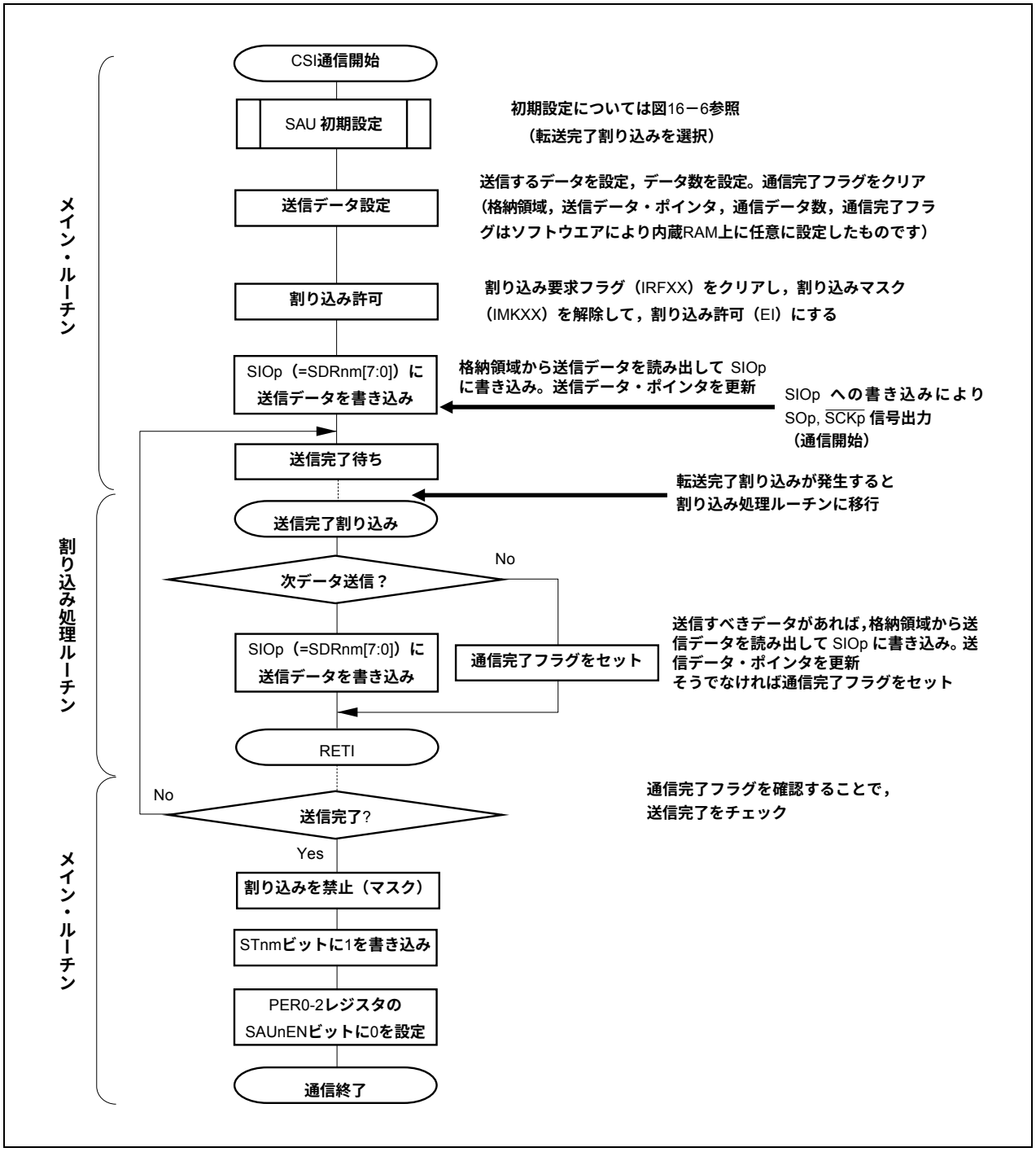


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

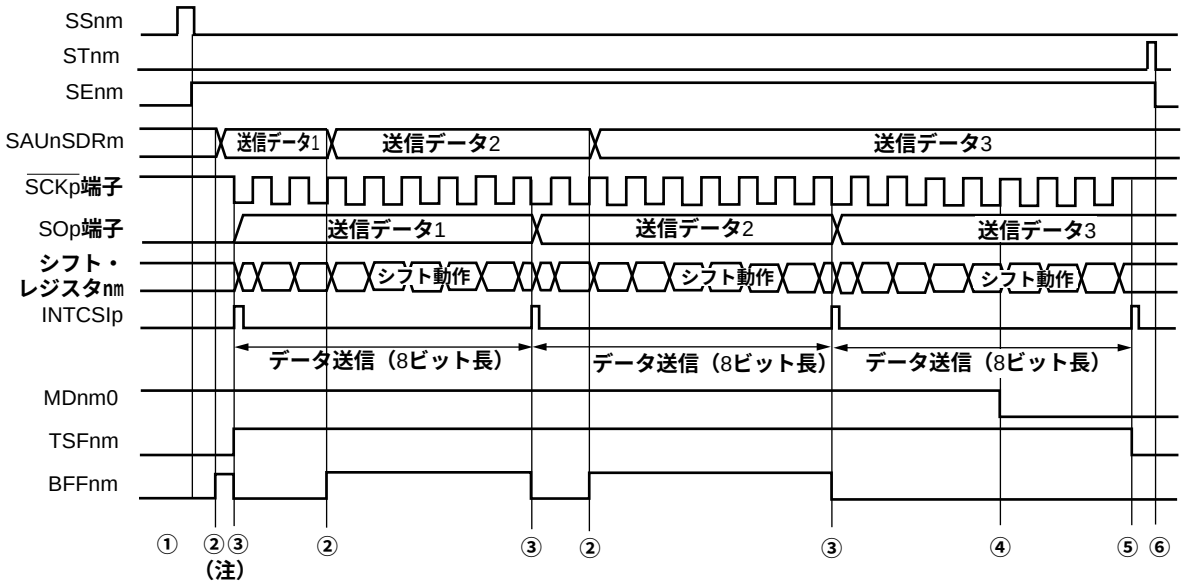
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－10 マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図16－11 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

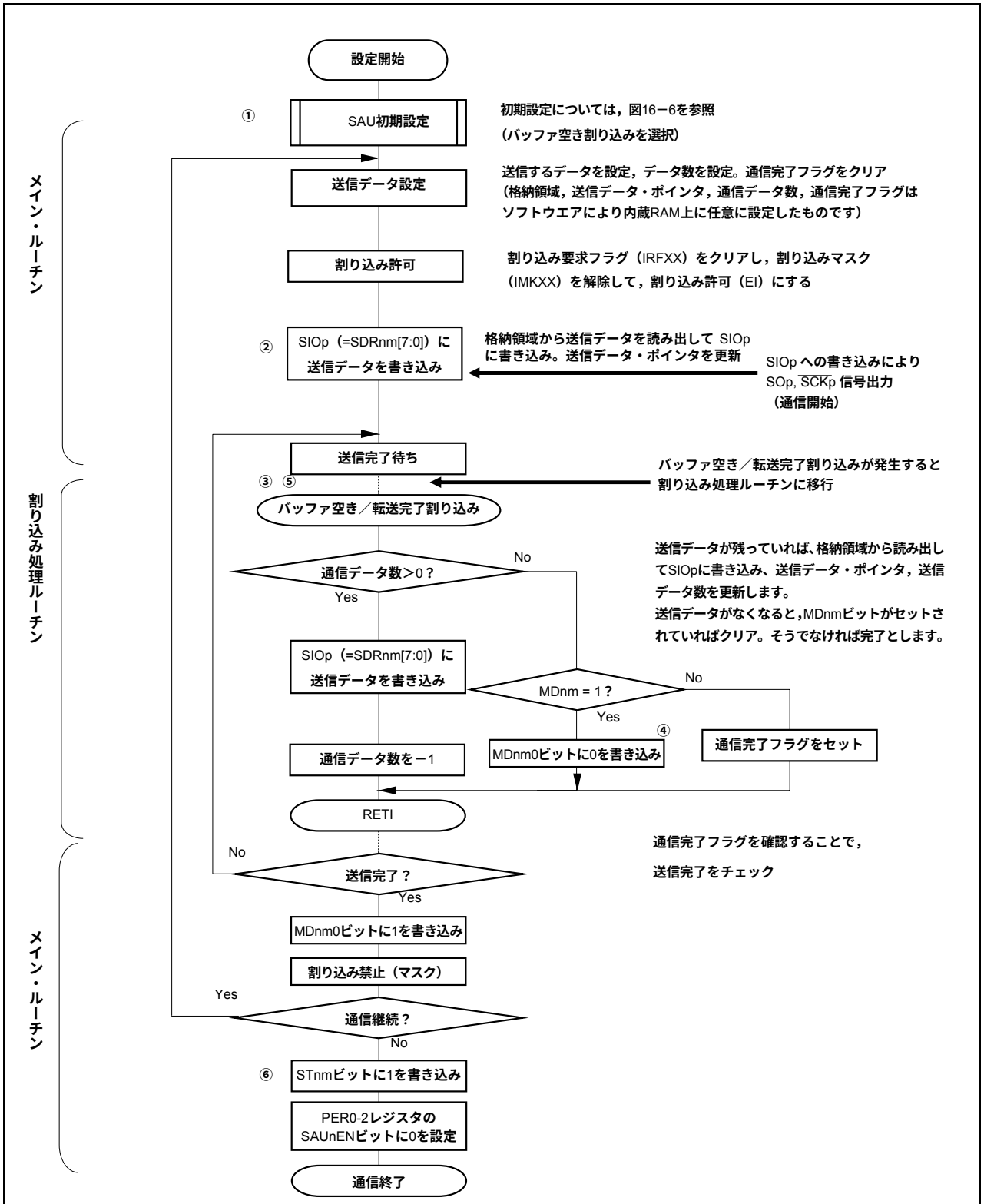


注 シリアル・ステータス・レジスタnm（SAUnSSRm）のBFFnmビットが“1”の期間（有効なデータがシリアル・データ・レジスタnm（SAUnSDRm）に格納されているとき）にSAUnSDRmレジスタに送信データを書き込むと，送信データが上書きされます。

注意 シリアル・モード・レジスタnm（SAUnSMRm）のMDnm0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－12 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は，図16－11 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

16. 5. 2 マスタ受信

マスタ受信とは，このV850E2/Jx4-Lが転送クロックを出力し，V850E2/Jx4-Lが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI02	CSI03	CSI11	CSI13	CSI21	CSI23	CSI40	CSI41	CSI50	CSI51
対象ユニット	SAU0				SAU1		SAU2		SAU4		SAU5	
対象チャネル	チャネル0	チャネル1	チャネル2	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル0	チャネル1	チャネル0	チャネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK02}}$, SO02	$\overline{\text{SCK03}}$, SO03	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK13}}$, SO13	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCK23}}$, SO23	$\overline{\text{SCK40}}$, SO40	$\overline{\text{SCK41}}$, SO41	$\overline{\text{SCK50}}$, SO50	$\overline{\text{SCK51}}$, SO51
割り込み	INTCSI00	INTCSI01	INTCSI02	INTCSI03	INTCSI11	INTCSI13	INTCSI21	INTCSI23	INTCSI40	INTCSI41	INTCSI50	INTCSI51
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能											
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFnm）のみ											
転送データ長	7ビットまたは8ビット											
転送レート	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2\times2^{11}\times128)$ [Hz] 注　　f_{CLK}：CPU／周辺クロック周波数											
データ位相	SAUnSCRmレジスタのDAPnmビットにより選択可能 ・DAPnm = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPnm = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始											
クロック位相	SAUnSCRmレジスタのCKPnmビットにより選択可能 ・CKPnm = 0の場合：正転 ・CKPnm = 1の場合：反転											
データ方向	MSBファーストまたはLSBファースト											

注 この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

(1) レジスタ設定

図16－13 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）のマスタ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタnm（SAUnSMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SMRm	CKSnm 0/1	CCSnm 0	0	0	0	0	0	STSnm 0	0	SISnm0 0	1	0	0	0	MDnm1 0	MDnm0 0/1

チャネルmの動作クロック（f_{MCK}）
0：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn0”
1：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn1”

チャネルmの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタnm（SAUnSCRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SCRm	TXEnm 0	RXEnm 1	DAPnm 0/1	CKPnm 0/1	0	EOCnm 0	PTCnm1 0	PTCnm0 0	DIRnm 0/1	0	SLCnm1 0	SLCnm0 0	0	1	DLSnm1 1	DLSnm0 0/1

データとクロックの位相選択
（設定内容詳細は「16. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタnm（SAUnSDRm）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

(d) シリアル出力レジスタn（SAUnSO）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 0/1	CKOn2 0/1	CKOn1 0/1	CKOn0 0/1	0	0	0	0	SOn3 ×	SOn2 ×	SOn1 ×	SOn0 ×

クロック位相が“正転”（SAUnSCRmレジスタのCKPnmビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPnmビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタn（SAUnSOE）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 ×	SOEn2 ×	SOEn1 ×	SOEn0 ×

(f) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3 0/1	SSn2 0/1	SSn1 0/1	SSn0 0/1

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51
2. □：CSIマスタ受信モードでは設定固定 ▒：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－14 マスタ受信の初期設定手順

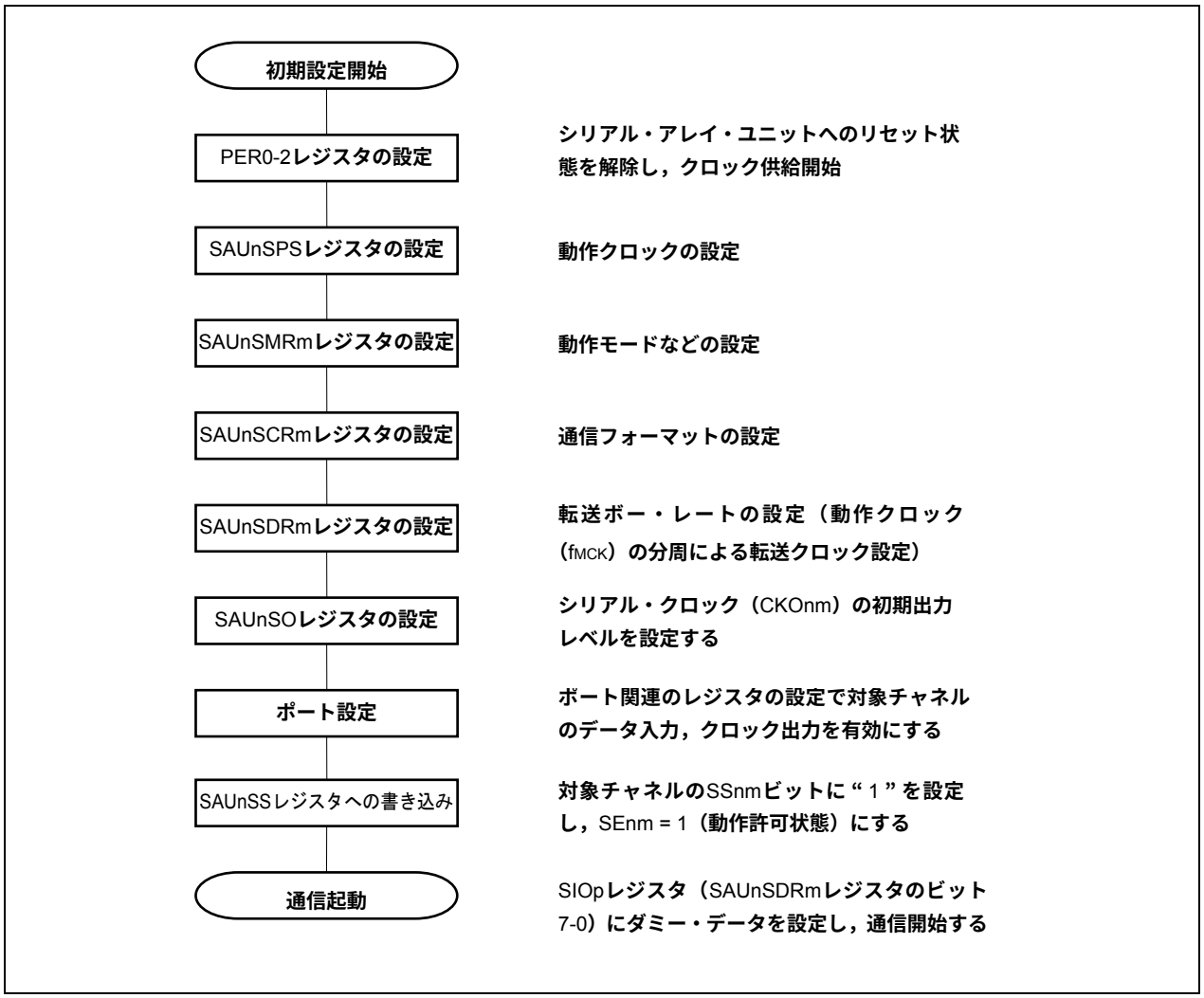
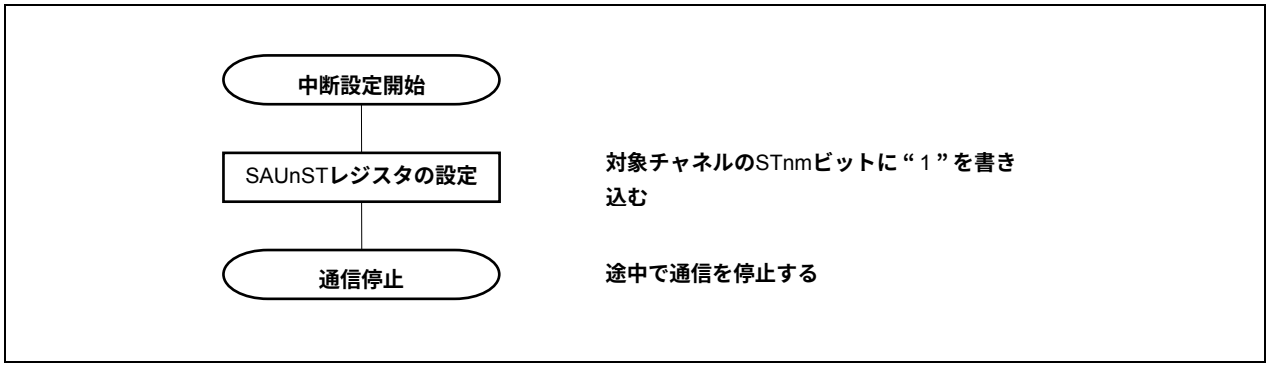
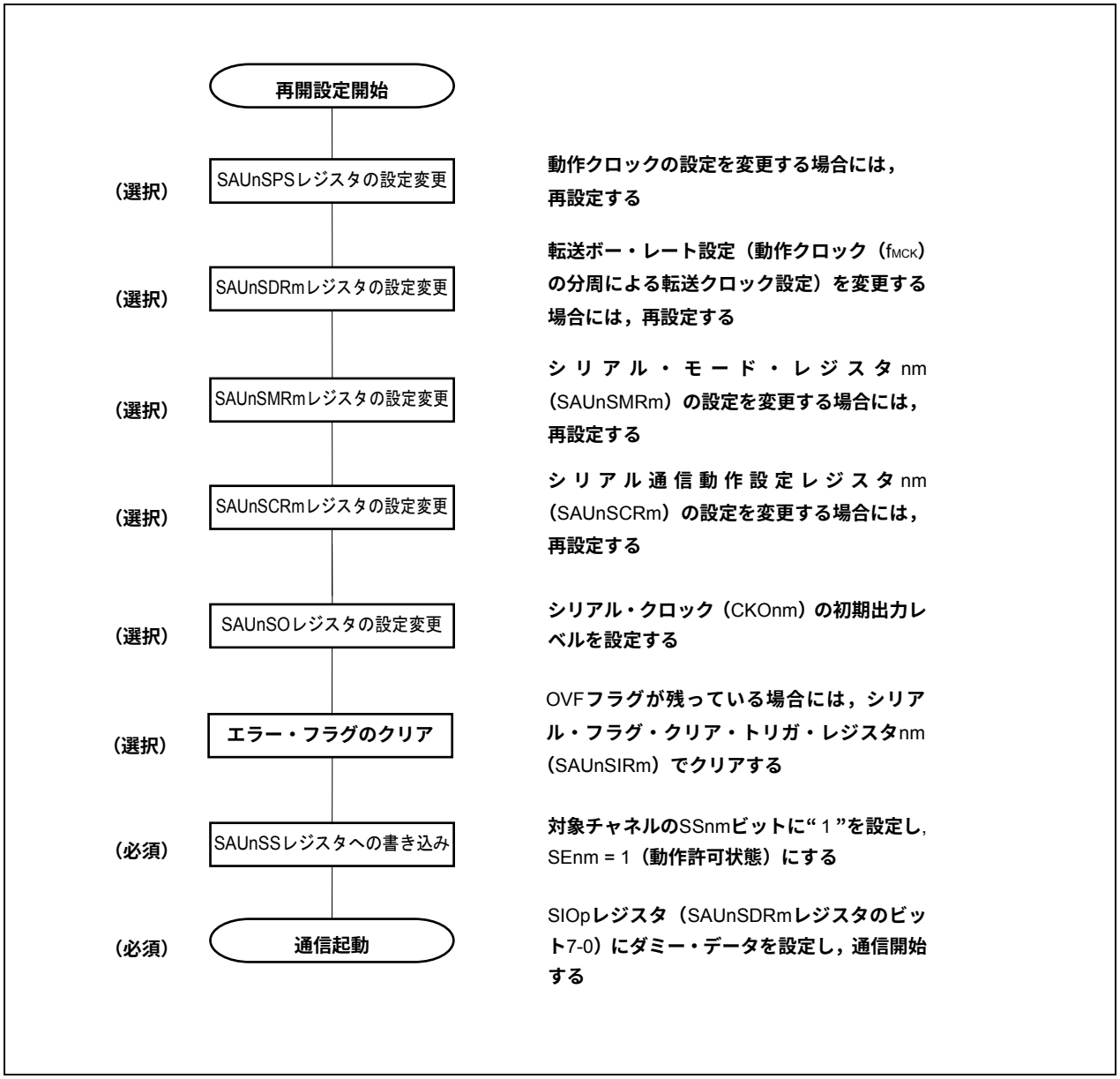


図16－15 マスタ受信の中断手順



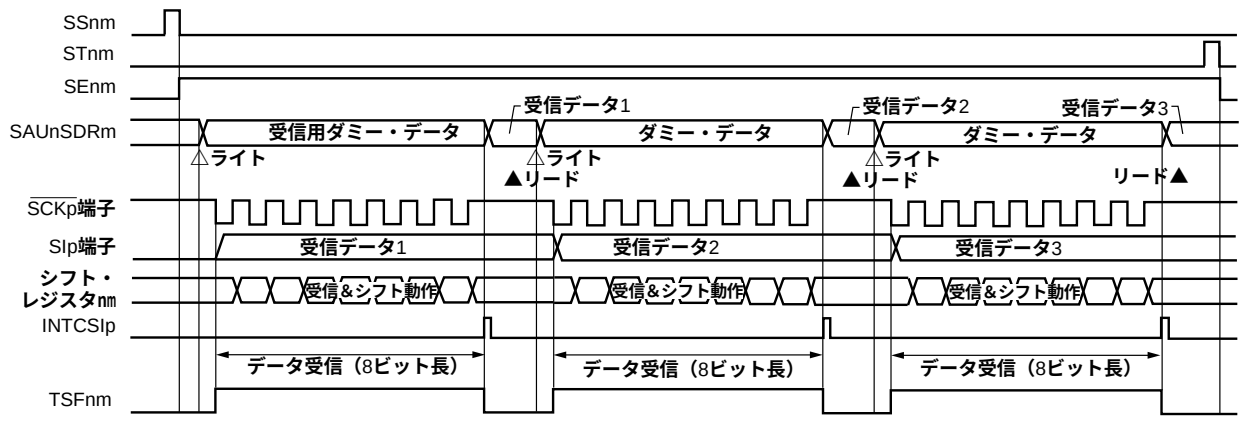
備考 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタn（SAUnSO）を再設定してください（図16－16 マスタ受信の再開設定手順参照）。

図16－16 マスタ受信の再開設定手順



（3）処理フロー（シングル受信モード時）

図16－17 **マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ**1**：**DAPnm =0, CKPnm = 0**）**

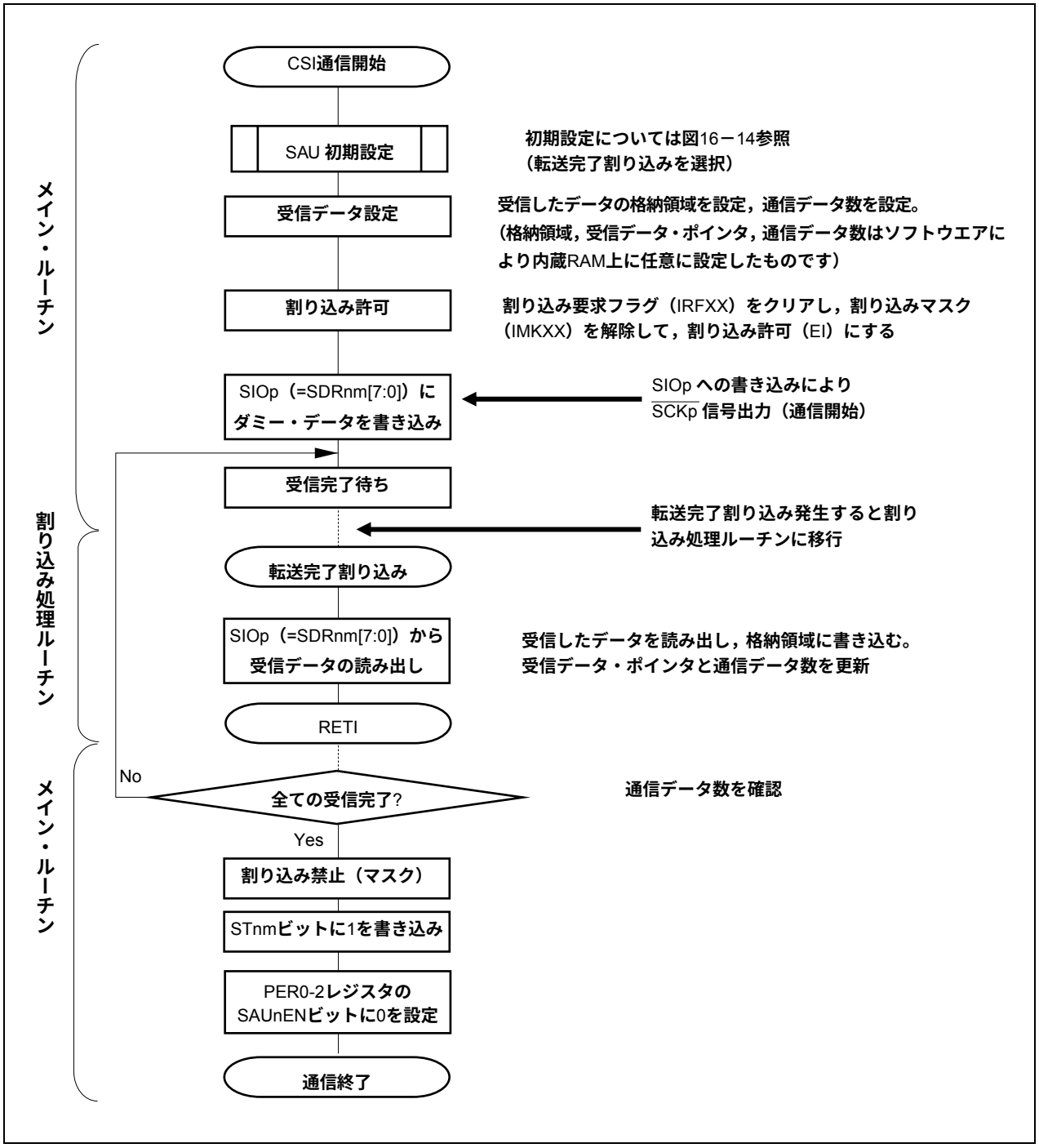


備考 n：**ユニット番号**（n = 0-2, 4, 5） m：**チャネル番号**（m = 0-3）

p：CSI**番号**（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

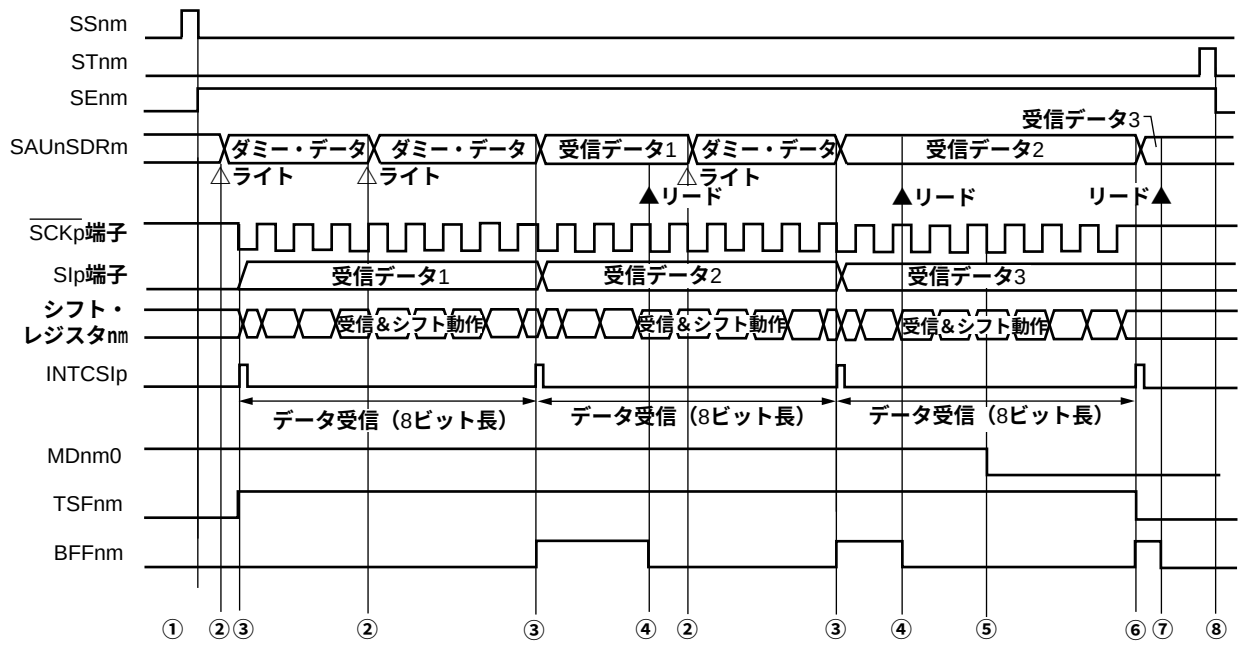
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－18 マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図16－19 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

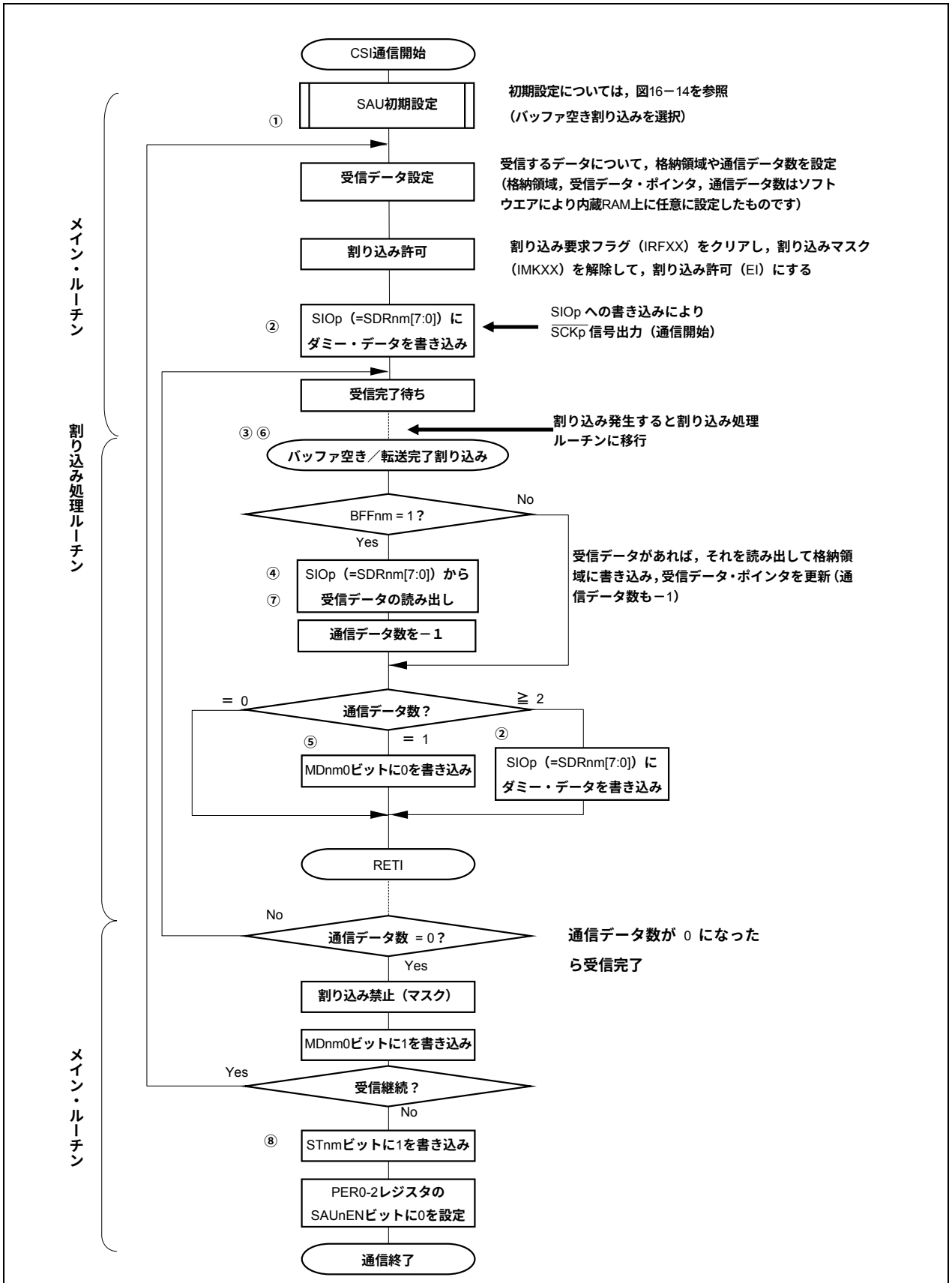


注意 MDnm0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は，図16－20 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－20 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①~⑧は，

図16－19 マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

16. 5. 3 マスタ送受信

マスタ送受信とは，このV850E2/Jx4-Lが転送クロックを出力し，V850E2/Jx4-Lと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI02	CSI03	CSI11	CSI13	CSI21	CSI23	CSI40	CSI41	CSI50	CSI51
対象ユニット	SAU0				SAU1		SAU2		SAU4		SAU5	
対象チャネル	チャネル0	チャネル1	チャネル2	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル0	チャネル1	チャネル0	チャネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK02}}$, SO02	$\overline{\text{SCK03}}$, SO03	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK13}}$, SO13	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCK23}}$, SO23	$\overline{\text{SCK40}}$, SO40	$\overline{\text{SCK41}}$, SO41	$\overline{\text{SCK50}}$, SO50	$\overline{\text{SCK51}}$, SO51
割り込み	INTCSI00	INTCSI01	INTCSI02	INTCSI03	INTCSI11	INTCSI13	INTCSI21	INTCSI23	INTCSI40	INTCSI41	INTCSI50	INTCSI51
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能											
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFnm）のみ											
転送データ長	7ビットまたは8ビット											
転送レート	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/$（$2\times2^{11}\times128$）[Hz] 注　　f_{CLK}：CPU／周辺クロック周波数											
データ位相	SAUnSCRmレジスタのDAPnmビットにより選択可能 ・DAPnm = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPnm = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始											
クロック位相	SAUnSCRmレジスタのCKPnmビットにより選択可能 ・CKPnm = 0の場合：正転 ・CKPnm = 1の場合：反転											
データ方向	MSBファーストまたはLSBファースト											

注 この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

(1) レジスタ設定

図16ー21 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）のマスタ送受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタnm（SAUnSMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SMRm	CKSnm 0/1	CCSnm 0	0	0	0	0	0	STSnm 0	0	SISnm0 0	1	0	0	0	MDnm1 0	MDnm0 0/1

チャネルmの動作クロック（f_{MCK}）
0：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn0”
1：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn1”

チャネルmの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタnm（SAUnSCRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SCRm	TXEnm 1	RXEnm 1	DAPnm 0/1	CKPnm 0/1	0	EOCnm 0	PTCnm1 0	PTCnm0 0	DIRnm 0/1	0	SLCnm1 0	SLCnm0 0	0	1	DLSnm1 1	DLSnm0 0/1

データとクロックの位相選択
（設定内容詳細は「16. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタnm（SAUnSDRm）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ設定／受信データ・レジスタ							

SIOp

(d) シリアル出力レジスタn（SAUnSO）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 0/1	CKOn2 0/1	CKOn1 0/1	CKOn0 0/1	0	0	0	0	SOn3 0/1	SOn2 0/1	SOn1 0/1	SOn0 0/1

クロック位相が“正転”（SAUnSCRmレジスタのCKPnmビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPnmビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタn（SAUnSOE）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 0/1	SOEn2 0/1	SOEn1 0/1	SOEn0 0/1

(f) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3 0/1	SSn2 0/1	SSn1 0/1	SSn0 0/1

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

2. □：CSIマスタ送受信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－22 マスタ送受信の初期設定手順

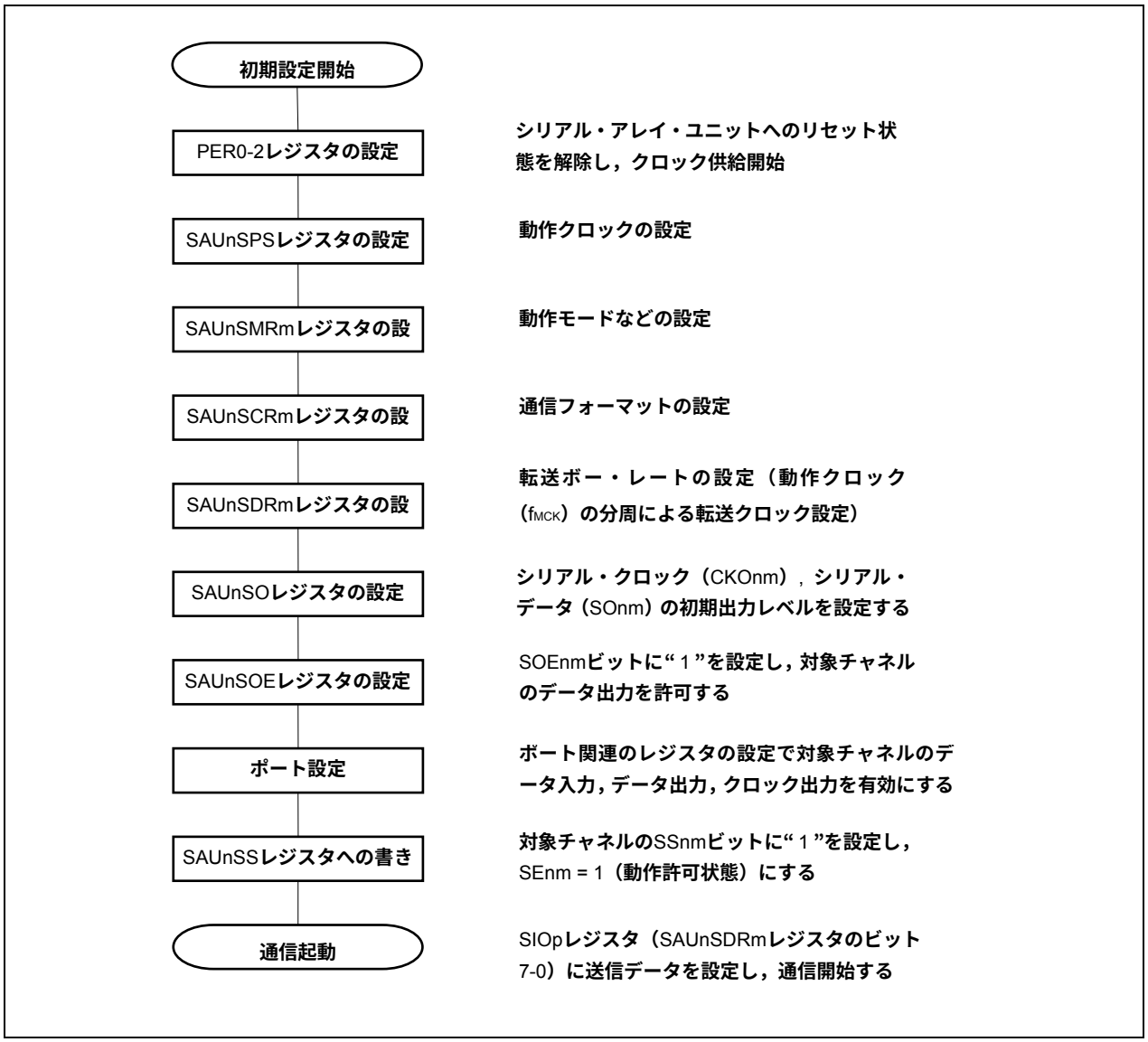
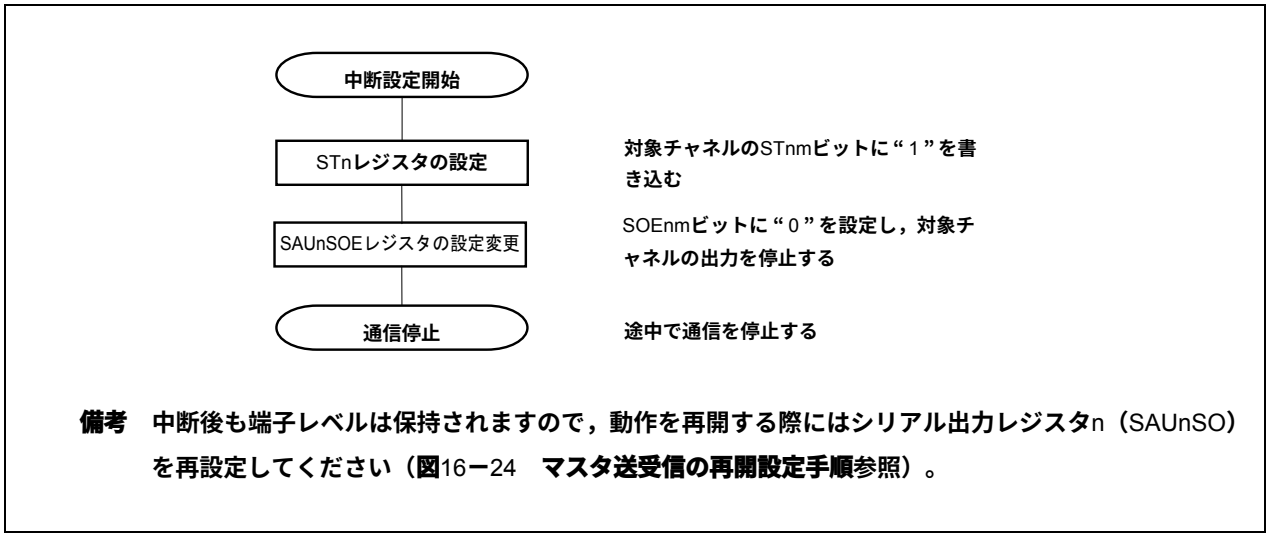
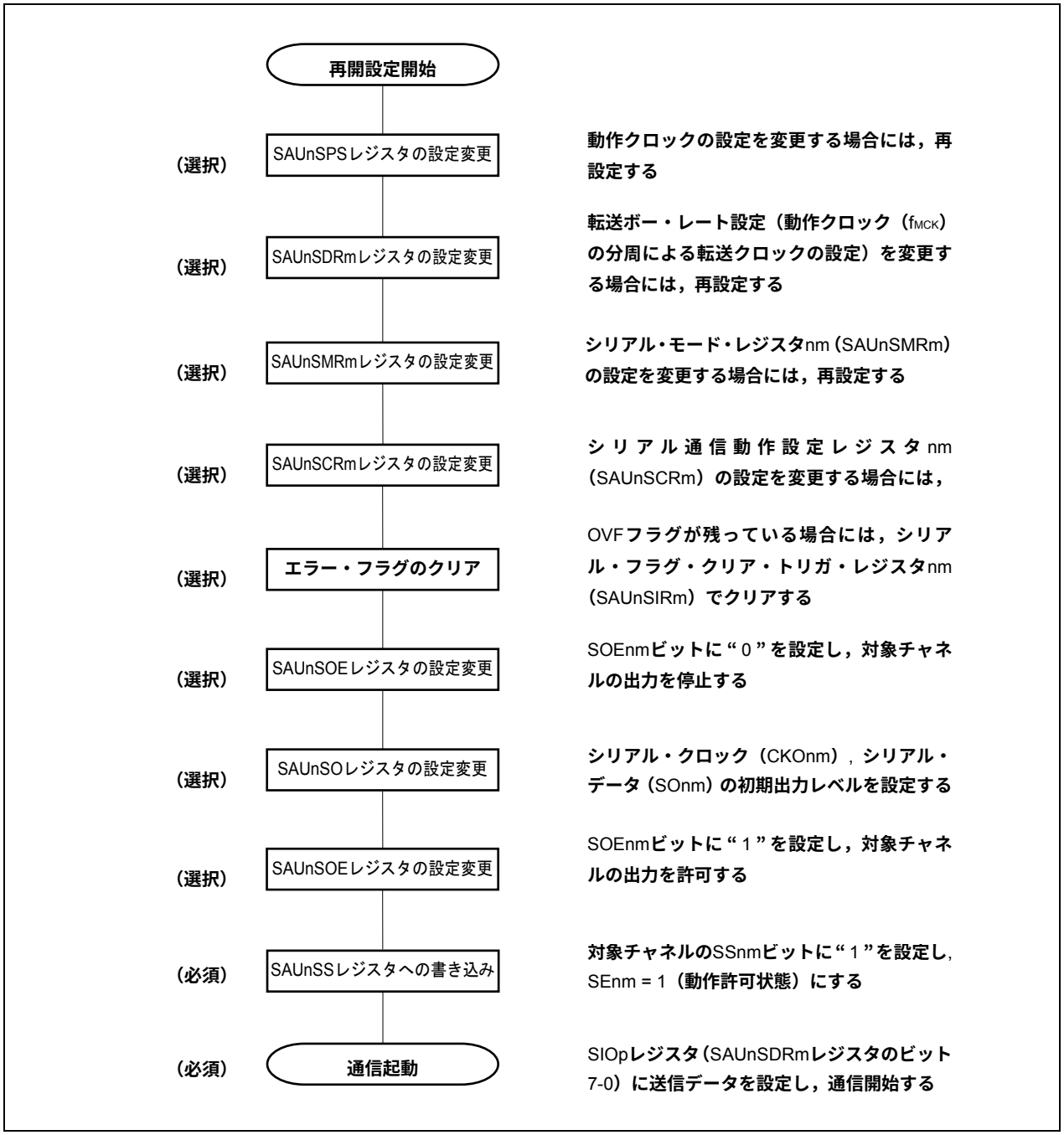


図16－23 マスタ送受信の中断手順



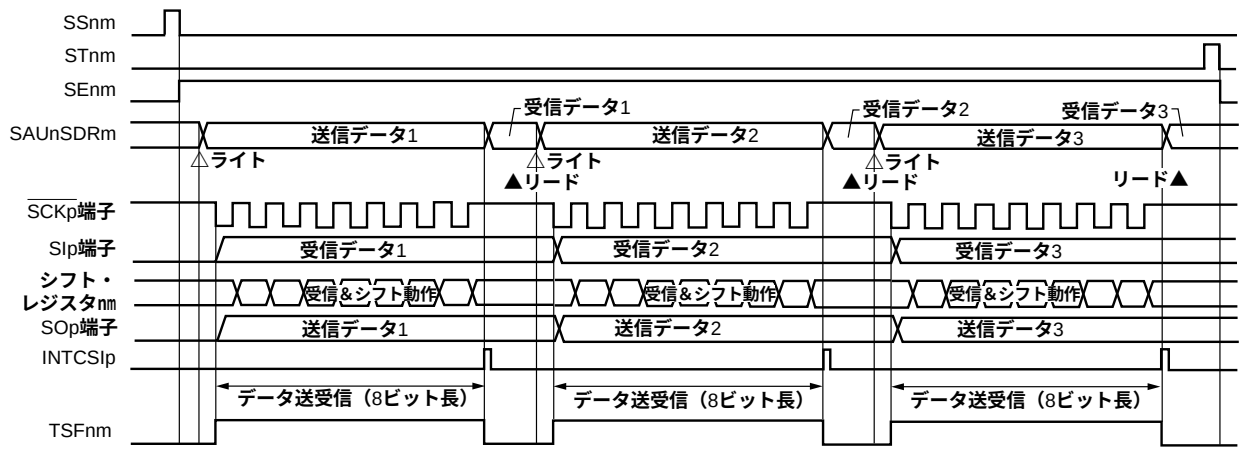
備考 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタn（SAUnSO）を再設定してください（**図16－24 マスタ送受信の再開設定手順**参照）。

図16－24 マスタ送受信の再開設定手順



（3）処理フロー（シングル送受信モード時）

図16－25 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

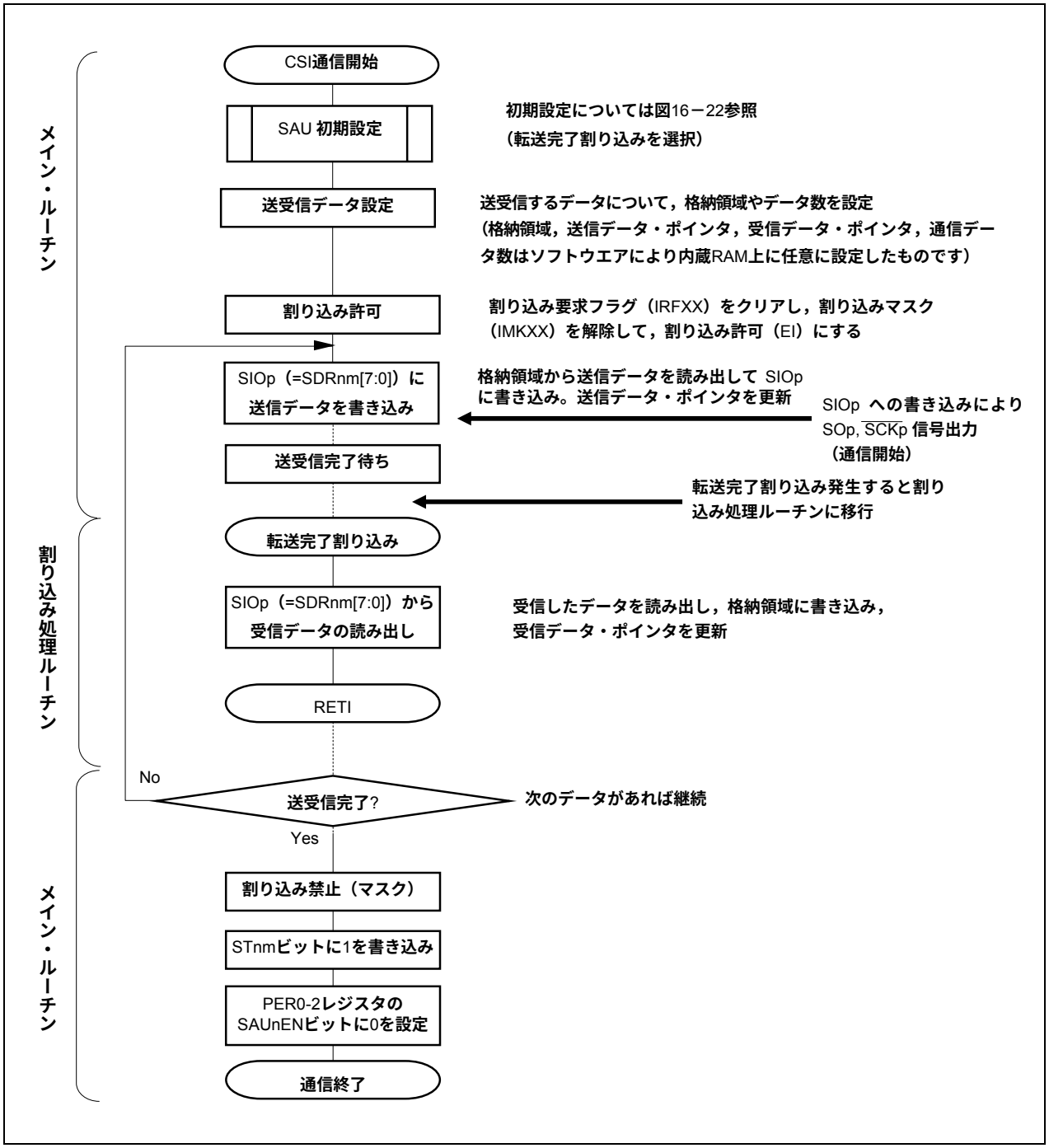


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

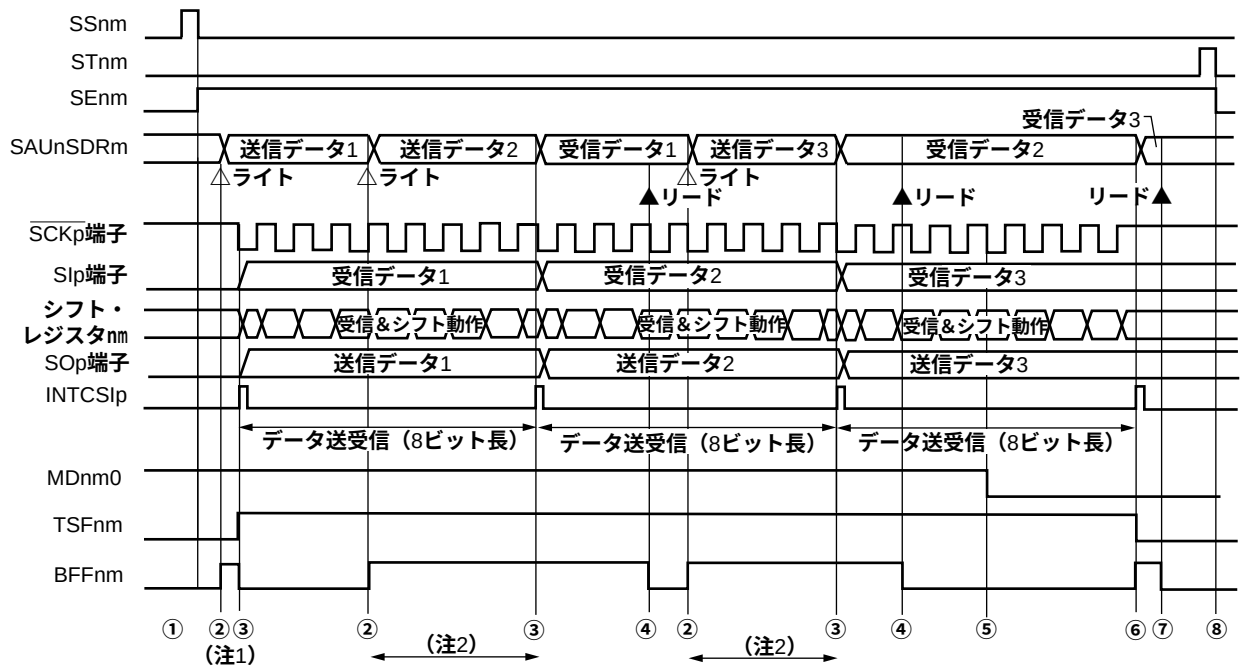
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－26 マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図16－27 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）



注1. シリアル・ステータス・レジスタnm（SAUnSSRm）のBFFnmビットが“1”の期間（有効なデータがシリアル・データ・レジスタnm（SAUnSDRm）に格納されている時）にSAUnSDRmレジスタに送信データを書き込むと，送信データが上書きされます。

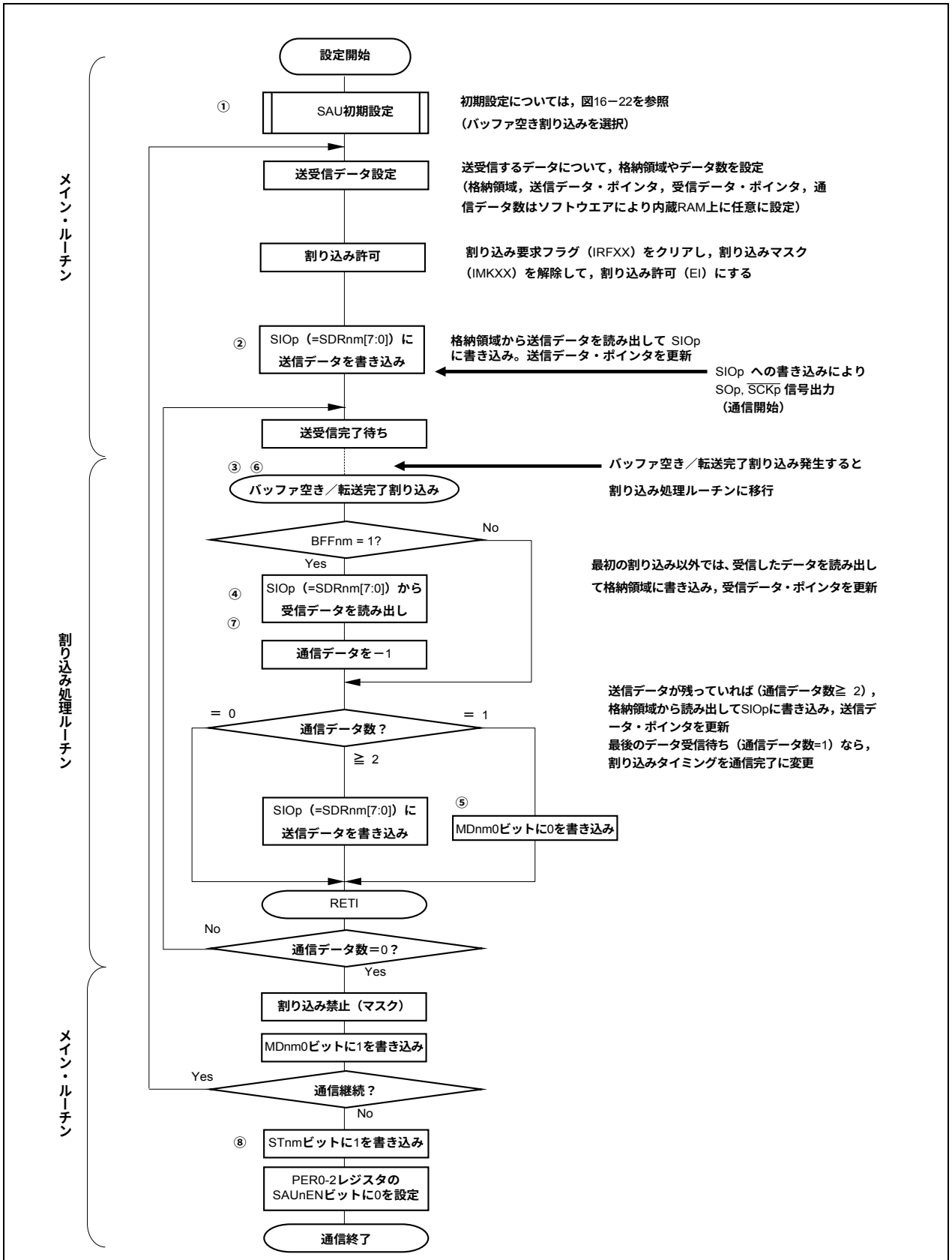
2. この期間にSAUnSDRmレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意 シリアル・モード・レジスタnm（SAUnSMRm）のMDnm0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は，図16－28 マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－28 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①~⑧は，図16－27 マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

16. 5. 4 スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，V850E2/Jx4-Lから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI02	CSI03	CSI11	CSI13	CSI21	CSI23	CSI40	CSI41	CSI50	CSI51
対象ユニット	SAU0				SAU1		SAU2		SAU4		SAU5	
対象チャネル	チャネル0	チャネル1	チャネル2	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル0	チャネル1	チャネル0	チャネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK02}}$, SO02	$\overline{\text{SCK03}}$, SO03	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK13}}$, SO13	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCK23}}$, SO23	$\overline{\text{SCK40}}$, SO40	$\overline{\text{SCK41}}$, SO41	$\overline{\text{SCK50}}$, SO50	$\overline{\text{SCK51}}$, SO51
割り込み	INTCSI00	INTCSI01	INTCSI02	INTCSI03	INTCSI11	INTCSI13	INTCSI21	INTCSI23	INTCSI40	INTCSI41	INTCSI50	INTCSI51
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能											
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFnm）のみ											
転送データ長	7ビットまたは8ビット											
転送レート	Max. f_{MCK}/6[Hz]注1, 2											
データ位相	SAUnSCRmレジスタのDAPnmビットにより選択可能 ・DAPnm = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPnm = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始											
クロック位相	SAUnSCRmレジスタのCKPnmビットにより選択可能 ・CKPnm = 0の場合：正転 ・CKPnm = 1の場合：反転											
データ方向	MSBファーストまたはLSBファースト											

注1. $\overline{\text{SCK00}}$-$\overline{\text{SCK03}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK13}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCK23}}$, $\overline{\text{SCK40}}$, $\overline{\text{SCK41}}$, $\overline{\text{SCK50}}$, $\overline{\text{SCK51}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

(1) レジスタ設定

図16－29 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）のスレーブ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタnm（SAUnSMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn	CKSnm	CCSnm						STSnm		SISnm0					MDnm1	MDnm0
SMRm	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルmの動作クロック（f_{MCK}）
0：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn0”
1：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn1”

チャネルmの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタnm（SAUnSCRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn	TXEnm	RXEnm	DAPnm	CKPnm		EOCnm	PTCnm1	PTCnm0	DIRnm		SLCnm1	SLCnm0			DLSnm1	DLSnm0
SCRm	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「16. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタnm（SAUnSDRm）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn	0000000 ボー・レート設定								送信データ設定							
SDRm								0								

初期設定開

(d) シリアル出力レジスタn（SAUnSO）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn					CKOn3	CKOn2	CKOn1	CKOn0					SOn3	SOn2	SOn1	SOn0
SO	0	0	0	0	×	×	×	×	0	0	0	0	0/1	0/1	0/1	0/1

(e) シリアル出力許可レジスタn（SAUnSOE）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn													SOEn3	SOEn2	SOEn1	SOEn0
SOE	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn													SSn3	SSn2	SSn1	SSn0
SS	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

2. □：CSIスレーブ送信モードでは設定固定 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－30 スレーブ送信の初期設定手順

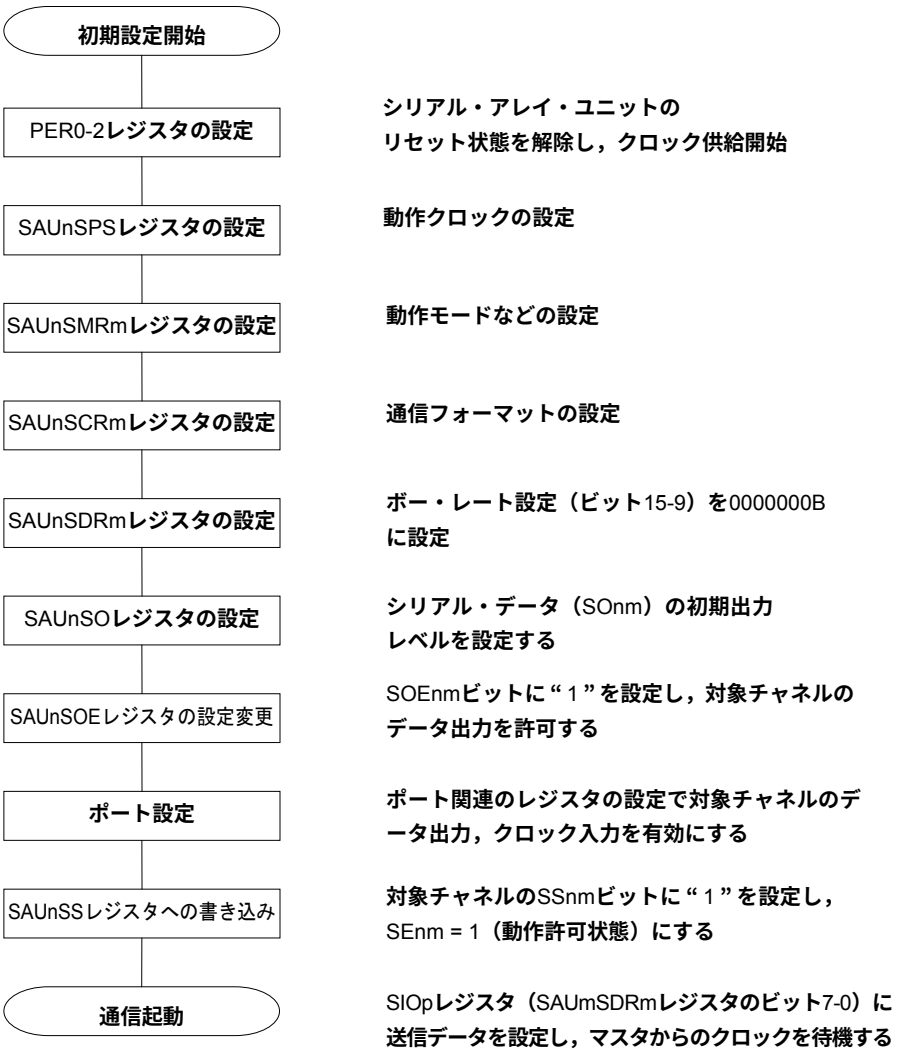
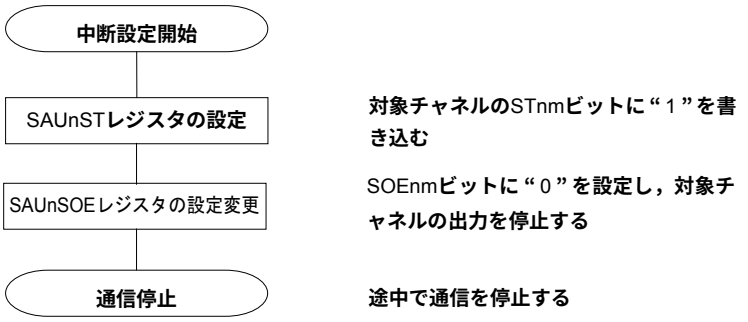
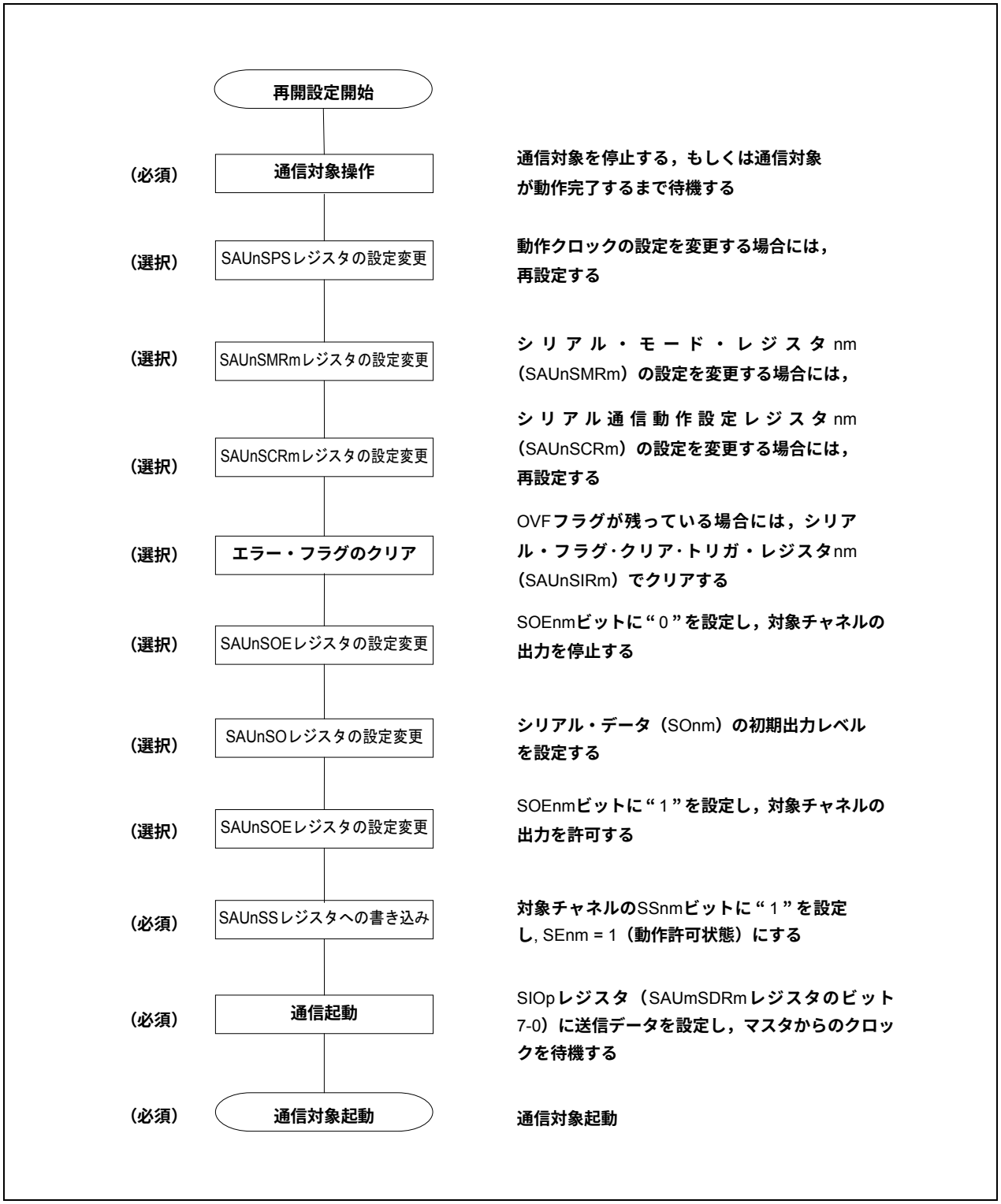


図16－31 スレーブ送信の中断手順



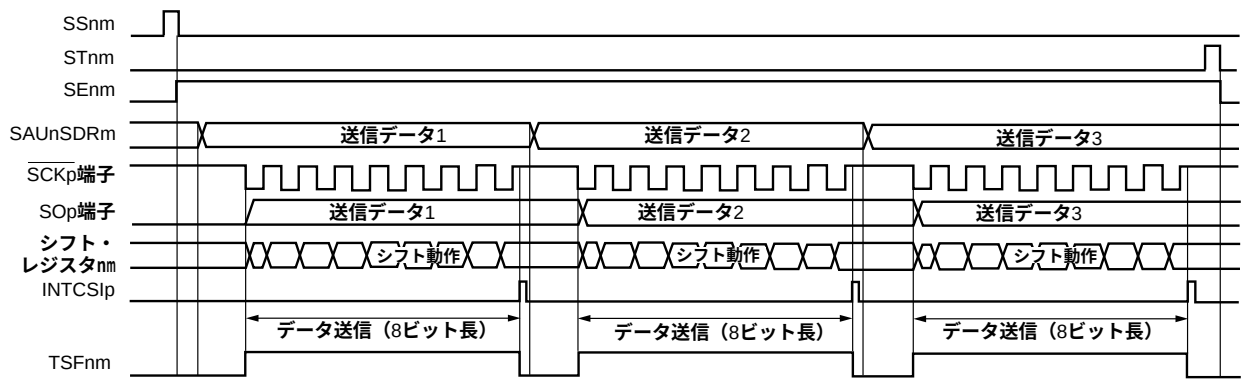
備考 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタn（SAUnSO）を再設定してください（図16－32 スレーブ送信の再開設定手順参照）。

図16－32 スレーブ送信の再開設定手順



（3）処理フロー（シングル送信モード時）

図16－33 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

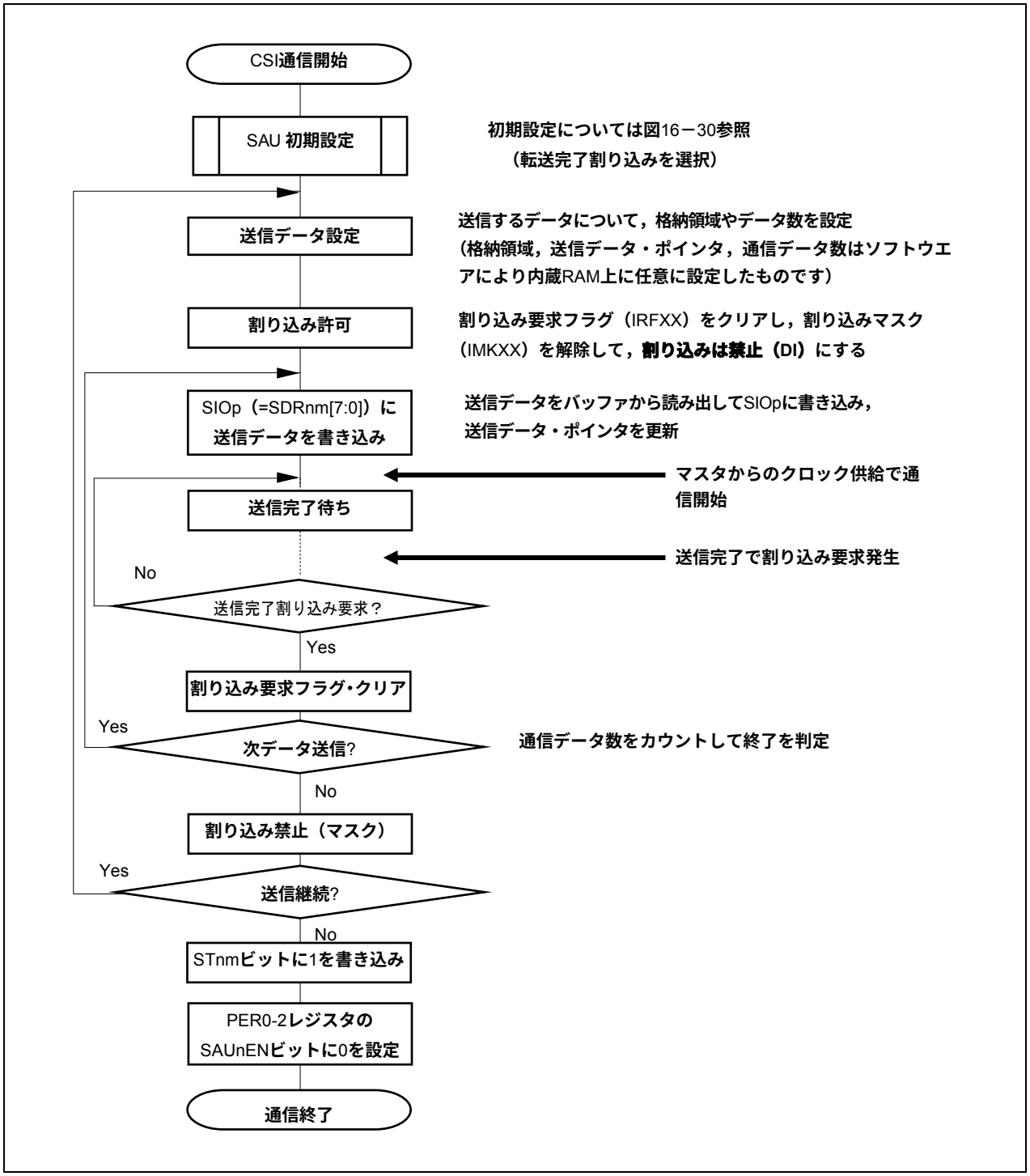


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

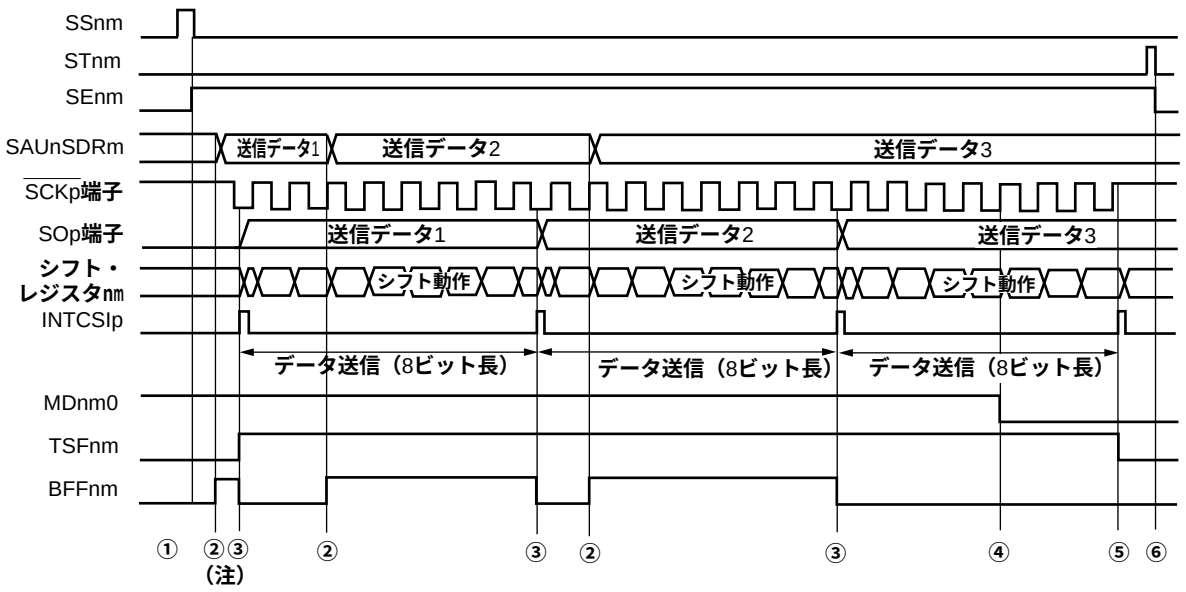
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－34 スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図16－35 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）



注 シリアル・ステータス・レジスタnm（SAUnSSRm）のBFFnmビットが“1”の期間（有効なデータがシリアル・データ・レジスタnm（SAUnSDRm）に格納されているとき）にSAUnSDRmレジスタに送信データを書き込むと，送信データが上書きされます。

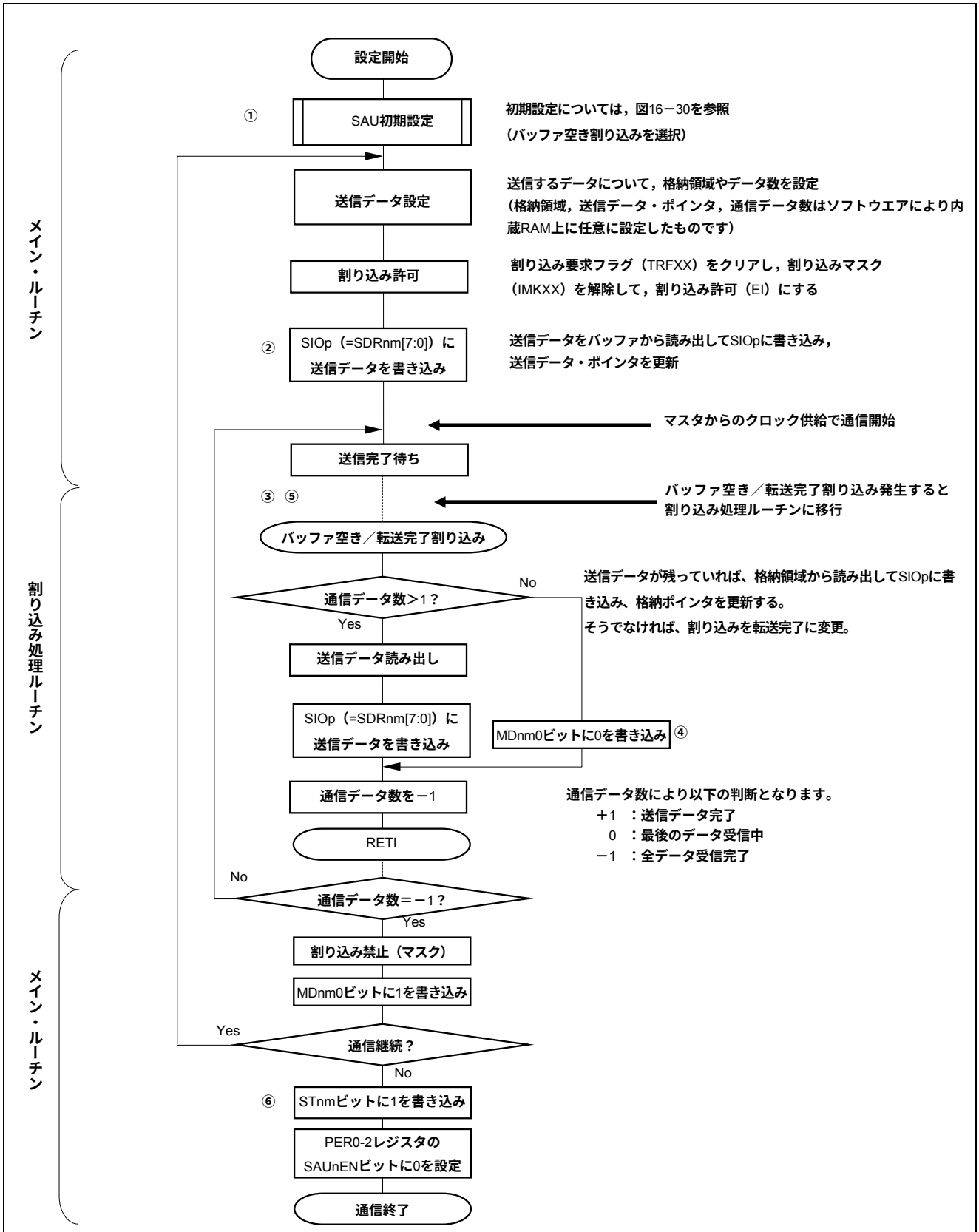
注意 シリアル・モード・レジスタnm（SAUnSMRm）のMDnm0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－36 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は，図16－35 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

16. 5. 5 スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，V850E2/Jx4-Lが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI02	CSI03	CSI11	CSI13	CSI21	CSI23	CSI40	CSI41	CSI50	CSI51
対象ユニット	SAU0				SAU1		SAU2		SAU4		SAU5	
対象チャネル	チャネル0	チャネル1	チャネル2	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル0	チャネル1	チャネル0	チャネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK02}}$, SO02	$\overline{\text{SCK03}}$, SO03	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK13}}$, SO13	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCK23}}$, SO23	$\overline{\text{SCK40}}$, SO40	$\overline{\text{SCK41}}$, SO41	$\overline{\text{SCK50}}$, SO50	$\overline{\text{SCK51}}$, SO51
割り込み	INTCSI00	INTCSI01	INTCSI02	INTCSI03	INTCSI11	INTCSI13	INTCSI21	INTCSI23	INTCSI40	INTCSI41	INTCSI50	INTCSI51
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能											
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFnm）のみ											
転送データ長	7ビットまたは8ビット											
転送レート	Max. f_{MCK}/6 [Hz]注1, 2											
データ位相	SAUnSCRmレジスタのDAPnmビットにより選択可能 ・DAPnm = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPnm = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始											
クロック位相	SAUnSCRmレジスタのCKPnmビットにより選択可能 ・CKPnm = 0の場合：正転 ・CKPnm = 1の場合：反転											
データ方向	MSBファーストまたはLSBファースト											

注1. $\overline{\text{SCK00}}$-$\overline{\text{SCK03}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK13}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCK23}}$, $\overline{\text{SCK40}}$, $\overline{\text{SCK41}}$, $\overline{\text{SCK50}}$, $\overline{\text{SCK51}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

(1) レジスタ設定

図16－37 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）のスレーブ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタnm（SAUnSMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SMRm	CKSnm 0/1	CCSnm 1	0	0	0	0	0	STSnm 0	0	SISnm0 0	1	0	0	0	MDnm1 0	MDnm0 0

チャネルmの動作クロック（f_{MCK}）
0：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn0”
1：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn1”

チャネルmの割り込み要因
0：転送完了割り込み

(b) シリアル通信動作設定レジスタnm（SAUnSCRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SCRm	TXEnm 0	RXEnm 1	DAPnm 0/1	CKPnm 0/1	0	EOCnm 0	PTCnm1 0	PTCnm0 0	DIRnm 0/1	0	SLCnm1 0	SLCnm0 0	0	1	DLSnm1 1	DLSnm0 0/1

データとクロックの位相選択
（設定内容詳細は「16. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタnm（SAUnSDRm）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	0000000 ボー・レート設定							0	受信データ							

SIOp

(d) シリアル出力レジスタn（SAUnSO）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 ×	CKOn2 ×	CKOn1 ×	CKOn0 ×	0	0	0	0	SOn3 ×	SOn2 ×	SOn1 ×	SOn0 ×

(e) シリアル出力許可レジスタn（SAUnSOE）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 ×	SOEn2 ×	SOEn1 ×	SOEn0 ×

(f) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3 0/1	SSn2 0/1	SSn1 0/1	SSn0 0/1

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

2. □：スレーブ受信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図16－38 スレーブ受信の初期設定手順

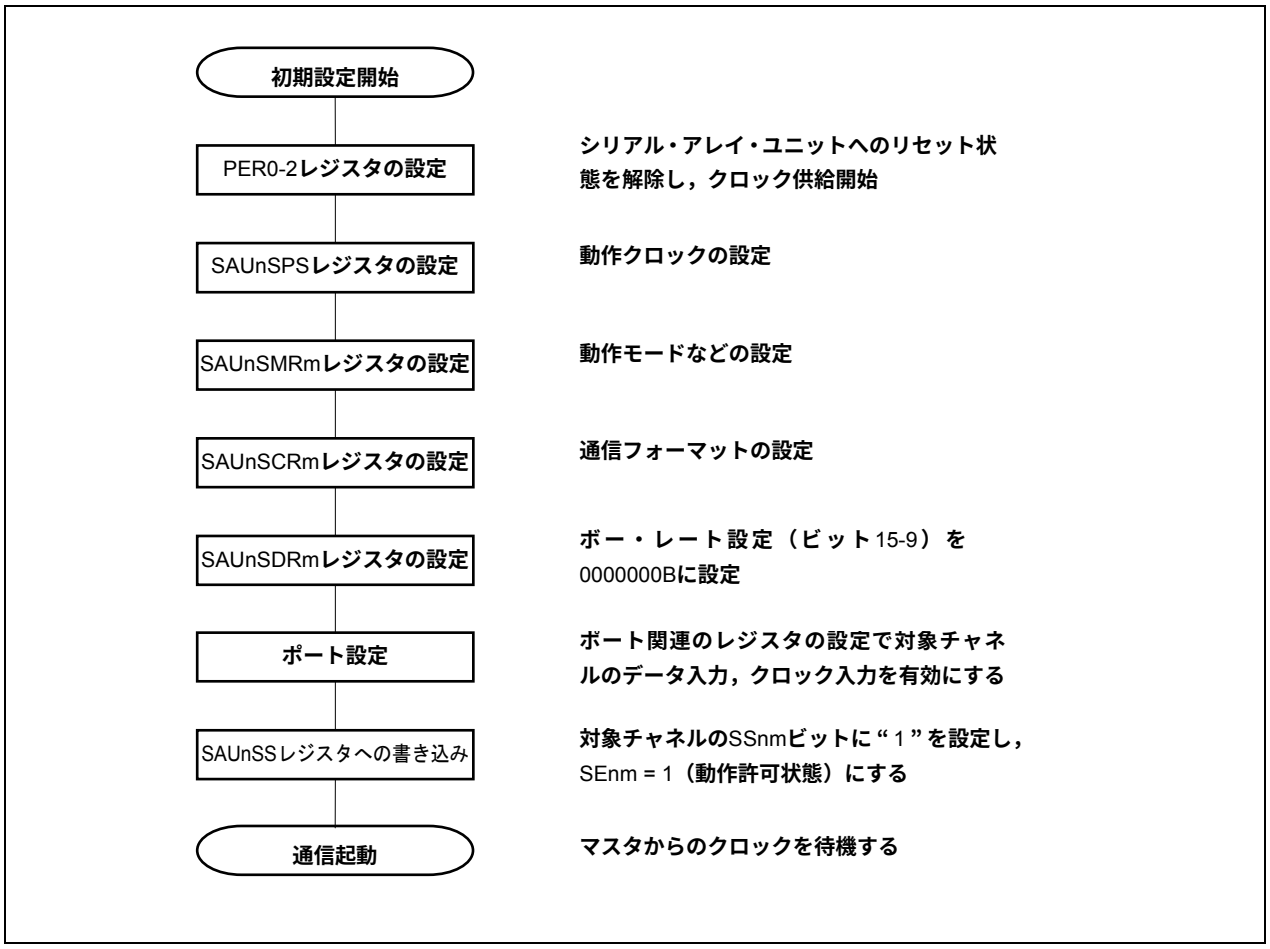


図16－39 スレーブ受信の中断手順

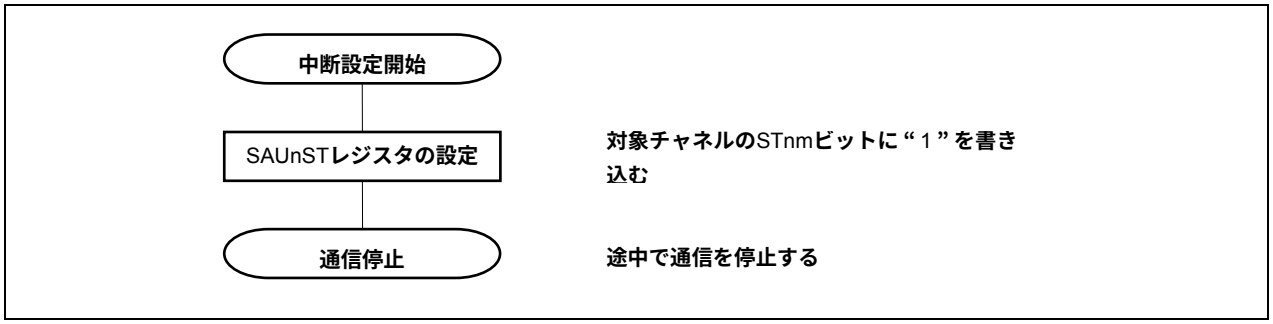
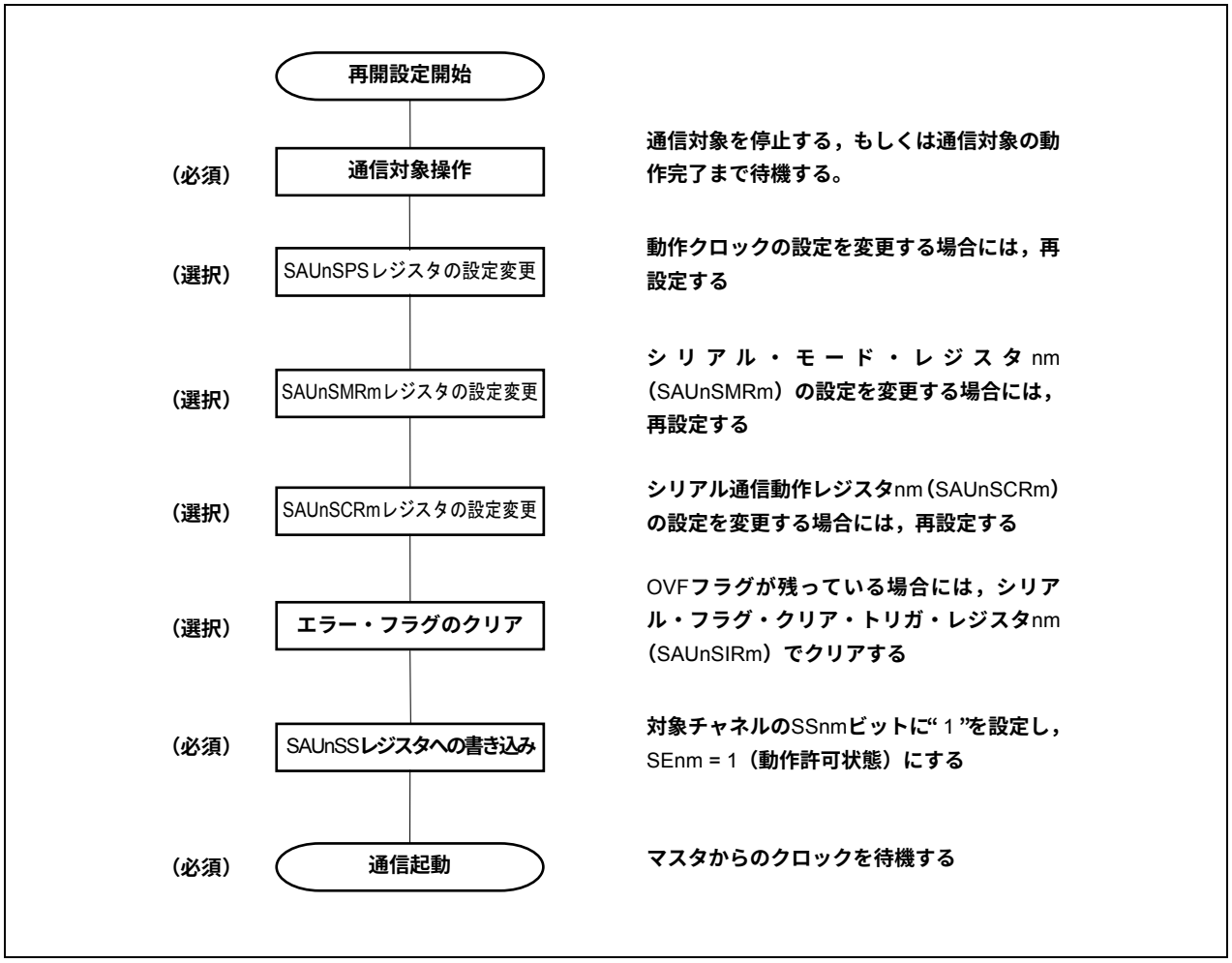
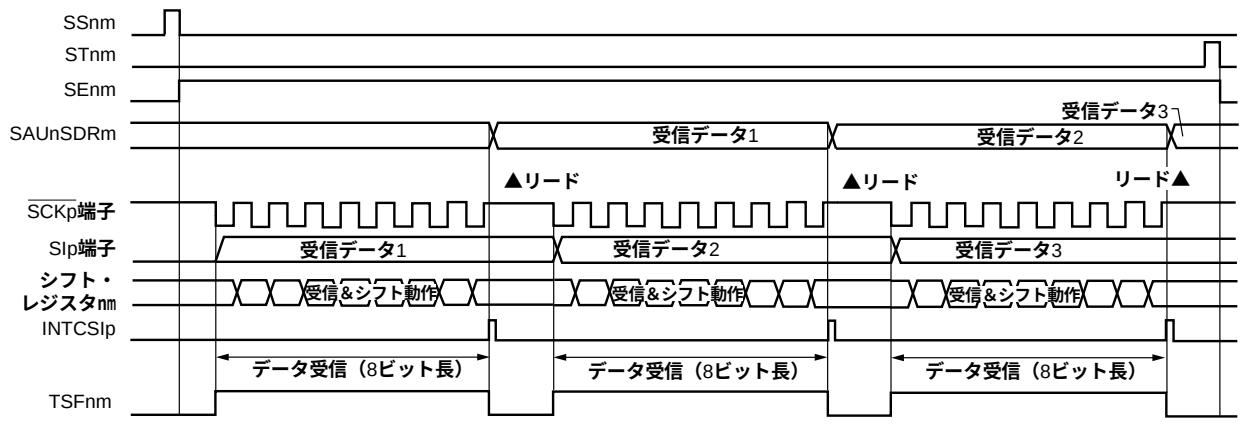


図16－40 スレーブ受信の再開設定手順



（3）処理フロー（シングル受信モード時）

図16－41 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

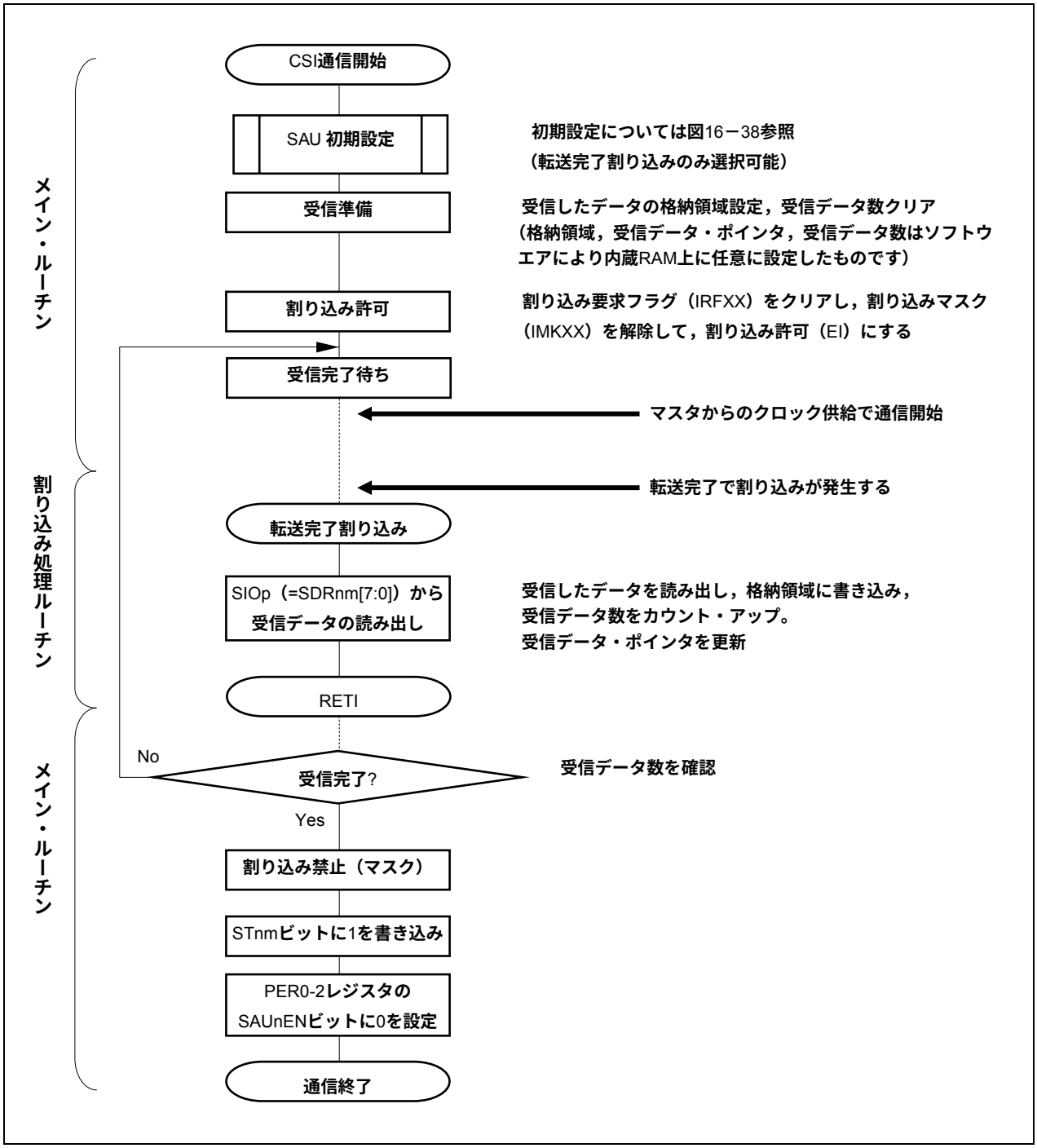


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－42 スレーブ受信（シングル受信モード時）のフロー・チャート



16. 5. 6 スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，V850E2/Jx4-Lと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI02	CSI03	CSI11	CSI13	CSI21	CSI23	CSI40	CSI41	CSI50	CSI51
対象ユニット	SAU0				SAU1		SAU2		SAU4		SAU5	
対象チャネル	チャネル0	チャネル1	チャネル2	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル0	チャネル1	チャネル0	チャネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK02}}$, SO02	$\overline{\text{SCK03}}$, SO03	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK13}}$, SO13	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCK23}}$, SO23	$\overline{\text{SCK40}}$, SO40	$\overline{\text{SCK41}}$, SO41	$\overline{\text{SCK50}}$, SO50	$\overline{\text{SCK51}}$, SO51
割り込み	INTCSI00	INTCSI01	INTCSI02	INTCSI03	INTCSI11	INTCSI13	INTCSI21	INTCSI23	INTCSI40	INTCSI41	INTCSI50	INTCSI51
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能											
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFnm）のみ											
転送データ長	7ビットまたは8ビット											
転送レート	Max. f_{MCK}/6 [Hz]注1, 2											
データ位相	SAUnSCRmレジスタのDAPnmビットにより選択可能 ・DAPnm = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPnm = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始											
クロック位相	SAUnSCRmレジスタのCKPnmビットにより選択可能 ・CKPnm = 0の場合：正転 ・CKPnm = 1の場合：反転											
データ方向	MSBファーストまたはLSBファースト											

注1. $\overline{\text{SCK00}}$-$\overline{\text{SCK03}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK13}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCK23}}$, $\overline{\text{SCK40}}$, $\overline{\text{SCK41}}$, $\overline{\text{SCK50}}$, $\overline{\text{SCK51}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

(1) レジスタ設定

図16－43 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）のスレーブ送受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタnm（SAUnSMRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SMRm	CKSnm 0/1	CCSnm 1	0	0	0	0	0	STSnm 0	0	SISnm0 0	1	0	0	0	MDnm1 0	MDnm0 0/1

チャネルmの動作クロック（f_{MCK}）
0：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn0”
1：SAUnSPSレジスタで設定したプリスケーラ出力クロック“CKn1”

チャネルmの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタnm（SAUnSCRm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SCRm	TXEnm 1	RXEnm 1	DAPnm 0/1	CKPnm 0/1	0	EOCnm 0	PTCnm1 0	PTCnm0 0	DIRnm 0/1	0	SLCnm1 0	SLCnm0 0	0	1	DLSnm1 1	DLSnm0 0/1

データとクロックの位相選択
（設定内容詳細は「16. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタnm（SAUnSDRm）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm	0000000 ボー・レート設定							0	送信データ設定／受信データ・レジスタ							

SIOp

(d) シリアル出力レジスタn（SAUnSO）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 ×	CKOn2 ×	CKOn1 ×	CKOn0 ×	0	0	0	0	SOn3 0/1	SOn2 0/1	SOn1 0/1	SOn0 0/1

(e) シリアル出力許可レジスタn（SAUnSOE）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 0/1	SOEn2 0/1	SOEn1 0/1	SOEn0 0/1

(f) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3 0/1	SSn2 0/1	SSn1 0/1	SSn0 0/1

注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

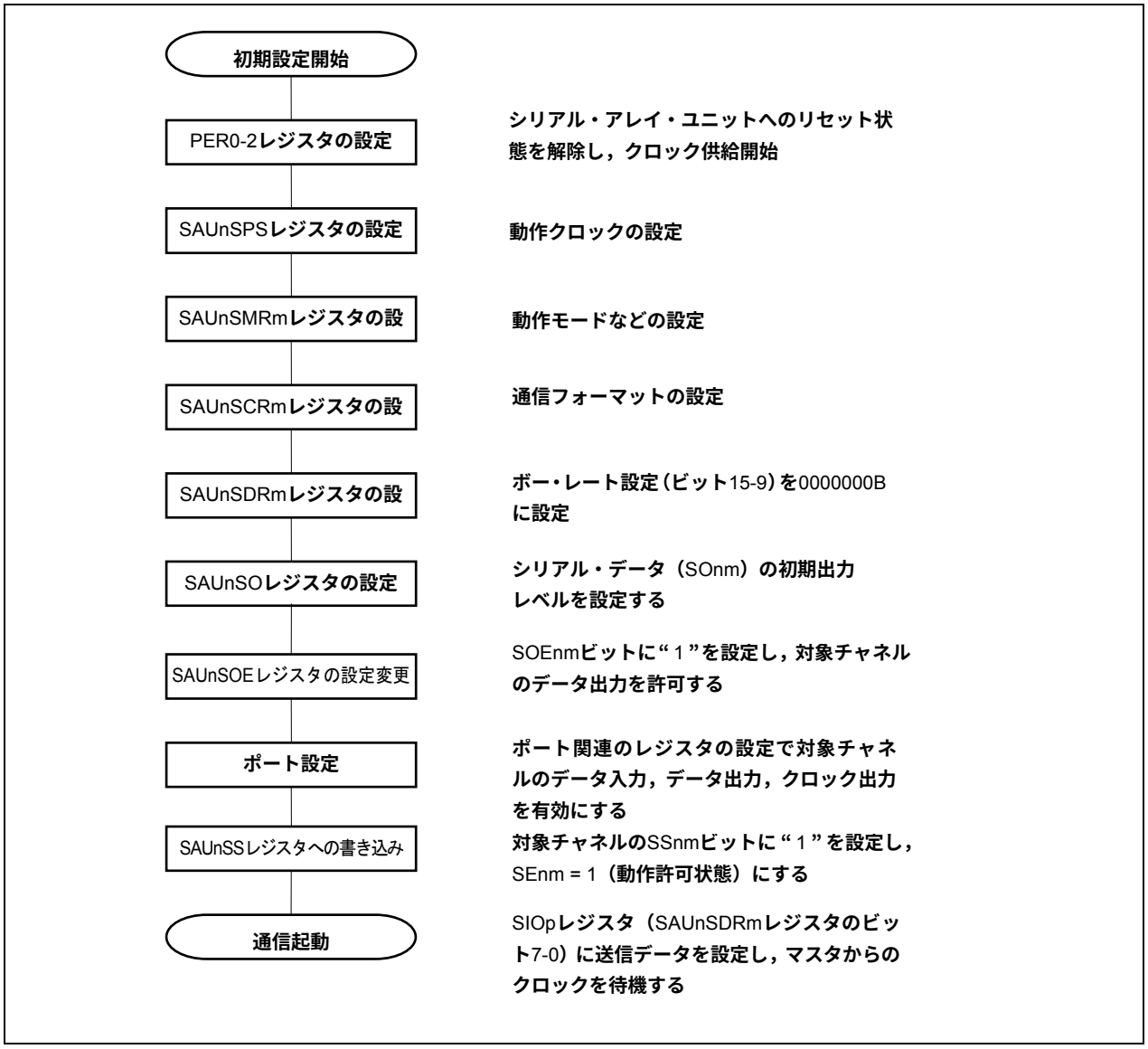
2. □：CSIスレーブ送受信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－44 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図16－45 スレーブ送受信の中断手順

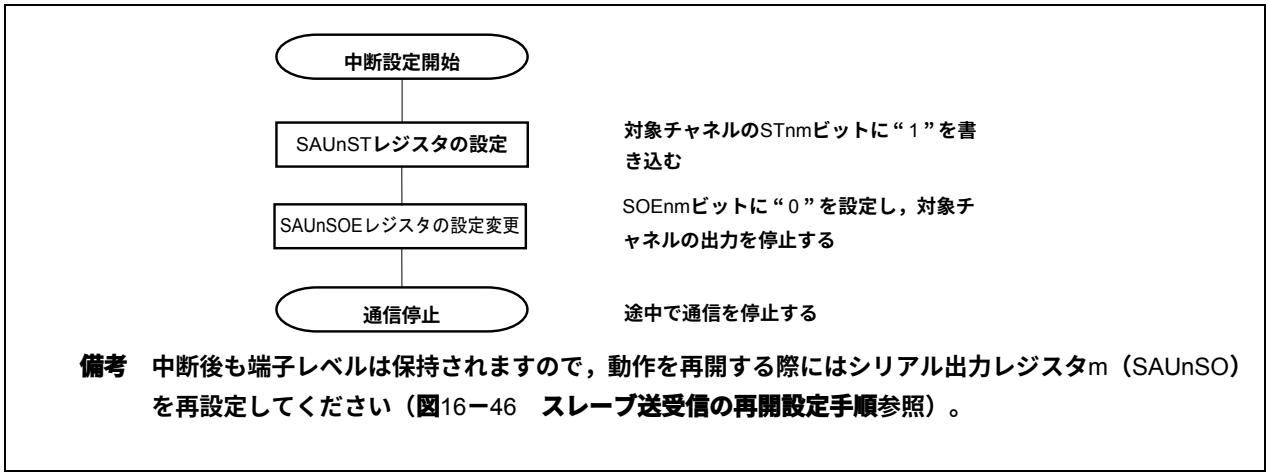
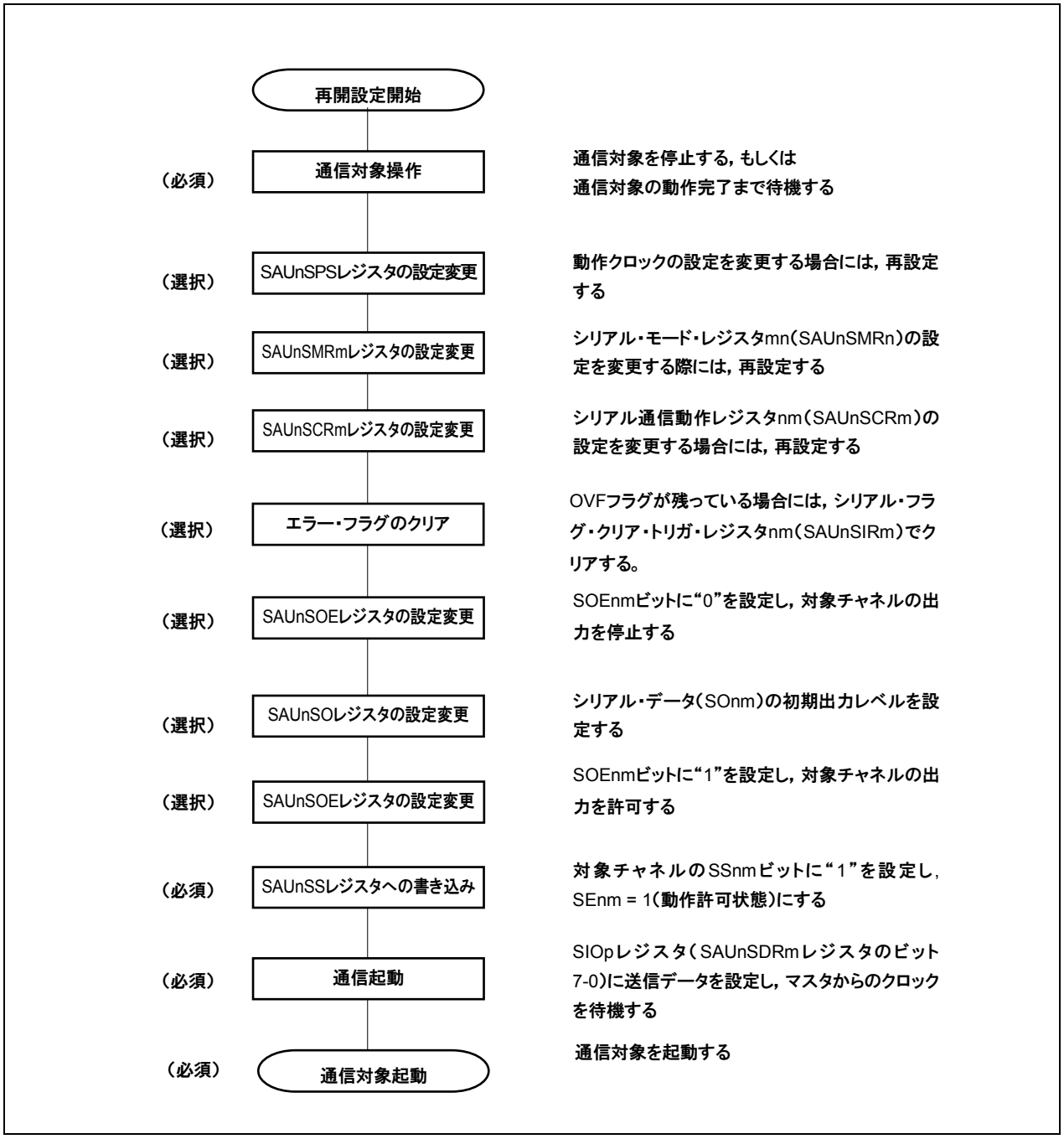
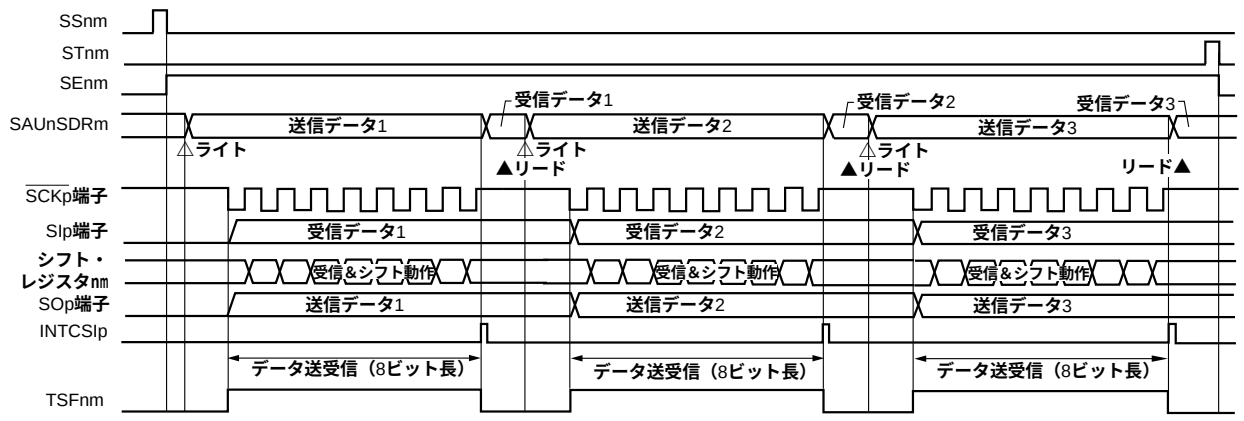


図16－46 スレーブ送受信の再開設定手順



（3）処理フロー（シングル送受信モード時）

図16－47 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）

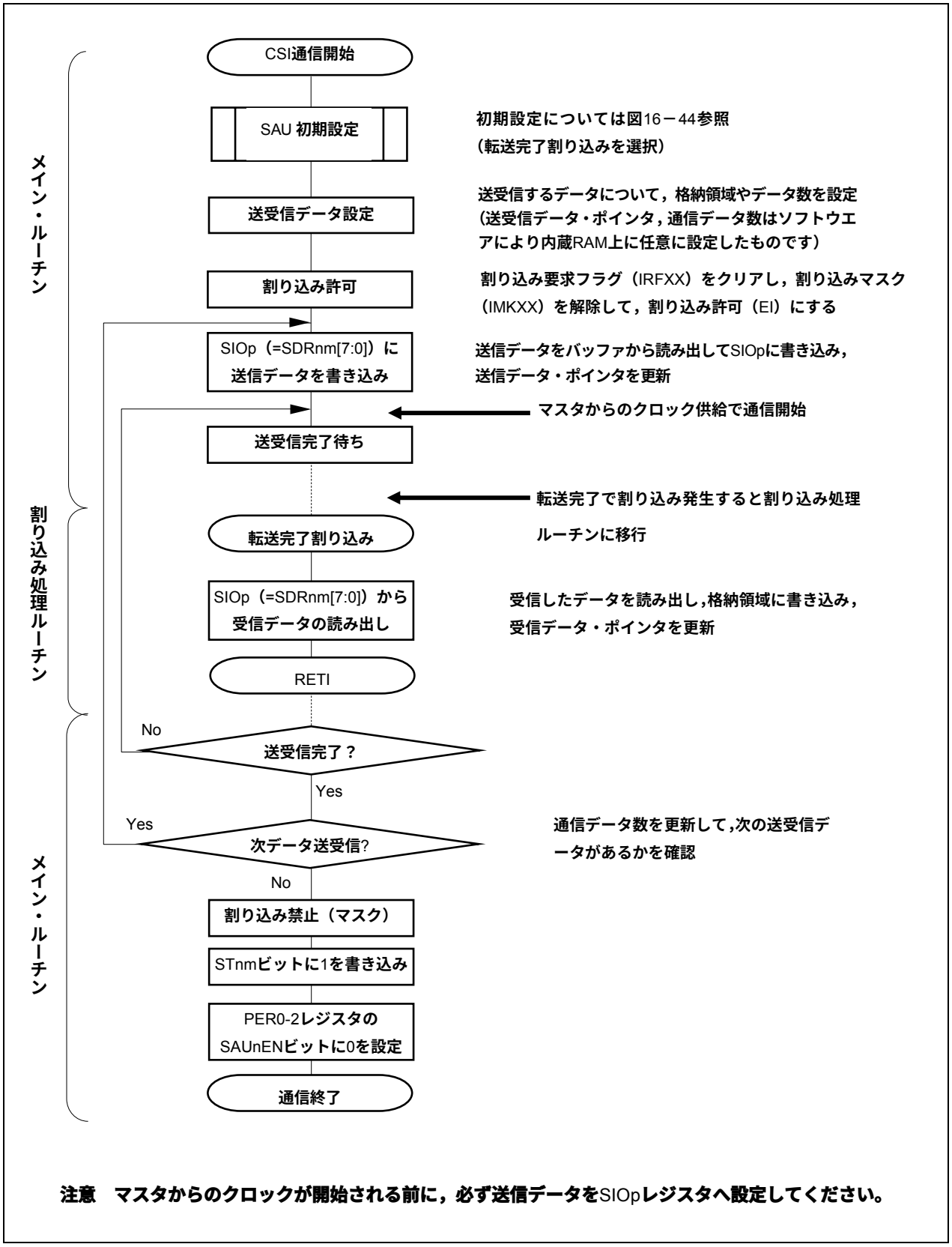


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）

p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）

nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

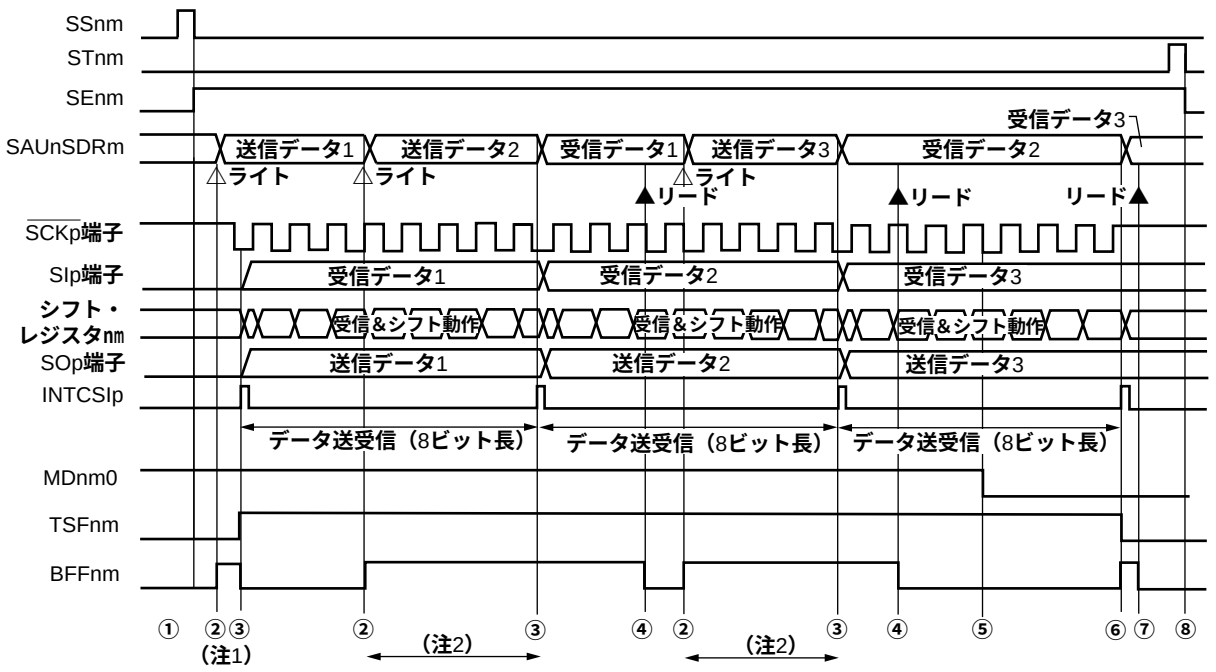
図16－48 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

（4）処理フロー（連続送受信モード時）

図16－49 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）



注1. シリアル・ステータス・レジスタnm（SAUnSSRm）のBFFnmビットが“1”の期間（有効なデータがシリアル・データ・レジスタnm（SAUnSDRm）に格納されている時）にSAUnSDRmレジスタに送信データを書き込むと，送信データが上書きされます。

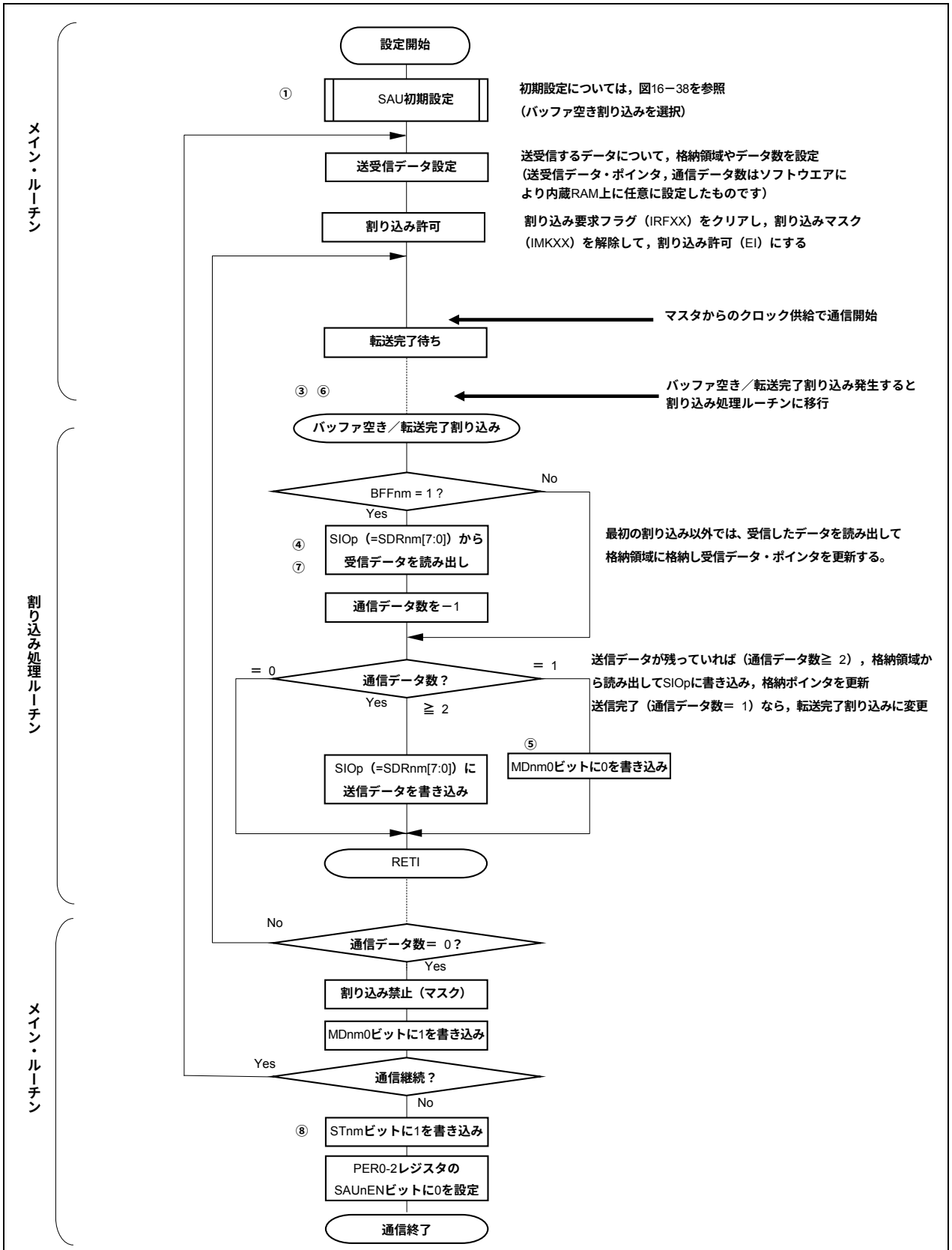
2. この期間にSAUnSDRmレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意 シリアル・モード・レジスタnm（SAUnSMRm）のMDnm0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は，図16－50 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）
p：CSI番号（p = 00-03, 11, 13, 21, 23, 40, 41, 50, 51）
nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

図16－50 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①~⑧は，図16－49 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

16. 5. 7 SNOOZEモード機能

SNOOZEモードとは，STOPモード状態でSCKp端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

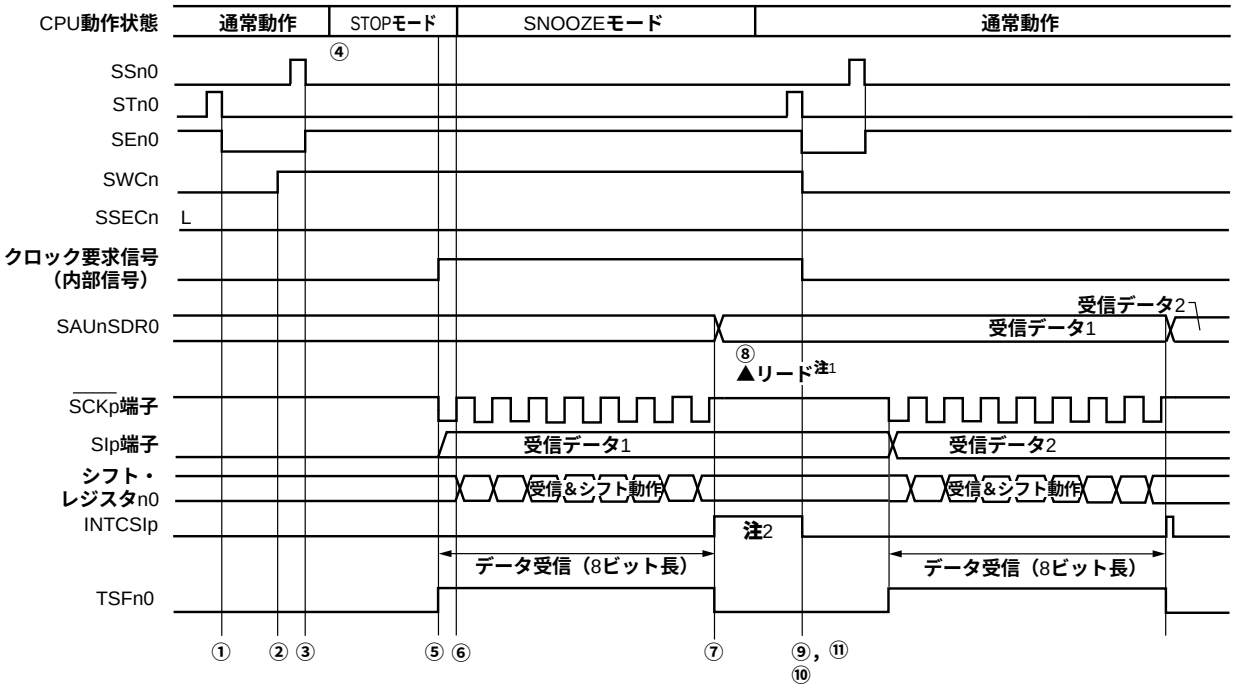
SNOOZEモード機能を使用する場合は，STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタm（SAUnSSC）のSWCnビットを1に設定しておきます。

注意1. SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図16－51 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）



注1. 受信データの読み出しは，SWCn = 1の状態，次のSCKp端子のエッジ検出前に行ってください。

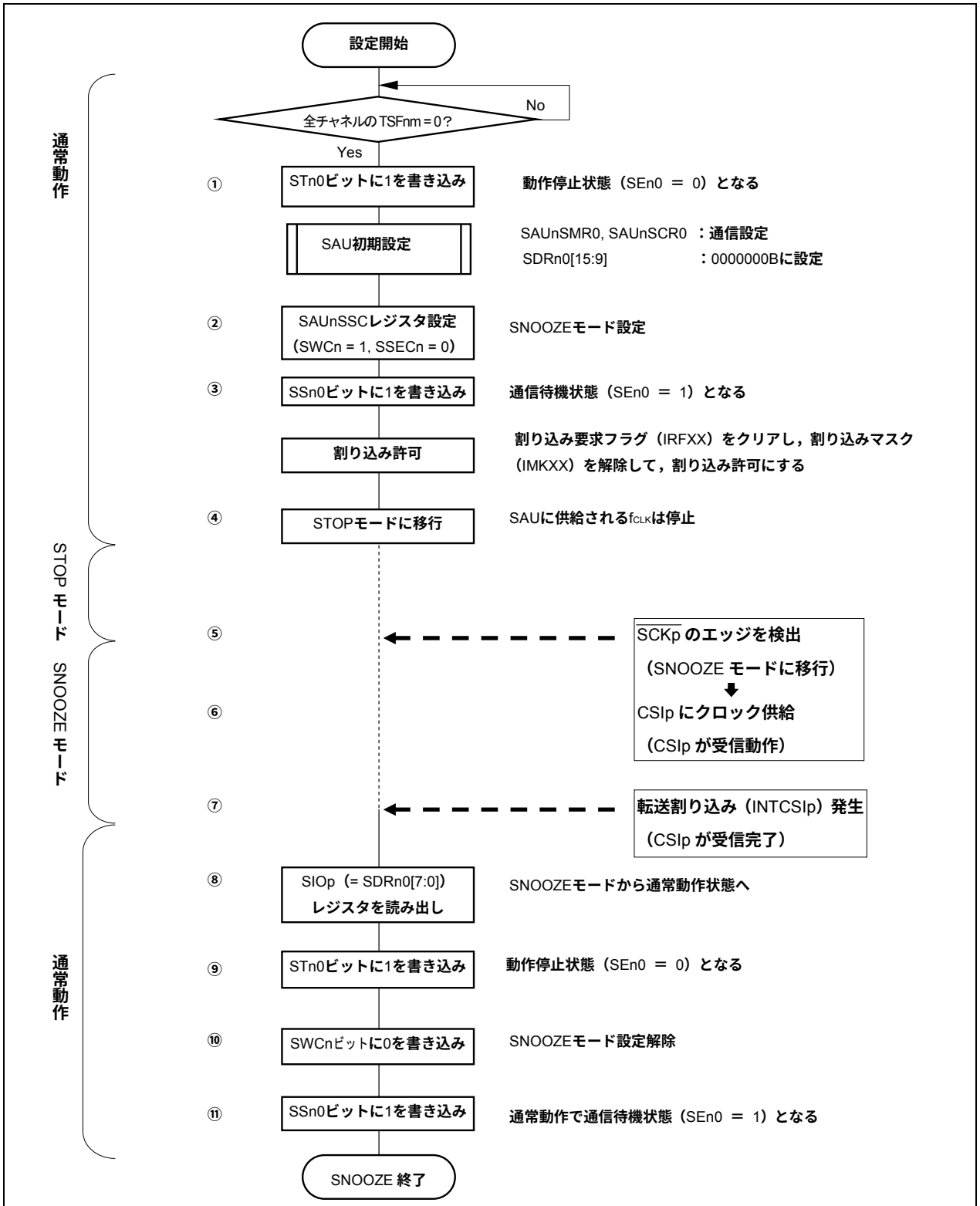
2. 転送完了割り込み（INTCSIp）は，SWCn = 0に設定するか，次のSCKp端子のエッジ検出でクリアされます。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTn0ビットを1に設定しSEm0ビットをクリア（動作停止）させてください。

備考1. 図中の①~⑪は，図16－52 SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪に対応しています。

2. n = 0; p = 00

図16－52 SNOOZEモード動作（1回起動）時のフロー・チャート

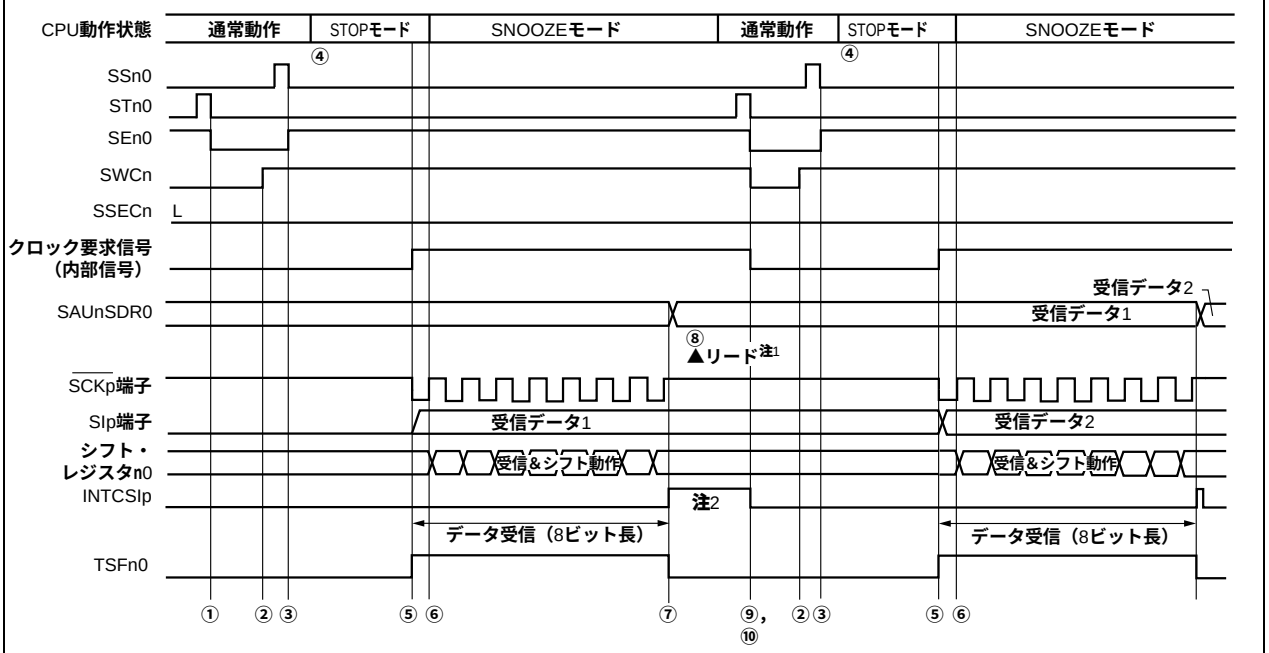


備考1. 図中の①~⑪は，図16－51 SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2. n = 0; p = 00

（2）SNOOZEモード動作（連続起動）

図16－53 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPnm =0, CKPnm = 0）



注1. 受信データの読み出しは，SWCn = 1の状態，次の$\overline{\text{SCKp}}$端子のエッジ検出前に行ってください。

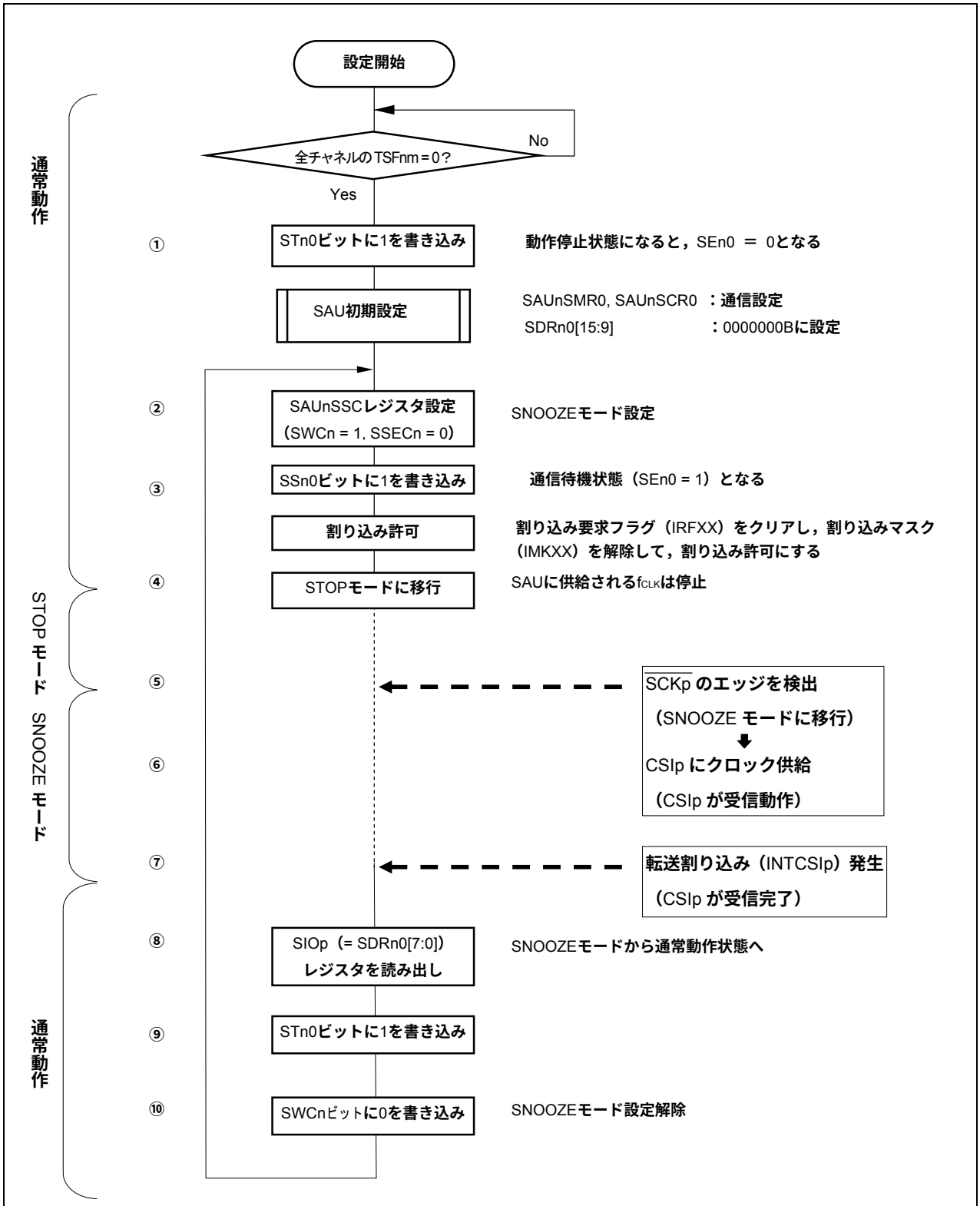
2. 転送完了割り込み（INTCSIp）は，SWCn = 0に設定するか，次の$\overline{\text{SCKp}}$端子のエッジ検出でクリアされます。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTn0ビットを1に設定しSEn0ビットをクリア（動作停止）させてください。

備考1. 図中の①~⑩は，図16－54 SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。

2. n = 0; p = 00

図16－54 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①~⑩は，図16－53 SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

16. 5. 8 通信クロック周波数の算出

3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信での通信クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

（通信クロック周波数） = {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRnm[15:9]＋1）÷ 2 [Hz]

(2) スレーブの場合

（通信クロック周波数） = {マスタが供給するシリアル・クロック（$\overline{SCK}$）周波数}注 [Hz]

注 ただし，許容最大通信クロック周波数はf_{MCK}/6となります。

備考 SDRnm[15:9]は，シリアル・データ・レジスタnm（SAUnSDRm）のビット15-9の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタn（SAUnSPS）とシリアル・モード・レジスタnm（SAUnSMRm）のビット15（CKSnm）で決まります。

表16－2 3線シリアルI/O動作クロックの選択

SAUn SMRm レジスタ	SAUnSPSレジスタ								動作クロック（f_{MCK}）注	
CKSnm	PRS n13	PRS n12	PRS n11	PRS n10	PRS n03	PRS n02	PRS n01	PRS n00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタn（SAUnST） = 000FH）させてから変更してください。

備考1. X：Don't care

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3）, nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

16. 5. 9 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信時におけるエラー発生時の処理手順

3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信時にエラーが発生した場合の処理手順を図16－55に示します。

図16－55 オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタnm（SAUnSDRm）をリードする	→SAUnSSRmレジスタのBFFnmビットが“0”となり，チャネルmは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタnm（SAUnSSRm）をリードする		エラーの種類の判別を行い，リード値は エラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタnm（SAUnSIRm）に“1”をライトする	→エラー・フラグがクリアされる	SAUnSSRmレジスタのリード値をそのままSAUnSIRmレジスタに書き込むことで，読み出し時のエラーのみを クリアできる

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），nm = 00-03, 11, 13, 21, 23, 40, 41, 50, 51

16. 6 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信の動作

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニット2と組み合わせてLIN-busにも対応可能です。

[データ送受信]
- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]
- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]
- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRXD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，以下のUARTのみ設定可能です。
- UART00, UART10, UART20

UART00（ユニット0のチャネル0, 1），UART01（ユニット0のチャネル2, 3），UART10（ユニット1のチャネル0, 1），UART11（ユニット1のチャネル2, 3），UART20（ユニット2のチャネル0, 1），UART40（ユニット4のチャネル0, 1），UART50（ユニット5のチャネル0, 1）は，LIN-busに対応しています。

[LIN-bus機能]
- ウエイクアップ信号検出
- シンク・ブレーク・フィールド（SBF）検出
- シンク・フィールド測定，ボー・レート算出

} タイマ・アレイ・ユニット2を使用

注1. 9ビット・データ長は，以下のUARTのみ対応しています。
- UART00, UART10, UART20

UART00では，SAU0のチャネル0, 1を使用します。
UART01では，SAU0のチャネル2, 3を使用します。
UART10では，SAU1のチャネル0, 1を使用します。
UART11では，SAU1のチャネル2, 3を使用します。
UART20では，SAU2のチャネル0, 1を使用します。
UART21では，SAU2のチャネル2, 3を使用します。
UART40では，SAU4のチャネル0, 1を使用します。
UART50では，SAU5のチャネル0, 1を使用します。

ユニット	チャネル	CSIとして使用	UARTとして使用	V850E2/JC4-L (40ピン)		V850E2/JC4-L (48ピン)		V850E2/JE4-L (64ピン)		V850E2/JF4-L (80ピン)		V850E2/JG4-L (100ピン)		V850E2/JH4-L (128ピン)		V850E2/JJ4-L (144ピン)	
				CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART
0	0	CSI00	UART00 (LIN-bus対応)	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI01		–		–		–		–		○		○		○	
	2	CSI02	UART01 (LIN-bus対応)	–	–	○	○	○	○	○	○	○	○	○	○	○	○
	3	CSI03		–		–		–		–		–		○		○	
1	0	–	UART10 (LIN-bus対応)	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	1	CSI11		–		–		–		–		○		○		○	
	2	–	UART11 (LIN-bus対応)	–	–	–	–	–	–	–	○	–	○	–	○	–	○
	3	CSI13		–		–		–		–		–		○		○	
2	0	–	UART20 (LIN-bus対応)	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	1	CSI21		–		–		–		–		–		○		○	
	2	–	UART21	–	–	–	–	–	–	–	–	–	○	–	○	–	○
	3	CSI23		–		–		–		–		–		○		○	
4	0	CSI40	UART40 (LIN-bus対応)	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI41		–		–		–		–		○		○		○	
5	0	CSI50	UART50 (LIN-bus対応)	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSI51		–		–		–		○		○		○		○	
合計				3	3	4	4	4	4	5	5	8	8	12	8	12	8

注意 UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらのチャネルもUARTとしてしか使用することはできません。

UARTの通信動作は，以下の4種類があります。

- UART送信（16. 6. 1項を参照）
- UART受信（16. 6. 2項を参照）
- LIN送信
  （UART00, UART01, UART10, UART11, UART20, UART40, UART50のみ）（16. 7. 1項を参照）
- LIN受信
  （UART00, UART01, UART10, UART11, UART20, UART40, UART50のみ）（16. 7. 2項を参照）

16. 6. 1 UART送信

UART送信は，V850E2/Jx4-Lから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART	UART00	UART01	UART10	UART11	UART20	UART21	UART40	UART50
対象ユニット	SAU0		SAU1		SAU2		SAU4	SAU5
対象チャネル	チャネル0	チャネル2	チャネル0	チャネル2	チャネル0	チャネル2	チャネル0	チャネル0
使用端子	TXD00	TXD01	TXD10	TXD11	TXD20	TXD21	TXD40	TXD50
割り込み	INTST00	INTST01	INTST10	INTST11	INTST20	INTST21	INTST40	INTST50
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	なし							
転送データ長	7ビットまたは8ビットまたは9ビット注							
転送レート	Max. f_{CLK}/6 [bps]（SDRnm[15:9] = 2以上），Min. f_{CLK}/（2×2^{11}×128）[bps]							
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）							
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加							
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加							
データ方向	MSBファーストまたはLSBファースト							

注 9ビット・データ長は，以下のUARTのみ対応しています。

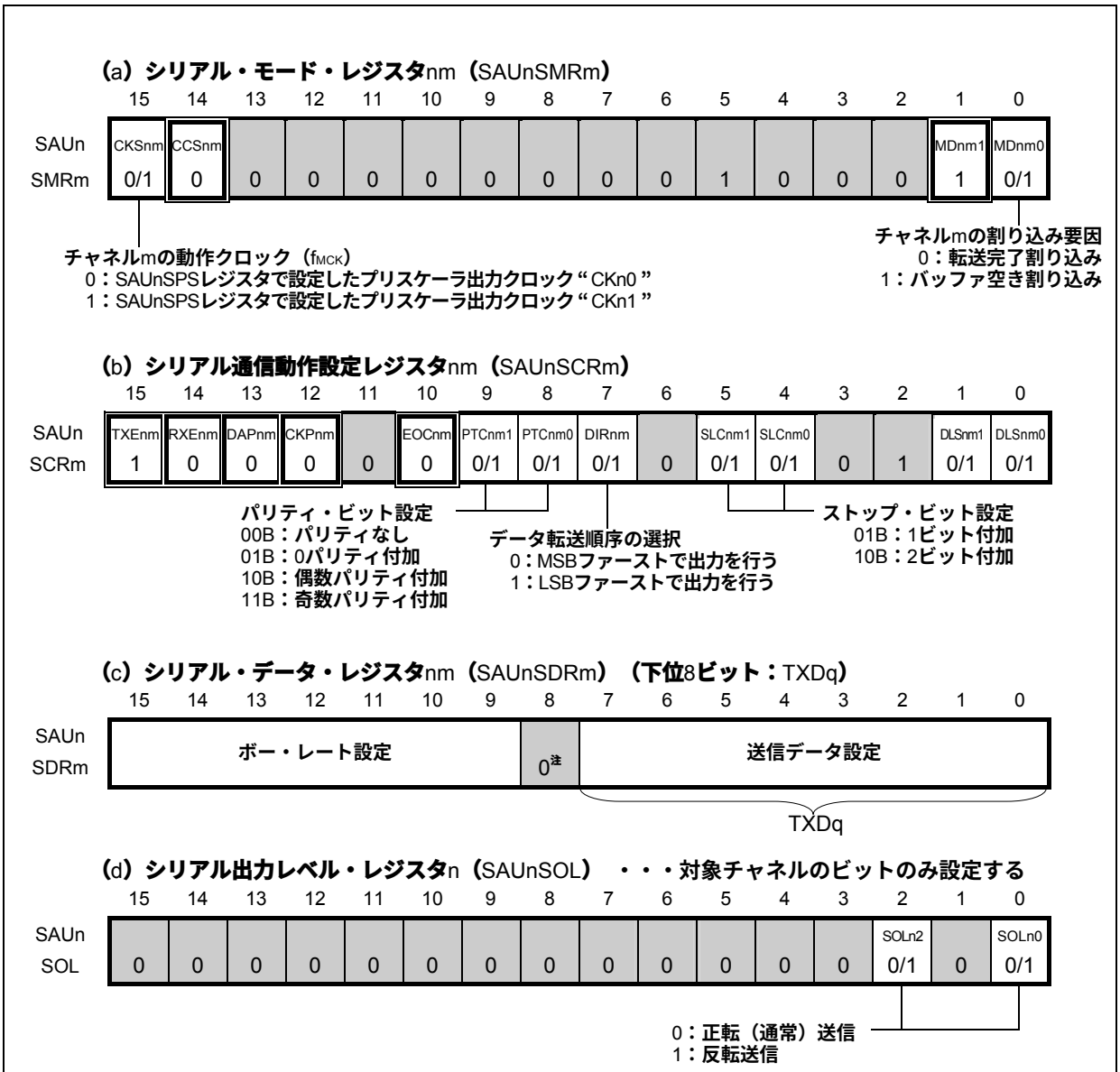
- UART00, UART10, UART20

備考1. f_{CLK}：CPU／周辺クロック周波数

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2），nm = 00, 02, 10, 12, 20, 22, 40, 50

（1）レジスタ設定

図16－56 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）の UART送信時のレジスタ設定内容例（1/2）



注 9ビット・データ長での通信を行う場合は，SAUnSDR0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，以下のUARTのみです。

- UART00, UART10, UART20

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2）

q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50），

nm = 00, 02, 10, 12, 20, 22, 40, 50

2. □：UART送信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図16－56 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）の UART送信時のレジスタ設定内容例（2/2）

(e) シリアル出力レジスタn（SAUnSO） ・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SO	0	0	0	0	CKOn3 ×	CKOn2 ×	CKOn1 ×	CKOn0 ×	0	0	0	0	SOn3 ×	SOn2 0/1注	SOn1 ×	SOn0 0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタn（SAUnSOE） ・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SOE	0	0	0	0	0	0	0	0	0	0	0	0	SOEn3 ×	SOEn2 0/1	SOEn1 ×	SOEn0 0/1

(g) シリアル・チャネル開始レジスタn（SAUnSS） ・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SS	0	0	0	0	0	0	0	0	0	0	0	0	SSn3 ×	SSn2 0/1	SSn1 ×	SSn0 0/1

注 該当するチャネルのSOLnmビットに0を設定している場合は“1”に，SOLnmビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2）
q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50），
nm = 00, 02, 10, 12, 20, 22, 40, 50

2. □：UART送信モードでは設定固定 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図16－57 UART送信の初期設定手順

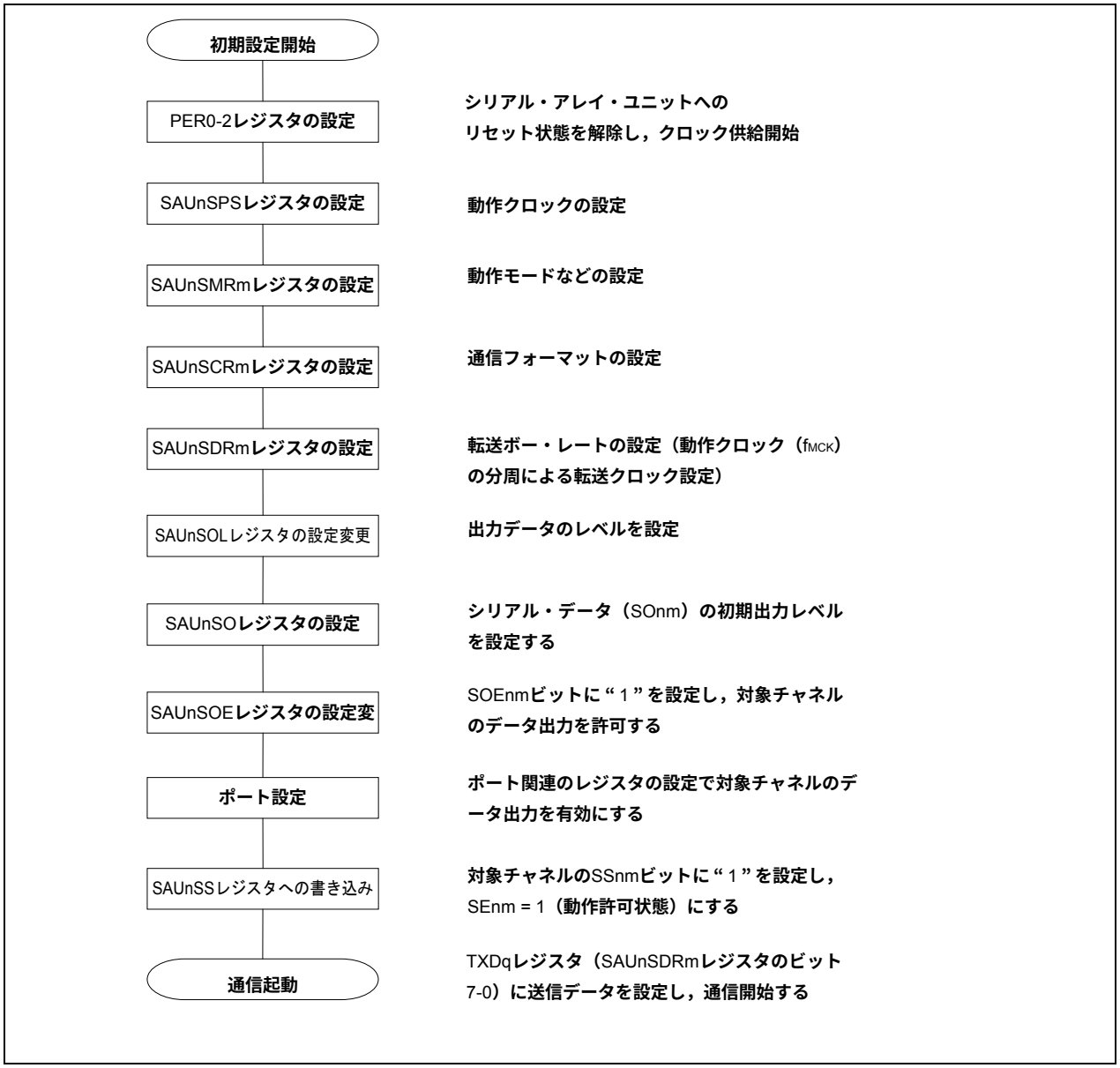
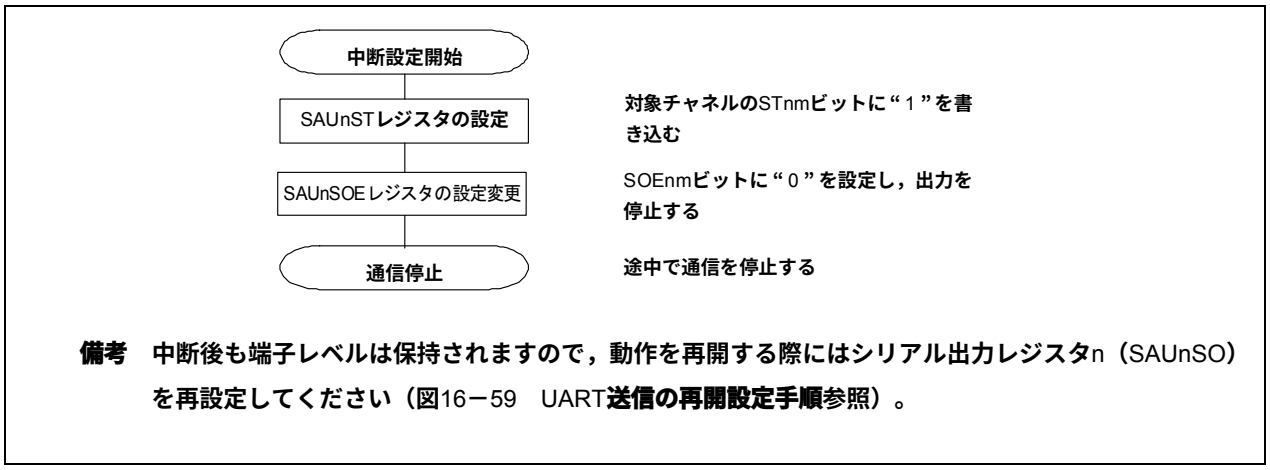
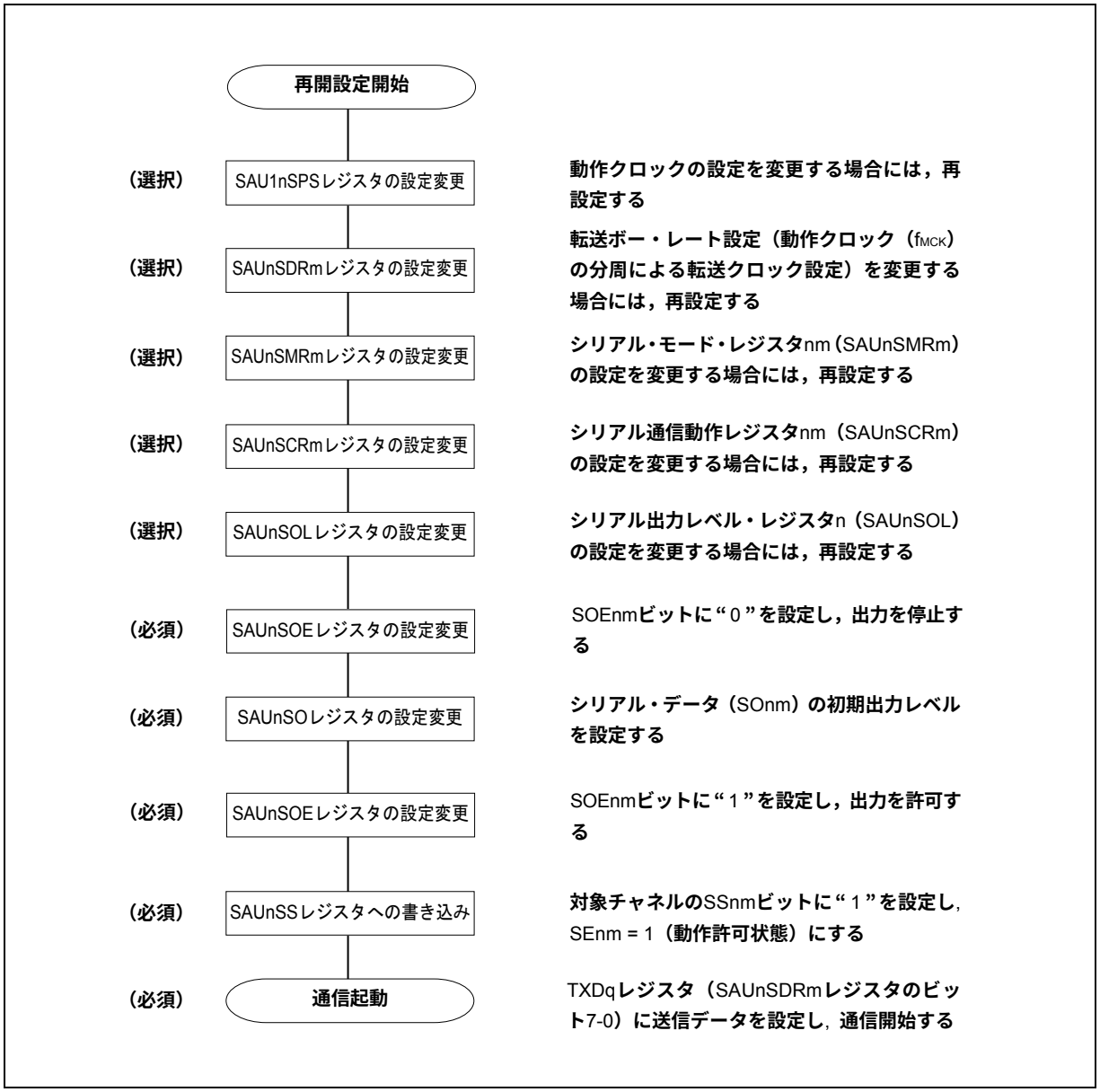


図16－58 UART送信の中断手順



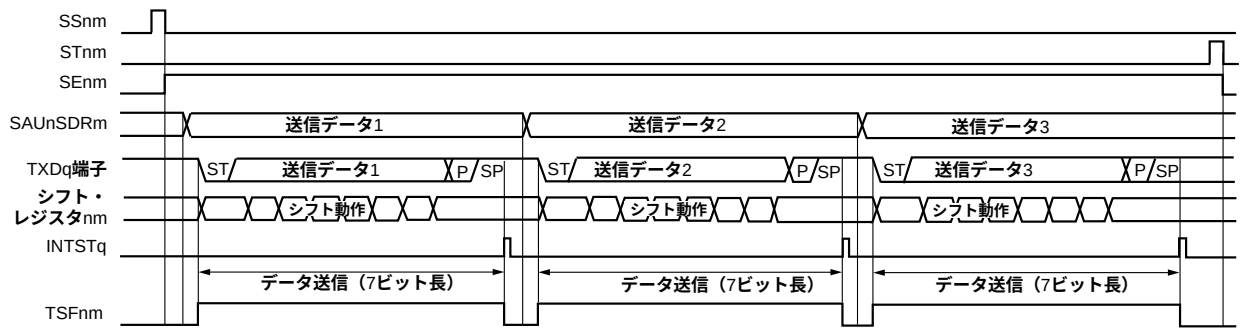
備考 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタn（SAUnSO）を再設定してください（図16－59 UART送信の再開設定手順参照）。

図16－59 UART送信の再開設定手順



（3）処理フロー（シングル送信モード時）

図16－60 UART送信（シングル送信モード時）のタイミング・チャート

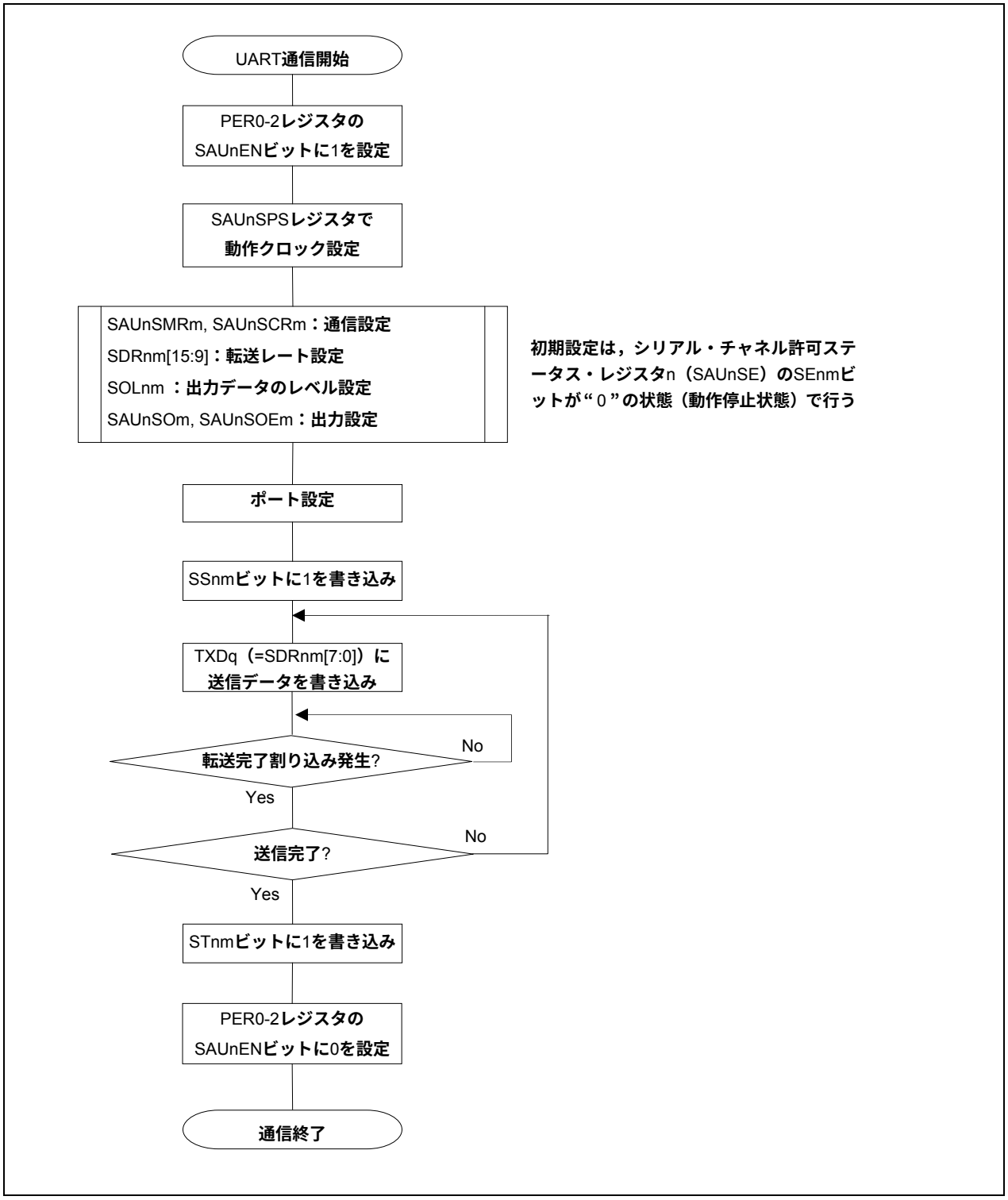


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2）

q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50），

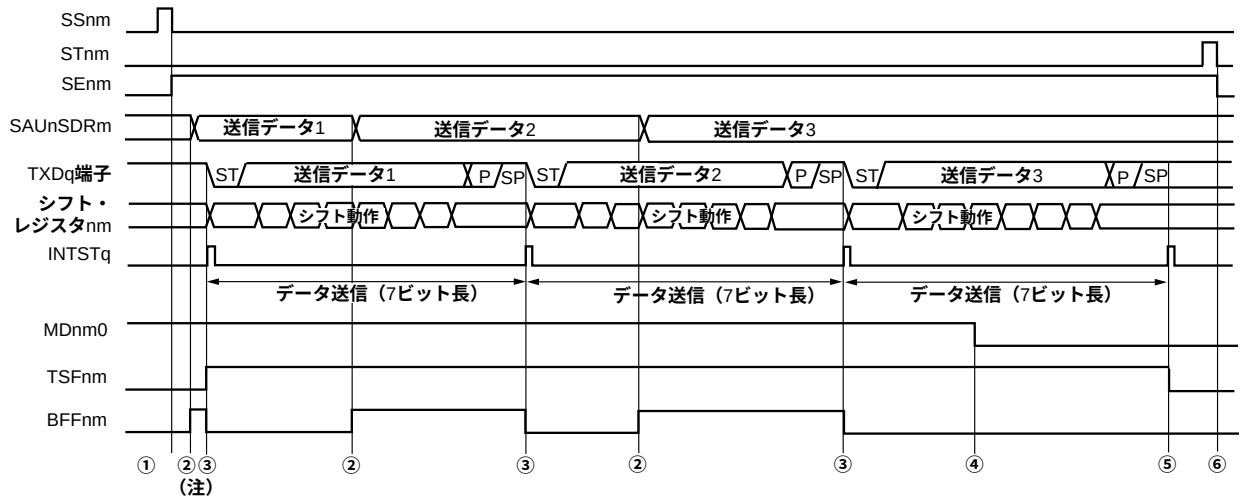
nm = 00, 02, 10, 12, 20, 22, 40, 50

図16－61 UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図16－62 UART送信（連続送信モード時）のタイミング・チャート

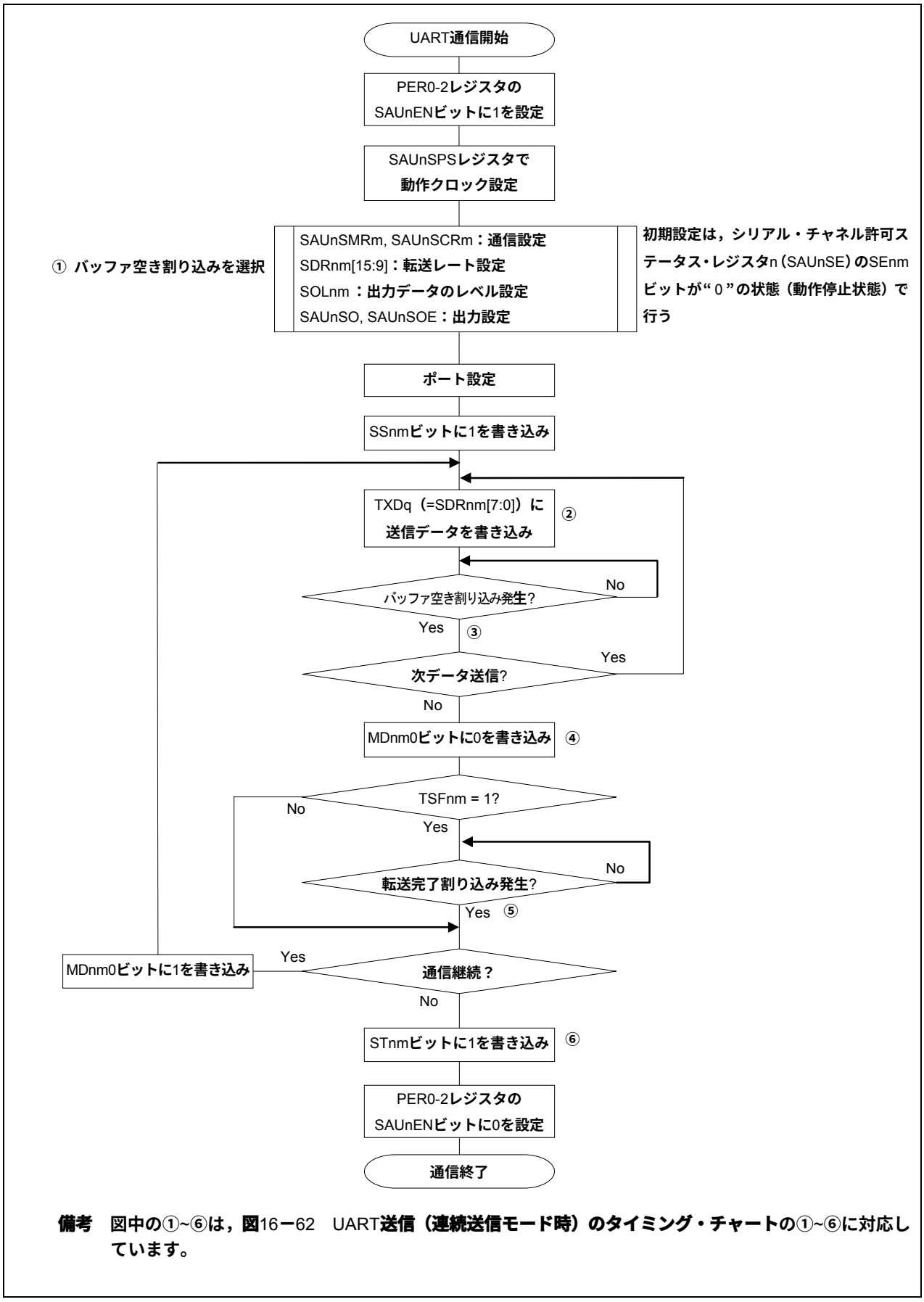


注 シリアル・ステータス・レジスタnm（SAUnSSRm）のBFFnmビットが“1”の期間（有効なデータがシリアル・データ・レジスタnm（SAUnSDRm）に格納されているとき）にSAUnSDRmレジスタに送信データを書き込むと，送信データが上書きされます。

注意 シリアル・モード・レジスタnm（SAUnSMRm）のMDnm0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2）
q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50），
nm = 00, 02, 10, 12, 20, 22, 40, 50

図16－63 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は，図16－62 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

16. 6. 2 UART受信

UART受信は，他デバイスからV850E2/Jx4-Lが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SAUnSMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART00	UART01	UART10	UART11	UART20	UART21	UART40	UART50
対象ユニット	SAU0		SAU1		SAU2		SAU4	SAU5
対象チャネル	チャネル1	チャネル3	チャネル1	チャネル3	チャネル1	チャネル3	チャネル1	チャネル1
使用端子	RXD00	RXD01	RXD10	RXD11	RXD20	RXD21	RXD40	RXD50
割り込み	INTSR00	INTSR01	INTSR10	INTSR11	INTSR20	INTSR21	INTSR40	INTSR50
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）							
エラー割り込み	INTSRE00	INTSRE01	INTSRE10	INTSRE11	INTSRE20	INTSRE21	INTSRE40	INTSRE50
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFnm） ・パリティ・エラー検出フラグ（PEFnm） ・オーバラン・エラー検出フラグ（OVFnm）							
転送データ長	7ビットまたは8ビットまたは9ビット注1							
転送レート	Max. f_{CLK}/6 [bps]（SDRnm[15:9] = 2以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注2							
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）							
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・0パリティ・ビット付加（パリティ・チェックなし） ・偶数パリティ・チェック ・奇数パリティ・チェック							
ストップ・ビット	1ビット付加							
データ方向	MSBファーストまたはLSBファースト							

注1. 9ビット・データ長は，以下のUARTのみ対応しています。

・UART00, UART10, UART20のみ

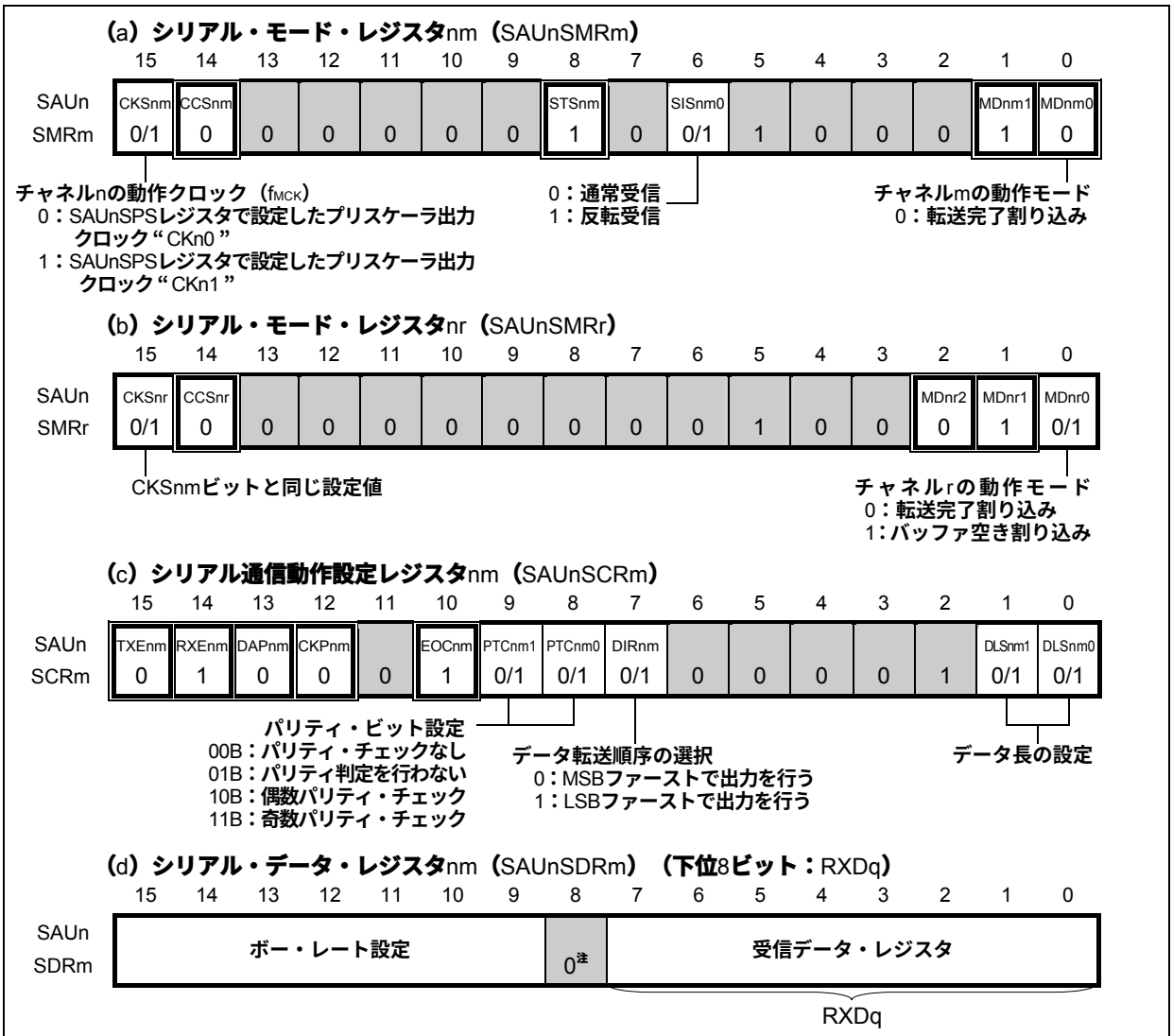
2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考1. f_{CLK}：CPU／周辺クロック周波数

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 1, 3），nm = 01, 03, 11, 13, 21, 23, 41, 51

(1) レジスタ設定

図16ー64 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）の UART受信時のレジスタ設定内容例（1/2）



注 9ビット・データ長での通信を行う場合は，SAUnSDR1レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，以下のUARTのみです。

- UART00, UART10, UART20

注意 UART受信時は，チャネルmとペアになるチャネルrのSAUnSMRrレジスタも必ずUART送信モードに設定してください。

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 1, 3），

nm = 01, 03, 11, 13, 21, 23, 41, 51

r：チャネル番号（r = m－1） q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50）

2. □：UART受信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図16－64 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）の UART受信時のレジスタ設定内容例（2/2）

(e) シリアル出力レジスタn（SAUnSO）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn					CKOn3	CKOn2	CKOn1	CKOn0					SOn3	SOn2	SOn1	SOn0
SO	0	0	0	0	×	×	×	×	0	0	0	0	×	×	×	×

(f) シリアル出力許可レジスタn（SAUnSOE）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn													SOEn3	SOEn2	SOEn1	SOEn0
SOE	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

(g) シリアル・チャネル開始レジスタn（SAUnSS）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn													SSn3	SSn2	SSn1	SSn0
SS	0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	×

注意 UART受信時は，チャネルmとペアになるチャネルrのSAUnSMRrレジスタも必ずUART送信モードに設定してください。

備考1. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 1, 3），

nm = 01, 03, 11, 13, 21, 23, 41, 51

r：チャネル番号（r = m－1） q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50）

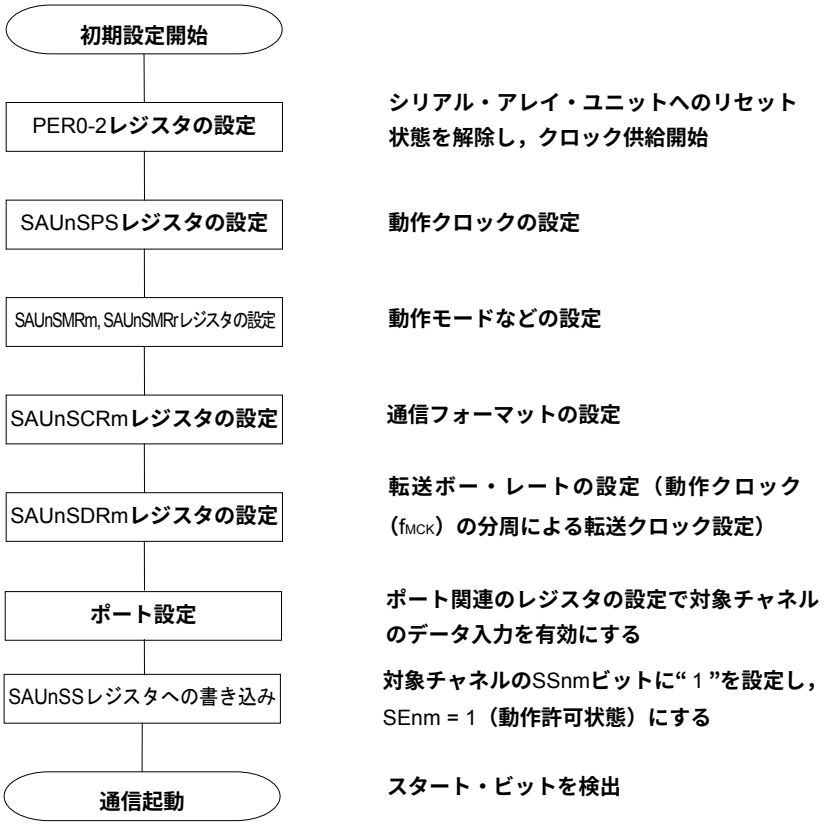
2. □：UART受信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図16－65 UART受信の初期設定手順



注意 SAUnSCRmレジスタのRXEnmビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSSnm = 1を設定してください。

図16－66 UART受信の中断手順

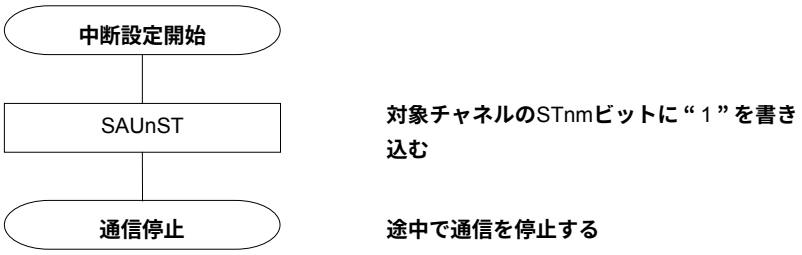
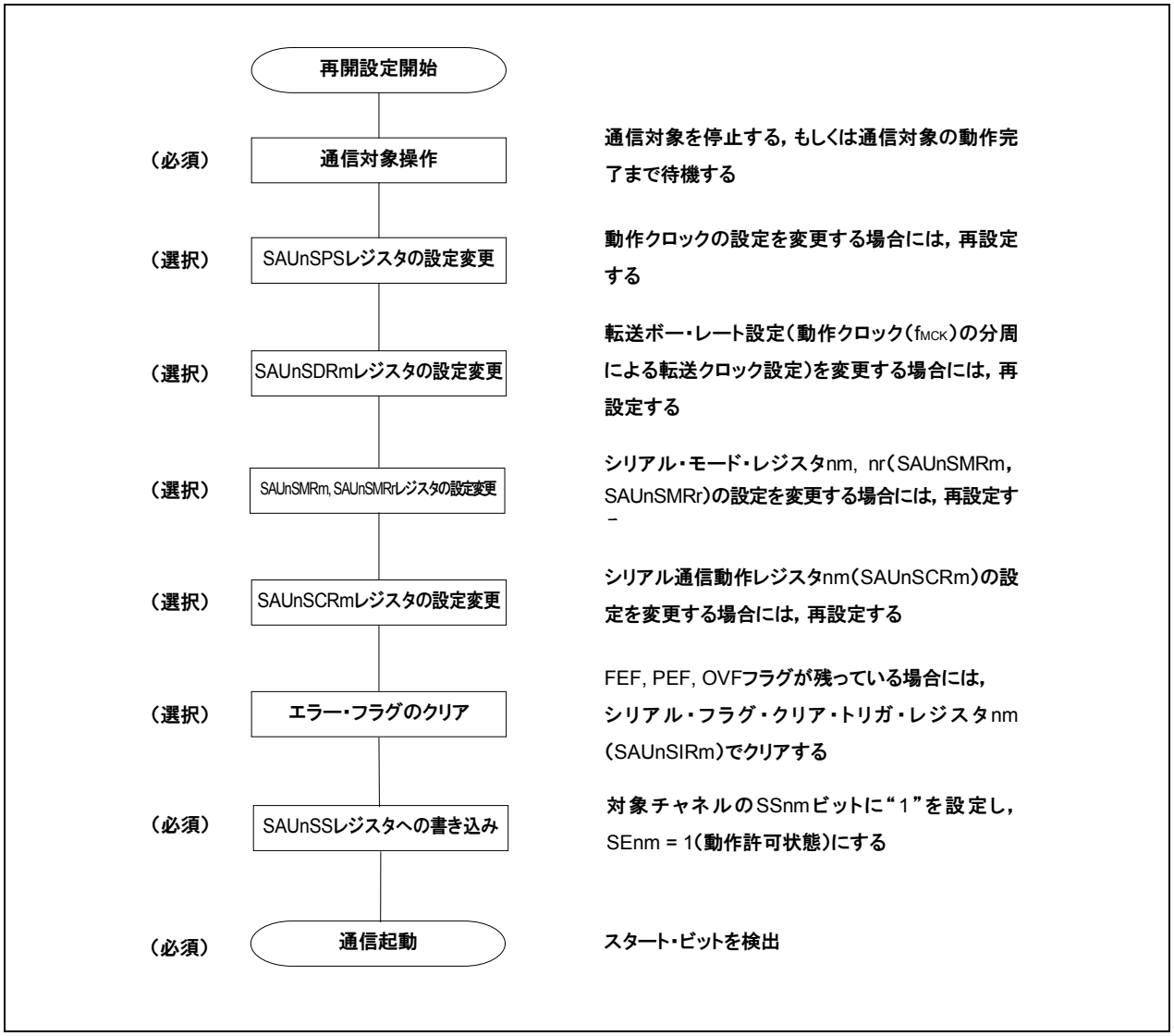
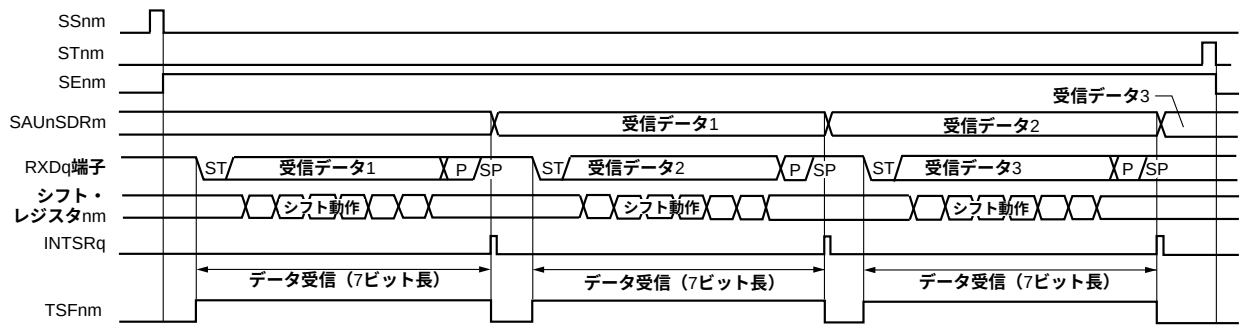


図16－67 UART受信の再開設定手順



(3) 処理フロー

図16－68 UART受信のタイミング・チャート

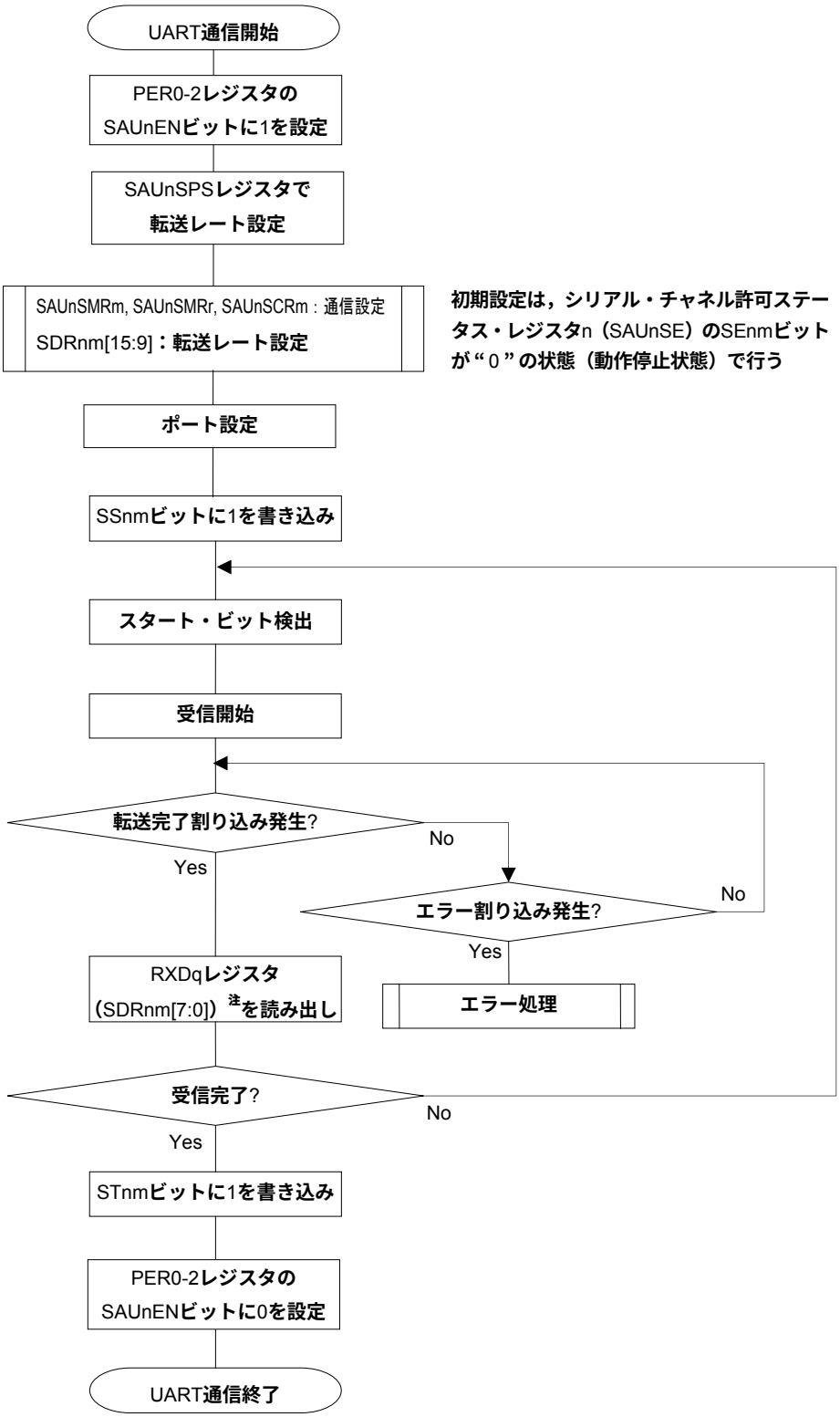


備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 1, 3），

nm = 01, 03, 11, 13, 21, 23, 41, 51

r：チャネル番号（r = m－1） q：UART番号（q = 00, 01, 10, 11, 20, 21, 40, 50）

図16－69 UART受信のフロー・チャート



注 9ビット・データ長の場合は，RXDqレジスタではなく，SDRnm [8:0]を読み出してください。

注意 SAUnSCRmレジスタのRXEnmビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSSnm = 1を設定してください。

16. 6. 3 SNOOZEモード機能

SNOOZEモードとは，STOPモード状態でRXDq端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは，受信時ボー・レート調整機能に対応している，以下のチャネルのみ設定可能です。

- UART00, UART10, UART20

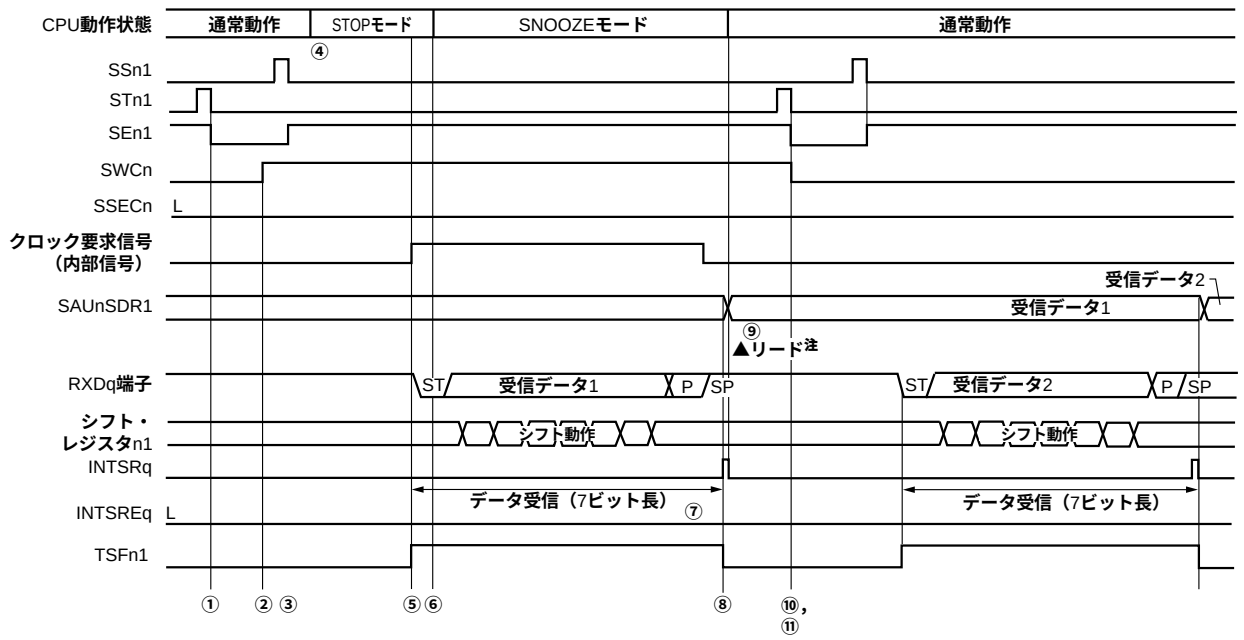
SNOOZEモード機能を使用する場合は，STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタn（SAUnSSC）のSWCnビットを1に設定しておきます。

注意1. SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTqをSNOOZEモードで使用するときの最大転送レートは9600 bps（ターゲット）です。

（1）SNOOZEモード動作（通常動作）

図16－70 SNOOZEモード動作（通常動作）時のタイミング・チャート



注 受信データの読み出しは，SWCn = 1の状態，次のRXDq端子のエッジ検出前に行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTn1ビットを1に設定しSAUnSE1ビットをクリア（動作停止）させてください。

備考1. 図中の①~⑪は，図16－72 SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートの①~⑪に対応しています。

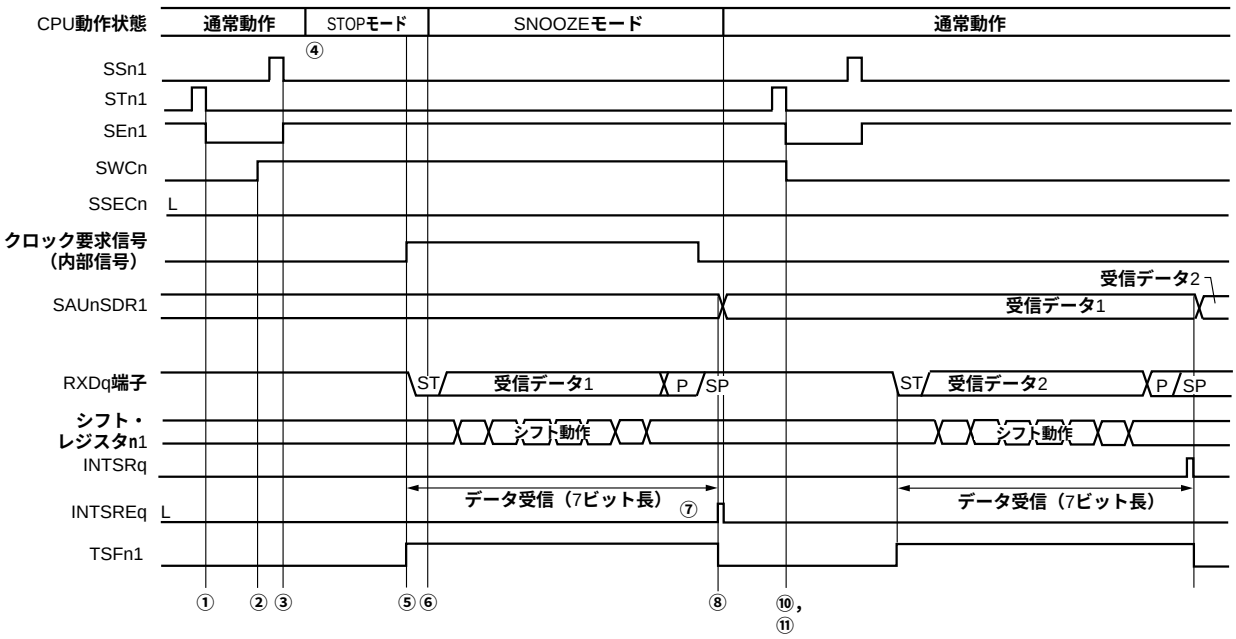
2. n = 0-2; q = 00, 10, 20

（2）SNOOZEモード動作（異常動作①）

異常動作①は，SSECn = 0設定時に通信エラーが発生した場合の動作です。

SSECn = 0のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生します。

図16－71 SNOOZEモード動作（異常動作①）時のタイミング・チャート

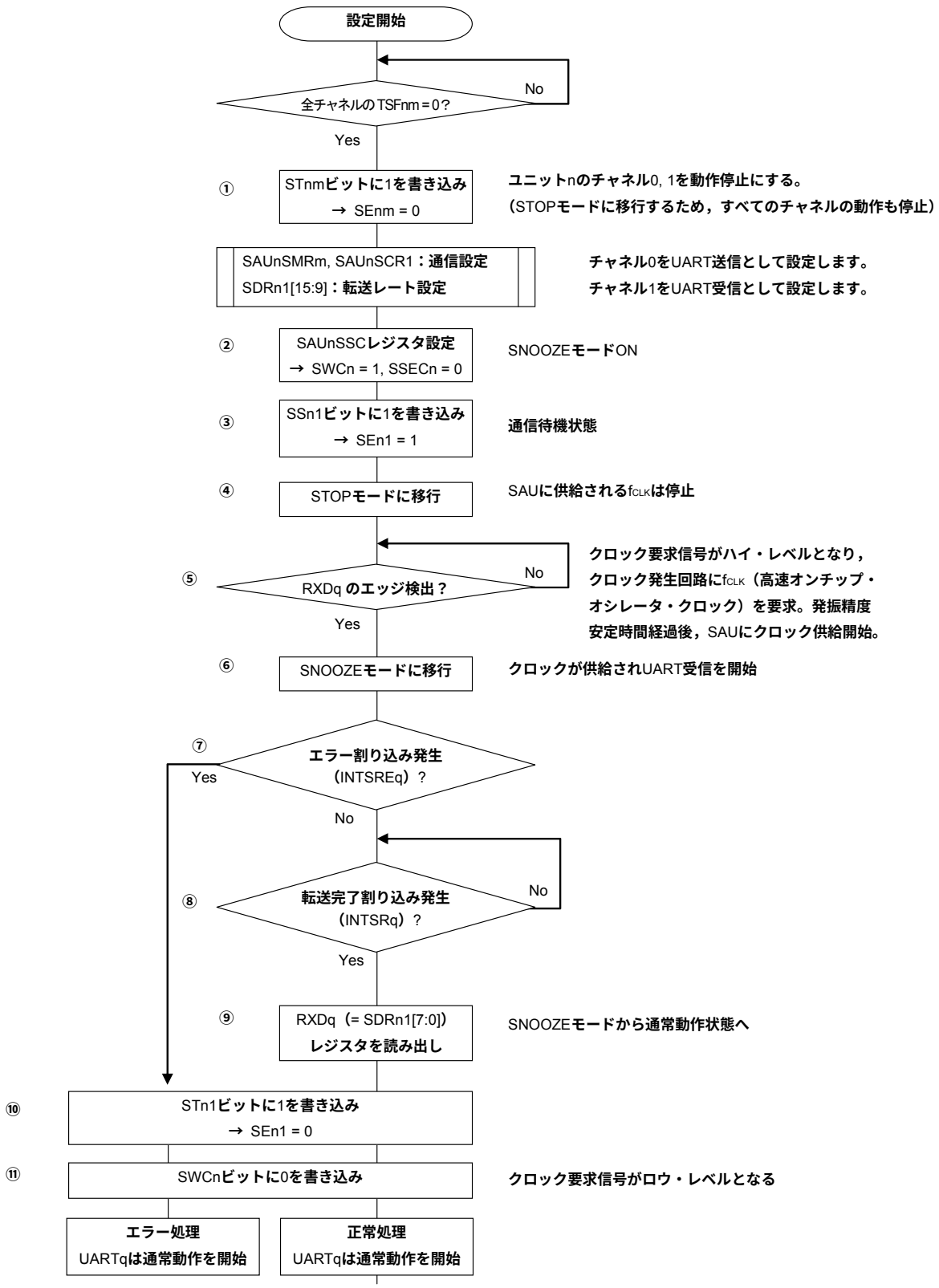


注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTn1ビットを1に設定しSAUnSE1ビットをクリア（動作停止）させてください。

備考1. 図中の①~⑪は，図16－72 SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートの①~⑪に対応しています。

2. n = 0-2; q = 00, 10, 20

図16－72 SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャート



備考1. **図中の①~⑪は，図**16－70 SNOOZE**モード動作（通常動作）時のタイミング・チャート，図**16－71 SNOOZE**モード動作（異常動作①）時のタイミング・チャートの①~⑪に対応しています。**

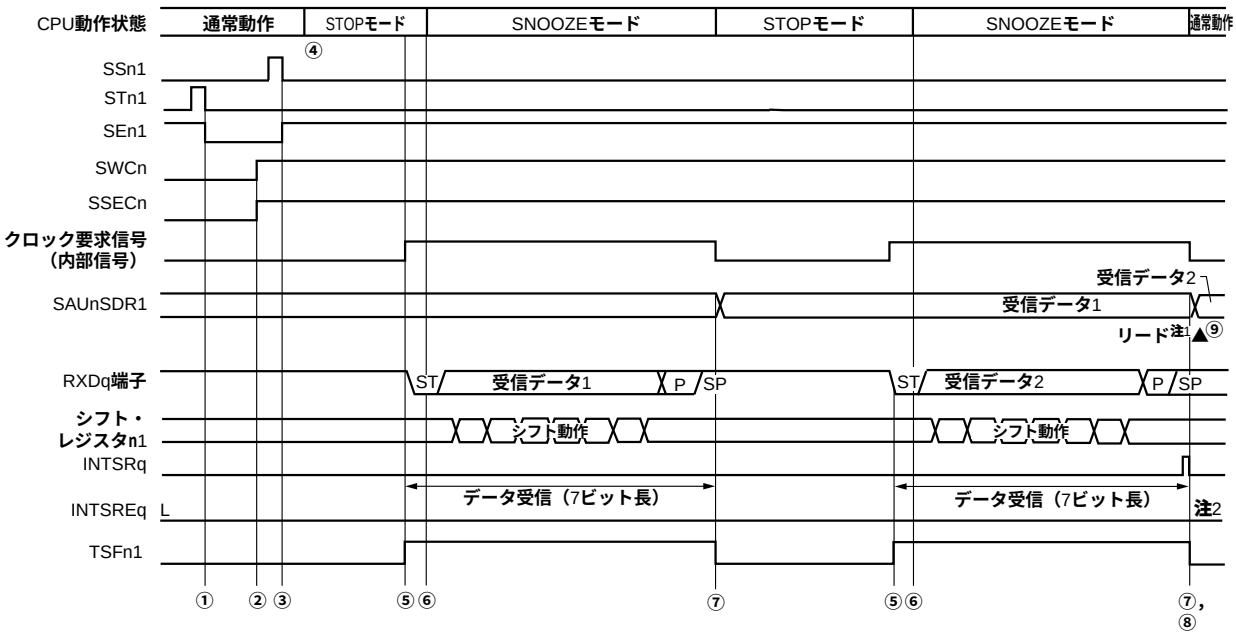
2. n = 0-2; q = 00, 10, 20

（3）SNOOZEモード動作（異常動作②）

異常動作②は，SSECn = 1設定時に通信エラーが発生した場合の動作です。

SSECn = 1のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生しません。

図16－73 SNOOZEモード動作（異常動作②）時のタイミング・チャート



注1. 受信データの読み出しは，SWCn = 1の状態，次のRXDq端子のエッジ検出前に行ってください。

2. UARTqがSNOOZEモードで正常に受信完了したあとは，設定を変更せずに続けて通常の受信動作を実施することができるが，SSECn = 1のためフレーミング・エラー，パリティ・エラーが発生してもPEFn1, FEFn1ビットはセットされません。また，エラー割り込み（INTSREq）も発生しません。

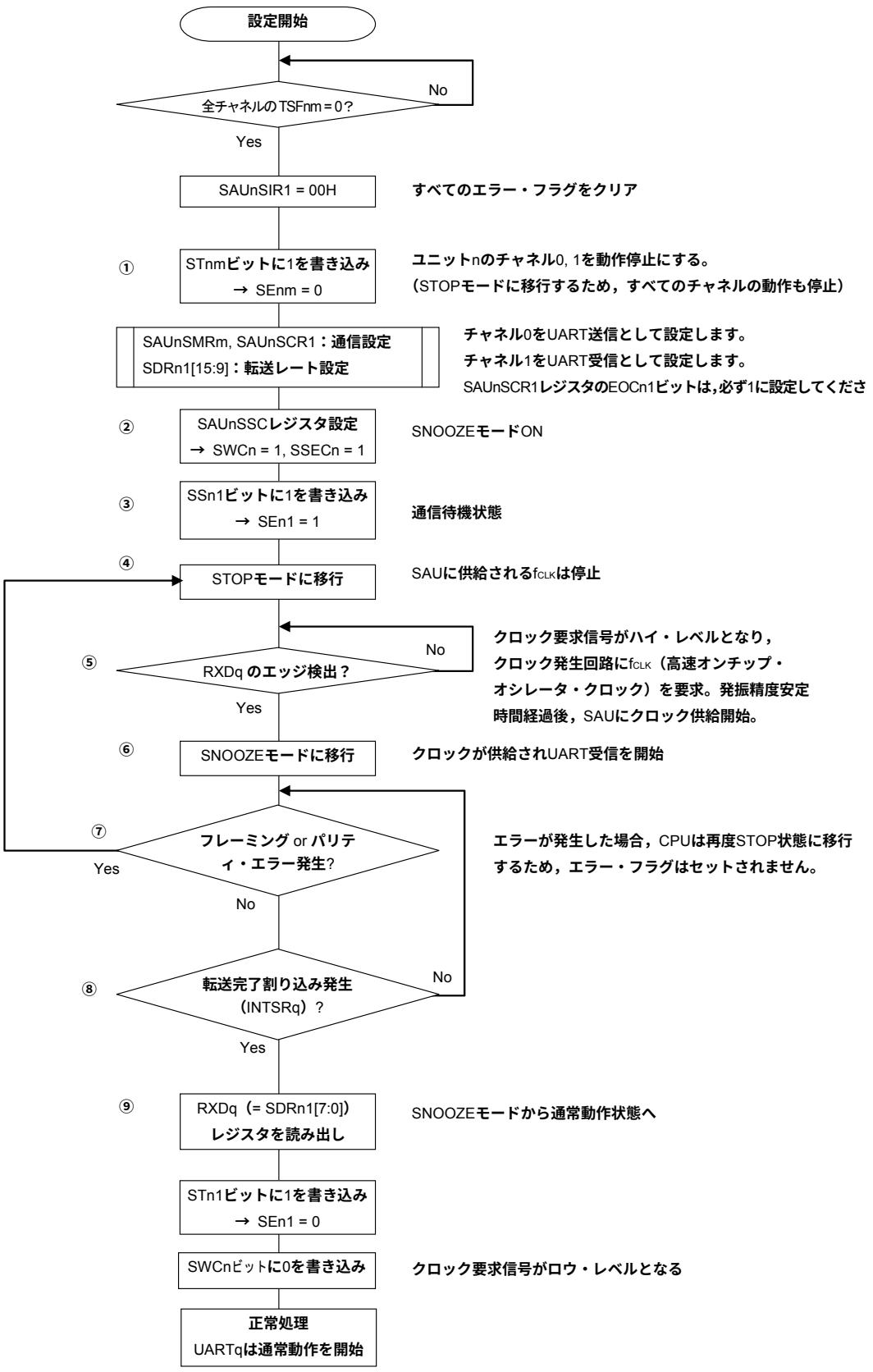
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTn1ビットを1に設定しSEn1ビットをクリア（動作停止）させてください。

2. SSECn = 1の設定でSNOOZEモードを使用した場合，オーバラン・エラーが発生しません。そのためSNOOZEモードを使用する場合は，STOPモード移行前にSAUnSDR1レジスタのビット7-0（RXDq）を読み出してください。

備考1. 図中の①~⑨は，図16－74 SNOOZEモード動作（異常動作②）時のフロー・チャートの①~⑨に対応しています。

2. n = 0-2; q = 00, 10, 20

図16－74 SNOOZEモード動作（異常動作②）時のフロー・チャート（1/2）



（注意，備考は次ページにあります。）

図16－75 SNOOZE**モード動作（異常動作②）時のフロー・チャート**（2/2）

注意 SSECn = 1**の設定で**SNOOZE**モードを使用した場合，オーバラン・エラーが発生しません。そのため**SNOOZE**モードを使用する場合は，**STOP**モード移行前に**SDRn1**レジスタののビット**7-0（RXDq）を読み出してください。

備考1. **図中の①~⑨は，図**16－73 SNOOZE**モード動作（異常動作②）時のタイミング・チャートの①~⑨に対応しています。**

2. n = 0-2; q = 00, 10, 20

16. 6. 4 ボー・レートの算出

（1）ボー・レート算出式

UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート） = {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRnm[15:9]＋1）÷ 2 [bps]

注意 シリアル・データ・レジスタnm（SAUnSDRn）SDRnm[15:9] =（0000000B, 0000001B）は設定禁止です。

備考1. UART使用時は，SDRnm[15:9]はSAUnSDRmレジスタのビット15-9の値（0000010B-1111111B）なので，2-127になります。

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），nm = 00-03, 10-13, 20-23, 40, 41, 50, 51

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタn（SAUnSPS）とシリアル・モード・レジスタnm（SAUnSMRm）のビット15（CKSnmビット）で決まります。

表16ー3 UART動作クロックの選択

SAUn SMRm レジスタ	SAUnSPSレジスタ								動作クロック（f_{MCK}）注	
CKSnm	PRS n13	PRS n12	PRS n11	PRS n10	PRS n03	PRS n02	PRS n01	PRS n00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタn（SAUnST） = 000FH）させてから変更してください。

備考1. X：Don't care

2. n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），

nm = 00-03, 10-13, 20-23, 40, 41, 50, 51

(2) 送信時のボー・レート誤差

UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差） = （算出ボー・レート値）÷（目標ボー・レート値）× 100 − 100 [%]

UARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 20 MHz時			f_{CLK} = 32 MHz時		
	動作クロック（f_{MCK}）	SDRnm[15:9]	ボー・レート誤差	動作クロック（f_{MCK}）	SDRnm[15:9]	ボー・レート誤差
300 bps	$f_{CLK}/2^9$	64	0.48 %	$f_{CLK}/2^9$	103	0.16 %
600 bps	$f_{CLK}/2^8$	64	0.48 %	$f_{CLK}/2^8$	103	0.16 %
1200 bps	$f_{CLK}/2^7$	64	0.48 %	$f_{CLK}/2^7$	103	0.16 %
2400 bps	$f_{CLK}/2^6$	64	0.48 %	$f_{CLK}/2^6$	103	0.16 %
4800 bps	$f_{CLK}/2^5$	64	0.48 %	$f_{CLK}/2^5$	103	0.16 %
9600 bps	$f_{CLK}/2^4$	64	0.48 %	$f_{CLK}/2^4$	103	0.16 %
31250 bps	$f_{CLK}/2^2$	79	0.00 %	$f_{CLK}/2^2$	127	0.00 %
38400 bps	$f_{CLK}/2^2$	64	0.48 %	$f_{CLK}/2^2$	103	0.16 %
76800 bps	$f_{CLK}/2$	64	0.48 %	$f_{CLK}/2$	103	0.16 %
115200 bps	f_{CLK}	86	-0.22 %	$f_{CLK}/2$	68	0.64 %
153600 bps	f_{CLK}	64	0.48 %	f_{CLK}	103	0.16 %
312500 bps	f_{CLK}	31	0.00 %	f_{CLK}	50	0.39 %
625000 bps	f_{CLK}	15	0.00 %	f_{CLK}	25	-1.54 %

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2），nm = 00, 02, 10, 12, 20, 22, 40, 50

(3) 受信時のボー・レート許容範囲

UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：受信側の算出ボー・レート値（16. 6. 4（1）ボー・レート算出式参照）

k ：SDRnm[15:9] ＋1

Nfr ：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 1, 3），

nm = 01, 03, 11, 13, 21, 23, 41, 51

図16－76 受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

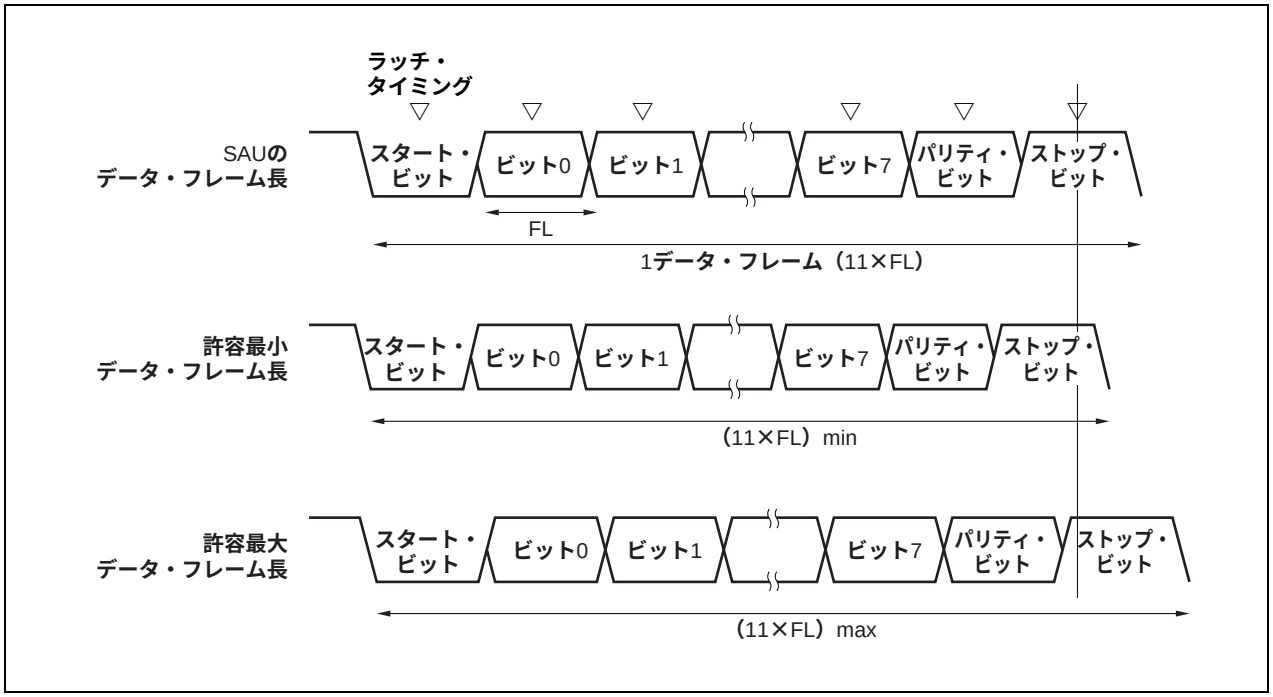


図16－76に示すように，スタート・ビット検出後はシリアル・データ・レジスタnm（SAUnSDRm）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

16. 6. 5 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信時におけるエラー発生時の処理手順

UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信時にエラーが発生した場合の処理手順を図16－77，

図16－78に示します。

図16－77 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタnm（SAUnSDRm）をリードする	→SAUnSSRmレジスタのBFFnmビットが“0”となり，チャネルmは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタnm（SAUnSSRm）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタnm（SAUnSIRm）に“1”をライトする	→エラー・フラグがクリアされる	SAUnSSRmレジスタのリード値をそのままSAUnSIRmレジスタに書き込むことで,読み出し時のエラーのみをクリアできる

図16－78 フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタnm（SAUnSDRm）をリードする	→ SAUnSSRmレジスタのBFFnmビットが“0”となり，チャネルmは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタnm（SAUnSSRm）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタnm（SAUnSIRm）をライトする	→エラー・フラグがクリアされる	SAUnSSRmレジスタのリード値をそのままSAUnSIRmレジスタに書き込むことで,読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタn（SAUnST）のSTnmビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタn（SAUnSE）のSEnmビットが“0”となり，チャネルmは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタn（SAUnSS）のSSnmビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタn（SAUnSE）のSEnmビットが“1”となり，チャネルmは動作許可状態になる	

備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0-3），nm = 00-03, 10-13, 20-23, 40, 41, 50, 51

16. 7 LIN通信の動作

16. 7. 1 LIN送信

UART送信のうち，UART00, UART01, UART10, UART11, UART20, UART40, UART50がLIN通信に対応しています。

LIN送信では，UART00（ユニット0のチャネル0），UART01（ユニット0のチャネル2），UART10（ユニット1のチャネル0），UART11（ユニット1のチャネル2），UART20（ユニット2のチャネル0），UART40（ユニット4のチャネル0），UART50（ユニット5のチャネル0）を使用します。

UART	UART00	UART01	UART10	UART11	UART20	UART21	UART40	UART50
LIN通信対応	可					不可	可	
対象ユニット	SAU0		SAU1		SAU2	－	SAU4	SAU5
対象チャネル	チャネル0	チャネル2	チャネル0	チャネル2	チャネル0	－	チャネル0	チャネル0
使用端子	TXD00	TXD01	TXD10	TXD11	TXD20	－	TXD40	TXD50
割り込み	INTST00	INTST02	INTST10	INTST12	INTST20	－	INTST40	INTST50
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	なし							
転送データ長	8ビット							
転送レート	Max. f_{CLK}/6 [bps]（SDRnm[15:9] = 2以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注							
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）							
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加							
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加							
データ方向	MSBファーストまたはLSBファースト							

注 この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考 f_{CLK}：CPU／周辺クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

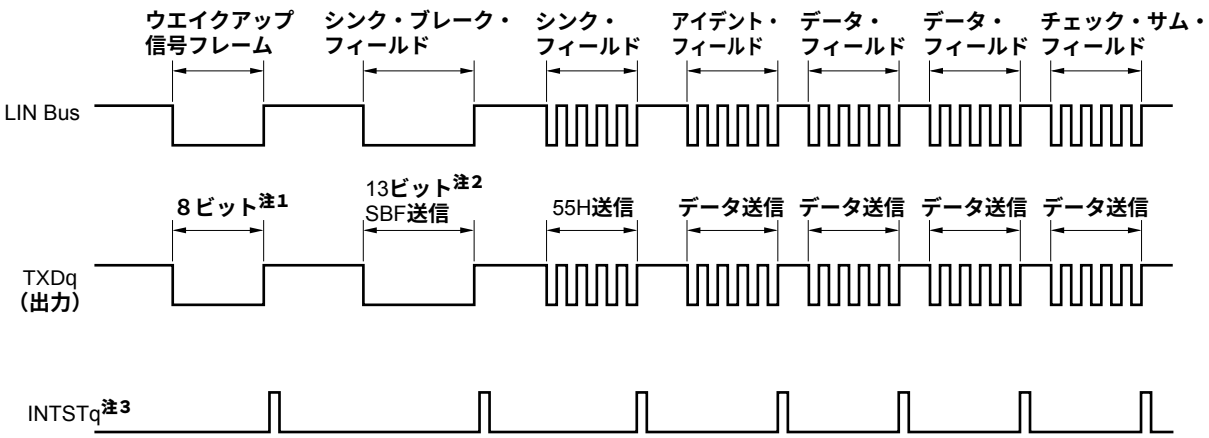
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図16－79に示します。

図16－79 LINの送信操作



注1. ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，00Hのデータ送信をすることで対応します。

2. シンク・ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，シンク・ブレーク・フィールドで使用するボー・レートは次のようになります。

（シンク・ブレーク・フィールド時のボー・レート） = 9/13×N

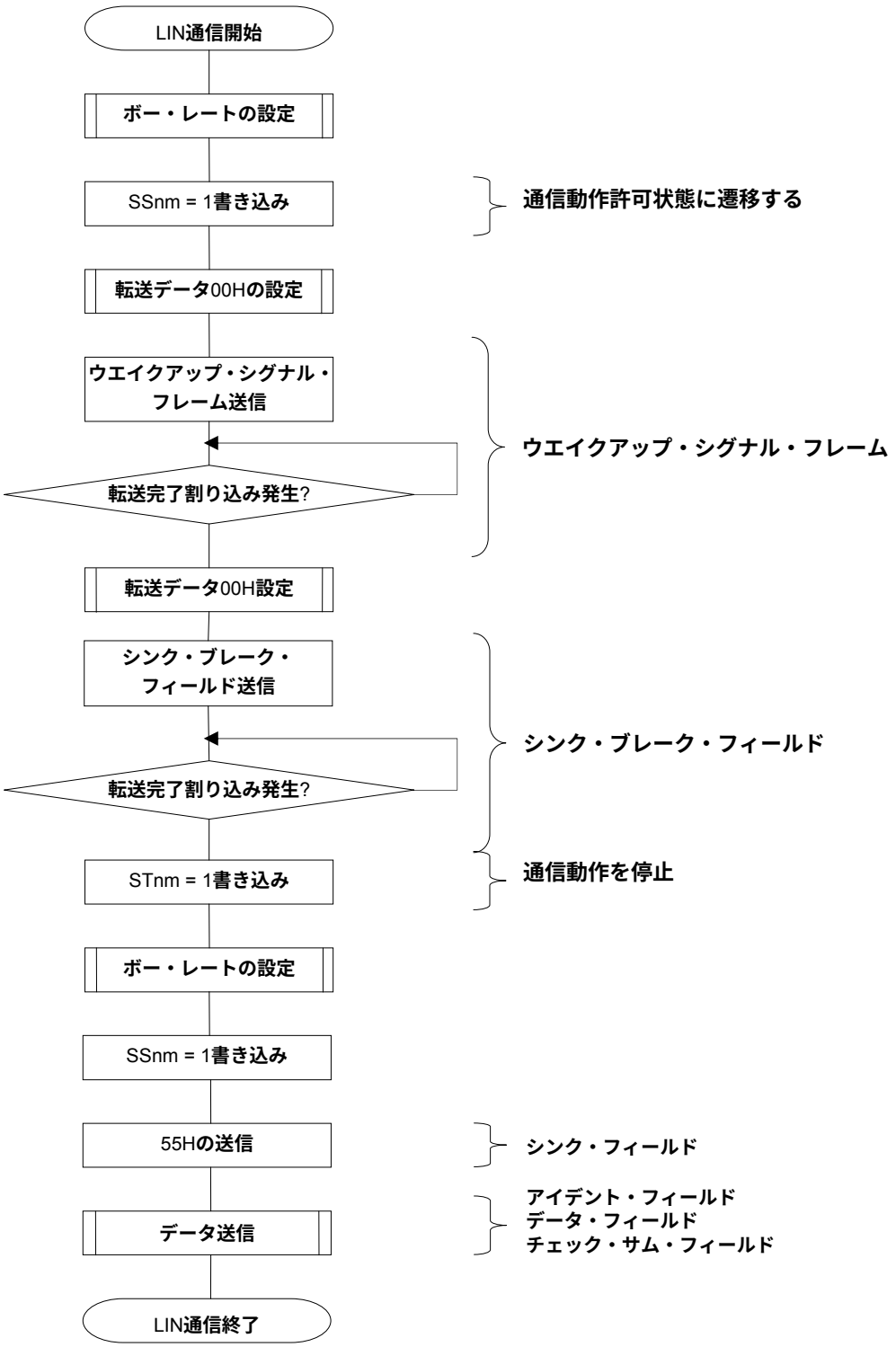
このボー・レートで00Hのデータ送信をすることでシンク・ブレーク・フィールドを生成します。

3. 各送信終了時にはINTSTqを出力します。またSBF送信時もINTSTqを出力します。

備考1. 各フィールド間の間隔はソフトウエアで制御します。

2. q：UART番号（q = 00, 01, 10, 11, 20, 40, 50）

図16－80 LIN送信のフロー・チャート



備考 n：ユニット番号（n = 0-2, 4, 5） m：チャネル番号（m = 0, 2），

nm = 00, 02, 10, 12, 20, 40, 50

16. 7. 2 LIN受信

UART受信のうち，UART00, UART01, UART10, UART11, UART20, UART40, UART50がLIN通信に対応しています。

LIN受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。

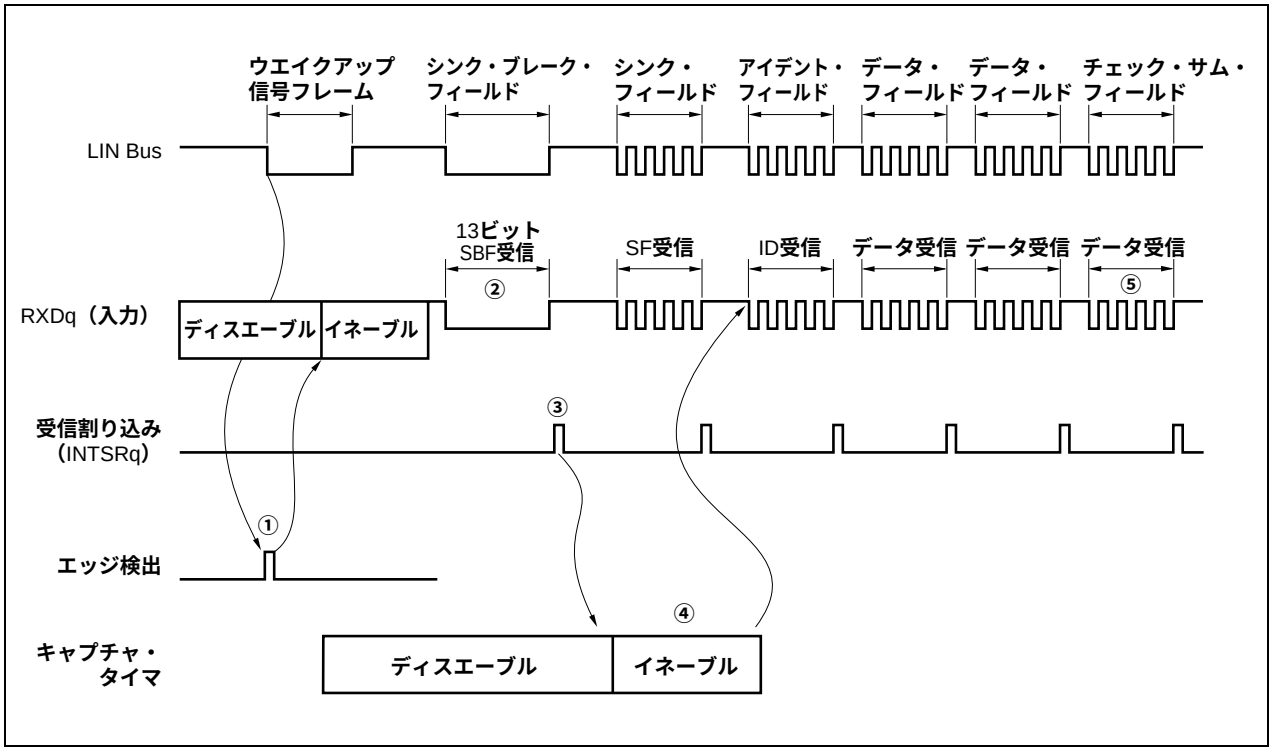
UART	UART00	UART01	UART10	UART11	UART20	UART21	UART40	UART50
LIN通信対応	可					不可	可	
対象ユニット	SAU0		SAU1		SAU2	－	SAU4	SAU5
対象チャネル	チャネル1	チャネル3	チャネル1	チャネル3	チャネル1	－	チャネル1	チャネル1
使用端子	RXD00	RXD01	RXD10	RXD11	RXD20	－	RXD40	RXD50
割り込み	INTSR00	INTSR01	INTSR10	INTSR11	INTSR20	－	INTSR40	INTSR50
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）							
エラー割り込み	INTSRE00	INTSRE01	INTSRE10	INTSRE11	INTSRE20	－	INTSRE40	INTSRE50
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFnm） ・パリティ・エラー検出フラグ（PEFnm） ・オーバラン・エラー検出フラグ（OVFnm）							
転送データ長	8ビット							
転送レート	Max. f_{CLK}/6 [bps]（SDRnm[15:9] = 2以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注							
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）							
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックしない） ・0パリティ・ビット付加（パリティ・チェックしない） ・偶数パリティ・チェック ・奇数パリティ・チェック							
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加							
データ方向	MSBファーストまたはLSBファースト							

注 この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考 f_{CLK}：CPU／周辺クロック周波数

LINの受信操作の概略を，図16－81に示します。

図16－81 LINの受信操作



受信処理の流れを次に示します。

① ウエイクアップ信号の検出は，端子のエッジ検出器で行います。ウエイクアップ信号を検出したら，UARTqの受信を許可（RXEnm = 1）し，SBF受信待ち状態にします。

② SBFのスタート・ビットが検出されたら，受信動作を開始し，設定されたボー・レートに合わせて，シリアル・データを順次，RXDqレジスタ（ = シリアル・データ・レジスタnm（SAUnSDRm）のビット7-0）に格納していきます。ストップ・ビットを受信したら，受信完了割り込み要求（INTSRq）を発生します。そして，SBFとして11ビット以上のロウ・レベルのデータを検出したら，SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は，SBF受信エラーと判断し，SBF受信待ち状態に戻ります。

③ SBF受信を正常終了した場合，タイマ・アレイ・ユニット2のチャネルx（x = 0-6）を起動し，シンク・フィールドのビット間隔（パルス幅）を測定してください（7. 7. 5 **入力信号のハイ／ロウ・レベル幅測定としての動作**を参照）。

④ RXDq端子をタイマのTI（キャプチャ入力）に接続しシンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUARTqを動作停止にしてからボー・レートを調整（再設定）してください。

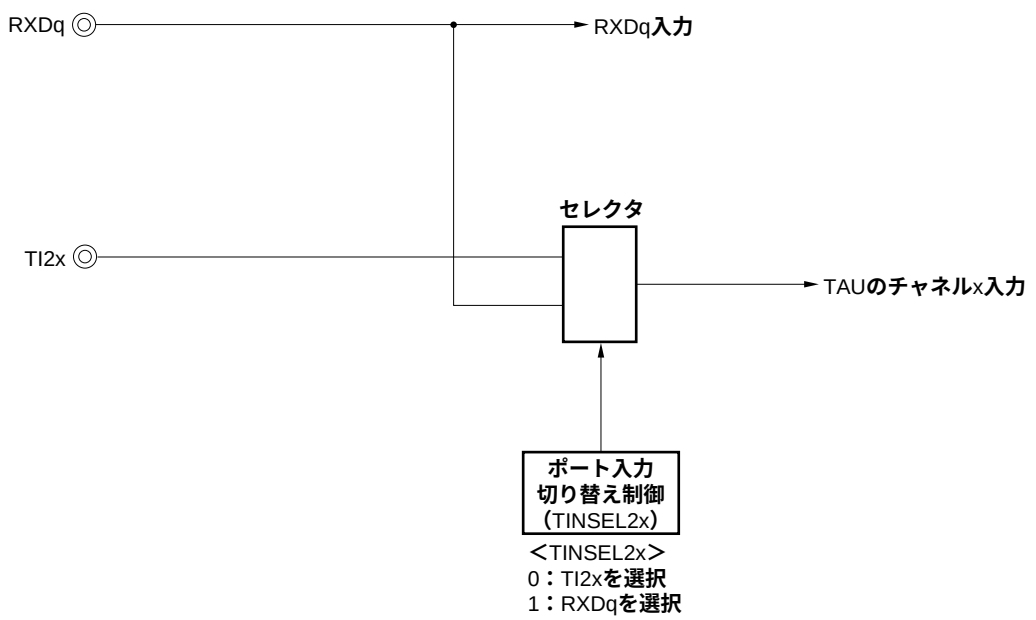
⑤ チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUARTqを初期化し，再びSBF受信待ちに設定する処理もソフトウエアにて行ってください。

図16－82はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，端子のエッジ検出器にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット2の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御（TINSEL2x）により，外部で結線をせずに，受信用ポート入力（RXDq）の入力ソースをタイマ・アレイ・ユニットへ入力することができます。

図16－82 LINの受信操作用のポート構成図



備考 TINSEL2x：TAU2入力選択レジスタ（TAU2TINSEL）のビットx（7. 3（8）参照）

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

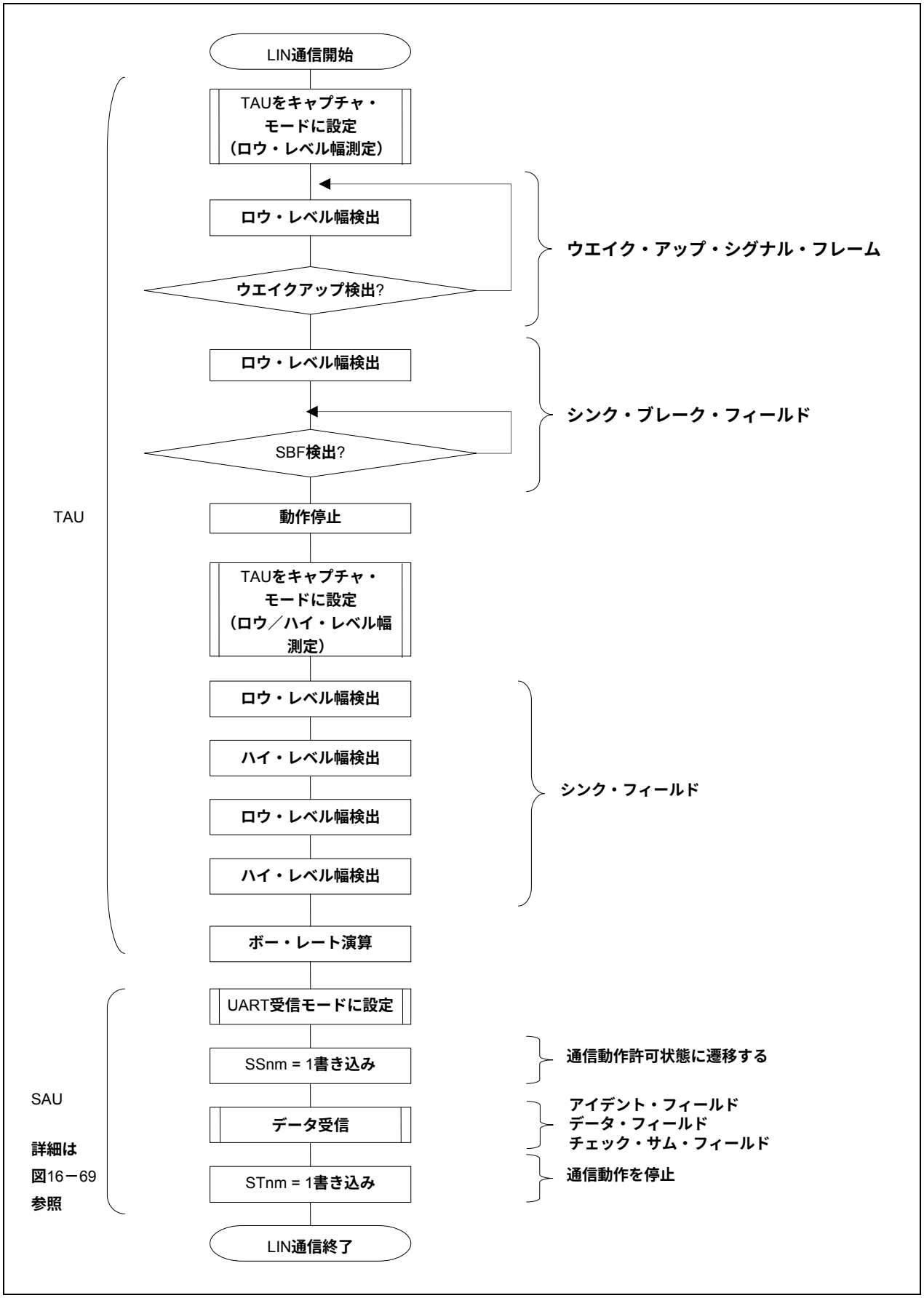
＜使用する周辺機能＞

・タイマ・アレイ・ユニット2のチャネルx；ボー・レート誤差検出

用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RXDq入力エッジの間隔をキャプチャ・モードで測定）

・シリアル・アレイ・ユニットn（SAUn）のチャネル0, 1（UARTq）

図16－83 LIN受信のフロー・チャート



第17章　シリアル・アレイ・ユニットS（SAUS）

シリアル・アレイ・ユニットS0は1つのユニットに2つのシリアル・チャネルを持ちます。各チャネルは3線シリアル（CSI），UARTの通信機能を実現できます。

V850E2/Jx4-Lで対応している各チャネルの機能割り当ては，次のようになっています。

ユニット	チャネル	CSIとして使用	UARTとして使用	V850E2/JC4-L（40ピン）		V850E2/JC4-L（48ピン）		V850E2/JE4-L（64ピン）		V850E2/JF4-L（80ピン）		V850E2/JG4-L（100ピン）		V850E2/JH4-L（128ピン）		V850E2/JJ4-L（144ピン）	
				CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART	CSI	UART
S	0	CSIS00	UARTS00（LIN-bus対応）	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	CSIS01		—		—		—		—		—		○		○	
合計				1	1	1	1	1	1	1	1	1	1	2	1	2	1

シリアル・アレイ・ユニット間の主な機能の違いを次に示します。

機能	ユニット / 項目		SAU0-2[注]				SAU4, 5[注]		SAUS0	
			CH0	CH1	CH2	CH3	CH0	CH1	CH0	CH1
CSI	データ長		7, 8ビット				7, 8ビット		7-16ビット	
	最大通信レート	マスタ	16 MHz				16 MHz		8 MHz	
		スレーブ	5.3 MHz				5.3 MHz		5.3 MHz	
	SNOOZEモード		対応	非対応			非対応		非対応	
UART	送受信		送信	受信	送信	受信	送信	受信	送信	受信
	データ長		7, 8, 9ビット		7, 8ビット		7, 8ビット		7, 8, 9, 16ビット	
	最大通信レート		5.3 Mbps				5.3 Mbps		5.3 Mbps	
	SNOOZEモード		非対応	対応	非対応		非対応		非対応	

注 SAUの詳細は，**第16章 シリアル・アレイ・ユニット** を参照してください。

注意 この章では，以降の主な説明をV850E2/JJ4-L**製品のユニット，チャネル構成で説明しています。**

17. 1 シリアル・アレイ・ユニットの機能

V850E2/Jx4-Lで対応している各シリアル・インタフェースの特徴を示します。

17. 1. 1 3線シリアルI/O（CSIS00, CSIS01）

マスタから出力されるシリアル・クロック（$\overline{\text{SCK}}$）に同期してデータの送信／受信を行います。

シリアル・クロック（$\overline{\text{SCK}}$）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「16. 5 3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信の動作」を参照してください。

[データ送受信]
- 7-16ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]
- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート マスタ通信時：Max. $f_{CLK}/2$ 注
  スレーブ通信時：Max. $f_{MCK}/6$ 注

[割り込み機能]
- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]
- オーバラン・エラー

注 ただし，$\overline{\text{SCK}}$サイクル・タイム（t_{KCY}）の特性を満たす範囲で使用してください。

17. 1. 2 UART（UARTS00）

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。

具体的な設定例は，「16. 6 UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9, 16ビットのデータ長（UARTS00）
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- 受信完了割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによる受信エラー割り込み

[エラー検出フラグ]

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

17. 2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表17－1 シリアル・アレイ・ユニットの構成

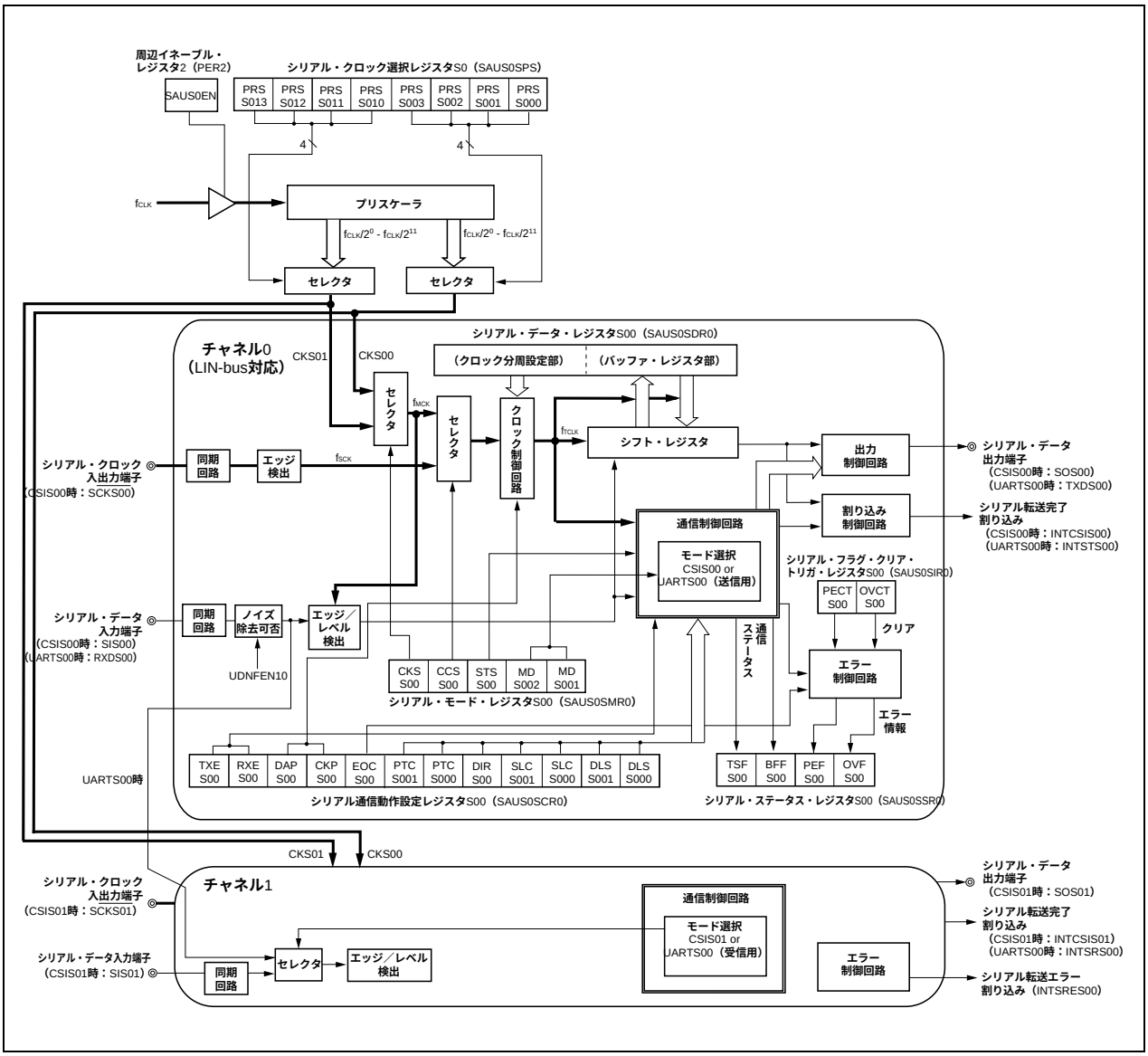
項　目	構　成
シフト・レジスタ	16ビット
バッファ・レジスタ	シリアル・データ・レジスタS0m（SAUS0SDRm）
シリアル・クロック入出力	$\overline{\text{SCKS00}}$, $\overline{\text{SCKS01}}$端子（3線シリアルI/O用）
シリアル・データ入力	SIS00, SIS01端子（3線シリアルI/O用），RXDS00端子（UART用）
シリアル・データ出力	SOS00, SOS01端子（3線シリアルI/O用），TXDS00端子（UART用），出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ2（PER2）注1 ・シリアル・クロック選択レジスタS0（SAUS0SPS） ・シリアル・チャネル許可レジスタS0（SAUS0SE） ・シリアル・チャネル開始レジスタS0（SAUS0SS） ・シリアル・チャネル停止レジスタS0（SAUS0ST） ・シリアル出力許可レジスタS0（SAUS0SOE） ・シリアル出力レジスタS0（SAUS0SO） ・シリアル出力レベル・レジスタS0（SAUS0SOL） ・UARTノイズ・フィルタ許可レジスタ0, 1（UDNFEN0, UDNFEN1）注2
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタS0m（SAUS0SDRm） ・シリアル・モード・レジスタS0m（SAUS0SMRm） ・シリアル通信動作設定レジスタS0m（SAUS0SCRm） ・シリアル・ステータス・レジスタS0m（SAUS0SSRm） ・シリアル・フラグ・クリア・トリガ・レジスタS0m（SAUS0SIRm）

注1. 詳細については，6. 3（29）周辺イネーブル・レジスタ2（PER2）を参照してください。
2. 詳細については，2. 4. 1（3）UARTノイズ・フィルタ許可レジスタm（UDNFENm）を参照してください。

備考 m：チャネル番号（m = 0, 1）

図17－1にシリアル・アレイ・ユニット0のブロック図（V850E2/JJ4-L：ユニット0の場合）を示します。

図17－1 シリアル・アレイ・ユニット0のブロック図（V850E2/JJ4-L：ユニット0の場合）



(1) シフト・レジスタ

パラレル⇔シリアルの変換を行う16ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタS0m（SAUS0SDRm）を使用します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シフト・レジスタ																

(2) シリアル・データ・レジスタS0m（SAUS0SDRm）

SAUS0SDRm**レジスタは，チャネル**m**の送受信データ・レジスタ（**16**ビット）です。**

動作停止状態（SAUS0SEm = 0**）のとき，ビット**15-9**の部分は動作クロック（**f_{MCK}**）の分周設定レジスタとして使われます。**

動作許可状態（SAUS0SEm ＝ 1**）のとき受信時には，シフト・レジスタで変換したパラレル・データを格納します。送信時は，シフト・レジスタに転送する送信データを設定します。**

格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタS0m（SAUS0SCRm）**のビット**0, 1（DLSS0m0, DLSS0m1）**の設定によって，次のようになります。**

- 7**ビット・データ長（**SAUS0SDRm**レジスタのビット**0-6**に格納）**
- 8**ビット・データ長（**SAUS0SDRm**レジスタのビット**0-7**に格納）**

：

- 16**ビット・データ長（**SAUS0SDRm**レジスタのビット**0-15**に格納）**

SAUnSDRm**レジスタは**16**ビット単位でリード／ライト可能です。**

リセット信号の発生により，SAUS0SDRm**レジスタは**0000H**になります。**

備考 m：**チャネル番号（**m = 0, 1**）**

アドレス：SAUS0SDR0 FFFFF000H, SAUS0SDR1 FFFFF004H, **リセット時：**0000H R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUn SDRm																

⇕

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シフト・レジスタ																

備考 SAUS0SDRm**レジスタの上位7ビットの機能については，**17. 3 **シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

17. 2. 1 各チャネルの端子機能について

V850E2/Jx4-Lでは，シリアル・アレイ・ユニットnを構成するSIp, SOp, $\overline{SCKp}$, RXDq, TXDq端子は，表17－2のように兼用されています。各端子を使用する場合は，ポート機能の設定をする必要があります（第4章 ポート機能参照）。

表17－2 端子構成（1/3）

(a) CSIp（1/2）

チャネル	ピン番号							ポート	CSI受信入力	CSI送信出力	CSIクロック入出力	その他の兼用機能
	144	128	100	80	64	48	40					
CSIS00	48	47	37	－	－	－	－	P5_5	SIS00	－	－	TI03/TO03/RXDS00/BUZ0/TE0AI/A5
	－	－	－	27	23	19	18					TI03/TO03/RXDS00/BUZ0/TE0AI
	49	48	38	－	－	－	－	P5_6	－	SOS00	－	TI04/TO04/TXDS00/RTC1HZ/TE0BI/A6
	－	－	－	28	24	20	19					TI04/TO04/TXDS00/RTC1HZ/TE0BI
	50	49	39	－	－	－	－	P5_7	－	－	$\overline{SCKS00}$	TI05/TO05/TE0ZI/A7
	－	－	－	29	25	21	20					TI05/TO05/TE0ZI
CSIS01	102	93	－	－	－	－	－	P15_4	SIS01	－	－	－
	103	84	－	－	－	－	－	P15_5	－	SOS01	－	－
	104	95	－	－	－	－	－	P7_1	－	－	$\overline{SCKS00}$	TI14/TO14/A17

表17－2 端子構成（3/3）

(b) UARTq

チャネル	ピン番号							ポート	UART受信入力	UART送信出力	その他の兼用機能
	144	128	100	80	64	48	40				
UART00	48	47	37	－	－	－	－	P5_5	RXDS00	－	TI03/TO03/SIS00/BUZ0/TE0AI/A5
	－	－	－	27	23	19	18				TI03/TO03/SIS00/BUZ0/TE0AI
	49	48	38	－	－	－	－	P5_6	－	TXDS00	TI04/TO04/SOS00/RTC1HZ/TE0BI/A6
	－	－	－	28	24	20	19				TI04/TO04/SOS00/RTC1HZ/TE0BI

備考 40 ：40ピン・プラスチックWQFN（6×6）（V850E2/JC4-L）
48 ：48ピン・プラスチックLQFP（7×7），
48ピン・プラスチックWQFN（7×7）（V850E2/JC4-L）
64 ：64ピン・プラスチックLQFP（10×10）（V850E2/JE4-L）
80 ：80ピン・プラスチックLQFP（10×10）（V850E2/JE4-L）
100 ：100ピン・プラスチックLQFP（14×14）（V850E2/JG4-L）
128 ：128ピン・プラスチックLQFP（14×20）（V850E2/JG4-L）

17. 3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- シリアル・クロック選択レジスタS0（SAUS0SPS）
- シリアル・モード・レジスタS0m（SAUS0SMRm）
- シリアル通信動作設定レジスタS0m（SAUS0SCRm）
- シリアル・データ・レジスタS0m（SAUS0SDRm）
- シリアル・フラグ・クリア・トリガ・レジスタS0m（SAUS0SIRm）
- シリアル・ステータス・レジスタS0m（SAUS0SSRm）
- シリアル・チャネル開始レジスタS0（SAUS0SS）
- シリアル・チャネル停止レジスタS0（SAUS0ST）
- シリアル・チャネル許可ステータス・レジスタS0（SAUS0SE）
- シリアル出力許可レジスタS0（SAUS0SOE）
- シリアル出力レベル・レジスタS0（SAUS0SOL）
- シリアル出力レジスタS0（SAUS0SO）

備考 m：チャネル番号（m = 0, 1）

(1) シリアル・クロック選択レジスタS0（SAUS0SPS）

SAUS0SPS**レジスタは，各チャネルに共通して供給される**2**種類の動作クロック**（CKm0，CKm1）**を選択する**16**ビット・レジスタです。**SAUS0SPS**レジスタのビット**7-4**で**CKm1**を，ビット**3-0**で**CKm0**を選択します。**

SAUS0SPS**レジスタは，動作中**（SES0m = 1**のとき）の書き換えは禁止です。**

16**ビット単位でリード／ライト可能です。**

リセットにより，0000H**になります。**

アドレス：SAUS0SPS FFFFF0ACH, **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAU0 SPS	0	0	0	0	0	0	0	0	PRS S013	PRS S012	PRS S011	PRS S010	PRS S003	PRS S002	PRS S001	PRS S000

PRS S0m 3	PRS S0m 2	PRS S0m 1	PRS S0m 0	動作クロック（CKnk）の選択[注1]					
					f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	4 MHz	8 MHz	16 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	2 MHz	4 MHz	8 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	1 MHz	2 MHz	4 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	500 kHz	1 MHz	2 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	250 kHz	500 kHz	1 MHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	125 kHz	250 kHz	500 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	62.5 kHz	125 kHz	250 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	31.3 kHz	62.5 kHz	125 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	15.6 kHz	31.3 kHz	62.5 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	7.81 kHz	15.6 kHz	31.3 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	3.91 kHz	7.81 kHz	15.6 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	1.95 kHz	3.91 kHz	7.81 kHz	9.77 kHz	15.6 kHz
上記以外				設定禁止					

注 **シリアル・アレイ・ユニット**S（SAUS）**動作中に**f_{CLK}**で選択しているクロック周波数を変更する場合は，**SAUS**の動作を停止（シリアル・チャネル停止レジスタ**S0（SAUS0ST） = 000FH）**させてから変更してください。**

注意 **ビット**15-8**には，必ず**0**を設定してください。**

備考1. f_{CLK}**：**CPU**／周辺クロック周波数**

2. m = 0, 1

(2) シリアル・モード・レジスタS0m（SAUS0SMRm）

SAUS0SMRm**レジスタは，チャネル**m**の動作モード設定レジスタです。動作クロック（**f_{MCK}**）の選択，シリアル・クロック（**f_{SCK}**）入力の使用可否，スタート・トリガ設定，動作モード（**CSI, UART**）設定，割り込み要因の選択を行います。また**UART**モード時のみ，受信データのレベル反転の設定を行います。**

SAUS0SMRm**レジスタは，動作中（**SES0m = 1**のとき）の書き換えは禁止です。ただし**MDS0m0**ビットは，動作中でも書き換えをすることができます。**

16**ビット単位でリード／ライト可能です。**

リセットにより0020H**になります。**

（1/2）

アドレス：SAUS0SMR0 FFFFF090H, SAUS0SMR1 FFFFF094H, **リセット時：**0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0 SMRm	CKS S0m	CCS S0m	0	0	0	0	0	STS S0m注	0	SIS S0m0注	1	0	0	0	MD S0m1	MD S0m0

CKS S0m	チャネルmの動作クロック（f_{MCK}）の選択
0	SAUS0SPSレジスタで設定した動作クロックCKm0
1	SAUS0SPSレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSS0mビットとSAUS0SDRmレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCS S0m	チャネルmの転送クロック（f_{TCLK}）の選択
0	CKSS0mビットで指定した動作クロックf_{MCK}の分周クロック
1	$\overline{\text{SCKS0m}}$端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSS0m = 0の場合は，SAUS0SDRmレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STS S0m注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（CSI, UART送信時に選択）
1	RXDS00端子の有効エッジ（UART受信時に選択）
SAUS0SSレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定。

備考 m：チャネル番号（m = 0, 1）

（2/2）

SIS S0m0注	UARTモードでのチャネルmの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD S0m1	チャネルmの動作モードの設定
0	CSIモード
1	UARTモード

MD S0m0	チャネルmの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSAUS0SDRmレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDS0m0 = 1として，SAUS0SDRmデータが空になったら次送信データの書き込みを行う。	

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定。

注意 ビット13-9, 7, 4, 3（偶数チャネルのレジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考 m：チャネル番号（m = 0, 1）

(3) シリアル通信動作設定レジスタS0m（SAUS0SCRm）

チャネルmの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SAUS0SCRmレジスタは，動作中（SES0m = 1のとき）の書き換えは禁止です。

16ビット単位でリード／ライト可能です。

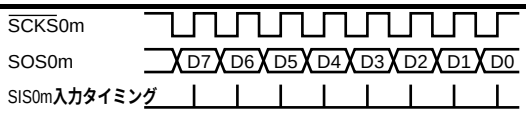
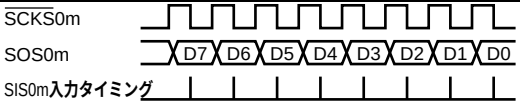
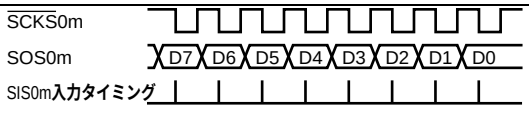
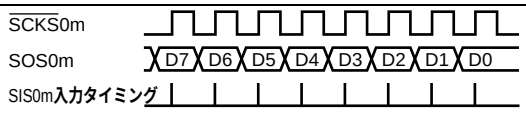
リセットにより0087Hになります。

(1/3)

アドレス：SAUS0SCR0 FFFFF098H, SAUS0SCR1 FFFFF09CH, リセット時：0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0 SCRm	TXES 0m	RXE S0m	DAP S0m	CKP S0m	0	EOC S0m	PTCS 0m1	PTCS 0m0	DIR S0m	0	SLCS 0m1注	SLCS 0m0	DLSS 0m3	DLSS 0m2	DLSS 0m1	DLSS 0m0

TXE S0m	RXE S0m	チャネルmの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP S0m	CKP S0m	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード時には，必ずDAPS0m, CKPS0m = 0, 0に設定してください。			

注1. 偶数チャネルのレジスタのみ。奇数チャネルのレジスタの本ビットは“0”固定。

2. SAUS0SCR0, SAUS0SCR1レジスタのみ。その他は1固定になります。

備考 m：チャネル番号（m = 0, 1）

（2/3）

EOCS0m	エラー割り込み信号（INTSRES0m）のマスク可否の選択
0	エラー割り込みINTSRES0mをマスクする（受信完了割り込みINTSRS0mはマスクされない）
1	エラー割り込みINTSRES0mの発生を許可する（エラー発生時に受信完了割り込みINTSRS0mはマスクされる）
CSIモード，UART送信時には，EOCS0m = 0に設定してください[注1]。 UART受信時には，EOCS0m = 1に設定してください。	

PTCS0m1	PTCS0m0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力[注2]	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
CSIモード時には，必ずPTCS0m1, PTCS0m0 = 0, 0に設定してください。			

DIRS0m	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

SLCS0m1[注3]	SLCS0m0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（偶数チャネル（UART送信）のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時には，1ビット（SLCS0m1, SLCS0m0 = 0, 1）に設定してください。 CSIモード時には，ストップ・ビットなし（SLCS0m1, SLCS0m0 = 0, 0）に設定してください。		

注1. CSI01をEOC01 = 0で使用しない場合，エラー割り込みINTSRES0mが発生する場合があります。
2. データの内容にかかわらず必ず0が付加されます。
3. 偶数チャネルのレジスタのみ。奇数チャネルのレジスタの本ビットは“0”固定。

備考 m：チャネル番号（m = 0, 1）

（3/3）

DLS S0m3	DLS S0m2	DLS S0m1	DLS S0m0	CSI, UARTモードでのデータ長の設定
0	1	1	0	7ビット・データ長（SAUS0SDRmレジスタのビット0-6に格納）
0	1	1	1	8ビット・データ長（SAUS0SDRmレジスタのビット0-7に格納）
1	0	0	0	9ビット・データ長（SAUS0SDRmレジスタのビット0-8に格納）
1	0	0	1	10ビット・データ長（SAUS0SDRmレジスタのビット0-9に格納） （CSIモード時のみ選択可）
1	0	1	0	11ビット・データ長（SAUS0SDRmレジスタのビット0-10に格納） （CSIモード時のみ選択可）
1	0	1	1	12ビット・データ長（SAUS0SDRmレジスタのビット0-11に格納） （CSIモード時のみ選択可）
1	1	0	0	13ビット・データ長（SAUS0SDRmレジスタのビット0-12に格納） （CSIモード時のみ選択可）
1	1	0	1	14ビット・データ長（SAUS0SDRmレジスタのビット0-13に格納） （CSIモード時のみ選択可）
1	1	1	0	15ビット・データ長（SAUS0SDRmレジスタのビット0-14に格納） （CSIモード時のみ選択可）
1	1	1	1	16ビット・データ長（SAUS0SDRmレジスタのビット0-15に格納）
その他				設定禁止

注意 ビット6，11には，必ず0を設定してください（奇数チャネルのレジスタはビット5も0に設定してください）。

(4) シリアル・データ・レジスタS0m（SAUS0SDRm）**の上位**7**ビット**

SAUS0SDRm**レジスタは，チャネル**m**の送受信データ・レジスタ**（16**ビット）です。動作停止状態**（SES0m = 0）**ではビット**15-9**の部分は動作クロック**（fMCK）**の分周設定レジスタとして使用します。動作許可状態**（SES0m =1）**では送受信バッファ・レジスタとして機能します。**

シリアル・モード・レジスタS0m（SAUS0SMRm）**で**CCSS0m**ビットを**0**に設定した場合は，動作クロックをこの**SAUS0SDRm**レジスタの上位**7**ビットで分周設定したクロックが，転送クロックとして使用されます。**

動作中（SES0m = 1）**の**SAUS0SDRm**レジスタの機能については**17. 2 **シリアル・アレイ・ユニット**S**の構成を参照してください。**

16**ビット単位でリード／ライト可能です。**

リセットにより0000H**になります。**

アドレス：SAUS0SDR0 FFFFF000H, SAUS0SDR1 FFFFF004H, **リセット時：**0000H R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0 SDRm	転送クロック設定							0	0	0	0	0	0	0	0	0

SAUS0SDRm[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	f_{MCK}（UART時設定禁止）
0	0	0	0	0	0	1	$f_{MCK}/2$（UART時設定禁止）
0	0	0	0	0	1	0	$f_{MCK}/3$
0	0	0	0	0	1	1	$f_{MCK}/4$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/127$
1	1	1	1	1	1	1	$f_{MCK}/128$

注意 動作停止状態（SES0m = 0）**時ビット**8-0**は，必ず**0**を設定してください。**

備考1. m：**チャネル番号**（m = 0, 1）

2. **通信クロック（ボー・レート）は転送クロックの**1/2**になります。**

(5) シリアル・フラグ・クリア・トリガ・レジスタS0m（SAUS0SIRm）

チャネルmの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTS0m, PECTS0m, OVCTS0m）を1にセットすると，シリアル・ステータス・レジスタS0m（SAUS0SSRm）の対応ビット（FEFS0m, PEFS0m, OVFS0m）が0にクリアされます。SAUS0SIRmレジスタはトリガ・レジスタなので，SAUS0SSRmレジスタの対応ビットをクリアするとすぐSAUS0SIRmレジスタもクリアされます。

16ビット単位でライトのみ可能です。リード値は常に0000Hになります。

リセットにより0000Hになります。

アドレス：SAUS0SIR0 FFFFF088H, SAUS0SIR1 FFFFF08CH, **リセット時：**0000H W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SIRm	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTS0m注	PECTS0m	OVCTS0m

FECTS0m	チャネルmのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SAUS0SSRmレジスタのFEFS0mビットを0にクリアする

PECTS0m	チャネルmのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SAUS0SSRmレジスタのPEFS0mビットを0にクリアする

OVCTS0m	チャネルmのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SAUS0SSRmレジスタのOVFS0mビットを0にクリアする

注 奇数チャネルのレジスタのみ。

注意 ビット15-3（偶数チャネルのレジスタの場合は，ビット15-2）には，必ず0を設定してください。

備考 m：チャネル番号（m = 0, 1）

(6) シリアル・ステータス・レジスタS0m（SAUS0SSRm）

SAUS0SSRmレジスタは，チャネルmの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

(1/2)

アドレス：SAUS0SSR0 FFFFF080H, SAUS0SSR1 FFFFF084H, リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0 SSRm	0	0	0	0	0	0	0	0	0	TSF S0m	BFF S0m	0	0	FEFS 0m注	PEF S0m	OVF S0m

TSF S0m	チャネルmの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

<クリア条件>
- SAUS0STレジスタのSTS0mビットに1を設定時（通信停止状態），もしくはSAUS0SSレジスタのSSS0mビットに1を設定時（通信待機状態）
- 通信動作が終了時

<セット条件>
- 通信動作を開始時

BFF S0m	チャネルmのバッファ・レジスタ状態表示フラグ
0	有効なデータがSAUS0SDRmレジスタに格納されていない
1	有効なデータがSAUS0SDRmレジスタに格納されている

<クリア条件>
- 送信時においてSAUS0SDRmレジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時においてSAUS0SDRmレジスタから受信データの読み出しが終了したとき
- SAUS0STレジスタのSTS0mビットに1を設定時（通信停止状態）， SAUS0SSレジスタのSSS0mビットに1を設定時（通信許可状態）。

<セット条件>
- SAUS0SDRmレジスタのTXES0mビット = 1（各通信モードでの送信，送受信モード時）の状態でSAUS0SDRmレジスタに送信データを書き込んだとき
- SAUS0SCRmレジスタのRXES0mビット = 1（各通信モードでの受信，送受信モード時）の状態でSAUS0SDRmレジスタに受信データが格納されたとき
- 受信エラー時

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定です。

（2/2）

FEFS0m注	チャネルmのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SAUS0SIRmレジスタのFECTS0mビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEFS0m	チャネルmのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SAUS0SIRmレジスタのPECTS0mビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）

OVFS0m	チャネルmのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SAUS0SIRmレジスタのOVCTS0mビットに1を書き込んだとき
＜セット条件＞
・SAUS0SCRmレジスタのRXES0mビット = 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSAUS0SDRmレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・CSIモードのスレーブ送信／送受信で，送信データが準備できていないとき

注 奇数チャネルのレジスタのみ。偶数チャネルのレジスタの本ビットは“0”固定です。

注意 BFFS0m = 1のときにSAUS0SDRmレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVES0m = 1）と検出されます。

備考 m：チャネル番号（m = 0, 1）

(7) シリアル・チャネル開始レジスタS0（SAUS0SS）

SAUS0SSレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSS0m）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタS0（SAUS0SE）の対応ビット（SES0m）が1にセット（動作許可状態）されます。SSS0mビットはトリガ・ビットなので，SES0m = 1になるとすぐSSS0mビットはクリアされます。

16ビット単位でライトのみ可能です。リード値は常に0000Hになります。

リセットにより0000Hになります。

アドレス：SAU0SS FFFFF0A4H, リセット時：0000H W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSS01	SSS00

SSS0m	チャネルmの動作開始トリガ
0	トリガ動作せず
1	SES0mビットに1をセットし，通信待機状態に遷移する[注]

注 すでに通信動作中の場合は，通信動作を停止してください。

注意1. SAUS0SSレジスタのビット15-2には，必ず0を設定してください。

2. UART受信の場合は，SAUS0SCRmレジスタのRXES0mビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSSS0m = 1を設定してください。

備考 m：チャネル番号（m = 0, 1）

(8) シリアル・チャネル停止レジスタS0（SAUS0ST）

SAUS0STレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STS0m）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタS0（SAUS0SE）の対応ビット（SES0m）が0にクリア（動作停止状態）されます。STS0mビットはトリガ・ビットなので，SES0m = 0になるとすぐSTS0mビットはクリアされます。

16ビット単位でライトのみ可能です。リード値は常に0000Hになります。

リセットにより0000Hになります。

アドレス：SAUS0ST FFFFF0A8H, リセット時：0000H W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0ST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	STS01	STS00

STS0m	チャネルmの動作停止トリガ
0	トリガ動作せず
1	SES0mビットを0にクリアし，通信動作を停止する[注]

注 制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFS0m：フレーミング・エラー・フラグ, PEFS0m：パリティ・エラー・フラグ, OVFS0m：オーバーラン・エラー・フラグ）は，状態を保持したまま停止します。

注意 SAUS0STレジスタのビット15-2には，必ず0を設定してください。

備考 m：チャネル番号（m = 0, 1）

(9) シリアル・チャネル許可ステータス・レジスタS0（SAUS0SE）

SAUS0SEレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタS0（SAUS0SS）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタS0（SAUS0ST）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルmは，後述のシリアル出力レジスタS0（SAUS0SO）のCKOS0mビット（チャネルmのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルmは，SAUS0SOレジスタのCKOS0mビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

アドレス：SAUS0SE FFFFF0A0H, リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SES01	SES00

SES0m	チャネルmの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m：チャネル番号（m = 0, 1）

（10）シリアル出力許可レジスタS0（SAUS0SOE）

SAUS0SOE**レジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。**

シリアル出力を許可したチャネルm**は，後述のシリアル出力レジスタ**S0（SAUS0SO）**の**SOS0m**ビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。**

シリアル出力を停止したチャネルm**は，**SAUS0SO**レジスタの**SOS0m**ビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。**

16**ビット単位でリード／ライト可能です。**

リセットにより0000H**になります。**

アドレス：SAUS0SOE FFFFF0B4H, **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SOE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOES01	SOES00

SOES0m	**チャネル**m**のシリアル出力許可／停止**
0	**シリアル通信動作による出力停止**
1	**シリアル通信動作による出力許可**

注意 SAUS0SOE**レジスタのビット**15-2**には，必ず**0**を設定してください。**

備考 m：**チャネル番号**（m = 0, 1）

（11）シリアル出力レジスタS0（SAUS0SO）

SAUS0SOレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOS0mビットの値が，チャネルmのシリアル・データ出力端子から出力されます。

このレジスタのCKOS0mビットの値が，チャネルmのシリアル・クロック出力端子から出力されます。

このレジスタのSOS0mビットのソフトウエアによる書き換えは，シリアル出力禁止（SOES0m = 0）時のみ可能です。シリアル出力許可（SOES0m = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOS0mビットのソフトウエアによる書き換えは，チャネル動作停止（SES0m = 0）時のみ可能です。チャネル動作許可（SES0m = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOS0m, SOS0mビットに“1”を設定してください。

16ビット単位でリード／ライト可能です。

リセットにより0303Hになります。

アドレス：SAUS0SO FFFFF0B0H, リセット時：0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SO	0	0	0	0	0	0	CKOS01	CKOS00	0	0	0	0	0	0	SOS01	SOS00

CKOS0m	チャネルmのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOS0m	チャネルmのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 SAUS0SOレジスタのビット15-10, 7-2には，必ず0を設定してください。

備考 m：チャネル番号（m = 0, 1）

（12）シリアル出力レベル・レジスタS0**（**SAUS0SOL**）**

SAUS0SOL**レジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。**

このレジスタはUART**モード時のみ設定できます。**CSI**モード時は，必ず対応するビットに**0**を設定してください。**

このレジスタによる各チャネルm**の反転設定は，シリアル出力許可（**SOES0m = 1**）時のみ端子出力に反映されます。シリアル出力禁止（**SOES0m = 0**）時は**SOS0m**ビットの値がそのまま出力されます。**

SAUS0SOL**レジスタは，動作中（**SES0m = 1**のとき）の書き換えは禁止です。**

16**ビット単位でリード／ライト可能です。**

リセットにより0000H**になります。**

アドレス：SAUS0SOL FFFFF0C0H, **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SOL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLS00

SOLS00	UART**モードでのチャネル**m**の送信データのレベル反転の選択**
0	**通信データは，そのまま出力されます。**
1	**通信データは，反転して出力されます。**

注意 SAUS0SOL**レジスタのビット**15-1**には，必ず**0**を設定してください。**

17. 4　動作停止モード

シリアル・アレイ・ユニットSのシリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

17. 4. 1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ2（PER2）で行います。

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニットS0を停止するときは， PER2レジスタのビット3（SAUS0EN）に0を設定してください。

図17－3 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ2（PER2）の設定

（1）周辺イネーブル・レジスタ2（PER2） ・・・停止するSAUS0のビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER2	0	0	0	IICA2EN ×	SAUS0EN 0/1	SAU2EN ×	0	TAU2EN ×

SAUS0の入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意1. SAUS0EN = 0の場合は，シリアル・アレイ・ユニットS0の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。
- TAU2入力切り替え制御レジスタ（TAU2TINSEL）
- UARTノイズ・フィルタ許可レジスタ0, 1（UDNFEN1）

2. PER2レジスタのビット1, 5-7には，必ず“0”を設定してください。

備考 □：設定不可（初期値を設定）
×：シリアル・アレイ・ユニットS0では使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

17. 4. 2 チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図17－4 チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタS0（SAUS0ST）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0ST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	STS01 0/1	STS00 0/1

1：SES0mビットを0にクリアし，通信動作を停止

※ STS0mビットはトリガ・ビットなので，SES0m = 0になるとすぐSTS0mビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタS0（SAUS0SE）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0SE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SES01 0/1	SES00 0/1

0：動作停止状態

※SAUS0SEレジスタはRead Onlyのステータス・レジスタであり，SAUS0STレジスタにて動作停止にします。
動作を停止したチャネルは，SAUS0SOレジスタのCKOS0mビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタS0（SAUS0SOE）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0 SOE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOES01 0/1	SOES00 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SAUS0SOレジスタのSOS0mビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタS0（SAUS0SO）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAUS0 SO	0	0	0	0	0	0	CKOS01 0/1	CKOS00 0/1	0	0	0	0	0	0	SOS01 0/1	SOS00 0/1

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOS0m, SOS0mビットに“1”を設定してください。

備考1. m：チャネル番号（m = 0, 1）

2. □：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

17. 5　3線シリアルI/O（CSIS00, CSIS01）通信の動作

16. 5　3線シリアルI/O（CSI00-CSI03, CSI11, CSI13, CSI21, CSI23, CSI40, CSI41, CSI50, CSI51）通信の動作を参照してください。ただし，シリアル・アレイ・ユニットSでは，16. 5. 7　SNOOZEモード機能は対応しておりません。

17. 6　UART（UARTS00）通信の動作

16. 6　UART（UART00, UART01, UART10, UART11, UART20, UART21, UART40, UART50）通信の動作を参照してください。

17. 7　LIN通信の動作

16. 7　LIN通信の動作を参照してください。

第18章 シリアル・インタフェースIICA

シリアル・インタフェースIICAのチャネル数は，製品によって異なります。

品 名	V850E2/JC4-L（40ピン）	V850E2/JC4-L（48ピン）	V850E2/JE4-L（64ピン）	V850E2/JF4-L（80ピン）	V850E2/JG4-L（100ピン）	V850E2/JH4-L（128ピン）	V850E2/JJ4-L（144ピン）
チャネル数	1チャネル	2チャネル	2チャネル	3チャネル	3チャネル	4チャネル	4チャネル

18. 1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLAn）とシリアル・データ・バス（SDAAn）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLAn端子とSDAAn端子はオープン・ドレーン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICAn）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1（IICCTLn1）のWUPnビットにより設定します。

図18－1に，シリアル・インタフェースIICAのブロック図を示します。

図18－1 シリアル・インタフェースIICAのブロック図

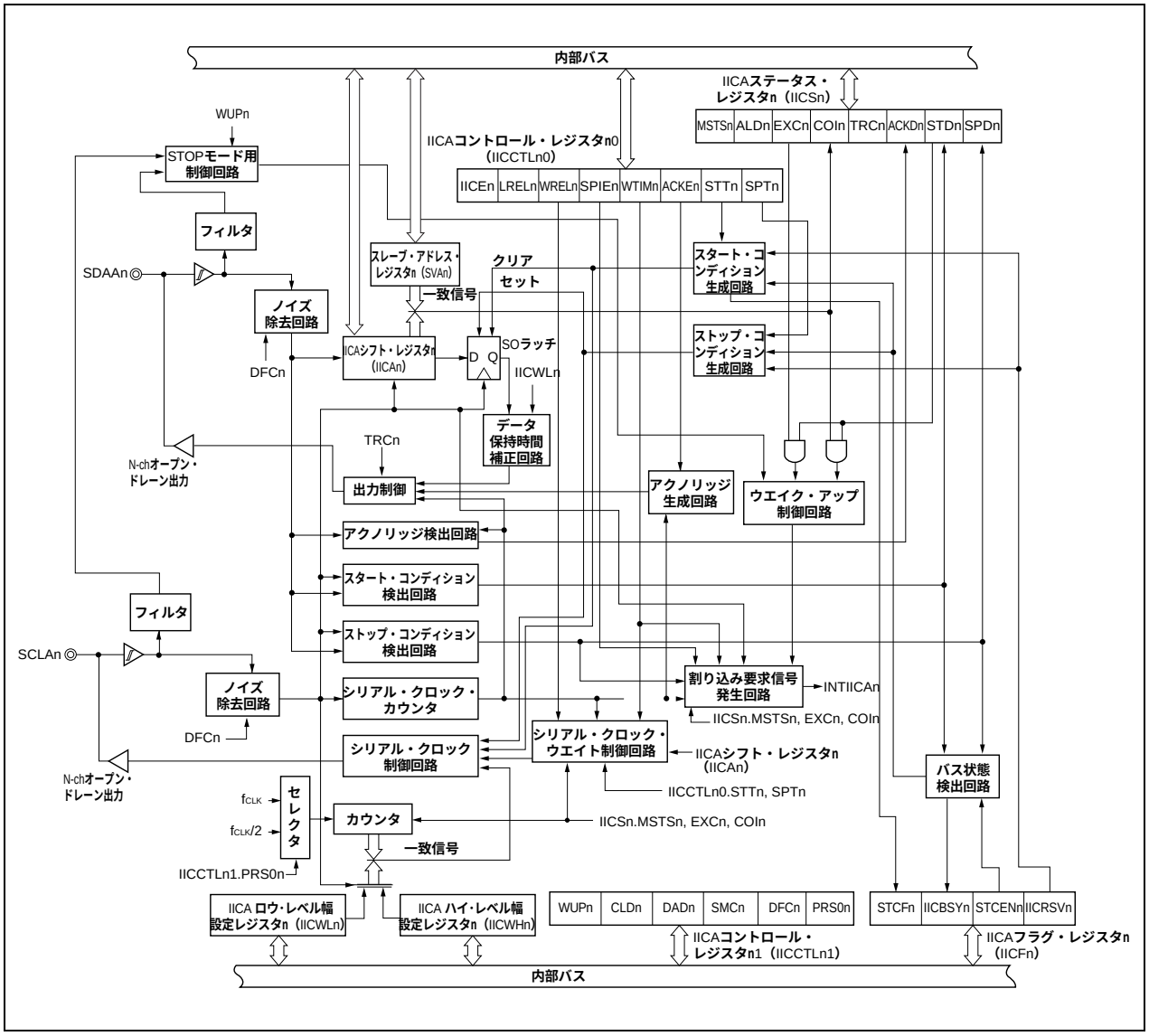
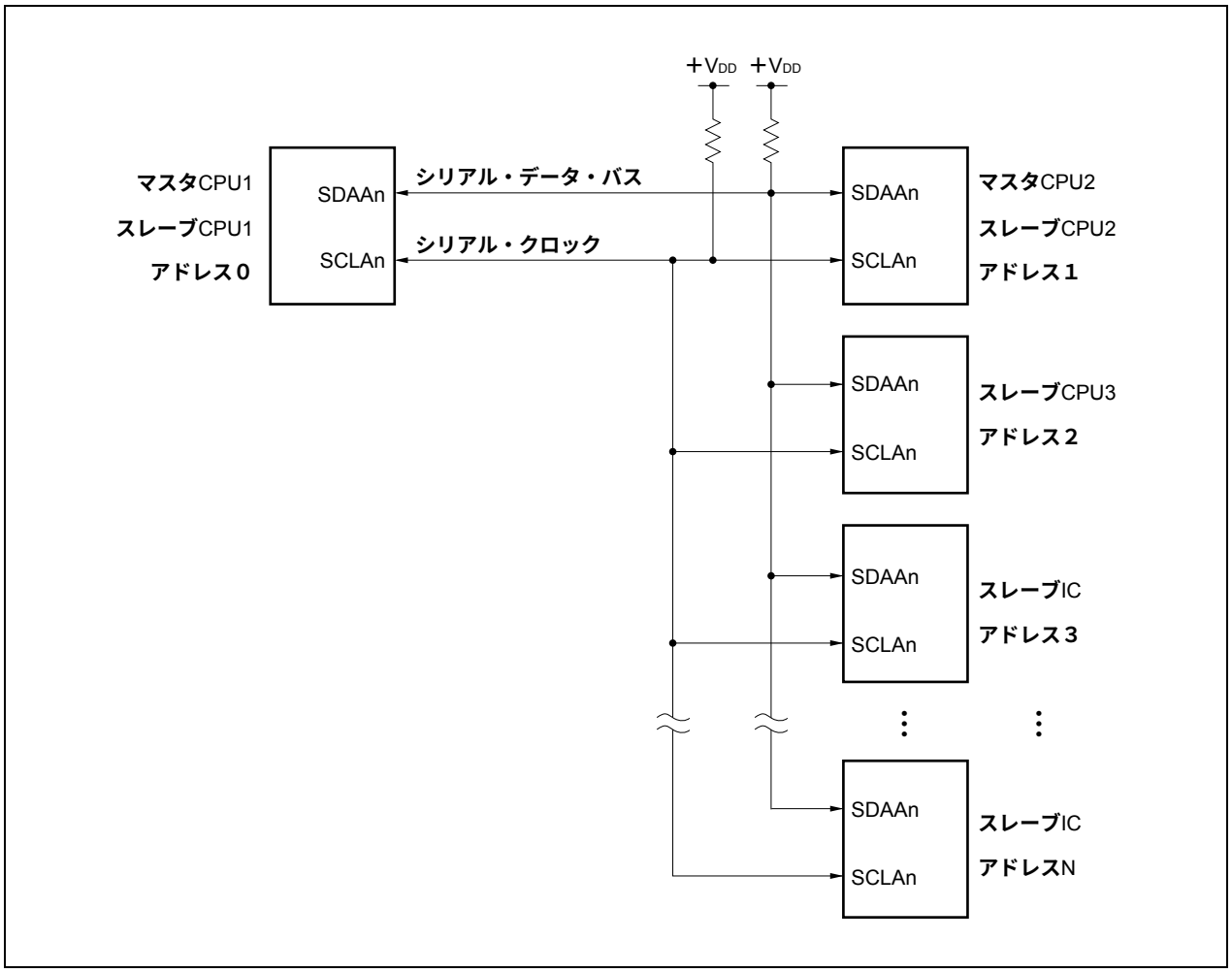


図18－2にシリアル・バス構成例を示します。

図18－2 I²Cバスによるシリアル・バス構成例



18. 2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表18－1 シリアル・インタフェースIICAの構成

項 目	構 成
レジスタ	IICAシフト・レジスタn（IICAn） スレーブ・アドレス・レジスタn（SVAn）
制御レジスタ	周辺イネーブル・レジスタ0-3（PER0-PER3）注 IICAコントロール・レジスタn0（IICCTLn0） IICAステータス・レジスタn（IICSn） IICAフラグ・レジスタn（IICFn） IICAコントロール・レジスタn1（IICCTLn1） IICAロウ･レベル幅設定レジスタn（IICWLn） IICAハイ･レベル幅設定レジスタn（IICWHn）

注 6. 3（29）周辺イネーブル・レジスタ0（PER0）～（32）周辺イネーブル・レジスタ3（PER3）参照

（1）IICAシフト・レジスタn（IICAn）

IICAnレジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

ウエイト期間中のIICAnレジスタへの書き込みにより，ウエイトを解除し，データ転送を開始します。

IICAnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

アドレス：FFFFF400H（IICA0），FFFFF500H（IICA1），FFFFF600H（IICA2），FFFFF700H（IICA3） リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

2. IICAnレジスタには，ウエイト期間中にだけ，書き込み／読み出しをしてください。ウエイト期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STTn）をセット（1）したあと，1回書き込みできます。

3. 通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは，8ビット・メモリ操作命令で設定します。

ただし，STDn = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

アドレス：FFFFF430H（SVA0），FFFFF530H（SVA1），FFFFF630H（SVA2），FFFFF730H（SVA3）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAAn端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタn（SVAn）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICAn）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICAn）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIMnビットで設定）
- ストップ・コンディション検出による割り込み要求発生（SPIEnビットで設定）

備考　WTIMnビット　：IICAコントロール・レジスタn0（IICCTLn0）のビット3
　　SPIEnビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

(9) アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTnビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSVnビット = 1）で，かつバスが解放されていない（IICBSYnビット = 1）場合には，スタート・コンディション要求は無視し，STCFnビットをセット（1）します。

(12) ストップ・コンディション生成回路

SPTnビットがセット（1）されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCENnビットにより，バス状態検出回路の初期状態を設定してください。

備考	STTnビット	：IICAコントロール・レジスタn0（IICCTLn0）	のビット1
	SPTnビット	： 〃	のビット0
	IICRSVnビット	：IICAフラグ・レジスタn（IICFn）	のビット0
	IICBSYnビット	： 〃	のビット6
	STCFnビット	： 〃	のビット7
	STCENnビット	： 〃	のビット1

18. 3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次の8種類のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）注
- IICAコントロール・レジスタn0（IICCTLn0）
- IICAフラグ・レジスタn（IICFn）
- IICAステータス・レジスタn（IICSn）
- IICAコントロール・レジスタn1（IICCTLn1）
- IICAロウ・レベル幅設定レジスタn（IICWLn）
- IICAハイ・レベル幅設定レジスタn（IICWHn）

注 6. 3（29）周辺イネーブル・レジスタ0（PER0），（30）周辺イネーブル・レジスタ1（PER1），（31）周辺イネーブル・レジスタ2（PER2）参照

（1）IICAコントロール・レジスタn0（IICCTLn0）

I^2Cの動作許可／停止，ウエイト・タイミングの設定，その他I^2Cの動作を設定するレジスタです。

IICCTLn0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIEn, WTIMn, ACKEnビットは，IICEn = 0のとき，またはウエイト期間中に設定してください。またIICEnビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

(1/4)

アドレス：FFFFF420H（IICCTL00）, FFFFF520H（IICCTL10）, **リセット時：**00H R/W
FFFFF620H（IICCTL20）, FFFFF720H（IICCTL30）

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I²Cの動作許可
0	動作停止。IICAステータス・レジスタn（IICSn）をリセット[注1]。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICEn = 0）	セットされる条件（IICEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

LRELn[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0（IICCTLn0），IICAステータス・レジスタn（IICSn）のうち，次のフラグがクリア（0）される。 ・STTn ・SPTn ・MSTSn ・EXCn ・COIn ・TRCn ・ACKDn ・STDn
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LRELn = 0）	セットされる条件（LRELn = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WRELn[注2, 3]	ウエイト解除
0	ウエイトを解除しない。
1	ウエイトを解除する。ウエイト解除後，自動的にクリアされる。
送信状態（TRCn = 1）で，9クロック目のウエイト期間中にWRELnビットをセット（ウエイトを解除）した場合，SDAAnラインをハイ・インピーダンス（TRCn = 0）にします。	
クリアされる条件（WRELn = 0）	セットされる条件（WRELn = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1. リセットされるのは，IICAステータス・レジスタn（IICAn），IICAフラグ・レジスタn（IICFn）のSTCFn，IICBSYnビット，IICAコントロール・レジスタn1（IICCTLn1）レジスタのCLDn，DADnビットです。

2. IICEn = 0の状態では，このビットの信号は無効になります。

3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル，SDAAnラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTLn1レジスタのDFCn = 1）のときにI²Cを動作許可（IICEn = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I²Cを動作許可（IICEn = 1）したあと，連続して1ビット・メモリ操作命令により，LRELnビットをセット（1）してください。

(2/4)

SPIEn[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタn1（IICCTLn1）のWUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIEn = 0）	セットされる条件（SPIEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIMn[注1]	ウエイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（$\overline{\text{ACK}}$）発生後の9クロック目の立ち下がりでウエイトに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでウエイトに入ります。	
クリアされる条件（WTIMn = 0）	セットされる条件（WTIMn = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKEn 注1,2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件（ACKEn = 0）	セットされる条件（ACKEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1. IICEn = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

(3/4)

STTn[注]	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSYnが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ，STTnクリア・フラグ（STCFn）がセット（1）される。スタート・コンディションは生成しない。 ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。

・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。

・STTnビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。

クリアされる条件（STTn = 0）	セットされる条件（STTn = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注 IICEn = 0の状態では，このビットの信号は無効になります。

備考1. ビット1（STTn）は，データ設定後に読み出すと0になっています。

2. IICRSVn ：IICフラグ・レジスタn（IICFn）のビット0

STCFn ： 〃 のビット7

(4/4)

SPTn	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。

・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。

・SPTnビットのセット（1）は，マスタのときのみ行ってください。

・WTIMn = 0設定時に，8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると，ウエイト解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMn = 0→1に設定し，9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。

・SPTnビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注意 IICAステータス・レジスタn（IICSn）のビット3（TRCn）= 1（送信状態）のとき，9クロック目にIICCTLn0レジスタのビット5（WRELn）をセット（1）してウエイト解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考 ビット0（SPTn）は，データ設定後に読み出すと0になっています。

(2) IICAステータス・レジスタn（IICSn）

I²Cのステータスを表すレジスタです。

IICSnレジスタは，STTn = 1およびウエイト期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUPn=1）状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から，INTIICAn割り込み要求と関係なくWUPnビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIEn = 1）して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1
WUPn ：IICAコントロール・レジスタn1（IICCTLn1）のビット7

(1/3)

アドレス：FFFFF404H（IICS0），FFFFF504H（IICS1），FFFFF604H（IICS2），FFFFF704H（IICS3） リセット時：00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTSn = 0）	セットされる条件（MSTSn = 1）
・ストップ・コンディション検出時 ・ALDn = 1（アービトレーション負け）のとき ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。

クリアされる条件（ALDn = 0）	セットされる条件（ALDn = 1）
・IICSnレジスタ読み出し後，自動的にクリア注 ・IICEn = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALDnビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考 LRELn ：IICAコントロール・レジスタn0（IICCTLn0）のビット6
IICEn ： 〃 のビット7

(2/3)

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXCn = 0）	セットされる条件（EXCn = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COIn = 0）	セットされる条件（COIn = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタn（SVAn））と一致したとき（8クロック目の立ち上がりでセット）

TRCn	送信／受信状態検出
0	受信状態（送信状態以外）。SDAAnラインをハイ・インピーダンスにする。
1	送信状態。SDAAnラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRCn = 0）	セットされる条件（TRCn = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・WRELn = 1（ウエイト解除）によるクリア[注] ・ALDn = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTSn, EXCn, COIn = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注 IICAステータス・レジスタn（IICSn）のビット3（TRCn）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）をセット（1）してウエイトを解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考 LRELn ：IICAコントロール・レジスタn0（IICCTLn0）のビット6
IICEn ： 〃 のビット7

(3/3)

ACKDn	アクノリッジ（$\overline{\text{ACK}}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKDn = 0）	セットされる条件（ACKDn = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STDn = 0）	セットされる条件（STDn = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPDn = 0）	セットされる条件（SPDn = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考 LRELn ：IICAコントロール・レジスタn0（IICCTLn0）のビット6
IICEn ： 〃 のビット7

(3) IICAフラグ・レジスタn（IICFn）

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICFnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STTnクリア・フラグ（STCFn），I²Cバス状態フラグ（IICBSYn）は読み出しのみ可能です。

IICRSVnビットにより，通信予約機能の禁止／許可を設定します。

またSTCENnビットにより，IICBSYnビットの初期値を設定します。

IICRSVn，STCENnビットはI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn） = 0）のときのみ書き込み可能です。動作許可後，IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

アドレス：FFFFF408H（IICF0），FFFFF508H（IICF1），FFFFF608H（IICF2），FFFFF708H（IICF3） **リセット時：**00H R/W[注]

略号	7	6	5	4	3	2	1	0
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STTnフラグ・クリア。

クリアされる条件（STCFn = 0）	セットされる条件（STCFn = 1）
・STTn = 1によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSVn = 1）設定時にスタート・コンディション発行できず，STTnビットがクリア（0）されたとき

IICBSYn	I^2Cバス状態フラグ
0	バス解放状態（STCENn = 1時の通信初期状態）。
1	バス通信状態（STCENn = 0時の通信初期状態）。

クリアされる条件（IICBSYn = 0）	セットされる条件（IICBSYn = 1）
・ストップ・コンディション検出時 ・IICEn = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCENn = 0時のIICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可（IICEn = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICEn = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCENn = 0）	セットされる条件（STCENn = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSVn = 0）	セットされる条件（IICRSVn = 1）
・命令によるクリア ・リセット時	・命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止（IICEn = 0）時のみ行ってください。

2. STCENn = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを発行（STTn = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVnへの書き込みは動作停止（IICEn = 0）時のみ行ってください。

備考 STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1
IICEn ： 〃 のビット7

(4) IICAコントロール・レジスタn1（IICCTLn1）

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLDn，DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは，WUPnビットを除きI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn） = 0）のときに設定してください。

リセット信号の発生により，00Hになります。

(1/2)

アドレス：FFFFF424H（IICCTL01），FFFFF524H（IICCTL11），FFFFF624H（IICCTL21），FFFFF724H（IICCTL31）　リセット時：00H　R/W注1

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRS0n

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可

WUPn = 1でSTOPモードに移行する場合は，WUPnビットをセット（1）して3クロック以上経過後にSTOP命令を実行してください（図18－12　WUPn = 1を設定する場合のフロー参照）。

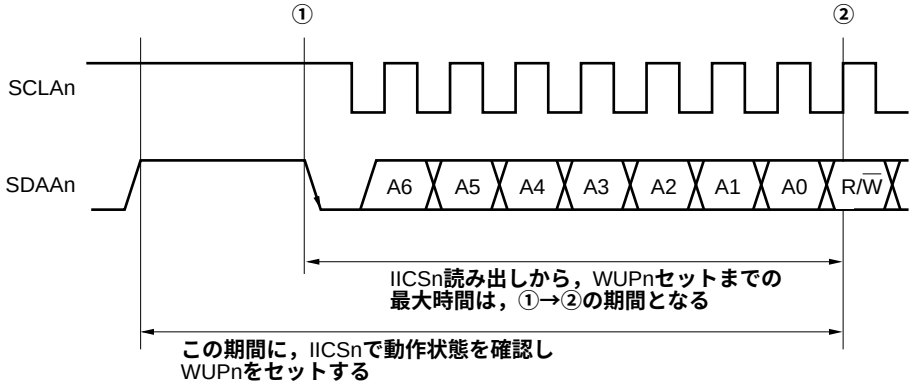
アドレス一致，または拡張コード受信後はWUPnビットをクリア（0）してください。WUPnビットをクリア（0）することで，その後の通信に参加する事ができます（ウエイト解除および送信データ書き込みは，WUPnビットをクリア（0）したあとに行う必要があります）。

WUPn = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUPn = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。

クリアされる条件（WUPn = 0）	セットされる条件（WUPn = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTSn, EXCn, COIn = 0であり，STDn = 0（通信に不参加である事）のとき）注2

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に，IICAステータス・レジスタn（IICSn）の状態を確認しセットする必要があります。



(2/2)

CLDn	SCLAn端子のレベル検出（IICEn = 1のときのみ有効）
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出

クリアされる条件（CLDn = 0）	セットされる条件（CLDn = 1）
・SCLAn端子がロウ・レベルのとき ・IICEn = 0（動作停止）のとき ・リセット時	・SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出（IICEn = 1のときのみ有効）
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出

クリアされる条件（DADn = 0）	セットされる条件（DADn = 1）
・SDAAn端子がロウ・レベルのとき ・IICEn = 0（動作停止）のとき ・リセット時	・SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは，ファースト・モード時にのみ使用できます。
ファースト・モード時はDFCnビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。
デジタル・フィルタは，ファースト・モード時にノイズ除去のために使用します。

PRS0n	動作クロックの分周動作制御
0	動作クロックにf_{CLK}を選択
1	動作クロックに$f_{CLK}/2$を選択

注意 シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを越える場合は，PRS0nビットを1にすることで，動作クロックに$f_{CLK}/2$を選択してください。

備考 IICEn：IICAコントロール・レジスタn0（IICCTLn0）のビット7

(5) IICAロウ・レベル幅設定レジスタn（IICWLn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のロウ・レベル幅（t_{LOW}）とデータ・ホールド時間（$t_{HD:DAT}$）を設定するレジスタです。データ・ホールド時間は，IICWLの上位6ビットで決定されます。

IICWLnレジスタは，8ビット・メモリ操作命令で設定します。

IICWLnレジスタは，I^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWLnの設定方法については，18. 4. 2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

アドレス：FFFFF428H（IICWL0），FFFFF528H（IICWL1），FFFFF628H（IICWL2），FFFFF728H（IICWL3） リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

データ・ホールド時間設定値

備考 IICWLn, IICWHnレジスタによる転送クロックの設定方法は，18. 4. 2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

(6) IICAハイ・レベル幅設定レジスタn（IICWHn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のハイ・レベル幅を設定するレジスタです。

IICWHnレジスタは，8ビット・メモリ操作命令で設定します。

IICWHnレジスタは，I^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

アドレス：FFFFF42CH（IICWH0），FFFFF52CH（IICWH1），FFFFF62CH（IICWH2），FFFFF72CH（IICWH3） リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考 IICWLn, IICWHnレジスタによる転送クロックの設定方法は，18. 4. 2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

18. 4 I²Cバス・モードの機能

18. 4. 1 端子構成

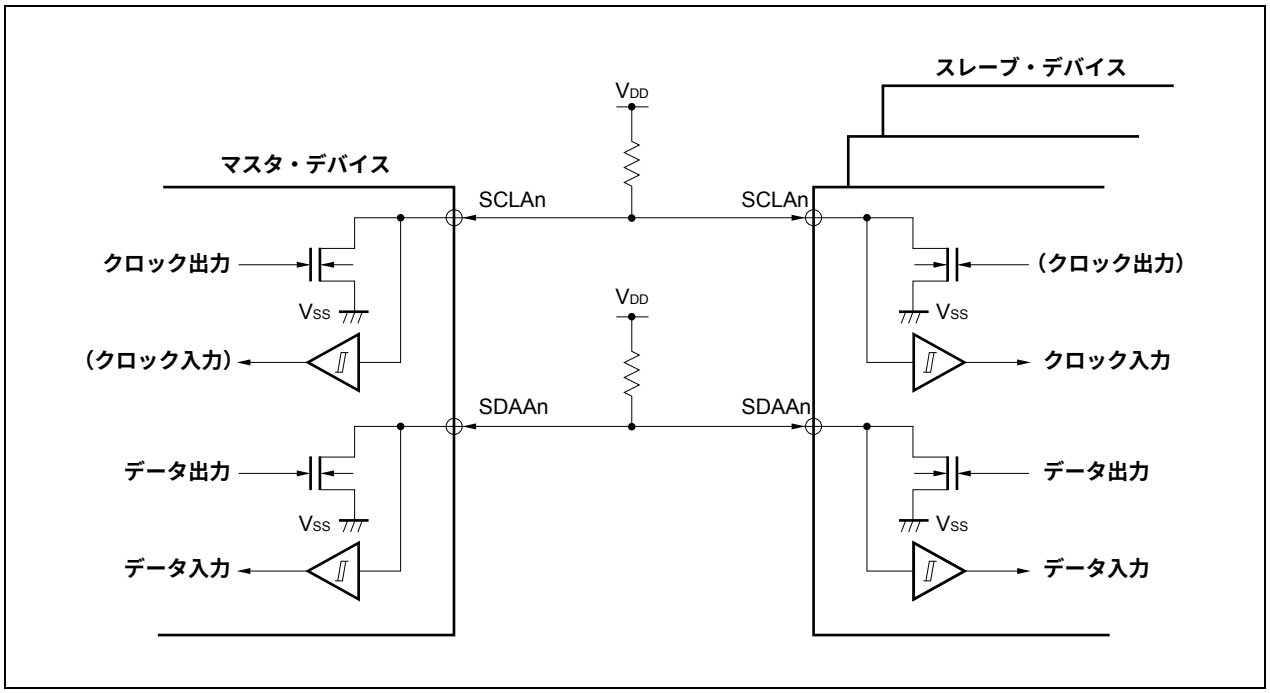
シリアル・クロック端子（SCLAn）と，シリアル・データ・バス端子（SDAAn）の構成は，次のようになっています。

（1）SCLAn……シリアル・クロックを入出力するための端子。
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

（2）SDAAn……シリアル・データの入出力兼用端子。
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図18－3 端子構成図



18. 4. 2 IICWLn, IICWHnレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{CLK}}{IICWL + IICWH + f_{CLK}(t_R + t_F)}$$

このとき，最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{CLK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{CLK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

・ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{CLK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法
（設定値はすべて小数点以下切り上げ）

・ファースト・モード時

$$IICWLn = 1.3\ \mu s \times f_{CLK}$$

$$IICWHn = (1.2\ \mu s - t_R - t_F) \times f_{CLK}$$

・標準モード時

$$IICWLn = 4.7\ \mu s \times f_{CLK}$$

$$IICWHn = (5.3\ \mu s - t_R - t_F) \times f_{CLK}$$

・ファースト・モード・プラス時

$$IICWLn = 0.50\ \mu s \times f_{CLK}$$

$$IICWHn = (0.50\ \mu s - t_R - t_F) \times f_{CLK}$$

注意 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時	：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時	：f_{CLK} = 10 MHz（Min.）
標準モード時	：f_{CLK} = 1 MHz（Min.）

また，シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを越える場合は，IICCTLn1レジスタのPRS0nビットを1にすることで，動作クロックに$f_{CLK}/2$を選択してください。

備考1. SDAAn, SCLAn**信号の立ち上がり時間（**t_R**）と立ち下がり時間（**t_F**）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。**

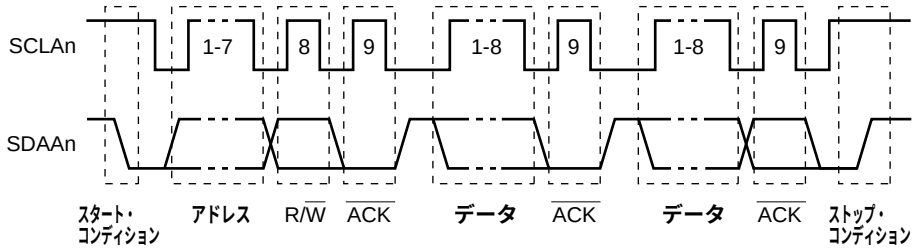
2. IICWLn ：IICA**ロウ・レベル幅設定レジスタ**n
   IICWHn ：IICA**ハイ・レベル幅設定レジスタ**n
   t_F ：SDAAn, SCLAn**信号の立ち下がり時間**
   t_R ：SDAAn, SCLAn**信号の立ち上がり時間**
   f_{CLK} ：CPU／**周辺クロック周波数**

18. 5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図18－4に示します。

図18－4 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

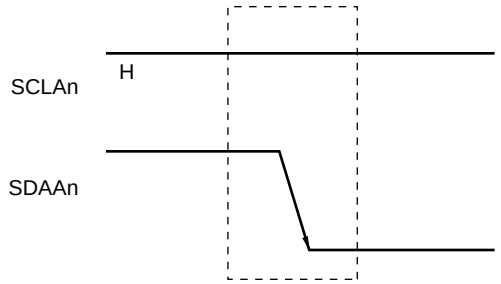
アクノリッジ（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

18. 5. 1 スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図18－5 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPDn：IICAステータス・レジスタn（IICSn）のビット0 = 1）のときにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1（STDn）がセット（1）されます。

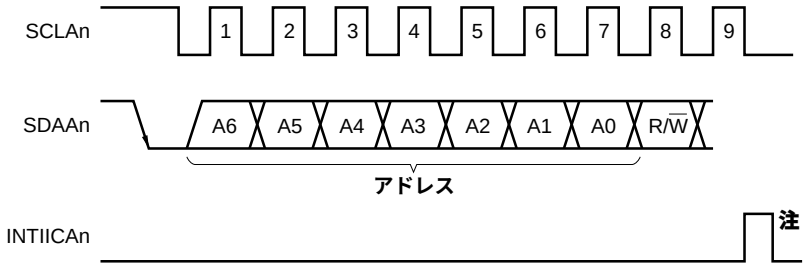
18. 5. 2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタn（SVAn）と一致しているかを調べます。このとき，7ビット・データとSVAnレジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図18－6 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

アドレスは，スレーブのアドレスと18. 5. 3 **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタn（IICAn）に書き込むと出力します。また，受信したアドレスはIICAnレジスタに書き込まれます。

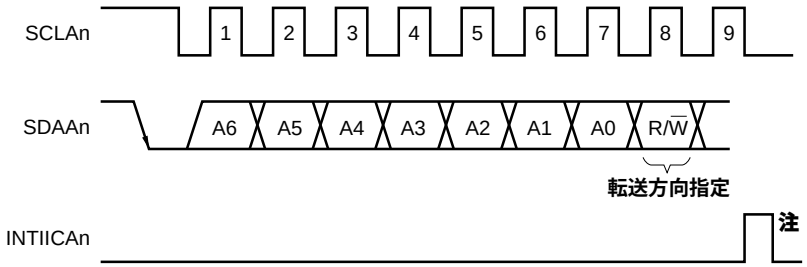
なお，スレーブのアドレスは，IICAnレジスタの上位7ビットに割り当てられます。

18. 5. 3 転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図18－7 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

18. 5. 4 アクノリッジ（$\overline{\text{ACK}}$）

アクノリッジ（$\overline{\text{ACK}}$）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタn（IICSn）のビット2（ACKDn）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

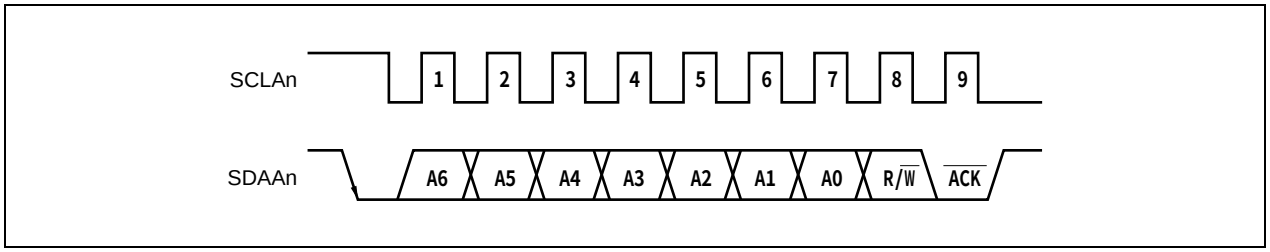
アクノリッジ生成は，受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタn0（IICCTLn0）のビット2（ACKEn）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3（TRCn）が設定されます。受信（TRCn = 0）の場合は，通常，ACKEnビットをセット（1）してください。

スレーブ受信動作時（TRCn = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKEnビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCn = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKEnビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図18－8 アクノリッジ



自局アドレス受信時は，ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKEnビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウエイト・タイミングの設定により次のように異なります。

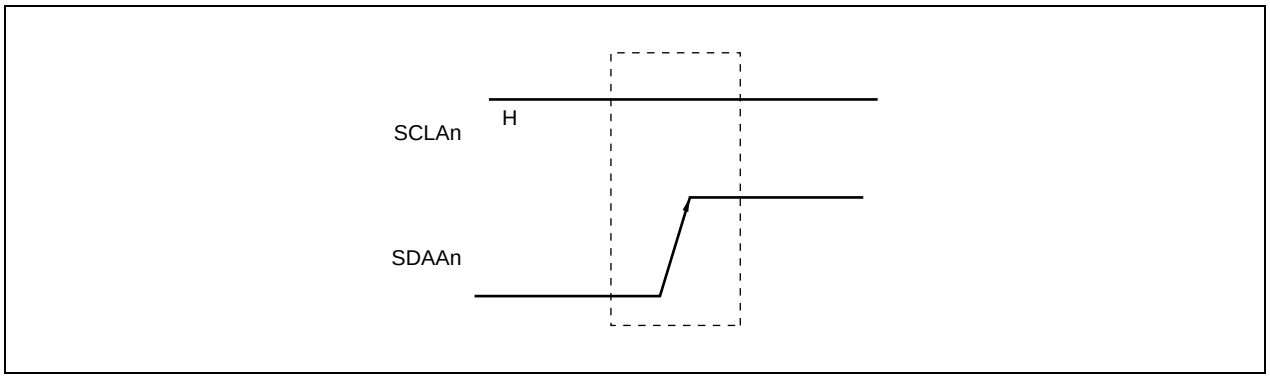
- 8クロック・ウエイト選択時（IICCTLn0レジスタのビット3（WTIMn） = 0）：
  ウエイト解除を行う前にACKEnビットをセット（1）することによって，SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・ウエイト選択時（IICCTLn0レジスタのビット3（WTIMn） = 1）：
  あらかじめACKEnビットをセット（1）することによって，アクノリッジを生成します。

18. 5. 5 ストップ・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図18－9 ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタn0（IICCTLn0）のビット0（SPTn）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタn（IICSn）のビット0（SPDn）がセット（1）され，IICCTLn0レジスタのビット4（SPIEn）がセット（1）されている場合にはINTIICAnが発生します。

18. 5. 6 ウエイト

ウエイトによっては，マスタまたはスレーブがデータの送受信のための準備中（ウエイト状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタ，スレーブ両方のウエイト状態が解除されると，次の転送を開始できます。

図18－10 ウエイト（1/2）

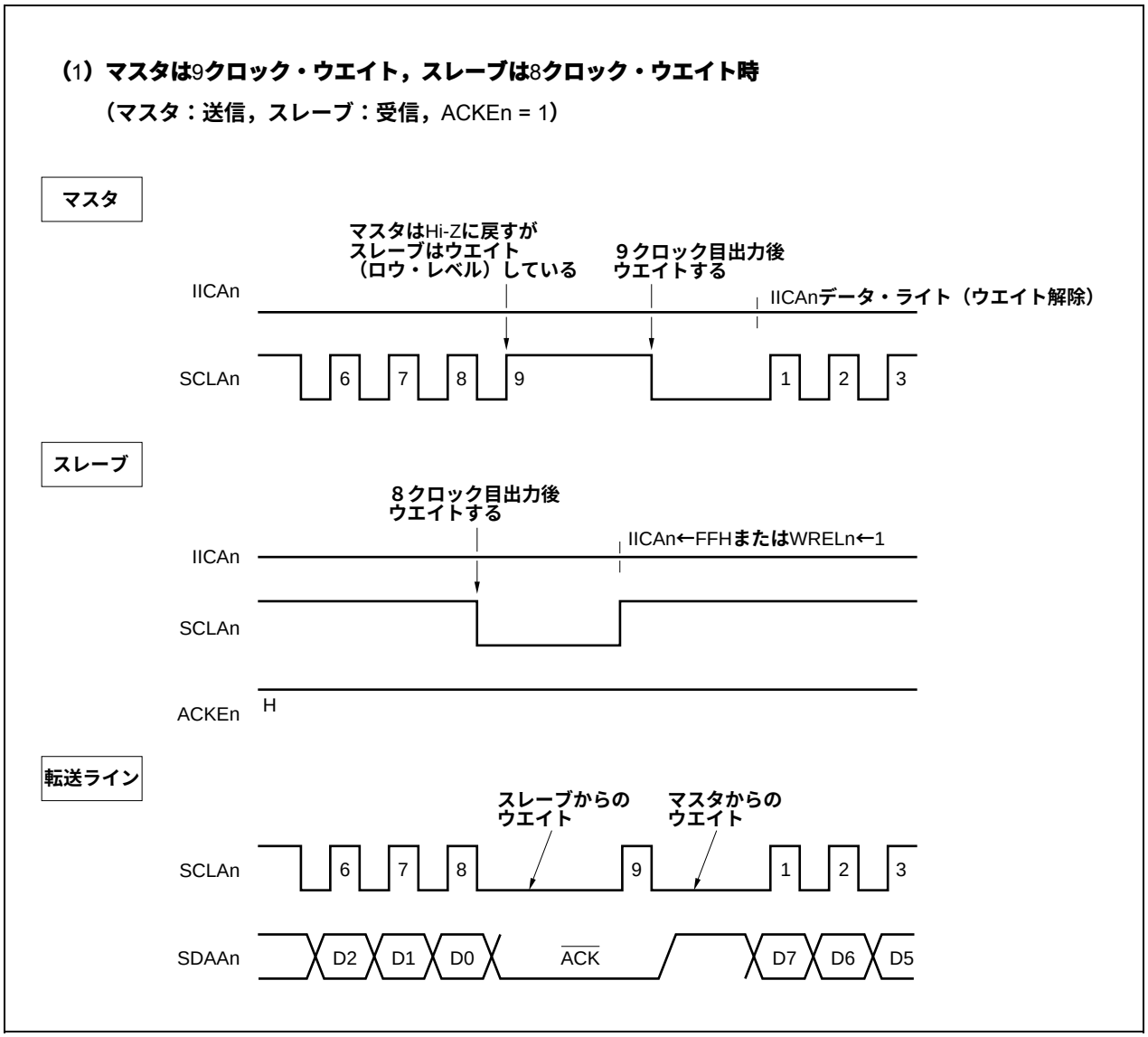
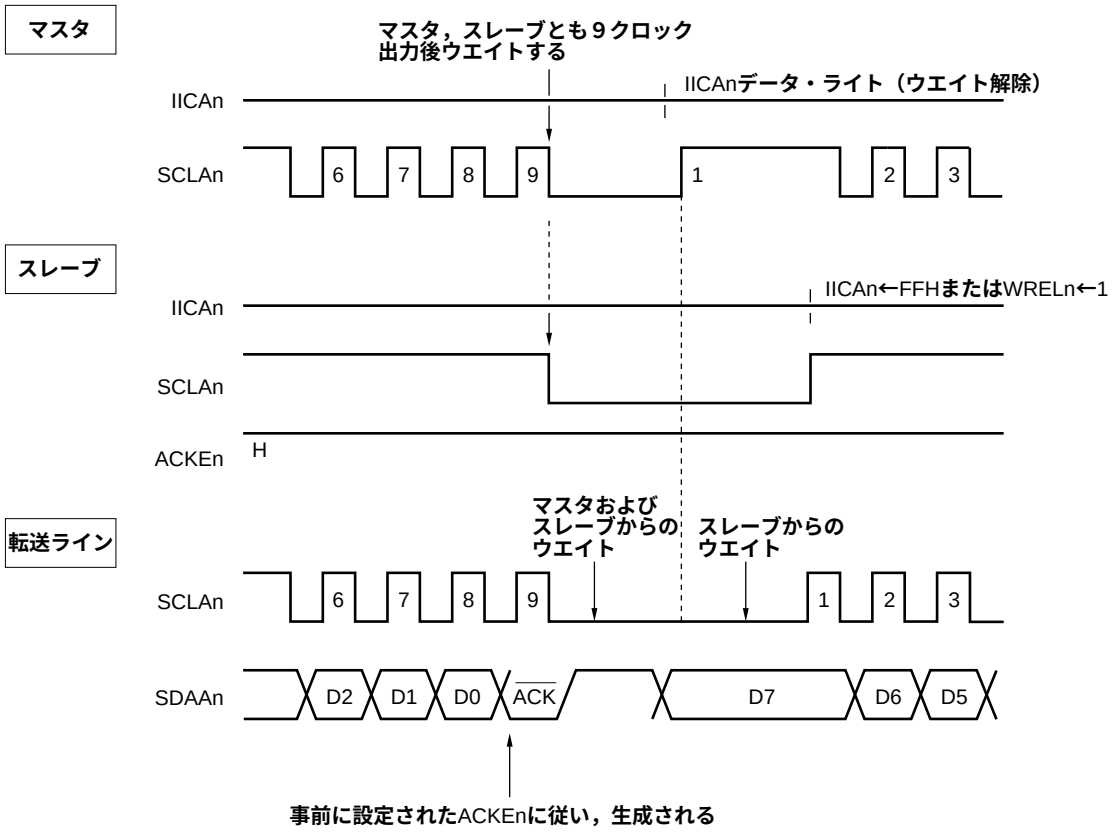


図18－10 ウエイト（2/2）

(2) マスタ，スレーブとも9クロック・ウエイト時

（マスタ：送信，スレーブ：受信，ACKEn = 1）



備考 ACKEn ：IICAコントロール・レジスタn0（IICCTLn0）のビット2
WRELn ： 〃 のビット5

ウエイトは，IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定により自動的に発生します。

通常，受信側はIICCTLn0レジスタのビット5（WRELnビット） = 1またはIICAシフト・レジスタn（IICAn）にFFHを書き込むとウエイトを解除し，送信側はIICAnレジスタにデータを書き込むとウエイトを解除します。

マスタの場合は，次の方法でもウエイトを解除できます。

- IICCTLn0レジスタのビット1（STTn） = 1
- IICCTLn0レジスタのビット0（SPTn） = 1

18. 5. 7 ウエイト解除方法

I²Cでは，通常，次のような処理でウエイトを解除できます。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（ウエイト解除）
- IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）注

注 マスタのみ。

これらのウエイト解除処理を実行した場合，I²Cはウエイトを解除し，通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には，IICAnレジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTLn0レジスタのビット5（WRELn）をセット（1）してください。

ウエイト解除後にリスタート・コンディションを生成する場合には，IICCTLn0レジスタのビット1（STTn）をセット（1）してください。

ウエイト解除後にストップ・コンディションを生成する場合には，IICCTLn0レジスタのビット0（SPTn）をセット（1）してください。

1回のウエイト状態に対して1回だけ解除処理を実行してください。

たとえば，WRELnビットにセット（1）によるウエイト解除後，IICAnレジスタへのデータ書き込みを実施した場合には，SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により，SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICEnビットをクリア（0）すると通信を停止するので，ウエイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTLn0レジスタのビット6（LRELn）をセット（1）すると通信から退避するので，ウエイトを解除できます。

注意 WUPn = 1のときにウエイト解除処理を実行した場合，ウエイトは解除されません。

18. 5. 8 割り込み要求（INTIICAn）発生タイミングおよびウエイト制御

IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定で，表18－2に示すタイミングでINTIICAnが発生し，また，ウエイト制御を行います。

表18－2 INTIICAn発生タイミングおよびウエイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブのINTIICAn信号およびウエイトは，スレーブ・アドレス・レジスタn（SVAn）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTLn0レジスタのビット2（ACKEn）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICAnを発生しますが，ウエイトは発生しません。

2. スレーブ・アドレス・レジスタn（SVAn）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICAnもウエイトも発生しません。

備考 表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

・スレーブ動作時：WTIMnビットにかかわらず，上記の注1, 2の条件により，割り込みおよびウエイト・タイミングが決まります。
・マスタ動作時 ：WTIMnビットにかかわらず，割り込みおよびウエイト・タイミングは，9クロック目の立ち下がりで発生します。

(2) データ受信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびウエイト・タイミングが決まります。

(3) データ送信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびウエイト・タイミングが決まります。

(4) ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（ウエイト解除）
- IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）注

注 マスタのみ。

8クロック・ウエイト選択（WTIMn = 0）時は，ウエイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは，ストップ・コンディションを検出すると発生します（SPIEn = 1のときのみ）。

18. 5. 9 アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn（SVAn）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICAn割り込み要求が発生します。

18. 5. 10 エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAAn）の状態が，送信しているデバイスのIICAシフト・レジスタn（IICAn）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

18. 5. 11 拡張コード

(1) 受信アドレスの上位4ビットが“ 0000 ”と“ 1111 ”のときを拡張コード受信として，拡張コード受信フラグ（EXCn）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICAn）を発生します。
スレーブ・アドレス・レジスタn（SVAn）に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“ 11110xx0 ”を設定されているときに，10ビット・アドレス転送でマスタから“ 11110xx0 ”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICAn）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致：EXCn = 1
・7ビット・データの一致　　：COIn = 1

備考 EXCn　：IICAステータス・レジスタn（IICSn）のビット5
COIn　：　〃　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn） = 1に設定してください。次の通信待機状態にします。

表18－3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111 0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考 上記以外の拡張コードについては，NXP社発行のI^2Cバスの仕様書を参照してください。

18. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STDn = 1になる前にSTTn = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセット（1）し，SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては，18. 5. 8 **割り込み要求（INTIICAn）の発生タイミングおよびウエイト制御**を参照してください。

備考 STDn ：IICAステータス・レジスタn（IICSn）のビット1
STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1

図18－11 アービトレーション・タイミング例

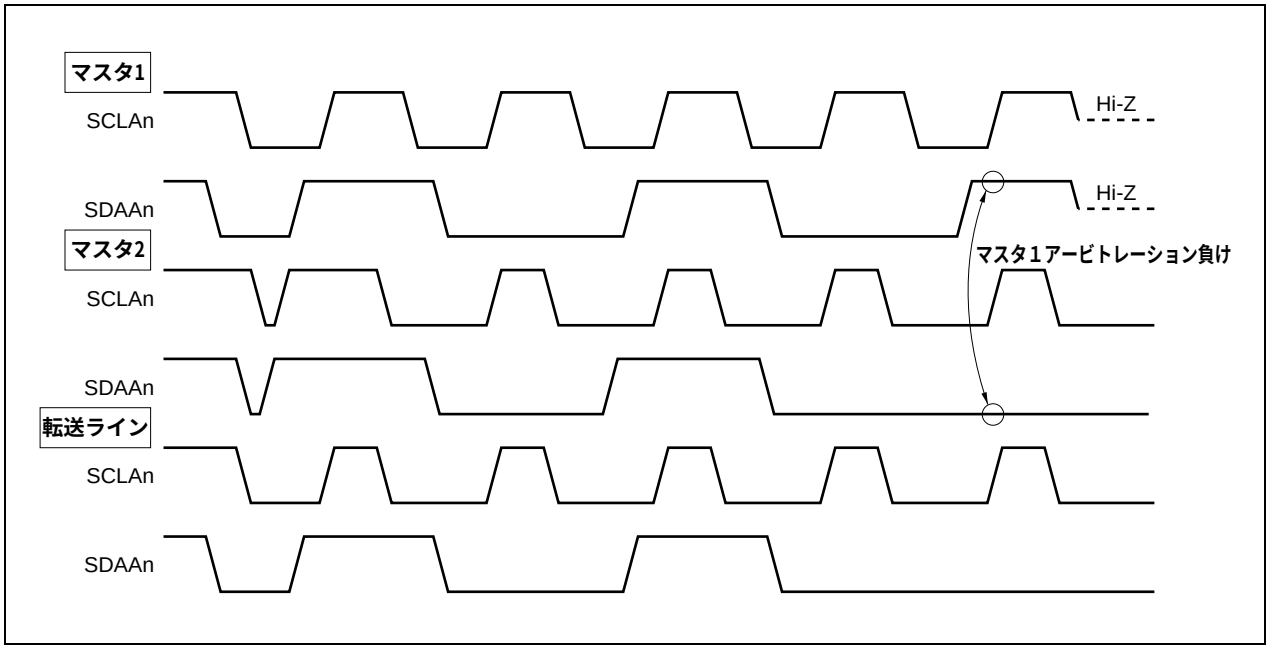


表18－4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり[注1]
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）[注2]
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）[注2]
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット（IICAコントロール・レジスタn0（IICCTLn0）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合，マスタ動作ではSPIEn = 1に設定してください。

備考 SPIEn：IICAコントロール・レジスタn0（IICCTLn0）のビット 4

18. 5. 13 ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

アドレスが一致しないときは不要なINTIICAn信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると，ウエイク・アップ機能に関係なく，IICAコントロール・レジスタn0（IICCTLn0）のビット4（SPIEn）の設定によって，割り込み要求の発生許可／禁止が決定します。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令でWUPnビットをクリア（0）することで通常動作に戻ります。

WUPn = 1に設定する場合のフローを図18－12に，アドレス一致によりWUPn = 0に設定する場合のフローを図18－13に示します。

図18－12 WUPn = 1を設定する場合のフロー

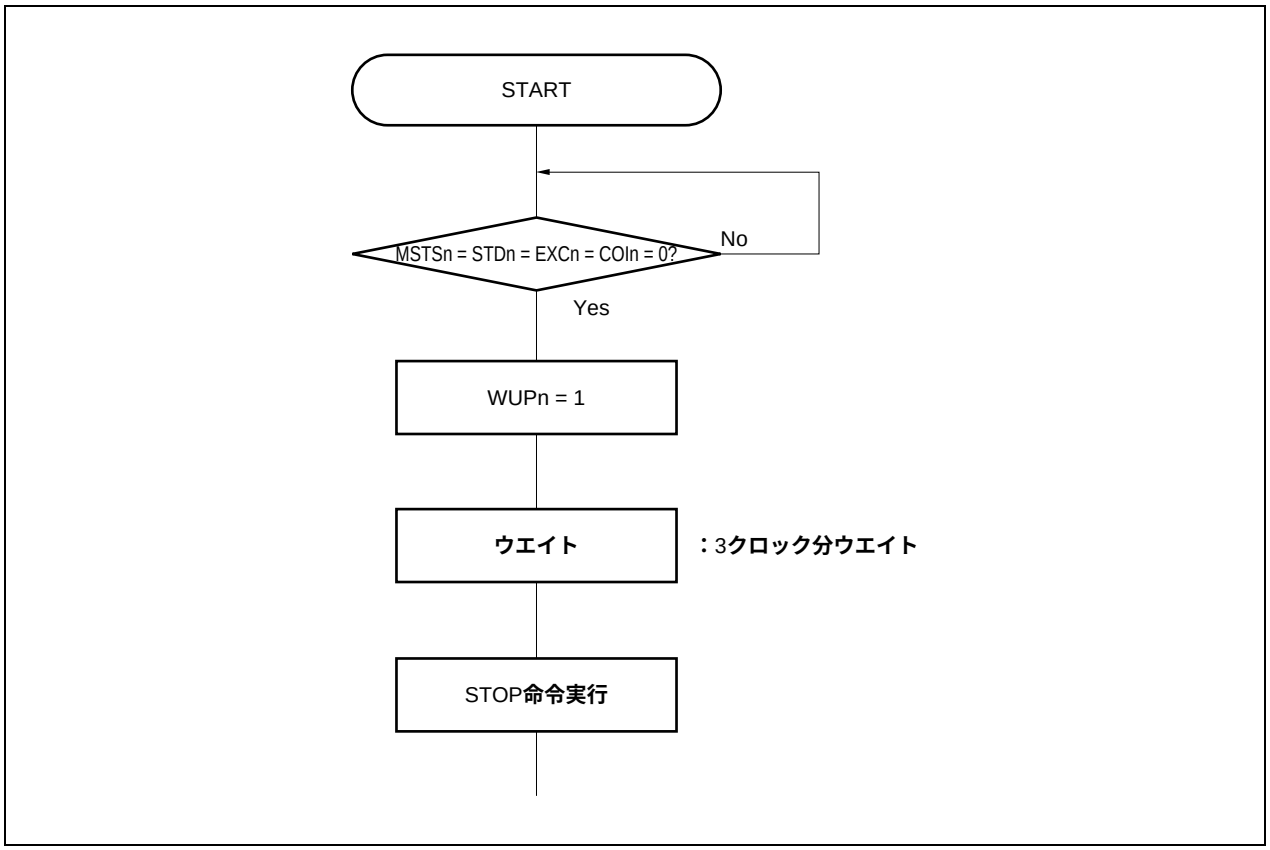
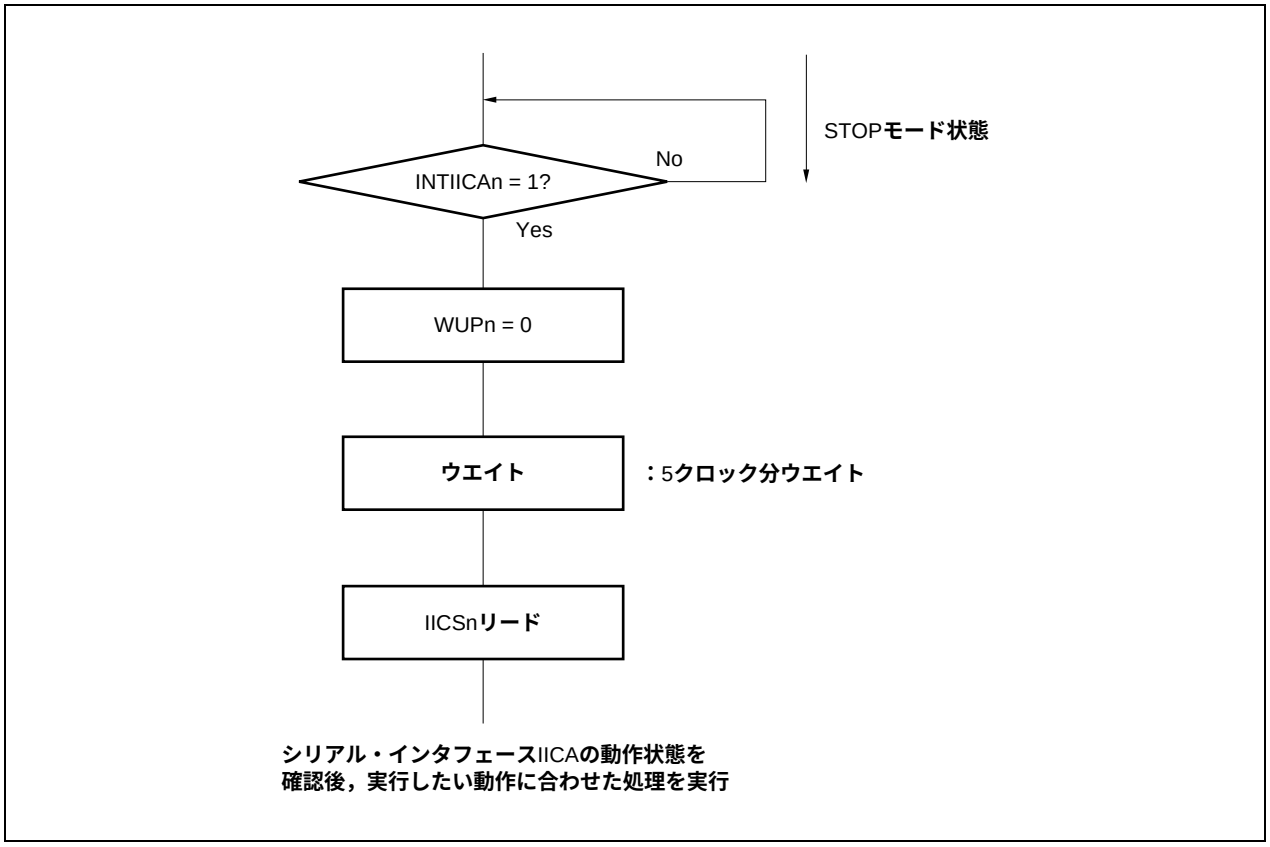


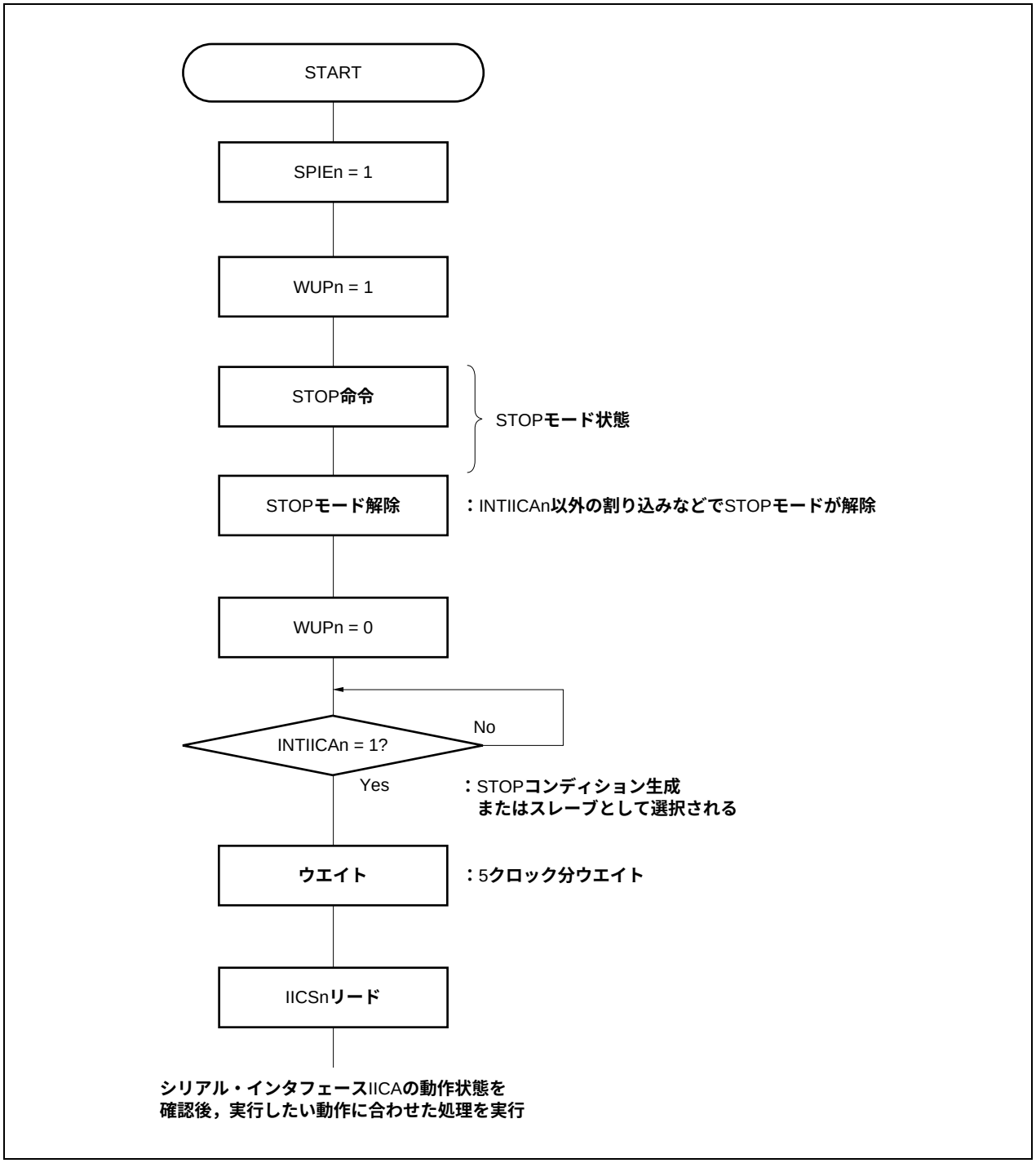
図18－13 アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）



また，シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- マスタとして動作させる場合 ：図18－14のフロー
- スレーブとして動作させる場合：図18－13のフローと同じになります。

図18ー14 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



18. 5. 14 通信予約

(1) 通信予約機能許可の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn） = 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn） = 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTLn0レジスタのビット1（STTn）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTLn0レジスタのビット4（SPIEn）をセット（1）し，割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタn（IICAn）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICAnレジスタに書き込まれたデータは，無効です。

STTnビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STTnビットをセット（1）し，ウエイト時間をとったあと，MSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

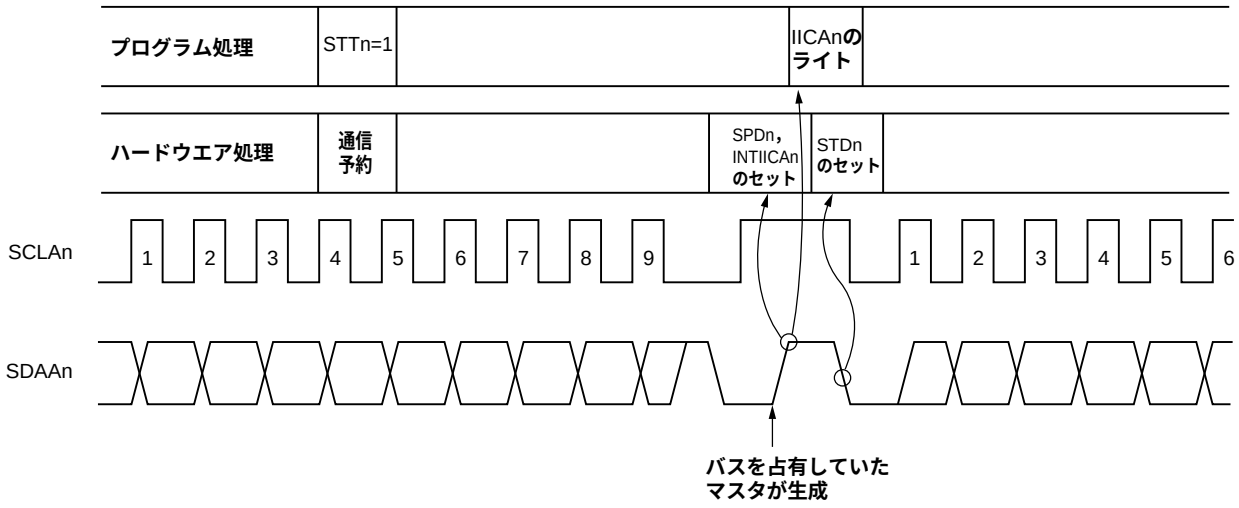
ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STTn = 1からMSTSnフラグ確認までのウエイト時間：
（IICWLnの設定値＋IICWHnの設定値＋4）＋t_F×2×f_{CLK}［クロック］

備考 IICWLn ：IICAロウ・レベル幅設定レジスタn
IICWHn ：IICAハイ・レベル幅設定レジスタn
t_F ：SDAAn, SCLAn信号の立ち下がり時間
f_{CLK} ：CPU／周辺クロック周波数

通信予約のタイミングを図18－15に示します。

図18－15 通信予約のタイミング



備考 IICAn ：IICAシフト・レジスタn
STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1
STDn ：IICAステータス・レジスタn（IICSn）のビット1
SPDn ： 〃 のビット0

通信予約は図18－16に示すタイミングで受け付けられます。IICAステータス・レジスタn（IICSn）のビット1（STDn） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn） = 1で通信予約をします。

図18－16 通信予約受け付けタイミング

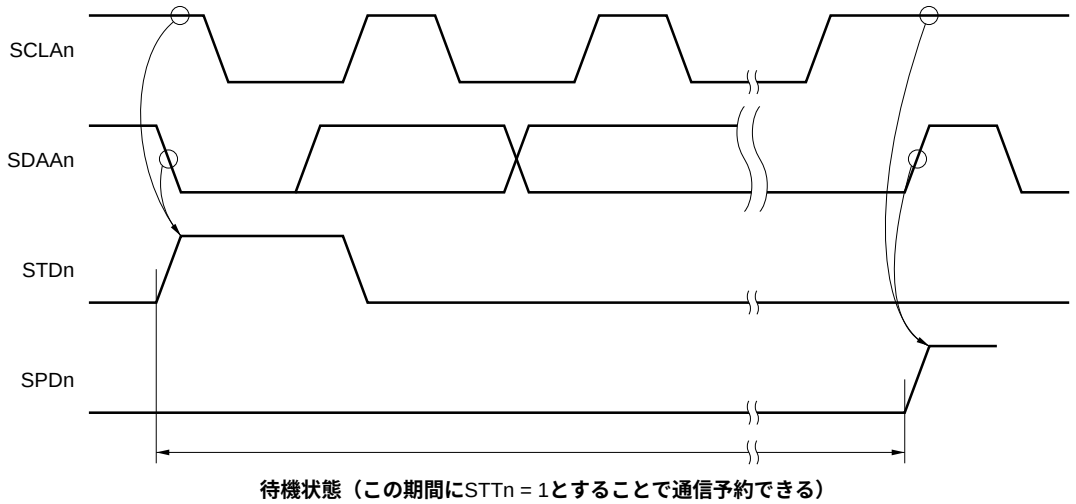
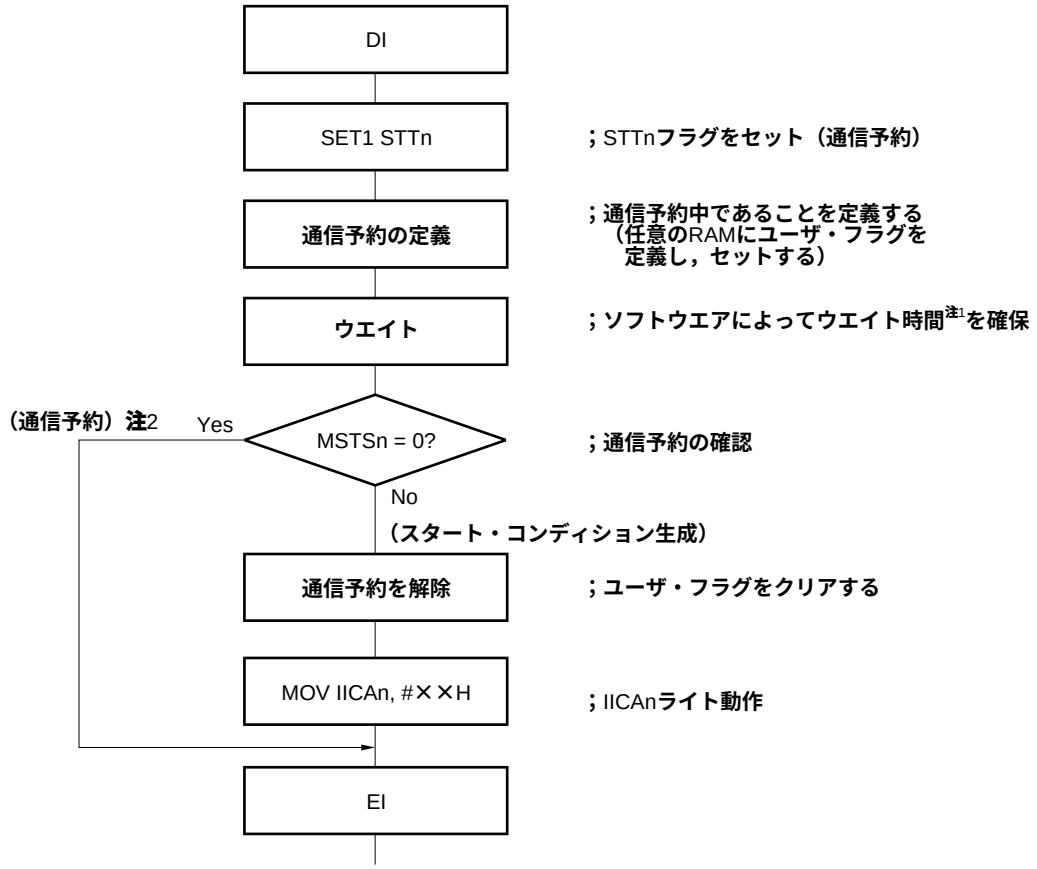


図18－17に通信予約の手順を示します。

図18－17 通信予約の手順



注1. ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4）＋t_F×2×f_{CLK}［クロック］

2. 通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタn（IICAn）への書き込みを実行します。

備考 STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1
MSTSn：IICAステータス・レジスタn（IICSn）のビット7
IICAn ：IICAシフト・レジスタn
IICWLn：IICAロウ・レベル幅設定レジスタn
IICWHn：IICAハイ・レベル幅設定レジスタn
t_F ：SDAAn, SCLAn信号の立ち下がり時間
f_{CLK} ：CPU／周辺クロック周波数

(2) 通信予約機能禁止の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn） = 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTLn0レジスタのビット6（LRELn） = 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCFn（IICFnレジスタのビット7）で確認できます。STTn = 1としてからSTCFnがセット（1）されるまで5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

18. 5. 15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず通信状態（IICBSYn = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1（IICCTLn1）を設定する
② IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）をセット（1）する
③ IICCTLn0レジスタのビット0（SPTn）をセット（1）する

(2) STCENn = 1の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを生成（STTn = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで，かつSCLAn端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTLn0レジスタのビット4（SPIEn）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICAn）発生を禁止する
② IICCTLn0レジスタのビット7（IICEn）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICEnビットをセット（1）してから，4～80クロック中）に，IICCTLn0レジスタのビット6（LRELn）をセット（1）にし，強制的に検出を無効とする

(4) STTn, SPTnビット（IICCTLn0レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

(5) 送信予約をした場合には，SPIEnビット（IICCTLn0レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタn（IICAn）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）を検出する場合には，SPIEnビットをセット（1）する必要はありません。

18. 5. 16 通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

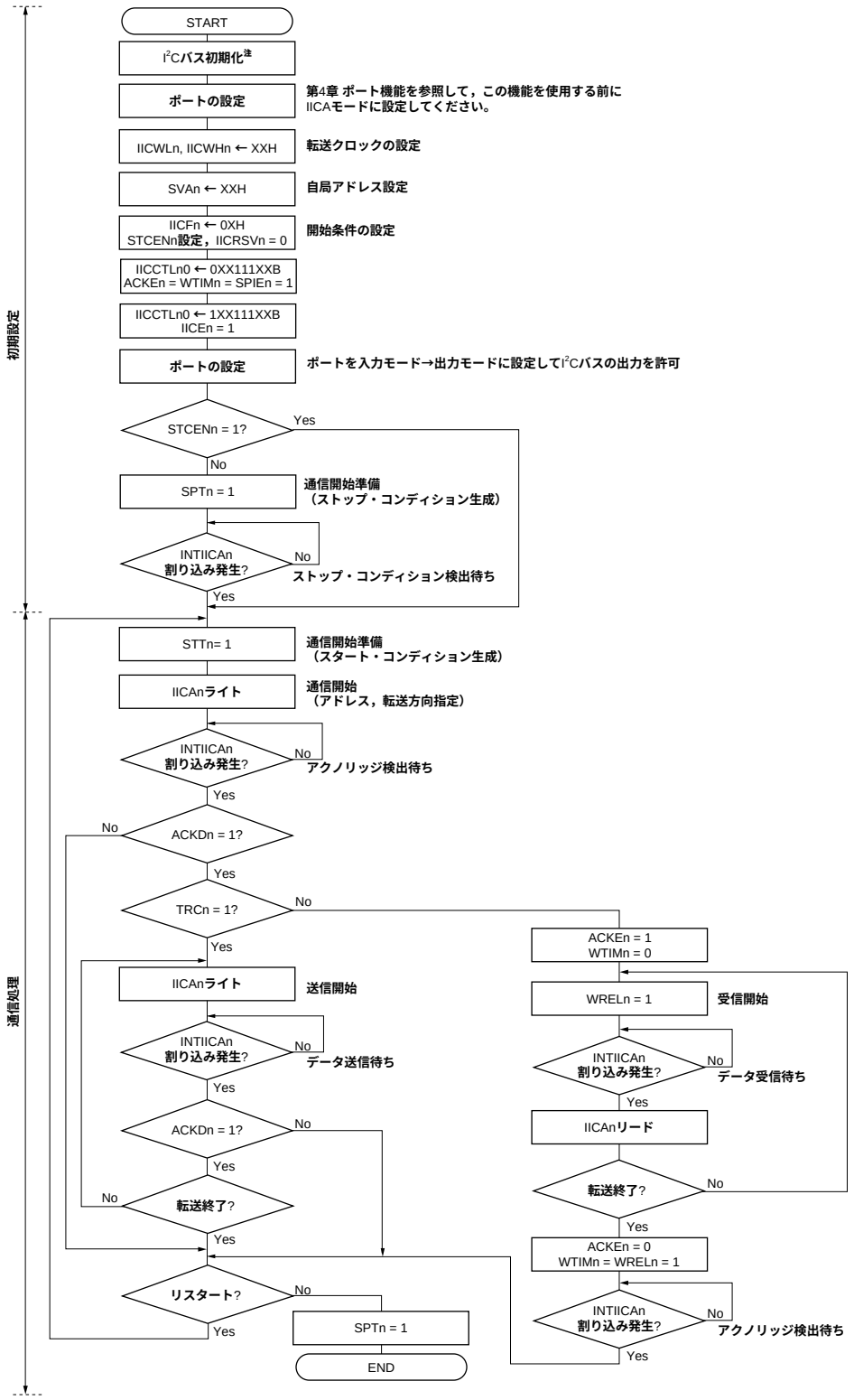
I^2Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図18－18 シングルマスタ・システムでのマスタ動作

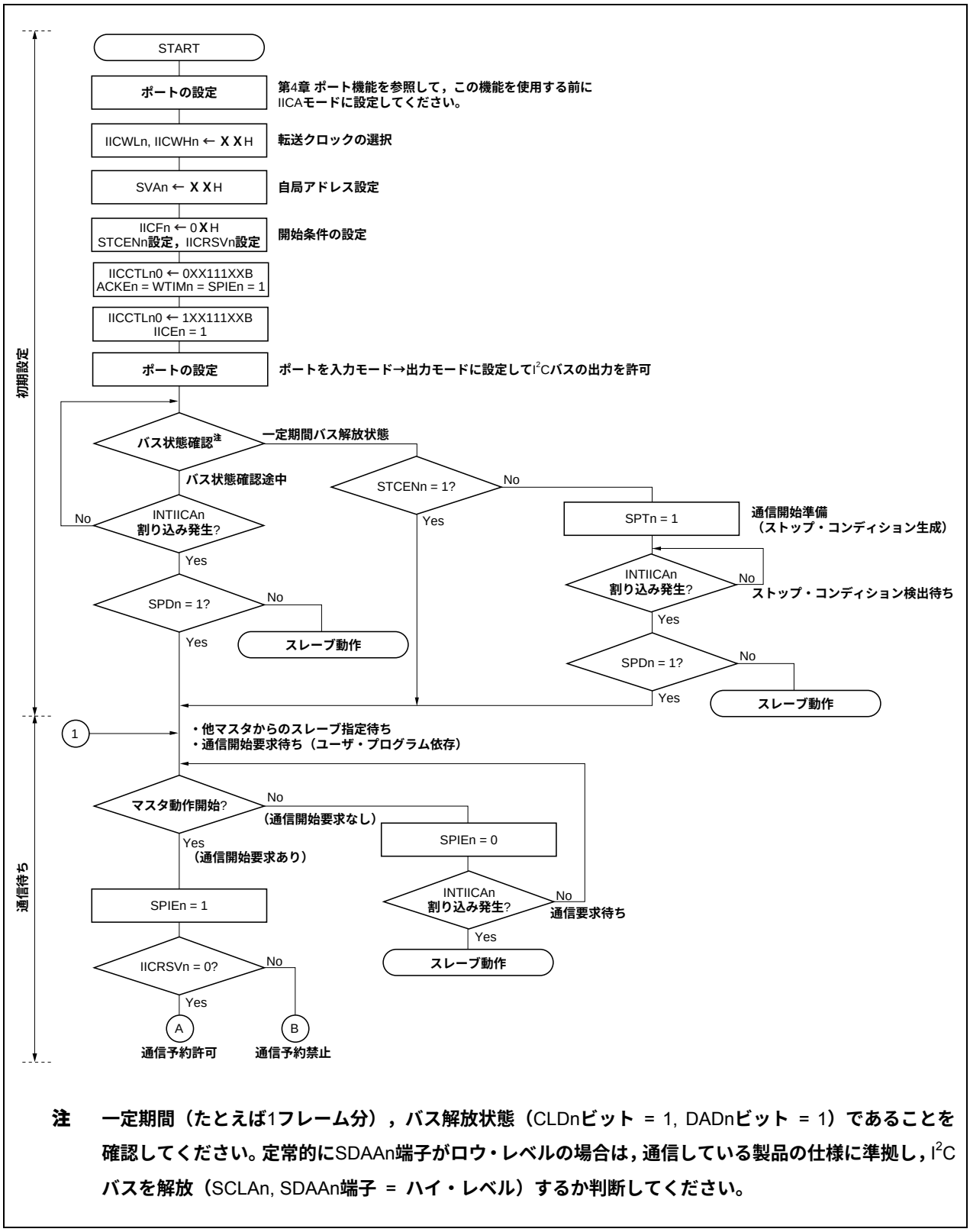


注 通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば，SCLAn端子を出力ポートに設定し，SDAAn端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは，通信している製品の仕様に準拠してください。

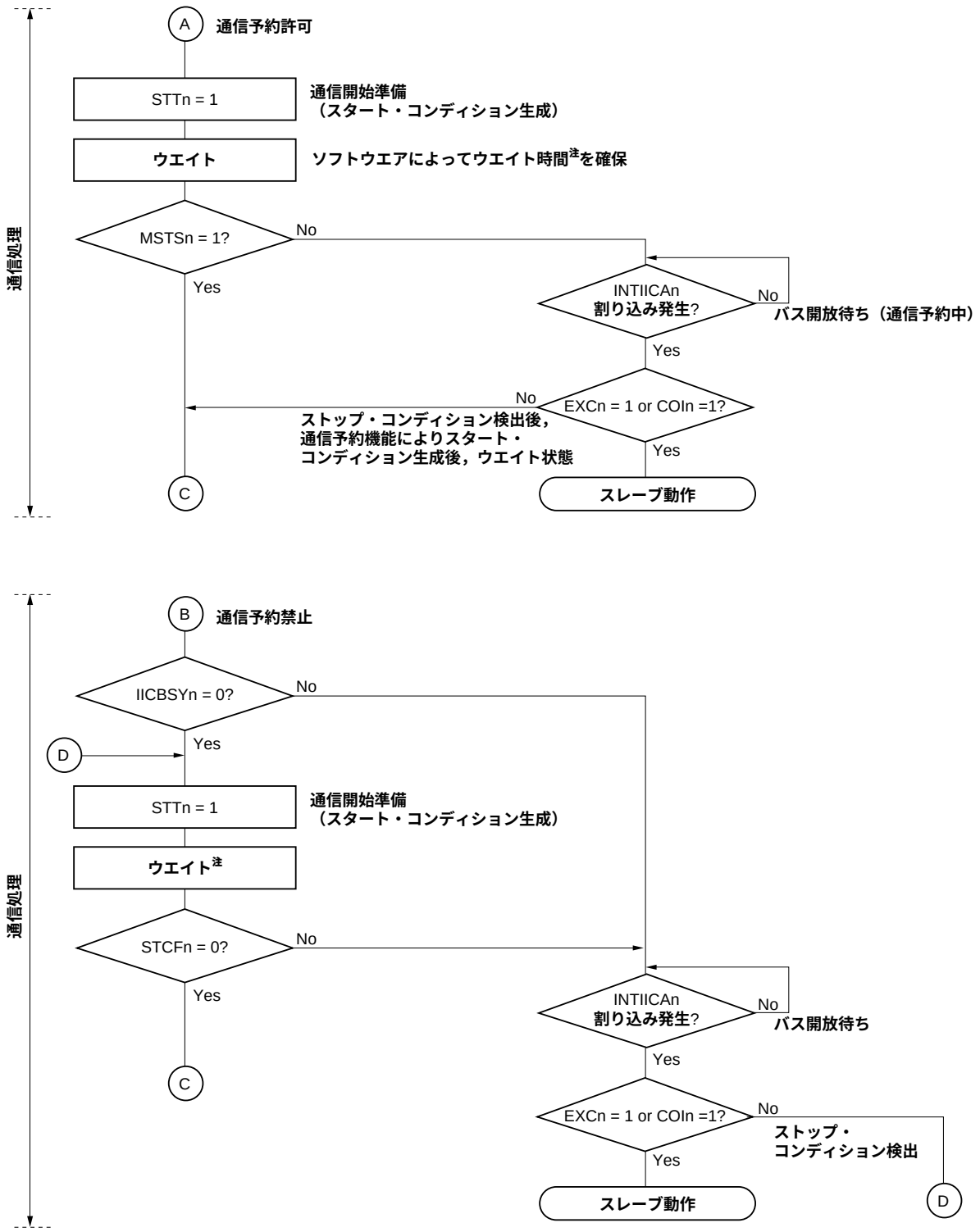
(2) マルチマスタ・システムでのマスタ動作

図18－19 マルチマスタ・システムでのマスタ動作（1/3）



注 一定期間（たとえば1フレーム分），バス解放状態（CLDnビット = 1, DADnビット = 1）であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

図18－19 マルチマスタ・システムでのマスタ動作（2/3）



注 ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4クロック）／f_{CLK}＋t_F×2

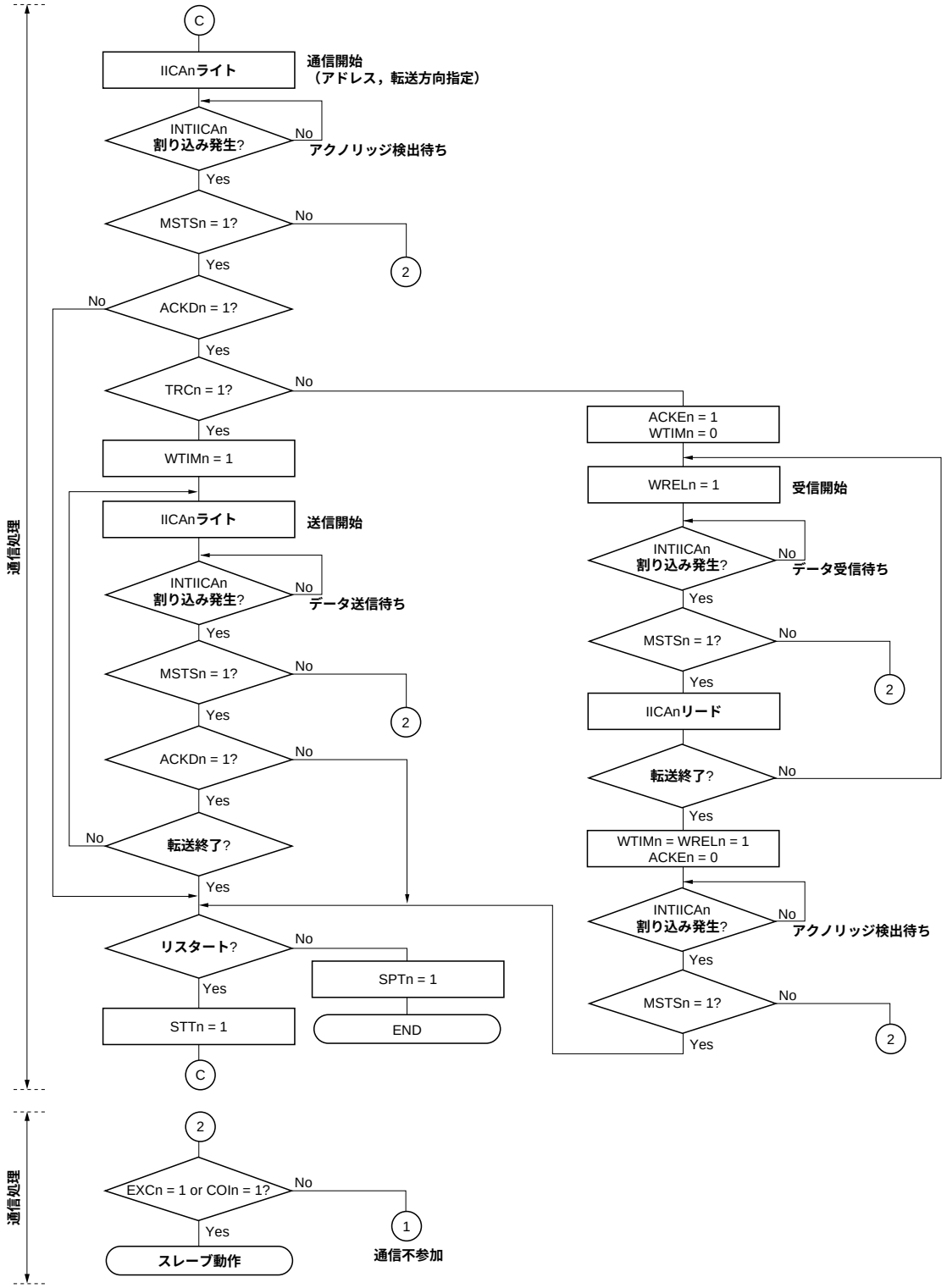
備考 IICWLn ：IICAロウ・レベル幅設定レジスタn

IICWHn ：IICAハイ・レベル幅設定レジスタn

t_F ：SDAAn, SCLAn信号の立ち下がり時間

f_{CLK} ：CPU／周辺クロック周波数

図18－19 マルチマスタ・システムでのマスタ動作（3/3）



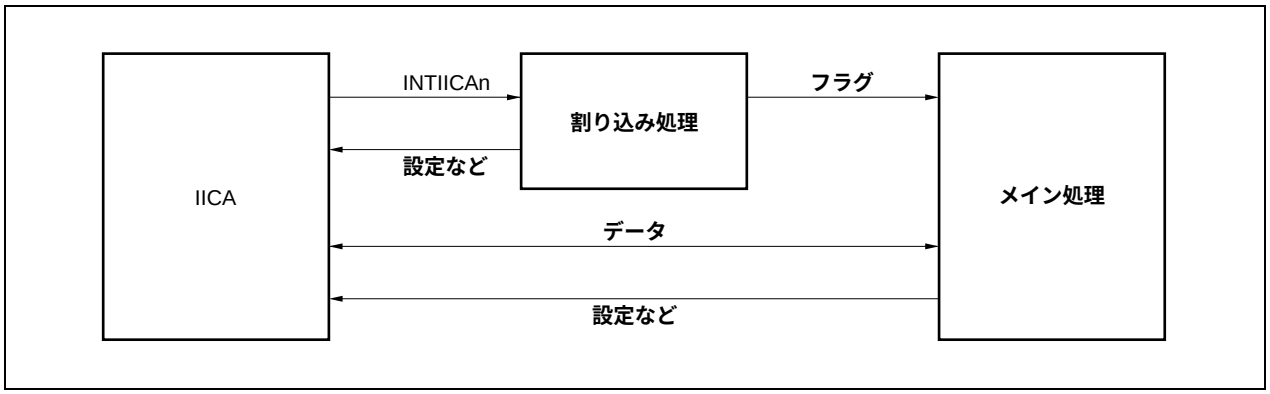
備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は，INTIICAn割り込み発生ごとにIICAステータス・レジスタn（IICSn），IICAフラグ・レジスタn（IICFn）でステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICAnの代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

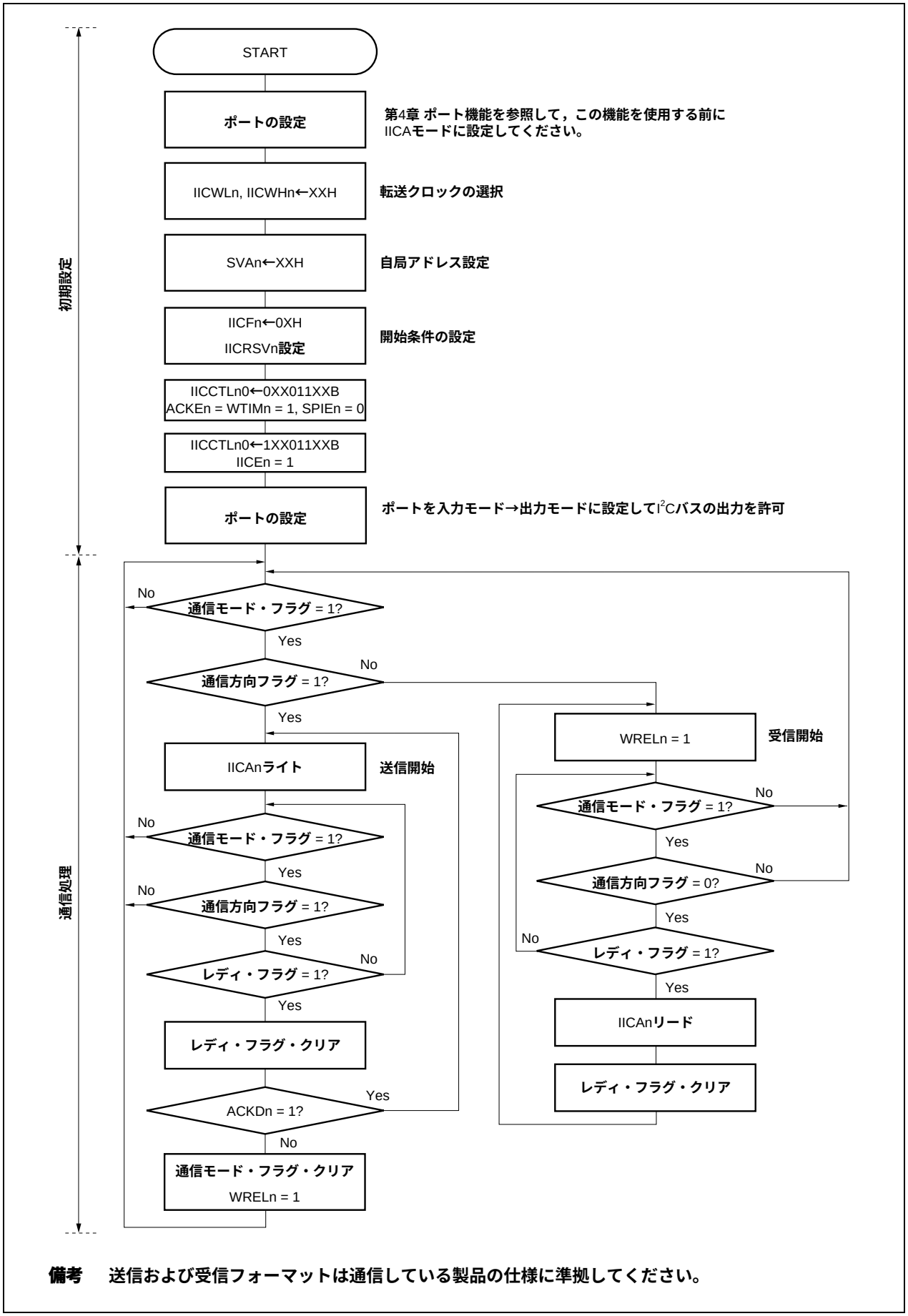
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図18－20 スレーブ動作手順（1）



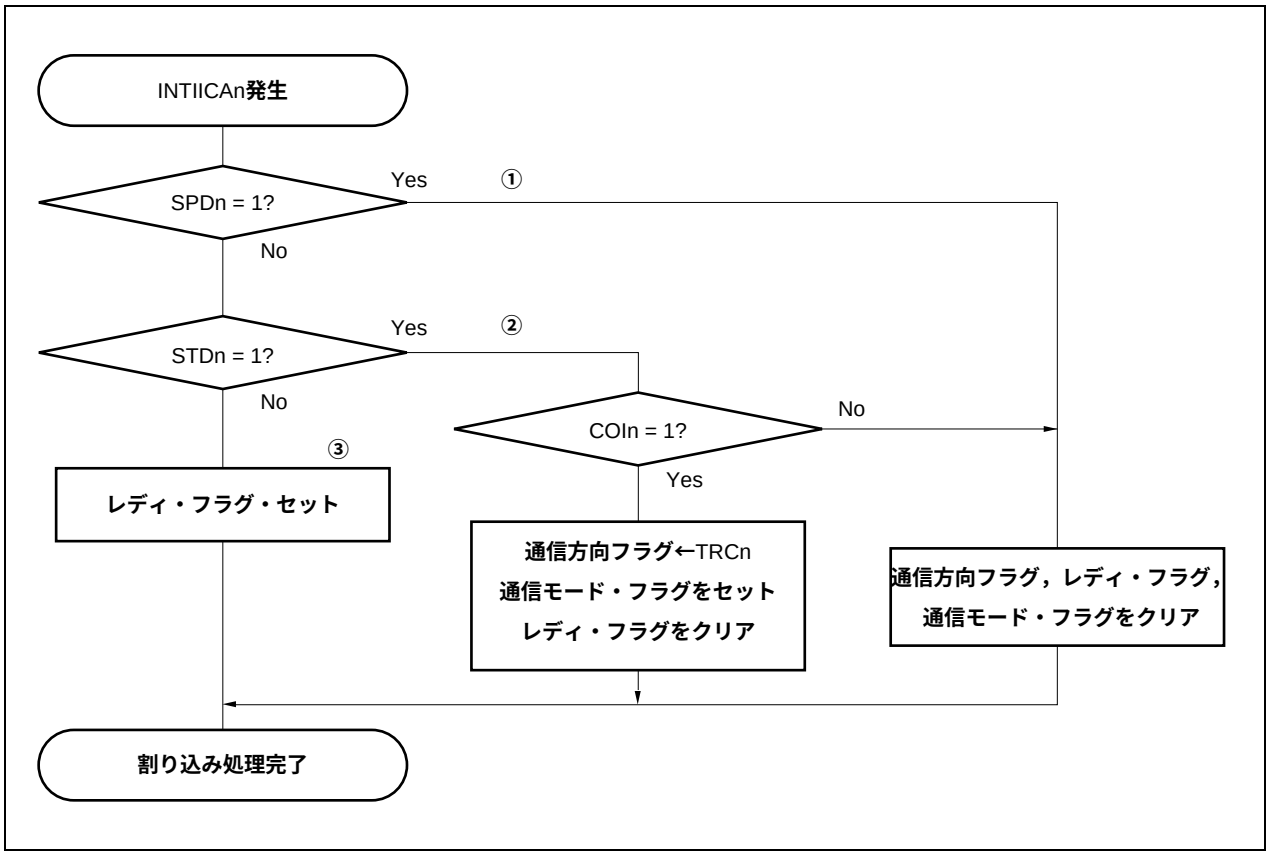
備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，I^2Cバスはウエイト状態のまま，割り込みから戻ります。

備考 上述の①～③は，図18－21 スレーブ動作手順（2）の①～③と対応しています。

図18－21 スレーブ動作手順（2）



18. 5. 17 I²C割り込み要求（INTIICAn）の発生タイミング

次に，データの送受信，INTIICAn割り込み要求信号発生タイミングと，INTIICAn信号タイミングでのIICAステータス・レジスタn（IICSn）の値を示します。

備考 ST ：スタート・コンディション
AD6-AD0 ：アドレス
R/$\overline{W}$ ：転送方向指定
$\overline{ACK}$ ：アクノリッジ
D7-D0 ：データ
SP ：ストップ・コンディション

(1) マスタ動作

(a) Start～Address～Data～Data～Stop（送受信）

(i) WTIMn = 0のとき

▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B

▲3：IICSn = 1000×000B（WTIMnビットをセット（1））注

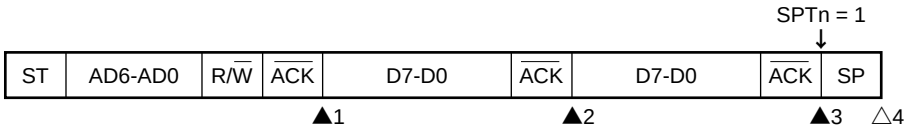
▲4：IICSn = 1000××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

注 ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生
△ SPIEn = 1のときだけ発生
× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B

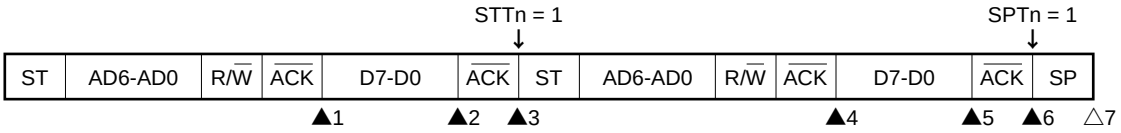
▲3：IICSn = 1000××00B（SPTnビットをセット（1））

△4：IICSn = 00000001B

備考 ▲ 必ず発生
△ SPIEn = 1のときだけ発生
× 任意

(b) Start〜Address〜Data〜Start〜Address〜Data〜Stop（リスタート）

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットをセット（1）[注1]）

▲3：IICSn = 1000××00B（WTIMnビットをクリア（0）[注2]，STTnビットをセット（1））

▲4：IICSn = 1000×110B

▲5：IICSn = 1000×000B（WTIMnビットをセット（1）[注3]）

▲6：IICSn = 1000××00B（SPTnビットをセット（1））

△7：IICSn = 00000001B

注1. スタート・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIMnビットをクリア（0）してください。

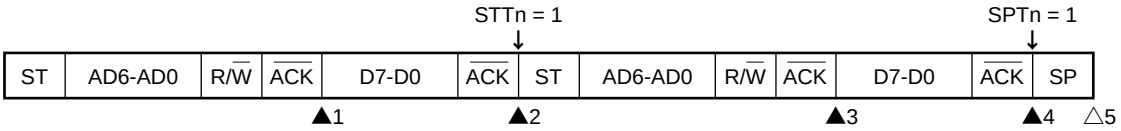
3. ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットをセット（1））

▲3：IICSn = 1000×110B

▲4：IICSn = 1000××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIMn = 0のとき

▲1：IICSn = 1010×110B

▲2：IICSn = 1010×000B

▲3：IICSn = 1010×000B（WTIMnビットをセット（1）注）

▲4：IICSn = 1010××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

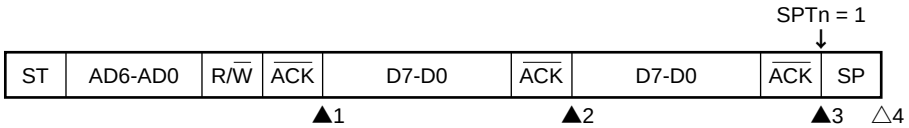
注 ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×100B

▲3：IICSn = 1010××00B（SPTnビットをセット（1））

△4：IICSn = 00001001B

備考 ▲ 必ず発生

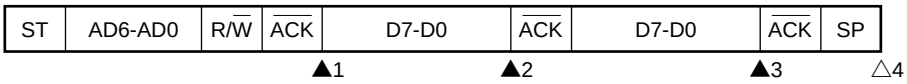
△ SPIEn = 1のときだけ発生

× 任意

(2) スレーブ動作（スレーブ・アドレス受信時）

(a) Start～Address～Data～Data～Stop

(i) WTIMn = 0のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

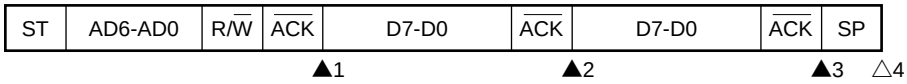
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(b) Start～Address～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき（リスタート後，SVAn一致）

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

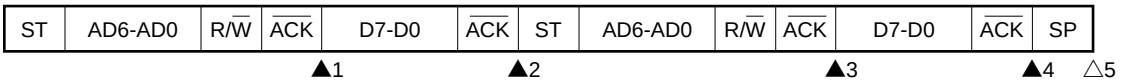
△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき（リスタート後，SVAn一致）



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001××00B

△5：IICSn = 00000001B

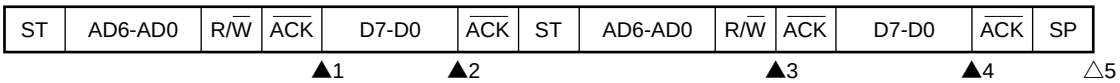
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(c) Start〜Address〜Data〜Start〜Code〜Data〜Stop

(i) WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

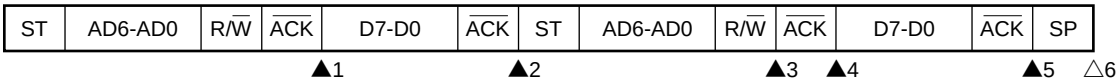
△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×110B

▲5：IICSn = 0010××00B

△6：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 00000110B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 00000110B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

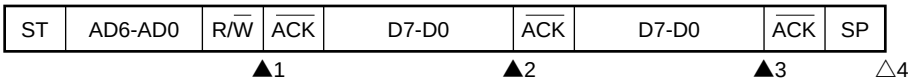
× 任意

(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIMn = 0のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

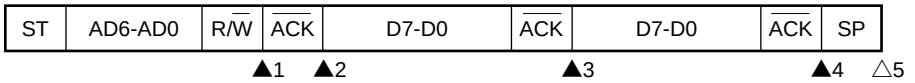
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(b) Start〜Code〜Data〜Start〜Address〜Data〜Stop

(i) WTIMn = 0のとき（リスタート後，SVAn一致）

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

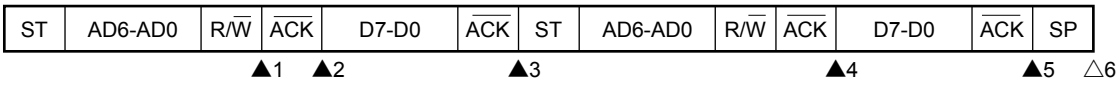
△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき（リスタート後，SVAn一致）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0001×110B

▲5：IICSn = 0001××00B

△6：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(c) Start〜Code〜Data〜Start〜Code〜Data〜Stop

(i) WTIMn = 0のとき（リスタート後，拡張コード受信）

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

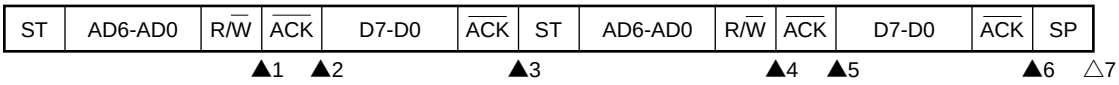
△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき（リスタート後，拡張コード受信）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0010×010B

▲5：IICSn = 0010×110B

▲6：IICSn = 0010××00B

△7：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

▲1：IICSn = 00100010B

▲2：IICSn = 00100000B

▲3：IICSn = 00000110B

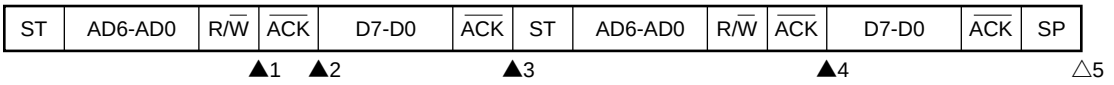
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICSn = 00100010B

▲2：IICSn = 00100110B

▲3：IICSn = 00100×00B

▲4：IICSn = 00000110B

△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(4) 通信不参加の動作

(a) Start～Code～Data～Data～Stop

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

△1

△1：IICSn = 00000001B

備考 △ SPIEn = 1のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき

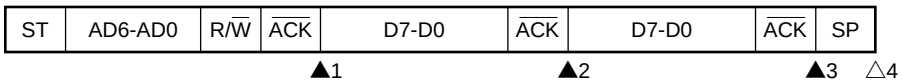
ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

▲1 ▲2 ▲3 △4

▲1：IICSn = 0101×110B
▲2：IICSn = 0001×000B
▲3：IICSn = 0001×000B
△4：IICSn = 00000001B

備考 ▲ 必ず発生
△ SPIEn = 1のときだけ発生
× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

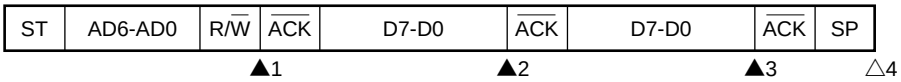
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

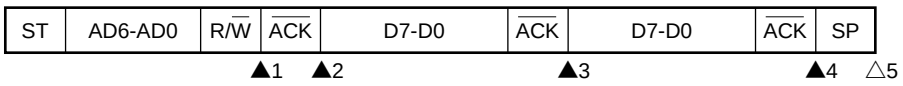
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考 ▲ 必ず発生

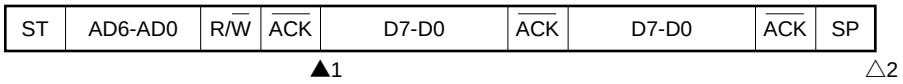
△ SPIEn = 1のときだけ発生

× 任意

(6) アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）



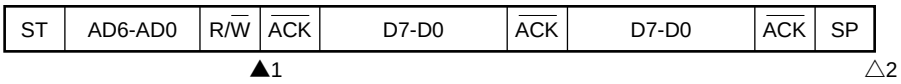
▲1：IICSn = 01000110B

△2：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICSn = 0110×010B

ソフトウエアでLRELn = 1を設定

△2：IICSn = 00000001B

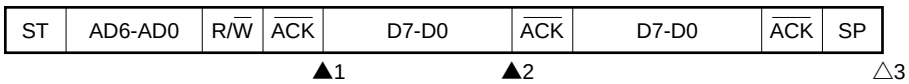
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 10001110B

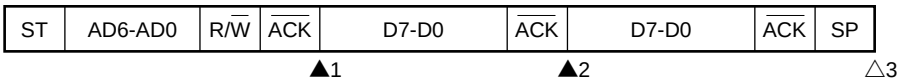
▲2：IICSn = 01000000B

△3：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

(ii) WTIMn = 1のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000100B

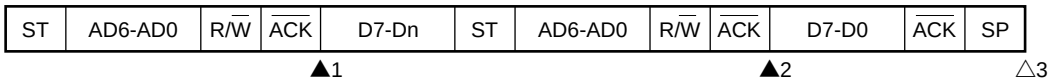
△3：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外（例 SVAn不一致）



▲1：IICSn = 1000×110B

▲2：IICSn = 01000110B

△3：IICSn = 00000001B

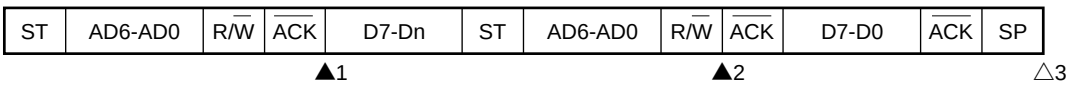
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

n = 6-0

(ii) 拡張コード



▲1：IICSn = 1000×110**B**

▲2：IICSn = 01100010**B**

ソフトウエアでLRELn = 1**を設定**

△3：IICSn = 00000001**B**

備考 ▲ 必ず発生

△ SPIEn = 1**のときだけ発生**

× **任意**

(e) データ転送時にストップ・コンディションで負けた場合

▲1：IICSn = 10000110**B**

△2：IICSn = 01000001**B**

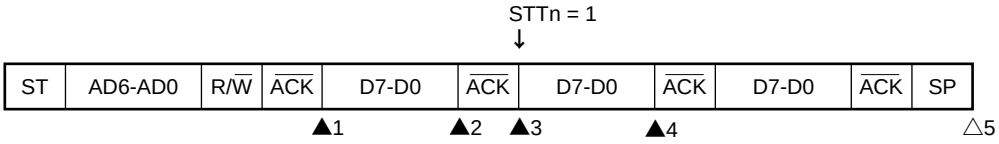
備考 ▲ 必ず発生

△ SPIEn = 1**のときだけ発生**

× **任意**

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×000**B**（WTIMn**ビットをセット**（1））

▲3：IICSn = 1000×100**B**（WTIMn**ビットをクリア**（0））

▲4：IICSn = 01000000**B**

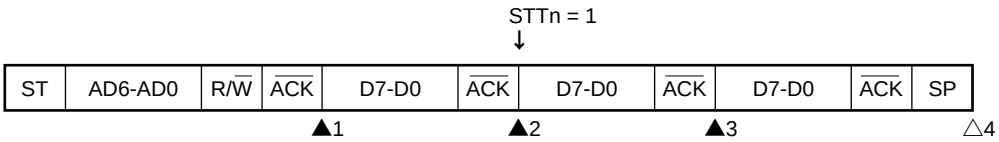
△5：IICSn = 00000001**B**

備考 ▲ **必ず発生**

△ SPIEn = 1**のときだけ発生**

× **任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×100**B**（STTn**ビットをセット**（1））

▲3：IICSn = 01000100**B**

△4：IICSn = 00000001**B**

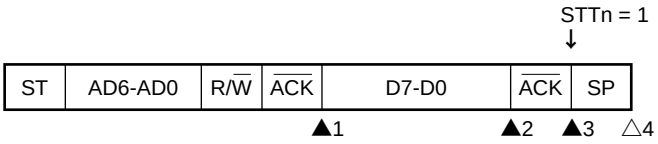
備考 ▲ **必ず発生**

△ SPIEn = 1**のときだけ発生**

× **任意**

(g) リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×000**B**（WTIMn**ビットをセット**（1））

▲3：IICSn = 1000××00**B**（STTn**ビットをセット**（1））

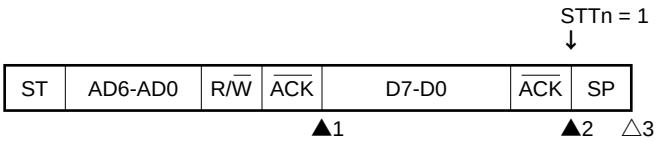
△4：IICSn = 01000001**B**

備考 ▲ **必ず発生**

△ SPIEn = 1**のときだけ発生**

× **任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000××00**B**（STTn**ビットをセット**（1））

△3：IICSn = 01000001**B**

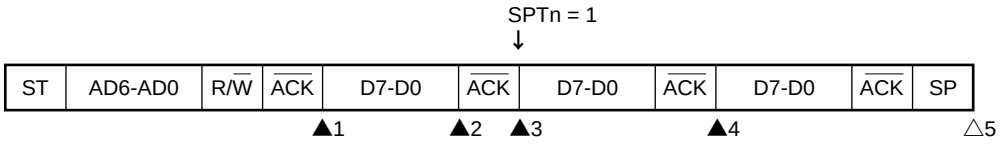
備考 ▲ **必ず発生**

△ SPIEn = 1**のときだけ発生**

× **任意**

(h) ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×000**B**（WTIMn**ビットをセット**（1））

▲3：IICSn = 1000×100**B**（WTIMn**ビットをクリア**（0））

▲4：IICSn = 01000100**B**

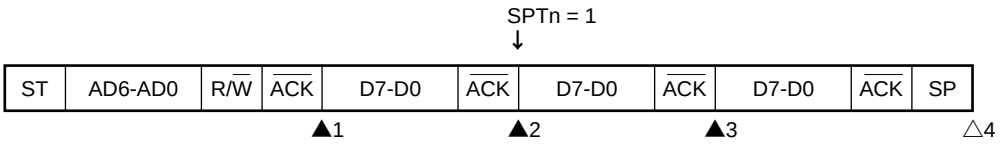
△5：IICSn = 00000001**B**

備考 ▲ **必ず発生**

△ SPIEn = 1**のときだけ発生**

× **任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×100**B**（SPTn**ビットをセット**（1））

▲3：IICSn = 01000100**B**

△4：IICSn = 00000001**B**

備考 ▲ **必ず発生**

△ SPIEn = 1**のときだけ発生**

× **任意**

18. 6 タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IICAステータス・レジスタn（IICSn）のビット3）を送信し，スレーブとのシリアル通信を開始します。

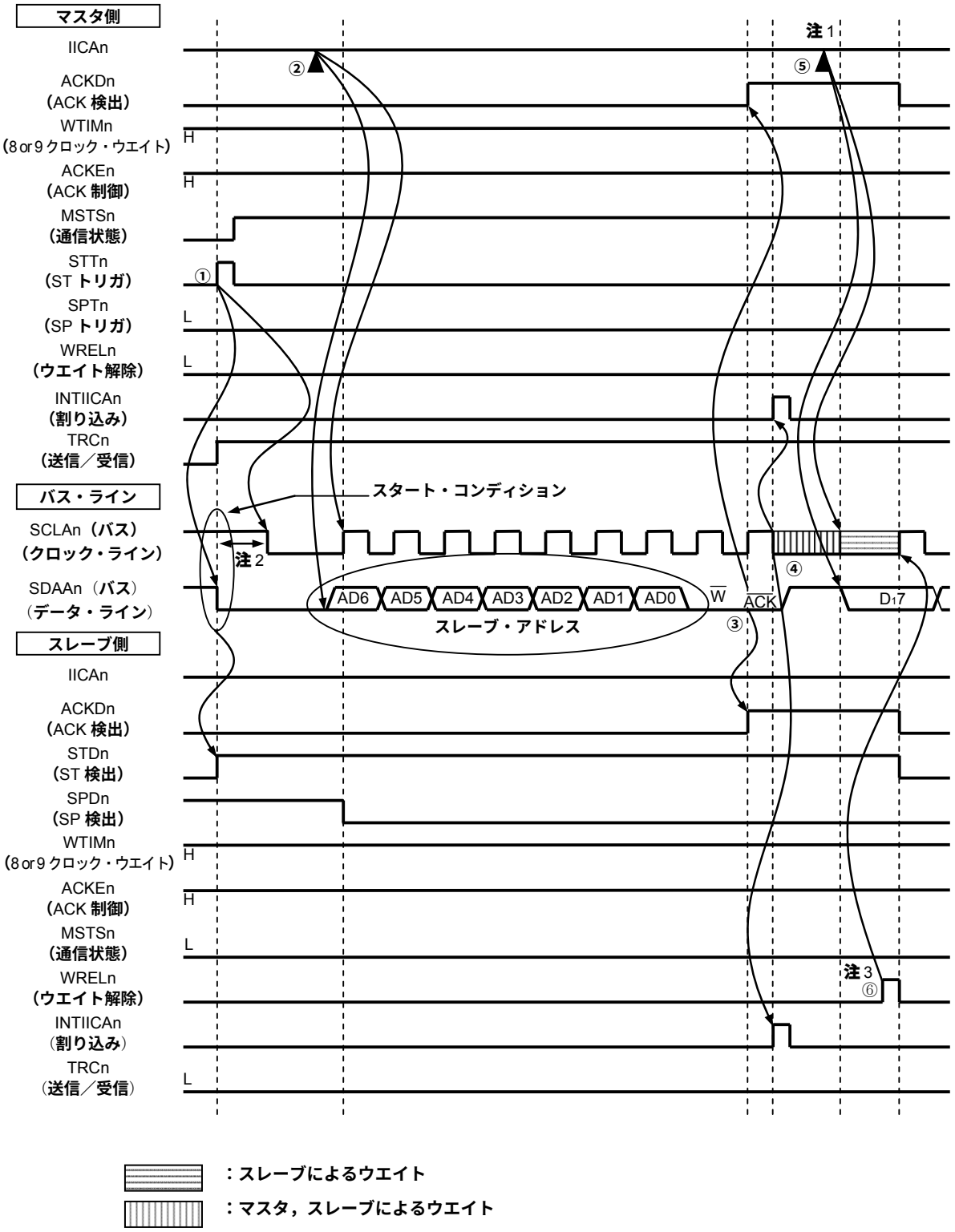
データ通信のタイミング・チャートを図18－22，図18－23に示します。

シリアル・クロック（SCLAn）の立ち下がりに同期してIICAシフト・レジスタn（IICAn）のシフト動作が行われ，送信データがSOラッチに転送され，SDAAn端子からMSBファーストで出力されます。

また，SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

図18－22 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（1/4）

（1）スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3. スレーブ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

図18－22（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，ウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

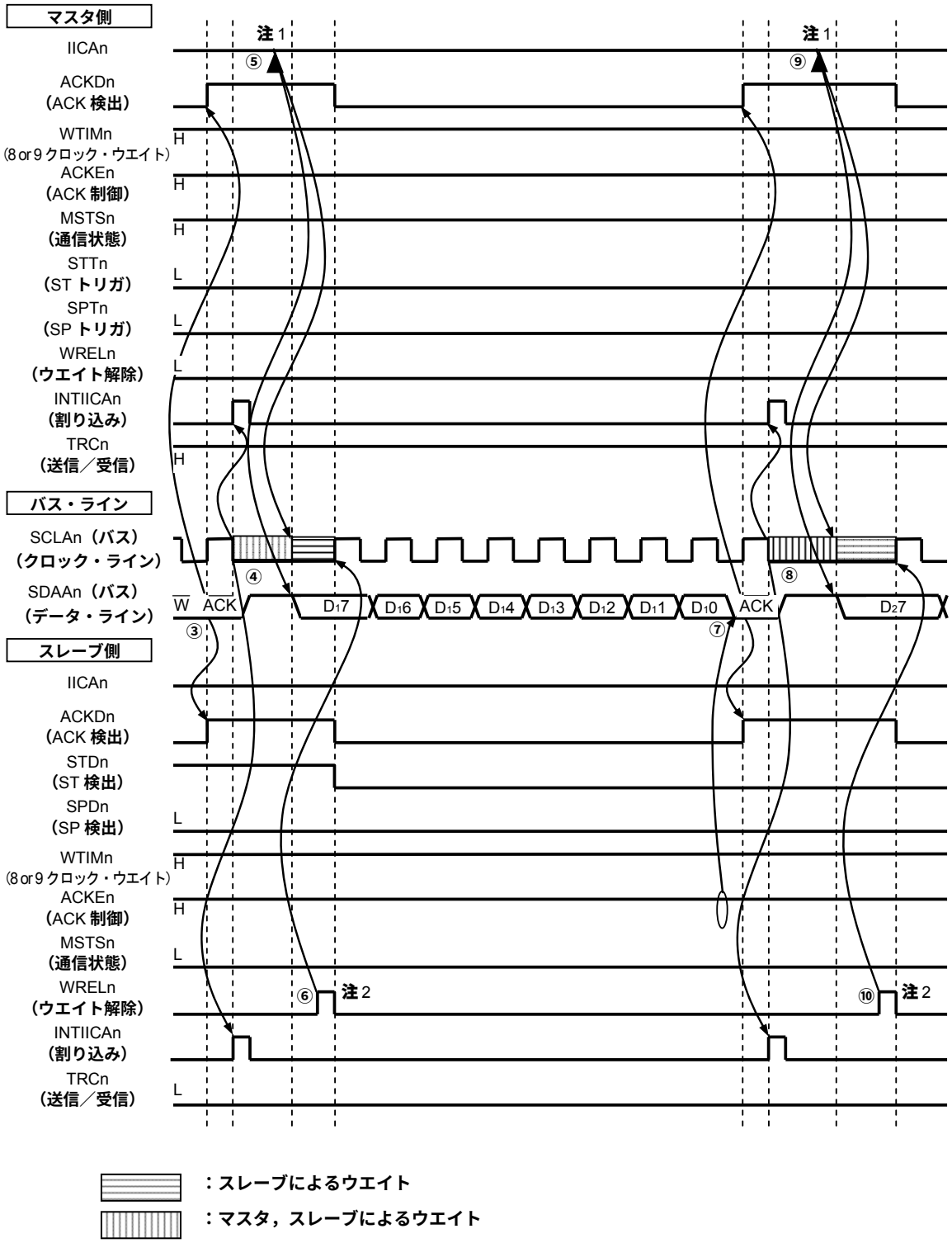
⑥ スレーブ側がウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 図18－22の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図18－22（1）スタート・コンディション～アドレス～データでは手順①～⑥
図18－22（2）アドレス～データ～データでは手順③～⑩
図18－22（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図18－22 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（2/4）

(2) アドレス～データ～データ



注1. マスタ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2. スレーブ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

図18－22（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑥ スレーブ側がウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

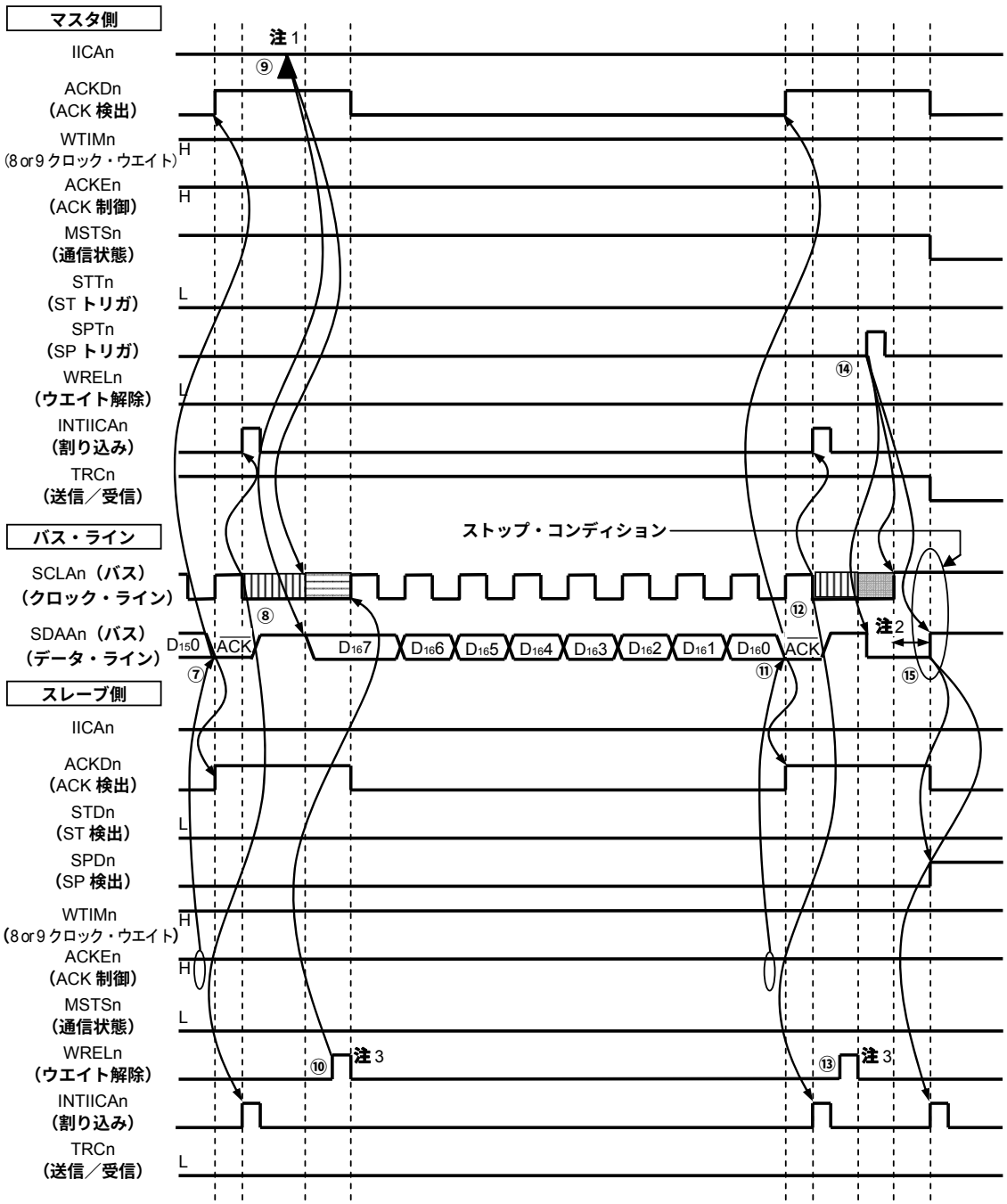
⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 図18－22の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図18－22（1）スタート・コンディション～アドレス～データでは手順①～⑥
図18－22（2）アドレス～データ～データでは手順③～⑩
図18－22（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図18－22 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（3/4）

(3) データ～データ～ストップ・コンディション



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1. マスタ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2. ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3. スレーブ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

図18－22（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側（ACKEn = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，ウエイトを解除（WRELn = 1）します。

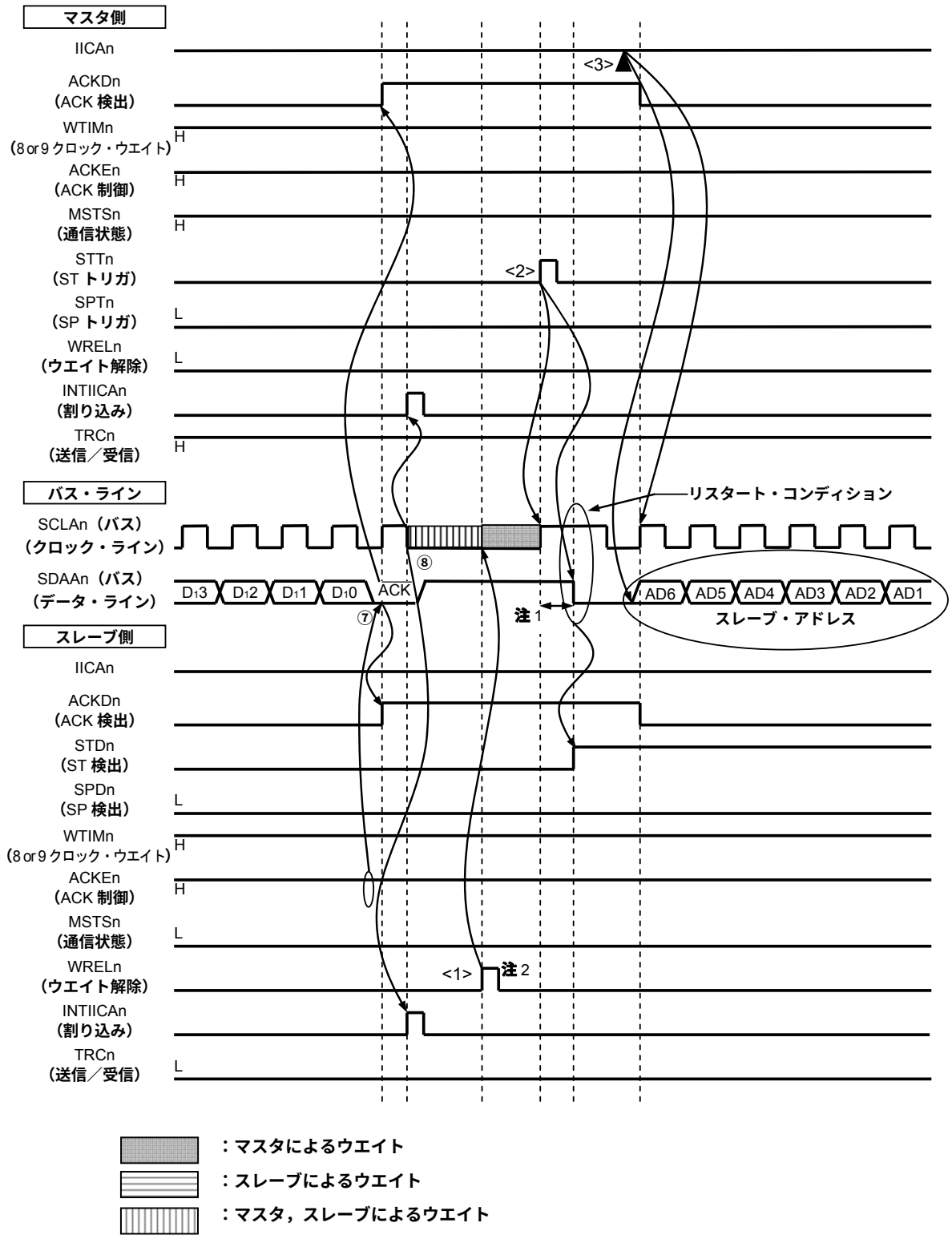
⑭ マスタ側でストップ・コンディション・トリガをセット（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，バス・クロック・ラインがセット（SCLAn = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAAn = 1）されることでストップ・コンディション（SCLAn = 1でSDAAn = 0→1）が生成されます。

⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考 図18－22の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図18－22（1）スタート・コンディション～アドレス～データでは手順①～⑥
図18－22（2）アドレス～データ～データでは手順③～⑩
図18－22（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図18－22 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（4/4）

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後，SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

2. スレーブ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください

図18－22 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

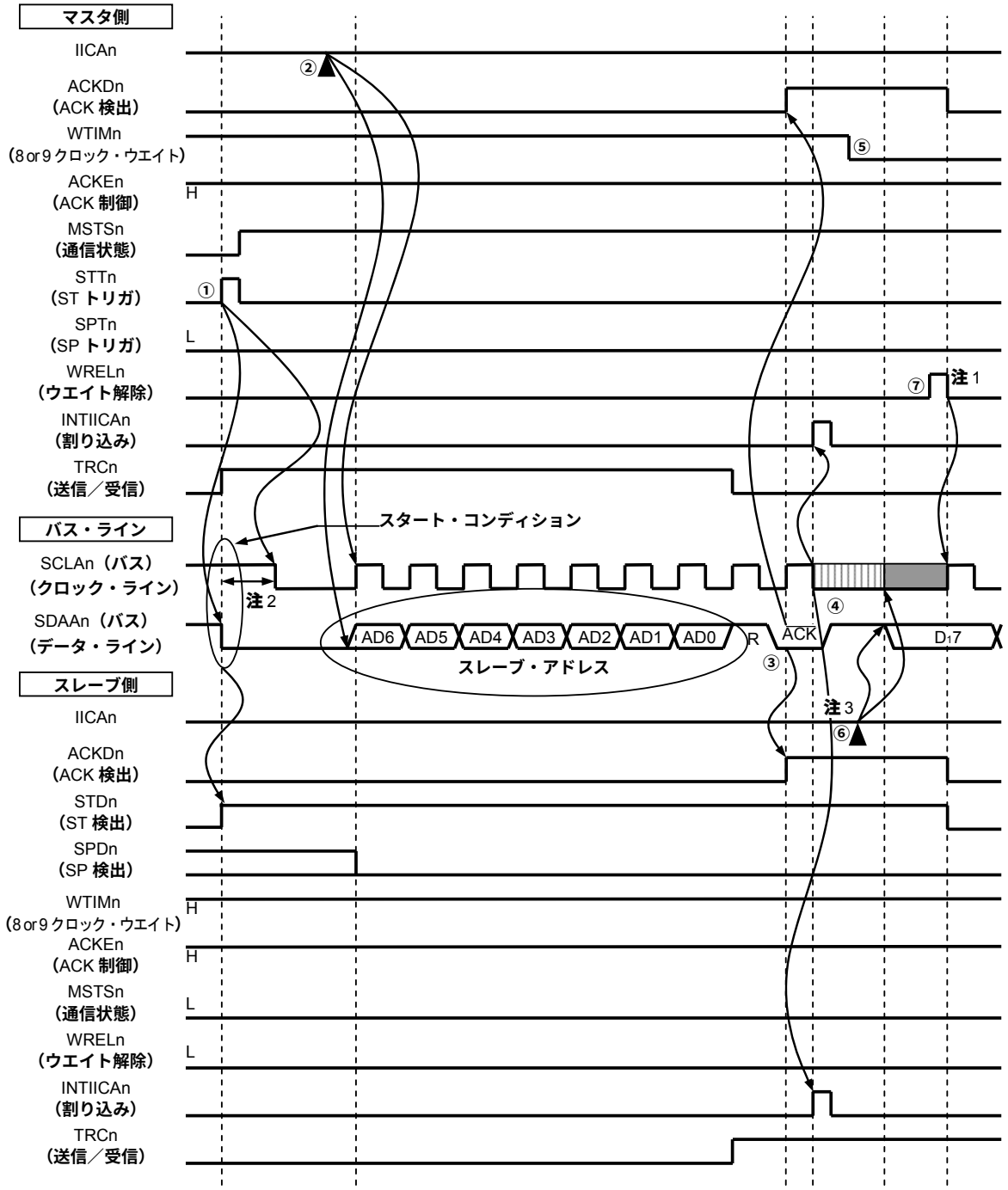
<1> スレーブ側が受信データを読み出して，ウエイトを解除（WRELn = 1）します。

<2> マスタ側で再度スタート・コンディション・トリガがセット（STTn = 1）されると，バス・クロック・ラインが立ち上がり（SCLAn = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAAn = 0）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

<3> マスタ側がIICAシフト・レジスタn（IICAn）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

図18－23 スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（1/3）

（1）スタート・コンディション～アドレス～データ



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1. マスタ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3. スレーブ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

図18－23（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のウエイト・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAnレジスタに送信データを書き込み，スレーブ側によるウエイトを解除します。

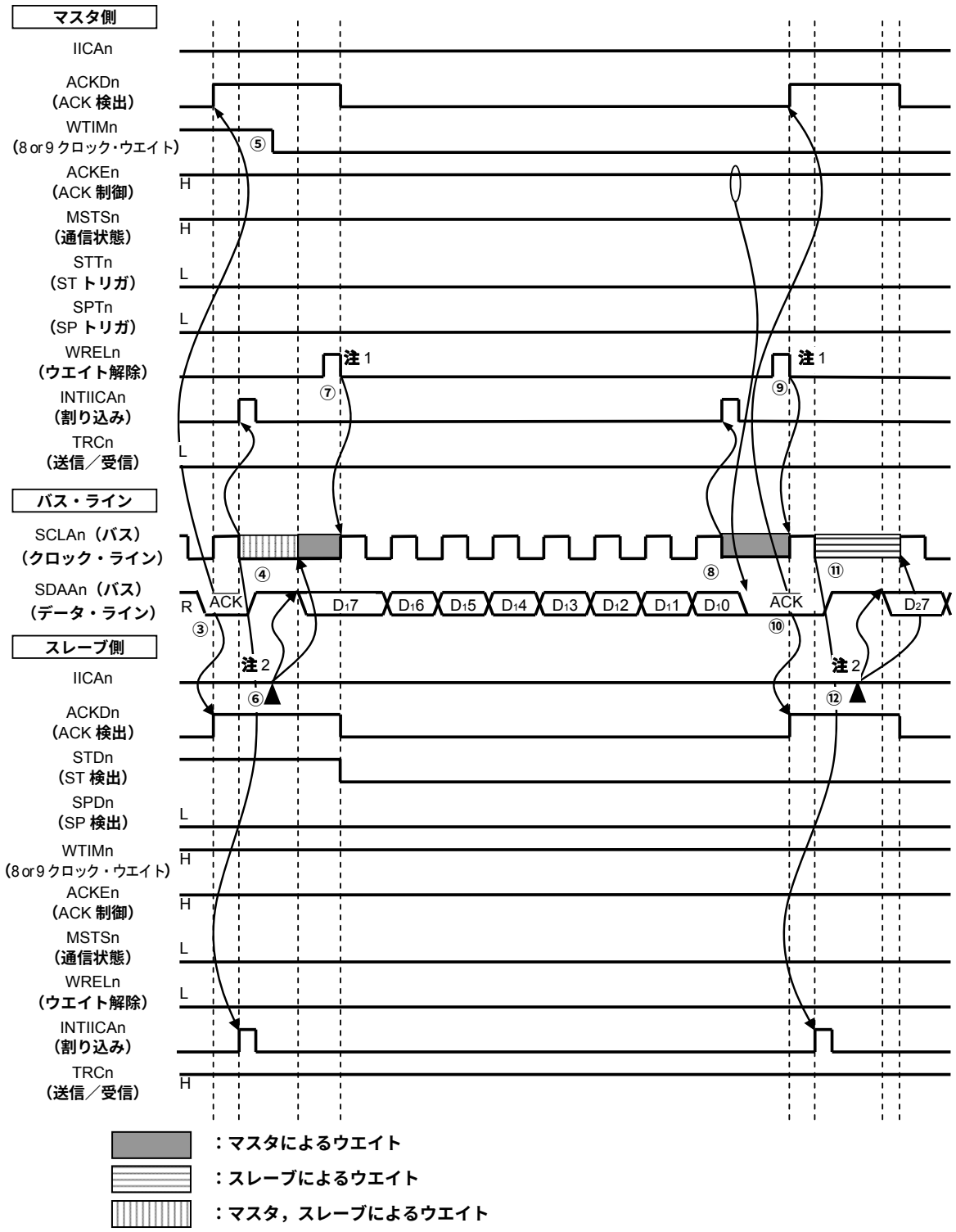
⑦ マスタ側がウエイトを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 図18－23の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図18－23（1）スタート・コンディション～アドレス～データでは手順①～⑦
図18－23（2）アドレス～データ～データでは手順③～⑫
図18－23（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図18－23 スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（2/3）

(2) アドレス～データ～データ



注1. マスタ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

図18－23（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレス自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はウエイト・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，スレーブ側によるウエイトを解除します。

⑦ マスタ側がウエイトを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側ACKEn = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

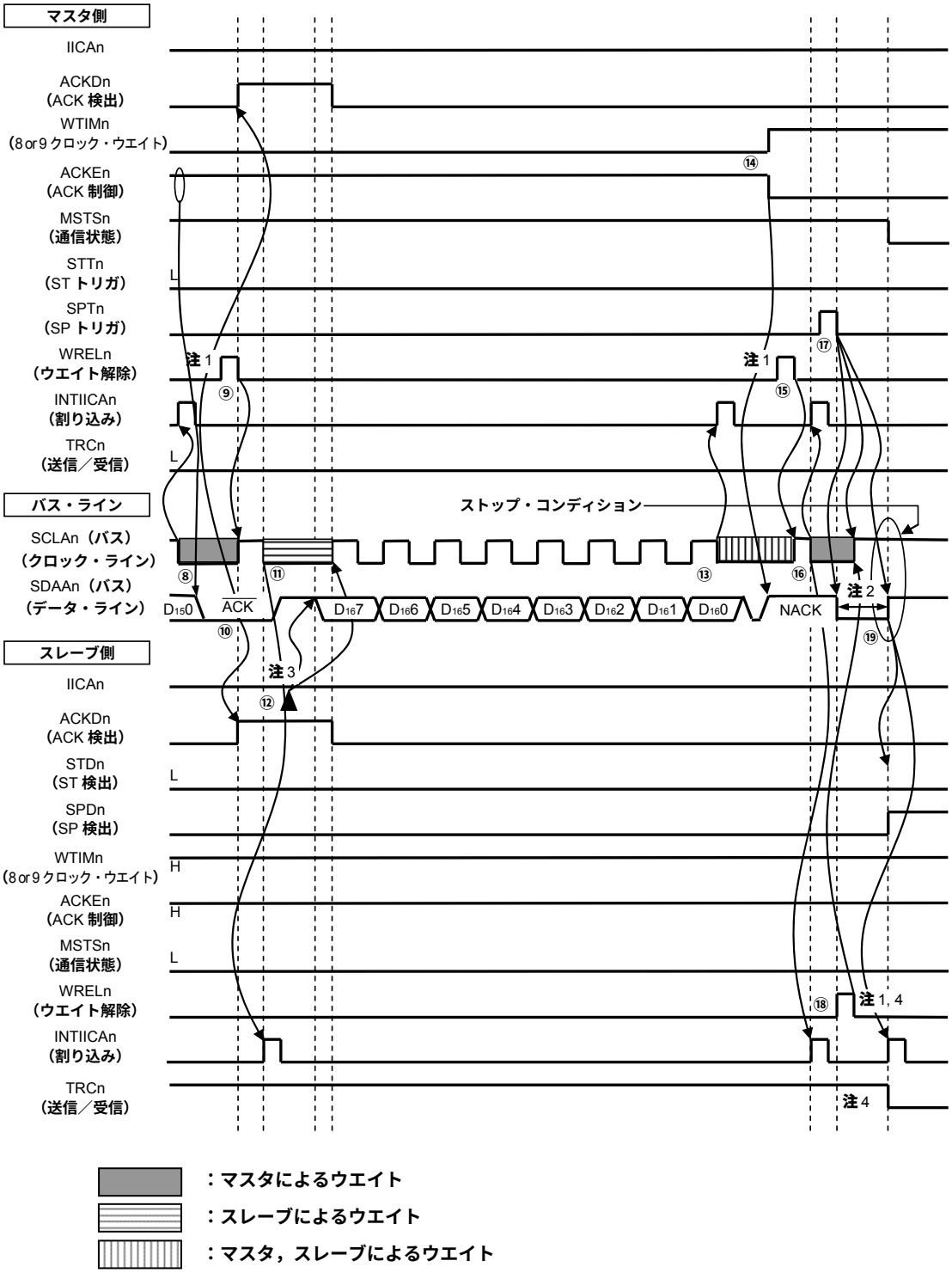
⑫ スレーブ側がIICAnレジスタに送信データを書き込むと，スレーブ側によるウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 図18－23の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図18－23（1）スタート・コンディション～アドレス～データでは手順①～⑦
図18－23（2）アドレス～データ～データでは手順③～⑫
図18－23（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図18－23 スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウエイト選択）（3/3）

(3) データ～データ～ストップ・コンディション



注1. ウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2. ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3. スレーブ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

4. スレーブ側での送信時のウエイトをWRELnビットのセットで解除すると，TRCnビットはクリアされます。

図18－23（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側はACKEn = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込むと，スレーブ側によるウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側によるウエイト（SCLAn = 0）がかかります。ACK制御（ACKEn = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAAn = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKEn = 0）し，ウエイト・タイミングを9クロック目ウエイト（WTIMn = 1）に変更します。

⑮ マスタ側がウエイトを解除（WRELn = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKDn = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，マスタ側のウエイトが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにウエイトを解除（WRELn = 1）します。スレーブによるウエイトが解除されると，バス・クロック・ラインがセット（SCLAn = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAAn = 1）してストップ・コンディション（SCLAn = 1でSDAAn = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考 図18－23の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図18－23（1）スタート・コンディション～アドレス～データでは手順①～⑦
図18－23（2）アドレス～データ～データでは手順③～⑫
図18－23（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

第19章 USBファンクション・コントローラ（USBF）

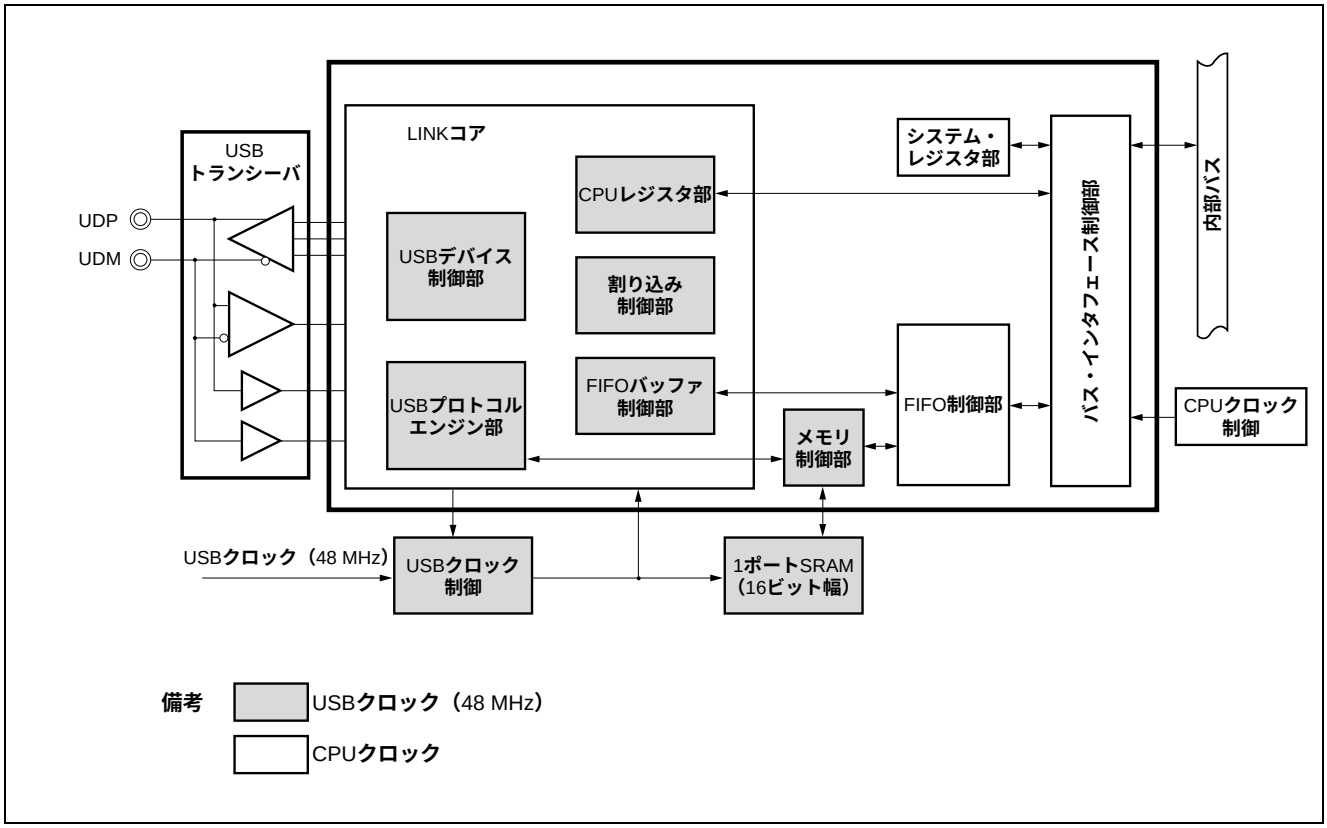
V850E2/Jx4-LはUSBFを1チャネル搭載しています。

○Universal Serial Bus Specification2.0に準拠
○USB2.0準拠フルスピード（12 Mbps）転送／ロウ・スピード（1.5 Mbps）転送に対応
○USBバス・パワー／セルフ・パワー動作，サスペンド／レジューム対応
○USB外付け抵抗内蔵（プルアップ／プルダウン抵抗，D+/D-ライン抵抗）
○転送用のエンド・ポイントを内蔵

パイプ・コンフィギュレーション	転送タイプ	転送方向	FIFOサイズ（バイト）	備 考
PIPE0	コントロール転送	IN/OUT	64	Read/Write
PIPE4	バルク転送	IN/OUT	64×2	2バッファ構成
PIPE5	バルク転送	IN/OUT	64×2	2バッファ構成
PIPE6	インタラプト転送	IN/OUT	64	
PIPE7	インタラプト転送	IN/OUT	64	

次にUSBファンクション・コントローラの構成について示します。

図19－1 USBファンク・ファンクション・コントローラのブロック図



第20章 DMA機能（DMAコントローラ）

V850E2/Jx4-Lは，DMA（Direct Memory Access）転送を実行制御するDMAコントローラ（DMAC）を備えています。

DMACは，内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ），外部入力端子からの割り込みによる要求，またはソフトウエアによるトリガに基づいて，メモリ⇔I/O間，メモリ⇔メモリ間，I/O⇔I/O間でのデータ転送を制御します（メモリは内蔵RAM，または外部メモリを意味します）。

20. 1 特 徴

○チャネル数：8チャネル

○転送データ・サイズ：8ビット/16ビット/32ビット

○転送データ： リトル・エンディアン固定（ミスアライン・データ非対応）

○最大転送回数：32768（2^{15}）回（0000H設定：32768回）

○チャネル優先順位制御： 固定優先順位（高優先順位（CH0）→低優先順位（CH7））

○転送対象：

- 内蔵RAM領域
- 内蔵周辺I/O領域
- 外部メモリ領域
- コード・フラッシュ領域

○転送タイプ：

- 2 サイクル転送（デュアル・アドレス転送）

  転送元，転送先ともにアドレス・アクセスします。1回の転送に2バス・サイクル（リード・サイクル＋ライト・サイクル）を必要とします。リード・サイクルとライト・サイクルの間でバスのロックは行わないため，CPUサイクルが割り込むことがあります。

○転送モード：

- シングル転送モード（ハードウエア・トリガ）

  ハードウエア・トリガによるDMA転送要求が発生するとバス使用権を獲得し，1回の転送を行ったあと必ずバスを解放します。その後，ハードウエアDMA転送要求があると，再度1回の転送を行います。この動作を，DMA転送回数レジスタ（DTCn）で指定した回数分の転送が終了するまで繰り返します。

- シングル・ステップ転送モード（ソフトウエア・トリガ）

  ソフトウエア・トリガによるDMA 転送要求が発生すると，DMA転送回数レジスタ（DTCn）で指定した回数分の転送が終了するまで，この動作を繰り返します。

○転送アドレス制御：インクリメンタル，固定

○転送エラー対応：

転送元からのデータがエラーであった場合，転送先にてエラーが発生した場合，DMA転送を中断し，CPUに対しSysError例外を通知します。

○DMA転送要求：

・ハードウエア・トリガによる要求（内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ），外部入力端子からの割り込み）

・ソフトウエア・トリガによる要求

20. 2 構　　成

DMAは，次のハードウエアで構成されています。

表20－1 DMAの構成

項　目	構　成
レジスタ	DMA転送要求コントロール・レジスタ（DTRC） DMAソース・アドレス・レジスタ0L-7L（DSA0L-DSA7L） DMAソース・アドレス・レジスタ0H-7H（DSA0H-DSA7H） DMAディスティネーション・アドレス・レジスタ0L-7L（DDA0L-DDA7L） DMAディスティネーション・アドレス・レジスタ0H-7H（DDA0H-DDA7H） DMA転送カウント・レジスタ0-7（DTC0-DTC7） DMA転送制御レジスタ0-7（DTCT0-DTCT7） DMA転送ステータス・レジスタ0-7（DTS0-DTS7） DMA転送起動要因設定レジスタ0-7（DTFR0-DTFR7） DMA要因クリア・レジスタ（DRQCLR）

20. 3 レジスタ

（1）DMA転送要求コントロール・レジスタ（DTRC）

DMA転送のエラー・ステータス，および転送中断状態を示す8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FFFF7300H　リセット時：00H　R/W

略号	⑦	6	5	4	3	2	1	⓪
DTRC	DTRCERR	0	0	0	0	0	0	DTRCADS

DTRCERR	DMA転送エラー・ステータス
0	DMA転送エラーなし
1	DMA転送エラー発生
DMA転送において，転送対象よりエラー・レスポンスを受信したことを示します。エラー・レスポンスを受信すると，DTRCERRビットとDTRCADSビットがセット（1）され，CPUでSysError例外を発生します。DTRCERRビットをクリアする場合は，“0”を設定してください。	

DTRCADS	DMA転送中断要求
0	DMA転送中
1	DMA転送中断／DMA転送中断要求
DMA転送が転送停止要求により中断していることを示します。また，DTRCADSビットをセット（1）することで，現在転送中のDMA転送を中断することができます。	

（2）DMAソース・アドレス・レジスタ0L-7L（DSA0L-DSA7L）

DMAチャネルの転送元アドレスの下位16ビットを設定する16ビット・レジスタです。

16ビット単位でリード／ライト可能です。また，DSAnLレジスタとDSAnHレジスタをDSAnレジスタとすれば，32ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DSA0L FFFF7314H, DSA1L FFFF7344H　リセット時：0000H　R/W
DSA2L FFFF7374H, DSA3L FFFF73A4H
DSA4L FFFF73D4H, DSA5L FFFF7404H
DSA6L FFFF7434H, DSA7L FFFF7464H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA
(n = 0-7)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

SA15-SA0	チャネルnのDMA転送元アドレスの下位16ビットを設定してください。DMA転送中に参照すると，次にDMA転送するアドレスが読み出せます。参照する場合，DSAnL, DSAnHレジスタをDSAnレジスタとして32ビットでアクセスすることを推奨します。 DMA転送が終了すると，DMA転送開始時の設定値に戻ります。

注意1. DMA転送許可状態（DTSn.DTSnDTEビット = 1）での設定は禁止です。この場合，動作を保証しません。

2. 設定途中のアドレスで転送しないために，DMA転送禁止状態（DTSn.DTSnDTEビット = 0）で32 ビット・アクセスにより設定してください。

3. ミスアライン・データのDMA転送はサポートしていません。転送データ・サイズに対応するアドレスの下位4ビットは次のとおりです（xは任意の1ビットを表します）。下記以外の設定を行った場合は，動作を保証しません。

データ・サイズ	SA1	SA0
8ビット	x	x
16ビット	x	0
32ビット	0	0

（3）DMAソース・アドレス・レジスタ0H-7H（DSA0H-DSA7H）

DMAチャネルの転送元アドレスの上位10ビットを設定する16ビット・レジスタです。

16ビット単位でリード／ライト可能です。また，DSAnLレジスタとDSAnHレジスタをDSAnレジスタとすれば，32ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DSA0H FFFF7316H, DSA1H FFFF7346H　リセット時：0000H　R/W
DSA2H FFFF7376H, DSA3H FFFF73A6H
DSA4H FFFF73D6H, DSA5H FFFF7406H
DSA6H FFFF7436H, DSA7H FFFF7466H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-7)	0	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

SA25-SA16	チャネルnのDMA転送元アドレスの上位10ビットを設定してください。DMA転送中に参照すると，次にDMA転送するアドレスが読み出せます。参照する場合，DSAnL, DSAnHレジスタをDSAnレジスタとして，32ビットでアクセスすることを推奨します。 DMA転送が終了すると，DMA転送開始時の設定値に戻ります。

注意1. DMA転送許可状態（DTSn.DTSnDTEビット = 1）での設定は禁止です。この場合，動作は保証しません。

2. 設定途中のアドレスで転送しないために，DMA転送禁止状態（DTSn.DTSnDTEビット = 0）で32 ビット・アクセスにより設定してください。

3. DSAnHレジスタのビット15-10には，必ず“0”を設定してください。

（4）DMAディスティネーション・アドレス・レジスタ0L-7L（DDA0L-DDA7L）

DMAチャネルの転送先アドレスの下位16ビットを設定する16ビット・レジスタです。

16ビット単位でリード／ライト可能です。また，DDAnLレジスタとDDAnHレジスタをDDAnレジスタとすれば，32ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DDA0L FFFF7324H, DDA1L FFFF7354H　リセット時：0000H　R/W
DDA2L FFFF7384H, DDA3L FFFF73B4H
DDA4L FFFF73E4H, DDA5L FFFF7414H
DDA6L FFFF7444H, DDA7L FFFF7474H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-7)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

DA15-DA0	チャネルnのDMA転送先アドレスの下位16ビットを設定してください。DMA転送中に参照すると，次にDMA転送するアドレスが読み出せます。参照する場合，DDAnL, DDAnHレジスタをDDAnレジスタとして，32ビットでアクセスすることを推奨します。 DMA転送が終了すると，DMA転送開始時の設定値に戻ります。

注意1. DMA転送許可状態（DTSn.DTSnDTEビット = 1）での設定は禁止です。この場合，動作は保証しません。

2. 設定途中のアドレスで転送しないために，DMA転送禁止状態（DTSn.DTSnDTEビット = 0）で32 ビット・アクセスにより設定してください。

3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると，ライト・サイクルは実行されませんが，ディスティネーション・アドレスは更新されます。

4. ミスアライン・データのDMA転送はサポートしていません。転送データ・サイズに対応するアドレスの下位4ビットは次のとおりです（xは任意の1ビットを表します）。下記以外の設定を行った場合は，動作を保証しません。

データ・サイズ	DA1	DA0
8ビット	x	x
16ビット	x	0
32ビット	0	0

（5）DMAソース・ディスティネーション・レジスタ0H-7H（DDA0H-DDA7H）

DMAチャネルの転送先アドレスの上位10ビットを設定する16ビット・レジスタです。

16ビット単位でリード／ライト可能です。また，DDAnLレジスタとDDAnHレジスタをDDAnレジスタとすれば，32ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DDA0H FFFF7326H, DDA1H FFFF7356H　リセット時：0000H　R/W
DDA2H FFFF7386H, DDA3H FFFF73B6H
DDA4H FFFF73E6H, DDA5H FFFF7416H
DDA6H FFFF7446H, DDA7H FFFF7476H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-7)	0	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16

DA25-DA16	チャネルnのDMA転送先アドレスの上位10ビットを設定してください。DMA転送中に参照すると，次にDMA転送するアドレスが読み出せます。参照する場合，DDAnL, DDAnHレジスタをDDAnレジスタとして，32ビットでアクセスすることを推奨します。 DMA転送が終了すると，DMA転送開始時の設定値に戻ります。

注意1. DMA転送許可状態（DTSn.DTSnDTEビット = 1）での設定は禁止です。この場合，動作は保証しません。

2. 設定途中のアドレスで転送しないために，DMA転送禁止状態（DTSn.DTSnDTEビット = 0）で32 ビット・アクセスにより設定してください。

3. DMA転送のリード・サイクルで転送対象にエラーが発生すると，ライト・サイクルは実行されませんが，ディスティネーション・アドレスは更新されます。

4. DDAnHレジスタのビット15-10には，必ず“0”を設定してください。

（6）DMA転送カウント・レジスタ0-7（DTC0-DTC7）

DMAチャネルnの転送数を設定する16ビット・レジスタです（n = 0-7）。

DMA転送中は，残りの転送数を保持します。

転送データ単位（8/16/32ビット）にかかわらず，1回の転送につき1ずつデクリメントされ，ボローが発生すると転送を終了します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DTC0 FFFF7332H, DTC1 FFFF7362H　リセット時：0000H　R/W
DTC2 FFFF7392H, DTC3 FFFF73C2H
DTC4 FFFF73F2H, DTC5 FFFF7422H
DTC6 FFFF7452H, DTC7 FFFF7482H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTCn (n = 0-7)	0	DTC 14	DTC 13	DTC 12	DTC 11	DTC 10	DTC 9	DTC 8	DTC 7	DTC 6	DTC 5	DTC 4	DTC 3	DTC 2	DTC 1	DTC 0

DTC14-DTC0	転送数の設定，またはDMA転送中の残りの転送数
0000H	32768回の転送，または転送完了
0001H	1回の転送，または残り転送回数1回
:	:
7FFFH	32767回の転送，または残り転送回数32767回
チャネルnのDMA転送回数を設定します。DMA転送中に参照すると，残り転送回数が読み出せます。DMA転送が終了すると，DMA転送開始時の設定値に戻ります。	

注意1. DMA転送許可状態（DTSn.DTSnDTEビット = 1）での設定は禁止です。この場合，動作は保証しません。

2. DMA 転送のリード・サイクルで転送対象にエラーが発生すると，ライト・サイクルは実行されませんが，転送回数は更新されます。

3. DTCnレジスタのビット15には，必ず“0”を設定してください。

（7）DMA転送制御レジスタ0-7（DTCT0-DTCT7）

DMAチャネルnのDMA転送を制御する16ビット・レジスタです（n = 0-7）。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DTCT0 FFFF7338H, DTCT1 FFFF7368H　リセット時：0000H　R/W
DTCT2 FFFF7398H, DTCT3 FFFF73C8H
DTCT4 FFFF73F8H, DTCT5 FFFF7428H
DTCT6 FFFF7458H, DTCT7 FFFF7488H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTCTn (n = 0-7)	0	DS1	DS0	LE	0	0	0	0	SACM1	SACM0	DACM1	DACM0	0	0	0	0

DS1	DS0	DMA転送データ・サイズの設定
0	0	8ビット
0	1	16ビット
1	0	32ビット
1	1	設定禁止

LE	リンク・イネーブルの設定
0	DMA転送完了時，DTSn.DTSnDTEビットをクリア（0）する
1	DMA転送完了時，DTSn.DTSnDTEビットをクリア（0）しない
シングル転送モードでのDMA転送完了後，TCビットをクリアしなくても次のDMA転送要求を受け付けるかどうかを設定します。 このビットをセット（1）すると，DMA 転送完了時にDTSn.DTSnDTE ビットはクリア（0）されません。また，DTSn.DTSnTCビットをクリア（0）しなくても，DMA 転送要求があれば，次のDMA転送がは行われます。	

SACM1	SACM0	DMA転送元アドレス・カウント方向の設定
0	0	インクリメント
1	0	固定
上記以外		設定禁止

DACM1	DACM0	DMA転送先アドレス・カウント方向の設定
0	0	インクリメント
1	0	固定
上記以外		設定禁止

注意1. DMA転送許可状態（DTSn.DTSnDTEビット = 1）での設定は，LEビット以外は禁止です。この場合，動作は保証しません（LEビットのみ更新可能です）。

2. SACM1，SACM0，DACM1，DACM0ビットを設定禁止に設定した場合の動作は保証しません。

3. DTCTnレジスタのビット15，11-8，3-0には，必ず“0”を設定してください。

（8）DMA転送ステータス・レジスタ0-7（DTS0- DTS7）

DMAチャネルnのDMA転送完了ステータス，DMA転送ステータス，DMA転送エラー，ハードウエア・トリガによるDMA 起動要因発生の確認，およびソフトウエア・トリガによるDMA転送要求の発行許可とDMA転送の許可を制御する8ビット・レジスタです（n = 0-7）。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

（1/2）

アドレス：DTS0 FFFF733AH, DTS1 FFFF736AH　リセット時：00H　R/W
DTS2 FFFF739AH, DTS3 FFFF73CAH
DTS4 FFFF73FAH, DTS5 FFFF742AH
DTS6 FFFF745AH, DTS7 FFFF748AH

略号	⑦	⑥	5	4	③	②	①	⓪
DTSn (n = 0-7)	DTSnTC	DTSnDT	0	0	DTSnER	DTSnDR	DTSnSR	DTSnDTE

DTSnTC	DMA転送完了ステータス
0	DMA転送未完了
1	DMA転送完了

DMA転送が完了したことを示します。
DTSnTCビットは，“1”を読み出しても，クリア（0）されません。DMA転送完了後は，“0”を設定し（CLR1などのビット操作を推奨），クリア（0）してください。

DTSnDT	DMA転送ステータス
0	DMA転送中でない
1	DMA転送中

DMA 転送要求が受け付けられて，DMA転送中であることを示します。
DMA 転送要求があるだけではセット（1）されません。DMA転送完了によりクリア（0）されます。また，DTSnDTE ビットが“0”のときは，ユーザによるクリア（0）が可能です（DTSnDTE ビットとの同時設定も可能）。

DTSnER	DMA転送エラー・フラグ
0	DMA転送エラーなし
1	DMA転送エラー発生

チャネルnでDMA転送エラーが発生したことを示します。
DTRC.DTRCERRビットに“0”を設定すると，DTSnERビットはクリア（0）されます。
DTSnERビットはRead Onlyです。

(2/2)

DTSnDR	ハードウエア・トリガによるDMA 起動要因発生フラグ
0	ハードウエア・トリガによるDMA起動要因発生なし
1	ハードウエア・トリガによるDMA起動要因発生

チャネルn にハードウエア・トリガによるDMA起動要因発生が発生したことを示します。
ハードウエア・トリガによる転送要求がインアクティブになると，クリア（0）されます。
DTSnDRビットは，DTSnDTEビットの状態にかかわらず動作します。ただし，ソフトウエア・トリガによるDMA転送要求ではセット（1）されません。
DTSnDRビットはRead Onlyです。

DTSnSR	ソフトウエア・トリガによるDMA転送要求設定
0	ソフトウエアによるDMA転送を要求しない
1	ソフトウエアによるDMA転送を要求する

ソフトウエア・トリガによるDMA転送要求を設定します。DTSnDTEビットが“1”の状態でDTSnSRビットに“1”を設定すると，DMA転送が開始され，DMA転送が完了すると，DTSnSRビットは自動的にクリア（0）されます。また，ソフトウエア・トリガによるDMA転送中に，DTSnSRビットに“0”を設定すると，DMA転送は中断されます。

DTSnDTE	DMA転送許可／禁止
0	DMA転送禁止
1	DMA転送許可

チャネルnのDMA転送許可を設定します。DTSnDTEビットに“1”を設定した場合，DMA転送要求が発生されると，DMA 転送が開始されます。
DMA転送完了時に，DTCTn.LEビットが“0”の場合，DTSnDTEビットは自動的にクリア（0）されます。また，DMA 転送中に，DTSnDTEビットに“0”を設定すると，DMA 転送は中断されます。

（9）DMA転送起動要因設定レジスタ（DTFR0-DTFR7）

ハードウエア・トリガによるDMA起動許可の設定，および，ハードウエア・トリガによるDMA起動要因を選択する16ビット・レジスタです。

このレジスタで設定した割り込み要求信号が，DMA転送の起動要因になります。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：DTFR0 FFFF7B00H, DTFR1 FFFF7B02H　リセット時：00H　R/W
DTFR2 FFFF7B04H, DTFR3 FFFF7B06H
DTFR4 FFFF7B08H, DTFR5 FFFF7B0AH
DTFR6 FFFF7B0CH, DTFR7 FFFF7B0EH

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTFRn (n = 0-7)	REQENn	0	0	0	0	0	0	0	0	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

REQENn	ハードウエア・トリガによるDMA起動許可／禁止
0	ハードウエア・トリガによるDMA起動禁止（DMA起動要因回路の動作禁止）
1	ハードウエア・トリガによるDMA起動許可（DMA起動要因回路の動作許可）

チャネルnのハードウエア・トリガによるDMA起動要因回路の動作を制御します。
REQENnビットに“0”を設定している場合，DMA転送要求（DMARQ）は発生しません。

注意　DTFRnレジスタのビット14-6には，必ず“0”を設定してください。

備考　IFCn5-IFCn0ビットについては，表20－2　DMA起動要因を参照してください。

表20ー2 DMA起動要因（1/3）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要求信号	該当製品						
							144	128	100	80	64	48	40
0	0	0	0	0	0	INTP00	○	○	○	○	○	○	ー
0	0	0	0	0	1	INTP01	○	○	○	○	○	○	○
0	0	0	0	1	0	INTP02	○	○	○	○	○	○	○
0	0	0	0	1	1	INTP05	○	○	○	○	○	○	○
0	0	0	1	0	0	INTP06	○	○	○	○	○	○	○
0	0	0	1	0	1	INTP07	○	○	○	○	○	○	○
0	0	0	1	1	0	INTP08	○	○	○	○	○	○	ー
0	0	0	1	1	1	INTP10	○	○	○	○	○	ー	ー
0	0	1	0	0	0	INTP11	○	○	○	ー	ー	ー	ー
0	0	1	0	0	1	INTP12	○	○	○	ー	ー	ー	ー
0	0	1	0	1	0	INTP13	○	○	○	ー	ー	ー	ー
0	0	1	0	1	1	INTTAU00	○	○	○	○	○	○	○
0	0	1	1	0	0	INTTAU01	○	○	○	○	○	○	○
0	0	1	1	0	1	INTTAU02	○	○	○	○	○	○	○
0	0	1	1	1	0	INTTAU03	○	○	○	○	○	○	○
0	0	1	1	1	1	INTTAU10	○	○	○	○	○	○	○
0	1	0	0	0	0	INTTAU11	○	○	○	○	○	○	○
0	1	0	0	0	1	INTTAU12	○	○	○	○	○	○	○
0	1	0	0	1	0	INTTAU13	○	○	○	○	○	○	○
0	1	0	0	1	1	INTTAU20	○	○	○	○	○	○	○
0	1	0	1	0	0	INTTAU21	○	○	○	○	○	○	○
0	1	0	1	0	1	INTTAU22	○	○	○	○	○	○	○
0	1	0	1	1	0	INTTAU23	○	○	○	○	○	○	○
0	1	0	1	1	1	INTTM0EQ0	○	○	○	○	○	○	○
0	1	1	1	1	0	INTENCA1I0	○	○	○	○	○	ー	ー
0	1	1	1	1	1	INTENCA1I1	○	○	○	○	○	ー	ー
1	0	0	0	0	0	INTAD	○	○	○	○	○	○	○
1	0	0	0	0	1	INTADS	○	○	○	○	○	○	○
1	0	0	0	1	0	INTRTC	○	○	○	○	○	○	○

備考1. 該当製品の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

2. n = 0-7

表20ー2 DMA起動要因（2/3）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要求信号	該当製品						
							144	128	100	80	64	48	40
1	0	0	0	1	1	INTST00	○	○	○	○	○	○	○
						INTCSI00	○	○	○	○	○	○	○
						INTP03	○	○	○	○	○	○	○
1	0	0	1	0	0	INTSR00	○	○	○	○	○	○	○
						INTCSI01	○	○	○	−	−	−	−
1	0	0	1	0	1	INTST01	○	○	○	○	○	○	−
						INTCSI02	○	○	○	○	○	○	−
						INTIICA1	○	○	○	○	○	○	−
						INTP09	○	○	○	○	○	○	−
1	0	0	1	1	0	INTSR01	○	○	○	○	○	○	−
						INTCSI03	○	○	−	−	−	−	−
						INTIICA3	○	○	−	−	−	−	−
						INTP19	○	○	−	−	−	−	−
1	0	0	1	1	1	INTST10	○	○	○	○	−	−	−
1	0	1	0	0	0	INTSR10	○	○	○	○	−	−	−
						INTCSI11	○	○	○	−	−	−	−
1	0	1	0	0	1	INTST11	○	○	○	○	−	−	−
1	0	1	0	1	0	INTSR11	○	○	○	○	−	−	−
						INTCSI13	○	○	−	−	−	−	−
1	0	1	0	1	1	INTST20	○	○	○	−	−	−	−
1	0	1	1	0	0	INTSR20	○	○	○	−	−	−	−
						INTCSI21	○	○	−	−	−	−	−
1	0	1	1	0	1	INTST21	○	○	○	−	−	−	−
1	0	1	1	1	0	INTSR21	○	○	○	−	−	−	−
						INTCSI23	○	○	−	−	−	−	−
						INTP15	○	○	−	−	−	−	−

備考1. **該当製品の欄は次のように対応しています。**

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

2. n = 0-7

表20ー2 DMA起動要因（3/3）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要求信号	該当製品						
							144	128	100	80	64	48	40
1	1	0	0	1	1	INTST40	○	○	○	○	○	○	○
						INTCSI40	○	○	○	○	○	○	○
1	1	0	1	0	0	INTSR40	○	○	○	○	○	○	○
						INTCSI41	○	○	○	ー	ー	ー	ー
1	1	0	1	0	1	INTST50	○	○	○	○	○	○	○
						INTCSI50	○	○	○	○	○	○	○
						INTIICA0	○	○	○	○	○	○	○
						INTP04	○	○	○	○	○	○	○
1	1	0	1	1	0	INTSR50	○	○	○	○	○	○	○
						INTCSI51	○	○	○	○	ー	ー	ー
						INTIICA2	○	○	○	○	ー	ー	ー
1	1	1	0	0	1	INTSTS00	○	○	○	○	○	○	○
						INTCSIS00	○	○	○	○	○	○	○
						INTENCA0I0	○	○	○	○	○	○	○
1	1	1	0	1	0	INTSRS00	○	○	○	○	○	○	○
						INTCSIS01	○	○	ー	ー	ー	ー	ー
						INTENCA0I1	○	○	○	○	○	○	○
1	1	1	1	0	0	INTKR	○	○	○	○	○	○	○
1	1	1	1	1	0	D0FIFO注	○	○	○	○	○	○	○
1	1	1	1	1	1	D1FIFO注	○	○	○	○	○	○	○
上記以外						設定禁止	ー						

注: D0FIFO, D1FIFOは、USBのデータ転送要求信号です。割り込み要因としては存在しません。

備考1. 該当製品の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

2. n = 0-7

（10）DMA要求クリア・レジスタ（DRQCLR）

チャネルnのハードウエア・トリガによるDMA起動発生ステータス・フラグをクリアする16ビット・レジスタです（n = 0-7）。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

アドレス：FFFF7B40H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DRQCLR	0	0	0	0	0	0	0	0	RQCR7	RQCR6	RQCR5	RQCR4	RQCR3	RQCR2	RQCR1	RQCR0

RQCRn（n = 0-7）	RQCRnビットを“1”に設定すると，DRQSTR.RQSTnビット（チャネルnのハードウエア・トリガによるDMA起動発生ステータス・フラグ）がクリア（0）されます。

注意1. DRQCLRレジスタのビット15-8には，必ず“0”を設定してください。

2. DRQCLRレジスタのビット7-0に“0”を設定しても，反映されません。

（11）DMA要求確認レジスタ（DRQSTR）

チャネルnのハードウエア・トリガによるDMA起動発生ステータスを確認する16ビット・レジスタです（n = 0-7）。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

アドレス：FFFF7B44H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DRQSTR	0	0	0	0	0	0	0	0	RQST7	RQST6	RQST5	RQST4	RQST3	RQST2	RQST1	RQST0

RQSTn（n = 0-7）	チャネルnのハードウエア・トリガによるDMA起動発生ステータス・フラグ
0	ハードウエア・トリガによるDMA起動発生なし
1	ハードウエア・トリガによるDMA起動発生あり（DMA転送要求信号発生）

注意　DRQSTRレジスタのビット15-8には，必ず“0”を設定してください。

20. 4 DMAの転送モード

転送モードは，シングル転送モード，およびシングル・ステップ転送モードをサポートしています。

いずれのモードにおいても2サイクル転送（デュアル・アドレス転送）を行うため，1回のDMAサイクルごとにリード要求とライト要求を発生します。

なお，バスをロックしないため，リード要求とライト要求の間にCPUサイクルが割り込むことがあります。

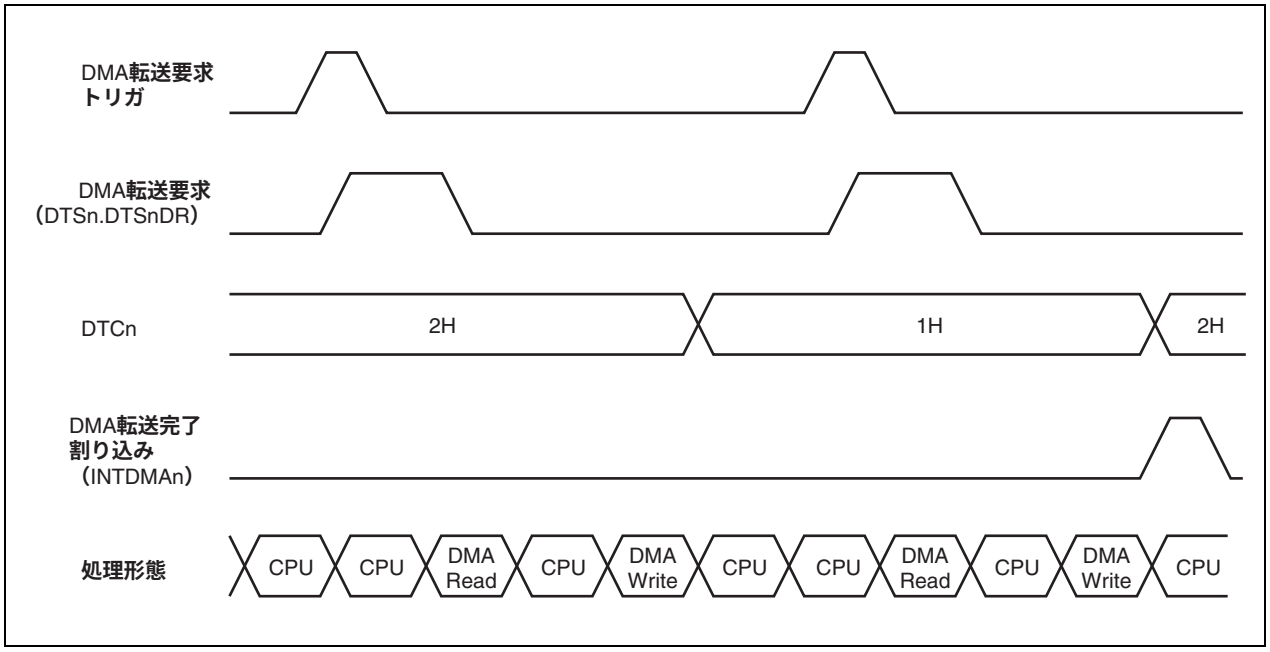
20. 4. 1 シングル転送モード（ハードウエアDMA転送要求時）

ハードウエアDMA転送要求を受け付けると，転送データ・サイズ分のデータ（8ビット／16ビット／32ビット）の転送を行い，1回のDMAサイクルごとにバスを解放して，DMA転送要求待ち状態になります。

ハードウエアDMA転送要求を受け付けるごとに1回のDMAサイクルを行い，ハードウエアDMA転送要求をクリアします。

この動作をDMA転送カウント・レジスタ（DTCn）で指定した回数分続けます。転送完了時にINTDMAn割り込みが発生します。

図20－1 シングル転送例（転送回数2回）



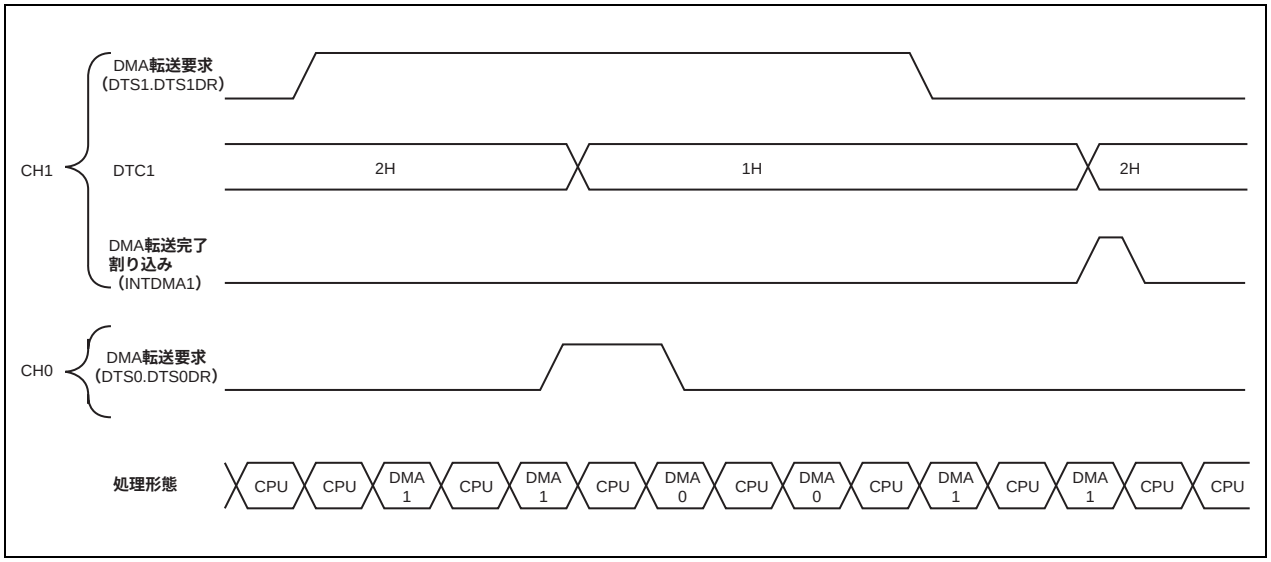
20. 4. 2 シングル・ステップ転送モード（ソフトウエアDMA転送要求時）

ソフトウエアDMA転送要求を受け付けると，転送データ・サイズ分のデータ（8ビット／16ビット／32ビット）の転送を行い，1回の転送ごとにバスを解放します。

一度ソフトウエアDMA転送要求を受け付けると，この動作をDMA転送カウント・レジスタ（DTCn）で指定した回数分続けます。転送完了時にINTDMAn割り込みが発生し，ソフトウエアDMA転送要求をクリアします。

なお，1回の転送ごとに優先順位判定を行うため，優先順位の高いチャネルのDMAサイクルが割り込むことがあります。

図20ー2 シングル・ステップ転送例



20. 5 DMAチャネルの優先順位

各チャネルの優先順位は固定となり次のようになります。

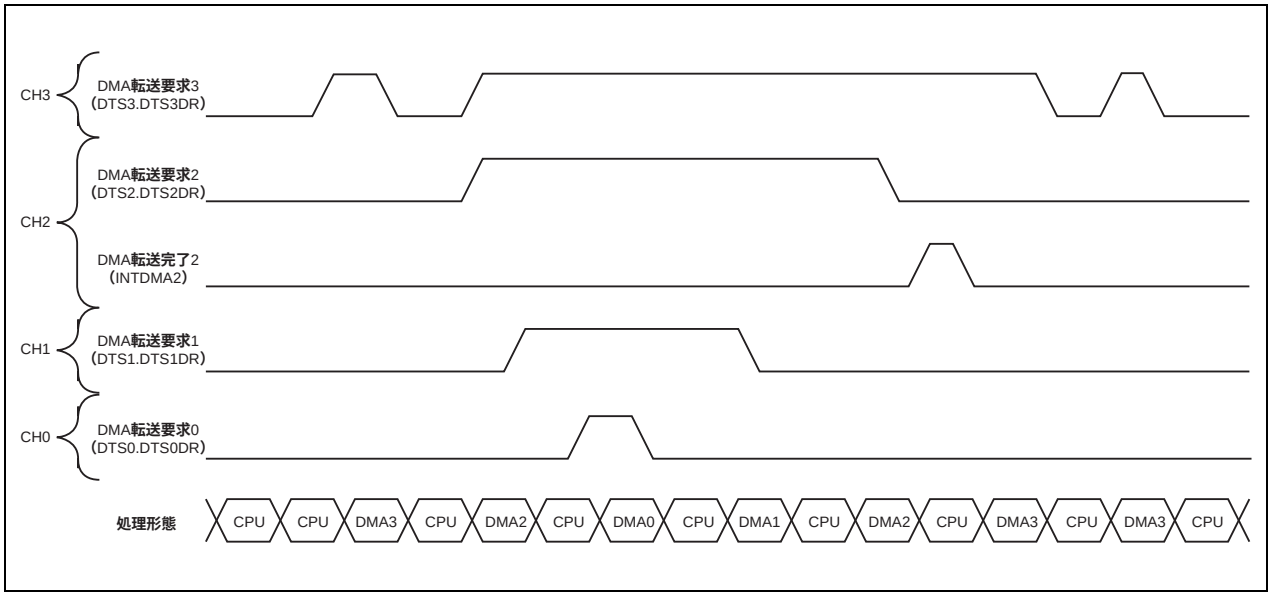
CH0 > CH1 > CH2 > CH3> CH4 > CH5 > CH6 > CH7

優先順位が高いほかのDMA転送要求が発生した場合は，常に優先順位が高いDMA転送要求を優先します。

シングル・ステップ転送時も，1回のDMAサイクルごとにバスを解放するので，優先順位が高いほかのDMA転送要求が発生した場合は，常に優先順位が高いDMA転送要求を優先します。

DMA転送実行時に，優先順位が高いほかのDMA転送要求が発生した場合の例を図20－3に示します。

図20－3 DMA転送チャネル優先順位制御例



20. 6 DMA転送要求の有効条件

チャネルnのDMA転送要求を受け付けるかどうかは，DMA転送要求コントロール・レジスタ（DTRC）のDTRCERRビット，DTRCADSビット，DMA転送制御レジスタ（DTCTn）のLEビット，DMA転送ステータス・レジスタ（DTSn）のDTSnTCビット，DTSnDTEビットの設定によります。

それぞれのビットの設定状態による，DMA転送要求受け付け可否を表20－3に示します。

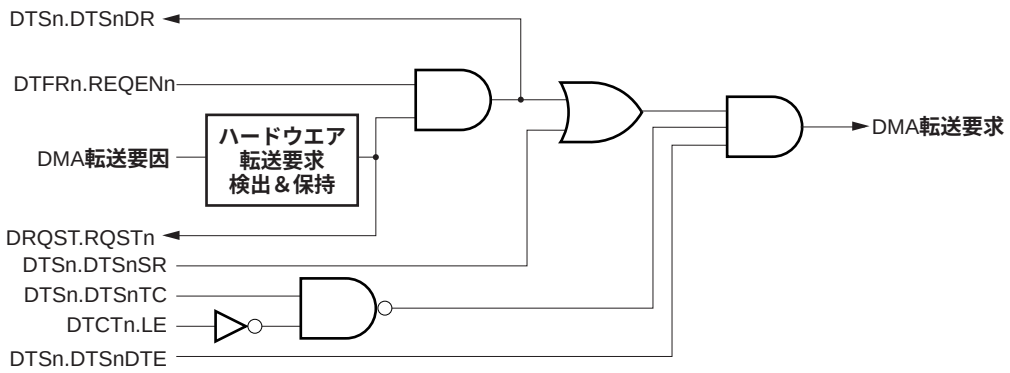
表20－3 DMA転送要求の受け付け

DTFRn.REQENn	DTCTn.LE	DTSn.DTSnTC	DTSn.DTSnDTE	DTRC.DTRCERR	DTRC.DTRCADS	ハードウエアDMA転送要求	ソフトウエアDMA転送要求	説明
×	×	×	×	×	1	無効	無効	DMA転送中断中
×	×	×	×	1	×	無効	無効	DMA転送エラー発生中
×	×	×	0	×	×	無効	無効	DMA転送禁止
0	×	0	1	0	0	無効	有効	DTFRによるハードウエアDMA転送要求マスク
1	×	0	1	0	0	有効	有効	DMA転送要求受付可
x	0	1	0	0	0	無効	無効	DMA転送完了（LEビット・クリア（0））
0	1	1	1	0	0	無効	有効	DMA転送完了（LEビット・セット（1））
1	1	1	1	0	0	有効	有効	DMA転送完了（LEビット・セット（1））

備考 n = 0-7

注意 DMA転送要求構成図を次に示します。ハードウエアDMA転送要求とソフトウエアDMA転送要求は論理的にORされているので，ハードウエアDMA転送要求とソフトウエアDMA転送要求を同時にセットすることは禁止です。ソフトウエアDMA転送要求によるDMA転送を実行する場合は，DTFRn.REQENnビットをクリア（0）することでハードウエアDMA転送要求を禁止してください。

なお，REQENn = 0でハードウエアDMA転送要因が入力された場合，入力された転送要因はDRQSTRレジスタに保持されます。この場合，ソフトウエアDMA転送要求を受け付けても，保持されたハードウエアDMA転送要因はクリアされません。



20. 7 DMA各種タイミング

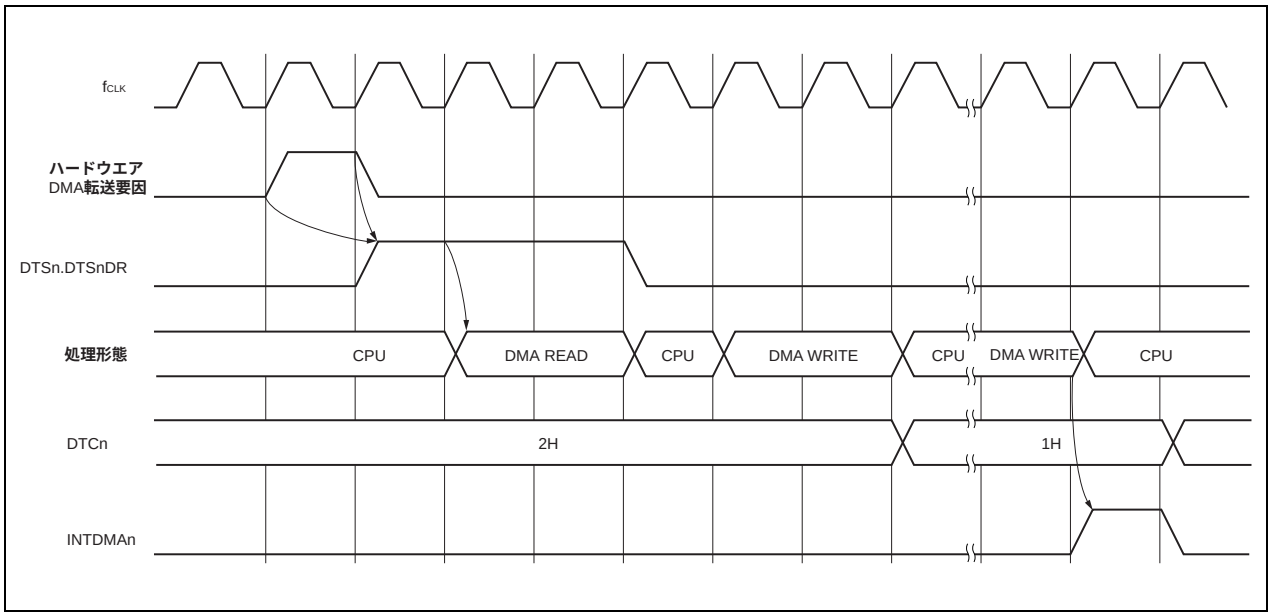
20. 7. 1 ハードウエアDMA転送要因サンプリング・タイミング

ハードウエアDMA転送要因は，CPU／周辺クロック（f_{CLK}）の立ち上がりでサンプリングします。f_{CLK}の立ち上がりでハードウエアDMA転送要因がロウ･レベルからハイ・レベルへ変化したことを検出し，DRQSTR.RQSTnビットへ保持します。保持された転送要因はその転送要因に起因するDMA転送要求が受け付けられると自動的にクリアされます。

20. 7. 2 DMA転送完了割り込み（INTDMAn）発生タイミング

DMA転送完了割り込みは，転送対象に関わらず，DMA転送が完了した次のCPU／周辺クロック（f_{CLK}）の立ち上がりで発生します。

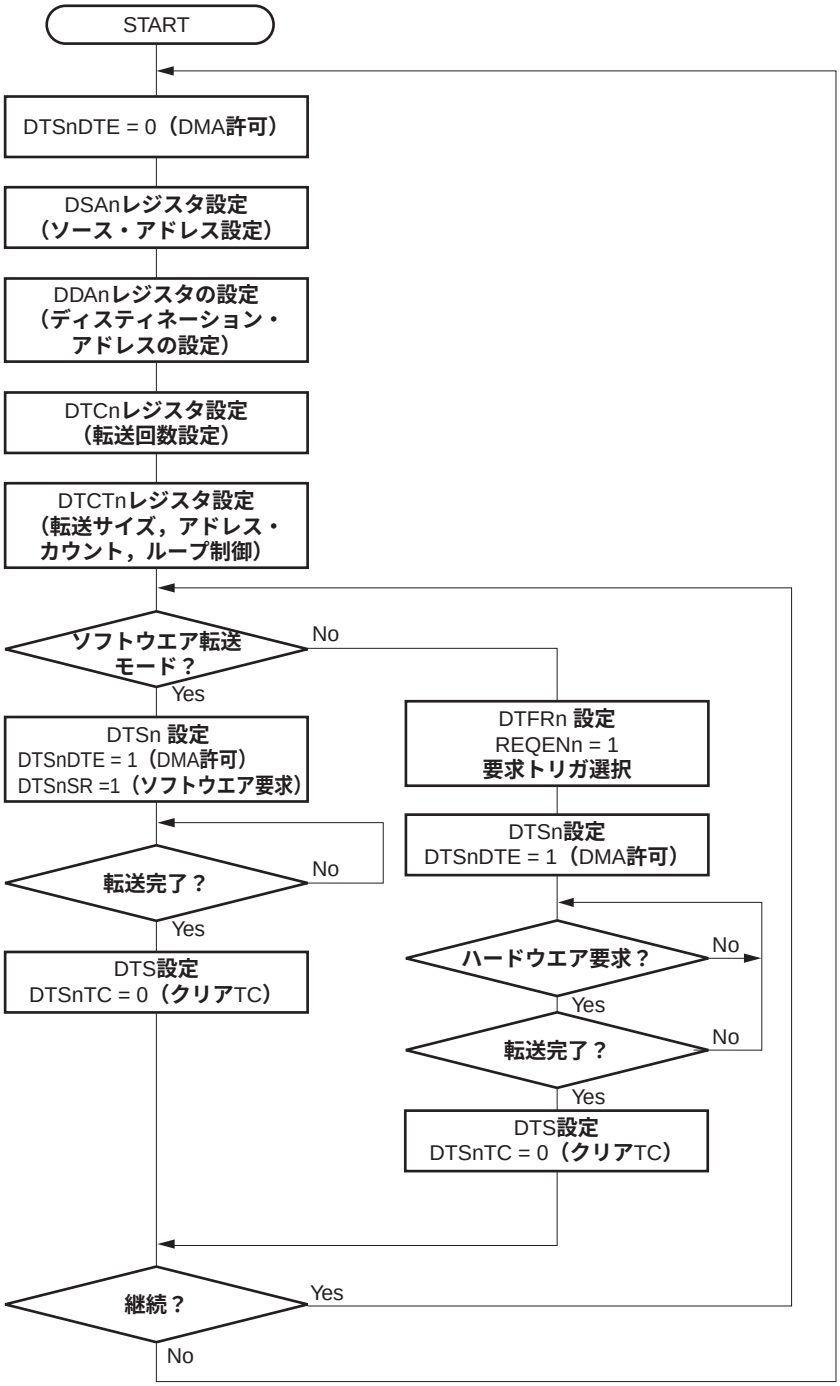
図20－4 ハードウエアDMA転送要因／DMA転送完了割り込み（INTDMAn）発生タイミング



20. 8 DMA転送の設定フロー

DMA転送の設定フローを示します。

図20－5 DMA転送フロー



注意 DMAは常にハードウエアDMA転送要因をサンプリングしていますので，DMA転送の初期設定中などに転送要因がDRQSTRレジスタに保留されている場合があります。保留された転送要因はDRQCLRレジスタの機能によりクリア（0）できますので，必要な場合はDTSnDTEビットをセット（1）する前に不要な転送要因をクリア（0）してください。

20. 9 ループ機能

DMA転送制御レジスタ（DTCTn）のループ・イネーブル・ビット（LE）をクリア（0）した状態でのDMA転送が完了した場合，DMA転送ステータス・レジスタ（DTSn）のDMA転送完了ステータス・ビット（DTSnTC）をセットすると同時にDMA転送許可ビット（DTSnDTE）をクリア（0）し，以降のDMA転送要求を受け付けなくなります。新たにDMA転送を開始するためには，**20. 8 DMA転送の設定フロー**に従って，DTSnTCビットをクリア（0）し，DTSnDTEビットをセット（1）する必要があります。

これに対して，ループ・イネーブル・ビット（LE）をセット（1）した状態でのDMA転送が完了した場合は，DTSnDTEビットはクリア（0）されません。また，DTSnTCビットはセット（1）されますが，DTSnTCビットがセット（1）された状態のまま以降のDMA転送要求を受け付けることができます。

DMA転送が完了すると，自動的にソース・アドレス（DSALn, DSAHnレジスタ），ディスティネーション・アドレス（DDALn, DDAHnレジスタ），転送回数（DTCnレジスタ）は設定値に戻ります。

従って，同じ設定でDMA転送を繰り返す場合は，ループ機能を使用してLEをセットしておくことで，DMA転送完了後のDTSnTCのクリア，およびDTSnDTEのセットの手順を省略することができます。

20. 9. 1 ループ機能の注意事項

ループ機能を使用する場合，DMA転送完了後にDMA転送要求が入力されると，自動的に前回のDMA転送時の設定値で転送を開始します。よってDMA転送完了後，転送データの処理が完了する前にDMA転送要求があると，転送済みデータを上書きする場合があります。

LEビットの設定は転送中でも可能です。ループ機能は最終転送回数（DTCn = 0001H）の転送で有効になるので，LEビットの設定は最終転送回数のDMAサイクルが始まる前までに行ってください。

20. 10 DMA転送の中断／再開，および強制終了

20. 10. 1 ハードウエアによるDMA転送の中断

ハードウエアによるDMA転送の中断機能を持ちません。

20. 10. 2 ソフトウエアによるDMA転送の中断／再開

DMA転送のソフトウエアによる転送中断機能には次の3つがあります。

(1) DMA転送中断（DTRCADS）ビットによる全チャネルのDMA転送中断／再開
(2) DMA転送許可（DTSnDTE）ビットによるチャネル単位のDMA転送中断／再開
(3) ソフトウエアDMA転送要求（DTSnSR）ビットによるDMA転送中断／再開

上記いずれかの中断機能によりDMA転送を中断した場合，DMA転送を中断した各チャネルについて次のレジスタの値はDMA転送を中断した時点の値を保持します。

- DMA転送カウント・レジスタ（DTCn）
- DMAソース・アドレス・レジスタL（DSAnL）
- DMAソース・アドレス・レジスタH（DSAnH）
- DMAディスティネーション・アドレス・レジスタL（DDAnL）
- DMAディスティネーション・アドレス・レジスタH（DDAnH）

（1）DMA転送中断（DTRCADS）ビットによる全チャネルのDMA転送中断／再開

DMA転送要求コントロール・レジスタ（DTRC）のDMA転送中断（DTRCADS）ビットをセット（1）することで，全チャネルのDMA転送を中断します。DMAサイクル実行中の場合，実行中のDMAサイクル終了後にDMA転送が中断されます。なお，DMA転送ステータス・レジスタ（DTSn）のDMA転送許可（DTSnDTE）ビットや，ソフトウエアDMA転送要求（DTSnSR）ビットはクリア（0）されません。

DMA転送を再開する場合は，DTRCADSビットをクリア（0）してください。その時点で複数のチャネルに対してDMA転送が要求されている場合，優先順位が最も高いチャネルの転送から順次DMA転送が再開されます。

（2）DMA転送許可（DTSnDTE）ビットによるチャネル単位のDMA転送中断／再開

DMA転送ステータス・レジスタ（DTSn）のDMA転送許可（DTSnDTE）ビットをクリア（0）することで，該当チャネルのDMA転送を中断します。DMAサイクル実行中の場合，実行中のDMAサイクル終了後にDMA転送が中断されます。なお，DMA転送ステータス・レジスタ（DTSn）のソフトウエアDMA転送要求ビット（DTSnSR）はクリア（0）されません。

DMA転送を再開する場合は，DTSnDTEビットをセット（1）してください。

（3）ソフトウエアDMA転送要求ビット（DTSnSR）によるDMA転送中断／再開

DMA転送ステータス・レジスタ（DTSn）のソフトウエアDMA転送要求（DTSnSR）ビットによるDMA転送中は，DTSnSRビットををクリア（0）することで，該当するチャネルのDMA転送を中断することができます。DMAサイクル実行中の場合，実行中のDMAサイクル終了後にDMA転送が中断されます。なお，DMA転送ステータス・レジスタ（DTSn）のDMA転送許可（DTSnDTE）ビットはクリア（0）されません。

DMA転送を再開する場合は，DTSnSRビットをセット（1）してください。

20. 10. 3 中断中のDMA転送の強制終了

中断中のDMA転送を終了する場合は，各チャネルごとに以下の手順を実行します。

（1）DMA転送中断中にDTSnDTEビットをクリア（0）する
（2）DMA転送ステータス・レジスタ（DTSn）のDMA転送ステータス（DTSnDT）ビットをクリア（0）する
（3）DMA転送要求（ハードウエアDMA転送要求の場合，DRQSTRレジスタのRQSTnビット，ソフトウエアDMA転送要求の場合，DTSnレジスタのDTSnSRビット）をクリア（0）する

上記手順を実行しても，直ちにDMA転送が終了しない場合があります。転送終了手順実行後にDMA設定レジスタを再設定する場合は，DTSnDTビットのリード値が”0”であることを確認後に実行して下さい。

また，上記手順の実行後はDMA転送を再開することはできません。

20. 11 エラー・レスポンス

20. 11. 1 エラー・レスポンスによるDMA転送中断

DMAの転送先・転送元がエラーを発生すると，DMAはDMA転送要求コントロール・レジスタ（DTRC）のDMA転送中断ビット（DTRCADS）をセット（1）して，全チャネルのDMA転送を中断します。同時にDMA転送エラー・ステータス・ビット（DTRCERR）をセット（1）し，CPUにDMAエラーを通知します。

CPUがDMAからのエラー通知を受け付け，例外処理を開始した場合，ユーザはDTRCERRビットをリードすることによりDMAエラーの発生有無を確認することができます。DMAエラーが発生していることが確認された場合は，さらにDMA転送ステータス・レジスタ（DTSn）のDMA転送エラー・フラグ（DTSnER）によって，どのチャネルでエラーが発生したかを知ることができます。

なお，リード・サイクルでエラー・レスポンスが応答された場合，ライト・サイクルは行われません。また，エラー・レスポンスが応答された場合でも，そのDMAサイクルに起因する転送アドレス（DSAnL，DSAnH，DDAnL，DDAnHレジスタ）および転送回数（DTCnレジスタ）の更新は実行されます。最終DMAサイクルでエラー・レスポンスが応答された場合，前記レジスタの更新と共に，転送完了割込みも出力されます。

20. 11. 2 エラー・レスポンスによる転送中断の解除

エラー・レスポンス発生により中断されたDMA転送の再開手順を示します。

(1) エラーの原因となったチャネルの転送を再開しない場合は，DMA転送ステータス・レジスタ（DTSn）のDMA転送エラー・フラグ（DTSnER）がセット（1）されているチャネルに対して，20. 10. 3 中断中のDMA転送の強制終了に示す手順を実行する

(2) DMA転送要求コントロール・レジスタ（DTRC）のDMA転送エラー・ステータス・ビット（DTRCERR）をクリア（0）する

(3) DMA転送要求コントロール・レジスタ（DTRC）のDMA転送中断ビット（DTRCADS）をクリア（0）する

以上の手順により，エラー・レスポンスによるDMA転送中断の原因となったチャネルを除く全チャネルのDMA転送を再開することができます。

20. 12 注意事項

(1) 使用禁止領域，および動作中のリード／ライトを禁止しているレジスタを対象とするDMA転送は行わないでください。

(2) クロックを停止した内蔵周辺機能のレジスタを対象としたDMA転送は行わないでください。

(3) サブHALTモード時はDMA転送は行わないでください。

第21章 割り込み／例外処理機能

21.1 特 徴

V850E2/Jx4-Lは，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し，最大93要因の割り込み要求を処理できる割り込み機能を実現しています。

なお，割り込みをプログラムの実行とは別に独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850E2/Jx4-Lでは，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求信号を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（命令の不正実行の発生）による例外処理の起動（例外トラップ）が可能です。

21.2 例外要因

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。このV850E2/Jx4-Lでは次の例外をサポートしています。

例外についての詳細はV850E2S アーキテクチャ編 ユーザーズ・マニュアルを参照してください。

表21－1 例外要因一覧

名称	略称	発生要因	優先順位	例外レベル
CPU初期化	RESET	リセット入力	1	－
システム・エラー例外	SYSERR	SYSERR入力	2	FE
FEレベル・マスカブル割り込み	FEINT	FEINT入力	3	FE
EIレベル・マスカブル割り込み	EIINT	INTn入力	4	EI
実行保護例外	MIP	実行保護違反	5	FE
メモリ・エラー例外	MEP	命令アクセスエラー入力	6	FE
データ保護例外	MDP	データ保護違反	7	FE
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令	8	FE
予約命令例外	RIE	予約命令	9	FE
FEレベル・ソフトウエア例外	FETRAP	FETRAP命令	10	FE
EIレベル・ソフトウエア例外 （TRAP命令vector00-0FH）	EITRAP0	TRAP0n命令	11	EI
EIレベル・ソフトウエア例外 （TRAP命令vector10-1FH）	EITRAP1	TRAP1n命令	12	EI
システム・コール例外	SYSCALLEX	SYSCALL 命令	13	EI

（1）優先順位

優先順位P1が最も優先順位が高くP11がもっとも低いです。

(2) 割り込み

表21－1 例外要因一覧のうち，次の2種類の例外を割り込みと呼びます

・FEレベル・マスカブル割り込み（FEINT）
・EIレベル・マスカブル割り込み（EIINT）

製品ごとの割り込み数を次に示します。

表21－2 製品別割り込み要因

	FEレベル・マスカブル割り込み（FEINT）	EIレベル･マスカブル･割り込み（EIINT）
V850E2/JC4-L（40ピン）	1（NMI端子）	62（7本の外部入力含む）
V850E2/JC4-L（48ピン）	1（NMI端子）	67（10本の外部入力含む）
V850E2/JE4-L	1（NMI端子）	72（11本の外部入力含む）
V850E2/JF4-L	1（NMI端子）	78（11本の外部入力含む）
V850E2/JG4-L	1（NMI端子）	87（14本の外部入力含む）
V850E2/JH4-L	1（NMI端子）	92（21本の外部入力含む）
V850E2/JJ4-L	1（NMI端子）	92（21本の外部入力含む）

21. 3 割り込み要因

21. 3. 1 FEレベル・マスカブル割り込み（FEINT）

FEINT割り込みは最高優先度の割り込みです。CPUシステム・レジスタPSW.NP = 0の場合で受け付け可能です。PSW.NP = 1の場合，FEINT割り込みはマスクされます。

制御レジスタはFEレベル・マスカブル割り込み制御レジスタ（FIC）です。詳細は21. 4. 7 FEレベル割り込み制御レジスタ（FIC）を参照してください。

FERET命令により復帰します。

表21－3 FEレベル・マスカブル割り込み（FEINT）一覧

デフォルト・プライオリティ	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	割り込み制御レジスタ
－	FEINT	NMI端子有効エッジ入力	端子	0010H	00000010H	FIC

21. 3. 2 EIレベル・マスカブル割り込み（EIINT）

EIINT割り込みはFEレベル・マスカブル割り込み（FEINT）が発生していなければ受け付け可能な割り込みです。CPUシステム・レジスタPSW.NP = 0の場合で受け付け可能です。

制御レジスタはEIレベル・マスカブル割り込み制御レジスタ（ICxxx）です。EIRET命令により復帰します。

各割り込みは割り込み要因ごとに割り込みマスクを指定可能です（ICxxxレジスタのIMKxxxビット）。

各割り込みは割り込み要因ごとに8レベルの割り込み優先度を指定可能です（ICxxxレジスタのIP2xxx-IP0xxxビット）。詳細は21. 4. 1 EIレベル割り込み制御レジスタ（ICxxx）を参照してください。

表21－4に各割り込み要因の一覧を，表21－5に製品別の割り込み要因を示します。

表21－4 EIレベル・マスカブル割り込み要因一覧（1/3）

デフォルト・プライオリティ	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	割り込み制御レジスタ
0	INTWDT	WDTオーバーフロー75%	WDT	0080H	00000080H	ICWDT
1	INTLVI	電圧検出	LVD	0090H	00000090H	ICLVI
2	INTP00	INTP00入力エッジ検出	端子	00A0H	000000A0H	ICP00
3	INTP01	INTP01入力エッジ検出	端子	00B0H	000000B0H	ICP01
4	INTP02	INTP02入力エッジ検出	端子	00C0H	000000C0H	ICP02
5	INTP05	INTP05入力エッジ検出	端子	00D0H	000000D0H	ICP05
6	INTP06	INTP06入力エッジ検出	端子	00E0H	000000E0H	ICP06
7	INTP07	INTP07入力エッジ検出	端子	00F0H	000000F0H	ICP07
8	INTP08	INTP08入力エッジ検出	端子	0100H	00000100H	ICP08
9	INTP10	INTP10入力エッジ検出	端子	0110H	00000110H	ICP10
10	INTP11	INTP11入力エッジ検出	端子	0120H	00000120H	ICP11
11	INTP12	INTP12入力エッジ検出	端子	0130H	00000130H	ICP12
12	INTP13	INTP13入力エッジ検出	端子	0140H	00000140H	ICP13
13	INTP14	INTP14入力エッジ検出	端子	0150H	00000150H	ICP14
14	INTP16	INTP16入力エッジ検出	端子	0160H	00000160H	ICP16
15	INTP17	INTP17入力エッジ検出	端子	0170H	00000170H	ICP17
16	INTP18	INTP18入力エッジ検出	端子	0180H	00000180H	ICP18
17	INTP20	INTP20入力エッジ検出	端子	0190H	00000190H	ICP20
20	INTTAU00	TAU0チャネル0割り込み	TAU0	01C0H	000001C0H	ICTAU00
21	INTTAU01	TAU0チャネル1割り込み	TAU0	01D0H	000001D0H	ICTAU01
22	INTTAU02	TAU0チャネル2割り込み	TAU0	01E0H	000001E0H	ICTAU02
23	INTTAU03	TAU0チャネル3割り込み	TAU0	01F0H	000001F0H	ICTAU03
24	INTTAU04	TAU0チャネル4割り込み	TAU0	0200H	00000200H	ICTAU04
25	INTTAU05	TAU0チャネル5割り込み	TAU0	0210H	00000210H	ICTAU05
26	INTTAU06	TAU0チャネル6割り込み	TAU0	0220H	00000220H	ICTAU06
27	INTTAU07	TAU0チャネル7割り込み	TAU0	0230H	00000230H	ICTAU07
28	INTTAU10	TAU1チャネル0割り込み	TAU1	0240H	00000240H	ICTAU10
29	INTTAU11	TAU1チャネル1割り込み	TAU1	0250H	00000250H	ICTAU11
30	INTTAU12	TAU1チャネル2割り込み	TAU1	0260H	00000260H	ICTAU12
31	INTTAU13	TAU1チャネル3割り込み	TAU1	0270H	00000270H	ICTAU13
32	INTTAU14	TAU1チャネル4割り込み	TAU1	0280H	00000280H	ICTAU14
33	INTTAU15	TAU0チャネル5割り込み	TAU1	0290H	00000290H	ICTAU15
34	INTTAU16	TAU0チャネル6割り込み	TAU1	02A0H	000002A0H	ICTAU16
35	INTTAU17	TAU0チャネル7割り込み	TAU1	02B0H	000002B0H	ICTAU17
36	INTTAU20	TAU1チャネル0割り込み	TAU2	02C0H	000002C0H	ICTAU20
37	INTTAU21	TAU1チャネル1割り込み	TAU2	02D0H	000002D0H	ICTAU21
38	INTTAU22	TAU1チャネル2割り込み	TAU2	02E0H	000002E0H	ICTAU22
39	INTTAU23	TAU1チャネル3割り込み	TAU2	02F0H	000002F0H	ICTAU23
40	INTTAU24	TAU1チャネル4割り込み	TAU2	0300H	00000300H	ICTAU24
41	INTTAU25	TAU1チャネル5割り込み	TAU2	0310H	00000310H	ICTAU25
42	INTTAU26	TAU1チャネル6割り込み	TAU2	0320H	00000320H	ICTAU26
43	INTTAU27	TAU1チャネル7割り込み	TAU2	0330H	00000330H	ICTAU27

表21－4 EIレベル・マスカブル割り込み要因一覧（2/3）

デフォルト・プライオリティ	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	割り込み制御レジスタ
52	INTTM0EQ0	TMM0コンペア一致	TMM0	03C0H	000003C0H	ICTM0EQ0
63	INTENCA1IOV	ENCA1オーバーフロー	ENCA1	0470H	00000470H	ICENCA1IOV
	INTENCA1IUD	ENCA1アンダーフロー	ENCA1		00000470H	ICENCA1IUD
64	INTENCA1I0	TE1TI0コンペア一致／キャプチャ割り込み	ENCA1	0480H	00000480H	ICENCA1I0
65	INTENCA1I1	TE1TI1コンペア一致／キャプチャ割り込み	ENCA1	0490H	00000490H	ICENCA1I1
66	INTENCA1IEC	ENCA1エンコーダ入力クリア	ENCA1	04A0H	000004A0H	ICENCA1IEC
67	INTAD	A/D変換終了	ADC	04B0H	000004B0H	ICAD
68	INTADS	A/Dスキャン完了	ADC	04C0H	000004C0H	ICADS
69	INTRTC	RTCアラーム/定周期	RTC	04D0H	000004D0H	ICRTC
70	INTST00	UART00転送完了／バッファ空き	UART00	04E0H	000004E0H	ICST00
	INTCSI00	CSI00転送完了／バッファ空き	CSI00		000004E0H	ICCSI00
	INTP03	INTP03入力エッジ検出	端子		000004E0H	ICP03
71	INTSR00	UART00受信完了	UART00	04F0H	000004F0H	ICSR00
	INTCSI01	CSI01転送完了／バッファ空き	CSI01		000004F0H	ICCSI01
72	INTSRE00	UART00受信エラー	UART00	0500H	00000500H	ICSRE00
73	INTST01	UART01送信完了／バッファ空き	UART01	0510H	00000510H	ICST01
	INTCSI02	CSI02転送完了／バッファ空き	CSI02		00000510H	ICCSI02
	INTIICA1	IICA1転送終了／状態変化	IICA1		00000510H	ICIICA1
	INTP09	INTP09入力エッジ検出	端子		00000510H	ICP09
74	INTSR01	UART01受信完了	UART01	0520H	00000520H	ICSR01
	INTCSI03	CSI03転送完了／バッファ空き	CSI03		00000520H	ICCSI03
	INTIICA3	IICA3転送終了／状態変化	IICA3		00000520H	ICIICA3
	INTP19	INTP19入力エッジ検出	端子		00000520H	ICP19
75	INTSRE01	UART01受信エラー	UART01	0530H	00000530H	ICSRE01
76	INTST10	UART10送信完了／バッファ空き	UART10	0540H	00000540H	ICST10
77	INTSR10	UART10受信完了	UART10	0550H	00000550H	ICSR10
	INTCSI11	CSI11転送完了／バッファ空き	CSI11		00000550H	ICCSI11
78	INTSRE10	UART10受信エラー	UART10	0560H	00000560H	ICSRE10
79	INTST11	UART11送信完了／バッファ空き	UART11	0570H	00000570H	ICST11
80	INTSR11	UART11受信完了	UART11	0580H	00000580H	ICSR11
	INTCSI13	CSI13転送完了／バッファ空き	CSI13		00000580H	ICCSI13
81	INTSRE11	UART11受信エラー	UART11	0590H	00000590H	ICSRE11
82	INTST20	UART20送信完了／バッファ空き	UART20	05A0H	000005A0H	ICST20
83	INTSR20	UART20受信完了	UART20	05B0H	000005B0H	ICSR20
	INTCSI21	CSI21転送完了／バッファ空き	CSI21		000005B0H	ICCSI21
84	INTSRE20	UART20受信エラー	UART20	05C0H	000005C0H	ICSRE20
85	INTST21	UART21送信完了／バッファ空き	UART21	05D0H	000005D0H	ICST20
86	INTSR21	UART21受信完了	UART21	05E0H	000005E0H	ICSR20
	INTCSI23	CSI23転送完了／バッファ空き	CSI23		000005E0H	ICCSI23
	INTP15	INTP15入力エッジ検出	端子		000005E0H	ICP15

表21ー4 EIレベル・マスカブル割り込み要因一覧（3/3）

デフォルト・プライオリティ	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	割り込み制御レジスタ
87	INTSRE21	UART21受信エラー	UART21	05F0H	000005F0H	ICSRE21
94	INTST40	UART40送信完了／バッファ空き	UART40	0660H	00000660H	ICST40
	INTCSI40	CSI40転送完了／バッファ空き	CSI40		00000660H	ICCSI40
95	INTSR40	UART40受信完了	UART40	0670H	00000670H	ICSR40
	INTCSI41	CSI41転送完了／バッファ空き	CSI41		00000670H	ICCSI41
96	INTSRE40	UART40受信エラー	UART40	0680H	00000680H	ICSRE40
97	INTST50	UART50送信完了／バッファ空き	UART50	0690H	00000690H	ICST50
	INTCSI50	CSI50転送完了／バッファ空き	CSI50		00000690H	ICCSI50
	INTIICA0	IICA0転送終了/状態変化	IICA0		00000690H	ICIICA0
	INTP04	INTP04入力エッジ検出	端子		00000690H	ICP04
98	INTSR50	UART50受信完了	UART50	06A0H	000006A0H	ICSR50
	INTCSI51	CSI51転送完了／バッファ空き	CSI51		000006A0H	ICCSI51
	INTIICA2	IICA2転送終了／状態変化	IICA2		000006A0H	ICIICA2
99	INTSRE50	UART50受信エラー	UART50	06B0H	000006B0H	ICSRE50
105	INTSTS00	UARTS00送信完了／バッファ空き	UARTS00	0710H	00000710H	ICSTS00
	INTCSIS00	CSIS00転送完了／バッファ空き	CSIS00		00000710H	ICCSIS00
	INTENCA0I0	TE0TI0コンペアー致／キャプチャ割り込み	ENCA0		00000710H	ICENCA0I0
106	INTSRS00	UARTS00受信完了	UARTS00	0720H	00000720H	ICSRS00
	INTCSIS01	CSIS01転送完了/バッファ空き	CSIS01		00000720H	ICCSIS01
	INTENCA0I1	TE0TI1コンペアー致／キャプチャ割り込み	ENCA0		00000720H	ICENCA0I1
107	INTSRES00	UARTS00受信エラー	UARTS00	0730H	00000730H	ICSRES00
108	INTENCA0IEC	ENCA0エンコーダ入力クリア	ENCA0	0740H	00000740H	ICENCA0IEC
109	INTENCA0IOV	ENCA0オーバーフロー	ENCA0	0750H	00000750H	ICENCA0IOV
	INTENCA0IUD	ENCA0アンダーフロー	ENCA0		00000750H	ICENCA0IUD
111	INTKR	キー・リターン	KR	0770H	00000770H	ICKR
112	INTDMA0	DMA0転送完了	DMA	0780H	00000780H	ICDMA0
113	INTDMA1	DMA1転送完了	DMA	0790H	00000790H	ICDMA1
114	INTDMA2	DMA2転送完了	DMA	07A0H	000007A0H	ICDMA2
115	INTDMA3	DMA3転送完了	DMA	07B0H	000007B0H	ICDMA3
116	INTDMA4	DMA4転送完了	DMA	07C0H	000007C0H	ICDMA4
117	INTDMA5	DMA5転送完了	DMA	07D0H	000007D0H	ICDMA5
118	INTDMA6	DMA6転送完了	DMA	07E0H	000007E0H	ICDMA6
119	INTDMA7	DMA7転送完了	DMA	07F0H	000007F0H	ICDMA7
120	INTUSBI	USBシステム・マネジメント	USB	0800H	00000800H	ICUSBI
121	INTUSBR	USBパワー・マネジメント	USB	0810H	00000810H	ICUSBR
122	INTCLMATI	クロック・モニタ	CLM	0820H	00000820H	ICCLMATI
123	INTHCRC	Flash CRC	CRC	0830H	00000830H	ICHCRC

表21－5 製品ごとのEIレベル・マスカブル割り込み要因一覧（1/3）

名称	トリガ	V850E2/JJ4-L	V850E2/JH4-L	V850E2/JG4-L	V850E2/JF4-L	V850E2/JE4-L	V850E2/JC4-L（48ピン）	V850E2/JC4-L（40ピン）
INTWDT	WDTオーバーフロー75%	○	○	○	○	○	○	○
INTLVI	電圧検出	○	○	○	○	○	○	○
INTP00	INTP00入力エッジ検出	○	○	○	○	○	○	-
INTP01	INTP01入力エッジ検出	○	○	○	○	○	○	○
INTP02	INTP02入力エッジ検出	○	○	○	○	○	○	○
INTP05	INTP05入力エッジ検出	○	○	○	○	○	○	○
INTP06	INTP06入力エッジ検出	○	○	○	○	○	○	○
INTP07	INTP07入力エッジ検出	○	○	○	○	○	○	○
INTP08	INTP08入力エッジ検出	○	○	○	○	○	○	-
INTP10	INTP10入力エッジ検出	○	○	○	○	○	-	-
INTP11	INTP11入力エッジ検出	○	○	○	-	-	-	-
INTP12	INTP12入力エッジ検出	○	○	○	-	-	-	-
INTP13	INTP13入力エッジ検出	○	○	○	-	-	-	-
INTP14	INTP14入力エッジ検出	○	○	-	-	-	-	-
INTP16	INTP16入力エッジ検出	○	○	-	-	-	-	-
INTP17	INTP17入力エッジ検出	○	○	-	-	-	-	-
INTP18	INTP18入力エッジ検出	○	○	-	-	-	-	-
INTP20	INTP20入力エッジ検出	○	○	-	-	-	-	-
INTTAU00	TAU0チャネル0割り込み	○	○	○	○	○	○	○
INTTAU01	TAU0チャネル1割り込み	○	○	○	○	○	○	○
INTTAU02	TAU0チャネル2割り込み	○	○	○	○	○	○	○
INTTAU03	TAU0チャネル3割り込み	○	○	○	○	○	○	○
INTTAU04	TAU0チャネル4割り込み	○	○	○	○	○	○	○
INTTAU05	TAU0チャネル5割り込み	○	○	○	○	○	○	○
INTTAU06	TAU0チャネル6割り込み	○	○	○	○	○	○	○
INTTAU07	TAU0チャネル7割り込み	○	○	○	○	○	○	○
INTTAU10	TAU1チャネル0割り込み	○	○	○	○	○	○	○
INTTAU11	TAU1チャネル1割り込み	○	○	○	○	○	○	○
INTTAU12	TAU1チャネル2割り込み	○	○	○	○	○	○	○
INTTAU13	TAU1チャネル3割り込み	○	○	○	○	○	○	○
INTTAU14	TAU1チャネル4割り込み	○	○	○	○	○	○	○
INTTAU15	TAU0チャネル5割り込み	○	○	○	○	○	○	○
INTTAU16	TAU0チャネル6割り込み	○	○	○	○	○	○	○
INTTAU17	TAU0チャネル7割り込み	○	○	○	○	○	○	○
INTTAU20	TAU1チャネル0割り込み	○	○	○	○	○	○	○
INTTAU21	TAU1チャネル1割り込み	○	○	○	○	○	○	○
INTTAU22	TAU1チャネル2割り込み	○	○	○	○	○	○	○
INTTAU23	TAU1チャネル3割り込み	○	○	○	○	○	○	○
INTTAU24	TAU1チャネル4割り込み	○	○	○	○	○	○	○
INTTAU25	TAU1チャネル5割り込み	○	○	○	○	○	○	○
INTTAU26	TAU1チャネル6割り込み	○	○	○	○	○	○	○

表21－5 製品ごとのEIレベル・マスカブル割り込み要因一覧（2/3）

名称	トリガ	V850E2/JJ4-L	V850E2/JH4-L	V850E2/JG4-L	V850E2/JF4-L	V850E2/JE4-L	V850E2/JC4-L（48ピン）	V850E2/JC4-L（40ピン）
INTTAU27	TAU1チャネル7割り込み	○	○	○	○	○	○	○
INTTM0EQ0	TMM0コンペア一致	○	○	○	○	○	○	○
INTENCA1IOV	ENCA1オーバーフロー	○	○	○	○	○	-	-
INTENCA1IUD	ENCA1アンダーフロー	○	○	○	○	○	-	-
INTENCA1I0	TE1TI0コンペア一致／キャプチャ割り込み	○	○	○	○	○	-	-
INTENCA1I1	TE1TI1コンペア一致／キャプチャ割り込み	○	○	○	○	○	-	-
INTENCA1IEC	ENCA1エンコーダ入力クリア	○	○	○	○	○	-	-
INTAD	A/D変換終了	○	○	○	○	○	○	○
INTADS	A/Dスキャン完了	○	○	○	○	○	○	○
INTRTC	RTCアラーム／定周期	○	○	○	○	○	○	○
INTST00	UART00転送完了／バッファ空き	○	○	○	○	○	○	○
INTCSI00	CSI00転送完了／バッファ空き	○	○	○	○	○	○	○
INTP03	INTP03入力エッジ検出	○	○	○	○	○	○	○
INTSR00	UART00受信完了	○	○	○	○	○	○	○
INTCSI01	CSI01転送完了／バッファ空き	○	○	○	-	-	-	-
INTSRE00	UART00受信エラー	○	○	○	○	○	○	○
INTST01	UART01送信完了／バッファ空き	○	○	○	○	○	○	-
INTCSI02	CSI02転送完了／バッファ空き	○	○	○	○	○	○	-
INTIICA1	IICA1転送終了／状態変化	○	○	○	○	○	○	-
INTP09	INTP09入力エッジ検出	○	○	○	○	○	○	-
INTSR01	UART01受信完了	○	○	○	○	○	○	-
INTCSI03	CSI03転送完了／バッファ空き	○	○	-	-	-	-	-
INTIICA3	IICA3転送終了／状態変化	○	○	-	-	-	-	-
INTP19	INTP19入力エッジ検出	○	○	-	-	-	-	-
INTSRE01	UART01受信エラー	○	○	○	○	○	○	-
INTST10	UART10送信完了／バッファ空き	○	○	○	○	-	-	-
INTSR10	UART10受信完了	○	○	○	○	-	-	-
INTCSI11	CSI11転送完了／バッファ空き	○	○	○	-	-	-	-
INTSRE10	UART10受信エラー	○	○	○	○	-	-	-
INTST11	UART11送信完了／バッファ空き	○	○	○	○	-	-	-
INTSR11	UART11受信完了	○	○	○	○	-	-	-
INTCSI13	CSI13転送完了／バッファ空き	○	○	-	-	-	-	-
INTSRE11	UART11受信エラー	○	○	○	○	-	-	-
INTST20	UART20送信完了／バッファ空き	○	○	○	-	-	-	-
INTSR20	UART20受信完了	○	○	○	-	-	-	-
INTCSI21	CSI21転送完了／バッファ空き	○	○	-	-	-	-	-
INTSRE20	UART20受信エラー	○	○	○	-	-	-	-
INTST21	UART21送信完了／バッファ空き	○	○	○	-	-	-	-

表21－5 製品ごとのEIレベル・マスカブル割り込み要因一覧（3/3）

名称	トリガ	V850E2/JJ4-L	V850E2/JH4-L	V850E2/JG4-L	V850E2/JF4-L	V850E2/JE4-L	V850E2/JC4-L（48ピン）	V850E2/JC4-L（40ピン）
INTSR21	UART21受信完了	○	○	○	-	-	-	-
INTCSI23	CSI23転送完了／バッファ空き	○	○	-	-	-	-	-
INTP15	INTP15入力エッジ検出	○	○	-	-	-	-	-
INTSRE21	UART21受信エラー	○	○	○	-	-	-	-
INTST40	UART40送信完了／バッファ空き	○	○	○	○	○	○	○
INTCSI40	CSI40転送完了／バッファ空き	○	○	○	○	○	○	○
INTSR40	UART40受信完了	○	○	○	○	○	○	○
INTCSI41	CSI41転送完了／バッファ空き	○	○	○	-	-	-	-
INTSRE40	UART40受信エラー	○	○	○	○	○	○	○
INTST50	UART50送信完了／バッファ空き	○	○	○	○	○	○	○
INTCSI50	CSI50転送完了／バッファ空き	○	○	○	○	○	○	○
INTIICA0	IICA0転送終了/状態変化	○	○	○	○	○	○	○
INTP04	INTP04入力エッジ検出	○	○	○	○	○	○	○
INTSR50	UART50受信完了	○	○	○	○	○	○	○
INTCSI51	CSI51転送完了／バッファ空き	○	○	○	○	-	-	-
INTIICA2	IICA2転送終了／状態変化	○	○	○	○	-	-	-
INTSRE50	UART50受信エラー	○	○	○	○	○	○	○
INTSTS00	UARTS00送信完了／バッファ空き	○	○	○	○	○	○	○
INTCSIS00	CSIS00転送完了／バッファ空き	○	○	○	○	○	○	○
INTENCA0I0	TE0TI0コンペア一致／キャプチャ割り込み	○	○	○	○	○	○	○
INTSRS00	UARTS00受信完了	○	○	○	○	○	○	○
INTCSIS01	CSIS01転送完了/バッファ空き	○	○	-	-	-	-	-
INTENCA0I1	TE0TI1コンペア一致／キャプチャ割り込み	○	○	○	○	○	○	○
INTSRES00	UARTS00受信エラー	○	○	○	○	○	○	○
INTENCA0IEC	ENCA0エンコーダ入力クリア	○	○	○	○	○	○	○
INTENCA0IOV	ENCA0オーバーフロー	○	○	○	○	○	○	○
INTENCA0IUD	ENCA0アンダーフロー	○	○	○	○	○	○	○
INTKR	キー・リターン	○	○	○	○	○	○	○
INTDMA0	DMA0転送完了	○	○	○	○	○	○	○
INTDMA1	DMA1転送完了	○	○	○	○	○	○	○
INTDMA2	DMA2転送完了	○	○	○	○	○	○	○
INTDMA3	DMA3転送完了	○	○	○	○	○	○	○
INTDMA4	DMA4転送完了	○	○	○	○	○	○	○
INTDMA5	DMA5転送完了	○	○	○	○	○	○	○
INTDMA6	DMA6転送完了	○	○	○	○	○	○	○
INTDMA7	DMA7転送完了	○	○	○	○	○	○	○
INTUSBI	USBシステム・マネジメント	○	○	○	○	○	○	○
INTUSBR	USBパワー・マネジメント	○	○	○	○	○	○	○
INTCLMATI	クロック・モニタ	○	○	○	○	○	○	○
INTHCRC	Flash CRC	○	○	○	○	○	○	○

21. 2 割り込みの受け付けと復帰

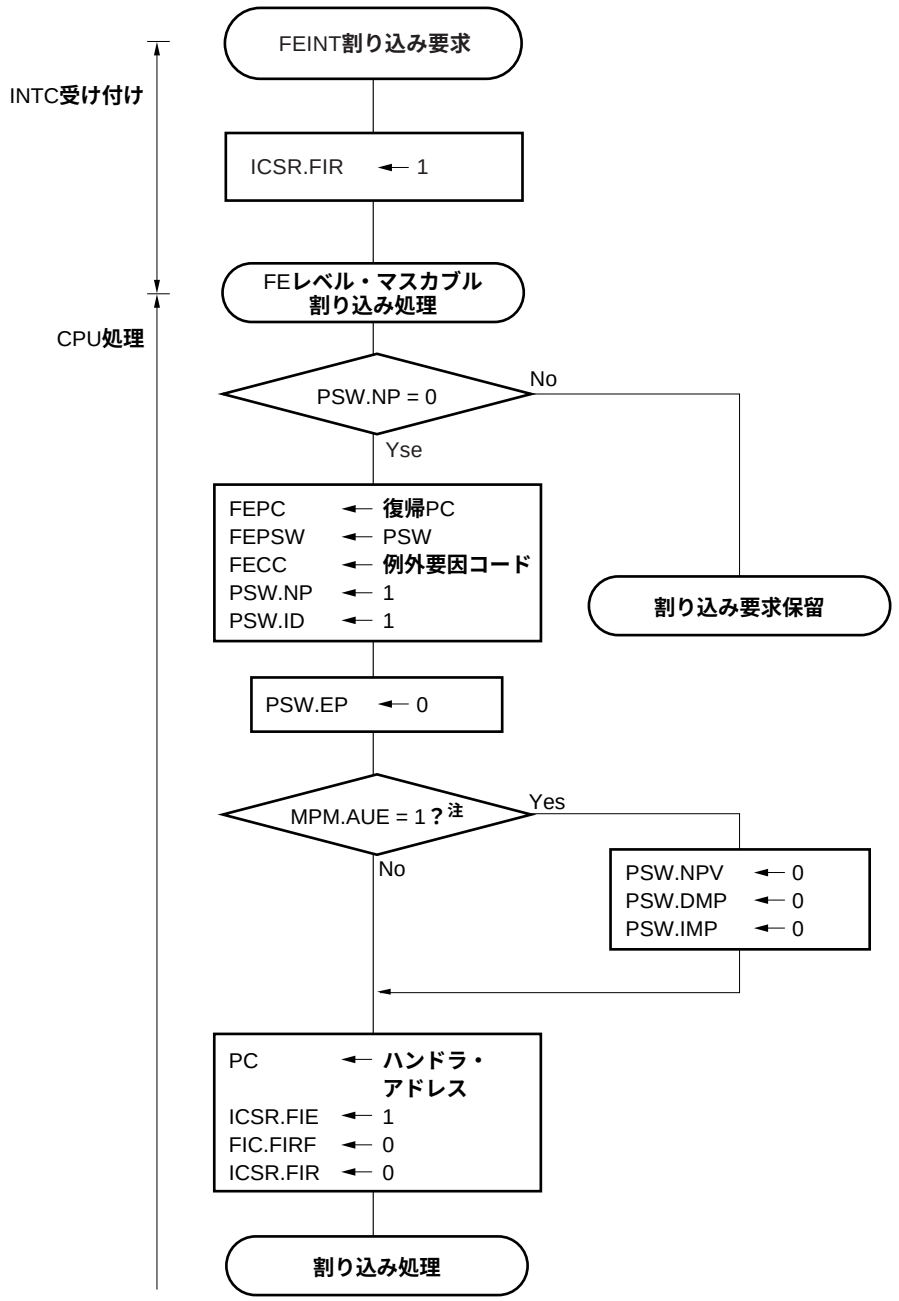
割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

21. 2. 1 FEINT割り込み要求によるFEレベル・マスカブル割り込み

FEINT割り込みが要求されると，FEレベル・マスカブル割り込みが発生します。この割り込みは回復可能なFEレベルの割り込みです。

FEINTは，一度割り込みを受け付けるとFERET命令を実行するまで，次のFEINT，EIINT割り込み発生は保留されます。割り込み要求の受け付けと，要求の保持は行います。

図21ー1 FEINT割り込み要求時の処理



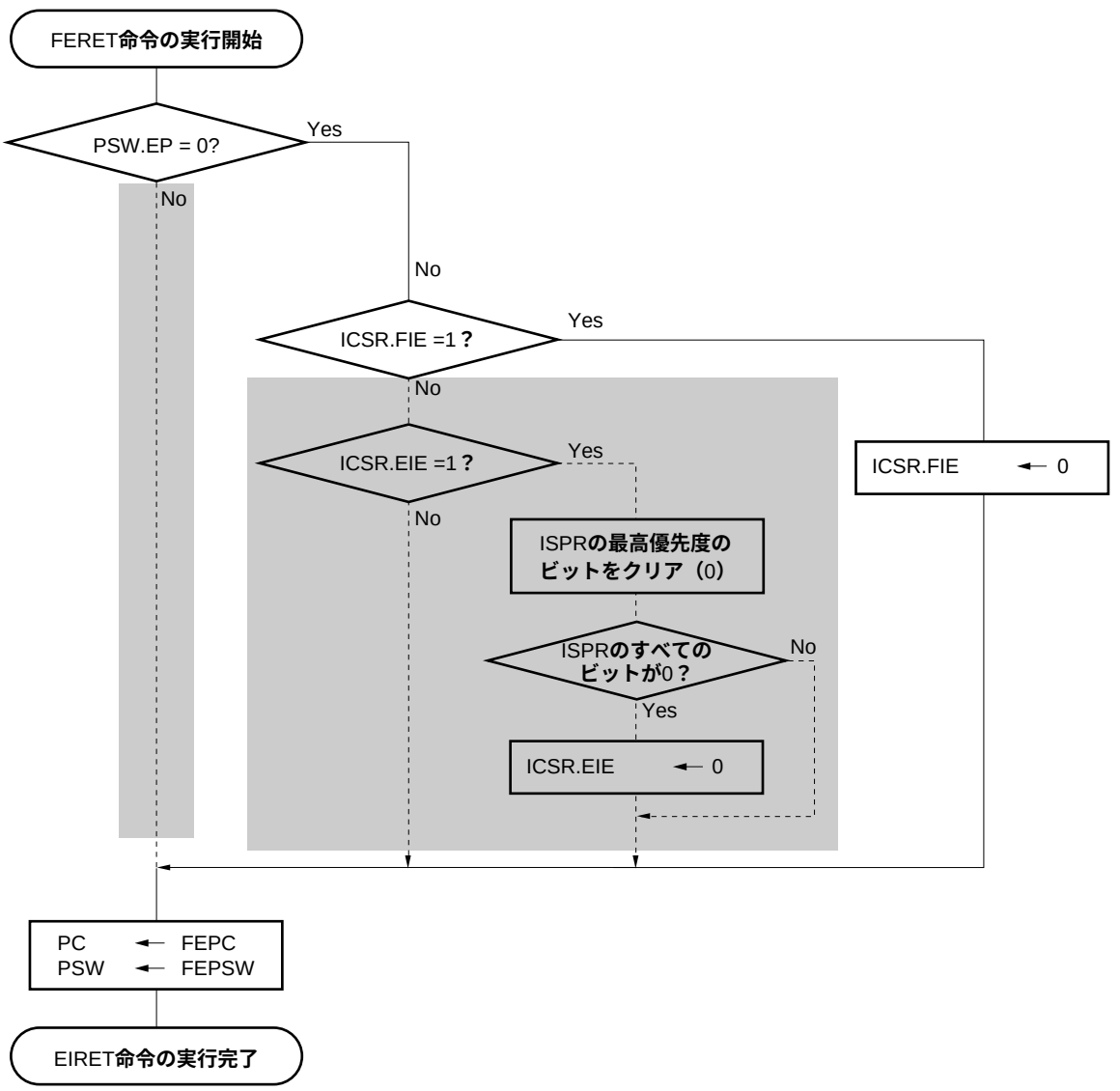
注 プロセッサ保護例外（MDP, MIP）の場合は，MPM.AUEの状態にかかわらず，常にPSW.NPV, DMP, IMPビットをクリア（0）します。

21. 2. 2 FEレベル・マスカブル割り込み（FEINT）からの復帰

FEレベル・マスカブル割り込み（FEINT）処理からの復帰には，FERET命令を使用します。PSW.EPビットがクリア（0）されている状態でFERET命令を実行するとFEレベル・マスカブル割り込み（FEINT）からの復帰処理を行います。PSW.EPビットが（1）のときには割り込み処理からの完全な復帰はできません（ICSR，ISPRなどのレジスタのクリアが行われません）。FEレベル・マスカブル割り込み（FEINT）からの復帰には必ずPSW.EPビットがクリア（0）されている状態でFERET命令を実行してください。

注意 V850E2S CPUコアでは，V850E1，V850E2，V850ESアーキテクチャとの後方互換のためRETI命令が用意されていますが，原則として使用を禁止しています。修正の不可能な既存プログラム以外のRETI命令はすべて，EIRET命令またはFERET命令に置き換えて使用してください。

図21－2 FEレベル・マスカブル割り込み（FEINT）処理からの復帰



備考 ■部分は，FEレベル・マスカブル割り込み（FEINT）処理からの復帰では分岐しない処理です。

21. 2. 3 EIINT割り込み要求によるEIレベル・マスカブル割り込み

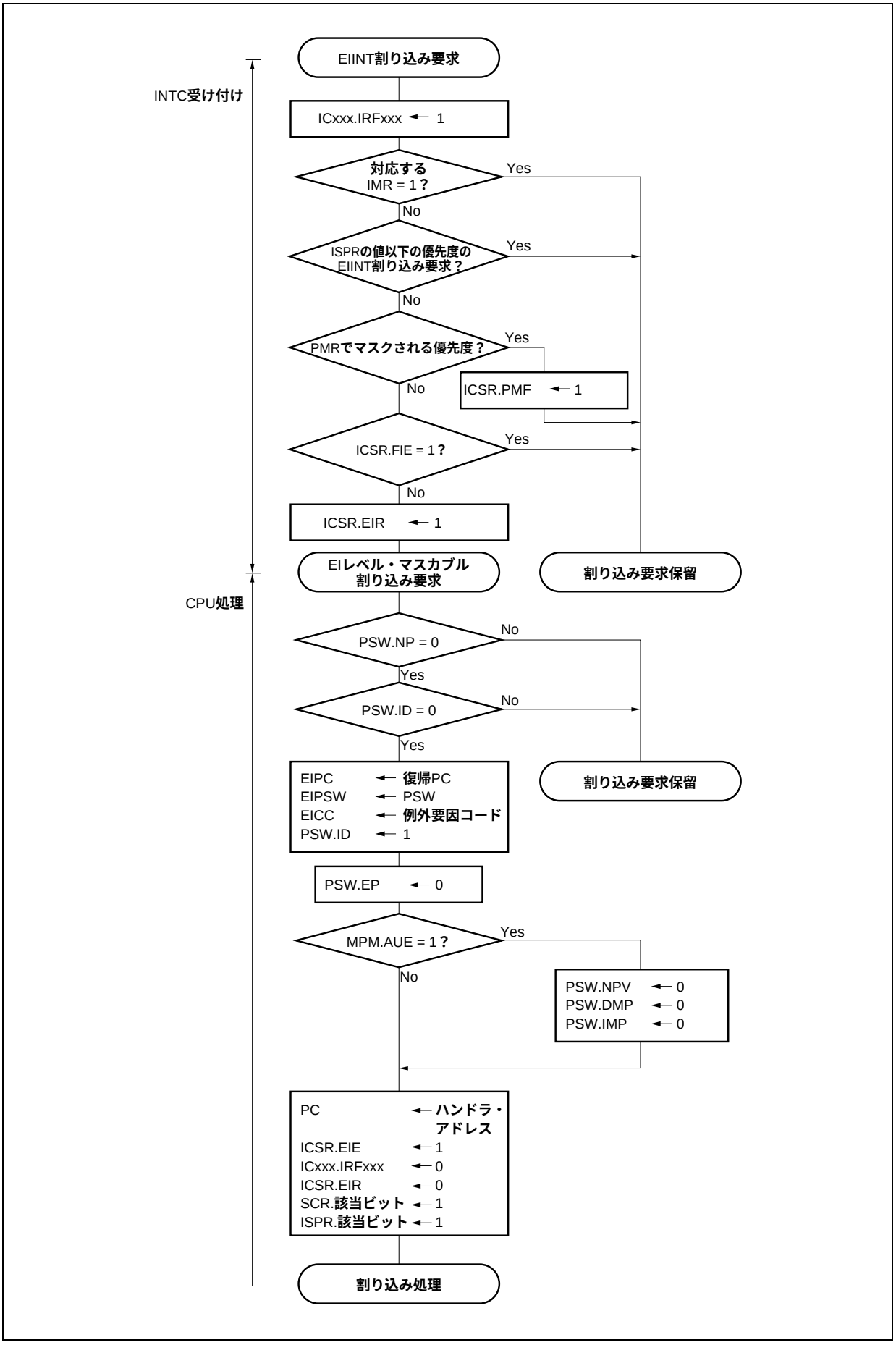
EIレベル・マスカブル割り込みが要求されると，CPUにEIINT割り込み要求を行います（割り込みハンドラへの移行は，INTCのIMRレジスタ設定により発生します）。この割り込みは回復可能なEIレベルの割り込みです。

EIINT割り込みでは，割り込み入力のあったチャネル番号をSCRレジスタへ設定します。これにより，複数のチャンネルで同じ割り込みベクタを共有したい場合などに簡単にチャネル番号を知ることができます。

注意 EIレベル割り込みを受け付けると，ISPRレジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降，EIRET命令を発行するまで，このISPRレジスタの割り込み優先度以下の割り込みは，発生しません。割り込み要求の受け付け／保持は行います。

ISPRレジスタへの「現在受け付けた割り込み優先度の登録」「EIRET時の割り込み優先度の削除」は，ハードウエアが自動的に行います。ソフトウエアでのISPRレジスタへの書き込みはできません。書き込みは無視されます。

図21－3 EIINT割り込み要求時の処理

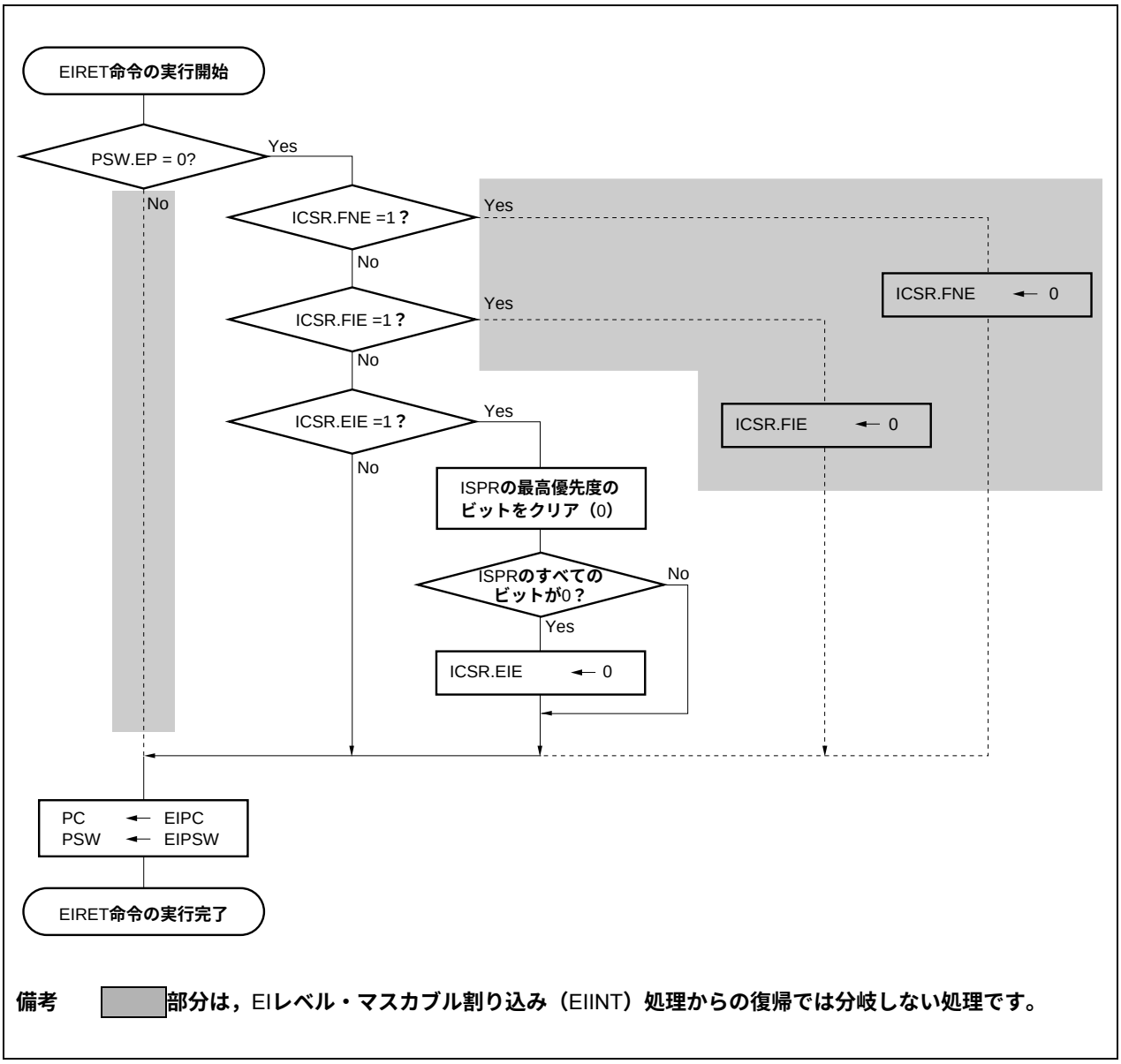


21. 2. 4 EIレベル・マスカブル割り込み（EIINT）からの復帰

EIレベル・マスカブル割り込み（EIINT）処理からの復帰には，EIRET命令を使用します。PSW.EPビットがクリア（0）されている状態でEIRET命令を実行するとEIレベル・マスカブル割り込み（EIINT）からの復帰処理をおこないます。PSW.EPビットが（1）のときには割り込み処理からの完全な復帰はできません（ICSR，ISPRなどのレジスタのクリアが行われません）。EIレベル・マスカブル割り込み（EIINT）からの復帰には必ずPSW.EPビットがクリア（0）されている状態でEIRET命令を実行してください。

注意 V850E2Sでは，V850E1，V850E2，V850ESアーキテクチャとの後方互換のためRETI命令が用意されていますが，原則として使用を禁止しています。修正の不可能な既存プログラム以外のRETI命令はすべて，EIRET命令またはFERET命令に置き換えて使用してください。

図21－5 EIレベル・マスカブル割り込み（EIINT）処理からの復帰



備考 部分は，EIレベル・マスカブル割り込み（EIINT）処理からの復帰では分岐しない処理です。

21. 3 割り込み動作

21. 3. 1 EIレベル・マスカブル割り込み（EIINT）の割り込みマスク機能

EIINTは，それぞれの割り込みチャネルごとに割り込みのマスクを指定可能です。割り込みのマスクは，次のレジスタを設定することにより行います。

ICxxx.IMKxxx	動 作
1	割り込みをマスクします。
0	割り込みを許可します。

ICxxx.IMKxxxビットは，IMRmレジスタの対応するIMKxxxビットからもリード／ライト可能です。同じレジスタを共有しています。

【 動 作 例 】

（1）IMRm.IMKxxxビットに1を書き込むと，対応するチャネルの割り込みは禁止されます。

（2）ICxxx.IMKxxxビットをリードすると1が読み出されます。

注意 IMKxxxビットでは，割り込みの保持以降の処理をマスクします。IMKxxxビットを1に設定しても，割り込み要求の受け付け，および保持は行われます。このためIMKxxxビットで割り込み禁止が指定されている割り込みに対して，ソフトウエアによる割り込みを要求しても割り込みは発生しません。また割り込み要求が保持されている状態でIMKxxxビットを0に再設定すると，その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には，対応するIRFxxxビットをクリア（0）してください。

21. 3. 2 割り込み優先度判断

FEレベル・マスカブル割り込み（FEINT），EIレベル・マスカブル割り込み（EIINT）が入力されると，その他の例外も含めて優先度を判断し，最も高い優先度の例外（割り込み含む）が要求されます。同時に要求された例外（割り込み含む）は，あらかじめ割り付けてある優先順位（デフォルト優先順位）で処理されます。割り込みFEINT, EIINTの優先順位は次のとおりです。

FEINT ＞ EIINT

（その他の例外については，表21－1 例外要因一覧を参照してください）

EIINTは各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は，ICxxx.IP2xxx-IPxxxビットで指定します。割り込み優先度は，0-8までが設定可能です。0が最高優先度，8が最低優先度です。同じ優先度を持つEIINT割り込み間では，割り込みチャネル番号のもっとも小さい割り込みが優先されます。

割り込みコントローラは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数のEIINT割り込みが要求されている場合，次の手順で受け付ける割り込みが決定されます。

(1) **現在処理中の割り込み優先度との比較**

現在処理中の割り込み優先度と同じ，または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は，ISPRレジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは，次の優先度判断に移ります。

(2) **プライオリティ・マスク・レジスタ（PMR）によるマスク**

PMRレジスタにより許可されている割り込みのみ，次の優先度判断に移ります。

(3) **要求されている割り込み要因のうち，最も高い優先度が設定されている割り込み要因を選択**

最も高い優先度が設定されている割り込み要因のうち，複数の要因が同時に割り込み要求されている場合，割り込みチャネル番号の最も小さいものが選択されます。

(4) CPU**による割り込みの保留**

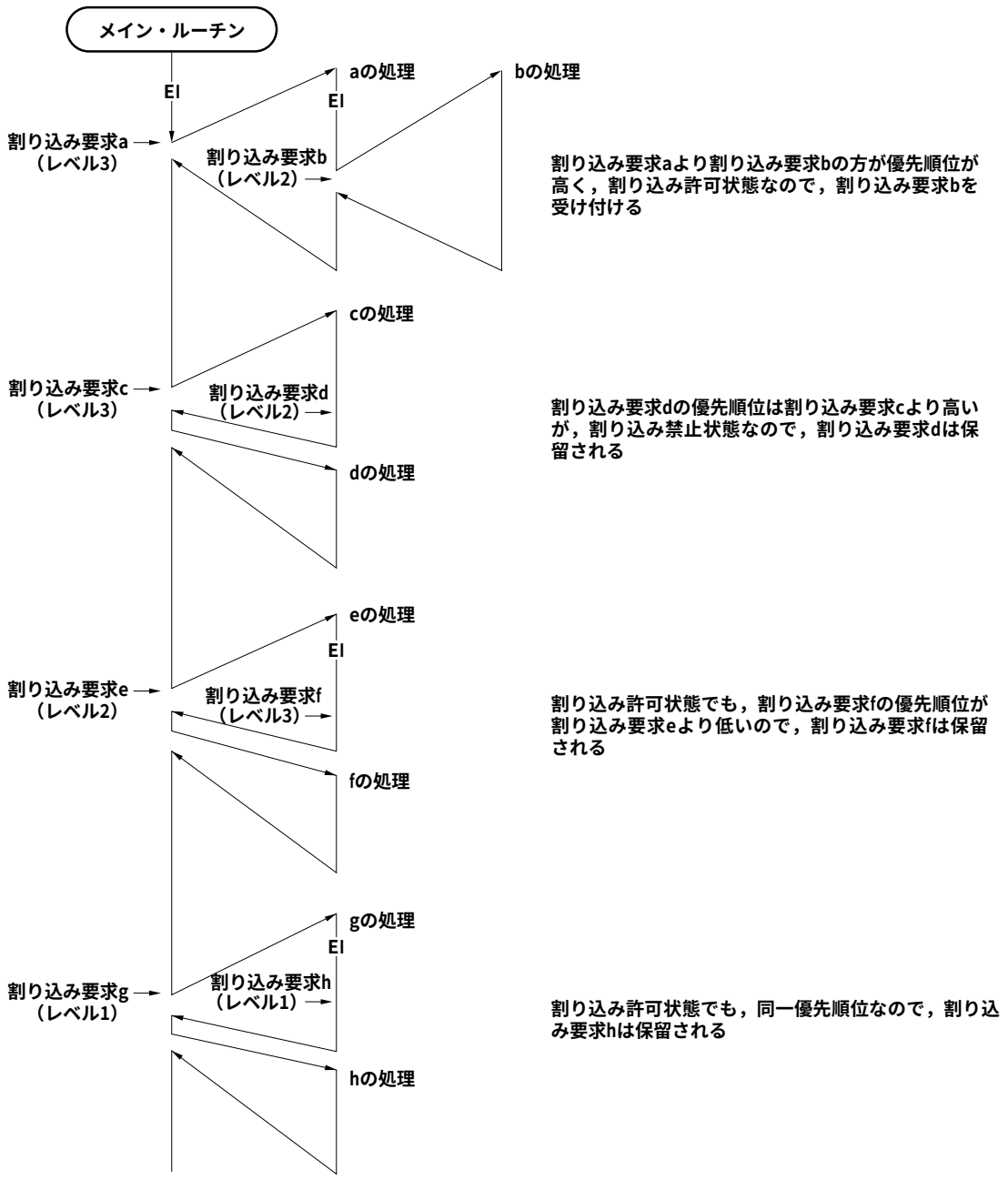
PSWレジスタのNPビット，IDビットの状態によって，割り込みの受け付けが保留されます。このとき，EIINT割り込み内の優先度判断，EIINT割り込み，FEINT割り込みみ間の優先度判断は，割り込み受け付けが保留されている間も行われ，受け付け条件が成立した時点で，もっとも優先度の高い割り込みを選択します。

例 優先度5のEIINT割り込みがすでに要求されており，PSW.IDビットが1のため割り込み発生が保留されているときに，後から優先度3のEIINT割り込みが要求された。その後，PSW.IDビットがクリア（0）された場合，優先度3のEIINT割り込みが発生する。

割り込み処理中に，さらに別の割り込みを受け付ける多重割り込みの処理例を図X－6に示します。

割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（0）し，割り込み許可状態にしてください。

図21－6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）

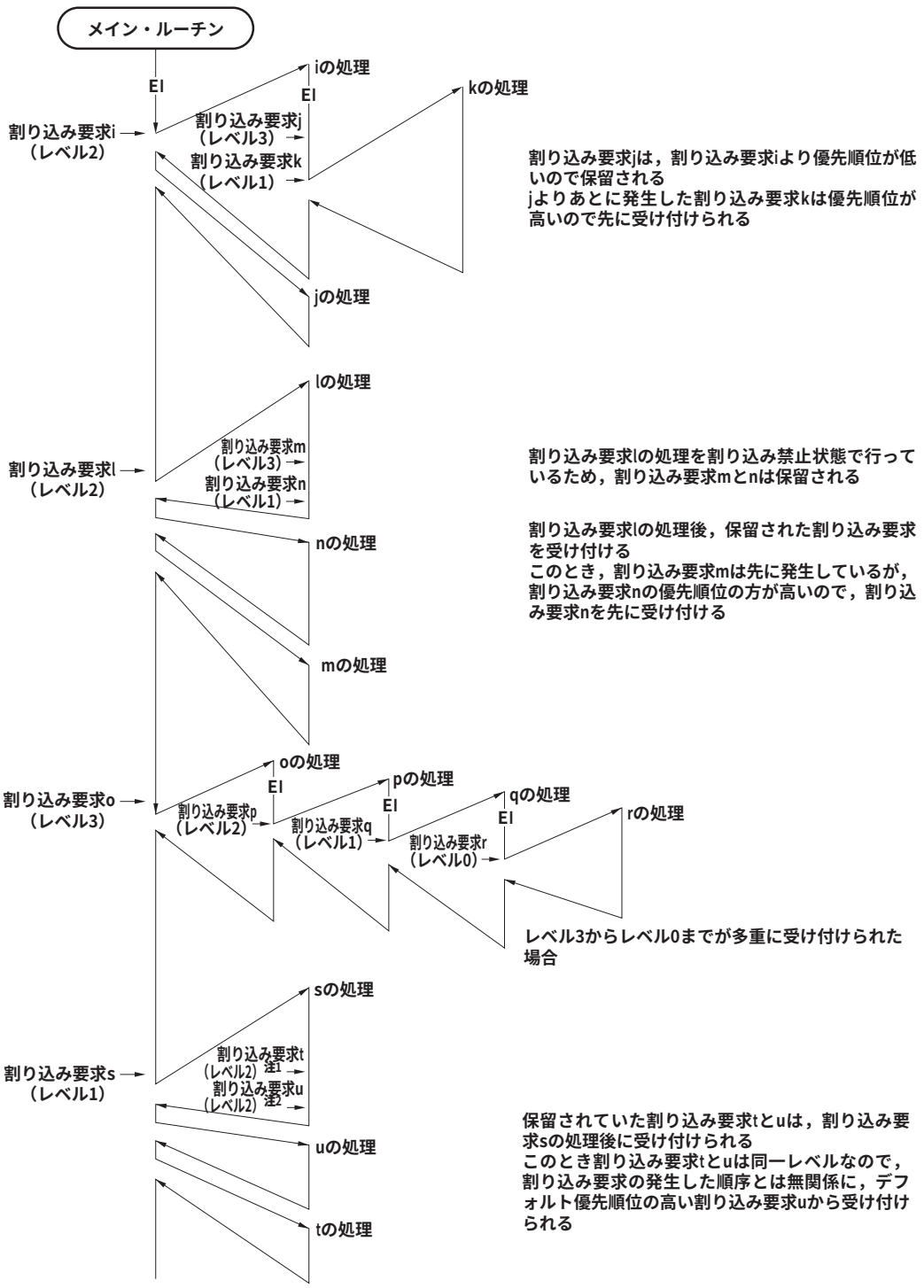


注意 多重割り込みを行うときはEI命令を実行する前に，EIPC, EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC, EIPSWの内容を復帰してください。

備考1. 図中のa-uは，各割り込み要求信号を区別するために付けた仮の名称です。

2. 図中のデフォルト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

図21－6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2/2）

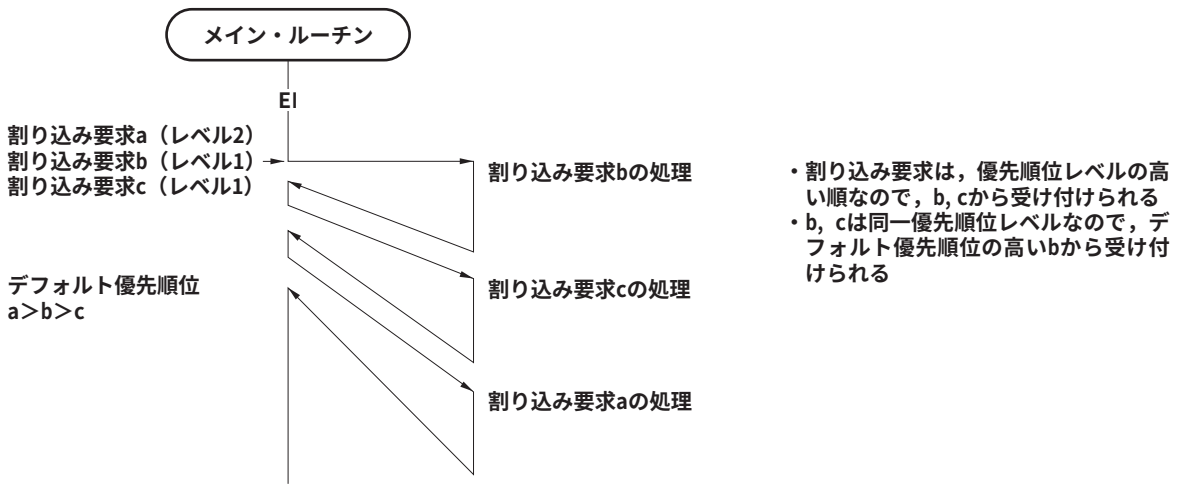


注1. デフォルト優先順位が低い

2. デフォルト優先順位が高い

注意 多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC, EIPSWの内容を復帰してください。

図21－7 同時発生した割り込み要求信号の処理例



注意 多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC, EIPSWの内容を復帰してください。

備考1. 図中のa-uは，各割り込み要求信号を区別するために付けた仮の名称です。

2. 図中のデフォルト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

21. 3. 3 優先度マスク機能

優先度マスク機能は，指定した割り込み優先度が設定されているEIINT割り込みを一括で禁止します。

PMRレジスタの設定により，マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

・一時的にある割り込み優先度以下の割り込みを禁止とする
・一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動　作
0	優先度mの割り込み要因からの要求を受け付けます。
1	優先度mの割り込み要因からの要求をマスクします。

備考 m = 0-7

PMRレジスタは，割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行います。この機能により保留されているEIINT割り込みの有無は，21. 3. 4 保留割り込み通知機能で確認が可能です。

21. 3. 4 保留割り込み通知機能

保留割り込み通知機能では，現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では，次の状態を確認することができます。

・優先度マスク機能（PMR）によってのみマスクされている割り込みが存在している場合ICSR.PMFビットに1がセットされます。
ISPRレジスタによる優先度マスク，IMKxxxビットによりマスクされている割り込みが存在しているだけでは，1はセットされません。優先度マスクによる割り込み禁止中に，優先度マスク機能により保留されている割り込み要求の有無を確認できます。

・CPUに対しEIレベル・マスカブル割り込み要求が行われている場合ICSR.EIRビットに1がセットされます。
PSW.ID = 1区間中にICSR.EIRビットを見ることで，EIINTn割り込み要求の有無を確認できます。

・CPUに対してFEレベル・マスカブル割り込み要求が行われている場合ICSR.FIRビットに1がセットされます。PSW.NP = 1区間中にICSR.FIRビットを見ることで，FEINT割り込み要求の有無を確認できます。

21. 3. 5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPCレジスタにアクセスすることで動作します。
イン・サービス・プライオリティ・クリア機能では，次の操作が可能です。

・ISPRレジスタの内容を全クリア
・ICSR.EIE, FIEビットをクリア

ISPCレジスタの全ビットへ1をライトし，次にISPRレジスタの全ビットに0をライトすると，ISPRレジスタの全ビットをクリア（0）することができます。また，割り込み要求がCPUコアで処理中であることを管理しているICSR.EIE, FIEビットがすべてクリア（0）されます。

ISPRレジスタの全ビットへの0のライトとともにこのレジスタの値も自動的にクリア（0）されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

21. 4 割り込みコントローラ制御レジスタ

21. 4. 1 EIレベル割り込み制御レジスタ（ICxxx）

EIレベル・マスカブル割り込みのチャネルごとに設け，各チャネルの制御条件を設定します。ビット15-13, 11-8, 6-4には必ず0を設定してください。

16ビット単位でリード／ライト可能です。ただし，ICxxxレジスタの上位8ビットをICxxxHレジスタ，下位8ビットをICxxxLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

注意 表 21－6 EI レベル・マスカブル割り込み制御レジスタ（ICxxx）にないチャネルの EICn レジスタにはアクセスしないでください。

アドレス：表21－6参照　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8
ICxxx（ICxxxH）	0	0	0	IRFxxx	0	0	0	0
	7	6	5	4	3	2	1	0
ICxxxL	IMKxxx	0	0	0	0	IP2xxx	IP1xxx	IP0xxx

IRFxxx	割り込み要求フラグ
0	割り込み要求なし（初期値）
1	割り込み要求あり
IRFxxxビットはプログラムから書き込み可能です。IRFxxxビットをセット（1）すると，割り込み要求を受け付けた場合と同じように，EIレベル・マスカブル割り込みn（EIINTn）を発生します。	

IMKxxx	割り込みマスク・ビット
0	割り込み処理を許可
1	割り込み処理を禁止（初期値）
IMKxxxビットがセットされている場合は，割り込み要求フラグ（IRFxxx）へセットされた割り込み要求をマスクし，そのチャネルからCPUコアへ割り込み要求が行われないようにします。またIMKxxxビットがセットされているチャネルからは，ICSR.PMFビットによる割り込み保留表示は行われません。IMKxxxビットは割り込み入力端子からの入力そのものをマスクするわけではないので，IMKxxxビットがセットされていても割り込み要求フラグはセットされます。割り込みマスク・レジスタ（IMR）の対応するビットの設定も反映されます。	

IP2xxx-IP0xxx	割り込み優先度（8 レベル）指定ビット（m = 0-2）
8レベルの割り込み優先度を指定します。0が最高優先度，7が最低優先度になります。 複数のEIレベル割り込み要求が同時に発生した場合，IP2xxx-IP0xxxビットで指定される優先度の高い要因が選択されてCPUコアへ通知されます。IP2xxx-IP0xxxビットで指定される優先度が同じ場合は，固定の優先度としてチャネル番号が小さい要因が選択されます。	

備考 ICxxx（レジスタ名），ビット名（IRFxxx, IMKxxx, IP2xxx-IP0xxx）の詳細は表21－6 EIレベル・マスカブル割り込み制御レジスタ（ICxxx）を参照してください。

各割り込み制御レジスタのアドレスとビットを次に示します。

表21－6 EIレベル・マスカブル割り込み制御レジスタ（ICxxx）（1/3）

アドレス	レジスタ	ビット							
		15-13	12	11-8	7	6-3	2	1	0
FFFF6000H	ICWDT	0	IRFWDT	0	IMKWDT	0	IP2WDT	IP1WDT	IP0WDT
FFFF6002H	ICLVI	0	IRFLVI	0	IMKLVI	0	IP2LVI	IP1LVI	IP0LVI
FFFF6004H	ICP00	0	IRFP00	0	IMKP00	0	IP2P00	IP1P00	IP0P00
FFFF6006H	ICP01	0	IRFP01	0	IMKP01	0	IP2P01	IP1P01	IP0P01
FFFF6008H	ICP02	0	IRFP02	0	IMKP02	0	IP2P02	IP1P02	IP0P02
FFFF600AH	ICP05	0	IRFP05	0	IMKP05	0	IP2P05	IP1P05	IP0P05
FFFF600CH	ICP06	0	IRFP06	0	IMKP06	0	IP2P06	IP1P06	IP0P06
FFFF600EH	ICP07	0	IRFP07	0	IMKP07	0	IP2P07	IP1P07	IP0P07
FFFF6010H	ICP08	0	IRFP08	0	IMKP08	0	IP2P08	IP1P08	IP0P08
FFFF6012H	ICP10	0	IRFP10	0	IMKP10	0	IP2P10	IP1P10	IP0P10
FFFF6014H	ICP11	0	IRFP11	0	IMKP11	0	IP2P11	IP1P11	IP0P11
FFFF6016H	ICP12	0	IRFP12	0	IMKP12	0	IP2P12	IP1P12	IP0P12
FFFF6018H	ICP13	0	IRFP13	0	IMKP13	0	IP2P13	IP1P13	IP0P13
FFFF601AH	ICP14	0	IRFP14	0	IMKP14	0	IP2P14	IP1P14	IP0P14
FFFF601CH	ICP16	0	IRFP16	0	IMKP16	0	IP2P16	IP1P16	IP0P16
FFFF601EH	ICP17	0	IRFP17	0	IMKP17	0	IP2P17	IP1P17	IP0P17
FFFF6020H	ICP18	0	IRFP18	0	IMKP18	0	IP2P18	IP1P18	IP0P18
FFFF6022H	ICP20	0	IRFP20	0	IMKP20	0	IP2P20	IP1P20	IP0P20
FFFF6028H	ICTAU00	0	IRFTAU00	0	IMKTAU00	0	IP2TAU00	IP1TAU00	IP0TAU00
FFFF602AH	ICTAU01	0	IRFTAU01	0	IMKTAU01	0	IP2TAU01	IP1TAU01	IP0TAU01
FFFF602CH	ICTAU02	0	IRFTAU02	0	IMKTAU02	0	IP2TAU02	IP1TAU02	IP0TAU02
FFFF602EH	ICTAU03	0	IRFTAU03	0	IMKTAU03	0	IP2TAU03	IP1TAU03	IP0TAU03
FFFF6030H	ICTAU04	0	IRFTAU04	0	IMKTAU04	0	IP2TAU04	IP1TAU04	IP0TAU04
FFFF6032H	ICTAU05	0	IRFTAU05	0	IMKTAU05	0	IP2TAU05	IP1TAU05	IP0TAU05
FFFF6034H	ICTAU06	0	IRFTAU06	0	IMKTAU06	0	IP2TAU06	IP1TAU06	IP0TAU06
FFFF6036H	ICTAU07	0	IRFTAU07	0	IMKTAU07	0	IP2TAU07	IP1TAU07	IP0TAU07
FFFF6038H	ICTAU10	0	IRFTAU10	0	IMKTAU10	0	IP2TAU10	IP1TAU10	IP0TAU10
FFFF603AH	ICTAU11	0	IRFTAU11	0	IMKTAU11	0	IP2TAU11	IP1TAU11	IP0TAU11
FFFF603CH	ICTAU12	0	IRFTAU12	0	IMKTAU12	0	IP2TAU12	IP1TAU12	IP0TAU12
FFFF603EH	ICTAU13	0	IRFTAU13	0	IMKTAU13	0	IP2TAU13	IP1TAU13	IP0TAU13
FFFF6040H	ICTAU14	0	IRFTAU14	0	IMKTAU14	0	IP2TAU14	IP1TAU14	IP0TAU14
FFFF6042H	ICTAU15	0	IRFTAU15	0	IMKTAU15	0	IP2TAU15	IP1TAU15	IP0TAU15
FFFF6044H	ICTAU16	0	IRFTAU16	0	IMKTAU16	0	IP2TAU16	IP1TAU16	IP0TAU16
FFFF6046H	ICTAU17	0	IRFTAU17	0	IMKTAU17	0	IP2TAU17	IP1TAU17	IP0TAU17
FFFF6048H	ICTAU20	0	IRFTAU20	0	IMKTAU20	0	IP2TAU20	IP1TAU20	IP0TAU20
FFFF604AH	ICTAU21	0	IRFTAU21	0	IMKTAU21	0	IP2TAU21	IP1TAU21	IP0TAU21
FFFF604CH	ICTAU22	0	IRFTAU22	0	IMKTAU22	0	IP2TAU22	IP1TAU22	IP0TAU22
FFFF604EH	ICTAU23	0	IRFTAU23	0	IMKTAU23	0	IP2TAU23	IP1TAU23	IP0TAU23
FFFF6050H	ICTAU24	0	IRFTAU24	0	IMKTAU24	0	IP2TAU24	IP1TAU24	IP0TAU24

表21－6 EIレベル・マスカブル割り込み制御レジスタ（ICxxx）（2/3）

アドレス	レジスタ	ビット							
		15-13	12	11-8	7	6-3	2	1	0
FFFF6052H	ICTAU25	0	IRFTAU25	0	IMKTAU25	0	IP2TAU25	IP1TAU25	IP0TAU25
FFFF6054H	ICTAU26	0	IRFTAU26	0	IMKTAU26	0	IP2TAU26	IP1TAU26	IP0TAU26
FFFF6056H	ICTAU27	0	IRFTAU27	0	IMKTAU27	0	IP2TAU27	IP1TAU27	IP0TAU27
FFFF6068H	ICTM0EQ0	0	IRFTM0EQ0	0	IMKTM0EQ0	0	IP2TM0EQ0	IP1TM0EQ0	IP0TM0EQ0
FFFF607EH	ICENCA1IOV	0	IRFENCA1IOV	0	IMKENCA1IOV	0	IP2ENCA1IOV	IP1ENCA1IOV	IP0ENCA1IOV
FFFF607EH	ICENCA1IUD	0	IRFENCA1IUD	0	IMKENCA1IUD	0	IP2ENCA1IUD	IP1ENCA1IUD	IP0ENCA1IUD
FFFF6080H	ICENCA1I0	0	IRFENCA1I0	0	IMKENCA1I0	0	IP2ENCA1I0	IP1ENCA1I0	IP0ENCA1I0
FFFF6082H	ICENCA1I1	0	IRFENCA1I1	0	IMKENCA1I1	0	IP2ENCA1I1	IP1ENCA1I1	IP0ENCA1I1
FFFF6084H	ICENCA1IEC	0	IRFENCA1IEC	0	IMKENCA1IEC	0	IP2ENCA1IEC	IP1ENCA1IEC	IP0ENCA1IEC
FFFF6086H	ICAD	0	IRFAD	0	IMKAD	0	IP2AD	IP1AD	IP0AD
FFFF6088H	ICADS	0	IRFADS	0	IMKADS	0	IP2ADS	IP1ADS	IP0ADS
FFFF608AH	ICRTC	0	IRFRTC	0	IMKRTC	0	IP2RTC	IP1RTC	IP0RTC
FFFF608CH	ICST00	0	IRFST00	0	IMKST00	0	IP2ST00	IP1ST00	IP0ST00
FFFF608CH	ICCSI00	0	IRFCSI00	0	IMKCSI00	0	IP2CSI00	IP1CSI00	IP0CSI00
FFFF608CH	ICP03	0	IRFP03	0	IMKP03	0	IP2P03	IP1P03	IP0P03
FFFF608EH	ICSR00	0	IRFSR00	0	IMKSR00	0	IP2SR00	IP1SR00	IP0SR00
FFFF608EH	ICCSI01	0	IRFCSI01	0	IMKCSI01	0	IP2CSI01	IP1CSI01	IP0CSI01
FFFF6090H	ICSRE00	0	IRFSRE00	0	IMKSRE00	0	IP2SRE00	IP1SRE00	IP0SRE00
FFFF6092H	ICST01	0	IRFST01	0	IMKST01	0	IP2ST01	IP1ST01	IP0ST01
FFFF6092H	ICCSI02	0	IRFCSI02	0	IMKCSI02	0	IP2CSI02	IP1CSI02	IP0CSI02
FFFF6092H	ICIICA1	0	IRFIICA1	0	IMKIICA1	0	IP2IICA1	IP1IICA1	IP0IICA1
FFFF6092H	ICP09	0	IRFP09	0	IMKP09	0	IP2P09	IP1P09	IP0P09
FFFF6094H	ICSR01	0	IRFSR01	0	IMKSR01	0	IP2SR01	IP1SR01	IP0SR01
FFFF6094H	ICCSI03	0	IRFCSI03	0	IMKCSI03	0	IP2CSI03	IP1CSI03	IP0CSI03
FFFF6094H	ICIICA3	0	IRFIICA3	0	IMKIICA3	0	IP2IICA3	IP1IICA3	IP0IICA3
FFFF6094H	ICP19	0	IRFP19	0	IMKP19	0	IP2P19	IP1P19	IP0P19
FFFF6096H	ICSRE01	0	IRFSRE01	0	IMKSRE01	0	IP2SRE01	IP1SRE01	IP0SRE01
FFFF6098H	ICST10	0	IRFST10	0	IMKST10	0	IP2ST10	IP1ST10	IP0ST10
FFFF609AH	ICSR10	0	IRFSR10	0	IMKSR10	0	IP2SR10	IP1SR10	IP0SR10
FFFF609AH	ICCSI11	0	IRFCSI11	0	IMKCSI11	0	IP2CSI11	IP1CSI11	IP0CSI11
FFFF609CH	ICSRE10	0	IRFSRE10	0	IMKSRE10	0	IP2SRE10	IP1SRE10	IP0SRE10
FFFF609EH	ICST11	0	IRFST11	0	IMKST11	0	IP2ST11	IP1ST11	IP0ST11
FFFF60A0H	ICSR11	0	IRFSR11	0	IMKSR11	0	IP2SR11	IP1SR11	IP0SR11
FFFF60A0H	ICCSI13	0	IRFCSI13	0	IMKCSI13	0	IP2CSI13	IP1CSI13	IP0CSI13
FFFF60A2H	ICSRE11	0	IRFSRE11	0	IMKSRE11	0	IP2SRE11	IP1SRE11	IP0SRE11
FFFF60A4H	ICST20	0	IRFST20	0	IMKST20	0	IP2ST20	IP1ST20	IP0ST20
FFFF60A6H	ICSR20	0	IRFSR20	0	IMKSR20	0	IP2SR20	IP1SR20	IP0SR20
FFFF60A6H	ICCSI21	0	IRFCSI21	0	IMKCSI21	0	IP2CSI21	IP1CSI21	IP0CSI21
FFFF60A8H	ICSRE20	0	IRFSRE20	0	IMKSRE20	0	IP2SRE20	IP1SRE20	IP0SRE20
FFFF60AAH	ICST21	0	IRFST21	0	IMKST21	0	IP2ST21	IP1ST21	IP0ST21
FFFF60ACH	ICSR21	0	IRFSR21	0	IMKSR21	0	IP2SR21	IP1SR21	IP0SR21

表21－6 EIレベル・マスカブル割り込み制御レジスタ（ICxxx）（3/3）

アドレス	レジスタ	ビット							
		15-13	12	11-8	7	6-3	2	1	0
FFFF60ACH	ICCSI23	0	IRFCSI23	0	IMKCSI23	0	IP2CSI23	IP1CSI23	IP0CSI23
FFFF60ACH	ICP15	0	IRFP15	0	IMKP15	0	IP2P15	IP1P15	IP0P15
FFFF60AEH	ICSRE21	0	IRFSRE21	0	IMKSRE21	0	IP2SRE21	IP1SRE21	IP0SRE21
FFFF60BCH	ICST40	0	IRFST40	0	IMKST40	0	IP2ST40	IP1ST40	IP0ST40
FFFF60BCH	ICCSI40	0	IRFCSI40	0	IMKCSI40	0	IP2CSI40	IP1CSI40	IP0CSI40
FFFF60BEH	ICSR40	0	IRFSR40	0	IMKSR40	0	IP2SR40	IP1SR40	IP0SR40
FFFF60BEH	ICCSI41	0	IRFCSI41	0	IMKCSI41	0	IP2CSI41	IP1CSI41	IP0CSI41
FFFF60C0H	ICSRE40	0	IRFSRE40	0	IMKSRE40	0	IP2SRE40	IP1SRE40	IP0SRE40
FFFF60C2H	ICST50	0	IRFST50	0	IMKST50	0	IP2ST50	IP1ST50	IP0ST50
FFFF60C2H	ICCSI50	0	IRFCSI50	0	IMKCSI50	0	IP2CSI50	IP1CSI50	IP0CSI50
FFFF60C2H	ICIICA0	0	IRFIICA0	0	IMKIICA0	0	IP2IICA0	IP1IICA0	IP0IICA0
FFFF60C2H	ICP04	0	IRFP04	0	IMKP04	0	IP2P04	IP1P04	IP0P04
FFFF60C4H	ICSR50	0	IRFSR50	0	IMKSR50	0	IP2SR50	IP1SR50	IP0SR50
FFFF60C4H	ICCSI51	0	IRFCSI51	0	IMKCSI51	0	IP2CSI51	IP1CSI51	IP0CSI51
FFFF60C4H	ICIICA2	0	IRFIICA2	0	IMKIICA2	0	IP2IICA2	IP1IICA2	IP0IICA2
FFFF60C6H	ICSRE50	0	IRFSRE50	0	IMKSRE50	0	IP2SRE50	IP1SRE50	IP0SRE50
FFFF60D2H	ICSTS00	0	IRFSTS00	0	IMKSTS00	0	IP2STS00	IP1STS00	IP0STS00
FFFF60D2H	ICCSIS00	0	IRFCSIS00	0	IMKCSIS00	0	IP2CSIS00	IP1CSIS00	IP0CSIS00
FFFF60D2H	ICENCA0I0	0	IRFENCA0I0	0	IMKENCA0I0	0	IP2ENCA0I0	IP1ENCA0I0	IP0ENCA0I0
FFFF60D4H	ICSRS00	0	IRFSRS00	0	IMKSRS00	0	IP2SRS00	IP1SRS00	IP0SRS00
FFFF60D4H	ICCSIS01	0	IRFCSIS01	0	IMKCSIS01	0	IP2CSIS01	IP1CSIS01	IP0CSIS01
FFFF60D4H	ICENCA0I1	0	IRFENCA0I1	0	IMKENCA0I1	0	IP2ENCA0I1	IP1ENCA0I1	IP0ENCA0I1
FFFF60D6H	ICSRES00	0	IRFSRES00	0	IMKSRES00	0	IP2SRES00	IP1SRES00	IP0SRES00
FFFF60D8H	ICENCA0IEC	0	IRFENCA0IEC	0	IMKENCA0IEC	0	IP2ENCA0IEC	IP1ENCA0IEC	IP0ENCA0IEC
FFFF60DAH	ICENCA0IOV	0	IRFENCA0IOV	0	IMKENCA0IOV	0	IP2ENCA0IOV	IP1ENCA0IOV	IP0ENCA0IOV
FFFF60DAH	ICENCA0IUD	0	IRFENCA0IUD	0	IMKENCA0IUD	0	IP2ENCA0IUD	IP1ENCA0IUD	IP0ENCA0IUD
FFFF60DEH	ICKR	0	IRFKR	0	IMKKR	0	IP2KR	IP1KR	IP0KR
FFFF60E0H	ICDMA0	0	IRFDMA0	0	IMKDMA0	0	IP2DMA0	IP1DMA0	IP0DMA0
FFFF60E2H	ICDMA1	0	IRFDMA1	0	IMKDMA1	0	IP2DMA1	IP1DMA1	IP0DMA1
FFFF60E4H	ICDMA2	0	IRFDMA2	0	IMKDMA2	0	IP2DMA2	IP1DMA2	IP0DMA2
FFFF60E6H	ICDMA3	0	IRFDMA3	0	IMKDMA3	0	IP2DMA3	IP1DMA3	IP0DMA3
FFFF60E8H	ICDMA4	0	IRFDMA4	0	IMKDMA4	0	IP2DMA4	IP1DMA4	IP0DMA4
FFFF60EAH	ICDMA5	0	IRFDMA5	0	IMKDMA5	0	IP2DMA5	IP1DMA5	IP0DMA5
FFFF60ECH	ICDMA6	0	IRFDMA6	0	IMKDMA6	0	IP2DMA6	IP1DMA6	IP0DMA6
FFFF60EEH	ICDMA7	0	IRFDMA7	0	IMKDMA7	0	IP2DMA7	IP1DMA7	IP0DMA7
FFFF60F0H	ICUSBI	0	IRFUSBI	0	IMKUSBI	0	IP2USBI	IP1USBI	IP0USBI
FFFF60F2H	ICUSBR	0	IRFUSBR	0	IMKUSBR	0	IP2USBR	IP1USBR	IP0USBR
FFFF60F4H	ICCLMATI	0	IRFCLMATI	0	IMKCLMATI	0	IP2CLMATI	IP1CLMATI	IP0CLMATI
FFFF60F6H	ICHCRC	0	IRFHCRC	0	IMKHCRC	0	IP2HCRC	IP1HCRC	IP0HCRC

21. 4. 2 EIレベル割り込みマスク・レジスタ0-7（IMR0-IMR7）

ICxxxレジスタのIMKxxxビットの集合レジスタです。IMRmレジスタの各ビットは対応するIMKxxxビットの設定が反映されます。またIMRmレジスタへの設定は対応するIMKxxxビットへ反映されます。

16/8/1ビット単位でリード／ライト可能です。8/1ビット単位でのアクセスでは上位8ビット[15:8]がIMRmHレジスタ，下位8ビット[7:0]がIMRmLレジスタへのアクセスになります（m = 0-7）。

注意 表21－6 EIレベル・マスカブル割り込み制御レジスタ（ICxxx）にないチャネルのICxxxレジスタにはアクセスしないでください。

（1/2）

アドレス：FFFF640EH リセット時：FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR7（IMR7H）	1	1	1	1	IMKHCRC	IMKCLMATI	IMKUSBR	IMKUSBI
	7	6	5	4	3	2	1	0
（IMR7L）	IMKDMA7	IMKDMA6	IMKDMA5	IMKDMA4	IMKDMA3	IMKDMA2	IMKDMA1	IMKDMA0

アドレス：FFFF640CH リセット時：FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR6（IMR6H）	IMKKR	1	IMKENCA0IOV/ IMKENCA0IUD	IMKENCA0IEC	IMKSRES00	IMKSRS00/ IMKCSIS01/ IMKENCA0I1	IMKSTS00/ IMKCSIS00/ IMKENCA0I0	1
	7	6	5	4	3	2	1	0
（IMR6L）	1	1	1	1	IMKSRE50	IMKSR50/ IMKCSI51/ IMKIICA2	IMKST50/ IMKCSI50/ IMKIICA0/ IMKP04	IMKSRE40

アドレス：FFFF640AH リセット時：FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR5（IMR5H）	IMKSR40/ IMKCSI41	IMKST40/ IMKCSI40	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
（IMR5L）	IMKSRE21	IMKSR21/ IMKCSI23/ IMKP15	IMKST21	IMKSRE20	IMKSR20/ IMKCSI21	IMKST20	IMKSRE11	IMKSR11/ IMKCSI13

アドレス：FFFF6408H リセット時：FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR4（IMR4H）	IMKST11	IMKSRE10	IMKSR10/ IMKCSI11	IMKST10	IMKSRE01	IMKSR01/ IMKCSI03/ IMKIICA3/ IMKP19	IMKST01/ IMKCSI02/ IMKIICA1/ IMKP09	IMKSRE00
	7	6	5	4	3	2	1	0
（IMR4L）	IMKSR00/ IMKCSI01	IMKST00/ IMKCSI00/ IMKP03	IMKRTC	IMKADS	IMKAD	IMKENCA1IEC	IMKENCA1I1	IMKENCA1I0

(2/2)

アドレス：FFFF6406H **リセット時：**FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR3（IMR3H）	IMKENCA1IOV/ IMKENCA1IUD	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
（IMR3L）	1	1	1	IMKTM0EQ0	1	1	1	1

アドレス：FFFF6404H **リセット時：**FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR2（IMR2H）	1	1	1	1	IMKTAU27	IMKTAU26	IMKTAU25	IMKTAU24
	7	6	5	4	3	2	1	0
（IMR2L）	IMKTAU23	IMKTAU22	IMKTAU21	IMKTAU20	IMKTAU17	IMKTAU16	IMKTAU15	IMKTAU14

アドレス：FFFF6402H **リセット時：**FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR1（IMR1H）	IMKTAU13	IMKTAU12	IMKTAU11	IMKTAU10	IMKTAU07	IMKTAU06	IMKTAU05	IMKTAU04
	7	6	5	4	3	2	1	0
（IMR1L）	IMKTAU03	IMKTAU02	IMKTAU01	IMKTAU00	1	1	IMKP20	IMKP18

アドレス：FFFF6400H **リセット時：**FFFFH R/W

略号	15	14	13	12	11	10	9	8
IMR0（IMR0H）	IMKP17	IMKP16	IMKP14	IMKP13	IMKP12	IMKP11	IMKP10	IMKP08
	7	6	5	4	3	2	1	0
（IMR0L）	IMKP07	IMKP06	IMKP05	IMKP02	IMKP01	IMKP00	IMKLVI	IMKWDT

IMKxxx	割り込みマスク・ビット
0	割り込み処理を許可
1	割り込み処理を禁止
EIレベル・マスカブル割り込み（EIINT）の割り込みマスク・ビットです。	

21. 4. 3 インサービス・プライオリティ・レジスタ（ISPR）

CPUコアで処理中のEIレベル・マスカブル割り込み（EIINT）の割り込み優先度を保持します。CPUコアから割り込み要求の受け付け応答を受け取ると，その割り込み要求の割り込み優先度に対応するビットがセットされます。

CPUコアから割り込み処理の終了通知を受け取ると，セットされているビットのうち最も優先度が高いビットが自動的にクリアされます。FEレベルの割り込みからの復帰の場合はクリアされません。EIレベル・マスカブル割り込み（EIINT）の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

ISPCレジスタへ16ビット単位で同時に1をライトした後，ISPRレジスタへ16ビット単位で同時に0をライトするとISPRの全ビットをクリアすることができます。任意ビットのクリアやセットをソフトウエアで行うことはできません。一度クリアしてしまうと元の値に復旧させることはできません。

8ビット単位でのアクセスでは下位8ビット[7:0]がISPRLレジスタへのアクセスになります。

16/8ビット単位でリードのみ可能です。

アドレス：FFFF6440H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8
ISPR	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(ISPRL)	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込み優先順位（n = 0-7）
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号をCPUコアで処理中

21. 4. 4 プライオリティ・マスク・レジスタ（PMR）

EIレベル・マスカブル割り込み（EIINT）の割り込み要求フラグをマスクする割り込み優先度を指定します。このレジスタで指定された割り込み優先度が設定されているEIINTのチャネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており，例えばビット0に1を設定すると割り込み優先度0のチャネルをマスクすることができます。

16ビット単位でリード／ライト可能です。

ただし下位8ビット[7:0]をPMRLレジスタとしてアクセスした場合は8/1ビット単位でリード／ライト可能です。

アドレス：FFFF6448H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PMR（PMRH）	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
（PMRL）	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0

PMRn	割り込み要求フラグをマスクする割り込み優先順位（n = 0-7）
0	優先順位nの割り込み処理を許可（初期値）
1	優先順位nの割り込み処理を禁止

21. 4. 5 イン・サービス・プライオリティ・マスク・レジスタ（ISPC）

ISPCレジスタの全ビットへ同時に1をライトし，次にISPRレジスタの全ビットに同時に0をライトすると，ISPRレジスタの全ビットを0にクリアすることができます。同時にICSRレジスタのFEレベルNMIの処理モード，FEレベル・マスカブル割り込み（FEINT）の処理モード，EIレベル・マスカブル割り込み（EIINT）の処理モードがすべて解除されます。これにより割り込み要求がCPUコアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることになります。これらの一度クリア（0）された内容は，ソフトウエアで復旧させることはできません。

ISPRレジスタの全ビットへの0のライトによりISPRがクリア（0）されると，ISPCレジスタの値も自動的にクリア（0）されます。ISPCレジスタへリード・アクセスを行った場合に読み出される値は，全ビットに1を書き込んだあとは，全ビットから1が読み出され，リセット後やISPRレジスタのクリア後は，全ビットから0が読み出されます。全ビット同時に1または0ではないライト・アクセスではビットの値は変化しません。また全ビットが1の状態で全ビットに0をライトするとISPCレジスタのビットの値はすべて0にクリアされ，ISPRレジスタの値は変化しません。

16ビット単位でのみリード／ライト可能です。

アドレス：FFFF6450H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
ISPC	ISPC15	ISPC14	ISPC13	ISPC12	ISPC11	ISPC10	ISPC9	ISPC8
	7	6	5	4	3	2	1	0
	ISPC7	ISPC6	ISPC5	ISPC4	ISPC3	ISPC2	ISPC1	ISPC0

ISPCn	割り込み処理のモード・レジスタをすべてクリア（n = 0-15）
全ビットから1または全ビットから0が読み出されます。全ビットから1が読み出される場合にISPRの全ビットに0をライトするとISPRをクリアできます。	

21. 4. 6 割り込みコントローラ・ステータス・レジスタ（ICSR）

割り込みコントローラの動作状態を示します。特にビット2-0は割り込み処理のモード・レジスタになります。ソフトウエアでライトすることはできません。

16ビット単位でリードのみ可能です。ただし上位8ビット[15:8]をICSRHレジスタ，下位8ビット[7:0]をICSRLレジスタとしてアクセスした場合は8/1ビット単位でリードのみ可能です

アドレス：FFFF645AH　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8
ICSR（ICSRH）	0	0	0	0	0	0	0	PMF
	7	6	5	4	3	2	1	0
（ICSRL）	0	0	FIR	EIR	0	0	FIE	EIE

PMF	PMRの設定で，割り込み処理が禁止されている割り込み優先度を持つ受け付け可能なEIレベル・マスカブル割り込み（EIINT）のチャネルの要求フラグの設定
0	セットされていない
1	セットされている

FIR	FEレベル・マスカブル割り込み（FEINT）のステータス
0	CPUに要求していない
1	CPUへ要求中

EIR	EIレベル・マスカブル割り込み（EIINT）のステータス
0	CPUに要求していない
1	CPUへ要求中

FIE	FEレベル・マスカブル割り込み（FEINT）のステータス
0	CPUで処理していない
1	CPUで処理中

EIE	EIレベル・マスカブル割り込み（EIINT）のステータス
0	CPUで処理していない
1	CPUで処理中

21. 4. 7 FEレベル・マスカブル割り込み制御レジスタ（FIC）

FEレベル・マスカブル割り込み（FEINT）の制御条件を設定します。

16ビット単位でリードのみ可能です。ただし上位8ビット[15:8]をFICHレジスタとしてアクセスした場合は8/1ビット単位でリードのみ可能です。

アドレス：FFFF645EH　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8
FIC（FICH）	0	0	0	FIRF	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

FIRF	割り込み要求フラグ
0	割り込み要求なし（初期値）
1	割り込み要求あり

21. 5 例外ハンドラ・アドレス切り替え機能

割り込みハンドラ・アドレスはソフトウエアにより切り替えることが可能です。

詳細は，V850E2S ユーザーズ・マニュアル　アーキテクチャ編の，第2編　6. 4　例外ハンドラ・アドレス切り替え機能を参照してください。

第22章 キー割り込み機能

22. 1 機 能

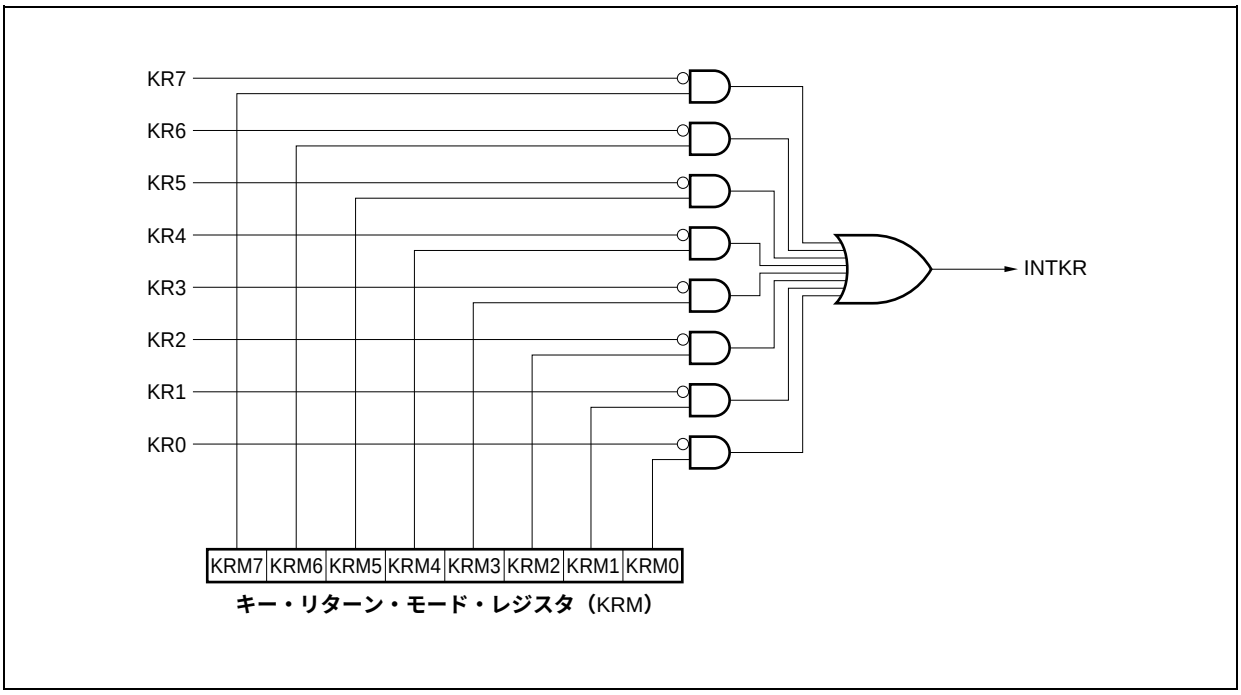
キー・リターン・モード・レジスタ（KRM）の設定により，キー入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

注意 KR0-KR7端子のうち1つでもロウ・レベルが入力されていると，別の端子で立ち下がりエッジを入力してもINTKR信号が発生しません。

表22－1 フラグの機能

フラグ	設定される端子	兼用ポート
KRM0	KR0信号	P3_0
KRM1	KR1信号	P3_1
KRM2	KR2信号	P3_2
KRM3	KR3信号	P3_3
KRM4	KR4信号	P3_4
KRM5	KR5信号	P6_7またはP23_5
KRM6	KR6信号	P7_0またはP23_6
KRM7	KR7信号	P4_0またはP22_7

図22－1 キー・リターンのブロック図



22. 2 端子の構成

キー割り込み機能を構成するキー入力端子は，表22－2のように兼用されています。各端子を使用する場合は，ポート機能の設定をする必要があります（第4章 ポート機能参照）。

表22－2 端子構成

キー端子入力	ポート	その他の兼用機能	ピン番号						
			100	128	100	80	64	48	40
KR0	P3_0	SI40/RXD40/CLKOUT/RTP0/INTP07/BUSCLK	116	107	83	65	－	－	－
		SI40/RXD40/CLKOUT/RTP0/INTP07	－	－	－	－	50	38	31
KR1	P3_1	TE0TI0/SO40/TXD40/RTP1/INTP01/$\overline{\text{RD}}$	117	108	84	66	－	－	－
		TE0TI0/SO40/TXD40/RTP1/INTP01	－	－	－	－	51	39	32
KR2	P3_2	SI00/RXD00/BUZ1/RTP2/INTP02/$\overline{\text{WR}}$	118	109	85	67	－	－	－
		SI00/RXD00/BUZ1/RTP2/INTP02	－	－	－	－	52	40	33
KR3	P3_3	TE0TI1/SO00/TXD00/RTP3/INTP03/ASTB	119	110	86	68	－	－	－
		TE0TI1/SO00/TXD00/RTP3/INTP03	－	－	－	－	53	41	34
KR4	P3_4	$\overline{\text{SCK00}}$/RTP4/$\overline{\text{WAIT}}$	120	111	87	69	－	－	－
		$\overline{\text{SCK00}}$/RTP4	－	－	－	－	54	42	35
KR5	P6_7	TI06/TO06/$\overline{\text{SCK40}}$/RTP5/INTP05/A15	91	86	69	－	－	－	－
		TI06/TO06/$\overline{\text{SCK40}}$/RTP5/INTP05	－	－	－	54	42	31	27
	P23_5	ANI29/INTP01/RTP5	122	113	89	70	－	－	－
KR6	P7_0	TI07/TO07/RTP6/INTP06/A16	92	87	70	55	－	－	－
		TI07/TO07/RTP6/INTP06	－	－	－	－	43	32	28
	P23_6	ANI30/INTP13/RTP6	121	112	88	－	－	－	－
KR7	P4_0	TI15/TO15/$\overline{\text{SCK02}}$/RTP7/INTP00/$\overline{\text{CS0}}$	105	96	74	59	－	－	－
		TI15/TO15/$\overline{\text{SCK02}}$/RTP7/INTP00	－	－	－	－	47	35	－
	P22_7	ANI23/INTP05/RTP7	128	119	95	76	60	44	36

備考 ピン番号の欄は次のように対応しています。

- 144 ：V850E2/JJ4-L
- 128 ：V850E2/JH4-L
- 100 ：V850E2/JG4-L
- 80 ：V850E2/JF4-L
- 64 ：V850E2/JE4-L
- 48 ：V850E2/JC4-L（48ピン版）
- 40 ：V850E2/JC4-L（40ピン版）

22. 3 レジスタ

(1) キー・リターン・モード・レジスタ（KRM）

KRMレジスタは，KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF82B000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は，一度00Hとしてから書き換えてください。

22. 4 注意事項

(1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると，別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。

(2) KRMレジスタを変更すると，割り込み要求信号（INTKR）が発生する場合があります。したがって，あらかじめ割り込みを禁止（DI）またはマスクしてからKRMレジスタを変更し，割り込み要求フラグ（ICKR.IRFKRビット）をクリア（0）してから，割り込みを許可（EI）またはマスク解除してください。

(3) キー割り込み機能を使用する場合は，必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また，逆にキー・リターン用端子からポート端子に切り替える場合は，KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第23章 パワー・セーブ機能

23. 1 概 要

各モードを組み合わせて用途によって切り替えて使用すると，効果的な低消費電力システムを実現できます。動作状態，スタンバイ・モード，チップ・モードを次に示します。

表23－1 動作状態

動作状態	機能概要
通常動作	メイン・システム・クロック（f_{MAIN}）をCPU／周辺クロック（f_{CLK}）として動作します
サブシステム・クロック動作	サブシステム・クロック（f_{SUB}）をCPU／周辺クロック（f_{CLK}）として動作します

表23－2 スタンバイ･モード

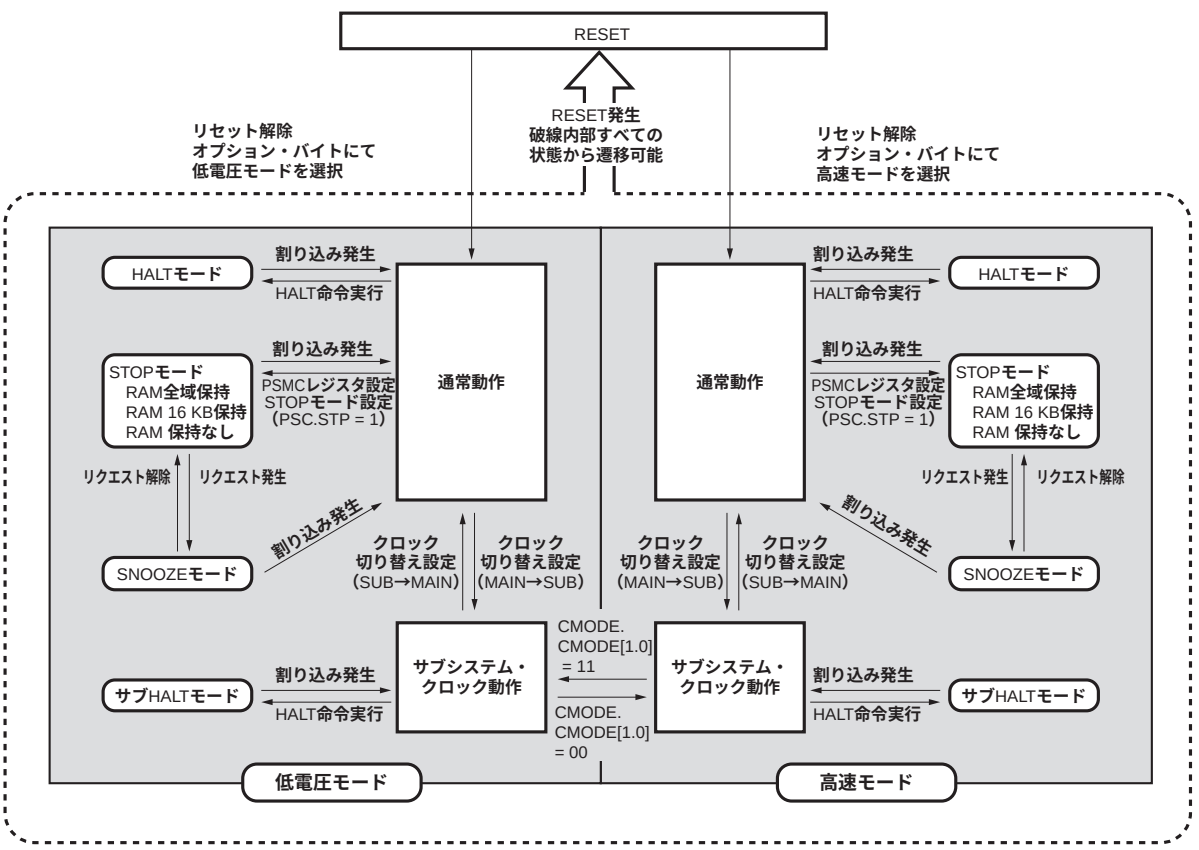
スタンバイ・モード	機能概要
HALTモード サブHALTモード	HALT命令を実行することによりCPU内部のクロックの一部を停止するモードです。 通常動作やサブシステム・クロック動作との組み合わせによる間欠動作により，システムのトータル消費電力を低下させることができます。
STOPモード	サブシステム・クロック（f_{SUB}）以外の内部回路の動作を停止するモードです。 内蔵RAMの保持を，全域保持／16 Kバイト保持／保持なしから選択できます
SNOOZEモード	STOPモード時に，CSI，UARTのデータ受信およびADTRG端子からの入力信号によるA/D変換要求により，CPUを動作させることなく，データ受信，A/D変換を行うモードです。CPU/周辺クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック（f_{IH}）が選択されているときのみ設定可能です。

表23－3 チップ・モード

チップ・モード	機能概要
高速モード	最大32 MHzでCPUが動作できるモードです。動作電圧の下限は1.8 Vで，8 MHzで動作できます。
低電圧モード	動作電圧の下限が1.6 Vまで動作できるモードです。最大4 MHzでCPUが動作できます。

次にパワー・セーブ機能の状態遷移について示します。

図23ー1 状態遷移図



注意 通常動作（高速モード）と通常動作（低電圧モード）の直接のモード遷移設定は行わないでください。

23. 2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ（PSC）

STOPモードを制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（23. 2. 1 特定レジスタについて参照）。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF421000H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSC	0	0	0	0	0	0	0	STP

STP	STOPモードの設定
0	通常モード
1	STOPモード
STOPモード遷移設定用のビットです。STPビットをセット（1）することによりSTOPモードに移行します。セット後のソフトウエアによるクリア（0）はできません。リセットおよび，STOPモード解除要因発生によってのみクリア（0）されます。	

(2) スタンバイ解除要因マスク設定レジスタ（STBREMK0, 1, 4, 5, 6）

STOP/SNOOZEモードからの解除要因を指定する16ビットのレジスタです。STOPモードに移行する前に，STOP/SNOOZEモードの解除要因となる割り込みに対するビットをクリア（0）してください。STBREMKnレジスタの該当ビットがセット（1）されている場合，セット（1）されたビットに該当する割り込みが発生してもSTOP/SNOOZEモードから復帰しません。

16ビット単位でリード／ライト可能です。

リセットによりFFFFHになります。

アドレス：FF421004H　リセット時：FFFFH　R/W

略号	15	14	13	12	11	10	9	8
STBREMK0	P17SMK	P16SMK	P14SMK	P13SMK	P12SMK	P11SMK	P10SMK	P08SMK
	7	6	5	4	3	2	1	0
	P07SMK	P06SMK	P05SMK	P02SMK	P01SMK	P00SMK	LVISMK	WDTSMK

アドレス：FF421008H　リセット時：FFFFH　R/W

略号	15	14	13	12	11	10	9	8
STBREMK1	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	1	1	1	1	1	P20SMK	P18SMK

アドレス：FF421014H　リセット時：FFFFH　R/W

略号	15	14	13	12	11	10	9	8
STBREMK4	1	SRE10SMK	SR10SMK	1	1	IICA3SMK /P19SMK	IICA1SMK /P09SMK	SRE00SMK
	7	6	5	4	3	2	1	0
	SR00SMK	CSI00SMK /P03SMK	RTCSMK	ADSSMK	ADSMK	1	1	1

アドレス：FF421018H　リセット時：FFFFH　R/W

略号	15	14	13	12	11	10	9	8
STBREMK5	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	P15SMK	1	SRE20SMK	SR20SMK	1	1	1

アドレス：FF42101CH　リセット時：FFFFH　R/W

略号	15	14	13	12	11	10	9	8
STBREMK6	KRSMK	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	1	1	1	1	IICA2SMK	IICA0SMK /P04SMK	1

xxxSMK	STOP/SNOOZEモード解除要因マスク指定
0	マスクしない（STOP/SNOOZEモード解除可能）
1	マスクする（STOP/SNOOZEモード解除不可）

STBREMKnレジスタの各ビットとマスクされる割り込みについての対応を次に示します。

表23ー4 STBREMKnレジスタとマスクされる割り込みの関係

レジスタ	ビット位置	ビット名	割り込み名
STBREMK0	15	P17SMK	(15) INTP17
	14	P16SMK	(14) INTP16
	13	P14SMK	(13) INTP14
	12	P13SMK	(12) INTP13
	11	P12SMK	(11) INTP12
	10	P11SMK	(10) INTP11
	9	P10SMK	(9) INTP10
	8	P08SMK	(8) INTP08
	7	P07SMK	(7) INTP07
	6	P06SMK	(6) INTP06
	5	P05SMK	(5) INTP05
	4	P02SMK	(4) INTP02
	3	P01SMK	(3) INTP01
	2	P00SMK	(2) INTP00
	1	LVISMK	(1) INTLVI
	0	WDTSMK	(0) INTWDT
STBREMK1	1	P20SMK	(17) INTP20
	0	P18SMK	(16) INTP18
STBREMK4	14	SRE10SMK	(78) INTSRE10
	13	SR10SMK	(77) INTSR10
	10	IICA3SMK/P19SMK	(74) INTIICA3/INTP19
	9	IICA1SMK/P09SMK	(73) INTIICA1/INTP09
	8	SRE00SMK	(72) INTSRE00
	7	SR00SMK	(71) INTSR00
	6	CSI00SMK/P03SMK	(70) INTCSI00/INTP03
	5	RTCSMK	(69) INTRTC
	4	ADSSMK	(68) INTADS
	3	ADSMK	(67) INTAD
STBREMK5	6	P15SMK	(86) INTP15
	4	SRE20SMK	(84) INTSRE20
	3	SR20SMK	(83) INTSR20
STBREMK6	15	KRSMK	(111) INTKR
	2	IICA2SMK	(98) INTIICA2
	1	IICA0SMK/P04SMK	(97) INTIICA0/INTP04

備考 割り込み名のカッコ内の数字はディフォールト・プライオリティです。

(3) パワー・セーブ・メモリ・コントロール・レジスタ（PSMC）

STOPモード時のバックアップRAMの保持領域を選択するレジスタです。バックアップRAMの保持領域を16 Kバイト，または保持なしを選択することによりSTOPモード時の消費電力を低減することが可能です。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 PSMCレジスタの設定は，STOPモードに遷移（PSC.STP = 1）する前に行ってください。

アドレス：FF4200C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PSMC	0	0	0	0	0	0	PSMC1	PSMC0

PSMC1	PSMC0	バックアップRAM保持領域の選択
0	0	RAM全域保持
0	1	RAM16 Kバイト保持
1	0	設定禁止
1	1	RAM保持なし

備考 バックアップRAM対象領域は各製品の内蔵RAM領域の上位16 Kバイト（FEDFC000H-FEDFFFFH）です。

(4) チップ・モード・レジスタ（CMODE）

V850E2/Jx4-Lのチップ・モードの状態である「高速モード」か「低電圧モード」かを選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットによる値はオプション・バイトにて設定します。詳細は第31章 オプション・バイトを参照してください。

アドレス：FF4200C8H　リセット時：注　R/W

略号	7	6	5	4	3	2	1	0
CMODE	0	0	0	0	0	0	0	CMODE0

CMODE0	チップ・モードの設定
0	低電圧モード
1	高速モード

注 オプション・バイト CMODE0にて設定します。詳細は第31章 オプション・バイトを参照してください。

備考 各チップ・モード間の遷移は23. 3. 1 通常動作（高速モード）と通常動作（低電圧モード）間の遷移を参照してください。

23. 2. 1 特定レジスタについて

PSCレジスタは特定レジスタです。特定レジスタは，プログラムの暴走などにより不正なデータがライトされないよう保護されているレジスタです。

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，STBPCMDレジスタがあり，特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作はSTBPSレジスタに報告されます。

(1) 特定レジスタへの書き込み（特定シーケンス）

次に示す特定シーケンスでライト動作を行った場合のみ，ライト動作が有効となります。

ステップ1： STBPCMDレジスタに特定の値（= A5H）をライト。

ステップ2： 対象とする特定レジスタ（PSCレジスタ）に，設定したい値をライト
（このステップでのライト動作は無効）。

ステップ3： 対象とする特定レジスタに，設定したい値のビットごとの反転値をライト
（このステップでのライト動作は無効）。

ステップ4： 対象とする特定レジスタに，設定したい値をライト
（このステップでのライト動作が有効）。

ステップ5： STBPSレジスタのエラー・モニタ・ビットが“0”であることを確認することによって，保護されたレジスタに所定の値がライトできたことが確認できます。確認結果が“1”の場合はステップ1から再開する必要があります。

注意 ステップ1-4の間ではDMAを停止，および割り込みを禁止してください。

(2) プロテクション・エラー

23. 2. 1 (1) 特定レジスタへの書き込み（特定シーケンス）のステップ1-4の間で他の書き込み動作を行った場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，STBPSレジスタのステータス・フラグがセット（1）されます。

このステータス・フラグのセット／リセット条件を次に示します。

セット条件：

① 最近の周辺レジスタに対するストア命令動作が，STBPCMDレジスタへの特定値（= A5H）の書き込み動作ではない状態で，定められた特定レジスタへの書き込みを行ったとき。

② ステップ1 後の最初のストア命令動作が，定められた特定レジスタ以外の周辺レジスタに対するとき。

③ ステップ2 後の最初のストア命令動作が，対象とする特定レジスタ以外の周辺レジスタに対するとき。

④ ステップ2 後の最初のストア命令動作で，対象とする特定レジスタに，設定したい値の反転値以外の値を書き込んだとき。

⑤ ステップ3 後の最初のストア命令動作が，対象とする特定レジスタ以外の周辺レジスタに対するとき。

⑥ ステップ3 後の最初のストア命令動作で，対象とする特定レジスタに，設定したい値（ステップ2 の書き込み値）以外の値を書き込んだとき。

リセット条件：

① システム・リセットを行ったとき。

② 次の特定シーケンス開始時（ステップ１後）

(3) STB**コマンド・レジスタ**（STBPCMD）

STBPCMD**レジスタは，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する**8**ビット・レジスタです。定められたシーケンスによってだけ，**PSC**レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。**

8**ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。**

リセットにより不定になります。

アドレス：FF421024H **リセット時：不定** W

略号	7	6	5	4	3	2	1	0
STBPCMD								

(4) STB**ステータス・レジスタ**（STBPS）

プロテクション対象の特定レジスタ（PSC**）に対して，コマンド・レジスタ（**CTBPCMD**）を含む正しいシーケンスで書き込み動作をしなかった場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，ステータス・フラグ（**STBPRERR**）がセット（**1**）されます。**

STBPRERR**フラグはリセットおよび，次の特定シーケンス開始時にクリア（**0**）されます。**

8**ビット単位でリードのみ可能です。**

リセットにより00H**になります。**

アドレス：FF421028H **リセット時：**00H R

略号	7	6	5	4	3	2	1	0
STBPS	0	0	0	0	0	0	0	STB PRERR

STB PRERR	**プロテクション・エラーの検出**
0	**プロテクション・エラーは発生していない。**
1	**プロテクション・エラーが発生している。**

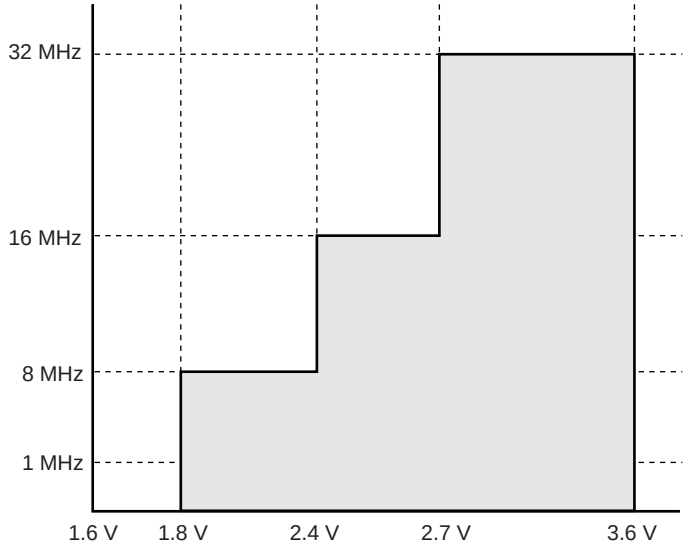
23. 3 通常動作モード

メイン・システム・クロック（f_{MAIN}）をCPU／周辺クロック（f_{CLK}）として動作します。
通常動作モードにはチップ・モードで高速モードと，低電圧モードがあります。

（1）高速モード

最大32MHzでCPUが動作できます。動作電圧の下限は1.8 Vで，8MHzで動作できます。

図23－2 高速モード時の動作範囲

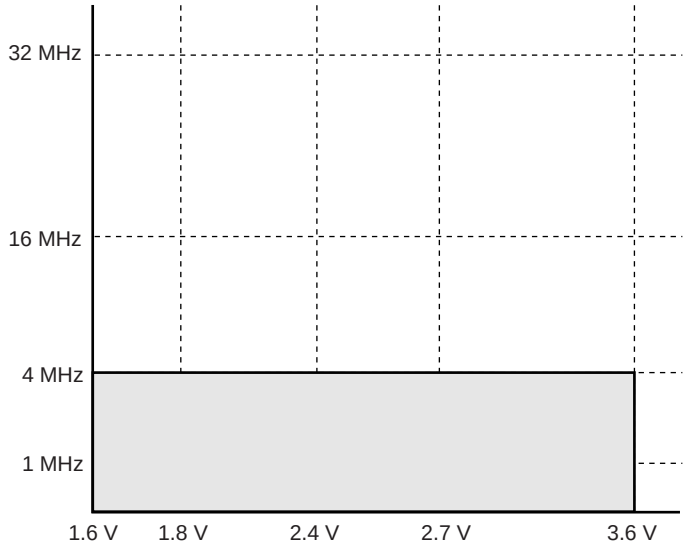


備考 部分が高速モード時の動作可能範囲です。

(2) 低電圧モード

最大4MHz で動作し，V_{DD} = 1.6 Vの低電圧にすることが可能です。

図23－3 低電圧モード時の動作範囲



備考 部分が低電圧モード時の動作可能範囲です。

注意 サブクロック動作（低電圧モード）から通常動作（低電圧モード）へ遷移させる場合，CKDIVレジスタでメイン・システム・クロック（f_{MAIN}）を分周し4 MHz以下の周波数に設定した後，クロック発生機能の章のCPU／周辺クロック（f_{CLK}）の切り替え制御に従い，サブクロックからメイン・クロックに切り替えてください。遷移フローについては23. 3. 1 通常動作（高速モード）と通常動作（低電圧モード）間の遷移もあわせて参照してください。

次に通常動作の動作状態について示します。

表23－4 通常動作時の動作状態

通常動作時の設定 ＼ 項目		通常動作			
		高速モード		低電圧モード	
		f_{IH}選択時	f_{MX}選択時	f_{IH}選択時	f_{MX}選択時
メイン・クロック（f_{MX}）		動作可能	動作可能（停止不可）	動作可能	動作可能（停止不可）
サブクロック（f_{SX}）		動作可能		動作可能	
高速オンチップ・オシレータ（f_{IH}）		動作可能（停止不可）	動作可能	動作可能（停止不可）	動作可能
低速オンチップ・オシレータ（f_{IL}）		動作可能		動作可能	
メインPLL		動作可能（V_{DD} = 2.4 V以上，f_{MX}動作時）	動作可能（V_{DD} = 2.4 V以上）	動作禁止	
USB PLL					
CPU		動作可能		動作可能	
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート機能					
タイマ	TAU				
	TMM				
	ENCA				
	WDT				
	RTC				
	BUZZ				
A/Dコンバータ					
D/Aコンバータ					
シリアル・インタフェース	SAU, SAUS				
	IICA				
	USBF	動作可能（V_{DD} = 3.0 V以上）		動作禁止	
RAMパリティ・チェック機能		動作可能		動作可能	
CRC	Flash CRC	動作停止		動作停止	
	汎用CRC	動作可能		動作可能	
DMA					
割り込み	内部割り込み				
	外部割り込み				
パワーオン・リセット（POR）					
電圧検出回路（LVD）					
RTO					
CLM					

23. 3. 1 通常動作（高速モード）と通常動作（低電圧モード）間の遷移

高速モードと低電圧モードの動作モードの選択は，製品起動時にオプション・バイト機能（CMODE0）で選択できますが，リセット解除後，通常動作（高速モード）と通常動作（低電圧モード）間では，直接遷移することはできません。必ず次のフローの順で遷移してください。

図23－4 通常動作（高速モード）から通常動作（低電圧モード）への移行手順

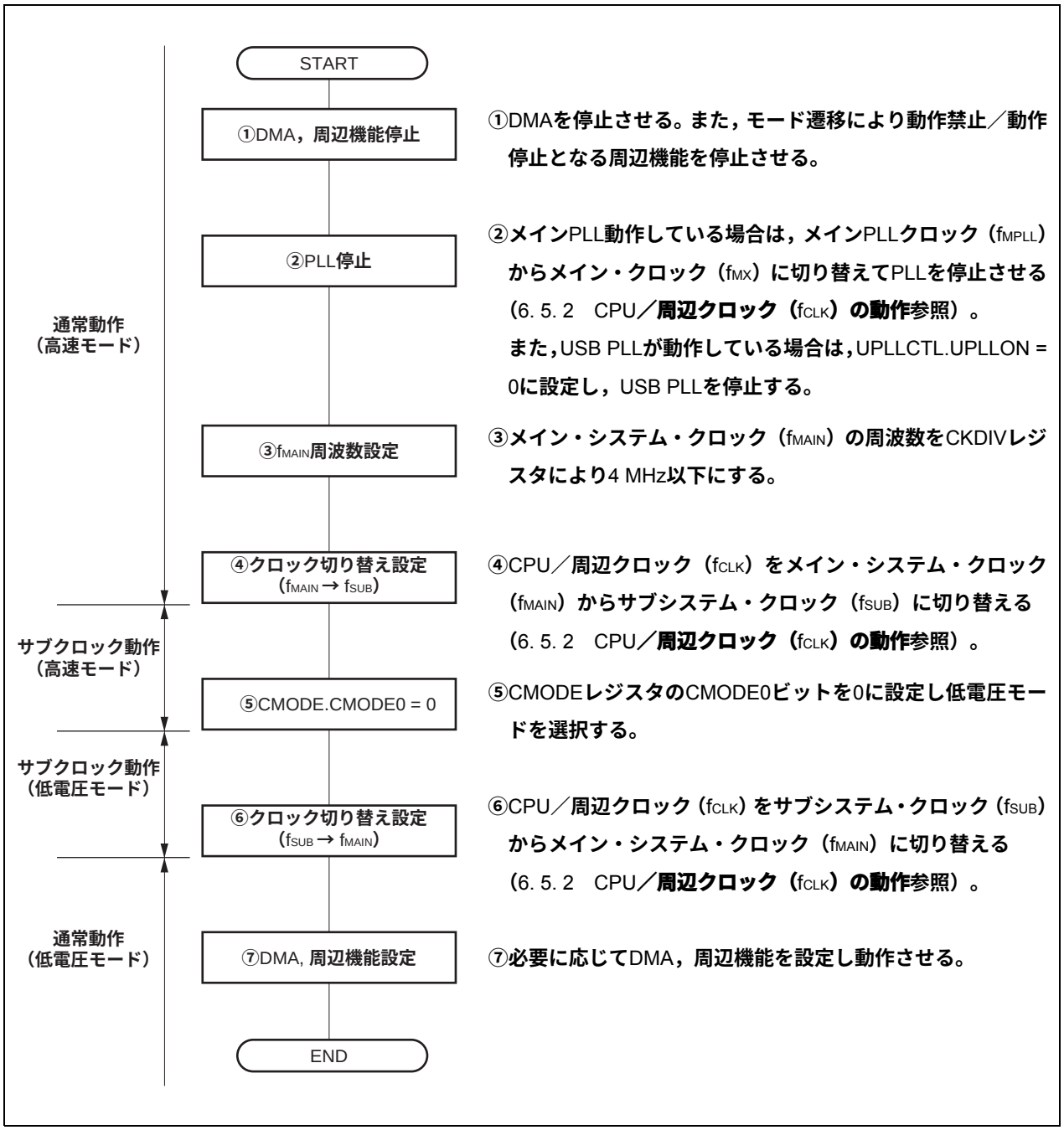
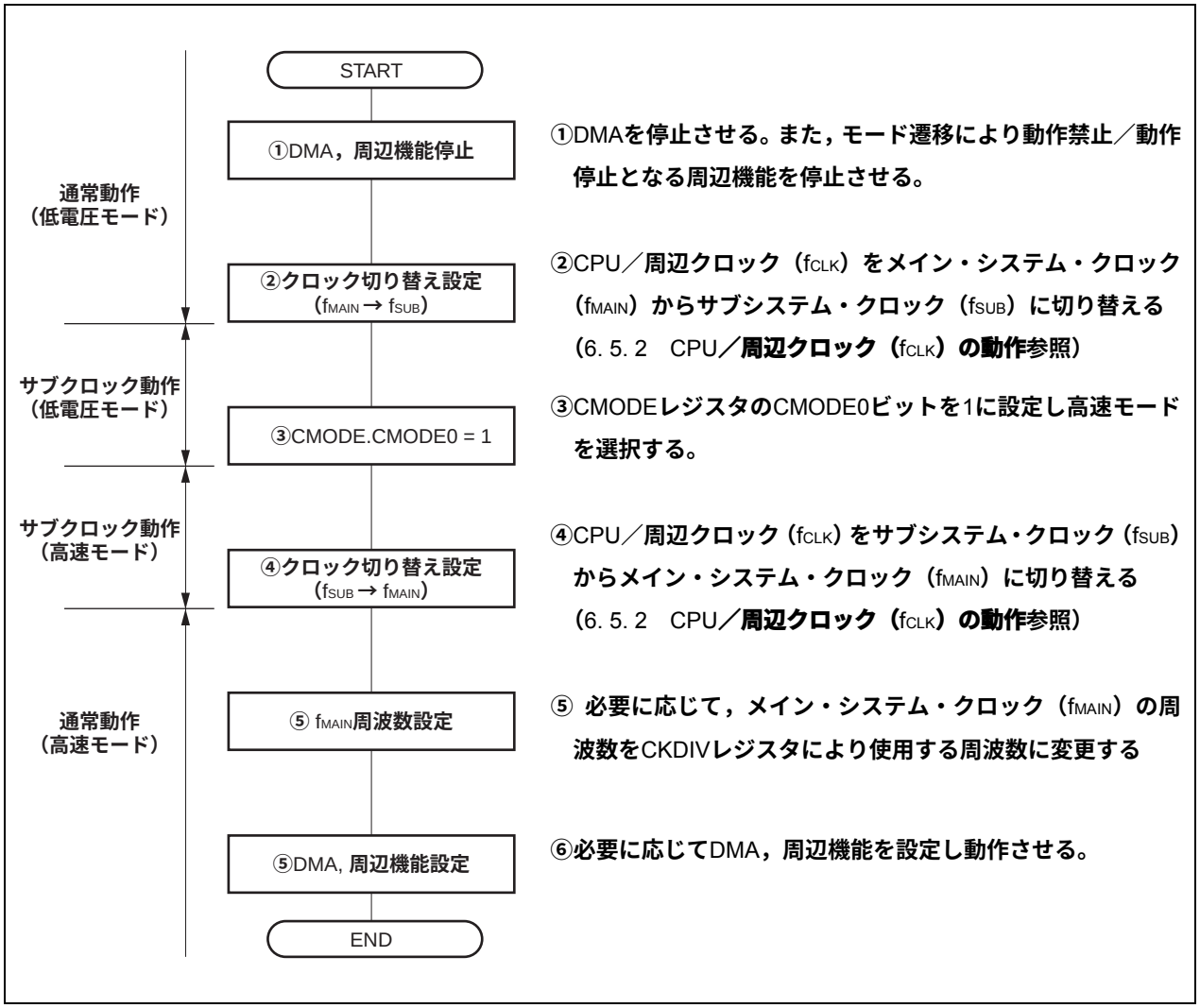


図23－5 通常動作（低電圧モード）から通常動作（高速モード）への移行手順



23. 4 サブシステム・クロック動作モード

23. 4. 1 設定および動作状態

通常動作モード時，CCS.CCS0ビットを“1”に設定することにより，サブシステム・クロック動作モードに設定されます。サブシステム・クロック動作モードに設定すると，CPU／周辺クロック（f_{CLK}）がメイン・システム・クロック（f_{MAIN}）→サブシステム・クロック（f_{SUB}）に切り替わります。切り替わりは，CKS.CLSビットで確認してください。

さらに，CSC.MSTOPビットを“1”に，CSC.HIOSTOPビットを“1”に設定することにより，メイン・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}）の動作を停止します。これにより，システム全体がサブシステム・クロックでのみ動作します。

（サブシステム・クロック（f_{SUB}）にf_{IH}/1024を選択しているときは，f_{IH}は停止できません）

サブシステム・クロック動作モードは，CPU／周辺クロック（f_{CLK}）がサブシステム・クロック（f_{SUB}）となるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}）の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

サブシステム・クロック動作モードはCMODE.CMODE0ビットまたは，オプション・バイトCMODE0の設定によって高速モード，低電圧モードの選択ができます。

サブシステム・クロック動作（低電圧モード）はサブシステム・クロック動作（高速モード）よりレギュレータの消費電力が少なくなります。また通常モードと異なり，サブシステム・クロック動作（高速モード）⇔サブシステム・クロック動作（低電圧モード）間の直接遷移が可能です。

サブシステム・クロック動作モード時の動作状態を表23－5に示します。

表23－5 サブシステム・クロック動作時の動作状態

項目 ＼ サブシステム・クロック動作時の設定		サブシステム・クロック動作			
		高速モード		低電圧モード	
		f_{IH}／1024選択時	f_{SX}選択時	f_{IH}／1024選択時	f_{SX}選択時
メイン・クロック（f_{MX}）		動作可能		動作可能	
サブクロック（f_{SX}）		動作可能	動作可能（停止不可）	動作可能	動作可能（停止不可）
高速オンチップ・オシレータ（f_{IH}）		動作可能（停止不可）	動作可能	動作可能（停止不可）	動作可能
低速オンチップ・オシレータ（f_{IL}）		動作可能		動作可能	
メインPLL		動作禁止		動作禁止	
USB PLL					
CPU		動作可能		動作可能	
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート機能					
タイマ	TAU				
	TMM				
	ENCA				
	WDT				
	RTC				
	BUZZ				
A/Dコンバータ		動作禁止		動作禁止	
D/Aコンバータ		動作可能		動作可能	
シリアル・インタフェース	SAU, SAUS				
	IICA	動作禁止		動作禁止	
	USBF				
RAMパリティ・チェック機能		動作可能		動作可能	
CRC	Flash CRC	動作停止		動作停止	
	汎用CRC	動作可能		動作可能	
DMA					
割り込み	内部割り込み				
	外部割り込み				
パワーオン・リセット（POR）					
電圧検出回路（LVD）					
RTO					
CLM					

23. 7. 2 サブシステム・クロック動作モードの解除

サブシステム・クロック動作モードは，CCS.CCS0ビットを“0”に設定するか，リセット信号（$\overline{\text{RESET}}$端子入力，ソフトウエア・リセット，WDT信号，電圧検出回路（LVD），クロック・モニタ（CLM），パワーオン・リセット（POR）によるリセット）により解除します。

なお，メイン・クロック（f_{MX}）を停止（CSC.MSTOPビット = 1）していた場合は，CSC.MSTOPビットを“0”に設定し，メイン・クロックの発振安定時間を待ってから，CCS.CCS0ビットを“0”に設定します。

また，高速オンチップ・オシレータ・クロック（f_{IH}）を停止（CSC.HIOSTOPビット = 1）していた場合は，CSC.HIOSTOPビットを“0”に設定し，高速オンチップ・オシレータ・クロック（f_{IH}）の発振安定時間をソフトウエアにより確保してから，CCS.CCS0ビットを“0”に設定します。

サブシステム・クロック動作モードの解除により，通常動作モードに移行します。

23. 5 HALTモード

23. 5. 1 設定および動作状態

通常動作モード時，専用命令（HALT命令）を実行することにより，HALTモードに設定されます。

HALTモードに設定すると，クロック発振回路は動作を継続しますが，CPUへのクロック供給のみが停止し，そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより，プログラムの実行が停止し，内蔵RAMの内容は，HALTモード設定前の状態を保持します。また，CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

HALTモードに遷移する前の通常動作モード時の高速モード，低電圧モードはHALTモード時も引き継がれます。

表23－7にHALTモード時の動作状態を示します。

HALTモードは，通常動作モードと組み合わせて使用することで，システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には，NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合，HALTモードに移行するが，保留されている割り込み要求によりHALTモードはすぐに解除されます。

23. 5. 2 HALTモードの解除

HALTモードは，FEレベル・マスカブル割り込み要求信号（NMI端子入力），マスクされていない外部割り込み要求信号（INTP00-INTP20端子入力），HALTモード中に動作可能な周辺機能のマスクさていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT信号，電圧検出回路（LVD），クロック・モニタ（CLM）パワーオン・リセット（POR）によるリセット）により解除されます。

HALTモードの解除により，通常動作モードに移行します。

(1) FEレベル・マスカブル割り込み要求信号，マスクされていないEIレベル・マスカブル割り込み要求信号による解除

FEレベル・マスカブル割り込み要求信号，マスクされていないEIレベル・マスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

表23－6 HALTモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止（DI）状態	－	通常のリセット動作
	許可（EI）状態		
FEレベル・マスカブル割り込み要求信号（多重割り込み除く）	禁止（DI）状態	－	HALTモードの解除とともに，割り込み要求受け付け
	許可（EI）状態		
EIレベル・マスカブル割り込み要求信号	禁止（DI）状態	－	HALTモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。HALTモード前に処理中だった処理を実行
	許可（EI）状態	・解除ソースより優先順位の高い割り込み要求実行中	HALTモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。HALTモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	HALTモードの解除とともに，割り込み要求受け付け

表23ー7 HALTモード時の動作状態

項目 ＼ HALTモード時の設定		HALTモード			
		高速モード		低電圧モード	
		f_{IH}選択時	f_{MX}選択時	f_{IH}選択時	f_{MX}選択時
メイン・クロック（f_{MX}）		動作可能	動作可能（停止不可）	動作可能	動作可能（停止不可）
サブクロック（f_{SX}）		動作可能		動作可能	
高速オンチップ・オシレータ（f_{IH}）		動作可能（停止不可）	動作可能	動作可能（停止不可）	動作可能
低速オンチップ・オシレータ（f_{IL}）		動作可能		動作可能	
メインPLL		動作可能（V_{DD} = 2.4 V以上，f_{MX}動作時）	動作可能（V_{DD} = 2.4 V以上）	動作禁止	
USB PLL					
CPU		動作停止		動作停止	
コード・フラッシュ・メモリ		動作可能		動作可能	
データ・フラッシュ・メモリ					
RAM					
ポート機能		HALTモード設定前の状態を保持		HALTモード設定前の状態を保持	
タイマ	TAU	動作可能		動作可能	
	TMM				
	ENCA				
	WDT				
	RTC				
	BUZZ				
A/Dコンバータ					
D/Aコンバータ					
シリアル・インタフェース	SAU, SAUS				
	IICA				
	USBF	動作可能（V_{DD} = 3.0 V以上）		動作禁止	
RAMパリティ・チェック機能		動作可能（DMA実行時）		動作可能（DMA実行時）	
CRC	Flash CRC	動作可能		動作可能	
	汎用CRC				
DMA					
割り込み	内部割り込み				
	外部割り込み				
パワーオン・リセット（POR）					
電圧検出回路（LVD）					
RTO					
CLM					

23. 6 サブHALTモード

23. 6. 1 設定および動作状態

サブシステム・クロック動作モード時，専用命令（HALT命令）を実行することにより，サブHALTモードに設定されます。

サブHALTモードに設定すると，クロック発振回路は動作を継続しますが，CPUへのクロック供給のみが停止し，そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより，プログラムの実行が停止し，内蔵RAMの内容は，サブHALTモード設定前の状態を保持します。また，CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

HALTモードに遷移する前のサブシステム・クロック動作モード時の高速モード，低電圧モードはサブHALTモード時も引き継がれます。

表23－8にサブHALTモード時の動作状態を示します。

サブHALTモードは，サブシステム・クロック動作モードと組み合わせて使用することで，システム全体の平均消費電力を低減することができます。

注意1. サブHALT命令の後には，NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でサブHALT命令を実行した場合，サブHALTモードに移行するが，保留されている割り込み要求によりサブHALTモードはすぐに解除されます。

23. 6. 2 サブHALTモードの解除

サブHALTモードは，FEレベル・マスカブル割り込み要求信号（NMI端子入力），マスクされていない外部割り込み要求信号（INTP00-INTP20端子入力），サブHALTモード中に動作可能な周辺機能のマスクさていない内部割り込み要求信号により解除され，サブシステム・クロック動作モードに移行します。

また，リセット信号（$\overline{\text{RESET}}$端子入力，WDT信号，電圧検出回路（LVD），クロック・モニタ（CLM）パワーオン・リセット（POR）によるリセット）により解除され，通常動作モードに移行します。

(1) FEレベル・マスカブル割り込み要求信号，マスクされていないEIレベル・マスカブル割り込み要求信号による解除

FEレベル・マスカブル割り込み要求信号，マスクされていないEIレベル・マスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でサブHALTモードに設定した場合は次のようになります。

表23－8 サブHALTモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止（DI）状態	－	通常のリセット動作
	許可（EI）状態		
FEレベル・マスカブル割り込み要求信号（多重割り込み除く）	禁止（DI）状態	－	サブHALTモードの解除とともに，割り込み要求受け付け
	許可（EI）状態		
EIレベル・マスカブル割り込み要求信号	禁止（DI）状態	－	サブHALTモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。サブHALTモード前に処理中だった処理を実行
	許可（EI）状態	・解除ソースより優先順位の高い割り込み要求実行中	サブHALTモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。サブHALTモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	サブHALTモードの解除とともに，割り込み要求受け付け

表23－9 サブHALTモード時の動作状態

項目 ＼ サブHALTモード時の設定		サブHALTモード			
		高速モード		低電圧モード	
		f_{IH}／1024選択時	f_{SX}選択時	f_{IH}／1024選択時	f_{SX}選択時
メイン・クロック（f_{MX}）		動作可能		動作可能	
サブクロック（f_{SX}）		動作可能	動作可能（停止不可）	動作可能	動作可能（停止不可）
高速オンチップ・オシレータ（f_{IH}）		動作可能（停止不可）	動作可能	動作可能（停止不可）	動作可能
低速オンチップ・オシレータ（f_{IL}）		動作可能		動作可能	
メインPLL		動作禁止		動作禁止	
USB PLL					
CPU		動作停止		動作停止	
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート機能		サブHALTモード設定前の状態を保持		サブHALTモード設定前の状態を保持	
タイマ	TAU	動作可能		動作可能	
	TMM				
	ENCA				
	WDT				
	RTC				
	BUZZ				
A/Dコンバータ		動作禁止		動作禁止	
D/Aコンバータ					
シリアル・インタフェース	SAU, SAUS	動作可能		動作可能	
	IICA	動作禁止		動作禁止	
	USBF				
RAMパリティ・チェック機能		動作停止（ただしDMA実行時のみ動作可能）		動作停止	
CRC	Flash CRC	動作禁止		動作禁止	
	汎用CRC	動作可能		動作可能	
DMA		動作禁止		動作禁止	
割り込み	内部割り込み	動作可能		動作可能	
	外部割り込み				
パワーオン・リセット（POR）					
電圧検出回路（LVD）					
RTO					
CLM					

23. 7 STOPモード

23. 7. 1 設定および動作状態

通常動作モード時，特定シーケンスでPSCレジスタを01Hに設定することによりSTOPモードに設定されます。

STOPモードに設定するとサブクロック（f_{SX}）は動作を継続しますが，メイン・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}）は動作を停止します。また，CPUやそのほかの内蔵周辺機能へのクロック供給が停止し，プログラムの実行が停止します。内蔵RAMの内容は，PSMCレジスタの設定値により，STOPモード時保持できる領域を，内蔵RAM領域の全域保持／16 Kバイト保持／保持しないのなかから選択できます。保持領域を少なくすることでSTOPモード時の消費電力を低減できます。

表23－10にSTOPモード時の動作状態を示します。

注意 STOPモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

表23－10 STOPモード時の動作状態

STOPモード時の設定 ＼ 項 目		STOPモード	
		f_{IH}選択時	f_{MX}選択時
メイン・クロック（f_{MX}）		動作停止	
サブクロック（f_{SX}）		動作可能	
高速オンチップ・オシレータ（f_{IH}）		動作停止	
低速オンチップ・オシレータ（f_{IL}）		動作可能	
メインPLL		動作停止	
USB PLL			
CPU			
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止（PSMCレジスタにてRAM保持サイズを選択可能）	
ポート機能		STOPモード設定前の状態を保持	
タイマ	TAU	動作禁止	
	TMM		
	ENCA		
	WDT	動作可能	
	RTC		
	BUZZ	カウント･クロックにサブクロック選択時のみ動作可能	
A/Dコンバータ		ウェイクアップ動作可能（SNOOZEモードに遷移）	
D/Aコンバータ		動作停止（出力保持）注	
シリアル・インタフェース	SAU, SAUS	ウェイクアップ動作可能（SNOOZEモードに遷移）	
	IICA	アドレス一致によるウェイクアップ動作可能	
	USBF	動作禁止	
RAMパリティ・チェック機能		動作停止	
CRC	Flash CRC		
	汎用CRC		
DMA		動作禁止	
割り込み	内部割り込み	動作可能	
	外部割り込み		
パワーオン・リセット（POR）			
電圧検出回路（LVD）			
RTO		動作停止（出力保持）	
CLM		動作停止	

注 低消費電力を実現するためには，STOPモードに遷移する前にD/Aコンバータを停止してください。

23. 7. 2 STOPモードの解除

STOPモードは，FEレベル・マスカブル割り込み要求信号（NMI端子入力），STBREMKnレジスタでマスクされていない外部割り込み要求信号（INTP00-INTP20端子入力），STOPモード中に動作可能な周辺機能のSTBREMKnレジスタでマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT信号，電圧検出回路（LVD），パワーオン・リセット（POR）によるリセット）により解除されます。

STOPモード解除により発振安定時間を確保したあと，通常動作モードに移行します。

(1) FEレベル・マスカブル割り込み要求信号，STBREMKnレジスタでマスクされていないEIレベル・マスカブル割り込み要求信号による解除

FEレベル・マスカブル割り込み要求信号，STBREMKnレジスタでマスクされていないEIレベル・マスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

表23－11 STOPモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止（DI）状態	－	通常のリセット動作
	許可（EI）状態		
FEレベル・マスカブル割り込み要求信号（多重割り込み除く）	禁止（DI）状態	－	STOPモードの解除をして，発振安定時間確保後，割り込み要求受け付け
	許可（EI）状態		
EIレベル・マスカブル割り込み要求信号	禁止（DI）状態	－	STOPモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。発振安定時間確保後STOPモード前に処理中だった処理を実行
	許可（EI）状態	・解除ソースより優先順位の高い割り込み要求実行中	STOPモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。発振安定時間確保後STOPモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	STOPモードの解除をして，発振安定時間確保後割り込み要求受け付け

注意 STBREMKnレジスタの該当ビットが1（STOPモード解除不可）になっている割り込み要求信号は無効となり，STOPモードは解除されません。

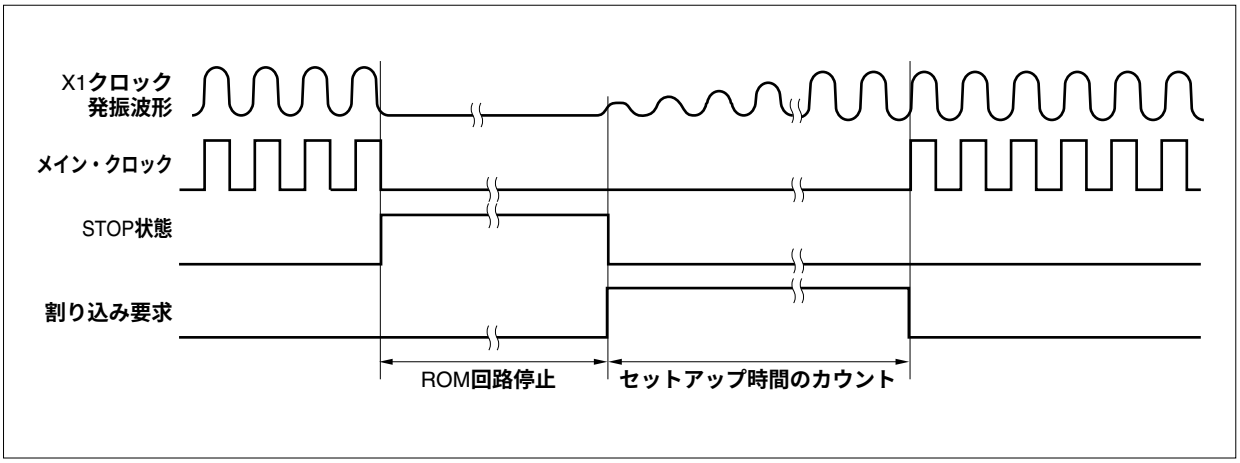
23. 7. 4 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより，メイン・クロック発振回路は動作を停止するので，STOPモード解除後，X1クロック（fx）の発振安定時間を確保してください。

(1) FEレベル・マスカブル割り込み要求信号，マスクされていないEIレベル・マスカブル割り込み要求信号による解除

X1クロック（fx）の発振安定時間は，OSTSレジスタの設定により確保します。高速オンチップ・オシレータ・クロック（f_{IH}）の発振安定時間は自動的に確保されます。

STOPモードの解除要因が発生すると，OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し，オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

23. 8 SNOOZEモード

23. 8. 1 SNOOZEモードの設定および動作状態

CSI00, UART00, UART10, UART20または，A/Dコンバータのみ設定可能です。また，STOPモード設定前のCPUクロックが，高速オンチップ・オシレータ・クロック（f_{IH}）の場合のみ設定可能です。

CSI00, UART00, UART10, UART20をSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm（SSCm）をSTOPモードに移行前に設定してください。詳細は，16. 3 **シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。STOPモードで受信トリガ（CSI：$\overline{SCK}$入力，UART：RXD入力）を検出すると，高速オンチップ・オシレータ・クロック（f_{IH}）がSAUに供給されCPU動作を必要とせずにデータ受信を行い，受信完了割り込みにより通常動作モードに移行します。

A/DコンバータをSNOOZEモードで使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，14. 3 A/D**コンバータで使用するレジスタ**を参照してください。

STOPモードでADTRG端子からのハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロック（f_{IH}）がA/Dコンバータに供給され，CPU動作を必要とせずにA/D変換を開始します。A/D変換終了割り込みが発生すると，通常動作モードに移行します。また，A/D変換結果の値がA/D変換結果比較機能で設定した値の範囲外の場合，A/D変換終了割り込みは発生せず，STOPモードに移行しADTRG端子からのハードウエア・トリガを待ちます。

表23－12 SNOOZEモード時の動作状態

項目 ＼ SNOOZEモード時の設定		SNOOZEモード f_{IH}選択時
メイン・クロック（f_{MX}）		動作停止
サブクロック（f_{SX}）		動作可能
高速オンチップ・オシレータ（f_{IH}）		
低速オンチップ・オシレータ（f_{IL}）		
メインPLL		動作停止
USB PLL		
CPU		
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート機能		STOPモード設定前の状態を保持
タイマ	TAU	動作禁止
	TMM	
	ENCA	
	WDT	動作可能
	RTC	
	BUZZ	カウント･クロックにサブクロック選択時のみ動作可能
A/Dコンバータ		動作可能
D/Aコンバータ		動作停止（出力保持）注
シリアル・インタフェース	SAU, SAUS	動作可能（CSI00, UART00, UART10, UART20のみ対応）
	IICA	動作禁止
	USBF	動作停止
RAMパリティ・チェック機能		
CRC	Flash CRC	
	汎用CRC	
DMA		動作禁止
割り込み	内部割り込み	動作可能
	外部割り込み	
パワーオン・リセット（POR）		
電圧検出回路（LVD）		
RTO		動作停止（出力保持）
CLM		動作停止

注 低消費電力を実現するためには，STOPモードに遷移する前にD/Aコンバータを停止してください。

23. 8. 2 SNOOZEモードの解除

SNOOZEモードは，CSI00, UART00, UART10, UART20のデータ受信後の受信完了割り込み，A/DコンバータのA/D変換後のA/D変換終了割り込み，FEレベル・マスカブル割り込み要求信号（NMI端子入力），STBREMKnレジスタでマスクされていない外部割り込み要求信号（INTP00-INTP20端子入力），SNOOZEモード中に動作可能な周辺機能のSTBREMKnレジスタでマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT信号，電圧検出回路（LVD），パワーオン・リセット（POR）によるリセット）により解除されます。

(1) FEレベル・マスカブル割り込み要求信号，STBREMKレジスタでマスクされていないEIレベル・マスカブル割り込み要求信号による解除

FEレベル・マスカブル割り込み要求信号，STBREMKレジスタでマスクされていないEIレベル・マスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

表23－13 SNOOZEモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止（DI）状態	－	通常のリセット動作
	許可（EI）状態		
FEレベル・マスカブル割り込み要求信号（多重割り込み除く）	禁止（DI）状態	－	SNOOZEモードの解除をして，発振安定時間確保後，割り込み要求受け付け
	許可（EI）状態		
EIレベル・マスカブル割り込み要求信号	禁止（DI）状態	－	SNOOZEモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。STOPモード前に処理中だった処理を実行
	許可（EI）状態	・解除ソースより優先順位の高い割り込み要求実行中	SNOOZEモードの解除のみ行い，解除ソースの割り込み要求そのものは保持。STOPモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	SNOOZEモードの解除をして，発振安定時間確保後割り込み要求受け付け

注意 STBREMKnレジスタの該当ビットが1（SNOOZEモード解除不可）になっている割り込み要求信号は無効となり，SNOOZEモードは解除されません。

第24章 リセット機能

24.1 機 能

リセット信号を発生させる方法には，次の6種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
(4) 電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
(5) クロック・モニタ（CLM）によるメイン・クロック（f_{MX}）の異常検出による内部リセット
(6) ソフトウエアによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，00000000H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，クロック・モニタによる異常検出，ソフトウエア・リセットにより，リセットがかかり，各ハードウエアは表24－1に示すような状態になります。

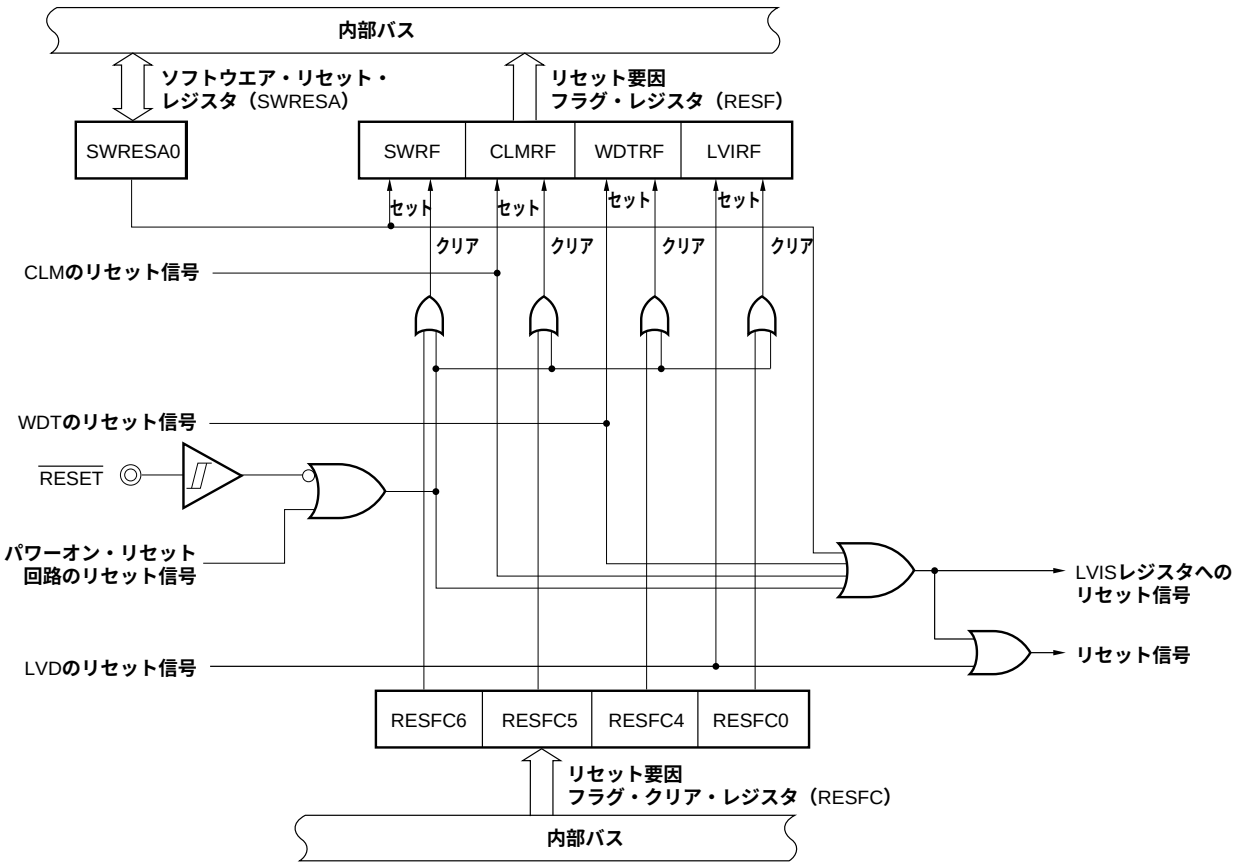
$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。ウォッチドック・タイマ，クロック・モニタ，ソフトウエア・リセットによるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します（図24－2から図24－5参照）。POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVI}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します（第26章 パワーオン・リセット回路と第27章 電圧検出回路参照）。

注意1．外部リセットを行う場合，$\overline{\text{RESET}}$端子に2 μs以上のロウ・レベルを入力してください。
（電源立ち上げ時に外部リセットを行う場合は，動作電圧範囲内（$V_{DD} \geqq 1.6$V）の期間に2 μs以上ロウ・レベルを継続する必要があります。）
2．リセット信号発生中では，X1クロック，XT1クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部入力メイン・クロック，外部入力サブクロックの入力は無効となります。

備考 V_{POR} ：POR電源立ち上がり検出電圧

24. 2 構　　成

図24ー1 リセット機能のブロック図



注意 LVD**回路の内部リセットの場合，**LVD**回路はリセットされません。**

備考1. LVIM：電圧検出レジスタ
2. LVIS：電圧検出レベル・レジスタ

図24－2 $\overline{\text{RESET}}$入力によるリセット・タイミング

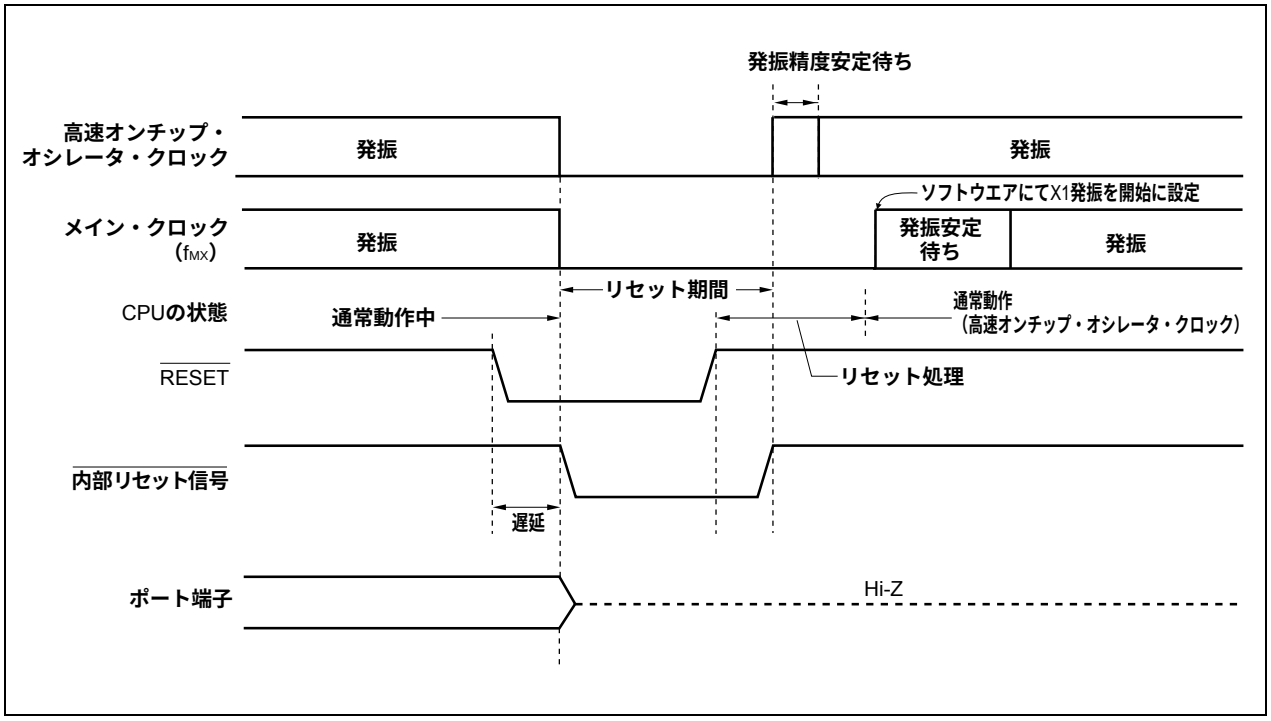
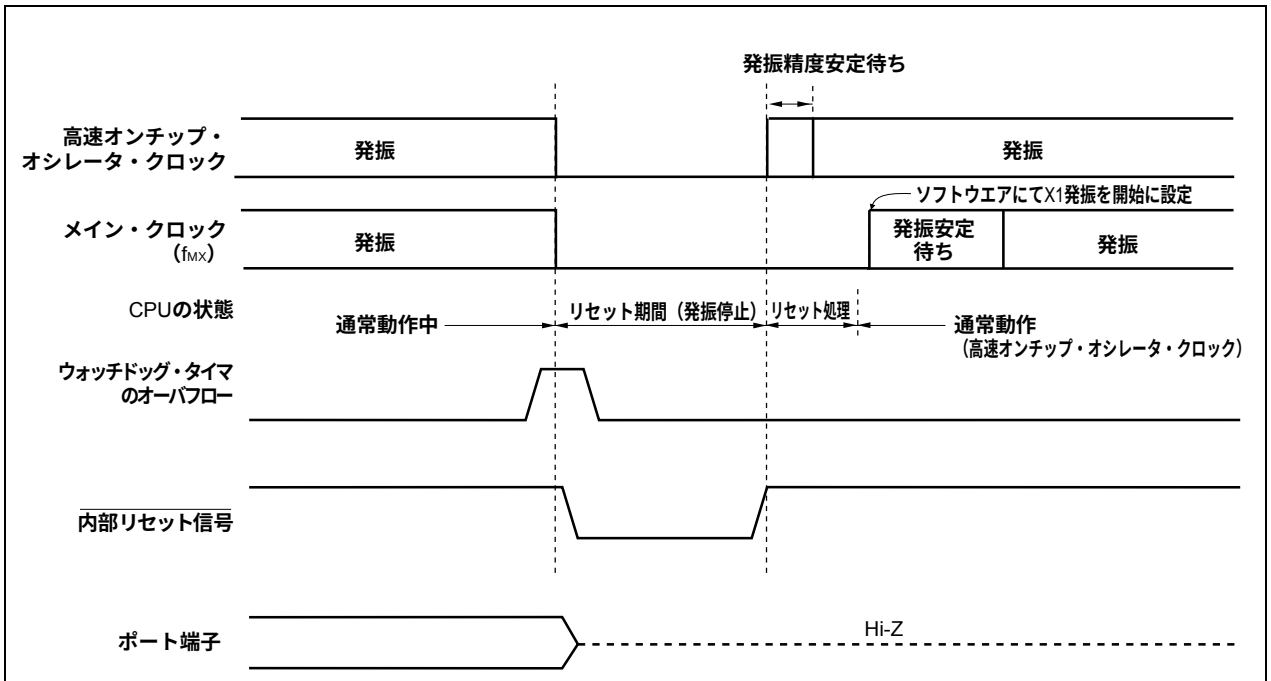


図24－3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合，ウォッチドッグ・タイマもリセットされます。

図24－4 クロック・モニタによるメイン・クロックの異常検出によるリセット・タイミング

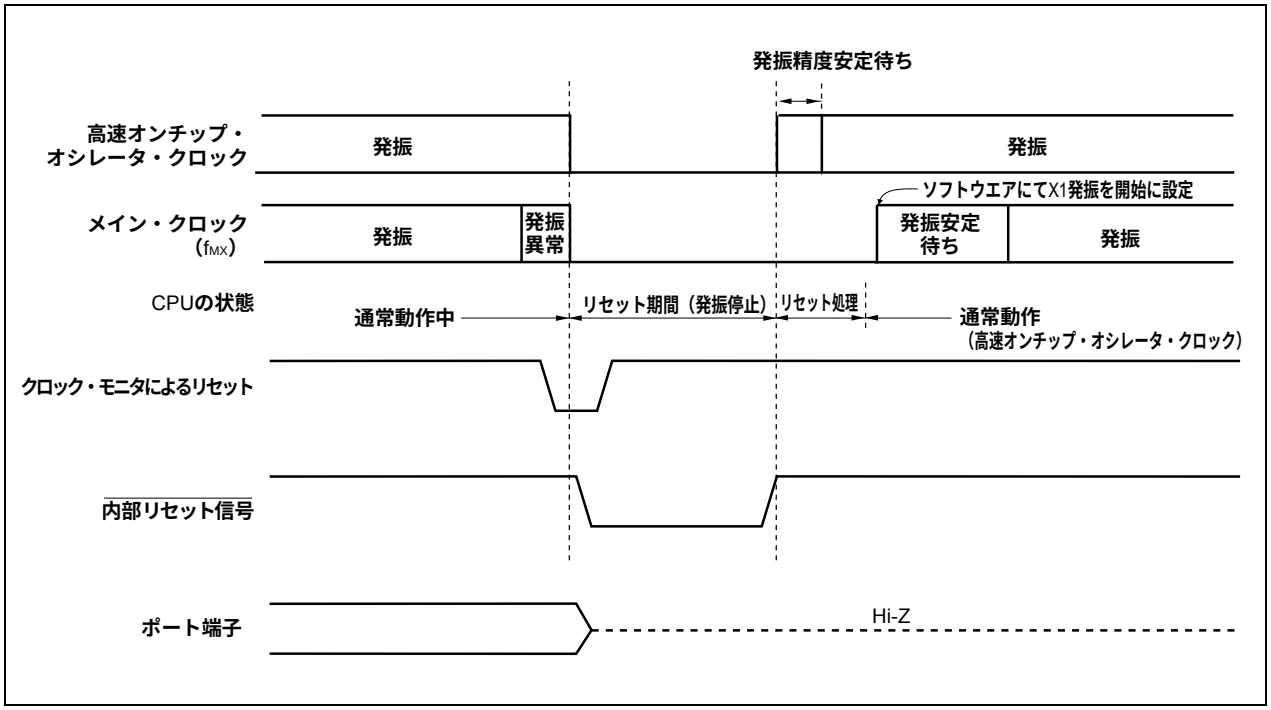
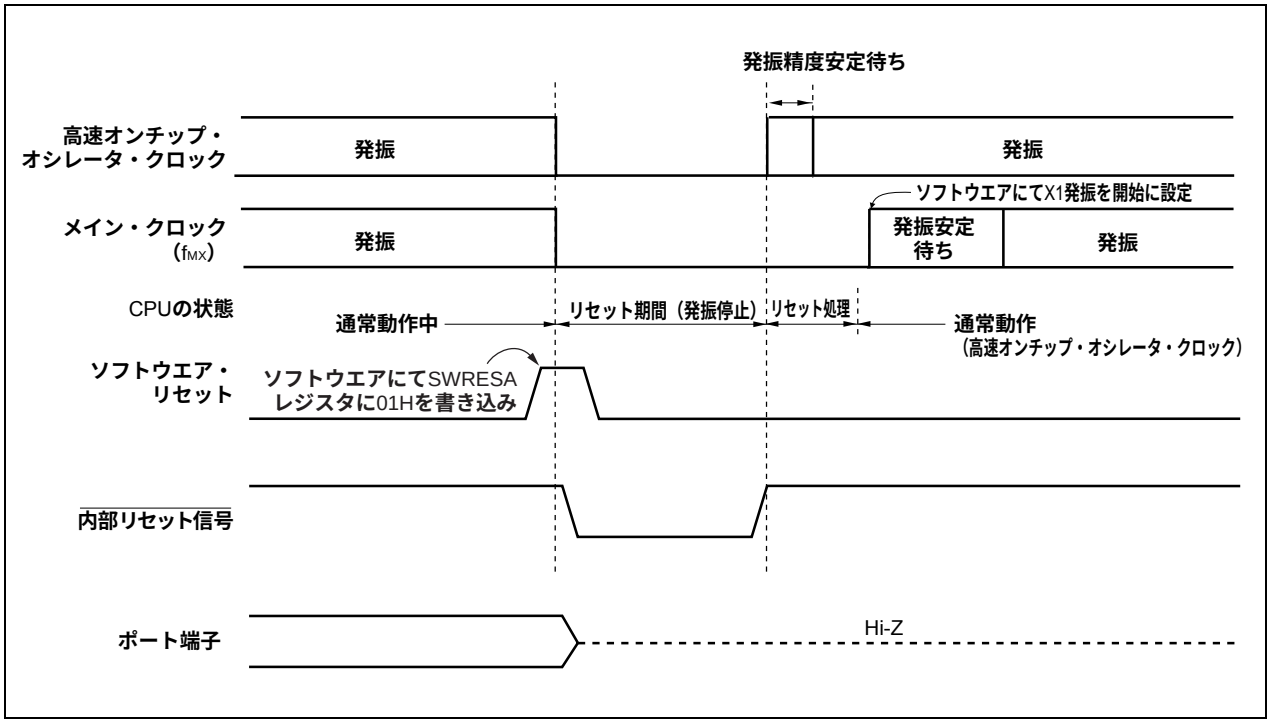


図24－5 ソフトウエア・リセットによるリセット・タイミング



備考 パワーオン・リセット回路と電圧検出回路のリセット・タイミングは，第20章 パワーオン・リセット回路と第21章 電圧検出回路を参照してください。

表24－1 リセット期間中の動作状態

項目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{XT}	動作停止（XT1, XT2端子は入力ポート・モード）
		f_{EXS}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
CPU			
コード・フラッシュ・メモリ			動作停止（値を保持）
データ・フラッシュ・メモリ			動作停止（値を保持）
RAM			動作停止（条件により値を保持[注]）
ポート			入力ポート・モード
タイマ・アレイ・ユニット（TAU）			動作停止
エンコーダ・タイマ（ENCA）			
リアルタイム・クロック（RTC）			
インターバル・タイマ（TMM）			
ウォッチドッグ・タイマ（WDT）			
リアルタイム出力機能（RTO）			
クロック出力／ブザー出力（BUZZ）			
A/Dコンバータ			
D/Aコンバータ			
シリアル・アレイ・ユニット（SAU） シリアル･アレイ･ユニットS（SAUS）			
シリアル・インタフェース（IICA）			
USBファンクション・コントローラ（USBF）			
DMAコントローラ			
パワーオン・リセット機能			検出動作可能
電圧検出機能			動作停止
外部割り込み			動作停止
キー割り込み機能			
CRC演算機能	高速CRC		
	汎用CRC		
RAMパリティ・エラー検出機能			

注 リセット発生の直前のモードが，STOPモード，サブHALTモードの場合は，値を保持，それ以外の場合は不定

備考 f_{IH} ：高速オンチップ・オシレータ・クロック

f_X ：X1発振クロック

f_{EX} ：外部入力メイン・クロック

f_{XT} ：XT1発振クロック

f_{EXS} ：外部入力サブクロック

f_{IL} ：低速オンチップ・オシレータ・クロック

24. 3 レジスタ

(1) リセット要因フラグ・レジスタ（RESF）

V850E2/Jx4-Lは内部リセット発生要因が多数存在します。リセット要因フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット単位でリードのみ可能です。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFCレジスタのリセット要因となった該当ビットへのセット（1）により，SWRF, CLMRF, WDTRF, LVIRFフラグはクリア（0）されます。

アドレス：FF4200B4H　リセット時：00[注] R

略号	7	6	5	4	3	2	1	0
RESF	0	SWRF	CLMRF	WDTRF	0	0	0	LVIRF

SWRF	ソフトウエアによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

CLMRF	クロック・モニタによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

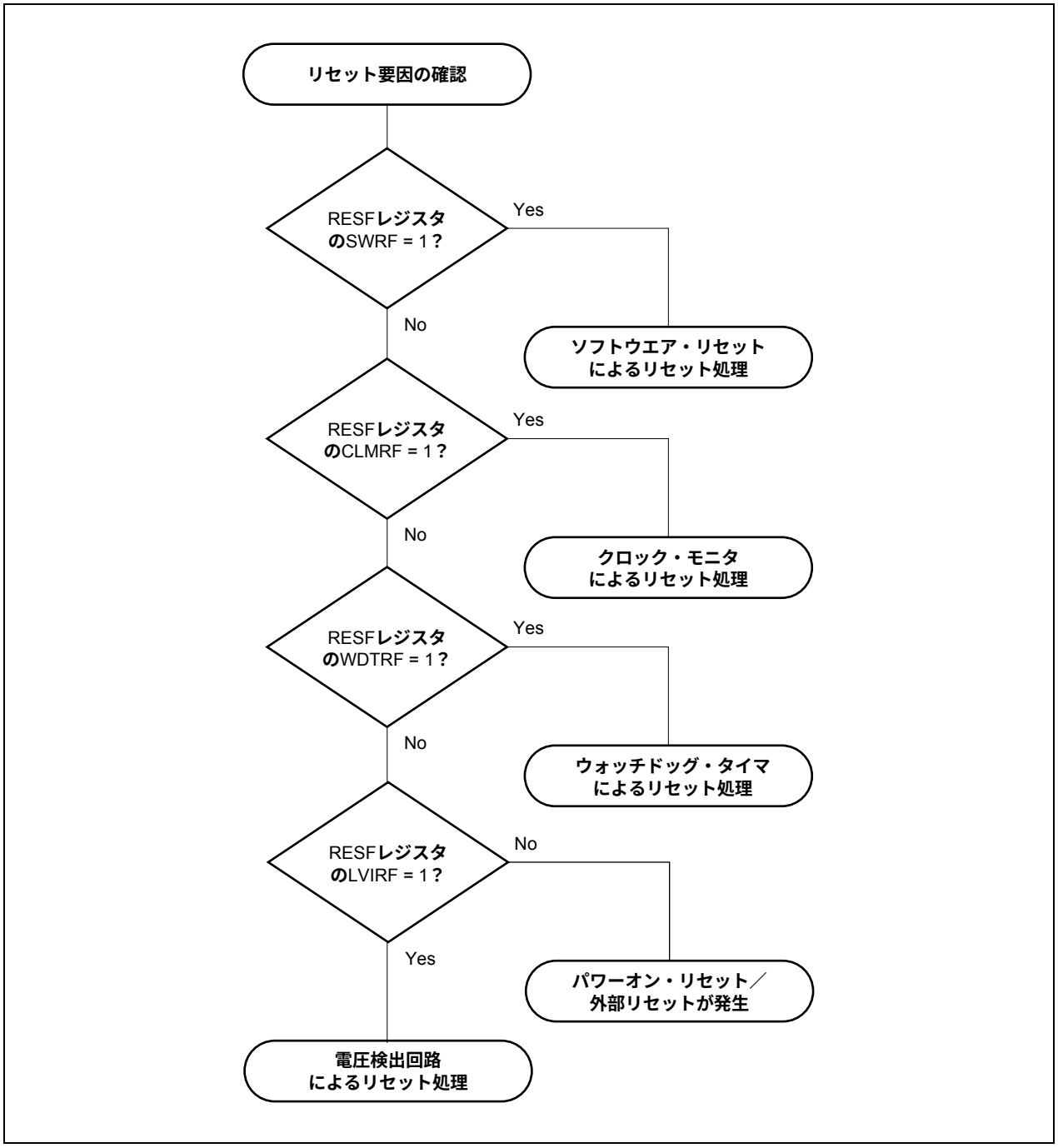
注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFレジスタの状態を表24－3に示します。

表24－3 リセット要求時のRESFレジスタの状態

リセット要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	ソフトウエアによるリセット	CLMによるリセット	WDTによるリセット	LVDによるリセット
SWRF	クリア（0）	クリア（0）	セット（1）	保持	保持	保持
CLMRF			保持	セット（1）	保持	
WDTRF			保持	保持	セット（1）	保持
LVIRF			保持	保持	保持	セット（1）

図24－5 リセット解除後のソフトウエア処理例



(2) リセット要因フラグ・クリア・レジスタ（RESFC）

リセット要因フラグ・レジスタ（RESF）でセットされたフラグをクリアするレジスタです。

8/1ビット単位でライトのみ可能です。リードした場合の値は常に00Hです。

リセットにより00Hになります。

アドレス：FF4200B8H　リセット時：00H　W

略号	7	6	5	4	3	2	1	0
RESFC	0	RESFC6	RESFC5	RESFC4	0	0	0	RESFC0

RESFC6	RESF.SWRFフラグのクリア
0	－
1	クリアする

RESFC5	RESF.CLMRFフラグのクリア
0	－
1	クリアする

RESFC4	RESF.WDTRFフラグのクリア
0	－
1	クリアする

RESFC0	RESF.LVIRFフラグのクリア
0	－
1	クリアする

(3) ソフトウエア・リセット・レジスタ（SWRESA）

ソフトウエア・リセットを制御するレジスタです。

8ビット単位でリード／ライト可能です。

SWRESAレジスタは特定レジスタです。特性のシーケンスの組み合わせによってだけ書き込みができます。

リセットにより00Hになります。

アドレス：FF4200B0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SWRESA	0	0	0	0	0	0	0	SWRESA0

RESFC6	ソフトウエアによる内部リセット要求
0	ソフトウエアによる，リセット要求が発生していない、0書き込みは無効
1	ソフトウエア・リセットを発生させる

(4) CSCコマンド・レジスタ（CSCPCMD）

CSCPCMDレジスタは，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。定められたシーケンスによってだけ，SWRESAレジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

リセットにより不定になります。

アドレス：FF4200F8H　リセット時：不定　W

略号	7	6	5	4	3	2	1	0
CSCPCMD								

(5) CSCステータス・レジスタ（CSCPS）

プロテクション対象の特定レジスタ（SWRESA）に対して，コマンド・レジスタ（CSCPCMD）を含む正しいシーケンスで書き込み動作をしなかった場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，ステータス・フラグ（CSCPRERR）がセット（1）されます。

CSCPRERRフラグはリセットおよび，次の特定シーケンス開始時にクリア（0）されます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FF4200FCH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CSCPS	0	0	0	0	0	0	0	CSC PRERR

CSC PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない。
1	プロテクション・エラーが発生している。

24. 3. 1 特定レジスタについて

(1) 特定レジスタへの書き込み（特定シーケンス）

次に示す特定シーケンスでライト動作を行った場合のみ，ライト動作が有効となります。

ステップ1： CSCPCMDレジスタに特定の値（= A5H）をライト。

ステップ2： 対象とするSWRESAレジスタに，設定したい値をライト
（このステップでのライト動作は無効）。

ステップ3： 対象とするSWRESAレジスタに，設定したい値のビットごとの反転値をライト
（このステップでのライト動作は無効）。

ステップ4： 対象とする特定レジスタに，設定したい値をライト
（このステップでのライト動作が有効）。

ステップ5： CSCPSレジスタのエラー・モニタ・ビットが“0”であることを確認することによって，保護されたレジスタに所定の値がライトできたことが確認できます。確認結果が“1”の場合はステップ1から再開する必要があります。

注意　ステップ1の前に，DMAを停止，および割り込みを禁止してください。

(2) プロテクション・エラー

24. 3. 1 (1) 特定レジスタへの書き込み（特定シーケンス）のステップ1-4の間で他の書き込み動作を行った場合，SWRESAレジスタへの書き込みは行われず，プロテクション・エラーが発生し，CSCPSレジスタのステータス・フラグがセット（1）されます。

このステータス・フラグのセット／リセット条件を次に示します。

セット条件：

① 最近の周辺レジスタに対するストア命令動作が，CSCPCMDレジスタへの特定値（= A5H）の書き込み動作ではない状態で，定められたSWRESAレジスタへの書き込みを行ったとき。

② ステップ1 後の最初のストア命令動作が，定められたSWRESAレジスタ以外の周辺レジスタに対するとき。

③ ステップ2 後の最初のストア命令動作が，対象とするSWRESAレジスタ以外の周辺レジスタに対するとき。

④ ステップ2 後の最初のストア命令動作で，対象とするSWRESAレジスタに，設定したい値の反転値以外の値を書き込んだとき。

⑤ ステップ3 後の最初のストア命令動作が，対象とするSWRESAレジスタ以外の周辺レジスタに対するとき。

⑥ ステップ3 後の最初のストア命令動作で，対象とするSWRESAレジスタに，設定したい値（ステップ2 の書き込み値）以外の値を書き込んだとき。

リセット条件：

① システム・リセットを行ったとき。

② 次の特定シーケンス開始時（ステップ1後）

第25章 クロック・モニタ（CLM）

25. 1 機 能

クロック・モニタは，低速オンチップ・オシレータ・クロック（f_{IL}）の16周期の間，メイン・クロックを8分周したクロックの立ち上がりエッジをカウントし，そのカウント値をコンペア・レジスタと比較します。メイン・クロックがコンペア・レジスタで設定された期待値から外れた場合，異常を検出し，リセット要求信号または，割り込み要求信号（INTCLMATI）を発生します。

動作許可フラグにより一度動作許可にすると，リセット以外ではクリア（0）できません。

クロック・モニタによるリセットが発生した場合，RESF.CLMRFビットがセットされます。RESFレジスタの詳細については，24. 3（1）リセット要因フラグ・レジスタ（RESF）を参照してください。

次の条件のとき，クロック・モニタは自動的に停止します。

- STOPモード～発振安定時間カウント時
- サンプリング・クロック（低速オンチップ・オシレータ・クロック（f_{IL}））停止時
- CPUが高速オンチップ・オシレータ・クロック（f_{IH}）で動作し，かつメイン・クロック（f_{MX}）停止時
- CPUがサブシステム・クロック（f_{SUB}）で動作し，かつメイン・クロック（f_{MX}）停止時

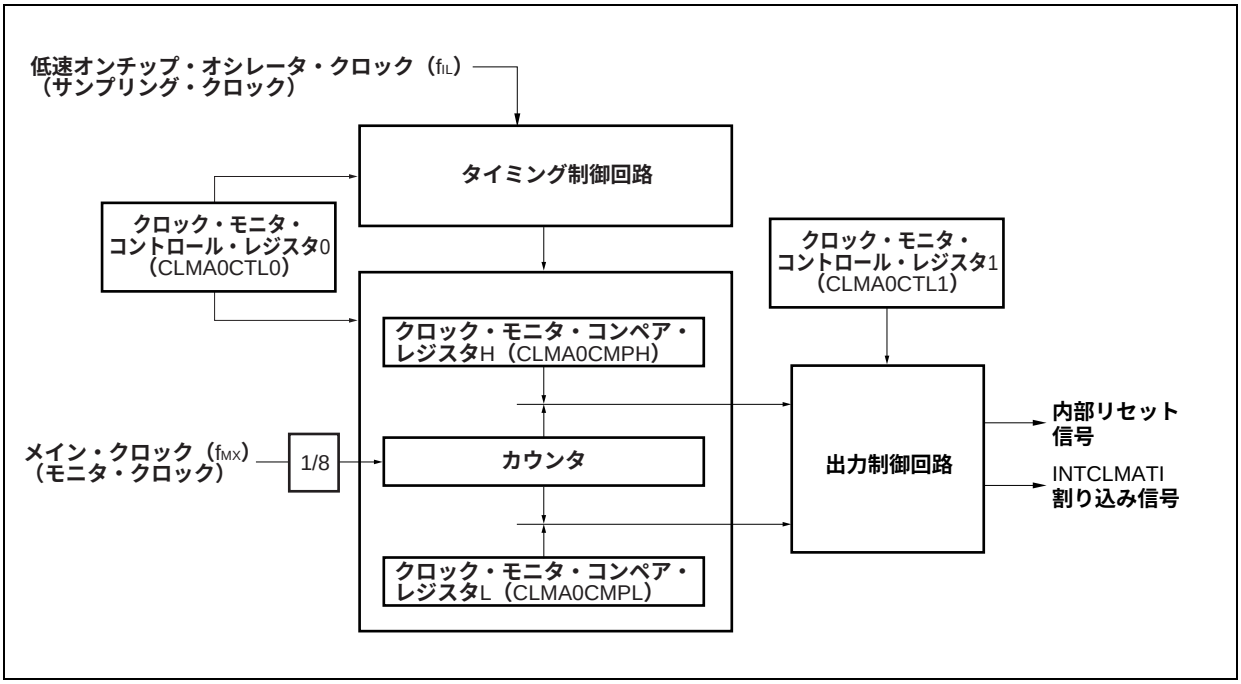
25. 2 構　　成

クロック・モニタは，次のハードウエアで構成しています。

表25－1 クロック・モニタの構成

項　　目	構　　成
制御レジスタ	クロック・モニタ・コントロール・レジスタ0（CLMA0CTL0） クロック・モニタ・コントロール・レジスタ1（CLMA0CTL1） クロック・モニタ・コンペア・レジスタL（CLMA0CMPL） クロック・モニタ・コンペア・レジスタH（CLMA0CMPH）

図25－1 クロック・モニタのブロック図



25. 3 レジスタ

（1）クロック・モニタ・コントロール・レジスタ0（CLMA0CTL0）

CLMA0CTL0レジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（25. 3. 1 特定レジスタについて参照）。

クロック・モニタの動作モードの設定を行うレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： FF802000H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CLMA0CTL0	0	0	0	0	0	0	0	CLMA0CLME

CLMA0CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意1. 一度CLMA0CLMEビット = 1に設定した場合，リセット以外ではクリア（0）できません。

2. クロック・モニタによるリセットが発生した場合，CLMA0CLMEビットはクリア（0）され，RESF.CLMRFビットがセット（1）されます。

3. ビット7-1には必ず0を設定してください。

(2) クロック・モニタ・コントロール・レジスタ1（CLMA0CTL1）

CLMA0CTL1レジスタは割り込み／リセット信号の選択をします。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス： FF802004H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CLMA0CTL1	0	0	0	0	0	0	0	CLMA0 OSEL

CLMA0 OSEL	クロック・モニタの動作モードの制御
0	リセット・モード
1	割り込みモード（INTCLMATI信号を発生）

注意1. CLMA0CTL1レジスタは，CLMA0CLMEビット = 0のとき，書き込み可能です。
CLMA0CLMEビット = 1のときCLMA0CTL1レジスタへのライト動作は無効になります。。

2. ビット7-1には必ず0を設定してください。

(3) クロック・モニタ・コンペア・レジスタL（CLMA0CMPL）

CLMA0CMPLレジスタは周波数領域比較の下位側を設定するレジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0001Hになります。

アドレス： FF802008H　リセット時：0001H　R/W

略号	15	14	13	12	11	10	9	8
CLMA0CMPL	0	0	0	0				
	7	6	5	4	3	2	1	0

注意1. CLMA0CMPLレジスタは，CLMA0CLMEビット = 0のとき，書き込み可能です。
CLMA0CLMEビット = 1のときCLMA0CMPLレジスタへのライト動作は無効になります。

2. ビット15-12には必ず0を設定してください。

3. CLMA0CMPLレジスタの設定値は次の条件を満たすように設定してください。
- 1≦CLMA0CMPL
- CLMA0CMPL＋3≦CLMA0CMPH

(4) クロック・モニタ・コンペア・レジスタH（CLMA0CMPH）

CLMA0CMPH**レジスタは周波数領域比較の上位側を設定するレジスタです。**

16**ビット単位でリード／ライト可能です。**

リセットにより03FFH**になります。**

アドレス： FF80200CH **リセット時：**03FFH R/W

略号	15	14	13	12	11	10	9	8
CLMA0CMPH	0	0	0	0				
	7	6	5	4	3	2	1	0

注意1. CLMA0CMPH**レジスタは，**CLMA0CLME**ビット** = 0**のとき，書き込み可能です。**
CLMA0CLME**ビット** = 1**のとき**CLMA0CMPH**レジスタへのライト動作は無効になります。**

2. **ビット**15-12**には必ず**0**を設定してください。**

3. CLMA0CMPH**レジスタの設定値は次の条件を満たすように設定してください。**
- 1≦CLMA0CMPL
- CLMA0CMPL＋3≦CLMA0CMPH

25. 3. 1 特定レジスタについて

CLMA0CTL0レジスタは特定レジスタです。特定レジスタは，プログラムの暴走などにより不正なデータがライトされないよう保護されているレジスタです。

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，CLMA0PCMDレジスタがあり，特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作はCLMA0PSレジスタに報告されます。

(1) 特定レジスタへの書き込み（特定シーケンス）

次に示す特定シーケンスでライト動作を行った場合のみ，ライト動作が有効となります。

ステップ1： CLMA0PCMDレジスタに特定の値（= A5H）をライト。

ステップ2： 対象とする特定レジスタ（CLMA0CTL0レジスタ）に，設定したい値をライト（このステップでのライト動作は無効）。

ステップ3： 対象とする特定レジスタに，設定したい値のビットごとの反転値をライト（このステップでのライト動作は無効）。

ステップ4： 対象とする特定レジスタに，設定したい値をライト（このステップでのライト動作が有効）。

ステップ5： CLMA0PSレジスタのエラー・モニタ・ビットが“ 0 ”であることを確認することによって，保護されたレジスタに所定の値がライトできたことが確認できます。確認結果が“ 1 ”の場合はステップ1から再開する必要があります。

注意 ステップ1-4の間では，DMAを停止，および割り込みを禁止してください。

（2）プロテクション・エラー

25. 3. 1（1）特定レジスタへの書き込み（特定シーケンス）のステップ1-4の間で他の書き込み動作を行った場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，CLMA0PSレジスタのステータス・フラグがセット（1）されます。

このステータス・フラグのセット／リセット条件を次に示します。

セット条件：

① 最近の周辺レジスタに対するストア命令動作が，CLMA0PCMDレジスタへの特定値（= A5H）の書き込み動作ではない状態で，定められた特定レジスタへの書き込みを行ったとき。

② ステップ1 後の最初のストア命令動作が，定められた特定レジスタ以外の周辺レジスタに対するとき。

③ ステップ2 後の最初のストア命令動作が，対象とする特定レジスタ以外の周辺レジスタに対するとき。

④ ステップ2 後の最初のストア命令動作で，対象とする特定レジスタに，設定したい値の反転値以外の値を書き込んだとき。

⑤ ステップ3 後の最初のストア命令動作が，対象とする特定レジスタ以外の周辺レジスタに対するとき。

⑥ ステップ3 後の最初のストア命令動作で，対象とする特定レジスタに，設定したい値（ステップ2 の書き込み値）以外の値を書き込んだとき。

リセット条件：

① システム・リセットを行ったとき。

② 次の特定シーケンス開始時（ステップ1後）

（3）CLMA0コマンド・レジスタ（CLMA0PCMD）

CLMA0PCMDレジスタは，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。定められたシーケンスによってだけ，CLMA0CTL0レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

リセットにより不定になります。

アドレス：FF802010H　リセット時：不定　W

略号	7	6	5	4	3	2	1	0
CLMA0PCMD								

（4）CLMA0ステータス・レジスタ（CLMA0PS）

プロテクション対象の特定レジスタ（CLMA0CTL0レジスタ）に対して，コマンド・レジスタ（CLMA0PCMD）を含む正しいシーケンスで書き込み動作をしなかった場合，特定レジスタへの書き込みは行われず，プロテクション・エラーが発生し，ステータス・フラグ（CLMA0PRERR）がセット（1）されます。

CLMA0PRERRフラグはリセットおよび，次の特定シーケンス開始時にクリア（0）されます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

アドレス：FF802014H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CLMA0PS	0	0	0	0	0	0	0	CLMA0PRERR

CLMA0PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない。
1	プロテクション・エラーが発生している。

25. 4 動　　作

クロック・モニタの動作について説明します。モニタ開始条件，モニタ停止条件は次のようになります。

＜モニタ開始条件＞

CLMA0CTL0.CLMA0CLMEビットを動作許可（1）に設定

＜モニタ停止条件＞

- STOPモード～発振安定時間カウント時
- サンプリング・クロック（低速オンチップ・オシレータ・クロック（f_{IL}））停止時
- CPUが高速オンチップ・オシレータ・クロック（f_{IH}）で動作し，かつメイン・クロック（f_{MX}）停止時
- CPUがサブシステム・クロック（f_{SUB}）で動作し，かつメイン・クロック（f_{MX}）停止時

25. 4. 1 機能説明

クロック・モニタは，メイン・クロック（f_{MX}）の周波数が特定の範囲内にあることを保証するために使用します。

(1) 異常クロック周波数の検出

<1> クロック・モニタは，低速オンチップ・オシレータ・クロック（f_{IL}）（サンプリング・クロック）の16サイクル内でメイン・クロック（f_{MX}）の8分周（モニタ・クロック）の立ち上がりエッジをカウントし，このカウント値と設定したしきい値とを比較します。

・CLMA0CMPLは下のしきい値を指定します。

・CLMA0CMPHは上のしきい値を指定します。

<2> メイン・クロック（f_{MX}）が停止した場合，または期待する周波数よりも低い場合は，カウント値はCLMA0CMPLの設定値を下回ります。

<3> メイン・クロック（f_{MX}）が期待する周波数よりも高い場合は，カウント値がCLMA0CMPHの設定値を上回ります。

備考 サンプリング・インターバル内でメイン・クロック（f_{MX}）の周波数が変化し結果的に，有効なカウント値に収まる可能性があります。メイン・クロック（f_{MX}）の異常は，1サンプリング・インターバル後に検出されます。

図25－2 メイン・クロック（f_{MX}）が遅くなった場合の例

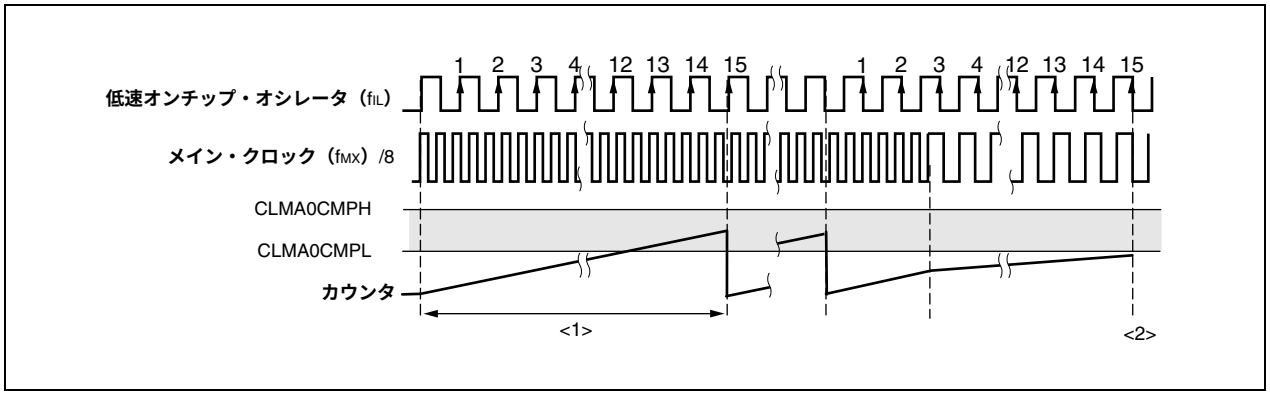
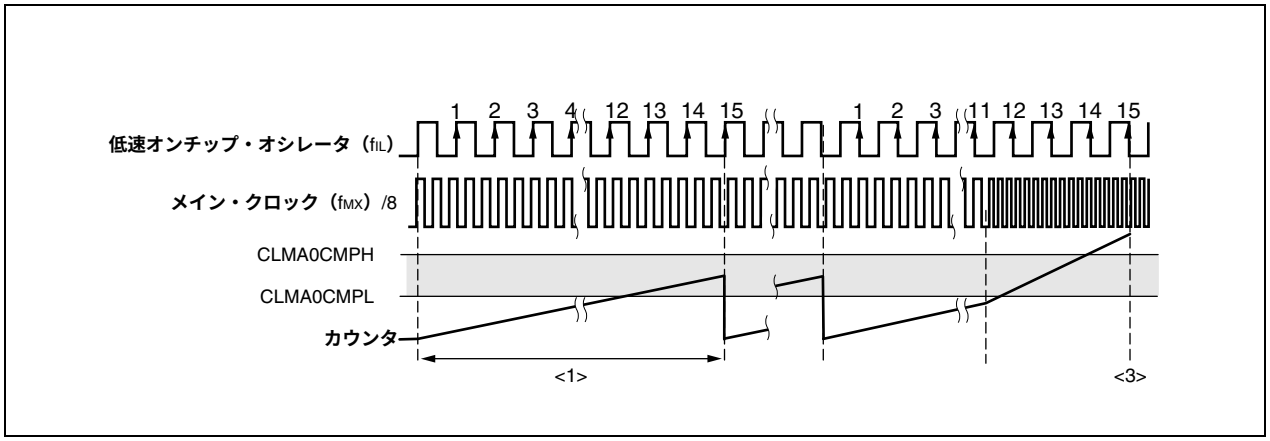


図25－3 メイン・クロック（f_{MX}）が速くなった場合の例



(2) しきい値CLMA0CMPLとCLMA0CMPHの算出方法

コンペア・レジスタCLMA0CMPLとCLMA0CMPHには，サンプリング・クロック（低速オンチップ・オシレータ・クロック（f_{IL}））の16サイクル内で有効と想定されるモニタ・クロック（メイン・クロック（f_{MX}）/8）のクロック・サイクルの最小値と最大値を設定します。

期待されるクロック・サイクル数をNで表します。

$$\frac{16}{f_{IL}} = \frac{N \times 8}{f_{MX}}$$

$$N = \frac{f_{MX}}{f_{IL}} \times 2$$

低速オンチップ・オシレータ・クロック（f_{IL}）とメイン・クロック（f_{MX}）の許容周波数偏差を考慮して，次の式でしきい値を計算します。

下のしきい値 $= N_{min}$

$$= \frac{f_{MX\ (min)}}{f_{IL\ (max)}} \times 2$$ （小数点以下切り捨て）

上のしきい値 $= N_{max}$

$$= \frac{f_{MX\ (max)}}{f_{IL\ (min)}} \times 2$$ （小数点以下切り上げ）

注意 最小しきい値は次の範囲で設定してください。

- CLMA0CMPL ≥ 0001H
- CLMA0CMPH ≥ CLMA0CMPL + 0003H

例 f_{IL} = 15 kHz（±15 %）およびf_{MX} = 20 MHz（±1 %）の場合，推奨されるしきい値は次のようになります。

$$Nmin = \frac{19800000}{17250} \times 2$$

$$= 2295.6$$

CLMA0CMPL = 2295 = 08F7H

$$Nmax = \frac{20200000}{12750} \times 2$$

$$= 3168.6$$

CLMA0CMPH = 3169 = 0C61H

モニタ・クロック（f_{MX}）の代表的なクロックに対応したCLMA0CMPL/CLMA0CMPHレジスタの設定値を次に示します。

サンプリング・クロック（f_{IL}）		モニタ・クロック（f_{MX}）		コンペア・レジスタの設定値	
周波数	誤差	周波数	誤差	CLMA0CMPL	CLMA0CMPH
15 kHz	±15%	4 MHz	±1%	01CAH	027AH
15 kHz	±15%	6 MHz	±1%	02B0H	03B7H
15 kHz	±15%	8 MHz	±1%	0395H	04F3H
15 kHz	±15%	12 MHz	±1%	0560H	076DH
15 kHz	±15%	16 MHz	±1%	072CH	09E7H
15 kHz	±15%	20 MHz	±1%	08F7H	0C61H

第26章　パワーオン・リセット回路（POR）

26. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（V_{DD}）が立ち上がり検出電圧（V_{POR}）を越えた場合に，リセットを解除します。

・電源電圧（V_{DD}）と立ち下がり検出電圧（V_{PDR}）を比較し，$V_{DD}<V_{PDR}$になったとき内部リセット信号を発生します。

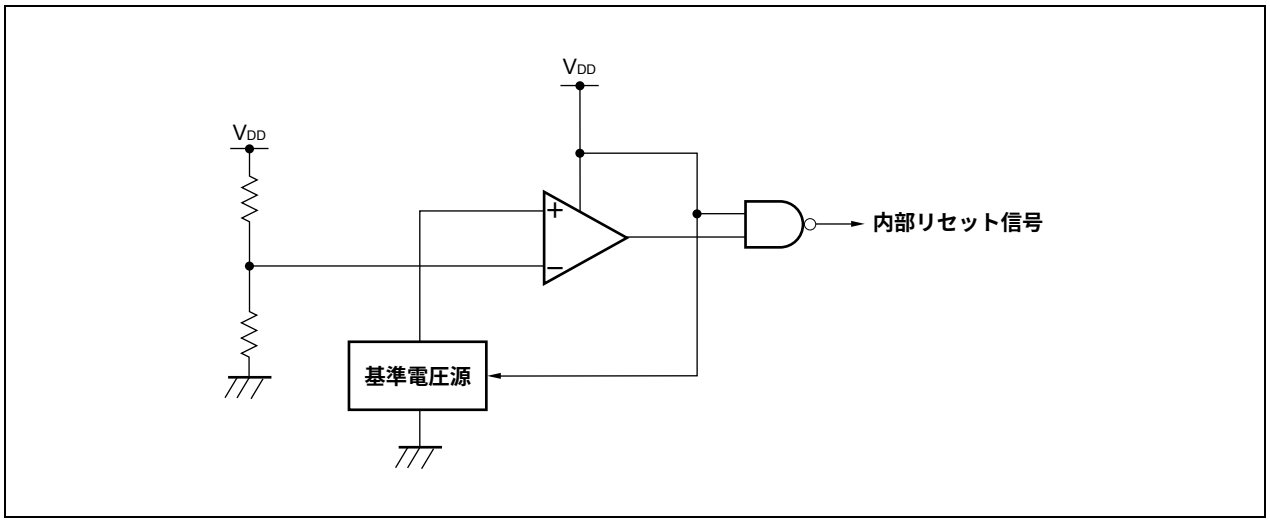
注意　POR回路で内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のSWRF, CLMRF, WDTRF, LVIRFフラグがクリア（00H）されます。

備考　本製品には内部リセット信号を発生するハードウエアが複数内蔵されています。ソフトウエア・リセット／クロック・モニタ（CLM）／ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路による内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはソフトウエア／CLM／WDT／LVDのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，第24章　リセット機能を参照してください。

26. 2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図26－1に示します。

図26－1 パワーオン・リセット回路のブロック図



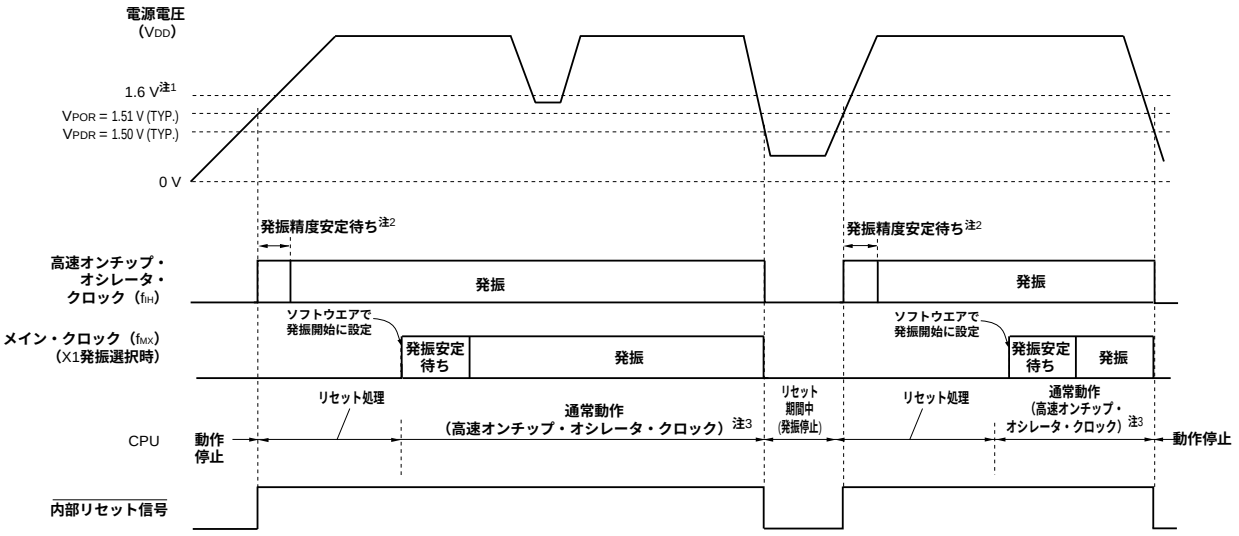
26. 3 パワーオン・リセット回路の動作

・電源投入時に内部リセット信号を発生し，電源電圧（V_{DD}）が立ち上がり検出電圧（V_{POR}）を越えたら，リセットを解除します。

・電源電圧（V_{DD}）と立ち下がり検出電圧（V_{PDR}）を比較し，$V_{DD}<V_{PDR}$になったとき内部リセット信号を発生します。

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図26－2 パワーオン・リセット回路の内部リセット信号発生のタイミング



注1. **動作保証範囲は，**1.6 V≦VDD≦3.6 V**です。電源立ち下がり時に**1.6 V**未満をリセット状態にしたい場合は，電圧検出回路のリセット機能を使用，または**$\overline{\text{RESET}}$**端子にロウ・レベルを入力してください。**

2. **高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部の電圧安定待ちなどのリセット処理時間に含まれます。**

3. CPU**クロックを高速オンチップ・オシレータ・クロックからメイン・クロックまたはサブシステム・クロックに切り替え可能です。**X1**クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（**OSTC**）で，**XT1**クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。**

備考 VPOR **：POR電源立ち上がり検出電圧**

VPDR **：POR電源立ち下がり検出電圧**

第27章　電圧検出回路（LVD）

27. 1　電圧検出回路の機能

電圧検出（LVD）回路は，次のような機能を持ちます。

- 電源電圧（V_{DD}）または，外部入力端子からの入力電圧（EXLVI）と検出電圧（V_{LVIH}, V_{LVIL}）を比較し，内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧（V_{LVIH}, V_{LVIL}）は，検出レベルを内部電源12段階，または外部入力4段階より選択できます。
- STOPモード時においても動作可能です。
- 検出対象を電源電圧（V_{DD}）にするか，外部入力端子からの入力電圧（EXLVI）にするかを，ソフトウエアにて選択できます。
- 検出後にリセットを発生するか，割り込みを発生するかをソフトウエアにて選択できます。
- オプション・バイトにて，次の初期設定を選択できます。オプション・バイトの詳細については第31章　オプション・バイトを参照してください。
  - 内部LVDの制御（LVISEL0）
  - LVDの動作モードの選択（LVIMDS1）
  - 検出電圧の設定（LVIIS3-LVIIS0）

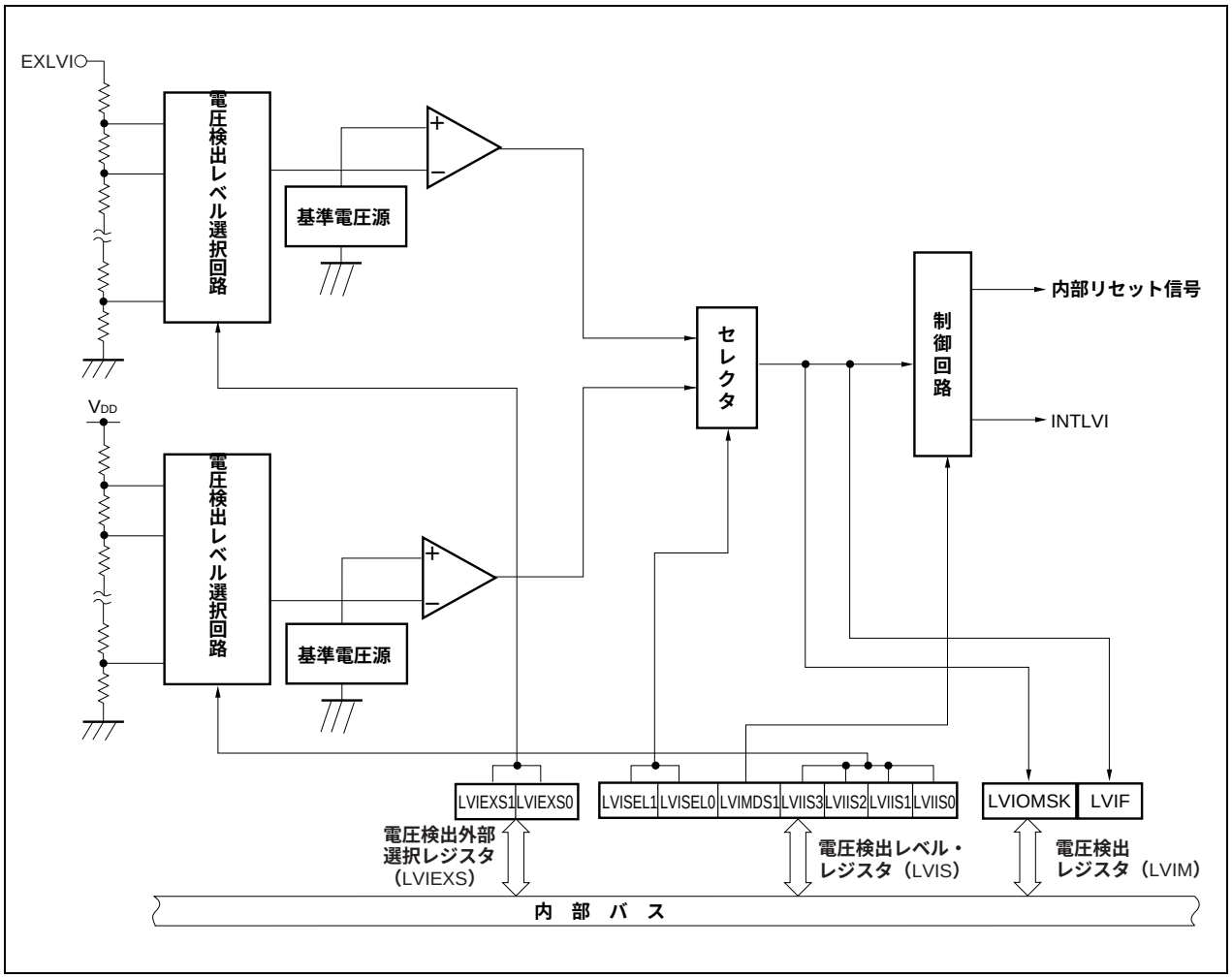
電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタのLVIMビット）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

LVDによるリセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のLVIRFビットがセット（1）されます。RESFレジスタについての詳細は，第24章　リセット機能を参照してください。

27. 2 電圧検出回路の構成

電圧検出回路のブロック図を図27－1に示します。

図27－1 電圧検出回路のブロック図



27. 3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ（LVIM）
- 電圧検出レベル・レジスタ（LVIS）
- 電圧検出外部選択レジスタ（LVIEXS）

(1) 電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセット信号により00Hになります。

アドレス：FF4200E0H　リセット時：00H[注1]　R/W[注2]

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	書き換え禁止
1	書き換え許可

LVIOMSK	LVD出力マスク状態フラグ
0	マスク無効
1	マスク有効 [注3]

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVI}）， EXLVI入力電圧 ≧検出電圧（V_{LVI}），またはLVD動作禁止時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVI}）， EXLVI入力電圧 ＜検出電圧（V_{LVI}）

注1．リセット値は，リセット要因により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。

2．ビット0, 1は，Read Onlyです。

3．LVIOMSKビットは以下の期間に自動で“1”となり，LVDによるリセットまたは割り込み発生がマスクされます。

・LVISEN = 1の期間

・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間

・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

注意 ビット6-2には必ず 0 を設定してください。

（2）電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，8/1ビット単位でリード／ライト可能です。

リセット後のLVISレジスタの値はオプション・バイトの設定により異なります。詳細は第31章 オプション・バイトを参照してください。

LVSEL1ビットの初期値はオプション・バイトの初期値に関わらず0です。

アドレス：FF4200E4H リセット時：注1 R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVSEL1	LVISEL0注2	LVIMDS1注2	1	LVIIS3注2	LVIIS2注2	LVIIS1注2	LVIIS0注2

LVISEL1	LVISEL0	LVD動作設定
0	0	外部LVD無効，内部LVD無効
0	1	外部LVD無効，内部LVD有効
1	0	外部LVD有効，内部LVD無効
1	1	設定禁止

LVIMDS1	動作モード選択
0	割り込みモード
1	リセット・モード

注1. リセット値は，リセット要因およびオプション・バイトの設定により変化します。
LVDリセット時は，クリア（00H）されません。
LVD以外のリセット時の値は，第31章 オプション・バイトを参照してください。

2. LVISEL0, LVIMDS1, LVIIS3-LVIIS0ビットの設定（LVDの動作モード，検出電圧（V_{LVIH}, V_{LVIL}））は，オプション・バイト（0072H）で設定します。オプション・バイトの設定を表27－1に示します。オプション・バイトの詳細は第31章 オプション・バイトを参照してください。

注意 LVISレジスタを書き換える場合は，LVIM.LVISENビットを必ず1にしてから行ってください。

表27－1 LVD検出電圧設定（内部電源（V_{DD}），リセット・モード）

LVIS レジスタ	オプション・バイト						検出電圧（TYP.値） V_{LVI}	
LVISEL1	LVISEL0	LVIMDS1	LVIIS3	LVIIS2	LVIIS1	LVIIS0	立ち上がり	立ち下がり
0	1	1	0	0	0	0	1.69	1.65
0	1	1	0	0	0	1	1.79	1.75
0	1	1	0	0	1	0	1.9	1.86
0	1	1	0	0	1	1	2	1.96
0	1	1	0	1	0	0	2.11	2.06
0	1	1	0	1	0	1	2.53	2.48
0	1	1	0	1	1	0	2.64	2.58
0	1	1	0	1	1	1	2.74	2.68
0	1	1	1	0	0	0	2.85	2.79
0	1	1	1	0	0	1	2.96	2.9
0	1	1	1	0	1	0	3.06	3
0	1	1	1	0	1	1	3.17	3.1
上記以外							設定禁止	

表27－2 LVD検出電圧設定（内部電源（V_{DD}），割り込みモード）

LVIS レジスタ	オプション・バイト						検出電圧（TYP.値） V_{LVI}	
LVISEL1	LVISEL0	LVIMDS1	LVIIS3	LVIIS2	LVIIS1	LVIIS0	立ち上がり	立ち下がり
0	1	0	0	0	0	0	1.69	1.65
0	1	0	0	0	0	1	1.79	1.75
0	1	0	0	0	1	0	1.9	1.86
0	1	0	0	0	1	1	2	1.96
0	1	0	0	1	0	0	2.11	2.06
0	1	0	0	1	0	1	2.53	2.48
0	1	0	0	1	1	0	2.64	2.58
0	1	0	0	1	1	1	2.74	2.68
0	1	0	1	0	0	0	2.85	2.79
0	1	0	1	0	0	1	2.96	2.9
0	1	0	1	0	1	0	3.06	3
0	1	0	1	0	1	1	3.17	3.1
上記以外							設定禁止	

(3) 電圧検出外部選択レジスタ（LVIEXS）

外部端子（EXLVI）からの入力電圧と比較する電圧検出レベルを設定するレジスタです。

LVIEXSレジスタは，8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF4200E8H　リセット時：00H　R/W

略号		6	5	4	3	2	1	0
LVIEXS	0	0	0	0	0	0	LVIEXS1	LVIEXS0

備考 LVIEXSレジスタはLVISレジスタと組み合わせて使用します。設定については表27－3，表27－4を参照してください。

表27－3 LVD検出電圧設定（外部入力電圧（EXLVI），リセット・モード）

LVISレジスタ			LVIEXSレジスタ		検出電圧（TYP.値） V_{LVI}	
LVISEL1	LVISEL0	LVIMDS1	LVIEXS1	LVIEXS0	立ち上がり	立ち下がり
1	0	1	0	0	1.86	1.8
1	0	1	0	1	2.06	2
1	0	1	1	0	2.66	2.6
1	0	1	1	1	2.96	2.9

表27－4 LVD検出電圧設定（外部入力電圧（EXLVI），割り込みモード）

LVISレジスタ			LVIEXSレジスタ		検出電圧（TYP.値） V_{LVI}	
LVISEL1	LVISEL0	LVIMDS1	LVIEXS1	LVIEXS0	立ち上がり	立ち下がり
1	0	0	0	0	1.86	1.8
1	0	0	0	1	2.06	2
1	0	0	1	0	2.66	2.6
1	0	0	1	1	2.96	2.9

27. 4 電圧検出回路の動作

27. 4. 1 リセット・モードとして使用時の設定

(1) オプション・バイトによる設定

次の設定をオプション・バイトで行うことができます。

- LVD動作設定（LVD動作（LVISEL0 = 1））
- 動作モード（リセット・モード（LVIMDS1 = 1））
- 検出電圧（V_{LVI}）の設定（LVIIS3-LVIIS0）

オプション・バイトで設定した場合，次の初期設定の状態でスタートします。

- 電圧検出レジスタ（LVIM）のLVISENビットは“0”
  （電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- 電圧検出レベル・レジスタ（LVIS）のLVISEL1は“0”（外部LVD無効）
  LVISEL0, LVIMDS1, LVIIS3-LVIIS0ビットは，オプション・バイトの設定値が反映されます。

(2) レジスタによる設定

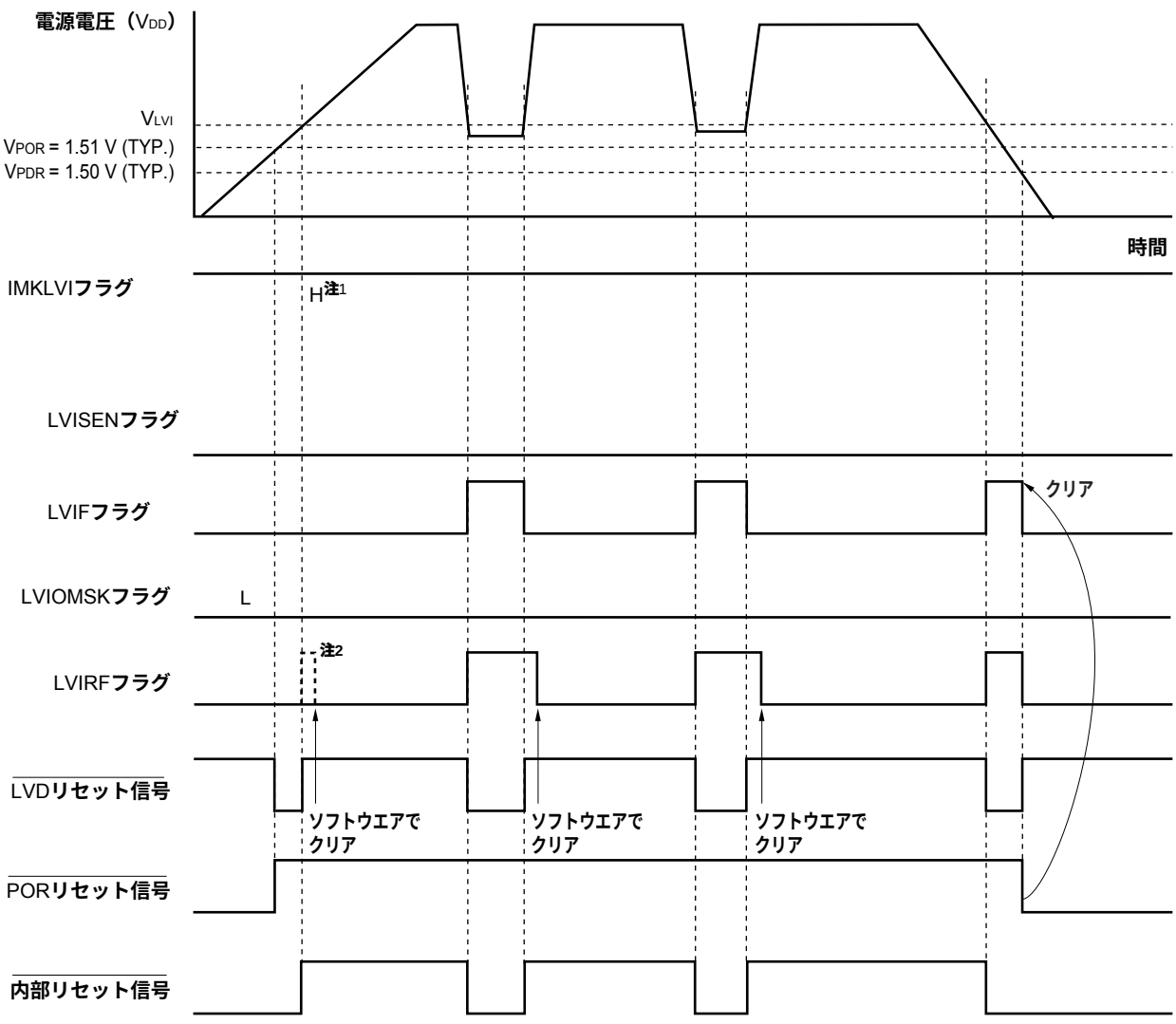
次の設定変更をLVISレジスタで行うことができます。

- LVI動作設定（LVISEL1, LVISEL0ビット）：内部LVDと外部LVDの切り替えができます。
- 動作モード選択（LVIMDS1ビット = 1）：リセット・モード
- 電圧検出レベルの選択：
  内部LVDの場合（LVIS.LVIIS3-LVIIS0ビットで検出電圧を選択）
  外部LVDの場合（LVIEXS.LVIEXS1, LVIEXS0ビットで検出電圧を選択）

LVISレジスタの値を変更する場合は，LVIM.LVISENビット = 1（LVISレジスタの書き換え許可）にしてから書き換えてください。また書き換え後は必ずLVIM.LVISENビット = 0（LVISレジスタの書き換え禁止）に設定してください。

図27－2に，電圧検出回路の内部リセット信号発生のタイミングを示します。

図27ー2 内部リセット信号発生のタイミング（オプション・バイトLVIMDS1 = 1）



注1. IMLVIフラグはリセット信号の発生により，“1”になっています。

2. LVIRFフラグはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。
電源立ち上がり波形により，LVIRFフラグが最初から1になることがあります。
RESFレジスタについての詳細は，第24章 リセット機能を参照してください。

備考 VPOR：POR電源立ち上がり検出電圧
VPDR：POR電源立ち下がり検出電圧

27. 4. 2 割り込みモードとして使用時の設定

(1) オプション・バイトによる設定

次の設定をオプション・バイトで行うことができます。

- LVD動作設定（LVD動作（LVISEL0 = 1））
- 動作モード（割り込みモード（LVIMDS1 = 0））
- 検出電圧（V_{LVI}）の設定（LVIIS3-LVIIS0）

オプション・バイトで設定した場合，次の初期設定の状態でスタートします。

- 電圧検出レジスタ（LVIM）のLVISENビットは“0”
  （電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- 電圧検出レベル・レジスタ（LVIS）のLVISEL1は“0”（外部LVD無効）
  LVISEL0, LVIMDS1, LVIIS3-LVIIS0ビットは，オプション・バイトの設定値が反映されます。

(2) レジスタによる設定

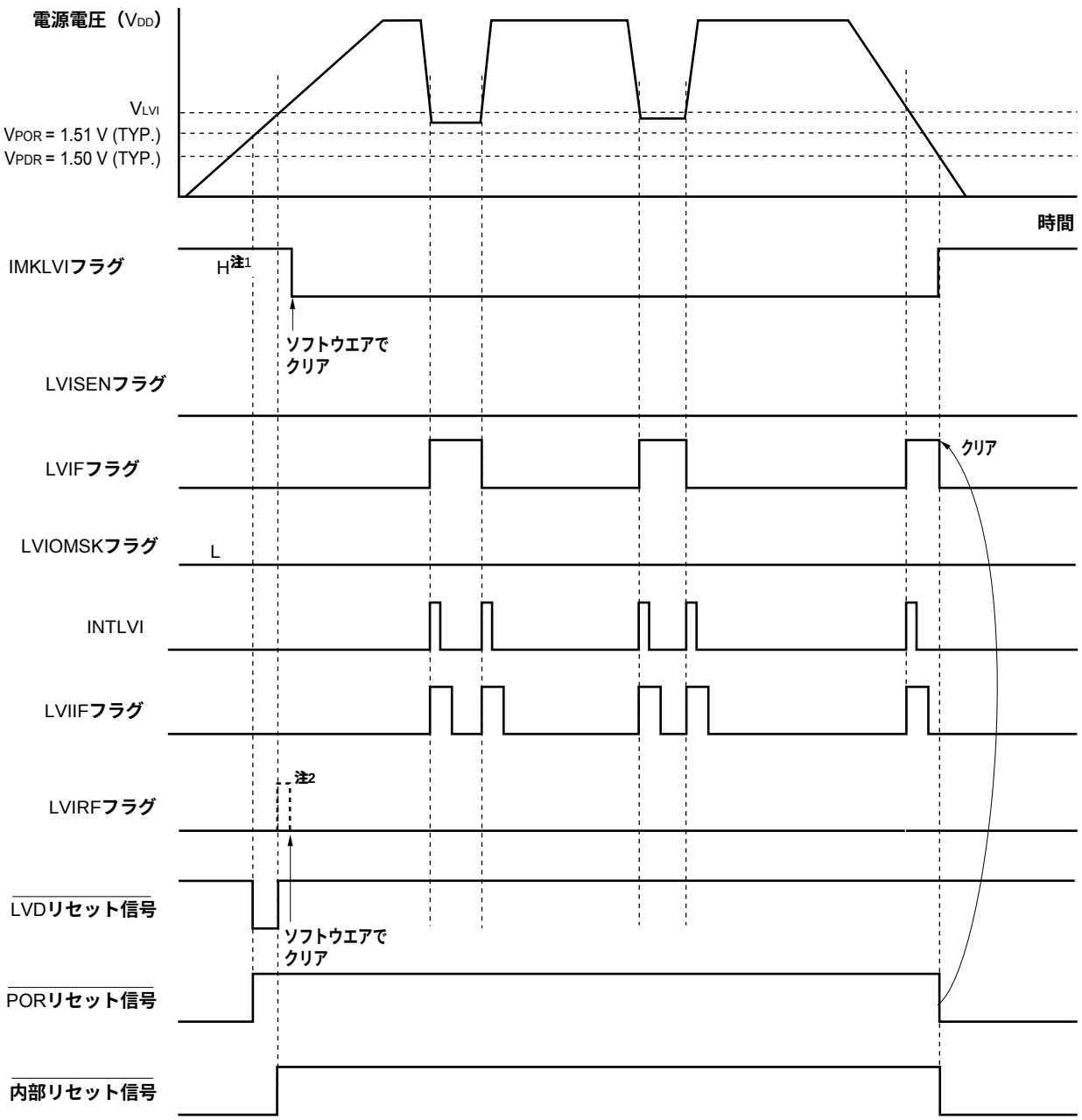
次の設定変更をLVISレジスタで行うことができます。

- LVI動作設定（LVISEL1, LVISEL0ビット）：内部LVDと外部LVDの切り替えができます。
- 動作モード選択（LVIMDS1ビット = 0）：割り込みモード
- 電圧検出レベルの選択：
  内部LVDの場合（LVIS.LVIIS3-LVIIS0ビットで検出電圧を選択）
  外部LVDの場合（LVIEXS.LVIEXS1, LVIEXS0ビットで検出電圧を選択）

LVISレジスタの値を変更する場合は，LVIM.LVISENビット = 1（LVISレジスタの書き換え許可）にしてから書き換えてください。また書き換え後は必ずLVIM.LVISENビット = 0（LVISレジスタの書き換え禁止）に設定してください。

図27－3に，電圧検出回路の内部割り込み信号発生のタイミングを示します。

図27－3 割り込み信号発生のタイミング（オプション・バイトLVIMDS1 = 0）



注1．IMKLVIフラグはリセット信号の発生により，“1”になっています。

2. LVIRFフラグはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。
電源立ち上がり波形により，LVIRFフラグが最初から1になることがあります。
RESFレジスタについての詳細は，第24章 リセット機能を参照してください。

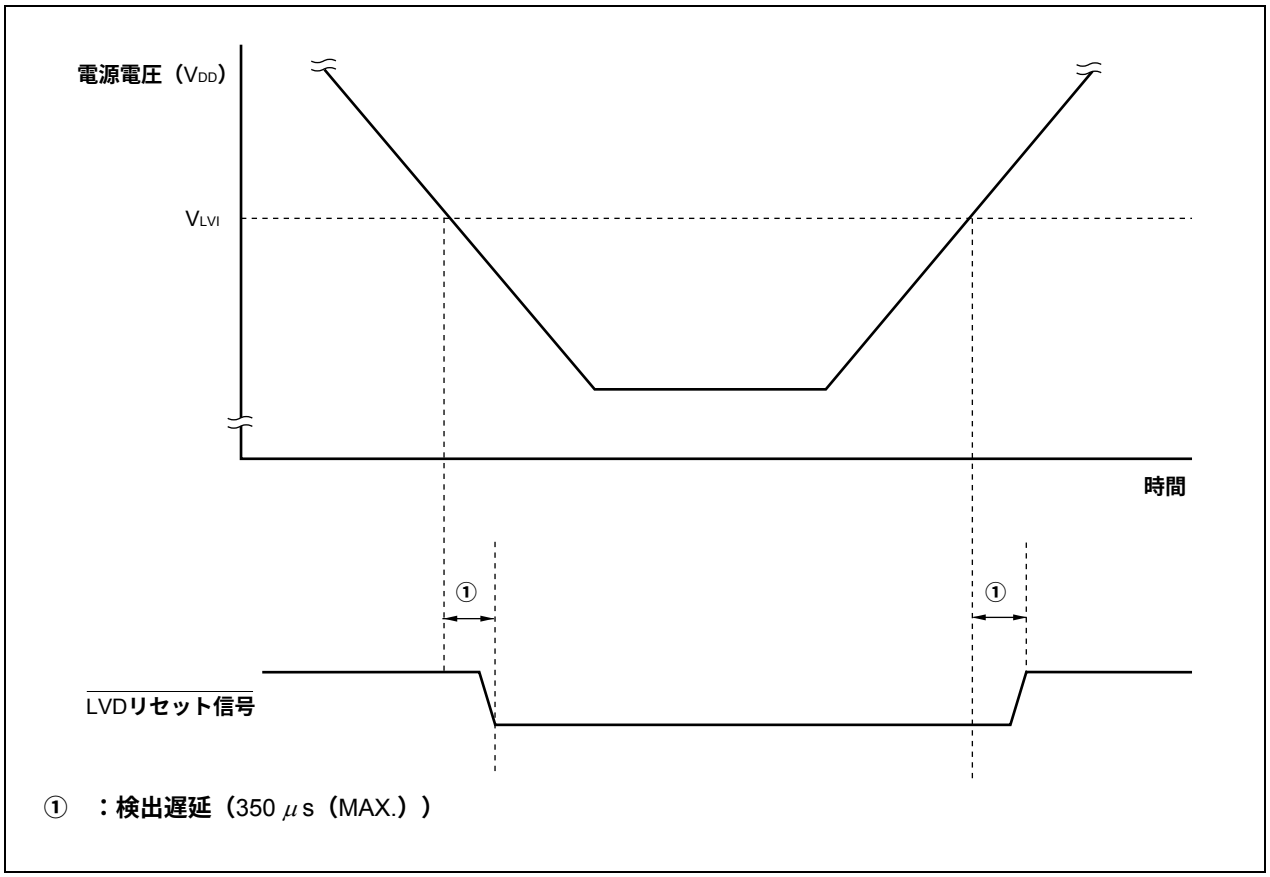
備考 VPOR：POR電源立ち上がり検出電圧
VPDR：POR電源立ち下がり検出電圧

27. 5 電圧検出回路の注意事項

(1) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVI}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVI}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（図27－4参照）。

図27－4 LVDリセット要因発生からLVDリセット発生または解除までの遅延



第28章　安全機能

28. 1　安全機能の概要

安全規格IEC60730，IEC61508に対応するため，V850E2/Jx4-Lでは以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能（Flash CRC）

CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。

初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。

(2) 汎用CRC演算機能（汎用CRC）

CPU動作中に，多用途のチェックに使用できるCRC演算機能です。詳細は第29章　汎用CRC機能を参照してください。

(3) 内蔵RAMパリティ・エラー検出機能

内蔵RAMをデータとして読み出すとき，および内蔵RAMへのフェッチ・アクセスを行うとき，パリティ・エラーを検出します。

(4) 周波数検出機能

- クロック・モニタ（CLM）を使用してメイン・クロック（f_{MX}）の発振周波数を検出することができます。詳細については，第25章　クロック・モニタを参照してください。
- TAUを使用して，低速オンチップ・オシレータ・クロック（f_{IL}）とTAUの動作クロックの周波数を比較することができます。

(5) A/Dテスト機能

内部基準電圧をA/D変換することにより，A/D変換の自己チェックができます。

(6) メモリ保護機能（MPU）

IEC60730に要求される，アクセス禁止領域への不正アクセスをガードする機能，およびIEC61508に要求される不正アクセスを検知しCPUに伝達する機能を搭載しています。

V850E2/Jx4-Lでは搭載されるすべての領域に対するアクセスを検知することができます。

詳細については，3. 4　メモリ保護機能（MPU）を参照してください。

28. 2 安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ（CRC0CTL） ・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	フラッシュ・メモリCRC演算機能 （Flash CRC）
・CRC入力レジスタ（CRCIN） ・CRCデータ・レジスタ（CRCD）	CRC演算機能 （汎用CRC）
・タイマ入力選択レジスタ0（TIS0）	周波数検出機能
・A/Dテスト・レジスタ（ADTES）	A/Dテスト機能

各レジスタの内容については，28. 3 安全機能の動作の中で説明します。

28. 3 安全機能の動作

28. 3. 1 フラッシュ・メモリCRC演算機能（Flash CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。このFlash CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

備考 汎用CRCはLSBファーストのため，演算結果は異なります。

Flash CRCの演算時間を次に示します

表28－1 Flash CRC演算時間

フラッシュ・メモリ容量	演算時間（f_{CLK} = 32 MHz時）
32 Kバイト	0.256 ms
64 Kバイト	0.512 ms
128 Kバイト	1.024 ms
256 Kバイト	2.048 ms
384 Kバイト	3.072 ms
512 Kバイト	4.096 ms
768 Kバイト	6.144 ms
1 Mバイト	8.192 ms
1.5 Mバイト	12.288 ms
2 Mバイト	16.384 ms

(1) フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

Flash CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

8/1ビット単位によりリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF836000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	FEA6	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	Flash CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

備考　FEA6-FEA0ビットの設定は表28－2を参照してください。

表28ー2 Flash CRC演算範囲（1/3）

FEA6	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	Flash CRC演算範囲
0	0	0	0	0	0	0	00000H-3FFBH（16K−4バイト）
0	0	0	0	0	0	1	00000H -7FFBH（32K−4バイト）
0	0	0	0	0	1	0	00000H -BFFBH（48K−4バイト）
0	0	0	0	0	1	1	00000H -FFFBH（64K−4バイト）
0	0	0	0	1	0	0	00000H -13FFBH（80K−4バイト）
0	0	0	0	1	0	1	00000H -17FFBH（96K−4バイト）
0	0	0	0	1	1	0	00000H -1BFFBH（112K−4バイト）
0	0	0	0	1	1	1	00000H -1FFFBH（128K−4バイト）
0	0	0	1	0	0	0	00000H -23FFBH（144K−4バイト）
0	0	0	1	0	0	1	00000H -27FFBH（160K−4バイト）
0	0	0	1	0	1	0	00000H -2BFFBH（176K−4バイト）
0	0	0	1	0	1	1	00000H -2FFFBH（192K−4バイト）
0	0	0	1	1	0	0	00000H -33FFBH（208K−4バイト）
0	0	0	1	1	0	1	00000H -37FFBH（224K−4バイト）
0	0	0	1	1	1	0	00000H -3BFFBH（240K−4バイト）
0	0	0	1	1	1	1	00000H -3FFFBH（256K−4バイト）
0	0	1	0	0	0	0	00000H -43FFBH（272K−4バイト）
0	0	1	0	0	0	1	00000H -47FFBH（288K−4バイト）
0	0	1	0	0	1	0	00000H -4BFFBH（304K−4バイト）
0	0	1	0	0	1	1	00000H -4FFFBH（320K−4バイト）
0	0	1	0	1	0	0	00000H -53FFBH（336K−4バイト）
0	0	1	0	1	0	1	00000H -57FFBH（352K−4バイト）
0	0	1	0	1	1	0	00000H -5BFFBH（368K−4バイト）
0	0	1	0	1	1	1	00000H -5FFFBH（384K−4バイト）
0	0	1	1	0	0	0	00000H -63FFBH（400K−4バイト）
0	0	1	1	0	0	1	00000H -67FFBH（416K−4バイト）
0	0	1	1	0	1	0	00000H -6BFFBH（432K−4バイト）
0	0	1	1	0	1	1	00000H -6FFFBH（448K−4バイト）
0	0	1	1	1	0	0	00000H -73FFBH（464K−4バイト）
0	0	1	1	1	0	1	00000H -77FFBH（480K−4バイト）
0	0	1	1	1	1	0	00000H -7BFFBH（496K−4バイト）
0	0	1	1	1	1	1	00000H -7FFFBH（512K−4バイト）
0	1	0	0	0	0	0	00000H -83FFBH（528K−4バイト）
0	1	0	0	0	0	1	00000H -87FFBH（544K−4バイト）
0	1	0	0	0	1	0	00000H -8BFFBH（560K−4バイト）
0	1	0	0	0	1	1	00000H -8FFFBH（576K−4バイト）
0	1	0	0	1	0	0	00000H -93FFBH（592K−4バイト）
0	1	0	0	1	0	1	00000H -97FFBH（608K−4バイト）
0	1	0	0	1	1	0	00000H -9BFFBH（624K−4バイト）
0	1	0	0	1	1	1	00000H -9FFFBH（640K−4バイト）
0	1	0	1	0	0	0	00000H -A3FFBH（656K−4バイト）
0	1	0	1	0	0	1	00000H -A7FFBH（672K−4バイト）
0	1	0	1	0	1	0	00000H -ABFFBH（688K−4バイト）
0	1	0	1	0	1	1	00000H -AFFFBH（704K−4バイト）

備考 フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

表28ー2 Flash CRC演算範囲（2/3）

FEA6	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	Flash CRC演算範囲
0	1	0	1	1	0	0	00000H -B3FFBH（720K−4バイト）
0	1	0	1	1	0	1	00000H -B7FFBH（736K−4バイト）
0	1	0	1	1	1	0	00000H -BBFFBH（752K−4バイト）
0	1	0	1	1	1	1	00000H -BFFFBH（768K−4バイト）
0	1	1	0	0	0	0	00000H -C3FFBH（784K−4バイト）
0	1	1	0	0	0	1	00000H -C7FFBH（800K−4バイト）
0	1	1	0	0	1	0	00000H -CBFFBH（816K−4バイト）
0	1	1	0	0	1	1	00000H -CFFFBH（832K−4バイト）
0	1	1	0	1	0	0	00000H -D3FFBH（848K−4バイト）
0	1	1	0	1	0	1	00000H -D7FFBH（864K−4バイト）
0	1	1	0	1	1	0	00000H -DBFFBH（880K−4バイト）
0	1	1	0	1	1	1	00000H -DFFFBH（896K−4バイト）
0	1	1	1	0	0	0	00000H -E3FFBH（912K−4バイト）
0	1	1	1	0	0	1	00000H -E7FFBH（928K−4バイト）
0	1	1	1	0	1	0	00000H -EBFFBH（944K−4バイト）
0	1	1	1	0	1	1	00000H -EFFFBH（960K−4バイト）
0	1	1	1	1	0	0	00000H -F3FFBH（976K−4バイト）
0	1	1	1	1	0	1	00000H -F7FFBH（992K−4バイト）
0	1	1	1	1	1	0	00000H -FBFFBH（1008K−4バイト）
0	1	1	1	1	1	1	00000H -FFFFBH（1024K−4バイト）
1	0	0	0	0	0	0	00000H -103FFBH（1040K−4バイト）
1	0	0	0	0	0	1	00000H -107FFBH（1056K−4バイト）
1	0	0	0	0	1	0	00000H -10BFFBH（1072K−4バイト）
1	0	0	0	0	1	1	00000H -10FFFBH（1088K−4バイト）
1	0	0	0	1	0	0	00000H -113FFBH（1104K−4バイト）
1	0	0	0	1	0	1	00000H -117FFBH（1120K−4バイト）
1	0	0	0	1	1	0	00000H -11BFFBH（1136K−4バイト）
1	0	0	0	1	1	1	00000H -11FFFBH（1152K−4バイト）
1	0	0	1	0	0	0	00000H -113FFBH（1168K−4バイト）
1	0	0	1	0	0	1	00000H -117FFBH（1184K−4バイト）
1	0	0	1	0	1	0	00000H -11BFFBH（1200K−4バイト）
1	0	0	1	0	1	1	00000H -11FFFBH（1216K−4バイト）
1	0	0	1	0	0	0	00000H -123FFBH（1168K−4バイト）
1	0	0	1	0	0	1	00000H -127FFBH（1184K−4バイト）
1	0	0	1	0	1	0	00000H -12BFFBH（1200K−4バイト）
1	0	0	1	0	1	1	00000H -12FFFBH（1216K−4バイト）
1	0	0	1	1	0	0	00000H -133FFBH（1232K−4バイト）
1	0	0	1	1	0	1	00000H -137FFBH（1248K−4バイト）
1	0	0	1	1	1	0	00000H -13BFFBH（1264K−4バイト）
1	0	0	1	1	1	1	00000H -13FFFBH（1280K−4バイト）
1	0	1	0	0	0	0	00000H -143FFBH（1296K−4バイト）
1	0	1	0	0	0	1	00000H -147FFBH（1312K−4バイト）
1	0	1	0	0	1	0	00000H -14BFFBH（1328K−4バイト）
1	0	1	0	0	1	1	00000H -14FFFBH（1334K−4バイト）

備考 フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

表28ー2 Flash CRC演算範囲（3/3）

FEA6	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	Flash CRC演算範囲
1	0	1	0	1	0	0	00000H -153FFBH（1360K−4バイト）
1	0	1	0	1	0	1	00000H -157FFBH（1376K−4バイト）
1	0	1	0	1	1	0	00000H -15BFFBH（1392K−4バイト）
1	0	1	0	1	1	1	00000H -15FFFBH（1408K−4バイト）
1	0	1	1	0	0	0	00000H -163FFBH（1424K−4バイト）
1	0	1	1	0	0	1	00000H -167FFBH（1440K−4バイト）
1	0	1	1	0	1	0	00000H -16BFFBH（1456K−4バイト）
1	0	1	1	0	1	1	00000H -16FFFBH（1472K−4バイト）
1	0	1	1	1	0	0	00000H -173FFBH（1488K−4バイト）
1	0	1	1	1	0	1	00000H -177FFBH（1504K−4バイト）
1	0	1	1	1	1	0	00000H -17BFFBH（1520K−4バイト）
1	0	1	1	1	1	1	00000H -17FFFBH（1536K−4バイト）
1	1	0	0	0	0	0	00000H -183FFBH（1552K−4バイト）
1	1	0	0	0	0	1	00000H -187FFBH（1568K−4バイト）
1	1	0	0	0	1	0	00000H -18BFFBH（1584K−4バイト）
1	1	0	0	0	1	1	00000H -18FFFBH（1600K−4バイト）
1	1	0	0	1	0	0	00000H -193FFBH（1616K−4バイト）
1	1	0	0	1	0	1	00000H -197FFBH（1632K−4バイト）
1	1	0	0	1	1	0	00000H -19BFFBH（1648K−4バイト）
1	1	0	0	1	1	1	00000H -19FFFBH（1664K−4バイト）
1	1	0	1	0	0	0	00000H -1A3FFBH（1680K−4バイト）
1	1	0	1	0	0	1	00000H -1A7FFBH（1696K−4バイト）
1	1	0	1	0	1	0	00000H -1ABFFBH（1712K−4バイト）
1	1	0	1	0	1	1	00000H -1AFFFBH（1728K−4バイト）
1	1	0	1	1	0	0	00000H -1B3FFBH（1744K−4バイト）
1	1	0	1	1	0	1	00000H -1B7FFBH（1760K−4バイト）
1	1	0	1	1	1	0	00000H -1BBFFBH（1776K−4バイト）
1	1	0	1	1	1	1	00000H -1BFFFBH（1792K−4バイト）
1	1	1	0	0	0	0	00000H -1C3FFBH（1808K−4バイト）
1	1	1	0	0	0	1	00000H -1C7FFBH（1824K−4バイト）
1	1	1	0	0	1	0	00000H -1CBFFBH（1840K−4バイト）
1	1	1	0	0	1	1	00000H -1CFFFBH（1856K−4バイト）
1	1	1	0	1	0	0	00000H -1D3FFBH（1872K−4バイト）
1	1	1	0	1	0	1	00000H -1D7FFBH（1888K−4バイト）
1	1	1	0	1	1	0	00000H -1DBFFBH（1904K−4バイト）
1	1	1	0	1	1	1	00000H -1DFFFBH（1920K−4バイト）
1	1	1	1	0	0	0	00000H -1E3FFBH（1936K−4バイト）
1	1	1	1	0	0	1	00000H -1E7FFBH（1952K−4バイト）
1	1	1	1	0	1	0	00000H -1EBFFBH（1968K−4バイト）
1	1	1	1	0	1	1	00000H -1EFFFBH（1984K−4バイト）
1	1	1	1	1	0	0	00000H -1F3FFBH（2000K−4バイト）
1	1	1	1	1	0	1	00000H -1F7FFBH（2016K−4バイト）
1	1	1	1	1	1	0	00000H -1FBFFBH（2032K−4バイト）
1	1	1	1	1	1	1	00000H -1FFFFBH（2048K−4バイト）

備考 フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

(2) フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

Flash CRC演算結果を格納するレジスタです。

16ビット単位でリード／ライト可能です。

リセットにより，0000Hになります。

アドレス：FF836004H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

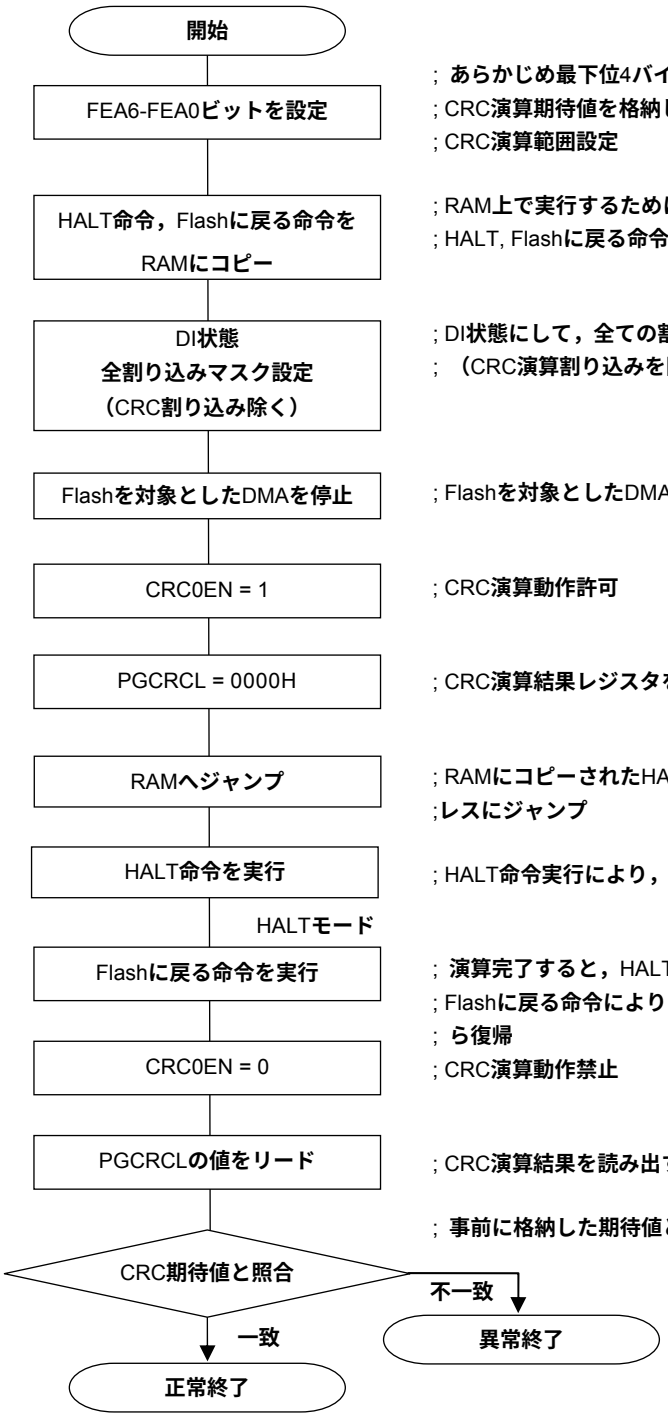
PGCRC15-0	Flash CRC演算結果
0000H-FFFFH	Flash CRC演算結果を格納

注意 PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能（Flash CRC）のフロー・チャートを図28－1に示します。

＜動作フロー＞

図28－1 フラッシュ・メモリCRC演算機能（Flash CRC）のフロー・チャート



注意 1. CRC演算の対象は，コード・フラッシュのみです。
2. CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。
3. CRC演算時は，ブート・スワップされません。
4. RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

CRC期待値は，開発環境「CubeSuite＋」等で算出することができます（CubeSuite＋のユーザーズ・マニュアル参照）。

28. 3. 2　汎用CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため，CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。

通常動作モードでも，サブシステム・クロック動作モードでも使用可能です。

汎用CRC演算機能の詳細は第29章　汎用CRC機能を参照してください。

28. 3. 3 内蔵RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，V850E2/Jx4-Lの内蔵RAMには，32ビットにつき1ビットのパリティが付加されています。この内蔵RAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時およびフェッチ・アクセス時にパリティをチェックします。また，データ読み出し時のパリティ・エラー発生時にシステム・エラー例外（SYSERR），フェッチ･アクセス時のパリティ・エラー発生時にメモリ・エラー例外（MEP）を発生することもできます。

＜制御レジスタ＞

・RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと，パリティ・エラーによる例外発生を制御するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより，00Hになります。

アドレス：FF469000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラー例外マスク・フラグ
0	パリティ・エラー発生時にシステム･エラー例外，メモリ・エラー例外の発生を許可
1	パリティ・エラー発生時にシステム･エラー例外，メモリ・エラー例外の発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意 電源投入後などでは，内蔵RAMのデータは不定となるため，初期化せずに内蔵RAMを読み出すと例外が発生する場合があります。そのため内蔵RAMを初期化してからSEG_CONTレジスタのRAMEビットをセット（1）してください。
内蔵RAMのフェッチ･アクセス時にパイプライン動作の先読みで初期化されないRAM領域を読み込むことで，パリティ・エラーが発生する場合があります。そのためRAM実行前に，内蔵RAMの全領域を初期化することを推奨します。ただし，先読みでパリティ･エラーが発生した場合でも，その命令を実行しなければ，メモリ・エラー例外（MEP）は発生しません。

備考1. RAMパリティ・チェックは常時オンとなっており，その結果はRPEFフラグで確認できます。
2. 初期状態では，パリティ・エラー発生時にシステム･エラー例外，メモリ･エラー例外の発生を許可になっています（RPERDIS = 0）。パリティ・エラー発生時にシステム･エラー例外，メモリ･エラー例外の発生を禁止（RPERDIS = 1）に設定した場合でも，パリティ・エラーが発生したときには，RPEFフラグはセット（1）されます。
3. RPEFフラグはRAMのパリティ・エラーによりセット（1）され，0の書き込みまたはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

・RAMパリティ・エラー擬似発生設定レジスタ（RPEEN）

パリティ・エラーの擬似発生を制御するレジスタです。

PREENレジスタの操作と内蔵RAMへの書き込みデータを組み合わせることにより，擬似的にパリティ・エラーを発生させることができます。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF469004H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPEEN	0	0	0	0	0	0	0	RPEEN0

RPEEN0	パリティ・エラー動作
0	パリティ・エラー擬似発生の無効
1	パリティ・エラー擬似発生の有効

パリティ・エラー擬似発生の有効時の動作

32ビットのデータ（FFFFFFFFHまたは55555555H）を内蔵RAMに書き込むことで、パリティ・エラーのデータが書き込まれます。

＜パリティ・エラー機能の動作確認＞

<1> 32ビットのデータ（FFFFFFFFHまたは55555555H）を準備する。

<2> パリティ・エラー擬似発生の有効（PREEN0ビット = 1）とし，内蔵RAM上の任意のアドレスへ書き込む。

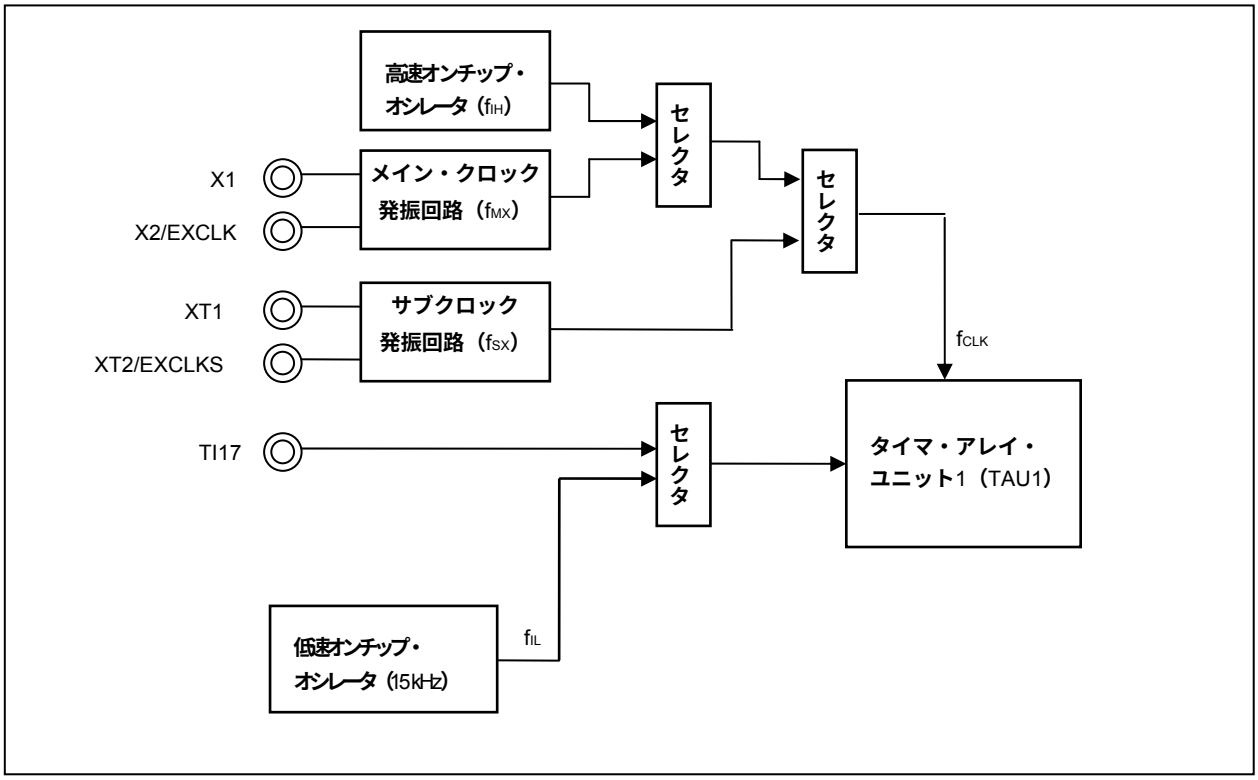
<3>パリティ・エラー例外発生を許可（RPERDISビット = 0），パリティ・エラー擬似発生の無効（RPEEN0ビット = 0）とし，<2>の書き込みを行ったアドレスから読み出しを行うとパリティ・エラーが発生する。

28. 3. 4 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能では，クロック・モニタ（CLM）により低速オンチップ・オシレータ・クロック（f_{IL}）とメイン・クロック（f_{MX}）を比較する機能と，TAUを使用して高速オンチップ・オシレータ・クロック（f_{IH}）もしくは外付けのメイン・クロック（f_{MX}）もしくはサブクロック（f_{SX}）と，低速オンチップ・オシレータ・クロック（f_{IL}）を比較することで，クロックが異常な周波数で動作していることを検出できる機能があります。クロック・モニタ（CLM）の詳細は第25章 クロック・モニタを参照してください。

図28－2 TAUを使用した周波数検出機能の構成



＜動作概要＞

以下の条件でパルス幅を測定した結果で，クロック周波数が正常かどうかの判定をします。

- CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック（f_{IH}）もしくは外付けのメイン・クロック（f_{MX}），もしくは外付けのサブクロック（f_{SX}）を選択
- タイマ・アレイ・ユニット1（TAU1）のチャネル7のタイマ入力に低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz）を選択

パルス幅の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。

パルス幅測定の方法については，7. 7. 4 入力パルス間隔測定としての動作を参照してください。

＜制御レジスタ＞

・TAU1**入力選択レジスタ**（TAU1TINSEL）

TAU1**チャネル**7**のタイマ入力を選択するレジスタです。**

タイマ入力に低速オンチップ・オシレータ・クロックを選択することにより，そのパルス間隔を測定することで低速オンチップ・オシレータ・クロックとタイマ動作クロックとの比率関係が正しいか判定することができます。

8/1**ビット単位でリード／ライト可能です。**

リセットにより，00H**になります。**

アドレス：FFFFC304H **リセット時：**00H R/W

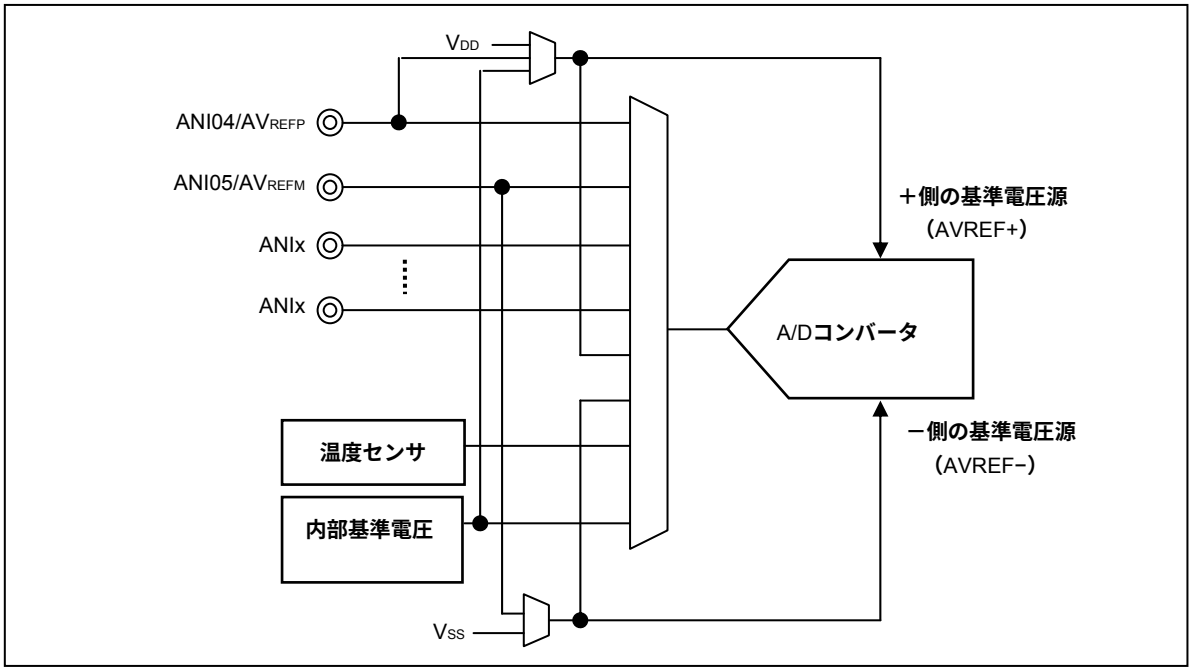
略号	7	6	5	4	3	2	1	0
TAU1 TINSEL	TINSEL17	0	0	0	0	0	0	0

TINSEL17	**ユニット**1**のチャネル**7**で使用するタイマ入力の選択**
0	**タイマ入力端子**（TI17）**の入力信号**
1	**低速オンチップ・オシレータ・クロック**（f_{IL}）

28. 3. 5 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，内部の0 V, AV_{REF}, 内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。

図28－3 A/Dテスト機能の構成



＜制御レジスタ＞

(1) A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧として選択可能なAV$_{REFP}$，－側の基準電圧として選択可能なAV$_{REFM}$，アナログ入力チャネル（ANIxx）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

- 内部の0 Vを測定するときは，A/D変換対象にAV$_{REFM}$を選択。
- AV$_{REF}$を測定するときは，A/D変換対象にAV$_{REFP}$を選択。
- 内部基準電圧を測定するときは，A/D変換対象にANIxxを選択し，アナログ入力チャネル指定レジスタ（ADS）で入力ソースに内部基準電圧出力を選択。

8ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF81D08CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx（アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	AV$_{REFM}$
1	1	AV$_{REFP}$
上記以外		設定禁止

(2) アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能で内部基準電圧を測定するときは，A/Dテスト・レジスタ（ADTES）でA/D変換対象にANIxxを選択し，ADSレジスタで入力ソースに内部基準電圧出力を選択します。

8/1ビット単位リード／ライト可能です。

リセット信号により，00Hになります。

アドレス：FF81D004H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20_0/ANI00端子
0	0	0	0	0	1	ANI1	P20_1/ANI01端子
0	0	0	0	1	0	ANI2	P20_2/ANI02端子
0	0	0	0	1	1	ANI3	P20_3/ANI03端子
0	0	0	1	0	0	ANI4	P20_4/ANI04/AV_{REFP}端子
0	0	0	1	0	1	ANI5	P20_5/ANI05/AV_{REFM}端子
0	0	0	1	1	0	ANI6	P20_6/ANI06端子
0	0	0	1	1	1	ANI7	P20_7/ANI07端子
0	0	1	0	0	0	ANI8	P21_0/ANI08端子
0	0	1	0	0	1	ANI9	P21_1/ANI09端子
0	0	1	0	1	0	ANI10	P21_2/ANI10端子
0	0	1	0	1	1	ANI11	P21_3/ANI11端子
0	0	1	1	0	0	ANI12	P21_4/ANI12端子
0	0	1	1	0	1	ANI13	P21_5/ANI13端子
0	0	1	1	1	0	ANI14	P21_6/ANI14端子
0	0	1	1	1	1	ANI15	P21_7/ANI15端子
0	1	0	0	0	0	設定禁止	
0	1	0	0	0	1	設定禁止	
0	1	0	0	1	0	設定禁止	
0	1	0	0	1	1	設定禁止	
0	1	0	1	0	0	設定禁止	
0	1	0	1	0	1	設定禁止	
0	1	0	1	1	0	設定禁止	
0	1	0	1	1	1	ANI23	P22_7/INTP05/KR7/RTP7端子
0	1	1	0	0	0	ANI24	P23_0/INTP00端子
0	1	1	0	0	1	ANI25	P23_1/INTP07端子
0	1	1	0	1	0	ANI26	P23_2/INTP06端子
0	1	1	0	1	1	ANI27	P23_3/INTP02端子
0	1	1	1	0	0	ANI28	P23_4/INTP10端子
0	1	1	1	0	1	ANI29	P23_5/INTP01/KR5/RTP5端子
0	1	1	1	1	0	ANI30	P23_6/INTP13/KR6/RTP6端子
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	－	温度センサ0出力
1	0	0	0	0	1	－	内部基準電圧出力
上記以外						設定禁止	

注意1. ビット5, 6には必ず0を設定してください。

2. ADISSビットを書き換える場合は，必ずA/D変換コンパレータ動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

3. AV_{REFP}をA/Dコンバータの＋側の基準電圧源（AVREF+）として使用している場合，ANI04をA/D変換チャネルとして選択しないでください。

4. AV_{REFM}をA/Dコンバータの－側の基準電圧源（AVREF-）として使用している場合，ANI05をA/D変換チャネルとして選択しないでください。

5. ADISS = 1を設定した場合，＋側の基準電圧源（AVREF+）に内部基準電圧は使用できません。

28. 3. 6　メモリ保護機能

IEC60730に要求される，アクセス禁止領域への不正アクセスをガードする機能，およびIEC61508に要求される不正アクセスを検知しCPUに伝達する機能を搭載しています。

V850E2/Jx4-Lでは搭載されるすべての領域に対するアクセスを検知することができます。

詳細については，3. 4　メモリ保護機能（MPU）を参照してください。

第29章 汎用CRC機能

29. 1 機 能

- 通信データの誤り検出に使用するCRCコード（巡回冗長符号）を生成します。
- データ・ブロックの誤り検出用のCRCコード生成回路です。
- 8ビット単位の任意のデータ長ブロックに対し，CRC-CCITT（$X^{16}+X^{12}+X^{5}+1$）の生成多項式を使用し，16ビットCRCコードを生成します。
- CRCコードは，CRCDレジスタに初期値を設定したあと，1バイトのデータをCRCINレジスタに転送するごとに，CRCDレジスタに設定されます。

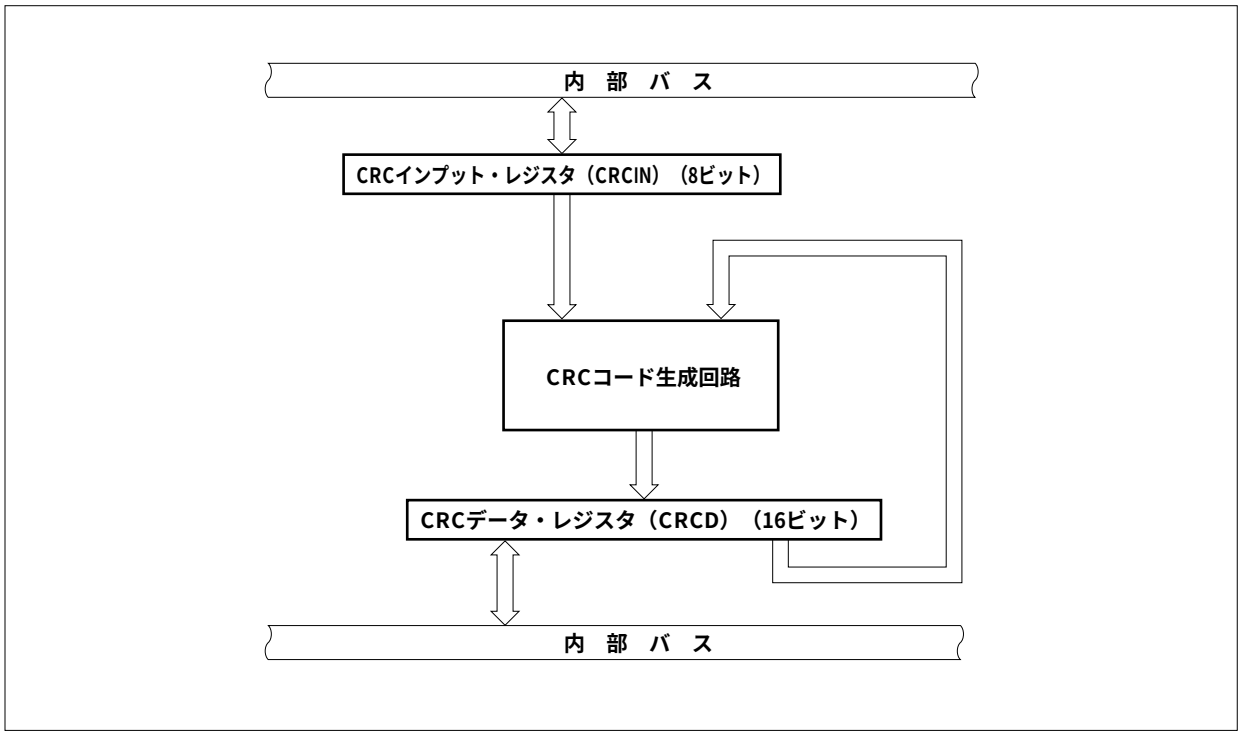
29. 2 構 成

汎用CRC機能は，次のハードウエアで構成されています。

表29ー1 汎用CRCの構成

項 目	構 成
制御レジスタ	CRCインプット・レジスタ（CRCIN） CRCデータ・レジスタ（CRCD）

図29ー1 CRCレジスタのブロック図



29. 3 レジスタ

(1) CRCインプット・レジスタ（CRCIN）

CRCINレジスタは，データ設定用の8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

アドレス：FF837000H リセット時：00H R/W

	7	6	5	4	3	2	1	0
CRCIN								

(2) CRCデータ・レジスタ（CRCD）

CRCDレジスタは，CRC-CCITT演算結果格納の16ビット・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

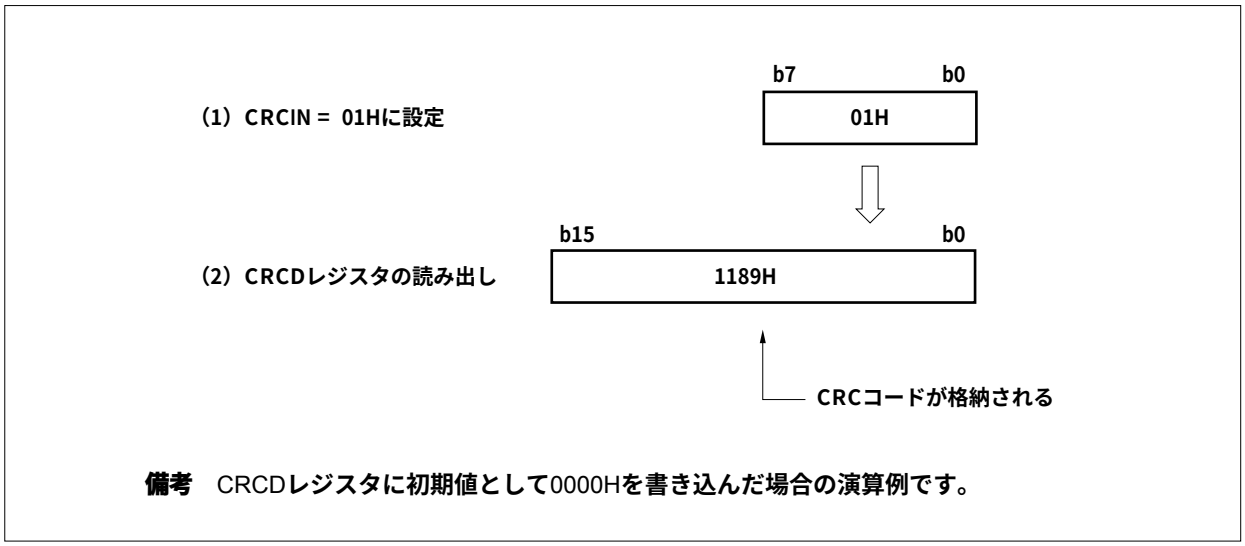
アドレス：FF837004H リセット時：0000H R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

29. 4　動　　作

汎用CRC演算回路の演算例を次に示します。

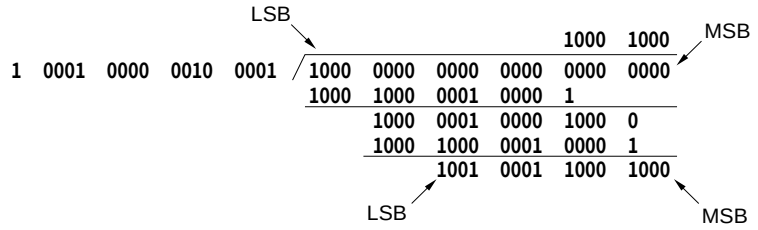
図29－2　汎用CRC演算回路の演算例（LSBファースト）



01HをLSBファーストで送信した場合のコードは（1000 0000）です。したがって，生成多項式$X^{16}+X^{12}+X^{5}+1$でのCRCコードは，モジュロ2の演算法則を用いて，（1000 0000）に0を16桁追加して（1000 0000 0000 0000 0000 0000）とし生成多項式（1 0001 0000 0010 0001）で除算をした場合の剰余となります。

モジュロ2の演算とは次の法則に基づいた演算です。

0＋0 = 0
0＋1 = 1
1＋0 = 1
1＋1 = 0
－1 = 1

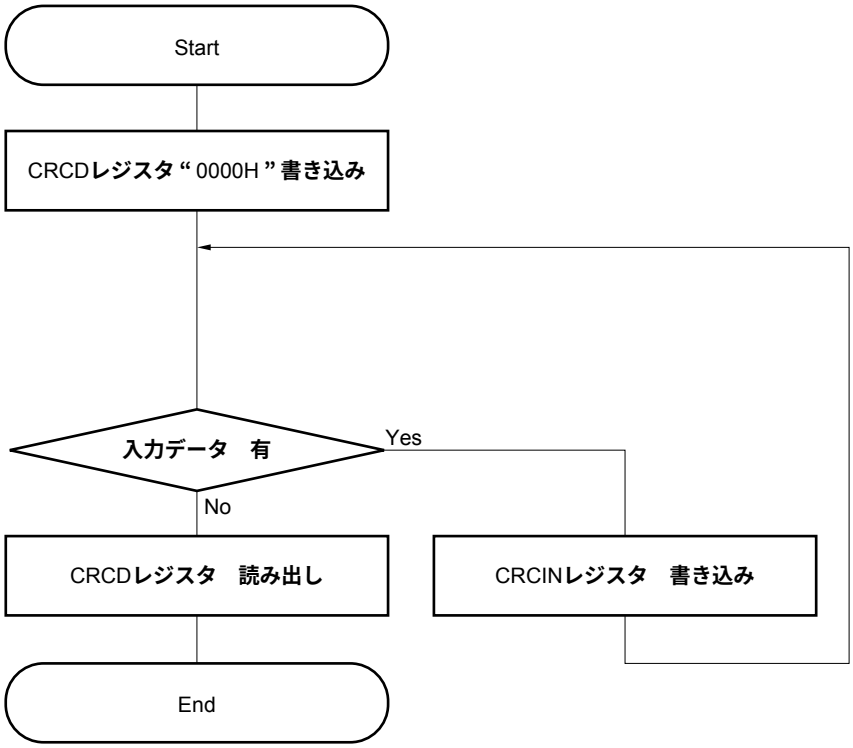


したがって，CRC符号は $\overbrace{1001}^{9}\ \overbrace{0001}^{8}\ \overbrace{1000}^{1}\ \overbrace{1000}^{1}$ となります。LSBファーストなので16進数表記では，1189Hに相当します。

29. 5 使用方法

次に汎用CRC論理回路の使用方法について説明します。

図29ー3 汎用CRC動作フロー



〔基本使用方法〕

① CRCDレジスタに0000Hを書き込み

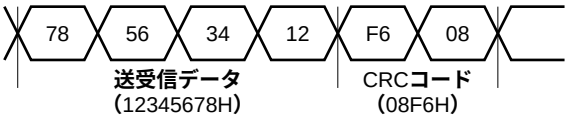
② CRCINレジスタに必要な分のデータを順に書き込み

③ CRCDレジスタ読み出し

複数バイトのデータを送受信する際，送受信データとともに，CRCコードを送受信すると，通信エラーを容易に検出できます。

次に12345678H（0001 0010 0011 0100 0101 0110 0111 1000B）全体をLSBファーストで送信する場合の例について示します。

図29ー4 CRC送信例



送信側の処理手順

① CRCDレジスタに，初期値“0000H”を書き込む
② 最初に送信する1バイト・データを，送信バッファ・レジスタに書き込む（このとき，CRCINレジスタにも同じデータを書き込む）
③ 複数バイトのデータを送信する場合は，送信データを送信バッファ・レジスタに書き込むたびに，同じデータをCRCINレジスタに書き込む
④ すべてのデータを送信したあと，CRCDレジスタの内容（CRCコード）を送信バッファ・レジスタに書き込み，送信する（データ全体をLSBファーストで，下位バイト，上位バイトの順に送信する）
⑤ 受信側から再送要求があった場合は再送信する

受信側の処理手順

① CRCDレジスタに，初期値“0000H”を書き込む
② 最初の1バイト・データの受信完了後，その受信データを，CRCINレジスタに書き込む
③ 複数バイトのデータを受信する場合は，受信完了のたびに，その受信データをCRCINレジスタに書き込む（正常に受信している場合，すべての受信データをCRCINレジスタに書き込んだ時点で，受信側のCRCDレジスタの内容と送信側のCRCDレジスタの内容は同一になる）
④ このあと，送信側からはCRCコードが送信されるので，受信データと同様に，CRCINレジスタに書き込む
⑤ CRCコードを含めて，すべての受信が完了した時点で，CRCDレジスタの内容が“0000H”であれば，正常受信。CRCDレジスタの内容は“0000H”以外の値の場合は，通信エラーであるため，送信側へ再送要求を行う

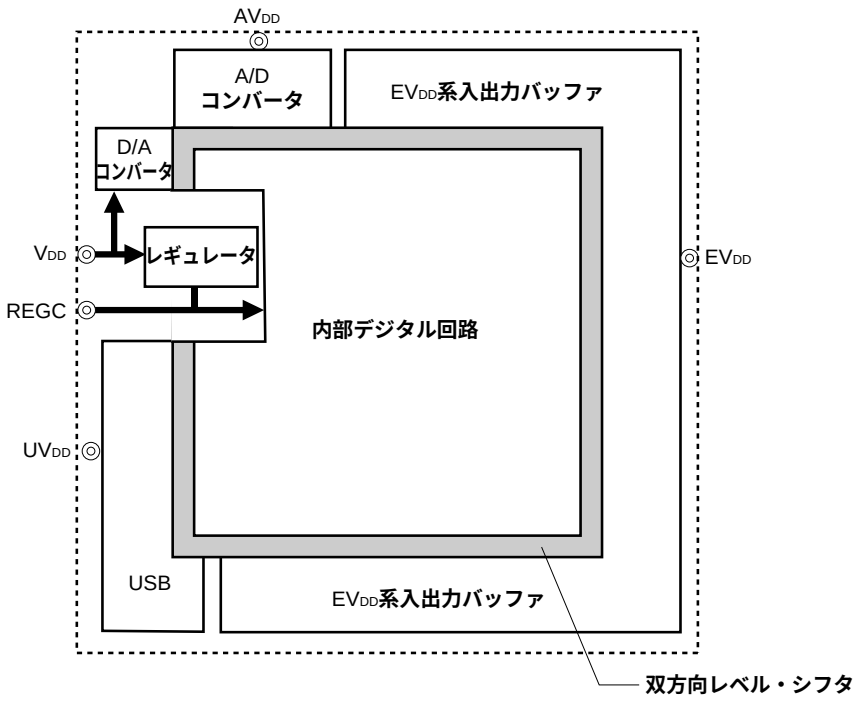
第30章 レギュレータ

30. 1 概 要

V850E2/Jx4-Lは，低消費電力／低ノイズを実現するために，レギュレータを内蔵しています。

このレギュレータは，内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に，V_{DD}電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，2.1 Vまたは，1.8 Vを切り替え可能です。

図30－1 レギュレータ



注意 V_{DD} = EV_{DD} = AV_{DD} = UV_{DD}で使用してください。

30. 2 動　　作

VDDに接続されているレギュレータは，すべてのモードで常に動作します。

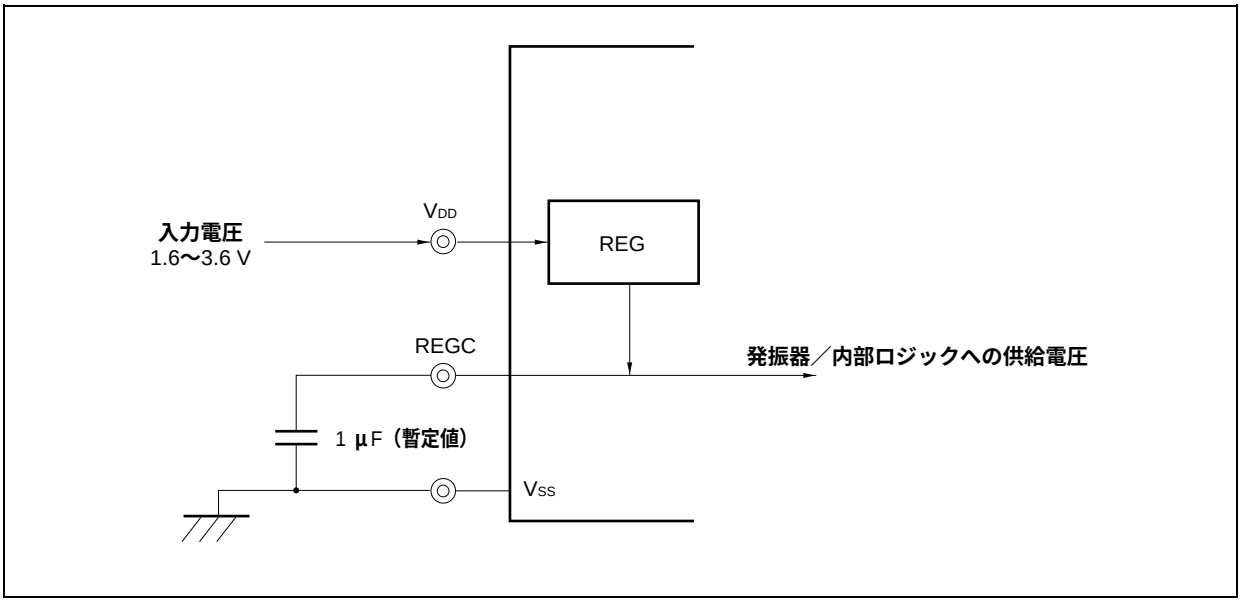
レギュレータの出力電圧は，CMODE.CMODE0ビットの設定で次にようになります。

CMODE0	チップ・モードの設定	レギュレータの出力電圧値
0	低電圧モード	1.8 V
1	高速モード	2.1 V

また，レギュレータの出力を安定させるためにREGC端子にコンデンサ（1 μF （暫定値））を接続してください。

次に端子の接続の方法を示します。

図30－2　REGC端子の接続



第31章 オプション・バイト

オプション・バイトは，内蔵フラッシュ・メモリの00000070H-00000074H番地（内蔵ROM領域）に8ビット・データとして格納されています。これらの8ビット・データは，次の設定が可能です。

- JTAGポートの切り替え
- チップ・モードの設定
- 動作周波数の設定
- メイン・システム・クロック（f_{MAIN}）の分周値の初期値設定
- LVD動作設定
- LVDの動作モードの選択
- ウォッチドッグ・タイマの割り込み設定
- ウインドウ・オープン期間設定
- リセット解除後のウォッチドッグ・タイマの動作設定
- ウォッチドッグ・タイマのリセット／割り込み発生時間の設定
- ウォッチドッグ・タイマのスタンバイ時のクリア動作
- 外部バスのモード切り替え
- PLL入力クロック分周選択
- ウォッチドッグ・タイマのソース・クロックの選択

V850E2/Jx4-Lにプログラムを書き込む場合には，31. 1 プログラム例を参考にして，オプション・データをプログラムに組み込んでください。00000070H-00000074H番地にオプション・データをプログラム上に設定してください。

なお，プログラム実行上，この領域のデータの書き換えなどはできません。

アドレス：00000070H

7	6	5	4	3	2	1	0
OPJTAG	1	1	1	1	1	1	1

OPJTAG	JTAGポートの切り替え
0	JP0ポートをポート機能または兼用機能として使用する
1	JP0ポートをJTAGインタフェースとして使用する

アドレス：00000071H

7	6	5	4	3	2	1	0
1	CMODE0	1	1	HOCOF0	CKDIV2	CKDIV1	CKDIV0

CMODE0	チップ・モードの設定
0	低電圧モード
1	高速モード

HOCOF0	動作周波数の設定
0	設定禁止
1	32 MHz動作

注意 V850E2/Jx4-Lでは，HOCOF0ビットは必ず1に設定してください。

CKDIV2	CKDIV1	CKDIV0	メイン・システム・クロック（f_{MAIN}）の分周値の初期値設定
0	0	0	設定禁止
0	0	1	設定禁止
0	1	0	1/1
0	1	1	1/2
1	0	0	1/4
1	0	1	1/8
1	1	0	1/16
1	1	1	1/32

アドレス：00000072H

7	6	5	4	3	2	1	0
LVISEL0	LVIIS3	LVIIS2	1	LVIIS1	LVIIS0	LVIMDS1	1

LVISEL0	LVD動作設定
0	内部LVD無効
1	内部LVD有効

LVIMDS1	LVDの動作モードの選択
0	割り込みモード
1	リセット・モード

備考 LVIIS3-LVIIS0については表31－1，表31－2を参照してください。

表31－1 割り込みモード時の設定

LVIS レジスタ	オプション・バイト						検出電圧（TYP.値） V_{LVI}	
LVISEL1	LVISEL0	LVIMDS1	LVIIS3	LVIIS2	LVIIS1	LVIIS0	立ち上がり	立ち下がり
0	1	1	0	0	0	0	1.69	1.65
0	1	1	0	0	0	1	1.79	1.75
0	1	1	0	0	1	0	1.9	1.86
0	1	1	0	0	1	1	2	1.96
0	1	1	0	1	0	0	2.11	2.06
0	1	1	0	1	0	1	2.53	2.48
0	1	1	0	1	1	0	2.64	2.58
0	1	1	0	1	1	1	2.74	2.68
0	1	1	1	0	0	0	2.85	2.79
0	1	1	1	0	0	1	2.96	2.9
0	1	1	1	0	1	0	3.06	3
0	1	1	1	0	1	1	3.17	3.1
上記以外							設定禁止	

備考 LVISレジスタについての詳細は，第26章 電圧検出回路（LVD）を参照してください。

表31－2 リセット・モード時の設定

LVIS レジスタ	オプション・バイト						検出電圧（TYP.値） V_{LVI}	
LVISEL1	LVISEL0	LVIMDS1	LVIIS3	LVIIS2	LVIIS1	LVIIS0	立ち上がり	立ち下がり
0	1	0	0	0	0	0	1.69	1.65
0	1	0	0	0	0	1	1.79	1.75
0	1	0	0	0	1	0	1.9	1.86
0	1	0	0	0	1	1	2	1.96
0	1	0	0	1	0	0	2.11	2.06
0	1	0	0	1	0	1	2.53	2.48
0	1	0	0	1	1	0	2.64	2.58
0	1	0	0	1	1	1	2.74	2.68
0	1	0	1	0	0	0	2.85	2.79
0	1	0	1	0	0	1	2.96	2.9
0	1	0	1	0	1	0	3.06	3
0	1	0	1	0	1	1	3.17	3.1
上記以外							設定禁止	

備考 LVISレジスタについての詳細は，第26章 電圧検出回路（LVD）を参照してください。

(1/2)

アドレス：00000073H

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマの割り込み設定
0	INTWDT割り込みを発生しない。
1	INTWDT割り込みを発生する。

WINDOW1	WINDOW0	ウインドウ・オープン期間設定
0	0	25 %注
0	1	50 %
1	0	75 %
1	1	100 %

注 クロック・ソースに低速オンチップ・オシレータ・クロック（f_{IL}）を選択する場合は設定禁止です。詳細は第11章 ウォッチドッグ・タイマを参照してください。

WDTON	リセット解除後のウォッチドッグ・タイマの動作設定
0	ウォッチドッグ・タイマ停止（リセット解除後，カウンタ停止（クリア））
1	ウォッチドッグ・タイマ動作（リセット解除後，カウント開始）

低速オンチップ・オシレータ（f_{IL}）：15 kHz**選択時**

WDCS2	WDCS1	WDCS0	リセット／割り込み発生時間の設定		
			分周比	WDTRES発生時間	INTWDT発生時間
0	0	0	2^6	$2^6/f_{IL}$ = 4.3 ms	$2^6/f_{IL}\times0.75+1/2f_{IL}$ = 3.2 ms
0	0	1	2^7	$2^7/f_{IL}$ = 8.5 ms	$2^7/f_{IL}\times0.75+1/2f_{IL}$ = 6.4 ms
0	1	0	2^8	$2^8/f_{IL}$ = 17.1 ms	$2^8/f_{IL}\times0.75+1/2f_{IL}$ = 12.8 ms
0	1	1	2^9	$2^9/f_{IL}$ = 34.1 ms	$2^9/f_{IL}\times0.75+1/2f_{IL}$ = 25.6 ms
1	0	0	2^{11}	$2^{11}/f_{IL}$ = 136.5 ms	$2^{11}/f_{IL}\times0.75+1/2f_{IL}$ = 102.4 ms
1	0	1	2^{13}	$2^{13}/f_{IL}$ = 546.1 ms	$2^{13}/f_{IL}\times0.75+1/2f_{IL}$ = 409.6 ms
1	1	0	2^{14}	$2^{14}/f_{IL}$ = 1092.3 ms	$2^{14}/f_{IL}\times0.75+1/2f_{IL}$ = 819.2 ms
1	1	1	2^{16}	$2^{16}/f_{IL}$ = 4369.1 ms	$2^{16}/f_{IL}\times0.75+1/2f_{IL}$ = 3276.8 ms

サブシステム・クロック発振（f_{SX}）：32.768 kHz**選択時**

WDCS2	WDCS1	WDCS0	リセット／割り込み発生時間の設定		
			分周比	WDTRES発生時間	INTWDT発生時間
0	0	0	2^6	$2^6/f_{SX}$ = 2.0 ms	$2^6/f_{SX}\times0.75+1/2f_{SX}$ = 1.6 ms
0	0	1	2^7	$2^7/f_{SX}$ = 3.9 ms	$2^7/f_{SX}\times0.75+1/2f_{SX}$ = 3.1 ms
0	1	0	2^8	$2^8/f_{SX}$ = 7.8 ms	$2^8/f_{SX}\times0.75+1/2f_{SX}$ = 6.2 ms
0	1	1	2^9	$2^9/f_{SX}$ = 15.6 ms	$2^9/f_{SX}\times0.75+1/2f_{SX}$ = 12.3 ms
1	0	0	2^{11}	$2^{11}/f_{SX}$= 62.5 ms	$2^{11}/f_{SX}\times0.75+1/2f_{SX}$= 49.2 ms
1	0	1	2^{13}	$2^{13}/f_{SX}$= 250.0 ms	$2^{13}/f_{SX}\times0.75+1/2f_{SX}$= 196.6 ms
1	1	0	2^{14}	$2^{14}/f_{SX}$= 500.0 ms	$2^{14}/f_{SX}\times0.75+1/2f_{SX}$= 393.2 ms
1	1	1	2^{16}	$2^{16}/f_{SX}$= 2000.0 ms	$2^{16}/f_{SX}\times0.75+1/2f_{SX}$= 1572.9 ms

(2/2)

高速オンチップ・オシレータ（f_{IH}）/1024：31.25 kHz選択時

WDCS2	WDCS1	WDCS0	リセット／割り込み発生時間の設定		
			分周比	WDTRES発生時間	INTWDT発生時間
0	0	0	2^6	$2^6/f_{IH}/1024$ = 2.0 ms	$2^6/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 3.2 ms
0	0	1	2^7	$2^7/f_{IH}/1024$ = 4.1 ms	$2^7/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 6.4 ms
0	1	0	2^8	$2^8/f_{IH}/1024$ = 8.2 ms	$2^8/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 12.8 ms
0	1	1	2^9	$2^9/f_{IH}/1024$ = 16.4 ms	$2^9/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 25.6 ms
1	0	0	2^{11}	$2^{11}/f_{IH}/1024$ = 65.5 ms	$2^{11}/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 102.4 ms
1	0	1	2^{13}	$2^{13}/f_{IH}/1024$ = 262.1 ms	$2^{13}/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 409.6 ms
1	1	0	2^{14}	$2^{14}/f_{IH}/1024$ = 524.3 ms	$2^{14}/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 819.2 ms
1	1	1	2^{16}	$2^{16}/f_{IH}/1024$ = 2097.2 ms	$2^{16}/f_{IH}/1024\times0.75+1/2f_{IH}/1024$ = 3276.8 ms

WDSTBYON	ウォッチドッグ・タイマのスタンバイ時のクリア動作	ウインドウ・サイズ
0	スタンバイ時カウンタをクリアする	100 %
1	スタンバイ時カウンタをクリアしない	WINDOW1，WINDOW0の設定値
WDSTBYON=0のとき，メインHALT，サブHALT, STOP, SNOOZEモード時に，WDTのカウンタが自動的にクリアされ，カウント動作は停止します。また，WDTが動作しているときはWINDOW1, WINDOW0の設定値にかかわらず、ウインドウ・サイズは100%になります。		

アドレス：00000074H

7	6	5	4	3	2	1	0
1	1	1	1	EXIMC	PLLI0	WDCK1	WDCK0

EXIMC	外部バスのモード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

PLLI0	PLL入力クロック分周選択
0	メインPLLおよび USB PLLに入力するメイン・クロック（f_{MX}）を分周しない
1	メインPLLおよび USB PLLに入力するメイン・クロック（f_{MX}）を2分周する

WDCK1	WDCK0	ウォッチドッグ・タイマのソース・クロックの選択
0	0	サブクロック（f_{SX}）
0	1	高速オンチップ・オシレータ（f_{IH}）/1024
1	0	設定禁止
1	1	低速オンチップ・オシレータ（f_{IL}）

31. 1 プログラム例

次に，CXコンパイラをご使用の場合のプログラム例を示します。

```
#-----------------------------------------------------------------
# OPTION_BYTES
#-----------------------------------------------------------------
OPTION_BYTES .CSEG OPT_BYTE ; オプション・バイト(00000070～00000074番地)の指定
.DB 0b01111111 -- 0x70 ;00000070番地に0b01111111を指定
.DB 0b11111010 -- 0x71 ;00000071番地に0b11111010を指定
.DB 0b01010001 -- 0x72 ;00000072番地に0b01010001を指定
.DB 0b01100000 -- 0x73 ;00000073番地に0b01100000を指定
.DB 0b11111011 -- 0x74 ;00000074番地に0b11111011を指定
.DB 0b11111111 -- 0x75 ;00000075番地に0b11111111を指定
.DB 0b11111111 -- 0x76 ;00000076番地に0b11111111を指定
.DB 0b11111111 -- 0x77 ;00000077番地に0b11111111を指定
```

注意 このセクションは必ず8バイト分を記述してください。8バイト未満の場合は，リンクの際にエラーとなります。

エラー・メッセージ： F0560311:セクション“OPTION_BYTES”のサイズが不正です。

備考 00000075H-00000077H番地には0xFFを設定してください。

第32章 フラッシュ・メモリ

V850E2/Jx4-Lは，基板に実装した状態でプログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“ コード・フラッシュ ”とデータ格納領域の“ データ・フラッシュ ” があります。

表32ー1 製品別フラッシュ・メモリ

コード・フラッシュ・メモリ・サイズ	データ・フラッシュ・メモリ・サイズ	愛 称	品 名
32 Kバイト	16 Kバイト	V850E2/JC4-L	μPD70F4035, 70F4041
		V850E2/JE4-L	μPD70F4049
64 Kバイト	16 Kバイト	V850E2/JC4-L	μPD70F4036, 70F4042
		V850E2/JE4-L	μPD70F4050
128 Kバイト	16 Kバイト	V850E2/JC4-L	μPD70F4037, 70F4043
		V850E2/JE4-L	μPD70F4051
		V850E2/JF4-L	μPD70F4057
		V850E2/JG4-L	μPD70F4063
256 Kバイト	16 Kバイト	V850E2/JC4-L	μPD70F4038, 70F4044
		V850E2/JE4-L	μPD70F4052
		V850E2/JF4-L	μPD70F4058
		V850E2/JG4-L	μPD70F4064
384 Kバイト	16 Kバイト	V850E2/JC4-L	μPD70F4039, 70F4045
		V850E2/JE4-L	μPD70F4053
		V850E2/JF4-L	μPD70F4059
		V850E2/JG4-L	μPD70F4065
512 Kバイト	16 Kバイト	V850E2/JC4-L	μPD70F4040, 70F4046
		V850E2/JE4-L	μPD70F4054
		V850E2/JF4-L	μPD70F4060
		V850E2/JG4-L	μPD70F4066
		V850E2/JH4-L	μPD70F4071
		V850E2/JJ4-L	μPD70F4076
768 Kバイト	32 Kバイト	V850E2/JE4-L	μPD70F4055
		V850E2/JF4-L	μPD70F4061
		V850E2/JG4-L	μPD70F4067
		V850E2/JH4-L	μPD70F4072
		V850E2/JJ4-L	μPD70F4077
1024 Kバイト	32 Kバイト	V850E2/JE4-L	μPD70F4056
		V850E2/JF4-L	μPD70F4062
		V850E2/JG4-L	μPD70F4068
		V850E2/JH4-L	μPD70F4073
		V850E2/JJ4-L	μPD70F4078
1536 Kバイト	32 Kバイト	V850E2/JG4-L	μPD70F4069
		V850E2/JH4-L	μPD70F4074
		V850E2/JJ4-L	μPD70F4079
2048 Kバイト	32 Kバイト	V850E2/JG4-L	μPD70F4070
		V850E2/JH4-L	μPD70F4075
		V850E2/JJ4-L	μPD70F4080

32. 1 フラッシュ・メモリ・プログラマによる書き込み方法

V850E2/Jx4-Lの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5
・E1オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850E2/Jx4-Lを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にV850E2/Jx4-Lを実装する前に専用プログラム・アダプタ（FAシリーズ注）などでフラッシュ・メモリに書き込みます。

注 開発中

備考 FAシリーズは，（株）内藤電誠町田製作所の製品です。

表32ー2 V850E2/Jx4-Lと専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号						
					144	128	100	80	64	48	40ピン
信号名		入出力	端子機能		LQFP (20×20)	LQFP (14×20)	LQFP (14×14) LQFP (14×20)	LQFP (14×14), LQFP (12×12)	LQFP (12×12), LQFP (10×10), TQFP (7×7)	LQFP (7×7), WQFN (7×7)	WQFN (6×6)
PG-FP5	E1オンチップデバッギングエミュレータ										
ー	TOOL0	入出力	送受信信号	TOOL0/JP0_0	78	73	56	46	36	25	21
SI/RxD	ー	入出力	送受信信号								
SCK	ー	出力	ー	ー	ー	ー	ー	ー	ー	ー	ー
CLK	ー	出力	ー	ー	ー	ー	ー	ー	ー	ー	ー
ー	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	24	23	13	9	5	4	3
/RESET	ー	出力									
FLMD0	ー	出力	モード信号	ー	ー	ー	ー	ー	ー	ー	ー
V_{DD}/EMV_{DD}		ー	V_{DD}電圧生成／電源監視／TOOL0端子駆動電源	V_{DD}	33	32	22	18	14	12	11
				EV_{DD}	34,61,94	33,56,89	23,72	19,57	15,45	34,12	30, 11
				AV_{DD}	1	4	1	1	1	1	1
				UV_{DD}	40	39	29	24	20	16	15
GND		ー	グランド	V_{SS}	31	30	20	16	12	11	10
				EV_{SS}	32,60,93	31,55,88	21,71	17,56	13,44	11,33	10,29
				AV_{SS}	2	5	2	2	2	2	2
				REGC注	30	29	19	15	11	10	9

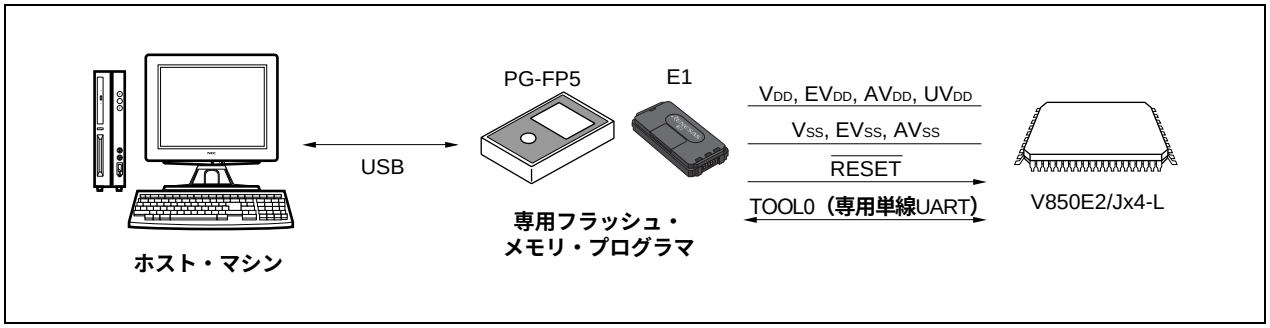
注 REGC端子はコンデンサ（1 μF（暫定値））を介してグランドに接続してください。

備考 この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

32. 1. 1 プログラミング環境

V850E2/Jx4-Lのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図32ー1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

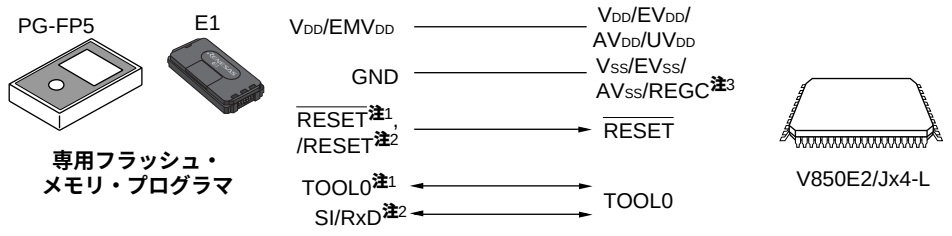
また，専用フラッシュ・メモリ・プログラマとV850E2/Jx4-Lとのインタフェースは TOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

32. 1. 2 通信方式

専用フラッシュ・メモリ・プログラマとV850E2/Jx4-Lとの通信は，V850E2/Jx4-LのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図32ー2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッギングエミュレータ使用時。
2. PG-FP5使用時。
3. REGC端子はコンデンサ（1 μF（暫定値））を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはV850E2/Jx4-Lに対して次の信号を生成します。詳細はPG-FP5またはE1オンチップデバッギングエミュレータのマニュアルを参照してください。

表32－3 端子接続一覧

専用フラッシュ・メモリ・プログラマ				V850E2/Jx4-L	接続時の処置
信号名		入出力	端子機能	端子名	
PG-FP5	E1オンチップデバッギングエミュレータ				
FLMD0	－	出力	モード信号	－	×
V_{DD}		入出力	V_{DD}電圧生成／電圧監視	V_{DD}, EV_{DD}, AV_{DD}, UV_{DD}	◎
GND		－	グランド	V_{SS}, EV_{SS}, AV_{SS}, REGC注	◎
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}, EV_{DD}, AV_{DD}, UV_{DD}	◎
CLK	－	出力	クロック出力	－	×
/RESET	－	出力	リセット信号	$\overline{\text{RESET}}$	◎
－	$\overline{\text{RESET}}$	出力			
－	TOOL0	入出力	送受信信号	TOOL0	◎
SI/RxD	－	入出力	送受信信号		
SCK	－	出力	転送クロック	－	×

注 REGC端子はコンデンサ（1 μF（暫定値））を介してグランドに接続してください。

備考 ◎：必ず接続してください。
×：接続の必要はありません。

32. 2 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

32. 2. 1 JP0_0/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：端子リセット解除時からT.B.D msの期間はロウ・レベルを入力しないでください。また，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

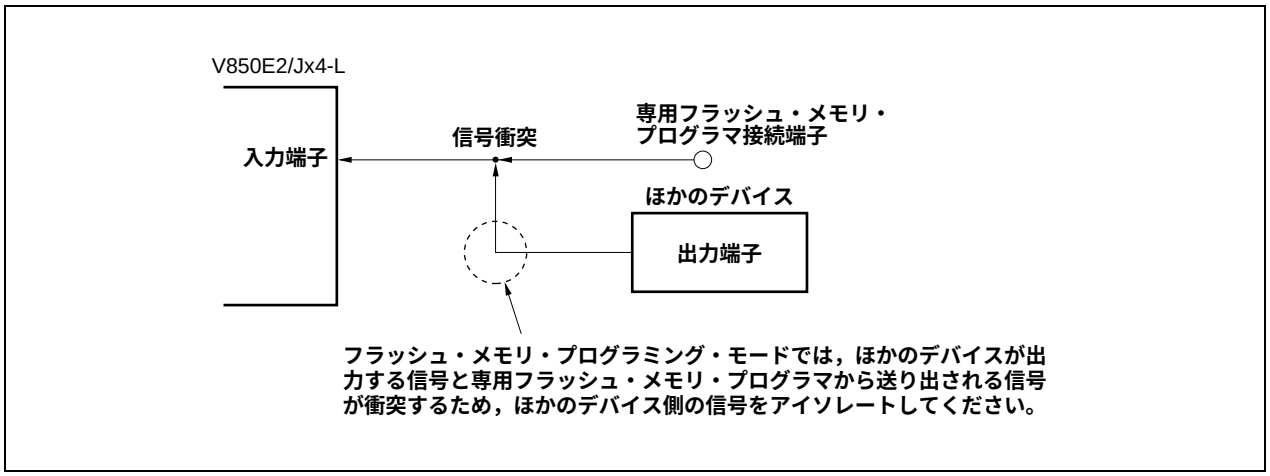
備考 V850E2/Jx4-Lと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

32. 2. 2 $\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図32－3 信号の衝突（$\overline{\text{RESET}}$端子）



32. 2. 3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}, EV_{DD}, AV_{DD},またはUV_{DD}に接続するか，もしくは抵抗を介してV_{SS}, EV_{SS},またはAV_{SS}に接続するなどの端子処理が必要です。

32. 2. 4 REGC端子

REGC端子は，通常動作時と同様に，コンデンサ（1 μF（暫定値））を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

32. 2. 5 X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

32. 2. 6 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}，V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}，GNDと必ず接続してください。

その他の電源（AV_{DD}, AV_{SS}, UV_{DD}, EV_{DD}, EV_{SS}）は，V_{DD}, V_{SS}と同じ電源を供給してください。

32. 3 データ・フラッシュ

32. 3. 1 データ・フラッシュの概要

V850E2/Jx4-Lのデータ・フラッシュ搭載品は，32 K～2 Mバイトのコード・フラッシュとは別に，データを格納する16/32 Kバイトのデータ・フラッシュ（フラッシュ・メモリ）を内蔵しています。

表32－4 製品別データ･フラッシュ・メモリ

データ・フラッシュ・サイズ	愛　称	品　名
16 Kバイト	V850E2/JC4-L	μPD70F4035, 70F4036, 70F4037, 70F4038, 70F4039, 70F4040
	V850E2/JC4-L	μPD70F4041, 70F4042, 70F4043, 70F4044, 70F4045, 70F4046
	V850E2/JE4-L	μPD70F4049, 70F4050, 70F4051, 70F4052, 70F4053, 70F4054
	V850E2/JF4-L	μPD70F4057, 70F4058, 70F4059, 70F4060
	V850E2/JG4-L	μPD70F4063, 70F4064, 70F4065, 70F4066
	V850E2/JH4-L	μPD70F4071
	V850E2/JJ4-L	μPD70F4076
32 Kバイト	V850E2/JE4-L	μPD70F4055, 70F4056
	V850E2/JF4-L	μPD70F4061, 70F4062
	V850E2/JG4-L	μPD70F4067, 70F4068, 70F4069, 70F4070
	V850E2/JH4-L	μPD70F4072, 70F4073, 70F4074, 70F4075
	V850E2/JJ4-L	μPD70F4077, 70F4078, 70F4079, 70F4080

データ・フラッシュの概要は次のとおりです。

- フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- 1ブロック = 1 Kバイト単位で消去可能
- CPU命令によるアクセスは32ビット・アクセスのみ
- データ専用領域なので，データ・フラッシュからの命令実行（コード・フェッチ）はできません
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行が可能（バックグランド・オペレーション（BGO）対応）
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
- リセット解除後は停止状態なので，使用するためにはデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を設定します
- データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
- データ・フラッシュにアクセスした場合は、次のウエイトが挿入されます
  - DCLKSEL1.DCLKSEL0 = 01（データ・フラッシュ用のクロック分周比1/2）6f_{CLK}
  - DCLKSEL1.DCLKSEL0 = 11（データ・フラッシュ用のクロック分周比1/4）14f_{CLK}

32. 3. 2 データ・フラッシュを制御するレジスタ

(1) データ・フラッシュ・クロック選択レジスタ（DCLKSEL）

データ・フラッシュへのアクセス・クロック分周比を設定するレジスタです。

DCLKSELレジスタの設定は，リセット解除後の初期設定でのみ行い，その他の動作中に変更ないでください。

8ビット単位でリード／ライト可能です。

リセットにより，03Hになります。

アドレス：FF436000H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DCLKSEL	0	0	0	0	0	0	DCLKSEL1	DCKSEL0

DCLKSEL1	DCKSEL0	データ・フラッシュ用のクロック分周比
0	0	設定禁止
0	1	1/2
1	0	設定禁止
1	1	1/4

注意 データ・フラッシュの動作クロックの最大周波数は16 MHzなので，16 MHzを越えないような周波数に設定してください。
V850E2/Jx4-Lでは01Hに設定することを推奨します。

(2) データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

8ビット・メモリ単位でリード／ライト可能です。

リセットにより，00Hになります。

アドレス：FF436004H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

32. 3. 3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では，データ・フラッシュは停止状態であり，そのままではアクセス（リードおよびプログラミング）はできません。アクセスするには以下の手順を行ってください。

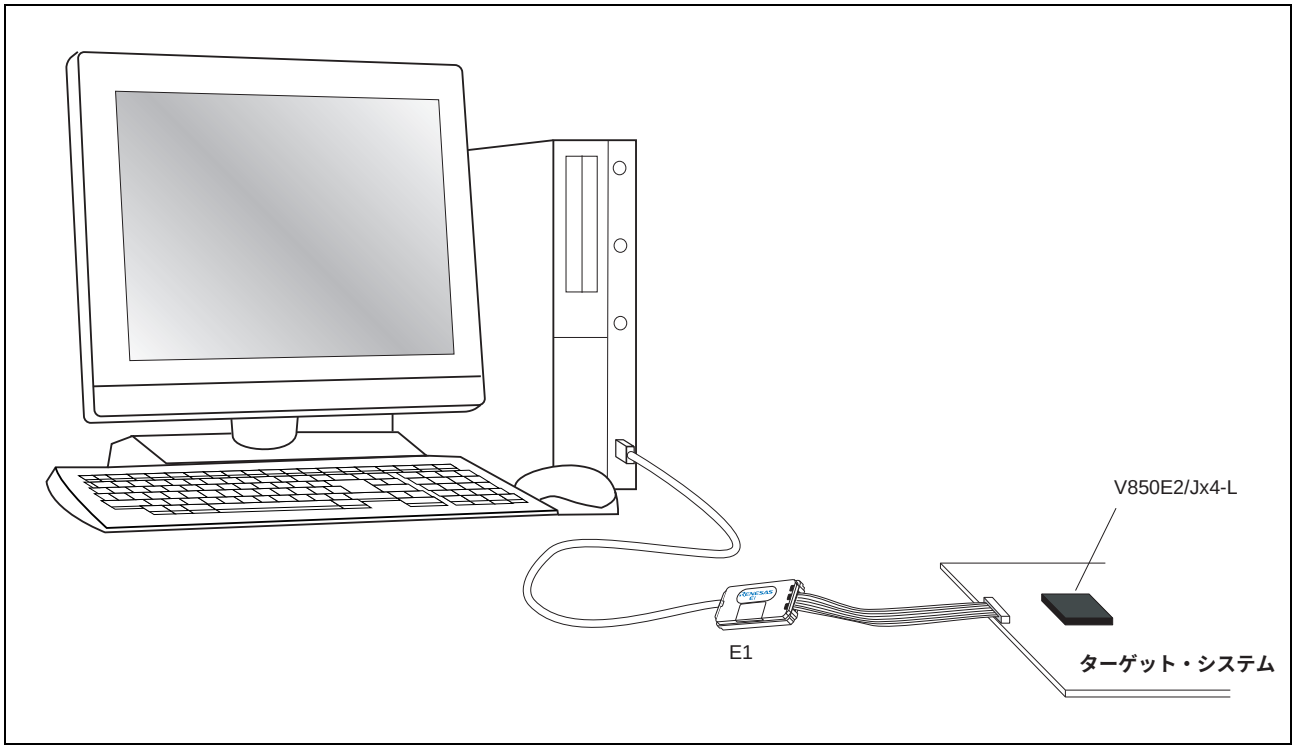
① データ・フラッシュ・クロック選択レジスタ（DCLKSEL）にて動作クロックを設定。
② データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLENビットに“1”を書き込む。
③ セットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
＜各メイン・クロック・モードでのセットアップ時間＞
・通常動作（高速モード）モード時 ：5 μs
・通常動作（低電圧モード）モード時 ：10 μs
④ セットアップ時間のウエイト完了後，データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は，データ・フラッシュへのアクセス禁止です。
2. セットアップ時間中にSTOPモードに移行したい場合は，いったんDFLEN = 0に設定してからSTOPモードに移行してください。

第33章　オンチップ・デバッグ機能

オンチップ･デバッグとは，ターゲット・システムにV850E2/Jx4-Lを実装したままデバッグをする機能です。
特にE1を使用すれば，簡単なインタフェースでオンチップ・デバッグが可能です。

図33－1　E1を使用したオンチップ・デバッグのイメージ図



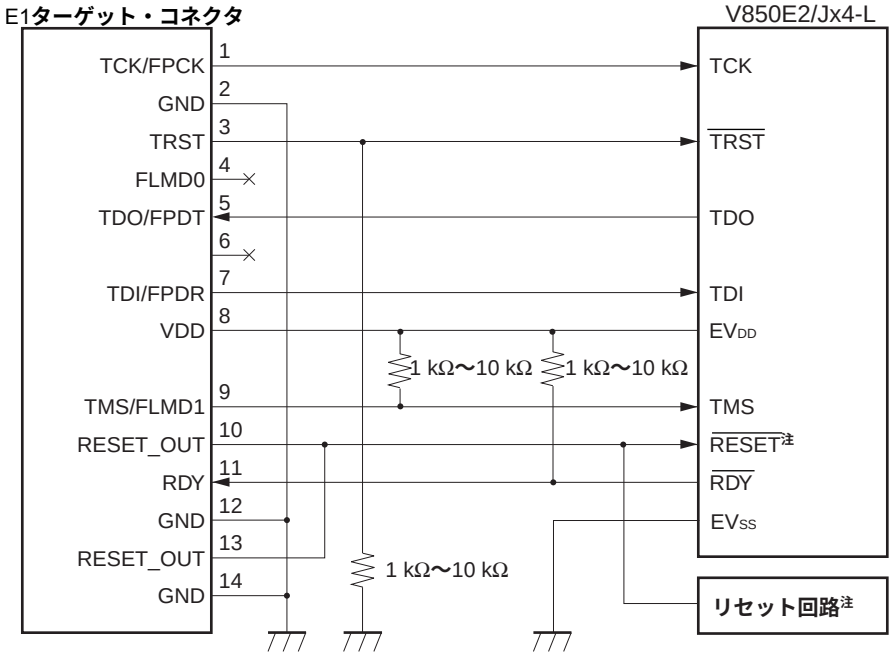
V850E2/Jx4-Lのオンチップ・デバッグを行うには次の2つの方法があります。

- JTAG端子を使用する方法
  JTAG端子（$\overline{\text{TRST}}$, TCK, TMS, TDI, TDO, $\overline{\text{RDY}}$端子）をデバッグ･インタフェース端子として，E1などによってオンチップ・デバッグを実現します。
- 単線UART（TOOL0端子）を使用する方法
  JTAG端子を使用せず，単線UART（TOOL0端子）とユーザ資源を使用してE1などによってオンチップ・デバッグを実現します。

33. 1 オンチップ・デバッグ・エミュレータとの接続

33. 1. 1 接続回路例

図33ー2 推奨接続例（デバッグ（JTAG））



注 リセット回路の出力がN-chオープン・ドレーンのバッファによるものを想定した回路例です。

JTAG端子（$\overline{\text{TRST}}$, TCK, TMS, TDI, TDO, $\overline{\text{RDY}}$端子）を利用して，オンチップ・デバッグ・エミュレータ（E1）を接続することで，デバッグ・インタフェース端子以外のユーザ資源を消費することなく，プログラムのデバッグが可能です。

表33－1 デバッグ（JTAG）時に使用する端子名

端子名	機能
$\overline{\text{TRST}}$	オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。
TCK	デバッグに使用するクロック入力信号です。
TMS	データ通信の転送モード選択信号です。
TDI	データ入力信号です。
TDO	データ出力信号です。
$\overline{\text{RDY}}$	データ通信の同期信号です。
EV_{DD}	ターゲット･システムの電源または，オンチップ・デバッグ・エミュレータ内のバッファの電源を検出するための信号です。
$\overline{\text{RESET}}$	マイクロコントローラのリセット信号です。この端子を接続し，システムの電源が投入されてからデバッガが起動する直前までマイクロコントローラをリセットの状態に維持します。

備考 その他の用途に応じた推奨接続例の詳細については，使用されるデバッガ，エミュレータのユーザーズ・マニュアルを参照してください。

33. 2 注意事項

・デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを，量産製品に搭載しないでください。デバッグ中にフラッシュ・メモリの書き換えをしており，フラッシュ・メモリの書き換え回数を保証することができないためです。なお，フラッシュ・メモリの書き換えができなくなった場合，ソフトウエアによるエラーが発生します。このような場合は，デバイスを交換してください。

・その他の注意事項

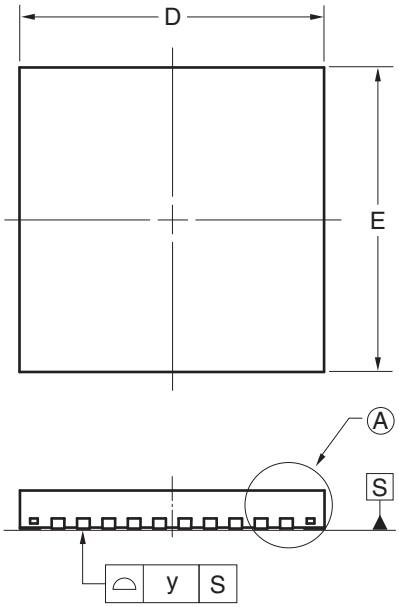
使用されるデバッガ、エミュレータのユーザーズ・マニュアルを参照してください。

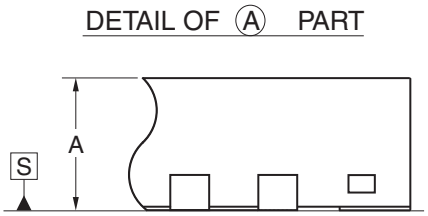
33. 3 ユーザ資源の確保

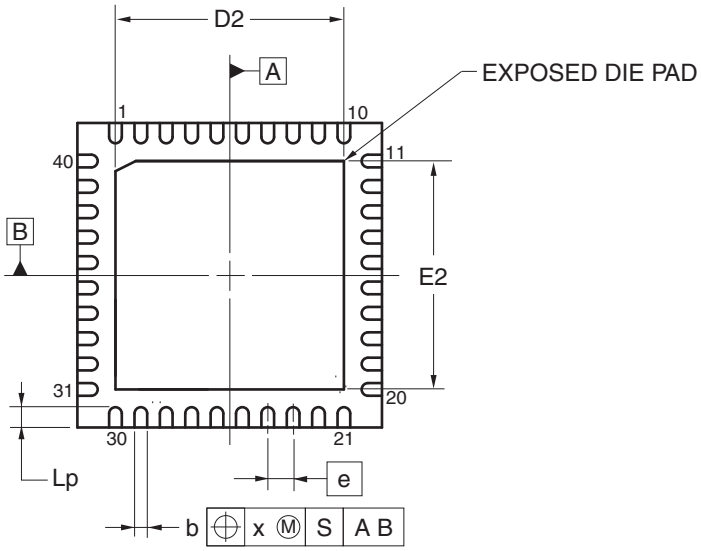
単線UART（TOOL0端子）を使用したオンチップ・デバッグ接続の場合，V850E2/Jx4-LとE1オンチップ・デバッギング・エミュレータとの通信を行うために，メモリ空間の確保を事前に行う必要があります。ユーザ資源の確保の詳細については、使用されるデバッガ，エミュレータのユーザーズ・マニュアルを参照してください。。

第34章 外 形 図

40-PIN PLASTIC WQFN(6x6)







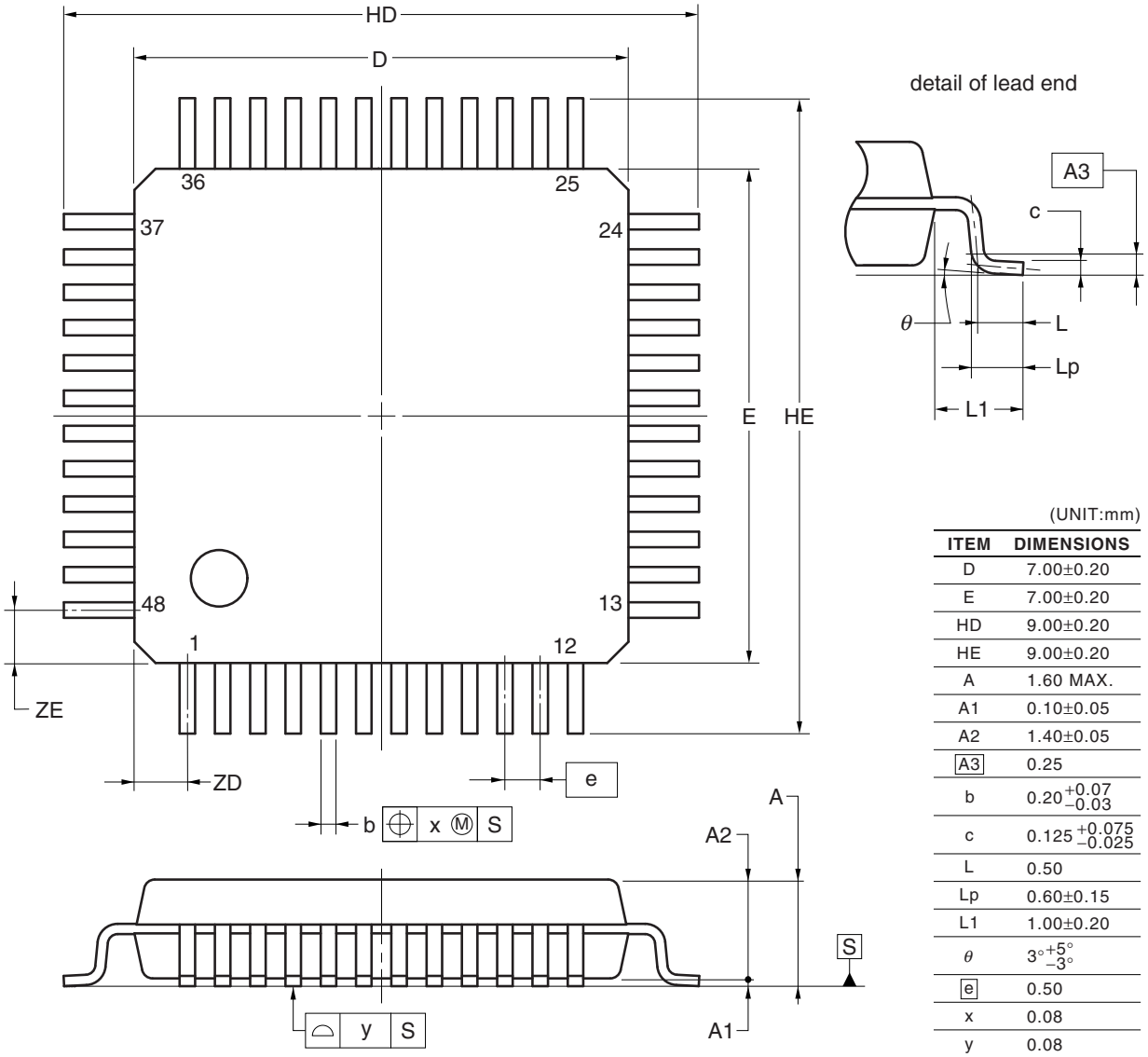
(UNIT:mm)

ITEM	DIMENSIONS
D	6.00±0.05
E	6.00±0.05
A	0.75±0.05
b	$0.25^{+0.05}_{-0.07}$
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

P40K8-50-4B4-2

ITEM		D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	4.45	4.50	4.55	4.45	4.50	4.55

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)



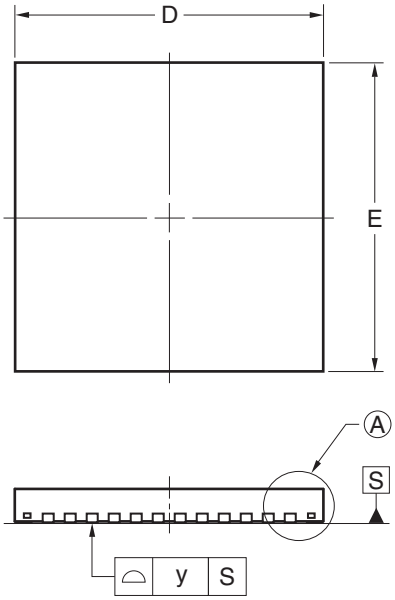
(UNIT:mm)

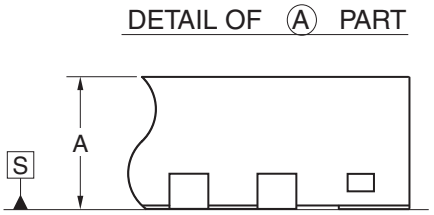
ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

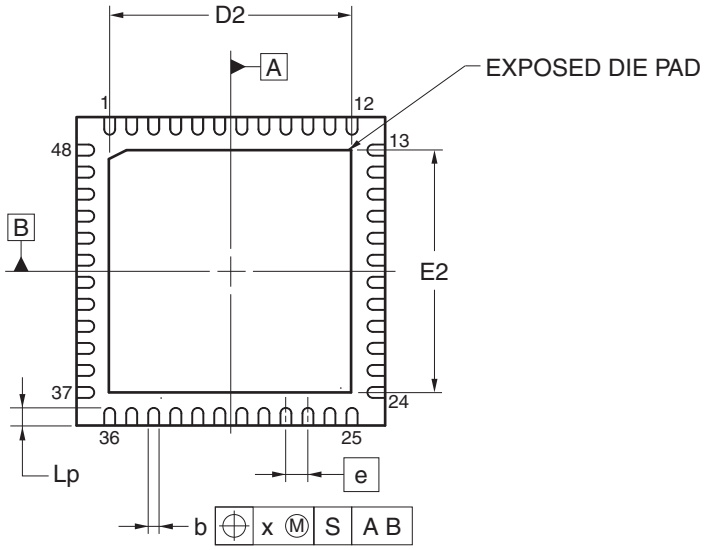
P48GA-50-GAM-1

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

48-PIN PLASTIC WQFN(7x7)







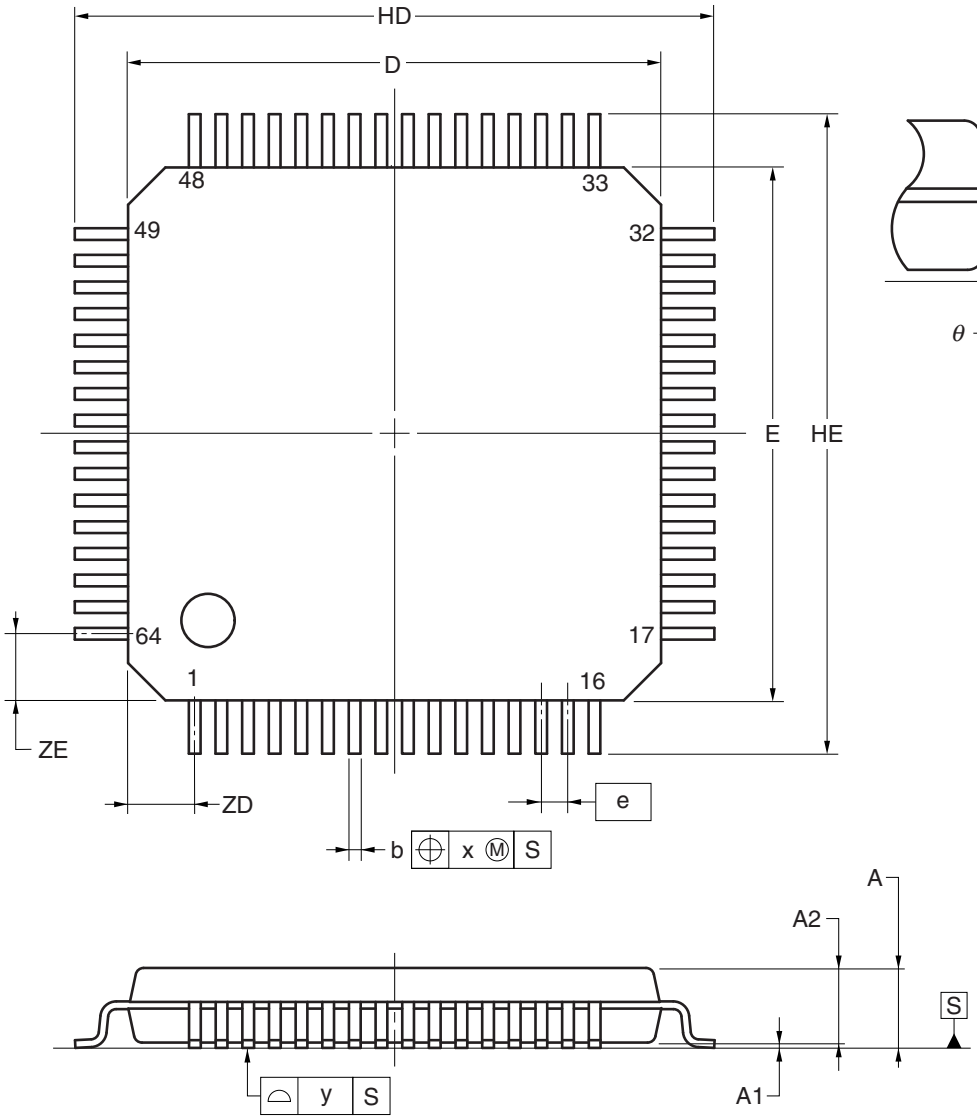
(UNIT:mm)

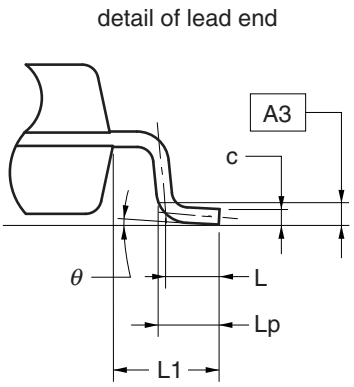
ITEM	DIMENSIONS
D	7.00±0.05
E	7.00±0.05
A	0.75±0.05
b	$0.25^{+0.05}_{-0.07}$
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

P48K8-50-5B4-3

ITEM		D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	5.45	5.50	5.55	5.45	5.50	5.55

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)





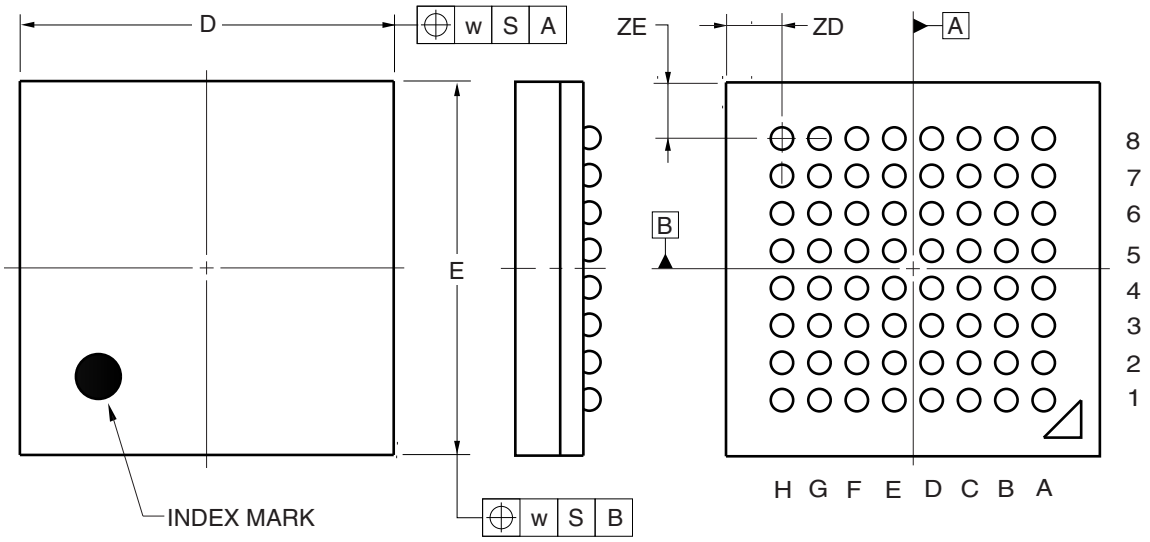
(UNIT:mm)

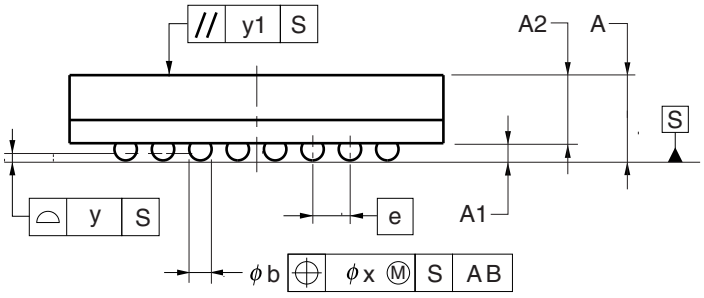
ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P64GB-50-GAH-1

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

64-PIN PLASTIC FBGA (5x5)



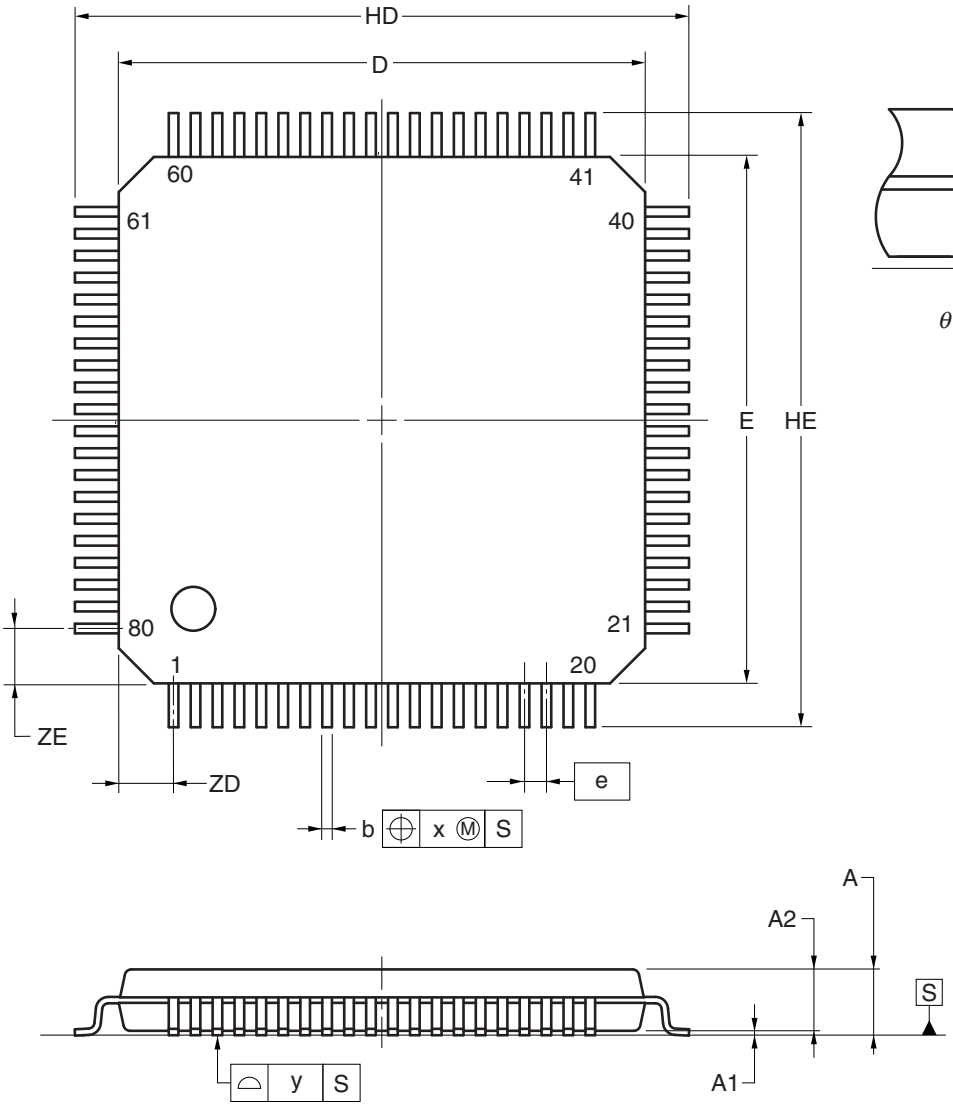


(UNIT:mm)

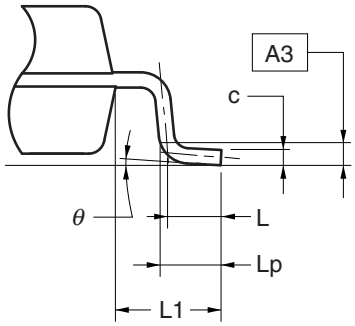
ITEM	DIMENSIONS
D	5.00±0.10
E	5.00±0.10
w	0.20
A	1.13±0.10
A1	0.22±0.05
A2	0.91
e	0.50
b	0.31±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P64F1-50-AN9-1

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



detail of lead end



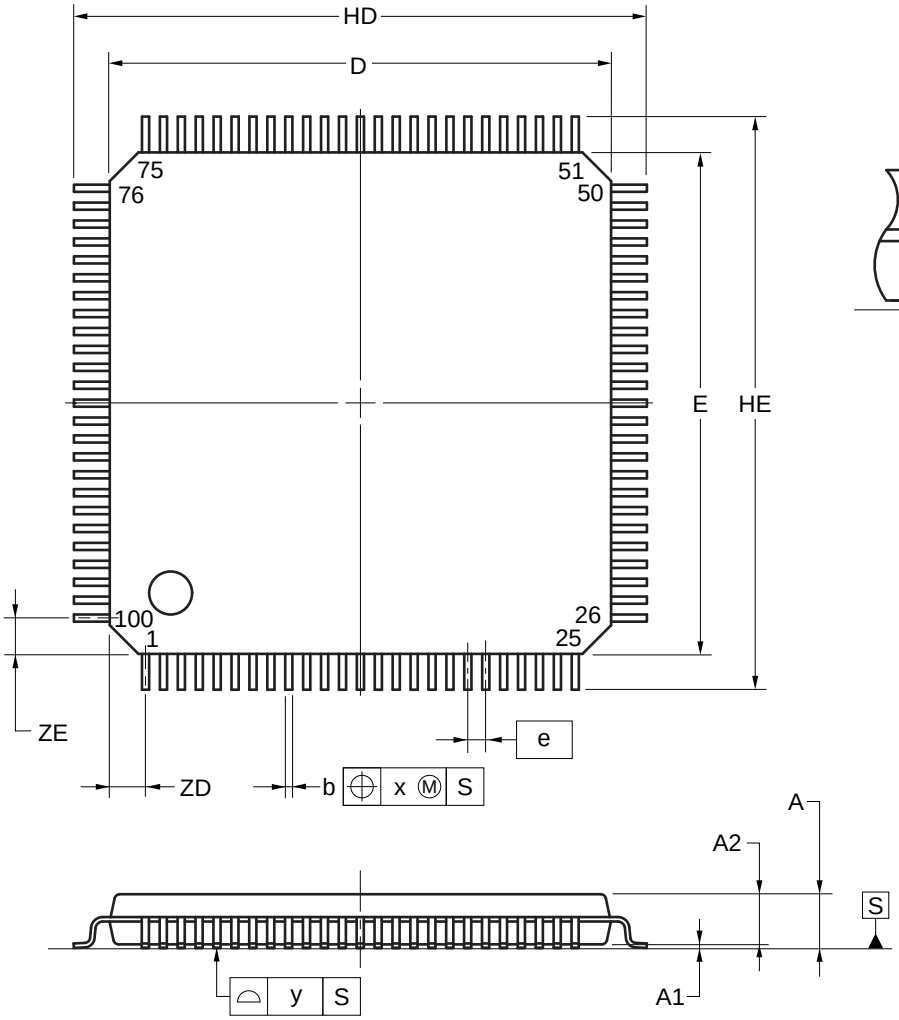
(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

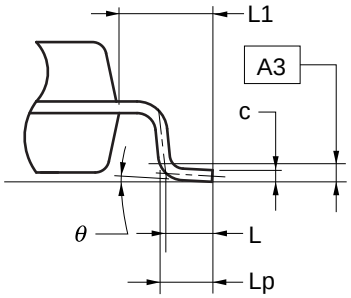
P80GK-50-GAK-1

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



detail of lead end



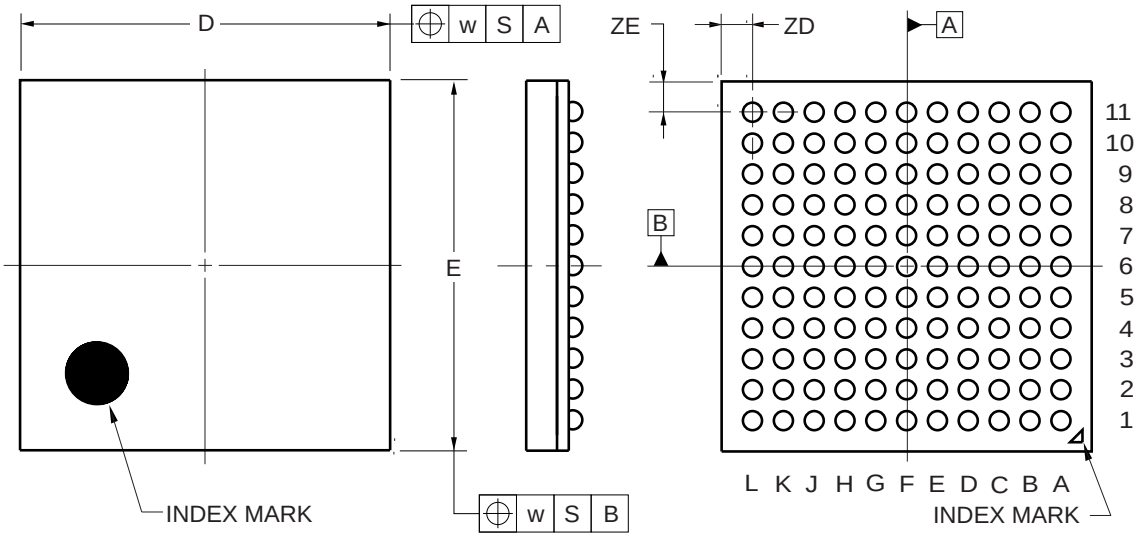
(UNIT:mm)

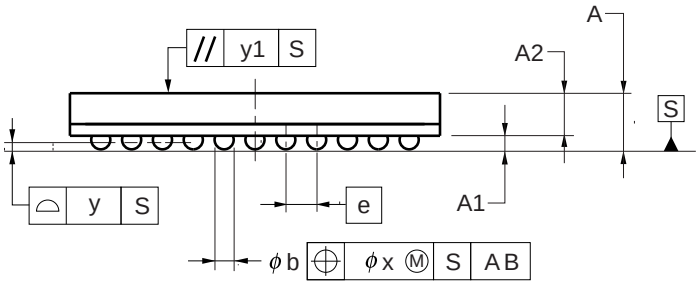
ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-2

©2010 Renesas Electronics Corporation. All rights reserved.

121-PIN PLASTIC FBGA (6x6)





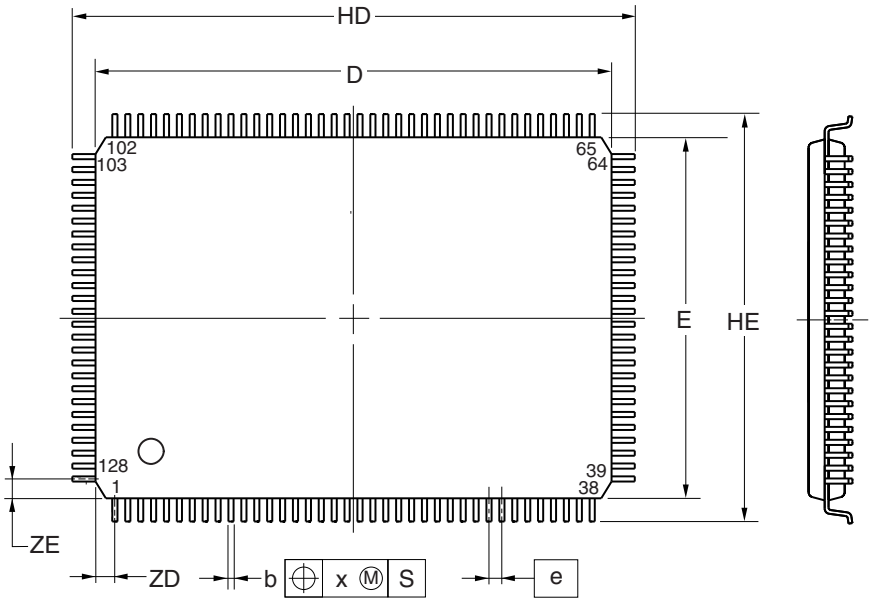
(UNIT:mm)

ITEM	DIMENSIONS
D	6.00±0.10
E	6.00±0.10
w	0.20
A	0.91±0.10
A1	0.22±0.05
A2	0.69
e	0.50
b	0.31±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.50
ZE	0.50

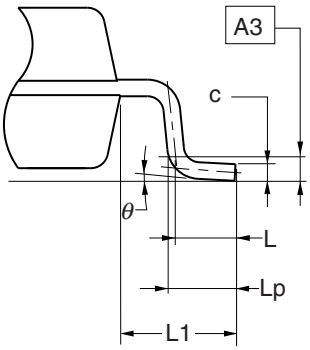
P121F1-50-BAL-1

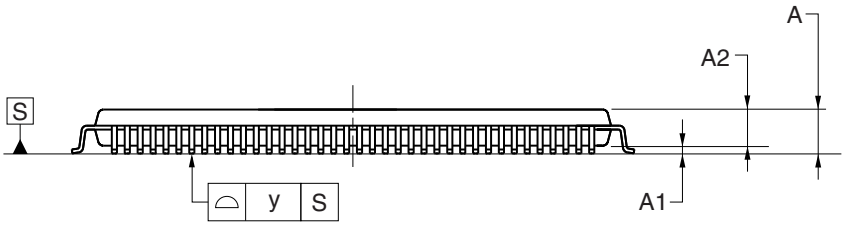
©2010 Renesas Electronics Corporation. All rights reserved.

128-PIN PLASTIC LQFP (FINE PITCH) (14x20)



detail of lead end





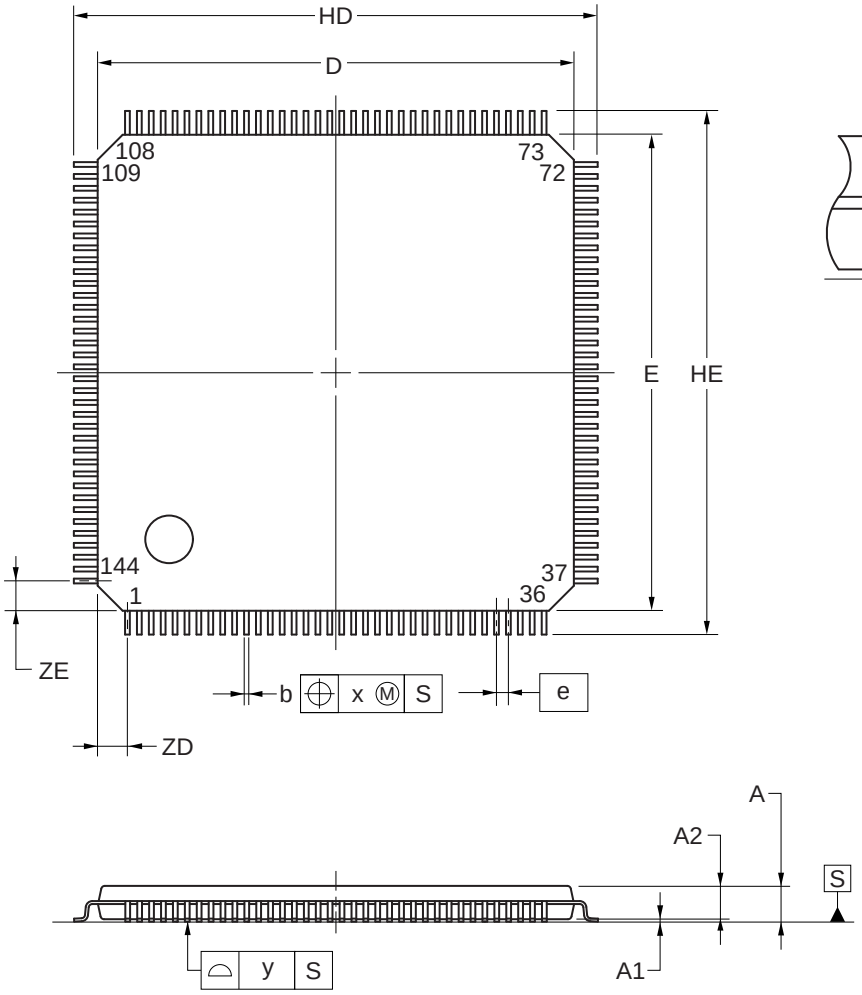
(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

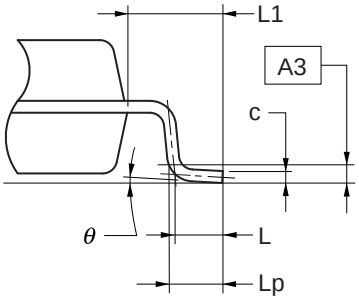
P128GF-50-GAT-1

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

144-PIN PLASTIC LQFP (FINE PITCH) (20x20)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	20.00±0.20
HD	22.00±0.20
HE	22.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+4^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P144GJ-50-GAE-3

改訂記録	V850E2/Jx4-L　ユーザーズ・マニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2012.1.27	ー	初版発行

V850E2/Jx4-L　**ユーザーズマニュアル　ハードウェア編**

発行年月日　2012 **年** 1 **月** 27 **日**　Rev.0.01

発行　**ルネサス エレクトロニクス株式会社**
〒211-8668 **神奈川県川崎市中原区下沼部** 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

© 2012 Renesas Electronics Corporation. All rights reserved.
Colophon 1.0

V850E2/Jx4-L

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0324JJ0001