

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

7903 グループ

ユーザーズマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
7700ファミリ / 7900シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ(www.MitsubishiElectric.co.jp/semiconductors/) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

はじめに

このたび、CMOS16ビットシングルチップマイクロコンピュータ7903グループのハードウェアについて、マニュアルを作成しましたので、ご案内申し上げます。

このマニュアルは7903グループの機能や特長などをユーザの皆様によく理解していただき、その機能を最大限に生かしていただくために作成しました。ハードウェアについて仕様から応用までを詳細に説明していますので、ご活用ください。

(このページは白紙です)

ユーザーズマニュアルご使用の前に

1. 構成

このユーザーズマニュアルは次の章で構成されています。

使用する機種、プロセッサモードに応じた章を参照してください。

本マニュアルでは特に断らない限り、7903グループ、又は7903グループの中の一機種をM37903と称します。また、「第18章 フラッシュメモリ内蔵版」を除く各章では、MD1 = V_{SS}レベル時の機能を説明しています。

第1章 概要 ~ 第17章 低消費電力機能（第3章を除く）

すべての機種、及びプロセッサモードに共通する機能を説明しています。

第3章 外部デバイス接続

メモリ拡張モード、及びマイクロプロセッサモードで外部デバイスを接続する際に使用する機能を説明しています。

第18章 フラッシュメモリ内蔵版

フラッシュメモリ内蔵版について、固有の情報を掲載しています。

付 録

7903グループを使用される際に有益な参考情報を掲載しています。

2. 注 意

マイコンについての下記の情報は、次に示す各資料を参照ください。

これらの資料は、<http://www.infocom.maec.co.jp/>で参照いただけます。

機種展開 : 最新のデータシート又はカタログ類
電気的特性 : 最新のデータシート
ソフトウェア : 7900シリーズ ソフトウェアマニュアル

開発サポートツールについての情報は、最新のデータシート又はカタログ類を参照ください。

これらの資料は、<http://www.tool-spt.maec.co.jp/>で参照いただけます。

3. 図中の信号レベル

各機能の動作例及びタイミング例の図中の信号レベルは、原則として以下の意味を持ちます。

- ・信号レベルは、上が“1”、下が“0”
- ・端子の入出力レベルは、上が“H”、下が“L”

原則に沿わないものについては、信号の左側に表示します。

ユーザーズマニュアルご使用の前に

4. レジスタの構成図

各レジスタ構成は、次のように参照してください。

XXX レジスタ【XX₁₆ 番地】

ビット	ビット名	機能	リセット時	R/W
0	・・・選択ビット	0:・・・ 1:・・・ 読み出し時の値は“0”	不定	WO
1	・・・選択ビット	b2b1 00:・・・ 01:・・・	0	RW
2		10:・・・ 11:・・・	0	RW
3	・・・フラグ	0:・・・ 1:・・・	0	RO
4	“0”に固定してください		0	RW
5	・・・モードでは無効		0	RW
6	何も配置されていない		不定	-
7	読み出し時の値は“0”		0	-

*1

- 空白 : 用途に応じて“0”又は“1”を設定してください。
- 0 : 書き込み時は“0”にしてください。
- 1 : 書き込み時は“1”にしてください。
- X : 特定のモード又は状態で、使用しないビット。“0”又は“1”いずれでもよい。
- : 何も配置されていない。

*2

- 0 : リセット直後“0”になる。
- 1 : リセット直後“1”になる。
- 不定 : リセット直後、不定になる。

*3

- RW : 読み出すとビットの状態が読み出せる。
書き込んだ値は有効データになる。
- RO : 読み出すとビットの状態が読み出せる。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
- WO : 書き込んだ値は有効データになる。
ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*5参照)。
- : ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*6参照)。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。

*4

その機能又はモードでは使用しないビット。

目次

第1章 概要

1.1 性能概要	1-2
1.2 ピン接続図	1-3
1.3 端子の機能説明	1-4
1.4 機能ブロック図	1-8

第2章 中央演算処理装置(CPU)

2.1 中央演算処理装置(CPU)	2-2
2.1.1 アキュムレータ (Acc).....	2-3
2.1.2 インデックスレジスタX (X).....	2-3
2.1.3 インデックスレジスタY (Y).....	2-3
2.1.4 スタックポインタ (S).....	2-4
2.1.5 プログラムカウンタ (PC).....	2-5
2.1.6 プログラムバンクレジスタ (PG).....	2-5
2.1.7 データバンクレジスタ (DT).....	2-5
2.1.8 ダイレクトページレジスタ0~3 (DPR0~DPR3).....	2-6
2.1.9 プロセッサステータスレジスタ (PS).....	2-8
2.2 バスインタフェース装置(BIU).....	2-10
2.2.1 命令の先取り	2-11
2.2.2 データの転送(読み出し/書き込み).....	2-14
2.3 アクセス空間	2-18
2.4 メモリ配置	2-19
2.4.1 内部領域のメモリ配置	2-19
2.5 プロセッサモード	2-22
2.5.1 シングルチップモード	2-23
2.5.2 メモリ拡張モードとマイクロプロセッサモード	2-23
2.5.3 プロセッサモードの設定	2-25
【プロセッサモード選択時の注意】.....	2-27

第3章 外部デバイス接続

3.1 外部デバイスのアクセスに必要な信号	3-2
【外部デバイスアクセス時の注意】.....	3-6
3.2 チップセレクトウエイトコントローラ	3-7
3.2.1 関連レジスタ説明	3-8
3.2.2 外部バス動作	3-23
3.2.3 設定方法	3-30
3.2.4 アドレス出力選択	3-31

【CSWC使用上の注意】.....	3-33
3.3 レディー機能.....	3-34
3.3.1 動作説明.....	3-35
3.4 ホールド機能.....	3-36
3.4.1 動作説明.....	3-37
3.5 応用.....	3-38
3.5.1 レディー機能使用例.....	3-39
3.5.2 メモリ接続例.....	3-42
第4章 リセット	
4.1 リセット動作.....	4-2
4.1.1 ハードウェアリセット.....	4-2
4.1.2 ソフトウェアリセット.....	4-3
4.1.3 パワーオンリセット.....	4-4
4.2 端子の状態.....	4-5
4.3 内部領域の状態.....	4-6
4.4 リセット後の内部処理シーケンス.....	4-13
第5章 クロック発生回路	
5.1 発振回路例.....	5-2
5.1.1 発振子の接続例.....	5-2
5.1.2 外部で生成されたクロックの入力例.....	5-2
5.1.3 CDSEL端子.....	5-3
5.2 クロック.....	5-4
5.2.1 クロック発生回路で発生するクロック.....	5-5
5.2.2 クロック制御レジスタ.....	5-6
5.2.3 特殊機能選択レジスタ0.....	5-7
第6章 入出力端子	
6.1 概要.....	6-2
6.2 プログラマブル入出力ポート.....	6-2
6.2.1 方向レジスタ.....	6-3
6.2.2 ポートレジスタ.....	6-4
6.2.3 選択機能.....	6-7
6.3 未使用端子の処理例.....	6-8
6.3.1 シングルチップモード時.....	6-8
6.3.2 メモリ拡張モード時及びマイクロプロセッサモード時.....	6-9
6.4 I/O拡張例.....	6-10

第7章 割り込み

7.1 概要	7-2
7.2 割り込み要因	7-3
7.3 割り込み制御	7-4
7.3.1 割り込み禁止フラグ(I)	7-6
7.3.2 割り込み要求ビット	7-6
7.3.3 割り込み優先レベル選択ビットとプロセッサ割り込み優先レベル(IPL)	7-6
7.4 割り込み優先順位	7-7
7.5 割り込み優先レベル判定回路	7-8
7.6 割り込み優先順位判定時間	7-10
7.7 割り込み要求受付から割り込みルーチン実行まで	7-11
7.7.1 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化	7-12
7.7.2 レジスタ退避	7-13
7.8 割り込みルーチンからの復帰	7-14
7.9 多重割り込み	7-14
7.10 外部割り込み	7-16
7.10.1 NMI割り込み	7-16
7.10.2 INT割り込み	7-16
7.10.3 INT割り込み要求ビットの機能	7-20
7.10.4 INT ₀ ~INT ₂ 割り込み要求発生要因の切り替え	7-21
【割り込み使用上の注意】	7-22

第8章 キー入力割り込み

8.1 概要	8-2
8.2 ブロック説明	8-3
8.2.1 外部割り込み入力制御レジスタ	8-4
8.2.2 INT ₃ 割り込み制御レジスタ	8-5
8.2.3 ポートP5方向レジスタ	8-6
8.3 関連レジスタの初期設定例	8-7

第9章 タイマA

9.1 概要	9-2
9.2 ブロック説明	9-3
9.2.1 カウンタ及びリロードレジスタ(タイマAiレジスタ)	9-4
9.2.2 タイマAクロック分周指定レジスタ	9-5
9.2.3 カウント開始フラグ	9-6
9.2.4 タイマAiモードレジスタ	9-6
9.2.5 タイマAi割り込み制御レジスタ	9-7
9.2.6 ポートP5方向レジスタ、ポートP6方向レジスタ	9-8

9.3	タイマモード	9-9
9.3.1	タイマモード設定方法	9-11
9.3.2	タイマモード動作説明	9-12
9.3.3	選択機能	9-13
	【タイマモード使用上の注意】	9-15
9.4	イベントカウンタモード	9-16
9.4.1	イベントカウンタモード設定方法	9-19
9.4.2	イベントカウンタモード動作説明	9-21
9.4.3	アップカウント又はダウンカウントの切り替え	9-22
9.4.4	選択機能	9-23
	【イベントカウンタモード使用上の注意】	9-25
9.5	ワンショットパルスモード	9-26
9.5.1	ワンショットパルスモード設定方法	9-28
9.5.2	トリガ	9-30
9.5.3	ワンショットパルスモード動作説明	9-31
	【ワンショットパルスモード使用上の注意】	9-33
9.6	パルス幅変調(PWM)モード	9-34
9.6.1	PWMモード設定方法	9-36
9.6.2	トリガ	9-38
9.6.3	PWMモード動作説明	9-39
	【パルス幅変調(PWM)モード使用上の注意】	9-43

第10章 タイマB

10.1	概要	10-2
10.2	ブロック説明	10-2
10.2.1	カウンタ及びリロードレジスタ(タイマBiレジスタ)	10-3
10.2.2	カウント開始フラグ	10-4
10.2.3	タイマBiモードレジスタ	10-4
10.2.4	タイマBi割り込み制御レジスタ	10-5
10.2.5	ポートP6方向レジスタ	10-6
10.2.6	カウントソース(タイマモード及びパルス周期測定/パルス幅測定モード時)	10-6
10.3	タイマモード	10-7
10.3.1	タイマモード設定方法	10-9
10.3.2	タイマモード動作説明	10-10
	【タイマモード使用上の注意】	10-11
10.4	イベントカウンタモード	10-12
10.4.1	イベントカウンタモード設定方法	10-14
10.4.2	イベントカウンタモード動作説明	10-15
	【イベントカウンタモード使用上の注意】	10-16
10.5	パルス周期測定/パルス幅測定モード	10-17
10.5.1	パルス周期測定/パルス幅測定モード設定方法	10-19
10.5.2	パルス周期測定/パルス幅測定モード動作説明	10-20
	【パルス周期測定/パルス幅測定モード使用上の注意】	10-22

第11章 リアルタイム出力

11.1	概要	11-2
11.2	ブロック説明	11-4
11.2.1	リアルタイム出力制御レジスタ	11-4
11.2.2	パルス出力データレジスタ0、1	11-5
11.2.3	ポートP5方向レジスタ	11-6
11.2.4	タイマA0、A2	11-6
11.3	リアルタイム出力設定方法	11-7
11.4	リアルタイム出力動作説明	11-10

第12章 シリアルI/O

12.1	概要	12-2
12.2	ブロック説明	12-3
12.2.1	UARTi送受信モードレジスタ	12-4
12.2.2	UARTi送受信制御レジスタ0	12-6
12.2.3	UARTi送受信制御レジスタ1	12-8
12.2.4	UARTi送信レジスタ、UARTi送信バッファレジスタ	12-10
12.2.5	UARTi受信レジスタ、UARTi受信バッファレジスタ	12-12
12.2.6	UARTi転送速度レジスタ(BRGi)	12-14
12.2.7	UARTi送信割り込み制御レジスタ、UARTi受信割り込み制御レジスタ	12-15
12.2.8	シリアルI/O端子制御レジスタ	12-17
12.2.9	ポートP8方向レジスタ	12-18
12.2.10	CTS/RTS機能	12-19
12.3	クロック同期形シリアルI/Oモード	12-20
12.3.1	転送クロック(同期クロック)	12-20
12.3.2	転送データフォーマット	12-22
12.3.3	送信方法	12-23
12.3.4	送信動作	12-26
12.3.5	受信方法	12-28
12.3.6	受信動作	12-31
12.3.7	オーバランエラー検出時の処理	12-33
	【クロック同期形シリアルI/Oモード使用上の注意】	12-34
12.4	クロック非同期形シリアルI/O(UART)モード	12-35
12.4.1	転送速度(転送クロックの周波数)	12-36
12.4.2	転送データフォーマット	12-38
12.4.3	送信方法	12-39
12.4.4	送信動作	12-42
12.4.5	受信方法	12-45
12.4.6	受信動作	12-48
12.4.7	エラー検出時の処理	12-50
12.4.8	スリープモード	12-51
	【クロック非同期形シリアルI/O(UART)モード使用上の注意】	12-52

第13章 A-D変換器

13.1	概要	13-2
13.2	ブロック説明	13-3
13.2.1	A-D制御レジスタ0、1	13-4
13.2.2	A-Dレジスタ(i=0~7)	13-8
13.2.3	A-D変換割り込み制御レジスタ	13-9
13.2.4	ポートP7方向レジスタ	13-10
13.3	A-D変換方式	13-11
13.4	絶対精度と微分非直線性誤差	13-14
13.4.1	絶対精度	13-14
13.4.2	微分非直線性誤差	13-15
13.5	分解能8ビットモード時の比較電圧	13-16
13.6	単発モード	13-17
13.6.1	単発モード設定方法	13-17
13.6.2	単発モード動作説明	13-18
13.7	繰り返しモード	13-19
13.7.1	繰り返しモード設定方法	13-19
13.7.2	繰り返しモード動作説明	13-20
13.8	単掃引モード	13-21
13.8.1	単掃引モード設定方法	13-21
13.8.2	単掃引モード動作説明	13-22
13.9	繰り返し掃引モード	13-23
13.9.1	繰り返し掃引モード設定方法	13-23
13.9.2	繰り返し掃引モード動作説明	13-24
	【A-D変換器使用上の注意】	13-25

第14章 D-A変換器

14.1	概要	14-2
14.2	ブロック説明	14-2
14.2.1	D-A制御レジスタ	14-3
14.2.2	D-Aレジスタ(i=0、1)	14-3
14.3	D-A変換方式	14-4
14.4	設定方法	14-5
14.5	動作説明	14-5
	【D-A変換器使用上の注意】	14-6

第15章 監視タイマ

15.1	ブロック説明	15-2
15.1.1	監視タイマ	15-3
15.1.2	監視タイマ周波数選択レジスタ	15-3
15.1.3	特殊機能選択レジスタ2	15-4
15.2	動作説明	15-5
15.2.1	基本動作	15-5
15.2.2	停止期間	15-6
15.2.3	ストップモード時の動作	15-6
	【監視タイマ使用上の注意】	15-7

第16章 ストップモード、ウェイトモード

16.1	概要	16-2
16.2	ブロック説明	16-3
16.2.1	特殊機能選択レジスタ0	16-4
16.2.2	特殊機能選択レジスタ1	16-6
16.2.3	監視タイマ周波数選択レジスタ	16-7
16.3	ストップモード	16-8
16.3.1	割り込み要求発生時の解除動作(監視タイマを使用する場合)	16-8
16.3.2	割り込み要求発生時の解除動作(監視タイマを使用しない場合)	16-9
16.3.3	ハードウェアリセット時の解除動作	16-11
16.4	ウェイトモード	16-12
16.4.1	割り込み要求発生時の解除動作	16-12
16.4.2	ハードウェアリセット時の解除動作	16-12

第17章 低消費電力機能

17.1	概要	17-2
17.1.1	特殊機能選択レジスタ0	17-3
17.1.2	特殊機能選択レジスタ1	17-5
17.2	ストップモード、ウェイトモード時のバス固定	17-6
17.3	ウェイトモード時のシステムクロック停止	17-8
17.4	発振回路停止	17-9
17.5	V _{REF} 切断	17-9

第18章 フラッシュメモリ内蔵版

18.1 概要	18-2
18.1.1 メモリ配置	18-4
18.1.2 ブートモード	18-6
18.2 CPU書き換えモード	18-7
18.2.1 フラッシュメモリ制御レジスタ	18-8
18.2.2 ステータスレジスタ	18-10
18.2.3 CPU書き換えモード設定 / 解除方法	18-11
18.2.4 ソフトウェアコマンド	18-13
18.2.5 フルステータスチェック	18-15
18.2.6 電気的特性	18-16
【CPU書き換えモード使用上の注意】	18-17
18.3 シリアル入出力モード	18-18
18.3.1 端子の機能説明	18-18
18.3.2 シリアル入出力モード使用時の制御端子処理例	18-21
【シリアル入出力モード使用上の注意】	18-23
18.4 パラレル入出力モード	18-24
【パラレル入出力モード使用上の注意】	18-25
18.5 CPU書き換えモード応用例	18-26
18.5.1 システム概要	18-26
18.5.2 処理内容	18-27
18.5.3 小容量データの書き換え応用	18-36

付録

付録1．SFR領域のメモリ配置	19-2
付録2．制御レジスタ一覧	19-8
付録3．外形寸法図	19-41
付録4．未使用端子の処理例	19-42
付録5．16進命令コード対応表	19-44
付録6．機械語命令一覧表	19-52
付録7．ノイズに関する参考資料	19-94
付録8．7903グループQ&A	19-100
付録9．M37903F8CHP電気的特性	19-109
付録10．標準特性	19-128
付録11．ツール使用上の注意	19-132
付録12．7903グループメモリ配置	19-134

Memo

第 1 章 概 要

- 1.1 性能概要
- 1.2 ピン接続図
- 1.3 端子の機能説明
- 1.4 機能ブロック図

1.1 性能概要

表1.1.1にM37903の性能概要を示します。

表1.1.1 M37903の性能概要

項目		性能
基本命令数		203
命令実行時間		38.46 ns(f_{sys})= 26MHz時、最短命令)
外部クロック入力周波数(X_{IN})		26MHz(最大)(注)
システムクロック周波数(f_{sys})		26MHz(最大)
メモリ容量	M37903F8	フラッシュメモリ
		61Kバイト(ユーザROM領域) 8Kバイト(ブートROM領域)
		RAM
	M37903S4	RAM
		2048バイト
		2048バイト
プログラマブル 入出力ポート	P0 ~ P2, P4 ~ P8, P10, P11	8ビット×10
	P3	4ビット×1
多機能タイマ	タイマA0 ~ タイマA4	16ビット×5
	タイマB0 ~ タイマB2	16ビット×3
シリアルI/O	UART0、UART1	(クロック同期形、又は非同期形)×2
A-D変換器		(10ビット逐次比較変換方式)×1(8チャンネル)
D-A変換器		8ビット×2
監視タイマ		12ビット×1
チップセレクトウエイトコントローラ		チップセレクト×4($CS_0 \sim CS_3$) 各チップセレクト領域ごとにバスサイクル、外部データバス幅の設定が可能
リアルタイム出力		4ビット×2チャンネル、又は6ビット、2ビット各1チャンネル
割り込み	マスカブル	外部5要因、内部13要因 各割り込みごとにレベル0~7までの割り込み優先レベルをソフトウェアで設定可能
	ノンマスカブル	外部1要因、内部2要因
クロック発生回路		内蔵(セラミック共振子、又は水晶発振子外付け)
電源電圧		5V ± 0.5V
消費電力		150mW(f_{sys})= 26MHz時、標準)
ポートの入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(最大16Mバイト、ただしバンクFF ₁₆ は予約領域)
動作周囲温度		- 20 ~ 85
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP(100P6Q-A)

注 . X_{IN} 入力クロック分周選択ビット(BC₁₆番地のビット0)が"0"のとき(2分周あり)は、最大52MHz。

1.2 ピン接続図

図1.2.1にM37903のピン接続図を示します。

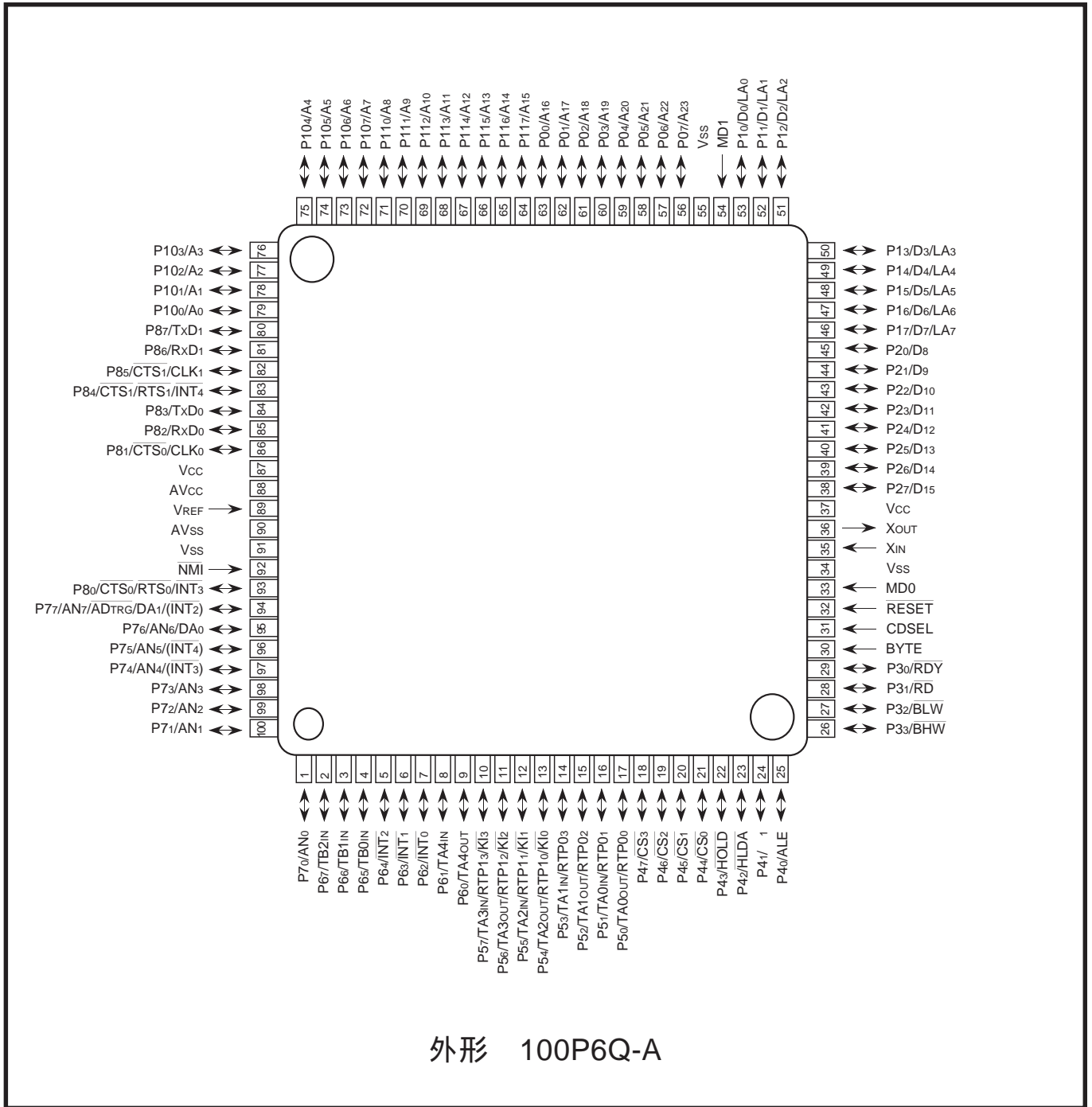


図1.2.1 M37903(外形:100P6Q-A)のピン接続図(上面図)

1.3 端子の機能説明

表1.3.1 ~ 表1.3.4に端子の機能説明を示します。

表1.3.1 端子の機能説明(1)

端子名	名称	入出力	機能															
V _{CC} 、V _{SS}	電源入力		V _{CC} 端子には5V ± 0.5V、V _{SS} 端子には0Vを印加してください。															
MD0	MD0	入力	動作モードを切り替えるための端子です。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>V_{SS}</td> <td>V_{SS}</td> <td>シングルチップモード (注) メモリ拡張モード マイクロプロセッサモード</td> </tr> <tr> <td>V_{SS}</td> <td>V_{CC}</td> <td>マイクロプロセッサモード</td> </tr> <tr> <td>V_{CC}</td> <td>V_{SS}</td> <td>ブートモード</td> </tr> <tr> <td>V_{CC}</td> <td>V_{CC}</td> <td>パラレル入出力モード</td> </tr> </tbody> </table>	MD1	MD0	動作モード	V _{SS}	V _{SS}	シングルチップモード (注) メモリ拡張モード マイクロプロセッサモード	V _{SS}	V _{CC}	マイクロプロセッサモード	V _{CC}	V _{SS}	ブートモード	V _{CC}	V _{CC}	パラレル入出力モード
MD1	MD0			動作モード														
V _{SS}	V _{SS}	シングルチップモード (注) メモリ拡張モード マイクロプロセッサモード																
V _{SS}	V _{CC}	マイクロプロセッサモード																
V _{CC}	V _{SS}	ブートモード																
V _{CC}	V _{CC}	パラレル入出力モード																
MD1	MD1																	
RESET	リセット入力	入力	この端子に“L”レベルを入力すると、マイクロコンピュータはリセットされます。															
X _{IN}	クロック入力	入力	クロック発生回路の入出力端子です。X _{IN} 端子とX _{OUT} 端子の間にはセラミック共振子、又は水晶共振子を接続してください。															
X _{OUT}	クロック出力	出力	外部で生成したクロックを入力する場合は、X _{IN} 端子から外部で生成したクロックを入力し、X _{OUT} 端子は開放してください。															
BYTE	外部データバス幅切り替え入力	入力	この端子への入力レベルによって外部データバス幅を8ビット幅とするか、16ビット幅とするかを選択できます。V _{SS} レベルのとき16ビット幅、V _{CC} レベルのとき8ビット幅になります。 BYTE = V _{SS} レベル時は、ソフトウェアで選択することによって、CS ₁ ~ CS ₃ 領域ごとに外部データバス幅を8ビットにできます。															
NMI	NMI割り込み入力	入力	NMI割り込みの入力端子です。RESET端子のレベルが“L”の期間及びリセット後はプルアップされます。プルアップはソフトウェアで解除できます。															
CDSEL	CDSEL	入力	この端子への入力レベルによって、X _{IN} 端子の入力レベル及びX _{IN} 入力クロック分周選択ビット(BC ₁₆ 番地のビット0)のリセット直後の状態を選択できます。															
AV _{CC}	アナログ電源入力		A-D変換器の電源入力端子です。V _{CC} に接続してください。															
AV _{SS}			A-D変換器及びD-A変換器の電源入力端子です。V _{SS} に接続してください。															
V _{REF}	基準電圧入力	入力	A-D変換器及びD-A変換器の基準電圧入力端子です。															
P0 ₀ ~ P0 ₇	入出力ポートP0	入出力	【シングルチップモード時】 CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、端子ごとに入力、又は出力ポートに設定できます。															
A ₁₆ ~ A ₂₃		出力	【メモリ拡張モード時】【マイクロプロセッサモード時】 アドレスの上位8ビット(A ₁₆ ~ A ₂₃)を出力します。 また、ソフトウェアで選択することによって、P0と同等の機能を持つ入出力ポートとしても機能します。															

表1.3.2 端子の機能説明(2)

端子名	名称	入出力	機能
P1 ₀ ~ P1 ₇	入出力ポートP1	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
D ₀ ~ D ₇ LA ₀ ~ LA ₇		入出力	【メモリ拡張モード時】【マイクロプロセッサモード時】 データの下位8ビット(D ₀ ~ D ₇)を入出力します。 CS ₂ 領域を外部データバス幅8ビットでアクセスする場合、ソフトウェアで選択することによって、アドレス(LA ₀ ~ LA ₇)の出力とデータ(D ₀ ~ D ₇)の入出力を時分割で行えます。
P2 ₀ ~ P2 ₇	入出力ポートP2	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
P2 ₀ /D ₈ ~ P2 ₇ /D ₁₅		入出力	【メモリ拡張モード時】【マイクロプロセッサモード時】 外部データバス幅8ビット(BYTE = V _{CC} レベル)時 P0と同等の機能を持つ8ビット入出力ポートです。 外部データバス幅16ビット(BYTE = V _{SS} レベル)時 データの上位8ビット(D ₈ ~ D ₁₅)を入出力します。
P3 ₀ ~ P3 ₃	入出力ポートP3	入出力	【シングルチップモード時】 P0と同等の機能を持つ4ビット入出力ポートです。
P3 ₀ 、RDY RD BLW BHW		入出力、入力 出力 出力 出力	【メモリ拡張モード時】【マイクロプロセッサモード時】 MD1 = V _{SS} レベル、MD0 = V _{SS} レベル時 P3 ₀ はP0と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、P3 ₀ はRDY端子としても機能します。 MD1 = V _{SS} レベル、MD0 = V _{CC} レベル時 P3 ₀ はRDY端子として機能します。ソフトウェアで選択することによって、P3 ₀ はP0と同等の機能を持つ入出力ポートとしても機能します。リセット時、RDY端子にはV _{CC} レベルを印加してください。 RDY端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。 P3 ₁ はRD端子、P3 ₂ はBLW端子、P3 ₃ はBHW端子になります。 RDが“L”レベルのとき、マイクロコンピュータはデータ、命令コードの読み出しを行います。 外部データバス幅8ビット(BYTE = V _{CC} レベル)時 BLWが“L”レベルのとき、マイクロコンピュータはデータの書き込みを行います。BHWはP0と同等の機能を持つ入出力ポート(P3 ₃)として機能します。 外部データバス幅16ビット(BYTE = V _{SS} レベル)時 BLWが“L”レベルのとき、マイクロコンピュータは偶数番地にデータの書き込みを行います。BHWが“L”レベルのとき、マイクロコンピュータは奇数番地にデータの書き込みを行います。

表1.3.3 端子の機能説明(3)

端子名	名称	入出力	機能
P4 ₀ ~ P4 ₇	入出力ポートP4	入出力	<p>【シングルチップモード時】</p> <p>P0と同等の機能を持つ8ビット入出力ポートです。</p> <p>ソフトウェアで選択することによって、P4₁はクロック₁出力端子としても機能します。</p> <p>また、P4₄ ~ P4₇はRESET端子のレベルが“L”の期間及びリセット後、プルアップされます。プルアップはソフトウェアで解除できます。</p>
P4 ₀ ~ P4 ₇		入出力	<p>【メモリ拡張モード時】</p> <p>P0と同等の機能を持つ8ビット入出力ポートです。</p> <p>ソフトウェアで選択することによって、P4₀はALE端子、P4₁はクロック₁出力端子、P4₂はHLDA端子、P4₃はHOLD端子、P4₄ ~ P4₇はCS₀ ~ CS₃端子としても機能します。</p> <p>また、P4₄ ~ P4₇はRESET端子のレベルが“L”の期間及びリセット後、プルアップされます。プルアップはソフトウェアで解除できます。</p>
ALE ₁ HLDA HOLD CS ₀ P4 ₅ ~ P4 ₇		出力 出力 出力 入力 出力 入出力	<p>【マイクロプロセッサモード時】</p> <p>P4₀はALE端子、P4₁はクロック₁出力端子、P4₂はHLDA端子、P4₃はHOLD端子、P4₄はCS₀端子になります。ALEはアドレスをラッチするための信号です。₁はシステムクロックf_{sys}と同じ周期の信号です。HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。リセット時、HOLD端子にはV_{CC}レベルを印加してください。HLDAはマイクロコンピュータがホールド状態になったことを、外部に知らせるための信号です。CS₀はチップセレクト信号です。</p> <p>P4₅ ~ P4₇はP0と同等の機能を持つ入出力ポートとして機能します。ソフトウェアで選択することによって、ALE端子、クロック₁出力端子、HLDA端子、HOLD端子は入出力ポート(P4₀、P4₁、P4₂、P4₃)、P4₅ ~ P4₇はCS₁ ~ CS₃端子としても機能します。</p> <p>また、P4₅ ~ P4₇はRESET端子のレベルが“L”の期間及びリセット後、プルアップされます。プルアップはソフトウェアで解除できます。</p>
P5 ₀ ~ P5 ₇	入出力ポートP5	入出力	<p>P0と同等の機能を持つ8ビット入出力ポートです。</p> <p>ソフトウェアで選択することによって、タイマA0 ~ A3の入出力端子、リアルタイム出力のパルス出力端子、又はキー入力割り込みの入力端子としても機能します。</p>
P6 ₀ ~ P6 ₇	入出力ポートP6	入出力	<p>P0と同等の機能を持つ8ビット入出力ポートです。</p> <p>ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子、又はタイマB0 ~ B2の入力端子としても機能します。</p>
P7 ₀ ~ P7 ₇	入出力ポートP7	入出力	<p>P0と同等の機能を持つ8ビット入出力ポートです。</p> <p>ソフトウェアで選択することによって、A-D変換器の入力端子、D-A変換器の出力端子、又は外部割り込みの入力端子としても機能します。</p>

表1.3.4 端子の機能説明(4)

端子名	名 称	入出力	機 能
P8 ₀ ~ P8 ₇	入出力ポートP8	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、シリアルI/Oの入出力端子、又は外部割り込みの入力端子としても機能します。
P10 ₀ ~ P10 ₇	入出力ポートP10	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A ₀ ~ A ₇		出力	【メモリ拡張モード時】【マイクロプロセッサモード時】 アドレスの下位8ビット(A ₀ ~ A ₇)を出力します。
P11 ₀ ~ P11 ₇	入出力ポートP11	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A ₈ ~ A ₁₅		出力	【メモリ拡張モード時】【マイクロプロセッサモード時】 アドレスの中位8ビット(A ₈ ~ A ₁₅)を出力します。 また、ソフトウェアで選択することによって、P0と同等の機能を持つ入出力ポートとしても機能します。

1.4 機能ブロック図

図1.4.1にM37903の機能ブロック図を示します。

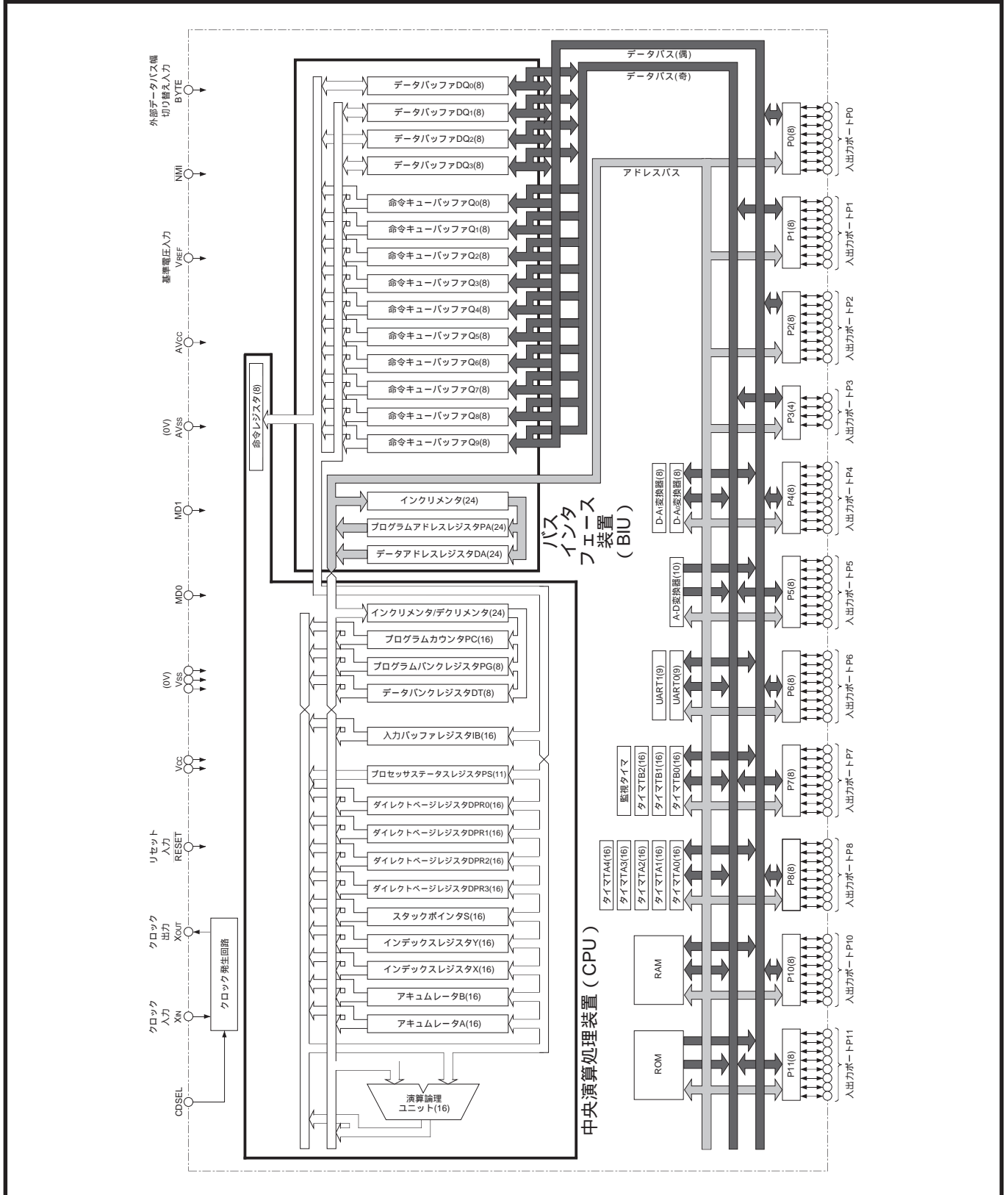


図1.4.1 M37903の機能ブロック図

第 2 章

中央演算処理装置 (CPU)

2.1 中央演算処理装置(CPU)

2.2 バスインタフェース装置(BIU)

2.3 アクセス空間

2.4 メモリ配置

2.5 プロセッサモード

【プロセッサモード選択時の注意】

2.1 中央演算処理装置(CPU)

中央演算処理装置(以下CPUと称す)は図2.1.1に示す13個のレジスタで構成されています。

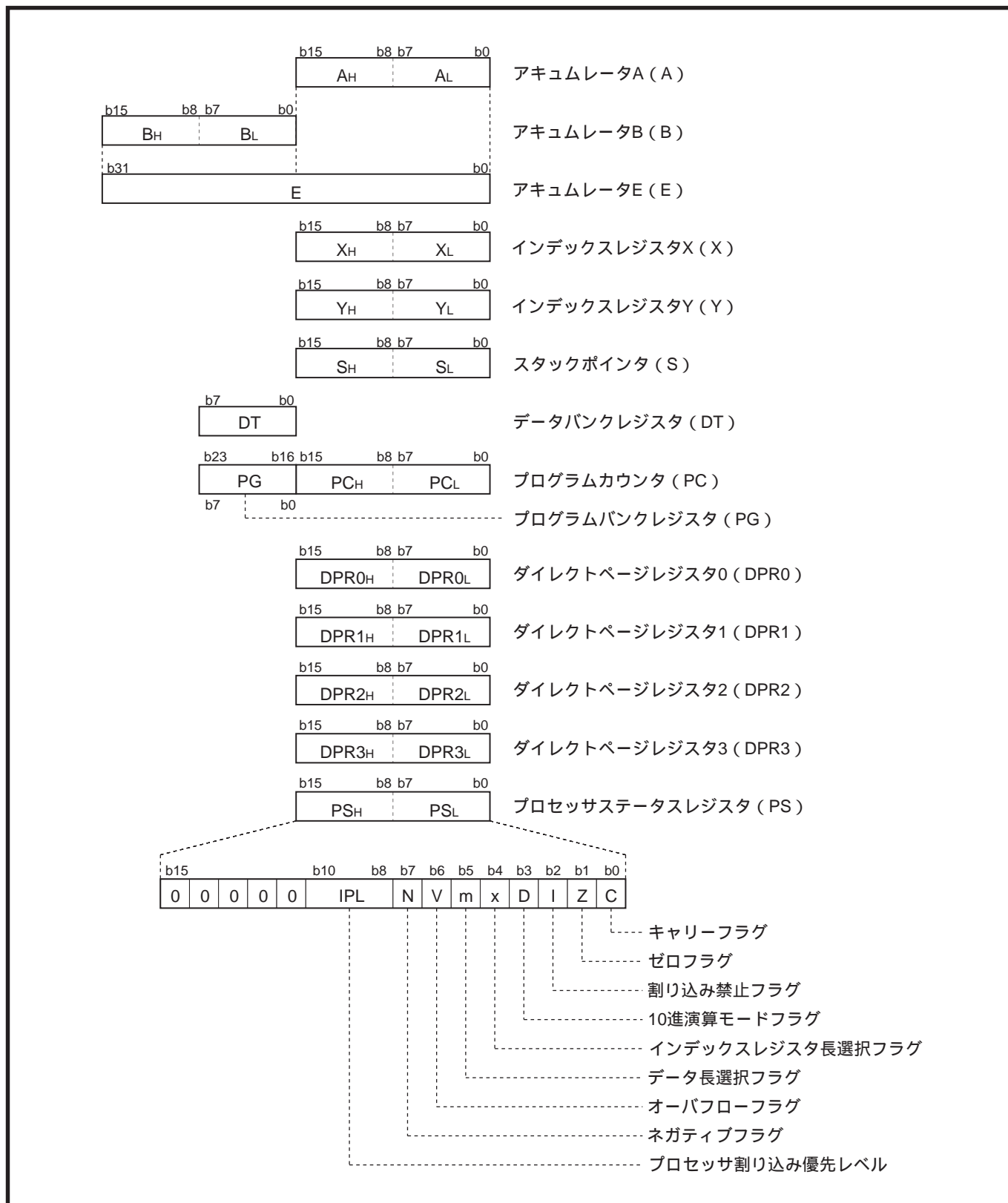


図2.1.1 CPUレジスタ

2.1.1 アキュムレータ (Acc)

アキュムレータには、アキュムレータA、及びアキュムレータBがあります。また、アキュムレータAとアキュムレータBを接続して、32ビットのアキュムレータとして使用することもできます(アキュムレータE)。

(1)アキュムレータA (A)

演算、転送、入出力などのデータ処理は、アキュムレータA(以下Aと称す)を中心に実行されます。このレジスタは16ビット構成ですが、後述のプロセッサステータスレジスタ内のデータ長選択フラグ(以下mフラグと称す)で選択することによって、下位8ビットだけを使用することもできます。

(2)アキュムレータB (B)

Aと同等の機能を持ち、Aの代わりとして使用できます。ただし、一部の命令では、Aしか使用できないものもあります。また一部の命令では、命令バイト数、及び実行サイクル数はAを使用した場合より多く必要となります。アキュムレータB(以下Bと称す)も16ビット構成ですが、Aと同様にmフラグの影響を受けます。

(3)アキュムレータE (E)

Aを下位16ビット、Bを上位16ビットとする32ビットのアキュムレータです。32ビットのデータを扱う命令で使用します。mフラグの影響は受けません。

2.1.2 インデックスレジスタX (X)

インデックスレジスタX(以下Xと称す)は16ビット構成ですが、後述のプロセッサステータスレジスタ内のインデックスレジスタ長選択フラグ(以下xフラグと称す)で選択することによって、下位8ビットだけを使用することもできます。

Xをインデックスレジスタとするアドレッシングモードでは、オペランドの内容にこのレジスタの内容を加算した番地をアクセスします。また、MVP、MVN、RMPA命令でも使用します。

アドレッシングモード及び命令については、「7900シリーズソフトウェアマニュアル」を参照してください。

2.1.3 インデックスレジスタY (Y)

Xと同等の機能を持ちます。インデックスレジスタY(以下Yと称す)も16ビット構成ですが、Xと同様にxフラグの影響を受けます。

2.1.4 スタックポインタ (S)

スタックポインタ(以下Sと称す)は16ビット構成で、割り込み及びサブルーチン呼び出し時、又はスタックを用いるアドレッシングモードを実行したときに使用されます。Sの内容は、割り込みやサブルーチン呼び出し時にレジスタ類を退避する番地(スタック領域)を示します。スタック領域はバンク0₁₆(「2.3 アクセス空間」参照)内に設定されます。

割り込み要求を受け付けた場合、マイクロコンピュータはSの内容が示す番地にプログラムバンクレジスタ(以下PGと称す)の内容を退避し、Sの内容を1減算します。次にプログラムカウンタ(以下PCと称す)及びプロセッサステータスレジスタ(以下PSと称す)の内容を退避します。割り込み要求受付後のSの内容は、割り込み要求受付前のSの内容から5を減算した値になります(図2.1.2参照)。

割り込みルーチンでの処理を終了し、元のルーチンに復帰するときは、RTI命令が実行されると、退避時と逆の順序(PC PG PS)でスタック領域内に退避していたレジスタの内容を元のレジスタに復帰します。また、Sの内容を割り込み要求受付前の状態に戻します。

サブルーチンを呼び出した場合も割り込み時と同様の動作を行います。PSの内容は自動的に退避しません(アドレッシングモードによってはPGの内容も退避しません)。

割り込み及びサブルーチン呼び出し時には上記レジスタ以外は自動的に退避しませんので、内容の保持が必要なレジスタはソフトウェアによって退避してください。

リセット時、Sは“FFF₁₆”になります。

スタック領域はサブルーチンのネスティングや多重割り込みの受付によって変化しますので、必要なデータを壊さないようにサブルーチンのネスティングの深さなどには注意してください。

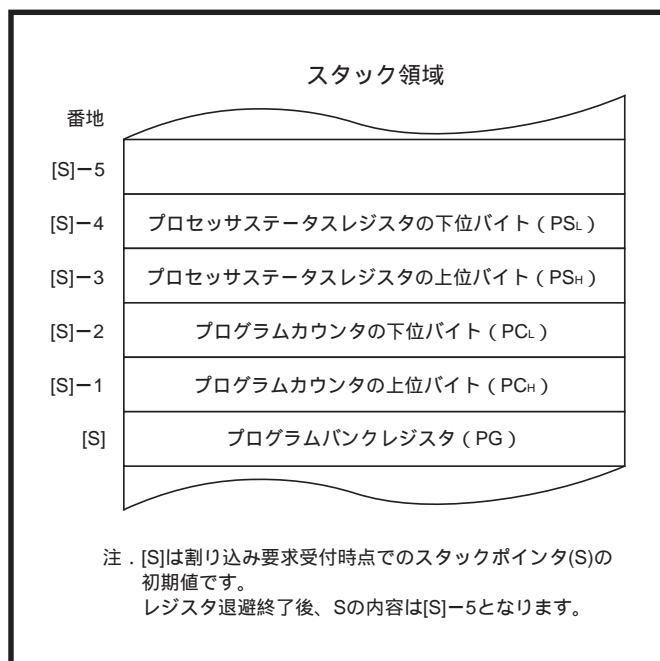


図2.1.2 スタック領域へのレジスタ退避

アドレッシングモードについては、「7900シリーズソフトウェアマニュアル」を参照してください。

2.1.5 プログラムカウンタ (PC)

PCは16ビット構成で、次に実行する命令(次に命令キューバッファから読み出す命令)の格納番地(24ビット)の下位16ビットを示します。

リセット時、PCの上位バイト(PC_H)には“ FF₁₆ ”、下位バイト(PC_L)には“ FE₁₆ ”が設定されます。そして、リセット直後はリセットのベクトル番地(FFFE₁₆、FFFF₁₆番地)の内容が設定されます。

図2.1.3にPG及びPCを示します。

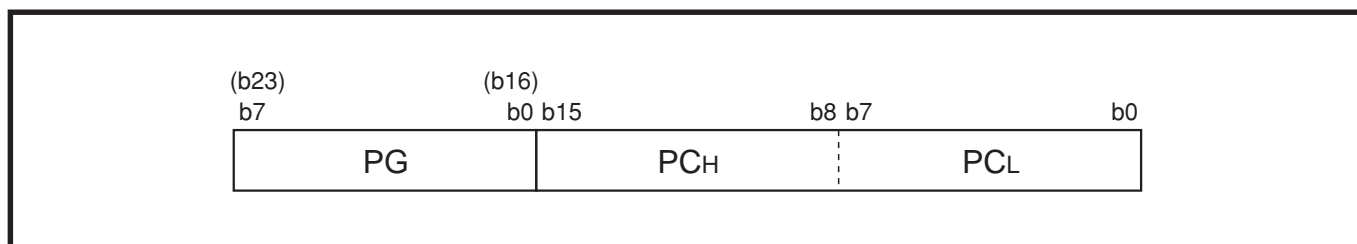


図2.1.3 PG及びPC

2.1.6 プログラムバンクレジスタ (PG)

アクセス空間は64Kバイトごとに分けられており、その単位をバンクと呼びます(「2.3 アクセス空間」参照)。

PGは8ビット構成で、次に実行する命令(次に命令キューバッファから読み出す命令)の格納番地(24ビット)の上位8ビット(バンク)を示します。PGの内容は、PCの内容が加算されキャリーが生じたり、分岐命令などで変位をPCの内容に加算してキャリーが生じた場合には、自動的に1加算されます。また、PCの内容から減算してボローが生じた場合には、自動的に1減算されます。したがって、プログラミングの際は通常バンクの境界を意識する必要はありません。

リセット時、このレジスタは“ 00₁₆ ”になります。

2.1.7 データバンクレジスタ (DT)

データバンクレジスタ(以下DTと称す)は8ビット構成です。DTを使用する下記のアドレッシングモードにおいて、このレジスタの内容はアクセスする番地(24ビット)の上位8ビット(バンク)として扱われます。このレジスタへの値の設定にはLDT命令を使用してください。

リセット時、このレジスタは“ 00₁₆ ”になります。

DTを使用するアドレッシングモード

- ダイレクト・インダイレクト
- ダイレクト・インデクストX・インダイレクト
- ダイレクト・インダイレクト・インデクストY
- アブソリュート
- アブソリュート・インデクストX
- アブソリュート・インデクストY
- アブソリュート・ビット・レラティブ
- スタックポインタ・レラティブ・インダイレクト・インデクストY
- 積和

アドレッシングモードについては、「7900シリーズソフトウェアマニュアル」を参照してください。

2.1.8 ダイレクトページレジスタ0~3 (DPR0~DPR3)

ダイレクトページレジスタ0~3(以下DPRiと称す)は16ビット構成で、このレジスタの内容によってバンク0₁₆内、又はバンク0₁₆とバンク1₁₆にまたがった空間にダイレクトページ領域を指定します。下記のアドレッシングモードでは、DPRiを使用します。

DPRiの内容は、ダイレクトページ領域の基底番地(最下位番地)を示し、この番地から上位番地方向にダイレクトページ領域を指定します。

リセット後、ダイレクトページレジスタ切り替えビット(図2.1.5参照)によって、DPR0だけを使用するか、DPR0~DPR3を使用するかを選択します。どちらを選択するかによって、指定されるダイレクトページ領域が異なります。表2.1.1にダイレクトページレジスタの切り替えを、図2.1.4にダイレクトページ領域の指定例を示します。

リセット時、DPR0は“0000₁₆”、DPR1~DPR3は不定になります。

DPRiを使用するアドレッシングモード

ダイレクト
 ダイレクト・インデストX
 ダイレクト・インデストY
 ダイレクト・インダイレクト
 ダイレクト・インデストX・インダイレクト
 ダイレクト・インダイレクト・インデストY
 ダイレクト・インダイレクトロング
 ダイレクト・インダイレクトロング
 ・インデストY
 ダイレクト・ビット・レラティブ

表2.1.1 ダイレクトページレジスタの切り替え

	ダイレクトページレジスタ 切り替えビット=0	ダイレクトページレジスタ 切り替えビット=1
使用できるDPRi	DPR0	DPR0、DPR1 DPR2、DPR3
ダイレクトページ領域の大きさ	256バイト	各64バイト

アドレッシングモードについては、「7900シリーズソフトウェアマニュアル」を参照してください。

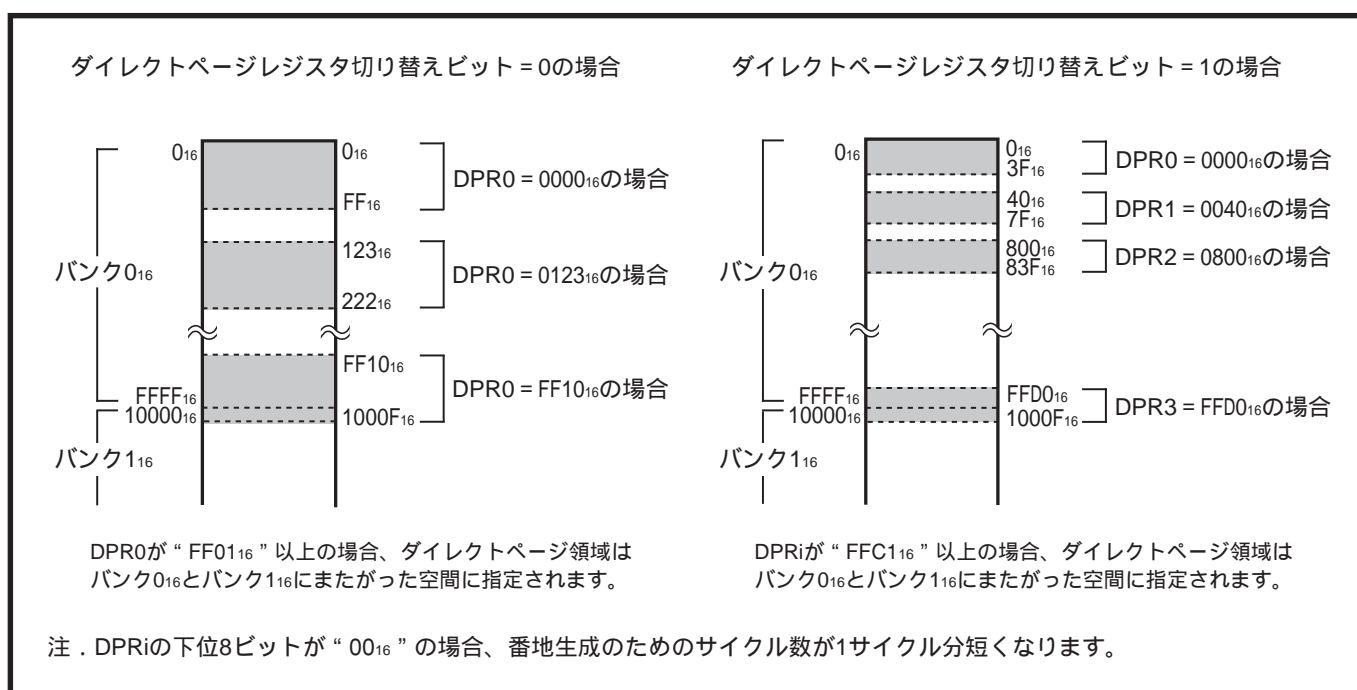


図2.1.4 ダイレクトページ領域の指定例

プロセッサモードレジスタ1【5F ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0					
ビット	ビット名	機能	リセット時	R/W					
0	外部バスサイクル選択ビット1 (注1)	外部バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW					
1	ダイレクトページレジスタ切り替えビット	0: DPR0のみ使用 1: DPR0 ~ DPR3を使用	0	RW (注2)					
2	RDY入力選択ビット (注3)	0: RDY入力禁止(P3 ₀ はプログラマブル入出力ポートとして機能) 1: RDY入力許可(P3 ₀ はRDY端子として機能)	(注4)	RW (注5)					
3	ALE出力選択ビット (注3)	0: ALE出力禁止(P4 ₀ はプログラマブル入出力ポートとして機能) 1: ALE出力許可(P4 ₀ はALE端子として機能)	(注4)	RW					
4	リカバリサイクル挿入選択ビット (注3)	0: 外部領域アクセス時リカバリサイクルなし 1: 外部領域アクセス時リカバリサイクル挿入	(注4)	RW					
5	HOLD入力, HLDA出力選択ビット (注3)	0: HOLD入力, HLDA出力禁止(P4 ₃ 、P4 ₂ はプログラマブル入出力ポートとして機能) 1: HOLD入力, HLDA出力許可(P4 ₃ 、P4 ₂ はHOLD端子、HLDA端子として機能)	(注4)	RW (注5)					
6	リカバリサイクル挿入数選択ビット	0: 1サイクル 1: 2サイクル	0	RW					
7	内部ROMバスサイクル選択ビット (注6)	0: バスサイクル3 1: バスサイクル2	0	RW					

注1. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。

2. リセット後、一度だけ内容を変更できます(ソフトウェアの途中で切り替えしないでください)。

3. シングルチップモード時は、これらのビットの内容にかかわらず、各機能が「禁止」になります。

4. MD0端子にV_{SS}レベルを印加しているときは「0」、V_{CC}レベルを印加しているときは「1」になります。

5. リセット後、一度だけ「1」にできます。メモリ拡張モード又はマイクロプロセッサモードで、かつ、これらのビットが「1」の状態からシングルチップモードに変更すると、これらのビットは「0」になります。その後「1」にできません。再度「1」にする場合はリセットしてください。

6. マイクロプロセッサモード時、このビットの内容は無効です。また、ROM外付け版には配置されていません(読み出し時の値は「0」)。
CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、このビットを「0」にしてください(「18.2 CPU書き換えモード」参照)。

図2.1.5 プロセッサモードレジスタ1のレジスタ構成

2.1.9 プロセッサステータスレジスタ (PS)

PSは11ビット構成です。図2.1.6にPSのレジスタ構成を示します。各ビットの変化の詳細については、「7900シリーズソフトウェアマニュアル」を参照してください。

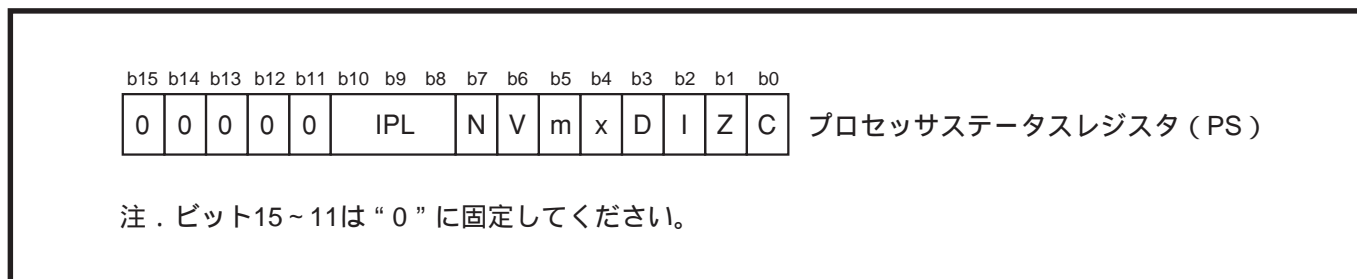


図2.1.6 PSのレジスタ構成

(1)ビット0：キャリーフラグ (C)

演算処理中、算術論理ユニットで発生したキャリー、又はボローを保持します。シフト命令、ローテート命令によっても変化します。キャリーフラグ(以下Cフラグと称す)を“1”にするときはSEC、SEP命令、“0”にするときはCLC、CLP命令を使用してください。

リセット時、Cフラグの内容は不定です。

(2)ビット1：ゼロフラグ (Z)

演算処理、データ転送の結果が“0”のとき“1”になり、“0”以外のとき“0”になります。10進演算実行時、ゼロフラグ(以下Zフラグと称す)の内容は無効です。Zフラグを“1”にするときはSEP命令、“0”にするときはCLP命令を使用してください。

リセット時、Zフラグの内容は不定です。

(3)ビット2：割り込み禁止フラグ (I)

すべてのマスカブル割り込み($\overline{\text{NMI}}$ 、監視タイマ、及び0除算割り込みを除いた割り込み)を禁止するフラグです。割り込み禁止フラグ(以下Iフラグと称す)が“1”のときは割り込み禁止状態です。また、割り込み要求を受け付けると自動的に“1”になり、多重割り込みを禁止します。Iフラグを“1”にするときはSEI、SEP命令、“0”にするときはCLI、CLP命令を使用してください。

リセット時、Iフラグは“1”になります。

(4)ビット3：10進演算モードフラグ (D)

加減算を2進で行うか、10進で行うかを選択します。10進演算モードフラグ(以下Dフラグと称す)が“0”のときは通常の2進演算を行います。“1”のときは8ビットを2桁($m=1$ のとき) 又は16ビットを4桁($m=0$ のとき) の10進数として演算します。10進補正は自動的に行われます(ただし、10進演算が行えるのはADC、ADCB、SBC、SBCB命令です)。Dフラグを“1”にするときはSEP命令、“0”にするときはCLP命令を使用してください。

リセット時、Dフラグは“0”になります。

(5)ビット4：インデックスレジスタ長選択フラグ (x)

X、又はYを16ビット長で使用するか、8ビット長で使用するかを選択します。xフラグが“0”のときは16ビット長、“1”のときは8ビット長になります(注)。xフラグを“1”にするときはSEP命令、“0”にするときはCLP命令を使用してください。

リセット時、xフラグは“0”になります。

(6)ビット5：データ長選択フラグ (m)

データ長を16ビット長で使用するか、8ビット長で使用するかを選択します。mフラグが“0”のときは16ビット長、“1”のときは8ビット長になります(注)。mフラグを“1”にするときはSEM、SEP命令、“0”にするときはCLM、CLP命令を使用してください。

リセット時、mフラグは“0”になります。

注．ビット長の異なるレジスタ間で転送を行った場合は、転送先のレジスタのデータ長で転送されます。ただしTXA、TYA、TXB、TYB、及びTXS命令を使用した場合は除きます。詳細は「7900シリーズソフトウェアマニュアル」を参照してください。

(7)ビット6：オーバフローフラグ (V)

1語を符号付きの2進数として加減算するときに意味を持ちます。

加減算の結果が-2147483648～+2147483647(32ビット長演算時)、-32768～+32767(16ビット長演算時)、-128～+127(8ビット長演算時)の範囲を越えると、オーバフローフラグ(以下Vフラグと称す)は“1”になります。また、DIV、DIVS命令実行結果が、それを格納するレジスタ長を越えた場合にも、Vフラグは“1”になります。

10進演算実行時、Vフラグの内容は無効です。Vフラグを“1”にするときはSEP命令、“0”にするときはCLV、CLP命令を使用してください。

リセット時、Vフラグの内容は不定です。

(8)ビット7：ネガティブフラグ (N)

演算処理、データ転送の結果が負(演算結果の最上位ビットが“1”)のとき“1”になり、それ以外では“0”になります。10進演算実行時、ネガティブフラグ(以下Nフラグと称す)の内容は無効です。Nフラグを“1”にするときはSEP命令、“0”にするときはCLP命令を使用してください。

リセット時、Nフラグの内容は不定です。

(9)ビット10～8：プロセッサ割り込み優先レベル (IPL)

プロセッサ割り込み優先レベル(以下IPLと称す)によって、レベル0からレベル7までの8段階のIPLを決めることができます。各割り込みの割り込み優先レベル(割り込み制御レジスタ内に設定)がIPLより高い場合に、その割り込みは許可されます。割り込み要求が受け付けられると、IPLの内容はスタック領域に退避され、受け付けられた割り込みの優先レベルがIPLに入ります。

IPLを直接“1”、又は“0”にする命令はありません。IPLを変更する場合は、一度スタック領域に設定したいIPLの値を格納し、PUL、又はPLP命令でPSの内容を変更してください。

リセット時、IPLは“000₂”になります。

2.2 バスインタフェース装置(BIU)

バスインタフェース装置(以下BIUと称す)は、以下の2つの働きをします。

- 命令の先取り
- データの転送(読み出し/書き込み)

図2.2.1にバスとBIUを示します。

BIUは図2.2.2に示す4種類のレジスタで構成されています。表2.2.1にBIUレジスタの機能を示します。

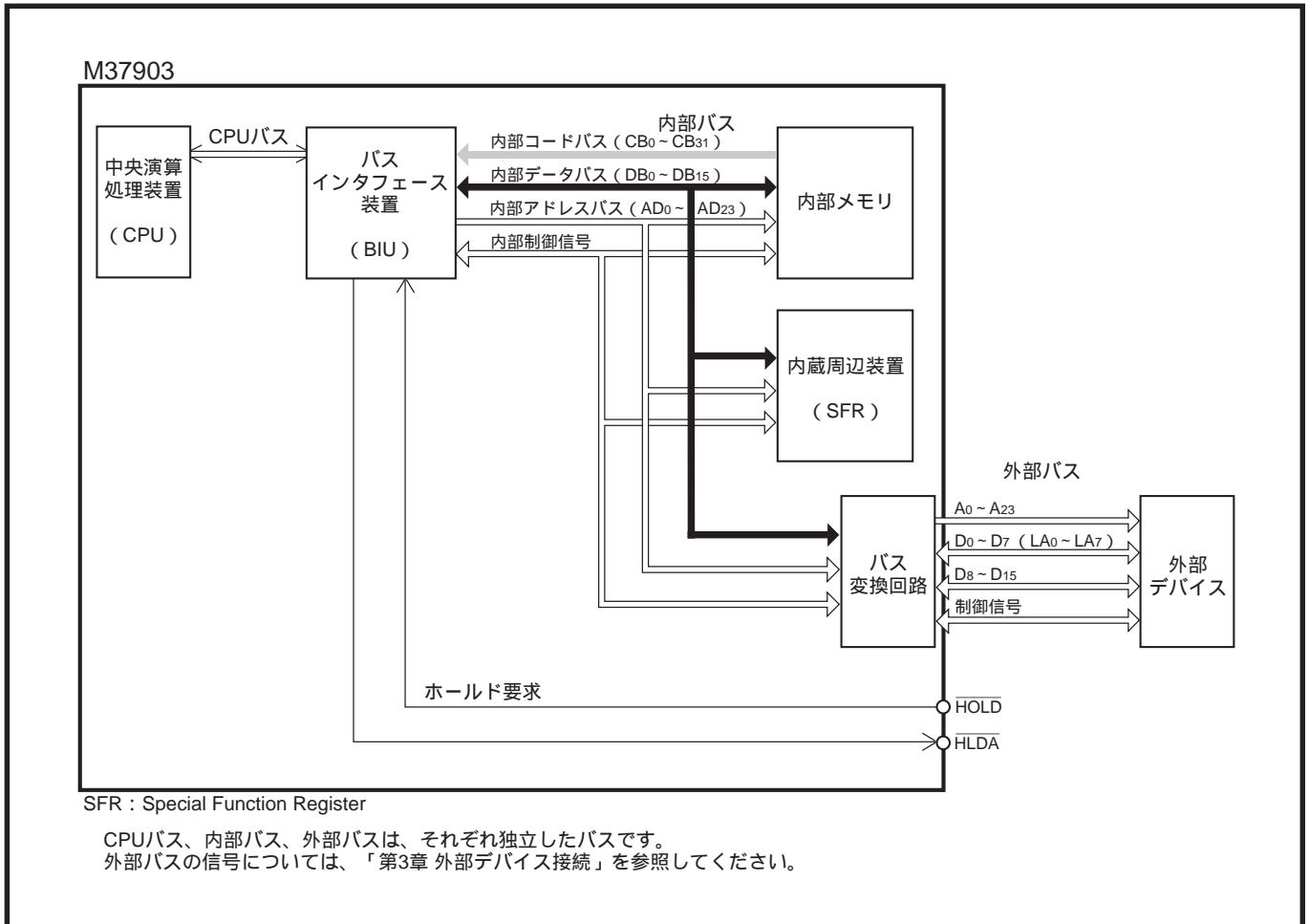


図2.2.1 バスとBIU

表2.2.1 BIUレジスタの機能

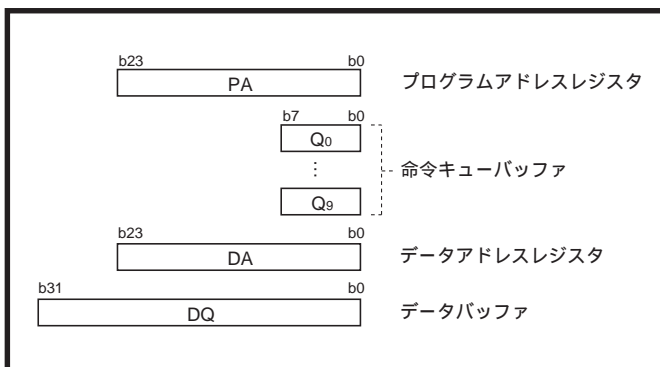


図2.2.2 BIUのレジスタ構成

名称	機能
プログラムアドレスレジスタ	次に命令キューバッファに取り込む命令の格納番地を示す
命令キューバッファ	取り込んだ命令を一時的に蓄えておく
データアドレスレジスタ	次にデータを読み出す、又は書き込む番地を示す
データバッファ	BIUがメモリ・I/Oから読み出したデータ、又はCPUがメモリ・I/Oに書き込むデータを一時的に蓄えておく

M37903では、CPUが内部領域(内部メモリ、SFR)、又は外部領域(外部デバイス)をアクセスするときに内部バスを使用します。

2.2.1 命令の先取り

CPUが内部バスを使用していないとき、BIUはメモリから命令を読み出して命令キューバッファに蓄えておきます。CPUは、命令キューバッファから命令を読み出して実行するので、遅いメモリのアクセスを待つ必要がなく、高速に動作できます。

命令キューバッファには、10バイトまで命令を蓄えられます。また、分岐すると命令キューバッファの内容は初期化され、BIUは分岐先の番地から新たに命令を読み出します。

CPUが命令を要求しているとき、命令キューバッファの内容が不足している場合は、BIUは要求されたバイト数以上の命令を命令キューバッファに取り込むまで CPU(図5.2.1参照)を延ばして、CPUを待機させます。

命令を先取りするときの動作は、命令を内部メモリから取り込むか、外部メモリから取り込むかによって異なります。図2.2.3に命令先取り時の動作波形例を示します。

なお、BIUの命令先取りの動作は、命令の格納番地によっても異なります。先取りする命令の格納番地は表2.2.2のように区別します。

(1)内部メモリから取り込むとき

4バイト境界から一度に4バイト取り込みます(図2.2.3(a))。

分岐時も、分岐先番地の下位2ビット(AD₁、AD₀)の状態にかかわらず、4バイト境界から一度に4バイト取り込みます(図2.2.3(a))。この場合、内部コードバス上に4バイト出力されるデータ(命令)のうち、分岐先番地以降にある命令だけを命令キューバッファに取り込みます。したがって、表2.2.3に示すように、分岐先番地によって命令キューバッファに取り込むバイト数が異なります。

表2.2.2 先取りする命令の格納番地

	命令格納番地の下位3ビット		
	AD ₂ (A ₂)	AD ₁ (A ₁)	AD ₀ (A ₀)
偶数番地	x	x	0
4バイト境界	x	0	0
8バイト境界	0	0	0

x : 0又は1

表2.2.3 命令キューバッファに取り込むバイト数

分岐先番地の下位2ビット		アドレスバスに出力するアドレスの下位2ビット		命令キューバッファに取り込むバイト数
AD ₁ (A ₁)	AD ₀ (A ₀)	AD ₁ (A ₁)	AD ₀ (A ₀)	
0	0	0	0	4
0	1	0	0	3
1	0	0	0	2
1	1	0	0	1

(2) 外部メモリから取り込むとき

外部データバス幅16ビット(BYTE = V_{SS} レベル)時

8バイト境界から8バイト取り込みます(図2.2.3(b) : 4回連続アクセス)。

分岐時は、分岐先番地の下位2ビット(A_1 、 A_0)の状態にかかわらず、4バイト境界から4バイト取り込みます(図2.2.3(c) : 2回連続アクセス)。このとき取り込むバイト数は、分岐先番地によって異なります。

その次に取り込む番地によって、以降の動作は以下ようになります。

- ・8バイト境界の時は、次からは8バイト取り込みます(図2.2.3(b) : 4回連続アクセス)。
- ・4バイト境界の時は、4バイト取り込みます(図2.2.3(c) : 2回連続アクセス)。その次からは8バイト取り込みます(図2.2.3(b) : 4回連続アクセス)。

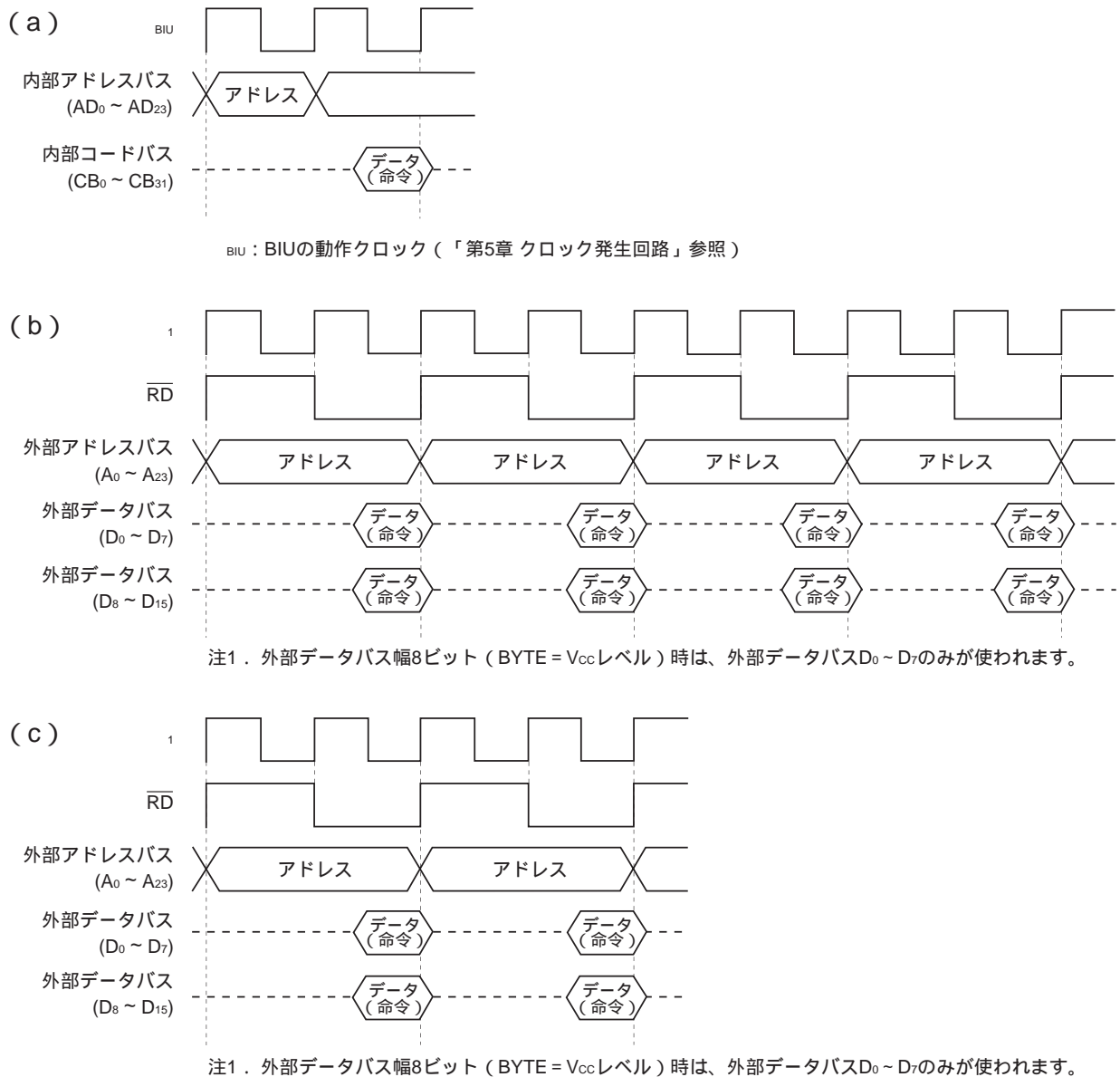
外部データバス幅8ビット(BYTE = V_{CC} レベル)時

4バイト境界から4バイト取り込みます(図2.2.3(b) : 4回連続アクセス)。

分岐時は、分岐先が偶数番地の場合は偶数番地から、奇数番地の場合は(奇数番地 - 1)番地から、2バイト取り込みます(図2.2.3(c) : 2回連続アクセス)。

その次に取り込む番地によって、以降の動作は以下ようになります。

- ・4バイト境界の時は、次からは4バイト取り込みます(図2.2.3(b) : 4回連続アクセス)。
- ・偶数番地の時は、2バイト取り込みます(図2.2.3(c) : 2回連続アクセス)。その次からは4バイト取り込みます(図2.2.3(b) : 4回連続アクセス)。



注2 . (a)の波形例はバスサイクル2 の場合です。内部領域アクセス時のバスサイクルについては表2.2.4を参照してください。
 (b)、(c)の波形例はバスサイクル1 +1 、通常アクセスの場合です。外部領域アクセス時のバスサイクル、リカバリサイクル、及びバーストROMアクセスについては「第3章 外部デバイス接続」を参照してください。

図2.2.3 命令先取り時の動作波形例

2.2.2 データの転送(読み出し/書き込み)

CPUが内部領域、又は外部領域に対して、データの読み出し/書き込みを行うときは、BIUに対して、データの読み出し/書き込みを要求します。

BIUは、CPUからの要求に対して、制御信号を出力し、内部アドレスバス、及び内部データバスを制御します。BIUがバスを制御し、以下のように外部領域/内部領域との間でデータの転送を行うサイクルを「バスサイクル」と呼びます。

表2.2.4に内部領域アクセス時のバスサイクルを示します。外部領域アクセス時のバスサイクル、及び外部領域アクセス時の各信号の詳細については、「第3章 外部デバイス接続」を参照してください。

図2.2.4に内部領域に対する読み出し/書き込み時の動作波形例を、図2.2.5、図2.2.6に外部領域に対する読み出し/書き込み時の動作波形例を示します。

(1)データの読み出し

CPUは、BIUのデータアドレスレジスタに読み出すデータの格納番地を指定し、データを要求します。このとき、CPUはBIUにデータが揃うまで待機します。

BIUは、CPUから受け取った番地を内部アドレスバスに出し、指定番地の内容を読み出してデータバッファに取り込みます。

CPUはデータバッファのデータを使用して処理を続けます。

(2)データの書き込み

CPUは、BIUのデータアドレスレジスタにデータを書き込む番地を指定し、データバッファにデータを書き込みます。BIUはCPUから受け取った番地を内部アドレスバスに出し、データバッファ内のデータを指定番地に書き込みます。

表2.2.4 内部領域アクセス時のバスサイクル

	バスサイクル3 (注) (内部ROMバスサイクル選択ビット=0時)	バスサイクル2 (内部ROMバスサイクル選択ビット=1時)
ROM	<p>1バスサイクル=3</p> <p>BIU</p> <p>内部アドレスバス</p> <p>内部データバス</p> <p>データ</p>	<p>1バスサイクル=2</p> <p>BIU</p> <p>内部アドレスバス</p> <p>内部データバス</p> <p>データ</p>
RAM	<p>1バスサイクル=2</p> <p>BIU</p> <p>内部アドレスバス</p> <p>内部データバス</p> <p>データ</p>	
SFR	<p>1バスサイクル=2</p> <p>BIU</p> <p>内部アドレスバス</p> <p>内部データバス</p> <p>データ</p>	

内部ROMバスサイクル選択ビット：5F₁₆番地のビット7

注．CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、バスサイクル3 を選択してください（「18.2 CPU書き換えモード」参照）。

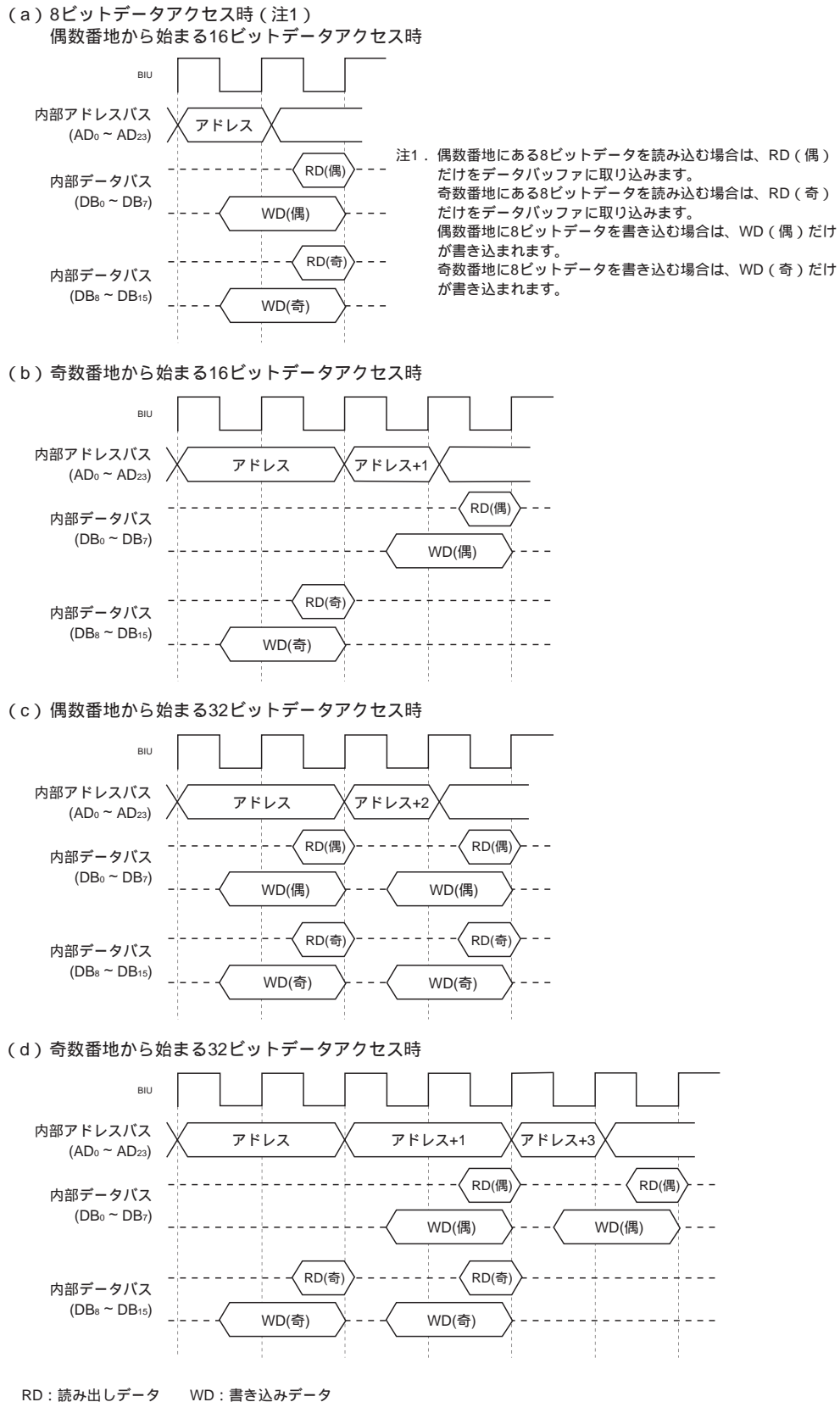
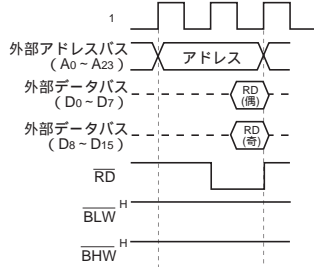


図2.2.4 内部領域に対する読み出し / 書き込み時の動作波形例

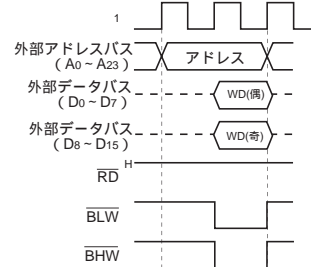
外部データバス幅16ビット (BYTE = Vssレベル) 時

(a) 偶数番地から始まる16ビットデータアクセス時

< 読み出し時 >

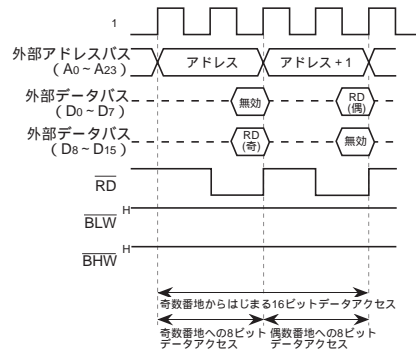


< 書き込み時 >

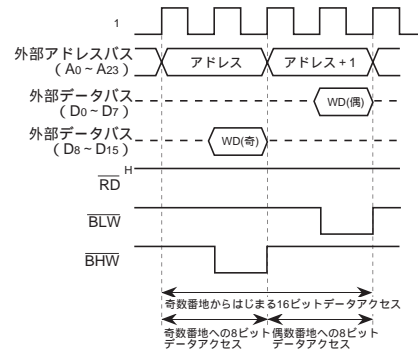


(b) 奇数番地から始まる16ビットデータアクセス時
8ビットデータアクセス時

< 読み出し時 >

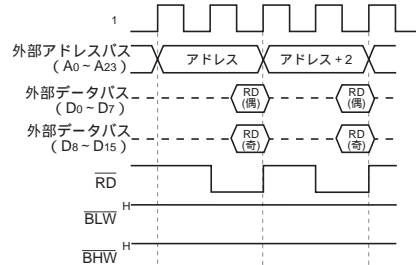


< 書き込み時 >

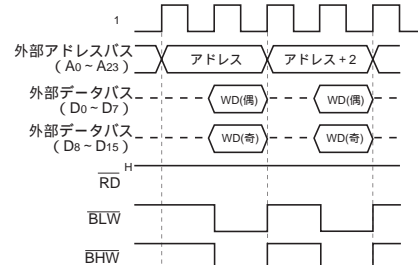


(c) 偶数番地から始まる32ビットデータアクセス時

< 読み出し時 >

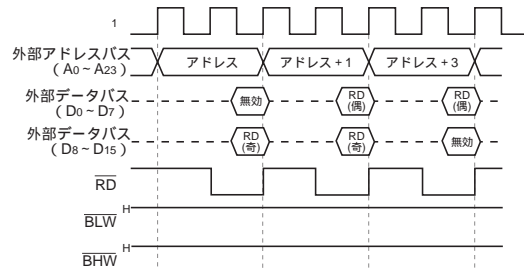


< 書き込み時 >

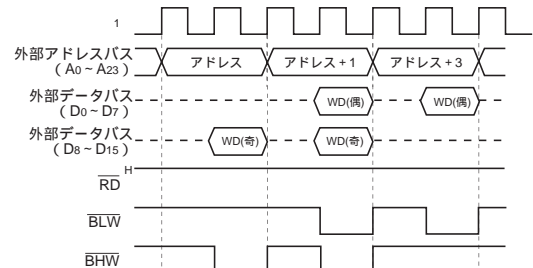


(d) 奇数番地から始まる32ビットデータアクセス時

< 読み出し時 >



< 書き込み時 >



RD : 読み出しデータ WD : 書き込みデータ
無効 : 無効データ (読み出し時、データバッファに取り込みません)

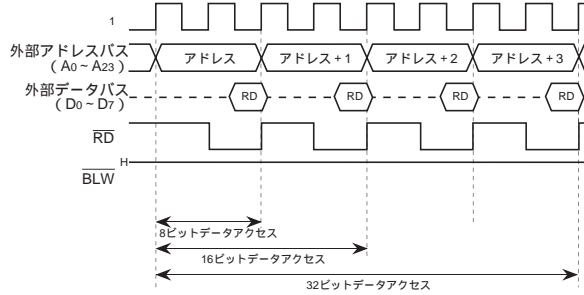
注 . 上記波形例はバスサイクル1 +1、通常アクセスの場合です。バスサイクル、バーストROMアクセス、及びリカバリサイクルについては「第3章 外部デバイス接続」を参照してください。

図2.2.5 外部領域に対する読み出し / 書き込み時の動作波形例(1)

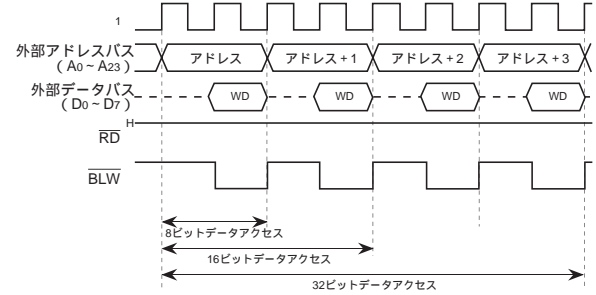
外部データバス幅8ビット時

(e) 8/16/32ビットデータアクセス時
 BYTE = V_{CC}レベル時

< 読み出し時 >

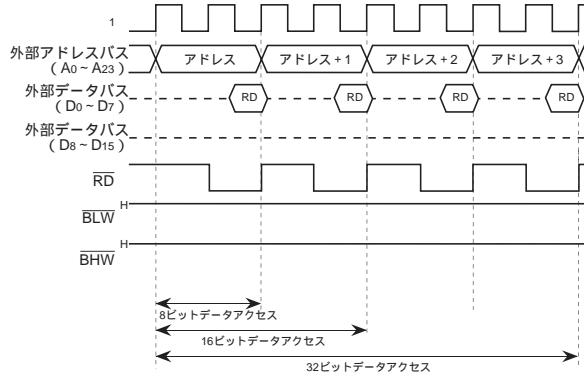


< 書き込み時 >

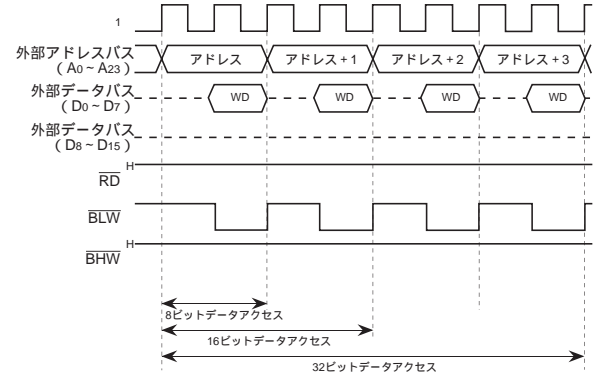


BYTE = V_{SS}レベル、かつ外部データバス幅選択ビット (82₁₆、84₁₆、86₁₆番地のビット2) = 1時

< 読み出し時 >



< 書き込み時 >



RD : 読み出しデータ WD : 書き込みデータ

注1. BYTE = V_{CC}レベル時、D₈ ~ D₁₅及びBHWはプログラマブル入力ポート (P2及びP3₃) として機能します。

2. 上記波形例はバスサイクル1 +1、通常アクセスの場合です。バスサイクル、バーストROMアクセス、及びリカバリサイクルについては「第3章 外部デバイス接続」を参照してください。

図2.2.6 外部領域に対する読み出し / 書き込み時の動作波形例(2)

2.3 アクセス空間

M37903のアクセス空間は、 0_{16} ~ $FFFFFF_{16}$ 番地の16Mバイトです。ただし、 $FF0000_{16}$ ~ $FFFFFF_{16}$ 番地は予約領域のため、使用しないでください。図2.3.1にM37903のアクセス空間を示します。

PCは16ビット構成ですが、PGと組み合わせて、 0_{16} ~ $FEFFFF_{16}$ 番地の15.9Mバイトの空間をアクセスできます。外部領域のアクセスについては、「第3章 外部デバイス接続」を参照してください。

メモリとI/Oは同一のアクセス空間内に配置されています。したがって、メモリとI/Oを区別することなく、同じ命令を使用して転送、演算などが行えます。

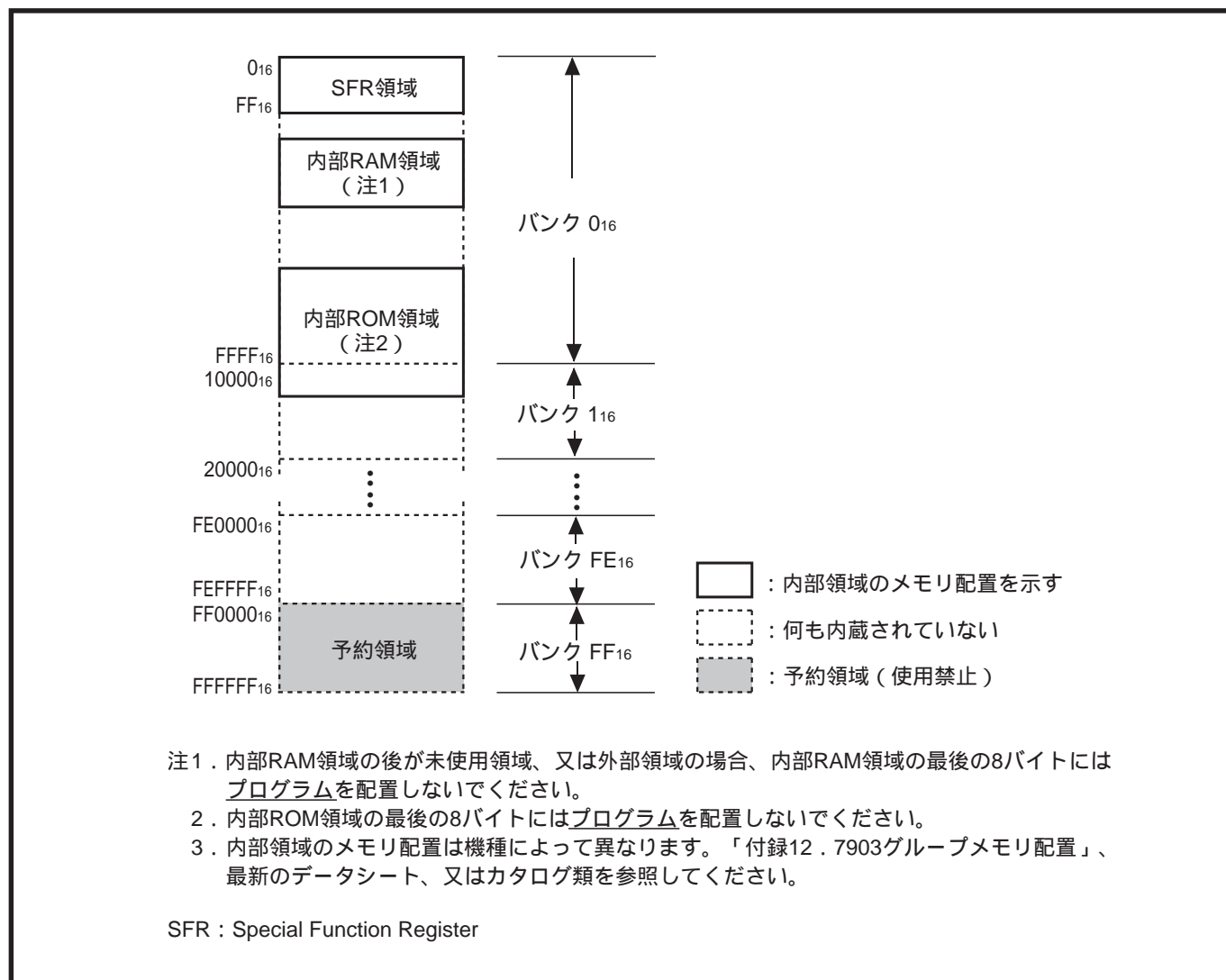


図2.3.1 M37903のアクセス空間

2.4 メモリ配置

この節では内部領域のメモリ配置について説明します。外部領域については、「2.5 プロセッサモード」を併せて参照してください。

2.4.1 内部領域のメモリ配置

内部領域にはSFR(Special Function Register)、内部RAM、及び内部ROMが配置されています。図2.4.1に内部領域のメモリ配置図を示します。

(1) SFR領域

0₁₆ ~ FF₁₆番地には、内蔵周辺装置に関する設定を行うためのレジスタが配置されています。この領域をSFRと呼びます。図2.4.2にSFR領域のメモリ配置図を示します。

SFR領域内の各レジスタについては、各機能説明を参照してください。

また、リセット直後のSFR領域の状態については、「4.3 内部領域の状態」を参照してください。

(2) 内部RAM領域

内部RAM領域はデータ格納領域として使用する他、スタック領域としても使用しますので、必要なデータを破壊しないようにサブルーチンのネスティングの深さ、及び多重割り込みのレベルに注意してください。

内部RAM領域の後に未使用領域、又は外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください(データは配置できます)。また、内部RAMの後に内部ROMが連続している場合はプログラムを配置できます。

(3) 内部ROM領域

内部ROM領域のうち、FFC0₁₆ ~ FFFF₁₆番地はリセットや割り込みのベクトル番地(インタラプトベクタテーブル)です。内部ROM領域の使用が禁止されるマイクロプロセッサモード、及びROM外付け版では、FFC0₁₆ ~ FFFF₁₆番地に必ずROMを配置してください。

内部ROM領域の最後の8バイトにはプログラムを配置しないでください(データは配置できます)。

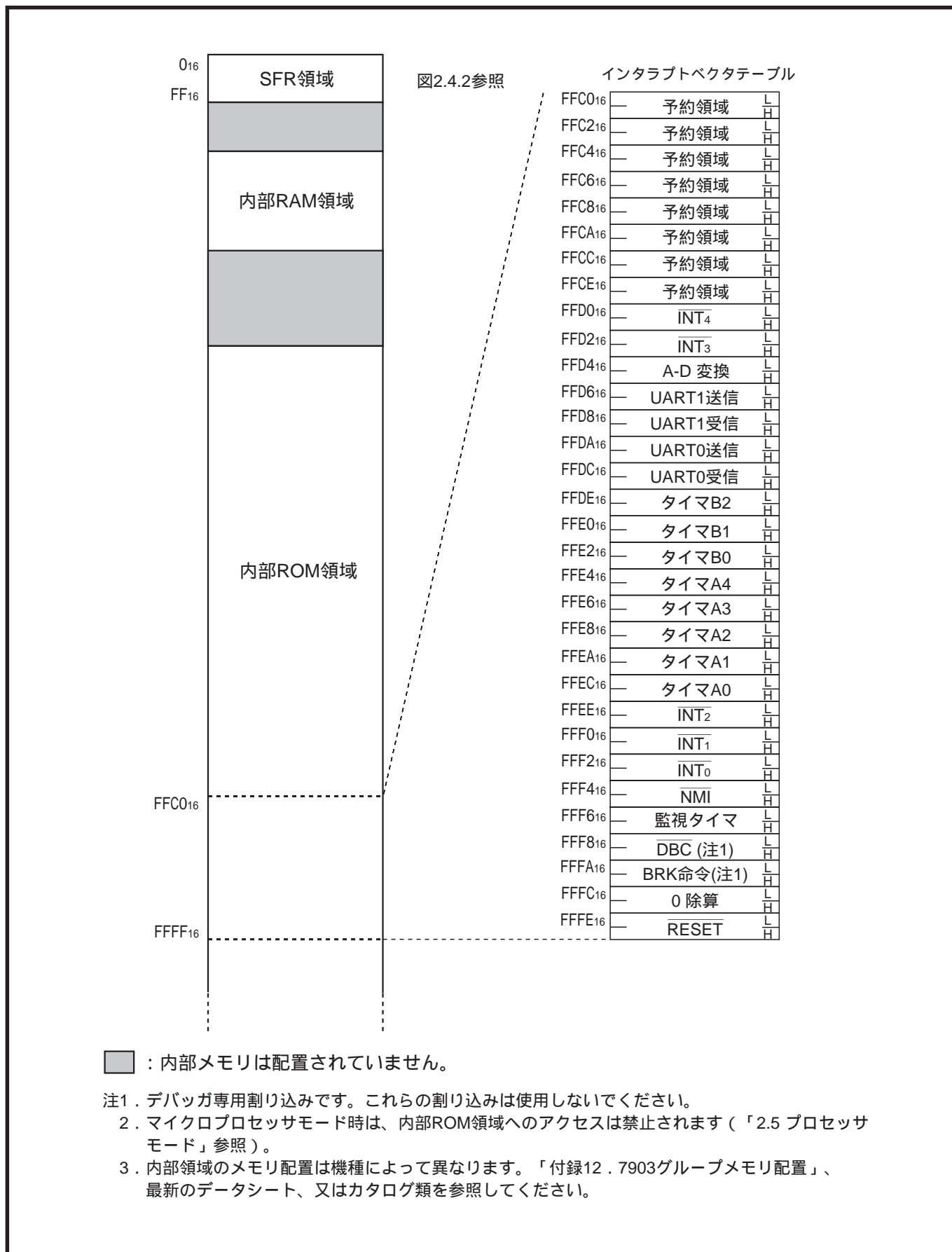


図2.4.1 内部領域のメモリ配置図

0 ₁₆	(注1)	40 ₁₆	カウント開始フラグ	80 ₁₆	CS ₀ 制御レジスタ L
1 ₁₆	(注1)	41 ₁₆		81 ₁₆	CS ₀ 制御レジスタ H
2 ₁₆	ポートP0レジスタ	42 ₁₆	ワンショット開始フラグ	82 ₁₆	CS ₁ 制御レジスタ L
3 ₁₆	ポートP1レジスタ	43 ₁₆		83 ₁₆	CS ₁ 制御レジスタ H
4 ₁₆	ポートP0方向レジスタ	44 ₁₆	アップダウンフラグ	84 ₁₆	CS ₂ 制御レジスタ L
5 ₁₆	ポートP1方向レジスタ	45 ₁₆	タイマAクロック分周指定レジスタ	85 ₁₆	CS ₂ 制御レジスタ H
6 ₁₆	ポートP2レジスタ	46 ₁₆	タイマA0レジスタ	86 ₁₆	CS ₃ 制御レジスタ L
7 ₁₆	ポートP3レジスタ	47 ₁₆		87 ₁₆	CS ₃ 制御レジスタ H
8 ₁₆	ポートP2方向レジスタ	48 ₁₆		88 ₁₆	
9 ₁₆	ポートP3方向レジスタ	49 ₁₆	タイマA1レジスタ	89 ₁₆	
A ₁₆	ポートP4レジスタ	4A ₁₆		8A ₁₆	CS ₀ 領域先頭アドレスレジスタ
B ₁₆	ポートP5レジスタ	4B ₁₆	タイマA2レジスタ	8B ₁₆	
C ₁₆	ポートP4方向レジスタ	4C ₁₆	タイマA3レジスタ	8C ₁₆	CS ₁ 領域先頭アドレスレジスタ
D ₁₆	ポートP5方向レジスタ	4D ₁₆		8D ₁₆	
E ₁₆	ポートP6レジスタ	4E ₁₆	タイマA4レジスタ	8E ₁₆	CS ₂ 領域先頭アドレスレジスタ
F ₁₆	ポートP7レジスタ	4F ₁₆		8F ₁₆	
10 ₁₆	ポートP6方向レジスタ	50 ₁₆	タイマB0レジスタ	90 ₁₆	CS ₃ 領域先頭アドレスレジスタ
11 ₁₆	ポートP7方向レジスタ	51 ₁₆		91 ₁₆	
12 ₁₆	ポートP8レジスタ	52 ₁₆	タイマB1レジスタ	92 ₁₆	ポート機能制御レジスタ
13 ₁₆		53 ₁₆		93 ₁₆	
14 ₁₆	ポートP8方向レジスタ	54 ₁₆	タイマB2レジスタ	94 ₁₆	外部割り込み入力制御レジスタ
15 ₁₆		55 ₁₆		95 ₁₆	外部割り込み入力読み出しレジスタ
16 ₁₆	ポートP10レジスタ	56 ₁₆	タイマA0モードレジスタ	96 ₁₆	D-A制御レジスタ
17 ₁₆	ポートP11レジスタ	57 ₁₆	タイマA1モードレジスタ	97 ₁₆	
18 ₁₆	ポートP10方向レジスタ	58 ₁₆	タイマA2モードレジスタ	98 ₁₆	D-Aレジスタ0
19 ₁₆	ポートP11方向レジスタ	59 ₁₆	タイマA3モードレジスタ	99 ₁₆	D-Aレジスタ1
1A ₁₆		5A ₁₆	タイマA4モードレジスタ	9A ₁₆	(注2)
1B ₁₆		5B ₁₆	タイマB0モードレジスタ	9B ₁₆	
1C ₁₆		5C ₁₆	タイマB1モードレジスタ	9C ₁₆	(注2)
1D ₁₆		5D ₁₆	タイマB2モードレジスタ	9D ₁₆	(注2)
1E ₁₆	A-D制御レジスタ0	5E ₁₆	プロセッサモードレジスタ0	9E ₁₆	フラッシュメモリ制御レジスタ(注3)
1F ₁₆	A-D制御レジスタ1	5F ₁₆	プロセッサモードレジスタ1	9F ₁₆	
20 ₁₆		60 ₁₆	監視タイマレジスタ	A0 ₁₆	リアルタイム出力制御レジスタ
21 ₁₆	A-Dレジスタ0	61 ₁₆	監視タイマ周波数選択レジスタ	A1 ₁₆	
22 ₁₆		62 ₁₆	特殊機能選択レジスタ0	A2 ₁₆	パルス出力データレジスタ 0
23 ₁₆	A-Dレジスタ1	63 ₁₆	特殊機能選択レジスタ1	A3 ₁₆	
24 ₁₆		64 ₁₆	特殊機能選択レジスタ2	A4 ₁₆	パルス出力データレジスタ 1
25 ₁₆	A-Dレジスタ2	65 ₁₆	(注2)	A5 ₁₆	
26 ₁₆		66 ₁₆	(注2)	A6 ₁₆	
27 ₁₆	A-Dレジスタ3	67 ₁₆	(注2)	A7 ₁₆	
28 ₁₆		68 ₁₆		A8 ₁₆	
29 ₁₆	A-Dレジスタ4	69 ₁₆		A9 ₁₆	
2A ₁₆		6A ₁₆		AA ₁₆	
2B ₁₆	A-Dレジスタ5	6B ₁₆		AB ₁₆	
2C ₁₆		6C ₁₆		AC ₁₆	シリアルI/O端子制御レジスタ
2D ₁₆	A-Dレジスタ6	6D ₁₆		AD ₁₆	
2E ₁₆		6E ₁₆	INT ₃ 割り込み制御レジスタ	AE ₁₆	
2F ₁₆	A-Dレジスタ7	6F ₁₆	INT ₄ 割り込み制御レジスタ	AF ₁₆	
30 ₁₆	UART0送受信モードレジスタ	70 ₁₆	A-D変換割り込み制御レジスタ	B0 ₁₆	
31 ₁₆	UART0転送速度レジスタ(BRG0)	71 ₁₆	UART0送信割り込み制御レジスタ	B1 ₁₆	
32 ₁₆		72 ₁₆	UART0受信割り込み制御レジスタ	B2 ₁₆	
33 ₁₆	UART0送信バッファレジスタ	73 ₁₆	UART1送信割り込み制御レジスタ	B3 ₁₆	
34 ₁₆	UART0送受信制御レジスタ0	74 ₁₆	UART1受信割り込み制御レジスタ	B4 ₁₆	
35 ₁₆	UART0送受信制御レジスタ1	75 ₁₆	タイマA0割り込み制御レジスタ	B5 ₁₆	
36 ₁₆		76 ₁₆	タイマA1割り込み制御レジスタ	B6 ₁₆	
37 ₁₆	UART0受信バッファレジスタ	77 ₁₆	タイマA2割り込み制御レジスタ	B7 ₁₆	
38 ₁₆	UART1送受信モードレジスタ	78 ₁₆	タイマA3割り込み制御レジスタ	B8 ₁₆	
39 ₁₆	UART1転送速度レジスタ(BRG1)	79 ₁₆	タイマA4割り込み制御レジスタ	B9 ₁₆	
3A ₁₆		7A ₁₆	タイマB0割り込み制御レジスタ	BA ₁₆	(注2)
3B ₁₆	UART1送信バッファレジスタ	7B ₁₆	タイマB1割り込み制御レジスタ	BB ₁₆	(注2)
3C ₁₆	UART1送受信制御レジスタ0	7C ₁₆	タイマB2割り込み制御レジスタ	BC ₁₆	クロック制御レジスタ
3D ₁₆	UART1送受信制御レジスタ1	7D ₁₆	INT ₀ 割り込み制御レジスタ	BD ₁₆	(注2)
3E ₁₆		7E ₁₆	INT ₁ 割り込み制御レジスタ	BE ₁₆	(注2)
3F ₁₆	UART1受信バッファレジスタ	7F ₁₆	INT ₂ 割り込み制御レジスタ	BF ₁₆	(注2)

注1. 読み出し及び書き込み禁止。
 2. 書き込み禁止。
 3. フラッシュメモリ内蔵版(「第18章 フラッシュメモリ内蔵版」参照)にだけ配置されています。マスクROM内蔵版、ROM外付け版では書き込み禁止です。

図2.4.2 SFR領域のメモリ配置図

2.5 プロセッサモード

M37903は3つのプロセッサモード(シングルチップモード、メモリ拡張モード、及びマイクロプロセッサモード)で動作できます(注)。プロセッサモードによって一部の端子の機能、メモリ配置、及びアクセス空間が異なります。この節では、プロセッサモードによる違いについて説明します。図2.5.1に各プロセッサモード時のメモリ配置図を示します。

注. ROM外付け版はマイクロプロセッサモードでだけ動作します。

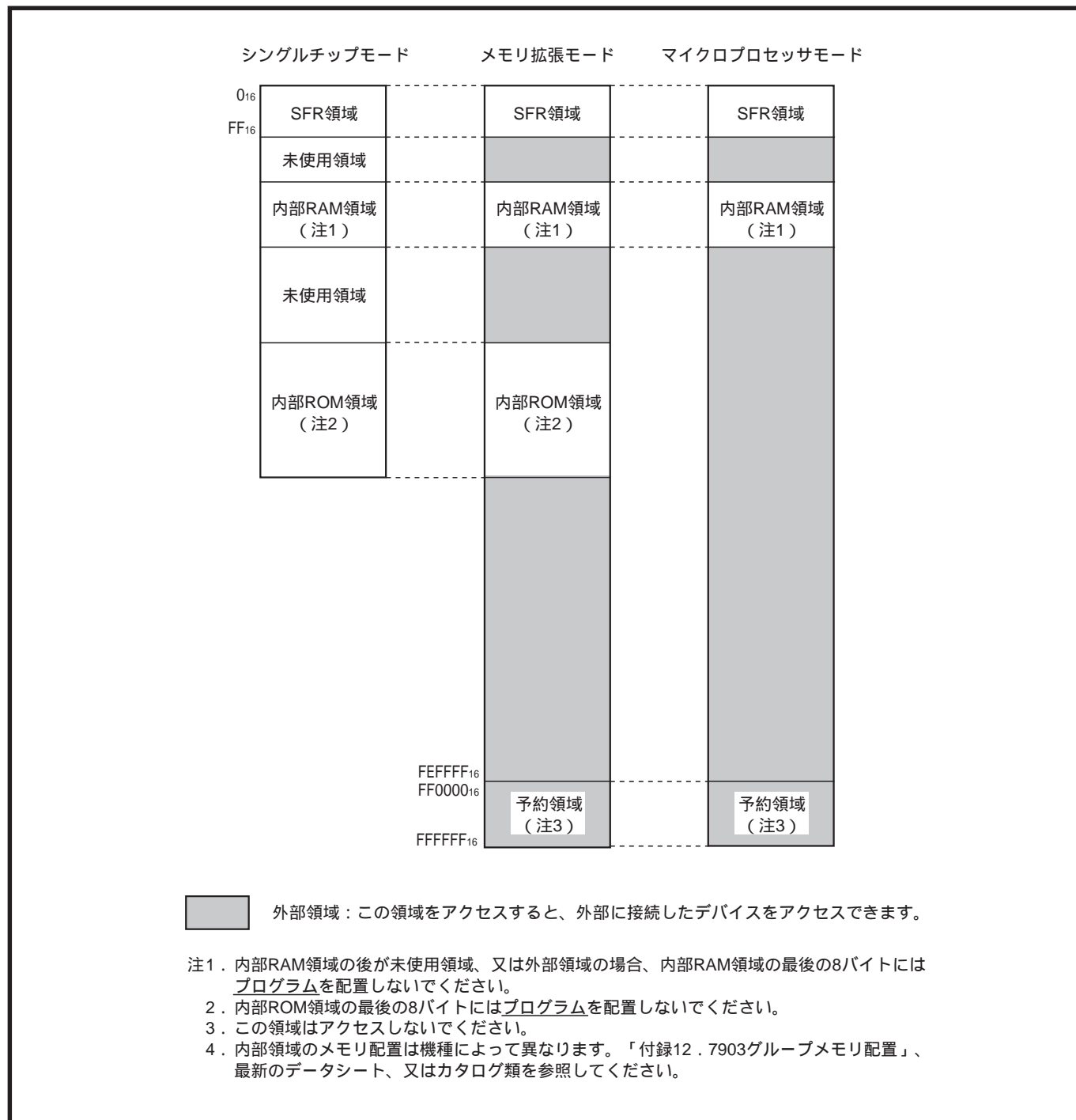


図2.5.1 各プロセッサモード時のメモリ配置図

図2.5.2に各プロセッサモード時のピン接続図を示します。

2.5.1 シングルチップモード

外部デバイスをバス接続しない場合に使用します。このモードでは、P0～P8、P10、P11はプログラマブル入出力ポート(内蔵周辺装置使用時はその入出力端子)として機能します。

内部領域(SFR、内部RAM、内部ROM)だけがアクセスできます。

2.5.2 メモリ拡張モードとマイクロプロセッサモード

外部にデバイスをバス接続する場合に使用します。これらのモードでは15.9Mバイトのアクセス空間内に外部デバイスを自由に接続できます。また、プログラマブル入出力ポートの一部が外部デバイスのアクセスに必要な信号の入出力端子として機能します。

外部デバイスのアクセスについては、「第3章 外部デバイス接続」を参照してください。

メモリ拡張モードとマイクロプロセッサモードは、次の点を除いて同じ機能を持ちます。

マイクロプロセッサモードでは、内部ROM領域へのアクセスが強制的に禁止され、この領域が外部領域として扱われる。

なお、外部デバイスを内部領域と重複する領域に接続した場合、重複した領域の読み出しを行ったときは内部領域のデータがCPUに取り込まれ、外部領域のデータはCPUに取り込まれません。また、重複した領域に書き込みを行ったときは、内部領域にデータが書き込まれ、外部にはデータが出力されません。

各端子の機能については、「1.3 端子の機能説明」、「第3章 外部デバイス接続」、「第5章 クロック発生回路」、「第6章 入出力端子」、及び各内蔵周辺機能の説明(第7章～第14章)を参照してください。

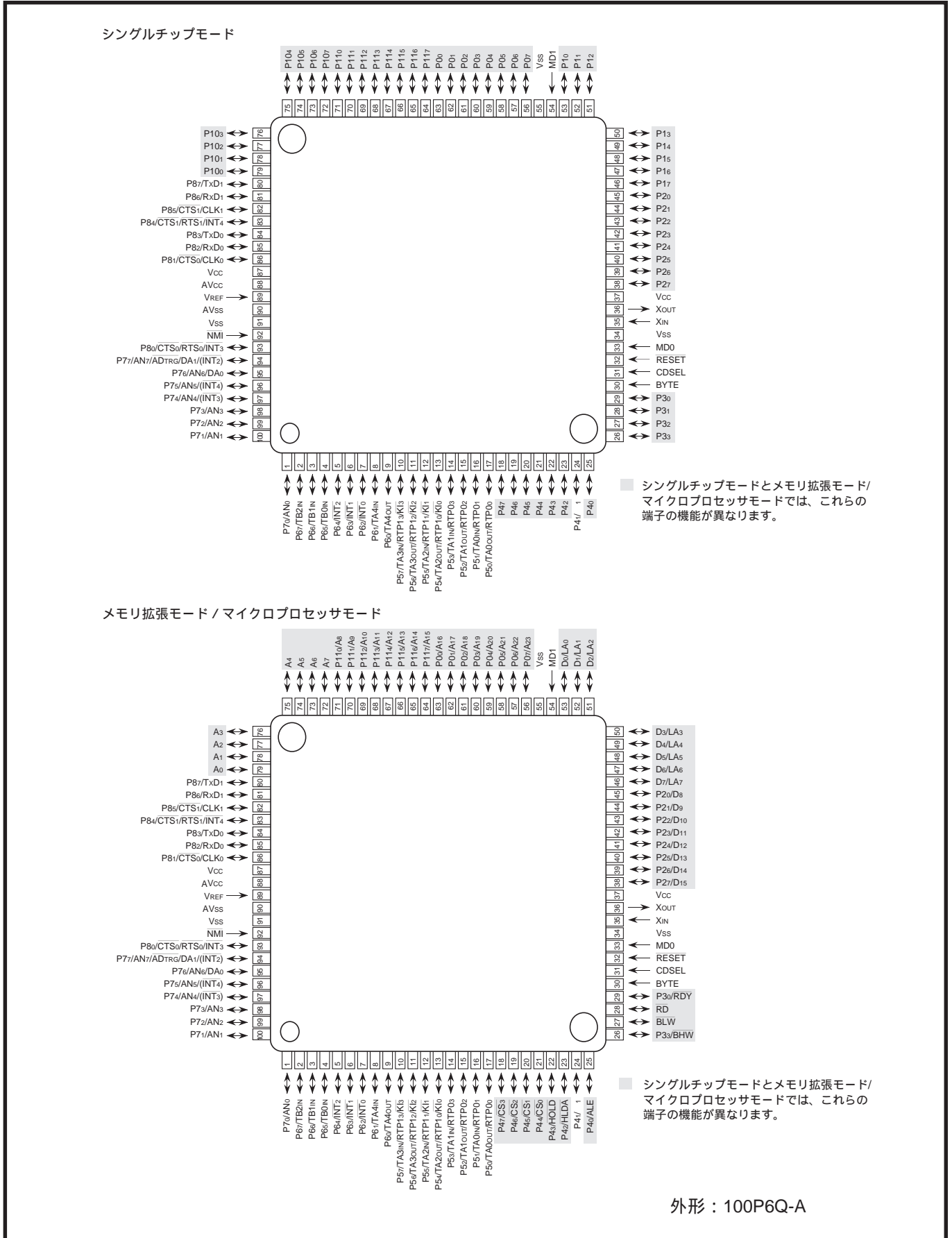


図2.5.2 各プロセッサモード時のピン接続図(上面図)

2.5.3 プロセッサモードの設定

プロセッサモードの設定は、MD0端子に印加する電圧、及びプロセッサモードビット(5E₁₆番地のビット1、0)によって行います。

注．MD0端子に印加する電圧は、マイクロコンピュータ動作中に切り替えしないでください。

(1) MD0端子にV_{SS}レベルを印加する場合

リセット後、マイクロコンピュータはシングルチップモードで動作を開始します。プロセッサモードの切り替えは、動作開始後プロセッサモードビットによって行います。プロセッサモードビットを“01₂”にするとメモリ拡張モード、“10₂”にするとマイクロプロセッサモードになります。なお、プログラム実行途中でプロセッサモードを切り替えた場合、命令キューバッファの内容は初期化されません(「付録8. 7903グループQ&A」参照)。

(2) MD0端子にV_{CC}レベルを印加する場合

リセット後、マイクロコンピュータはマイクロプロセッサモードで動作を開始します。この場合、他のプロセッサモードでは動作できません(プロセッサモードビットは“10₂”に固定してください)。

表2.5.1にプロセッサモードの設定方法を、図2.5.3にプロセッサモードレジスタ(5E₁₆番地)のレジスタ構成を示します。

表2.5.1 プロセッサモードの設定方法

プロセッサモード	MD0端子のレベル	プロセッサモードビット	
		b1	b0
シングルチップモード	V _{SS} (注1)	0	0
メモリ拡張モード	V _{SS} (注1)	0	1
マイクロプロセッサモード	V _{SS} (注1)	1	0
	V _{CC} (注2)		

注1．リセット後はシングルチップモードで動作を開始します。プロセッサモードビットによって他のプロセッサモードに切り替えることができます。

2．リセット後はマイクロプロセッサモードで動作を開始します。他のプロセッサモードでは動作できませんので、プロセッサモードビットの値は [b1=1、b0=0] に固定してください。

プロセッサモードレジスタ0【5E ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0											
				<table border="1"> <tr> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table>											
ビット	ビット名	機能	リセット時	R/W											
0	プロセッサモードビット	b1 b0 00: シングルチップモード	0	RW											
1		01: メモリ拡張モード 10: マイクロプロセッサモード 11: 選択禁止	(注1)	RW											
2	外部バスサイクル選択ビット0 (注2)	(外部バスサイクル選択 ビット1=0時)	0	RW											
3		(外部バスサイクル選択 ビット1=1時)	1	RW											
4	割り込み優先順位判定時間 選択ビット	b5 b4 00: f _{sys} の7サイクル	0	RW											
5		01: f _{sys} の4サイクル 10: f _{sys} の2サイクル 11: 選択禁止	0	RW											
6	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる 読み出し時の値は“0”	0	WO											
7	クロック _i 出力選択ビット	0: _i 出力禁止(P4 _i はプログラマブル入出力ポートとして機能) 1: _i 出力許可(P4 _i はクロック _i 出力端子として機能)	(注3)	RW											

注1. MDO端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。

注2. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。

注3. MDO端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。

図2.5.3 プロセッサモードレジスタ0のレジスタ構成

【プロセッサモード選択時の注意】

ROM外付け版はマイクロプロセッサモード専用ですので、必ず以下の設定を行ってください。

- ・ MD0端子はV_{cc}に接続してください。
- ・ プロセッサモードビット(5E₁₆番地のビット1、0)は“10₂”に固定してください。

Memo

第 3 章

外部デバイス接続

- 3.1 外部デバイスのアクセスに必要な信号
【外部デバイスアクセス時の注意】
- 3.2 チップセレクトウエイトコントローラ
【CSWC使用上の注意】
- 3.3 レディー機能
- 3.4 ホールド機能
- 3.5 応 用

この章では、外部にデバイスを接続するための機能について説明します。

外部に接続したデバイスからのデータの読み出し、及び外部に接続したデバイスへのデータの書き込みは、バスインタフェース装置(BIU)が行います(「2.2 バスインタフェース装置(BIU)」参照)。外部デバイスアクセス時のバスサイクルは、チップセレクトウエイトコントローラ(CSWC)、及びレディー機能によって、変更することができます。また、ホールド機能によって、外部にバスを解放することができます。

3.1 外部デバイスのアクセスに必要な信号

外部にデバイスを接続するときは、マイクロコンピュータをメモリ拡張モード、又はマイクロプロセッサモードで動作させてください(「2.5 プロセッサモード」参照)。これらのモードで動作しているとき、プログラマブル入出力ポートの一部が外部デバイスのアクセスに必要な信号の入出力端子として機能します。

図3.1.1にメモリ拡張モード及びマイクロプロセッサモード時のピン接続図を、図3.1.2に外部領域を、表3.1.1に外部デバイスのアクセスに使用する端子を示します。

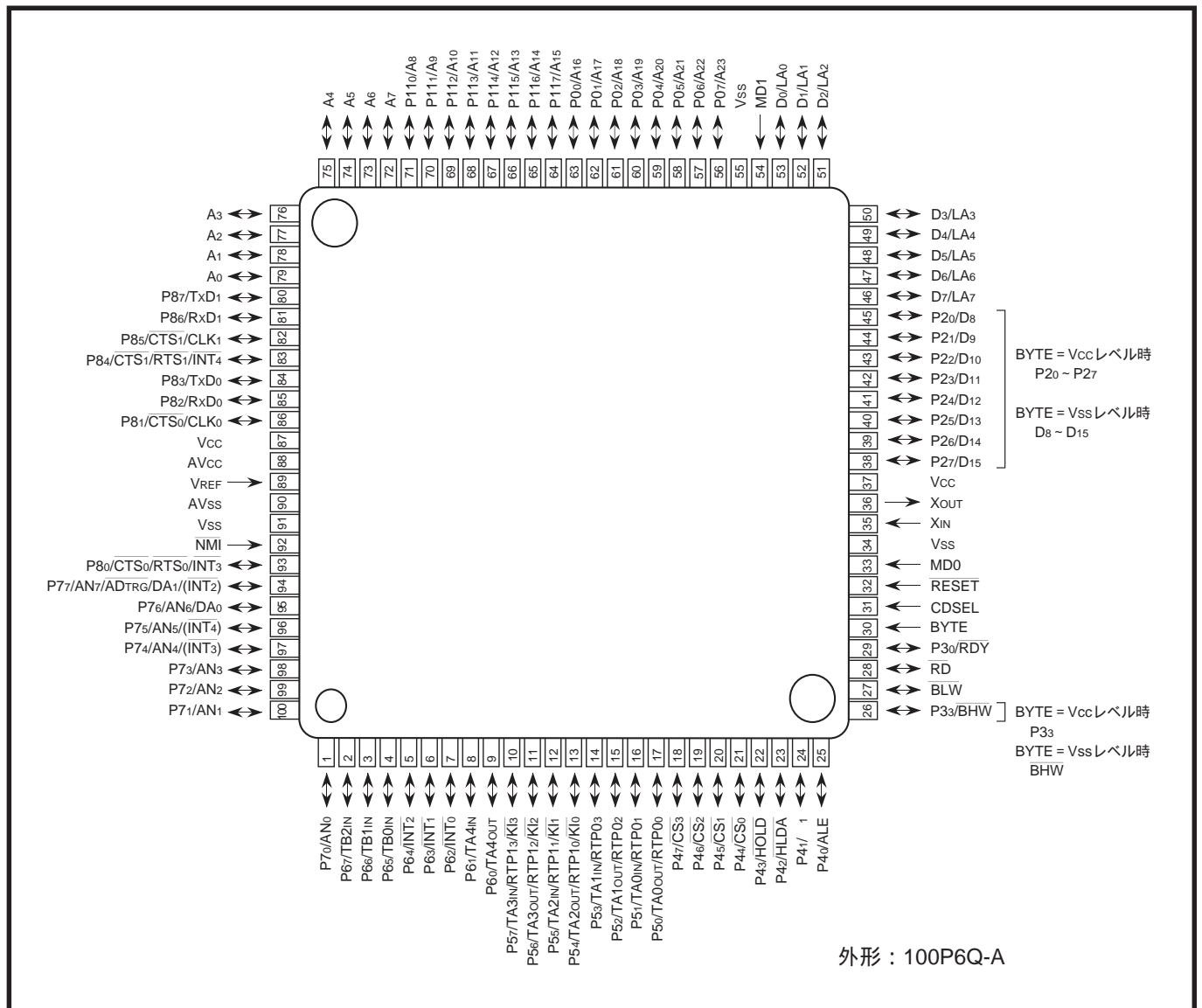


図3.1.1 メモリ拡張モード及びマイクロプロセッサモード時のピン接続図(上面図)

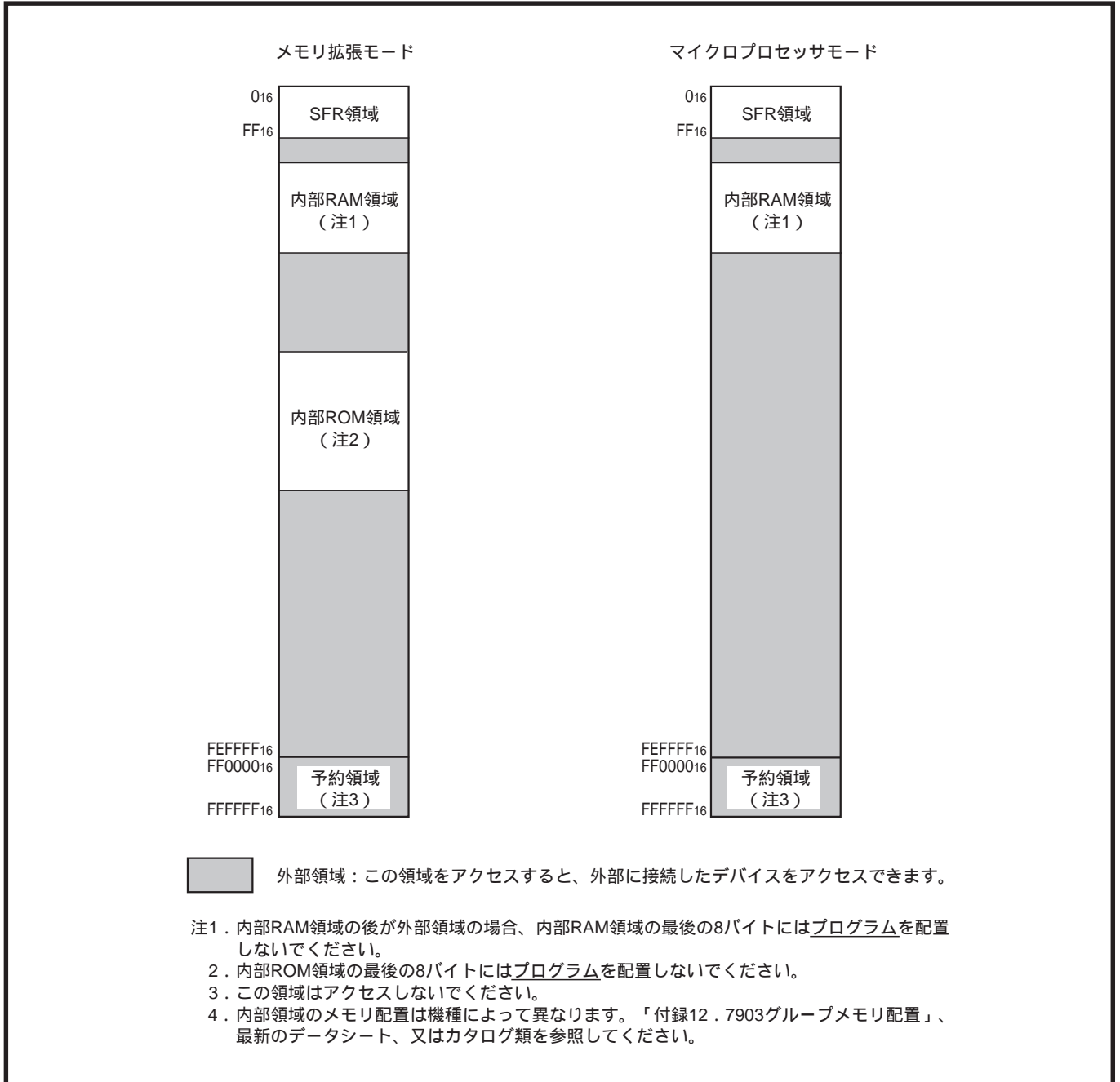


図3.1.2 外部領域

表3.1.1 外部デバイスのアクセスに使用する端子

端子	外部領域アクセス時		内部領域アクセス時
	外部データバス幅16ビット(BYTE = V _{SS} レベル)	外部データバス幅8ビット(BYTE = V _{CC} レベル)	
A ₀ ~ A ₂₃	アドレス(A ₀ ~ A ₂₃)出力端子		不定(注1)
D ₀ ~ D ₇ (注2)	偶数番地のデータ(D ₀ ~ D ₇) 入出力端子	データ(D ₀ ~ D ₇)入出力端子	フローティング
D ₈ ~ D ₁₅	奇数番地のデータ(D ₈ ~ D ₁₅) 入出力端子 (注3)	プログラマブル入出力ポート(P ₂)	フローティング (注4)
RDY	レディー機能関連信号の入力端子(「3.3 レディー機能」参照) (注5)		無効
RD	リード信号出力端子(データバスを読み出しているとき“ L ”レベルが出力される)		“ H ”レベルを出力
BLW	ライト信号出力端子(偶数番地に書き 込んでいるとき“ L ”レベルが出力される)	ライト信号出力端子(外部領域に書き 込んでいるとき“ L ”レベルが出力される)	“ H ”レベルを出力
BHW	ライト信号出力端子(奇数番地に書き 込んでいるとき“ L ”レベルが出力される) (注6)	プログラマブル入出力ポート(P ₃)	“ H ”レベルを出力 (注4)
ALE	アドレスラッチイネーブル信号出力端子(アドレスの確定を示す。アドレス をラッチするときを使用できる)		“ L ”レベルを出力
ϕ_1	クロック ϕ_1 出力端子(f _{sys} と同じ周期を持つ信号を出力する(「第5章 クロック発生回路」参照))		
HOLD	ホールド機能関連信号の入力端子(「3.4 ホールド機能」参照) (注5)		無効
HLDA	ホールド機能関連信号の出力端子(「3.4 ホールド機能」参照)		“ H ”レベルを出力
CS ₀ ~ CS ₃	チップセレクト出力端子(「3.2 チップセレクトウエイトコントローラ」参照)		
BYTE (注7)	外部データバス幅切り替え入力端子(V _{SS} レベル入力時16ビット、V _{CC} レベル入力時8ビット)		

注1. ソフトウェアで選択することによって、内部領域アクセス時のアドレス出力を固定できます(「3.2.4 アドレス出力選択」参照)。

- CS₂領域を外部データバス幅8ビットでアクセスする場合、ソフトウェアで選択することによって、アドレス(LA₀ ~ LA₇)の出力とデータ(D₀ ~ D₇)の入出力を時分割で行えます(「3.2.2 外部バス動作」参照)。
- ソフトウェアで外部データバス幅8ビットを選択している領域をアクセスした場合は、フローティングになります(図2.2.6参照)。
- ただし、外部データバス幅16ビット(BYTE = V_{SS}レベル)時。
- MD0 = V_{CC}で使用する場合、これらの端子はリセット後、RDY、HOLD端子の機能になります。したがって、これらの端子をポートとして使用する場合も、リセット時にはV_{CC}レベルを印加してください。
- ソフトウェアで外部データバス幅8ビットを選択している領域をアクセスした場合は、“ H ”レベルを出力します(図2.2.6参照)。
- この端子への入力レベルは、マイクロコンピュータ動作中に切り替えしないでください。
この端子への入力によるデータバス幅は、外部領域(図3.1.2参照)に対してだけ有効です(内部領域アクセス時は、常にデータバス幅16ビットになります)。
また、BYTE = V_{SS}レベル時は、ソフトウェアで選択することによって、CS₁ ~ CS₃領域ごとに外部データバス幅を8ビットにできます(「3.2 チップセレクトウエイトコントローラ」参照)。
- 各信号の詳細、及び入出力タイミングについては、各参照先、「付録9 . M37903F8CHP電气的特性」を参照してください。

外部デバイスのアクセスに必要な端子の関連レジスタについて以下に示します。

(1) MD0端子に V_{SS} レベルを印加し、リセット後、シングルチップモードからメモリ拡張モード、又はマイクロプロセッサモードに切り替える場合は、以下の各ビットで端子の機能を選択してください(MD0 = V_{SS} でリセット後、これらの端子はプログラマブル入出力ポートになっています)。

- ・ \overline{RDY} 端子 : \overline{RDY} 入力選択ビット(5F₁₆番地のビット2)
- ・ ALE端子 : ALE出力選択ビット(5F₁₆番地のビット3)
- ・ $\overline{CS_1}$ 端子 : クロック $\overline{CS_1}$ 出力選択ビット(5E₁₆番地のビット7)
- ・ \overline{HOLD} 端子、 \overline{HLDA} 端子 : \overline{HOLD} 入力, \overline{HLDA} 出力選択ビット(5F₁₆番地のビット5)
- ・ $\overline{CS_0} \sim \overline{CS_3}$ 端子 : $\overline{CS_0}$ 出力選択ビット(80₁₆番地のビット7)
 $\overline{CS_1}$ 出力選択ビット(82₁₆番地のビット7)
 $\overline{CS_2}$ 出力選択ビット(84₁₆番地のビット7)
 $\overline{CS_3}$ 出力選択ビット(86₁₆番地のビット7)

(2) アドレス / ポート切り替え

アドレス / ポート切り替えビット(図3.1.3参照)によって、A₈ ~ A₂₃をP0、P11に切り替えることができます。必要なアクセス空間(「2.3 アクセス空間」参照)に応じて、使用しないアドレス出力端子をプログラマブル入出力ポートとして使用できます。

(3) P4($\overline{CS_0}$) ~ P4($\overline{CS_3}$)プルアップ

\overline{RESET} 端子のレベルが「L」の期間及びリセット後、P4($\overline{CS_0}$) ~ P4($\overline{CS_3}$)はプルアップされます。したがって、外部にプルアップ抵抗を接続する必要がありません。

P4 ~ P7プルアップ選択ビット(図3.1.3参照)を「1」にすると、プルアップは解除されます。

次のいずれかを設定すると、P4 ~ P7プルアップ選択ビットの内容にかかわらず、プルアップが解除されます(ビットの内容は変化しません)。

- ・ 対応するP4 ~ P7方向レジスタを「1」(出力モード)にする
- ・ 対応する $\overline{CS_0} \sim \overline{CS_3}$ 出力選択ビット(80₁₆、82₁₆、84₁₆、86₁₆番地のビット7)を「1」($\overline{CS_0} \sim \overline{CS_3}$ 出力許可)にする

また、このビットの内容にかかわらず、パラレル入出力モード(MD1 = V_{CC} 、MD0 = V_{CC})時はP4 ~ P7が、マイクロプロセッサモード(MD1 = V_{SS} 、MD0 = V_{CC})時は $\overline{CS_0}$ (P4)がプルアップされません。

パラレル入出力モードについては、「18.4 パラレル入出力モード」を参照してください。

ポート機能制御レジスタ【92 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0	0						
ビット	ビット名	機能	リセット時	R/W							
0	アドレス/ポート切り替えビット	b2 b1 b0 0 0 0 : A ₀ ~ A ₂₃ (16Mバイト)	0	RW							
1		0 0 1 : A ₀ ~ A ₂₁ 、 P0 ₆ 、 P0 ₇ (4Mバイト)	0	RW							
2		0 1 0 : A ₀ ~ A ₁₉ 、 P0 ₄ ~ P0 ₇ (1Mバイト)	0	RW							
		0 1 1 : A ₀ ~ A ₁₇ 、 P0 ₂ ~ P0 ₇ (256Kバイト)	0	RW							
3	ポートP0入力レベル選択ビット	1 0 0 : A ₀ ~ A ₁₅ 、 P0 ₀ ~ P0 ₇ (64Kバイト)	0	RW							
		1 0 1 : 選択禁止									
		1 1 0 : A ₀ ~ A ₁₁ 、 P0 ₀ ~ P0 ₇ 、 P11 ₄ ~ P11 ₇ (4Kバイト)									
4	P4 ₄ ~ P4 ₇ プルアップ選択ビット	1 1 1 : A ₀ ~ A ₇ 、 P0 ₀ ~ P0 ₇ 、 P11 ₀ ~ P11 ₇ (256バイト)	0	RW							
6、5	“0” に固定してください		0	RW							
7	NMI端子プルアップ選択ビット	0 : NMI端子をプルアップする 1 : NMI端子をプルアップしない (注1)	0	RW							

注1. パラレル入出力モード (MD1 = V_{CC}、 MD0 = V_{CC}) 時は、これらのビットの内容にかかわらず、P4₄ ~ P4₇及びNMI端子はプルアップされません。

2. マイクロプロセッサモード (MD1 = V_{SS}、 MD0 = V_{CC}) 時は、このビットの内容にかかわらず、CS₄(P4₄)はプルアップされません。

図3.1.3 ポート機能制御レジスタのレジスタ構成

【外部デバイスアクセス時の注意】

32ビット演算命令を使用してメモリをアクセスするときは、データバス幅の異なる領域をまたいでアクセスしないでください【CSWC使用上の注意】3 参照）。

3.2 チップセレクトウエイトコントローラ

外部領域アクセス時のバスサイクルは、チップセレクトウエイトコントローラ(以下CSWCと称す)によって制御されます。CSWCにより、バンク0₁₆~バンクFE₁₆のアドレス空間に、最大4ブロックのチップセレクト領域($\overline{CS_0}$ ~ $\overline{CS_3}$)を設定できます(図3.2.10~図3.2.12参照)。各チップセレクト領域ごとに、表3.2.1に示す機能を選択できます。

また、 $\overline{CS_0}$ ~ $\overline{CS_3}$ 領域として設定されていない外部領域($\overline{CS_0}$ ~ $\overline{CS_3}$ 領域以外の外部領域)についても、表3.2.1に示す機能を選択できます。

表3.2.1 各外部領域の機能

	$\overline{CS_0}$		$\overline{CS_1}$ 、 $\overline{CS_2}$		$\overline{CS_3}$	$\overline{CS_0}$ ~ $\overline{CS_3}$ 領域以外の外部領域
	モード0	モード1	モード0	モード1		
先頭アドレスを設定できる空間	バンク2 ₁₆ ~バンクFE ₁₆	バンク0 ₁₆	バンク2 ₁₆ ~バンクFE ₁₆	バンク0 ₁₆	バンク2 ₁₆ ~バンクFE ₁₆	
ブロックの大きさ	128Kバイト、256Kバイト、512Kバイト、1Mバイト、2Mバイト、4Mバイト、又は8Mバイト	128Kバイト、256Kバイト、512Kバイト、1Mバイト、2Mバイト、4Mバイト、又は8Mバイト	128Kバイト、256Kバイト、512Kバイト、1Mバイト、2Mバイト、4Mバイト、又は8Mバイト	4Kバイト、又は8Kバイト	128Kバイト、256Kバイト、512Kバイト、1Mバイト、2Mバイト、4Mバイト、又は8Mバイト	
バスサイクル	バスサイクル 1 +1、1 +2、1 +3、 2 +2、2 +3、2 +4、 3 +3、3 +4 (80 ₁₆ 番地のビット0, 1 及び81 ₁₆ 番地のビット3で選択)	バスサイクル 1 +1、1 +2、1 +3、 2 +2、2 +3、2 +4、 3 +3、3 +4 (82 ₁₆ 、84 ₁₆ 番地のビット0, 1 及び83 ₁₆ 、85 ₁₆ 番地のビット3で 選択)	バスサイクル 1 +1、1 +2、1 +3、 2 +2、2 +3、2 +4、 3 +3、3 +4 (82 ₁₆ 、84 ₁₆ 番地のビット0, 1 及び83 ₁₆ 、85 ₁₆ 番地のビット3で 選択)	バスサイクル 1 +1、1 +2、 1 +3、2 +2、 2 +3、2 +4、 3 +3、3 +4 (86 ₁₆ 番地のビット 0, 1及び87 ₁₆ 番地 のビット3で選択)	バスサイクル 1 +1、1 +2、 1 +3、2 +2、 2 +3、2 +4、 3 +3、3 +4 (5E ₁₆ 番地のビット 2, 3及び5F ₁₆ 番地 のビット0で選択)	
外部データバス幅	BYTE端子のレベルで決まる	BYTE = V _{SS} レベルであれば8ビット幅、16ビット幅を任意に選択できる(注1)	BYTE = V _{SS} レベルであれば8ビット幅、16ビット幅を任意に選択できる(注1)	BYTE = V _{SS} レベルであれば8ビット幅、16ビット幅を任意に選択できる(注1)	BYTE端子のレベルで決まる	
RDY制御	有効(5F ₁₆ 番地のビット2及び80 ₁₆ 番地のビット3で選択)	有効(5F ₁₆ 番地のビット2及び82 ₁₆ 、84 ₁₆ 番地のビット3で選択)	有効(5F ₁₆ 番地のビット2及び82 ₁₆ 、84 ₁₆ 番地のビット3で選択)	有効(5F ₁₆ 番地のビット2及び86 ₁₆ 番地のビット3で選択)	有効(5F ₁₆ 番地のビット2で選択)	
バーストROMアクセス(注2, 3)	できる	できる	できる	できる	できない	
リカバリサイクル挿入	できる	できる	できる	できる	できる	
領域マルチプレックスバスアクセス(注3)	できない	$\overline{CS_1}$: できない $\overline{CS_2}$: できる(注4)	$\overline{CS_1}$: できない $\overline{CS_2}$: できる(注4)	できない	できない	
アドレス出力選択(注5)	できる	できる	できる	できる	できる	

注1. BYTE = V_{CC}レベル時は8ビット幅に固定されます。

2. バーストROMアクセスは、外部データバス幅16ビット、かつ命令の先取り時だけ有効です。

3. バーストROMアクセスと領域マルチプレックスバスアクセスは、同時に使用できません。

4. $\overline{CS_2}$ 領域を外部データバス幅8ビットでアクセスする場合。

5. 各領域ごとに選択できません(「3.2.4 アドレス出力選択」参照)。

3.2.1 関連レジスタ説明

関連レジスタについて以下に説明します。

(1) プロセッサモードレジスタ0

図3.2.1にプロセッサモードレジスタ0のレジスタ構成を示します。

プロセッサモードレジスタ0【5E ₁₆ 番地】												
b7 b6 b5 b4 b3 b2 b1 b0												
<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> <td style="width: 15px; height: 15px;"></td> </tr> </table>												
ビット	ビット名	機能		リセット時	R/W							
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード		0	RW							
1		10: マイクロプロセッサモード 11: 選択禁止		(注1)	RW							
2	外部バスサイクル選択ビット0 (注2)	(外部バスサイクル選択ビット1=0時)	(外部バスサイクル選択ビット1=1時)	0	RW							
3		b3 b2 00: バスサイクル1 +1 01: バスサイクル1 +2 10: バスサイクル1 +3 11: バスサイクル2 +2	b3 b2 00: バスサイクル2 +3 01: バスサイクル2 +4 10: バスサイクル3 +3 11: バスサイクル3 +4	1	RW							
4	割り込み優先順位判定時間選択ビット	b5 b4 00: f _{sys} の7サイクル 01: f _{sys} の4サイクル 10: f _{sys} の2サイクル 11: 選択禁止		0	RW							
5				0	RW							
6	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる 読み出し時の値は“0”		0	WO							
7	クロック _i 出力選択ビット	0: _i 出力禁止(P4 _i はプログラマブル入出力ポートとして機能) 1: _i 出力許可(P4 _i はクロック _i 出力端子として機能)		(注3)	RW							

注1. MDO端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。
 注2. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。
 注3. MDO端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。

図3.2.1 プロセッサモードレジスタ0のレジスタ構成

外部バスサイクル選択ビット0(ビット2、3)

このビットと外部バスサイクル選択ビット1(5F₁₆番地のビット0)によって、CS₀ ~ CS₃領域以外の外部領域をアクセスするときのバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

(2)プロセッサモードレジスタ1

図3.2.2にプロセッサモードレジスタ1のレジスタ構成を示します。

プロセッサモードレジスタ1【5F ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0												
<table border="1" style="float: right;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																							
ビット	ビット名	機能	リセット時	R/W																			
0	外部バスサイクル選択ビット1 (注1)	外部バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW																			
1	ダイレクトページレジスタ切り替えビット	0: DPR0のみ使用 1: DPR0 ~ DPR3を使用	0	RW (注2)																			
2	$\overline{\text{RDY}}$ 入力選択ビット (注3)	0: $\overline{\text{RDY}}$ 入力禁止(P3 ₀ はプログラマブル入出力ポートとして機能) 1: $\overline{\text{RDY}}$ 入力許可(P3 ₀ はRDY端子として機能)	(注4)	RW (注5)																			
3	ALE出力選択ビット (注3)	0: ALE出力禁止(P4 ₀ はプログラマブル入出力ポートとして機能) 1: ALE出力許可(P4 ₀ はALE端子として機能)	(注4)	RW																			
4	リカバリサイクル挿入選択ビット (注3)	0: 外部領域アクセス時リカバリサイクルなし 1: 外部領域アクセス時リカバリサイクル挿入	(注4)	RW																			
5	HOLD入力, HLDA出力選択ビット (注3)	0: HOLD入力, HLDA出力禁止(P4 ₃ 、P4 ₂ はプログラマブル入出力ポートとして機能) 1: HOLD入力, HLDA出力許可(P4 ₃ 、P4 ₂ はHOLD端子、HLDA端子として機能)	(注4)	RW (注5)																			
6	リカバリサイクル挿入数選択ビット	0: 1サイクル 1: 2サイクル	0	RW																			
7	内部ROMバスサイクル選択ビット (注6)	0: バスサイクル3 1: バスサイクル2	0	RW																			

注1. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。

2. リセット後、一度だけ内容を変更できます(ソフトウェアの途中で切り替えしないでください)。

3. シングルチップモード時は、これらのビットの内容にかかわらず、各機能が「禁止」になります。

4. MD0端子にV_{SS}レベルを印加しているときは「0」、V_{CC}レベルを印加しているときは「1」になります。

5. リセット後、一度だけ「1」にできます。メモリ拡張モード又はマイクロプロセッサモードで、かつ、これらのビットが「1」の状態からシングルチップモードに変更すると、これらのビットは「0」になります。その後「1」にできません。再度「1」にする場合はリセットしてください。

6. マイクロプロセッサモード時、このビットの内容は無効です。また、ROM外付け版には配置されていません(読み出し時の値は「0」)。
CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、このビットを「0」にしてください(「18.2 CPU書き換えモード」参照)。

図3.2.2 プロセッサモードレジスタ1のレジスタ構成

外部バスサイクル選択ビット1(ビット0)

このビットと外部バスサイクル選択ビット0(5E₁₆番地のビット2、3)によって、 $\overline{CS}_0 \sim \overline{CS}_3$ 領域以外の外部領域をアクセスするときのバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

RDY入力選択ビット(ビット2)

RDY入力を許可するかどうかを選択するビットです。このビットを“1”にすると、 $\overline{CS}_0 \sim \overline{CS}_3$ 領域以外の外部領域をアクセスするとき、RDY制御が有効になります。

$\overline{CS}_0 \sim \overline{CS}_3$ 領域でRDY制御を有効にする場合は、このビットを“1”、 $\overline{CS}_0 \sim \overline{CS}_3$ のRDY制御ビット(80₁₆、82₁₆、84₁₆、86₁₆番地のビット3)を“0”にしてください。

リカバリサイクル挿入選択ビット(ビット4)

$\overline{CS}_0 \sim \overline{CS}_3$ 領域以外の外部領域をアクセスするときに、リカバリサイクルを挿入するかどうかを選択するビットです。このビットを“1”にすると、外部領域アクセスのバスサイクルの次に、 t_{1} の1サイクル分、又は2サイクル分のリカバリサイクルが挿入されます。挿入するリカバリサイクルのサイクル数は、リカバリサイクル挿入数選択ビット(ビット6)で選択できます。読み出し時の出力ディスエーブル時間が長いデバイスを、バスバッファ等を使用することなく接続できます。

リカバリサイクルの間、アドレスは保持されますので、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクル挿入数を2サイクルにした場合は、書き込み時のデータホールド時間が t_{1} の1サイクル分延びますので、データホールド時間を長く要求するデバイスも接続できます(「3.2.2 外部バス動作」参照)。

リカバリサイクル挿入数選択ビット(ビット6)

挿入するリカバリサイクルのサイクル数を選択するビットです。1サイクル又は2サイクルを選択できます。

ここで選択したリカバリサイクル数は、 $\overline{CS}_0 \sim \overline{CS}_3$ 領域を含むすべての外部領域に対して有効です。

リカバリサイクルを挿入する場合は、各領域のリカバリサイクル挿入選択ビット(5F₁₆番地のビット4、80₁₆、82₁₆、84₁₆、86₁₆番地のビット6)を“1”にしてください。

(3) $\overline{CS_0}$ 制御レジスタL

図3.2.3に $\overline{CS_0}$ 制御レジスタLのレジスタ構成を示します。

CS ₀ 制御レジスタL【80 ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0								
ビット	ビット名	機能			リセット時	R/W							
0	CS ₀ 領域バスサイクル選択ビット0	(CS ₀ 領域バスサイクル選択ビット1=0時)			0	RW							
1		(CS ₀ 領域バスサイクル選択ビット1=1時)			1	RW							
2	外部データバス幅選択ビット	BYTE端子の入カレベルを読み出す 0: 16ビット幅 1: 8ビット幅			(注1)	RO							
3	RDY制御ビット (注2)	0: RDY制御有効 1: RDY制御無効			0	RW							
4	読み出し時の値は“0”				0	-							
5	バーストROMアクセス指定ビット (注3)	0: 通常アクセス 1: バーストROMアクセス			0	RW							
6	リカバリサイクル挿入選択ビット	0: CS ₀ 領域アクセス時リカバリサイクルなし 1: CS ₀ 領域アクセス時リカバリサイクル挿入			1	RW							
7	CS ₀ 出力選択ビット (注4)	0: CS ₀ 出力禁止 (P4 ₄ はプログラマブル入出力ポートとして機能) 1: CS ₀ 出力許可 (P4 ₄ はCS ₀ 端子として機能)			(注5)	RW							

注1. BYTE端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。
 注2. RDY入力選択ビット(5F₁₆番地のビット2)が“1”のとき有効。
 注3. BYTE端子にV_{CC}レベルを印加しているときは、このビットの内容にかかわらず「通常アクセス」になります。
 注4. シングルチップモード時、このビットの内容は無効です(CS₀出力禁止)。
 注5. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。

図3.2.3 $\overline{CS_0}$ 制御レジスタLのレジスタ構成

\overline{CS}_0 領域バスサイクル選択ビット α (ビット0、1)

このビットと \overline{CS}_0 領域バスサイクル選択ビット 1 (81₁₆番地のビット3)によって、 \overline{CS}_0 領域アクセス時のバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

外部データバス幅選択ビット(ビット2)

このビットを読むと、BYTE端子の入力レベルが読み出せます。 \overline{CS}_0 領域アクセス時の外部データバス幅は、BYTE端子の入力レベルによって決まります(BYTE = V_{SS} レベル時は16ビット幅、BYTE = V_{CC} レベル時は8ビット幅)。

 \overline{RDY} 制御ビット(ビット3)

\overline{CS}_0 領域アクセス時、 \overline{RDY} 制御を有効にするかどうかを選択するビットです。 \overline{RDY} 入力選択ビット(5F₁₆番地のビット2)が“1”のとき、有効です(「3.3 レディー機能」参照)。

バーストROMアクセス指定ビット(ビット5)

バーストアクセスをサポートしているROMなどを \overline{CS}_0 領域に配置した場合、このビットを“1”にすると、最大8バイトのバーストアクセスができます。バーストROMアクセスは、外部データバス幅16ビット、かつ命令の先取り時だけ有効です。外部データバス幅8ビット時、及びデータの読み出し/書き込み時は、このビットの内容にかかわらず通常アクセスになります(「3.2.2 外部バス動作」参照)。

リカバリサイクル挿入選択ビット(ビット6)

\overline{CS}_0 領域アクセス時、リカバリサイクルを挿入するかどうかを選択するビットです。このビットを“1”にすると、 \overline{CS}_0 領域アクセスのバスサイクルの次に、 t_1 の1サイクル分、又は2サイクル分のリカバリサイクルが挿入されます。挿入するリカバリサイクルのサイクル数は、リカバリサイクル挿入数選択ビット(5F₁₆番地のビット6)で選択できます。読み出し時の出力ディスエーブル時間が長いデバイスを、バスバッファ等を使用することなく接続できます。

リカバリサイクルの間、アドレスは保持されますので、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクル挿入数を2サイクルにした場合は、書き込み時のデータホールド時間が t_1 の1サイクル分延びますので、データホールド時間を長く要求するデバイスも接続できます(「3.2.2 外部バス動作」参照)。

 \overline{CS}_0 出力選択ビット(ビット7)

このビットを“1”にすると、 \overline{CS}_0 領域アクセス時、チップセレクト信号を出力します。

このビットを“0”にして、 \overline{CS}_0 出力を禁止していても、 \overline{CS}_0 領域ブロックサイズ指定ビット(81₁₆番地のビット2~0)を“000₂”(\overline{CS}_0 領域無効)にしていなければ、 \overline{CS}_0 領域の各機能(表3.2.1参照)の設定は有効です。

また、 \overline{CS}_0 領域無効の場合でも、このビットを“1”にすると、 \overline{CS}_0 端子に切り替わり(“H”レベルを出力)。

(4) \overline{CS}_0 制御レジスタH

図3.2.4に \overline{CS}_0 制御レジスタHのレジスタ構成を示します。

CS ₀ 制御レジスタH【81 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0							
ビット	ビット名	機能	リセット時	R/W					
0	CS ₀ 領域ブロックサイズ指定ビット	b2 b1 b0 0 0 0 : 0バイト (CS ₀ 領域無効)	1	RW					
1		0 0 1 : 128Kバイト 0 1 0 : 256Kバイト 0 1 1 : 512Kバイト	0	RW					
2		1 0 0 : 1Mバイト 1 0 1 : 2Mバイト 1 1 0 : 4Mバイト 1 1 1 : 8Mバイト	0	RW					
3		CS ₀ 領域バスサイクル選択ビット1	CS ₀ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0 : バスサイクル1 +1 、 1 +2 、 1 +3 、 2 +2 のいずれか 1 : バスサイクル2 +3 、 2 +4 、 3 +3 、 3 +4 のいずれか	0	RW				
6~4	読み出し時の値は“0”		0	-					
7	CS ₀ 領域設定モード指定ビット	0 : モードα(16Mバイト空間内にブロックを設定) 1 : モード1(バンク0内にCS ₀ 領域先頭アドレスを設定)	1	RW					

図3.2.4 \overline{CS}_0 制御レジスタHのレジスタ構成

\overline{CS}_0 領域ブロックサイズ指定ビット(ビット2~0)

\overline{CS}_0 領域のブロックの大きさを指定するビットです。これらのビットを“000₂”にすると、 \overline{CS}_0 領域が無効になります。ブロックサイズを指定すると、 \overline{CS}_0 領域が有効になり、 \overline{CS}_0 出力選択ビット(80₁₆番地のビット7)の内容にかかわらず、 \overline{CS}_0 領域の各機能(表3.2.1参照)の設定が有効になります。

\overline{CS}_0 領域バスサイクル選択ビット1(ビット3)

このビットと \overline{CS}_0 領域バスサイクル選択ビットα(80₁₆番地のビット0,1)によって、 \overline{CS}_0 領域アクセス時のバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

\overline{CS}_0 領域設定モード指定ビット(ビット7)

ブロックサイズの設定モードを指定するビットです。

\overline{CS}_0 領域については、図3.2.10、図3.2.11を参照してください。

(5) \overline{CS}_j 制御レジスタL

図3.2.5に \overline{CS}_j 制御レジスタL($j=1\sim 3$)のレジスタ構成を示します。

CS ₁ 制御レジスタL【82 ₁₆ 番地】		CS ₂ 制御レジスタL【84 ₁₆ 番地】		CS ₃ 制御レジスタL【86 ₁₆ 番地】	
				b7 b6 b5 b4 b3 b2 b1 b0	
ビット		機能		リセット時	R/W
0	\overline{CS}_j 領域バスサイクル選択ビット0 ($j=1\sim 3$)	(\overline{CS}_j 領域バスサイクル選択ビット1=0時)	(\overline{CS}_j 領域バスサイクル選択ビット1=1時)	0	RW
1		b1 b0 00: バスサイクル1 +1 01: バスサイクル1 +2 10: バスサイクル1 +3 11: バスサイクル2 +2	b1 b0 00: バスサイクル2 +3 01: バスサイクル2 +4 10: バスサイクル3 +3 11: バスサイクル3 +4	1	RW
2	外部データバス幅選択ビット	0: 16ビット幅 1: 8ビット幅 (注1)		0	RW
3	RDY制御ビット (注2)	0: \overline{RDY} 制御有効 1: \overline{RDY} 制御無効		0	RW
4	読み出し時の値は“0”			0	-
5	バーストROMアクセス指定ビット (注3)	0: 通常アクセス 1: バーストROMアクセス		0	RW
6	リカバリサイクル挿入選択ビット	0: \overline{CS}_j 領域アクセス時リカバリサイクルなし 1: \overline{CS}_j 領域アクセス時リカバリサイクル挿入		1	RW
7	\overline{CS}_j 出力選択ビット($j=1\sim 3$) (注4)	0: \overline{CS}_j 出力禁止 (P4 ₆ ~P4 ₇ はプログラマブル入出力ポートとして機能) 1: \overline{CS}_j 出力許可 (P4 ₆ ~P4 ₇ は \overline{CS}_j 端子として機能)		0	RW

注1. BYTE端子にV_{cc}レベルを印加しているときは、“1”(8ビット幅)に固定されます。
 注2. RDY入力選択ビット(5F₁₆番地のビット2)が“1”のとき有効。
 注3. 外部データバス幅選択ビット(ビット2)が“1”、又はBYTE端子にV_{cc}レベルを印加しているときは、このビットの内容にかかわらず通常アクセスになります。
 注4. シングルチップモード時、このビットの内容は無効です(\overline{CS}_j 出力禁止)。

図3.2.5 \overline{CS}_j 制御レジスタLのレジスタ構成

CS_i領域バスサイクル選択ビット α (ビット0、1)

このビットとCS_i領域バスサイクル選択ビット1(83₁₆、85₁₆、87₁₆番地のビット3)によって、CS_i領域アクセス時のバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

外部データバス幅選択ビット(ビット2)

BYTE端子の入力レベルがV_{SS}レベルの場合、このビットによってCS_i領域アクセス時の外部データバス幅を任意に設定できます。BYTE端子の入力レベルがV_{CC}レベルの場合は、このビットの内容にかかわらず、外部データバス幅8ビットになります。

RDY制御ビット(ビット3)

CS_i領域アクセス時、RDY制御を有効にするかどうかを選択するビットです。RDY入力選択ビット(5F₁₆番地のビット2)が“1”のとき、有効です(「3.3 レディー機能」参照)。

バーストROMアクセス指定ビット(ビット5)

バーストアクセスをサポートしているROMなどをCS_i領域に配置した場合、このビットを“1”にすると、最大8バイトのバーストアクセスができます。バーストROMアクセスは、外部データバス幅16ビット、かつ命令の先取り時だけ有効です。外部データバス幅8ビット時、及びデータの読み出し/書き込み時は、このビットの内容にかかわらず通常アクセスになります(「3.2.2 外部バス動作」参照)。

リカバリサイクル挿入選択ビット(ビット6)

CS_i領域アクセス時、リカバリサイクルを挿入するかどうかを選択するビットです。このビットを“1”にすると、CS_i領域アクセスのバスサイクルの次に、 t_{1} の1サイクル分、又は2サイクル分のリカバリサイクルが挿入されます。挿入するリカバリサイクルのサイクル数は、リカバリサイクル挿入数選択ビット(5F₁₆番地のビット6)で選択できます。読み出し時の出力ディスエーブル時間が長いデバイスを、バスバッファ等を使用することなく接続できます。

リカバリサイクルの間、アドレスは保持されますので、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクル挿入数を2サイクルにした場合は、書き込み時のデータホールド時間が t_{1} の1サイクル分延びますので、データホールド時間を長く要求するデバイスも接続できます(「3.2.2 外部バス動作」参照)。

CS_i出力選択ビット(ビット7)

このビットを“1”にすると、CS_i領域アクセス時、チップセレクト信号を出力します。

このビットを“0”にして、CS_i出力を禁止していても、CS_i領域ブロックサイズ指定ビット(83₁₆、85₁₆、87₁₆番地のビット2~0)を“000₂”(CS_i領域無効)にしていなければ、CS_i領域の各機能(表3.2.1参照)の設定は有効です。

また、CS_i領域無効の場合でも、このビットを“1”にすると、CS_i端子に切り替わります(“H”レベルを出力)。

(6) \overline{CS}_1 制御レジスタH

図3.2.6に \overline{CS}_1 制御レジスタHのレジスタ構成を示します。

CS ₁ 制御レジスタ H【83 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0					
		0					
ビット	ビット名	機能	リセット時	R/W			
0	CS ₁ 領域ブロックサイズ指定ビット	(モード0選択時) (モード1選択時)	0	RW			
1		000: 0バイト(CS ₁ 領域無効) 0バイト(CS ₁ 領域無効)	0	RW			
2		001: 128Kバイト 選択禁止	0	RW			
		010: 256Kバイト 選択禁止					
		011: 512Kバイト 選択禁止					
		100: 1Mバイト 4Kバイト					
		101: 2Mバイト 8Kバイト					
		110: 4Mバイト 選択禁止	0	RW			
		111: 8Mバイト 選択禁止					
3	CS ₁ 領域バスサイクル選択ビット1	CS ₁ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する	0	RW			
		0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか					
		1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか					
4	読み出し時の値は“0”		0	-			
5	“0”に固定してください		0	RW			
6	読み出し時の値は“0”		0	-			
7	CS ₁ 領域設定モード指定ビット	0: モード0(16Mバイト空間内にブロックを設定) 1: モード1(バンク0内にブロックを設定)	0	RW			

図3.2.6 \overline{CS}_1 制御レジスタHのレジスタ構成

 \overline{CS}_1 領域ブロックサイズ指定ビット(ビット2~0)

\overline{CS}_1 領域のブロックの大きさを指定するビットです。これらのビットを“000₂”にすると、 \overline{CS}_1 領域が無効になります。ブロックサイズを指定すると、 \overline{CS}_1 領域が有効になり、 \overline{CS}_1 出力選択ビット(82₁₆番地のビット7)の内容にかかわらず、 \overline{CS}_1 領域の各機能(表3.2.1参照)の設定が有効になります。

 \overline{CS}_1 領域バスサイクル選択ビット1(ビット3)

このビットと \overline{CS}_1 領域バスサイクル選択ビット0(82₁₆番地のビット0,1)によって、 \overline{CS}_1 領域アクセス時のバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

 \overline{CS}_1 領域設定モード指定ビット(ビット7)

ブロックサイズの設定モードを指定するビットです。

\overline{CS}_1 領域については、図3.2.10、図3.2.12を参照してください。

(7) \overline{CS}_2 制御レジスタH

図3.2.7に \overline{CS}_2 制御レジスタHのレジスタ構成を示します。

CS ₂ 制御レジスタ H【85 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0					
ビット	ビット名	機能	リセット時	R/W			
0	CS ₂ 領域ブロックサイズ指定ビット	(モード0選択時) (モード1選択時)	0	RW			
1		000: 0バイト(CS ₂ 領域無効) 0バイト(CS ₂ 領域無効)	0	RW			
2		001: 128Kバイト 選択禁止	0	RW			
		010: 256Kバイト 選択禁止	0	RW			
		011: 512Kバイト 選択禁止					
		100: 1Mバイト 4Kバイト					
		101: 2Mバイト 8Kバイト					
		110: 4Mバイト 選択禁止					
		111: 8Mバイト 選択禁止					
3	CS ₂ 領域バスサイクル選択ビット1	CS ₂ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW			
4	読み出し時の値は“0”		0	-			
5	マルチプレックスバス選択ビット	0: 分離バス(D ₀ ~D ₇ 入出力) 1: マルチプレックスバス(外部データバス幅8ビット(84 ₁₆ 番地のビット2=1)かつCS ₂ 領域アクセス時、LA ₀ /D ₀ ~LA ₇ /D ₇ を入出力)	0	RW			
6	読み出し時の値は“0”		0	-			
7	CS ₂ 領域設定モード指定ビット	0: モード0(16Mバイト空間内にブロックを設定) 1: モード1(バンク0内にブロックを設定)	0	RW			

図3.2.7 \overline{CS}_2 制御レジスタHのレジスタ構成

 \overline{CS}_2 領域ブロックサイズ指定ビット(ビット2~0)

CS₂領域のブロックの大きさを指定するビットです。これらのビットを“000₂”にすると、CS₂領域が無効になります。ブロックサイズを指定すると、CS₂領域が有効になり、CS₂出力選択ビット(84₁₆番地のビット7)の内容にかかわらず、CS₂領域の各機能(表3.2.1参照)の設定が有効になります。

 \overline{CS}_2 領域バスサイクル選択ビット1(ビット3)

このビットとCS₂領域バスサイクル選択ビット0(84₁₆番地のビット0, 1)によって、CS₂領域アクセス時のバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

マルチプレックスバス選択ビット(ビット5)

このビットを“1”にすると、CS₂領域を外部データバス幅8ビット(注)でアクセスしたときだけ、D₀~D₇端子からアドレス(LA₀~LA₇)の出力とデータ(D₀~D₇)の入出力を時分割で行います。

注. BYTE = V_{CC}レベル、又は外部データバス幅選択ビット(84₁₆番地のビット2)=1時。

 \overline{CS}_2 領域設定モード指定ビット(ビット7)

ブロックサイズの設定モードを指定するビットです。

CS₂領域については、図3.2.10、図3.2.12を参照してください。

(8) \overline{CS}_3 制御レジスタH

図3.2.8に \overline{CS}_3 制御レジスタHのレジスタ構成を示します。

CS ₃ 制御レジスタ H【87 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0							
ビット	ビット名	機能	リセット時	R/W					
0	CS ₃ 領域ブロックサイズ指定ビット	b2 b1 b0 0 0 0 : 0バイト (CS ₃ 領域無効)	0	RW					
1		0 0 1 : 128Kバイト 0 1 0 : 256Kバイト 0 1 1 : 512Kバイト	0	RW					
2		1 0 0 : 1Mバイト 1 0 1 : 2Mバイト 1 1 0 : 4Mバイト 1 1 1 : 8Mバイト	0	RW					
3		CS ₃ 領域バスサイクル選択ビット1	CS ₃ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0 : バスサイクル1 +1 、 1 +2 、 1 +3 、 2 +2 のいずれか 1 : バスサイクル2 +3 、 2 +4 、 3 +3 、 3 +4 のいずれか	0	RW				
7~4	読み出し時の値は“0”		0	-					

図3.2.8 \overline{CS}_3 制御レジスタHのレジスタ構成

 \overline{CS}_3 領域ブロックサイズ指定ビット(ビット2~0)

\overline{CS}_3 領域のブロックの大きさを指定するビットです。これらのビットを“000₂”にすると、 \overline{CS}_3 領域が無効になります。ブロックサイズを指定すると、 \overline{CS}_3 領域が有効になり、 \overline{CS}_3 出力選択ビット(86₁₆番地のビット7)の内容にかかわらず、 \overline{CS}_3 領域の各機能(表3.2.1参照)の設定が有効になります。

 \overline{CS}_3 領域バスサイクル選択ビット1(ビット3)

このビットと \overline{CS}_3 領域バスサイクル選択ビットα(86₁₆番地のビット0, 1)によって、 \overline{CS}_3 領域アクセス時のバスサイクルを選択できます(「3.2.2 外部バス動作」参照)。

\overline{CS}_3 領域については、図3.2.10を参照してください。

(9) \overline{CS}_i 領域先頭アドレスレジスタ

図3.2.9に \overline{CS}_i 領域先頭アドレスレジスタ($i=0\sim 3$)のレジスタ構成を示します。

各レジスタに設定できるアドレスは、 \overline{CS}_i 領域ブロックサイズ指定ビットで指定されるブロックサイズによって異なります(図3.2.10~図3.2.12参照)。

CS₀ 領域先頭アドレスレジスタ【8A₁₆ 番地】

b7 b6 b5 b4 b3 b2 b1 b0

ビット	機能	リセット時	R/W
0	モード0選択時 先頭アドレスのA ₁₆ ~ A ₂₃ を設定する	0	-
1		0	RW
2	モード1選択時 先頭アドレスのA ₈ ~ A ₁₅ を設定する 10 ₁₆ 、20 ₁₆ 、40 ₁₆ 、80 ₁₆ のいずれかの値が設定できる	0	RW
3		0	RW
4		1	RW
5	(読み出し時、ビット0は常に“0”)	0	RW
6		0	RW
7		0	RW

注 . CS₀領域ブロックサイズ指定ビット(81₁₆番地のビット0~2)で指定したブロックサイズによって、設定できる先頭アドレスが異なります(図3.2.10、図3.2.11参照)。

CS₁ 領域先頭アドレスレジスタ【8C₁₆ 番地】

b7 b6 b5 b4 b3 b2 b1 b0

CS₂ 領域先頭アドレスレジスタ【8E₁₆ 番地】

ビット	機能	リセット時	R/W
0	モード0選択時 先頭アドレスのA ₁₆ ~ A ₂₃ を設定する	0	-
1		0	RW
2	モード1選択時 先頭アドレスのA ₈ ~ A ₁₅ を設定する	0	RW
3		0	RW
4		0	RW
5	(読み出し時、ビット0は常に“0”)	0	RW
6		0	RW
7		0	RW

注 . CS₁、CS₂領域ブロックサイズ指定ビット(83₁₆、85₁₆番地のビット0~2)で指定したブロックサイズによって、設定できる先頭アドレスが異なります(図3.2.10、図3.2.12参照)。

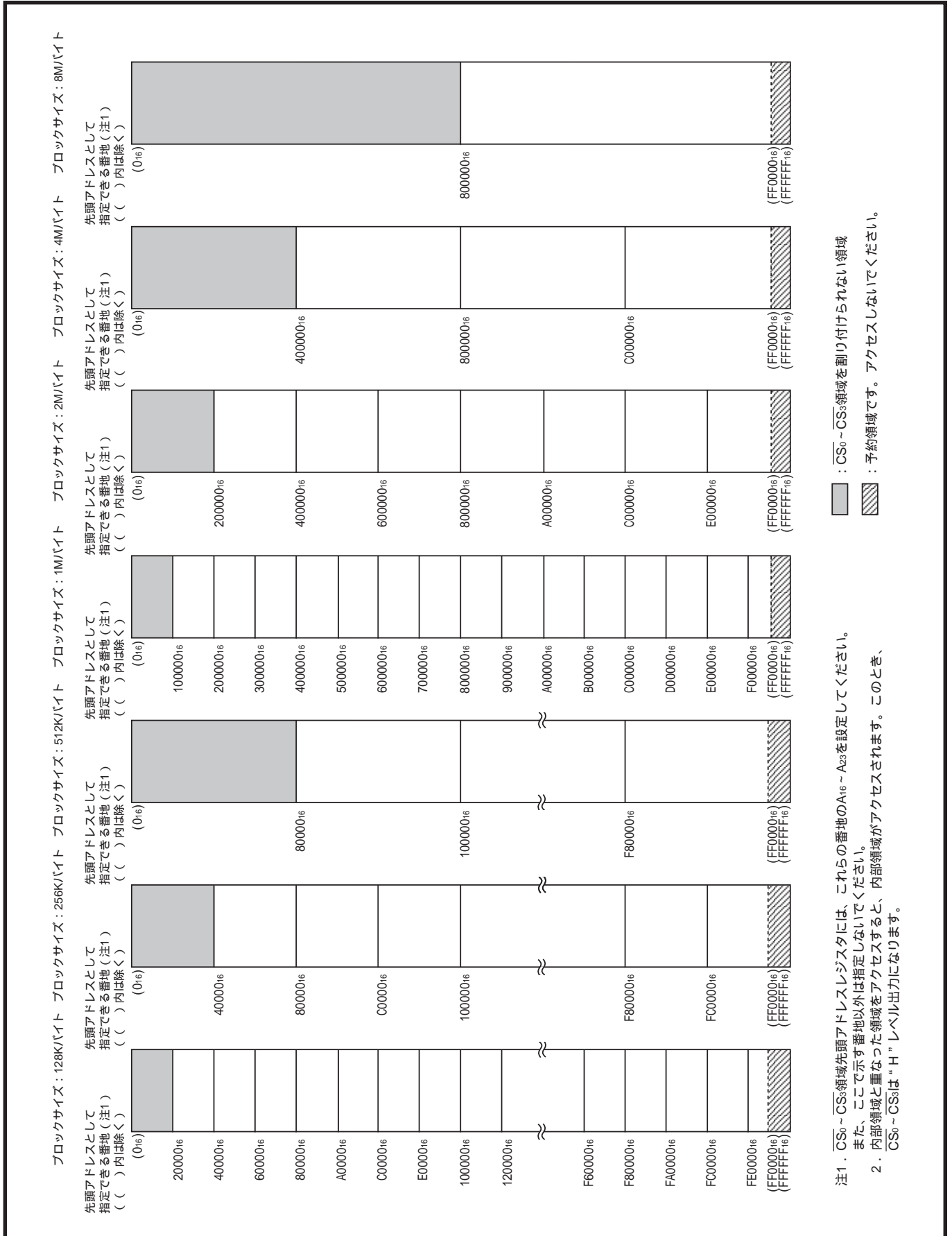
CS₃ 領域先頭アドレスレジスタ【90₁₆ 番地】

b7 b6 b5 b4 b3 b2 b1 b0

ビット	機能	リセット時	R/W
0	先頭アドレスのA ₁₆ ~ A ₂₃ を設定する (読み出し時、ビット0は常に“0”)	0	-
1		0	RW
2		0	RW
3		0	RW
4		0	RW
5		0	RW
6		0	RW
7		0	RW

注 . CS₃領域ブロックサイズ指定ビット(87₁₆番地のビット0~2)で指定したブロックサイズによって、設定できる先頭アドレスが異なります(図3.2.10参照)。

図3.2.9 CS_i領域先頭アドレスレジスタのレジスタ構成

図3.2.10 CS₀、CS₁、CS₂領域（モード0）及びCS₃領域

注1. CS₀~CS₃領域先頭アドレスレジスタには、これらの番地のA₁₆~A₂₃を設定してください。
また、ここで示す番地以外は指定しないでください。

2. 内部領域と重なった領域をアクセスすると、内部領域がアクセスされます。このとき、CS₀~CS₃は“H”レベル出力になります。

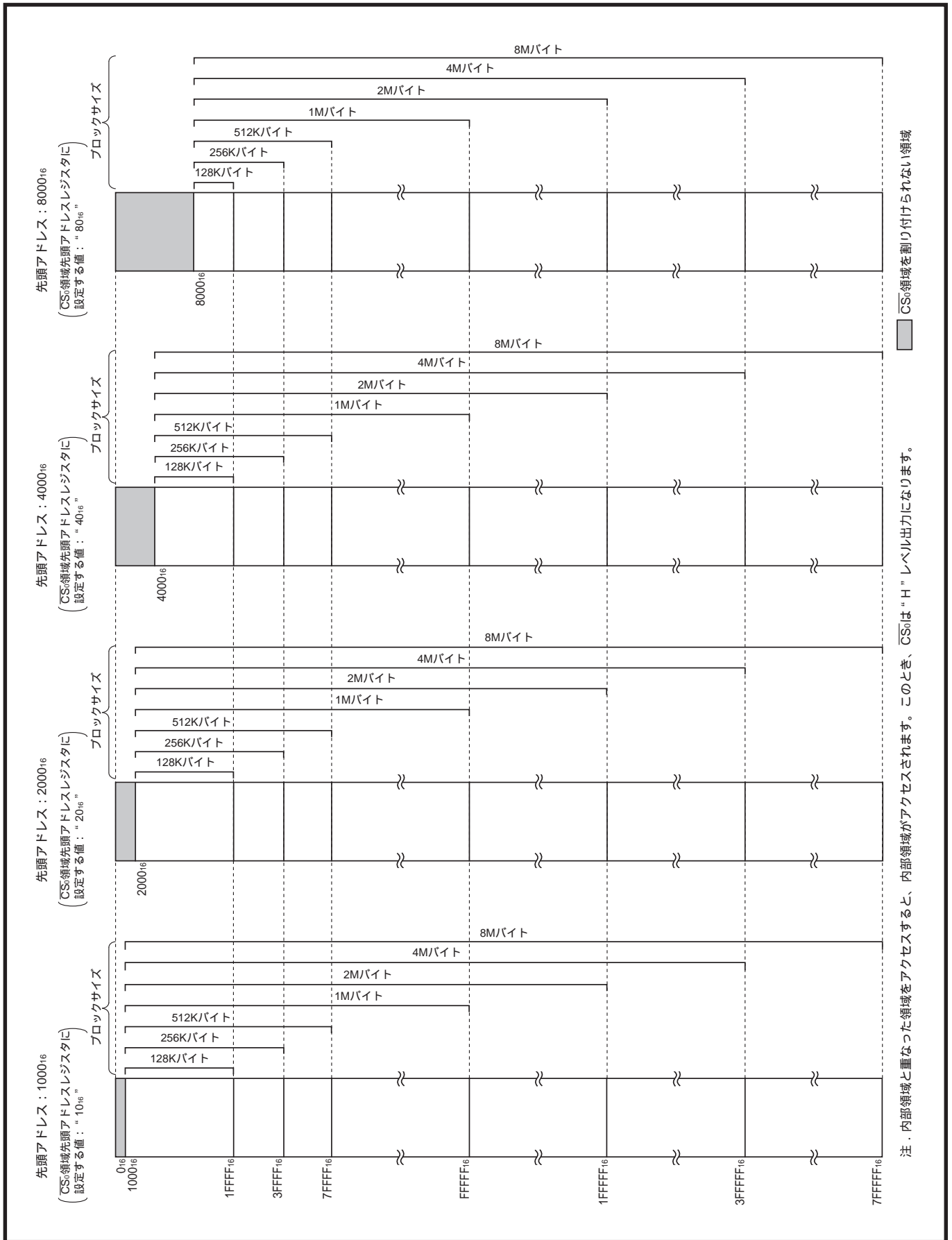
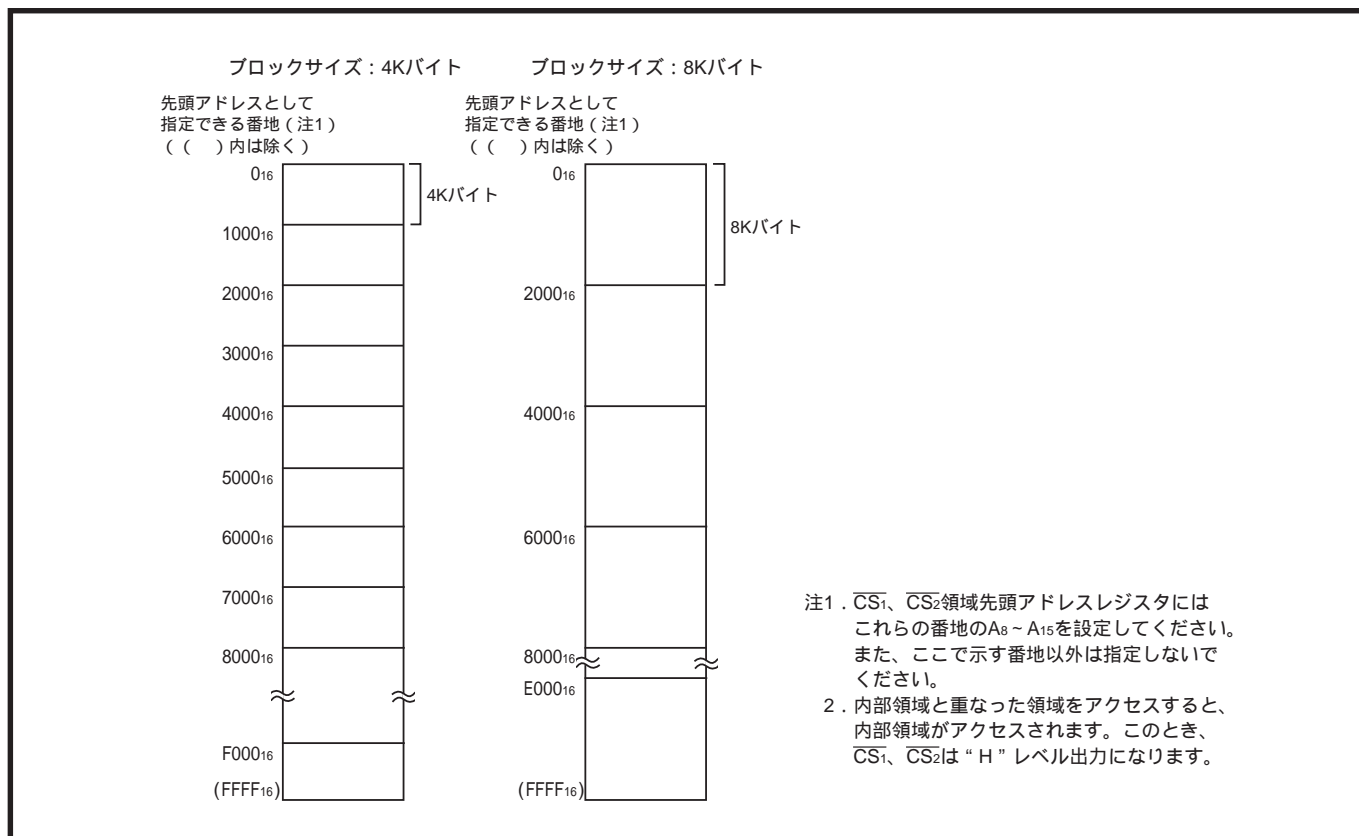


図3.2.11 CS0領域 (モード1)

図3.2.12 \overline{CS}_1 、 \overline{CS}_2 領域(モード1)

3.2.2 外部バス動作

ソフトウェアで以下の機能を選択することによって、 \overline{CS} 領域ごとに外部バスの動作を変えることができます。

- ・バスサイクル
- ・バーストROMアクセス
- ・リカバリサイクル
- ・ \overline{CS}_2 領域マルチプレックスバスアクセス
- ・RDY制御

以下に、各機能を選択した場合の動作について説明します。RDY制御については「3.3 レディー機能」を参照してください。

(1) バスサイクル

各CS領域ごとに、以下のバスサイクルを任意に設定できます。表3.2.2にバスサイクル(通常アクセス時)を示します。

表3.2.2 バスサイクル(通常アクセス時)

バスサイクル 選択ビット0 (注)	バスサイクル選択ビット1 (注)	
	0	1
0 0	<p>バスサイクル1 +1</p>	<p>バスサイクル2 +3</p> <p>1バスサイクル=5</p>
0 1	<p>バスサイクル1 +2</p> <p>1バスサイクル=3</p>	<p>バスサイクル2 +4</p> <p>1バスサイクル=6</p>
1 0	<p>バスサイクル1 +3</p> <p>1バスサイクル=4</p>	<p>バスサイクル3 +3</p> <p>1バスサイクル=6</p>
1 1	<p>バスサイクル2 +2</p> <p>1バスサイクル=4</p>	<p>バスサイクル3 +4</p> <p>1バスサイクル=7</p>

注 . バスサイクルは以下のビットによって選択します。

CS領域外 : 外部バスサイクル選択ビット0(5E₁₆番地のビット3、2)

: 外部バスサイクル選択ビット1(5F₁₆番地のビット0)

CS領域 : CS領域バスサイクル選択ビット0(80₁₆、82₁₆、84₁₆、86₁₆番地のビット1、0)

: CS領域バスサイクル選択ビット1(81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)

(2) バーストROMアクセス

バーストアクセスをサポートしているROMなどをCS領域に配置した場合、バーストROMアクセスを指定(バーストROMアクセス指定ビット=1)すると、最大8バイトのバーストアクセスができます。バーストROMアクセスは、外部データバス幅16ビット、かつ命令の先取り時だけ有効です。それ以外の場合は、バーストROMアクセス指定ビットの内容にかかわらず、通常アクセスになります。

図3.2.13にバーストROMアクセス時の動作波形を示します。

なお、命令の先取りについては「2.2.1 命令の先取り」を併せて参照してください。

バーストROMアクセスで命令の先取りを行う場合は、8バイト境界から8バイト取り込みます(図3.2.13(a): 4回連続アクセス)。

分岐時は、分岐先番地の下位2ビット(A₁、A₀)の状態にかかわらず、4バイト境界から4バイト取り込みます(図3.2.13(b): 2回連続アクセス)。このとき取り込むバイト数は、分岐先番地によって異なります(表2.2.3参照)。

その次に取り込む番地によって、以降の動作は以下のようになります。

- ・ 8バイト境界の時、次からは8バイト取り込みます(図3.2.13(a): 4回連続アクセス)。
- ・ 4バイト境界の時、4バイト取り込みます(図3.2.13(b): 2回連続アクセス)。その次からは8バイト取り込みます(図3.2.13(a): 4回連続アクセス)。

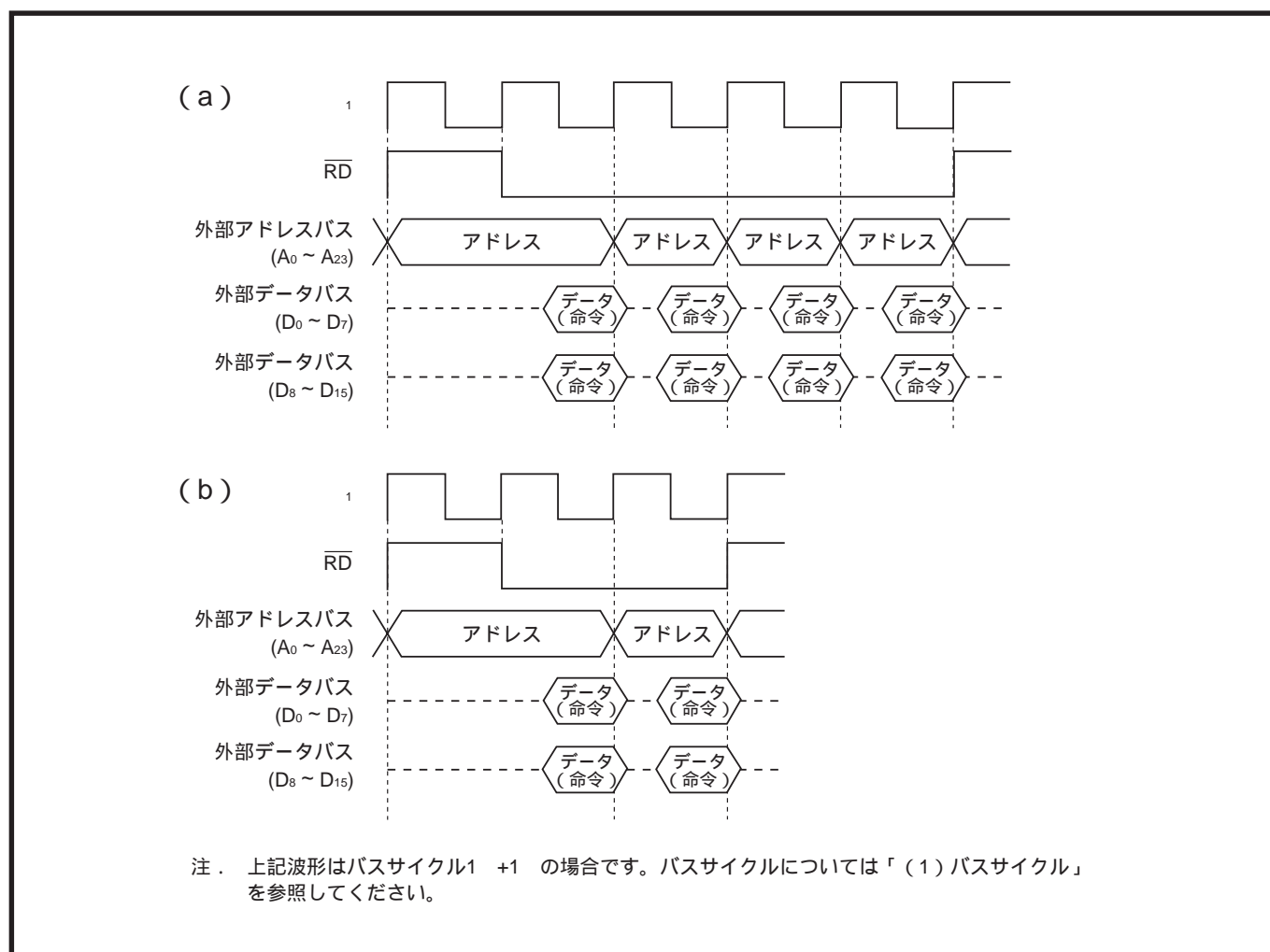


図3.2.13 バーストROMアクセス時の動作波形

表3.2.3に各バスサイクル選択時のバーストROMアクセス波形例を示します。

表3.2.3 各バスサイクル選択時のバーストROMアクセス波形例

CS _i 領域バスサイクル 選択ビット1	CS _i 領域バスサイクル 選択ビット0	バーストROMアクセス指定ビット = 1
0	0 0	<p>1バスサイクル=5 外部アドレスバス: アドレス アドレス アドレス アドレス 外部データバス: データ データ データ データ CS_i, RD, ALE signals are shown below.</p>
	0 1	<p>1バスサイクル=9 外部アドレスバス: アドレス アドレス アドレス アドレス 外部データバス: データ データ データ データ CS_i, RD, ALE signals are shown below.</p>
	1 0	<p>1バスサイクル=13 外部アドレスバス: アドレス アドレス アドレス アドレス 外部データバス: データ データ データ データ CS_i, RD, ALE signals are shown below.</p>
	1 1	選択禁止
1	0 0	<p>1バスサイクル=14 外部アドレスバス: アドレス アドレス アドレス アドレス 外部データバス: データ データ データ データ CS_i, RD, ALE signals are shown below.</p>
	0 1	<p>1バスサイクル=18 外部アドレスバス: アドレス アドレス アドレス アドレス 外部データバス: データ データ データ データ CS_i, RD, ALE signals are shown below.</p>
	1 0	選択禁止
	1 1	選択禁止

CS_i領域バスサイクル選択ビット0 : 80₁₆、82₁₆、84₁₆、86₁₆番地のビット1、0

CS_i領域バスサイクル選択ビット1 : 81₁₆、83₁₆、85₁₆、87₁₆番地のビット3

バーストROMアクセス指定ビット : 80₁₆、82₁₆、84₁₆、86₁₆番地のビット5

(3)リカバリサイクル

リカバリサイクルは、リカバリサイクル挿入選択ビット及びリカバリサイクル挿入数選択ビット(図3.2.2、図3.2.3、図3.2.5参照)によって、 t_1 の1サイクル分、又は2サイクル分を選択できます。リカバリサイクルを挿入すると、読み出し時の出力ディスエーブル時間が長いデバイスや、バスバッファ等を使用することなく接続できます。

リカバリサイクルの間、アドレスは保持されますので、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクル挿入数を2サイクルにした場合は、書き込み時のデータホールド時間が t_1 の1サイクル分延びますので、データホールド時間を長く要求するデバイスも接続できます。

図3.2.14、図3.2.15にリカバリサイクル挿入時の動作波形を示します。

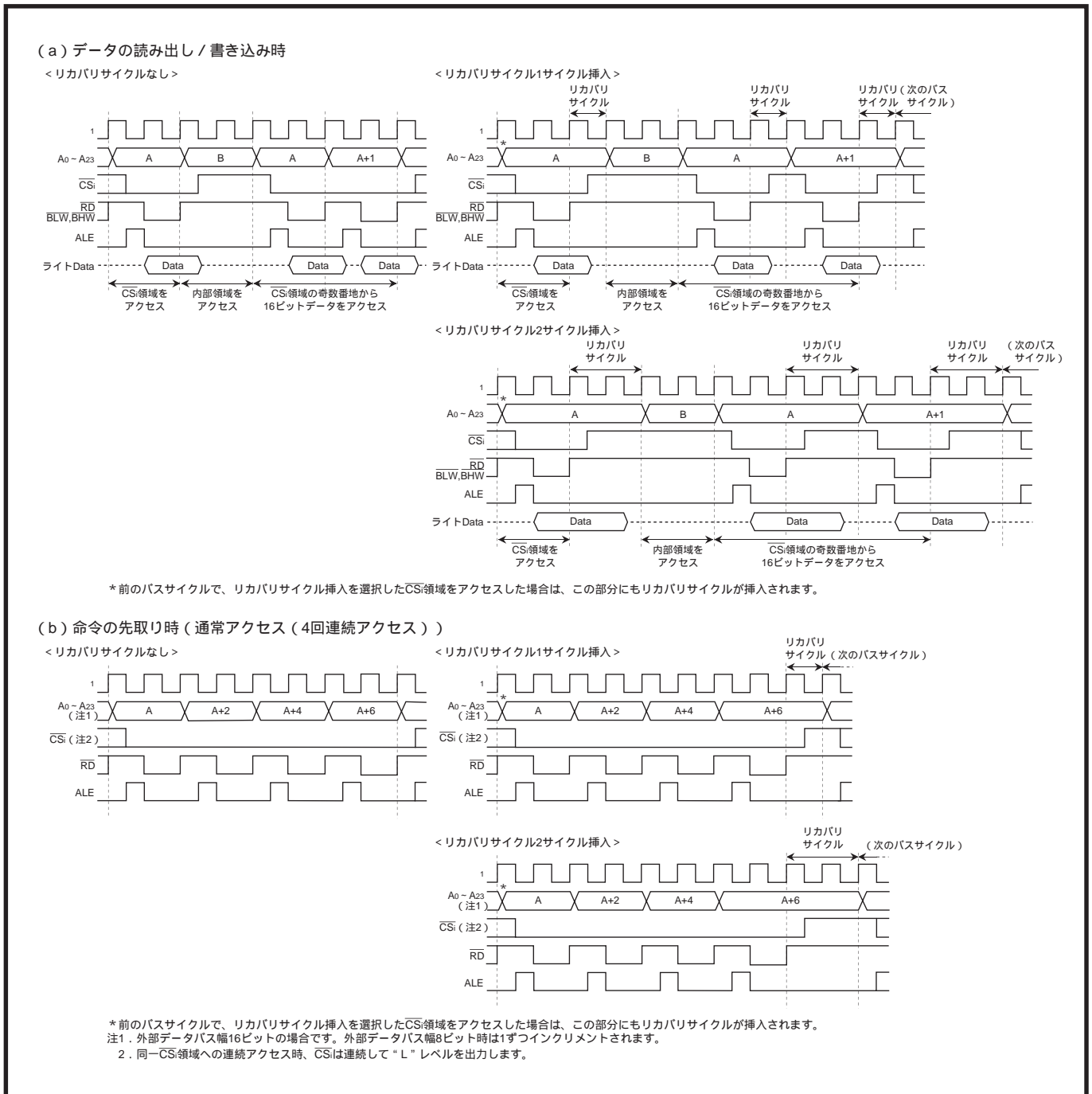
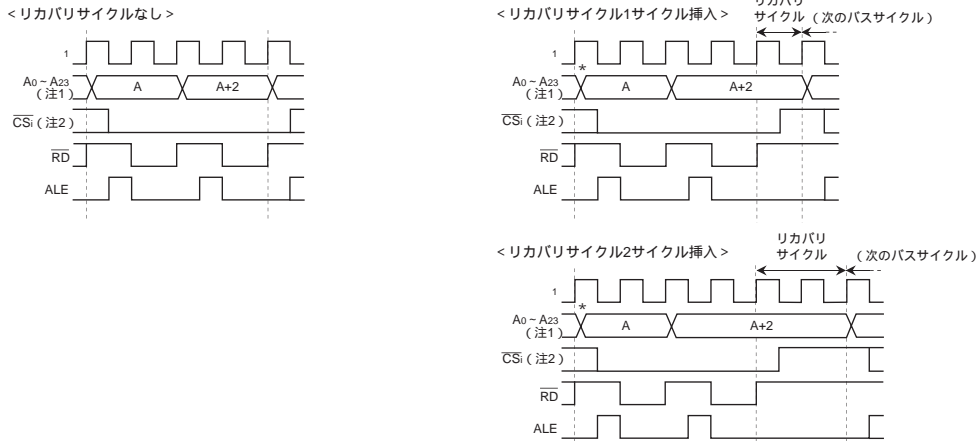


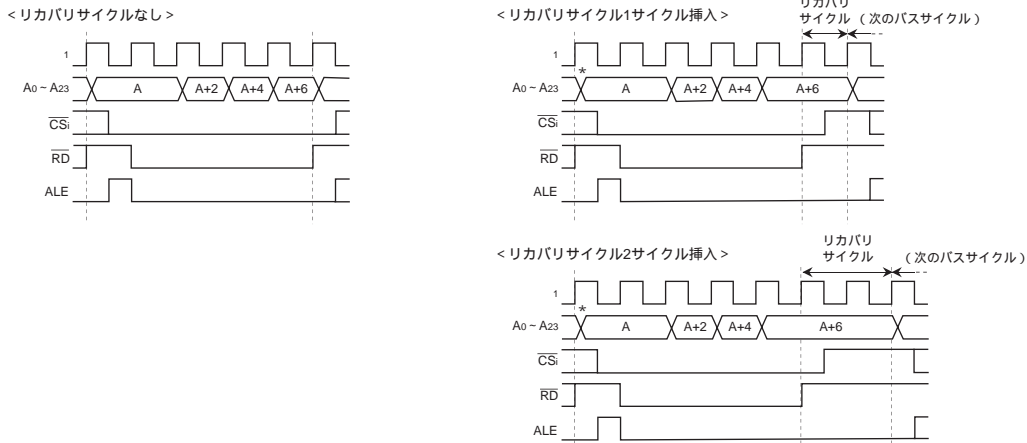
図3.2.14 リカバリサイクル挿入時の動作波形(1)

(c) 命令の先取り時 (通常アクセス (2回連続アクセス))



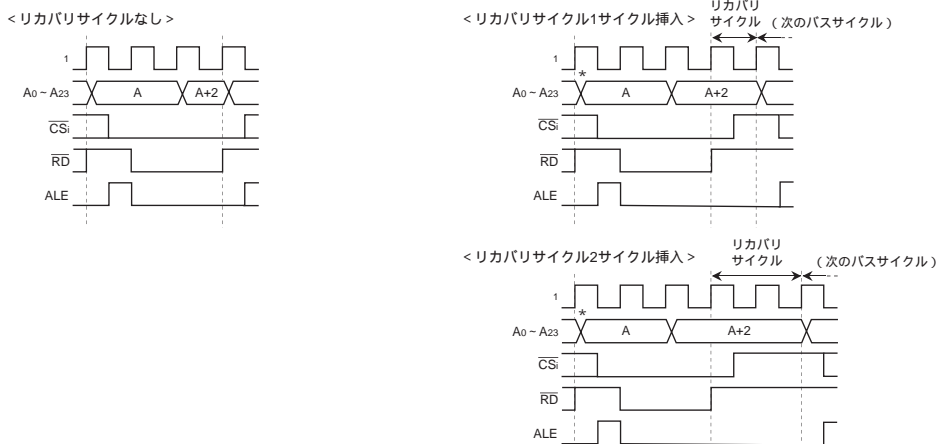
* 前のバスサイクルで、リカバリサイクル挿入を選択したCS領域をアクセスした場合は、この部分にもリカバリサイクルが挿入されます。
 注1. 外部データバス幅16ビットの場合です。外部データバス幅8ビット時は1ずつインクリメントされます。
 2. 同一CS領域への連続アクセス時、CSは連続して“L”レベルを出力します。

(d) 命令の先取り時 (バーストROMアクセス (4回連続アクセス))



* 前のバスサイクルで、リカバリサイクル挿入を選択したCS領域をアクセスした場合は、この部分にもリカバリサイクルが挿入されます。
 注. バーストROMアクセスは、外部データバス幅16ビットのときだけ有効です。

(e) 命令の先取り時 (バーストROMアクセス (2回連続アクセス))



* 前のバスサイクルで、リカバリサイクル挿入を選択したCS領域をアクセスした場合は、この部分にもリカバリサイクルが挿入されます。
 注. バーストROMアクセスは、外部データバス幅16ビットのときだけ有効です。

図3.2.15 リカバリサイクル挿入時の動作波形 (2)

(4) CS₂領域マルチプレックスバスアクセス

マルチプレックスバス選択ビット(85₁₆番地のビット5)を“1”にすると、CS₂領域を外部データバス幅8ビット(注)でアクセスしたときだけ、D₀~D₇端子からアドレス(LA₀~LA₇)の出力とデータ(D₀~D₇)の入出力を時分割で行います(表3.2.4参照)。

表3.2.4に各バスサイクル選択時のマルチプレックスバスアクセス波形例を示します。

注 . BYTE = V_{CC}レベル、又は外部データバス幅選択ビット(84₁₆番地のビット2) = 1時。

表3.2.4 各バスサイクル選択時のマルチプレックスバスアクセス波形例

CS ₂ 領域バスサイクル選択ビット1	CS ₂ 領域バスサイクル選択ビット0	マルチプレックスバス選択ビット = 1
0	0 0	選択禁止
	0 1	選択禁止
	1 0	選択禁止
1	0 0	選択禁止
	0 1	選択禁止
	1 0	
1 1		

RD : 読み出しデータ、WD : 書き込みデータ

CS₂領域バスサイクル選択ビット0 : 84₁₆番地のビット1、0

CS₂領域バスサイクル選択ビット1 : 85₁₆番地のビット3

マルチプレックスバス選択ビット : 85₁₆番地のビット5

3.2.3 設定方法

図3.2.16にCSWC関連レジスタの初期設定例を示します。

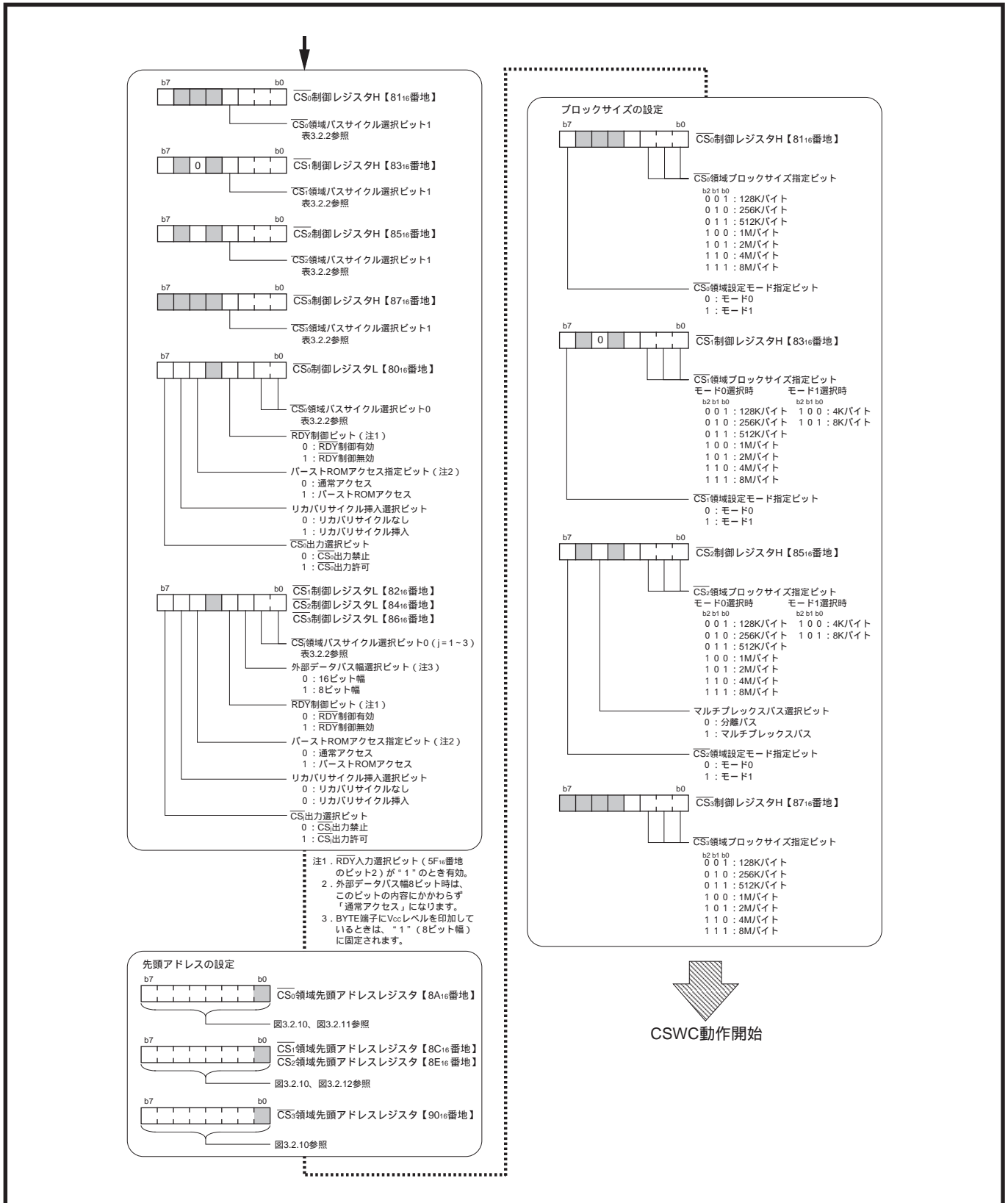


図3.2.16 CSWC関連レジスタの初期設定例

3.2.4 アドレス出力選択

内部領域アクセス時は、アドレス出力が不定です。アドレス出力選択ビット(図3.2.17参照)を“1”にすると、内部領域アクセス時は、その前の外部領域アクセス時のアドレス出力を保持するため、アドレス出力を固定できます。

図3.2.17に特殊機能選択レジスタ1のレジスタ構成を、図3.2.18にアドレス出力選択ビットとアドレス出力波形を示します。

特殊機能選択レジスタ1【63 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
				0				
ビット	ビット名	機能	リセット時	R/W				
0	STP命令実行ステータスフラグ	0: 通常動作中 1: STP命令実行中	(注1)	RW (注2)				
1	WIT命令実行ステータスフラグ	0: 通常動作中 1: WIT命令実行中	(注1)	RW (注2)				
2	スタンバイ状態選択ビット	0: 外部バス 1: プログラマブル入出力ポート	0	RW				
3	WIT時システムクロック停止 選択ビット (注3)	0: ウェイトモード時、f _{sys} 動作 1: ウェイトモード時、f _{sys} 停止	0	RW				
4	アドレス出力選択ビット	0: 内部領域アクセス時、外部領域アクセス時共 アドレス出力が変化 1: 外部領域アクセス時のみアドレス出力が変化	0	RW				
5	読み出し時の値は“0”		0	-				
6	“0”に固定してください		0	RW				
7	読み出し時の値は“0”		0	-				

注1. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。

2. “1”を書き込んでもビットの状態は変化しません。

3. “1”にする場合は、WIT命令の直前で“1”を設定してください。また、ウェイトモード解除後、直ちに“0”にしてください。

図3.2.17 特殊機能選択レジスタ1のレジスタ構成

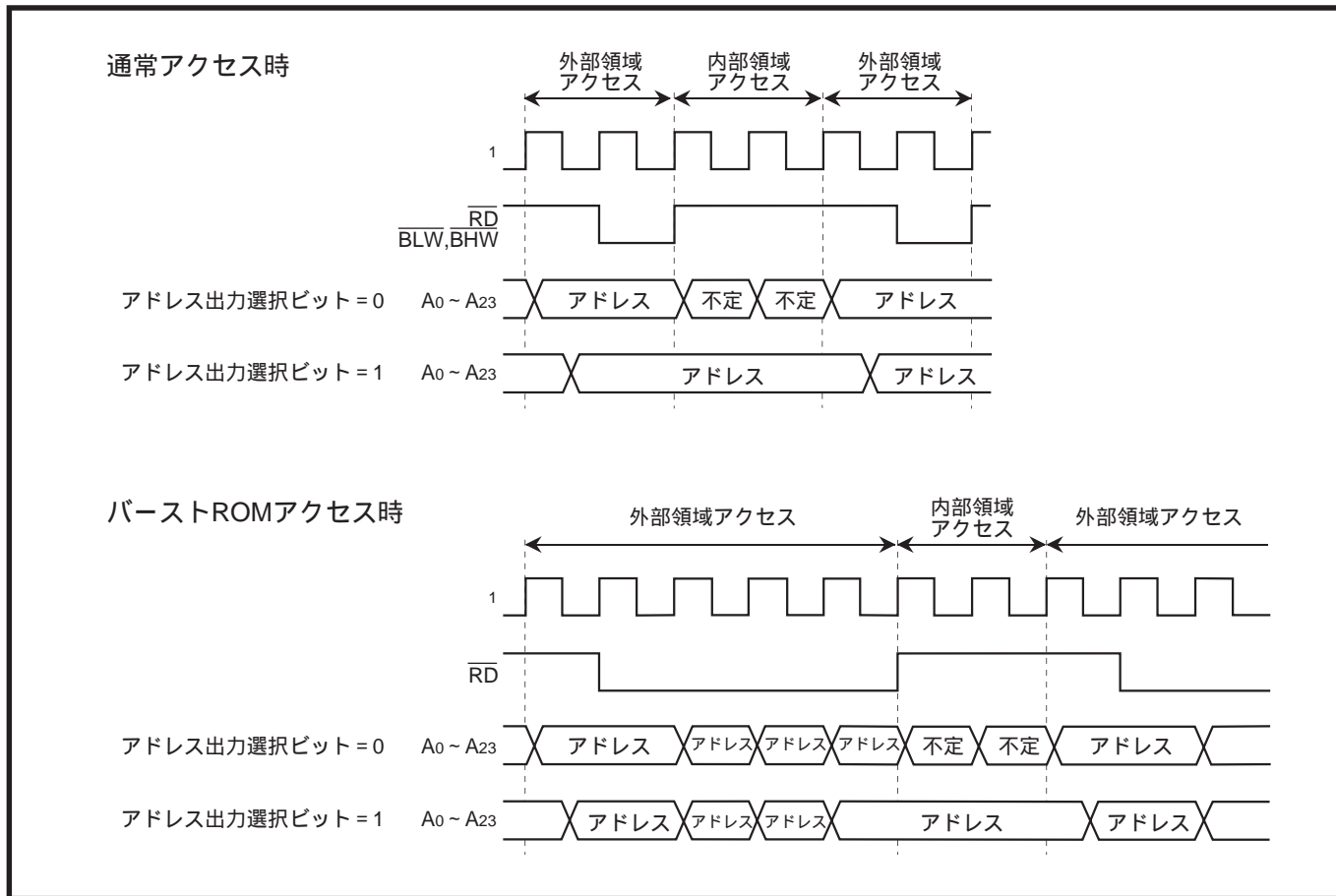


図3.2.18 アドレス出力選択ビットとアドレス出力波形

【CSWC使用上の注意】

1. \overline{CS}_i ($i=0\sim 3$)領域と内部領域が重なった領域をアクセスすると、内部領域がアクセスされます。このとき、 \overline{CS}_i は出力されません(\overline{CS}_i ="H"レベル出力)。また、データバス幅、バスサイクルなどは、内部領域アクセス時のものになります(表2.2.4参照)。
2. 各 \overline{CS}_i 領域は、互いに重ならないように設定してください。
3. 32ビット演算命令(注)を使用してメモリをアクセスするときは、データバス幅が異なる領域をまたいでアクセスしないでください。すなわち、データバス幅16ビットの領域(内部領域を含む)と、データバス幅8ビットの領域が連続して配置されているとき、データバス幅が異なる領域の境界前3バイトに対してはダブルワード(32ビット)アクセスをしないでください。

注 . ADCD, ADDD, ADDMD, ANDMD, CMPD, CMPMD, EORMD, LDAD, ORAMD, SBCD, STAD, SUBD, SUBMD

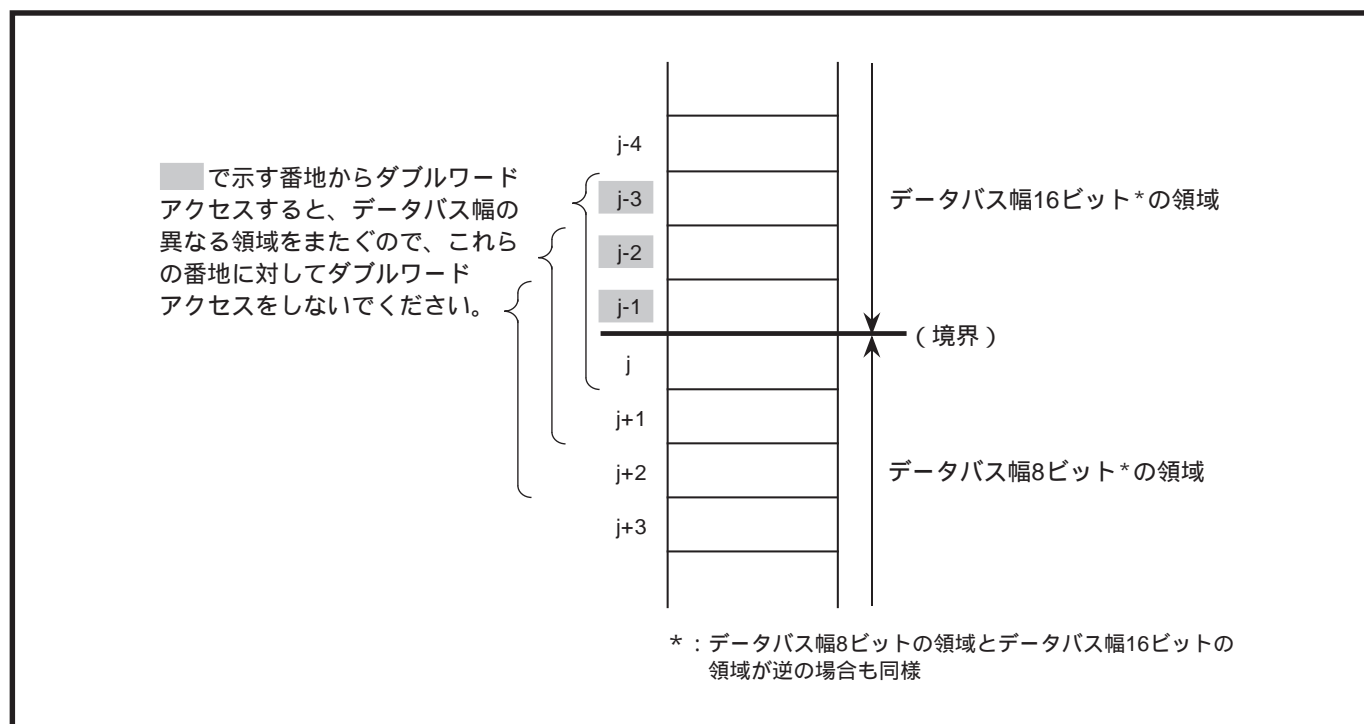


図3.2.19 データバス幅が異なる領域をまたぐアクセス例

3.3 レディー機能

レディー機能は、アクセス時間が長い外部デバイスへのアクセスを容易にするために使用します。

メモリ拡張モード、及びマイクロプロセッサモード時、RDY端子に“L”レベルを入力するとマイクロコンピュータはレディー状態になり、RDY端子のレベルが“L”の期間、その状態を保持します。表3.3.1にレディー状態におけるマイクロコンピュータの状態を示します。

レディー機能を使用する場合は、以下のように設定してください。

$\overline{CS}(i=0\sim 3)$ 領域 : RDY入力選択ビット(5F₁₆番地のビット2)=1
RDY制御ビット(80₁₆、82₁₆、84₁₆、86₁₆番地のビット3)=0

\overline{CS}_i 領域以外の外部領域 : RDY入力選択ビット(5F₁₆番地のビット2)=1

また、MD0=V_{CC}で使用する場合は、この端子はリセット後、RDY端子の機能になります。したがって、この端子をポートとして使用する場合は、リセット時にはV_{CC}レベルを印加してください。

表3.3.1 レディー状態におけるマイクロコンピュータの状態

項目	状態
発振、f _{sys}	動作
CPU、BIU	動作(注1)
A ₀ ~ A ₂₃ 、D ₀ ~ D ₇ 、D ₈ ~ D ₁₅ 、RD、BLW、BHW、ALE、HLDA、 \overline{CS}_0 ~ \overline{CS}_3 端子	レディー要求受付時の状態を保持
₁ 端子	クロック ₁ を出力
P0、P2、P3 ₃ 、P4 ~ P8、P11端子 (注2)	動作
監視タイマ	動作

注1. 外部領域へのアクセス(命令の先取りを含む)が必要になると、CPU及びBIUは停止します。内部領域へのアクセスが続く限り、CPU及びBIUは動作を続けます。

2. プログラマブル入出力ポート、又は表中に示した以外の内蔵周辺装置の入出力端子として機能している場合。

3.3.1 動作説明

$\overline{\text{RDY}}$ 端子の入力レベルの判定は、各バスサイクルの最後のクロック ϕ_1 の立ち下がり時に行われます(バスを使用していない期間は、 $\overline{\text{RDY}}$ 端子の入力レベル判定を行いません)。このとき、“L”レベルを検出すると、マイクロコンピュータはレディー状態になります(レディー要求受付)。

レディー状態では、 $\overline{\text{RDY}}$ 端子の入力レベルの判定は、クロック ϕ_1 の立ち下がりごとに行われます。このとき、“H”レベルを検出すると、次のクロック ϕ_1 の立ち上がりで、マイクロコンピュータはレディー状態を解除します。

図3.3.1にレディー要求受付、及びレディー状態解除タイミングを示します。

レディー機能の使用方法については、「3.5 応用」を併せて参照してください。

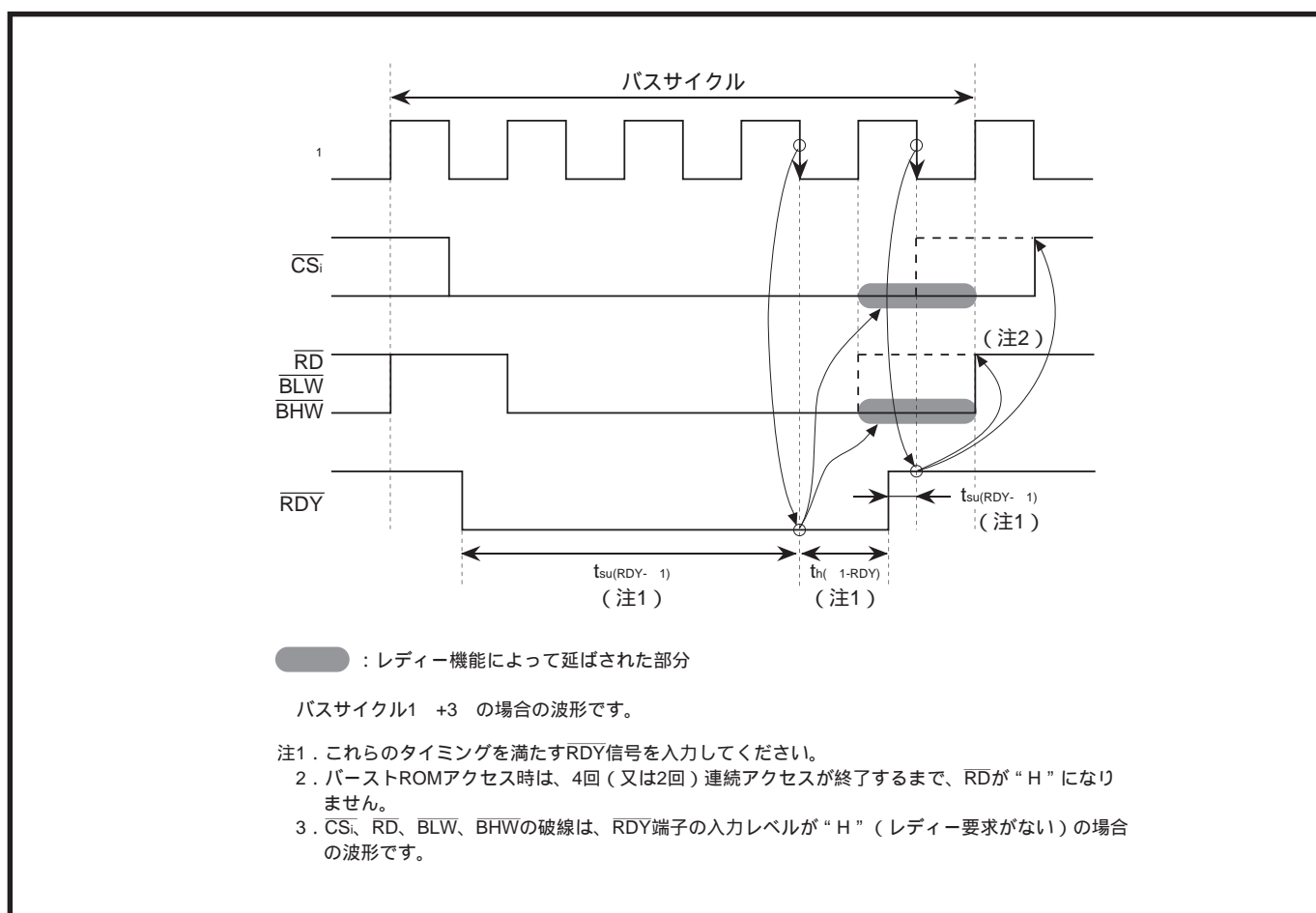


図3.3.1 レディー要求受付、及びレディー状態解除タイミング

3.4 ホールド機能

ホールド機能は、外部デバイスに外部バスを解放するために使用します。

メモリ拡張モード、及びマイクロプロセッサモード時、 $\overline{\text{HOLD}}$ 端子に“L”レベルを入力するとマイクロコンピュータはホールド状態になり、 $\overline{\text{HOLD}}$ 端子のレベルが“L”の期間、その状態を保持します。表3.4.1にホールド状態におけるマイクロコンピュータの状態を示します。

ホールド機能を使用する場合は、 $\overline{\text{HOLD}}$ 入力、 $\overline{\text{HLDA}}$ 出力選択ビット(5F₁₆番地のビット5)を“1”にしてください。

また、MD0 = V_{CC}で使用する場合、この端子はリセット後、 $\overline{\text{HOLD}}$ 端子の機能になります。したがって、この端子をポートとして使用する場合も、リセット時にはV_{CC}レベルを印加してください。

表3.4.1 ホールド状態におけるマイクロコンピュータの状態

項目	状態
発振、f _{sys}	動作
CPU、BIU	動作(注1)
A ₀ ~ A ₂₃ 、D ₀ ~ D ₇ 、D ₈ ~ D ₁₅ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BLW}}$ 、 $\overline{\text{BHW}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{CS}}_0$ ~ $\overline{\text{CS}}_3$ 端子	フローティング
$\overline{\text{HLDA}}$ 端子	“L”レベルを出力
₁ 端子	クロック ₁ を出力
P ₀ 、P ₂ 、P ₃₀ 、P ₃₃ 、P ₄₀ ~ P ₄₂ 、P ₅ ~ P ₈ 、P ₁₁ 端子 (注2)	動作
監視タイマ	動作(注1)

注1．外部領域へのアクセス(命令の先取りを含む)が必要になると、CPU、BIU、及び監視タイマは停止します。

内部領域へのアクセスが続く限り、CPU、BIU、及び監視タイマは動作を続けます。

2．プログラマブル入出力ポート、又は表中に示した以外の内蔵周辺装置の入出力端子として機能している場合。

3.4.1 動作説明

HOLD端子の入カレベルの判定タイミングは、バスの使用状態によって異なります。バスを使用していない期間では、クロック ϕ_1 の立ち上がりごとに判定されます。バスを使用している期間では、バスサイクルの最後から1サイクル前のクロック ϕ_1 の立ち上がり時に判定されます。

入力レベルの判定時、“L”レベル(ホールド要求)を検出すると、現在のバスサイクル終了後、マイクロコンピュータはホールド状態になります(ホールド要求受付)。

ホールド要求が受け付けられると、次のクロック ϕ_1 の立ち上がりでHLDA端子のレベルが“H”から“L”に変化します。同時に、RD、BLW、BHW、ALE、CS($i=0\sim 3$)、及び外部バスがフローティングになります。

ホールド状態では、HOLD端子の入カレベルの判定は、クロック ϕ_1 の立ち上がりごとに行われます。このとき、“H”レベルを検出すると、次の ϕ_1 の立ち上がりでHLDA端子のレベルが“L”から“H”に変化します。HLDA端子のレベルが“H”になった後、クロック ϕ_1 の1サイクル後にマイクロコンピュータはホールド状態を解除します。

図3.4.1にホールド要求受付、及びホールド状態解除タイミングを示します。

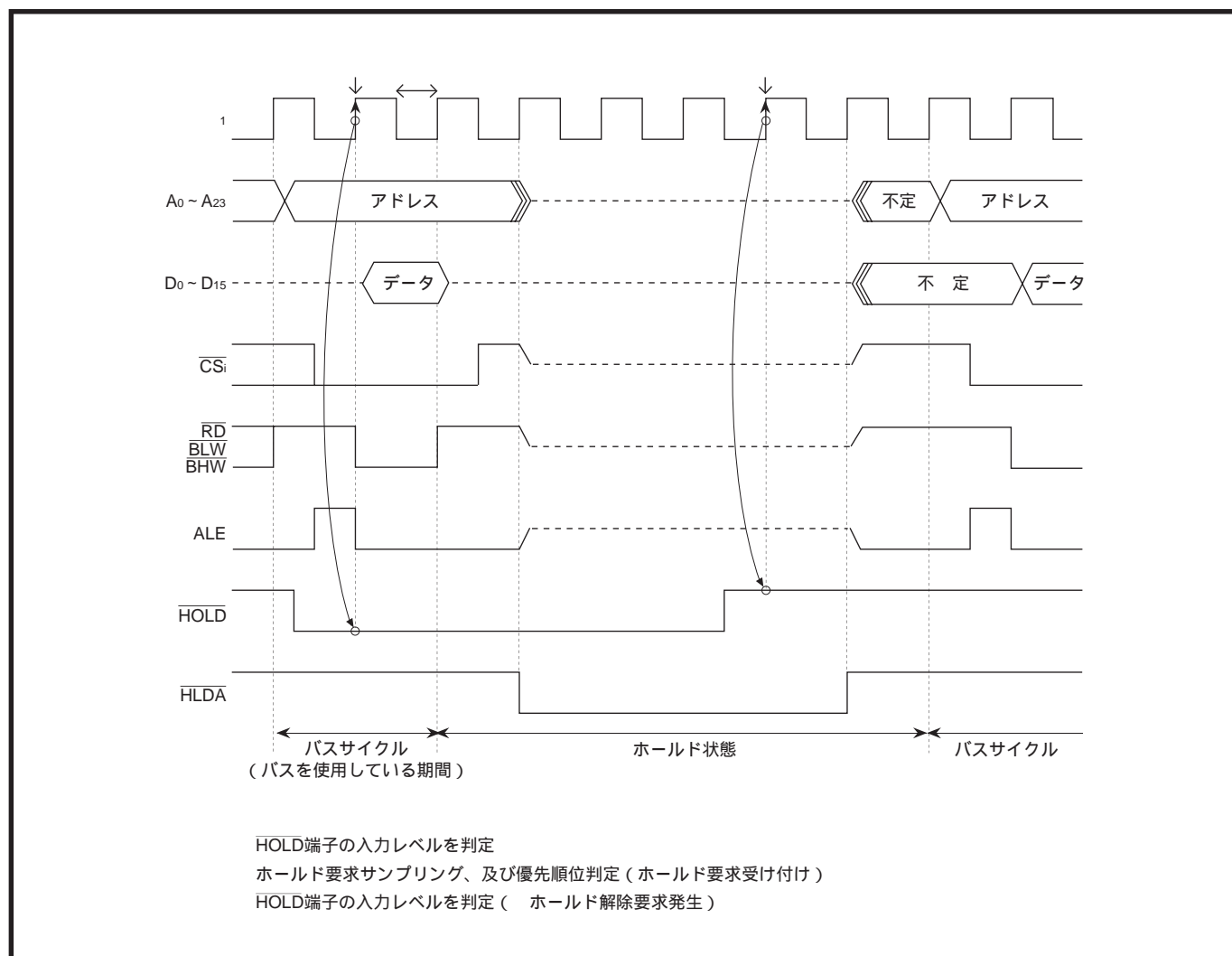


図3.4.1 ホールド要求受付、及びホールド状態解除タイミング

3.5 応用

レディー機能使用例及びメモリ接続例を以下に示します。ここで説明する内容は一例です。ご使用に際しては、ユーザアプリケーションに対応して、適宜変更、及び十分な評価をしてください。

タイミング特性については、「付録9 . M37903F8CHP電気的特性」、又は最新のデータシートを参照してください。

3.5.1 レディー機能使用例

(1) バスサイクル1 +3 選択時のレディー機能使用例

図3.5.1、図3.5.2にバスサイクル1 +3 選択時のレディー機能使用例を示します。

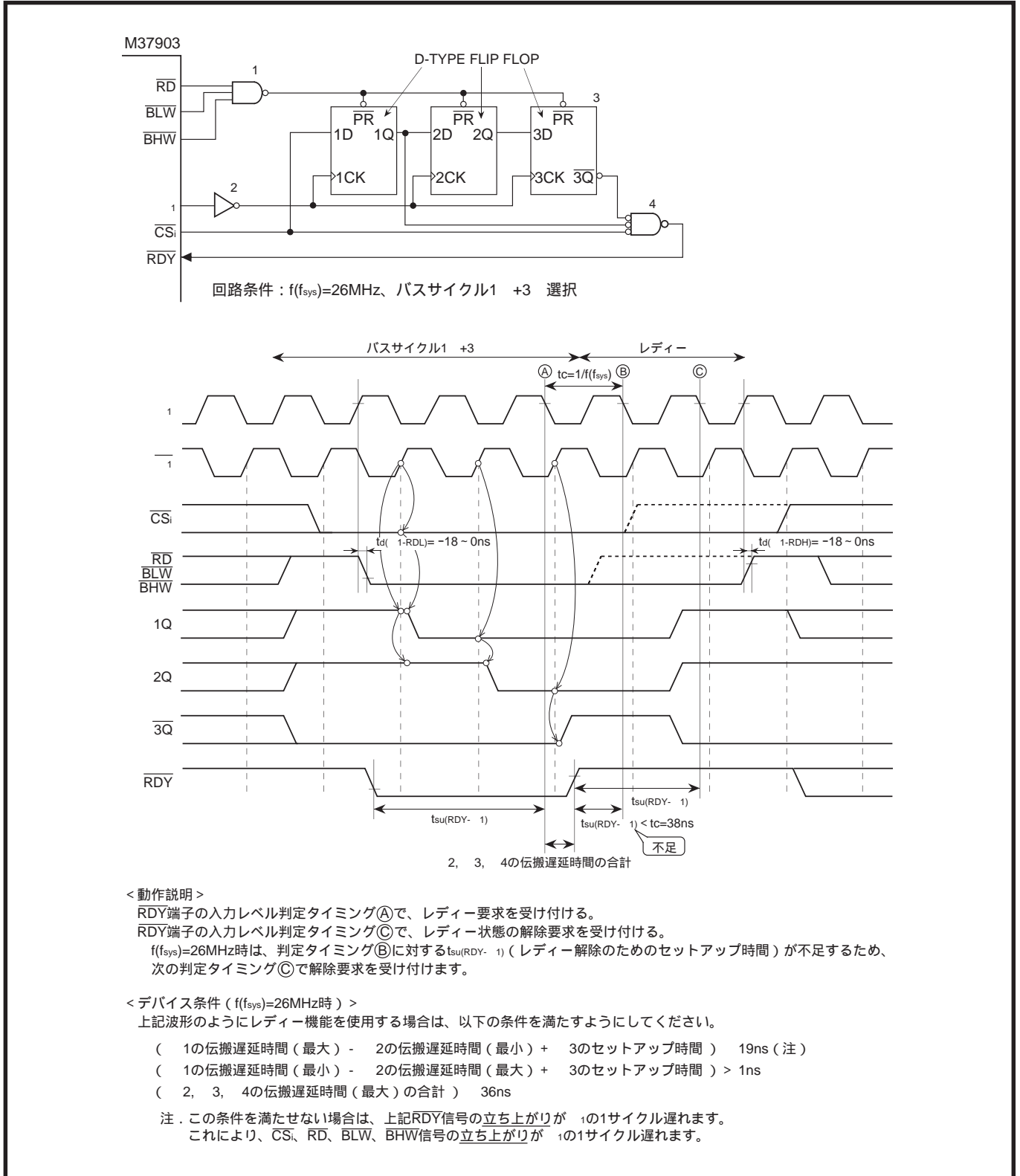
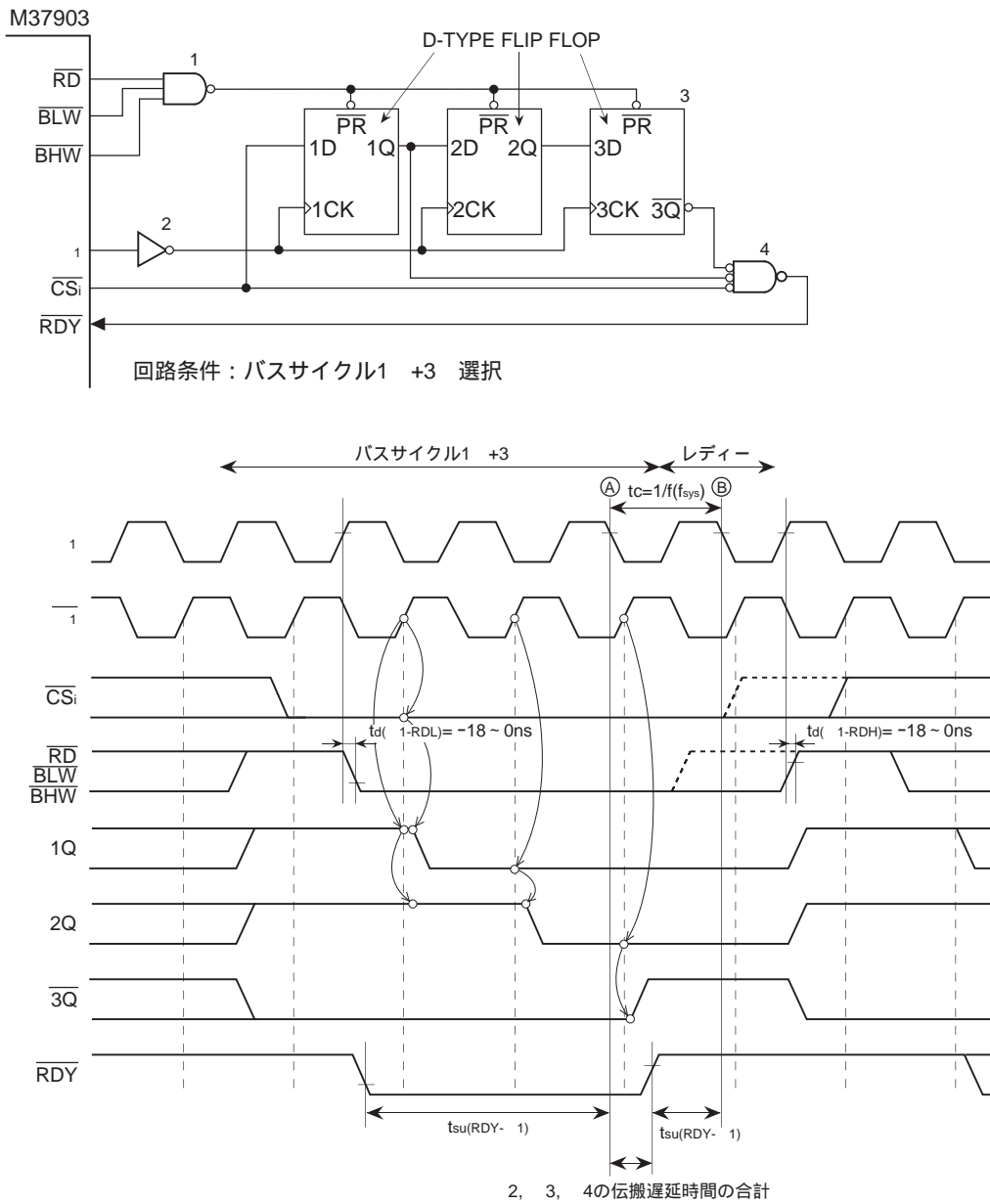


図3.5.1 バスサイクル1 +3 選択時のレディー機能使用例(1)



<動作説明>

RDY端子の入カレベル判定タイミング①で、レディー要求を受け付ける。
RDY端子の入カレベル判定タイミング②で、レディー状態の解除要求を受け付ける。

<デバイス条件>

上記波形のようにレディー機能を使用する場合は、以下の条件を満たすように $f(fsyst)$ を調整してください。

$$\begin{aligned} & (1の伝搬遅延時間(最大) - 2の伝搬遅延時間(最小) + 3のセットアップ時間) > \frac{1}{2 \times f(fsyst)} \text{ ns} \\ & (1の伝搬遅延時間(最小) - 2の伝搬遅延時間(最大) + 3のセットアップ時間) > \left(\frac{1}{2 \times f(fsyst)} - 18 \right) \text{ ns} \\ & (2, 3, 4の伝搬遅延時間(最大)の合計) > \left(\frac{1}{f(fsyst)} - 40 \right) \text{ ns} \end{aligned}$$

図3.5.2 バスサイクル1 +3 選択時のレディー機能使用例(2)

(2)バスサイクル2 +2 選択時のレディー機能使用例

図3.5.3にバスサイクル2 +2 選択時のレディー機能使用例を示します。

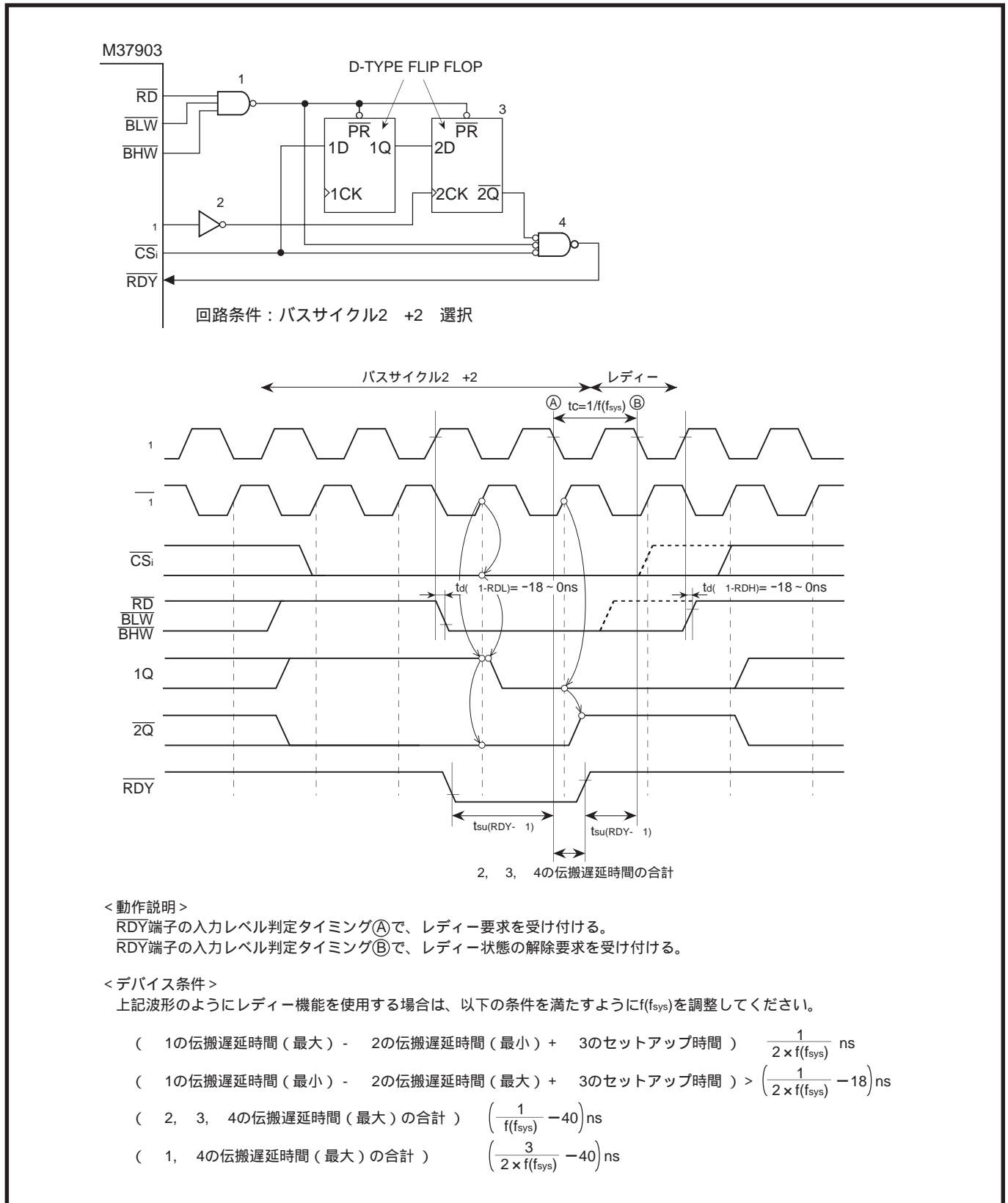


図3.5.3 バスサイクル2 +2 選択時のレディー機能使用例

3.5.2 メモリ接続例

図3.5.4、図3.5.5にメモリ接続例を、表3.5.1～表3.5.5に使用できる各メモリのタイミング条件を示します。なお、表3.5.1～表3.5.5に示す以外のタイミングについても、各メモリのデータシートを参照して確認してください。

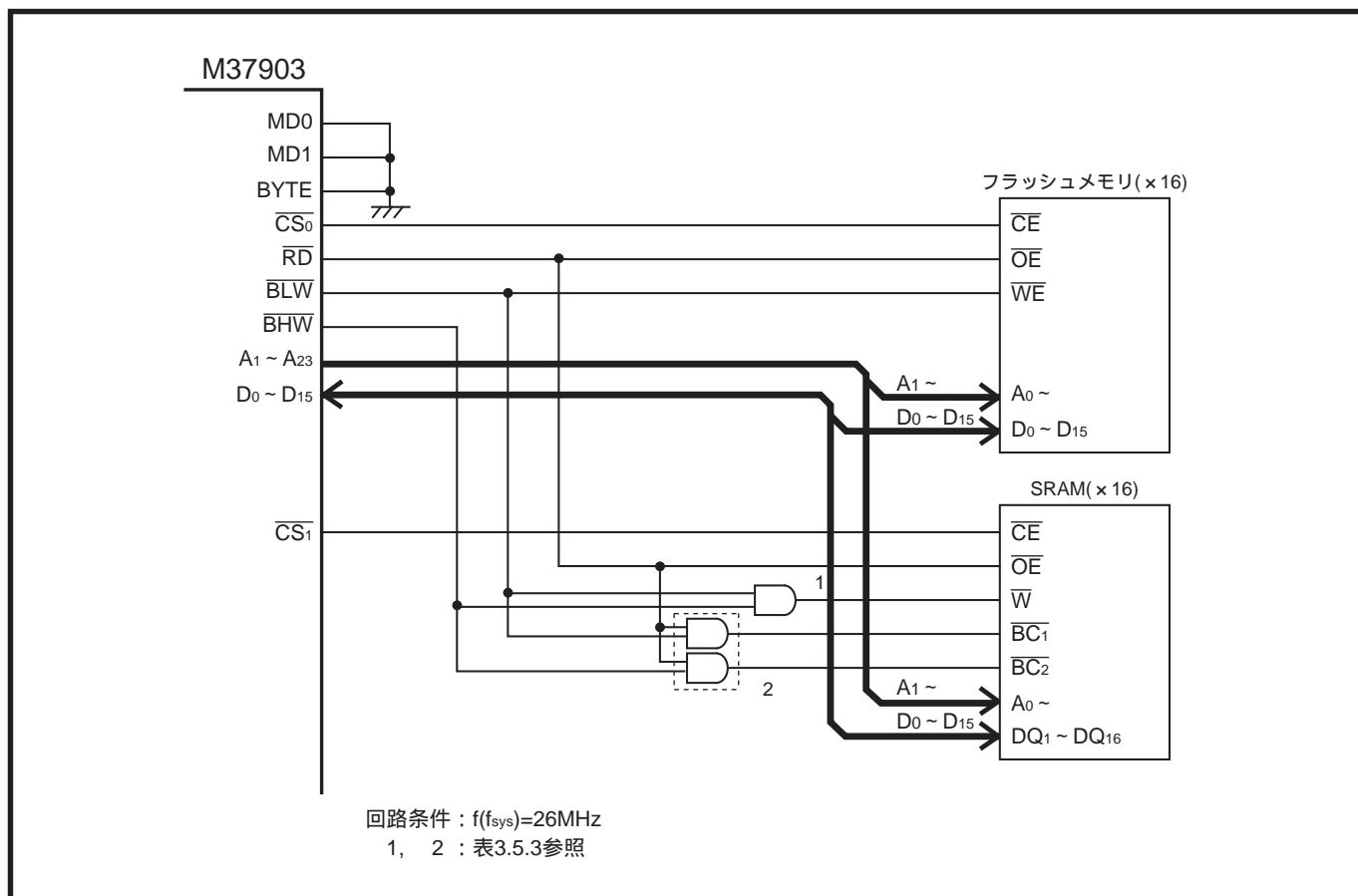


図3.5.4 メモリ接続例(1)

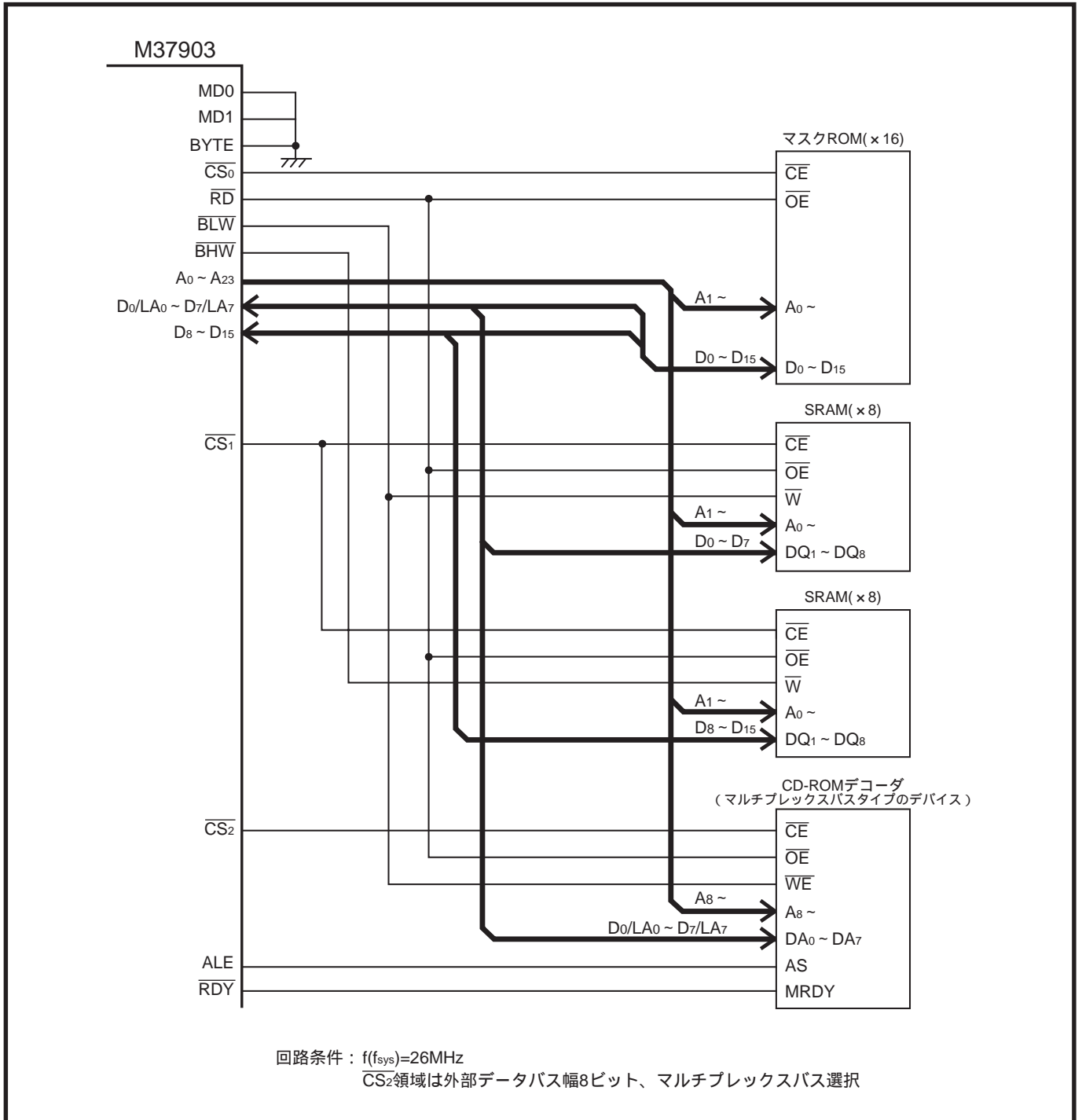


図3.5.5 メモリ接続例(2)

表3.5.1 使用できるフラッシュメモリのタイミング条件(f_{sys})=26MHz時)

項目		条件	
		バスサイクル2 +2 選択時	バスサイクル2 +3 選択時
読み出し時	アドレスアクセス時間	107ns以内 (注1)	145ns以内 (注1)
	OEアクセス時間	46ns以内	84ns以内
	CEアクセス時間	98ns以内	136ns以内
	出力ディスエーブル時間	0ns以上	0ns以上
書き込み時	データセットアップ時間	56ns以内	94ns以内
	データホールド時間	9ns以内 (注2)	9ns以内 (注2)
	ライト前CEセットアップ時間	38ns以内	38ns以内

注1. アドレス出力選択ビット(63₁₆番地のビット4)=0の場合。

2. リカバリサイクルを2サイクル挿入することで、更に38ns延ばせます。

表3.5.2 使用できるマスクROMのタイミング条件(f_{sys})=26MHz時)

項目		条件	
		バスサイクル1 +3 選択時	バスサイクル2 +4 選択時
読み出し時	アドレスアクセス時間	107ns以内 (注)	183ns以内 (注)
	OEアクセス時間	84ns以内	122ns以内
	CEアクセス時間	98ns以内	174ns以内
	出力ディスエーブル時間	0ns以上	0ns以上

注. アドレス出力選択ビット(63₁₆番地のビット4)=0の場合。

表3.5.3 使用できるSRAM(x16)のタイミング条件(f_{sys})=26MHz時)

項目		条件	
		バスサイクル1 +1 選択時	バスサイクル1 +2 選択時
読み出し時	アドレスアクセス時間	31ns以内 (注1)	69ns以内 (注1)
	OEアクセス時間	8ns以内	46ns以内
	CEアクセス時間	22ns以内	60ns以内
	BC ₁ /BC ₂ アクセス時間	(8ns- 2の伝搬遅延時間)以内	(46ns- 2の伝搬遅延時間)以内
	OEイネーブル後出力イネーブル時間	6ns以上 (注2)	6ns以上 (注2)
	出力ディスエーブル時間	0ns以上	0ns以上
書き込み時	データセットアップ時間	(18ns+ 1の伝搬遅延時間)以内	(56ns+ 1の伝搬遅延時間)以内
	データホールド時間	(9ns- 1の伝搬遅延時間)以内 (注3)	(9ns- 1の伝搬遅延時間)以内 (注3)

注1. アドレス出力選択ビット(63₁₆番地のビット4)=0の場合。

2. リカバリサイクルを1サイクル挿入することで、0ns以上にできます。

3. リカバリサイクルを2サイクル挿入することで、更に38ns延ばせます。

表3.5.4 使用できるSRAM (×8)のタイミング条件(f_{sys})=26MHz時)

項目		条件	
		バスサイクル1 +1 選択時	バスサイクル1 +2 選択時
読み出し時	アドレスアクセス時間	31ns以内 (注1)	69ns以内 (注1)
	OEアクセス時間	8ns以内	46ns以内
	CEアクセス時間	22ns以内	60ns以内
	\overline{OE} イネーブル後出力イネーブル時間	6ns以上 (注2)	6ns以上 (注2)
	出力ディスエーブル時間	0ns以上	0ns以上
書き込み時	データセットアップ時間	18ns以内	56ns以内
	データホールド時間	9ns以内 (注3)	9ns以内 (注3)

注1. アドレス出力選択ビット(63₁₆番地のビット4)=0の場合。

- リカバリサイクルを1サイクル挿入することで、0ns以上にできます。
- リカバリサイクルを2サイクル挿入することで、更に38ns延ばせます。

表3.5.5 使用できるCD-ROMデコーダのタイミング条件(f_{sys})=26MHz時)

項目		条件	
		バスサイクル2 +2 選択時	バスサイクル3 +3 選択時
読み出し時	ASパルス幅	18ns以内	37ns以内
/ 書き込み時	ASに対するCEセットアップ時間	38ns以内	53ns以内
	ASに対するアドレスセットアップ時間	18ns以内	37ns以内
	ASに対するアドレスホールド時間	0ns以内	23ns以内
	レディー入力セットアップ時間	40ns以上	40ns以上
	レディー解除セットアップ時間	40ns以上	40ns以上
読み出し時	OEアクセス時間	5~46ns以内	5~84ns以内
書き込み時	WEパルス幅	61ns以内	99ns以内
	データセットアップ時間	56ns以内	94ns以内
	データホールド時間	9ns以内 (注)	9ns以内 (注)

注. リカバリサイクルを2サイクル挿入することで、更に38ns延ばせます。

Memo

第 4 章 リセット

- 4.1 リセット動作
- 4.2 端子の状態
- 4.3 内部領域の状態
- 4.4 リセット後の内部処理シーケンス

マイクロコンピュータをリセットする方法は、以下の3種類です。

- ・ハードウェアリセット... 電源電圧 (V_{CC}) が推奨動作条件を満たしている状態で、 \overline{RESET} 端子に“L”レベルを印加する
- ・ソフトウェアリセット... 電源電圧 (V_{CC}) が推奨動作条件を満たしている状態で、ソフトウェアリセットビット ($5E_{16}$ 番地のビット6)に“1”を書き込む
- ・パワーオンリセット ... \overline{RESET} 端子に“L”レベルを印加している状態で、電源投入後、 V_{CC} 端子に印加する電圧を推奨動作条件を満たすレベルまで上昇させる

4.1 リセット動作

ハードウェアリセット、ソフトウェアリセット、及びパワーオンリセットの動作について、以下に説明します。

4.1.1 ハードウェアリセット

図4.1.1にハードウェアリセットタイミング例を示します。

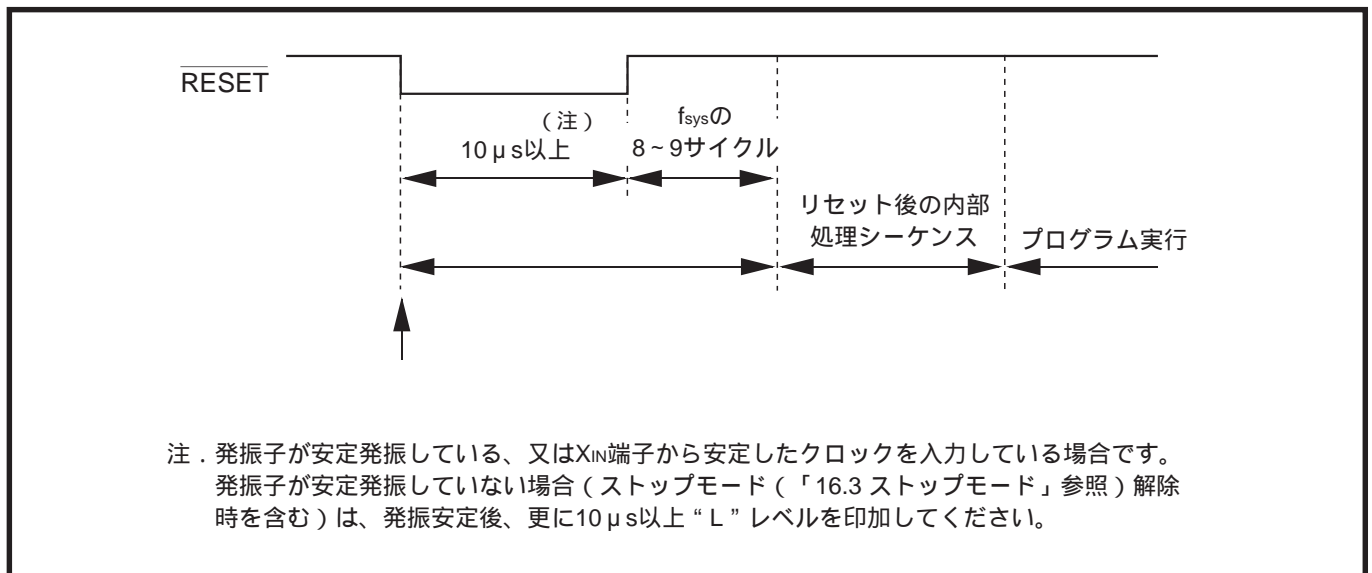


図4.1.1 ハードウェアリセットタイミング例

図中 ~ の期間のマイクロコンピュータの動作を説明します。

\overline{RESET} 端子に“L”レベルが印加された後、 f_{sys} の数十サイクル以内の期間に、端子を初期化します。
：「4.2 端子の状態」参照

\overline{RESET} 端子のレベルが“L”の期間、及び“L”から“H”になった後、 f_{sys} の8～9サイクルの期間に、中央演算処理装置(CPU)及びSFR領域を初期化します。
：「4.3 内部領域の状態」参照

その後、リセット後の内部処理シーケンスを行います。
：「4.4 リセット後の内部処理シーケンス」参照

リセットのベクトル番地 ($FFFE_{16}$ 、 $FFFF_{16}$ 番地)に設定された番地から、プログラムを実行します。

4.1.2 ソフトウェアリセット

ソフトウェアリセットビット(図4.1.2参照)に“1”を書き込むと、マイクロコンピュータは、ハードウェアリセット時と同様に、端子、CPU、SFR領域を初期化します(「4.2 端子の状態」,「4.3 内部領域の状態」参照)。

初期化終了後、マイクロコンピュータはリセット後の内部処理シーケンス(「4.4 リセット後の内部処理シーケンス」参照)を行い、その後、リセットのベクトル番地(FFFE₁₆、FFFF₁₆番地)に設定された番地から、プログラムを実行します。

プロセッサモードレジスタ0【5E ₁₆ 番地】			b7 b6 b5 b4 b3 b2 b1 b0																	
			<table border="1" style="float: right; margin-left: auto;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	ビット名	機能	リセット時	R/W																
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード	0	RW																
1		10: マイクロプロセッサモード 11: 選択禁止	(注1)	RW																
2	外部バスサイクル選択ビット0 (注2)	(外部バスサイクル選択ビット1=0時)	0	RW																
3		(外部バスサイクル選択ビット1=1時)	1	RW																
4	割り込み優先順位判定時間 選択ビット	b5 b4 00: f _{sys} の7サイクル 01: f _{sys} の4サイクル	0	RW																
5		10: f _{sys} の2サイクル 11: 選択禁止	0	RW																
6	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる 読み出し時の値は“0”	0	WO																
7	クロック _i 出力選択ビット	0: _i 出力禁止(P4 _i はプログラマブル入出力ポートとして機能) 1: _i 出力許可(P4 _i はクロック _i 出力端子として機能)	(注3)	RW																

注1. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。

注2. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。

注3. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。

図4.1.2 プロセッサモードレジスタ0のレジスタ構成

4.1.3 パワーオンリセット

パワーオンリセット時のマイクロコンピュータの動作を説明します。

電源投入後、 $\overline{\text{RESET}}$ 端子のレベルが「L」の状態、 V_{CC} 端子のレベルが推奨動作条件を満たした後、 f_{sys} の数十サイクル以内の期間に、端子を初期化します。：「4.2 端子の状態」参照

$\overline{\text{RESET}}$ 端子のレベルが「L」から「H」になった後、 f_{sys} の8～9サイクルの期間に、CPU及びSFR領域を初期化します(内部RAM領域の内容は不定になります)。：「4.3 内部領域の状態」参照

その後、リセット後の内部処理シーケンスを行います。：「4.4 リセット後の内部処理シーケンス」参照
リセットのベクトル番地(FFFE₁₆、FFFF₁₆番地)に設定された番地から、プログラムを実行します。

図4.1.3にパワーオンリセット条件を、図4.1.4にパワーオンリセット回路例を示します。

図4.1.3に示すように、 V_{CC} 端子のレベルが推奨動作条件を満たし、かつ発振子の発振が安定した後、更に10 μs 以上の期間、 $\overline{\text{RESET}}$ 端子に「L」レベルを印加してください。

なお、発振子を使用した場合、発振が安定するまでの時間は、発振子によって異なります。発振子メーカーへお問い合わせください。

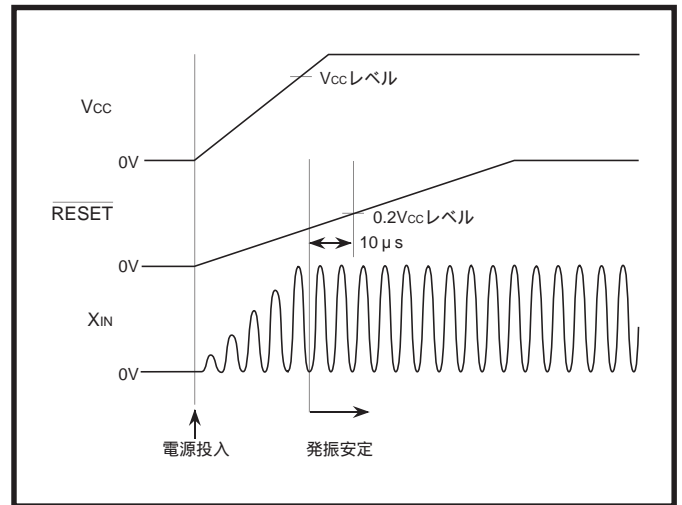


図4.1.3 パワーオンリセット条件

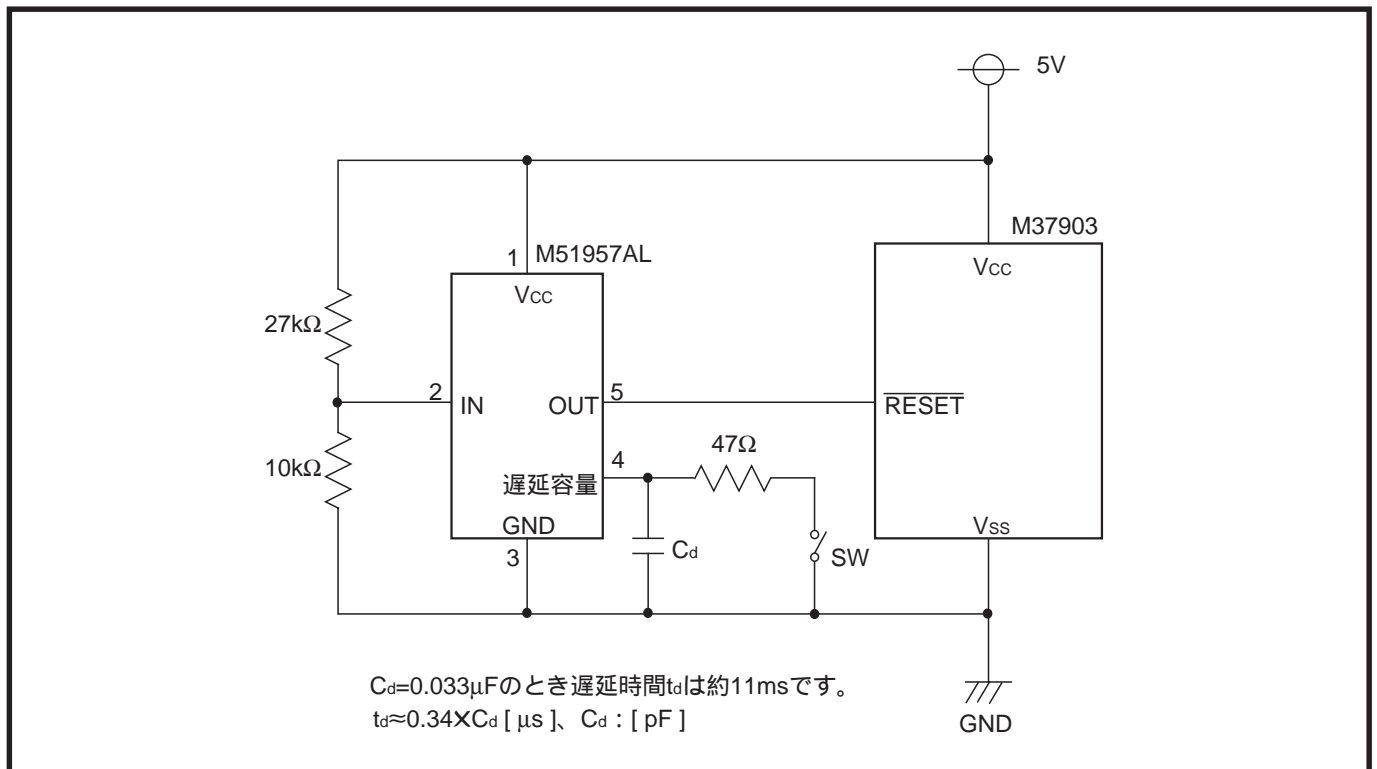


図4.1.4 パワーオンリセット回路例

4.2 端子の状態

表4.2.1にRESET端子のレベルが“L”の期間の端子の状態を示します。

表4.2.1 RESET端子のレベルが“L”の期間の端子の状態

	MD1端子のレベル	MD0端子のレベル	端子(バス、ポート)名	端子の状態
マスクROM内蔵版 フラッシュメモリ 内蔵版	V _{ss}	V _{ss}	P0 ~ P3、P4 ₀ ~ P4 ₃ 、P5 ~ P8、P10、 P11	フローティング
			P4 ₄ ~ P4 ₇ 、 $\overline{\text{NMI}}$	プルアップ
		V _{cc} (注1)	A ₀ ~ A ₂₃ 、D ₀ ~ D ₇ 、P2 ₀ /D ₈ ~ P2 ₇ /D ₁₅ 、 P5 ~ P8、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BLW}}$ 、 $\overline{\text{BHW}}$ 、 $\overline{\text{HLDA}}$ 、ALE	フローティング
			$\overline{\text{CS}}_0$ 、P4 ₅ ~ P4 ₇ 、 $\overline{\text{NMI}}$	プルアップ
		1	1出力	
ROM外付け版	V _{ss}	V _{cc} (注1)	A ₀ ~ A ₂₃ 、D ₀ ~ D ₇ 、P2 ₀ /D ₈ ~ P2 ₇ /D ₁₅ 、 P5 ~ P8、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BLW}}$ 、 $\overline{\text{BHW}}$ 、 $\overline{\text{HLDA}}$ 、ALE	フローティング
			$\overline{\text{CS}}_0$ 、P4 ₅ ~ P4 ₇ 、 $\overline{\text{NMI}}$	プルアップ
			1	1出力
フラッシュメモリ 内蔵版(注2)	V _{cc}	V _{ss}	P0 ~ P3、P4 ₀ ~ P4 ₃ 、P5 ~ P8、P10、 P11	フローティング
			P4 ₄ ~ P4 ₇ 、 $\overline{\text{NMI}}$	プルアップ
		V _{cc}	P0 ~ P3、P4 ₀ 、P4 ₁ 、P4 ₃ ~ P4 ₇ 、 P5 ~ P8、P10、P11、 $\overline{\text{NMI}}$	フローティング(注3)
			P4 ₂	“H”レベルを出力

注1. MD1 = V_{ss}、MD0 = V_{cc}でリセットする場合は、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 端子にV_{cc}レベルを印加してください。

2. 「第18章 フラッシュメモリ内蔵版」参照。

3. ただし、CDSEL端子に“H”レベル、P5₄及びP5₅端子に“L”レベルを印加している場合、P1及びP2は“H”又は“L”レベルを出力します。

4.3 内部領域の状態

図4.3.1にリセット直後のCPUレジスタの状態を、図4.3.2～図4.3.7にリセット直後のSFR領域、及び内部RAM領域の状態を示します。

0	: リセット直後は“0”		: リセット直後は“0” “0”に固定してください。
1	: リセット直後は“1”		
?	: リセット直後は不定		

レジスタ名	リセット直後の状態	
アキュムレータA (A)	b15 ~ b8 ?	b7 ~ b0 ?
アキュムレータB (B)	b15 ~ b8 ?	b7 ~ b0 ?
インデックスレジスタX (X)	b15 ~ b8 ?	b7 ~ b0 ?
インデックスレジスタY (Y)	b15 ~ b8 ?	b7 ~ b0 ?
スタックポインタ (S)	b15 ~ b8 0F ₁₆	b7 ~ b0 FF ₁₆
データバンクレジスタ (DT)		b7 ~ b0 00 ₁₆
プログラムバンクレジスタ (PG)		b7 ~ b0 00 ₁₆
プログラムカウンタ (PC)	b15 ~ b8 FFF ₁₆ 番地の内容	b7 ~ b0 FFE ₁₆ 番地の内容
ダイレクトページレジスタ0 (DPR0)	b15 ~ b8 00 ₁₆	b7 ~ b0 00 ₁₆
ダイレクトページレジスタ <i>i</i> (DPR <i>i</i>) (<i>i</i> = 1~3)	b15 ~ b8 ?	b7 ~ b0 ?
プロセッサステータスレジスタ (PS)	b15 ~ b8 0 0 0 0 0 0 0 0	b7 ~ b0 ? ? 0 0 0 1 ? ?
		IPL N V m x D I Z C

図4.3.1 リセット直後のCPUレジスタの状態

SFR領域 (0₁₆ ~ FF₁₆番地)

アクセス特性

RW : 読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO : 読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO : 書き込んだ値は有効データになる。ビットの状態は読み出せない。

■ : 何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0 : リセット直後は“0”

1 : リセット直後は“1”

? : リセット直後は不定

0 : 読み出し時は常に“0”

1 : 読み出し時は常に“1”

? : 読み出し時は常に不定

0 : リセット直後は“0”
“0”に固定してください。

1 : リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
0 ₁₆		(注)		?	
1 ₁₆		(注)		?	
2 ₁₆	ポートP0レジスタ	RW		?	
3 ₁₆	ポートP1レジスタ	RW		?	
4 ₁₆	ポートP0方向レジスタ	RW		00 ₁₆	
5 ₁₆	ポートP1方向レジスタ	RW		00 ₁₆	
6 ₁₆	ポートP2レジスタ	RW		?	
7 ₁₆	ポートP3レジスタ	■ ■ ■ ■ ■	RW	0 0 0 0	?
8 ₁₆	ポートP2方向レジスタ	RW		00 ₁₆	
9 ₁₆	ポートP3方向レジスタ	■ ■ ■ ■ ■	RW	0 0 0 0	0 0 0 0
A ₁₆	ポートP4レジスタ	RW		?	
B ₁₆	ポートP5レジスタ	RW		?	
C ₁₆	ポートP4方向レジスタ	RW		00 ₁₆	
D ₁₆	ポートP5方向レジスタ	RW		00 ₁₆	
E ₁₆	ポートP6レジスタ	RW		?	
F ₁₆	ポートP7レジスタ	RW		?	
10 ₁₆	ポートP6方向レジスタ	RW		00 ₁₆	
11 ₁₆	ポートP7方向レジスタ	RW		00 ₁₆	
12 ₁₆	ポートP8レジスタ	RW		?	
13 ₁₆		■ ■ ■ ■ ■		?	
14 ₁₆	ポートP8方向レジスタ	RW		00 ₁₆	
15 ₁₆		■ ■ ■ ■ ■		?	
16 ₁₆	ポートP10レジスタ	RW		?	
17 ₁₆	ポートP11レジスタ	RW		?	
18 ₁₆	ポートP10方向レジスタ	RW		00 ₁₆	
19 ₁₆	ポートP11方向レジスタ	RW		00 ₁₆	
1A ₁₆		■ ■ ■ ■ ■		?	
1B ₁₆		■ ■ ■ ■ ■		?	
1C ₁₆		■ ■ ■ ■ ■		?	
1D ₁₆		■ ■ ■ ■ ■		?	
1E ₁₆	A-D制御レジスタ0	RW		0 0 0 0	0 ? ? ?
1F ₁₆	A-D制御レジスタ1	■	RW	0 0 0 0	0 1 1

注 . 読み出し及び書き込み禁止。

図4.3.2 リセット直後のSFR領域、及び内部RAM領域の状態(1)

番地	レジスタ名	アクセス特性		リセット直後の状態				
		b7	b0	b7	b0			
20 ₁₆	A-Dレジスタ0	RO		?				
21 ₁₆		RO	RO	0	0	0	0	?
22 ₁₆	A-Dレジスタ1	RO		?				
23 ₁₆		RO	RO	0	0	0	0	?
24 ₁₆	A-Dレジスタ2	RO		?				
25 ₁₆		RO	RO	0	0	0	0	?
26 ₁₆	A-Dレジスタ3	RO		?				
27 ₁₆		RO	RO	0	0	0	0	?
28 ₁₆	A-Dレジスタ4	RO		?				
29 ₁₆		RO	RO	0	0	0	0	?
2A ₁₆	A-Dレジスタ5	RO		?				
2B ₁₆		RO	RO	0	0	0	0	?
2C ₁₆	A-Dレジスタ6	RO		?				
2D ₁₆		RO	RO	0	0	0	0	?
2E ₁₆	A-Dレジスタ7	RO		?				
2F ₁₆		RO	RO	0	0	0	0	?
30 ₁₆	UART0送受信モードレジスタ	RW		00 ₁₆				
31 ₁₆	UART0転送速度レジスタ	WO		?				
32 ₁₆	UART0送信バッファレジスタ	WO		?				
33 ₁₆		WO	WO	?				
34 ₁₆	UART0送受信制御レジスタ0	RW	RO	RW	0	0	0	0
35 ₁₆	UART0送受信制御レジスタ1	RO	RW	RO	0	0	1	0
36 ₁₆	UART0受信バッファレジスタ	RO		?				
37 ₁₆		RO	RO	0	0	0	0	?
38 ₁₆	UART1送受信モードレジスタ	RW		00 ₁₆				
39 ₁₆	UART1転送速度レジスタ	WO		?				
3A ₁₆	UART1送信バッファレジスタ	WO		?				
3B ₁₆		WO	WO	?				
3C ₁₆	UART1送受信制御レジスタ0	RW	RO	RW	0	0	0	0
3D ₁₆	UART1送受信制御レジスタ1	RO	RW	RO	0	0	1	0
3E ₁₆	UART1受信バッファレジスタ	RO		?				
3F ₁₆		RO	RO	0	0	0	0	?

図4.3.3 リセット直後のSFR領域、及び内部RAM領域の状態(2)

番地	レジスタ名	アクセス特性	リセット直後の状態
		b7 b0	b7 b0
40 ₁₆	カウント開始フラグ	RW	00 ₁₆
41 ₁₆			?
42 ₁₆	ワンショット開始フラグ	RW WO	0 ? 0 0 0 0 0
43 ₁₆			?
44 ₁₆	アップダウンフラグ	WO RW	0 0 0 0 0 0 0 0
45 ₁₆	タイマAクロック分周指定レジスタ	RW RW	0 0 0 0 0 0 0 0
46 ₁₆	タイマA0レジスタ	(注1)	?
47 ₁₆		(注1)	?
48 ₁₆	タイマA1レジスタ	(注1)	?
49 ₁₆		(注1)	?
4A ₁₆	タイマA2レジスタ	(注1)	?
4B ₁₆		(注1)	?
4C ₁₆	タイマA3レジスタ	(注1)	?
4D ₁₆		(注1)	?
4E ₁₆	タイマA4レジスタ	(注1)	?
4F ₁₆		(注1)	?
50 ₁₆	タイマB0レジスタ	(注2)	?
51 ₁₆		(注2)	?
52 ₁₆	タイマB1レジスタ	(注2)	?
53 ₁₆		(注2)	?
54 ₁₆	タイマB2レジスタ	(注2)	?
55 ₁₆		(注2)	?
56 ₁₆	タイマA0モードレジスタ	RW	00 ₁₆
57 ₁₆	タイマA1モードレジスタ	RW	00 ₁₆
58 ₁₆	タイマA2モードレジスタ	RW	00 ₁₆
59 ₁₆	タイマA3モードレジスタ	RW	00 ₁₆
5A ₁₆	タイマA4モードレジスタ	RW	00 ₁₆
5B ₁₆	タイマB0モードレジスタ	RW (注3) RW	0 0 ? ? 0 0 0 0
5C ₁₆	タイマB1モードレジスタ	RW (注3) RW	0 0 ? ? 0 0 0 0
5D ₁₆	タイマB2モードレジスタ	RW (注3) RW	0 0 ? ? 0 0 0 0
5E ₁₆	プロセッサモードレジスタ0	RW WO RW	(注4) 0 0 0 1 0 (注4) 0
5F ₁₆	プロセッサモードレジスタ1(注5)	RW RW (注6) RW RW (注6) (注7) RW	0 0 (注4) 0 0

- 注1. 46₁₆～4F₁₆番地のアクセス特性は、タイマAの動作モードによって異なります（「第9章 タイマA」参照）。
- 2. 50₁₆～55₁₆番地のアクセス特性は、タイマBの動作モードによって異なります（「第10章 タイマB」参照）。
- 3. 5B₁₆～5D₁₆番地のビット5のアクセス特性は、タイマBの動作モードによって異なります（「第10章 タイマB」参照）。
- 4. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。
- 5. ROM外付け版では、ビット7には何も配置されていません。読み出し時の値は“0”です。
- 6. リセット後、一度だけ“1”にできます。メモリ拡張モード又はマイクロプロセッサモードで、かつ、これらのビットが“1”の状態からシングルチップモードに変更すると、これらのビットは“0”になります。その後“1”にできません。
- 7. リセット後、一度だけ内容を変更できます（ソフトウェアの途中で切り替えないでください）。

図4.3.4 リセット直後のSFR領域、及び内部RAM領域の状態(3)

番地	レジスタ名	アクセス特性		リセット直後の状態						
		b7	b0	b7	b0					
60 ₁₆	監視タイマレジスタ	(注1)		?(注2)						
61 ₁₆	監視タイマ周波数選択レジスタ	RW	RW	0	0	?			0	
62 ₁₆	特殊機能選択レジスタ0	RW		0	0	0	0	0	0	0
63 ₁₆	特殊機能選択レジスタ1	RW	RW	0	0	0	0	0	0	(注5)
64 ₁₆	特殊機能選択レジスタ2			?						
65 ₁₆		(注6)		?						
66 ₁₆		(注6)		?						
67 ₁₆		(注6)		?						
68 ₁₆				?						
69 ₁₆				?						
6A ₁₆				?						
6B ₁₆				?						
6C ₁₆				?						
6D ₁₆				?						
6E ₁₆	INT3割り込み制御レジスタ		RW	?	0	0	0	0	0	0
6F ₁₆	INT4割り込み制御レジスタ		RW	?	0	0	0	0	0	0
70 ₁₆	A-D変換割り込み制御レジスタ		RW	?	?	0	0	0	0	0
71 ₁₆	UART0送信割り込み制御レジスタ		RW	?	0	0	0	0	0	0
72 ₁₆	UART0受信割り込み制御レジスタ		RW	?	0	0	0	0	0	0
73 ₁₆	UART1送信割り込み制御レジスタ		RW	?	0	0	0	0	0	0
74 ₁₆	UART1受信割り込み制御レジスタ		RW	?	0	0	0	0	0	0
75 ₁₆	タイマA0割り込み制御レジスタ		RW	?	0	0	0	0	0	0
76 ₁₆	タイマA1割り込み制御レジスタ		RW	?	0	0	0	0	0	0
77 ₁₆	タイマA2割り込み制御レジスタ		RW	?	0	0	0	0	0	0
78 ₁₆	タイマA3割り込み制御レジスタ		RW	?	0	0	0	0	0	0
79 ₁₆	タイマA4割り込み制御レジスタ		RW	?	0	0	0	0	0	0
7A ₁₆	タイマB0割り込み制御レジスタ		RW	?	0	0	0	0	0	0
7B ₁₆	タイマB1割り込み制御レジスタ		RW	?	0	0	0	0	0	0
7C ₁₆	タイマB2割り込み制御レジスタ		RW	?	0	0	0	0	0	0
7D ₁₆	INT0割り込み制御レジスタ		RW	?	0	0	0	0	0	0
7E ₁₆	INT1割り込み制御レジスタ		RW	?	0	0	0	0	0	0
7F ₁₆	INT2割り込み制御レジスタ		RW	?	0	0	0	0	0	0

- 注1. 60₁₆番地に対して書き込み命令を実行すると、監視タイマに“FFF₁₆”が設定されます。書き込んだ値はどこにも残りません。
2. 監視タイマには“FFF₁₆”が設定されます(「第15章 監視タイマ」参照)。
3. 62₁₆番地に対して“55₁₆”を書き込んだ後、各ビットに対して設定してください。
4. 読み出すとビットの状態が読み出せます。“0”を書き込むと“0”になります。“1”を書き込んででも変化しません。
5. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。
6. 書き込み禁止。

図4.3.5 リセット直後のSFR領域、及び内部RAM領域の状態(4)

番地	レジスタ名	アクセス特性				リセット直後の状態							
		b7			b0	b7			b0				
80 ₁₆	CS ₀ 制御レジスタL	RW		RW	RO	RW	RW	(注1) 1	0	0	(注2) 1	0	
81 ₁₆	CS ₀ 制御レジスタH	RW					RW	1	0	0	0	1	
82 ₁₆	CS ₁ 制御レジスタL	RW					RW	0	1	0	0	0	
83 ₁₆	CS ₁ 制御レジスタH	RW		RW			RW	0	0	0	0	0	
84 ₁₆	CS ₂ 制御レジスタL	RW					RW	0	1	0	0	0	
85 ₁₆	CS ₂ 制御レジスタH	RW		RW			RW	0	0	0	0	0	
86 ₁₆	CS ₃ 制御レジスタL	RW					RW	0	1	0	0	1	
87 ₁₆	CS ₃ 制御レジスタH						RW	0	0	0	0	0	
88 ₁₆								?					
89 ₁₆								?					
8A ₁₆	CS ₀ 領域先頭アドレスレジスタ			RW				0	0	0	1	0	0
8B ₁₆								?					
8C ₁₆	CS ₁ 領域先頭アドレスレジスタ			RW				0	0	0	0	0	0
8D ₁₆								?					
8E ₁₆	CS ₂ 領域先頭アドレスレジスタ			RW				0	0	0	0	0	0
8F ₁₆								?					
90 ₁₆	CS ₃ 領域先頭アドレスレジスタ			RW				0	0	0	0	0	0
91 ₁₆								?					
92 ₁₆	ポート機能制御レジスタ			RW				0	0	0	0	0	0
93 ₁₆								?					
94 ₁₆	外部割り込み入力制御レジスタ			RW				0	0	0	0	0	0
95 ₁₆	外部割り込み入力読み出しレジスタ			RO				?					
96 ₁₆	D-A制御レジスタ					RW	RW	?			0	0	
97 ₁₆								?					
98 ₁₆	D-Aレジスタ0			RW				00 ₁₆					
99 ₁₆	D-Aレジスタ1			RW				00 ₁₆					
9A ₁₆				(注3)				?					
9B ₁₆				(注3)				?					
9C ₁₆				(注3)				?					
9D ₁₆				(注3)				?					
9E ₁₆	フラッシュメモリ制御レジスタ(注4)					RW	RO	0	0	0	0	0	1
9F ₁₆								?					

注1. MD0端子にV_{ss}レベルを印加しているときは“0”、V_{cc}レベルを印加しているときは“1”になります。
 2. BYTE端子にV_{ss}レベルを印加しているときは“0”、V_{cc}レベルを印加しているときは“1”になります。
 3. 書き込み禁止。
 4. フラッシュメモリ内蔵版(「第18章 フラッシュメモリ内蔵版」参照)にだけ配置されています。
 マスクROM内蔵版、ROM外付け版では書き込み禁止です。

図4.3.6 リセット直後のSFR領域、及び内部RAM領域の状態(5)

番地	レジスタ名	アクセス特性		リセット直後の状態								
		b7	b0	b7	b6	b5	b4	b3	b2	b1	b0	
A0 ₁₆	リアルタイム出力制御レジスタ		RW	0	0	0	0	0	0	0	0	0
A1 ₁₆												?
A2 ₁₆	パルス出力データレジスタ0		WO									?
A3 ₁₆												?
A4 ₁₆	パルス出力データレジスタ1		WO									?
A5 ₁₆												?
A6 ₁₆												?
A7 ₁₆												?
A8 ₁₆												?
A9 ₁₆												?
AA ₁₆												?
AB ₁₆												?
AC ₁₆	シリアルI/O端子制御レジスタ		RW	0	0	0	0	0	0	0	0	0
AD ₁₆												?
AE ₁₆												?
AF ₁₆												?
B0 ₁₆												?
B1 ₁₆												?
B2 ₁₆												?
B3 ₁₆												?
B4 ₁₆												?
B5 ₁₆												?
B6 ₁₆												?
B7 ₁₆												?
B8 ₁₆												?
B9 ₁₆												?
BA ₁₆			(注1)									?
BB ₁₆			(注1)									?
BC ₁₆	クロック制御レジスタ		RW	0	0	0	0	0	1	1		(注2)
BD ₁₆			(注1)									?
BE ₁₆			(注1)									?
BF ₁₆			(注1)									?

注1．書き込み禁止。

2．CDSEL端子にV_{ss}レベルを印加しているときは“0”、V_{cc}レベルを印加又は開放しているときは“1”になります。

内部RAM領域

- ハードウェアリセット時・・・・・・・・・・・・・・・・リセット直前の状態を保持（注3）
- ソフトウェアリセット時・・・・・・・・・・・・・・・・リセット直前の状態を保持
- ストップモード解除時、及びウエイトモード解除時（ハードウェアリセットによって解除した場合）
- ・・・・・・・・STP命令、又はWIT命令実行前の状態を保持
- パワーオンリセット時・・・・・・・・・・・・・・・・不 定

注3．内部RAM領域に書き込みを行っているときにリセットすると、書き込みの終了を待たずにマイクロコンピュータがリセットされるため、書き込みを行っていた領域の内容は不定になります。

図4.3.7 リセット直後のSFR領域、及び内部RAM領域の状態(6)

4.4 リセット後の内部処理シーケンス

図4.4.1にリセット後の内部処理シーケンスを示します。

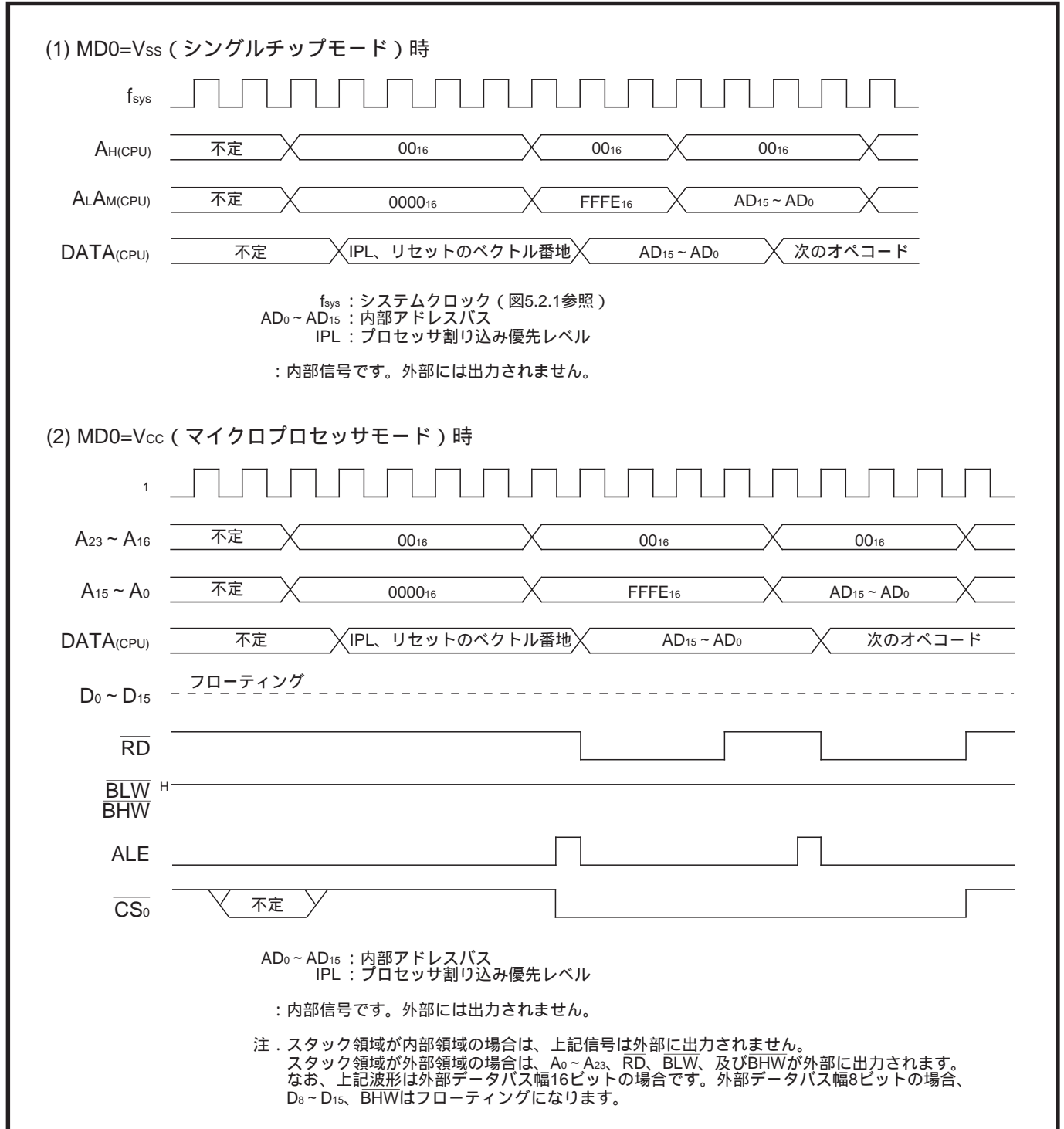


図4.4.1 リセット後の内部処理シーケンス

Memo

第 5 章

クロック発生回路

- 5.1 発振回路例
- 5.2 クロック

5.1 発振回路例

発振回路には発振子(セラミック共振子、又は水晶発振子)を接続、又は外部で生成されたクロックを入力してください。発振回路例を以下に示します。

5.1.1 発振子の接続例

図5.1.1にX_{IN}端子とX_{OUT}端子の間に発振子を接続した例を示します。図中のR_f、R_d、C_{IN}、C_{OUT}などの回路定数は、発振子によって異なります。発振子メーカーの推奨する値に設定してください。

発振子を接続する場合は、クロック外部入力選択ビット(62₁₆番地のビット1)を“0”にしてください。

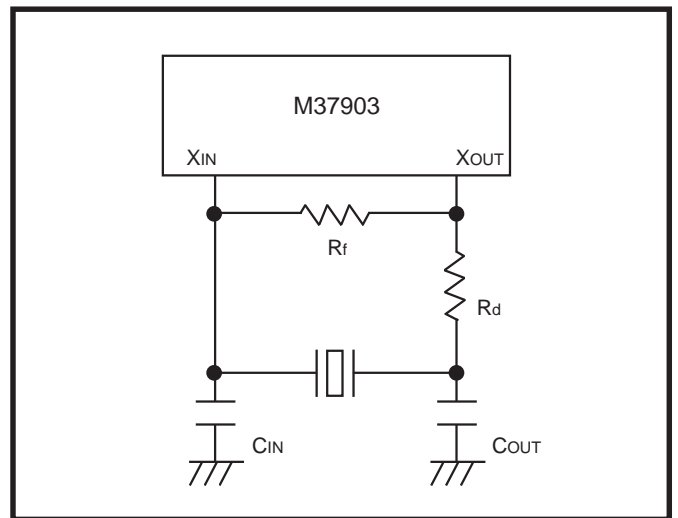


図5.1.1 発振子の接続例

5.1.2 外部で生成されたクロックの入力例

図5.1.2に外部で生成されたクロックの入力例を示します。この場合、X_{IN}端子に外部で生成されたクロックを入力し、X_{OUT}端子は開放してください。また、クロック外部入力選択ビット(62₁₆番地のビット1)を“1”にしてください。このとき、X_{IN}端子とX_{OUT}端子の間の内部回路が停止するため消費電流が低減します(「第17章 低消費電力機能」参照)。

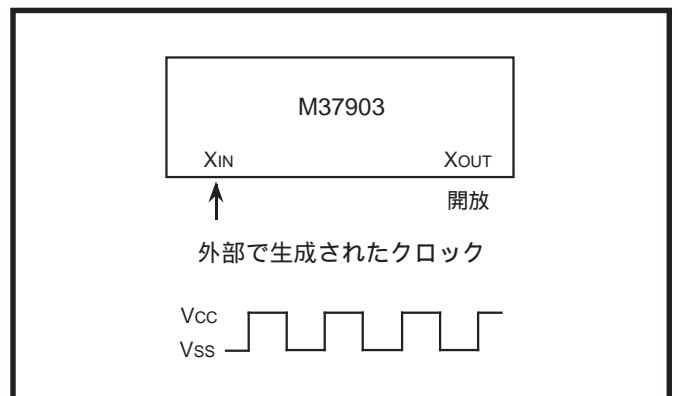


図5.1.2 外部で生成されたクロックの入力例

5.1.3 CDSEL端子

CDSEL端子への入力レベルによって、X_{IN}端子への入力レベル及びX_{IN}入力クロック分周選択ビット(BC₁₆番地のビット0)のリセット時の値を切り替えることができます。表5.1.1にCDSEL端子の機能を示します。

表5.1.1 CDSEL端子の機能

CDSEL端子の状態(注1)	X _{IN} 入力クロック分周選択ビットのリセット時の値(注2)	X _{IN} 端子への入力レベル
V _{SS} レベルを印加	“ 0 ” (システムクロックとしてf _{X_{IN}} の2分周クロックを選択)	V _{IH} = 0.43V _{CC}
		V _{IL} = 0.16V _{CC}
V _{CC} レベルを印加又は開放	“ 1 ” (システムクロックとしてf _{X_{IN}} を選択)	V _{IH} = 0.8V _{CC}
		V _{IL} = 0.16V _{CC}

注1 . CDSEL端子の状態は、マイクロコンピュータ動作中に変更しないでください。

2 . リセット後は、CDSEL端子の状態にかかわらず、X_{IN}入力クロック分周選択ビットの状態を変更できます。

5.2 クロック

図5.2.1にクロック発生回路のブロック図を示します。

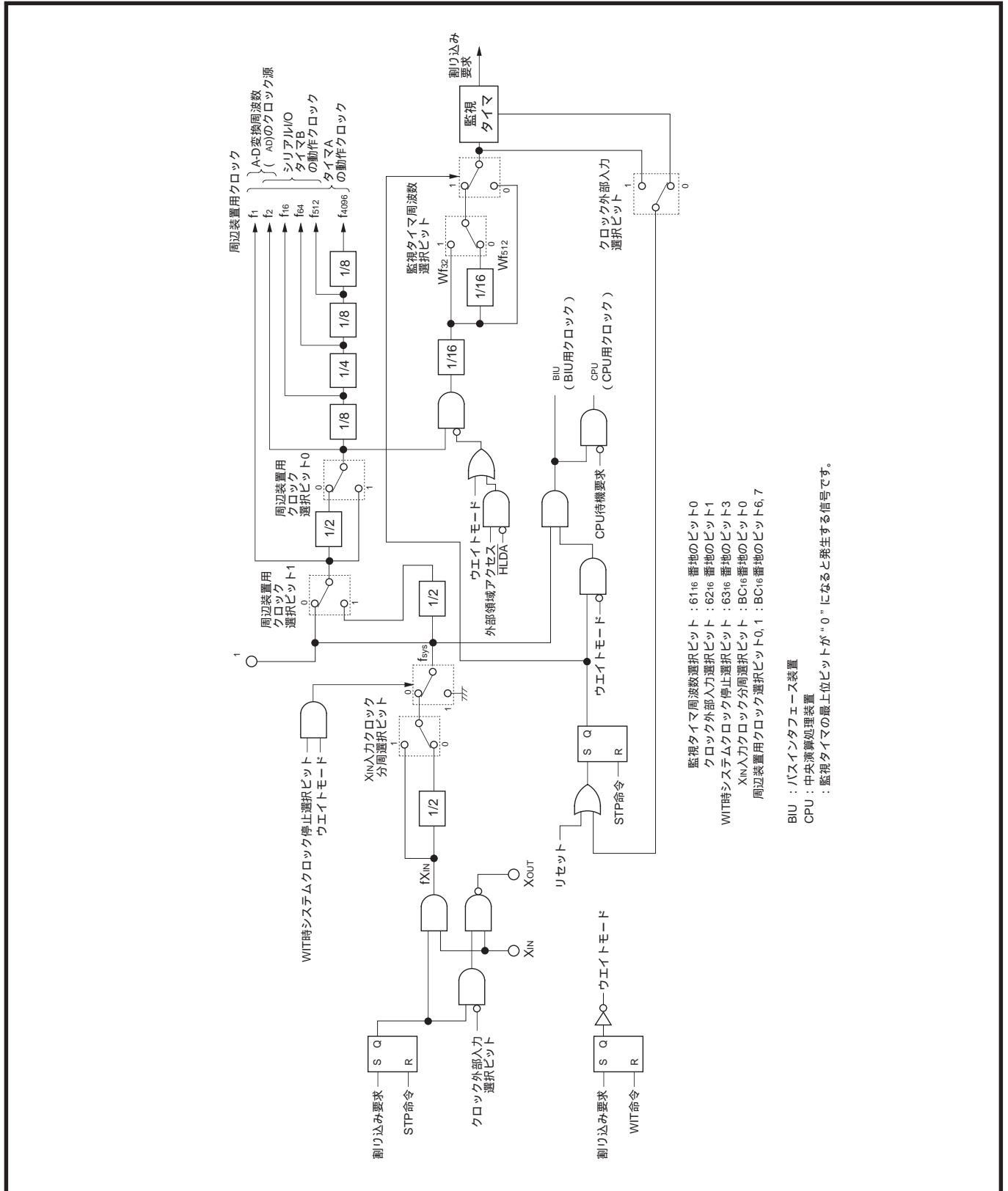


図5.2.1 クロック発生回路ブロック図

5.2.1 クロック発生回路で発生するクロック

(1) f_{XIN}

X_{IN} 端子からの入力クロックです。

(2) f_{sys}

CPU、BIU及び内蔵周辺装置のクロック源となるシステムクロックです。
 f_{XIN} を f_{sys} とするか、 f_{XIN} の2分周を f_{sys} とするかを、ソフトウェアで選択できます。

(3) CPU

CPUの動作クロックです。

(4) BIU

BIUの動作クロックです。

(5) クロック f_{P41}

f_{sys} と同じ周期のクロックです。このクロックはP41/ f_{P41} 端子から外部に出力されます。

(6) f_1 、 f_2 、 f_{16} 、 f_{64} 、 f_{512} 、 f_{4096}

内蔵周辺装置の動作クロックです。

(7) Wf_{32} 、 Wf_{512}

監視タイマの動作クロックです。 f_2 をクロック源とします。

5.2.2 クロック制御レジスタ

図5.2.2にクロック制御レジスタのレジスタ構成を示します。

クロック制御レジスタ【BC ₁₆ 番地】			b7 b6 b5 b4 b3 b2 b1 b0						
					0	0	0	1	1
ビット	ビット名	機能	リセット時		R/W				
0	X _{IN} 入力クロック分周選択ビット	0 : 2分周あり(f _{sys} はf _{X_{IN}} の2分周) 1 : 2分周なし(f _{sys} はf _{X_{IN}})	(注)		RW				
1	“1”に固定してください		1		RW				
2			1		RW				
3			0		RW				
4	“0”に固定してください		0		RW				
5			0		RW				
6	周辺装置用クロック選択ビット0	表5.2.2参照	0		RW				
7	周辺装置用クロック選択ビット1		0		RW				

注 . CDSEL端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加又は開放しているときは“1”になります。

図5.2.2 クロック制御レジスタのレジスタ構成

(1) X_{IN}入力クロック分周選択ビット(ビット0)

f_{sys}のクロック源を選択するビットです。このビットが“0”のときf_{X_{IN}}の2分周がf_{sys}に、このビットが“1”のときf_{X_{IN}}がf_{sys}になります(表5.2.1参照)。

表5.2.1 f_{sys}の選択

X _{IN} 入力クロック分周選択ビット (ビット0)	f _{sys} の周波数
0	f(X _{IN})/2
1	f(X _{IN})

(2) 周辺装置用クロック選択ビット1、α(ビット7、6)

これらのビットにより、表5.2.2に示す内蔵周辺装置の動作クロックの周波数が選択できます。

表5.2.2 内蔵周辺装置動作クロックの周波数

内蔵周辺装置 動作クロック	周辺装置用クロック選択ビット1、0			
	00	01	10	11
f ₁	f _{sys}	f _{sys}	f _{sys} の2分周	選択禁止
f ₂	f _{sys} の2分周	f _{sys}	f _{sys} の4分周	
f ₁₆	f _{sys} の16分周	f _{sys} の8分周	f _{sys} の32分周	
f ₆₄	f _{sys} の64分周	f _{sys} の32分周	f _{sys} の128分周	
f ₅₁₂	f _{sys} の512分周	f _{sys} の256分周	f _{sys} の1024分周	
f ₄₀₉₆	f _{sys} の4096分周	f _{sys} の2048分周	f _{sys} の8192分周	

5.2.3 特殊機能選択レジスタ0

図5.2.4に特殊機能選択レジスタ0のレジスタ構成を、図5.2.5に特殊機能選択レジスタ0への書き込み手順を示します。

特殊機能選択レジスタ0【62 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	0	0	0	0	0
ビット	ビット名	機能	リセット時	R/W							
0	STP命令無効選択ビット	0 : STP命令有効 1 : STP命令無効	0	RW (注1)							
1	クロック外部入力選択ビット	0 : 発振回路動作(発振子を接続) ストップモード解除時、監視タイマを使用する 1 : 発振回路停止(外部で生成されたクロックを入力) ストップモード解除時、監視タイマを使用しない	0	RW (注1,2)							
7~2	"0"に固定してください		0	RW							

注1. これらのビットに書き込むときは、このレジスタに"55₁₆"を書き込んだ後、続けて各ビットに対して"0"又は"1"を書き込んでください("55₁₆"の書き込みでは、ビットの状態は変化しません)。また、このレジスタへの書き込みには、MOVMB命令、STAB命令、又はm=1でMOVMB命令、STA命令を使用してください。

"55₁₆"の書き込みと、次の"0"又は"1"の書き込みの間で割り込みが発生すると、"0"又は"1"の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、"0"又は"1"を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

2. 外部で生成されたクロックをX_M端子に入力する場合は、このビットを"1"にしてください。

図5.2.4 特殊機能選択レジスタ0のレジスタ構成

(1)クロック外部入力選択ビット(ビット1)

このビットを“1”にすると、X_{IN}端子とX_{OUT}端子の間の発振用ドライバ回路が停止し、X_{OUT}端子の出力レベルが“H”に固定されます(「17.4 発振回路停止」参照)。また、割り込み要求発生によるストップモード解除時、監視タイマを使用しません。

発振子を接続する場合は“0”に、外部で生成されたクロックをX_{IN}端子に入力する場合は“1”にしてください。

このビットに書き込むときは、62₁₆番地に“55₁₆”を書き込んだ後、続けて“0”又は“1”を書き込んでください(図5.2.5参照)。

また、“55₁₆”の書き込みと、次の“0”又は“1”の書き込みの間で割り込みが発生すると、“0”又は“1”の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、“0”又は“1”を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

なお、特殊機能選択レジスタ(64₁₆番地)で監視タイマを禁止していても、このビットが“0”の場合は、ストップモード解除時だけ監視タイマが動作します(「16.3 ストップモード」参照)。

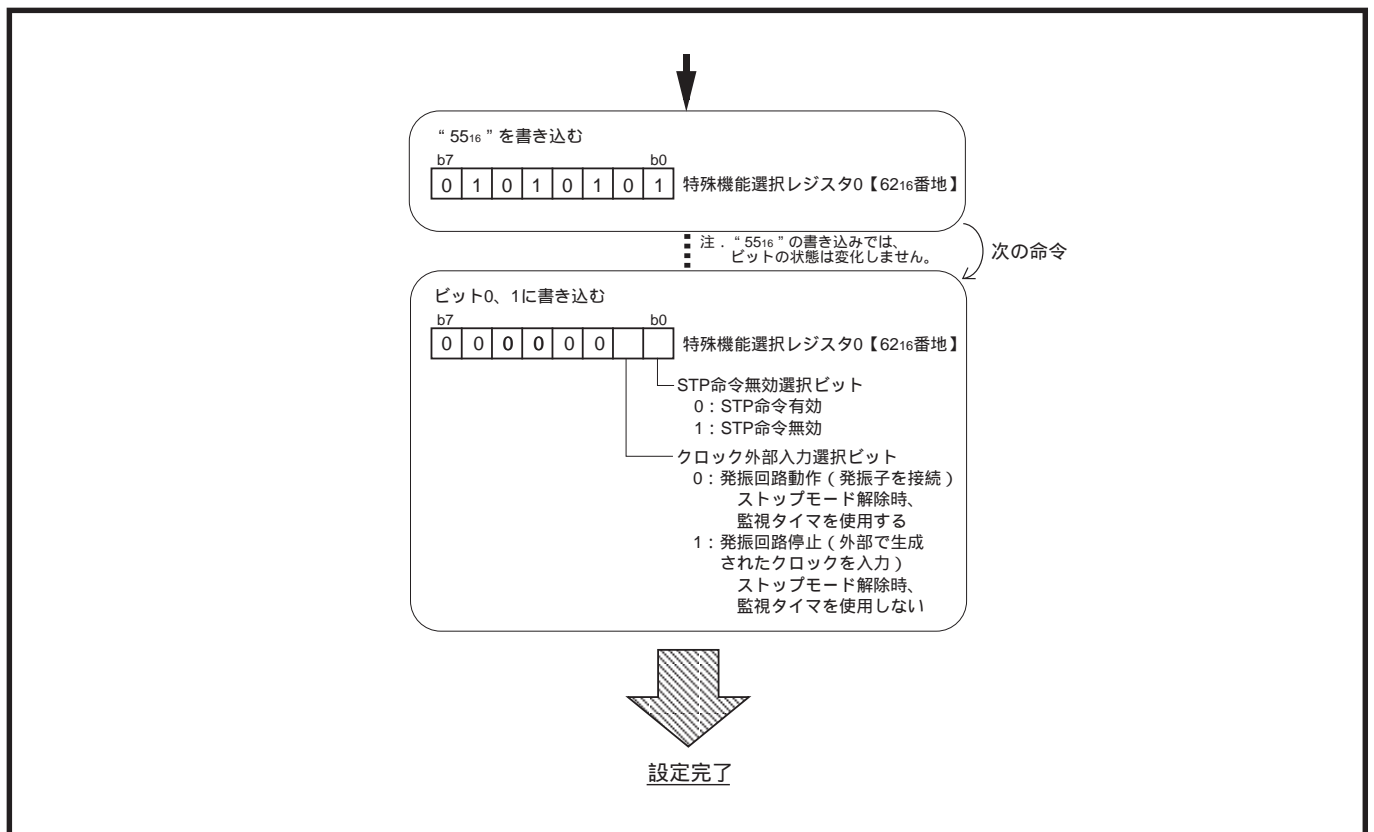


図5.2.5 特殊機能選択レジスタ0への書き込み手順

第 6 章

入出力端子

- 6.1 概 要
- 6.2 プログラマブル入出力ポート
- 6.3 未使用端子の処理例
- 6.4 I/O拡張例

6.1 概要

入出力端子はプログラマブル入出力、内蔵周辺装置の入出力、外部バスなどの機能を持ちます。

各入出力端子の基本機能については「1.3 端子の機能説明」を、内蔵周辺装置の入出力機能については各内蔵周辺装置の章を、外部アドレスバス・外部データバス・バス制御信号などについては、「第3章 外部デバイス接続」を参照してください。

この章では、プログラマブル入出力ポート、及び未使用端子の処理例について説明します。

6.2 プログラマブル入出力ポート

プログラマブル入出力ポートは、SFR領域に方向レジスタ、及びポートレジスタを持ちます。図6.2.1に方向レジスタ、及びポートレジスタのメモリ配置図を示します。

番地	
2 ₁₆	ポートP0レジスタ
3 ₁₆	ポートP1レジスタ
4 ₁₆	ポートP0方向レジスタ
5 ₁₆	ポートP1方向レジスタ
6 ₁₆	ポートP2レジスタ
7 ₁₆	ポートP3レジスタ
8 ₁₆	ポートP2方向レジスタ
9 ₁₆	ポートP3方向レジスタ
A ₁₆	ポートP4レジスタ
B ₁₆	ポートP5レジスタ
C ₁₆	ポートP4方向レジスタ
D ₁₆	ポートP5方向レジスタ
E ₁₆	ポートP6レジスタ
F ₁₆	ポートP7レジスタ
10 ₁₆	ポートP6方向レジスタ
11 ₁₆	ポートP7方向レジスタ
12 ₁₆	ポートP8レジスタ
13 ₁₆	
14 ₁₆	ポートP8方向レジスタ
15 ₁₆	
16 ₁₆	ポートP10レジスタ
17 ₁₆	ポートP11レジスタ
18 ₁₆	ポートP10方向レジスタ
19 ₁₆	ポートP11方向レジスタ

図6.2.1 方向レジスタ、及びポートレジスタのメモリ配置図

6.2.1 方向レジスタ

プログラマブル入出力ポートの入出力方向を選択するためのレジスタです。このレジスタの各ビットはそれぞれ端子1本ずつに対応しています。図6.2.2にポートP($i=0\sim 8、10、11$)方向レジスタのレジスタ構成を示します。

ポートPi方向レジスタ ($i = 0 \sim 8、10、11$)			b7 b6 b5 b4 b3 b2 b1 b0																	
【4 ₁₆ 、5 ₁₆ 、8 ₁₆ 、9 ₁₆ 、C ₁₆ 、D ₁₆ 、10 ₁₆ 、11 ₁₆ 、14 ₁₆ 、18 ₁₆ 、19 ₁₆ 番地】			<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	ビット名	機能	リセット時		R/W															
0	ポートPi ₀ 方向レジスタ	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	0		RW															
1	ポートPi ₁ 方向レジスタ		0		RW															
2	ポートPi ₂ 方向レジスタ		0		RW															
3	ポートPi ₃ 方向レジスタ		0		RW															
4	ポートPi ₄ 方向レジスタ		0		RW															
5	ポートPi ₅ 方向レジスタ		0		RW															
6	ポートPi ₆ 方向レジスタ		0		RW															
7	ポートPi ₇ 方向レジスタ		0		RW															

注．ポートP3方向レジスタのビット4～7には何も配置されていません。また、読み出し時の値は“0”です。

図6.2.2 ポートP($i=0\sim 8、10、11$)方向レジスタのレジスタ構成

6.2.2 ポートレジスタ

外部とのデータの入出力は、ポートレジスタにデータを書き込む、又はポートレジスタからデータを読み出すことによって行います。ポートレジスタは出力データを保持するポートラッチ、及び端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。図6.2.3にポートP $(i = 0 \sim 8, 10, 11)$ レジスタのレジスタ構成を示します。

出力モードに設定したプログラマブル入出力ポートからデータを出力する場合

ポートレジスタの対応ビットにデータを書き込むと、そのデータはポートラッチに書き込まれます。ポートラッチの内容に従って、端子からデータが出力されます。

出力モードに設定したポートのポートレジスタを読み出した場合は、端子の状態ではなく、ポートラッチの内容が読み込まれます。したがって、出力データを、外部負荷などの影響を受けずに、正しく読み込みます(図6.2.4、図6.2.5参照)。

入力モードに設定したプログラマブル入出力ポートからデータを入力する場合

入力モードに設定した端子はフローティングになります。ポートレジスタの対応ビットを読み出すと、端子から入力されるデータが読み込みます。

入力モードに設定したポートのポートレジスタに書き込んだ場合は、そのデータはポートラッチに書き込まれるだけで、外部には出力されません(注)。端子はフローティング状態を保ちます。

注. 入力モードに設定したポートのポートレジスタに対してリードモディファイライト命令を実行した場合は、端子から入力されたデータに対して命令を実行し、その結果をポートレジスタに書き込むことになります。

ポートPiレジスタ (i = 0 ~ 8, 10, 11)		b7 b6 b5 b4 b3 b2 b1 b0																	
【2 ₁₆ 、3 ₁₆ 、6 ₁₆ 、7 ₁₆ 、A ₁₆ 、B ₁₆ 、E ₁₆ 、F ₁₆ 、12 ₁₆ 、16 ₁₆ 、17 ₁₆ 番地】		<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	ビット名	機能			リセット時	R/W													
0	ポートPi ₀ 端子	対応ビットの読み出し及び書き込みで、対応する端子のデータ入出力を行う 0 : Lレベル 1 : Hレベル			不定	RW													
1	ポートPi ₁ 端子				不定	RW													
2	ポートPi ₂ 端子				不定	RW													
3	ポートPi ₃ 端子				不定	RW													
4	ポートPi ₄ 端子				不定	RW													
5	ポートPi ₅ 端子				不定	RW													
6	ポートPi ₆ 端子				不定	RW													
7	ポートPi ₇ 端子				不定	RW													

注. ポートP3レジスタのビット4~7には何も配置されていません。また、読み出し時の値は"0"です。

図6.2.3 ポートP $(i = 0 \sim 8, 10, 11)$ レジスタのレジスタ構成

図6.2.4、図6.2.5にポート周辺回路を示します。

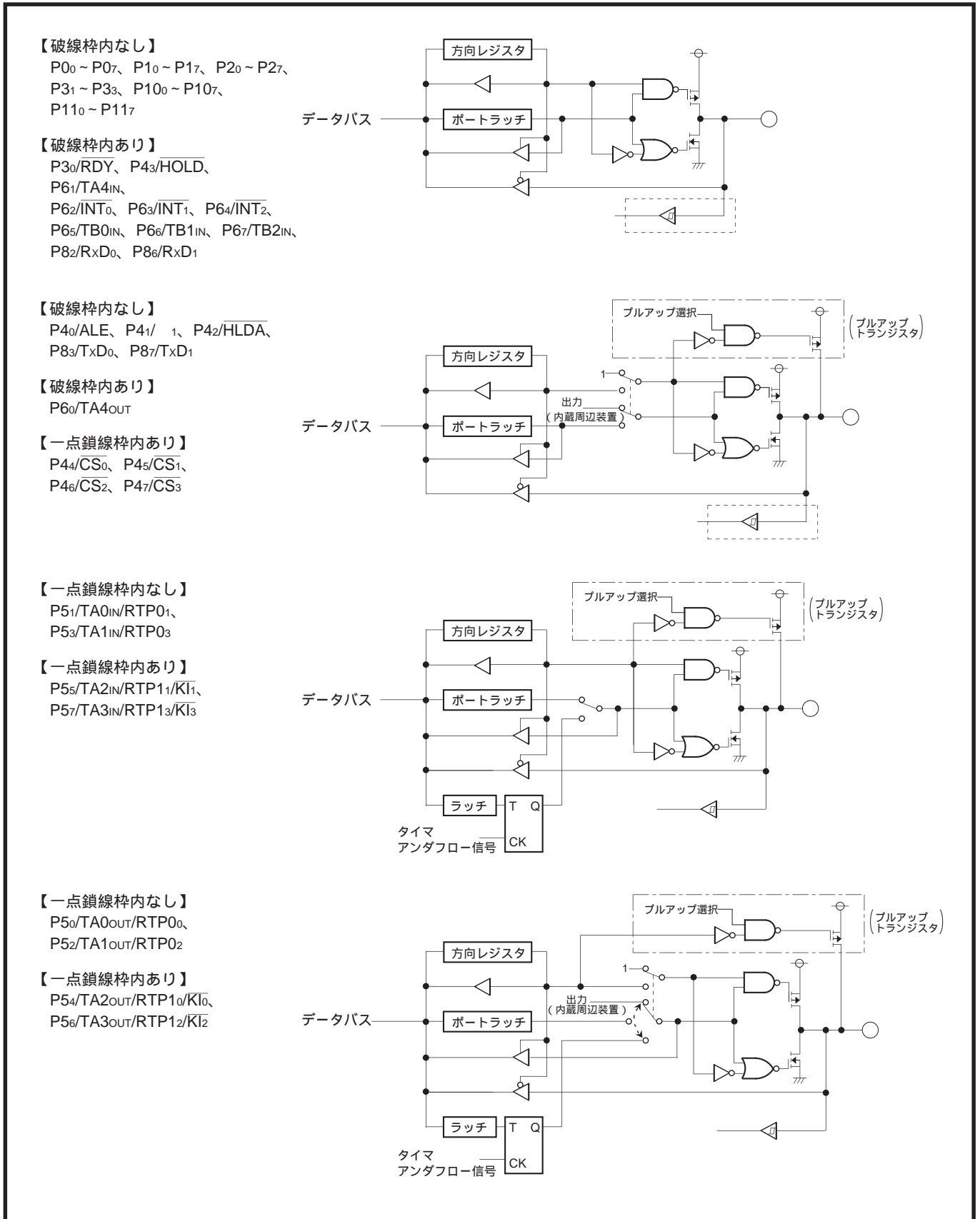


図6.2.4 ポート周辺回路(1)

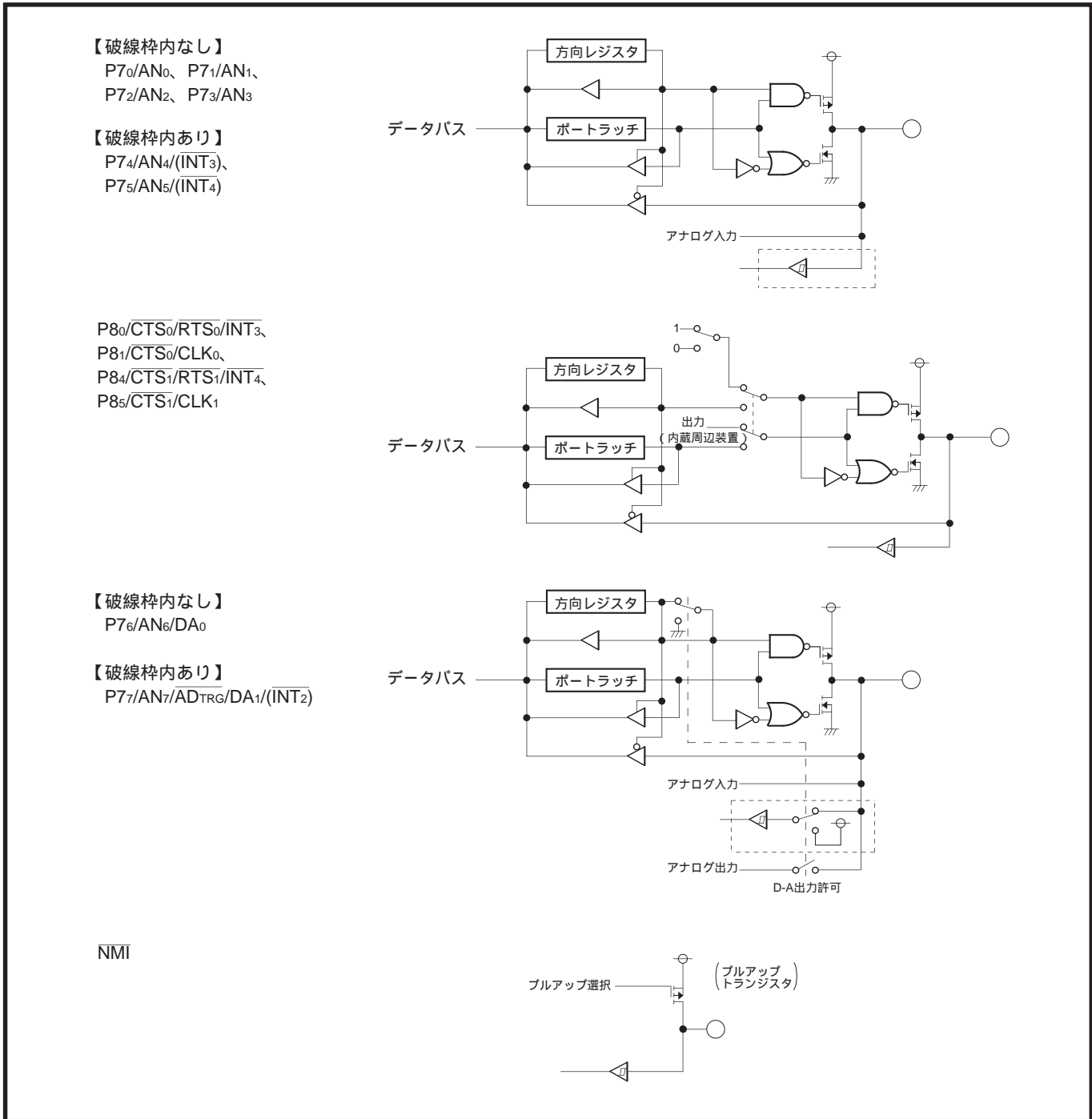


図6.2.5 ポート周辺回路(2)

6.2.3 選択機能

プログラマブル入出力ポートを使用する場合、以下の機能が選択できます。

ポートP0入力レベル選択

ポートP4₄～P4₇プルアップ選択

図6.2.6にポート機能制御レジスタのレジスタ構成を示します。

ポート機能制御レジスタ【92 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0							
		0 0							
ビット	ビット名	機能	リセット時	R/W					
0	アドレス/ポート切り替えビット	b2 b1 b0 0 0 0 : A ₀ ～A ₂₃ (16Mバイト)	0	RW					
1		0 0 1 : A ₀ ～A ₂₁ 、P0 ₆ 、P0 ₇ (4Mバイト)	0	RW					
2		0 1 0 : A ₀ ～A ₁₉ 、P0 ₄ ～P0 ₇ (1Mバイト)	0	RW					
		0 1 1 : A ₀ ～A ₁₇ 、P0 ₂ ～P0 ₇ (256Kバイト)							
3	ポートP0入力レベル選択ビット	1 0 0 : A ₀ ～A ₁₅ 、P0 ₀ ～P0 ₇ (64Kバイト)	0	RW					
		1 0 1 : 選択禁止							
		1 1 0 : A ₀ ～A ₁₁ 、P0 ₀ ～P0 ₇ 、P11 ₄ ～P11 ₇ (4Kバイト)							
4	P4 ₄ ～P4 ₇ プルアップ選択ビット	1 1 1 : A ₀ ～A ₇ 、P0 ₀ ～P0 ₇ 、P11 ₀ ～P11 ₇ (256バイト)	0	RW					
0 : P4 ₄ ～P4 ₇ をプルアップする 1 : P4 ₄ ～P4 ₇ をプルアップしない (注1、2)									
6、5	“0”に固定してください		0	RW					
7	NMI端子プルアップ選択ビット	0 : NMI端子をプルアップする 1 : NMI端子をプルアップしない (注1)	0	RW					

注1. パラレル入出力モード (MD1 = V_{CC}、MD0 = V_{CC}) 時は、これらのビットの内容にかかわらず、P4₄～P4₇及びNMI端子はプルアップされません。

2. マイクロプロセッサモード (MD1 = V_{SS}、MD0 = V_{CC}) 時は、このビットの内容にかかわらず、CS_α(P4₄)はプルアップされません。

図6.2.6 ポート機能制御レジスタのレジスタ構成

(1)ポートP0入力レベル選択ビット(ビット3)

このビットで、ポートP0の入力レベル(V_{IH}、V_{IL})を変更できます。ポートP0に接続する外部デバイスに合わせて設定してください。

(2)P4₄～P4₇プルアップ選択ビット(ビット4)

RESET端子のレベルが「L」の期間及びリセット後、このビットは「0」で、P4₄～P4₇はプルアップされます。したがって、外部にプルアップ抵抗を接続する必要がありません。

このビットを「1」にすると、プルアップは解除されます。

次のいずれかを設定すると、このビットの内容にかかわらず、プルアップが解除されます(ビットの内容は変化しません)。

- ・ 対応するP4₄～P4₇方向レジスタを「1」(出力モード)にする
- ・ 対応するCS₀～CS₃出力選択ビット(80₁₆、82₁₆、84₁₆、86₁₆番地のビット7)を「1」(CS₀～CS₃出力許可)にする

また、このビットの内容にかかわらず、パラレル入出力モード (MD1 = V_{CC}、MD0 = V_{CC}) 時はP4₄～P4₇が、マイクロプロセッサモード (MD1 = V_{SS}、MD0 = V_{CC}) 時はCS_α(P4₄)がプルアップされません。

パラレル入出力モードについては、「18.4 パラレル入出力モード」を参照してください。

6.3 未使用端子の処理例

入出力端子を使用しない場合は、各端子ごとに処理が必要です。未使用端子の処理例を以下に示します。ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、及び十分な評価をしてください。

6.3.1 シングルチップモード時

表6.3.1 シングルチップモード時の未使用端子の処理例

端子名	処理例
P0 ~ P3、P4 ₀ ~ P4 ₃ 、P5 ~ P8、P10、P11	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注1)
P4 ₄ ~ P4 ₇	入力モードに設定し開放(注2、3)
NMI(注2、4)、X _{OUT} (注5)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF} 、BYTE	V _{SS} に接続

注1. 出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

2. V_{SS}に接続しないでください。
3. P4₄ ~ P4₇プルアップ選択ビット(92₁₆番地のビット4)=0にしてください。
4. NMI端子プルアップ選択ビット(92₁₆番地のビット7)=0にしてください。
5. X_{IN}端子に外部で生成したクロックを入力しているとき。

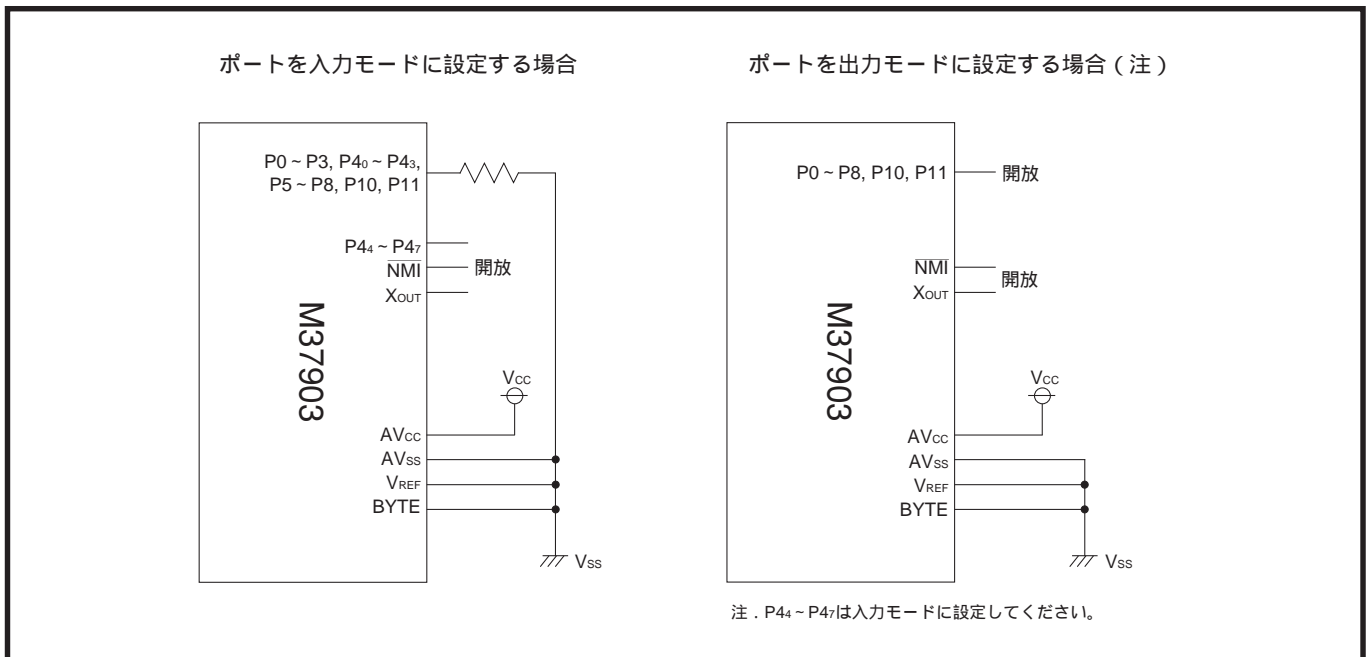


図6.3.1 シングルチップモード時の未使用端子の処理例

6.3.2 メモリ拡張モード時及びマイクロプロセッサモード時

表6.3.2 メモリ拡張モード時及びマイクロプロセッサモード時の未使用端子の処理例

端子名	処理例
P2(注1)、P3 ₀ 、P3 ₃ (注1)、P4 ₀ ~P4 ₃ 、P5~P8	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注2)
P4 ₄ ~P4 ₇	入力モードに設定し開放(注3、4)
NM \bar{I} (注3、5)、X _{OUT} (注6)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF}	V _{SS} に接続
(注7)、ALE(注7)、HLDA(注7)	開放
RDY(注7)、HOLD(注7)	抵抗を介してV _{CC} に接続

注1. BYTE端子にV_{CC}レベルを入力しているとき。

- 出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

- V_{SS}に接続しないでください。
- P4₄~P4₇プルアップ選択ビット(92₁₆番地のビット4)=0にしてください。
- NMI端子プルアップ選択ビット(92₁₆番地のビット7)=0にしてください。
- X_{IN}端子に外部で生成したクロックを入力しているとき。
- MD0端子にV_{CC}レベルを印加しているとき(ソフトウェアによってこれらの機能を禁止し、プログラマブル入出力ポートとして使用することもできます)。

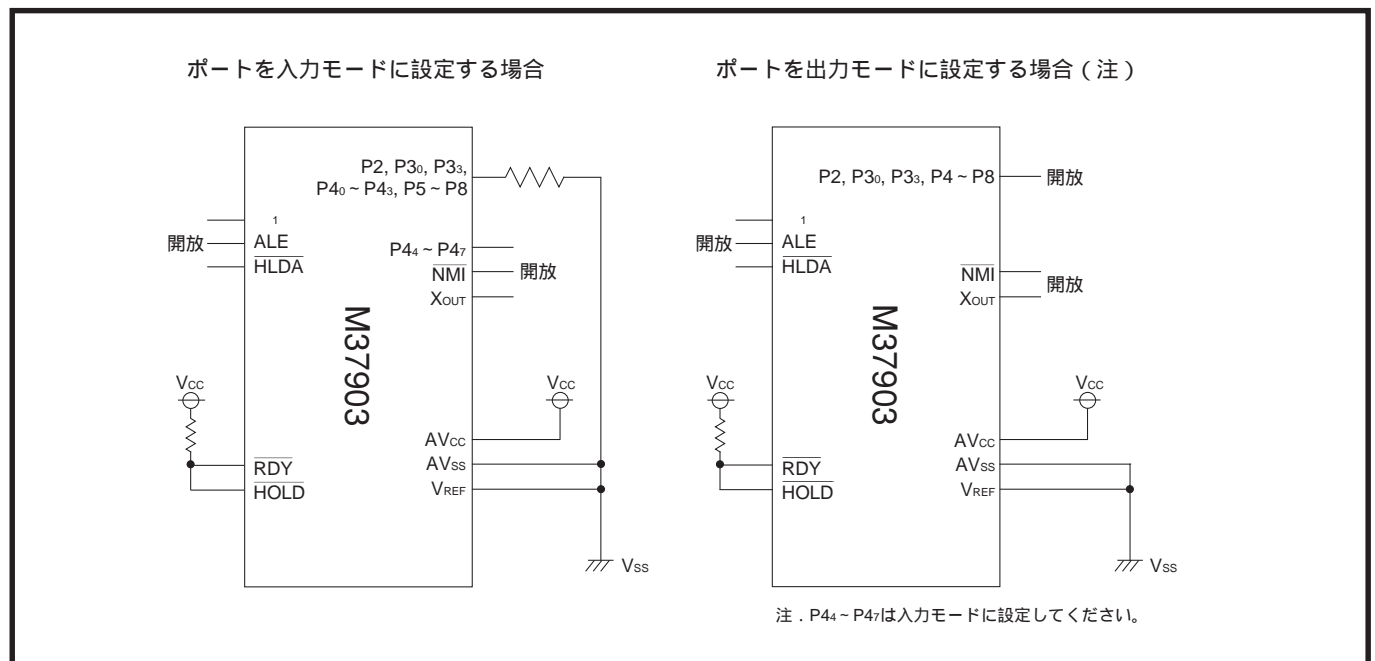


図6.3.2 メモリ拡張モード時及びマイクロプロセッサモード時の未使用端子の処理例

6.4 I/O拡張例

図6.4.1にM66010FPを用いたポート拡張例を示します。M66010FPのCLKパルス幅を満たすため、シリアルI/Oの転送クロックは1.923MHz以下にしてください。

以下に、この拡張例におけるシリアルI/Oの制御について説明します。

この拡張例では、UART0を使用して8ビットデータの送受信を3回行い、24ビットのポート拡張を実現しています。UART0の設定は以下のとおりです。

クロック同期形シリアルI/Oモード。送受信許可状態。
内部クロック選択。転送クロックの周波数は1.625MHz
LSBファースト

以下に制御手順を示します。

ポートP5₁から“ L ”レベルを出力(この信号によって、M66010FPの拡張入出力ポートがフローティングになる)。

ポートP5₁から“ H ”レベルを出力。

ポートP5₀から“ L ”レベルを出力

UART0を使用して、24ビットデータを送受信。

ポートP5₀から“ H ”レベルを出力。

図6.4.2にM37903-M66010FP間のシリアル転送タイミングを示します。

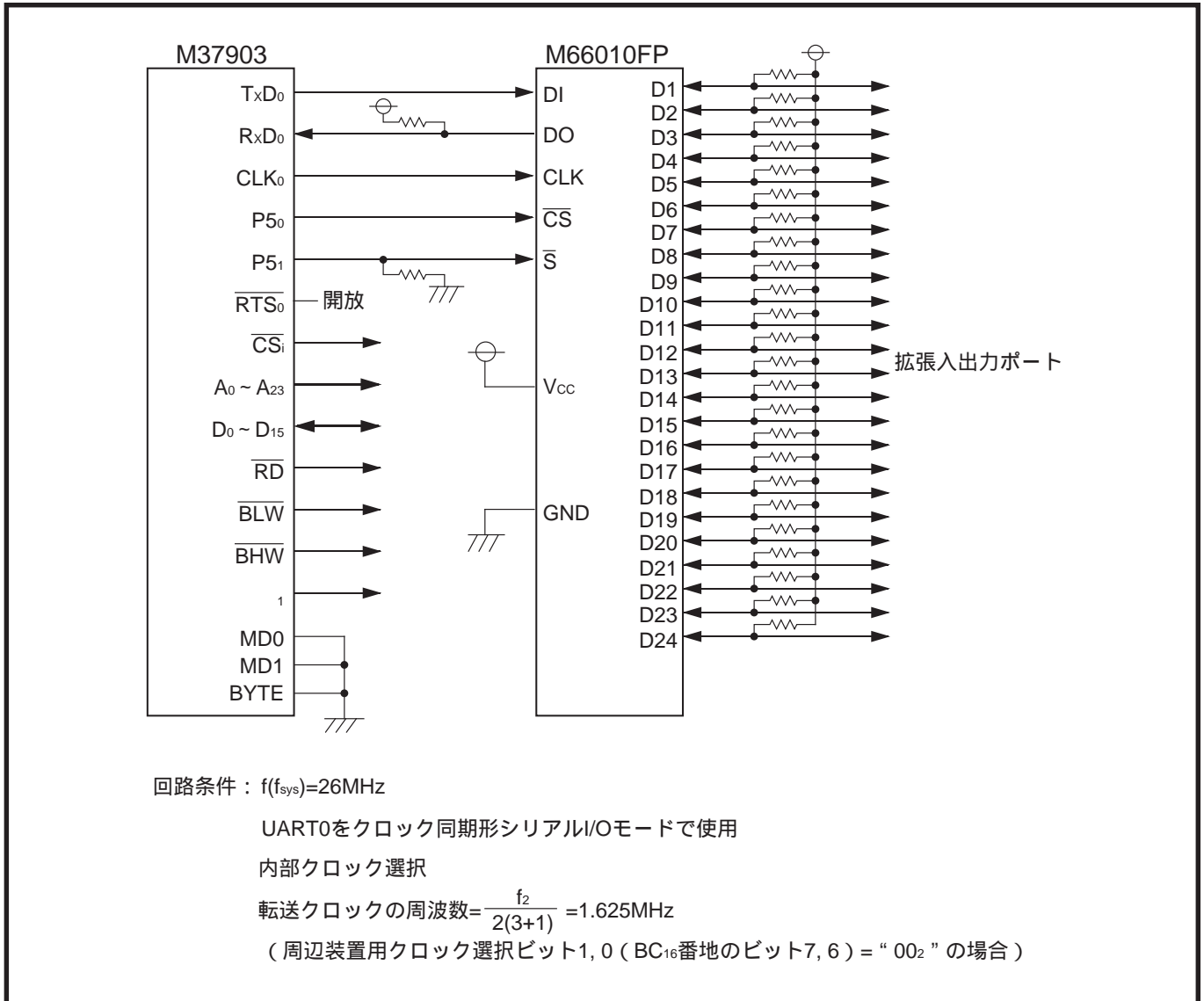


図6.4.1 M66010FPを用いたポート拡張例

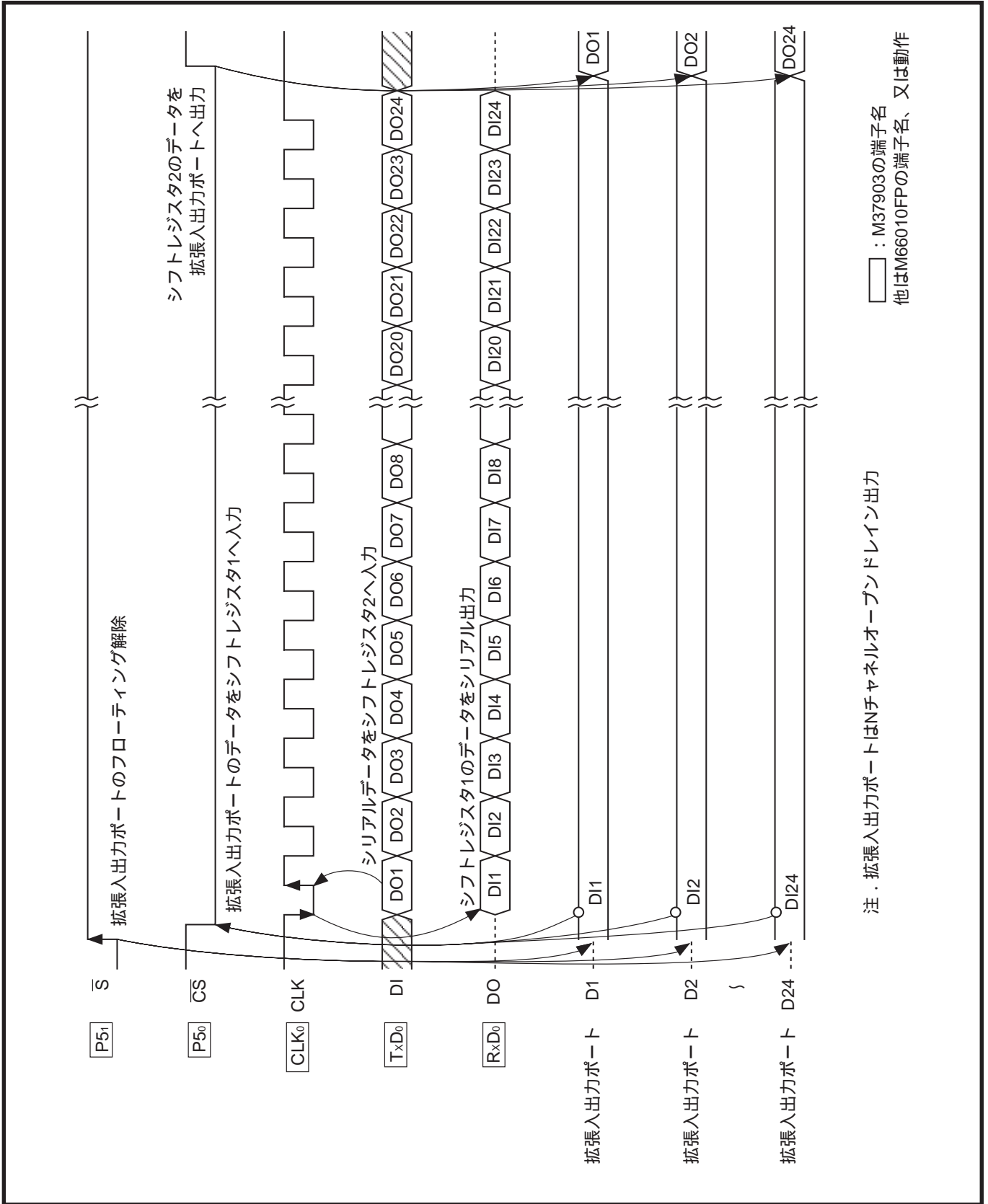


図6.4.2 M37903-M66010FP間のシリアル転送タイミング

第 7 章

割り込み

- 7.1 概 要
 - 7.2 割り込み要因
 - 7.3 割り込み制御
 - 7.4 割り込み優先順位
 - 7.5 割り込み優先レベル判定回路
 - 7.6 割り込み優先順位判定時間
 - 7.7 割り込み要求受付から割り込みルーチン実行まで
 - 7.8 割り込みルーチンからの復帰
 - 7.9 多重割り込み
 - 7.10 外部割り込み
- 【割り込み使用上の注意】

7.1 概要

M37903は22の要因(リセットを含む)から、割り込み要求を発生できます。

図7.1.1に割り込みについて示します。

割り込み要求を受け付けると、インタラプトベクタテーブル(FFC0₁₆ ~ FFFF₁₆番地)内に設定されている、割り込みルーチンの先頭番地へ分岐します。インタラプトベクタテーブルの各割り込みのベクトル番地には、各割り込みルーチンの先頭番地を設定してください。

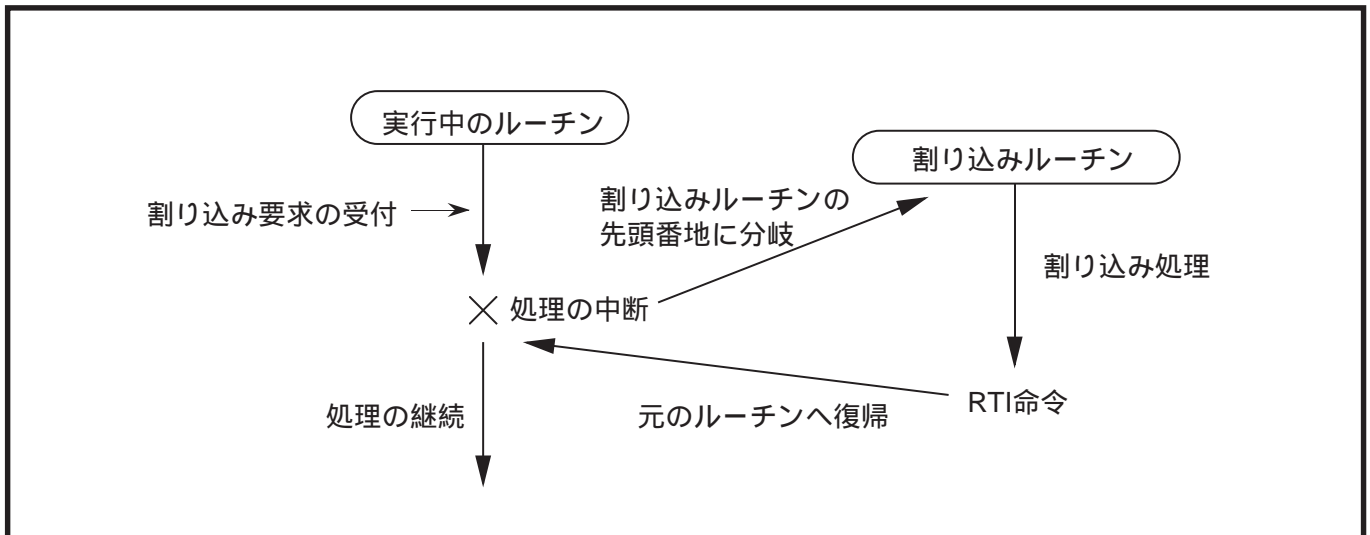


図7.1.1 割り込み

割り込み要求を受け付けると、次に示すレジスタの割り込み要求受付直前の内容を の順に自動的にスタック領域に退避します。その他の内容の保持が必要なレジスタは、ソフトウェアによって退避又は復帰してください。

プログラムバンクレジスタ(PG)
プログラムカウンタ(PC_L、PC_H)
プロセッサステータスレジスタ(PS_L、PS_H)

図7.1.2に割り込みルーチンに入る前のスタック領域の状態を示します。

割り込みルーチンの最後では、RTI命令(割り込み要求受付前に実行していたルーチンへの復帰命令)を実行してください。RTI命令の実行によって、スタック領域に退避していた上記のレジスタの内容を の順に復帰し、割り込み要求受付前に実行していたルーチンに戻って処理を継続します。

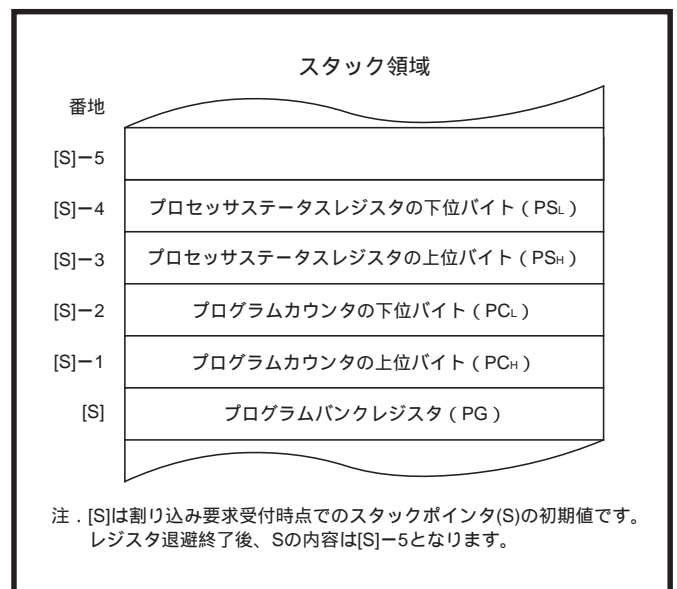


図7.1.2 割り込みルーチンに入る前のスタック領域の状態

命令については、「7900シリーズソフトウェアマニュアル」を参照してください。

7.2 割り込み要因

表7.2.1に各割り込みの割り込み要因とベクトル番地を示します。プログラミングの際は、この表に示すベクトル番地に各割り込みルーチンの先頭番地を設定してください。

表7.2.1 割り込み要因とベクトル番地

割り込み要因	ベクトル番地		備 考	参照先
	上位番地	下位番地		
リセット	FFFF ₁₆	FFFE ₁₆	ノンマスカブル	「第4章 リセット」
0除算	FFFD ₁₆	FFFC ₁₆	ノンマスカブルソフトウェア割り込み	「7900シリーズソフトウェアマニュアル」
BRK命令 (注)	FFFB ₁₆	FFFA ₁₆	使用禁止	
DBC (注)	FFF9 ₁₆	FFF8 ₁₆		
監視タイマ	FFF7 ₁₆	FFF6 ₁₆	ノンマスカブル内部割り込み	「第15章 監視タイマ」
NMI	FFF5 ₁₆	FFF4 ₁₆	ノンマスカブル外部割り込み	「7.10 外部割り込み」
INT ₀	FFF3 ₁₆	FFF2 ₁₆	マスカブル外部割り込み	
INT ₁	FFF1 ₁₆	FFF0 ₁₆		
INT ₂	FFEF ₁₆	FFEE ₁₆		
タイマA0	FFED ₁₆	FFEC ₁₆	マスカブル内部割り込み	「第9章 タイマA」
タイマA1	FFEB ₁₆	FFEA ₁₆		
タイマA2	FFE9 ₁₆	FFE8 ₁₆		
タイマA3	FFE7 ₁₆	FFE6 ₁₆		
タイマA4	FFE5 ₁₆	FFE4 ₁₆		
タイマB0	FFE3 ₁₆	FFE2 ₁₆	マスカブル内部割り込み	「第10章 タイマB」
タイマB1	FFE1 ₁₆	FFE0 ₁₆		
タイマB2	FFDF ₁₆	FFDE ₁₆		
UART0受信	FFDD ₁₆	FFDC ₁₆	マスカブル内部割り込み	「第12章 シリアルI/O」
UART0送信	FFDB ₁₆	FFDA ₁₆		
UART1受信	FFD9 ₁₆	FFD8 ₁₆		
UART1送信	FFD7 ₁₆	FFD6 ₁₆		
A-D変換	FFD5 ₁₆	FFD4 ₁₆	マスカブル内部割り込み	「第13章 A-D変換器」
INT ₃	FFD3 ₁₆	FFD2 ₁₆	マスカブル外部割り込み	「7.10 外部割り込み」
INT ₄	FFD1 ₁₆	FFD0 ₁₆		
予約領域	FFCF ₁₆	FFCE ₁₆	使用禁止	
予約領域	FFCD ₁₆	FFCC ₁₆		
予約領域	FFCB ₁₆	FFCA ₁₆		
予約領域	FFC9 ₁₆	FFC8 ₁₆		
予約領域	FFC7 ₁₆	FFC6 ₁₆		
予約領域	FFC5 ₁₆	FFC4 ₁₆		
予約領域	FFC3 ₁₆	FFC2 ₁₆		
予約領域	FFC1 ₁₆	FFC0 ₁₆		

注．デバッガ専用割り込みです。

マスカブル割り込み・・・ソフトウェアによって、割り込み要求の受付を禁止できる割り込み。
 ノンマスカブル割り込み(0除算、監視タイマ、NMI割り込み)
 ・・・・割り込み要求が発生すると必ず受け付けられる割り込み。割り込み制御レジスタを持たず、割り込み禁止フラグ(1)の影響を受けない。

7.3 割り込み制御

マスカブル割り込みの制御は、以下のビット又はフラグで行います。

- 割り込み要求ビット
 - 割り込み優先レベル選択ビット
 - プロセッサ割り込み優先レベル(IPL)
 - 割り込み禁止フラグ(1)
- } 各割り込みの割り込み制御レジスタに配置
- } プロセッサステータスレジスタ(PS)に配置

図7.3.1に割り込み制御レジスタのメモリ配置図を、図7.3.2、図7.3.3に割り込み制御レジスタのレジスタ構成を示します。

番地	
6E16	INT3割り込み制御レジスタ
6F16	INT4割り込み制御レジスタ
7016	A-D変換割り込み制御レジスタ
7116	UART0送信割り込み制御レジスタ
7216	UART0受信割り込み制御レジスタ
7316	UART1送信割り込み制御レジスタ
7416	UART1受信割り込み制御レジスタ
7516	タイマA0割り込み制御レジスタ
7616	タイマA1割り込み制御レジスタ
7716	タイマA2割り込み制御レジスタ
7816	タイマA3割り込み制御レジスタ
7916	タイマA4割り込み制御レジスタ
7A16	タイマB0割り込み制御レジスタ
7B16	タイマB1割り込み制御レジスタ
7C16	タイマB2割り込み制御レジスタ
7D16	INT0割り込み制御レジスタ
7E16	INT1割り込み制御レジスタ
7F16	INT2割り込み制御レジスタ

図7.3.1 割り込み制御レジスタのメモリ配置図

A-D 変換、UART0 送信、UART0 受信、UART1 送信、UART1 受信、
 タイマ A0 ~ タイマ A4、タイマ B0 ~ タイマ B2
 割り込み制御レジスタ【70₁₆ ~ 7C₁₆ 番地】

b7	b6	b5	b4	b3	b2	b1	b0
----	----	----	----	----	----	----	----

ビット	ビット名	機能	リセット時	R/W
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベルα (割り込み禁止)	0	RW
1		0 0 1 : レベル1	0	RW
2		0 1 0 : レベル2	0	RW
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
3	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0 (注1)	RW (注2)
7~4	何も配置されていない		不定	-

注1. A-D変換割り込み要求ビットは、リセット後不定です。
 2. このビットへの書き込みにはMOVX(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。

図7.3.2 割り込み制御レジスタのレジスタ構成(1)

INT ₀ ~ INT ₂ 割り込み制御レジスタ【7D ₁₆ ~ 7F ₁₆ 番地】				
ビット	ビット名	機能	リセット時	R/W
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベルα (割り込み禁止)	0	RW
1		0 0 1 : レベル1	0	RW
2		0 1 0 : レベル2	0	RW
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
3	割り込み要求ビット (注1)	0 : 割り込み要求なし 1 : 割り込み要求あり	0	RW (注2)
4	極性切り替えビット	0 : レベルセンス選択時は“H”レベル、エッジセンス 選択時は立ち下がり、割り込み要求ビットを “1”にする 1 : レベルセンス選択時は“L”レベル、エッジセンス 選択時は立ち上がり、割り込み要求ビットを “1”にする	0	RW
5	レベルセンス/エッジセンス 切り替えビット	0 : エッジセンス 1 : レベルセンス	0	RW
7、6	何も配置されていない		不定	-

注1. INT₀~INT₂割り込み要求ビットは、レベルセンス選択時無効です。
 2. このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

INT ₃ 、INT ₄ 割り込み制御レジスタ【6E ₁₆ 、6F ₁₆ 番地】				
ビット	ビット名	機能	リセット時	R/W
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベルα (割り込み禁止)	0	RW
1		0 0 1 : レベル1	0	RW
2		0 1 0 : レベル2	0	RW
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
3	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0	RW (注)
4	極性切り替えビット	0 : 立ち下がり、割り込み要求ビットを“1”にする 1 : 立ち上がり、割り込み要求ビットを“1”にする	0	RW
7~5	何も配置されていない		不定	-

注. このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

図7.3.3 割り込み制御レジスタのレジスタ構成(2)

7.3.1 割り込み禁止フラグ(1)

このフラグによってすべてのマスカブル割り込みを禁止できます。このフラグを“1”にするとすべてのマスカブル割り込みは禁止され、“0”にすると許可されます。このフラグはリセット時“1”になりますので、割り込みを許可する場合はこのフラグを“0”にしてください。

7.3.2 割り込み要求ビット

割り込み要求が発生すると、このビットが“1”になります。その後、割り込み要求が受け付けられるまで“1”の状態を保持し、割り込み要求が受け付けられると“0”になります。

また、このビットはソフトウェアによって“0”、又は“1”にできます。

なお、 $\overline{INT_0} \sim \overline{INT_2}$ 割り込み要求ビットは $\overline{INT_0} \sim \overline{INT_2}$ 割り込みをレベルセンスで使用した場合、無効になります。

7.3.3 割り込み優先レベル選択ビットとプロセッサ割り込み優先レベル(IPL)

割り込み優先レベル選択ビットは、各割り込みの割り込み優先レベルを設定するためのビットです。

割り込み要求発生時、割り込み優先レベルはプロセッサ割り込み優先レベル(IPL)と比較され、比較結果が下記の場合にだけ、その割り込みは許可されます。したがって、割り込み優先レベルをレベル0に設定すると、その割り込みを禁止できます。

各割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

表7.3.1に割り込み優先レベルの設定を、表7.3.2にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み禁止フラグ(1)、割り込み要求ビット、割り込み優先レベル選択ビット、及びプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。割り込み要求は

割り込み禁止フラグ(1) = 0
 割り込み要求ビット = 1
 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

の3条件が満たされたときだけ受け付けられます。

表7.3.1 割り込み優先レベルの設定

割り込み優先レベル選択ビット			割り込み優先レベル	優先順位
b2	b1	b0		
0	0	0	レベル0(割り込み禁止)	———
0	0	1	レベル1	低い ↓ 高い
0	1	0	レベル2	
0	1	1	レベル3	
1	0	0	レベル4	
1	0	1	レベル5	
1	1	0	レベル6	
1	1	1	レベル7	

表7.3.2 プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

IPL ₂	IPL ₁	IPL ₀	許可される割り込み優先レベル
0	0	0	レベル1以上を許可
0	0	1	レベル2以上を許可
0	1	0	レベル3以上を許可
0	1	1	レベル4以上を許可
1	0	0	レベル5以上を許可
1	0	1	レベル6以上を許可
1	1	0	レベル7だけを許可
1	1	1	すべてのマスカブル割り込みを禁止

IPL₀… プロセッサステータスレジスタ(PS)のビット8
 IPL₁… プロセッサステータスレジスタ(PS)のビット9
 IPL₂… プロセッサステータスレジスタ(PS)のビット10

7.4 割り込み優先順位

割り込み禁止フラグ(1)が 0 (割り込み許可状態) のとき、同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みから要求が受け付けられます。

マスカブル割り込みでは、割り込み優先レベル選択ビットによって任意の優先順位を設定できます。また、リセット、NMI割り込み、及び監視タイマ割り込みの優先順位はハードウェアで設定されています。図7.4.1にハードウェアで設定されている割り込み優先順位を示します。

ソフトウェア割り込みは、割り込み優先順位の影響を受けません。命令が実行されると必ず割り込みルーチンへ分岐します。

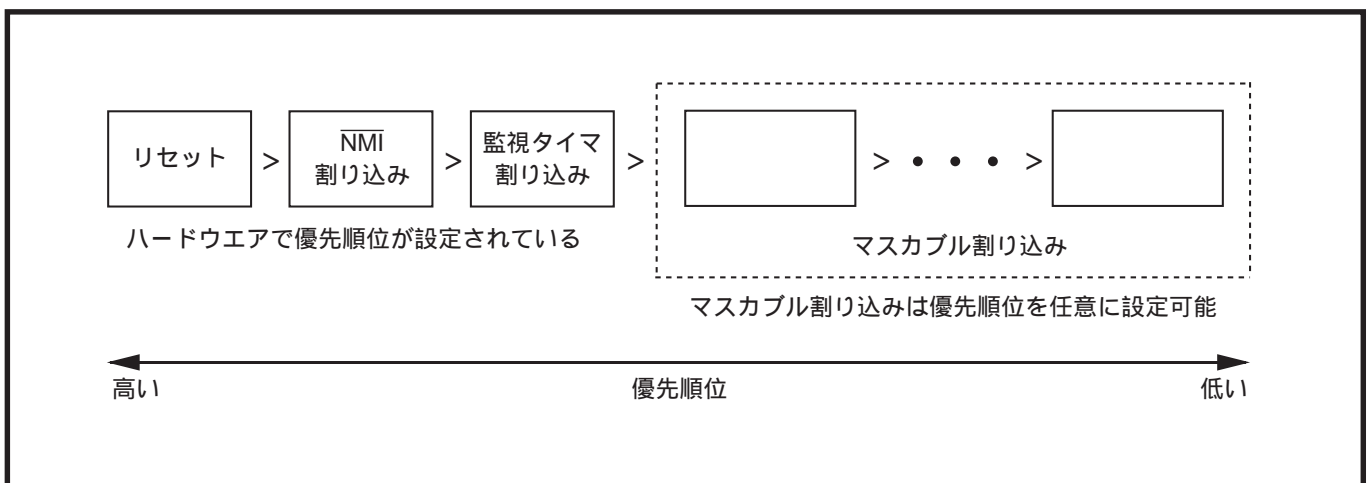


図7.4.1 ハードウェアで設定されている割り込み優先順位

7.5 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。図7.5.1に割り込み優先レベル判定回路を示します。

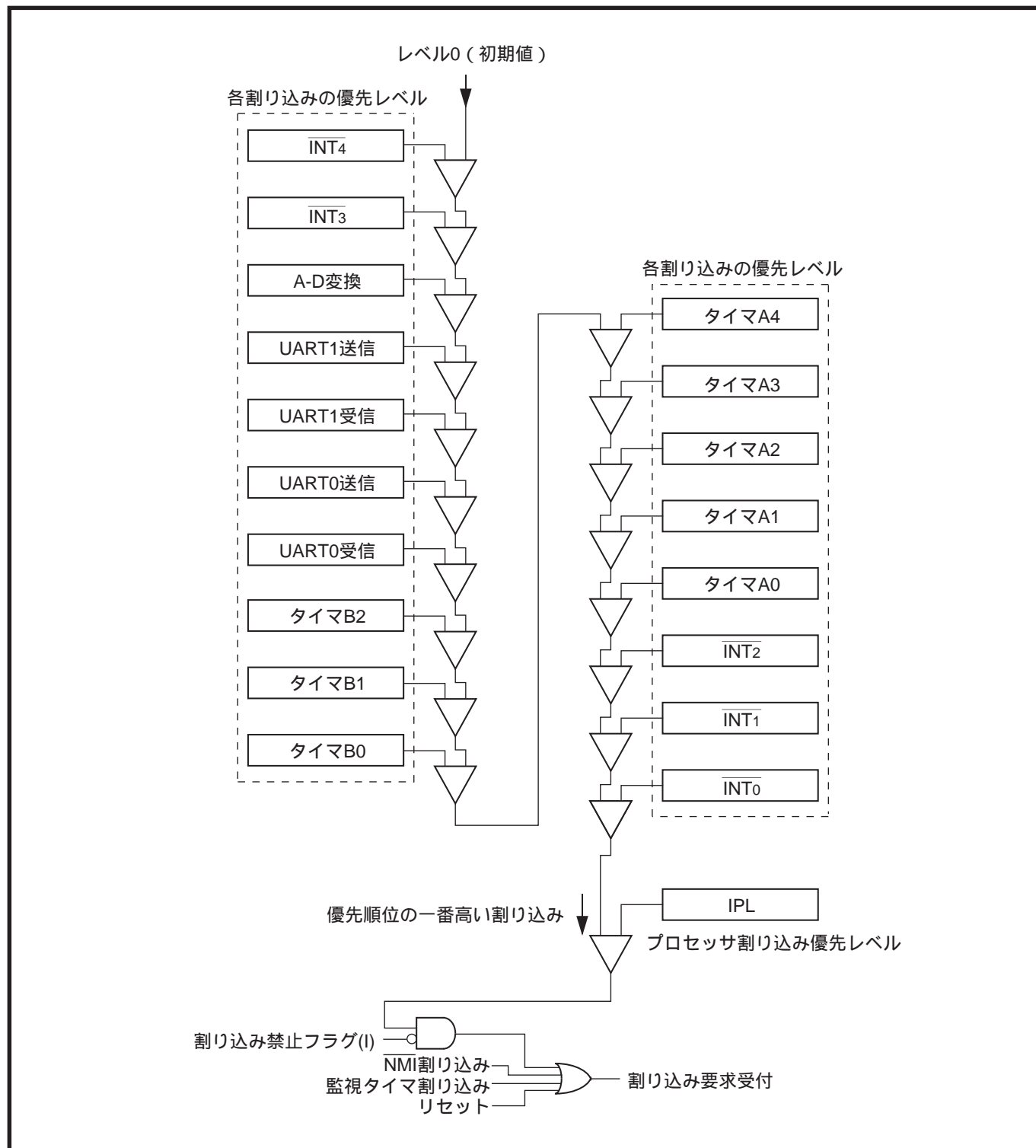


図7.5.1 割り込み優先レベル判定回路

図7.5.2に、割り込み優先順位判定モデルを示します。

割り込み要求のある割り込みの優先レベル(図7.5.2のY)と、前段のコンパレータでの比較の結果送られてきた優先レベル(図7.5.2のX)を比較し(比較値の初期値はレベル0)、高い優先レベルを次のコンパレータへ送ります(図7.5.2のZ)。割り込み要求がない割り込みについては比較を行わず、前段のコンパレータから送られた優先レベルをそのまま次のコンパレータへ送ります。また、比較の結果、優先レベルが同じであれば、前段のコンパレータから送られた優先レベルを次のコンパレータへ送ります。したがって、ソフトウェアで同じ優先レベルを設定した場合の優先順位は、下記のようになります。

$\overline{INT}_4 > \overline{INT}_3 > A\text{-D変換} > \text{UART1送信} > \text{UART1受信} > \text{UART0送信} > \text{UART0受信} > \text{タイマB2} > \text{タイマB1} > \text{タイマB0} > \text{タイマA4} > \text{タイマA3} > \text{タイマA2} > \text{タイマA1} > \text{タイマA0} > \overline{INT}_2 > \overline{INT}_1 > \overline{INT}_0$

上記の比較の結果、同一サンプリング時点で割り込み要求が存在する複数の割り込みのうち、一番高い優先順位を持つ割り込みを判定します。

この後、一番高い優先順位の割り込み優先レベルはプロセッサ割り込み優先レベル(IPL)と比較されます。このとき、IPLより優先レベルが高く、かつ割り込み禁止フラグ(I)が"0"であれば、その割り込み要求は受け付けられます。また、ここで受け付けられなかった割り込み要求は、その割り込み要求が受け付けられる、又は割り込み要求ビットをソフトウェアで"0"にするまで保持されます。

割り込み優先順位の判定は、CPUがオペコードを取り込むとき(オペコードフェッチサイクル)に行われます。ただし、割り込み優先順位の判定中には、オペコードフェッチサイクルが来ても新たに判定を始めることはありません(図7.6.2参照)。割り込み優先順位の判定中は、割り込み要求ビットの状態、及び割り込み優先レベルをラッチしていますので、これらの内容が変化しても、判定は変化する前の状態に対して行われます。

割り込み優先順位の判定は、CPUがオペコードを取り込むときに行われますので、次の場合はその動作が終了した後CPUが次の命令のオペコードを取り込むまで、割り込み要求を受け付けません。

MVN、MVP命令など、サイクル数の多い命令の実行中

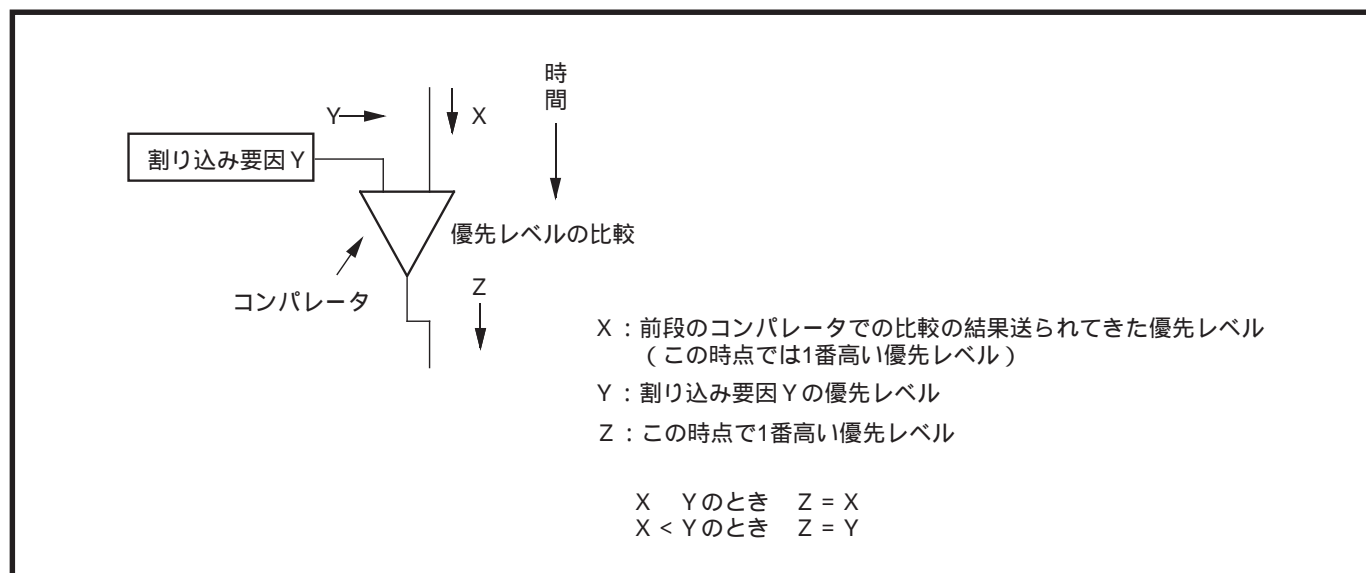


図7.5.2 割り込み優先順位判定モデル

7.6 割り込み優先順位判定時間

割り込み要求は、サンプリング開始から割り込み優先順位判定時間経過後に受け付けられます。割り込み優先順位判定時間は割り込み優先順位判定時間選択ビット(図7.6.1参照)で選択できます。割り込み優先順位判定時間には、通常「 f_{sys} の2サイクル」を選択してください。

図7.6.2に割り込み優先順位判定時間について示します。

プロセッサモードレジスタ0【5E ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
ビット	ビット名	機能		リセット時	R/W						
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード		0	RW						
1		10: マイクロプロセッサモード 11: 選択禁止		(注1)	RW						
2	外部バスサイクル選択ビット0 (注2)	(外部バスサイクル選択 ビット1=0時)	(外部バスサイクル選択 ビット1=1時)	0	RW						
3		b3 b2 00: バスサイクル1 +1 01: バスサイクル1 +2 10: バスサイクル1 +3 11: バスサイクル2 +2	b3 b2 00: バスサイクル2 +3 01: バスサイクル2 +4 10: バスサイクル3 +3 11: バスサイクル3 +4	1	RW						
4	割り込み優先順位判定時間 選択ビット	b5 b4 00: f_{sys} の7サイクル 01: f_{sys} の4サイクル 10: f_{sys} の2サイクル 11: 選択禁止		0	RW						
5				0	RW						
6	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる 読み出し時の値は“0”		0	WO						
7	クロック ϕ_1 出力選択ビット	0: ϕ_1 出力禁止(P4 ₁ はプログラマブル入出力ポートとして機能) 1: ϕ_1 出力許可(P4 ₁ はクロック ϕ_1 出力端子として機能)		(注3)	RW						

注1. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。
 注2. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。
 注3. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。

図7.6.1 プロセッサモードレジスタ0のレジスタ構成

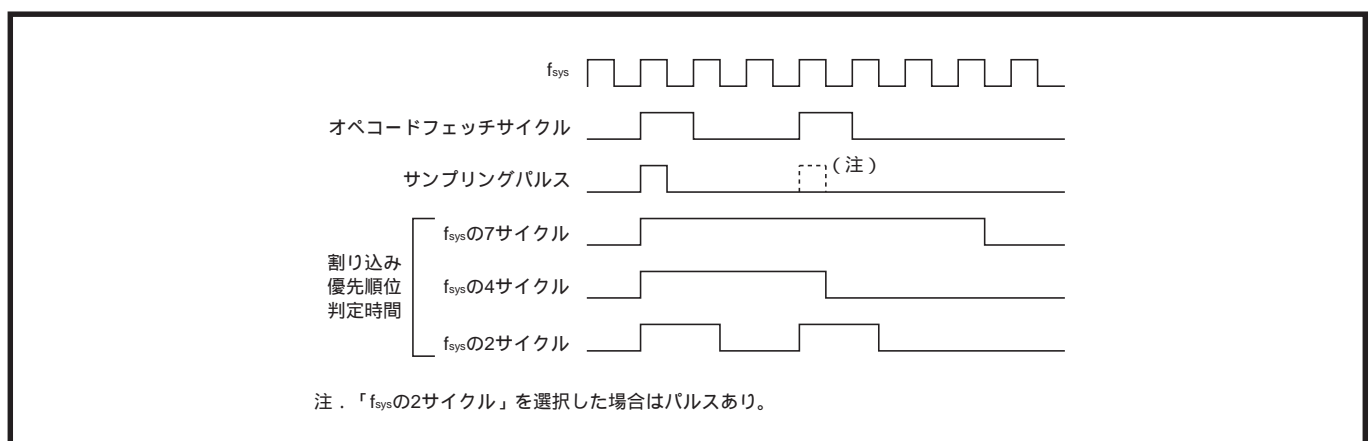


図7.6.2 割り込み優先順位判定時間

7.7 割り込み要求受付から割り込みルーチン実行まで

割り込み要求が受け付けられてから割り込みルーチンを実行するまでの過程について説明します。

割り込み要求が受け付けられると、受け付けられた割り込みの割り込み要求ビットを“0”にし、その時点で実行していた命令が終了した次のサイクルから、割り込み処理を行います。図7.7.1に割り込み要求発生から割り込みルーチン実行までを示します。割り込み要求が受け付けられた時点の命令が終了すると、INTACK (Interrupt Acknowledge)シーケンスを実行し、 $0_{16} \sim FFFF_{16}$ 番地に設定された割り込みルーチンの先頭番地に分岐します。INTACKシーケンスでは、次の動作を自動的に順次行います。

INTACKシーケンス直前のプログラムバンクレジスタ(PG)の内容をスタック領域に退避する。

INTACKシーケンス直前のプログラムカウンタ(PC)の内容をスタック領域に退避する。

INTACKシーケンス直前のプロセッサステータスレジスタ(PS)の内容をスタック領域に退避する。

割り込み禁止フラグ(I)を“1”にする。

プロセッサ割り込み優先レベル(IPL)に、受け付けられた割り込みの割り込み優先レベルを設定する。

“ 00_{16} ”をプログラムバンクレジスタ(PG)に、割り込みベクトル番地の内容をプログラムカウンタ(PC)に設定する。

INTACKシーケンスの実行には、最短で f_{sys} の15サイクルが必要です。図7.7.2にINTACKシーケンスのタイミングを示します。

INTACKシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

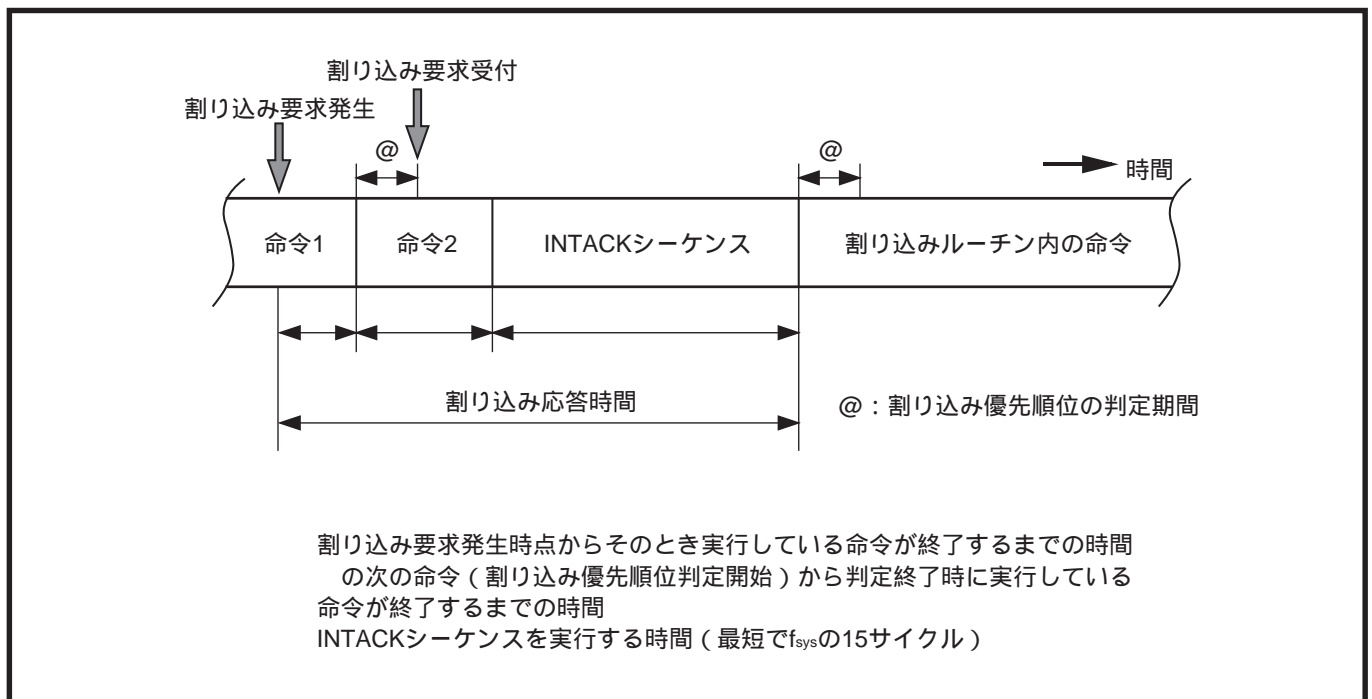


図7.7.1 割り込み要求発生から割り込みルーチン実行まで

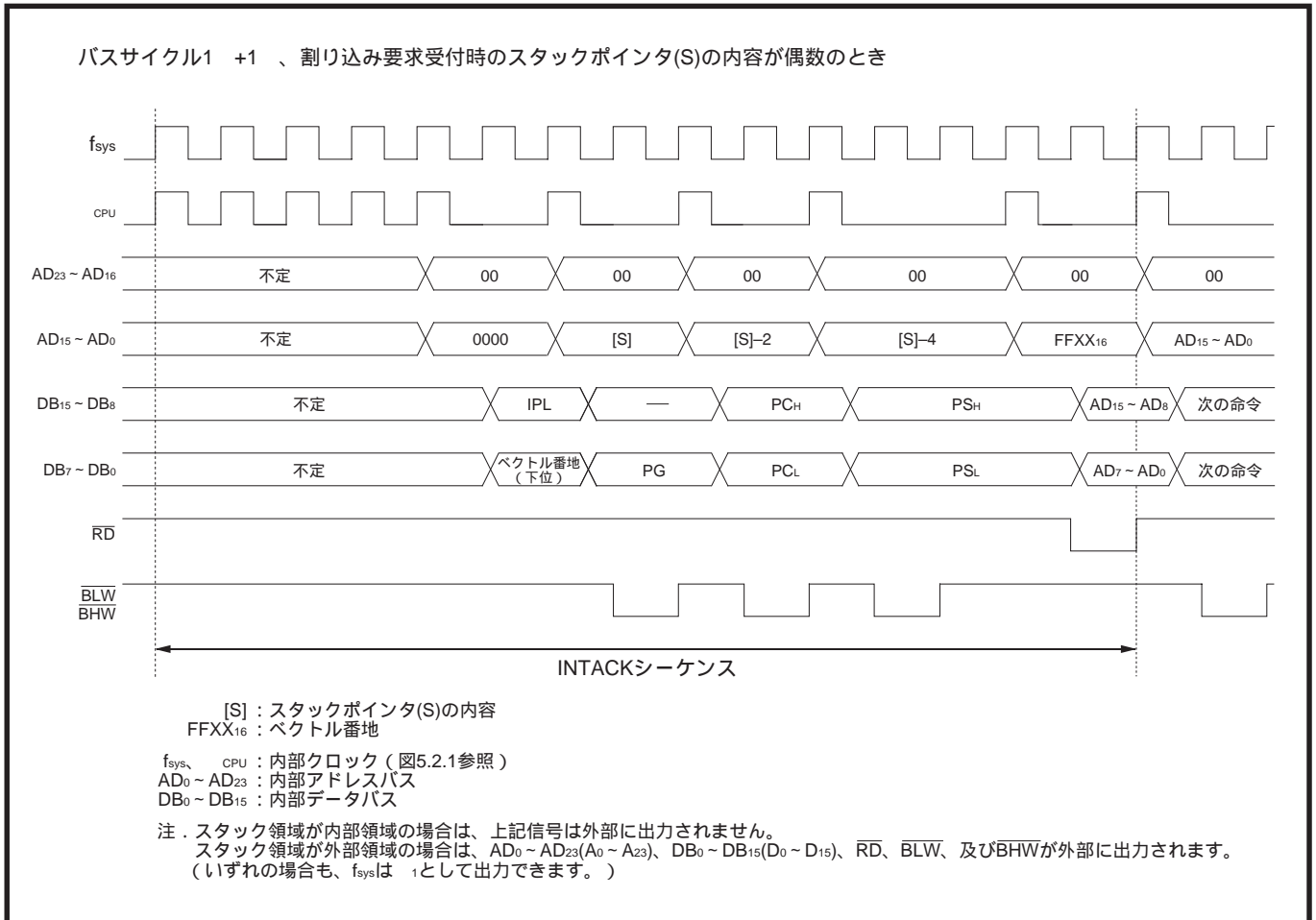


図7.7.2 INTACKシーケンスのタイミング(最短)

7.7.1 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けられた割り込みの割り込み優先レベルが設定されます。これは、この後の多重割り込み処理を容易にするためです(「7.9 多重割り込み」参照)。

リセット時、NMI割り込み要求、監視タイマ割り込み要求、0除算割り込み要求が受け付けられたときは、表7.7.1に示す値がIPLに設定されます。

表7.7.1 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み	IPLの変化
リセット	レベル0(000 ₂)が設定される
NMI割り込み	レベル7(111 ₂)が設定される
監視タイマ割り込み	レベル7(111 ₂)が設定される
0除算割り込み	変化しない
上記以外の割り込み	受け付けられた割り込みの割り込み優先レベルが設定される

7.7.2 レジスタ退避

INTACKシーケンスで行うレジスタ退避動作は、割り込み要求受付時のスタックポインタ(S)の内容が偶数の場合と、奇数の場合で異なります。

スタックポインタ(S)の内容が偶数のとき、プログラムカウンタ(PC)及びプロセッサステータスレジスタ(PS)の内容はそれぞれ16ビット同時に退避されます。奇数のときは、それぞれ8ビットずつ2回に分けて退避されます。図7.7.3にレジスタ退避動作を示します。

INTACKシーケンスではプログラムバンクレジスタ(PG)、プログラムカウンタ(PC)、及びプロセッサステータスレジスタ(PS)の内容だけをスタック領域に退避します。その他の必要なレジスタの内容は、割り込みルーチンの最初でソフトウェアによって退避してください。PSH命令を用いると、1命令でスタックポインタ(S)を除くすべてのCPUレジスタを退避できます。

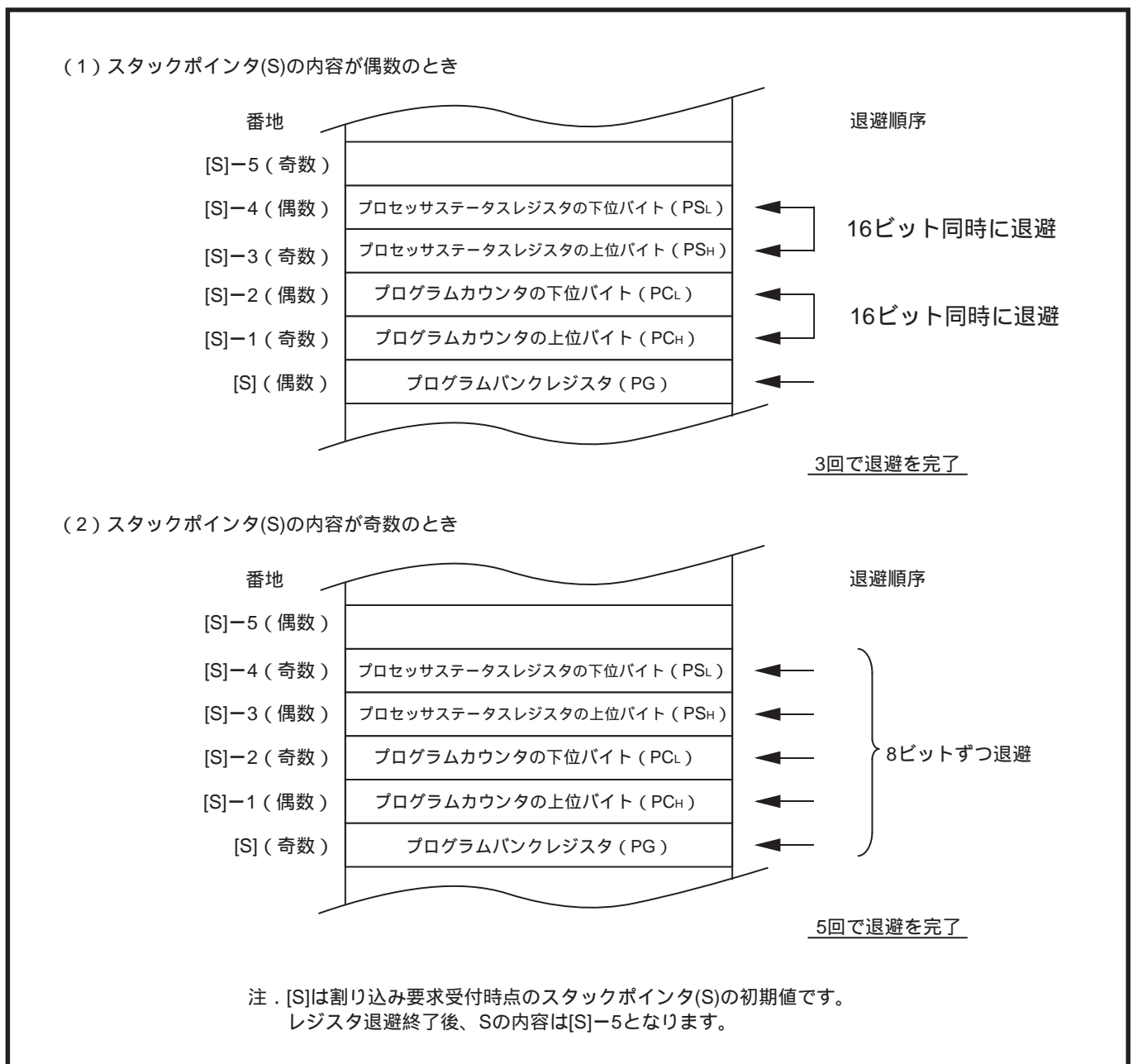


図7.7.3 レジスタ退避動作

7.8 割り込みルーチンからの復帰

割り込みルーチンの最後でRTI命令が実行されると、スタック領域に退避していたINTACKシーケンス直前のプログラムバンクレジスタ(PG)、プログラムカウンタ(PC)、及びプロセッサステータスレジスタ(PS)の内容を自動的に復帰し、割り込み要求受付前に実行していたルーチンに戻って中断していた処理を続けます。

割り込みルーチン内でソフトウェアによって退避したレジスタ類は、RTI命令実行前に、退避したときと同じデータ長/レジスタ長でPUL命令などを使用して復帰してください。

7.9 多重割り込み

割り込みルーチンへ分岐した直後は、

割り込み禁止フラグ(I)は“1”(割り込み禁止状態)

受け付けられた割り込みの割り込み要求ビットは“0”

プロセッサ割り込み優先レベル(IPL)=受け付けられた割り込みの割り込み優先レベル

になります。

したがって、IPLを変更しない限り、割り込みルーチン内で割り込み禁止フラグ(I)を“0”にすることによって、実行中の割り込みより高い優先順位を持つ割り込み要求を受け付けることができます。これが多重割り込みです。

図7.9.1に多重割り込みについて示します。

なお、優先順位が低いために受け付けられなかった割り込み要求は保持されます。また、RTI命令を実行すると、割り込み要求受付前に実行していたルーチンの割り込み優先レベルがIPLへ復帰されますので、次に割り込み優先順位の判定が行われたとき、以下の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の 割り込み優先レベル	>	プロセッサ割り込み優先レベル (IPL)
-----------------------------	---	-------------------------

注．すべての割り込みルーチン実行中に、0除算、監視タイマ、 $\overline{\text{NMI}}$ 割り込みの割り込み要求が発生した場合は、それらの割り込み要求はすぐに受け付けられます。

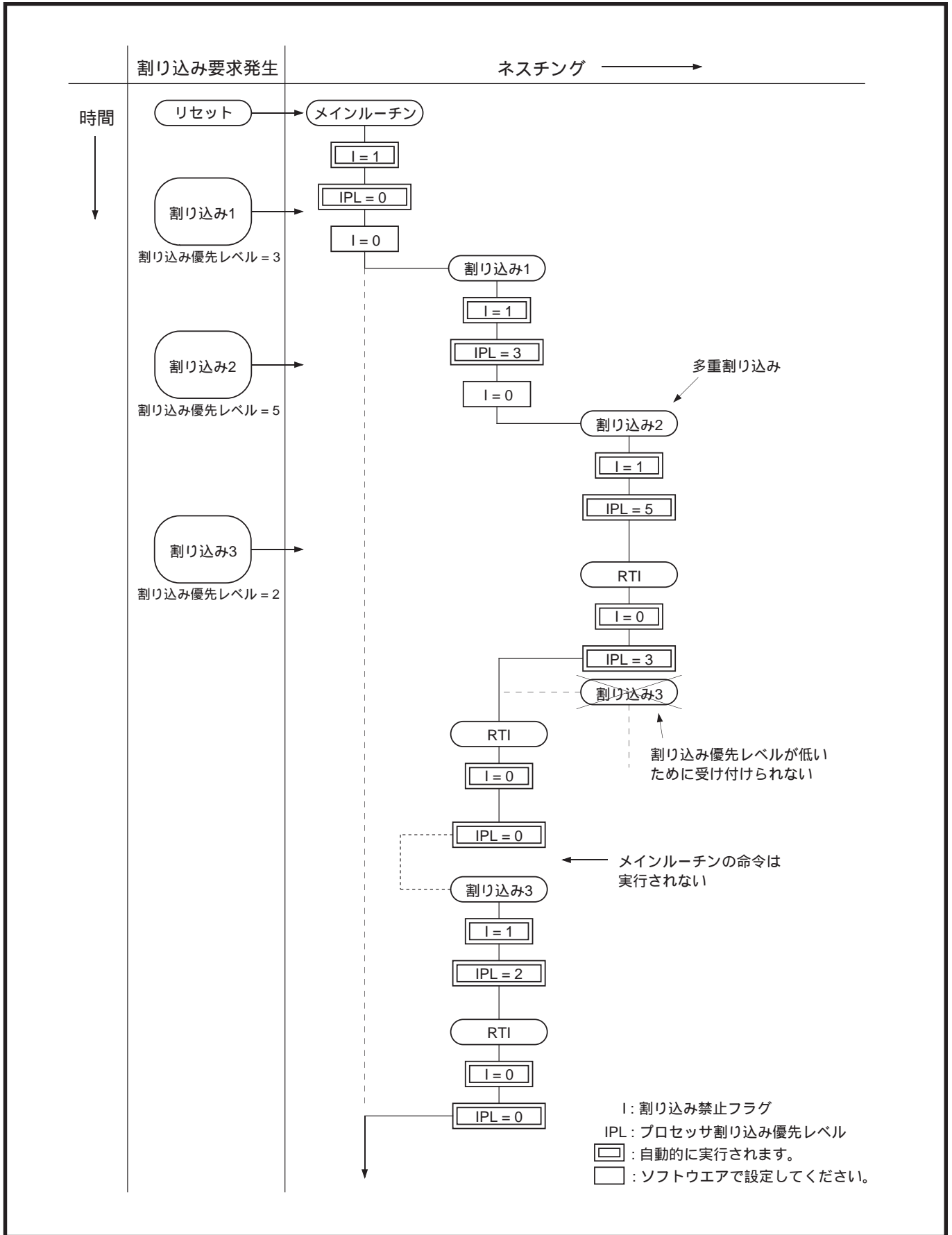


図7.9.1 多重割り込み

7.10 外部割り込み

外部割り込みには、 $\overline{\text{NMI}}$ 割り込み及び $\overline{\text{INT}}$ 割り込みがあります。

7.10.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込み要求は、 $\overline{\text{NMI}}$ 端子の入力信号の立ち下がりで発生します。 $\overline{\text{NMI}}$ 割り込みはノンマスクブル割り込みのため、割り込み禁止フラグ(1)の内容にかかわらず、割り込み要求が発生すると必ず受け付けられます。また、 $\overline{\text{NMI}}$ 割り込み実行中に、再度 $\overline{\text{NMI}}$ 割り込み要求が発生すると、その $\overline{\text{NMI}}$ 割り込みも受け付けられます(多重割り込み)。

ノイズやチャタリングが $\overline{\text{NMI}}$ 端子に入力されると、何度も $\overline{\text{NMI}}$ 割り込み要求が発生する可能性があります。この場合、多重割り込みのネスタングが深くなり、スタック領域の増大により必要なデータを破壊する可能性もありますので注意してください。

$\overline{\text{NMI}}$ 読み出しビット(図7.10.3参照)を読み出すと $\overline{\text{NMI}}$ 端子の状態を読み込めます。また、 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間及びリセット後、 $\overline{\text{NMI}}$ 端子はプルアップされます。したがって、外部にプルアップ抵抗を接続する必要がありません。

$\overline{\text{NMI}}$ 端子プルアップ選択ビット(図7.10.1参照)を“1”にすると、プルアップは解除されます。

$\overline{\text{NMI}}$ 端子に入力する信号には、 $f(X_{\text{IN}})$ に関係なく、250ns以上の“L”レベル幅が必要です。

7.10.2 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT}}(i=0\sim 4)$ 割り込み要求は、 $\overline{\text{INT}}_i$ 端子の入力信号によって発生します。表7.10.1に $\overline{\text{INT}}$ 割り込み要求発生要因を示します。

$\overline{\text{INT}}_2\sim\overline{\text{INT}}_4$ 端子は、 $\overline{\text{INT}}_2\sim\overline{\text{INT}}_4$ 端子選択ビット(図7.10.2参照)によって端子の配置を変更できます。

$\text{P6}_2/\overline{\text{INT}}_0$ 、 $\text{P6}_3/\overline{\text{INT}}_1$ 、 $\text{P6}_4(\text{P7}_7)/\overline{\text{INT}}_2$ 、 $\text{P8}_4(\text{P7}_4)/\overline{\text{INT}}_3$ 、及び $\text{P8}_5(\text{P7}_5)/\overline{\text{INT}}_4$ 端子を外部割り込みの入力端子として使用する場合は、共用となっているポートの方向レジスタを“0”にしてください(図7.10.4参照)。

また、 $\overline{\text{INT}}_i$ 端子に入力する信号には、 $f(X_{\text{IN}})$ に関係なく、250ns以上の“H”レベル幅、又は“L”レベル幅が必要です(注)。

なお、 $\overline{\text{INT}}_0\sim\overline{\text{INT}}_4$ 読み出しビット(図7.10.3参照)を読み出すと端子の状態を読み込めます。

注. 割り込み要求発生要因として、

- ・立ち下がり又は“L”レベルを選択している場合は“L”レベル幅を250ns以上
- ・立ち上がり又は“H”レベルを選択している場合は“H”レベル幅を250ns以上にしてください。

表7.10.1 $\overline{\text{INT}}_i$ 割り込み要求発生要因

	レベルセンス/エッジセンス 切り替えビット (7D ₁₆ ~7F ₁₆ 番地のビット5)	極性切り替えビット (6E ₁₆ 、6F ₁₆ 、7D ₁₆ ~7F ₁₆ 番地のビット4)	割り込み要求発生要因 ($\overline{\text{INT}}_i$ 端子の入力信号が以下の状態のとき割り込み要求が発生)
$\overline{\text{INT}}_0\sim\overline{\text{INT}}_2$	0	0	立ち下がり<エッジセンス>
	0	1	立ち上がり<エッジセンス>
	1	0	“H”レベル<レベルセンス>
	1	1	“L”レベル<レベルセンス>
$\overline{\text{INT}}_3$ 、 $\overline{\text{INT}}_4$		0	立ち下がり<エッジセンス>
		1	立ち上がり<エッジセンス>

$\overline{\text{INT}}_i$ 割り込みは、常に $\overline{\text{INT}}_i$ 端子の状態を検出して割り込み要求を発生しますので、 $\overline{\text{INT}}_i$ 割り込みを使用しない場合は、 $\overline{\text{INT}}_i$ 割り込みの優先レベルをレベル0にしてください。

ポート機能制御レジスタ【92 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
					0	0						
ビット	ビット名	機能			リセット時	R/W						
0	アドレス/ポート切り替えビット	b2 b1 b0 0 0 0 : A ₀ ~ A ₂₃ (16Mバイト)			0	RW						
1		0 0 1 : A ₀ ~ A ₂₁ 、P0 ₆ 、P0(4Mバイト)			0	RW						
2		0 1 0 : A ₀ ~ A ₁₉ 、P0 ₄ ~ P0(1Mバイト)			0	RW						
		0 1 1 : A ₀ ~ A ₁₇ 、P0 ₂ ~ P0(256Kバイト)										
3	ポートP0入力レベル選択ビット	1 0 0 : A ₀ ~ A ₁₅ 、P0 ₀ ~ P0(64Kバイト)			0	RW						
		1 0 1 : 選択禁止										
		1 1 0 : A ₀ ~ A ₁₁ 、P0 ₀ ~ P0 ₇ 、P11 ₄ ~ P11(4Kバイト)										
4	P4 ₄ ~ P4 ₇ プルアップ選択ビット	1 1 1 : A ₀ ~ A ₇ 、P0 ₀ ~ P0 ₇ 、P11 ₀ ~ P11(256バイト)			0	RW						
6、5	“ 0 ” に固定してください				0	RW						
7	NMI端子プルアップ選択ビット	0 : NMI端子をプルアップする 1 : NMI端子をプルアップしない (注1)			0	RW						

注1. パラレル入出力モード(MD1=V_{CC}、MD0=V_{CC})時は、これらのビットの内容にかかわらず、P4₄ ~ P4₇及びNMI端子はプルアップされません。

2. マイクロプロセッサモード(MD1=V_{SS}、MD0=V_{CC})時は、このビットの内容にかかわらず、CS(P4₄)はプルアップされません。

図7.10.1 ポート機能制御レジスタのレジスタ構成

外部割り込み入力制御レジスタ【94 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
					0							
ビット	ビット名	機能			リセット時	R/W						
0	キー入力割り込み選択ビット	0 : INT ₃ 割り込み 1 : キー入力割り込み			0	RW						
1	キー入力割り込み端子プルアップ選択ビット	0 : K ₁₀ ~ K ₁₃ 端子をプルアップしない 1 : K ₁₀ ~ K ₁₃ 端子をプルアップする			0	RW						
2	キー入力割り込み端子選択ビット	b3 b2 0 0 : K ₁₀ ~ K ₁₃ を選択			0	RW						
3		0 1 : K ₁₀ ~ K ₁₂ を選択 1 0 : K ₁₀ 、K ₁₁ を選択 1 1 : K ₁₀ を選択 (注1)			0	RW						
4	INT ₂ 端子選択ビット	0 : INT ₂ 端子をP6 ₄ に配置する 1 : INT ₂ 端子をP7 ₇ に配置する (注2)			0	RW						
5	INT ₃ 端子選択ビット	0 : INT ₃ 端子をP8 ₀ に配置する 1 : INT ₃ 端子をP7 ₄ に配置する (注3)			0	RW						
6	INT ₄ 端子選択ビット	0 : INT ₄ 端子をP8 ₄ に配置する 1 : INT ₄ 端子をP7 ₅ に配置する (注4)			0	RW						
7	“ 0 ” に固定してください				0	RW						

注1. K₁端子を使用するときは、共用となっているタイマAの出力端子、及びパルス出力端子を選択しないでください(「第9章 タイマA」、「第11章 リアルタイム出力」参照)。

2. INT₂端子をP7₇に配置する場合は、AN₇/AD_{TRG}端子は使用しないでください。また、D-A₁出力許可ビット(96₁₆番地のビット1) = 0(出力禁止)にしてください。

3. INT₃端子をP7₄に配置する場合は、AN₄端子を使用しないでください。

4. INT₄端子をP7₅に配置する場合は、AN₅端子を使用しないでください。

図7.10.2 外部割り込み入力制御レジスタのレジスタ構成

外部割り込み入力読み出しレジスタ【95 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0								
				<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>								
ビット	ビット名	機能	リセット時	R/W								
0	$\overline{\text{INT}}_0$ 読み出しビット	対応する端子の入力レベルを読み出す 0 : Lレベル 1 : Hレベル	不定	RO								
1	$\overline{\text{INT}}_1$ 読み出しビット		不定	RO								
2	$\overline{\text{INT}}_2$ 読み出しビット		不定	RO								
3	$\overline{\text{INT}}_3$ 読み出しビット (注)		不定	RO								
4	$\overline{\text{INT}}_4$ 読み出しビット		不定	RO								
5	NMI読み出しビット		不定	RO								
7、6	読み出した場合その内容は不定		不定	RO								

注．キー入力割り込み選択ビット(94₁₆番地のビット0)=1のときは、INT₃端子の入力レベルは読み出せません。

図7.10.3 外部割り込み入力読み出しレジスタのレジスタ構成

ポート P6 方向レジスタ【10₁₆ 番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	対応する端子名	機 能	リセット時	R/W
0	TA4 _{OUT} 端子	0 : 入力モード 1 : 出力モード 外部割り込みの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW
1	TA4 _{IN} 端子		0	RW
2	$\overline{\text{INT}}_0$ 端子		0	RW
3	$\overline{\text{INT}}_1$ 端子		0	RW
4	$\overline{\text{INT}}_2$ 端子 (注)		0	RW
5	TB0 _{IN} 端子		0	RW
6	TB1 _{IN} 端子		0	RW
7	TB2 _{IN} 端子		0	RW

注 . $\overline{\text{INT}}_2$ 端子選択ビット(94₁₆番地のビット4)=0の場合。

ポート P7 方向レジスタ【11₁₆ 番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	対応する端子名	機 能	リセット時	R/W
0	AN ₀ 端子	0 : 入力モード 1 : 出力モード 外部割り込みの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW
1	AN ₁ 端子		0	RW
2	AN ₂ 端子		0	RW
3	AN ₃ 端子		0	RW
4	$\overline{\text{INT}}_3$ 端子(AN ₄ 端子) (注1)		0	RW
5	$\overline{\text{INT}}_4$ 端子(AN ₅ 端子) (注1)		0	RW
6	AN ₆ /DA ₀ 端子		0	RW
7	$\overline{\text{INT}}_2$ 端子(AN ₇ /AD _{TRG} /DA ₁ 端子)(注1)		0	RW

注1 . $\overline{\text{INT}}_2 \sim \overline{\text{INT}}_4$ 端子選択ビット(94₁₆番地のビット4~6)=1の場合。
2.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

ポート P8 方向レジスタ【14₁₆ 番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	対応する端子名	機 能	リセット時	R/W
0	$\overline{\text{INT}}_3$ 端子(CTS ₀ /RTS ₀ 端子) (注1)	0 : 入力モード 1 : 出力モード 外部割り込みの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW
1	CTS ₀ /CLK ₀ 端子		0	RW
2	RxD ₀ 端子		0	RW
3	TxD ₀ 端子		0	RW
4	$\overline{\text{INT}}_4$ 端子(CTS ₁ /RTS ₁ 端子) (注1)		0	RW
5	CTS ₁ /CLK ₁ 端子		0	RW
6	RxD ₁ 端子		0	RW
7	TxD ₁ 端子		0	RW

注1 . $\overline{\text{INT}}_3$ 、 $\overline{\text{INT}}_4$ 端子選択ビット(94₁₆番地のビット5、6)=0の場合。
2.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

図7.10.4 ポートP6方向レジスタ、ポートP7方向レジスタ及びポートP8方向レジスタと外部割り込みの入力端子の対応

7.10.3 \overline{INT}_i 割り込み要求ビットの機能

図7.10.5に \overline{INT}_i 割り込み要求を示します。

(1)エッジセンス選択時($\overline{INT}_0 \sim \overline{INT}_4$)

割り込み要求ビットは、内部割り込みの割り込み要求ビットと同じ機能を持ちます。したがって、割り込み要求が発生すると、割り込み要求ビットは“1”になり、割り込み要求が受け付けられるまで、“1”の状態を保持します。また、ソフトウェアで割り込み要求ビットを“0”にして割り込み要求を消す、又は“1”にして割り込み要求を発生させることができます。

(2)レベルセンス選択時($\overline{INT}_0 \sim \overline{INT}_2$)

割り込み要求ビットは無効です。

この場合、 $\overline{INT}_0 \sim \overline{INT}_2$ 端子が有効レベル^{*1}の期間には、割り込み要求が連続して発生します。また、割り込み要求が受け付けられないまま、 $\overline{INT}_0 \sim \overline{INT}_2$ 端子が無効レベル^{*2}に変化した場合も、割り込み要求は保持されません(図7.10.6参照)。

有効レベル^{*1}：極性切り替えビット(7D₁₆～7F₁₆番地のビット4)で選択したレベル

無効レベル^{*2}：有効レベルと逆のレベル

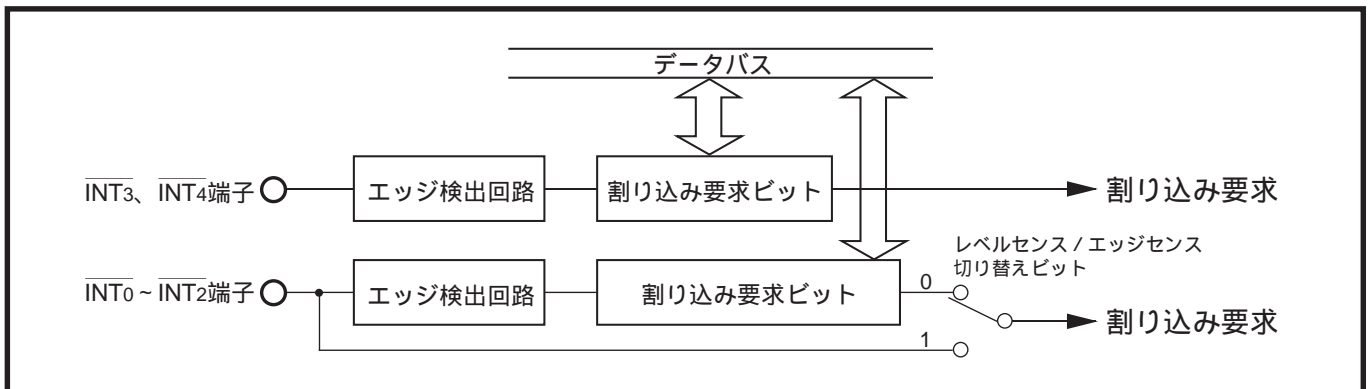


図7.10.5 \overline{INT}_i 割り込み要求

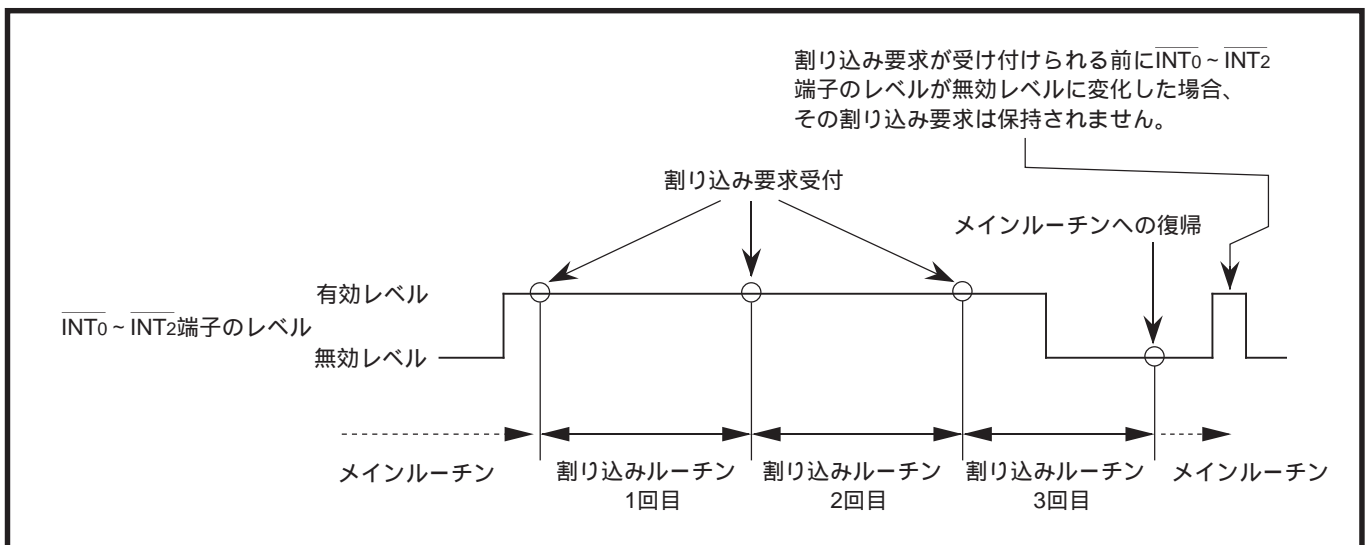
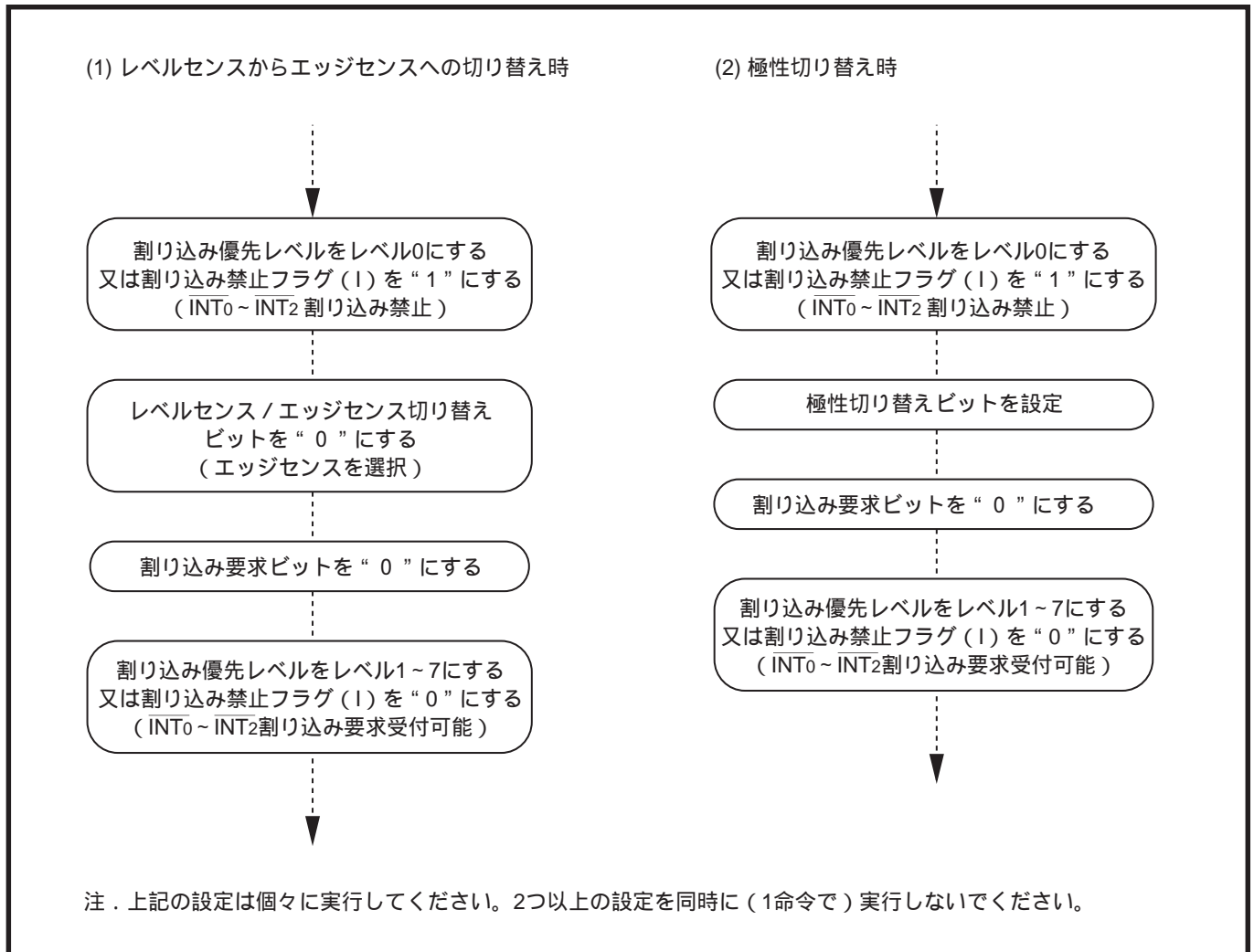


図7.10.6 $\overline{INT}_0 \sim \overline{INT}_2$ 割り込み要求(レベルセンス選択時)

7.10.4 $\overline{INT}_0 \sim \overline{INT}_2$ 割り込み要求発生要因の切り替え

$\overline{INT}_0 \sim \overline{INT}_2$ 割り込み要求発生要因をレベルセンスからエッジセンスに切り替えるとき、及び極性を切り替えるときに、割り込み要求ビットが“1”になることがあります。それぞれ切り替えを行った後に、割り込み要求ビットを“0”にしてください。図7.10.7に $\overline{INT}_0 \sim \overline{INT}_2$ 割り込み要求発生要因の切り替え手順例を示します。

図7.10.7 $\overline{INT}_0 \sim \overline{INT}_2$ 割り込み要求発生要因の切り替え手順例

【割り込み使用上の注意】

1. 割り込み優先レベル選択ビット(6E₁₆~7F₁₆番地のビット0~2)の内容を変更する場合、書き込み命令の実行から割り込み優先レベルが変更されるまでに、 f_{sys} の2~7サイクルの時間を要します。このため、数命令間の非常に短い時間内に同一割り込み要因の割り込み優先レベルを変更する場合、変更に必要な時間をソフトウェアで確保する必要があります。図7.10.8に割り込み優先レベルの変更に必要な時間を確保する場合のプログラム例を示します。なお、変更に必要な時間は、割り込み優先順位判定時間選択ビット(5E₁₆番地のビット4、5)の内容によって異なります。表7.10.2に図7.10.8のプログラム例で挿入する命令数と割り込み優先順位判定時間選択ビットの関係を示します。

```

MOVMB 00XXH, #0XH ; 割り込み優先レベル選択ビットへの書き込み命令
NOP                ; NOP命令挿入(注)
NOP                ;
NOP                ;
MOVMB 00XXH, #0XH ; 割り込み優先レベル選択ビットへの書き込み命令

```

注．NOP命令のサイクル数に相当する他の命令(XX₁₆番地への書き込み命令を除く)を挿入することもできます。挿入するNOP命令数については、表7.10.2を参照してください。

XX : 6E~7Fの対象となる番地

図7.10.8 割り込み優先レベルの変更に必要な時間を確保する場合のプログラム例

表7.10.2 図7.10.8のプログラム例で挿入する命令数と割り込み優先順位判定時間選択ビットの関係

割り込み優先順位判定時間選択ビット(注)		割り込み優先レベルの変更に 必要な時間	挿入する命令数
b5	b4		
0	0	f_{sys} の7サイクル	NOP命令7個以上
0	1	f_{sys} の4サイクル	NOP命令4個以上
1	0	f_{sys} の2サイクル	NOP命令2個以上
1	1	選択禁止	

注．できる限り[b5 = 1、b4 = 0]にしてください。

2. \overline{INT}_2 端子をP7₇に配置する場合は、AN₇/ \overline{AD}_{TRG} 端子は使用しないでください。また、D-A₁出力許可ビット(96₁₆番地のビット1)= α (出力禁止)にしてください。
 \overline{INT}_3 端子をP7₄に配置する場合は、AN₄端子を使用しないでください。
 \overline{INT}_4 端子をP7₅に配置する場合は、AN₅端子を使用しないでください。

第 8 章

キー入力割り込み

- 8.1 概 要
- 8.2 ブロック説明
- 8.3 関連レジスタの初期設定例

キー入力割り込みは4本の端子のいずれかの入力信号の立ち下がり、割り込み要求を発生する機能です。ストップモード、又はウェイトモード解除時、この機能を利用するとキーオンウエイクアップを実現できます。ストップモード、ウェイトモードについては「第16章 ストップモード、ウェイトモード」を参照してください。

8.1 概要

キー入力割り込み要求は、 $\overline{KI_0} \sim \overline{KI_3}$ 端子のいずれかへの入力信号の立ち下がりで発生します。したがって、外部に図8.1.1に示すようなキーマトリクスを構成すると、キーを押すだけで割り込み要求を発生させることができます。

$\overline{KI_0} \sim \overline{KI_3}$ 端子のうち何本をキー入力割り込み端子として使用するかを、ソフトウェアで選択できます。また、キー入力割り込み端子として選択した端子は、ソフトウェアでプルアップできます。

なお、キー入力割り込みのベクトル番地、及び割り込み制御レジスタは、 $\overline{INT_3}$ 割り込みと共用です。キー入力割り込みを選択した場合、 $\overline{INT_3}$ 割り込みは使用できません。

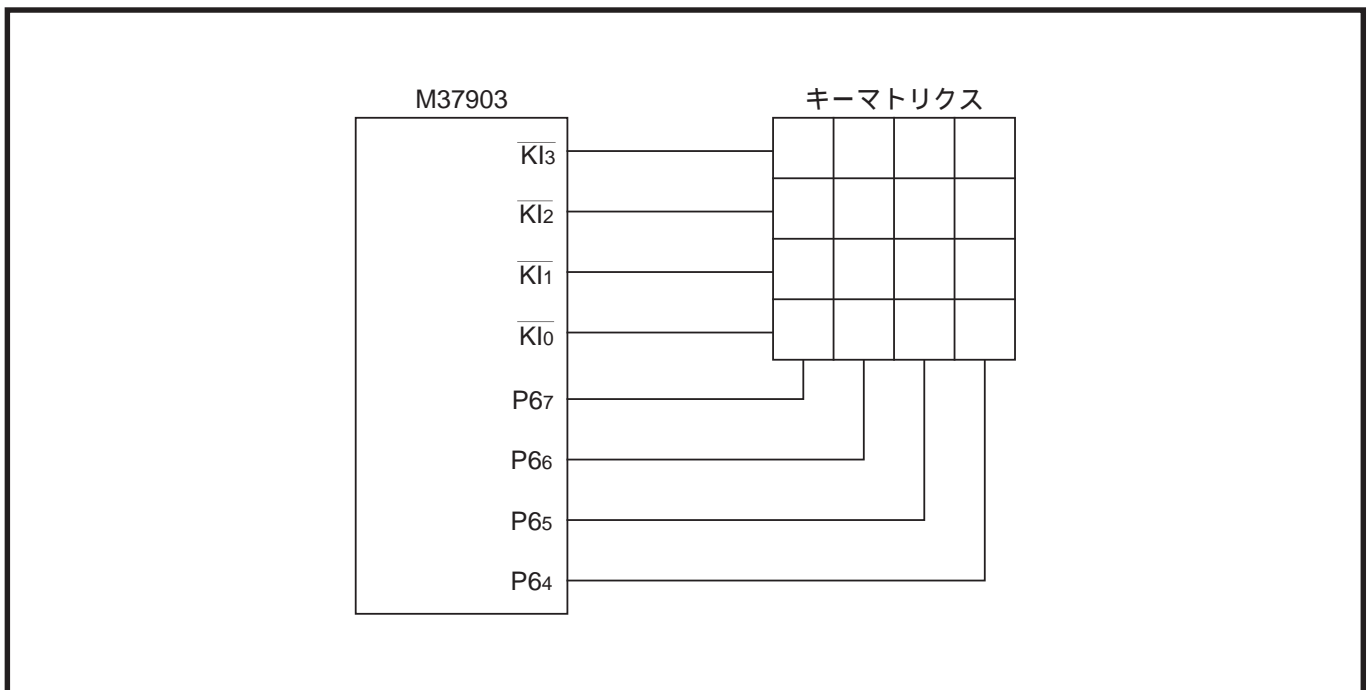


図8.1.1 キー入力割り込み機能を使用するキーマトリクス例

8.2 ブロック説明

キー入力割り込み機能のブロック図を図8.2.1に示し、キー入力割り込み関連レジスタについて以下に説明します。

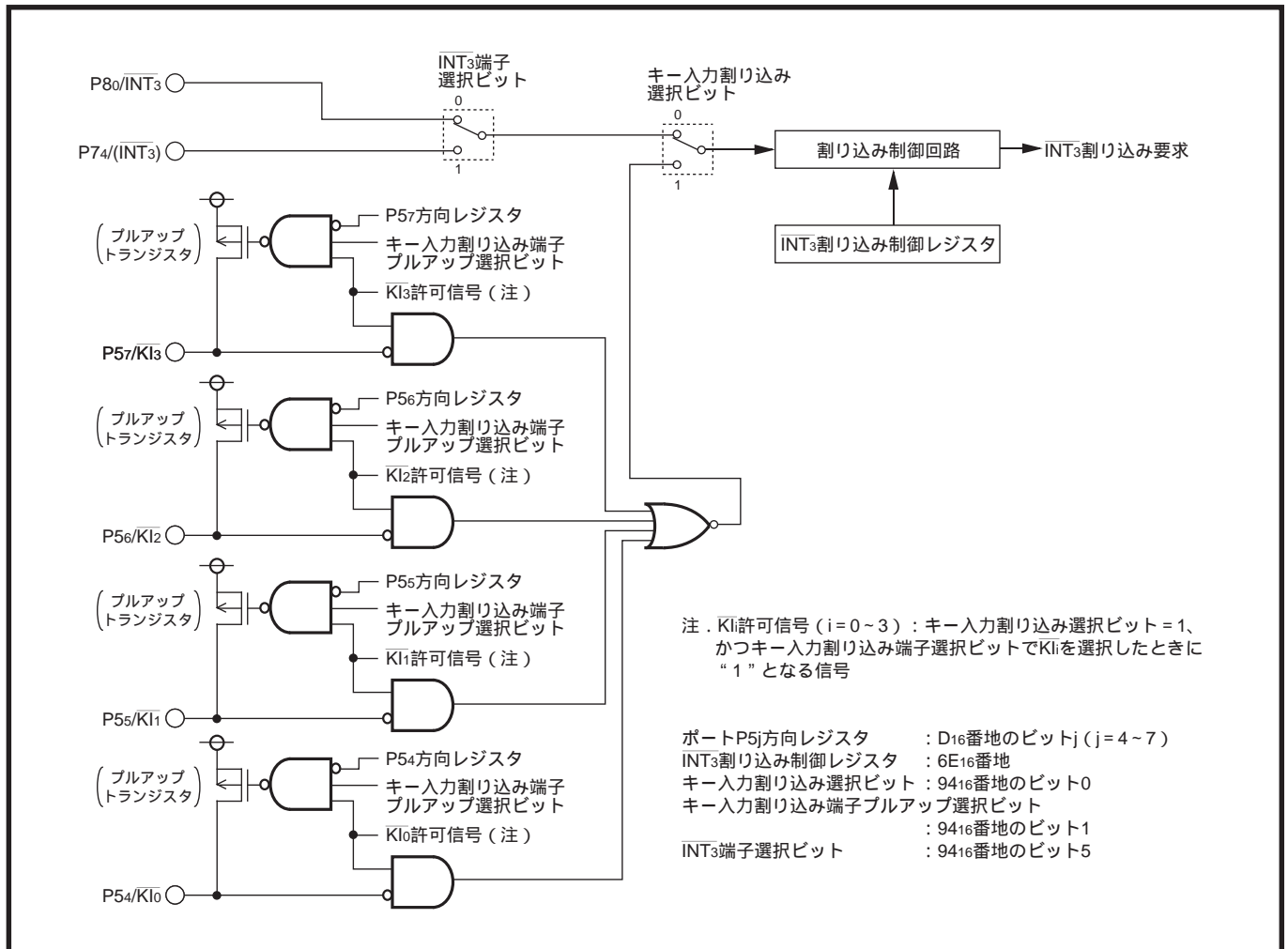


図8.2.1 キー入力割り込み機能ブロック図

8.2.1 外部割り込み入力制御レジスタ

図8.2.2に外部割り込み入力制御レジスタのレジスタ構成を示します。

外部割り込み入力制御レジスタ【94 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
					0							
ビット	ビット名	機能	リセット時	R/W								
0	キー入力割り込み選択ビット	0: INT ₃ 割り込み 1: キー入力割り込み	0	RW								
1	キー入力割り込み端子プルアップ選択ビット	0: KI ₀ ~ KI ₃ 端子をプルアップしない 1: KI ₀ ~ KI ₃ 端子をプルアップする	0	RW								
2	キー入力割り込み端子選択ビット	b3 b2 00: KI ₀ ~ KI ₃ を選択 01: KI ₀ ~ KI ₂ を選択 10: KI ₀ , KI ₁ を選択 11: KI ₀ を選択 (注1)	0	RW								
3			0	RW								
4	INT ₂ 端子選択ビット	0: INT ₂ 端子をP6 ₄ に配置する 1: INT ₂ 端子をP7 ₇ に配置する (注2)	0	RW								
5	INT ₃ 端子選択ビット	0: INT ₃ 端子をP8 ₀ に配置する 1: INT ₃ 端子をP7 ₄ に配置する (注3)	0	RW								
6	INT ₄ 端子選択ビット	0: INT ₄ 端子をP8 ₄ に配置する 1: INT ₄ 端子をP7 ₅ に配置する (注4)	0	RW								
7	“0”に固定してください		0	RW								

注1. KI_i端子を使用するときは、共用となっているタイマAの出力端子、及びパルス出力端子を選択しないでください(「第9章 タイマA」, 「第11章 リアルタイム出力」参照)

2. INT₂端子をP7₇に配置する場合は、AN₇/AD_{TRG}端子は使用しないでください。また、D-A₁出力許可ビット(96₁₆番地のビット1) = 0(出力禁止)にしてください。

3. INT₃端子をP7₄に配置する場合は、AN₄端子を使用しないでください。

4. INT₄端子をP7₅に配置する場合は、AN₅端子を使用しないでください。

図8.2.2 外部割り込み入力制御レジスタのレジスタ構成

(1) キー入力割り込み選択ビット(ビット0)

キー入力割り込みはINT₃割り込みと共用です。このビットを“1”にすると、キー入力割り込みが選択されます。キー入力割り込みを選択した場合、INT₃割り込みは使用できません。

(2) キー入力割り込み端子プルアップ選択ビット(ビット1)

このビットを“1”にすると、キー入力割り込み端子として選択されたKI_i端子がプルアップされます。キーマトリクスを構成する際、これらのビットを“1”にしてKI_i端子をプルアップすると、外部にプルアップ抵抗を接続する必要がありません。

なお、プログラマブル入出力ポートとして機能している場合は、このビットの内容にかかわらず、プルアップされません。

(3) キー入力割り込み端子選択ビット(ビット2、3)

KI₀ ~ KI₃端子のうち何本をキー入力割り込み端子として使用するかを選択するビットです。キー入力割り込み端子として使用しない端子は、プログラマブル入出力ポートとして使用できます。

KI_i端子に入力する信号には、 $f(X_{IN})$ に関係なく、250ns以上の“L”レベル幅が必要です。

8.2.2 INT₃割り込み制御レジスタ

キー入力割り込みはINT₃割り込みと共用です。割り込みベクトル番地には、FFD2₁₆、FFD3₁₆番地(INT₃割り込みのベクトル番地)を、割り込み制御レジスタには6E₁₆番地(INT₃割り込み制御レジスタ)を使用してください。キー入力割り込みを選択した場合、INT₃割り込みは使用できません。

キー入力割り込み要求受付時の動作は、INT₃割り込み要求を受け付けた場合と同じです(「第7章 割り込み」参照)。

図8.2.3にキー入力割り込み選択時のINT₃割り込み制御レジスタのレジスタ構成を示します。各ビットの詳細については、「第7章 割り込み」を参照してください。

INT ₃ 割り込み制御レジスタ【6E ₁₆ 番地】			b7 b6 b5 b4 b3 b2 b1 b0				
			0				
ビット	ビット名	機 能	リセット時	R/W			
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0(割り込み禁止)	0	RW			
1		0 0 1 : レベル1	0	RW			
		0 1 0 : レベル2					
		0 1 1 : レベル3					
		1 0 0 : レベル4					
		1 0 1 : レベル5					
2		1 1 0 : レベル6		0	RW		
		1 1 1 : レベル7					
3	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0	RW (注)			
4	極性切り替えビット	0 : 立ち下がり で割り込み要求ビットを“1”にする	0	RW			
7~5	何も配置されていない		不定	-			

注 . このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

図8.2.3 キー入力割り込み選択時のINT₃割り込み制御レジスタのレジスタ構成

8.2.3 ポートP5方向レジスタ

キー入力割り込み端子はポートP5と共用です。これらの端子をキー入力割り込み端子として使用する場合は、ポートP5方向レジスタの対応するビットを“0”にして入力モードに設定してください。図8.2.4にポートP5方向レジスタとキー入力割り込み端子の対応を示します。

キー入力割り込み選択時、ポートP5レジスタ(B₁₆番地)のビット4~7を読み出すと、対応するKI_i端子の状態を読むことができます。

ポート P5 方向レジスタ【D ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0																	
		<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%; height: 20px;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																	
ビット	対応する端子名	機 能	リセット時	R/W															
0	TA0 _{OUT} /RTP0 ₀ 端子	0 : 入力モード 1 : 出力モード キー入力割り込み端子として使用する場合は、 対応するビットを“0”にしてください	0	RW															
1	TA0 _{IN} /RTP0 ₁ 端子		0	RW															
2	TA1 _{OUT} /RTP0 ₂ 端子		0	RW															
3	TA1 _{IN} /RTP0 ₃ 端子		0	RW															
4	KI ₀ 端子(TA2 _{OUT} /RTP1 ₀ 端子)		0	RW															
5	KI ₁ 端子(TA2 _{IN} /RTP1 ₁ 端子)		0	RW															
6	KI ₂ 端子(TA3 _{OUT} /RTP1 ₂ 端子)		0	RW															
7	KI ₃ 端子(TA3 _{IN} /RTP1 ₃ 端子)		0	RW															

注 . ()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

図8.2.4 ポートP5方向レジスタとキー入力割り込み端子の対応

8.3 関連レジスタの初期設定例

図8.3.1にキー入力割り込み機能関連レジスタの初期設定例を示します。

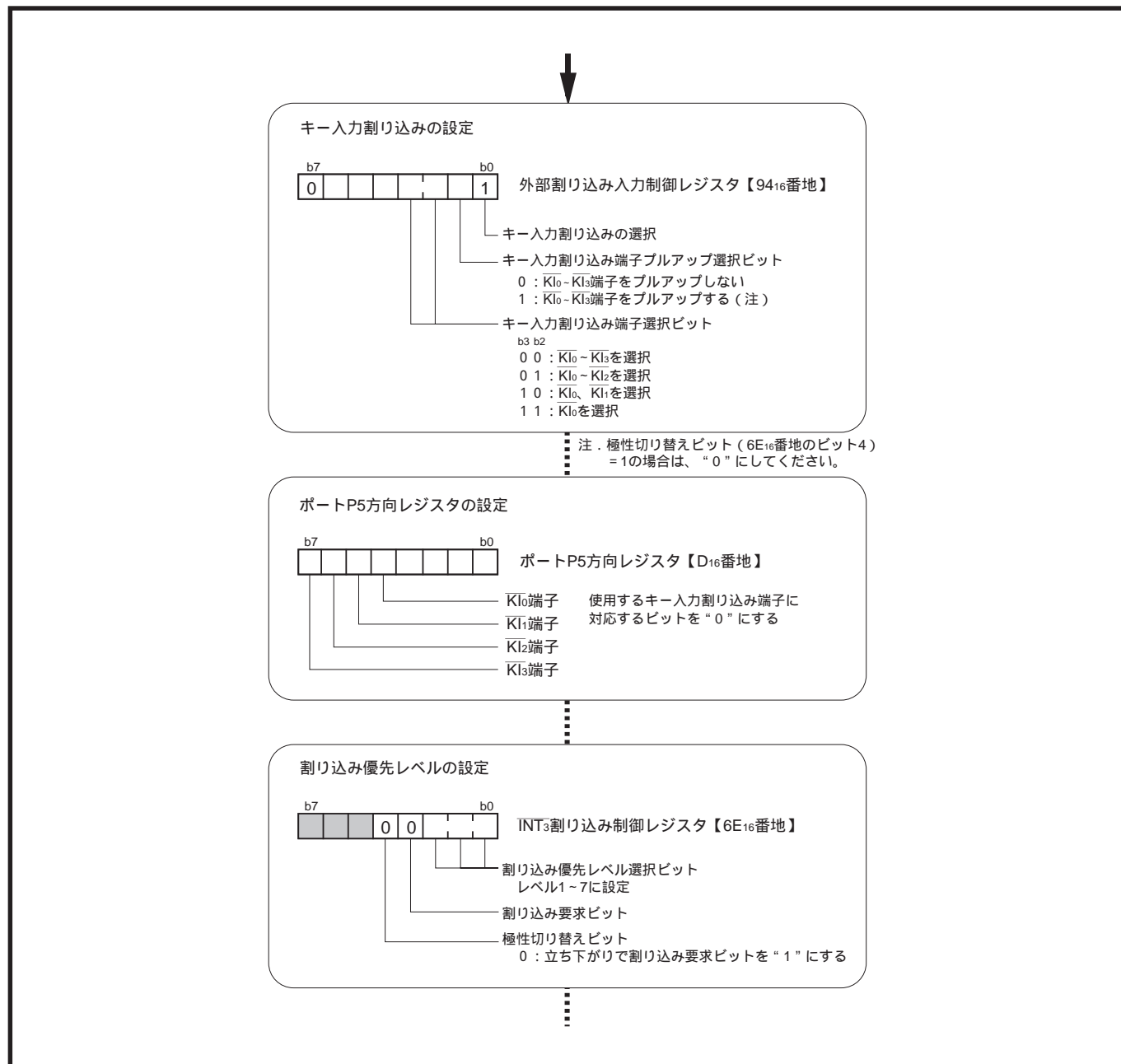


図8.3.1 キー入力割り込み機能関連レジスタの初期設定例

Memo

第 9 章

タイマA

9.1 概 要

9.2 ブロック説明

9.3 タイマモード

【タイマモード使用上の注意】

9.4 イベントカウンタモード

【イベントカウンタモード使用上の注意】

9.5 ワンショットパルスモード

【ワンショットパルスモード使用上の注意】

9.6 パルス幅変調(PWM)モード

【パルス幅変調(PWM)モード使用上の注意】

9.1 概要

タイマAは16ビットのリロード機能付きカウンタ5本(タイマA0~A4)で構成されています。タイマA0~A4はそれぞれ独立して動作します。

タイマA i ($i=0\sim 4$)には以下に示す4つの動作モードがあります。イベントカウンタモードを除いて、タイマA0~A4は同一の機能を持ちます。

(1)タイマモード

内部で生成されたカウントソースをカウントするモードです。このモードでは、次の機能を使用できます。

- ・ゲート機能
- ・パルス出力機能

(2)イベントカウンタモード

外部信号をカウントするモードです。このモードでは、次の機能を使用できます。

- ・パルス出力機能
- ・二相パルス信号処理機能(タイマA2、A3、A4)

(3)ワンショットパルスモード

任意のパルス幅のパルスを1回出力するモードです。

(4)パルス幅変調(PWM)モード

任意のパルス幅のパルスを連続して出力するモードです。このモードでは、カウンタが以下に示すいずれかのパルス幅変調器として動作します。

- ・16ビットパルス幅変調器
- ・8ビットパルス幅変調器

9.2 ブロック説明

タイマAのブロック図を図9.2.1に示し、タイマA関連レジスタについて以下に説明します。

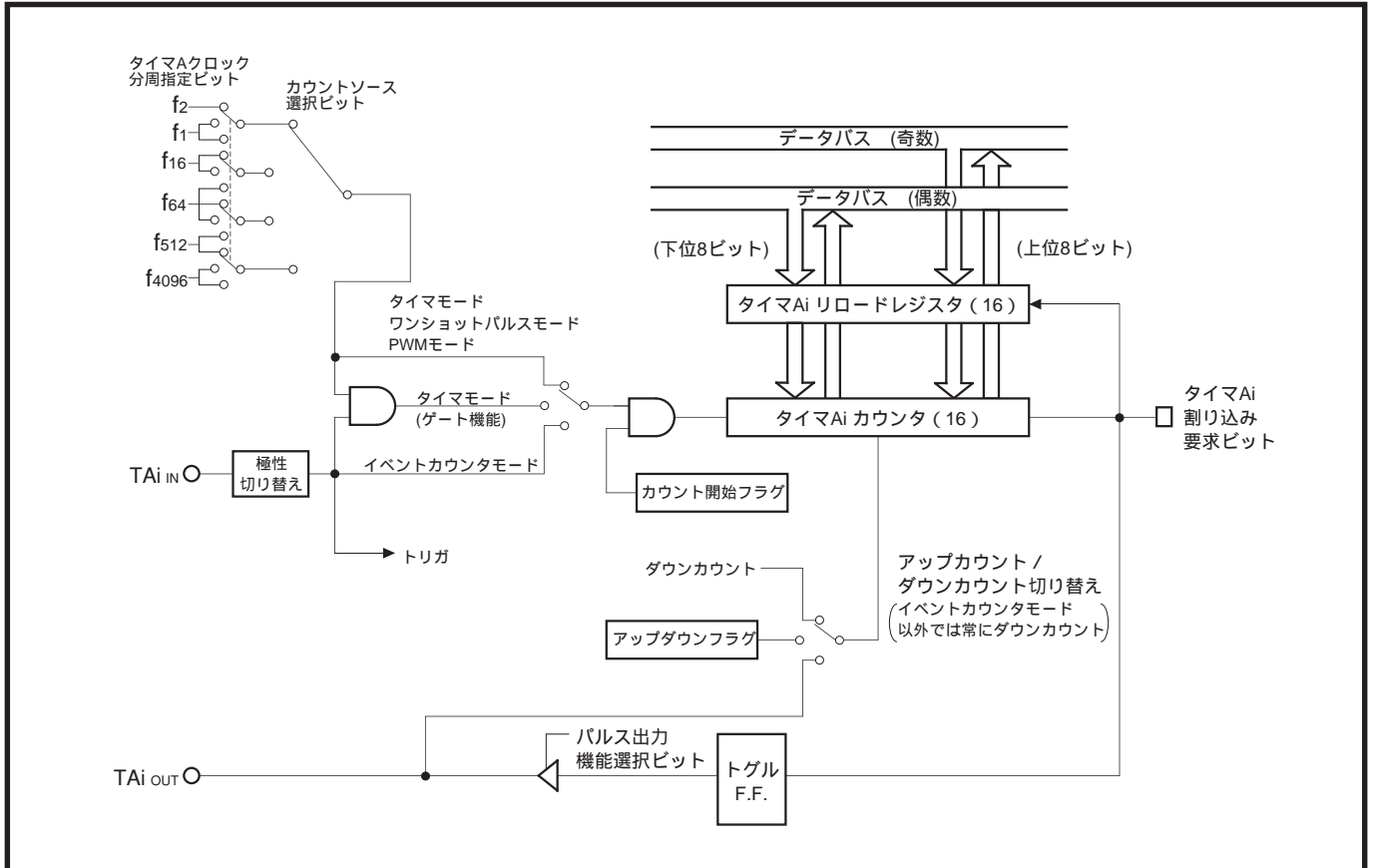


図9.2.1 タイマAブロック図

9.2.1 カウンタ及びリロードレジスタ(タイマAiレジスタ)

タイマAiカウンタ、及びリロードレジスタは16ビットで構成されています。

カウンタはカウントソースを入力するごとにダウンカウントします。イベントカウンタモード時はアップカウンタとしても動作できます。

リロードレジスタはカウンタの初期値を記憶しておくレジスタです。カウンタがアンダフロー、又はオーバフローするとき、リロードレジスタの内容はカウンタへリロードされます。

カウンタ及びリロードレジスタへの値の設定は、タイマAiレジスタへの書き込みによって行います。表9.2.1にタイマAiレジスタのメモリ配置を示します。

カウント停止中にタイマAiレジスタに書き込んだ値は、カウンタ及びリロードレジスタに設定されます。カウント中にタイマAiレジスタに書き込んだ値は、リロードレジスタにだけ設定されます。この場合、更新されたリロードレジスタの内容が次のリロード時にカウンタへ転送されます。タイマAiレジスタを読み出したとき読み出される値は、動作モードによって異なります。表9.2.2にタイマAiレジスタの読み出し、及び書き込みについて示します。

表9.2.1 タイマAiレジスタのメモリ配置

タイマAiレジスタ	上位バイト	下位バイト
タイマA0レジスタ	47 ₁₆ 番地	46 ₁₆ 番地
タイマA1レジスタ	49 ₁₆ 番地	48 ₁₆ 番地
タイマA2レジスタ	4B ₁₆ 番地	4A ₁₆ 番地
タイマA3レジスタ	4D ₁₆ 番地	4C ₁₆ 番地
タイマA4レジスタ	4F ₁₆ 番地	4E ₁₆ 番地

注．リセット時、タイマAiレジスタは不定になります。

表9.2.2 タイマAiレジスタの読み出し、及び書き込み

動作モード	読み出し	書き込み
タイマモード	カウンタの値を読み出す(注1)	カウント中
イベントカウンタモード		リロードレジスタに書き込む
ワンショットパルスモード	不定値を読み出す	カウント停止中
パルス幅変調(PWM)モード		カウンタ及びリロードレジスタに書き込む

注1．【タイマモード使用上の注意】及び【イベントカウンタモード使用上の注意】を併せて参照してください。

2．読み出し、及び書き込みは16ビット単位で行ってください。

9.2.2 タイマAクロック分周指定レジスタ

タイマモード、ワンショットパルスモード、及びパルス幅変調(PWM)モードでは、カウントソース選択ビット(56₁₆ ~ 5A₁₆番地のビット6、7) 及びタイマAクロック分周指定ビット(45₁₆番地のビット0、1)によって、カウントソースを選択できます。図9.2.2にタイマAクロック分周指定レジスタのレジスタ構成を、表9.2.3にカウントソース(タイマモード、ワンショットパルスモード、及びパルス幅変調(PWM)モード時)を示します。

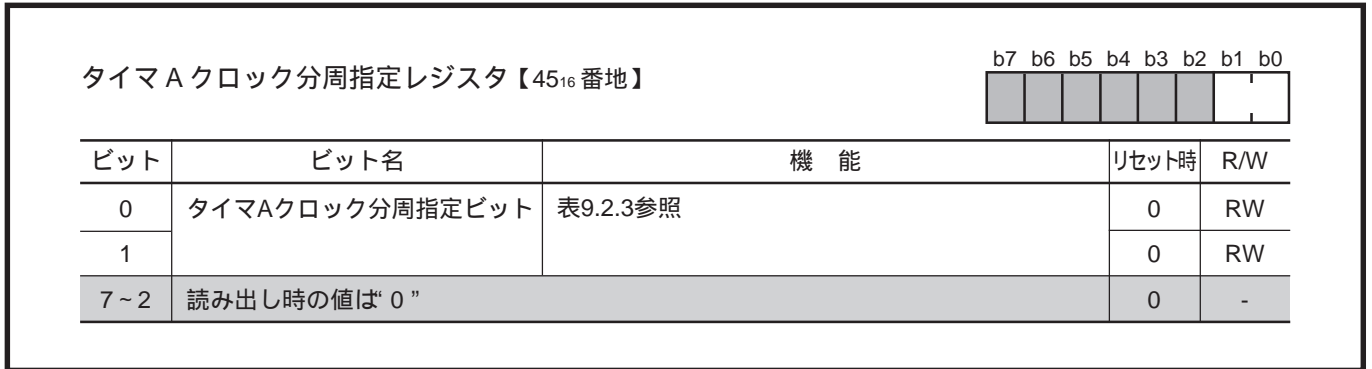


図9.2.2 タイマAクロック分周指定レジスタのレジスタ構成

表9.2.3 カウントソース(タイマモード、ワンショットパルスモード、及びパルス幅変調(PWM)モード時)

カウントソース選択ビット (56 ₁₆ ~ 5A ₁₆ 番地のビット7、6)	タイマAクロック分周指定ビット (45 ₁₆ 番地のビット1、0)				選択禁止
	00	01	10	11	
00	f ₂	f ₁	f ₁		選択禁止
01	f ₁₆	f ₁₆	f ₆₄		
10	f ₆₄	f ₆₄	f ₅₁₂		
11	f ₅₁₂	f ₄₀₉₆	f ₄₀₉₆		

9.2.3 カウント開始フラグ

カウントを開始、又は停止させるためのレジスタです。各ビットがそれぞれ各タイマに対応しています。図9.2.3にカウント開始フラグのレジスタ構成を示します。

カウント開始フラグ【40 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0					
				□	□	□	□	□	□
ビット	ビット名	機能	リセット時	R/W					
0	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	0	RW					
1	タイマA1カウント開始フラグ		0	RW					
2	タイマA2カウント開始フラグ		0	RW					
3	タイマA3カウント開始フラグ		0	RW					
4	タイマA4カウント開始フラグ		0	RW					
5	タイマB0カウント開始フラグ		0	RW					
6	タイマB1カウント開始フラグ		0	RW					
7	タイマB2カウント開始フラグ		0	RW					

図9.2.3 カウント開始フラグのレジスタ構成

9.2.4 タイマAiモードレジスタ

図9.2.4にタイマAiモードレジスタのレジスタ構成を示します。動作モード選択ビットは、タイマAiの動作モードを選択するためのビットです。動作モードによって機能が異なるビット2~7については、各動作モードの節で説明します。

タイマAiモードレジスタ (i = 0 ~ 4)【56 ₁₆ ~ 5A ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0					
				□	□	□	□	□	□
ビット	ビット名	機能	リセット時	R/W					
0	動作モード選択ビット	b1 b0	0	RW					
1		00 : タイマモード 01 : イベントカウンタモード 10 : ワンショットパルスモード 11 : パルス幅変調 (PWM)モード	0	RW					
2	動作モードによって機能が異なる		0	RW					
3		0	RW						
4		0	RW						
5		0	RW						
6		0	RW						
7		0	RW						

図9.2.4 タイマAiモードレジスタのレジスタ構成

9.2.5 タイマAi割り込み制御レジスタ

図9.2.5にタイマAi割り込み制御レジスタのレジスタ構成を示します。割り込みについての詳細は「第7章 割り込み」を参照してください。

タイマ Ai 割り込み制御レジスタ (i = 0 ~ 4)【75 ₁₆ ~ 79 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
ビット	ビット名	機能	リセット時	R/W				
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	0	RW				
1		0 0 1 : レベル1	0	RW				
2		0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	0	RW				
3		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0	RW (注)			
7~4	何も配置されていない		不定	-				

注 . このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

図9.2.5 タイマAi割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット2~0)

タイマAi割り込みの優先レベルを選択するためのビットです。タイマAi割り込みを使用する場合はレベル1~7を選択してください。タイマAi割り込み要求が発生すると、優先レベルとプロセッサ割り込み優先レベル(IPL)が比較され、優先レベルの方がIPLより大きい場合だけ、割り込みが許可されます(ただし、割り込み禁止フラグ(1)が“0”の場合)。タイマAi割り込みを禁止する場合は、このビットを“000₂(レベル0)に設定してください。

(2) 割り込み要求ビット(ビット3)

タイマAi割り込み要求が発生したとき、このビットは“1”になります。その後、タイマAi割り込み要求が受け付けられると、このビットは自動的に“0”になります。また、このビットはソフトウェアによって“1”又は“0”にできます。

9.2.6 ポートP5方向レジスタ、ポートP6方向レジスタ

タイマA0～A3の入出力端子はポートP5、タイマA4の入出力端子はポートP6と共用です。これらの端子をタイマAiの入力端子として使用する場合は、ポートP5方向レジスタ、ポートP6方向レジスタの対応するビットを“0”にして入力モードに設定してください。タイマAiの出力端子として使用する場合は、方向レジスタの内容にかかわらず、強制的にタイマAiの出力端子になります。図9.2.6にポートP5方向レジスタ及びポートP6方向レジスタとタイマAiの入出力端子の対応を示します。

ポート P5 方向レジスタ【D ₁₆ 番地】														
b7 b6 b5 b4 b3 b2 b1 b0														
<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>														
ビット	対応する端子名	機 能	リセット時	R/W										
0	TA0 _{OUT} 端子 (RTP0 ₀ 端子)	0 : 入力モード 1 : 出力モード タイマAiの入力端子として使用する場合は、対応するビットを“0”にしてください	0	RW										
1	TA0 _{IN} 端子 (RTP0 ₁ 端子)		0	RW										
2	TA1 _{OUT} 端子 (RTP0 ₂ 端子)		0	RW										
3	TA1 _{IN} 端子 (RTP0 ₃ 端子)		0	RW										
4	TA2 _{OUT} 端子 (RTP1 ₀ /KI ₀ 端子)		0	RW										
5	TA2 _{IN} 端子 (RTP1 ₁ /KI ₁ 端子)		0	RW										
6	TA3 _{OUT} 端子 (RTP1 ₂ /KI ₂ 端子)		0	RW										
7	TA3 _{IN} 端子 (RTP1 ₃ /KI ₃ 端子)		0	RW										
注 . ()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。														
ポート P6 方向レジスタ【10 ₁₆ 番地】														
b7 b6 b5 b4 b3 b2 b1 b0														
<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>														
ビット	対応する端子名	機 能	リセット時	R/W										
0	TA4 _{OUT} 端子	0 : 入力モード 1 : 出力モード タイマAiの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW										
1	TA4 _{IN} 端子		0	RW										
2	INT ₀ 端子		0	RW										
3	INT ₁ 端子		0	RW										
4	INT ₂ 端子 (注)		0	RW										
5	TB0 _{IN} 端子		0	RW										
6	TB1 _{IN} 端子		0	RW										
7	TB2 _{IN} 端子		0	RW										
注 . INT ₂ 端子選択ビット(94 ₁₆ 番地のビット4)=0の場合。														

図9.2.6 ポートP5方向レジスタ及びポートP6方向レジスタとタイマAiの入出力端子の対応

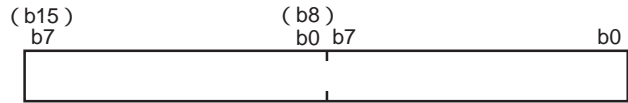
9.3 タイマモード

内部で生成されたカウントソースをカウントするモードです。表9.3.1にタイマモードの仕様を、図9.3.1にタイマモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成を示します。

表9.3.1 タイマモードの仕様

項目	仕様
カウントソース f_i	f_1 、 f_2 、 f_{16} 、 f_{64} 、 f_{512} 、又は f_{4096}
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n : タイマAiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAi _{IN} 端子の機能	プログラマブル入出力ポート、又はゲート入力
TAi _{OUT} 端子の機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

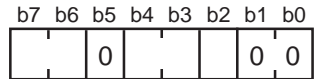
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】
 タイマ A1 レジスタ【49₁₆、48₁₆ 番地】
 タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】
 タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】
 タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】



ビット	機能	リセット時	R/W
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す	不定	RW

注. このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W
0	動作モード選択ビット	b1 b0 00: タイマモード	0	RW
1			0	RW
2	パルス出力機能選択ビット	0: パルス出力なし (TAiout端子はプログラマブル入出力ポートとして機能) 1: パルス出力あり (TAiout端子はパルス出力端子として機能(注))	0	RW
3	ゲート機能選択ビット	b4 b3 00: ゲート機能なし (TAiin端子はプログラマブル入出力ポートとして機能) 01: } 10: ゲート機能あり (TAiin端子の入力信号が L "レベルの期間だけ カウンタはカウントを行う) 11: ゲート機能あり (TAiin端子の入力信号が H "レベルの期間だけ カウンタはカウントを行う)	0	RW
4			0	RW
5	タイマモードでは 0 "に固定してください		0	RW
6	カウントソース選択ビット	表9.2.3参照	0	RW
7			0	RW

注. TA2out、TA3out端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI0、KI2端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

図9.3.1 タイマモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

9.3.1 タイマモード設定方法

図9.3.2にタイマモード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

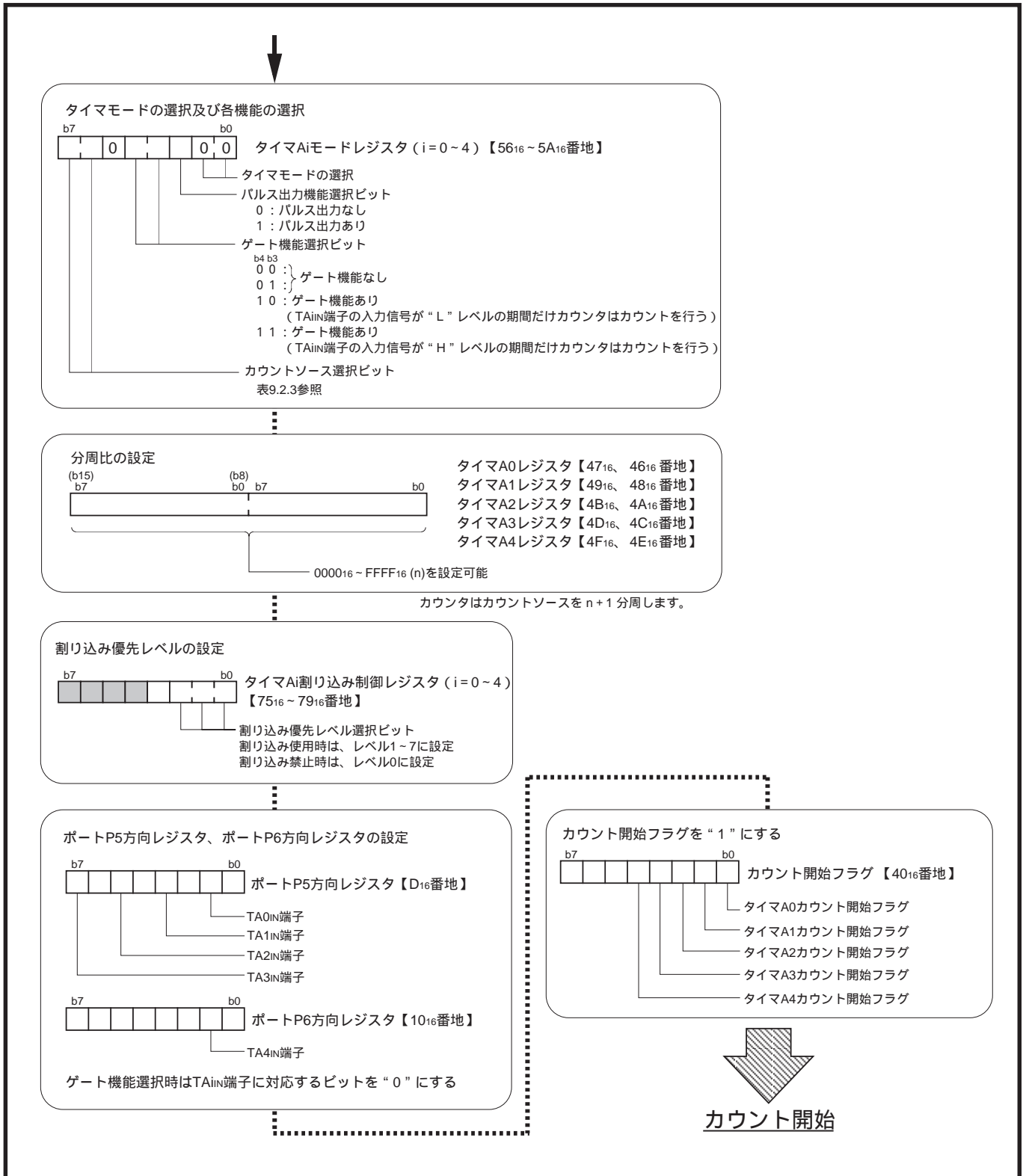


図9.3.2 タイマモード関連レジスタの初期設定例

9.3.2 タイマモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。
アンダフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー時、タイマAi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図9.3.3にタイマモード動作例を示します。

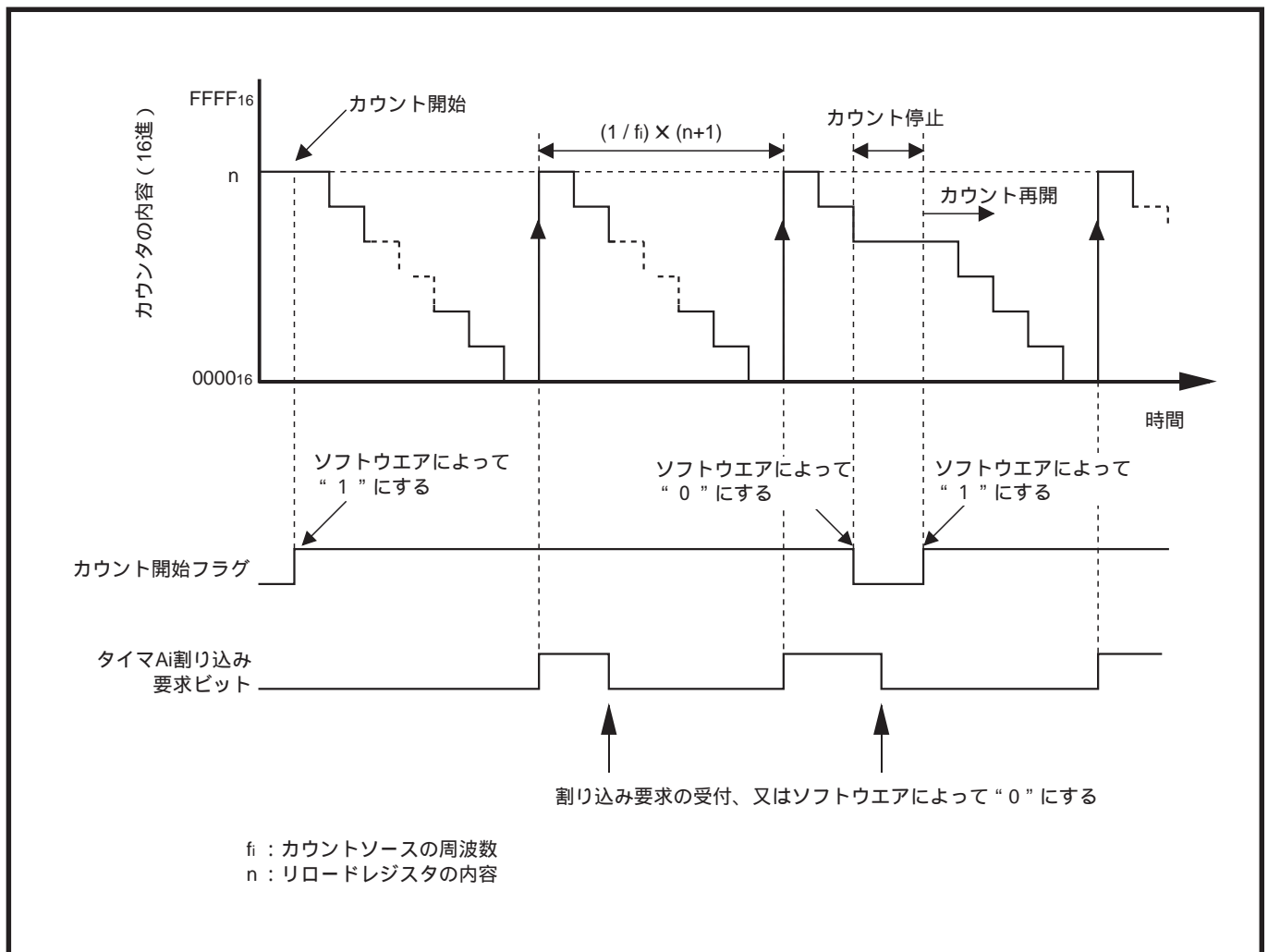


図9.3.3 タイマモード動作例(パルス出力機能、及びゲート機能なし)

9.3.3 選択機能

ゲート機能、及びパルス出力機能について以下に説明します。

(1)ゲート機能

ゲート機能選択ビット(56₁₆~5A₁₆番地のビット4、3)を“10₂”、又は“11₂”にするとゲート機能が選択されます。ゲート機能では、TAiIN端子の入力信号によってカウントを開始、又は停止させることができます。表9.3.2にカウント有効レベルを、図9.3.4にゲート機能選択時の動作例を示します。

ゲート機能選択時は、TAiIN端子に対応するポートP5、P6方向レジスタのビットを入力モードに設定してください。また、TAiIN端子に入力する信号のパルス幅は、カウントソースの2サイクル以上にしてください。

表9.3.2 カウント有効レベル

ゲート機能選択ビット		カウント有効レベル(カウンタがカウントを行う期間)
b4	b3	
1	0	TAiIN端子の入力信号が“L”レベルの期間
1	1	TAiIN端子の入力信号が“H”レベルの期間

注：TAiIN端子の入力信号がカウント有効レベルでない期間は、カウンタはカウントを行いません。

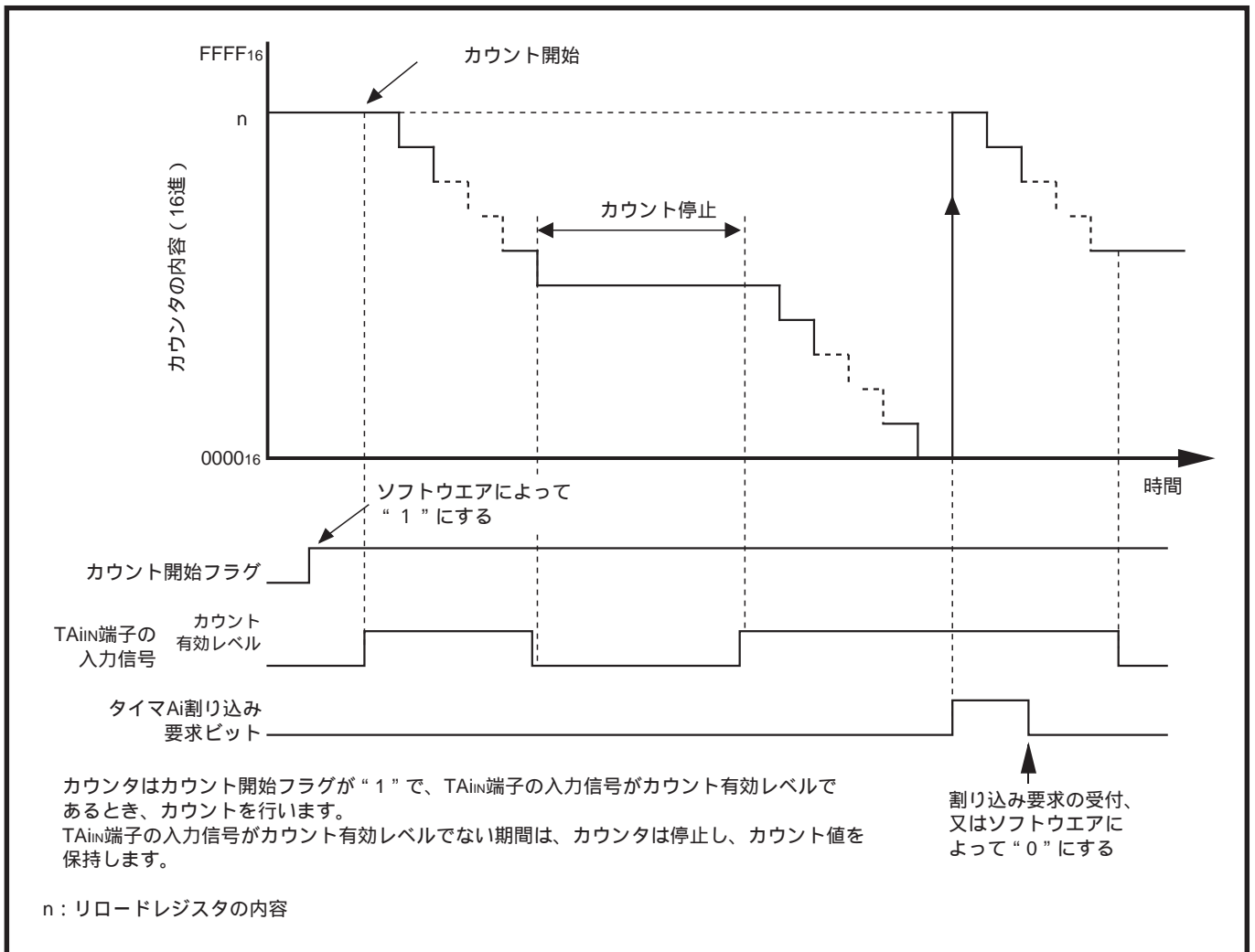


図9.3.4 ゲート機能選択時の動作例

(2)パルス出力機能

パルス出力機能選択ビット(56₁₆~5A₁₆番地のビット2)を“1”にすると、パルス出力機能が選択されます。パルス出力機能が選択されると、TAiOUT端子はポートP5、P6方向レジスタの対応するビットの内容にかかわらず、強制的にパルス出力端子となり、アンダフローするごとに極性の反転する信号を出力します。カウント開始フラグ(40₁₆番地)が“0”のとき(カウント停止時)は、TAiOUT端子は“L”レベルを出力します。図9.3.5にパルス出力機能選択時の動作例を示します。

なお、TA2OUT、TA3OUT端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

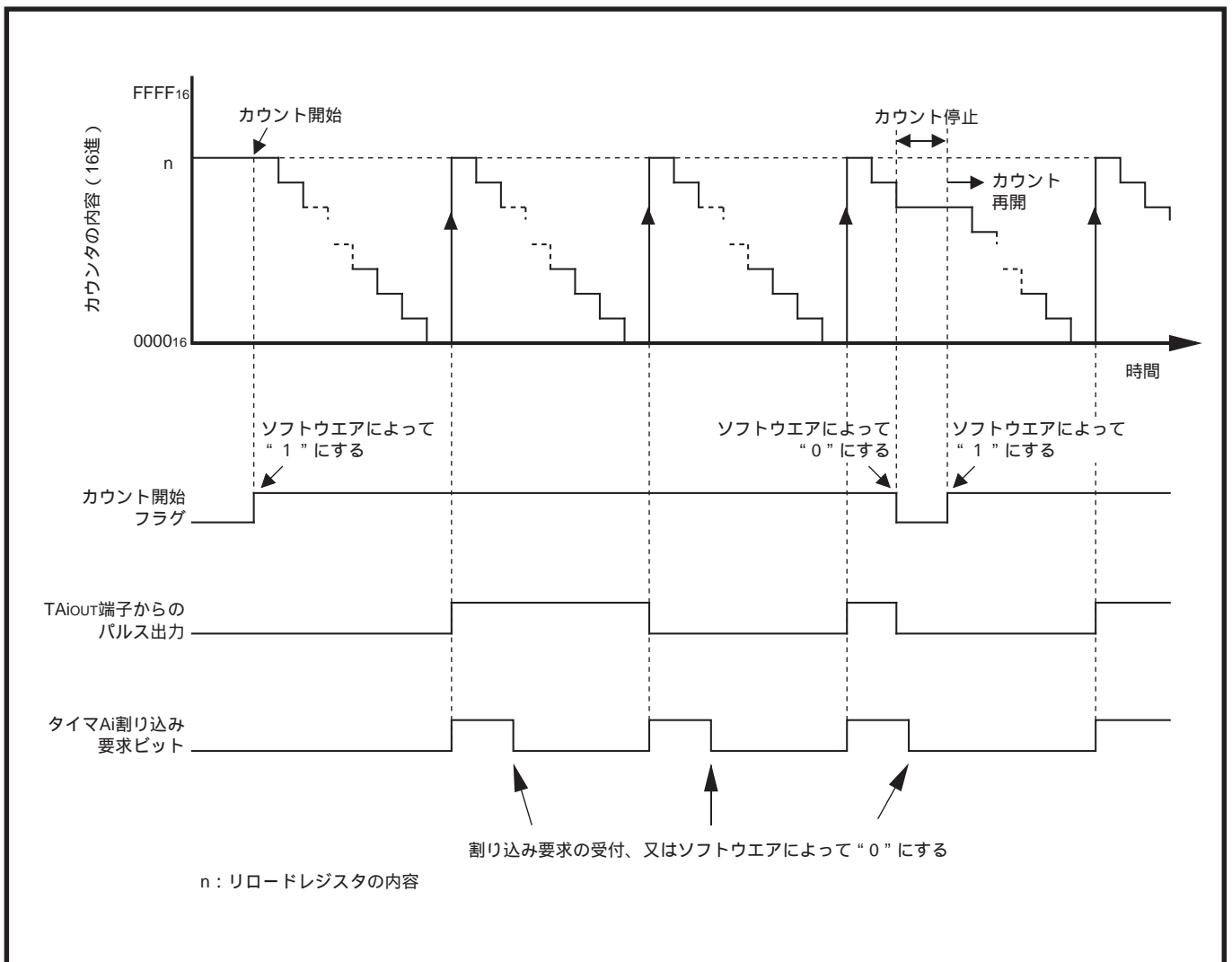


図9.3.5 パルス出力機能選択時の動作例

【タイマモード使用上の注意】

1. カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図9.3.6に示すリロードタイミングで読み出した場合は、“ $FFFF_{16}$ ”が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

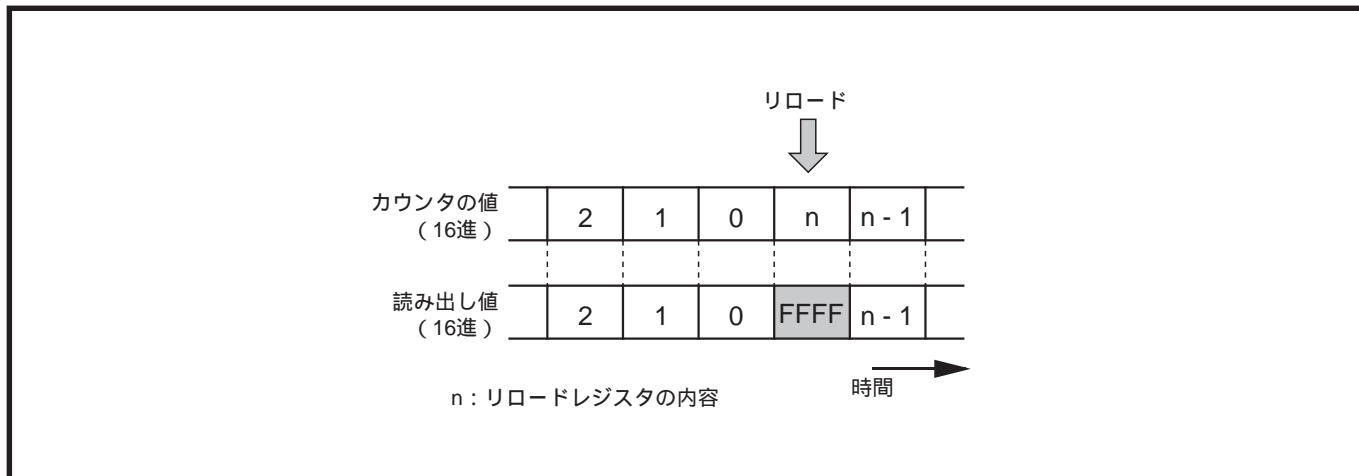


図9.3.6 タイマAiレジスタの読み出し

2. TA2_{OUT}、TA3_{OUT}端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子 (KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

9.4 イベントカウンタモード

外部信号をカウントするモードです。表9.4.1、表9.4.2にイベントカウンタモードの仕様を、図9.4.1にイベントカウンタモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成を示します。

表9.4.1 イベントカウンタモードの仕様(二相パルス信号処理機能を使用しない場合)

項目	仕様
カウントソース	TAiIN端子に入力された外部信号 カウントソースの有効エッジには立ち下がり、又は立ち上がりをソフトウェアによって選択可
カウント動作	アップカウント又はダウンカウントを、外部信号又はソフトウェアによって切り替え可 オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	ダウンカウント時 $\frac{1}{(n+1)}$ アップカウント時 $\frac{1}{(FFFF_{16} - n + 1)}$ n : タイマAiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー、及びアンダフロー時
TAiIN端子の機能	カウントソース入力
TAiOUT端子の機能	プログラマブル入出力ポート、パルス出力、又はアップカウント/ダウンカウント切り替え信号入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

表9.4.2 イベントカウンタモードの仕様(タイマA2~A4で二相パルス信号処理機能を使用する場合)

項目	仕様
カウントソース	TA _{jIN} 、TA _{jOUT} (j = 2 ~ 4)端子に入力された外部信号(二相パルス)
カウント動作	アップカウント又はダウンカウントを、外部信号(二相パルス)によって切り替え可 オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	ダウンカウント時 $\frac{1}{(n+1)}$ アップカウント時 $\frac{1}{(FFFF_{16} - n + 1)}$ n : タイマAjレジスタ設定値
カウント開始条件	カウント開始フラグへの'1'書き込み
カウント停止条件	カウント開始フラグへの'0'書き込み
割り込み要求発生タイミング	オーバフロー、及びアンダフロー時
TA _{jIN} 、TA _{jOUT} (j = 2 ~ 4)端子の機能	二相パルス入力
タイマの読み出し	タイマAjレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマAjレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAjレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

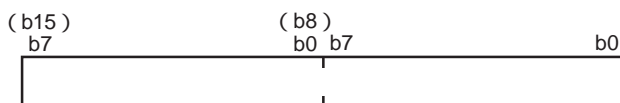
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】

タイマ A1 レジスタ【49₁₆、48₁₆ 番地】

タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】

タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】

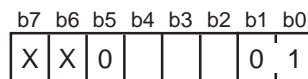
タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】



ビット	機能	リセット時	R/W
15 ~ 0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、ダウンカウント時カウンタはカウントソースをn + 1分周する アップカウント時はカウントソースをFFFF ₁₆ - n + 1分周する 読み出し時はカウンタの値を読み出す	不定	RW

注 . このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W
0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	0	RW
1			0	RW
2	パルス出力機能選択ビット	0 : パルス出力なし (TA _{iout} 端子はプログラマブル入出力ポートとして機能) 1 : パルス出力あり (TA _{iout} 端子はパルス出力端子として機能) (注)	0	RW
3	カウント極性選択ビット	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	0	RW
4	アップ/ダウン切り替え要因 選択ビット	0 : アップダウンフラグの内容 1 : TA _{iout} 端子の入力信号	0	RW
5	イベントカウンタモードでは“0”に固定してください		0	RW
6	イベントカウンタモードでは無効		0	RW
7			0	RW

X : “0”又は“1”いずれでもよい。

注 . TA_{2out}、TA_{3out}端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

図9.4.1 イベントカウンタモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

9.4.1 イベントカウンタモード設定方法

図9.4.2、図9.4.3にイベントカウンタモード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

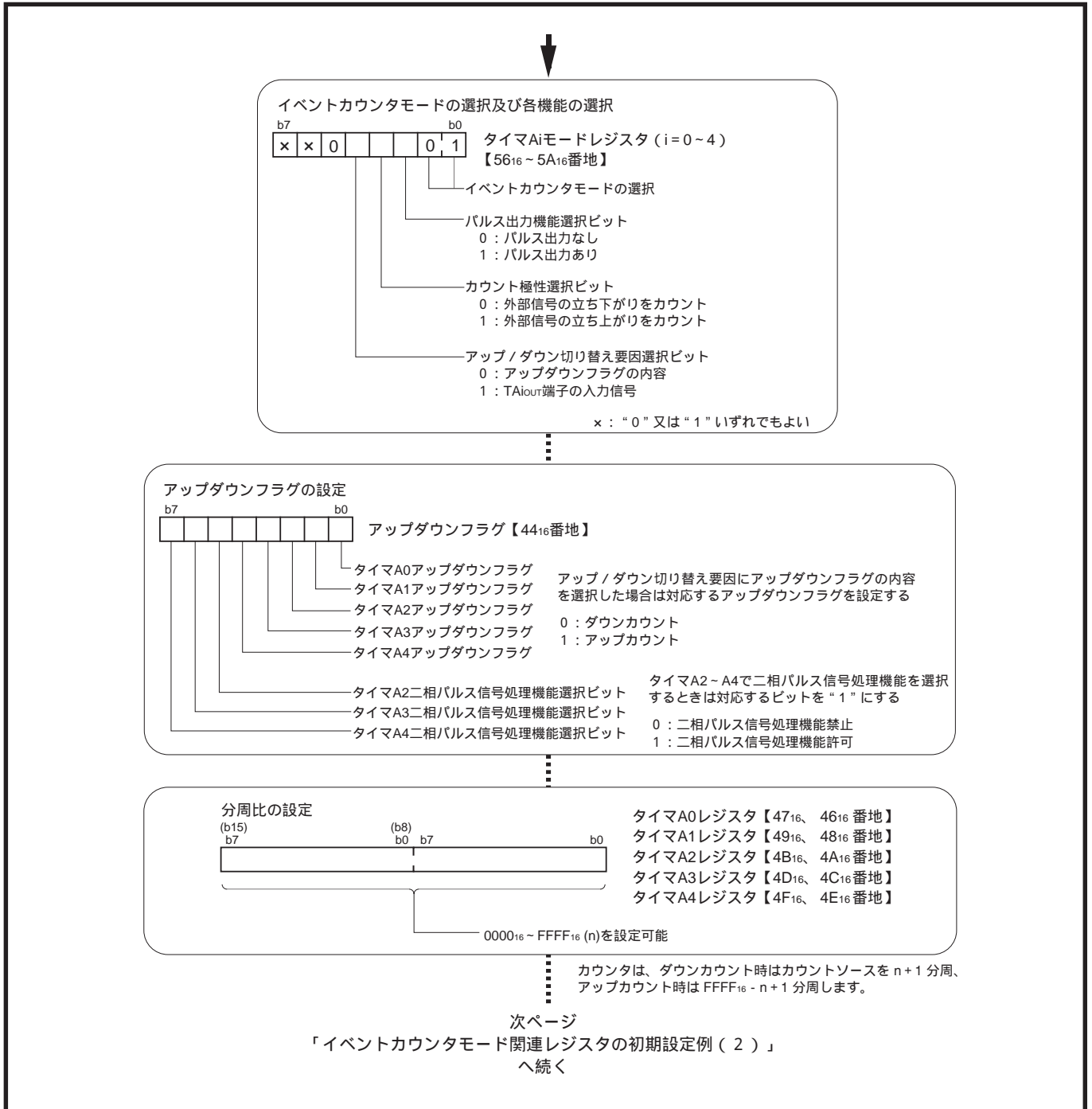


図9.4.2 イベントカウンタモード関連レジスタの初期設定例(1)

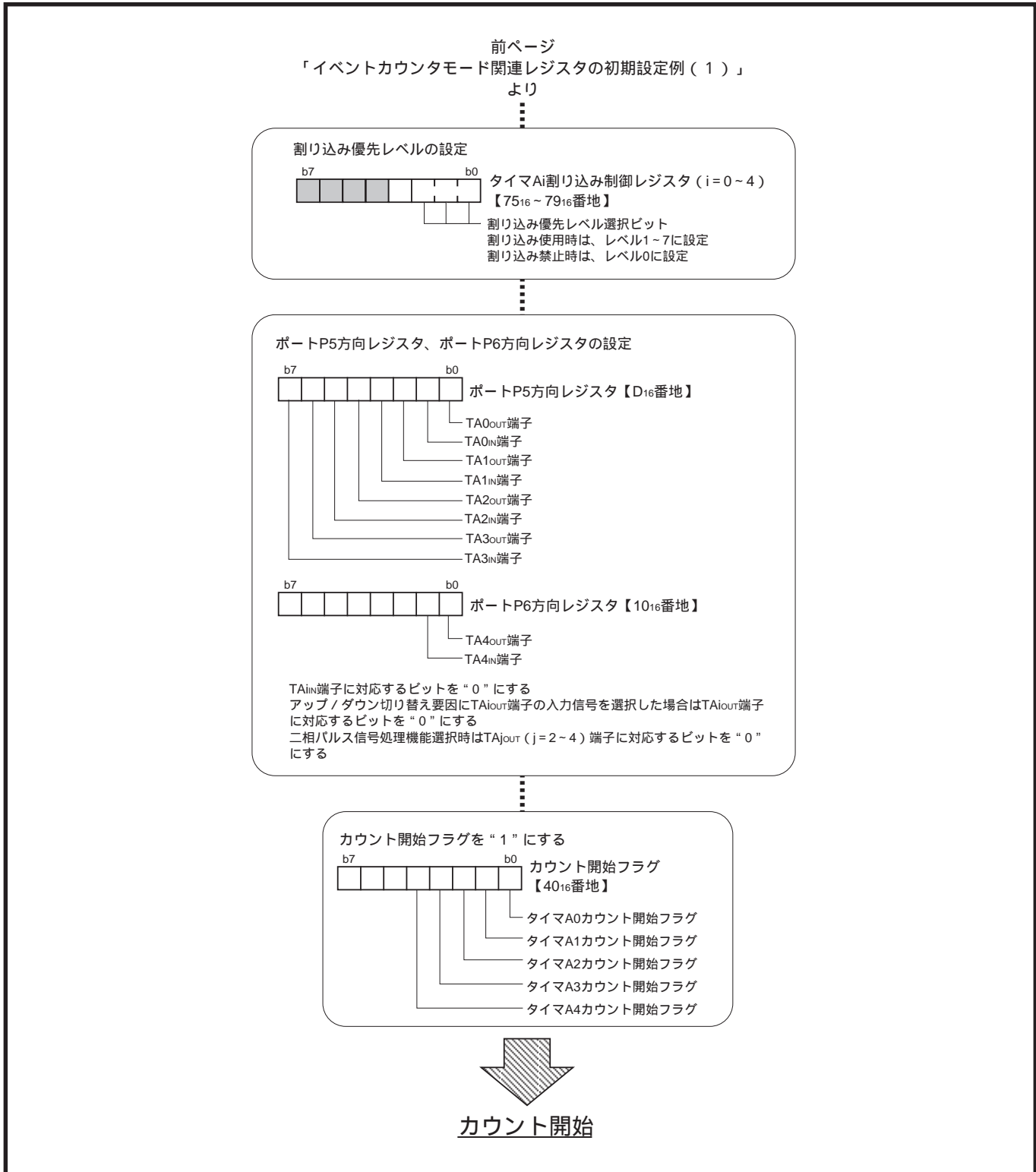


図9.4.3 イベントカウンタモード関連レジスタの初期設定例(2)

9.4.2 イベントカウンタモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジのカウントを開始します。アンダフロー及びオーバーフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー及びオーバーフロー時、タイマAi割り込み要求ビットが“1”になります。この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図9.4.4にイベントカウンタモード動作例を示します。

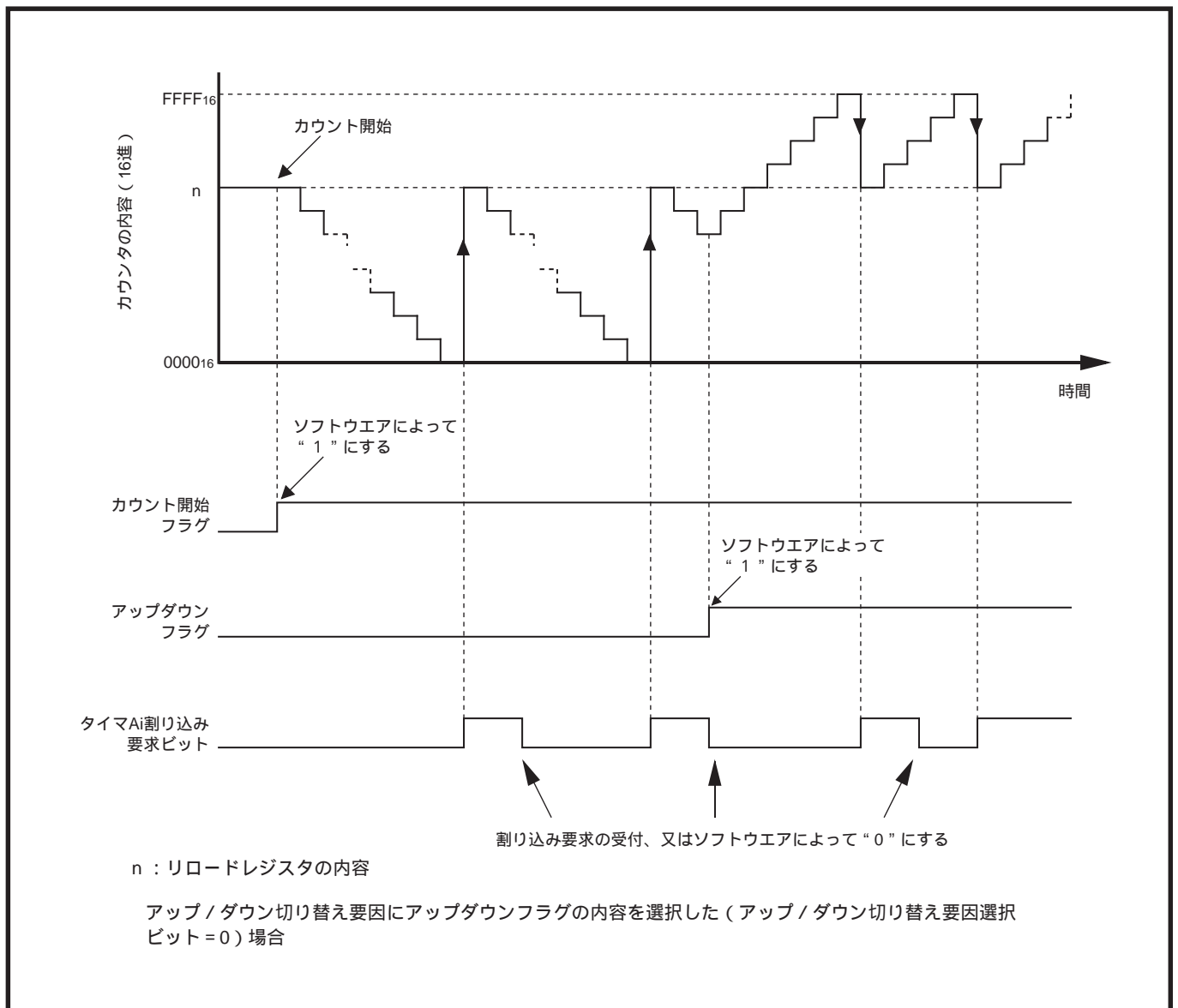


図9.4.4 イベントカウンタモード動作例(パルス出力機能、及び二相パルス信号処理機能なし)

9.4.3 アップカウント又はダウンカウントの切り替え

図9.4.5にアップダウンフラグのレジスタ構成を示します。

アップカウント又はダウンカウントの切り替えは、アップダウンフラグ、又はTAiout端子の入力信号によって行います。アップ/ダウン切り替え要因選択ビット(5A₁₆～5A₄番地のビット4)が“0”のときはアップダウンフラグの内容によって、“1”のときはTAiout端子の入力信号によって、アップカウント/ダウンカウントが切り替わります。

カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。

(1) アップダウンフラグの内容で切り替えを行う場合

アップダウンフラグが“0”のときダウンカウントを、“1”のときアップカウントを行います。図9.4.5にアップダウンフラグのレジスタ構成を示します。

(2) TAiout端子の入力信号で切り替えを行う場合

TAiout端子の入力信号が“L”レベルのときダウンカウントを、“H”レベルのときアップカウントを行います。

TAiout端子の入力信号でアップダウンの切り替えを行う場合は、TAiout端子に対応するポートP5、P6方向レジスタのビットを入力モードに設定してください。

アップダウンフラグ【44 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0													
<table border="1" style="float: right;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																									
ビット	ビット名	機能	リセット時	R/W																					
0	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント	0	RW																					
1	タイマA1アップダウンフラグ	アップ/ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	0	RW																					
2	タイマA2アップダウンフラグ		0	RW																					
3	タイマA3アップダウンフラグ		0	RW																					
4	タイマA4アップダウンフラグ		0	RW																					
5	タイマA2二相パルス信号処理機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可	0	WO (注)																					
6	タイマA3二相パルス信号処理機能選択ビット	二相パルス信号処理機能を使用しない場合は必ず“0”にしてください 読み出し時の値は“0”	0	WO (注)																					
7	タイマA4二相パルス信号処理機能選択ビット		0	WO (注)																					

注. ビット5～7への書き込みにはMOVW(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。

図9.4.5 アップダウンフラグのレジスタ構成

9.4.4 選択機能

パルス出力機能、及び二相パルス信号処理機能について以下に説明します。

(1)パルス出力機能

パルス出力機能選択ビット(56₁₆～5A₁₆番地のビット2)を“1”にすると、パルス出力機能が選択されます。パルス出力機能が選択されると、TA_iOUT端子はポートP5、P6方向レジスタの対応するビットの内容にかかわらず、強制的にパルス出力端子となり、アンダフロー又はオーバフローするごとに極性の反転する信号を出力します(図9.3.5参照)。

カウント開始フラグ(40₁₆番地)が“0”のとき(カウント停止時)は、TA_iOUT端子は“L”レベルを出力します。

なお、TA₂OUT、TA₃OUT端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

(2)二相パルス信号処理機能(タイマA2～A4)

タイマA2～A4では、タイマA2～A4二相パルス信号処理機能選択ビット(44₁₆番地のビット5～7)を“1”にすると、二相パルス信号処理機能が選択されます。二相パルス信号処理機能選択ビットについては、図9.4.5を参照してください。図9.4.6に二相パルス信号処理機能選択時のタイマA2～A4モードレジスタの設定を示します。

二相パルス信号処理機能が選択されたタイマは、位相が90度ずれた二相パルスをカウントします。二相パルス信号処理動作には、通常処理動作と4逓倍処理動作の2種類があります。タイマA2、及びタイマA3は通常処理動作を、タイマA4は4逓倍処理動作を行います。

二相パルスの入力に使用する端子に対応するポートP5、P6方向レジスタのビットは、入力モードに設定してください。

b7	b6	b5	b4	b3	b2	b1	b0	
x	x	0	1	0	0	0	1	タイマA2モードレジスタ【58 ₁₆ 番地】
								タイマA3モードレジスタ【59 ₁₆ 番地】
								タイマA4モードレジスタ【5A ₁₆ 番地】

x: “0”又は“1”いずれでもよい

図9.4.6 二相パルス信号処理機能選択時のタイマA2～A4モードレジスタの設定

通常処理動作

TA_{kOUT}(k=2, 3)端子の入力信号が“ H ”レベルの期間にTA_{kIN}端子の入力信号が“ L ”レベルから“ H ”レベルになる位相関係の場合、TA_{kIN}端子の入力信号の立ち上がりをアップカウントします。

TA_{kOUT}端子の入力信号が“ H ”レベルの期間にTA_{kIN}端子の入力信号が“ H ”レベルから“ L ”レベルになる位相関係の場合、TA_{kIN}端子の入力信号の立ち下がりダウンカウントします(図9.4.7参照)。

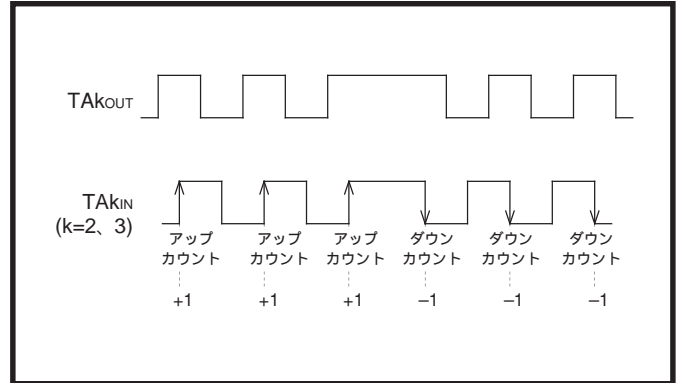


図9.4.7 通常処理動作

4逓倍処理動作

TA_{4OUT}端子の入力信号が“ H ”レベルの期間にTA_{4IN}端子の入力信号が“ L ”レベルから“ H ”レベルになる位相関係の場合、TA_{4OUT}、TA_{4IN}端子の入力信号の立ち上がり、及び立ち下がりアップカウントします。

TA_{4OUT}端子の入力信号が“ H ”レベルの期間にTA_{4IN}端子の入力信号が“ H ”レベルから“ L ”レベルになる位相関係の場合、TA_{4OUT}、TA_{4IN}端子の入力信号の立ち上がり、及び立ち下がりダウンカウントします(図9.4.8参照)。

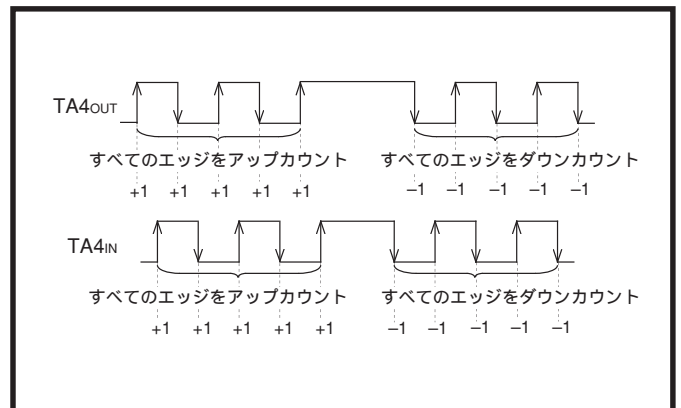


図9.4.8 4逓倍処理動作

表9.4.3に4逓倍処理動作選択時のTA_{4OUT}、TA_{4IN}端子の入力信号を示します。

表9.4.3 4逓倍処理動作選択時のTA_{4OUT}、TA_{4IN}端子の入力信号

	TA _{4OUT} 端子の入力信号	TA _{4IN} 端子の入力信号
アップカウント	“ H ”レベル	立ち上がり
	“ L ”レベル	立ち下がり
	立ち上がり	“ L ”レベル
	立ち下がり	“ H ”レベル
ダウンカウント	“ H ”レベル	立ち下がり
	“ L ”レベル	立ち上がり
	立ち上がり	“ H ”レベル
	立ち下がり	“ L ”レベル

【イベントカウンタモード使用上の注意】

1. カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図9.4.9に示すリロードタイミングで読み出した場合は、アンダフロー時は“FFFF₁₆”が、オーバフロー時は“0000₁₆”が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

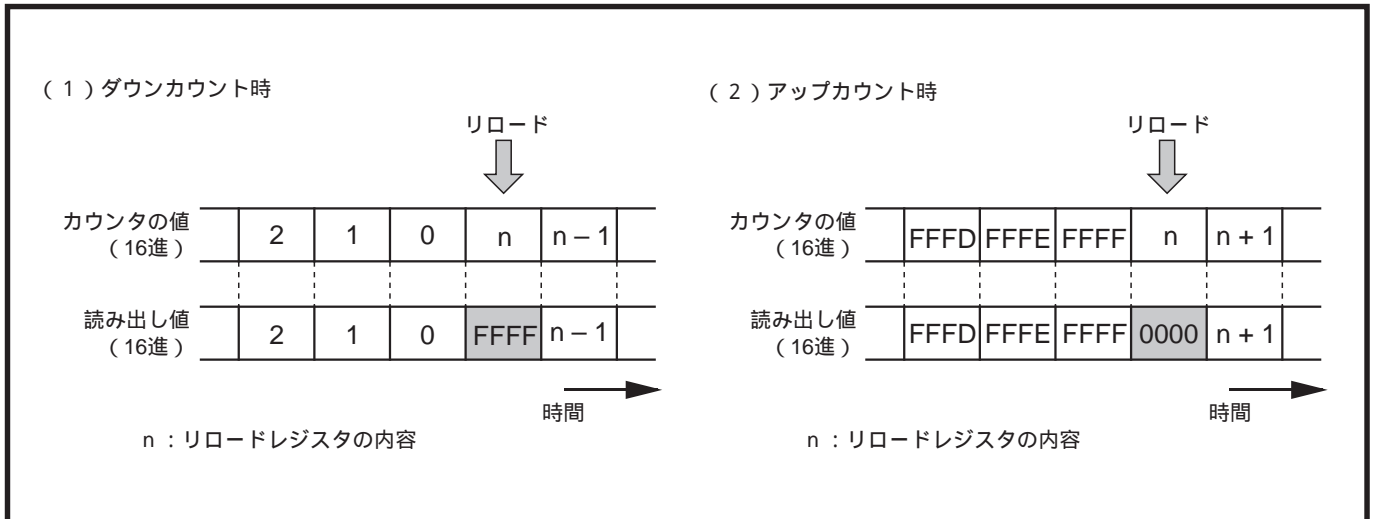


図9.4.9 タイマAiレジスタの読み出し

2. 以下の機能ではすべてTA_{iOUT}端子を使用します。したがって、各タイマごとにこれらの機能のうちいずれか一つだけを使用できます。

- TA_{iOUT}端子の入力信号による、アップカウント又はダウンカウントの切り替え
- パルス出力機能
- 二相パルス信号処理機能(タイマA2~A4)

3. TA_{2OUT}、TA_{3OUT}端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子 (KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

9.5 ワンショットパルスモード

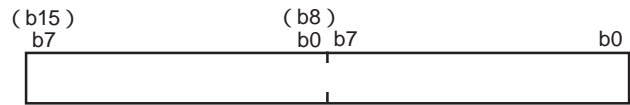
任意のパルス幅のパルスを1回出力するモードです。トリガが発生すると、その時点から任意の期間、TA_{iout}端子から“H”レベルを出力します。表9.5.1にワンショットパルスモードの仕様を、図9.5.1にワンショットパルスモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成を示します。

表9.5.1 ワンショットパルスモードの仕様

項目	仕様
カウントソース f _i	f ₁ 、 f ₂ 、 f ₁₆ 、 f ₆₄ 、 f ₅₁₂ 、 又はf ₄₀₉₆
カウント動作	ダウncウント カウンタの値が“0000 ₁₆ ”になるタイミングでリロードレジスタの内容をリロードしてカウントを停止 カウント中にトリガが発生した場合は、リロードレジスタの内容をリロードしてカウントを継続
出力パルス幅(“H”)	$\frac{n}{f_i}$ [S] n: タイマAiレジスタ設定値
カウント開始条件	トリガ発生(注) 内部トリガ、又は外部トリガをソフトウェアによって選択可
カウント停止条件	カウンタの値が“0000 ₁₆ ”になる カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウント停止時
TA _{iin} 端子の機能	プログラマブル入出力ポート、又はトリガ入力
TA _{iout} 端子の機能	ワンショットパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

注．トリガはカウント開始フラグが“1”のときに発生します。

タイマ A0 レジスタ【47₁₆、46₁₆ 番地】
 タイマ A1 レジスタ【49₁₆、48₁₆ 番地】
 タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】
 タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】
 タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】

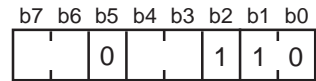


ビット	機能	リセット時	R/W
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、TAi _{OUT} 端子から出力するワンショットパルスの“H”レベル幅は $\frac{n}{f_i}$ となる	不定	WO

f_i : カウントソースの周波数

注 . このレジスタへの書き込みはMOVM命令、又はSTA(STAD)命令を使用し、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W
0	動作モード選択ビット	b1 b0 1 0 : ワンショットパルスモード	0	RW
1			0	RW
2	ワンショットパルスモードでは“1”に固定してください		0	RW
3	トリガ選択ビット	b4 b3 0 0 : } ワンショット開始フラグへの“1”書き込み 0 1 : } (TAi _{IN} 端子はプログラマブル入出力ポートとして機能)	0	RW
4		1 0 : TAi _{IN} 端子の入力信号の立ち下がり 1 1 : TAi _{IN} 端子の入力信号の立ち上がり	0	RW
5	ワンショットパルスモードでは“0”に固定してください		0	RW
6	カウントソース選択ビット	表9.2.3参照	0	RW
7			0	RW

図9.5.1 ワンショットパルスモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

9.5.1 ワンショットパルスモード設定方法

図9.5.2、図9.5.3にワンショットパルスモード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

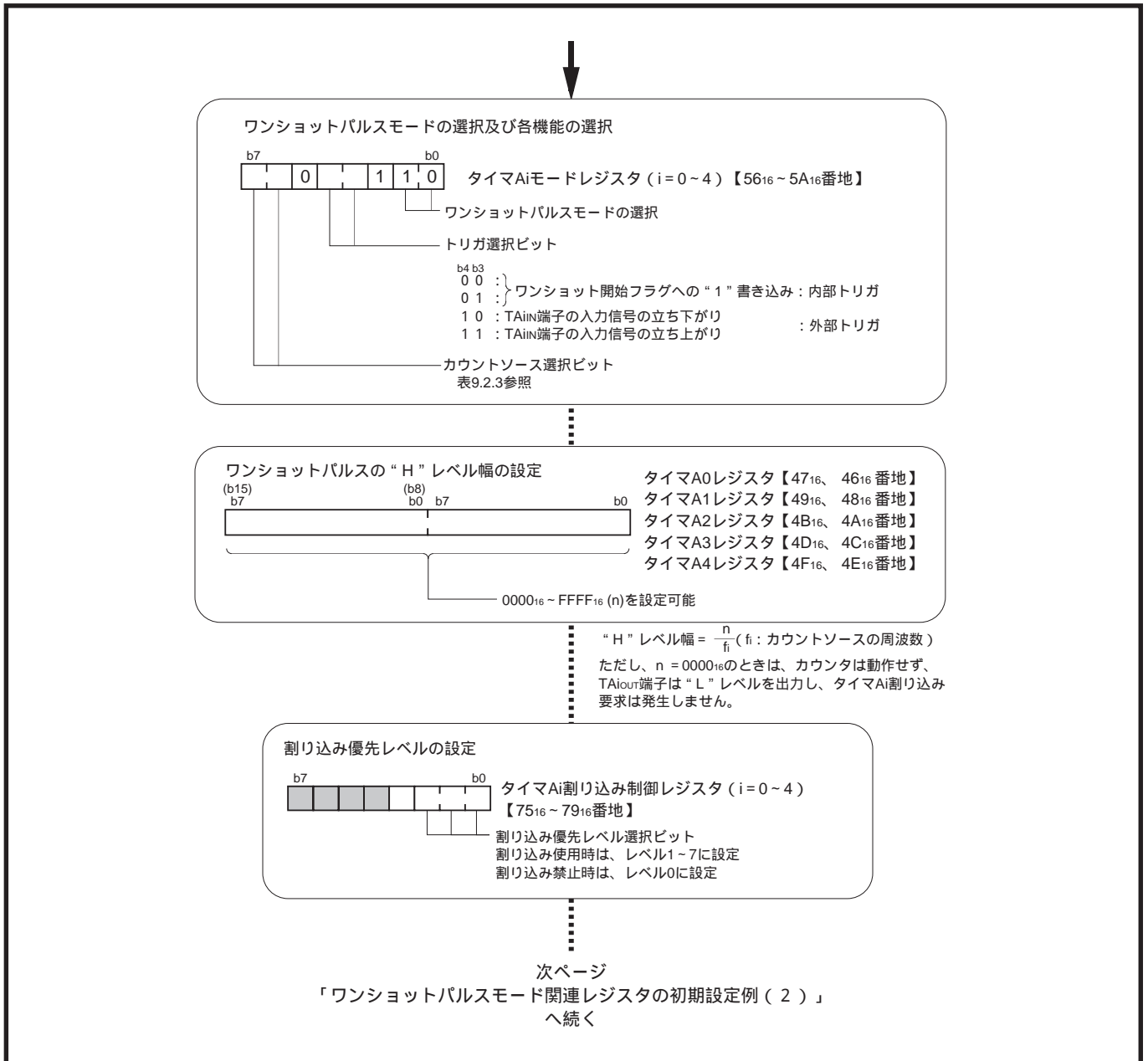


図9.5.2 ワンショットパルスモード関連レジスタの初期設定例(1)

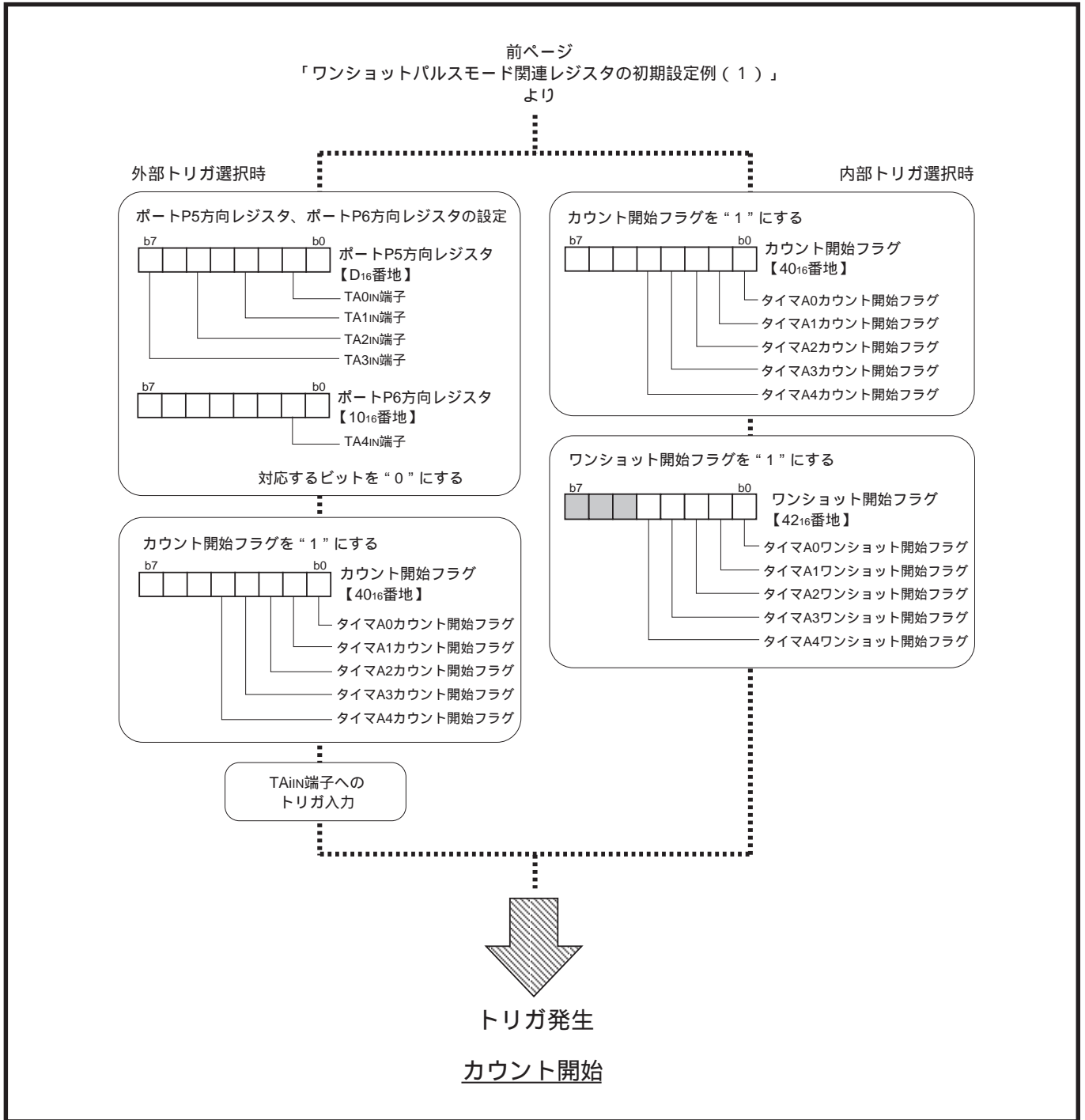


図9.5.3 ワンショットパルスモード関連レジスタの初期設定例(2)

9.5.2 トリガ

カウンタは、カウント開始フラグ(40₁₆番地)を“1”にするとカウント許可状態になり、その後トリガが発生するとカウントを開始します。トリガには内部トリガ、又は外部トリガを選択できます。

トリガ選択ビット(56₁₆～5A₁₆番地のビット4、3)が“00₂”又は“01₂”のときは内部トリガが選択されます。このビットが“10₂”又は“11₂”のときは外部トリガが選択されます。

なお、カウント中にトリガが発生した場合は、リロードレジスタの内容をリロードして、カウンタはカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

(1)内部トリガ選択時

ワンショット開始フラグ(42₁₆番地)に“1”を書き込むと、トリガが発生します。図9.5.4にワンショット開始フラグのレジスタ構成を示します。

(2)外部トリガ選択時

56₁₆～5A₁₆番地のビット3が“0”のときはTAiIN端子の入力信号の立ち下がり、ビット3が“1”のときはTAiIN端子の入力信号の立ち上がり、トリガが発生します。

外部トリガを使用するときは、TAiIN端子に対応するポートP5、P6方向レジスタのビットを入力モードに設定してください。

ワンショット開始フラグ【42 ₁₆ 番地】																				
<table border="1" style="float: right; margin-left: auto;"> <tr> <td style="width: 15px;">b7</td> <td style="width: 15px;">b6</td> <td style="width: 15px;">b5</td> <td style="width: 15px;">b4</td> <td style="width: 15px;">b3</td> <td style="width: 15px;">b2</td> <td style="width: 15px;">b1</td> <td style="width: 15px;">b0</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="background-color: #cccccc;"></td> <td style="background-color: #cccccc;"></td> <td style="background-color: #cccccc;"></td> <td style="background-color: #cccccc;"></td> <td style="background-color: #cccccc;"></td> <td style="background-color: #cccccc;"></td> <td style="background-color: #cccccc;"></td> </tr> </table>					b7	b6	b5	b4	b3	b2	b1	b0	0							
b7	b6	b5	b4	b3	b2	b1	b0													
0																				
ビット	ビット名	機能	リセット時	R/W																
0	タイマA0ワンショット開始フラグ	1: ワンショットパルス出力開始 (内部トリガ選択時有効) 読み出し時の値は“0”	0	WO																
1	タイマA1ワンショット開始フラグ		0	WO																
2	タイマA2ワンショット開始フラグ		0	WO																
3	タイマA3ワンショット開始フラグ		0	WO																
4	タイマA4ワンショット開始フラグ		0	WO																
6、5	何も配置されていない		不定	-																
7	“0”に固定してください		0	RW																

図9.5.4 ワンショット開始フラグのレジスタ構成

9.5.3 ワンショットパルスモード動作説明

動作モード選択ビットでワンショットパルスモードを選択すると、TA_{iOUT}端子は“L”レベルを出力します。

カウンタ開始フラグを“1”にすると、カウンタはカウント許可状態になり、その後トリガが発生すると、カウントを開始します。

カウンタがカウントを開始すると、TA_{iOUT}端子の出力レベルは“H”になります(ただし、タイマAiレジスタに“0000₁₆”を設定した場合は、カウンタは動作せず、TA_{iOUT}端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません)。

カウンタの値が“0000₁₆”になるとき、TA_{iOUT}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。

と同時に、タイマAi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図9.5.5にワンショットパルスモード動作例を示します。

上記の後にトリガが発生すると、カウンタ、及びTA_{iOUT}端子は、再び から同じ動作を行います。また、カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードして、カウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

TA_{iOUT}端子からのワンショットパルスの出力は、タイマAiモードレジスタのビット2を“0”にすると禁止されます。したがって、タイマAiをパルス出力を伴わない内部ワンショットタイマとして使用できます(このとき、TA_{iOUT}端子はプログラマブル入出力ポートとして機能します)。

なお、TA_{2OUT}、TA_{3OUT}端子からワンショットパルスを出力する場合は、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

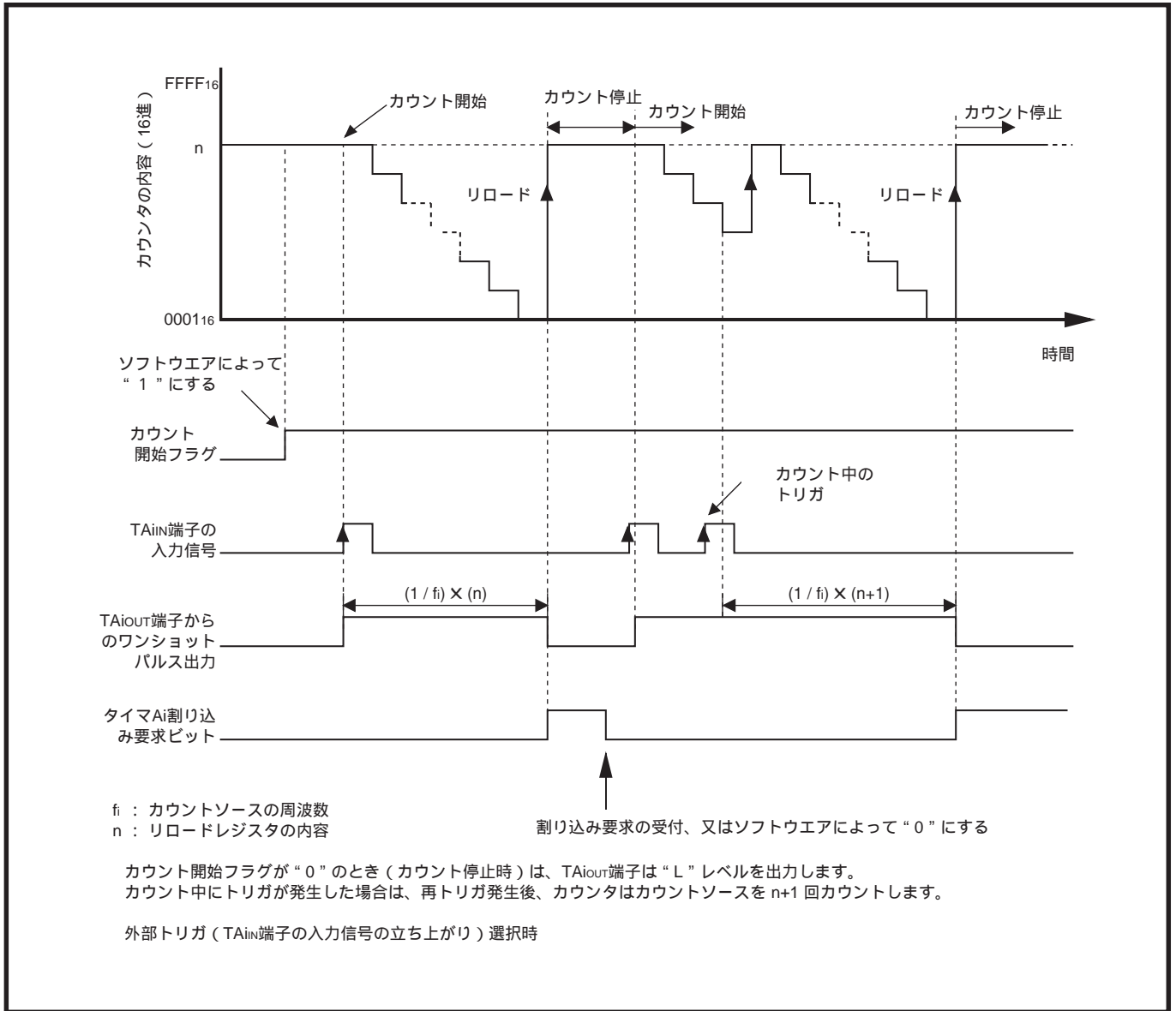


図9.5.5 ワンショットパルスモード動作例(外部トリガ選択時)

【ワンショットパルスモード使用上の注意】

1. カウント中にカウント開始フラグを“0”にすると、次のようになります。
 - ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - ・TA_{iout}端子の出力レベルは“L”になります。
 - ・タイマA_i割り込み要求ビットが“1”になります。
2. ワンショットパルスの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TA_{in}端子へのトリガ入力からワンショットパルスの出力までに、最大カウントソースの1サイクル分の遅延が生じます(図9.5.6参照)。

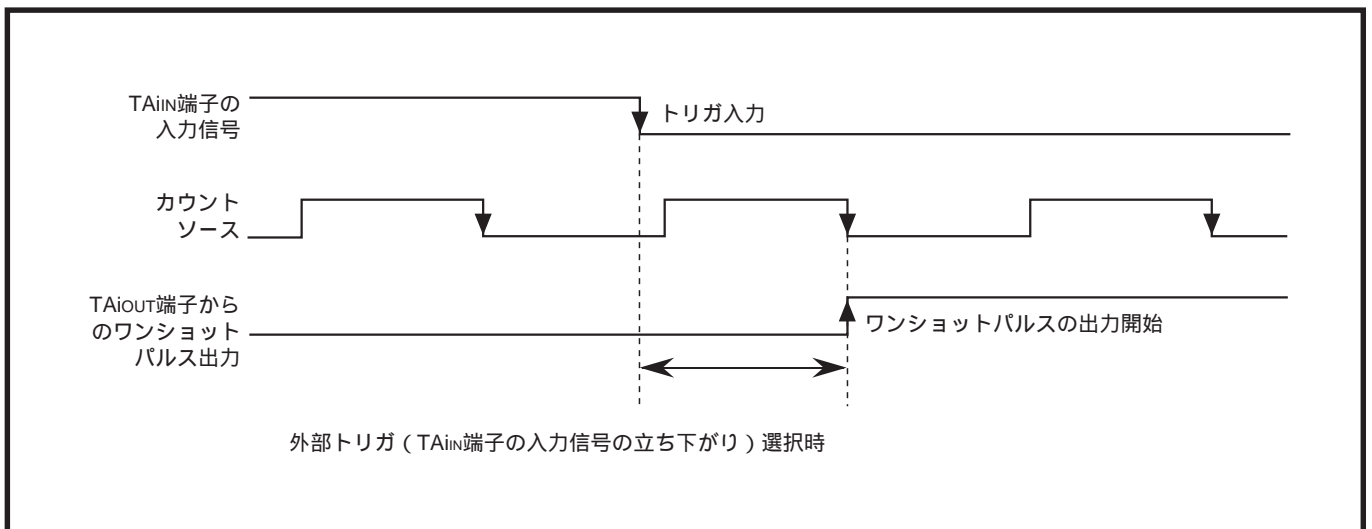


図9.5.6 ワンショットパルス出力の遅延

3. 以下に示すいずれかの手順でタイマの動作モードを設定した場合、タイマA_i割り込み要求ビットが“1”になります。

リセット後、ワンショットパルスモードを選択したとき
 動作モードをタイマモードからワンショットパルスモードに変更したとき
 動作モードをイベントカウンタモードからワンショットパルスモードに変更したとき

したがって、タイマA_i割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマA_i割り込み要求ビットを“0”にしてください。

4. TA_{2out}、TA_{3out}端子からワンショットパルスを出力する場合は、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

9.6 パルス幅変調(PWM)モード

任意のパルス幅のパルスを連続して出力するモードです。表9.6.1にPWMモードの仕様を、図9.6.1にPWMモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成を示します。

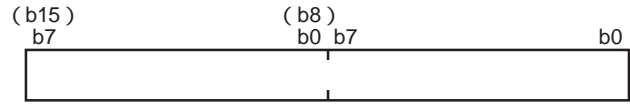
表9.6.1 PWMモードの仕様

項目	仕様
カウントソース f_i	f_1 、 f_2 、 f_{16} 、 f_{64} 、 f_{512} 、又は f_{4096}
カウント動作	ダウンカウント(8ビット、又は16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードレジスタの内容をリロードしてカウントを継続 カウント中に発生したトリガはカウントに影響しない
PWM周期 / “H”レベル幅	16ビットパルス幅変調器 $\text{周期} = \frac{(2^{16} - 1)}{f_i} \quad [S]$ $\text{“H”レベル幅} = \frac{n}{f_i} \quad [S] \quad n : \text{タイマAiレジスタ設定値}$ 8ビットパルス幅変調器 $\text{周期} = \frac{(m + 1)(2^8 - 1)}{f_i} \quad [S]$ $\text{“H”レベル幅} = \frac{n(m + 1)}{f_i} \quad [S] \quad m : \text{タイマAiレジスタ下位8ビット設定値}$ $n : \text{タイマAiレジスタ上位8ビット設定値}$
カウント開始条件	トリガ発生(注) 内部トリガ、又は外部トリガをソフトウェアによって選択可
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIn端子の機能	プログラマブル入出力ポート、又はトリガ入力
TAiOut端子の機能	PWMパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

注. トリガはカウント開始フラグが“1”のときに発生します。

《16ビットパルス幅変調器として動作しているとき》

- タイマ A0 レジスタ【47₁₆、46₁₆ 番地】
- タイマ A1 レジスタ【49₁₆、48₁₆ 番地】
- タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】
- タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】
- タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】



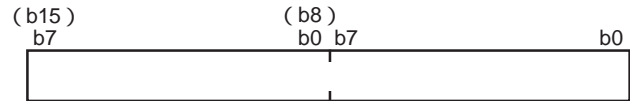
ビット	機能	リセット時	R/W
15~0	0000 ₁₆ ~ FFFE ₁₆ を設定可能 設定値をnとすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{f_i}$ となる(PWMパルスの周期は $\frac{2^{16}-1}{f_i}$)	不定	WO

f_i : カウントソースの周波数

注 . このレジスタへの書き込みはMOVM命令、又はSTA(STAD)命令を使用し、16ビット単位で行ってください。

《8ビットパルス幅変調器として動作しているとき》

- タイマ A0 レジスタ【47₁₆、46₁₆ 番地】
- タイマ A1 レジスタ【49₁₆、48₁₆ 番地】
- タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】
- タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】
- タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】

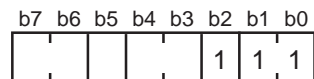


ビット	機能	リセット時	R/W
7~0	00 ₁₆ ~ FF ₁₆ を設定可能 設定値をmとすると、TAiOUT端子から出力するPWMパルスの周期は $\frac{(m+1)(2^8-1)}{f_i}$ となる	不定	WO
15~8	00 ₁₆ ~ FE ₁₆ を設定可能 設定値をnとすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n(m+1)}{f_i}$ となる	不定	WO

f_i : カウントソースの周波数

注 . このレジスタへの書き込みはMOVM命令、又はSTA(STAD)命令を使用し、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W
0	動作モード選択ビット	b1 b0 1 1 : PWMモード	0	RW
1			0	RW
2	PWMモードでは“1”に固定してください		0	RW
3	トリガ選択ビット	b4 b3 0 0 : } カウント開始フラグへの“1”書き込み 0 1 : } (TAiIN端子はプログラマブル入出力ポートとして機能)	0	RW
4			1 0 : TAiIN端子の入力信号の立ち下がり 1 1 : TAiIN端子の入力信号の立ち上がり	0
5	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	0	RW
6	カウントソース選択ビット	表9.2.3参照	0	RW
7			0	RW

図9.6.1 PWMモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

9.6.1 PWMモード設定方法

図9.6.2、図9.6.3にPWMモード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

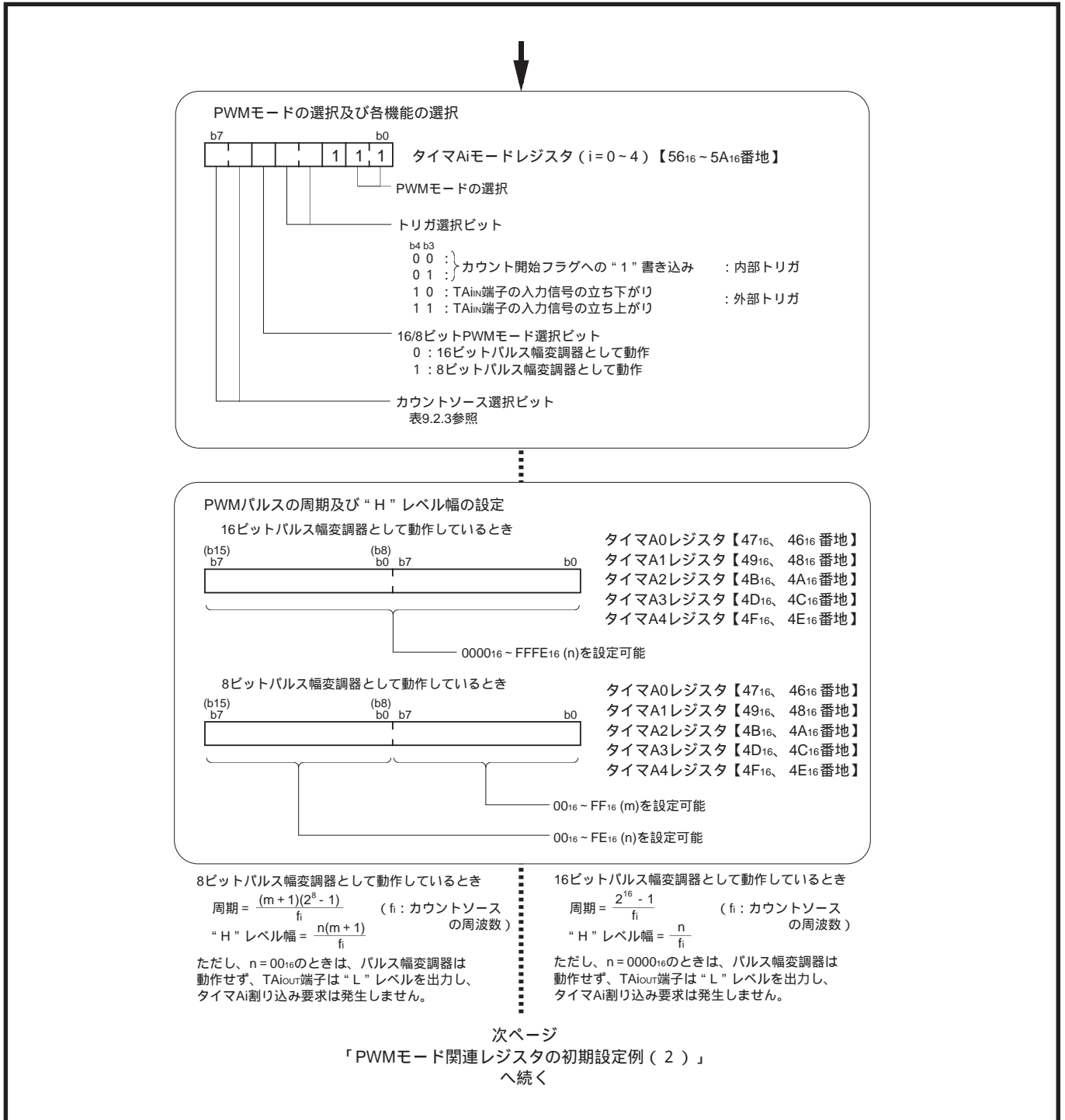


図9.6.2 PWMモード関連レジスタの初期設定例(1)

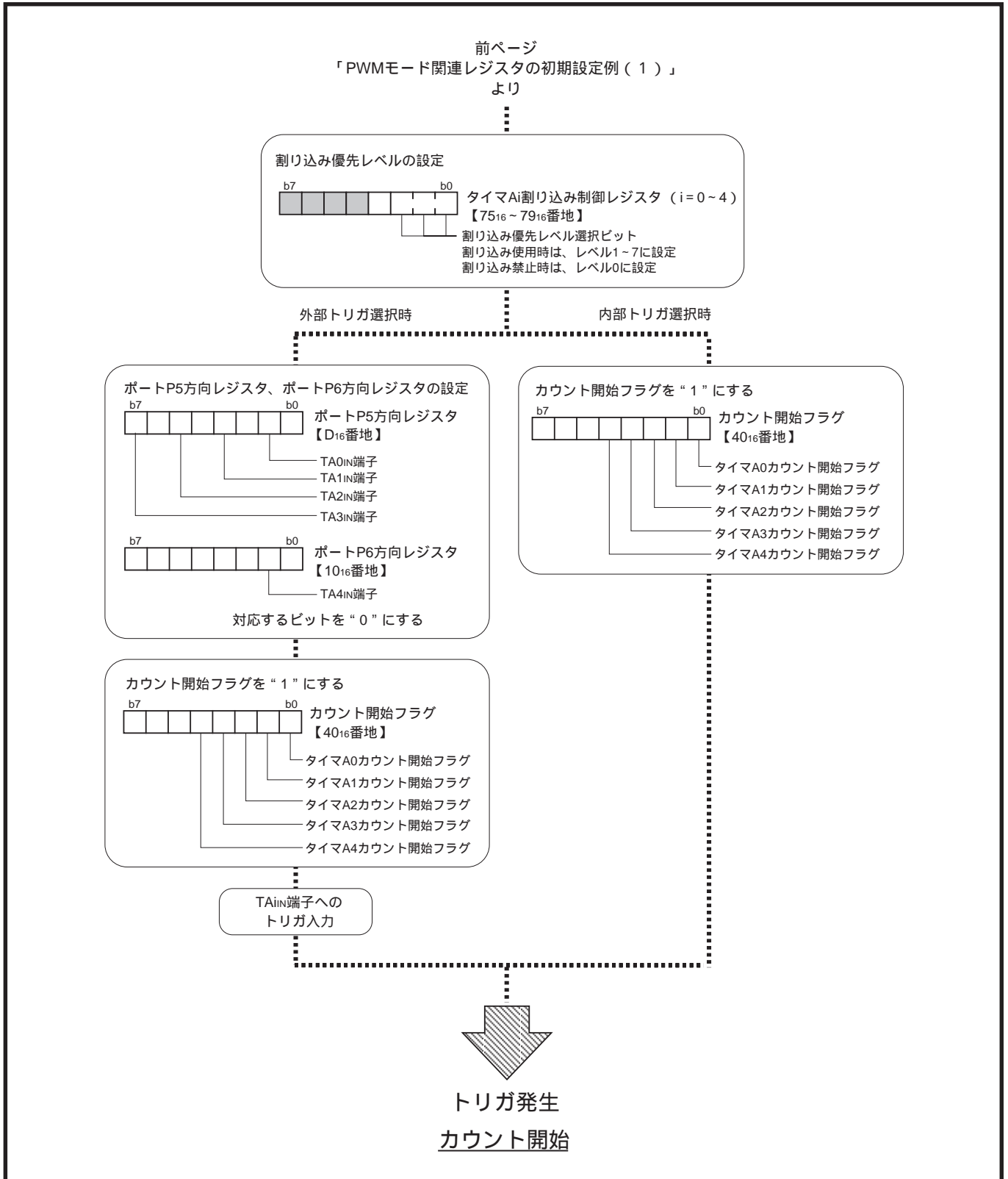


図9.6.3 PWMモード関連レジスタの初期設定例(2)

9.6.2 トリガ

TA_{iout}端子は、トリガが発生するとPWMパルスの出力を開始します。トリガには内部トリガ、又は外部トリガを選択できます。

トリガ選択ビット(56₁₆ ~ 5A₁₆番地のビット4、3)が“00₂”又は“01₂”のときは内部トリガが選択されます。このビットが“10₂”又は“11₂”のときは外部トリガが選択されます。

なお、PWMパルスの出力中に発生したトリガは無効となり、パルス出力動作には影響しません。

(1)内部トリガ選択時

カウント開始フラグ(40₁₆番地)に“1”を書き込むと、トリガが発生します。

(2)外部トリガ選択時

56₁₆ ~ 5A₁₆番地のビット3が“0”のときはTA_{iin}端子の入力信号の立ち下がり、ビット3が“1”のときはTA_{iin}端子の入力信号の立ち上がりで、トリガが発生します。ただし、トリガ入力は、カウント開始フラグが“1”のときだけ受け付けられます。

外部トリガを使用するときは、TA_{iin}端子に対応するポートP5、P6方向レジスタのビットを入力モードに設定してください。

9.6.3 PWMモード動作説明

動作モード選択ビットでPWMモードを選択すると、TA_{iOUT}端子は“L”レベルを出力します。

トリガが発生すると、カウンタ(パルス幅変調器)はカウントを開始し、TA_{iOUT}端子からPWMパルスを出します(注1、注2)。

PWMパルスのレベルが“H”から“L”になるごとに、タイマAi割り込み要求ビットが“1”になります。この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

PWMパルスを1周期出力するごとに、カウンタはリロードレジスタの内容をリロードして、カウントを続けます。

パルス幅変調器の動作について以下に説明します。

(1)16ビットパルス幅変調器

16/8ビットPWMモード選択ビットを“0”にすると、カウンタは16ビットパルス幅変調器として動作します。図9.6.4、図9.6.5に16ビットパルス幅変調器の動作例を示します。

(2)8ビットパルス幅変調器

16/8ビットPWMモード選択ビットを“1”にすると、カウンタは8ビット長に2分割され、カウンタの上位8ビットは8ビットパルス幅変調器、下位8ビットは8ビットプリスケアラとして動作します。図9.6.6、図9.6.7に8ビットパルス幅変調器の動作例を示します。

注1. 16ビットパルス幅変調器として動作しているとき、タイマAiレジスタに“0000₁₆”を設定した場合は、パルス幅変調器は動作せず、TA_{iOUT}端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同じです。

2. 8ビットパルス幅変調器として動作している場合、トリガ発生後、TA_{iOUT}端子は $(1/f_i) \times (m+1) \times (n+1)$ の期間“L”レベルを出力し、その後、PWMパルスの出力を開始します。

なお、タイマA2、タイマA3をPWMモードで使用する場合、TA_{2OUT}、TA_{3OUT}端子はPWMパルス出力端子となるため、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

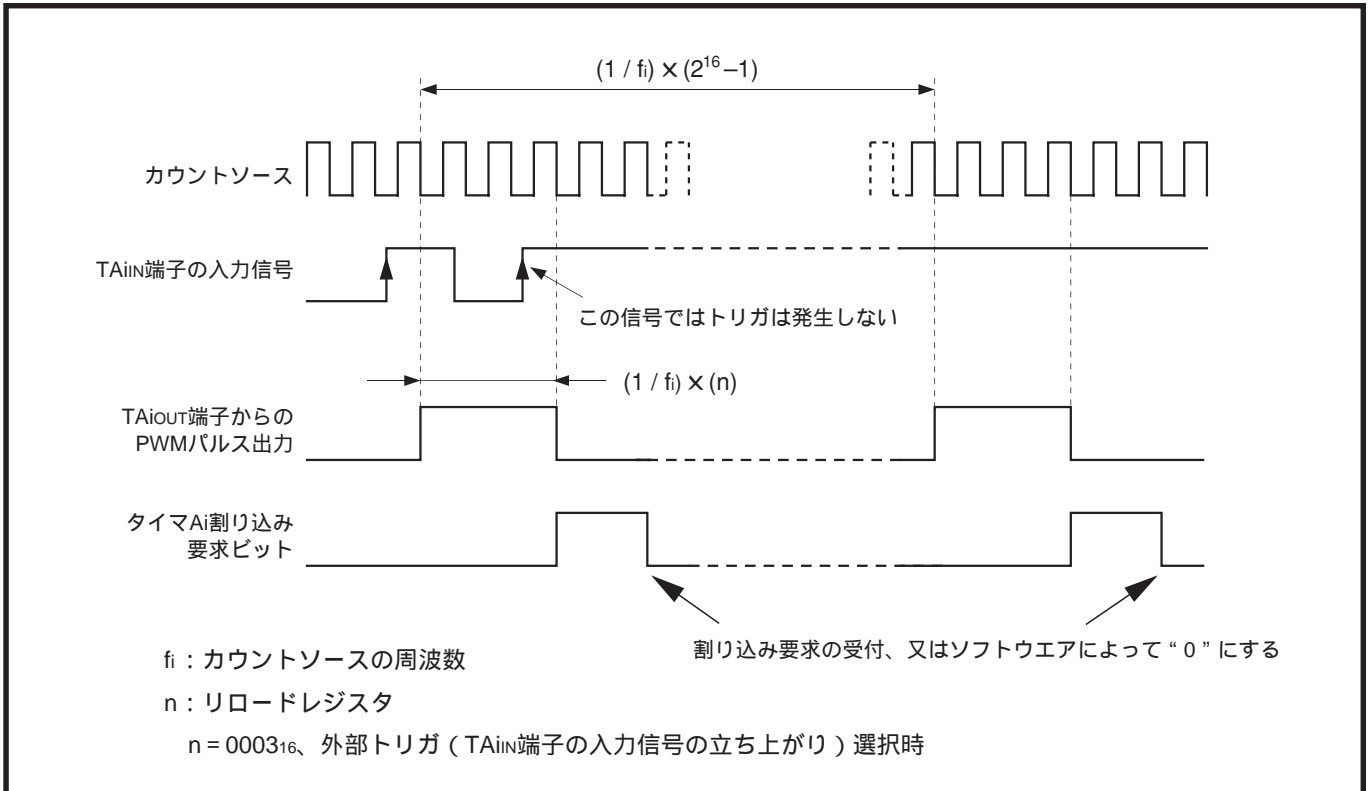


図9.6.4 16ビットパルス幅変調器の動作例

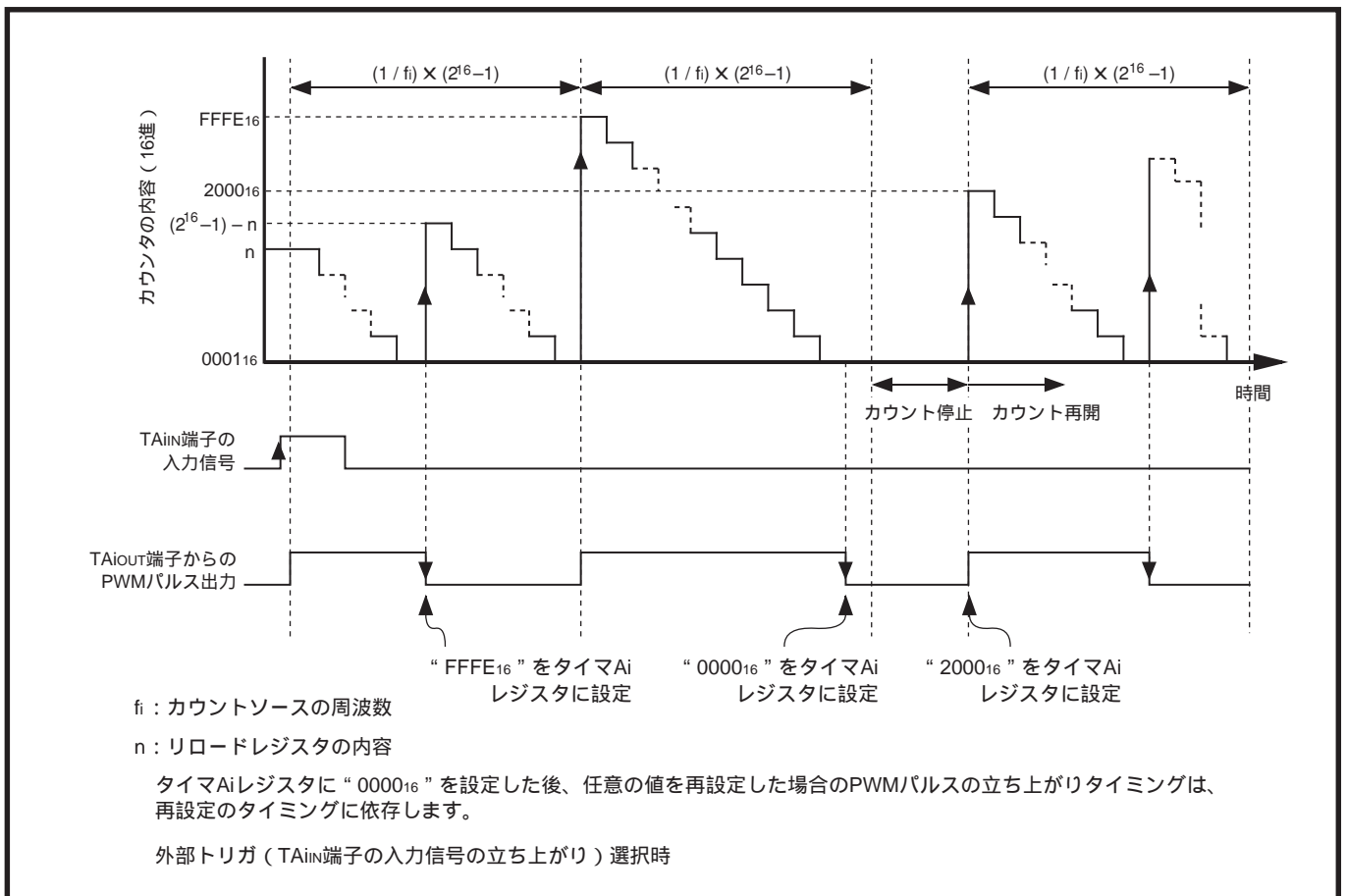


図9.6.5 16ビットパルス幅変調器の動作例(パルス出力中にカウンタの値を更新した場合)

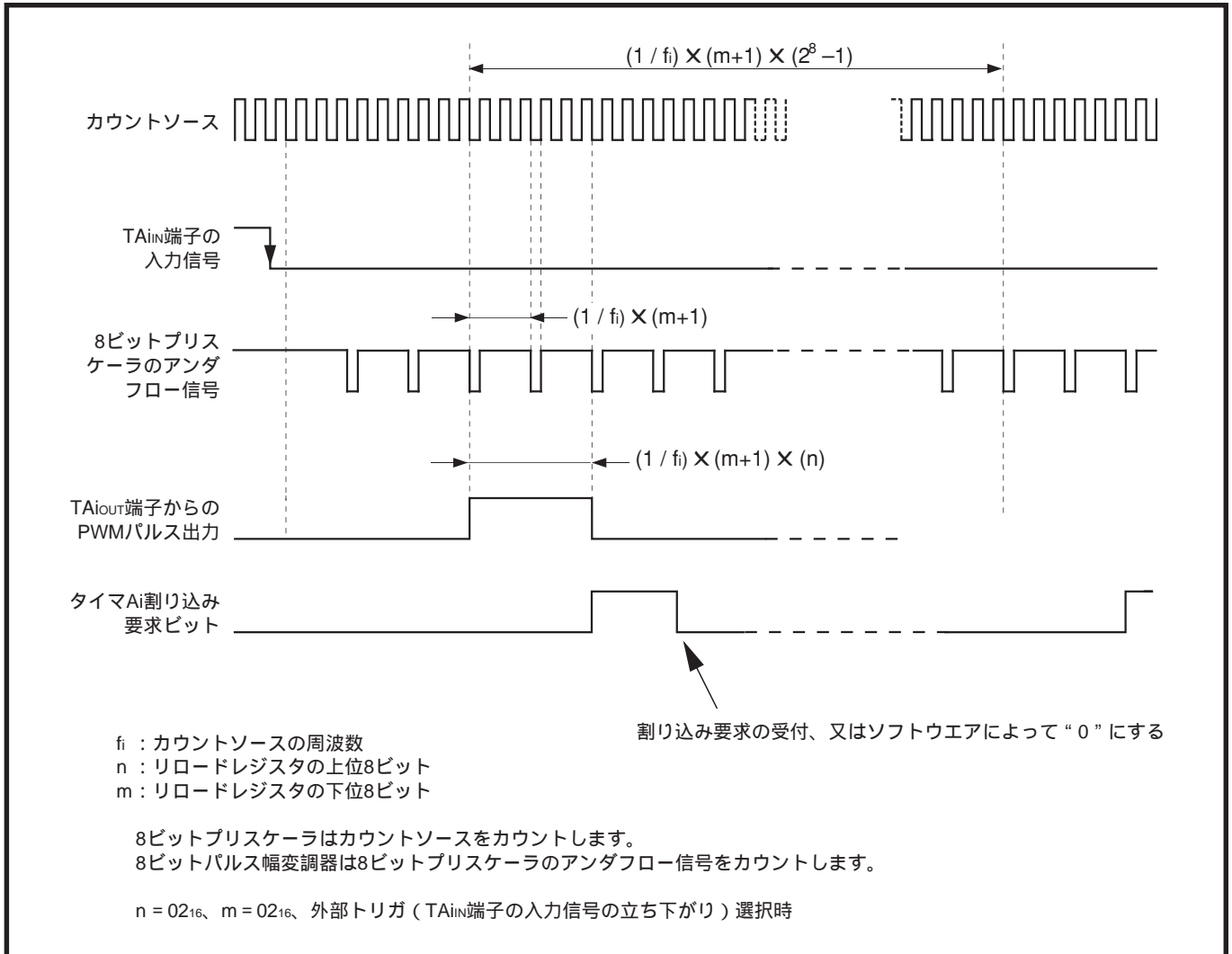


図9.6.6 8ビットパルス幅変調器の動作例

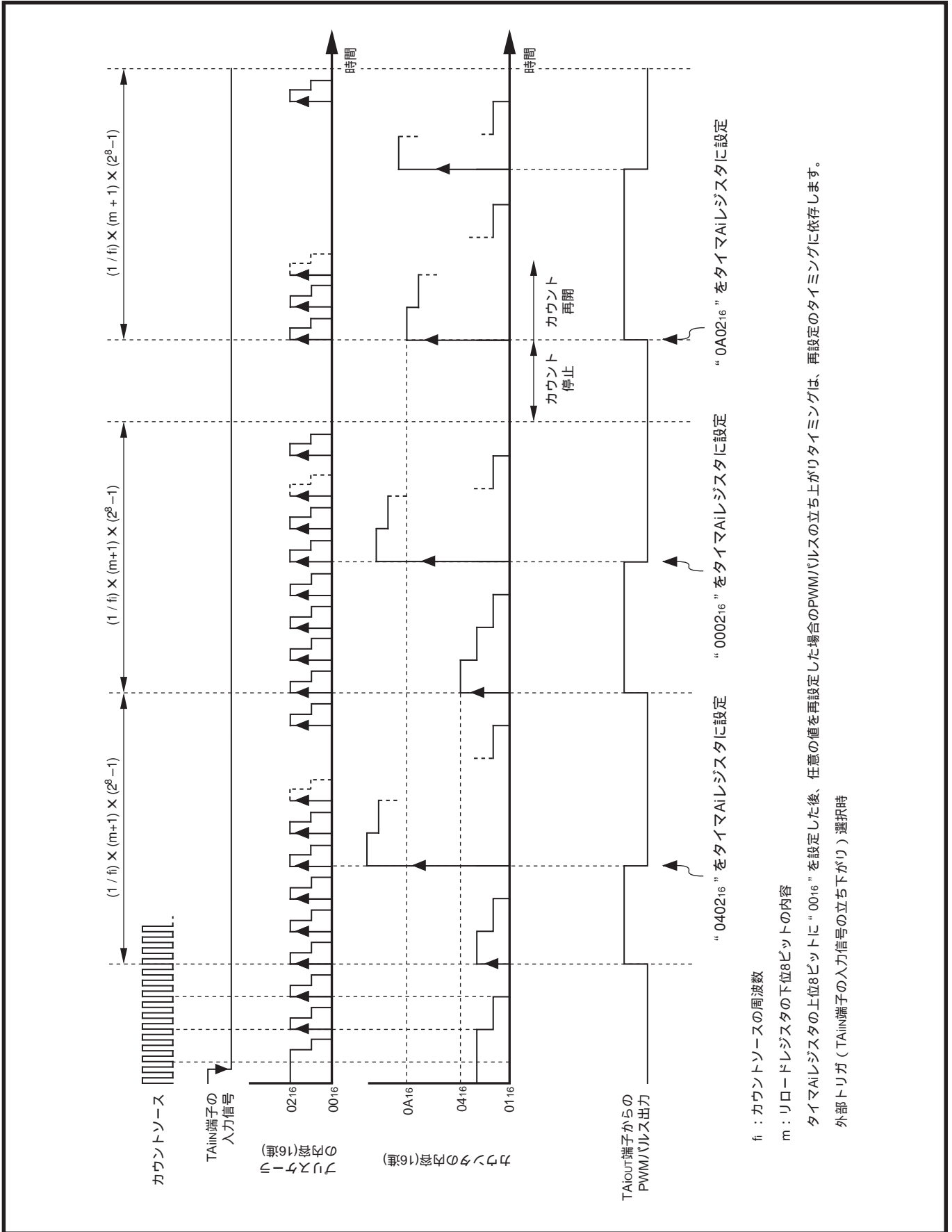


図9.6.7 8ビットパルス幅変調器の動作例(パルス出力中にカウンタの値を更新した場合)

【パルス幅変調(PWM)モード使用上の注意】

1. PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このときTAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。
2. 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。

リセット後、PWMモードを選択したとき

動作モードをタイマモードからPWMモードに変更したとき

動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

3. タイマA2、タイマA3をPWMモードで使用する場合、TA2OUT、TA3OUT端子はPWMパルス出力端子となるため、共用となっているキー入力割り込み端子(KI0、KI2端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

Memo

第 10 章 タイマB

10.1 概 要

10.2 ブロック説明

10.3 タイマモード

【タイマモード使用上の注意】

10.4 イベントカウンタモード

【イベントカウンタモード使用上の注意】

10.5 パルス周期測定/パルス幅測定モード

【パルス周期測定/パルス幅測定モード
使用上の注意】

10.1 概要

タイマBは16ビットのリロード機能付きカウンタ3本(タイマB0~B2)で構成されています。タイマB0~B2は同一の機能を持ち、それぞれ独立して動作します。

タイマB($i=0\sim 2$)には以下に示す3つの動作モードがあります。

(1)タイマモード

内部で生成されたカウントソースをカウントするモードです。

(2)イベントカウンタモード

外部信号をカウントするモードです。

(3)パルス周期測定/パルス幅測定モード

外部信号のパルス周期、又はパルス幅を測定するモードです。

10.2 ブロック説明

タイマBのブロック図を図10.2.1に示し、タイマB関連レジスタについて以下に説明します。

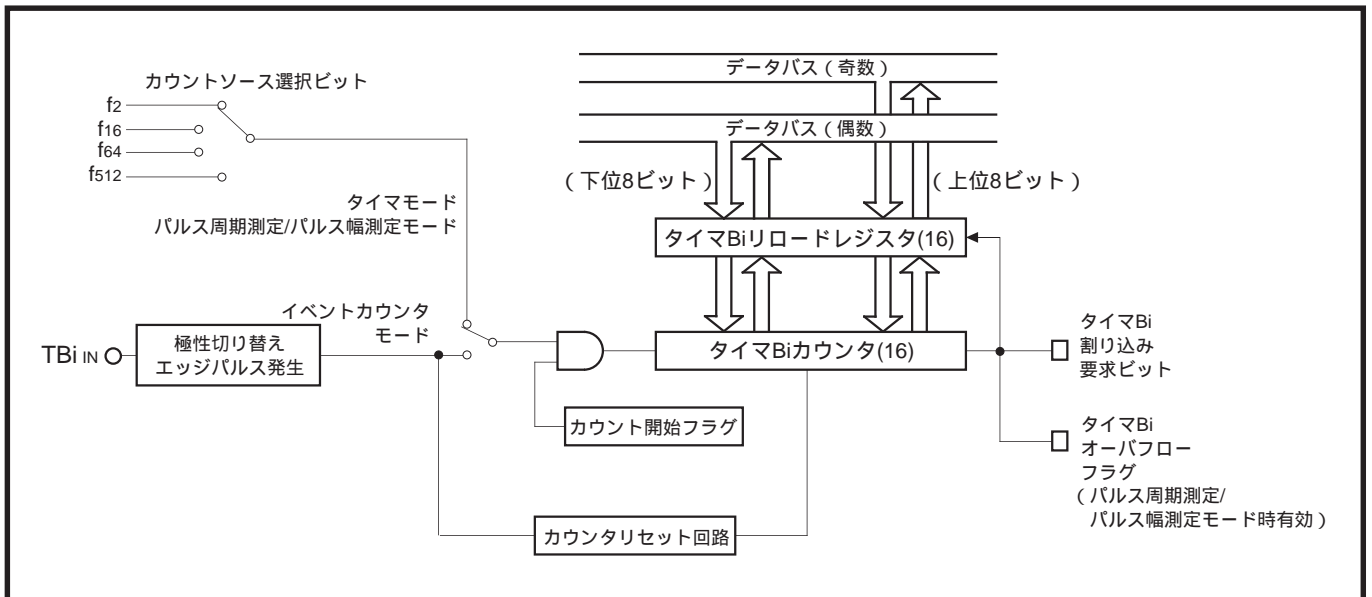


図10.2.1 タイマBブロック図

10.2.1 カウンタ及びリロードレジスタ(タイマBiレジスタ)

タイマBiカウンタ、及びリロードレジスタは16ビットで構成され、以下に示す機能を持ちます。

(1)タイマモード、イベントカウンタモードにおける機能

カウンタはカウントソースを入力するごとにダウンカウントします。リロードレジスタはカウンタの初期値を記憶しておくレジスタです。カウンタがアンダフローするとき、リロードレジスタの内容はカウンタへリロードされます。

カウンタ及びリロードレジスタへの値の設定は、タイマBiレジスタへの書き込みによって行います。表10.2.1にタイマBiレジスタのメモリ配置を示します。

カウント停止中にタイマBiレジスタに書き込んだ値は、カウンタ及びリロードレジスタに設定されます。カウント中にタイマBiレジスタに書き込んだ値は、リロードレジスタにだけ設定されます。この場合、更新されたリロードレジスタの内容が、次のアンダフロー時にカウンタへ転送されます。タイマBiレジスタを読み出したときは、カウンタの値が読み出されます。

注．タイマBiレジスタの読み出し、及び書き込みは16ビット単位で行ってください。また、タイマBiレジスタを読み出したときの読み出し値については【タイマモード使用上の注意】及び【イベントカウンタモード使用上の注意】を併せて参照してください。

(2)パルス周期測定 / パルス幅測定モードにおける機能

カウンタはカウントソースを入力するごとにアップカウントします。リロードレジスタはパルス周期、又はパルス幅の測定結果を保持するレジスタとなります。TB_{IN}端子に有効エッジが入力されると、カウンタの値がリロードレジスタへ転送されます。このモードでは、タイマBiレジスタを読み出すと、リロードレジスタの内容が読み出され、測定結果を得ることができます。

注．タイマBiレジスタの読み出しは16ビット単位で行ってください。

表10.2.1 タイマBiレジスタのメモリ配置

タイマBiレジスタ	上位バイト	下位バイト
タイマB0レジスタ	51 ₁₆ 番地	50 ₁₆ 番地
タイマB1レジスタ	53 ₁₆ 番地	52 ₁₆ 番地
タイマB2レジスタ	55 ₁₆ 番地	54 ₁₆ 番地

注．リセット時、タイマBiレジスタは不定になります。

10.2.2 カウント開始フラグ

カウントを開始、又は停止させるためのレジスタです。各ビットがそれぞれ各タイマに対応しています。図10.2.2にカウント開始フラグのレジスタ構成を示します。

カウント開始フラグ【40 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0																	
				<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	ビット名	機能	リセット時	R/W																	
0	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	0	RW																	
1	タイマA1カウント開始フラグ		0	RW																	
2	タイマA2カウント開始フラグ		0	RW																	
3	タイマA3カウント開始フラグ		0	RW																	
4	タイマA4カウント開始フラグ		0	RW																	
5	タイマB0カウント開始フラグ		0	RW																	
6	タイマB1カウント開始フラグ		0	RW																	
7	タイマB2カウント開始フラグ		0	RW																	

図10.2.2 カウント開始フラグのレジスタ構成

10.2.3 タイマBiモードレジスタ

図10.2.3にタイマBiモードレジスタのレジスタ構成を示します。動作モード選択ビットは、タイマBiの動作モードを選択するためのビットです。動作モードによって機能が異なるビット2、3、5~7については、各動作モードの節で説明します。

タイマBiモードレジスタ (i = 0 ~ 2)【5B ₁₆ ~ 5D ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0																	
				<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	ビット名	機能	リセット時	R/W																	
0	動作モード選択ビット	b1 b0 00 : タイマモード 01 : イベントカウンタモード 10 : パルス周期測定 / パルス幅測定モード 11 : 選択禁止	0	RW																	
1			0	RW																	
2	動作モードによって機能が異なる		0	RW																	
3			0	RW																	
4	何も配置されていない		不定	-																	
5	動作モードによって機能が異なる		不定	RO (注)																	
6			0	RW																	
7			0	RW																	

注．タイマモード及びイベントカウンタモード時、ビット5は無効で読み出し時の値は不定です。

図10.2.3 タイマBiモードレジスタのレジスタ構成

10.2.4 タイマBi割り込み制御レジスタ

図10.2.4にタイマBi割り込み制御レジスタのレジスタ構成を示します。割り込みについての詳細は「第7章 割り込み」を参照してください。

タイマBi割り込み制御レジスタ (i = 0 ~ 2)【7A ₁₆ ~ 7C ₁₆ 番地】			b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット名	機 能	リセット時	R/W		
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	0	RW		
1		0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3	0	RW		
2		1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	0	RW		
3		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0	RW (注)	
7~4	何も配置されていない		不定	-		

注 . このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

図10.2.4 タイマBi割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット2~0)

タイマBi割り込みの優先レベルを選択するためのビットです。タイマBi割り込みを使用する場合はレベル1~7を選択してください。タイマBi割り込み要求が発生すると、優先レベルとプロセッサ割り込み優先レベル(IPL)が比較され、優先レベルの方がIPLより大きい場合だけ、割り込みが許可されます(ただし、割り込み禁止フラグ(I)が“0”の場合)。タイマBi割り込みを禁止する場合は、このビットを“000₂(レベル0)に設定してください。

(2) 割り込み要求ビット(ビット3)

タイマBi割り込み要求が発生したとき、このビットは“1”になります。その後、タイマBi割り込み要求が受け付けられると、このビットは自動的に“0”になります。また、このビットはソフトウェアによって“1”、又は“0”にできます。

10.2.5 ポートP6方向レジスタ

タイマBiの入力端子はポートP6と共用です。これらの端子をタイマBiの入力端子として使用する場合は、ポートP6方向レジスタの対応するビットを“0”にして入力モードに設定してください。図10.2.5にポートP6方向レジスタとタイマBiの入力端子の対応を示します。

ポートP6方向レジスタ【10 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0																	
		<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	対応する端子名	機能	リセット時	R/W															
0	TA4 _{OUT} 端子	0: 入力モード	0	RW															
1	TA4 _{IN} 端子	1: 出力モード	0	RW															
2	INT ₀ 端子	タイマBiの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW															
3	INT ₁ 端子		0	RW															
4	INT ₂ 端子 (注)		0	RW															
5	TB0 _{IN} 端子		0	RW															
6	TB1 _{IN} 端子		0	RW															
7	TB2 _{IN} 端子		0	RW															

注 . INT₂端子選択ビット(94₁₆番地のビット4)=0の場合。

図10.2.5 ポートP6方向レジスタとタイマBiの入力端子の対応

10.2.6 カウントソース(タイマモード及びパルス周期測定/パルス幅測定モード時)

タイマモード、及びパルス周期測定/パルス幅測定モードでは、カウントソース選択ビット(5B₁₆~5D₁₆番地のビット6、7)によって、カウントソース(f_2 、 f_{16} 、 f_{64} 、又は f_{512})を選択できます(図10.3.1、図10.5.1参照)。

10.3 タイマモード

内部で生成されたカウントソースをカウントするモードです。表10.3.1にタイマモードの仕様を、図10.3.1にタイマモード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成を示します。

表10.3.1 タイマモードの仕様

項目	仕様
カウントソース f_i	f_2 、 f_{16} 、 f_{64} 、又は f_{512}
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n : タイマBiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBin端子の機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

タイマ B0 レジスタ【51 ₁₆ 、50 ₁₆ 番地】	(b15)	(b8)	b0
タイマ B1 レジスタ【53 ₁₆ 、52 ₁₆ 番地】	b7	b0 b7	
タイマ B2 レジスタ【55 ₁₆ 、54 ₁₆ 番地】			

ビット	機能	リセット時	R/W
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す	不定	RW

注. このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

タイマ Bi モードレジスタ (i = 0 ~ 2)【5B ₁₆ ~ 5D ₁₆ 番地】	b7	b6	b5	b4	b3	b2	b1	b0
		X		X	X	0	0	

ビット	ビット名	機能	リセット時	R/W
0	動作モード選択ビット	b1 b0 00 : タイマモード	0	RW
1			0	RW
2	タイマモードでは無効		0	RW
3			0	RW
4	何も配置されていない		不定	-
5	タイマモードでは無効 読み出した場合その内容は不定		不定	RO
6	カウントソース選択ビット	b7 b6 00 : f ₂ 01 : f ₁₆ 10 : f ₆₄ 11 : f ₅₁₂	0	RW
7			0	RW

X: "0"又は"1"いずれでもよい。

図10.3.1 タイマモード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

10.3.1 タイマモード設定方法

図10.3.2にタイマモード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

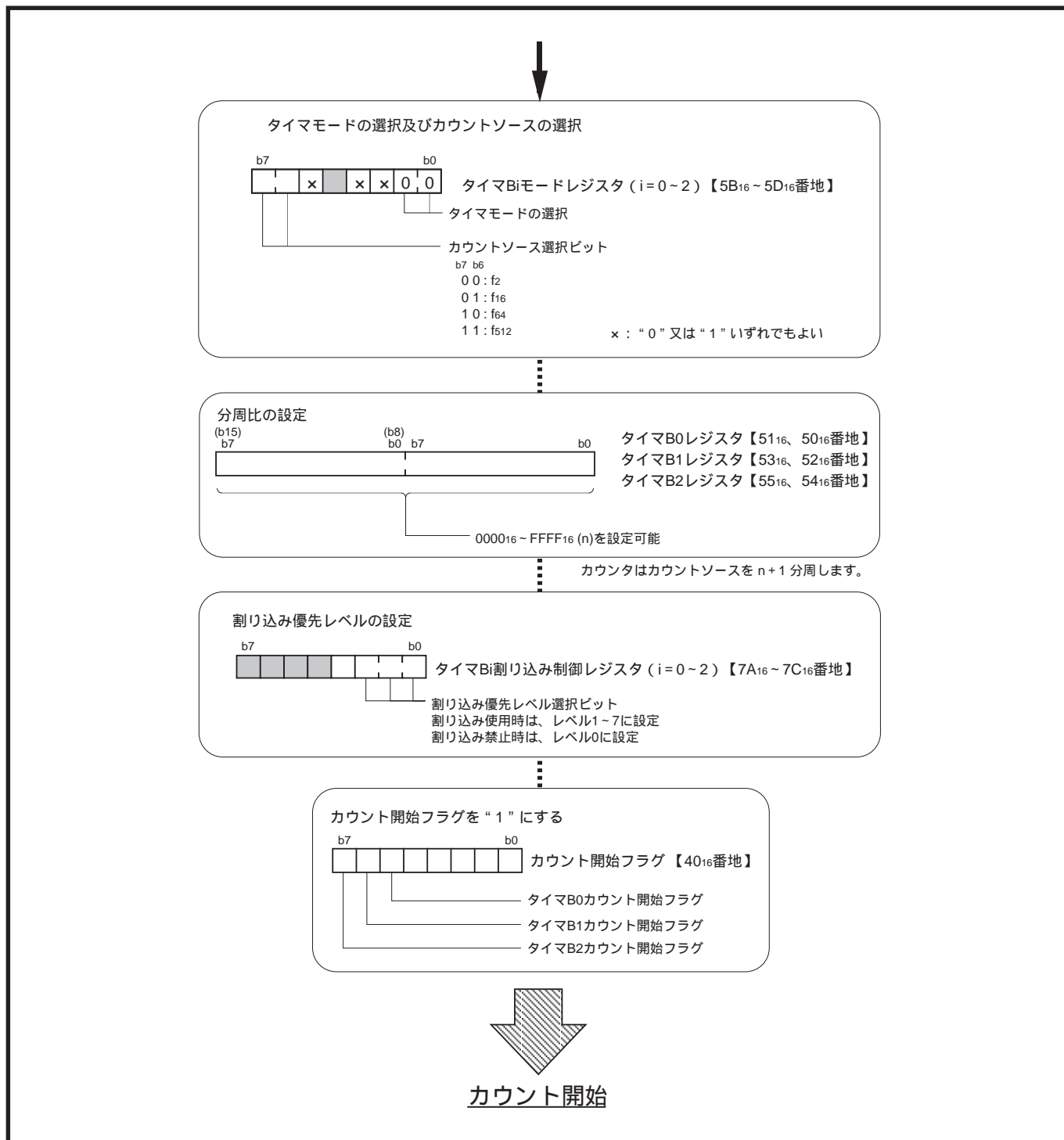


図10.3.2 タイマモード関連レジスタの初期設定例

10.3.2 タイマモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。
アンダフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー時、タイマBi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで“1”の状態を保持します。

図10.3.3にタイマモード動作例を示します。

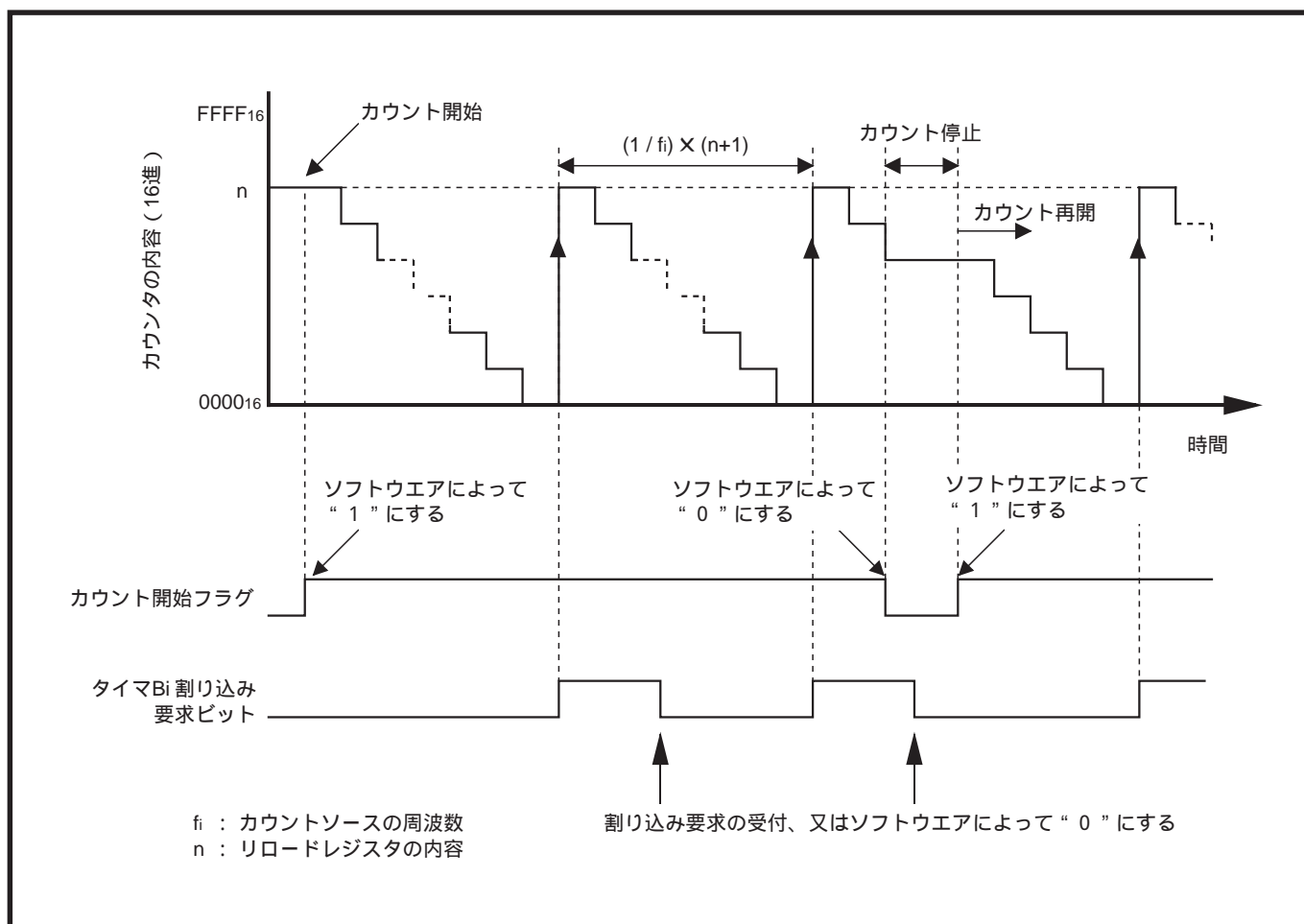


図10.3.3 タイマモード動作例

【タイマモード使用上の注意】

カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図10.3.4に示すリロードタイミングで読み出した場合は、“ $FFFF_{16}$ ”が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

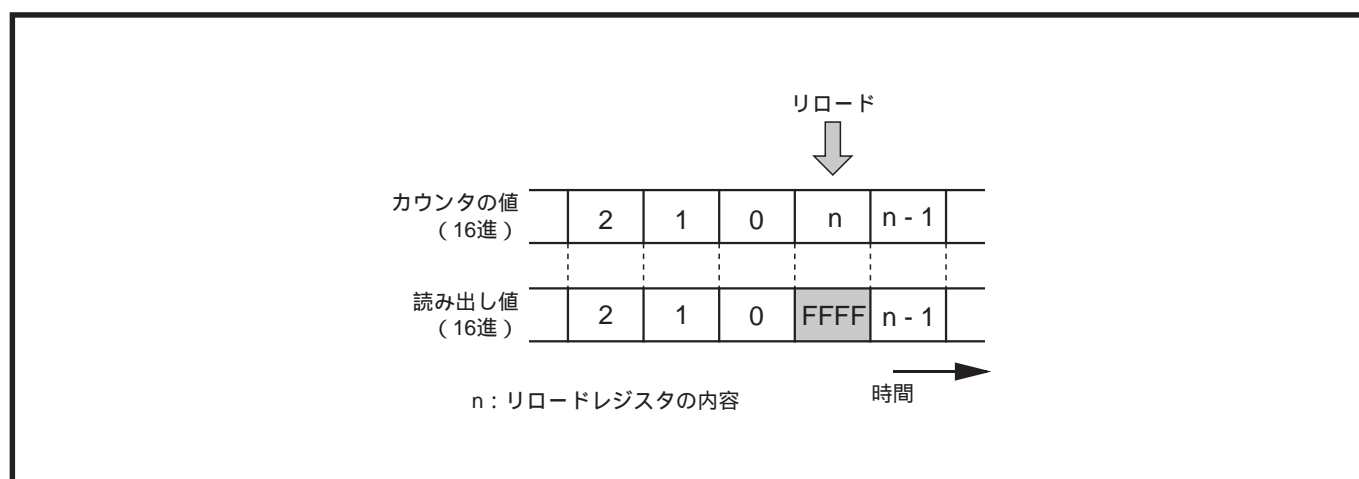


図10.3.4 タイマBiレジスタの読み出し

10.4 イベントカウンタモード

外部信号をカウントするモードです。表10.4.1にイベントカウンタモードの仕様を、図10.4.1にイベントカウンタモード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成を示します。

表10.4.1 イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIN端子に入力された外部信号 カウントソースの有効エッジには立ち下がり、立ち上がり、又は立ち下がり及び立ち上りをソフトウェアによって選択できる
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n : タイマBiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子の機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

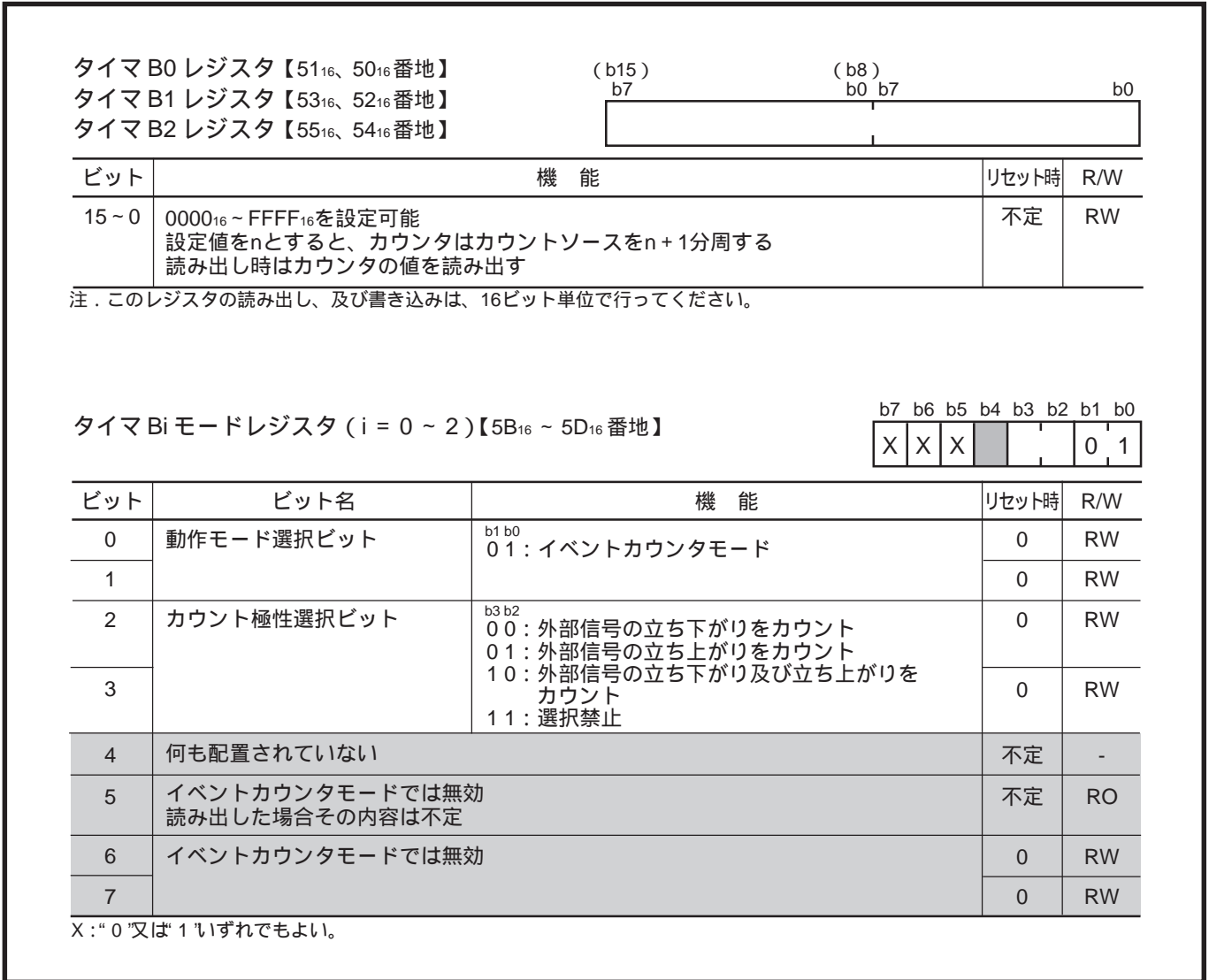


図10.4.1 イベントカウンタモード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

10.4.1 イベントカウンタモード設定方法

図10.4.2にイベントカウンタモード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

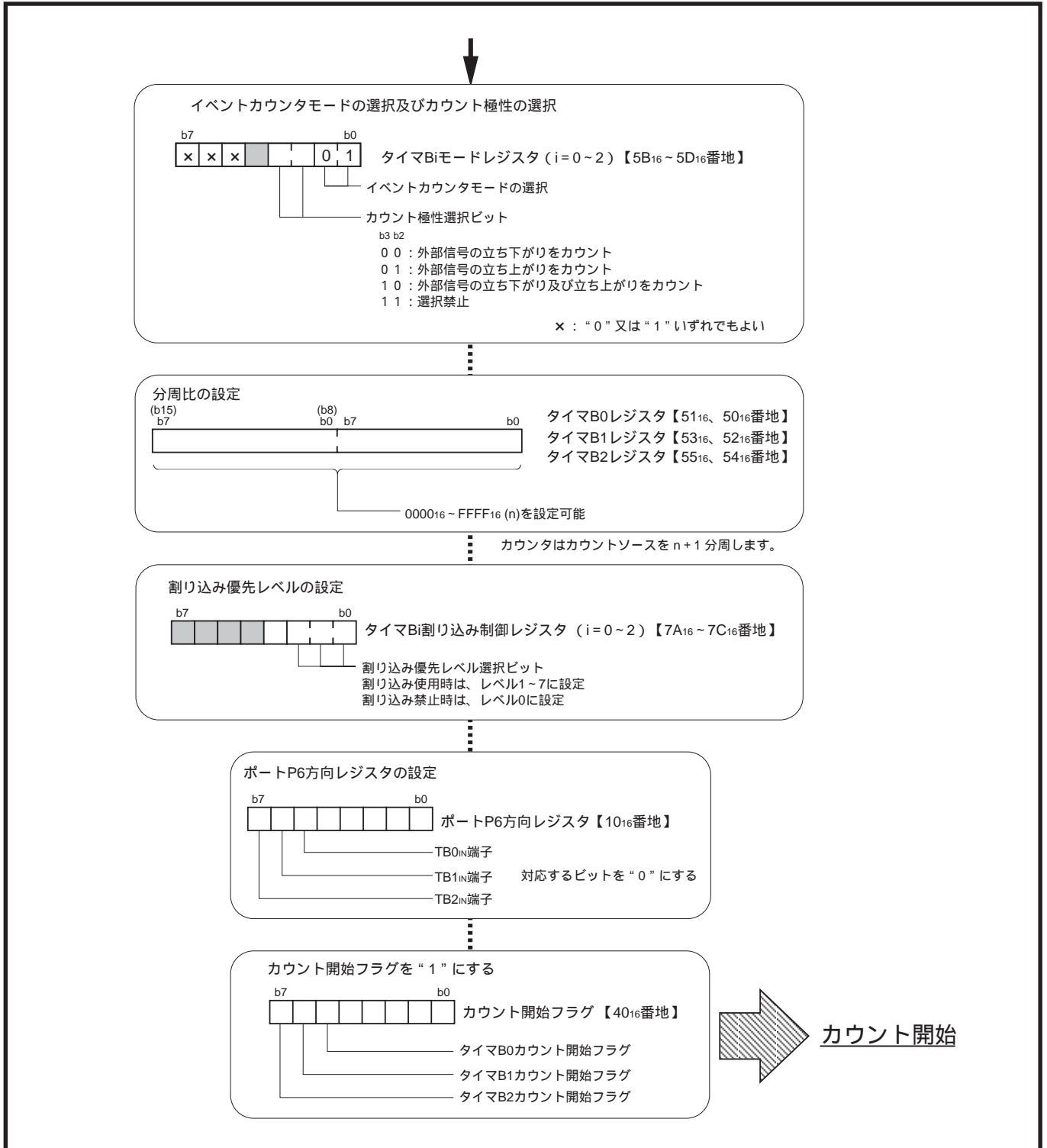


図10.4.2 イベントカウンタモード関連レジスタの初期設定例

10.4.2 イベントカウンタモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジのカウントを開始します。

アンダフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー時、タイマBi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで“1”の状態を保持します。

図10.4.3にイベントカウンタモード動作例を示します。

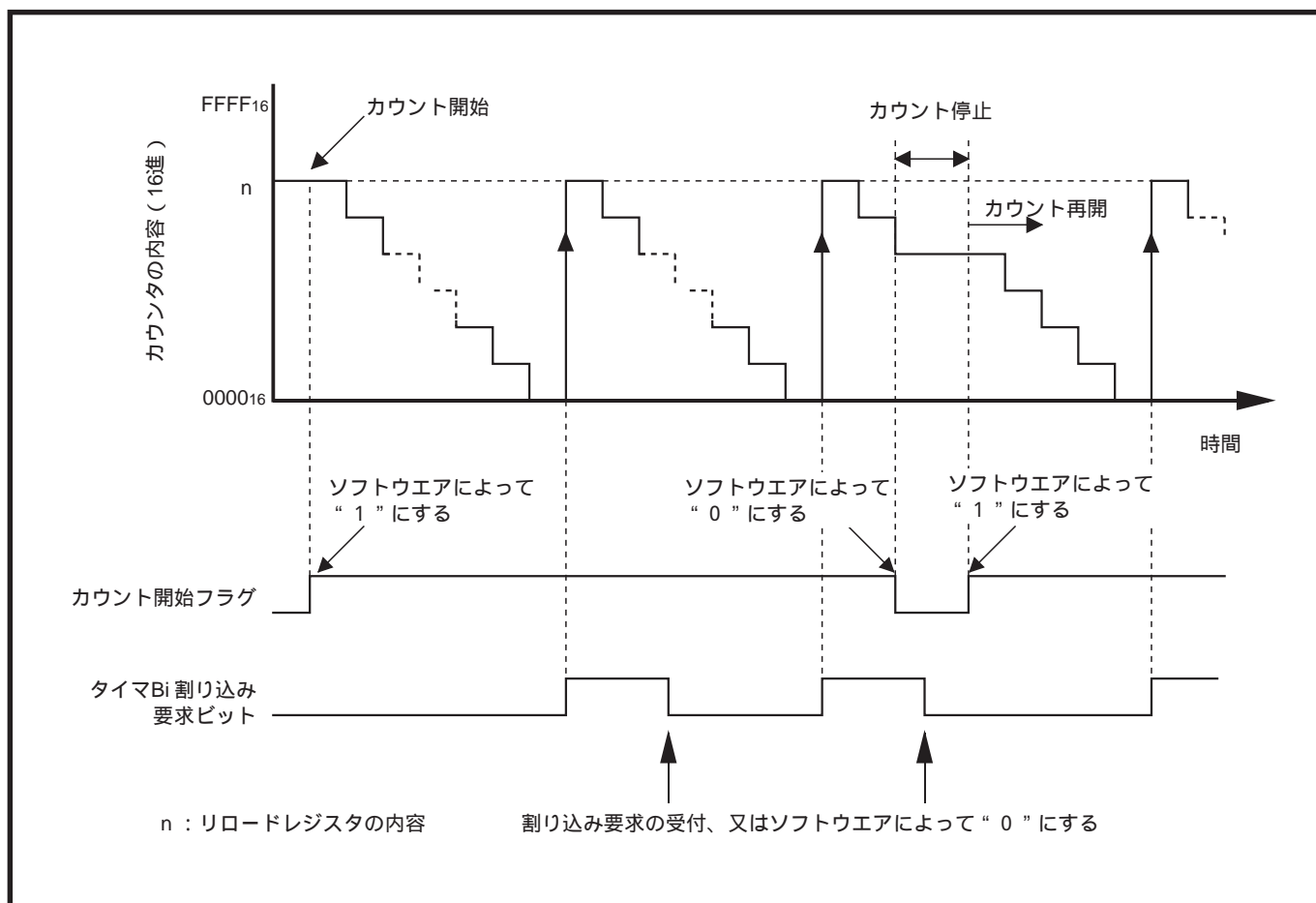


図10.4.3 イベントカウンタモード動作例

【イベントカウンタモード使用上の注意】

カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図10.4.4に示すリロードタイミングで読み出した場合は、“ $FFFF_{16}$ ”が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

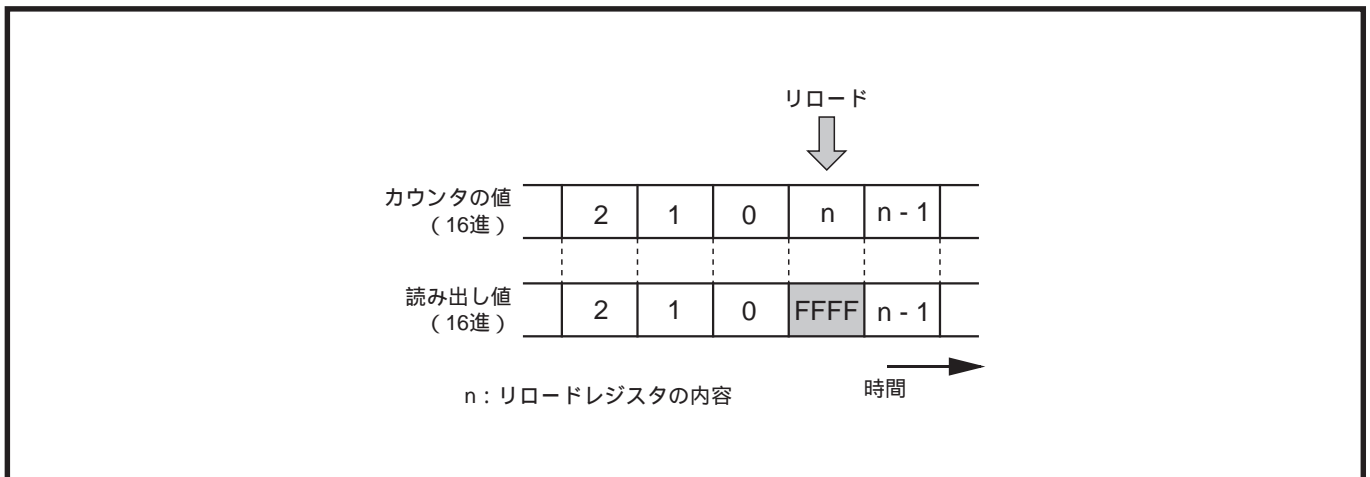


図10.4.4 タイマBiレジスタの読み出し

10.5 パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、又はパルス幅を測定するモードです。表10.5.1にパルス周期測定 / パルス幅測定モードの仕様、図10.5.1にパルス周期測定 / パルス幅測定モード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成を示します。

(1)パルス周期測定

TBiIN端子に入力された外部信号のパルス周期を測定

(2)パルス幅測定

TBiIN端子に入力された外部信号のパルス幅(“L”レベル幅、及び“H”レベル幅)を測定

表10.5.1 パルス周期測定 / パルス幅測定モードの仕様

項 目	仕 様
カウントソース f_i	f_2 、 f_{16} 、 f_{64} 、又は f_{512}
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にオーバフローフラグが“1”になる)
TBiIN端子の機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	無効

オーバフローフラグ：割り込み要求発生要因の判別用フラグ

注1．カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

2．カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマ B0 レジスタ【51 ₁₆ 、50 ₁₆ 番地】	(b15)	(b8)	b0
タイマ B1 レジスタ【53 ₁₆ 、52 ₁₆ 番地】	b7	b0 b7	
タイマ B2 レジスタ【55 ₁₆ 、54 ₁₆ 番地】			

ビット	機能	リセット時	R/W
15~0	パルス周期、又はパルス幅の測定結果を読み出す	不定	RO

注．このレジスタの読み出しは、16ビット単位で行ってください。

タイマ Bi モードレジスタ (i = 0 ~ 2)【5B ₁₆ ~ 5D ₁₆ 番地】	b7 b6 b5 b4 b3 b2 b1 b0
	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

ビット	ビット名	機能	リセット時	R/W
0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 / パルス幅測定モード	0	RW
1			0	RW
2	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定パルスの立ち下がり - 立ち下がり間) 0 1 : パルス周期測定 (測定パルスの立ち上がり - 立ち上がり間)	0	RW
3			1 0 : パルス幅測定 (測定パルスの立ち下がり - 立ち上がり間、 及び立ち上がり - 立ち下がり間) 1 1 : 選択禁止	0
4	何も配置されていない		不定	-
5	タイマBiオーバーフローフラグ (注)	0 : オーバフローなし 1 : オーバフローあり	不定	RO
6	カウントソース選択ビット	b7 b6 0 0 : f ₂ 0 1 : f ₁₆ 1 0 : f ₆₄ 1 1 : f ₅₁₂	0	RW
7			0	RW

注．タイマBiオーバーフローフラグは、カウント開始フラグが* 1 の状態で、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと"0"になります。このフラグをソフトウェアで"1"にすることはできません。

図10.5.1 パルス周期測定 / パルス幅測定モード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

10.5.1 パルス周期測定 / パルス幅測定モード設定方法

図10.5.2にパルス周期測定 / パルス幅測定モード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

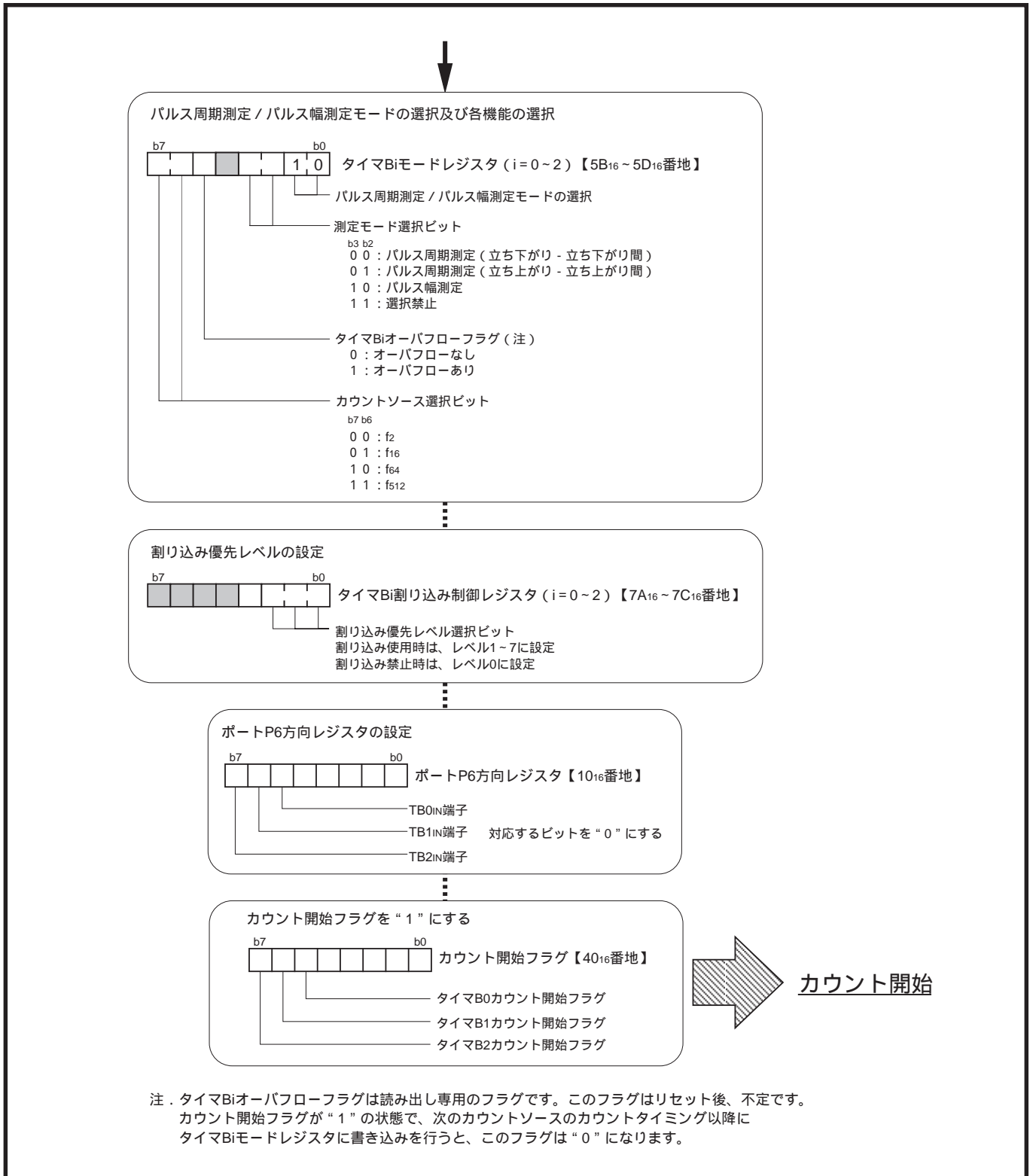


図10.5.2 パルス周期測定 / パルス幅測定モード関連レジスタの初期設定例

10.5.2 パルス周期測定 / パルス幅測定モード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。測定パルスの有効エッジで、カウンタの値はリロードレジスタに転送されます(「(1)パルス周期測定 / パルス幅測定」参照)。

の転送後、カウンタの値は“0000₁₆”になり、カウンタはカウントを続けます。

でカウンタの値が“0000₁₆”になると、タイマBi割り込み要求ビットが“1”になります(注)。この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで“1”の状態を保持します。

～ を繰り返します。

注：カウント開始後1回目の有効エッジの入力時は、タイマBi割り込み要求は発生しません。

(1)パルス周期測定 / パルス幅測定

外部信号のパルス周期を測定するか、パルス幅を測定するかは測定モード選択ビット(5B₁₆ ~ 5D₁₆番地のビット2、3)によって選択できます。表10.5.2に測定モード選択ビットとパルス周期測定 / パルス幅測定の選択を示します。

測定パルスの立ち上がりから立ち上がりまでの期間、及び立ち上がりから立ち下がりまでの期間は、カウントソースの2サイクル以上にしてください。また、測定結果が“H”レベル幅であるか、“L”レベル幅であるかはソフトウェアによって判別してください。

表10.5.2 測定モード選択ビットとパルス周期測定 / パルス幅測定の選択

b3	b2	パルス周期測定 / パルス幅測定	測定期間(有効エッジ)
0	0	パルス周期測定	立ち下がりから立ち下がり(立ち下がり)
0	1		立ち上がりから立ち上がり(立ち上がり)
1	0	パルス幅測定	立ち下がりから立ち上がり、及び立ち上がりから立ち下がり(立ち下がり、及び立ち上がり)

(2)タイマBiオーバフローフラグ

タイマBi割り込み要求は、測定パルスの有効エッジの入力、及びオーバフローによって発生します。タイマBiオーバフローフラグは、割り込み要求の発生要因が、オーバフローであるか、有効エッジの入力であるかを判別するために使用します。

オーバフロー時、タイマBiオーバフローフラグは“1”になります。したがって、割り込み要求発生要因の判別は割り込みルーチン内で、タイマBiオーバフローフラグを確認することによって行えます。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態で、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“0”になります。

タイマBiオーバフローフラグは読み出し専用です。

なお、オーバフローのタイミング検出には、タイマBi割り込み要求フラグを使用し、タイマBiオーバフローフラグは使用しないでください。

図10.5.3にパルス周期測定時の動作例を、図10.5.4にパルス幅測定時の動作例を示します。

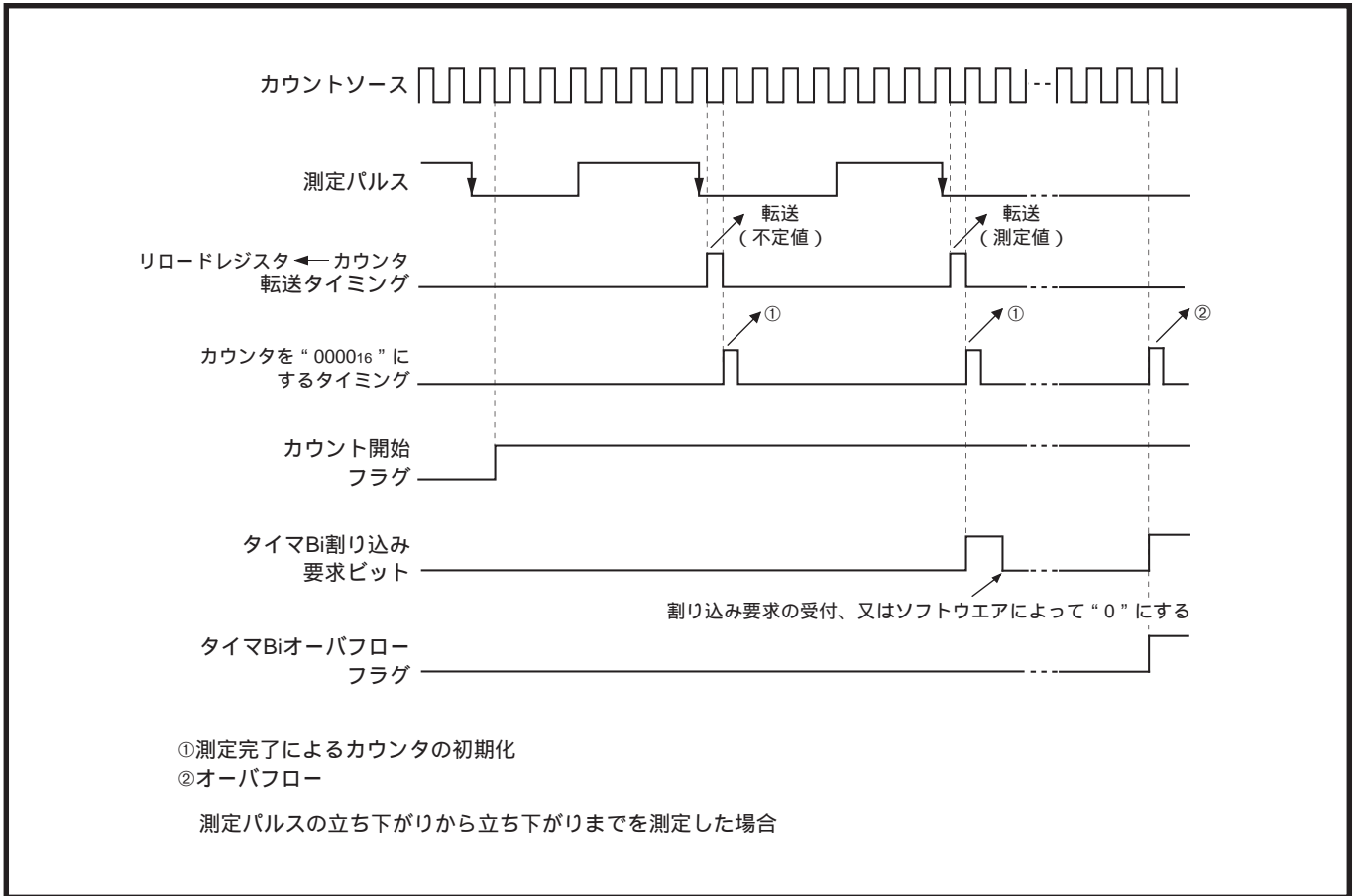


図10.5.3 パルス周期測定時の動作例

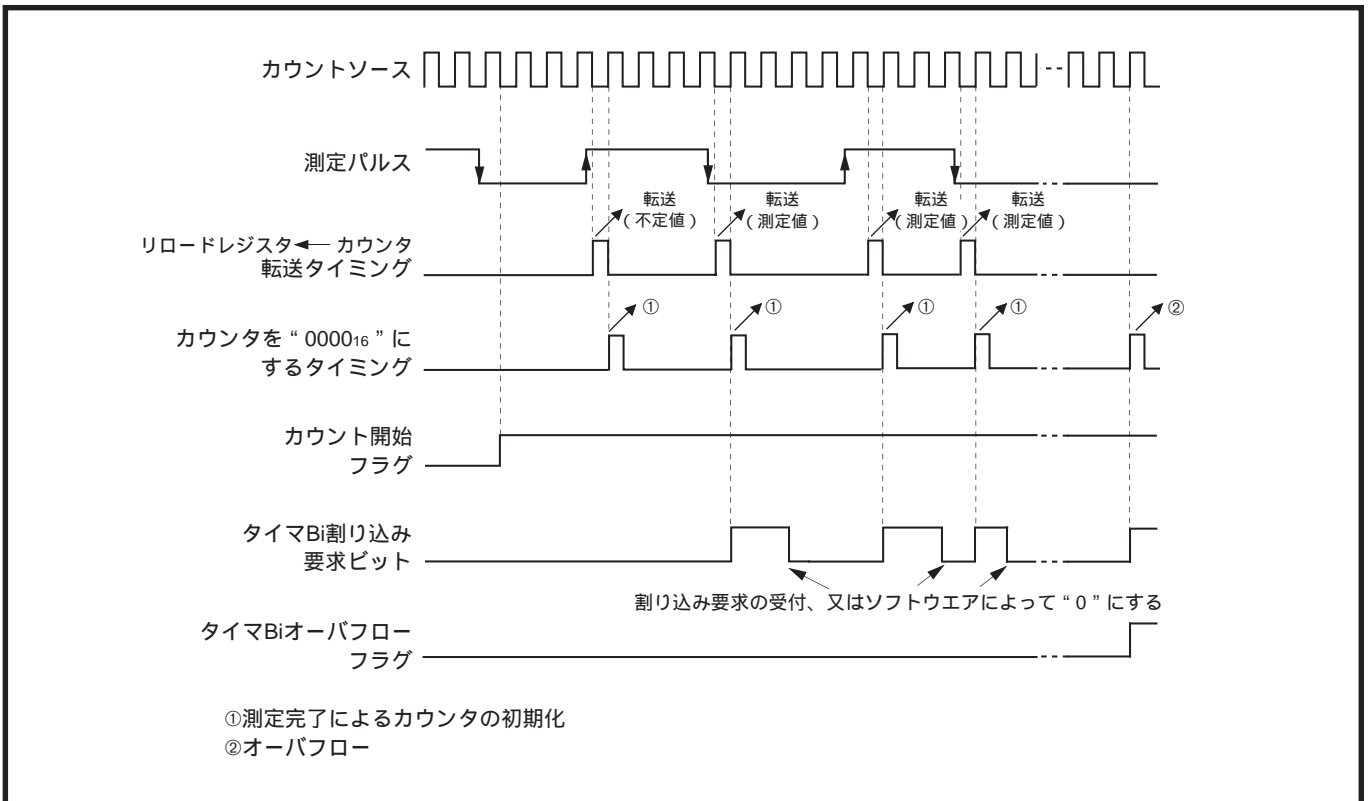


図10.5.4 パルス幅測定時の動作例

【パルス周期測定 / パルス幅測定モード使用上の注意】

1. タイマBi割り込み要求は次の2つの要因によって発生します。

測定パルスの有効エッジ入力
オーバーフロー

割り込み要求の発生要因がオーバーフローである場合、タイマBiオーバーフローフラグが“1”になります。

2. リセット後、タイマBiオーバーフローフラグは不定です。このフラグは、カウント開始フラグが“1”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“0”になります。
3. カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
4. カウント開始時のカウンタの値は不定です。したがって、カウント開始直後に、オーバーフローによってタイマBi割り込み要求が発生することがあります。
5. カウント開始後に測定モード選択ビットを変更すると、タイマBi割り込み要求ビットが“1”になります。測定モード選択ビットに以前と同じ値を書き込んだ場合は、割り込み要求ビットは変化しません。
6. TBin端子の入力信号がノイズなどの影響を受けると、正確な測定を行えない場合があります。測定値が一定の範囲内にあることを、ソフトウェアで確認することを推奨します。

第 11 章

リアルタイム出力

- 11.1 概 要
- 11.2 ブロック説明
- 11.3 リアルタイム出力設定方法
- 11.4 リアルタイム出力動作説明

11

11.1 概要

リアルタイム出力は、タイマの周期ごとに複数の端子の出力レベルを同時に変化させる機能です。図11.1.1にリアルタイム出力の1ビットのブロック図を示します。リアルタイム出力には、以下に示す2つの動作モードがあります。

(1)パルスモード0

8ビットのパルス出力端子を4ビットずつに分けて制御します。図11.1.2にパルスモード0時のリアルタイム出力構成を示します。

(2)パルスモード1

8ビットのパルス出力端子を2ビットと6ビットに分けて制御します。図11.1.3にパルスモード1時のリアルタイム出力構成を示します。

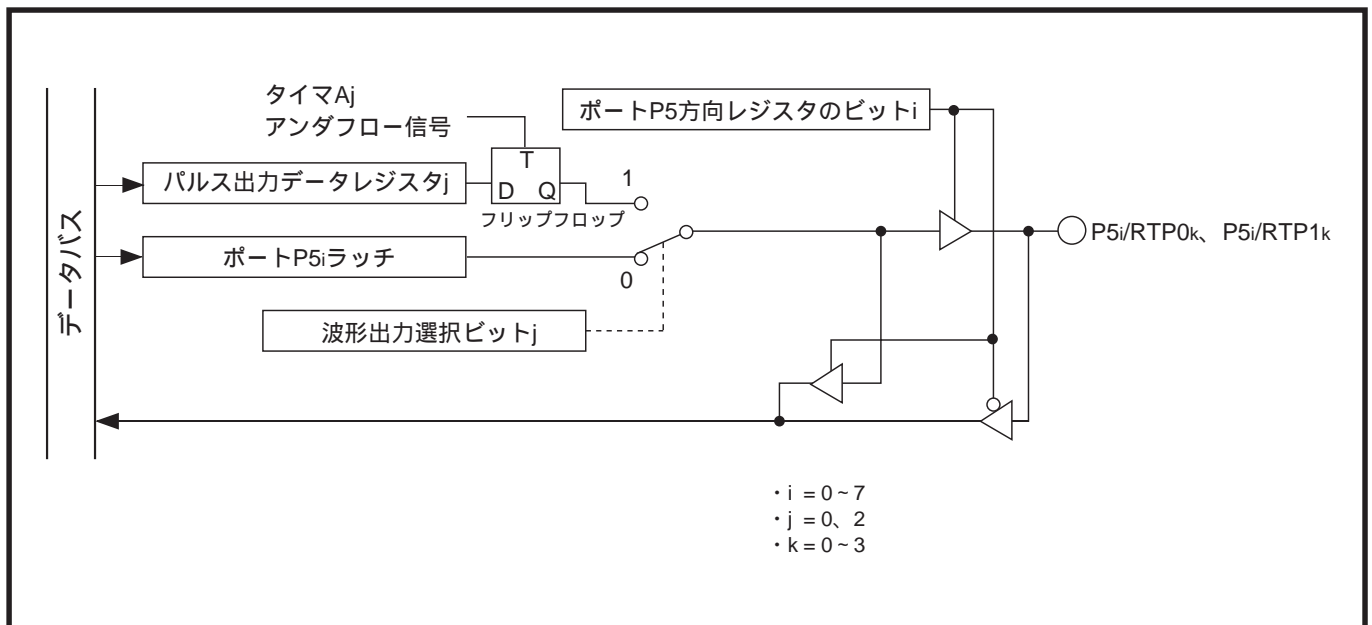


図11.1.1 リアルタイム出力の1ビットのブロック図

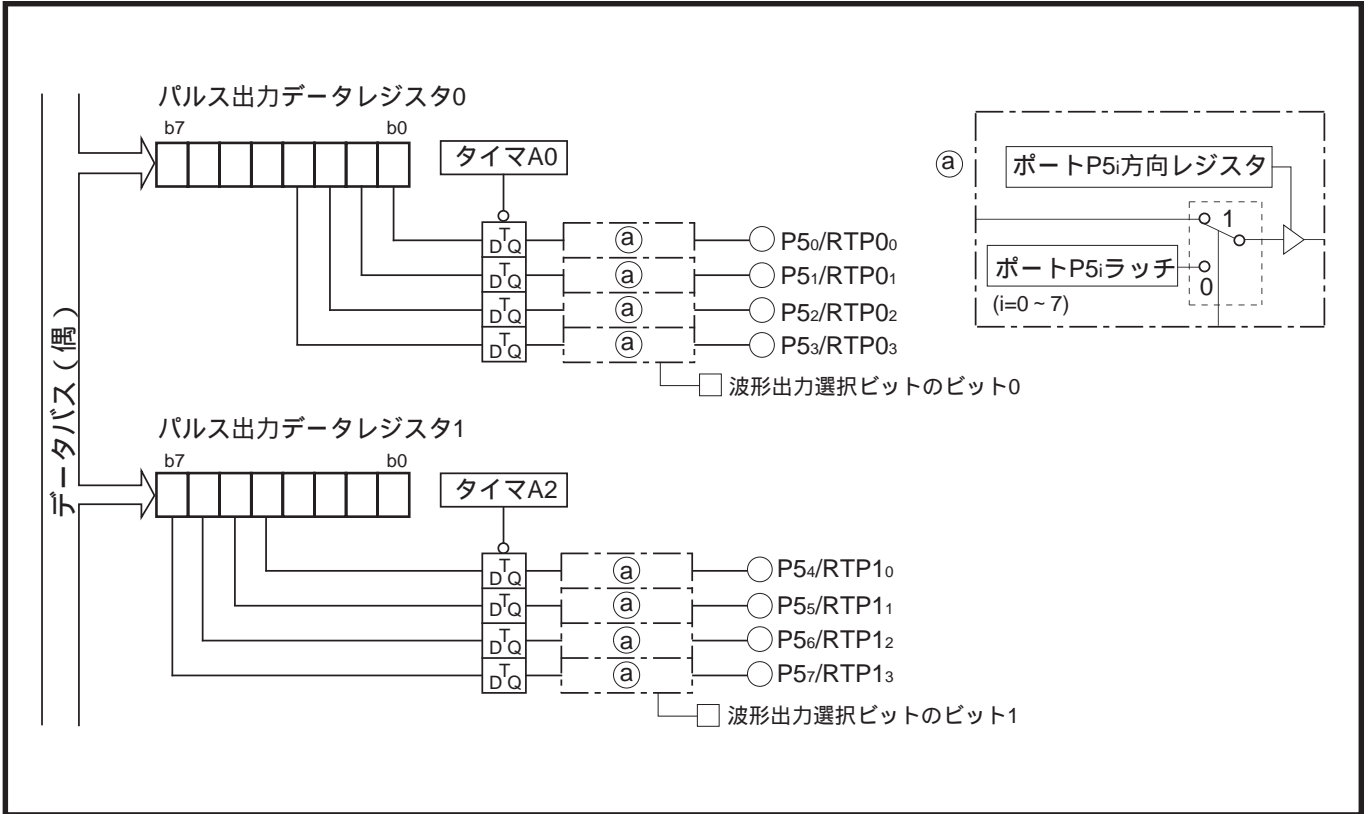


図11.1.2 パルスモード0時のリアルタイム出力構成

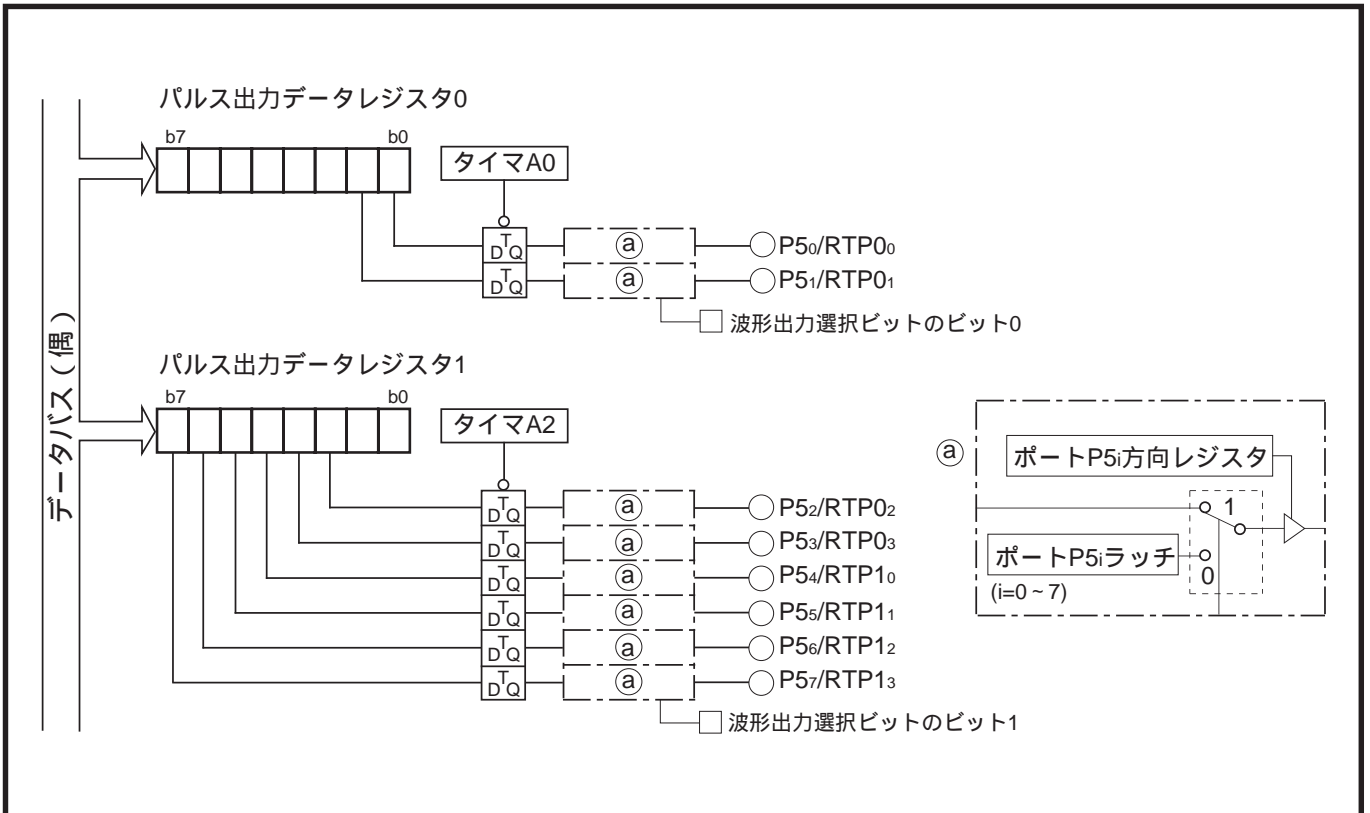


図11.1.3 パルスモード1時のリアルタイム出力構成

11.2 ブロック説明

リアルタイム出力関連レジスタについて以下に説明します。

11.2.1 リアルタイム出力制御レジスタ

図11.2.1にリアルタイム出力制御レジスタのレジスタ構成を示します。

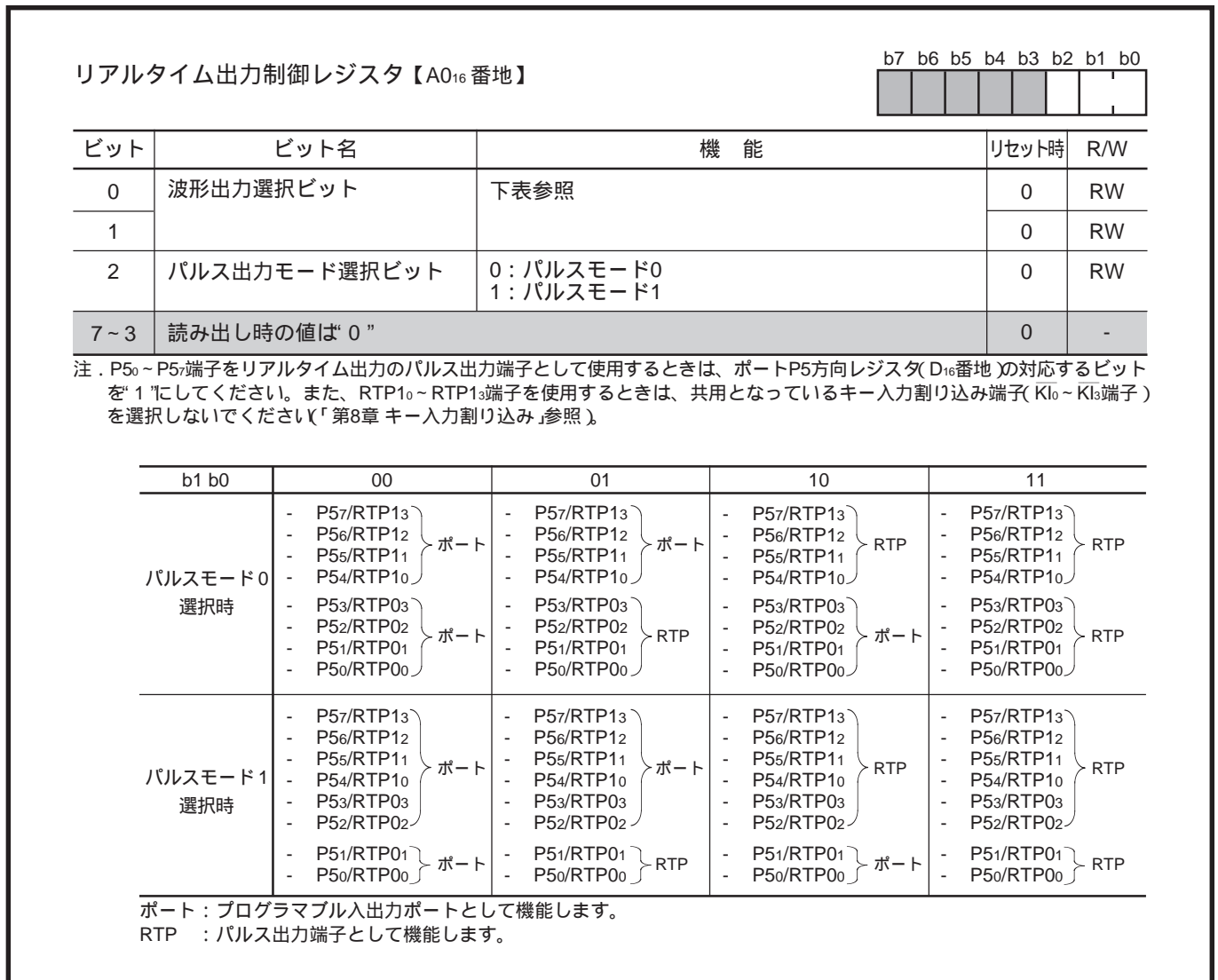


図11.2.1 リアルタイム出力制御レジスタのレジスタ構成

11.2.2 パルス出力データレジスタ0、1

図11.2.2にパルス出力データレジスタ0、1のレジスタ構成を示します。パルス出力データレジスタ0、1に書き込まれたデータは、タイマA0、A2のアンダフローごとに、対応するパルス出力端子から出力されます。

RTP0₂、RTP0₃のパルス出力データビットは、パルスモードによって使用するビット位置が違います。パルス出力モード選択ビット(A0₁₆番地のビット2)を設定した後、パルス出力データレジスタ0、1を設定してください。

パルス出力データレジスタ0【A2 ₁₆ 番地】				
b7 b6 b5 b4 b3 b2 b1 b0				
ビット	ビット名	機能	リセット時	R/W
0	RTP0 ₀ パルス出力データビット	0 : Lレベル出力 1 : Hレベル出力	不定	WO
1	RTP0 ₁ パルス出力データビット		不定	WO
2	RTP0 ₂ パルス出力データビット (パルスモード0時有効)		不定	WO
3	RTP0 ₃ パルス出力データビット (パルスモード0時有効)		不定	WO
7~4	何も配置されていない		不定	-
注 . このレジスタへの書き込みにはMOVMB (MOVMB) 命令、又はSTA (STAB, STAD) 命令を使用してください。				
パルス出力データレジスタ1【A4 ₁₆ 番地】				
b7 b6 b5 b4 b3 b2 b1 b0				
ビット	ビット名	機能	リセット時	R/W
1、0	何も配置されていない		不定	-
2	RTP0 ₂ パルス出力データビット (パルスモード1時有効)	0 : Lレベル出力 1 : Hレベル出力	不定	WO
3	RTP0 ₃ パルス出力データビット (パルスモード1時有効)		不定	WO
4	RTP1 ₀ パルス出力データビット		不定	WO
5	RTP1 ₁ パルス出力データビット		不定	WO
6	RTP1 ₂ パルス出力データビット		不定	WO
7	RTP1 ₃ パルス出力データビット		不定	WO
注 . このレジスタへの書き込みにはMOVMB (MOVMB) 命令、又はSTA (STAB, STAD) 命令を使用してください。				

図11.2.2 パルス出力データレジスタ0、1のレジスタ構成

11.2.3 ポートP5方向レジスタ

パルス出力端子はポートP5と共用です。これらの端子をリアルタイム出力のパルス出力端子として使用する場合は、ポートP5方向レジスタの対応するビットを“1”にして出力モードに設定してください。図11.2.3にポートP5方向レジスタとパルス出力端子の対応を示します。

ポート P5 方向レジスタ【D ₁₆ 番地】			b7 b6 b5 b4 b3 b2 b1 b0							
ビット	対応する端子名	機 能	リセット時 R/W							
0	RTP0 ₀ 端子(TA0 _{OUT} 端子)	0 : 入力モード 1 : 出力モード パルス出力端子として使用する場合は、対応するビットを“1”にしてください	0 RW							
1	RTP0 ₁ 端子(TA0 _{IN} 端子)		0 RW							
2	RTP0 ₂ 端子(TA1 _{OUT} 端子)		0 RW							
3	RTP0 ₃ 端子(TA1 _{IN} 端子)		0 RW							
4	RTP1 ₀ 端子(TA2 _{OUT} /KI ₀ 端子)		0 RW							
5	RTP1 ₁ 端子(TA2 _{IN} /KI ₁ 端子)		0 RW							
6	RTP1 ₂ 端子(TA3 _{OUT} /KI ₂ 端子)		0 RW							
7	RTP1 ₃ 端子(TA3 _{IN} /KI ₃ 端子)		0 RW							

注1. これらのビットを0にすると、波形出力選択ビット(A0₁₆番地のビット0、1)の状態にかかわらず、端子は入力ポート(フローティング)になります。
2.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

図11.2.3 ポートP5方向レジスタとパルス出力端子の対応

リセット後、ポートP5は入力モードになっているため、端子の状態はフローティングです。また、リセット後、パルス出力データレジスタ0、1は不定になっているため、データを書き込んでからタイマA0、A2が最初にアンダフローするまでは、パルス出力端子の出力レベルは不定です。これらの状態を回避する必要がある場合は、図11.3.1、図11.3.2の「パルス出力開始以前の不定出力を避けるための処理」を実施してください。

なお、ポートP5レジスタ(B₁₆番地)を読み出すと、パルス出力端子の出力値が読み出せません。

11.2.4 タイマA0、A2

パルス出力データレジスタ0、1に書き込まれたデータは、タイマA0、A2のアンダフローごとにパルス出力端子から出力されます。タイマA0、A2の設定については「9.3 タイマモード」を参照してください。

11.3 リアルタイム出力設定方法

図11.3.1～図11.3.3にリアルタイム出力関連レジスタの初期設定例を示します。なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

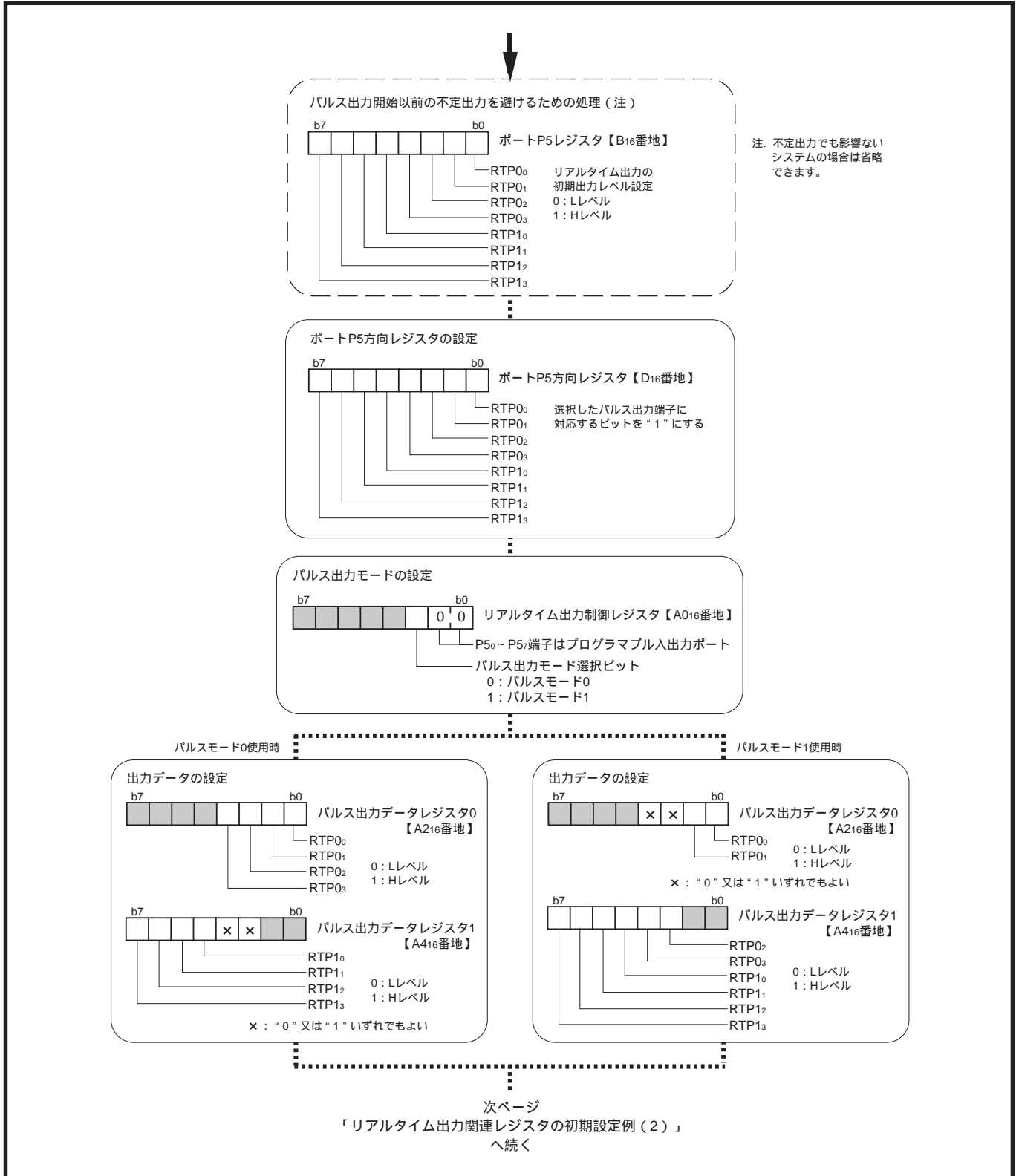
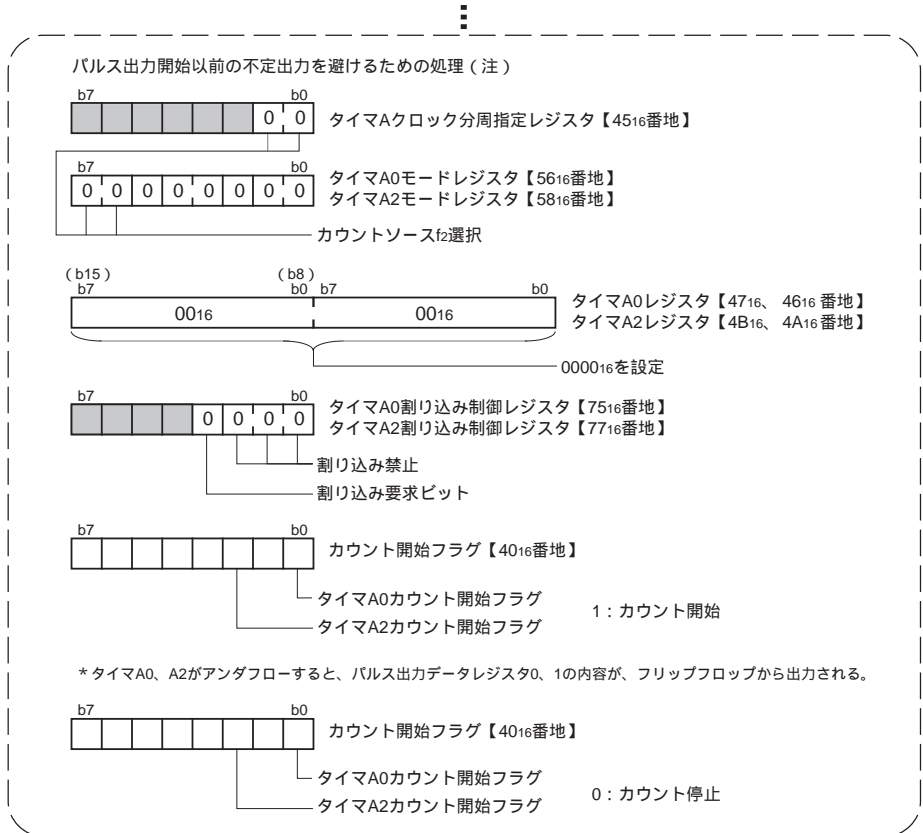
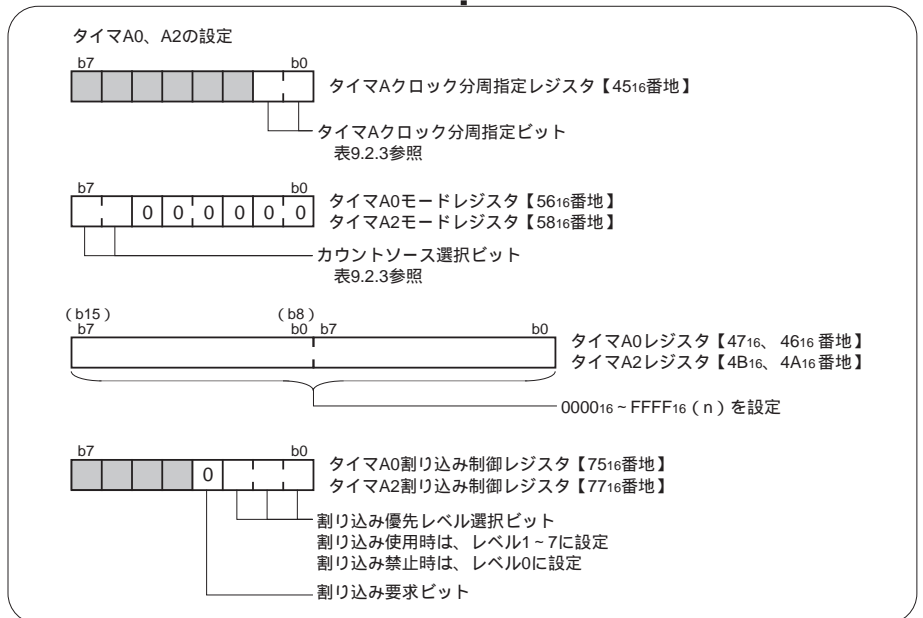


図11.3.1 リアルタイム出力関連レジスタの初期設定例(1)

前ページ「リアルタイム出力関連レジスタの初期設定例(1)」より



注. 不定出力でも影響ないシステムの場合は省略できます。



⋮

次ページ「リアルタイム出力関連レジスタの初期設定例(3)」へ続く

図11.3.2 リアルタイム出力関連レジスタの初期設定例(2)

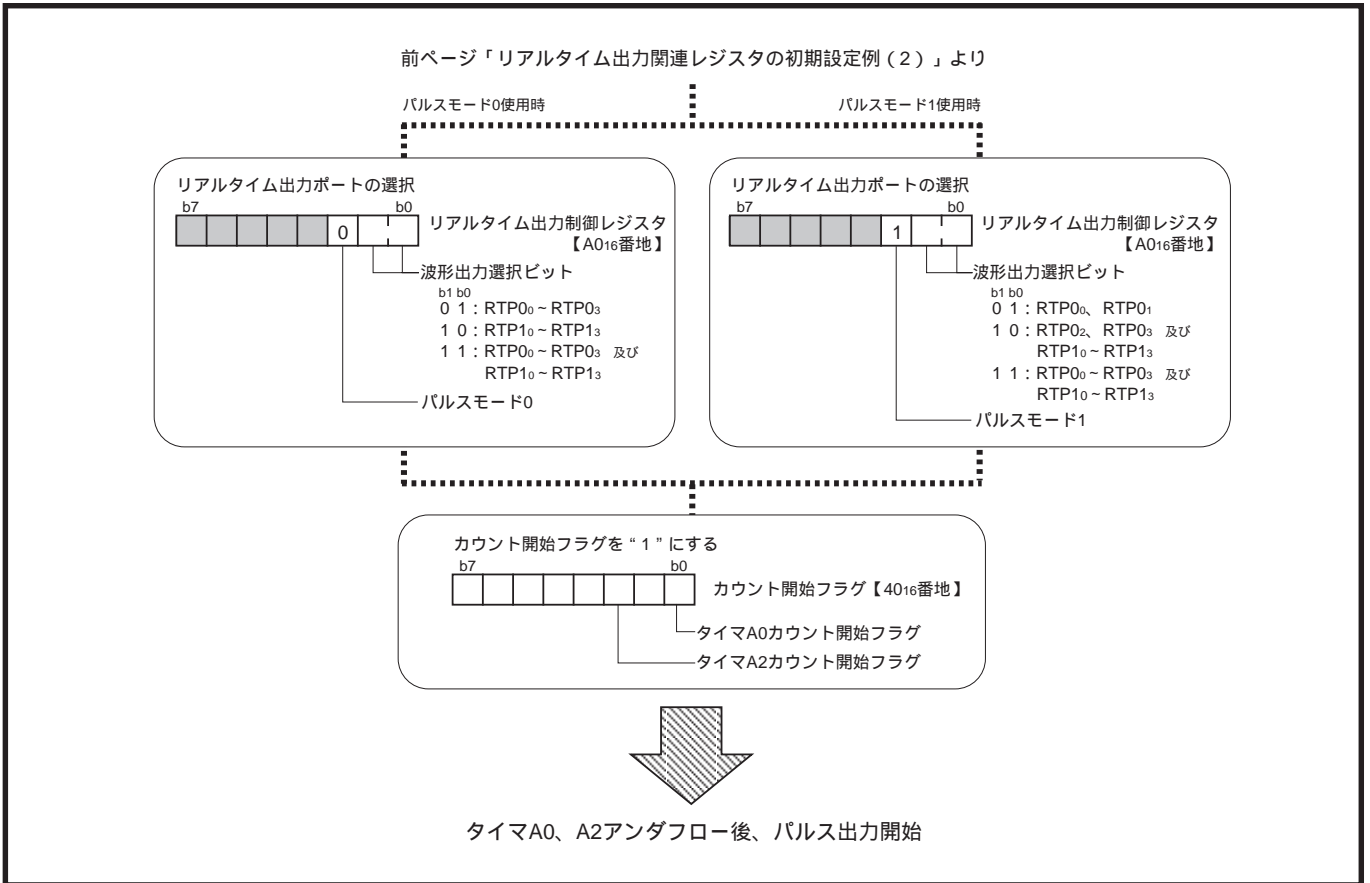


図11.3.3 リアルタイム出力関連レジスタの初期設定例(3)

11.4 リアルタイム出力動作説明

タイマA i ($i=0, 2$)カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。

タイマA i のアンダフローごとに、パルス出力データレジスタ i の内容が、パルス出力端子から出力されます。タイマはリロードレジスタの内容をリロードしてカウントを続けます。

のアンダフロー時、タイマA i 割り込み要求ビットが“1”になります。割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで“1”の状態を保持します。タイマA i 割り込みルーチン内で(又はタイマA i 割り込み要求発生確認後)、次の出力データをパルス出力データレジスタ i に書き込んでください。

図11.4.1にリアルタイム出力動作例を示します。

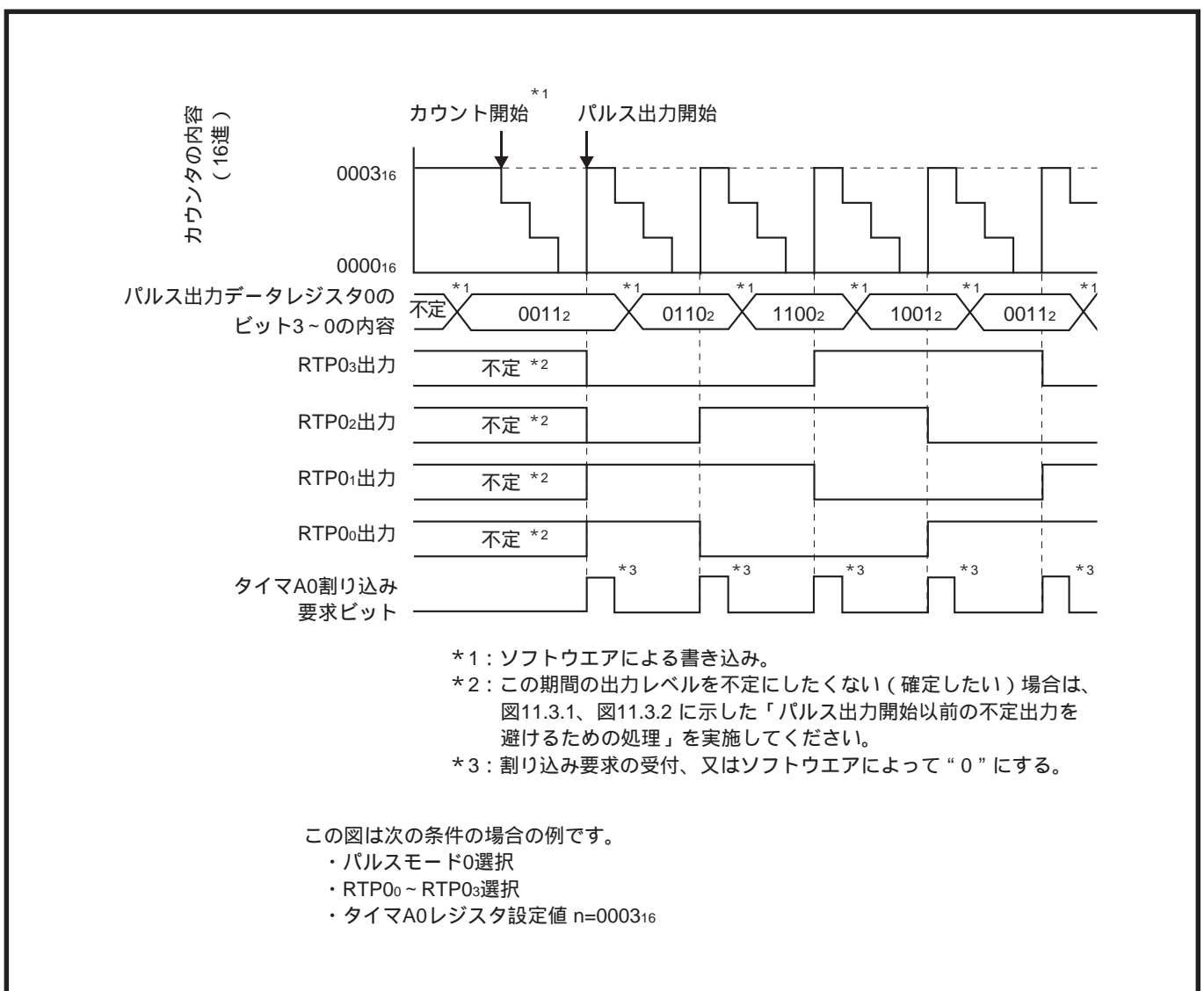


図11.4.1 リアルタイム出力動作例

第 12 章

シリアルI/O

- 12.1 概 要
- 12.2 ブロック説明
- 12.3 クロック同期形シリアルI/Oモード
【クロック同期形シリアルI/Oモード使用上の注意】
- 12.4 クロック非同期形シリアルI/O (UART)モード
【クロック非同期形シリアルI/O(UART)モード使用上の注意】

12

12.1 概要

シリアルI/OはUART0、及びUART1の2チャンネルで構成されています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

UART($i=0, 1$)には以下に示す2つの動作モードがあります。

(1) クロック同期形シリアルI/Oモード

転送クロックに送受信間で同一のクロックを使用するモードです。転送データ長は8ビットです。

(2) クロック非同期形シリアルI/O (UART)モード

任意の転送速度、転送データフォーマットを設定できるモードです。転送データ長には7ビット、8ビット、又は9ビットのいずれかを選択できます。

図12.1.1に各動作モード時の転送データフォーマットを示します。

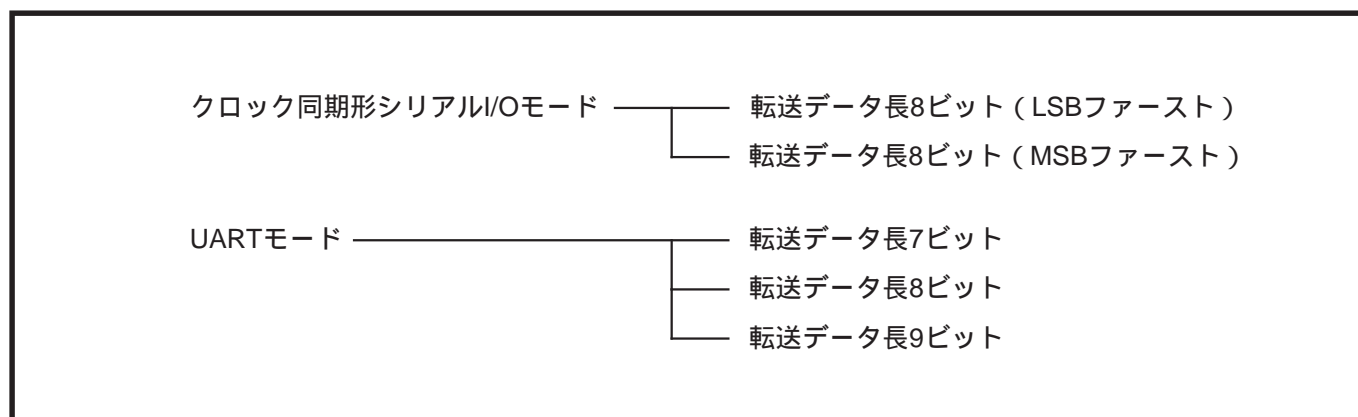


図12.1.1 各動作モード時の転送データフォーマット

12.2 ブロック説明

シリアルI/Oのブロック図を図12.2.1に示し、シリアルI/O関連レジスタについて以下に説明します。

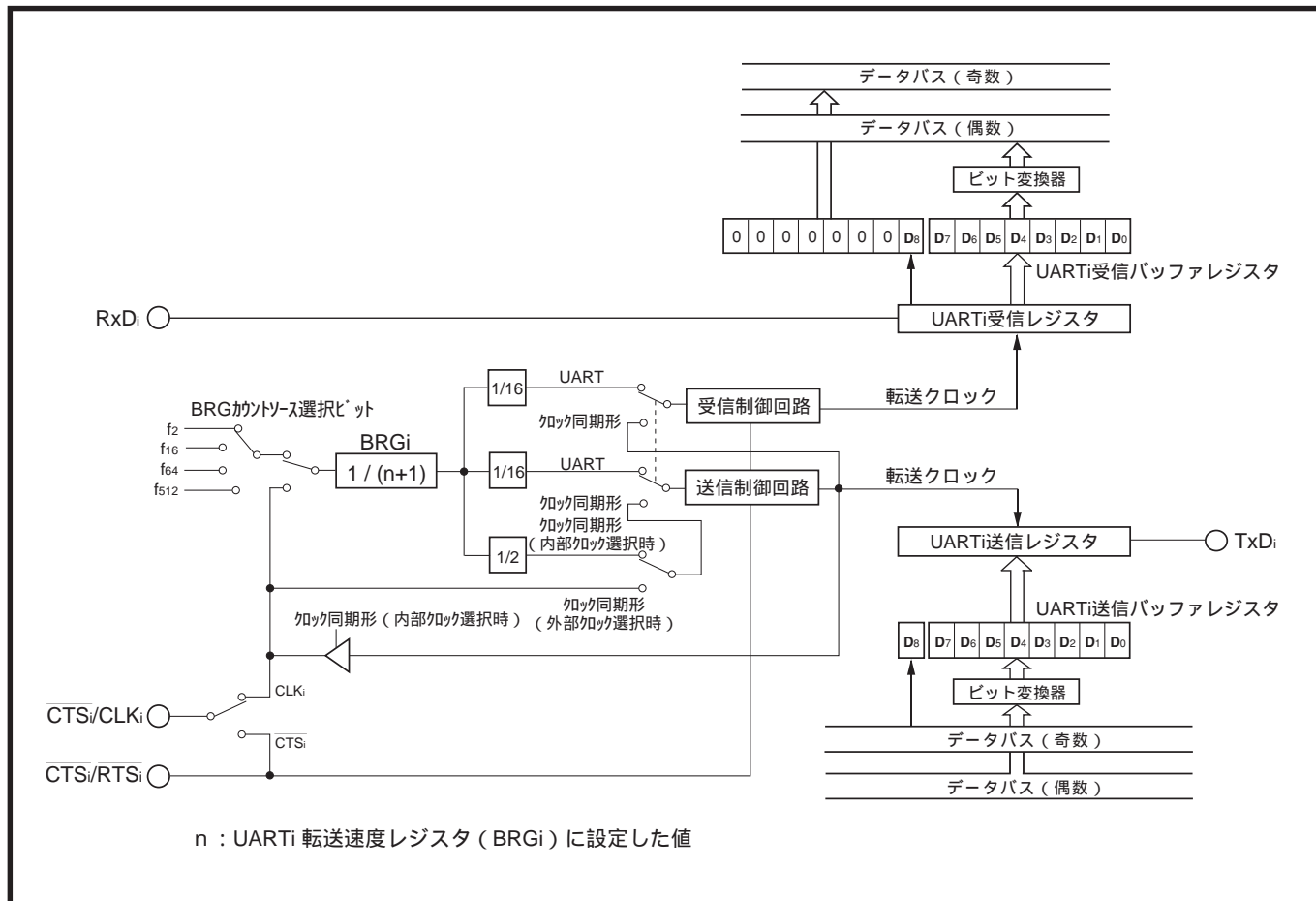


図12.2.1 シリアルI/Oブロック図

12.2.1 UARTi送受信モードレジスタ

図12.2.2にUARTi送受信モードレジスタのレジスタ構成を示します。

UART0 送受信モードレジスタ【30 ₁₆ 番地】		UART1 送受信モードレジスタ【38 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0								
ビット	ビット名	機能	リセット時	R/W								
0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルI/Oは無効(P8はプログラマブル 入出力ポートとして機能)	0	RW								
1		001: クロック同期形シリアルI/Oモード 010: } 選択禁止 011: }	0	RW								
2		100: UARTモード(転送データ長7ビット) 101: UARTモード(転送データ長8ビット) 110: UARTモード(転送データ長9ビット) 111: 選択禁止	0	RW								
3		内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	0	RW							
4	ストップビット長選択ビット (UARTモード時有効) (注)	0: 1ストップビット 1: 2ストップビット	0	RW								
5	パリティ奇/偶選択ビット (UARTモードでパリティ許可 ビットが"1"の時有効) (注)	0: 奇数パリティ 1: 偶数パリティ	0	RW								
6	パリティ許可ビット (UARTモード時有効) (注)	0: パリティ禁止 1: パリティ許可	0	RW								
7	スリープ選択ビット (UARTモード時有効) (注)	0: スリープモード解除(無効) 1: スリープモード選択	0	RW								

注. クロック同期形シリアルI/Oモード時、ビット4~6は無効です("0"又は"1"いずれでもよい)。また、ビット7は"0"に固定してください。

図12.2.2 UARTi送受信モードレジスタのレジスタ構成

(1)シリアルI/Oモード選択ビット(ビット0~2)

UARTiの動作モードを選択するためのビットです。

(2)内/外部クロック選択ビット(ビット3)

クロック同期形シリアルI/Oモード時

このビットを“0”にして内部クロックを選択すると、BRGカウントソース選択ビット(34₁₆、3C₁₆番地のビット0、1)で選択したクロックがBRGi(「12.2.6 UARTi転送速度レジスタ(BRGi)」参照)のカウントソースになり、BRGiの出力の2分周クロックが転送クロックになります。また、CLK_i端子から転送クロックが出力されます。

このビットを“1”にして外部クロックを選択すると、CLK_i端子に入力するクロックが転送クロックになります。

UARTモード時

このビットを“0”にして内部クロックを選択すると、BRGカウントソース選択ビット(34₁₆、3C₁₆番地のビット0、1)で選択したクロックがBRGi(「12.2.6 UARTi転送速度レジスタ(BRGi)」参照)のカウントソースになります。このとき、CLK_i端子はプログラマブル入出力ポートとして機能します。

このビットを“1”にして外部クロックを選択すると、CLK_i端子に入力するクロックがBRGiのカウントソースになります。

なお、UARTモードでは、常にBRGiの出力の16分周クロックが転送クロックになります。

(3)ストップビット長選択ビット、パリティ奇/偶選択ビット、パリティ許可ビット(ビット4~6)

「12.4.2 転送データフォーマット」を参照してください。

(4)スリープ選択ビット(ビット7)

「12.4.8 スリープモード」を参照してください。

12.2.2 UARTi送受信制御レジスタ0

図12.2.3にUARTi送受信制御レジスタ0のレジスタ構成を示します。

UART0 送受信制御レジスタ0【34 ₁₆ 番地】		UART1 送受信制御レジスタ0【3C ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0								
ビット	ビット名	機能	リセット時	R/W								
0	BRGカウントソース選択ビット	b1 b0 00 : f ₂	0	RW								
1		01 : f ₁₆ 10 : f ₆₄ 11 : f ₅₁₂	0	RW								
2	CTS/RTS機能選択ビット (注1)	0 : CTS機能を選択 1 : RTS機能を選択	0	RW								
3	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	1	RO								
4	CTS/RTS許可ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	0	RW								
5	UARTi受信割り込みモード 選択ビット	0 : 受信割り込み 1 : 受信エラー割り込み	0	RW								
6	CLK極性選択ビット (クロック同期形シリアルI/O モード時使用) (注2)	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 非転送時、CLK端子は“H”レベル 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力 非転送時、CLK端子は“L”レベル	0	RW								
7	転送フォーマット選択ビット (クロック同期形シリアルI/O モード時使用) (注2)	0 : LSB(最下位ビット)ファースト 1 : MSB(最上位ビット)ファースト	0	RW								

注1. CTS/RTS許可ビット(ビット4)が“0”、かつCTS/RTS分離選択ビット(AC₁₆番地のビット0又は1)が“0”のとき有効。
 2. UARTモード時、及びシリアルI/Oが無効のときは“0”に固定してください。

図12.2.3 UARTi送受信制御レジスタ0のレジスタ構成

(1) BRGカウントソース選択ビット(ビット0、1)

「12.2.1(2)内/外部クロック選択ビット」を参照してください。

(2) $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能選択ビット(ビット2)

「12.2.10 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能」を参照してください。

(3) 送信レジスタ空フラグ(ビット3)

UARTi送信バッファレジスタの内容がUARTi送信レジスタに転送されたとき、このフラグは“0”になります。送信を完了し、UARTi送信レジスタが空になったとき、このフラグは“1”になります。

(4) $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 許可ビット(ビット4)

「12.2.10 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能」を参照してください。

(5) UARTi受信割り込みモード選択ビット(ビット5)

「12.2.7(2)割り込み要求ビット」を参照してください。

(6) CLK極性選択ビット(ビット6)

「12.3.1(3)転送クロックの極性」を参照してください。

(7) 転送フォーマット選択ビット(ビット7)

「12.3.2 転送データフォーマット」を参照してください。

12.2.3 UARTi送受信制御レジスタ1

図12.2.4にUARTi送受信制御レジスタ1のレジスタ構成を示します。

UART0 送受信制御レジスタ1【35 ₁₆ 番地】		UART1 送受信制御レジスタ1【3D ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0																	
				<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	ビット名	機能			リセット時	R/W															
0	送信許可ビット	0: 送信禁止 1: 送信許可			0	RW															
1	送信バッファ空フラグ	0: 送信バッファレジスタにデータあり 1: 送信バッファレジスタにデータなし			1	RO															
2	受信許可ビット	0: 受信禁止 1: 受信許可			0	RW															
3	受信完了フラグ	0: 受信バッファレジスタにデータなし 1: 受信バッファレジスタにデータあり			0	RO															
4	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生			0	RO															
5	フレーミングエラーフラグ (UARTモード時有効) (注)	0: フレーミングエラーなし 1: フレーミングエラー発生			0	RO															
6	パリティエラーフラグ (UARTモード時有効) (注)	0: パリティエラーなし 1: パリティエラー発生			0	RO															
7	エラーサムフラグ (UARTモード時有効) (注)	0: エラーなし 1: エラー発生			0	RO															

注. クロック同期形シリアルI/Oモード時、ビット5~7は無効です。

図12.2.4 UARTi送受信制御レジスタ1のレジスタ構成

(1)送信許可ビット(ビット0)

このビットを“1”にすると、UARTiは送信許可状態になります。送信中にこのビットを“0”にすると、その時点でやっている送信終了後に、送信禁止状態になります。

(2)送信バッファ空フラグ(ビット1)

UARTi送信バッファレジスタにデータを設定したとき、このフラグは“0”になります。UARTi送信バッファレジスタに設定したデータが、UARTi送信バッファレジスタからUARTi送信レジスタに転送されたとき、このフラグは“1”になります。

(3)受信許可ビット(ビット2)

このビットを“1”にすると、UARTiは受信許可状態になります。受信中にこのビットを“0”にすると、その時点で受信を中止し、受信禁止状態になります。

(4)受信完了フラグ(ビット3)

UARTi受信レジスタにデータが揃い、そのデータがUARTi受信バッファレジスタに転送されたとき(受信完了時)、このフラグは“1”になります。UARTi受信バッファレジスタの下位バイトを読み出したとき、又は受信許可ビット(ビット2)を“0”にしたとき、このフラグは“0”になります。

(5)オーバランエラーフラグ(ビット4)

「12.3.7 オーバランエラー検出時の処理」、「12.4.7 エラー検出時の処理」を参照してください。

(6)フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグ(ビット5~7)

「12.4.7 エラー検出時の処理」を参照してください。

12.2.4 UARTi送信レジスタ、UARTi送信バッファレジスタ

図12.2.5に送信部のブロック図を、図12.2.6にUARTi送信バッファレジスタのレジスタ構成を示します。

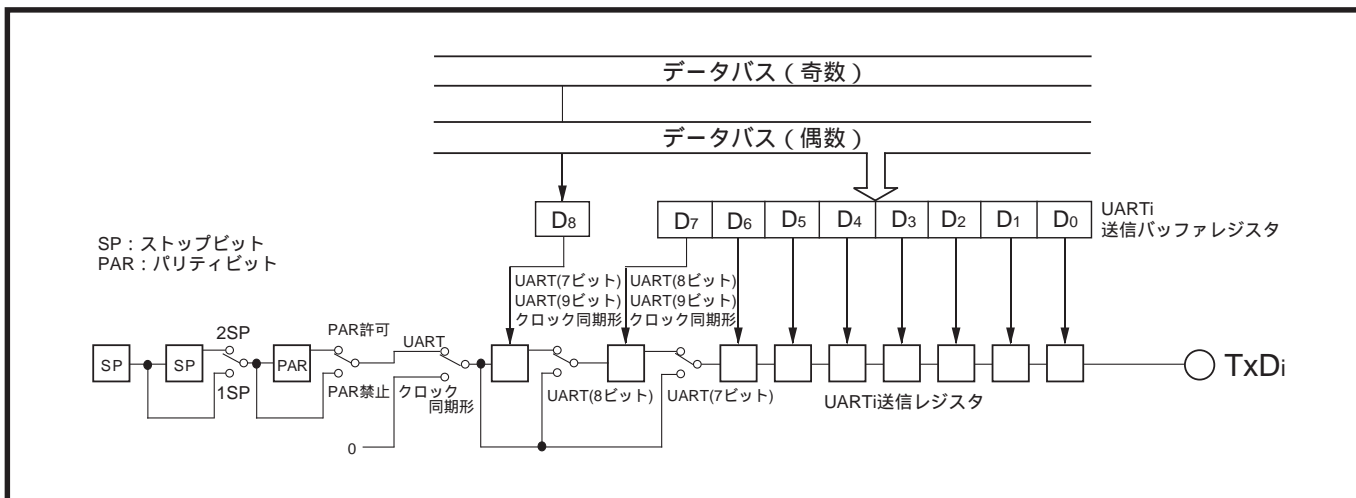


図12.2.5 送信部のブロック図

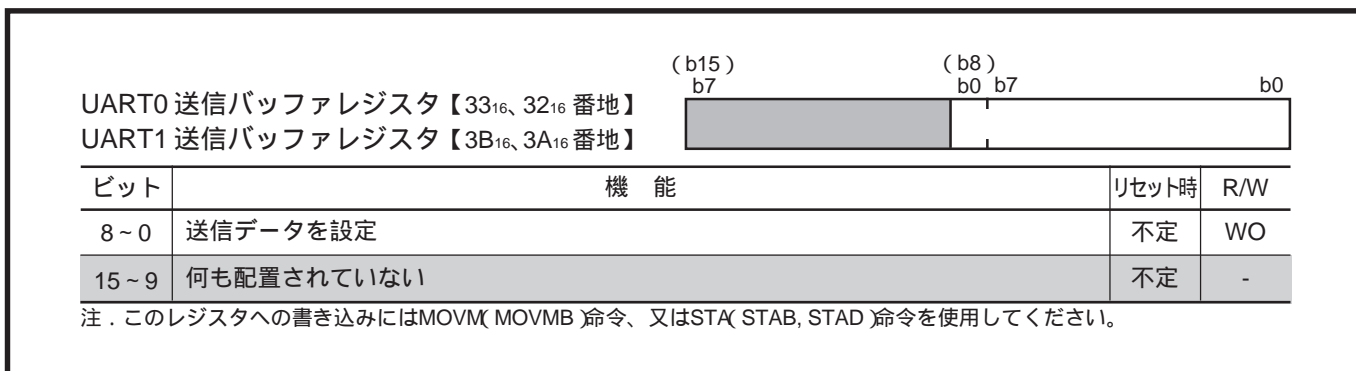


図12.2.6 UARTi送信バッファレジスタのレジスタ構成

UART_i送信バッファレジスタは送信データを設定するためのレジスタです。クロック同期形シリアルI/Oモード時、及びUARTモードで転送データ長7ビット、又は8ビットを選択したときは、このレジスタの下位バイトに送信データを設定します。UARTモードで転送データ長9ビットを選択したときは、このレジスタの上位バイトのビット0に送信データのビット8を、下位バイトに送信データのビット7~0を設定します。

UART_i送信バッファレジスタに設定した送信データは、送信条件が満たされると、UART_i送信レジスタに転送され、転送クロックに同期してTxD_i端子から出力されます。UART_i送信バッファレジスタに設定したデータがUART_i送信レジスタに転送されると、UART_i送信バッファレジスタは空になりますので、次の送信データを設定できます。

なお、クロック同期形シリアルI/OモードでMSBファーストを選択した場合は、設定したデータの、各ビットの位置を反転したデータが、送信データとしてUART_i送信バッファレジスタに書き込まれます(「12.3.2 転送データフォーマット」参照)。送信動作は、LSBファースト/MSBファーストのいずれかを選択した場合も同じです。

実行中の送信を中断してUART_i送信バッファレジスタを再設定する場合は、以下の手順で行ってください。

シリアルI/Oモード選択ビット(30₁₆、38₁₆番地のビット2~0)を“000₂”(シリアルI/Oは無効)にする。

シリアルI/Oモード選択ビットを再設定する。

送信許可ビット(35₁₆、3D₁₆番地のビット0)を“1”(送信許可)にして、UART_i送信バッファレジスタに送信データを設定する。

12.2.5 UARTi受信レジスタ、UARTi受信バッファレジスタ

図12.2.7に受信部のブロック図を、図12.2.8にUARTi受信バッファレジスタのレジスタ構成を示します。

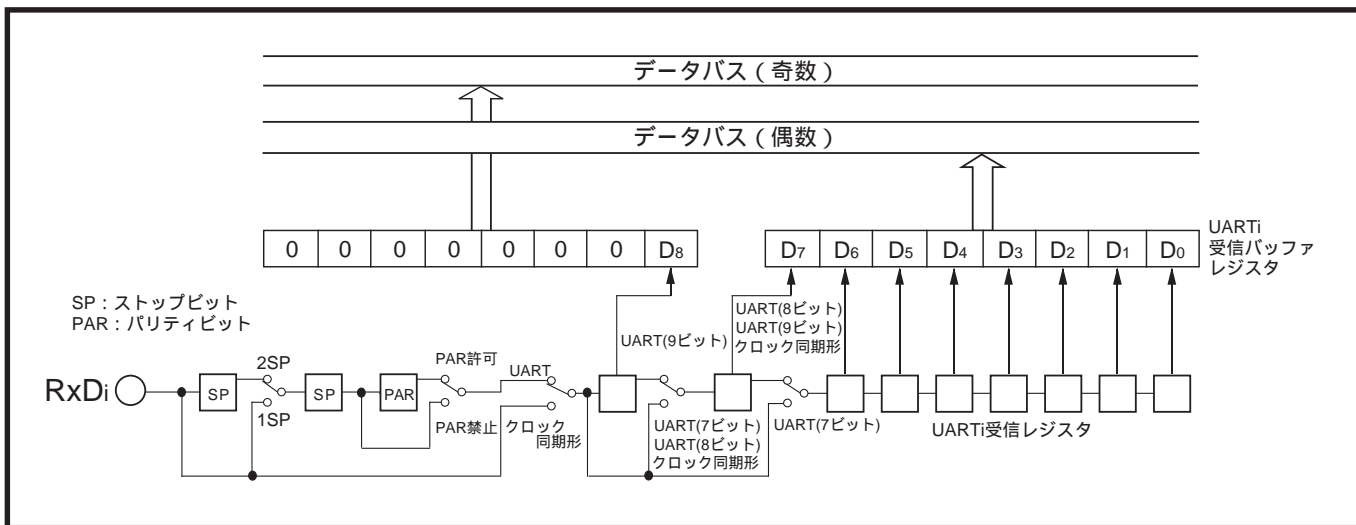


図12.2.7 受信部のブロック図

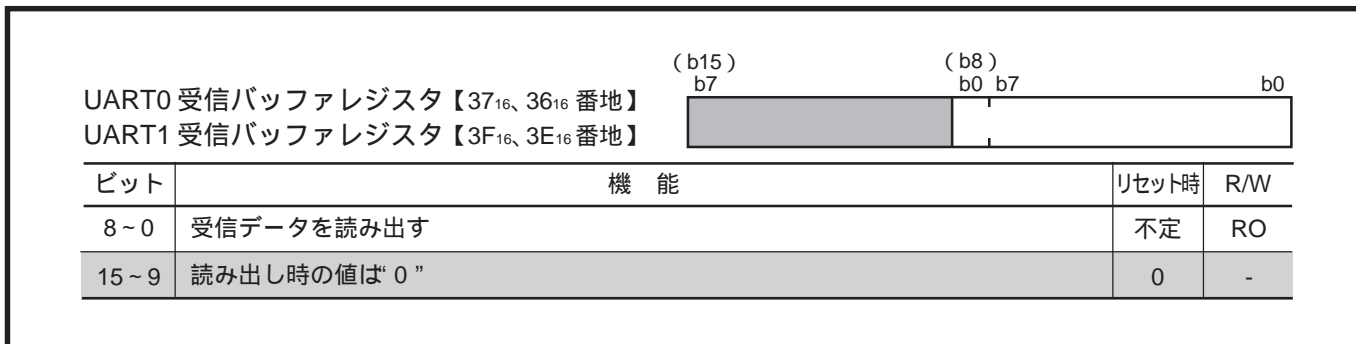


図12.2.8 UARTi受信バッファレジスタのレジスタ構成

UARTi受信レジスタはRxDi端子に入力される直列データを、並列データに変換するレジスタです。このレジスタは、転送クロックに同期してRxDi端子の入力信号を1ビットずつ取り込みます。

UARTi受信バッファレジスタは受信データを読み出すためのレジスタです。受信が完了すると、UARTi受信レジスタに取り込まれた受信データは、自動的にUARTi受信バッファレジスタに転送されます。UARTi受信バッファレジスタにデータが転送され、この内容を読み出す前に、次の受信データがUARTi受信レジスタに揃った(オーバーランエラーが発生した)場合、UARTi受信バッファレジスタの内容は更新されますので注意してください。

なお、クロック同期形シリアルI/OモードでMSBファーストを選択した場合は、UARTi受信バッファレジスタのデータの、各ビットの位置を反転したデータが、受信データとして読み出されます(「12.3.2 転送データフォーマット」参照)。受信動作は、LSBファースト/MSBファーストのいずれかを選択した場合も同じです。

UARTi受信バッファレジスタは、受信許可ビット(35₁₆、3D₁₆番地のビット2)を“0”にした後、再度“1”にすると初期化されます。

図12.2.9に受信完了時のUARTi受信バッファレジスタの内容を示します。

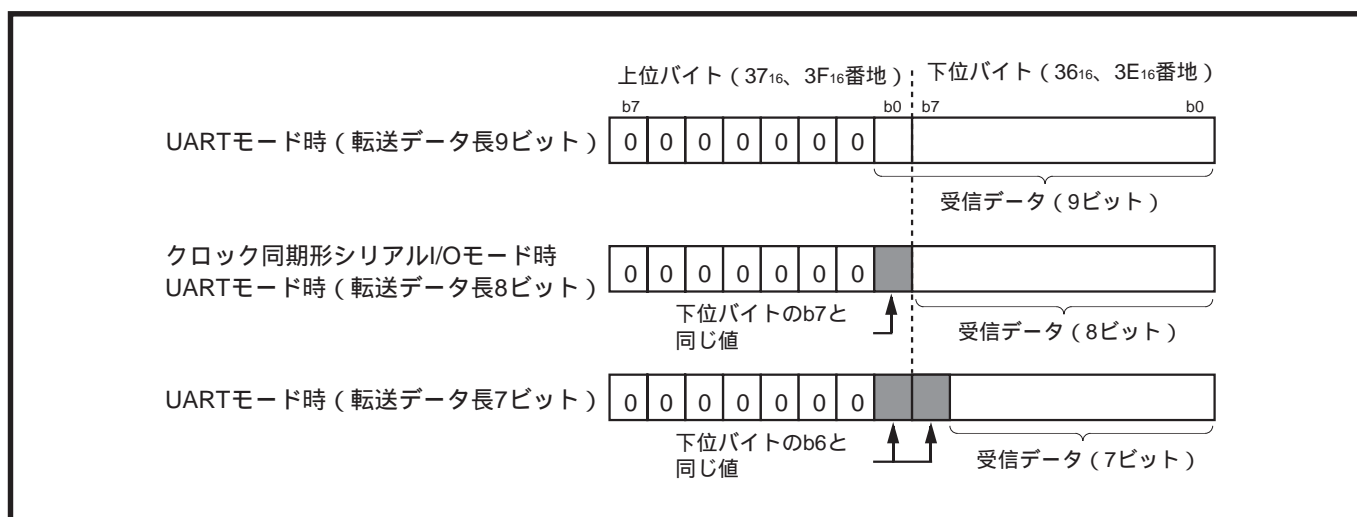


図12.2.9 受信完了時のUARTi受信バッファレジスタの内容

12.2.6 UARTi転送速度レジスタ(BRGi)

UARTi転送速度レジスタ(BRGi)は、UARTi専用の転送クロック発生用8ビットタイマで、リロードレジスタを持ちます。BRGiに設定された値を n ($00_{16} \sim FF_{16}$)とすると、BRGiはカウントソースを $n + 1$ 分周します。

クロック同期形シリアルI/Oモードでは、内部クロック選択時にBRGiが有効になり、BRGiの出力を2分周したクロックが転送クロックになります。UARTモードでは、BRGiは常に有効で、BRGiの出力を16分周したクロックが転送クロックになります。

なお、BRGiに書き込むと、送受信中か停止中かにかかわらず、タイマとリロードレジスタの両方に書き込まれます。したがって、これらのレジスタへの書き込みは送受信停止中に行ってください。

図12.2.10にUARTi転送速度レジスタ(BRGi)のレジスタ構成を、図12.2.11に転送クロック発生部のブロック図を示します。

UART0 転送速度レジスタ (BRG0)【31 ₁₆ 番地】		b7		b0	
UART1 転送速度レジスタ (BRG1)【39 ₁₆ 番地】					
ビット	機能	リセット時	R/W		
7~0	00 ₁₆ ~ FF ₁₆ を設定可能 設定値を n とすると、BRGiはカウントソースを $n + 1$ 分周する	不定	WO		

注．このレジスタへの書き込みは、送受信停止中に行ってください。また、このレジスタへの書き込みにはMOVW(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。

図12.2.10 UARTi転送速度レジスタ(BRGi)のレジスタ構成

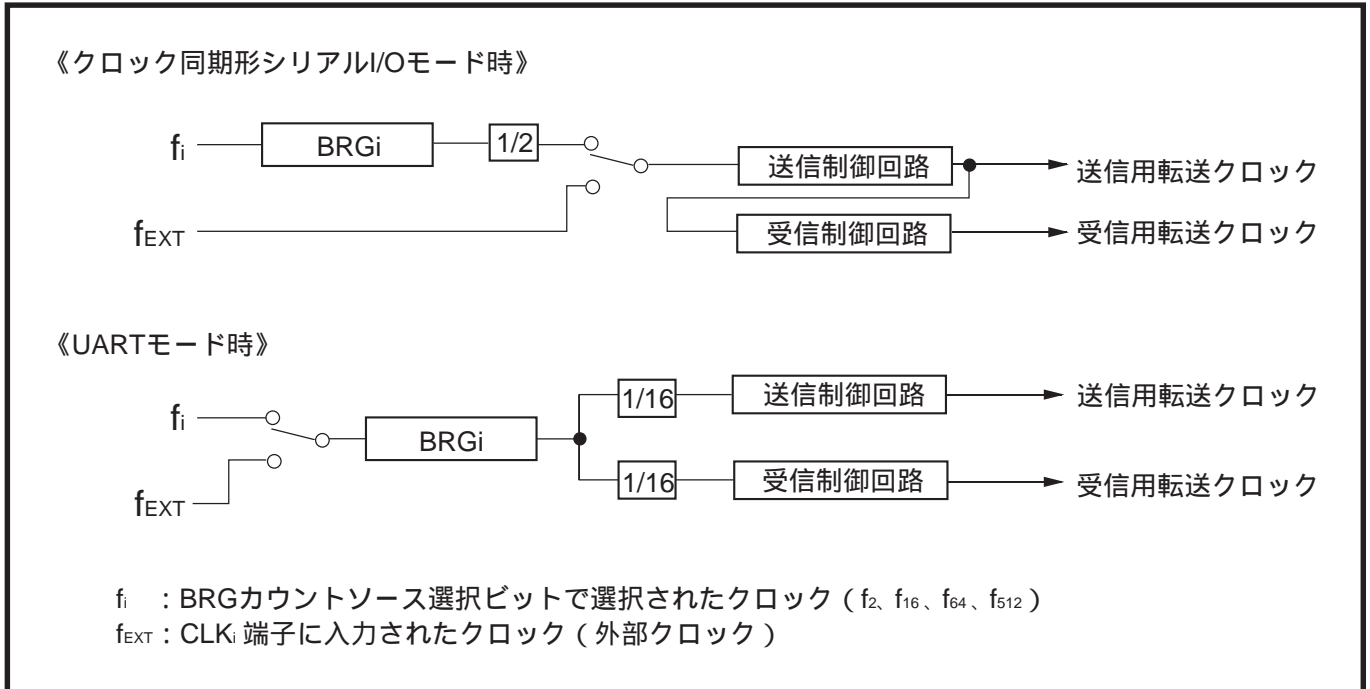


図12.2.11 転送クロック発生部のブロック図

12.2.7 UARTi送信割り込み制御レジスタ、UARTi受信割り込み制御レジスタ

UARTi使用時は2種類の割り込み(UARTi送信割り込み、UARTi受信割り込み)を使用できます。各割り込みはそれぞれ対応する割り込み制御レジスタを持ちます。図12.2.12にUARTi送信割り込み制御レジスタ、及びUARTi受信割り込み制御レジスタのレジスタ構成を示します。

割り込みについての詳細は「第7章 割り込み」を参照してください。

なお、UARTi受信割り込みは、UARTi受信割り込みモード選択ビット(34₁₆、3C₁₆番地のビット5)によって、受信割り込み、又は受信エラー割り込みが選択できます(「(2)割り込み要求ビット」参照)。

UART0 送信割り込み制御レジスタ【71 ₁₆ 番地】			
UART0 受信割り込み制御レジスタ【72 ₁₆ 番地】			
UART1 送信割り込み制御レジスタ【73 ₁₆ 番地】			
UART1 受信割り込み制御レジスタ【74 ₁₆ 番地】			
		b7 b6 b5 b4 b3 b2 b1 b0	
ビット	ビット名	機 能	リセット時 R/W
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0(割り込み禁止)	0 RW
1		0 0 1 : レベル1	0 RW
2		0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4	0 RW
		1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	
3	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0 RW (注)
7~4	何も配置されていない		不定 -

注 . このビットへの書き込みにはMOV_M MOV_MB 命令、又はSTA(STAB, STAD)命令を使用してください。

図12.2.12 UARTi送信割り込み制御レジスタ、及びUARTi受信割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット2~0)

UARTi送信割り込み、UARTi受信割り込みの優先レベルを選択するためのビットです。UARTi送信 / 受信割り込みを使用する場合は、レベル1~7を選択してください。UARTi送信 / 受信割り込み要求が発生すると、優先レベルとプロセッサ割り込み優先レベル(IPL)が比較され、優先レベルの方がIPLより大きい場合だけ、割り込みが許可されます(ただし、割り込み禁止フラグ(1)が“0”の場合)。UARTi送信 / 受信割り込みを禁止する場合は、このビットを“000₂(レベル0)”に設定してください。

(2) 割り込み要求ビット(ビット3)

UARTi送信割り込み要求ビットは、UARTi送信バッファレジスタからUARTi送信レジスタにデータが転送されたとき“1”になります。

UARTi受信割り込み要求ビットは、以下のように動作します。

受信割り込み選択(34₁₆、3C₁₆番地のビット5=0)時

UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送されたとき“1”になります(ただし、オーバランエラー発生時は変化しません)。

受信エラー割り込み選択(34₁₆、3C₁₆番地のビット5=1)時

エラー(クロック同期形シリアルI/Oモード時はオーバランエラー、UARTモード時はオーバランエラー、フレーミングエラー、パリティエラー)が発生したとき“1”になります。

その後、各割り込み要求が受け付けられると、このビットは自動的に“0”になります。また、このビットはソフトウェアによって“1”、又は“0”にできます。

12.2.8 シリアルI/O端子制御レジスタ

図12.2.13にシリアルI/O端子制御レジスタのレジスタ構成を示します。

シリアルI/O端子制御レジスタ【AC ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
ビット	ビット名	機能	リセット時	R/W				
0	CTS ₀ /RTS ₀ 分離選択ビット(注)	0 : CTS ₀ /RTS ₀ 共用 1 : CTS ₀ /RTS ₀ 分離	0	RW				
1	CTS ₁ /RTS ₁ 分離選択ビット(注)	0 : CTS ₁ /RTS ₁ 共用 1 : CTS ₁ /RTS ₁ 分離	0	RW				
2	TxD ₀ /P8 ₃ 切り替えビット	0 : TxD ₀ として機能 1 : P8 ₃ として機能	0	RW				
3	TxD ₁ /P8 ₇ 切り替えビット	0 : TxD ₁ として機能 1 : P8 ₇ として機能	0	RW				
7~4	読み出し時の値は“0”		0	-				

注 . CTS/RTS許可ビット(34₁₆、3C₁₆番地のビット4)が“0”のとき有効。

図12.2.13 シリアルI/O端子制御レジスタのレジスタ構成

(1) CTS₀/RTS₀分離選択ビット(ビット0)

「12.2.10 CTS/RTS機能」を参照してください。

(2) CTS₁/RTS₁分離選択ビット(ビット1)

「12.2.10 CTS/RTS機能」を参照してください。

(3) TxD₀/P8₃切り替えビット(ビット2)

このビットを“1”にするとTxD₀端子がプログラマブル入出力ポートP8₃として機能します。受信だけを行うときは、このビットを“1”にすることで、TxD₀端子をP8₃として使用できます。送信を行うときは、このビットを“0”にしてください。

(4) TxD₁/P8₇切り替えビット(ビット3)

このビットを“1”にするとTxD₁端子がプログラマブル入出力ポートP8₇として機能します。受信だけを行うときは、このビットを“1”にすることで、TxD₁端子をP8₇として使用できます。送信を行うときは、このビットを“0”にしてください。

12.2.9 ポートP8方向レジスタ

シリアルI/Oの入出力端子はポートP8と共用です。P8₁、P8₂、P8₅、P8₆端子をシリアルI/Oの入力端子 (CTS_i、RxD_i)として使用する場合は、ポートP8方向レジスタの対応するビットを“0”にして入力モードに設定してください。それ以外の端子 (CTS_i/RTS_i、CLK_i、TxD_i)として使用する場合は、方向レジスタの内容にかかわらず、強制的にシリアルI/Oの入出力端子になります。図12.2.14にポートP8方向レジスタとシリアルI/Oの入出力端子の対応を示します。詳細については各動作モードの節を参照してください。

ポートP8方向レジスタ【14 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0																	
		<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																	
ビット	対応する端子名	機能	リセット時	R/W															
0	CTS ₀ /RTS ₀ 端子 (INT ₃ 端子)	P8 ₁ 、P8 ₂ 、P8 ₅ 、P8 ₆ 端子をシリアルI/Oの入力端子 (CTS ₀ 、RxD ₀ 、CTS ₁ 、RxD ₁)として使用する場合は、対応するビットを“0”にしてください。	0	RW															
1	CTS ₀ /CLK ₀ 端子		1: 出力モード	0	RW														
2	RxD ₀ 端子		0	RW															
3	TxD ₀ 端子		0	RW															
4	CTS ₁ /RTS ₁ 端子 (INT ₄ 端子)		0	RW															
5	CTS ₁ /CLK ₁ 端子		0	RW															
6	RxD ₁ 端子		0	RW															
7	TxD ₁ 端子		0	RW															

注.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

図12.2.14 ポートP8方向レジスタとシリアルI/Oの入出力端子の対応

12.2.10 CTS/RTS機能

CTS機能を選択すると、 $\overline{\text{CTS}}_i$ 端子の入力信号が“L”レベルであることが送信条件の一つになります。
RTS機能を選択すると、 $\overline{\text{RTS}}_i$ 端子からは以下の信号が出力されます。

(1) クロック同期形シリアルI/Oモード時

受信許可ビット(35₁₆、3D₁₆番地のビット2)が“0”(受信禁止)のとき、“H”レベルを出力します。
受信許可ビットが“0”(受信禁止)のときは、受信許可ビットを“1”にすると“L”になります。
受信許可ビットが“1”(連続受信)のときは、UART_i受信バッファレジスタの下位バイトを読み出すと“L”になります。
受信が開始されると“H”になります。
なお、内部クロックを選択している場合(30₁₆、38₁₆番地のビット3が“0”のとき)は、 $\overline{\text{RTS}}$ 出力は不定になりますので、RTS機能を選択しないでください。

(2) UARTモード時

受信許可ビット(35₁₆、3D₁₆番地のビット2)が“0”(受信禁止)のとき、“H”レベルを出力します。
受信許可ビットが“0”(受信禁止)のときは、受信許可ビットを“1”にすると“L”になります。
受信許可ビットが“1”(連続受信)のときは、UART_i受信バッファレジスタの下位バイトを読み出すと“L”になります。
受信が開始されると“H”になります。

CTS機能、RTS機能は以下のビットによって選択できます。

- ・CTS/RTS機能選択ビット(34₁₆、3C₁₆番地のビット2：図12.2.3参照)
- ・CTS/RTS許可ビット(34₁₆、3C₁₆番地のビット4：図12.2.3参照)
- ・CTS₀/RTS₀分離選択ビット(AC₁₆番地のビット0：図12.2.13参照)
- ・CTS₁/RTS₁分離選択ビット(AC₁₆番地のビット1：図12.2.13参照)

表12.2.1にCTS/RTS機能の選択を示します。

表12.2.1 CTS/RTS機能の選択

CTS/RTS 許可ビット	CTS _i /RTS _i 分離選択ビット	CTS/RTS 機能選択ビット	機 能			
			P8 ₀ / $\overline{\text{CTS}}_0$ / $\overline{\text{RTS}}_0$ 端子	P8 ₁ / $\overline{\text{CTS}}_0$ /CLK ₀ 端子	P8 ₄ / $\overline{\text{CTS}}_1$ / $\overline{\text{RTS}}_1$ 端子	P8 ₅ / $\overline{\text{CTS}}_1$ /CLK ₁ 端子
0	0	0	$\overline{\text{CTS}}_0$	P8 ₁ 又はCLK ₀	$\overline{\text{CTS}}_1$	P8 ₅ 又はCLK ₁
		1	$\overline{\text{RTS}}_0$	P8 ₁ 又はCLK ₀	$\overline{\text{RTS}}_1$	P8 ₅ 又はCLK ₁
	1	×	$\overline{\text{RTS}}_0$	$\overline{\text{CTS}}$ (注1、2)	$\overline{\text{RTS}}_1$	$\overline{\text{CTS}}$ (注1、2)
1	×	×	P8 ₀	P8 ₁ 又はCLK ₀	P8 ₄	P8 ₅ 又はCLK ₁

×：“0”又は“1”いずれでもよい。

注1. P8₁又はP8₅端子を $\overline{\text{CTS}}_i$ 端子として使用する場合は、ポートP8方向レジスタの対応するビットを“0”にしてください。

2. CTS_i/RTS_i分離を選択した場合は、CLK端子を使用できません。したがって、クロック同期形シリアルI/Oモードでは、 $\overline{\text{CTS}}_i$ / $\overline{\text{RTS}}_i$ を分離できません。また、UARTモードで $\overline{\text{CTS}}_i$ / $\overline{\text{RTS}}_i$ を分離する場合は、内部クロックを選択してください。

12.3 クロック同期形シリアルI/Oモード

表12.3.1にクロック同期形シリアルI/Oモード時の性能概要を、表12.3.2に入出力端子の機能を示します。

表12.3.1 クロック同期形シリアルI/Oモード時の性能概要

項目	機能
転送データフォーマット	転送データ長8ビット LSBファースト、又はMSBファーストをソフトウェアによって選択できる
転送速度	内部クロック選択時 外部クロック選択時
	BRGiの出力の2分周クロック 最大 5Mbps
送信制御 / 受信制御	CTS機能、又はRTS機能をソフトウェアによって選択できる

表12.3.2 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD(P8 ₃ 、 P8 ₇)	シリアルデータ出力	-(受信だけを行うときはダミーデータを出力) (注) TxD ₀ /P8 ₃ 、 TxD ₁ /P8 ₇ 切り替えビット = 1
	プログラマブル入出力ポート	
RxD(P8 ₂ 、 P8 ₆)	シリアルデータ入力	ポートP8方向レジスタの対応するビット = 0 (送信だけを行うときは入出力ポートとして使用できる)
CLK(P8 ₁ 、 P8 ₅)	転送クロック出力	内 / 外部クロック選択ビット = 0
	転送クロック入力	内 / 外部クロック選択ビット = 1
CTS _i 、 RTS _i (P8 ₀ 、 P8 ₁ 、 P8 ₄ 、 P8 ₅)	CTS入力	表12.2.1参照
	RTS出力	
	プログラマブル入出力ポート	

ポートP8方向レジスタ：14₁₆番地

内 / 外部クロック選択ビット：30₁₆、38₁₆番地のビット3

TxD₀/P8₃切り替えビット：AC₁₆番地のビット2

TxD₁/P8₇切り替えビット：AC₁₆番地のビット3

注：UARTiの動作モード選択後、送信開始までは、TxDi端子は“H”レベルを出力します。

12.3.1 転送クロック(同期クロック)

データ転送は転送クロックに同期して行われます。転送クロックについては、以下の選択ができます。

転送クロックを内部で生成するか、外部から入力するかを選択
転送クロックの極性の選択

なお、転送クロックは送信制御回路の動作によって発生します。受信だけを行う場合も、送信許可ビットを“1”にし、UARTi送信バッファレジスタにダミーデータを設定して、送信制御回路を動作させてください。

(1) 転送クロックを内部で生成する

BRGカウントソース選択ビットで選択したカウントソースが、BRGiで分周され、その出力が更に2分周されて転送クロックになります。また、CLKi端子から転送クロックが出力されます。

$$\text{転送クロックの周波数} = \frac{f_i}{2(n+1)} \quad \begin{array}{l} f_i : \text{BRGiのカウントソースの周波数}(f_2, f_{16}, f_{64}, f_{512}) \\ n : \text{BRGiの設定値} \end{array}$$

(2) 転送クロックを外部から入力する

CLK_i端子に入力したクロックが転送クロックになります。

(3) 転送クロックの極性

図12.3.1に示すように、CLK極性選択ビット(3A₁₆、3C₁₆番地のビット6)によって転送クロックの極性を選択できます。

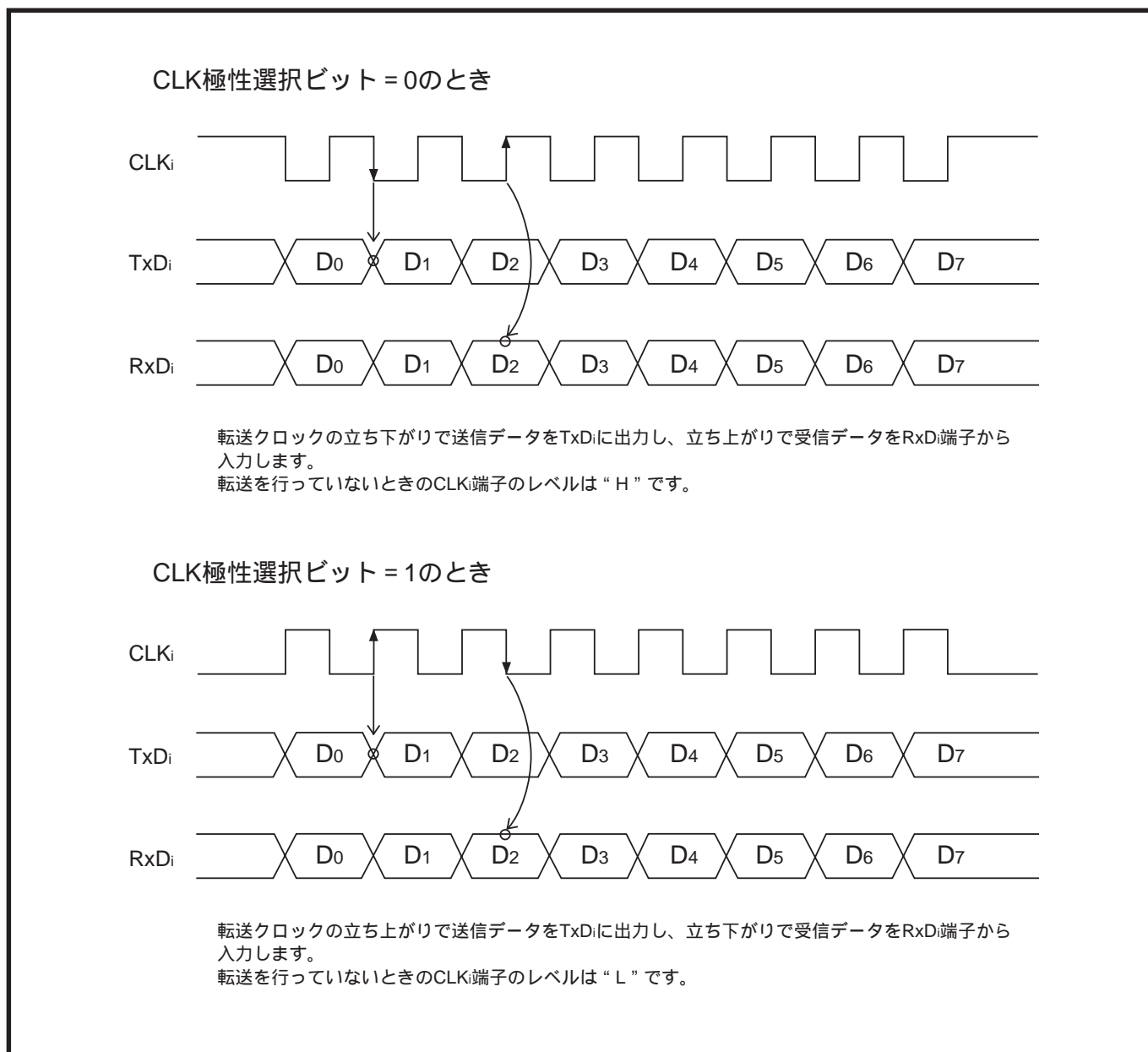


図12.3.1 転送クロックの極性

12.3.3 送信方法

図12.3.2に送信時の関連レジスタの初期設定例を示します。送信は、次の ~ の条件がすべて満たされたとき開始されます。外部クロック選択時は、以下の《前提条件》を満たしている状態で ~ の条件を満たすようにしてください。

《前提条件》

CLK_i端子の入力が“H”レベル(外部クロック選択、CLK極性選択ビット=0のとき)

CLK_i端子の入力が“L”レベル(外部クロック選択、CLK極性選択ビット=1のとき)

注．内部クロック選択時、この条件は無視されます。

UART_i送信バッファレジスタに送信データあり(送信バッファ空フラグ=0)

送信許可状態(送信許可ビット=1)

CTS_i端子の入力が“L”レベル(CTS機能選択時)

注．CTS機能を選択していない場合、この条件は無視されます。

なお、RTS_i端子(受信側)とCTS_i端子(送信側)を結線すると、送受信のタイミングを合わせることができます。詳細については、「12.3.6 受信動作」を参照してください。

割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

図12.3.3に送信開始後のデータの書き込みを、図12.3.4に送信完了の検出を示します。

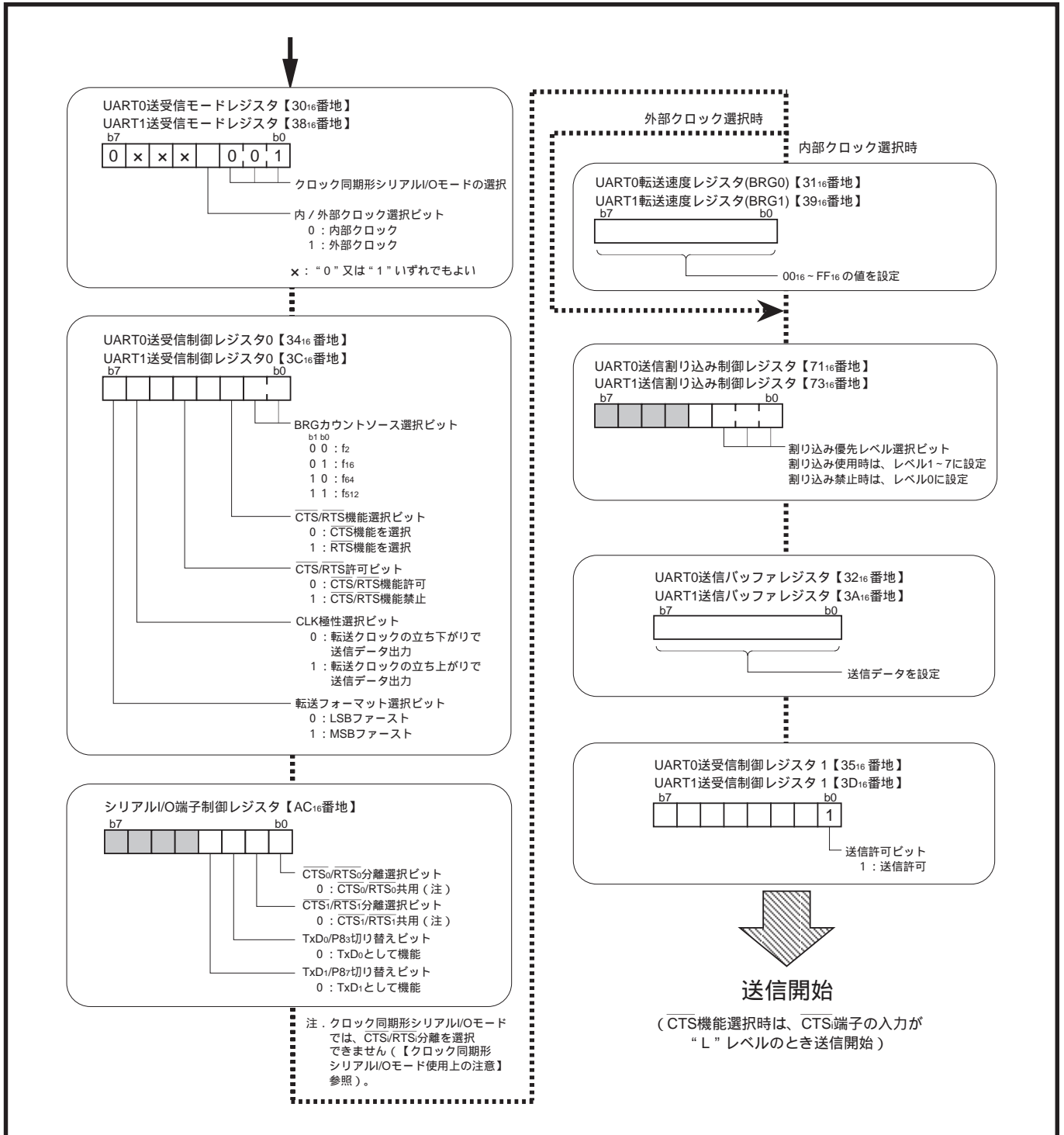


図12.3.2 送信時の関連レジスタの初期設定例

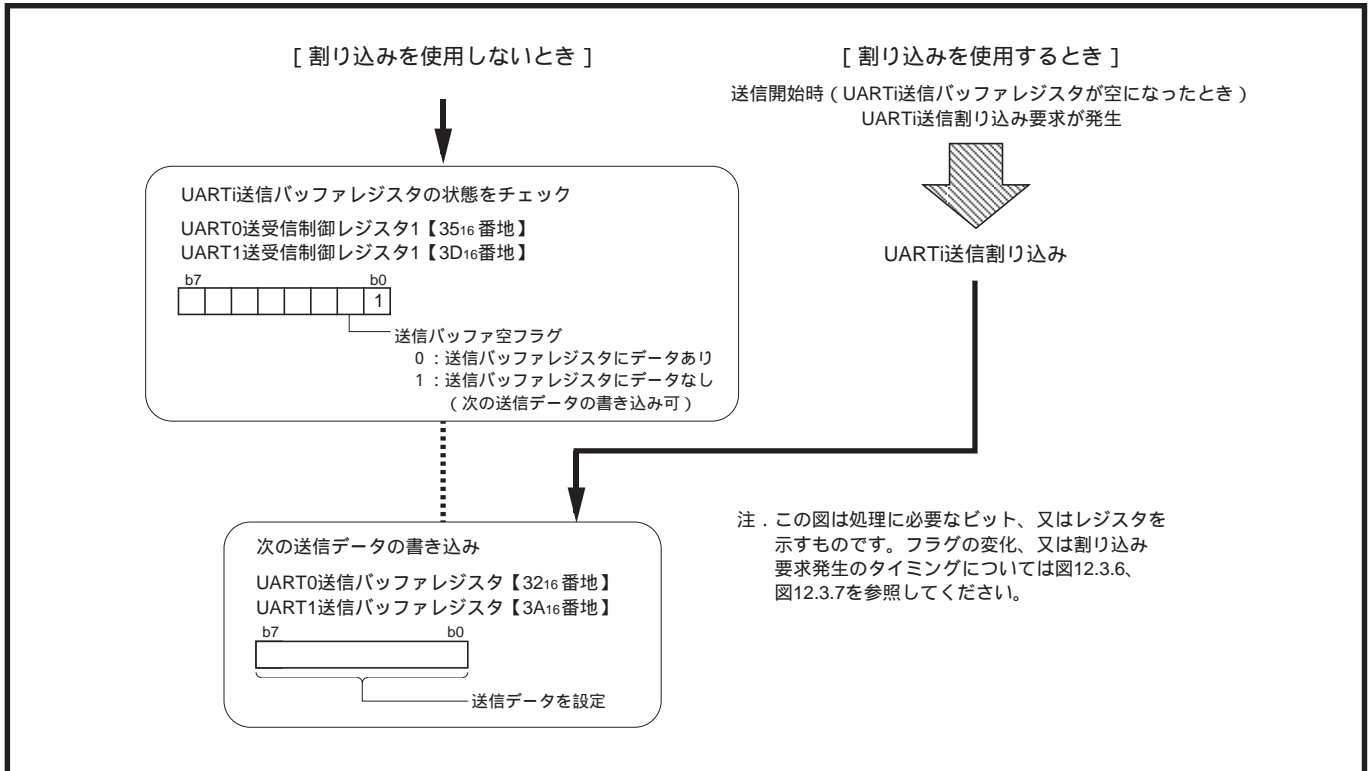


図12.3.3 送信開始後のデータの書き込み

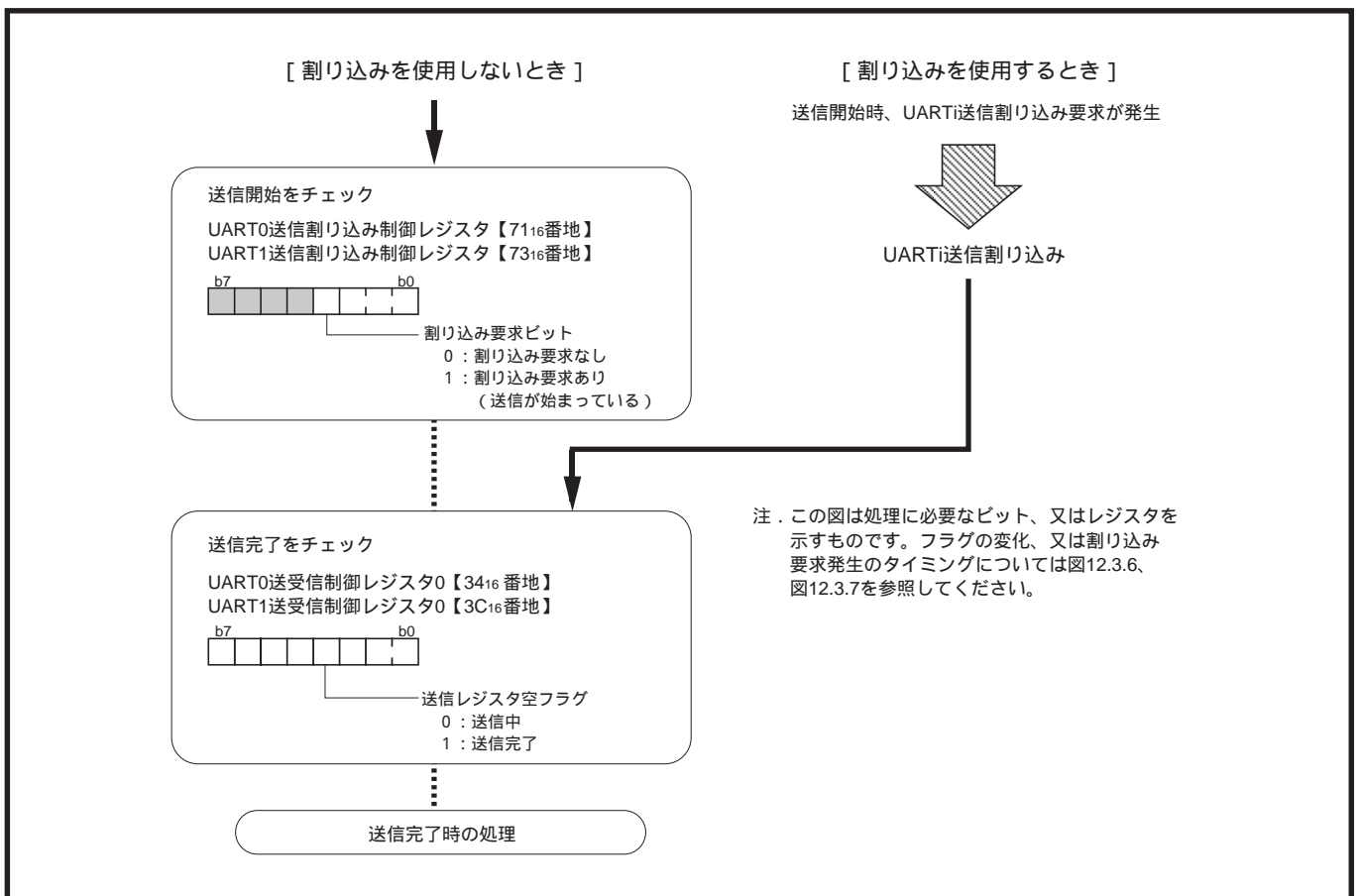


図12.3.4 送信完了の検出

12.3.4 送信動作

内部クロック選択時は、「12.3.3 送信方法」に示す送信条件(~)が満たされると転送クロックが生成され、転送クロックの最大1サイクル後に次の動作が自動的に行われます。外部クロック選択時は送信条件が満たされた後、CLK_i端子に外部クロックが入力されると、次の動作が自動的に行われます。

UART_i送信バッファレジスタの内容がUART_i送信レジスタに転送される
 送信バッファ空フラグが“1”になる
 送信レジスタ空フラグが“0”になる
 8個の転送クロックが発生する(内部クロック選択時)
 UART_i送信割り込み要求が発生し、割り込み要求ビットが“1”になる

以下に送信動作を説明します。

CLK_i端子から出力、又はCLK_i端子に入力されるクロックの有効エッジ*に同期して、UART_i送信レジスタ内のデータをTXD_i端子から送信します。

データは、下位ビットから順に1ビットずつ送信されます。

1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。

有効エッジ* : CLK極性選択ビット = 0のとき立ち下がり、1のとき立ち上がり

図12.3.5に送信動作を示します。

内部クロック選択時は、送信完了時に次のデータの送信条件が満たされていれば、転送クロックが続けて発生します。したがって、連続して送信を行う場合は、送信中(送信レジスタ空フラグ = 0のとき)にUART_i送信バッファレジスタに次の送信データを設定してください。次のデータの送信条件が満たされていない場合、転送クロックは“H”レベル(CLK極性選択ビット = 0のとき) 又は“L”レベル(CLK極性選択ビット = 1のとき)で停止します。

図12.3.6、図12.3.7に送信タイミング例を示します。

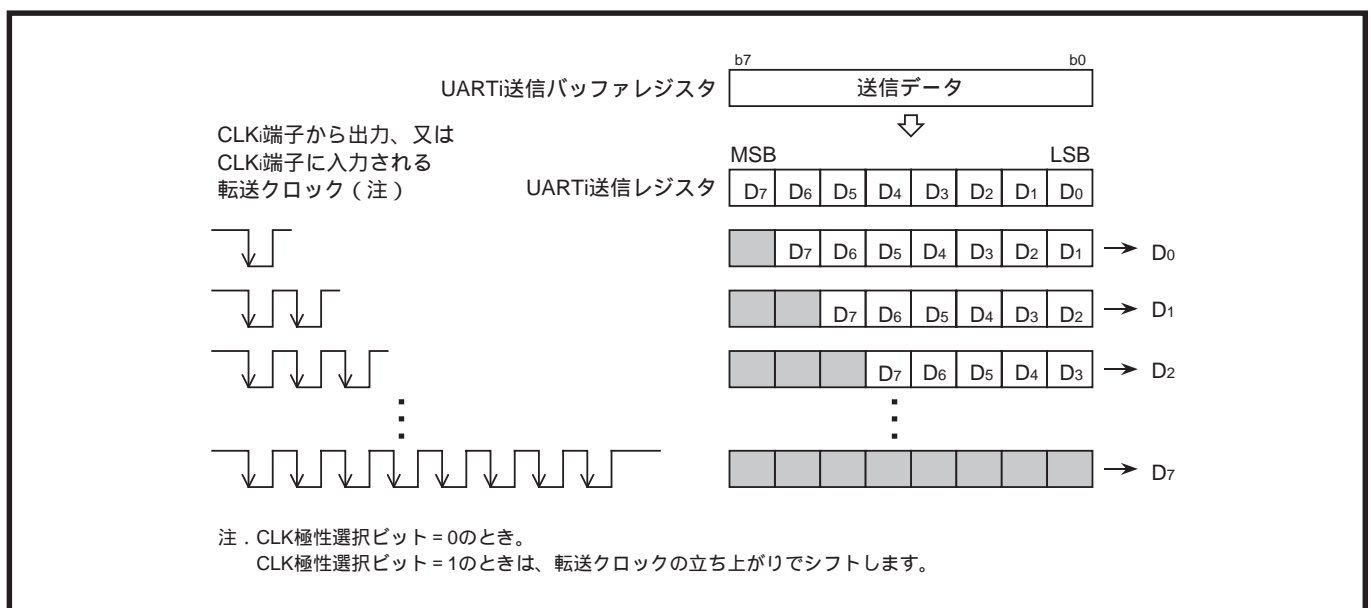


図12.3.5 送信動作

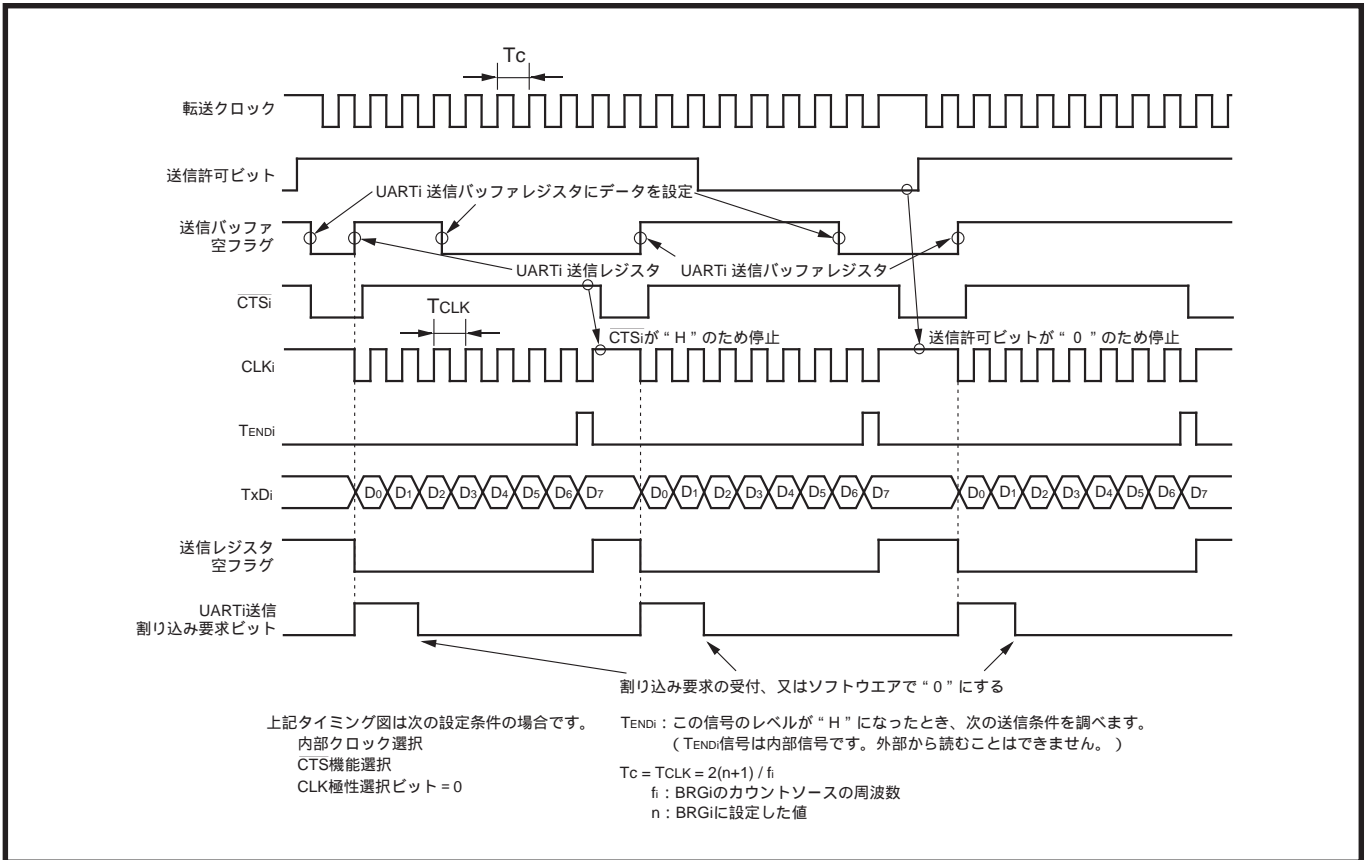


図12.3.6 送信タイミング例(内部クロック選択、CTS機能選択時)

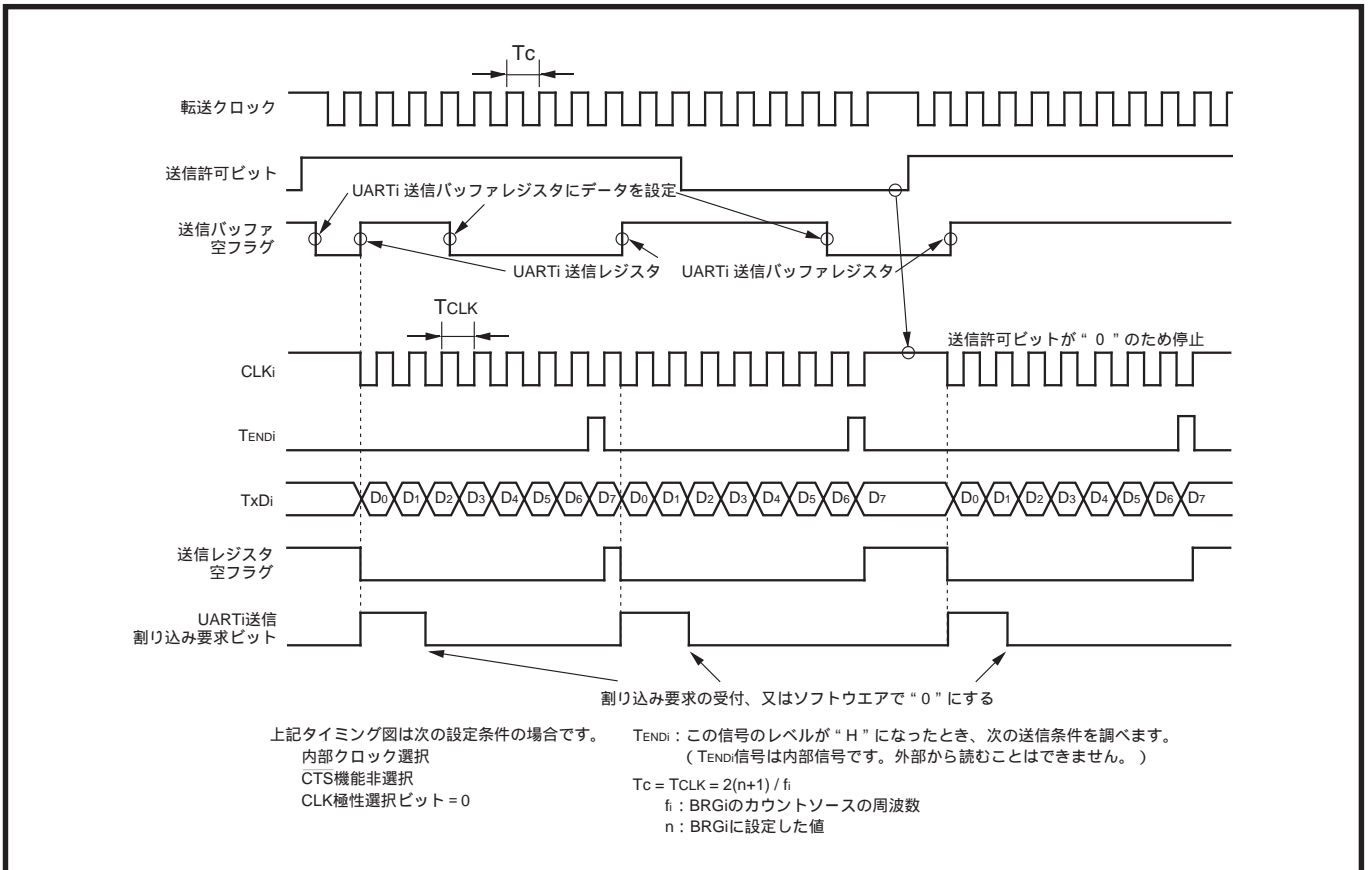


図12.3.7 送信タイミング例(内部クロック選択、CTS機能非選択時)

12.3.5 受信方法

図12.3.8に受信時の関連レジスタの初期設定例を示します。受信は、次の ~ の条件がすべて満たされたとき開始されます。外部クロック選択時は、以下の《前提条件》を満たしている状態で ~ の条件を満たすようにしてください。

《前提条件》

CLK_i端子の入力が“H”レベル(外部クロック選択、CLK極性選択ビット=0のとき)

CLK_i端子の入力が“L”レベル(外部クロック選択、CLK極性選択ビット=1のとき)

注：内部クロック選択時、この条件は無視されます。

UART_i送信バッファレジスタにダミーデータあり(送信バッファ空フラグ=0)

受信許可状態(受信許可ビット=1)

送信許可状態(送信許可ビット=1)

なお、RTS端子(受信側)とCTS端子(送信側)を結線すると、送受信のタイミングを合わせることができます。詳細については、「12.3.6 受信動作」を参照してください。

割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

図12.3.9に受信完了後の処理について示します。

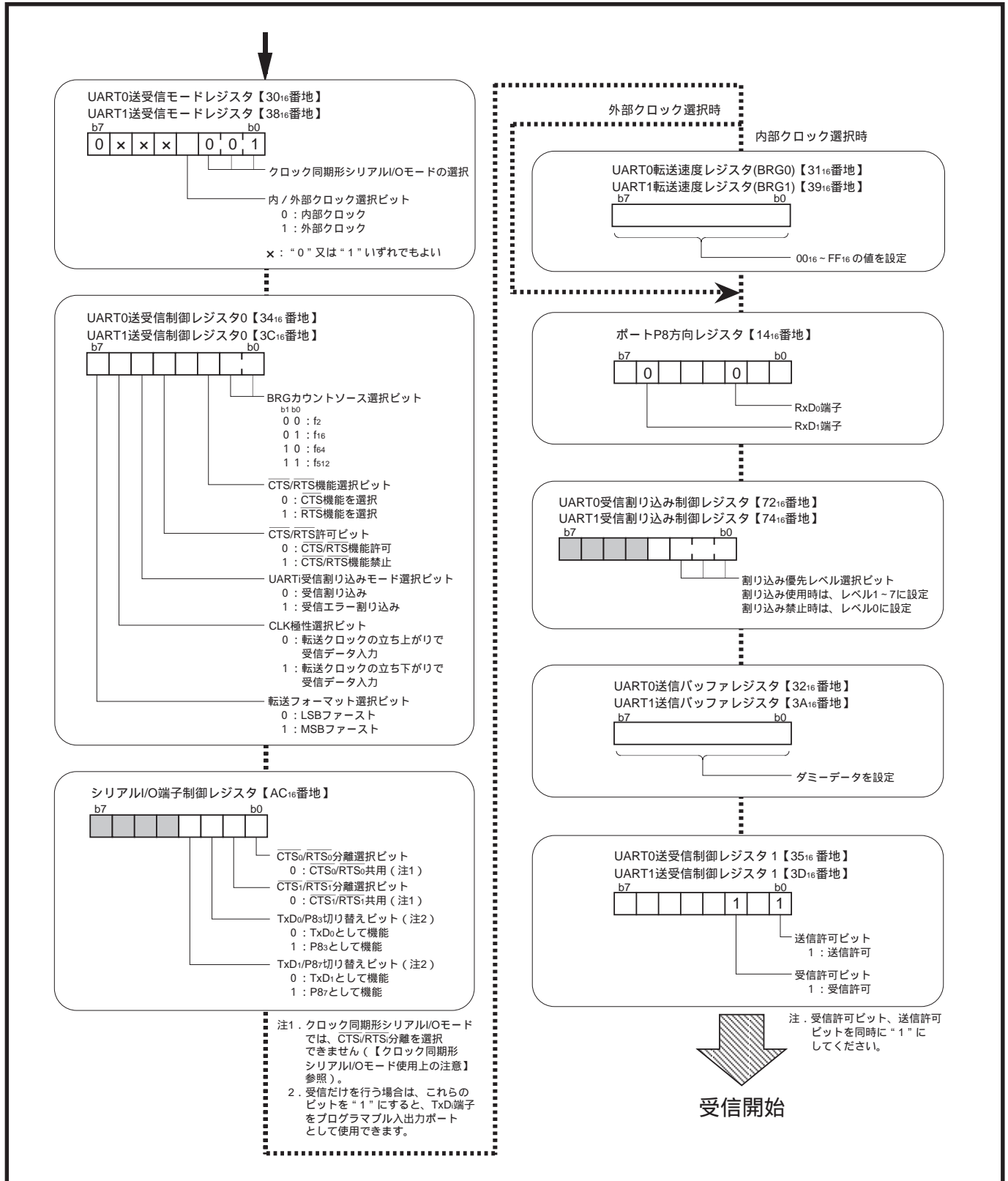


図12.3.8 受信時の関連レジスタの初期設定例

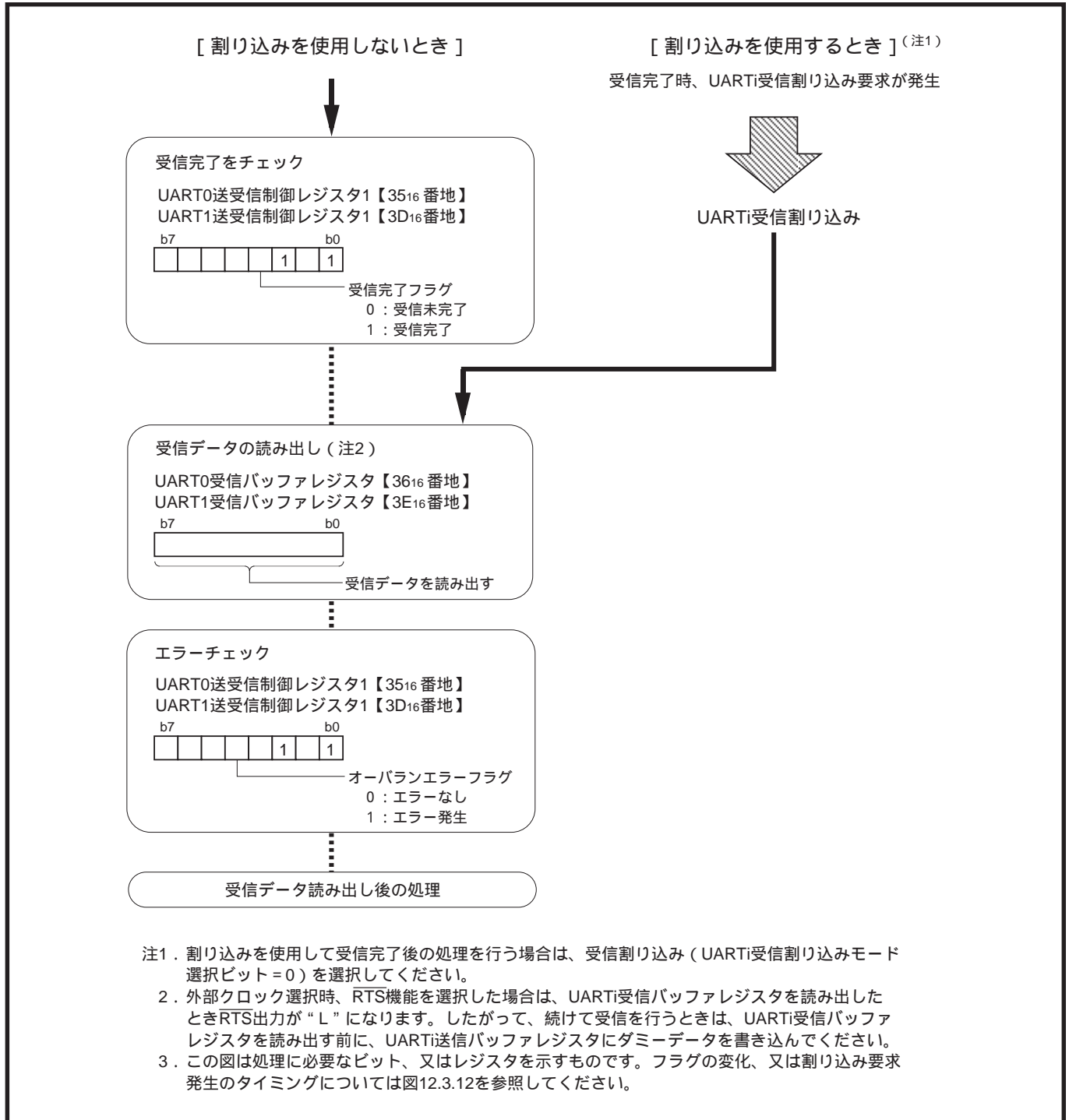


図12.3.9 受信完了後の処理

12.3.6 受信動作

内部クロック選択時は、「12.3.5 受信方法」に示す受信条件(~)が満たされると転送クロックが生成され、転送クロックの最大1サイクル後に受信が開始されます。外部クロック選択時は受信条件が満たされるとUARTiは受信可能状態になり、CLK端子に外部クロックが入力されると、受信を開始します。

外部クロック選択時、RTSi端子を送信側のCTS端子に結線すると、送受信のタイミングを合わせることができます。なお、内部クロック選択時はRTS出力が不定のため、RTS機能を使用しないでください。

外部クロック選択時、RTS機能を選択した場合は、RTSi端子の出力レベルは以下のようになります。

受信許可ビットが“0”のときは、受信許可ビットを“1”にする、又はUARTi受信バッファレジスタの下位バイトを読み出すと“L”になり、受信が可能になったことを送信側に知らせます。

受信許可ビットが“1”のときは、UARTi受信バッファレジスタの下位バイトを読み出すと“L”になります。したがって、続けて受信を行うときは、受信データを読み出すまでRTS出力が“L”にならないため、オーバーランエラーを防ぐことができます。

受信が開始されると、“H”になります。

図12.3.10に結線例を示します。

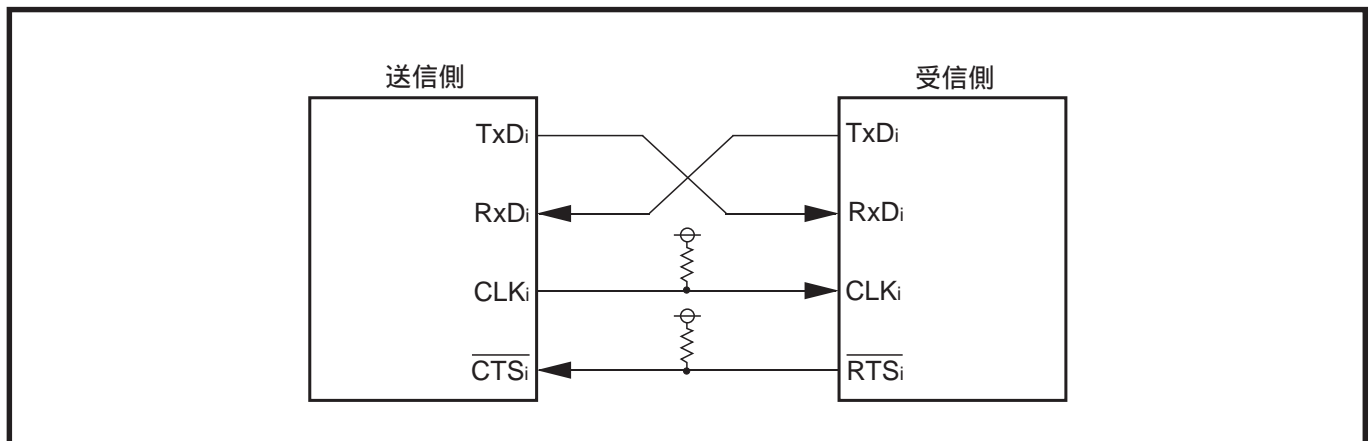


図12.3.10 結線例

以下に受信動作を説明します。

CLKi端子から出力、又はCLKi端子に入力されるクロックの有効エッジ*に同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。

UARTi受信レジスタの内容を1ビット右にシフトします。

、 をCLKi端子から出力、又はCLKi端子に入力されるクロックの有効エッジごとに繰り返します。UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。

と同時に受信完了フラグが“1”になります。また、受信割り込み選択(UARTi受信割り込みモード選択ビット=0)時は、UARTi受信割り込み要求が発生し、割り込み要求ビットが“1”になります。

有効エッジ* : CLK極性選択ビット=0のとき立ち上がり、1のとき立ち下がり

受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき、“0”になります。図12.3.11に受信動作を、図12.3.12に受信タイミング例(外部クロック選択時)を示します。

なお、転送フォーマット選択ビットが“1”(MSBファースト)のときは、UARTi受信バッファレジスタを読み出すと、このレジスタの内容の各ビットの位置を反転したデータが読み出されます。

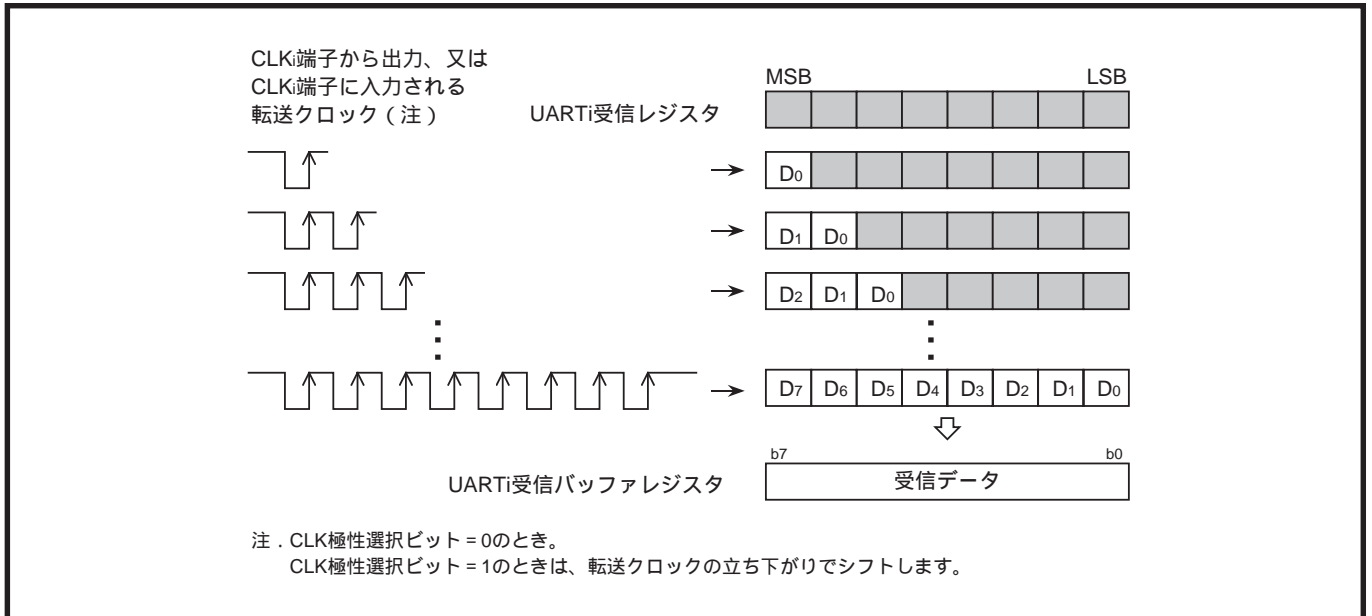


図12.3.11 受信動作

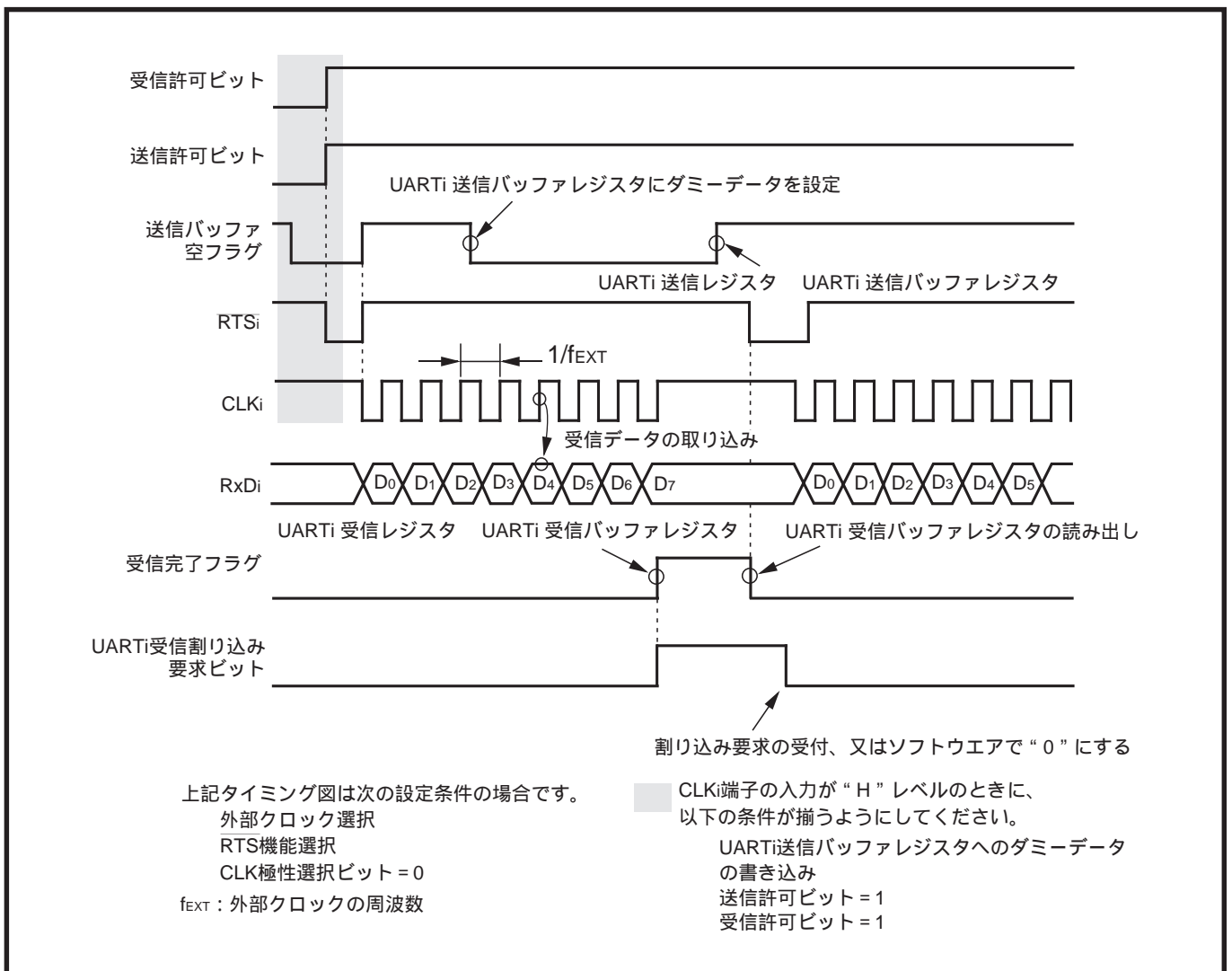


図12.3.12 受信タイミング例(外部クロック選択時)

12.3.7 オーバランエラー検出時の処理

クロック同期形シリアルI/Oモードでは、オーバランエラーを検出できます。

オーバランエラーは、受信完了フラグが 1 (UARTi受信バッファレジスタにデータあり)の状態、UARTi受信レジスタに次のデータが揃い、UARTi受信バッファレジスタに転送されたとき、すなわち、UARTi受信バッファレジスタの内容を読み出す前に次の受信データが揃ったとき、発生します。オーバランエラーが発生した場合、UARTi受信バッファレジスタには次のデータが書き込まれます。また、受信エラー割り込み選択 (UARTi受信割り込みモード選択ビット = 1) 時は、UARTi受信割り込み要求が発生し、割り込み要求ビットが 1 になります。受信割り込み選択 (UARTi受信割り込みモード選択ビット = 0) 時は、UARTi受信割り込み要求ビットは変化しません。

オーバランエラーは、UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送される時検出され、オーバランエラーフラグが 1 になります。オーバランエラーフラグは受信許可ビットを 0 にすると、 0 になります。

受信時、オーバランエラーが発生した場合は、オーバランエラーフラグ、及びUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。また、送信時、受信側のオーバランエラー発生によって再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信を行ってください。

UARTi受信バッファレジスタを初期化する方法、UARTi送信バッファレジスタを再設定する方法を以下に示します。

(1) UARTi受信バッファレジスタを初期化する方法

- 受信許可ビットを 0 (受信禁止)にする。
- 受信許可ビットを再度 1 (受信許可)にする。

(2) UARTi送信バッファレジスタを再設定する方法

- シリアルI/Oモード選択ビットを 000_2 (シリアルI/Oは無効)にする。
- シリアルI/Oモード選択ビットに 001_2 を再設定する。
- 送信許可ビットを 1 (送信許可)にし、UARTi送信バッファレジスタに送信データを設定する。

【クロック同期形シリアルI/Oモード使用上の注意】

1. 転送クロックは送信制御回路の動作によって発生します。したがって、受信だけを行う場合も、送信動作（送信のための設定）を行う必要があります。このとき、以下のように設定してください。また、この場合、TxDi端子からはダミーデータが外部に出力されます。
 - ・受信を行うときは、UARTi送信バッファレジスタの下位バイトへダミーデータを設定した後、受信を許可してください。また、1バイトデータの受信ごとにダミーデータを設定してください。
 - ・受信時、受信許可ビットと送信許可ビットは同時に“1”にしてください。なお、受信だけを行う場合は、TxDo/P8₃、TxDi/P8₇切り替えビット(AC₁₆番地のビット2、3)を“1”にすると、TxDi端子をプログラマブル入出力端子として使用できます。

2. 外部クロック選択時は、CLK_i端子の入力が“H”レベル(CLK極性選択ビット=0のとき)、又は“L”レベル(CLK極性選択ビット=1のとき)の状態、以下の3条件が揃うようにしてください。

《送信時》

UARTi送信バッファレジスタへの送信データの書き込み
送信許可ビットを“1”に設定
CTS_i端子への“L”レベルの入力(CTS機能選択時)

《受信時》

UARTi送信バッファレジスタへのダミーデータの書き込み
受信許可ビットを“1”に設定
送信許可ビットを“1”に設定

3. CTS_i/RTS_i分離を選択した場合は、CLK_i端子を使用できません。したがって、クロック同期形シリアルI/OモードではCTS_i/RTS_iを分離できません。
4. UARTi転送速度レジスタ(BRG_i)への書き込みは、送受信停止中に行ってください。
5. 内部クロック選択時は、RTS出力が不定のため、RTS機能を使用しないでください。
6. 送信を行うときは、TxDo/P8₃、TxDi/P8₇切り替えビット(AC₁₆番地のビット2、3)を“0”にしてください。

12.4 クロック非同期形シリアルI/O(UART)モード

表12.4.1にUARTモード時の性能概要を、表12.4.2に入出力端子の機能を示します。

表12.4.1 UARTモード時の性能概要

項 目		機 能
転送データ フォーマット	スタートビット	1ビット
	キャラクタビット(転送データ)	7ビット、8ビット、又は9ビット
	パリティビット	0ビット、又は1ビット(奇数、又は偶数を選択できる)
	ストップビット	1ビット、又は2ビット
転送速度	内部クロック選択時	BRGiの出力の16分周クロック
	外部クロック選択時	最大 312.5kbps
エラー検出		エラーフラグ4種類(オーバラン、フレーミング、パリティ、エラーサム) エラーの有無はエラーサムフラグの判定だけで可能

表12.4.2 UARTモード時の入出力端子の機能

端 子 名	機 能	選 択 方 法
TxD(P8 ₃ 、P8 ₇)	シリアルデータ出力	- (注)
	プログラマブル入出力ポート	TxD ₀ /P8 ₃ 、TxD ₁ /P8 ₇ 切り替えビット = 1
RxD(P8 ₂ 、P8 ₆)	シリアルデータ入力	ポートP8方向レジスタの対応するビット = 0 (送信だけを行うときは入出力ポートとして使用できる)
CLK(P8 ₁ 、P8 ₅)	BRGiのカウントソース入力	内 / 外部クロック選択ビット = 1
	プログラマブル入出力ポート	内 / 外部クロック選択ビット = 0
CTS _i 、RTS _i (P8 ₀ 、P8 ₁ 、P8 ₄ 、 P8 ₅)	CTS入力	表12.2.1参照
	RTS出力	
	プログラマブル入出力ポート	

ポートP8方向レジスタ：14₁₆番地

内 / 外部クロック選択ビット：30₁₆、38₁₆番地のビット3

TxD₀/P8₃切り替えビット：AC₁₆番地のビット2

TxD₁/P8₇切り替えビット：AC₁₆番地のビット3

注 . UARTiの動作モード選択後、送信を行っていないときは、TxD_i端子は“H”レベルを出力します。

12.4.1 転送速度(転送クロックの周波数)

転送速度は、BRGi(31₁₆、39₁₆番地)によって設定できます。

BRGiにnを設定すると、BRGiはカウントソースをn+1分周します。BRGiで分周されたクロックは更に16分周されて、転送クロックになります。したがって、nは次式で表されます。

$$n = \frac{F}{16 \times B} - 1$$

n : BRGiの設定値(00₁₆ ~ FF₁₆)
F : BRGiのカウントソースの周波数[Hz]
B : 転送速度[bps]

BRGiのカウントソースには、内/外部クロック選択ビット(30₁₆、38₁₆番地のビット3)によって内部クロック、又は外部クロックのいずれかを選択できます。内部クロック選択時は、BRGカウントソース選択ビット(34₁₆、3C₁₆番地のビット0、1)によって選択したクロックが、BRGiのカウントソースになります。外部クロック選択時は、CLK_i端子に入力したクロックが、BRGiのカウントソースになります。

転送速度は送受信間で同じ値に設定してください。表12.4.3、表12.4.4に転送速度設定例を示します。この設定例は、実現したい転送速度に対する誤差が±1%以内の速度(実時間)を実現できる設定値だけを示しています。

表12.4.3 転送速度設定例(1)

転送速度 (bps)	f _{sys} =19.6608MHz		
	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)
300	f ₆₄	63(3F ₁₆)	300.00
600	f ₁₆	127(7F ₁₆)	600.00
1200	f ₁₆	63(3F ₁₆)	1200.00
2400	f ₁₆	31(1F ₁₆)	2400.00
4800	f ₂	127(7F ₁₆)	4800.00
9600	f ₂	63(3F ₁₆)	9600.00
14400	f ₂	42(2A ₁₆)	14288.37
19200	f ₂	31(1F ₁₆)	19200.00
31250			
38400	f ₂	15(0F ₁₆)	38400.00

注：周辺装置用クロック選択ビット1、α(BC₁₆番地のビット7、6)="00₂"の場合です。

表12.4.4 転送速度設定例(2)

転送速度 (bps)	f _{sys} =11.0592MHz			f _{sys} =26MHz		
	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)
300	f ₆₄	35(23 ₁₆)	300.00	f ₆₄	84(54 ₁₆)	298.71
600	f ₁₆	71(47 ₁₆)	600.00	f ₁₆	168(A8 ₁₆)	600.96
1200	f ₁₆	35(23 ₁₆)	1200.00	f ₁₆	84(54 ₁₆)	1194.85
2400	f ₁₆	18(12 ₁₆)	2400.00	f ₁₆	41(29 ₁₆)	2418.15
4800	f ₂	71(47 ₁₆)	4800.00	f ₂	168(A8 ₁₆)	4807.69
9600	f ₂	35(23 ₁₆)	9600.00	f ₂	84(54 ₁₆)	9558.82
14400	f ₂	23(18 ₁₆)	14400.00	f ₂	55(37 ₁₆)	14508.93
19200	f ₂	17(11 ₁₆)	19200.00	f ₂	41(29 ₁₆)	19345.24
28800	f ₂	11(0B ₁₆)	28800.00	f ₂	27(1B ₁₆)	29017.86
31250	f ₂	10(0A ₁₆)	31418.18	f ₂	25(19 ₁₆)	31250.00
38400	f ₂	8(08 ₁₆)	38400.00	f ₂	20(14 ₁₆)	38690.48
57600	f ₂	5(05 ₁₆)	57600.00	f ₂	13(0D ₁₆)	58035.71
115200	f ₂	3(03 ₁₆)	115200.00	f ₂	6(06 ₁₆)	116071.42

注：周辺装置用クロック選択ビット1、α(BC₁₆番地のビット7、6)="00₂"の場合です。

転送速度の誤差許容範囲

受信時、RxD_i端子に入力される受信データは、転送クロックの立ち上がりで取り込まれます(「12.4.6 受信動作」参照)。したがって、データを正しく受信するためには、一組の受信データの最後の転送クロックが立ち上がるときに、ストップビットが入力されている必要があります。図12.4.1に転送クロックと受信データの関係を示します。

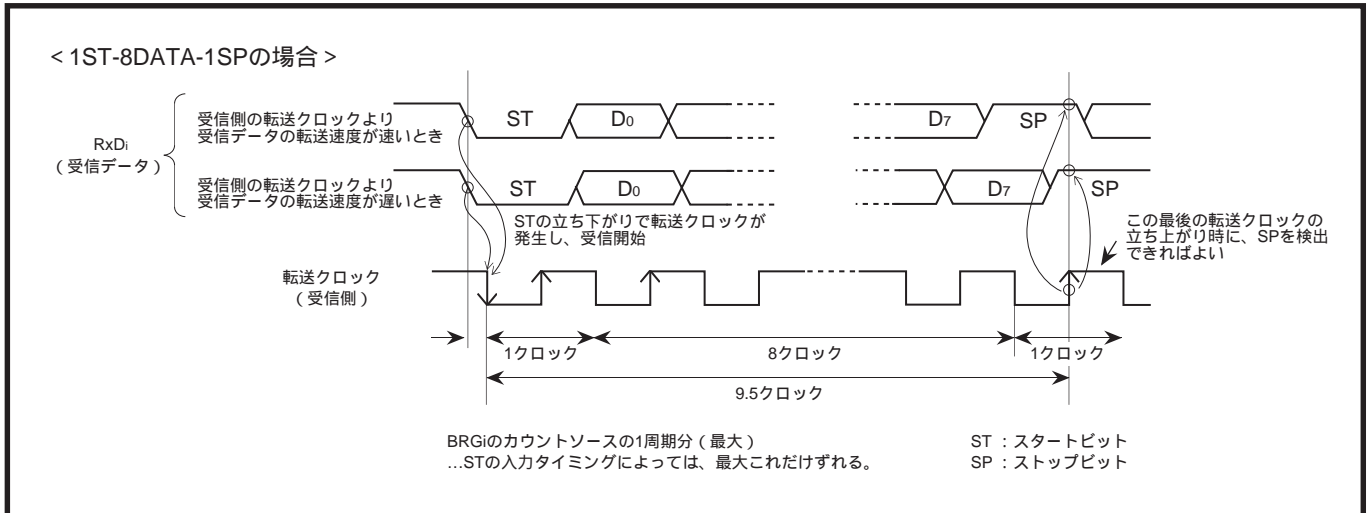


図12.4.1 転送クロックと受信データの関係

したがって、データを正しく受信するためには、受信側 / 送信側の転送速度が次式の関係を満たしている必要があります。

$$\left(\frac{1}{B_t} \times (b - 1) + \frac{1}{F} \right) < \left(\frac{1}{B_r} \times (b - 0.5) + \frac{1}{F} \right) < \left(\frac{1}{B_t} \times b \right)$$

Br : 受信側の転送速度 [bps]

Bt : 送信側の転送速度 [bps]

F : 受信側のBRGiのカウントソースの周波数 [Hz]

b : 一組のデータの全ビット数

(例 : 1ST-8DATA-1PAR-2SPの場合、12ビット ; 図12.4.2参照)

なお、上式の関係を満たした上で、十分余裕を持って設定してください。また、ユーザアプリケーションにおいて十分な評価をしてください。

12.4.2 転送データフォーマット

転送データフォーマットには図12.4.2に示すいずれかを選択できます。転送データフォーマットの選択は、30₁₆、38₁₆番地のビット4～6によって行います(図12.2.2参照)。送信側と受信側の転送データフォーマットは、同一に設定してください。

図12.4.3に転送データフォーマット例を示します。また、表12.4.5に送信データの各ビットの機能を示します。

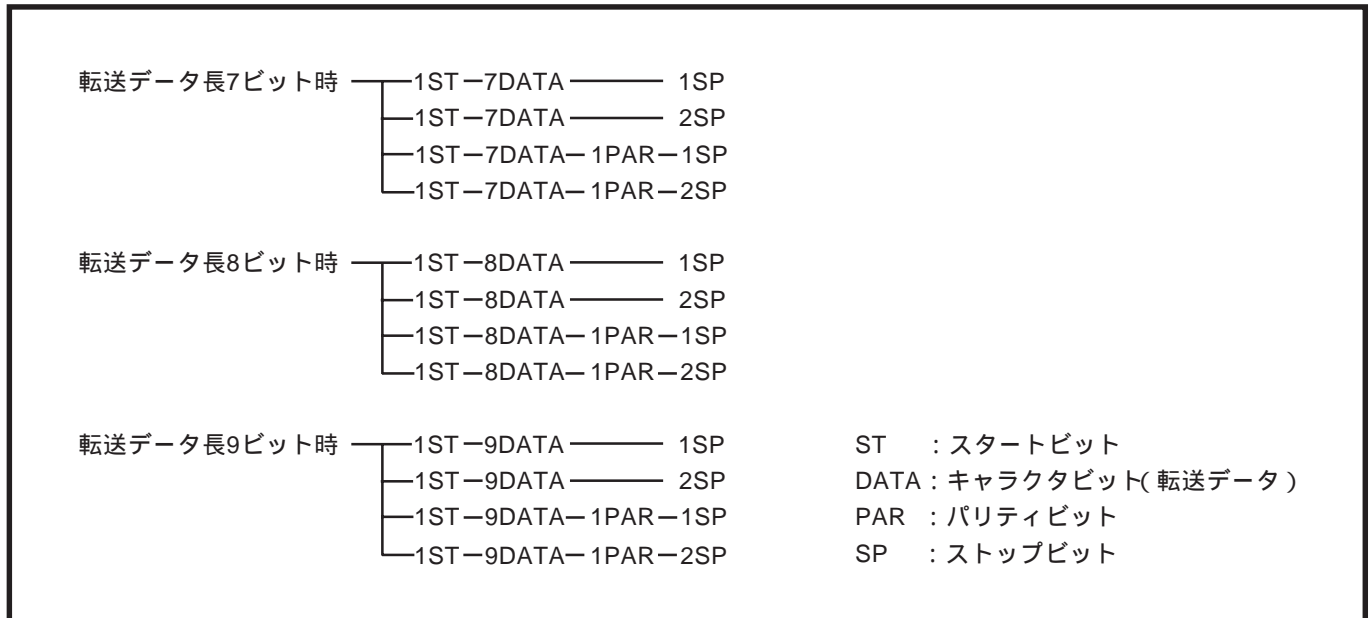


図12.4.2 転送データフォーマット

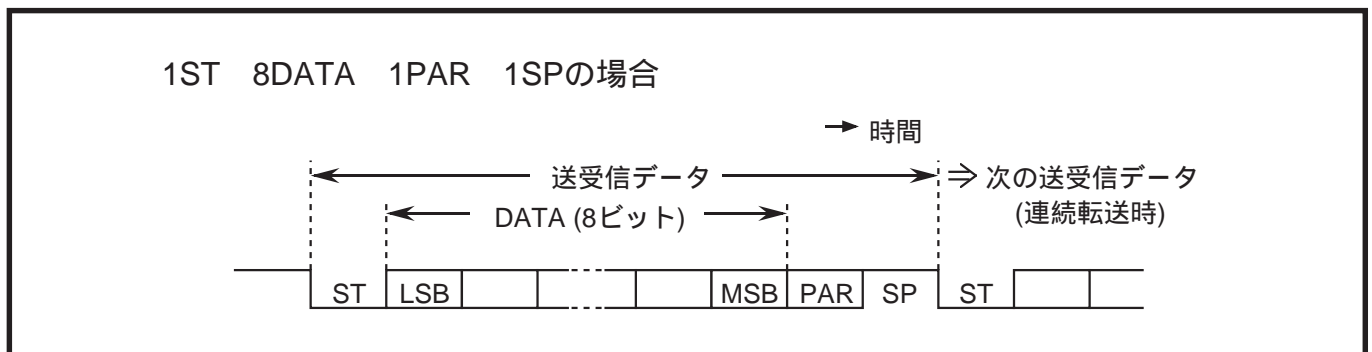


図12.4.3 転送データフォーマット例

表12.4.5 送信データの各ビットの機能

名称	機能
ST スタートビット	キャラクタビットの直前に付加するキャラクタビット1ビット分の“L”信号。データの送信開始を示す。
DATA キャラクタビット	UARTi送信バッファレジスタに設定された送信データ。
PAR パリティビット	データの信頼性を向上させるために、キャラクタビットの直後に付加する信号。この信号のレベルは、パリティ奇/偶の選択に従ってこのビットとキャラクタビット中の“1”の総数が常に奇数、又は偶数になるように変化する。
SP ストップビット	キャラクタビット(パリティ許可時はパリティビット)の直後に付加するキャラクタビット1ビット分、又は2ビット分の“H”信号。データの送信終了を示す。

12.4.3 送信方法

図12.4.4に送信時の関連レジスタの初期設定例を示します。

転送データ長の選択(7ビット、8ビット、又は9ビット)による違いは、送信するデータ長だけです。7ビット、又は8ビット長のときはUARTi送信バッファレジスタの下位バイトに、9ビット長のときは上位バイトのビット0、及び下位バイトに、送信データを設定してください。

送信は、次の ~ の条件がすべて満たされたとき開始されます。

UARTi送信バッファレジスタに送信データあり(送信バッファ空フラグ=0)

送信許可状態(送信許可ビット=1)

CTS端子の入力が“L”レベル(CTS機能選択時)

注 . CTS機能を選択していない場合、この条件は無視されます。

なお、RTS端子(受信側)とCTS端子(送信側)を結線すると、送受信のタイミングを合わせることができます。詳細については、「12.4.6 受信動作」を参照してください。

割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

図12.4.5に送信開始後のデータの書き込みを、図12.4.6に送信完了の検出を示します。

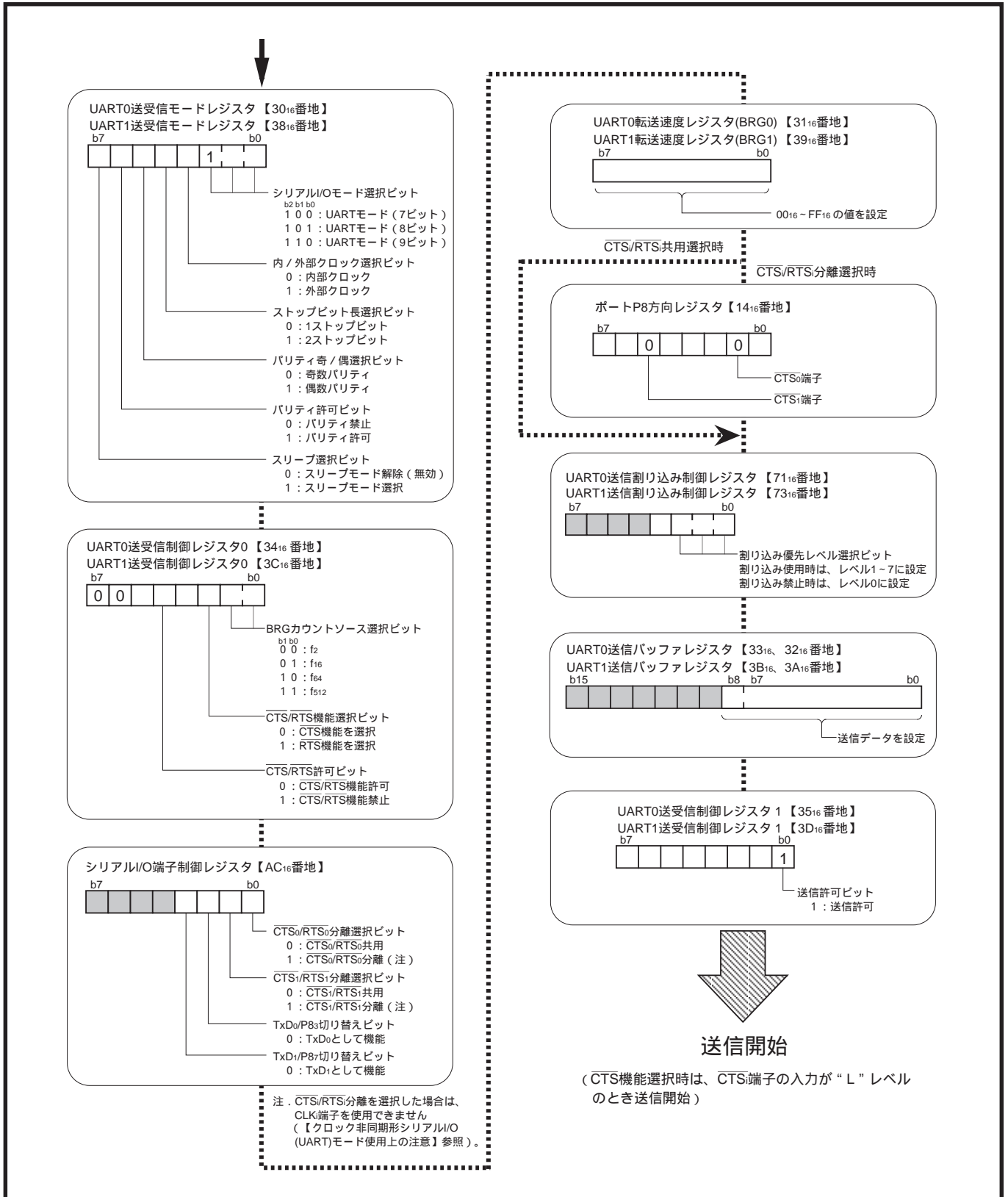


図 12.4.4 送信時の関連レジスタの初期設定例

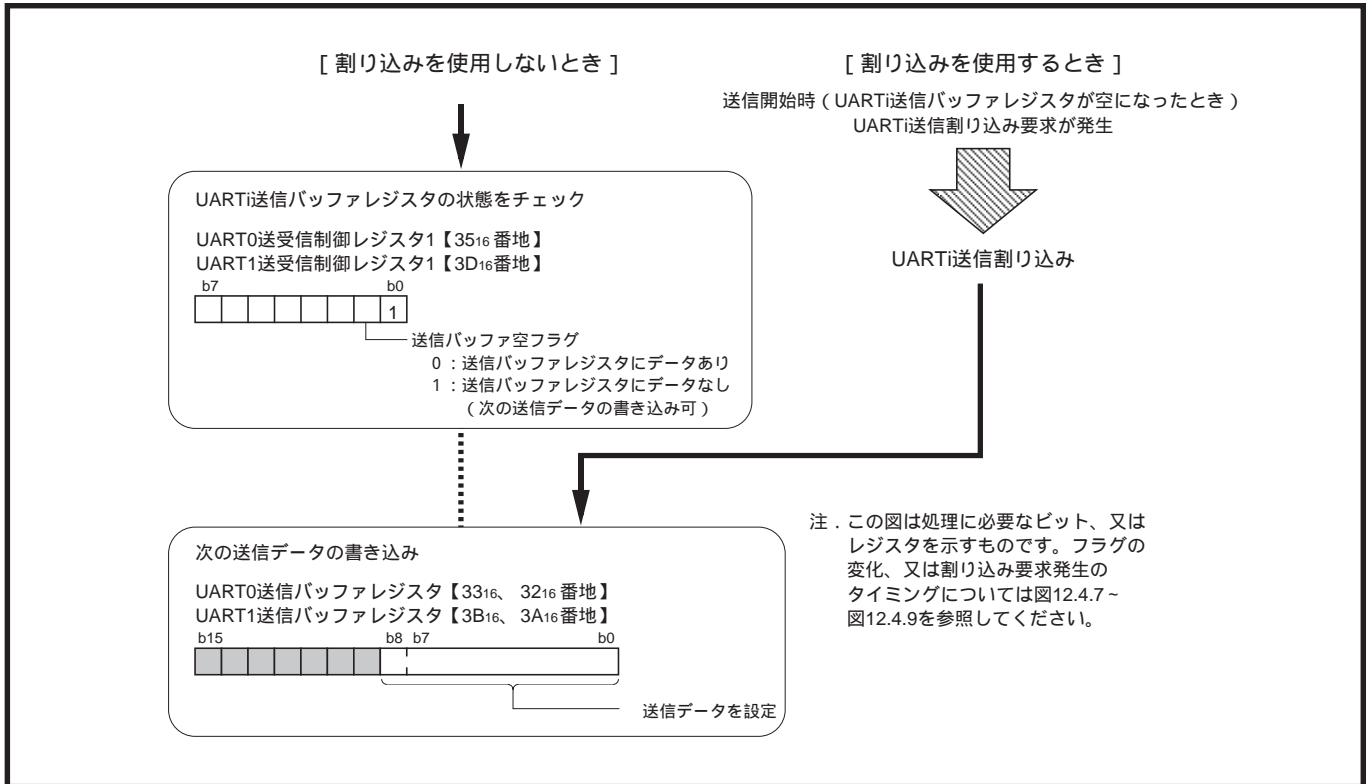


図 12.4.5 送信開始後のデータの書き込み

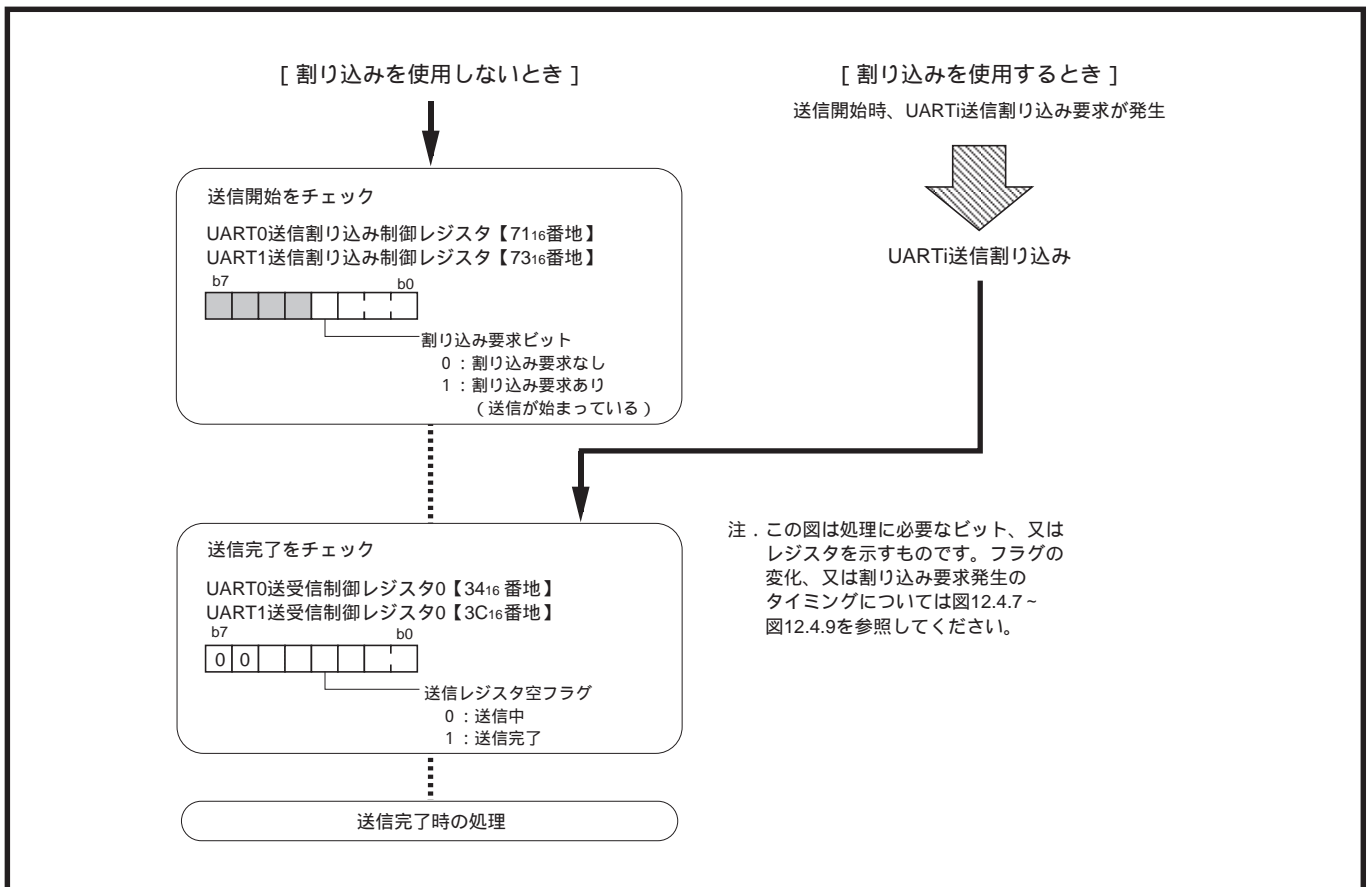


図 12.4.6 送信完了の検出

12.4.4 送信動作

「12.4.3 送信方法」に示す送信条件(~)が満たされると転送クロックが生成され、転送クロックの最大1サイクル後に次の動作が自動的に行われます。

UART_i送信バッファレジスタの内容がUART_i送信レジスタに転送される
送信バッファ空フラグが“1”になる
送信レジスタ空フラグが“0”になる
UART_i送信割り込み要求が発生し、割り込み要求ビットが“1”になる

以下に送信動作を説明します。

UART_i送信レジスタ内のデータをTxD_i端子から送信します。

データは、設定された転送データフォーマットで、ST DATA(LSB) … DATA(MSB) PAR SPの順に1ビットずつ送信されます。

ストップビット(2ストップビット選択時は2つ目のストップビット)の中央で、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、次のデータの送信条件が満たされているかどうかを調べます。

で次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。連続して送信を行う場合は、送信中(送信レジスタ空フラグが“0”のとき)にUART_i送信バッファレジスタに次の送信データを設定してください。次のデータの送信条件が満たされていない場合、TxD_i端子は“H”レベルを出力し、転送クロックは停止します。

図12.4.7、図12.4.8に転送データ長8ビット時の送信タイミング例を、図12.4.9に転送データ長9ビット時の送信タイミング例を示します。

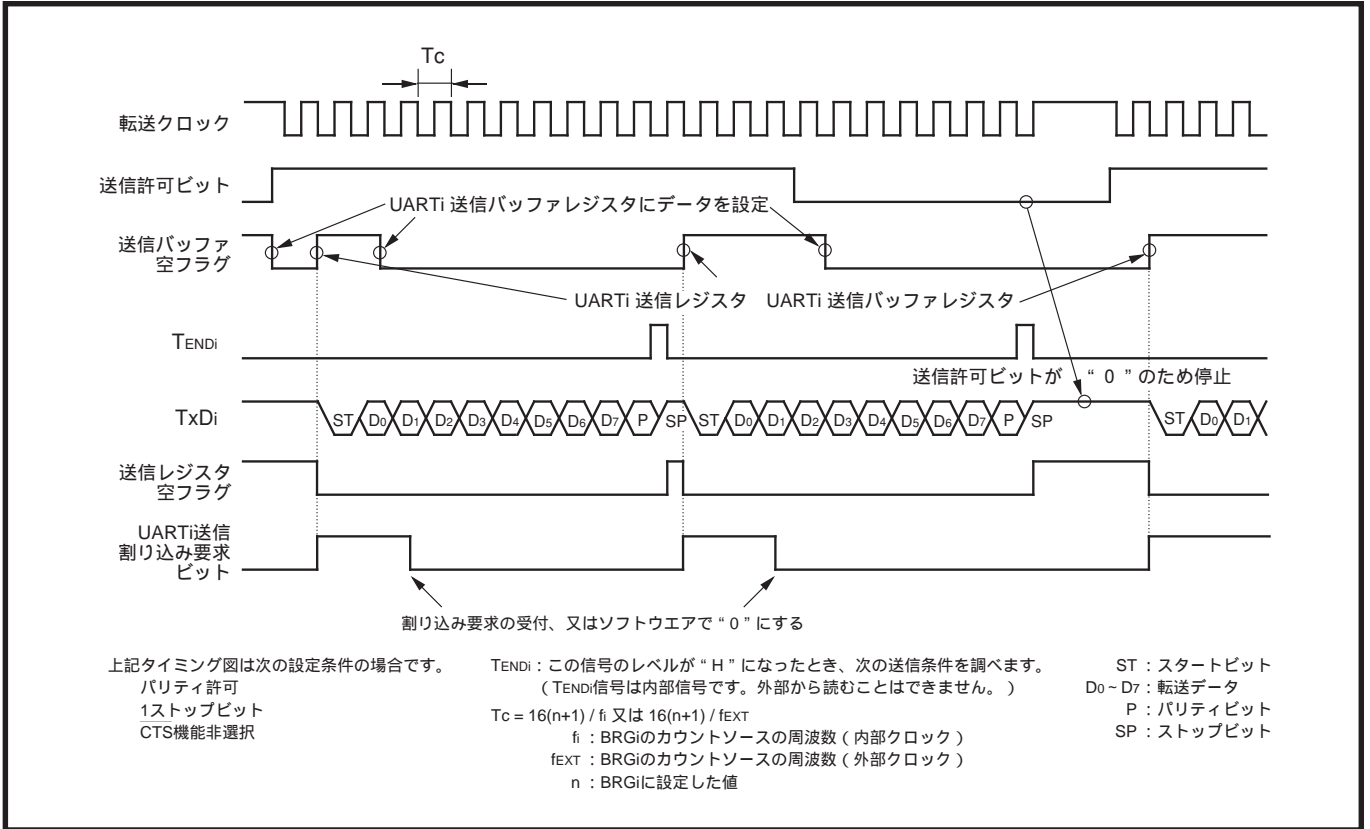


図12.4.7 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット、CTS機能非選択時)

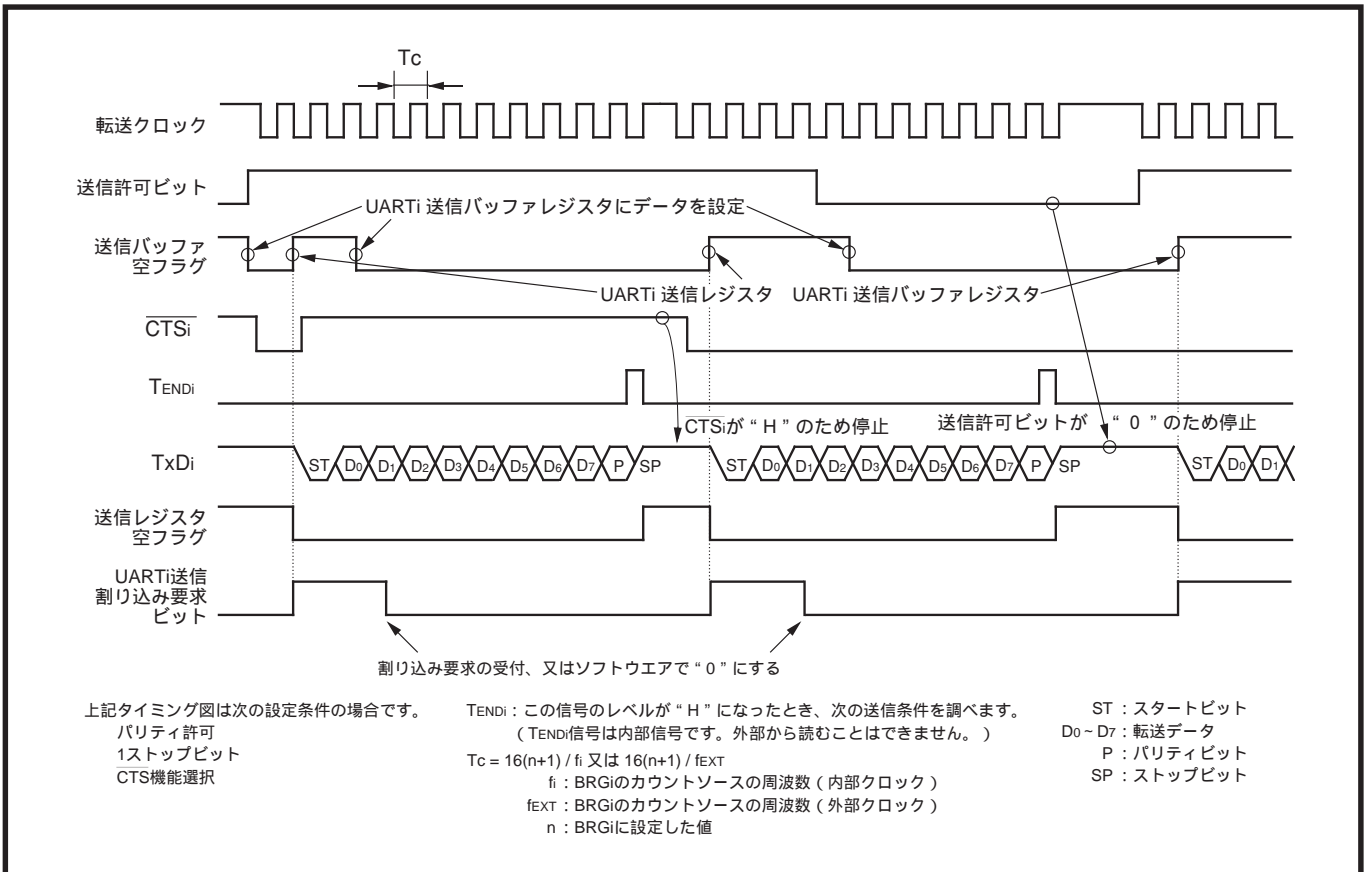


図12.4.8 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット、CTS機能選択時)

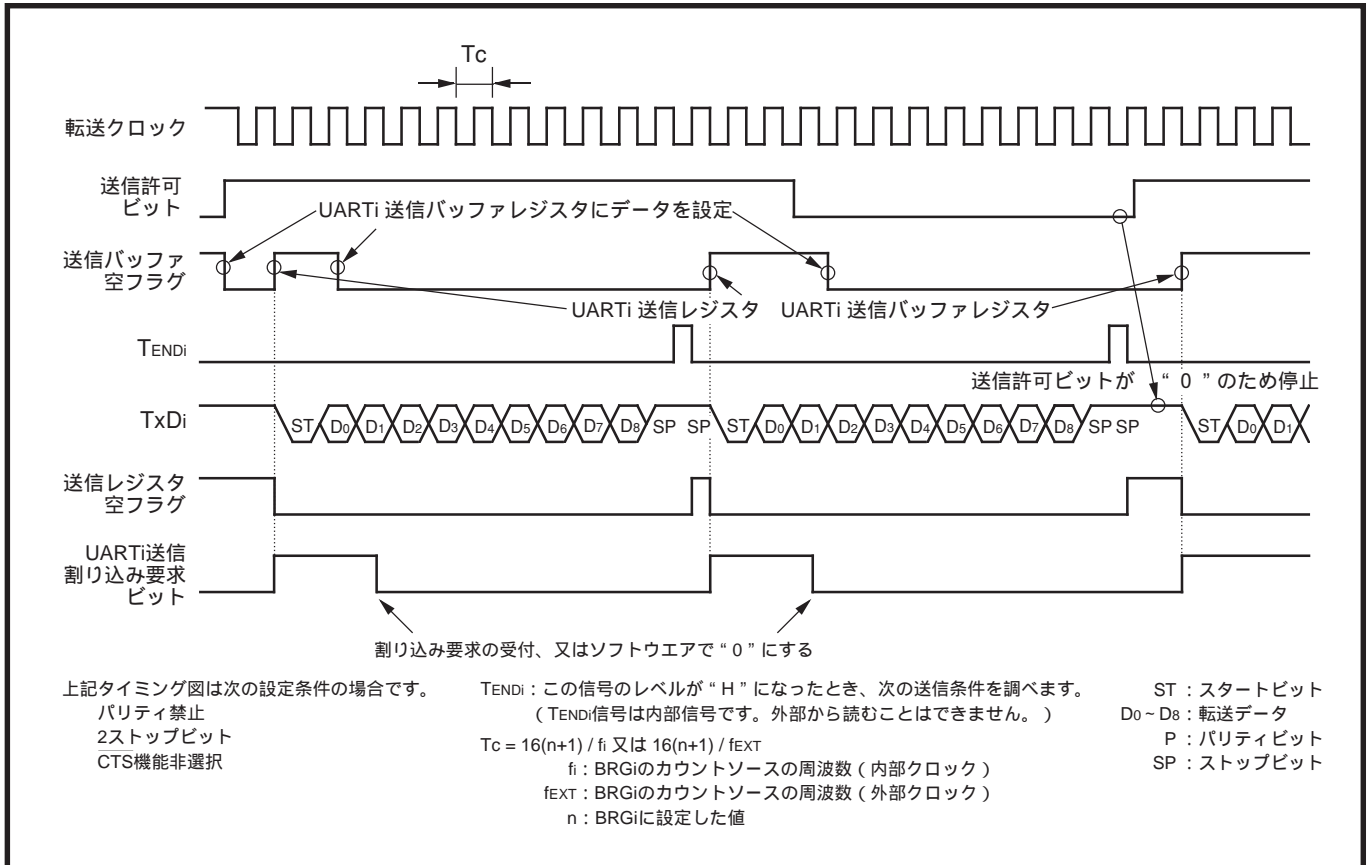


図12.4.9 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット、CTS機能非選択時)

12.4.5 受信方法

図12.4.10に受信時の関連レジスタの初期設定例を示します。受信は、次の 、 の条件がすべて満たされたとき開始されます。

受信許可状態(受信許可ビット = 1)
スタートビット(の立ち下がり)の検出

なお、RTS端子(受信側)とCTS端子(送信側)を結線すると、送受信のタイミングを合わせることができます。詳細については、「12.4.6 受信動作」を参照してください。

割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

図12.4.11に受信完了後の処理を示します。

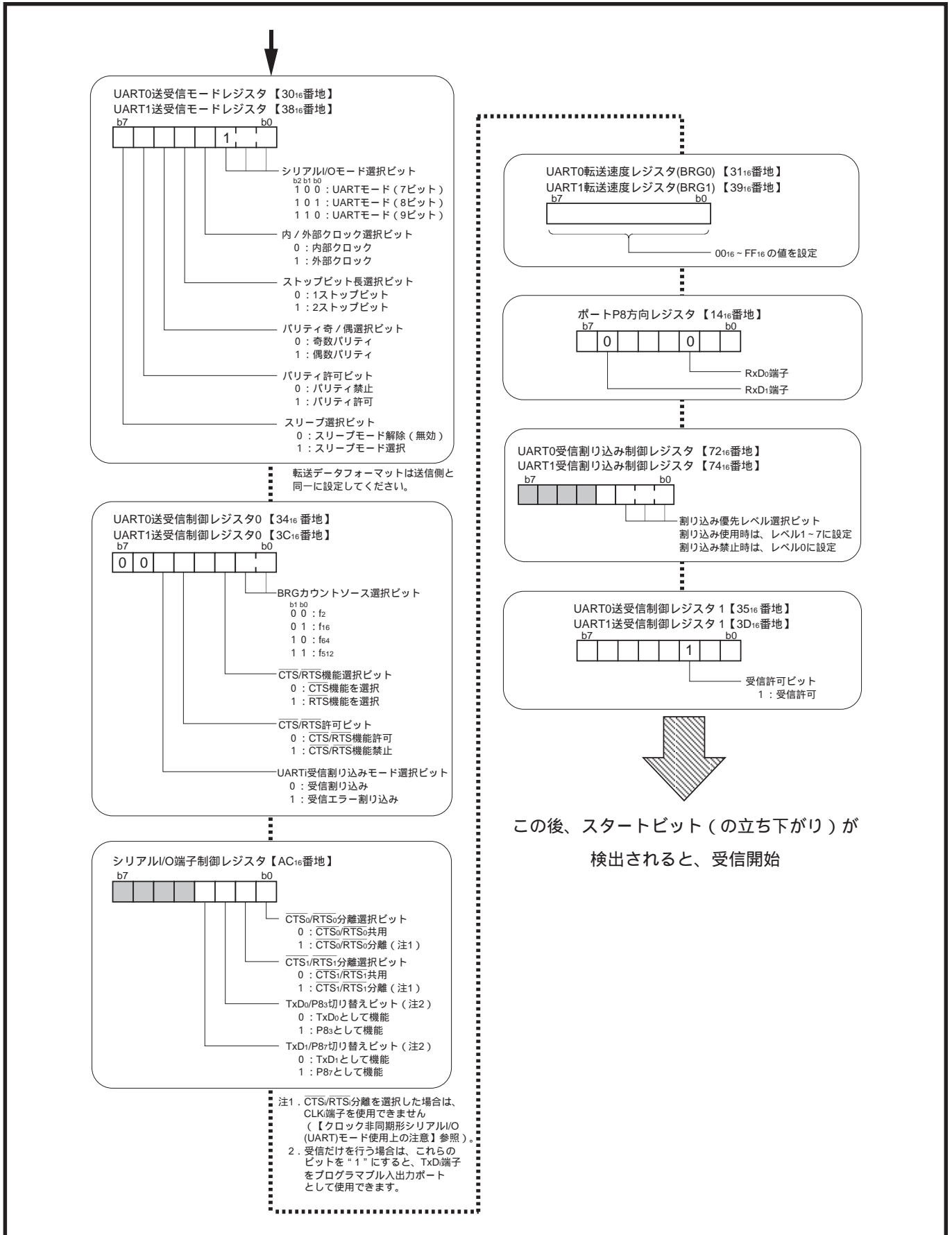


図12.4.10 受信時の関連レジスタの初期設定例

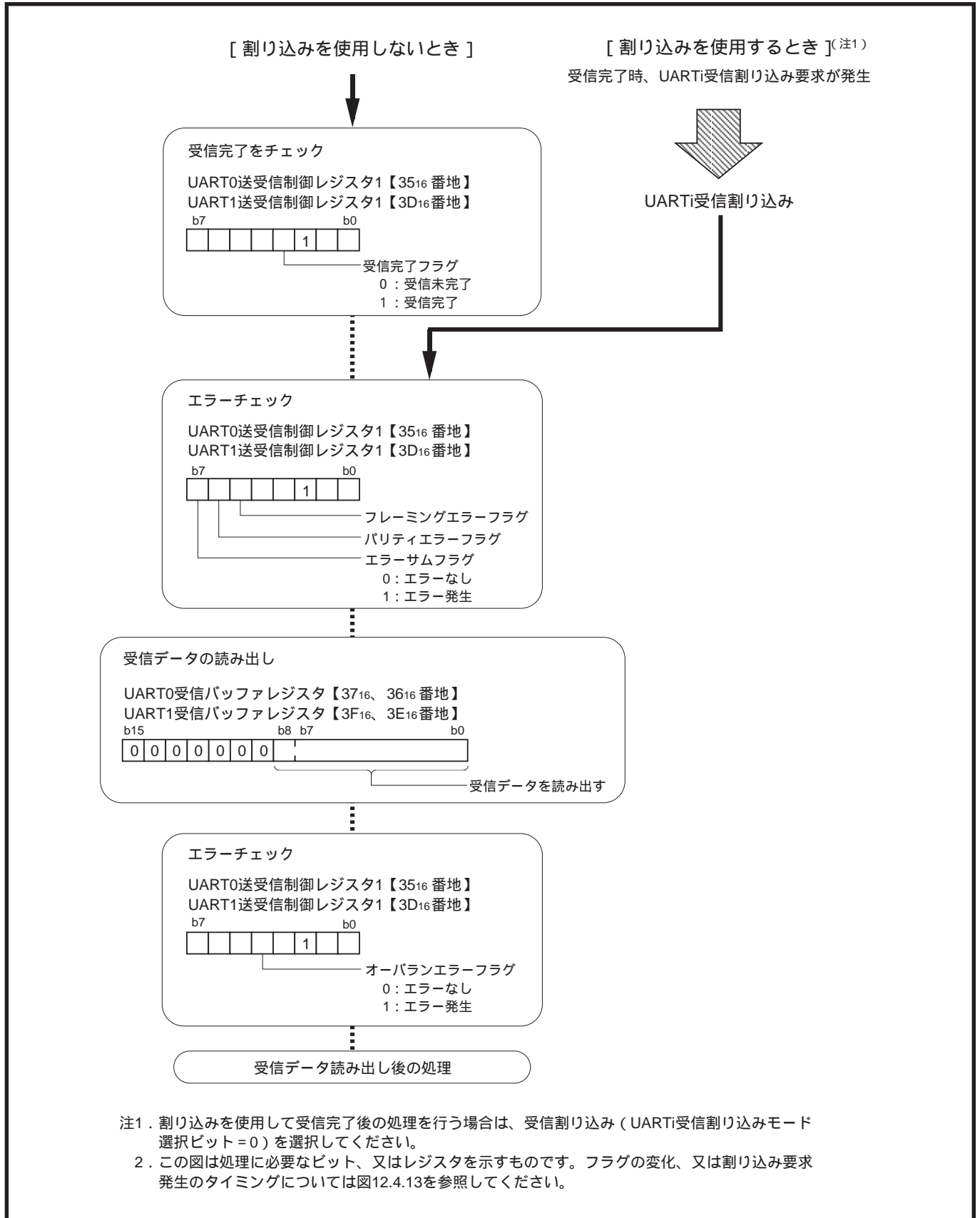


図 12.4.11 受信完了後の処理

12.4.6 受信動作

受信許可ビットを“1”にすると、UARTiは受信可能状態になり、スタートビット(の立ち上がり)を検出すると、転送クロックが発生して受信を開始します。

RTS機能選択時、RTSi端子を送信側のCTSi端子に結線すると、送受信のタイミングを合わせることができます。RTS機能選択時、RTSi端子の出力レベルは以下のようになります。

受信許可ビットが“0”のときは、受信許可ビットを“1”にする、又はUARTi受信バッファレジスタの下位バイトを読み出すと“L”になり、受信が可能になったことを送信側に知らせます。

受信許可ビットが“1”のときは、UARTi受信バッファレジスタの下位バイトを読み出すと“L”になります。したがって、続けて受信を行うときは、受信データを読み出すまでRTS出力が“L”にならないため、オーバーランエラーを防ぐことができます。

受信が開始されると、“H”になります。

図12.4.12に結線例を示します。

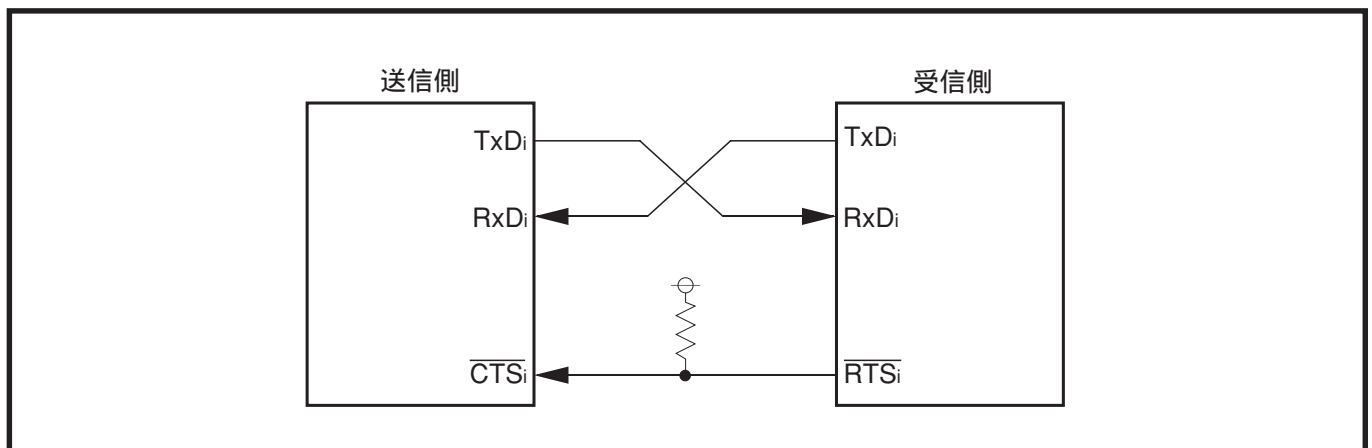


図12.4.12 結線例

以下に受信動作を説明します。

転送クロックの立ち上がりに同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。

UARTi受信レジスタの内容を1ビット右にシフトします。

、 を転送クロックの立ち上がりごとに繰り返します。

一組のデータが揃う(選択したデータフォーマットに見合う回数シフトする)と、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。

と同時に受信完了フラグが“1”になります。また、受信割り込み選択(UARTi受信割り込みモード選択ビット=0)時は、UARTi受信割り込み要求が発生し、割り込み要求ビットが“1”になります。

受信完了フラグは、UARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。図12.4.13に転送データ長8ビット時の受信タイミング例を示します。

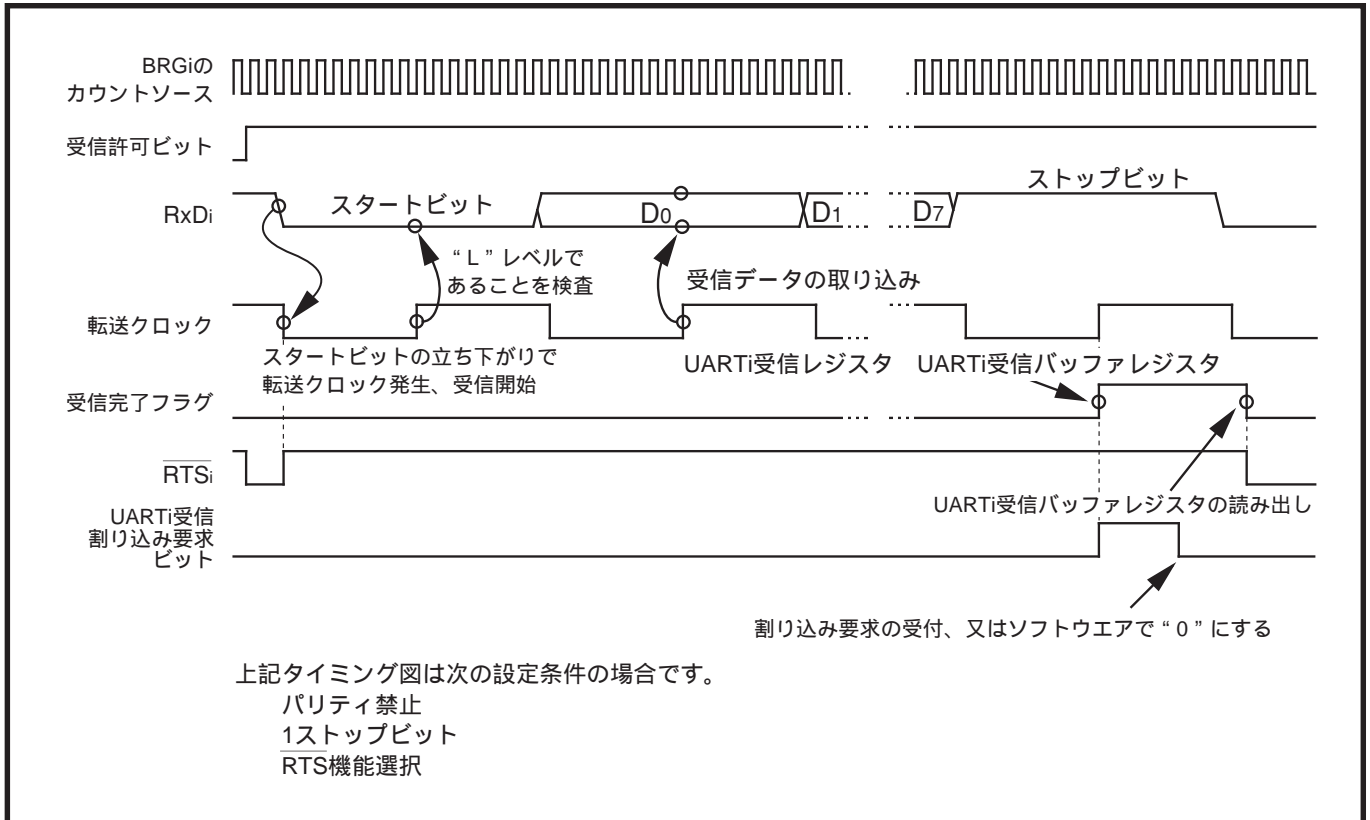


図 12.4.13 転送データ長 8 ビット時の受信タイミング例 (パリティ禁止、1ストップビット、RTS 機能選択時)

12.4.7 エラー検出時の処理

UARTモードでは、受信時、3種類のエラーを検出できます。各エラーは、UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送される時検出され、対応するエラーフラグが“1”になります。また、いずれか1つでもエラーが発生すると、エラーサムフラグが“1”になります。したがって、エラーの有無は、エラーサムフラグによって判定できます。

表12.4.6に各エラーフラグが“1”になる条件、及びエラーフラグを“0”にする方法を示します。

なお、受信エラー割り込み選択(UARTi受信割り込みモード選択ビット=1)時は、各エラーが発生したときだけUARTi受信割り込み要求ビットが“1”になります。受信割り込み選択(UARTi受信割り込みモード選択ビット=0)時は、受信完了時、フレーミングエラー発生時、及びパリティエラー発生時に、UARTi受信割り込み要求ビットが“1”になります(オーバランエラー発生時は変化しません)。

表12.4.6 各エラーフラグが“1”になる条件、及びエラーフラグを“0”にする方法

エラーフラグ	エラーフラグが“1”になる条件	エラーフラグを“0”にする方法
オーバランエラーフラグ	受信完了フラグが“1”(UARTi受信バッファレジスタにデータあり)の状態、UARTi受信レジスタに次のデータが揃ったとき (UARTi受信バッファレジスタの内容を読み出す前に次の受信データが揃ったとき) (注)	・受信許可ビットを“0”にする
フレーミングエラーフラグ	設定した個数のストップビットが検出されなかったとき	・受信許可ビットを“0”にする ・UARTi受信バッファレジスタの下位バイトの内容を読み出す
パリティエラーフラグ	パリティ許可時に、パリティビットとキャラクタビット中の“1”の総数が設定した個数でなかったとき	・受信許可ビットを“0”にする ・UARTi受信バッファレジスタの下位バイトの内容を読み出す
エラーサムフラグ	上記の3つのエラーのうち、1つ以上が発生したとき	・オーバラン、フレーミング、パリティのすべてのエラーフラグをクリアする

注：UARTi受信バッファレジスタには次のデータが書き込まれます。

受信時、エラーが発生した場合は、エラーフラグ、及びUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。また、送信時、受信側のエラー発生によって再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信を行ってください。

UARTi受信バッファレジスタを初期化する方法、UARTi送信バッファレジスタを再設定する方法を以下に示します。

(1) UARTi受信バッファレジスタを初期化する方法

- 受信許可ビットを“0”(受信禁止)にする。
- 受信許可ビットを再度“1”(受信許可)にする。

(2) UARTi送信バッファレジスタを再設定する方法

- シリアルI/Oモード選択ビットを“000₂”(シリアルI/Oは無効)にする。
- シリアルI/Oモード選択ビットを再設定する。
- 送信許可ビットを“1”(送信許可)にし、UARTi送信バッファレジスタに送信データを設定する。

12.4.8 スリープモード

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(30₁₆、38₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。

スリープモードでは、受信データの最上位ビット(転送データ長9ビット時はD₈、8ビット時はD₇、7ビット時はD₆)が“1”のときに、受信動作を行います。“0”のときは、受信動作を行いません(UARTi受信レジスタの内容はUARTi受信バッファレジスタへ転送されません。また、受信完了フラグ、及び各エラーフラグも変化せず、UARTi受信割り込み要求も発生しません)。

以下に、転送データ長8ビット時のスリープモードの使用例を示します。

主、従となるマイクロコンピュータでは、転送データフォーマットを同一に設定してください。また、従のマイクロコンピュータでは、スリープモードを選択してください。主のマイクロコンピュータから、ビット7を“1”、ビット6~0を通信したい従のマイクロコンピュータの番地とするデータを送信してください。すべての従のマイクロコンピュータは、このデータを受信します(このときUARTi受信割り込み要求が発生します)。すべての従のマイクロコンピュータでは、割り込みルーチンの中で受信したデータのビット6~0が自分の番地かどうかを調べてください。受信したデータのビット6~0が自分の番地である従のマイクロコンピュータでは、スリープモードを解除してください(この他の従のマイクロコンピュータでは、スリープモードを解除しないでください)。

この操作によって「転送を行うマイクロコンピュータの特定」が行えます。主のマイクロコンピュータから、ビット7が“0”であるデータを送信してください(この操作で特定したマイクロコンピュータだけがこのデータを受信します。この他のマイクロコンピュータは受信しません)。

を繰り返すと、同じマイクロコンピュータ間で連続して転送を行うことができます。従のマイクロコンピュータを替えるときは、この操作によって従のマイクロコンピュータを特定できます。

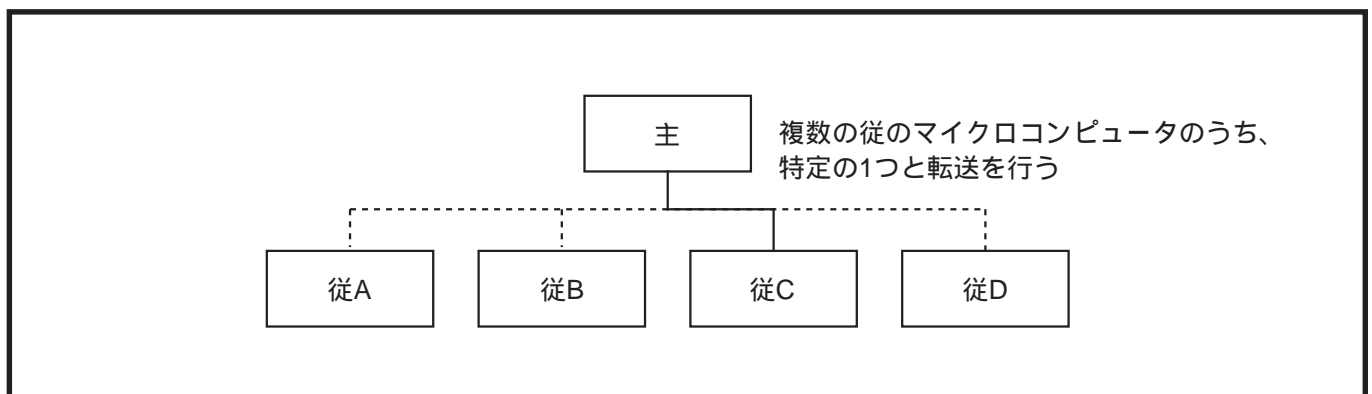


図12.4.14 スリープモード

【クロック非同期形シリアルI/O(UART)モード使用上の注意】

1. $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 分離を選択した場合は、 CLK_i 端子を使用できません。したがって、UARTモードで $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ を分離する場合は、内部クロックを選択してください。
2. UART_i 転送速度レジスタ(BRG_i)への書き込みは、送受信停止中に行ってください。
3. 送信を行うときは、 $\text{TxD}_0/\text{P8}_3$ 、 $\text{TxD}_1/\text{P8}_7$ 切り替えビット(AC_{16} 番地のビット2、3)を“0”にしてください。

第 13 章

A-D変換器

- 13.1 概 要
 - 13.2 ブロック説明
 - 13.3 A-D変換方式
 - 13.4 絶対精度と微分非直線性誤差
 - 13.5 分解能8ビットモード時の比較電圧
 - 13.6 単発モード
 - 13.7 繰り返しモード
 - 13.8 単掃引モード
 - 13.9 繰り返し掃引モード
- 【A-D変換器使用上の注意】

13.1 概要

分解能8ビット、又は分解能10ビットのA-D変換ができます。表13.1.1にA-D変換器の性能を示します。

表13.1.1 A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式
分解能	8ビット、又は10ビットをソフトウェアで選択できる
絶対精度	分解能8ビットモード時 : $\pm 2\text{LSB}$
	分解能10ビットモード時 : $\pm 3\text{LSB}$
アナログ入力端子	8本(AN ₀ ~ AN ₇)
アナログ入力端子1本あたりの変換速度	分解能8ビットモード時 : 49 _{AD} サイクル
	分解能10ビットモード時 : 59 _{AD} サイクル

AD : A-D変換器の動作クロック

(1) 分解能8ビットモード

AN($i=0\sim 7$)端子からの入力電圧をA-D変換し、8ビットのA-D変換結果をA-Dレジスタiに格納します(「13.3 A-D変換方式」、「13.5 分解能8ビットモード時の比較電圧」参照)。

(2) 分解能10ビットモード

AN_i端子からの入力電圧をA-D変換し、10ビットのA-D変換結果をA-Dレジスタiに格納します(「13.3 A-D変換方式」参照)。

(3) 動作モード

A-D変換器には以下に示す4つの動作モードがあります。

単発モード

選択された1本のアナログ入力端子からの入力電圧を1回だけA-D変換するモードです。

繰り返しモード

選択された1本のアナログ入力端子からの入力電圧を繰り返しA-D変換するモードです。

単掃引モード

選択された複数のアナログ入力端子からの入力電圧を1回ずつA-D変換するモードです。

繰り返し掃引モード

選択された複数のアナログ入力端子からの入力電圧を繰り返しA-D変換するモードです。

13.2 ブロック説明

A-D変換器のブロック図を図13.2.1に示し、A-D変換器関連レジスタについて以下に説明します。

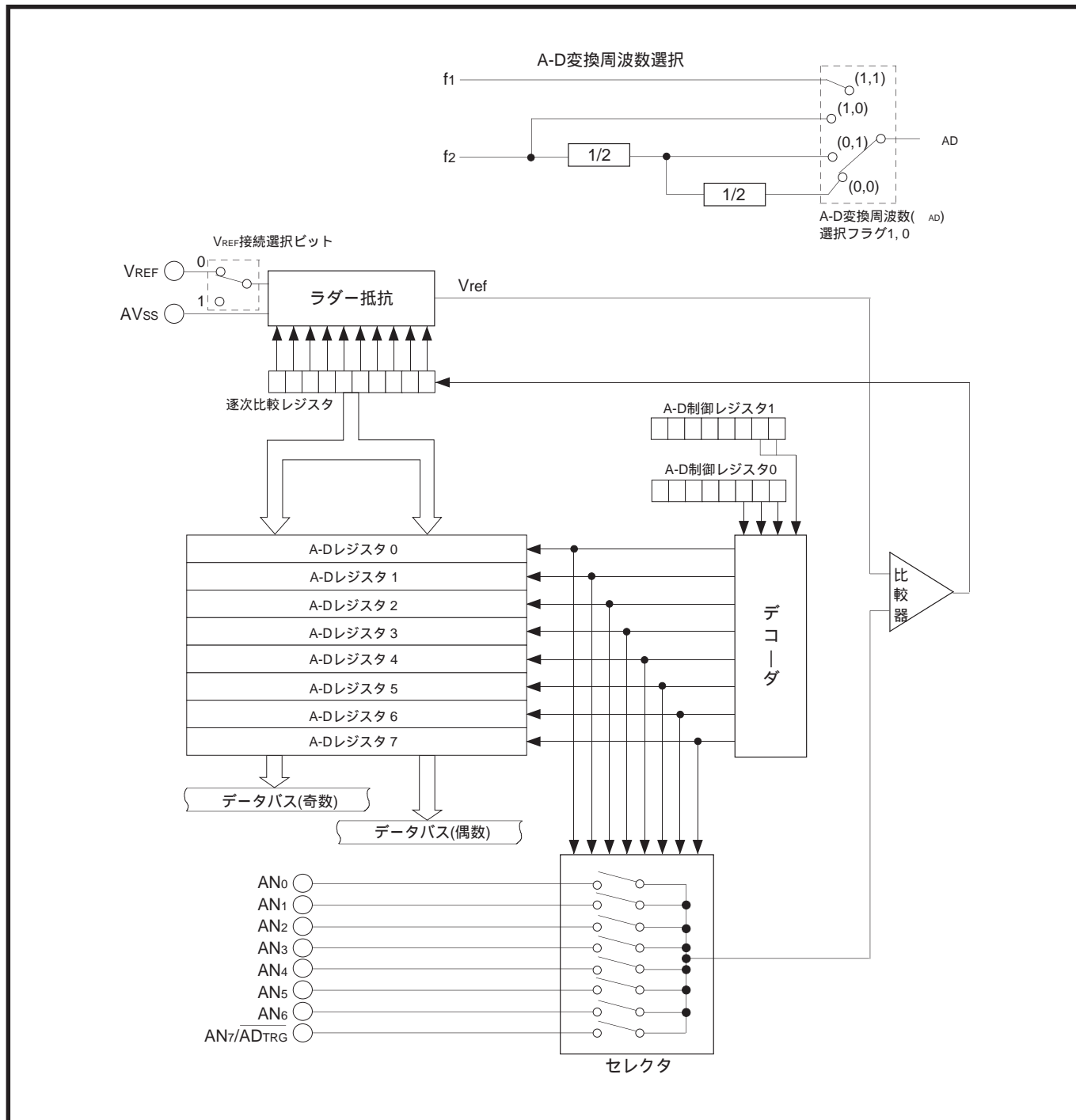


図13.2.1 A-D変換器ブロック図

13.2.1 A-D制御レジスタ0、1

図13.2.2にA-D制御レジスタ0、図13.2.3にA-D制御レジスタ1のレジスタ構成を示します。

A-D制御レジスタ0【1E ₁₆ 番地】												
b7 b6 b5 b4 b3 b2 b1 b0												
<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>												
ビット	ビット名	機能	リセット時	R/W								
0	アナログ入力端子選択ビット (単発モード、繰り返しモード時有効) (注1)	b2 b1 b0 0 0 0 : AN ₀ を選択	不定	RW								
1		0 0 1 : AN ₁ を選択										
2		0 1 0 : AN ₂ を選択										
		0 1 1 : AN ₃ を選択										
		1 0 0 : AN ₄ を選択 (注2)										
		1 0 1 : AN ₅ を選択 (注3)	不定	RW								
		1 1 0 : AN ₆ を選択 (注4)										
		1 1 1 : AN ₇ を選択 (注5)										
3	A-D動作モード選択ビット	b4 b3 0 0 : 単発モード	0	RW								
4		0 1 : 繰り返しモード	0	RW								
		1 0 : 単掃引モード										
		1 1 : 繰り返し掃引モード										
5	トリガ選択ビット	0 : 内部トリガ 1 : 外部トリガ (注6)	0	RW								
6	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	0	RW (注7)								
7	A-D変換周波数(AD)選択フラグ0	表13.2.1参照	0	RW								

注1. 単掃引モード、及び繰り返し掃引モードでは無効です("0"又は"1"いずれでもよい)。
 2. AN₄端子を使用するときは、INT₃端子選択ビット(94₁₆番地のビット5)=0にしてください。
 3. AN₅端子を使用するときは、INT₄端子選択ビット(94₁₆番地のビット6)=0にしてください。
 4. AN₆端子を使用するときは、D-A₀出力許可ビット(96₁₆番地のビット0)=α(出力禁止)にしてください。
 5. AN₇端子を使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。外部トリガ選択時は、AN₇端子をアナログ入力端子として使用できません。
 6. 外部トリガを使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。
 7. このビットへの書き込みには、MOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。
 8. A-D制御レジスタ0の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください(ビット6への"0"書き込みを除く)。

図13.2.2 A-D制御レジスタ0のレジスタ構成

A-D制御レジスタ1【1F ₁₆ 番地】			b7	b6	b5	b4	b3	b2	b1	b0
								0		
ビット	ビット名	機能	リセット時	R/W						
0	A-D掃引端子選択ビット (単掃引モード、繰り返し掃引モード時有効) (注1)	b1 b0 0 0 : AN ₀ 、AN ₁ (2端子)	1	RW						
1		0 1 : AN ₀ ~ AN ₃ (4端子) 1 0 : AN ₀ ~ AN ₅ (6端子) (注2、3) 1 1 : AN ₀ ~ AN ₇ (8端子) (注2、3、4、5)	1	RW						
2	“0”に固定してください		0	RW						
3	分解能選択ビット	0 : 8ビットモード 1 : 10ビットモード	0	RW						
4	A-D変換周波数(AD)選択フラグ1	表13.2.1参照	0	RW						
5	外部トリガ極性選択ビット (外部トリガ選択時有効)	0 : AD _{TRG} 端子への入力信号の立ち下がり 1 : AD _{TRG} 端子への入力信号の立ち上がり	0	RW						
6	V _{REF} 接続選択ビット (注6)	0 : V _{REF} 接続 1 : V _{REF} 切断	0	RW						
7	読み出し時の値は“0”		0	-						

注1. 単発モード、及び繰り返しモードでは無効です(“0”又は“1”いずれでもよい)。
 2. AN₄端子を使用するときは、INT₃端子選択ビット(94₁₆番地のビット5)=0にしてください。
 3. AN₅端子を使用するときは、INT₄端子選択ビット(94₁₆番地のビット6)=0にしてください。
 4. AN₆端子を使用するときは、D-A₀出力許可ビット(96₁₆番地のビット0)=0(出力禁止)にしてください。
 5. AN₇端子を使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。外部トリガ選択時は、AN₇端子をアナログ入力端子として使用できません。
 6. このビットを“1”から“0”にしたときは、1μs以上経過した後に、A-D変換を開始させてください。
 7. A-D制御レジスタ1の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

図13.2.3 A-D制御レジスタ1のレジスタ構成

(1) アナログ入力端子選択ビット(1E₁₆番地のビット0~2)

単発モード、及び繰り返しモードにおいて、アナログ入力端子を選択するために使用します。このビットでアナログ入力端子として選択していない端子は、プログラマブル入出力ポートとして機能します。

なお、単掃引モード、又は繰り返し掃引モードでA-D変換を実行した後、単発モード、又は繰り返しモードに切り替える場合は、再度、このビットを設定してください。

(2) A-D動作モード選択ビット(1E₁₆番地のビット3、4)

A-D変換器の動作モードを選択するためのビットです。

(3) トリガ選択ビット(1E₁₆番地のビット5)

このビットによって、トリガ発生要因を選択できます(「(4) A-D変換開始フラグ」参照)。

(4) A-D変換開始フラグ(1E₁₆番地のビット6)

内部トリガ選択時

このビットを“1”にするとトリガが発生し、A-D変換器が動作を開始します。このビットを“0”にすると、A-D変換器は停止します。

単発モード及び単掃引モードでは、A-D変換終了時、このビットは“0”になります。繰り返しモード、及び繰り返し掃引モードでは、ソフトウェアでこのビットを“0”にするまで、A-D変換器は動作を続けます。

外部トリガ選択時

このビットが“1”のときに、 \overline{AD}_{TRG} 端子のレベルが“H”から“L”(外部トリガ極性選択ビットが0のとき)又は“L”から“H”(外部トリガ極性選択ビットが1のとき)になるとトリガが発生し、A-D変換器が動作を開始します。このビットを“0”にすると、A-D変換器は停止します。

単発モード及び単掃引モードでは、A-D変換終了後も、このビットは“1”の状態を保持します。繰り返しモード、及び繰り返し掃引モードでは、ソフトウェアでこのビットを“0”にするまで、A-D変換器は動作を続けます。

(5) A-D変換周波数(AD)選択フラグ(1E₁₆番地のビット7) A-D変換周波数(AD)選択フラグ(1F₁₆番地のビット4)

これらのビットによって、A-D変換器の動作クロック(AD)を選択できます。表13.2.1にアナログ入力端子1本あたりの変換時間を示します。

A-D変換器の比較器は容量結合増幅器で構成されていますので、A-D変換器動作中はAD 250kHzにしてください。

表13.2.1 アナログ入力端子1本あたりの変換時間

A-D変換周波数 (AD)選択フラグ1	A-D変換周波数 (AD)選択フラグ0	AD	変換時間(単位: μ s)(注)	
			$f_{sys} = 26\text{MHz}$	
			分解能8ビットモード時	分解能10ビットモード時
0	0	f_2 の4分周	15.077	18.154
0	1	f_2 の2分周	7.538	9.077
1	0	f_2	3.769	4.538
1	1	f_1	1.885	選択禁止

注: 周辺装置用クロック選択ビット1、(BC₁₆番地のビット7、6) = “00₂”の場合です。

(6) A-D掃引端子選択ビット(1F₁₆番地のビット0、1)

単掃引モード、及び繰り返し掃引モードにおいて、アナログ入力端子を選択するために使用します。このビットでアナログ入力端子として選択していない端子は、プログラマブル入出力ポートとして機能します。

(7) 分解能選択ビット(1F₁₆番地のビット3)

分解能を選択するためのビットです。

(8) 外部トリガ極性選択ビット(1F₁₆番地のビット5)

外部トリガを選択した場合、このビットでトリガの極性を選択します(「(4) A-D変換開始フラグ」参照)。

(9) V_{REF}接続選択ビット(1F₁₆番地のビット6)

A-D変換器を使用しないときに、A-D変換器のラダー抵抗と基準電圧入力端子(V_{REF})を切り離すためのビットです。

ラダー抵抗とV_{REF}端子を切り離すと、V_{REF}端子からラダー抵抗には電流が流れなくなり、消費電流を低減できます。

このビットを“1”(V_{REF}切断)から“0”(V_{REF}接続)にしたときは、1 μs以上経過した後に、A-D変換を開始させてください。

13.2.2 A-Dレジスタ(i=0~7)

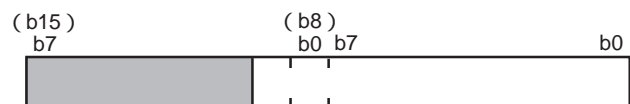
図13.2.4にA-Dレジスタiのレジスタ構成を示します。A-D変換終了時、変換結果(逐次比較レジスタの内容)はこのレジスタに格納されます。各A-Dレジスタiは、それぞれアナログ入力端子(AN_i)に対応しています。

分解能8ビットモード時

A-D レジスタ0【21₁₆、20₁₆ 番地】A-D レジスタ1【23₁₆、22₁₆ 番地】A-D レジスタ2【25₁₆、24₁₆ 番地】A-D レジスタ3【27₁₆、26₁₆ 番地】A-D レジスタ4【29₁₆、28₁₆ 番地】A-D レジスタ5【2B₁₆、2A₁₆ 番地】A-D レジスタ6【2D₁₆、2C₁₆ 番地】A-D レジスタ7【2F₁₆、2E₁₆ 番地】

ビット	機能	リセット時	R/W
7~0	A-D変換結果を読み出す	不定	RO
15~8	読み出し時の値は“0”	0	-

分解能10ビットモード時

A-D レジスタ0【21₁₆、20₁₆ 番地】A-D レジスタ1【23₁₆、22₁₆ 番地】A-D レジスタ2【25₁₆、24₁₆ 番地】A-D レジスタ3【27₁₆、26₁₆ 番地】A-D レジスタ4【29₁₆、28₁₆ 番地】A-D レジスタ5【2B₁₆、2A₁₆ 番地】A-D レジスタ6【2D₁₆、2C₁₆ 番地】A-D レジスタ7【2F₁₆、2E₁₆ 番地】

ビット	機能	リセット時	R/W
9~0	A-D変換結果を読み出す	不定	RO
15~10	読み出し時の値は“0”	0	-

図13.2.4 A-Dレジスタiのレジスタ構成

13.2.3 A-D変換割り込み制御レジスタ

図13.2.5にA-D変換割り込み制御レジスタのレジスタ構成を示します。割り込みについての詳細は「第7章 割り込み」を参照してください。

A-D変換割り込み制御レジスタ【70 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット名	機能	リセット時	R/W			
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベルα (割り込み禁止)	0	RW			
1		0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3	0	RW			
2		1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	0	RW			
3		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	不定 (注1)	RW (注2)		
7~4	何も配置されていない		不定	-			

注1. A-D変換割り込みを使用する前に、必ずソフトウェアで“0”にしてください。
 2. このビットへの書き込みにはMOV_M(MOV_{MB})命令、又はSTA(STAB, STAD)命令を使用してください。

図13.2.5 A-D変換割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット2~0)

A-D変換割り込みの優先レベルを選択するためのビットです。A-D変換割り込みを使用する場合はレベル1~7を選択してください。A-D変換割り込み要求が発生すると、優先レベルとプロセッサ割り込み優先レベル(IPL)が比較され、優先レベルの方がIPLより大きい場合だけ、割り込みが許可されます(ただし、割り込み禁止フラグ(I)が“0”の場合)。A-D変換割り込みを禁止する場合は、このビットを“000₂(レベル0)に設定してください。

(2) 割り込み要求ビット(ビット3)

A-D変換割り込み要求が発生したとき、このビットは“1”になります。その後、A-D変換割り込み要求が受け付けられると、このビットは自動的に“0”になります。また、このビットはソフトウェアによって“1”、又は“0”にできます。

13.2.4 ポートP7方向レジスタ

A-D変換器の入力端子はポートP7と共用です。これらの端子をA-D変換器の入力端子として使用する場合は、ポートP7方向レジスタの対応するビットを“0”にして入力モードに設定してください。図13.2.6にポートP7方向レジスタとA-D変換器の入力端子の対応を示します。

ポートP7方向レジスタ【11 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0																	
				<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table>																	
ビット	対応する端子名	機能	リセット時	R/W																	
0	AN ₀ 端子	0 : 入力モード	0	RW																	
1	AN ₁ 端子	1 : 出力モード	0	RW																	
2	AN ₂ 端子	A-D変換器の入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW																	
3	AN ₃ 端子		0	RW																	
4	AN ₄ 端子(INT ₃ 端子)		0	RW																	
5	AN ₅ 端子(INT ₄ 端子)		0	RW																	
6	AN ₆ 端子(DA ₀ 端子)		0	RW																	
7	AN ₇ /AD _{TRG} 端子(DA ₁ /INT ₂ 端子)		0	RW																	

注.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

図13.2.6 ポートP7方向レジスタとA-D変換器の入力端子の対応

13.3 A-D変換方式

A-D変換器は、逐次比較レジスタの内容に従って内部で生成される比較電圧(V_{ref})と、アナログ入力端子から入力されるアナログ入力電圧(V_{IN})を比較し、その結果を逐次比較レジスタに反映することによって、 V_{IN} をデジタル値に変換します。トリガが発生すると、A-D変換器は以下の処理を行います。

逐次比較レジスタのビット9の確定

V_{ref} と V_{IN} を比較します。このときの逐次比較レジスタの内容は“100000000₂”(初期値)です。比較結果によって逐次比較レジスタのビット9は以下のように変化します。

$V_{ref} < V_{IN}$ ならば、ビット9は“1”

$V_{ref} > V_{IN}$ ならば、ビット9は“0”

逐次比較レジスタのビット8の確定

逐次比較レジスタのビット8を“1”にした後、 V_{ref} と V_{IN} を比較します。比較結果によってビット8は以下のように変化します。

$V_{ref} < V_{IN}$ ならば、ビット8は“1”

$V_{ref} > V_{IN}$ ならば、ビット8は“0”

逐次比較レジスタのビット7～最下位ビットの確定

分解能10ビットモード時は、 の動作をビット7～0に対して行います。

分解能8ビットモード時は、 の動作をビット7～2に対して行います。

最下位ビットが確定すると、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。

V_{ref} は最新の逐次比較レジスタの内容に従って生成されます。表13.3.1に逐次比較レジスタの内容と V_{ref} の関係を示します。また、表13.3.2、表13.3.3にA-D変換中の逐次比較レジスタと V_{ref} の変化を、図13.3.1に分解能10ビットモード時の理論的A-D変換特性を示します。

表13.3.1 逐次比較レジスタの内容と V_{ref} の関係

逐次比較レジスタの内容 : n	$V_{ref}(V)$
0	0
1 ~ 1023	$\frac{V_{REF}}{1024} \times (n - 0.5)$

V_{REF} : 基準電圧

表13.3.2 A-D変換中の逐次比較レジスタとV_{ref}の変化(分解能8ビットモード時)

	逐次比較レジスタの変化	V _{ref} の変化																						
A-D変換器停止状態	<table border="1" style="width:100%; text-align:center;"> <tr><td>b9</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>b0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table>	b9										b0	1	0	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2}$ [V]
b9										b0														
1	0	0	0	0	0	0	0	0	0	0														
1回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table>	1	0	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]											
1	0	0	0	0	0	0	0	0	0	0														
↓																								
2回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table> <p style="text-align:center;">↑ 1回目の比較結果</p>	n9	1	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\begin{cases} n_9=1 \text{の場合} + \frac{V_{REF}}{4} \\ n_9=0 \text{の場合} - \frac{V_{REF}}{4} \end{cases}$											
n9	1	0	0	0	0	0	0	0	0	0														
↓																								
3回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>n8</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table> <p style="text-align:center;">↑ 2回目の比較結果</p>	n9	n8	1	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\begin{cases} n_8=1 \text{の場合} + \frac{V_{REF}}{8} \\ n_8=0 \text{の場合} - \frac{V_{REF}}{8} \end{cases}$											
n9	n8	1	0	0	0	0	0	0	0	0														
↓	⋮	⋮																						
↓	⋮	⋮																						
8回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>n8</td><td>n7</td><td>n6</td><td>n5</td><td>n4</td><td>n3</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> </table>	n9	n8	n7	n6	n5	n4	n3	1	0	0	0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{2048}$ [V]											
n9	n8	n7	n6	n5	n4	n3	1	0	0	0														
↓																								
変換終了	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>n8</td><td>n7</td><td>n6</td><td>n5</td><td>n4</td><td>n3</td><td>n2</td><td>0</td><td>0</td><td>0</td></tr> </table>	n9	n8	n7	n6	n5	n4	n3	n2	0	0	0												
n9	n8	n7	n6	n5	n4	n3	n2	0	0	0														

表13.3.3 A-D変換中の逐次比較レジスタとV_{ref}の変化(分解能10ビットモード時)

	逐次比較レジスタの変化	V _{ref} の変化																								
A-D変換器停止状態	<table border="1" style="width:100%; text-align:center;"> <tr><td>b9</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>b0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table>	b9											b0	1	0	0	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2}$ [V]
b9											b0															
1	0	0	0	0	0	0	0	0	0	0	0															
1回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table>	1	0	0	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]												
1	0	0	0	0	0	0	0	0	0	0	0															
↓																										
2回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table> <p style="text-align:center;">↑ 1回目の比較結果</p>	n9	1	0	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\begin{cases} n_9=1 \text{の場合} + \frac{V_{REF}}{4} \\ n_9=0 \text{の場合} - \frac{V_{REF}}{4} \end{cases}$												
n9	1	0	0	0	0	0	0	0	0	0	0															
↓																										
3回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>n8</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table> <p style="text-align:center;">↑ 2回目の比較結果</p>	n9	n8	1	0	0	0	0	0	0	0	0	0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\begin{cases} n_8=1 \text{の場合} + \frac{V_{REF}}{8} \\ n_8=0 \text{の場合} - \frac{V_{REF}}{8} \end{cases}$												
n9	n8	1	0	0	0	0	0	0	0	0	0															
↓	⋮	⋮																								
↓	⋮	⋮																								
10回目比較	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>n8</td><td>n7</td><td>n6</td><td>n5</td><td>n4</td><td>n3</td><td>n2</td><td>n1</td><td>1</td><td>0</td><td>0</td></tr> </table>	n9	n8	n7	n6	n5	n4	n3	n2	n1	1	0	0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{1024} - \frac{V_{REF}}{2048}$ [V]												
n9	n8	n7	n6	n5	n4	n3	n2	n1	1	0	0															
↓																										
変換終了	<table border="1" style="width:100%; text-align:center;"> <tr><td>n9</td><td>n8</td><td>n7</td><td>n6</td><td>n5</td><td>n4</td><td>n3</td><td>n2</td><td>n1</td><td>n0</td><td>0</td><td>0</td></tr> </table>	n9	n8	n7	n6	n5	n4	n3	n2	n1	n0	0	0													
n9	n8	n7	n6	n5	n4	n3	n2	n1	n0	0	0															

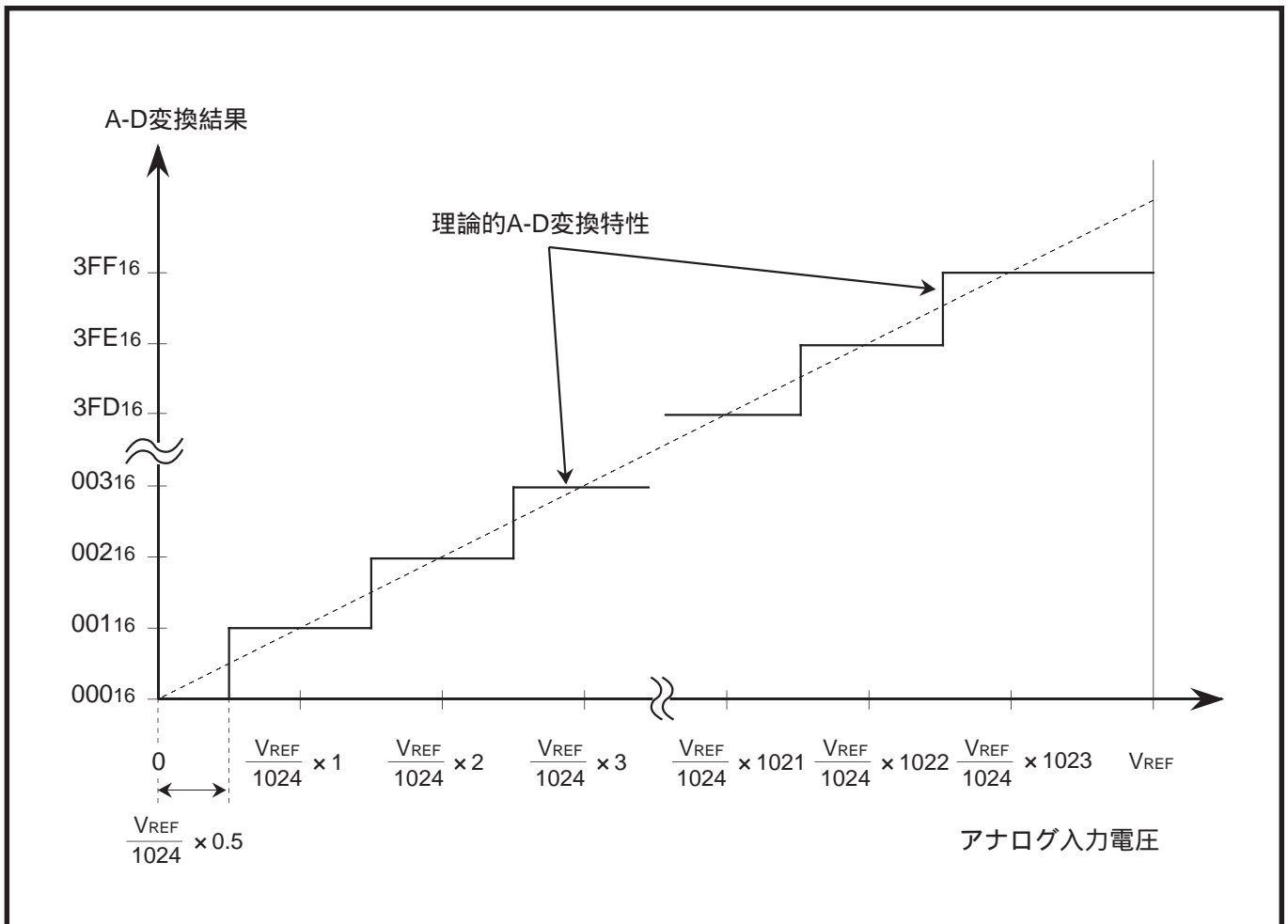


図13.3.1 分解能10ビットモード時の理論的A-D変換特性

13.4 絶対精度と微分非直線性誤差

A-D変換器の精度について以下に説明します。なお、「付録10.5. A-D変換器標準特性」も併せて参照してください。

13.4.1 絶対精度

絶対精度は、理論的A-D変換特性における出力コードと実際のA-D変換結果の差を示すものです(図13.4.1参照)。絶対精度測定時は、理論的A-D変換特性において同じ出力コードを期待できるアナログ入力電圧の幅(1LSB幅)の中点の電圧を、アナログ入力電圧として使用します。例えば、分解能10ビットモード、基準電圧(V_{REF})=5.12Vの場合、1LSB幅は5mVで、アナログ入力電圧には0mV、5mV、10mV、15mV、20mV・・・を使用します。絶対精度 = $\pm 3\text{LSB}$ とは、アナログ入力電圧が25mVの場合、理論的A-D変換特性では出力コード“005₁₆”を期待できますが、実際のA-D変換結果は“002₁₆”~“008₁₆”になることを意味します。絶対精度にはゼロ誤差、フルスケール誤差を含みます。

なお、 V_{REF} を下げると絶対精度は悪くなります。また、 $V_{REF} \sim V_{CC}$ 間のアナログ入力電圧に対する出力コードは、すべて“3FF₁₆”となります。

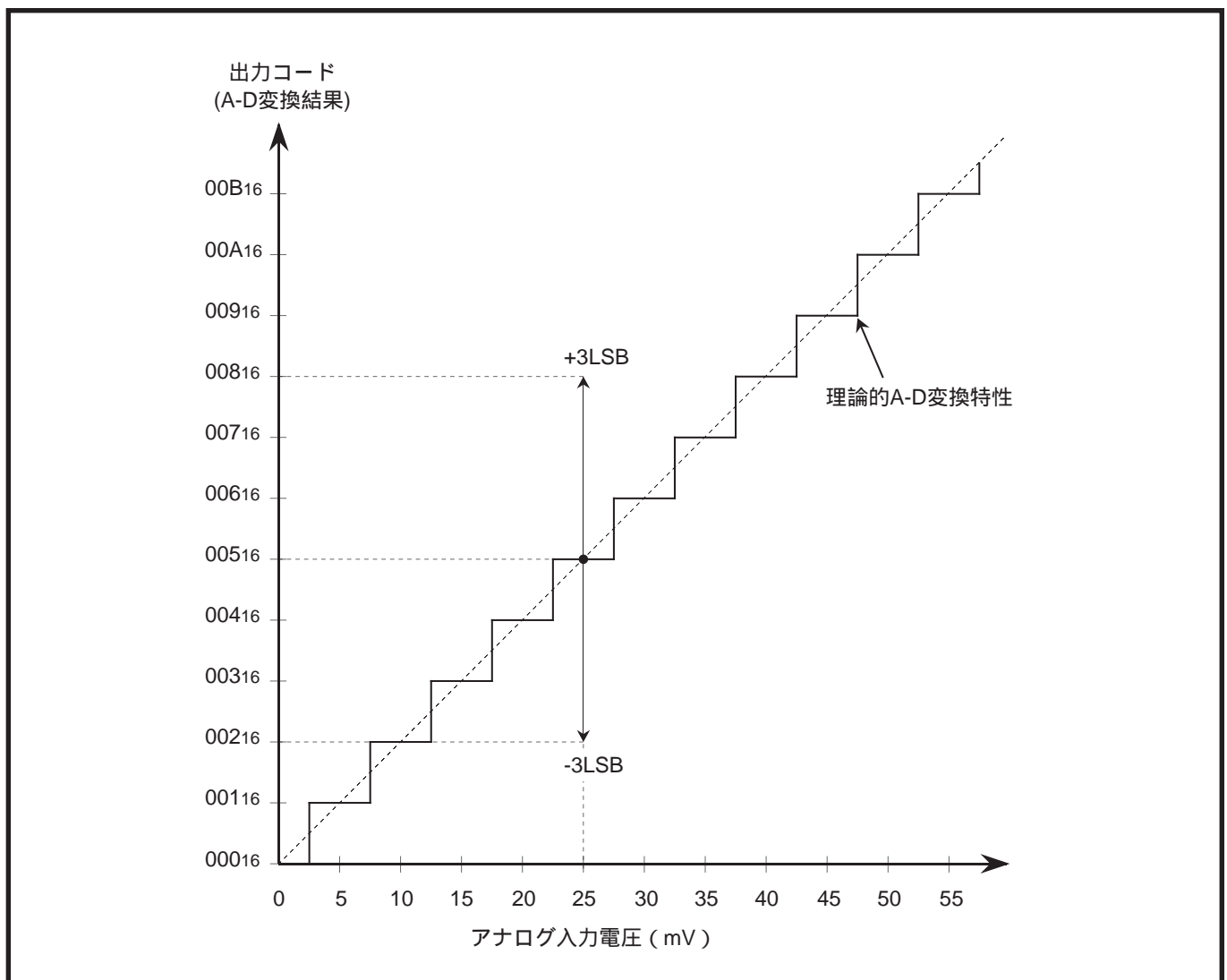


図13.4.1 絶対精度(分解能10ビットモード時)

13.4.2 微分非直線性誤差

微分非直線性誤差は、理論的A-D変換特性における1LSB幅(同じ出力コードを期待できるアナログ入力電圧の幅)と、実測定される1LSB幅(同じコードを出力するアナログ入力電圧の幅)の差を示すものです(図13.4.2参照)。分解能10ビットモード、基準電圧(V_{REF})=5.12Vの場合、理論的A-D変換特性における1LSB幅は5mVですが、微分非直線性誤差 = ± 1 LSBならば、実測定される1LSB幅は0~10mVになります。

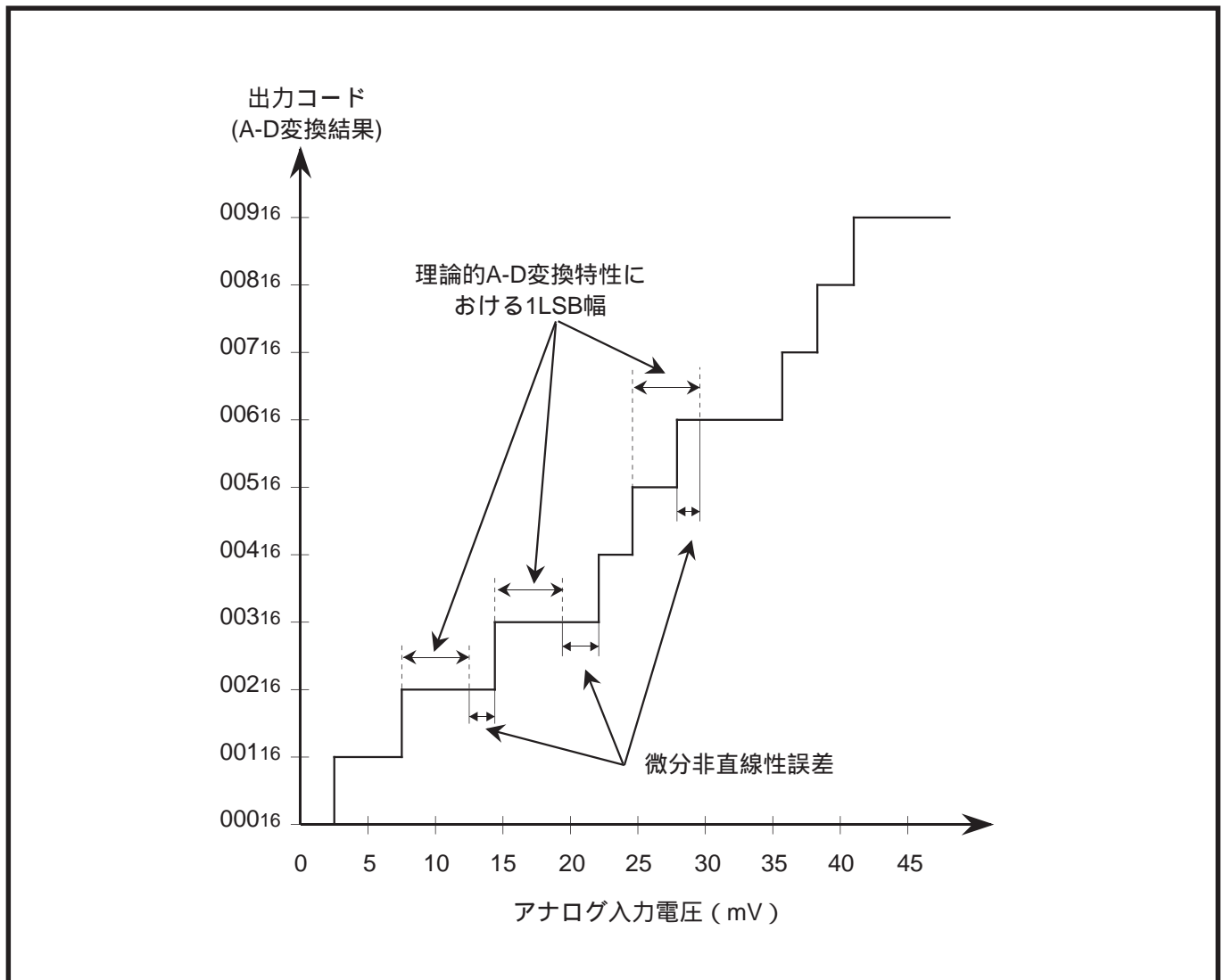


図13.4.2 微分非直線性誤差(分解能10ビットモード時)

13.5 分解能8ビットモード時の比較電圧

分解能選択ビットで8ビットモードを選択した場合は、10ビット逐次比較レジスタの上位8ビットがA-D変換結果となります。このため、8ビットA-D変換器と比較すると、比較電圧が $3V_{REF}/2048$ (表13.5.1の下線部参照)異なり、図13.5.1に示す出力コードの変化点の差が生じます。

表13.5.1 比較電圧

	M37903の分解能8ビットモード時	8ビットA-D変換器
比較電圧 V_{ref}	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^{10}} \times 0.5$	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^8} \times 0.5$

V_{REF} : 基準電圧

n : 逐次比較レジスタの値

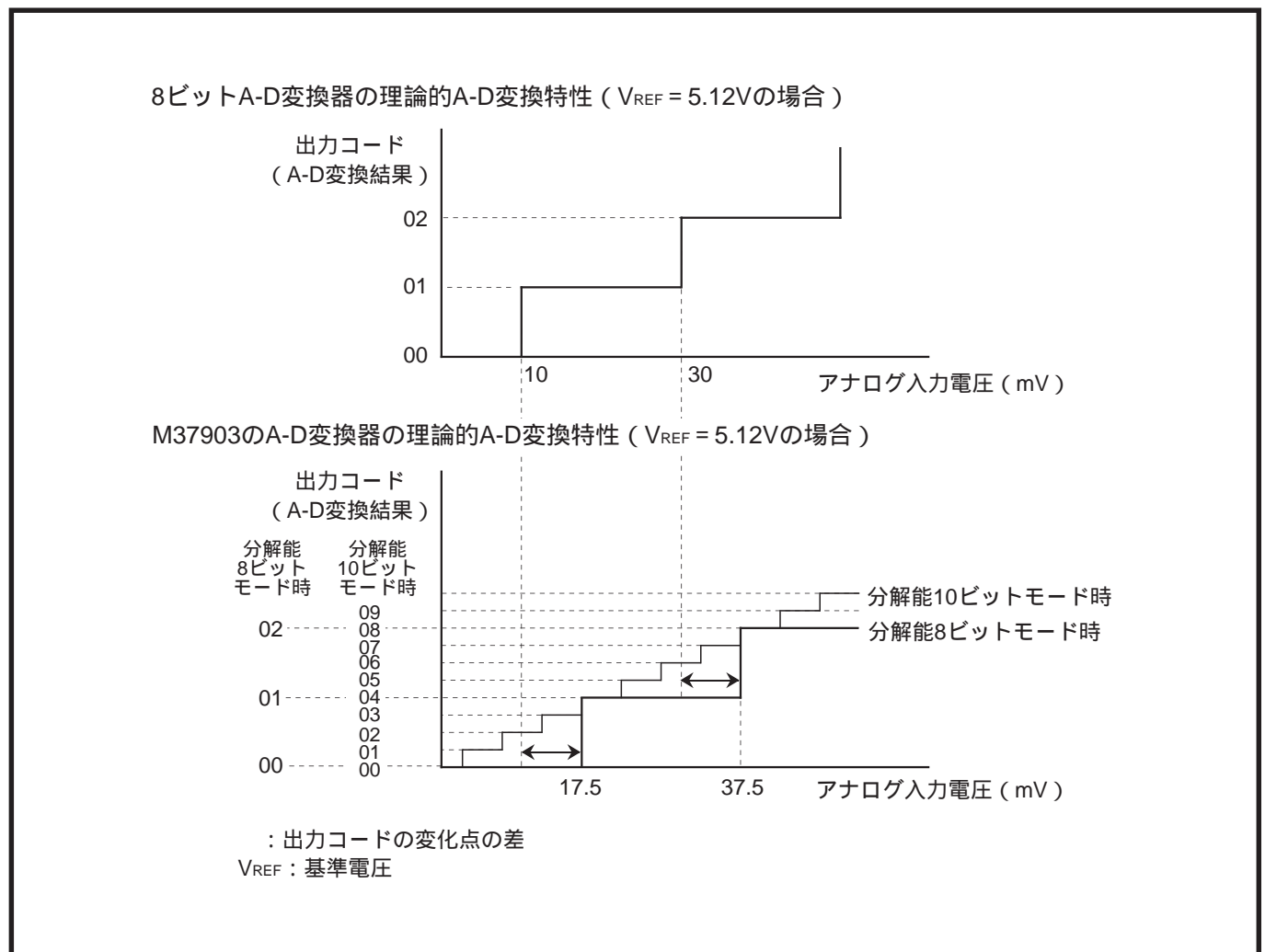


図13.5.1 出力コードの変化点の差

13.6 単発モード

選択された1本のアナログ入力端子からの入力電圧を1回だけA-D変換するモードです。A-D変換終了時にA-D変換割り込み要求が発生します。

13.6.1 単発モード設定方法

図13.6.1に単発モード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

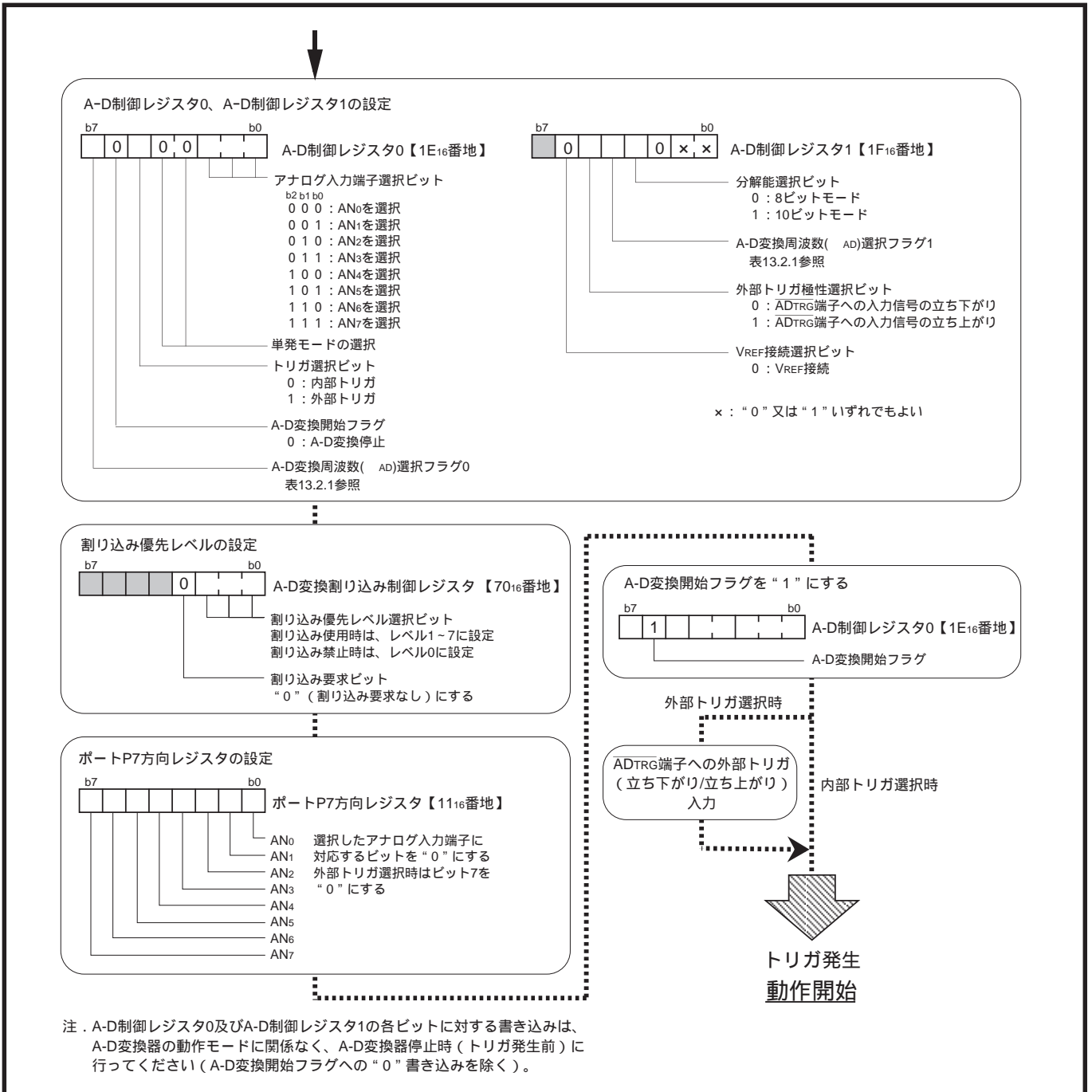


図13.6.1 単発モード関連レジスタの初期設定例

13.6.2 単発モード動作説明

(1)内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。

分解能8ビットモード時は AD の49サイクル後、10ビットモード時は AD の59サイクル後にA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタiに転送されます。

と同時にA-D変換割り込み要求ビットが“1”になります。

A-D変換開始フラグが“0”になり、A-D変換器は停止します。

(2)外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”(外部トリガ極性選択ビットが“0”のとき)又は“L”から“H”(外部トリガ極性選択ビットが“1”のとき)になると、A-D変換器は動作を開始します。

分解能8ビットモード時は AD の49サイクル後、10ビットモード時は AD の59サイクル後にA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタiに転送されます。

と同時にA-D変換割り込み要求ビットが“1”になります。

A-D変換器は停止します。

A-D変換開始フラグは、この後も“1”の状態を保持します。したがって、トリガが発生する($\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”、又は“L”から“H”になる)と、A-D変換器は再度 から動作します。また、A-D変換器動作中にトリガが発生すると、その時点で行っている処理を中止し、再度 から動作します。

図13.6.2に単発モード時の動作を示します。

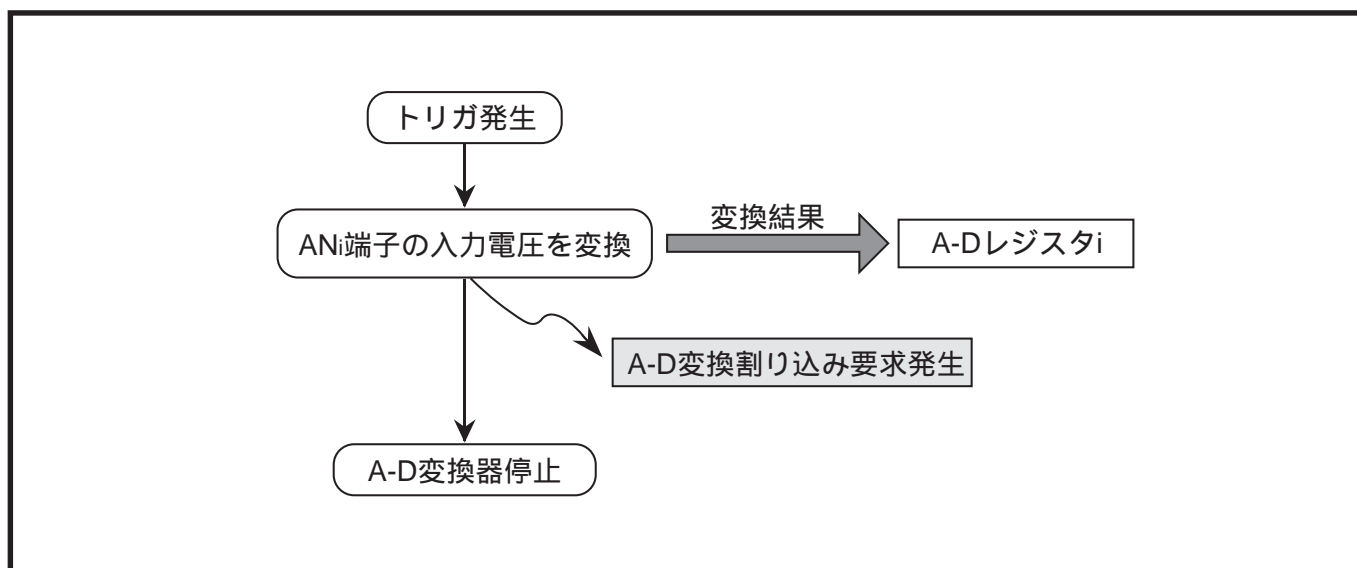


図13.6.2 単発モード時の動作

13.7 繰り返しモード

選択された1本のアナログ入力端子からの入力電圧を繰り返しA-D変換するモードです。このモードではA-D変換割り込み要求は発生しません。また、A-D変換開始フラグ(1E₁₆番地のビット6)は、ソフトウェアで“0”にするまで“1”の状態を保持します。A-D変換開始フラグが“1”の間、A-D変換器は停止せず、動作を繰り返します。

13.7.1 繰り返しモード設定方法

図13.7.1に繰り返しモード関連レジスタの初期設定例を示します。

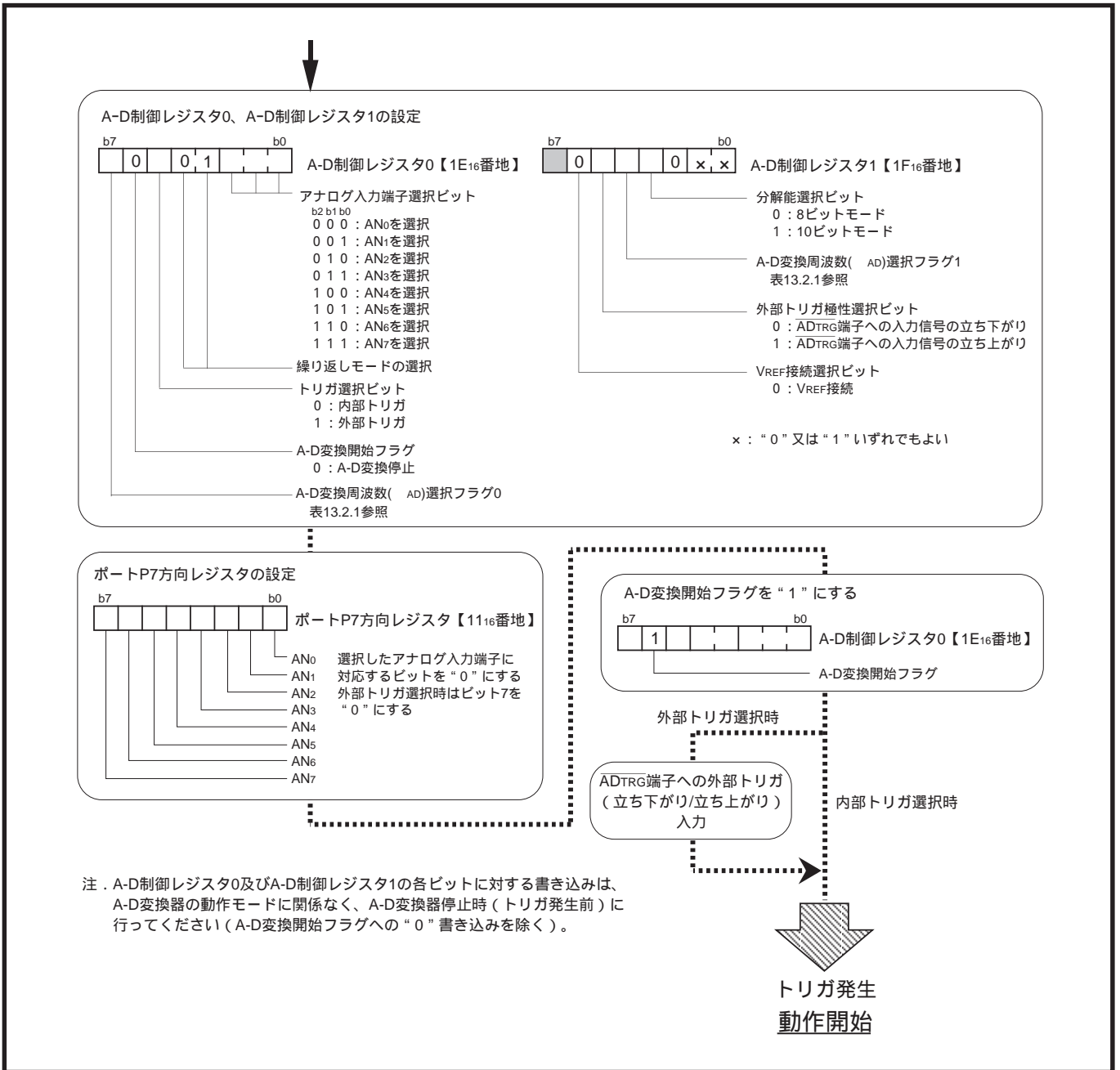


図13.7.1 繰り返しモード関連レジスタの初期設定例

13.7.2 繰り返しモード動作説明

(1)内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。

分解能8ビットモード時は AD の49サイクル後、10ビットモード時は AD の59サイクル後に1回目のA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ*i*に転送されます。

ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタ*i*に転送されます。

(2)外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”(外部トリガ極性選択ビットが“0”のとき) 又は“L”から“H”(外部トリガ極性選択ビットが“1”のとき)になると、A-D変換器は動作を開始します。

分解能8ビットモード時は AD の49サイクル後、10ビットモード時は AD の59サイクル後に1回目のA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ*i*に転送されます。

ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタ*i*に転送されます。

なお、A-D変換器動作中にトリガが発生する($\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”、又は“L”から“H”になる)と、その時点で行っている処理を中止し、再度 から動作します。

図13.7.2に繰り返しモード時の動作を示します。

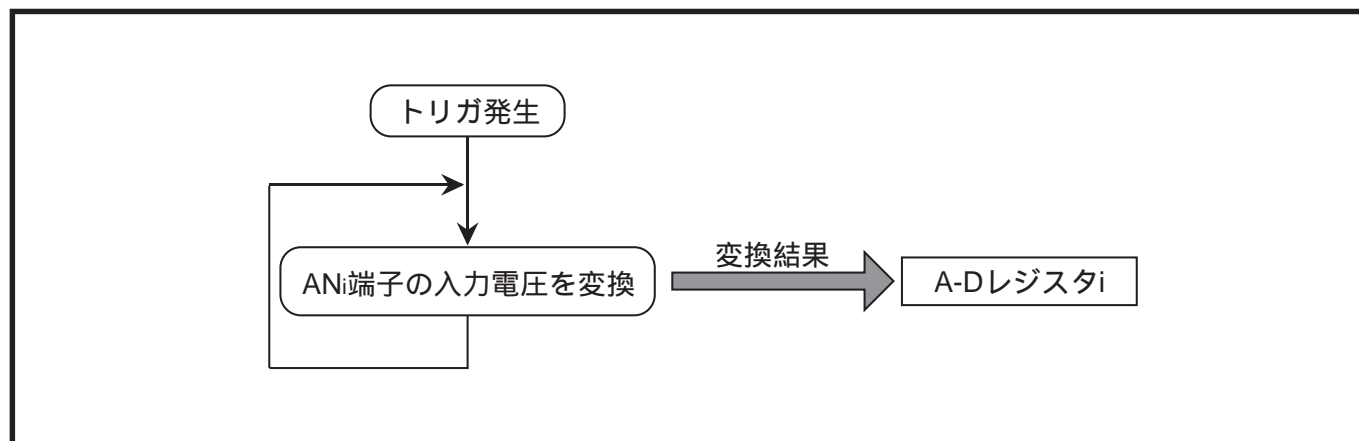


図13.7.2 繰り返しモード時の動作

13.8 単掃引モード

選択された複数のアナログ入力端子からの入力電圧を1回ずつA-D変換するモードです。動作は、AN₀、AN₁、AN₂、...の順に行われます。選択された全アナログ入力端子に対するA-D変換終了時にA-D変換割り込み要求が発生します。

13.8.1 単掃引モード設定方法

図13.8.1に単掃引モード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

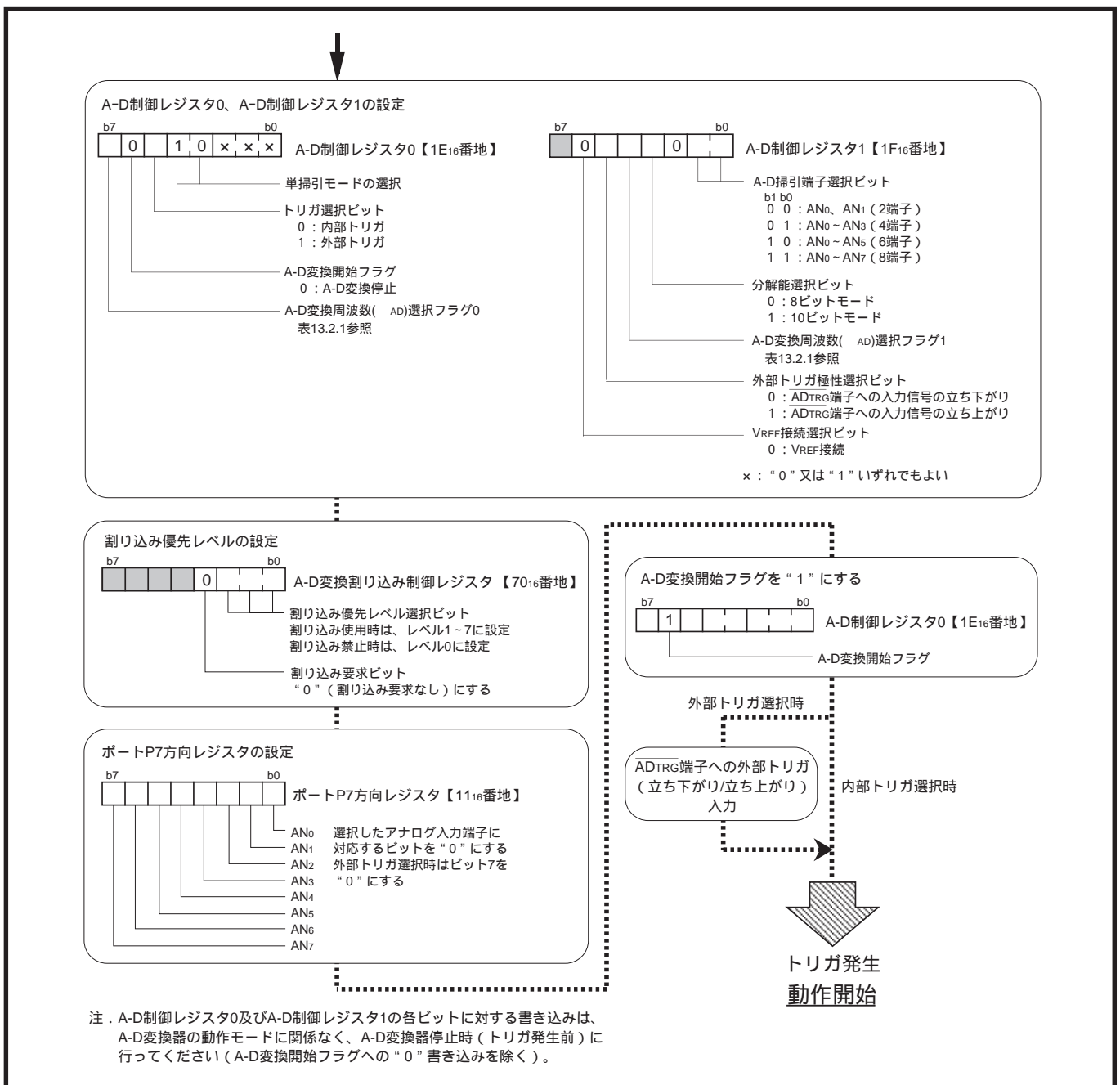


図13.8.1 単掃引モード関連レジスタの初期設定例

13.8.2 単掃引モード動作説明

(1) 内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。分解能8ビットモード時はADの49サイクル後、10ビットモード時はADの59サイクル後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。が終了すると、A-D変換割り込み要求ビットが“1”になります。A-D変換開始フラグが“0”になり、A-D変換器は停止します。

(2) 外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”(外部トリガ極性選択ビットが“0”のとき)又は“L”から“H”(外部トリガ極性選択ビットが“1”のとき)になると、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。分解能8ビットモード時はADの49サイクル後、10ビットモード時はADの59サイクル後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。が終了すると、A-D変換割り込み要求ビットが“1”になります。A-D変換器は停止します。

A-D変換開始フラグは、この後も“1”の状態を保持します。したがって、トリガが発生する($\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”、又は“L”から“H”になる)と、A-D変換器は再度 から動作します。また、A-D変換器動作中にトリガが発生すると、その時点で行っている処理を中止し、再度 から動作します。

図13.8.2に単掃引モード時の動作を示します。

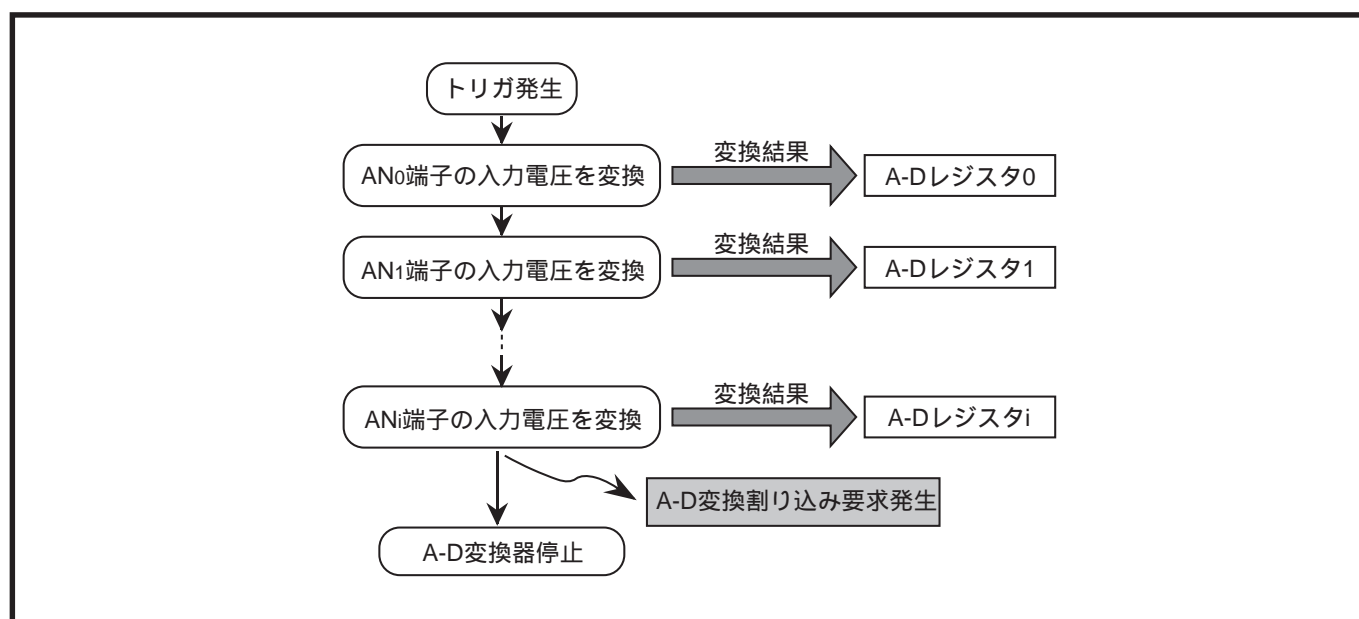


図13.8.2 単掃引モード時の動作

13.9 繰り返し掃引モード

選択された複数のアナログ入力端子からの入力電圧を繰り返しA-D変換するモードです。A-D変換は、AN₀、AN₁、AN₂、...の順に行われます。このモードではA-D変換割り込み要求は発生しません。また、A-D変換開始フラグ(1E₁₆番地のビット6)はソフトウェアで“0”にするまで“1”の状態を保持します。A-D変換開始フラグが“1”の間、A-D変換器は停止せず、動作を繰り返します。

13.9.1 繰り返し掃引モード設定方法

図13.9.1に繰り返し掃引モード関連レジスタの初期設定例を示します。

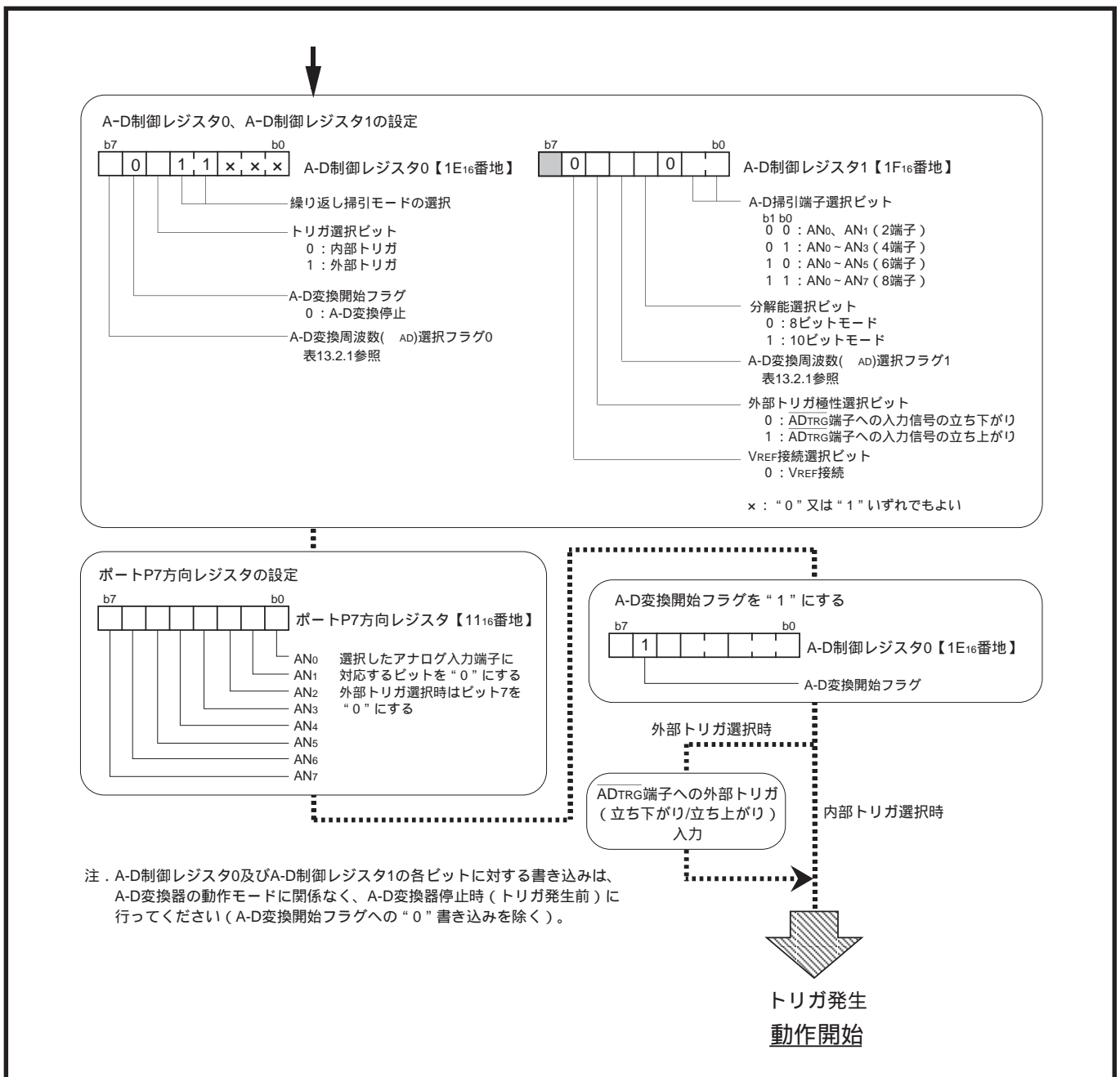


図13.9.1 繰り返し掃引モード関連レジスタの初期設定例

13.9.2 繰り返し掃引モード動作説明

(1) 内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。分解能8ビットモード時はADの49サイクル後、10ビットモード時はADの59サイクル後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。再度、選択されたすべてのアナログ入力端子に対してA-D変換を行います。ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

(2) 外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”(外部トリガ極性選択ビットが“0”のとき)又は“L”から“H”(外部トリガ極性選択ビットが“1”のとき)になると、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。分解能8ビットモード時はADの49サイクル後、10ビットモード時はADの59サイクル後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。再度、選択されたすべてのアナログ入力端子に対してA-D変換を行います。ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

なお、動作中に $\overline{AD_{TRG}}$ 端子のレベルが“H”から“L”、又は“L”から“H”になると、その時点で行っている処理を中止し、再度 から動作します。

図13.9.2に繰り返し掃引モード時の動作を示します。

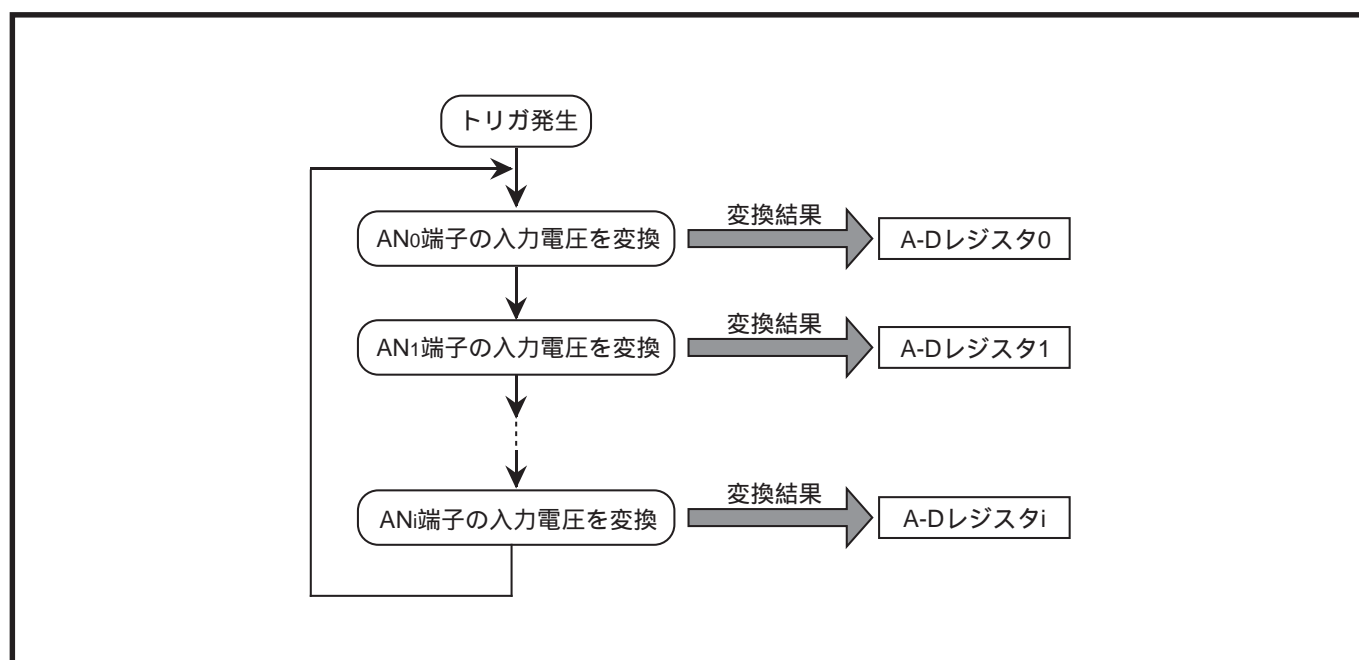


図13.9.2 繰り返し掃引モード時の動作

【A-D変換器使用上の注意】

1. V_{REF} 接続選択ビットは必ず“0”にしてください。
2. 次に示すレジスタ及びビットに対する書き込みは、A-D変換器の動作モードに関係なく、トリガ発生前(A-D変換器停止時)に行ってください。
 - ・A-D制御レジスタ α (ビット6への“0”書き込みを除く)
 - ・A-D制御レジスタ1特に V_{REF} 接続選択ビットを“1”から“0”にする(ラダー抵抗と V_{REF} 端子を接続する)命令を実行したときは、1 μ s以上経過した後にトリガを発生させてください。
3. 外部トリガ選択時、 AN_7/\overline{AD}_{TRG} 端子は比較器と切り離されますので、アナログ入力端子として使用できません。
外部トリガ選択時、アナログ入力端子として AN_7 端子を選択すると、A-D変換器は動作しますが、A-Dレジスタ7には不定値が格納されます。
4. AN_4 端子を使用するときは、 \overline{INT}_3 端子選択ビット(94₁₆番地のビット5)=0にしてください。
 AN_5 端子を使用するときは、 \overline{INT}_4 端子選択ビット(94₁₆番地のビット6)=0にしてください。
 AN_6 端子を使用するときは、D-A₀出力許可ビット(96₁₆番地のビット0)= α (出力禁止)にしてください。
 AN_7/\overline{AD}_{TRG} 端子を使用するときは、 \overline{INT}_2 端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。
5. A-D変換器使用時には「付録7. ノイズに関する参考資料」を併せて参照してください。

Memo

第 14 章

D-A変換器

14.1 概 要

14.2 ブロック説明

14.3 D-A変換方式

14.4 設定方法

14.5 動作説明

【D-A変換器使用上の注意】

14.1 概要

8ビットの分解能を持つR-2R方式のD-A変換器は2回路あり、それぞれ独立して動作します。D-A変換器は、D-Aレジスタ($i=0, 1$)に設定された値をアナログ電圧に変換して、 DA_i 端子から出力します。

14.2 ブロック説明

D-A変換器のブロック図を図14.2.1に示し、D-A変換器関連レジスタについて以下に説明します。

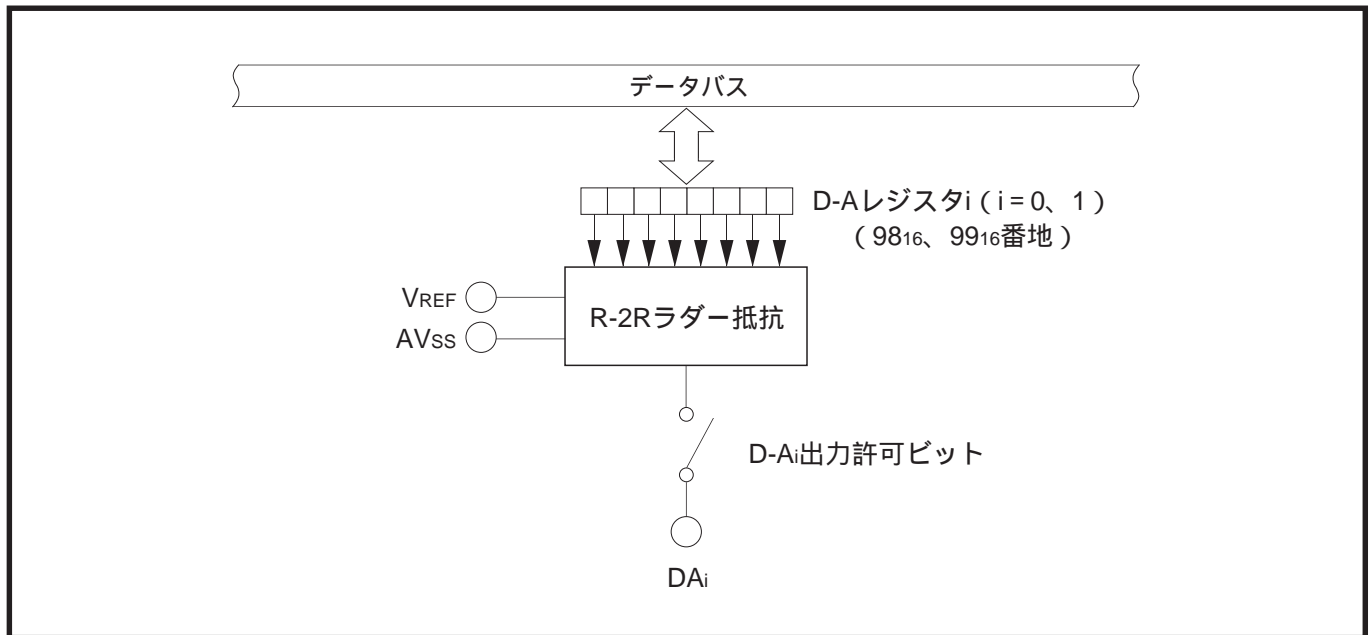


図14.2.1 D-A変換器ブロック図

14.2.1 D-A制御レジスタ

図14.2.2にD-A制御レジスタのレジスタ構成を示します。

DA_i端子($i=0, 1$)はD-A変換器のアナログ電圧出力端子です。DA_i端子はバッファアンプを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファアンプを接続してください。

DA_i端子はアナログ入力端子、及び外部割り込み入力端子と共用です。D-A_i出力許可ビットを“1”(出力許可)にすると、共用となっている他の入出力端子(プログラマブル入出力ポートを含む)としては使用できません。

D-A 制御レジスタ【96 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0	
											0	
ビット	ビット名	機能		リセット時	R/W							
0	D-A ₀ 出力許可ビット	0: 出力禁止 1: 出力許可 (注1,2)		0	RW							
1	D-A ₁ 出力許可ビット	0: 出力禁止 1: 出力許可 (注1,2)		0	RW							
2	“0”に固定してください			0	RW							
7~3	何も配置されていない			不定	-							

注1. DA端子はアナログ入力端子、及び外部割り込み入力端子と共用です。D-A_i出力許可ビットを“1”(出力許可)にすると、共用となっている他の入出力端子(プログラマブル入出力ポートを含む)としては使用できません。
2. D-A変換器を使用しない場合は、必ず“0”にしてください。

図14.2.2 D-A制御レジスタのレジスタ構成

(1) D-A_i出力許可ビット(ビット0、1)

D-A_i出力許可ビットを“1”(出力許可)にすると、ポートP7方向レジスタの対応するビットの内容にかかわらず、DA_i端子からD-A変換されたアナログ電圧が出力されます。

14.2.2 D-Aレジスタ($i=0, 1$)

D-Aレジスタ i に書き込んだ値に対応するアナログ電圧がDA_i端子から出力されます。

図14.2.3にD-Aレジスタ i のレジスタ構成を示します。

D-A レジスタ i ($i = 0, 1$)【98 ₁₆ 、99 ₁₆ 番地】				b7	b0						
ビット	機能			リセット時	R/W						
7~0	00 ₁₆ ~ FF ₁₆ を設定可能 (注) 設定値がD-A変換され、出力される			0	RW						

注. D-A変換器を使用しない場合は、必ず“00₁₆”にしてください。

図14.2.3 D-Aレジスタ i のレジスタ構成

14.3 D-A変換方式

D-A変換器は、D-Aレジスタ i の設定値に従って基準電圧 V_{REF} を分圧し、アナログ電圧として DA_i 端子から出力します。

図14.3.1にD-A変換器等価接続図を示します。

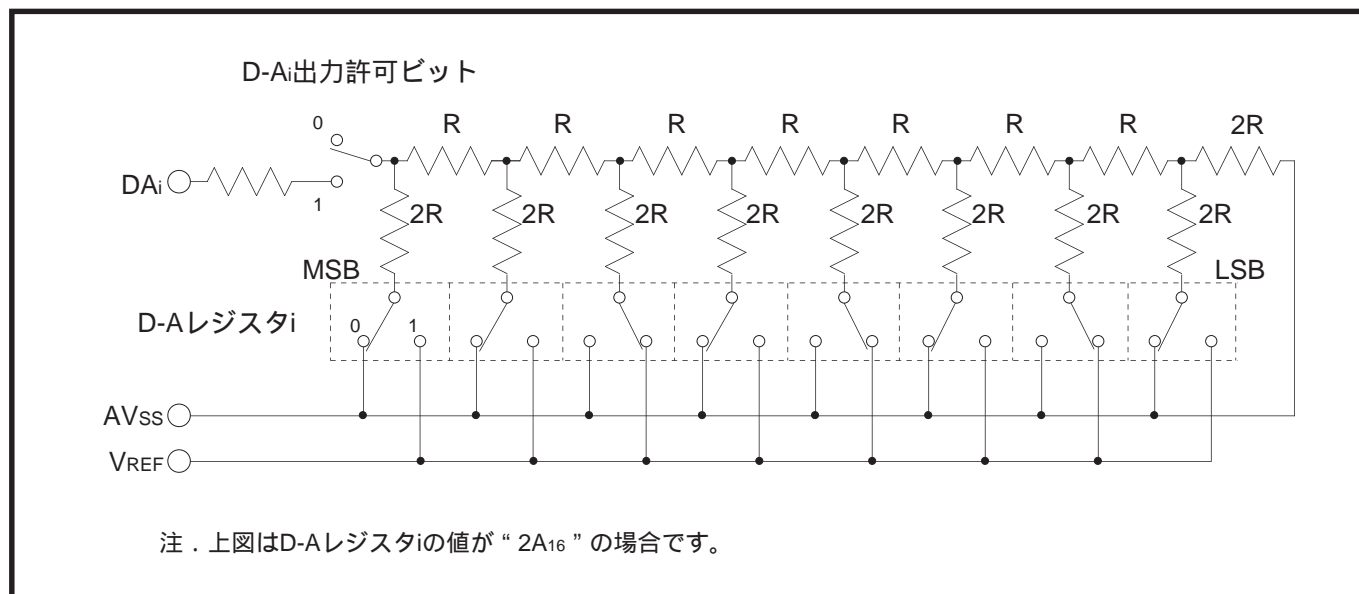


図14.3.1 D-A変換器等価接続図

14.4 設定方法

図14.4.1にD-A変換器関連レジスタの初期設定例を示します。

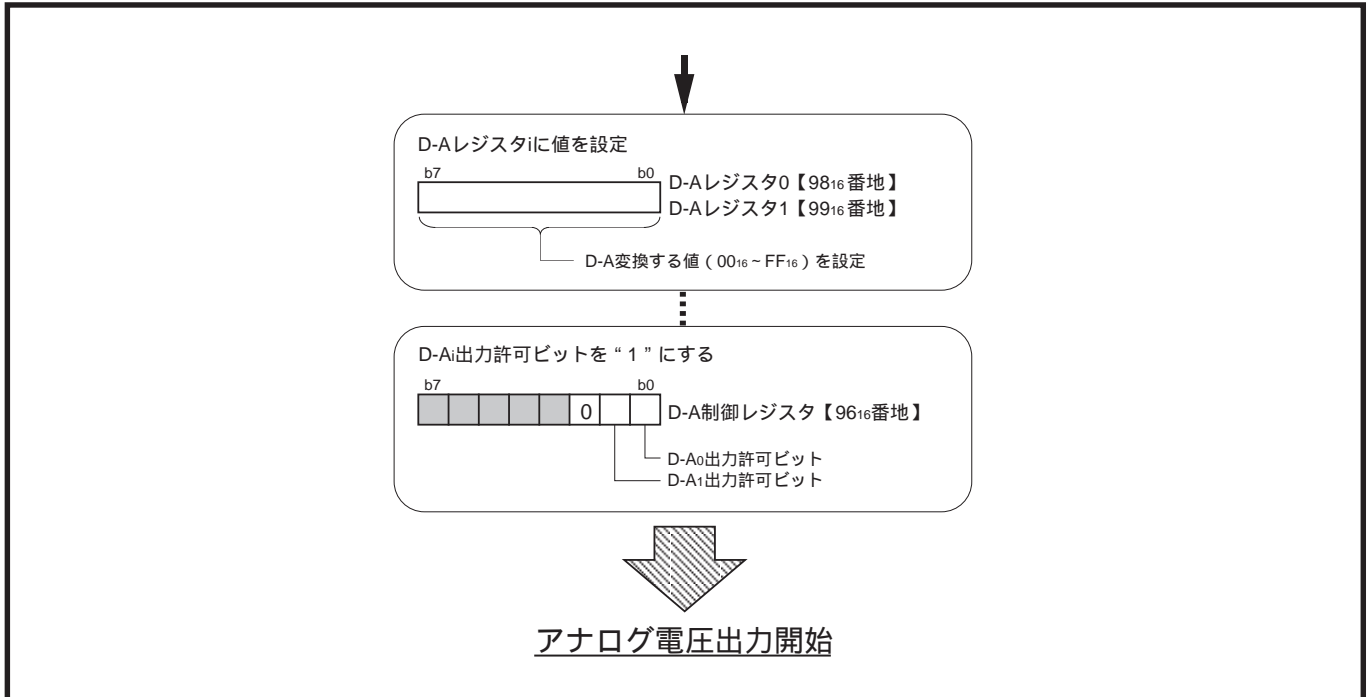


図14.4.1 D-A変換器関連レジスタの初期設定例

14.5 動作説明

D-A_i出力許可ビットを“1”にすると、D-Aレジスタ_iに設定した値がアナログ電圧に変換され、DA_i端子から出力されます。

出力されるアナログ電圧VとD-Aレジスタ_iに設定した値nの関係は、以下の式で表されます。

$$V = V_{REF} \times \frac{n}{256} \quad (n=0 \sim 255) \quad V_{REF} : \text{基準電圧}$$

【D-A変換器使用上の注意】

1. DA_i端子は、アナログ入力端子、及び外部割り込み入力端子と共用です。D-A_i出力許可ビットを“1”(出力許可)にすると、共用となっている他の入出力端子(プログラマブル入出力ポートを含む)としては使用できません。
2. D-A変換器を使用しない場合は、必ず次のようにしてください。
 - ・D-A($i=0, 1$)出力許可ビット(96₁₆番地のビット0、1)を“0”にしてください。
 - ・D-Aレジスタ(98₁₆、99₁₆番地)を“00₁₆”にしてください。

第 15 章

監視タイマ

15.1 ブロック説明

15.2 動作説明

【監視タイマ使用上の注意】

15

監視タイマは以下の機能を持ちます。

- プログラムの暴走を検知する
- ストップモード(「16.3 ストップモード」参照)解除時、発振開始から一定時間を計測する

15.1 ブロック説明

監視タイマのブロック図を図15.1.1に示し、監視タイマ関連レジスタについて以下に説明します。

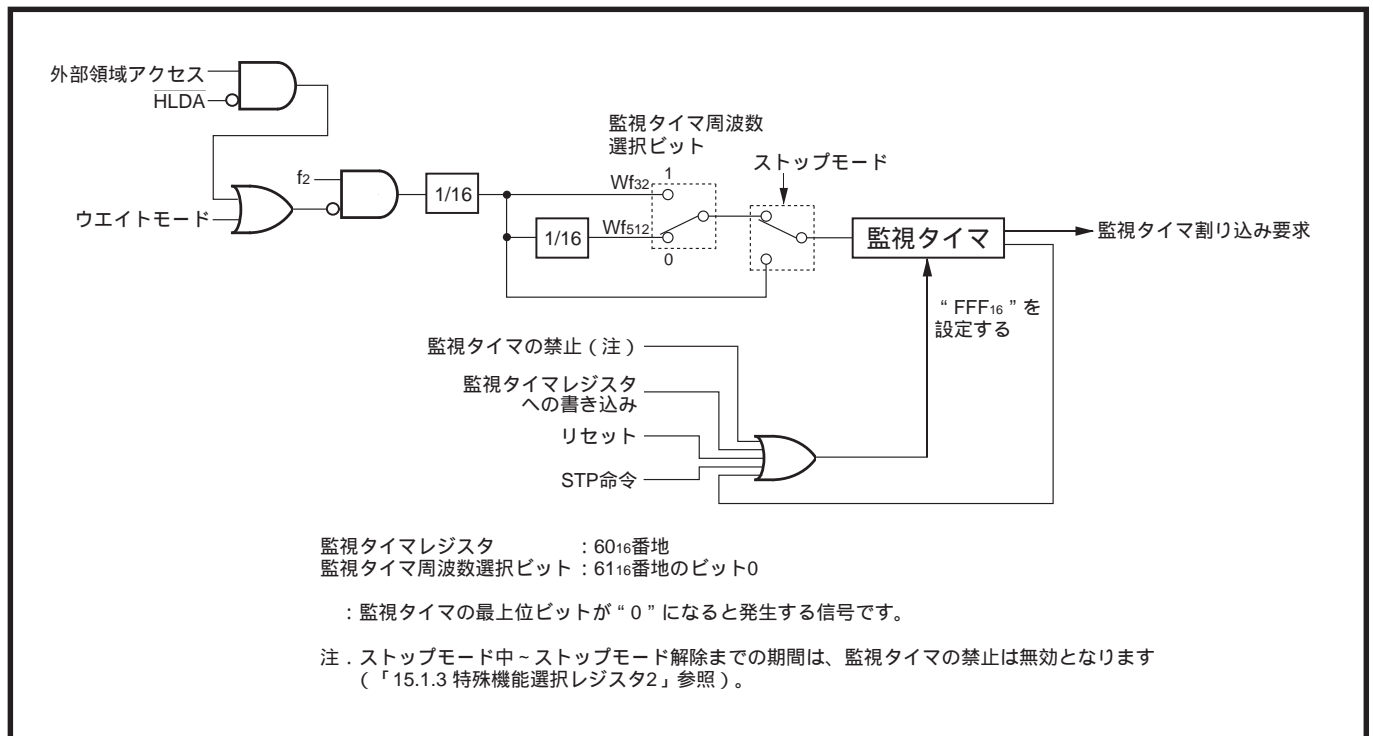


図15.1.1 監視タイマブロック図

15.1.1 監視タイマ

監視タイマは、監視タイマ周波数選択ビット(61₁₆番地のビット0)によって選択されたカウントソースをダウンカウントする、12ビットのカウンタです。監視タイマには、以下に示す場合に自動的に“FFF₁₆”が設定されます。監視タイマに任意の値を設定することはできません。

監視タイマレジスタに書き込みを行ったとき(図15.1.2参照)
 監視タイマの最上位ビットが“0”になったとき
 STP命令(「16.3 ストップモード」参照)実行時
 リセット時

監視タイマレジスタ【60 ₁₆ 番地】		b7		b0	
ビット	機能	リセット時	R/W		
7~0	監視タイマの初期化 ダミーデータを書き込むと、監視タイマの値が“FFF ₁₆ ”に初期化される (ダミーデータ：00 ₁₆ ~FF ₁₆)	不定	-		

図15.1.2 監視タイマレジスタのレジスタ構成

15.1.2 監視タイマ周波数選択レジスタ

図15.1.3に監視タイマ周波数選択レジスタのレジスタ構成を示します。

監視タイマ周波数選択レジスタ【61 ₁₆ 番地】		b7		b6		b5		b4		b3		b2		b1		b0	
ビット	ビット名	機能		リセット時	R/W												
0	監視タイマ周波数選択ビット	0 : Wf ₅₁₂ 1 : Wf ₃₂		0	RW												
5~1	何も配置されていない			不定	-												
6	“0”に固定してください			0	RW												
7				0	RW												

図15.1.3 監視タイマ周波数選択レジスタのレジスタ構成

(1) 監視タイマ周波数選択ビット(ビット0)

監視タイマのカウントソースを選択するためのビットです。

15.1.3 特殊機能選択レジスタ2

監視タイマを使用しない場合、このレジスタで監視タイマを禁止できます。図15.1.4に特殊機能選択レジスタ2のレジスタ構成を示します。

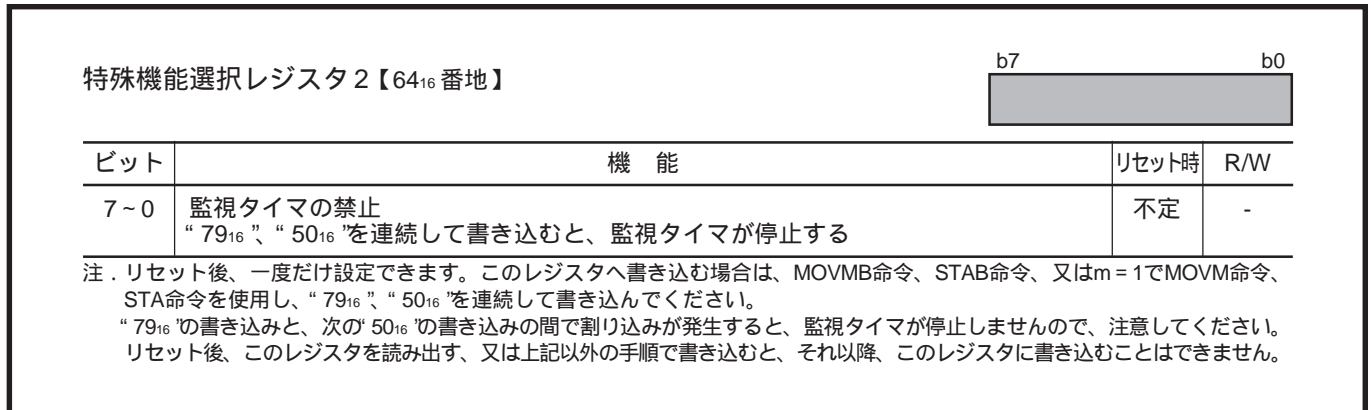


図15.1.4 特殊機能選択レジスタ2のレジスタ構成

なお、このレジスタで監視タイマを禁止していても、クロック外部入力選択ビット(62₁₆番地のビット1)=0の場合は、ストップモード解除時だけ監視タイマが動作します(「16.3 ストップモード」参照)。

15.2 動作説明

監視タイマの動作について、以下に説明します。

15.2.1 基本動作

監視タイマは“FFF₁₆”からダウンカウントを始めます。
 監視タイマの最上位ビットが“0”になる(2048回カウントする)と、監視タイマ割り込み要求が発生します(表15.2.1参照)。
 の割り込み要求発生時、監視タイマに“FFF₁₆”が設定されます。

表15.2.1 監視タイマ割り込み要求の発生間隔

監視タイマ周波数 選択ビット	f (f _{sys})=26MHz	
	カウントソース	発生間隔(注)
0	Wf ₅₁₂	40.33ms
1	Wf ₃₂	2.52ms

注：周辺装置用クロック選択ビット1、(BC₁₆番地のビット7、6) = “00₂”の場合です。

監視タイマ割り込みはノンマスカブル割り込みです。監視タイマ割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)は“111₂”になります。

監視タイマレジスタ(60₁₆番地)には、監視タイマの最上位ビットが“0”になる前に書き込みを行ってください。プログラムの暴走によって、監視タイマレジスタへの書き込みが実行されず、監視タイマの最上位ビットが“0”になった場合、監視タイマ割り込み要求が発生し、プログラムの暴走を検知できます。

プログラムの暴走を検知したとき、マイクロコンピュータをリセットする場合は、監視タイマ割り込みルーチン内で、ソフトウェアリセットビット(5E₁₆番地のビット6)に“1”を書き込んでください。

図15.2.1に監視タイマによるプログラムの暴走検知例を示します。

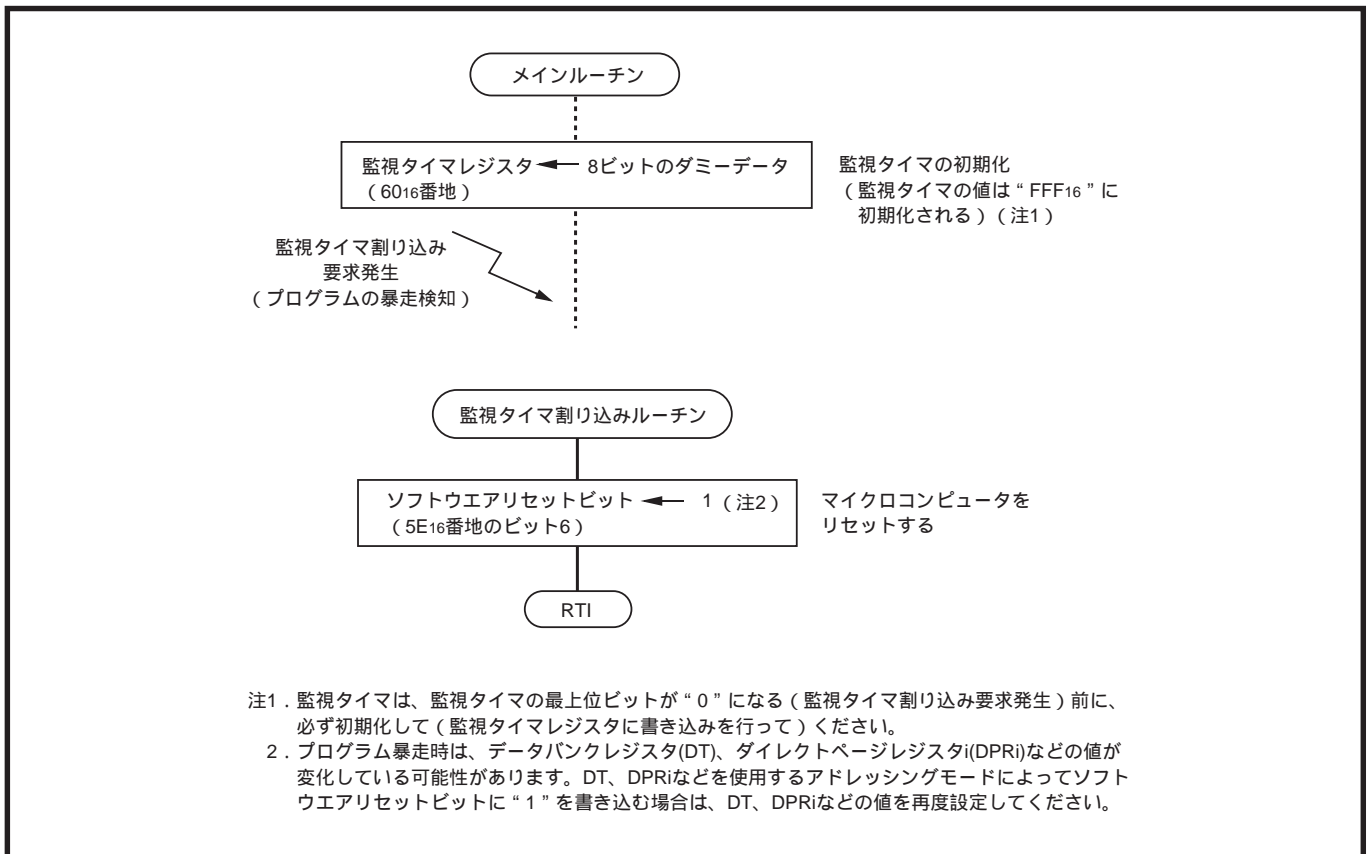


図15.2.1 監視タイマによるプログラムの暴走検知例

15.2.2 停止期間

次に示す期間、監視タイマは停止します。

ホールド状態で外部領域アクセス発生時(「3.4 ホールド機能」参照)
ウェイトモード時(「16.4 ウェイトモード」参照)
ストップモード時(「16.3 ストップモード」参照)

、の状態が解除されると、監視タイマは停止前の状態からカウントを再開します。の状態が解除されたときの監視タイマの動作は、「15.2.3 ストップモード時の動作」を参照してください。

15.2.3 ストップモード時の動作

STP命令実行時、監視タイマには“FFF₁₆”が設定され、ストップモード中、監視タイマは停止します。ストップモード解除直後は、監視タイマは以下のように動作します。

(1)ハードウェアリセットによってストップモードを解除した場合

解除直後から CPU、BIUの供給が開始され、マイクロコンピュータがリセット後の動作(「第4章 リセット」参照)を行います。監視タイマ周波数選択ビット(61₁₆番地のビット0)は“0”になり、監視タイマは“FFF₁₆”からWf₅₁₂をカウントします。

(2)割り込み要求の発生によってストップモードを解除した場合(監視タイマを使用する場合(注))

解除直後、監視タイマ周波数選択ビットの内容にかかわらず、監視タイマは“FFF₁₆”からWf₃₂のカウントを始めます。監視タイマの最上位ビットが“0”になると、CPU、BIUの供給が開始されます(このとき、監視タイマ割り込み要求は発生しません)。

CPU、BIUの供給が開始されると、マイクロコンピュータがストップモードを解除するために使用した割り込みの、割り込みルーチンを実行します。監視タイマは、“FFF₁₆”から、STP命令実行前にカウントしていたカウントソース(Wf₃₂、又はWf₅₁₂)のカウントを再開します。

注．ストップモード解除時、監視タイマを使用する、しないの設定については、「16.3 ストップモード」を参照してください。

(3)割り込み要求の発生によってストップモードを解除した場合(監視タイマを使用しない場合(注))

fX_{IN}の19サイクル後に CPU、BIUの供給が開始され、マイクロコンピュータがストップモードを解除するために使用した割り込みの、割り込みルーチンを実行します。監視タイマは“FFF₁₆”から、STP命令実行前にカウントしていたクロック(Wf₃₂、又はWf₅₁₂)のカウントを再開します。

注．ストップモード解除時、監視タイマを使用する、しないの設定については、「16.3 ストップモード」を参照してください。

【監視タイマ使用上の注意】

1. 16ビットデータ長で60₁₆番地にダミーデータを書き込むと、61₁₆番地にも同時に書き込みが行われます。このとき、監視タイマ周波数選択ビット(61₁₆番地のビット0)の内容を変更しない場合は、設定されている値と同じ値を書き込んでください。
2. STP命令を実行すると監視タイマは停止します。プログラムが暴走し、偶然STP命令のコード(31₁₆、30₁₆)を実行してしまうと、監視タイマが停止しますので、監視タイマをプログラムの暴走検知に使用するシステムでは、STP命令無効選択ビット(62₁₆番地のビット0)=1(STP命令無効)にすることをお奨めします(「16.3 ストップモード」参照)。

Memo

第 16 章

ストップモード、 ウェイトモード

- 16.1 概 要
- 16.2 ブロック説明
- 16.3 ストップモード
- 16.4 ウェイトモード

16.1 概要

ストップモード及びウエイトモードは、中央演算処理装置(CPU)を動作させる必要がないとき、発振、又は内部クロックを停止させて消費電力を低減する機能です。STP命令を実行すると、マイクロコンピュータはストップモードになります。WIT命令を実行すると、マイクロコンピュータはウエイトモードになります。

ストップモード及びウエイトモードは、割り込み要求発生、又はハードウェアリセットによって解除されます。表16.1.1にストップモード及びウエイトモード時の状態、及び解除後の動作を示します。

命令については、「7900シリーズソフトウェアマニュアル」を参照してください。

表16.1.1 ストップモード及びウエイトモード時の状態、及び解除後の動作

項目	ストップモード		ウエイトモード		
	解除時、監視タイマを使用する (図16.3.1参照)	解除時、監視タイマを使用しない (図16.3.1参照)	システムクロック動作 (63 ₁₆ 番地のビット3=0)	システムクロック停止 (63 ₁₆ 番地のビット3=1)	
発振	停止		動作		
CPU、BIU	停止		停止		
f _{sys} 、クロック ₁ 、 f ₁ ~ f ₄₀₉₆	停止		動作	停止	
Wf ₃₂ 、Wf ₅₁₂	停止		停止		
状態 内蔵周辺装置 端子	タイマA	イベントカウンタモードでだけ動作できる		動作	
	タイマB			イベントカウンタモードでだけ動作できる	
	シリアルI/O	外部クロック選択時だけ動作できる		動作	外部クロック選択時だけ動作できる
	A-D変換器	停止		動作	停止
	D-A変換器	停止		動作	停止
	監視タイマ	停止		停止	
	A ₀ ~ A ₂₃	STP命令実行時の状態を保持(注)		WIT命令実行時の状態を保持(注)	
		D ₀ ~ D ₁₅		フローティング(注)	
		RD、BLW、BHW、HLD _A 、CS ₀ ~ CS ₃		“H”レベルを出力(注)	
		ALE		“L”レベルを出力(注)	
1		クロック ₁ を出力(注)	“L”レベルを出力(注)		
上記以外		STP命令実行時の状態を保持			
WIT命令実行時の状態を保持					
解除後の動作 割り込み要求発生による解除時	監視タイマで一定時間計測後、CPU、BIUを供給	解除直後 f _{XIN} x 19サイクル後から、CPU、BIUを供給	解除直後から、CPU、BIUを供給		
ハードウェアリセットによる解除時	ハードウェアリセット後の動作		ハードウェアリセット後の動作		

注．外部バス、及びバス制御信号の入出力端子については、ソフトウェアでプログラマブル入出力ポートに切り替えることができます(「17.2 ストップモード、ウエイトモード時のバス固定」参照)。

16.2 ブロック説明

STP命令、WIT命令とクロック発生回路を図16.2.1に示し、ストップモード及びウエイトモード関連レジスタについて以下に説明します。

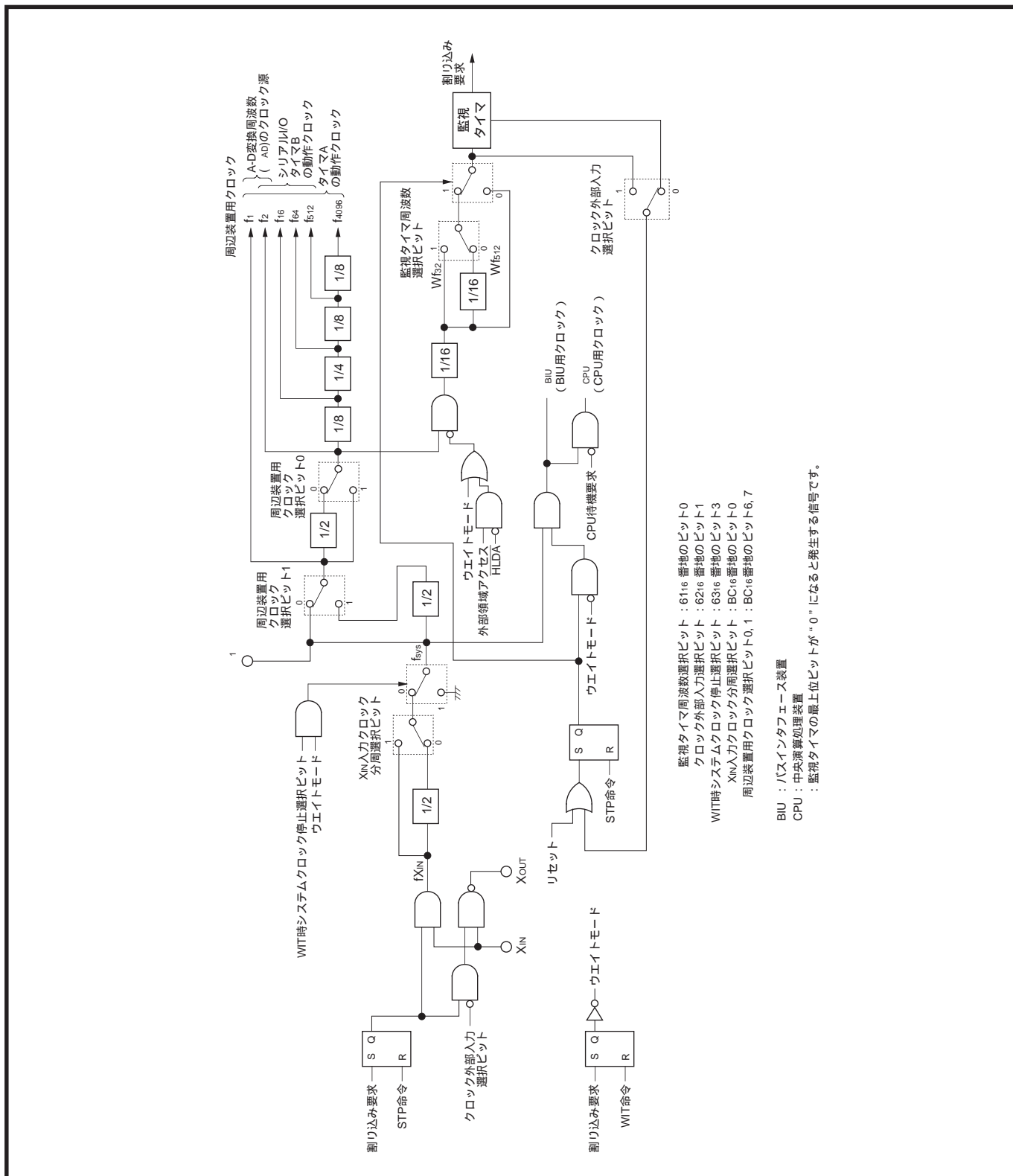


図16.2.1 STP命令、WIT命令とクロック発生回路

16.2.1 特殊機能選択レジスタ0

図16.2.2に特殊機能選択レジスタ0のレジスタ構成を、図16.2.3に特殊機能選択レジスタ0への書き込み手順を示します。

特殊機能選択レジスタ0【62 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	0	0	0		
ビット	ビット名	機能	リセット時	R/W							
0	STP命令無効選択ビット	0 : STP命令有効 1 : STP命令無効	0	RW (注1)							
1	クロック外部入力選択ビット	0 : 発振回路動作(発振子を接続) ストップモード解除時、監視タイマを使用する 1 : 発振回路停止(外部で生成されたクロックを入力) ストップモード解除時、監視タイマを使用しない	0	RW (注1、2)							
7~2	"0"に固定してください		0	RW							

注1. これらのビットに書き込むときは、このレジスタに"55₁₆"を書き込んだ後、続けて各ビットに対して"0"又は"1"を書き込んでください("55₁₆"の書き込みでは、ビットの状態は変化しません)。また、このレジスタへの書き込みには、MOVMB命令、STAB命令、又はm=1でMOVM命令、STA命令を使用してください。
"55₁₆"の書き込みと、次の"0"又は"1"の書き込みの間で割り込みが発生すると、"0"又は"1"の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、"0"又は"1"を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。
2. 外部で生成されたクロックをX_N端子に入力する場合は、このビットを"1"にしてください。

図16.2.2 特殊機能選択レジスタ0のレジスタ構成

(1) STP命令無効選択ビット(ビット0)

このビットを"1"にすると、STP命令が無効になります。ストップモードを使用する場合は、このビットを"0"にしてください。

このビットに書き込むときは、62₁₆番地に"55₁₆"を書き込んだ後、続けて"0"又は"1"を書き込んでください(図16.2.3参照)。

また、"55₁₆"の書き込みと、次の"0"又は"1"の書き込みの間で割り込みが発生すると、"0"又は"1"の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、"0"又は"1"を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

(2)クロック外部入力選択ビット(ビット1)

このビットを“1”にすると、X_{IN}端子とX_{OUT}端子の間の発振用ドライバ回路が停止し、X_{OUT}端子の出力レベルが“H”に固定されます(「17.4 発振回路停止」参照)。また、割り込み要求発生によるストップモード解除時、監視タイマを使用しません。

発振子を接続する場合は“0”に、外部で生成されたクロックをX_{IN}端子に入力する場合は“1”にしてください。

このビットに書き込むときは、62₁₆番地に“55₁₆”を書き込んだ後、続けて“0”又は“1”を書き込んでください(図16.2.3参照)。

また、“55₁₆”の書き込みと、次の“0”又は“1”の書き込みの間で割り込みが発生すると、“0”又は“1”の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、“0”又は“1”を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

なお、特殊機能選択レジスタ2(64₁₆番地)で監視タイマを禁止していても、このビットが“0”の場合は、ストップモード解除時だけ監視タイマが動作します(「16.3 ストップモード」参照)。

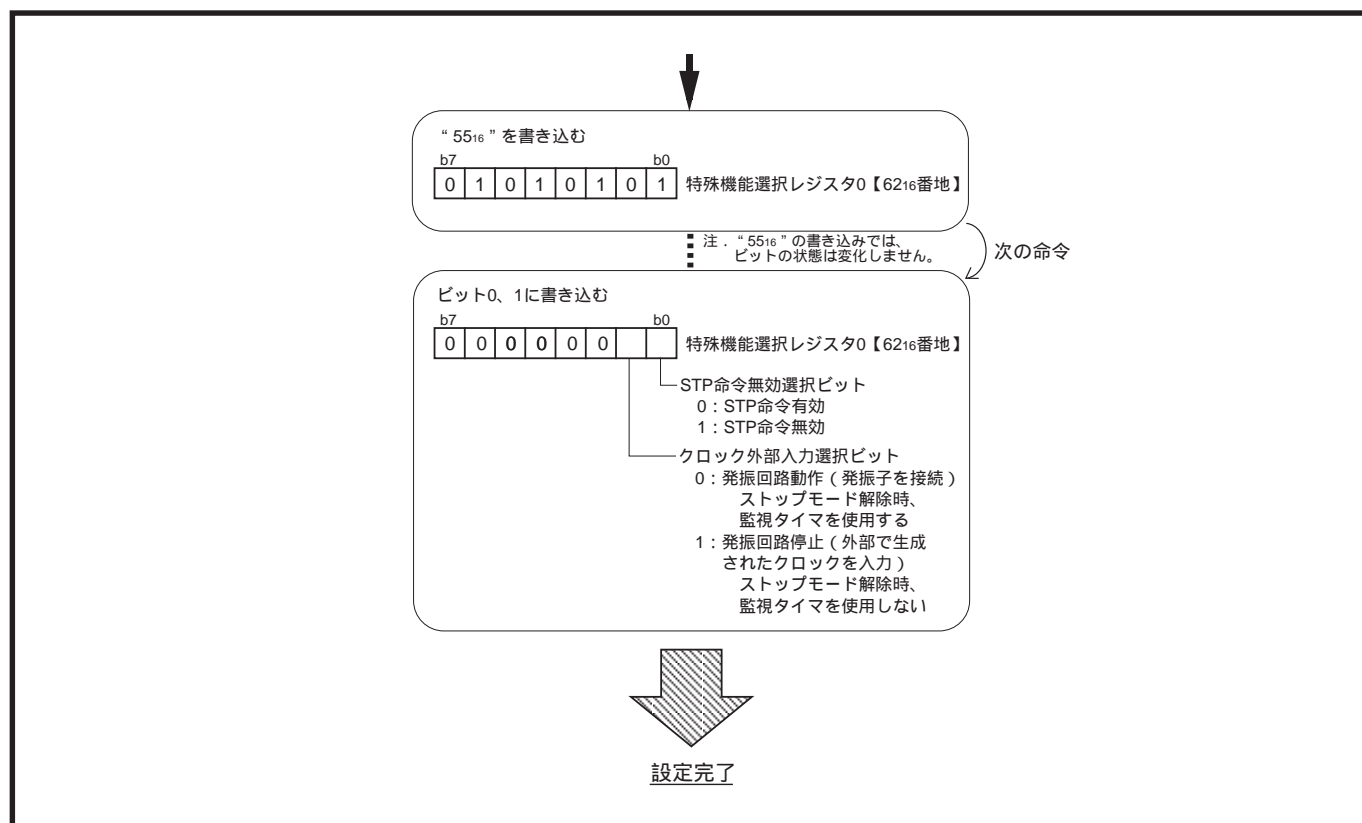


図16.2.3 特殊機能選択レジスタ0への書き込み手順

16.2.2 特殊機能選択レジスタ1

図16.2.4に特殊機能選択レジスタ1のレジスタ構成を示します。

特殊機能選択レジスタ1【63 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
				0				
ビット	ビット名	機能	リセット時	R/W				
0	STP命令実行ステータスフラグ	0: 通常動作中 1: STP命令実行中	(注1)	RW (注2)				
1	WIT命令実行ステータスフラグ	0: 通常動作中 1: WIT命令実行中	(注1)	RW (注2)				
2	スタンバイ状態選択ビット	0: 外部バス 1: プログラマブル入出力ポート	0	RW				
3	WIT時システムクロック停止 選択ビット (注3)	0: ウェイトモード時、f _{sys} 動作 1: ウェイトモード時、f _{sys} 停止	0	RW				
4	アドレス出力選択ビット	0: 内部領域アクセス時、外部領域アクセス時共 アドレス出力が変化 1: 外部領域アクセス時のみアドレス出力が変化	0	RW				
5	読み出し時の値は“0”		0	-				
6	“0”に固定してください		0	RW				
7	読み出し時の値は“0”		0	-				

注1. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。

2. “1”を書き込んでもビットの状態は変化しません。

3. “1”にする場合は、WIT命令の直前で“1”を設定してください。また、ウェイトモード解除後、直ちに“0”にしてください。

図16.2.4 特殊機能選択レジスタ1のレジスタ構成

(1) STP命令実行ステータスフラグ(ビット0)

マイクロコンピュータがストップモードになると、このビットは“1”になり、STP命令が実行されたことを示します。

このビットは、パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。したがって、システムをリセットするためにパワーオンリセット又はハードウェアリセットを行ったか、ストップモードの解除にハードウェアリセットを使用したかを、このフラグで判定できます。

このビットは“0”を書き込むと“0”になりますが、“1”を書き込んでも変化しません。

このビットはストップモード解除時にソフトウェアで“0”にしてください。

(2) WIT命令実行ステータスフラグ(ビット1)

マイクロコンピュータがウェイトモードになると、このビットは“1”になり、WIT命令が実行されたことを示します。

このビットは、パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。したがって、システムをリセットするためにパワーオンリセット又はハードウェアリセットを行ったか、ウェイトモードの解除にハードウェアリセットを使用したかを、このフラグで判定できます。

このビットは“0”を書き込むと“0”になりますが、“1”を書き込んでも変化しません。

このビットはウェイトモード解除時にソフトウェアで“0”にしてください。

16.2.3 監視タイマ周波数選択レジスタ

図16.2.5に監視タイマ周波数選択レジスタのレジスタ構成を示します。

監視タイマ周波数選択レジスタ【61 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0							
		0	0						
ビット	ビット名	機能			リセット時	R/W			
0	監視タイマ周波数選択ビット	0 : Wf ₅₁₂ 1 : Wf ₃₂			0	RW			
5~1	何も配置されていない			不定	-				
6	"0"に固定してください			0	RW				
7				0	RW				

図16.2.5 監視タイマ周波数選択レジスタのレジスタ構成

(1)監視タイマ周波数選択ビット(ビット0)

監視タイマのカウントソースを選択するためのビットです。

16.3 ストップモード

STP命令を実行すると、発振、及びPLL周波数逓倍回路が停止します。この状態をストップモードと呼びます(表16.1.1参照)。

ストップモードでは、発振が停止しても、 V_{CC} (電源電圧)がRAM保持電圧(V_{RAM})以上であれば、内部RAMの内容を保持できます。また、CPU、及び $f_1 \sim f_{4096}$ 、 Wf_{32} 、 Wf_{512} を使用するすべての内蔵周辺装置が停止するため、消費電力が低減します。さらに、ストップモード時、外部バス及びバス制御信号の入出力端子の状態を任意に設定できるため、システム全体の消費電力も低減できます(「17.2 ストップモード、ウェイトモード時のバス固定」参照)。

ストップモードは割り込み要求発生、又はハードウェアリセットによって解除されます。割り込み要求によって解除する場合は、監視タイマを使用して発振安定時間を計測した後、命令を実行するか、監視タイマを使用せず、解除後直ちに命令を実行するかをソフトウェアで選択できます。

以下にストップモード解除動作について説明します。また、図16.3.1に割り込み要求発生によるストップモード解除シーケンスを示します。

16.3.1 割り込み要求発生時の解除動作(監視タイマを使用する場合)

ストップモード解除時、監視タイマで一定時間を計測した後、命令を実行します(図16.3.1参照)。

割り込み要求が発生すると、発振子が発振を開始します。同時に、 f_{sys} 、クロック $_1$ 、 $f_1 \sim f_{4096}$ 、 Wf_{32} 、 Wf_{512} の供給が開始されます。

発振開始によって監視タイマが動作を開始します。監視タイマ周波数選択ビット(61番地のビット0)の内容にかかわらず、監視タイマは“FFF₁₆”から Wf_{32} をカウントします。

監視タイマの最上位ビットが“0”になると、 CPU 、 BIU の供給が開始されます(このとき、監視タイマ割り込み要求は発生しません)。また、監視タイマのカウントソースは、監視タイマ周波数選択ビットで選択されたカウントソース(Wf_{32} 、 Wf_{512})に戻ります。

で発生した割り込み要求が受け付けられます。

監視タイマについては、「第15章 監視タイマ」を参照してください。
表16.3.1にストップモードの解除に使用できる割り込みを示します。

表16.3.1 ストップモードの解除に使用できる割り込み

割り込み	割り込み要求を発生する各機能の使用条件
NMI割り込み	-
INT _i 割り込み($i=0 \sim 4$)	INT ₃ 割り込みはキー入力割り込みが無効のとき
キー入力割り込み	キー入力割り込み選択時
タイマA _i 割り込み($i=0 \sim 4$)	イベントカウンタモード時
タイマB _i 割り込み($i=0 \sim 2$)	
UART _i 送信割り込み($i=0, 1$)	外部クロック選択時
UART _i 受信割り込み($i=0, 1$)	

注1. 複数の割り込みを許可した場合、最初に発生した割り込み要求によってストップモードが解除されます。
2. 割り込みについては「第7章 割り込み」、及び各内蔵周辺装置の章を参照してください。

STP命令実行前に、ストップモードの解除に使用する割り込みを許可状態にしてください。

また、解除に使用する割り込みの割り込み優先レベルは、STP命令を実行するルーチンのプロセッサ割り込み優先レベル(IPL)より大きい値にしてください。

なお、の発振開始後、のCPU、BIUの供給開始までに、すべての割り込み要求が発生する可能性を持ちます。このとき発生した割り込み要求は、監視タイマの最上位ビットが“0”になった後、優先順位の高い順に受け付けられます(ただし、 $\overline{\text{INT}}_i$ 割り込みのレベルセンス使用時、割り込み要求は保持されないため、監視タイマの最上位ビットが“0”になった時点で $\overline{\text{INT}}_i$ 端子が無効レベルになっていると受け付けられません)。受け付ける必要のない割り込みについては、STP命令実行前に割り込み優先レベルをレベル α (割り込み禁止)に設定してください。

16.3.2 割り込み要求発生時の解除動作(監視タイマを使用しない場合)

X_{IN} 端子に外部から安定したクロックを入力している場合(図5.1.2参照)は、監視タイマを使用せずに、ストップモード解除直後から命令を実行できます(図16.3.1参照)。

割り込み要求が発生すると、 X_{IN} 端子からのクロック入力が始まります。同時に、 f_{sys} 、クロック f_1 、 $f_1 \sim f_{4096}$ 、 Wf_{32} 、 Wf_{512} の供給が始まります。 $f_{X_{\text{IN}}}$ の19サイクル後、CPU、BIUの供給が始まります。で発生した割り込み要求が受け付けられます。

STP命令実行前には、次の設定を行ってください。

ストップモードの解除に使用する割り込みを許可状態にしてください。

また、解除に使用する割り込みの割り込み優先レベルは、STP命令を実行するルーチンのプロセッサ割り込み優先レベル(IPL)より大きい値にしてください。

クロック外部入力選択ビット(62_{16} 番地のビット1)=1(注)

注：同時に X_{IN} 端子と X_{OUT} 端子の間の発振用ドライバ回路が停止し、 X_{OUT} 端子からの出力レベルが“H”に固定されます(「17.4 発振回路停止」参照)。

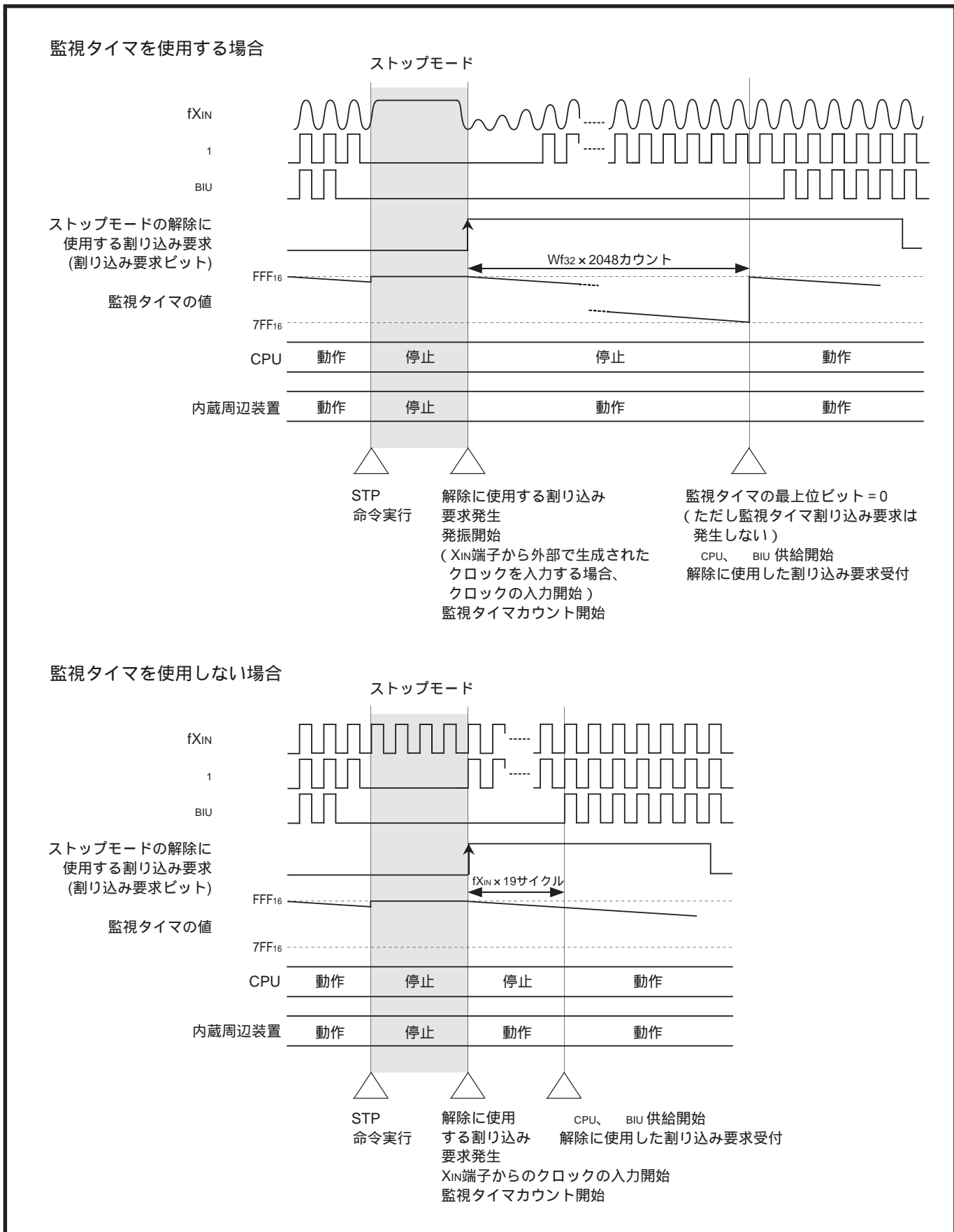


図16.3.1 割り込み要求発生によるストップモード解除シーケンス

16.3.3 ハードウェアリセット時の解除動作

CPU、及びSFR領域は初期化されますが、内部RAM領域にはSTP命令実行前の内容が保持されます。解除シーケンスは、リセット後の内部処理シーケンスと同じです。

リセットについては「第4章 リセット」を参照してください。

なお、システムをリセットするためにパワーオンリセット又はハードウェアリセットを行ったか、ストップモードの解除にハードウェアリセットを使用したかは、リセット後、STP命令実行ステータスフラグで判定してください。

16.4 ウェイトモード

WIT命令を実行すると、CPU、BIUが停止します(発振は停止しません)。この状態をウェイトモードと呼びます(表16.1.1参照)。

ウェイトモードでは、V_{CC}(電源電圧)を保持した状態で消費電力を低減できます。ウェイトモード時に内蔵周辺装置を使用しない場合は、f_{sys}及び内蔵周辺装置の動作クロックを停止できるため、さらに消費電力を低減できます(「17.3 ウェイトモード時のシステムクロック停止」参照)。また、ウェイトモード時、外部バス及びバス制御信号の入出力端子の状態を任意に設定できるため、システム全体の消費電力も低減できます(「17.2 ストップモード、ウェイトモード時のバス固定」参照)。

ウェイトモードは、割り込み要求発生、又はハードウェアリセットによって解除されます。

以下にウェイトモード解除動作について説明します。

16.4.1 割り込み要求発生時の解除動作

割り込み要求が発生すると、CPU、BIUの供給が開始されます。

で発生した割り込み要求が受け付けられます。

表16.4.1にウェイトモードの解除に使用できる割り込みを示します。

表16.4.1 ウェイトモードの解除に使用できる割り込み

割り込み	割り込み要求を発生する各機能の使用条件	
	システムクロック動作	システムクロック停止
NMI割り込み	-	
INT _i 割り込み(i = 0 ~ 4)	INT ₃ 割り込みはキー入力割り込みが無効のとき	
キー入力割り込み	キー入力割り込み選択時	
タイマA _i 割り込み(i = 0 ~ 4)	-	イベントカウンタモード時
タイマB _i 割り込み(i = 0 ~ 2)		
UART _i 送信割り込み(i = 0, 1)	-	外部クロック選択時
UART _i 受信割り込み(i = 0, 1)		
A-D変換割り込み	-	使用できない

注1. 複数の割り込みを許可した場合、最初に発生した割り込み要求によってウェイトモードが解除されます。

2. 割り込みについては「第7章 割り込み」、及び各内蔵周辺装置の章を参照してください。

WIT命令実行前には、解除に使用する割り込みを許可状態にしてください。

また、解除に使用する割り込みの割り込み優先レベルは、WIT命令を実行するルーチンのプロセッサ割り込み優先レベル(IPL)より大きい値にしてください。

なお、上記の割り込みを複数許可状態にしている場合は、最初に発生した割り込み要求によってウェイトモードを解除します。

16.4.2 ハードウェアリセット時の解除動作

CPU、及びSFR領域は初期化されますが、内部RAM領域にはWIT命令実行前の内容が保持されます。解除シーケンスは、リセット後の内部処理シーケンスと同じです。

リセットについては「第4章 リセット」を参照してください。

なお、システムをリセットするためにパワーオンリセット又はハードウェアリセットを行ったか、ウェイトモードの解除にハードウェアリセットを使用したかは、リセット後、WIT命令実行ステータスフラグで判定してください。

第 17 章

低消費電力機能

- 17.1 概 要
- 17.2 ストップモード、ウエイトモード時のバス固定
- 17.3 ウエイトモード時のシステムクロック停止
- 17.4 発振回路停止
- 17.5 V_{REF} 切断

この章では、マイクロコンピュータ、及びマイクロコンピュータを含むシステム全体の消費電力を低減するための機能について説明します。

17.1 概要

表17.1.1に低消費電力機能の概要を示します。各機能を選択することにより、システム全体の消費電力を低減できます。また、低消費電力機能関連レジスタについて以下に説明します。

表17.1.1 低消費電力機能の概要

項目	機能	関連機能参照先
ストップモード、ウエイトモード時のバス固定	ストップモード、及びウエイトモード時、外部バス及びバス制御信号の入出力端子をプログラマブル入出力ポートに切り替えることにより、入出力端子の状態を任意に設定できる	「第16章 ストップモード、ウエイトモード」
ウエイトモード時のシステムクロック停止	ウエイトモード時、 f_{sys} 及び内蔵周辺装置用の動作クロックを停止できる	
発振回路停止	外部で生成された安定したクロックを使用する場合は、 X_{IN} 端子と X_{OUT} 端子の間の発振用ドライバ回路を停止できる（ X_{OUT} 端子の出力は“H”レベル固定）	「第5章 クロック発生回路」 「16.3 ストップモード」
V_{REF} 切断	A-D変換器を使用しない場合は、 V_{REF} 入力を切断できる	「第13章 A-D変換器」

17.1.1 特殊機能選択レジスタ0

図17.1.1に特殊機能選択レジスタ0のレジスタ構成を、図17.1.2に特殊機能選択レジスタ0への書き込み手順を示します。

特殊機能選択レジスタ0【62 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	0	0	0		
ビット	ビット名	機能	リセット時	R/W							
0	STP命令無効選択ビット	0 : STP命令有効 1 : STP命令無効	0	RW (注1)							
1	クロック外部入力選択ビット	0 : 発振回路動作(発振子を接続) ストップモード解除時、監視タイマを使用する 1 : 発振回路停止(外部で生成されたクロックを入力) ストップモード解除時、監視タイマを使用しない	0	RW (注1、2)							
7~2	"0"に固定してください		0	RW							

注1. これらのビットに書き込むときは、このレジスタに"55₁₆"を書き込んだ後、続けて各ビットに対して"0"又は"1"を書き込んでください("55₁₆"の書き込みでは、ビットの状態は変化しません)。また、このレジスタへの書き込みには、MOVMB命令、STAB命令、又はm=1でMOVMB命令、STA命令を使用してください。
 "55₁₆"の書き込みと、次の"0"又は"1"の書き込みの間で割り込みが発生すると、"0"又は"1"の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、"0"又は"1"を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

2. 外部で生成されたクロックをX_{IN}端子に入力する場合は、このビットを"1"にしてください。

図17.1.1 特殊機能選択レジスタ0のレジスタ構成

(1) クロック外部入力選択ビット(ビット1)

このビットを“1”にすると、X_{IN}端子とX_{OUT}端子の間の発振用ドライバ回路が停止し、X_{OUT}端子の出力レベルが“H”に固定されます(「17.4 発振回路停止」参照)。また、割り込み要求発生によるストップモード解除時、監視タイマを使用しません。

発振子を接続する場合は“0”に、外部で生成されたクロックをX_{IN}端子に入力する場合は“1”にしてください。

このビットに書き込むときは、62₁₆番地に“55₁₆”を書き込んだ後、続けて“0”又は“1”を書き込んでください(図17.1.2参照)。

また、“55₁₆”の書き込みと、次の“0”又は“1”の書き込みの間で割り込みが発生すると、“0”又は“1”の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、“0”又は“1”を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

なお、特殊機能選択レジスタ(64₁₆番地)で監視タイマを禁止していても、このビットが“0”の場合は、ストップモード解除時だけ監視タイマが動作します(「16.3 ストップモード」参照)。

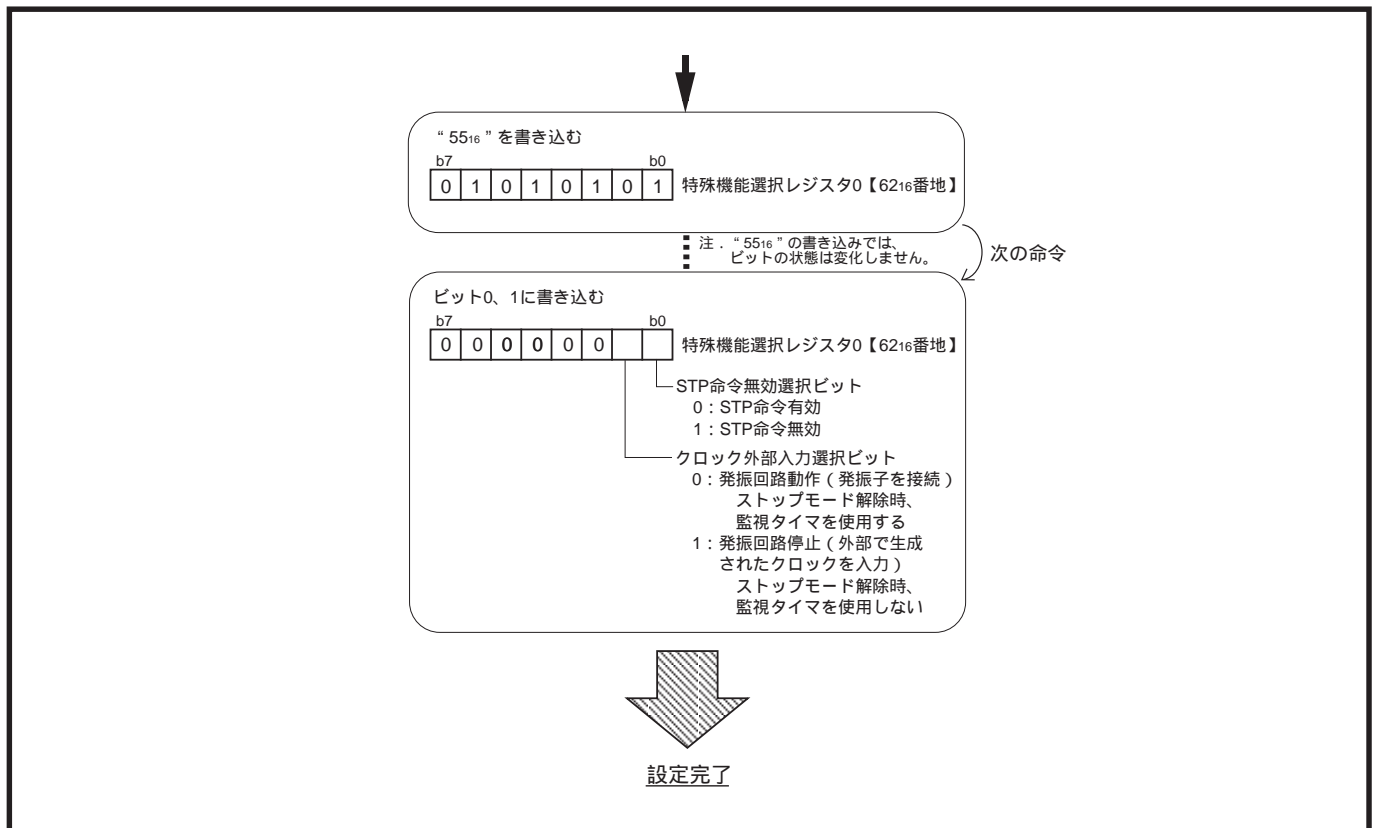


図17.1.2 特殊機能選択レジスタ0への書き込み手順

17.1.2 特殊機能選択レジスタ1

図17.1.3に特殊機能選択レジスタ1のレジスタ構成を示します。

特殊機能選択レジスタ1【63 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0							
ビット	ビット名	機能	リセット時	R/W							
0	STP命令実行ステータスフラグ	0: 通常動作中 1: STP命令実行中	(注1)	RW (注2)							
1	WIT命令実行ステータスフラグ	0: 通常動作中 1: WIT命令実行中	(注1)	RW (注2)							
2	スタンバイ状態選択ビット	0: 外部バス 1: プログラマブル入出力ポート	0	RW							
3	WIT時システムクロック停止 選択ビット (注3)	0: ウェイトモード時、 f_{sys} 動作 1: ウェイトモード時、 f_{sys} 停止	0	RW							
4	アドレス出力選択ビット	0: 内部領域アクセス時、外部領域アクセス時共 アドレス出力が変化 1: 外部領域アクセス時のみアドレス出力が変化	0	RW							
5	読み出し時の値は“0”		0	-							
6	“0”に固定してください		0	RW							
7	読み出し時の値は“0”		0	-							

注1. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。
 2. “1”を書き込んでもビットの状態は変化しません。
 3. “1”にする場合は、WIT命令の直前で“1”を設定してください。また、ウェイトモード解除後、直ちに“0”にしてください。

図17.1.3 特殊機能選択レジスタ1のレジスタ構成

(1)スタンバイ状態選択ビット(ビット2)

このビットを“1”にすると、ストップモード、及びウェイトモード時、外部バス、及びバス制御信号の入出力端子が、プログラマブル入出力ポートに切り替わります(「17.2 ストップモード、ウェイトモード時のバス固定」参照)。

(2)WIT時システムクロック停止選択ビット(ビット3)

このビットを“1”にすると、ウェイトモード時、 f_{sys} 及び内蔵周辺装置の動作クロックが停止します(「17.3 ウェイトモード時のシステムクロック停止」参照)。

17.2 ストップモード、ウェイトモード時のバス固定

スタンバイ状態選択ビット(図17.1.3参照)を“1”にすると、ストップモード、及びウェイトモード時、外部バス、及びバス制御信号の入出力端子が、プログラマブル入出力ポートに切り替わります。

マイクロコンピュータと外部デバイスとの間で不要な電流が発生しないような端子の状態を、対応するポートレジスタ及びポート方向レジスタに設定することで、ストップモード及びウェイトモード時のシステム全体の消費電力を低減できます。

表17.2.1に外部バス、及びバス制御信号の入出力端子とプログラマブル入出力ポートの対応を、図17.2.1にバス固定の設定例を示します。

表17.2.1 外部バス、及びバス制御信号の入出力端子とプログラマブル入出力ポートの対応

外部バス及び バス制御信号	スタンバイ状態選択ビット	
	0	1
A ₀ ~ A ₇	A ₀ ~ A ₇	P10 ₀ ~ P10 ₇
A ₈ ~ A ₁₅	A ₈ ~ A ₁₅	P11 ₀ ~ P11 ₇
A ₁₆ ~ A ₂₃	A ₁₆ ~ A ₂₃	P0 ₀ ~ P0 ₇
D ₀ ~ D ₇	D ₀ ~ D ₇	P1 ₀ ~ P1 ₇
D ₈ ~ D ₁₅	D ₈ ~ D ₁₅ (注1)	P2 ₀ ~ P2 ₇
RD、BLW、 BHW	RD、BLW、 BHW(注1)	P3 ₁ 、P3 ₂ 、 P3 ₃
CS(注2)	CS ₀	P4 ₄

注1. 外部データバス幅8ビット(BYTE = V_{CC}レベル)時は、スタンバイ状態選択ビットの内容にかかわらず、プログラマブル入出力ポートになります。

2. マイクロプロセッサモード時だけ、スタンバイ状態選択ビットによってプログラマブル入出力ポートに切り替えられます。メモリ拡張モード時は、CS₀出力選択ビット(80₁₆番地のビット7)を“0”にして、プログラマブル入出力ポートに切り替えてください。

なお、ALE、 \overline{CS}_1 、 \overline{CS}_2 、 \overline{CS}_3 端子については、以下のビットを“0”にして、プログラマブル入出力ポートに切り替えてください。

- ALE : ALE出力選択ビット(5F₁₆番地のビット3)
- \overline{CS}_1 : クロック \overline{CS}_1 出力選択ビット(5E₁₆番地のビット7)
- \overline{CS}_2 ~ \overline{CS}_3 : \overline{CS}_2 ~ \overline{CS}_3 出力選択ビット(82₁₆、84₁₆、86₁₆番地のビット7)

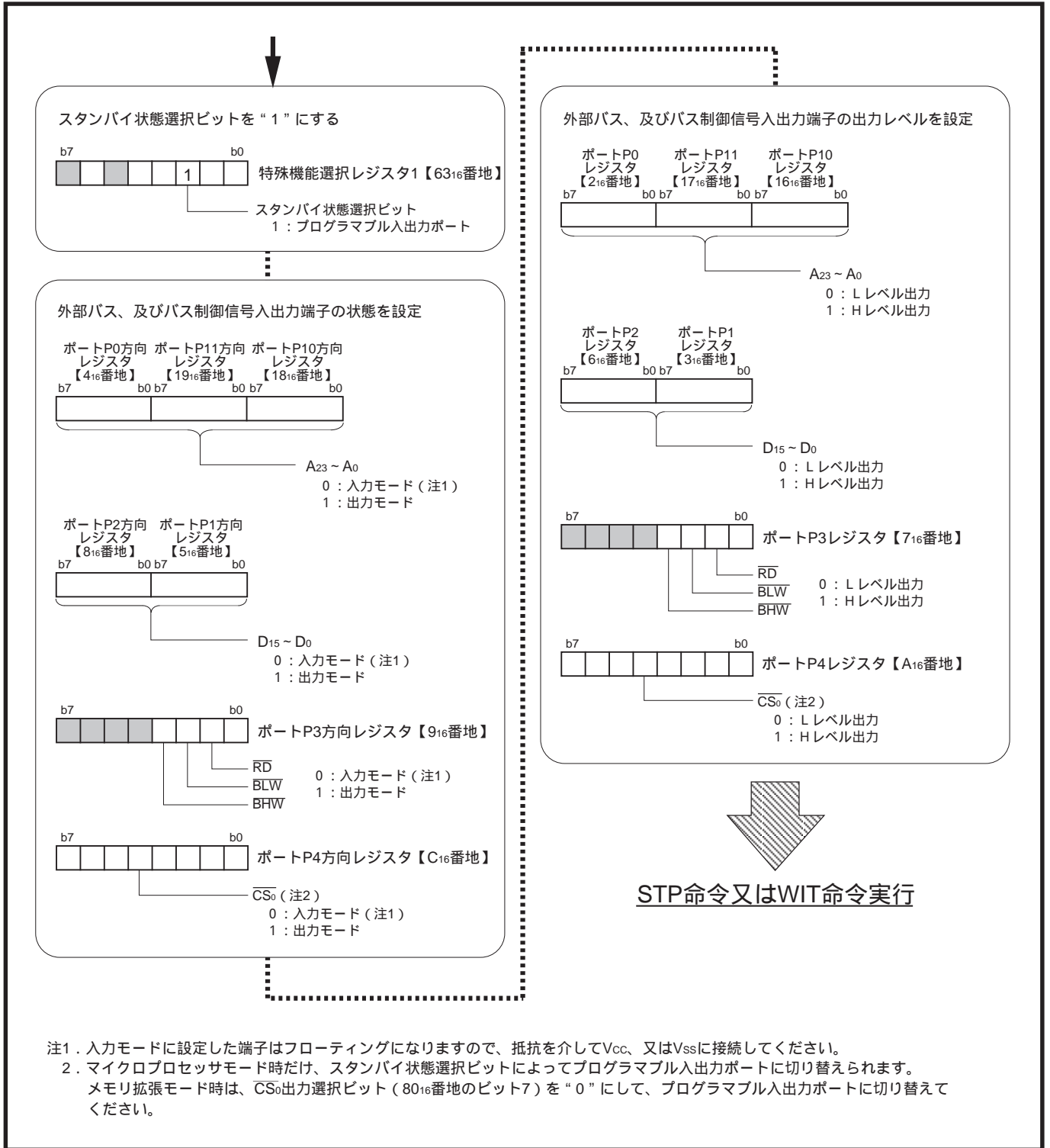


図17.2.1 バス固定の設定例

17.3 ウェイトモード時のシステムクロック停止

ウェイトモード時、内蔵周辺装置を動作させる必要がない場合、WIT時システムクロック停止選択ビット (図17.1.3参照)を“1”にすると、 f_{sys} 及び内蔵周辺装置の動作クロックが停止し、マイクロコンピュータの消費電力を低減できます。

表17.3.1にウェイトモード時、及びウェイトモード解除後のマイクロコンピュータの状態及び動作を示します。

表17.3.1 ウェイトモード時、及びウェイトモード解除後のマイクロコンピュータの状態及び動作

項目		システムクロック動作 (63 ₁₆ 番地のビット3=0)	システムクロック停止 (63 ₁₆ 番地のビット3=1)	
状態	発振	動作		
	CPU、BIU	停止		
	f_{sys} 、クロック ₁ 、 $f_1 \sim f_{4096}$	動作	停止	
	Wf ₃₂ 、Wf ₅₁₂	停止		
	タイマA、タイマB	動作	イベントカウンタモードでだけ動作できる	
	シリアルI/O	動作	外部クロック選択時だけ動作できる	
	A-D変換器	動作	停止	
	D-A変換器	動作	停止	
	監視タイマ	停止		
	内蔵周辺装置端子	A ₀ ~ A ₂₃	WIT命令実行時の状態を保持(注)	
		D ₀ ~ D ₁₅	フローティング(注)	
		RD、BLW、BHW、HLDA、CS ₀ ~ CS ₃	“H”レベルを出力(注)	
		ALE	“L”レベルを出力(注)	
		₁	クロック ₁ を出力(注)	“L”レベルを出力(注)
		上記以外	WIT命令実行時の状態を保持	
解除後の動作		解除直後から、CPU、BIUを供給		
ハードウェアリセットによる解除時	ハードウェアリセット後の動作			

注：外部バス、及びバス制御信号の入出力端子については、ソフトウェアでプログラマブル入出力ポートに切り替えることができます(「17.2 ストップモード、ウェイトモード時のバス固定」参照)。

17.4 発振回路停止

外部で生成された安定クロックをX_{IN}端子に入力する場合、クロック外部入力選択ビット(図17.1.1参照)を“1”にしてください。このとき、X_{IN}端子とX_{OUT}端子の間の発振用ドライバ回路が停止するため、消費電力が低減されます。また、このとき、X_{OUT}端子の出力レベルは“H”に固定されます。

また、割り込み要求発生によるストップモード解除時、監視タイマを使用しないため、ストップモード解除直後から命令を実行できます。

17.5 V_{REF}切断

A-D変換器を使用しない場合は、V_{REF}接続選択ビット(図17.5.1参照)を“1”にすると、A-D変換器のラダー抵抗と基準電圧入力端子(V_{REF})が切り離され、V_{REF}端子からラダー抵抗に電流が流れなくなるため、消費電流を低減できます。

V_{REF}接続選択ビットを“1”(V_{REF}切断)から“0”(V_{REF}接続)にしたときは、1μs以上経過した後に、A-D変換を開始させてください。

A-D制御レジスタ1【1F ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
											0
ビット	ビット名	機能	リセット時	R/W							
0	A-D掃引端子選択ビット (単掃引モード、繰り返し掃引モード時有効) (注1)	b1 b0 0 0 : AN ₀ 、AN ₄ (2端子) 0 1 : AN ₀ ~ AN ₄ (4端子)	1	RW							
1		1 0 : AN ₀ ~ AN ₆ (6端子) (注2、3) 1 1 : AN ₀ ~ AN ₇ (8端子) (注2、3、4、5)	1	RW							
2	“0”に固定してください		0	RW							
3	分解能選択ビット	0 : 8ビットモード 1 : 10ビットモード	0	RW							
4	A-D変換周波数(AD)選択フラグ1	表13.2.1参照	0	RW							
5	外部トリガ極性選択ビット (外部トリガ選択時有効)	0 : AD _{TRG} 端子への入力信号の立ち下がり 1 : AD _{TRG} 端子への入力信号の立ち上がり	0	RW							
6	V _{REF} 接続選択ビット (注6)	0 : V _{REF} 接続 1 : V _{REF} 切断	0	RW							
7	読み出し時の値は“0”		0	-							

注1. 単発モード、及び繰り返しモードでは無効です(“0”又は“1”いずれでもよい)。
 2. AN₄端子を使用するときは、INT₃端子選択ビット(94₁₆番地のビット5)=0にしてください。
 3. AN₅端子を使用するときは、INT₄端子選択ビット(94₁₆番地のビット6)=0にしてください。
 4. AN₆端子を使用するときは、D-A₀出力許可ビット(96₁₆番地のビット0)=0(出力禁止)にしてください。
 5. AN₇端子を使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。外部トリガ選択時は、AN₇端子をアナログ入力端子として使用できません。
 6. このビットを“1”から“0”にしたときは、1μs以上経過した後に、A-D変換を開始させてください。
 7. A-D制御レジスタ1の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

図17.5.1 A-D制御レジスタ1のレジスタ構成

Memo

第 18 章

フラッシュメモリ

内蔵版

18.1 概 要

18.2 CPU書き換えモード

【CPU書き換えモード使用上の注意】

18.3 シリアル入出力モード

【シリアル入出力モード使用上の注意】

18.4 パラレル入出力モード

【パラレル入出力モード使用上の注意】

18.5 CPU書き換えモード応用例

18.1 概要

フラッシュメモリ内蔵版は、フラッシュメモリを内蔵していることを除いて、マスクROM内蔵版と同じ機能を持ちます。ただし、SFR領域の一部がマスクROM内蔵版及びROM外付け版と異なります(「18.1.1 メモリ配置」参照)。

フラッシュメモリ内蔵版では、CPU書き換えモード、シリアル入出力モード、及びパラレル入出力モードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

表18.1.1にフラッシュメモリ内蔵版の性能概要を示します(表18.1.1に示す以外の項目は表1.1.1を参照してください)。

表18.1.1 フラッシュメモリ内蔵版の性能概要

項目	性能
電源電圧	5V ± 0.5V
プログラム/イレーズ電圧	5V ± 0.5V
プログラム	ワード(2バイト)単位
イレーズ	ブロック単位、又は一括消去
フラッシュメモリ書き換えモード	CPU書き換えモード シリアル入出力モード パラレル入出力モード
プログラム/イレーズ回数	100回

フラッシュメモリ内蔵版では、マスクROM内蔵版と同じ3つのプロセッサモードに加えて、MD1端子に印加する電圧によって、表18.1.2に示す動作モードを選択できます。また、表18.1.3にフラッシュメモリ書き換えモードの概要を示します。

注・MD0、MD1端子に印加する電圧は、マイクロコンピュータ動作中に切り替えないでください。

表18.1.2 MD0、MD1端子に印加する電圧による動作モードの選択

MD1	MD0	動作モード
V _{SS}	V _{SS}	シングルチップモード メモリ拡張モード マイクロプロセッサモード(注1)
V _{SS}	V _{CC}	マイクロプロセッサモード(注1)
V _{CC}	V _{SS}	ブートモード(注2)
V _{CC}	V _{CC}	パラレル入出力モード(注3)

注1. 「2.5 プロセッサモード」参照。

2. 「18.1.2 ブートモード」参照。

3. 「18.4 パラレル入出力モード」参照。

表18.1.3 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	CPU書き換えモード	シリアル入出力モード	パラレル入出力モード
機能概要	中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用して、ブートROM領域及びユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
使用できる動作モード	シングルチップモード メモリ拡張モード ブートモード	ブートモード	パラレル入出力モード
使用できるROMライタ	(必要なし)	シリアルライタ(注) ・(株)彗星電子システム製	パラレルライタ(注) ・(株)彗星電子システム製

注．シリアルライタ及びパラレルライタについては、最新のカタログ類を参照してください。

フラッシュメモリ内蔵版は、図18.1.1に示す内蔵フラッシュメモリ領域(これをユーザROM領域と呼びます)とは別に、8KバイトのブートROM領域を持ちます。

図18.1.2に内蔵フラッシュメモリのメモリ配置を示します。

ユーザROM領域はいくつかのブロックに分割されており、CPU書き換えモード、シリアル入出力モード、及びパラレル入出力モードで書き換えられます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モード(「18.4 パラレル入出力モード」参照)でだけ書き換えられます。また、MD1端子にV_{cc}レベル、MD0端子にV_{ss}レベルを印加してリセットすると、リセット後、ブートROM領域のプログラムが実行されます(「18.1.2 ブートモード」参照)。MD1 = V_{ss}レベル時は、ブートROM領域の内容は読み出せません。

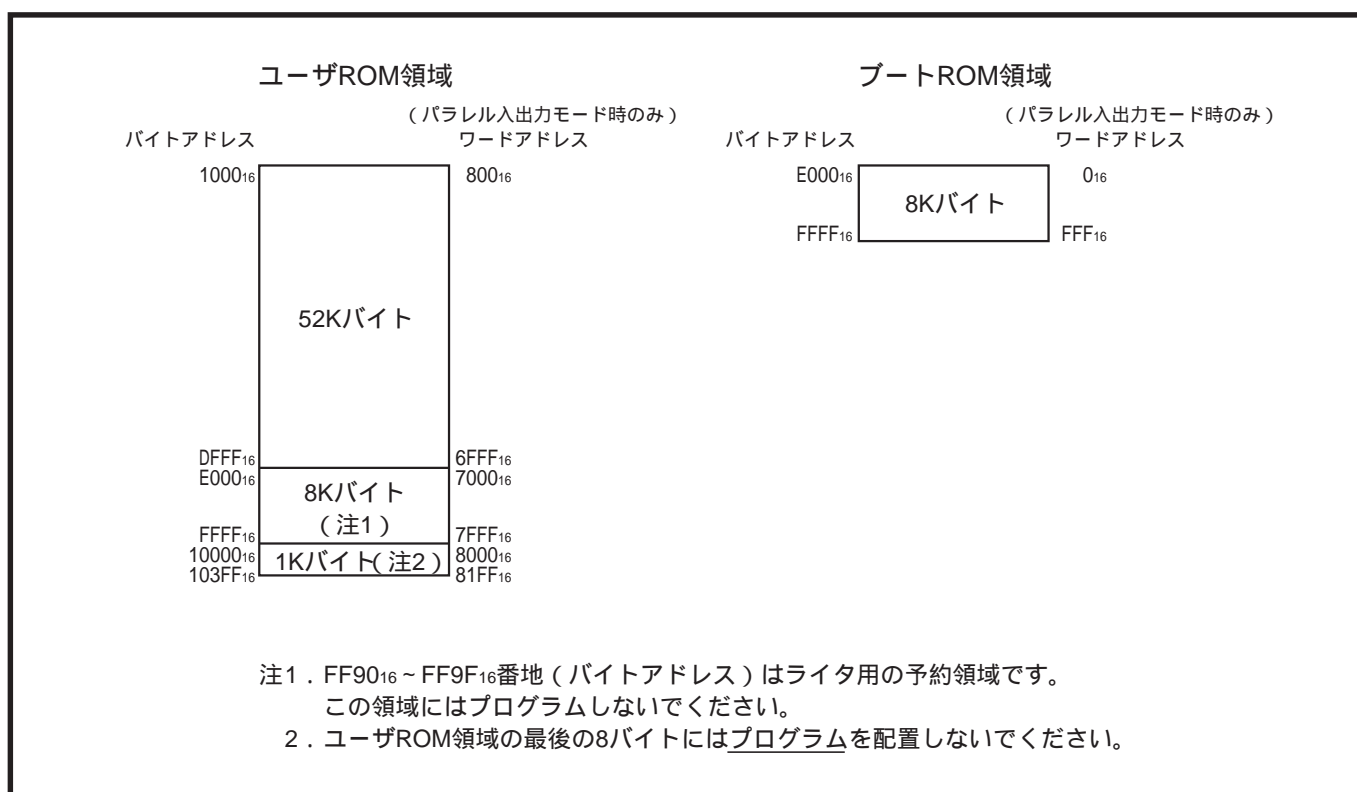


図18.1.2 内蔵フラッシュメモリのメモリ配置

18.1.2 ブートモード

MD1端子にV_{cc}レベル、MD0端子にV_{ss}レベルを印加してリセットすると、ブートモードになります。ブートモードでは、リセット後、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、ユーザROM領域選択ビット(9E₁₆番地のビット5)で切り替えられます。また、ブートモード時、ブートROM領域はE000₁₆ ~ FFFF₁₆番地(バイトアドレス)になります。

ブートROM領域には、出荷時、シリアル入出力モード(「18.3 シリアル入出力モード」参照)用の制御プログラムが格納されています。したがって、フラッシュメモリ内蔵版をブートモードでリセットすると、シリアル入出力モードになり、(株)彗星電子システム製のシリアルライターを使用して、ユーザROM領域を書き換えられます。

また、ブートROM領域は、パラレル入出力モードで書き換えられます。CPU書き換えモードを使用した任意の書き換え制御プログラムをブートROM領域に書き込んでおくと、システムに合わせた書き換えができます。

なお、パラレル入出力モードでブートROM領域の内容を書き換えた場合、シリアル入出力モードは使用できなくなります。

18.2 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずに、マイクロコンピュータを基板に実装した状態で、ユーザROM領域の内容を書き換えることができます。

書き換え制御プログラムは、あらかじめユーザROM領域又はブートROM領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリに対するオペコードフェッチができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域(内部RAM領域など)に転送した後、その領域上で実行してください。

CPU書き換えモードはシングルチップモード、メモリ拡張モード、及びブートモードで使用できます。

CPU書き換えモードでは表18.2.1に示すソフトウェアコマンドが使用できます。各コマンドの詳細については、「18.2.4 ソフトウェアコマンド」を参照してください。

なお、コマンド及びデータの読み出し/書き込みは、16ビット単位で、ユーザROM領域内の偶数番地に対して行ってください。コマンドコード書き込み時、上位8ビット(D₈~D₁₅)は無視されます。

表18.2.1 ソフトウェアコマンド

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D ₁₅ ~D ₀)	モード	アドレス	データ (D ₁₅ ~D ₀)
リードアレイ	ライト	X	xxFF ₁₆			
リードステータスレジスタ	ライト	X	xx70 ₁₆	リード	X	SRD
クリアステータスレジスタ	ライト	X	xx50 ₁₆			
プログラム	ライト	X	xx40 ₁₆	ライト	WA	WD
ブロックイレーズ	ライト	X	xx20 ₁₆	ライト	BA	xxD0 ₁₆
イレーズ全ブロック	ライト	X	xx20 ₁₆	ライト	X	xx20 ₁₆

SRD : ステータスレジスタデータ(D₀~D₇)

WA : 書き込み番地(A₀=0)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、A₀=0)

X : ユーザROM領域内の任意の偶数番地(A₀=0)

xx : コマンドコード上位8ビット(任意の値)

18.2.1 フラッシュメモリ制御レジスタ

図18.2.1にフラッシュメモリ制御レジスタのレジスタ構成を示します。

フラッシュメモリ制御レジスタ【9E ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
								0		0		
ビット	ビット名	機能		リセット時	R/W							
0	RY/BYステータスフラグ	0: BUSY(自動書き込み/自動消去中) 1: READY(自動書き込み/自動消去終了)		1	RO							
1	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効		0	RW (注1、2)							
2	“0”に固定してください			0	RW							
3	フラッシュメモリリセットビット (注3)	0: 通常動作 1: リセット		0	RW (注4)							
4	“0”に固定してください			0	RW							
5	ユーザROM領域選択ビット (ブートモード時有効)(注5)	0: ブートROM領域アクセス 1: ユーザROM領域アクセス		0	RW (注2)							
7、6	読み出し時の値は“0”			0	-							

注1. “1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。
“0”にするときは、“0”を書き込んでください。

2. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域上で行ってください。

3. CPU書き換えモード選択ビット(ビット1)が“1”のとき有効です。CPU書き換えモード選択ビットが“0”のときは“0”に固定してください。
このビットのデータ操作は、CPU書き換えモード選択ビットが“1”の状態で行ってください。

4. このビットへの書き込みは、図18.2.2の手順で行ってください。

5. MD1 = V_{SS}レベル時、このビットの内容は無効です(“0”又は“1”いずれでもよい)。

図18.2.1 フラッシュメモリ制御レジスタのレジスタ構成

(1) RY/BYステータスフラグ(ビット0)

自動書き込み/自動消去の状況を示すビットです。自動書き込み及び自動消去中は“0”、自動書き込み及び自動消去が終了すると“1”になります。プログラム、ブロックイレーズ、及びイレーズ全ブロックのコマンド実行中に変化します。それ以外のコマンドでは変化しません。

(2) CPU書き換えモード選択ビット(ビット1)

このビットを“1”にするとCPU書き換えモードになり、コマンドの受付が可能になります。このビットを“1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。

このビットを“1”にした後はCPU書き換えモードになるため、内蔵フラッシュメモリに対するオペコードフェッチができなくなります。したがって、このビットへ書き込む命令は、内蔵フラッシュメモリ以外の領域上(内部RAM領域など)で実行してください。

なお、ブートモードでCPU書き換えモードのコマンドを実行する場合は、ユーザROM領域選択ビット(ビット5)を“1”にしてください。

(3)フラッシュメモリリセットビット(ビット3)

このビットに“1”を書き込むと、ユーザROM領域に対するアクセスが中断され、内蔵フラッシュメモリ制御回路がリセットされます。その後、“0”を書き込むとリセットが解除されます。“0”を書き込むときは、RY/ $\overline{\text{BY}}$ ステータスフラグ(ビット0)が“1”になったことを確認してください。

図18.2.2にフラッシュメモリリセットビットの設定手順を示します。

自動書き込み又は自動消去中にフラッシュメモリリセットビットでリセットした場合は、プログラム/イレーズ動作が中断され、そのブロックのデータは無効になります。

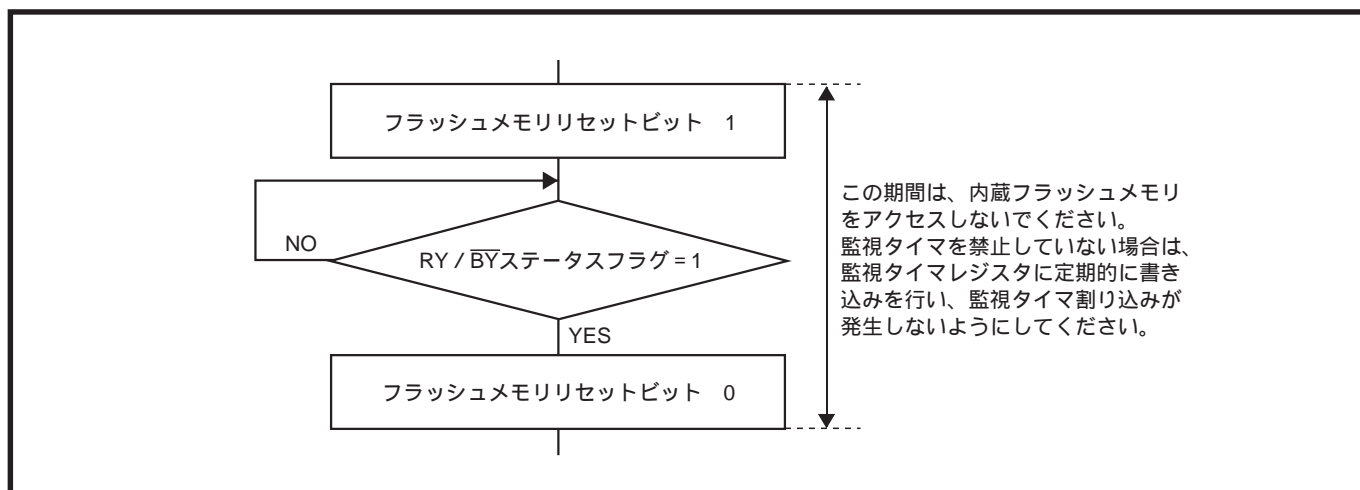


図18.2.2 フラッシュメモリリセットビットの設定手順

(4)ユーザROM領域選択ビット(ビット5)

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”にしてください。このビットへ書き込む命令は、内蔵フラッシュメモリ以外の領域上(内部RAM領域など)で実行してください。

MD1 = V_{SS}レベル時は、このビットの内容にかかわらずユーザROM領域をアクセス(読み出し)します。

18.2.2 ステータスレジスタ

ステータスレジスタは、内蔵フラッシュメモリに対するプログラム/イレーズの終了状態(正常/エラー)を示します。各エラーの詳細については、「18.2.5 フルステータスチェック」を参照してください。

表18.2.2にステータスレジスタの内容を示します。

ステータスレジスタは、リードステータスレジスタコマンド(「18.2.4 ソフトウェアコマンド」参照)で読み出せます。

表18.2.2 ステータスレジスタの内容

記号 (データバス)	ステータス	内容	
		0	1
SR.0(D ₀)	-	-	-
SR.1(D ₁)	-	-	-
SR.2(D ₂)	-	-	-
SR.3(D ₃)	-	-	-
SR.4(D ₄)	プログラムステータス	正常終了	エラー<プログラムエラー>
SR.5(D ₅)	イレーズステータス	正常終了	エラー<イレーズエラー>
SR.6(D ₆)	-	-	-
SR.7(D ₇)	-	-	-

データバス：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

-：読み出し時の値は不定。

(1)プログラムステータス(SR.4)

自動書き込み(プログラム)時、プログラムエラーが発生すると“1”になります。クリアステータスレジスタコマンドを実行すると“0”になります。リセット時は“0”になります。

(2)イレーズステータス(SR.5)

自動消去(ブロックイレーズ、イレーズ全ブロック)時、イレーズエラーが発生すると“1”になります。クリアステータスレジスタコマンドを実行すると“0”になります。リセット時は“0”になります。

18.2.3 CPU書き換えモード設定 / 解除方法

図18.2.3にCPU書き換えモードの設定 / 解除手順を示します。

CPU書き換えモードでは、内蔵フラッシュメモリに対するオペコードフェッチができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域に転送した後、その領域で実行してください。

また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・ 割り込み禁止フラグ(1)=1、又は割り込み優先レベル=000(割り込み禁止)にする
- ・ NMI端子にV_{CC}レベルを印加する、又はNMI端子プルアップ選択ビット(92₁₆番地のビット7)=0に設定してNMI端子を開放する

特殊機能選択レジスタ2(64₁₆番地)で監視タイマを禁止していない場合は、CPU書き換えモード中も、監視タイマレジスタには定期的書き込みを行い、監視タイマ割り込みが発生しないようにしてください。また、自動書き込み及び自動消去中に監視タイマ割り込みが発生しないように、プログラム、ブロックイレーズ、及びイレーズ全ブロックのコマンド実行直前にも、監視タイマレジスタに書き込みを行ってください。

なお、CPU書き換えモード時に、割り込み及びリセットが発生した場合は、以下のようになります。

- ・ マスカブル割り込み、 $\overline{\text{NMI}}$ 割り込み、監視タイマ割り込み
プログラムが暴走します。この場合は、パワーオンリセットを実行してください。
- ・ ハードウェアリセット、ソフトウェアリセット
内蔵フラッシュメモリ制御回路及びフラッシュメモリ制御レジスタがリセットされ、マイクロコンピュータがリセットされます(「第4章 リセット」参照)。

また、プログラム / イレーズ中に上記割り込み及びリセットが発生した場合、対象ブロックの内容は無効になります。

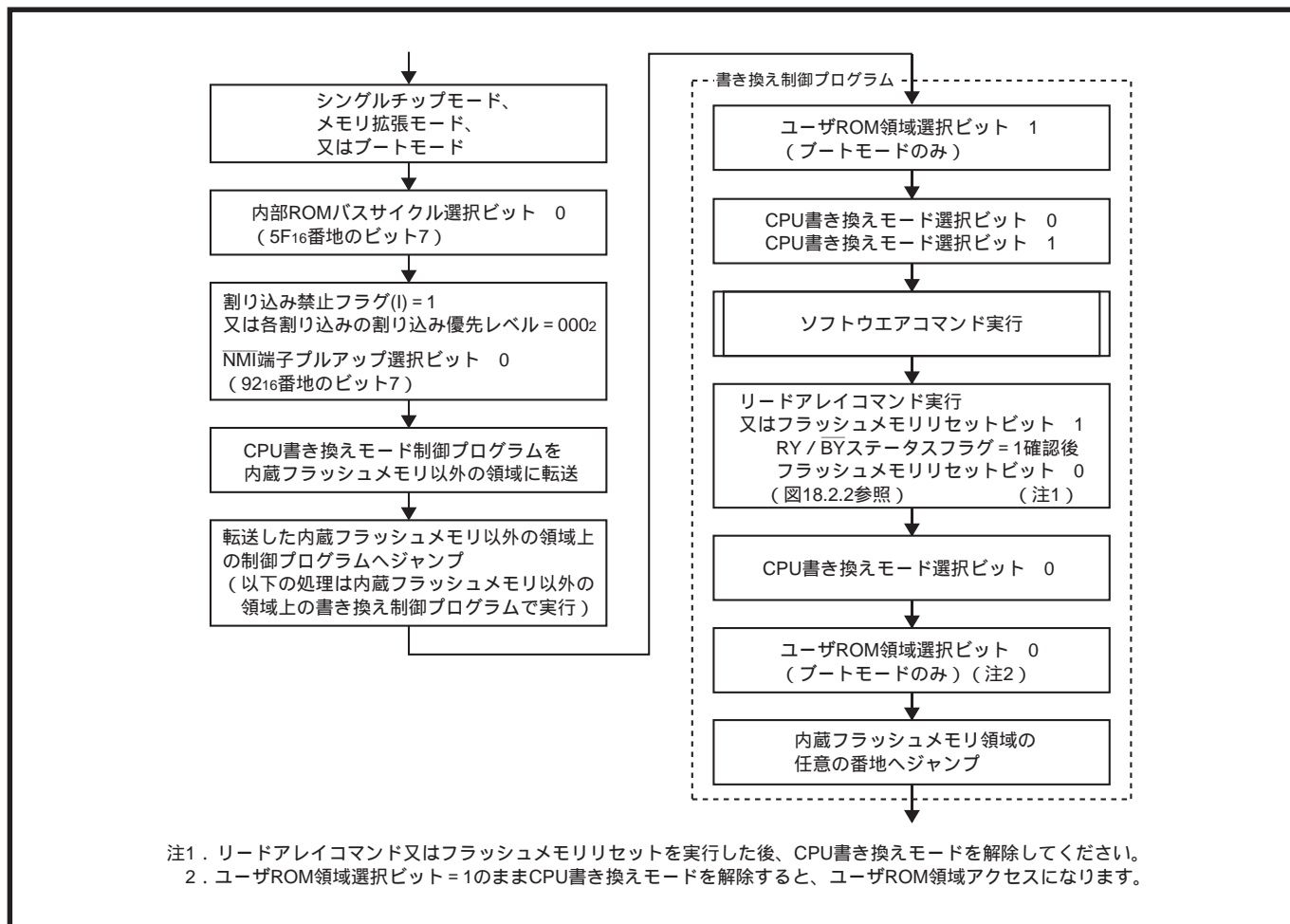


図18.2.3 CPU書き換えモードの設定 / 解除手順

18.2.4 ソフトウェアコマンド

ソフトウェアコマンドについて、以下に説明します。

ソフトウェアコマンド及びデータの読み出し/書き込みは、16ビット単位で、ユーザROM領域内の偶数番地に対して行ってください。コマンドコード書き込み時、上位8ビット(D₈~D₁₅)は無視されます。

(1) リードアレイ

内蔵フラッシュメモリの内容を読み出すコマンドです。

第1バスサイクルでコマンドコード“xxFF₁₆”を書き込むと、リードアレイモードになります。次のバスサイクル以降で読み出す番地を入力すると、指定した番地の内容が16ビット単位でデータバス(D₀~D₁₅)に読み出されます。

リードアレイモードは、他のコマンドが書き込まれるまで保持されます。

(2) リードステータスレジスタ

ステータスレジスタの内容を読み出すコマンドです。

第1バスサイクルでコマンドコード“xx70₁₆”を書き込むと、第2バスサイクルでステータスレジスタの内容(表18.2.2参照)がデータバス(D₀~D₇)に読み出されます。

(3) クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルでコマンドコード“xx50₁₆”を書き込むと、ステータスレジスタのSR.4、SR.5(表18.2.2参照)が“0”になります。

(4) プログラム

1ワード(2バイト)単位でプログラムを実行するコマンドです。

第1バスサイクルで“xx40₁₆”を書き込み、第2バスサイクルで任意の書き込み番地(ただし、A₀=0)に書き込みデータを16ビット単位で書き込んでください。

データ書き込みが完了すると、自動書き込み(データのプログラム及びベリファイ)を開始します。自動書き込みの終了は、RY/BYステータスフラグ(9E₁₆番地のビット0)で確認できます。

自動書き込み終了後は、ステータスレジスタを読み出すことにより、自動書き込みの結果を確認できます(「18.2.5 フルステータスチェック」参照)。

図18.2.4にプログラムフローチャートを示します。

なお、既にプログラムされている領域に対しては、イレーズ(ブロックイレーズ)後、プログラムしてください。既にプログラムされている領域に対してプログラムを実行した場合、プログラムエラーは発生しませんが、その領域の内容は不定になります。

注：自動書き込み中は、内蔵フラッシュメモリをアクセスしないでください(コマンドコードの書き込みを含む)。

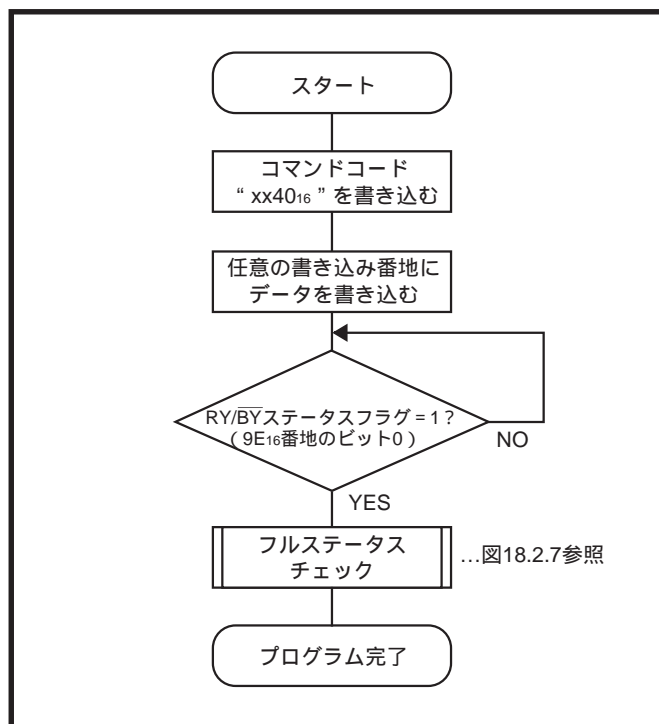


図18.2.4 プログラムフローチャート

(5)ブロックイレーズ

ブロック単位でイレーズを実行するコマンドです。

第1バスサイクルで“xx20₁₆”を書き込み、第2バスサイクルでイレーズするブロックの最上位番地(ただし、A₀=0)に“xxD0₁₆”を書き込むと、指定されたブロックの自動消去(イレーズ及びイレーズベリファイ)を開始します。自動消去の終了は、RY/ $\overline{\text{BY}}$ ステータスフラグ(9E₁₆番地のビット0)で確認できます。

自動消去終了後は、ステータスレジスタを読み出すことにより、自動消去の結果を確認できます(「18.2.5 フルステータスチェック」参照)。

図18.2.5にブロックイレーズフローチャートを示します。

注．自動消去中は、内蔵フラッシュメモリをアクセスしないでください(コマンドコードの書き込みを含む)。

(6)イレーズ全ブロック

全ブロックのイレーズを実行するコマンドです。

第1バスサイクルで“xx20₁₆”、第2バスサイクルで“xx20₁₆”を書き込むと、全ブロックに対して、自動消去(イレーズ及びイレーズベリファイ)を開始します。自動消去の終了は、RY/ $\overline{\text{BY}}$ ステータスフラグ(9E₁₆番地のビット0)で確認できます。

自動消去終了後は、ステータスレジスタを読み出すことにより、自動消去の結果を確認できます(「18.2.5 フルステータスチェック」参照)。

図18.2.6にイレーズ全ブロックフロチャートを示します。

注．自動消去中は、内蔵フラッシュメモリをアクセスしないでください(コマンドコードの書き込みを含む)。

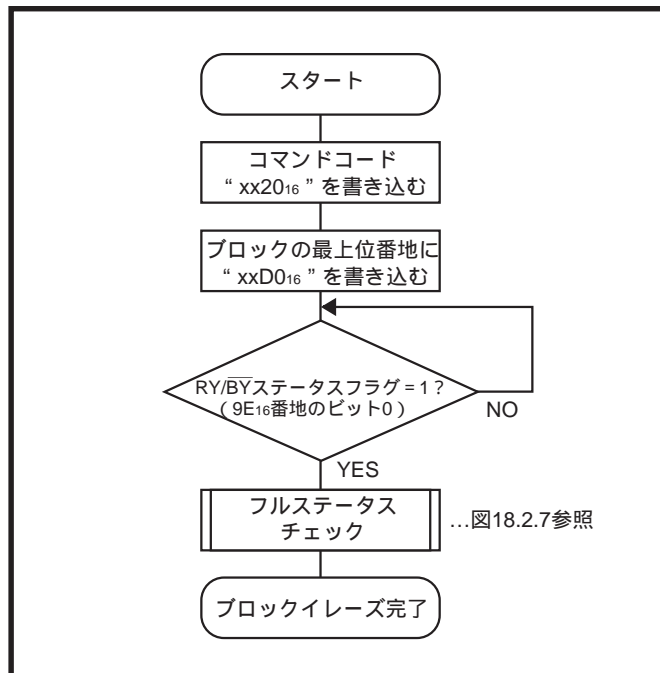


図18.2.5 ブロックイレーズフローチャート

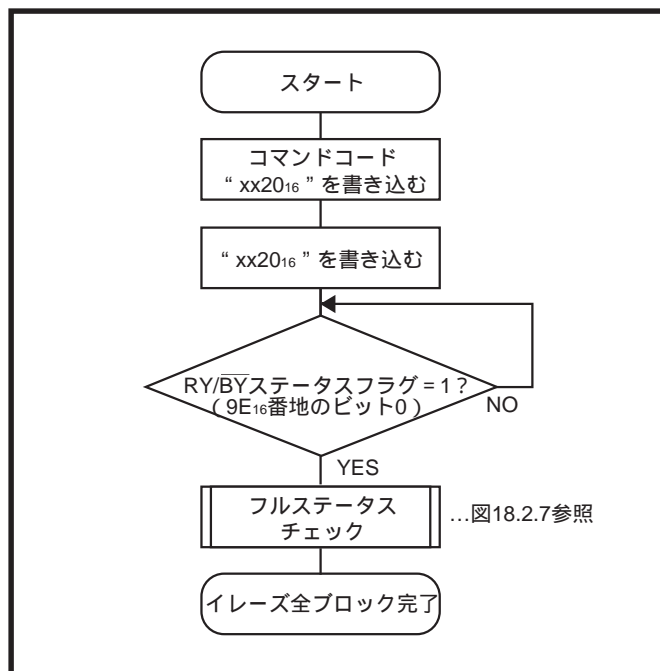


図18.2.6 イレーズ全ブロックフローチャート

18.2.5 フルステータスチェック

プログラム/イレーズ終了時、エラーが発生すると、ステータスレジスタのSR.4、SR.5が“1”になり、各エラーの発生を示します。したがって、プログラム/イレーズ終了時、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表18.2.3にエラー及びステータスレジスタ(SR.4、SR.5)の状態を、図18.2.7にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

表18.2.3 エラー及びステータスレジスタの状態

ステータスレジスタ		エラー	エラー発生条件
SR.5	SR.4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書き込まなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに、“xxD0₁₆”又は“xxFF₁₆”以外のデータを書き込んだとき(注) ・イレーズ全ブロックコマンドの第2バスサイクルのデータに、“xx20₁₆”又は“xxFF₁₆”以外のデータを書き込んだとき(注)
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ブロックイレーズ又はイレーズ全ブロックを実行し、正しくイレーズされなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プログラムを実行し、正しくプログラムされなかったとき

注．これらのコマンドの第2バスサイクルで“xxFF₁₆”を書き込むと、リードアレイモードになり、同時に、第1バスサイクルで書き込んだコマンドコードはキャンセルされます。

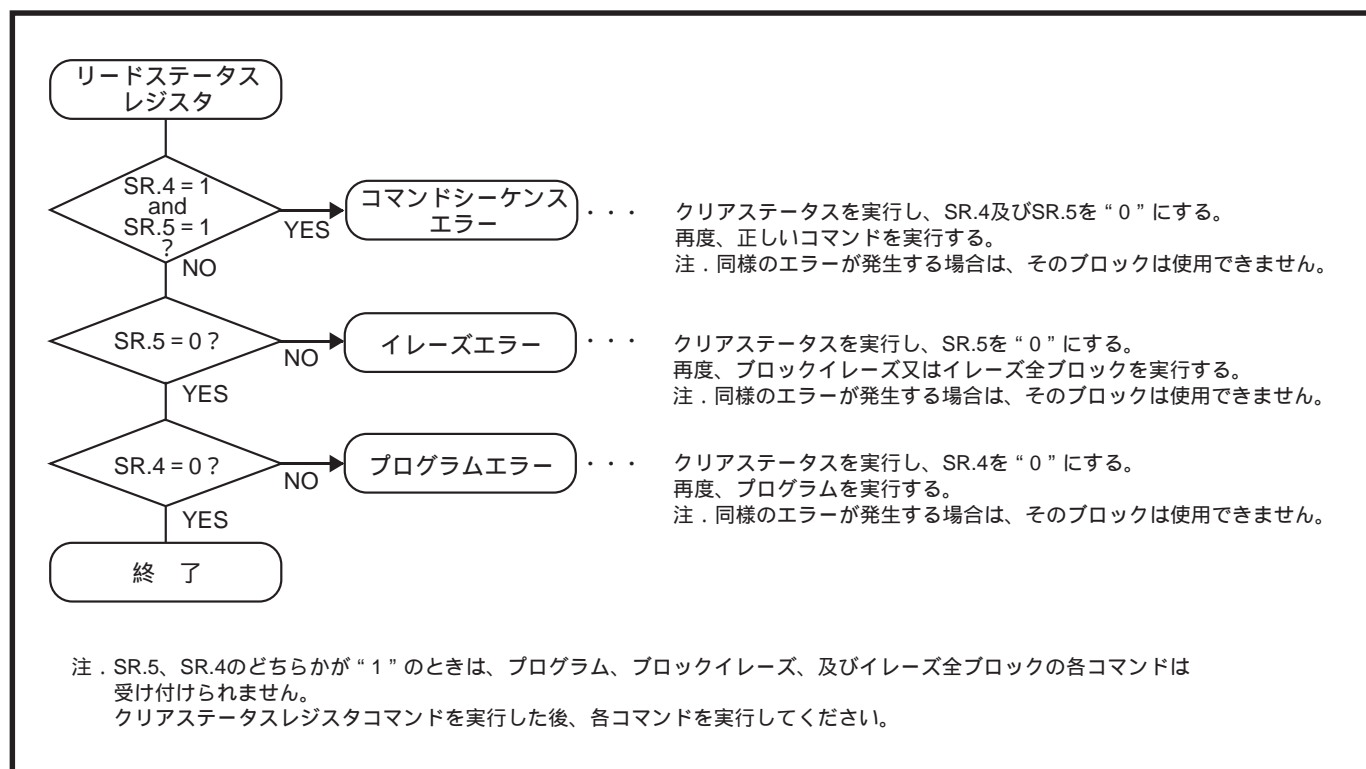


図18.2.7 フルステータスチェックフローチャート及び各エラー発生時の対処方法

18.2.6 電気的特性

直流電気的特性($V_{CC}=5V\pm 0.5V$, $T_a=0\sim 60$, $f(f_{sys})=26MHz$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{CC1}	V _{CC} 電源電流(プログラム時)			54	mA
I _{CC2}	V _{CC} 電源電流(イレーズ時)			54	mA

交流電気的特性($V_{CC}=5V\pm 0.5V$, $T_a=0\sim 60$, $f(f_{sys})=26MHz$)

項目	規格値			単位
	最小	標準	最大	
ワードプログラム時間		20	640	μs
1Kバイトブロックイレーズ時間		0.3	8	s
8Kバイトブロックイレーズ時間		0.3	8	s
52Kバイトブロックイレーズ時間		0.6	8	s
イレーズ全ブロック時間		1.2	24	s

上記項目以外の規格値は、「付録9 . M37903F8CHP電気的特性」を参照してください。

【CPU書き換えモード使用上の注意】

1. CPU書き換えモードでは、内蔵フラッシュメモリに対するオペコードフェッチができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域に転送した後、その領域上で実行してください(図18.2.3参照)。また、内蔵フラッシュメモリ以外の領域で実行するため、書き換え制御プログラム中の命令の記述(指定番地、アドレッシングモードなど)に注意してください。
2. CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。
 - ・割り込み禁止フラグ(1)=1、又は割り込み優先レベル=000(割り込み禁止)にする
 - ・NMI端子にV_{CC}レベルを印加する、又はNMI端子プルアップ選択ビット(92₁₆番地のビット7)=0に設定してNMI端子を開放する特殊機能選択レジスタ2(64₁₆番地)で監視タイマを禁止していない場合は、CPU書き換えモード中も、監視タイマレジスタには定期的な書き込みを行い、監視タイマ割り込みが発生しないようにしてください。
3. 自動書き込み及び自動消去中は、内蔵フラッシュメモリをアクセスしないでください(コマンドコードの書き込みを含む)。
4. コマンド及びデータの読み出し/書き込みは、16ビット単位で、ユーザROM領域内の偶数番地に対して行ってください。
5. FF90₁₆ ~ FF9F₁₆番地(ユーザROM領域)はライタ用の予約領域です。この領域にはプログラムしないでください。

18.3 シリアル入出力モード

シリアル入出力モードでは、(株) 蒼星電子システム製のシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域の内容を書き換えることができます。シリアルライターについては、メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

なお、パラレル入出力モード(「18.4 パラレル入出力モード」参照)でブートROM領域の内容を書き換えた場合、シリアル入出力モードは使用できなくなります。

また、FF90₁₆ ~ FF9F₁₆番地(ユーザROM領域)はライター用の予約領域です。この領域にはプログラムしないでください。

18.3.1 端子の機能説明

表18.3.1にシリアル入出力モード時の端子の機能説明を、図18.3.1にシリアル入出力モード時の端子の結線図を示します。

表18.3.1 シリアル入出力モード時の端子の機能説明

端子名	名称	入出力	機能
V _{CC}	電源入力		V _{CC} レベルを印加してください。
V _{SS}			V _{SS} レベルを印加してください。
MD0	MD0	入 力	V _{SS} に接続してください。
MD1	MD1	入 力	抵抗(10k ~ 100k 程度)を介してV _{SS} に接続してください。
BYTE	外部データバス幅切り替え入力	入 力	BYTE端子(シリアル入出力モード時は使用しません)
RESET	リセット入力	入 力	リセット入力端子です(注1)。
X _{IN}	クロック入力	入 力	X _{IN} 端子とX _{OUT} 端子の間にはセラミック共振子、又は水晶発振子を接続してください。外部で生成したクロックを入力する場合は、X _{IN} 端子から外部で生成したクロックを入力し、X _{OUT} 端子は開放してください。
X _{OUT}	クロック出力	出 力	
NMI	NMI割り込み入力	入 力	V _{CC} に接続、又は開放してください。
CDSEL	CDSEL	入 力	CDSEL端子(シリアル入出力モード時は使用しません)
AV _{CC}	アナログ電源入力		V _{CC} に接続してください。
AV _{SS}			V _{SS} に接続してください。
V _{REF}	基準電圧入力	入 力	V _{REF} 端子(シリアル入出力モード時は使用しません)
P0 ₀ ~ P0 ₇	入力ポートP0	入 力	入力ポート(シリアル入出力モード時は使用しません)
P1 ₀ ~ P1 ₇	入力ポートP1	入 力	
P2 ₀ ~ P2 ₇	入力ポートP2	入 力	
P3 ₀ ~ P3 ₃	入力ポートP3	入 力	
P4 ₀ 、 P4 ₄ ~ P4 ₇	入力ポートP4	入 力	
P4 ₁	SCLK入力	入 力	
P4 ₂	SDA入出力	入出力	シリアルデータの入出力端子です。この端子は、抵抗(1k 程度)を介してV _{CC} に接続してください。
P4 ₃	BUSY出力	出 力	BUSY信号の出力端子です。
P5 ₀ ~ P5 ₇	入力ポートP5	入 力	入力ポート(シリアル入出力モード時は使用しません)
P6 ₀ ~ P6 ₇	入力ポートP6	入 力	
P7 ₀ ~ P7 ₇	入力ポートP7	入 力	
P8 ₀ ~ P8 ₇	入力ポートP8	入 力	
P10 ₀ ~ P10 ₇	入力ポートP10	入 力	
P11 ₀ ~ P11 ₇	入力ポートP11	入 力	

注1. ユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンプスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください(「18.3.2 シリアル入出力モード使用時の制御端子処理例」参照)。

- シリアル入出力モードで使用しない端子は、ユーザシステム上で必要に応じて接続してください。ユーザシステムで使用しない端子については、「6.3 未使用端子の処理例」を参考に処理してください。シリアル入出力モードで使用する端子については、「18.3.2 シリアル入出力モード使用時の制御端子処理例」を参考に処理してください。

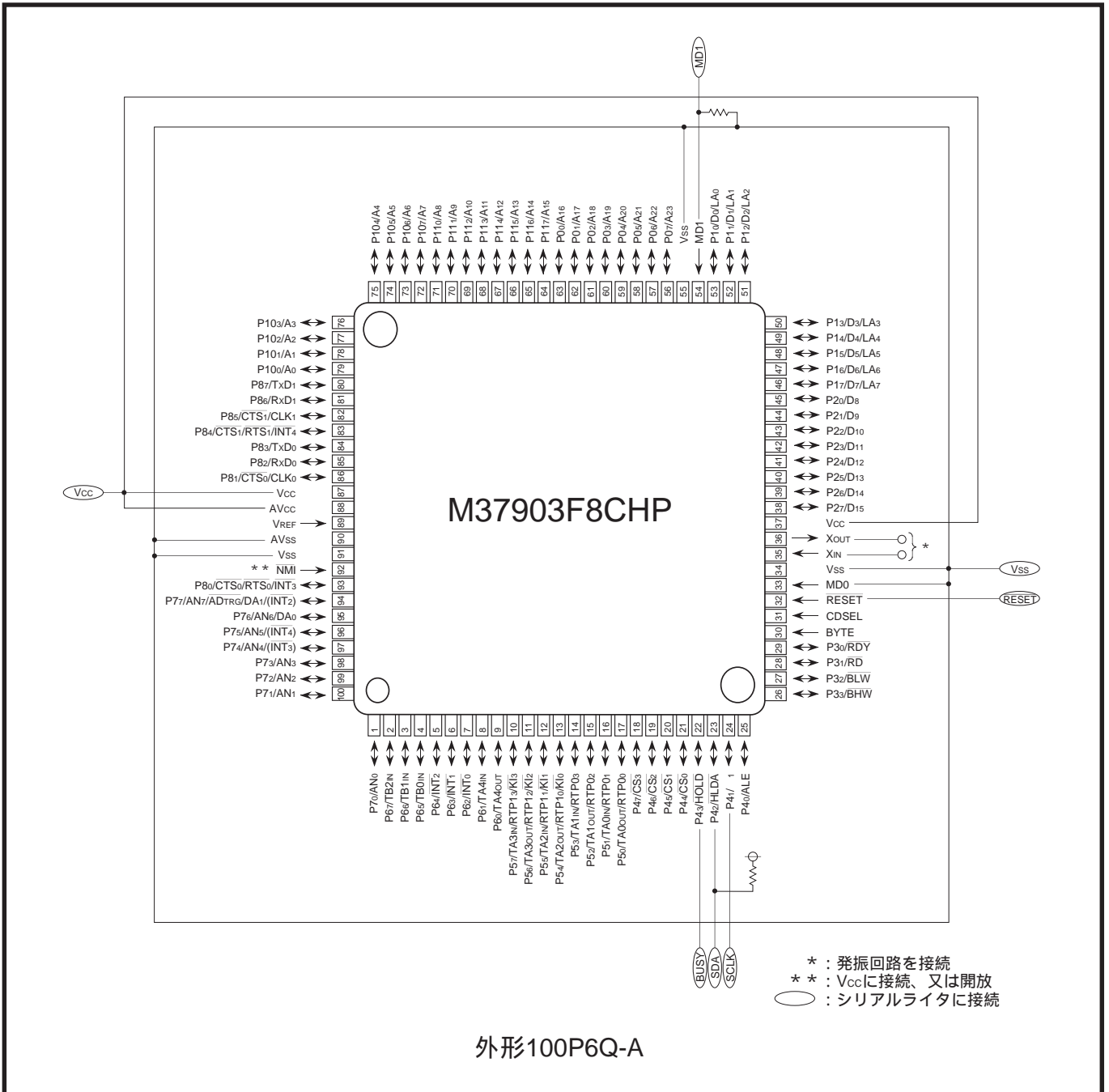


図18.3.1 シリアル入出力モード時の端子の結線図(外形：100P6Q-A)

18.3.2 シリアル入出力モード使用時の制御端子処理例

シリアル入出力モードでは、P4₁～P4₃、MD0、及びMD1端子が制御信号入出力端子になります。また、シリアル入出力モード中に割り込みが発生しないように、 $\overline{\text{NMI}}$ 端子を処理する必要があります。以下にこれらの端子、及びRESET端子の基板上での処理例を示します。

(1) 制御信号がユーザシステム回路に影響しない場合

シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されない、又はユーザシステム回路に影響しない場合は、図18.3.2に示すように結線できます。ただし、NMI端子をユーザシステム回路で使用する場合は、図18.3.3、図18.3.4を参照してください。

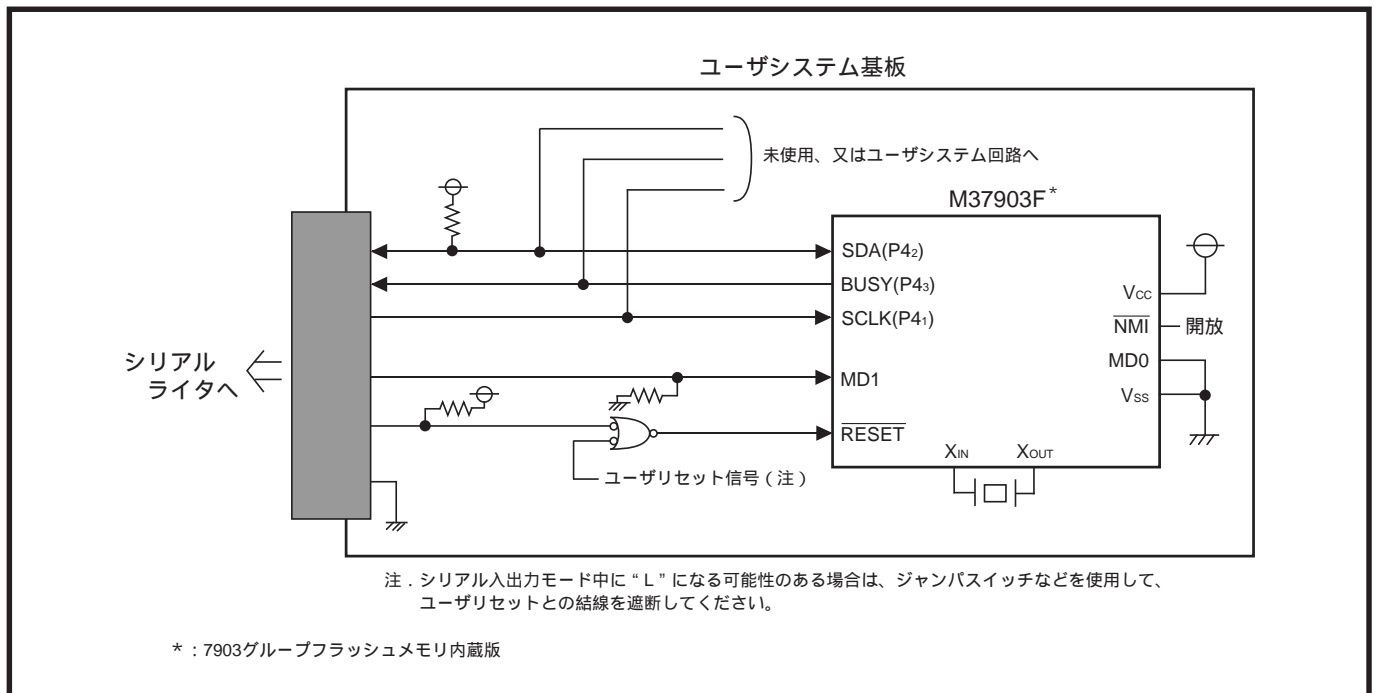


図18.3.2 制御信号がユーザシステム回路に影響しない場合の端子処理例

(2) 制御信号がユーザシステム回路に影響する場合

シリアル入出力モード時の制御信号をユーザシステム回路で使用している場合は、シリアル入出力モード時、ユーザシステム回路との結線を遮断する必要があります。図18.3.3にジャンプスイッチを使用した端子処理例を、図18.3.4にアナログスイッチを使用した端子処理例を示します。

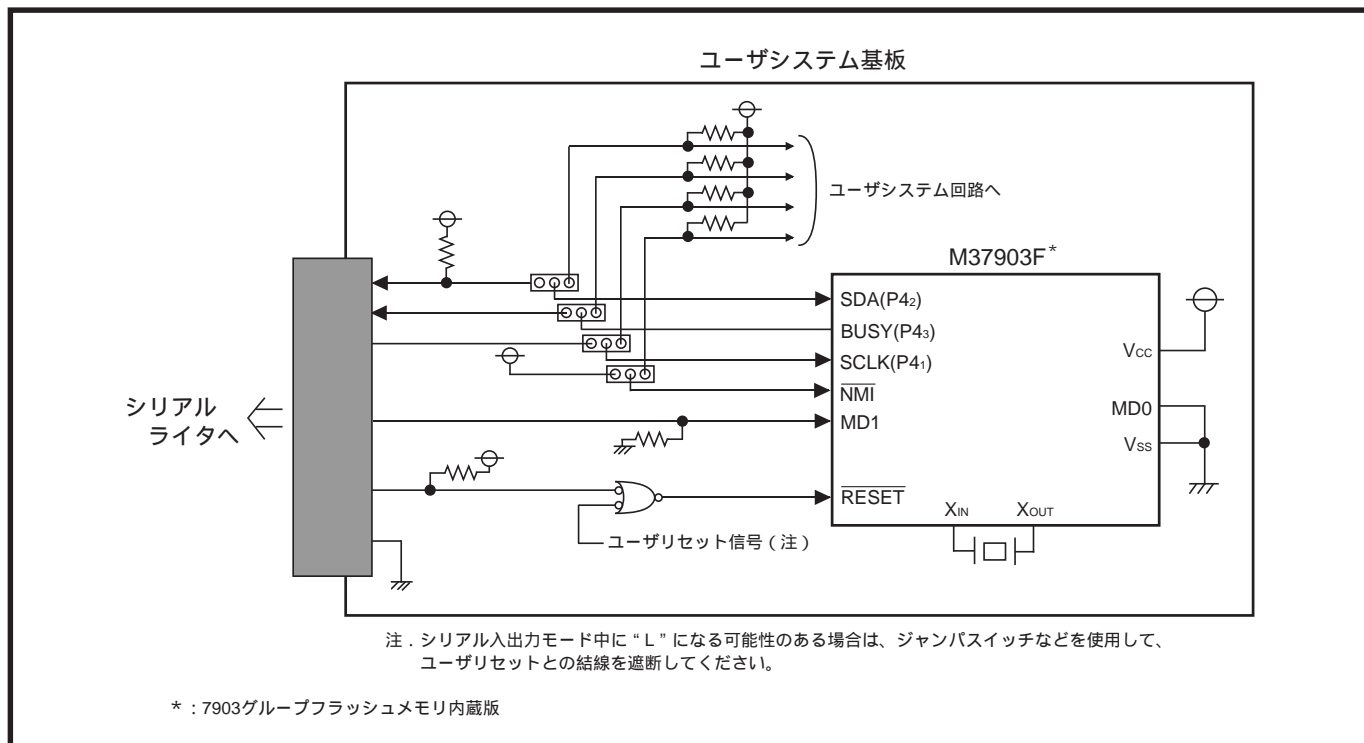


図18.3.3 ジャンプスイッチを使用した端子処理例

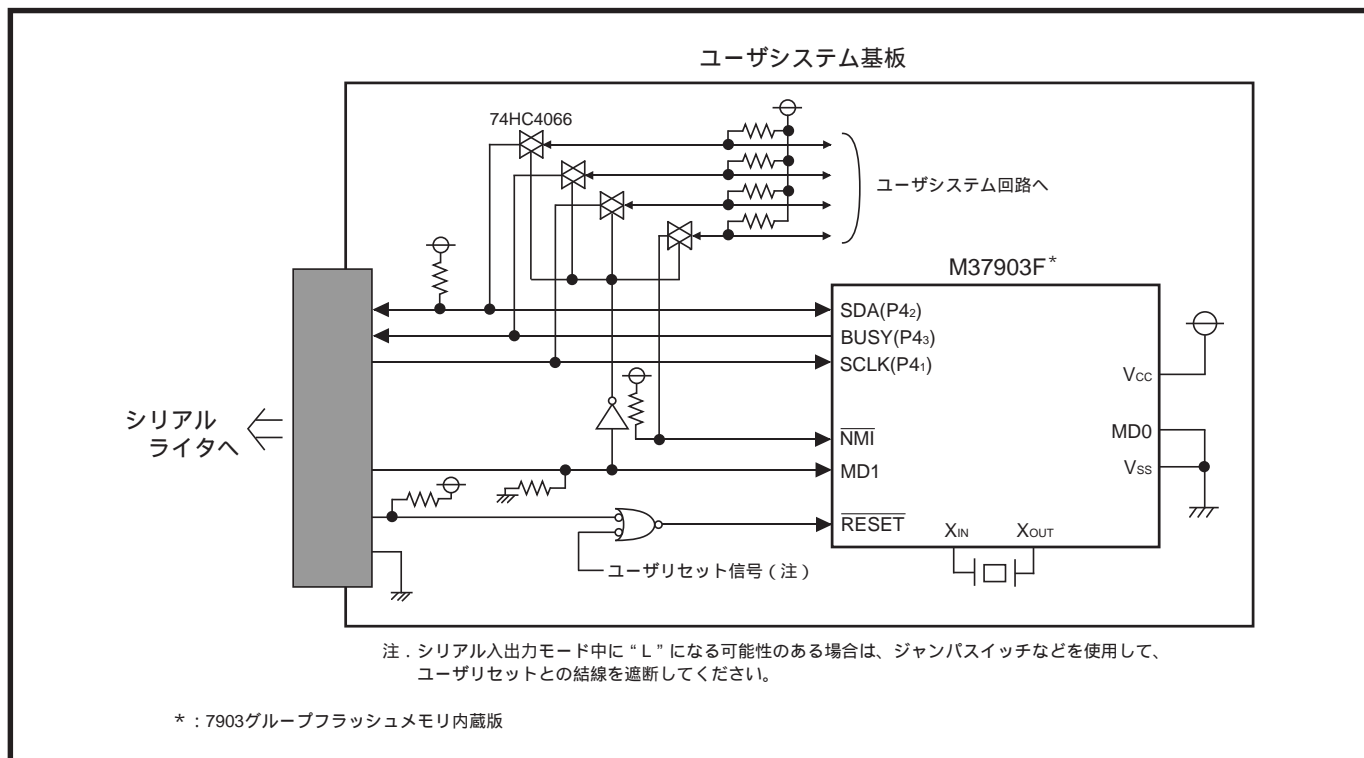


図18.3.4 アナログスイッチを使用した端子処理例

【シリアル入出力モード使用上の注意】

1. パラレル入出力モードでブートROM領域の内容を書き換えた場合、シリアル入出力モードは使用できなくなります。
2. シリアル入出力モードでは、 $\overline{\text{NMI}}$ 割り込みが発生しないよう、 $\overline{\text{NMI}}$ 端子を V_{CC} に接続、又は開放してください（「18.3.2 シリアル入出力モード使用時の制御端子処理例」参照）。
3. ユーザリセット信号がシリアル入出力モード中に「L」になる可能性のある場合は、ジャンプスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください（「18.3.2 シリアル入出力モード使用時の制御端子処理例」参照）。
4. FF90₁₆ ~ FF9F₁₆番地(ユーザROM領域)はライタ用の予約領域です。この領域にはプログラムしないでください。

18.4 パラレル入出力モード

パラレル入出力モードでは、(株)彗星電子システム製のパラレルライターを使用して、ユーザROM領域及びブートROM領域(図18.1.2参照)の内容を書き換えることができます。パラレルライターについては、メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モード時、ブートROM領域は $0_{16} \sim FFF_{16}$ 番地(ワードアドレス)になります。

なお、パラレル入出力モードでブートROM領域の内容を書き換えた場合、シリアル入出力モード(「18.3 シリアル入出力モード」参照)は使用できなくなります。

機能の詳細については、最新のデータシートを参照してください。

【パラレル入出力モード使用上の注意】

1. パラレル入出力モードでブートROM領域の内容を書き換えた場合、シリアル入出力モード(「18.3 シリアル入出力モード」参照)は使用できなくなります。
2. パラレル入出力モードで使用するアドレスは、ワードアドレスです。
3. FF90₁₆ ~ FF9F₁₆番地(ユーザROM領域: バイトアドレス)はライタ用の予約領域です。この領域にはプログラムしないでください。

18.5 CPU書き換えモード応用例

ここでは、CPU書き換えの応用例を取り上げます。プログラム開発の際の参考にしてください。流用される場合は、ユーザアプリケーションに応じて、適宜変更、及び十分な評価をしてください。

18.5.1 システム概要

この応用例は、M37903に内蔵されているフラッシュメモリの内容を、CPU書き換えモードで書き換えるものです。

CPU書き換え制御プログラムはE000₁₆ ~ FFFF₁₆番地に、書き換えデータは外部ROM領域に、それぞれ格納してあるものとします。

以下にCPU書き換え制御プログラムの処理の流れを、図18.5.1にメモリ配置を示します。

CPU書き換えプログラムを内部RAM領域に転送する(図18.5.1の)

1000₁₆ ~ DFFF₁₆番地をイレーズ/プログラムする(図18.5.1の)

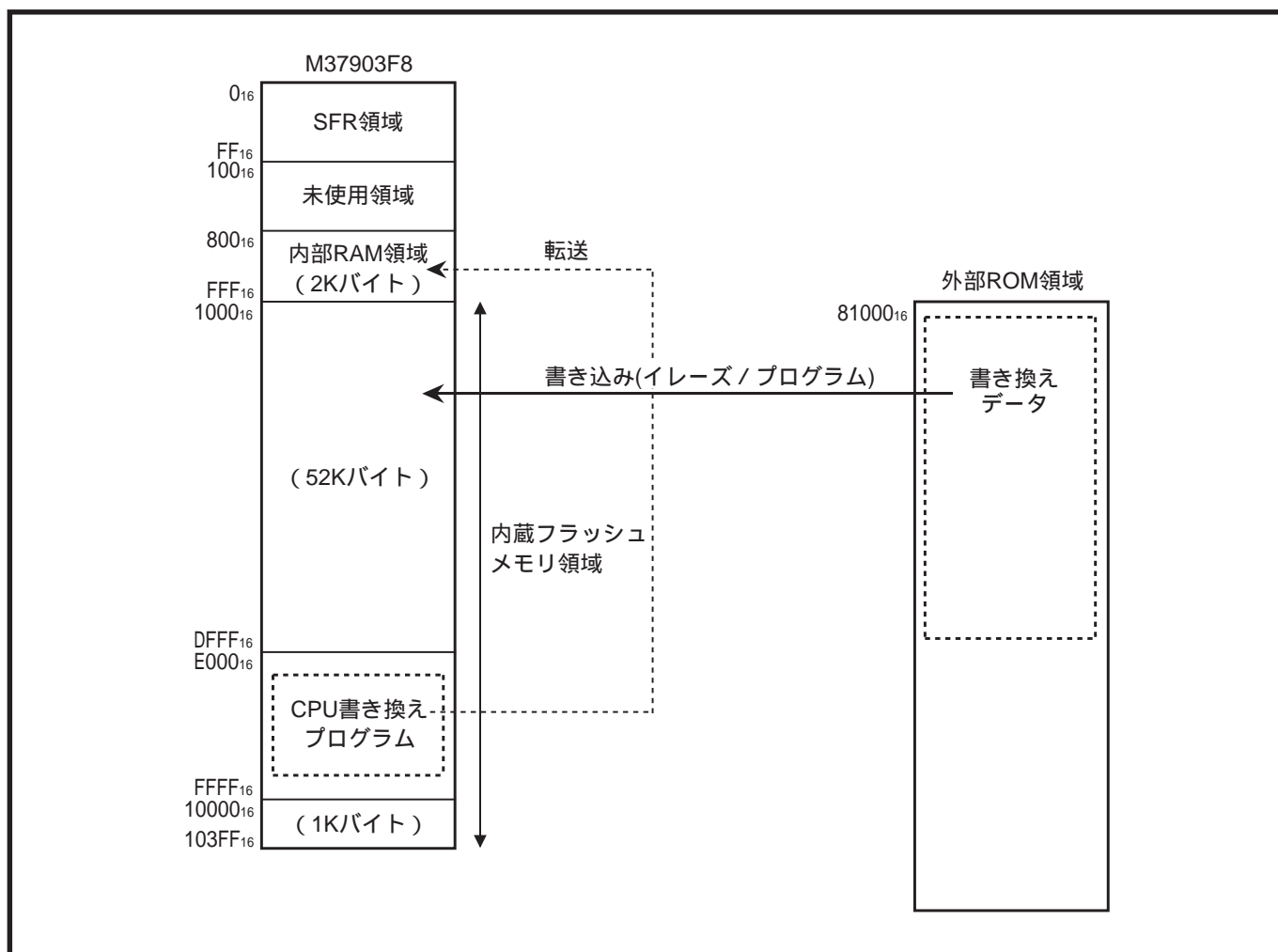


図18.5.1 メモリ配置

18.5.2 処理内容

CPU書き換えの制御は、表18.5.1に示す処理を組み合わせで行います。CPU書き換えメインルーチン及びベリファイを実行するプログラムは内蔵フラッシュメモリ上で、その他のサブルーチンは内部RAM領域に転送し、内部RAM上で実行してください。CPU書き換えコマンドサブルーチンは、CPU書き換えモード中で、個別に、又は用途に応じて組み合わせで実行できます。図18.5.2にCPU書き換え制御フローチャートを示します。

表18.5.1 CPU書き換え制御処理項目

制御項目		概要	参照先
CPU書き換え メインルーチン	CPU書き換えモードへの 移行準備	内部ROMバスサイクル3 / 割り込み禁止 / CPU書き換え制御プログラムを内部RAMに転送 / CPU書き換え制御プログラムの先頭番地へJMP	18.5.2(2)
CPU書き換え サブルーチン	CPU書き換えモードへの移行	CPU書き換えモード有効	18.5.2(3)
	CPU書き換えモードの解除	リードアレイコマンド発行 / CPU書き換えモード解除 / 内蔵フラッシュメモリの任意の番地へJMP	18.5.2(8)
CPU書き換え コマンド サブルーチン	書き換え領域の消去	ブロックイレースコマンド発行 / ステータスチェック	18.5.2(4)
	書き換えデータの書き込み	プログラムコマンド発行 / ステータスチェック	18.5.2(5)
	ステータスチェック	リードステータスレジスタコマンド発行	18.5.2(6)
ベリファイ		内蔵フラッシュメモリの内容と外部ROMの内容を比較	18.5.2(7)

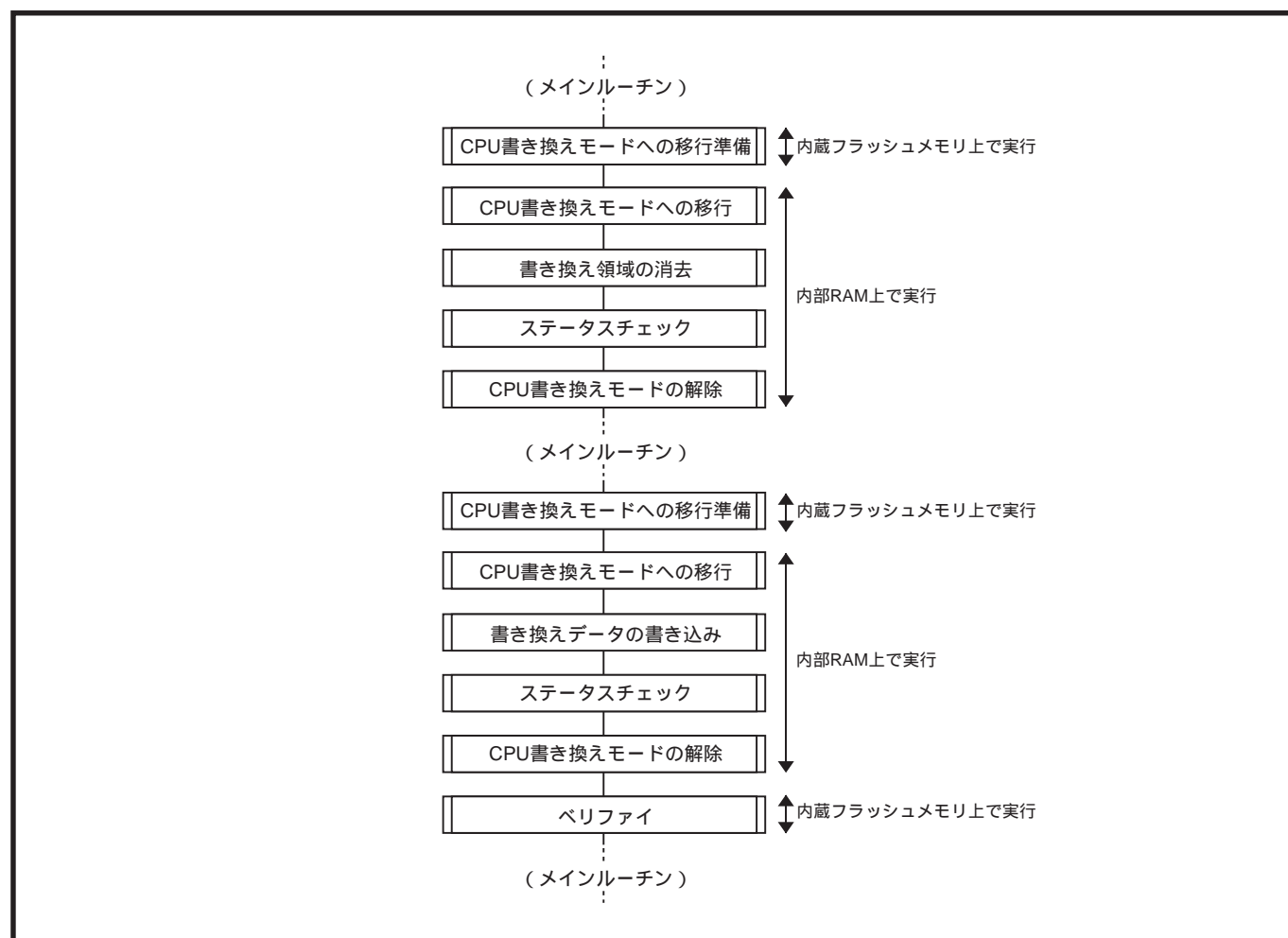


図18.5.2 CPU書き換え制御フローチャート

(1)使用メモリ(内部RAM領域)

表18.5.2に本応用例で使用するメモリを、図18.5.3にERR_FLGの内容を示します。

表18.5.2 使用メモリ

名称	バイト数	内容
WP_NUM	2	書き換えデータのワード数
DATA_AR	4	読み出しアドレス(外部メモリ)
DATA_AW	4	書き込みアドレス(内蔵フラッシュメモリ)
DATA_AE	4	イレーズアドレス(内蔵フラッシュメモリ)(注)
ERR_FLG	1	エラー及びステータスを表示

注．イレーズアドレスは消去するブロックの最上位番地 - 1を設定してください。

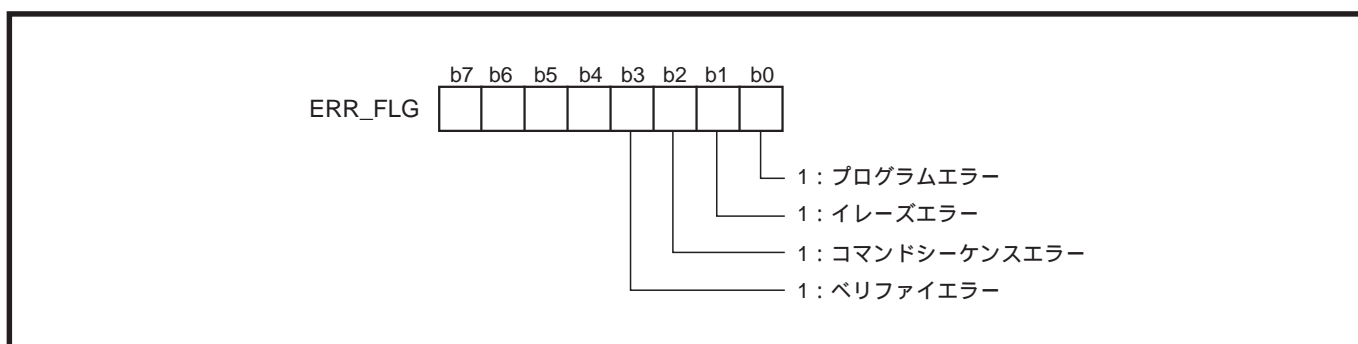
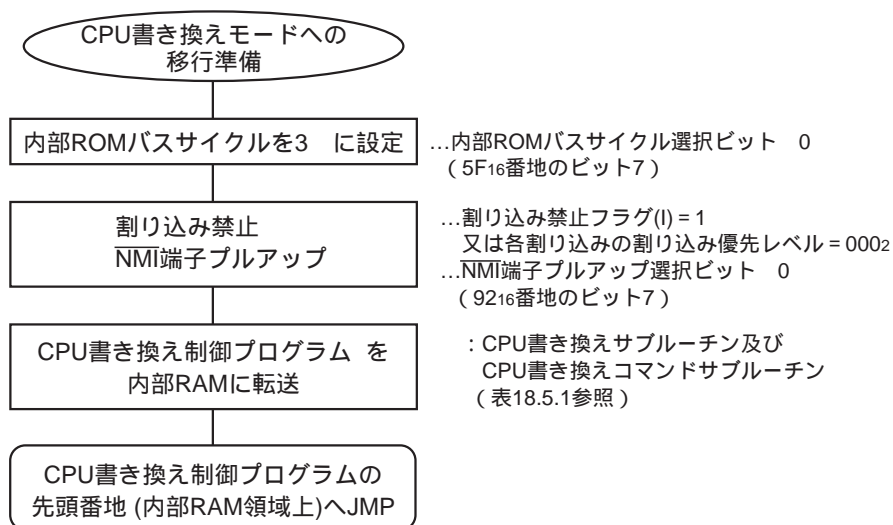


図18.5.3 ERR_FLGの内容

(2) CPU書き換えモードへの移行準備

フローチャート

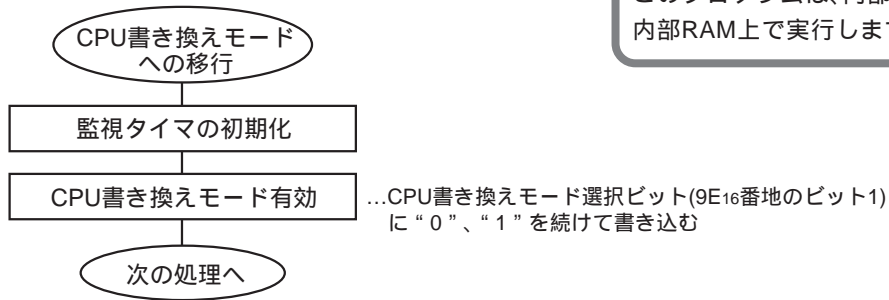


プログラム例

MOVMB	DT:PMR0,#0A1H	; プロセッサモードレジスタ0(メモリ拡張モード)
MOVMB	DT:PMR1,#0CH	; プロセッサモードレジスタ1(内部ROMバスサイクル3)
SEI		; 割り込み禁止
ANDMB	DT:PORTCON,#80H	; ポート機能制御レジスタ(NMI端子プルアップ)
LDA.W	A,#END_PRG - E_W_PRG	; CPU書き換え制御プログラムを内部RAMに転送
LDX.W	#OFFSET E_W_PRG	; 転送バイト数を設定
LDY.W	#RAM_ADD	; 転送元番地を設定
MVN	0H,0H	; 転送先番地を設定
		; ブロック転送実行
JMP	RAM_ADD	; 内部RAM上のCPU書き換えサブルーチンに分岐

(3)CPU書き換えモードへの移行

フローチャート



このプログラムは、内部RAMへ転送後、内部RAM上で実行します。

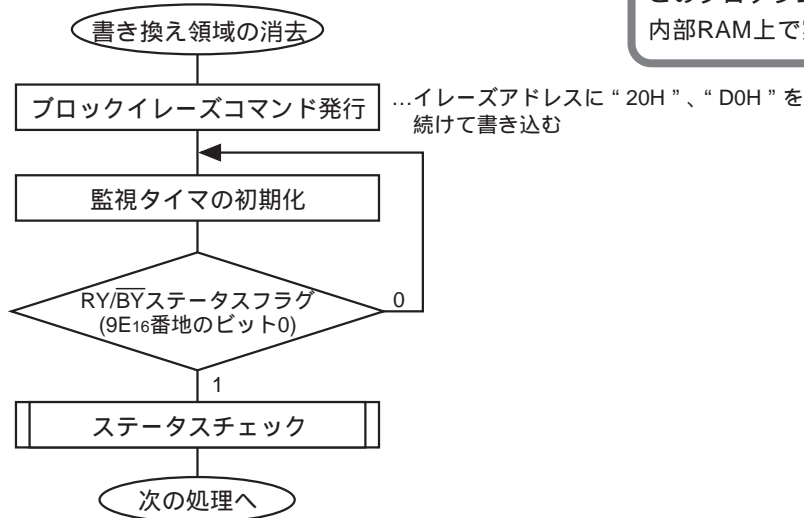
プログラム例

```

CLRMB   DT:WDT           ; 監視タイマの初期化
MOVMB   DT:FLASHR,#00000000B
MOVMB   DT:FLASHR,#00000010B
  
```

(4)書き換え領域の消去

フローチャート



このプログラムは、内部RAMへ転送後、内部RAM上で実行します。

プログラム例

```

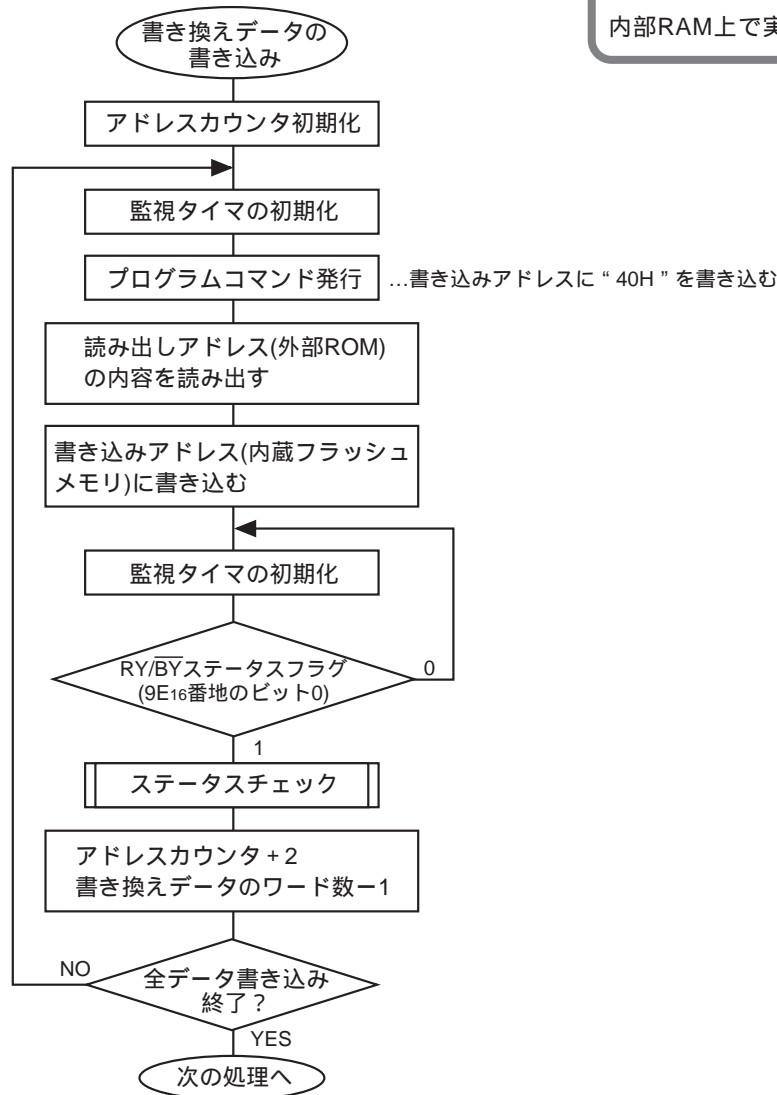
LDA.W    A,#20H                ; ブロックの消去
STA      A,L(DP:DATA_AE)      ;
LDA.W    A,#0D0H              ;
STA      A,L(DP:DATA_AE)      ;
  
```

```

B_ERASE_WAIT:
CLRMB    DT:WDT                ; 監視タイマの初期化
BBCB     #01H,DT:FLASHR,B_ERASE_WAIT ; RY/BYステータスフラグが0(自動消去中)->待つ
BSR      CHK_ST                ; ステータスチェック
  
```

(5)書き換えデータの書き込み

フローチャート



このプログラムは、内部RAMへ転送後、内部RAM上で実行します。

プログラム例

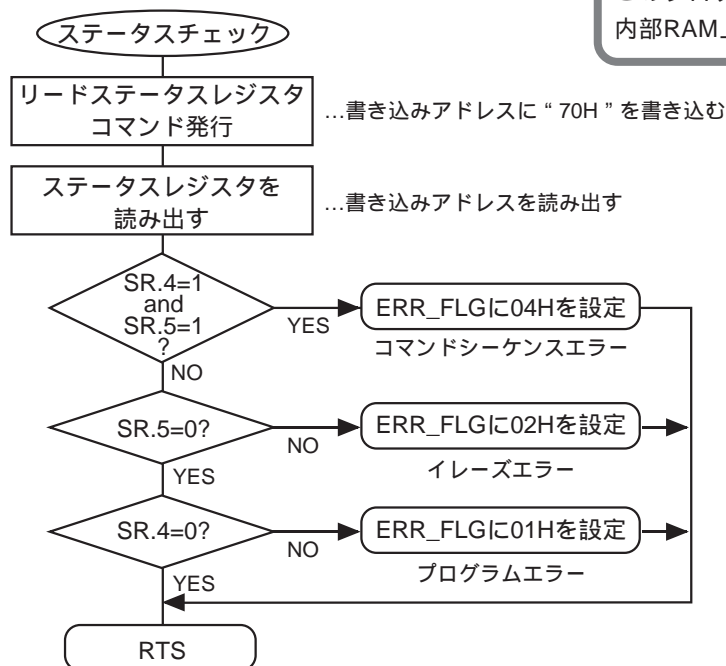
```

CLR Y                                ; アドレスカウンタ初期化
LDA B, WP_NUM                         ; 書き換えデータのワード数設定
PRG_LOOP:
CLRMB DT, WDT                         ; 監視タイマの初期化
LDA W, A, #40H                        ; プログラムコマンドを入力
STA A, L(DP:DATA_AW)                  ;
LDA A, L(DP:DATA_AR), Y               ; 外部ROMのデータを読み出す
STA A, L(DP:DATA_AW), Y               ; 内蔵フラッシュメモリにデータを書き込む
PRG_WAIT:
CLRMB DT, WDT                         ; 監視タイマの初期化
BBCB #01H, DT, FLASHR, PRG_WAIT      ; BUSYフラグが0(BUSY中)->待つ
BSR CHK_ST                            ; ステータスチェック

INY                                    ; アドレスカウンタ+2
INY                                    ;
DEC B                                  ; 書き換えデータのワード数 - 1
BNE PRG_LOOP                          ; 全データ書き込み終了?
    
```

(6)ステータスチェック

フローチャート



プログラム例

```

LDA.W    A,#70H                ;リードステータスレジスタコマンドを入力
STA      A,(DP:DATA_AW)        ;
LDA      A,(DP:DATA_AW)        ;ステータスレジスタ読み出し

ANDB    A,#30H                ;
CMPB    A,#30H                ;
BEQ     ERR_SEQ                ;コマンドシーケンスエラー
CMPB    A,#20H                ;
BEQ     ERR_ERASE              ;イレースエラー
CMPB    A,#10H                ;
BEQ     ERR_PRG                ;プログラムエラー
RTS

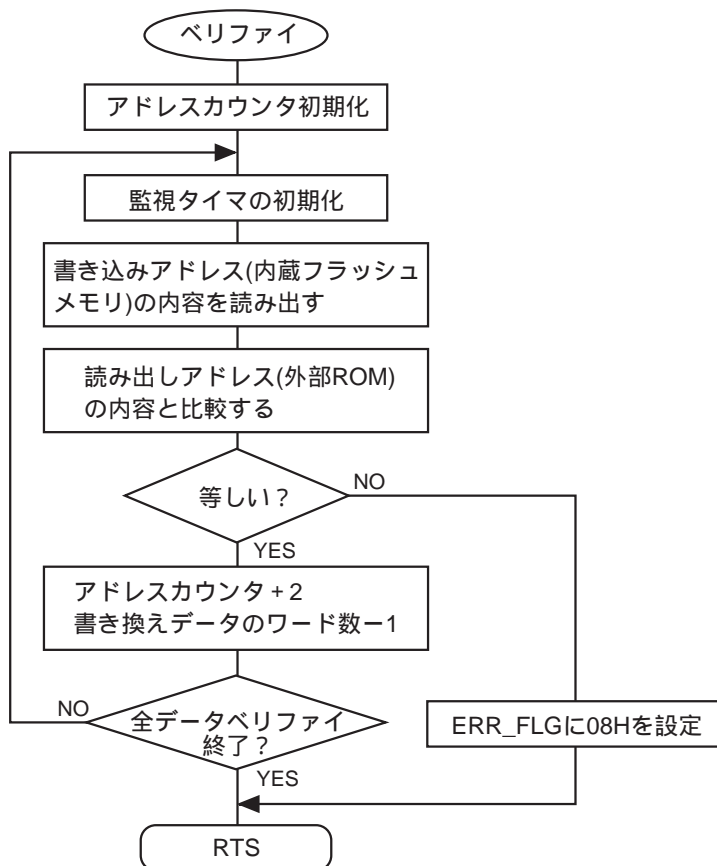
ERR_SEQ:                ;コマンドシーケンスエラー
  MOVMB  DP:ERR_FLG,#04H
  RTS

ERR_ERASE:              ;イレースエラー
  MOVMB  DP:ERR_FLG,#02H
  RTS

ERR_PRG:                ;プログラムエラー
  MOVMB  DP:ERR_FLG,#01H
  RTS
  
```

(7)ベリファイ

フローチャート



プログラム例

```

VRFY:
  CLRY                                ; アドレスカウンタ初期化
  LDA      B,WP_NUM                    ; 書き換えデータのワード数設定

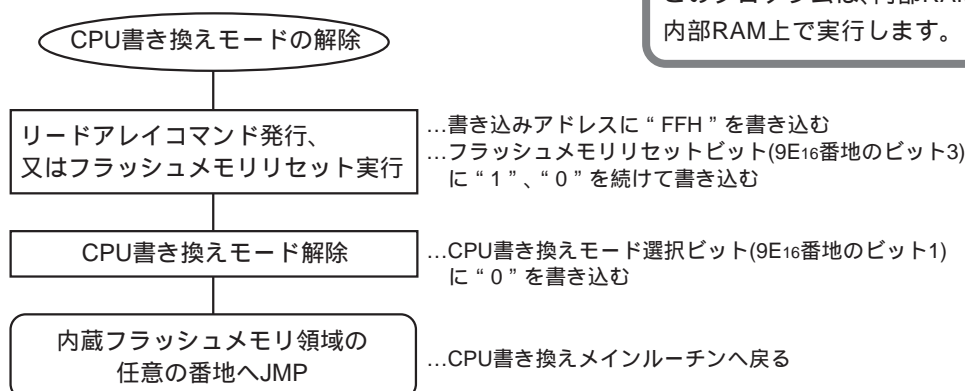
VRFY_LOOP:
  CLRMB   DT:WDT                       ; 監視タイマの初期化
  LDA     A,L(DP:DATA_AW),Y            ; 内蔵フラッシュメモリの内容を読み出す
  CMP     A,L(DP:DATA_AR),Y            ; 外部ROMの内容と比較する
  BEQ     VRFY_OK                       ; 一致する VRFY_OK
  ORAMB   DP:ERR_FLG,#08H              ; 一致しない エラーフラグ設定
  RTS

VRFY_OK:
  INY                                ; アドレスカウンタ+2
  INY
  DEC     B                             ; 書き換えデータのワード数 - 1
  BNE     VRFY_LOOP                    ; 全データのベリファイ完了?
  RTS

```

(8) CPU書き換えモードの解除

フローチャート



プログラム例

LDA.W	A,#0FFH	; リードアレイコマンドを入力
STA	A,(DP:DATA_AW)	;
ANDMB	DT:FLASHR,#11111101B	; CPU書き換えモード無効
JMP	MAIN_RTN	; CPU書き換えメインルーチン(内蔵フラッシュメモリ上)へ

エラー処理について

ERR_FLGの内容で、各エラー(プログラムエラー/イレースエラー/コマンドシーケンスエラー/ベリファイエラー)を判断してください。

プログラムエラー、イレースエラー、及びコマンドシーケンスエラーが発生した場合は、以下の処理を行ってください、

クリアステータスコマンドを実行する。

再度、正しいコマンドを実行する。

この後、同様のエラーが発生する場合は、そのブロックは使用できません。

18.5.3 小容量データの書き換え応用

M37903では、1ワード(2バイト)ずつ内蔵フラッシュメモリを書き換えることができます。そのため、一度に消費するフラッシュメモリの量を節約できます。

ここでは、書き込みアドレスをずらしながら、2バイトのデータを1Kバイトブロック(10000₁₆~103FF₁₆番地)に書き込む応用について説明します。

なお、既に関き込んだ(プログラムした)領域に対しては、イレーズ後、書き込んでください。イレーズせずに書き込んだ場合、その内容は不定になります。このような二重書き込みを避けるため、書き込みアドレスは必ず連続させてください。

図18.5.4に処理概要を、図18.5.5に小容量データの書き換えフローチャートを示します。図18.5.5中の各処理の詳細については、「18.5.2(2)CPU書き換えモードへの移行準備」~「18.5.2(8)CPU書き換えモードの解除」を参照してください。

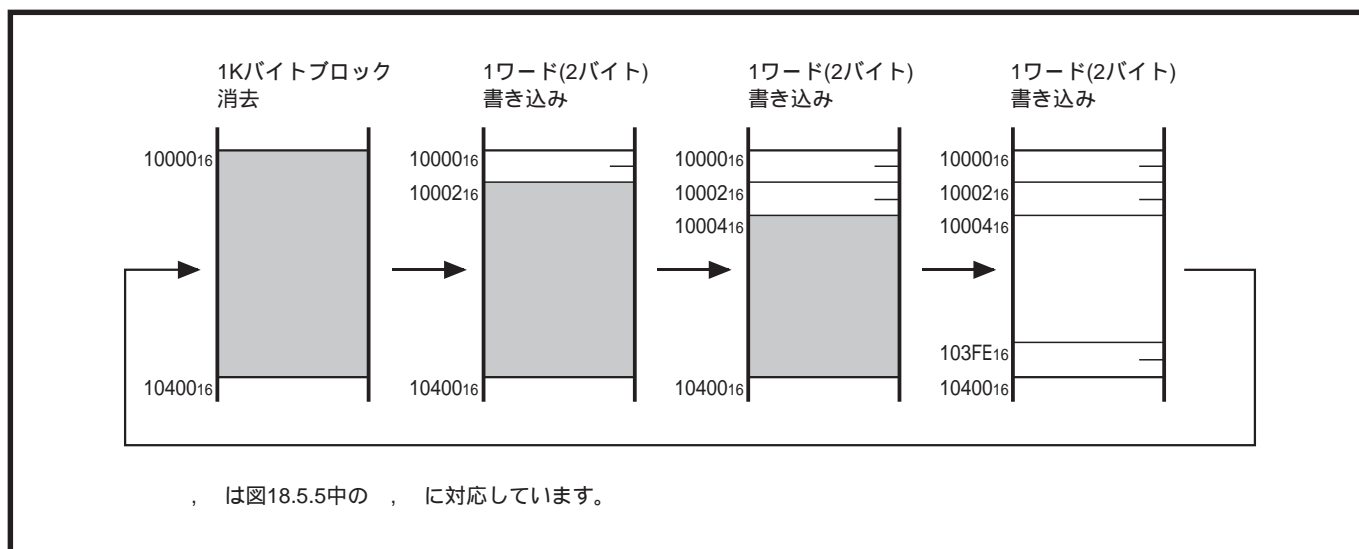


図18.5.4 処理概要

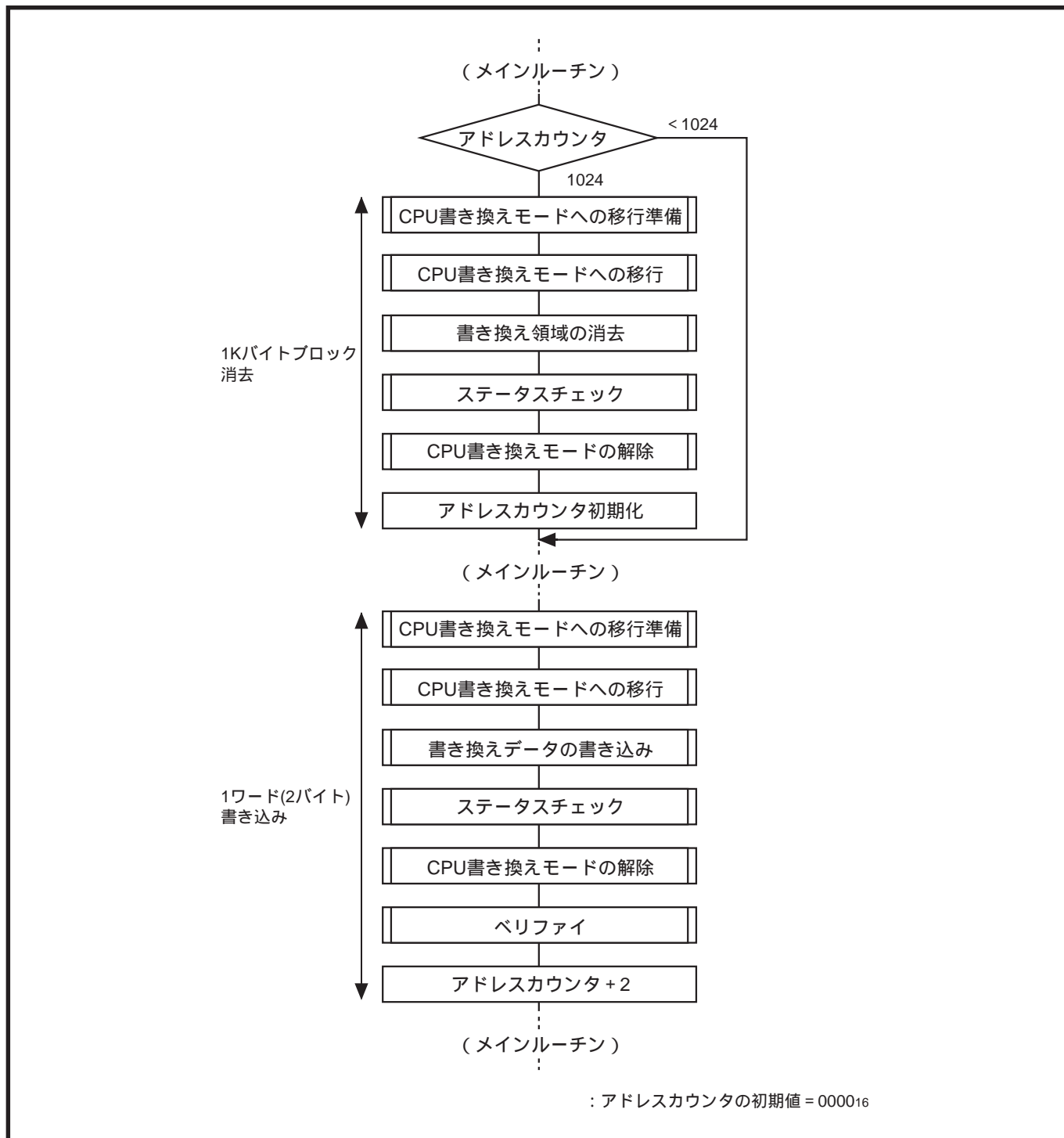


図18.5.5 小容量データの書き換えフローチャート

Memo

付 録

- 付録1．SFR領域のメモリ配置
- 付録2．制御レジスタ一覧
- 付録3．外形寸法図
- 付録4．未使用端子の処理例
- 付録5．16進命令コード対応表
- 付録6．機械語命令一覧表
- 付録7．ノイズに関する参考資料
- 付録8．7903グループQ&A
- 付録9．M37903F8CHP電気的特性
- 付録10．標準特性
- 付録11．ツール使用上の注意
- 付録12．7903グループメモリ配置

付録1．SFR領域のメモリ配置

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
0 ₁₆		(注)		?	
1 ₁₆		(注)		?	
2 ₁₆	ポートP0レジスタ	RW		?	
3 ₁₆	ポートP1レジスタ	RW		?	
4 ₁₆	ポートP0方向レジスタ	RW		00 ₁₆	
5 ₁₆	ポートP1方向レジスタ	RW		00 ₁₆	
6 ₁₆	ポートP2レジスタ	RW		?	
7 ₁₆	ポートP3レジスタ	■	RW	0 0 0 0	?
8 ₁₆	ポートP2方向レジスタ	RW		00 ₁₆	
9 ₁₆	ポートP3方向レジスタ	■	RW	0 0 0 0	0 0 0 0
A ₁₆	ポートP4レジスタ	RW		?	
B ₁₆	ポートP5レジスタ	RW		?	
C ₁₆	ポートP4方向レジスタ	RW		00 ₁₆	
D ₁₆	ポートP5方向レジスタ	RW		00 ₁₆	
E ₁₆	ポートP6レジスタ	RW		?	
F ₁₆	ポートP7レジスタ	RW		?	
10 ₁₆	ポートP6方向レジスタ	RW		00 ₁₆	
11 ₁₆	ポートP7方向レジスタ	RW		00 ₁₆	
12 ₁₆	ポートP8レジスタ	RW		?	
13 ₁₆		■		?	
14 ₁₆	ポートP8方向レジスタ	RW		00 ₁₆	
15 ₁₆		■		?	
16 ₁₆	ポートP10レジスタ	RW		?	
17 ₁₆	ポートP11レジスタ	RW		?	
18 ₁₆	ポートP10方向レジスタ	RW		00 ₁₆	
19 ₁₆	ポートP11方向レジスタ	RW		00 ₁₆	
1A ₁₆		■		?	
1B ₁₆		■		?	
1C ₁₆		■		?	
1D ₁₆		■		?	
1E ₁₆	A-D制御レジスタ0	RW		0 0 0 0	0 ? ? ?
1F ₁₆	A-D制御レジスタ1	■	RW	0 0 0 0	0 1 1

注．読み出し及び書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

□：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性	リセット直後の状態
		b7 b0	b7 b0
20 ₁₆	A-Dレジスタ0	RO	?
21 ₁₆		RO RO	0 0 0 0 0 0 ?
22 ₁₆	A-Dレジスタ1	RO	?
23 ₁₆		RO RO	0 0 0 0 0 0 ?
24 ₁₆	A-Dレジスタ2	RO	?
25 ₁₆		RO RO	0 0 0 0 0 0 ?
26 ₁₆	A-Dレジスタ3	RO	?
27 ₁₆		RO RO	0 0 0 0 0 0 ?
28 ₁₆	A-Dレジスタ4	RO	?
29 ₁₆		RO RO	0 0 0 0 0 0 ?
2A ₁₆	A-Dレジスタ5	RO	?
2B ₁₆		RO RO	0 0 0 0 0 0 ?
2C ₁₆	A-Dレジスタ6	RO	?
2D ₁₆		RO RO	0 0 0 0 0 0 ?
2E ₁₆	A-Dレジスタ7	RO	?
2F ₁₆		RO RO	0 0 0 0 0 0 ?
30 ₁₆	UART0送受信モードレジスタ	RW	00 ₁₆
31 ₁₆	UART0転送速度レジスタ	WO	?
32 ₁₆	UART0送信バッファレジスタ	WO	?
33 ₁₆		WO	?
34 ₁₆	UART0送受信制御レジスタ0	RW RO RW	0 0 0 0 1 0 0 0
35 ₁₆	UART0送受信制御レジスタ1	RO RW RO RW	0 0 0 0 0 0 1 0
36 ₁₆	UART0受信バッファレジスタ	RO	?
37 ₁₆		RO	0 0 0 0 0 0 0 ?
38 ₁₆	UART1送受信モードレジスタ	RW	00 ₁₆
39 ₁₆	UART1転送速度レジスタ	WO	?
3A ₁₆	UART1送信バッファレジスタ	WO	?
3B ₁₆		WO	?
3C ₁₆	UART1送受信制御レジスタ0	RW RO RW	0 0 0 0 1 0 0 0
3D ₁₆	UART1送受信制御レジスタ1	RO RW RO RW	0 0 0 0 0 0 1 0
3E ₁₆	UART1受信バッファレジスタ	RO	?
3F ₁₆		RO	0 0 0 0 0 0 0 ?

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

□：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態									
		b7	b0	b7	b0								
40 ₁₆	カウント開始フラグ	RW		00 ₁₆									
41 ₁₆		□		？									
42 ₁₆	ワンショット開始フラグ	RW	WO	0	？	0	0	0	0	0	0	0	0
43 ₁₆		□		？									
44 ₁₆	アップダウンフラグ	WO	RW	0	0	0	0	0	0	0	0	0	0
45 ₁₆	タイマクロック分周指定レジスタ	RW/RW		0	0	0	0	0	0	0	0	0	0
46 ₁₆	タイマA0レジスタ	(注1)		？									
47 ₁₆		(注1)		？									
48 ₁₆	タイマA1レジスタ	(注1)		？									
49 ₁₆		(注1)		？									
4A ₁₆	タイマA2レジスタ	(注1)		？									
4B ₁₆		(注1)		？									
4C ₁₆	タイマA3レジスタ	(注1)		？									
4D ₁₆		(注1)		？									
4E ₁₆	タイマA4レジスタ	(注1)		？									
4F ₁₆		(注1)		？									
50 ₁₆	タイマB0レジスタ	(注2)		？									
51 ₁₆		(注2)		？									
52 ₁₆	タイマB1レジスタ	(注2)		？									
53 ₁₆		(注2)		？									
54 ₁₆	タイマB2レジスタ	(注2)		？									
55 ₁₆		(注2)		？									
56 ₁₆	タイマA0モードレジスタ	RW		00 ₁₆									
57 ₁₆	タイマA1モードレジスタ	RW		00 ₁₆									
58 ₁₆	タイマA2モードレジスタ	RW		00 ₁₆									
59 ₁₆	タイマA3モードレジスタ	RW		00 ₁₆									
5A ₁₆	タイマA4モードレジスタ	RW		00 ₁₆									
5B ₁₆	タイマB0モードレジスタ	RW	(注3)	RW	0	0	？	？	0	0	0	0	0
5C ₁₆	タイマB1モードレジスタ	RW	(注3)	RW	0	0	？	？	0	0	0	0	0
5D ₁₆	タイマB2モードレジスタ	RW	(注3)	RW	0	0	？	？	0	0	0	0	0
5E ₁₆	プロセッサモードレジスタ0	RW/WO		RW	(注4)	0	0	0	0	1	0	(注4)	0
5F ₁₆	プロセッサモードレジスタ1(注5)	RW/RW	(注6)	RW/RW	(注6)	(注7)	(注7)	(注7)	(注4)	0	0	0	0

注1．46₁₆～4F₁₆番地のアクセス特性は、タイマAの動作モードによって異なります（「第9章 タイマA」参照）。

2．50₁₆～55₁₆番地のアクセス特性は、タイマBの動作モードによって異なります（「第10章 タイマB」参照）。

3．5B₁₆～5D₁₆番地のビット5のアクセス特性は、タイマBの動作モードによって異なります（「第10章 タイマB」参照）。

4．MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。

5．ROM外付け版では、ビット7には何も配置されていません。読み出し時の値は“0”です。

6．リセット後、一度だけ“1”にできます。メモリ拡張モード又はマイクロプロセッサモードで、かつ、これらのビットが“1”の状態からシングルチップモードに変更すると、これらのビットは“0”になります。その後“1”にできません。

7．リセット後、一度だけ内容を変更できます（ソフトウェアの途中で切り替えしないでください）。

アクセス特性

- RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。
- RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。
- WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。
- ：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

- 0：リセット直後は“0”
- 1：リセット直後は“1”
- ？：リセット直後は不定
- 0：読み出し時は常に“0”
- 1：読み出し時は常に“1”
- ？：読み出し時は常に不定
- 0：リセット直後は“0”
“0”に固定してください。
- 1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
60 ₁₆	監視タイマレジスタ	(注1)		?(注2)	
61 ₁₆	監視タイマ周波数選択レジスタ	RW	RW	0	0
62 ₁₆	特殊機能選択レジスタ0	RW(注3)		0	0
63 ₁₆	特殊機能選択レジスタ1	RW	RW	0	0
64 ₁₆	特殊機能選択レジスタ2	(注4)		(注5)	
65 ₁₆		(注6)		?	
66 ₁₆		(注6)		?	
67 ₁₆		(注6)		?	
68 ₁₆				?	
69 ₁₆				?	
6A ₁₆				?	
6B ₁₆				?	
6C ₁₆				?	
6D ₁₆				?	
6E ₁₆	INT ₃ 割り込み制御レジスタ		RW	?	0
6F ₁₆	INT ₄ 割り込み制御レジスタ		RW	?	0
70 ₁₆	A-D変換割り込み制御レジスタ		RW	?	0
71 ₁₆	UART0送信割り込み制御レジスタ		RW	?	0
72 ₁₆	UART0受信割り込み制御レジスタ		RW	?	0
73 ₁₆	UART1送信割り込み制御レジスタ		RW	?	0
74 ₁₆	UART1受信割り込み制御レジスタ		RW	?	0
75 ₁₆	タイマA0割り込み制御レジスタ		RW	?	0
76 ₁₆	タイマA1割り込み制御レジスタ		RW	?	0
77 ₁₆	タイマA2割り込み制御レジスタ		RW	?	0
78 ₁₆	タイマA3割り込み制御レジスタ		RW	?	0
79 ₁₆	タイマA4割り込み制御レジスタ		RW	?	0
7A ₁₆	タイマB0割り込み制御レジスタ		RW	?	0
7B ₁₆	タイマB1割り込み制御レジスタ		RW	?	0
7C ₁₆	タイマB2割り込み制御レジスタ		RW	?	0
7D ₁₆	INT ₀ 割り込み制御レジスタ		RW	?	0
7E ₁₆	INT ₁ 割り込み制御レジスタ		RW	?	0
7F ₁₆	INT ₂ 割り込み制御レジスタ		RW	?	0

- 注1．60₁₆番地に対して書き込み命令を実行すると、監視タイマに“FFF₁₆”が設定されます。書き込んだ値はどこにも残りません。
- 2．監視タイマには“FFF₁₆”が設定されます(「第15章 監視タイマ」参照)。
- 3．62₁₆番地に対して“55₁₆”を書き込んだ後、各ビットに対して設定してください。
- 4．読み出すとビットの状態が読み出せます。“0”を書き込むと“0”になります。“1”を書き込んででも変化しません。
- 5．パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。
- 6．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

□：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性				リセット直後の状態					
		b7			b0	b7			b0		
80 ₁₆	CS ₀ 制御レジスタL	RW		RW/RO	RW/RW	(注1) 1	0	0	0	(注2) 1	0
81 ₁₆	CS ₀ 制御レジスタH	RW			RW	1	0	0	0	0	0
82 ₁₆	CS ₁ 制御レジスタL	RW			RW	0	1	0	0	0	0
83 ₁₆	CS ₁ 制御レジスタH	RW	RW		RW	0	0	0	0	0	0
84 ₁₆	CS ₂ 制御レジスタL	RW			RW	0	1	0	0	0	0
85 ₁₆	CS ₂ 制御レジスタH	RW	RW		RW	0	0	0	0	0	0
86 ₁₆	CS ₃ 制御レジスタL	RW			RW	0	1	0	0	0	0
87 ₁₆	CS ₃ 制御レジスタH				RW	0	0	0	0	0	0
88 ₁₆										?	
89 ₁₆										?	
8A ₁₆	CS ₀ 領域先頭アドレスレジスタ		RW			0	0	0	1	0	0
8B ₁₆										?	
8C ₁₆	CS ₁ 領域先頭アドレスレジスタ		RW			0	0	0	0	0	0
8D ₁₆										?	
8E ₁₆	CS ₂ 領域先頭アドレスレジスタ		RW			0	0	0	0	0	0
8F ₁₆										?	
90 ₁₆	CS ₃ 領域先頭アドレスレジスタ		RW			0	0	0	0	0	0
91 ₁₆										?	
92 ₁₆	ポート機能制御レジスタ		RW			0	0	0	0	0	0
93 ₁₆										?	
94 ₁₆	外部割り込み入力制御レジスタ		RW			0	0	0	0	0	0
95 ₁₆	外部割り込み入力読み出しレジスタ		RO							?	
96 ₁₆	D-A制御レジスタ			RW/RW/RW					0	0	0
97 ₁₆										?	
98 ₁₆	D-Aレジスタ0		RW							00 ₁₆	
99 ₁₆	D-Aレジスタ1		RW							00 ₁₆	
9A ₁₆			(注3)							?	
9B ₁₆										?	
9C ₁₆			(注3)							?	
9D ₁₆			(注3)							?	
9E ₁₆	フラッシュメモリ制御レジスタ(注4)		RW		RO	0	0	0	0	0	0
9F ₁₆										?	

- 注1．MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。
- 2．BYTE端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。
- 3．書き込み禁止。
- 4．フラッシュメモリ内蔵版（「第18章 フラッシュメモリ内蔵版」参照）にだけ配置されています。マスクROM内蔵版、ROM外付け版では書き込み禁止です。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

□：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
A0 ₁₆	リアルタイム出力制御レジスタ	RW		0	0
A1 ₁₆				?	?
A2 ₁₆	パルス出力データレジスタ0	WO		?	?
A3 ₁₆				?	?
A4 ₁₆	パルス出力データレジスタ1	WO		?	?
A5 ₁₆				?	?
A6 ₁₆				?	?
A7 ₁₆				?	?
A8 ₁₆				?	?
A9 ₁₆				?	?
AA ₁₆				?	?
AB ₁₆				?	?
AC ₁₆	シリアルI/O端子制御レジスタ	RW RW RW RW		0	0
AD ₁₆				?	?
AE ₁₆				?	?
AF ₁₆				?	?
B0 ₁₆				?	?
B1 ₁₆				?	?
B2 ₁₆				?	?
B3 ₁₆				?	?
B4 ₁₆				?	?
B5 ₁₆				?	?
B6 ₁₆				?	?
B7 ₁₆				?	?
B8 ₁₆				?	?
B9 ₁₆				?	?
BA ₁₆		(注1)		?	?
BB ₁₆		(注1)		?	?
BC ₁₆	クロック制御レジスタ	RW		0	0
BD ₁₆				0	0
BE ₁₆		(注1)		0	1
BF ₁₆		(注1)		1	1

注1．書き込み禁止。

2．CDSEL端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加又は開放しているときは“1”になります。

付録2．制御レジスタ一覧

SFR領域に配置されている、制御レジスタのレジスタ構成を以下に示します。

レジスタ構成は次のように参照してください。

XXX レジスタ【XX₁₆番地】

ビット	ビット名	機能	リセット時	R/W	参照先
0	・・・選択ビット	0:・・・ 1:・・・ 読み出し時の値は“0”	不定	WO	3-10
1	・・・選択ビット	b2 b1 00:・・・	0	RW	3-11
2		01:・・・ 10:・・・ 11:・・・	0	RW	
3	・・・フラグ	0:・・・ 1:・・・	0	RO	2-6
4	“0”に固定してください		0	RW	/
5	・・・モードでは無効		0	RW	
6	何も配置されていない		不定	-	
7	読み出し時の値は“0”		0	-	

- *1 空白 : 用途に応じて“0”又は“1”を設定してください。
0 : 書き込み時は“0”にしてください。
1 : 書き込み時は“1”にしてください。
X : 特定のモード又は状態で、使用しないビット。“0”又は“1”いずれでもよい。
■ : 何も配置されていない。
- *2 0 : リセット直後“0”になる。
1 : リセット直後“1”になる。
不定 : リセット直後、不定になる。
- *3 RW : 読み出すとビットの状態が読み出せる。
書き込んだ値は有効データになる。
RO : 読み出すとビットの状態が読み出せる。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
WO : 書き込んだ値は有効データになる。
ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*5参照)。
- : ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*6参照)。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
- *4 各ビットの参照ページ。

ポートPiレジスタ (i = 0 ~ 8、10、11)

b7	b6	b5	b4	b3	b2	b1	b0

【2₁₆、3₁₆、6₁₆、7₁₆、A₁₆、B₁₆、E₁₆、F₁₆、12₁₆、16₁₆、17₁₆番地】

ビット	ビット名	機能	リセット時	R/W	参照先
0	ポートPi ₀ 端子	対応ビットの読み出し及び書き込みで、対応する端子のデータ入出力を行う 0 : Lレベル 1 : Hレベル	不定	RW	6-4
1	ポートPi ₁ 端子		不定	RW	
2	ポートPi ₂ 端子		不定	RW	
3	ポートPi ₃ 端子		不定	RW	
4	ポートPi ₄ 端子		不定	RW	
5	ポートPi ₅ 端子		不定	RW	
6	ポートPi ₆ 端子		不定	RW	
7	ポートPi ₇ 端子		不定	RW	

注．ポートP3レジスタのビット4~7には何も配置されていません。また、読み出し時の値は“0”です。

ポートPi方向レジスタ (i = 0 ~ 8、10、11)

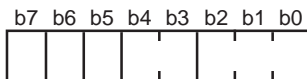
b7	b6	b5	b4	b3	b2	b1	b0

【4₁₆、5₁₆、8₁₆、9₁₆、C₁₆、D₁₆、10₁₆、11₁₆、14₁₆、18₁₆、19₁₆番地】

ビット	ビット名	機能	リセット時	R/W	参照先
0	ポートPi ₀ 方向レジスタ	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	0	RW	6-3 ポートP5 8-6 9-8 11-6 ポートP6 7-16 9-8 10-6 ポートP7 7-16 13-10 ポートP8 7-16 12-18
1	ポートPi ₁ 方向レジスタ		0	RW	
2	ポートPi ₂ 方向レジスタ		0	RW	
3	ポートPi ₃ 方向レジスタ		0	RW	
4	ポートPi ₄ 方向レジスタ		0	RW	
5	ポートPi ₅ 方向レジスタ		0	RW	
6	ポートPi ₆ 方向レジスタ		0	RW	
7	ポートPi ₇ 方向レジスタ		0	RW	

注．ポートP3方向レジスタのビット4~7には何も配置されていません。また、読み出し時の値は“0”です。

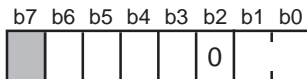
A-D 制御レジスタ0【1E₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	アナログ入力端子選択ビット (単発モード、繰り返しモード時有効) (注1)	b2 b1 b0 000: AN ₀ を選択	不定	RW	13-6
1		001: AN ₁ を選択	不定	RW	
2		010: AN ₂ を選択 011: AN ₃ を選択 100: AN ₄ を選択 (注2)	不定	RW	
		101: AN ₅ を選択 (注3) 110: AN ₆ を選択 (注4) 111: AN ₇ を選択 (注5)			
3	A-D動作モード選択ビット	b4 b3 00: 単発モード	0	RW	
4		01: 繰り返しモード 10: 単掃引モード 11: 繰り返し掃引モード	0	RW	
5	トリガ選択ビット	0: 内部トリガ 1: 外部トリガ (注6)	0	RW	
6	A-D変換開始フラグ	0: A-D変換停止 1: A-D変換開始	0	RW (注7)	
7	A-D変換周波数(AD)選択フラグ0	表13.2.1参照	0	RW	

- 注1. 単掃引モード、及び繰り返し掃引モードでは無効です(“0”又は“1”いずれでもよい)。
 2. AN₄端子を使用するときは、INT₃端子選択ビット(94₁₆番地のビット5)=0にしてください。
 3. AN₅端子を使用するときは、INT₄端子選択ビット(94₁₆番地のビット6)=0にしてください。
 4. AN₆端子を使用するときは、D-A₀出力許可ビット(96₁₆番地のビット0)=α(出力禁止)にしてください。
 5. AN₇端子を使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。外部トリガ選択時は、AN₇端子をアナログ入力端子として使用できません。
 6. 外部トリガを使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。
 7. このビットへの書き込みには、MOV(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。
 8. A-D制御レジスタ0の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください(ビット6への“0”書き込みを除く)。

A-D 制御レジスタ1【1F₁₆番地】

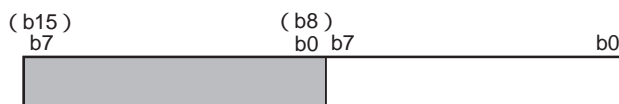


ビット	ビット名	機能	リセット時	R/W	参照先
0	A-D掃引端子選択ビット (単掃引モード、繰り返し掃引モード時有効) (注1)	b1 b0 00: AN ₀ 、AN ₁ (2端子)	1	RW	13-6 13-7
1		01: AN ₀ ~ AN ₃ (4端子) 10: AN ₀ ~ AN ₆ (6端子) (注2、3) 11: AN ₀ ~ AN ₇ (8端子) (注2、3、4、5)	1	RW	
2	“0”に固定してください		0	RW	
3	分解能選択ビット	0: 8ビットモード 1: 10ビットモード	0	RW	
4	A-D変換周波数(AD)選択フラグ1	表13.2.1参照	0	RW	
5	外部トリガ極性選択ビット (外部トリガ選択時有効)	0: AD _{TRG} 端子への入力信号の立ち下がり 1: AD _{TRG} 端子への入力信号の立ち上がり	0	RW	
6	V _{REF} 接続選択ビット (注6)	0: V _{REF} 接続 1: V _{REF} 切断	0	RW	13-7 17-9
7	読み出し時の値は“0”		0	-	

- 注1. 単発モード、及び繰り返しモードでは無効です(“0”又は“1”いずれでもよい)。
 2. AN₄端子を使用するときは、INT₃端子選択ビット(94₁₆番地のビット5)=0にしてください。
 3. AN₅端子を使用するときは、INT₄端子選択ビット(94₁₆番地のビット6)=0にしてください。
 4. AN₆端子を使用するときは、D-A₀出力許可ビット(96₁₆番地のビット0)=α(出力禁止)にしてください。
 5. AN₇端子を使用するときは、INT₂端子選択ビット(94₁₆番地のビット4)=0、D-A₁出力許可ビット(96₁₆番地のビット1)=0にしてください。外部トリガ選択時は、AN₇端子をアナログ入力端子として使用できません。
 6. このビットを“1”から“0”にしたときは、1μs以上経過した後に、A-D変換を開始させてください。
 7. A-D制御レジスタ1の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

分解能 8 ビットモード時

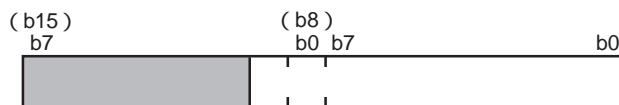
- A-D レジスタ 0【21₁₆、20₁₆ 番地】
- A-D レジスタ 1【23₁₆、22₁₆ 番地】
- A-D レジスタ 2【25₁₆、24₁₆ 番地】
- A-D レジスタ 3【27₁₆、26₁₆ 番地】
- A-D レジスタ 4【29₁₆、28₁₆ 番地】
- A-D レジスタ 5【2B₁₆、2A₁₆ 番地】
- A-D レジスタ 6【2D₁₆、2C₁₆ 番地】
- A-D レジスタ 7【2F₁₆、2E₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
7~0	A-D変換結果を読み出す	不定	RO	13-8
15~8	読み出し時の値は“0”	0	-	

分解能 10 ビットモード時

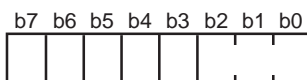
- A-D レジスタ 0【21₁₆、20₁₆ 番地】
- A-D レジスタ 1【23₁₆、22₁₆ 番地】
- A-D レジスタ 2【25₁₆、24₁₆ 番地】
- A-D レジスタ 3【27₁₆、26₁₆ 番地】
- A-D レジスタ 4【29₁₆、28₁₆ 番地】
- A-D レジスタ 5【2B₁₆、2A₁₆ 番地】
- A-D レジスタ 6【2D₁₆、2C₁₆ 番地】
- A-D レジスタ 7【2F₁₆、2E₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
9~0	A-D変換結果を読み出す	不定	RO	13-8
15~10	読み出し時の値は“0”	0	-	

UART0 送受信モードレジスタ【30₁₆ 番地】

UART1 送受信モードレジスタ【38₁₆ 番地】

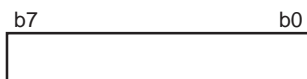


ビット	ビット名	機能	リセット時	R/W	参照先
0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルI/Oは無効 (P8はプログラマブル 入出力ポートとして機能)	0	RW	12-5
1		001: クロック同期形シリアルI/Oモード 010: } 選択禁止 011: }	0	RW	
2		100: UARTモード (転送データ長7ビット) 101: UARTモード (転送データ長8ビット) 110: UARTモード (転送データ長9ビット) 111: 選択禁止	0	RW	
3		内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	0	
4	ストップビット長選択ビット (UARTモード時有効) (注)	0: 1ストップビット 1: 2ストップビット	0	RW	
5	パリティ奇/偶選択ビット (UARTモードでパリティ許可 ビットが '1' の時有効) (注)	0: 奇数パリティ 1: 偶数パリティ	0	RW	
6	パリティ許可ビット (UARTモード時有効) (注)	0: パリティ禁止 1: パリティ許可	0	RW	
7	スリープ選択ビット (UARTモード時有効) (注)	0: スリープモード解除 (無効) 1: スリープモード選択	0	RW	

注．クロック同期形シリアルI/Oモード時、ビット4～6は無効です(“0”又は“1”いずれでもよい)。
また、ビット7は“0”に固定してください。

UART0 転送速度レジスタ (BRG0)【31₁₆ 番地】

UART1 転送速度レジスタ (BRG1)【39₁₆ 番地】

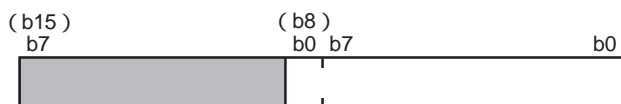


ビット	機能	リセット時	R/W	参照先
7～0	00 ₁₆ ～FF ₁₆ を設定可能 設定値をnとすると、BRGiはカウントソースをn+1分周する	不定	WO	12-14

注．このレジスタへの書き込みは、送受信停止中に行ってください。また、このレジスタへの書き込みにはMOVW(MOVMB)命令、
又はSTA(STAB, STAD)命令を使用してください。

UART0 送信バッファレジスタ【33₁₆、32₁₆ 番地】

UART1 送信バッファレジスタ【3B₁₆、3A₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
8～0	送信データを設定	不定	WO	12-11
15～9	何も配置されていない	不定	-	

注．このレジスタへの書き込みにはMOVW(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。

UART0 送受信制御レジスタ 0【34₁₆ 番地】

UART1 送受信制御レジスタ 0【3C₁₆ 番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビット名	機能	リセット時	R/W	参照先
0	BRGカウントソース選択ビット	b1 b0 0 0 : f ₂	0	RW	12-7
1		0 1 : f ₁₆ 1 0 : f ₆₄ 1 1 : f ₅₁₂	0	RW	
2	CTS/RTS機能選択ビット (注1)	0 : CTS機能を選択 1 : RTS機能を選択	0	RW	
3	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	1	RO	
4	CTS/RTS許可ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	0	RW	
5	UARTi受信割り込みモード 選択ビット	0 : 受信割り込み 1 : 受信エラー割り込み	0	RW	
6	CLK極性選択ビット (クロック同期形シリアルI/O モード時使用) (注2)	0 : 転送クロックの立ち下がり で送信データ出力、立ち上がり で受信データ入力 非転送時、CLK端子は“H”レベル 1 : 転送クロックの立ち上がり で送信データ出力、立ち下がり で受信データ入力 非転送時、CLK端子は“L”レベル	0	RW	
7	転送フォーマット選択ビット (クロック同期形シリアルI/O モード時使用) (注2)	0 : LSB(最下位ビット)ファースト 1 : MSB(最上位ビット)ファースト	0	RW	

注1．CTS/RTS許可ビット(ビット4)が“0”かつCTS/RTS分離選択ビット(AC₁₆番地のビット0又は1)が“0”のとき有効。

2．UARTモード時、及びシリアルI/Oが無効のときは“0”に固定してください。

UART0 送受信制御レジスタ 1【35₁₆ 番地】

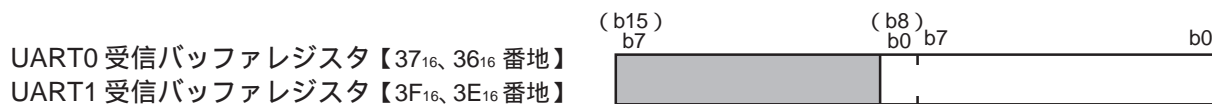
UART1 送受信制御レジスタ 1【3D₁₆ 番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビット名	機能	リセット時	R/W	参照先
0	送信許可ビット	0 : 送信禁止 1 : 送信許可	0	RW	12-9
1	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	1	RO	
2	受信許可ビット	0 : 受信禁止 1 : 受信許可	0	RW	
3	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0	RO	
4	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	0	RO	
5	フレーミングエラーフラグ (UARTモード時有効) (注)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	0	RO	
6	パリティエラーフラグ (UARTモード時有効) (注)	0 : パリティエラーなし 1 : パリティエラー発生	0	RO	
7	エラーサムフラグ (UARTモード時有効) (注)	0 : エラーなし 1 : エラー発生	0	RO	

注．クロック同期形シリアルI/Oモード時、ビット5～7は無効です。



ビット	機能	リセット時	R/W	参照先
8~0	受信データを読み出す	不定	RO	12-13
15~9	読み出し時の値は“0”	0	-	

カウント開始フラグ【40₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット名	機能	リセット時	R/W	参照先
0	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	0	RW	9-6
1	タイマA1カウント開始フラグ		0	RW	
2	タイマA2カウント開始フラグ		0	RW	
3	タイマA3カウント開始フラグ		0	RW	
4	タイマA4カウント開始フラグ		0	RW	10-4
5	タイマB0カウント開始フラグ		0	RW	
6	タイマB1カウント開始フラグ		0	RW	
7	タイマB2カウント開始フラグ		0	RW	

ワンショット開始フラグ【42₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0							

ビット	ビット名	機能	リセット時	R/W	参照先
0	タイマA0ワンショット開始フラグ	1：ワンショットパルス出力開始 (内部トリガ選択時有効) 読み出し時の値は“0”	0	WO	9-30
1	タイマA1ワンショット開始フラグ		0	WO	
2	タイマA2ワンショット開始フラグ		0	WO	
3	タイマA3ワンショット開始フラグ		0	WO	
4	タイマA4ワンショット開始フラグ		0	WO	
6、5	何も配置されていない		不定	-	
7	“0”に固定してください		0	RW	

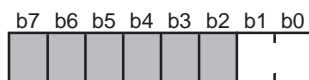
アップダウンフラグ【44₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット名	機能	リセット時	R/W	参照先	
0	タイマA0アップダウンフラグ	0：ダウンカウント 1：アップカウント	0	RW	9-22	
1	タイマA1アップダウンフラグ		0	RW		
2	タイマA2アップダウンフラグ		アップ/ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	0		RW
3	タイマA3アップダウンフラグ			0		RW
4	タイマA4アップダウンフラグ		0	RW		
5	タイマA2二相パルス信号処理機能選択ビット	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可	0	WO (注)	9-23	
6	タイマA3二相パルス信号処理機能選択ビット	二相パルス信号処理機能を使用しない場合は必ず“0”にしてください 読み出し時の値は“0”	0	WO (注)		
7	タイマA4二相パルス信号処理機能選択ビット		0	WO (注)		

注．ビット5～7への書き込みにはMOVW(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。

タイマAクロック分周指定レジスタ【45₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	タイマAクロック分周指定ビット	表9.2.3参照	0	RW	9-5
1			0	RW	
7~2	読み出し時の値は“0”		0	-	

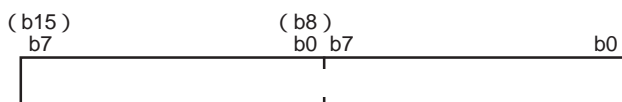
タイマA0レジスタ【47₁₆、46₁₆番地】

タイマA1レジスタ【49₁₆、48₁₆番地】

タイマA2レジスタ【4B₁₆、4A₁₆番地】

タイマA3レジスタ【4D₁₆、4C₁₆番地】

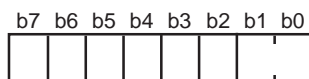
タイマA4レジスタ【4F₁₆、4E₁₆番地】



ビット	機能	リセット時	R/W	参照先
15~0	動作モードによって機能が異なる	不定	RW	9-4

注．このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

タイマAiモードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 00：タイマモード 01：イベントカウンタモード 10：ワンショットパルスモード 11：パルス幅変調(PWM)モード	0	RW	9-6
1			0	RW	
2	動作モードによって機能が異なる		0	RW	
3			0	RW	
4			0	RW	
5			0	RW	
6			0	RW	
7			0	RW	

タイマモード

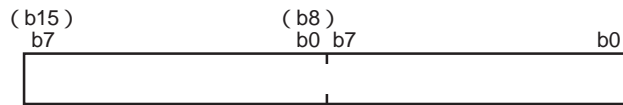
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】

タイマ A1 レジスタ【49₁₆、48₁₆ 番地】

タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】

タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】

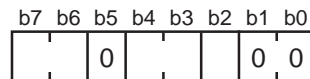
タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す	不定	RW	9-10

注．このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 00 : タイマモード	0	RW	9-10
1			0	RW	
2	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子はプログラマブル入出力ポートとして機能) 1 : パルス出力あり (TAiOUT端子はパルス出力端子として機能(注))	0	RW	9-14
3	ゲート機能選択ビット	b4 b3 } ゲート機能なし 00 : } (TAiin端子はプログラマブル入出力 01 : } ポートとして機能) 10 : ゲート機能あり (TAiin端子の入力信号が L "レベルの期間だけ カウンタはカウントを行う) 11 : ゲート機能あり (TAiin端子の入力信号が H "レベルの期間だけ カウンタはカウントを行う)	0	RW	9-13
4			0	RW	
5	タイマモードでは "0" に固定してください		0	RW	
6	カウントソース選択ビット	表9.2.3参照	0	RW	9-5
7			0	RW	

注．TA2OUT、TA3OUT端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI0、KI2端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

イベントカウンタモード

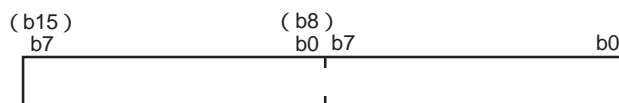
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】

タイマ A1 レジスタ【49₁₆、48₁₆ 番地】

タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】

タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】

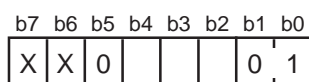
タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】



ビット	機 能	リセット時	R/W	参照先
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、ダウンカウント時カウンタはカウントソースをn+1分周する アップカウント時はカウントソースをFFFF ₁₆ - n + 1分周する 読み出し時はカウンタの値を読み出す	不定	RW	9-18

注．このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	0	RW	9-18
1			0	RW	
2	パルス出力機能選択ビット	0 : パルス出力なし (TA _{iout} 端子はプログラマブル入出力ポートとして機能) 1 : パルス出力あり (TA _{iout} 端子はパルス出力端子として機能(注))	0	RW	9-23
3	カウント極性選択ビット	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	0	RW	9-18
4	アップ/ダウン切り替え要因 選択ビット	0 : アップダウンフラグの内容 1 : TA _{iout} 端子の入力信号	0	RW	9-22
5	イベントカウンタモードでは“0”に固定してください		0	RW	/
6	イベントカウンタモードでは無効		0	RW	
7			0	RW	

X : “0”又は“1”いずれでもよい。

注．TA_{2out}、TA_{3out}端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

ワンショットパルスモード

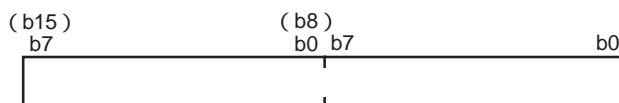
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】

タイマ A1 レジスタ【49₁₆、48₁₆ 番地】

タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】

タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】

タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】

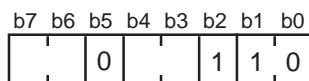


ビット	機能	リセット時	R/W	参照先
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、TAiOUT端子から出力するワンショットパルスの“H”レベル幅は $\frac{n}{f_i}$ となる	不定	WO	9-27

f_i : カウントソースの周波数

注．このレジスタへの書き込みはMOVM命令、又はSTA(STAD)命令を使用し、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 1 0 : ワンショットパルスモード	0	RW	9-27
1			0	RW	
2	ワンショットパルスモードでは“1”に固定してください		0	RW	
3	トリガ選択ビット	b4 b3 0 0 : } ワンショット開始フラグへの“1”書き込み 0 1 : } (TAiin端子はプログラマブル入出力ポートとして機能)	0	RW	9-30
4			1 0 : TAiin端子の入力信号の立ち下がり 1 1 : TAiin端子の入力信号の立ち上がり	0	
5	ワンショットパルスモードでは“0”に固定してください		0	RW	
6	カウントソース選択ビット	表9.2.3参照	0	RW	9-5
7			0	RW	

パルス幅変調(PWM)モード

《16ビットパルス幅変調器として動作しているとき》

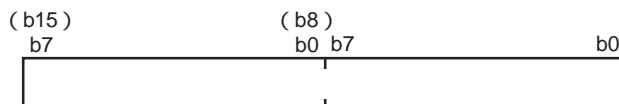
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】

タイマ A1 レジスタ【49₁₆、48₁₆ 番地】

タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】

タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】

タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
15~0	0000 ₁₆ ~ FFFE ₁₆ を設定可能 設定値をnとすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{f_i}$ となる(PWMパルスの周期は $\frac{2^{16}-1}{f_i}$)	不定	WO	9-35

f_i: カウントソースの周波数

注: このレジスタへの書き込みはMOV_M命令、又はSTA(STAD)命令を使用し、16ビット単位で行ってください。

《8ビットパルス幅変調器として動作しているとき》

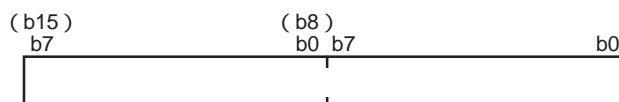
タイマ A0 レジスタ【47₁₆、46₁₆ 番地】

タイマ A1 レジスタ【49₁₆、48₁₆ 番地】

タイマ A2 レジスタ【4B₁₆、4A₁₆ 番地】

タイマ A3 レジスタ【4D₁₆、4C₁₆ 番地】

タイマ A4 レジスタ【4F₁₆、4E₁₆ 番地】

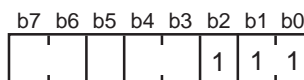


ビット	機能	リセット時	R/W	参照先
7~0	00 ₁₆ ~ FF ₁₆ を設定可能 設定値をmとすると、TAiOUT端子から出力するPWMパルスの周期は $\frac{(m+1)(2^8-1)}{f_i}$ となる	不定	WO	9-35
15~8	00 ₁₆ ~ FE ₁₆ を設定可能 設定値をnとすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n(m+1)}{f_i}$ となる	不定	WO	

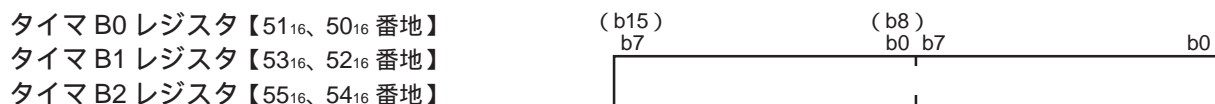
f_i: カウントソースの周波数

注: このレジスタへの書き込みはMOV_M命令、又はSTA(STAD)命令を使用し、16ビット単位で行ってください。

タイマ Ai モードレジスタ (i = 0 ~ 4)【56₁₆ ~ 5A₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 1 1 : PWMモード	0	RW	9-35
1			0	RW	
2	PWMモードでは“1”に固定してください		0	RW	
3	トリガ選択ビット	b4 b3 0 0 : } カウント開始フラグへの“1”書き込み 0 1 : } (TAiIN端子はプログラマブル入出力ポートとして機能)	0	RW	9-38
4			1 0 : TAiIN端子の入力信号の立ち下がり 1 1 : TAiIN端子の入力信号の立ち上がり	0	
5	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	0	RW	9-39
6	カウントソース選択ビット	表9.2.3参照	0	RW	9-5
7			0	RW	



ビット	機 能	リセット時	R/W	参照先
15~0	動作モードによって機能が異なる	不定	RW	10-3

注．このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。



ビット	ビット名	機 能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 00: タイマモード	0	RW	10-4
1		01: イベントカウンタモード 10: パルス周期測定/パルス幅測定モード 11: 選択禁止	0	RW	
2	動作モードによって機能が異なる		0	RW	
3			0	RW	
4	何も配置されていない		不定	-	
5	動作モードによって機能が異なる		不定	RO (注)	
6			0	RW	
7			0	RW	

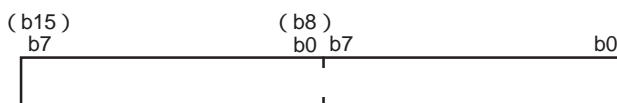
注．タイマモード及びイベントカウンタモード時、ビット5は無効で読み出し時の値は不定です。

タイマモード

タイマB0レジスタ【51₁₆、50₁₆番地】

タイマB1レジスタ【53₁₆、52₁₆番地】

タイマB2レジスタ【55₁₆、54₁₆番地】



ビット	機能	リセット時	R/W	参照先
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す	不定	RW	10-8

注．このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。

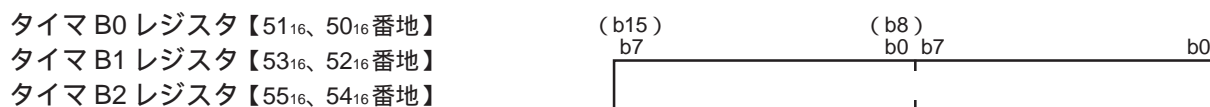
タイマBiモードレジスタ (i = 0 ~ 2)【5B₁₆ ~ 5D₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先	
0	動作モード選択ビット	b1 b0 00 : タイマモード	0	RW	10-8	
1			0	RW		
2	タイマモードでは無効		0	RW		
3			0	RW		
4	何も配置されていない		不定	-		
5	タイマモードでは無効 読み出した場合その内容は不定		不定	RO		
6	カウントソース選択ビット	b7 b6 00 : f ₂ 01 : f ₁₆ 10 : f ₆₄ 11 : f ₅₁₂	0	RW		10-6
7			0	RW		

X : "0"又は"1"いずれでもよい。

イベントカウンタモード



ビット	機能	リセット時	R/W	参照先
15~0	0000 ₁₆ ~ FFFF ₁₆ を設定可能 設定値をnとすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す	不定	RW	10-13

注．このレジスタの読み出し、及び書き込みは、16ビット単位で行ってください。



ビット	ビット名	機能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	0	RW	10-13
1			0	RW	
2	カウント極性選択ビット	b3 b2 0 0 : 外部信号の立ち下がりを実カウント 0 1 : 外部信号の立ち上がりを実カウント 1 0 : 外部信号の立ち下がり及び立ち上がりを実カウント 1 1 : 選択禁止	0	RW	
3			0	RW	
4	何も配置されていない		不定	-	
5	イベントカウンタモードでは無効 読み出した場合その内容は不定		不定	RO	
6	イベントカウンタモードでは無効		0	RW	
7			0	RW	

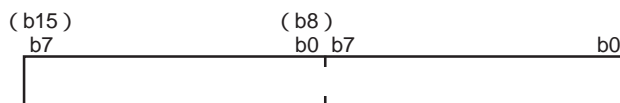
X : “0”又は“1”いずれでもよい。

パルス周期測定 / パルス幅測定モード

タイマ B0 レジスタ【51₁₆、50₁₆番地】

タイマ B1 レジスタ【53₁₆、52₁₆番地】

タイマ B2 レジスタ【55₁₆、54₁₆番地】



ビット	機 能	リセット時	R/W	参照先
15~0	パルス周期、又はパルス幅の測定結果を読み出す	不定	RO	10-18

注．このレジスタの読み出しは、16ビット単位で行ってください。

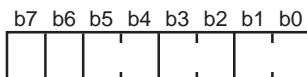
タイマ Bi モードレジスタ (i = 0 ~ 2)【5B₁₆ ~ 5D₁₆番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 / パルス幅測定モード	0	RW	10-18
1			0	RW	
2	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定パルスの立ち下がり - 立ち下がり間) 0 1 : パルス周期測定 (測定パルスの立ち上がり - 立ち上がり間) 1 0 : パルス幅測定 (測定パルスの立ち下がり - 立ち上がり間、 及び立ち上がり - 立ち下がり間) 1 1 : 選択禁止	0	RW	10-20
3			0	RW	
4			何も配置されていない	不定	
5	タイマBiオーバーフローフラグ (注)	0 : オーバーフローなし 1 : オーバーフローあり	不定	RO	10-20
6	カウントソース選択ビット	b7 b6 0 0 : f ₂ 0 1 : f ₁₆ 1 0 : f ₆₄ 1 1 : f ₅₁₂	0	RW	10-6
7			0	RW	

注．タイマBiオーバーフローフラグは、カウント開始フラグが^{*}1の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと0になります。このフラグをソフトウェアで1にすることはできません。

プロセッサモードレジスタ0【5E₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード 10: マイクロプロセッサモード 11: 選択禁止	0	RW	2-25
1			(注1)	RW	
2	外部バスサイクル選択ビット0 (注2)	(外部バスサイクル選択ビット1=0時) (外部バスサイクル選択ビット1=1時) b3 b2 b3 b2 00: バスサイクル1 +1 00: バスサイクル2 +3 01: バスサイクル1 +2 01: バスサイクル2 +4 10: バスサイクル1 +3 10: バスサイクル3 +3 11: バスサイクル2 +2 11: バスサイクル3 +4	0	RW	3-8
3			1	RW	
4	割り込み優先順位判定時間 選択ビット	b5 b4 00: f _{sys} の7サイクル 01: f _{sys} の4サイクル 10: f _{sys} の2サイクル 11: 選択禁止	0	RW	7-10
5			0	RW	
6	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる読み出し時の値は“0”	0	WO	4-3
7	クロック出力選択ビット	0: 出力禁止(P4 _i はプログラマブル入出力ポートとして機能) 1: 出力許可(P4 _i はクロック出力端子として機能)	(注3)	RW	3-5

- 注1．MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。
- 2．CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。
- 3．MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。

プロセッサモードレジスタ1【5F₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット名	機能	リセット時	R/W	参照先
0	外部バスサイクル選択ビット1 (注1)	外部バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW	3-10
1	ダイレクトページレジスタ切り替えビット	0: DPR0のみ使用 1: DPR0 ~ DPR3を使用	0	RW (注2)	2-6
2	RDY入力選択ビット (注3)	0: RDY入力禁止(P3 ₀ はプログラマブル入出力ポートとして機能) 1: RDY入力許可(P3 ₀ はRDY端子として機能)	(注4)	RW (注5)	3-5 3-10
3	ALE出力選択ビット (注3)	0: ALE出力禁止(P4 ₀ はプログラマブル入出力ポートとして機能) 1: ALE出力許可(P4 ₀ はALE端子として機能)	(注4)	RW	3-5
4	リカバリサイクル挿入選択ビット (注3)	0: 外部領域アクセス時リカバリサイクルなし 1: 外部領域アクセス時リカバリサイクル挿入	(注4)	RW	3-10
5	HOLD入力, HLDA出力選択ビット (注3)	0: HOLD入力, HLDA出力禁止(P4 ₃ 、P4 ₂ はプログラマブル入出力ポートとして機能) 1: HOLD入力, HLDA出力許可(P4 ₃ 、P4 ₂ はHOLD端子、HLDA端子として機能)	(注4)	RW (注5)	3-5
6	リカバリサイクル挿入数選択ビット	0: 1サイクル 1: 2サイクル	0	RW	3-10
7	内部ROMバスサイクル選択ビット (注6)	0: バスサイクル3 1: バスサイクル2	0	RW	2-14

注1. CS領域以外の外部領域に対して有効です。CS領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCS領域バスサイクル選択ビット0、1(80₁₆、82₁₆、84₁₆、86₁₆番地のビット0、1、81₁₆、83₁₆、85₁₆、87₁₆番地のビット3)によって決まります。

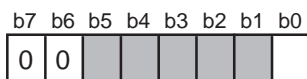
- リセット後、一度だけ内容を変更できます(ソフトウェアの途中で切り替えしないでください)。
- シングルチップモード時は、これらのビットの内容にかかわらず、各機能が「禁止」になります。
- MD0端子にV_{SS}レベルを印加しているときは「0」、V_{CC}レベルを印加しているときは「1」になります。
- リセット後、一度だけ「1」にできます。メモリ拡張モード又はマイクロプロセッサモードで、かつ、これらのビットが「1」の状態からシングルチップモードに変更すると、これらのビットは「0」になります。その後「1」にできません。再度「1」にする場合はリセットしてください。
- マイクロプロセッサモード時、このビットの内容は無効です。また、ROM外付け版には配置されていません(読み出し時の値は「0」)。
CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、このビットを「0」にしてください(「18.2 CPU書き換えモード」参照)。

監視タイマレジスタ【60₁₆番地】



ビット	機 能	リセット時	R/W	参照先
7~0	監視タイマの初期化 ダミーデータを書き込むと、監視タイマの値が ^h FFF ₁₆ に初期化される (ダミーデータ：00 ₁₆ ~FF ₁₆)	不定	-	15-3

監視タイマ周波数選択レジスタ【61₁₆番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	監視タイマ周波数選択ビット	0 : Wf ₅₁₂ 1 : Wf ₃₂	0	RW	15-3 16-7
5~1	何も配置されていない		不定	-	
6	“0”に固定してください		0	RW	
7			0	RW	

特殊機能選択レジスタ0【62₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

ビット	ビット名	機能	リセット時	R/W	参照先
0	STP命令無効選択ビット	0：STP命令有効 1：STP命令無効	0	RW (注1)	16-4
1	クロック外部入力選択ビット	0：発振回路動作(発振子を接続) ストップモード解除時、監視タイマを使用する 1：発振回路停止(外部で生成されたクロックを入力) ストップモード解除時、監視タイマを使用しない	0	RW (注1、2)	5-8 16-5 17-4
7~2	“0”に固定してください		0	RW	

注1．これらのビットに書き込むときは、このレジスタに“55₁₆”を書き込んだ後、続けて各ビットに対して“0”又は“1”を書き込んでください。“55₁₆”の書き込みでは、ビットの状態は変化しません。また、このレジスタへの書き込みには、MOVMB命令、STAB命令、又はm=1でMOVVM命令、STA命令を使用してください。

“55₁₆”の書き込みと、次の“0”又は“1”の書き込みの間で割り込みが発生すると、“0”又は“1”の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、“0”又は“1”を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。

2．外部で生成されたクロックをX_{IN}端子に入力する場合は、このビットを“1”にしてください。

特殊機能選択レジスタ1【63₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
	0						

ビット	ビット名	機能	リセット時	R/W	参照先
0	STP命令実行ステータスフラグ	0：通常動作中 1：STP命令実行中	(注1)	RW (注2)	16-6
1	WIT命令実行ステータスフラグ	0：通常動作中 1：WIT命令実行中	(注1)	RW (注2)	
2	スタンバイ状態選択ビット	0：外部バス 1：プログラブル入出力ポート	0	RW	17-5
3	WIT時システムクロック停止 選択ビット (注3)	0：ウエイトモード時、f _{sys} 動作 1：ウエイトモード時、f _{sys} 停止	0	RW	
4	アドレス出力選択ビット	0：内部領域アクセス時、外部領域アクセス時共 アドレス出力が変化 1：外部領域アクセス時のみアドレス出力が変化	0	RW	3-31
5	読み出し時の値は“0”		0	-	
6	“0”に固定してください		0	RW	
7	読み出し時の値は“0”		0	-	

注1．パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。

2．“1”を書き込んででもビットの状態は変化しません。

3．“1”にする場合は、WIT命令の直前で“1”を設定してください。また、ウエイトモード解除後、直ちに“0”にしてください。

特殊機能選択レジスタ2【64₁₆番地】

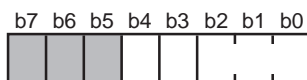
b7	b6	b5	b4	b3	b2	b1	b0

ビット	機能	リセット時	R/W	参照先
7~0	監視タイマの禁止 “79 ₁₆ ”、“50 ₁₆ ”を連続して書き込むと、監視タイマが停止する	不定	-	15-4

注．リセット後、一度だけ設定できます。このレジスタへ書き込む場合は、MOVMB命令、STAB命令、又はm=1でMOVVM命令、STA命令を使用し、“79₁₆”、“50₁₆”を連続して書き込んでください。

“79₁₆”の書き込みと、次の“50₁₆”の書き込みの間で割り込みが発生すると、監視タイマが停止しませんので、注意してください。リセット後、このレジスタを読み出す、又は上記以外の手順で書き込むと、それ以降、このレジスタに書き込むことはできません。

INT₃、INT₄ 割り込み制御レジスタ【6E₁₆、6F₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベルα (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	0	RW	7-6
1			0	RW	INT ₃ 8-5
2			0	RW	
3			割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0
4	極性切り替えビット	0 : 立ち下がりで割り込み要求ビットを“1”にする 1 : 立ち上がりで割り込み要求ビットを“1”にする	0	RW	7-16
7~5	何も配置されていない		不定	-	

注．このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

A-D変換、UART0送信、UART0受信、UART1送信、UART1受信、
タイマA0～タイマA4、タイマB0～タイマB2
割り込み制御レジスタ【70₁₆～7C₁₆番地】

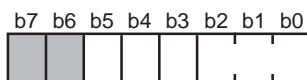


ビット	ビット名	機能	リセット時	R/W	参照先
0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベルα (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	0	RW	7-6
1			0	RW	タイマAi 9-7
2			0	RW	タイマBi 10-5
3			割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	0 (注1)
7~4	何も配置されていない		不定	-	A-D 13-9

注1．A-D変換割り込み要求ビットは、リセット後不定です。

2．このビットへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

$\overline{INT}_0 \sim \overline{INT}_2$ 割り込み制御レジスタ【7D₁₆ ~ 7F₁₆ 番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	割り込み優先レベル選択ビット	b2 b1 b0 000: レベルα (割り込み禁止)	0	RW	7-6
1		001: レベル1	0	RW	
2		010: レベル2 011: レベル3 100: レベル4	0	RW	
		101: レベル5 110: レベル6 111: レベル7			
3	割り込み要求ビット (注1)	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注2)	
4	極性切り替えビット	0: レベルセンス選択時は“H”レベル、エッジセンス選択時は立ち下がり、割り込み要求ビットを“1”にする 1: レベルセンス選択時は“L”レベル、エッジセンス選択時は立ち上がり、割り込み要求ビットを“1”にする	0	RW	7-16
5	レベルセンス/エッジセンス切り替えビット	0: エッジセンス 1: レベルセンス	0	RW	
7、6	何も配置されていない		不定	-	

注1. $\overline{INT}_0 \sim \overline{INT}_2$ 割り込み要求ビットは、レベルセンス選択時無効です。

2. このビットへの書き込みにはMOV_M(MOV_{MB})命令、又はSTA₍STAB, STAD)命令を使用してください。

CS₀ 制御レジスタ L【80₁₆ 番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	CS ₀ 領域バスサイクル選択ビット0	(CS ₀ 領域バスサイクル選択ビット1=0時)	0	RW	3-12
1		(CS ₀ 領域バスサイクル選択ビット1=1時)	1	RW	
2	外部データバス幅選択ビット	BYTE端子の入力レベルを読み出す 0: 16ビット幅 1: 8ビット幅	(注1)	RO	
3	RDY制御ビット (注2)	0: RDY制御有効 1: RDY制御無効	0	RW	
4	読み出し時の値は“0”		0	-	
5	バーストロムアクセス指定ビット (注3)	0: 通常アクセス 1: バーストロムアクセス	0	RW	
6	リカバリサイクル挿入選択ビット	0: CS ₀ 領域アクセス時リカバリサイクルなし 1: CS ₀ 領域アクセス時リカバリサイクル挿入	1	RW	
7	CS ₀ 出力選択ビット (注4)	0: CS ₀ 出力禁止 (P4 ₄ はプログラマブル入出力ポートとして機能) 1: CS ₀ 出力許可 (P4 ₄ はCS ₀ 端子として機能)	(注5)	RW	3-5 3-12

- 注1. BYTE端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。
 2. RDY入力選択ビット(5F₁₆番地のビット2)が“1”のとき有効。
 3. BYTE端子にV_{CC}レベルを印加しているときは、このビットの内容にかかわらず「通常アクセス」になります。
 4. シングルチップモード時、このビットの内容は無効です(CS₀出力禁止)。
 5. MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります(“1”に固定される)。

CS₀ 制御レジスタ H【81₁₆ 番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	CS ₀ 領域ブロックサイズ指定ビット	b2 b1 b0	1	RW	3-13
1		0 0 0: 0バイト(CS ₀ 領域無効)	0	RW	
2		0 0 1: 128Kバイト 0 1 0: 256Kバイト 0 1 1: 512Kバイト 1 0 0: 1Mバイト 1 0 1: 2Mバイト 1 1 0: 4Mバイト 1 1 1: 8Mバイト	0	RW	
3		CS ₀ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW	
6~4	読み出し時の値は“0”		0	-	
7	CS ₀ 領域設定モード指定ビット	0: モードα(16Mバイト空間内にブロックを設定) 1: モード1(バンク0内にCS ₀ 領域先頭アドレスを設定)	1	RW	

CS_i制御レジスタL【82₁₆番地】
 CS₂制御レジスタL【84₁₆番地】
 CS₃制御レジスタL【86₁₆番地】



ビット	機能	リセット時	R/W	参照先
0	CS _i 領域バスサイクル選択ビット0 (j=1~3) (CS _i 領域バスサイクル選択ビット1=0時) (CS _i 領域バスサイクル選択ビット1=1時)	0	RW	3-15
1	b ₁ b ₀ 00: バスサイクル1 +1 b ₁ b ₀ 00: バスサイクル2 +3 01: バスサイクル1 +2 01: バスサイクル2 +4 10: バスサイクル1 +3 10: バスサイクル3 +3 11: バスサイクル2 +2 11: バスサイクル3 +4	1	RW	
2	外部データバス幅選択ビット 0: 16ビット幅 1: 8ビット幅 (注1)	0	RW	
3	RDY制御ビット (注2) 0: RDY制御有効 1: RDY制御無効	0	RW	
4	読み出し時の値は "0"	0	-	
5	バーストROMアクセス指定ビット (注3) 0: 通常アクセス 1: バーストROMアクセス	0	RW	
6	リカバリサイクル挿入選択ビット 0: CS _i 領域アクセス時リカバリサイクルなし 1: CS _i 領域アクセス時リカバリサイクル挿入	1	RW	
7	CS _i 出力選択ビット(j=1~3) (注4) 0: CS _i 出力禁止(P4 ₅ ~P4 ₇ はプログラブル入出力ポートとして機能) 1: CS _i 出力許可(P4 ₅ ~P4 ₇ はCS _i 端子として機能)	0	RW	3-5 3-15

- 注1. BYTE端子にV_{CC}レベルを印加しているときは、“1”(8ビット幅)に固定されます。
 2. RDY入力選択ビット(5F₁₆番地のビット2)が“1”のとき有効。
 3. 外部データバス幅選択ビット(ビット2)が“1”、又はBYTE端子にV_{CC}レベルを印加しているときは、このビットの内容にかかわらず通常アクセスになります。
 4. シングルチップモード時、このビットの内容は無効です(CS_i出力禁止)。

CS_i制御レジスタH【83₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	CS _i 領域ブロックサイズ指定ビット	b ₂ b ₁ b ₀ (モード0選択時) (モード1選択時) 000: 0バイト(CS _i 領域無効) 0バイト(CS _i 領域無効)	0	RW	3-16
1		001: 128Kバイト 選択禁止 010: 256Kバイト 選択禁止 011: 512Kバイト 選択禁止	0	RW	
2		100: 1Mバイト 4Kバイト 101: 2Mバイト 8Kバイト 110: 4Mバイト 選択禁止 111: 8Mバイト 選択禁止	0	RW	
3	CS _i 領域バスサイクル選択ビット1	CS _i 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW	
4	読み出し時の値は "0"		0	-	
5	"0"に固定してください		0	RW	
6	読み出し時の値は "0"		0	-	
7	CS _i 領域設定モード指定ビット	0: モード0(16Mバイト空間内にブロックを設定) 1: モード1(バンク0内にブロックを設定)	0	RW	

CS₂ 制御レジスタ H【85₁₆ 番地】



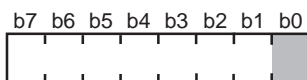
ビット	ビット名	機 能	リセット時	R/W	参照先
0	CS ₂ 領域ブロックサイズ指定ビット	b ₂ b ₁ b ₀ (モード0選択時) (モード1選択時) 000: 0バイト(CS ₂ 領域無効) 00バイト(CS ₂ 領域無効)	0	RW	3-17
1		001: 128Kバイト 選択禁止 010: 256Kバイト 選択禁止 011: 512Kバイト 選択禁止	0	RW	
2		100: 1Mバイト 4Kバイト 101: 2Mバイト 8Kバイト 110: 4Mバイト 選択禁止 111: 8Mバイト 選択禁止	0	RW	
3	CS ₂ 領域バスサイクル選択ビット1	CS ₂ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW	
4	読み出し時の値は“0”		0	-	
5	マルチブックスバス選択ビット	0: 分離バス(D ₀ ~D ₇ 入出力) 1: マルチブックスバス(外部データバス幅8ビット(84 ₁₆ 番地のビット2=1)、かつCS ₂ 領域アクセス時、LA ₀ /D ₀ ~LA ₇ /D ₇ を入出力)	0	RW	
6	読み出し時の値は“0”		0	-	
7	CS ₂ 領域設定モード指定ビット	0: モードα(16Mバイト空間内にブロックを設定) 1: モードβ(バンク0内にブロックを設定)	0	RW	

CS₃ 制御レジスタ H【87₁₆ 番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	CS ₃ 領域ブロックサイズ指定ビット	b ₂ b ₁ b ₀ 000: 0バイト(CS ₃ 領域無効)	0	RW	3-18
1		001: 128Kバイト 010: 256Kバイト 011: 512Kバイト	0	RW	
2		100: 1Mバイト 101: 2Mバイト 110: 4Mバイト 111: 8Mバイト	0	RW	
3	CS ₃ 領域バスサイクル選択ビット1	CS ₃ 領域バスサイクル選択ビット0との組み合わせでバスサイクルを選択する 0: バスサイクル1 +1、1 +2、1 +3、2 +2 のいずれか 1: バスサイクル2 +3、2 +4、3 +3、3 +4 のいずれか	0	RW	
7~4	読み出し時の値は“0”		0	-	

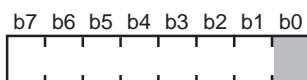
CS₀ 領域先頭アドレスレジスタ【8A₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
0	モード0選択時 先頭アドレスのA ₁₆ ~ A ₂₃ を設定する	0	-	3-18
1		0	RW	
2	モード1選択時 先頭アドレスのA ₈ ~ A ₁₅ を設定する 10 ₁₆ 、20 ₁₆ 、40 ₁₆ 、80 ₁₆ のいずれかの値が設定できる	0	RW	
3		0	RW	
4		1	RW	
5	(読み出し時、ビット0は常に“0”)	0	RW	
6		0	RW	
7		0	RW	

注．CS₀領域ブロックサイズ指定ビット(81₁₆番地のビット0~2)で指定したブロックサイズによって、設定できる先頭アドレスが異なります(図3.2.10、図3.2.11参照)。

CS₁ 領域先頭アドレスレジスタ【8C₁₆ 番地】

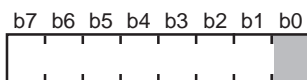


CS₂ 領域先頭アドレスレジスタ【8E₁₆ 番地】

ビット	機能	リセット時	R/W	参照先
0	モード0選択時 先頭アドレスのA ₁₆ ~ A ₂₃ を設定する	0	-	3-18
1		0	RW	
2	モード1選択時 先頭アドレスのA ₈ ~ A ₁₅ を設定する (読み出し時、ビット0は常に“0”)	0	RW	
3		0	RW	
4		0	RW	
5	(読み出し時、ビット0は常に“0”)	0	RW	
6		0	RW	
7		0	RW	

注．CS₁、CS₂領域ブロックサイズ指定ビット(83₁₆、85₁₆番地のビット0~2)で指定したブロックサイズによって、設定できる先頭アドレスが異なります(図3.2.10、図3.2.12参照)。

CS₃ 領域先頭アドレスレジスタ【90₁₆ 番地】



ビット	機能	リセット時	R/W	参照先
0	先頭アドレスのA ₁₆ ~ A ₂₃ を設定する (読み出し時、ビット0は常に“0”)	0	-	3-18
1		0	RW	
2		0	RW	
3		0	RW	
4		0	RW	
5		0	RW	
6		0	RW	
7		0	RW	

注．CS₃領域ブロックサイズ指定ビット(87₁₆番地のビット0~2)で指定したブロックサイズによって、設定できる先頭アドレスが異なります(図3.2.10参照)。

ポート機能制御レジスタ【92₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

0	0						
---	---	--	--	--	--	--	--

ビット	ビット名	機能	リセット時	R/W	参照先
0	アドレス/ポート切り替えビット	b2 b1 b0 0 0 0 : A ₀ ~ A ₂₃ (16Mバイト)	0	RW	3-5
1		0 0 1 : A ₀ ~ A ₂₁ , P0 ₆ , P0 ₇ (4Mバイト)	0	RW	
2		0 1 0 : A ₀ ~ A ₁₉ , P0 ₄ ~ P0 ₇ (1Mバイト)	0	RW	
		0 1 1 : A ₀ ~ A ₁₇ , P0 ₂ ~ P0 ₇ (256Kバイト)	0	RW	
		1 0 0 : A ₀ ~ A ₁₅ , P0 ₀ ~ P0 ₇ (64Kバイト)			
		1 0 1 : 選択禁止			
		1 1 0 : A ₀ ~ A ₁₁ , P0 ₀ ~ P0 ₇ , P11 ₄ ~ P11 ₇ (4Kバイト)	0	RW	
		1 1 1 : A ₀ ~ A ₇ , P0 ₀ ~ P0 ₇ , P11 ₀ ~ P11 ₇ (256バイト)			
3	ポートP0入力レベル選択ビット	0 : V _{IH} = 0.7V _{CC} , V _{IL} = 0.2V _{CC} 1 : V _{IH} = 0.43V _{CC} , V _{IL} = 0.16V _{CC}	0	RW	6-7
4	P4 ₄ ~ P4 ₇ プルアップ選択ビット	0 : P4 ₄ ~ P4 ₇ をプルアップする 1 : P4 ₄ ~ P4 ₇ をプルアップしない (注1, 2)	0	RW	3-5 6-7
6, 5	“0”に固定してください		0	RW	
7	NMI端子プルアップ選択ビット	0 : NMI端子をプルアップする 1 : NMI端子をプルアップしない (注1)	0	RW	7-16

注1. パラレル入出力モード(MD1 = V_{CC}, MD0 = V_{CC})時は、これらのビットの内容にかかわらず、P4₄ ~ P4₇及びNMI端子はプルアップされません。

2. マイクロプロセッサモード(MD1 = V_{SS}, MD0 = V_{CC})時は、このビットの内容にかかわらず、CS(P4₄)はプルアップされません。

外部割り込み入力制御レジスタ【94₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

0							
---	--	--	--	--	--	--	--

ビット	ビット名	機能	リセット時	R/W	参照先
0	キー入力割り込み選択ビット	0 : INT ₃ 割り込み 1 : キー入力割り込み	0	RW	8-4
1	キー入力割り込み端子プルアップ選択ビット	0 : K _{I0} ~ K _{I3} 端子をプルアップしない 1 : K _{I0} ~ K _{I3} 端子をプルアップする	0	RW	
2	キー入力割り込み端子選択ビット	b3 b2 0 0 : K _{I0} ~ K _{I3} を選択	0	RW	
3		0 1 : K _{I0} ~ K _{I2} を選択 1 0 : K _{I0} , K _{I1} を選択 1 1 : K _{I0} を選択 (注1)	0	RW	
4	INT ₂ 端子選択ビット	0 : INT ₂ 端子をP6 ₄ に配置する 1 : INT ₂ 端子をP7 ₇ に配置する (注2)	0	RW	7-16
5	INT ₃ 端子選択ビット	0 : INT ₃ 端子をP8 ₀ に配置する 1 : INT ₃ 端子をP7 ₄ に配置する (注3)	0	RW	
6	INT ₄ 端子選択ビット	0 : INT ₄ 端子をP8 ₄ に配置する 1 : INT ₄ 端子をP7 ₅ に配置する (注4)	0	RW	
7	“0”に固定してください		0	RW	

注1. K_I端子を使用するときは、共用となっているタイマAの出力端子、及びパルス出力端子を選択しないでください(「第9章 タイマA」, 「第11章 リアルタイム出力」参照)

2. INT₂端子をP7₇に配置する場合は、AN₇/AD_{TRG}端子は使用しないでください。また、D-A₁出力許可ビット(96₁₆番地のビット1) = (出力禁止)にしてください。

3. INT₃端子をP7₄に配置する場合は、AN₄端子を使用しないでください。

4. INT₄端子をP7₅に配置する場合は、AN₅端子を使用しないでください。

外部割り込み入力読み出しレジスタ【95₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビット名	機能	リセット時	R/W	参照先
0	INT ₀ 読み出しビット	対応する端子の入力レベルを読み出す 0 : Lレベル 1 : Hレベル	不定	RO	7-16
1	INT ₁ 読み出しビット		不定	RO	
2	INT ₂ 読み出しビット		不定	RO	
3	INT ₃ 読み出しビット (注)		不定	RO	
4	INT ₄ 読み出しビット		不定	RO	
5	NMI読み出しビット		不定	RO	
7、6	読み出した場合その内容は不定	不定	RO		

注．キー入力割り込み選択ビット(94₁₆番地のビット0)=1のときは、INT₃端子の入力レベルは読み出せません。

D-A 制御レジスタ【96₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

						0	
--	--	--	--	--	--	---	--

ビット	ビット名	機能	リセット時	R/W	参照先
0	D-A ₀ 出力許可ビット	0 : 出力禁止 1 : 出力許可 (注1、2)	0	RW	14-3
1	D-A ₁ 出力許可ビット	0 : 出力禁止 1 : 出力許可 (注1、2)	0	RW	
2	“0”に固定してください		0	RW	
7~3	何も配置されていない		不定	-	

注1．DA端子はアナログ入力端子、シリアルI/O入出力端子、及び外部割り込み入力端子と共用です。D-A出力許可ビットを“1”(出力許可)にすると、共用となっている他の入出力端子(プログラマブル入出力ポートを含む)としては使用できません。

2．D-A変換器を使用しない場合は、必ず“0”にしてください。

D-A レジスタ*i* (*i* = 0、1)【98₁₆、99₁₆番地】

b7 b0

--

ビット	機能	リセット時	R/W	参照先
7~0	00 ₁₆ ~ FF ₁₆ を設定可能 (注) 設定値がD-A変換され、出力される	0	RW	14-3

注．D-A変換器を使用しない場合は、必ず“00₁₆”にしてください。

フラッシュメモリ制御レジスタ【9E₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
			0		0		

ビット	ビット名	機能	リセット時	R/W	参照先
0	RY/BYステータスフラグ	0: BUSY(自動書き込み/自動消去中) 1: READY(自動書き込み/自動消去終了)	1	RO	18-8 18-9
1	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	0	RW (注1,2)	
2	"0"に固定してください		0	RW	
3	フラッシュメモリリセットビット (注3)	0: 通常動作 1: リセット	0	RW (注4)	
4	"0"に固定してください		0	RW	
5	ユーザROM領域選択ビット (ブートモード時有効)(注5)	0: ブートROM領域アクセス 1: ユーザROM領域アクセス	0	RW (注2)	
7, 6	読み出し時の値は"0"		0	-	

注1. "1"にするときは、"0"を書き込んだ後、続けて"1"を書き込んでください。

"0"にするときは、"0"を書き込んでください。

2. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域上で行ってください。

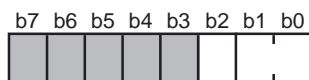
3. CPU書き換えモード選択ビット(ビット1)が"1"のとき有効です。CPU書き換えモード選択ビットが"0"のときは"0"に固定してください。

このビットのデータ操作は、CPU書き換えモード選択ビットが"1"の状態で行ってください。

4. このビットへの書き込みは、図18.2.2の手順で行ってください。

5. MD1=V_{SS}レベル時、このビットの内容は無効です("0"又は"1"いずれでもよい)。

リアルタイム出力制御レジスタ【A0₁₆番地】



ビット	ビット名	機能	リセット時	R/W	参照先
0	波形出力選択ビット	下表参照	0	RW	11-4
1			0	RW	
2	パルス出力モード選択ビット	0 : パルスモード0 1 : パルスモード1	0	RW	
7~3	読み出し時の値は“0”		0	-	

注．P5₀～P5₇端子をリアルタイム出力のパルス出力端子として使用するときは、ポートP5方向レジスタ(D₁₆番地)の対応するビットを“1”にしてください。また、RTP1₀～RTP1₃端子を使用するときは、共用となっているキー入力割り込み端子(KI₀～KI₃端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

b1 b0	00	01	10	11
パルスモード0 選択時	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } ポート	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } ポート	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } RTP	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } RTP
	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 - P51/RTP01 - P50/RTP00 } ポート	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 - P51/RTP01 - P50/RTP00 } RTP	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 - P51/RTP01 - P50/RTP00 } ポート	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 - P51/RTP01 - P50/RTP00 } RTP
パルスモード1 選択時	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } ポート	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } ポート	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } RTP	<ul style="list-style-type: none"> - P57/RTP13 - P56/RTP12 - P55/RTP11 - P54/RTP10 } RTP
	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 } ポート	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 } RTP	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 } ポート	<ul style="list-style-type: none"> - P53/RTP03 - P52/RTP02 } RTP

ポート：プログラマブル入出力ポートとして機能します。

RTP：パルス出力端子として機能します。

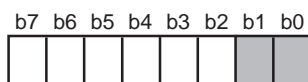
パルス出力データレジスタ 0【A2₁₆ 番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
0	RTP0 ₀ /パルス出力データビット	0 : Lレベル出力 1 : Hレベル出力	不定	WO	11-5
1	RTP0 ₁ /パルス出力データビット		不定	WO	
2	RTP0 ₂ /パルス出力データビット (パルスモード0時有効)		不定	WO	
3	RTP0 ₃ /パルス出力データビット (パルスモード0時有効)		不定	WO	
7~4	何も配置されていない	不定	-		

注．このレジスタへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

パルス出力データレジスタ 1【A4₁₆ 番地】



ビット	ビット名	機 能	リセット時	R/W	参照先
1、0	何も配置されていない		不定	-	11-5
2	RTP0 ₂ /パルス出力データビット (パルスモード1時有効)	0 : Lレベル出力 1 : Hレベル出力	不定	WO	
3	RTP0 ₃ /パルス出力データビット (パルスモード1時有効)		不定	WO	
4	RTP1 ₀ /パルス出力データビット		不定	WO	
5	RTP1 ₁ /パルス出力データビット		不定	WO	
6	RTP1 ₂ /パルス出力データビット		不定	WO	
7	RTP1 ₃ /パルス出力データビット		不定	WO	

注．このレジスタへの書き込みにはMOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

シリアル I/O 端子制御レジスタ【AC₁₆ 番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット名	機能	リセット時	R/W	参照先
0	CTS ₀ /RTS ₀ 分離選択ビット(注)	0 : CTS ₀ /RTS ₀ 共用 1 : CTS ₀ /RTS ₀ 分離	0	RW	12-17
1	CTS ₁ /RTS ₁ 分離選択ビット(注)	0 : CTS ₁ /RTS ₁ 共用 1 : CTS ₁ /RTS ₁ 分離	0	RW	
2	TxD ₀ /P8 ₃ 切り替えビット	0 : TxD ₀ として機能 1 : P8 ₃ として機能	0	RW	
3	TxD ₁ /P8 ₇ 切り替えビット	0 : TxD ₁ として機能 1 : P8 ₇ として機能	0	RW	
7~4	読み出し時の値は“0”		0	-	

注．CTS/RTS許可ビット(3A₁₆、3C₁₆番地のビット4)が“0”のとき有効。

クロック制御レジスタ【BC₁₆ 番地】

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0	1	1	

ビット	ビット名	機能	リセット時	R/W	参照先
0	X _{IN} 入力クロック分周選択ビット	0 : 2分周あり(f _{sys} はfX _{IN} の2分周) 1 : 2分周なし(f _{sys} はfX _{IN})	(注)	RW	5-6
1	“1”に固定してください		1	RW	
2			1	RW	
3	“0”に固定してください		0	RW	
4			0	RW	
5			0	RW	
6	周辺装置用クロック選択ビット0	表5.2.2参照	0	RW	
7	周辺装置用クロック選択ビット1		0	RW	

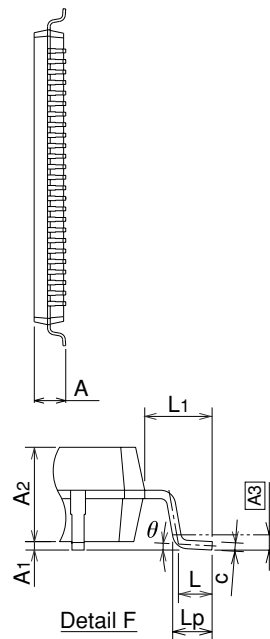
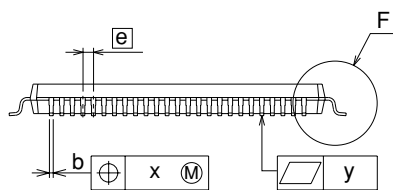
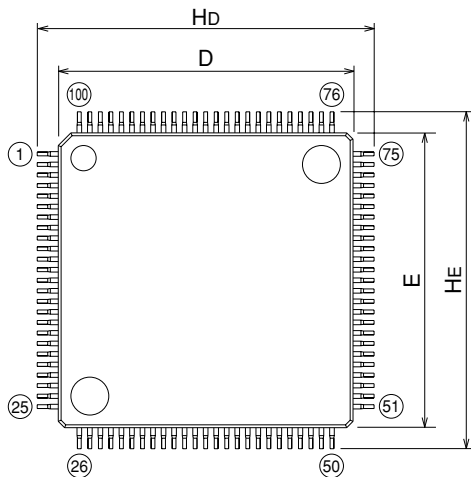
注．CDSEL端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加又は開放しているときは“1”になります。

付録3．外形寸法図

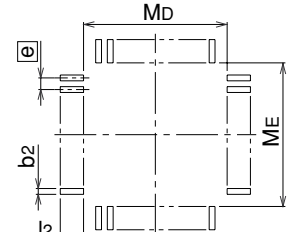
100P6Q-A

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Detail F



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
MD	-	14.4	-
ME	-	14.4	-

付録4．未使用端子の処理例

入出力端子を使用しない場合は、各端子ごとに処理が必要です。未使用端子の処理例を以下に示します。ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、及び十分な評価をしてください。

1．シングルチップモード時

表1 シングルチップモード時の未使用端子の処理例

端子名	処理例
P0～P3、P4 ₀ ～P4 ₃ 、P5～P8、P10、P11	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注1)
P4 ₄ ～P4 ₇	入力モードに設定し開放(注2、3)
NMI(注2、4)、X _{OUT} (注5)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF} 、BYTE	V _{SS} に接続

注1．出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

2．V_{SS}に接続しないでください。

3．P4₄～P4₇プルアップ選択ビット(92₁₆番地のビット4)=0にしてください。

4．NMI端子プルアップ選択ビット(92₁₆番地のビット7)=0にしてください。

5．X_{IN}端子に外部で生成したクロックを入力しているとき。

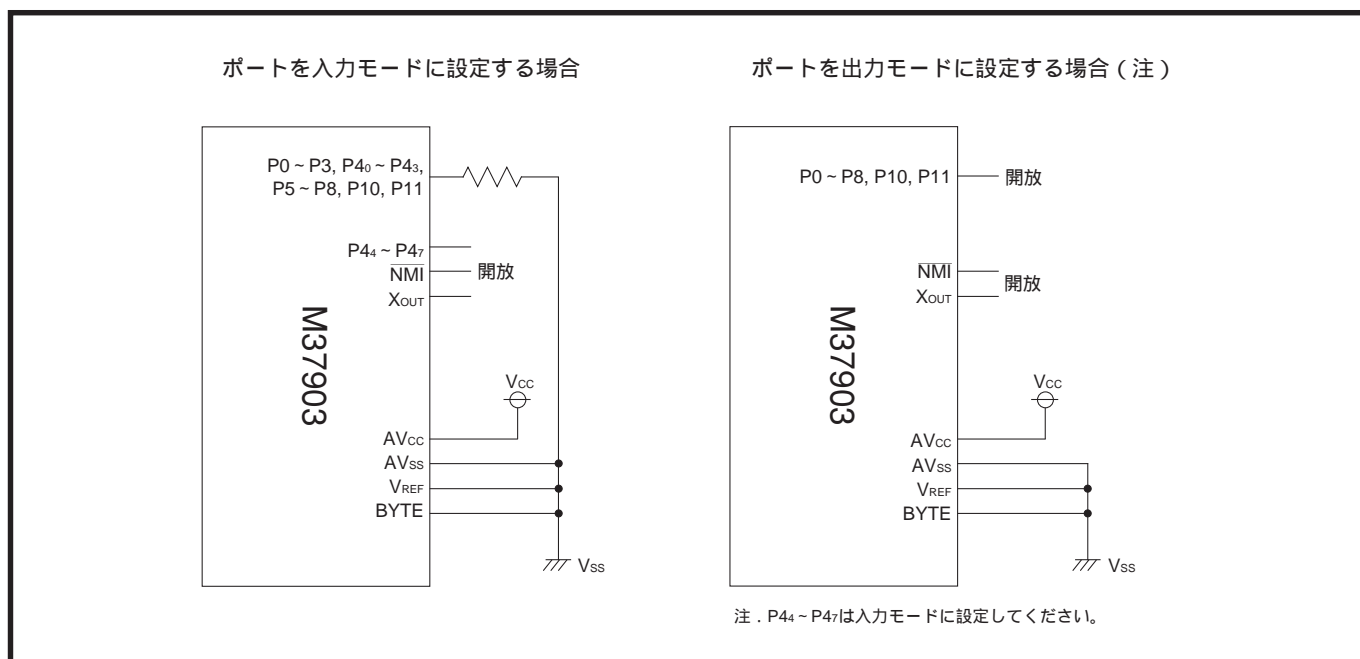


図1 シングルチップモード時の未使用端子の処理例

2．メモリ拡張モード時及びマイクロプロセッサモード時

表2 メモリ拡張モード時及びマイクロプロセッサモード時の未使用端子の処理例

端子名	処理例
P2(注1)、P3 ₀ 、P3 ₃ (注1)、P4 ₀ ～P4 ₃ 、P5～P8	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注2)
P4 ₄ ～P4 ₇	入力モードに設定し開放(注3、4)
NM \bar{I} (注3、5)、X _{OUT} (注6)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF}	V _{SS} に接続
(注7)、ALE(注7)、HLDA(注7)	開放
RDY(注7)、HOLD(注7)	抵抗を介してV _{CC} に接続

注1．BYTE端子にV_{CC}レベルを入力しているとき。

2．出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

3．V_{SS}に接続しないでください。

4．P4₄～P4₇プルアップ選択ビット(92₁₆番地のビット4)=0にしてください。

5．NMI端子プルアップ選択ビット(92₁₆番地のビット7)=0にしてください。

6．X_{IN}端子に外部で生成したクロックを入力しているとき。

7．MD0端子にV_{CC}レベルを印加しているとき(ソフトウェアによってこれらの機能を禁止し、プログラマブル入出力ポートとして使用することもできます)。

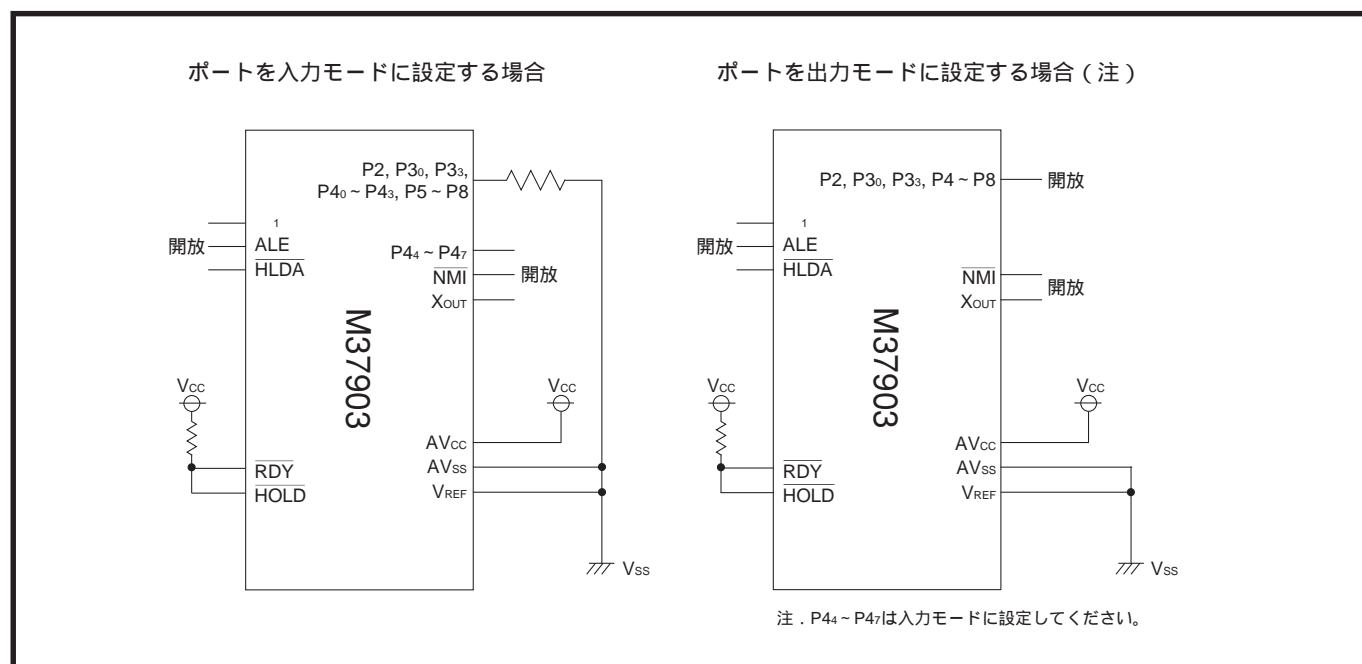


図2 メモリ拡張モード時及びマイクロプロセッサモード時の未使用端子の処理例

付録5 . 16進命令コード対応表

命令コード対応表0

D7-D4	D3-D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	BRK IMP	表1	LDX DIR	ASL A	SEC IMP	SEI IMP		LDX ABS	LDAB A,(DIR),Y	LDAB A,L(DIR),Y	LDAB A,DIR	LDAB A,DIR,X	LDAB A,ABL	LDAB A,ABL,X	LDAB A,ABS	LDAB A,ABS,X
0001	1	BPL REL	表2	LDY DIR	ROL A	CLC IMP	CLI IMP	LDA A,IMM	LDY ABS	LDA A,(DIR),Y	LDA A,L(DIR),Y	LDA A,DIR	LDA A,DIR,X	LDA A,ABL	LDA A,ABL,X	LDA A,ABS	LDA A,ABS,X
0010	2	BRA REL	表3	CPX DIR	ANDB A,IMM	NEG A	SEM IMP	ADD A,IMM	LDXB IMM	LDAB A,IMM	ADDB A,IMM	ADD A,DIR	ADD A,DIR,X	LDAD E,IMM	ADD E,IMM	ADD A,ABS	ADD A,ABS,X
0011	3	BMI REL	表4	CPY DIR	EORB A,IMM	EXTZ A	EXTS A	SUB A,IMM	LDYB IMM	CMPB A,IMM	SUBB A,IMM	SUB A,DIR	SUB A,DIR,X	CMPD E,IMM	SUBD E,IMM	SUB A,ABS	SUB A,ABS,X
0100	4	BGTU REL	表5	BBSB DIR,b,REL	LSR A	CLRB A	CLM IMP	CMP A,IMM	BBSB ABS,b,REL	MOVMB DIR/DIR		CMP A,DIR	CMP A,DIR,X	MOVMB DIR/ABS	MOVMB DIR/ABS,X	CMP A,ABS	CMP A,ABS,X
0101	5	BVC REL	表6	BBCB DIR,b,REL	ROR A	CLR A	XAB IMP	ORA A,IMM	BBCB ABS,b,REL	MOVMB DIR/DIR		ORA A,DIR	ORA A,DIR,X	MOVMB DIR/ABS	MOVMB DIR/ABS,X	ORA A,ABS	ORA A,ABS,X
0110	6	BLEU REL	表7	CBEQB DIR/IMM,REL	ORAB A,IMM	ASR A	CLV IMP	AND A,IMM	PUL STK	MOVMB ABS/DIR	MOVMB ABS/DIR,X	AND A,DIR	AND A,DIR,X	MOVMB ABS/ABS		AND A,ABS	AND A,ABS,X
0111	7	BVS REL	表8	CBNEB DIR/IMM,REL		NOP IMP		EOR A,IMM	PLD n /RTSD n /STK	MOVMB ABS/DIR	MOVMB ABS/DIR,X	EOR A,DIR	EOR A,DIR,X	MOVMB ABS/ABS		EOR A,ABS	EOR A,ABS,X
1000	8	BGT REL	表9	INC DIR	PHD STK	RTS IMP	PHA STK	MOVMB DIR/IMM	INC ABS	LDAD E,(DIR),Y	LDAD E,L(DIR),Y	LDAD E,DIR	LDAD E,DIR,X	LDAD E,ABL	LDAD E,ABL,X	LDAD E,ABS	LDAD E,ABS,X
1001	9	BCC REL	表10	DEC DIR	PLD STK	RTL IMP	PLA STK	MOVMB ABS/IMM	DEC ABS	CLP IMM	SEP IMM	ADD E,DIR	ADD E,DIR,X	JMP ABS	JSR ABS	ADD E,ABS	ADD E,ABS,X
1010	A	BLE REL	表11	CBEQB A/IMM,REL	INC A	TXA IMP	PHP STK	CBEQ A/IMM,REL	BRAL REL	PSH STK	MOVMB DIR/IMM	SUBD E,DIR	SUBD E,DIR,X	JMPL ABL	JSRL ABL	SUBD E,ABS	SUBD E,ABS,X
1011	B	BCS REL	表12	CBNEB A/IMM,REL	DEC A	TYA IMP	PLP STK	CBNE A/IMM,REL		LDD n /PHD n /RTSD n /STK/IMM	MOVMB ABS/IMM	CMPD E,DIR	CMPD E,DIR,X	JMP (ABS,X)	JSR (ABS,X)	CMPD E,ABS	CMPD E,ABS,X
1100	C	BGE REL	表13	CLRMB DIR	INX IMP	TAX IMP	PHX STK	LDX IMM	CLRMB ABS	STAB A,(DIR),Y	STAB A,L(DIR),Y	STAB A,DIR	STAB A,DIR,X	STAB A,ABL	STAB A,ABL,X	STAB A,ABS	STAB A,ABS,X
1101	D	BNE REL	表14	CLRM DIR	INY IMP	TAY IMP	PLX STK	LDY IMM	CLRM ABS	STA A,(DIR),Y	STA A,L(DIR),Y	STA A,DIR	STA A,DIR,X	STA A,ABL	STA A,ABL,X	STA A,ABS	STA A,ABS,X
1110	E	BLT REL	ABS A	STX DIR	DEX IMP	CLRX IMP	PHY STK	CPX IMM	STX ABS	STAD E,(DIR),Y	STAD E,L(DIR),Y	STAD E,DIR	STAD E,DIR,X	STAD E,ABL	STAD E,ABL,X	STAD E,ABS	STAD E,ABS,X
1111	F	BEQ REL	RTI IMP	STY DIR	DEY IMP	CLRY IMP	PLY STK	CPY IMM	STY ABS	←				BSR REL			→

注 . 表1 ~ 14は、命令コード対応表1 ~ 14を示します。第2語目のコードは、命令コード対応表1 ~ 14を参照してください。

命令コード対応表1 (各命令の第1語目は01₁₆です)

D3-D0 16進 表記	D7-D4	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0								ADDX IMM								
0001	1																
0010	2								ADDY IMM								
0011	3																
0100	4								SUBX IMM								
0101	5																
0110	6								SUBY IMM								
0111	7																
1000	8								BSS A,b,REL								
1001	9																
1010	A								BSC A,b,REL								
1011	B																
1100	C								DXBNE IMM,REL								
1101	D																
1110	E								DYBNE IMM,REL								
1111	F																

命令コード対応表2 (各命令の第1語目は11₁₆です)

D3-D0 16進 表記	D7-D4	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	LDAB A,(DIR)	LDAB A,(DIR,X)	LDAB A,L(DIR)	LDAB A,SR	LDAB A,(SR),Y		LDAB A,ABS,Y									
0001	1	LDA A,(DIR)	LDA A,(DIR,X)	LDA A,L(DIR)	LDA A,SR	LDA A,(SR),Y		LDA A,ABS,Y									
0010	2	ADD A,(DIR)	ADD A,(DIR,X)	ADD A,L(DIR)	ADD A,SR	ADD A,(SR),Y		ADD A,ABS,Y		ADD A,(DIR),Y	ADD A,L(DIR),Y			ADD A,ABL	ADD A,ABL,X		
0011	3	SUB A,(DIR)	SUB A,(DIR,X)	SUB A,L(DIR)	SUB A,SR	SUB A,(SR),Y		SUB A,ABS,Y		SUB A,(DIR),Y	SUB A,L(DIR),Y			SUB A,ABL	SUB A,ABL,X		
0100	4	CMP A,(DIR)	CMP A,(DIR,X)	CMP A,L(DIR)	CMP A,SR	CMP A,(SR),Y		CMP A,ABS,Y		CMP A,(DIR),Y	CMP A,L(DIR),Y			CMP A,ABL	CMP A,ABL,X		
0101	5	ORA A,(DIR)	ORA A,(DIR,X)	ORA A,L(DIR)	ORA A,SR	ORA A,(SR),Y		ORA A,ABS,Y		ORA A,(DIR),Y	ORA A,L(DIR),Y			ORA A,ABL	ORA A,ABL,X		
0110	6	AND A,(DIR)	AND A,(DIR,X)	AND A,L(DIR)	AND A,SR	AND A,(SR),Y		AND A,ABS,Y		AND A,(DIR),Y	AND A,L(DIR),Y			AND A,ABL	AND A,ABL,X		
0111	7	EOR A,(DIR)	EOR A,(DIR,X)	EOR A,L(DIR)	EOR A,SR	EOR A,(SR),Y		EOR A,ABS,Y		EOR A,(DIR),Y	EOR A,L(DIR),Y			EOR A,ABL	EOR A,ABL,X		
1000	8	LDAD E,(DIR)	LDAD E,(DIR,X)	LDAD E,L(DIR)	LDAD E,SR	LDAD E,(SR),Y		LDAD E,ABS,Y									
1001	9	ADD E,(DIR)	ADD E,(DIR,X)	ADD E,L(DIR)	ADD E,SR	ADD E,(SR),Y		ADD E,ABS,Y		ADD E,(DIR),Y	ADD E,L(DIR),Y			ADD E,ABL	ADD E,ABL,X		
1010	A	SUBD E,(DIR)	SUBD E,(DIR,X)	SUBD E,L(DIR)	SUBD E,SR	SUBD E,(SR),Y		SUBD E,ABS,Y		SUBD E,(DIR),Y	SUBD E,L(DIR),Y			SUBD E,ABL	SUBD E,ABL,X		
1011	B	CMPD E,(DIR)	CMPD E,(DIR,X)	CMPD E,L(DIR)	CMPD E,SR	CMPD E,(SR),Y		CMPD E,ABS,Y		CMPD E,(DIR),Y	CMPD E,L(DIR),Y			CMPD E,ABL	CMPD E,ABL,X		
1100	C	STAB A,(DIR)	STAB A,(DIR,X)	STAB A,L(DIR)	STAB A,SR	STAB A,(SR),Y		STAB A,ABS,Y									
1101	D	STA A,(DIR)	STA A,(DIR,X)	STA A,L(DIR)	STA A,SR	STA A,(SR),Y		STA A,ABS,Y									
1110	E	STAD E,(DIR)	STAD E,(DIR,X)	STAD E,L(DIR)	STAD E,SR	STAD E,(SR),Y		STAD E,ABS,Y									
1111	F																

命令コード対応表3 (各命令の第1語目は21₁₆です)

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0											ASL DIR	ASL DIR,X			ASL ABS	ASL ABS,X
0001	1											ROL DIR	ROL DIR,X			ROL ABS	ROL ABS,X
0010	2											LSR DIR	LSR DIR,X			LSR ABS	LSR ABS,X
0011	3											ROR DIR	ROR DIR,X			ROR ABS	ROR ABS,X
0100	4											ASR DIR	ASR DIR,X			ASR ABS	ASR ABS,X
0101	5																
0110	6																
0111	7																
1000	8	ADC A,(DIR)	ADC A,(DIR,X)	ADC A,L(DIR)	ADC A,SR	ADC A,(SR),Y		ADC A,ABS,Y		ADC A,(DIR),Y	ADC A,L(DIR),Y	ADC A,DIR	ADC A,DIR,X	ADC A,ABL	ADC A,ABL,X	ADC A,ABS	ADC A,ABS,X
1001	9	ADCD E,(DIR)	ADCD E,(DIR,X)	ADCD E,L(DIR)	ADCD E,SR	ADCD E,(SR),Y		ADCD E,ABS,Y		ADCD E,(DIR),Y	ADCD E,L(DIR),Y	ADCD E,DIR	ADCD E,DIR,X	ADCD E,ABL	ADCD E,ABL,X	ADCD E,ABS	ADCD E,ABS,X
1010	A	SBC A,(DIR)	SBC A,(DIR,X)	SBC A,L(DIR)	SBC A,SR	SBC A,(SR),Y		SBC A,ABS,Y		SBC A,(DIR),Y	SBC A,L(DIR),Y	SBC A,DIR	SBC A,DIR,X	SBC A,ABL	SBC A,ABL,X	SBC A,ABS	SBC A,ABS,X
1011	B	SBCD E,(DIR)	SBCD E,(DIR,X)	SBCD E,L(DIR)	SBCD E,SR	SBCD E,(SR),Y		SBCD E,ABS,Y		SBCD E,(DIR),Y	SBCD E,L(DIR),Y	SBCD E,DIR	SBCD E,DIR,X	SBCD E,ABL	SBCD E,ABL,X	SBCD E,ABS	SBCD E,ABS,X
1100	C	MPY (DIR)	MPY (DIR,X)	MPY L(DIR)	MPY SR	MPY (SR),Y		MPY ABS,Y		MPY (DIR),Y	MPY L(DIR),Y	MPY DIR	MPY DIR,X	MPY ABL	MPY ABL,X	MPY ABS	MPY ABS,X
1101	D	MPYS (DIR)	MPYS (DIR,X)	MPYS L(DIR)	MPYS SR	MPYS (SR),Y		MPYS ABS,Y		MPYS (DIR),Y	MPYS L(DIR),Y	MPYS DIR	MPYS DIR,X	MPYS ABL	MPYS ABL,X	MPYS ABS	MPYS ABS,X
1110	E	DIV (DIR)	DIV (DIR,X)	DIV L(DIR)	DIV SR	DIV (SR),Y		DIV ABS,Y		DIV (DIR),Y	DIV L(DIR),Y	DIV DIR	DIV DIR,X	DIV ABL	DIV ABL,X	DIV ABS	DIV ABS,X
1111	F	DIVS (DIR)	DIVS (DIR,X)	DIVS L(DIR)	DIVS SR	DIVS (SR),Y		DIVS ABS,Y		DIVS (DIR),Y	DIVS L(DIR),Y	DIVS DIR	DIVS DIR,X	DIVS ABL	DIVS ABL,X	DIVS ABS	DIVS ABS,X

命令コード対応表4 (各命令の第1語目は31₁₆です)

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0			TAD,0 IMP					RLA A			ADDS IMM	SUBS IMM				
0001	1	WIT IMP		TAD,1 IMP								ADCB A,IMM	SBCB A,IMM	ADCD E,IMM	SBCD E,IMM		
0010	2			TAD,2 IMP								MVP BLK	MVN BLK				
0011	3	STP IMP		TAD,3 IMP								MOVMB DIR,X/IMM	MOVMB ABS,X/IMM				
0100	4	PHT STK		TDA,0 IMP					MOV DIR,X/IMM			LDT IMM	PEI STK	PEA STK	PER STK		
0101	5	PLT STK		TDA,1 IMP					MOV ABS,X/IMM			RMPA 種和		JMP (ABS)	JMPL L(ABS)		
0110	6	PHG STK		TDA,2 IMP													
0111	7	TSD IMP		TDA,3 IMP	TDS IMP												
1000	8	NEGD E		TAS IMP					ADC A,IMM								
1001	9	ABSD E		TSA IMP													
1010	A	EXTZD E							SBC A,IMM								
1011	B	EXTSD E															
1100	C			TXY IMP					MPY IMM								
1101	D			TYX IMP					MPYS IMM								
1110	E			TXS IMP					DIV IMM								
1111	F			TSX IMP					DIVS IMM								

命令コード対応表5 (各命令の第1語目は41₁₆です)

D3 - D0 16進 表記	D7 - D4	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0						LDX DIR,Y	LDX ABS,Y									
0001	1												LDY DIR,X				LDY ABS,X
0010	2															CPX ABS	
0011	3															CPY ABS	
0100	4											BBS DIR,b,REL				BBS ABS,b,REL	
0101	5											BBC DIR,b,REL				BBC ABS,b,REL	
0110	6											CBEQ DIR/IMM,REL					
0111	7											CBNE DIR/IMM,REL					
1000	8												INC DIR,X				INC ABS,X
1001	9												DEC DIR,X				DEC ABS,X
1010	A																
1011	B																
1100	C																
1101	D																
1110	E						STX DIR,Y										
1111	F												STY DIR,X				

命令コード対応表6 (各命令の第1語目は51₁₆です)

D3 - D0 16進 表記	D7 - D4	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0			ADDMB DIR/IMM	ADDM DIR/IMM			ADDMB ABS/IMM	ADDM ABS/IMM								
0001	1			SUBMB DIR/IMM	SUBM DIR/IMM			SUBMB ABS/IMM	SUBM ABS/IMM								
0010	2			CMPMB DIR/IMM	CMPM DIR/IMM			CMPMB ABS/IMM	CMPM ABS/IMM								
0011	3			ORAMB DIR/IMM	ORAM DIR/IMM			ORAMB ABS/IMM	ORAM ABS/IMM								
0100	4																
0101	5																
0110	6			ANDMB DIR/IMM	ANDM DIR/IMM			ANDMB ABS/IMM	ANDM ABS/IMM								
0111	7			EORMB DIR/IMM	EORM DIR/IMM			EORMB ABS/IMM	EORM ABS/IMM								
1000	8				ADDMD DIR/IMM				ADDMD ABS/IMM								
1001	9				SUBMD DIR/IMM				SUBMD ABS/IMM								
1010	A				CMPMD DIR/IMM				CMPMD ABS/IMM								
1011	B				ORAMD DIR/IMM				ORAMD ABS/IMM								
1100	C																
1101	D																
1110	E				ANDMD DIR/IMM				ANDMD ABS/IMM								
1111	F				EORMD DIR/IMM				EORMD ABS/IMM								

命令コード対応表7 (各命令の第1語目は61₁₆です)

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0000	0	MOVRB DIR/IMM																→
0001	1	MOVR DIR/IMM																→
0010	2	MOVRB ABS/IMM																→
0011	3	MOVR ABS/IMM																→
0100	4	MOVRB DIR/DIR																→
0101	5	MOVR DIR/DIR																→
0110	6	MOVRB ABS/DIR																→
0111	7	MOVR ABS/DIR																→
1000	8	MOVRB DIR/ABS																→
1001	9	MOVR DIR/ABS																→
1010	A	MOVRB ABS/ABS																→
1011	B	MOVR ABS/ABS																→
1100	C																	
1101	D																	
1110	E																	
1111	F																	

命令コード対応表8 (各命令の第1語目は71₁₆です)

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0000	0	MOVRB DIR/ABS,X																→
0001	1	MOVR DIR/ABS,X																→
0010	2																	
0011	3																	
0100	4																	
0101	5																	
0110	6	MOVRB ABS/DIR,X																→
0111	7	MOVR ABS/DIR,X																→
1000	8								BSS DIR,b,REL									
1001	9																	
1010	A								BSC DIR,b,REL									
1011	B																	
1100	C								BSS ABS,b,REL									
1101	D																	
1110	E								BSC ABS,b,REL									
1111	F																	

命令コード対応表9 (各命令の第1語目は81₁₆です)

D3-D0 16進 表記	D7-D4	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0			ASL B						LDAB B,(DIR),Y	LDAB B,L,(DIR),Y	LDAB B,DIR	LDAB B,DIR,X	LDAB B,ABL	LDAB B,ABL,X	LDAB B,ABS	LDAB B,ABS,X
0001	1			ROL B				LDA B,IMM		LDA B,(DIR),Y	LDA B,L,(DIR),Y	LDA B,DIR	LDA B,DIR,X	LDA B,ABL	LDA B,ABL,X	LDA B,ABS	LDA B,ABS,X
0010	2			ANDB B,IMM	NEG B			ADD B,IMM		LDAB B,IMM	ADDB B,IMM	ADD B,DIR	ADD B,DIR,X			ADD B,ABS	ADD B,ABS,X
0011	3			EORB B,IMM	EXTZ B	EXTS B		SUB B,IMM		CMPB B,IMM	SUBB B,IMM	SUB B,DIR	SUB B,DIR,X			SUB B,ABS	SUB B,ABS,X
0100	4			LSR B	CLRB B			CMP B,IMM				CMP B,DIR	CMP B,DIR,X			CMP B,ABS	CMP B,ABS,X
0101	5			ROR B	CLR B			ORA B,IMM				ORA B,DIR	ORA B,DIR,X			ORA B,ABS	ORA B,ABS,X
0110	6			ORAB B,IMM	ASR B			AND B,IMM				AND B,DIR	AND B,DIR,X			AND B,ABS	AND B,ABS,X
0111	7							EOR B,IMM				EOR B,DIR	EOR B,DIR,X			EOR B,ABS	EOR B,ABS,X
1000	8							PHB STK									
1001	9							PLB STK									
1010	A			CBEQB B/IMM,REL	INC B	TXB IMP		CBEQ B/IMM,REL									
1011	B			CBNEB B/IMM,REL	DEC B	TYB IMP		CBNE B/IMM,REL									
1100	C					TBX IMP				STAB B,(DIR),Y	STAB B,L,(DIR),Y	STAB B,DIR	STAB B,DIR,X	STAB B,ABL	STAB B,ABL,X	STAB B,ABS	STAB B,ABS,X
1101	D					TBY IMP				STA B,(DIR),Y	STA B,L,(DIR),Y	STA B,DIR	STA B,DIR,X	STA B,ABL	STA B,ABL,X	STA B,ABS	STA B,ABS,X
1110	E		ABS B														
1111	F																

命令コード対応表10 (各命令の第1語目は91₁₆です)

D3-D0 16進 表記	D7-D4	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	LDAB B,(DIR)	LDAB B,(DIR),X	LDAB B,L,(DIR)	LDAB B,SR	LDAB B,(SR),Y		LDAB B,ABS,Y									
0001	1	LDA B,(DIR)	LDA B,(DIR),X	LDA B,L,(DIR)	LDA B,SR	LDA B,(SR),Y		LDA B,ABS,Y									
0010	2	ADD B,(DIR)	ADD B,(DIR),X	ADD B,L,(DIR)	ADD B,SR	ADD B,(SR),Y		ADD B,ABS,Y		ADD B,(DIR),Y	ADD B,L,(DIR),Y			ADD B,ABL	ADD B,ABL,X		
0011	3	SUB B,(DIR)	SUB B,(DIR),X	SUB B,L,(DIR)	SUB B,SR	SUB B,(SR),Y		SUB B,ABS,Y		SUB B,(DIR),Y	SUB B,L,(DIR),Y			SUB B,ABL	SUB B,ABL,X		
0100	4	CMP B,(DIR)	CMP B,(DIR),X	CMP B,L,(DIR)	CMP B,SR	CMP B,(SR),Y		CMP B,ABS,Y		CMP B,(DIR),Y	CMP B,L,(DIR),Y			CMP B,ABL	CMP B,ABL,X		
0101	5	ORA B,(DIR)	ORA B,(DIR),X	ORA B,L,(DIR)	ORA B,SR	ORA B,(SR),Y		ORA B,ABS,Y		ORA B,(DIR),Y	ORA B,L,(DIR),Y			ORA B,ABL	ORA B,ABL,X		
0110	6	AND B,(DIR)	AND B,(DIR),X	AND B,L,(DIR)	AND B,SR	AND B,(SR),Y		AND B,ABS,Y		AND B,(DIR),Y	AND B,L,(DIR),Y			AND B,ABL	AND B,ABL,X		
0111	7	EOR B,(DIR)	EOR B,(DIR),X	EOR B,L,(DIR)	EOR B,SR	EOR B,(SR),Y		EOR B,ABS,Y		EOR B,(DIR),Y	EOR B,L,(DIR),Y			EOR B,ABL	EOR B,ABL,X		
1000	8																
1001	9																
1010	A																
1011	B																
1100	C	STAB B,(DIR)	STAB B,(DIR),X	STAB B,L,(DIR)	STAB B,SR	STAB B,(SR),Y		STAB B,ABS,Y									
1101	D	STA B,(DIR)	STA B,(DIR),X	STA B,L,(DIR)	STA B,SR	STA B,(SR),Y		STA B,ABS,Y									
1110	E																
1111	F																

命令コード対応表11（各命令の第1語目はA1₁₆です）

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0																
0001	1																
0010	2																
0011	3																
0100	4																
0101	5																
0110	6																
0111	7																
1000	8	ADC B,(DIR)	ADC B,(DIR,X)	ADC B,L,(DIR)	ADC B,SR	ADC B,(SR),Y		ADC B,ABS,Y		ADC B,(DIR),Y	ADC B,L,(DIR),Y	ADC B,DIR	ADC B,DIR,X	ADC B,ABL	ADC B,ABL,X	ADC B,ABS	ADC B,ABS,X
1001	9																
1010	A	SBC B,(DIR)	SBC B,(DIR,X)	SBC B,L,(DIR)	SBC B,SR	SBC B,(SR),Y		SBC B,ABS,Y		SBC B,(DIR),Y	SBC B,L,(DIR),Y	SBC B,DIR	SBC B,DIR,X	SBC B,ABL	SBC B,ABL,X	SBC B,ABS	SBC B,ABS,X
1011	B																
1100	C																
1101	D																
1110	E																
1111	F																

命令コード対応表12（各命令の第1語目はB1₁₆です）

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0			TBD,0 IMP													
0001	1			TBD,1 IMP								ADCB B,IMM	SBCB B,IMM				
0010	2			TBD,2 IMP													
0011	3			TBD,3 IMP													
0100	4			TDB,0 IMP													
0101	5			TDB,1 IMP													
0110	6			TDB,2 IMP													
0111	7			TDB,3 IMP													
1000	8			TBS IMP					ADC B,IMM								
1001	9			TSB IMP													
1010	A								SBC B,IMM								
1011	B																
1100	C																
1101	D																
1110	E																
1111	F																

命令コード対応表13 (各命令の第1語目はC1₁₆です)

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0								LSR,#n A								
0001	1																
0010	2								ROR,#n A								
0011	3																
0100	4								ASL,#n A								
0101	5																
0110	6								ROL,#n A								
0111	7																
1000	8								ASR,#n A								
1001	9																
1010	A								DEBNE DIR/IMM.REL								
1011	B																
1100	C																
1101	D																
1110	E																
1111	F																

命令コード対応表14 (各命令の第1語目はD1₁₆です)

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0									LSRD,#n E							
0001	1																
0010	2								RORD,#n E								
0011	3																
0100	4								ASLD,#n E								
0101	5																
0110	6																
0111	7								ROLD,#n E								
1000	8								ASRD,#n E								
1001	9																
1010	A																
1011	B																
1100	C																
1101	D																
1110	E																
1111	F								DEBNE ABS/IMM.REL								

付録6．機械語命令一覧表

注．演算長(ビット)が16/8の命令は、 $m=0$ 又は $x=0$ のとき16ビット長、 $m=1$ 又は $x=1$ のとき8ビット長で演算します。

演算長(ビット)が8又は32の命令は、 m フラグ及び x フラグの内容にかかわらず、8ビット長又は32ビット長で演算します。

記号	内容	記号	内容
IMP	インブライド・アドレッシングモード	Acc	アキュムレータ
IMM	イミディエイト・アドレッシングモード	AccH	アキュムレータの上位8ビット
A	アキュムレータ・アドレッシングモード	AccL	アキュムレータの下位8ビット
DIR	ダイレクト・アドレッシングモード	A	アキュムレータA
DIR, X	ダイレクト・インデクストX・アドレッシングモード	AH	アキュムレータAの上位8ビット
DIR, Y	ダイレクト・インデクストY・アドレッシングモード	AL	アキュムレータAの下位8ビット
(DIR)	ダイレクト・インダイレクト・アドレッシングモード	B	アキュムレータB
(DIR, X)	ダイレクト・インデクストX・インダイレクト・アドレッシングモード	BH	アキュムレータBの上位8ビット
(DIR), Y	ダイレクト・インダイレクト・インデクストY・アドレッシングモード	BL	アキュムレータBの下位8ビット
L(DIR)	ダイレクト・インダイレクトロング・アドレッシングモード	E	アキュムレータE
L(DIR), Y	ダイレクト・インダイレクトロング・インデクストY・アドレッシングモード	EH	アキュムレータEの上位16ビット (アキュムレータB)
ABS	アブソリュート・アドレッシングモード	EL	アキュムレータEの下位16ビット (アキュムレータA)
ABS, X	アブソリュート・インデクストX・アドレッシングモード	X	インデックスレジスタX
ABS, Y	アブソリュート・インデクストY・アドレッシングモード	XH	インデックスレジスタXの上位8ビット
ABL	アブソリュートロング・アドレッシングモード	XL	インデックスレジスタXの下位8ビット
ABL, X	アブソリュートロング・インデクストX・アドレッシングモード	Y	インデックスレジスタY
(ABS)	アブソリュート・インダイレクト・アドレッシングモード	YH	インデックスレジスタYの上位8ビット
L(ABS)	アブソリュート・インダイレクトロング・アドレッシングモード	YL	インデックスレジスタYの下位8ビット
(ABS, X)	アブソリュート・インデクストX・インダイレクト・アドレッシングモード	S	スタックポインタ
STK	スタック・アドレッシングモード	REL	相対アドレス
REL	レラティブ・アドレッシングモード	PC	プログラムカウンタ
DIR, b, R	ダイレクト・ビット・レラティブ・アドレッシングモード	PCH	プログラムカウンタの上位8ビット
ABS, b, R	アブソリュート・ビット・レラティブ・アドレッシングモード	PCl	プログラムカウンタの下位8ビット
SR	スタックポインタ・レラティブ・アドレッシングモード	PG	プログラムバンクレジスタ
(SR), Y	スタックポインタ・レラティブ・インダイレクト・インデクストY・アドレッシングモード	DT	データバンクレジスタ
BLK	ブロック転送・アドレッシングモード	DPR0	ダイレクトページレジスタ0
積和	積和アドレッシングモード	DPR0H	ダイレクトページレジスタ0の上位8ビット
op	命令コード (オペコード)	DPR0L	ダイレクトページレジスタ0の下位8ビット
n	サイクル数	DPRn	ダイレクトページレジスタn
#	バイト数	DPRnH	ダイレクトページレジスタnの上位8ビット
C	キャリーフラグ	DPRnL	ダイレクトページレジスタnの下位8ビット
Z	ゼロフラグ	PS	プロセッサステータスレジスタ
I	割り込み禁止フラグ	PSH	プロセッサステータスレジスタの上位8ビット
D	10進演算モードフラグ	PSL	プロセッサステータスレジスタの下位8ビット
x	インデックスレジスタ長選択フラグ	PSL(bit n)	プロセッサステータスレジスタ中のnビット目
m	データ長選択フラグ	M	メモリの内容
V	オーバフローフラグ	M(S)	スタックポインタの内容の示す番地のメモリの内容
N	ネガティブフラグ	M(bit n)	メモリのnビット目
IPL	プロセッサ割り込み優先レベル	Mn	nビットのメモリの番地、又は内容
+	加算	IMM	イミディエイト値 (8ビット又は16ビット)
-	減算	IMMn	nビットのイミディエイト値
×	乗算	IMMH	16ビットのイミディエイト値の上位8ビット
÷	除算	IMML	16ビットのイミディエイト値の下位8ビット
	論理積	ADH	24ビットのアドレスの上位A ₂₃ ~ A ₁₆ の値
	論理和	ADM	24ビットのアドレスの中位A ₁₅ ~ A ₈ の値
	排他的論理和	ADL	24ビットのアドレスの下位A ₇ ~ A ₀ の値
	絶対値	EAR	実効アドレス (16ビット)
	否定	EARH	実効アドレスの上位8ビット
	矢印の方向に移動することを示す	EARL	実効アドレスの下位8ビット
	矢印の方向に移動することを示す	imm	8ビットイミディエイト値
→	交換	immn	nビットイミディエイト値
←		dd	DPRに対する変位 (8ビット又は6ビット)
		i	転送バイト数、回転数、又は繰り返し演算回数
		i1, iz	退避、又は復帰するレジスタ数
		source	転送元を指定するオペランド (ソース)
		dest	転送先を指定するオペランド (デスティネーション)

命令記号	動作	演算長 (ビット)	アドレッシングモード																														
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y										
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #							
AND (注1, 注2)	Acc Acc M	16/8			66	1	2			6A	3	2	6B	4	2			11	6	3	11	7	3	11	7	3	11	8	3	11	9	3	
					81	2	3			81	4	3	81	5	3			91	6	3	91	7	3	91	7	3	91	8	3	91	9	3	
					66					6A							60			61			68			62			69				
ANDB (注1)	AccL AccL IMM8	8			23	1	2																										
					81	2	3																										
					23																												
ANDM (注3)	M M IMM	16/8								51	7	4																					
										63																							
ANDMB	M8 M8 IMM8	8								51	7	4																					
										62																							
ANDMD	M32 M32 IMM32	32								51	10	7																					
										E3																							
ASL (注1)	1ビット算術左シフト m=0のとき Acc or M16 C $\boxed{b_{15} \dots b_0}$ 0 m=1のとき AccL or M8 C $\boxed{b_7 \dots b_0}$ 0	16/8								03	1	1	21	7	3	21	8	3															
										81	2	2																					
										03																							
ASL #n (注4)	n(n=0~15)ビット算術左シフト m=0のとき A C $\boxed{b_{15} \dots b_0}$ 0 m=1のとき A _L C $\boxed{b_7 \dots b_0}$ 0	16/8								C1	6	2																					
										40	+																						
										imm																							
										imm																							
ASLD #n (注4)	n(n=0~31)ビット算術左シフト E C $\boxed{b_{31} \dots b_0}$ 0	32								D1	8	2																					
										40	+																						
										imm																							
										imm																							
ASR (注1)	1ビット算術右シフト m=0のとき Acc or M16 $\boxed{b_{15} \dots b_0}$ C m=1のとき AccL or M8 $\boxed{b_7 \dots b_0}$ C	16/8								64	1	1	21	7	3	21	8	3															
										4A																							
										4B																							
										81	2	2																					
										64																							
ASR #n (注4)	n(n=0~15)ビット算術右シフト m=0のとき A $\boxed{b_{15} \dots b_0}$ C m=1のとき A _L $\boxed{b_7 \dots b_0}$ C	16/8								C1	6	2																					
										80	+																						
										imm																							
										imm																							

命令記号	動作	演算長 (ビット)	アドレッシングモード																							
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y			
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #
CLV	V 0	-	65	1 1																						
CMP (注1, 注2)	Acc - M	16/8			46	1 2			4A	3 2	4B	4 2			11	6 3	11	7 3	11	7 3	11	8 3	11	9 3		
					81	2 3			81	4 3	81	5 3			91	6 3	91	7 3	91	7 3	91	8 3	91	9 3		
CMPB (注1)	AccL - IMM8	8			38	1 2																				
					81	2 3																				
CMPD	E - M32	32			3C	3 5			BA	6 2	BB	7 2			11	9 3	11	10 3	11	10 3	11	11 3	11	12 3		
															B0		B1		B8		B2		B9			
CMPM (注3)	M - IMM	16/8							51	5 4																
									23																	
CMPMB	M8 - IMM8	8							51	5 4																
									22																	
CMPMD	M32 - IMM32	32							51	7 7																
									A3																	
CPX (注8)	X - M	16/8			E6	1 2			22	3 2																
CPY (注8)	Y - M	16/8			F6	1 2			32	3 2																
DEBNE (注4)	M M - IMM(IMM=0~31) if M 0 then PC PC + cnt + REL(-128 ~ +127) (cnt : 命令のバイト数)	16/8							C1	12 4																
					A0				+																	
					imm																					
DEC (注1)	Acc Acc - 1 又は M M - 1	16/8			B3	1 1			92	6 2	41	8 3														
					81	2 2																				
					B3																					
DEX	X X - 1	16/8	E3	1 1																						
DEY	Y Y - 1	16/8	F3	1 1																						
DIV (注2, 注9, 注10)	A (商) (B, A) ÷ M B (剰余)	16/8			31	15 3			21	16 3	21	17 3			21	18 3	21	19 3	21	19 3	21	20 3	21	21 3		
					E7				EA		EB				E0		E1		E8		E2		E9			

命令記号	動作	演算長 (ビット)	アドレッシングモード																														
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y										
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #							
INC (注1)	Acc Acc+1 又は M M+1	16/8																															
INX	X X+1	16/8	C3	1	1																												
INY	Y Y+1	16/8	D3	1	1																												
JMP/JMPL	ABSのとき PCL ADL PCH ADM ABLのとき PCL ADL PCH ADM PG ADH (ABS)のとき PCL (ADM, ADL) PCH (ADM, ADL+1) L(ABS)のとき PCL (ADM, ADL) PCH (ADM, ADL+1) PG (ADM, ADL+2) (ABS, X)のとき PCL (ADM, ADL+X) PCH (ADM, ADL+X+1)	-																															
JSR/JSRL	ABSのとき PC PC+3 M(S) PCH S S-1 M(S) PCL S S-1 PCL ADL PCH ADM ABLのとき PC PC+4 M(S) PG S S-1 M(S) PCH S S-1 M(S) PCL S S-1 PCL ADL PCH ADM PG ADH (ABS, X)のとき PC PC+3 M(S) PCH S S-1 M(S) PCL S S-1 PCL (ADM, ADL+X) PCH (ADM, ADL+X+1)	-																															
LDA (注1, 注2)	Acc M	16/8			16	1	2				1A	3	2	1B	4	2			11	6	3	11	7	3	18	6	2	11	8	3	19	8	2
					81	2	3				81	4	3	81	5	3			91	6	3	91	7	3	81	7	3	91	8	3	81	9	3
					16						1A		1B						10		11			18		12		19					

命令記号	動作	演算長 (ビット)	アドレッシングモード																													
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y									
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #						
LDAB (注1)	Acc M8 (ゼロ拡張)	16			28	1	2			0A	3	2	0B	4	2			11	6	3	11	7	3	08	6	2	11	8	3	09	8	2
					81	2	3			81	4	3	81	5	3			91	6	3	91	7	3	81	7	3	91	8	3	81	9	3
					28					0A			0B					00			01			08			02					
LDAD	E M32	32			2C	3	5			8A	6	2	8B	7	2			11	9	3	11	10	3	88	9	2	11	11	3	89	11	2
					2C					8A			8B					11			10			88			11					
LDD n (注11, 注12)	DPRn IMM16 (n=0~3。複数指定可)	16			B8	13	4																									
					B8	11	2																									
					?	+	+																									
					2i	2i																										
LDT	DT IMM8	8			31	4	3																									
					4A																											
LDX (注8)	X M	16/8			06	1	2			02	3	2			41	5	3															
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06					02					41																	
					06																											

アドレッシングモード																	プロセッサステータレジスタ									
ABS	ABS, X	ABS, Y	ABL	ABL, X	(ABS)	L(ABS)	(ABS, X)	STK	REL	DIR, b, R	ABS, b, R	SR	(SR), Y	BLK	積和	10	9	8	7	6	5	4	3	2	1	0
op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	IPL	N	V	m	x	D	I	Z	C		
0E	3 3	0F 4 3	11 5 4	0C 4 4	0D 5 4							11 5 3	11 8 3			0									Z	
81	4 4	81 5 4	91 5 4	81 5 5	81 6 5							91 5 3	91 8 3													
0E		0F	06	0C	0D							03	04													
8E	6 3	8F 7 3	11 8 4	8C 7 4	8D 8 4							11 8 3	11 8 4			N									Z	
07	3 3		41 5 4													N									Z	
17	3 3	41 5 4														N										Z
21	7 4	21 8 4																								Z
2E		2F																								C

デ ス テ ィ ネ ー シ ョ ン																			プロセッサステータスレジスタ									
ABS	ABS, X	ABS, Y	ABL	ABL, X	(ABS)	L(ABS)	(ABS, X)	STK	REL	DIR, b, R	ABS, b, R	SR	(SR), Y	BLK	積和	10	9	8	7	6	5	4	3	2	1	0		
op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	IPL	N	V	m	x	D	I	Z	C				
96	4	4	31	6	5												
			57																									
78	5	4																										
79	6	4																										
7C	5	5																										
B9	4	4	31	6	5												
			3B																									
68	5	4																										
69	6	4																										
6C	5	5																										
61	3	2															
			30	+	+																							
				+	+																							
				+	4n	3n																						
			n																									
61	3	2															
			70	+	+																							
				+	+																							
				+	5n	3n																						
			n																									
71	3	2															
			70	+	+																							
				+	+																							
				+	6n	3n																						
			n																									
61	3	2															
			B0	+	+																							
				+	+																							
				+	5n	4n																						
			n																									
61	3	2															
			20	+	+																							
				+	+																							
				+	4n	3n																						
			n																									
61	3	2															
			60	+	+																							
				+	+																							
				+	5n	3n																						
			n																									
71	3	2															
			60	+	+																							
				+	+																							
				+	6n	3n																						
			n																									
61	3	2															
			A0	+	+																							
				+	+																							
				+	5n	4n																						
			n																									

アドレッシングモード																	プロセッサステータレジスタ									
ABS	ABS, X	ABS, Y	ABL	ABL, X	(ABS)	L(ABS)	(ABS, X)	STK	REL	DIR, b, R	ABS, b, R	SR	(SR), Y	BLK	積和	10	9	8	7	6	5	4	3	2	1	0
op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	IPL	N	V	m	x	D	I	Z	C		
								C5	4	1						•	•	•	•	•	•	•	•	•	•	•
								E5	4	1						•	•	•	•	•	•	•	•	•	•	•
								95	4	1						•	•	•	N	•	•	•	•	•	Z	•
								81	5	2						•	•	•	N	•	•	•	•	•	Z	•
								95																		
								93	5	1						•	•	•	•	•	•	•	•	•	•	•
								77	11	2						•	•	•	•	•	•	•	•	•	•	•
								77	8	2																
								70	+	3i																
								B5	5	1																
								31	6	2						•	•	•	N	•	•	•	•	•	Z	•
								50																		

スタックから復帰した値になります。

アドレッシングモード																				プロセッサステータスレジスタ									
ABS	ABS, X	ABS, Y	ABL	ABL, X	(ABS)	L(ABS)	(ABS, X)	STK	REL	DIR, b, R	ABS, b, R	SR	(SR), Y	BLK	積和	10	9	8	7	6	5	4	3	2	1	0			
op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	IPL	N	V	m	x	D	I	Z	C					
								D5	4	1						..	.	N	Z	.			
								F5	4	1						..	.	N	Z	.				
								A8	11	2									
								+											
								2i	+	i2									
								67	13	2									
								+											
								3i											
																			
																31	5	3	..	.	N	V	.	.	.	Z	C		
																5A	+				
																14	imm				

アドレッシングモード																				プロセッサステータスレジスタ									
ABS	ABS, X	ABS, Y	ABL	ABL, X	(ABS)	L(ABS)	(ABS, X)	STK	REL	DIR, b, R	ABS, b, R	SR	(SR), Y	BLK	積和	10	9	8	7	6	5	4	3	2	1	0			
op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	op n #	IPL	N	V	m	x	D	I	Z	C					
21 1E	7 4	21 1F	8 4													·	·	·	N	·	·	·	·	·	·	Z	C		
																·	·	·	N	·	·	·	·	·	·	Z	C		
																·	·	·	N	·	·	·	·	·	·	Z	C		
21 3E	7 4	21 3F	8 4													·	·	·	N	·	·	·	·	·	·	Z	C		
																·	·	·	N	·	·	·	·	·	·	Z	C		
																·	·	·	N	·	·	·	·	·	·	Z	C		

命令記号	動作	演算長 (ビット)	アドレッシングモード																																	
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y													
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #										
SEM	m 1	-	25	3	1																															
SEP	PS _i (bit n) 1 (n=0~7.複数ビット指定可)	-				99	3	2																												
STA (注1)	M Acc	16/8							DA	4	2	DB	5	2					11	7	3	11	8	3	D8	7	2	11	9	3	D9	9	2			
									81	5	3	81	6	3					91	7	3	91	8	3	81	8	3	91	9	3	81	10	3			
									DA			DB							D0			D1			D8			D2			D9					
STAB (注1)	M8 AccL	8							CA	4	2	CB	5	2					11	7	3	11	8	3	C8	7	2	11	9	3	C9	9	2			
									81	5	3	81	6	3					91	7	3	91	8	3	81	8	3	91	9	3	81	10	3			
									CA			CB							C0			C1			C8			C2			C9					
STAD	M32 E	32							EA	6	2	EB	7	2					11	9	3	11	10	3	E8	9	2	11	11	3	E9	11	2			
																			E0			E1			E8			E2			E9					
STP	発振停止	-	31	-	2	30																														
STX	M X	16/8							E2	4	2				41	6	3																			
																			E5																	
STY	M Y	16/8							F2	4	2	41	6	3																						
																			FB																	
SUB (注1,注2)	Acc Acc - M	16/8				36	1	2				3A	3	2	3B	4	2				11	6	3	11	7	3	11	7	3	11	8	3	11	9	3	
						81	2	3				81	4	3	81	5	3				91	6	3	91	7	3	91	7	3	91	8	3	91	9	3	
						36						3A			3B						30			31			38			32			39			
SUBB (注1)	AccL AccL - IMM8	8				39	1	2																												
						81	2	3																												
						39																														
SUBD	E E - M32	32				3D	3	5				AA	6	2	AB	7	2				11	9	3	11	10	3	11	10	3	11	11	3	11	12	3	
																						A0			A1			A8			A2			A9		
SUBM (注3)	M M - IMM	16/8							51	7	4																									
									13																											
SUBMB	M8 M8 - IMM8	8							51	7	4																									
									12																											
SUBMD	M32 M32 - IMM32	32							51	10	7																									
									93																											

命令記号	動作	演算長 (ビット)	アドレッシングモード																						
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y		
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op
SUBS	S S - IMM8	16			31	2	3																		
SUBX (注4)	X X - IMM(IMM=0~31)	16/8			01	2	2																		
SUBY (注4)	Y Y - IMM(IMM=0~31)	16/8			01	2	2																		
TAD n (注20)	DPRn A (n=0~3)	16	31	3	2																				
TAS	S A	16	31	2	2																				
TAX	X A	16/8	C4	1	1																				
TAY	Y A	16/8	D4	1	1																				
TBD n (注20)	DPRn B (n=0~3)	16	B1	3	2																				
TBS	S B	16	B1	2	2																				
TBX	X B	16/8	81	2	2																				
TBY	Y B	16/8	81	2	2																				
TDA n (注20)	A DPRn (n=0~3)	16/8	31	2	2																				
TDB n (注20)	B DPRn (n=0~3)	16/8	B1	2	2																				
TDS	S DPR0	16	31	2	2																				

命令記号	動作	演算長 (ビット)	アドレッシングモード																					
			IMP		IMM		A		DIR		DIR, X		DIR, Y		(DIR)		(DIR, X)		(DIR), Y		L(DIR)		L(DIR), Y	
			op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #	op	n #
TSA	A S	16/8	31	2	2																			
TSB	B S	16/8	B1	2	2																			
TSD	DPR0 S	16	31	4	2																			
TSX	X S	16/8	31	2	2																			
TXA	A X	16/8	A4	1	1																			
TXB	B X	16/8	B1	2	2																			
TXS	S X	16/8	31	2	2																			
TXY	Y X	16/8	31	2	2																			
TYA	A Y	16/8	B4	1	1																			
TYB	B Y	16/8	B1	2	2																			
TYX	X Y	16/8	31	2	2																			
WIT	CPUクロック停止	-	31	-	2																			
XAB	A \rightleftarrows B	16/8	55	2	1																			

【機械語命令一覧表参照時の注意】

表中の命令サイクル数は最短の場合を示しています。サイクル数は以下の条件によって変化します。

- ・ダイレクトページレジスタの下位バイト(DPR_{nL})の値
DPR_n(n=0~3)に関するアドレッシングモードのサイクル数は、DPR_{nL}=0の場合の値です。DPR_{nL} ≠ 0
の場合は、サイクル数を+1してください。
- ・命令キューバッファに取り込まれている命令のバイト数
- ・メモリの読み出し、書き込み時の番地(偶数が奇数か)
- ・外部データバス幅8ビットで外部領域をアクセスした場合
- ・1バスサイクルの長さ

- 注 1. アキュムレータAを使用する場合は、上段のオペコードを使用してください。
アキュムレータBを使用する場合は、下段のオペコードを使用してください。
2. IMMアドレッシングモードを使用して、m=0で16ビットデータを扱う場合は、バイト数(#)を+1してください。
3. m=0で16ビットデータを扱う場合は、バイト数(#)を+1してください。
4. immはオペランドで指定した即値です。
5. -128 ~ +127の範囲のブランチでは、上段のオペコードを使用してください。
-32768 ~ +32767の範囲のブランチでは、下段のオペコードを使用してください。
6. BRK命令はデバッグツール用の予約命令です。エミュレータ使用時には使用できません。
7. 機械語欄のnには0~15の値が設定されます。
8. IMMアドレッシングモードを使用して、x=0で16ビットデータを扱う場合は、バイト数(#)を+1してください。
9. サイクル数は16ビット÷8ビット演算の場合の値です。
32ビット÷16ビット演算の場合は、サイクル数を+8してください。
10. 0除算割り込みが発生した場合のサイクル数は、演算のデータ長にかかわらず、16サイクルになります。
11. 特定の1つのダイレクトページレジスタに値を設定する場合は上段の機械語を使用してください。
複数のダイレクトページレジスタに値を設定する場合は下段の機械語を使用してください。
iは指定するDPR_nの数(1~4)です。
12. ?は指定したDPR_nに対応するビットが"1"になります。
13. ソースがIMMアドレッシングモードでかつm=0の場合、バイト数(#)はn(0~15)バイト増加します。
14. サイクル数は8ビット×8ビット演算の場合の値です。
16ビット×16ビット演算の場合は、サイクル数を+4してください。

- 15．サイクル数は、転送バイト数(i)が偶数の場合の値です。
転送バイト数(i)が奇数の場合のサイクル数は、 $5 \times i + 10$ となります。
- 16．サイクル数は、転送バイト数(i)が偶数の場合の値です。
転送バイト数(i)が奇数の場合のサイクル数は、 $5 \times i + 14$ となります。
ただし、1バイト転送時は10サイクルです。
- 17．退避するレジスタに対応したサイクル数を追加してください。
 i_1 はA, B, X, Y, DPR0, PSのうち退避するレジスタの個数を示します。
 i_2 はDT, PGのうち退避するレジスタの個数を示します。
- 18． i_1 は復帰するレジスタの個数を示します。
- 19．サイクル数は $m = 1$ の場合の値です。
 $m = 0$ の場合のサイクル数は、 $18 \times imm + 5$ (imm : 繰り返し回数)になります。
- 20．機械語欄の n には0～3の値が設定されます。

付録7．ノイズに関する参考資料

ノイズに対する一般的な対策例を以下に示します。システムによって効果は異なります。ご使用に際しては、ユーザアプリケーションに対応して、適宜変更、及び十分な評価をしてください。

1．配線長の短縮

基板上の配線は、ノイズをマイクロコンピュータ内部に引き込むアンテナとなる可能性があります。ノイズを引き込む可能性は、総配線長を短くする(mm単位)ほど低くなります。

(1)RESET端子の配線

RESET端子に接続する配線は短くする。

特に、RESET端子とV_{SS}端子の間に接続するコンデンサは、可能な限り短い(20mm以内)配線で、RESET端子、及びV_{SS}端子に接続する。

【理由】

RESET端子にノイズが入力された場合、内部が完全な初期状態になる前にマイクロコンピュータが動作を再開し、プログラム暴走の原因となります。

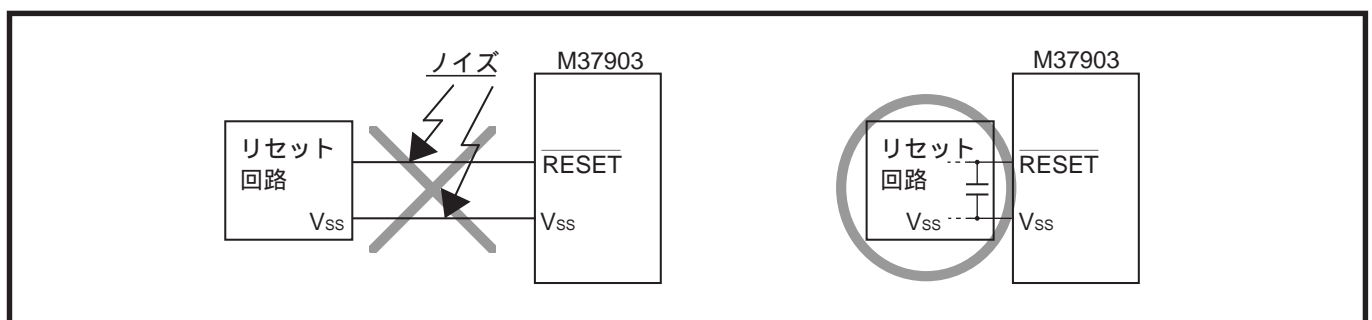


図3 RESET端子の配線

(2)クロック入出力端子の配線

クロック入出力端子に接続する配線は短くする。

発振子に接続するコンデンサの接地側リード線と、マイクロコンピュータのV_{SS}端子は最短(20mm以内)の配線で接続する。

発振用のV_{SS}パターンは、他のV_{SS}パターンから分離する(図11参照)。

【理由】

マイクロコンピュータは発振回路で生成されたクロックに同期して動作します。

クロック入出力端子にノイズが侵入した場合、クロックの波形が乱れ、誤動作やプログラム暴走の原因となります。

また、マイクロコンピュータのV_{SS}レベルと発振子のV_{SS}レベルの間にノイズによる電位差が生じると、正確なクロックが生成されません。

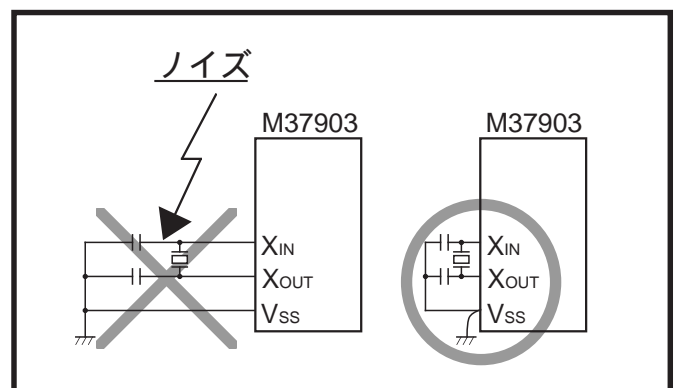


図4 クロック入出力端子の配線

(3) MD0端子及びMD1端子の配線

MD0端子及びMD1端子とV_{SS}端子(又はV_{CC}端子)を接続する場合は、最短の配線で接続する。

【理由】

MD0端子及びMD1端子のレベルはマイクロコンピュータのプロセッサモードに影響します。

MD0端子及びMD1端子とV_{SS}端子(又はV_{CC}端子)を接続したとき、MD0端子及びMD1端子のレベルとV_{SS}端子(又はV_{CC}端子)のレベルの間にノイズによる電位差が生じると、プロセッサモードが不安定となり、誤動作やプログラム暴走の原因となります。

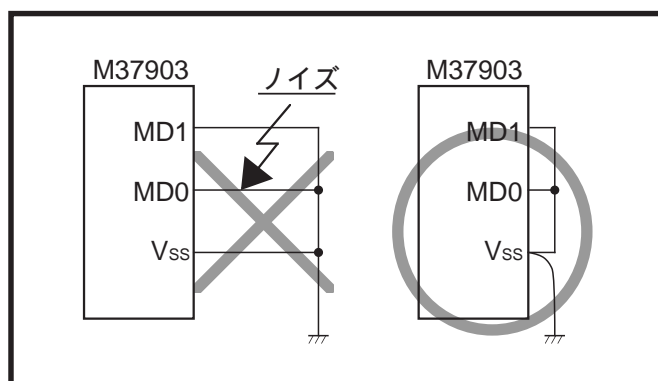


図5 MD0端子及びMD1端子の配線

2. V_{SS} - V_{CC}ライン間へのバイパスコンデンサの挿入

V_{SS} - V_{CC}ライン間には、0.1 μ F程度のバイパスコンデンサを挿入する。

バイパスコンデンサの挿入時は以下の条件を満たすこと。

- ・V_{SS}端子 - バイパスコンデンサ間の配線長とV_{CC}端子 - バイパスコンデンサ間の配線長が等しいこと
- ・V_{SS}端子 - バイパスコンデンサ間の配線長、及びV_{CC}端子 - バイパスコンデンサ間の配線長が最短であること
- ・V_{SS}ライン、及びV_{CC}ラインには他の信号線よりも幅の広い配線を使用すること

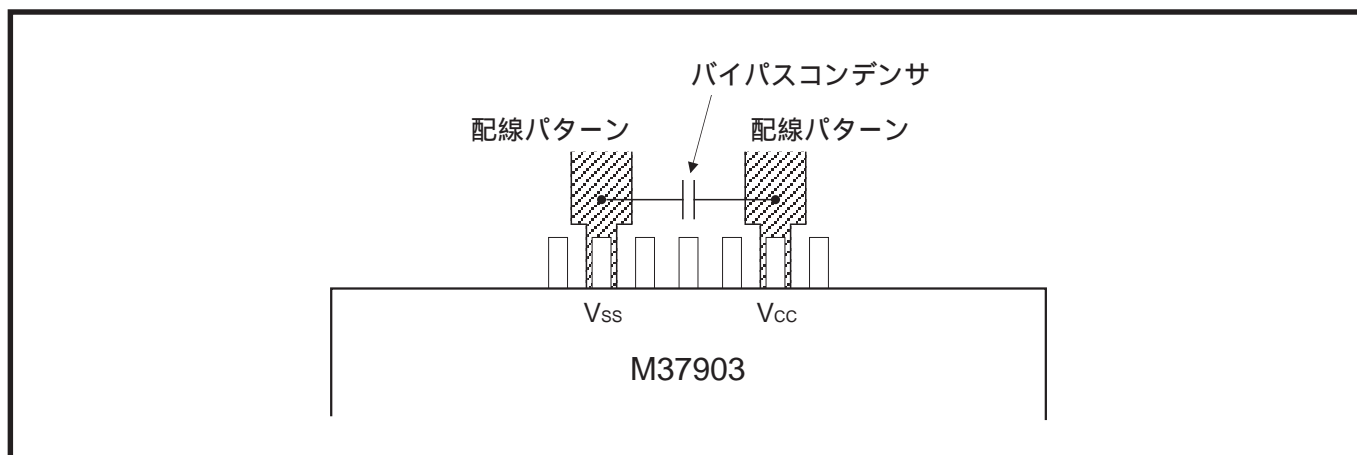


図6 V_{SS} - V_{CC}ライン間のバイパスコンデンサ

3. アナログ入力端子、アナログ電源端子などの配線処理

(1) アナログ入力端子の処理

アナログ入力端子に接続するアナログ信号線の、可能な限りマイクロコンピュータに近い位置に、抵抗を直列に接続する。

アナログ入力端子とAV_{SS}端子間の、可能な限りAV_{SS}端子に近い位置に、コンデンサを挿入する。

【理由】

アナログ入力端子に入力する信号は、通常、センサからの出力信号です。

事象の変化を検知するセンサは、マイクロコンピュータを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線がマイクロコンピュータ内部までノイズを引き込むアンテナとなるため、アナログ入力端子にはノイズが侵入しやすくなります。

また、アナログ入力端子とAV_{SS}端子間のコンデンサをAV_{SS}端子から遠い位置で接地した場合、そのグランド上のノイズがコンデンサ経由でマイクロコンピュータに侵入します。

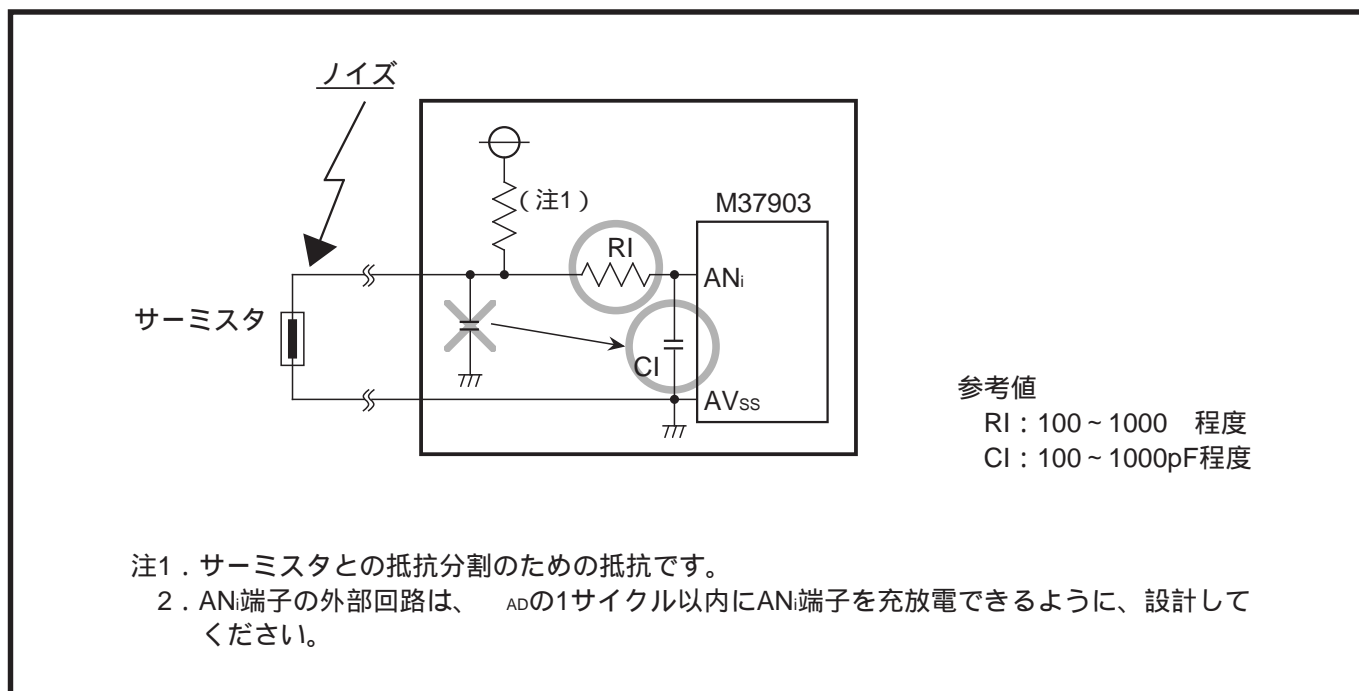


図7 サーミスタを使用したアナログ入力端子のノイズ対策例

(2)アナログ電源端子などの処理

V_{CC}端子、AV_{CC}端子、及びV_{REF}端子には、別電源から電源を供給する。

AV_{CC}端子 - AV_{SS}端子間、及びV_{REF}端子 - AV_{SS}端子間には、コンデンサを挿入する。

【理由】

V_{CC}上のノイズの、A-D変換器及びD-A変換器への影響を防ぎます。

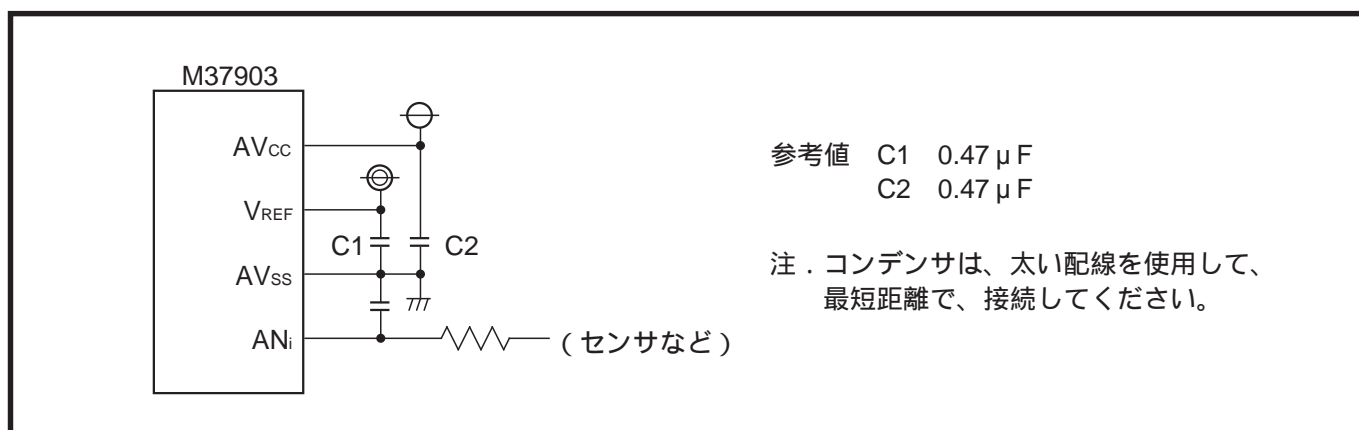


図8 アナログ電源端子などの処理

4. 発振子への配慮

マイクロコンピュータの動作の基本となるクロックを生成する発振子には、他の信号の影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイクロコンピュータが扱う電流値の範囲を超えた大きな電流が流れる信号線は、可能な限りマイクロコンピュータ(特に発振子)から遠い位置に配置する。

【理由】

マイクロコンピュータを使用するシステムには、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れた場合、相互インダクタンスによるノイズが発生します。

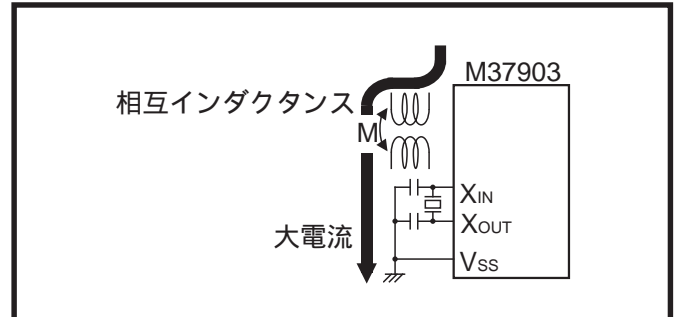


図9 大電流が流れる信号線の配線

(2) 高速にレベルが変化する信号線からの回避

高速にレベルが変化する信号線は、可能な限り発振子から遠い位置に配置する。高速にレベルが変化する信号線は、クロック関連の信号線、及びノイズの影響を受け易い信号線と交差させない。

【理由】

高速にレベルが変化する信号線は信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差した場合、クロックの波形が乱れ、誤動作やプログラム暴走の原因となります。

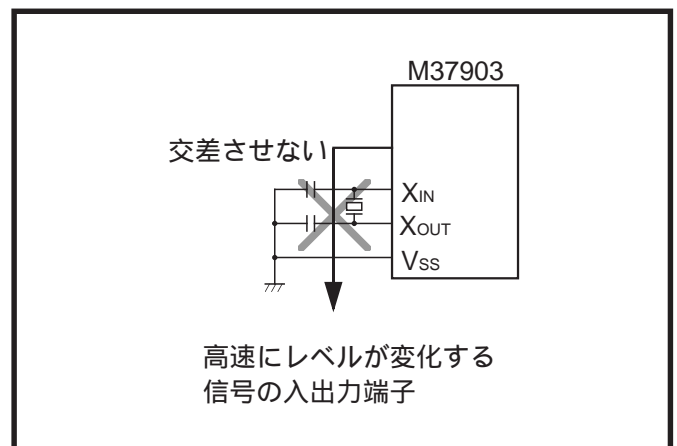


図10 高速にレベルが変化する信号線の配線

(3) V_{SS}パターンによる保護

両面基板の場合は、発振子を実装される面(実装面)の裏側(半田面)の、発振子と同じ位置をV_{SS}パターンにする。このV_{SS}パターンはマイクロコンピュータのV_{SS}端子と最短の配線で接続し、他のV_{SS}パターンから分離する。

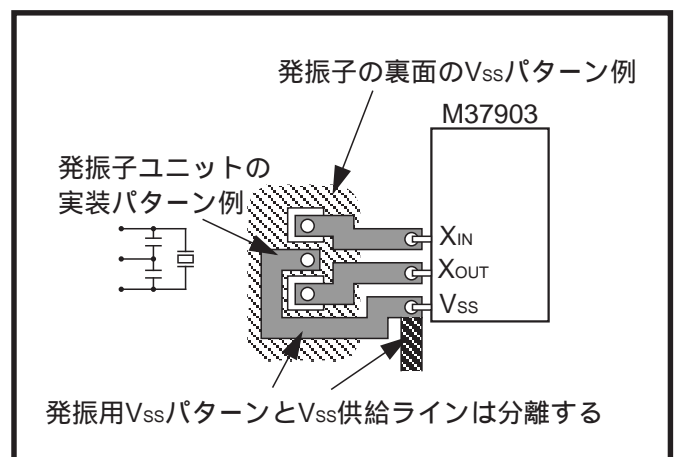


図11 発振子の裏面のV_{SS}パターン

5. ポートの処理

ハードウェア、及びソフトウェアにおける対策があります。

(1)ハードウェア

100 Ω以上の抵抗を直列に挿入する。

(2)ソフトウェア

入力モード時は、複数回読み込みを行い、レベルの一致を確認する。

出力モード時は、ノイズによって出力データが反転する可能性があるため、定期的にポートPiレジスタの再設定(注)を行う。

一定周期でポートPi方向レジスタの再設定(注)を行う。

注：再設定には、MOV_M(MOV_MB)命令、又はSTA(STAB, STAD)命令を使用してください。

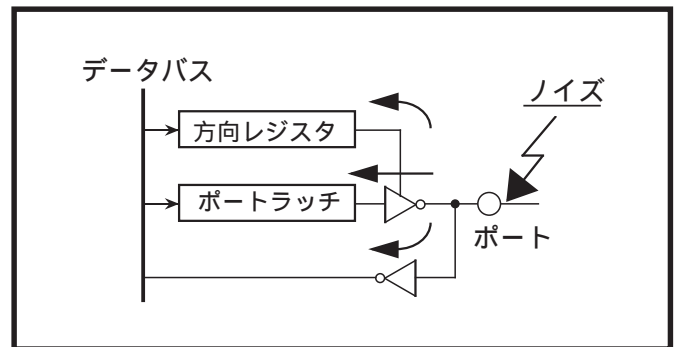


図12 ポートの処理

6. 電源ラインの強化

V_{SS}ライン、及びV_{CC}ラインには他の信号線よりも幅の広い配線を使用する。

多層基板を使用する場合は、中間の1層をV_{SS}面に、中間の他の1層をV_{CC}面にする。

両面基板を使用する場合は、片面には、マイクロコンピュータを中心に、V_{SS}ラインをループ状、又は網目状に配線する。プリントパターンの空きスペースは、V_{SS}ラインで埋める。

他方の面には、V_{CC}ラインを上記V_{SS}ラインと同様に配線する。

バスでマイクロコンピュータと接続する外部デバイスの電源ラインは、マイクロコンピュータの電源ラインと最短の配線で接続する。

【理由】

外部デバイス接続時には、外部アドレスバス24本のうち、多数の配線のレベルが一度に変化することがあり、これが電源ラインのノイズとなることがあります。

付録8 . 7903グループQ&A

7903グループを最大限にご活用いただくための情報を、Q&A形式で以下に掲載します。

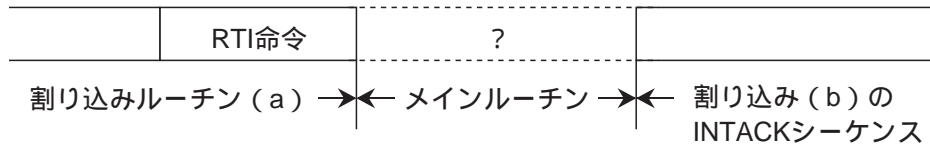
Q&Aは原則として1つの質問及びその回答を1ページ内に掲載しており、各ページの上段が質問事項、下段がその回答となっています(1つの質問・回答を2ページ以上に渡って掲載する場合は、右下にページ数を記載してあります)。

また、各ページの右上にはそのページの内容に関係のある主な機能を示します。

Q

割り込みルーチン(a)実行中に割り込み要求(b)が発生した場合、実行中の割り込みルーチン(a)終了後、次の割り込み(b)のINTACKシーケンスを実行するまでの期間に、メインルーチンを全く実行しないのか？

実行順序 →



条件

RTI命令によって、I=0になる

割り込み(b)の割り込み優先レベルは、メインルーチンのIPLより高い

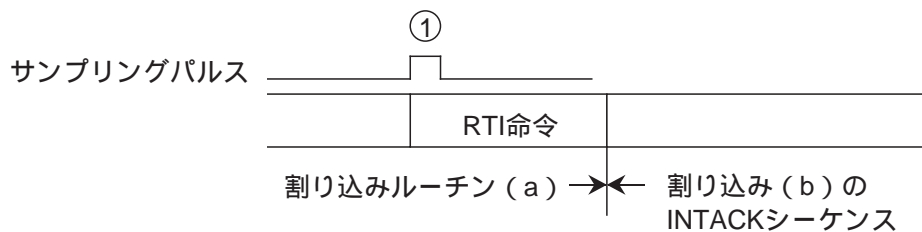
割り込み優先順位判定時間は、 f_{sys} の2サイクル

A

割り込み要求のサンプリングは、CPUのオペコードフェッチサイクルに同期したサンプリングパルスの発生によって、随時行われます。したがって、

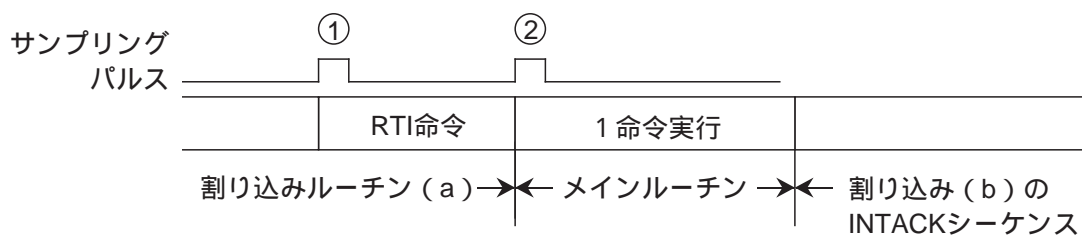
- (1) RTI命令のサンプリングの発生までの期間に次の割り込み要求(b)が発生した場合は、RTI命令実行中にサンプリングが終了するため、メインルーチンを1命令も実行することなく、(b)のINTACKシーケンスを実行します。

↓ 割り込み要求(b)



- (2) サンプリングパルス発生直後に次の割り込み要求(b)が発生した場合は、次の命令のサンプリングパルスによってサンプリングされるため、メインルーチンを1命令実行した後、(b)のINTACKシーケンスを実行します。

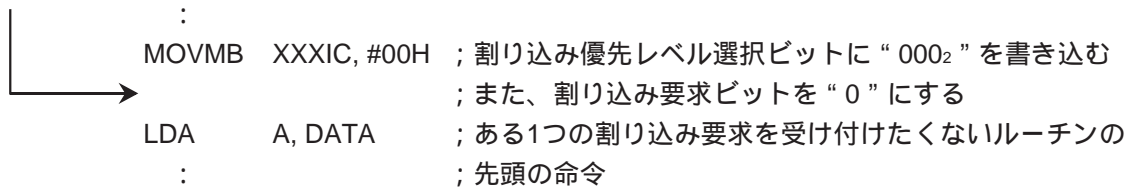
↓ 割り込み要求(b)



Q

ある1つの割り込み要求を受け付けたくない(他の割り込み要求は受付可)ルーチンがあり、そのルーチンの実行前に受け付けたくない割り込みの割り込み優先レベル選択ビットを“000₂”にして割り込みを禁止すると、優先レベルを変更した直後にその割り込み要求が受け付けられた。なぜか？また、対策は？

この間に割り込み要求が受け付けられる

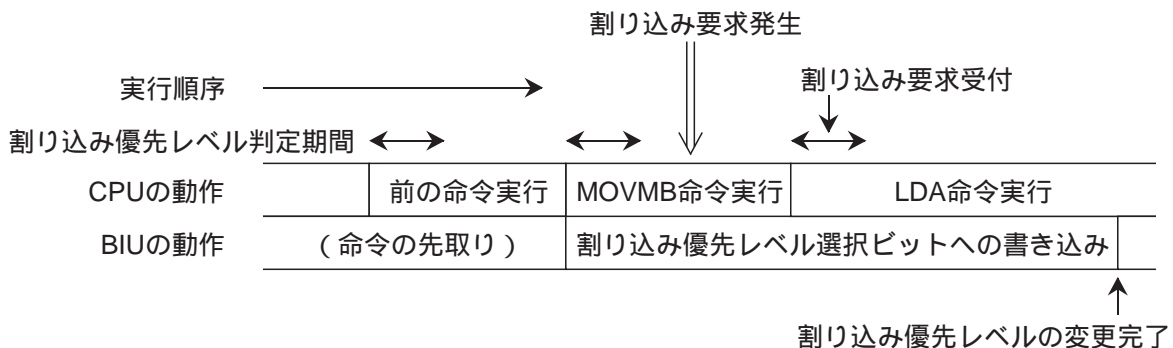


A

割り込み優先レベルを変更するとき、次の命令(上記の例ではLDA命令)が既にBIUの命令キューバッファに格納されており、かつ、その命令を実行する直前に受け付けたくない割り込み要求を受け付ける条件が整った場合には“禁止した直後にその割り込み要求が受け付けられた”ように見える動作を行うことがあります。

メモリ・I/Oへの書き込み時、CPUは、BIUにアドレスとデータを渡し、BIUが実際の番地に書き込みを行っている間に、命令キューバッファ内の次の命令を実行します。また、割り込み優先レベルの判定は各命令の最初に行われます。

上記の場合、BIUによる割り込み優先レベルの変更が完了する前に、CPUによって次の命令が実行されるため、この命令の実行と同時に行われる割り込み優先レベル判定では、変更前の割り込み優先レベルを判定し、割り込み要求を受け付けます。



(1/2)

A

対策としては、割り込み優先レベルの変更が完了した後に、割り込み要求を受け付けたくないルーチンを実行するように、ソフトウェアで処理してください。

プログラム例を以下に示します。

[プログラム例]

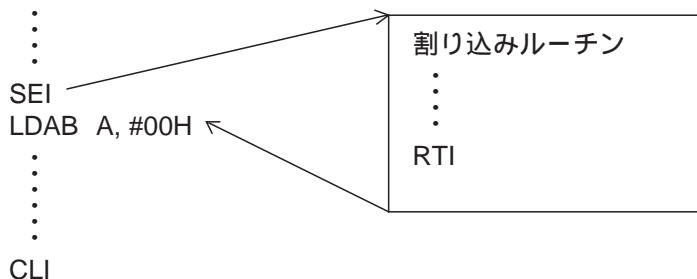
割り込み優先レベル選択ビットに“ 000₂ ”を書き込む命令の後に、NOP命令で命令キューバッファを埋め、書き込み終了まで次の命令が実行されないようにする。

```
      :  
MOVMB XXXIC, #00H ; 割り込み優先レベル選択ビットに “ 0002 ” を書き込む  
NOP           ; NOP命令を10個挿入する  
      :  
      :  
      :  
NOP           ;  
LDA      A, DATA ; 割り込み要求を受け付けたくないルーチンの先頭の命令  
      :
```

(2/2)

Q

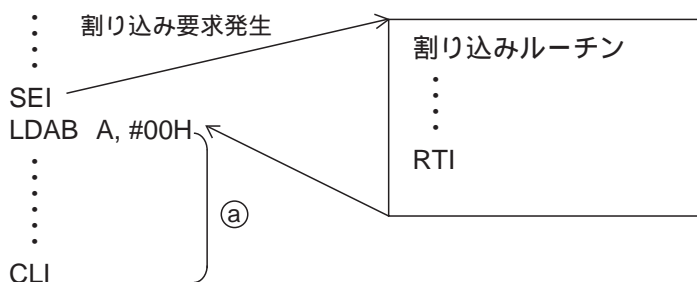
SEI命令実行後に割り込みルーチンに分岐が発生した。何故か？



A

SEI命令が実行される前に割り込み要求が発生した場合、その割り込み要求が発生するタイミングによっては、SEI命令実行直前に割り込み要求が受け付けられ、SEI命令実行直後にその割り込みルーチンに分岐する場合があります。

したがって、SEI命令直後に実行された割り込みルーチンは、SEI命令実行前に割り込み要求が発生したものです。また、SEI命令以降の、割り込み要求を受け付けたくないルーチン(下図①)中では、割り込み要求を受け付けることも、割り込みルーチンに分岐することもあります。



注 . ここで言う割り込みとは、SEI命令で禁止できる「マスカブル割り込み」を指しています (「7.2 割り込み要因」参照)。

Q

- (1)外部割り込み($\overline{\text{INT}}_i$ 端子の入力信号)の検出は、クロック ϕ_1 のどのタイミングで行っているのか？
- (2)外部割り込み入力($\overline{\text{INT}}_i$)端子が不足する場合の解決方法は？

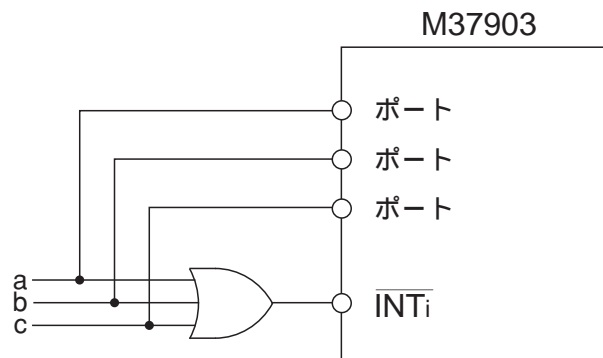
A

- (1)外部割り込みは、エッジセンス時、レベルセンス時ともに、クロック ϕ_1 に関係なく、 $\overline{\text{INT}}_i$ 端子の入力信号が変化したときに割り込み要求を発生します。また、エッジセンス時は、このとき、割り込み要求ビットが“1”になります。
- (2)外部割り込みのレベルセンスを使用する方法と、タイマのイベントカウンタモードを使用する方法があります。

外部割り込みのレベルセンスを使用する方法

ハードウェアでは、複数の割り込み信号(例 : a、b、c)の論理和を $\overline{\text{INT}}_i$ 端子に入力し、かつ、各々を1本ずつポートに入力します。

ソフトウェアでは、 $\overline{\text{INT}}_i$ 割り込みルーチン内でポートの入力レベルをチェックし、a、b、cのうちどの信号が入力されたのかを検出します。



また、キー入力割り込み機能を使用しても実現できます。詳細は「第8章 キー入力割り込み」を参照してください。

タイマのイベントカウンタモードを使用する方法

ハードウェアでは、割り込み信号をTA_{IN}端子又はTB_{IN}端子に入力します。

ソフトウェアでは、タイマの動作モードをイベントカウンタモードにし、タイマに“0000₁₆”を設定、有効エッジを選択します。

割り込み信号(選択した有効エッジ)の入力によって、タイマの割り込み要求が発生します。

Q

プログラム実行中に、プロセッサモードビット(5E₁₆番地のビット1、0)によって、以下のよう
にプロセッサモードを切り替えた場合、ソフトウェア上注意すべきことはあるか？

シングルチップモード マイクロプロセッサモード
メモリ拡張モード マイクロプロセッサモード

A

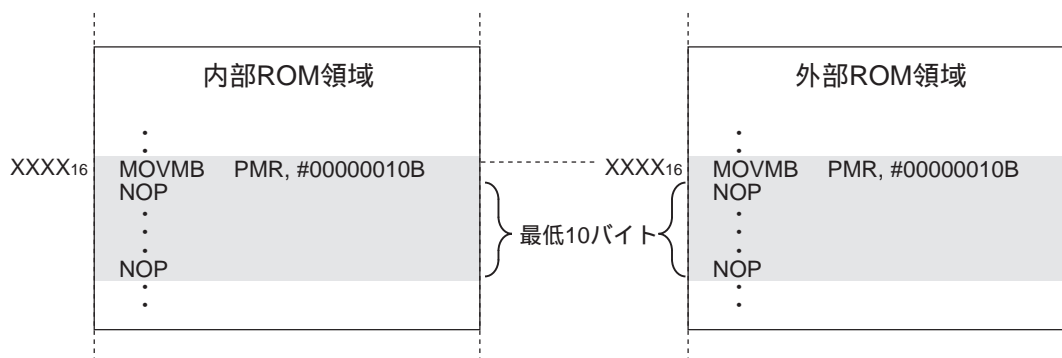
プロセッサモードビットによって、上記のようにプロセッサモードを切り替えた場合、
プロセッサモードビットへの書き込みサイクルの終了と同時にモードが切り替わります。この
とき、プログラムカウンタは、プロセッサモードビットへの書き込み命令が格納されている番地
(XXXX₁₆番地)の、次の番地を示しています。また、内部ROM領域へのアクセスは禁止されます。
ただし、命令キューバッファには、0~10バイトの命令が先取りされている可能性があるため、
モードが切り替わった後、最初にアクセスされる外部ROM領域の番地は、XXXX₁₆ + 1 ~
XXXX₁₆ + 11のいずれかとなります。また、内部ROM領域の、XXXX₁₆ + 1 ~ XXXX₁₆ + 10番地
の命令は、実行される可能性を持ちます。対策としては、ソフトウェアで次のような処理を
行ってください。

[対策]

プロセッサモードビットへの書き込み命令を内部RAM領域に転送し、そこに分岐して書き
込み命令を実行させる。その後、外部ROM領域のプログラム番地へ分岐する(分岐命令に
よって命令キューバッファの内容は初期化されます)。

[対策]

プロセッサモードビットへの書き込み命令とその次の命令(最低10バイト分)を、内部ROM
領域、及び外部ROM領域の同じ番地に書き込んでおく(下図参照)。



Q

プログラム実行中に、プロセッサモードビット(5E₁₆番地のビット1、0)によって、以下の順序でプロセッサモードを切り替える場合、ソフトウェア上注意すべきことはあるか？

メモリ拡張モード(又はマイクロプロセッサモード) シングルチップモード
シングルチップモード メモリ拡張モード(又はマイクロプロセッサモード)

A

(1)プロセッサモードを変更するプログラムは、必ず変更前後、両方のプロセッサモードで使用できる内部領域に配置してください。

- ・ の変更前、又は の変更後が、メモリ拡張モードの場合、内部ROM、又は内部RAM上に配置してください。
- ・ の変更前、又は の変更後が、マイクロプロセッサモードの場合、内部RAM上に配置してください。

(2)レディー機能、ホールド機能を使用する場合、以下の制限があります。

- ・ の切り替え前に、RDY入力選択ビット(5F₁₆番地のビット2)、及びHOLD入力、HLDA出力選択ビット(5F₁₆番地のビット5)を“1”に設定していた場合、 の切り替えによって、シングルチップモードになると同時に、これらのビットが“0”になり、 の切り替え後も“1”に設定できません。
- ・ この状態は、リセットによってのみ解除できます。

(3) でマイクロプロセッサモードへ切り替える場合は、前ページのQ&Aを参照してください。

Q

監視タイマによる暴走検知時、ソフトウェアリセットを行うのではなく、監視タイマ割り込みのベクトル番地にリセットのベクトル番地の内容と同じ値を設定すると、どうなるか？
また、監視タイマ割り込みルーチン内でリセット時の飛び先番地に分岐すると、どうなるか？

A

上記の方法では、CPUレジスタ、及びSFRは初期化されません。したがって、これらすべてにソフトウェアで初期設定を行う必要があります。

特に、プロセッサ割り込み優先レベル(IPL)は、監視タイマ割り込みの優先レベル「7」を保持し、初期化されないため、この後、すべての割り込み要求が受け付けられなくなります。IPLをソフトウェアで書き替えるためには、16ビットイミディエイト値を1度スタック領域に退避した後、プロセッサステータスレジスタ(PS)の全ビットに復帰させるという操作が必要です。

暴走時のマイクロコンピュータの初期化には、ソフトウェアリセットを使用することを推奨します。

付録9 . M37903F8CHP電気的特性

以下にM37903F8CHPの電気的特性を示します。

なお、電気的特性については、最新のデータシートを参照してください。

絶対最大定格

記号	項目	定格値	単位
V _{CC}	電源電圧	-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧	-0.3 ~ 6.5	V
V _I	入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇ , V _{REF} , X _{IN} , RESE _T , BYTE, MD0, MD1, NMI, CDSEL	-0.3 ~ V _{CC} +0.3	V
V _O	出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇ , X _{OUT}	-0.3 ~ V _{CC} +0.3	V
P _d	消費電力	400	mW
T _{opr}	動作周囲温度	-20 ~ 85	
T _{stg}	保存温度	-40 ~ 150	

推奨動作条件(指定のない場合は、 $V_{CC}=5V$, $T_a=-20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC}	電源電圧	4.5	5.0	5.5	V
AV_{CC}	アナログ電源電圧		V_{CC}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	“ H ”入力電圧	RESET, BYTE, MD0, MD1, CDSEL	$0.8V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	X_{IN} (CDSEL = V_{CC} レベル又は開放時)	$0.8V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	X_{IN} (CDSEL = V_{SS} レベル時)	$0.43V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117	$0.7V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	P00~P07 (ポートP0入力レベル選択ビット = 0時)	$0.7V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	P00~P07 (ポートP0入力レベル選択ビット = 1時)	$0.43V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	D0~D7, D8~D15	$0.43V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	RDY, HOLD, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB2IN, KI0~KI3, INT0~INT4, NMI, ADTRG, CTS0, CTS1, CLK0, CLK1, RxD0, RxD1	$0.43V_{CC}$	V_{CC}	V
V_{IH}	“ H ”入力電圧	SCLK, SDA (注1)	$0.43V_{CC}$	V_{CC}	V
V_{IL}	“ L ”入力電圧	RESET, BYTE, MD0, MD1, CDSEL	0	$0.2V_{CC}$	V
V_{IL}	“ L ”入力電圧	X_{IN}	0	$0.16V_{CC}$	V
V_{IL}	“ L ”入力電圧	P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117	0	$0.2V_{CC}$	V
V_{IL}	“ L ”入力電圧	P00~P07 (ポートP0入力レベル選択ビット = 0時)	0	$0.2V_{CC}$	V
V_{IL}	“ L ”入力電圧	P00~P07 (ポートP0入力レベル選択ビット = 1時)	0	$0.16V_{CC}$	V
V_{IL}	“ L ”入力電圧	D0~D7, D8~D15	0	$0.16V_{CC}$	V
V_{IL}	“ L ”入力電圧	RDY, HOLD, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB2IN, KI0~KI3, INT0~INT4, NMI, ADTRG, CTS0, CTS1, CLK0, CLK1, RxD0, RxD1	0	$0.16V_{CC}$	V
V_{IL}	“ L ”入力電圧	SCLK, SDA (注1)	0	$0.16V_{CC}$	V
$I_{OH}(\text{peak})$	“ H ”尖頭出力電流	P00~P07, P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117		-10	mA
$I_{OH}(\text{avg})$	“ H ”平均出力電流	P00~P07, P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117		-5	mA
$I_{OL}(\text{peak})$	“ L ”尖頭出力電流	P00~P07, P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117		10	mA
$I_{OL}(\text{avg})$	“ L ”平均出力電流	P00~P07, P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117		5	mA
$f(X_{IN})$	外部クロック入力周波数			26(注2)	MHz
$f(f_{\text{sys}})$	システムクロック周波数			26	MHz

注1 . SCLK、SDAはフラッシュメモリ内蔵版でシリアル入出力モード時のみ使用する端子です。

2 . X_{IN} 入力クロック分周選択ビットが“ 0 ”のとき(2分周あり)は、最大52MHzになります。

3 . 平均出力電流は100msの期間内での平均値です。

4 . P0, P1, P2, P8, P10, P11の $I_{OL}(\text{peak})$ 及び $I_{OH}(\text{peak})$ の合計は80mA以下、P3, P4, P5, P6, P7の $I_{OL}(\text{peak})$ 及び $I_{OH}(\text{peak})$ の合計は80mA以下にしてください。

直流電氣的特性(指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$, $f(f_{sys})=26MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	“ H ”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OH}=-10mA$	3			V
V_{OH}	“ H ”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ , P4 ₂ , P4 ₄ ~P4 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OH}=-400\mu A$	4.7			V
V_{OH}	“ H ”出力電圧 P3 ₁ ~P3 ₃	$I_{OH}=-10mA$	3.4			V
		$I_{OH}=-400\mu A$	4.8			V
V_{OL}	“ L ”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OL}=10mA$			2	V
V_{OL}	“ L ”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ , P4 ₂ , P4 ₄ ~P4 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OL}=2mA$			0.45	V
V_{OL}	“ L ”出力電圧 P3 ₁ ~P3 ₃	$I_{OL}=10mA$			1.6	V
		$I_{OL}=2mA$			0.4	V
$V_{T+}-V_{T-}$	ヒステリシス RDY, HOLD, TA0 _{IN} ~TA4 _{IN} , TA0 _{OUT} ~TA4 _{OUT} , TB0 _{IN} ~TB2 _{IN} , K1 ₀ ~K1 ₃ , INT ₀ ~INT ₄ , NMI, AD _{TRG} , CTS ₀ , CTS ₁ , CLK ₀ , CLK ₁ , RxD ₀ , RxD ₁		0.2		0.7	V
$V_{T+}-V_{T-}$	ヒステリシス RESET		0.5		1.5	V
$V_{T+}-V_{T-}$	ヒステリシス X _{IN} (CDSEL = V_{CC} レベル又は開放時)		0.1		0.3	V
$V_{T+}-V_{T-}$	ヒステリシス X _{IN} (CDSEL = V_{SS} レベル時)		0.05		0.26	V
I_{IH}	“ H ”入力電流 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇ , X _{IN} , RESET, BYTE, MD0, MD1, NMI	$V_I=5.0V$			5	μA
I_{IL}	“ L ”入力電流 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₃ , P5 ₀ ~P5 ₃ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇ , X _{IN} , RESET, BYTE, MD0, MD1	$V_I=0V$			-5	μA
I_{IL}	“ L ”入力電流 P4 ₄ ~P4 ₇ , P5 ₄ ~P5 ₇ , NMI	$V_I=0V$ (プルアップトランジスタなし)			-5	μA
		$V_I=0V$ (プルアップトランジスタあり)	-0.4	-0.7	-1.1	mA
V_{RAM}	RAM保持電圧	クロック停止時	2			V
I_{CC}	電源電流 出力専用端子は開放、その他の 端子は V_{SS} 又は V_{CC} 、外部方形波 クロック入力 (X _{OUT} 開放)	$f(f_{sys})=26MHz$ 、 CPU動作時		30	54	mA
		クロック停止時 $T_a=25$			1	μA
		クロック停止時 $T_a=85$			20	

A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=5V\pm 0.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値		単位
			最小	最大	
—	分解能	$V_{REF}=V_{CC}$		10	Bits
—	絶対精度	$V_{REF}=V_{CC}$	分解能10ビットモード	± 3	LSB
			分解能8ビットモード	± 2	LSB
R_{LADDER}	ラダー抵抗	$V_{REF}=V_{CC}$	5		$k\Omega$
t_{CONV}	変換時間	$f(f_{sys})$ 26MHz	分解能10ビットモード	4.54	μs
			分解能8ビットモード	1.89(注)	
V_{REF}	基準電圧		2.7	V_{CC}	V
V_{IA}	アナログ入力電圧		0	V_{REF}	V

注 . A-D変換周波数(f_{AD})に f_1 を選択した場合。

D-A変換特性(指定のない場合は、 $V_{CC}=5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=5V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				± 1.0	%
t_{su}	設定時間				3	μs
R_o	出力抵抗		2	3.5	4.5	$k\Omega$
I_{VREF}	基準電源入力電流	(注)			3.2	mA

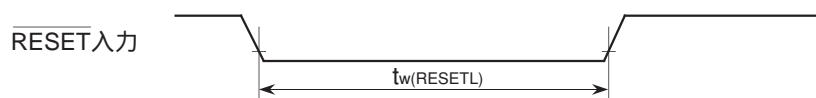
注 . D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が 00_{16} の場合です。

A-D変換器のラダー抵抗分は除きます。

リセット入力

リセット入力タイミング必要条件(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
$t_w(\overline{RESETL})$	RESET入力“L”パルス幅	10			μs

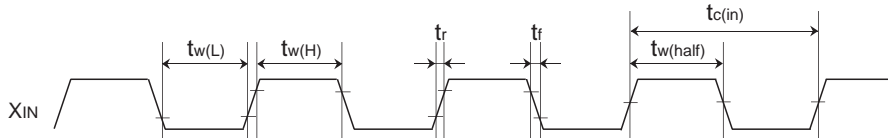


外部クロック入力

外部クロック入力タイミング必要条件(指定のない場合は $V_{CC}=5V \pm 0.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_{c(in)}$	外部クロック入力サイクル時間	$1/f(X_{IN})$		ns
$t_{w(half)}$	外部クロック入力半値パルス幅	$0.45t_{c(in)}$	$0.55t_{c(in)}$	ns
$t_{w(H)}$	外部クロック入力“H”パルス幅(X_{IN} 入力クロック分周選択ビット=0時)	$0.5t_{c(in)}-2$		ns
	外部クロック入力“H”パルス幅(X_{IN} 入力クロック分周選択ビット=1時)	$0.5t_{c(in)}-6$		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅(X_{IN} 入力クロック分周選択ビット=0時)	$0.5t_{c(in)}-3.4$		ns
	外部クロック入力“L”パルス幅(X_{IN} 入力クロック分周選択ビット=1時)	$0.5t_{c(in)}-6.8$		ns
t_r	外部クロック入力立ち上がり時間(X_{IN} 入力クロック分周選択ビット=0時)		2.7	ns
	外部クロック入力立ち上がり時間(X_{IN} 入力クロック分周選択ビット=1時)		6.4	ns
t_f	外部クロック入力立ち下がり時間(X_{IN} 入力クロック分周選択ビット=0時)		2.7	ns
	外部クロック入力立ち下がり時間(X_{IN} 入力クロック分周選択ビット=1時)		6.4	ns

外部クロック入力



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a=-20 \sim 85$
- 入力タイミング電圧: $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定 ($t_{w(H)}$, $t_{w(L)}$, t_r , t_f : CDSEL = V_{SS} レベル時)
- 入力タイミング電圧: $V_{IL}=1.0V$, $V_{IH}=4.0V$ で判定 ($t_{w(H)}$, $t_{w(L)}$, t_r , t_f : CDSEL = V_{CC} レベル時)
- 入力タイミング電圧: 1.65Vで判定 ($t_{c(in)}$, $t_{w(half)}$: CDSEL = V_{SS} レベル時)
- 入力タイミング電圧: 2.5Vで判定 ($t_{c(in)}$, $t_{w(half)}$: CDSEL = V_{CC} レベル時)

内蔵周辺装置入出力タイミング必要条件(指定のない場合は、 $V_{CC}=5V\pm 0.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$ 、 $f(f_{sys})=26MHz$)
システムクロック周波数に依存する規格値は、算出式で示します。また、()内に $f(f_{sys})=26MHz$ 時の値を示します。

タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (615)	ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)	ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)	ns

注 . TAiIN入力サイクル時間はカウントソースの4サイクル分以上、TAiIN入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 26MHz時、カウントソースに f_2 を選択した場合の値です。

タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間		80	ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅		40	ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅		40	ns

タイマA入力(ワンショットパルスモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)	ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅		80	ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅		80	ns

タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅		80	ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅		80	ns

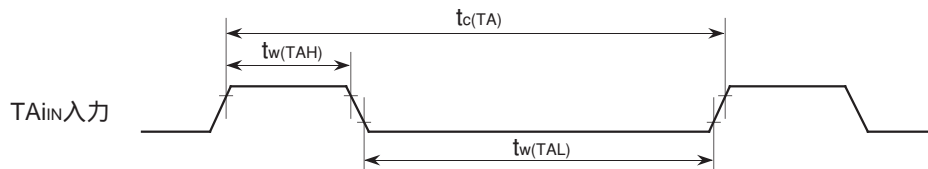
タイマA入力(イベントカウンタモードのアップダウン入力及びカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間		2000	ns
$t_{w(UPH)}$	TAiOUT入力“H”パルス幅		1000	ns
$t_{w(UPL)}$	TAiOUT入力“L”パルス幅		1000	ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間		400	ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間		400	ns

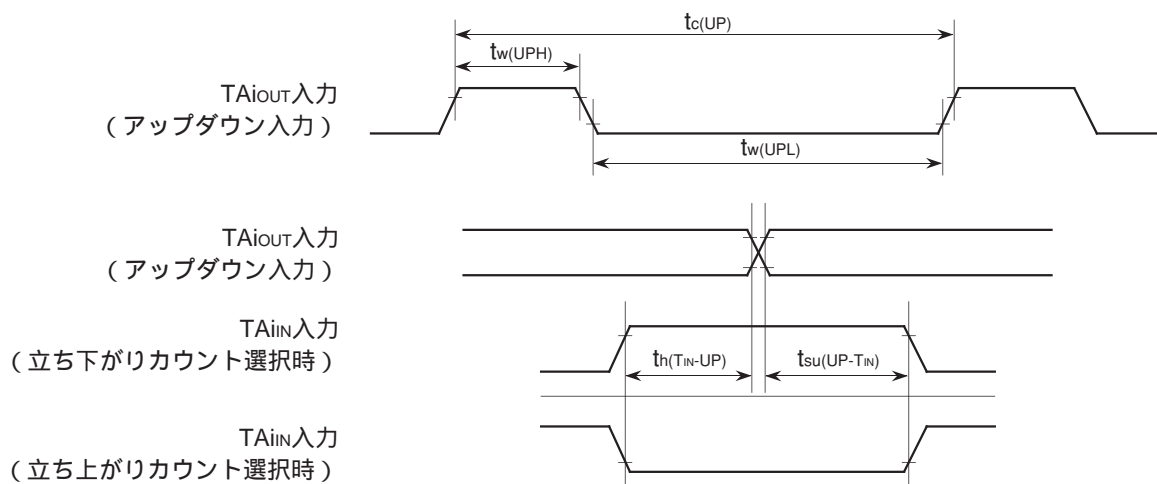
タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAjIN入力サイクル時間		800	ns
$t_{su(TAjIN-TAjOUT)}$	TAjIN入力セットアップ時間		200	ns
$t_{su(TAjOUT-TAjIN)}$	TAjOUT入力セットアップ時間		200	ns

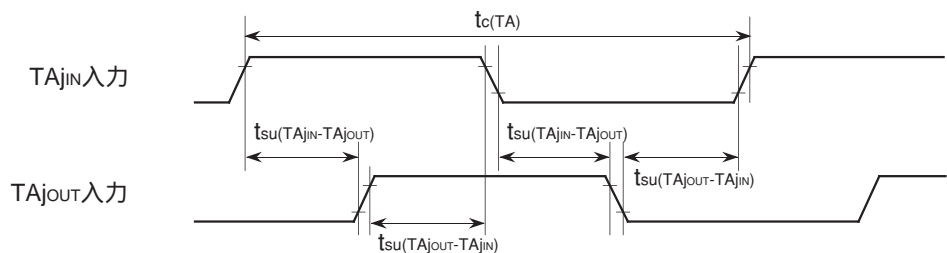
タイマモードのゲーティング入力
 イベントカウンタモードのカウンタ入力
 ワンショットパルスモードの外部トリガ入力
 パルス幅変調モードの外部トリガ入力



イベントカウンタモードのアップダウン入力及びカウンタ入力



イベントカウンタモードの二相パルス入力



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定

タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間 (片エッジカウント)	80		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅 (片エッジカウント)	40		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅 (片エッジカウント)	40		ns
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間 (両エッジカウント)	160		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅 (両エッジカウント)	80		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅 (両エッジカウント)	80		ns

タイマB入力(パルス周期測定モード)

記号	項目		規格値		単位
			最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (615)		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns

注 . TB_{iIN}入力サイクル時間はカウンタソースの4サイクル分以上、TB_{iIN}入力“H”パルス幅及び“L”パルス幅はカウンタソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 26MHz時、カウンタソースに f_2 を選択した場合の値です。

タイマB入力(パルス幅測定モード)

記号	項目		規格値		単位
			最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (615)		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns

注 . TB_{iIN}入力サイクル時間はカウンタソースの4サイクル分以上、TB_{iIN}入力“H”パルス幅及び“L”パルス幅はカウンタソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 26MHz時、カウンタソースに f_2 を選択した場合の値です。

A-Dトリガ入力

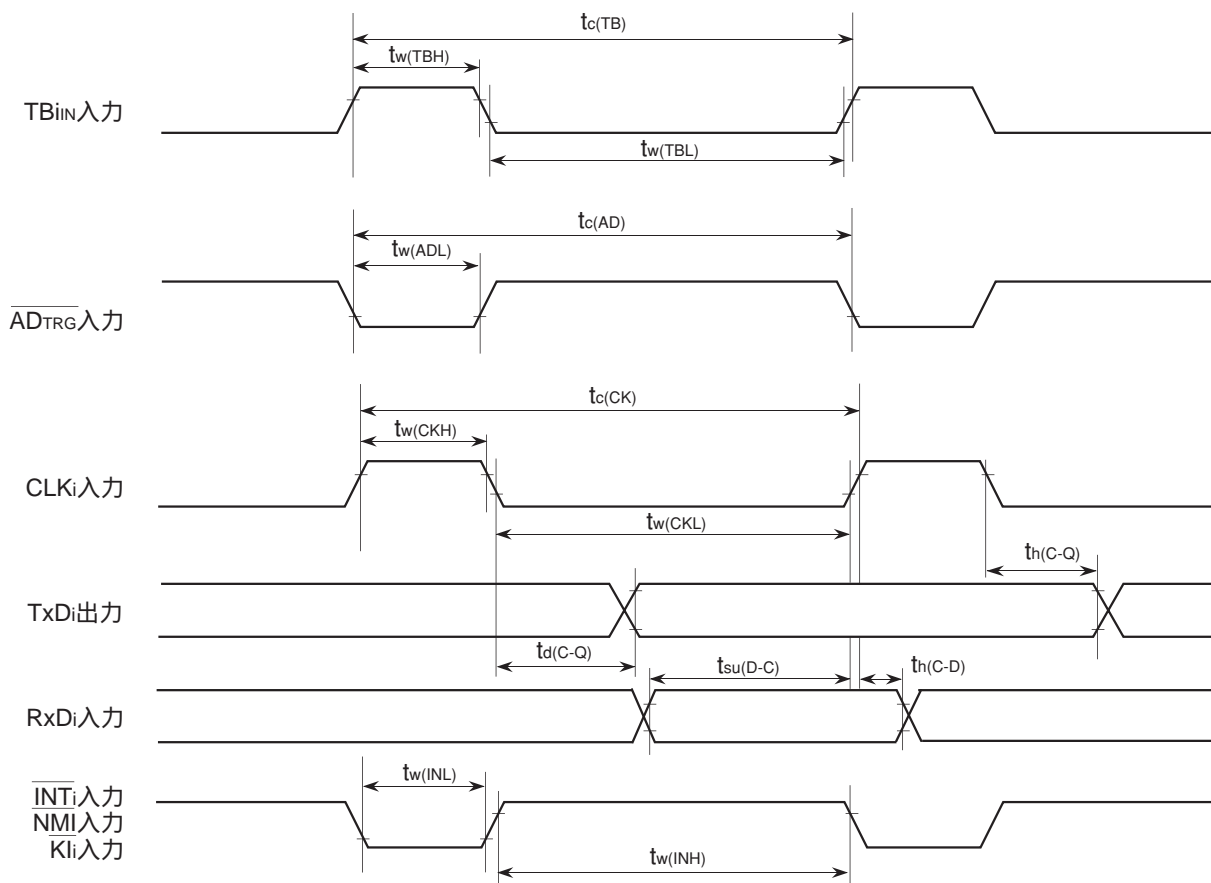
記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	AD _{TRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	AD _{TRG} 入力“L”パルス幅	125		ns

シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK _i 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLK _i 入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLK _i 入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TxD _i 出力遅延時間		80	ns
$t_{h(C-Q)}$	TxD _i ホールド時間	0		ns
$t_{su(D-C)}$	RxD _i 入力セットアップ時間	20		ns
$t_{h(C-D)}$	RxD _i 入力ホールド時間	90		ns

外部割り込みINT_i入力、NMI入力、キー入力割り込みK_i入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INT _i 入力、NMI入力、K _i 入力“H”パルス幅	250		ns
$t_{w(INL)}$	INT _i 入力、NMI入力、K _i 入力“L”パルス幅	250		ns



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a=-20 \sim 85$
- 入力タイミング電圧 : $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定

レディー機能、ホールド機能タイミング

タイミング必要条件(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

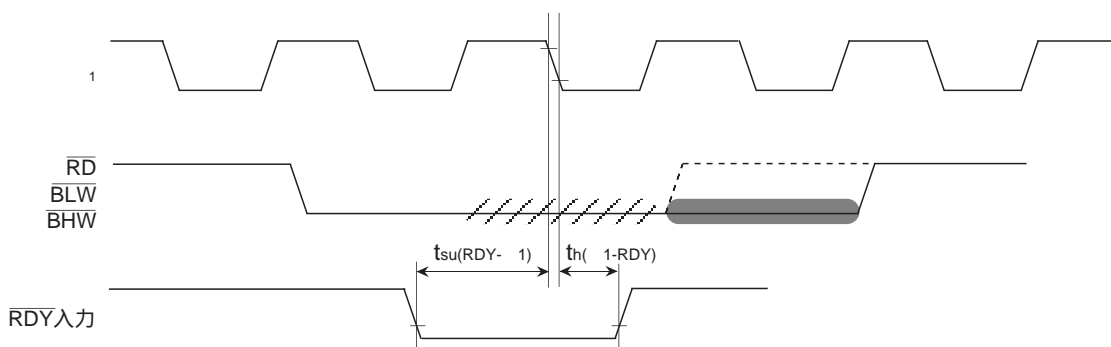
記号	項目	規格値		単位
		最小	最大	
$t_{su}(RDY-1)$	RDY入力セットアップ時間	40		ns
$t_h(1-RDY)$	RDY入力ホールド時間	0		ns
$t_{su}(HOLD-1)$	HOLD入力セットアップ時間	40		ns
$t_h(1-HOLD)$	HOLD入力ホールド時間	0		ns

スイッチング特性(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_d(1-HLDAL)$	HLDA出力遅延時間		20	ns
$t_d(RDH-HLDAL)$	リード後HLDA“L”出力遅延時間	tc-15(注)		ns
$t_d(BXWH-HLDAL)$	ライト後HLDA“L”出力遅延時間	tc-15(注)		ns
$t_{pxz}(HLDAL-RDZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-BXWZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-CSIZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-ALEZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-AZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-RDZ)$	フローティング解除遅延時間	0		ns
$t_{pxz}(HLDAL-BXWZ)$	フローティング解除遅延時間	0		ns
$t_{pxz}(HLDAL-CSIZ)$	フローティング解除遅延時間	0		ns
$t_{pxz}(HLDAL-ALEZ)$	フローティング解除遅延時間	0		ns
$t_{pxz}(HLDAL-AZ)$	フローティング解除遅延時間	0		ns

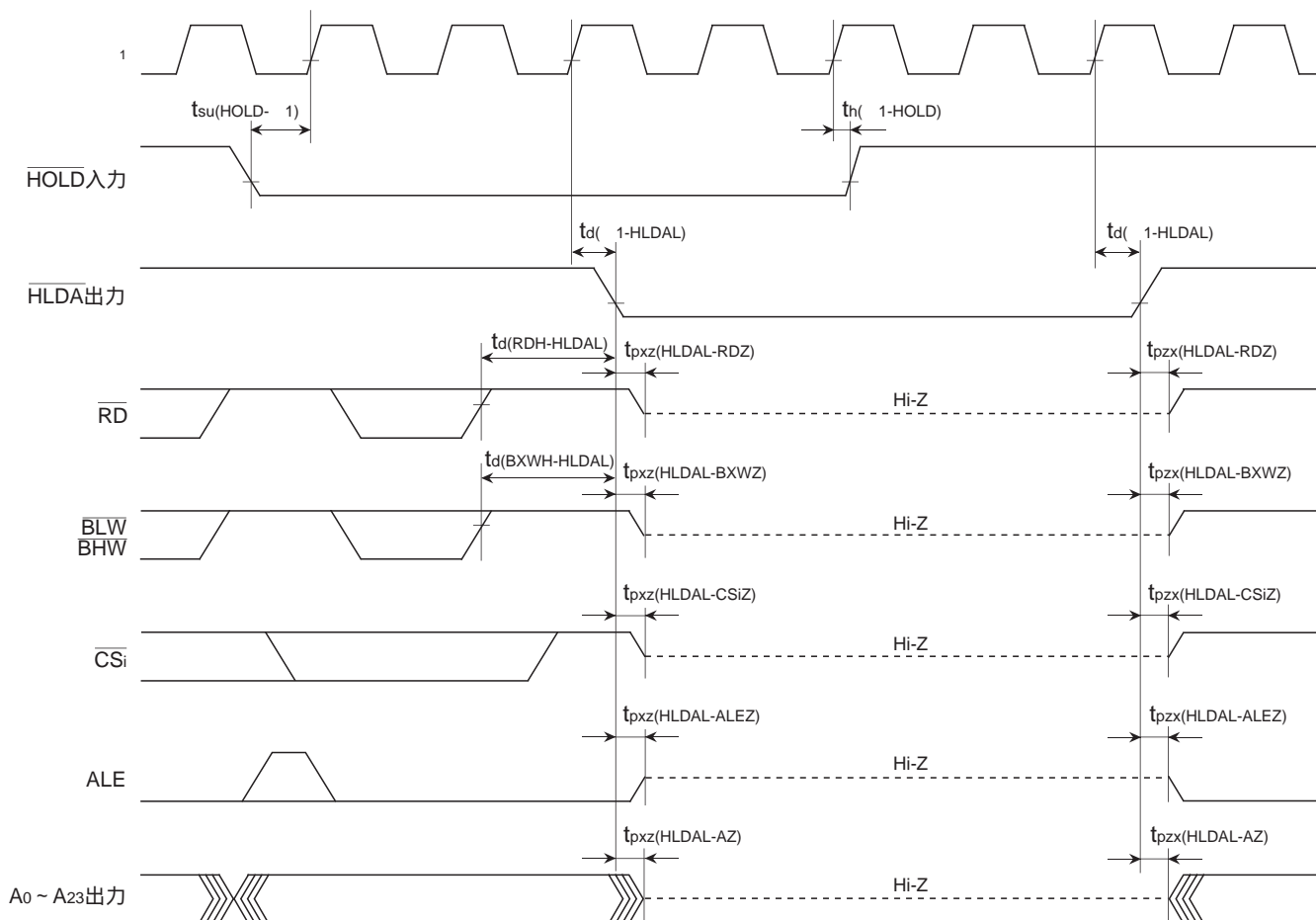
注 . tc = $1/f_{sys}$

R $\overline{\text{DY}}$ 入力



- : ソフトウェアによるウェイト (上記はバスサイクル1 +2 選択時)
- : レディー機能によるウェイト

H $\overline{\text{OLD}}$ 入力



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- R $\overline{\text{DY}}$ 入力、H $\overline{\text{OLD}}$ 入力 : $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- HLDA出力 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定

外部バスタイミング

システムクロック周波数に依存する規格値は、算出式で示します。算出式の中の記号は以下の値を示します。

バスサイクル	W _H	W _L	バスサイクル	W _H	W _L
1 +1	1	1	2 +3	2	3
1 +2	1	2	2 +4	2	4
1 +3	1	3	3 +3	3	3
2 +2	2	2	3 +4	3	4

$$t_c = 1 / (f_{sys})$$

外部バスタイミング必要条件(指定のない場合はV_{cc}=5V±0.5V, V_{ss}=0V, T_a=-20 ~ 85)

記号	項目	規格値		単位
		最小	最大	
t _a (A-D)	アドレスアクセス時間(アドレス出力選択ビット=0時)		(W _H +W _L)t _c -45	ns
t _a (A-D)	アドレスアクセス時間(アドレス出力選択ビット=1時)		(W _H +W _L -0.5)t _c -35	ns
t _a (LA-D)	アドレスアクセス時間(マルチプレックスバス選択ビット=1時)	(W _H +W _L -0.5)t _c -35(注)		ns
t _a (CSIL-D)	チップセレクトアクセス時間		(W _H +W _L -0.5)t _c -35	ns
t _a (RDL-D)	リードアクセス時間		W _L ×t _c -30	ns
t _{su} (D-RDL)	リードデータセットアップ時間	15		ns
t _h (RDH-D)	リード後データ入力ホールド時間	0		ns
t _a (BA-D)	バーストROMアクセス時アドレスアクセス時間		W _L ×t _c -35	ns
t _h (BA-D)	バーストROMアクセス時アドレス後データホールド時間	8		ns

注 . アドレス出力選択ビットの内容に影響されません。

付録

付録9 . M37903F8CHP電氣的特性

スイッチング特性(指定のない場合はVcc=5V±0.5V, Vss=0V, Ta=-20 ~ 85)

記号	項目	規格値		単位
		最小	最大	
t _d (1-RDL)	リード“ L ”出力遅延時間	-18	0	ns
t _d (1-RDH)	リード“ H ”出力遅延時間	-18	0	ns
t _d (1-BXWL)	ライト“ L ”出力遅延時間	-18	0	ns
t _d (1-BXWH)	ライト“ H ”出力遅延時間	-18	0	ns
t _d (1L-CSiL)	チップセレクト“ L ”出力遅延時間	-20	0	ns
t _d (1L-CSiH)	チップセレクト“ H ”出力遅延時間	-22	10	ns
t _d (1H-A)	アドレス出力遅延時間(アドレス出力選択ビット = 0時)	-5	25	ns
t _d (1L-A)	アドレス出力遅延時間(アドレス出力選択ビット = 1時)	-20	16	ns
t _w (ALEH)	ALEパルス幅	バスサイクル1 +1 , 1 +2 , 1 +3 選択時	0.5tc-19	ns
		バスサイクル2 +2 選択時	tc-20	ns
		バスサイクル2 +3 , 2 +4 , 3 +3 , 3 +4 選択時	1.5tc-20	ns
t _d (A-ALEL)	アドレス確定後ALE完了遅延時間(アドレス出力選択ビット = 0時)	バスサイクル1 +1 , 1 +2 , 1 +3 選択時	tc-30	ns
		バスサイクル2 +2 選択時	1.5tc-30	ns
		バスサイクル2 +3 , 2 +4 , 3 +3 , 3 +4 選択時	2tc-30	ns
t _d (A-ALEL)	アドレス確定後ALE完了遅延時間(アドレス出力選択ビット = 1時)	バスサイクル1 +1 , 1 +2 , 1 +3 選択時	0.5tc-19	ns
		バスサイクル2 +2 選択時	tc-20	ns
		バスサイクル2 +3 , 2 +4 , 3 +3 , 3 +4 選択時	1.5tc-20	ns
t _w (RDL)	リード出力パルス幅	W _L ×tc-15		ns
t _w (RDH)	リード出力“ H ”幅(注1)	W _H ×tc-15		ns
t _d (RDH-BXWH)	リード後ライトディセーブル有効時間(注2)	tc-15		ns
t _d (A-RDH)	リード前アドレス有効時間(アドレス出力選択ビット = 0時)	W _H ×tc-30		ns
t _d (A-RDH)	リード前アドレス有効時間(アドレス出力選択ビット = 1時)	(W _H -0.5)tc-19		ns
t _h (RDH-A)	リード後アドレスホールド時間(アドレス出力選択ビット = 0時)(注2)	8		ns
t _h (RDH-A)	リード後アドレスホールド時間(アドレス出力選択ビット = 1時)(注2)	0.5tc-10		ns
t _d (RDH-ALEL)	リード開始後ALE完了遅延時間		20	ns
t _d (ALEL-RDH)	ALE完了後リード	バスサイクル2 +2 選択時	0.5tc-19	ns
	ディセーブル有効時間	バスサイクル3 +3 , 3 +4 選択時	tc-15	ns
t _d (CSiL-RDH)	リード前チップセレクト有効時間	(W _H -0.5)tc-19		ns
t _d (CSiL-RDL)	リード完了前チップセレクト出力有効時間	(W _H +W _L -0.5)tc-20		ns
t _h (RDH-CSiL)	リード後チップセレクトホールド時間	0.5tc-14		ns
t _d (RDH-D)	リード後次ライトサイクルデータ出力遅延時間(注2)	tc-15		ns
t _w (BXWL)	ライト出力パルス幅	W _L ×tc-15		ns
t _w (BXWH)	ライト出力“ H ”幅(注1)	W _H ×tc-15		ns
t _d (BXWH-RDH)	ライト後リードディセーブル有効時間(注2)	tc-15		ns
t _d (A-BXWH)	ライト前アドレス有効時間(アドレス出力選択ビット = 0時)	W _H ×tc-30		ns
t _d (A-BXWH)	ライト前アドレス有効時間(アドレス出力選択ビット = 1時)	(W _H -0.5)tc-19		ns
t _h (BXWH-A)	ライト後アドレスホールド時間(アドレス出力選択ビット = 0時)(注2)	8		ns
t _h (BXWH-A)	ライト後アドレスホールド時間(アドレス出力選択ビット = 1時)(注2)	0.5tc-10		ns
t _d (BXWH-ALEL)	ライト開始後ALE完了遅延時間		20	ns
t _d (ALEL-BXWH)	ALE完了後ライト	バスサイクル2 +2 選択時	0.5tc-19	ns
	ディセーブル有効時間	バスサイクル2 +3 , 2 +4 , 3 +3 , 3 +4 選択時	tc-15	ns
t _d (CSiL-BXWH)	ライト前チップセレクト有効時間	(W _H -0.5)tc-19		ns
t _d (CSiL-BXWL)	ライト完了前チップセレクト出力有効時間	(W _H +W _L -0.5)tc-20		ns
t _h (BXWH-CSiL)	ライト後チップセレクトホールド時間	0.5tc-14		ns
t _d (D-BXWL)	ライト完了前データ出力有効時間	W _L ×tc-20		ns
t _h (BXWH-D)	ライト後データホールド時間(注3)	0.5tc-10		ns
t _{pxz} (BXWH-DZ)	ライト後フローティング開始遅延時間(注3)		0.5tc+10	ns

注1 . 直前のバスサイクルが、リカバリサイクル挿入を選択した領域に対するアクセスであった場合は、t_d(リカバリサイクル挿入数1サイクル) ns] 又は2t_d(リカバリサイクル挿入数2サイクル) ns]だけ延びます。

2 . リカバリサイクル挿入を選択した領域をアクセスした場合は、t_d(リカバリサイクル挿入数1サイクル) ns] 又は2t_d(リカバリサイクル挿入数2サイクル) ns]だけ延びます。

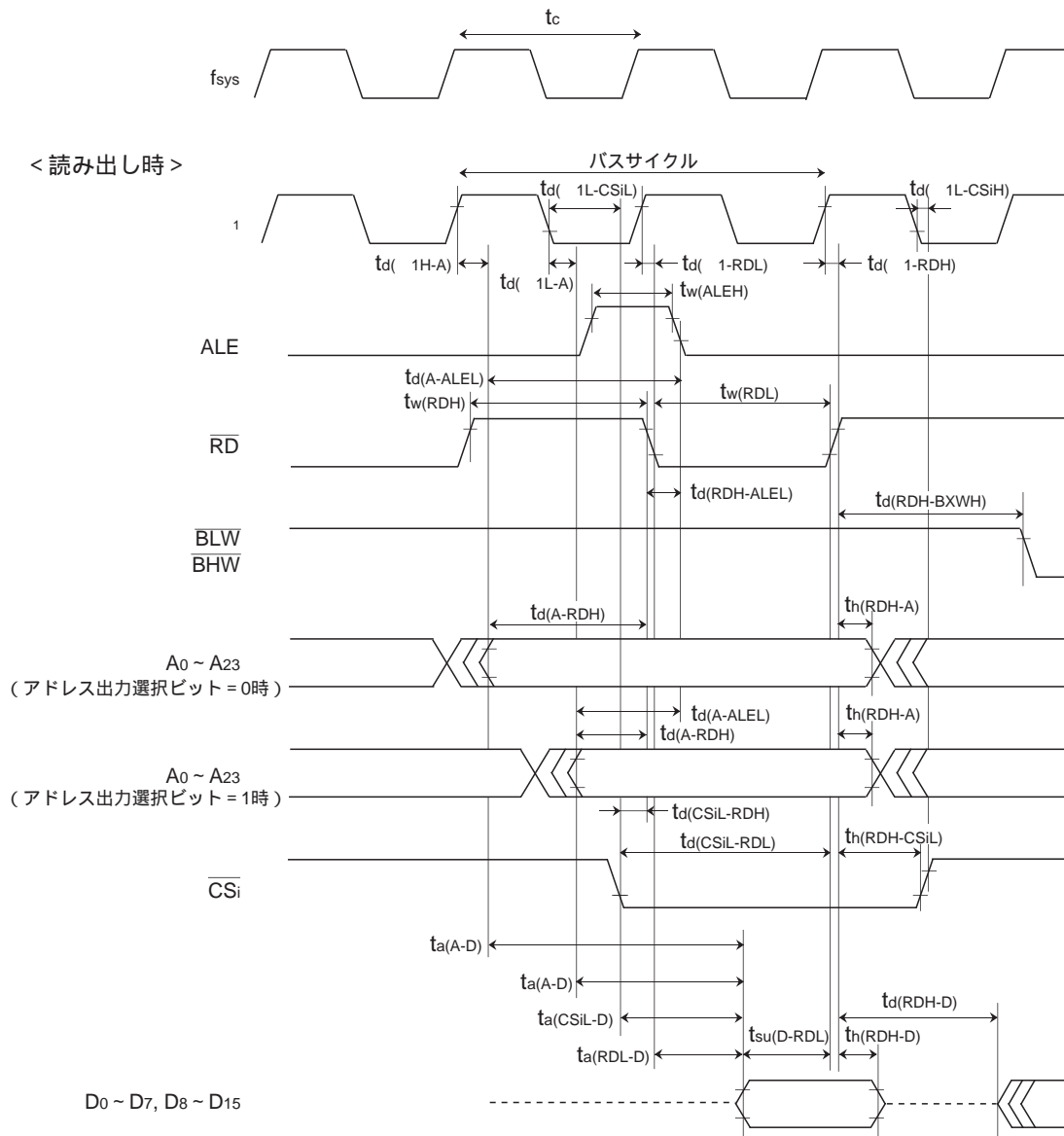
3 . リカバリサイクル挿入を選択した領域をアクセスし、かつリカバリサイクル挿入数2サイクルの場合、t_d ns]だけ延びます。

スイッチング特性(指定のない場合は $V_{cc}=5V\pm 0.5V$, $V_{ss}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_{d(LA-RDH)}$	リード前アドレス有効時間	$(W_H-0.5)t_c-19$ (注)		ns
$t_{d(LA-ALEL)}$	アドレス確定後	バスサイクル2 +2 選択時		ns
	ALE完了遅延時間	バスサイクル3 +3、3 +4 選択時		ns
$t_{h(ALEL-LA)}$	ALE完了後	バスサイクル2 +2 選択時		ns
	アドレスホールド時間	バスサイクル3 +3、3 +4 選択時		ns
$t_{pxz(RDH-LAZ)}$	フローティング開始遅延時間		5	ns
$t_{d(LA-BXWH)}$	ライト前アドレス有効時間	$(W_H-0.5)t_c-19$ (注)		ns
$t_{pzx(RDH-DZ)}$	フローティング解除遅延時間	0.5 t_c-19 (注)		ns

注 . アドレス出力選択ビットの内容に影響されません。

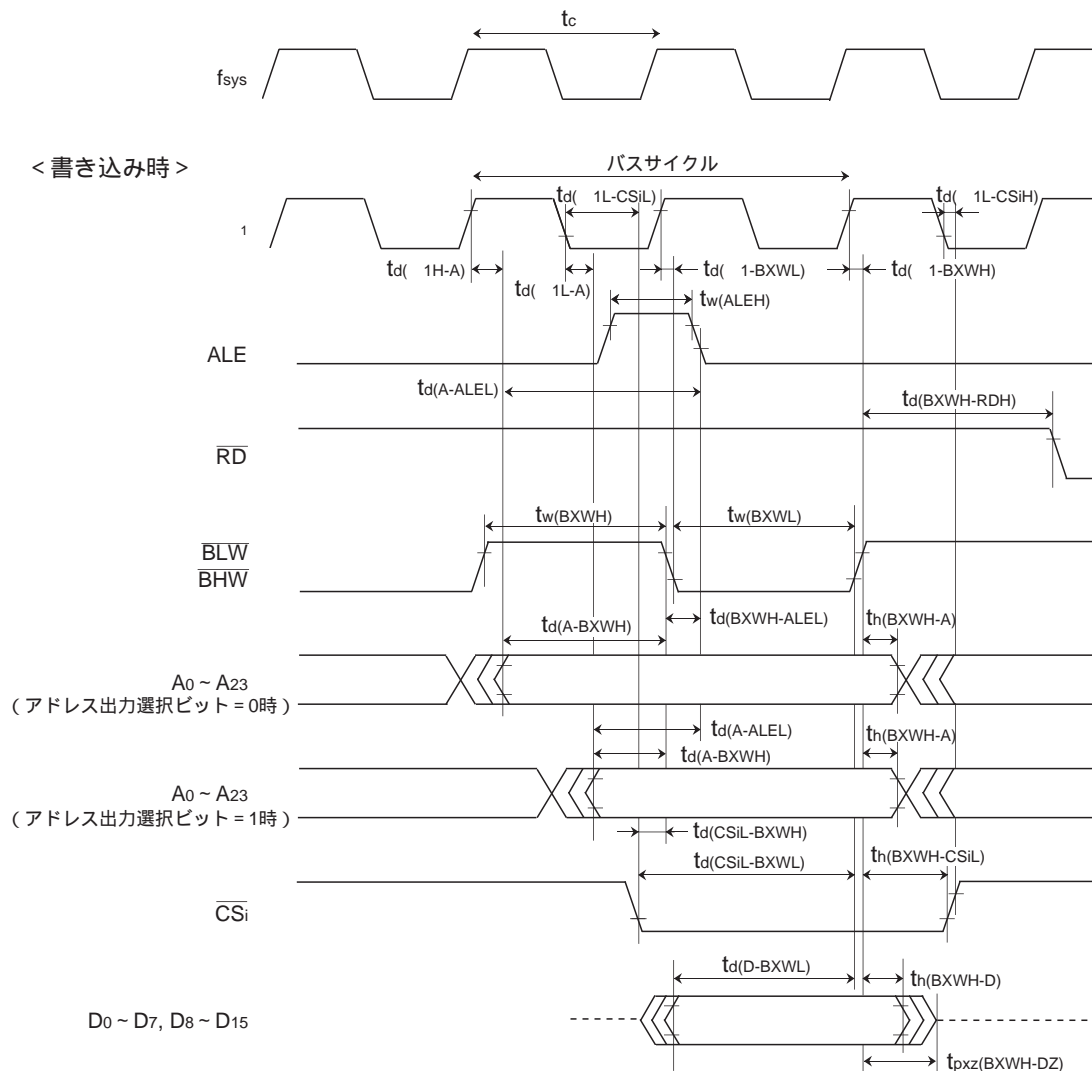
通常アクセス：バスサイクル1 +1、バスサイクル1 +2、バスサイクル1 +3、
バスサイクル2 +3、バスサイクル2 +4 選択時



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CSi})
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CSi} 以外)

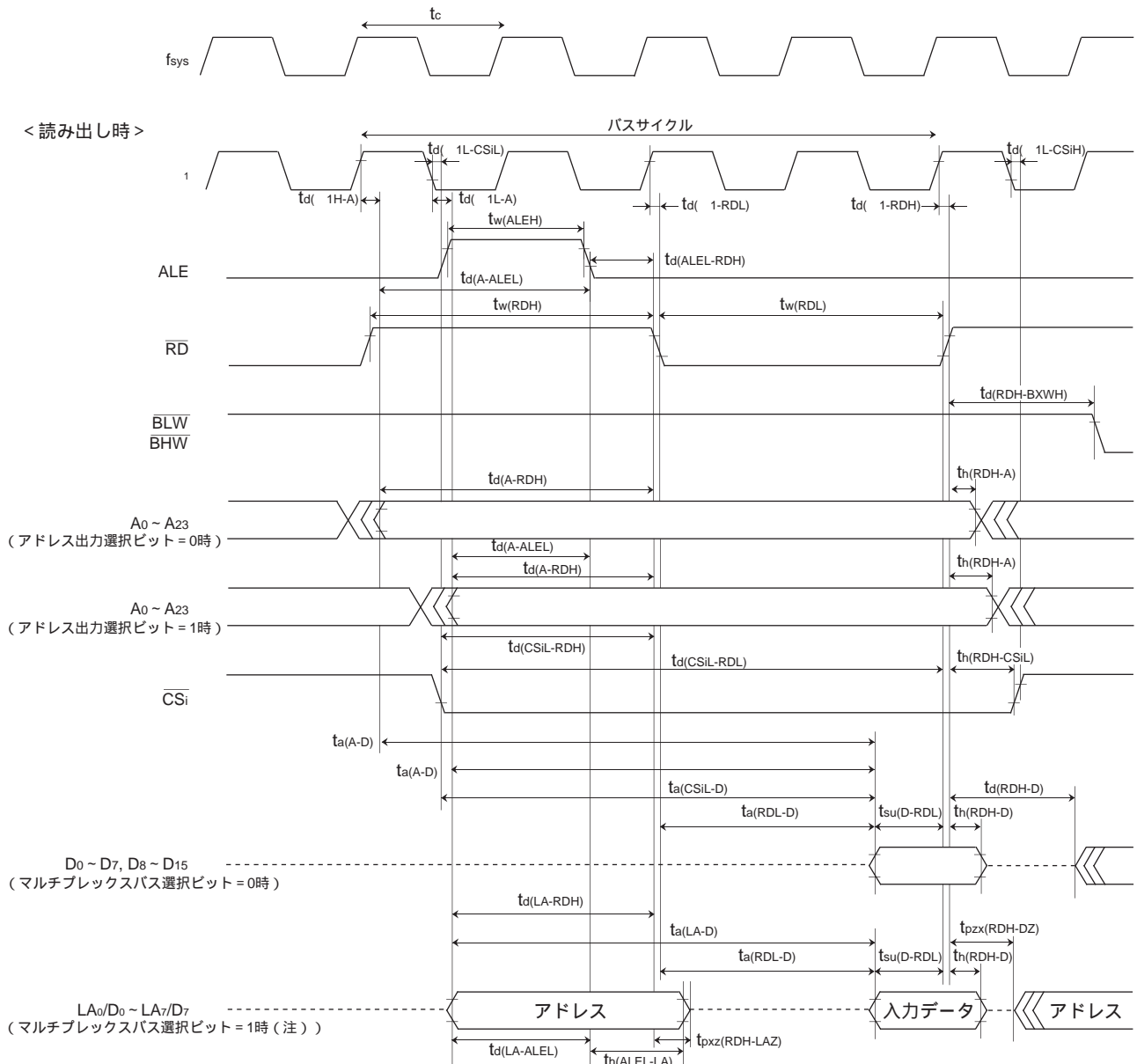
通常アクセス：バスサイクル1 +1、バスサイクル1 +2、バスサイクル1 +3、
バスサイクル2 +3、バスサイクル2 +4 選択時



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CSi})
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CSi} 以外)

通常アクセス：バスサイクル2 +2、バスサイクル3 +3、バスサイクル3 +4 選択時

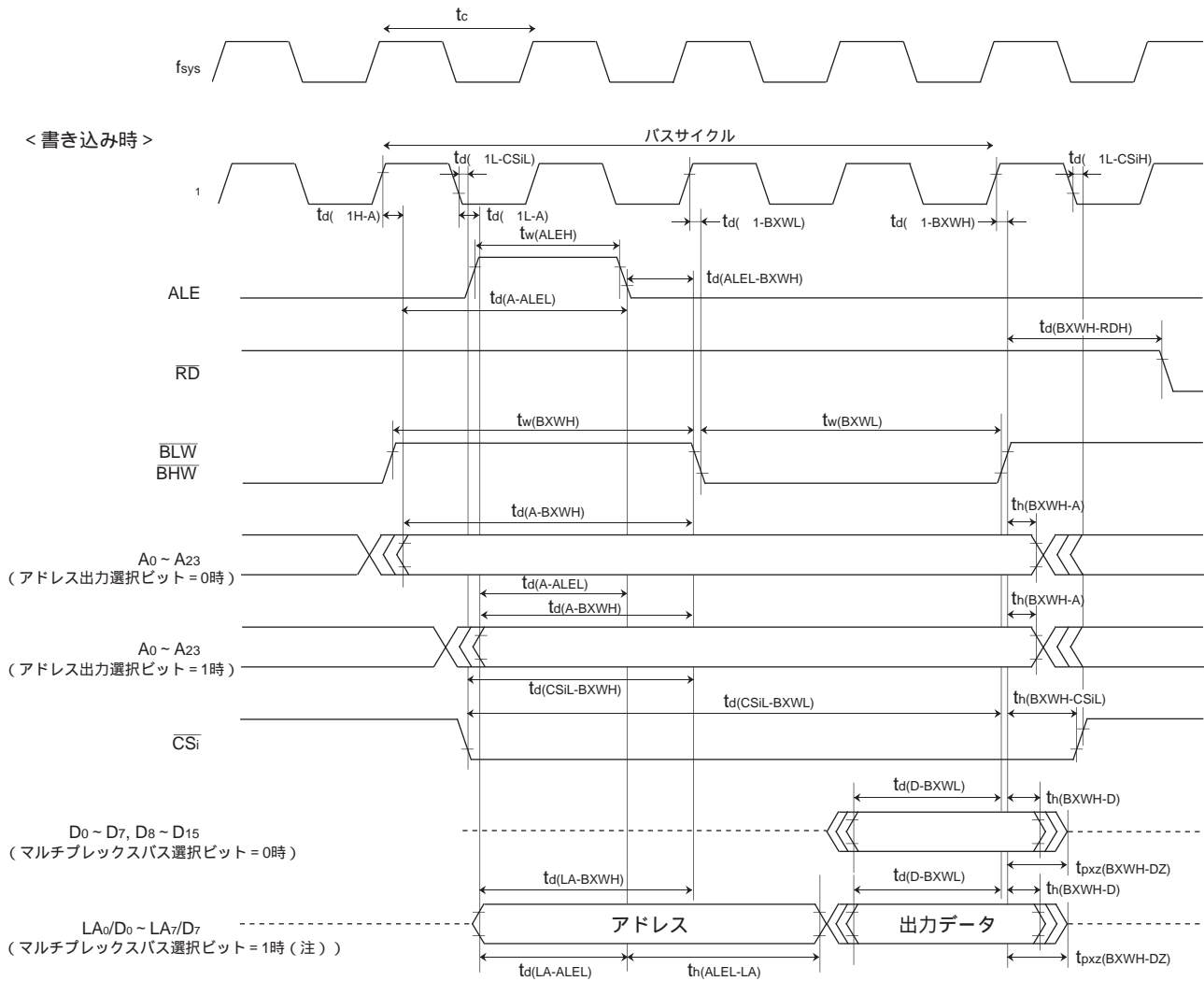


注 . \overline{CS}_2 領域を外部データバス幅8ビットでアクセスしたときだけ有効。

測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a=-20 \sim 85$
- 入力タイミング電圧 : $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CS}_i)
- 出力タイミング電圧 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CS}_i 以外)

通常アクセス：バスサイクル2 +2、バスサイクル3 +3、バスサイクル3 +4 選択時

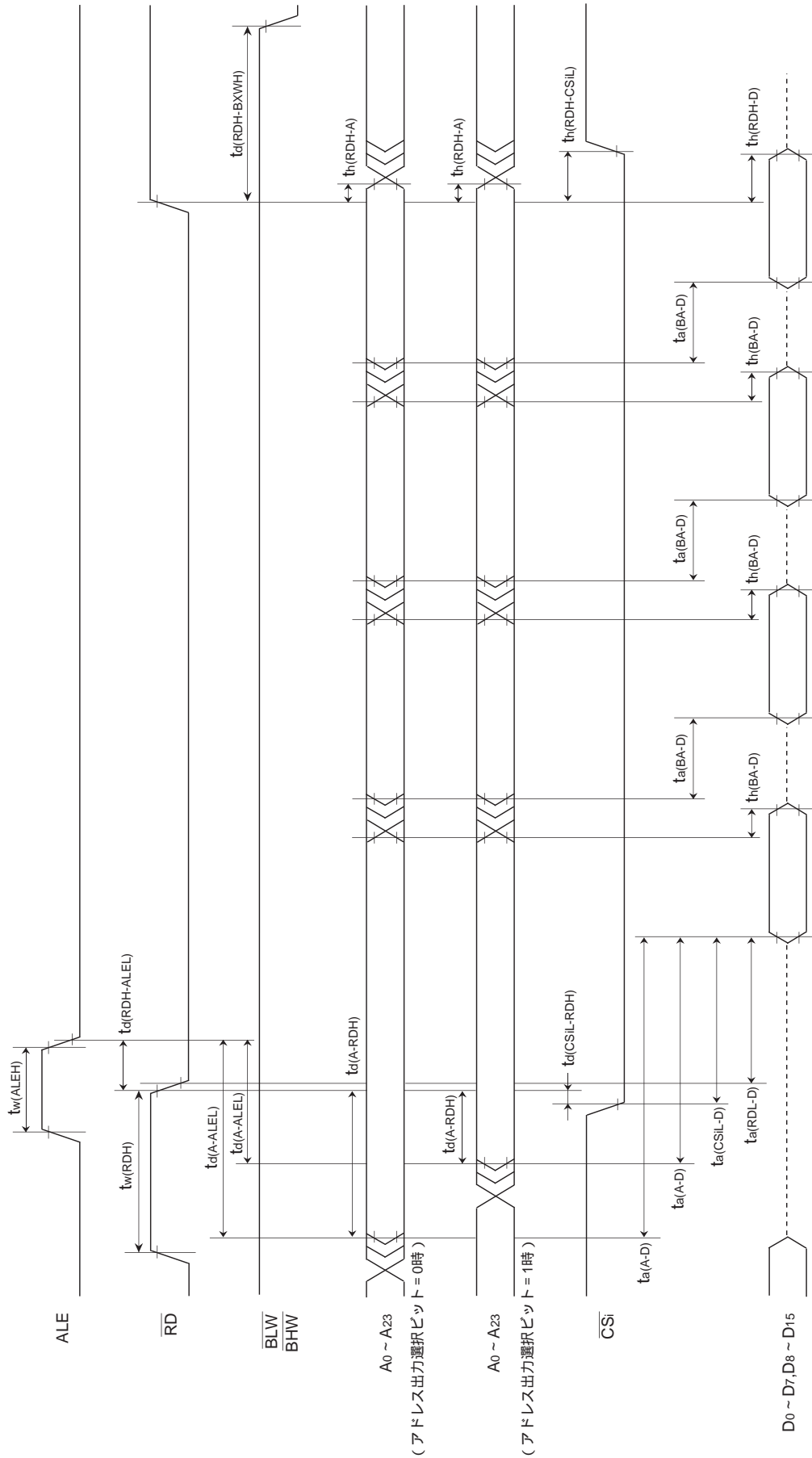


注 . CS_2 領域を外部データバス幅8ビットでアクセスしたときだけ有効。

測定条件

- ・ $V_{CC}=5V \pm 0.5V$, $T_a=-20 \sim 85$
- ・ 入力タイミング電圧 : $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- ・ 出力タイミング電圧 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (CS_i)
- ・ 出力タイミング電圧 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (CS_i 以外)

バーストROMアクセス：バスサイクル1 +1、バスサイクル1 +2、バスサイクル1 +3、バスサイクル2 +3、バスサイクル2 +4 選択時



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $V_{OL}=0.8V$, $V_{OH}=2.0V$ で判定 (CSi)
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $V_{OL}=0.8V$, $V_{OH}=2.0V$ で判定 (CS以外)

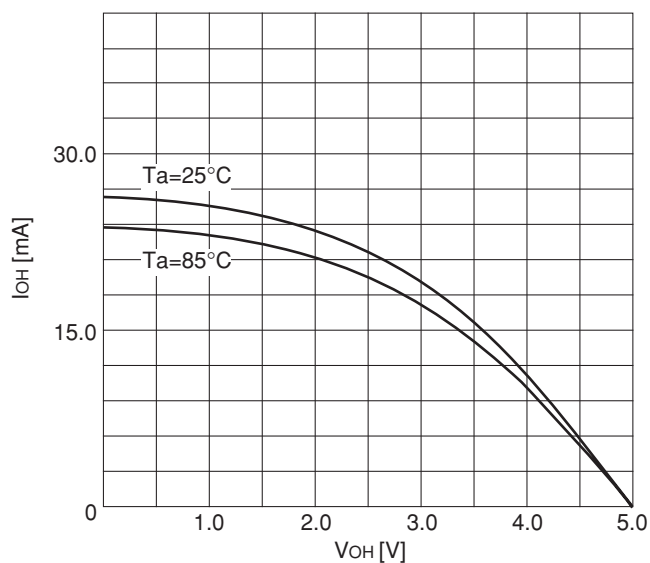
付録10．標準特性

以下に記載する標準特性は、M37903の「特性例」で、保証するものではありません。規格値は、「付録9．M37903F8CHP電気的特性」を参照してください。

1．プログラマブル入出力ポート (CMOS出力) 標準特性：P0～P2、P3₀、P4、P10、P11

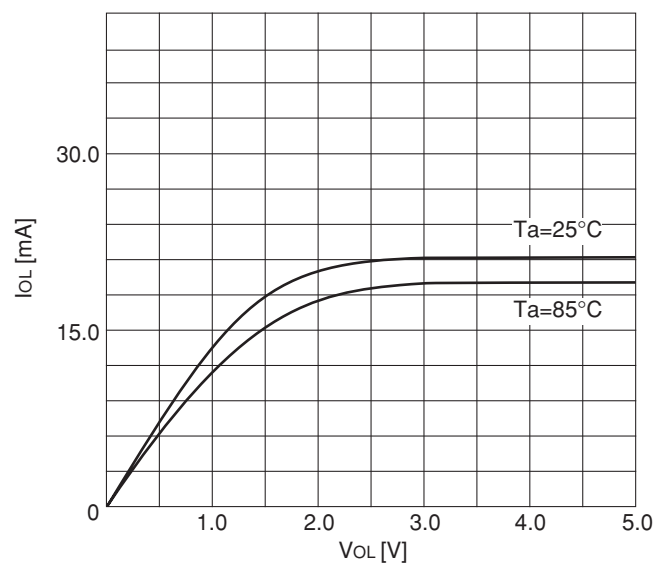
(1) Pチャンネル側の I_{OH} - V_{OH} 特性

M37903F8CHP (電源電圧： $V_{CC}=5V$)



(2) Nチャンネル側の I_{OL} - V_{OL} 特性

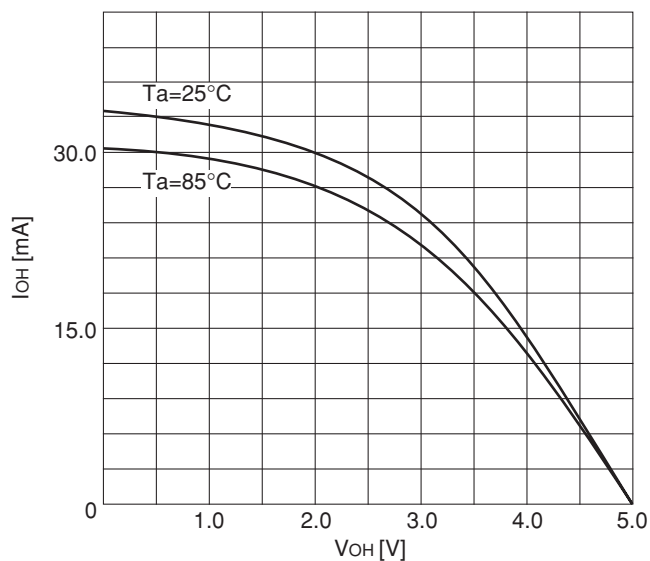
M37903F8CHP (電源電圧： $V_{CC}=5V$)



2．プログラマブル入出力ポート (CMOS出力) 標準特性：P3₁～P3₃

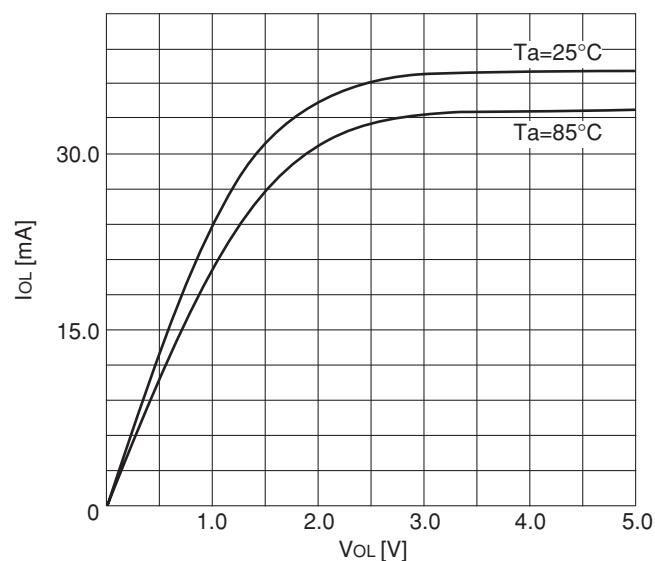
(1) Pチャンネル側の I_{OH} - V_{OH} 特性

M37903F8CHP (電源電圧： $V_{CC}=5V$)



(2) Nチャンネル側の I_{OL} - V_{OL} 特性

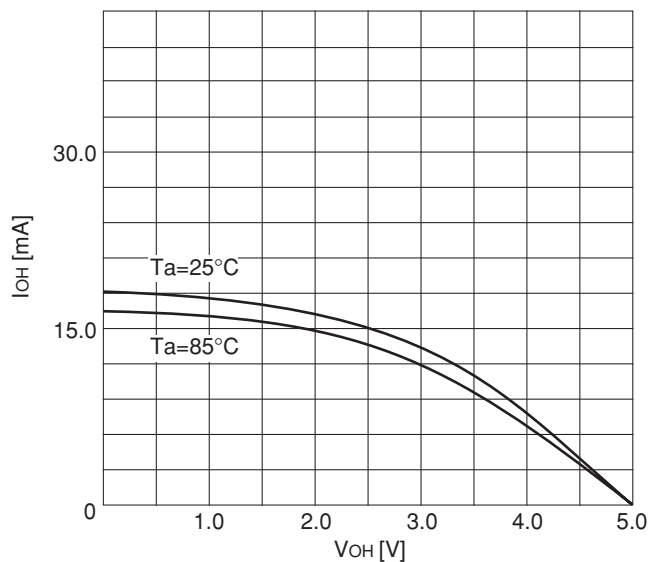
M37903F8CHP (電源電圧： $V_{CC}=5V$)



3．プログラマブル入出力ポート (CMOS出力) 標準特性：P5～P8

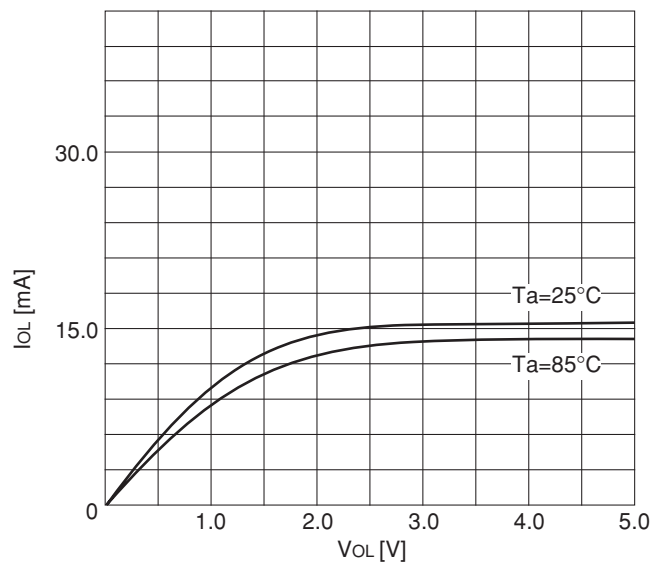
(1) Pチャンネル側の I_{OH} - V_{OH} 特性

M37903F8CHP (電源電圧： $V_{CC}=5V$)



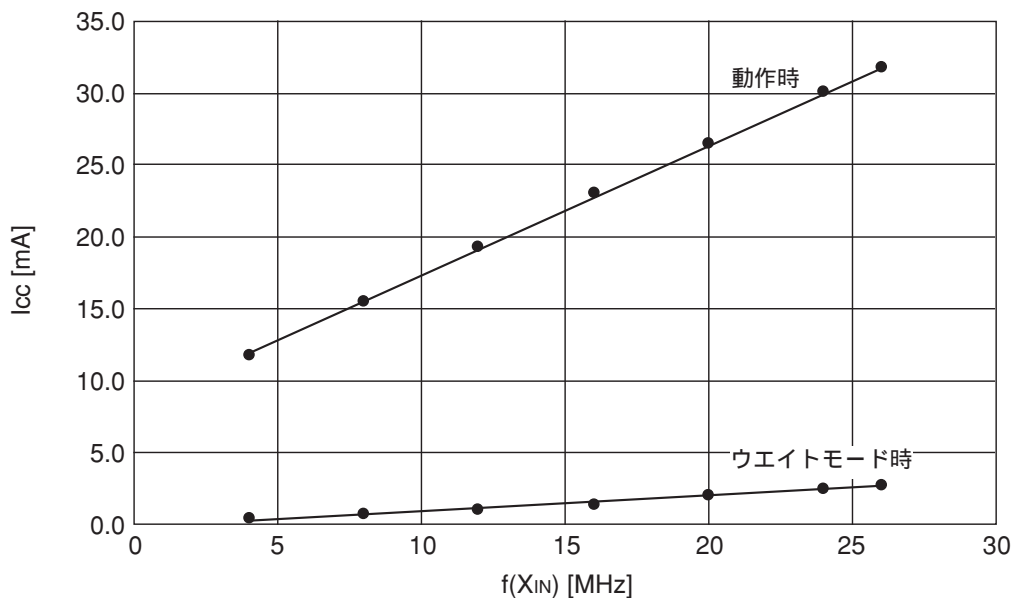
(2) Nチャンネル側の I_{OL} - V_{OL} 特性

M37903F8CHP (電源電圧： $V_{CC}=5V$)



4． I_{CC} - $f(X_{IN})$ 標準特性

M37903F8CHP



測定条件

- $V_{CC} = 5.0V$
- $T_a = 25$
- $f(X_{IN})$: 方形波入力
- シングルチップモード
- CPU及び周辺装置動作
- クロック外部入力選択
ビット = 1の場合

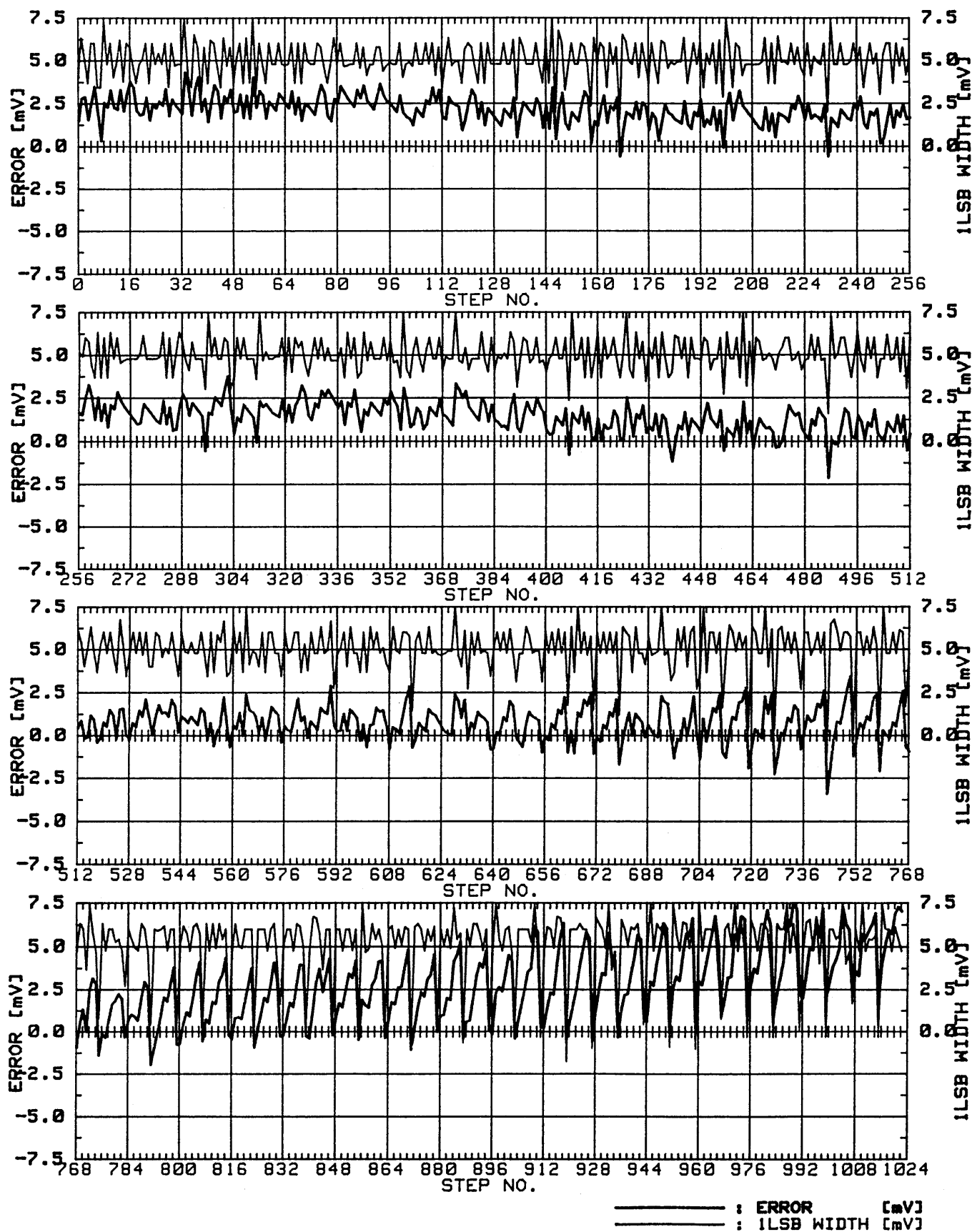
5．A-D変換器標準特性

グラフ下側のラインは絶対精度誤差を示します。誤差は出力コードが変化する点の理想値からのずれで表示しています。例えば、M37903F8CHPの出力コードの159 160への変化は、理想的には797.5mVの点で起こりますが、測定値は+ 1.3mVです。したがって、 $797.5 + 1.3 = 798.8\text{mV}$ が測定された変化点です。

グラフ上側のラインは、出力コードが同一である入力電圧の幅を示します。例えば出力コードが56である入力電圧の幅は6.2mVですので、微分非直線性誤差は $6.2 - 5 = 1.2\text{mV}$ (0.24LSB)です。

M37903F8CHP

(測定条件 $V_{CC}=5.0V$ 、 $V_{REF}=5.12V$ 、 $f_{sys}=26MHz$ 、 $T_a=25$ 、 $AD=f_{sys}$ の2分周)



付録11．ツール使用上の注意

1．M37903デバッグ時の制限事項

M37903には専用のポッドプロブがないため、7902グループのポットプロブ(M37902T-PRB)を使用してデバッグしてください。このとき、表3に示す制限事項に注意してください。

図13にM37903デバッグ時のシステム構成を示します。

表3 M37903デバッグ時の制限事項

項目	内容	対策
CPU書き換えモード	コマンド及びブロック分割が異なるため、CPU書き換えを実行するプログラムはデバッグできません。	実チップにて評価してください。 デバッガではCPU書き換えを実行するプログラムを動作させないでください。
CDSEL端子 / 分周機能 / XIN入力レベル切り替え	CDSEL端子の入力レベルでは制御できません。	ポットプロブのスイッチで設定してください(表4参照)。

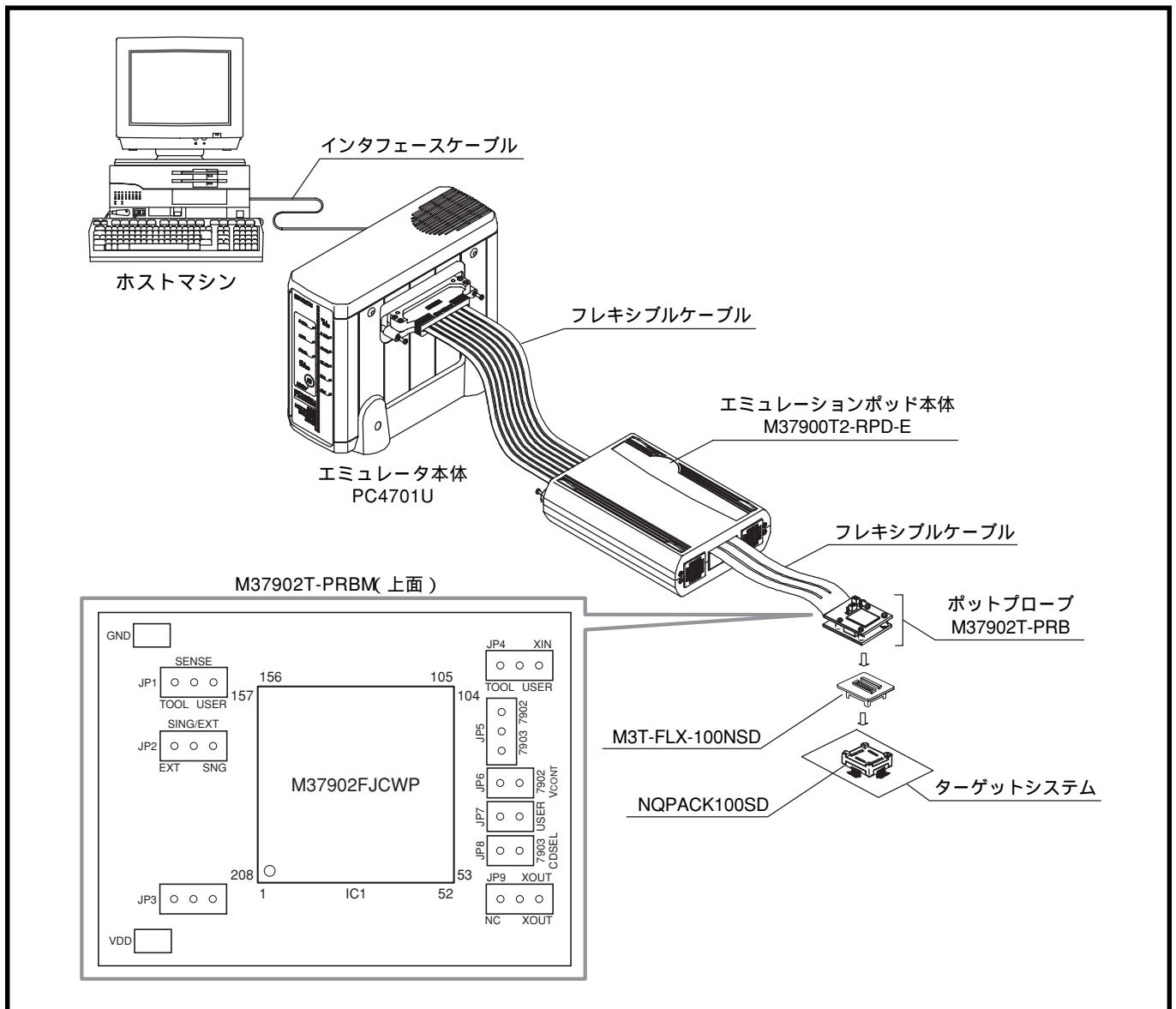
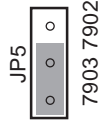
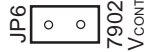
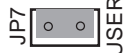
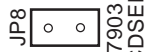

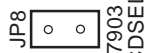
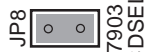


図13 M37903デバッグ時のシステム構成

表4 M37903デバッグ時のポッドプロンプスイッチの設定

スイッチ		スイッチの状態	
JP5			
JP6			(M37903デバッグ時は設定不要です)
ユーザーターゲット上の CDSEL端子入力レベルを 有効にする場合	JP7		(接続)
	JP8		(設定不要)
ユーザーターゲットを接続 しない、又はデバッガ側で CDSEL端子の入力レベル を設定する場合	JP7		(NC)
	JP8		(NC) CDSEL端子は開放
			(接続) CDSEL端子の入力レベルはV _{SS}

2 . M37903S4CHP

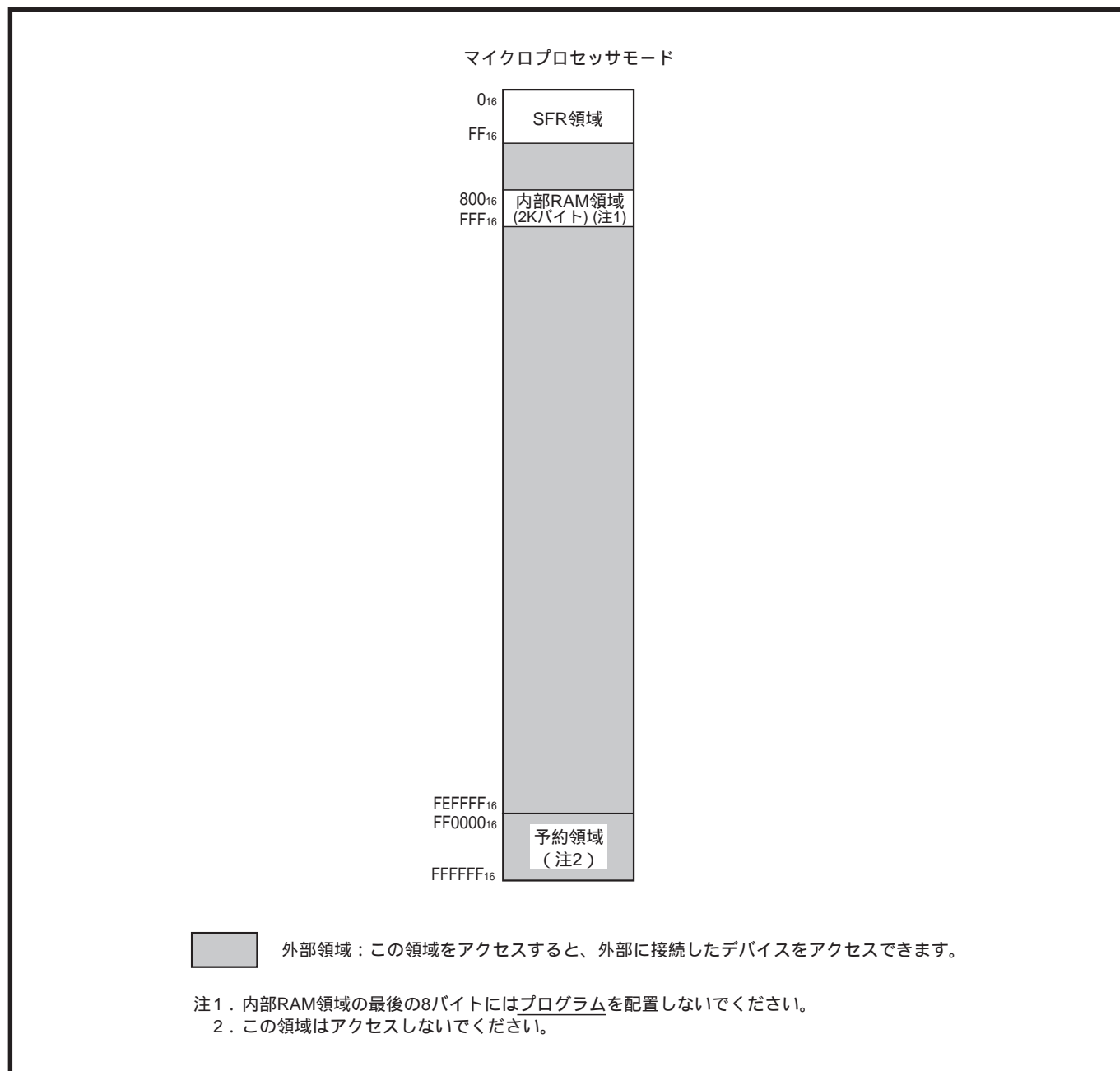


図15 M37903S4CHPのメモリ配置

Memo

三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
7903グループ

2003年2月10日 Rev.1.1発行

発行所 三菱電機株式会社半導体営業統括部
〒100-8310 東京都千代田区丸の内2-2-3 三菱電機ビル
TEL 03-3218-9450

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製
することを堅くお断りします。

© 2003 MITSUBISHI ELECTRIC CORPORATION

7903 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

改訂履歴

7903グループユーザズマニュアル

Rev.	発行日	改訂内容		
		ページ	ポイント	
1.0	010629			<p>PDFファイル初版発行</p> <p>下記にリファレンスマニュアル(rev.2.0)からの変更箇所を示します。 ただし、表現のみの変更、及び7902から7903への型名変更・章番号違いなど内容に影響のない変更は除きます。</p> <ul style="list-style-type: none"> ・UM：ユーザズマニュアル、RM：リファレンスマニュアルの該当箇所です。 ・RM欄の(-)はリファレンスマニュアル(rev.2.0)未掲載を示します。 ・修正・変更箇所の分類は次の通りです。 <ul style="list-style-type: none"> : 7903グループで修正・変更あり(7902グループは修正・変更なし) : 7902グループで修正・変更あり(7903グループも該当) : 7902グループで修正・変更あり(7903グループも該当するが内容が異なる)
		UM	RM	
		2-3	-	2.1.1(1)、2.1.2：一部削除(ソフトウェアマニュアルと統一)
		2-7	-	図2.1.5：プロセッサモードレジスタ(5F ₁₆ 番地)の「注6．このビットの内容を変更するプログラムは、内部領域に配置してください。」を削除し、旧「注7」を「注6」に変更
		2-24	添付3	図2.5.2：CDSEL端子の入力矢印追加(上下図とも)
		3-9	-	図3.2.2：プロセッサモードレジスタ(5F ₁₆ 番地)の「注6．このビットの内容を変更するプログラムは、内部領域に配置してください。」を削除し、旧「注7」を「注6」に変更
		3-10	-	最終行の後：「このビットの内容を変更するプログラムは、内部領域に配置してください。」を削除
		4-5	添付9	表4.2.1：MD1 = V _{SS} 、MD0 = V _{CC} 時の端子名及び端子の状態を修正
		4-9	-	図4.3.4：5F ₁₆ のアクセス特性のビット1の「RW」を「(注7)」に変更し、「注7．リセット後、一度だけ内容を変更できます(ソフトウェアの途中で切り替えないでください)。」を追加
		4-13	-	図4.4.1(2)：CS ₀ の波形に「不定」部分を追加
		5-2	-	5.1.1：最終行の後に「発振子を接続する場合は、クロック外部入力選択ビット(62 ₁₆ 番地のビット1)を“ 0 ”にしてください。」を追加
		5-7	添付17	5.1.2：2行目の続きに「また、クロック外部入力選択ビット(62 ₁₆ 番地のビット1)を“ 1 ”にしてください。」を追加
		5-8	添付18	図5.2.4：特殊機能選択レジスタ(62 ₁₆ 番地)に「注2．外部で生成されたクロックをX _{IN} 端子に入力する場合は、このビットを“ 1 ”にしてください。」を追加
		10-18	-	(1)：3行目の後に「発振子を接続する場合は“ 0 ”に、外部で生成されたクロックをX _{IN} 端子に入力する場合は“ 1 ”にしてください。」を追加
		10-19	添付32	図10.5.1：下のタイマBiモードレジスタ(5B ₁₆ ～5D ₁₆ 番地)の注の1文目を「...“ 1 ”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“ 0 ”になります。」に変更
		10-20	-	図10.5.2：注の3文目を「...“ 1 ”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、このフラグは“ 0 ”になります。」に変更
		10-22	-	(2)：6行目を「...“ 1 ”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“ 0 ”になります。」に修正
		12-13	-	【パルス周期測定 / パルス幅測定モード使用上の注意】2：1行目終わり～2行目を「...“ 1 ”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“ 0 ”になります。」に修正
				9行目：「...反転したデータが、送信データとして...」を「...反転したデータが、受信データとして...」に修正

Rev.	発行日	改訂内容		
		ページ	ポイント	
1.0	010629	13-6	-	表13.2.1：分解能8/10ビットモード時の変換時間を小数点以下2桁から3桁に変更
		15-2	添付41	図15.1.1：図中の「RESET --」を「リセット」に修正
		15-6		15.2.3(3)1行目：「解除直後から」を「fX _{IN} の19サイクル後に」に修正
		16-4	添付45	図16.2.2：特殊機能選択レジスタ(62 ₁₆ 番地)に「注2．外部で生成されたクロックをX _{IN} 端子に入力する場合は、このビットを“1”にしてください。」を追加
		16-5	添付46	(2)：3行目の後に「発振子を接続する場合は“0”に、外部で生成されたクロックをX _{IN} 端子に入力する場合は“1”にしてください。」を追加
		17-3	添付53	図17.1.1：特殊機能選択レジスタ(62 ₁₆ 番地)に「注2．外部で生成されたクロックをX _{IN} 端子に入力する場合は、このビットを“1”にしてください。」を追加
		17-4	添付54	(1)：3行目の後に「発振子を接続する場合は“0”に、外部で生成されたクロックをX _{IN} 端子に入力する場合は“1”にしてください。」を追加
		17-9	添付57	17.4 4～5行目：「また、割り込み要求発生によるストップモード解除時、システムクロック選択ビット(BG ₄₆ 番地のビット5)=0の場合は監視タイマを使用しないため、ストップモード解除直後から命令を実行できません。システムクロック選択ビット=1の場合は監視タイマを使用します。」に修正(一部削除)
		18-11	添付67	18.2.3：8行目の後を「特殊機能選択レジスタ(64 ₁₆ 番地)で監視タイマを禁止していない場合は、CPU書き換えモード中も、監視タイマレジスタには定期的書き込みを行い...」に変更(下線部追加)
		18-16	添付72	18.2.6：直流的電気的特性の「リード/ライト時」の行を削除し、プログラム時の記号を「lcc3」から「lcc1」に、イレーズ時の記号を「lcc4」から「lcc2」に変更
		18-17	添付73	【CPU書き換えモード使用上の注意】：5行目の後を「特殊機能選択レジスタ2(64 ₁₆ 番地)で監視タイマを禁止していない場合は、CPU書き換えモード中も、監視タイマレジスタには定期的書き込みを行い、監視タイマ割り込みが発生しないようにしてください。」に変更(下線部追加)
		18-26	第2章	- 「CPU書き換えモード応用例」を18.5として掲載(内容変更なし)
		第19章		- 付録として、制御レジスタ一覧以外を新規に追加
		19-4	-	5F ₁₆ のアクセス特性のビット1の「RW」を「(注7)」に変更し、「注7．リセット後、一度だけ内容を変更できます(ソフトウェアの途中で切り替えしないでください)」を追加
		19-24	付録-18	パルス周期測定/パルス幅測定モードのタイマBiモードレジスタ(5B ₁₆ ～5D ₁₆ 番地)：注の1文目を「...“1”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“0”になります。」に変更
		19-26	付録-20	プロセッサモードレジスタ1(5F ₁₆ 番地)：「注6．このビットの内容を変更するプログラムは、内部領域に配置してください。」を削除し、旧「注7」を「注6」に変更
		19-28	付録-22	特殊機能選択レジスタ(62 ₁₆ 番地)：「注2．外部で生成されたクロックをX _{IN} 端子に入力する場合は、このビットを“1”にしてください。」を追加
		19-68,69	-	JSR/JSRL：動作欄に一部追加(「LDAB」は19-70/19-71ページに移動) <ul style="list-style-type: none"> ・「ABSのとき」の次に「PC PC+3」を追加 ・「ABLのとき」の次に「PC PC+4」を追加 ・「(ABS, X)のとき」の次に「PC PC+3」を追加
		19-132	第3章	- 「ツール使用上の注意」を付録11として掲載
3-2		・「M39703デバッグ時の制限事項(表3)の内容を変更		
3-3		・「M37902T-RPD-Eを使用してデバッグする場合」を削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.1	030210		PDFファイル改訂版発行 改訂箇所・内容は下記を参照してください(表現のみの変更は除きます)。 12-19 (1) : 2行目「...受信許可ビットを“1”にする、又はUARTi受信バッファレジスタの下位バイトを読み出すと...」(下線部削除) (2) : 2行目「...受信許可ビットを“1”にする、又はUARTi受信バッファレジスタの下位バイトを読み出すと...」(下線部削除) 19-113 「 $t_{w(H)}$ (X_{IN} 入力クロック分周選択ビット=0時)」の最小値 : 「 $0.5t_{c(in)}-6$ 」を「 $0.5t_{c(in)}-2$ 」に変更 「 $t_{w(H)}$ (X_{IN} 入力クロック分周選択ビット=1時)」の最小値 : 「 $0.5t_{c(in)}-2$ 」を「 $0.5t_{c(in)}-6$ 」に変更 「 $t_{w(L)}$ (X_{IN} 入力クロック分周選択ビット=0時)」の最小値 : 「 $0.5t_{c(in)}-6.8$ 」を「 $0.5t_{c(in)}-3.4$ 」に変更 「 $t_{w(L)}$ (X_{IN} 入力クロック分周選択ビット=1時)」の最小値 : 「 $0.5t_{c(in)}-3.4$ 」を「 $0.5t_{c(in)}-6.8$ 」に変更 「 t (X_{IN} 入力クロック分周選択ビット=0時)」の最大値 : 「6.4」を「2.7」に変更 「 t (X_{IN} 入力クロック分周選択ビット=1時)」の最大値 : 「2.7」を「6.4」に変更 「 t (X_{IN} 入力クロック分周選択ビット=0時)」の最大値 : 「6.4」を「2.7」に変更 「 t (X_{IN} 入力クロック分周選択ビット=1時)」の最大値 : 「2.7」を「6.4」に変更 19-118 「タイミング必要条件(指定のない場合は、 $V_{cc}=5V \pm 0.5V$ 、 $V_{ss}=0V$ 、 $T_a=-20 \sim 85$ 、 $f(f_{sys})=26MHz$)」に修正(一部削除) 「スイッチング特性(指定のない場合は、 $V_{cc}=5V \pm 0.5V$ 、 $V_{ss}=0V$ 、 $T_a=-20 \sim 85$ 、 $f(f_{sys})=26MHz$)」に修正(一部削除) 19-121 「スイッチング特性(指定のない場合は、 $V_{cc}=5V \pm 0.5V$ 、 $V_{ss}=0V$ 、 $T_a=-20 \sim 85$ 、 $f(f_{sys})=26MHz$)」に修正(一部削除) 19-122 「スイッチング特性(指定のない場合は、 $V_{cc}=5V \pm 0.5V$ 、 $V_{ss}=0V$ 、 $T_a=-20 \sim 85$ 、 $f(f_{sys})=26MHz$)」に修正(一部削除) 19-132 表3 : 「CDESEL端子 / 分周機能 / X_{IN} 入力レベル切り替え」の内容「CDESEL端子の...」を「CDESEL端子の...」に変更