

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

78K0/KB1

8ビット・シングルチップ・マイクロコンピュータ

| | | | |
|------------|---------------|----------------|---------------|
| μPD780101 | μPD780101(A) | μPD780101(A1) | μPD780101(A2) |
| μPD780102 | μPD780102(A) | μPD780102(A1) | μPD780102(A2) |
| μPD780103 | μPD780103(A) | μPD780103(A1) | μPD780103(A2) |
| μPD78F0103 | μPD78F0103(A) | μPD78F0103(A1) | |

〔メモ〕

目次要約

| | | | |
|------|--|-----|-----|
| 第1章 | 概 説 | ... | 17 |
| 第2章 | 端子機能 | ... | 32 |
| 第3章 | CPUアーキテクチャ | ... | 40 |
| 第4章 | ポート機能 | ... | 72 |
| 第5章 | クロック発生回路 | ... | 90 |
| 第6章 | 16ビット・タイマ/イベント・カウンタ00 | ... | 111 |
| 第7章 | 8ビット・タイマ/イベント・カウンタ50 | ... | 150 |
| 第8章 | 8ビット・タイマH0, H1 | ... | 165 |
| 第9章 | ウォッチドッグ・タイマ | ... | 182 |
| 第10章 | A/Dコンバータ | ... | 193 |
| 第11章 | シリアル・インタフェースUART0 (μ PD780102, 780103, 78F0103のみ) | ... | 216 |
| 第12章 | シリアル・インタフェースUART6 | ... | 238 |
| 第13章 | シリアル・インタフェースCSI10 | ... | 280 |
| 第14章 | 割り込み機能 | ... | 295 |
| 第15章 | スタンバイ機能 | ... | 312 |
| 第16章 | リセット機能 | ... | 324 |
| 第17章 | クロック・モニタ | ... | 331 |
| 第18章 | パワーオン・クリア回路 | ... | 338 |
| 第19章 | 低電圧検出回路 | ... | 342 |
| 第20章 | マスク・オプション | ... | 354 |
| 第21章 | μ PD78F0103 | ... | 355 |
| 第22章 | 命令セットの概要 | ... | 374 |
| 第23章 | 電気的特性 (標準品, (A)水準品) (拡張規格品) | ... | 388 |
| 第24章 | 電気的特性 (標準品, (A)水準品) (従来規格品) | ... | 408 |
| 第25章 | 電気的特性 ((A1)水準品) | ... | 425 |
| 第26章 | 電気的特性 ((A2)水準品) | ... | 439 |
| 第27章 | 外形図 | ... | 449 |
| 第28章 | 半田付け推奨条件 | ... | 450 |
| 第29章 | ウェイトに関する注意事項 | ... | 452 |
| 付録A | 開発ツール | ... | 455 |
| 付録B | ターゲット・システム設計上の注意 | ... | 465 |
| 付録C | レジスタ索引 | ... | 468 |
| 付録D | 注意事項一覧 | ... | 474 |
| 付録E | 改版履歴 | ... | 490 |

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F0103, 78F0103(A), 78F0103(A1)

ユーザ判定品 : μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A),

780101(A1), 780102(A1), 780103(A1), 780101(A2), 780102(A2), 780103(A2)

- 本資料に記載されている内容は2004年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

はじめに

対象者 このマニュアルは78K0/KB1の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・78K0/KB1 : μ PD780101, 780102, 780103, 78F0103, 780101(A),
780102(A), 780103(A), 78F0103(A), 780101(A1), 780102(A1),
780103(A1), 78F0103(A1), 780101(A2), 780102(A2), 780103(A2)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0/KB1のマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

| 78K0/KB1 ユーザーズ・マニュアル | 78K/0シリーズ ユーザーズ・マニュアル 命令編 |
|-------------------------|---------------------------------|
| 端子機能 | CPU機能 |
| 内部ブロック機能 | 命令セット |
| 割り込み | 命令の説明 |
| その他の内蔵周辺機能 | |
| 電気的特性 | |

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

(A) 水準品, (A1) 水準品, (A2) 水準品のマニュアルとしてお使いになる方へ
標準製品と(A) 水準品, (A1) 水準品, (A2) 水準品は品質水準のみが異なります。(A) 水準品, (A1) 水準品, (A2) 水準品については品名を次のように読み替えてください。

- ・ μ PD780101 μ PD780101(A), 780101(A1), 780101(A2)
- ・ μ PD780102 μ PD780102(A), 780102(A1), 780102(A2)
- ・ μ PD780103 μ PD780103(A), 780103(A1), 780103(A2)
- ・ μ PD78F0103 μ PD78F0103(A), 78F0103(A1)

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

★ ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K0シリーズの命令機能の詳細を知りたいとき

別冊の78K0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部分および回路について、その品質水準についてご検討のうえご使用ください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数... xxx または xxx B
10進数... xxx
16進数... xxx H

★ 78K0/KB1と78K0/KB1+の違い

| 項 目 | | シリーズ名 | 78K0/KB1 | 78K0/KB1+ |
|-------------|---------------|-------|---|-------------------------------------|
| マスクROM製品 | | | あり | なし |
| フラッシュ・メモリ製品 | 電源 | | 二電源 | 単電源 |
| | セルフ・プログラミング機能 | | なし | あり |
| | オプション・バイト | | なし | Ring-OSC停止可 / 不可を選択 |
| パワーオン・クリア機能 | | | 2.85 V \pm 0.15 V または 3.5 V \pm 0.2 V 選択可 | 2.1 V \pm 0.1 V (固定) ^注 |
| 最小命令実行時間 | | | 0.166 μ s (12 MHz動作時) | 0.125 μ s (16 MHz動作時) |

注 評価後、変更の可能性がります。

★ 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

| 資料名 | 資料番号 | |
|---------------------------|---------|---------|
| | 和文 | 英文 |
| 78K0/KB1 ユーザーズ・マニュアル | このマニュアル | U15836E |
| 78K0/KB1+ ユーザーズ・マニュアル | U16846J | U16846E |
| 78K/0シリーズ ユーザーズ・マニュアル 命令編 | U12326J | U12326E |

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

| 資料名 | 資料番号 | | |
|--------------------------------|-------------------------|---------|---------|
| | 和文 | 英文 | |
| RA78K0 アセンブラ・パッケージ | 操作編 | U16629J | U16629E |
| | 言語編 | U14446J | U14446E |
| | 構造化アセンブリ言語編 | U11789J | U11789E |
| CC78K0 Cコンパイラ | 操作編 | U16613J | U16613E |
| | 言語編 | U14298J | U14298E |
| SM78Kシリーズ Ver.2.52 システム・シミュレータ | 操作編 | U16768J | U16768E |
| | 外部部品ユーザ・オープン・インタフェース仕様編 | U15802J | U15802E |
| ID78K0-NS Ver.2.52 統合ディバッガ | 操作編 | U16488J | U16488E |
| ID78K0 統合ディバッガ EWSベース | レファレンス編 | U11151J | - |
| ID78K0-QB Ver.2.81 統合ディバッガ | 操作編 | U16996J | U16996E |
| PM plus Ver.5.10 | | U16569J | U16569E |

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

| 資料名 | 資料番号 | |
|-------------------------------|---------|---------|
| | 和文 | 英文 |
| IE-78K0-NS インサーキット・エミュレータ | U13731J | U13731E |
| IE-78K0-NS-A インサーキット・エミュレータ | U14889J | U14889E |
| IE-78K0K1-ET インサーキット・エミュレータ | U16604J | U16604E |
| QB-78K0KX1H インサーキット・エミュレータ | U17081J | U17081E |
| IE-780148-NS-EM1 エミュレーション・ボード | 作成予定 | 作成予定 |

フラッシュ・メモリ書き込み用の資料

| 資料名 | 資料番号 | |
|------------------------------------|---------|---------|
| | 和文 | 英文 |
| PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル | U13502J | U13502E |
| PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル | U15260J | U15260E |

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

| 資料名 | 資料番号 | |
|---|---------|---------|
| | 和文 | 英文 |
| SEMICONDUCTOR SELECTION GUIDE -Products and Packages- | X13769X | |
| 半導体デバイス 実装マニュアル | 注 | |
| NEC半導体デバイスの品質水準 | C11531J | C11531E |
| NEC半導体デバイスの信頼性品質管理 | C10983J | C10983E |
| 静電気放電 (ESD) 破壊対策ガイド | C11892J | C11892E |
| 半導体 品質 / 信頼性ハンドブック | C12769J | - |
| マイクロコンピュータ関連製品ガイド 社外メーカ編 | U11416J | - |

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 17

- ★ 1.1 拡張規格品と従来規格品について（標準品，（A）水準品のみ） ... 17
- 1.2 特 徴 ... 18
- 1.3 応用分野 ... 19
- 1.4 オータ情報 ... 20
- 1.5 端子接続図（Top View） ... 22
- 1.6 Kx1シリーズの展開 ... 23
 - ★ 1.6.1 78K0/Kx1, 78K0/Kx1+の製品展開 ... 23
 - ★ 1.6.2 V850ES/Kx1, V850ES/Kx1+の製品展開 ... 26
- 1.7 ブロック図 ... 29
- 1.8 機能概要 ... 30

第2章 端子機能 ... 32

- 2.1 端子機能一覧 ... 32
- 2.2 端子機能の説明 ... 34
 - 2.2.1 P00-P03 (Port 0) ... 34
 - 2.2.2 P10-P17 (Port 1) ... 34
 - 2.2.3 P20-P23 (Port 2) ... 35
 - 2.2.4 P30-P33 (Port 3) ... 36
 - 2.2.5 P120 (Port 12) ... 36
 - 2.2.6 P130 (Port 13) ... 36
 - 2.2.7 AVREF ... 36
 - 2.2.8 AVSS ... 36
 - 2.2.9 RESET ... 36
 - 2.2.10 X1, X2 ... 37
 - 2.2.11 VDD ... 37
 - 2.2.12 VSS ... 37
 - 2.2.13 VPP (フラッシュ・メモリ製品のみ) ... 37
 - 2.2.14 IC (マスクROM製品のみ) ... 37
- 2.3 端子の入出力回路と未使用端子の処理 ... 38

第3章 CPUアーキテクチャ ... 40

- 3.1 メモリ空間 ... 40
 - 3.1.1 内部プログラム・メモリ空間 ... 45
 - 3.1.2 内部データ・メモリ空間 ... 46
 - 3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域 ... 46
 - 3.1.4 データ・メモリ・アドレッシング ... 47
- 3.2 プロセッサ・レジスタ ... 51
 - 3.2.1 制御レジスタ ... 51
 - 3.2.2 汎用レジスタ ... 54
 - 3.2.3 特殊機能レジスタ（SFR：Special Function Register） ... 56
- 3.3 命令アドレスのアドレッシング ... 60

- 3.3.1 レラティブ・アドレッシング ... 60
- 3.3.2 イミディエト・アドレッシング ... 61
- 3.3.3 テーブル・インダイレクト・アドレッシング ... 62
- 3.3.4 レジスタ・アドレッシング ... 62
- 3.4 **オペランド・アドレスのアドレッシング** ... 63
 - 3.4.1 インプライド・アドレッシング ... 63
 - 3.4.2 レジスタ・アドレッシング ... 64
 - 3.4.3 ダイレクト・アドレッシング ... 65
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 66
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 67
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 68
 - 3.4.7 ベースト・アドレッシング ... 69
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 70
 - 3.4.9 スタック・アドレッシング ... 71

第4章 ポート機能 ... 72

- 4.1 **ポートの機能** ... 72
- 4.2 **ポートの構成** ... 73
 - 4.2.1 ポート0 ... 74
 - 4.2.2 ポート1 ... 77
 - 4.2.3 ポート2 ... 82
 - 4.2.4 ポート3 ... 83
 - 4.2.5 ポート12 ... 84
 - 4.2.6 ポート13 ... 85
- 4.3 **ポート機能を制御するレジスタ** ... 85
- 4.4 **ポート機能の動作** ... 89
 - 4.4.1 入出力ポートへの書き込み ... 89
 - 4.4.2 入出力ポートからの読み出し ... 89
 - 4.4.3 入出力ポートでの演算 ... 89

第5章 クロック発生回路 ... 90

- 5.1 **クロック発生回路の機能** ... 90
- 5.2 **クロック発生回路の構成** ... 90
- 5.3 **クロック発生回路を制御するレジスタ** ... 92
- 5.4 **システム・クロック発振回路** ... 98
 - 5.4.1 X1発振回路 ... 98
 - 5.4.2 Ring-OSC発振回路 ... 100
 - 5.4.3 プリスケーラ ... 100
- 5.5 **クロック発生回路の動作** ... 101
- 5.6 **Ring-OSCクロックとX1入力クロックの切り替えに要する時間** ... 106
- 5.7 **CPUクロックの切り替えに要する時間** ... 107
- 5.8 **クロック切り替えのフロー・チャートとレジスタ設定** ... 108
 - 5.8.1 Ring-OSCクロックからX1入力クロックへの切り替え ... 108
 - 5.8.2 X1入力クロックからRing-OSCクロックへの切り替え ... 109
 - 5.8.3 レジスタ設定 ... 110

| | | | |
|------------|---|-----|-----|
| 第6章 | 16ビット・タイマ/イベント・カウンタ00 | ... | 111 |
| 6.1 | 16ビット・タイマ/イベント・カウンタ00の機能 | ... | 111 |
| 6.2 | 16ビット・タイマ/イベント・カウンタ00の構成 | ... | 112 |
| 6.3 | 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ | ... | 116 |
| 6.4 | 16ビット・タイマ/イベント・カウンタ00の動作 | ... | 122 |
| 6.4.1 | インターバル・タイマとしての動作 | ... | 122 |
| 6.4.2 | PPG出力としての動作 | ... | 125 |
| 6.4.3 | パルス幅測定としての動作 | ... | 128 |
| 6.4.4 | 外部イベント・カウンタとしての動作 | ... | 136 |
| 6.4.5 | 方形波出力としての動作 | ... | 139 |
| 6.4.6 | ワンショット・パルス出力としての動作 | ... | 141 |
| 6.5 | 16ビット・タイマ/イベント・カウンタ00の注意事項 | ... | 146 |
| 第7章 | 8ビット・タイマ/イベント・カウンタ50 | ... | 150 |
| 7.1 | 8ビット・タイマ/イベント・カウンタ50の機能 | ... | 150 |
| 7.2 | 8ビット・タイマ/イベント・カウンタ50の構成 | ... | 151 |
| 7.3 | 8ビット・タイマ/イベント・カウンタ50を制御するレジスタ | ... | 153 |
| 7.4 | 8ビット・タイマ/イベント・カウンタ50の動作 | ... | 156 |
| 7.4.1 | インターバル・タイマとしての動作 | ... | 156 |
| 7.4.2 | 外部イベント・カウンタとしての動作 | ... | 159 |
| 7.4.3 | 方形波出力としての動作 | ... | 160 |
| 7.4.4 | PWM出力としての動作 | ... | 161 |
| 7.5 | 8ビット・タイマ/イベント・カウンタ50の注意事項 | ... | 164 |
| 第8章 | 8ビット・タイマH0, H1 | ... | 165 |
| 8.1 | 8ビット・タイマH0, H1の機能 | ... | 165 |
| 8.2 | 8ビット・タイマH0, H1の構成 | ... | 165 |
| 8.3 | 8ビット・タイマH0, H1を制御するレジスタ | ... | 169 |
| 8.4 | 8ビット・タイマH0, H1の動作 | ... | 173 |
| 8.4.1 | インターバル・タイマ/方形波出力としての動作 | ... | 173 |
| 8.4.2 | PWM出力モードとしての動作 | ... | 176 |
| 第9章 | ウォッチドッグ・タイマ | ... | 182 |
| 9.1 | ウォッチドッグ・タイマの機能 | ... | 182 |
| 9.2 | ウォッチドッグ・タイマの構成 | ... | 184 |
| 9.3 | ウォッチドッグ・タイマを制御するレジスタ | ... | 185 |
| 9.4 | ウォッチドッグ・タイマの動作 | ... | 188 |
| 9.4.1 | マスク・オプションで「Ring-OSCは停止不可」を選択した場合のウォッチドッグ・タイマ動作 | ... | 188 |
| 9.4.2 | マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作 | ... | 189 |
| 9.4.3 | STOPモード時の動作(マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合) | ... | 190 |
| 9.4.4 | HALTモード時の動作(マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合) | ... | 192 |

| | | | |
|-------------|--|-----|-----|
| 第10章 | A/Dコンバータ | ... | 193 |
| 10.1 | A/Dコンバータの機能 | ... | 193 |
| 10.2 | A/Dコンバータの構成 | ... | 195 |
| 10.3 | A/Dコンバータで使用するレジスタ | ... | 197 |
| 10.4 | A/Dコンバータの動作 | ... | 201 |
| 10.4.1 | A/Dコンバータの基本動作 | ... | 201 |
| 10.4.2 | 入力電圧と変換結果 | ... | 203 |
| 10.4.3 | A/Dコンバータの動作モード | ... | 204 |
| 10.5 | A/Dコンバータ特性表の読み方 | ... | 208 |
| 10.6 | A/Dコンバータの注意事項 | ... | 211 |
| | | | |
| 第11章 | シリアル・インタフェースUART0 (μPD780102, 780103, 78F0103のみ) | ... | 216 |
| 11.1 | シリアル・インタフェースUART0の機能 | ... | 216 |
| 11.2 | シリアル・インタフェースUART0の構成 | ... | 217 |
| 11.3 | シリアル・インタフェースUART0を制御するレジスタ | ... | 220 |
| 11.4 | シリアル・インタフェースUART0の動作 | ... | 225 |
| 11.4.1 | 動作停止モード | ... | 225 |
| 11.4.2 | アシンクロナス・シリアル・インタフェース (UART) モード | ... | 226 |
| 11.4.3 | 専用ポー・レート・ジェネレータ | ... | 232 |
| | | | |
| 第12章 | シリアル・インタフェースUART6 | ... | 238 |
| 12.1 | シリアル・インタフェースUART6の機能 | ... | 238 |
| 12.2 | シリアル・インタフェースUART6の構成 | ... | 243 |
| 12.3 | シリアル・インタフェースUART6を制御するレジスタ | ... | 246 |
| 12.4 | シリアル・インタフェースUART6の動作 | ... | 256 |
| 12.4.1 | 動作停止モード | ... | 256 |
| 12.4.2 | アシンクロナス・シリアル・インタフェース (UART) モード | ... | 257 |
| 12.4.3 | 専用ポー・レート・ジェネレータ | ... | 273 |
| | | | |
| 第13章 | シリアル・インタフェースCSI10 | ... | 280 |
| 13.1 | シリアル・インタフェースCSI10の機能 | ... | 280 |
| 13.2 | シリアル・インタフェースCSI10の構成 | ... | 280 |
| 13.3 | シリアル・インタフェースCSI10を制御するレジスタ | ... | 282 |
| 13.4 | シリアル・インタフェースCSI10の動作 | ... | 286 |
| 13.4.1 | 動作停止モード | ... | 286 |
| 13.4.2 | 3線式シリアルI/Oモード | ... | 287 |
| | | | |
| 第14章 | 割り込み機能 | ... | 295 |
| 14.1 | 割り込み機能の種類 | ... | 295 |
| 14.2 | 割り込み要因と構成 | ... | 295 |
| 14.3 | 割り込み機能を制御するレジスタ | ... | 298 |
| 14.4 | 割り込み処理動作 | ... | 305 |
| 14.4.1 | マスカブル割り込み要求の受け付け動作 | ... | 305 |
| 14.4.2 | ソフトウェア割り込み要求の受け付け動作 | ... | 308 |
| 14.4.3 | 多重割り込み処理 | ... | 308 |

| | | | |
|-------------|---------------------|-----|-----|
| 14.4.4 | 割り込み要求の保留 | ... | 311 |
| 第15章 | スタンバイ機能 | ... | 312 |
| 15.1 | スタンバイ機能と構成 | ... | 312 |
| 15.1.1 | スタンバイ機能 | ... | 312 |
| 15.1.2 | スタンバイ機能を制御するレジスタ | ... | 314 |
| 15.2 | スタンバイ機能の動作 | ... | 317 |
| 15.2.1 | HALTモード | ... | 317 |
| 15.2.2 | STOPモード | ... | 320 |
| 第16章 | リセット機能 | ... | 324 |
| 16.1 | リセット要因を確認するレジスタ | ... | 330 |
| 第17章 | クロック・モニタ | ... | 331 |
| 17.1 | クロック・モニタの機能 | ... | 331 |
| 17.2 | クロック・モニタの構成 | ... | 331 |
| 17.3 | クロック・モニタを制御するレジスタ | ... | 332 |
| 17.4 | クロック・モニタの動作 | ... | 333 |
| 第18章 | パワーオン・クリア回路 | ... | 338 |
| 18.1 | パワーオン・クリア回路の機能 | ... | 338 |
| 18.2 | パワーオン・クリア回路の構成 | ... | 339 |
| 18.3 | パワーオン・クリア回路の動作 | ... | 339 |
| 18.4 | パワーオン・クリア回路の注意事項 | ... | 340 |
| 第19章 | 低電圧検出回路 | ... | 342 |
| 19.1 | 低電圧検出回路の機能 | ... | 342 |
| 19.2 | 低電圧検出回路の構成 | ... | 343 |
| 19.3 | 低電圧検出回路を制御するレジスタ | ... | 343 |
| 19.4 | 低電圧検出回路の動作 | ... | 346 |
| 19.5 | 低電圧検出回路の注意事項 | ... | 350 |
| 第20章 | マスク・オプション | ... | 354 |
| 第21章 | μPD78F0103 | ... | 355 |
| 21.1 | メモリ・サイズ切り替えレジスタ | ... | 356 |
| 21.2 | フラッシュ・ライターによる書き込み方法 | ... | 357 |
| 21.3 | プログラミング環境 | ... | 364 |
| 21.4 | 通信方式 | ... | 364 |
| 21.5 | オンボード上の端子処理 | ... | 368 |
| 21.5.1 | V _{PP} 端子 | ... | 368 |
| 21.5.2 | シリアル・インタフェース端子 | ... | 368 |
| 21.5.3 | RESET端子 | ... | 370 |
| 21.5.4 | ポート端子 | ... | 370 |
| 21.5.5 | その他の信号端子 | ... | 370 |
| 21.5.6 | 電源 | ... | 370 |

| | | | |
|-------------|---|-----|-----|
| 21.6 | プログラミング方法 | ... | 371 |
| 21.6.1 | フラッシュ・メモリ制御 | ... | 371 |
| 21.6.2 | フラッシュ・メモリ・プログラミング・モード | ... | 371 |
| 21.6.3 | 通信方式の選択 | ... | 372 |
| 21.6.4 | 通信コマンド | ... | 372 |
| 第22章 | 命令セットの概要 | ... | 374 |
| 22.1 | 凡例 | ... | 374 |
| 22.1.1 | オペランドの表現形式と記述方法 | ... | 374 |
| 22.1.2 | オペレーション欄の説明 | ... | 375 |
| 22.1.3 | フラグ動作欄の説明 | ... | 375 |
| 22.2 | オペレーション一覧 | ... | 376 |
| 22.3 | アドレッシング別命令一覧 | ... | 384 |
| ★ | 第23章 電気的特性（標準品，（A）水準品）（拡張規格品） | ... | 388 |
| | 第24章 電気的特性（標準品，（A）水準品）（従来規格品） | ... | 408 |
| | 第25章 電気的特性（（A1）水準品） | ... | 425 |
| | 第26章 電気的特性（（A2）水準品） | ... | 439 |
| | 第27章 外形図 | ... | 449 |
| | 第28章 半田付け推奨条件 | ... | 450 |
| | 第29章 ウェイトに関する注意事項 | ... | 452 |
| 29.1 | ウェイトに関する注意事項 | ... | 452 |
| 29.2 | ウェイトが発生する周辺ハードウェア | ... | 453 |
| 29.3 | ウェイト発生例 | ... | 454 |
| | 付録A 開発ツール | ... | 455 |
| A.1 | ソフトウェア・パッケージ | ... | 459 |
| A.2 | 言語処理用ソフトウェア | ... | 459 |
| A.3 | 制御ソフトウェア | ... | 460 |
| A.4 | フラッシュ・メモリ書き込み用ツール | ... | 460 |
| A.5 | デバッグ用ツール（ハードウェア） | ... | 461 |
| A.5.1 | インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合 | ... | 461 |
| A.5.2 | インサーキット・エミュレータ IE-78K0K1-ETを使用する場合 | ... | 462 |
| ★ | A.5.3 インサーキット・エミュレータ QB-78K0KX1Hを使用する場合 | ... | 463 |
| A.6 | デバッグ用ツール（ソフトウェア） | ... | 464 |
| | 付録B ターゲット・システム設計上の注意 | ... | 465 |
| ★ | B.1 IE-78K0-NS, IE-78K0-NS-A, IE-78K0K1-ETを使用する場合 | ... | 465 |
| ★ | B.2 QB-78K0KX1Hを使用する場合 | ... | 467 |

付録C レジスタ索引 ... 468

C.1 レジスタ索引(50音順) ... 468

C.2 レジスタ索引(アルファベット順) ... 471

★ **付録D 注意事項一覧 ... 474**

付録E 改版履歴 ... 490

E.1 本版で改訂された主な箇所 ... 490

E.2 前版までの改版履歴 ... 492

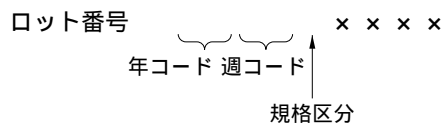
第1章 概 説

★ 1.1 拡張規格品と従来規格品について（標準品，（A）水準品のみ）

拡張規格品，従来規格品とは，それぞれ次の製品を指します。

- 拡張規格品 ... 規格区分^注が「E」以降の製品
- ・ 2004年3月中旬以降受注分のマスクROM製品
 - ・ 2004年7月中旬以降受注分のフラッシュ・メモリ製品
- 従来規格品 ... 規格区分^注が「I」または「K」の製品
- ・ 上記拡張規格品に該当しない製品

注 規格区分とは，パッケージ捺印の3段目（ロット番号）にある，左から5桁目のアルファベット表記を指します。



標準品，（A）水準品の拡張規格品と従来規格品では，動作周波数規格が違います。その違いを表1-1に示します。

表1-1 標準品，（A）水準品の拡張規格品と従来規格品との違い

| 保証動作スピード (最小命令実行時間) | 電源電圧 (V _{DD}) | |
|------------------------|-------------------------|---------------------|
| | 従来規格品 (規格区分: 「I」, 「K」) | 拡張規格品 (規格区分: 「E」以降) |
| 12 MHz (0.166 μs) | 使用不可 | 4.0 ~ 5.5 V |
| 10 MHz (0.2 μs) | 4.0 ~ 5.5 V | 3.5 ~ 4.0 V |
| 8.38 MHz (0.238 μs) | 3.3 ~ 4.0 V | 3.0 ~ 3.5 V |
| 5 MHz (0.4 μs) | 2.7 ~ 3.3 V | 2.5 ~ 3.0 V |

注意1. V_{DD} = 2.7 ~ 5.5 V動作時の周辺機能(タイマ, シリアル・インタフェース, A/Dコンバータなど)は，従来どおりのスペックになります。したがって，周辺機能のカウント・クロックまたは基本クロックを選択する場合は，次の条件を満たすように設定してください。

- ・ V_{DD} = 4.0 ~ 5.5 V : カウント・クロックまたは基本クロック 10 MHz
- ・ V_{DD} = 3.3 ~ 4.0 V : カウント・クロックまたは基本クロック 8.38 MHz
- ・ V_{DD} = 2.7 ~ 3.3 V : カウント・クロックまたは基本クロック 5 MHz
- ・ V_{DD} = 2.5 ~ 2.7 V : カウント・クロックまたは基本クロック 2.5 MHz

2. フラッシュ・メモリの書き換えは，従来どおり，f_x = 2 ~ 10 MHz, V_{DD} = 2.7 ~ 5.5 Vの範囲で行ってください。

1.2 特 徴

- ★ 高速 (0.166 μ s : X1入力クロック12 MHz動作時) と低速 (2.666 μ s : X1入力クロック12 MHz動作時) に最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

| 品 名 | 項 目 | プログラム・メモリ (ROM) | | データ・メモリ (内部高速RAM) |
|-----------------|-----------|--------------------|----------------------|----------------------|
| | | | | |
| μ PD780101 | マスクROM | | 8 Kバイト | 512バイト |
| μ PD780102 | | | 16 Kバイト | |
| μ PD780103 | | | 24 Kバイト | |
| μ PD78F0103 | フラッシュ・メモリ | | 24 Kバイト ^注 | |

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量の変更可能。

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

内蔵Ring-OSCによるCPUディフォルト・スタートにより, ショート・スタート・アップが可能

内蔵Ring-OSCによるクロック・モニタ機能内蔵

ウォッチドッグ・タイマ (Ring-OSCクロックで動作可能) 内蔵

I/Oポート : 22本

タイマ : 5チャンネル

シリアル・インタフェース : 2チャンネル

UART (LIN (Local Interconnect Network) -bus対応) : 1チャンネル

CSI1/UART^{注1} : 1チャンネル (μ PD780101のみ, CSI1 : 1チャンネル)

10ビット分解能A/Dコンバータ : 4チャンネル

- ★ 電源電圧 : $V_{DD} = 2.5 \sim 5.5 V^{\text{注}2,3}$ (標準品, (A) 水準品の拡張規格品)

$V_{DD} = 2.7 \sim 5.5 V^{\text{注}2,3}$ (標準品, (A) 水準品の従来規格品)

$V_{DD} = 3.3 \sim 5.5 V^{\text{注}3}$ ((A1) 水準品, (A2) 水準品)

動作周囲温度 : $T_A = -40 \sim +85$ (標準品, (A) 水準品)

$T_A = -40 \sim +105$ ((A1) 水準品のフラッシュ・メモリ製品)

$T_A = -40 \sim +110$ ((A1) 水準品のマスクROM製品)

$T_A = -40 \sim +125$ ((A2) 水準品のマスクROM製品)

注1. 端子を兼用しているため, どちらかを選択して使用します。

- ★ 2. POC回路の検出電圧 (V_{POC}) を $2.85 V \pm 0.15 V$ で使用する場合は, $3.0 \sim 5.5 V$ の電圧範囲で使用してください。
- ★ 3. POC回路の検出電圧 (V_{POC}) を $3.5 V \pm 0.2 V$ で使用する場合は, $3.7 \sim 5.5 V$ の電圧範囲で使用してください。

1.3 応用分野

自動車実装

- ・ Body電装系のシステム制御（パワー・ウインドウ，キーレス・エントリ受信など）
- ・ 制御系のサブマイコン

ホーム・オーディオ，カー・オーディオ

AV機器

PC周辺機器（キーボードなど）

家電製品

- ・ エアコン室外機
- ・ 電子レンジ，炊飯器

産業機器

- ・ ポンプ
- ・ 自動販売機
- ・ FA（Factory Automation）

1.4 オーダ情報

(1) マスクROM製品

| オーダ名称 | パッケージ | 品質水準 |
|-------------------------------|-----------------------------------|------------------|
| μ PD780101MC-x x x -5A4 | 30ピン・プラスチックSSOP(7.62 mm(300)) | 標準 (一般電子機器用) |
| μ PD780102MC-x x x -5A4 | " | " |
| μ PD780103MC-x x x -5A4 | " | " |
| μ PD780101MC (A) -x x x -5A4 | " | 特別 (高信頼度電子機器用) |
| μ PD780102MC (A) -x x x -5A4 | " | " |
| μ PD780103MC (A) -x x x -5A4 | " | " |
| μ PD780101MC (A1) -x x x -5A4 | " | " |
| μ PD780102MC (A1) -x x x -5A4 | " | " |
| μ PD780103MC (A1) -x x x -5A4 | " | " |
| μ PD780101MC (A2) -x x x -5A4 | " | " |
| μ PD780102MC (A2) -x x x -5A4 | " | " |
| μ PD780103MC (A2) -x x x -5A4 | " | " |

(2) フラッシュ・メモリ製品

| オーダ名称 | パッケージ | 品質水準 |
|---------------------------|-----------------------------------|------------------|
| μ PD78F0103M1MC-5A4 | 30ピン・プラスチックSSOP(7.62 mm(300)) | 標準 (一般電子機器用) |
| μ PD78F0103M2MC-5A4 | " | " |
| μ PD78F0103M3MC-5A4 | " | " |
| μ PD78F0103M4MC-5A4 | " | " |
| μ PD78F0103M5MC-5A4 | " | " |
| μ PD78F0103M6MC-5A4 | " | " |
| μ PD78F0103M1MC (A) -5A4 | " | 特別 (高信頼度電子機器用) |
| μ PD78F0103M2MC (A) -5A4 | " | " |
| μ PD78F0103M3MC (A) -5A4 | " | " |
| μ PD78F0103M4MC (A) -5A4 | " | " |
| μ PD78F0103M5MC (A) -5A4 | " | " |
| μ PD78F0103M6MC (A) -5A4 | " | " |
| μ PD78F0103M1MC (A1) -5A4 | " | " |
| μ PD78F0103M2MC (A1) -5A4 | " | " |
| μ PD78F0103M5MC (A1) -5A4 | " | " |
| μ PD78F0103M6MC (A1) -5A4 | " | " |

備考 x x x はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J) をご覧ください。

マスクROM製品(μPD780101, 780102, 780103)にはマスク・オプションがあります。オーダの際に「パワーオン・クリア(POC)回路の使用可/不可」, 「ソフトウェアによりRing-OSC停止可能/停止不可」を選択することができます。

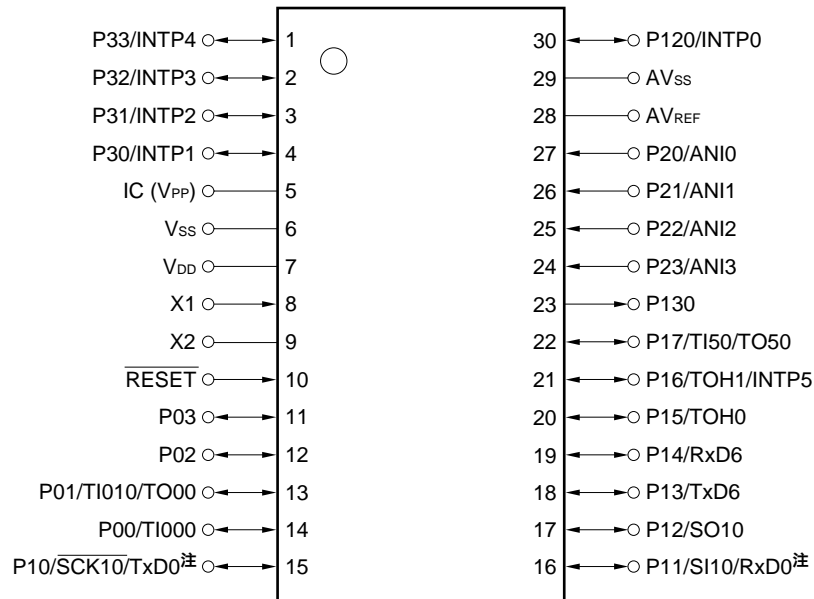
マスクROM製品のマスク・オプションに対応するフラッシュ・メモリ製品は、次のとおりです。

表1-2 マスクROM製品のマスク・オプションと対応するフラッシュ・メモリ製品

| マスク・オプション | | フラッシュ・メモリ製品 (オーダ名称) |
|--|---------------|---|
| POC回路 | Ring-OSC | |
| POC使用不可 | 停止不可 | μPD78F0103M1MC-5A4 μPD78F0103M1MC (A) -5A4 μPD78F0103M1MC (A1) -5A4 |
| | ソフトウェアにより停止可能 | μPD78F0103M2MC-5A4 μPD78F0103M2MC (A) -5A4 μPD78F0103M2MC (A1) -5A4 |
| POC使用 (V _{POC} = 2.85 V ± 0.15 V) | 停止不可 | μPD78F0103M3MC-5A4 μPD78F0103M3MC (A) -5A4 |
| | ソフトウェアにより停止可能 | μPD78F0103M4MC-5A4 μPD78F0103M4MC (A) -5A4 |
| POC使用 (V _{POC} = 3.5 V ± 0.2 V) | 停止不可 | μPD78F0103M5MC-5A4 μPD78F0103M5MC (A) -5A4 μPD78F0103M5MC (A1) -5A4 |
| | ソフトウェアにより停止可能 | μPD78F0103M6MC-5A4 μPD78F0103M6MC (A) 5A4 μPD78F0103M6MC (A1) -5A4 |

1.5 端子接続図 (Top View)

・ 30ピン・プラスチックSSOP (7.62 mm (300))



注 TxD0, RxD0は, μ PD780102, 780103, 78F0103のみ。

注意1 . IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2 . AV_{SS}端子はV_{SS}に接続してください。

3 . 通常動作時, V_{PP}端子はV_{SS}に接続してください。

備考 () 内は, μ PD78F0103のとき

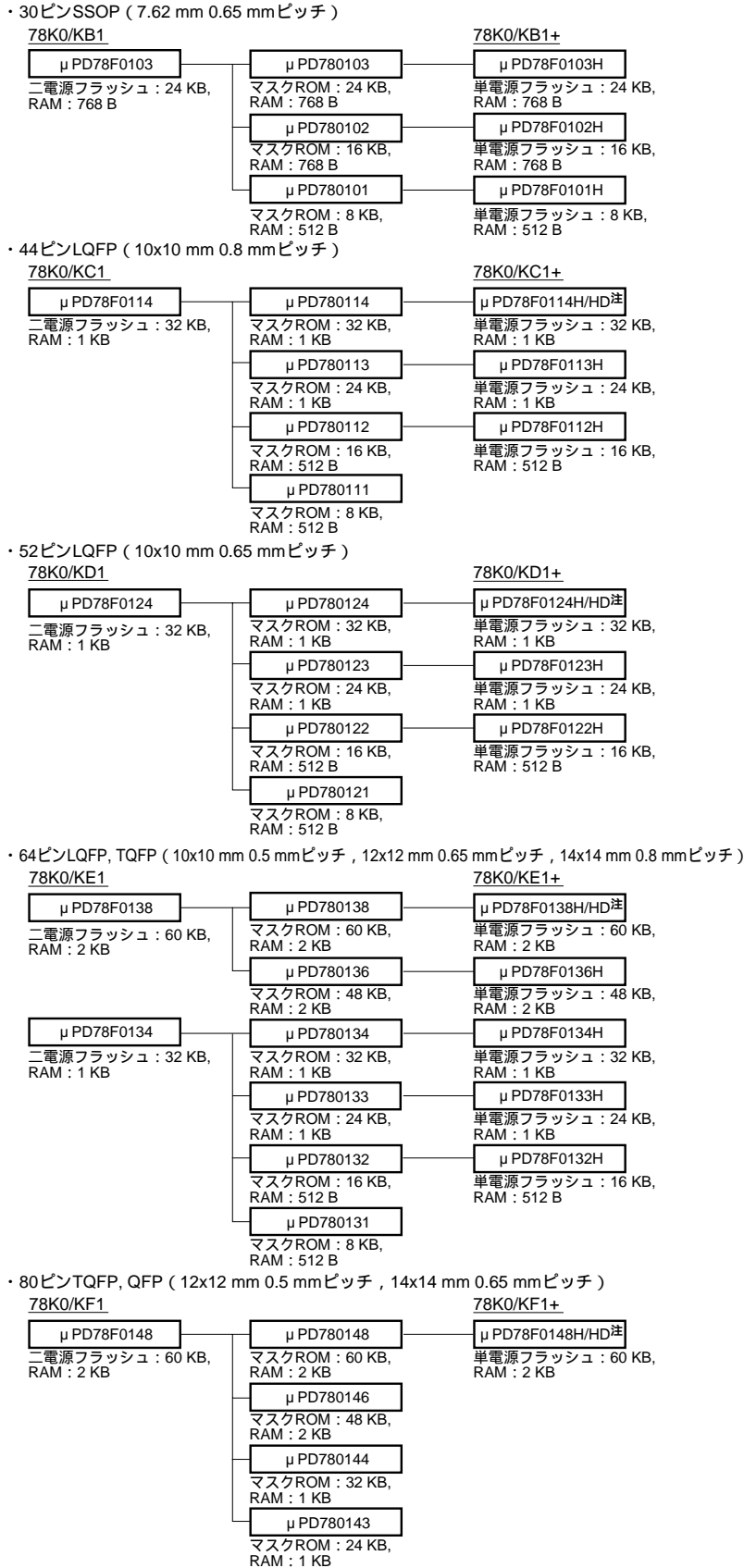
端子名称

| | | | |
|--------------------------|----------------------------|--------------------------|---------------------------------------|
| ANI0-ANI3 | : Analog Input | SCK10 | : Serial Clock Input/Output |
| AV _{REF} | : Analog Reference Voltage | SI10 | : Serial Data Input |
| IC | : Internally Connected | SO10 | : Serial Data Output |
| INTP0-INTP5 | : External Interrupt Input | TI000, TI010, | |
| P00-P03 | : Port 0 | TI50 | : Timer Input |
| P10-P17 | : Port 1 | TO00, TO50, | |
| P20-P23 | : Port 2 | TOH0, TOH1 | : Timer Output |
| P30-P33 | : Port 3 | TxD0 ^注 , TxD6 | : Transmit Data |
| P120 | : Port 12 | V _{DD} | : Power Supply |
| P130 | : Port 13 | V _{PP} | : Programming Power Supply |
| RESET | : Reset | V _{SS} | : Ground |
| RxD0 ^注 , RxD6 | : Receive Data | X1, X2 | : Crystal Oscillator (X1 Input clock) |

注 TxD0, RxD0は, μ PD780102, 780103, 78F0103のみ。

★ 1.6 Kx1シリーズの展開

1.6.1 78K0/Kx1, 78K0/Kx1+の製品展開



注 オンチップ・デバッグ機能搭載品です。

78K0/Kx1の機能一覧を次に示します。

| 愛 称 | | 78K0/KB1 | | | 78K0/KC1 | | | 78K0/KD1 | | | 78K0/KE1 | | | | 78K0/KF1 | | | | |
|-----------------|----------------------|---|------------|---|------------|------------|--------------------------------|-----------|------------|----|-----------|---|----|------------|----------|------------|------------|----|--|
| ピン数 | | 30ピン | | | 44ピン | | | 52ピン | | | 64ピン | | | | 80ピン | | | | |
| 内部メモリ (Kバイト) | マスクROM | 8 | 16 / 24 | - | 8 / 16 | 24 / 32 | - | 8 / 16 | 24 / 32 | - | 8 / 16 | 24 / 32 | - | 48 / 60 | - | 24 / 32 | 48 / 60 | - | |
| | フラッシュ・メモリ | - | 24 | | - | 32 | | - | 32 | | - | 32 | | - | 60 | | - | 60 | |
| | RAM | 0.5 | 0.75 | | 0.5 | 1 | | 0.5 | 1 | | 0.5 | 1 | | 2 | | 1 | 2 | | |
| 電源電圧 | | V _{DD} = 2.5 ~ 5.5 V ^{注1,2} | | | | | | | | | | | | | | | | | |
| 最小命令実行時間 | | 0.166 μs (12 MHz, V _{DD} = 4.0 ~ 5.5 V時) | | | | | < REGC端子をV _{DD} に接続 > | | | | | 0.166 μs (12 MHz, V _{DD} = 4.0 ~ 5.5 V時) | | | | | | | |
| | | 0.2 μs (10 MHz, V _{DD} = 3.5 ~ 5.5 V時) | | | | | | | | | | 0.2 μs (10 MHz, V _{DD} = 3.5 ~ 5.5 V時) | | | | | | | |
| | | 0.238 μs (8.38 MHz, V _{DD} = 3.0 ~ 5.5 V時) | | | | | | | | | | 0.238 μs (8.38 MHz, V _{DD} = 3.0 ~ 5.5 V時) | | | | | | | |
| | | 0.4 μs (5 MHz, V _{DD} = 2.5 ~ 5.5 V時) | | | | | | | | | | 0.4 μs (5 MHz, V _{DD} = 2.5 ~ 5.5 V時) | | | | | | | |
| クロック | X1入力 | 2 ~ 12 MHz | | | | | | | | | | | | | | | | | |
| | サブクロック | - | | | 32.768 kHz | | | | | | | | | | | | | | |
| | Ring-OSC | 240 kHz (TYP.) | | | | | | | | | | | | | | | | | |
| ポート | CMOS入出力 | 17 | | | 19 | | | 26 | | | 38 | | | | 54 | | | | |
| | CMOS入力 | 4 | | | 8 | | | | | | | | | | | | | | |
| | CMOS出力 | 1 | | | | | | | | | | | | | | | | | |
| | N-chオープン・ドレーン入出力 | - | | | 4 | | | | | | | | | | | | | | |
| タイマ | 16ビット (TM0) | | | | | | 1 ch | | | | | 2 ch | | | | 1 ch | 2 ch | | |
| | 8ビット (TM5) | 1 ch | | | 2 ch | | | | | | | | | | | | | | |
| | 8ビット (TMH) | 2 ch | | | | | | | | | | | | | | | | | |
| | 時計用 | - | | | 1ch | | | | | | | | | | | | | | |
| | WDT | 1 ch | | | | | | | | | | | | | | | | | |
| シリアル・インタフェース | 3線式CSI ^{注3} | | | | | | 1 ch | | | | | 2 ch | | | | 1 ch | 2 ch | | |
| | 自動送受信3線式CSI | - | | | | | | | | | | | | | | | | | |
| | UART ^{注3} | - | | | 1ch | | | | | | | | | | | | | | |
| | LIN-bus対応UART | 1 ch | | | | | | | | | | | | | | | | | |
| 10ビットA/Dコンバータ | | 4 ch | | | 8 ch | | | | | | | | | | | | | | |
| 割り込み | 外部 | 6 | | | 7 | | | 8 | | | 9 | | | | 9 | | | | |
| | 内部 | 11 | 12 | | 15 | | | | | 16 | 19 | | | 17 | 20 | | | | |
| キー・リターン入力 | | - | | | 4ch | | | 8ch | | | | | | | | | | | |
| リセット | RESET端子 | あり | | | | | | | | | | | | | | | | | |
| | POC | 2.85 V ± 0.15 V / 3.5 V ± 0.20 V (マスク・オプションにより選択可能) | | | | | | | | | | | | | | | | | |
| | LVI | 2.85 V / 3.1 V / 3.3 V ± 0.15 V / 3.5 V / 3.7 V / 3.9 V / 4.1 V / 4.3 V ± 0.2 V (ソフトウェアにより選択可能) | | | | | | | | | | | | | | | | | |
| | クロック・モニタ | あり | | | | | | | | | | | | | | | | | |
| | WDT | あり | | | | | | | | | | | | | | | | | |
| クロック出力 / プザー出力 | | - | | | | | クロック出力のみ | | | | | あり | | | | | | | |
| 乗除算器 | | - | | | | | 16ビット × 16ビット, 32ビット ÷ 16ビット | | | | | | | | | | | | |
| ROMコレクション | | - | | | | | | | | | | | あり | | - | | | | |
| スタンバイ機能 | | HALT/STOPモード | | | | | | | | | | | | | | | | | |
| 動作周囲温度 | | 標準水準品, 特別水準 (A) 品 : -40 ~ +85 特別水準 (A1) 品 : -40 ~ +110 (マスクROM製品), -40 ~ +105 (フラッシュ・メモリ製品) 特別水準 (A2) 品 : -40 ~ +125 (マスクROM製品) | | | | | | | | | | | | | | | | | |

- 注1. POC回路の検出電圧 (V_{POC}) を2.85 V ± 0.15 V で使用する場合は, 3.0 ~ 5.5 V の電圧範囲で使用してください。
2. POC回路の検出電圧 (V_{POC}) を3.5 V ± 0.2 V で使用する場合は, 3.7 ~ 5.5 V の電圧範囲で使用してください。
3. 端子を兼用している場合は, どちらかを選択して使用します。

78K0/Kx1+の機能一覧を次に示します。

| 愛 称 | | 78K0/KB1+ | | 78K0/KC1+ | | 78K0/KD1+ | | 78K0/KE1+ | | | 78K0/KF1+ | |
|-----------------|----------------------|---|--------|------------|----------|-----------|-------|-----------|-------------------------------|--------|-----------|--|
| ピン数 | | 30ピン | | 44ピン | | 52ピン | | 64ピン | | | 80ピン | |
| 内部メモリ (Kバイト) | フラッシュ・メモリ | 8 | 16 /24 | 16 | 24 /32 | 16 | 24/32 | 16 | 24 /32 | 48 /60 | 60 | |
| | RAM | 0.5 | 0.75 | 0.5 | 1 | 0.5 | 1 | 0.5 | 1 | 2 | 2 | |
| 電源電圧 | | V _{DD} = 2.5 ~ 5.5 V (Ring-OSCクロックまたはサブクロック使用時 : V _{DD} = 2.0 ~ 5.5 V ^{注1}) | | | | | | | | | | |
| 最小命令実行時間 | | 0.125 μs (16 MHz, V _{DD} = 4.0 ~ 5.5 V時) / 0.2 μs (10 MHz, V _{DD} = 3.5 ~ 5.5 V時) / 0.238 μs (8.38 MHz, V _{DD} = 3.0 ~ 5.5 V時) / 0.4 μs (5 MHz, V _{DD} = 2.5 ~ 5.5 V時) | | | | | | | | | | |
| クロック | 水晶 / セラミック | 2 ~ 16 MHz | | | | | | | | | | |
| | RC | 3 ~ 4 MHz | | | | - | | | | | | |
| | サブクロック | - | | 32.768 kHz | | | | | | | | |
| | Ring-OSC | 240 kHz (TYP.) | | | | | | | | | | |
| ポート | CMOS入出力 | 17 | | 19 | | 26 | | 38 | | | 54 | |
| | CMOS入力 | 4 | | 8 | | | | | | | | |
| | CMOS出力 | 1 | | | | | | | | | | |
| | N-chオープン・ドレイン入出力 | - | | 4 | | | | | | | | |
| タイマ | 16ビット (TM0) | 1 ch | | | | | 2 ch | | | | | |
| | 8ビット (TM5) | 1 ch | | 2 ch | | | | | | | | |
| | 8ビット (TMH) | 2 ch | | | | | | | | | | |
| | 時計用 | - | | 1 ch | | | | | | | | |
| | WDT | 1 ch | | | | | | | | | | |
| シリアル・インタフェース | 3線式CSI ^{注2} | 1 ch | | | | | 2 ch | | | | | |
| | 自動送受信3線式CSI | - | | | | | | | | | | |
| | UART ^{注2} | - | | 1 ch | | | | | | | | |
| | LIN-bus対応UART | 1 ch | | | | | | | | | | |
| 10ビットA/Dコンバータ | | 4 ch | | 8 ch | | | | | | | | |
| 割り込み | 外部 | 6 | | 7 | | 8 | | 9 | | | 9 | |
| | 内部 | 11 | 12 | 15 | | | | 16 | 19 | | 20 | |
| キー・リターン入力 | | - | | 4 ch | | 8 ch | | | | | | |
| リセット | RESET端子 | あり | | | | | | | | | | |
| | POC | 2.1 V ± 0.1 V (検出電圧は固定) | | | | | | | | | | |
| | LVI | 2.35 V/2.6 V/2.85 V/3.1 V/3.3 V ± 0.15 V/3.5 V/3.7 V/3.9 V/4.1 V/4.3 V ± 0.2 V (ソフトウェアにより選択可能) | | | | | | | | | | |
| | クロック・モニタ | あり | | | | | | | | | | |
| | WDT | あり | | | | | | | | | | |
| クロック出力 / ブザー出力 | | - | | | クロック出力のみ | | あり | | | | | |
| 外部バス・インタフェース | | - | | | | | | | | | | |
| 乗除算器 | | - | | | | | | | 16ビット × 16ビット , 32ビット ÷ 16ビット | | | |
| ROMコレクション | | - | | | | | | | あり | | - | |
| セルフ・プログラミング機能 | | あり | | | | | | | | | | |
| オンチップ・デバッグ機能搭載品 | | μPD78F0114HD, 78F0124HD, 78F0138HD, 78F0148HD | | | | | | | | | | |
| スタンバイ機能 | | HALT/STOPモード | | | | | | | | | | |
| 動作周囲温度 | | T _A = - 40 ~ + 85 | | | | | | | | | | |

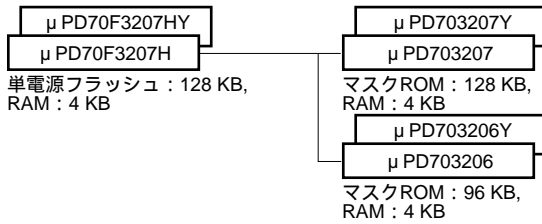
注1. POC回路の検出電圧 (V_{POC}) が 2.1 V ± 0.1 V のため、2.2 ~ 5.5 V の電圧範囲で使用してください。

2. 端子を兼用している場合は、どちらかを選択して使用します。

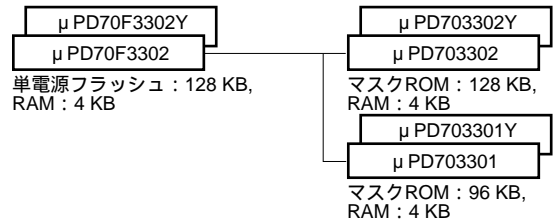
1. 6. 2 V850ES/Kx1, V850ES/Kx1+の製品展開

- ・ 64ピン・プラスチックLQFP (10×10 mm, 0.5 mmピッチ)
- ・ 64ピン・プラスチックTQFP (12×12 mm, 0.65 mmピッチ)
- ・ 64ピン・プラスチックLQFP (14×14 mm, 0.8 mmピッチ)

V850ES/KE1

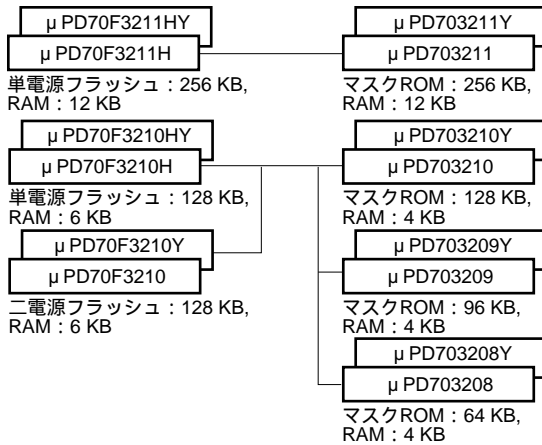


V850ES/KE1+

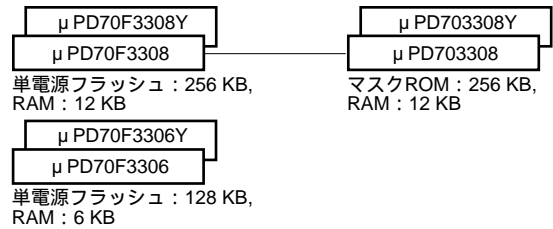


- ・ 80ピン・プラスチックTQFP (12×12 mm, 0.5 mmピッチ)
- ・ 80ピン・プラスチックQFP (14×14 mm, 0.65 mmピッチ)

V850ES/KF1

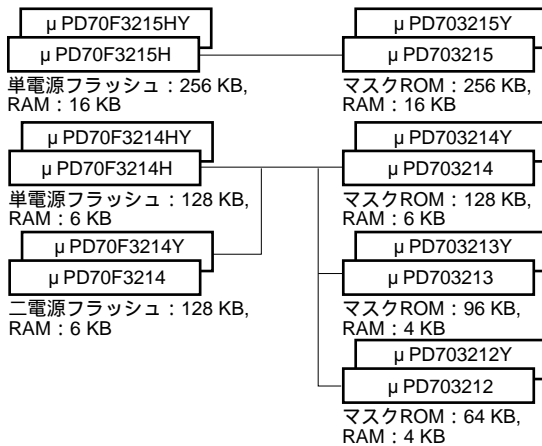


V850ES/KF1+

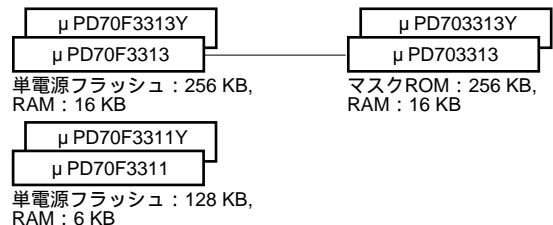


- ・ 100ピン・プラスチックLQFP (14×14 mm, 0.5 mmピッチ)
- ・ 100ピン・プラスチックQFP (14×20 mm, 0.65 mmピッチ)

V850ES/KG1

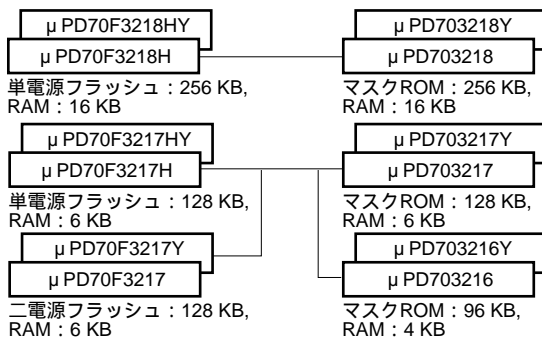


V850ES/KG1+

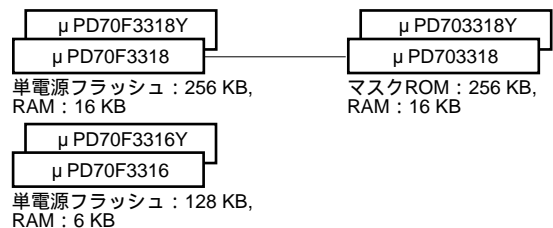


- ・ 144ピン・プラスチックLQFP (20×20 mm, 0.5 mmピッチ)

V850ES/KJ1



V850ES/KJ1+



V850ES/Kx1の機能一覧を次に示します。

| 愛 称 | | V850ES/KE1 | | V850ES/KF1 | | | | V850ES/KG1 | | | | V850ES/KJ1 | | | | | | | |
|-----------------|-------------------------------|------------------------------|-----|------------|-----|-----|-----|-----------------|-------|-----|-----|------------|-----|--------|-----|------|-----|--|--|
| ピン数 | | 64ピン | | 80ピン | | | | 100ピン | | | | 144ピン | | | | | | | |
| 内部メモリ (Kバイト) | マスクROM | 96/128 | - | 64/96 | 128 | - | 256 | - | 64/96 | 128 | - | 256 | - | 96/128 | - | 256 | - | | |
| | フラッシュ・メモリ | - | 128 | - | - | 128 | - | 256 | - | - | 128 | - | 256 | - | 128 | - | 256 | | |
| | RAM | 4 | | 4 | 6 | 12 | 4 | 6 | 16 | 6 | | 16 | | | | | | | |
| 電源電圧 | | 2.7 ~ 5.5 V | | | | | | | | | | | | | | | | | |
| 最小命令実行時間 | | 50 ns@20 MHz | | | | | | | | | | | | | | | | | |
| クロック | X1入力 | 2 ~ 10 MHz | | | | | | | | | | | | | | | | | |
| | サブクロック | 32.768 KHz | | | | | | | | | | | | | | | | | |
| | Ring-OSC | - | | | | | | | | | | | | | | | | | |
| ポート | CMOS入力 | 8 | | 8 | | | | 8 | | | | 16 | | | | | | | |
| | CMOS入出力 | 43 | | 59 | | | | 76 | | | | 112 | | | | | | | |
| | N-ch オープン・ドレイン入出力 | 1 | | 2 | | | | 4 | | | | 6 | | | | | | | |
| タイマ | 16ビット (TMP) | 1 ch | | - | | | | 1 ch | | | | - | | | | 1 ch | | | |
| | 16ビット (TM0) | 1 ch | | 2 ch | | | | 4 ch | | | | 6 ch | | | | | | | |
| | 8ビット (TM5) | 2 ch | | 2 ch | | | | 2 ch | | | | 2 ch | | | | | | | |
| | 8ビット (TMH) | 2 ch | | 2 ch | | | | 2 ch | | | | 2 ch | | | | | | | |
| | インターバル・タイマ | 1 ch | | 1 ch | | | | 1 ch | | | | 1 ch | | | | | | | |
| | 時計 | 1 ch | | 1 ch | | | | 1 ch | | | | 1 ch | | | | | | | |
| | WDT1 | 1 ch | | 1 ch | | | | 1 ch | | | | 1 ch | | | | | | | |
| | WDT2 | 1 ch | | 1 ch | | | | 1 ch | | | | 1 ch | | | | | | | |
| RTO | | 6ビット×1 ch | | 6ビット×1 ch | | | | 6ビット×1 ch | | | | 6ビット×2 ch | | | | | | | |
| シリアル・インタフェース | CSI | 2 ch | | 2 ch | | | | 2 ch | | | | 3 ch | | | | | | | |
| | 自動送受信3線式CSI | - | | 1 ch | | | | 2 ch | | | | 2 ch | | | | | | | |
| | UART | 2 ch | | 2 ch | | | | 2 ch | | | | 3 ch | | | | | | | |
| | LIN-bus対応UART | - | | - | | | | - | | | | - | | | | | | | |
| | I ² C ^注 | 1 ch | | 1 ch | | | | 1 ch | | | | 2 ch | | | | | | | |
| 外部バス | アドレス空間 | - | | 128 Kバイト | | | | 3 Mバイト | | | | 15 Mバイト | | | | | | | |
| | アドレス・バス | - | | 16ビット | | | | 22ビット | | | | 24ビット | | | | | | | |
| | モード | - | | マルチプレクスのみ | | | | マルチプレクス / セパレート | | | | | | | | | | | |
| DMAコントローラ | | - | | - | | | | - | | | | - | | | | | | | |
| 10ビットA/Dコンバータ | | 8 ch | | 8 ch | | | | 8 ch | | | | 16 ch | | | | | | | |
| 8ビットD/Aコンバータ | | - | | - | | | | 2 ch | | | | 2 ch | | | | | | | |
| 割り込み | 外部 | 8 | | 8 | | | | 8 | | | | 8 | | | | | | | |
| | 内部 | 26 | | 26 | 29 | 31 | 34 | 40 | 43 | | | | | | | | | | |
| キー・リターン入力 | | 8 ch | | 8 ch | | | | 8 ch | | | | 8 ch | | | | | | | |
| リセット | RESET端子 | あり | | | | | | | | | | | | | | | | | |
| | POC | なし | | | | | | | | | | | | | | | | | |
| | LVI | なし | | | | | | | | | | | | | | | | | |
| | クロック・モニタ | なし | | | | | | | | | | | | | | | | | |
| | WDT1 | あり | | | | | | | | | | | | | | | | | |
| | WDT2 | あり | | | | | | | | | | | | | | | | | |
| ROMコレクション | | 4箇所 | | | | | | | | | | | | | | | | | |
| レギュレータ | | なし | | あり | | | | | | | | | | | | | | | |
| スタンバイ | | HALT/IDLE/STOP/サブIDLEモード | | | | | | | | | | | | | | | | | |
| 動作周囲温度 | | T _A = - 40 ~ + 85 | | | | | | | | | | | | | | | | | |

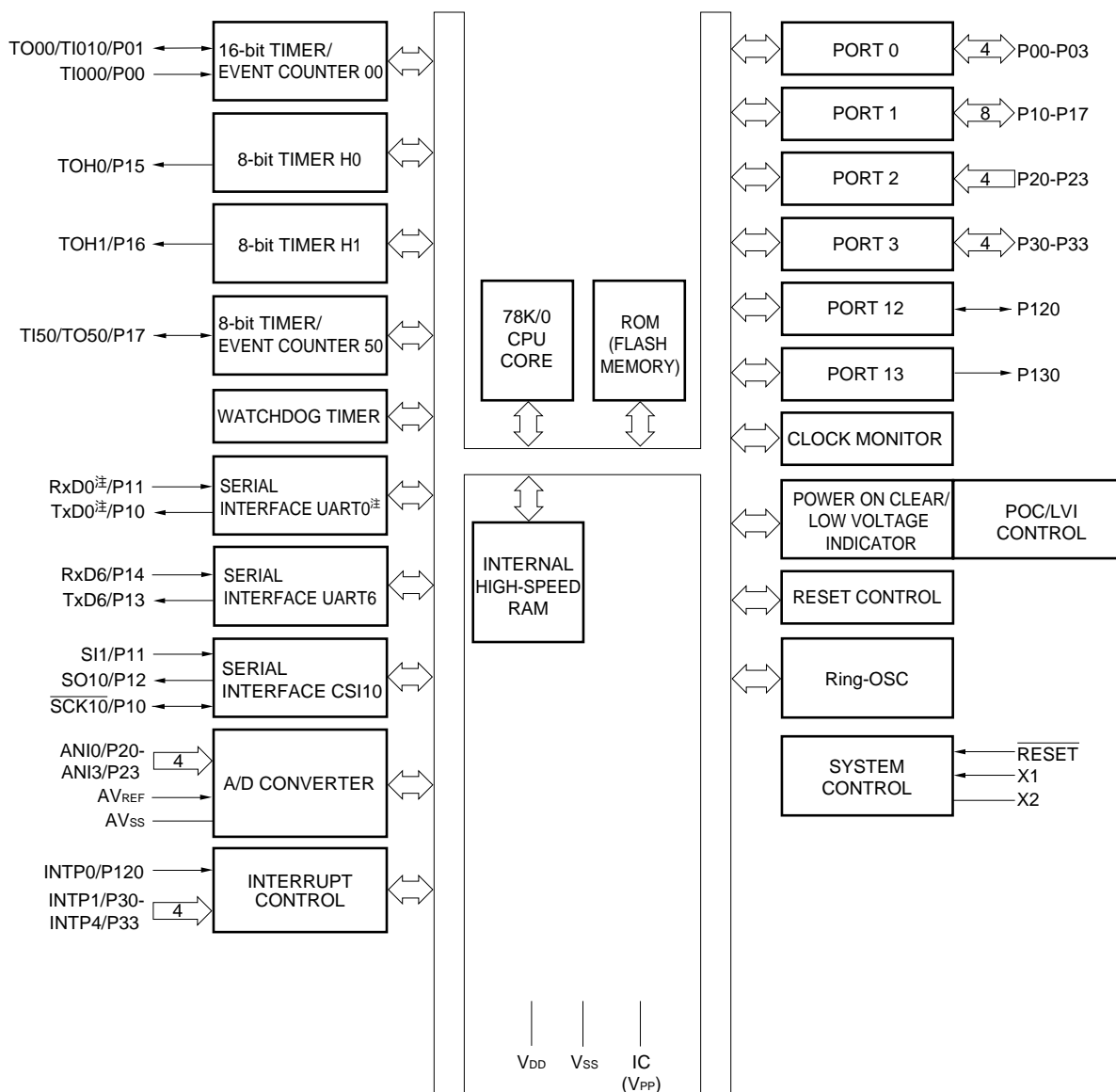
注 Y品のみ内蔵

V850ES/Kx1+の機能一覧を次に示します。

| 愛 称 | | V850ES/KE1+ | | V850ES/KF1+ | | | V850ES/KG1+ | | V850ES/KJ1+ | |
|----------------------|-------------------------------|--|-----------|-------------|-----|-----------|---------------|-----------|-------------|-----|
| ピン数 | | 64ピン | | 80ピン | | | 100ピン | | 144ピン | |
| 内部 メモリ (Kバイト) | マスクROM | 96/128 | - | 128 | 256 | - | 128/256 | - | 128/256 | - |
| | フラッシュ・メモリ | - | 128 | - | - | 256 | - | 256 | - | 256 |
| | RAM | 4 | | 6 | 12 | | 6 | 16 | 6 | 16 |
| 電源電圧 | | 2.7 ~ 5.5 V | | | | | | | | |
| 最小命令実行時間 | | 50 ns@20 MHz | | | | | | | | |
| クロック | X1入力 | 2 ~ 10 MHz | | | | | | | | |
| | サブクロック | 32.768 KHz | | | | | | | | |
| | Ring-OSC | 240 kHz (typ.) | | | | | | | | |
| ポート | CMOS入力 | 8 | | 8 | | | 8 | | 16 | |
| | CMOS入出力 | 43 | | 59 | | | 76 | | 112 | |
| | N-ch オープン・ド レーン入出力 | 1 | | 2 | | | 4 | | 6 | |
| タイマ | 16ビット (TMP) | 1 ch | | 1 ch | | | 1 ch | | 1 ch | |
| | 16ビット (TM0) | 1 ch | | 2 ch | | | 4 ch | | 6 ch | |
| | 8ビット (TM5) | 2 ch | | 2 ch | | | 2 ch | | 2 ch | |
| | 8ビット (TMH) | 2 ch | | 2 ch | | | 2 ch | | 2 ch | |
| | インターバル・タイマ | 1 ch | | 1 ch | | | 1 ch | | 1 ch | |
| | 時計 | 1 ch | | 1 ch | | | 1 ch | | 1 ch | |
| | WDT1 | 1 ch | | 1 ch | | | 1 ch | | 1 ch | |
| | WDT2 | 1 ch | | 1 ch | | | 1 ch | | 1 ch | |
| RTO | 6ビット×1 ch | | 6ビット×1 ch | | | 6ビット×1 ch | | 6ビット×2 ch | | |
| シリアル・ インタフェ ース | CSI | 2 ch | | 2 ch | | | 2 ch | | 3 ch | |
| | 自動送受信3線式CSI | - | | 1 ch | | | 2 ch | | 2 ch | |
| | UART | 1 ch | | 1 ch | | | 1 ch | | 2 ch | |
| | LIN-bus対応UART | 1 ch | | 1 ch | | | 1 ch | | 1 ch | |
| | I ² C ^注 | 1 ch | | 1 ch | | | 1 ch | | 2 ch | |
| 外部バス | アドレス空間 | - | | 128 Kバイト | | | 3 Mバイト | | 15 Mバイト | |
| | アドレス・バス | - | | 16ビット | | | 22ビット | | 24ビット | |
| | モード | - | | マルチプレクスのみ | | | マルチプレクス/セパレート | | | |
| DMAコントローラ | | - | | - | | | 4 ch | | 4 ch | |
| 10ビットA/Dコンバータ | | 8 ch | | 8 ch | | | 8 ch | | 16 ch | |
| 8ビットD/Aコンバータ | | - | | - | | | 2 ch | | 2 ch | |
| 割り込み | 外部 | 9 | | 9 | | | 9 | | 9 | |
| | 内部 | 27 | | 30 | | | 42 | | 48 | |
| キー・リターン入力 | | 8 ch | | 8 ch | | | 8 ch | | 8 ch | |
| リセット | RESET端子 | あり | | | | | | | | |
| | POC | 2.7 V以下固定 | | | | | | | | |
| | LVI | 3.1/3.3±0.15 Vまたは3.5/3.7/3.9/4.1/4.3±0.2 V (ソフトウェアにより選択可能) | | | | | | | | |
| | クロック・モニタ | あり (Ring-OSCによるモニタ) | | | | | | | | |
| | WDT1 | あり | | | | | | | | |
| | WDT2 | あり | | | | | | | | |
| ROMコレクション | | 4箇所 | | | | | | | | |
| レギュレータ | | なし | | | あり | | | | | |
| スタンバイ | | HALT/IDLE/STOP/サブIDLEモード | | | | | | | | |
| 動作周囲温度 | | T _A = -40 ~ +85 | | | | | | | | |

注 Y品のみ内蔵

1.7 ブロック図



注 μ PD780102, 780103, 78F0103のみ。

備考 ()内は, μ PD78F0103のとき

1.8 機能概要

(1/2)

| 項 目 | | μ PD780101 | μ PD780102 | μ PD780103 | μ PD78F0103 |
|-------|-------------------------|---|------------|------------|------------------------|
| 内部メモリ | ROM | 8 Kバイト | 16 Kバイト | 24 Kバイト | 24 Kバイト (フラッシュ・メモリ) |
| | 高速RAM | 512バイト | 768バイト | | |
| メモリ空間 | | 64 Kバイト | | | |
| ★ | X1入力クロック (発振周波数) | セラミック / 水晶 / 外部クロック発振 | | | |
| | 標準品, (A) 水準品の拡張規格品 | 2 ~ 12 MHz : V _{DD} = 4.0 ~ 5.5 V, 2 ~ 10 MHz : V _{DD} = 3.5 ~ 5.5 V, 2 ~ 8.38 MHz : V _{DD} = 3.0 ~ 5.5 V, 2 ~ 5 MHz : V _{DD} = 2.5 ~ 5.5 V | | | |
| | 標準品, (A) 水準品の従来規格品 | 2 ~ 10 MHz : V _{DD} = 4.0 ~ 5.5 V, 2 ~ 8.38 MHz : V _{DD} = 3.3 ~ 5.5 V, 2 ~ 5 MHz : V _{DD} = 2.7 ~ 5.5 V | | | |
| | (A1) 水準品 | 2 ~ 10 MHz : V _{DD} = 4.5 ~ 5.5 V, 2 ~ 8.38 MHz : V _{DD} = 4.0 ~ 5.5 V, 2 ~ 5 MHz : V _{DD} = 3.3 ~ 5.5 V | | | |
| | (A2) 水準品 | 2 ~ 8.38 MHz : V _{DD} = 4.0 ~ 5.5 V, 2 ~ 5 MHz : V _{DD} = 3.3 ~ 5.5 V | | | |
| | Ring-OSCクロック (発振周波数) | 内蔵Ring発振 (240 kHz (TYP.) : V _{DD} = 2.5 ~ 5.5 V) | | | |
| | 汎用レジスタ | 8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク) | | | |
| ★ | 最小命令実行時間 | 0.166 μs/0.333 μs/0.666 μs/1.333 μs/2.666 μs (X1入力クロック : f _{XP} = 12 MHz動作時) 8.3 μs/16.6 μs/33.2 μs/66.4 μs/132.8 μs (TYP.) (Ring-OSCクロック : f _R = 240 kHz (TYP.) 動作時) | | | |
| | 命令セット | <ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など | | | |
| | I/Oポート | 合計 : 22本 CMOS入出力 : 17本 CMOS入力 : 4本 CMOS出力 : 1本 | | | |
| | タイマ | <ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ : 2チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル | | | |
| | タイマ出力 | 4本 (PWM : 3本) | | | |
| | A/Dコンバータ | 10ビット分解能 × 4チャンネル | | | |
| | シリアル・インタフェース | <ul style="list-style-type: none"> ・ LIN-bus対応UARTモード : 1チャンネル ・ 3線式シリアルI/Oモード/UARTモード^注 : 1チャンネル (μ PD780101のみ, 3線式シリアルI/Oモード : 1チャンネル) | | | |
| | ベクタ割り込 | 内部 | 10 | 12 | |
| | み要因 | 外部 | 6 | | |
| | リセット | <ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ クロック・モニタによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット | | | |

注 端子を兼用しているため, どちらかを選択して使用します。

| 項 目 | μ PD780101 | μ PD780102 | μ PD780103 | μ PD78F0103 |
|--------|--|------------|------------|-------------|
| ★ 電源電圧 | ・標準品, (A) 水準品の拡張規格品: $V_{DD} = 2.5 \sim 5.5 V$ ^{注1, 2} ・標準品, (A) 水準品の従来規格品: $V_{DD} = 2.7 \sim 5.5 V$ ^{注1, 2} ・(A1) 水準品, (A2) 水準品: $V_{DD} = 3.3 \sim 5.5 V$ ^{注2} | | | |
| 動作周囲温度 | ・標準品, (A) 水準品: $T_A = -40 \sim +85$ ・(A1) 水準品: $T_A = -40 \sim +110$ (マスクROM製品), $-40 \sim +105$ (フラッシュ・メモリ製品) ・(A2) 水準品: $T_A = -40 \sim +125$ (マスクROM製品) | | | |
| パッケージ | 30ピン・プラスチックSSOP (7.62 mm (300)) | | | |

- ★ 注1. POC回路の検出電圧(V_{POC})を $2.85 V \pm 0.15 V$ で使用する場合は, $3.0 \sim 5.5 V$ の電圧範囲で使用してください。
- ★ 2. POC回路の検出電圧(V_{POC})を $3.5 V \pm 0.2 V$ で使用する場合は, $3.7 \sim 5.5 V$ の電圧範囲で使用してください。

次にタイマの概要を示します。

| | | 16ビット・タイマ/ イベント・カウンタ00 | 8ビット・タイマ/ イベント・カウンタ50 | 8ビット・タイマH0, H1 | | ウォッチドッグ・ タイマ |
|-------|-----------------|---------------------------|--------------------------|----------------|--------|-----------------|
| | | | | TMH0 | TMH1 | |
| 動作モード | インターバル・ タイマ | 1チャンネル | 1チャンネル | 1チャンネル | 1チャンネル | - |
| | 外部イベント・ カウンタ | 1チャンネル | 1チャンネル | - | - | - |
| | ウォッチドッ グ・タイマ | - | - | - | - | 1チャンネル |
| 機能 | タイマ出力 | 1出力 | 1出力 | 1出力 | 1出力 | - |
| | PPG出力 | 1出力 | - | - | - | - |
| | PWM出力 | - | 1出力 | 1出力 | 1出力 | - |
| | パルス幅測定 | 2入力 | - | - | - | - |
| | 方形波出力 | 1出力 | 1出力 | 1出力 | 1出力 | - |
| | 割り込み要因 | 2 | 1 | 1 | 1 | - |

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、AVREF、VDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

| 電源 | 対応する端子 |
|-------|--------------|
| AVREF | P20-P23 |
| VDD | P20-P23以外の端子 |

(1) ポート端子

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|---------|-----|--|-------|-------------------------|
| P00 | 入出力 | ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | TI000 |
| P01 | | | | TI010/TO00 |
| P02 | | | | - |
| P03 | | | | - |
| P10 | 入出力 | ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | SCK10/TxD0 ^注 |
| P11 | | | | SI10/RxD0 ^注 |
| P12 | | | | SO10 |
| P13 | | | | TxD6 |
| P14 | | | | RxD6 |
| P15 | | | | TOH0 |
| P16 | | | | TOH1/INTP5 |
| P17 | | | | TI50/TO50 |
| P20-P23 | 入力 | ポート2。 4ビット入力専用ポート。 | 入力 | ANI0-ANI3 |
| P30-P33 | 入出力 | ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | INTP1-INTP4 |
| P120 | 入出力 | ポート12。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | INTP0 |
| P130 | 出力 | ポート13。 1ビット出力専用ポート。 | 出力 | - |

注 RxD0, TxD0は、μPD780102, 780103, 78F0103のみ。

(2) ポート以外の端子

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|-------------------|-----|---|-------|-----------------------|
| INTP0 | 入力 | 有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力 | 入力 | P120 |
| INTP1-INTP4 | | | | P30-P33 |
| INTP5 | | | | P16/TOH1 |
| SI10 | 入力 | シリアル・インタフェースのシリアル・データ入力 | 入力 | P11/RxD0 ^注 |
| SO10 | 出力 | シリアル・インタフェースのシリアル・データ出力 | 入力 | P12 |
| SCK10 | 入出力 | シリアル・インタフェースのクロック入力/出力 | 入力 | P10/TxD0 ^注 |
| RxD0 ^注 | 入力 | アシンクロナス・シリアル・インタフェース用シリアル・データ入力 | 入力 | P11/SI10 |
| RxD6 | | | | P14 |
| TxD0 ^注 | 出力 | アシンクロナス・シリアル・インタフェース用シリアル・データ出力 | 入力 | P10/SCK10 |
| TxD6 | | | | P13 |
| TI000 | 入力 | 16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力 | 入力 | P00 |
| TI010 | | 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力 | | P01/TO00 |
| TO00 | 出力 | 16ビット・タイマ/イベント・カウンタ00出力 | 入力 | P01/TO00 |
| TI50 | 入力 | 8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力 | 入力 | P17/TO50 |
| TO50 | 出力 | 8ビット・タイマ/イベント・カウンタ50出力 | 入力 | P17/TO50 |
| TOH0 | 出力 | 8ビット・タイマH0出力 | 入力 | P15 |
| TOH1 | | 8ビット・タイマH1出力 | | P16/INTP5 |
| ANI0-ANI3 | 入力 | A/Dコンバータのアナログ入力 | 入力 | P20-P23 |
| AV _{REF} | 入力 | A/Dコンバータの基準電圧入力およびポート2の正電源 | - | - |
| AV _{SS} | - | A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。 | - | - |
| RESET | 入力 | システム・リセット入力 | - | - |
| X1 | 入力 | X1入力クロック用発振子接続 | - | - |
| X2 | - | | - | - |
| V _{DD} | - | 正電源 | - | - |
| V _{SS} | - | グランド電位 | - | - |
| IC | - | 内部接続されています。V _{SS} に直接接続してください。 | - | - |
| V _{PP} | - | フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は，V _{SS} に接続してください。 | - | - |

注 RxD0, TxD0は，μ PD780102, 780103, 78F0103のみ。

2.2 端子機能の説明

2.2.1 P00-P03 (Port 0)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(b) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(c) TO00

タイマ出力端子です。

2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースのシリアル・データの入力端子です。

(b) SO10

シリアル・インタフェースのシリアル・データの出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(d) RxD0^注, RxD6

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

(e) TxD0^注, TxD6

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

注 RxD0, TxD0は、 μ PD780102, 780103, 78F0103のみ。

(f) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

(g) TO50, TOH0, TOH1

タイマ出力端子です。

(h) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.3 P20-P23 (Port 2)

4ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子（ANI0-ANI3）として機能します。アナログ入力端子として使用する場合，10.6 A/Dコンバータの注意事項（5）ANI0/P20-ANI3/P23を参照してください。

2.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP1-INTP4) として機能します。

2.2.5 P120 (Port 12)

1ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

次のような動作モードを指定できます。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

2.2.6 P130 (Port 13)

1ビットの出力専用ポートです。

2.2.7 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は、V_{DD}に直接接続してください。

2.2.8 AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

2.2.9 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.10 X1, X2

X1入力クロック用発振子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.11 VDD

正電源供給端子です。

2.2.12 VSS

グランド電位端子です。

2.2.13 VPP (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

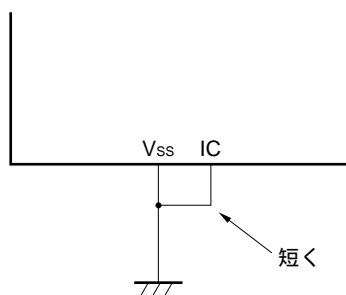
通常動作モード時は、VSSに接続してください。

2.2.14 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に78K0/KB1を検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をVSS端子に直接接続し、その配線長を極力短くしてください。

IC端子とVSS端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVSS端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をVSS端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 2に示します。

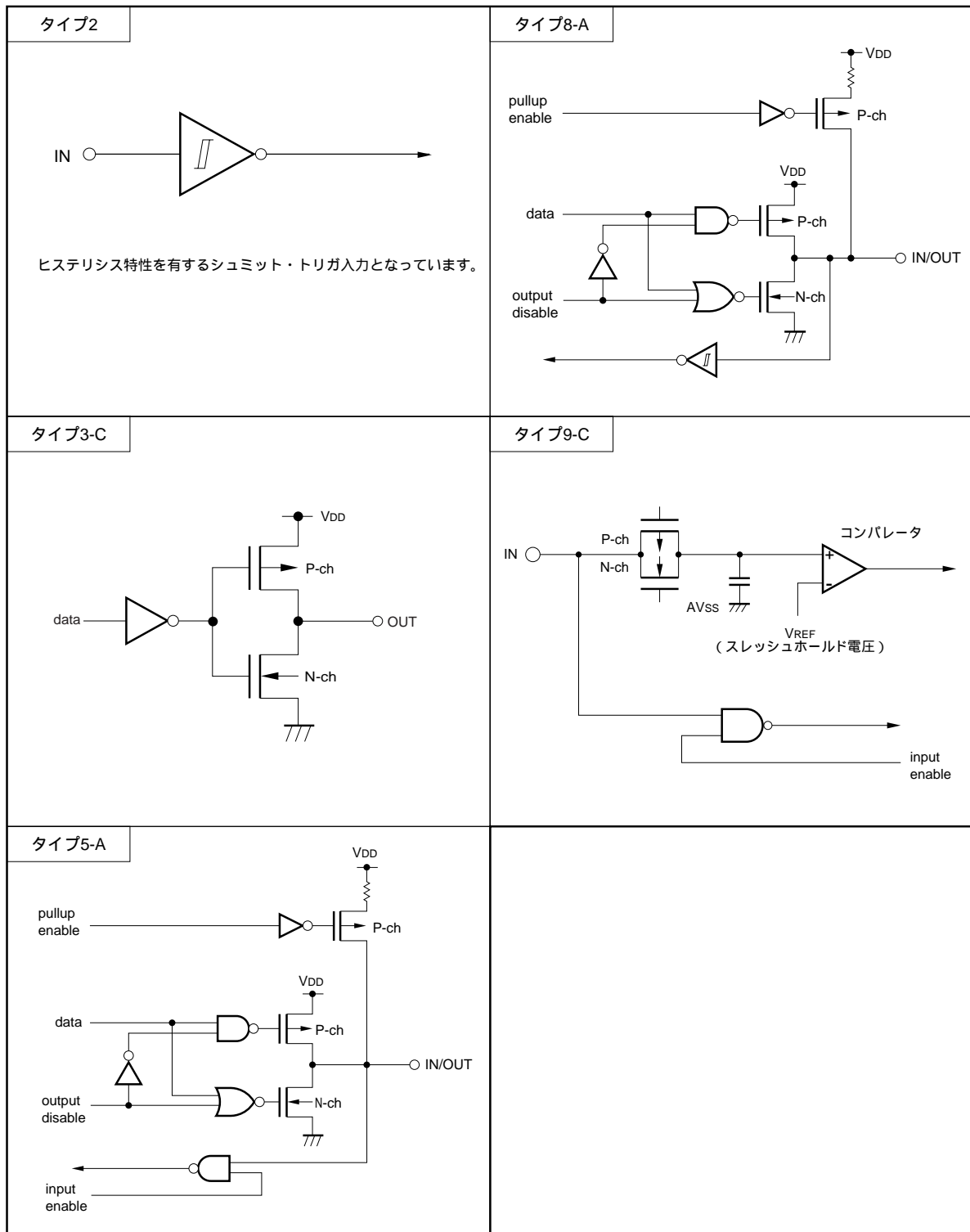
また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 2 各端子の入出力回路タイプ

| 端子名称 | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法 |
|-----------------------------|----------|-----|---|
| P00/TI000 | 8-A | 入出力 | 入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。 |
| P01/TI010/TO00 | | | |
| P02 | | | |
| P03 | | | |
| P10/SCK10/TxD0 ^注 | | | |
| P11/SI10/RxD0 ^注 | | | |
| P12/SO10 | 5-A | | |
| P13/TxD6 | | | |
| P14/RxD6 | 8-A | | |
| P15/TOH0 | 5-A | | |
| P16/TOH1/INTP5 | 8-A | | |
| P17/TI50/TO50 | | | |
| P20/ANI0-P23/ANI3 | 9-C | 入力 | V_{DD} または V_{SS} に接続してください。 |
| P30/INTP1-P33/INTP4 | 8-A | 入出力 | 入力時：個別に抵抗を介して、 V_{SS} に接続してください。 出力時：オープンにしてください。 |
| P120/INTP0 | | | 入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。 |
| P130 | 3-C | 出力 | オープンにしてください。 |
| ★ RESET | 2 | 入力 | V_{DD} に接続してください。 |
| AV _{REF} | - | 入力 | V_{DD} に直接接続してください。 |
| AV _{SS} | | - | V_{SS} に直接接続してください。 |
| IC | | | |
| V _{PP} | | | V_{SS} に接続してください。 |

注 RxD0, TxD0は、 μ PD780102, 780103, 78F0103のみ。

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0/KB1は、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 4に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ (IMS) の初期値は内部メモリ容量にかかわらず、78K0/KB1すべての製品において一定 (IMS = CFH) となっています。したがって、各製品ごとに次に示す値を必ず設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) 設定値

| | メモリ・サイズ切り替えレジスタ (IMS) |
|-------------|-----------------------|
| μ PD780101 | 42H |
| μ PD780102 | 04H |
| μ PD780103 | 06H |
| μ PD78F0103 | マスクROM製品に対応した値 |

図3 - 1 メモリ・マップ (μPD780101)

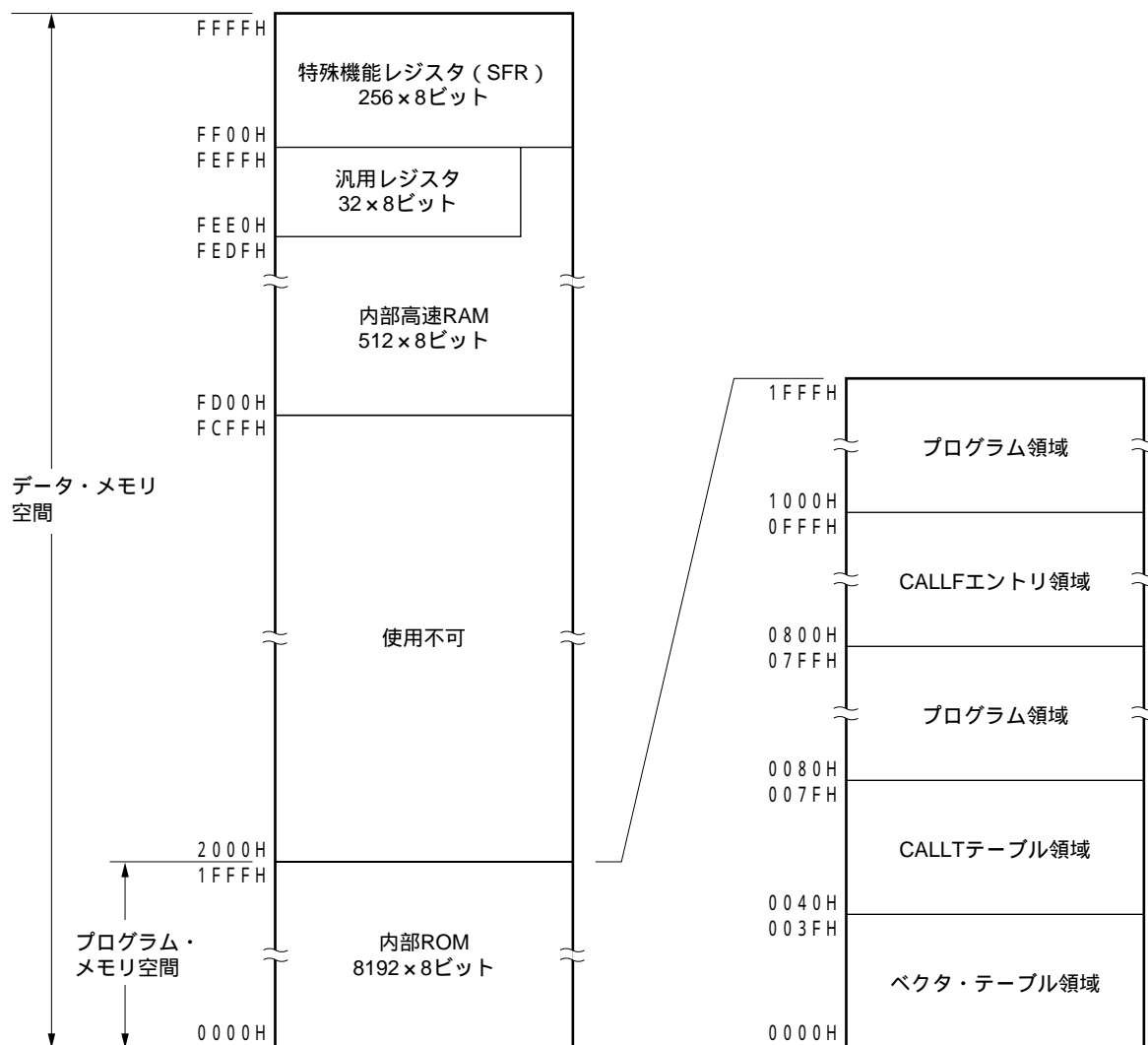


図3-2 メモリ・マップ (μPD780102)

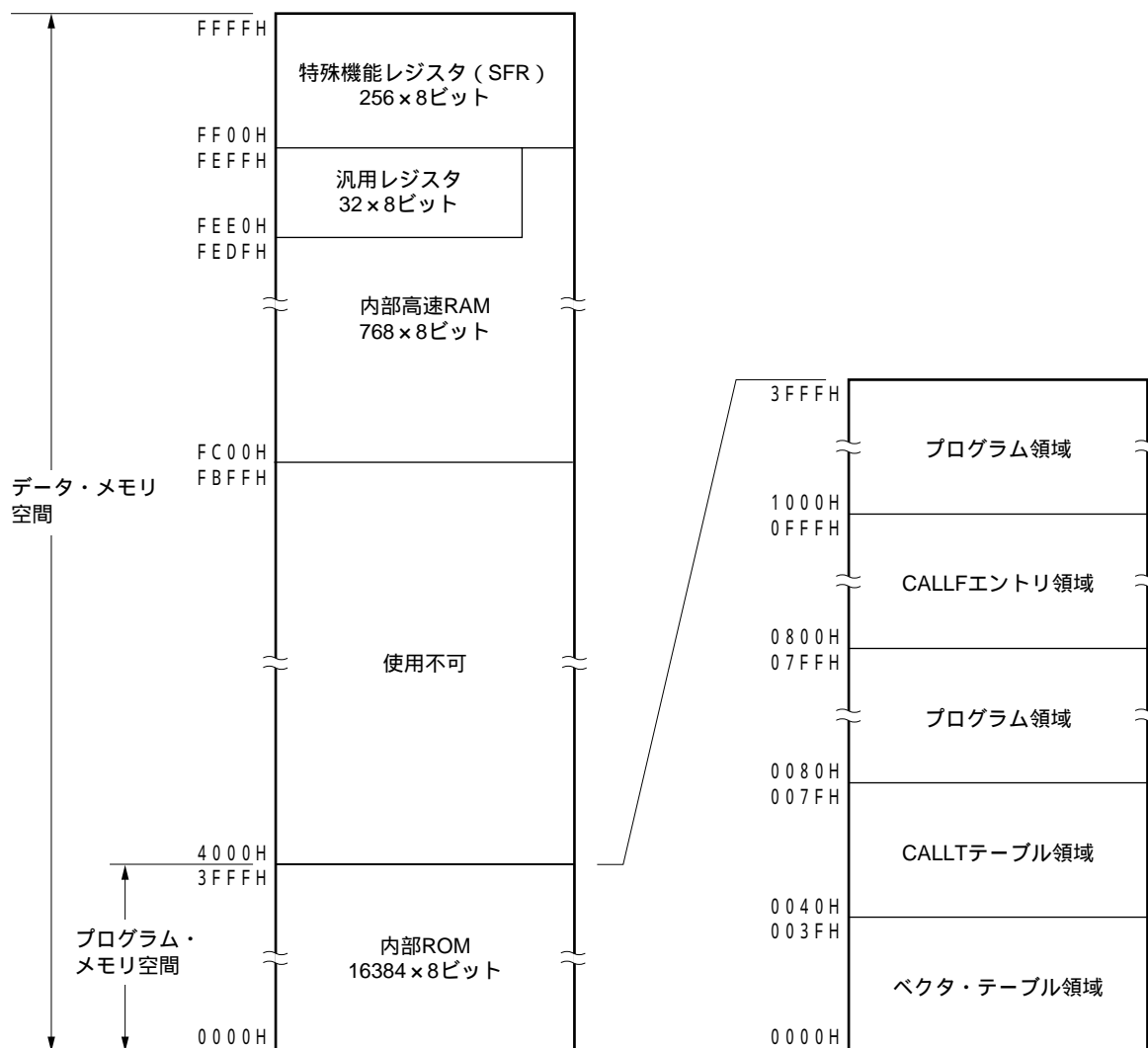


図3-3 メモリ・マップ (μ PD780103)

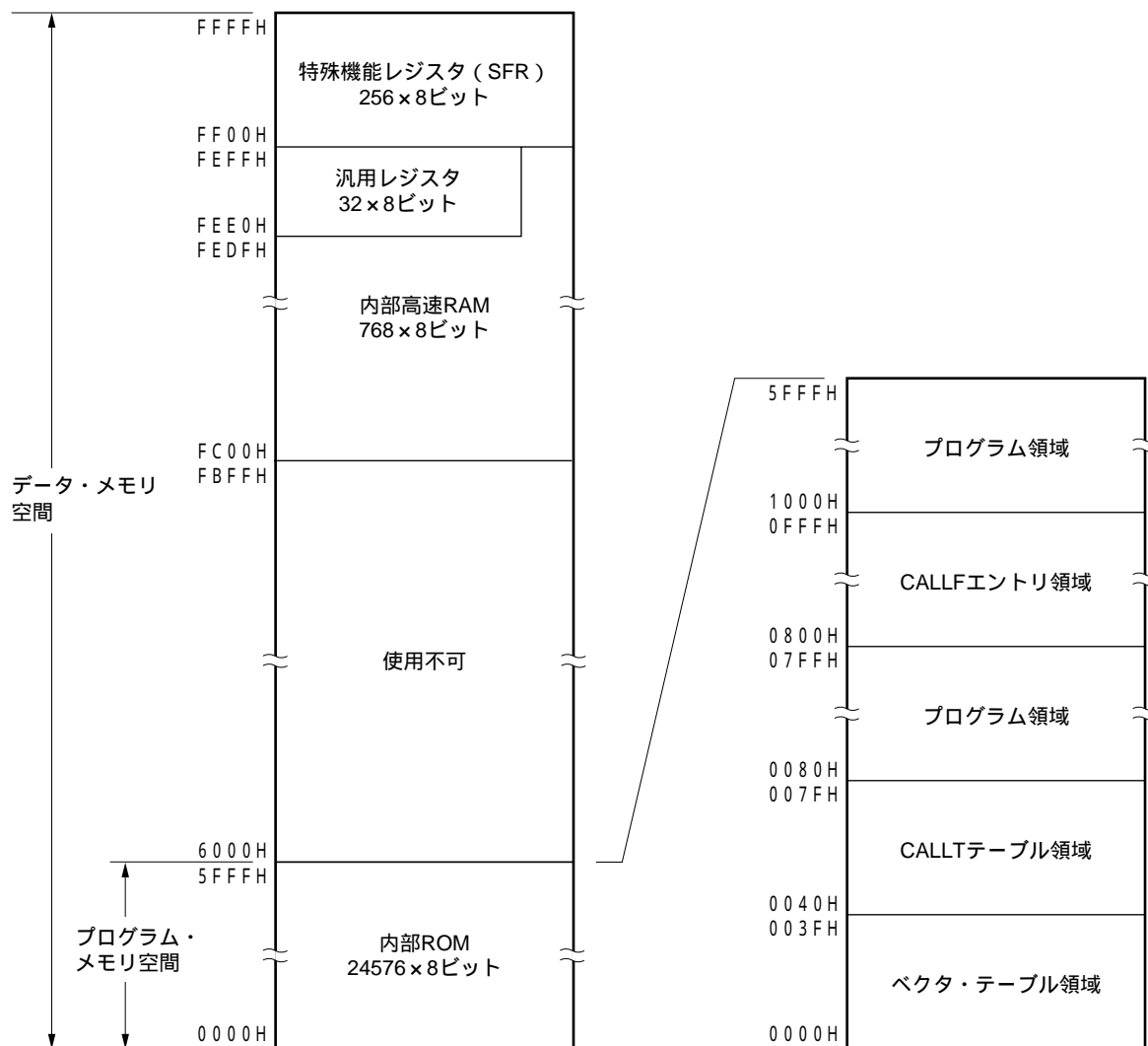
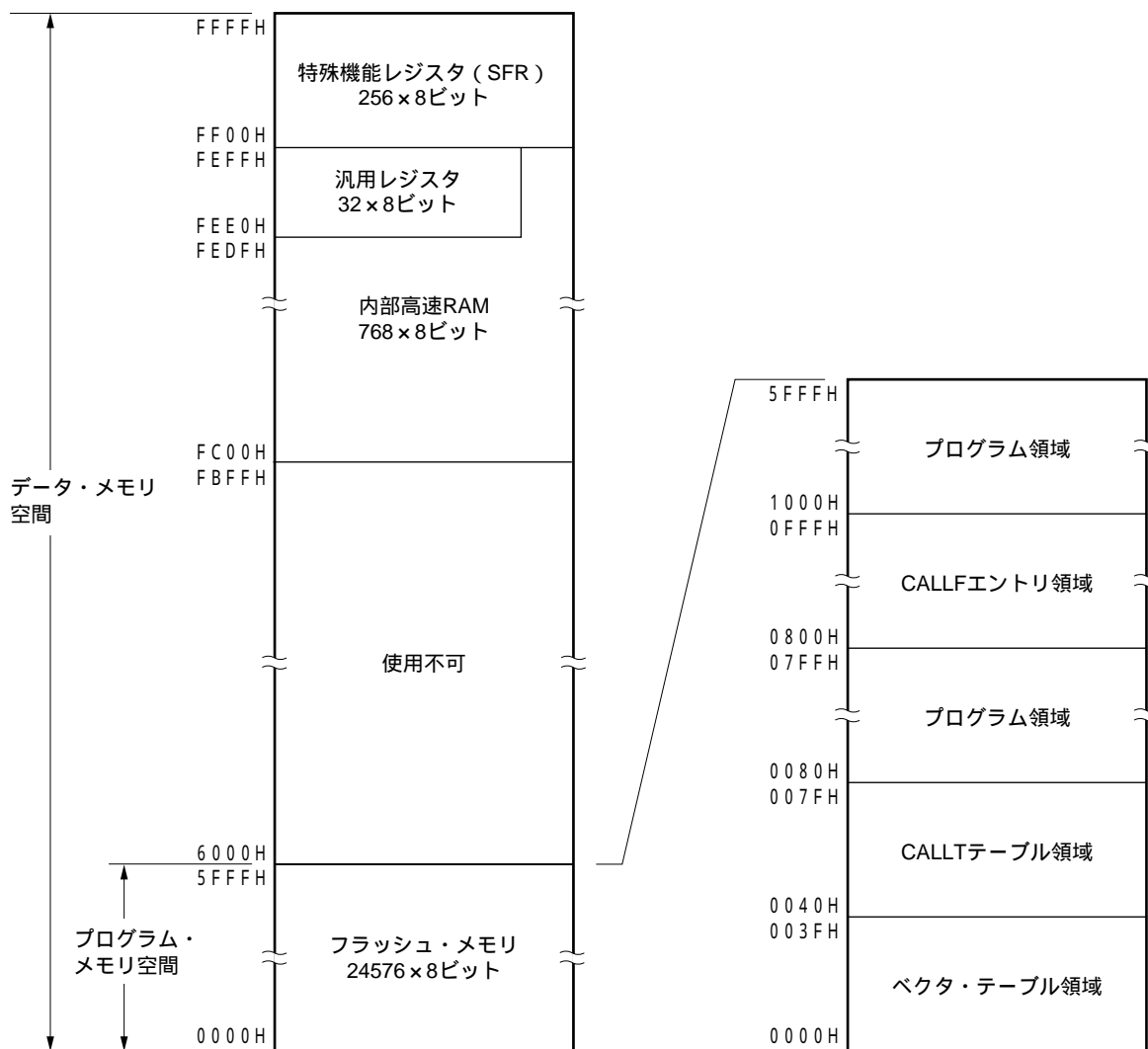


図3-4 メモリ・マップ (μ PD78F0103)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0/KB1は、各製品ごとに次に示す内部ROM（マスクROMまたはフラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

| 製 品 | 内部ROM | |
|-------------|-----------|-------------------------|
| | 構 造 | 容 量 |
| μ PD780101 | マスクROM | 8192×8ビット（0000H-1FFFH） |
| μ PD780102 | | 16384×8ビット（0000H-3FFFH） |
| μ PD780103 | | 24576×8ビット（0000H-5FFFH） |
| μ PD78F0103 | フラッシュ・メモリ | 24576×8ビット（0000H-5FFFH） |

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット信号入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

| ベクタ・テーブル・アドレス | 割り込み要因 | ベクタ・テーブル・アドレス | 割り込み要因 |
|---------------|-------------------|---------------|--------------------------------|
| 0000H | RESET入力, POC, LVI | 0016H | INTST6 |
| | クロック・モニタ, WDT | 0018H | INTCSI10 / INTST0 ^注 |
| 0004H | INTLVI | 001AH | INTTMH1 |
| 0006H | INTP0 | 001CH | INTTMH0 |
| 0008H | INTP1 | 001EH | INTTM50 |
| 000AH | INTP2 | 0020H | INTTM000 |
| 000CH | INTP3 | 0022H | INTTM010 |
| 000EH | INTP4 | 0024H | INTAD |
| 0010H | INTP5 | 0026H | INTSR0 ^注 |
| 0012H | INTSRE6 | 003EH | BRK |
| 0014H | INTSR6 | | |

注 μ PD780102, 780103, 78F0103のみ。

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

3.1.2 内部データ・メモリ空間

78K0/KB1は、次に示す内部高速RAMを内蔵しています。

表3 - 4 内部高速RAM容量

| 製 品 | 内部高速RAM |
|-------------|-------------------------|
| μ PD780101 | 512×8ビット (FD00H-FEFFFH) |
| μ PD780102 | 768×8ビット (FC00H-FEFFFH) |
| μ PD780103 | |
| μ PD78F0103 | |

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5 特殊機能レジスタ一覧参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/KB1では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-5から図3-8にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-5 データ・メモリとアドレッシングの対応 (μPD780101)

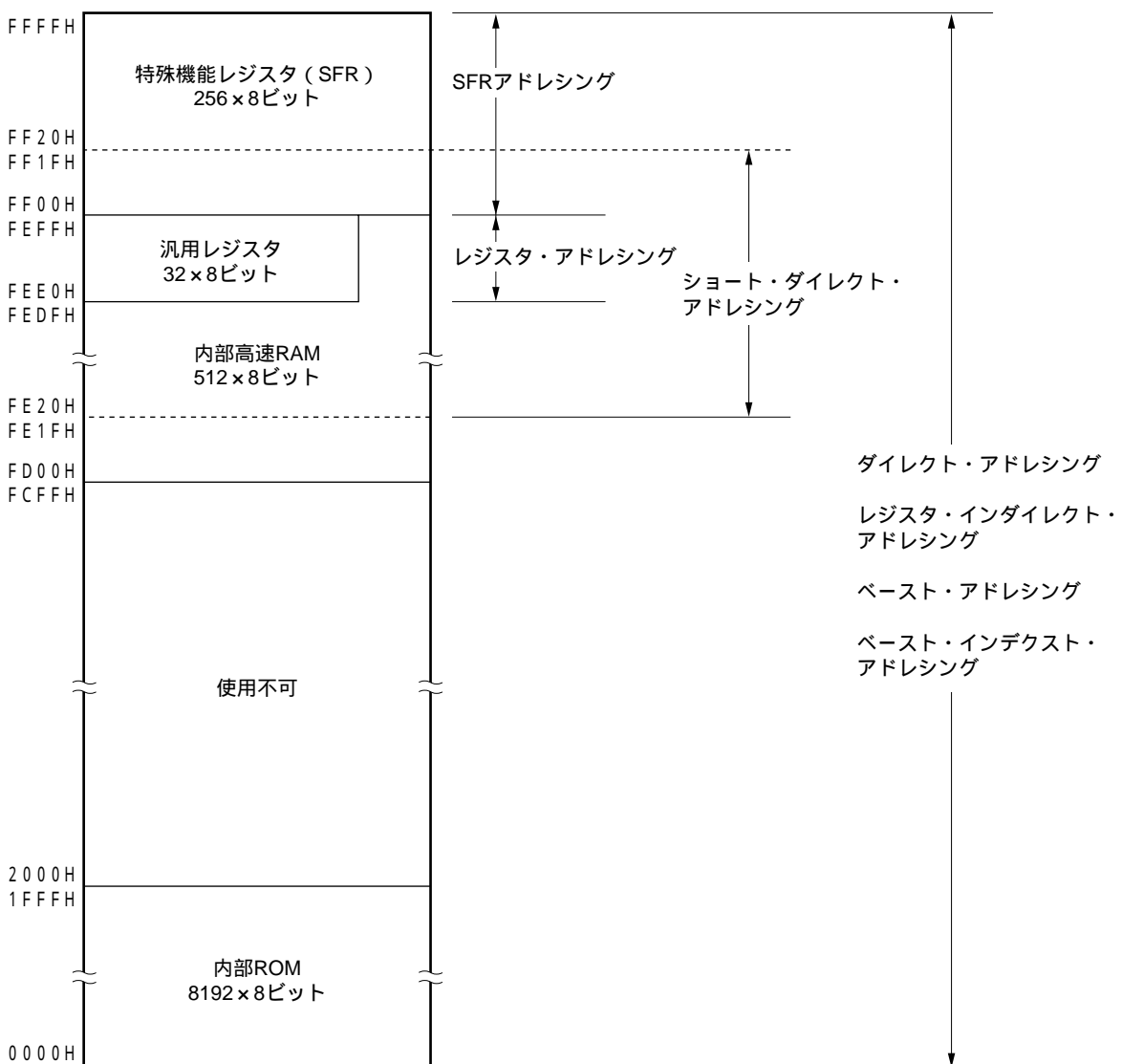


図3-6 データ・メモリとアドレッシングの対応 (μ PD780102)

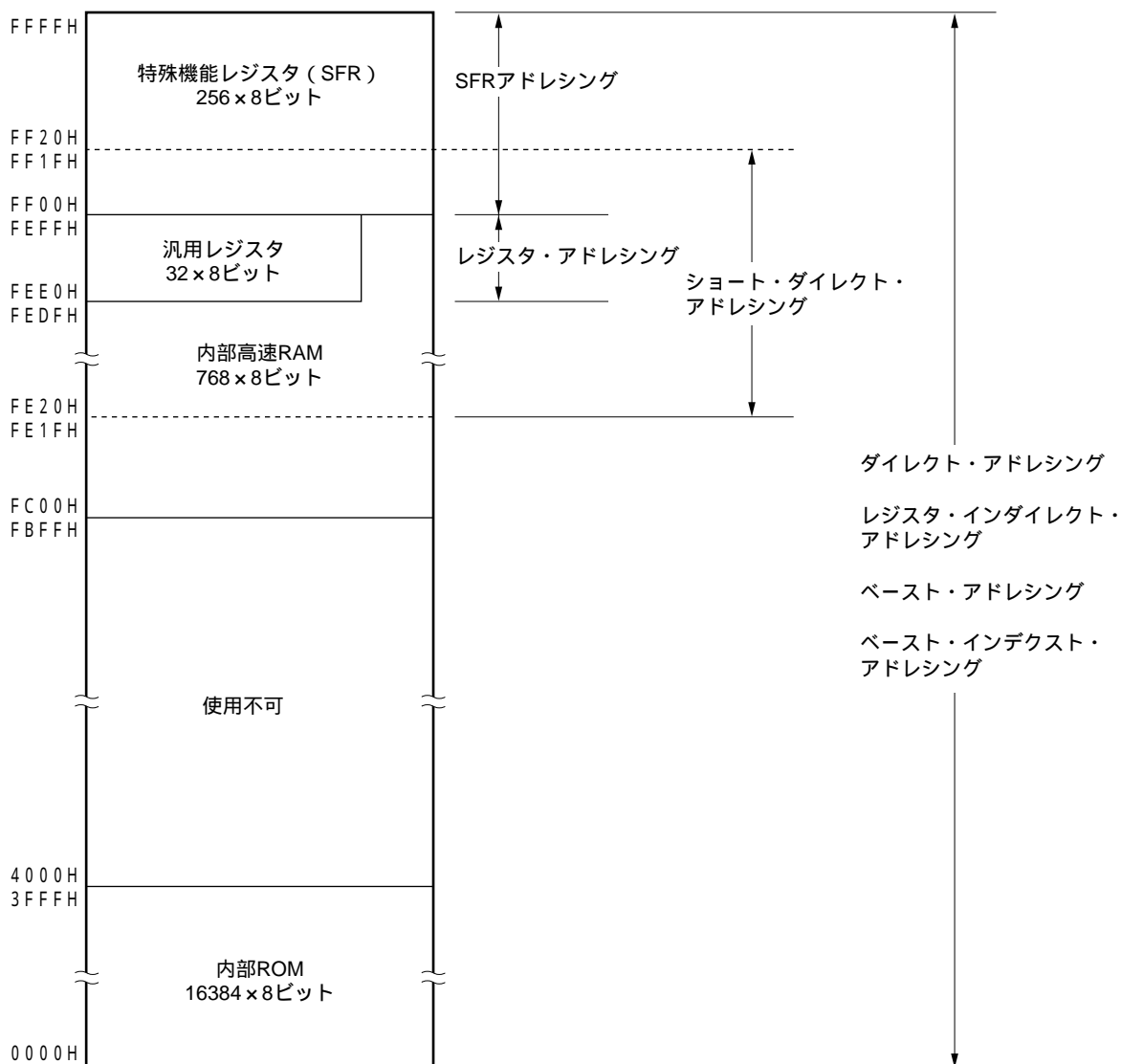


図3-7 データ・メモリとアドレッシングの対応 (μ PD780103)

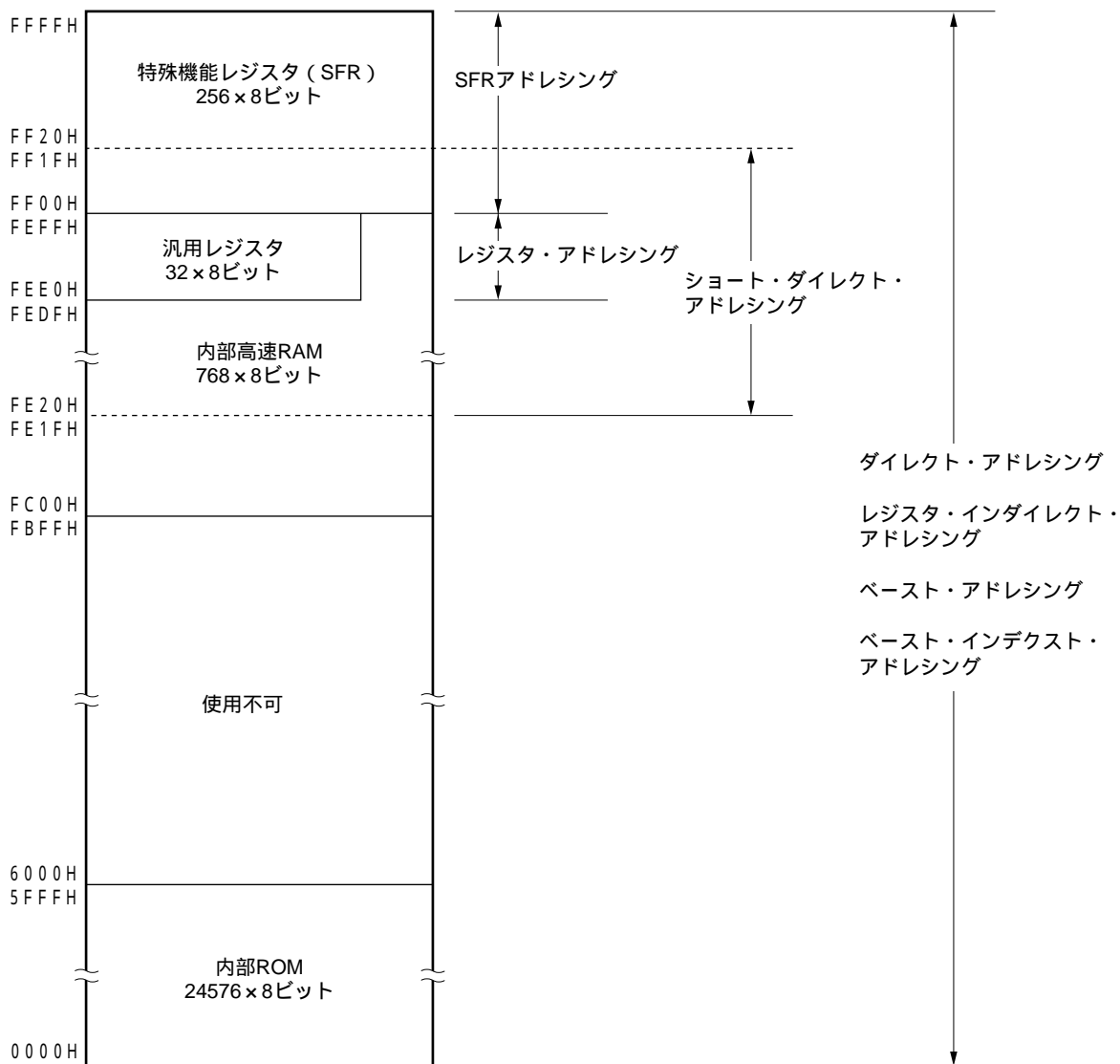
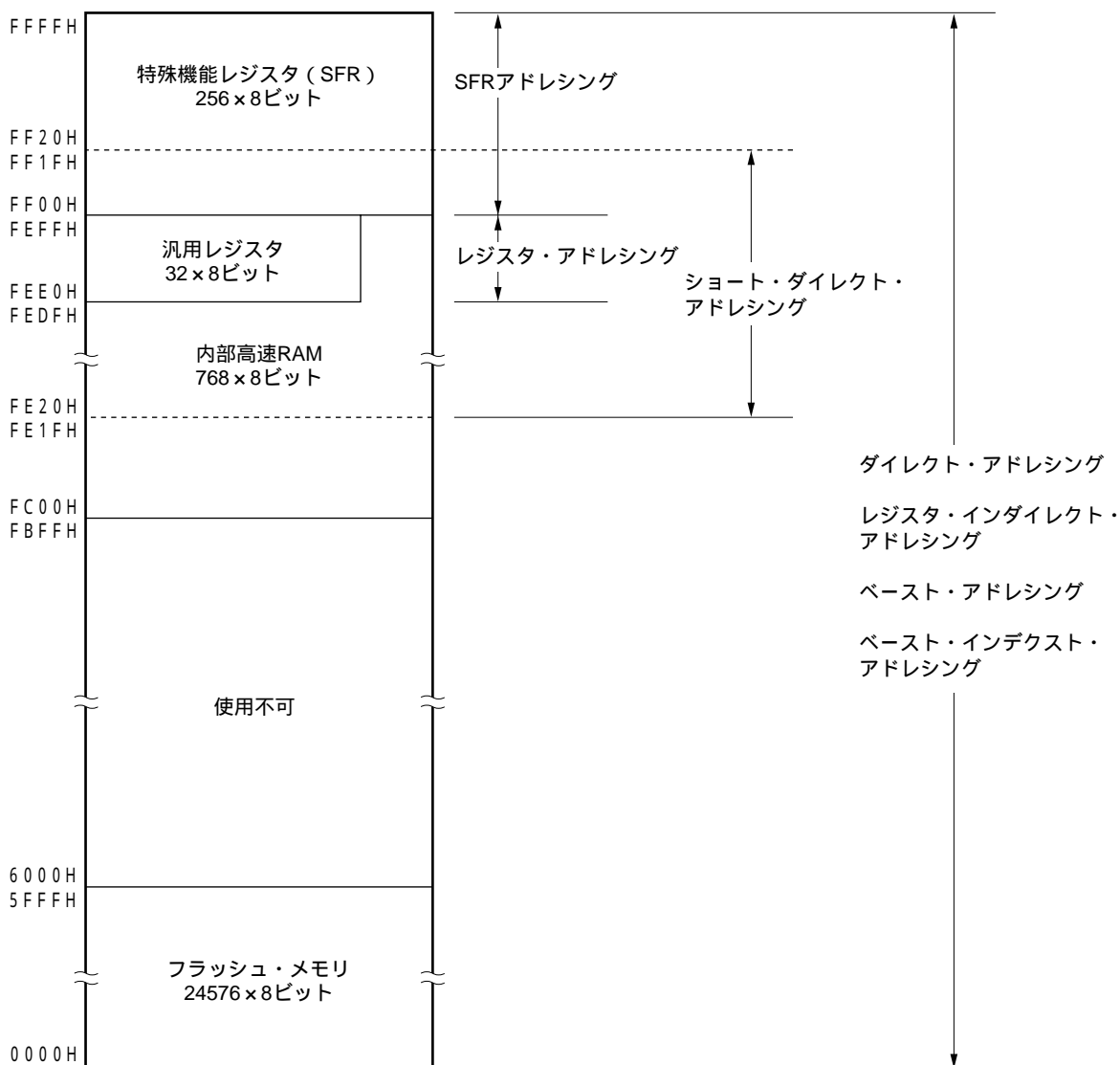


図3 - 8 データ・メモリとアドレッシングの対応 (μ PD78F0103)



3.2 プロセッサ・レジスタ

78K0/KB1は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

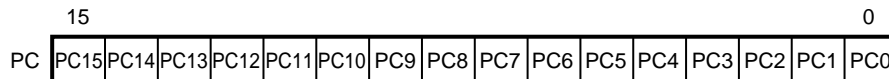
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 9 プログラム・カウンタの構成



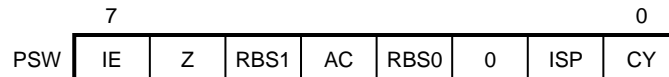
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RET_B, RET_I命令およびPOP PSW命令の実行時に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 10 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) (14. 3(3)優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

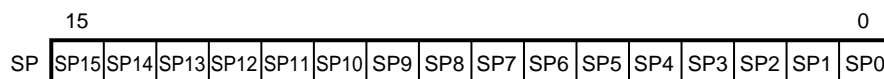
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 11 スタック・ポインタの構成



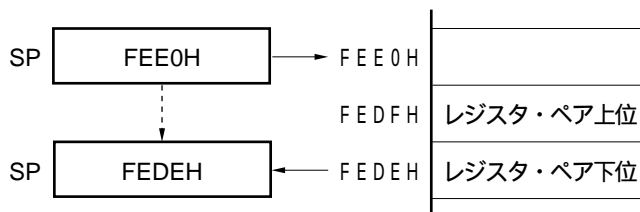
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 12, 3 - 13のようになります。

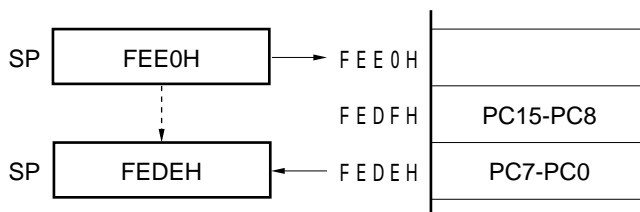
注意 SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 21 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

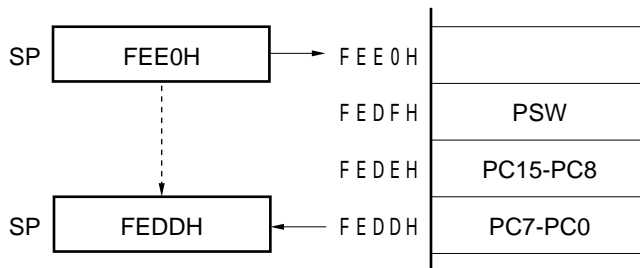
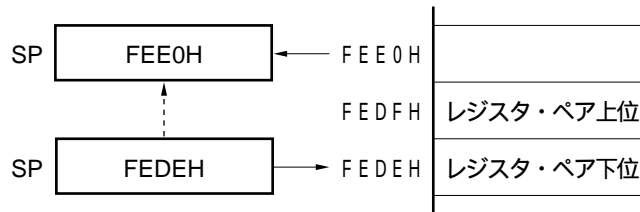
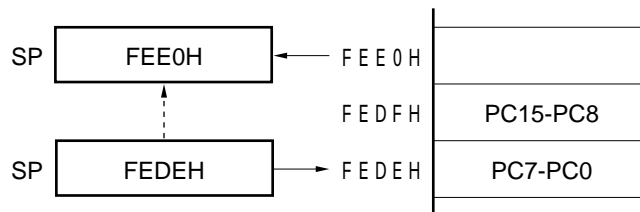


図3 - 13 スタック・メモリから復帰されるデータ

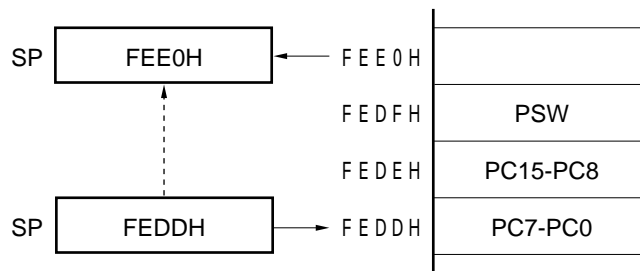
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

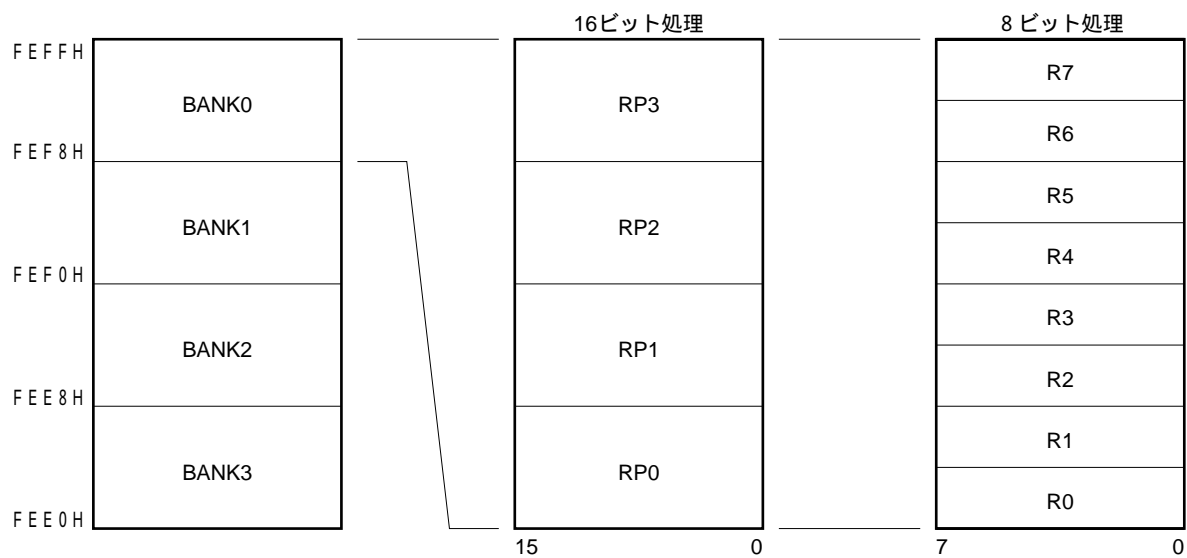
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

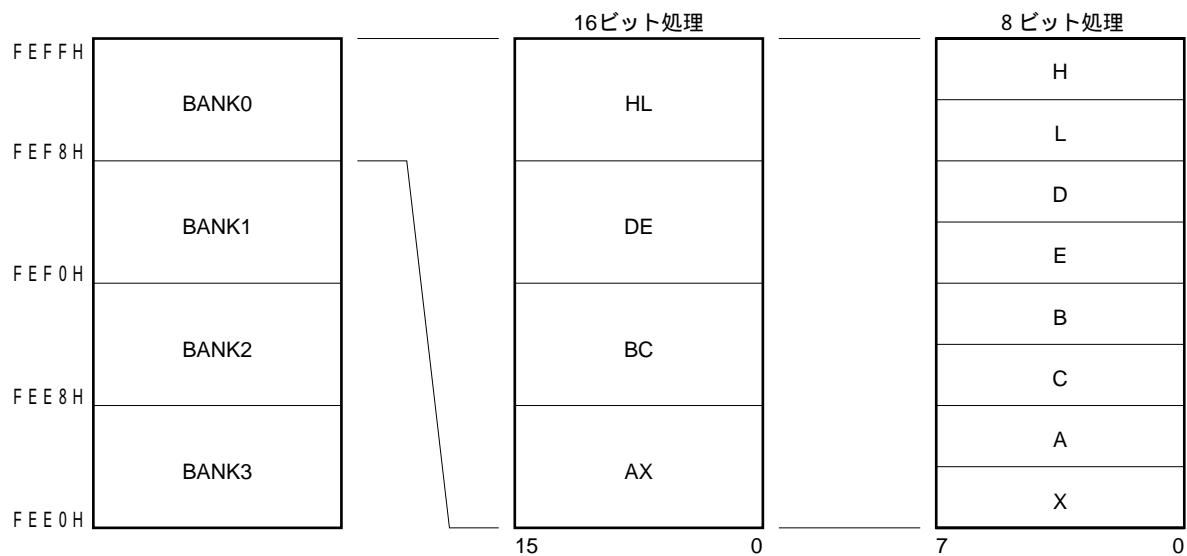
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 14 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

★ 特殊機能レジスタのアドレスを示す略号です。RA78K0では予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- リセット時

RESET入力時の各レジスタの状態を示します。

表3 - 5 特殊機能レジスタ一覧 (1/3)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|-------|---------------------------------------|-------|-----|-----------|------|-------|-------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FF00H | ポート・レジスタ0 | P0 | R/W | | | - | 00H |
| FF01H | ポート・レジスタ1 | P1 | R/W | | | - | 00H |
| FF02H | ポート・レジスタ2 | P2 | R | | | - | 不定 |
| FF03H | ポート・レジスタ3 | P3 | R/W | | | - | 00H |
| FF08H | A/D変換結果レジスタ | ADCR | R | - | - | | 不定 |
| FF09H | | | | | | | |
| FF0AH | 受信バッファ・レジスタ6 | RXB6 | R | - | | - | FFH |
| FF0BH | 送信バッファ・レジスタ6 | TXB6 | R/W | - | | - | FFH |
| FF0CH | ポート・レジスタ12 | P12 | R/W | | | - | 00H |
| FF0DH | ポート・レジスタ13 | P13 | R/W | | | - | 00H |
| FF0FH | シリアルI/Oシフト・レジスタ10 | SIO10 | R | - | | - | 00H |
| FF10H | 16ビット・タイマ・カウンタ00 | TM00 | R | - | - | | 0000H |
| FF11H | | | | | | | |
| FF12H | 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 | CR000 | R/W | - | - | | 0000H |
| FF13H | | | | | | | |
| FF14H | 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 | CR010 | R/W | - | - | | 0000H |
| FF15H | | | | | | | |
| FF16H | 8ビット・タイマ・カウンタ50 | TM50 | R | - | | - | 00H |
| FF17H | 8ビット・タイマ・コンペア・レジスタ50 | CR50 | R/W | - | | - | 00H |
| FF18H | 8ビット・タイマHコンペア・レジスタ00 | CMP00 | R/W | - | | - | 00H |
| FF19H | 8ビット・タイマHコンペア・レジスタ10 | CMP10 | R/W | - | | - | 00H |
| FF1AH | 8ビット・タイマHコンペア・レジスタ01 | CMP01 | R/W | - | | - | 00H |
| FF1BH | 8ビット・タイマHコンペア・レジスタ11 | CMP11 | R/W | - | | - | 00H |
| FF20H | ポート・モード・レジスタ0 | PM0 | R/W | | | - | FFH |
| FF21H | ポート・モード・レジスタ1 | PM1 | R/W | | | - | FFH |
| FF23H | ポート・モード・レジスタ3 | PM3 | R/W | | | - | FFH |
| FF28H | A/Dコンバータ・モード・レジスタ | ADM | R/W | | | - | 00H |
| FF29H | アナログ入力チャンネル指定レジスタ | ADS | R/W | | | - | 00H |
| FF2AH | パワーフェイル比較モード・レジスタ | PFM | R/W | | | - | 00H |
| FF2BH | パワーフェイル比較しきい値レジスタ | PFT | R/W | - | | - | 00H |
| FF2CH | ポート・モード・レジスタ12 | PM12 | R/W | | | - | FFH |
| FF30H | ブルアップ抵抗オプション・レジスタ0 | PU0 | R/W | | | - | 00H |
| FF31H | ブルアップ抵抗オプション・レジスタ1 | PU1 | R/W | | | - | 00H |
| FF33H | ブルアップ抵抗オプション・レジスタ3 | PU3 | R/W | | | - | 00H |
| FF3CH | ブルアップ抵抗オプション・レジスタ12 | PU12 | R/W | | | - | 00H |
| FF48H | 外部割り込み立ち上がりエッジ許可レジスタ | EGP | R/W | | | - | 00H |
| FF49H | 外部割り込み立ち下がりエッジ許可レジスタ | EGN | R/W | | | - | 00H |
| FF4FH | 入力切り替え制御レジスタ | ISC | R/W | | | - | 00H |
| FF50H | アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 | ASIM6 | R/W | | | - | 01H |
| FF53H | アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 | ASIS6 | R | - | | - | 00H |
| FF55H | アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 | ASIF6 | R | - | | - | 00H |
| FF56H | クロック選択レジスタ6 | CKSR6 | R/W | - | | - | 00H |

表3-5 特殊機能レジスタ一覧(2/3)

| アドレス | 特殊機能レジスタ(SFR)名称 | 略号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|-------|---|--------|------|-----------|------|-------|-------------------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FF57H | ポー・レート・ジェネレータ・コントロール・レジスタ6 | BRGC6 | R/W | - | | - | FFH |
| FF58H | アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 | ASICL6 | R/W | | | - | 16H |
| FF69H | 8ビット・タイマHモード・レジスタ0 | TMHMD0 | R/W | | | - | 00H |
| FF6AH | タイマ・クロック選択レジスタ50 | TCL50 | R/W | - | | - | 00H |
| FF6BH | 8ビット・タイマ・モード・コントロール・レジスタ50 | TMC50 | R/W | | | - | 00H |
| FF6CH | 8ビット・タイマHモード・レジスタ1 | TMHMD1 | R/W | | | - | 00H |
| FF70H | アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 ^{注1} | ASIM0 | R/W | | | - | 01H |
| FF71H | ポー・レート・ジェネレータ・コントロール・レジスタ0 ^{注1} | BRGC0 | R/W | - | | - | 1FH |
| FF72H | 受信バッファ・レジスタ0 ^{注1} | RXB0 | R | - | | - | FFH |
| FF73H | アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 ^{注1} | ASIS0 | R | - | | - | 00H |
| FF74H | 送信シフト・レジスタ0 ^{注1} | TXS0 | W | - | | - | FFH |
| FF80H | シリアル動作モード・レジスタ10 | CSIM10 | R/W | | | - | 00H |
| FF81H | シリアル・クロック選択レジスタ10 | CSIC10 | R/W | | | - | 00H |
| FF84H | 送信バッファ・レジスタ10 | SOTB10 | R/W | - | | - | 不定 |
| FF98H | ウォッチドッグ・タイマ・モード・レジスタ | WDTM | R/W | - | | - | 67H |
| FF99H | ウォッチドッグ・タイマ・イネーブル・レジスタ | WDTE | R/W | - | | - | 9AH |
| FFA0H | Ring-OSCモード・レジスタ | RCM | R/W | | | - | 00H |
| FFA1H | メイン・クロック・モード・レジスタ | MCM | R/W | | | - | 00H |
| FFA2H | メインOSCコントロール・レジスタ | MOC | R/W | | | - | 00H |
| FFA3H | 発振安定時間カウンタ状態レジスタ | OSTC | R | | | - | 00H |
| FFA4H | 発振安定時間選択レジスタ | OSTS | R/W | - | | - | 05H |
| FFA9H | クロック・モニタ・モード・レジスタ | CLM | R/W | | | - | 00H |
| FFACH | リセット・コントロール・フラグ・レジスタ | RESF | R | - | | - | 00H ^{注2} |
| FFBAH | 16ビット・タイマ・モード・コントロール・レジスタ00 | TMC00 | R/W | | | - | 00H |
| FFBBH | プリスケアラ・モード・レジスタ00 | PRM00 | R/W | | | - | 00H |
| FFBCH | キャプチャ/コンペア・コントロール・レジスタ00 | CRC00 | R/W | | | - | 00H |
| FFBDH | 16ビット・タイマ出力コントロール・レジスタ00 | TOC00 | R/W | | | - | 00H |
| FFBEH | 低電圧検出レジスタ | LVIM | R/W | | | - | 00H |
| FFBFH | 低電圧検出レベル選択レジスタ | LVIS | R/W | - | | - | 00H |
| FFE0H | 割り込み要求フラグ・レジスタ0L | IF0 | IF0L | R/W | | | 00H |
| FFE1H | 割り込み要求フラグ・レジスタ0H | | IF0H | R/W | | | 00H |
| FFE2H | 割り込み要求フラグ・レジスタ1L | IF1L | | R/W | | - | 00H |
| FFE4H | 割り込みマスク・フラグ・レジスタ0L | MK0 | MK0L | R/W | | | FFH |
| FFE5H | 割り込みマスク・フラグ・レジスタ0H | | MK0H | R/W | | | FFH |
| FFE6H | 割り込みマスク・フラグ・レジスタ1L | MK1L | | R/W | | - | FFH |

注1 . μ PD780102, 780103, 78F0103のみ。

2 . リセット要因により変化します。

表3 - 5 特殊機能レジスタ一覧 (3/3)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|-------|------------------------------|------|------|-----|-----------|------|-------|-------|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FFE8H | 優先順位指定フラグ・レジスタ0L | PR0 | PR0L | R/W | | | | FFH |
| FFE9H | 優先順位指定フラグ・レジスタ0H | | PR0H | R/W | | | | FFH |
| FFEAH | 優先順位指定フラグ・レジスタ1L | PR1L | | R/W | | | - | FFH |
| FFF0H | メモリ・サイズ切り替えレジスタ ^注 | IMS | | R/W | - | | - | CFH |
| FFFBH | プロセッサ・クロック・コントロール・レジスタ | PCC | | R/W | | | - | 00H |

注 IMSの初期値は内部メモリ容量にかかわらず、78K0/KB1すべての製品において一定 (IMS = CFH) となっています。したがって、各製品ごとに次に示す値を必ず設定してください。

| | メモリ・サイズ切り替えレジスタ (IMS) |
|-------------|-----------------------|
| μ PD780101 | 42H |
| μ PD780102 | 04H |
| μ PD780103 | 06H |
| μ PD78F0103 | マスクROM製品に対応した値 |

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

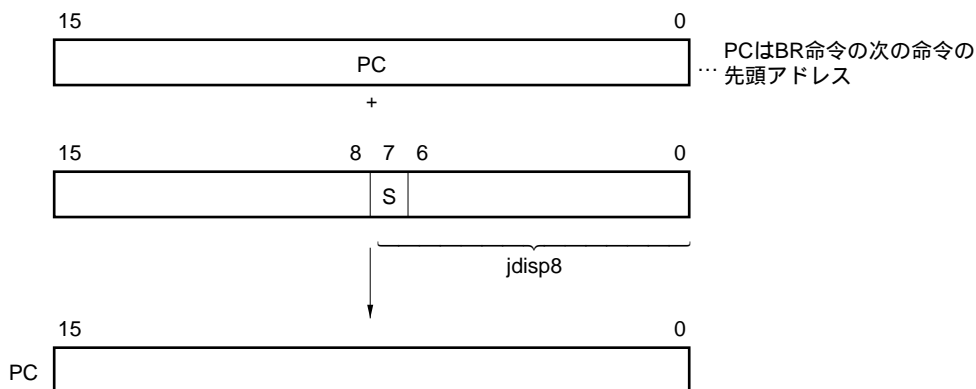
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、は全ビット0

S = 1のとき、は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

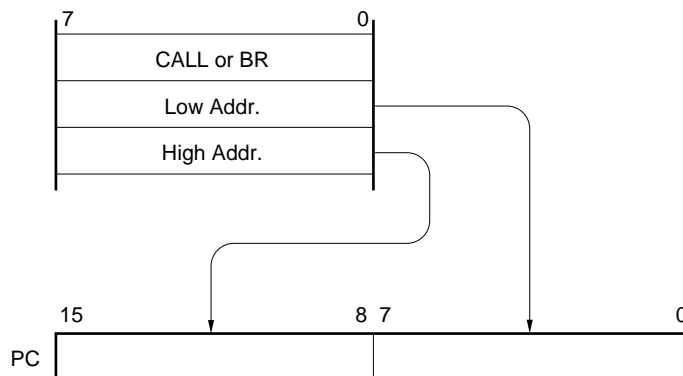
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

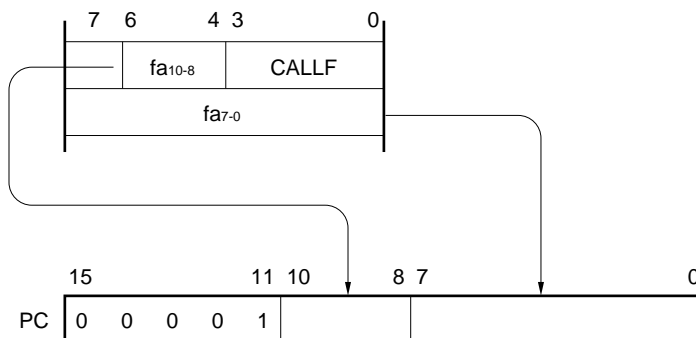
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



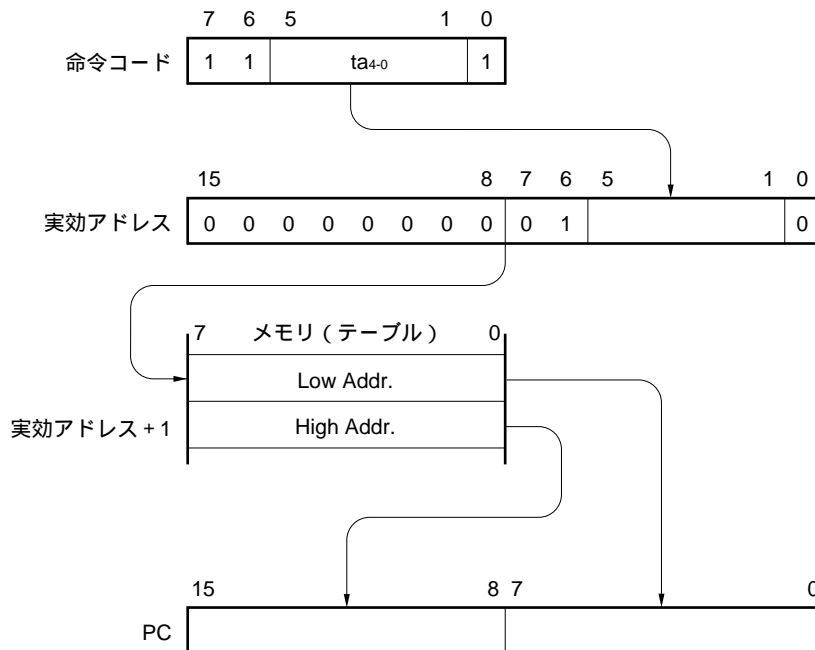
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



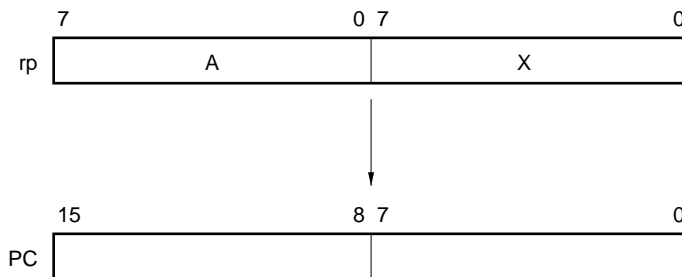
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/KB1の命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

| 命 令 | インプライド・アドレッシングで指定されるレジスタ |
|-------------|---|
| MULU | 被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ |
| DIVUW | 被除数および商を格納するレジスタとしてAXレジスタ |
| ADJBA/ADJBS | 10進補正の対象となる数値を格納するレジスタとしてAレジスタ |
| ROR4/ROL4 | ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ |

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

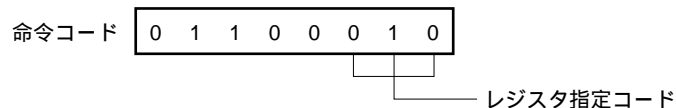
【オペランド形式】

| 表現形式 | 記述方法 |
|------|------------------------|
| r | X, A, C, B, E, D, L, H |
| rp | AX, BC, DE, HL |

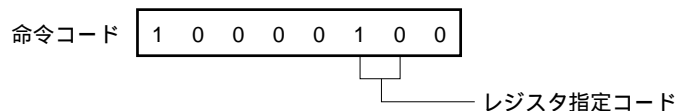
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

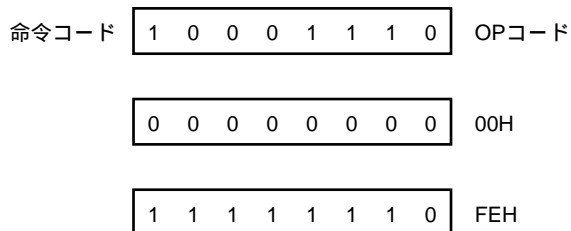
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

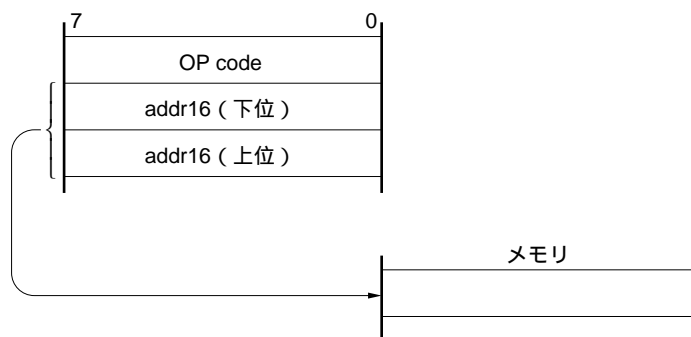
| 表現形式 | 記述方法 |
|--------|------------------------|
| addr16 | ラベルまたは16ビット・イミディエト・データ |

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域 (FF00H-FF1FH) は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

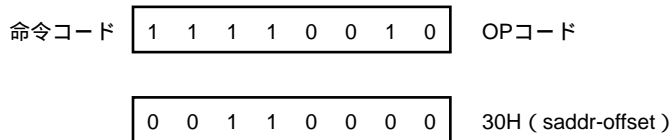
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

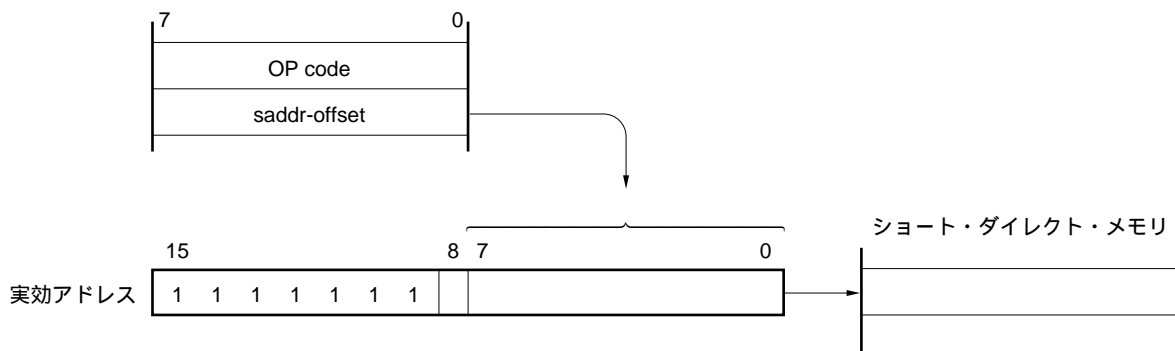
| 表現形式 | 記述方法 |
|--------|---|
| saddr | ラベルまたはFE20H-FF1FHを示すイミディエト・データ |
| saddrp | ラベルまたはFE20H-FF1FHを示すイミディエト・データ (偶数アドレスのみ) |

【記述例】

MOV 0FE30H, A ; saddr (FE30H) にAレジスタの値を転送する場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき、 = 0

8ビット・イミディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

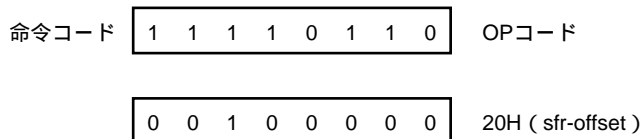
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

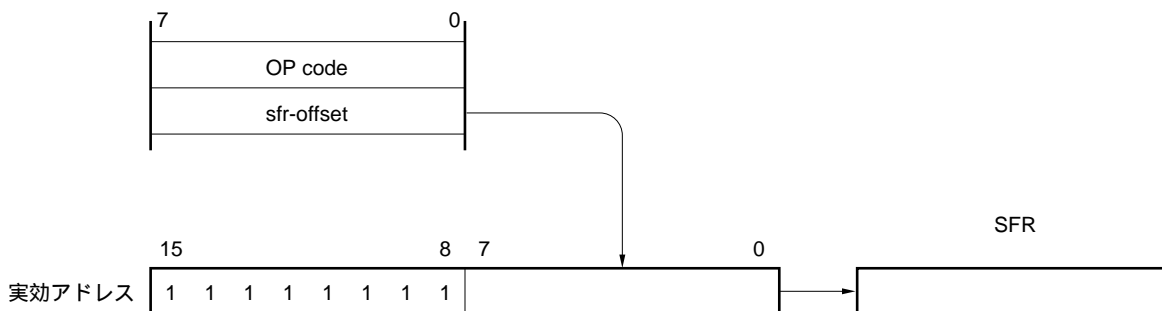
| 表現形式 | 記述方法 |
|------|--------------------------------|
| sfr | 特殊機能レジスタ名 |
| sfrp | 16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ) |

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|------------|
| - | [DE], [HL] |

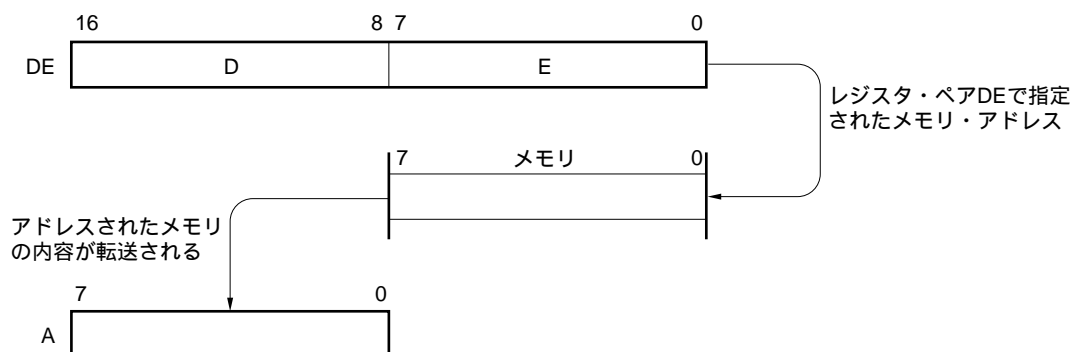
【記述例】

MOV A, [DE]; レジスタ・ペアに [DE] を選択する場合

命令コード

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|---------------|
| - | [HL + byte] |

【記述例】

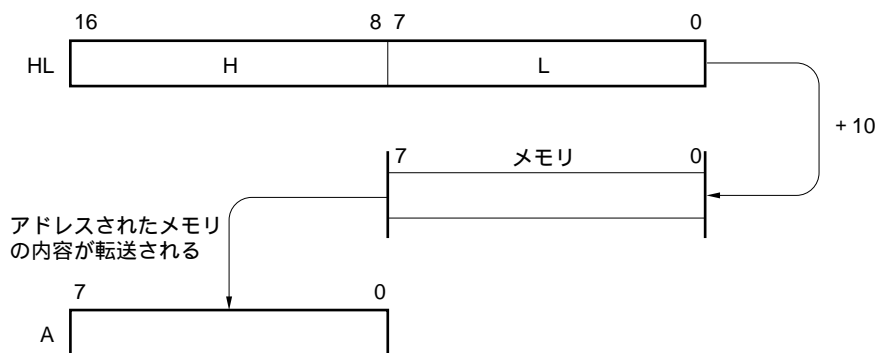
MOV A , [HL + 10H] ; byteを10Hとする場合

命令コード

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
|---|---|---|---|---|---|---|---|

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
|---|---|---|---|---|---|---|---|

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|----------------|
| - | [HL+B], [HL+C] |

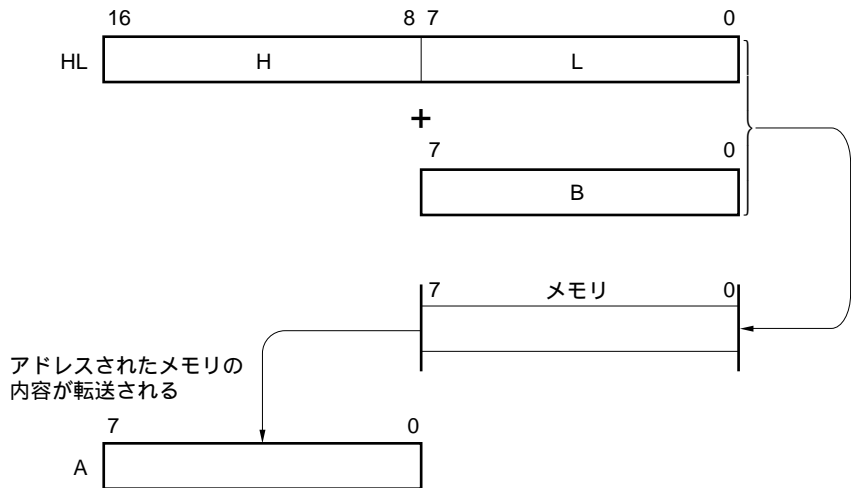
【記述例】

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
|---|---|---|---|---|---|---|---|

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により，スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

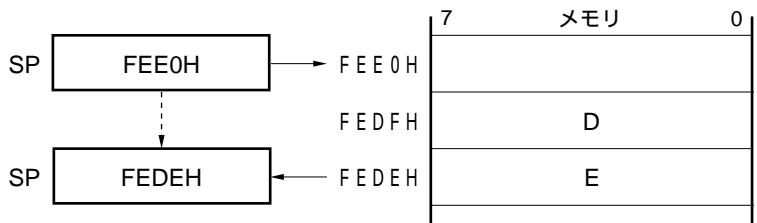
【記述例】

PUSH DE (DEレジスタをセーブ) の場合

命令コード

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|

【図解】



第4章 ポート機能

4.1 ポートの機能

端子の入出力バッファ電源には、 AV_{REF} 、 V_{DD} の2系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

| 電源 | 対応する端子 |
|------------|--------------|
| AV_{REF} | P20-P23 |
| V_{DD} | P20-P23以外の端子 |

78K0/KB1は、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類

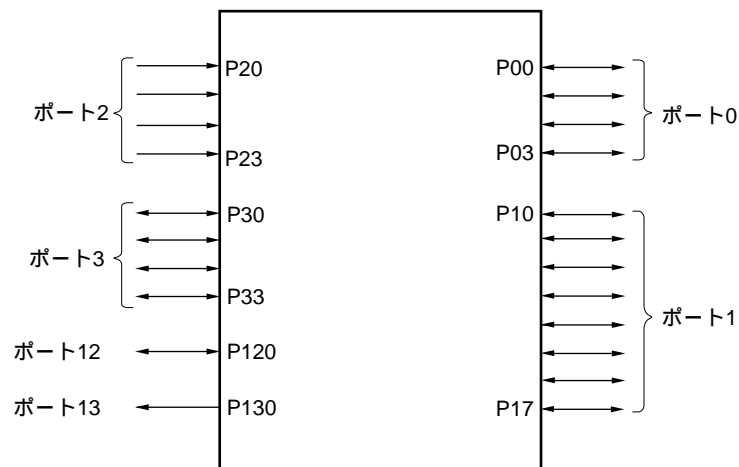


表4-2 ポートの機能

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|---------|-----|--|-------|-------------------------|
| P00 | 入出力 | ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | TI000 |
| P01 | | | | TI010/TO00 |
| P02 | | | | - |
| P03 | | | | - |
| P10 | 入出力 | ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | SCK10/TxD0 ^注 |
| P11 | | | | SI10/RxD0 ^注 |
| P12 | | | | SO10 |
| P13 | | | | TxD6 |
| P14 | | | | RxD6 |
| P15 | | | | TOH0 |
| P16 | | | | TOH1/INTP5 |
| P17 | | | | TI50/TO50 |
| P20-P23 | | | | 入力 |
| P30-P33 | 入出力 | ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | INTP1-INTP4 |
| P120 | 入出力 | ポート12。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力 | INTP0 |
| P130 | 出力 | ポート13。 1ビット出力専用ポート。 | 出力 | - |

注 RxD0, TxD0は、 μ PD780102, 780103, 78F0103のみ。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

| 項目 | 構成 |
|---------|---|
| 制御レジスタ | ポート・モード・レジスタ (PM0, PM1, PM3, PM12) ポート・レジスタ (P0-P3, P12, P13) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12) |
| ポート | 合計: 22本 (CMOS入出力: 17本, CMOS入力: 4本, CMOS出力: 1本) |
| プルアップ抵抗 | 合計: 17本 (ソフトウェア制御のみ) |

4.2.1 ポート0

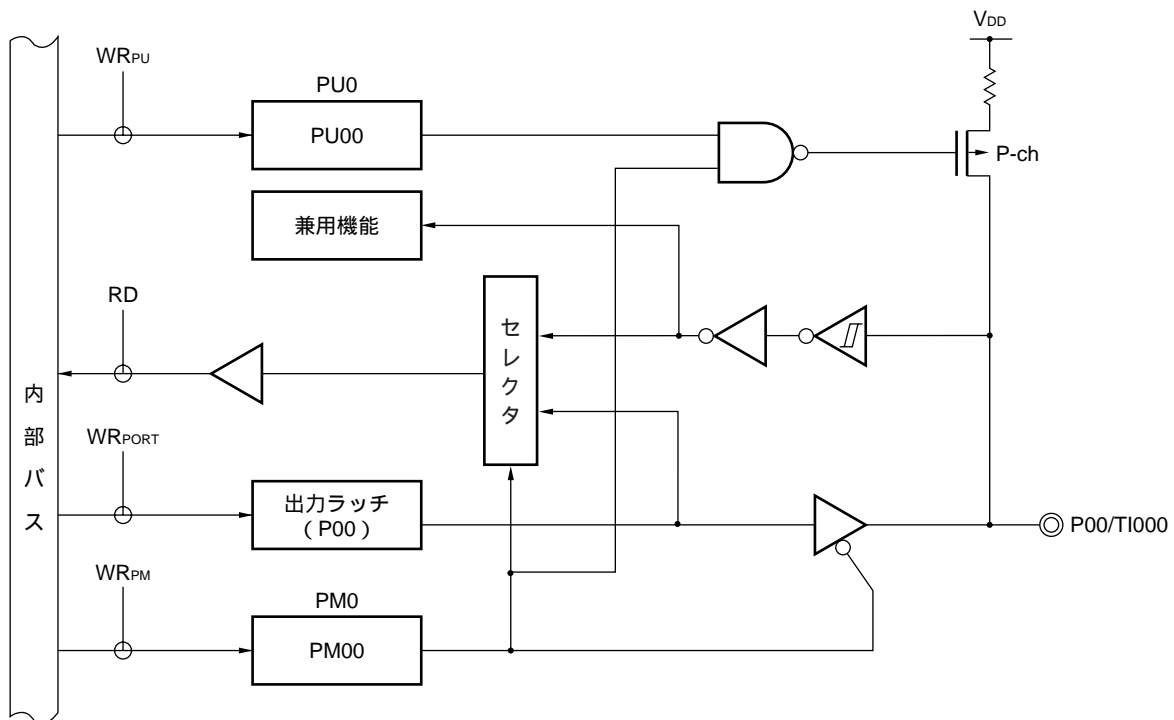
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力があります。

RESET \bar 入力により、入力モードになります。

図4-2~4-4にポート0のブロック図を示します。

図4-2 P00のブロック図



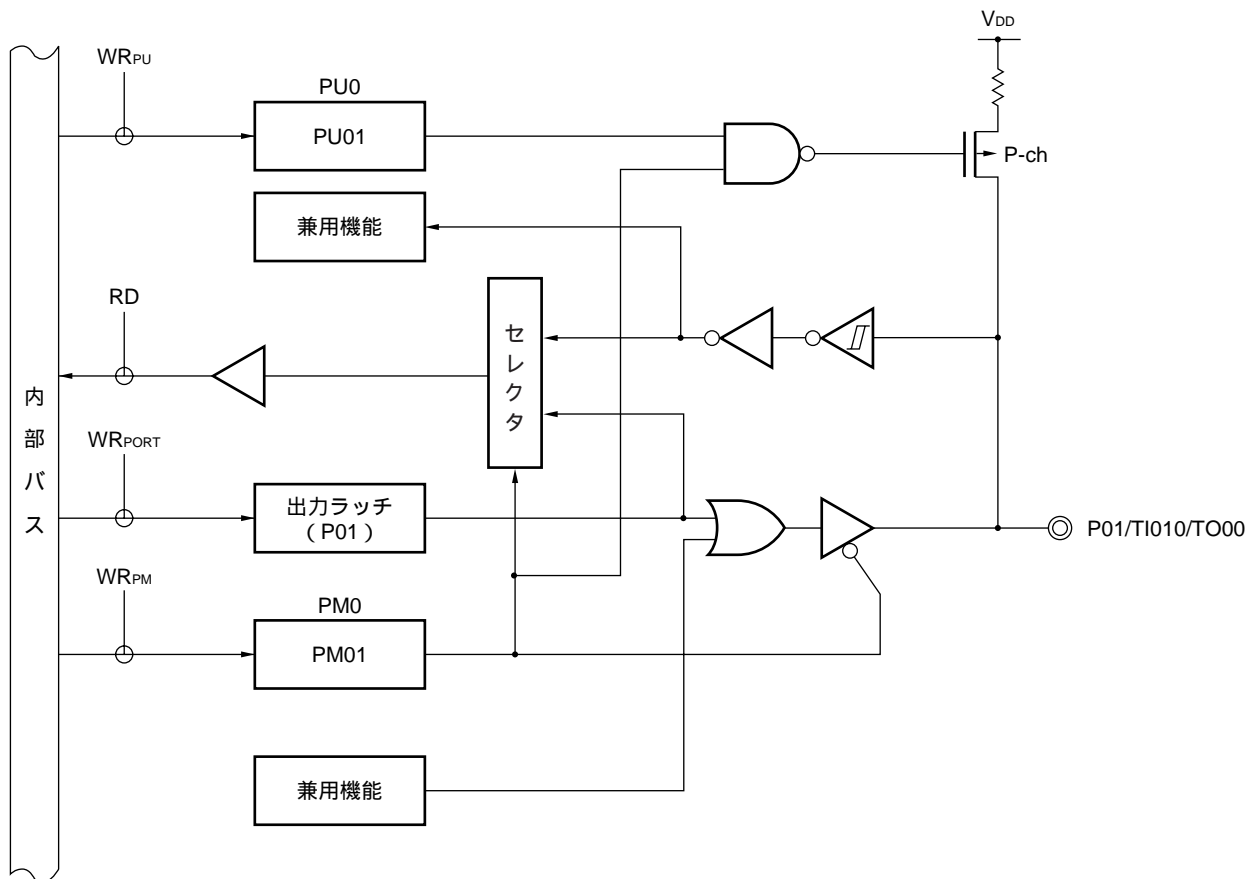
PU0 : プルアップ抵抗オプション・レジスタ0

PM0 : ポート・モード・レジスタ0

RD : リード信号

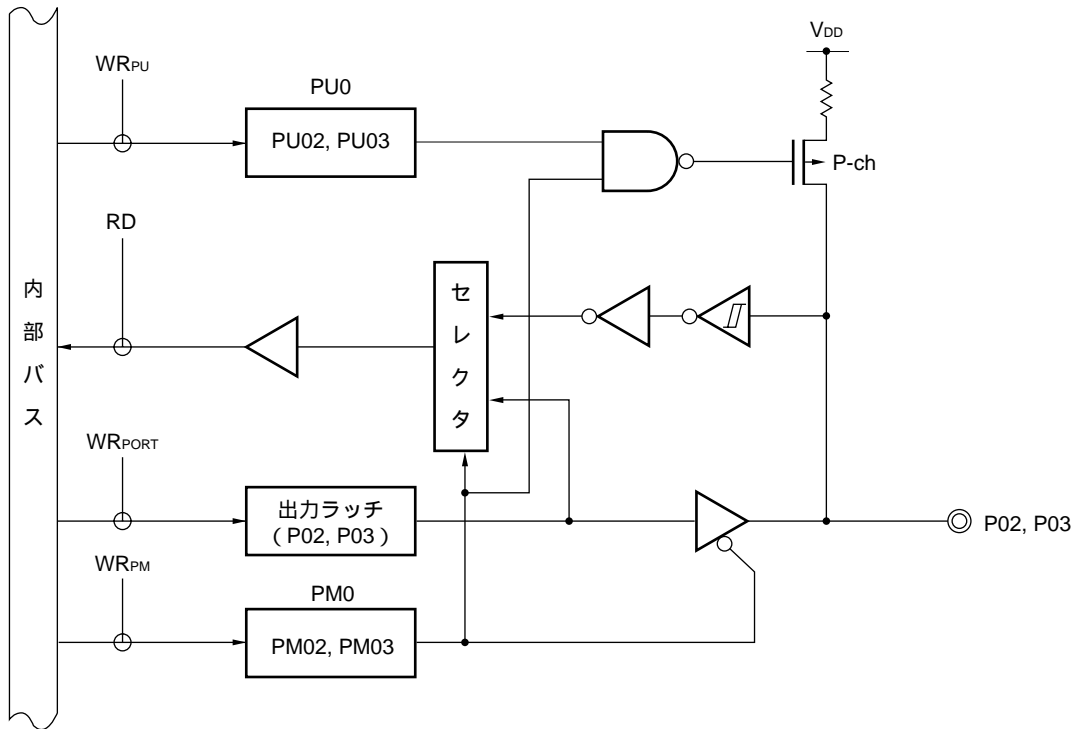
WR_x : ライト信号

図4 - 3 P01のブロック図



- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 4 P02, P03のブロック図



- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

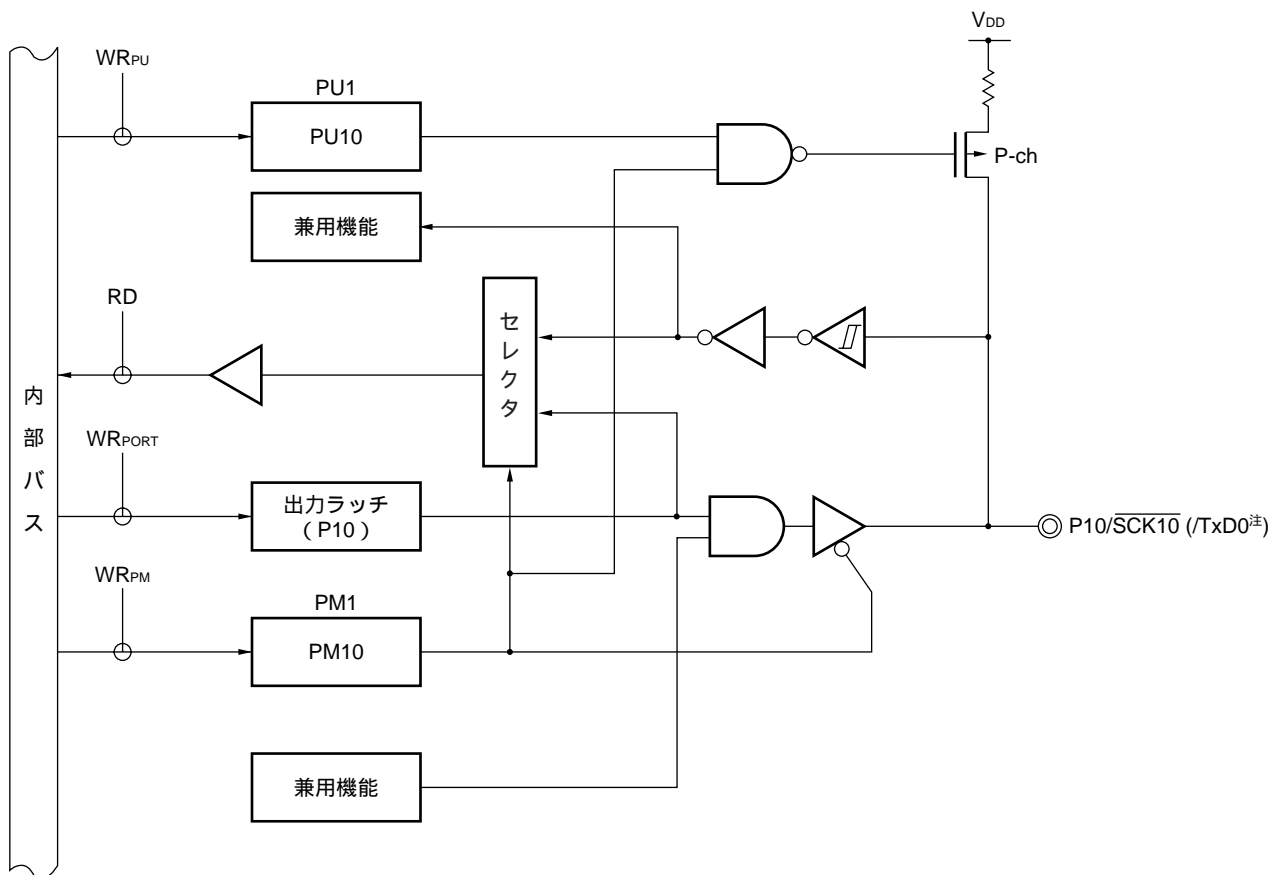
また、兼用機能として外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 5 ~ 4 - 9にポート1のブロック図を示します。

注意 P10/ $\overline{\text{SCK10}}$ (/TxD0^注) , P11/SI10 (/RxD0^注) , P12/SO10を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) への書き込みを行わないでください。

図4 - 5 P10のブロック図



注 μ PD780102, 780103, 78F0103のみ。

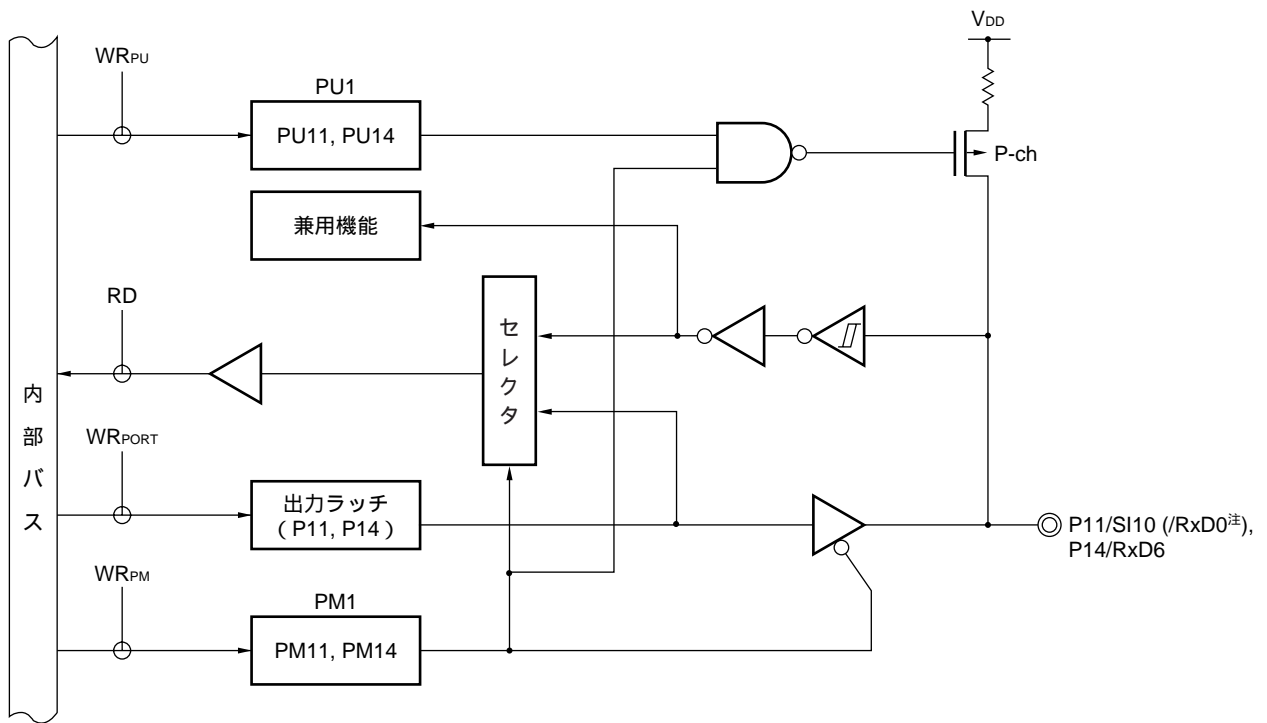
PU1 : プルアップ抵抗オプション・レジスタ1

PM1 : ポート・モード・レジスタ1

RD : リード信号

WR_{xx} : ライト信号

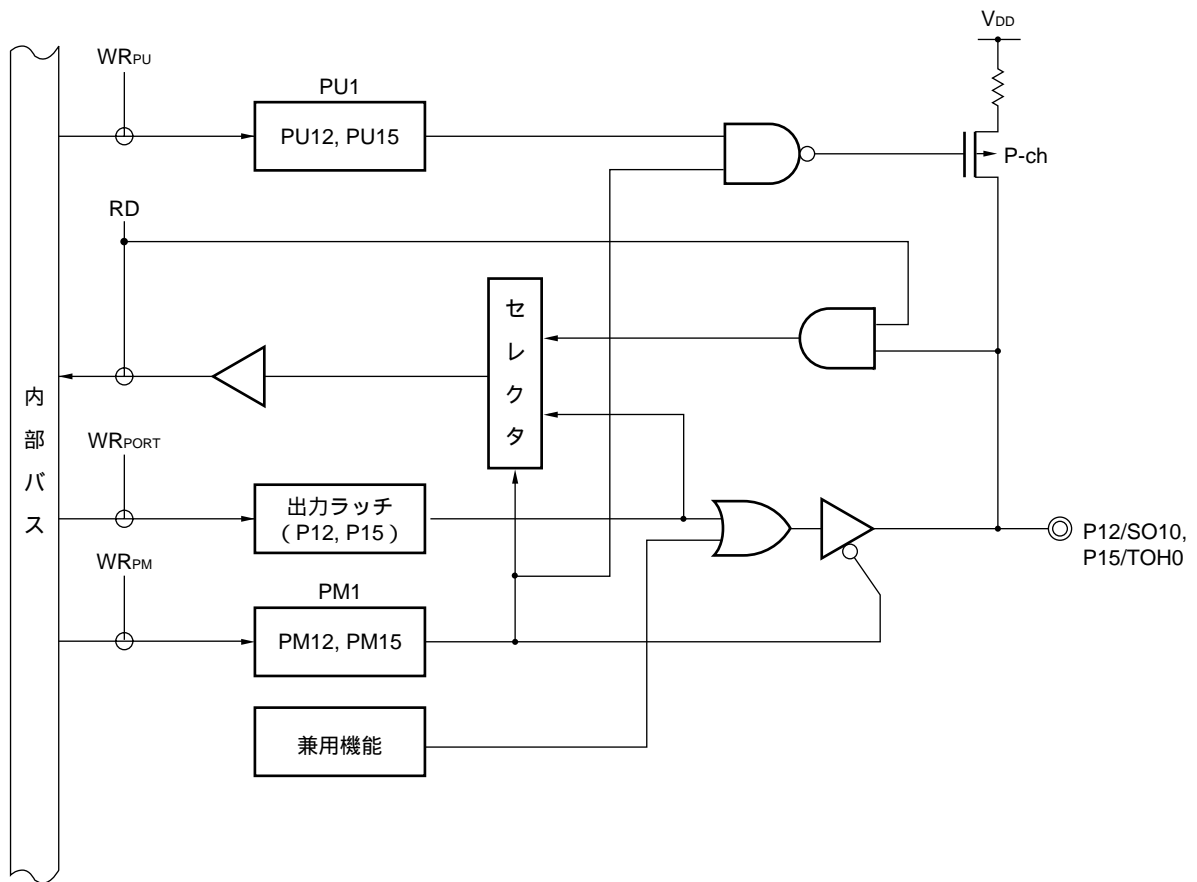
図4 - 6 P11, P14のブロック図



注 μ PD780102, 780103, 78F0103のみ。

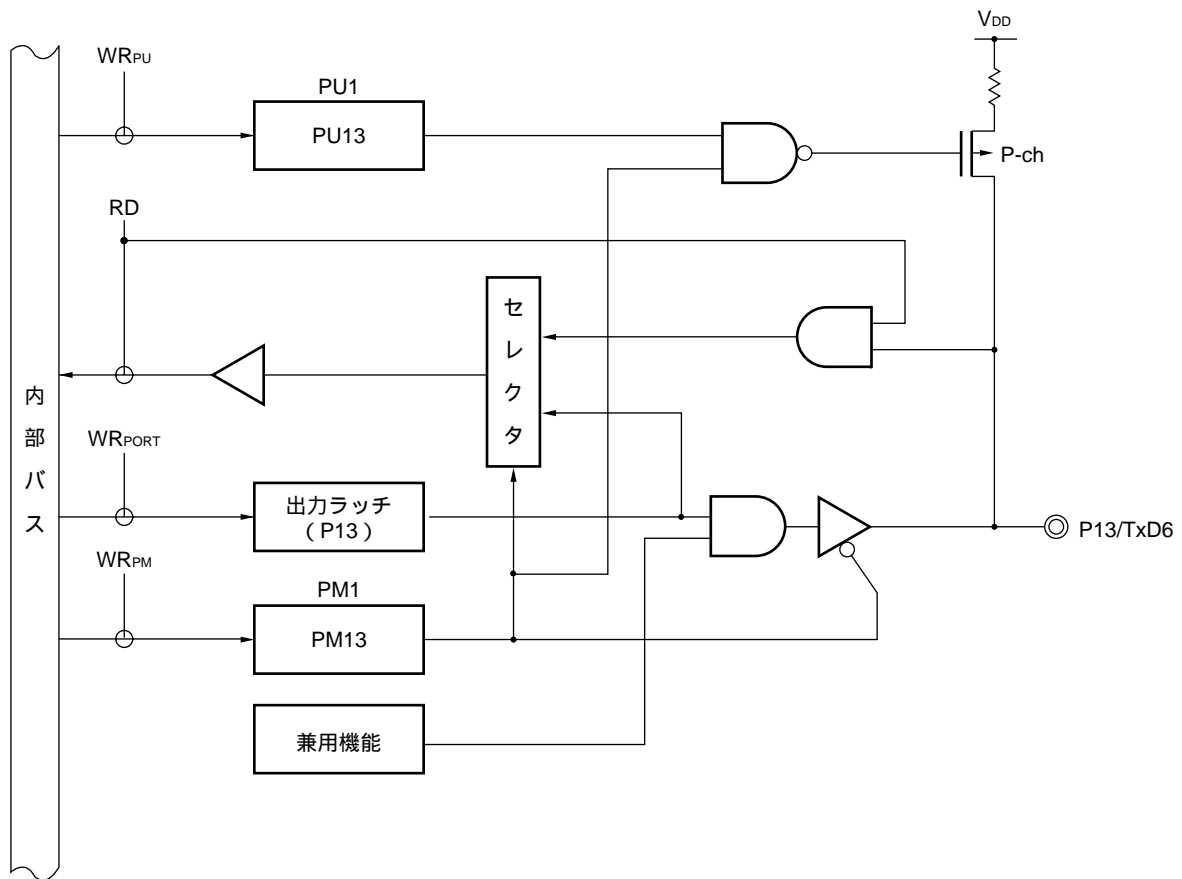
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4 - 7 P12, P15のブロック図



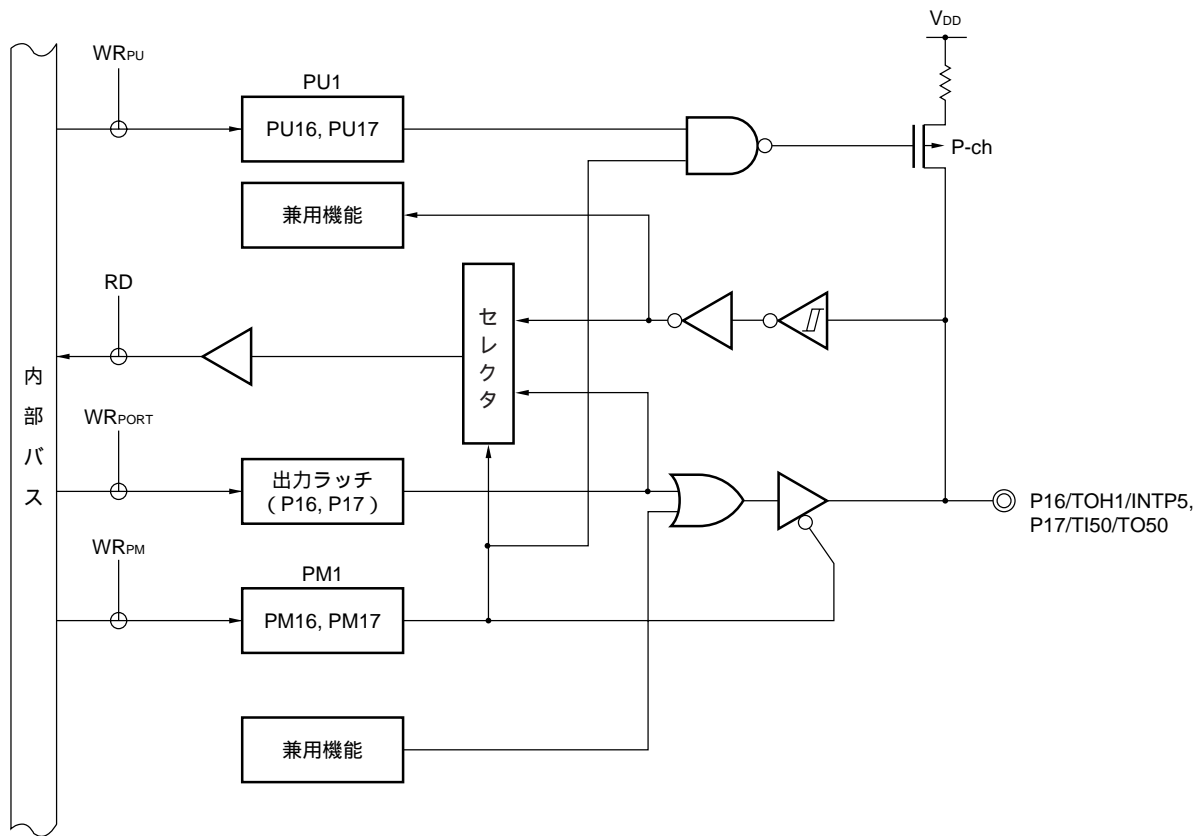
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 8 P13のブロック図



- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 9 P16, P17のブロック図



- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

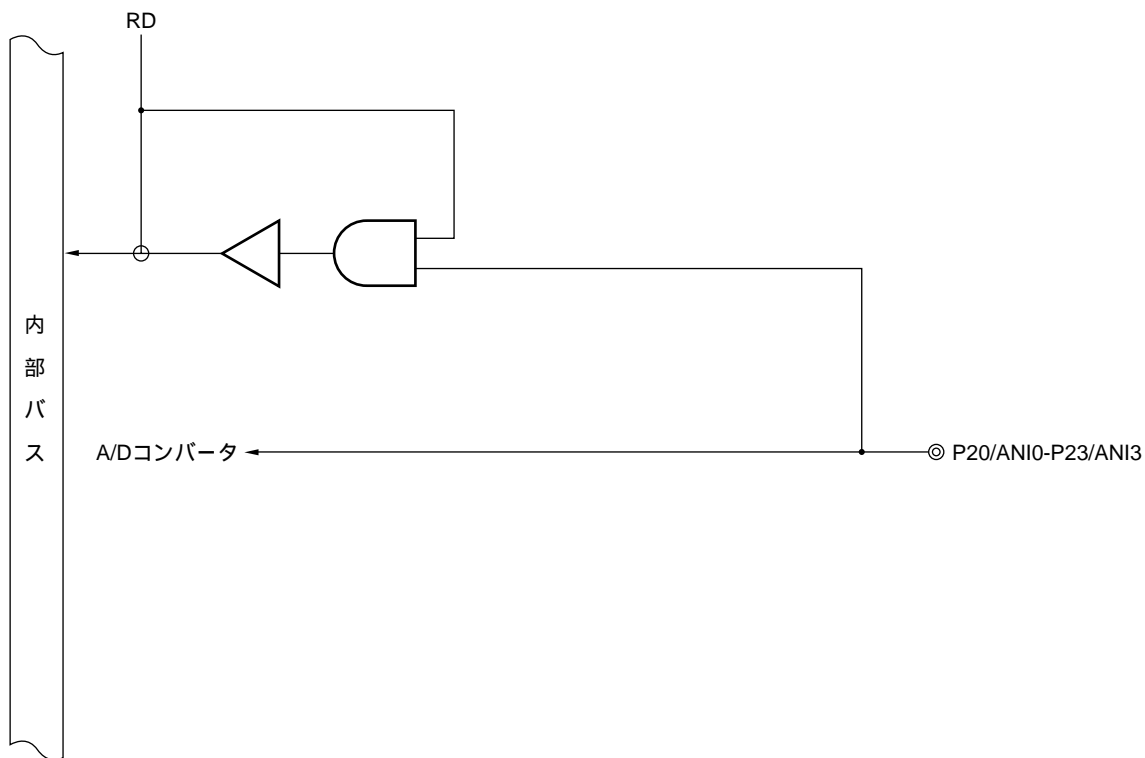
4.2.3 ポート2

4ビットの入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 10にポート2のブロック図を示します。

図4 - 10 P20-P23のブロック図



RD : リード信号

4.2.4 ポート3

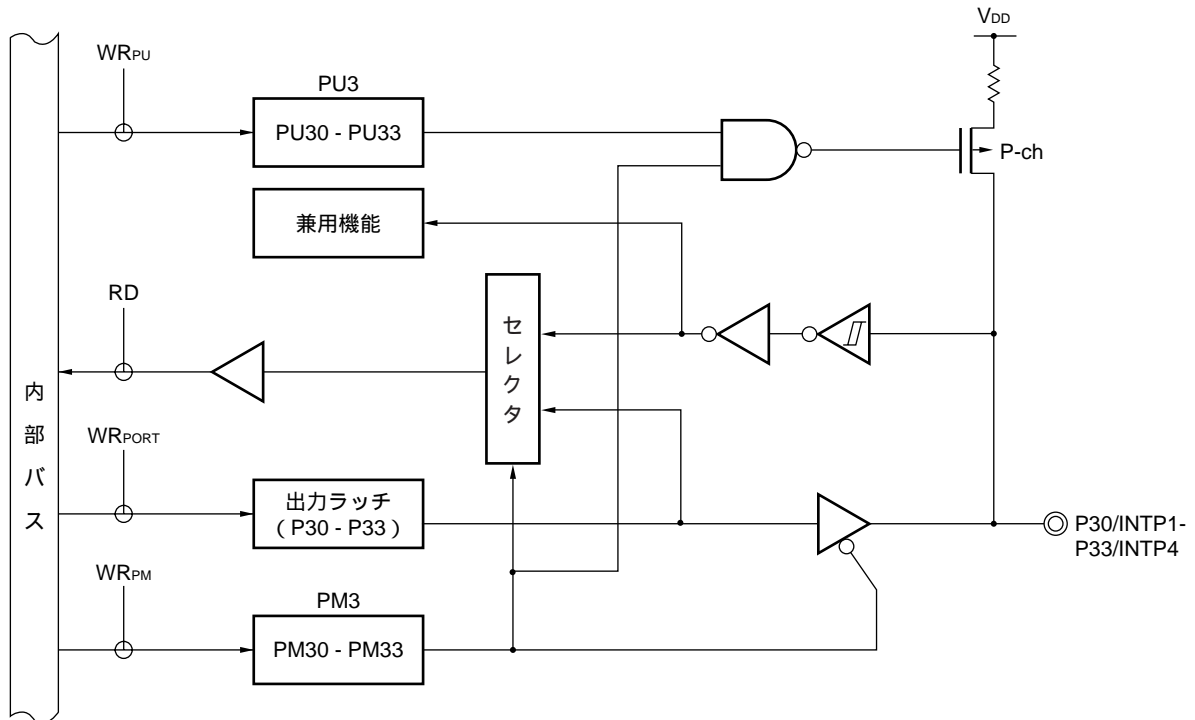
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 11にポート3のブロック図を示します。

図4 - 11 P30-P33のブロック図



PU3 : プルアップ抵抗オプション・レジスタ3

PM3 : ポート・モード・レジスタ3

RD : リード信号

WR_x : ライト信号

4.2.5 ポート12

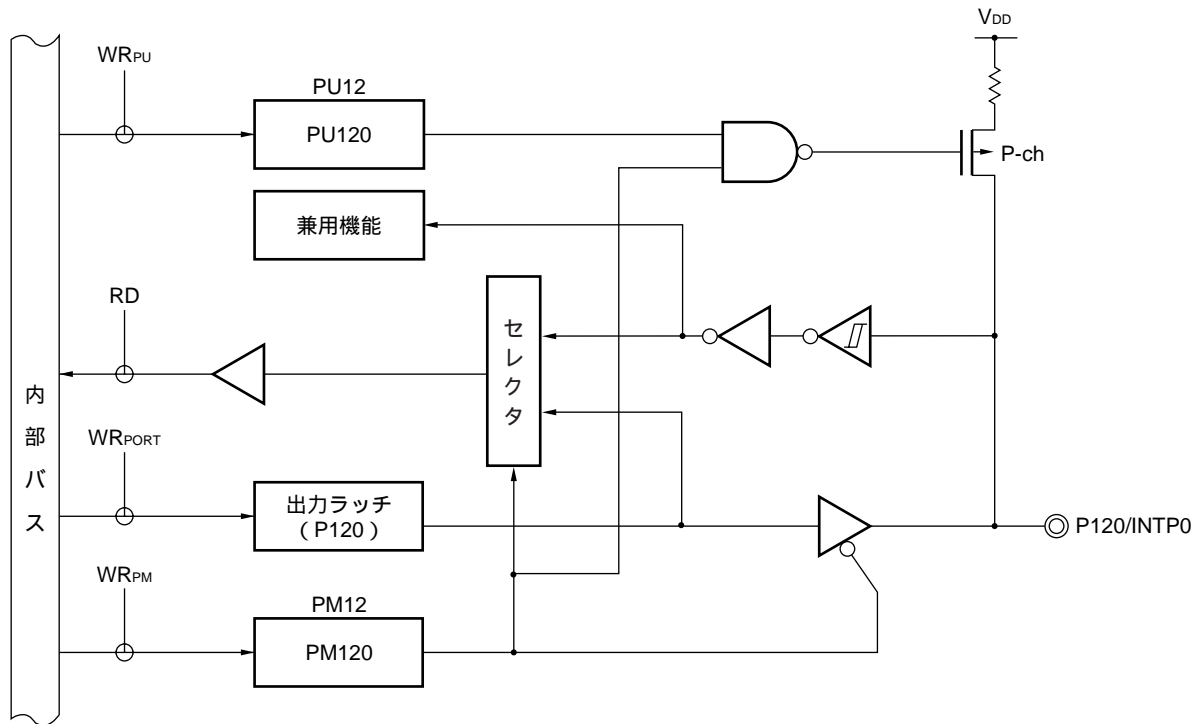
出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力があります。

RESET \bar 入力により、入力モードになります。

図4 - 12にポート12のブロック図を示します。

図4 - 12 P120のブロック図



PU12 : プルアップ抵抗オプション・レジスタ12

PM12 : ポート・モード・レジスタ12

RD : リード信号

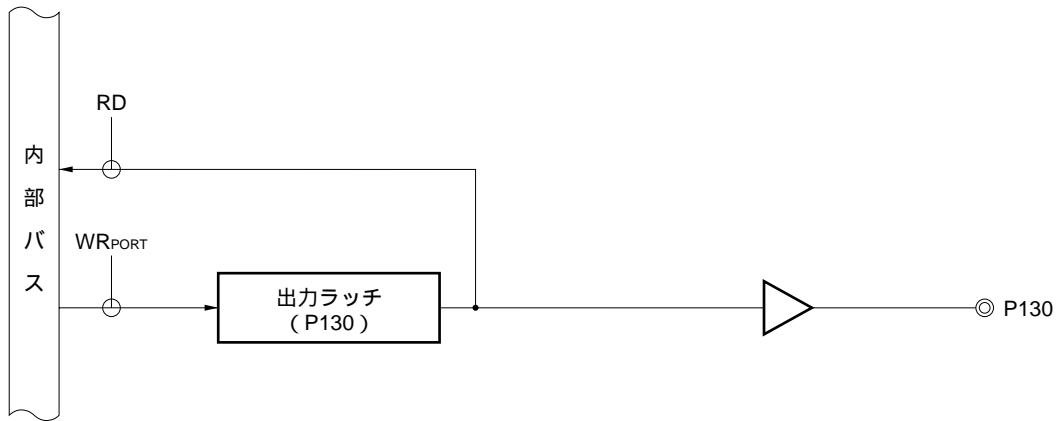
WR_x : ライト信号

4.2.6 ポート13

1ビット出力専用ポートです。

図4 - 13にポート13のブロック図を示します。

図4 - 13 P130のブロック図



RD : リード信号

WR_x : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM1, PM3, PM12)
- ・ポート・レジスタ (P0-P3, P12, P13)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12)

(1) ポート・モード・レジスタ (PM0, PM1, PM3, PM12)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4 - 4のように設定してください。

図4 - 14 ポート・モード・レジスタのフォーマット

| | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|-------|-------|-------|-----|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
| PM0 | 1 | 1 | 1 | 1 | PM03 | PM02 | PM01 | PM00 | FF20H | FFH | R/W |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 | FF21H | FFH | R/W |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| PM3 | 1 | 1 | 1 | 1 | PM33 | PM32 | PM31 | PM30 | FF23H | FFH | R/W |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| PM12 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM120 | FF2CH | FFH | R/W |

| | |
|------|---|
| PMmn | Pmn端子の入出力モードの選択 (m = 0, 1, 3, 12; n = 0-7) |
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

表4 - 4 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

| 端子名称 | 兼用機能 | | PM x x | P x x |
|---------|---------------------------|-----|--------|-------|
| | 名 称 | 入出力 | | |
| P00 | TI000 | 入力 | 1 | x |
| P01 | TI010 | 入力 | 1 | x |
| | TO00 | 出力 | 0 | 0 |
| P10 | $\overline{\text{SCK10}}$ | 入力 | 1 | x |
| | | 出力 | 0 | 1 |
| | TxD0 ^注 | 出力 | 0 | 1 |
| P11 | SI10 | 入力 | 1 | x |
| | RxD0 ^注 | 入力 | 1 | x |
| P12 | SO10 | 出力 | 0 | 0 |
| P13 | TxD6 | 出力 | 0 | 1 |
| P14 | RxD6 | 入力 | 1 | x |
| P15 | TOH0 | 出力 | 0 | 0 |
| P16 | TOH1 | 出力 | 0 | 0 |
| | INTP5 | 入力 | 1 | x |
| P17 | TI50 | 入力 | 1 | x |
| | TO50 | 出力 | 0 | 0 |
| P30-P33 | INTP1-INTP4 | 入力 | 1 | x |
| P120 | INTP0 | 入力 | 1 | x |

注 RxD0, TxD0は, μ PD780102, 780103, 78F0103のみ。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

(2) ポート・レジスタ (P0-P3, P12, P13)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます。

P0-P3, P12, P13は，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00H (P2のみ不定) になります。

図4 - 15 ポート・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|-----|-----|-----|-----|-----|-----|-----|-----|------|-------|-------------|-----|
| P0 | 0 | 0 | 0 | 0 | P03 | P02 | P01 | P00 | FF00H | 00H (出力ラッチ) | R/W |
| P1 | P17 | P16 | P15 | P14 | P13 | P12 | P11 | P10 | FF01H | 00H (出力ラッチ) | R/W |
| P2 | 0 | 0 | 0 | 0 | P23 | P22 | P21 | P20 | FF02H | 不定 | R |
| P3 | 0 | 0 | 0 | 0 | P33 | P32 | P31 | P30 | FF03H | 00H (出力ラッチ) | R/W |
| P12 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P120 | FF0CH | 00H (出力ラッチ) | R/W |
| P13 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P130 | FF0DH | 00H (出力ラッチ) | R/W |

| Pmn | m = 0-3, 12, 13 ; n = 0-7 | |
|-----|---------------------------|---------------------|
| | 出力データの制御 (出力モード時) | 入力データの読み出し (入力モード時) |
| 0 | 0を出力 | ロウ・レベルを入力 |
| 1 | 1を出力 | ハイ・レベルを入力 |

(3) ブルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12)

P00-P03, P10-P17, P30-P33, P120の内蔵ブルアップ抵抗を使用するか,しないかを設定するレジスタです。PU0, PU1, PU3, PU12で内蔵ブルアップ抵抗の使用を指定した端子で,入力モードに設定したビットにのみ,ビット単位で内部ブルアップ抵抗が使用できます。出力モードに設定したビットは,PU0, PU1, PU3, PU12の設定にかかわらず,内蔵ブルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1, PU3, PU12は,1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により,00Hになります。

図4 - 16 ブルアップ抵抗オプション・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|------|------|------|------|------|------|------|-------|-------|-------|-----|
| PU0 | 0 | 0 | 0 | 0 | PU03 | PU02 | PU01 | PU00 | FF30H | 00H | R/W |
| PU1 | PU17 | PU16 | PU15 | PU14 | PU13 | PU12 | PU11 | PU10 | FF31H | 00H | R/W |
| PU3 | 0 | 0 | 0 | 0 | PU33 | PU32 | PU31 | PU30 | FF33H | 00H | R/W |
| PU12 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU120 | FF3CH | 00H | R/W |

| PUmn | Pmnの内蔵ブルアップ抵抗の選択 (m = 0, 1, 3, 12; n = 0-7) |
|------|--|
| 0 | 内蔵ブルアップ抵抗を接続しない |
| 1 | 内蔵ブルアップ抵抗を接続する |

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発生回路には、次の2種類があります。

・X1発振回路

★ $f_{XP} = 2.0 \sim 12.0 \text{ MHz}$ のクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) の設定により、発振を停止することができます。

・Ring-OSC発振回路

$f_R = 240 \text{ kHz}$ (TYP.) のクロックを発振します。マスク・オプションで「ソフトウェアにより停止可能」に設定し、CPUクロックがX1入力クロックの場合、Ring-OSCモード・レジスタ (RCM) の設定により、発振を停止することができます。

★ **注** 標準品, (A) 水準品の拡張規格品: $f_{XP} = 2.0 \sim 12.0 \text{ MHz}$
標準品, (A) 水準品の従来規格品, (A1) 水準品: $f_{XP} = 2.0 \sim 10.0 \text{ MHz}$
(A2) 水準品: $f_{XP} = 2.0 \sim 8.38 \text{ MHz}$

備考1. f_{XP} : X1入力クロック発振周波数
2. f_R : Ring-OSCクロック発振周波数

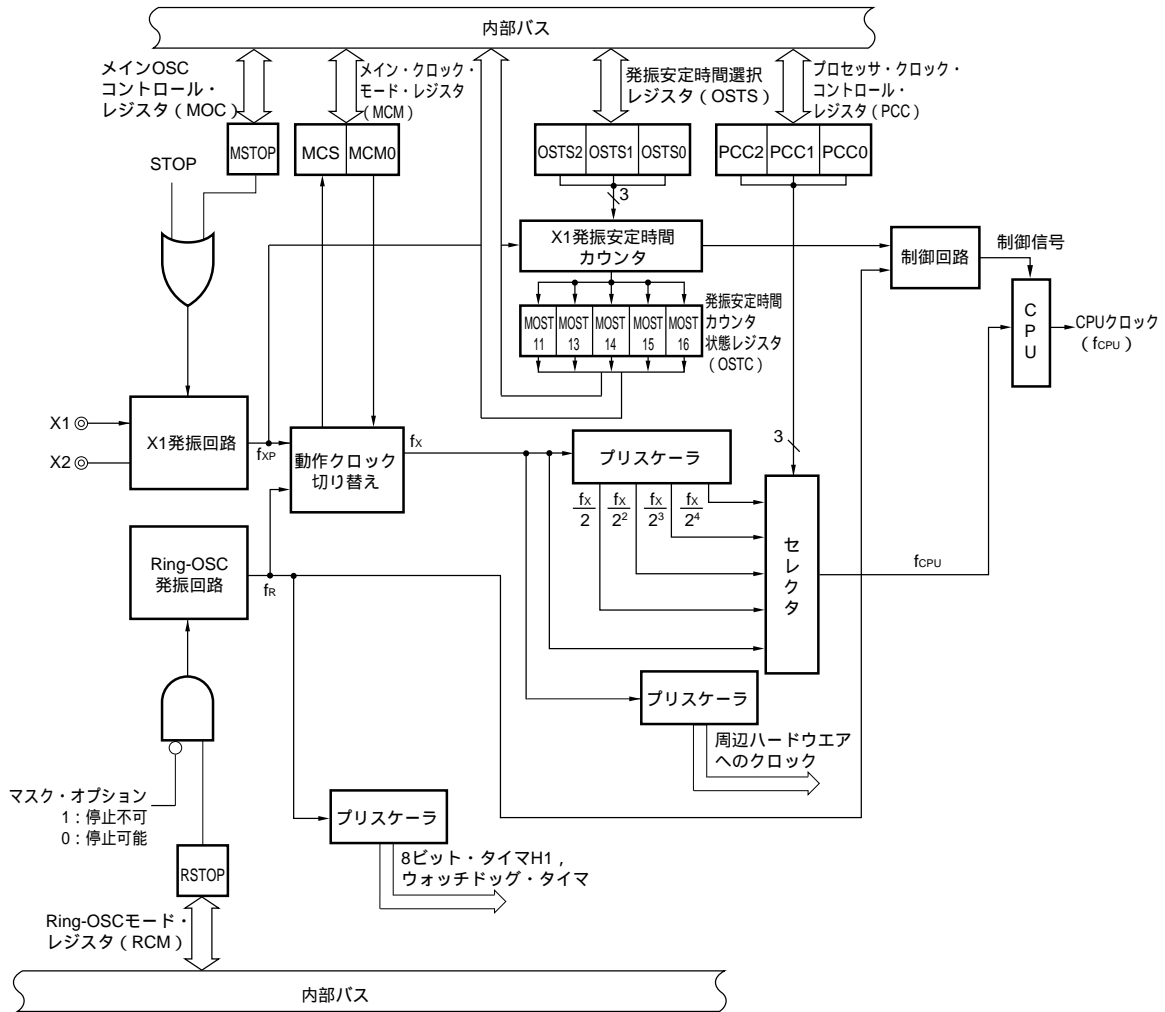
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

| 項目 | 構成 |
|--------|--|
| 制御レジスタ | プロセッサ・クロック・コントロール・レジスタ (PCC) Ring-OSCモード・レジスタ (RCM) メイン・クロック・モード・レジスタ (MCM) メインOSCコントロール・レジスタ (MOC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) |
| 発振回路 | X1発振回路 Ring-OSC発振回路 |

図5-1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の6種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ Ring-OSCモード・レジスタ (RCM)
- ・ メイン・クロック・モード・レジスタ (MCM)
- ・ メインOSCコントロール・レジスタ (MOC)
- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PCC | 0 | 0 | 0 | 0 | 0 | PCC2 | PCC1 | PCC0 |

| PCC2 | PCC1 | PCC0 | CPUクロックの選択 (f_{CPU}) | | |
|------|------|------|--------------------------|--------------------|--------------|
| | | | MCM0 = 0 | | MCM0 = 1 |
| 0 | 0 | 0 | f_x | f_R | f_{XP} |
| 0 | 0 | 1 | $f_x/2$ | $f_R/2^{\text{注}}$ | $f_{XP}/2$ |
| 0 | 1 | 0 | $f_x/2^2$ | 設定禁止 | $f_{XP}/2^2$ |
| 0 | 1 | 1 | $f_x/2^3$ | 設定禁止 | $f_{XP}/2^3$ |
| 1 | 0 | 0 | $f_x/2^4$ | 設定禁止 | $f_{XP}/2^4$ |
| 上記以外 | | | 設定禁止 | | |

★ 注 (A1) 水準品, (A2) 水準品は設定禁止です。

備考1. MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0

2. f_x : メイン・システム・クロック発振周波数 (X1入力クロック発振周波数またはRing-OSCクロック発振周波数)

3. f_R : Ring-OSCクロック発振周波数

4. f_{XP} : X1入力クロック発振周波数

78K0/KB1の一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5 - 2のようになります。

★

表5 - 2 CPUクロックと最小命令実行時間の関係

| CPUクロック (f_{CPU}) ^{注1} | 最小命令実行時間: $2f_{CPU}$ | | |
|-------------------------------------|----------------------|-------------------------|-----------------------------------|
| | X1入力クロック | | Ring-OSCクロック |
| | 10 MHz動作時 | 12 MHz動作時 ^{注2} | (240 kHz (TYP.) 動作時) |
| f_x | 0.2 μs | 0.166 μs | 8.3 μs (TYP.) |
| $f_x/2$ | 0.4 μs | 0.333 μs | 16.6 μs (TYP.) ^{注3} |
| $f_x/2^2$ | 0.8 μs | 0.666 μs | 設定禁止 |
| $f_x/2^3$ | 1.6 μs | 1.333 μs | 設定禁止 |
| $f_x/2^4$ | 3.2 μs | 2.666 μs | 設定禁止 |

- 注1. CPUクロックの設定 (X1入力クロック / Ring-OSCクロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5 - 4参照)。
- 標準品, (A) 水準品の拡張規格品のみ。
 - (A1) 水準品, (A2) 水準品は設定禁止です。

(2) Ring-OSCモード・レジスタ (RCM)

Ring-OSCの動作モードを設定するレジスタです。

このレジスタは、マスク・オプションでRing-OSCを「ソフトウェアにより停止可能」に選択し、CPUクロックにX1入力クロックを選択しているときに有効となります。マスク・オプションでRing-OSCを「停止不可」に選択している場合、このレジスタへの設定は無効となります。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により、00Hになります。

図5 - 3 Ring-OSCモード・レジスタ (RCM) のフォーマット

アドレス: FFA0H リセット時: 00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RCM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RSTOP |

| | |
|-------|------------------|
| RSTOP | Ring-OSCの発振 / 停止 |
| 0 | Ring-OSC発振 |
| 1 | Ring-OSC停止 |

注意 RSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。

(3) メイン・クロック・モード・レジスタ (MCM)

CPUクロック (X1入力クロック / Ring-OSCクロック) を設定するレジスタです。
 MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図5-4 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W^注

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| MCM | 0 | 0 | 0 | 0 | 0 | 0 | MCS | MCM0 |

| | |
|-----|-----------------|
| MCS | CPUクロックのステータス |
| 0 | Ring-OSCクロックで動作 |
| 1 | X1入力クロックで動作 |

| | |
|------|---------------|
| MCM0 | CPUへの供給クロック選択 |
| 0 | Ring-OSCクロック |
| 1 | X1入力クロック |

注 ビット1はRead Onlyです。

注意 CPUへの供給クロックにRing-OSCクロックを選択する場合、周辺ハードウェアには、Ring-OSC発振回路出力 (f_x) の分周クロックが供給されます ($f_x = 240 \text{ kHz (TYP.)}$) となります)。Ring-OSCクロックによる周辺ハードウェアの動作保証はできませんので、CPUへの供給クロックにRing-OSCクロックを選択する場合は、周辺ハードウェアを使用しないでください。また、CPUへの供給クロックをX1入力クロックからRing-OSCクロックに切り替える場合は、周辺ハードウェアを停止したあとに行ってください。ただし次の周辺ハードウェアはCPUがRing-OSCクロックで動作している場合でも使用可能です。

- ・ウォッチドッグ・タイマ
- ・クロック・モニタ
- ・8ビット・タイマH1のカウント・クロックに「 $f_R/2^7$ 」を選択時
- ・クロック・ソースに外部クロックを選択している周辺ハードウェア
 (ただし、TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く)

(4) メインOSCコントロール・レジスタ (MOC)

X1入力クロック動作モードを選択するレジスタです。

このレジスタは、Ring-OSCクロックによるCPU動作時に、X1発振回路を停止する場合に使用します。

したがって、CPUクロックがRing-OSCクロック動作時のみ有効になります。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、00Hになります。

図5 - 5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 00H R/W

| | | | | | | | | |
|-----|-------|---|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| MOC | MSTOP | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | |
|-------|--------------|
| MSTOP | X1発振回路の動作の制御 |
| 0 | X1発振回路動作 |
| 1 | X1発振回路停止 |

注意 MSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が0であることを必ず確認してください。

(5) 発振安定時間カウンタ状態レジスタ (OSTC)

X1入力クロックの発振安定時間カウンタの状態レジスタです。CPUクロックがRing-OSCクロックの場合に、X1入力クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時(RESET \bar 入力 ,POC, LVI ,クロック・モニタ ,WDTによるリセット),STOP命令 , MSTOP = 1により、00Hになります。

図5 - 6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

| | | | | | | | | |
|------|---|---|---|--------|--------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTC | 0 | 0 | 0 | MOST11 | MOST13 | MOST14 | MOST15 | MOST16 |

★

| MOST11 | MOST13 | MOST14 | MOST15 | MOST16 | 発振安定時間のステータス | | |
|--------|--------|--------|--------|--------|-----------------------------|--|------------------------|
| | | | | | $f_{XP} = 10 \text{ MHz}$ 時 | $f_{XP} = 12 \text{ MHz}$ 時 ^注 | |
| 1 | 0 | 0 | 0 | 0 | $2^{11}/f_{XP}$ 以上 | 204.8 μs 以上 | 170.7 μs 以上 |
| 1 | 1 | 0 | 0 | 0 | $2^{13}/f_{XP}$ 以上 | 819.2 μs 以上 | 682.7 μs 以上 |
| 1 | 1 | 1 | 0 | 0 | $2^{14}/f_{XP}$ 以上 | 1.64 ms以上 | 1.37 ms以上 |
| 1 | 1 | 1 | 1 | 0 | $2^{15}/f_{XP}$ 以上 | 3.27 ms以上 | 2.73 ms以上 |
| 1 | 1 | 1 | 1 | 1 | $2^{16}/f_{XP}$ 以上 | 6.55 ms以上 | 5.46 ms以上 |

★

注 標準品, (A) 水準品の拡張規格品のみ。

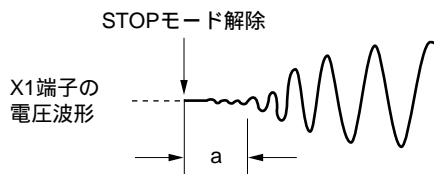
注意1. 上記時間経過後, MOST11から順番に“1”となっていき, そのまま“1”を保持します。

2. CPUクロックがRing-OSCクロック時に, STOPモードに入り, 解除するときは, 発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

X1発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって, STOPモード解除後のOSTCは, OSTCで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. STOPモード解除時のウェイト時間は, $\overline{\text{RESET}}$ 入力による場合も, 割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_{XP} : X1入力クロック発振周波数

(6) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックにX1入力クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックにRing-OSCを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により、05Hになります。

図5 - 7 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

| | | | | | | | | |
|------|---|---|---|---|---|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | 発振安定時間の選択 | |
|-------|-------|-------|-----------------------------|---|
| | | | $f_{XP} = 10 \text{ MHz}$ 時 | $f_{XP} = 12 \text{ MHz}$ 時 ^注 |
| 0 | 0 | 1 | $2^{11}/f_{XP}$ | 204.8 μs / 170.7 μs |
| 0 | 1 | 0 | $2^{13}/f_{XP}$ | 819.2 μs / 682.7 μs |
| 0 | 1 | 1 | $2^{14}/f_{XP}$ | 1.64 ms / 1.37 ms |
| 1 | 0 | 0 | $2^{15}/f_{XP}$ | 3.27 ms / 2.73 ms |
| 1 | 0 | 1 | $2^{16}/f_{XP}$ | 6.55 ms / 5.46 ms |
| 上記以外 | | | 設定禁止 | |

★ 注 標準品，(A)水準品の拡張規格品のみ。

★ 注意1. CPUクロックがX1入力クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

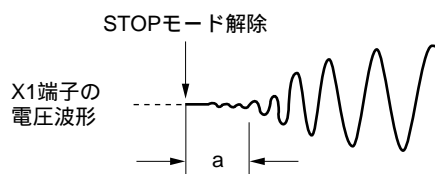
★ 2. OSTSの設定は、OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。

3. CPUクロックがRing-OSCクロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4. STOPモード解除時のウエイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_{XP} : X1入力クロック発振周波数

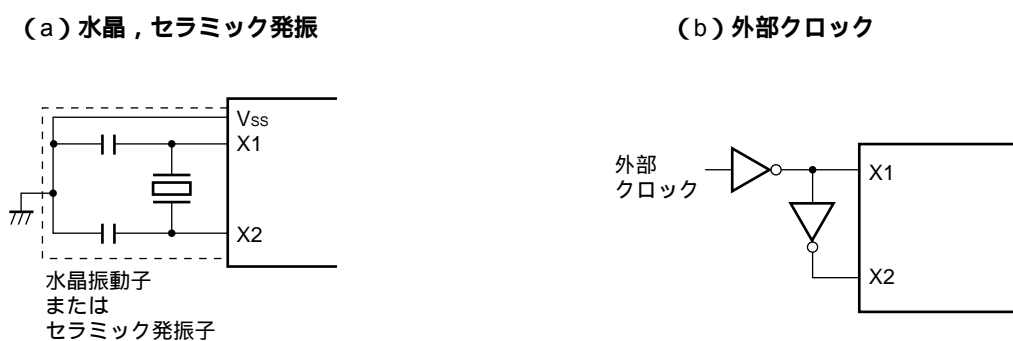
5.4 システム・クロック発振回路

5.4.1 X1発振回路

- ★ X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子によって発振します。
また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5 - 8にX1発振回路の外付け回路を示します。

図5 - 8 X1発振回路の外付け回路例



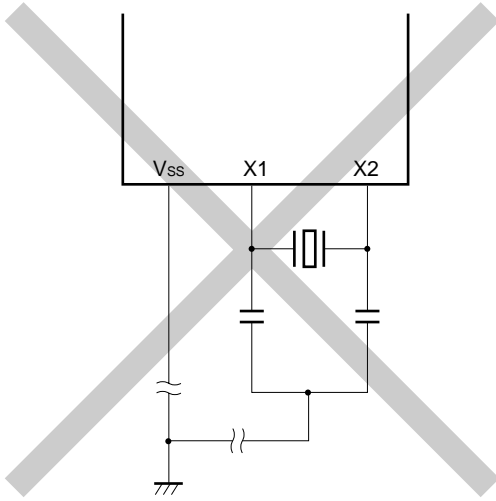
注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 8の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

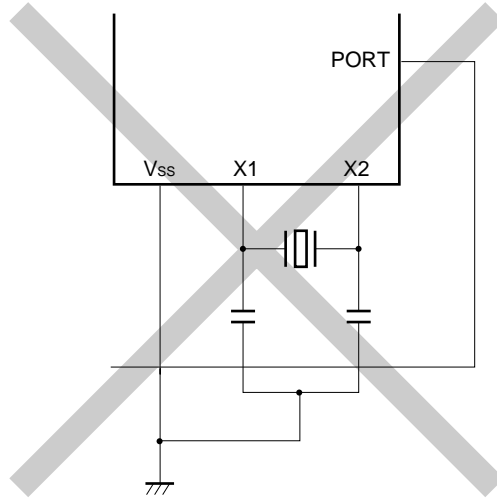
図5 - 9に発振子の接続の悪い例を示します。

図5-9 発振子の接続の悪い例

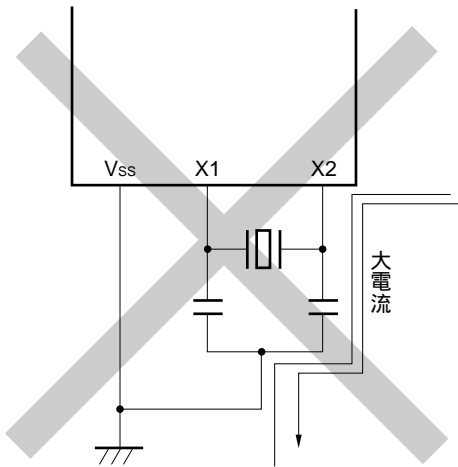
(a) 接続回路の配線が長い



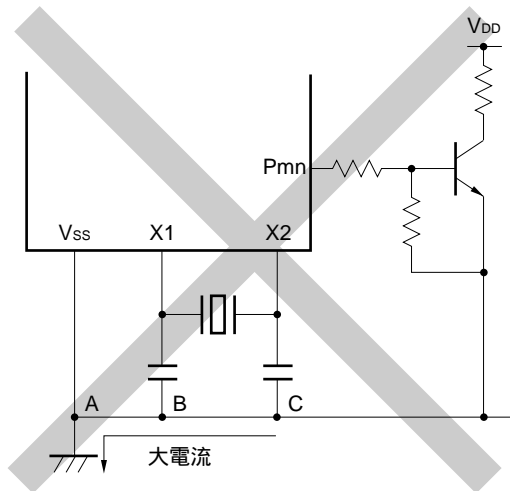
(b) 信号線が交差している



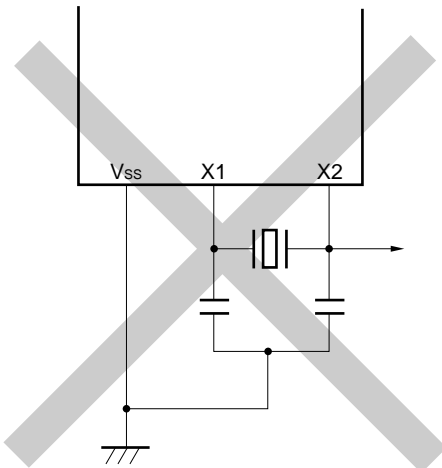
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



5.4.2 Ring-OSC発振回路

78K0/KB1は、Ring-OSC発振回路を内蔵しています。

マスク・オプションにて「ソフトウェアにより停止可能」または「停止不可」を選択できます。 $\overline{\text{RESET}}$ 解除後は必ずRing-OSCクロックを発振します（240 kHz（TYP.））。

5.4.3 プリスケーラ

プリスケーラは、CPUへの供給クロックにX1入力クロックを選択する場合、X1発振回路出力を分周して、各種クロックを生成します。

注意 CPUへの供給クロックにRing-OSCクロックを選択する場合、Ring-OSC発振回路出力を分周して、各種クロックを生成します（ $f_x = 240 \text{ kHz}$ （TYP.））。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・ X1入力クロック f_{XP}
- ・ Ring-OSCクロック f_R
- ・ CPUクロック f_{CPU}
- ・ 周辺ハードウェアへのクロック

78K0/KB1では、リセット解除後、CPUは内蔵のRing-OSC発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

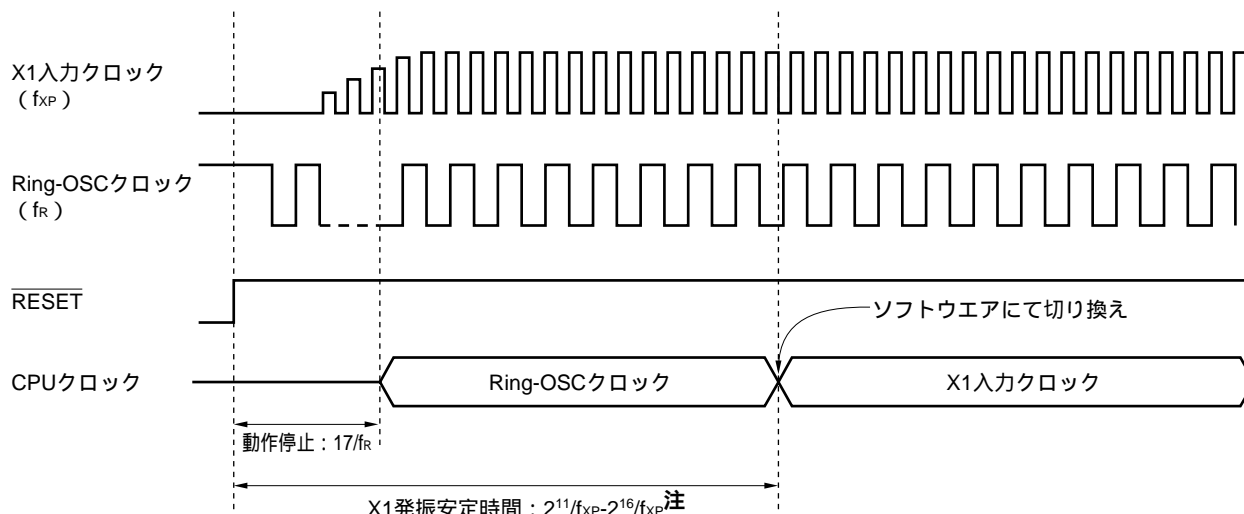
リセット解除後に破壊や接続不良などでX1入力クロックが動かないとき、デフォルトでCPUクロックがX1入力クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが内蔵のRing-OSCクロックの場合、クロック・モニタ（X1入力クロックの停止検出）によるリセット解除後にRing-OSCクロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1入力クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

Ring-OSCによるCPUデフォルト・スタートのタイミング図を、図5 - 10に示します。

図5 - 10 Ring-OSCによるCPUデフォルト・スタートのタイミング図



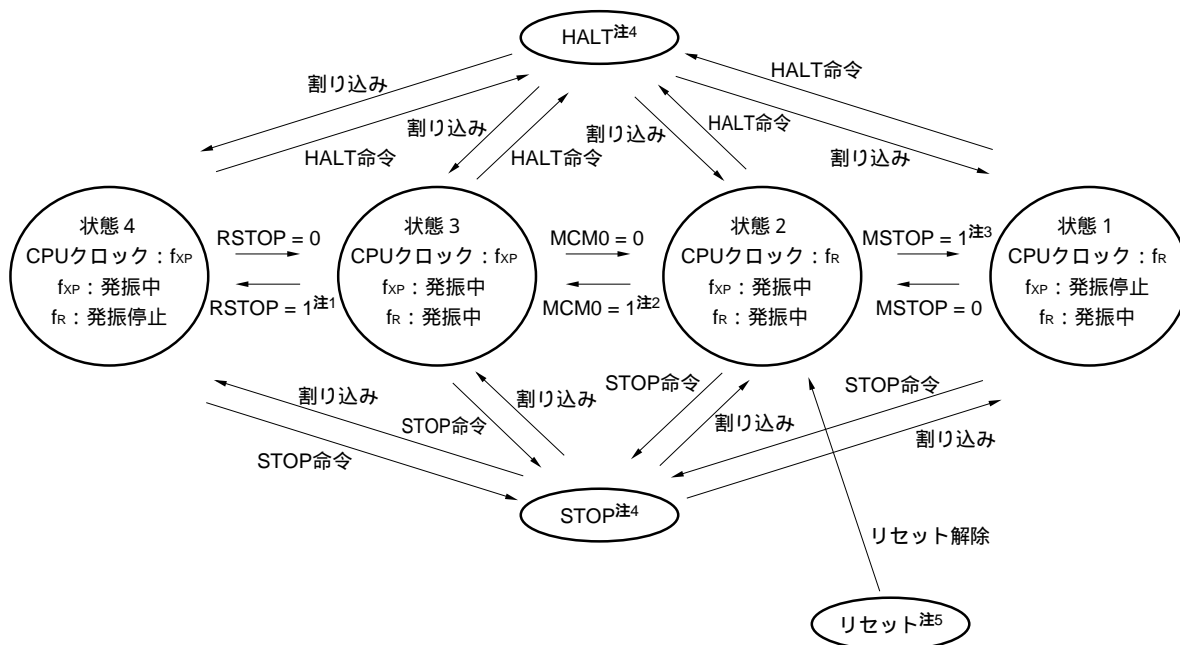
注 発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

- (a) RESET信号発生により、メイン・クロック・モード・レジスタ (MCM) のビット0が0になり、CPUクロックがRing-OSCクロックになります。ただし、RESET解除後Ring-OSCクロックが17クロック経過してからCPUに対しクロック供給を行います (または17クロック間はCPUクロックの供給を停止します)。RESET期間中はX1入力クロックとRing-OSCクロックの発振は停止します。
- (b) RESET解除後、X1入力クロックの発振安定時間が経過してから、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) にて、CPUクロックをRing-OSCクロックからX1入力クロックに切り替えることができます。このとき、発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから、CPUクロックを切り替えてください。CPUクロックの状態はMCMのビット1 (MCS) で確認できます。
- (c) マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」に設定し、CPUクロックがX1入力クロックの場合、Ring-OSCの停止 / 発振をRing-OSCモード・レジスタ (RCM) で設定できます。このときMCSが1であることを必ず確認してください。
- (d) CPUクロックがRing-OSCの場合、X1入力クロックの停止 / 発振をメインOSCコントロール・レジスタ (MOC) で設定できます。このときMCSが0であることを必ず確認してください。
- (e) CPUクロックがX1入力クロックである場合のSTOPモード解除時は、X1入力クロックの発振安定時間 ($2^{11}/f_{XP}$, $2^{13}/f_{XP}$, $2^{14}/f_{XP}$, $2^{15}/f_{XP}$, $2^{16}/f_{XP}$) を発振安定時間選択レジスタ (OSTS) で選択してください。またRESET解除時およびCPUクロックがRing-OSCクロックである場合のSTOPモード解除時は、X1入力クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

この製品の状態遷移図を図5 - 11に、各動作状態における動作クロックの関係を表5 - 3に、発振制御フラグと各クロックの発振状態を表5 - 4に示します。

図5 - 11 状態遷移図 (1/2)

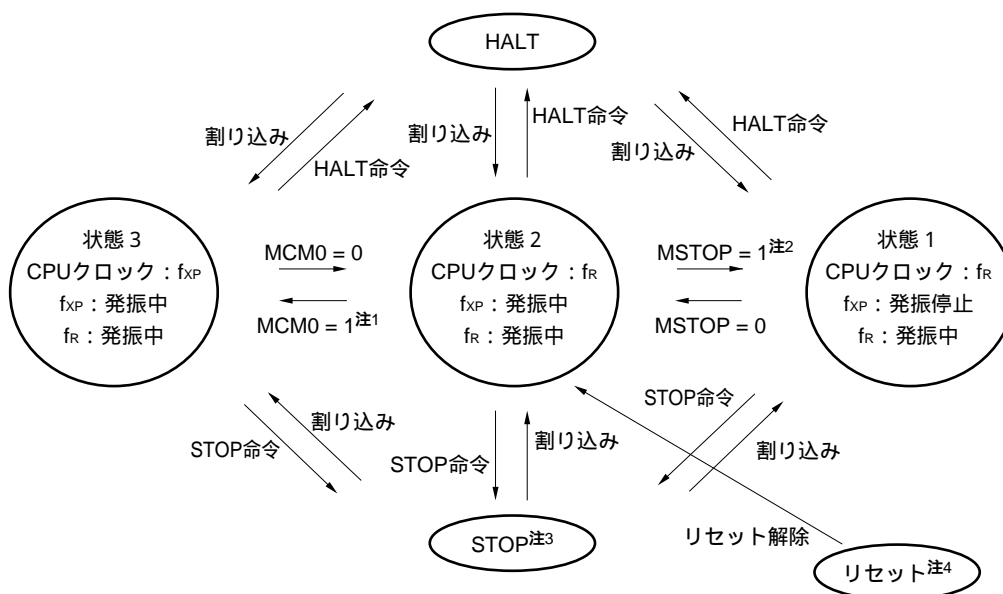
(1) マスク・オプションで「ソフトウェアによりRing-OSCを停止可能」に選択した場合



- 注1. 状態3から状態4に移行する場合は、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。
- 2. リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は、X1入力クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから行ってください。
- 3. 状態2から状態1に移行する場合は、MCSが0であることを必ず確認してください。
- 4. マスク・オプションで「ソフトウェアによりRing-OSCを停止可能」に選択した場合、ウォッチドッグ・タイマのソース・クロックにかかわらず、HALTモード、STOPモード中のウォッチドッグ・タイマの動作は停止します。ただし、Ring-OSCの発振はRSTOP = 0ならばHALTモード、STOPモード中でも停止しません。
- 5. すべてのリセット要因 (RESET入力, POC, LVI, クロック・モニタ, WDT) です。

図5 - 11 状態遷移図 (2/2)

(2) マスク・オプションで「Ring-OSCを停止不可」に選択した場合



- 注1. リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は、X1入力クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ(OSTC)で確認してから行ってください。
2. 状態2から状態1に移行する場合は、MCSが0であることを必ず確認してください。
3. マスク・オプションで「Ring-OSCを停止不可」に選択した場合、ウォッチドッグ・タイマはSTOPモード中でもRing-OSCで動作しています。8ビット・タイマH1(TMh1)はカウント・ソースにRing-OSCの分周を選択できますので、ウォッチドッグ・タイマのオーバーフロー発生前にTMh1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバーフローが発生した時点で内部リセット信号を発生します。
4. すべてのリセット要因(RESET入力, POC, LVI, クロック・モニタ, WDT)です。

表5 - 3 各動作状態における動作クロックの関係

| ステータス 動作モード | X1発振回路 | Ring-OSC発振回路 | | | 解除後のCPUク ロック | 周辺へ供給される プリスケアラのクロック | |
|----------------|--------|--------------|-----------|-----------|-----------------|-------------------------|----------|
| | | 注1 | 注2 | | | MCM0 = 0 | MCM0 = 1 |
| | | | RSTOP = 0 | RSTOP = 1 | | | |
| リセット | 停 止 | 停 止 | | | Ring-OSC | 停 止 | |
| STOP | | 発 振 | 発 振 | 停 止 | 注3 | 停 止 | |
| HALT | 発 振 | | | | 注4 | Ring-OSC | X1 |

注1．マスク・オプションにてRing-OSCを「停止不可」に選択時

- 2．マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」に選択時
- 3．STOP命令実行時のCPUクロックにて動作します。
- 4．HALT命令実行時のCPUクロックにて動作します。

注意 RSTOPの設定は、マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」時にのみ有効です。

備考 RSTOP : Ring-OSCモード・レジスタ (RCM) のビット0

MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0

表5 - 4 発振制御フラグと各クロックの発振状態

| | | X1発振回路 | Ring-OSC発振回路 |
|-----------|-----------|--------|--------------|
| MSTOP = 1 | RSTOP = 0 | 停 止 | 発 振 |
| | RSTOP = 1 | 設定禁止 | |
| MSTOP = 0 | RSTOP = 0 | 発 振 | 発 振 |
| | RSTOP = 1 | | 停 止 |

注意 RSTOPの設定は、マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」時にのみ有効です。

備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

RSTOP : Ring-OSCモード・レジスタ (RCM) のビット0

5.6 Ring-OSCクロックとX1入力クロックの切り替えに要する時間

Ring-OSCクロックとX1入力クロックは、メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）により切り替えることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を切り替えたのち、数命令は切り替え前のクロックで動作します（表5 - 5参照）。

Ring-OSCクロックで動作しているのか、X1入力クロックで動作しているのかは、MCMのビット1（MCS）で判定できます。

クロック切り替え後、元のクロックを停止する場合は、表5 - 5に示すクロック分ウエイトしてから停止してください。

★ 表5 - 5 Ring-OSCクロックとX1入力クロックの切り替えに要する最大時間

| PCC | | | 切り替えに要する最大時間 | |
|------|------|------|-------------------------------------|--------------------|
| PCC2 | PCC1 | PCC0 | X1 Ring-OSC | Ring-OSC X1 |
| 0 | 0 | 0 | $f_{XP}/f_R + 1$ クロック | 2クロック |
| 0 | 0 | 1 | $f_{XP}/2f_R + 1$ クロック ^注 | 2クロック ^注 |

★ 注 (A1) 水準品, (A2) 水準品は設定禁止です。

注意 最大時間を計算する場合は、 $f_R = 120 \text{ kHz}$ で行ってください。

備考1. PCC：プロセッサ・クロック・コントロール・レジスタ

2. f_{XP} ：X1入力クロック発振周波数

3. f_R ：Ring-OSCクロック発振周波数

4. 最大時間は、切り替え前のCPUクロックによるクロック数です。

5.7 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-6参照）。

表5-6 CPUクロックの切り替えに要する最大時間

| 切り替え前の設定値 | | | 切り替え後の設定値 | | | | | | | | | | | | | | |
|-----------|------|------|-----------|------|------|--------|------|------|--------|------|------|--------|------|------|--------|------|------|
| PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 |
| | | | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | / | | | 16クロック | | | 16クロック | | | 16クロック | | | 16クロック | | |
| 0 | 0 | 1 | | | | 8クロック | | | 8クロック | | | 8クロック | | | 8クロック | | |
| 0 | 1 | 0 | | | | 4クロック | | | 4クロック | | | 4クロック | | | 4クロック | | |
| 0 | 1 | 1 | | | | 2クロック | | | 2クロック | | | 2クロック | | | 2クロック | | |
| 1 | 0 | 0 | | | | 1クロック | | | 1クロック | | | 1クロック | | | 1クロック | | |

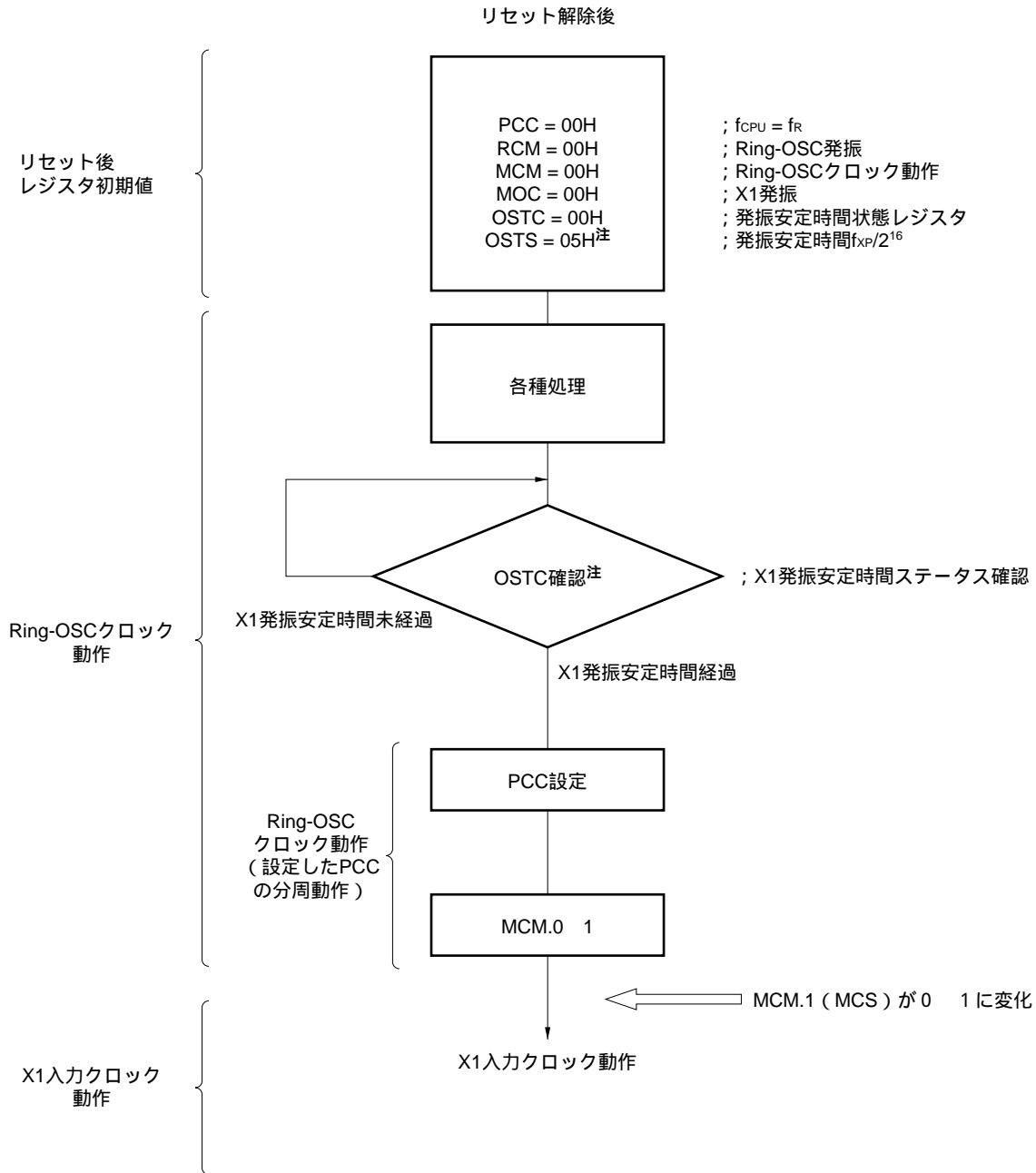
備考 最大時間は、切り替え前のCPUクロックのクロック数です。

- ★ 注意 CPUがRing-OSCで動作している場合、次の値は設定禁止です。
 - PCC2, PCC1, PCC0 = 0, 0, 1（標準品, (A) 水準品のみ設定可）
 - PCC2, PCC1, PCC0 = 0, 1, 0
 - PCC2, PCC1, PCC0 = 0, 1, 1
 - PCC2, PCC1, PCC0 = 1, 0, 0

5.8 クロック切り替えのフロー・チャートとレジスタ設定

5.8.1 Ring-OSCクロックからX1入力クロックへの切り替え

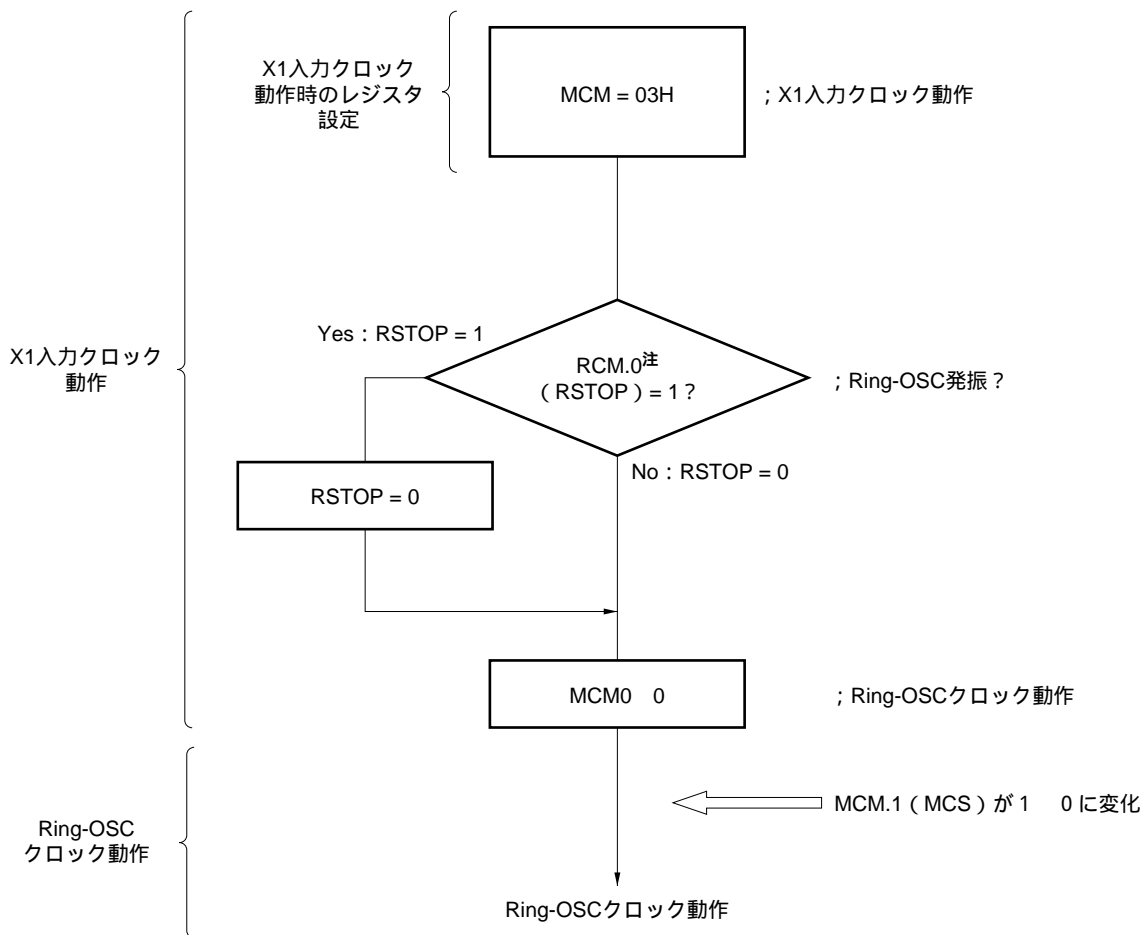
図5 - 12 Ring-OSCクロックからX1入力クロックへの切り替え（フロー・チャート）



注 リセット解除後のX1発振回路の発振安定待ち時間は、OSTCレジスタにより確認を行い、任意の発振安定待ち時間経過後にX1入力クロック動作に切り替えてください。なお、OSTSレジスタの設定は、X1入力クロック動作時のSTOPモードを割り込みで解除したあとのみ有効となります。

5.8.2 X1入力クロックからRing-OSCクロックへの切り替え

図5 - 13 X1入力クロックからRing-OSCクロックへの切り替え (フロー・チャート)



注 マスク・オプションでRing-OSCを「ソフトウェアにより停止可能」を選択した場合のみ必要となります。

5.8.3 レジスタ設定

各モードに設定した場合の各設定フラグとステータス・フラグの状態を示します。

表5-7 クロックとレジスタの設定

| fCPU | モード | 設定フラグ | | | ステータス・フラグ |
|----------------------------|------------|-------------|-------------|---------------------|-------------|
| | | MCM レジスタ | MOC レジスタ | RCM レジスタ | MCM レジスタ |
| | | MCM0 | MSTOP | RSTOP ^{注1} | MCS |
| X1入力 クロック ^{注2} | Ring-OSC発振 | 1 | 0 | 0 | 1 |
| | Ring-OSC停止 | 1 | 0 | 1 | 1 |
| Ring-OSC クロック | X1発振 | 0 | 0 | 0 | 0 |
| | X1停止 | 0 | 1 | 0 | 0 |

注1. マスク・オプションでRing-OSCを「ソフトウェアにより停止可能」を選択した場合のみ有効となります。

2. X1入力クロック動作中にMSTOP = 1に設定しないでください (MSTOP = 1に設定しても、X1の発振は停止しません)。

第6章 16ビット・タイマ/イベント・カウンタ00

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

- ・インターバル・タイマ
- ・PPG出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

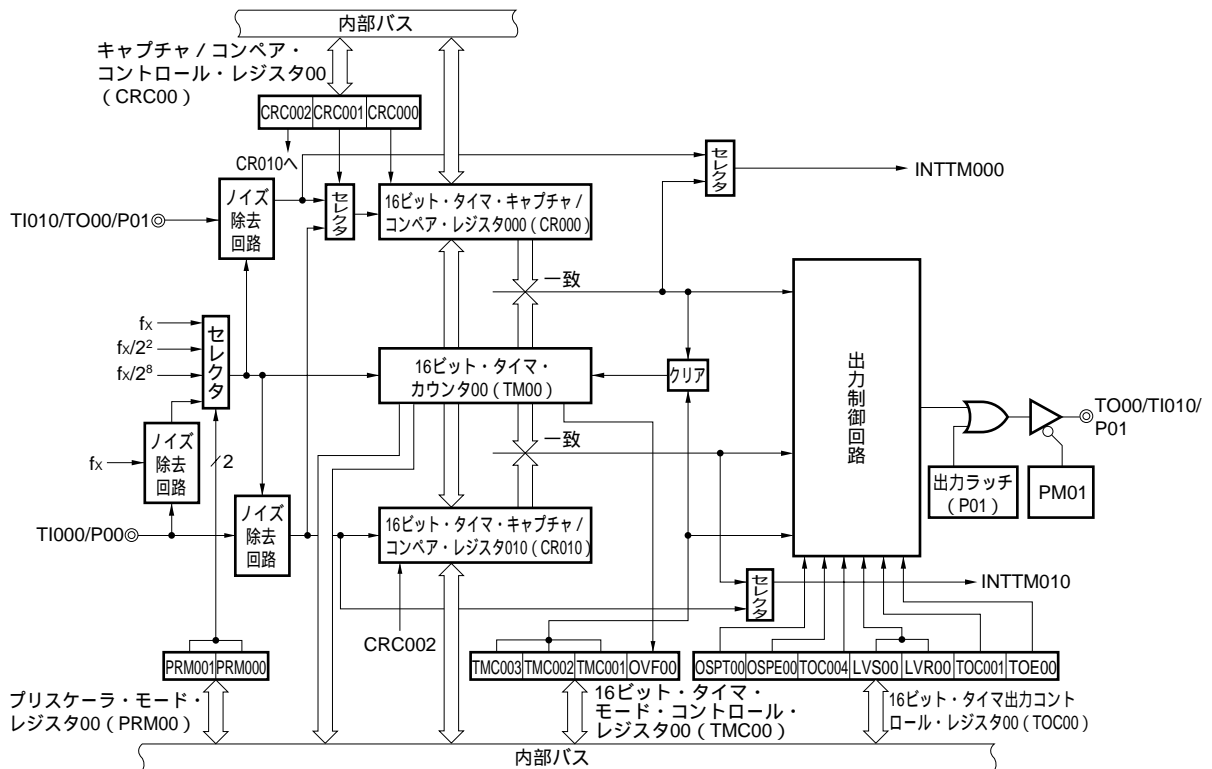
16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表6 - 1 16ビット・タイマ/イベント・カウンタ00の構成

| 項目 | 構成 |
|----------|---|
| タイマ/カウンタ | 16ビット (TM00) |
| レジスタ | 16ビット・タイマ・キャプチャ/コンペア・レジスタ : 16ビット (CR000, CR010) |
| タイマ入力 | TI000, TI010 |
| タイマ出力 | TO00, 出力制御回路 |
| 制御レジスタ | 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0) |

図6 - 1にブロック図を示します。

図6 - 1 16ビット・タイマ/イベント・カウンタ00のブロック図



(1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。
入カクロックの立ち上がりに同期して、カウンタをインクリメントします。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット



次の場合、カウント値は0000Hになります。

RESET入力

TMC003, TMC002をクリア

TI000有効エッジ入力でクリア&スタート・モード時のTI000有効エッジが入力されたとき

CR000の一致でクリア&スタート・モード時のTM00とCR000の一致

ワンショット・パルス出力モードで、OSPT00を1にセット

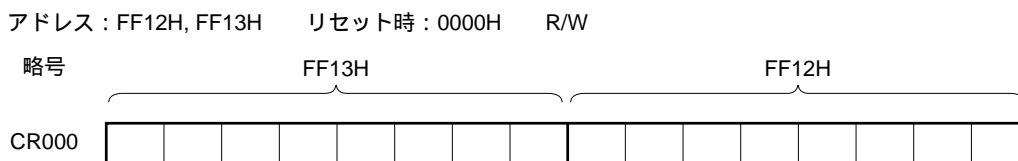
(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000)

CR000は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット0 (CRC000) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR000は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット



・CR000をコンペア・レジスタとして使用するとき

CR000に設定した値と16ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM000) を発生します。CR000を書き換えるまで、設定した値を保持します。

・CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子、またはTI010端子の有効エッジが選択できます。TI000, TI010端子の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します (表6-2を参照)。

表6 - 2 CR000のキャプチャ・トリガとTI000端子とTI010端子の有効エッジ

(1) キャプチャ・トリガとしてTI000端子の有効エッジを選択 (CRC001 = 1, CRC000 = 1)

| CR000のキャプチャ・トリガ | TI000端子の有効エッジ | | |
|-----------------|------------------|-------|---|
| | ES001 | ES000 | |
| 立ち下がりエッジ | 立ち上がりエッジ | 0 | 1 |
| 立ち上がりエッジ | 立ち下がりエッジ | 0 | 0 |
| キャプチャ動作しない | 立ち上がり, 立ち下がり両エッジ | 1 | 1 |

(2) キャプチャ・トリガとしてTI010端子の有効エッジを選択 (CRC001 = 0, CRC000 = 1)

| CR000のキャプチャ・トリガ | TI010端子の有効エッジ | | |
|------------------|------------------|-------|---|
| | ES101 | ES100 | |
| 立ち下がりエッジ | 立ち下がりエッジ | 0 | 0 |
| 立ち上がりエッジ | 立ち上がりエッジ | 0 | 1 |
| 立ち上がり, 立ち下がり両エッジ | 立ち上がり, 立ち下がり両エッジ | 1 | 1 |

備考1. ES001, ES000 = 1, 0およびES101, ES100 = 1, 0は設定禁止です。

2. ES001, ES000 : プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4
 ES101, ES100 : プリスケアラ・モード・レジスタ00 (PRM00) のビット7, 6
 CRC001, CRC000 : キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1, 0

注意1. TM00とCR000の一致でクリア&スタート・モードの場合, CR000には0000H以外の値を設定してください。

- ★ 2. フリー・ランニング・モードおよびTI000端子の有効エッジのクリア・モードにおいて, CR000に0000Hを設定した場合は, TM00のオーバフロー (FFFFH) 後, 0000Hから0001Hになるときに割り込み要求 (INTTM000) を発生します。またTM00とCR000の一致後, TI010端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM000を発生します。
3. P01をTI010有効エッジの入力端子として使用するときは, タイマ出力 (TO00) として使用できません。また, TO00として使用するときは, TI010有効エッジの入力端子として使用できません。
4. CR000をキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります (キャプチャ・データ自体は正常値)。
 また, タイマのカウント停止とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。
5. TM00動作中にCR000を書き換えしないでください。

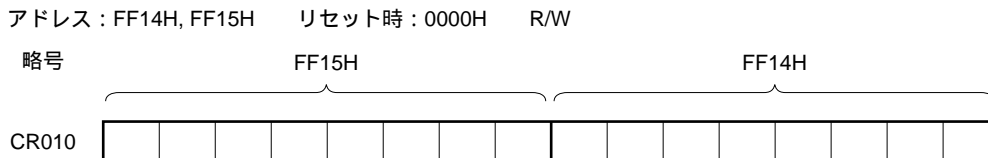
(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット2 (CRC002) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR010は、16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット



・CR010をコンペア・レジスタとして使用するとき

CR010に設定した値と16ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM010) を発生します。CR010を書き換えるまで、設定した値を保持します。

・CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子の有効エッジが選択できます。TI000の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します (表6-3を参照)。

表6-3 CR010のキャプチャ・トリガとTI000端子の有効エッジ (CRC002 = 1)

| CR010のキャプチャ・トリガ | TI000端子の有効エッジ | | |
|-------------------|-------------------|-------|---|
| | ES001 | ES000 | |
| 立ち下がりエッジ | 立ち下がりエッジ | 0 | 0 |
| 立ち上がりエッジ | 立ち上がりエッジ | 0 | 1 |
| 立ち上がり, 立ち下がりの両エッジ | 立ち上がり, 立ち下がりの両エッジ | 1 | 1 |

備考1. ES001, ES000 = 1, 0は設定禁止です。

2. ES001, ES000 : プリスケラ・モード・レジスタ00 (PRM00) のビット5, 4

CRC002 : キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット2

★ 注意1. CR010レジスタに0000Hを設定した場合は、TM00のオーバフロー (FFFFH) 後、0000Hから0001Hになるときに割り込み要求 (INTTM010) を発生します。またTM00とCR010の一致後、TI000端子の有効エッジ検出後、ワンショット・トリガによるクリア後にINTTM010を発生します。

2. CR010をキャプチャ・レジスタとして使用時、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります (キャプチャ・データ自体は正常値)。また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。

3. TM00動作中にCR010を書き換えることができます。詳細は図6-15の注意2を参照してください。

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタには、次の6種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ00 (TM00) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 16ビット・タイマ・カウンタ00 (TM00) は、TMC002, TMC003に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0, 0を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス：FFBAH リセット時：00H R/W

| | | | | | | | | |
|-------|---|---|---|---|--------|--------|--------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMC00 | 0 | 0 | 0 | 0 | TMC003 | TMC002 | TMC001 | OVF00 |

| TMC003 | TMC002 | TMC001 | 動作モードおよび クリア・モードの選択 | TO00の反転 タイミングの選択 | 割り込み要求の発生 |
|--------|--------|--------|----------------------------|---|---|
| 0 | 0 | 0 | 動作停止 (TM00は0にクリア) | 変化なし | 発生しない |
| 0 | 1 | 0 | フリー・ランニング・モード | TM00とCR000の一致または TM00とCR010の一致 | <コンペア・レジスタとして 使用時> TM00とCR000の一致 または TM00とCR010の一致 で発生 |
| 0 | 1 | 1 | | TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ | |
| 1 | 0 | 0 | TI000の有効エッジで クリア&スタート | - | <キャプチャ・レジスタとし て使用時> CR000のキャプチャ・トリガ で発生 |
| 1 | 0 | 1 | TM00とCR000の一致で クリア&スタート | TM00とCR000の一致または TM00とCR010の一致 | |
| 1 | 1 | 1 | | TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ | |

| OVF00 | 16ビット・タイマ・カウンタ00 (TM00) のオーバーフロー検出 |
|-------|------------------------------------|
| 0 | オーバーフローなし |
| 1 | オーバーフローあり |

注意1. OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

2. TI000/P00端子の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します。
3. TM00とCR000の一致でクリア&スタート、TI000の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するとき、OVF00フラグが1に設定されます。

備考 TO00 : 16ビット・タイマ/イベント・カウンタ00の出力端子
 TI000 : 16ビット・タイマ/イベント・カウンタ00の入力端子
 TM00 : 16ビット・タイマ・カウンタ00
 CR000 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ000
 CR010 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ010

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR000, CR010) の動作を制御するレジスタです。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBCH リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---|--------|--------|--------|
| CRC00 | 0 | 0 | 0 | 0 | 0 | CRC002 | CRC001 | CRC000 |

| CRC002 | CR010の動作モードの選択 |
|--------|-----------------|
| 0 | コンペア・レジスタとして動作 |
| 1 | キャプチャ・レジスタとして動作 |

| CRC001 | CR000のキャプチャ・トリガの選択 |
|--------|-------------------------------------|
| 0 | TI010の有効エッジでキャプチャする |
| 1 | TI000の有効エッジの逆相でキャプチャする ^注 |

| CRC000 | CR000の動作モードの選択 |
|--------|-----------------|
| 0 | コンペア・レジスタとして動作 |
| 1 | キャプチャ・レジスタとして動作 |

注 TI000の有効エッジに、立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャは動作しません。

注意1. CRC00は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。

3. キャプチャを確実に行うためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

16ビット・タイマ/イベント・カウンタ00出力制御回路の動作を制御するレジスタです。タイマ出力F/F (LV00) のセット/リセット、出力の反転許可/禁止、16ビット・タイマ/イベント・カウンタ00のタイマ出力許可/禁止、ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-7 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

| | | | | | | | | |
|-------|---|--------|--------|--------|-------|-------|--------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TOC00 | 0 | OSPT00 | OSPE00 | TOC004 | LVS00 | LVR00 | TOC001 | TOE00 |

| | | |
|--------|------------------------------|--|
| OSPT00 | ソフトウェアによるワンショット・パルスの出力トリガの制御 | |
| 0 | ワンショット・パルス出力トリガなし | |
| 1 | ワンショット・パルス出力トリガあり | |

| | | |
|--------|------------------------------|--|
| OSPE00 | ワンショット・パルス出力動作の制御 | |
| 0 | 連続パルス出力モード | |
| 1 | ワンショット・パルス出力モード ^注 | |

| | | |
|--------|-----------------------------|--|
| TOC004 | CR010とTM00の一致によるタイマ出力F/Fの制御 | |
| 0 | 反転動作禁止 | |
| 1 | 反転動作許可 | |

| | | |
|-------|-------|------------------|
| LVS00 | LVR00 | タイマ出力F/Fの状態の設定 |
| 0 | 0 | 変化しない |
| 0 | 1 | タイマ出力F/Fをリセット(0) |
| 1 | 0 | タイマ出力F/Fをセット(1) |
| 1 | 1 | 設定禁止 |

| | | |
|--------|-----------------------------|--|
| TOC001 | CR000とTM00の一致によるタイマ出力F/Fの制御 | |
| 0 | 反転動作禁止 | |
| 1 | 反転動作許可 | |

| | | |
|-------|------------------|--|
| TOE00 | タイマ出力の制御 | |
| 0 | 出力禁止(出力は0レベルに固定) | |
| 1 | 出力許可 | |

注 ワンショット・パルス出力モードは、フリー・ランニング・モード、TI000の有効エッジでクリア & スタート・モードでのみ正常動作します。TM00レジスタとCR000レジスタの一致でクリア & スタート・モードでは、オーバフローしないためワンショット・パルス出力はできません。

注意1. TOC004以外は、必ずタイマ動作を停止させてから設定してください。

2. LVS00, LVR00は読み出すと、0になっています。
3. OSPT00は、データ設定後に自動的にクリアされますので、読み出すと0になっています。
4. OSPT00は、ワンショット・パルス出力モード以外でセット(1)しないでください。
5. OSPT00に連続してライトするとき、プリスケラ・モード・レジスタ00 (PRM00) を選択したカウント・クロック2周期分以上のライト間隔が必要です。
6. TOE00より先にLVS00に“1”をセットしないでください。または、LVS00とTOE00に同時に“1”をセットしないでください。
7. 次の , の設定は同時に行わないでください。また設定は次の手順で行ってください。

TOC001, TOC004, TOE00, OSPE00の設定：タイマ出力動作の設定

LVS00, LVR00の設定：タイマ出力F/Fの設定

★

(4) プリスケーラ・モード・レジスタ00 (PRM00)

16ビット・タイマ・カウンタ00 (TM00) のカウント・クロックおよびTI000, TI010入力の有効エッジを設定するレジスタです。PRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図6-8 プリスケーラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス: FFBBH リセット時: 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|-------|-------|-------|-------|---|---|--------|--------|
| PRM00 | ES101 | ES100 | ES001 | ES000 | 0 | 0 | PRM001 | PRM000 |

| ES101 | ES100 | TI010有効エッジの選択 |
|-------|-------|-------------------|
| 0 | 0 | 立ち下がりエッジ |
| 0 | 1 | 立ち上がりエッジ |
| 1 | 0 | 設定禁止 |
| 1 | 1 | 立ち上がり, 立ち下がりの両エッジ |

| ES001 | ES000 | TI000有効エッジの選択 |
|-------|-------|-------------------|
| 0 | 0 | 立ち下がりエッジ |
| 0 | 1 | 立ち上がりエッジ |
| 1 | 0 | 設定禁止 |
| 1 | 1 | 立ち上がり, 立ち下がりの両エッジ |

| PRM001 | PRM000 | カウント・クロックの選択 ^{注1} |
|--------|--------|----------------------------|
| 0 | 0 | f_x (10 MHz) |
| 0 | 1 | $f_x/2^2$ (2.5 MHz) |
| 1 | 0 | $f_x/2^8$ (39.06 kHz) |
| 1 | 1 | TI000有効エッジ ^{注2} |

★

注1. カウント・クロックは次の条件を満たすように設定してください。

- ・ $V_{DD} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック 10 MHz
- ・ $V_{DD} = 3.3 \sim 4.0 \text{ V}$: カウント・クロック 8.38 MHz
- ・ $V_{DD} = 2.7 \sim 3.3 \text{ V}$: カウント・クロック 5 MHz
- ・ $V_{DD} = 2.5 \sim 2.7 \text{ V}$: カウント・クロック 2.5 MHz

2. 外部クロックは内部クロック (f_x) の2周期分より長いパルスが必要とします。

注意1 .CPUへの供給クロックにRing-OSCクロックを選択する場合, カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合, 16ビット・タイマ/イベント・カウンタ00の動作は保証されません。また外部クロックの場合も, CPUへの供給クロックにRing-OSCクロックを選択する場合, ノイズ除去のためのサンプリング・クロックにRing-OSCクロックが供給されるため, 同様に16ビット・タイマ/イベント・カウンタ00の動作は保証されません。

2. PRM00は, 必ずタイマ動作を停止させてからデータを設定してください。

3. カウント・クロックにTI000の有効エッジを設定する場合, TI000有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。

注意4 . システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合、TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、TI000端子またはTI010端子がハイ・レベルの場合、動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

5 . P01をTI010有効エッジの入力端子として使用するときは、タイマ出力 (TO00) として使用できません。また、TO00として使用するときは、TI010有効エッジの入力端子として使用できません。

備考1 . f_x : X1入力クロック発振周波数

2 . TI000, TI010 : 16ビット・タイマ/イベント・カウンタ00の入力端子

3 . () 内は $f_x = 10$ MHz動作時。

(5) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010端子をタイマ出力として使用するとき、PM01およびP01の出力ラッチに0を設定してください。

P01/TO00/TI010端子をタイマの入力として使用するとき、PM01に1を設定してください。このときP01の出力ラッチは、0または1のどちらでもかまいません。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図6 - 9 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

| | | | | | | | | |
|-----|---|---|---|---|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM0 | 1 | 1 | 1 | 1 | PM03 | PM02 | PM01 | PM00 |

| | |
|------|---------------------------|
| PM0n | P0n端子の入出力モードの選択 (n = 0-3) |
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) と、キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) を図6 - 10のように設定することにより、インターバル・タイマとして動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- CRC00レジスタの設定 (設定値については図6 - 10参照)
- CR000レジスタに任意の値を設定
- PRM00レジスタによりカウント・クロック設定
- TMC00レジスタ設定: 動作開始 (設定値については図6 - 10参照)

注意 TM00動作中にCR000を書き換えしないでください。

備考 INTTM000割り込み許可の設定については、第14章 **割り込み機能**を参照してください。

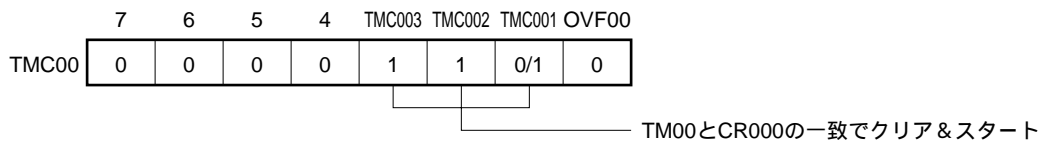
16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ00 (TM00) のカウント値がCR000に設定した値と一致したとき、TM00の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM000) を発生します。

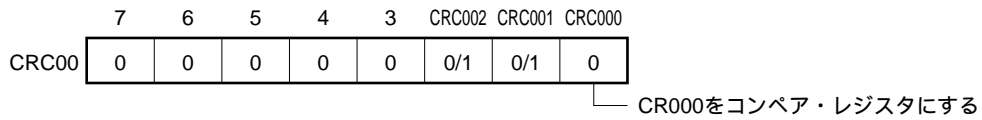
プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) で16ビット・タイマ/イベント・カウンタ00のカウント・クロックを選択できます。

図6 - 10 インターバル・タイマ動作時の制御レジスタ設定内容

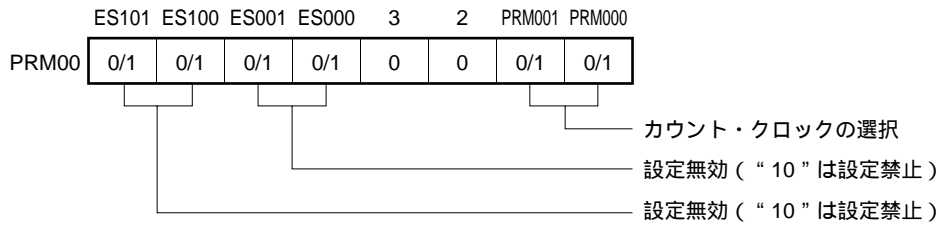
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

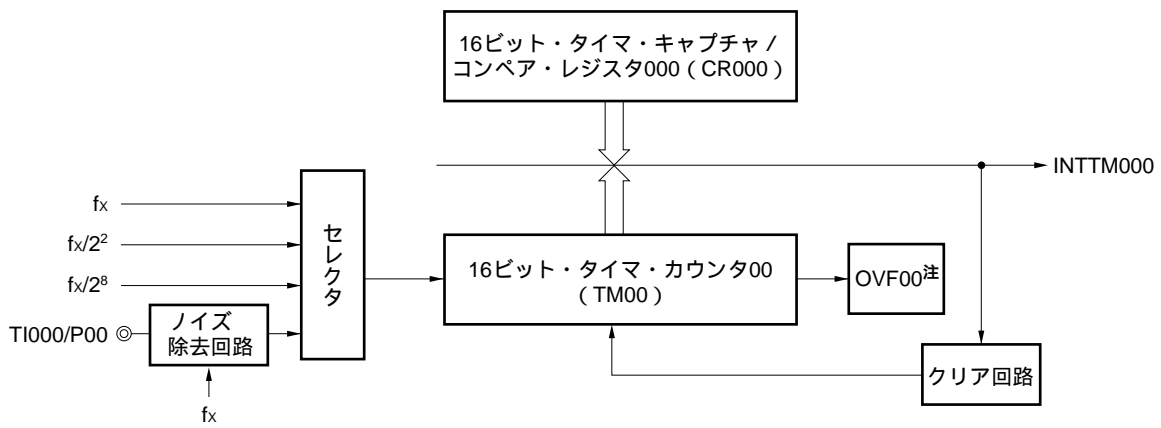


(c) プリスケアラ・モード・レジスタ00 (PRM00)



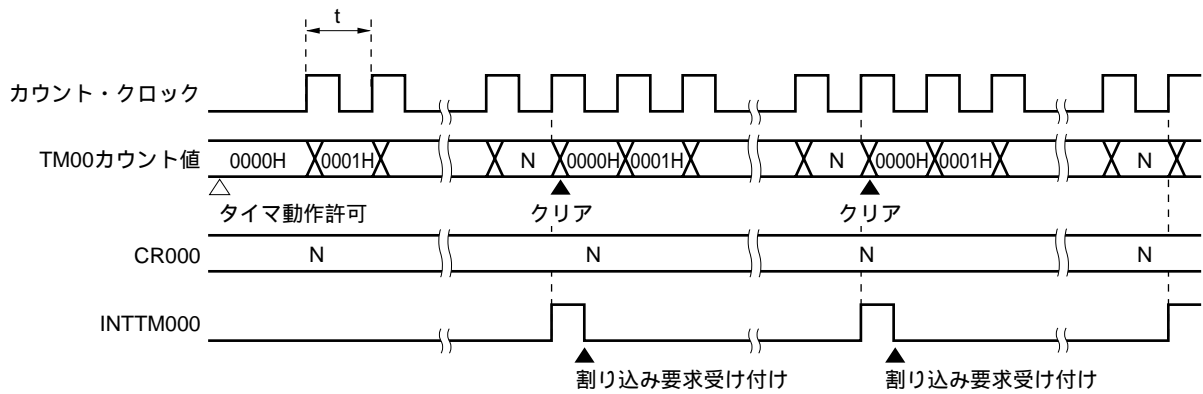
備考 0/1 : 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6 - 11 インターバル・タイマの構成図



注 CR000にFFFFHを設定した場合のみ、OVF00は1になります。

図6 - 12 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N + 1) × t
 N = 0001H-FFFFH (設定可能範囲)

6.4.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) と、キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) を図6 - 13のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- CRC00 レジスタの設定 (設定値については図6 - 13参照)
- CR000 レジスタに周期となる任意の値を設定
- CR010 レジスタにデューティとなる任意の値を設定
- TOC00 レジスタの設定 (設定値は図6 - 13参照)
- PRM00 レジスタによりカウント・クロック設定
- TMC00 レジスタ設定：動作開始 (設定値については図6 - 13参照)

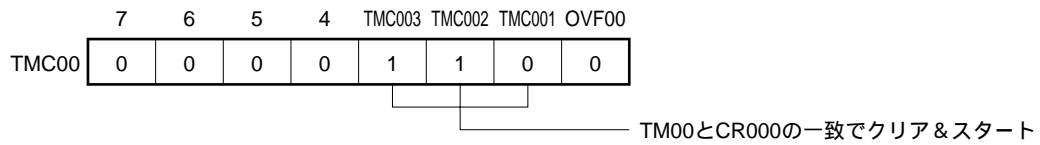
注意 動作中にデューティの値 (CR010レジスタ) を変更する場合は、図6 - 15 PPG出力動作のタイミングの注意2を参照してください。

- 備考1** . TO00端子の設定については、6.3(5)ポート・モード・レジスタ0 (PM0) を参照してください。
2 . INTTM000割り込み許可の設定については、第14章 割り込み機能を参照してください。

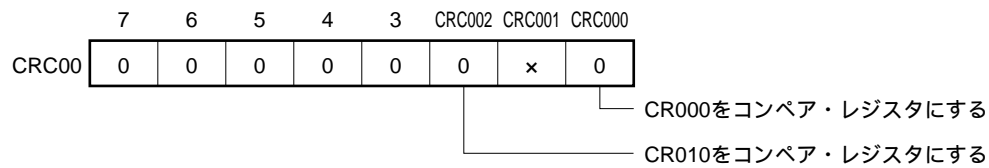
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO00端子から出力します。

図6 - 13 PPG出力動作時の制御レジスタ設定内容

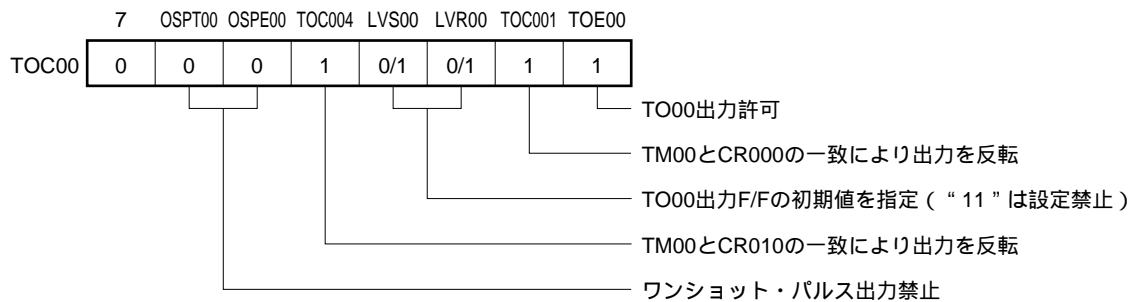
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



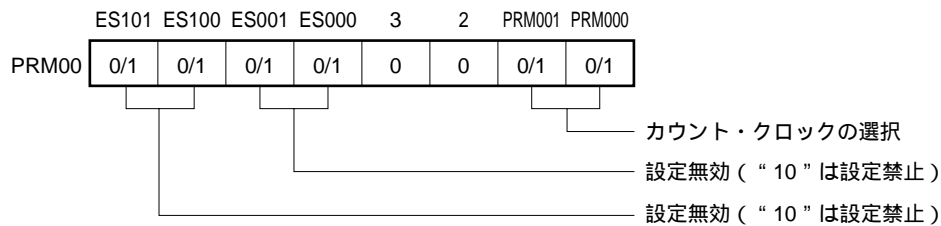
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケーラ・モード・レジスタ00 (PRM00)



注意1 . CR000とCR010には次の範囲の値を設定してください。

0000H CR010 < CR000 FFFFH

2 . PPG出力によって生成されるパルスの周期は (CR000の設定値 + 1) , デューティは (CR010の設定値 + 1) / (CR000の設定値 + 1) になります。

備考 x : don't care

図6 - 14 PPG出力の構成図

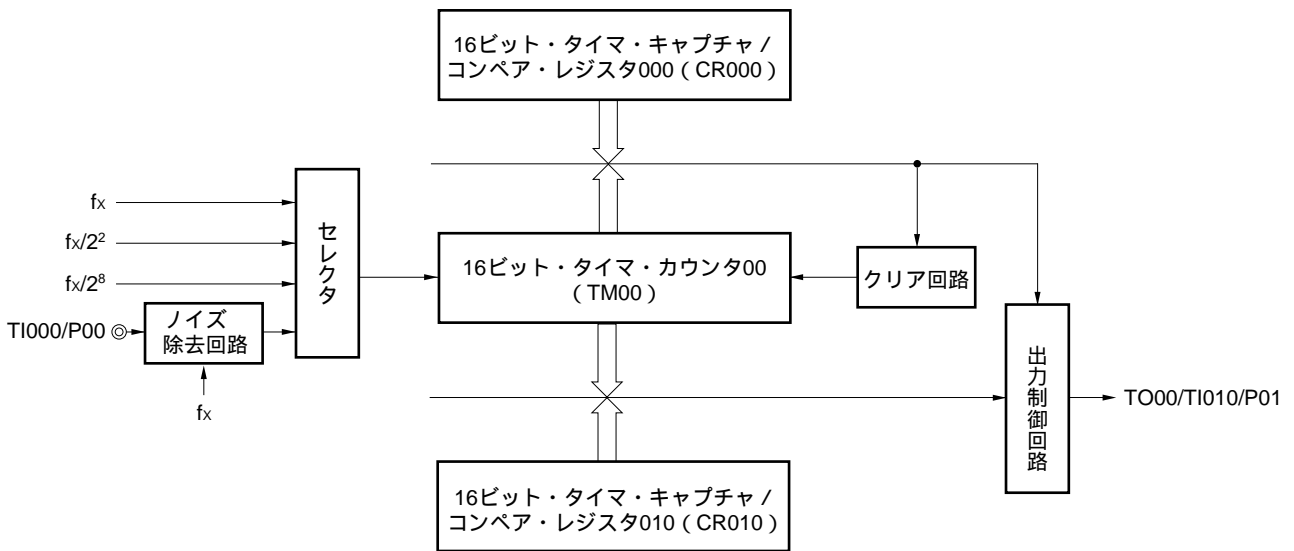
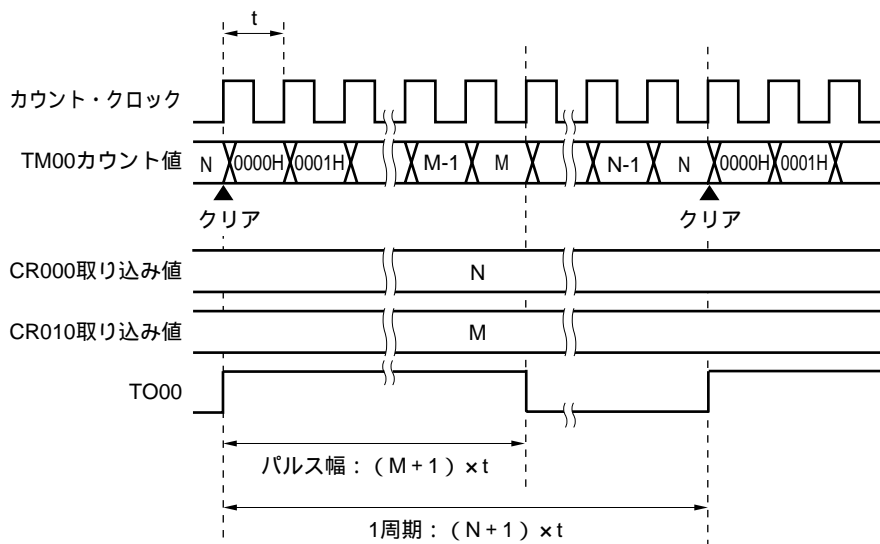


図6 - 15 PPG出力動作のタイミング



注意1 . TM00動作中にCR000を書き換えしないでください。

2 . PPG出力動作において , TM00の動作中にパルス幅を変更する (CR010を書き換える) 場合は , 次の手順で行ってください。

TM00とCR010の一致によるタイマ出力反転動作を禁止する (TOC004 = 0)

INTTM010の割り込みを禁止する (TMMK010 = 1)

CR010を書き換える

TM00のカウンタ・クロックの1周期分をウエイトする

TM00とCR010の一致によるタイマ出力反転動作を許可する (TOC004 = 1)

INTTM010の割り込み要求フラグをクリアする (TMIF010 = 0)

INTTM010の割り込みを許可する (TMMK010 = 0)

備考 0000H M < N FFFFH

6.4.3 パルス幅測定としての動作

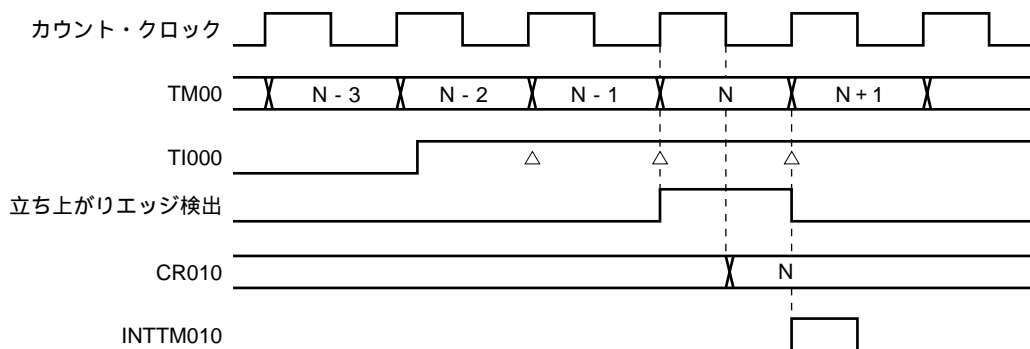
16ビット・タイマ・カウンタ00 (TM00) を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法は、TM00をフリー・ランニングさせて測定する方法とTI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値を読み込み、オーバフロー・フラグを確認したあと、必要なパルス幅を計算してください。オーバフロー・フラグは、確認後クリアしてください。

プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子またはTI010端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 16 立ち上がりエッジ指定時のCR010キャプチャ動作



設定方法

基本的な動作設定手順例は次のようになります。

CRC00レジスタの設定 (設定値については図6 - 17, 6 - 20, 6 - 22, 6 - 24参照)

PRM00レジスタによりカウント・クロック設定

TMC00レジスタ設定: 動作開始 (設定値については図6 - 17, 6 - 20, 6 - 22, 6 - 24参照)

注意 キャプチャ・レジスタを2本使用する場合は、TI000およびTI010端子の設定を行ってください。

備考1 TI000 (もしくはTI010) 端子の設定については、6.3(5)ポート・モード・レジスタ0 (PM0) を参照してください。

備考2 INTTM000 (もしくはINTTM010) 割り込み許可の設定については、第14章 割り込み機能を参照してください。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

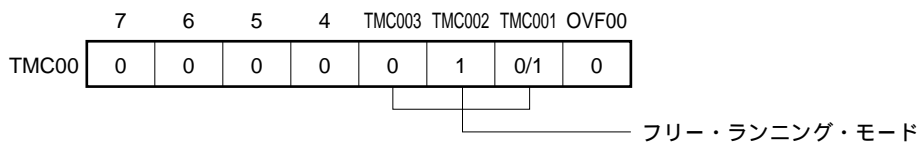
16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているときTI000端子にプリスケアラ・モード・レジスタ00 (PRM00) で指定したエッジが入力されるとTM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込み、外部割り込み要求信号 (INTTM010) をセットします。

TI000端子のエッジはPRM00のビット4, 5 (ES000, ES001) で、立ち上がり、立ち下りの両エッジを指定します。

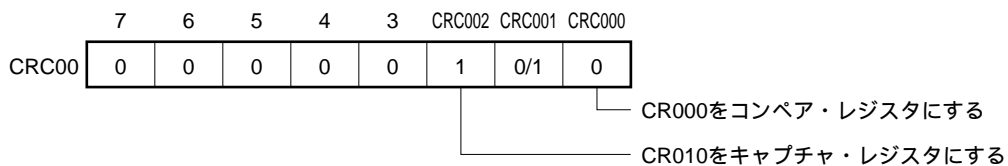
PRM00で選択したカウント・クロックでサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6-17 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 (TI000とCR010を使用した場合)

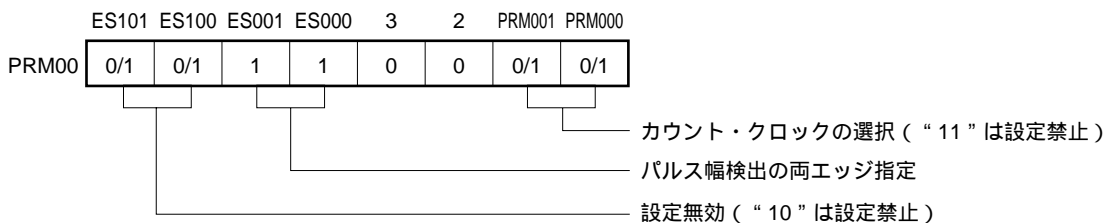
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6 - 18 フリー・ランニング・カウンタによるパルス幅測定の構成図

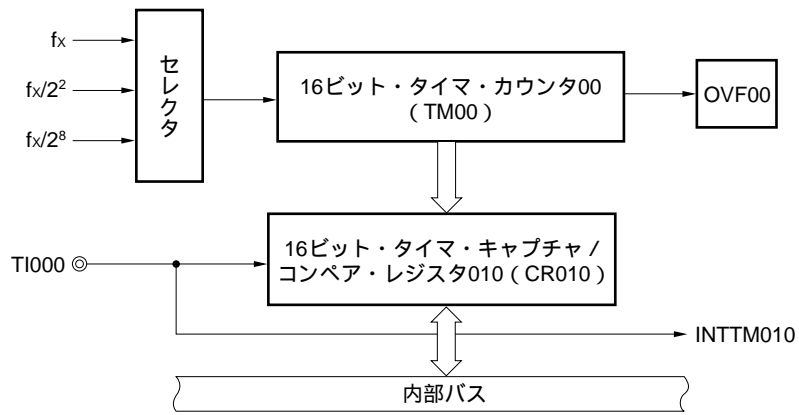
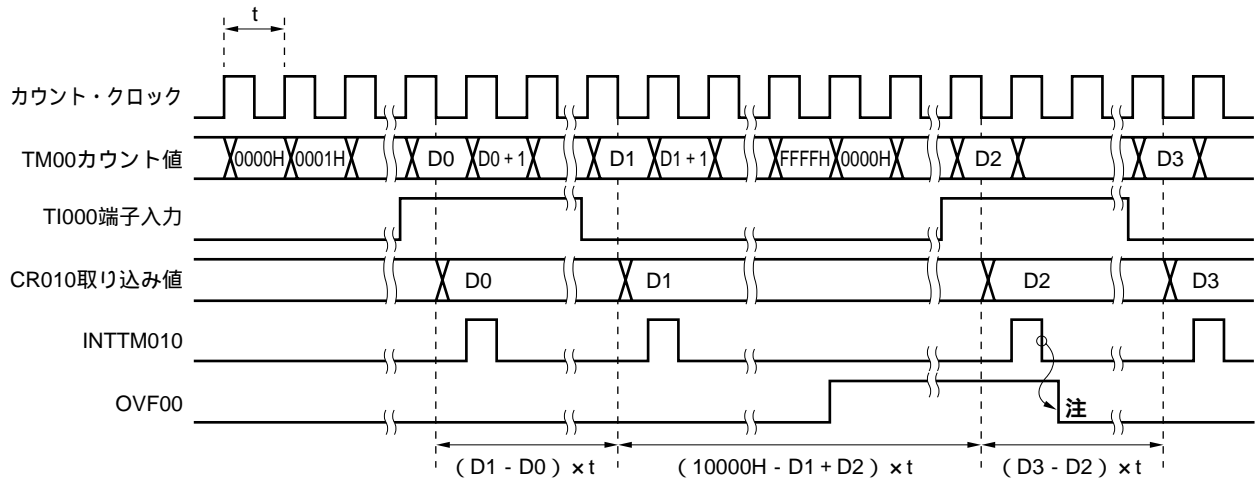


図6 - 19 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき, TI000端子およびTI010端子に入力される2つの信号のパルス幅を同時に測定できます。

TI000端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で指定したエッジが入力されると, TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込み, 割り込み要求信号 (INTTM010) をセットします。

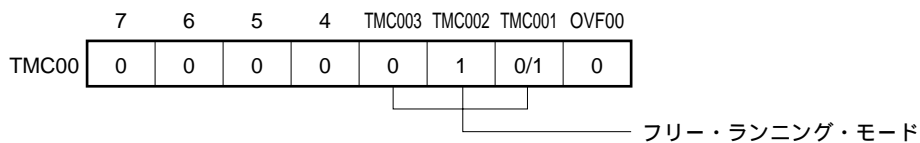
また, TI010端子にPRM00のビット6, 7 (ES100, ES101) で指定したエッジが入力されると, TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) に取り込み, 割り込み要求信号 (INTTM000) をセットします。

TI000端子とTI010端子のエッジは, PRM00のビット4, 5 (ES000, ES001) およびビット6, 7 (ES100, ES101) で, 立ち上がり, 立ち下がりの両エッジを指定します。

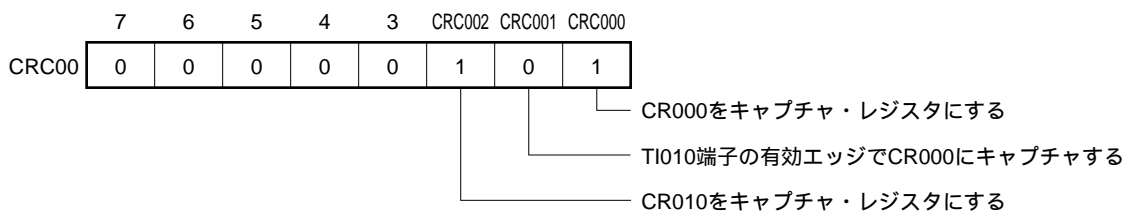
プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い, TI000端子またはTI010端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図6 - 20 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

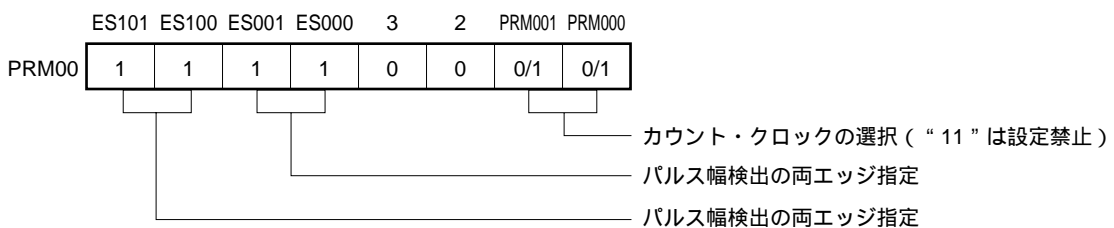
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

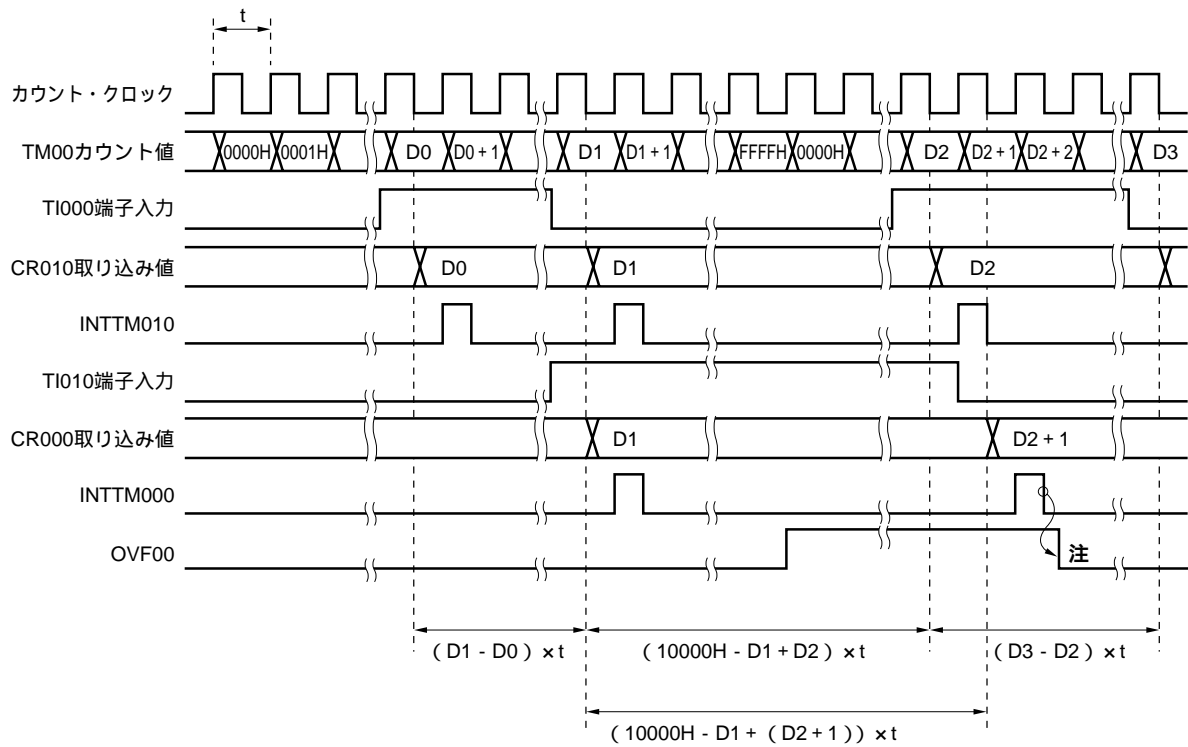


(c) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図6-21 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき、TI000端子に入力する信号のパルス幅を測定できます。

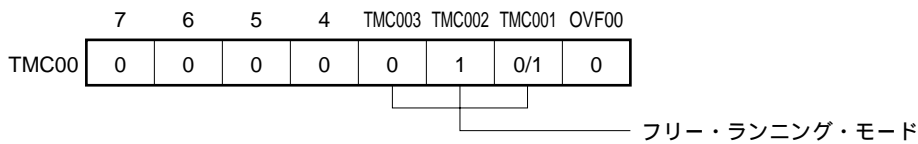
TI000端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で指定した立ち上がりまたは立ち下がりエッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込み、割り込み要求信号 (INTTM010) をセットします。

また、CR010へのキャプチャ動作と逆のエッジ入力で、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) に取り込みます。

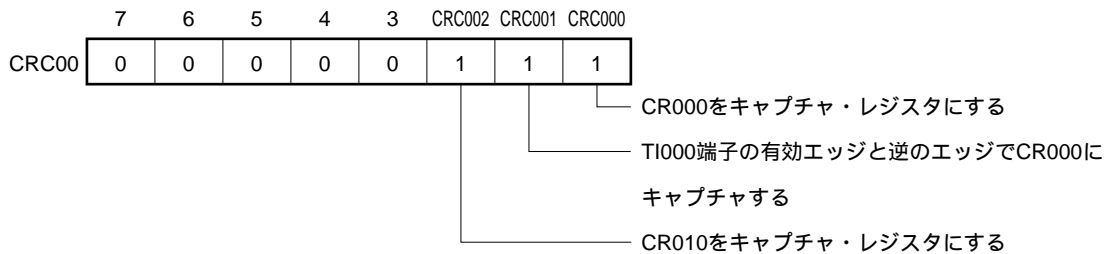
プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 22 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

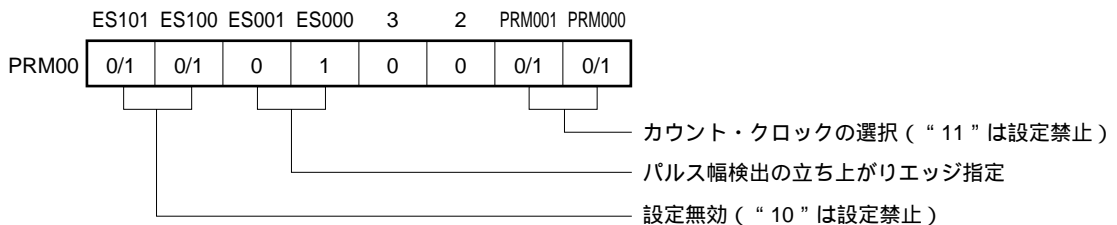
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

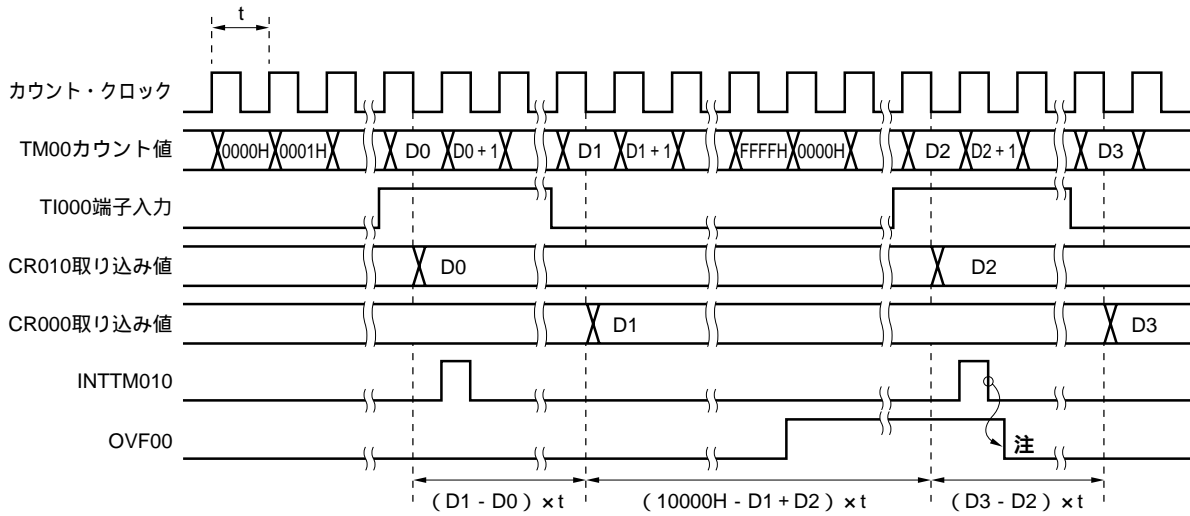


(c) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6-23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(4) リスタートによるパルス幅測定

TI000端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ00 (TM00) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込んだあと、TM00をクリアしてカウントを再開することにより、TI000端子に入力された信号のパルス幅を測定します。

エッジ指定は、プリスケラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 24 リスタートによるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

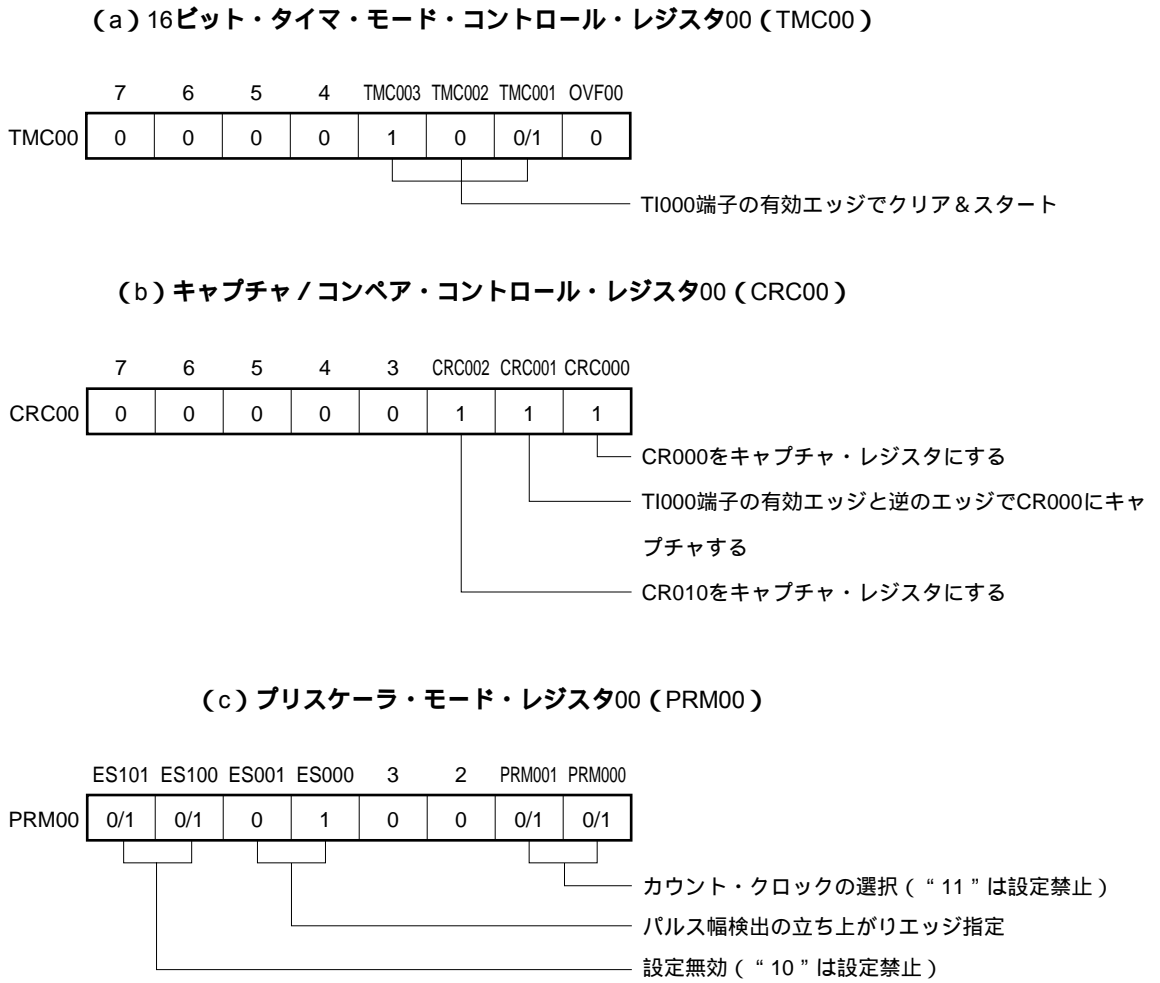
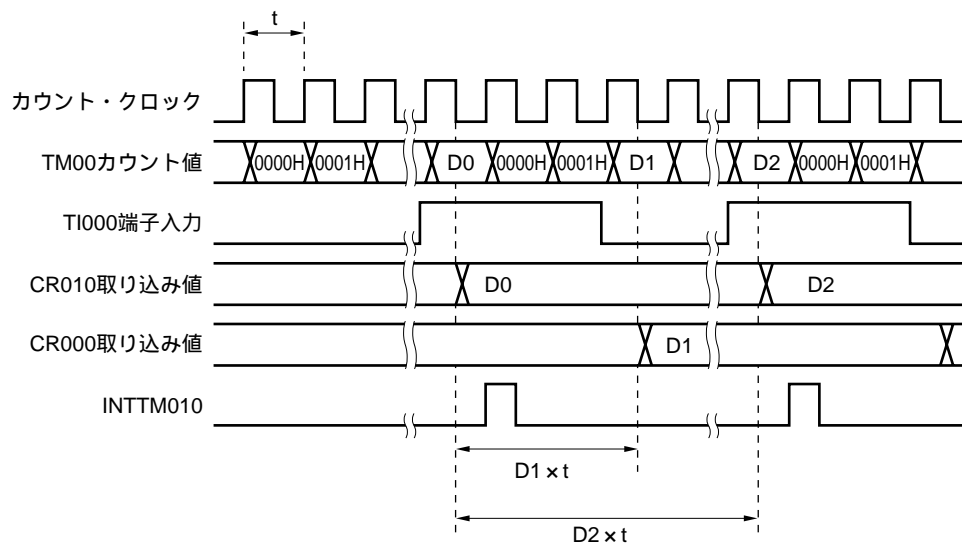


図6 - 25 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



6.4.4 外部イベント・カウンタとしての動作

設定方法

基本的な動作設定手順例は次のようになります。

- CRC00レジスタの設定（設定値については図6 - 26参照）
- PRM00レジスタによりカウント・クロック設定
- CR000レジスタに任意の値（0000Hは設定できません）を設定
- TMC00レジスタ設定：動作開始（設定値については図6 - 26参照）

備考1. TI000端子の設定については、6.3(5)ポート・モード・レジスタ0 (PM0)を参照してください。

2. INTTM000割り込み許可の設定については、第14章 割り込み機能を参照してください。

外部イベント・カウンタは、TI000端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ00 (TM00) でカウントするものです。

プリスケアラ・モード・レジスタ00 (PRM00) で指定した有効エッジが入力されるたびに、TM00がインクリメントされます。

TM00の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) の値と一致すると、TM00は0にクリアされ、割り込み要求信号 (INTTM000) が発生します。

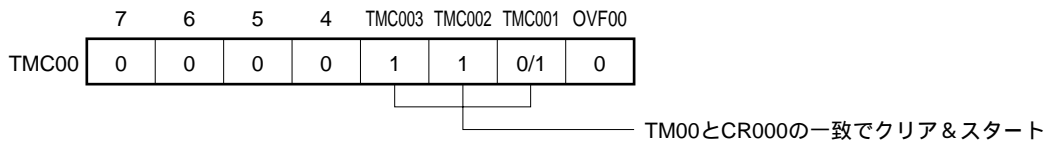
なお、CR000には0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は、プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

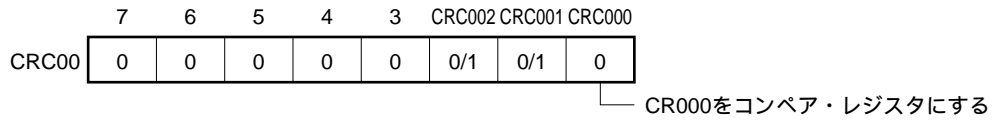
内部クロック (fx) でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図6 - 26 外部イベント・カウンタ・モード時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

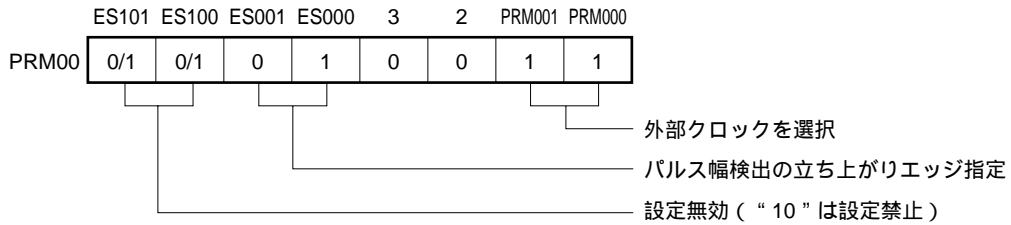
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

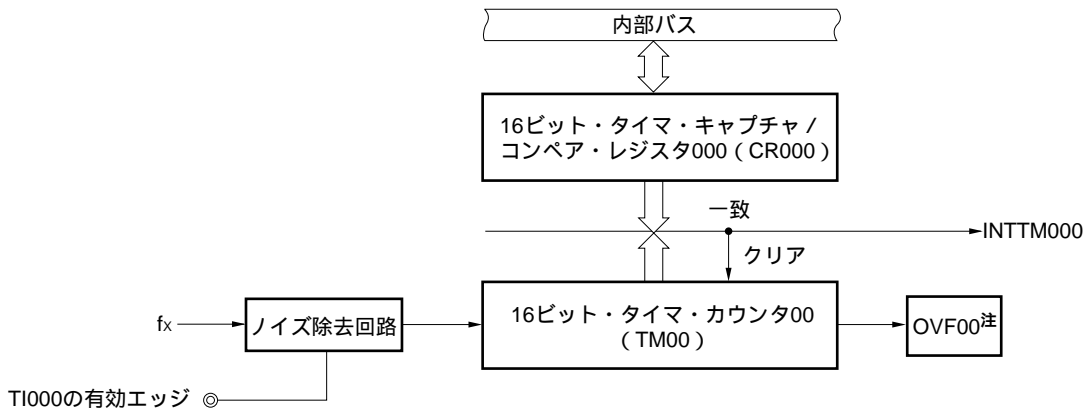


(c) プリスケアラ・モード・レジスタ00 (PRM00)



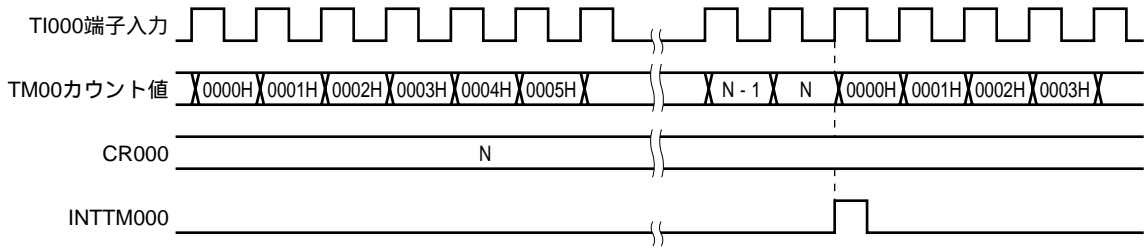
備考 0/1:0または1を設定することにより,外部イベント・カウンタと同時にほかの機能を使用できます。詳細は,各制御レジスタの説明を参照してください。

図6 - 27 外部イベント・カウンタの構成図



注 CR000にFFFFHを設定した場合のみ、OVF00は1になります。

図6 - 28 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM00を読み出してください。

6.4.5 方形波出力としての動作

設定方法

基本的な動作設定手順例は次のようになります。

- PRM00レジスタによりカウント・クロック設定
- CRC00レジスタの設定（設定値については図6 - 29参照）
- TOC00レジスタの設定（設定値については図6 - 29参照）
- CR000レジスタに任意の値（0000Hは設定できません）を設定
- TMC00レジスタ設定：動作開始（設定値については図6 - 29参照）

注意 TM00動作中にCR000を書き換えないでください。

備考1 . TO00端子の設定については、6.3(5) **ポート・モード・レジスタ0 (PM0)** を参照してください。

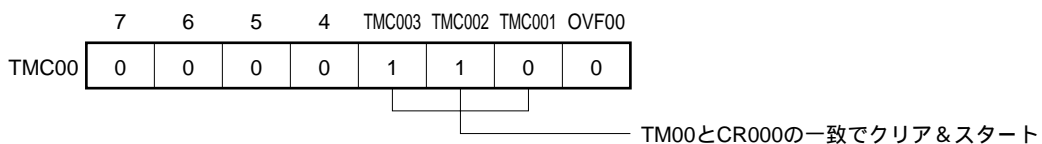
2 . INTTM000割り込み許可の設定については、**第14章 割り込み機能**を参照してください。

16ビット・タイマ・キャプチャ/コンペア・レジスタ000（CR000）にあらかじめ設定したカウント値で決まるインターバルの、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ00（TOC00）のビット0（TOE00）とビット1（TOC001）に1を設定することにより、CR000にあらかじめ設定したカウント値 + 1で決まるインターバルでTO00端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図6 - 29 方形波出力モード時の制御レジスタ設定内容（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



(b) キャプチャ/コンペア・コントロール・レジスタ00（CRC00）

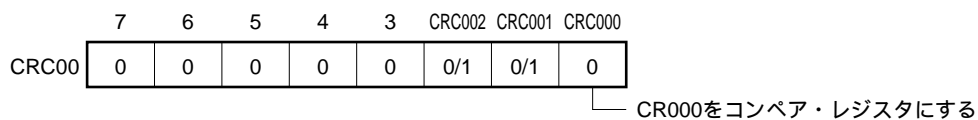
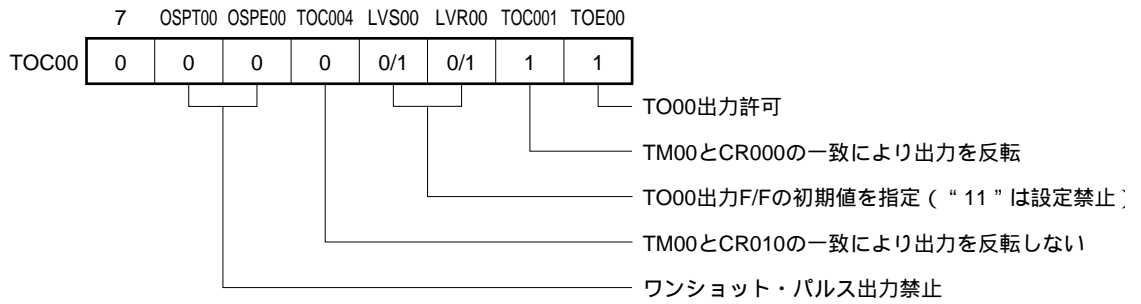
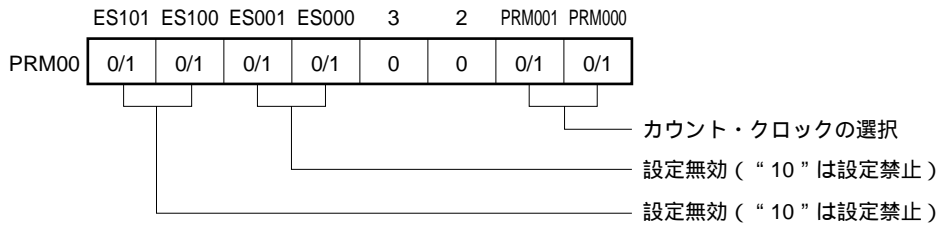


図6 - 29 方形波出力モード時の制御レジスタ設定内容 (2/2)

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

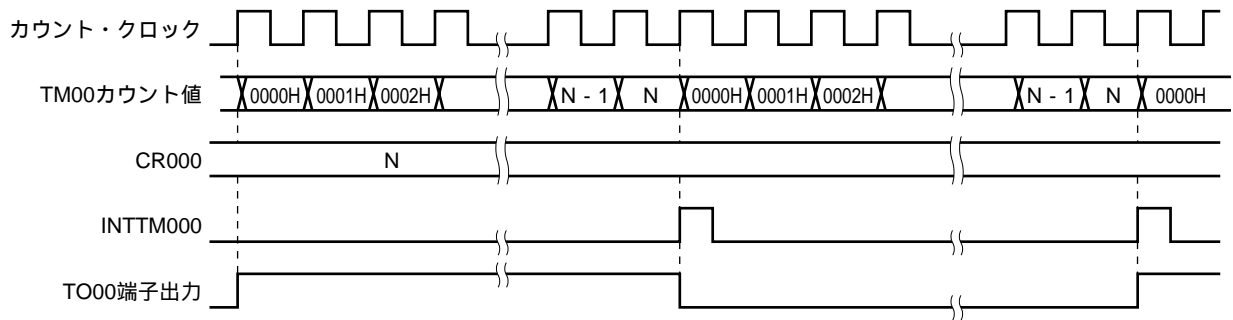


(d) プリスケーラ・モード・レジスタ00 (PRM00)



備考 0/1: 0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6 - 30 方形波出力動作のタイミング



6.4.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI000端子入力)に同期したワンショット・パルスを出力できます。

設定方法

基本的な動作設定手順例は次のようになります。

PRM00レジスタによりカウント・クロック設定

CRC00レジスタの設定(設定値については図6-31, 6-33参照)

TOC00レジスタの設定(設定値については図6-31, 6-33参照)

CR000, CR010レジスタに任意の値(0000Hは設定できません)を設定

TMC00レジスタ設定:動作開始(設定値については図6-31, 6-33参照)

備考1. TO00端子の設定については, 6.3(5)ポート・モード・レジスタ0(PM0)を参照してください。

2. INTTM000(および必要な場合はINTTM010)割り込み許可の設定については, 第14章 割り込み機能を参照してください。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00(TMC00), キャプチャ/コンペア・コントロール・レジスタ00(CRC00)および16ビット・タイマ出力コントロール・レジスタ00(TOC00)を図6-31のように設定し, ソフトウェアでTOC00レジスタのビット6(OSPT00)を1にセットすることにより, ワンショット・パルスをTO00端子から出力します。

OSPT00ビットを1にセットすることにより, 16ビット・タイマ/イベント・カウンタ00がクリア&スタートし, 16ビット・タイマ・キャプチャ/コンペア・レジスタ010(CR010)にあらかじめ設定したカウント値(N)で出力がアクティブになります。その後, 16ビット・タイマ・キャプチャ/コンペア・レジスタ000(CR000)にあらかじめ設定したカウント値(M)で出力がインアクティブとなります[※]。

ワンショット・パルス出力後も, TM00レジスタは動作を継続しています。TM00レジスタを停止させるためには, TMC00レジスタのTMC003, TMC002ビットに00を設定する必要があります。

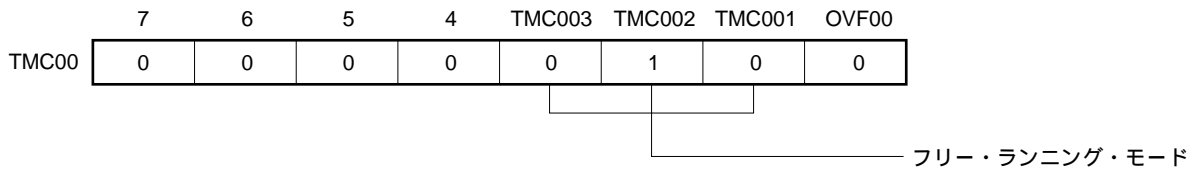
注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR000レジスタで出力がアクティブになり, CR010レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

注意1. ワンショット・パルスを出力しているときは, OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。

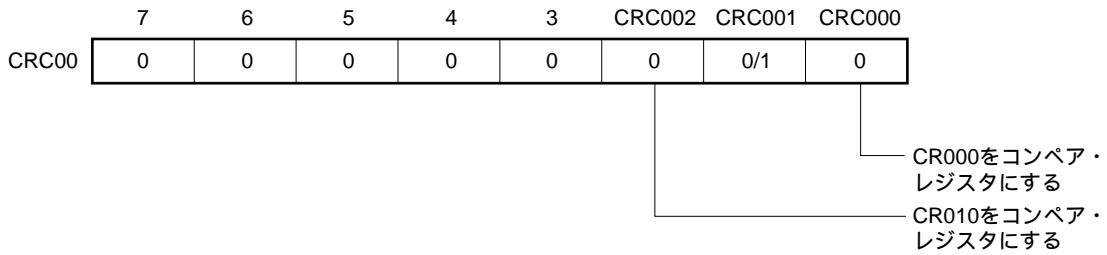
2. 16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので, TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい, 意図しないタイミングでパルスが出力されてしまいます。

図6 - 31 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

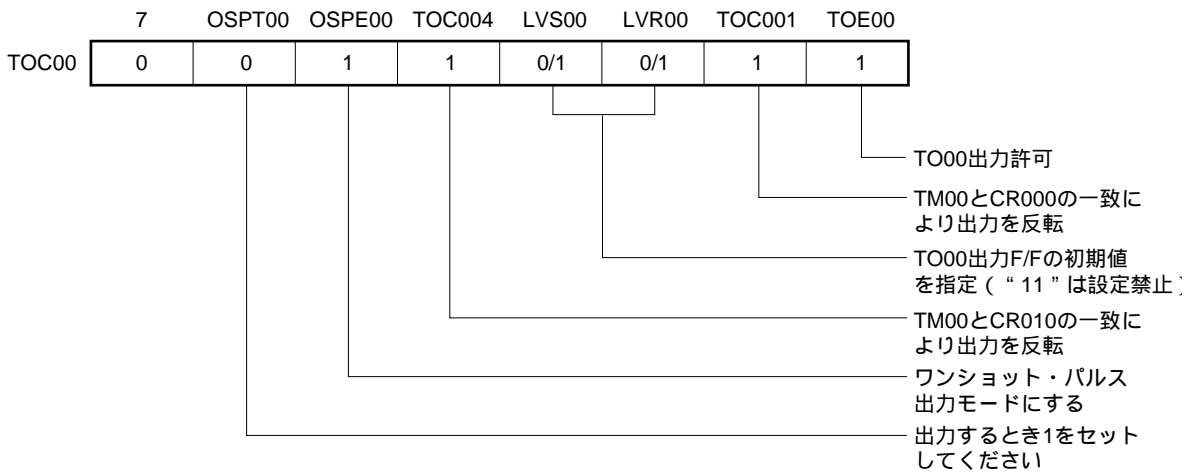
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



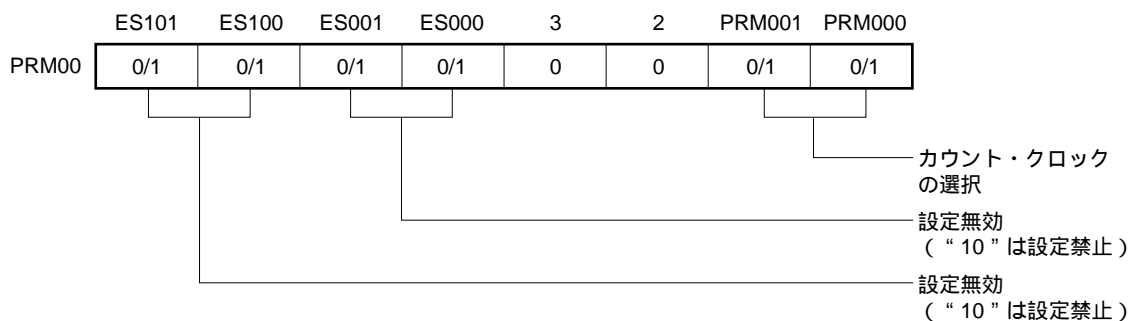
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

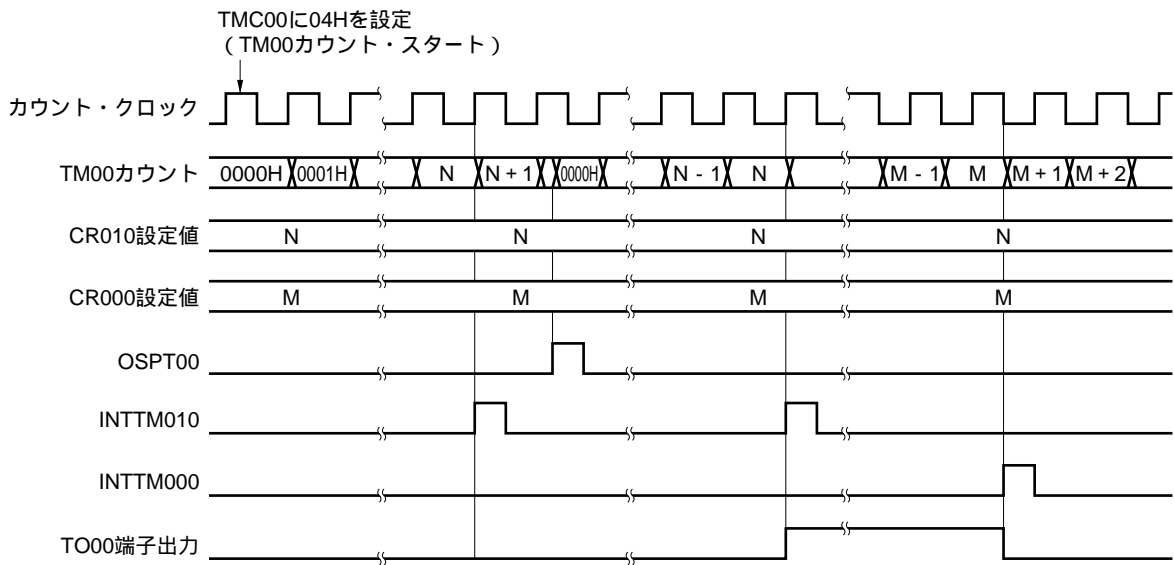


(d) プリスケアラ・モード・レジスタ00 (PRM00)



注意 CR000レジスタとCR010レジスタに0000Hを設定しないでください。

図6 - 32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。

備考 $N < M$

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) , キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) および16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を図6 - 33のように設定し、TI000端子の有効エッジを外部トリガとしてワンショット・パルスをTO00端子から出力します。

TI000端子の有効エッジ指定は、プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で行い、立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

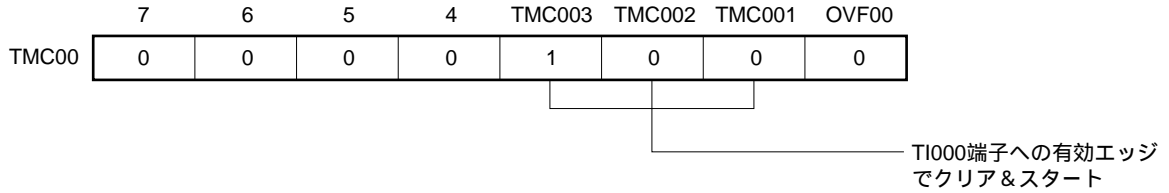
TI000端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値で出力がインアクティブとなります^注。

注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR000レジスタで出力がアクティブになり、CR010レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

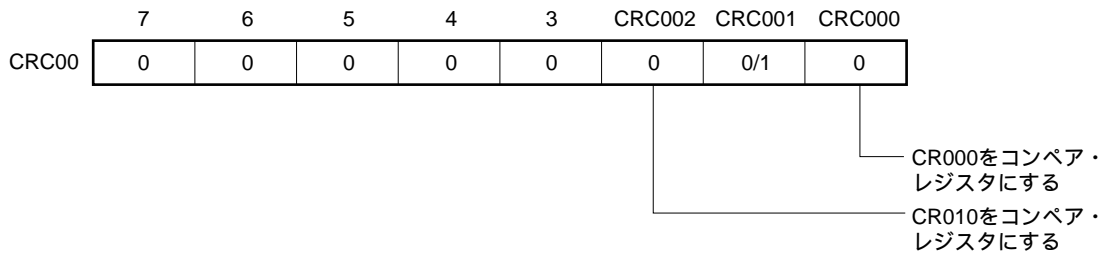
注意 ワンショット・パルスを出力しているときに、再度外部トリガが発生しても無視されます。

図6 - 33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容
(立ち上がりエッジ指定時)

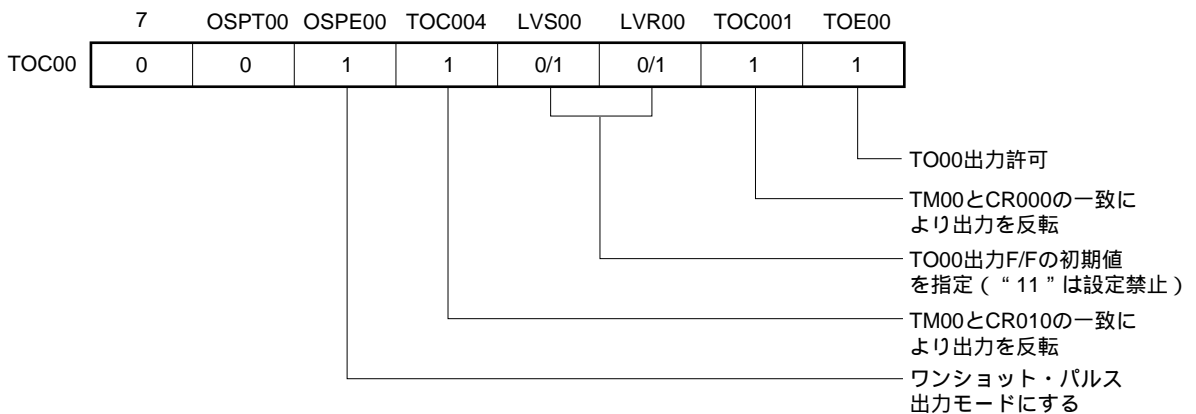
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



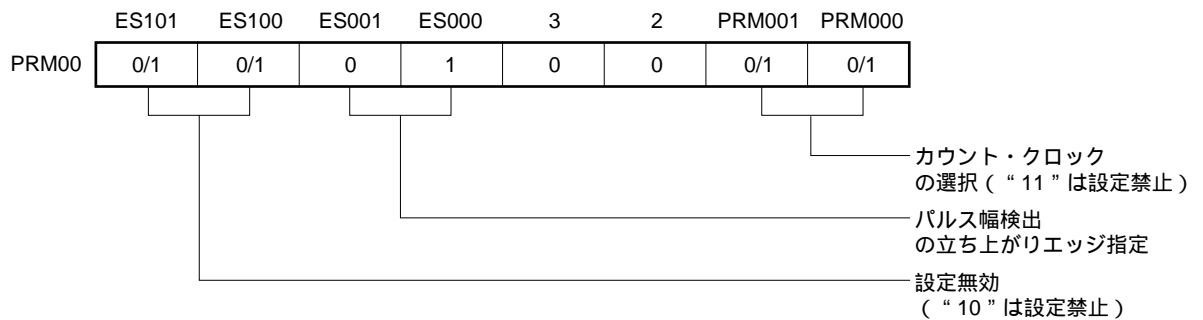
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

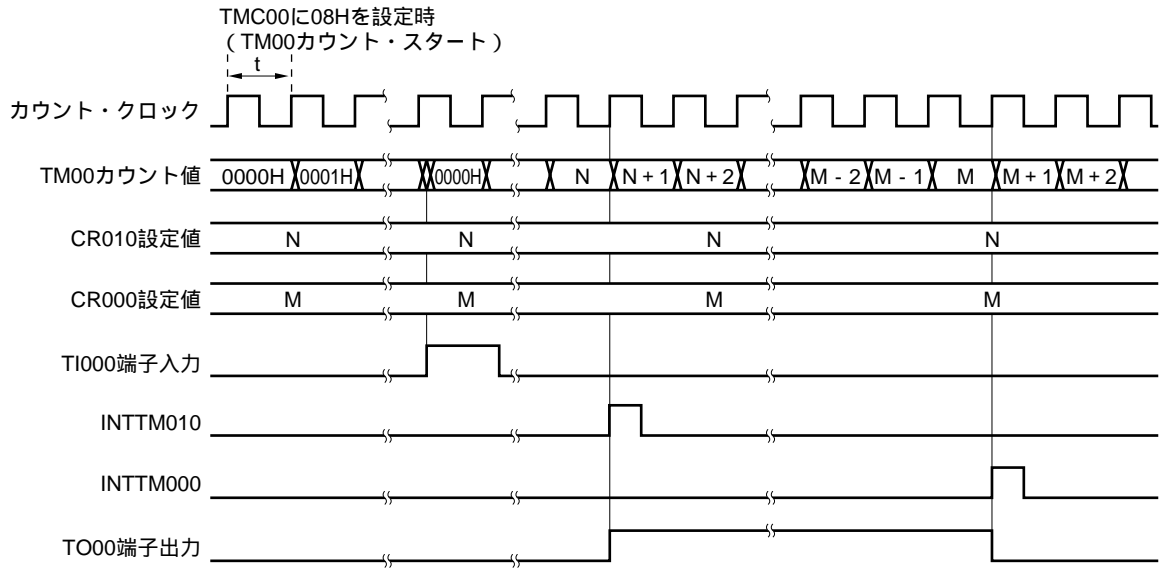


(d) プリスケーラ・モード・レジスタ00 (PRM00)



注意 CR000レジスタとCR010レジスタに0000Hを設定しないでください。

図6 - 34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)



注意 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。

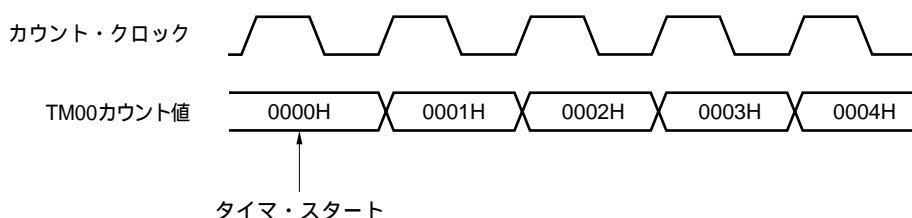
備考 $N < M$

6.5 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00 (TM00) が非同期でスタートするためです。

図6 - 35 16ビット・タイマ・カウンタ00 (TM00) のスタート・タイミング



(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010の設定

TM00とCR000の一致でクリア&スタート・モードの場合，16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010) には，0000H以外の値を設定してください。したがって，外部イベント・カウンタとして使用時，1パルスのカウント動作はできません。

(3) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ/イベント・カウンタ00停止後の，16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010) の値は保証されません。

(4) 有効エッジの設定

TI000端子の有効エッジは，16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット2, 3 (TMC002, TMC003) に0, 0を設定し，タイマ動作を停止させたあとに設定してください。有効エッジは，プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で設定します。

(5) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR000レジスタとの一致割り込みであるINTTM000、またはCR010レジスタとの一致割り込みであるINTTM010が発生したあとに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度、外部トリガが発生しても無視されます。

(c) ワンショット・パルス出力機能について

16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI000端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので、TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

(6) OVF00フラグの動作

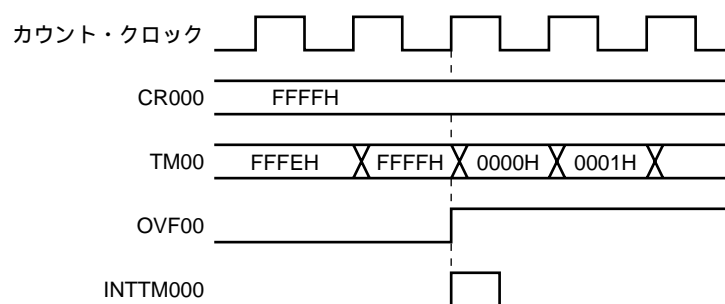
OVF00フラグは、次のときにも“1”に設定されます。

TM00とCR000の一致でクリア&スタート、TI000の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択

CR000をFFFFHに設定

TM00がFFFFHから0000Hにカウント・アップするとき

図6-36 OVF00フラグの動作タイミング

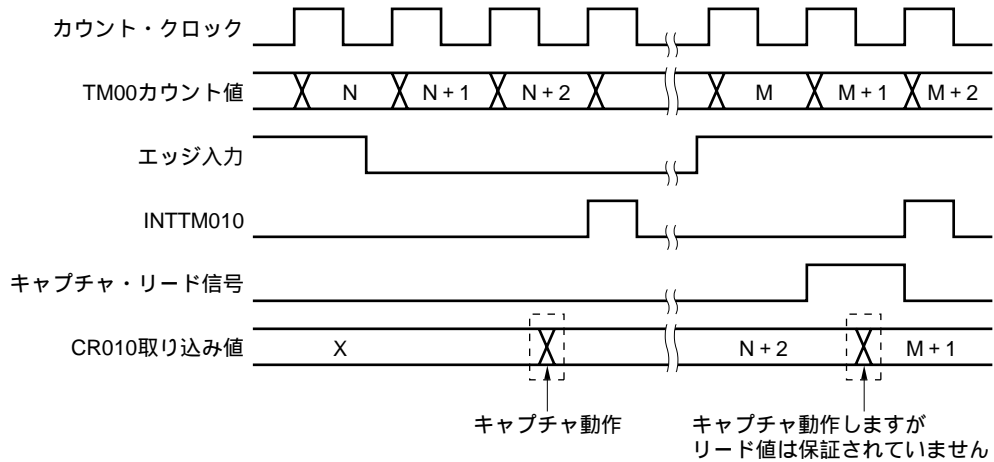


TM00がオーバーフロー後、次のカウント・クロックがカウントされる (TM00が0001Hになる) 前にOVF00フラグをクリアしても、再度セットされ、クリアは無効となります。

(7) 競合動作について

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR000/CR010) のリード期間とキャプチャ・トリガ入力が入力が競合 (CR000/CR010はキャプチャ・レジスタとして使用) する場合は、キャプチャ・トリガ入力が優先されます。CR000/CR010のリード・データは不定となります。

図6 - 37 キャプチャ・レジスタのデータ保持タイミング



(8) タイマ動作について

16ビット・タイマ・カウンタ00 (TM00) をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) にはキャプチャしません。

CPUの動作モードに関係なく、タイマが停止していると、TI000/TI010端子への入力信号は受け付けられません。

ワンショット・パルス出力は、フリー・ランニング・モードまたはTI000端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、オーバーフローしないため、ワンショット・パルス出力ができません。

(9) キャプチャ動作について

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作できません。

確実にキャプチャするためのキャプチャ・トリガは、プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM000/INTTM010) は次のカウント・クロックの立ち上がりで発生します。

(10) コンペア動作について

コンペア・モードに設定したCR000/CR010は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(11) エッジ検出について

システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合、TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、TI000端子またはTI010端子がハイ・レベルの場合、動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

TI000の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者はfxで、後者はプリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

第7章 8ビット・タイマ/イベント・カウンタ50

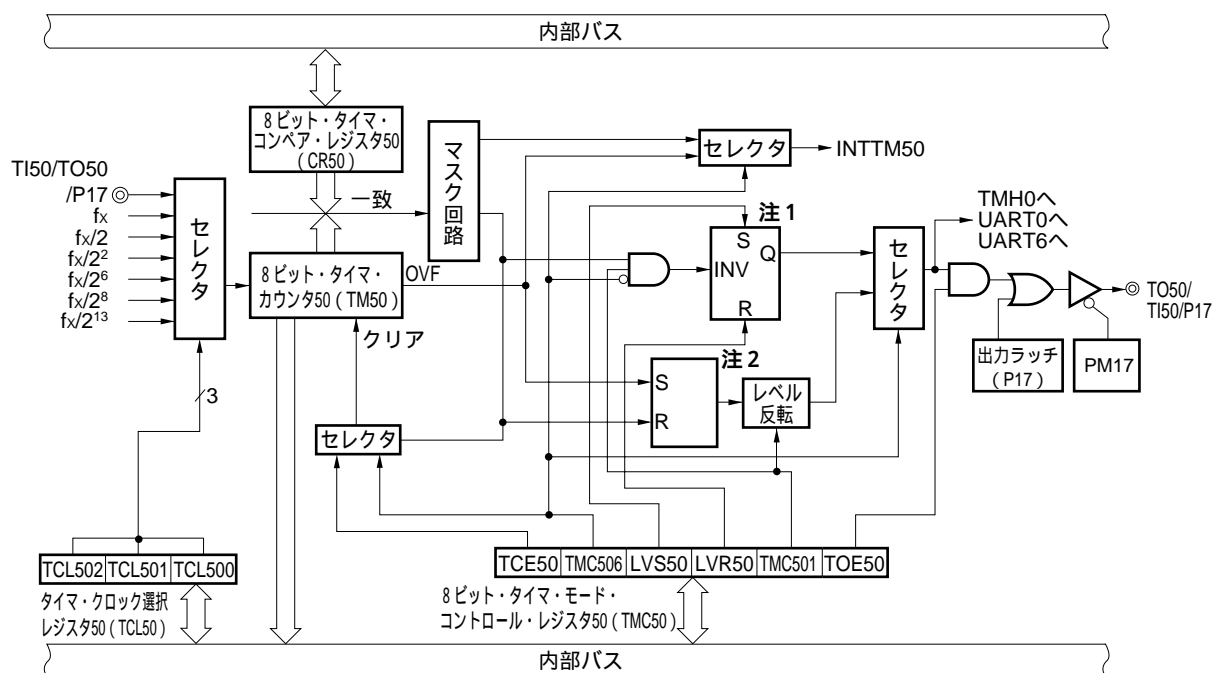
7.1 8ビット・タイマ/イベント・カウンタ50の機能

8ビット・タイマ/イベント・カウンタ50は、次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

図7-1に、8ビット・タイマ/イベント・カウンタ50のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図



注1．タイマ出力F/F

2．PWM出力F/F

7.2 8ビット・タイマ/イベント・カウンタ50の構成

8ビット・タイマ/イベント・カウンタ50は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50の構成

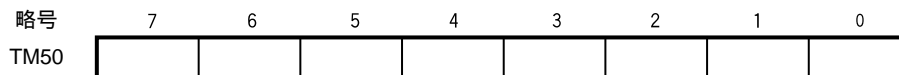
| 項 目 | 構 成 |
|----------|---|
| タイマ・レジスタ | 8ビット・タイマ・カウンタ50 (TM50) |
| レジスタ | 8ビット・タイマ・コンペア・レジスタ50 (CR50) |
| タイマ入力 | TI50 |
| タイマ出力 | TO50 |
| 制御レジスタ | タイマ・クロック選択レジスタ50 (TCL50) 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1) |

(1) 8ビット・タイマ・カウンタ50 (TM50)

TM50は、カウント・パルスをカウントする8ビットのリード専用レジスタです。
カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-2 8ビット・タイマ・カウンタ50 (TM50) のフォーマット

アドレス：FF16H リセット時：00H R



次の場合、カウント値は00Hになります。

RESET入力

TCE50をクリア

TM50とCR50の一致でクリア&スタート・モード時のTM50とCR50の一致

(2) 8ビット・タイマ・コンペア・レジスタ50 (CR50)

CR50は、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR50に設定した値と、8ビット・タイマ・カウンタ50 (TM50) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM50) を発生します。

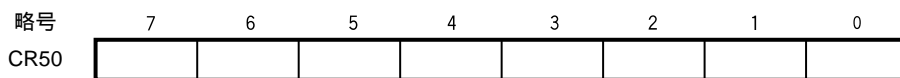
PWMモード時は、TM50のオーバフローによりTO50端子がアクティブ・レベルになり、TM50とCR50の値が一致するとTO50端子はインアクティブ・レベルになります。

CR50の値は、00H-FFHの範囲で設定できます。

RESET入力により、00Hになります。

図7-3 8ビット・タイマ・コンペア・レジスタ50 (CR50) のフォーマット

アドレス : FF17H リセット時 : 00H R/W



注意1 . TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0) 時は、動作中にCR50に異なる値を書き込まないでください。

2 . PWMモード時は、CR50の書き換え間隔をカウント・クロック (TCL50で選択したクロック) の3カウント・クロック以上にしてください。

7.3 8ビット・タイマ/イベント・カウンタ50を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ50 (TCL50)
- ・8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) タイマ・クロック選択レジスタ50 (TCL50)

8ビット・タイマ/イベント・カウンタ50のカウンタ・クロックおよびTI50入力の有効エッジを設定するレジスタです。

TCL50は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-4 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF6AH リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---|--------|--------|--------|
| TCL50 | 0 | 0 | 0 | 0 | 0 | TCL502 | TCL501 | TCL500 |

| TCL502 | TCL501 | TCL500 | カウント・クロックの選択 ^注 |
|--------|--------|--------|---------------------------|
| 0 | 0 | 0 | TI50の立ち下がりエッジ |
| 0 | 0 | 1 | TI50の立ち上がりエッジ |
| 0 | 1 | 0 | f_x (10 MHz) |
| 0 | 1 | 1 | $f_x/2$ (5 MHz) |
| 1 | 0 | 0 | $f_x/2^2$ (2.5 MHz) |
| 1 | 0 | 1 | $f_x/2^6$ (156.25 kHz) |
| 1 | 1 | 0 | $f_x/2^8$ (39.06 kHz) |
| 1 | 1 | 1 | $f_x/2^{13}$ (1.22 kHz) |

★ 注 カウント・クロックは次の条件を満たすように設定してください。

- ・ $V_{DD} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック 10 MHz
- ・ $V_{DD} = 3.3 \sim 4.0 \text{ V}$: カウント・クロック 8.38 MHz
- ・ $V_{DD} = 2.7 \sim 3.3 \text{ V}$: カウント・クロック 5 MHz
- ・ $V_{DD} = 2.5 \sim 2.7 \text{ V}$: カウント・クロック 2.5 MHz

注意1 .CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合、8ビット・タイマ/イベント・カウンタ50の動作は保証されません。

2. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。
3. ビット3-7には必ず“0”を設定してください。

- 備考1. f_x : X1入力クロック発振周波数
 2. ()内は, $f_x = 10 \text{ MHz}$ 動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

TMC50は, 次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ50 (TM50) のカウント動作制御
- 8ビット・タイマ・カウンタ50 (TM50) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC50は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7 - 5に, TMC50のフォーマットを示します。

図7 - 5 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

| | | | | | | | | |
|-------|-------|--------|---|---|-------|-------|--------|-------|
| 略号 | [7] | 6 | 5 | 4 | [3] | [2] | 1 | [0] |
| TMC50 | TCE50 | TMC506 | 0 | 0 | LVS50 | LVR50 | TMC501 | TOE50 |

| | | |
|-------|--------------------------------|--|
| TCE50 | TM50のカウント動作制御 | |
| 0 | カウンタを0にクリア後, カウント動作禁止 (カウンタ停止) | |
| 1 | カウント動作開始 | |

| | | |
|--------|---------------------------|--|
| TMC506 | TM50の動作モード選択 | |
| 0 | TM50とCR50の一致でクリア&スタート・モード | |
| 1 | PWM (フリー・ランニング) モード | |

| | | |
|-------|-------|-------------------|
| LVS50 | LVR50 | タイマ出力F/Fの状態設定 |
| 0 | 0 | 変化しない |
| 0 | 1 | タイマ出力F/Fをリセット (0) |
| 1 | 0 | タイマ出力F/Fをセット (1) |
| 1 | 1 | 設定禁止 |

| | | |
|--------|-----------------------|---------------------|
| TMC501 | PWMモード以外 (TMC506 = 0) | PWMモード (TMC506 = 1) |
| | タイマF/Fの制御 | |
| 0 | 反転動作禁止 | ハイ・アクティブ |
| 1 | 反転動作許可 | ロウ・アクティブ |

| | |
|-------|-------------------------|
| TOE50 | タイマ出力の制御 |
| 0 | 出力禁止 (TM50の出力はロウ・レベル出力) |
| 1 | 出力許可 |

★ 注 ビット2, 3はWrite Onlyです。

注意1 . LVS50とLVR50の設定は、PWMモード時以外で有効になります。

★

2 . 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC501, TMC506を設定：動作モードの設定

出力を許可する場合、TOE50を設定：タイマ出力許可

LVS50, LVR50を設定（注意1）：タイマF/Fの設定

TCE50を設定

3 . TMC506を書き換える場合は、動作を停止してから行ってください。

備考1 . PWMモード時は、TCE50 = 0により、PWM出力はインアクティブ・レベルになります。

2 . LVS50, LVR50は読み出すと、0になっています。

3 . TMC506, LVS50, LVR50, TMC501, TOE50の各ビットの値は、TCE50の値に関係なくTO50端子に反映されます。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P17/TO50/TI50端子をタイマ出力として使用するとき、PM17およびP17の出力ラッチに0を設定してください。

P17/TO50/TI50端子をタイマ入力として使用するとき、PM17に1を設定してください。このとき、P17の出力ラッチは0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図7 - 6 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

| | | | | | | | | |
|-----|------|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |

| | |
|------|---------------------------|
| PM1n | P1n端子の入出力モードの選択 (n = 0-7) |
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

7.4 8ビット・タイマ/イベント・カウンタ50の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ50 (CR50) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ50 (TM50) のカウント値がCR50に設定した値と一致したとき、TM50の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM50) を発生します。

タイマ・クロック選択レジスタ50 (TCL50) のビット0-2 (TCL500-TCL502) でTM50のカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL50 : カウント・クロックの選択
- ・ CR50 : コンペア値
- ・ TMC50 : カウント動作停止, TM50とCR50の一致でクリア&スタート・モードを選択
(TMC50 = 0000 x x x 0B x = don't care)

TCE50 = 1を設定すると、カウント動作を開始します。

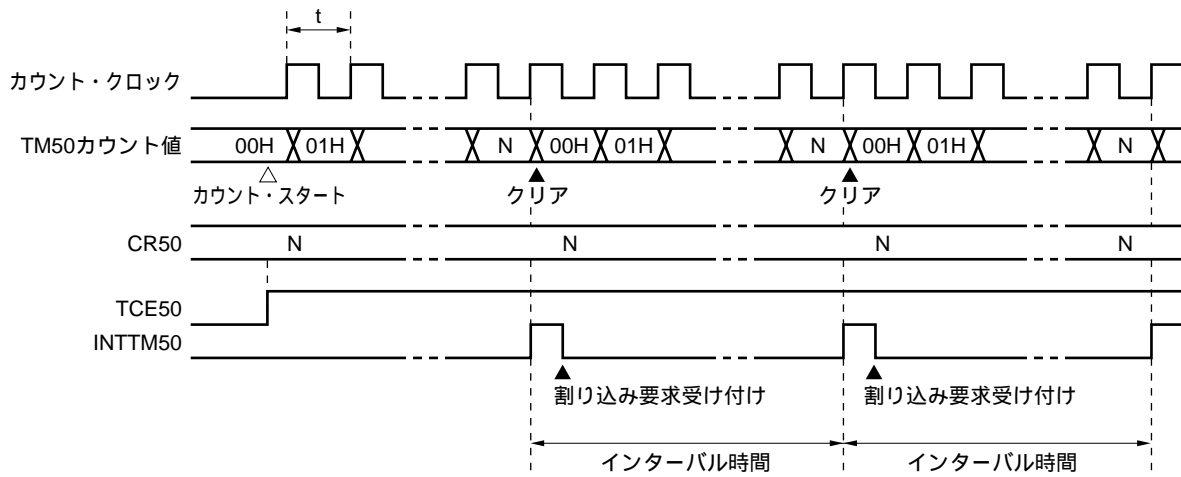
TM50とCR50の値が一致すると、INTTM50が発生します (TM50は00Hにクリアされます)。

以後、同一間隔でINTTM50が繰り返し発生します。カウント動作を停止するときは、TCE50 = 0にしてください。

注意 動作中にCR50に異なる値を書き込まないでください。

図7-7 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作

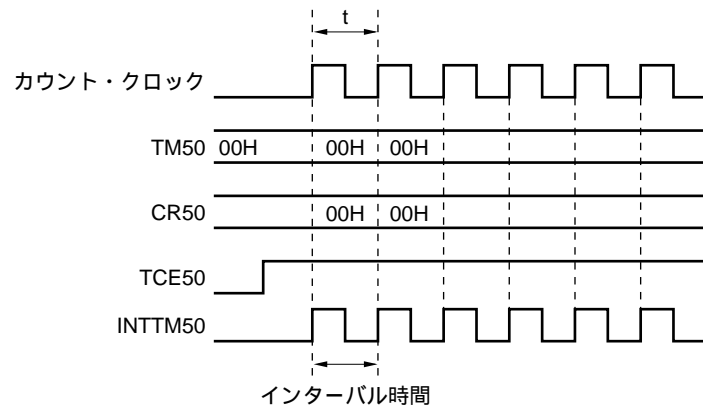


備考 インターバル時間 = $(N + 1) \times t$

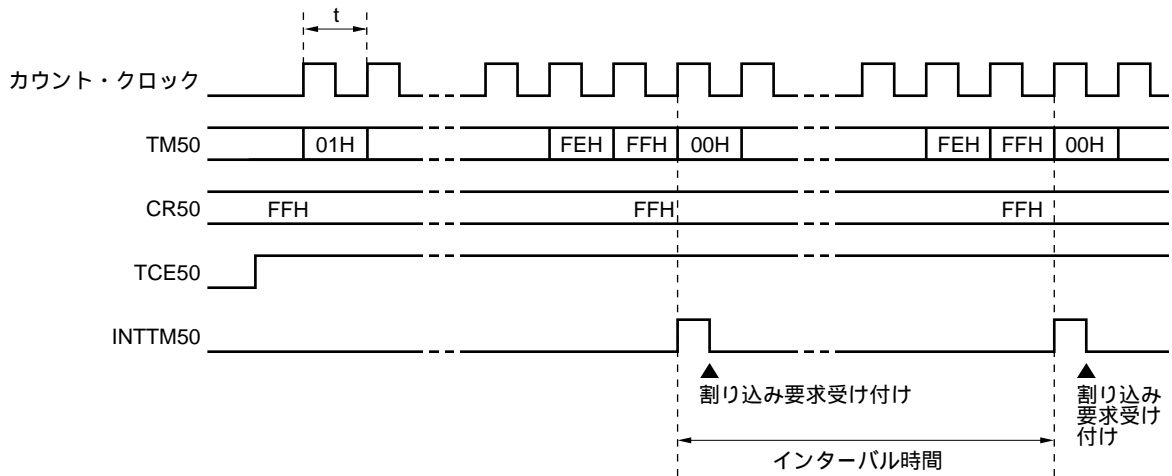
N = 01H-FEH

図7-7 インターバル・タイマ動作のタイミング (2/2)

(b) CR50 = 00Hの場合



(c) CR50 = FFHの場合



7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI50に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ50 (TM50) でカウントするものです。

タイマ・クロック選択レジスタ50 (TCL50) で指定した有効エッジが入力されるたびに、TM50がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM50の計数値が8ビット・タイマ・コンペア・レジスタ50 (CR50) の値と一致すると、TM50は0にクリアされ、割り込み要求信号 (INTTM50) が発生します。

以後、TM50の値とCR50の値が一致するたびに、INTTM50が発生します。

設定方法

各レジスタの設定を行います。

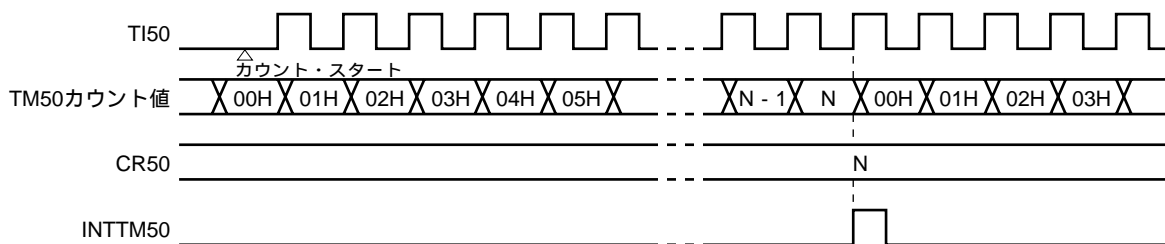
- ・ポート・モード・レジスタ1 (PM17) に “ 1 ” を設定
- ・TCL50 : TI50入力のエッジ選択
 TI50の立ち下がり TCL50 = 00H
 TI50の立ち上がり TCL50 = 01H
- ・CR50 : コンペア値
- ・TMC50 : カウント動作停止, TM50とCR50の一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
 (TMC50 = 0000 x x 00B x = don't care)

TCE50 = 1を設定すると、TI50から入力されるパルス数をカウントします。

TM50とCR50の値が一致すると、INTTM50が発生します (TM50は00Hにクリアされます)。

以後、TM50とCR50の値が一致するたびに、INTTM50が発生します。

図7-8 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



N = 00H-FFH

7.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ50 (CR50) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット0 (TOE50) に1を設定することにより、CR50にあらかじめ設定したカウント値で決まるインターバルでTO50の出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17) , ポート・モード・レジスタ1 (PM17) に “0” を設定
- ・TCL50 : カウント・クロックの選択
- ・CR50 : コンペア値
- ・TMC50 : カウント動作停止, TM50とCR50の一致でクリア&スタート・モードを選択

| LVS50 | LVR50 | タイマ出力F/Fの状態設定 |
|-------|-------|---------------|
| 1 | 0 | ハイ・レベル出力 |
| 0 | 1 | ロウ・レベル出力 |

タイマ出力F/Fの反転許可

タイマ出力許可

(TMC50 = 00001011Bまたは00000111B)

TCE50 = 1を設定すると、カウント動作を開始します。

TM50とCR50の値が一致すると、タイマ出力F/Fが反転します。

また、INTTM50が発生し、TM50は00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO50から方形波が出力されます。

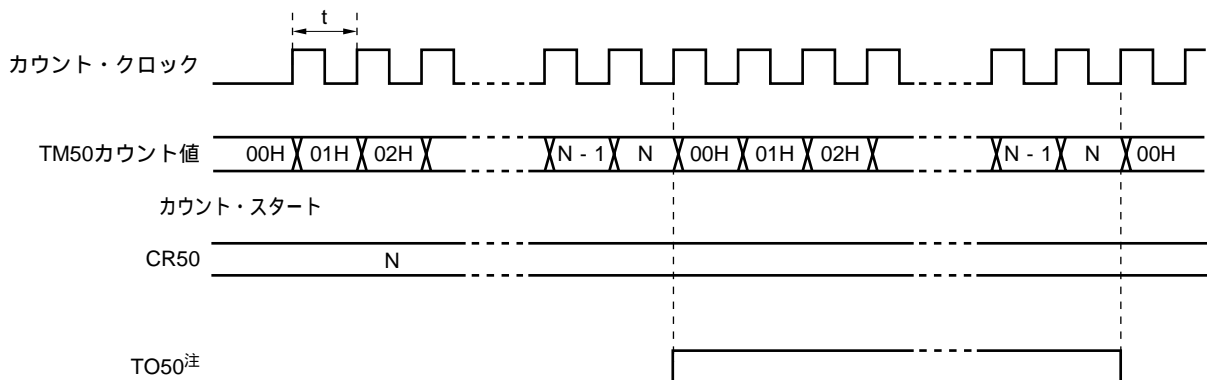
周波数は次のようになります。

$$\text{周波数} = 1/2t (N + 1)$$

(N : 00H-FFH)

注意 動作中にCR50に異なる値を書き込まないでください。

図7 - 9 方形波出力動作のタイミング



注 TO50出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット2, 3 (LVR50, LVS50) で設定できます。

7.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6 (TMC506) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ50 (CR50) に設定した値で決まるデューティのパルスを、TO50から出力します。

PWMパルスのアクティブ・レベルの幅は、CR50に設定してください。また、アクティブ・レベルは、TMC50のビット1 (TMC501) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ50 (TCL50) のビット0-2 (TCL500-TCL502) で選択できます。

TMC50のビット0 (TOE50) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR50の書き換え間隔をカウント・クロック (TCL50で選択したクロック) の3カウント・クロック以上にしてください。

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17) , ポート・モード・レジスタ1 (PM17) に“0”を設定
- ・TCL50 : カウント・クロックの選択
- ・CR50 : コンペア値
- ・TMC50 : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし, タイマ出力許可

| TMC501 | アクティブ・レベルの選択 |
|--------|--------------|
| 0 | ハイ・アクティブ |
| 1 | ロウ・アクティブ |

(TMC50 = 01000001Bまたは01000011B)

TCE50 = 1に設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE50に“0”を設定してください。

PWM出力の動作

PWM出力 (TO50からの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、アクティブ・レベルを出力します。アクティブ・レベルは、CR50と8ビット・タイマ・カウンタ50 (TM50) のカウント値が一致するまで出力されます。

CR50とカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

TCE50 = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

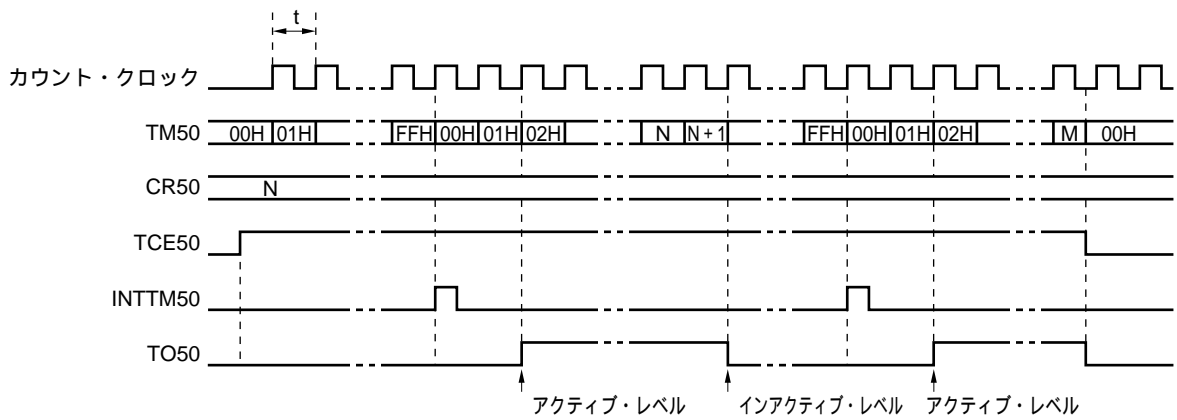
詳細なタイミングについては、図7-10, 7-11を参照してください。

周期、アクティブ・レベル幅、デューティは次のようになります。

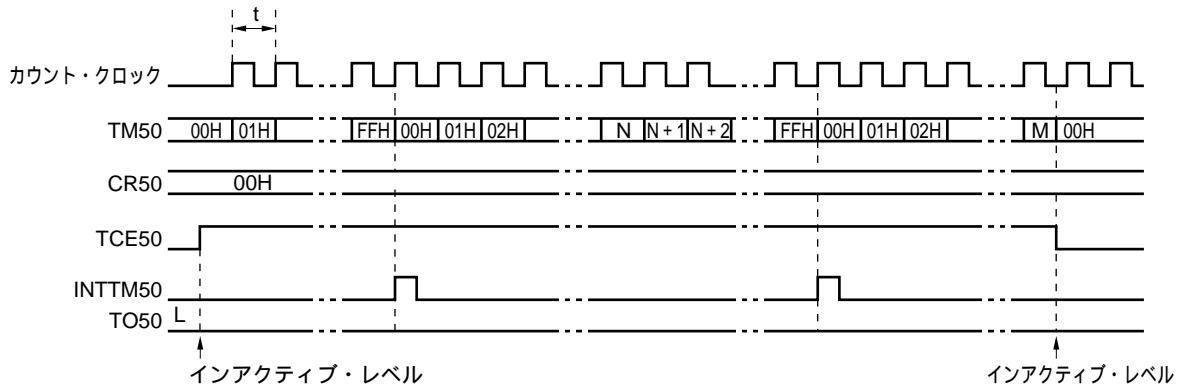
- ・周期 = $2^8 t$
- ・アクティブ・レベル幅 = Nt
- ・デューティ = $N/2^8$
($N = 00H\text{-}FFH$)

図7 - 10 PWM出力動作のタイミング

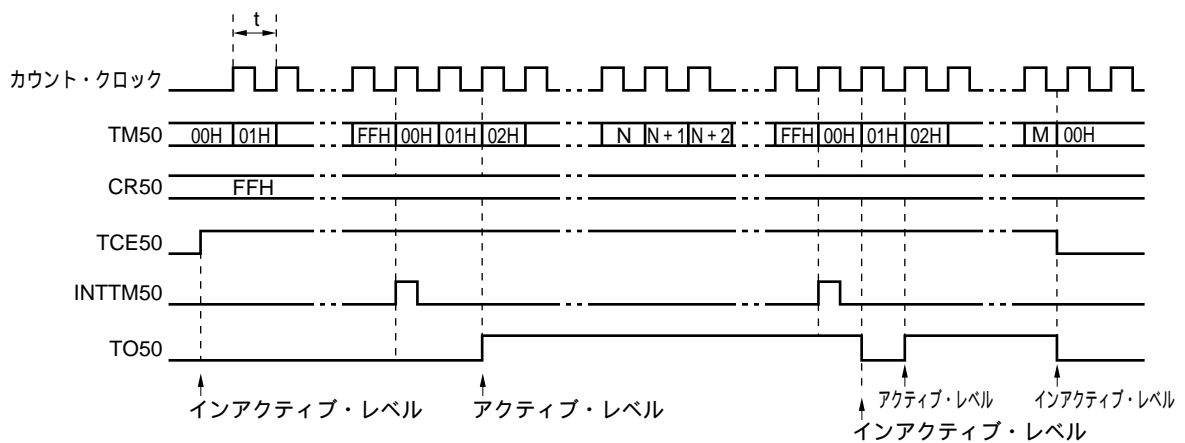
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR50 = 00Hの場合



(c) CR50 = FFHの場合

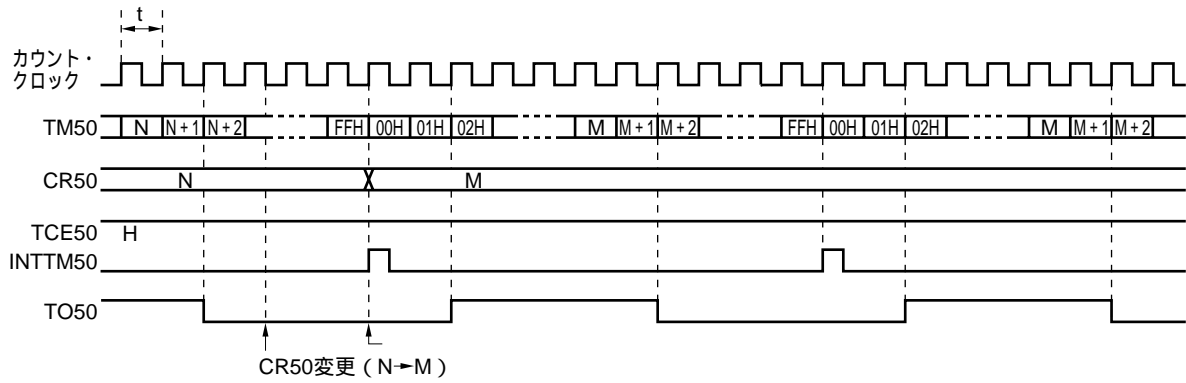


備考 図7 - 10 (a) の - , は、7. 4. 4 (1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

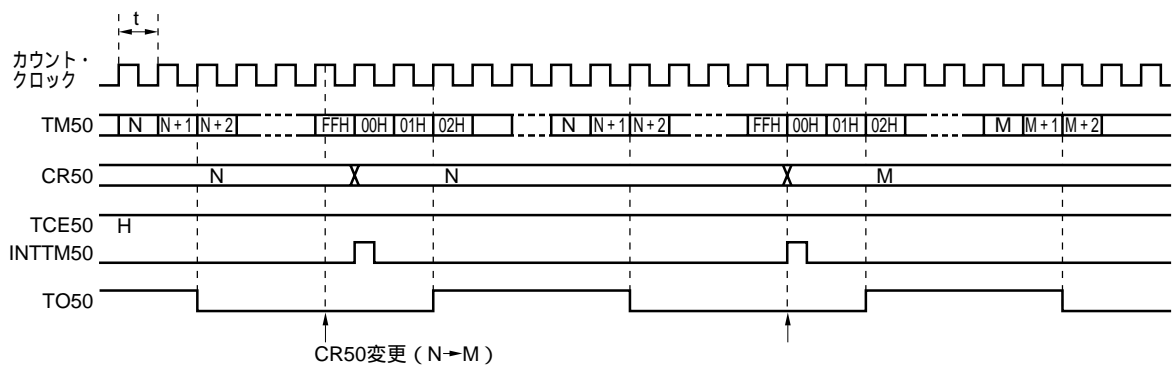
(2) CR50変更による動作

図7 - 11 CR50変更による動作のタイミング

(a) CR50の値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR50に値が転送されます



(b) CR50の値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR50に値が転送されます



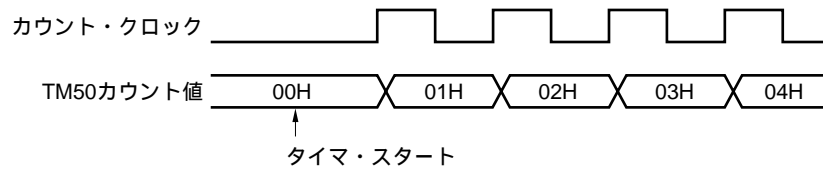
注意 図7 - 11の から の間でCR50からリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR50の値: N)。

7.5 8ビット・タイマ/イベント・カウンタ50の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50 (TM50) が非同期でスタートするためです。

図7 - 12 8ビット・タイマ・カウンタ50のスタート・タイミング



第8章 8ビット・タイマH0, H1

8.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力モード
- ・方形波出力

8.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1の構成

| 項 目 | 構 成 |
|----------|--|
| タイマ・レジスタ | 8ビット・タイマ・カウンタHn |
| レジスタ | 8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n) |
| タイマ出力 | TOHn |
| 制御レジスタ | 8ビット・タイマHモード・レジスタn (TMHMDn) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1) |

備考 n = 0, 1

図8 - 1と8 - 2にブロック図を示します。

図8-1 8ビット・タイマH0のブロック図

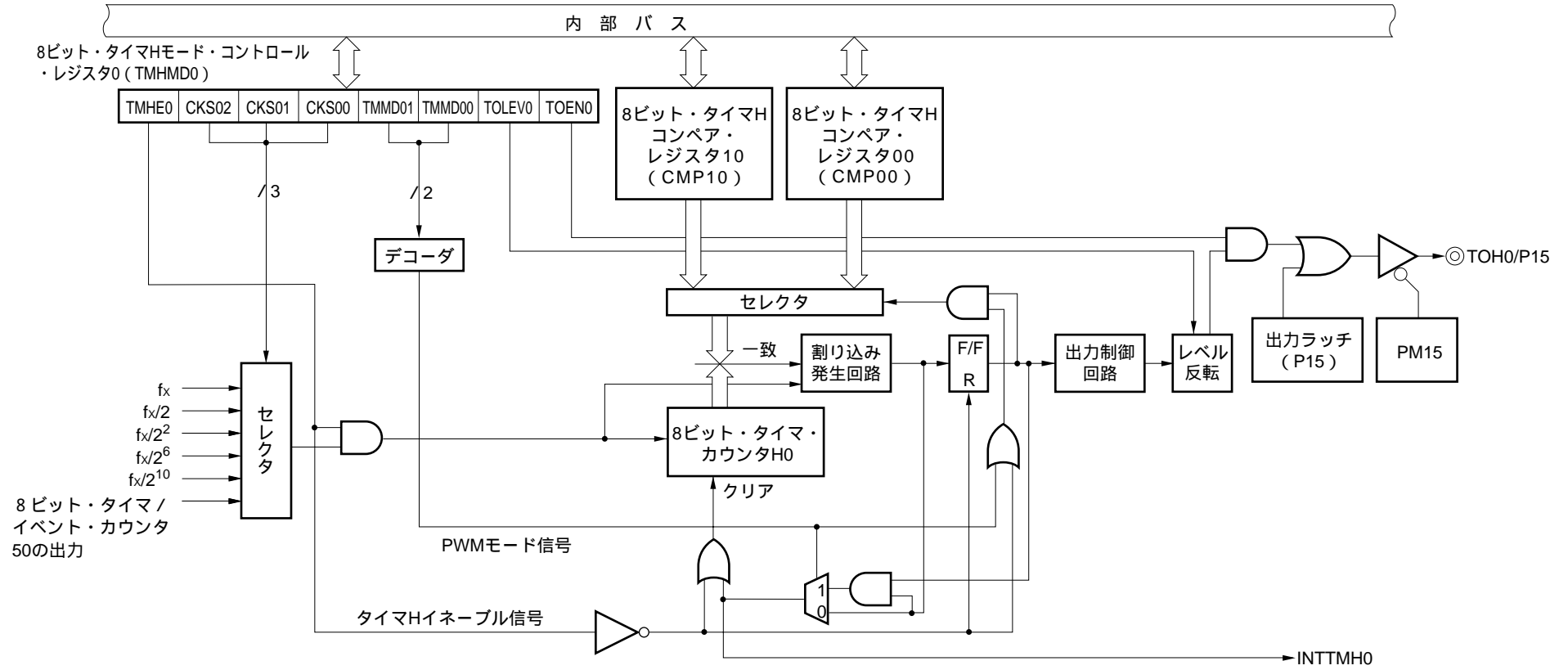
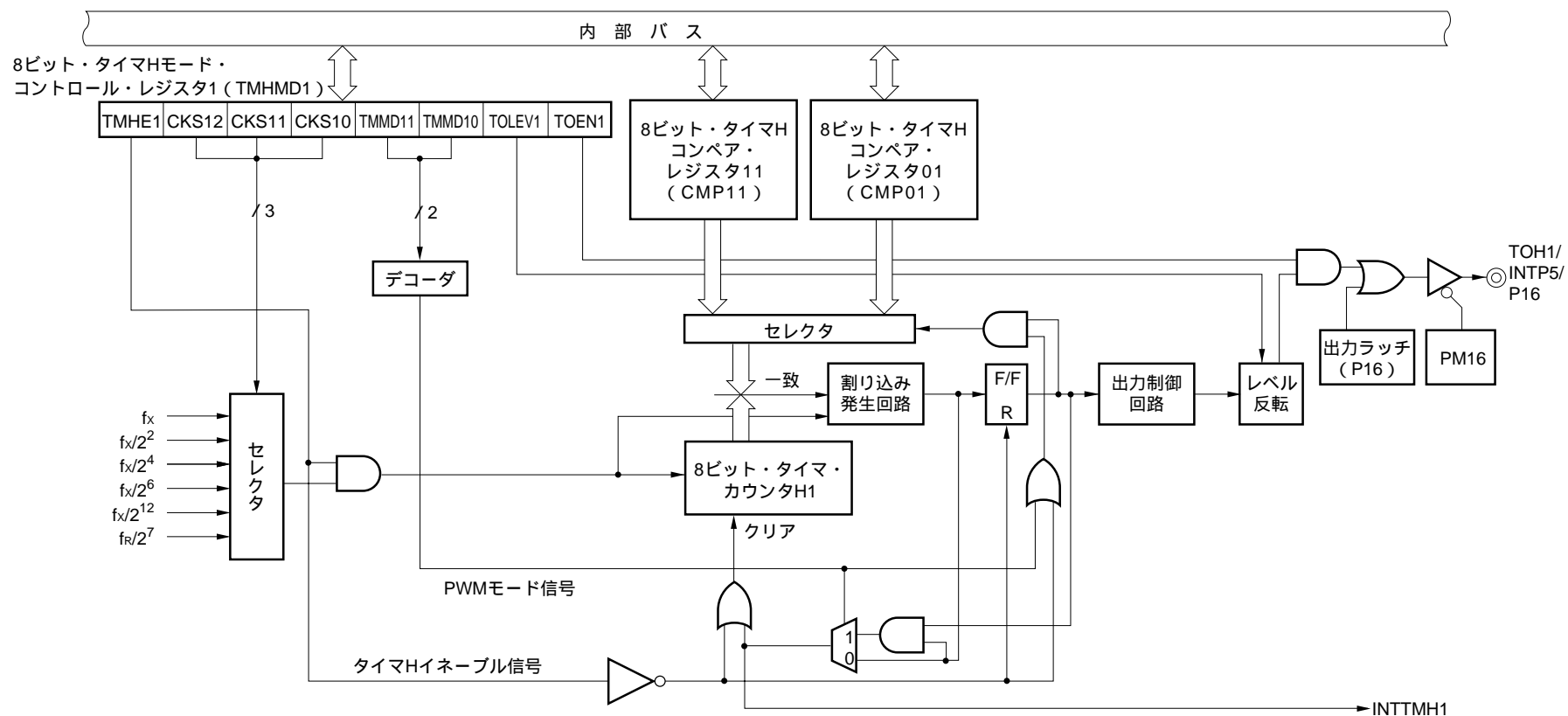


図8-2 8ビット・タイマH1のブロック図



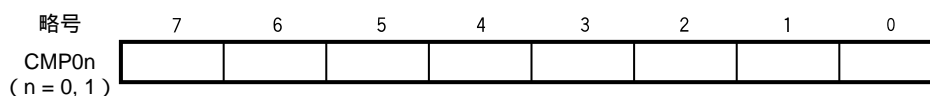
(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

RESET入力により00Hになります。

図8 - 3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス : FF18H (CMP00) , FF1AH (CMP01) リセット時 : 00H R/W



注意 CMP0nは、タイマ・カウント動作中に値を書き換えることは禁止です。

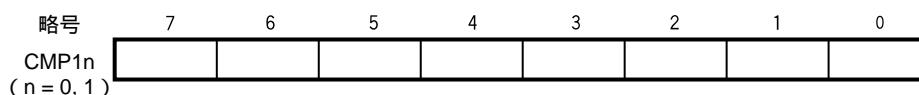
(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

RESET入力により00Hになります。

図8 - 4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス : FF19H (CMP10) , FF1BH (CMP11) リセット時 : 00H R/W



CMP1nはタイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換えた場合、転送タイミングはカウント値とCMP1nの値が一致したタイミングで行います。転送タイミングとCPUからCMP1nへの書き込みが競合した場合、転送はされません。

注意 PWM出力モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

8.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の3種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

備考 $n = 0, 1$

図8-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

| | | | | | | | | |
|--------|-------|-------|-------|-------|--------|--------|--------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMHMD0 | TMHE0 | CKS02 | CKS01 | CKS00 | TMMD01 | TMMD00 | TOLEV0 | TOEN0 |

| TMHE0 | タイマ動作許可 |
|-------|-------------------------------------|
| 0 | タイマ・カウント動作停止 (カウンタは0にクリア) |
| 1 | タイマ・カウント動作許可 (クロックを入力することでカウント動作開始) |

| CKS02 | CKS01 | CKS00 | カウント・クロック (f _{CNT}) の選択 ^{注1} |
|-------|-------|-------|---|
| 0 | 0 | 0 | f _x (10 MHz) |
| 0 | 0 | 1 | f _x /2 (5 MHz) |
| 0 | 1 | 0 | f _x /2 ² (2.5 MHz) |
| 0 | 1 | 1 | f _x /2 ⁶ (156.25 kHz) |
| 1 | 0 | 0 | f _x /2 ¹⁰ (9.77 kHz) |
| 1 | 0 | 1 | TM50の出力 ^{注2} |
| 上記以外 | | | 設定禁止 |

| TMMD01 | TMMD00 | タイマ動作モード |
|--------|--------|----------------|
| 0 | 0 | インターバル・タイマ・モード |
| 1 | 0 | PWM出力モード |
| 上記以外 | | 設定禁止 |

| TOLEV0 | タイマ出力レベル制御 (デフォルト時) |
|--------|---------------------|
| 0 | ロウ・レベル |
| 1 | ハイ・レベル |

| TOEN0 | タイマ出力制御 |
|-------|---------|
| 0 | 出力禁止 |
| 1 | 出力許可 |

- ★ 注1. カウント・クロックは次の条件を満たすように設定してください。
- ・V_{DD} = 4.0 ~ 5.5 V : カウント・クロック 10 MHz
 - ・V_{DD} = 3.3 ~ 4.0 V : カウント・クロック 8.38 MHz
 - ・V_{DD} = 2.7 ~ 3.3 V : カウント・クロック 5 MHz
 - ・V_{DD} = 2.5 ~ 2.7 V : カウント・クロック 2.5 MHz
- ★ 2. TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。
- ・PWMモード (TMC506 = 1)
 - デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
 - タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

注意1 .CPUへの供給クロックにRing-OSCクロックを選択する場合,カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合,8ビット・タイマH0の動作は保証されません。

2 . TMHE0 = 1のとき, TMHMD0の他のビットを設定することは禁止です。

3 . PWM出力モードでは,タイマ・カウント動作停止 (TMHE0 = 0) 設定後,タイマ・カウント動作を開始する (TMHE0 = 1) 場合,必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも,必ず再設定してください)。

備考1 . f_x : X1入力クロック発振周波数

2 . () 内は, $f_x = 10$ MHz動作時

図8 - 6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

| | | | | | | | | |
|--------|-------|-------|-------|-------|--------|--------|--------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMHMD1 | TMHE1 | CKS12 | CKS11 | CKS10 | TMMD11 | TMMD10 | TOLEV1 | TOEN1 |

| TMHE1 | タイマ動作許可 |
|-------|-------------------------------------|
| 0 | タイマ・カウント動作停止 (カウンタは0にクリア) |
| 1 | タイマ・カウント動作許可 (クロックを入力することでカウント動作開始) |

| CKS12 | CKS11 | CKS10 | カウント・クロックの選択 ^注 |
|-------|-------|-------|-----------------------------|
| 0 | 0 | 0 | f_x (10 MHz) |
| 0 | 0 | 1 | $f_x/2^2$ (2.5 MHz) |
| 0 | 1 | 0 | $f_x/2^4$ (625 kHz) |
| 0 | 1 | 1 | $f_x/2^6$ (156.25 kHz) |
| 1 | 0 | 0 | $f_x/2^{12}$ (2.44 kHz) |
| 1 | 0 | 1 | $f_R/2^7$ (1.88 kHz (TYP.)) |
| 上記以外 | | | 設定禁止 |

| TMMD11 | TMMD10 | タイマ動作モード |
|--------|--------|----------------|
| 0 | 0 | インターバル・タイマ・モード |
| 1 | 0 | PWM出力モード |
| 上記以外 | | 設定禁止 |

| TOLEV1 | タイマ出力レベル制御 (デフォルト時) |
|--------|---------------------|
| 0 | ロウ・レベル |
| 1 | ハイ・レベル |

| TOEN1 | タイマ出力制御 |
|-------|---------|
| 0 | 出力禁止 |
| 1 | 出力許可 |

★ 注 カウント・クロックは次の条件を満たすように設定してください。

- ・V_{DD} = 4.0 ~ 5.5 V : カウント・クロック 10 MHz
- ・V_{DD} = 3.3 ~ 4.0 V : カウント・クロック 8.38 MHz
- ・V_{DD} = 2.7 ~ 3.3 V : カウント・クロック 5 MHz
- ・V_{DD} = 2.5 ~ 2.7 V : カウント・クロック 2.5 MHz

注意1 . CPUへの供給クロックにRing-OSCクロックを選択する場合, カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合, 8ビット・タイマH1の動作は保証されません (CKS12, CKS11, CKS10 = 1, 0, 1 ($f_R/2^7$) 選択時を除く)。

2. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。
3. PWM出力モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも, 必ず再設定してください)。

備考1 . f_x : X1入力クロック発振周波数

2 . f_R : Ring-OSCクロック発振周波数

3 . () 内は, f_x = 10 MHz動作時, f_R = 240 kHz (TYP.) 動作時

(2) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P15/TOH0, P16/TOH1/INTP5端子をタイマ出力として使用するとき, PM15, PM16およびP15, P16の出力ラッチに0を設定してください。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図8 - 7 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|------|------|------|------|------|------|------|------|
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |

| PM1n | P1n端子の入出力モードの選択 (n = 0-7) |
|------|---------------------------|
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

8.4 8ビット・タイマH0, H1の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

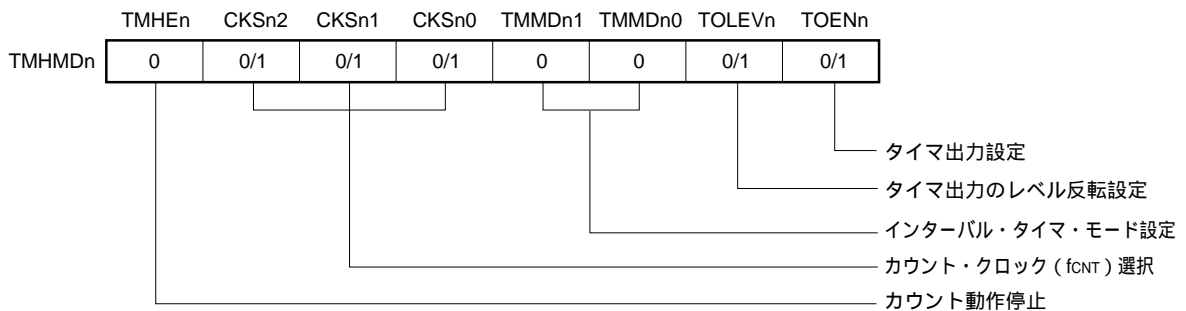
(1) 使用方法

同一間隔でINTTMHn信号を繰り返し発生します。

各レジスタの設定を行います。

図8-8 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

・コンペア値 (N)

TMHEn = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

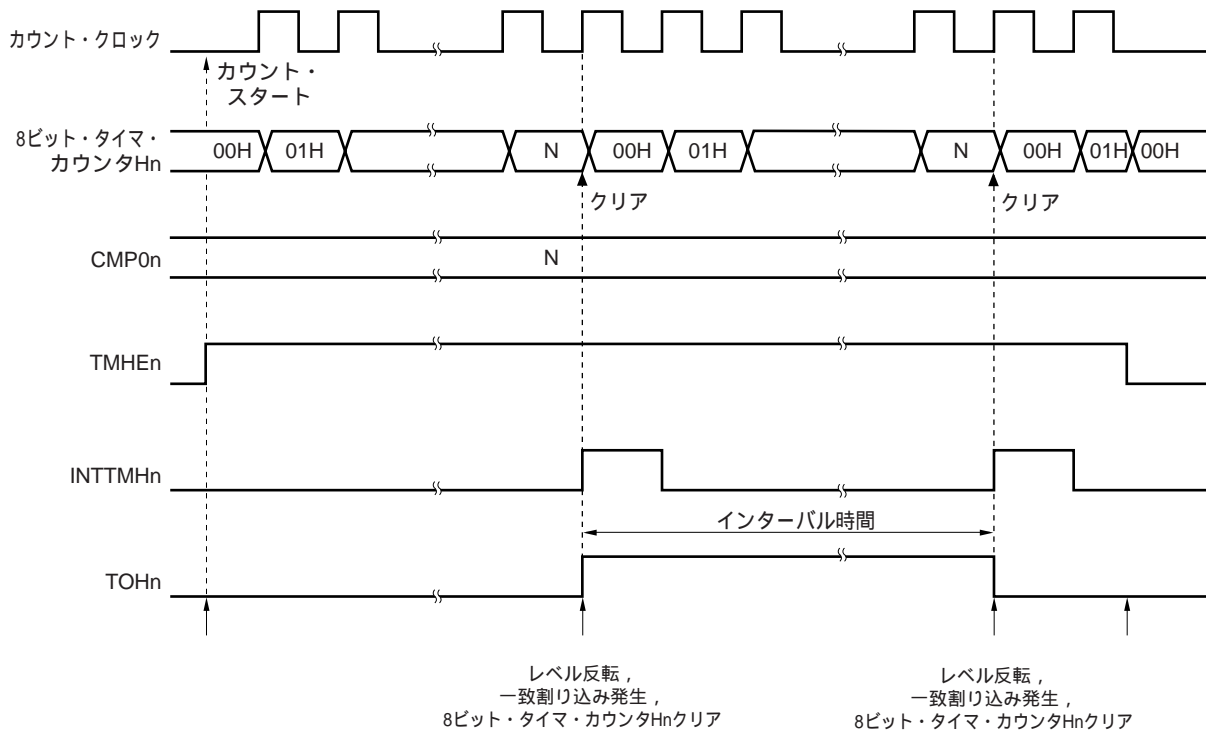
備考 n = 0, 1

(2) タイミング・チャート

インターバル・タイマ / 方形波出力動作のタイミングを次に示します。

図8-9 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてカウント・スタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルを反転させ、INTTMHn信号を出力します。

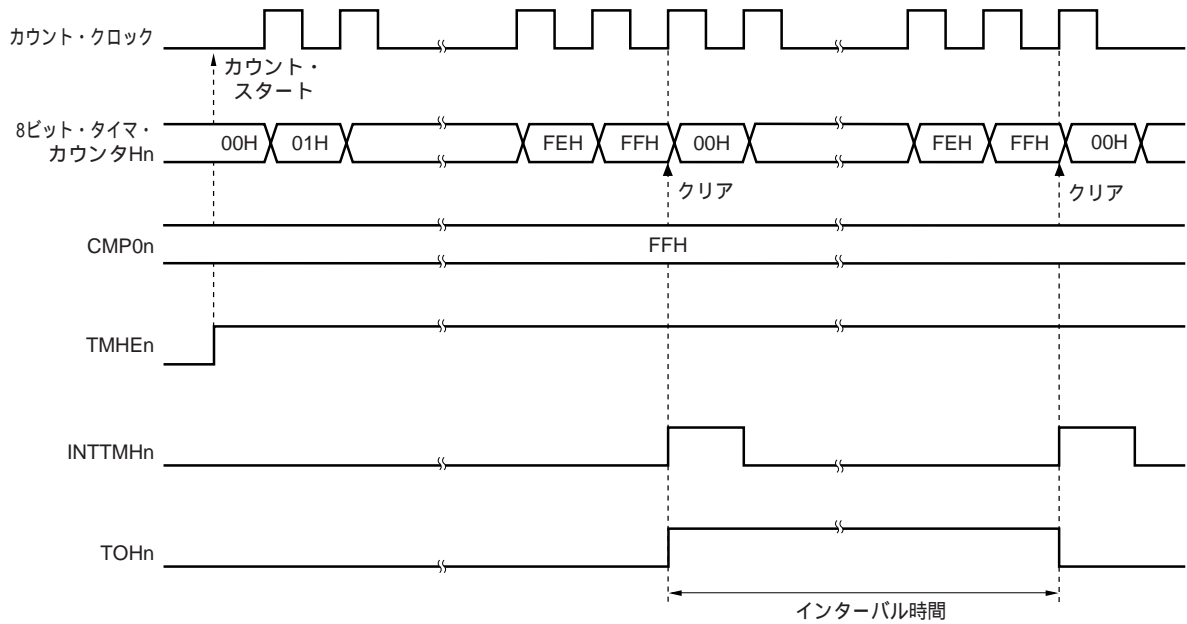
タイマH動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。はじめからインアクティブの場合はレベルを保持します。

備考 n = 0, 1

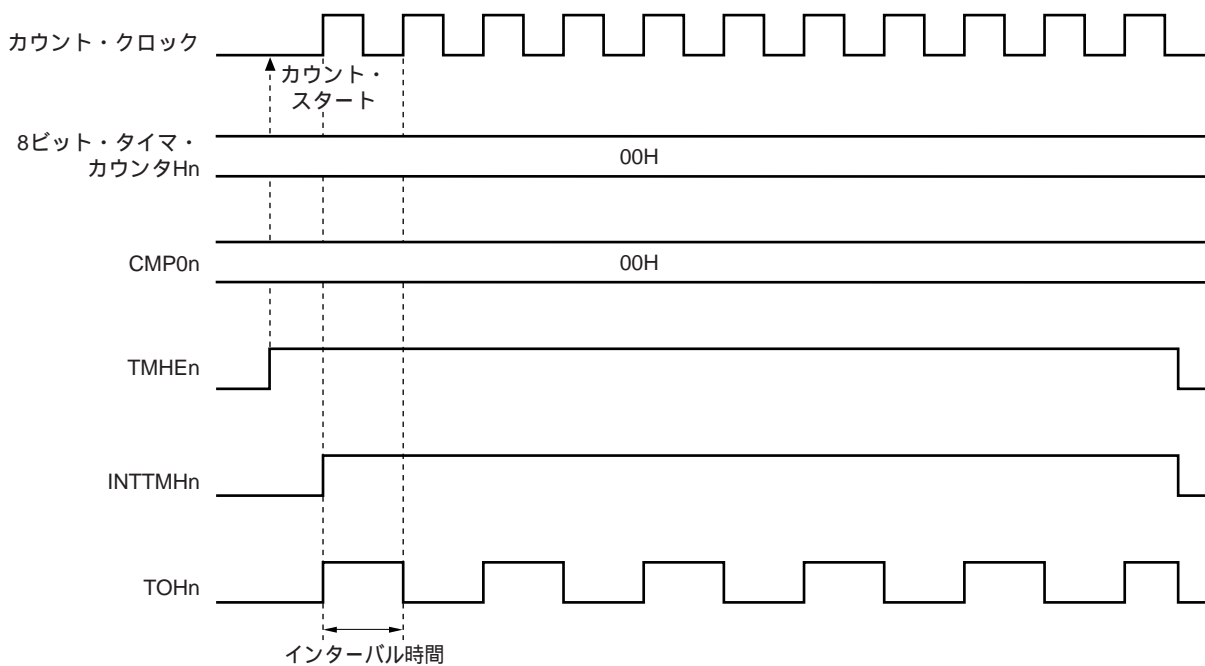
N = 01H-FEH

図8-9 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

8.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致するとTOHn出力はアクティブとなり、8ビット・タイマ・カウンタHnは0にクリアされます。8ビット・タイマ・カウンタHnとCMP1nレジスタが一致するとTOHn出力はインアクティブとなります。

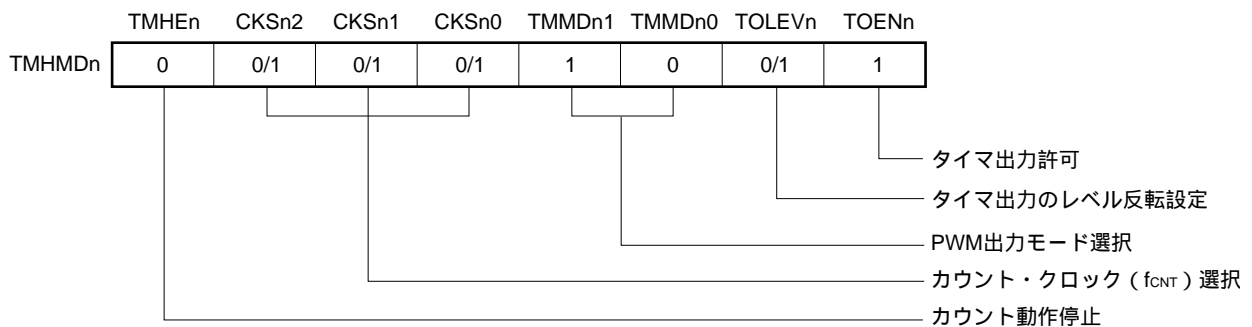
(1) 使用方法

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

各レジスタの設定を行います。

図8 - 10 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0, 1

$$2.00H \leq \text{CMP1n} (M) < \text{CMP0n} (N) < FFH$$

TMHEn = 1によりカウント動作を開始します。

カウンタ動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号（INTTMHn）が発生し、TOHn出力がアクティブになります。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、TOHn出力がインアクティブになり、同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウンタ動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を（N）、CMP1nレジスタを（M）、カウンタ・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

| |
|---|
| $\text{PWMパルス出力周期} = (N + 1) / f_{CNT}$ $\text{デューティ} = \text{アクティブ幅} : \text{PWM全体の幅} = (M + 1) : (N + 1)$ |
|---|

注意1 . PWM出力モード時は、CMP1nレジスタを書き換えてからレジスタに転送するのに、動作クロック（TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号）の3クロック分を必要とします。

2 . タイマ・カウンタ動作停止（TMHEn = 0）設定後、タイマ・カウンタ動作を開始する（TMHEn = 1）場合、必ずCMP1nレジスタを設定してください（CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください）。

（2）タイミング・チャート

PWM出力モード時の動作タイミングを次に示します。

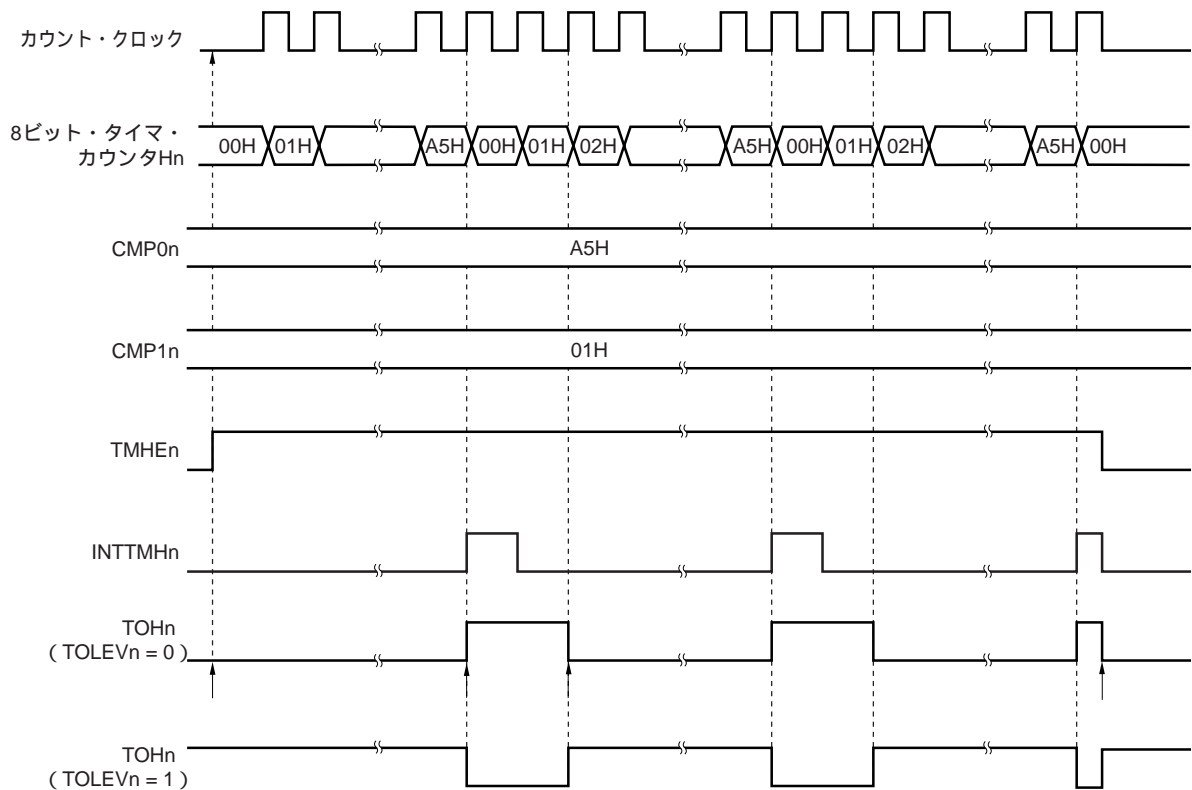
注意 CMP1nレジスタの設定値（M）、CMP0nレジスタの設定値（N）は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq FFH$$

備考 n = 0, 1

図8 - 11 PWM出力モード動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときTOHn出力はインアクティブ (TOLEVn = 0設定時) を保持します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致したときに、TOHn出力のレベルを反転し、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

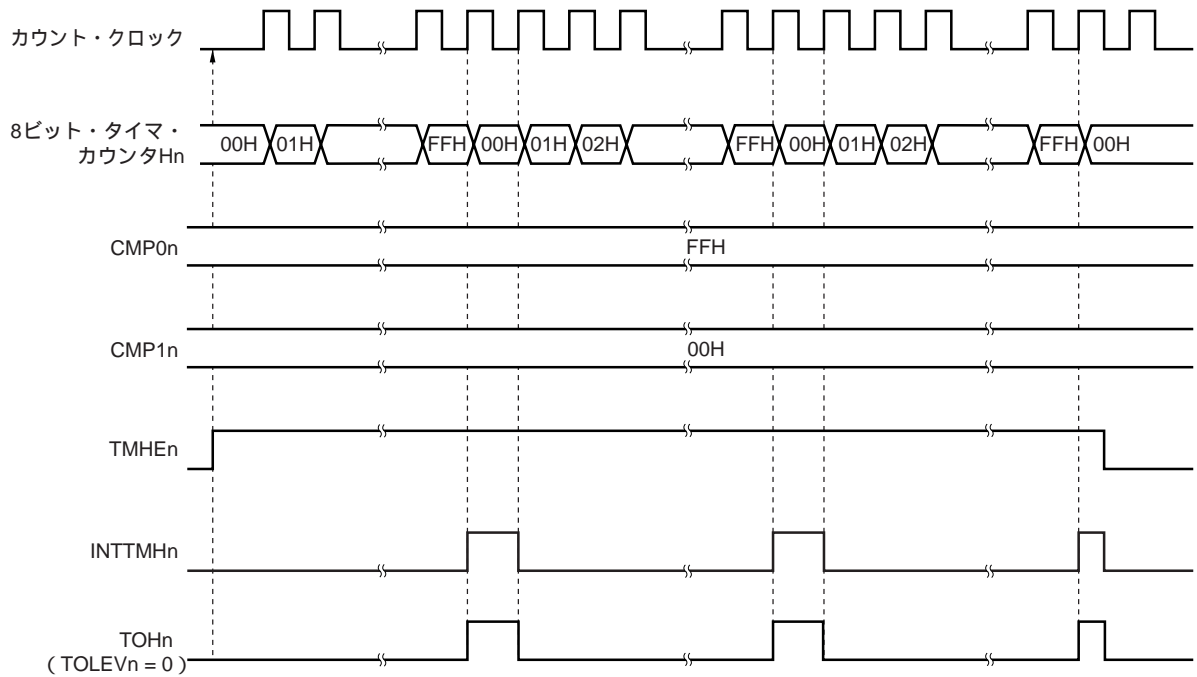
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致したときに、TOHn出力のレベルを戻します。そのとき8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。

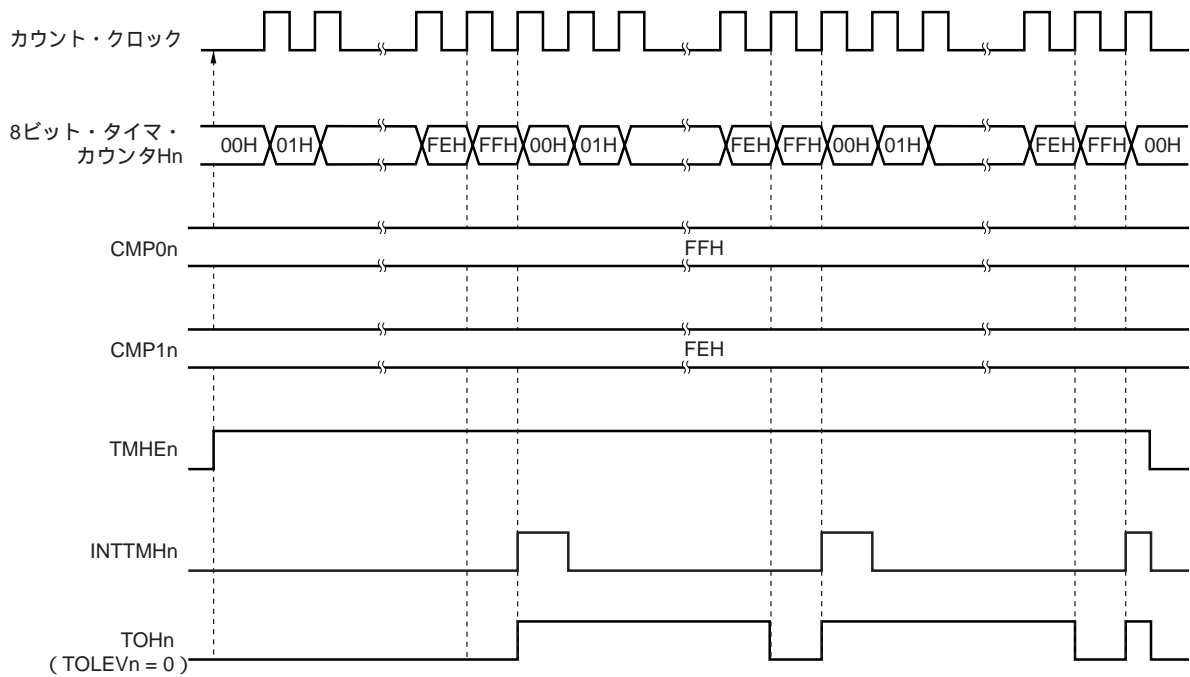
備考 n = 0, 1

図8 - 11 PWM出力モード動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



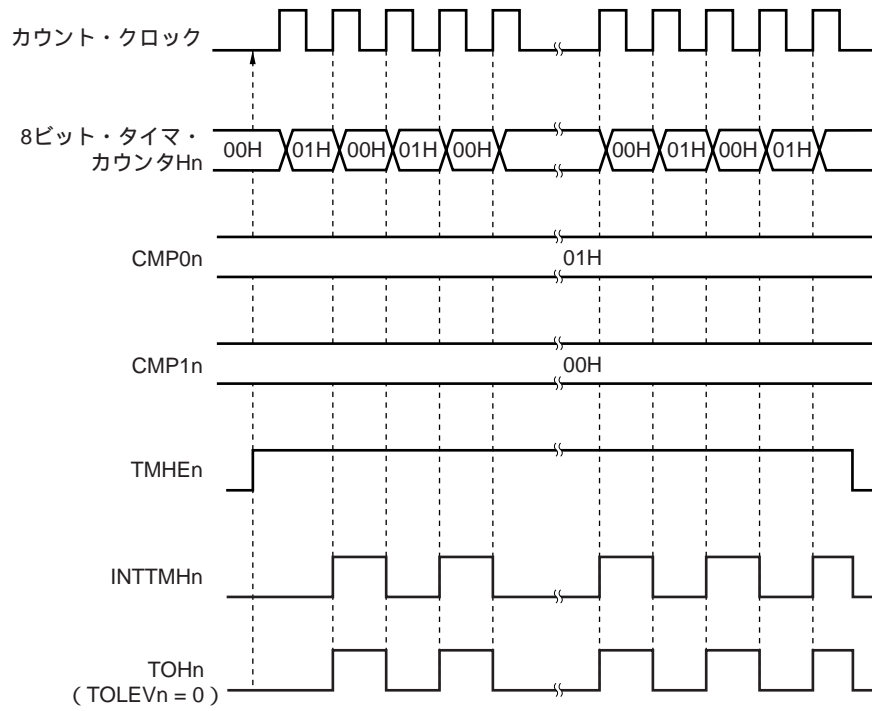
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図8 - 11 PWM出力モード動作のタイミング (3/4)

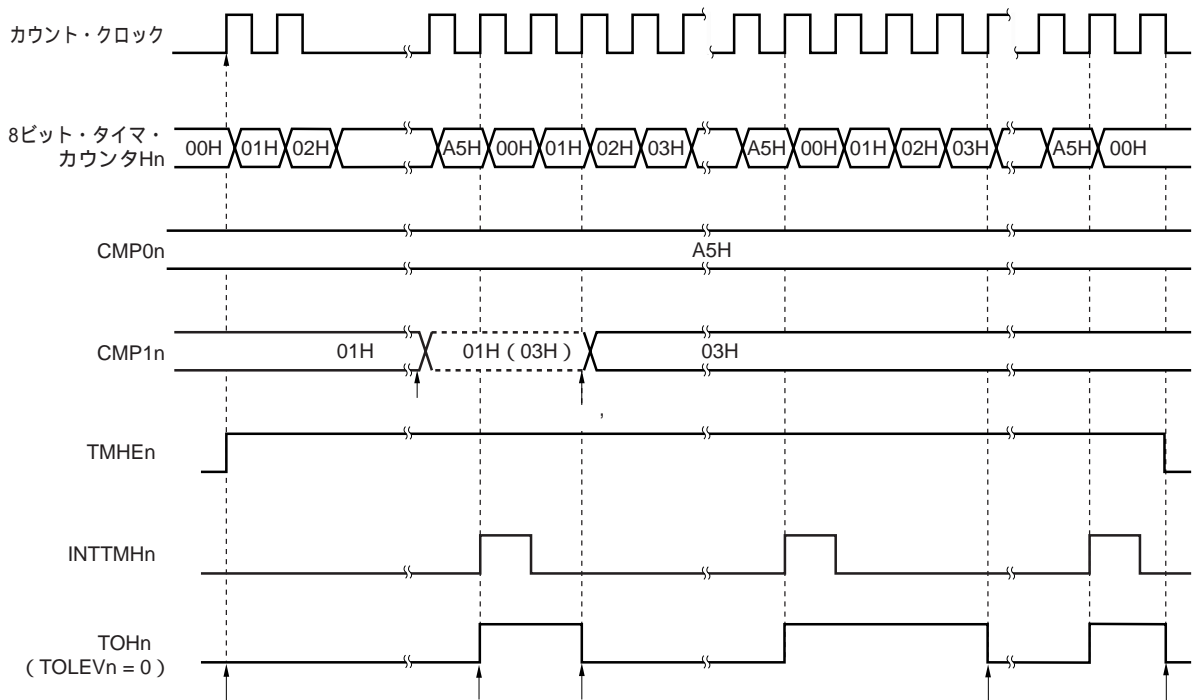
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図8 - 11 PWM出力モード動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 01H 03H, CMP0n = A5H)



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、TOHn出力はインアクティブ (TOLEVn = 0設定時) を保持します。

タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、TOHn出力をアクティブにし、INTTMHn信号が発生します。

CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます (')。

ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、TOHn出力をインアクティブにします。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。

備考 n = 0, 1

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第16章 **リセット機能**を参照してください。

表9-1 ウォッチドッグ・タイマの暴走検出時間

| 暴走検出時間 | |
|----------------------------|-----------------------------------|
| Ring-OSCクロック動作時 | X1入力クロック動作時 |
| $2^{11}/f_R$ (4.27 ms) | $2^{13}/f_{XP}$ (819.2 μ s) |
| $2^{12}/f_R$ (8.53 ms) | $2^{14}/f_{XP}$ (1.64 ms) |
| $2^{13}/f_R$ (17.07 ms) | $2^{15}/f_{XP}$ (3.28 ms) |
| $2^{14}/f_R$ (34.13 ms) | $2^{16}/f_{XP}$ (6.55 ms) |
| $2^{15}/f_R$ (68.27 ms) | $2^{17}/f_{XP}$ (13.11 ms) |
| $2^{16}/f_R$ (136.53 ms) | $2^{18}/f_{XP}$ (26.21 ms) |
| $2^{17}/f_R$ (273.07 ms) | $2^{19}/f_{XP}$ (52.43 ms) |
| $2^{18}/f_R$ (546.13 ms) | $2^{20}/f_{XP}$ (104.86 ms) |

備考1 . f_R : Ring-OSCクロック発振周波数

2 . f_{XP} : X1入力クロック発振周波数

3 . () 内は $f_R = 480$ kHz (MAX.) (標準品 , (A) 水準品の場合) , $f_{XP} = 10$ MHz動作時

内蔵Ring-OSCのマスク・オプション設定により、ウォッチドッグ・タイマ (WDT) の動作モードが表9-2に示すように変わります。

表9-2 マスク・オプションの設定とウォッチドッグ・タイマの動作モード

| | マスク・オプション | |
|----------------------|---------------------------------|---|
| | Ring-OSC停止不可 | Ring-OSCをソフトウェアにより停止可能 |
| ウォッチドッグ・タイマのクロック・ソース | f_R 固定 ^{注1} | ・ソフトで選択可 (f_{XP} または f_R または停止) ・リセット解除時： f_R |
| リセット後の動作 | 最長インターバル ($2^{18}/f_R$) で動作開始 | 最長インターバル ($2^{18}/f_R$) で動作開始 |
| 動作モード選択 | インターバルを一度だけ変更可能 | クロック選択 / インターバルを一度だけ変更可能 |
| 特徴 | ウォッチドッグ・タイマ停止不可 | スタンバイ時にウォッチドッグ・タイマ停止可能 ^{注2} |

注1. 電源が供給されているかぎり、Ring-OSCの発振を絶対に停止することができません(リセット期間中は除く)。

2. ウォッチドッグ・タイマのクロック・ソースに応じて、ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

クロック・ソースが f_{XP} の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ f_{XP} 停止時
- ・ HALT/STOPモード時
- ・ 発振安定時間中

クロック・ソースが f_R の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ CPUクロックが f_{XP} で、STOP命令実行前に f_R をソフトウェアで停止した場合
- ・ HALT/STOPモード時

備考1. f_R : Ring-OSCクロック発振周波数

2. f_{XP} : X1入力クロック発振周波数

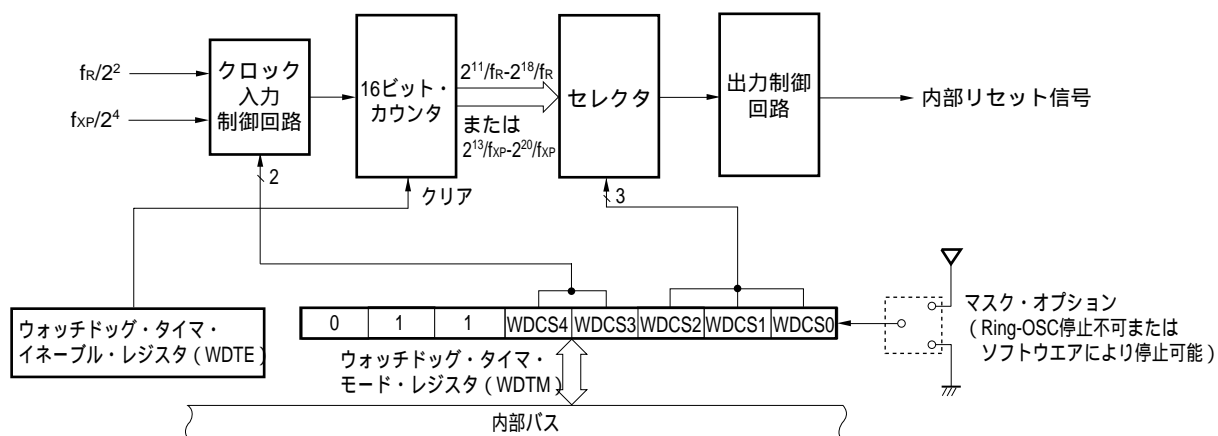
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-3 ウォッチドッグ・タイマの構成

| 項目 | 構成 |
|--------|-------------------------------|
| 制御レジスタ | ウォッチドッグ・タイマ・モード・レジスタ (WDTM) |
| | ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) |

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するには、次の2種類があります。

- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。

RESET入力により67Hになります。

図9-2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FF98H リセット時：67H R/W

| | | | | | | | | |
|------|---|---|---|-------|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| WDTM | 0 | 1 | 1 | WDCS4 | WDCS3 | WDCS2 | WDCS1 | WDCS0 |

| WDCS4 ^{注1} | WDCS3 ^{注1} | 動作クロックの選択 |
|---------------------|---------------------|------------------------|
| 0 | 0 | Ring-OSCクロック (f_R) |
| 0 | 1 | X1入力クロック (f_{XP}) |
| 1 | x | ウォッチドッグ・タイマ動作停止 |

| WDCS2 ^{注2} | WDCS1 ^{注2} | WDCS0 ^{注2} | オーバフロー時間の設定 | |
|---------------------|---------------------|---------------------|--------------------------|---------------------------------|
| | | | Ring-OSCクロック動作時 | X1入力クロック動作時 |
| 0 | 0 | 0 | $2^{11}/f_R$ (4.27 ms) | $2^{13}/f_{XP}$ (819.2 μ s) |
| 0 | 0 | 1 | $2^{12}/f_R$ (8.53 ms) | $2^{14}/f_{XP}$ (1.64 ms) |
| 0 | 1 | 0 | $2^{13}/f_R$ (17.07 ms) | $2^{15}/f_{XP}$ (3.28 ms) |
| 0 | 1 | 1 | $2^{14}/f_R$ (34.13 ms) | $2^{16}/f_{XP}$ (6.55 ms) |
| 1 | 0 | 0 | $2^{15}/f_R$ (68.27 ms) | $2^{17}/f_{XP}$ (13.11 ms) |
| 1 | 0 | 1 | $2^{16}/f_R$ (136.53 ms) | $2^{18}/f_{XP}$ (26.21 ms) |
| 1 | 1 | 0 | $2^{17}/f_R$ (273.07 ms) | $2^{19}/f_{XP}$ (52.43 ms) |
| 1 | 1 | 1 | $2^{18}/f_R$ (546.13 ms) | $2^{20}/f_{XP}$ (104.86 ms) |

注1. マスク・オプションで「Ring-OSCは停止不可」を選択した場合は、設定できません。

どんな値を書いてもRing-OSCクロックが選択されます。

2. リセット解除時は最大周期 (WDCS2, 1, 0 = 1, 1, 1) となります。

注意1. WDTMにデータを書き込むと、ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。

2. ビット7, 6, 5にはそれぞれ“0”“1”“1”を設定してください(マスク・オプションで「Ring-OSCは停止不可」を選択した場合は、違う値を書いても無視されます)。

- ★ 注意3. リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。
- ★ 4. WDTMは1ビット・メモリ操作命令では設定できません。
- ★ 5. マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択し，WDSC4を1に設定してウォッチドッグ・タイマを停止させた場合，再びWDSC4を0にクリアしてもウォッチドッグ・タイマは動作しません。また内部リセット信号も発生しません。

備考1. f_R : Ring-OSCクロック発振周波数

2. f_{XP} : X1入力クロック発振周波数

3. x : don't care

4. () 内は， $f_R = 480 \text{ kHz (MAX.)}$ (標準品，(A)水準品の場合)， $f_{XP} = 10 \text{ MHz}$ 動作時

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

RESET入力により9AHになります。

図9-3 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス：FF99H リセット時：9AH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|---|---|---|---|---|---|
| WDTE | | | | | | | | |

- ★ 注意1. WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。
- ★ 2. WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。
3. WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係を次に示します。

★ 表9-4 ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係

| ウォッチドッグ・タイマの動作 内部リセット 信号発生要因 | マスク・オプションで「Ring-OSCは停止不可」に設定 (ウォッチドッグ・タイマは常に動作) | マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」に設定 | | |
|------------------------------------|--|---------------------------------------|--------------------------------------|--|
| | | ウォッチドッグ・タイマ 動作中 | ウォッチドッグ・タイマ停止 | |
| | | | WDCS4に1を設定 | ウォッチドッグ・タイマの ソース・クロックが停止 |
| ウォッチドッグ・タイマの オーバ・フロー | 内部リセット信号発生 | 内部リセット信号発生 | - | - |
| WDTMへの2回目の書き込み | 内部リセット信号発生 | 内部リセット信号発生 | 内部リセット信号は発生しない。またウォッチドッグ・タイマは再動作しない。 | 再びウォッチドッグ・タイマのソース・クロックが動作した時点で内部リセット信号発生 |
| WDTEへの“ACH”以外の書き込み | 内部リセット信号発生 | 内部リセット信号発生 | 内部リセット信号は発生しない | 再びウォッチドッグ・タイマのソース・クロックが動作した時点で内部リセット信号発生 |
| WDTEへの1ビット・メモリ操作命令でのアクセス | | | | |

9.4 ウォッチドッグ・タイマの動作

9.4.1 マスク・オプションで「Ring-OSCは停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックはRing-OSCに固定となります。

リセット解除後は、最大周期(ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット2, 1, 0(WDCS2, WDCS1, WDCS0) = 1, 1, 1)で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
 - ・動作クロック：Ring-OSCクロック
 - ・周期： $2^{18}/f_R$ (546.13 ms： $f_R = 480$ kHz (MAX.) 動作時)
 - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ(WDTM)に次の内容を8ビット・メモリ操作命令で設定してください^{注1,2}。
 - ・周期：ビット2-0(WDCS2- WDCS0)で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア(0)し、再カウントすることができます。

注1 .動作クロック(Ring-OSCクロック)を変更することはできません。WDTMのビット3, 4(WDCS3, WDCS4)にどんな値を書き込んでも無視されます。

2 . WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

注意 このモードでは、STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマH1(TMh1)はカウント・ソースにRing-OSCの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMh1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号が発生します。

9.4.2 マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックをRing-OSCクロックまたはX1入力クロックに選択できます。

リセット解除後は、Ring-OSCクロックの最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDCS2, WDCS1, WDCS0）= 1, 1, 1）で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。

- ・動作クロック：Ring-OSCクロック
- ・周期： $2^{18}/f_R$ （546.13 ms： $f_R = 480$ kHz（MAX.）動作時）
- ・カウント開始

2. ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください^{※1, 2, 3}。

- ・動作クロック：ビット3, 4（WDCS3, WDCS4）で次のうちのいずれかを選択
 - Ring-OSCクロック（ f_R ）
 - X1入力クロック（ f_{XP} ）
 - ウォッチドッグ・タイマ動作停止
- ・周期：ビット2-0（WDCS2- WDCS0）で設定

3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア（0）し、再カウントすることができます。

注1. WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

2. ビット7, 6, 5にはそれぞれ“0”，“1”，“1”を設定してください。それ以外の値を設定しないでください。

3. WDCS4, WDCS3にそれぞれ“1”，“x”を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。

- ・WDTMへの2回目の書き込み
- ・WDTEへの1ビット・メモリ操作命令実行
- ・WDTEへの“ACH”以外の値の書き込み

注意 このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア（0）されず、値を保持します。

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については9.4.3 STOPモード時の動作、9.4.4 HALTモード時の動作を参照してください。

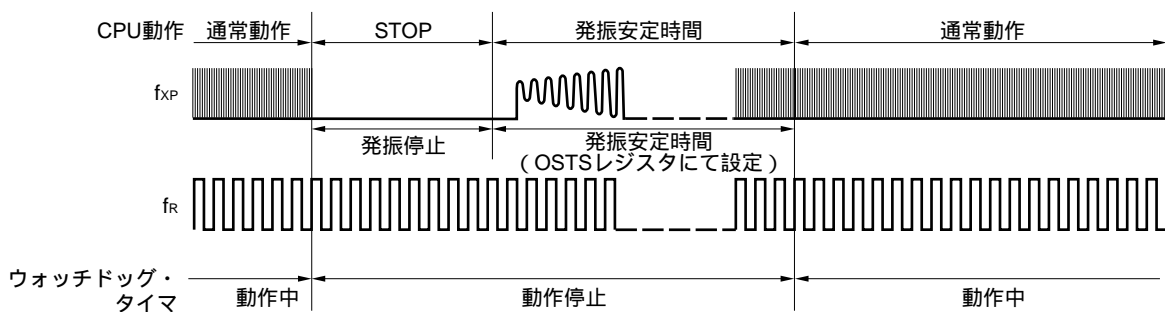
9.4.3 STOPモード時の動作（マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合）

X1入力クロック動作時，Ring-OSC動作時にかかわらず，STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

(1) STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックがX1入力クロック (f_{XP}) の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，発振安定時間選択レジスタ (OSTS) で設定した発振安定時間分カウント停止したあとに，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア (0) されず，値を保持します。

図9 - 4 STOPモード時の動作（CPUクロックとWDT動作クロック：X1入力クロック）

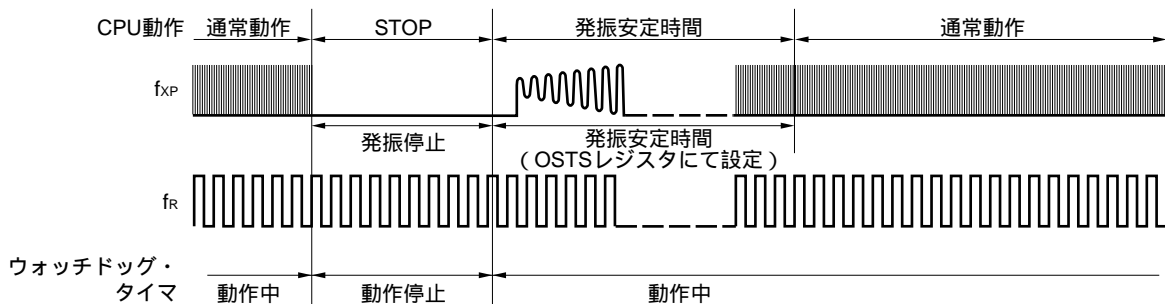


(2) STOP実行時のCPUクロックがX1入力クロック(f_{XP})，ウォッチドッグ・タイマの動作クロックがRing-OSCクロック (f_R) の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア (0) されず，値を保持します。

図9 - 5 STOPモード時の動作

(CPUクロック：X1入力クロック，WDT動作クロック：Ring-OSCクロック)



(3) STOP実行時のCPUクロックがRing-OSCクロック (f_R) , ウォッチドッグ・タイマの動作クロックがX1入力クロック (f_{XP}) の場合

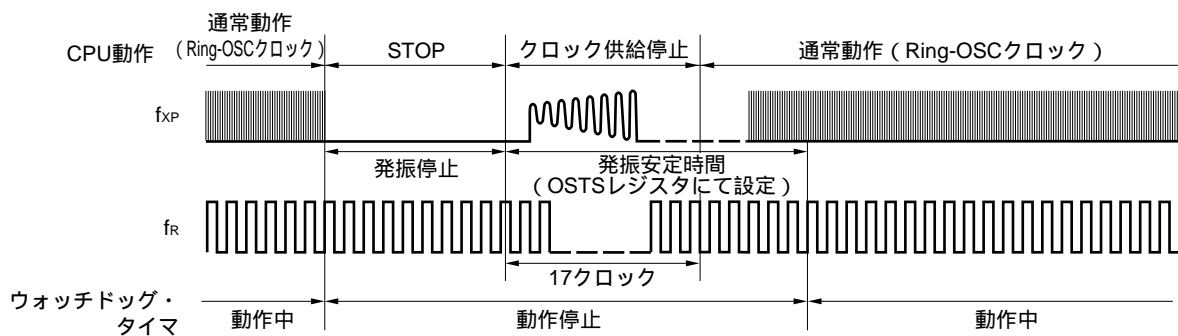
STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は、またはのうち早いほうのタイミングまでカウントを停止したあとに、動作停止前の動作クロックでカウントを開始します。このとき、カウンタはクリア (0) されず、値を保持します。

発振安定時間選択レジスタ (OSTS) で設定した発振安定時間経過
CPUクロックをX1入力クロック (f_{XP}) に切り替え

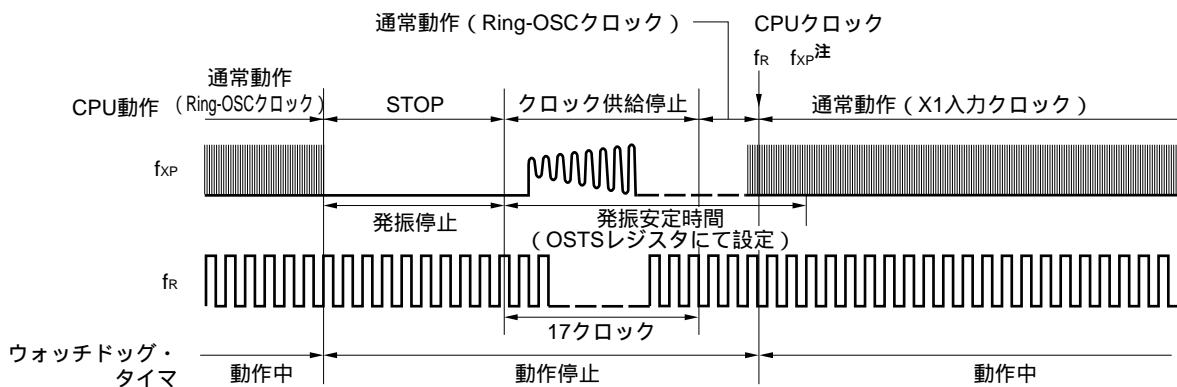
図9 - 6 STOPモード時の動作

(CPUクロック : Ring-OSCクロック , WDT動作クロック : X1入力クロック)

発振安定時間選択レジスタ (OSTS) で設定した発振安定時間経過後にカウント開始した場合のタイミング



CPUクロックをX1入力クロック (f_{XP}) に切り替え後にカウント開始した場合のタイミング

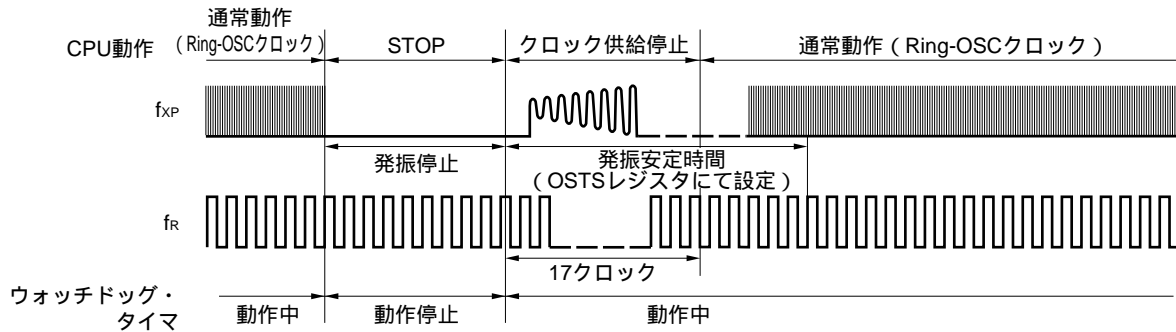


注 f_{XP} の発振安定時間は、発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

(4) STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックがRing-OSCクロック (f_R) の場合

STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

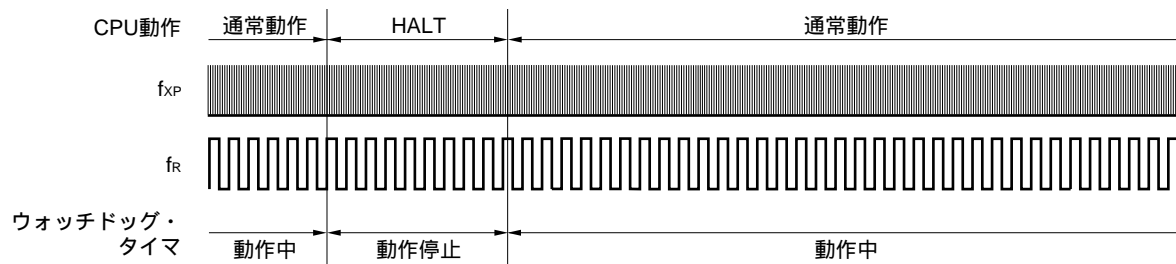
図9 - 7 STOPモード時の動作 (CPUクロックとWDT動作クロック : Ring-OSCクロック)



9. 4. 4 HALTモード時の動作 (マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合)

CPUクロックがX1入力クロック (f_{XP}) , Ring-OSCクロック (f_R) , およびウォッチドッグ・タイマの動作クロックがX1入力クロック (f_{XP}) , Ring-OSCクロック (f_R) にかかわらず、HALT命令実行時は、ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

図9 - 8 HALTモード時の動作



第10章 A/Dコンバータ

10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大4チャンネル (ANI0-ANI3) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

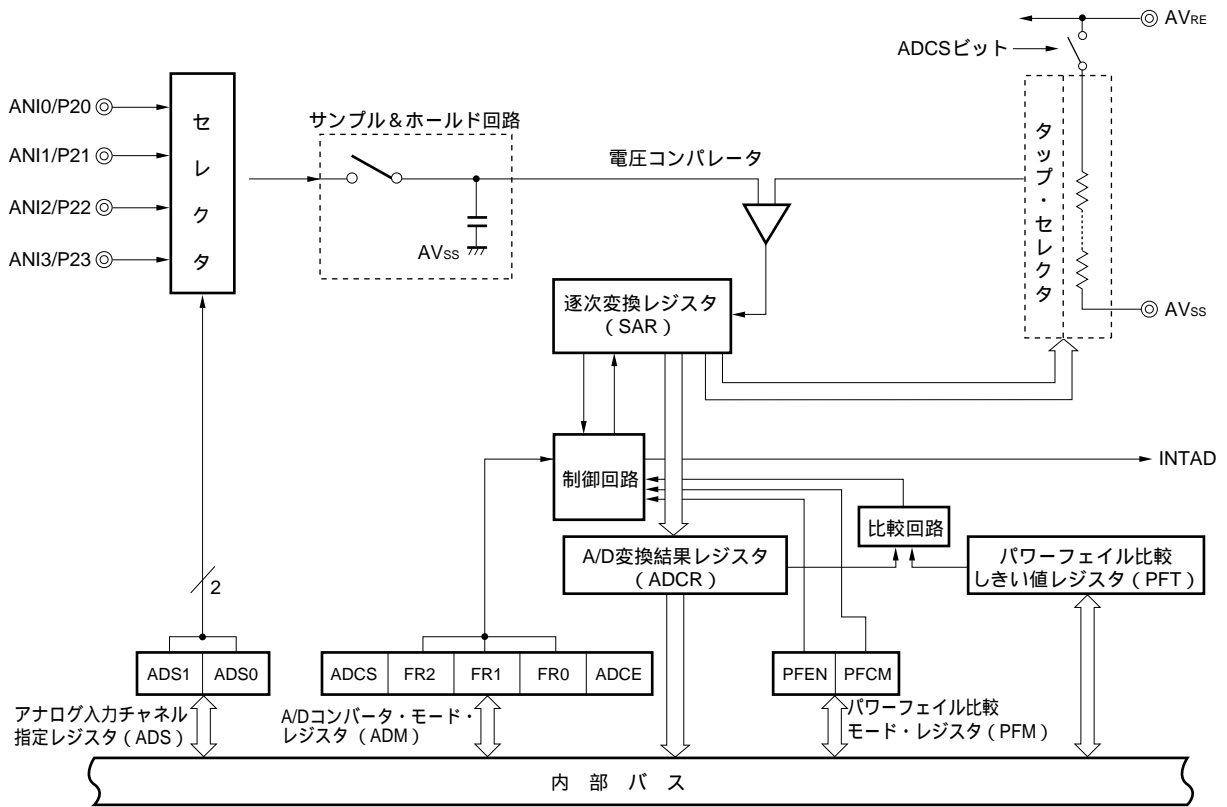
(1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI3から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

(2) パワーフェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果 (ADCRレジスタ値) とパワーフェイル比較しきい値レジスタ (PFT) の値との大小比較を行い、比較条件に合致した場合のみINTADを発生します。

図10 - 1 A/Dコンバータのブロック図



10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 ソフトウェア上で使用するA/Dコンバータのレジスタ

| 項 目 | 構 成 |
|------|--|
| レジスタ | A/D変換結果レジスタ (ADCR) A/Dコンバータ・モード・レジスタ (ADM) アナログ入力チャンネル指定レジスタ (ADS) パワーフェイル比較モード・レジスタ (PFM) パワーフェイル比較しきい値レジスタ (PFT) |

(1) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

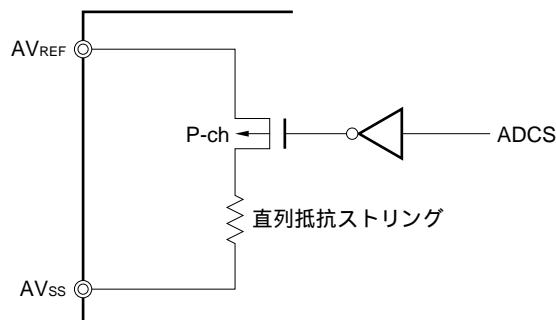
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に接続されており、アナログ入力と比較する電圧を発生します。

図10 - 2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し、その結果を最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) A/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 制御回路

A/D変換が終了するか、パワーフェイル検出機能使用時、A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い、比較条件に合致した場合のみINTAD発生します。

(8) AV_{REF}端子

A/Dコンバータのアナログ電源端子 / 基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

AV_{REF}、AV_{SS}間にかかる電圧に基づいて、ANI0-ANI3に入力される信号をデジタル信号に変換します。

(9) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(10) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

(11) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(12) パワーフェイル比較モード・レジスタ (PFM)

パワーフェイル監視モードを設定するレジスタです。

(13) パワーフェイル比較しきい値レジスタ (PFT)

A/D変換結果レジスタ（ADCR）と大小比較する場合のしきい値を設定するレジスタです。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の5種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ アナログ入力チャンネル指定レジスタ (ADS)
- ・ A/D変換結果レジスタ (ADCR)
- ・ パワーフェイル比較モード・レジスタ (PFM)
- ・ パワーフェイル比較しきい値レジスタ (PFT)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。
ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF28H リセット時：00H R/W

| | | | | | | | | |
|-----|------|---|-----|-----|-----|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADM | ADCS | 0 | FR2 | FR1 | FR0 | 0 | 0 | ADCE |

| ADCS | A/D変換動作の制御 |
|------|------------|
| 0 | 変換動作停止 |
| 1 | 変換動作許可 |

| FR2 | FR1 | FR0 | | 変換時間の選択 ^{注1} | | |
|------|-----|-----|--------|-----------------------|---------------|-------------|
| | | | | fx = 2 MHz | fx = 8.38 MHz | fx = 10 MHz |
| 0 | 0 | 0 | 288/fx | 144 μs | 34.3 μs | 28.8 μs |
| 0 | 0 | 1 | 240/fx | 120 μs | 28.6 μs | 24.0 μs |
| 0 | 1 | 0 | 192/fx | 96 μs | 22.9 μs | 19.2 μs |
| 1 | 0 | 0 | 144/fx | 72 μs | 17.2 μs | 14.4 μs |
| 1 | 0 | 1 | 120/fx | 60 μs | 14.3 μs | 12.0 μs |
| 1 | 1 | 0 | 96/fx | 48 μs | 11.5 μs | 9.6 μs |
| 上記以外 | | | 設定禁止 | | | |

| ADCE | 昇圧基準電圧生成回路の動作制御 ^{注2} |
|------|-------------------------------|
| 0 | 基準電圧生成回路の動作停止 |
| 1 | 基準電圧生成回路の動作許可 |

注1．A/D変換時間が次の時間になるように設定してください。

- ・ 標準品，(A)水準品：14 μs以上100 μs未満
- ・ (A1)水準品：14 μs以上60 μs未満
- ・ (A2)水準品：16 μs以上48 μs未満

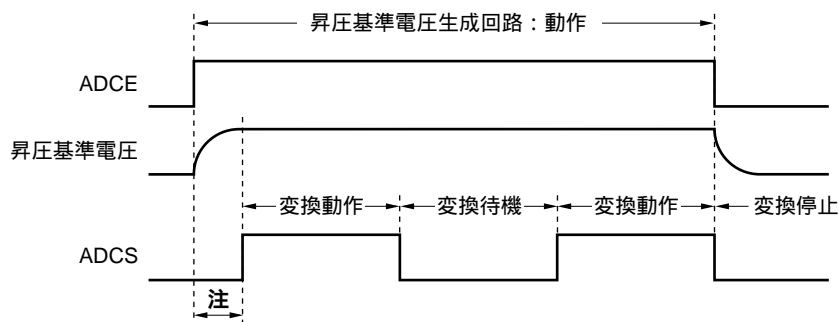
注2. 低電圧動作を実現するために、昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は、ADCEで動作制御され、動作開始から安定するまでに、14 μ sかかります。このため、ADCEに1を設定してから14 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換結果より有効となります。

表10 - 2 ADCSとADCEの設定

| ADCS | ADCE | A/D変換動作 |
|------|------|-----------------------------------|
| 0 | 0 | 停止状態（DC電力消費パスは存在しません） |
| 0 | 1 | 変換待機モード（基準電圧生成回路のみ電力を消費） |
| 1 | 0 | 変換モード（基準電圧生成回路動作停止 ^注 ） |
| 1 | 1 | 変換モード（基準電圧生成回路動作） |

注 最初の1変換目のデータは使用禁止です。

図10 - 4 昇圧基準電圧生成回路使用時のタイミング・チャート



注 ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は基準電圧安定のため14 μ s以上必要です。

注意1. FR0-FR2を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

2. A/Dコンバータのサンプリング時間とA/D変換開始遅延時間については、10.6 A/Dコンバータの注意事項の(11)を参照してください。

3. ADMにデータを書き込むと、ウエイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。

備考 fx : X1入力クロック発振周波数

(2) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 5 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FF29H リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|---|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADS | 0 | 0 | 0 | 0 | 0 | 0 | ADS1 | ADS0 |

| ADS1 | ADS0 | アナログ入力チャンネルの指定 |
|------|------|----------------|
| 0 | 0 | ANI0 |
| 0 | 1 | ANI1 |
| 1 | 0 | ANI2 |
| 1 | 1 | ANI3 |

注意1 . ビット2-7には必ず0を設定してください。

2 . ADSにデータを書き込むと、ウエイトが発生します。詳細は「第29章 ウエイトに関する注意事項」を参照してください。

(3) A/D変換結果レジスタ (ADCR)

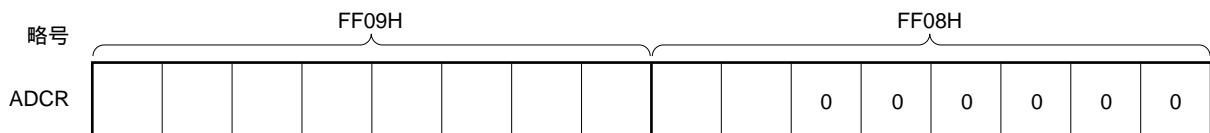
A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRには最上位ビット (MSB) から順に格納されます。FF09Hには変換結果の上位8ビットが、FF08Hには変換結果の下位2ビットが入ります。

ADCRは、16ビット・メモリ操作命令で読み出せます。

RESET入力により、不定になります。

図10 - 6 A/D変換結果レジスタ (ADCR) のフォーマット

アドレス : FF08H, FF09H リセット値 : 不定 R



注意1 . A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2 . ADCRからデータを読み出すと、ウエイトが発生します。詳細は「第29章 ウエイトに関する注意事項」を参照してください。

(4) パワーフェイル比較モード・レジスタ (PFM)

パワーフェイル比較モード・レジスタ (PFM) は、A/D変換結果 (ADCRレジスタ値) とパワーフェイル比較しきい値レジスタ (PFT) の値との大小比較の動作を制御するレジスタです。

PFMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 7 パワーフェイル比較モード・レジスタ (PFM) のフォーマット

アドレス：FF2AH リセット時：00H R/W

| | | | | | | | | |
|-----|------|------|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PFM | PFEN | PFCM | 0 | 0 | 0 | 0 | 0 | 0 |

| PFEN | パワーフェイル比較許可 |
|------|--------------------------------|
| 0 | パワーフェイル比較停止 (通常のA/Dコンバータとして使用) |
| 1 | パワーフェイル比較許可 (パワーフェイル検出として使用) |

| PFCM | | パワーフェイル比較モードの選択 |
|------|-----------------------|---------------------|
| 0 | ADCRの上位 8ビット PFT | 割り込み要求信号 (INTAD) 発生 |
| | ADCRの上位 8ビット < PFT | INTAD発生なし |
| 1 | ADCRの上位 8ビット PFT | INTAD発生なし |
| | ADCRの上位 8ビット < PFT | INTAD発生 |

注意 PFMにデータを書き込むと、ウエイトが発生します。詳細は「第29章 ウエイトに関する注意事項」を参照してください。

(5) パワーフェイル比較しきい値レジスタ (PFT)

パワーフェイル比較しきい値レジスタ (PFT) は、A/Dの変換結果と大小比較を行う場合のしきい値を設定するレジスタです。

PFTの8ビット・データとA/D変換結果10ビットの上位8ビット (FF09H) が比較されます。

PFTは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 8 パワーフェイル比較しきい値レジスタ (PFT) のフォーマット

アドレス：FF2BH リセット時：00H R/W

| | | | | | | | | |
|-----|------|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PFT | PFT7 | PFT6 | PFT5 | PFT4 | PFT3 | PFT2 | PFT1 | PFT0 |

注意 PFTにデータを書き込むと、ウエイトが発生します。詳細は「第29章 ウエイトに関する注意事項」を参照してください。

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADCEをセット (1) し, 14 μ s以上ウエイトしてください。

ADCSをセット (1) し, 変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を, サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, 入力したアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし, タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もしアナログ入力が (1/2) AV_{REF} よりも大きければ, SARのMSBをセットしたままです。また, (1/2) AV_{REF} よりも小さければ, MSBはリセットします。

次にSARのビット8が自動的にセットし, 次の比較に移ります。ここではすでに結果がセットしているビット9の値によって, 次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとアナログ入力電圧を比較し, その結果でSARのビット8を次のように操作します。

・アナログ入力電圧 \geq 電圧タップ : ビット8 = 1

・アナログ入力電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき, SARには有効なデジタルの結果が残り, その値がA/D変換結果レジスタ (ADCR) に転送され, ラッチします。

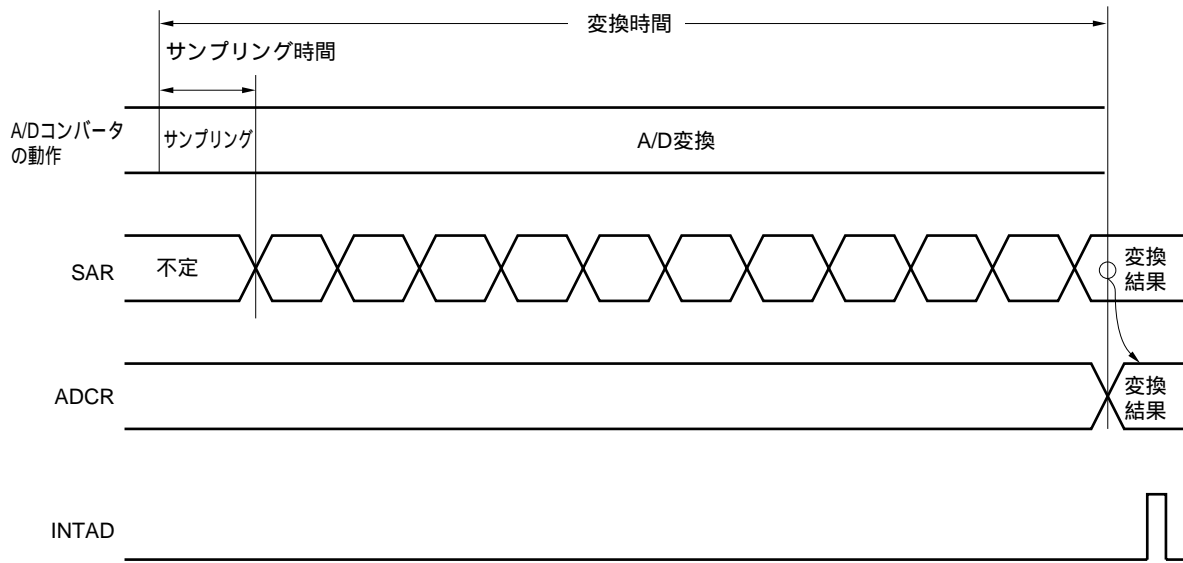
同時に, A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は, ADCS = 0にしてください。

ADCE = 1の状態から, 再度A/D変換する場合は, から開始してください。ただしADCE = 0の状態から, 再度A/Dコンバータを動作させる場合は, から行ってください。

図10 - 9 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM、アナログ入力チャンネル指定レジスタ (ADS)、パワーフェイル比較モード・レジスタ (PFM)、パワーフェイル比較しきい値レジスタ (PFT) のいずれかに対して書き込み操作を行うと変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、 $\overline{\text{RESET}}$ により不定となります。

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

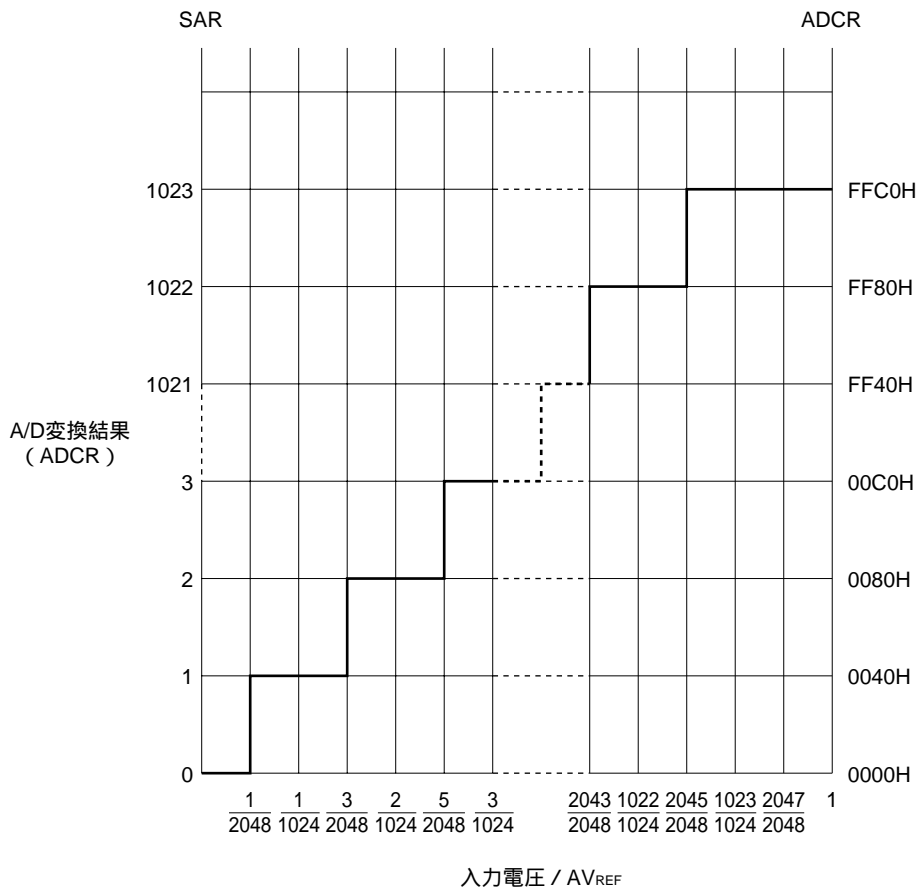
または、

$$\left(ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left(ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{AIN} : アナログ入力電圧
- AV_{REF} : AV_{REF} 端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図10 - 10にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 10 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI3からアナログ入力を1チャンネル選択し、A/D変換を行います。

また、パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) の設定により、次の2種類の機能を選択できます。

- ・通常の10ビットA/Dコンバータ (PFEN = 0)
- ・パワーフェイル検出機能 (PFEN = 1)

(1) A/D変換動作 (PFEN = 0の場合)

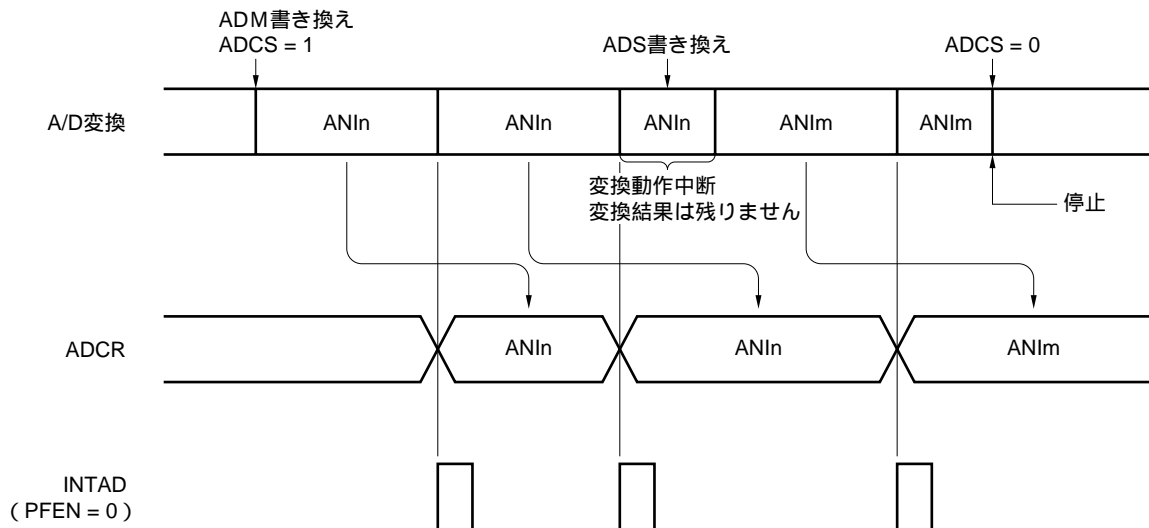
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1、パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) に0を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。次のA/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、ADM, ADS, パワーフェイル比較モード・レジスタ (PFM), パワーフェイル比較しきい値レジスタ (PFT) を書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき変換結果は不定となります。

図10-11 A/D変換動作



備考1 . n = 0-3

2 . m = 0-3

(2) パワーフェイル検出機能 (PFEN = 1の場合)

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1, パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) に1を設定することにより, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, パワーフェイル比較しきい値レジスタ (PFT) との大小比較を行い, PFMのビット6 (PFCM) に指定された条件のもとで割り込み要求信号 (INTAD) が発生します。

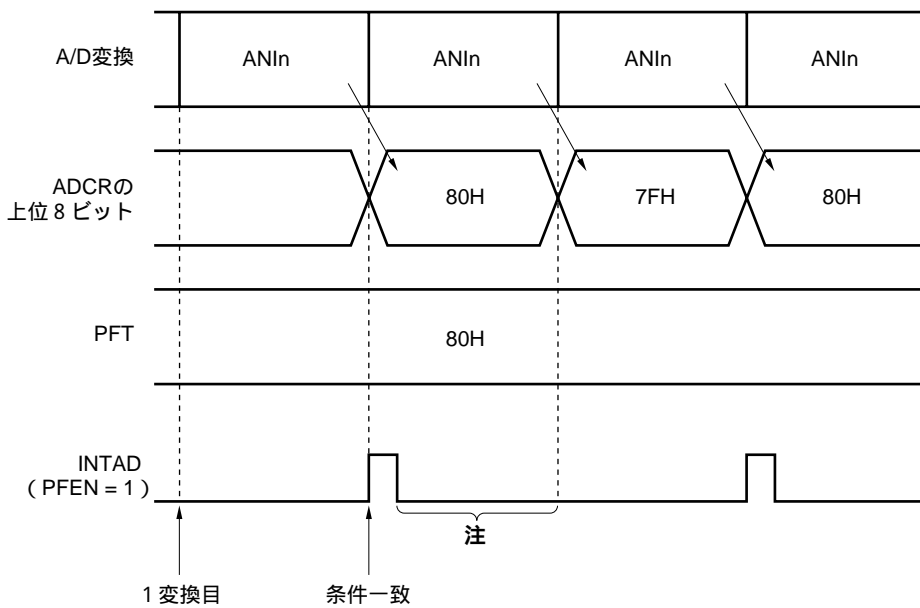
PFEN = 1かつPFCM = 0の場合

A/D変換終了のタイミングで, ADCRの上位8ビットとPFTの値を比較し, ADCRの上位8ビットPFTの場合のみINTADが発生します。

PFEN = 1かつPFCM = 1の場合

A/D変換終了のタイミングで, ADCRの上位8ビットとPFTの値を比較し, ADCRの上位8ビット < PFTの場合のみINTADが発生します。

図10 - 12 パワーフェイル検出 (PFEN = 1かつPFCM = 0の場合)



注 INTADが出力されてから次の変換終了までの間に変換結果を読み出さないと, 次の変換結果が変わってしまいます。

備考 n = 0-3

次に設定方法を説明します。

・A/D変換動作として使用する場合

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

アナログ入力チャンネル指定レジスタ (ADS) のビット1, 0 (ADS1, ADS0) とADMのビット5-3 (FR2-FR0) で, チャンネルと変換時間を選択

ADMのビット7 (ADCS) をセット (1)

割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR) に転送

<チャンネルを変更する>

ADSのビット1, 0 (ADS1, ADS0) で, チャンネルを変更

割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR) に転送

<A/D変換を終了する>

ADCSをクリア (0)

ADCEをクリア (0)

注意1. から までの間は14 μ s以上空けてください。

2. と の順番が逆でも問題ありません。

3. は省略可能です。ただし, この場合には のあとの1回目のA/D変換結果は使用しないでください。

4. から までの時間は ,ADMのビット5-3(FR2-FR0)で設定した変換時間とは異なります。から までの時間が, FR2-FR0で設定した変換時間となります。

・パワーフェイル機能として使用する場合

パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) をセット (1)

PFMのビット6 (PFCM) でパワーフェイル比較条件を設定

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

アナログ入力チャンネル指定レジスタ (ADS) のビット1, 0 (ADS1, ADS0) とADMのビット5-3 (FR2-FR0) で, チャンネルと変換時間を選択

パワーフェイル比較しきい値レジスタ (PFT) にしきい値を設定

ADMのビット7 (ADCS) をセット (1)

A/D変換データをA/D変換結果レジスタ (ADCR) に転送

ADCRの上位8ビットとPFTとの大小比較を行い, 条件が一致した場合に割り込み要求信号 (INTAD) 発生

<チャンネルを変更する>

ADSのビット1, 0 (ADS1, ADS0) で, チャンネルを変更

A/D変換データをA/D変換結果レジスタ (ADCR) に転送

ADCRの上位8ビットとパワーフェイル比較しきい値レジスタ (PFT) との大小比較を行い, 条件が一致した場合に割り込み要求信号 (INTAD) 発生

<A/D変換を終了する>

ADCSをクリア (0)

ADCEをクリア (0)

- 注意1. から までの間は $14 \mu\text{s}$ 以上空けてください。
2. , , の順番が入れ替わっても問題ありません。
3. パワーフェイル機能を使用する場合, を省略することはできません。
4. から までの時間は ,ADMのビット5-3(FR2-FR0)で設定した変換時間とは異なります。
から までの時間が ,FR2-FR0で設定した変換時間となります。

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10 - 13 総合誤差

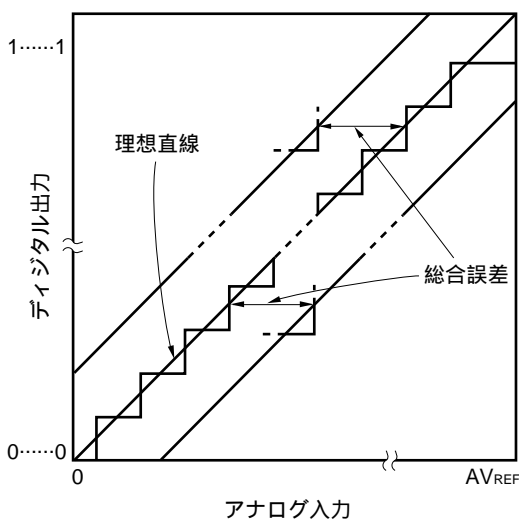
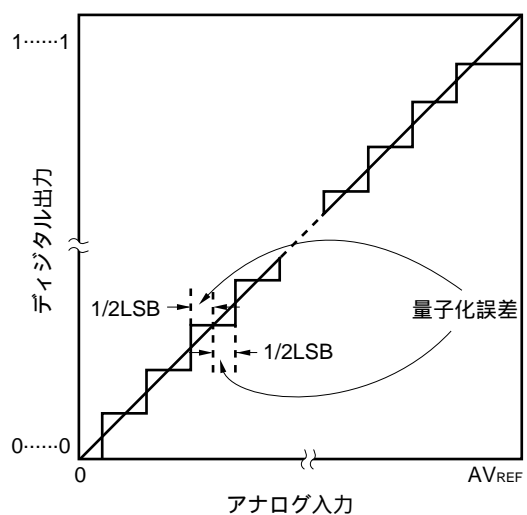


図10 - 14 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10 - 15 ゼロスケール誤差

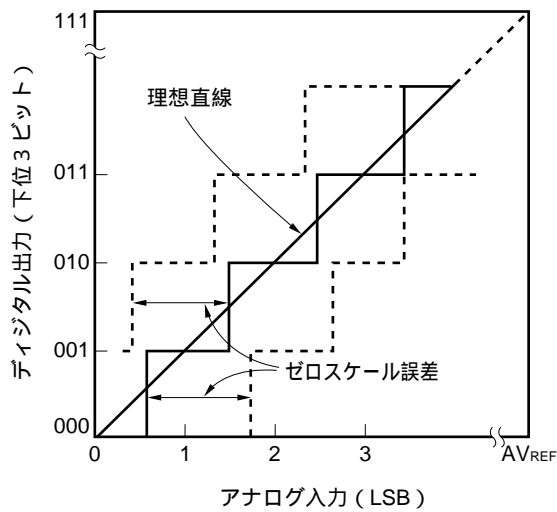


図10 - 16 フルスケール誤差

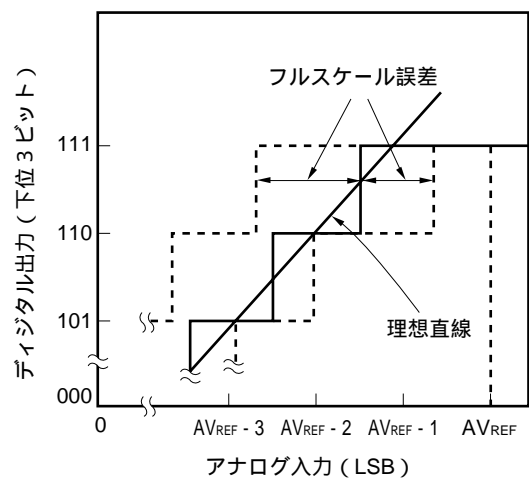


図10 - 17 積分直線性誤差

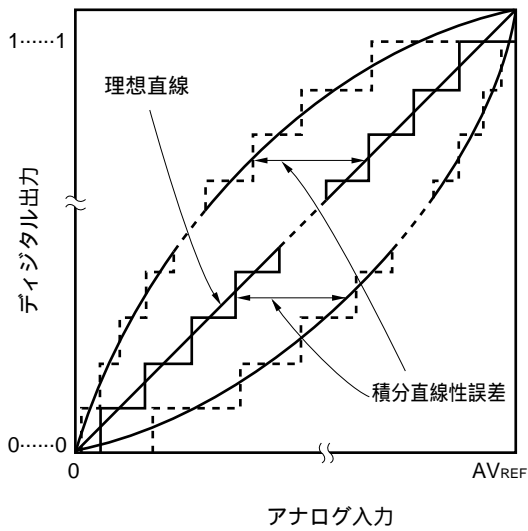
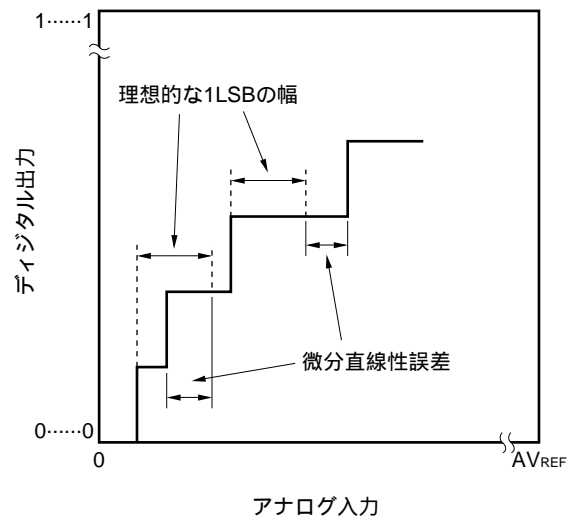


図10 - 18 微分直線性誤差

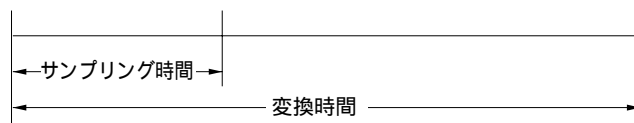


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) スタンバイ・モード時の動作電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) = 0にすることにより、動作電流を低減させることができます (図10-2を参照)。

(2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上, AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

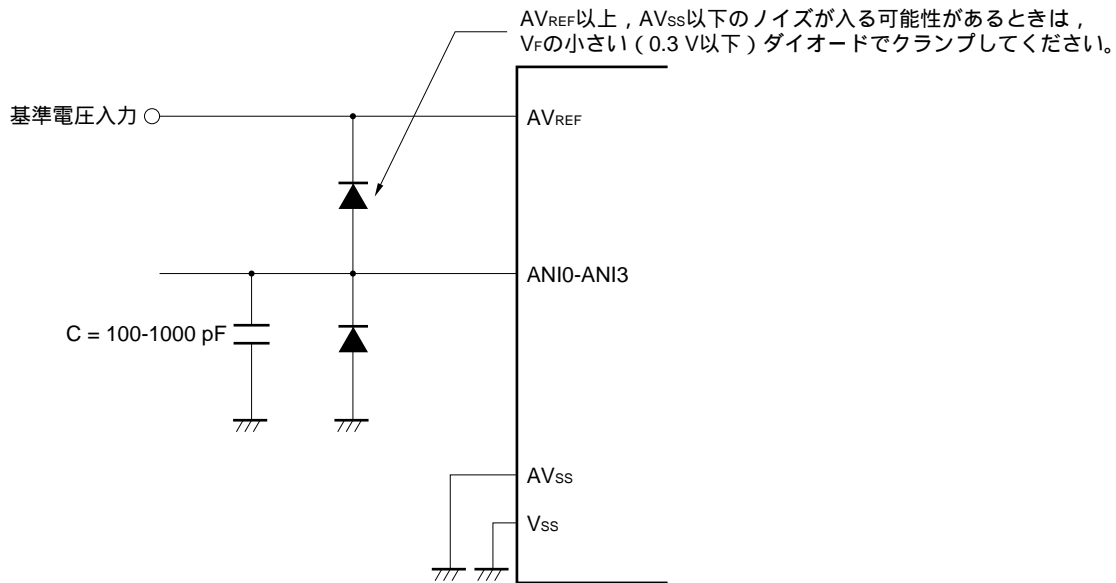
(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合
ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。
変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合
ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 19のようにCを外付けすることを推奨します。

図10 - 19 アナログ入力端子の処理

**(5) ANI0/P20-ANI3/P23**

アナログ入力 (ANI0-ANI3) 端子は入力ポート (P20-P23) 端子と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にポート2に対してアクセスしないでください。変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI3端子の入カインピーダンスについて

このA/Dコンバータでは、変換時間の約1/6程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 19参照)。

(7) AV_{REF}端子の入カインピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

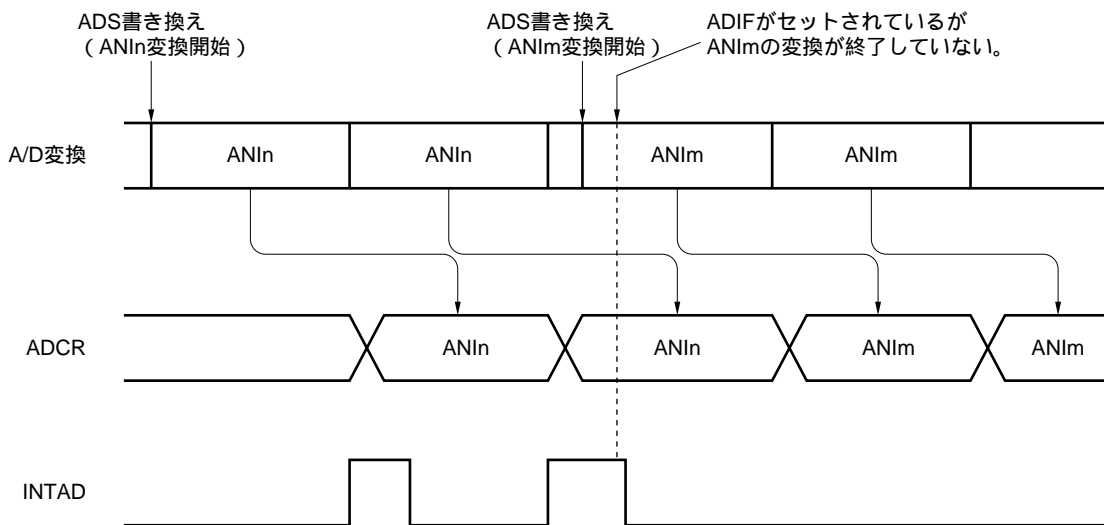
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図10 - 20 A/D変換終了割り込み要求発生タイミング



備考1 . n = 0-3
 2 . m = 0-3

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、14 μ s以内にADCSビット= 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(11) A/Dコンバータのサンプリング時間とA/D変換開始遅延時間について

A/Dコンバータのサンプリング時間は、A/Dコンバータ・モード・レジスタ (ADM) の設定値によって異なります。また、A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要なセットの場合、図10 - 21と表10 - 3に示す内容をご確認ください。

図10 - 21 A/DコンバータのサンプリングとA/D変換開始遅延のタイミング

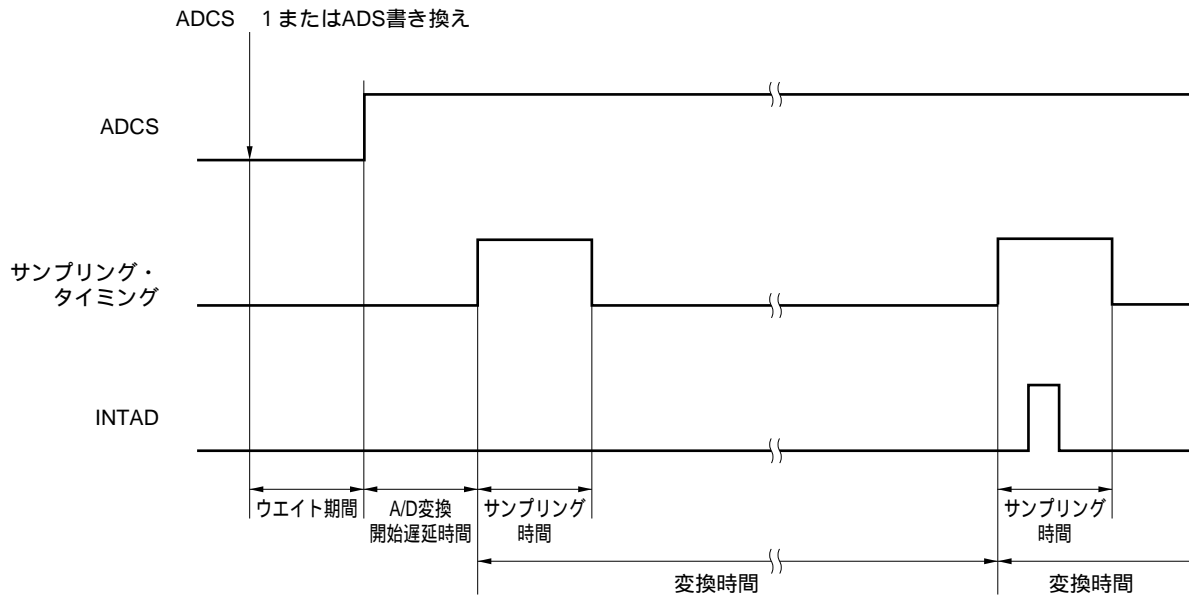


表10 - 3 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間 (ADM設定値)

| FR2 | FR1 | FR0 | 変換時間 | サンプリング時間 | A/D変換開始遅延時間 ^注 | |
|------|-----|-----|--------------------|-------------------|--------------------------|-------------------|
| | | | | | MIN. | MAX |
| 0 | 0 | 0 | 288/f _x | 40/f _x | 32/f _x | 36/f _x |
| 0 | 0 | 1 | 240/f _x | 32/f _x | 28/f _x | 32/f _x |
| 0 | 1 | 0 | 192/f _x | 24/f _x | 24/f _x | 28/f _x |
| 1 | 0 | 0 | 144/f _x | 20/f _x | 16/f _x | 18/f _x |
| 1 | 0 | 1 | 120/f _x | 16/f _x | 14/f _x | 16/f _x |
| 1 | 1 | 0 | 96/f _x | 12/f _x | 12/f _x | 14/f _x |
| 上記以外 | | | 設定禁止 | - | - | - |

注 A/D変換開始遅延時間はウェイト期間後の時間になります。ウェイトについては第29章 ウェイトに関する注意事項を参照してください。

備考 f_x : X1入力クロック発振周波数

(12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 22 ANIn端子内部等価回路

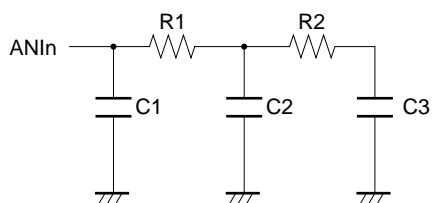


表10 - 4 等価回路の各抵抗と容量値 (参考値)

| AV _{REF} | R1 | R2 | C1 | C2 | C3 |
|-------------------|------|-------|------|--------|------|
| 2.7 V | 12 k | 8 k | 8 pF | 3 pF | 2 pF |
| 4.5 V | 4 k | 2.7 k | 8 pF | 1.4 pF | 2 pF |

備考1 . 表10 - 4の各抵抗と容量値は保証値ではありません。

2 . n = 0-3

第11章 シリアル・インタフェースUART0 (μ PD780102, 780103, 78F0103のみ)

11.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については11.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース(UART)モード

機能の概要を次に示します。

詳細については11.4.2 **アシクロナス・シリアル・インタフェース(UART)モード**、11.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・2端子構成 TxD0：送信データの出力端子
RxD0：受信データの入力端子
- ・通信データのデータ長は7ビット/8ビット可変
- ・専用の5ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能
- ・動作クロックは、4本のクロック入力選択可能
- ・通信データの先頭ビットは、LSB固定

注意1．シリアル・インタフェースUART0への供給クロックが停止しない場合(例：HALTモード)では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合(例：STOPモード)では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0となるように回路をリセットしてください。

2．通信開始する場合、POWER0 = 1に設定後、TXE0 = 1(送信)またはRXE0 = 1(受信)に設定してください。

3．TXE0とRXE0は、BRGC0で設定した基本クロック(f_{CLK0})により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

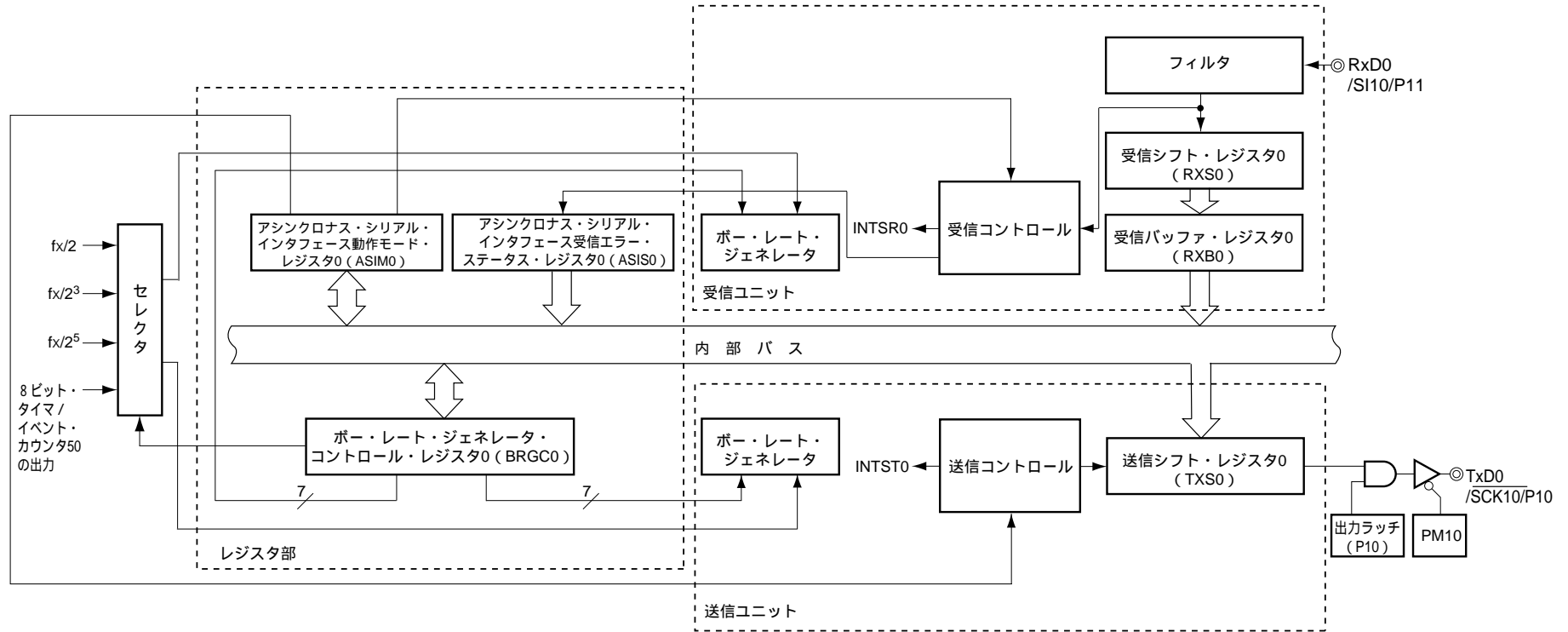
11.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェースUART0の構成

| 項 目 | 構 成 |
|--------|---|
| レジスタ | 受信バッファ・レジスタ0 (RXB0) 受信シフト・レジスタ0 (RXS0) 送信シフト・レジスタ0 (TXS0) |
| 制御レジスタ | アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1) |

図11-1 シリアル・インタフェースUART0のブロック図



(1) 受信バッファ・レジスタ0 (RXB0)

受信シフト・レジスタ0 (RXS0) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

オーバーラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0には転送されません。

RXB0は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET入力、POWER0 = 0によりFFHとなります。

(2) 受信シフト・レジスタ0 (RXS0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS0はプログラムで直接操作できません。

(3) 送信シフト・レジスタ0 (TXS0)

送信データを設定するためのレジスタです。TXS0にデータを書き込むことにより、送信動作が起動し、シリアル・データをTxD0端子から送信します。

TXS0は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

RESET入力、POWER0 = 0, TXE0 = 0によりFFHとなります。

注意 TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。

11.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の5種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル通信動作を制御する8ビット・レジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

図11-2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (1/2)

アドレス：FF70H リセット時：01H R/W

| | | | | | | | | |
|-------|--------|------|------|------|------|-----|-----|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ASIM0 | POWER0 | TXE0 | RXE0 | PS01 | PS00 | CL0 | SL0 | 1 |

| | |
|----------------|--|
| POWER0 | 内部動作クロックの動作許可 / 禁止 |
| 0 ^注 | 内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。 |
| 1 | 内部動作クロックの動作許可 |

| | |
|------|------------------------|
| TXE0 | 送信動作許可 / 禁止 |
| 0 | 送信動作禁止 (送信回路を同期リセットする) |
| 1 | 送信動作許可 |

| | |
|------|------------------------|
| RXE0 | 受信動作許可 / 禁止 |
| 0 | 受信動作禁止 (受信回路を同期リセットする) |
| 1 | 受信動作許可 |

注1 . POWER0 = 0で、RxD0端子からの入力はハイ・レベルに固定されます。

2 . リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0) です。

図11-2 アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (2/2)

| PS01 | PS00 | 送信動作 | 受信動作 |
|------|------|----------------|-------------------------|
| 0 | 0 | パリティ・ビットを出力しない | パリティなしで受信 |
| 0 | 1 | 0パリティを出力 | 0パリティとして受信 [※] |
| 1 | 0 | 奇数パリティを出力 | 奇数パリティとして判定を行う |
| 1 | 1 | 偶数パリティを出力 | 偶数パリティとして判定を行う |

| CL0 | 送受信データのキャラクタ長指定 |
|-----|-------------------|
| 0 | データのキャラクタ長 = 7ビット |
| 1 | データのキャラクタ長 = 8ビット |

| SL0 | 送信データのストップ・ビット数指定 |
|-----|-------------------|
| 0 | ストップ・ビット数 = 1 |
| 1 | ストップ・ビット数 = 2 |

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のビット2 (PE0) はセットされないため、エラー割り込みも発生しません。

- 注意1 .起動時はPOWER0 = 1にしてから、TXE0 = 1としてください。動作を停止するときにはTXE0 = 0にしてから、POWER0 = 0としてください。
- 2 .起動時はPOWER0 = 1にしてから、RXE0 = 1としてください。動作を停止するときにはRXE0 = 0にしてから、POWER0 = 0としてください。
- 3 .RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1 RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1 RXE0 = 1と設定すると、受信を開始してしまいます。
- 4 .TXE0とRXE0は、BRGC0で設定した基本クロック (f_{CLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- 5 .PS01, PS00, CL0ビットを書き換えるときは、TXE0, RXE0ビットをクリア (0) してから行ってください。
- 6 .SL0ビットを書き換えるときは、TXE0をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL0ビットの設定値の影響は受けません。
- 7 .ビット0には必ず1を設定してください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)

シリアル・インタフェースUART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE0, FE0, OVE0) で構成されています。

ASIS0は、8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力, ASIS0のビット7 (POWER0) = 0, ビット5 (RXE0) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。

図11-3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス : FF73H リセット時 : 00H R

| | | | | | | | | |
|-------|---|---|---|---|---|-----|-----|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ASIS0 | 0 | 0 | 0 | 0 | 0 | PE0 | FE0 | OVE0 |

| | |
|-----|--|
| PE0 | パリティ・エラーを示すステータス・フラグ |
| 0 | POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード |
| 1 | 受信完了時, 送信データのパリティとパリティ・ビットが一致しないと |

| | |
|-----|--|
| FE0 | フレーミング・エラーを示すステータス・フラグ |
| 0 | POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード |
| 1 | 受信完了時, ストップ・ビットが検出されないとき |

| | |
|------|--|
| OVE0 | オーバラン・エラーを示すステータス・フラグ |
| 0 | POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード |
| 1 | RXB0レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき |

- 注意1. PE0ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のPS01, PS00ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ0 (RXB0) には書き込まれず, データは破棄されます。
 4. ASIS0からデータを読み出すと, ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースUART0の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、1FHになります。

図11-4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス：FF71H リセット時：1FH R/W

| | | | | | | | | |
|-------|-------|-------|---|-------|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BRGC0 | TPS01 | TPS00 | 0 | MDL04 | MDL03 | MDL02 | MDL01 | MDL00 |

| TPS01 | TPS00 | 基本クロック (f_{CLK0}) 選択 ^{注1} |
|-------|-------|---|
| 0 | 0 | TM50の出力 ^{注2} |
| 0 | 1 | $f_x/2$ (5 MHz) |
| 1 | 0 | $f_x/2^3$ (1.25 MHz) |
| 1 | 1 | $f_x/2^5$ (312.5 kHz) |

| MDL04 | MDL03 | MDL02 | MDL01 | MDL00 | k | 5ビット・カウンタの出力クロック選択 |
|-------|-------|-------|-------|-------|----|----------------------|
| 0 | 0 | x | x | x | x | 設定禁止 |
| 0 | 1 | 0 | 0 | 0 | 8 | $f_{\text{CLK0}}/8$ |
| 0 | 1 | 0 | 0 | 1 | 9 | $f_{\text{CLK0}}/9$ |
| 0 | 1 | 0 | 1 | 0 | 10 | $f_{\text{CLK0}}/10$ |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| 1 | 1 | 0 | 1 | 0 | 26 | $f_{\text{CLK0}}/26$ |
| 1 | 1 | 0 | 1 | 1 | 27 | $f_{\text{CLK0}}/27$ |
| 1 | 1 | 1 | 0 | 0 | 28 | $f_{\text{CLK0}}/28$ |
| 1 | 1 | 1 | 0 | 1 | 29 | $f_{\text{CLK0}}/29$ |
| 1 | 1 | 1 | 1 | 0 | 30 | $f_{\text{CLK0}}/30$ |
| 1 | 1 | 1 | 1 | 1 | 31 | $f_{\text{CLK0}}/31$ |

★ 注1. 基本クロックは次の条件を満たすように設定してください。

- ・ $V_{\text{DD}} = 4.0 \sim 5.5 \text{ V}$: 基本クロック 10 MHz
- ・ $V_{\text{DD}} = 3.3 \sim 4.0 \text{ V}$: 基本クロック 8.38 MHz
- ・ $V_{\text{DD}} = 2.7 \sim 3.3 \text{ V}$: 基本クロック 5 MHz
- ・ $V_{\text{DD}} = 2.5 \sim 2.7 \text{ V}$: 基本クロック 2.5 MHz

★

注2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

注意1. CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。基本クロックがRing-OSCクロックの場合、シリアル・インタフェースUART0の動作は保証されません。

2. MDL04-MDL00ビットを書き換える場合は、ASIM0レジスタのビット6 (TXE0) = 0、ビット5 (RXE0) = 0にしてから行ってください。

3. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{CLK0} : TPS01, TPS00ビットで選択した基本クロックの周波数

2. f_x : X1入力クロック発振周波数

3. k : MDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

4. x : 任意

5. () 内は、 $f_x = 10$ MHz動作時

6. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

7. TMC501 : TMC50のビット1

(4) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P10/TxD0/SCK10端子をシリアル・インタフェースのデータ出力として使用するとき、PM10に0を、P10の出力ラッチに1を設定してください。

P11/RxD0/SI10端子をシリアル・インタフェースのデータ入力として使用するとき、PM11に1を設定してください。このときP11の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図11-5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

| | | | | | | | | |
|-----|------|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |

| | |
|------|---------------------------|
| PM1n | P1n端子の入出力モードの選択 (n = 0-7) |
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

11.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

11.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM0のビット7, 6, 5 (POWER0, TXE0, RXE0) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

アドレス：FF70H リセット時：01H R/W

| | | | | | | | | |
|-------|--------|------|------|------|------|-----|-----|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ASIM0 | POWER0 | TXE0 | RXE0 | PS01 | PS00 | CL0 | SL0 | 1 |

| | |
|-----------------|--|
| POWER0 | 内部動作クロックの動作許可 / 禁止 |
| 0 ^{注1} | 内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。 |

| | |
|------|------------------------|
| TXE0 | 送信動作許可 / 禁止 |
| 0 | 送信動作禁止 (送信回路を同期リセットする) |

| | |
|------|------------------------|
| RXE0 | 受信動作許可 / 禁止 |
| 0 | 受信動作禁止 (受信回路を同期リセットする) |

注1. POWER0 = 0で、RxD0端子からの入力はハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0) です。

注意 動作停止モードにするときはTXE0 = 0, RXE0 = 0にしてから, POWER0 = 0 にしてください。
起動時はPOWER0 = 1にしてから, TXE0 = 1, RXE0 = 1にしてください。

備考 RxD0/SI10/P11, TxD0/SCK10/P10端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

11.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

BRGC0レジスタを設定 (図11-4を参照)

ASIM0レジスタのビット1-4 (SL0, CL0, PS00, PS01) を設定 (図11-2を参照)

ASIM0レジスタのビット7 (POWER0) をセット (1)

ASIM0レジスタのビット6 (TXE0) をセット (1) 送信可能

ASIM0レジスタのビット5 (RXE0) をセット (1) 受信可能

TXS0レジスタにデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表11-2 レジスタの設定と端子の関係

| POWER0 | TXE0 | RXE0 | PM10 | P10 | PM11 | P11 | UART0 の動作 | 端子機能 | |
|--------|------|------|----------------|----------------|----------------|----------------|--------------|----------------|---------------|
| | | | | | | | | TxD0/SCK10/P10 | RxD0/SI10/P11 |
| 0 | 0 | 0 | x ^注 | x ^注 | x ^注 | x ^注 | 停止 | SCK10/P10 | SI10/P11 |
| 1 | 0 | 1 | x ^注 | x ^注 | 1 | x | 受信 | SCK10/P10 | RxD0 |
| | 1 | 0 | 0 | 1 | x ^注 | x ^注 | 送信 | TxD0 | SI10/P11 |
| | 1 | 1 | 0 | 1 | 1 | x | 送受信 | TxD0 | RxD0 |

注 ポート機能として設定することができます。

備考 x : don't care

POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7

TXE0 : ASIM0のビット6

RXE0 : ASIM0のビット5

PM1x : ポート・モード・レジスタ

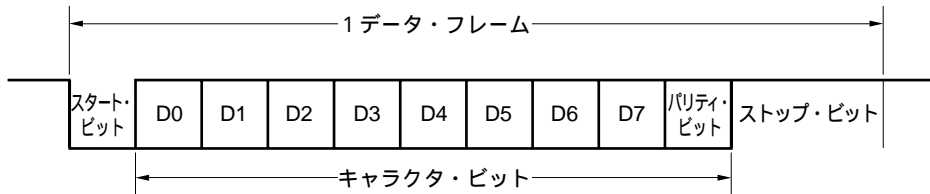
P1x : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマット

通常送受信データのフォーマットと波形例を図11 - 6, 11 - 7に示します。

図11 - 6 通常UART送受信データのフォーマット



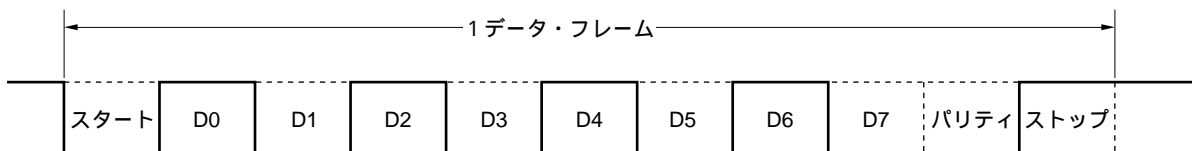
1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット..... 1ビット
- ・ キャラクタ・ビット... 7ビット/8ビット (LSBファースト)
- ・ パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ ストップ・ビット..... 1ビット/2ビット

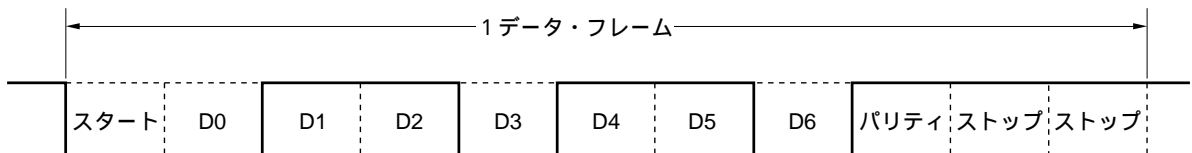
1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) によって行います。

図11 - 7 通常UART送受信データの波形例

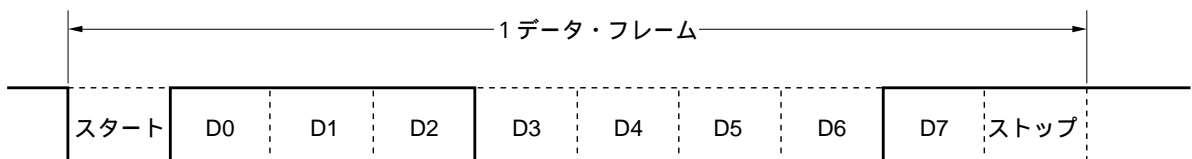
1. データ長 : 8ビット, パリティ : 偶数パリティ, ストップ・ビット : 1ビット, 通信データ : 55H



2. データ長 : 7ビット, パリティ : 奇数パリティ, ストップ・ビット : 2ビット, 通信データ : 36H



3. データ長 : 8ビット, パリティ : パリティなし, ストップ・ビット : 1ビット, 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)のビット7 (POWER0) をセット (1) すると, TxD0端子からハイ・レベル出力されます。次にASIM0のビット6 (TXE0) をセット (1) すると送信許可状態になり, 送信シフト・レジスタ0 (TXS0) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, スタート・ビットがTxD0端子から出力され, 続いてLSBより順次出力されます。送信が完了すると, ASIM0で設定したパリティ・ビット, ストップ・ビットが付加され, 最後に送信完了割り込み要求 (INTST0) が発生します。

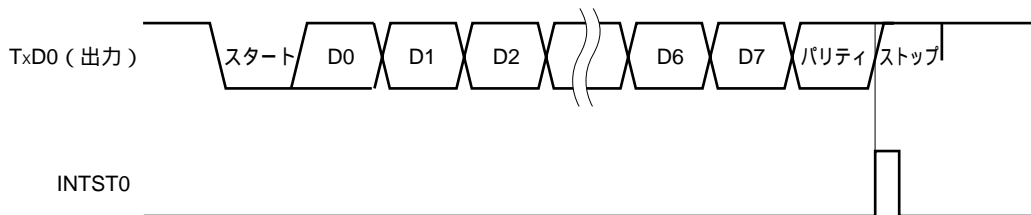
次に送信するデータをTXS0に書き込むまで, 送信動作は中断します。

送信完了割り込み要求 (INTST0) のタイミングを図11 - 8に示します。INTST0は, 最後のストップ・ビット出力と同時に発生します。

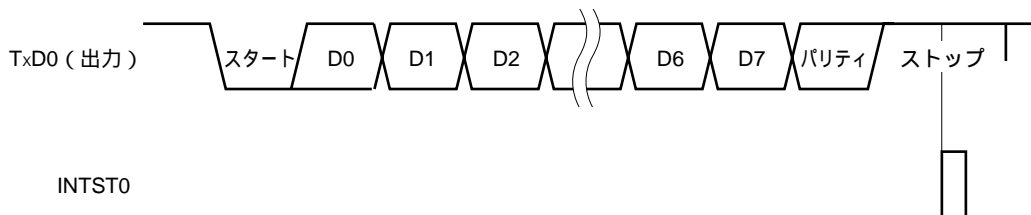
注意 TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで, 次の送信データを書き込まないでください。

図11 - 8 送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 受信

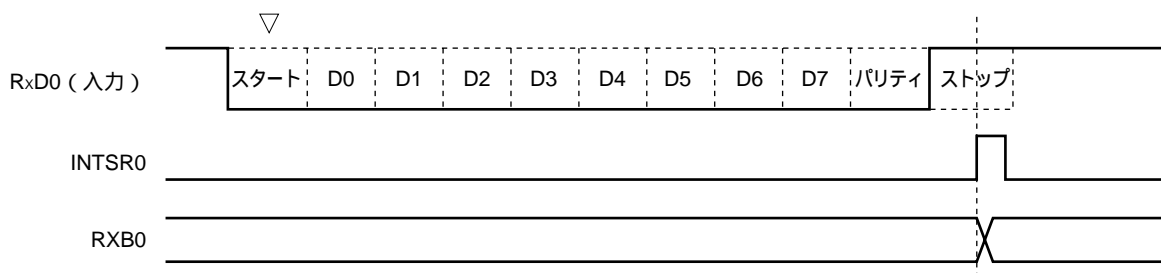
アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)のビット7 (POWER0) をセット (1) し、次にASIM0のビット5 (RXE0) をセット (1) すると受信許可状態となり、RxD0端子入力のサンプリングを行います。

RxD0端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定値をカウントした時点で、再度RxD0端子入力をサンプリング (図11-9の印に相当) した結果、RxD0端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ0 (RXS0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR0) を発生すると同時に、RXS0のデータは受信バッファ・レジスタ0 (RXB0) に書き込まれます。ただし、オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0に書き込まれません。

受信途中に、パリティ・エラー (PE0) が発生しても、ストップ・ビットの受信位置までは、受信を継続し、受信完了後にエラー割り込み (INTSR0) を発生します。

図11-9 受信完了割り込み要求タイミング



注意1. 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。

RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB0を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出してください。

(e) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み要求 (INTSR0) を発生します。

受信エラー割り込み処理内 (INTSR0) で、ASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図11 - 3参照)。

ASIS0の内容は、ASIS0を読み出すことによって、リセット (0) されます。

表11 - 3 受信エラーの要因

| 受信エラー | 要 因 |
|------------|---|
| パリティ・エラー | 送信時のパリティ指定と受信データのパリティが一致しない |
| フレーミング・エラー | ストップ・ビットが検出されない |
| オーバラン・エラー | 受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信完了 |

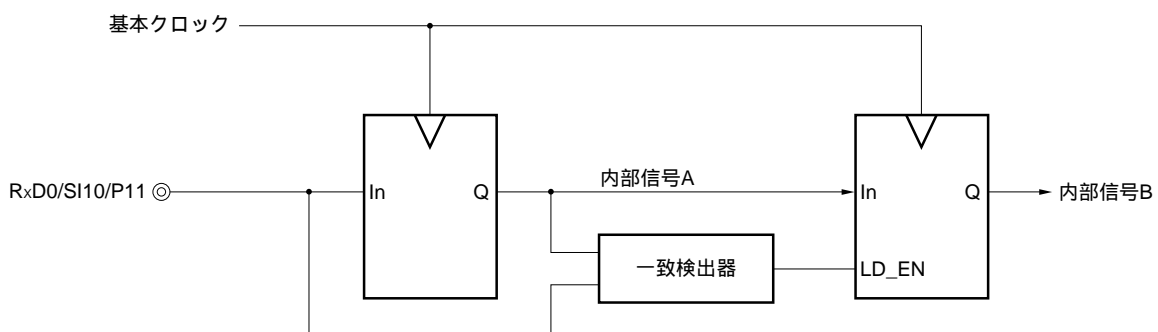
(f) 受信データのノイズ・フィルタ

プリスケラ部出力の基本クロックでRxD0信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図11 - 10のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図11 - 10 ノイズ・フィルタ回路



11.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と5ビットのプログラマブル・カウンタにより構成され、UART0における送受信時のシリアル・クロックを生成します。

なお、5ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 1のとき、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (TPS01, TPS00) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{XCLK0} と呼びます。POWER0 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0またはビット6 (TXE0) = 0のときはクリア (0) の状態で動作を停止します。

POWER0 = 1かつTXE0 = 1でカウントをスタートします。

最初の送信では送信シフト・レジスタ0 (TXS0) への書き込みでカウンタをクリア (0) します。

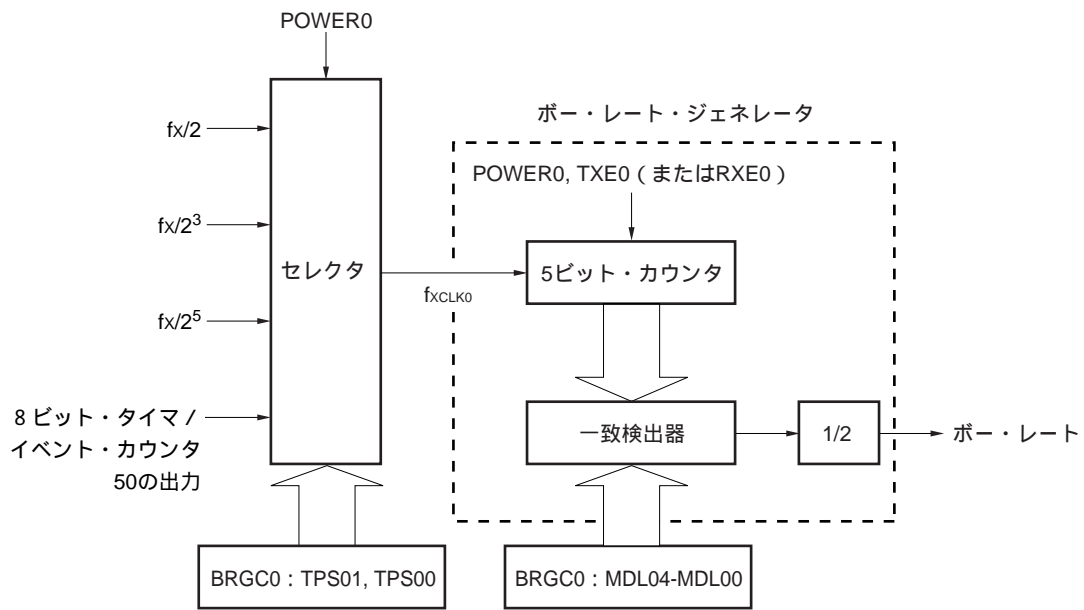
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0またはビット5 (RXE0) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図11 - 11 ポー・レート・ジェネレータの構成



- 備考** POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7
 TXE0 : ASIM0のビット6
 RXE0 : ASIM0のビット5
 BRGC0 : ポー・レート・ジェネレータ・コントロール・レジスタ0

(2) シリアル・クロックの生成

ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定により、シリアル・クロックを生成できます。

BRGC0のビット7, 6 (TPS01, TPS00) により、5ビット・カウンタへの入力クロックの選択を、ビット4-0 (MDL04-MDL00) により、5ビット・カウンタの分周値を設定できます。

(a) ポー・レート

ポー・レートは次の式によって求められます。

$$\cdot \text{ポー・レート} = \frac{f_{\text{CLK0}}}{2 \times k} \text{ [bps]}$$

f_{CLK0} : BRGC0レジスタのTPS01, TPS00ビットで選択した基本クロックの周波数

k : BRGC0レジスタのMDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

(b) ポー・レートの誤差

ポー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のポー・レート (誤差のあるポー・レート)}}{\text{希望するポー・レート (正常なポー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のポー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のポー・レート誤差は、(4) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC0レジスタのMDL04-MDL00ビットの設定値 = 10000B ($k = 16$)

目標ポー・レート = 76800 bps

$$\begin{aligned} \text{ポー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表11-4 ボー・レート・ジェネレータ設定データ

| ボー・レート [bps] | fx = 10.0 MHz | | | | fx = 8.38 MHz | | | | fx = 4.19 MHz | | | |
|-------------------|-----------------|----|--------|--------------|-----------------|----|--------|--------------|-----------------|----|--------|--------------|
| | TPS01, TPS00 | k | 算出値 | ERR [%] | TPS01, TPS00 | k | 算出値 | ERR [%] | TPS01, TPS00 | k | 算出値 | ERR [%] |
| 2400 | - | - | - | - | - | - | - | - | 3 | 27 | 2425 | 1.03 |
| 4800 | - | - | - | - | 3 | 27 | 4850 | 1.03 | 3 | 14 | 4676 | - 2.58 |
| 9600 | 3 | 16 | 9766 | 1.73 | 3 | 14 | 9353 | - 2.58 | 2 | 27 | 9699 | 1.03 |
| 10400 | 3 | 15 | 10417 | 0.16 | 3 | 13 | 10072 | - 3.15 | 2 | 25 | 10475 | 0.72 |
| 19200 | 3 | 8 | 19531 | 1.73 | 2 | 27 | 19398 | 1.03 | 2 | 14 | 18705 | - 2.58 |
| 31250 | 2 | 20 | 31250 | 0 | 2 | 17 | 30809 | - 1.41 | - | - | - | - |
| 38400 | 2 | 16 | 39063 | 1.73 | 2 | 14 | 38796 | - 2.58 | 2 | 27 | 38796 | 1.03 |
| 76800 | 2 | 8 | 78125 | 1.73 | 1 | 27 | 77593 | 1.03 | 1 | 14 | 74821 | - 2.58 |
| 115200 | 1 | 22 | 113636 | - 1.36 | 1 | 18 | 116389 | 1.03 | 1 | 9 | 116389 | 1.03 |
| 153600 | 1 | 16 | 156250 | 1.73 | 1 | 14 | 149643 | - 2.58 | - | - | - | - |
| 230400 | 1 | 11 | 227273 | - 1.36 | 1 | 9 | 232778 | 1.03 | - | - | - | - |

備考 TPS01, TPS00 : ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (基本クロック (fxCLK0) 設定)

k : BRGC0のMDL04-MDL00ビットで設定した値 (k = 8, 9, 10, ..., 31)

fx : X1入力クロック発振周波数

ERR : ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に, 送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は, 下記に示す算出式を使用して, 必ず許容誤差範囲内になるように設定してください。

図11-12 受信時の許容ボー・レート範囲

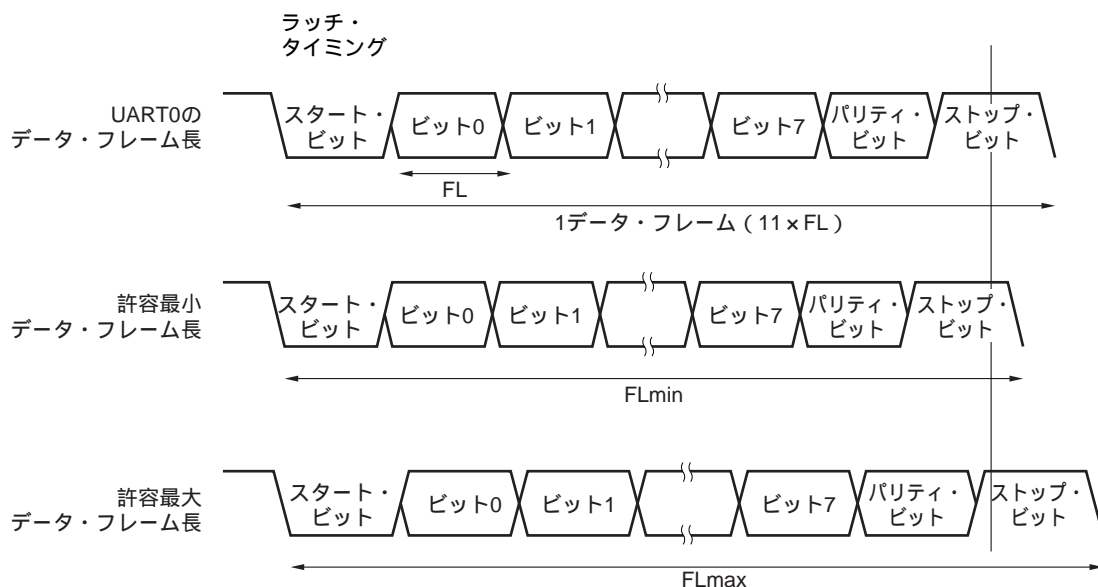


図11 - 12に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART0のボー・レート

k : BRGC0の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小 / 最大ボー・レート値の算出式から，UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表11 - 5 許容最大 / 最小ボー・レート誤差

| 分周比 (k) | 許容最大ボー・レート誤差 | 許容最小ボー・レート誤差 |
|---------|--------------|--------------|
| 8 | + 3.53 % | - 3.61 % |
| 16 | + 4.14 % | - 4.19 % |
| 24 | + 4.34 % | - 4.38 % |
| 31 | + 4.44 % | - 4.47 % |

備考1 . 受信の許容誤差は，1フレーム・ビット数，入力クロック周波数，分周比 (k) に依存します。入力クロック周波数が高く，分周比 (k) が大きくなるほど許容誤差は大きくなります。

2 . k : BRGC0の設定値

第12章 シリアル・インタフェースUART6

12.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については12.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については12.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、12.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能
- ・動作クロックは、12本のクロック入力選択可能
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビット長出力
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

注意1 . TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

2 . シリアル・インタフェースUART6への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0となるように回路をリセットしてください。

3 . 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LINに搭載する場合は連続送信機能を使用しないでください。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1 ~ 20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

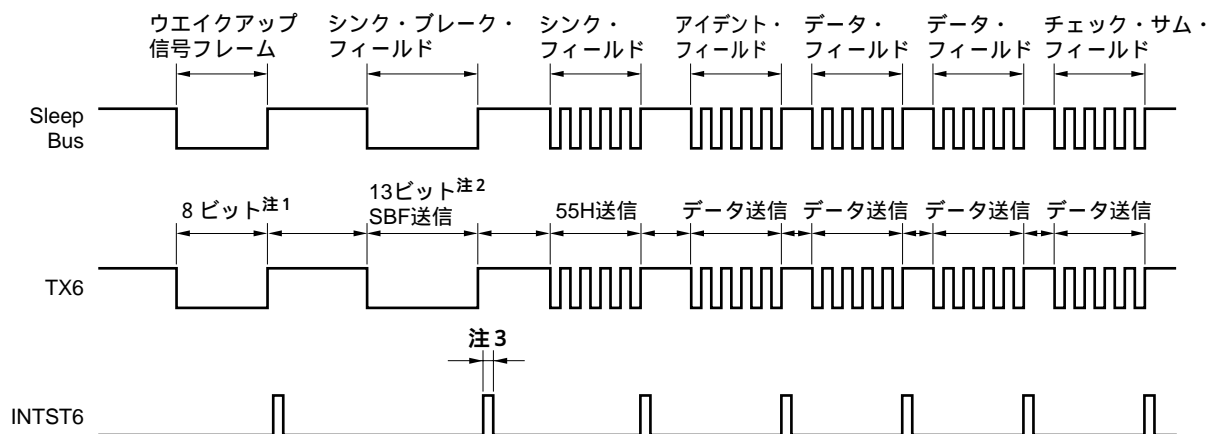
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの通信では、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図12 - 1、12 - 2に示します。

図12 - 1 LINの送信操作



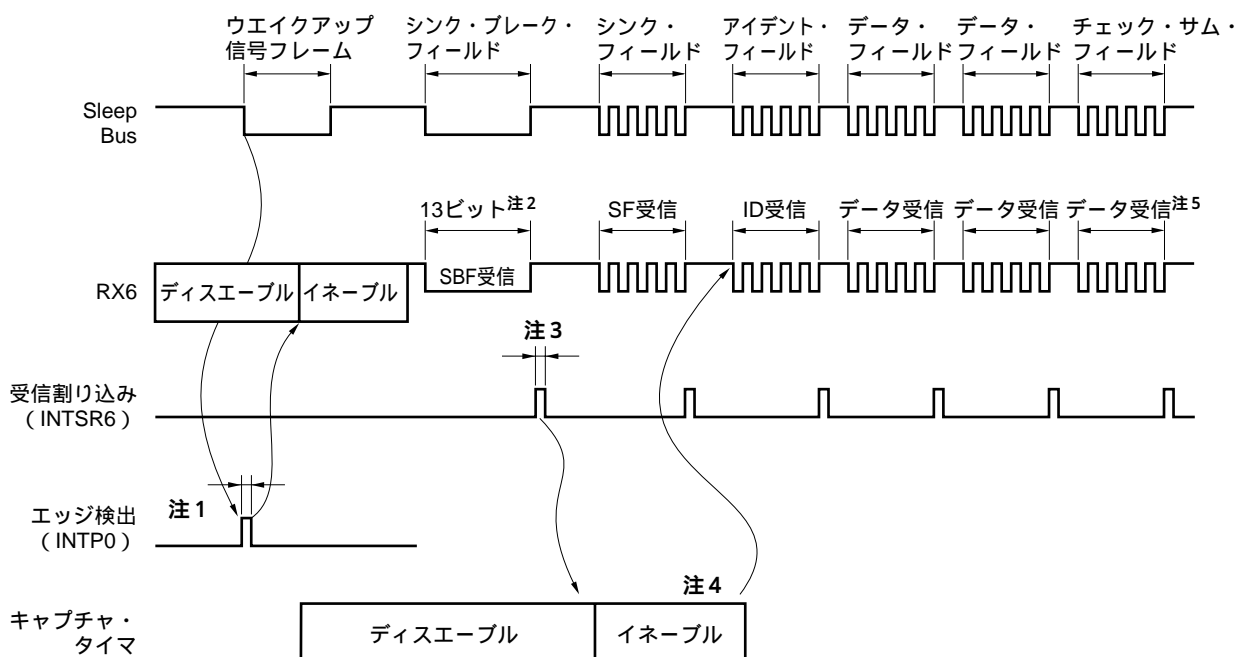
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で調整してください (12. 4. 2 (2) (h) SBF送信を参照)。

3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図12 - 2 LINの受信操作



注1. ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。

2. STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

3. SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込みでキャプチャ・タイマをイネーブルにします。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

4. シンク・フィールドのビット長からボー・レート誤差を算出し、SBF受信後にUART6のイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) を再セットしてください。

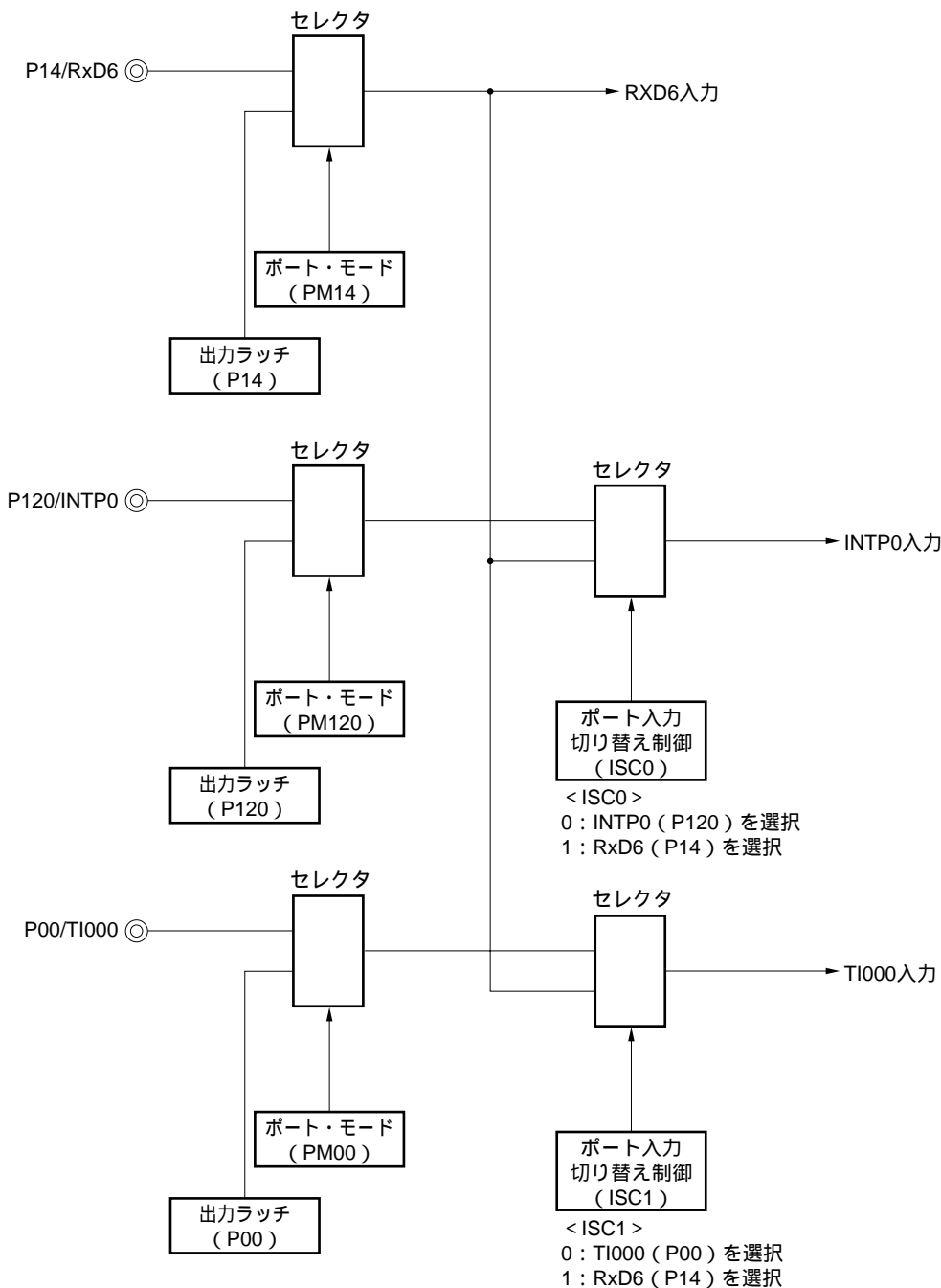
5. チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

LINの受信操作を行う場合は図12 - 3のような構成となります。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部でRxD6とINTP0, TI000の結線をせずに、受信用ポート入力(RxD6)の入力信号を外部割り込み(INTP0)および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図12 - 3 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図12 - 11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI000
入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・インタフェースUART6

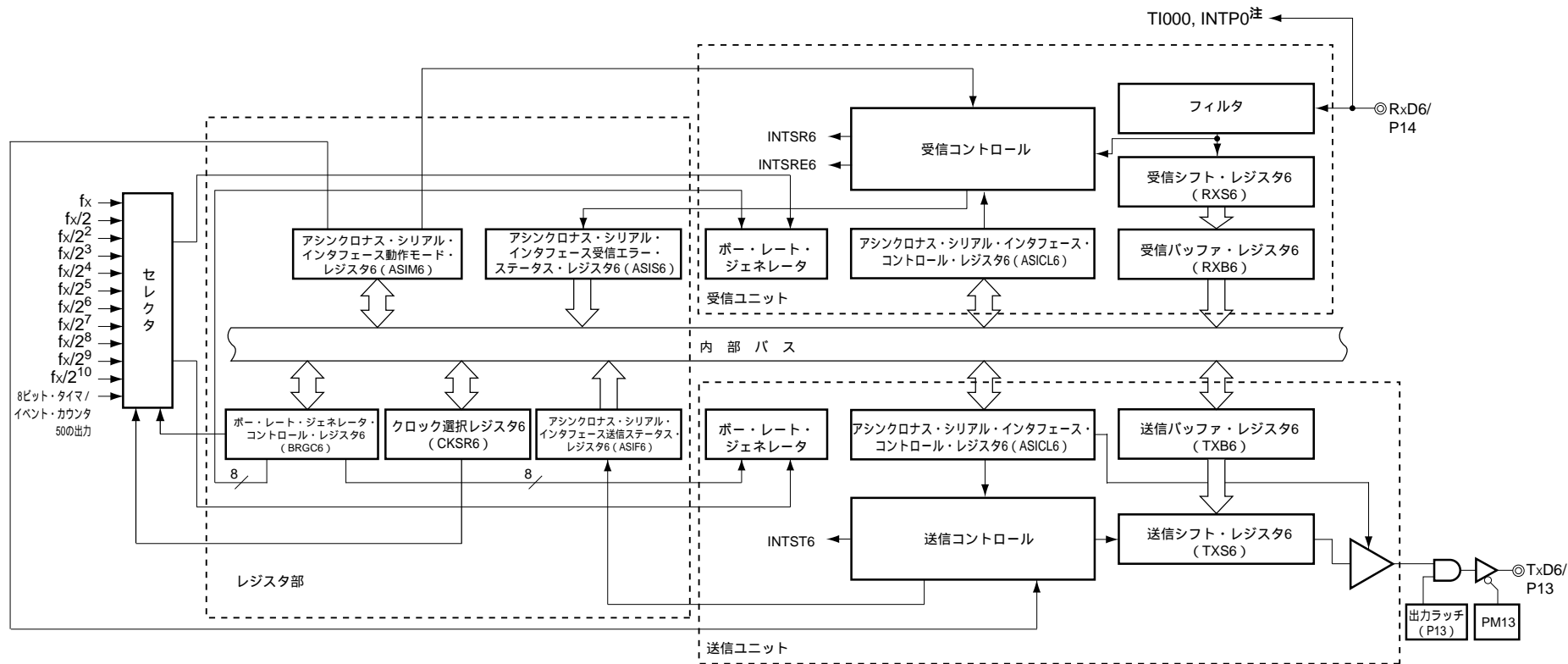
12.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表12-1 シリアル・インタフェースUART6の構成

| 項 目 | 構 成 |
|--------|---|
| レジスタ | 受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6) |
| 制御レジスタ | アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1) |

図12-4 シリアル・インタフェースUART6のブロック図



注 入力切り替え制御レジスタ (ISC) にて選択可能。

(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとに受信シフト・レジスタ6 (RXS6) から新たな受信データが転送されます。データ長を7ビットに指定した場合は次のようになります。

- ・ LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・ MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意1．アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。

2．通信動作中 (アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下がりのタイミングで行われます。

TXS6はプログラムで直接操作できません。

12.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図12-5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット値 : 01H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|--------|------|------|------|------|-----|-----|-------|
| ASIM6 | POWER6 | TXE6 | RXE6 | PS61 | PS60 | CL6 | SL6 | ISRM6 |

| POWER6 | 内部動作クロックの動作許可 / 禁止 |
|-----------------|--|
| 0 ^{注1} | 内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。 |
| 1 ^{注3} | 内部動作クロックの動作許可 |

| TXE6 | 送信動作許可 / 禁止 |
|------|------------------------|
| 0 | 送信動作禁止 (送信回路を同期リセットする) |
| 1 | 送信動作許可 |

注1. POWER6 = 0で, TxD6端子の出力はハイ・レベルになり, RxD6端子からの入力ハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

3. POWER6ビットに1を書き込んでから, 基本クロックの2発目で8ビット・カウンタの出力動作が許可になります。

図12 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

| RXE6 | 受信動作許可 / 禁止 |
|------|------------------------|
| 0 | 受信動作禁止 (受信回路を同期リセットする) |
| 1 | 受信動作許可 |

| PS61 | PS60 | 送信動作 | 受信動作 |
|------|------|----------------|-------------------------|
| 0 | 0 | パリティ・ビットを出力しない | パリティなしで受信 |
| 0 | 1 | 0パリティを出力 | 0パリティとして受信 ^注 |
| 1 | 0 | 奇数パリティを出力 | 奇数パリティとして判定を行う |
| 1 | 1 | 偶数パリティを出力 | 偶数パリティとして判定を行う |

| CL6 | 送受信データのキャラクタ長指定 |
|-----|-------------------|
| 0 | データのキャラクタ長 = 7ビット |
| 1 | データのキャラクタ長 = 8ビット |

| SL6 | 送信データのストップ・ビット数指定 |
|-----|-------------------|
| 0 | ストップ・ビット数 = 1 |
| 1 | ストップ・ビット数 = 2 |

| ISRM6 | エラー発生時の受信完了割り込み発生許可 / 禁止 |
|-------|--|
| 0 | エラー発生時の割り込みに "INTSR6" が発生 (このときINTSR6は発生しない) |
| 1 | エラー発生時の割り込みに "INTSR6" が発生 (このときINTSR6は発生しない) |

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません

- 注意1. 起動時はPOWER6 = 1にしてから、TXE6 = 1としてください。動作を停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 起動時はPOWER6 = 1にしてから、RXE6 = 1としてください。動作を停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1と設定すると、受信を開始してしまいます。
4. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) してから行ってください。
5. LINに搭載する場合、PS61, PS60ビットを0に固定してください。
6. SL6ビットを書き換えるときは、TXE6 = 0にしてから行ってください。また、受信は常に「ストップ・ビット数 = 1」として動作するので、SL6ビットの設定値の影響は受けません。
7. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。

図12 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット値 : 00H R

| | | | | | | | | |
|-------|---|---|---|---|---|-----|-----|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ASIS6 | 0 | 0 | 0 | 0 | 0 | PE6 | FE6 | OVE6 |

| | |
|-----|--|
| PE6 | パリティ・エラーを示すステータス・フラグ |
| 0 | POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード |
| 1 | 受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき |

| | |
|-----|--|
| FE6 | フレーミング・エラーを示すステータス・フラグ |
| 0 | POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード |
| 1 | 受信完了時, ストップ・ビットが検出されないとき |

| | |
|------|--|
| OVE6 | オーバラン・エラーを示すステータス・フラグ |
| 0 | POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード |
| 1 | RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき |

- 注意1. PE6ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず, データは破棄されます。
 4. ASIS6からデータを読み出すと, ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力、ASIM6のビット7 (POWER6) = 0、ビット6 (TXE6) = 0により、00Hになります。

図12 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット値 : 00H R

| | | | | | | | | |
|-------|---|---|---|---|---|---|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ASIF6 | 0 | 0 | 0 | 0 | 0 | 0 | TXBF6 | TXSF6 |

| TXBF6 | 送信バッファ・データ・フラグ |
|-------|---|
| 0 | POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき |
| 1 | 送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき) |

| TXSF6 | 送信シフト・レジスタ・データ・フラグ |
|-------|---|
| 0 | POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき |
| 1 | 送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき) |

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図12 - 8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット値 : 00H R/W

| | | | | | | | | |
|-------|---|---|---|---|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKSR6 | 0 | 0 | 0 | 0 | TPS63 | TPS62 | TPS61 | TPS60 |

| TPS63 | TPS62 | TPS61 | TPS60 | 基本クロック (f _{CLK6}) 選択 ^{注1} |
|-------|-------|-------|-------|--|
| 0 | 0 | 0 | 0 | f _x (10 MHz) |
| 0 | 0 | 0 | 1 | f _x /2 (5 MHz) |
| 0 | 0 | 1 | 0 | f _x /2 ² (2.5 MHz) |
| 0 | 0 | 1 | 1 | f _x /2 ³ (1.25 MHz) |
| 0 | 1 | 0 | 0 | f _x /2 ⁴ (625 kHz) |
| 0 | 1 | 0 | 1 | f _x /2 ⁵ (312.5 kHz) |
| 0 | 1 | 1 | 0 | f _x /2 ⁶ (156.25 kHz) |
| 0 | 1 | 1 | 1 | f _x /2 ⁷ (78.13 kHz) |
| 1 | 0 | 0 | 0 | f _x /2 ⁸ (39.06 kHz) |
| 1 | 0 | 0 | 1 | f _x /2 ⁹ (19.53 kHz) |
| 1 | 0 | 1 | 0 | f _x /2 ¹⁰ (9.77 kHz) |
| 1 | 0 | 1 | 1 | TM50の出力 ^{注2} |
| その他 | | | | 設定禁止 |

- ★ 注1. 基本クロックは次の条件を満たすように設定してください。
 - ・V_{DD} = 4.0 ~ 5.5 V : 基本クロック 10 MHz
 - ・V_{DD} = 3.3 ~ 4.0 V : 基本クロック 8.38 MHz
 - ・V_{DD} = 2.7 ~ 3.3 V : 基本クロック 5 MHz
 - ・V_{DD} = 2.5 ~ 2.7 V : 基本クロック 2.5 MHz
- ★ 2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・PWMモード (TMC506 = 1)
 - デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
 - タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

注意1. CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。基本クロックがRing-OSCクロックの場合、シリアル・インタフェースUART6の動作は保証されません。

2. TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. ()内は $f_x = 10$ MHz動作時

2. f_x : X1入力クロック発振周波数

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1 / ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでBRGC6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図12 - 9 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス : FF57H リセット値 : FFH R/W

| | | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BRGC6 | MDL67 | MDL66 | MDL65 | MDL64 | MDL63 | MDL62 | MDL61 | MDL60 |

| MDL67 | MDL66 | MDL65 | MDL64 | MDL63 | MDL62 | MDL61 | MDL60 | k | 8ビット・カウンタの出力 クロック選択 |
|-------|-------|-------|-------|-------|-------|-------|-------|-----|------------------------|
| 0 | 0 | 0 | 0 | 0 | × | × | × | × | 設定禁止 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 8 | $f_{\text{CLK6}}/8$ |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 9 | $f_{\text{CLK6}}/9$ |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 10 | $f_{\text{CLK6}}/10$ |
| . | . | . | . | . | . | . | . | . | . |
| . | . | . | . | . | . | . | . | . | . |
| . | . | . | . | . | . | . | . | . | . |
| . | . | . | . | . | . | . | . | . | . |
| . | . | . | . | . | . | . | . | . | . |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 252 | $f_{\text{CLK6}}/252$ |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 253 | $f_{\text{CLK6}}/253$ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 254 | $f_{\text{CLK6}}/254$ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 255 | $f_{\text{CLK6}}/255$ |

注意1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 8, 9, 10, ..., 255)

3. × : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。
 ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、16Hになります。

注意 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1 / ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでASICL6へのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、通信終了時 (割り込み信号発生) にASICL6のビット6 (SBRT6) がクリア (0) されるため、リフレッシュ動作により、通信が起動するので注意してください。

図12 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット

アドレス : FF58H リセット値 : 16H R/W^注

| | | | | | | | | |
|--------|-------|-------|---|---|---|---|------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ASICL6 | SBRF6 | SBRT6 | 0 | 1 | 0 | 1 | DIR6 | TXDLV6 |

| | |
|-------|--|
| SBRF6 | SBF受信状態フラグ |
| 0 | POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき |
| 1 | SBF受信中 |

| | |
|-------|----------|
| SBRT6 | SBF受信トリガ |
| 0 | - |
| 1 | SBF受信トリガ |

| | |
|------|----------|
| DIR6 | 先頭ビットの指定 |
| 0 | MSB |
| 1 | LSB |

| | |
|--------|-----------------|
| TXDLV6 | TxD6出力反転許可 / 禁止 |
| 0 | TxD6通常出力 |
| 1 | TxD6反転出力 |

注 ビット2-5, 7はRead Onlyです。

- 注意1** . SBF受信エラー時には、再びSBF受信モードに戻してください。SBRF6フラグの状態は保持(1)されます。
- 2 . SBRT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1としてからセット(1)にしてください。
 - 3 . SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア(0)されます。
 - 4 . DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)にしてから行ってください。

(7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。ISC の設定により、入力信号を切り替えることができます。

ISC は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00H になります。

図12 - 11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|---|---|------|------|
| ISC | 0 | 0 | 0 | 0 | 0 | 0 | ISC1 | ISC0 |

| ISC1 | TI000入力ソースの選択 |
|------|---------------|
| 0 | TI000 (P00) |
| 1 | RxD6 (P14) |

| ISC0 | INTP0入力ソースの選択 |
|------|----------------|
| 0 | INTP0 (P120) |
| 1 | RxD6 (P14) |

(8) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P13/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM13に0を、P13の出力ラッチに1を設定してください。

P14/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM14に1を設定してください。このときP14の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図12 - 12 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

| | | | | | | | | |
|-----|------|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |

| | |
|------|---------------------------|
| PM1n | P1n端子の入出力モードの選択 (n = 0-7) |
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

12.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

12.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

アドレス：FF50H リセット値：01H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|--------|------|------|------|------|-----|-----|-------|
| ASIM6 | POWER6 | TXE6 | RXE6 | PS61 | PS60 | CL6 | SL6 | ISRM6 |

| | |
|-----------------|--|
| POWER6 | 内部動作クロックの動作許可 / 禁止 |
| 0 ^{注1} | 内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。 |

| | |
|------|------------------------|
| TXE6 | 送信動作許可 / 禁止 |
| 0 | 送信動作禁止 (送信回路を同期リセットする) |

| | |
|------|------------------------|
| RXE6 | 受信動作許可 / 禁止 |
| 0 | 受信動作禁止 (受信回路を同期リセットする) |

注1 . POWER6 = 0で、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力もハイ・レベルに固定されます。

2 . リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止モードにするときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。
起動時はPOWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P14, TxD6/P13端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

12.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6レジスタを設定 (図12 - 8を参照)

BRGC6レジスタを設定 (図12 - 9を参照)

ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図12 - 5を参照)

ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図12 - 10を参照)

ASIM6レジスタのビット7 (POWER6) をセット (1)

ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能

ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能

送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表12 - 2 レジスタの設定と端子の関係

| POWER6 | TXE6 | RXE6 | PM13 | P13 | PM14 | P14 | UART6 の動作 | 端子機能 | |
|--------|------|------|----------------|----------------|----------------|----------------|--------------|----------|----------|
| | | | | | | | | TxD6/P13 | RxD6/P14 |
| 0 | 0 | 0 | x ^注 | x ^注 | x ^注 | x ^注 | 停止 | P13 | P14 |
| 1 | 0 | 1 | x ^注 | x ^注 | 1 | x | 受信 | P13 | RxD6 |
| | 1 | 0 | 0 | 1 | x ^注 | x ^注 | 送信 | TxD6 | P14 |
| | 1 | 1 | 0 | 1 | 1 | x | 送受信 | TxD6 | RxD6 |

注 ポート機能として設定することができます。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

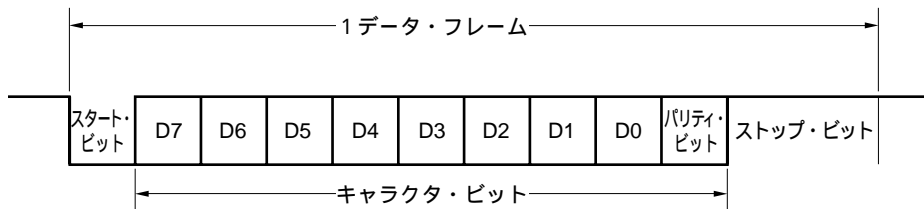
通常送受信データのフォーマットと波形例を図12 - 13, 12 - 14に示します。

図12 - 13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト/MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

また, TxD6端子の通常出力/反転出力をASICL6のビット0 (TXDLV6) で設定します。

図12 - 14 通常UART送受信データの波形例 (1/2)

1. データ長: 8ビット, LSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



3. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H, TxD6端子反転出力

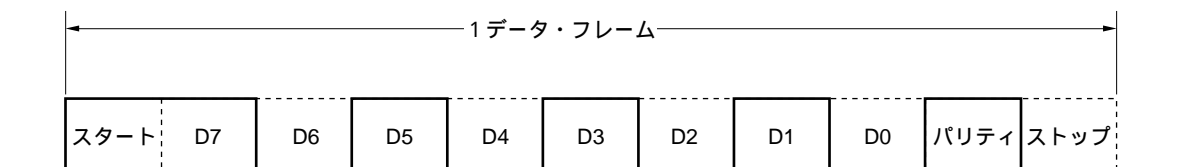
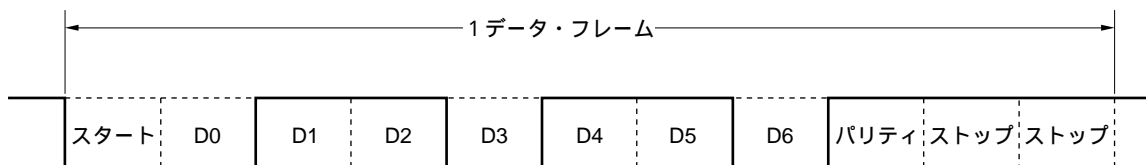
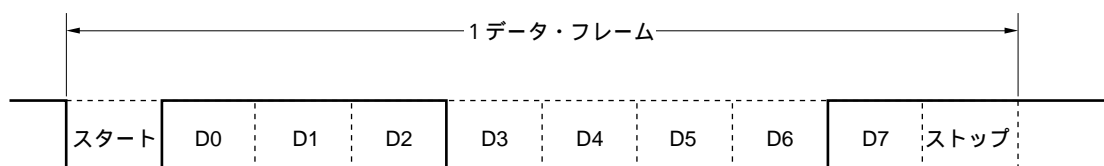


図12 - 14 通常UART送受信データの波形例 (2/2)

4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出することはできません。

注意 LINに搭載する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個 : 1

送信データ中に、値が“1”のビット数が偶数個 : 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

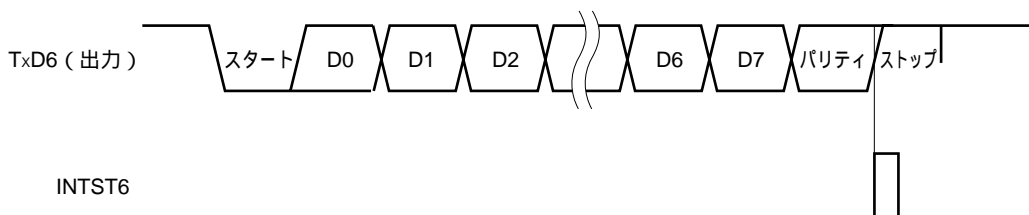
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、TXS6から順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

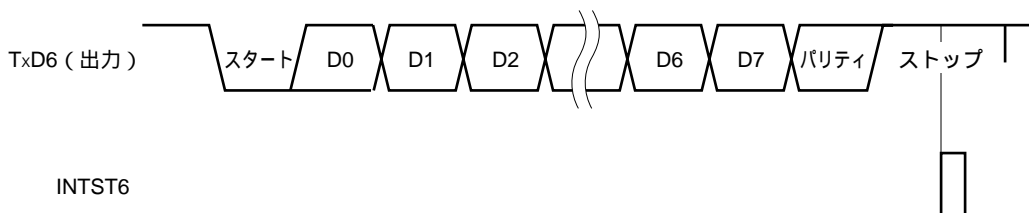
送信完了割り込み要求 (INTST6) のタイミングを図12 - 15に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図12 - 15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

注意1 . 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出して下さい。

2. LINに搭載する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。

| TXBF6 | TXB6レジスタへの書き込み可否 |
|-------|------------------|
| 0 | 書き込み可 |
| 1 | 書き込み不可 |

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

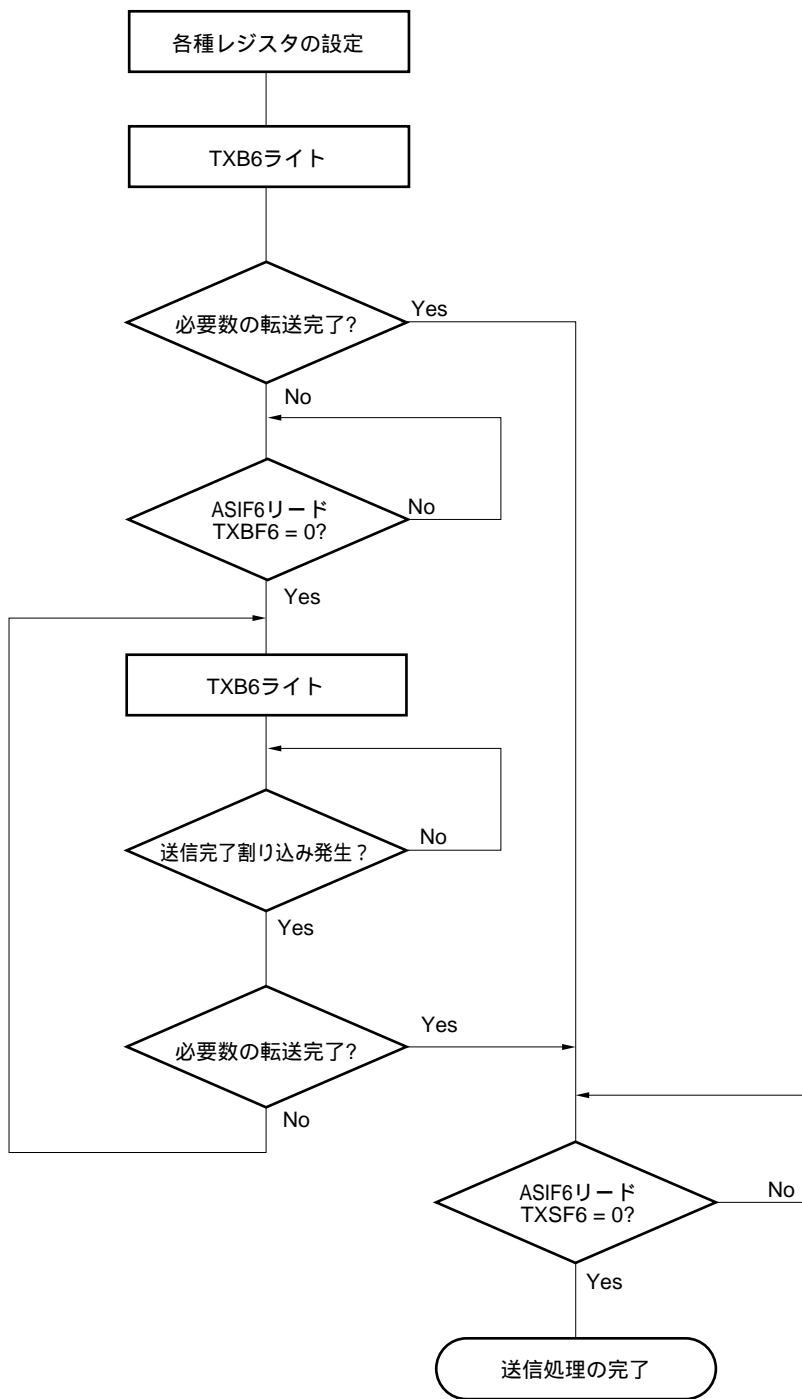
TXSF6フラグで、通信状態を確認することができます。

| TXSF6 | 送信状態 |
|-------|-------------|
| 0 | 送信が終了しています。 |
| 1 | 送信中です。 |

- 注意1** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図12 - 16に示します。

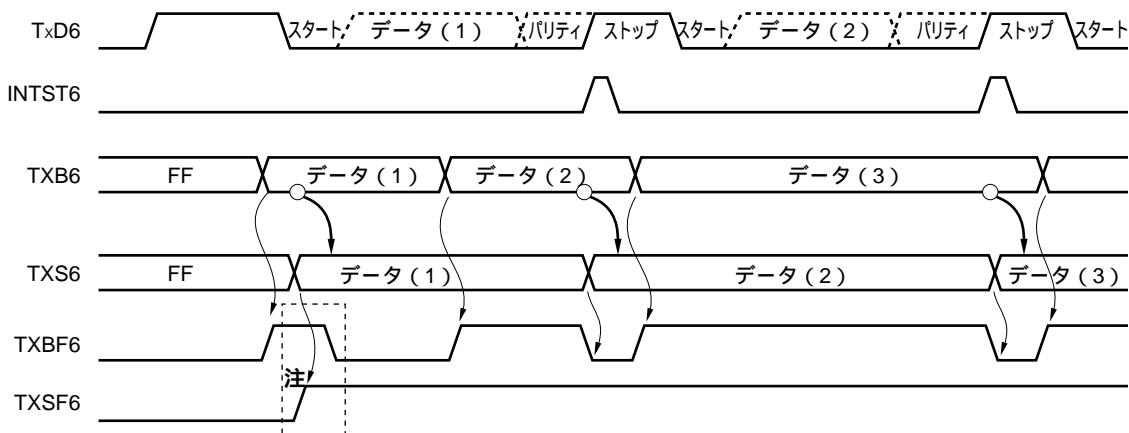
図12 - 16 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図12 - 17に、連続送信を終了する際のタイミングを図12 - 18に示します。

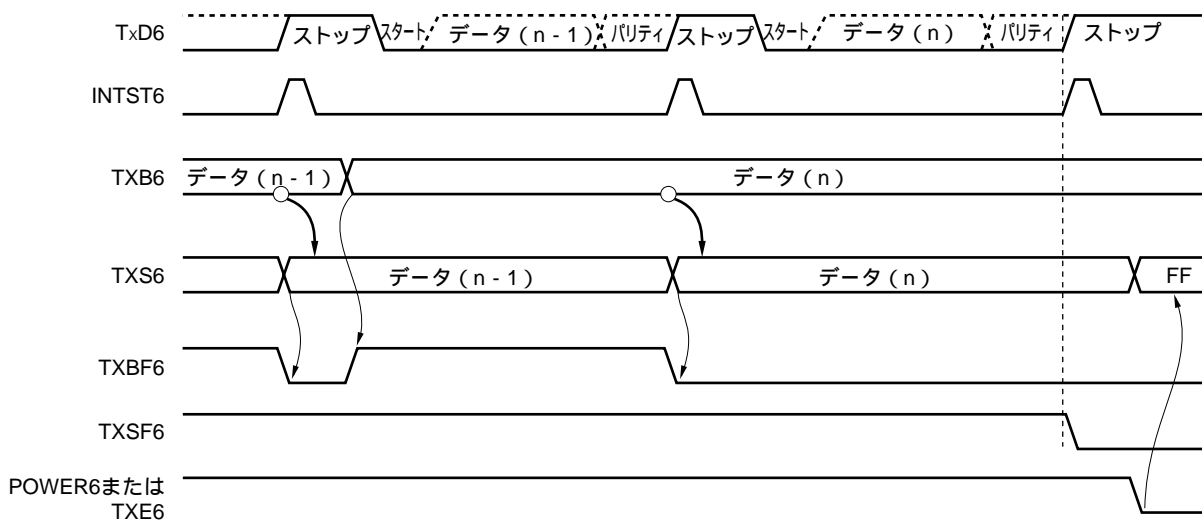
図12 - 17 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考
- TXD6 : TXD6端子 (出力)
 - INTST6 : 割り込み要求信号
 - TXB6 : 送信バッファ・レジスタ6
 - TXS6 : 送信シフト・レジスタ6
 - ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 - TXBF6 : ASIF6のビット1
 - TXSF6 : ASIF6のビット0

図12 - 18 連続送信を終了する際のタイミング



| | | |
|----|--------|--|
| 備考 | TxD6 | : TxD6端子 (出力) |
| | INTST6 | : 割り込み要求信号 |
| | TXB6 | : 送信バッファ・レジスタ6 |
| | TXS6 | : 送信シフト・レジスタ6 |
| | ASIF6 | : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 |
| | TXBF6 | : ASIF6のビット1 |
| | TXSF6 | : ASIF6のビット0 |
| | POWER6 | : アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM6) のビット7 |
| | TXE6 | : アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM6) のビット6 |

(e) 通常受信

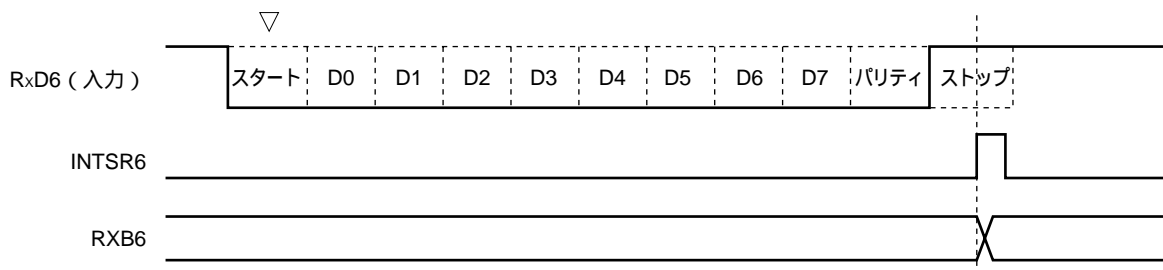
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度RxD6端子入力をサンプリング (図12 - 19の 印に相当) した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にエラー割り込み (INTSR6 / INTSRE6) を発生します。

図12 - 19 受信完了割り込み要求タイミング



- 注意1. 受信エラー発生時にも受信バッファ・レジスタ6 (RXB6) は必ず読み出してください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み要求 (INTSR6 / INTSRE6) を発生します。

受信エラー割り込み処理内 (INTSR6 / INTSRE6) で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図12 - 6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、リセット (0) されます。

表12 - 3 受信エラーの要因

| 受信エラー | 要 因 |
|------------|---|
| パリティ・エラー | 送信時のパリティ指定と受信データのパリティが一致しない |
| フレーミング・エラー | ストップ・ビットが検出されない |
| オーバラン・エラー | 受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了 |

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図12 - 20 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)



図12 - 20 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



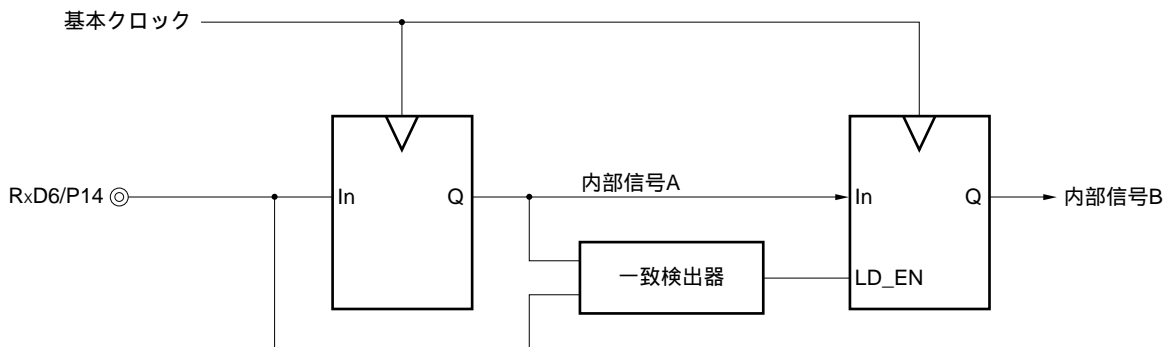
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図12 - 21のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図12 - 21 ノイズ・フィルタ回路



(h) SBF送信

LINに搭載する場合、送信ではSBF (Synchronous Break Field) 送信制御機能を使用します。LINの送信操作については図12 - 1 LINの送信操作を参照してください。

SBF送信は、通常のUART送信機能のボー・レート値を調整することにより、13ビット以上のロウ・レベル幅であるSBF長を送信します。

[設定方法]

データのキャラクタ・ビットを8ビット、パリティ・ビットを0パリティまたは偶数パリティに設定し、00Hを送信します。これにより、1データ・フレームが合計10ビット (1ビット (スタート・ビット) + 8ビット (キャラクタ・ビット) + 1ビット (パリティ・ビット)) のロウ・レベル送信ができます。

この10ビットのロウ・レベルを、目標とするSBF長に合わせるために、ボー・レート値を調整します。

例 送信するLINの条件が下記の場合

- ・ UART6の基本クロック = 5 MHz (クロック選択レジスタ6 (CKSR6) にて設定)
- ・ 目標ボー・レート値 = 19200 bps

上記のボー・レート値を実現するために、ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) に130を設定すると、13ビットのSBF長は次のようになります。

$$\cdot 13\text{ビットのSBF長} = 0.2 \mu\text{s} \times 130 \times 2 \times 13 = 676 \mu\text{s}$$

13ビットのSBF長を10ビットで実現するために、BRGC6に目標とするボー・レートの1.3倍の値を設定します。この例では、BRGC6に169を設定します。この場合の10ビットのロウ・レベル送信長は次のようになり、13ビットのSBF長と一致させることができます。

$$\cdot 10\text{ビットのロウ・レベル送信長} = 0.2 \mu\text{s} \times 169 \times 2 \times 10 = 676 \mu\text{s}$$

また、BRGC6による設定だけではビットが足りない場合は、UART6の基本クロックの設定によって、調整してください。

図12 - 22 SBF送信の設定手順例（フロー・チャート）

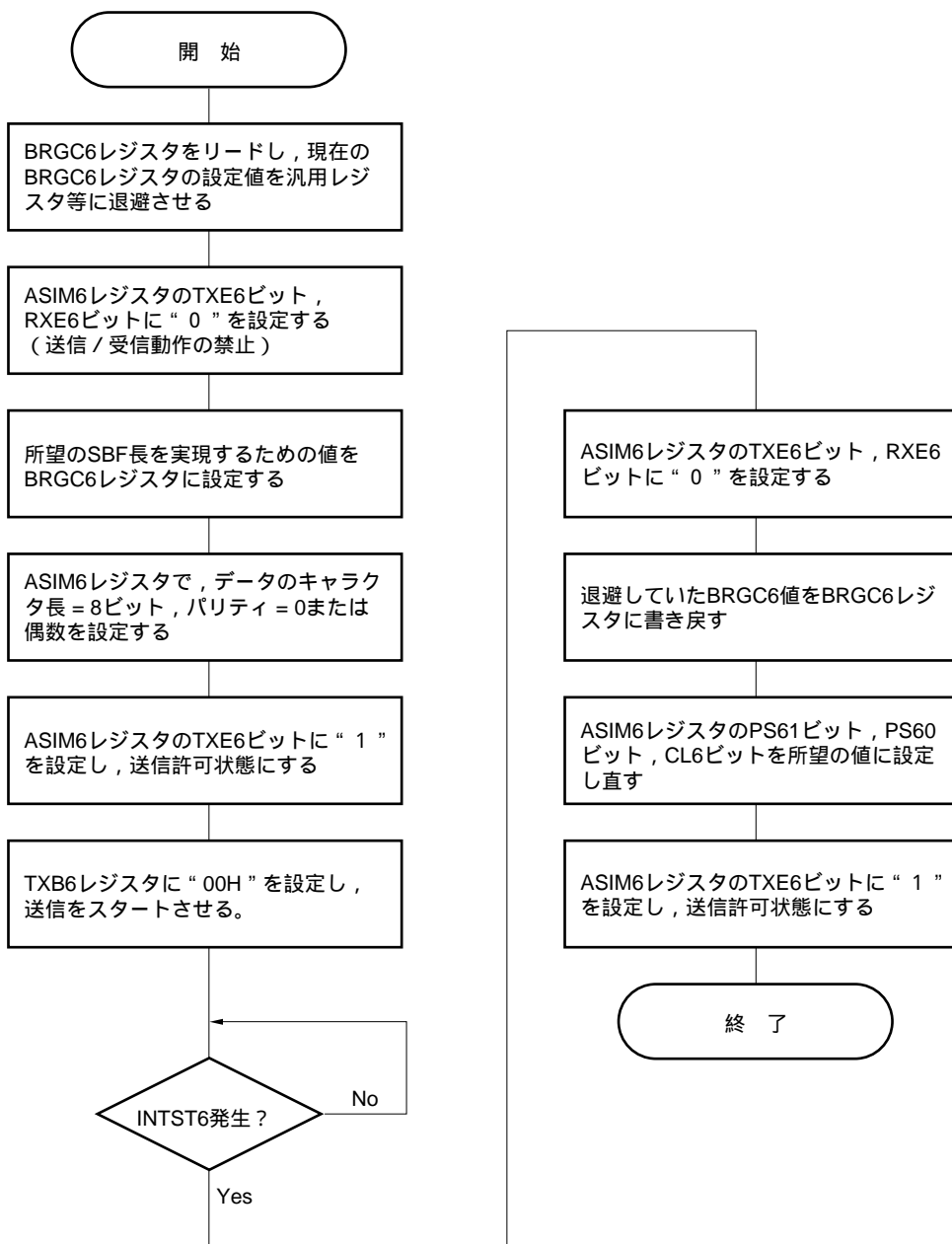
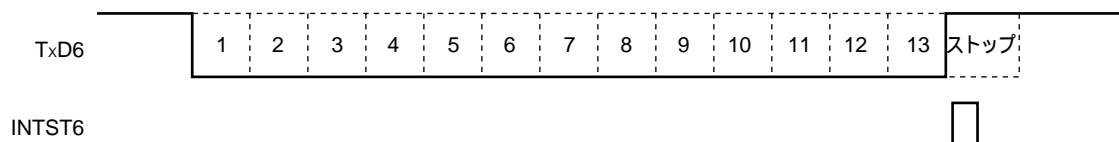


図12 - 23 SBF送信



備考 TxD6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

(i) SBF受信

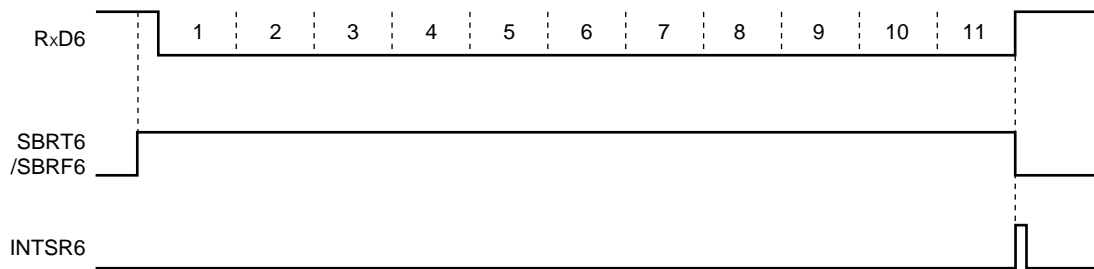
LINに搭載する場合、受信ではSBF (Synchronous Break Field) 受信制御機能を使用します。LINの受信操作については図12 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6 (SBRT6) をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

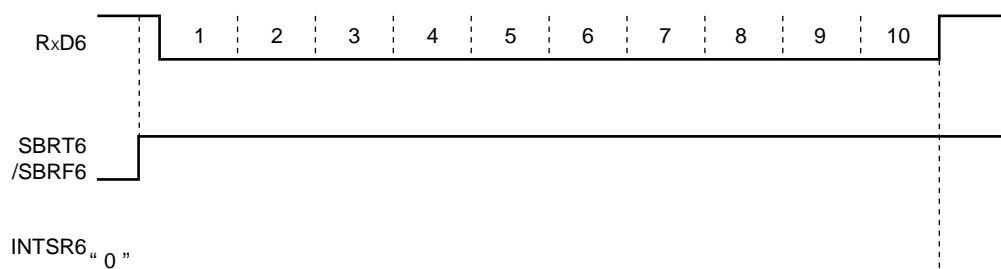
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 (RXS6) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6) を発生します。このときSBRF6, SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6, PE6, FE6 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 (RXS6) と受信バッファ・レジスタ6 (RXB6) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6, SBRT6ビットはクリアされません。

図12 - 24 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



備考 RxD6 : RxD6端子 (入力)

SBRT6 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6

SBRF6 : ASICL6のビット7

INTSR6 : 受信完了割り込み要求

12. 4. 3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0 またはビット6 (TXE6) = 0 のときはクリア (0) の状態で動作を停止します。

POWER6 = 1 かつ TXE6 = 1 でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6 または TXE6 がクリア (0) されるまでカウント動作をそのまま続けます。

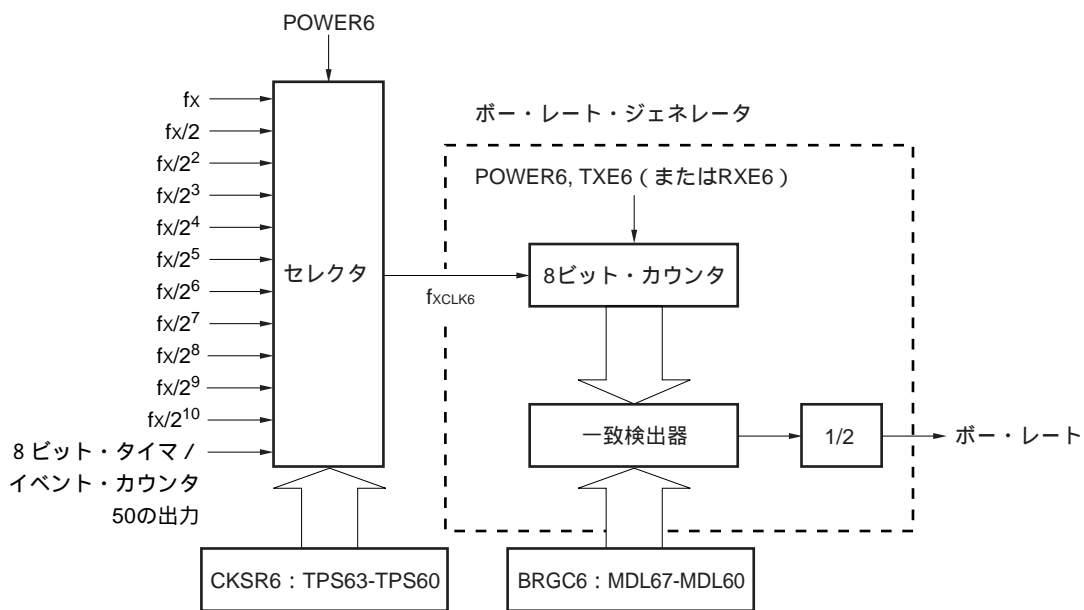
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0 またはビット5 (RXE6) = 0 のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図12-25 ボー・レート・ジェネレータの構成



備考 POWER6 : アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ボー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、シリアル・クロックを生成できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを選択します。

BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

$$\cdot \text{ボー・レート} = \frac{f_{\text{CLK6}}}{2 \times k} \text{ [bps]}$$

f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B ($k = 33$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515 / 153600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表12-4 ボー・レート・ジェネレータ設定データ

| ボー・ レート [bps] | fx = 10.0 MHz | | | | fx = 8.38 MHz | | | | fx = 4.19 MHz | | | |
|-----------------------|-----------------|-----|--------|--------------|-----------------|-----|--------|--------------|-----------------|-----|--------|--------------|
| | TPS63- TPS60 | k | 算出値 | ERR [%] | TPS63- TPS60 | k | 算出値 | ERR [%] | TPS63- TPS60 | k | 算出値 | ERR [%] |
| 600 | 6H | 130 | 601 | 0.16 | 6H | 109 | 601 | 0.11 | 5H | 109 | 601 | 0.11 |
| 1200 | 5H | 130 | 1202 | 0.16 | 5H | 109 | 1201 | 0.11 | 4H | 109 | 1201 | 0.11 |
| 2400 | 4H | 130 | 2404 | 0.16 | 4H | 109 | 2403 | 0.11 | 3H | 109 | 2403 | 0.11 |
| 4800 | 3H | 130 | 4808 | 0.16 | 3H | 109 | 4805 | 0.11 | 2H | 109 | 4805 | 0.11 |
| 9600 | 2H | 130 | 9615 | 0.16 | 2H | 109 | 9610 | 0.11 | 1H | 109 | 9610 | 0.11 |
| 10400 | 2H | 120 | 10417 | 0.16 | 2H | 101 | 10371 | 0.28 | 1H | 101 | 10475 | - 0.28 |
| 19200 | 1H | 130 | 19231 | 0.16 | 1H | 109 | 19220 | 0.11 | 0H | 109 | 19220 | 0.11 |
| 31250 | 1H | 80 | 31250 | 0.00 | 0H | 134 | 31268 | 0.06 | 0H | 67 | 31268 | 0.06 |
| 38400 | 0H | 130 | 38462 | 0.16 | 0H | 109 | 38440 | 0.11 | 0H | 55 | 38090 | - 0.80 |
| 76800 | 0H | 65 | 76923 | 0.16 | 0H | 55 | 76182 | - 0.80 | 0H | 27 | 77593 | 1.03 |
| 115200 | 0H | 43 | 116279 | 0.94 | 0H | 36 | 116389 | 1.03 | 0H | 18 | 116389 | 1.03 |
| 153600 | 0H | 33 | 151515 | - 1.36 | 0H | 27 | 155185 | 1.03 | 0H | 14 | 149643 | - 2.58 |
| 230400 | 0H | 22 | 227272 | - 1.36 | 0H | 18 | 232778 | 1.03 | 0H | 9 | 232778 | 1.03 |

備考 TPS63-TPS60 : クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (fxCLK6) 設定)

k : ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-
MDL60ビットで設定した値 (k = 8, 9, 10, ..., 255)

fx : X1入力クロック発振周波数

ERR : ボー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図12 - 26 受信時の許容ポー・レート範囲

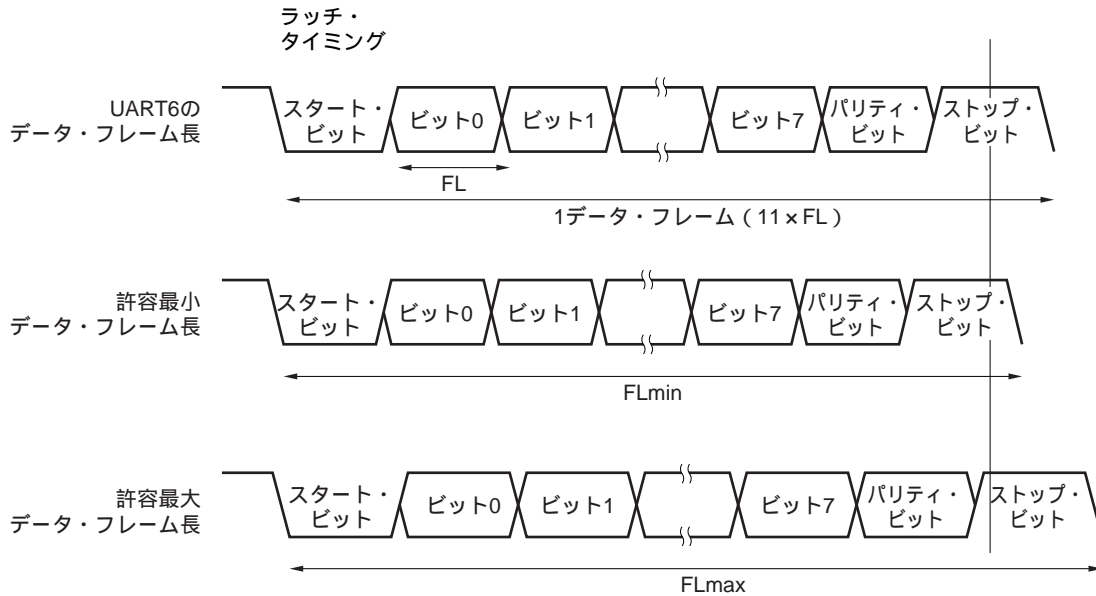


図12 - 26に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate}) \cdot^{-1}$$

- Brate : UART6のポー・レート
- k : BRGC6の設定値
- FL : 1ビット・データ長
- ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : \text{FLmin} = 11 \times \text{FL} - \frac{k-2}{2k} \times \text{FL} = \frac{21k+2}{2k} \text{FL}$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$\text{BRmax} = (\text{FLmin}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times \text{FLmax} = 11 \times \text{FL} - \frac{k+2}{2 \times k} \times \text{FL} = \frac{21k-2}{2 \times k} \text{FL}$$

$$\text{FLmax} = \frac{21k-2}{20k} \text{FL} \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$\text{BRmin} = (\text{FLmax}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小/最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表12-5 許容最大/最小ボー・レート誤差

| 分周比(k) | 許容最大ボー・レート誤差 | 許容最小ボー・レート誤差 |
|--------|--------------|--------------|
| 8 | +3.53 % | -3.61 % |
| 20 | +4.26 % | -4.31 % |
| 50 | +4.56 % | -4.58 % |
| 100 | +4.66 % | -4.67 % |
| 255 | +4.72 % | -4.73 % |

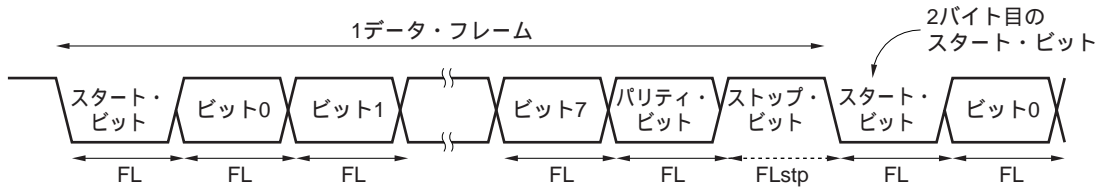
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比(k)に依存します。入力クロック周波数が高く、分周比(k)が大きくなるほど許容誤差は大きくなります。

2. k: BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図12 - 27 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{CLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{CLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{CLK6}$$

第13章 シリアル・インタフェースCSI10

13.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については13.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK10}$) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については13.4.2 **3線式シリアルI/Oモード**を参照してください。

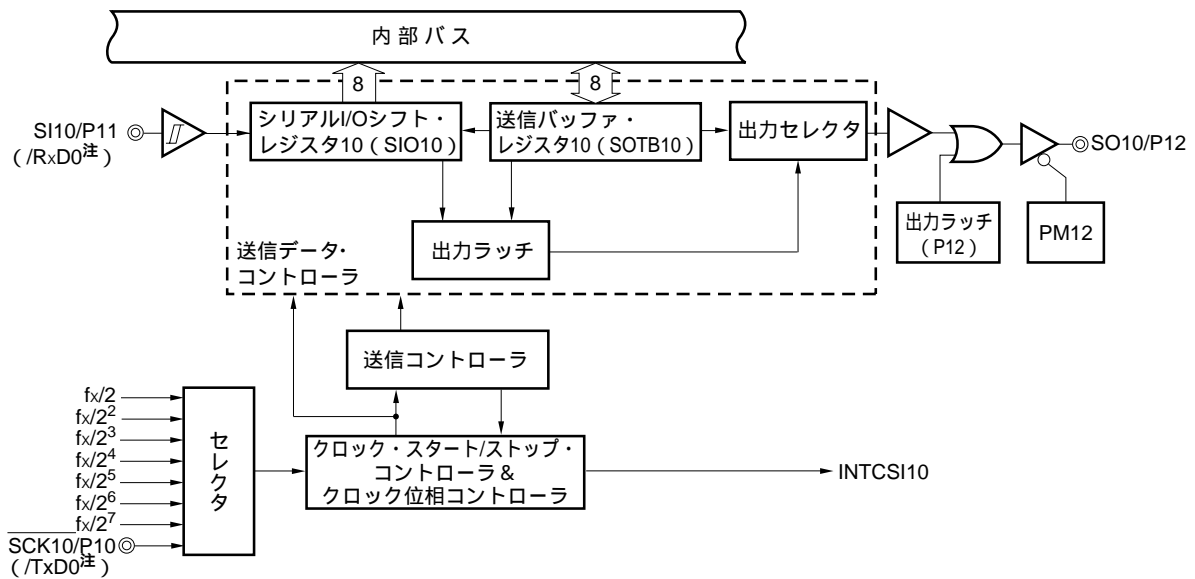
13.2 シリアル・インタフェースCSI10の構成

シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェースCSI10の構成

| 項 目 | 構 成 |
|--------|--|
| レジスタ | 送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10) |
| 制御レジスタ | シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1) |

図13-1 シリアル・インタフェースCSI10のブロック図



注 μ PD780102, 780103, 78F0103のみ。

(1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10) のビット7 (CSIE10) とビット6 (TRMD10) が1のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアルI/Oシフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

(2) シリアルI/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

13.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード，動作の許可 / 不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図13 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス：FF80H リセット時：00H R/W^{注1}

| | | | | | | | | |
|--------|--------|--------|---|-------|---|---|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CSIM10 | CSIE10 | TRMD10 | 0 | DIR10 | 0 | 0 | 0 | CSOT10 |

| | |
|--------|--|
| CSIE10 | 3線式シリアルI/Oモード時の動作の制御 |
| 0 | 動作禁止 ^{注2} ，内部回路を非同期リセットする ^{注3} |
| 1 | 動作許可 |

| | |
|----------------------|--------------|
| TRMD10 ^{注4} | 送受信モードの制御 |
| 0 ^{注5} | 受信モード (送信禁止) |
| 1 | 送受信モード |

| | |
|---------------------|----------|
| DIR10 ^{注6} | 先頭ビットの指定 |
| 0 | MSB |
| 1 | LSB |

| | |
|--------|---------|
| CSOT10 | 通信状態フラグ |
| 0 | 通信停止 |
| 1 | 通信中 |

注1．ビット0はRead Onlyです。

2．P10/SCK10 (/TxD0^{注7})，P11/SI10 (/RxD0^{注7})，P12/SO10を汎用ポートとして使用する場合は，第4章 ポート機能，図13 - 3の注意3を参照してください。

3．リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

4．CSOT10 = 1 (シリアル通信中) のとき，TRMD10を書き換えしないでください。

5．TRMD10が0のとき，SO10出力はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。

6．CSOT10 = 1 (シリアル通信中) のとき，DIR10を書き換えしないでください。

7．μ PD780102, 780103, 78F0103のみ。

注意 ビット5には必ず0を設定してください。

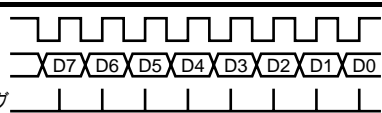
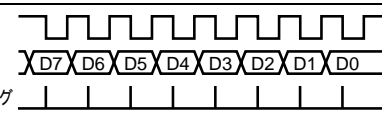
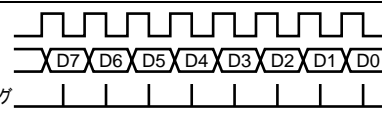
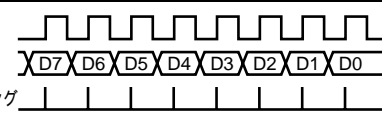
(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。
 CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図13-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス：FF81H リセット時：00H R/W

| | | | | | | | | |
|--------|---|---|---|-------|-------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CSIC10 | 0 | 0 | 0 | CKP10 | DAP10 | CKS102 | CKS101 | CKS100 |

| CKP10 | DAP10 | データ送受信タイミングの指定 | タイプ |
|-------|-------|--|-----|
| 0 | 0 | $\overline{\text{SCK10}}$  $\overline{\text{SO10}}$ $\overline{\text{SI10}}$ | 1 |
| 0 | 1 | $\overline{\text{SCK10}}$  $\overline{\text{SO10}}$ $\overline{\text{SI10}}$ | 2 |
| 1 | 0 | $\overline{\text{SCK10}}$  $\overline{\text{SO10}}$ $\overline{\text{SI10}}$ | 3 |
| 1 | 1 | $\overline{\text{SCK10}}$  $\overline{\text{SO10}}$ $\overline{\text{SI10}}$ | 4 |

| CKS102 | CKS101 | CKS100 | CSI10のシリアル・クロックの選択 ^注 | モード |
|--------|--------|--------|-------------------------------------|----------|
| 0 | 0 | 0 | $f_x/2$ (5 MHz) | マスタ・モード |
| 0 | 0 | 1 | $f_x/2^2$ (2.5 MHz) | マスタ・モード |
| 0 | 1 | 0 | $f_x/2^3$ (1.25 MHz) | マスタ・モード |
| 0 | 1 | 1 | $f_x/2^4$ (625 kHz) | マスタ・モード |
| 1 | 0 | 0 | $f_x/2^5$ (312.5 kHz) | マスタ・モード |
| 1 | 0 | 1 | $f_x/2^6$ (156.25 kHz) | マスタ・モード |
| 1 | 1 | 0 | $f_x/2^7$ (78.13 kHz) | マスタ・モード |
| 1 | 1 | 1 | $\overline{\text{SCK10}}$ の外部クロック入力 | スレーブ・モード |

★ 注 シリアル・クロックは次の条件を満たすように設定してください。

- ・ $V_{DD} = 4.0 \sim 5.5 \text{ V}$: シリアル・クロック 5 MHz
- ・ $V_{DD} = 3.3 \sim 4.0 \text{ V}$: シリアル・クロック 4.19 MHz
- ・ $V_{DD} = 2.7 \sim 3.3 \text{ V}$: シリアル・クロック 2.5 MHz
- ・ $V_{DD} = 2.5 \sim 2.7 \text{ V}$: シリアル・クロック 1.25 MHz

注意1. CPUへの供給クロックにRing-OSCクロックを選択している場合、シリアル・クロックにRing-OSC発振回路の分周クロックが供給されます。このとき、シリアル・インタフェースCSI10の動作は保証されません。

2. CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。
3. P10/ $\overline{\text{SCK10}}$ (/TXD0^注)、P11/SI10 (/RXD0^注)、P12/SO10を汎用ポートとして使用する場合、CKP10に0を設定してください。
4. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

注 μ PD780102, 780103, 78F0103のみ。

備考1. () 内はfx = 10 MHz動作時

2. fx: X1入力クロック発振周波数

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

★ P10/ $\overline{\text{SCK10}}$ (/TXD0^注)をシリアル・インタフェースのクロック出力として使用するとき、PM10に0、P10の出力ラッチに1を設定してください。

P12/SO10をシリアル・インタフェースのデータ出力として使用するとき、PM12およびP12の出力ラッチに0を設定してください。

P10/ $\overline{\text{SCK10}}$ (/TXD0^注)をシリアル・インタフェースのクロック入力、P11/SI10 (/RXD0^注)をシリアル・インタフェースのデータ入力として使用するとき、PM10、PM11に1を設定してください。このとき、P10、P11の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注 μ PD780102, 780103, 78F0103のみ。

図13-4 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

| | | | | | | | | |
|-----|------|------|------|------|-------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM013 | PM12 | PM11 | PM10 |

| | |
|------|---------------------------|
| PM1n | P1n端子の入出力モードの選択 (n = 0-7) |
| 0 | 出力モード (出力バッファ・オン) |
| 1 | 入力モード (出力バッファ・オフ) |

13.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります

- ・動作停止モード
- ・3線式シリアルI/Oモード

13.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P10/ $\overline{\text{SCK10}}$ (/TXD0^注)、P11/SI10 (/RXD0^注)、P12/SO10を通常の入出力ポートとして使用できます。

注 μ PD780102, 780103, 78F0103のみ。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10) に0を設定してください。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF80H リセット時：00H R/W

| | | | | | | | | |
|--------|---|--------|---|-------|---|---|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CSIM10 | CSIE10 | TRMD10 | 0 | DIR10 | 0 | 0 | 0 | CSOT10 |

| | |
|--------|--|
| CSIE10 | 3線式シリアルI/Oモード時の動作の制御 |
| 0 | 動作禁止 ^{注1} 、内部回路を非同期リセットする ^{注2} |

注1 . P10/ $\overline{\text{SCK10}}$ (/TXD0^{注3})、P11/SI10 (/RXD0^{注3})、P12/SO10を汎用ポートとして使用する場合は、第4章 ポート機能、図13 - 3の注意3、表13 - 2を参照してください。

2 . リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oソフト・レジスタ10 (SIO10) です。

3 . μ PD780102, 780103, 78F0103のみ。

13.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK10}}$) , シリアル出力 (SO10) , シリアル入力 (SI10) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIC10レジスタを設定 (図13 - 3を参照)

CSIM10レジスタのビット0, 4, 6 (CSOT10, DIR10, TRMD10) を設定 (図13 - 2を参照)

CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能

送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始

シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表13 - 2 レジスタの設定と端子の関係

| CSIE10 | TRMD10 | PM11 | P11 | PM12 | P12 | PM10 | P10 | CSI10 の動作 | 端子機能 | | |
|--------|--------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|---------------------------|------------------------------------|----------|---|
| | | | | | | | | | P11/SI10 (/RxD0 ^{注4}) | P12/SO10 | P10/SCK10 (/TxD0 ^{注4}) |
| 0 | x | x ^{注1} | x ^{注1} | x ^{注1} | x ^{注1} | x ^{注1} | x ^{注1} | 停止 | P11 (/RxD0 ^{注4}) | P12 | P10 (/TxD0 ^{注4}) ^{注2} |
| 1 | 0 | 1 | x | x ^{注1} | x ^{注1} | 1 | x | スレーブ 受信 ^{注3} | SI10 | P12 | SCK10 (入力) ^{注3} |
| 1 | 1 | x ^{注1} | x ^{注1} | 0 | 0 | 1 | x | スレーブ 送信 ^{注3} | P11 (/RxD0 ^{注4}) | SO10 | SCK10 (入力) ^{注3} |
| 1 | 1 | 1 | x | 0 | 0 | 1 | x | スレーブ 送受信 ^{注3} | SI10 | SO10 | SCK10 (入力) ^{注3} |
| 1 | 0 | 1 | x | x ^{注1} | x ^{注1} | 0 | 1 | マスタ 受信 | SI10 | P12 | SCK10 (出力) |
| 1 | 1 | x ^{注1} | x ^{注1} | 0 | 0 | 0 | 1 | マスタ 送信 | P11 (/RxD0 ^{注4}) | SO10 | SCK10 (出力) |
| 1 | 1 | 1 | x | 0 | 0 | 0 | 1 | マスタ 送受信 | SI10 | SO10 | SCK10 (出力) |

注1．ポート機能として設定することができます。

2．P10/SCK10 (/TxD0^{注4}) をポート機能として使用する場合，CKP10を0に設定してください。

3．スレーブとして使用する場合，CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

4．μPD780102, 780103, 78F0103のみ。

- 備考
- x : don't care
 - CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
 - TRMD10 : CSIM10のビット6
 - CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
 - CKS102, CKS101, CKS100 : CSIC10のビット2-0
 - PM1 x : ポート・モード・レジスタ
 - P1 x : ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図13 - 5 3線式シリアルI/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

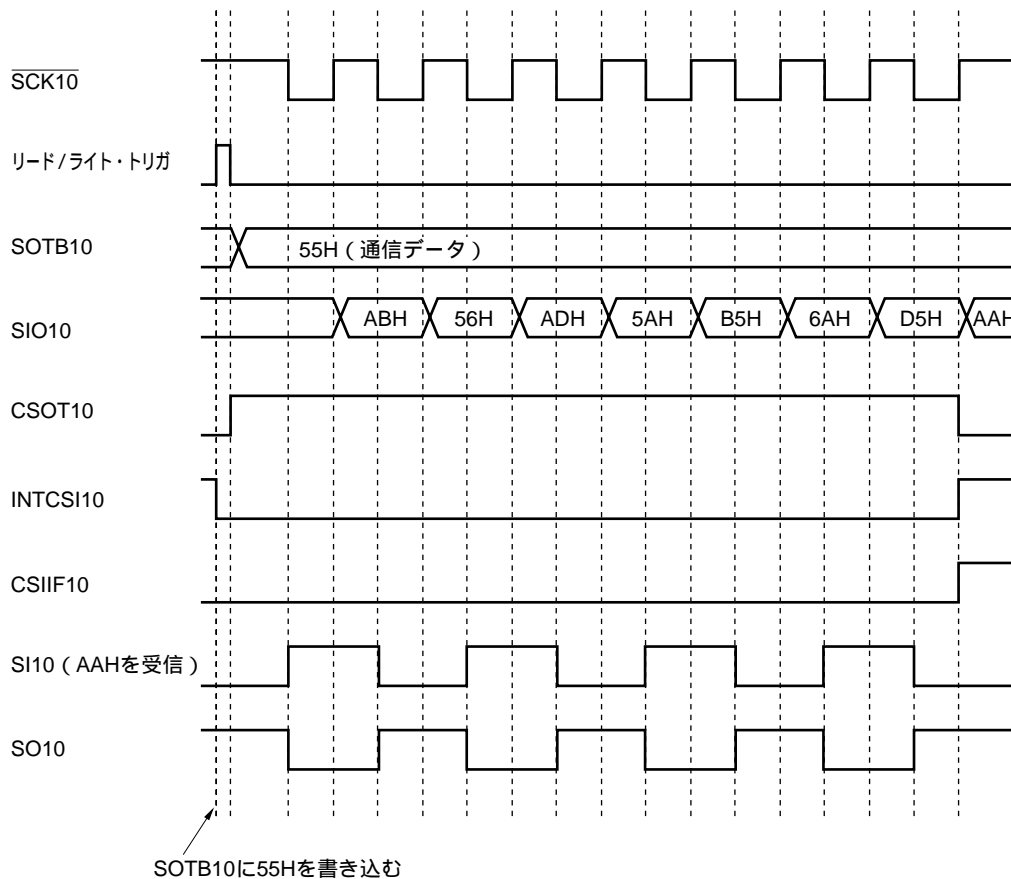


図13 - 5 3線式シリアルI/Oモードのタイミング (2/2)

(2) 送受信タイミング (タイプ2 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

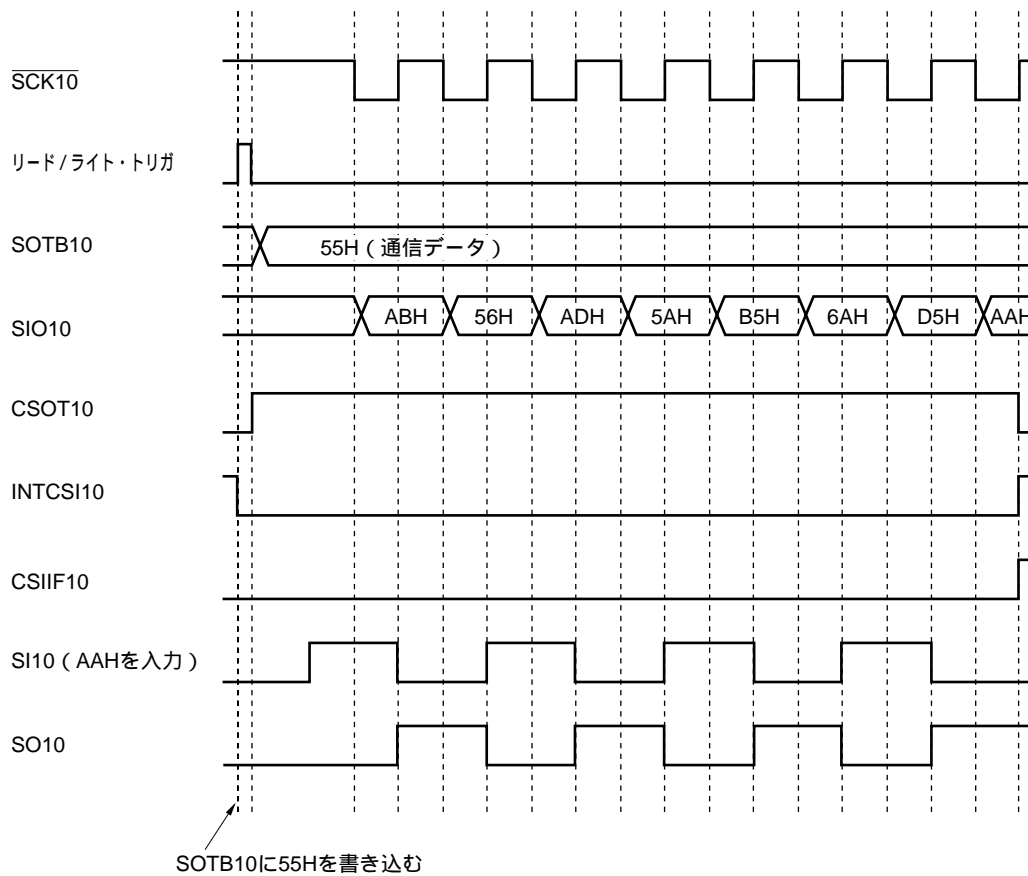
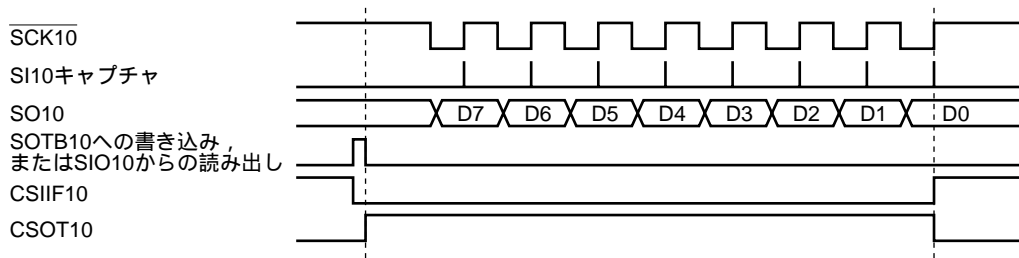
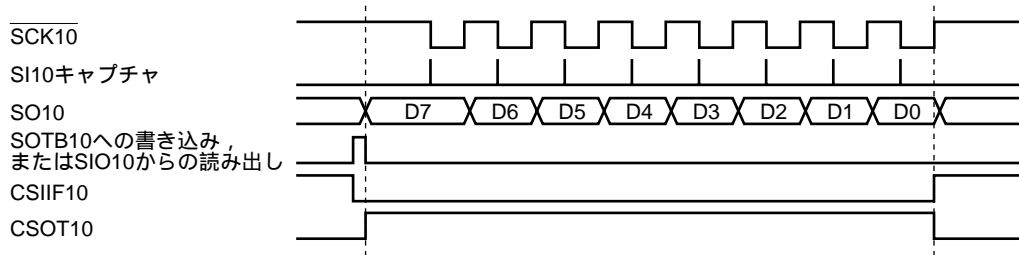


図13 - 6 クロック/データ位相のタイミング

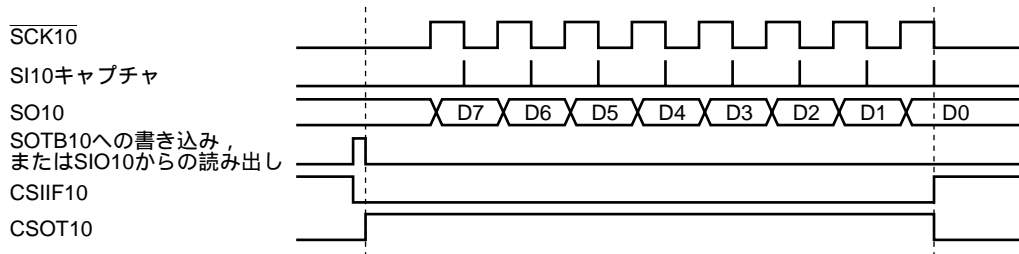
(a) タイプ1 ; CKP10 = 0, DAP10 = 0



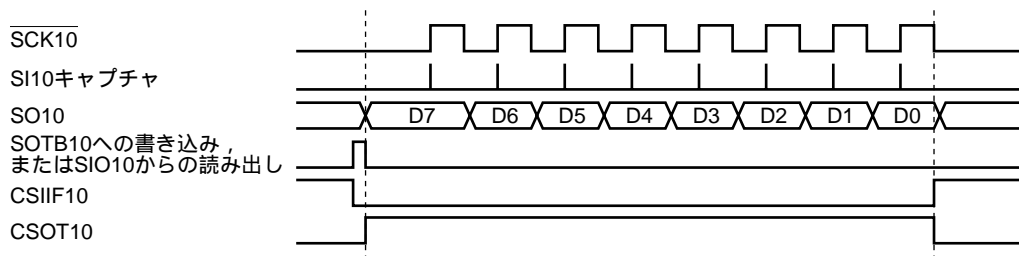
(b) タイプ2 ; CKP10 = 0, DAP10 = 1



(c) タイプ3 ; CKP10 = 1, DAP10 = 0



(d) タイプ4 ; CKP10 = 1, DAP10 = 1

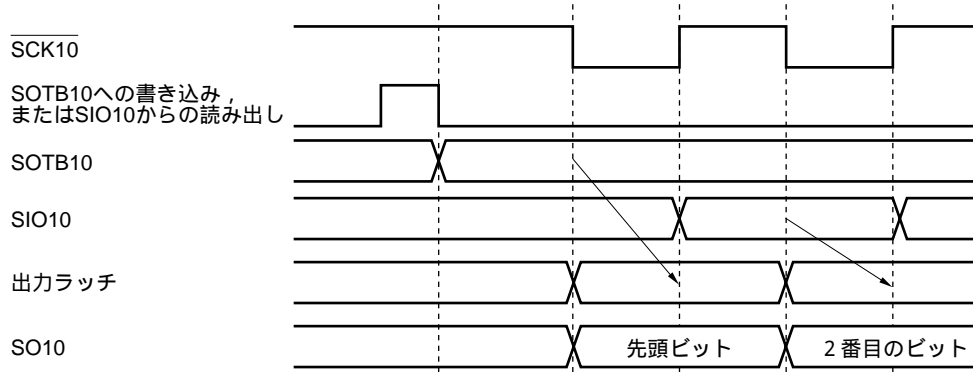


(3) SO10端子への出力タイミング (先頭ビット)

通信開始時、送信バッファ・レジスタ10 (SOTB10) の値は、SO10端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図13 - 7 先頭ビットの出力動作

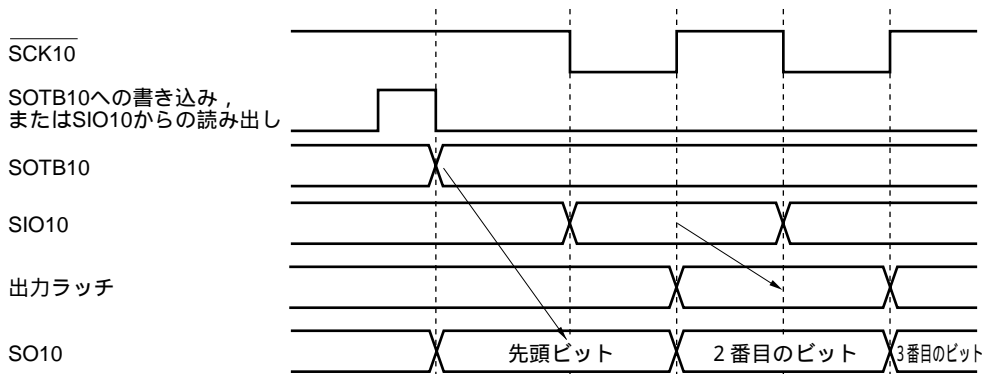
(1) CKP10 = 0, DAP10 = 0 (またはCKP10 = 1, DAP10 = 0)



先頭ビットは、 $\overline{SCK10}$ の立ち下がり(または立ち上がり)エッジでSOTB10レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{SCK10}$ の立ち上がり(または立ち下がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次の $\overline{SCK10}$ の立ち下がり(または立ち上がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(2) CKP10 = 0, DAP10 = 1 (またはCKP10 = 1, DAP10 = 1)



先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セレクタを通してSO10端子から出力されます。次の $\overline{SCK10}$ の立ち下がり(または立ち上がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

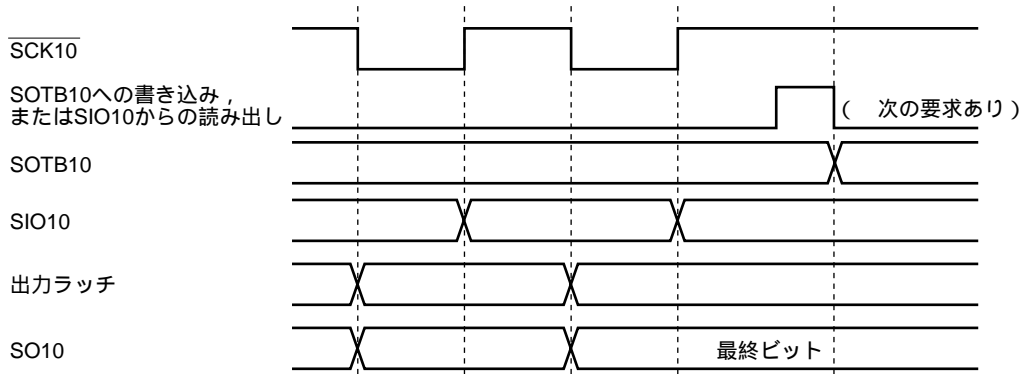
2番目のビット以降は、次の $\overline{SCK10}$ の立ち上がり(または立ち下がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(4) SO10端子の出力値 (最終ビット)

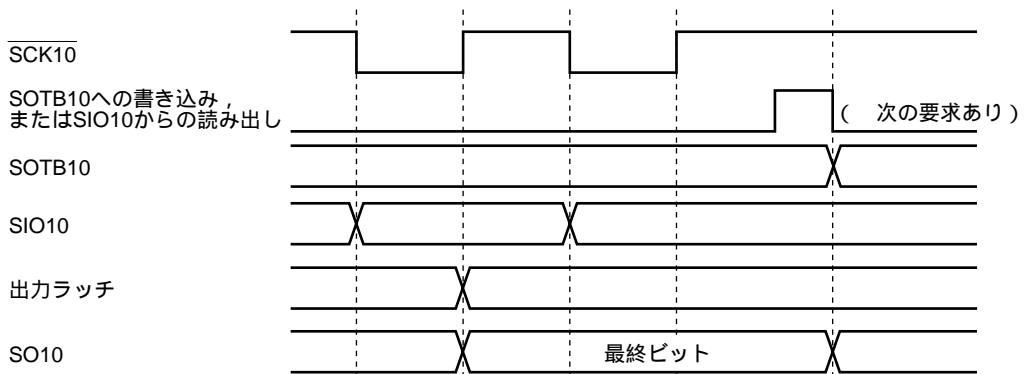
通信終了後, SO10端子の出力は, 最終ビットの出力値を保持します。

図13 - 8 SO10端子の出力値 (最終ビット)

(1) タイプ1 ; CKP10 = 0, DAP10 = 0 (またはCKP10 = 1, DAP10 = 0)



(2) タイプ2 ; CKP10 = 0, DAP10 = 1 (またはCKP10 = 1, DAP10 = 1)



(5) SO10出力について

シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) を0に設定すると, SO10出力は次のようになります。

表13 - 3 SO10出力の状態

| TRMD10 | DAP10 | DIR10 | SO10出力 |
|-------------------------|-----------|-----------|-------------------------|
| TRMD10 = 0 ^注 | - | - | ロウ・レベル出力 ^注 |
| TRMD10 = 1 | DAP10 = 0 | - | SO10ラッチの値 (ロウ・レベル出力) |
| | DAP10 = 1 | DIR10 = 0 | SOTB10のビット7の値 |
| | | DIR10 = 1 | SOTB10のビット0の値 |

注 リセット時の状態です。

注意 TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表14 - 1 参照)。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求が6要因、内部割り込み要求が12要因あります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

14.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計19要因あります。また、それ以外にリセット要因が最大で合計5要因あります(表14 - 1参照)。

表14 - 1 割り込み要因一覧

| 割り込みの種類 | デフォルト・プライオリティ ^{注1} | 割り込み要因 | | 内部 / 外部 | ベクタ・テーブル・アドレス | 基本構成タイプ ^{注2} |
|---------|-----------------------------|-----------------------------------|------------------------------|---------|---------------|-----------------------|
| | | 名称 | トリガ | | | |
| マスカブル | 0 | INTLVI | 低電圧検出 ^{注3} | 内部 | 0004H | (A) |
| | 1 | INTP0 | 端子入力エッジ検出 | 外部 | 0006H | (B) |
| | 2 | INTP1 | | | 0008H | |
| | 3 | INTP2 | | | 000AH | |
| | 4 | INTP3 | | | 000CH | |
| | 5 | INTP4 | | | 000EH | |
| | 6 | INTP5 | | | 0010H | |
| | 7 | INTSRE6 | UART6の受信エラー発生 | 内部 | 0012H | (A) |
| | 8 | INTSR6 | UART6の受信完了 | | 0014H | |
| | 9 | INTST6 | UART6の送信完了 | | 0016H | |
| | 10 | INTCSI10/ INTST0 ^{注4} | CSI10の通信完了 / UART0の送信完了 | | 0018H | |
| | 11 | INTTMH1 | TMH1とCMP01の一致 (コンペア・レジスタ指定時) | | 001AH | |
| | 12 | INTTMH0 | TMH0とCMP00の一致 (コンペア・レジスタ指定時) | | 001CH | |
| | 13 | INTTM50 | TM50とCR50の一致 (コンペア・レジスタ指定時) | | 001EH | |
| | 14 | INTTM000 | TM00とCR000の一致 (コンペア・レジスタ指定時) | | 0020H | |
| | 15 | INTTM010 | TM00とCR010の一致 (コンペア・レジスタ指定時) | | 0022H | |
| | 16 | INTAD | A/D変換終了 | | 0024H | |
| 17 | INTSR0 ^{注4} | UART0受信完了 | 0026H | | | |
| ソフトウェア | - | BRK | BRK命令の実行 | - | 003EH | (C) |
| リセット | - | RESET | リセット入力 | - | 0000H | - |
| | | POC | パワーオン・クリア ^{注5} | | | |
| | | LVI | 低電圧検出 ^{注6} | | | |
| | | クロック・ モニタ | X1入力クロック停止検出 | | | |
| | | WDT | WDTのオーバフロー | | | |

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、17が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図14-1の(A)-(C)に対応しています。

3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

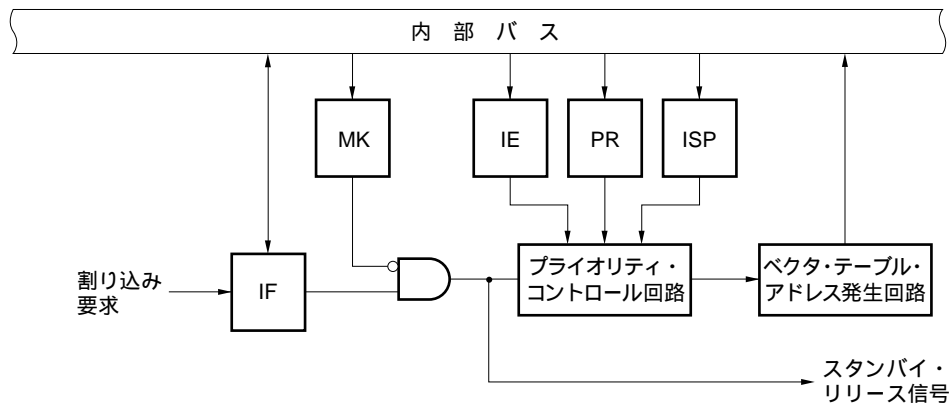
4. 割り込み要因INTST0, INTSR0は、μPD780102, 780103, 78F0103のみ。

5. マスク・オプションで「POC使用」選択時。

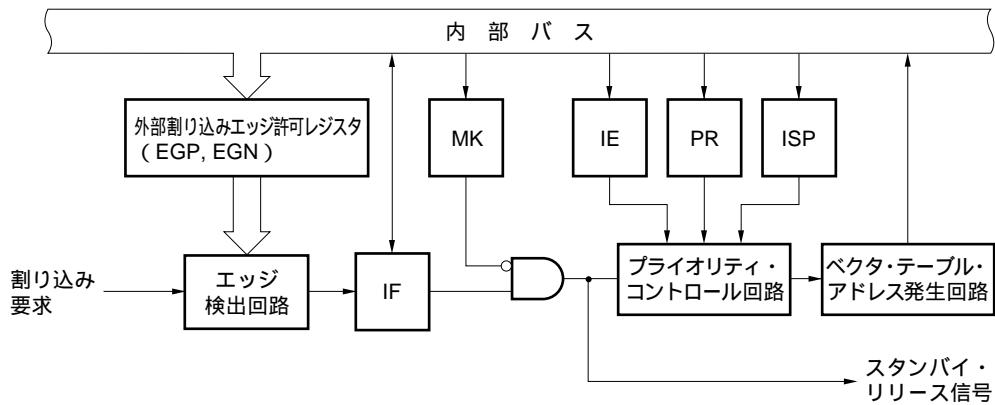
6. LVIMD = 1選択時。

図14 - 1 割り込み機能の基本構成

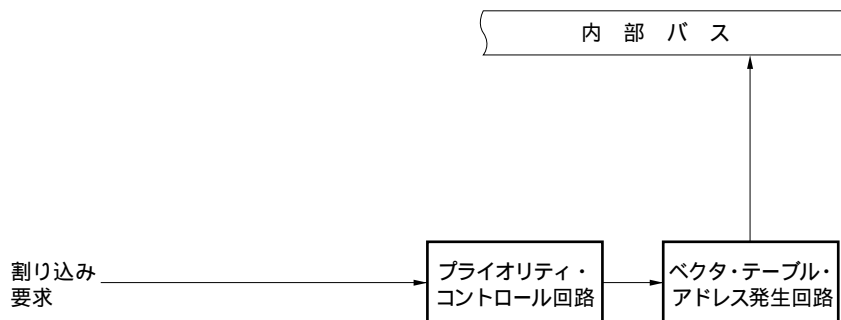
(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTP0-INTP5)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表14 - 2に示します。

表14 - 2 割り込み要求ソースに対応する各種フラグ

| 割り込み要因 | 割り込み要求フラグ | | 割り込みマスク・フラグ | | 優先順位指定フラグ | |
|----------------------|-----------------------|---------------------|-----------------------|---------------------|-----------------------|------|
| | | レジスタ | | レジスタ | | レジスタ |
| INTLVI | LVIIF | IF0L | LVIMK | MK0L | LVIPR | PR0L |
| INTP0 | PIF0 | | PMK0 | | PPR0 | |
| INTP1 | PIF1 | | PMK1 | | PPR1 | |
| INTP2 | PIF2 | | PMK2 | | PPR2 | |
| INTP3 | PIF3 | | PMK3 | | PPR3 | |
| INTP4 | PIF4 | | PMK4 | | PPR4 | |
| INTP5 | PIF5 | | PMK5 | | PPR5 | |
| INTSRE6 | SREIF6 | | SREMK6 | | SREPR6 | |
| INTSR6 | SRIF6 | IF0H | SRMK6 | MK0H | SRPR6 | PR0H |
| INTST6 | STIF6 | | STMK6 | | STPR6 | |
| INTST0 ^{注1} | DUALIF0 ^{注2} | | DUALMK0 ^{注4} | | DUALPR0 ^{注4} | |
| INTCSI10 | CSIIF10 ^{注3} | | CSIMK10 ^{注3} | | CSIPR10 ^{注3} | |
| INTTMH1 | TMIFH1 | | TMMKH1 | | TMPRH1 | |
| INTTMH0 | TMIFH0 | | TMMKH0 | | TMPRH0 | |
| INTTM50 | TMIF50 | | TMMK50 | | TMPR50 | |
| INTTM000 | TMIF000 | | TMMK000 | | TMPR000 | |
| INTTM010 | TMIF010 | | TMMK010 | | TMPR010 | |
| INTAD | ADIF | | IF1L | | ADMK | |
| INTSR0 ^{注1} | SRIF0 ^{注1} | SRMK0 ^{注1} | | SRPR0 ^{注1} | | |

注1 . μ PD780102, 780103, 78F0103のみ。

2 . μ PD780102, 780103, 78F0103の場合のフラグ名です。2種類の割り込み要因のうち、どちらかが発生したらセット(1)されます。

3 . μ PD780101の場合のフラグ名です。

4 . μ PD780102, 780103, 78F0103の場合のフラグ名です。2種類の割り込み要因の両方に対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、 $\overline{\text{RESET}}$ 入力時、命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|------|------|------|------|------|------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IF0L | SREIF6 | PIF5 | PIF4 | PIF3 | PIF2 | PIF1 | PIF0 | LVIIF |

アドレス : FFE1H リセット時 : 00H R/W

| | | | | | | | | |
|------|---------|---------|--------|--------|--------|-----------------------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IF0H | TMIF010 | TMIF000 | TMIF50 | TMIFH0 | TMIFH1 | DUALIF0 ^{注1} | STIF6 | SRIF6 |

アドレス : FFE2H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---------------------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IF1L | 0 | 0 | 0 | 0 | 0 | 0 | SRIF0 ^{注2} | ADIF |

| | |
|-------|-----------------------|
| XXIFX | 割り込み要求フラグ |
| 0 | 割り込み要求信号が発生していない |
| 1 | 割り込み要求信号が発生し、割り込み要求状態 |

注1 . μ PD780101はCSIIF10になります。

2 . μ PD780102, 780103, 78F0103のみ。

注意1 . IF1Lのビット2-7には、必ず0を設定してください。

- 2 . タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

- ★ 注意3 . 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。
- なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov  a, IF0L
and  a, #0FEH
mov  IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときは、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

| | | | | | | | | |
|------|--------|------|------|------|------|------|------|-------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| MK0L | SREMK6 | PMK5 | PMK4 | PMK3 | PMK2 | PMK1 | PMK0 | LVIMK |

アドレス：FFE5H リセット時：FFH R/W

| | | | | | | | | |
|------|---------|---------|--------|--------|--------|-----------------------|-------|-------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| MK0H | TMMK010 | TMMK000 | TMMK50 | TMMKH0 | TMMKH1 | DUALMK0 ^{注1} | STMK6 | SRMK6 |

アドレス：FFE6H リセット時：FFH R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---------------------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | [1] | [0] |
| MK1L | 1 | 1 | 1 | 1 | 1 | 1 | SRMK0 ^{注2} | ADMK |

| | |
|-------|-----------|
| XXMKX | 割り込み処理の制御 |
| 0 | 割り込み処理許可 |
| 1 | 割り込み処理禁止 |

注1 . μ PD780101はCSIMK10になります。

2 . μ PD780102, 780103, 78F0103のみ。

注意 MK1Lのビット2-7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図14-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

| | | | | | | | | |
|------|--------|------|------|------|------|------|------|-------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| PR0L | SREPR6 | PPR5 | PPR4 | PPR3 | PPR2 | PPR1 | PPR0 | LVIPR |

アドレス：FFE9H リセット時：FFH R/W

| | | | | | | | | |
|------|---------|---------|--------|--------|--------|-----------------------|-------|-------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| PR0H | TMPR010 | TMPR000 | TMPR50 | TMPRH0 | TMPRH1 | DUALPR0 ^{注1} | STPR6 | SRPR6 |

アドレス：FFEAH リセット時：FFH R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---------------------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | [1] | [0] |
| PR1L | 1 | 1 | 1 | 1 | 1 | 1 | SRPR0 ^{注2} | ADPR |

| | |
|-------|------------|
| XXPRX | 優先順位レベルの選択 |
| 0 | 高優先順位レベル |
| 1 | 低優先順位レベル |

注1 . μ PD780101はCSIPR10になります。

2 . μ PD780102, 780103, 78F0103のみ。

注意 PR1Lのビット2-7には、必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP5の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGP | 0 | 0 | EGP5 | EGP4 | EGP3 | EGP2 | EGP1 | EGP0 |

アドレス : FF49H リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGN | 0 | 0 | EGN5 | EGN4 | EGN3 | EGN2 | EGN1 | EGN0 |

| EGPn | EGNn | INTPn端子の有効エッジの選択 (n = 0-5) |
|------|------|----------------------------|
| 0 | 0 | エッジ検出禁止 |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 立ち上がり, 立ち下がりの両エッジ |

EGPnとEGNnに対応するポートを表14 - 3に示します。

表14 - 3 EGPnとEGNnに対応するポート

| 検出許可レジスタ | | エッジ検出ポート | 割り込み要求信号 |
|----------|------|----------|----------|
| EGP0 | EGN0 | P120 | INTP0 |
| EGP1 | EGN1 | P30 | INTP1 |
| EGP2 | EGN2 | P31 | INTP2 |
| EGP3 | EGN3 | P32 | INTP3 |
| EGP4 | EGN4 | P33 | INTP4 |
| EGP5 | EGN5 | P16 | INTP5 |

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

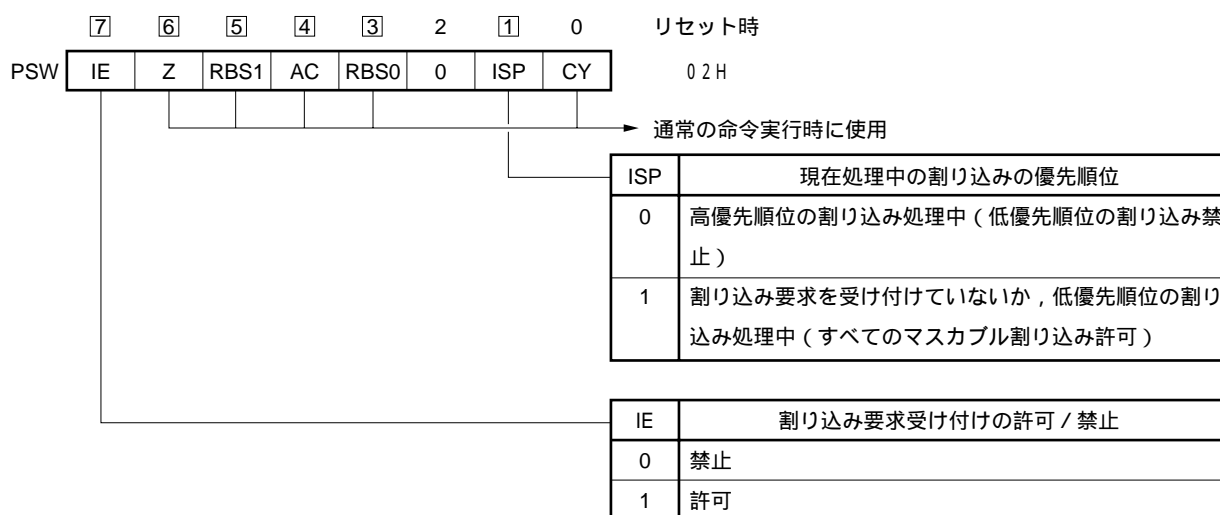
備考 n = 0-5

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。 $\overline{\text{RESET}}$ 入力により、PSWは02Hとなります。

図14 - 6 プログラム・ステータス・ワードの構成



14.4 割り込み処理動作

14.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表14-4のようになります。割り込み要求の受け付けタイミングについては、図14-8, 14-9を参照してください。

表14-4 マスカブル割り込み要求発生から処理までの時間

| | 最小時間 | 最大時間 ^注 |
|---------------|-------|-------------------|
| x × PR = 0のとき | 7クロック | 32クロック |
| x × PR = 1のとき | 8クロック | 33クロック |

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

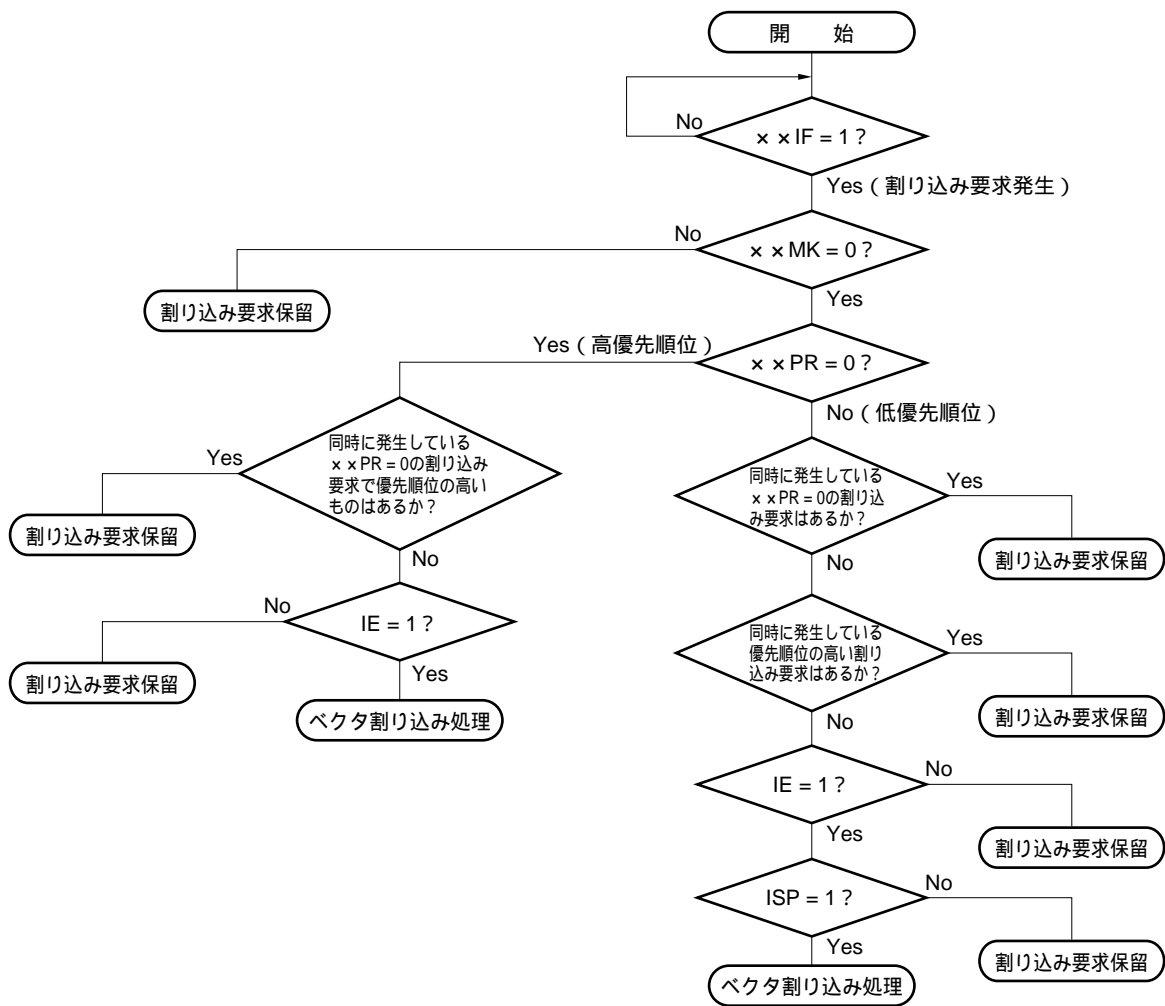
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図14 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

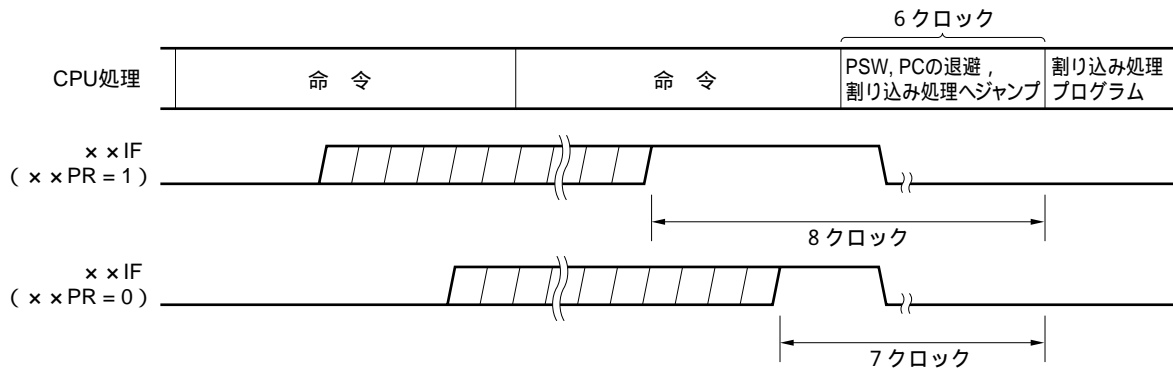
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

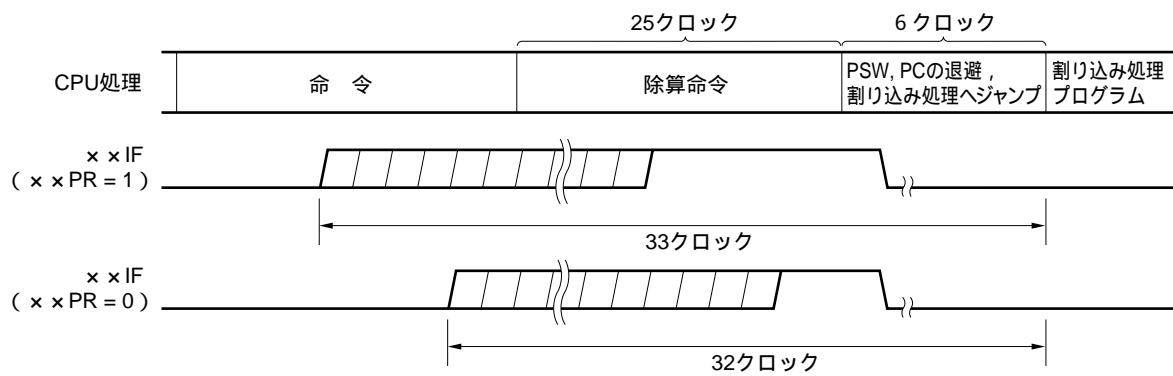
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図14 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図14 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

14.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

14.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表14-5に多重割り込み可能な割り込み要求の関係を、図14-10に多重割り込みの例を示します。

表14-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

| 多重割り込み要求 処理中の割り込み | | マスカブル割り込み要求 | | | | ソフトウェア 割り込み要求 |
|----------------------|---------|-------------|--------|--------|--------|------------------|
| | | PR = 0 | | PR = 1 | | |
| | | IE = 1 | IE = 0 | IE = 1 | IE = 0 | |
| マスカブル割り込み | ISP = 0 | | x | x | x | |
| | ISP = 1 | | x | | x | |
| ソフトウェア割り込み | | | x | | x | |

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

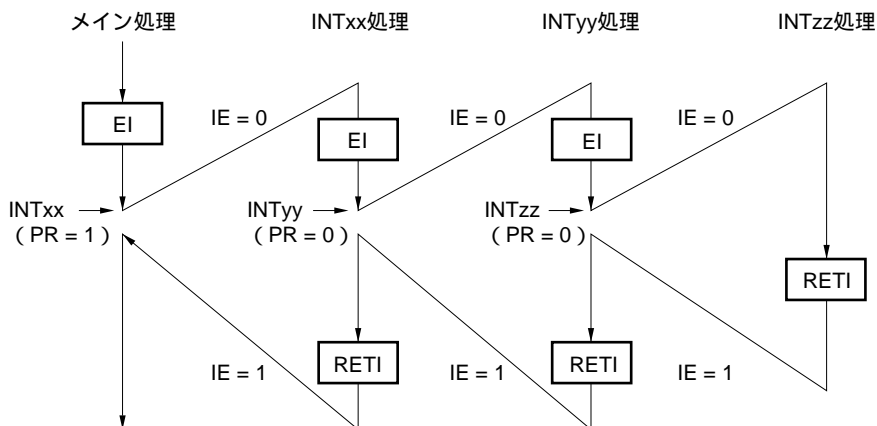
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

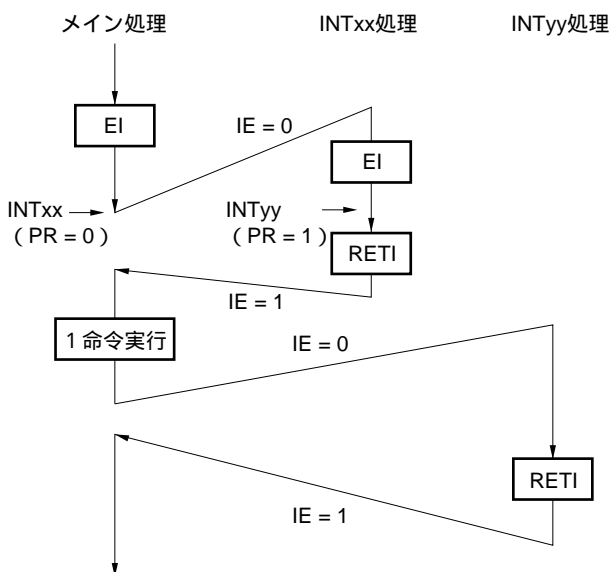
図14 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

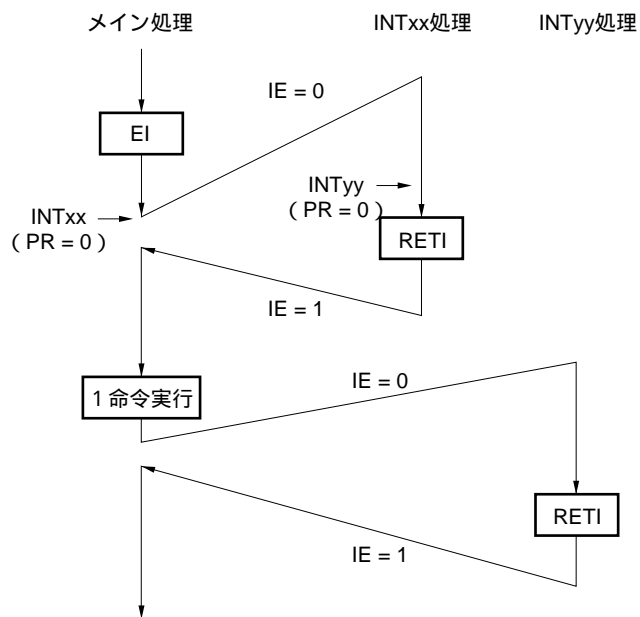


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図14 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

14.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1Lの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクابل割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図14-11に示します。

図14 - 11 割り込み要求の保留



備考1 . 命令N：割り込み要求の保留命令

2 . 命令M：割り込み要求の保留命令以外の命令

3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第15章 スタンバイ機能

15.1 スタンバイ機能と構成

15.1.1 スタンバイ機能

表15 - 1 各動作状態における動作クロックの関係

| 動作モード | ステータス X1発振回路 | Ring-OSC発振回路 | | | 解除後のCPU クロック | 周辺へ供給される プリスケーラのクロック | |
|-------|-----------------|--------------|-----------|-----------|-----------------|-------------------------|----------|
| | | 注1 | 注2 | | | MCM0 = 0 | MCM0 = 1 |
| | | | RSTOP = 0 | RSTOP = 1 | | | |
| リセット | 停止 | 停止 | | | Ring-OSC | 停止 | |
| STOP | 発振 | 発振 | 発振 | 停止 | 注3 | 停止 | |
| HALT | | | | | 注4 | Ring-OSC | X1 |

注1. マスク・オプションにてRing-OSCを「停止不可」に選択時

2. マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」に選択時

3. STOP命令実行時のCPUクロックにて動作します。

4. HALT命令実行時のCPUクロックにて動作します。

注意 RSTOPの設定は、マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」時にのみ有効です。

備考 RSTOP : Ring-OSCモード・レジスタ (RCM) のビット0

MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前にX1入力クロックおよびRing-OSCクロック発振回路が動作している場合、X1入力クロックおよびRing-OSCクロックの発振は続きます。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、X1発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1 . STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

- 2 . A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
- 3 . STOPモード設定前にRing-OSC発振回路が動作している場合、STOPモードではRing-OSCクロックの発振を停止することはできません。ただしCPUクロックがRing-OSCクロックの場合、STOP動作解除後 $17/f_R$ (s) 間はCPU動作停止になります。

15.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止, 切り替えを制御するレジスタについては, 第5章 クロック発生回路を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1入力クロックの発振安定時間カウンタの状態レジスタです。CPUクロックがRing-OSCクロックの場合に, X1入力クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時($\overline{\text{RESET}}$ 入力, POC, LVI, クロック・モニタ, WDTによるリセット) STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

図15 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

| | | | | | | | | |
|------|---|---|---|--------|--------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTC | 0 | 0 | 0 | MOST11 | MOST13 | MOST14 | MOST15 | MOST16 |

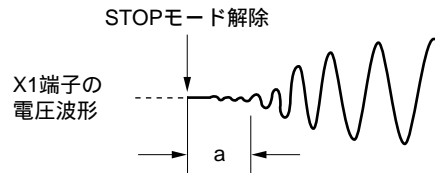
★

| MOST11 | MOST13 | MOST14 | MOST15 | MOST16 | 発振安定時間のステータス | | |
|--------|--------|--------|--------|--------|-----------------------------|--|------------------------|
| | | | | | $f_{XP} = 10 \text{ MHz}$ 時 | $f_{XP} = 12 \text{ MHz}$ 時 ^注 | |
| 1 | 0 | 0 | 0 | 0 | $2^{11}/f_{XP}$ 以上 | 204.8 μs 以上 | 170.7 μs 以上 |
| 1 | 1 | 0 | 0 | 0 | $2^{13}/f_{XP}$ 以上 | 819.2 μs 以上 | 682.7 μs 以上 |
| 1 | 1 | 1 | 0 | 0 | $2^{14}/f_{XP}$ 以上 | 1.64 ms以上 | 1.37 ms以上 |
| 1 | 1 | 1 | 1 | 0 | $2^{15}/f_{XP}$ 以上 | 3.27 ms以上 | 2.73 ms以上 |
| 1 | 1 | 1 | 1 | 1 | $2^{16}/f_{XP}$ 以上 | 6.55 ms以上 | 5.46 ms以上 |

★

注 標準品, (A)水準品の拡張規格品のみ。

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていき, そのまま“1”を保持します。
2. CPUクロックがRing-OSCクロック時に, STOPモードに入り, 解除するときは, 発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間
- X1発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって, STOPモード解除後のOSTCは, OSTCで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. STOPモード解除時のウェイト時間は, $\overline{\text{RESET}}$ 入力による場合も, 割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1入力クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックにX1入力クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックにRing-OSCを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、05Hになります。

図15 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

| | | | | | | | | |
|------|---|---|---|---|---|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | 発振安定時間の選択 | | |
|-------|-------|-------|-----------------|-----------------------------|--|
| | | | | $f_{XP} = 10 \text{ MHz}$ 時 | $f_{XP} = 12 \text{ MHz}$ 時 ^注 |
| 0 | 0 | 1 | $2^{11}/f_{XP}$ | 204.8 μs | 170.7 μs |
| 0 | 1 | 0 | $2^{13}/f_{XP}$ | 819.2 μs | 682.7 μs |
| 0 | 1 | 1 | $2^{14}/f_{XP}$ | 1.64 ms | 1.37 ms |
| 1 | 0 | 0 | $2^{15}/f_{XP}$ | 3.27 ms | 2.73 ms |
| 1 | 0 | 1 | $2^{16}/f_{XP}$ | 6.55 ms | 5.46 ms |
| 上記以外 | | | 設定禁止 | | |

★ 注 標準品、(A)水準品の拡張規格品のみ。

★ 注意1. CPUクロックがX1入力クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

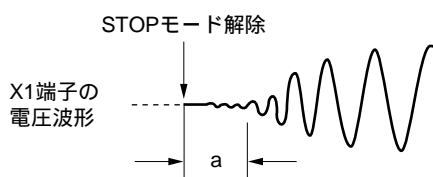
★ 2. OSTSの設定は、OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。

3. CPUクロックがRing-OSCクロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4. STOPモード解除時のウエイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1入力クロック発振周波数

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、X1入力クロック、Ring-OSCクロックのときに設定可能です。

次にHALTモード時の動作状態を示します。

表15-2 HALTモード時の動作状態

| 項 目 | HALTモードの設定 | | Ring-OSCクロックでCPU動作中のHALT命令 実行時 | |
|----------------------------|--------------------------------|-----------------------------------|---|-----------------------------|
| | X1入力クロックでCPU動作中のHALT命令 実行時 | Ring-OSCクロックでCPU動作中のHALT命令 実行時 | Ring-OSC発振継続時 | Ring-OSC発振停止時 ^{注1} |
| システム・クロック | CPUへのクロック供給は停止。 | | | |
| CPU | 動作停止 | | | |
| ポート（出力ラッチ） | HALTモード設定前の状態を保持 | | | |
| 16ビット・タイマ/イベント・カウンタ00 | 動作可能 | | 動作保証不可 | |
| 8ビット・タイマ/イベント・カウンタ50 | 動作可能 | | カウント・クロックにTI50選択時以外は動作保証不可 | |
| 8ビット・タイマH0 | 動作可能 | | 8ビット・タイマ/イベント・カウンタ50動作時に、カウント・クロックをTM50出力選択時以外は動作保証不可 | |
| 8ビット・タイマH1 | 動作可能 | | カウント・クロックにf _R /2 ⁷ 選択時以外は動作保証不可 | |
| ウォッチドッグ・タイマ | Ring-OSC 停止不可 ^{注2} | 動作可能 | - | 動作可能 |
| | Ring-OSC 停止可 ^{注2} | 動作停止 | | |
| A/Dコンバータ | 動作可能 | | 動作保証不可 | |
| シリアル・インタフェース | UART0 ^{注3} | 動作可能 | 8ビット・タイマ/イベント・カウンタ50動作時に、シリアル・クロックをTM50出力選択時以外は動作保証不可 | |
| | UART6 | 動作可能 | 動作保証不可 | |
| | CSI10 | 動作可能 | シリアル・クロックに外部SCK10選択時以外は動作保証不可 | |
| クロック・モニタ | 動作可能 | 動作停止 | 動作可能 | 動作停止 |
| パワー・オン・クリア機能 ^{注4} | 動作可能 | | | |
| 低電圧検出機能 | 動作可能 | | | |
| 外部割り込み | 動作可能 | | | |

注1. マスク・オプションでRing-OSCを「ソフトウェアにより停止可能」を選択し、ソフトウェアでRing-OSCを停止した場合（マスク・オプションについては第20章 マスク・オプション参照）。

2. マスク・オプションでRing-OSCを「停止不可」または「ソフトウェアにより停止可能」を選択できます。

3. μPD780102, 780103, 78F0103のみ。

4. マスク・オプションで「POC使用」を選択した場合。

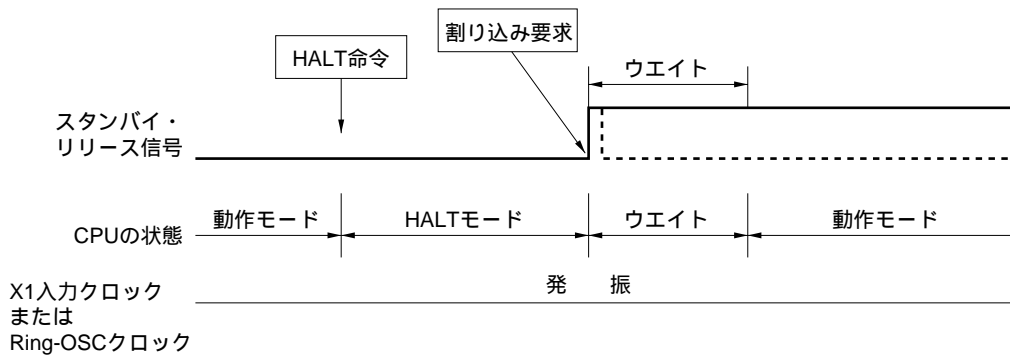
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図15 - 3 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

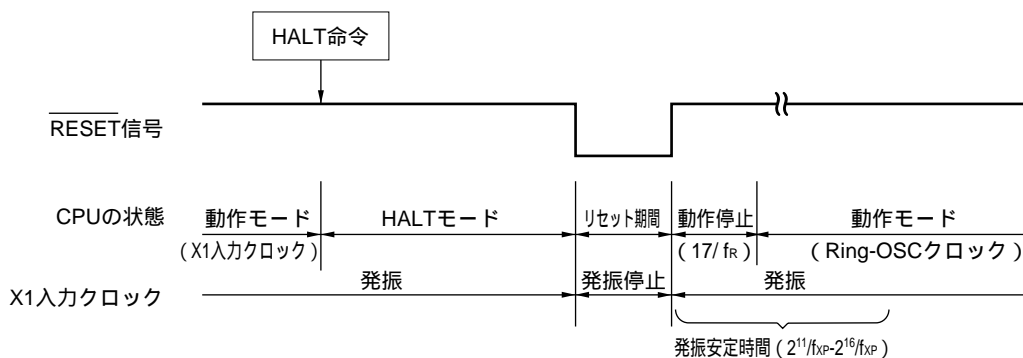
- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

(b) $\overline{\text{RESET}}$ 入力による解除

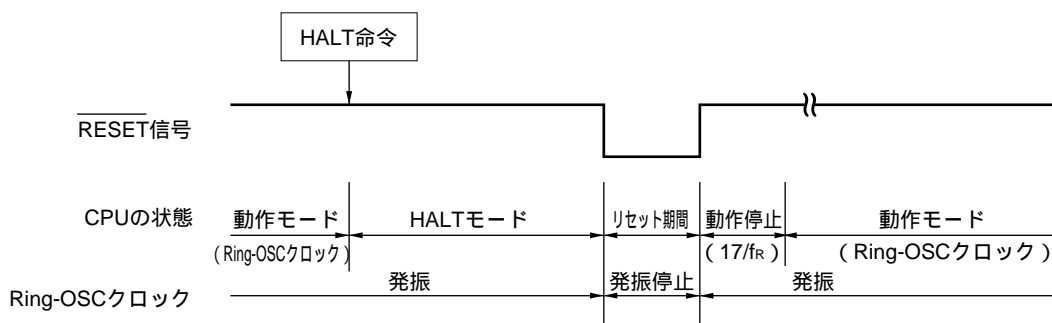
$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図15 - 4 HALTモードの $\overline{\text{RESET}}$ 入力による解除

(1) CPUクロックがX1入力クロックの場合



(2) CPUクロックがRing-OSCクロックの場合



備考1 . f_{XP} : X1入力クロック発振周波数

2 . f_R : Ring-OSCクロック発振周波数

表15 - 3 HALTモード時の割り込み要求に対する動作

| 解除ソース | MKxx | PRxx | IE | ISP | 動作 |
|------------------------------|------|------|----|-----|-----------|
| マスカブル割り込み要求 | 0 | 0 | 0 | x | 次アドレス命令実行 |
| | 0 | 0 | 1 | x | 割り込み処理実行 |
| | 0 | 1 | 0 | 1 | 次アドレス命令実行 |
| | 0 | 1 | x | 0 | |
| | 0 | 1 | 1 | 1 | 割り込み処理実行 |
| | 1 | x | x | x | HALTモード保持 |
| $\overline{\text{RESET}}$ 入力 | - | - | x | x | リセット処理 |

x : don't care

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、X1入力クロック、Ring-OSCクロックのときに設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されません。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15-4 STOPモード時の動作状態

| HALTモードの設定 項 目 | | X1入力クロックでCPU動作中のSTOP命令実行時 | | Ring-OSCクロックでCPU動作中のSTOP命令実行時 |
|---------------------------|--------------------------------|--|-----------------------------|-------------------------------|
| | | Ring-OSC発振継続時 | Ring-OSC発振停止時 ^{注1} | |
| システム・クロック | | X1発振回路のみ発振停止 CPUへのクロック供給は停止 | | |
| CPU | | 動作停止 | | |
| ポート（出力ラッチ） | | STOPモード設定前の状態を保持 | | |
| 16ビット・タイマ/イベント・カウンタ00 | | 動作停止 | | |
| 8ビット・タイマ/イベント・カウンタ50 | | カウント・クロックをTI50選択時のみ動作可能 | | |
| 8ビット・タイマH0 | | 8ビット・タイマ/イベント・カウンタ50動作時に、カウント・クロックをTM50出力選択時のみ動作可能 | | |
| 8ビット・タイマH1 | | 動作可能 ^{注2} | 動作停止 | 動作可能 ^{注2} |
| ウォッチドッグ・タイマ | Ring-OSC 停止不可 ^{注3} | 動作可能 | - | 動作可能 |
| | Ring-OSC 停止可 ^{注3} | 動作停止 | | |
| A/Dコンバータ | | 動作停止 | | |
| シリアル・インタフェース | UART0 ^{注4} | 8ビット・タイマ/イベント・カウンタ50動作時に、シリアル・クロックをTM50出力選択時のみ動作可能 | | |
| | UART6 | み動作可能 | | |
| | CSI10 | シリアル・クロックに外部SCK10選択時のみ動作可能 | | |
| クロック・モニタ | | 動作停止 | | |
| パワーオン・クリア機能 ^{注5} | | 動作可能 | | |
| 低電圧検出機能 | | 動作可能 | | |
| 外部割り込み | | 動作可能 | | |

注1．マスク・オプションでRing-OSCを「ソフトウェアにより停止可能」を選択し、ソフトウェアでRing-OSCを停止した場合（マスク・オプションについては第20章 マスク・オプション参照）

2．カウント・クロックをfr/2⁷選択時のみ動作可能。

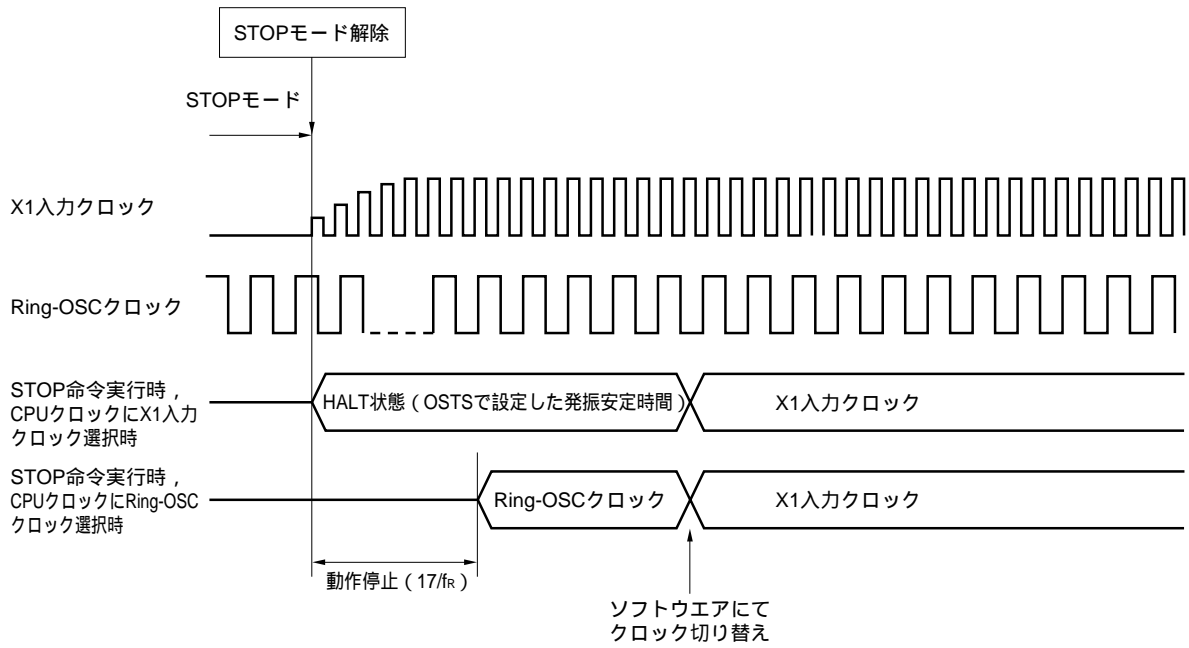
3．マスク・オプションでRing-OSCを「停止不可」または「ソフトウェアにより停止可能」を選択できます。

4．μPD780102, 780103, 78F0103のみ。

5．マスク・オプションで「POC使用」を選択した場合。

(2) STOPモードの解除

図15 - 5 STOPモード解除時の動作タイミング



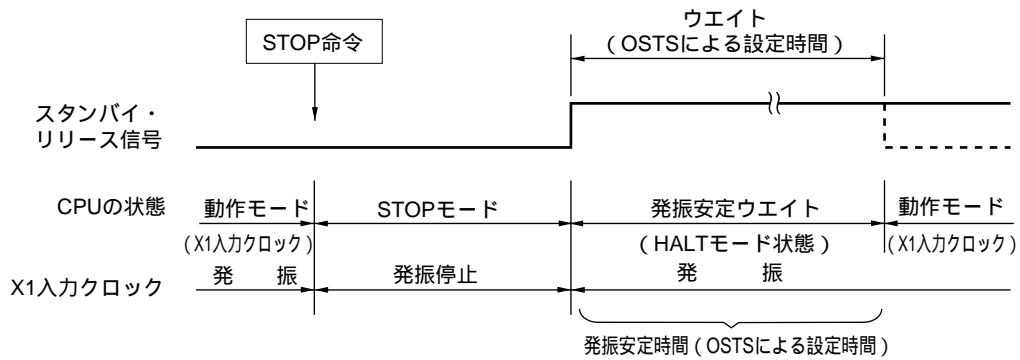
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

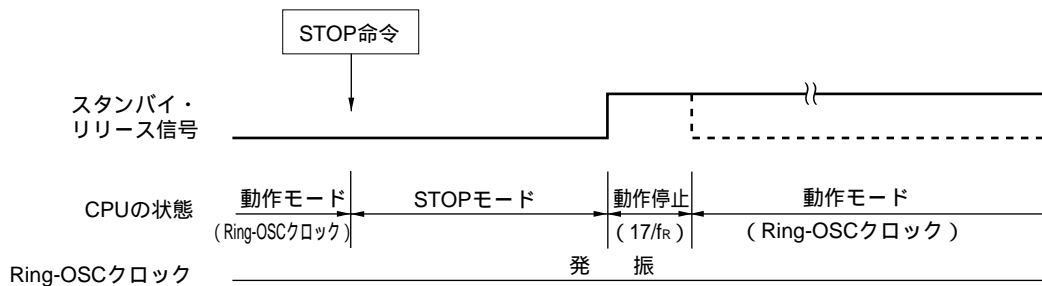
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15-6 STOPモードの割り込み要求発生による解除

(1) CPUクロックがX1入力クロックの場合



(2) CPUクロックがRing-OSCクロックの場合



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

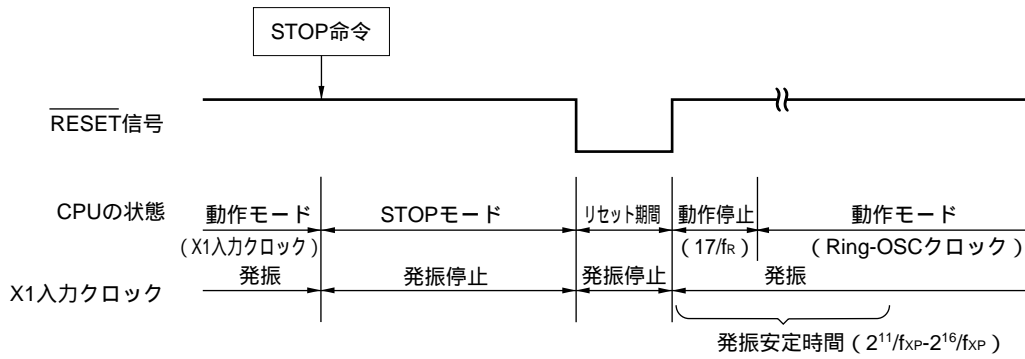
2. f_R : Ring-OSCクロック発振周波数

(b) $\overline{\text{RESET}}$ 入力による解除

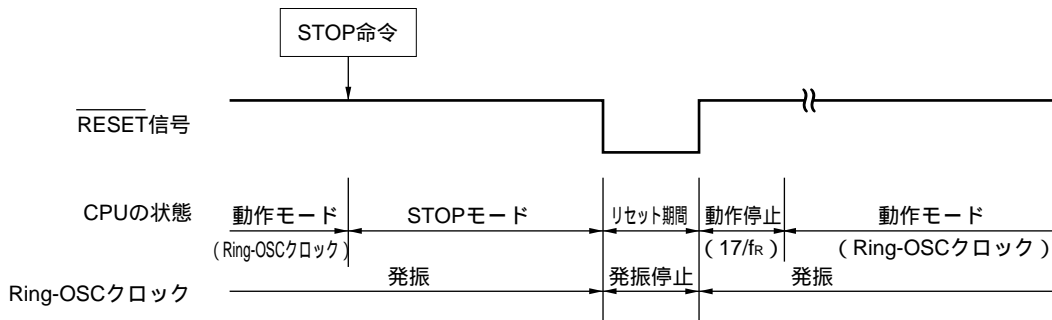
STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図15-7 STOPモードの $\overline{\text{RESET}}$ 入力による解除

(1) CPUクロックがX1入力クロックの場合



(2) CPUクロックがRing-OSCクロックの場合



備考1. f_{XP} : X1入力クロック発振周波数

2. f_R : Ring-OSCクロック発振周波数

表15-5 STOPモード時の割り込み要求に対する動作

| 解除ソース | MKxx | PRxx | IE | ISP | 動作 |
|------------------------------|------|------|----|-----|-----------|
| マスクブル割り込み要求 | 0 | 0 | 0 | x | 次アドレス命令実行 |
| | 0 | 0 | 1 | x | 割り込み処理実行 |
| | 0 | 1 | 0 | 1 | 次アドレス命令実行 |
| | 0 | 1 | x | 0 | |
| | 0 | 1 | 1 | 1 | 割り込み処理実行 |
| | 1 | x | x | x | STOPモード保持 |
| $\overline{\text{RESET}}$ 入力 | - | - | x | x | リセット処理 |

x : don't care

第16章 リセット機能

リセット信号を発生させる方法には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) クロック・モニタのX1入力クロック発振停止検出による内部リセット
- (4) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (5) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマのオーバフローが発生するか、クロック・モニタでX1クロック発振停止を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表16 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

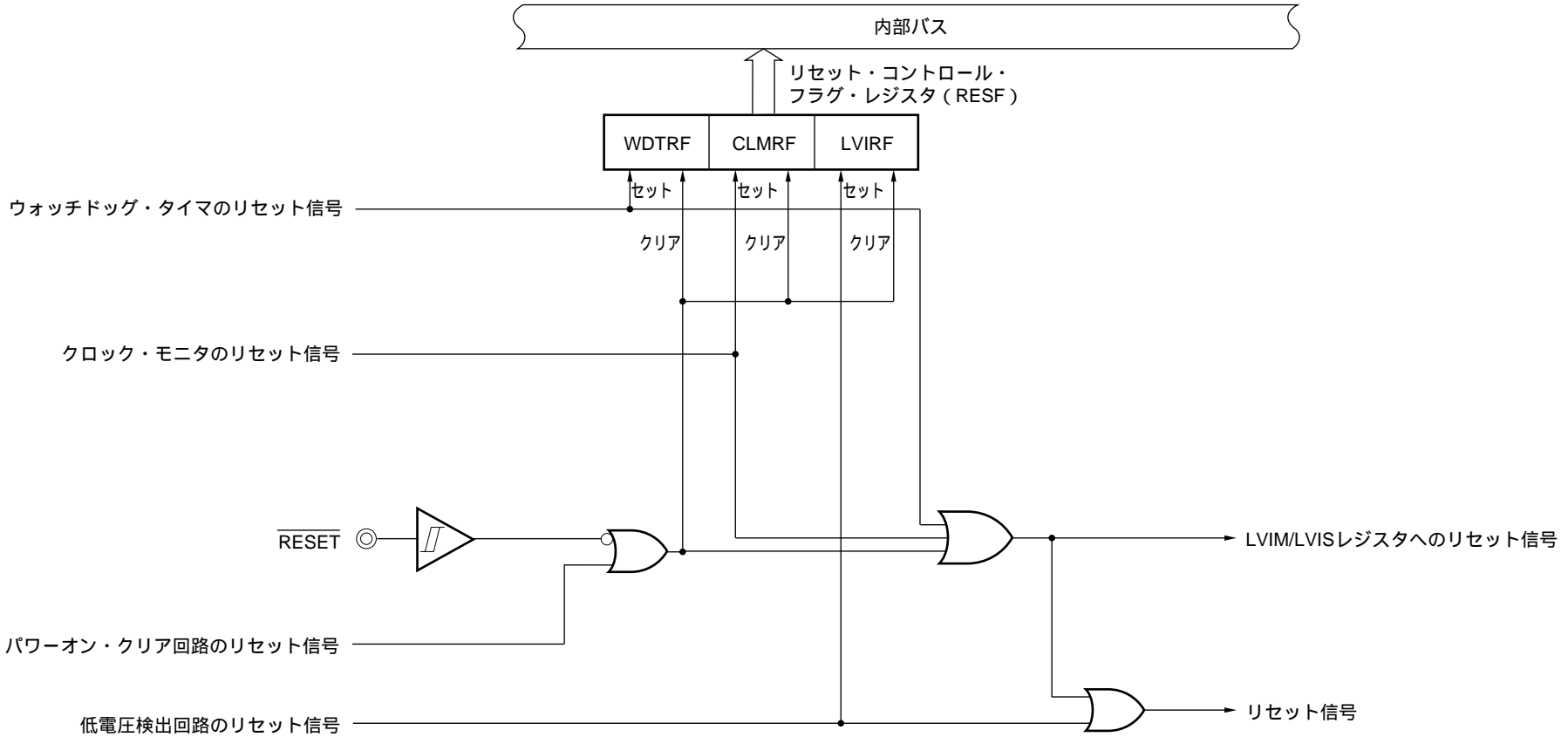
$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、 $17/f_R$ (s)間CPUクロック動作停止後、Ring-OSCクロックでプログラムの実行を開始します。ウォッチドッグ・タイマ、クロック・モニタのそれぞれの要因によるリセットは、リセット後、自動的にリセットが解除され、 $17/f_R$ (s)間CPUクロック動作停止後、Ring-OSCクロックでプログラムの実行を開始します(図16 - 2から図16 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、 $17/f_R$ (s)間CPUクロック動作停止後、Ring-OSCクロックでプログラムの実行を開始します(第18章 パワーオン・クリア回路と第19章 低電圧検出回路参照)。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

2. リセット入力中は、X1入力クロック、Ring-OSCクロックともに発振を停止します。

3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、P130はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。

★ 図16 - 1 リセット機能のブロック図

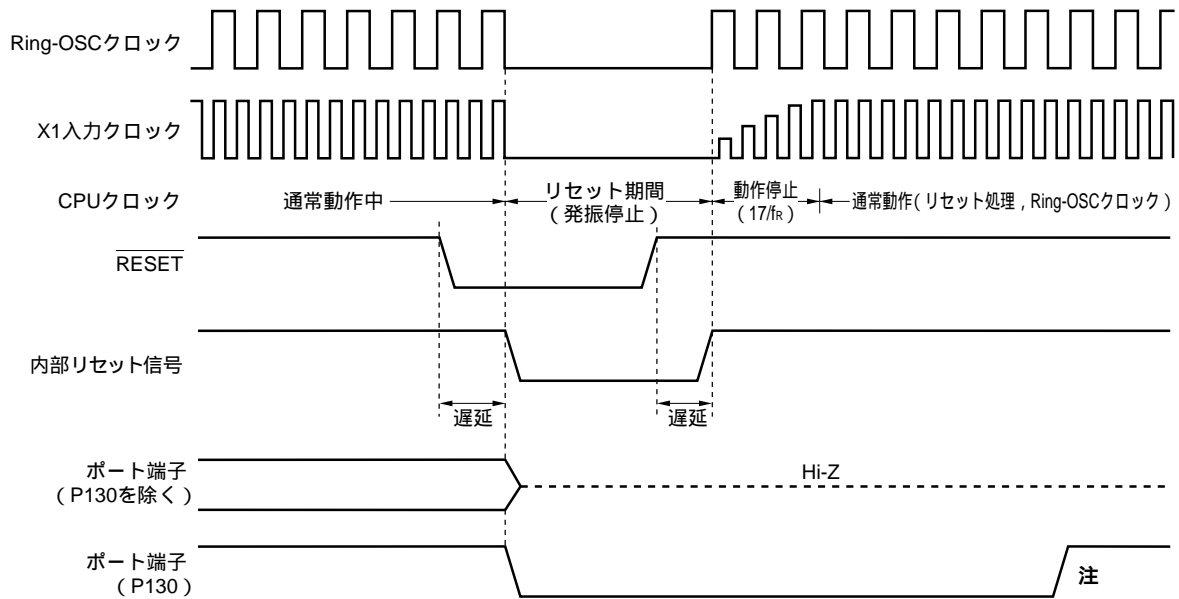


注意 LVIM/LVISレジスタの内部リセットの場合、LVIM/LVISレジスタはリセットされません。

- 備考** 1. LVIM : 低電圧検出レジスタ
 2. LVIS : 低電圧検出レベル選択レジスタ

★

図16-2 RESET入力によるリセット・タイミング

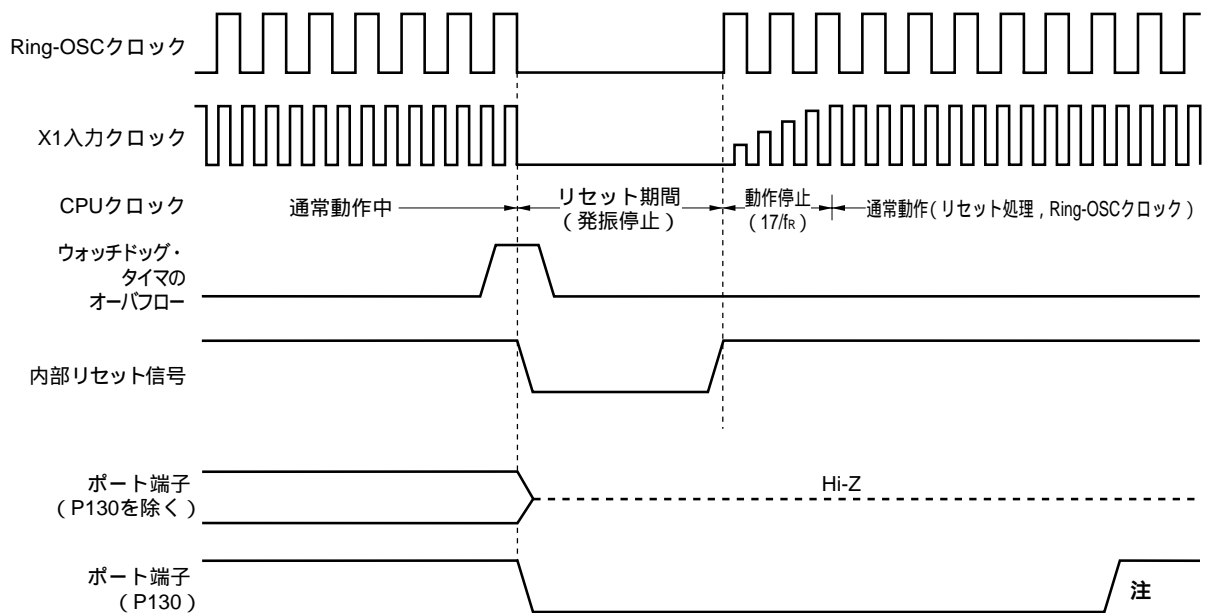


注 ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

★

図16-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



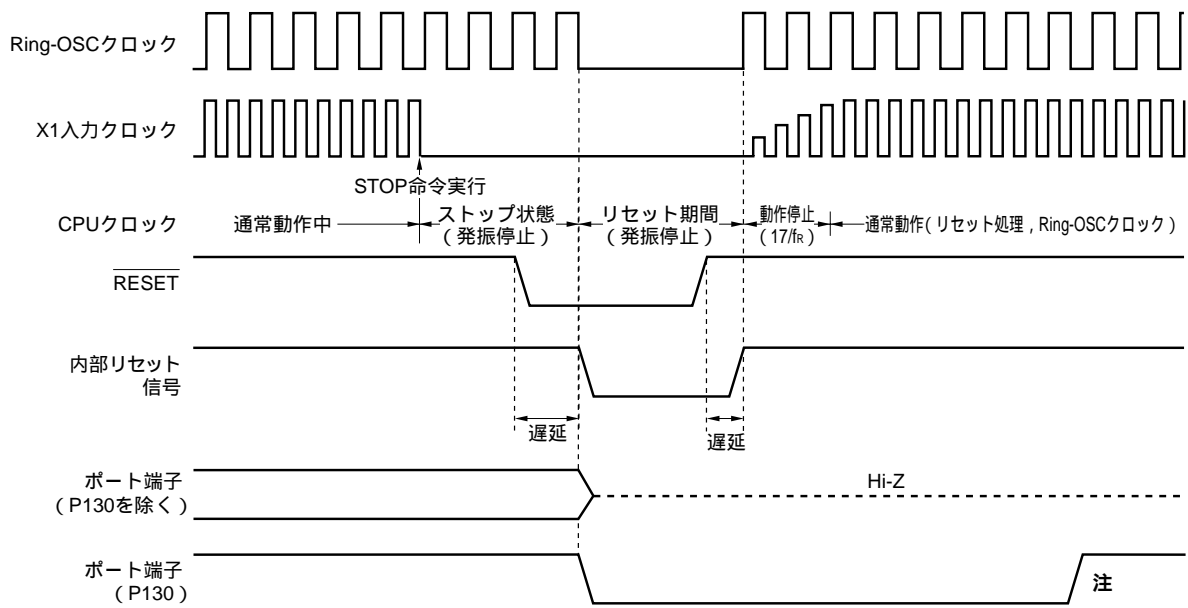
注 ソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

★

図16-4 STOPモード中のRESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

- 備考1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。
2. パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第18章 パワーオン・クリア回路と第19章 低電圧検出回路を参照してください。

表16 - 1 各ハードウェアのリセット受け付け後の状態 (1/2)

| ハードウェア | | リセット受け付け後の状態 ^{注1} |
|---|--|--|
| プログラム・カウンタ (PC) | | リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。 |
| スタック・ポインタ (SP) | | 不定 |
| プログラム・ステータス・ワード (PSW) | | 02H |
| RAM | データ・メモリ | 不定 ^{注2} |
| | 汎用レジスタ | 不定 ^{注2} |
| ポート・レジスタ (P0-P3, P12, P13) (出力ラッチ) | | 00H (P2のみ不定) |
| ポート・モード・レジスタ (PM0, PM1, PM3, PM12) | | FFH |
| プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12) | | 00H |
| 入力切り替え制御レジスタ (ISC) | | 00H |
| メモリ・サイズ切り替えレジスタ (IMS) | | CFH |
| 内部拡張RAMサイズ切り替えレジスタ (IXS) | | 0CH |
| プロセッサ・クロック・コントロール・レジスタ (PCC) | | 00H |
| Ring-OSCモード・レジスタ (RCM) | | 00H |
| メイン・クロック・モード・レジスタ (MCM) | | 00H |
| メインOSCコントロール・レジスタ (MOC) | | 00H |
| 発振安定時間選択レジスタ (OSTS) | | 05H |
| 発振安定時間カウンタ状態レジスタ (OSTC) | | 00H |
| 16ビット・タイマ/ イベント・カウンタ00 | タイマ・カウンタ00, 01 (TM00) | 0000H |
| | キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010) | 0000H |
| | モード・コントロール・レジスタ00 (TMC00) | 00H |
| | プリスケアラ・モード・レジスタ00 (PRM00) | 00H |
| | キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) | 00H |
| | タイマ出力コントロール・レジスタ00 (TOC00) | 00H |
| 8ビット・タイマ/ イベント・カウンタ50 | タイマ・カウンタ50 (TM50) | 00H |
| | コンペア・レジスタ (CR50) | 00H |
| | タイマ・クロック選択レジスタ50 (TCL50) | 00H |
| | モード・コントロール・レジスタ (TMC50) | 00H |
| 8ビット・タイマ/ イベント・カウンタH0, H1 | コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11) | 00H |
| | モード・レジスタ (TMHMD0, TMHMD1) | 00H |
| ウォッチドッグ・タイマ | モード・レジスタ (WDTM) | 67H |
| | イネーブル・レジスタ (WDTE) | 9AH |
| A/Dコンバータ | 変換結果レジスタ (ADCR) | 不定 |
| | モード・レジスタ (ADM) | 00H |
| | アナログ入力チャンネル指定レジスタ (ADS) | 00H |
| | パワーフェイル比較モード・レジスタ (PFM) | 00H |
| | パワーフェイル比較しきい値レジスタ (PFT) | 00H |

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表16 - 1 各ハードウェアのリセット受け付け後の状態 (2/2)

| ハードウェア | | リセット受け付け後の状態 |
|-------------------------------------|---|-------------------|
| シリアル・インタフェース UART0 ^{注1} | 受信バッファ・レジスタ0 (RXB0) | FFH |
| | 送信シフト・レジスタ0 (TXS0) | FFH |
| | アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) | 01H |
| | ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) | 1FH |
| シリアル・インタフェース UART6 | 受信バッファ・レジスタ6 (RXB6) | FFH |
| | 送信バッファ・レジスタ6 (TXB6) | FFH |
| | アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) | 01H |
| | アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) | 00H |
| | アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) | 00H |
| | クロック選択レジスタ6 (CKSR6) | 00H |
| | ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) | FFH |
| | アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) | 16H |
| シリアル・インタフェース CSI10 | 送信バッファ・レジスタ10 (SOTB10) | 不定 |
| | シリアルI/Oシフト・レジスタ10 (SIO10) | 00H |
| | シリアル動作モード・レジスタ10 (CSIM10) | 00H |
| | シリアル・クロック選択レジスタ10 (CSIC10) | 00H |
| クロック・モニタ | モード・レジスタ (CLM) | 00H |
| リセット機能 | リセット・コントロール・フラグ・レジスタ (RESF) | 00H ^{注2} |
| 低電圧検出回路 | 低電圧検出レジスタ (LVIM) | 00H ^{注2} |
| | 低電圧検出レベル選択レジスタ (LVIS) | 00H ^{注2} |
| 割り込み | 要求フラグ・レジスタ0L, 0H, 1L (IF0L, IF0H, IF1L) | 00H |
| | マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L) | FFH |
| | 優先順位指定フラグ・レジスタ0L, 0H, 1L (PR0L, PR0H, PR1L) | FFH |
| | 外部割り込み立ち上がりエッジ許可レジスタ (EGP) | 00H |
| | 外部割り込み立ち下がりエッジ許可レジスタ (EGN) | 00H |

注1 . μ PD780102, 780103, 78F0103のみ。

2 . リセット要因により, 次のように変化します。

| リセット要因 レジスタ | RESET入力 | POCによる リセット | WDTによる リセット | CLMによる リセット | LVIによる リセット |
|----------------|------------|----------------|----------------|----------------|----------------|
| RESF | 表16 - 2を参照 | | | | |
| LVIM | クリア (00H) | クリア (00H) | クリア (00H) | クリア (00H) | 保持 |
| LVIS | | | | | |

16.1 リセット要因を確認するレジスタ

78K0/KB1は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセット入力およびRESFのデータを読み出すことにより、00Hになります。

図16-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^注 R

| | | | | | | | | |
|------|---|---|---|-------|---|---|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESF | 0 | 0 | 0 | WDTRF | 0 | 0 | CLMRF | LVIRF |

| | |
|-------|---------------------------------|
| WDTRF | ウォッチドッグ・タイマ (WDT) による内部リセット要求 |
| 0 | 内部リセット要求は発生していない, またはRESFをクリアした |
| 1 | 内部リセット要求は発生した |

| | |
|-------|---------------------------------|
| CLMRF | クロック・モニタ (CLM) による内部リセット要求 |
| 0 | 内部リセット要求は発生していない, またはRESFをクリアした |
| 1 | 内部リセット要求は発生した |

| | |
|-------|---------------------------------|
| LVIRF | 低電圧検出 (LVI) 回路による内部リセット要求 |
| 0 | 内部リセット要求は発生していない, またはRESFをクリアした |
| 1 | 内部リセット要求は発生した |

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表16-2に示します。

表16-2 リセット要求時のRESFの状態

| リセット要因 レジスタ | $\overline{\text{RESET}}$ 入力 | POCによる リセット | WDTによる リセット | CLMによる リセット | LVIによる リセット |
|----------------|------------------------------|----------------|----------------|----------------|----------------|
| WDTRF | クリア (0) | クリア (0) | セット (1) | 保持 | 保持 |
| CLMRF | | | 保持 | セット (1) | 保持 |
| LVIRF | | | 保持 | 保持 | セット (1) |

第17章 クロック・モニタ

17.1 クロック・モニタの機能

クロック・モニタは、内蔵のRing-OSCにて、X1入力クロックのサンプリングを行い、X1入力クロックの発振停止時に、内部リセット信号を発生する、という機能を持ちます。

クロック・モニタによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット1 (CLMRF) がセット (1) されます。RESFの詳細については第16章 リセット機能を参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・リセット解除～発振安定時間
- ・STOPモード時～発振安定時間
- ・ソフトウェアによりX1入力クロック停止時 (MSTOP = 1) ～発振安定時間
- ・Ring-OSCクロック停止時

備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

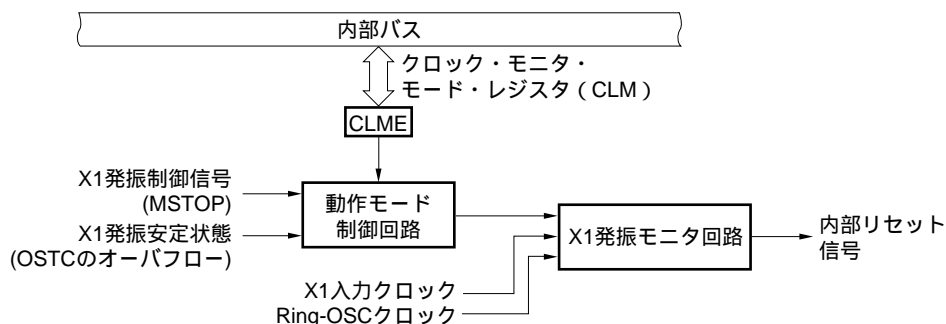
17.2 クロック・モニタの構成

クロック・モニタは、次のハードウェアで構成しています。

表17-1 クロック・モニタの構成

| 項目 | 構成 |
|--------|-------------------------|
| 制御レジスタ | クロック・モニタ・モード・レジスタ (CLM) |

図17-1 クロック・モニタのブロック図



備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

OSTC : 発振安定時間カウンタ状態レジスタ (OSTC)

17.3 クロック・モニタを制御するレジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

(1) クロック・モニタ・モード・レジスタ (CLM)

クロック・モニタの動作モードの設定を行うレジスタです。

CLMIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-2 クロック・モニタ・モード・レジスタ (CLM) のフォーマット

アドレス：FFA9H リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CLM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | CLME |

| CLME | クロック・モニタの動作許可/禁止 |
|------|------------------|
| 0 | クロック・モニタの動作禁止 |
| 1 | クロック・モニタの動作許可 |

注意1. 一度ビット0 (CLME) をセット (1) したら、 $\overline{\text{RESET}}$ 入力または内部リセット信号以外ではクリア (0) することはできません。

2. クロック・モニタによるリセットが発生した場合、CLMEは0になり、リセット・コントロール・フラグ・レジスタ (RESF) のビット1 (CLMRF) がセット (1) されます。

17.4 クロック・モニタの動作

クロック・モニタの持つ機能について説明します。モニタ開始条件，モニタ停止条件は次のようになります。

<モニタ開始条件>

クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) を動作許可 (1) に設定

<モニタ停止条件>

- ・リセット解除～発振安定時間
- ・STOPモード時～発振安定時間
- ・ソフトウェアによりX1入力クロック停止時 (MSTOP = 1) ～発振安定時間
- ・Ring-OSCクロック停止時

備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

表17-2 クロック・モニタの動作状態 (CLME = 1に設定時)

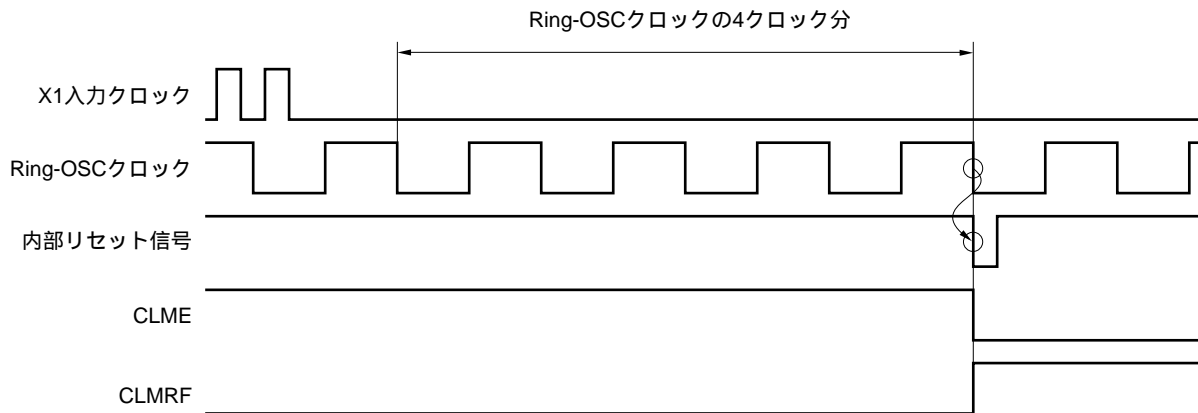
| CPU動作クロック | 動作モード | X1入力クロックの状態 | Ring-OSCクロックの状態 | クロック・モニタの状態 | |
|--------------|---------|-------------|-----------------|-------------|---------|
| X1入力クロック | STOPモード | 停止 | 発振 | 停止 | |
| | | | 停止 ^注 | | |
| | RESET入力 | | 発振 | | |
| | | | 停止 ^注 | | |
| 通常動作モード | HALTモード | 発振 | 発振 | 動作 | |
| | | | 停止 ^注 | 停止 | |
| Ring-OSCクロック | STOPモード | 停止 | 発振 | 停止 | |
| | | | | | RESET入力 |
| | 通常動作モード | | | 発振 | 動作 |
| | | | | HALTモード | 停止 |

注 マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」に選択した場合のみ，Ring-OSCクロックを停止することができます。「Ring-OSCは停止不可」に選択した場合，Ring-OSCクロックを停止することができません。

クロック・モニタのタイミングは，図17-3のようになります。

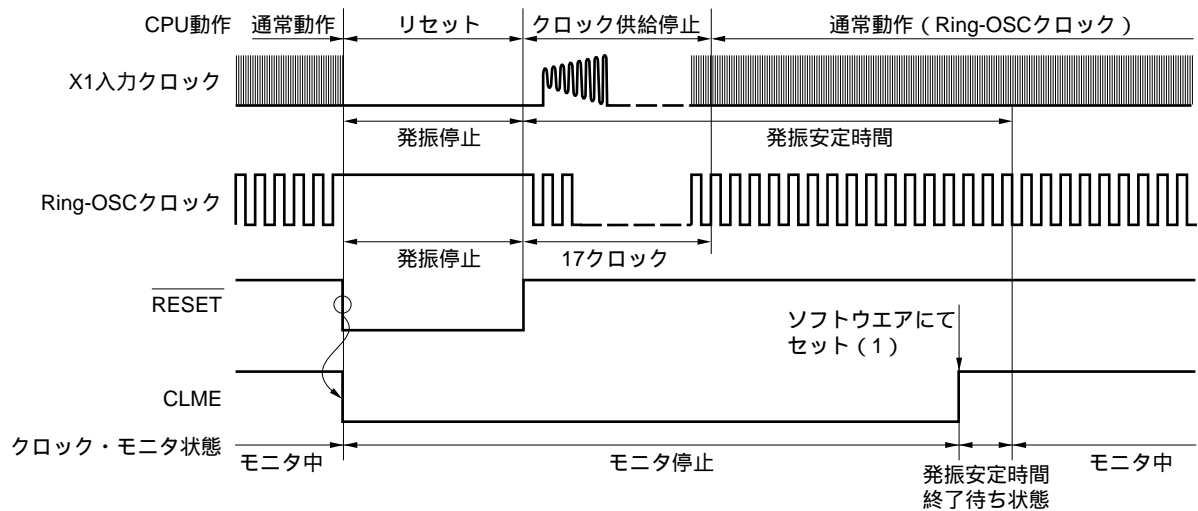
図17-3 クロック・モニタのタイミング (1/4)

(1) X1入力クロック発振停止によって、内部リセットがかかる場合



(2) $\overline{\text{RESET}}$ 入力後のクロック・モニタの状態

($\overline{\text{RESET}}$ 入力後、X1入力クロックの発振安定時間中に、CLME = 1を設定)

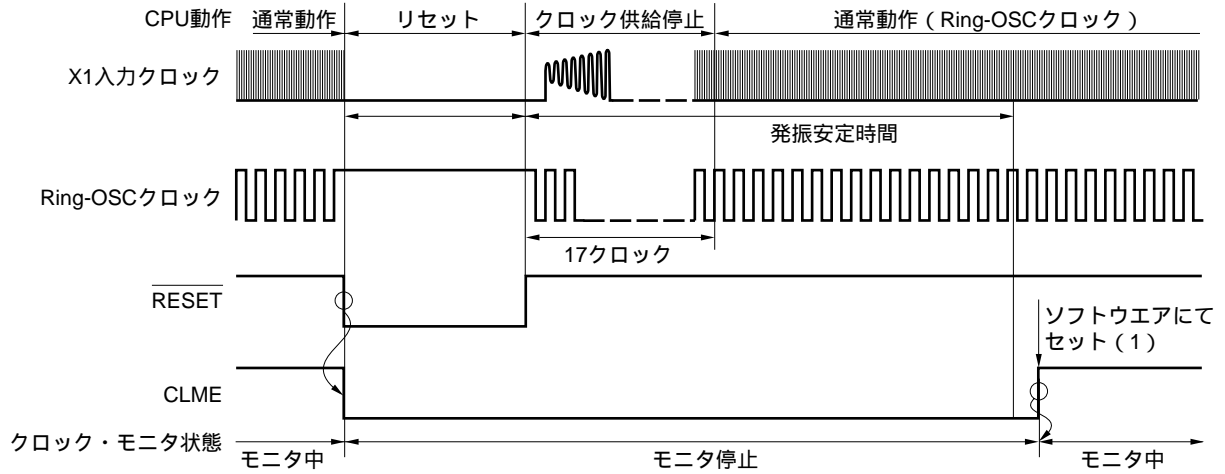


$\overline{\text{RESET}}$ 入力により、クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) はクリア (0) されて、クロック・モニタは動作停止します。X1入力クロックの発振安定時間 (OSTSレジスタのリセット値 = 05H ($2^{16}/f_{XP}$)) 中にソフトウェアでCLMEをセット (1) しても、X1入力クロックの発振安定時間が終了するまでは、モニタ動作を行わず、発振安定時間後に自動的に開始します。

図17-3 クロック・モニタのタイミング (2/4)

(3) RESET入力後のクロック・モニタの状態

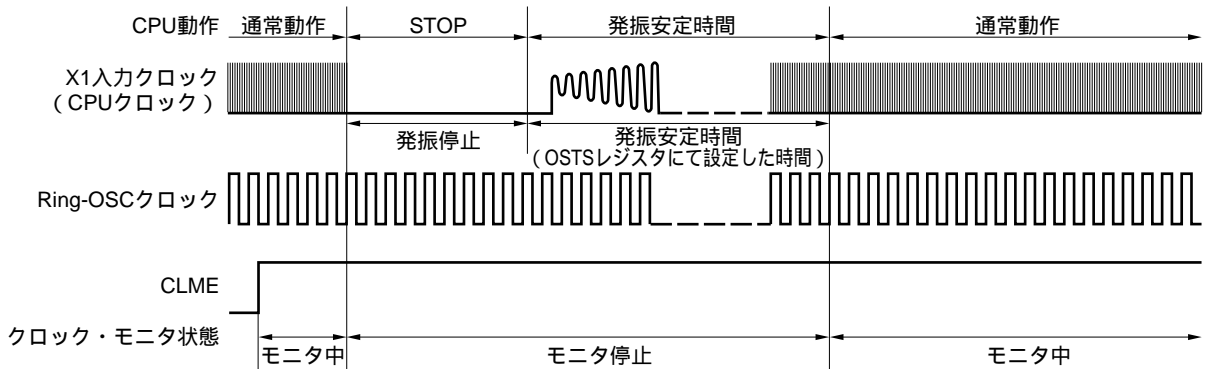
(RESET入力後, X1入力クロックの発振安定時間終了後に, CLME = 1を設定)



RESET入力により, クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) はクリア (0) されて, クロック・モニタは動作停止します。X1入力クロックの発振安定時間 (OSTSレジスタのリセット値 = 05H ($2^{16}/f_{XP}$)) 後にソフトウェアでCLMEをセット (1) すると, モニタ動作を開始します。

(4) STOPモード解除後のクロック・モニタの状態

(CPUクロックがX1入力クロック, STOPモードに入る前に, CLME = 1を設定)

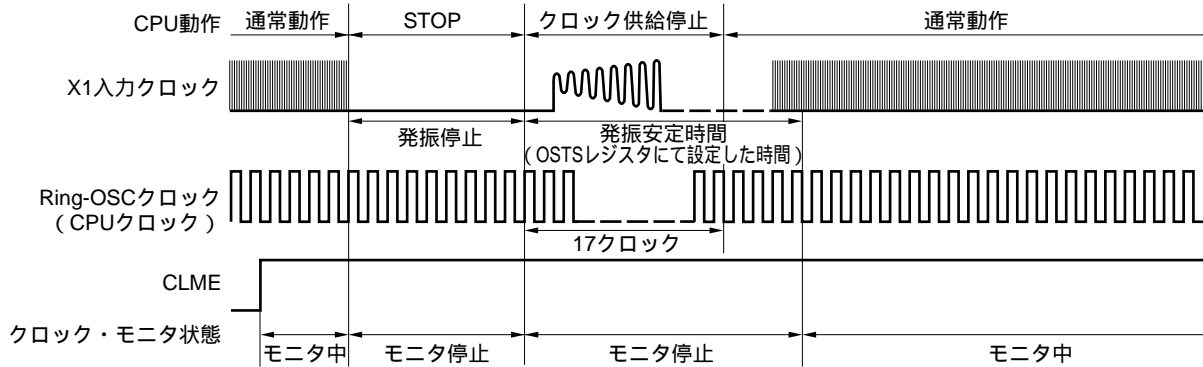


STOPモードに入る前に, クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合, X1入力クロックの発振安定時間終了時に自動的にモニタ動作を開始します。STOPモードおよび発振安定時間中はモニタ動作を停止します。

図17-3 クロック・モニタのタイミング (3/4)

(5) STOPモード解除後のクロック・モニタの状態

(CPUクロックがRing-OSCクロック, STOPモードに入る前に, CLME = 1を設定)



STOPモードに入る前に, クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合, X1入力クロックの発振安定時間終了時に自動的にモニタ動作を開始します。STOPモードおよび発振安定時間中はモニタ動作を停止します。

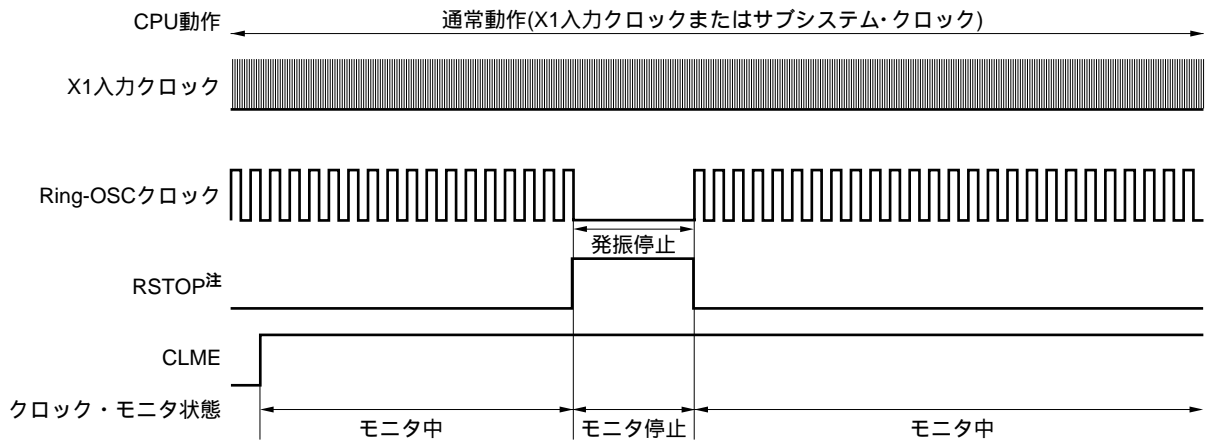
(6) ソフトウェアによるX1入力クロック発振停止後のクロック・モニタの状態



X1入力クロック発振停止前または停止中に, クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合, X1入力クロックの発振安定時間終了時に自動的にモニタ動作を開始します。X1入力クロック発振停止時および発振安定時間中はモニタ動作を停止します。

図17-3 クロック・モニタのタイミング (4/4)

(7) ソフトウェアによるRing-OSCクロック発振停止後のクロック・モニタの状態



Ring-OSCクロック発振停止前または停止中に、クロック・モニタ・モード・レジスタ(CLM)のビット0(CLME)に1を設定している場合、Ring-OSCクロック停止後、自動的にモニタ動作を開始します。Ring-OSCクロック発振停止時はモニタ動作を停止します。

注 マスク・オプションで、Ring-OSCを「停止不可」に選択している場合、Ring-OSCモード・レジスタ(RCM)のビット0(RSTOP)の設定は無効となります。またRSTOPを設定するときは、メイン・クロック・モード・レジスタ(MCM)のビット1(MCS)が1であることを必ず確認してください。

第18章 パワーオン・クリア回路

18.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
- ・電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ になったとき、内部リセット信号を発生します。
- ・マスク・オプションにより次の選択が可能です。
 - ・ POC不可
 - ・ POC使用 (検出電圧: $V_{POC} = 2.85\text{ V} \pm 0.15\text{ V}$)^注
 - ・ POC使用 (検出電圧: $V_{POC} = 3.5\text{ V} \pm 0.2\text{ V}$)

注 (A1) 水準品, (A2) 水準品は電源電圧が $V_{DD} = 3.3 \sim 5.5\text{ V}$ のため, 選択できません。

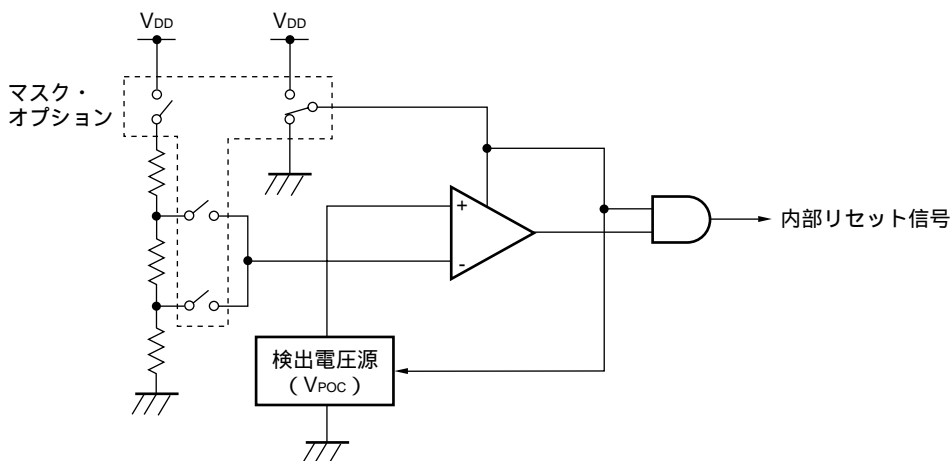
注意 POC回路で内部リセット信号が発生した場合, リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / クロック・モニタによる内部リセット信号が発生した場合, そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT/LVI/クロック・モニタのいずれかによる内部リセット信号が発生した場合は, クリア (00H) されずフラグがセット (1) されます。RESFの詳細については, 第16章 リセット機能を参照してください。

18.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図18 - 1に示します。

図18 - 1 パワーオン・クリア回路のブロック図

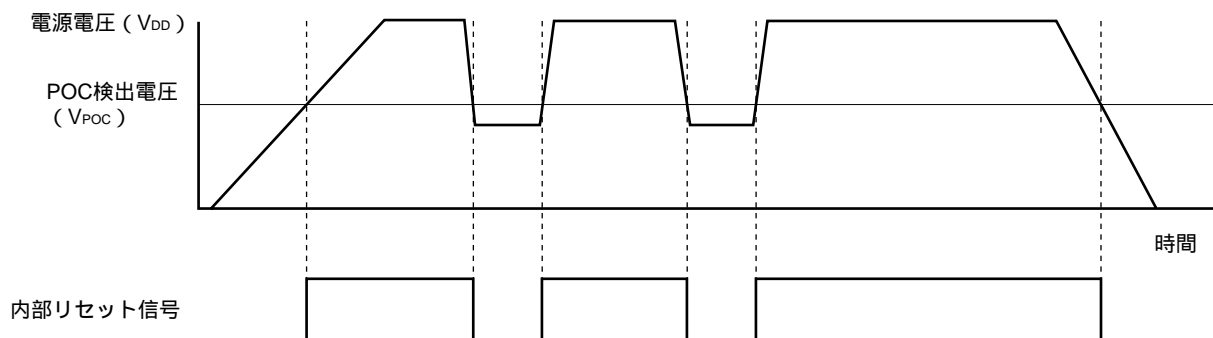


注 マスク・オプションにより選択

18.3 パワーオン・クリア回路の動作

パワーオン・クリア回路では、電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ のとき内部リセット信号を発生します。

図18 - 2 パワーオン・クリア回路の内部リセット信号発生タイミング



18.4 パワーオン・クリア回路の注意事項

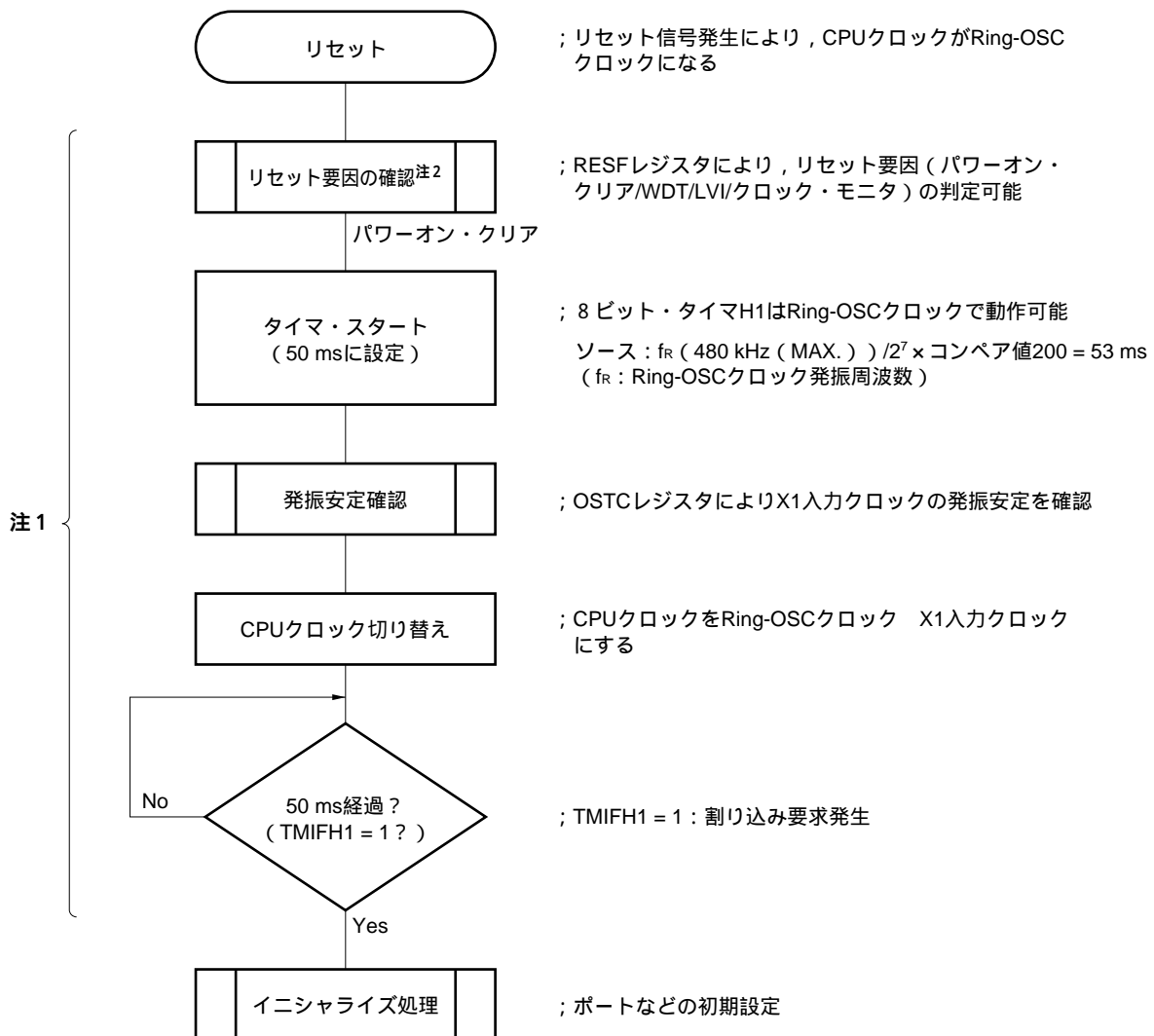
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図18-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

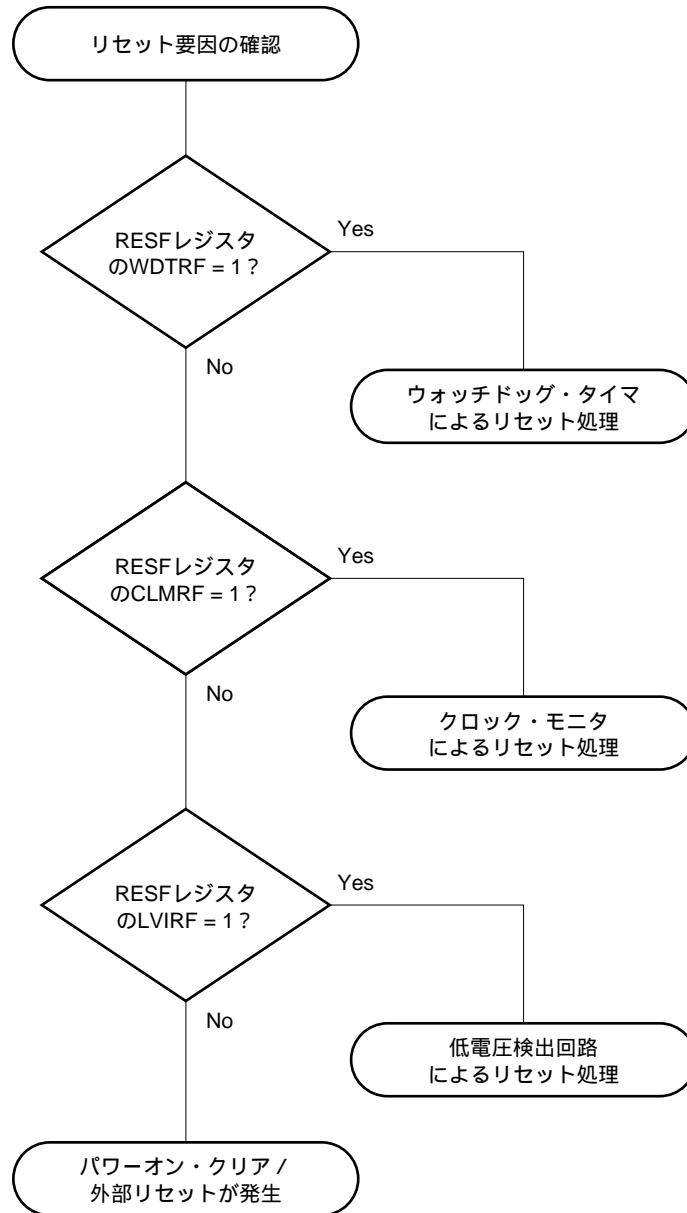


注1. この間に再度リセットが発生した場合、イニシャライズ処理には移行しません。

2. 次頁にフロー・チャートを示します。

図18 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第19章 低電圧検出回路

19.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、内部割り込み信号もしくは内部リセット信号を発生します。
- ・電源電圧の検出レベル[※]をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモード時においても動作可能です。

★ 注 電源電圧の検出レベルは、次のように異なります。

標準品, (A) 水準品の拡張規格品 : 8段階

標準品, (A) 水準品の従来規格品 : 7段階

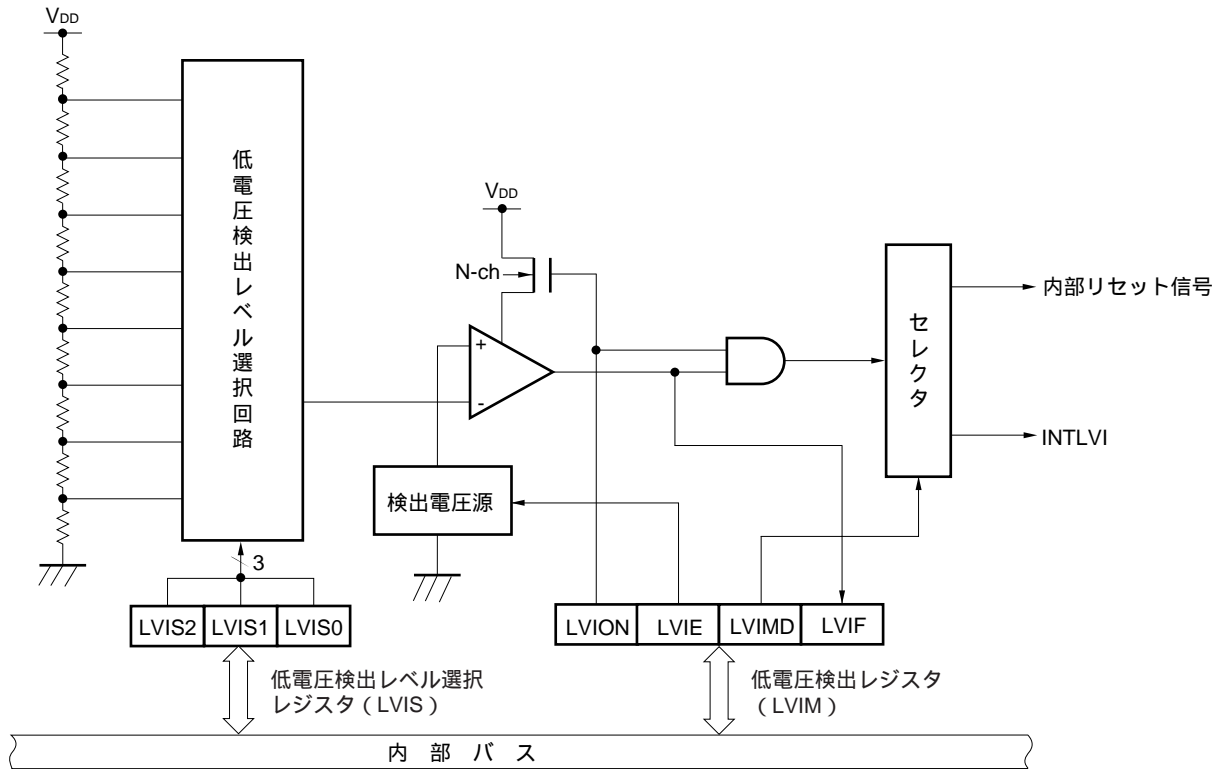
(A1) 水準品, (A2) 水準品 : 5段階

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、**第16章 リセット機能**を参照してください。

19.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図19 - 1に示します。

図19 - 1 低電圧検出回路のブロック図



19.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図19 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFBEH リセット時：00H R/W^{注1}

| | | | | | | | | |
|------|---|---|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| LVIM | LVION | 0 | 0 | LVIE | 0 | 0 | LVIMD | LVIF |

| | |
|------------------------|-----------|
| LVION ^{注2, 3} | 低電圧検出動作許可 |
| 0 | 動作禁止 |
| 1 | 動作許可 |

| | |
|--------------------------|---------------|
| LVIE ^{注2, 4, 5} | 基準電圧生成回路の動作指定 |
| 0 | 動作停止 |
| 1 | 動作許可 |

| | |
|---------------------|---|
| LVIMD ^{注2} | 低電圧検出の動作モード選択 |
| 0 | 電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に割り込み信号発生 |
| 1 | 電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に内部リセット信号発生 |

| | |
|--------------------|---|
| LVIF ^{注6} | 低電圧検出フラグ |
| 0 | 電源電圧 (V _{DD}) > 検出電圧 (V _{LVI})，または動作禁止時 |
| 1 | 電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) |

注1. ビット0はRead Onlyです。

2. LVION, LVIE, LVIMDはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
3. LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウェアでウェイトしてください。
4. マスク・オプションで「POC使用不可」を選択した場合，LVIEをセット (1) してからLVIONをセット (1) するまでに2 ms以上ソフトウェアでウェイトしてください。
5. マスク・オプションで「POC使用」を選択した場合，LVI回路内の基準電圧生成回路は常に動作しているため，LVIEの設定は無効となります。
6. LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されず。

注意 LVIMを停止する場合は，次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：LVIONをクリア (0) LVIEをクリア (0)

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH リセット時：00H R/W

| | | | | | | | | |
|------|---|---|---|---|---|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| LVIS | 0 | 0 | 0 | 0 | 0 | LVIS2 | LVIS1 | LVIS0 |

| LVIS2 | LVIS1 | LVIS0 | 検出レベル |
|-------|-------|-------|--|
| 0 | 0 | 0 | $V_{LV10} (4.3 V \pm 0.2 V)$ |
| 0 | 0 | 1 | $V_{LV11} (4.1 V \pm 0.2 V)$ |
| 0 | 1 | 0 | $V_{LV12} (3.9 V \pm 0.2 V)$ |
| 0 | 1 | 1 | $V_{LV13} (3.7 V \pm 0.2 V)$ |
| 1 | 0 | 0 | $V_{LV14} (3.5 V \pm 0.2 V)$ ^{注1} |
| 1 | 0 | 1 | $V_{LV15} (3.3 V \pm 0.15 V)$ ^{注1, 2} |
| 1 | 1 | 0 | $V_{LV16} (3.1 V \pm 0.15 V)$ ^{注1, 2} |
| 1 | 1 | 1 | $V_{LV17} (2.85 V \pm 0.15 V)$ ^{注1, 3, 4} |

注1. POC回路の検出電圧を、マスク・オプションにて $V_{POC} = 3.5 V \pm 0.2 V$ に選択した場合、LVIの検出電圧として V_{LV14} - V_{LV17} を選択しないでください。 V_{LV14} - V_{LV17} を選択しても、POC回路が優先されます。

2. 標準品、(A)水準品の拡張規格品、従来規格品のみ設定可能です。

3. POC回路の検出電圧を、マスク・オプションにて $V_{POC} = 2.85 V \pm 0.15 V$ に選択した場合、LVIの検出電圧として V_{LV17} を選択しないでください。 V_{LV17} を選択しても、POC回路が優先されます。

4. 標準品、(A)水準品の拡張規格品のみ設定可能です。

注意 ビット3-7には必ず“0”を設定してください。

19.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

- ・リセットとして使用
電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセット信号を発生します。
- ・割り込みとして使用
電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき割り込み信号 (INTLVI) を発生します。

動作設定方法は次のとおりです。

(1) リセットとして使用する場合

動作開始時

- LVIMの割り込みをマスクする ($LVIMK = 1$)
- 低電圧検出レベル選択レジスタ (LVIS) のビット2-0 ($LVIS2-LVIS0$) で検出電圧を設定する
- 低電圧検出レジスタ (LVIM) のビット4 ($LVIE$) に “1” (基準電圧生成回路の動作許可) を設定する
- 2 ms以上ソフトウェアでウェイトする
- LVIMのビット7 ($LVION$) に “1” (LVI動作許可) を設定する
- 0.2 ms以上ソフトウェアでウェイトする
- LVIMのビット0 ($LVIF$) で、「電源電圧 (V_{DD}) > 検出電圧 (V_{LVI})」であることを確認するまで待つ
- LVIMのビット1 ($LVIMD$) に “1” (電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に、内部リセット信号発生) を設定する

図19-4に、 \sim と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

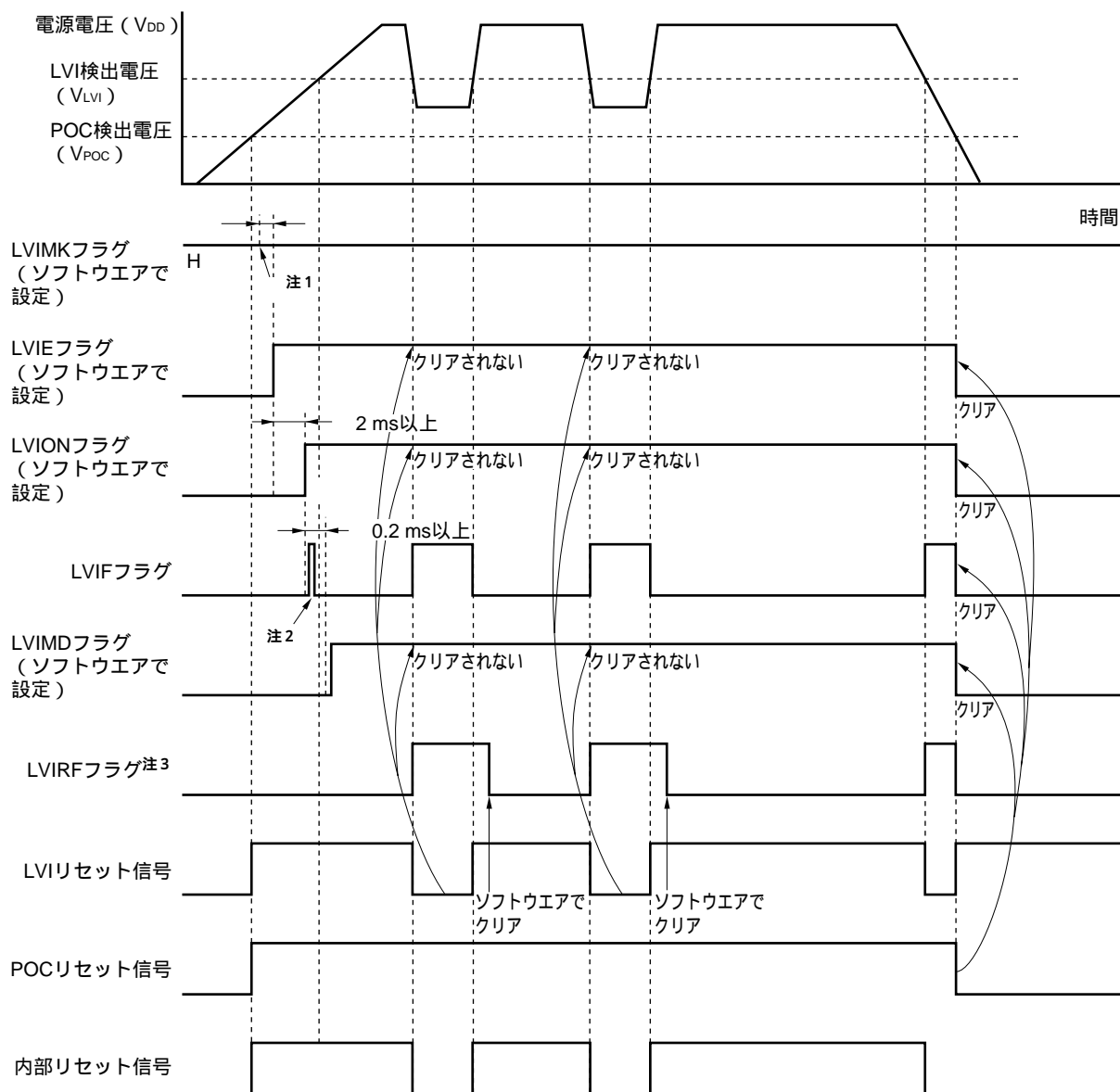
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。
2. とはマスク・オプションにて「POC使用」を選択した場合は不要です。
 3. LVIM = 1とした時点で、「電源電圧 (V_{DD}) > 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
LVIMDをクリア (0) LVIONをクリア (0) LVIEをクリア (0)

図19-4 低電圧検出回路の内部リセット信号発生タイミング



注1. LVIMKフラグはRESET入力により、“1”になっています。

2. LVIFフラグがセット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第16章 リセット機能を参照してください。

備考 図19-4の ~ は、19.4(1)リセットとして使用する場合 動作開始時の ~ と対応しています。

(2) 割り込みとして使用する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レベル選択レジスタ (LVIS) のビット2-0 (LVIS2-LVIS0) で検出電圧を設定する
- 低電圧検出レジスタ (LVIM) のビット4 (LVIE) に “1” (基準電圧生成回路の動作許可) を設定する
- 2 ms以上ソフトウェアでウェイトする
- LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する
- 0.2 ms以上ソフトウェアでウェイトする
- LVIMのビット0 (LVIF) で、「電源電圧 (V_{DD}) > 検出電圧 (V_{LVI})」であることを確認するまで待つ
- LVIMの割り込み要求フラグ (LVIIF) をクリア (0) する
- LVIMの割り込みマスク・フラグ (LVIMK) を解除する
(ベクタ割り込みを使用する場合) EI命令を実行する

図19 - 5に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

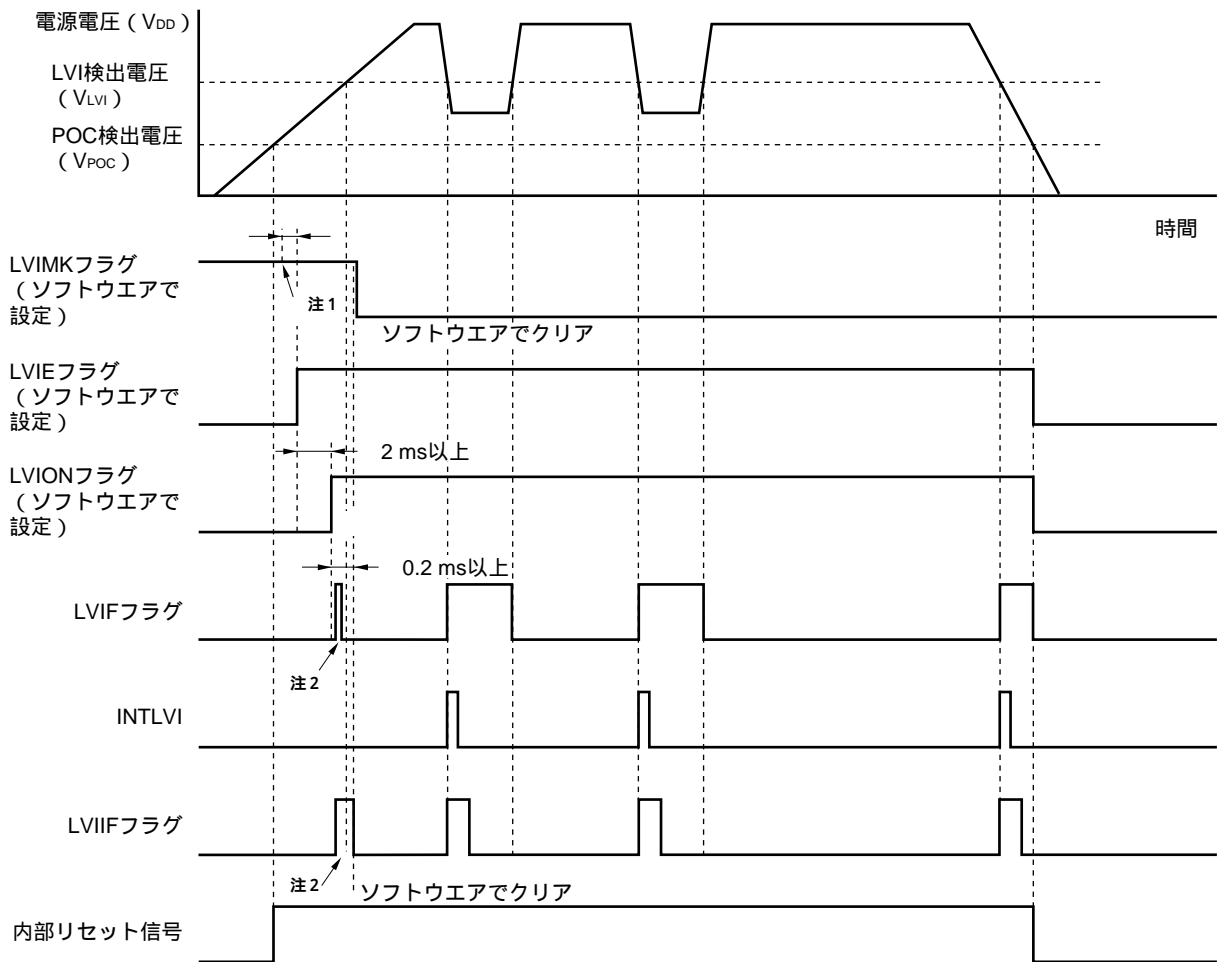
注意 と はマスク・オプションにて「POC使用」を選択した場合は不要です。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0) LVIEをクリア (0)

図19 - 5 低電圧検出回路の割り込み信号発生タイミング



注1. LVIMKフラグは $\overline{\text{RESET}}$ 入力により, “1” になっています。

2. LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。

備考 図19 - 5の ~ は, 19.4 (2) 割り込みとして使用する場合 動作開始時の ~ と対応しています。

19.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (a) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

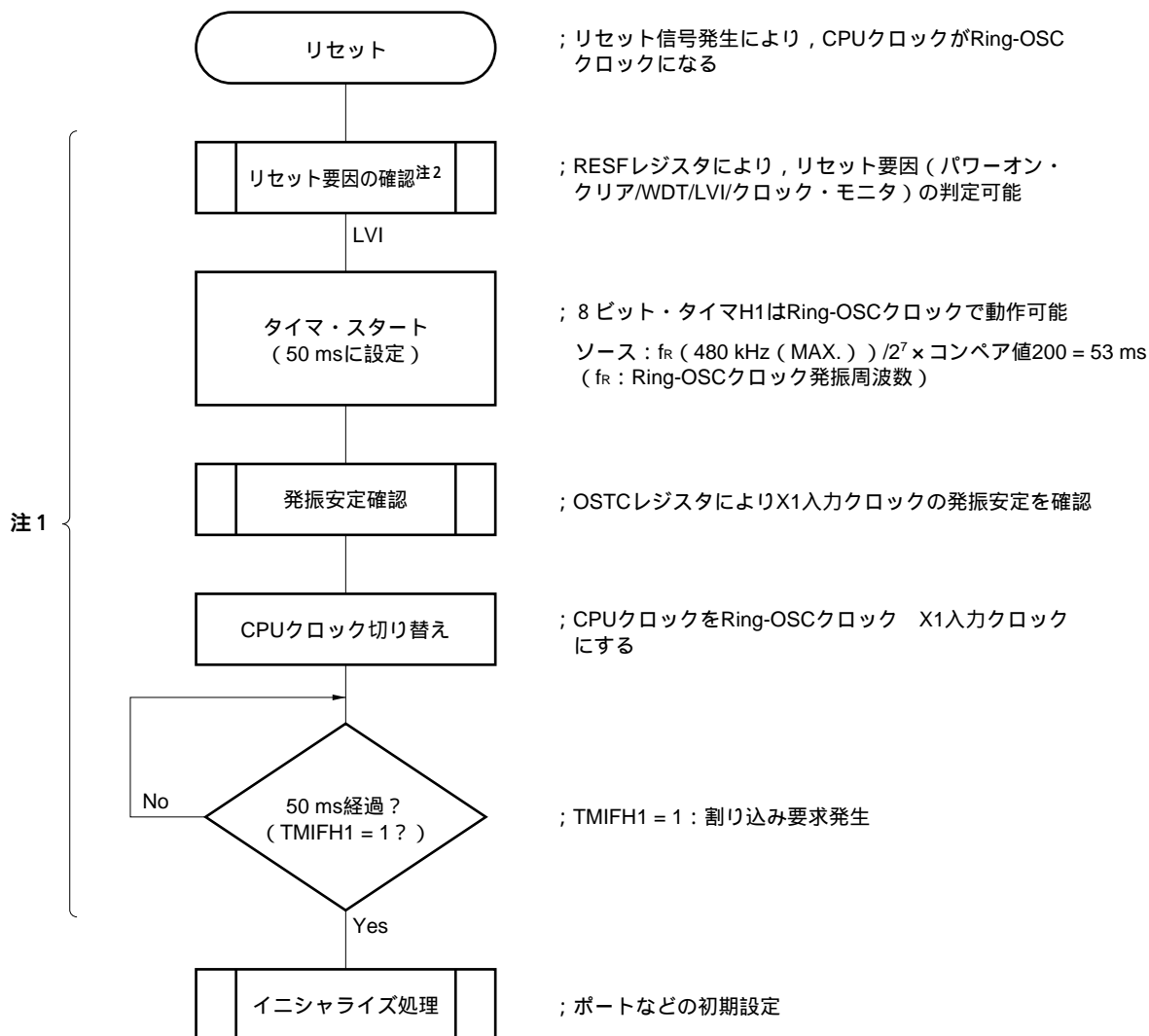
< 処 置 >

(a) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図19 - 6 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合

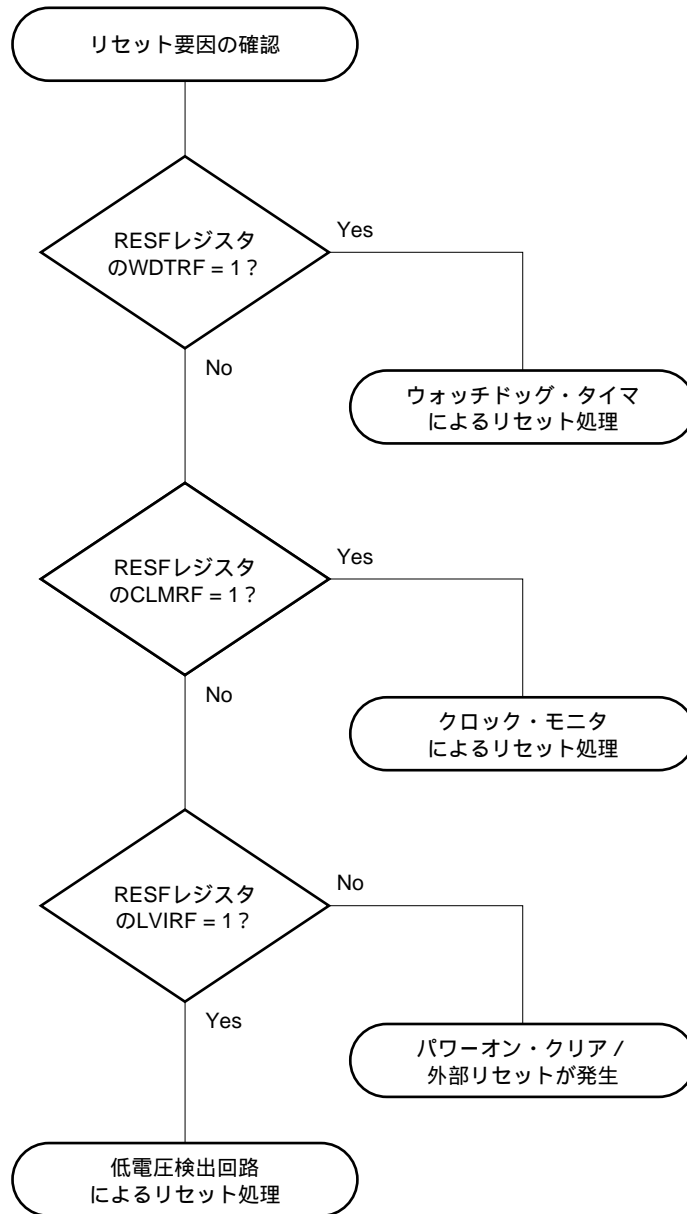


注1. この間に再度リセットが発生した場合, イニシャライズ処理には移行しません。

2. 次頁にフロー・チャートを示します。

図19-6 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



(b) 割り込みとして使用する場合

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) で、“電源電圧 (V_{DD}) > 検出電圧 (V_{LVI}) ”を確認し、割り込み要求フラグ・レジスタOL (IFOL) のビット0 (LVIIF) をクリア (0) してから、EI (割り込み許可) にしてください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとに、LVIFフラグで“電源電圧 (V_{DD}) > 検出電圧 (V_{LVI}) ”を確認してから、EI (割り込み許可) にしてください。

第20章 マスク・オプション

マスクROM製品には、次のマスク・オプションがあります。

1. パワーオン・クリア (POC) 回路

- ・ POC使用不可
- ・ POC使用 (検出電圧: $V_{POC} = 2.85\text{ V} \pm 0.15\text{ V}$)^注
- ・ POC使用 (検出電圧: $V_{POC} = 3.5\text{ V} \pm 0.2\text{ V}$)

2. Ring-OSC

- ・ 停止不可
- ・ ソフトウェアにより停止可能

注 (A1) 水準品, (A2) 水準品は電源電圧が $V_{DD} = 3.3 \sim 5.5\text{ V}$ のため, 選択できません。

マスクROM製品のマスク・オプションに対応するフラッシュ・メモリ製品は、次のとおりです。

表20 - 1 マスクROM製品のマスク・オプションと対応するフラッシュ・メモリ製品

| マスク・オプション | | フラッシュ・メモリ製品 |
|--|---------------|--|
| POC回路 | Ring-OSC | |
| POC使用不可 | 停止不可 | μ PD78F0103M1, 78F0103M1(A), 78F0103M1(A1) |
| | ソフトウェアにより停止可能 | μ PD78F0103M2, 78F0103M2(A), 78F0103M2(A1) |
| POC使用 ($V_{POC} = 2.85\text{ V} \pm 0.15\text{ V}$) | 停止不可 | μ PD78F0103M3, 78F0103M3(A) |
| | ソフトウェアにより停止可能 | μ PD78F0103M4, 78F0103M4(A) |
| POC使用 ($V_{POC} = 3.5\text{ V} \pm 0.2\text{ V}$) | 停止不可 | μ PD78F0103M5, 78F0103M5(A), 78F0103M5(A1) |
| | ソフトウェアにより停止可能 | μ PD78F0103M6, 78F0103M6(A), 78F0103M6(A1) |

第21章 μ PD78F0103

78K0/KB1のフラッシュ・メモリ製品には、 μ PD78F0103があります。

μ PD78F0103は、 μ PD780103の内蔵マスクROMを、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリに置き換えた製品です。 μ PD78F0103とマスクROM製品の違いを表21 - 1に示します。

表21 - 1 μ PD78F0103とマスクROM製品の違い

| 項目 | μ PD78F0103 | マスクROM製品 |
|--------------------|----------------------------|---|
| 内部ROM構造 | フラッシュ・メモリ | マスクROM |
| 内部ROM容量 | 24 Kバイト ^注 | μ PD780101 : 8 Kバイト μ PD780102 : 16 Kバイト μ PD780103 : 24 Kバイト |
| 内部高速RAM容量 | 768バイト ^注 | μ PD780101 : 512バイト μ PD780102 : 768バイト μ PD780103 : 768バイト |
| IC端子 | なし | あり |
| V _{PP} 端子 | あり | なし |
| 電気的特性, 半田付け推奨条件 | 電気的特性と半田付け推奨条件の章を参照してください。 | |

注 メモリ・サイズ切り替えレジスタ (IMS) により、マスクROM製品と同一の容量に設定できます。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。

21.1 メモリ・サイズ切り替えレジスタ

μ PD78F0103は、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

注意 IMSの初期値は設定禁止（CFH）です。必ず初期設定で対象のマスクROM製品の値を設定してください。

図21 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

| | | | | | | | | |
|-----|------|------|------|---|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IMS | RAM2 | RAM1 | RAM0 | 0 | ROM3 | ROM2 | ROM1 | ROM0 |

| RAM2 | RAM1 | RAM0 | 内部高速RAM容量の選択 |
|------|------|------|--------------|
| 0 | 0 | 0 | 768バイト |
| 0 | 1 | 0 | 512バイト |
| 上記以外 | | | 設定禁止 |

| ROM3 | ROM2 | ROM1 | ROM0 | 内部ROM容量の選択 |
|------|------|------|------|------------|
| 0 | 0 | 1 | 0 | 8 Kバイト |
| 0 | 1 | 0 | 0 | 16 Kバイト |
| 0 | 1 | 1 | 0 | 24 Kバイト |
| 上記以外 | | | | 設定禁止 |

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表21 - 2に示します。

表21 - 2 メモリ・サイズ切り替えレジスタの設定値

| 対象のマスクROM製品 | IMSの設定値 |
|----------------|---------|
| μ PD780101 | 42H |
| μ PD780102 | 04H |
| μ PD780103 | 06H |

注意 マスクROM製品を使用する場合、IMSには表21 - 2に示す値を必ず設定してください。

21.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に μ PD78F0103を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に μ PD78F0103を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは，（株）内藤電誠町田製作所の製品です。

表21 - 3 μ PD78F0103と専用フラッシュ・ライターの配線表（1/2）

(1) 3線式シリアルI/O（CSI10）

| 専用フラッシュ・ライター接続端子 | | | CSI10使用時 | | CSI10 + HS使用時 | |
|------------------|-----|-----------------------------|-------------------|------|-------------------|------|
| 信号名 | 入出力 | 端子機能 | 端子名 | ピン番号 | 端子名 | ピン番号 |
| SI/RxD | 入力 | 受信信号 | SO10/P12 | 17 | SO10/P12 | 17 |
| SO/TxD | 出力 | 送信信号 | SI10/RxD0/P11 | 16 | SI10/RxD0/P11 | 16 |
| SCK | 出力 | 転送クロック | SCK10/TxD0/P10 | 15 | SCK10/TxD0/P10 | 15 |
| CLK | 出力 | μ PD78F0103へのクロック | X1 | 8 | X1 | 8 |
| | | | X2 ^注 | 9 | X2 ^注 | 9 |
| /RESET | 出力 | リセット信号 | RESET | 10 | RESET | 10 |
| V _{PP} | 出力 | 書き込み電圧 | V _{PP} | 5 | V _{PP} | 5 |
| H/S | 入力 | ハンドシェイク信号 | 必要なし | 必要なし | HS/P15/TOH0 | 20 |
| V _{DD} | 入出力 | V _{DD} 電圧生成 / 電圧監視 | V _{DD} | 7 | V _{DD} | 7 |
| | | | AV _{REF} | 28 | AV _{REF} | 28 |
| GND | - | グラウンド | V _{SS} | 6 | V _{SS} | 6 |
| | | | AV _{SS} | 29 | AV _{SS} | 29 |

注 フラッシュ・ライターのクロック・アウトを使用する際は，ライターのCLKとX1を接続し，X2にはその反転信号を接続してください。

表21 - 3 μ PD78F0103と専用フラッシュ・ライタの配線表 (2/2)

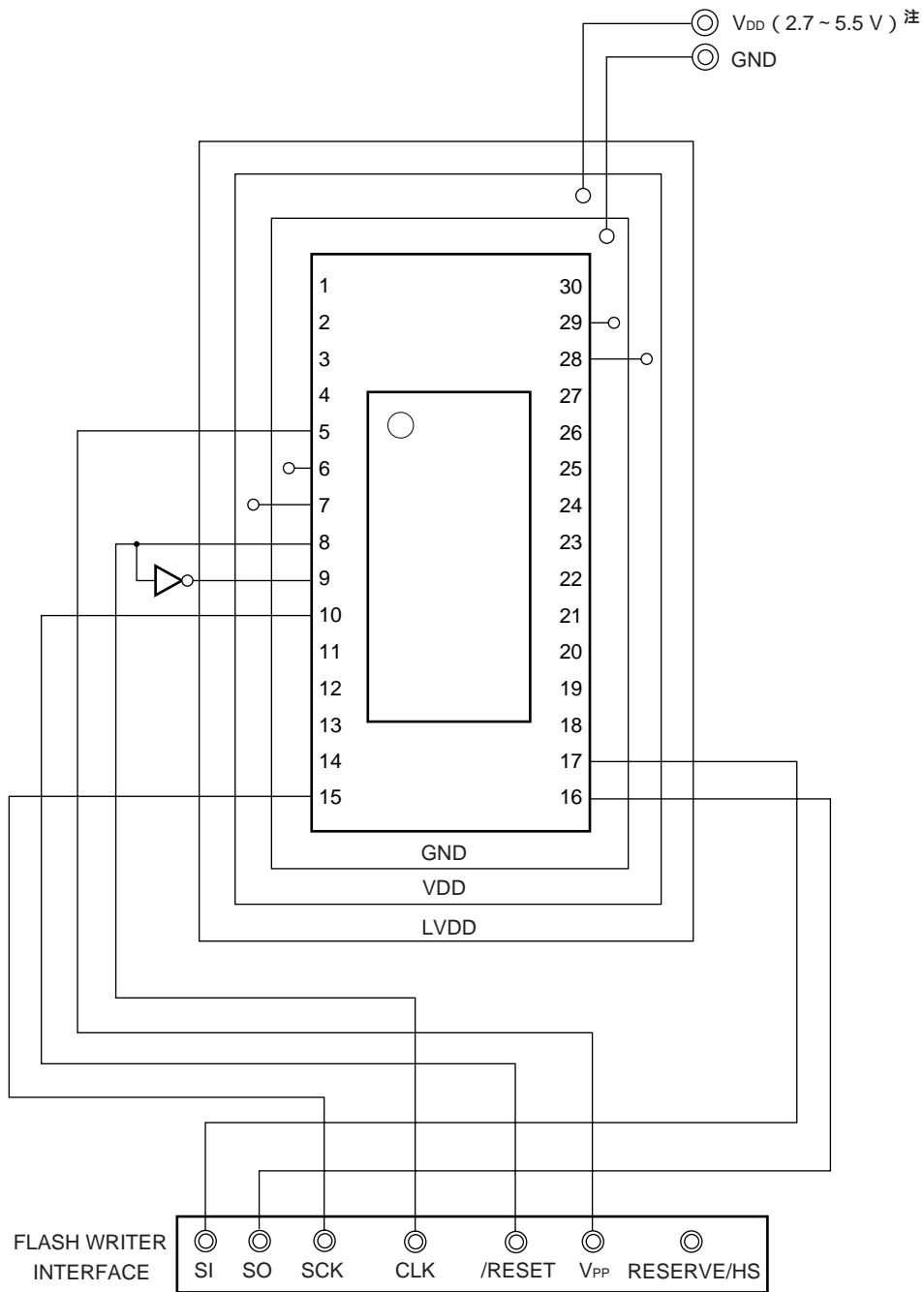
(2) UART (UART0, UART6)

| 専用フラッシュ・ライタ接続端子 | | | UART0使用時 | | UART0 + HS使用時 | | UART6使用時 | |
|-----------------|-----|--------------------------------|-------------------|------|-------------------|------|-------------------|------|
| 信号名 | 入出力 | 端子機能 | 端子名 | ピン番号 | 端子名 | ピン番号 | 端子名 | ピン番号 |
| SI/RxD | 入力 | 受信信号 | TxD0/SCK10/P10 | 15 | TxD0/SCK10/P10 | 15 | TxD6/P13 | 18 |
| SO/TxD | 出力 | 送信信号 | RxD0/SI10/P11 | 16 | RxD0/SI10/P11 | 16 | RxD6/P14 | 19 |
| SCK | 出力 | 転送クロック | 必要なし | 必要なし | 必要なし | 必要なし | 必要なし | 必要なし |
| CLK | 出力 | μ PD78F0103 へのクロック | X1 | 8 | X1 | 8 | X1 | 8 |
| | | | X2 ^注 | 9 | X2 ^注 | 9 | X2 ^注 | 9 |
| /RESET | 出力 | リセット信号 | RESET | 10 | RESET | 10 | RESET | 10 |
| V _{PP} | 出力 | 書き込み電圧 | V _{PP} | 5 | V _{PP} | 5 | V _{PP} | 5 |
| H/S | 入力 | ハンドシェイク 信号 | 必要なし | 必要なし | HS/P15/TOH0 | 20 | 必要なし | 必要なし |
| V _{DD} | 入出力 | V _{DD} 電圧生成 / 電圧監視 | V _{DD} | 7 | V _{DD} | 7 | V _{DD} | 7 |
| | | | AV _{REF} | 28 | AV _{REF} | 28 | AV _{REF} | 28 |
| GND | - | グラウンド | V _{SS} | 6 | V _{SS} | 6 | V _{SS} | 6 |
| | | | AV _{SS} | 29 | AV _{SS} | 29 | AV _{SS} | 29 |

注 フラッシュ・ライタのクロック・アウトを使用する際は、ライタのCLKとX1を接続し、X2にはその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

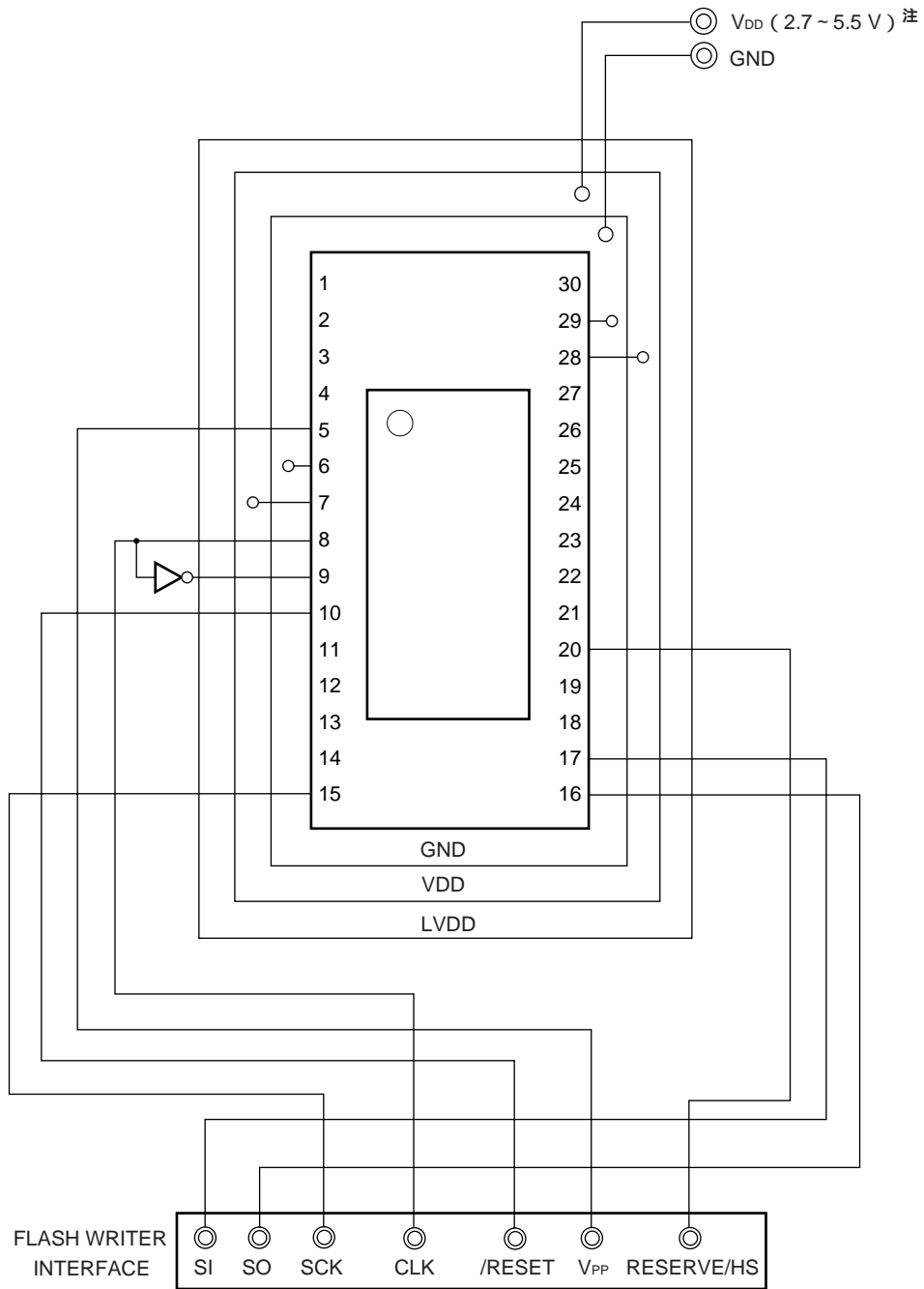
図21 - 2 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例



注 μ PD78F0103, 78F0103(A) : 2.7 ~ 5.5 V

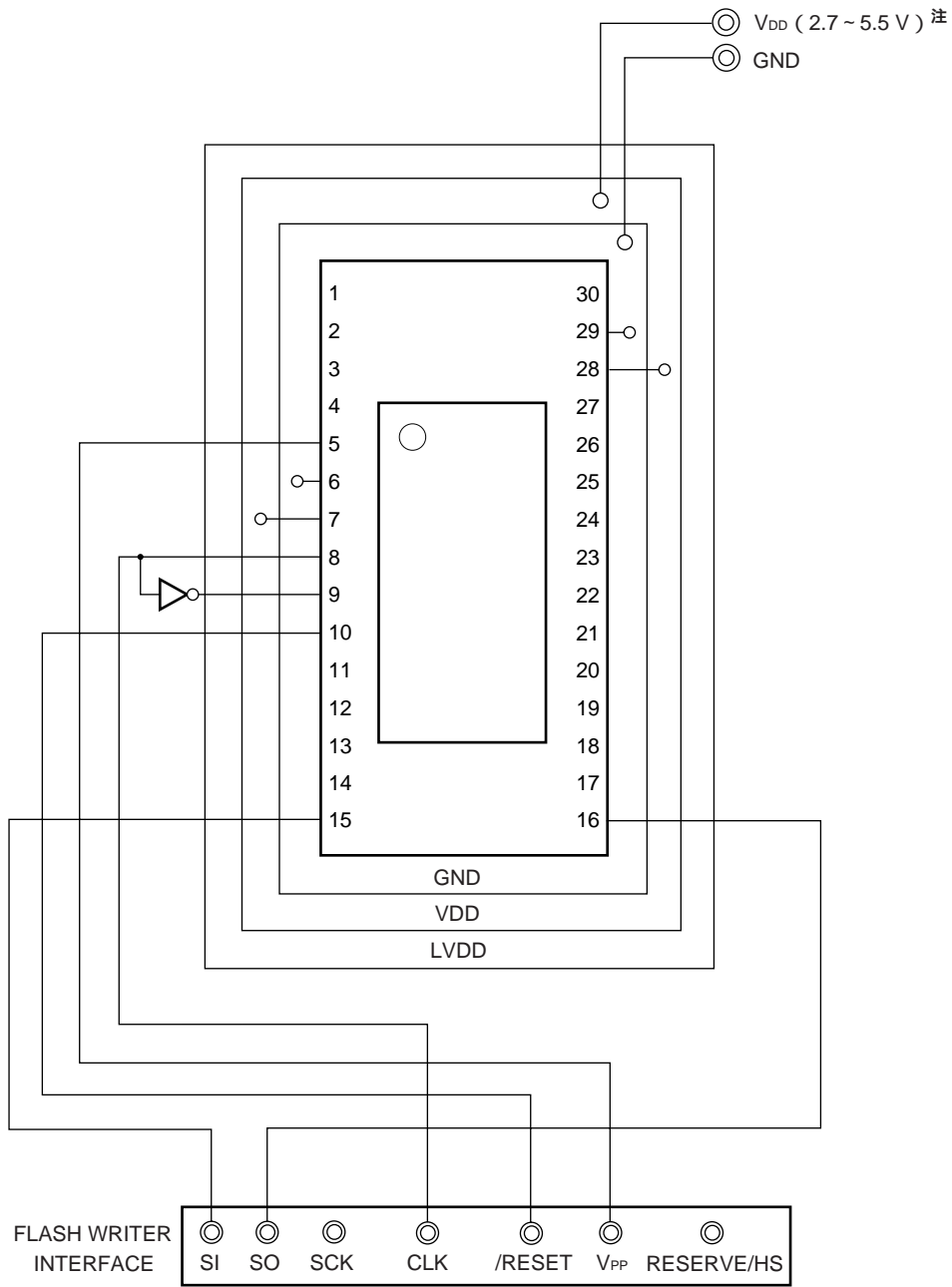
μ PD78F0103(A1) : 3.3 ~ 5.5 V

図21 - 3 3線式シリアルI/O (CS10 + HS) 方式でのフラッシュ書き込み用アダプタ配線例



注 μ PD78F0103, 78F0103(A) : 2.7 ~ 5.5 V
 μ PD78F0103(A1) : 3.3 ~ 5.5 V

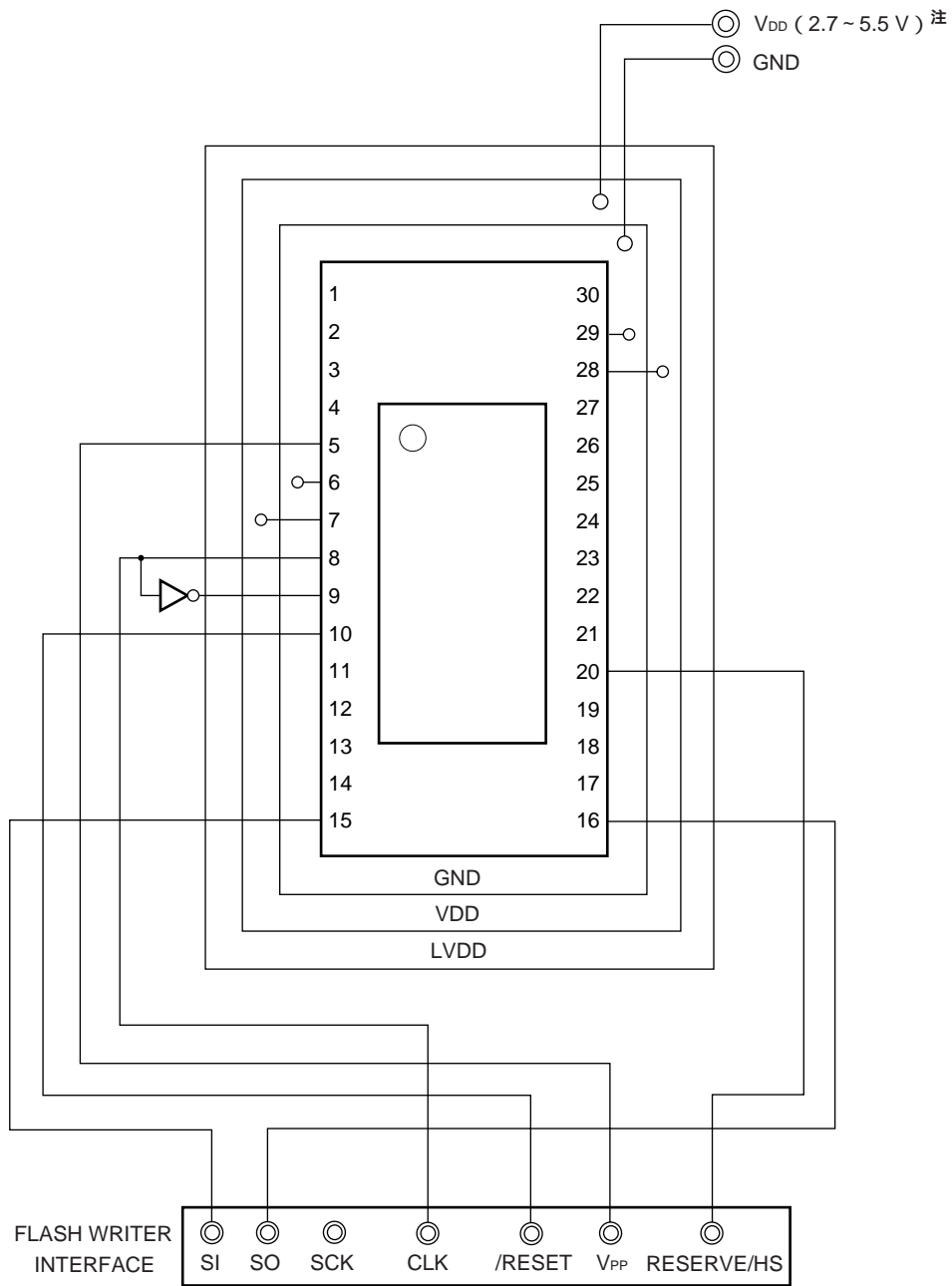
図21 - 4 UART (UART0) 方式でのフラッシュ書き込み用アダプタ配線例



注 μ PD78F0103, 78F0103(A) : 2.7 ~ 5.5 V

μ PD78F0103(A1) : 3.3 ~ 5.5 V

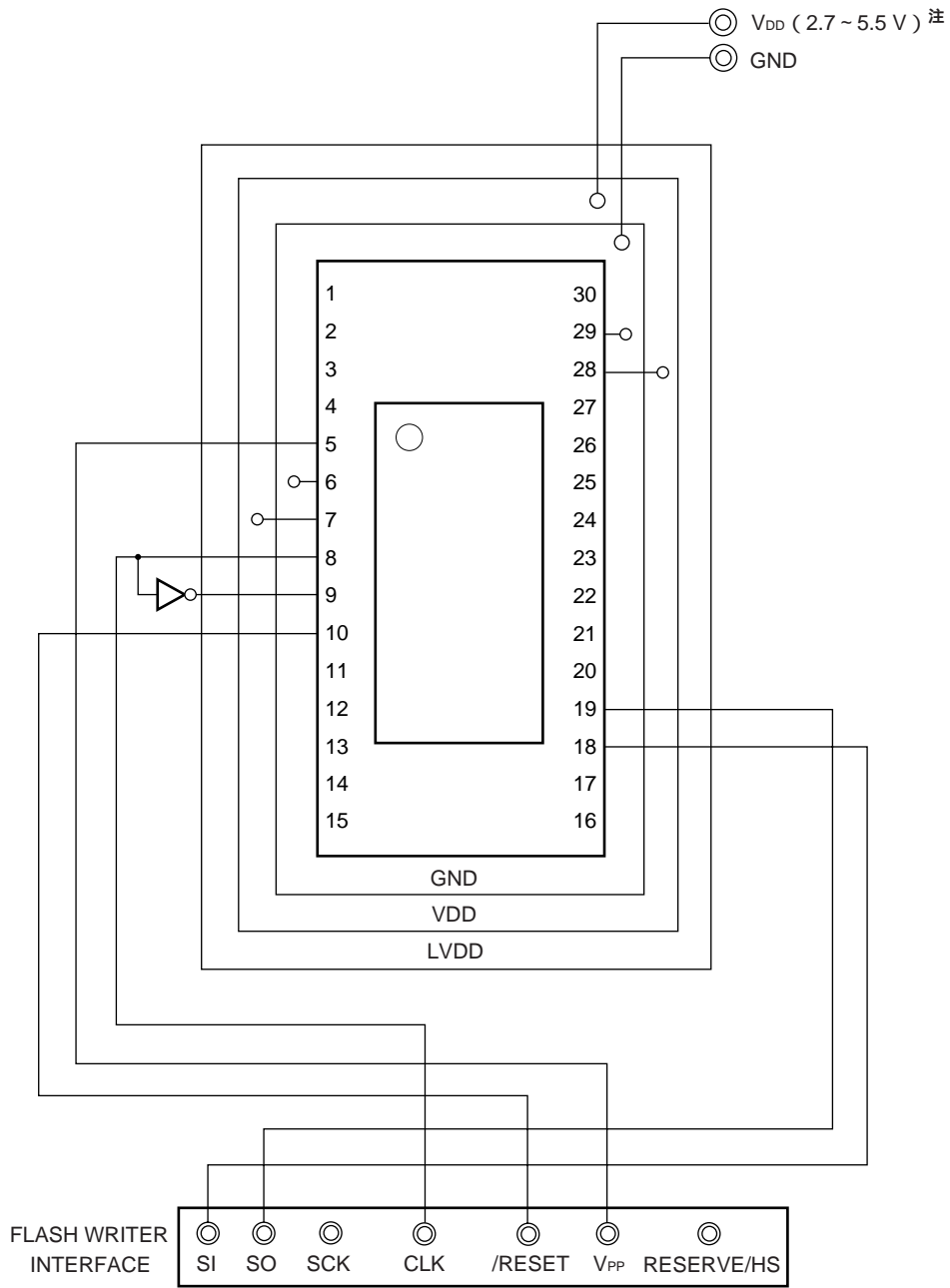
図21 - 5 UART (UART0+HS) 方式でのフラッシュ書き込み用アダプタ配線例



注 μ PD78F0103, 78F0103(A) : 2.7 ~ 5.5 V

μ PD78F0103(A1) : 3.3 ~ 5.5 V

図21 - 6 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例



注 μ PD78F0103, 78F0103(A) : 2.7 ~ 5.5 V

μ PD78F0103(A1) : 3.3 ~ 5.5 V

21.3 プログラミング環境

μ PD78F0103のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図21-7 フラッシュ・メモリにプログラムを書き込むための環境



注 Flashpro のみ。

専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターと μ PD78F0103とのインタフェースはCSI10、UART0またはUART6を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

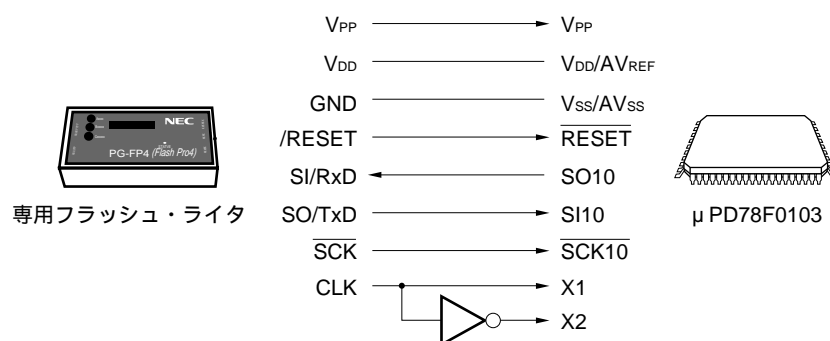
21.4 通信方式

専用フラッシュ・ライター μ PD78F0103との通信は、 μ PD78F0103のCSI10、UART0またはUART6によるシリアル通信で行います。

(1) CSI10

転送レート：200 K~2 MHz

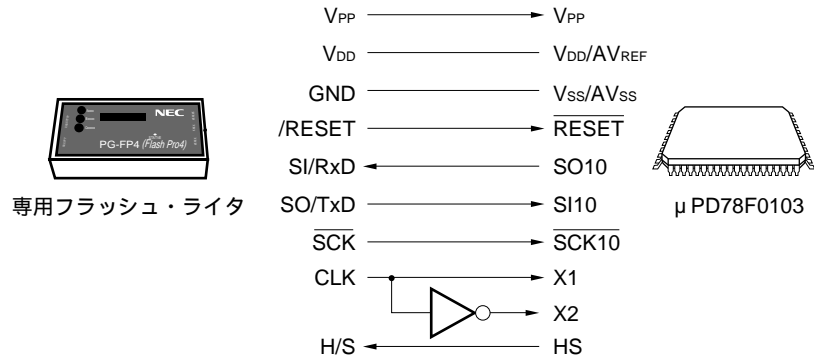
図21-8 専用フラッシュ・ライターとの通信 (CSI10)



(2) ハンドシェイク対応CSI通信方式

転送レート : 200 K ~ 2 MHz

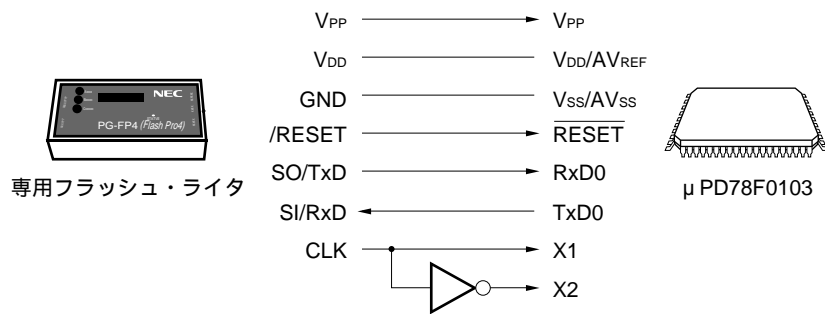
図21 - 9 専用フラッシュ・ライターとの通信 (CSI10 + HS)



(3) UART0

転送レート : 4800 ~ 38400 bps

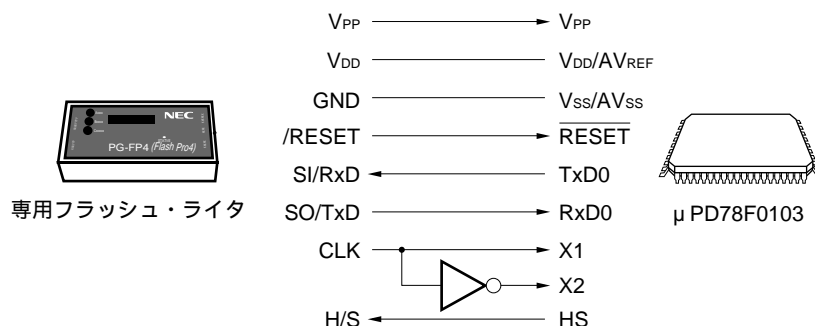
図21 - 10 専用フラッシュ・ライターとの通信 (UART0)



(4) ハンドシェイク対応UART通信方式

転送レート : 4800 ~ 38400 bps

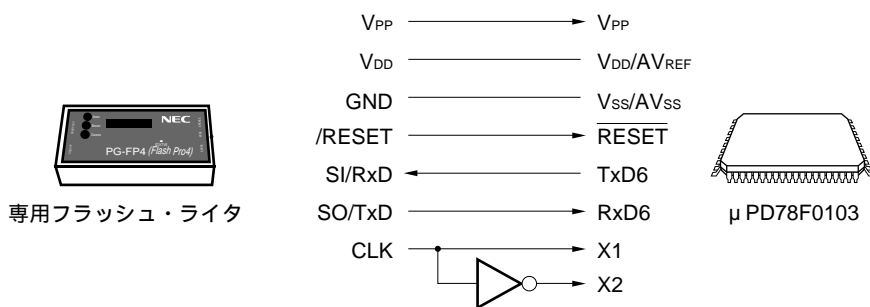
図21 - 11 専用フラッシュ・ライタとの通信 (UART0 + HS)



(5) UART6

転送レート : 4800 ~ 76800 bps

図21 - 12 専用フラッシュ・ライタとの通信 (UART6)



専用フラッシュ・ライタとしてFlashpro /Flashpro を使用した場合、Flashpro /Flashpro は μ PD78F0103 に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表21 - 4 端子接続一覧

| Flashpro /Flashpro | | | μ PD78F0103 | 接続時の処置 | | |
|--------------------|-----|-----------------------------|-------------------------------------|--------|-------|-------|
| 信号名 | 入出力 | 端子機能 | 端子名 | CSI10 | UART0 | UART6 |
| V _{PP} | 入力 | 書き込み電圧 | V _{PP} | | | |
| V _{DD} | 入出力 | V _{DD} 電圧生成 / 電圧監視 | V _{DD} , AV _{REF} | | | |
| GND | - | グラウンド | V _{SS} , AV _{SS} | | | |
| CLK | 出力 | μ PD78F0103へのクロック出力 | X1, X2 ^注 | | | |
| /RESET | 出力 | リセット信号 | RESET | | | |
| SI/RxD | 入力 | 受信信号 | SO10/TxD0/TxD6 | | | |
| SO/TxD | 出力 | 送信信号 | SI10/RxD0/RxD6 | | | |
| SCK | 出力 | 転送クロック | SCK10 | | × | × |
| H/S | 入力 | ハンドシェーク信号 | HS | | | × |

注 フラッシュ・ライタのクロック・アウトを使用する際は、ライタのCLKとX1を接続し、X2にはその反転信号を接続してください。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

× : 接続の必要はありません。

: ハンドシェーク・モード時

21.5 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

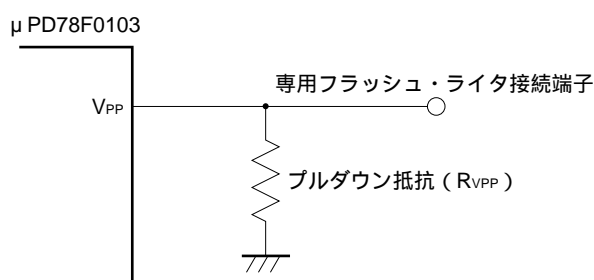
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

21.5.1 V_{PP}端子

通常動作モード時は、V_{PP}端子をV_{SS}に接続します。また、フラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.)の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗R_{VPP} = 10 k を接続してください。
- (2) ボード上のジャンパでV_{PP}端子の入力をライタ側または直接GNDに切り替えてください。

図21 - 13 V_{PP}端子の接続例



21.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表21 - 5 各シリアル・インタフェースが使用する端子

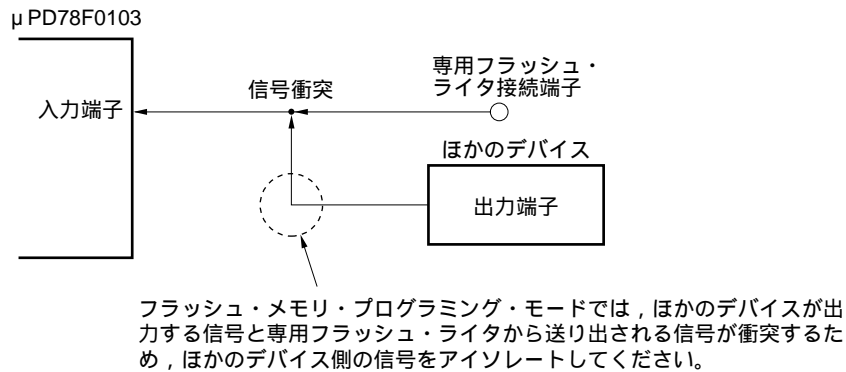
| シリアル・インタフェース | 使用端子 |
|--------------|---------------------------|
| CSI10 | SO10, SI10, SCK10 |
| CSI10 + HS | SO10, SI10, SCK10, HS/P15 |
| UART0 | TxD0, RxD0 |
| UART0 + HS | TxD0, RxD0, HS/P15 |
| UART6 | TxD6, RxD6 |

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

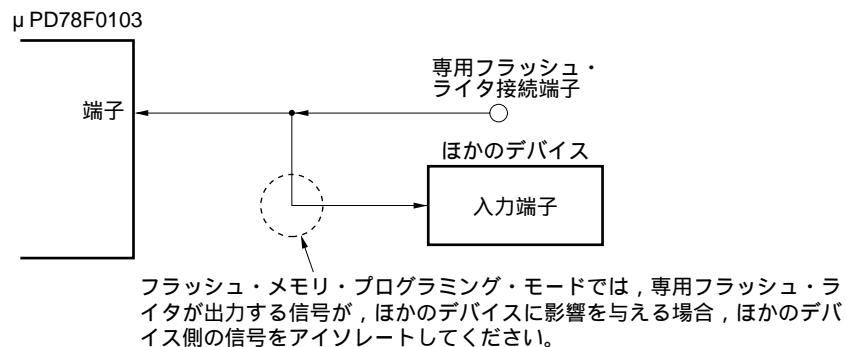
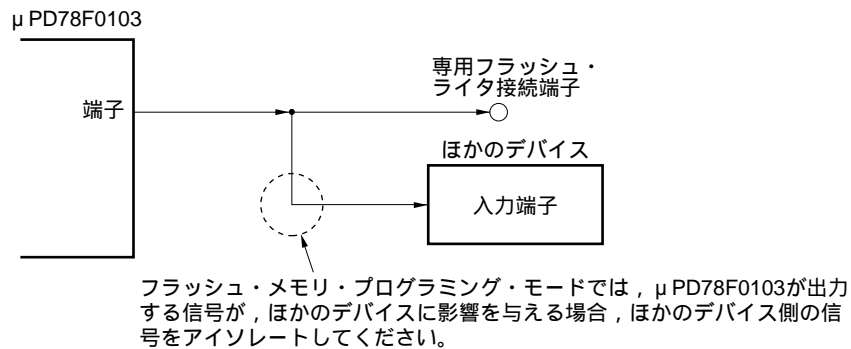
図21 - 14 信号の衝突 (シリアル・インタフェースの入力端子)



(2) ほかのデバイスの異常動作

ほかのデバイス (入力) と接続しているシリアル・インタフェース用の端子 (入力または出力) に、専用フラッシュ・ライター (出力または入力) を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図21 - 15 ほかのデバイスの異常動作

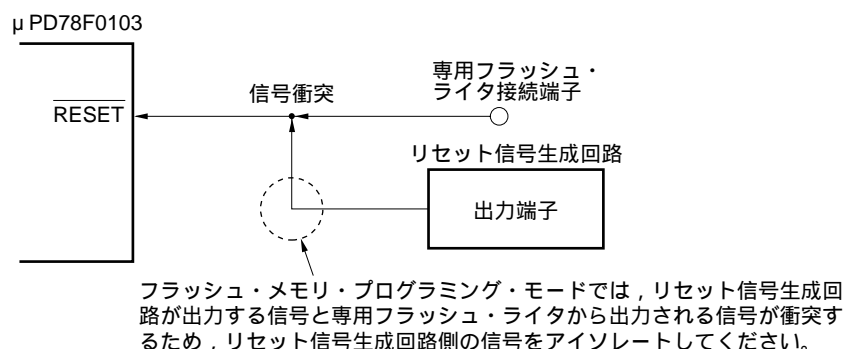


21.5.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図21-16 信号の衝突 (RESET端子)



21.5.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

21.5.5 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、ライタから動作クロックを入力する場合、ライタのクロック・アウトとX1を、またX2には、その反転信号を接続してください。

21.5.6 電 源

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのV_{SS}に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・ライタで電圧監視をするため、V_{DD}, V_{SS}端子はフラッシュ・ライタのV_{DD}, GNDと必ず接続してください。

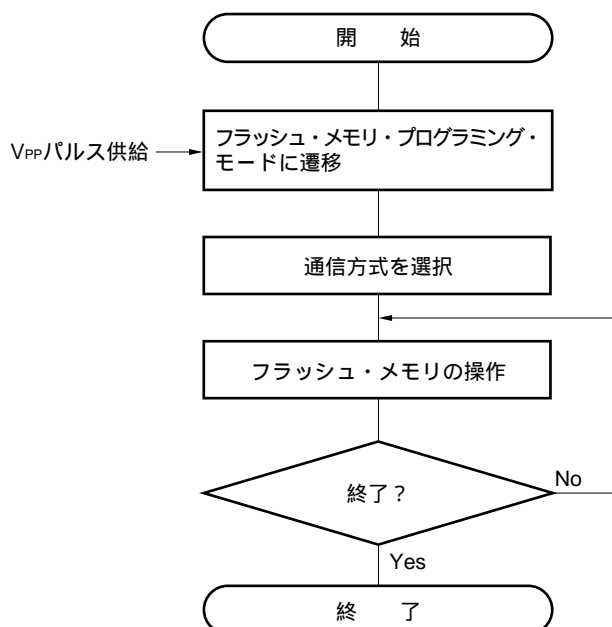
その他の電源 (AV_{REF}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

21.6 プログラミング方法

21.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図21 - 17 フラッシュ・メモリの操作手順

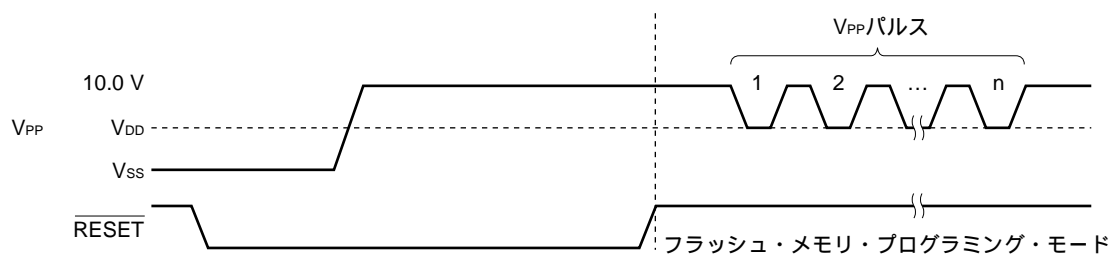


21.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、 μ D78F0103をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、V_{PP}端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図21 - 18 フラッシュ・メモリ・プログラミング・モード



| V _{PP} | 動作モード |
|-----------------|-----------------------|
| V _{SS} | 通常動作モード |
| 10.0 V | フラッシュ・メモリ・プログラミング・モード |

21.6.3 通信方式の選択

PD78F0103では、フラッシュ・メモリ・プログラミング・モードに遷移後、V_{PP}端子にパルス（最大11パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

表21-6 通信方式一覧

| 通信方式 | Standard (TYPE) 設定 ^{注1} | | | | | 使用端子 | V _{PP} パルス数 |
|---|--------------------------------------|---------------------------------|--------------------------|-------------------------------|----------------------------------|---------------------------------|-------------------------|
| | Port (COMM PORT) | Speed (SIO CLOCK) | On Target (CPU CLOCK) | Frequency (Flashpro Clock) | Multiply Rate (Multiple Rate) | | |
| 3線式シリアルI/O (CSI10) | SIO-ch0 (SIO ch-0) | 200 k-2 MHz ^{注2} | 任意 | 2 M-10 MHz | 1.0 | SO10, SI10, SCK10 | 0 |
| 3線式シリアルI/O ハンドシェーク対応 (CSI10 + HS) | SIO-H/S (SIO ch-3 + handshake) | 200 k-2 MHz ^{注2} | | | | SO10, SI10, SCK10, HS/P15 | 3 |
| UART (UART0) | UART-ch0 (UART ch-0) | 4800-38400 bps ^{注2, 3} | | | | TxD0, RxD0 | 8 |
| UART (UART6) | UART-ch1 (UART ch-1) | 4800-76800 bps ^{注2, 3} | | | | TxD6, RxD6 | 9 |
| UARTハンドシェーク対応 (UART0 + HS) | UART-ch3 (UART ch-3) | 4800-38400 bps ^{注2, 3} | | | | TxD0, RxD0, HS/P15 | 11 |

注1. Flashpro 上のStandard設定（Flashpro 上ではTYPE設定）における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。

3. UART通信にはポー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

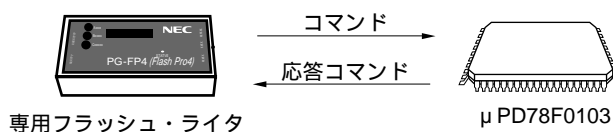
注意 UART0, UART6選択時、受信クロックは、V_{PP}パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

備考 設定項目の（ ）内は、Flashpro と異なる場合のFlashpro の設定値および設定項目です。

21.6.4 通信コマンド

μPD78F0103と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからμPD78F0103へ送られる信号を「コマンド」と呼び、μPD78F0103から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図21-19 通信コマンド



μPD78F0103のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、μPD78F0103がコマンドに対応した各処理を行います。

表21-7 フラッシュ・メモリ制御用コマンド

| 分類 | コマンド名称 | 機能 |
|------------|------------------|---|
| ベリファイ | 一括ベリファイ・コマンド | 全メモリの内容と入力したデータを比較 |
| 消去 | 一括消去コマンド | 全メモリの内容を消去 |
| ブランク・チェック | 一括ブランク・チェック・コマンド | 全メモリの消去状態を確認 |
| データ・ライト | 高速書き込みコマンド | 書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行 |
| | 連続書き込みコマンド | 直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行 |
| システム設定, 制御 | ステータス読み出しコマンド | 動作状況のステータスを得る |
| | 発振周波数設定コマンド | 発振周波数の設定 |
| | 消去時間設定コマンド | 一括消去の消去時間設定 |
| | 書き込み時間設定コマンド | データ書き込み時の書き込み時間設定 |
| | ボー・レート設定コマンド | UART使用時のボー・レート設定 |
| | シリコン・シグネチャ・コマンド | シリコン・シグネチャ情報を読み出す |
| | リセット・コマンド | 各状態からの脱出 |

また、 μ PD78F0103は、専用フラッシュ・ライターから発行されたコマンドに対して、応答コマンドを返しません。 μ PD78F0103が送出する応答コマンドを次に示します。

表21-8 応答コマンド

| 応答コマンド名称 | 機能 |
|----------|----------------------|
| ACK | コマンド/データなどのアクノリッジ |
| NAK | 不正なコマンド/データなどのアクノリッジ |

第22章 命令セットの概要

78K0/KB1の命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

22.1 凡 例

22.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミューディアット・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミューディアット・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表22-1 オペランドの表現形式と記述方法

| 表現形式 | 記 述 方 法 |
|--------|--|
| r | X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7) |
| rp | AX (RP0), BC (RP1), DE (RP2), HL (RP3) |
| sfr | 特殊機能レジスタ略号 ^注 |
| sfrp | 特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ） ^注 |
| saddr | FE20H-FF1FH イミューディアット・データまたはラベル |
| saddrp | FE20H-FF1FH イミューディアット・データまたはラベル（偶数アドレスのみ） |
| addr16 | 0000H-FFFFH イミューディアット・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ） |
| addr11 | 0800H-0FFFH イミューディアット・データまたはラベル |
| addr5 | 0040H-007FH イミューディアット・データまたはラベル（偶数アドレスのみ） |
| word | 16ビット・イミューディアット・データまたはラベル |
| byte | 8ビット・イミューディアット・データまたはラベル |
| bit | 3ビット・イミューディアット・データまたはラベル |
| RBn | RB0-RB3 |

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3-5 特殊機能レジスタ一覧を参照してください。

22.1.2 オペレーション欄の説明

| | |
|---------------------------------|----------------------------------|
| A | : Aレジスタ; 8ビット・アキュムレータ |
| X | : Xレジスタ |
| B | : Bレジスタ |
| C | : Cレジスタ |
| D | : Dレジスタ |
| E | : Eレジスタ |
| H | : Hレジスタ |
| L | : Lレジスタ |
| AX | : AXレジスタ・ペア; 16ビット・アキュムレータ |
| BC | : BCレジスタ・ペア |
| DE | : DEレジスタ・ペア |
| HL | : HLレジスタ・ペア |
| PC | : プログラム・カウンタ |
| SP | : スタック・ポインタ |
| PSW | : プログラム・ステータス・ワード |
| CY | : キャリー・フラグ |
| AC | : 補助キャリー・フラグ |
| Z | : ゼロ・フラグ |
| RBS | : レジスタ・バンク選択フラグ |
| IE | : 割り込み要求許可フラグ |
| () | : ()内のアドレスまたはレジスタの内容で示されるメモリの内容 |
| x ^H , x ^L | : 16ビット・レジスタの上位8ビット, 下位8ビット |
| | : 論理積 (AND) |
| | : 論理和 (OR) |
| | : 排他的論理和 (exclusive OR) |
| | : 反転データ |
| addr16 | : 16ビット・イミディエイト・データまたはレーベル |
| jdisp8 | : 符号付き8ビット・データ (ディスプレイメント値) |

22.1.3 フラグ動作欄の説明

| | |
|--------|--------------------|
| (ブランク) | : 変化なし |
| 0 | : 0にクリアされる |
| 1 | : 1にセットされる |
| x | : 結果に従ってセット/クリアされる |
| R | : 以前に退避した値がストアされる |

22.2 オペレーション一覧

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|----------------|-------------|--------------------|-----|------------|---------------|---------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット・データ転送 | MOV | r, #byte | 2 | 4 | - | r byte | | | |
| | | saddr, #byte | 3 | 6 | 7 | (saddr) byte | | | |
| | | sfr, #byte | 3 | - | 7 | sfr byte | | | |
| | | A, r ^{注3} | 1 | 2 | - | A r | | | |
| | | r, A ^{注3} | 1 | 2 | - | r A | | | |
| | | A, saddr | 2 | 4 | 5 | A (saddr) | | | |
| | | saddr, A | 2 | 4 | 5 | (saddr) A | | | |
| | | A, sfr | 2 | - | 5 | A sfr | | | |
| | | sfr, A | 2 | - | 5 | sfr A | | | |
| | | A, !addr16 | 3 | 8 | 9 | A (addr16) | | | |
| | | !addr16, A | 3 | 8 | 9 | (addr16) A | | | |
| | | PSW, #byte | 3 | - | 7 | PSW byte | x | x | x |
| | | A, PSW | 2 | - | 5 | A PSW | | | |
| | | PSW, A | 2 | - | 5 | PSW A | x | x | x |
| | | A, [DE] | 1 | 4 | 5 | A (DE) | | | |
| | | [DE], A | 1 | 4 | 5 | (DE) A | | | |
| | | A, [HL] | 1 | 4 | 5 | A (HL) | | | |
| | | [HL], A | 1 | 4 | 5 | (HL) A | | | |
| | | A, [HL + byte] | 2 | 8 | 9 | A (HL + byte) | | | |
| | | [HL + byte], A | 2 | 8 | 9 | (HL + byte) A | | | |
| | A, [HL + B] | 1 | 6 | 7 | A (HL + B) | | | | |
| | [HL + B], A | 1 | 6 | 7 | (HL + B) A | | | | |
| | A, [HL + C] | 1 | 6 | 7 | A (HL + C) | | | | |
| | [HL + C], A | 1 | 6 | 7 | (HL + C) A | | | | |
| | XCH | A, r ^{注3} | 1 | 2 | - | A r | | | |
| | | A, saddr | 2 | 4 | 6 | A (saddr) | | | |
| | | A, sfr | 2 | - | 6 | A sfr | | | |
| | | A, !addr16 | 3 | 8 | 10 | A (addr16) | | | |
| | | A, [DE] | 1 | 4 | 6 | A (DE) | | | |
| A, [HL] | | 1 | 4 | 6 | A (HL) | | | | |
| A, [HL + byte] | | 2 | 8 | 10 | A (HL + byte) | | | | |
| A, [HL + B] | | 2 | 8 | 10 | A (HL + B) | | | | |
| A, [HL + C] | 2 | 8 | 10 | A (HL + C) | | | | | |

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------------|--------------------------|--------------------------|-----|-------------------------|-------------|---------------------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16ビット・データ転送 | MOVW | r, #word | 3 | 6 | - | rp word | | | |
| | | saddrp, #word | 4 | 8 | 10 | (saddrp) word | | | |
| | | sfrp, #word | 4 | - | 10 | sfrp word | | | |
| | | AX, saddrp | 2 | 6 | 8 | AX (saddrp) | | | |
| | | saddrp, AX | 2 | 6 | 8 | (saddrp) AX | | | |
| | | AX, sfrp | 2 | - | 8 | AX sfrp | | | |
| | | sfrp, AX | 2 | - | 8 | sfrp AX | | | |
| | | AX, rp <small>注3</small> | 1 | 4 | - | AX rp | | | |
| | | rp, AX <small>注3</small> | 1 | 4 | - | rp AX | | | |
| | | AX, !addr16 | 3 | 10 | 12 | AX (addr16) | | | |
| | !addr16, AX | 3 | 10 | 12 | (addr16) AX | | | | |
| XCHW | AX, rp <small>注3</small> | 1 | 4 | - | AX rp | | | | |
| 8ビット演算 | ADD | A, #byte | 2 | 4 | - | A, CY A + byte | x | x | x |
| | | saddr, #byte | 3 | 6 | 8 | (saddr), CY (saddr) + byte | x | x | x |
| | | A, r <small>注4</small> | 2 | 4 | - | A, CY A + r | x | x | x |
| | | r, A | 2 | 4 | - | r, CY r + A | x | x | x |
| | | A, saddr | 2 | 4 | 5 | A, CY A + (saddr) | x | x | x |
| | | A, !addr16 | 3 | 8 | 9 | A, CY A + (addr16) | x | x | x |
| | | A, [HL] | 1 | 4 | 5 | A, CY A + (HL) | x | x | x |
| | | A, [HL + byte] | 2 | 8 | 9 | A, CY A + (HL + byte) | x | x | x |
| | | A, [HL + B] | 2 | 8 | 9 | A, CY A + (HL + B) | x | x | x |
| | | A, [HL + C] | 2 | 8 | 9 | A, CY A + (HL + C) | x | x | x |
| | ADDC | A, #byte | 2 | 4 | - | A, CY A + byte + CY | x | x | x |
| | | saddr, #byte | 3 | 6 | 8 | (saddr), CY (saddr) + byte + CY | x | x | x |
| | | A, r <small>注4</small> | 2 | 4 | - | A, CY A + r + CY | x | x | x |
| | | r, A | 2 | 4 | - | r, CY r + A + CY | x | x | x |
| | | A, saddr | 2 | 4 | 5 | A, CY A + (saddr) + CY | x | x | x |
| | | A, !addr16 | 3 | 8 | 9 | A, CY A + (addr16) + CY | x | x | x |
| | | A, [HL] | 1 | 4 | 5 | A, CY A + (HL) + CY | x | x | x |
| | | A, [HL + byte] | 2 | 8 | 9 | A, CY A + (HL + byte) + CY | x | x | x |
| | | A, [HL + B] | 2 | 8 | 9 | A, CY A + (HL + B) + CY | x | x | x |
| A, [HL + C] | 2 | 8 | 9 | A, CY A + (HL + C) + CY | x | x | x | | |

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------|-------|------------------------|-----|------|----|---------------------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | SUB | A, #byte | 2 | 4 | - | A, CY A - byte | x | x | x |
| | | saddr, #byte | 3 | 6 | 8 | (saddr), CY (saddr) - byte | x | x | x |
| | | A, r <small>注3</small> | 2 | 4 | - | A, CY A - r | x | x | x |
| | | r, A | 2 | 4 | - | r, CY r - A | x | x | x |
| | | A, saddr | 2 | 4 | 5 | A, CY A - (saddr) | x | x | x |
| | | A, !addr16 | 3 | 8 | 9 | A, CY A - (addr16) | x | x | x |
| | | A, [HL] | 1 | 4 | 5 | A, CY A - (HL) | x | x | x |
| | | A, [HL + byte] | 2 | 8 | 9 | A, CY A - (HL + byte) | x | x | x |
| | | A, [HL + B] | 2 | 8 | 9 | A, CY A - (HL + B) | x | x | x |
| | | A, [HL + C] | 2 | 8 | 9 | A, CY A - (HL + C) | x | x | x |
| | SUBC | A, #byte | 2 | 4 | - | A, CY A - byte - CY | x | x | x |
| | | saddr, #byte | 3 | 6 | 8 | (saddr), CY (saddr) - byte - CY | x | x | x |
| | | A, r <small>注3</small> | 2 | 4 | - | A, CY A - r - CY | x | x | x |
| | | r, A | 2 | 4 | - | r, CY r - A - CY | x | x | x |
| | | A, saddr | 2 | 4 | 5 | A, CY A - (saddr) - CY | x | x | x |
| | | A, !addr16 | 3 | 8 | 9 | A, CY A - (addr16) - CY | x | x | x |
| | | A, [HL] | 1 | 4 | 5 | A, CY A - (HL) - CY | x | x | x |
| | | A, [HL + byte] | 2 | 8 | 9 | A, CY A - (HL + byte) - CY | x | x | x |
| | | A, [HL + B] | 2 | 8 | 9 | A, CY A - (HL + B) - CY | x | x | x |
| | | A, [HL + C] | 2 | 8 | 9 | A, CY A - (HL + C) - CY | x | x | x |
| | AND | A, #byte | 2 | 4 | - | A A byte | x | | |
| | | saddr, #byte | 3 | 6 | 8 | (saddr) (saddr) byte | x | | |
| | | A, r <small>注3</small> | 2 | 4 | - | A A r | x | | |
| | | r, A | 2 | 4 | - | r r A | x | | |
| | | A, saddr | 2 | 4 | 5 | A A (saddr) | x | | |
| | | A, !addr16 | 3 | 8 | 9 | A A (addr16) | x | | |
| | | A, [HL] | 1 | 4 | 5 | A A (HL) | x | | |
| | | A, [HL + byte] | 2 | 8 | 9 | A A (HL + byte) | x | | |
| | | A, [HL + B] | 2 | 8 | 9 | A A (HL + B) | x | | |
| | | A, [HL + C] | 2 | 8 | 9 | A A (HL + C) | x | | |

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|----------------|-------------|------------------------|-----|--------------|-----------------|----------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | OR | A, #byte | 2 | 4 | - | A A byte | x | | |
| | | saddr, #byte | 3 | 6 | 8 | (saddr) (saddr) byte | x | | |
| | | A, r <small>注3</small> | 2 | 4 | - | A A r | x | | |
| | | r, A | 2 | 4 | - | r r A | x | | |
| | | A, saddr | 2 | 4 | 5 | A A (saddr) | x | | |
| | | A, !addr16 | 3 | 8 | 9 | A A (addr16) | x | | |
| | | A, [HL] | 1 | 4 | 5 | A A (HL) | x | | |
| | | A, [HL + byte] | 2 | 8 | 9 | A A (HL + byte) | x | | |
| | | A, [HL + B] | 2 | 8 | 9 | A A (HL + B) | x | | |
| | A, [HL + C] | 2 | 8 | 9 | A A (HL + C) | x | | | |
| | XOR | A, #byte | 2 | 4 | - | A A byte | x | | |
| | | saddr, #byte | 3 | 6 | 8 | (saddr) (saddr) byte | x | | |
| | | A, r <small>注3</small> | 2 | 4 | - | A A r | x | | |
| | | r, A | 2 | 4 | - | r r A | x | | |
| | | A, saddr | 2 | 4 | 5 | A A (saddr) | x | | |
| | | A, !addr16 | 3 | 8 | 9 | A A (addr16) | x | | |
| | | A, [HL] | 1 | 4 | 5 | A A (HL) | x | | |
| | | A, [HL + byte] | 2 | 8 | 9 | A A (HL + byte) | x | | |
| | | A, [HL + B] | 2 | 8 | 9 | A A (HL + B) | x | | |
| | A, [HL + C] | 2 | 8 | 9 | A A (HL + C) | x | | | |
| | CMP | A, #byte | 2 | 4 | - | A - byte | x | x | x |
| | | saddr, #byte | 3 | 6 | 8 | (saddr) - byte | x | x | x |
| | | A, r <small>注3</small> | 2 | 4 | - | A - r | x | x | x |
| | | r, A | 2 | 4 | - | r - A | x | x | x |
| | | A, saddr | 2 | 4 | 5 | A - (saddr) | x | x | x |
| | | A, !addr16 | 3 | 8 | 9 | A - (addr16) | x | x | x |
| | | A, [HL] | 1 | 4 | 5 | A - (HL) | x | x | x |
| A, [HL + byte] | | 2 | 8 | 9 | A - (HL + byte) | x | x | x | |
| A, [HL + B] | | 2 | 8 | 9 | A - (HL + B) | x | x | x | |
| A, [HL + C] | 2 | 8 | 9 | A - (HL + C) | x | x | x | | |
| 16ビット演算 | ADDW | AX, #word | 3 | 6 | - | AX, CY AX + word | x | x | x |
| | SUBW | AX, #word | 3 | 6 | - | AX, CY AX - word | x | x | x |
| | CMPW | AX, #word | 3 | 6 | - | AX - word | x | x | x |
| 乗除算 | MULU | X | 2 | 16 | - | AX A × X | | | |
| | DIVUW | C | 2 | 25 | - | AX(商), C(余り) AX ÷ C | | | |

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------|-------|---------------|-----|------|----|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 増減 | INC | r | 1 | 2 | - | r r + 1 | x | x | |
| | | saddr | 2 | 4 | 6 | (saddr) (saddr) + 1 | x | x | |
| | DEC | r | 1 | 2 | - | r r - 1 | x | x | |
| | | saddr | 2 | 4 | 6 | (saddr) (saddr) - 1 | x | x | |
| | INCW | rp | 1 | 4 | - | rp rp + 1 | | | |
| | DECW | rp | 1 | 4 | - | rp rp - 1 | | | |
| ローテート | ROR | A, 1 | 1 | 2 | - | (CY, A ₇ A ₀ , A _{m-1} A _m) × 1回 | | | x |
| | ROL | A, 1 | 1 | 2 | - | (CY, A ₀ A ₇ , A _{m+1} A _m) × 1回 | | | x |
| | RORC | A, 1 | 1 | 2 | - | (CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回 | | | x |
| | ROL4 | A, 1 | 1 | 2 | - | (CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回 | | | x |
| | ROR4 | [HL] | 2 | 10 | 12 | A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄ | | | |
| | ROL4 | [HL] | 2 | 10 | 12 | A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀ | | | |
| BCD補正 | ADJBA | | 2 | 4 | - | Decimal Adjust Accumulator after Addition | x | x | x |
| | ADJBS | | 2 | 4 | - | Decimal Adjust Accumulator after Subtract | x | x | x |
| ビット操作 | MOV1 | CY, saddr.bit | 3 | 6 | 7 | CY (saddr.bit) | | | x |
| | | CY, sfr.bit | 3 | - | 7 | CY sfr.bit | | | x |
| | | CY, A.bit | 2 | 4 | - | CY A.bit | | | x |
| | | CY, PSW.bit | 3 | - | 7 | CY PSW.bit | | | x |
| | | CY,[HL].bit | 2 | 6 | 7 | CY (HL).bit | | | x |
| | | saddr.bit, CY | 3 | 6 | 8 | (saddr.bit) CY | | | |
| | | sfr.bit, CY | 3 | - | 8 | sfr.bit CY | | | |
| | | A.bit, CY | 2 | 4 | - | A.bit CY | | | |
| | | PSW.bit, CY | 3 | - | 8 | PSW.bit CY | x | x | |
| | | [HL].bit, CY | 2 | 6 | 8 | (HL).bit CY | | | |
| | AND1 | CY, saddr.bit | 3 | 6 | 7 | CY CY (saddr.bit) | | | x |
| | | CY, sfr.bit | 3 | - | 7 | CY CY sfr.bit | | | x |
| | | CY, A.bit | 2 | 4 | - | CY CY A.bit | | | x |
| | | CY, PSW.bit | 3 | - | 7 | CY CY PSW.bit | | | x |
| | | CY,[HL].bit | 2 | 6 | 7 | CY CY (HL).bit | | | x |
| | OR1 | CY, saddr.bit | 3 | 6 | 7 | CY CY (saddr.bit) | | | x |
| | | CY, sfr.bit | 3 | - | 7 | CY CY sfr.bit | | | x |
| | | CY, A.bit | 2 | 4 | - | CY CY A.bit | | | x |
| | | CY, PSW.bit | 3 | - | 7 | CY CY PSW.bit | | | x |
| | | CY,[HL].bit | 2 | 6 | 7 | CY CY (HL).bit | | | x |

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|----------|-------|---------------|-----|------|--------------------|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| ビット操作 | XOR1 | CY, saddr.bit | 3 | 6 | 7 | CY CY (saddr.bit) | | | x |
| | | CY, sfr.bit | 3 | - | 7 | CY CY sfr.bit | | | x |
| | | CY, A.bit | 2 | 4 | - | CY CY A.bit | | | x |
| | | CY, PSW.bit | 3 | - | 7 | CY CY PSW.bit | | | x |
| | | CY,[HL].bit | 2 | 6 | 7 | CY CY (HL).bit | | | x |
| | SET1 | saddr.bit | 2 | 4 | 6 | (saddr.bit) 1 | | | |
| | | sfr.bit | 3 | - | 8 | sfr.bit 1 | | | |
| | | A.bit | 2 | 4 | - | A.bit 1 | | | |
| | | PSW.bit | 2 | - | 6 | PSW.bit 1 | x | x | x |
| | | [HL].bit | 2 | 6 | 8 | (HL).bit 1 | | | |
| | CLR1 | saddr.bit | 2 | 4 | 6 | (saddr.bit) 0 | | | |
| | | sfr.bit | 3 | - | 8 | sfr.bit 0 | | | |
| | | A.bit | 2 | 4 | - | A.bit 0 | | | |
| | | PSW.bit | 2 | - | 6 | PSW.bit 0 | x | x | x |
| | | [HL].bit | 2 | 6 | 8 | (HL).bit 0 | | | |
| SET1 | CY | 1 | 2 | - | CY 1 | | | 1 | |
| CLR1 | CY | 1 | 2 | - | CY 0 | | | 0 | |
| NOT1 | CY | 1 | 2 | - | CY \overline{CY} | | | x | |
| コール・リターン | CALL | !addr16 | 3 | 7 | - | (SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2 | | | |
| | CALLF | !addr11 | 2 | 5 | - | (SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2 | | | |
| | CALLT | [addr5] | 1 | 6 | - | (SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2 | | | |
| | BRK | | 1 | 6 | - | (SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0 | | | |
| | RET | | 1 | 6 | - | PC _H (SP + 1), PC _L (SP), SP SP + 2 | | | |
| | RETI | | 1 | 6 | - | PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3 | R | R | R |
| | RETB | | 1 | 6 | - | PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3 | R | R | R |

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニク | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------|-------|---------------------|-----|------|-------|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| スタック操作 | PUSH | PSW | 1 | 2 | - | (SP - 1) PSW, SP SP - 1 | | | |
| | | rp | 1 | 4 | - | (SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2 | | | |
| | POP | PSW | 1 | 2 | - | PSW (SP), SP SP + 1 | R | R | R |
| | | rp | 1 | 4 | - | rp _H (SP + 1), rp _L (SP), SP SP + 2 | | | |
| | MOVW | SP, #word | 4 | - | 10 | SP word | | | |
| | | SP, AX | 2 | - | 8 | SP AX | | | |
| AX, SP | | 2 | - | 8 | AX SP | | | | |
| 無条件分岐 | BR | !addr16 | 3 | 6 | - | PC addr16 | | | |
| | | \$addr16 | 2 | 6 | - | PC PC + 2 + jdisp8 | | | |
| | | AX | 2 | 8 | - | PC _H A, PC _L X | | | |
| 条件付き分岐 | BC | \$addr16 | 2 | 6 | - | PC PC + 2 + jdisp8 if CY = 1 | | | |
| | BNC | \$addr16 | 2 | 6 | - | PC PC + 2 + jdisp8 if CY = 0 | | | |
| | BZ | \$addr16 | 2 | 6 | - | PC PC + 2 + jdisp8 if Z = 1 | | | |
| | BNZ | \$addr16 | 2 | 6 | - | PC PC + 2 + jdisp8 if Z = 0 | | | |
| | BT | saddr.bit, \$addr16 | 3 | 8 | 9 | PC PC + 3 + jdisp8 if (saddr.bit) = 1 | | | |
| | | sfr.bit, \$addr16 | 4 | - | 11 | PC PC + 4 + jdisp8 if sfr.bit = 1 | | | |
| | | A.bit, \$addr16 | 3 | 8 | - | PC PC + 3 + jdisp8 if A.bit = 1 | | | |
| | | PSW.bit, \$addr16 | 3 | - | 9 | PC PC + 3 + jdisp8 if PSW.bit = 1 | | | |
| | | [HL].bit, \$addr16 | 3 | 10 | 11 | PC PC + 3 + jdisp8 if (HL).bit = 1 | | | |
| | BF | saddr.bit, \$addr16 | 4 | 10 | 11 | PC PC + 4 + jdisp8 if (saddr.bit) = 0 | | | |
| | | sfr.bit, \$addr16 | 4 | - | 11 | PC PC + 4 + jdisp8 if sfr.bit = 0 | | | |
| | | A.bit, \$addr16 | 3 | 8 | - | PC PC + 3 + jdisp8 if A.bit = 0 | | | |
| | | PSW.bit, \$addr16 | 4 | - | 11 | PC PC + 4 + jdisp8 if PSW.bit = 0 | | | |
| | | [HL].bit, \$addr16 | 3 | 10 | 11 | PC PC + 3 + jdisp8 if (HL).bit = 0 | | | |
| | BTCLR | saddr.bit, \$addr16 | 4 | 10 | 12 | PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit) | | | |
| | | sfr.bit, \$addr16 | 4 | - | 12 | PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit | | | |
| | | A.bit, \$addr16 | 3 | 8 | - | PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit | | | |
| | | PSW.bit, \$addr16 | 4 | - | 12 | PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit | x | x | x |
| | | [HL].bit, \$addr16 | 3 | 10 | 12 | PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit | | | |

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | 二モニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------|-------|-----------------|-----|------|----|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 条件付き分岐 | DBNZ | B, \$addr16 | 2 | 6 | - | B B - 1, then PC PC + 2 + jdisp8 if B 0 | | | |
| | | C, \$addr16 | 2 | 6 | - | C C - 1, then PC PC + 2 + jdisp8 if C 0 | | | |
| | | saddr, \$addr16 | 3 | 8 | 10 | (saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if(saddr) 0 | | | |
| CPU制御 | SEL | RBn | 2 | 4 | - | RBS1, 0 n | | | |
| | NOP | | 1 | 2 | - | No Operation | | | |
| | EI | | 2 | - | 6 | IE 1(Enable Interrupt) | | | |
| | DI | | 2 | - | 6 | IE 0(Disable Interrupt) | | | |
| | HALT | | 2 | 6 | - | Set HALT Mode | | | |
| | STOP | | 2 | 6 | - | Set STOP Mode | | | |

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

22.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

| 第2オペランド 第1オペランド | #byte | A | r ^注 | sfr | saddr | !addr16 | PSW | [DE] | [HL] | [HL + byte] [HL + B] [HL + C] | \$addr16 | 1 | なし |
|-------------------------------------|--|--|---|------------|---|---|-----|------------|---|---|----------|----------------------------|--------------|
| A | ADD ADDC SUB SUBC AND OR XOR CMP | | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV | MOV XCH | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | | ROR ROL RORC ROLC | |
| r | MOV | MOV ADD ADDC SUB SUBC AND OR XOR CMP | | | | | | | | | | | INC DEC |
| B, C | | | | | | | | | | | DBNZ | | |
| sfr | MOV | MOV | | | | | | | | | | | |
| saddr | MOV ADD ADDC SUB SUBC AND OR XOR CMP | MOV | | | | | | | | | DBNZ | | INC DEC |
| !addr16 | | MOV | | | | | | | | | | | |
| PSW | MOV | MOV | | | | | | | | | | | PUSH POP |
| [DE] | | MOV | | | | | | | | | | | |
| [HL] | | MOV | | | | | | | | | | | ROR4 ROL4 |
| [HL + byte] [HL + B] [HL + C] | | MOV | | | | | | | | | | | |
| X | | | | | | | | | | | | | MULU |
| C | | | | | | | | | | | | | DIVUW |

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

| 第2オペランド \ 第1オペランド | #word | AX | rp ^注 | sfrp | saddrp | !addr16 | SP | なし |
|-------------------|----------------------|-------------------|-----------------|------|--------|---------|------|-----------------------------|
| AX | ADDW SUBW CMPW | | MOVW XCHW | MOVW | MOVW | MOVW | MOVW | |
| rp | MOVW | MOVW ^注 | | | | | | INCW DECW PUSH POP |
| sfrp | MOVW | MOVW | | | | | | |
| saddrp | MOVW | MOVW | | | | | | |
| !addr16 | | MOVW | | | | | | |
| SP | MOVW | MOVW | | | | | | |

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

| 第2オペランド \ 第1オペランド | A.bit | sfr.bit | saddr.bit | PSW.bit | [HL].bit | CY | \$addr16 | なし |
|-------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|------|-------------------|----------------------|
| A.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| sfr.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| saddr.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| PSW.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| [HL].bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| CY | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | | | SET1 CLR1 NOT1 |

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

| 第1オペランド \ 第2オペランド | AX | !addr16 | !addr11 | [addr5] | \$addr16 |
|-------------------|----|------------|---------|---------|------------------------------|
| 基本命令 | BR | CALL BR | CALLF | CALLT | BR BC BNC BZ BNZ |
| 複合命令 | | | | | BT BF BTCLR DBNZ |

(5) その他の命令

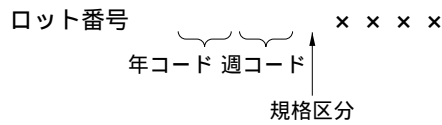
ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

★ 第23章 電気的特性（標準品，（A）水準品）（拡張規格品）

対象製品（拡張規格品）：規格区分^注が「E」以降の製品

- ・2004年3月中旬以降受注分の μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A)
- ・2004年7月中旬以降受注分の μ PD78F0103, 78F0103(A)

注 規格区分とは，パッケージ捺印の3段目（ロット番号）にある，左から5桁目のアルファベット表記を指します。



絶対最大定格（ $T_A = 25$ ）

| 項目 | 略号 | 条件 | 定格 | 単位 | |
|------------|------------|--|--|------|----|
| 電源電圧 | V_{DD} | | - 0.3 ~ + 6.5 | V | |
| | V_{SS} | | - 0.3 ~ + 0.3 | V | |
| | AV_{REF} | | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| | AV_{SS} | | - 0.3 ~ + 0.3 | V | |
| | V_{PP} | μ PD78F0103, 78F0103(A)のみ 注2 | - 0.3 ~ + 10.5 | V | |
| 入力電圧 | V_{I1} | P00-P03, P10-P17, P20-P23, P30-P33, P120, X1, X2, \overline{RESET} | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| | V_{I2} | フラッシュ・プログラミング・モード時の V_{PP} (μ PD78F0103, 78F0103(A)のみ) | - 0.3 ~ + 10.5 | V | |
| 出力電圧 | V_O | | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| アナログ入力電圧 | V_{AN} | | $AV_{SS} - 0.3 \sim AV_{REF} + 0.3$ ^{注1} かつ - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| ハイ・レベル出力電流 | I_{OH} | 1端子 | - 10 | mA | |
| | | 端子合計 | P30-P33, P120 | - 30 | mA |
| | | | P00-P03, P10-P17, P130 | - 30 | mA |
| | | 全端子合計 | - 50 | mA | |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 20 | mA | |
| | | 端子合計 | P30-P33, P120 | 35 | mA |
| | | | P00-P03, P10-P17, P130 | 35 | mA |
| | | 全端子合計 | 60 | mA | |
| 動作周囲温度 | T_A | 通常動作時 | - 40 ~ + 85 | | |
| | | フラッシュ・メモリ・プログラミング時 | - 10 ~ + 85 | | |
| 保存温度 | T_{stg} | μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A) | - 65 ~ + 150 | | |
| | | μ PD78F0103, 78F0103(A) | - 40 ~ + 125 | | |

注1. 6.5 V以下であること

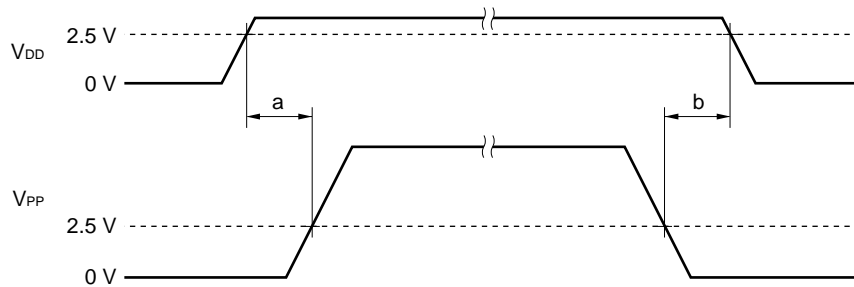
2. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧(2.5 V)に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧(2.5 V)を下回ってから10 μ s以上経過後, V_{DD} を立ち下げること(下図のb)。



注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性 (TA = -40 ~ +85, 2.5 V VDD 5.5 V, 2.5 V AVREF VDD, VSS = AVSS = 0 V)

| 発振子 | 推奨回路 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------|------|--|-------------------|------|------|------|-----|
| セラミック発振子 | | 発振周波数 (f _{XP}) ^注 | 4.0 V VDD 5.5 V | 2.0 | | 12 | MHz |
| | | | 3.5 V VDD < 4.0 V | 2.0 | | 10 | |
| | | | 3.0 V VDD < 3.5 V | 2.0 | | 8.38 | |
| | | | 2.5 V VDD < 3.0 V | 2.0 | | 5.0 | |
| 水晶振動子 | | 発振周波数 (f _{XP}) ^注 | 4.0 V VDD 5.5 V | 2.0 | | 12 | MHz |
| | | | 3.5 V VDD < 4.0 V | 2.0 | | 10 | |
| | | | 3.0 V VDD < 3.5 V | 2.0 | | 8.38 | |
| | | | 2.5 V VDD < 3.0 V | 2.0 | | 5.0 | |
| 外部クロック | | X1入力周波数 (f _{XP}) ^注 | 4.0 V VDD 5.5 V | 2.0 | | 12 | MHz |
| | | | 3.5 V VDD < 4.0 V | 2.0 | | 10 | |
| | | | 3.0 V VDD < 3.5 V | 2.0 | | 8.38 | |
| | | | 2.5 V VDD < 3.0 V | 2.0 | | 5.0 | |
| | | X1入力ハイ, ロウ・レベル幅 (t _{xPH} , t _{xPL}) | 4.0 V VDD 5.5 V | 38 | | 500 | ns |
| | | | 3.5 V VDD < 4.0 V | 46 | | 500 | |
| | | | 3.0 V VDD < 3.5 V | 56 | | 500 | |
| | | | 2.5 V VDD < 3.0 V | 96 | | 500 | |

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、Ring-OSCによりCPUが起動されるため、X1入力クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

Ring-OSC発振回路特性 (TA = -40 ~ +85, 2.5 V VDD 5.5 V, 2.5 V AVREF VDD, VSS = AVSS = 0 V)

| 発振子 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------|-------------------------|----|------|------|------|-----|
| 内蔵Ring-OSC発振回路 | 発振周波数 (f _R) | | 120 | 240 | 480 | kHz |

推奨発振回路定数

注意 μ PD780101 (A), 780102 (A), 780103 (A)の発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(a) μ PD780101, 780102, 780103

X1発振：セラミック発振子（ $T_A = -40 \sim +85$ ）

| メーカー | 品名 | SMD/ リード | 周波数 (MHz) | 推奨回路定数 | | 発振電圧範囲 | |
|------------------|------------------|-------------|--------------|------------|------------|-------------|-------------|
| | | | | C1 (pF) | C2 (pF) | MIN. (V) | MAX. (V) |
| 村田 製作所 | CSTCC2M00G56-R0 | SMD | 2.00 | 内蔵 (47) | 内蔵 (47) | 2.5 | 5.5 |
| | CSTCR4M00G55-R0 | SMD | 4.00 | 内蔵 (39) | 内蔵 (39) | | |
| | CSTCR4M00G55U-R0 | | | リード | 内蔵 (47) | | |
| | CSTLS4M00G56-B0 | SMD | 4.194 | | 内蔵 (39) | | |
| | CSTLS4M00G56U-B0 | | | リード | 内蔵 (47) | | |
| | CSTCR4M19G55-R0 | SMD | 4.915 | | 内蔵 (39) | | |
| | CSTCR4M19G55U-R0 | | | リード | 内蔵 (47) | | |
| | CSTLS4M19G56-B0 | SMD | 5.00 | | 内蔵 (39) | | |
| | CSTLS4M19G56U-B0 | | | リード | 内蔵 (47) | | |
| | CSTCR4M91G55-R0 | SMD | 6.00 | | 内蔵 (39) | | |
| | CSTCR4M91G55U-R0 | | | リード | 内蔵 (47) | | |
| | CSTLS4M91G56-B0 | SMD | 8.00 | | 内蔵 (10) | | |
| | CSTLS4M91G56U-B0 | | | リード | 内蔵 (15) | | |
| | CSTCR5M00G55-R0 | SMD | 10.0 | | 内蔵 (10) | | |
| | CSTCR5M00G55U-R0 | | | リード | 内蔵 (15) | | |
| | CSTLS5M00G56-B0 | SMD | 12.0 | | 内蔵 (10) | | |
| | CSTLS5M00G56U-B0 | | | リード | 内蔵 (10) | | |
| | CSTCR6M00G55-R0 | SMD | 12.0 | | 内蔵 (10) | | |
| | CSTCR6M00G55U-R0 | | | リード | 内蔵 (10) | | |
| | CSTLS6M00G56-B0 | SMD | 12.0 | | 内蔵 (10) | | |
| | CSTLS6M00G56U-B0 | | | リード | 内蔵 (10) | | |
| | CSTCE8M00G52-R0 | SMD | 12.0 | | 内蔵 (10) | | |
| | CSTLS8M00G53-B0 | | | リード | 内蔵 (15) | | |
| | CSTLS8M00G53U-B0 | SMD | 12.0 | | 内蔵 (10) | | |
| CSTCE10M0G52-R0 | リード | | | 内蔵 (15) | 内蔵 (15) | | |
| CSTLS10M0G53-B0 | | SMD | 12.0 | 内蔵 (10) | 内蔵 (10) | | |
| CSTLS10M0G53U-B0 | リード | | | 内蔵 (15) | 内蔵 (15) | | |
| CSTCE12M0G52-R0 | | SMD | 12.0 | 内蔵 (10) | 内蔵 (10) | | |
| | リード | | | 内蔵 (10) | 内蔵 (10) | | |

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。

(b) μ PD78F0103

X1発振：セラミック発振子（ $T_A = -40 \sim +85$ ）

| メーカー | 品名 | SMD/ リード | 周波数 (MHz) | 推奨回路定数 | | 発振電圧範囲 | |
|-----------------|--------------------|-------------|--------------|------------|------------|-------------|-------------|
| | | | | C1 (pF) | C2 (pF) | MIN. (V) | MAX. (V) |
| 村田 製作所 | CSTCC2M00G56-R0 | SMD | 2.00 | 内蔵 (47) | 内蔵 (47) | 2.5 | 5.5 |
| | CSTCC2M45G56-R0 | SMD | 2.457 | 内蔵 (47) | 内蔵 (47) | | |
| | CSTCR4M00G53-R0 | SMD | 4.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR4M00G53093-R0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS4M00G53-B0 | リード | 4.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS4M00G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR5M00G53-R0 | SMD | 5.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR5M00G53093-R0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS5M00G53-B0 | リード | 5.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS5M00G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR6M00G53-R0 | SMD | 6.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR6M00G53U-R0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS6M00G53-B0 | リード | 6.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS6M00G53U-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCE8M38G52-R0 | SMD | 8.388 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTLS8M38G53-B0 | リード | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS8M38G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCE10M0G52-R0 | SMD | 10.0 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTLS10M0G53-B0 | リード | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS10M0G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| CSTCE12M0G52-R0 | SMD | 12.0 | 内蔵 (10) | 内蔵 (10) | | | |

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。

(c) μ PD78F0103(A)

X1発振: セラミック発振子 ($T_A = -40 \sim +85$)

| メーカー | 品名 | SMD/ リード | 周波数 (MHz) | 推奨回路定数 | | 発振電圧範囲 | |
|-----------|------------------|-------------|--------------|------------|------------|-------------|-------------|
| | | | | C1 (pF) | C2 (pF) | MIN. (V) | MAX. (V) |
| 村田 製作所 | CSTCC2M00G56A-R0 | SMD | 2.00 | 内蔵 (47) | 内蔵 (47) | 2.5 | 5.5 |
| | CSTCC2M45G56A-R0 | | 2.457 | 内蔵 (47) | 内蔵 (47) | | |
| | CSTCR4M00G53A-R0 | | 4.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR5M00G53A-R0 | | 5.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR6M00G53A-R0 | | 6.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCE8M38G52A-R0 | | 8.388 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTCE10M0G52A-R0 | | 10.0 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTCE12M0G52A-R0 | | 12.0 | 内蔵 (10) | 内蔵 (10) | | |

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85, 2.5 V VDD 5.5 V, 2.5 V AVREF VDD, VSS = AVSS = 0 V) (1/4)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | | |
|------------|------|--|----------------------------------|------|------|-----------|----------|---|
| ハイ・レベル出力電流 | IOH | 1端子 | 4.0 V VDD 5.5 V | | | - 5 | mA | |
| | | P30-P33, P120 合計 | 4.0 V VDD 5.5 V | | | - 25 | mA | |
| | | P00-P03, P10-P17, P130合計 | 4.0 V VDD 5.5 V | | | - 25 | mA | |
| | | 全端子合計 | 4.0 V VDD 5.5 V | | | - 40 | mA | |
| | | | 2.5 V VDD < 4.0 V | | | - 10 | mA | |
| ロウ・レベル出力電流 | IOL | 1端子 | 4.0 V VDD 5.5 V | | | 10 | mA | |
| | | P30-P33, P120 合計 | 4.0 V VDD 5.5 V | | | 30 | mA | |
| | | P00-P03, P10-P17, P130合計 | 4.0 V VDD 5.5 V | | | 30 | mA | |
| | | 全端子 | 4.0 V VDD 5.5 V | | | 50 | mA | |
| | | | 2.5 V VDD < 4.0 V | | | 10 | mA | |
| ハイ・レベル入力電圧 | VIH1 | P12, P13, P15 | 2.7 V VDD 5.5 V | | | 0.7VDD | V | |
| | | | 2.5 V VDD < 2.7 V | | | 0.8VDD | V | |
| | VIH2 | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, RESET | 2.7 V VDD 5.5 V | | | 0.8VDD | V | |
| | | | 2.5 V VDD < 2.7 V | | | 0.85VDD | V | |
| | VIH3 | P20-P23 ^注 | 2.7 V VDD 5.5 V | | | 0.7AVREF | V | |
| | | | 2.5 V VDD < 2.7 V | | | 0.8AVREF | V | |
| | VIH4 | X1, X2 | 2.7 V VDD 5.5 V | | | VDD - 0.5 | V | |
| | | | 2.5 V VDD < 2.7 V | | | VDD - 0.2 | V | |
| ロウ・レベル入力電圧 | VIL1 | P12, P13, P15 | 2.7 V VDD 5.5 V | | | 0 | 0.3VDD | V |
| | | | 2.5 V VDD < 2.7 V | | | 0 | 0.2VDD | V |
| | VIL2 | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, RESET | 2.7 V VDD 5.5 V | | | 0 | 0.2VDD | V |
| | | | 2.5 V VDD < 2.7 V | | | 0 | 0.15VDD | V |
| | VIL3 | P20-P23 ^注 | 2.7 V VDD 5.5 V | | | 0 | 0.3AVREF | V |
| | | | 2.5 V VDD < 2.7 V | | | 0 | 0.2AVREF | V |
| | VIL4 | X1, X2 | 2.7 V VDD 5.5 V | | | 0 | 0.4 | V |
| | | | 2.5 V VDD < 2.7 V | | | 0 | 0.2 | V |
| ハイ・レベル出力電圧 | VOH | P30-P33, P120 端子合計 IOH = - 25 mA | 4.0 V VDD 5.5 V, IOH = - 5 mA | | | VDD - 1.0 | V | |
| | | P00-P03, P10-P17, P130 端子合計 IOH = - 25 mA | 4.0 V VDD 5.5 V, IOH = - 5 mA | | | VDD - 1.0 | V | |
| | | IOH = - 100 μA | 2.5 V VDD < 4.0 V | | | VDD - 0.5 | V | |
| ロウ・レベル出力電圧 | VOL | P30-P33, P120 端子合計 IOL = 30 mA | 4.0 V VDD 5.5 V, IOL = 10 mA | | | 1.3 | V | |
| | | P00-P03, P10-P17, P130 端子合計 IOL = 30 mA | 4.0 V VDD 5.5 V, IOL = 10 mA | | | 1.3 | V | |
| | | IOL = 400 μA | 2.5 V VDD < 4.0 V | | | 0.4 | V | |

注 デジタル入力ポートとして使用する場合は, AVREF = VDDにしてください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85, 2.5 V VDD 5.5 V, 2.5 V AVREF VDD, VSS = AVSS = 0 V) (2/4)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|---------------------------------------|-------|------------|--|------|------|--------|----|
| ハイ・レベル入力 リーク電流 | ILI1 | VI = VDD | P00-P03, P10-P17, P30-P33, P120, RESET | | | 3 | μA |
| | | VI = AVREF | P20-P23 | | | 3 | μA |
| | ILI2 | VI = VDD | X1, X2 ^注 | | | 20 | μA |
| ロウ・レベル入力 リーク電流 | ILIL1 | VI = 0 V | P00-P03, P10-P17, P20-P23, P30-P33, P120, RESET | | | - 3 | μA |
| | ILIL2 | | X1, X2 ^注 | | | - 20 | μA |
| ハイ・レベル出力リーク電流 | ILOH | VO = VDD | | | | 3 | μA |
| ロウ・レベル出力リーク電流 | ILOL | VO = 0 V | | | | - 3 | μA |
| プルアップ抵抗値 | R | VI = 0 V | | 10 | 30 | 100 | k |
| VPP電源電圧 (μPD78F0103, 78F0103(A)のみ) | VPP1 | 通常動作時 | | 0 | | 0.2VDD | V |

注 X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/4) : μ PD78F0103, 78F0103(A)

($T_A = -40 \sim +85$, $2.5 V \leq V_{DD} \leq 5.5 V$, $2.5 V \leq AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|-------------------------------------|------|-----------------------------------|---|---------------------------|------|---------|---------|
| 電源電流 ^{注1} | IDD1 | X1水晶発振 動作モード ^{注2} | $f_{XP} = 12 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 14 | 23.4 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 15 | 25.4 | mA |
| | | | $f_{XP} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 11.6 | 19.5 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 12.6 | 21.5 | mA |
| | | | $f_{XP} = 5 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 4 | 6.4 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 4.6 | 7.6 | mA |
| | IDD2 | X1水晶発振 HALTモード | $f_{XP} = 12 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 1.6 | 3.2 | mA |
| | | | | 周辺機能動作時 | | 6.4 | mA |
| | | | $f_{XP} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 1.4 | 2.8 | mA |
| | | | | 周辺機能動作時 | | 5.5 | mA |
| | | | $f_{XP} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 0.32 | 0.64 | mA |
| | | | | 周辺機能動作時 | | 1.9 | mA |
| | IDD3 | Ring-OSC 動作モード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 0.37 | 1.51 | mA | |
| | | | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | 0.29 | 1.16 | mA | |
| | IDD4 | Ring-OSC HALTモード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 0.19 | 0.76 | mA | |
| | | | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | 0.16 | 0.64 | mA | |
| | IDD5 | STOPモード | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | POC : OFF, RING : OFF | 0.1 | 30 | μA |
| | | | | POC : OFF, RING : ON | 14 | 58 | μA |
| POC : ON ^{注6} , RING : OFF | | | | 3.5 | 35.5 | μA | |
| POC : ON ^{注6} , RING : ON | | | | 17.5 | 63.5 | μA | |
| $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | | | POC : OFF, RING : OFF | 0.05 | 10 | μA | |
| | | | POC : OFF, RING : ON | 7.5 | 25 | μA | |
| | | | POC : ON ^{注6} , RING : OFF | 3.5 | 15.5 | μA | |
| | | | POC : ON ^{注6} , RING : ON | 11 | 30.5 | μA | |

注1 . 1 . 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2 . I_{DD1} は周辺動作電流を含みます。

3 . PCC = 00Hに設定したとき。

4 . V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。

5 . X1発振回路を停止させたとき。

6 . μ PD78F0103M1, 78F0103M2, 78F0103M1(A), 78F0103M2(A)でLVIE (LVIMのビット4) = 1の場合を含みません。

DC特性（4/4）： μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A)

($T_A = -40 \sim +85$, $2.5 V \leq V_{DD} \leq 5.5 V$, $2.5 V \leq AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|-------------------------------------|------|-----------------------------------|---|---------------------------|------|---------|---------|
| 電源電流 ^{注1} | IDD1 | X1水晶発振 動作モード ^{注2} | $f_{XP} = 12 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 7.2 | 13.1 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 8.2 | 15.1 | mA |
| | | | $f_{XP} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 6 | 10.9 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 7 | 12.9 | mA |
| | | | $f_{XP} = 5 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 1.7 | 3.1 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 2.3 | 4.3 | mA |
| | IDD2 | X1水晶発振 HALTモード | $f_{XP} = 12 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 1.5 | 3.0 | mA |
| | | | | 周辺機能動作時 | | 5.5 | mA |
| | | | $f_{XP} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 1.3 | 2.6 | mA |
| | | | | 周辺機能動作時 | | 4.8 | mA |
| | | | $f_{XP} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 0.25 | 0.5 | mA |
| | | | | 周辺機能動作時 | | 1.1 | mA |
| | IDD3 | Ring-OSC 動作モード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 0.18 | 0.72 | mA | |
| | | | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | 0.11 | 0.44 | mA | |
| | IDD4 | Ring-OSC HALTモード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 0.05 | 0.20 | mA | |
| | | | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | 0.03 | 0.12 | mA | |
| | IDD5 | STOPモード | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | POC : OFF, RING : OFF | 0.1 | 30 | μA |
| POC : OFF, RING : ON | | | | 14 | 58 | μA | |
| POC : ON ^{注6} , RING : OFF | | | | 3.5 | 35.5 | μA | |
| POC : ON ^{注6} , RING : ON | | | | 17.5 | 63.5 | μA | |
| $V_{DD} = 3.0 \text{ V} \pm 10 \%$ | | | POC : OFF, RING : OFF | 0.05 | 10 | μA | |
| | | | POC : OFF, RING : ON | 7.5 | 25 | μA | |
| | | | POC : ON ^{注6} , RING : OFF | 3.5 | 15.5 | μA | |
| | | | POC : ON ^{注6} , RING : ON | 11 | 30.5 | μA | |

注1．内部電源（ V_{DD} ）に流れるトータル電流です。周辺動作電流を含みます（ただし、ポートのプルアップ抵抗に流れる電流は含みません）。

2．IDD1は周辺動作電流を含みます。

3．PCC = 00Hに設定したとき。

4． V_{DD} 端子， AV_{REF} 端子に流れる電流の合計です。

5．X1発振回路を停止させたとき。

6．マスク・オプションによりPOC-OFF選択時におけるLVIE（LVIMのビット4）= 1の場合を含みます。

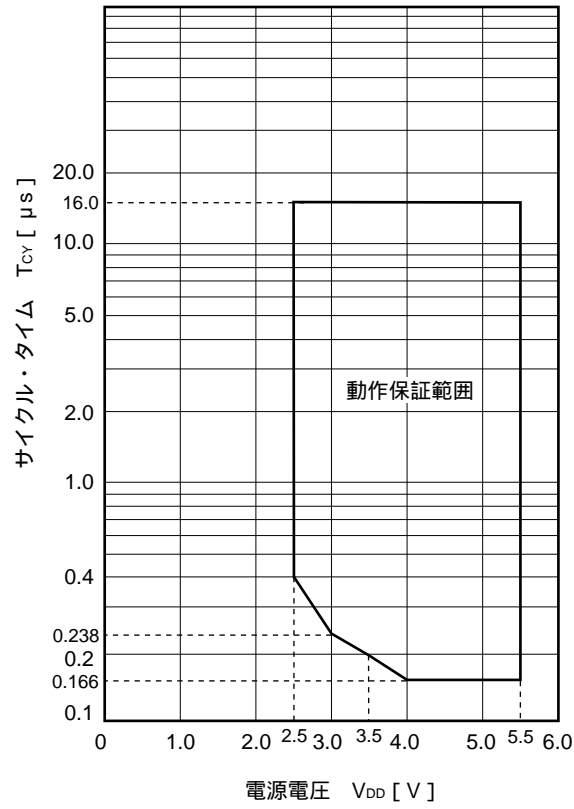
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $2.5\text{ V } V_{DD} 5.5\text{ V}, 2.5\text{ V } AV_{REF} V_{DD}, V_{SS} = AV_{SS} = 0$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|-----------------------------------|--|-------------------------------|--------------------------------|-------|------|----------------|----------------|
| 命令サイクル (最小命令実行時間) | T _{CY} | X1入力クロック | 4.0 V $V_{DD} 5.5\text{ V}$ | 0.166 | | 16 | $\mu\text{ s}$ |
| | | | 3.5 V $V_{DD} < 4.0\text{ V}$ | 0.2 | | 16 | $\mu\text{ s}$ |
| | | | 3.0 V $V_{DD} < 3.5\text{ V}$ | 0.238 | | 16 | $\mu\text{ s}$ |
| | | | 2.5 V $V_{DD} < 3.0\text{ V}$ | 0.4 | | 16 | $\mu\text{ s}$ |
| | | Ring-OSCクロック | 4.17 | 8.33 | 33.3 | $\mu\text{ s}$ | |
| TI000, TI010入力ハイ・レベル幅, ロウ・レベル幅 | t _{TIH0} , t _{TIL0} | 4.0 V $V_{DD} 5.5\text{ V}$ | $2/f_{sam} + 0.1$ ^注 | | | $\mu\text{ s}$ | |
| | | 2.7 V $V_{DD} < 4.0\text{ V}$ | $2/f_{sam} + 0.2$ ^注 | | | $\mu\text{ s}$ | |
| | | 2.5 V $V_{DD} < 2.7\text{ V}$ | $2/f_{sam} + 0.5$ ^注 | | | $\mu\text{ s}$ | |
| TI50入力周波数 | f _{TI5} | 4.0 V $V_{DD} 5.5\text{ V}$ | | | 10 | MHz | |
| | | 2.7 V $V_{DD} < 4.0\text{ V}$ | | | 5 | MHz | |
| | | 2.5 V $V_{DD} < 2.7\text{ V}$ | | | 2.5 | MHz | |
| TI50入力ハイ・レベル幅, ロウ・レベル幅 | t _{TIH5} , t _{TIL5} | 4.0 V $V_{DD} 5.5\text{ V}$ | 50 | | | ns | |
| | | 2.7 V $V_{DD} < 4.0\text{ V}$ | 100 | | | ns | |
| | | 2.5 V $V_{DD} < 2.7\text{ V}$ | 200 | | | ns | |
| 割り込み入力ハイ・レベル幅, ロウ・レベル幅 | t _{INTH} , t _{INTL} | 2.7 V $V_{DD} 5.5\text{ V}$ | 1 | | | $\mu\text{ s}$ | |
| | | 2.5 V $V_{DD} < 2.7\text{ V}$ | 2 | | | $\mu\text{ s}$ | |
| RESETロウ・レベル幅 | t _{RSL} | 2.7 V $V_{DD} 5.5\text{ V}$ | 10 | | | $\mu\text{ s}$ | |
| | | 2.5 V $V_{DD} < 2.7\text{ V}$ | 20 | | | $\mu\text{ s}$ | |

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により, $f_{sam} = f_{XP}, f_{XP}/4, f_{XP}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XP}$ となります。

T_{CY} VS V_{DD} (X1入力クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +85$, 2.5 V $V_{DD} = 5.5$ V, 2.5 V $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 312.5 | kbps |

(b) UARTモード (UART0, 専用ポー・レート・ジェネレータ出力) :

μ PD780102, 780103, 78F0103, 780102(A), 780103(A), 78F0103(A)のみ

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 312.5 | kbps |

(c) 3線式シリアルI/Oモード (マスタ・モード, $\overline{SCK10}$...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|-------------|-------------------------|------------------------|------|------|----|
| $\overline{SCK10}$ サイクル・タイム | t_{KY1} | 4.0 V $V_{DD} = 5.5$ V | 200 | | | ns |
| | | 3.3 V $V_{DD} < 4.0$ V | 240 | | | ns |
| | | 2.7 V $V_{DD} < 3.3$ V | 400 | | | ns |
| | | 2.5 V $V_{DD} < 2.7$ V | 800 | | | ns |
| $\overline{SCK10}$ ハイ, ロウ・レベル幅 | t_{KH1} , | 2.7 V $V_{DD} = 5.5$ V | $t_{KY1}/2 - 10$ | | | ns |
| | t_{KL1} | 2.5 V $V_{DD} < 2.7$ V | $t_{KY1}/2 - 50$ | | | ns |
| SI10セットアップ時間 (対 $\overline{SCK10}$) | t_{SIK1} | 2.7 V $V_{DD} = 5.5$ V | 30 | | | ns |
| | | 2.5 V $V_{DD} < 2.7$ V | 70 | | | ns |
| SI10ホールド時間 (対 $\overline{SCK10}$) | t_{KSI1} | 2.7 V $V_{DD} = 5.5$ V | 30 | | | ns |
| | | 2.5 V $V_{DD} < 2.7$ V | 70 | | | ns |
| $\overline{SCK10}$ SO10出力遅延時間 | t_{KSO1} | C = 100 pF ^注 | 2.7 V $V_{DD} = 5.5$ V | | 30 | ns |
| | | | 2.5 V $V_{DD} < 2.7$ V | | 120 | ns |

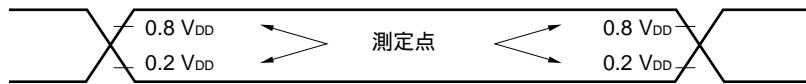
注 Cは, $\overline{SCK10}$, SO10出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード (スレーブ・モード, $\overline{SCK10}$...外部クロック入力)

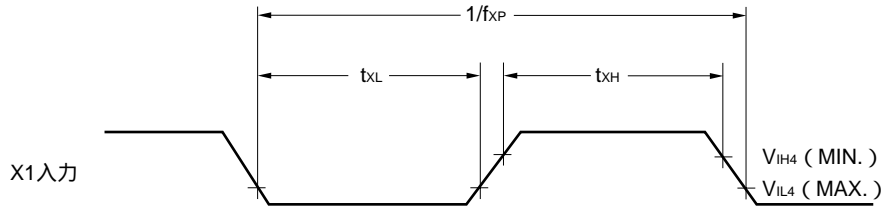
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|-------------|-------------------------|-------------|------|------|----|
| $\overline{SCK10}$ サイクル・タイム | t_{KY2} | 2.7 V $V_{DD} = 5.5$ V | 400 | | | ns |
| | | 2.5 V $V_{DD} < 2.7$ V | 800 | | | ns |
| $\overline{SCK10}$ ハイ, ロウ・レベル幅 | t_{KH2} , | | $t_{KY2}/2$ | | | ns |
| | t_{KL2} | | | | | ns |
| SI10セットアップ時間 (対 $\overline{SCK10}$) | t_{SIK2} | | 80 | | | ns |
| SI10ホールド時間 (対 $\overline{SCK10}$) | t_{KSI2} | | 50 | | | ns |
| $\overline{SCK10}$ SO10出力遅延時間 | t_{KSO2} | C = 100 pF ^注 | | | 120 | ns |

注 Cは, SO10出力ラインの負荷容量です。

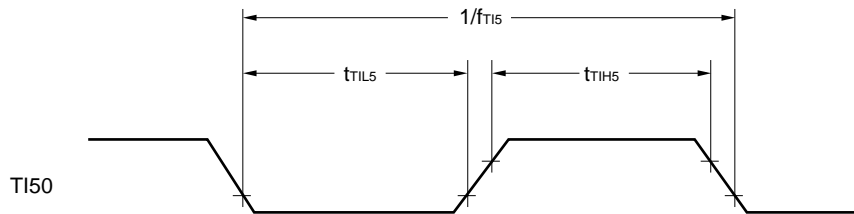
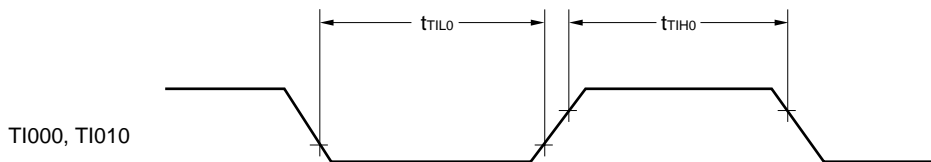
ACタイミング測定点 (X1入力を除く)



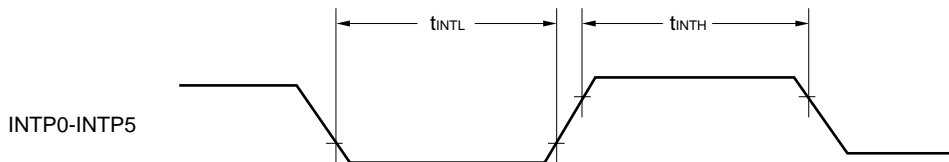
クロック・タイミング



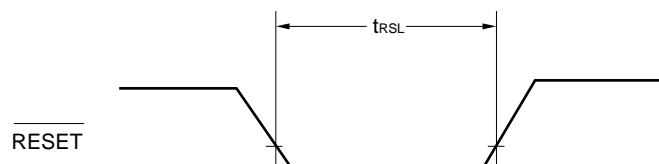
TIタイミング



割り込み要求入力タイミング

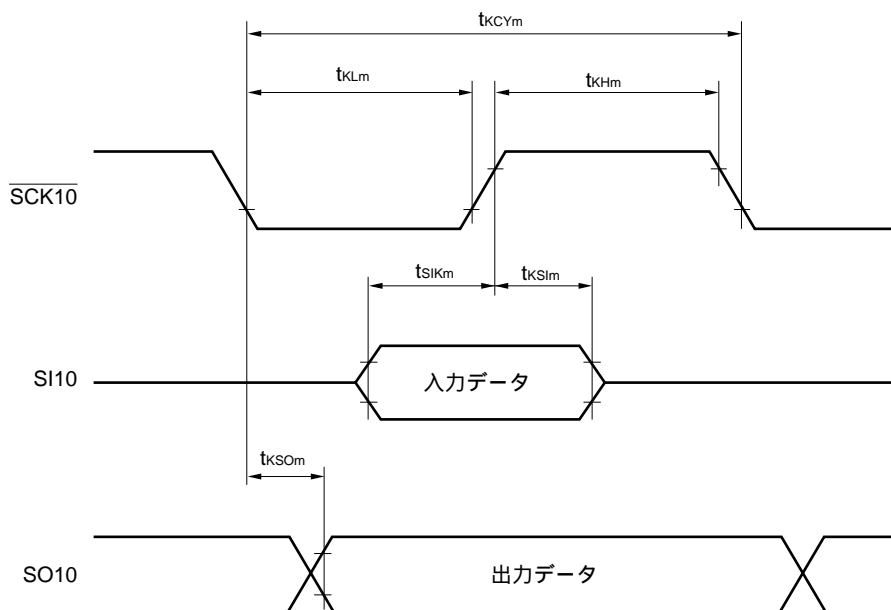


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード：



備考 $m = 1, 2$

A/Dコンバータ特性 (TA = -40 ~ +85 , 2.5 V VDD 5.5 V, 2.5 V AVREF VDD, VSS = AVSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|-------|---------------------|------|------|-------|------|
| 分解能 | | | 10 | 10 | 10 | bit |
| 総合誤差 ^{注1,2} | | 4.0 V AVREF 5.5 V | | ±0.2 | ±0.4 | %FSR |
| | | 2.7 V AVREF < 4.0 V | | ±0.3 | ±0.6 | %FSR |
| | | 2.5 V AVREF < 2.7 V | | ±0.6 | ±1.2 | %FSR |
| 変換時間 | tCONV | 4.0 V AVREF 5.5 V | 14 | | 100 | μs |
| | | 2.7 V AVREF < 4.0 V | 17 | | 100 | μs |
| | | 2.5 V AVREF < 2.7 V | 48 | | 100 | μs |
| ゼロスケール誤差 ^{注1,2} | | 4.0 V AVREF 5.5 V | | | ±0.4 | %FSR |
| | | 2.7 V AVREF < 4.0 V | | | ±0.6 | %FSR |
| | | 2.5 V AVREF < 2.7 V | | | ±1.2 | %FSR |
| フルスケール誤差 ^{注1,2} | | 4.0 V AVREF 5.5 V | | | ±0.4 | %FSR |
| | | 2.7 V AVREF < 4.0 V | | | ±0.6 | %FSR |
| | | 2.5 V AVREF < 2.7 V | | | ±1.2 | %FSR |
| 積分直線性誤差 ^{注1} | | 4.0 V AVREF 5.5 V | | | ±2.5 | LSB |
| | | 2.7 V AVREF < 4.0 V | | | ±4.5 | LSB |
| | | 2.5 V AVREF < 2.7 V | | | ±8.5 | LSB |
| 微分直線性誤差 ^{注1} | | 4.0 V AVREF 5.5 V | | | ±1.5 | LSB |
| | | 2.7 V AVREF < 4.0 V | | | ±2.0 | LSB |
| | | 2.5 V AVREF < 2.7 V | | | ±3.5 | LSB |
| アナログ入力電圧 | VIAN | | AVSS | | AVREF | V |

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|-------|----------------------------------|--------|------|------|----|
| 検出電圧 | VPOC0 | マスク・オプション = 3.5 V ^{注1} | 3.3 | 3.5 | 3.7 | V |
| | VPOC1 | マスク・オプション = 2.85 V ^{注2} | 2.7 | 2.85 | 3.0 | V |
| 電源立ち上げ時間 | tPTH | VDD : 0 V 2.7 V | 0.0015 | | | ms |
| | | VDD : 0 V 3.3 V | 0.002 | | | ms |
| 応答ディレイ時間 ^{注3} | tPTHD | 電源立ち上げ時, 検出電圧 (MAX.) に達したあと | | | 3.0 | ms |
| 応答ディレイ時間 ^{注4} | tPD | VDD降下時 | | | 1.0 | ms |
| 最小パルス幅 | tPW | | 0.2 | | | ms |

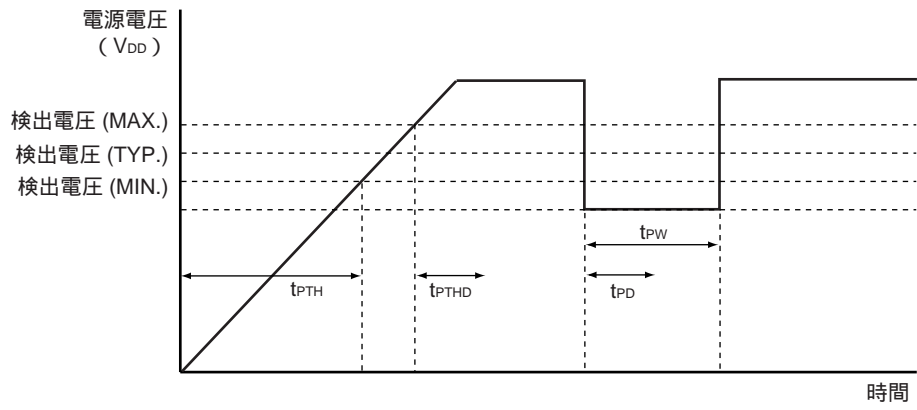
注1. フラッシュ・メモリ製品の場合, μ PD78F0103M5, 78F0103M6, 78F0103M5(A), 78F0103M6(A)使用時。

2. フラッシュ・メモリ製品の場合, μ PD78F0103M3, 78F0103M4, 78F0103M3(A), 78F0103M4(A)使用時。

3. 検出電圧を検出してから, リセットを解除するまでの時間です。

4. 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|---------------------|-----|------|------|------|----|
| 検出電圧 | V _{LV10} | | 4.1 | 4.3 | 4.5 | V |
| | V _{LV11} | | 3.9 | 4.1 | 4.3 | V |
| | V _{LV12} | | 3.7 | 3.9 | 4.1 | V |
| | V _{LV13} | | 3.5 | 3.7 | 3.9 | V |
| | V _{LV14} | | 3.3 | 3.5 | 3.7 | V |
| | V _{LV15} | | 3.15 | 3.3 | 3.45 | V |
| | V _{LV16} | | 2.95 | 3.1 | 3.25 | V |
| | V _{LV17} | | 2.7 | 2.85 | 3.0 | V |
| 応答時間 ^{注1} | t _{LD} | | 0.2 | 2.0 | ms | |
| 最小パルス幅 | t _{LW} | 0.2 | | | ms | |
| 基準電圧安定待ち時間 ^{注2} | t _{LWAIT0} | | 0.5 | 2.0 | ms | |
| 動作安定待ち時間 ^{注3} | t _{LWAIT1} | | 0.1 | 0.2 | ms | |

注1. 検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

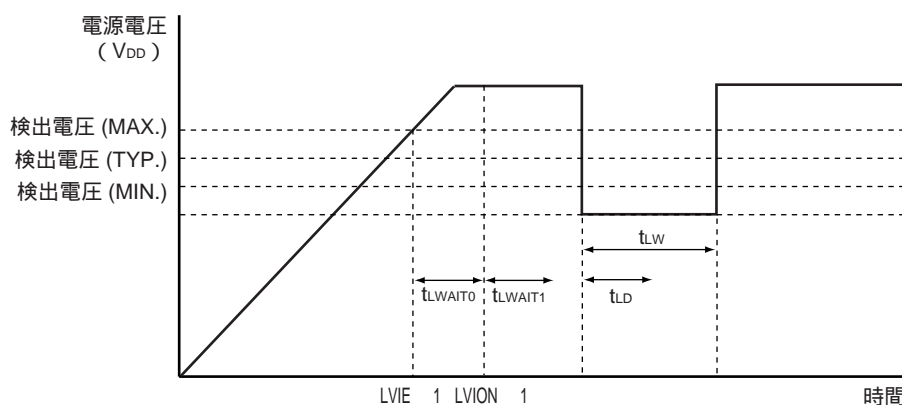
2. マスク・オプションによりPOC-OFFを選択 (フラッシュ・メモリ製品ではμ PD78F0103M1, 78F0103M2, 78F0103M1(A), 78F0103M2(A)を使用) した場合, LVIEに1を設定してから基準電圧が安定するまでに必要な時間です。

3. LVIONに1を設定してから, 動作が安定するまでの時間です。

備考1. V_{LV10} > V_{LV11} > V_{LV12} > V_{LV13} > V_{LV14} > V_{LV15} > V_{LV16} > V_{LV17}

2. V_{POCn} < V_{LVIm} (n = 0, 1, m = 0-7)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|-------------------|---|------|------|------|----|
| データ保持電源電圧 | V _{DDDR} | マスク・オプションによりPOC-OFF 選択時 ^注 | 1.6 | | 5.5 | V |
| リリース信号セット時間 | t _{SREL} | | 0 | | | μs |

注 フラッシュ・メモリ製品の場合, μ PD78F0103M1, 78F0103M2, 78F0103M1(A), 78F0103M2(A)使用時。

フラッシュ・メモリ・プログラミング特性：μPD78F0103, 78F0103(A)

($T_A = +10 \sim +60$, 2.7 V $V_{DD} = 5.5$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

(1) 書き込み消去特性

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|------------|--|-------|------|-------|-------|
| V_{PP} 電源電圧 | V_{PP2} | フラッシュ・メモリ・プログラミング時 | 9.7 | 10.0 | 10.3 | V |
| V_{DD} 電源電流 | I_{DD} | $V_{PP} = V_{PP2}$ 時 $f_{XP} = 10$ MHz, $V_{DD} = 5.5$ V時 | | | 37 | mA |
| V_{PP} 電源電流 | I_{PP} | $V_{PP} = V_{PP2}$ | | | 100 | mA |
| ステップ消去時間 ^{注1} | T_{er} | | 0.199 | 0.2 | 0.201 | s |
| 総消去時間 ^{注2} | T_{era} | ステップ消去時間 = 0.2 s | | | 20 | s/チップ |
| ライトバック時間 ^{注3} | T_{wb} | | 49.4 | 50 | 50.6 | ms |
| 1ライトバック・コマンドあたりのライトバック回数 ^{注4} | C_{wb} | ライトバック時間 = 50 ms | | | 60 | 回 |
| 消去 - ライトバック回数 | C_{erwb} | | | | 16 | 回 |
| ステップ書き込み時間 ^{注5} | T_{wr} | | 48 | 50 | 52 | μs |
| 1ワードあたりの総書き込み時間 ^{注6} | T_{wrw} | ステップ書き込み時間 = 50 μs設定 (1ワード = 1バイト) | 48 | | 520 | μs |
| 1チップあたりの書き換え回数 ^{注7} | C_{erwr} | 消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする | | | 20 | 回/エリア |

注1. ステップ消去時間の推奨設定値 = 0.2 sです。

2. 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は、含まれません。

3. ライトバック時間の推奨設定値 = 50 msです。

4. ライトバック・コマンドの発行により、ライトバックは1回実行されます。したがってリトライ回数設定値は、本値よりコマンド発行回数をマイナスした値としてください。

5. ステップ書き込み時間の推奨設定値 = 50 μsです。

6. 実際の1ワードあたりの書き込み時間は、100 μsが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P：書き込み E：消去

出荷品 P E P E P：書き換え回数3回

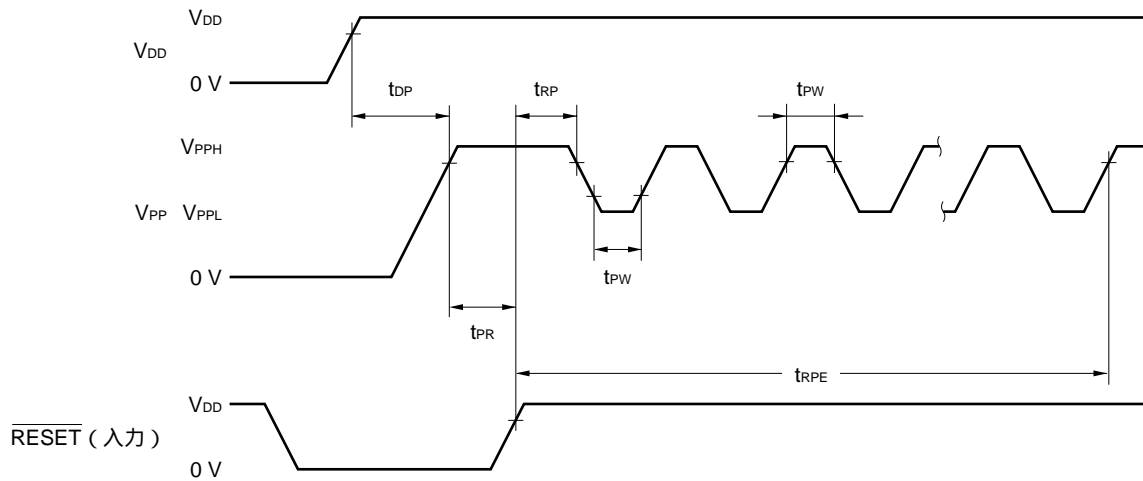
出荷品 E P E P E P：書き換え回数3回

備考 フラッシュ・メモリ・プログラミング時の動作クロック範囲は、通常動作時と同様です。

(2) シリアル書き込みオペレーション特性

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------------------|-------------------|----|--------------------|------|--------------------|----|
| V _{DD} V _{PP} セット時間 | t _{DP} | | 10 | | | μs |
| V _{PP} RESET 解除時間 | t _{PR} | | 10 | | | μs |
| RESET V _{PP} パルス入力開始時間 | t _{RP} | | 2 | | | ms |
| V _{PP} パルス・ハイ, ロウ・レベル幅 | t _{PW} | | 8 | | | μs |
| RESET V _{PP} パルス入力終了時間 | t _{RPE} | | | | 14 | ms |
| V _{PP} パルス・ロウ・レベル入力電圧 | V _{PPPL} | | 0.8V _{DD} | | 1.2V _{DD} | V |
| V _{PP} パルス・ハイ・レベル入力電圧 | V _{PPPH} | | 9.7 | 10.0 | 10.3 | V |

フラッシュ書き込みモード設定タイミング

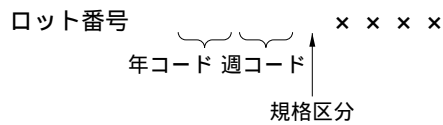


第24章 電気的特性（標準品，（A）水準品）（従来規格品）

★ 対象製品（従来規格品）：規格区分^注が「I」または「K」の製品

- ・2004年3月中旬以前受注分の μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A)
- ・2004年7月中旬以前受注分の μ PD78F0103, 78F0103(A)

注 規格区分とは，パッケージ捺印の3段目（ロット番号）にある，左から5桁目のアルファベット表記を指します。



絶対最大定格（ $T_A = 25$ ）

| 項目 | 略号 | 条件 | 定格 | 単位 | |
|------------|------------|--|--|------|----|
| 電源電圧 | V_{DD} | | - 0.3 ~ + 6.5 | V | |
| | V_{SS} | | - 0.3 ~ + 0.3 | V | |
| | AV_{REF} | | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| | AV_{SS} | | - 0.3 ~ + 0.3 | V | |
| | V_{PP} | μ PD78F0103, 78F0103(A)のみ 注2 | - 0.3 ~ + 10.5 | V | |
| 入力電圧 | V_{I1} | P00-P03, P10-P17, P20-P23, P30-P33, P120, X1, X2, \overline{RESET} | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| | V_{I2} | フラッシュ・プログラミング・モード時の V_{PP} (μ PD78F0103, 78F0103(A)のみ) | - 0.3 ~ + 10.5 | V | |
| 出力電圧 | V_O | | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| アナログ入力電圧 | V_{AN} | | $AV_{SS} - 0.3 \sim AV_{REF} + 0.3$ ^{注1} かつ - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| ハイ・レベル出力電流 | I_{OH} | 1端子 | - 10 | mA | |
| | | 端子合計 | P30-P33, P120 | - 30 | mA |
| | | | P00-P03, P10-P17, P130 | - 30 | mA |
| | | 全端子合計 | - 50 | mA | |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 20 | mA | |
| | | 端子合計 | P30-P33, P120 | 35 | mA |
| | | | P00-P03, P10-P17, P130 | 35 | mA |
| | | 全端子合計 | 60 | mA | |
| 動作周囲温度 | T_A | 通常動作時 | - 40 ~ + 85 | | |
| | | フラッシュ・メモリ・プログラミング時 | - 10 ~ + 85 | | |
| 保存温度 | T_{stg} | μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A) | - 65 ~ + 150 | | |
| | | μ PD78F0103, 78F0103(A) | - 40 ~ + 125 | | |

注1．6.5 V以下であること

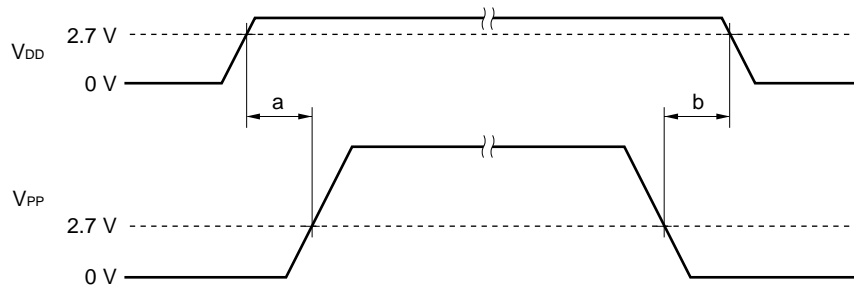
2．フラッシュ・メモリ書き込み時， V_{PP} の電圧印加タイミングについては，必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧(2.7 V)に達してから10 μ s以上経過後， V_{PP} が V_{DD} を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧(2.7 V)を下回ってから10 μ s以上経過後， V_{DD} を立ち下げること(下図のb)。



注意 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性 (TA = -40 ~ +85, 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = AVSS = 0 V)

| 発振子 | 推奨回路 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------|------|---|-------------------|------|------|------|-----|
| セラミック発振子 | | 発振周波数 (f _{XP}) ^注 | 4.0 V VDD 5.5 V | 2.0 | | 10 | MHz |
| | | | 3.3 V VDD < 4.0 V | 2.0 | | 8.38 | |
| | | | 2.7 V VDD < 3.3 V | 2.0 | | 5.0 | |
| 水晶振動子 | | 発振周波数 (f _{XP}) ^注 | 4.0 V VDD 5.5 V | 2.0 | | 10 | MHz |
| | | | 3.3 V VDD < 4.0 V | 2.0 | | 8.38 | |
| | | | 2.7 V VDD < 3.3 V | 2.0 | | 5.0 | |
| 外部クロック | | X1入力周波数 (f _{XP}) ^注 | 4.0 V VDD 5.5 V | 2.0 | | 10 | MHz |
| | | | 3.3 V VDD < 4.0 V | 2.0 | | 8.38 | |
| | | | 2.7 V VDD < 3.3 V | 2.0 | | 5.0 | |
| | | X1入力ハイ、ロウ・レベル幅 (t _{xPH} , t _{xPL}) | 4.0 V VDD 5.5 V | 46 | | 500 | ns |
| | | | 3.3 V VDD < 4.0 V | 56 | | 500 | |
| | | | 2.7 V VDD < 3.3 V | 96 | | 500 | |

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- ★ 2. リセット解除後は、Ring-OSCによりCPUが起動されるため、X1入力クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

Ring-OSC発振回路特性 (TA = -40 ~ +85, 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = AVSS = 0 V)

| 発振子 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------|-------------------------|----|------|------|------|-----|
| 内蔵Ring-OSC発振回路 | 発振周波数 (f _R) | | 120 | 240 | 480 | kHz |

推奨発振回路定数

注意 μ PD780101 (A), 780102 (A), 780103 (A)の発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(a) μ PD780101, 780102, 780103

X1発振：セラミック発振子（ $T_A = -40 \sim +85$ ）

| メーカー | 品名 | SMD/ リード | 周波数 (MHz) | 推奨回路定数 | | 発振電圧範囲 | |
|------------------|------------------|-------------|--------------|------------|------------|-------------|-------------|
| | | | | C1 (pF) | C2 (pF) | MIN. (V) | MAX. (V) |
| 村田 製作所 | CSTCC2M00G56-R0 | SMD | 2.00 | 内蔵 (47) | 内蔵 (47) | 2.7 | 5.5 |
| | CSTCR4M00G55-R0 | SMD | | 内蔵 (39) | 内蔵 (39) | | |
| | CSTCR4M00G55U-R0 | | リード | 内蔵 (47) | 内蔵 (47) | | |
| | CSTLS4M00G56-B0 | SMD | | 4.194 | 内蔵 (39) | | |
| | CSTLS4M00G56U-B0 | | リード | | 内蔵 (47) | | |
| | CSTCR4M19G55-R0 | SMD | | 4.915 | 内蔵 (39) | | |
| | CSTCR4M19G55U-R0 | | リード | | 内蔵 (47) | | |
| | CSTLS4M19G56-B0 | SMD | | 5.00 | 内蔵 (39) | | |
| | CSTLS4M19G56U-B0 | | リード | | 内蔵 (47) | | |
| | CSTCR4M91G55-R0 | SMD | | 6.00 | 内蔵 (39) | | |
| | CSTCR4M91G55U-R0 | | リード | | 内蔵 (47) | | |
| | CSTLS4M91G56-B0 | SMD | | 8.00 | 内蔵 (10) | | |
| | CSTLS4M91G56U-B0 | | リード | | 内蔵 (15) | | |
| | CSTCR5M00G55-R0 | SMD | | 10.0 | 内蔵 (10) | | |
| | CSTCR5M00G55U-R0 | | リード | | 内蔵 (15) | | |
| | CSTLS5M00G56-B0 | SMD | | 10.0 | 内蔵 (10) | | |
| | CSTLS5M00G56U-B0 | | リード | | 内蔵 (15) | | |
| | CSTCR6M00G55-R0 | SMD | | 10.0 | 内蔵 (10) | | |
| | CSTCR6M00G55U-R0 | | リード | | 内蔵 (15) | | |
| | CSTLS6M00G56-B0 | SMD | | 10.0 | 内蔵 (10) | | |
| | CSTLS6M00G56U-B0 | | リード | | 内蔵 (15) | | |
| | CSTCE8M00G52-R0 | SMD | | 10.0 | 内蔵 (10) | | |
| | CSTLS8M00G53-B0 | | リード | | 内蔵 (15) | | |
| | CSTLS8M00G53U-B0 | SMD | | 10.0 | 内蔵 (10) | | |
| CSTCE10M0G52-R0 | リード | | 内蔵 (15) | | 内蔵 (15) | | |
| CSTLS10M0G53-B0 | | SMD | 10.0 | 内蔵 (10) | 内蔵 (10) | | |
| CSTLS10M0G53U-B0 | リード | | | 内蔵 (15) | 内蔵 (15) | | |

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。

(b) μ PD78F0103

X1発振：セラミック発振子（ $T_A = -40 \sim +85$ ）

| メーカー | 品名 | SMD/ リード | 周波数 (MHz) | 推奨回路定数 | | 発振電圧範囲 | |
|-----------|--------------------|-------------|--------------|------------|------------|-------------|-------------|
| | | | | C1 (pF) | C2 (pF) | MIN. (V) | MAX. (V) |
| 村田 製作所 | CSTCC2M00G56-R0 | SMD | 2.00 | 内蔵 (47) | 内蔵 (47) | 2.7 | 5.5 |
| | CSTCC2M45G56-R0 | SMD | 2.457 | 内蔵 (47) | 内蔵 (47) | | |
| | CSTCR4M00G53-R0 | SMD | 4.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR4M00G53093-R0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS4M00G53-B0 | リード | 4.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS4M00G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR5M00G53-R0 | SMD | 5.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR5M00G53093-R0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS5M00G53-B0 | リード | 5.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS5M00G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR6M00G53-R0 | SMD | 6.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR6M00G53U-R0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS6M00G53-B0 | リード | 6.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS6M00G53U-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCE8M38G52-R0 | SMD | 8.388 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTLS8M38G53-B0 | リード | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS8M38G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCE10M0G52-R0 | SMD | 10.0 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTLS10M0G53-B0 | リード | | 内蔵 (15) | 内蔵 (15) | | |
| | CSTLS10M0G53093-B0 | | | 内蔵 (15) | 内蔵 (15) | | |

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。

(c) μ PD78F0103(A)

X1発振：セラミック発振子（ $T_A = -40 \sim +85$ ）

| メーカー | 品名 | SMD/ リード | 周波数 (MHz) | 推奨回路定数 | | 発振電圧範囲 | |
|-----------|------------------|-------------|--------------|------------|------------|-------------|-------------|
| | | | | C1 (pF) | C2 (pF) | MIN. (V) | MAX. (V) |
| 村田 製作所 | CSTCC2M00G56A-R0 | SMD | 2.00 | 内蔵 (47) | 内蔵 (47) | 2.7 | 5.5 |
| | CSTCC2M45G56A-R0 | | 2.457 | 内蔵 (47) | 内蔵 (47) | | |
| | CSTCR4M00G53A-R0 | | 4.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR5M00G53A-R0 | | 5.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCR6M00G53A-R0 | | 6.00 | 内蔵 (15) | 内蔵 (15) | | |
| | CSTCE8M38G52A-R0 | | 8.388 | 内蔵 (10) | 内蔵 (10) | | |
| | CSTCE10M0G52A-R0 | | 10.0 | 内蔵 (10) | 内蔵 (10) | | |

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85, 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = AVSS = 0 V) (1/3)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|---------------------------------------|-------|--|--|-----------|------|----------|----|
| ハイ・レベル出力電流 | IOH | 1端子 | 4.0 V VDD 5.5 V | | | - 5 | mA |
| | | P30-P33, P120 合計 | 4.0 V VDD 5.5 V | | | - 25 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V VDD 5.5 V | | | - 25 | mA |
| | | 全端子合計 | 4.0 V VDD 5.5 V | | | - 40 | mA |
| | | | 2.7 V VDD < 4.0 V | | | - 10 | mA |
| ロウ・レベル出力電流 | IOL | 1端子 | 4.0 V VDD 5.5 V | | | 10 | mA |
| | | P30-P33, P120 合計 | 4.0 V VDD 5.5 V | | | 30 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V VDD 5.5 V | | | 30 | mA |
| | | 全端子 | 4.0 V VDD 5.5 V | | | 50 | mA |
| | | | 2.7 V VDD < 4.0 V | | | 10 | mA |
| ハイ・レベル入力電圧 | VIH1 | P12, P13, P15 | | 0.7 VDD | | VDD | V |
| | VIH2 | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, RESET | | 0.8 VDD | | VDD | V |
| | VIH3 | P20-P23 ^{注1} | | 0.7 AVREF | | AVREF | V |
| | VIH4 | X1, X2 | | VDD - 0.5 | | VDD | V |
| ロウ・レベル入力電圧 | VIL1 | P12, P13, P15 | | 0 | | 0.3VDD | V |
| | VIL2 | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, RESET | | 0 | | 0.2VDD | V |
| | VIL3 | P20-P23 ^{注1} | | 0 | | 0.3AVREF | V |
| | VIL4 | X1, X2 | | 0 | | 0.4 | V |
| ハイ・レベル出力電圧 | VOH | P30-P33, P120 端子合計 IOH = - 25 mA | 4.0 V VDD 5.5 V, IOH = - 5 mA | VDD - 1.0 | | | V |
| | | P00-P03, P10-P17, P130 端子合計 IOH = - 25 mA | 4.0 V VDD 5.5 V, IOH = - 5 mA | VDD - 1.0 | | | V |
| | | IOH = - 100 μA | 2.7 V VDD < 4.0 V | VDD - 0.5 | | | V |
| ロウ・レベル出力電圧 | VOL | P30-P33, P120 端子合計 IOL = 30 mA | 4.0 V VDD 5.5 V, IOL = 10 mA | | | 1.3 | V |
| | | P00-P03, P10-P17, P130 端子合計 IOL = 30 mA | 4.0 V VDD 5.5 V, IOL = 10 mA | | | 1.3 | V |
| | | IOL = 400 μA | 2.7 V VDD < 4.0 V | | | 0.4 | V |
| ハイ・レベル入力 リーク電流 | ILIH1 | VI = VDD | P00-P03, P10-P17, P30-P33, P120, RESET | | | 3 | μA |
| | | VI = AVREF | P20-P23 | | | 3 | μA |
| | ILIH2 | VI = VDD | X1, X2 ^{注2} | | | 20 | μA |
| ロウ・レベル入力 リーク電流 | ILIL1 | VI = 0 V | P00-P03, P10-P17, P20-P23, P30-P33, P120, RESET | | | - 3 | μA |
| | ILIL2 | | X1, X2 ^{注2} | | | - 20 | μA |
| ハイ・レベル出力リーク電流 | ILOH | VO = VDD | | | | 3 | μA |
| ロウ・レベル出力リーク電流 | ILOL | VO = 0 V | | | | - 3 | μA |
| プルアップ抵抗値 | R | VI = 0 V | | 10 | 30 | 100 | k |
| VPP電源電圧 (μPD78F0103, 78F0103(A)のみ) | VPP1 | 通常動作時 | | 0 | | 0.2VDD | V |

注1. デジタル入力ポートとして使用する場合は, AVREF = VDDにしてください。

2. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3) : μ PD78F0103, 78F0103(A)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = 5.0 V, 2.7 V$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 | |
|-------------------------------------|------|--|---|---------------------------|------|------|------|----|
| 電源電流 ^{注1} | IDD1 | X1水晶発振動作モード ^{注2} | f _{XP} = 10 MHz, V _{DD} = 5.0 V ± 10 % ^{注3} | A/Dコンバータ停止時 | | 11.6 | 19.5 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | | 12.6 | 21.5 | mA |
| | | f _{XP} = 5 MHz, V _{DD} = 5.0 V ± 10 % ^{注3} | A/Dコンバータ停止時 | | 4 | 6.4 | mA | |
| | | | A/Dコンバータ動作時 ^{注4} | | 4.6 | 7.6 | mA | |
| | IDD2 | X1水晶発振HALTモード | f _{XP} = 10 MHz, V _{DD} = 5.0 V ± 10 % | 周辺機能停止時 | | 1.4 | 2.8 | mA |
| | | | | 周辺機能動作時 | | | 5.5 | mA |
| | | f _{XP} = 5 MHz, V _{DD} = 3.0 V ± 10 % | 周辺機能停止時 | | 0.32 | 0.64 | mA | |
| | | | 周辺機能動作時 | | | 1.9 | mA | |
| | IDD3 | Ring-OSC動作モード ^{注5} | V _{DD} = 5.0 V ± 10 % | | | 0.37 | 1.51 | mA |
| | | | V _{DD} = 3.0 V ± 10 % | | | 0.29 | 1.16 | mA |
| | IDD4 | STOPモード | V _{DD} = 5.0 V ± 10 % | POC : OFF, RING : OFF | | 0.1 | 30 | μA |
| | | | | POC : OFF, RING : ON | | 14 | 58 | μA |
| POC : ON ^{注6} , RING : OFF | | | | | 3.5 | 35.5 | μA | |
| POC : ON ^{注6} , RING : ON | | | | | 17.5 | 63.5 | μA | |
| V _{DD} = 3.0 V ± 10 % | | | POC : OFF, RING : OFF | | 0.05 | 10 | μA | |
| | | | POC : OFF, RING : ON | | 7.5 | 25 | μA | |
| | | | POC : ON ^{注6} , RING : OFF | | 3.5 | 15.5 | μA | |
| | | | POC : ON ^{注6} , RING : ON | | 11 | 30.5 | μA | |

注1 . 1 . 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2 . IDD1は周辺動作電流を含みます。

3 . PCC = 00Hに設定したとき。

4 . V_{DD}端子, AV_{REF}端子に流れる電流の合計です。

5 . X1発振回路を停止させたとき。

6 . μ PD78F0103M1, 78F0103M2, 78F0103M1(A), 78F0103M2(A)でLVIE (LVIMのビット4) = 1の場合を含みません。

DC特性（3/3）： μ PD780101, 780102, 780103, 780101(A), 780102(A), 780103(A)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = 5.0$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 | |
|-------------------------------------|------|--|---|---------------------------|------|------|------|----|
| 電源電流 ^{注1} | IDD1 | X1水晶発振動作モード ^{注2} | f _{XP} = 10 MHz, V _{DD} = 5.0 V ± 10 % ^{注3} | A/Dコンバータ停止時 | | 6 | 10.9 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | | 7 | 12.9 | mA |
| | | f _{XP} = 5 MHz, V _{DD} = 5.0 V ± 10 % ^{注3} | A/Dコンバータ停止時 | | 1.7 | 3.1 | mA | |
| | | | A/Dコンバータ動作時 ^{注4} | | 2.3 | 4.3 | mA | |
| | IDD2 | X1水晶発振HALTモード | f _{XP} = 10 MHz, V _{DD} = 5.0 V ± 10 % | 周辺機能停止時 | | 1.3 | 2.6 | mA |
| | | | | 周辺機能動作時 | | | 4.8 | mA |
| | | f _{XP} = 5 MHz, V _{DD} = 3.0 V ± 10 % | 周辺機能停止時 | | 0.25 | 0.5 | mA | |
| | | | 周辺機能動作時 | | | 1.1 | mA | |
| | IDD3 | Ring-OSC動作モード ^{注5} | V _{DD} = 5.0 V ± 10 % | | | 0.18 | 0.72 | mA |
| | | | V _{DD} = 3.0 V ± 10 % | | | 0.11 | 0.44 | mA |
| | IDD4 | STOPモード | V _{DD} = 5.0 V ± 10 % | POC : OFF, RING : OFF | | 0.1 | 30 | μA |
| | | | | POC : OFF, RING : ON | | 14 | 58 | μA |
| POC : ON ^{注6} , RING : OFF | | | | | 3.5 | 35.5 | μA | |
| POC : ON ^{注6} , RING : ON | | | | | 17.5 | 63.5 | μA | |
| V _{DD} = 3.0 V ± 10 % | | | POC : OFF, RING : OFF | | 0.05 | 10 | μA | |
| | | | POC : OFF, RING : ON | | 7.5 | 25 | μA | |
| | | | POC : ON ^{注6} , RING : OFF | | 3.5 | 15.5 | μA | |
| | | | POC : ON ^{注6} , RING : ON | | 11 | 30.5 | μA | |

注1．内部電源（V_{DD}）に流れるトータル電流です。周辺動作電流を含みます（ただし、ポートのプルアップ抵抗に流れる電流は含みません）。

2．IDD1は周辺動作電流を含みます。

3．PCC = 00Hに設定したとき。

4．V_{DD}端子，AV_{REF}端子に流れる電流の合計です。

5．X1発振回路を停止させたとき。

6．マスク・オプションによりPOC-OFF選択時におけるLVIE（LVIMのビット4）= 1の場合を含みます。

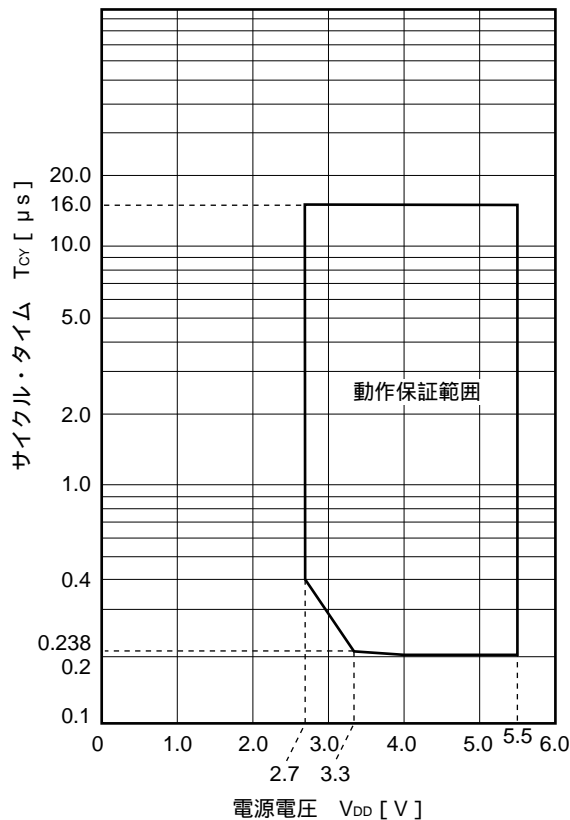
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|-----------------------------------|--|----------------------------------|----------------------------------|-------|------|---------------|---------------|
| 命令サイクル (最小命令実行時間) | T _{CY} | X1入力クロック | 4.0 V $V_{DD} \leq 5.5\text{ V}$ | 0.2 | | 16 | μs |
| | | | 3.3 V $V_{DD} < 4.0\text{ V}$ | 0.238 | | 16 | μs |
| | | | 2.7 V $V_{DD} < 3.3\text{ V}$ | 0.4 | | 16 | μs |
| | | | Ring-OSCクロック | 4.17 | 8.33 | 16.67 | μs |
| TI000, TI010入力ハイ・レベル幅, ロウ・レベル幅 | t _{TIH0} , t _{TIL0} | 4.0 V $V_{DD} \leq 5.5\text{ V}$ | $2/f_{sam} + 0.1$ ^注 | | | μs | |
| | | 2.7 V $V_{DD} < 4.0\text{ V}$ | $2/f_{sam} + 0.2$ ^注 | | | μs | |
| TI50入力周波数 | f _{TI5} | 4.0 V $V_{DD} \leq 5.5\text{ V}$ | | | 10 | MHz | |
| | | 2.7 V $V_{DD} < 4.0\text{ V}$ | | | 5 | MHz | |
| TI50入力ハイ・レベル幅, ロウ・レベル幅 | t _{TIH5} , t _{TIL5} | 4.0 V $V_{DD} \leq 5.5\text{ V}$ | 50 | | | ns | |
| | | 2.7 V $V_{DD} < 4.0\text{ V}$ | 100 | | | ns | |
| 割り込み入力ハイ・レベル幅, ロウ・レベル幅 | t _{INTH} , t _{INTL} | | 1 | | | μs | |
| | | | | | | | |
| RESETロウ・レベル幅 | t _{RSL} | | 10 | | | μs | |

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により, $f_{sam} = f_{XP}, f_{XP}/4, f_{XP}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XP}$ となります。

T_{CY} vs V_{DD} (X1入力クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +85$, 2.7 V $V_{DD} 5.5\text{ V}, 2.7\text{ V}$ $AV_{REF} V_{DD}, V_{SS} = AV_{SS} = 0\text{ V}$)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 312.5 | kbps |

(b) UARTモード (UART0, 専用ポー・レート・ジェネレータ出力) :

μ PD780102, 780103, 78F0103, 780102(A), 780103(A), 78F0103(A)のみ

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 312.5 | kbps |

(c) 3線式シリアルI/Oモード (マスタ・モード, $\overline{\text{SCK10}}$...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|--------------------------|--|------------------|------|------|----|
| $\overline{\text{SCK10}}$ サイクル・タイム | t_{KY1} | 4.0 V $V_{DD} 5.5\text{ V}$ | 200 | | | ns |
| | | 3.3 V $V_{DD} < 4.0\text{ V}$ | 240 | | | ns |
| | | 2.7 V $V_{DD} < 3.3\text{ V}$ | 400 | | | ns |
| $\overline{\text{SCK10}}$ ハイ, ロウ・レベル幅 | t_{KH1} , t_{KL1} | | $t_{KY1}/2 - 10$ | | | ns |
| SI10セットアップ時間 (対 $\overline{\text{SCK10}}$) | t_{SIK1} | | 30 | | | ns |
| SI10ホールド時間 (対 $\overline{\text{SCK10}}$) | t_{KSI1} | | 30 | | | ns |
| $\overline{\text{SCK10}}$ SO10出力遅延時間 | t_{KSO1} | $C = 100\text{ pF}$ ^注 | | | 30 | ns |

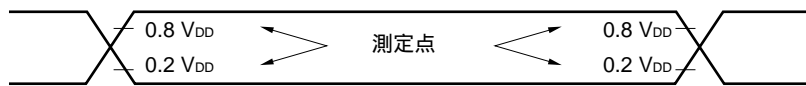
注 Cは, $\overline{\text{SCK10}}$, SO10出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード (スレーブ・モード, $\overline{\text{SCK10}}$...外部クロック入力)

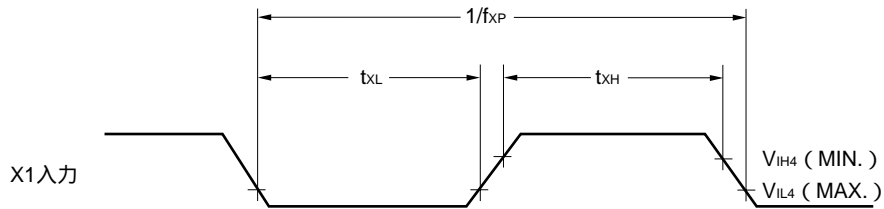
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|--------------------------|----------------------------------|-------------|------|------|----|
| $\overline{\text{SCK10}}$ サイクル・タイム | t_{KY2} | | 400 | | | ns |
| $\overline{\text{SCK10}}$ ハイ, ロウ・レベル幅 | t_{KH2} , t_{KL2} | | $t_{KY2}/2$ | | | ns |
| SI10セットアップ時間 (対 $\overline{\text{SCK10}}$) | t_{SIK2} | | 80 | | | ns |
| SI10ホールド時間 (対 $\overline{\text{SCK10}}$) | t_{KSI2} | | 50 | | | ns |
| $\overline{\text{SCK10}}$ SO10出力遅延時間 | t_{KSO2} | $C = 100\text{ pF}$ ^注 | | | 120 | ns |

注 Cは, SO10出力ラインの負荷容量です。

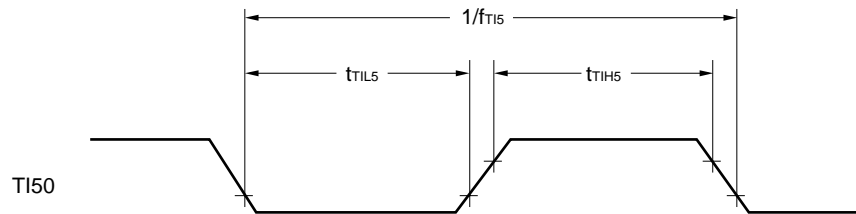
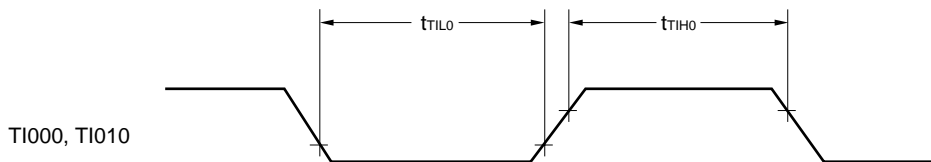
ACタイミング測定点 (X1入力を除く)



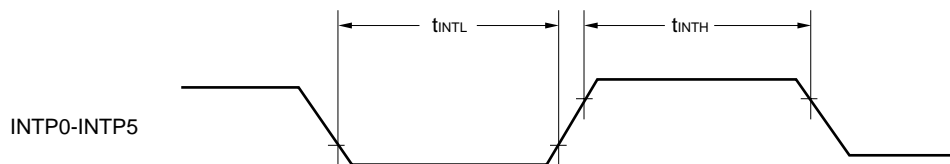
クロック・タイミング



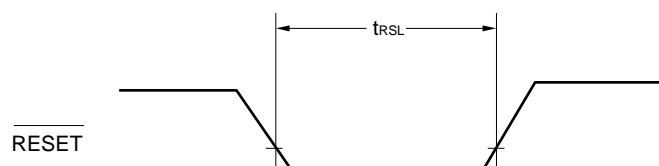
TIタイミング



割り込み要求入力タイミング

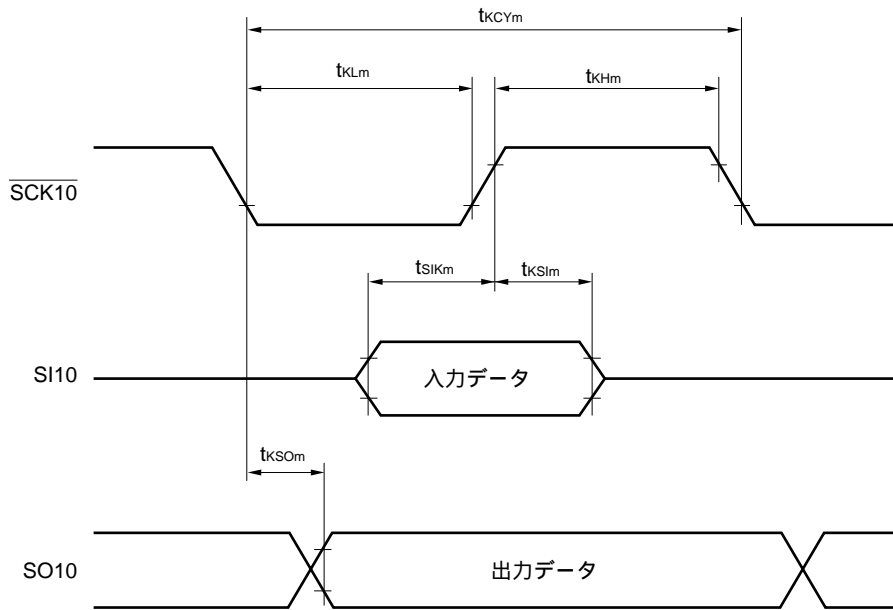


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード：



備考 $m = 1, 2$

A/Dコンバータ特性 (TA = -40 ~ +85, 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = AVSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|-------------------|---------------------|------------------|------|-------------------|------|
| 分解能 | | | 10 | 10 | 10 | bit |
| 総合誤差 ^{注1,2} | | 4.0 V AVREF 5.5 V | | ±0.2 | ±0.4 | %FSR |
| | | 2.7 V AVREF < 4.0 V | | ±0.3 | ±0.6 | %FSR |
| 変換時間 | t _{CONV} | 4.0 V AVREF 5.5 V | 14 | | 100 | μs |
| | | 2.7 V AVREF < 4.0 V | 17 | | 100 | μs |
| ゼロスケール誤差 ^{注1,2} | | 4.0 V AVREF 5.5 V | | | ±0.4 | %FSR |
| | | 2.7 V AVREF < 4.0 V | | | ±0.6 | %FSR |
| フルスケール誤差 ^{注1,2} | | 4.0 V AVREF 5.5 V | | | ±0.4 | %FSR |
| | | 2.7 V AVREF < 4.0 V | | | ±0.6 | %FSR |
| 積分直線性誤差 ^{注1} | | 4.0 V AVREF 5.5 V | | | ±2.5 | LSB |
| | | 2.7 V AVREF < 4.0 V | | | ±4.5 | LSB |
| 微分直線性誤差 ^{注1} | | 4.0 V AVREF 5.5 V | | | ±1.5 | LSB |
| | | 2.7 V AVREF < 4.0 V | | | ±2.0 | LSB |
| アナログ入力電圧 | V _{IAN} | | AV _{SS} | | AV _{REF} | V |

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|-------------------|----------------------------------|--------|------|------|----|
| 検出電圧 | V _{POC0} | マスク・オプション = 3.5 V ^{注1} | 3.3 | 3.5 | 3.7 | V |
| | V _{POC1} | マスク・オプション = 2.85 V ^{注2} | 2.7 | 2.85 | 3.0 | V |
| 電源立ち上げ時間 | t _{PTH} | V _{DD} : 0 V 2.7 V | 0.0015 | | | ms |
| | | V _{DD} : 0 V 3.3 V | 0.002 | | | ms |
| 応答ディレイ時間 ^{注3} | t _{PTH} | 電源立ち上げ時, 検出電圧 (MAX.) に達したあと | | | 3.0 | ms |
| 応答ディレイ時間 ^{注4} | t _{PD} | V _{DD} 降下時 | | | 1.0 | ms |
| 最小パルス幅 | t _{PW} | | 0.2 | | | ms |

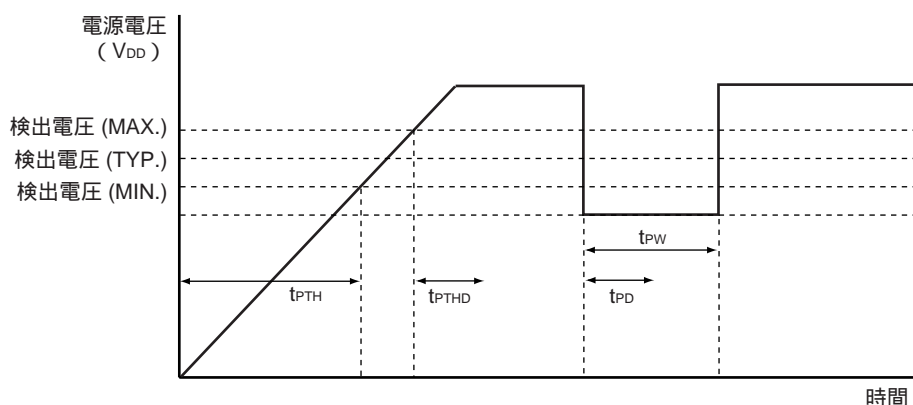
注1. フラッシュ・メモリ製品の場合, μ PD78F0103M5, 78F0103M6, 78F0103M5(A), 78F0103M6(A)使用時。

2. フラッシュ・メモリ製品の場合, μ PD78F0103M3, 78F0103M4, 78F0103M3(A), 78F0103M4(A)使用時。

3. 検出電圧を検出してから, リセットを解除するまでの時間です。

★ 4. 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|---------------------|----|------|------|------|----|
| 検出電圧 | V _{LVI0} | | 4.1 | 4.3 | 4.5 | V |
| | V _{LVI1} | | 3.9 | 4.1 | 4.3 | V |
| | V _{LVI2} | | 3.7 | 3.9 | 4.1 | V |
| | V _{LVI3} | | 3.5 | 3.7 | 3.9 | V |
| | V _{LVI4} | | 3.3 | 3.5 | 3.7 | V |
| | V _{LVI5} | | 3.15 | 3.3 | 3.45 | V |
| | V _{LVI6} | | 2.95 | 3.1 | 3.25 | V |
| 応答時間 ^{注1} | t _{LD} | | | 0.2 | 2.0 | ms |
| 最小パルス幅 | t _{LW} | | 0.2 | | | ms |
| 基準電圧安定待ち時間 ^{注2} | t _{LWAIT0} | | | 0.5 | 2.0 | ms |
| 動作安定待ち時間 ^{注3} | t _{LWAIT1} | | | 0.1 | 0.2 | ms |

注1．検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

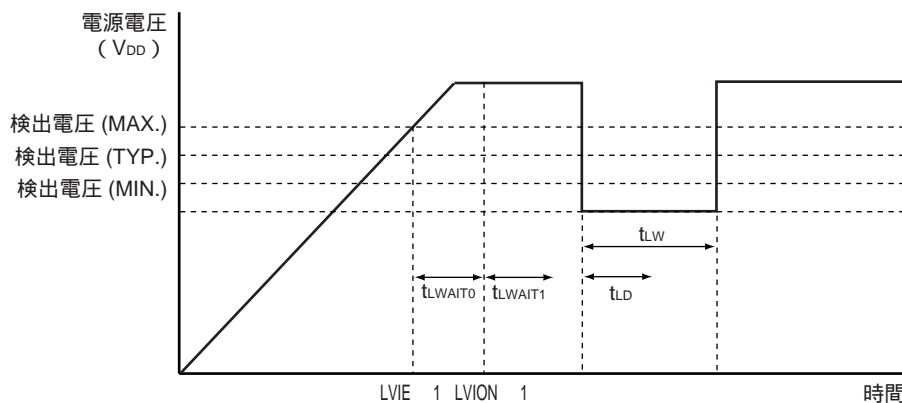
2．マスク・オプションによりPOC-OFFを選択（フラッシュ・メモリ製品ではμ PD78F0103M1, 78F0103M2, 78F0103M1(A), 78F0103M2(A)を使用）した場合，LVIEに1を設定してから基準電圧が安定するまでに必要な時間です。

3．LVIONに1を設定してから，動作が安定するまでの時間です。

備考1．V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4} > V_{LVI5} > V_{LVI6}

2．V_{POCn} < V_{LVI m} (n = 0, 1, m = 0-6)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|-------------------|---|------|------|------|----|
| データ保持電源電圧 | V _{DDDR} | マスク・オプションによりPOC-OFF 選択時 ^注 | 1.6 | | 5.5 | V |
| リリース信号セット時間 | t _{SREL} | | 0 | | | μs |

注 フラッシュ・メモリ製品の場合，μ PD78F0103M1, 78F0103M2, 78F0103M1(A), 78F0103M2(A)使用時。

フラッシュ・メモリ・プログラミング特性：μPD78F0103, 78F0103(A)

($T_A = +10 \sim +60$, 2.7 V $V_{DD} = 5.5$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

(1) 書き込み消去特性

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|------------|--|-------|------|-------|-------|
| V_{PP} 電源電圧 | V_{PP2} | フラッシュ・メモリ・プログラミング時 | 9.7 | 10.0 | 10.3 | V |
| V_{DD} 電源電流 | I_{DD} | $V_{PP} = V_{PP2}$ 時 $f_{XP} = 10$ MHz, $V_{DD} = 5.5$ V時 | | | 37 | mA |
| V_{PP} 電源電流 | I_{PP} | $V_{PP} = V_{PP2}$ | | | 100 | mA |
| ステップ消去時間 ^{注1} | T_{er} | | 0.199 | 0.2 | 0.201 | s |
| 総消去時間 ^{注2} | T_{era} | ステップ消去時間 = 0.2 s | | | 20 | s/チップ |
| ライトバック時間 ^{注3} | T_{wb} | | 49.4 | 50 | 50.6 | ms |
| 1ライトバック・コマンドあたりのライトバック回数 ^{注4} | C_{wb} | ライトバック時間 = 50 ms | | | 60 | 回 |
| 消去 - ライトバック回数 | C_{erwb} | | | | 16 | 回 |
| ステップ書き込み時間 ^{注5} | T_{wr} | | 48 | 50 | 52 | μs |
| 1ワードあたりの総書き込み時間 ^{注6} | T_{wrw} | ステップ書き込み時間 = 50 μs設定 (1ワード = 1バイト) | 48 | | 520 | μs |
| 1チップあたりの書き換え回数 ^{注7} | C_{erwr} | 消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする | | | 20 | 回/エリア |

注1. ステップ消去時間の推奨設定値 = 0.2 sです。

2. 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は、含まれません。

3. ライトバック時間の推奨設定値 = 50 msです。

4. ライトバック・コマンドの発行により、ライトバックは1回実行されます。したがってリトライ回数設定値は、本値よりコマンド発行回数をマイナスした値としてください。

5. ステップ書き込み時間の推奨設定値 = 50 μsです。

6. 実際の1ワードあたりの書き込み時間は、100 μsが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 P E P E P: 書き換え回数3回

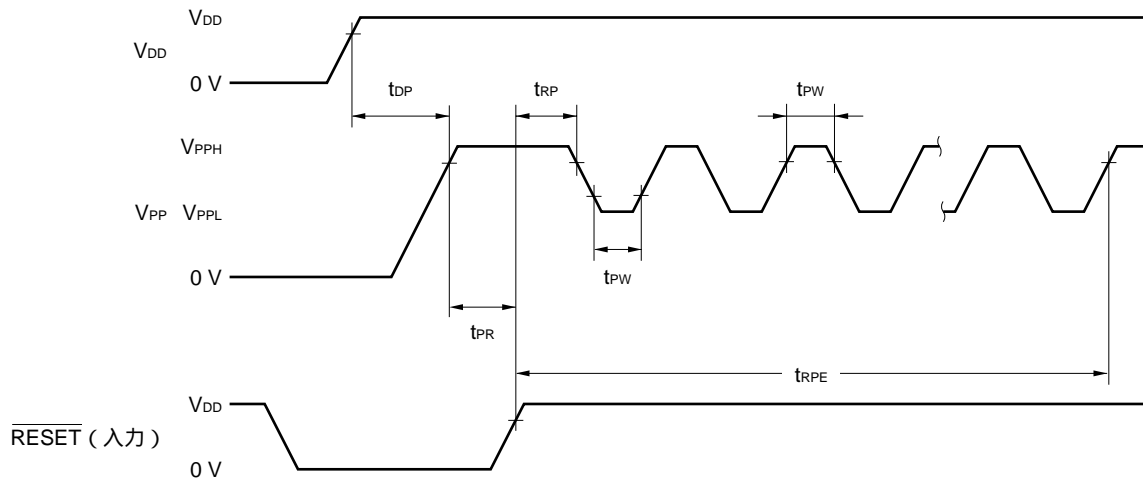
出荷品 E P E P E P: 書き換え回数3回

備考 フラッシュ・メモリ・プログラミング時の動作クロック範囲は、通常動作時と同様です。

(2) シリアル書き込みオペレーション特性

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------------------|-------------------|----|--------------------|------|--------------------|----|
| V _{DD} V _{PP} セット時間 | t _{DP} | | 10 | | | μs |
| V _{PP} RESET 解除時間 | t _{PR} | | 10 | | | μs |
| RESET V _{PP} パルス入力開始時間 | t _{RP} | | 2 | | | ms |
| V _{PP} パルス・ハイ, ロウ・レベル幅 | t _{PW} | | 8 | | | μs |
| RESET V _{PP} パルス入力終了時間 | t _{RPE} | | | | 14 | ms |
| V _{PP} パルス・ロウ・レベル入力電圧 | V _{PPPL} | | 0.8V _{DD} | | 1.2V _{DD} | V |
| V _{PP} パルス・ハイ・レベル入力電圧 | V _{PPPH} | | 9.7 | 10.0 | 10.3 | V |

フラッシュ書き込みモード設定タイミング



第25章 電気的特性 ((A1) 水準品)

対象製品： μ PD780101(A1), 780102(A1), 780103(A1), 78F0103(A1)

絶対最大定格 ($T_A = 25$)

| 項目 | 略号 | 条件 | 定格 | 単位 | |
|------------|------------|---|--|--------------|----|
| 電源電圧 | V_{DD} | | - 0.3 ~ + 6.5 | V | |
| | V_{SS} | | - 0.3 ~ + 0.3 | V | |
| | AV_{REF} | | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| | AV_{SS} | | - 0.3 ~ + 0.3 | V | |
| | V_{PP} | μ PD78F0103(A1)のみ 注2 | - 0.3 ~ + 10.5 | V | |
| 入力電圧 | V_{I1} | P00-P03, P10-P17, P20-P23, P30-P33, P120, X1, X2, RESET | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| | V_{I2} | フラッシュ・プログラミング・モード時の V_{PP} (μ PD78F0103(A1)のみ) | - 0.3 ~ + 10.5 | V | |
| 出力電圧 | V_O | | - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| アナログ入力電圧 | V_{AN} | | $AV_{SS} - 0.3 \sim AV_{REF} + 0.3$ ^{注1} かつ - 0.3 ~ $V_{DD} + 0.3$ ^{注1} | V | |
| ハイ・レベル出力電流 | I_{OH} | 1端子 | - 8 | mA | |
| | | 端子合計 | P30-P33, P120 | - 24 | mA |
| | | | P00-P03, P10-P17, P130 | - 24 | mA |
| | | 全端子合計 | - 40 | mA | |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 16 | mA | |
| | | 端子合計 | P30-P33, P120 | 28 | mA |
| | | | P00-P03, P10-P17, P130 | 28 | mA |
| | | 全端子合計 | 48 | mA | |
| 動作周囲温度 | T_A | μ PD780101(A1), 780102(A1), 780103(A1) | - 40 ~ + 110 | | |
| | | μ PD78F0103(A1) | 通常動作時 | - 40 ~ + 105 | |
| | | | フラッシュ・メモリ・プログラミング時 | - 10 ~ + 85 | |
| 保存温度 | T_{stg} | μ PD780101(A1), 780102(A1), 780103(A1) | - 65 ~ + 150 | | |
| | | μ PD78F0103(A1) | - 40 ~ + 125 | | |

注1 . 6.5 V以下であること

(注2は次頁に示します。)

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

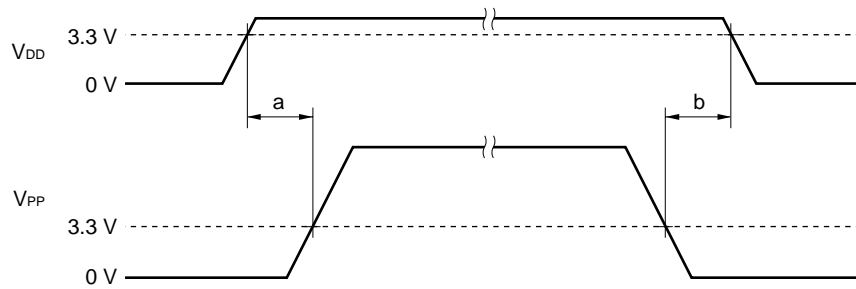
注2. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

• 電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧(3.3 V)に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること(下図のa)。

• 電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧(3.3 V)を下回ってから10 μ s以上経過後, V_{DD} を立ち下げること(下図のb)。



X1発振回路特性 (TA = -40 ~ +110 注1, 3.3 V VDD 5.5 V, 3.3 V AVREF VDD, VSS = AVSS = 0 V)

| 発振子 | 推奨回路 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------|------|---|-------------------|------|------|------|-----|
| セラミック発振子 | | 発振周波数 (f _{XP}) 注2 | 4.5 V VDD 5.5 V | 2.0 | | 10 | MHz |
| | | | 4.0 V VDD < 4.5 V | 2.0 | | 8.38 | |
| | | | 3.3 V VDD < 4.0 V | 2.0 | | 5.0 | |
| 水晶振動子 | | 発振周波数 (f _{XP}) 注2 | 4.5 V VDD 5.5 V | 2.0 | | 10 | MHz |
| | | | 4.0 V VDD < 4.5 V | 2.0 | | 8.38 | |
| | | | 3.3 V VDD < 4.0 V | 2.0 | | 5.0 | |
| 外部クロック | | X1入力周波数 (f _{XP}) 注2 | 4.5 V VDD 5.5 V | 2.0 | | 10 | MHz |
| | | | 4.0 V VDD < 4.5 V | 2.0 | | 8.38 | |
| | | | 3.3 V VDD < 4.0 V | 2.0 | | 5.0 | |
| | | X1入力ハイ、ロウ・レベル幅 (t _{XH} , t _{XL}) | 4.5 V VDD 5.5 V | 46 | | 500 | ns |
| | | | 4.0 V VDD < 4.5 V | 56 | | 500 | |
| | | | 3.3 V VDD < 4.0 V | 96 | | 500 | |

注1 . TA = -40 ~ +110 : μ PD780101(A1), 780102(A1), 780103(A1)

TA = -40 ~ +105 : μ PD78F0103(A1)

2 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1 . X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- ★ 2. リセット解除後は、Ring-OSCによりCPUが起動されるため、X1入力クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

Ring-OSC発振回路特性 (TA = -40 ~ +110 注 3.3 V VDD 5.5 V, 3.3 V AVREF VDD, VSS = AVSS = 0 V)

| 発振子 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------|-------------------------|----|------|------|------|-----|
| 内蔵Ring-OSC発振回路 | 発振周波数 (f _R) | | 120 | 240 | 490 | kHz |

注 TA = -40 ~ +110 : μ PD780101(A1), 780102(A1), 780103(A1)

TA = -40 ~ +105 : μ PD78F0103(A1)

DC特性 (1/4) : μ PD78F0103(A1)

($T_A = -40 \sim +105$, 3.3 V $V_{DD} = 5.5 V, 3.3 V$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|-------------------|------------|---|---|----------------|------|---------------|---------|
| ハイ・レベル出力電流 | I_{OH} | 1端子 | 4.0 V $V_{DD} = 5.5 V$ | | | - 4 | mA |
| | | P30-P33, P120 合計 | 4.0 V $V_{DD} = 5.5 V$ | | | - 20 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V $V_{DD} = 5.5 V$ | | | - 20 | mA |
| | | 全端子合計 | 4.0 V $V_{DD} = 5.5 V$ | | | - 25 | mA |
| | | | 3.3 V $V_{DD} < 4.0 V$ | | | - 8 | mA |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 4.0 V $V_{DD} = 5.5 V$ | | | 8 | mA |
| | | P30-P33, P120 合計 | 4.0 V $V_{DD} = 5.5 V$ | | | 24 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V $V_{DD} = 5.5 V$ | | | 24 | mA |
| | | 全端子合計 | 4.0 V $V_{DD} = 5.5 V$ | | | 30 | mA |
| | | | 3.3 V $V_{DD} < 4.0 V$ | | | 8 | mA |
| ハイ・レベル入力電圧 | V_{IH1} | P12, P13, P15 | | $0.7V_{DD}$ | | V_{DD} | V |
| | V_{IH2} | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, \overline{RESET} | | $0.8V_{DD}$ | | V_{DD} | V |
| | V_{IH3} | P20-P23 ^{注1} | | $0.7AV_{REF}$ | | AV_{REF} | V |
| | V_{IH4} | X1, X2 | | $V_{DD} - 0.5$ | | V_{DD} | V |
| ロウ・レベル入力電圧 | V_{IL1} | P12, P13, P15 | | 0 | | $0.3V_{DD}$ | V |
| | V_{IL2} | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, \overline{RESET} | | 0 | | $0.2V_{DD}$ | V |
| | V_{IL3} | P20-P23 ^{注1} | | 0 | | $0.3AV_{REF}$ | V |
| | V_{IL4} | X1, X2 | | 0 | | 0.4 | V |
| ハイ・レベル出力電圧 | V_{OH} | P30-P33, P120 端子合計 $I_{OH} = -20 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$, $I_{OH} = -4 \text{ mA}$ | $V_{DD} - 1.0$ | | | V |
| | | P00-P03, P10-P17, P130 端子合計 $I_{OH} = -20 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$, $I_{OH} = -4 \text{ mA}$ | $V_{DD} - 1.0$ | | | V |
| | | $I_{OH} = -100 \mu A$ | 3.3 V $V_{DD} < 4.0 V$ | $V_{DD} - 0.5$ | | | V |
| ロウ・レベル出力電圧 | V_{OL} | P30-P33, P120 端子合計 $I_{OL} = 24 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$, $I_{OL} = 8 \text{ mA}$ | | | 1.3 | V |
| | | P00-P03, P10-P17, P130 端子合計 $I_{OL} = 24 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$, $I_{OL} = 8 \text{ mA}$ | | | 1.3 | V |
| | | $I_{OL} = 400 \mu A$ | 3.3 V $V_{DD} < 4.0 V$ | | | 0.4 | V |
| ハイ・レベル入力 リーク電流 | I_{LIH1} | $V_i = V_{DD}$ | P00-P03, P10-P17, P30-P33, P120, \overline{RESET} | | | 10 | μA |
| | | $V_i = AV_{REF}$ | P20-P23 | | | 10 | μA |
| | I_{LIH2} | $V_i = V_{DD}$ | X1, X2 ^{注2} | | | 20 | μA |
| ロウ・レベル入力 リーク電流 | I_{LIL1} | $V_i = 0 V$ | P00-P03, P10-P17, P20-P23, P30-P33, P120, \overline{RESET} | | | - 10 | μA |
| | I_{LIL2} | | X1, X2 ^{注2} | | | - 20 | μA |
| ハイ・レベル出力リーク電流 | I_{LOH} | $V_o = V_{DD}$ | | | | 10 | μA |
| ロウ・レベル出力リーク電流 | I_{LOL} | $V_o = 0 V$ | | | | - 10 | μA |
| プルアップ抵抗値 | R | $V_i = 0 V$ | | 10 | 30 | 120 | k |
| V_{PP} 電源電圧 | V_{PP1} | 通常動作時 | | 0 | | $0.2V_{DD}$ | V |

注1. デジタル入力ポートとして使用する場合は、 $AV_{REF} = V_{DD}$ にしてください。

2. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/4) : μ PD780101(A1), 780102(A1), 780103(A1)

($T_A = -40 \sim +110$, 3.3 V $V_{DD} = 5.5 \text{ V}, 3.3 \text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|-------------------|------------|--|--|----------------|------|---------------|---------------|
| ハイ・レベル出力電流 | I_{OH} | 1端子 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | - 4 | mA |
| | | P30-P33, P120 合計 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | - 20 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | - 20 | mA |
| | | 全端子合計 | 4.0 V $V_{DD} < 5.5 \text{ V}$ | | | - 32 | mA |
| | | | 3.3 V $V_{DD} < 4.0 \text{ V}$ | | | - 8 | mA |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | 8 | mA |
| | | P30-P33, P120 合計 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | 24 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | 24 | mA |
| | | 全端子合計 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | | | 40 | mA |
| | | | 3.3 V $V_{DD} < 4.0 \text{ V}$ | | | 8 | mA |
| ハイ・レベル入力電圧 | V_{IH1} | P12, P13, P15 | | $0.7V_{DD}$ | | V_{DD} | V |
| | V_{IH2} | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, $\overline{\text{RESET}}$ | | $0.8V_{DD}$ | | V_{DD} | V |
| | V_{IH3} | P20-P23 ^{注1} | | $0.7AV_{REF}$ | | AV_{REF} | V |
| | V_{IH4} | X1, X2 | | $V_{DD} - 0.5$ | | V_{DD} | V |
| ロウ・レベル入力電圧 | V_{IL1} | P12, P13, P15 | | 0 | | $0.3V_{DD}$ | V |
| | V_{IL2} | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, $\overline{\text{RESET}}$ | | 0 | | $0.2V_{DD}$ | V |
| | V_{IL3} | P20-P23 ^{注1} | | 0 | | $0.3AV_{REF}$ | V |
| | V_{IL4} | X1, X2 | | 0 | | 0.4 | V |
| ハイ・レベル出力電圧 | V_{OH} | P30-P33, P120 端子合計 $I_{OH} = -20 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 \text{ V}$, $I_{OH} = -4 \text{ mA}$ | $V_{DD} - 1.0$ | | | V |
| | | P00-P03, P10-P17, P130 端子合計 $I_{OH} = -20 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 \text{ V}$, $I_{OH} = -4 \text{ mA}$ | $V_{DD} - 1.0$ | | | V |
| | | $I_{OH} = -100 \mu\text{A}$ | 3.3 V $V_{DD} < 4.0 \text{ V}$ | $V_{DD} - 0.5$ | | | V |
| ロウ・レベル出力電圧 | V_{OL} | P30-P33, P120 端子合計 $I_{OL} = 24 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 \text{ V}$, $I_{OL} = 8 \text{ mA}$ | | | 1.3 | V |
| | | P00-P03, P10-P17, P130 端子合計 $I_{OL} = 24 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 \text{ V}$, $I_{OL} = 8 \text{ mA}$ | | | 1.3 | V |
| | | $I_{OL} = 400 \mu\text{A}$ | 3.3 V $V_{DD} < 4.0 \text{ V}$ | | | 0.4 | V |
| ハイ・レベル入力 リーク電流 | I_{LIH1} | $V_I = V_{DD}$ | P00-P03, P10-P17, P30-P33, P120, $\overline{\text{RESET}}$ | | | 10 | μA |
| | | $V_I = AV_{REF}$ | P20-P23 | | | 10 | μA |
| | I_{LIH2} | $V_I = V_{DD}$ | X1, X2 ^{注2} | | | 20 | μA |
| ロウ・レベル入力 リーク電流 | I_{LIL1} | $V_I = 0 \text{ V}$ | P00-P03, P10-P17, P20-P23, P30-P33, P120, $\overline{\text{RESET}}$ | | | - 10 | μA |
| | I_{LIL2} | | X1, X2 ^{注2} | | | - 20 | μA |
| ハイ・レベル出力リーク電流 | I_{LOH} | $V_O = V_{DD}$ | | | | 10 | μA |
| ロウ・レベル出力リーク電流 | I_{LOL} | $V_O = 0 \text{ V}$ | | | | - 10 | μA |
| プルアップ抵抗値 | R | $V_I = 0 \text{ V}$ | | 10 | 30 | 120 | k |

注1. デジタル入力ポートとして使用する場合は, $AV_{REF} = V_{DD}$ にしてください。

2. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/4) : μ PD78F0103(A1)

($T_A = -40 \sim +105$, 3.3 V $V_{DD} = 5.5 V, 3.3 V$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|--------------------|------|-----------------------------------|--|-------------------------------------|------|------|---------|
| 電源電流 ^{注1} | IDD1 | X1水晶発振 動作モード ^{注2} | $f_{XP} = 10 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 11.6 | 20.6 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 12.6 | 22.6 | mA |
| | IDD2 | X1水晶発振 HALTモード | $f_{XP} = 10 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 1.4 | 3.9 | mA |
| | | | | 周辺機能動作時 | | 6.6 | mA |
| | IDD3 | Ring-OSC 動作モード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | | 0.37 | 2.61 | mA |
| | IDD4 | Ring-OSC HALTモード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | | 0.19 | 1.86 | mA |
| | IDD5 | STOPモード | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | POC : OFF, RING : OFF | 0.1 | 1100 | μA |
| | | | | POC : OFF, RING : ON | 14 | 1200 | μA |
| | | | | POC : ON ^{注6} , RING : OFF | 3.5 | 1100 | μA |
| | | | | POC : ON ^{注6} , RING : ON | 17.5 | 1200 | μA |

注1 . 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。

- 2 . IDD1は周辺動作電流を含みます。
- 3 . PCC = 00Hに設定したとき。
- 4 . V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
- 5 . X1発振回路を停止させたとき。
- 6 . μ PD78F0103M1(A1), 78F0103M2(A1)でLVIE (LVIMのビット4) = 1の場合を含みます。

DC特性 (4/4) : μ PD780101(A1), 780102(A1), 780103(A1)

($T_A = -40 \sim +110$, 3.3 V $V_{DD} = 5.5 V, 3.3 V$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|--------------------|------|-----------------------------------|--|-------------------------------------|------|------|---------|
| 電源電流 ^{注1} | IDD1 | X1水晶発振 動作モード ^{注2} | $f_{XP} = 10 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3} | A/Dコンバータ停止時 | 6 | 11.7 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | 7 | 13.7 | mA |
| | IDD2 | X1水晶発振 HALTモード | $f_{XP} = 10 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | 周辺機能停止時 | 1.3 | 3.4 | mA |
| | | | | 周辺機能動作時 | | 5.6 | mA |
| | IDD3 | Ring-OSC 動作モード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | | 0.18 | 1.52 | mA |
| | IDD4 | Ring-OSC HALTモード ^{注5} | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | | 0.05 | 1.00 | mA |
| | IDD5 | STOPモード | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ | POC : OFF, RING : OFF | 0.1 | 800 | μA |
| | | | | POC : OFF, RING : ON | 14 | 900 | μA |
| | | | | POC : ON ^{注6} , RING : OFF | 3.5 | 800 | μA |
| | | | | POC : ON ^{注6} , RING : ON | 17.5 | 900 | μA |

注1 . 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。

- 2 . IDD1は周辺動作電流を含みます。
- 3 . PCC = 00Hに設定したとき。
- 4 . V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
- 5 . X1発振回路を停止させたとき。
- 6 . マスク・オプションによりPOC-OFF選択時におけるLVIE (LVIMのビット4) = 1の場合を含みます。

AC特性

(1) 基本動作 ($T_A = -40 \sim +110$ 注1, $3.3\text{ V } V_{DD} 5.5\text{ V}, 3.3\text{ V } AV_{REF} V_{DD}, V_{SS} = AV_{SS} = 0\text{ V}$)

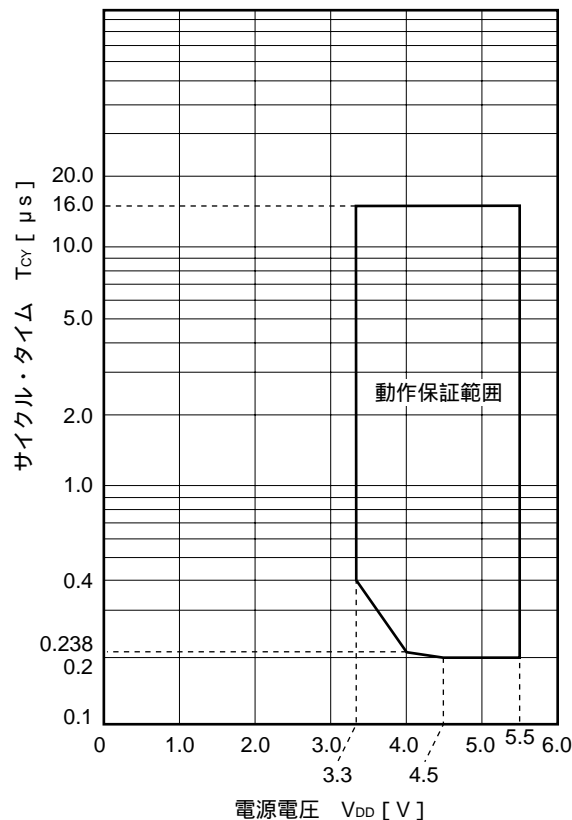
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|-----------------------------------|---------------------------|-------------------------------|-------------------------------|-------|------|----------------|----------------|
| 命令サイクル (最小命令実行時間) | T_{CY} | X1入力クロック | 4.5 V $V_{DD} 5.5\text{ V}$ | 0.2 | | 16 | $\mu\text{ s}$ |
| | | | 4.0 V $V_{DD} < 4.5\text{ V}$ | 0.238 | | 16 | $\mu\text{ s}$ |
| | | | 3.3 V $V_{DD} < 4.0\text{ V}$ | 0.4 | | 16 | $\mu\text{ s}$ |
| | | | Ring-OSCクロック | 4.09 | 8.33 | 16.67 | $\mu\text{ s}$ |
| TI000, TI010入力ハイ・レベル幅, ロウ・レベル幅 | $t_{T1H0},$ t_{T1L0} | 4.0 V $V_{DD} 5.5\text{ V}$ | $2/f_{sam} + 0.1$ 注2 | | | $\mu\text{ s}$ | |
| | | 3.3 V $V_{DD} < 4.0\text{ V}$ | $2/f_{sam} + 0.2$ 注2 | | | $\mu\text{ s}$ | |
| TI50入力周波数 | f_{T15} | 4.0 V $V_{DD} 5.5\text{ V}$ | | | 10 | MHz | |
| | | 3.3 V $V_{DD} < 4.0\text{ V}$ | | | 5 | MHz | |
| TI50入力ハイ・レベル幅, ロウ・レベル幅 | $t_{T1H5},$ t_{T1L5} | 4.0 V $V_{DD} 5.5\text{ V}$ | 50 | | | ns | |
| | | 3.3 V $V_{DD} < 4.0\text{ V}$ | 100 | | | ns | |
| 割り込み入力ハイ・レベル幅, ロウ・レベル幅 | $t_{T1NH},$ t_{T1NL} | | 1 | | | $\mu\text{ s}$ | |
| | | | | | | | |
| RESETロウ・レベル幅 | t_{RSL} | | 10 | | | $\mu\text{ s}$ | |

注1. $T_A = -40 \sim +110$: μ PD780101(A1), 780102(A1), 780103(A1)

$T_A = -40 \sim +105$: μ PD78F0103(A1)

2. プリスケーラ・モード・レジスタ00 (PRM00)のビット0, 1 (PRM000, PRM001)により, $f_{sam} = f_{XP}, f_{XP}/4, f_{XP}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XP}$ となります。

T_{CY} vs V_{DD} (X1入力クロック動作時)



(2) シリアル・インタフェース

($T_A = -40 \sim +110$ ^注, 3.3 V $V_{DD} = 5.5$ V, 3.3 V $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

注 $T_A = -40 \sim +110$: μ PD780101(A1), 780102(A1), 780103(A1)

$T_A = -40 \sim +105$: μ PD78F0103(A1)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 312.5 | kbps |

(b) UARTモード (UART0, 専用ポー・レート・ジェネレータ出力) :

μ PD780102(A1), 780103(A1), 78F0103(A1)のみ

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 312.5 | kbps |

(c) 3線式シリアルI/Oモード (マスタ・モード, $\overline{SCK10}$...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|--------------------------|---------------------------|------------------|------|------|----|
| $\overline{SCK10}$ サイクル・タイム | t_{CY1} | 4.5 V $V_{DD} = 5.5$ V | 200 | | | ns |
| | | 4.0 V $V_{DD} < 4.5$ V | 240 | | | ns |
| | | 3.3 V $V_{DD} < 4.0$ V | 400 | | | ns |
| $\overline{SCK10}$ ハイ, ロウ・レベル幅 | t_{KH1} , t_{KL1} | | $t_{CY1}/2 - 10$ | | | ns |
| SI10セットアップ時間 (対 $\overline{SCK10}$) | t_{SIK1} | | 30 | | | ns |
| SI1nホールド時間 (対 $\overline{SCK10}$) | t_{KSI1} | | 30 | | | ns |
| $\overline{SCK10}$ SO10出力遅延時間 | t_{KSO1} | $C = 100$ pF ^注 | | | 30 | ns |

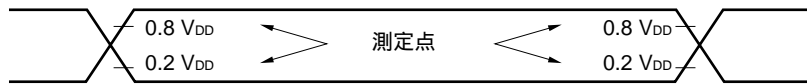
注 Cは, $\overline{SCK10}$, SO10出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード (スレーブ・モード, $\overline{SCK10}$...外部クロック入力)

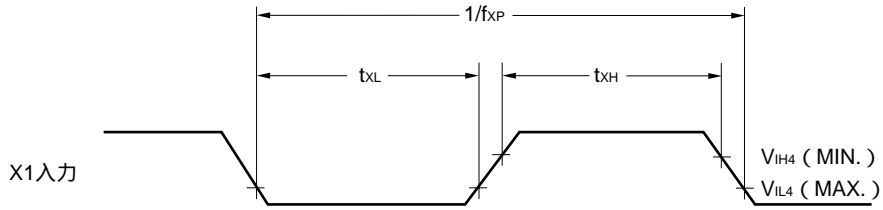
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|--------------------------|---------------------------|-------------|------|------|----|
| $\overline{SCK10}$ サイクル・タイム | t_{CY2} | | 400 | | | ns |
| $\overline{SCK10}$ ハイ, ロウ・レベル幅 | t_{KH2} , t_{KL2} | | $t_{CY2}/2$ | | | ns |
| SI10セットアップ時間 (対 $\overline{SCK10}$) | t_{SIK2} | | 80 | | | ns |
| SI10ホールド時間 (対 $\overline{SCK10}$) | t_{KSI2} | | 50 | | | ns |
| $\overline{SCK10}$ SO10出力遅延時間 | t_{KSO2} | $C = 100$ pF ^注 | | | 120 | ns |

注 Cは, SO10出力ラインの負荷容量です。

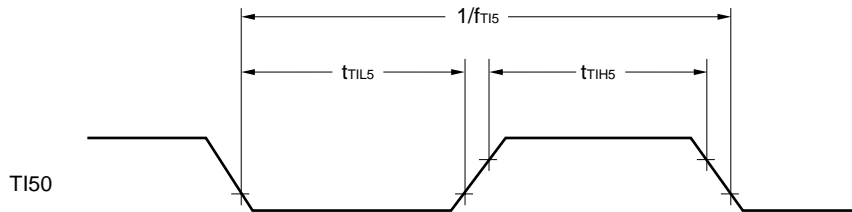
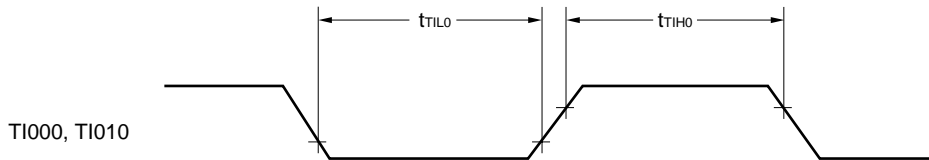
ACタイミング測定点 (X1入力を除く)



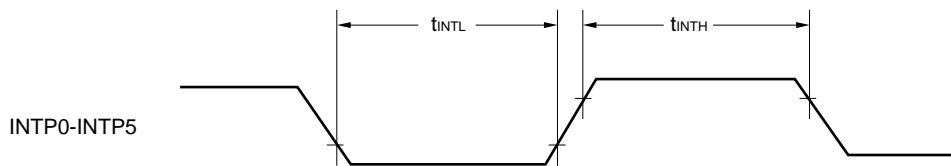
クロック・タイミング



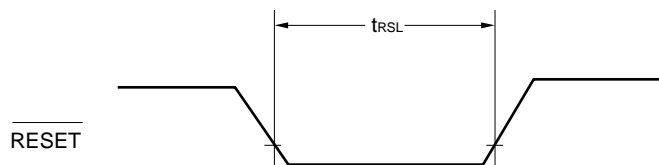
TIタイミング



割り込み要求入力タイミング

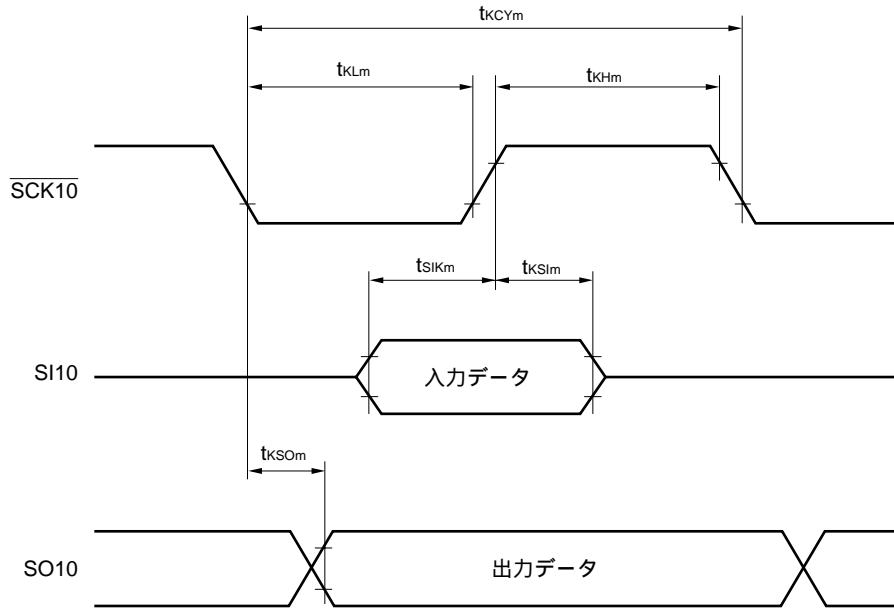


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

A/Dコンバータ特性 (TA = -40 ~ +110 ^{注1}, 3.3 V VDD 5.5 V, 3.3 V AVREF VDD, VSS = AVSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------|-------------------|---------------------|------------------|------|-------------------|------|
| 分解能 | | | 10 | 10 | 10 | bit |
| 総合誤差 ^{注2, 3} | | 4.0 V AVREF 5.5 V | | ±0.2 | ±0.6 | %FSR |
| | | 3.3 V AVREF < 4.0 V | | ±0.3 | ±0.8 | %FSR |
| 変換時間 | t _{CONV} | 4.0 V AVREF 5.5 V | 14 | | 60 | μs |
| | | 3.3 V AVREF < 4.0 V | 19 | | 60 | μs |
| ゼロスケール誤差 ^{注2, 3} | | 4.0 V AVREF 5.5 V | | | ±0.6 | %FSR |
| | | 3.3 V AVREF < 4.0 V | | | ±0.8 | %FSR |
| フルスケール誤差 ^{注2, 3} | | 4.0 V AVREF 5.5 V | | | ±0.6 | %FSR |
| | | 3.3 V AVREF < 4.0 V | | | ±0.8 | %FSR |
| 積分直線性誤差 ^{注2} | | 4.0 V AVREF 5.5 V | | | ±4.5 | LSB |
| | | 3.3 V AVREF < 4.0 V | | | ±6.5 | LSB |
| 微分直線性誤差 ^{注2} | | 4.0 V AVREF 5.5 V | | | ±2.0 | LSB |
| | | 3.3 V AVREF < 4.0 V | | | ±2.5 | LSB |
| アナログ入力電圧 | V _{AIN} | | AV _{SS} | | AV _{REF} | V |

注1 . TA = -40 ~ +110 : μ PD780101(A1), 780102(A1), 780103(A1)

TA = -40 ~ +105 : μ PD78F0103(A1)

- 量子化誤差 (±1/2 LSB) を含みません。
- フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 (TA = -40 ~ +110 ^{注1})

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|-------------------|---------------------------------|-------|------|------|----|
| 検出電圧 | V _{POCO} | マスク・オプション = 3.5 V ^{注2} | 3.3 | 3.5 | 3.72 | V |
| 電源立ち上げ時間 | t _{PTH} | V _{DD} : 0 V 3.3 V | 0.002 | | | ms |
| 応答ディレイ時間 ^{注3} | t _{PTHD} | 電源立ち上げ時, 検出電圧 (MAX.) に達したあと | | | 3.0 | ms |
| 応答ディレイ時間 ^{注4} | t _{PD} | V _{DD} 降下時 | | | 1.0 | ms |
| 最小パルス幅 | t _{PW} | | 0.2 | | | ms |

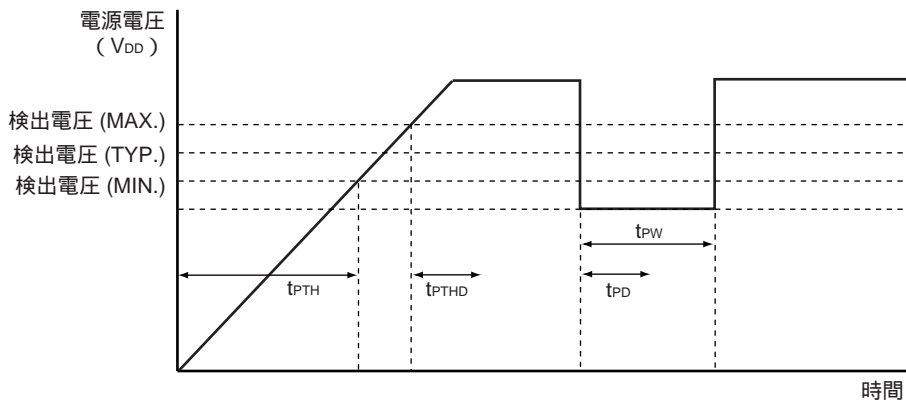
注1 . TA = -40 ~ +110 : μ PD780101(A1), 780102(A1), 780103(A1)

TA = -40 ~ +105 : μ PD78F0103(A1)

- フラッシュ・メモリ製品の場合, μ PD78F0103M5(A1), 78F0103M6(A1)使用時。
- 検出電圧を検出してから, リセットを解除するまでの時間です。

- ★ 4. 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +110 注1)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------|---------------------|----|------|------|------|----|
| 検出電圧 | V _{LVI0} | | 4.1 | 4.3 | 4.52 | V |
| | V _{LVI1} | | 3.9 | 4.1 | 4.32 | V |
| | V _{LVI2} | | 3.7 | 3.9 | 4.12 | V |
| | V _{LVI3} | | 3.5 | 3.7 | 3.92 | V |
| | V _{LVI4} | | 3.3 | 3.5 | 3.72 | V |
| 応答時間注2 | t _{LD} | | | 0.2 | 2.0 | ms |
| 最小パルス幅 | t _{LW} | | 0.2 | | | ms |
| 基準電圧安定待ち時間注3 | t _{LWAIT0} | | | 0.5 | 2.0 | ms |
| 動作安定待ち時間注4 | t _{LWAIT1} | | | 0.1 | 0.2 | ms |

注1 . TA = -40 ~ +110 : μPD780101(A1), 780102(A1), 780103(A1)

TA = -40 ~ +105 : μPD78F0103(A1)

2 . 検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

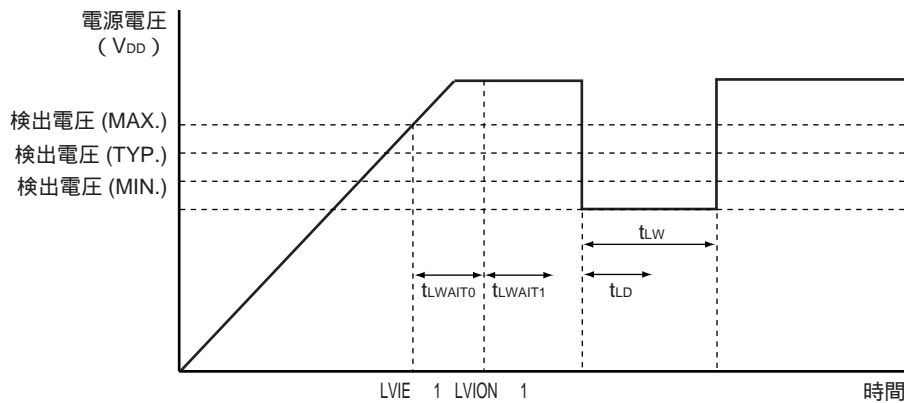
3 . マスク・オプションによりPOC-OFFを選択 (フラッシュ・メモリ製品ではμPD78F0103M1(A1), 78F0103M2(A1)を使用) した場合, LVIEに1を設定してから基準電圧が安定するまでに必要な時間です。

4 . LVIONに1を設定してから, 動作が安定するまでの時間です。

備考1 . V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4}

2 . V_{POC0} < V_{LVI_m} (m = 0-4)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +110 注1)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|-------------------|--------------------------|------|------|------|----|
| データ保持電源電圧 | V _{DDDR} | マスク・オプションによりPOC-OFF選択時注2 | 2.0 | | 5.5 | V |
| リリース信号セット時間 | t _{SREL} | | 0 | | | μs |

注1 . TA = -40 ~ +110 : μPD780101(A1), 780102(A1), 780103(A1)

TA = -40 ~ +105 : μPD78F0103(A1)

2 . フラッシュ・メモリ製品の場合, μPD78F0103M1(A1), 78F0103M2(A1)使用時。

フラッシュ・メモリ・プログラミング特性 : μ PD78F0103(A1)

($T_A = +10 \sim +60$, 3.3 V $V_{DD} = 5.5$ V, 3.3 V $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

(1) 書き込み消去特性

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|------------|--|-------|------|-------|---------|
| V_{PP} 電源電圧 | V_{PP2} | フラッシュ・メモリ・プログラミング時 | 9.7 | 10.0 | 10.3 | V |
| V_{DD} 電源電流 | I_{DD} | $V_{PP} = V_{PP2}$ 時 $f_{XP} = 10$ MHz, $V_{DD} = 5.5$ V時 | | | 37 | mA |
| V_{PP} 電源電流 | I_{PP} | $V_{PP} = V_{PP2}$ | | | 100 | mA |
| ステップ消去時間 ^{注1} | T_{er} | | 0.199 | 0.2 | 0.201 | s |
| 総消去時間 ^{注2} | T_{era} | ステップ消去時間 = 0.2 s | | | 20 | s/チップ |
| ライトバック時間 ^{注3} | T_{wb} | | 49.4 | 50 | 50.6 | ms |
| 1ライトバック・コマンドあたりのライトバック回数 ^{注4} | C_{wb} | ライトバック時間 = 50 ms | | | 60 | 回 |
| 消去 - ライトバック回数 | C_{erwb} | | | | 16 | 回 |
| ステップ書き込み時間 ^{注5} | T_{wr} | | 48 | 50 | 52 | μ s |
| 1ワードあたりの総書き込み時間 ^{注6} | T_{wrw} | ステップ書き込み時間 = 50 μ s設定 (1ワード = 1バイト) | 48 | | 520 | μ s |
| 1チップあたりの書き換え回数 ^{注7} | C_{erwr} | 消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする | | | 20 | 回/エリア |

注1. ステップ消去時間の推奨設定値 = 0.2 sです。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は, 含まれません。

3. ライトバック時間の推奨設定値 = 50 msです。

4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがってリトライ回数設定値は, 本値よりコマンド発行回数をマイナスした値としてください。

5. ステップ書き込み時間の推奨設定値 = 50 μ sです。

6. 実際の1ワードあたりの書き込み時間は, 100 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時では, 「消去 書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 P E P E P: 書き換え回数3回

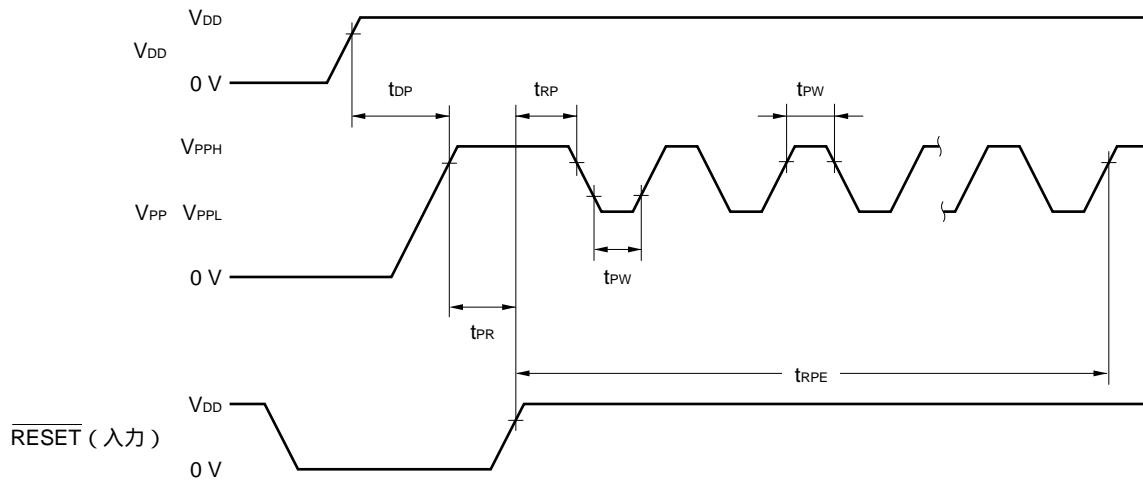
出荷品 E P E P E P: 書き換え回数3回

備考 フラッシュ・メモリ・プログラミング時の動作クロック範囲は, 通常動作時と同様です。

(2) シリアル書き込みオペレーション特性

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------------------|-------------------|----|--------------------|------|--------------------|----|
| V _{DD} V _{PP} セット時間 | t _{DP} | | 10 | | | μs |
| V _{PP} RESET 解除時間 | t _{PR} | | 10 | | | μs |
| RESET V _{PP} パルス入力開始時間 | t _{RP} | | 2 | | | ms |
| V _{PP} パルス・ハイ、ロウ・レベル幅 | t _{PW} | | 8 | | | μs |
| RESET V _{PP} パルス入力終了時間 | t _{RPE} | | | | 14 | ms |
| V _{PP} パルス・ロウ・レベル入力電圧 | V _{PPPL} | | 0.8V _{DD} | | 1.2V _{DD} | V |
| V _{PP} パルス・ハイ・レベル入力電圧 | V _{PPPH} | | 9.7 | 10.0 | 10.3 | V |

フラッシュ書き込みモード設定タイミング



第26章 電気的特性（（A2）水準品）

対象製品：μPD780101(A2), 780102(A2), 780103(A2)

絶対最大定格（ $T_A = 25$ ）

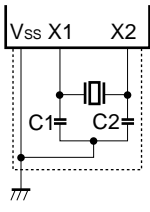
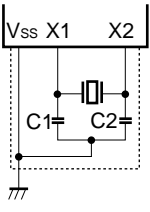
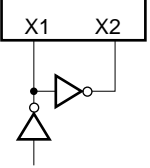
| 項目 | 略号 | 条件 | 定格 | 単位 | |
|------------|------------|---|--|------|----|
| 電源電圧 | V_{DD} | | - 0.3 ~ + 6.5 | V | |
| | V_{SS} | | - 0.3 ~ + 0.3 | V | |
| | AV_{REF} | | - 0.3 ~ $V_{DD} + 0.3$ ^注 | V | |
| | AV_{SS} | | - 0.3 ~ + 0.3 | V | |
| 入力電圧 | V_{I1} | P00-P06, P10-P17, P20-P23, P30-P33, P120, X1, X2, RESET | - 0.3 ~ $V_{DD} + 0.3$ ^注 | V | |
| 出力電圧 | V_O | | - 0.3 ~ $V_{DD} + 0.3$ ^注 | V | |
| アナログ入力電圧 | V_{AN} | | $AV_{SS} - 0.3 \sim AV_{REF} + 0.3$ ^注 かつ - 0.3 ~ $V_{DD} + 0.3$ ^注 | V | |
| ハイ・レベル出力電流 | I_{OH} | 1端子 | - 7 | mA | |
| | | 端子合計 | P30-P33, P120 | - 21 | mA |
| | | | P00-P03, P10-P17, P130 | - 21 | mA |
| | | 全端子合計 | - 35 | mA | |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 14 | mA | |
| | | 端子合計 | P30-P33, P120 | 24.5 | mA |
| | | | P00-P03, P10-P17, P130 | 24.5 | mA |
| | | 全端子合計 | 42 | mA | |
| 動作周囲温度 | T_A | 通常動作時 | - 40 ~ + 125 | | |
| 保存温度 | T_{stg} | | - 65 ~ + 150 | | |

注 6.5 V以下であること

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性 ($T_A = -40 \sim +125$, 3.3 V $V_{DD} = 5.5 \text{ V}, 3.3 \text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 \text{ V}$)

| 発振子 | 推奨回路 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------|---|---------------------------------------|--------------------------------|------|------|------|-----|
| セラミック発振子 |  | 発振周波数 (f_{XP}) 注 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | 2.0 | | 8.38 | MHz |
| | | | 3.3 V $V_{DD} < 4.0 \text{ V}$ | 2.0 | | 5.0 | |
| 水晶振動子 |  | 発振周波数 (f_{XP}) 注 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | 2.0 | | 8.38 | MHz |
| | | | 3.3 V $V_{DD} < 4.0 \text{ V}$ | 2.0 | | 5.0 | |
| 外部クロック |  | X1入力周波数 (f_{XP}) 注 | 4.0 V $V_{DD} = 5.5 \text{ V}$ | 2.0 | | 8.38 | MHz |
| | | | 3.3 V $V_{DD} < 4.0 \text{ V}$ | 2.0 | | 5.0 | |
| | | X1入力ハイ、ロウ・レベル幅 (t_{XPH}, t_{XPL}) | 4.0 V $V_{DD} = 5.5 \text{ V}$ | 56 | | 500 | ns |
| | | | 3.3 V $V_{DD} < 4.0 \text{ V}$ | 96 | | 500 | |

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- ★ 2. リセット解除後は、Ring-OSCによりCPUが起動されるため、X1入力クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

Ring-OSC発振回路特性 ($T_A = -40 \sim +125$, 3.3 V $V_{DD} = 5.5 \text{ V}, 3.3 \text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 \text{ V}$)

| 発振子 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------|-----------------|----|------|------|------|-----|
| 内蔵Ring-OSC発振回路 | 発振周波数 (f_R) | | 120 | 240 | 495 | kHz |

DC特性 (1/2)

($T_A = -40 \sim +125$, 3.3 V $V_{DD} = 5.5 V, 3.3 V$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 V$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|-------------------|------------|---|---|----------------|------|---------------|---------|
| ハイ・レベル出力電流 | I_{OH} | 1端子 | 4.0 V $V_{DD} = 5.5 V$ | | | - 3.5 | mA |
| | | P30-P33, P120 合計 | 4.0 V $V_{DD} = 5.5 V$ | | | - 17.5 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V $V_{DD} = 5.5 V$ | | | - 17.5 | mA |
| | | 全端子合計 | 4.0 V $V_{DD} = 5.5 V$ | | | - 28 | mA |
| | | | 3.3 V $V_{DD} < 4.0 V$ | | | - 7 | mA |
| ロウ・レベル出力電流 | I_{OL} | 1端子 | 4.0 V $V_{DD} = 5.5 V$ | | | 7 | mA |
| | | P30-P33, P120 合計 | 4.0 V $V_{DD} = 5.5 V$ | | | 21 | mA |
| | | P00-P03, P10-P17, P130合計 | 4.0 V $V_{DD} = 5.5 V$ | | | 21 | mA |
| | | 全端子合計 | 4.0 V $V_{DD} = 5.5 V$ | | | 35 | mA |
| | | | 3.3 V $V_{DD} < 4.0 V$ | | | 7 | mA |
| ハイ・レベル入力電圧 | V_{IH1} | P12, P13, P15 | | $0.7V_{DD}$ | | V_{DD} | V |
| | V_{IH2} | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, \overline{RESET} | | $0.8V_{DD}$ | | V_{DD} | V |
| | V_{IH3} | P20-P23 ^{注1} | | $0.7AV_{REF}$ | | AV_{REF} | V |
| | V_{IH4} | X1, X2 | | $V_{DD} - 0.5$ | | V_{DD} | V |
| ロウ・レベル入力電圧 | V_{IL1} | P12, P13, P15 | | 0 | | $0.3V_{DD}$ | V |
| | V_{IL2} | P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, \overline{RESET} | | 0 | | $0.2V_{DD}$ | V |
| | V_{IL3} | P20-P23 ^{注1} | | 0 | | $0.3AV_{REF}$ | V |
| | V_{IL4} | X1, X2 | | 0 | | 0.4 | V |
| ハイ・レベル出力電圧 | V_{OH} | P30-P33, P120 端子合計 $I_{OH} = -17.5 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$ $I_{OH} = -3.5 \text{ mA}$ | $V_{DD} - 1.0$ | | | V |
| | | P00-P03, P10-P17, P130 端子合計 $I_{OH} = -17.5 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$ $I_{OH} = -3.5 \text{ mA}$ | $V_{DD} - 1.0$ | | | V |
| | | $I_{OH} = -100 \mu A$ | 3.3 V $V_{DD} < 4.0 V$ | $V_{DD} - 0.5$ | | | V |
| ロウ・レベル出力電圧 | V_{OL} | P30-P33, P120 端子合計 $I_{OL} = 21 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$ $I_{OL} = 7 \text{ mA}$ | | | 1.3 | V |
| | | P00-P03, P10-P17, P130 端子合計 $I_{OL} = 21 \text{ mA}$ | 4.0 V $V_{DD} = 5.5 V$ $I_{OL} = 7 \text{ mA}$ | | | 1.3 | V |
| | | $I_{OL} = 400 \mu A$ | 3.3 V $V_{DD} < 4.0 V$ | | | 0.4 | V |
| ハイ・レベル入力 リーク電流 | I_{LH1} | $V_i = V_{DD}$ | P00-P03, P10-P17, P30-P33, P120, \overline{RESET} | | | 10 | μA |
| | | $V_i = AV_{REF}$ | P20-P23 | | | 10 | μA |
| | I_{LH2} | $V_i = V_{DD}$ | X1, X2 ^{注2} | | | 20 | μA |
| ロウ・レベル入力 リーク電流 | I_{LIL1} | $V_i = 0 V$ | P00-P03, P10-P17, P20-P23, P30-P33, P120, \overline{RESET} | | | - 10 | μA |
| | I_{LIL2} | | X1, X2 ^{注2} | | | - 20 | μA |
| ハイ・レベル出力リーク電流 | I_{LOH} | $V_o = V_{DD}$ | | | | 10 | μA |
| ロウ・レベル出力リーク電流 | I_{LOL} | $V_o = 0 V$ | | | | - 10 | μA |
| プルアップ抵抗値 | R | $V_i = 0 V$ | | 10 | 30 | 120 | k |

注1. デジタル入力ポートとして使用する場合は, $AV_{REF} = V_{DD}$ にしてください。

2. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/2)

($T_A = -40 \sim +125$, 3.3 V $V_{DD} = 5.0 \text{ V}, 3.3 \text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 | |
|--------------------|------|-----------------------------------|---|-------------------------------------|------|------|------|----|
| 電源電流 ^{注1} | IDD1 | X1水晶発振 動作モード ^{注2} | f _{XP} = 8.38 MHz, V _{DD} = 5.0 V ± 10 % ^{注3} | A/Dコンバータ停止時 | | 5.2 | 10.6 | mA |
| | | | | A/Dコンバータ動作時 ^{注4} | | 6.2 | 12.6 | mA |
| | IDD2 | X1水晶発振 HALTモード | f _{XP} = 8.38 MHz, V _{DD} = 5.0 V ± 10 % | 周辺機能停止時 | | 1.2 | 3.6 | mA |
| | | | | 周辺機能動作時 | | | 5.5 | mA |
| | IDD3 | Ring-OSC 動作モード ^{注5} | V _{DD} = 5.0 V ± 10 % | | | 0.18 | 1.92 | mA |
| | IDD4 | Ring-OSC HALTモード ^{注5} | V _{DD} = 5.0 V ± 10 % | | | 0.05 | 1.4 | mA |
| | IDD5 | STOPモード | V _{DD} = 5.0 V ± 10 % | POC : OFF, RING : OFF | | 0.1 | 1200 | μA |
| | | | | POC : OFF, RING : ON | | 14 | 1300 | μA |
| | | | | POC : ON ^{注6} , RING : OFF | | 3.5 | 1200 | μA |
| | | | | POC : ON ^{注6} , RING : ON | | 17.5 | 1300 | μA |

注1 . 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。

2 . IDD1は周辺動作電流を含みます。

3 . PCC = 00Hに設定したとき。

4 . V_{DD}端子, AV_{REF}端子に流れる電流の合計です。

5 . X1発振回路を停止させたとき。

6 . マスク・オプションによりPOC-OFF選択時におけるLVIE (LVIMのビット4) = 1の場合を含みます。

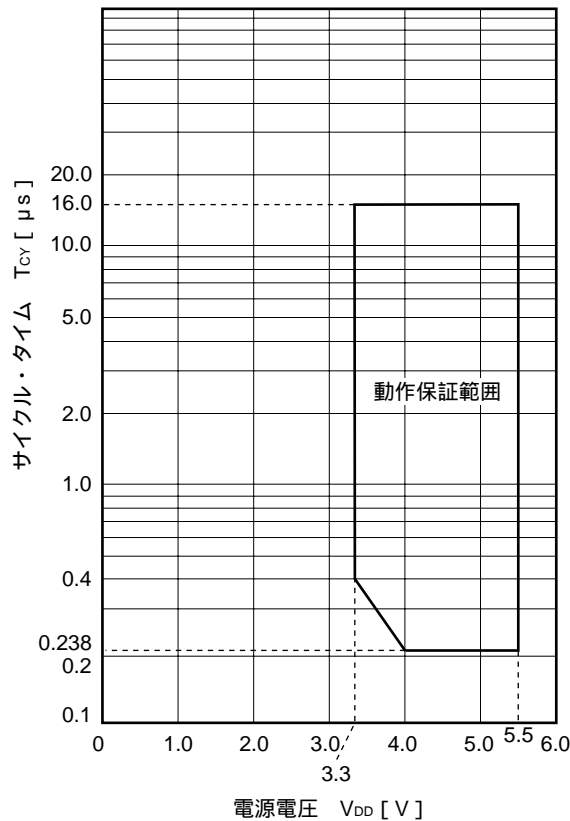
AC特性

(1) 基本動作 ($T_A = -40 \sim +125$, $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $3.3\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|-----------------------------------|----------------------------|--|--|-------|------|----------------|----------------|
| 命令サイクル (最小命令実行時間) | T_{CY} | X1入力クロック | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 0.238 | | 16 | $\mu\text{ s}$ |
| | | | $3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$ | 0.4 | | 16 | $\mu\text{ s}$ |
| | | Ring-OSCクロック | | 4.04 | 8.33 | 16.67 | $\mu\text{ s}$ |
| TI000, TI010入力ハイ・レベル幅, ロウ・レベル幅 | t_{TIH0} , t_{TIL0} | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | $2/f_{sam} + 0.1$ ^注 | | | $\mu\text{ s}$ | |
| | | $3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$ | $2/f_{sam} + 0.2$ ^注 | | | $\mu\text{ s}$ | |
| TI50入力周波数 | f_{TI5} | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | 8.38 | MHz | |
| | | $3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$ | | | 5 | MHz | |
| TI50入力ハイ・レベル幅, ロウ・レベル幅 | t_{TIH5} , t_{TIL5} | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 59.6 | | | ns | |
| | | $3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$ | 100 | | | ns | |
| 割り込み入力ハイ・レベル幅, ロウ・レベル幅 | t_{INTH} , t_{INTL} | | 1 | | | $\mu\text{ s}$ | |
| | | | | | | | |
| RESETロウ・レベル幅 | t_{RSL} | | 10 | | | $\mu\text{ s}$ | |

注 プリスケアラ・モード・レジスタ00(PRM00)のビット0, 1(PRM000, PRM001)により, $f_{sam} = f_{XP}$, $f_{XP}/4$, $f_{XP}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XP}$ となります。

T_{CY} vs V_{DD} (X1入力クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +125$, 3.3 V $V_{DD} = 5.5$ V, 3.3 V $V_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 261.9 | kbps |

(b) UARTモード (UART0, 専用ポー・レート・ジェネレータ出力) :

μ PD780102(A2), 780103(A2)のみ

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|-------|------|
| 転送レート | | | | | 261.9 | kbps |

(c) 3線式シリアルI/Oモード (マスタ・モード, $\overline{SCK10}$...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|--|-------------------------|---------------------------|------|------|----|
| $\overline{SCK10}$ サイクル・タイム | t _{KCY1} | 4.5 V $V_{DD} = 5.5$ V | 240 | | | ns |
| | | 3.3 V $V_{DD} < 4.0$ V | 400 | | | ns |
| $\overline{SCK10}$ ハイ, ロウ・レベル幅 | t _{KH1} , t _{KL1} | | t _{KCY1} /2 - 10 | | | ns |
| SI10セットアップ時間 (対 $\overline{SCK10}$) | t _{SIK1} | | 30 | | | ns |
| SI10ホールド時間 (対 $\overline{SCK10}$) | t _{HSI1} | | 30 | | | ns |
| $\overline{SCK10}$ SO10出力遅延時間 | t _{KSO1} | C = 100 pF ^注 | | | 30 | ns |

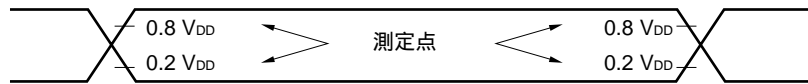
注 Cは, $\overline{SCK10}$, SO10出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード (スレーブ・モード, $\overline{SCK10}$...外部クロック入力)

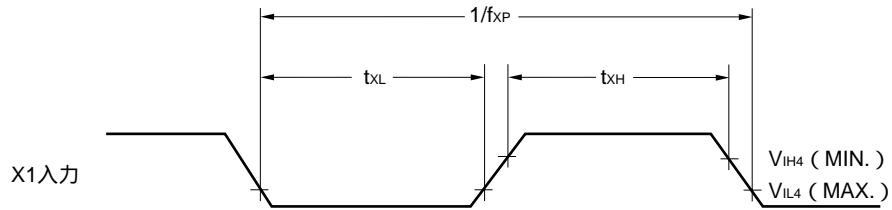
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|--|-------------------------|----------------------|------|------|----|
| $\overline{SCK10}$ サイクル・タイム | t _{KCY2} | | 400 | | | ns |
| $\overline{SCK10}$ ハイ, ロウ・レベル幅 | t _{KH2} , t _{KL2} | | t _{KCY2} /2 | | | ns |
| SI10セットアップ時間 (対 $\overline{SCK10}$) | t _{SIK2} | | 80 | | | ns |
| SI10ホールド時間 (対 $\overline{SCK10}$) | t _{HSI2} | | 50 | | | ns |
| $\overline{SCK10}$ SO10出力遅延時間 | t _{KSO2} | C = 100 pF ^注 | | | 120 | ns |

注 Cは, SO10出力ラインの負荷容量です。

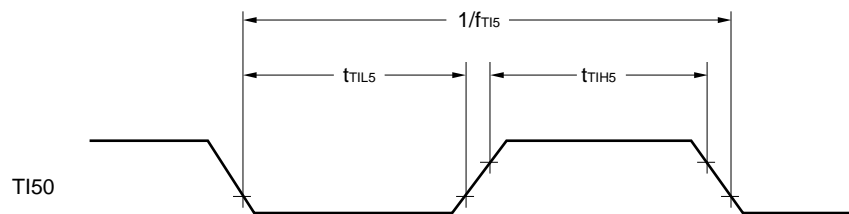
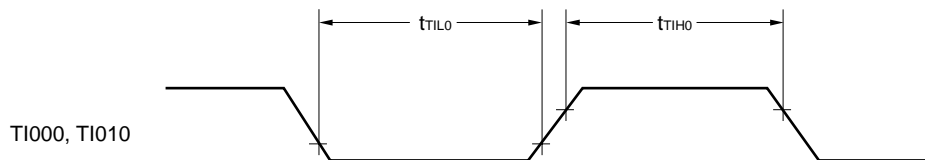
ACタイミング測定点 (X1入力を除く)



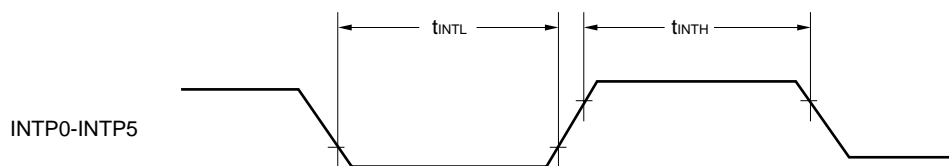
クロック・タイミング



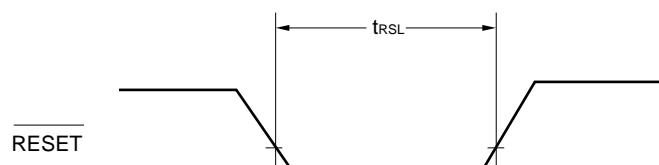
TIタイミング



割り込み要求入力タイミング

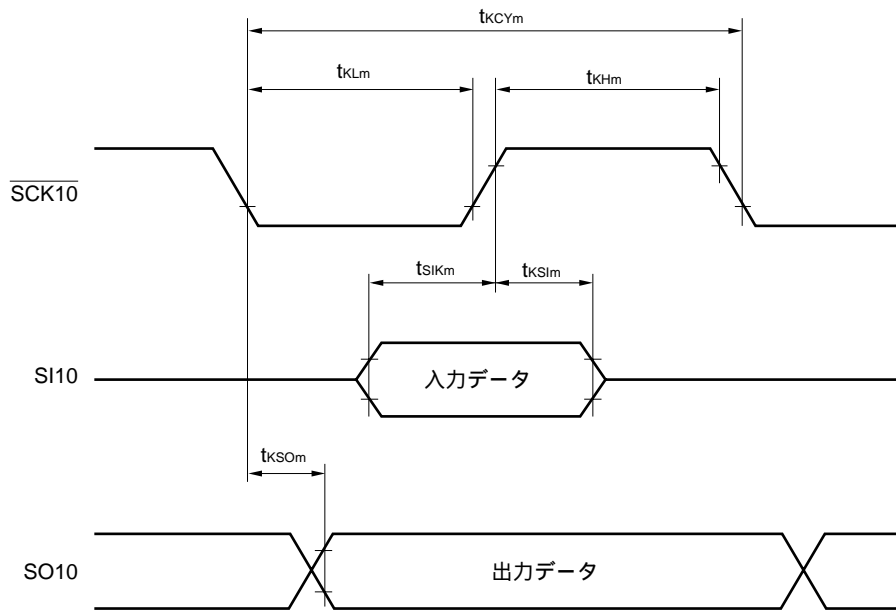


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

A/Dコンバータ特性 ($T_A = -40 \sim +125$, 3.3 V V_{DD} 5.5 V, 3.3 V AV_{REF} V_{DD} , $V_{SS} = AV_{SS} = 0$ V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|------------|--------------------------|-----------|-----------|------------|---------|
| 分解能 | | | 10 | 10 | 10 | bit |
| 総合誤差 ^{注1,2} | | 4.0 V AV_{REF} 5.5 V | | ± 0.2 | ± 0.7 | %FSR |
| | | 3.3 V $AV_{REF} < 4.0$ V | | ± 0.3 | ± 0.9 | %FSR |
| 変換時間 | t_{CONV} | 4.0 V AV_{REF} 5.5 V | 16 | | 48 | μ s |
| | | 3.3 V $AV_{REF} < 4.0$ V | 19 | | 48 | μ s |
| ゼロスケール誤差 ^{注1,2} | | 4.0 V AV_{REF} 5.5 V | | | ± 0.7 | %FSR |
| | | 3.3 V $AV_{REF} < 4.0$ V | | | ± 0.9 | %FSR |
| フルスケール誤差 ^{注1,2} | | 4.0 V AV_{REF} 5.5 V | | | ± 0.7 | %FSR |
| | | 3.3 V $AV_{REF} < 4.0$ V | | | ± 0.9 | %FSR |
| 積分直線性誤差 ^{注1} | | 4.0 V AV_{REF} 5.5 V | | | ± 5.5 | LSB |
| | | 3.3 V $AV_{REF} < 4.0$ V | | | ± 7.5 | LSB |
| 微分直線性誤差 ^{注1} | | 4.0 V AV_{REF} 5.5 V | | | ± 2.5 | LSB |
| | | 3.3 V $AV_{REF} < 4.0$ V | | | ± 3.0 | LSB |
| アナログ入力電圧 | V_{IAN} | | AV_{SS} | | AV_{REF} | V |

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

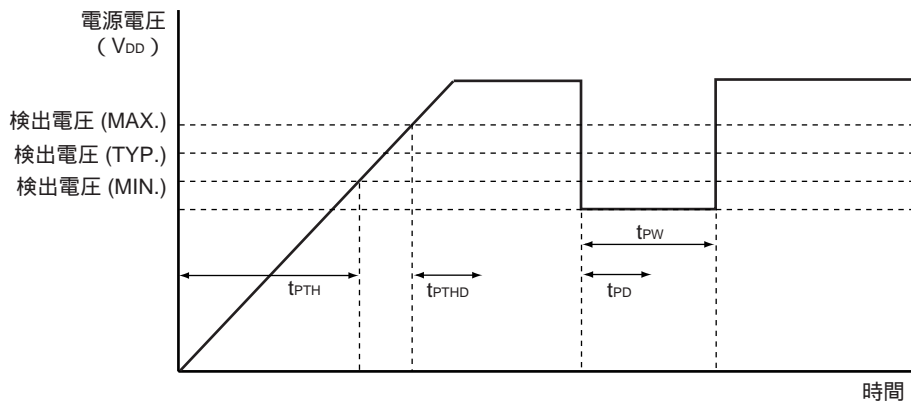
POC回路特性 ($T_A = -40 \sim +125$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|------------|-------------------------------|-------|------|------|----|
| 検出電圧 | V_{POC0} | マスク・オプション = 3.5 V | 3.3 | 3.5 | 3.76 | V |
| 電源立ち上げ時間 | t_{PTH} | $V_{DD} : 0$ V 3.3 V | 0.002 | | | ms |
| 応答ディレイ時間 ^{注1} | t_{PTHD} | 電源立ち上げ時, 検出電圧 (MAX.) に達したあと | | | 3.0 | ms |
| 応答ディレイ時間 ^{注2} | t_{PD} | V_{DD} 降下時 | | | 1.0 | ms |
| 最小パルス幅 | t_{PW} | | 0.2 | | | ms |

注1. 検出電圧を検出してから, リセットを解除するまでの時間です。

★ 2. 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +125)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|---------------------|----|------|------|------|----|
| 検出電圧 | V _{LVI0} | | 4.1 | 4.3 | 4.56 | V |
| | V _{LVI1} | | 3.9 | 4.1 | 4.36 | V |
| | V _{LVI2} | | 3.7 | 3.9 | 4.16 | V |
| | V _{LVI3} | | 3.5 | 3.7 | 3.96 | V |
| | V _{LVI4} | | 3.3 | 3.5 | 3.76 | V |
| 応答時間 ^{注1} | t _{LD} | | | 0.2 | 2.0 | ms |
| 最小パルス幅 | t _{LW} | | 0.2 | | | ms |
| 基準電圧安定待ち時間 ^{注2} | t _{LWAIT0} | | | 0.5 | 2.0 | ms |
| 動作安定待ち時間 ^{注3} | t _{LWAIT1} | | | 0.1 | 0.2 | ms |

注1. 検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

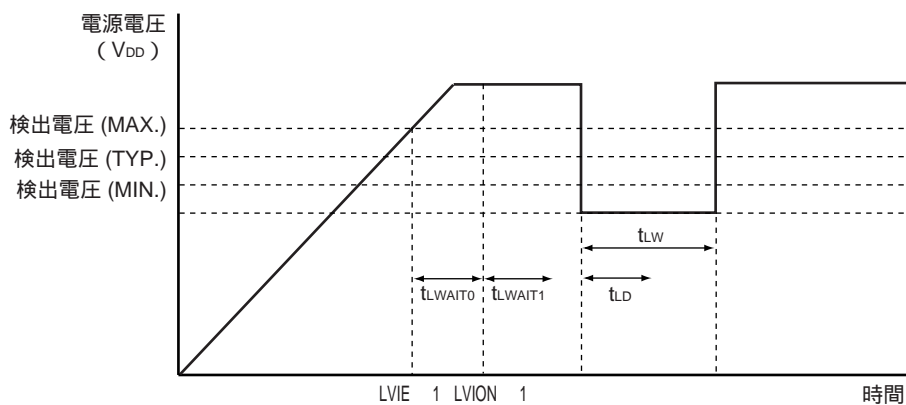
2. マスク・オプションによりPOC-OFFを選択した場合, LVIEに1を設定してから基準電圧が安定するまでに必要な時間です。

3. LVIONに1を設定してから, 動作が安定するまでの時間です。

備考1. V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4}

2. V_{POC0} < V_{LVI_m} (m = 0-4)

LVI回路タイミング

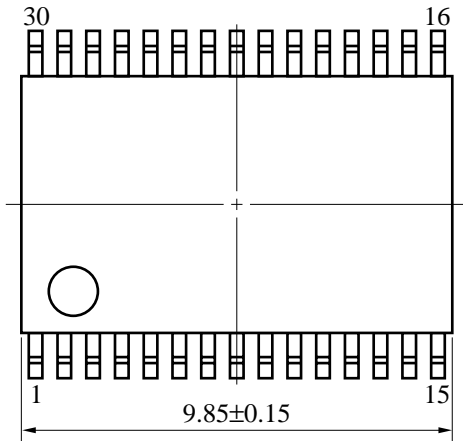


データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +125)

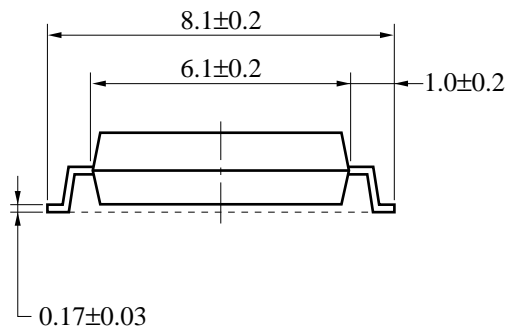
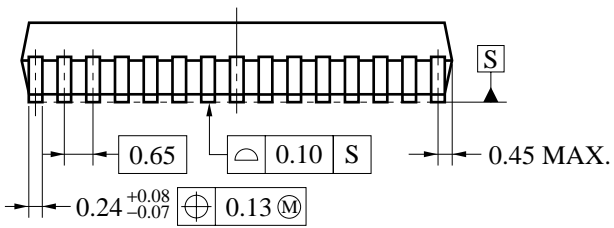
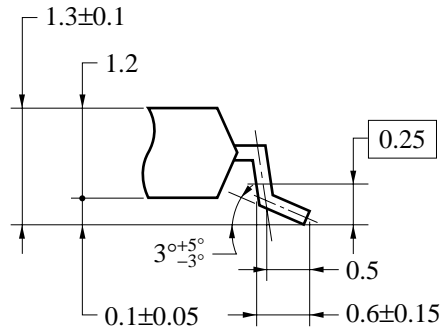
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|-------------------|------------------------|------|------|------|----|
| データ保持電源電圧 | V _{DDDR} | マスク・オプションによりPOC-OFF選択時 | 2.0 | | 5.5 | V |
| リリース信号セット時間 | t _{SREL} | | 0 | | | μs |

第27章 外形図

30ピン・プラスチック・SSOP (7.62 mm (300)) 外形図 (単位: mm)



端子先端形状詳細図



S30MC-65-5A4-2

第28章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表28 - 1 表面実装タイプの半田付け条件 (1/2)

(1) 30ピン・プラスチックSSOP (7.62 mm (300))

μ PD780101MC-x x x -5A4, 780102MC-x x x -5A4, 780103MC-x x x -5A4,

μ PD780101MC(A)-x x x -5A4, 780102MC(A)-x x x -5A4, 780103MC(A)-x x x -5A4,

μ PD780101MC(A1)-x x x -5A4, 780102MC(A1)-x x x -5A4, 780103MC(A1)-x x x -5A4,

μ PD780101MC(A2)-x x x -5A4, 780102MC(A2)-x x x -5A4, 780103MC(A2)-x x x -5A4

| 半田付け方式 | 半田付け条件 | 推奨条件記号 |
|------------------|--|------------|
| 赤外線リフロ | パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。 | IR35-107-3 |
| VPS | パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。 | VP15-107-3 |
| ウェーブ・ ソルダーリング | 半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。 | WS60-107-1 |
| 端子部分加熱 | 端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり） | - |

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表28 - 1 表面実装タイプの半田付け条件 (2/2)

(2) 30ピン・プラスチックSSOP (7.62 mm (300))

- μ PD78F0103M1MC-5A4, 78F0103M2MC-5A4, 78F0103M3MC-5A4, 78F0103M4MC-5A4,
- μ PD78F0103M5MC-5A4, 78F0103M6MC-5A4, 78F0103M1MC(A)-5A4, 78F0103M2MC(A)-5A4,
- μ PD78F0103M3MC(A)-5A4, 78F0103M4MC(A)-5A4, 78F0103M5MC(A)-5A4,
- μ PD78F0103M6MC(A)-5A4, 78F0103M1MC(A1)-5A4, 78F0103M2MC(A1)-5A4,
- μ PD78F0103M5MC(A1)-5A4, 78F0103M6MC(A1)-5A4

| 半田付け方式 | 半田付け条件 | 推奨条件記号 |
|--------------|---|------------|
| 赤外線リフロ | パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125 プリバーク10時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。 | IR35-103-2 |
| VPS | パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125 プリバーク10時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。 | VP15-103-2 |
| ウェーブ・ソルダーリング | 半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度） 制限日数：3日間 ^注 （以降は125 プリバーク 10時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。 | WS60-103-1 |
| 端子部分加熱 | 端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり） | - |

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

第29章 ウェイトに関する注意事項

29.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表29-1を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

29.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表29 - 1に示します。

表29 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

| 周辺ハードウェア | 対象レジスタ | 対象アクセス | ウェイト・クロック数 |
|--|--------|--------|--|
| ウォッチドッグ・タイマ | WDTM | ライト | 3クロック (固定) |
| シリアル・インタフェース UART0 | ASIS0 | リード | 1クロック (固定) |
| シリアル・インタフェース UART6 | ASIS6 | リード | 1クロック (固定) |
| A/Dコンバータ | ADM | ライト | 2~5クロック ^注 |
| | ADS | ライト | (ADM.5 = "1" 選択時) |
| | PFM | ライト | 2~9クロック ^注 |
| | PFT | ライト | (ADM.5 = "0" 選択時) |
| | ADCR | リード | 1~5クロック (ADM.5フラグ = "1" 選択時) 1~9クロック (ADM.5フラグ = "0" 選択時) |
| 最大ウェイト・クロック数算出式 $\{ (1/f_{\text{MACRO}}) \times 2 / (1/f_{\text{CPU}}) \} + 1$ 小数点以下は、(1/f _{CPU})をかけてt _{CPUL} 以下であれば切り捨て、t _{CPUL} を越える場合には切り上げる。 f _{MACRO} : マクロ動作周波数 (ADMのビット5 (FR2) = "1" のとき : f _x /2, ADMのビット5 (FR2) = "0" のとき : f _x /2 ²) f _{CPU} : CPUクロック周波数 t _{CPUL} : CPUクロックのロウ・レベル幅 | | | |

注 算出式によりウェイト・クロック数が1クロックとなる場合は、CPUに対するウェイトは発生しません。

備考 クロックは、CPUクロック (f_{CPU}) を示します。

29.3 ウェイト発生例

ウォッチドッグ・タイマ

MOV WDTM, A 実行時

実行クロック数：8クロック

(ウェイトが発生しないレジスタへの書き込み時は (MOV sfr, A) の場合, 5クロック)

MOV WDTM, #byte 実行時

実行クロック数：10クロック

(ウェイトが発生しないレジスタへの書き込み時は (MOV sfr, #byte) の場合, 7クロック)

シリアル・インタフェースUART6

MOV A, ASIS6 実行時

実行クロック数：6クロック

(ウェイトが発生しないレジスタからの読み出し時は (MOV A, sfr) の場合, 5クロック)

A/Dコンバータ

表29 - 2 ウェイト発生時のウェイト・クロック数と実行クロック数 (A/Dコンバータ)

< MOV ADM, A実行時, MOV ADS, A実行時, MOV A, ADCR実行時 >

・ $f_x = 10 \text{ MHz}$, $t_{\text{CPUL}} = 50 \text{ ns}$ 時

| ADMレジスタのビット5 (FR2) の値 | f_{CPU} | ウェイト・クロック数 | 実行クロック数 |
|--------------------------|------------------|-----------------------------|-----------------------------|
| 0 | f_x | 9クロック | 14クロック |
| | $f_x/2$ | 5クロック | 10クロック |
| | $f_x/2^2$ | 3クロック | 8クロック |
| | $f_x/2^3$ | 2クロック | 7クロック |
| | $f_x/2^4$ | 0クロック (1クロック ^注) | 5クロック (6クロック ^注) |
| 1 | f_x | 5クロック | 10クロック |
| | $f_x/2$ | 3クロック | 8クロック |
| | $f_x/2^2$ | 2クロック | 7クロック |
| | $f_x/2^3$ | 0クロック (1クロック ^注) | 5クロック (6クロック ^注) |
| | $f_x/2^4$ | 0クロック (1クロック ^注) | 5クロック (6クロック ^注) |

注 MOV A, ADCR実行時。

備考 クロックは, CPUクロック (f_{CPU}) を示します。

f_x : X1入力クロック発振周波数

t_{CPUL} : CPUクロックのロウ・レベル幅

付録A 開発ツール

78K0/KB1を使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

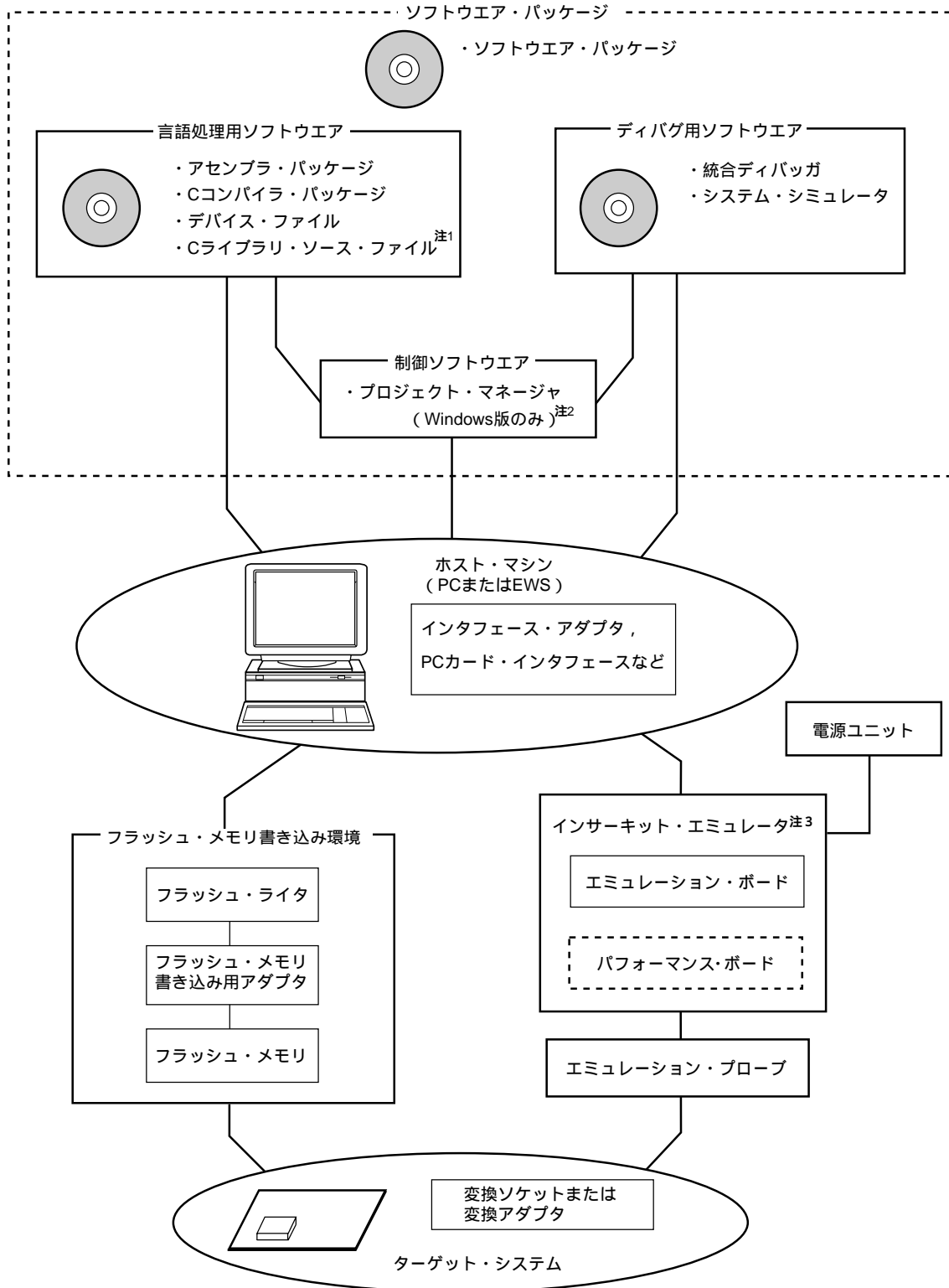
Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows NT[®] Ver. 4.0
- ・ Windows 2000
- ・ Windows XP

図A - 1 開発ツール構成 (1/3)

(1) インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

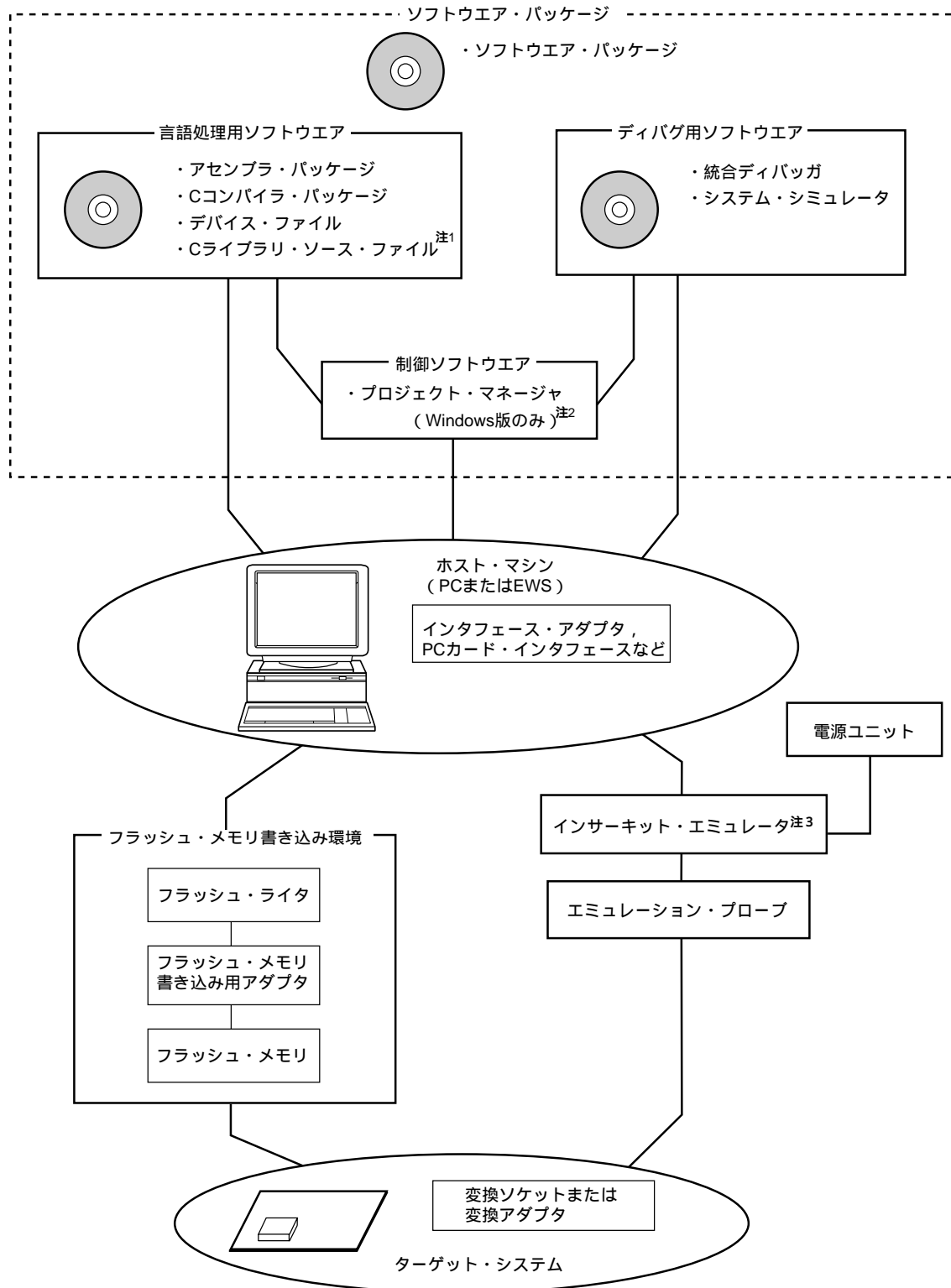
2. プロジェクト・マネージャPM plusは、アセンブラ・パッケージに入っています。

また、Windows以外ではPM plusは使用しません。

3. インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A以外の製品は、すべてオプションです。

図A - 1 開発ツール構成 (2/3)

(2) インサーキット・エミュレータ IE-78K0K1-ETを使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

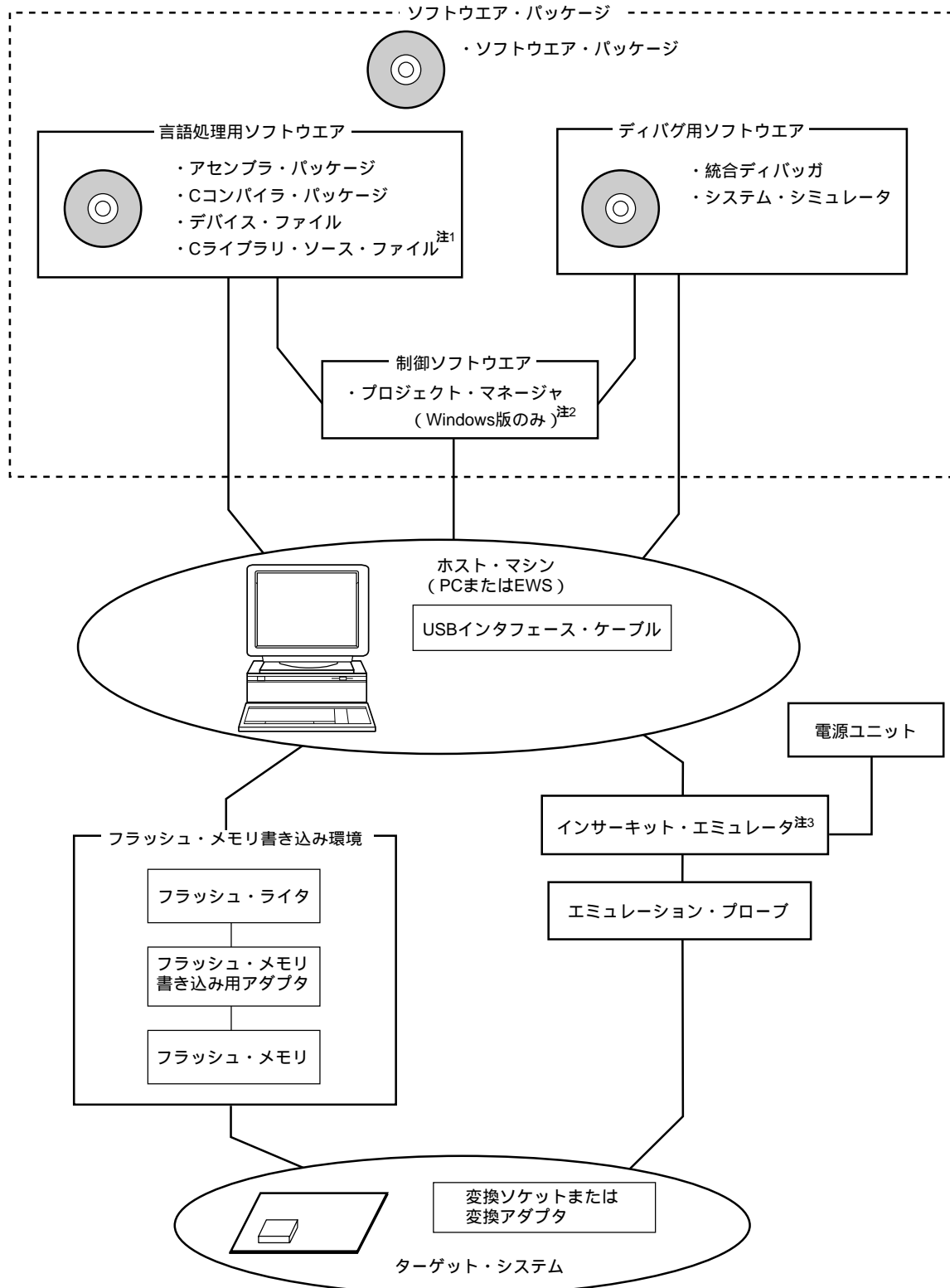
2. プロジェクト・マネージャPM plusは、アセンブラ・パッケージに入っています。
また、Windows以外ではPM plusは使用しません。

3. インサーキット・エミュレータIE-78K0K1-ETは、統合ディバガ ID78K0-NS、デバイス・ファイル、電源ユニットとPCIバス用インタフェース・アダプタ IE-70000-PCI-IF-Aを添付しています。それ以外の製品はオプションです。

★

図A - 1 開発ツール構成 (3/3)

(3) インサーキット・エミュレータ QB-78K0KX1Hを使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャPM plusは、アセンブラ・パッケージに入っています。
また、Windows以外ではPM plusは使用しません。

3. インサーキット・エミュレータQB-78K0KX1Hは、統合ディバグガ ID78K0-QB, フラッシュ・メモリ・プログラマ PG-FPL (78K0/Kx1製品には未対応), 電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

A.1 ソフトウェア・パッケージ

| | |
|-------------------------------------|---|
| SP78K0 78K0シリーズ・ソフトウェア・ パッケージ | 78K0シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダー名称： μ S x x x SP78K0 |
|-------------------------------------|---|

備考 オーダ名称の x x x は、使用するホスト・マシン、OSにより異なります。

μ S x x x SP78K0

| x x x | ホスト・マシン | OS | 供給媒体 |
|-------|--------------|------------|--------|
| AB17 | PC-9800シリーズ、 | 日本語Windows | CD-ROM |
| BB17 | IBM PC/AT互換機 | 英語Windows | |

A.2 言語処理用ソフトウェア

| | |
|---|--|
| RA78K0 アセンブラ・パッケージ | <p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に実行する機能を備えています。</p> <p>別売のデバイス・ファイル（DF780103）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称：μS x x x RA78K0</p> |
| CC78K0 Cコンパイラ・パッケージ | <p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称：μS x x x CC78K0</p> |
| DF780103 ^{注1} デバイス・ファイル | <p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0, ID78K0-QB）と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダー名称：μS x x x DF780103</p> |
| CC78K0-L ^{注2} Cライブラリ・ソース・ファイル | <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダー名称：μS x x x CC78K0-L</p> |

注1. DF780103は、RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0, ID78K0-QBのすべての製品に共通に使用できます。

2. CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オーダ名称の××××は、使用するソフト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

μS××××CC78K0-L

| ×××× | ホスト・マシン | OS | 供給媒体 |
|------|------------------------------|--|--------|
| AB17 | PC-9800シリーズ, IBM PC/AT互換機 | 日本語Windows | CD-ROM |
| BB17 | | 英語Windows | |
| 3P17 | HP9000シリーズ700™ | HP-UX™ (Rel.10. 10) | |
| 3K17 | SPARCstation™ | SunOS™ (Rel.4. 1. 4) , Solaris™ (Rel.2. 5. 1) | |

μS××××DF780103

| ×××× | ホスト・マシン | OS | 供給媒体 |
|------|------------------------------|------------|--------------|
| AB13 | PC-9800シリーズ, IBM PC/AT互換機 | 日本語Windows | 3.5インチ2HD FD |
| BB13 | | 英語Windows | |

A. 3 制御ソフトウェア

| | |
|-------------------------|---|
| PM plus プロジェクト・マネージャ | Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM plus上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM plusはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。 |
|-------------------------|---|

A. 4 フラッシュ・メモリ書き込み用ツール

| | |
|--|---|
| Flashpro (型番 FL-PR3, PG-FP3) Flashpro (型番 FL-PR4, PG-FP4) フラッシュ・ライター | フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。 |
| FA-30MC フラッシュ・メモリ書き込み用アダプタ | フラッシュ・メモリ書き込み用アダプタです。Flashpro /Flashpro に接続して使用します。 ・FA-30MC : 30ピン・プラスチックSSOP (MC-5A4タイプ) 用 |

備考 FL-PR3, FL-PR4, FA-30MCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール（ハードウェア）

A.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

- ★ **備考** 発振周波数が10 MHzを越える動作は，IE-78K0-NSの管理記号N以降，IE-78K0-NS-Aの管理記号G以降，IE-780148-NS-EM1の管理記号E以降のバージョンのみ対応可能です。

| | |
|--|---|
| IE-78K0-NS インサーキット・エミュレータ | 78K/0シリーズを使用する応用システムを開発する際に，ハードウェア，ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ（ID78K0-NS）に対応しています。電源ユニット，エミュレーション・プローブおよび，ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。 |
| IE-78K0-NS-PA パフォーマンス・ボード | IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NSに接続して使用します。このボードを追加することにより，カバレッジ機能が追加され，トレーサ機能，タイマ機能が強化されるなど，ディバグ機能がより強化されます。 |
| IE-78K0-NS-A インサーキット・エミュレータ | IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの |
| IE-70000-MC-PS-B 電源ユニット | AC100～240 Vのコンセントから電源を供給するためのアダプタです。 |
| IE-70000-98-IF-C インタフェース・アダプタ | ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。 |
| IE-70000-CD-IF-A PCカード・インタフェース | ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。 |
| IE-70000-PC-IF-C インタフェース・アダプタ | ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。 |
| IE-70000-PCI-IF-A インタフェース・アダプタ | ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。 |
| IE-780148-NS-EM1 エミュレーション・ボード | デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。 |
| NP-30MC エミュレーション・プローブ | インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。30ピン・プラスチックSSOP（MC-5A4タイプ）用です。 |
| NSPACK30BK YSPACK30BK HSPACK30BK YQ-Guide 変換ソケット | 30ピン・プラスチックSSOP（MC-5A4タイプ）を実装できるように作られたターゲット・システムの基板と，NP-30MCを接続するための変換ソケットです。 <ul style="list-style-type: none"> ・NSPACK30BK：ターゲット接続用ソケット ・YSPACK30BK：エミュレータ接続用ソケット ・HSPACK30BK：デバイス実装用カバー ・YQ-Guide：ガイド・ピン |

備考1．NP-30MCは，株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2．NSPACK30BK, YSPACK30BK, HSPACK30BK, YQ-Guideは東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

A. 5.2 インサーキット・エミュレータ IE-78K0K1-ETを使用する場合

- ★ **備考** 発振周波数が10 MHzを越える動作は、IE-78K0K1-ETの管理記号C以降のバージョンのみ対応可能で
す。

| | |
|--|---|
| IE-78K0K1-ET ^注 インサーキット・エミュレータ | 78K0/Kx1を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバग्ガ (ID78K0-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。 |
| IE-70000-98-IF-C インタフェース・アダプタ | ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタです(Cバス対応)。 |
| IE-70000-CD-IF-A PCカード・インタフェース | ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです(PCMCIAソケット対応)。 |
| IE-70000-PC-IF-C インタフェース・アダプタ | ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです(ISAバス対応)。 |
| IE-70000-PCI-IF-A インタフェース・アダプタ | ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。IE-78K0K1-ETに添付されています。 |
| NP-30MC エミュレーション・プローブ | インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。30ピン・プラスチックSSOP (MC-5A4タイプ) 用です。 |
| NSPACK30BK YSPACK30BK HSPACK30BK YQ-Guide 変換ソケット | 30ピン・プラスチックSSOP (MC-5A4タイプ) を実装できるように作られたターゲット・システムの基板と、NP-30MCを接続するための変換ソケットです。 ・NSPACK30BK : ターゲット接続用ソケット ・YSPACK30BK : エミュレータ接続用ソケット ・HSPACK30BK : デバイス実装用カバー ・YQ-Guide : ガイド・ピン |

注 IE-78K0K1-ETは、電源ユニットとPCIバス用インタフェース・アダプタ IE-70000-PCI-IF-Aを添付しています。また、コントロール・ソフトウェアとして、統合ディバग्ガ ID78K0-NSとデバイス・ファイルを添付しています。

備考1 . NP-30MCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2 . NSPACK30BK, YSPACK30BK, HSPACK30BK, YQ-Guideは東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A. 5.3 インサーキット・エミュレータ QB-78K0KX1Hを使用する場合

| | |
|---|---|
| QB-78K0KX1H ^{注1} インサーキット・エミュレータ | 78K0/Kx1, 78K0/Kx1+を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバग्ガ (ID78K0-QB) に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。 |
| QB-144-CA-01 ^{注2} チェック・ピン・アダプタ | オシロスコープなどで波形観測を行う際に使用するアダプタです。 |
| QB-80-EP-01T エミュレーション・プローブ | インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。 |
| QB-30MC-EA-01T エクステンジ・アダプタ | インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。 |
| QB-30MC-YS-01T スペース・アダプタ | ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 |
| QB-30MC-YQ-01T YQコネクタ | ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 |
| QB-30MC-HQ-01T マウント・アダプタ | 対象デバイスをソケット実装するためのアダプタです。 |
| QB-30MC-NQ-01T ターゲット・コネクタ | ターゲット・システムへ実装するためのコネクタです。 |

注1. QB-78K0KX1Hは、電源ユニット、USBインタフェース・ケーブル、フラッシュ・メモリ・プログラム PG-FPL (78K0/Kx1製品には未対応) を添付しています。また、コントロール・ソフトウェアとして、統合ディバग्ガ ID78K0-QBを添付しています。

2. 開発中

備考 オーダ名称により、梱包内容は次のように異なります。

- ・QB-78K0KX1H-ZZZ : インサーキット・エミュレータのみ
- ・QB-78K0KX1H-T30MC : インサーキット・エミュレータおよび添付品 (エミュレーション・プローブ, エクステンジ・アダプタ, YQコネクタ, ターゲット・コネクタ)

A.6 デバッグ用ツール(ソフトウェア)

| | |
|---|--|
| SM78K0 システム・シミュレータ | 78K/0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF780103)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times SM78K0$ |
| ID78K0-NS (インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-A, IE-78K0K1-ET対応), ★ ID78K0-QB (インサーキット・エミュレータ QB-78K0KX1H対応) 統合デバッガ | 78K/0シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID78K0-NS, ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times ID78K0-NS, \mu S \times \times \times ID78K0-QB$ |

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times SM78K0$

$\mu S \times \times \times \times ID78K0-NS$

$\mu S \times \times \times \times ID78K0-QB$

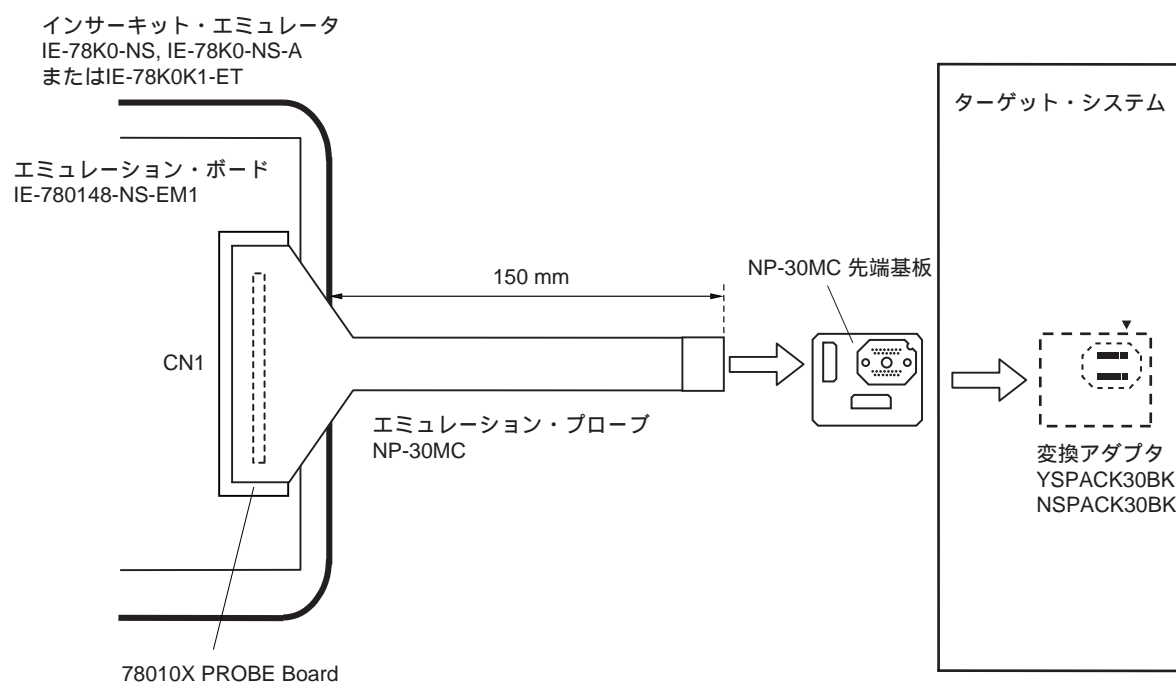
| $\times \times \times \times$ | ホスト・マシン | OS | 供給媒体 |
|-------------------------------|--------------|------------|--------|
| AB17 | PC-9800シリーズ, | 日本語Windows | CD-ROM |
| BB17 | IBM PC/AT互換機 | 英語Windows | |

付録B ターゲット・システム設計上の注意

B.1 IE-78K0-NS, IE-78K0-NS-A, IE-78K0K1-ETを使用する場合

エミュレーション・プローブと変換アダプタとの接続条件図を以下に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

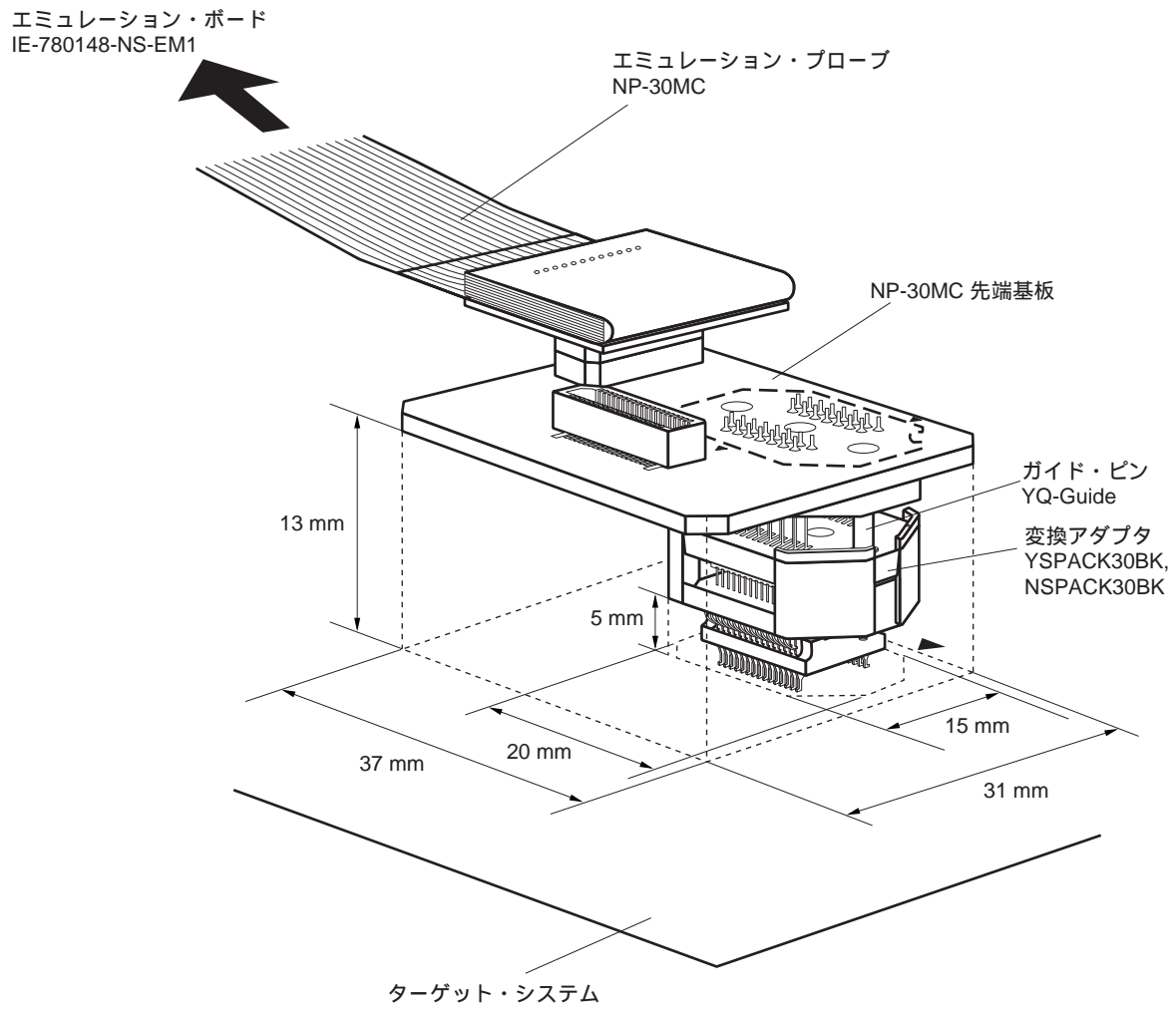
図B-1 インサーキット・エミュレータから変換アダプタまでの距離



備考 NP-30MCは、株式会社内藤電誠町田製作所の製品です。

YSPACK30BK, NSPACK30BKは、東京エレクトック株式会社の製品です。

図B-2 ターゲット・システムの接続条件



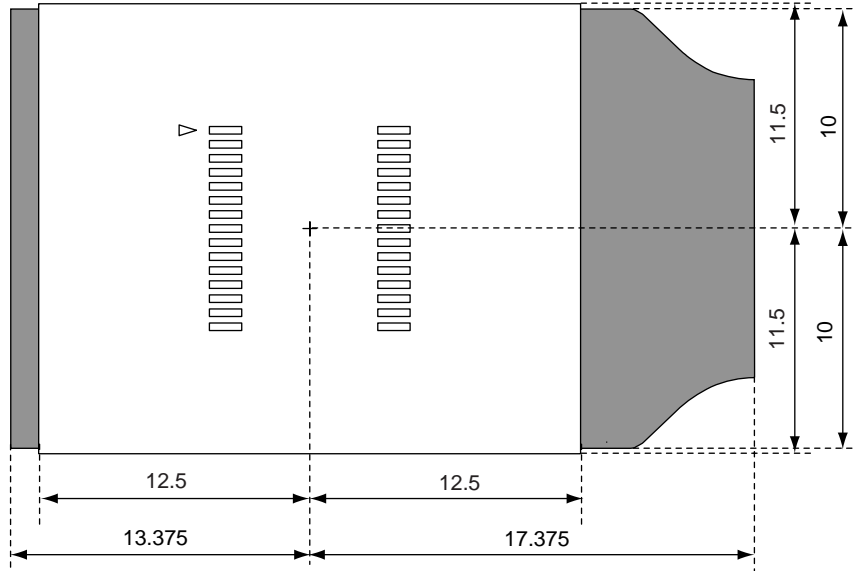
備考 NP-30MCは、株式会社内藤電誠町田製作所の製品です。

YSPACK30BK, NSPACK30BK, YQ-Guideは、東京エレクトック株式会社の製品です。

★ B.2 QB-78K0KX1Hを使用する場合

ターゲット・システム上の部品実装禁止領域，部品実装高さの制限がある領域を示します。

図B-3 ターゲット・システム上の制限領域



- : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能^注
- : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能^注
- 注 : スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

| | |
|---|-----|
| アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) ... | 253 |
| アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) ... | 222 |
| アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) ... | 248 |
| アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) ... | 249 |
| アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) ... | 220 |
| アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) ... | 246 |
| アナログ入力チャンネル指定レジスタ (ADS) ... | 198 |
| ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) ... | 186 |
| ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... | 185 |
| A/Dコンバータ・モード・レジスタ (ADM) ... | 197 |
| A/D変換結果レジスタ (ADCR) ... | 199 |

【か行】

| | |
|--------------------------------------|-----|
| 外部割り込み立ち上がりエッジ許可レジスタ (EGP) ... | 303 |
| 外部割り込み立ち下がりエッジ許可レジスタ (EGN) ... | 303 |
| キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) ... | 118 |
| クロック選択レジスタ6 (CKSR6) ... | 250 |
| クロック・モニタ・モード・レジスタ (CLM) ... | 332 |

【さ行】

| | |
|--|-----|
| 16ビット・タイマ・カウンタ00 (TM00) ... | 113 |
| 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) ... | 113 |
| 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) ... | 115 |
| 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) ... | 118 |
| 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ... | 116 |
| 受信バッファ・レジスタ0 (RXB0) ... | 219 |
| 受信バッファ・レジスタ6 (RXB6) ... | 245 |
| シリアルI/Oシフト・レジスタ10 (SIO10) ... | 281 |
| シリアル・クロック選択レジスタ10 (CSIC10) ... | 284 |
| シリアル動作モード・レジスタ10 (CSIM10) ... | 283 |
| 送信シフト・レジスタ0 (TXS0) ... | 219 |
| 送信バッファ・レジスタ10 (SOTB10) ... | 281 |
| 送信バッファ・レジスタ6 (TXB6) ... | 245 |

【た行】

- タイマ・クロック選択レジスタ50 (TCL50) ... 153
- 低電圧検出レジスタ (LVIM) ... 344
- 低電圧検出レベル選択レジスタ (LVIS) ... 345

【な行】

- 入力切り替え制御レジスタ (ISC) ... 254

【は行】

- 8ビット・タイマHコンペア・レジスタ00 (CMP00) ... 168
- 8ビット・タイマHコンペア・レジスタ01 (CMP01) ... 168
- 8ビット・タイマHコンペア・レジスタ10 (CMP10) ... 168
- 8ビット・タイマHコンペア・レジスタ11 (CMP11) ... 168
- 8ビット・タイマHモード・レジスタ0 (TMHMD0) ... 169
- 8ビット・タイマHモード・レジスタ1 (TMHMD1) ... 169
- 8ビット・タイマ・カウンタ50 (TM50) ... 151
- 8ビット・タイマ・コンペア・レジスタ50 (CR50) ... 152
- 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ... 154
- 発振安定時間カウンタ状態レジスタ (OSTC) ... 95, 314
- 発振安定時間選択レジスタ (OSTS) ... 97, 316
- パワーフェイル比較しきい値レジスタ (PFT) ... 200
- パワーフェイル比較モード・レジスタ (PFM) ... 200
- プリスケアラ・モード・レジスタ00 (PRM00) ... 120
- プルアップ抵抗オプション・レジスタ0 (PU0) ... 88
- プルアップ抵抗オプション・レジスタ1 (PU1) ... 88
- プルアップ抵抗オプション・レジスタ3 (PU3) ... 88
- プルアップ抵抗オプション・レジスタ12 (PU12) ... 88
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 92
- ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ... 223
- ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) ... 252
- ポート・モード・レジスタ0 (PM0) ... 85, 121
- ポート・モード・レジスタ1 (PM1) ... 85, 155, 172, 224, 255, 285
- ポート・モード・レジスタ3 (PM3) ... 85
- ポート・モード・レジスタ12 (PM12) ... 85
- ポート・レジスタ0 (P0) ... 87
- ポート・レジスタ1 (P1) ... 87
- ポート・レジスタ2 (P2) ... 87
- ポート・レジスタ3 (P3) ... 87
- ポート・レジスタ12 (P12) ... 87
- ポート・レジスタ13 (P13) ... 87

【ま行】

- メインOSCコントロール・レジスタ (MOC) ... 95
- メイン・クロック・モード・レジスタ (MCM) ... 94
- メモリ・サイズ切り替えレジスタ (IMS) ... 356

【や行】

- 優先順位指定フラグ・レジスタ0H (PR0H) ... 302
- 優先順位指定フラグ・レジスタ0L (PR0L) ... 302
- 優先順位指定フラグ・レジスタ1L (PR1L) ... 302

【ら行】

- リセット・コントロール・フラグ・レジスタ (RESF) ... 330
- Ring-OSCモード・レジスタ (RCM) ... 93

【わ行】

- 割り込みマスク・フラグ・レジスタ0H (MK0H) ... 301
- 割り込みマスク・フラグ・レジスタ0L (MK0L) ... 301
- 割り込みマスク・フラグ・レジスタ1L (MK1L) ... 301
- 割り込み要求フラグ・レジスタ0H (IF0H) ... 299
- 割り込み要求フラグ・レジスタ0L (IF0L) ... 299
- 割り込み要求フラグ・レジスタ1L (IF1L) ... 299

C.2 レジスタ索引 (アルファベット順)

[A]

| | | |
|--------|--|-----|
| ADCR | : A/D変換結果レジスタ ... | 199 |
| ADM | : A/Dコンバータ・モード・レジスタ ... | 197 |
| ADS | : アナログ入力チャンネル指定レジスタ ... | 198 |
| ASICL6 | : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 ... | 253 |
| ASIF6 | : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 ... | 249 |
| ASIM0 | : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 ... | 220 |
| ASIM6 | : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 ... | 246 |
| ASIS0 | : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 ... | 222 |
| ASIS6 | : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ... | 248 |

[B]

| | | |
|-------|----------------------------------|-----|
| BRGC0 | : ボー・レート・ジェネレータ・コントロール・レジスタ0 ... | 223 |
| BRGC6 | : ボー・レート・ジェネレータ・コントロール・レジスタ6 ... | 252 |

[C]

| | | |
|--------|------------------------------------|-----|
| CKSR6 | : クロック選択レジスタ6 ... | 250 |
| CLM | : クロック・モニタ・モード・レジスタ ... | 332 |
| CMP00 | : 8ビット・タイマHコンペア・レジスタ00 ... | 168 |
| CMP01 | : 8ビット・タイマHコンペア・レジスタ01 ... | 168 |
| CMP10 | : 8ビット・タイマHコンペア・レジスタ10 ... | 168 |
| CMP11 | : 8ビット・タイマHコンペア・レジスタ11 ... | 168 |
| CR000 | : 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 ... | 113 |
| CR010 | : 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 ... | 115 |
| CR50 | : 8ビット・タイマ・コンペア・レジスタ50 ... | 152 |
| CRC00 | : キャプチャ/コンペア・コントロール・レジスタ00 ... | 118 |
| CSIC10 | : シリアル・クロック選択レジスタ10 ... | 284 |
| CSIM10 | : シリアル動作モード・レジスタ10 ... | 283 |

[E]

| | | |
|-----|----------------------------|-----|
| EGN | : 外部割り込み立ち下がりエッジ許可レジスタ ... | 303 |
| EGP | : 外部割り込み立ち上がりエッジ許可レジスタ ... | 303 |

[I]

| | | |
|------|------------------------|-----|
| IF0H | : 割り込み要求フラグ・レジスタ0H ... | 299 |
| IF0L | : 割り込み要求フラグ・レジスタ0L ... | 299 |
| IF1L | : 割り込み要求フラグ・レジスタ1L ... | 299 |
| IMS | : メモリ・サイズ切り替えレジスタ ... | 356 |
| ISC | : 入力切り替え制御レジスタ ... | 254 |

【L】

- LVIM : 低電圧検出レジスタ ... 344
LVIS : 低電圧検出レベル選択レジスタ ... 345

【M】

- MCM : メイン・クロック・モード・レジスタ ... 94
MK0H : 割り込みマスク・フラグ・レジスタ0H ... 301
MK0L : 割り込みマスク・フラグ・レジスタ0L ... 301
MK1L : 割り込みマスク・フラグ・レジスタ1L ... 301
MOC : メインOSCコントロール・レジスタ ... 95

【O】

- OSTC : 発振安定時間カウンタ状態レジスタ ... 95, 314
OSTS : 発振安定時間選択レジスタ ... 97, 316

【P】

- P0 : ポート・レジスタ0 ... 87
P1 : ポート・レジスタ1 ... 87
P2 : ポート・レジスタ2 ... 87
P3 : ポート・レジスタ3 ... 87
P12 : ポート・レジスタ12 ... 87
P13 : ポート・レジスタ13 ... 87
PCC : プロセッサ・クロック・コントロール・レジスタ ... 92
PFM : パワーフェイル比較モード・レジスタ ... 200
PFT : パワーフェイル比較しきい値レジスタ ... 200
PM0 : ポート・モード・レジスタ0 ... 85, 121
PM1 : ポート・モード・レジスタ1 ... 85, 155, 172, 224, 255, 285
PM3 : ポート・モード・レジスタ3 ... 85
PM12 : ポート・モード・レジスタ12 ... 85
PR0H : 優先順位指定フラグ・レジスタ0H ... 302
PR0L : 優先順位指定フラグ・レジスタ0L ... 302
PR1L : 優先順位指定フラグ・レジスタ1L ... 302
PRM00 : プリスケーラ・モード・レジスタ00 ... 120
PU0 : プルアップ抵抗オプション・レジスタ0 ... 88
PU1 : プルアップ抵抗オプション・レジスタ1 ... 88
PU3 : プルアップ抵抗オプション・レジスタ3 ... 88
PU12 : プルアップ抵抗オプション・レジスタ12 ... 88

【R】

- RCM : Ring-OSCモード・レジスタ ... 93
RESF : リセット・コントロール・フラグ・レジスタ ... 330
RXB0 : 受信バッファ・レジスタ0 ... 219
RXB6 : 受信バッファ・レジスタ6 ... 245

【S】

- SIO10 : シリアルI/Oシフト・レジスタ10 ... 281
SOTB10 : 送信バッファ・レジスタ10 ... 281

【T】

- TCL50 : タイマ・クロック選択レジスタ50 ... 153
TM00 : 16ビット・タイマ・カウンタ00 ... 113
TM50 : 8ビット・タイマ・カウンタ50 ... 151
TMC00 : 16ビット・タイマ・モード・コントロール・レジスタ00 ... 116
TMC50 : 8ビット・タイマ・モード・コントロール・レジスタ50 ... 154
TMHMD0 : 8ビット・タイマHモード・レジスタ0 ... 169
TMHMD1 : 8ビット・タイマHモード・レジスタ1 ... 169
TOC00 : 16ビット・タイマ出力コントロール・レジスタ00 ... 118
TXB6 : 送信バッファ・レジスタ6 ... 245
TXS0 : 送信シフト・レジスタ0 ... 219

【W】

- WDTE : ウォッチドッグ・タイマ・イネーブル・レジスタ ... 186
WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 185

付録D 注意事項一覧

★

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」は、次のとおりです。

ハード：マイコン内部/外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/16)

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|-----|------|----------|--|---|------|
| 第1章 | ハード | 動作周波数規格 | 周辺機能:カウント・クロック,基本クロック | VDD = 2.7 ~ 5.5 V動作時の周辺機能(タイマ, シリアル・インタフェース, A/Dコンバータなど)は, 従来どおりのスペックになります。したがって, 周辺機能のカウント・クロックまたは基本クロックを選択する場合は, 次の条件を満たすように設定してください。 <ul style="list-style-type: none"> ・VDD = 4.0 ~ 5.5 V: カウント・クロックまたは基本クロック 10 MHz ・VDD = 3.3 ~ 4.0 V: カウント・クロックまたは基本クロック 8.38 MHz ・VDD = 2.7 ~ 3.3 V: カウント・クロックまたは基本クロック 5 MHz ・VDD = 2.5 ~ 2.7 V: カウント・クロックまたは基本クロック 2.5 MHz | p.17 |
| | | | フラッシュ・メモリ | フラッシュ・メモリの書き換えは, 従来どおり, fx = 2 ~ 10 MHz, VDD = 2.7 ~ 5.5 Vの範囲で行ってください。 | p.17 |
| | 端子処理 | - | IC (Internally Connected) 端子はVssに直接接続してください。 | p.22 | |
| | | - | AVss端子はVssに接続してください。 通常動作時, VPP端子はVssに接続してください。 | p.22 p.22 | |
| 第3章 | ソフト | メモリ空間 | IMS:メモリ・サイズ切り替えレジスタ | メモリ・サイズ切り替えレジスタ(IMS)の初期値は内部メモリ容量にかかわらず, 78K0/KB1すべての製品において一定(IMS = CFH)となっています。したがって, 各製品ごとに次に示す値を必ず設定してください。 <ul style="list-style-type: none"> μPD780101 : 42H μPD780102 : 04H μPD780103 : 06H μPD78F0103 : マスクROM製品に対応した値 | p.40 |
| | | | SFR領域:特殊機能レジスタ | SFRが割り付けられていないアドレスにアクセスしないでください。 | p.46 |
| | | | SP:スタック・ポインタ | SPの内容はRESET入力により, 不定になりますので, 必ずスタック使用前にイニシャライズしてください。 | p.52 |
| 第4章 | ソフト | ポート機能 | P10, P11, P12 | P10/SCK10 (/TxD0), P11/SI10 (/RxD0), P12/SO10を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ10(CSIC10)への書き込みを行わないでください。 | p.77 |
| | | | - | 1ビット・メモリ操作命令の場合, 操作対象は1ビットですが, ポートを8ビット単位でアクセスします。 したがって, 入力/出力が混在しているポートでは, 操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。 | p.89 |
| 第5章 | ソフト | Ring-OSC | RCM: Ring-OSCモード・レジスタ | RSTOPを設定するとき, メイン・クロック・モード・レジスタ(MCM)のビット1(MCS)が1であることを必ず確認してください。 | p.93 |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | |
|----------|-----|--------------------|---|---|--|------|
| 第5章 | ハード | メイン・クロック | MCM: メイン・クロック・モード・レジスタ | CPUへの供給クロックにRing-OSCクロックを選択する場合、周辺ハードウェアには、Ring-OSC発振回路出力 (fx) の分周クロックが供給されます (fx = 240 kHz (TYP.) となります)。Ring-OSCクロックによる周辺ハードウェアの動作保証はできませんので、CPUへの供給クロックにRing-OSCクロックを選択する場合は、周辺ハードウェアを使用しないでください。また、CPUへの供給クロックをX1入力クロックからRing-OSCクロックに切り替える場合は、周辺ハードウェアを停止したあとに行ってください。ただし次の周辺ハードウェアはCPUがRing-OSCクロックで動作している場合でも使用可能です。 <ul style="list-style-type: none"> ・ウォッチドッグ・タイマ ・クロック・モニタ ・8ビット・タイマH1のカウント・クロックに「$f_r/2^7$」を選択時 ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし、TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く) | p.94 | |
| | | | ソフト | MOC: メインOSCコントロール・レジスタ | MSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が0であることを必ず確認してください。 | p.95 |
| | | | ハード | OSTC: 発振安定時間カウンタ状態レジスタ | 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。 CPUクロックがRing-OSCクロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。 <ul style="list-style-type: none"> ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。 | p.96 |
| | ソフト | OSTS: 発振安定時間選択レジスタ | STOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間 (下図a) は含みません。 | p.96 | | |
| | | | CPUクロックがX1入力クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。 | p.97 | | |
| | | | OSTSの設定は、OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。 | p.97 | | |
| | ハード | X1発振回路 | CPUクロックがRing-OSCクロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。 <ul style="list-style-type: none"> ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。 | p.97 | | |
| | | | STOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間 (下図a) は含みません。 | p.97 | | |
| | | | X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-9の破線の部分を次のように配線してください。 <ul style="list-style-type: none"> ・配線は極力短くする。 ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は、常にVssと同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。 | p.98 | | |
| | ソフト | プリスケアラ | - | CPUへの供給クロックにRing-OSCクロックを選択する場合、Ring-OSC発振回路出力を分周して、各種クロックを生成します (fx = 240 kHz (TYP.))。 | p.100 | |
| Ring-OSC | | | - | RSTOPの設定は、マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」時にのみ有効です。 最大時間を計算する場合は、 $f_r = 120 \text{ kHz}$ で行ってください。 | p.105 | |
| CPUクロック | | | - | CPUがRing-OSCで動作している場合、次の値は設定禁止です。 <ul style="list-style-type: none"> ・PCC2, PCC1, PCC0 = 0, 0, 1 (標準品, (A) 水準品のみ設定可) ・PCC2, PCC1, PCC0 = 0, 1, 0 ・PCC2, PCC1, PCC0 = 0, 1, 1 ・PCC2, PCC1, PCC0 = 1, 0, 0 | p.107 | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|---|-----|-----------------------------|---|---|----------------------|
| 第6章 | ソフト | 16ビット・タイマ/イベント・カウンタ00(TM00) | CR000: 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 | TM00とCR000の一致でクリア&スタート・モードの場合、CR000には0000H以外の値を設定してください。 | p.114 |
| | | | | フリー・ランニング・モードおよびTI000端子の有効エッジのクリア・モードにおいて、CR000に0000Hを設定した場合は、TM00のオーバーフロー(FFFFH)後、0000Hから0001Hになるときに割り込み要求(INTTM000)を発生します。またTM00とCR000の一致後、TI010端子の有効エッジ検出後、ワンショット・トリガによるクリア後にINTTM000を発生します。 | p.114 |
| | | | | P01をTI010有効エッジの入力端子として使用するときは、タイマ出力(TO00)として使用できません。また、TO00として使用するときは、TI010有効エッジの入力端子として使用できません。 | p.114 |
| | ハード | | | CR000をキャプチャ・レジスタとして使用時、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります(キャプチャ・データ自体は正常値)。また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。 | p.114 |
| | | | | TM00動作中にCR000を書き換えしないでください | p.114, 122, 127, 139 |
| | ソフト | | | TM00動作中にCR000を書き換えしないでください | p.114, 122, 127, 139 |
| | ハード | | CR010: 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 | CR010レジスタに0000Hを設定した場合は、TM00のオーバーフロー(FFFFH)後、0000Hから0001Hになるときに割り込み要求(INTTM010)を発生します。またTM00とCR010の一致後、TI000端子の有効エッジ検出後、ワンショット・トリガによるクリア後にINTTM010を発生します。 | p.115 |
| | | | | CR010をキャプチャ・レジスタとして使用時、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります(キャプチャ・データ自体は正常値)。また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。 | p.115 |
| | | | | TM00動作中にCR010を書き換えることができます。詳細は図6-15の注意2を参照してください。 | p.115 |
| | ソフト | | TMC00: 16ビット・タイマ・モード・コントロール・レジスタ00 | 16ビット・タイマ・カウンタ00(TM00)は、TMC002, TMC003に0,0(動作停止モード)以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0,0を設定してください。 | p.116 |
| | | | | OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。 | p.117 |
| | | | | TI000/P00端子の有効エッジは、プリスケアラ・モード・レジスタ00(PRM00)で設定します。 | p.117 |
| | | | | TM00とCR000の一致でクリア&スタート、TI000の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するときに、OVF00フラグが1に設定されます。 | p.117 |
| | ハード | | CRC00: キャプチャ/コンペア・コントロール・レジスタ00 | CRC00は、必ずタイマ動作を停止させてから設定してください。 | p.118 |
| | | | | 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。 | p.118 |
| | | | | キャプチャを確実にを行うためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ00(PRM00)で選択したカウント・クロックの2周期分より長いパルスが必要とします。 | p.118 |
| | ソフト | | TOC00: 16ビット・タイマ出力コントロール・レジスタ00 | TOC004以外は、必ずタイマ動作を停止させてから設定してください。 | p.119 |
| | | | | LVS00, LVR00は読み出すと、0になっています。 | p.119 |
| OSPT00は、データ設定後に自動的にクリアされますので、読み出すと0になっています。 | | | | p.119 | |
| OSPT00は、ワンショット・パルス出力モード以外でセット(1)しないでください。 | | | | p.119 | |
| ハード | | | OSPT00に連続してライトするとき、プリスケアラ・モード・レジスタ00(PRM00)を選択したカウント・クロック2周期分以上のライト間隔が必要です。 | p.119 | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | |
|-----|-----|-----------------------------|---------------------------------|---|---|-------|
| 第6章 | ソフト | 16ビット・タイマ/イベント・カウンタ00(TM00) | TOC00: 16ビット・タイマ出力コントロール・レジスタ00 | TOE00より先にLVS00に“1”をセットしないでください。または、LVS00とTOE00に同時に“1”をセットしないでください。 | p.119 | |
| | | | | 次の , の設定は同時に行わないでください。また設定は次の手順で行ってください。 TOC001, TOC004, TOE00, OSPE00の設定: タイマ出力動作の設定 LVS00, LVR00の設定: タイマ出力F/Fの設定 | p.119 | |
| | ハード | | PRM00: プリスケアラ・モード・レジスタ00 | CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合、16ビット・タイマ/イベント・カウンタ00の動作は保証されません。また外部クロックの場合も、CPUへの供給クロックにRing-OSCクロックを選択する場合、ノイズ除去のためのサンプリング・クロックにRing-OSCクロックが供給されるため、同様に16ビット・タイマ/イベント・カウンタ00の動作は保証されません。 | p.120 | |
| | | | | PRM00は、必ずタイマ動作を停止させてからデータを設定してください。 | p.120 | |
| | | | | カウント・クロックにTI000の有効エッジを設定する場合、TI000有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。 | p.120 | |
| | ソフト | | | システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合、TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、TI000端子またはTI010端子がハイ・レベルの場合、動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。 | p.121 | |
| | | | | P01をTI010有効エッジの入力端子として使用するときは、タイマ出力 (TO00) として使用できません。また、TO00として使用するときは、TI010有効エッジの入力端子として使用できません。 | p.121 | |
| | ハード | | | | | |
| | ソフト | | | CR010: 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 | 動作中にデューティの値 (CR010レジスタ) を変更する場合は、図6-15 PPG出力動作のタイミングの注意2を参照してください。 | p.125 |
| | | | | CR000, CR010: 16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 | CR000とCR010には次の範囲の値を設定してください。 0000H CR010 < CR000 FFFFH | p.126 |
| | | | | PPG出力 | PPG出力動作において、TM00の動作中にパルス幅を変更する (CR010を書き換える) 場合は、次の手順で行ってください。 TM00とCR010の一致によるタイマ出力反転動作を禁止する (TOC004 = 0) INTTM010の割り込みを禁止する (TMMK010 = 1) CR010を書き換える TM00のカウント・クロックの1周期分をウエイトする TM00とCR010の一致によるタイマ出力反転動作を許可する (TOC004 = 1) INTTM010の割り込み要求フラグをクリアする (TMIF010 = 0) INTTM010の割り込みを許可する (TMMK010 = 0) | p.127 |
| | | | | パルス幅測定 | キャプチャ・レジスタを2本使用する場合は、TI000およびTI010端子の設定を行ってください。 | p.128 |
| | | | | 外部イベント・カウンタ | 外部イベント・カウンタのカウント値を読み出す場合は、TM00を読み出してください。 | p.138 |
| | | | | ワンショット・パルス出力: ソフトウェア・トリガ | ワンショット・パルスを出力しているときは、OSPT00ビットを1にセットしないでください。 再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。 | p.141 |
| ハード | | | | | 16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI000端子またはその兼用ポート端子のレベルを変化させないでください。 この場合でも外部トリガは有効となっているので、TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。 | p.141 |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | |
|-----|-----|----------------|-------------------------|--|--|-------|
| 第6章 | ソフト | 16ビット・タイマ/イベント | ワンショット・パルス出力:ソフトウェア・トリガ | CR000レジスタとCR010レジスタに0000Hを設定しないでください。 | p.142 | |
| | | | | 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00(動作停止モード)以外の値を設定した時点で動作を開始します。 | p.143 | |
| | ハード | 00(TM00) | ワンショット・パルス出力:外部トリガ | ワンショット・パルスを出力しているときに、再度外部トリガが発生しても無視されません。 | p.143 | |
| | | | | CR000レジスタとCR010レジスタに0000Hを設定しないでください。 | p.144 | |
| | ソフト | | | 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00(動作停止モード)以外の値を設定した時点で動作を開始します。 | p.145 | |
| | | | | タイマ・スタート時の誤差 | タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00(TM00)が非同期でスタートするためです。 | p.146 |
| | ソフト | | | 16ビット・タイマ・キャプチャ/コンペア・レジスタの設定 | TM00とCR000の一致でクリア&スタート・モードの場合、16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010(CR000, CR010)には、0000H以外の値を設定してください。したがって、外部イベント・カウンタとして使用时、1パルスのカウンタ動作はできません。 | p.146 |
| | | | | キャプチャ・レジスタのデータ保持タイミング | 16ビット・タイマ/イベント・カウンタ00停止後の、16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010(CR000, CR010)の値は保証されません。 | p.146 |
| | ハード | | | 有効エッジの設定 | TI000端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット2, 3(TMC002, TMC003)に0, 0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ00(PRM00)のビット4, 5(ES000, ES001)で設定します。 | p.146 |
| | | | | ワンショット・パルス出力:ソフトウェア・トリガ | ワンショット・パルスを出力しているときは、OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR000レジスタとの一致割り込みであるINTTM000, またはCR010レジスタとの一致割り込みであるINTTM010が発生したあとに行ってください。 | p.147 |
| | ハード | | | ワンショット・パルス出力:外部トリガ | ワンショット・パルスを出力しているときに、再度、外部トリガが発生しても無視されません。 | p.147 |
| | | | | ワンショット・パルス出力機能について | 16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合は、TI000端子またはその兼用ポート端子のレベルを変化させないでください。 この場合でも外部トリガは有効となっているので、TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。 | p.147 |
| | ソフト | | | OVF00フラグの動作 | OVF00フラグは、次のときにも“1”に設定されます。 TM00とCR000の一致でクリア&スタート、TI000の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択 CR000をFFFFHに設定 TM00がFFFFHから0000Hにカウント・アップするとき | p.147 |
| | | | | 競合動作 | TM00がオーバフロー後、次のカウント・クロックがカウントされる(TM00が0001Hになる)前にOVF00フラグをクリアしても、再度セットされ、クリアは無効となります。 | p.147 |
| | ハード | | | タイマ動作 | 16ビット・タイマ・キャプチャ/コンペア・レジスタ(CR000/CR010)のリード期間とキャプチャ・トリガ入力競合(CR000/CR010はキャプチャ・レジスタとして使用)する場合は、キャプチャ・トリガ入力競合が優先されます。CR000/CR010のリード・データは不定となります。 | p.148 |
| | | | | タイマ動作 | 16ビット・タイマ・カウンタ00(TM00)をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ010(CR010)にはキャプチャしません。 | p.148 |
| | | | | タイマ動作 | CPUの動作モードに関係なく、タイマが停止していると、TI000/TI010端子への入力信号は受け付けられません。 | p.148 |
| | | | | ワンショット・パルス出力は、フリー・ランニング・モードまたはTI000端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。 | p.148 | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | |
|-----|-----|-----------------------------|------------------------------------|---|---|------------|
| 第6章 | ハード | 16ビット・タイマ/イベント・カウンタ00(TM00) | キャプチャ動作 | カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作できません。 | p.149 | |
| | | | | 確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ00(PRM00)で選択したカウント・クロックの2周期分より長いパルスが必要とします。 | p.149 | |
| | | | | キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力(INTTM000/INTTM010)は次のカウント・クロックの立ち上がりで発生します。 | p.149 | |
| | | | コンペア動作 | コンペア・モードに設定したCR000/CR010は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。 | p.149 | |
| | | | エッジ検出 | システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合、TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00(TM00)の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。 | p.149 | |
| | | | | TI000の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者はfxで、後者はプリスケアラ・モード・レジスタ00(PRM00)で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。 | p.149 | |
| 第7章 | ソフト | 8ビット・タイマ/イベント・カウンタ50 | CR50 : 8ビット・タイマ・コンペア・レジスタ50 | TM50とCR50の一致でクリア&スタート・モード(TMC506 = 0)時は、動作中にCR50に異なる値を書き込まないでください。 | p.152 | |
| | | | | PWMモード時は、CR50の書き換え間隔をカウント・クロック(TCL50で選択したクロック)の3カウント・クロック以上にしてください。 | p.152 | |
| | ハード | 50(TM50) | TCL50: タイマ・クロック選択レジスタ50 | CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合、8ビット・タイマ/イベント・カウンタ50の動作は保証されません。 | p.153 | |
| | | | | TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。 | p.153 | |
| | ソフト | 50(TM50) | TMC50 : 8ビット・タイマ・モード・コントロール・レジスタ50 | ビット3-7には必ず“0”を設定してください。 | p.153 | |
| | | | | LVS50とLVR50の設定は、PWMモード時以外で有効になります。 | p.155 | |
| | | | | 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。 TMC501, TMC506を設定：動作モードの設定 出力を許可する場合、TOE50を設定：タイマ出力許可 LVS50, LVR50を設定(注意1)：タイマF/Fの設定 TCE50を設定 | p.155 | |
| | | | | TMC506を書き換える場合は、動作を停止してから行ってください。 | p.155 | |
| | | | | インターバル・タイマ/方形波出力 | 動作中にCR50に異なる値を書き込まないでください。 | p.156, 160 |
| | | | | PWM出力 | PWMモード時は、CR50の書き換え間隔をカウント・クロック(TCL50で選択したクロック)の3カウント・クロック以上にしてください。 | p.161 |
| | ハード | 50(TM50) | タイマ・スタート時の誤差 | 図7-11の から の間でCR50からリードする場合、実際に動作する値と異なります(リード値：M, 実際のCR50の値：N)。 | p.163 | |
| | | | | タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50(TM50)が非同期でスタートするためです。 | p.164 | |
| 第8章 | ソフト | 8ビット・タイマH0, H1(TMh0, TMh1) | CMP0n : 8ビット・タイマHコンペア・レジスタ0n | CMP0nは、タイマ・カウント動作中に値を書き換えることは禁止です。 | p.168 | |
| | | | CMP1n : 8ビット・タイマHコンペア・レジスタ1n | PWM出力モードでは、タイマ・カウント動作停止(TMHEn = 0)設定後、タイマ・カウント動作を開始する(TMHEn = 1)場合、必ずCMP1nを設定してください(CMP1nへの設定値が同値の場合でも、必ず再設定してください)。 | p.168 | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | | |
|---|------------|------------------------------|----------------------------|---|---|---|-------|
| 第8章 | ハード ソフト | 8ビット・タイマH0, H1(TMH0, TMH1) | TMHMD0: 8ビット・タイマHモード・レジスタ0 | CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合、8ビット・タイマH0の動作は保証されません。 | p.171 | | |
| | | | | TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。 | p.171 | | |
| | | | | PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください)。 | p.171 | | |
| | ハード ソフト | | TMHMD1: 8ビット・タイマHモード・レジスタ1 | CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。カウント・クロックがRing-OSCクロックの場合、8ビット・タイマH1の動作は保証されません (CKS12, CKS11, CKS10 = 1, 0, 1 (fr/2 ⁷) 選択時を除く)。 | p.172 | | |
| | | | | TMHE1 = 1のとき、TMHMD1の他のビットを設定することは禁止です。 | p.172 | | |
| | | | | PWM出力モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。 | p.172 | | |
| | ハード ソフト | | PWM出力 | PWM出力モード時は、CMP1nレジスタを書き換えてからレジスタに転送するのに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号) の3クロック分を必要とします。 | p.177 | | |
| | | | | タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。 | p.177 | | |
| | | | | CMP1nレジスタの設定値 (M), CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。 00H CMP1n (M) < CMP0n (N) FFH | p.177 | | |
| | 第9章 | ソフト | ウォッチドッグ・タイマ | WDTM: ウォッチドッグ・タイマ・モード・レジスタ | WDTMにデータを書き込むと、ウエイトが発生します。詳細は「第29章 ウエイトに関する注意事項」を参照してください。 | p.185 | |
| ビット7, 6, 5にはそれぞれ“0” “1” “1”を設定してください (マスク・オプションで「Ring-OSCは停止不可」を選択した場合は、違う値を書いても無視されます)。 | | | | | p.185 | | |
| リセット解除後、WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号が発生します。 | | | | | p.186 | | |
| WDTMは1ビット・メモリ操作命令では設定できません。 | | | | | p.186 | | |
| マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択し、WDCS4を1に設定してウォッチドッグ・タイマを停止させた場合、再びWDCS4を0にクリアしてもウォッチドッグ・タイマは動作しません。また内部リセット信号も発生しません。 | | | | | p.186 | | |
| WDTE: ウォッチドッグ・タイマ・イネーブル・レジスタ | | | | | WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号が発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号が発生します。 | p.186 | |
| WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号が発生します。 | | | | | p.186 | | |
| WDTEのリード値は、“9AH” (書き込んだ値 (“ACH”) とは異なる値) になります。 | | | | | p.186 | | |
| ハード | | | | | マスク・オプションで「Ring-OSCは停止不可」を選択した場合 | このモードでは、STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマH1 (TMH1) はカウント・ソースにRing-OSCの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号が発生します。 | p.188 |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|--|-----------------|---|---|---|-------|
| 第9章 | ハード | ウォッチドッグ・タイマ | マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を選択した場合 | このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア(0)されず、値を保持します。 | p.189 |
| 第10章 | ソフト | A/Dコンバータ | ADM: A/Dコンバータ・モード・レジスタ | FR0-FR2を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。 | p.198 |
| | | | | A/Dコンバータのサンプリング時間とA/D変換開始遅延時間については、10.6 A/Dコンバータの注意事項の(11)を参照してください。 | p.198 |
| | | | | ADMにデータを書き込むと、ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。 | p.198 |
| | ハード | ADS: アナログ入力チャネル指定レジスタ | ビット2-7には必ず0を設定してください。 | p.199 | |
| | | | ADSにデータを書き込むと、ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。 | p.199 | |
| | | ADCR: A/D変換結果レジスタ | A/Dコンバータ・モード・レジスタ(ADM)、アナログ入力チャネル指定レジスタ(ADS)に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。 | p.199 | |
| | | | ADCRからデータを読み出すと、ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。 | p.199 | |
| | | PFM: パワーフェイル比較モード・レジスタ | PFMにデータを書き込むと、ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。 | p.200 | |
| | | PFT: パワーフェイル比較しきい値レジスタ | PFTにデータを書き込むと、ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。 | p.200 | |
| | | A/D変換動作 | から までの間は14 μ s以上空けてください。 | p.206 | |
| | | | と の順番が逆でも問題ありません。 | p.206 | |
| | | | は省略可能です。ただし、この場合には のあとの1回目のA/D変換結果は使用しないでください。 | p.206 | |
| | | | から までの時間は、ADMのビット5-3 (FR2-FR0) で設定した変換時間とは異なります。から までの時間が、FR2-FR0で設定した変換時間となります。 | p.206 | |
| | | パワーフェイル検出機能 | から までの間は14 μ s以上空けてください。 | p.207 | |
| 、 の順番が入れ替わっても問題ありません。 | p.207 | | | | |
| パワーフェイル機能を使用する場合、 を省略することはできません。 | p.207 | | | | |
| から までの時間は、ADMのビット5-3 (FR2-FR0) で設定した変換時間とは異なります。から までの時間が、FR2-FR0で設定した変換時間となります。 | p.207 | | | | |
| ハード | スタンバイ・モード時の動作電流 | A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ(ADM)のビット7 (ADCS) = 0にすることにより、動作電流を低減させることができます(図10-2を参照)。 | p.211 | | |
| | ANI0-ANI3 入力範囲 | ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。 | p.211 | | |
| ソフト | 競合動作 | ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。 | p.211 | | |
| | | ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。 | p.211 | | |
| ハード | ノイズ対策 | 10ビット分解能を保つためには、AVREF、ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10-19のようにCを外付けすることを推奨します。 | p.212 | | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|------|-----|-------------------------------|---|--|-------|
| 第10章 | ハード | A/Dコンバータ | ANI0/P20-ANI3/P23 | アナログ入力 (ANI0-ANI3) 端子は入力ポート (P20-P23) 端子と兼用になっています。ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にポート2に対してアクセスしないでください。変換分解能が低下することがあります。 | p.212 |
| | | | | A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。 | p.212 |
| | | | ANI0-ANI3 端子の入カインピーダンス | このA/Dコンバータでは、変換時間の約1/6程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。 したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。 ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10k以下にするか、ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 19参照)。 | p.212 |
| | ソフト | | AVREF 端子の入カインピーダンス | AVREF端子とAVSS端子の間には数十kの直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。 | p.212 |
| | | | 割り込み要求フラグ (ADIF) | アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリアされません。 したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされています。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。 | p.213 |
| | | | A/D変換スタート直後の変換結果 | ADCEビット = 1にしてから、14 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。 | p.213 |
| | | | A/D変換結果レジスタ (ADCR) の読み出し | A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。 | p.213 |
| ハード | | A/Dコンバータのサンプリング時間とA/D変換開始遅延時間 | A/Dコンバータのサンプリング時間は、A/Dコンバータ・モード・レジスタ (ADM) の設定値によって異なります。また、A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。 A/D変換時間を厳密に必要とするセットの場合、図10 - 21と表10 - 3に示す内容をご確認ください。 | p.214 | |
| 第11章 | ソフト | シリアル・インタフェース UART0 | UARTモード | シリアル・インタフェースUART0への供給クロックが停止しない場合 (例: HALTモード) では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合 (例: STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0となるように回路をリセットしてください。 | p.216 |
| | | | 通信開始する場合、POWER0 = 1に設定後、TXE0 = 1 (送信) またはRXE0 = 1 (受信) に設定してください。 | p.216 | |
| | | | TXE0とRXE0は、BRGC0で設定した基本クロック (fxCLK0) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。 | p.216 | |
| | | | TXS0: 送信シフト・レジスタ0 | TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。 | p.219 |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | |
|---|-----|-------------------|---|---|--|-------|
| 第11章 | ソフト | シリアル・インタフェースUART0 | ASIM0: アシクロナス・シリアル・インタフェース動作モード・レジスタ0 | 起動時はPOWER0 = 1にしてから, TXE0 = 1としてください。動作を停止するときにはTXE0 = 0にしてから, POWER0 = 0としてください。 | p.221 | |
| | | | | 起動時はPOWER0 = 1にしてから, RXE0 = 1としてください。動作を停止するときにはRXE0 = 0にしてから, POWER0 = 0としてください。 | p.221 | |
| | | | | RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1 RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1 RXE0 = 1と設定すると, 受信を開始してしまいます。 | p.221 | |
| | | | | TXE0とRXE0は, BRGC0で設定した基本クロック (fxCLK0) により, 同期化されています。再び送信動作または受信動作を許可する場合は, TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると, 送信回路または受信回路を初期化できない場合があります。 | p.221 | |
| | | | | PS01, PS00, CL0ビットを書き換えるときは, TXE0, RXE0ビットをクリア (0) してから行ってください。 | p.221 | |
| | | | | SL0ビットを書き換えるときは, TXE0をクリア (0) してから行ってください。また, 受信は常に「ストップ・ビット数 = 1」として動作するので, SL0ビットの設定値の影響は受けません。 | p.221 | |
| | | | | ビット0には必ず1を設定してください。 | p.221 | |
| | ハード | ソフト | ASIS0: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 | PE0ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のPS01, PS00ビットの設定値により異なります。 | p.222 | |
| | | | | 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。 | p.222 | |
| | | | | オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ0 (RXB0) には書き込まれず, データは破棄されます。 | p.222 | |
| | | | | ASIS0からデータを読み出すと, ウェイトが発生します。詳細は「第29章 ウェイトに関する注意事項」を参照してください。 | p.222 | |
| | ハード | ソフト | BRGC0: ポー・レート・ジェネレータ・コントロール・レジスタ0 | CPUへの供給クロックにRing-OSCクロックを選択する場合, カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。基本クロックがRing-OSCクロックの場合, シリアル・インタフェースUART0の動作は保証されません。 | p.224 | |
| | | | | MDL04-MDL00ビットを書き換える場合は, ASIM0レジスタのビット6 (TXE0) = 0, ビット5 (RXE0) = 0にしてから行ってください。 | p.224 | |
| | ソフト | ハード | POWER0, TXE0, RXE0: ASIM0のビット7,6,5 | 動作停止モードにするときはTXE0 = 0, RXE0 = 0にしてから, POWER0 = 0 にしてください。起動時はPOWER0 = 1にしてから, TXE0 = 1, RXE0 = 1にしてください。 | p.225 | |
| | | | | UARTモード | ポート・モード・レジスタとポート・レジスタの設定手順は, 通信相手との関係を考慮して, 行ってください。 | p.226 |
| | | | | UART送信 | TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで, 次の送信データを書き込まないでください。 | p.229 |
| | | | | UART受信 | 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと, 次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。 | p.230 |
| 受信は, 常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは, 無視されます。 | | | | | p.230 | |
| RXB0を読み出す前に, 必ずアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出してください。 | | | | | p.230 | |
| ポー・レートの誤差 | | | | 送信時のポー・レート誤差は, 受信先の許容誤差以内にしてください。 | p.234 | |
| | | | | 受信時のポー・レート誤差は, (4) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。 | p.234 | |
| 受信時の許容ポー・レート範囲 | | | | 受信時のポー・レート誤差は, 下記に示す算出式を使用して, 必ず許容誤差範囲内になるように設定してください。 | p.235 | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|--|---|---|---|--|-------|
| 第12章 | ハード ソフト | シリアル・インタフェースUART6 | UARTモード | TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。 | p.238 |
| | | | | シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0となるように回路をリセットしてください。 | p.238 |
| | | | | 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LINに搭載する場合は連続送信機能を使用しないでください。 | p.238 |
| | | | TXB6：送信バッファ・レジスタ6 | アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）のビット1（TXBF6）が1のとき、TXB6にデータを書き込まないでください。 | p.245 |
| | | | 通信動作中（アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）= 1、かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1、かつビット5（RXE6）= 1）に、ソフトウェアでTXB6へのリフレッシュ（同値書き込み）動作を行わないでください。 | p.245 | |
| | | | 起動時はPOWER6 = 1にしてから、TXE6 = 1としてください。動作を停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。 | p.247 | |
| | | | 起動時はPOWER6 = 1にしてから、RXE6 = 1としてください。動作を停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。 | p.247 | |
| | | | RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1と設定すると、受信を開始してしまいます。 | p.247 | |
| | | | PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア（0）してから行ってください。 | p.247 | |
| | | | LINに搭載する場合、PS61, PS60ビットを0に固定してください。 | p.247 | |
| | SL6ビットを書き換えるときは、TXE6 = 0にしてから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。 | p.247 | | | |
| | ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。 | p.247 | | | |
| | ASIS6：アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 | PE6ビットの動作は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のPS61, PS60ビットの設定値により異なります。 | p.248 | | |
| | 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。 | p.248 | | | |
| | オーバーラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6（RXB6）には書き込まれず、データは破棄されます。 | p.248 | | | |
| | ASIS6からデータを読み出すと、ウエイトが発生します。詳細は「第29章 ウエイトに関する注意事項」を参照してください。 | p.248 | | | |
| | ASIF6：アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 | 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。 | p.249 | | |
| | 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。 | p.249 | | | |
| | ハード ソフト | CKSR6：クロック選択レジスタ6 | CPUへの供給クロックにRing-OSCクロックを選択する場合、カウント・クロックにRing-OSC発振回路の分周クロックが供給されます。基本クロックがRing-OSCクロックの場合、シリアル・インタフェースUART6の動作は保証されません。 | p.251 | |
| TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。 | | | p.251 | | |
| ハード | BRGC6：ポーレート・ジェネレータ・コントローラ・レジスタ6 | MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6（TXE6）= 0、ビット5（RXE6）= 0にしてから行ってください。 | p.252 | | |
| | | 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポーレート値となります。 | p.252 | | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|------|-----|---------------------------|-------------------------------------|---|-------|
| 第12章 | ソフト | シリアル・インタフェース・コントローラ・レジスタ6 | ASICL6 : アシクロナス・シリアル・インタフェース・レジスタ6 | 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでASICL6へのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、通信終了時 (割り込み信号発生) にASICL6のビット6 (SBRT6) がクリア (0) されるため、リフレッシュ動作により、通信が起動するので注意してください。 | p.253 |
| | | | | SBF受信エラー時には、再びSBF受信モードに戻してください。SBRF6フラグの状態は保持 (1) されます。 | p.253 |
| | | | | SBRT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1としてからセット (1) にしてください。 | p.253 |
| | | | | SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア (0) されます。 | p.253 |
| | | | | DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) にしてから行ってください。 | p.253 |
| | | | POWER6, TXE6, RXE6 : ASIM6のビット7,6,5 | 動作停止モードにするときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。起動時はPOWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。 | p.256 |
| | | | UARTモード | ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。 | p.257 |
| | | | パリティの種類と動作 | LINに搭載する場合、PS61, PS60ビットを0に固定してください。 | p.261 |
| | | | 連続送信 | 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。 | p.263 |
| | | | | LINに搭載する場合、連続送信機能を使用することはできません。必ずアシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。 | p.263 |
| | | | 連続送信時のTXBF6 : ASIF6のビット1 | 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが「0」であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが「1」のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。 | p.264 |
| | | | 連続送信時のTXSF6 : ASIF6のビット1 | 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが「0」であることを確認してから初期化を実行してください。TXSF6フラグが「1」のときに初期化を実行した場合の送信データは保証できません。 | p.264 |
| | | | | 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。 | p.264 |
| | | | 通常受信 | 受信エラー発生時にも受信バッファ・レジスタ6 (RXB6) は必ず読み出してください。RXB6を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。 | p.268 |
| | | | | 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。 | p.268 |
| | | | | RXB6を読み出す前に、必ずアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。 | p.268 |
| | | | シリアル・クロックの生成 | 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。 | p.275 |
| | | | | 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。 | p.275 |
| | | | 受信時の許容ボー・レート範囲 | 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。 | p.277 |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 | |
|------|-----|-------------------|--------------------------------------|---|--|-------|
| 第13章 | ソフト | シリアル・インタフェースCSI10 | SOTB10:送信バッファ・レジスタ10 | CSOT10 = 1 (シリアル通信中) のとき, SOTB10へのアクセスは行わないでください。 | p.281 | |
| | | | SIO10:シリアルI/Oシフト・レジスタ10 | CSOT10 = 1 (シリアル通信中) のとき, SIO10へのアクセスは行わないでください。 | p.281 | |
| | | | CSIM10:シリアル動作モード・レジスタ10 | ビット5には必ず0を設定してください。 | p.283 | |
| | ハード | | CSIC10:シリアル・クロック選択レジスタ10 | CPUへの供給クロックにRing-OSCクロックを選択している場合, シリアル・クロックにRing-OSC発振回路の分周クロックが供給されます。このとき, シリアル・インタフェースCSI10の動作は保証されません。 | p.285 | |
| | | | | CSIE10 = 1 (動作許可) のとき, CSIC10への書き込みを行わないでください。 | p.285 | |
| | ソフト | | | P10/ $\overline{\text{SCK10}}$ (/TxD0), P11/SI10 (/RxD0), P12/SO10を汎用ポートとして使用する場合, CKP10に0を設定してください。 | p.285 | |
| | | | | リセット後のデータ・クロックの位相タイプは, タイプ1になります。 | p.285 | |
| | | | | 3線式シリアルI/Oモード | ポート・モード・レジスタとポート・レジスタの設定手順は, 通信相手との関係を考慮して, 行ってください。 | p.287 |
| | | | | 通信動作 | CSOT10 = 1 (シリアル通信中) のとき, コントロール・レジスタとデータ・レジスタにアクセスしないでください。 | p.289 |
| | | | | SO10出力 | TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。 | p.294 |
| 第14章 | ソフト | 割り込み | IF1L:割り込み要求フラグ・レジスタ | IF1Lのビット2-7には, 必ず0を設定してください。 | p.299 | |
| | | | IF0L, IF0H, IF1L:割り込み要求フラグ・レジスタ | タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。 なお, C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。 mov a, IF0L and a, #0FEH mov IF0L, a この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。 | p.299 p.300 | |
| | | | MK1L:割り込みマスク・フラグ・レジスタ | MK1Lのビット2-7には, 必ず1を設定してください。 | p.301 | |
| | | | PR1L:優先順位指定フラグ・レジスタ | PR1Lのビット2-7には, 必ず1を設定してください。 | p.302 | |
| | | | EGP, EGN:外部割り込み立ち上がり, 立ち下がりエッジ許可レジスタ | 外部割り込み機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。 | p.303 | |
| | | | ソフトウェア割り込み要求の受け付け | ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。 | p.308 | |
| | | | | | | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|---|-------------------|--|--|--|-------|
| 第14章 | ソフト | 割り込み | 割り込み要求の保留 | BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクブル割り込み要求が発生しても、割り込み要求を受け付けません。 | p.311 |
| 第15章 | ソフト | スタンバイ機能 | - | RSTOPの設定は、マスク・オプションにてRing-OSCを「ソフトウェアにより停止可能」時にのみ有効です。 | p.312 |
| | ハード | | STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。 | p.313 | |
| | ソフト | STOPモード、HALTモード | A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。 | p.313 | |
| | ハード | STOPモード | STOPモード設定前にRing-OSC発振回路が動作している場合、STOPモードではRing-OSCクロックの発振を停止することはできません。ただしCPUクロックがRing-OSCクロックの場合、STOP動作解除後17/fr(s)間はCPU動作停止になります。 | p.313 | |
| | ソフト | OSTC:発振安定時間カウンタ状態レジスタ | 上記時間経過後、MOST11から順番に“1”となっていき、そのまま“1”を保持します。 | p.315 | |
| | | | CPUクロックがRing-OSCクロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。 | p.315 | |
| | ハード | | STOPモード解除時のウエイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。 | p.315 | |
| | ソフト | OSTS:発振安定時間選択レジスタ | CPUクロックがX1入力クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。 | p.316 | |
| | | | OSTSの設定は、OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。 | p.316 | |
| | | | CPUクロックがRing-OSCクロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。 | p.316 | |
| STOPモード解除時のウエイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。 | | | p.316 | | |
| ソフト | STOPモードの設定および動作状態 | スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。 | p.320 | | |
| 第16章 | ハード | リセット機能 | - | 外部リセットを行う場合、RESET端子に10μs以上のロウ・レベルを入力してください。 | p.324 |
| | | | | リセット入力中は、X1入力クロック、Ring-OSCクロックともに発振を停止します。 | p.324 |
| | | | | リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、P130はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。 | p.324 |
| | | LVI回路の内部リセット | LVI回路の内部リセットの場合、LVI回路はリセットされません。 | p.325 | |
| | | ウォッチドッグ・タイマのオーバフローによるリセット・タイミング | ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。 | p.326 | |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|------------------------------|-----|-------------------|---------------------------------------|---|--|
| 第16章 | ソフト | リセット機能 | RESF：リセット・コントロール・フラグ・レジスタ | 1ビット・メモリ操作命令でデータを読み出さないでください。 | p.330 |
| 第17章 | ソフト | クロック・モニタ | CLM：クロック・モニタ・モード・レジスタ | 一度ビット0 (CLME) をセット (1) したら、RESET入力または内部リセット信号以外ではクリア (0) することはできません。 クロック・モニタによるリセットが発生した場合、CLMEは0になり、リセット・コントロール・フラグ・レジスタ (RESF) のビット1 (CLMRF) がセット (1) されます。 | p.332 p.332 |
| 第18章 | ソフト | パワーオン・クリア回路 (POC) | パワーオン・クリア回路の機能 パワーオン・クリア回路の注意事項 | POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。 電源電圧 (V _{DD}) がPOC検出電圧 (V _{Poc}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態/リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。 | p.338 p.340 |
| 第19章 | ソフト | 低電圧検出回路 (LVI) | LVIM：低電圧検出レジスタ LVIS：低電圧検出レベル選択レジスタ | LVIを停止する場合は、次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合：LVIMIに“00H”を書き込む ・1ビット・メモリ操作命令の場合：LVIONをクリア (0) LVIEをクリア (0) ビット3-7には必ず“0”を設定してください。 | p.344 p.345 |
| | | | リセットとして使用する場合 | は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。 と はマスク・オプションにて「POC使用」を選択した場合は不要です。 LVIM = 1とした時点で、「電源電圧 (V _{DD}) > 検出電圧 (V _{LVI})」であれば内部リセット信号は発生しません。 | p.346 p.346 p.346 |
| | | | 割り込みとして使用する場合 | と はマスク・オプションにて「POC使用」を選択した場合は不要です。 | p.348 |
| | | | 低電圧検出回路の注意事項 | 電源電圧 (V _{DD}) がLVI検出電圧 (V _{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。 (1) リセットとして使用する場合 リセット状態/リセット解除状態を繰り返すことがあります。 後述の処置 (a) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。 (2) 割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。後述の処置 (b) に示す処理を行うようにしてください。 | p.350 |
| 第21章 | ハード | μPD78F0103 | - | フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。 | p.355 |
| | ソフト | | IMS：メモリ・サイズ切り替えレジスタ | IMSの初期値は設定禁止 (CFH) です。必ず初期設定で対象のマスクROM製品の値を設定してください。 マスクROM製品を使用する場合、IMSには表21 - 2に示す値を必ず設定してください。 | p.356 p.356 |
| | | | UART0, UART6 | UART0, UART6選択時、受信クロックは、V _{PP} パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。 | p.372 |
| 第23章 第24章 第25章 第26章 | ハード | 電気的特性 | 絶対最大定格 X1発振回路 | 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。 | p.389, 409, 425, 439 p.390, 410, 427, 440 |

| 章 | 分類 | 機能 | 機能の詳細 | 注意事項 | 頁 |
|--|-----|----------|----------|--|--|
| 第23章 ・ 24章 ・ 25章 ・ 26章 | ハード | 電气的特性 | X1発振回路 | リセット解除後は、Ring-OSCによりCPUが起動されるため、X1入力クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。 | p.390, 410, 427, 440 |
| | | | 推奨発振回路定数 | μ PD780101 (A), 780102 (A), 780103 (A)の発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KB1の内部動作条件についてはDC, AC特性の規格内で使用してください。 | p.391, 411 p.391, 392, 393, 411, 412, 413 |
| 第28章 | ハード | 半田付け推奨条件 | - | 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。 | p.450, 451 |

付録E 改版履歴

★ E.1 本版で改訂された主な箇所

(1/2)

| 箇所 | 内容 |
|------------|--|
| 全般 | 標準品と(A)水準品の拡張規格品について、説明を追加 |
| p.7 | はじめに78K0/KB1と78K0/KB1+の違いを追加 |
| p.17 | 1.1 拡張規格品と従来規格品について(標準品, (A)水準品のみ)を追加 |
| p.23 | 1.6 Kx1シリーズの展開を変更 |
| p.92 | 図5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマットに注を追加 |
| p.93 | 表5-2 CPUクロックと最小命令実行時間の関係にX1入力クロック12 MHz動作時の最小命令実行時間を追加, 注2と3を追加 |
| p.96 | 図5-6 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマットに $f_{XP} = 12$ MHz時の発振安定時間のステータスを追加 |
| p.97 | 図5-7 発振安定時間選択レジスタ(OSTS)のフォーマットに $f_{XP} = 12$ MHz時の発振安定時間を追加, 注意1と2を追加 |
| p.106 | 表5-5 Ring-OSCクロックとX1入力クロックの切り替えに要する最大時間を変更, 注を追加 |
| p.107 | 表5-6 CPUクロックの切り替えに要する最大時間に注意を追加 |
| p.117 | 図6-5 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のフォーマットの割り込み要求発生に, キャプチャ・レジスタとして使用時の説明を追加 |
| p.119 | 図6-7 16ビット・タイマ出力コントロール・レジスタ00(TOC00)のフォーマットに注意7を追加 |
| p.120 | 図6-8 プリスケラ・モード・レジスタ00(PRM00)のフォーマットに注1を追加 |
| p.143 | 図6-32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミングのTMC00の設定値を変更 |
| p.153 | 図7-4 タイマ・クロック選択レジスタ50(TCL50)のフォーマットに注を追加 |
| p.155 | 図7-5 8ビット・タイマ・モード・コントロール・レジスタ50(TMC50)のフォーマットの注意2を変更 |
| p.170 | 図8-5 8ビット・タイマHモード・レジスタ0(TMHMD0)のフォーマットに注1を追加, 注2を変更 |
| p.172 | 図8-6 8ビット・タイマHモード・レジスタ1(TMHMD1)のフォーマットに注を追加 |
| p.186 | 図9-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマットの注意3を変更, 注意5を追加 |
| p.186 | 図9-3 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマットの注意1と2を変更 |
| p.187 | 表9-4 ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係を追加 |
| p.223, 224 | 図11-4 ボー・レート・ジェネレータ・コントロール・レジスタ0(BRGC0)のフォーマットに注1を追加, 注2を変更 |
| p.250 | 図12-8 クロック選択レジスタ6(CKSR6)のフォーマットに注1を追加, 注2を変更 |
| p.284 | 図13-3 シリアル・クロック選択レジスタ10(CSIC10)のフォーマットに注を追加 |
| p.300 | 図14-2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L)のフォーマットの注意3を変更 |
| p.314 | 図15-1 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマットに $f_{XP} = 12$ MHz時の発振安定時間のステータスを追加 |
| p.316 | 図15-2 発振安定時間選択レジスタ(OSTS)のフォーマットに $f_{XP} = 12$ MHz時の発振安定時間を追加, 注意1と2を追加 |

| 箇所 | 内容 |
|-------|---|
| p.326 | 図16 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミングを変更 |
| p.326 | 図16 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミングを変更 |
| p.327 | 図16 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミングを変更 |
| p.342 | 19. 1 低電圧検出回路の機能の注を変更 |
| p.345 | 図19 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットに注3と4を追加 |
| p.388 | 第23章 電気的特性 (標準品, (A) 水準品) (拡張規格品) を追加 |
| p.408 | 第24章 電気的特性 (標準品, (A) 水準品) (従来規格品) |
| p.410 | ・対象製品の説明を変更 ・X1発振回路特性に注意2を追加 |
| p.427 | 第25章 電気的特性 ((A1) 水準品) |
| p.430 | ・X1発振回路特性に注意2を追加 ・DC特性に電源電流 (I_{DD4}) Ring-OSC, HALTモード時の数値を追加 |
| p.440 | 第26章 電気的特性 ((A2) 水準品) |
| p.442 | ・X1発振回路特性に注意2を追加 ・DC特性に電源電流 (I_{DD4}) Ring-OSC, HALTモード時の数値を追加 |
| p.458 | 図A - 1 開発ツール構成に (3) インサーキット・エミュレータ QB-78K0KX1Hを使用する場合を追加 |
| p.463 | A. 5. 3 インサーキット・エミュレータ QB-78K0KX1Hを使用する場合を追加 |
| p.467 | B. 2 QB-78K0KX1Hを使用する場合を追加 |
| p.474 | 付録D 注意事項一覧を追加 |

E.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/9)

| 版 数 | 内 容 | 適用箇所 |
|--------------|---|--|
| 第2版 | X1入力クロックの発振安定時間 $2^{12}/f_x, 2^{14}/f_x, 2^{15}/f_x, 2^{16}/f_x, 2^{17}/f_x, 2^{11}/f_x, 2^{13}/f_x, 2^{14}/f_x, 2^{15}/f_x, 2^{16}/f_x$ | 全般 |
| | 図4 - 5 P10のブロック図を変更 | 第4章 ポート機能 |
| | 表4 - 3 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定を変更 | |
| | 図5 - 6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマットを変更 | 第5章 クロック発生回路 |
| | 図5 - 7 発振安定時間選択レジスタ (OSTS) のフォーマットを変更 | |
| | 5.7 クロック切り替えのフロー・チャートとレジスタ設定を追加 | |
| | 12.1 シリアル・インタフェースUART6の機能に備考を追加 | 第12章 シリアル・インタフェース UART0 (μ PD780102, 780103, 78F0103のみ) |
| | 表14 - 1 割り込み要因一覧にリセットを追加 | 第14章 割り込み機能 |
| | 図15 - 2 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマットを変更 | 第15章 スタンバイ機能 |
| | 図15 - 4 発振安定時間選択レジスタ (OSTS) のフォーマットを変更 | |
| | 第25章 リトライを追加 | 第25章 リトライ |
| 第2版 (修正版) | 表3 - 5 特殊機能レジスタ一覧の次のレジスタのリセット値を変更 ・シリアルI/Oシフト・レジスタ10 (SIO10) | 第3章 CPUアーキテクチャ |
| | 表3 - 5 特殊機能レジスタ一覧の次のレジスタの操作可能ビット範囲を変更 ・発振安定時間カウンタ状態レジスタ (OSTC) ・割り込み要求フラグ・レジスタ1L (IF1L) ・割り込みマスク・フラグ・レジスタ1L (MK1L) ・優先順位指定フラグ・レジスタ1L (PR1L) | |
| | 5.3 (5) 発振安定時間カウンタ状態レジスタ (OSTC) の操作可能ビット範囲 を変更 | 第5章 クロック発生回路 |
| | 図5 - 11 状態遷移図を変更 | |
| | 表5 - 3 各動作状態における動作クロックの関係を変更 | |
| | 表5 - 4 発振制御フラグと各クロックの発振状態を変更 | |
| | 表5 - 6 クロックとレジスタの設定を変更 | |
| | 6.2 (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000)と(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)のリセット値を変更 | 第6章 16ビット・タイマ/イ ベント・カウンタ00 |
| | 6.2 (4) プリスケアラ・モード・レジスタ00の操作可能ビット範囲を変更 | |
| | 9.4.2 マスク・オプションで「Ring-OSCはソフトウェアにより停止可能」を 選択した場合のウォッチドッグ・タイマ動作の注意文を変更 | 第9章 ウォッチドッグ・タイ マ |
| | 9.4.3 STOPモード時の動作(マスク・オプションで「Ring-OSCはソフトウ エアにより停止可能」を選択した場合を変更 | |
| | 9.4.4 HALTモード時の動作(マスク・オプションで「Ring-OSCはソフトウ エアにより停止可能」を選択した場合を追加 | |
| | 10.6 A/Dコンバータの注意事項の(11)A/Dコンバータのサンプリング時間と A/D変換開始遅延時間についてを追加 | 第10章 A/Dコンバータ |
| | 13.2 (2) シリアルI/Oシフト・レジスタ10 (SIO10) のリセット値を変更 | 第13章 シリアル・インタフ ェースCSIO |

| 版 数 | 内 容 | 適用箇所 |
|--|--|---------------------------|
| 第2版 (修正版) | 15. 1. 2 (1) 発振安定時間カウンタ状態レジスタ (OSTC) の操作可能ビット範囲を変更 | 第15章 スタンバイ機能 |
| | 表15 - 2 HALTモード時の動作状態のA/Dコンバータの項目を変更 | |
| | 18. 4 パワーオン・クリア回路の注意事項を追加 | 第18章 パワーオン・クリア機能 |
| | 図19 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットを変更 | 第19章 低電圧検出回路 |
| | 19. 5 低電圧検出回路の注意事項を追加 | |
| | 第23章 電気的特性 (ターゲット) のうち、次の内容を変更 <ul style="list-style-type: none"> ・絶対最大定格 ・X1発振回路特性 ・DC特性 ・A/Dコンバータ特性 ・POC回路特性 ・LVI回路特性 ・データ・メモリSTOPモード低電源電圧データ保持特性 (データ保持電源電流を削除) ・Ring-OSC特性を削除 ・フラッシュ・メモリ・プログラミング特性 | 第23章 電気的特性 (ターゲット) |
| 第25章 リトライを第25章 ウェイトに関する注意事項に変更 | 第25章 ウェイトに関する注意事項 | |
| 第3版 | 製品の削除 <ul style="list-style-type: none"> ・μ PD780101(A2), 780102(A2), 780103(A2) ・μ PD78F0103M3MC(A1)-5A4, 78F0103M4MC(A1)-5A4 | 全般 |
| | (A1) 品の電源電圧範囲と (A1) 品のフラッシュ・メモリ製品の動作周囲温度を変更 | |
| | A/D変換結果レジスタ (ADCR) のリセット値を変更 (0000H 不定) | |
| | 1. 6 78K0/K1シリーズの展開を更新 | 第1章 概説 |
| | 図3 - 12 スタック・メモリへ退避されるデータを変更 | 第3章 CPUアーキテクチャ |
| | 図3 - 13 スタック・メモリから復帰されるデータを変更 | |
| | 3. 4. 4 ショート・ダイレクト・アドレッシングの【記述例】を変更 | |
| | 3. 4. 7 ベースト・アドレッシング, 3. 4. 8 ベースト・インデクスト・アドレッシング, 3. 4. 9 スタック・アドレッシングに【図 解】を追加 | |
| | 図4 - 10 P20-P23のブロック図を変更 | 第4章 ポート機能 |
| | 図4 - 13 P130のブロック図に備考を追加 | |
| | 図5 - 2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマットに条件 (MCM0の設定値) を追加 | 第5章 クロック発生回路 |
| | 5. 5 クロック発生回路の動作の説明を一部変更 | |
| | 5. 7 システム・クロックとCPUクロックの設定の変更を追加 | |
| | 図6 - 1 16ビット・タイマ/イベント・カウンタ00のブロック図を変更 | 第6章 16ビット・タイマ/イベント・カウンタ00 |
| | 6. 2 (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) の注意1, 2を変更, (3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) の注意1を変更 | |
| | 図6 - 5 プリスケアラ・モード・レジスタ00 (PRM00) のフォーマットに注意1を追加 | |
| | 図6 - 8 インターバル・タイマの構成図に注を追加 | |
| 図6 - 10 PPG出力動作時制御レジスタ設定内容の注意1を変更 | | |
| 図6 - 11 PPG出力の構成図と図6 - 12 PPG出力動作のタイミングを追加 | | |

| 版 数 | 内 容 | 適用箇所 |
|---|---|-----------------------------|
| 第3版 | 図6 - 15 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時), 図6 - 18 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時), 図6 - 20 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) に注を追加 | 第6章 16ビット・タイマ / イベント・カウンタ00 |
| | 図6 - 24 外部イベント・カウンタの構成図を変更 | |
| | 6.4.6 ワンショット・パルス出力としての動作を追加 | |
| | 図6 - 34 キャプチャ・レジスタのデータ保持タイミングを変更 | |
| | 6.5(4) キャプチャ・レジスタのデータ保持タイミングに の説明を追加 | |
| | 旧版の6.5(8) 競合動作についてを削除 | |
| | 図7 - 1 8ビット・タイマ/イベント・カウンタ50のブロック図を変更 | 第7章 8ビット・タイマ / イベント・カウンタ50 |
| | 図7 - 2 タイマ・クロック選択レジスタ50 (TCL50) のフォーマットに注意1を追加 | |
| | 図7 - 3 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマットの旧版の注意1を削除, 注意2を変更 | |
| | 図7 - 8 PWM出力の動作タイミングに備考を追加 | |
| | 8.1 8ビット・タイマH0, H1の機能に方形波出力を追加, PWMパルス・ジェネレータ・モードをPWM出力に変更 | 第8章 8ビット・タイマH0, H1 |
| | 図8 - 1 8ビット・タイマH0のブロック図を変更 | |
| | 図8 - 2 8ビット・タイマH1のブロック図を変更 | |
| | 図8 - 3 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマットに注と注意1を追加 | |
| | 図8 - 5 ポート・モード・レジスタ1 (PM1) のフォーマットを追加 | |
| | 旧版の8.4.1 インターバル・タイマとしての動作を8.4.1 インターバル・タイマ/方形波出力としての動作に変更 | |
| | 図8 - 7 インターバル・タイマ/方形波出力動作のタイミングの(a)基本動作を変更 | |
| | 8.4.2(1) 使用方法のデューティ比の説明を変更 | 第10章 A/Dコンバータ |
| | 10.2(2) A/D変換レジスタ (ADCR) に説明を追加, (3) サンプル&ホールド回路と(4) 電圧コンパレータの説明を変更, (6) ANI0-ANI3端子の注意2を一部変更 | |
| 図10 - 4 A/Dコンバータ・モード・レジスタ (ADM) のフォーマットの注1を変更 | | |
| 図10 - 6 アナログ入力チャネル指定レジスタ (ADS) のフォーマットを変更 | | |
| 10.3(3) パワーフェイル比較モード・レジスタ (PFM) に説明を追加, 図10 - 7 パワーフェイル比較モード・レジスタ (PFM) のフォーマットを変更 | | |
| 10.4.2 入力電圧と変換結果の数式を変更 | | |
| 10.6(5) ANI0/P20-ANI3/P23の説明を一部変更 | | |
| 10.6(9) A/D変換スタート直後の変換結果についてに説明を追加 | | |
| 11.1 シリアル・インタフェースUART0の機能の注意3を変更 | 第11章 シリアル・インタフェースUART0 (μPD780102, 780103, 78F0103のみ) | |
| 図11 - 1 シリアル・インタフェースUART0のブロック図を変更 | | |
| 図11 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット, 11.4.2(a) アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) の注3を変更 | | |
| 図11 - 4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット, 11.4.3(2) (a) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) に注と注意1を追加 | | |

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| 第3版 | 図11-5 ポート・モード・レジスタ1 (PM1) のフォーマット, 11.4.2(2) (c) ポート・モード・レジスタ1 (PM1) を追加 | 第11章 シリアル・インタフェースUART0 (μ PD780102, 780103, 78F0103のみ) |
| | 図11-11 ボー・レート・ジェネレータの構成を変更 | |
| | 11.4.3(4) 受信時の許容ボー・レート範囲, 12.4.3(4) 受信時の許容ボー・レート範囲に出てくる語句を次のように変更 転送レート データ・フレーム長 | |
| | 表11-4 許容最大/最小ボー・レート誤差の備考1を変更 | |
| | 図12-4 入力切り替え制御レジスタ (ISC) を追加 | 第12章 シリアル・インタフェースUART6 |
| | 図12-5 シリアル・インタフェースUART6のブロック図を変更 | |
| | 図12-9 クロック選択レジスタ6 (CKSR6) のフォーマット, 12.4.3(2) (a) クロック選択レジスタ6 (CKSR6) に注と注意1を追加 | |
| | 図12-11 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット, 12.4.2(1) (d) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) を変更 | |
| | 図12-12 ポート・モード・レジスタ1 (PM1) のフォーマット, 12.4.2(1) (e) ポート・モード・レジスタ1 (PM1) を追加 | |
| | 12.4.2(2) (h) SBF送信の説明を変更, 図12-22 SBF送信の設定手順例(フロー・チャート) を追加 | |
| | 図12-25 ボー・レート・ジェネレータの構成を変更 | |
| | 図13-1 シリアル・インタフェースCSI10のブロック図を変更 | 第13章 シリアル・インタフェースCSI10 |
| | 図13-4 ポート・モード・レジスタ1 (PM1) のフォーマット, 13.4.2(1) (c) ポート・モード・レジスタ1 (PM1) を追加 | |
| | 図14-1 割り込み機能の基本構成の (C) ソフトウェア割り込みを変更 | 第14章 割り込み機能 |
| | 表14-2 割り込み要求ソースに対応する各種フラグに注4を追加 | |
| | 図14-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマットの旧版の注意1を削除 | |
| | 表14-3 EGPnとEGNnに対応するポートを追加 | |
| | 表14-5 割り込み処理中に多重割り込み可能な割り込み要求にソフトウェア割り込み要求の項目を追加 | |
| | 表15-1 HALTモードとSTOPモードとクロックの関係を変更 | 第15章 スタンバイ機能 |
| | 表15-2 HALTモード時の動作状態, 表15-4 STOPモード時の動作状態のうち, 次の項目を変更 ・システム・クロック ・16ビット・タイマ/イベント・カウンタ00 (表15-2のみ) ・8ビット・タイマH0 ・ウォッチドッグ・タイマ ・シリアル・インタフェースUART0 ・シリアル・インタフェースUART6 | |
| 図16-1 リセット機能のブロック図を変更 | | |
| 図17-3 クロック・モニタのタイミングの (4) と (5) に説明を追加 | | |
| 18.1 パワーオン・クリア回路の機能の説明に注を追加 | 第18章 パワーオン・クリア回路 | |
| 図18-1 パワーオン・クリア回路のブロック図を変更 | | |
| 19.1 低電圧検出回路の機能の説明に注を追加 | 第19章 低電圧検出回路 | |
| 図19-1 低電圧検出回路のブロック図を変更 | | |
| 図19-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットに注2を追加 | | |

| 版 数 | 内 容 | 適用箇所 |
|-------------------------|---|----------------------|
| 第3版 | 図19-7 LVI割り込みのソフト処理例を変更 | 第19章 低電圧検出回路 |
| | 第20章 マスク・オプションの説明に注を追加 | 第20章 マスク・オプション |
| | 第21章 μ PD78F0103を改訂(21.1 メモリ・サイズ切り替えレジスタは変更なし) | 第21章 μ PD78F0103 |
| | 第23章 電気的特性を改訂 | 第23章 電気的特性 |
| | 第25章 半田付け推奨条件を追加 | 第25章 半田付け推奨条件 |
| | A.3 制御ソフトウェアを追加 | 付録A 開発ツール |
| | A.5 デバッグ用ツール(ハードウェア)から旧版記載の「NP-36GS」と「NGS-30」を削除, インサーキット・エミュレータ「IE-78K0K1-ET」を追加 | |
| | A.7 組み込み用ソフトウェアのRX78K0のオーダ名称変更 | |
| 付録B ターゲット・システム設計上の注意を追加 | 付録B ターゲット・システム設計上の注意 | |
| 第4版 | 製品の追加 μ PD780101(A2), 780102(A2), 780103(A2) | 全般 |
| | 次の特殊機能レジスタ(SFR)の名称を変更 ・ポート0-3, 12, 13 ポート・レジスタ0-3, 12, 13 | |
| | 1.4 端子接続図(Top View)に注意3を追加 | 第1章 概説 |
| | 1.5 K1ファミリの展開を変更 | |
| | 1.7 機能概要のタイマの概要を変更 | |
| | 表2-1 各端子の入出力バッファ電源を追加 | 第2章 端子機能 |
| | 表4-1 各端子の入出力バッファ電源を追加 | 第4章 ポート機能 |
| | 表4-3 ポートの構成を変更 | |
| | 4.3 ポート機能を制御するレジスタから入力切り替え制御レジスタ(ISC)を削除, ポート・レジスタ(P0-P3, P12, P13)を追加 | |
| | 図5-1 クロック発生回路のブロック図を変更 | 第5章 クロック発生回路 |
| | 図5-6 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマットに注意2, 3を追加 | |
| | 図5-8 X1発振回路の外付け回路, 図5-9 発振子の接続の悪い例を変更 | |
| | 図5-12 Ring-OSCクロックからX1入力クロックへの切り替え(フロー・チャート)の注を変更 | |
| | 次の図を追加 ・図6-2 16ビット・タイマ・カウンタ00(TM00)のフォーマット ・図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000(CR000)のフォーマット ・図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010(CR010)のフォーマット | |
| | 次の表を変更 ・表6-2 CR000のキャプチャ・トリガとTI000端子とTI010端子の有効エッジ ・表6-3 CR010のキャプチャ・トリガとTI000端子の有効エッジ(CRC002 = 1) | |
| | 6.2(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010(CR010)の注意1を変更 | |
| | 図6-6 キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のフォーマットに注意3を追加 | |

| 版 数 | 内 容 | 適用箇所 |
|--|--|-----------------------------|
| 第4版 | 図6-7 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマットの注意5に説明追加, 注意6を追加 | 第6章 16ビット・タイマ / イベント・カウンタ00 |
| | 次の項に, レジスタの設定方法を追加 | |
| | ・6.4.1 インターバル・タイマとしての動作 | |
| | ・6.4.2 PPG出力としての動作 | |
| | ・6.4.3 パルス幅測定としての動作 | |
| | ・6.4.4 外部イベント・カウンタとしての動作 | |
| | ・6.4.5 方形波出力としての動作 | |
| | ・6.4.6 ワンショット・パルス出力としての動作 | |
| | 次の図に, プリスケーラ・モード・レジスタ00 (PRM00) の設定内容を追加 | 第7章 8ビット・タイマ / イベント・カウンタ50 |
| | ・図6-10 インターバル・タイマ動作時の制御レジスタ設定内容 | |
| ・図6-13 PPG出力動作時の制御レジスタ設定内容 | | |
| ・図6-17 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 (TI000とCR010を使用した場合) | | |
| ・図6-20 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 | | |
| ・図6-22 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時) | | |
| ・図6-24 リスタートによるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時) | | |
| ・図6-26 外部イベント・カウンタ・モード時の制御レジスタ設定内容 (立ち上がりエッジ指定時) | | |
| ・図6-29 方形波出力モード時の制御レジスタ設定内容 | | |
| ・図6-31 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 | | |
| ・図6-33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 (立ち上がりエッジ指定時) | | |
| 次の図を変更 | 第8章 8ビット・タイマH0, H1 | |
| ・図6-12 インターバル・タイマ動作のタイミング | | |
| ・図6-15 PPG出力動作のタイミング | | |
| ・図6-34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) | | |
| 次の図を追加 | 第10章 A/Dコンバータ | |
| ・図7-2 8ビット・タイマ・カウンタ50 (TM50) のフォーマット | | |
| ・図7-3 8ビット・タイマ・コンペア・レジスタ50 (CR50) のフォーマット | | |
| 図7-7 インターバル・タイマ動作のタイミングを変更 | | |
| 7.4.3 方形波出力としての動作の周波数の説明を変更 | | |
| 7.4.4(1) PWM出力の基本動作に周期, アクティブ・レベル幅, デューティの説明を追加 | | |
| 図8-11 PWM出力モード動作のタイミングを変更 | 第10章 A/Dコンバータ | |
| 図10-1 A/Dコンバータのブロック図を変更 | | |
| 10.2 A/Dコンバータの構成の説明を一部変更 | | |
| A/D変換結果レジスタ (ADCR) の説明を, 10.3 A/Dコンバータで使用するレジスタに移動 | | |

| 版 数 | 内 容 | 適用箇所 |
|--|--|--|
| 第4版 | 10. 4. 1 A/Dコンバータの基本動作の説明を一部変更 | 第10章 A/Dコンバータ |
| | 10. 4. 2 入力電圧と変換結果に逐次変換レジスタ (SAR) の記述を追加 | |
| | 10. 4. 3 A/Dコンバータの動作モードの「パワーフェイル機能として使用する 場合」の注意3を変更 | |
| | 図10 - 21 A/DコンバータのサンプリングとA/D変換開始遅延のタイミングを 変更 | |
| | 10. 6 A/Dコンバータの注意事項に (12) 内部等価回路についてを追加 | |
| | 図11 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマットの注意1, 2, 4を変更, 注2と注意3を追加 | 第11章 シリアル・インタフ ェースUART0 (μPD780102, 780103, 78F0103のみ) |
| | 11. 4. 1 動作停止モードの説明を変更 | |
| | 11. 4. 2 アシクロナス・シリアル・インタフェース (UART) モードの (1) 使用するレジスタの説明を変更 | |
| | 表11 - 3 受信エラーの要因を変更 | |
| | 次の図を変更 ・ 図12 - 1 LINの送信操作 ・ 図12 - 2 LINの受信操作 ・ 図12 - 3 LINの受信操作のポート構成図 ・ 図12 - 4 シリアル・インタフェースUART6のブロック図 | 第12章 シリアル・インタフ ェースUART6 |
| | 図12 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマットの注意1, 2を変更, 注2と注意3を追加 | |
| | 入力切り替え制御レジスタ (ISC) を12. 3 シリアル・インタフェースUART6 を制御するレジスタに移動 | |
| | 12. 4. 1 動作停止モードの説明を変更 | |
| | 12. 4. 2 アシクロナス・シリアル・インタフェース (UART) モードの (1) 使用するレジスタの説明を変更 | |
| | 12. 4. 2 (2) (d) 連続送信の説明を変更 | |
| | 表12 - 3 受信エラーの要因を変更 | |
| | 図13 - 1 シリアル・インタフェースCSI10のブロック図を変更 | 第13章 シリアル・インタフ ェースCSI10 |
| | 図13 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマットの注2, 3を追加 | |
| | 図13 - 3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマットの注 意2を変更, 注意3を追加 | |
| | 13. 4. 1 動作停止モードの説明を変更 | |
| 13. 4. 2 3線式シリアルI/Oモードの (1) 使用するレジスタの説明を変更 | | |
| 13. 4. 2 3線式シリアルI/Oモードに (5) SO10出力についてを追加 | 第14章 割り込み機能 | |
| 図14 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット に注意3を追加 | | |
| 旧版の表15 - 1 HALTモードとSTOPモードとクロックの関係を表15 1 各 動作状態における動作クロックの関係に変更 | 第15章 スタンバイ機能 | |
| 図15 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマットに注意 2, 3を追加 | | |
| 表15 - 2 HALTモード時の動作状態を変更 | | |

| 版 数 | 内 容 | 適用箇所 |
|-----|---|----------------------|
| 第4版 | 次の図を変更 ・図16 - 1 リセット機能のブロック図 ・図16 - 2 RESET入力によるリセット・タイミング ・図16 - 3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ・図16 - 4 STOPモード中のRESET入力によるリセット・タイミング | 第16章 リセット機能 |
| | 図17 - 1 クロック・モニタのブロック図を変更 | 第17章 クロック・モニタ |
| | 表17 - 2 クロック・モニタの動作状態 (CLME = 1設定時) に通常動作モードを追加 | |
| | 図17 - 3 クロック・モニタのタイミングに(6)ソフトウェアによるX1入力クロック発振停止後のクロック・モニタの状態と(7)ソフトウェアによるRing-OSCクロック発振停止後のクロック・モニタの状態を追加 | |
| | 図18 - 1 パワーオン・クリア回路のブロック図を変更 | 第18章 パワーオン・クリア回路 |
| | 図19 - 1 低電圧検出回路のブロック図を変更 | 第19章 低電圧検出回路 |
| | 図19 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットに注意を追加 | |
| | 図19 - 4 低電圧検出回路の内部リセット信号発生のタイミング, 図19 - 5 低電圧検出回路の割り込み信号発生のタイミングを変更 | |
| | 19. 5 低電圧検出回路の注意事項の<処置> (2) 割り込みとして使用する場合の説明を一部変更 | |
| | 表21 - 3 μ PD78F0103と専用フラッシュ・ライタの配線表に注2を追加 | 第21章 μ PD78F0103 |
| | 図21 - 7 フラッシュ・メモリにプログラムを書き込むための環境に注を追加 | |
| | 次の図を変更 ・図21 - 8 専用フラッシュ・ライタとの通信 (CSI10) ・図21 - 9 専用フラッシュ・ライタとの通信 (CSI10 + HS) ・図21 - 10 専用フラッシュ・ライタとの通信 (UART0) ・図21 - 11 専用フラッシュ・ライタとの通信 (UART0 + HS) ・図21 - 12 専用フラッシュ・ライタとの通信 (UART6) | |
| | 21. 5. 2 (2) ほかのデバイスの異常動作の説明を一部変更 | |
| | 21. 5. 4 ポート端子の説明を変更 | |
| | 21. 5. 6 電 源の注意を一部変更 | |
| | 次の内容を変更 ・DC特性 ロウ・レベル入力リーク電流, ハイ・レベル入力リーク電流のX2の注2を変更 ・POC回路特性の注1, 2を追加 ・LVI回路特性の注1を変更 ・データ・メモリSTOPモード低電源電圧データ保持特性 データ保持電源電圧の条件と注を追加 | |

| 版 数 | 内 容 | 適用箇所 |
|-----|--|---------------------|
| 第4版 | 次の内容を変更 ・ DC特性 ロー・レベル入力リーク電流，ハイ・レベル入力リーク電流のX2の注2を変更 ・ A/Dコンバータ特性 総合誤差と変換時間を変更 ・ POC回路特性の注2を追加 ・ LVI回路特性の注2を変更 ・ データ・メモリSTOPモード低電源電圧データ保持特性 データ保持電源電圧の条件と注2を追加 | 第24章 電気的特性（（A1）水準品） |
| | 章を追加 | 第25章 電気的特性（（A2）水準品） |
| | 表27 - 1 表面実装タイプの半田付け条件を変更 | 第27章 半田付け推奨条件 |

〔メモ〕

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
