

# 78K0/Dx2

## ユーザーズマニュアル ハードウェア編

### ルネサスマイクロコンピュータ

#### 78K0 シリーズ

78K0/DE2:  $\mu$ PD78F0836(A)  $\mu$ PD78F0844(A)  
 $\mu$ PD78F0836(A2)  $\mu$ PD78F0844(A2)  
 $\mu$ PD78F0837(A)  $\mu$ PD78F0845(A)  
 $\mu$ PD78F0837(A2)  $\mu$ PD78F0845(A2)

78K0/DF2:  $\mu$ PD78F0838(A)  $\mu$ PD78F0842(A)  $\mu$ PD78F0848(A)  
 $\mu$ PD78F0838(A2)  $\mu$ PD78F0842(A2)  $\mu$ PD78F0848(A2)  
 $\mu$ PD78F0839(A)  $\mu$ PD78F0843(A)  $\mu$ PD78F0849(A)  
 $\mu$ PD78F0839(A2)  $\mu$ PD78F0843(A2)  $\mu$ PD78F0849(A2)  
 $\mu$ PD78F0840(A)  $\mu$ PD78F0846(A)  
 $\mu$ PD78F0840(A2)  $\mu$ PD78F0846(A2)  
 $\mu$ PD78F0841(A)  $\mu$ PD78F0847(A)  
 $\mu$ PD78F0841(A2)  $\mu$ PD78F0847(A2)

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入りに何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作のちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、ルネサス エレクトロニクス株式会社の商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash<sup>®</sup>を使用しています。

# はじめに

**対象者** このマニュアルは78K0/Dx2の従来規格品の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ 78K0/DE2 :  $\mu$  PD78F0836(A), 78F0837(A), 78F0844(A), 78F0845(A), 78F0836(A2), 78F0837(A2), 78F0844(A2), 78F0845(A2)
- ・ 78K0/DF2 :  $\mu$  PD78F0838(A), 78F0839(A), 78F0840(A), 78F0841(A), 78F0842(A), 78F0843(A), 78F0846(A), 78F0847(A), 78F0848(A), 78F0849(A), 78F0838(A2), 78F0839(A2), 78F0840(A2), 78F0841(A2), 78F0842(A2), 78F0843(A2), 78F0846(A2), 78F0847(A2), 78F0848(A2), 78F0849(A2)

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成** 78K0/Dx2のマニュアルは、このマニュアルと命令編（78K0シリーズ共通）の2冊に分かれています。

78K0/Dx2 ユーザーズ・マニュアル	78K0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

(A) 水準品または (A2) 水準品のマニュアルとしてお使いになる方へ

(A) 水準品と (A2) 水準品は品質水準のみが異なります。(A) 水準品、(A2) 水準品については品名を次のように読み替えてください。

- ・  $\mu$  PD78F0836      $\mu$  PD78F0836(A), 78F0836(A2)
- ・  $\mu$  PD78F0837      $\mu$  PD78F0837(A), 78F0837(A2)
- ・  $\mu$  PD78F0838      $\mu$  PD78F0838(A), 78F0838(A2)
- ・  $\mu$  PD78F0839      $\mu$  PD78F0839(A), 78F0839(A2)
- ・  $\mu$  PD78F0840      $\mu$  PD78F0840(A), 78F0840(A2)
- ・  $\mu$  PD78F0841      $\mu$  PD78F0841(A), 78F0841(A2)
- ・  $\mu$  PD78F0842      $\mu$  PD78F0842(A), 78F0842(A2)
- ・  $\mu$  PD78F0843      $\mu$  PD78F0843(A), 78F0843(A2)
- ・  $\mu$  PD78F0844      $\mu$  PD78F0844(A), 78F0844(A2)
- ・  $\mu$  PD78F0845      $\mu$  PD78F0845(A), 78F0845(A2)
- ・  $\mu$  PD78F0846      $\mu$  PD78F0846(A), 78F0846(A2)
- ・  $\mu$  PD78F0847      $\mu$  PD78F0847(A), 78F0847(A2)
- ・  $\mu$  PD78F0848      $\mu$  PD78F0848(A), 78F0848(A2)
- ・  $\mu$  PD78F0849      $\mu$  PD78F0849(A), 78F0849(A2)

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。  
この " "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に  
検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラ  
ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $\text{xxx}$ または $\text{xxx}$ B
		10進数... $\text{xxx}$
		16進数... $\text{xxx}$ H

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめ  
ご了承ください。

#### デバイスの関連資料

資料名	資料番号		
	和 文	英 文	
78K0/Dx2 ユーザーズ・マニュアル	このマニュアル	R01UH0009E	
78K0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E	
QB-Programmer プログラミングGUI	操作編	U18527J	U18527E

#### 開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和 文	英 文
QB-78K0DX2 インサーキット・エミュレータ	U19952J	U19952E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

#### フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U18865J	U18865E

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用くださ  
い。

## 開発ツール（ソフトウェア）の資料

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザーズ・マニュアル <sup>注1</sup>	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） <sup>注1</sup>	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 Cコンパイラ ユーザーズ・マニュアル <sup>注2</sup>	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） <sup>注2</sup>	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
SM+ システム・シミュレータ ユーザーズ・マニュアル	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0-QB Ver.2.94 統合デバッグ ユーザーズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッグ ユーザーズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 <sup>注3</sup> ユーザーズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 <sup>注4</sup> ユーザーズ・マニュアル	U18416J	U18416E	

- 注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。  
「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザーズ・マニュアルを参照してください。
2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。  
「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザーズ・マニュアルを参照してください。
3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。
4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッグ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

## その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

## 第1章 概 説 ... 18

- 1.1 特 徴 ... 18
- 1.2 応用分野 ... 19
- 1.3 オーダ情報 ... 20
- 1.4 端子接続図 ( Top View ) ... 21
- 1.5 ブロック図 ... 26
- 1.6 機能概要 ... 30

## 第2章 端子機能 ... 39

- 2.1 端子機能一覧 ... 39
- 2.2 端子機能の説明 ... 52
  - 2.2.1 P00-P07 ( Port 0 ) ... 52
  - 2.2.2 P10-P17 ( Port 1 ) ... 53
  - 2.2.3 P20-P27 ( Port 2 ) ... 54
  - 2.2.4 P30-P37 ( Port 3 ) ... 55
  - 2.2.5 P60, P61 ( Port 6 ) ... 56
  - 2.2.6 P70-P77 ( Port 7 ) ... 57
  - 2.2.7 P80-P87 ( Port 8 ) ... 59
  - 2.2.8 P90-P97 ( Port 9 ) ( 78K0/DF2のみ ) ... 60
  - 2.2.9 P120-P124 ( Port 12 ) ... 61
  - 2.2.10 AVREF ... 62
  - 2.2.11 AVSS ... 62
  - 2.2.12  $\overline{\text{RESET}}$  ... 62
  - 2.2.13 REGC ... 62
  - 2.2.14 VDD/EVDD ... 62
  - 2.2.15 VSS/EVSS ... 62
  - 2.2.16 FLMD0 ... 62
  - 2.2.17 SEG0-SEG3 ... 62
  - 2.2.18 COM0-COM3 ... 62
  - 2.2.19 SMVDD ... 63
  - 2.2.20 SMVSS ... 63
- 2.3 端子の入出力回路と未使用端子の処理 ... 64

## 第3章 CPUアーキテクチャ ... 77

- 3.1 メモリ空間 ... 77
  - 3.1.1 内部プログラム・メモリ空間 ... 83
  - 3.1.2 内部データ・メモリ空間 ... 85
  - 3.1.3 特殊機能レジスタ ( SFR : Special Function Register ) 領域 ... 85
  - 3.1.4 拡張機能レジスタ ( EFR : Extended Function Register ) 領域 ... 86
  - 3.1.5 データ・メモリ・アドレッシング ... 86
- 3.2 プロセッサ・レジスタ ... 91
  - 3.2.1 制御レジスタ ... 91

3.2.2	汎用レジスタ	...	95
3.2.3	特殊機能レジスタ (SFR : Special Function Register)	...	96
3.2.4	拡張機能レジスタ (EFR : Extended Function Register)	...	103
3.3	命令アドレスのアドレッシング	...	106
3.3.1	レラティブ・アドレッシング	...	106
3.3.2	イミディエト・アドレッシング	...	107
3.3.3	テーブル・インダイレクト・アドレッシング	...	108
3.3.4	レジスタ・アドレッシング	...	108
3.4	オペランド・アドレスのアドレッシング	...	109
3.4.1	インプライド・アドレッシング	...	109
3.4.2	レジスタ・アドレッシング	...	110
3.4.3	ダイレクト・アドレッシング	...	111
3.4.4	ショート・ダイレクト・アドレッシング	...	112
3.4.5	特殊機能レジスタ (SFR) アドレッシング	...	113
3.4.6	レジスタ・インダイレクト・アドレッシング	...	114
3.4.7	ベースト・アドレッシング	...	115
3.4.8	ベースト・インデクスト・アドレッシング	...	116
3.4.9	スタック・アドレッシング	...	117

## 第4章 ポート機能 ... 118

4.1	ポートの機能	...	118
4.2	ポートの構成	...	121
4.2.1	ポート0	...	122
4.2.2	ポート1	...	123
4.2.3	ポート2	...	129
4.2.4	ポート3	...	131
4.2.5	ポート6	...	134
4.2.6	ポート7	...	135
4.2.7	ポート8	...	146
4.2.8	ポート9 (78K0/DF2のみ)	...	150
4.2.9	ポート12	...	154
4.3	ポート機能を制御するレジスタ	...	157
4.4	兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力ラッチの設定	...	167
4.5	ポート機能の動作	...	175
4.5.1	入出力ポートへの書き込み	...	175
4.5.2	入出力ポートからの読み出し	...	175
4.5.3	入出力ポートでの演算	...	175
4.6	ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項	...	176

## 第5章 クロック発生回路 ... 177

5.1	クロック発生回路の機能	...	177
5.2	クロック発生回路の構成	...	178
5.3	クロック発生回路を制御するレジスタ	...	180
5.4	システム・クロック発振回路	...	188
5.4.1	X1発振回路	...	188
5.4.2	XT1発振回路	...	188

- 5.4.3 サブシステム・クロックを使用しない場合 ... 191
- 5.4.4 高速内蔵発振回路 ... 191
- 5.4.5 低速内蔵発振回路 ... 191
- 5.4.6 プリスケーラ ... 191
- 5.5 クロック発生回路の動作 ... 192
- 5.6 クロックの制御 ... 195
  - 5.6.1 高速システム・クロックの制御例 ... 195
  - 5.6.2 高速内蔵発振クロックの制御例 ... 198
  - 5.6.3 サブシステム・クロックの制御例 ... 200
  - 5.6.4 低速内蔵発振クロックの制御例 ... 202
  - 5.6.5 CPUクロック, 周辺ハードウェア・クロックへの供給クロック ... 203
  - 5.6.6 CPUクロック状態移行図 ... 204
  - 5.6.7 CPUクロックの移行前の条件と移行後の処理 ... 209
  - 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 210
  - 5.6.9 クロック発振停止前の条件 ... 211

## 第6章 16ビット・タイマ/イベント・カウンタP (TMP) ... 212

- 6.1 概 要 ... 212
- 6.2 機 能 ... 212
- 6.3 構 成 ... 213
- 6.4 レジスタ ... 216
- 6.5 タイマ連結機能 ... 239
- 6.6 タイマ同期動作機能 ... 240
- 6.7 動 作 ... 243
  - 6.7.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000) ... 244
  - 6.7.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001) ... 254
  - 6.7.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010) ... 262
  - 6.7.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011) ... 274
  - 6.7.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100) ... 281
  - 6.7.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101) ... 290
  - 6.7.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110) ... 307
  - 6.7.8 タイマ出力動作説明 ... 313
- 6.8 注意事項 ... 314

## 第7章 8ビット・タイマ/イベント・カウンタ50, 51 ... 315

- 7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能 ... 315
- 7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成 ... 317
- 7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ ... 319
- 7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作 ... 325
  - 7.4.1 インターバル・タイマとしての動作 ... 325
  - 7.4.2 外部イベント・カウンタとしての動作 ... 327
  - 7.4.3 方形波出力としての動作 ... 328
  - 7.4.4 PWM出力としての動作 ... 329
- 7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項 ... 333

## 第8章 時計用タイマ ... 334

- 8.1 時計用タイマの機能 ... 334
- 8.2 時計用タイマの構成 ... 335
- 8.3 時計用タイマを制御するレジスタ ... 336
- 8.4 時計用タイマの動作 ... 338
  - 8.4.1 時計用タイマとしての動作 ... 338
  - 8.4.2 インターバル・タイマとしての動作 ... 338
- 8.5 時計用タイマの注意事項 ... 340

## 第9章 ウォッチドッグ・タイマ ... 341

- 9.1 ウォッチドッグ・タイマの機能 ... 341
- 9.2 ウォッチドッグ・タイマの構成 ... 341
- 9.3 ウォッチドッグ・タイマを制御するレジスタ ... 343
- 9.4 ウォッチドッグ・タイマの動作 ... 344
  - 9.4.1 ウォッチドッグ・タイマの動作制御 ... 344
  - 9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 345
  - 9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 346

## 第10章 クロック出力/ブザー出力制御回路 ... 348

- 10.1 クロック出力/ブザー出力制御回路の機能 ... 348
- 10.2 クロック出力/ブザー出力制御回路の構成 ... 349
- 10.3 クロック出力/ブザー出力制御回路を制御するレジスタ ... 349
- 10.4 クロック出力/ブザー出力制御回路の動作 ... 352
  - 10.4.1 クロック出力としての動作 ... 352
  - 10.4.2 ブザー出力としての動作 ... 352

## 第11章 A/Dコンバータ ... 353

- 11.1 A/Dコンバータの機能 ... 353
- 11.2 A/Dコンバータの構成 ... 354
- 11.3 A/Dコンバータで使用するレジスタ ... 356
- 11.4 A/Dコンバータの動作 ... 364
  - 11.4.1 A/Dコンバータの基本動作 ... 364
  - 11.4.2 入力電圧と変換結果 ... 366
  - 11.4.3 A/Dコンバータの動作モード ... 367
- 11.5 A/Dコンバータ特性表の読み方 ... 369
- 11.6 A/Dコンバータの注意事項 ... 372

## 第12章 シリアル・インタフェースUART60, UART61 ... 376

- 12.1 シリアル・インタフェースUART60, UART61の機能 ... 376
- 12.2 シリアル・インタフェースUART60, UART61の構成 ... 383
- 12.3 シリアル・インタフェースUART60, UART61を制御するレジスタ ... 387
- 12.4 シリアル・インタフェースUART60, UART61の動作 ... 408
  - 12.4.1 動作停止モード ... 408
  - 12.4.2 アシクロナス・シリアル・インタフェース (UART) モード ... 409
  - 12.4.3 専用ボー・レート・ジェネレータ ... 423

## 第13章 シリアル・インタフェースCSI10, CSI11 ... 430

- 13.1 シリアル・インタフェースCSI10, CSI11の機能 ... 430
- 13.2 シリアル・インタフェースCSI10, CSI11の構成 ... 431
- 13.3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ ... 433
- 13.4 シリアル・インタフェースCSI10, CSI11の動作 ... 440
  - 13.4.1 動作停止モード ... 440
  - 13.4.2 3線式シリアルI/Oモード ... 441

## 第14章 シリアル・インタフェースIIC0 ... 453

- 14.1 シリアル・インタフェースIIC0の機能 ... 453
- 14.2 シリアル・インタフェースIIC0の構成 ... 456
- 14.3 シリアル・インタフェースIIC0を制御するレジスタ ... 459
- 14.4 I<sup>2</sup>Cバス・モードの機能 ... 473
  - 14.4.1 端子構成 ... 473
- 14.5 I<sup>2</sup>Cバスの定義および制御方法 ... 474
  - 14.5.1 スタート・コンディション ... 474
  - 14.5.2 アドレス ... 475
  - 14.5.3 転送方向指定 ... 475
  - 14.5.4 アクノリッジ (ACK) ... 476
  - 14.5.5 ストップ・コンディション ... 477
  - 14.5.6 ウエイト ... 478
  - 14.5.7 ウエイト解除方法 ... 481
  - 14.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウエイト制御 ... 481
  - 14.5.9 アドレスの一致検出方法 ... 482
  - 14.5.10 エラーの検出 ... 482
  - 14.5.11 拡張コード ... 483
  - 14.5.12 アービトレーション ... 484
  - 14.5.13 ウエイク・アップ機能 ... 486
  - 14.5.14 通信予約 ... 486
  - 14.5.15 その他の注意事項 ... 490
  - 14.5.16 通信動作 ... 491
  - 14.5.17 I<sup>2</sup>C割り込み要求 (INTIIC0) の発生タイミング ... 499
- 14.6 タイミング・チャート ... 520

## 第15章 CANコントローラ ... 527

- 15.1 概 要 ... 527
  - 15.1.1 特 徴 ... 527
  - 15.1.2 機能概要 ... 528
  - 15.1.3 構 成 ... 529
- 15.2 CANプロトコル ... 531
  - 15.2.1 フレーム・フォーマット ... 532
  - 15.2.2 フレーム・タイプ ... 532
  - 15.2.3 データ・フレーム/リモート・フレーム ... 533
  - 15.2.4 エラー・フレーム ... 541
  - 15.2.5 オーバロード・フレーム ... 541
- 15.3 機 能 ... 542

15.3.1	バス・プライオリティの決定	...	542
15.3.2	ビット・スタッフ	...	542
15.3.3	マルチマスタ	...	542
15.3.4	マルチキャスト	...	543
15.3.5	CANスリープ・モード/CANストップ・モード機能	...	543
15.3.6	エラー制御機能	...	543
15.3.7	ポー・レート制御機能	...	549
15.4	ターゲット・システムとの接続	...	554
15.5	CANコントローラの内部レジスタ	...	555
15.5.1	CANコントローラの構成	...	555
15.5.2	レジスタ・アクセス・タイプ	...	556
15.5.3	レジスタのビット構成	...	565
15.6	ビットのセット/クリア機能	...	569
15.7	制御レジスタ	...	571
15.8	CANコントローラの初期化处理	...	606
15.8.1	CANモジュールの初期化	...	606
15.8.2	メッセージ・バッファの初期化	...	606
15.8.3	メッセージ・バッファの再定義	...	607
15.8.4	動作モードへの移行	...	609
15.8.5	CANモジュールのエラー・カウンタC0ERCのリセット	...	610
15.9	メッセージ受信	...	611
15.9.1	メッセージ受信	...	611
15.9.2	受信データの読み出し	...	612
15.9.3	受信履歴・リスト機能	...	613
15.9.4	マスク機能	...	615
15.9.5	マルチ・バッファ受信ブロック機能	...	616
15.9.6	リモート・フレーム受信	...	618
15.10	メッセージ送信	...	619
15.10.1	メッセージ送信	...	619
15.10.2	送信履歴・リスト機能	...	621
15.10.3	自動ブロック送信機能 (ABT: Automatic Block Transmission)	...	623
15.10.4	送信中断処理	...	625
15.10.5	リモート・フレーム送信	...	626
15.11	パワー・セーブ・モード	...	627
15.11.1	CANスリープ・モード	...	627
15.11.2	CANストップ・モード	...	630
15.11.3	パワー・セーブ・モード使用例	...	631
15.12	割り込み機能	...	632
15.13	診断機能と特殊動作モード	...	633
15.13.1	受信オンリー・モード	...	633
15.13.2	シングル・ショット・モード	...	634
15.13.3	セルフ・テスト・モード	...	635
15.13.4	各動作モードにおける送受信動作	...	636
15.14	タイム・スタンプ機能	...	637
15.14.1	タイム・スタンプ機能	...	637
15.15	ポー・レート設定について	...	639
15.15.1	ポー・レート設定について	...	639
15.15.2	代表的なポー・レート設定例	...	643
15.16	CANコントローラの動作	...	647

## 第16章 ステッピング・モータ・コントローラ/ドライバ ... 675

- 16.1 概要 ... 675
  - 16.1.1 ドライバの概要 ... 675
  - 16.1.2 ZPDの概要 ... 675
  - 16.1.3 ZPD入力端子 ... 676
- 16.2 ステッピング・モータ・コントローラ/ドライバを制御するレジスタ ... 678
- 16.3 動作 ... 688
  - 16.3.1 ステッピング・モータ・コントローラ/ドライバの動作 ... 688
- 16.4 タイミング ... 692
  - 16.4.1 タイマ・カウンタ ... 692
  - 16.4.2 自動PWM位相シフト ... 693

## 第17章 LCDコントローラ/ドライバ ... 694

- 17.1 LCDコントローラ/ドライバの機能 ... 694
- 17.2 LCDコントローラ/ドライバの構成 ... 697
- 17.3 LCDコントローラ/ドライバを制御するレジスタ ... 699
- 17.4 LCDコントローラ/ドライバの設定 ... 704
- 17.5 LCD表示データ・メモリ ... 705
- 17.6 コモン信号とセグメント信号 ... 707
- 17.7 表示モード ... 712
  - 17.7.1 スタティック表示例 ... 712
  - 17.7.2 3時分割表示例 ... 715
  - 17.7.3 4時分割表示例 ... 718
- 17.8 LCD駆動電圧 $V_{LC0}$ ,  $V_{LC1}$ ,  $V_{LC2}$ の供給 ... 721

## 第18章 サウンド・ジェネレータ ... 722

- 18.1 概要 ... 722
  - 18.1.1 構成 ... 723
  - 18.1.2 動作原理 ... 724
- 18.2 サウンド・ジェネレータを制御するレジスタ ... 726
- 18.3 サウンド・ジェネレータの動作 ... 730
  - 18.3.1 トーン信号の生成 ... 730
  - 18.3.2 ボリューム情報の生成 ... 732
- 18.4 サウンド・ジェネレータ応用例 ... 734
  - 18.4.1 初期化 ... 734
  - 18.4.2 サウンドの開始と停止 ... 734
  - 18.4.3 サウンド・ボリュームの変更 ... 734
  - 18.4.4 特別なサウンドの生成 ... 734

## 第19章 割り込み機能 ... 735

- 19.1 割り込み機能の種類 ... 735
- 19.2 割り込み要因と構成 ... 735
- 19.3 割り込み機能を制御するレジスタ ... 740
- 19.4 割り込み処理動作 ... 748
  - 19.4.1 マスカブル割り込み要求の受け付け動作 ... 748
  - 19.4.2 ソフトウェア割り込み要求の受け付け動作 ... 751

- 19.4.3 多重割り込み処理 ... 751
- 19.4.4 割り込み要求の保留 ... 754

## 第20章 スタンバイ機能 ... 755

- 20.1 スタンバイ機能と構成 ... 755
  - 20.1.1 スタンバイ機能 ... 755
  - 20.1.2 スタンバイ機能を制御するレジスタ ... 756
- 20.2 スタンバイ機能の動作 ... 759
  - 20.2.1 HALTモード ... 759
  - 20.2.2 STOPモード ... 765

## 第21章 リセット機能 ... 772

- 21.1 リセット要因を確認するレジスタ ... 781

## 第22章 乗除算器 ... 782

- 22.1 乗除算器の機能 ... 782
- 22.2 乗除算器の構成 ... 782
- 22.3 乗除算器を制御するレジスタ ... 786
- 22.4 乗除算器の動作 ... 787
  - 22.4.1 乗算動作 ... 787
  - 22.4.2 除算動作 ... 789

## 第23章 パワーオン・クリア回路 ... 791

- 23.1 パワーオン・クリア回路の機能 ... 791
- 23.2 パワーオン・クリア回路の構成 ... 792
- 23.3 パワーオン・クリア回路の動作 ... 792
- 23.4 パワーオン・クリア回路の注意事項 ... 795

## 第24章 低電圧検出回路 ... 797

- 24.1 低電圧検出回路の機能 ... 797
- 24.2 低電圧検出回路の構成 ... 798
- 24.3 低電圧検出回路を制御するレジスタ ... 798
- 24.4 低電圧検出回路の動作 ... 801
  - 24.4.1 リセットとして使用時の設定 ... 802
  - 24.4.2 割り込みとして使用時の設定 ... 807
- 24.5 低電圧検出回路の注意事項 ... 812

## 第25章 オプション・バイト ... 815

- 25.1 オプション・バイトの機能 ... 815
- 25.2 オプション・バイトのフォーマット ... 816

## 第26章 フラッシュ・メモリ ... 820

- 26.1 メモリ・サイズ切り替えレジスタ ... 820

26.2	内部拡張RAMサイズ切り替えレジスタ	...	821
26.3	フラッシュ・メモリ・プログラマによる書き込み方法	...	822
26.4	プログラミング環境	...	825
26.5	通信方式	...	825
26.6	オンボード上の端子処理	...	827
26.6.1	FLMD0端子	...	827
26.6.2	シリアル・インタフェース端子	...	827
26.6.3	RESET端子	...	829
26.6.4	ポート端子	...	829
26.6.5	REGC端子	...	829
26.6.6	その他の信号端子	...	830
26.6.7	電源	...	830
26.7	プログラミング方法	...	831
26.7.1	フラッシュ・メモリ制御	...	831
26.7.2	フラッシュ・メモリ・プログラミング・モード	...	831
26.7.3	通信方式の選択	...	832
26.7.4	通信コマンド	...	833
26.8	セキュリティ設定	...	834
26.9	PG-FP5使用時の各コマンド処理時間(参考値)	...	836
26.10	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	837
26.11	ブート・スワップ機能	...	845
26.12	書き込み済み品発注用ROMコードの作成方法	...	847
26.12.1	ROMコードの発注手順	...	847

## 第27章 オンチップ・デバッグ機能 ... 848

27.1	機能概要	...	848
27.2	QB-MINI2との接続	...	849
27.3	接続回路例	...	850
27.4	QB-MINI2が使用する予約領域	...	852
27.5	オンチップ・デバッグ・セキュリティID	...	853
27.6	オンチップ・デバッグ時の制限事項および注意事項	...	854

## 第28章 命令セットの概要 ... 855

28.1	凡例	...	856
28.1.1	オペランドの表現形式と記述方法	...	856
28.1.2	オペレーション欄の説明	...	857
28.1.3	フラグ動作欄の説明	...	857
28.2	オペレーション一覧	...	858
28.3	アドレッシング別命令一覧	...	866

## 第29章 電気的特性((A)水準品) ... 870

29.1	絶対最大定格	...	871
29.2	発振回路特性	...	873
29.3	DC特性	...	875
29.4	AC特性	...	882
29.5	データ保持特性	...	896
29.6	フラッシュEEPROMプログラミング特性	...	897

<b>第30章 電気的特性 ((A2)水準品)</b>	...	898
30.1 絶対最大定格	...	899
30.2 発振回路特性	...	901
30.3 DC特性	...	903
30.4 AC特性	...	910
30.5 データ保持特性	...	924
30.6 フラッシュEEPROMプログラミング特性	...	925
<b>第31章 外形図</b>	...	926
<b>第32章 半田付け推奨条件</b>	...	928
<b>第33章 ウェイトに関する注意事項</b>	...	929
33.1 ウェイトに関する注意事項	...	929
33.2 ウェイトが発生する周辺ハードウェア	...	930
33.3 ウェイト発生例	...	933
<b>付録A 開発ツール</b>	...	934
A.1 ソフトウェア・パッケージ	...	937
A.2 言語処理用ソフトウェア	...	937
A.3 フラッシュ・メモリ書き込み用ツール	...	938
A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合	...	938
A.3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	...	938
A.4 デバッグ用ツール (ハードウェア)	...	939
A.4.1 インサーキット・エミュレータ QB-78K0DX2を使用する場合	...	939
A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	...	940
A.5 デバッグ用ツール (ソフトウェア)	...	940
<b>付録B ターゲット・システム設計上の注意</b>	...	941
<b>付録C レジスタ索引</b>	...	943
C.1 レジスタ索引 (50音順)	...	943
C.2 レジスタ索引 (アルファベット順)	...	949
<b>付録D 注意事項一覧</b>	...	956
<b>付録E 改版履歴</b>	...	987
E.1 本版で改訂された主な箇所	...	987
E.2 前版までの改版履歴	...	988

## 第1章 概 説

### 1.1 特 徴

高速(0.1  $\mu$ s : 高速システム・クロック20 MHz動作時)から超低速(114  $\mu$ s : サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ(8ビット×8レジスタ×4バンク)

CANコントローラ内蔵 ( $\mu$ PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ)

ZPD (zero point detection) 付きステッピング・モータ・コントローラ/ドライバ : 2チャンネル(78K0/DE2) / 0/2/4チャンネル(78K0/DF2)

LCDコントローラ/ドライバ (seg × com) : 24 × 4 (78K0/DE2) / 28 × 4 / 32 × 4 / 40 × 4 (78K0/DF2)

ROM, RAM容量

品 名		項 目	CAN [ch]	ステッピング・モータ・コントローラ/ドライバ [ch]	LCDコントローラ/ドライバ[seg × com]		プログラム・メモリ (ROM) [KB]	データ・メモリ[バイト]	
					78K0/DE2	78K0/DF2		内部高速RAM <sup>注</sup>	内部拡張RAM <sup>注</sup>
78K0/DE2 (64ピン)	78K0/DF2 (80ピン)								
-	$\mu$ PD78F0838	-	0	-	40 × 4	フラッシュ・メモリ <sup>注</sup>	24	1024	1024
-	$\mu$ PD78F0839						48		2048
$\mu$ PD78F0836	$\mu$ PD78F0840		2	24 × 4	32 × 4		24		1024
$\mu$ PD78F0837	$\mu$ PD78F0841						48		2048
-	$\mu$ PD78F0842		4	-	28 × 4		24		1024
-	$\mu$ PD78F0843						48		2048
$\mu$ PD78F0844	$\mu$ PD78F0846	1	2	24 × 4	32 × 4		32	1024	
$\mu$ PD78F0845	$\mu$ PD78F0847						60	2048	
-	$\mu$ PD78F0848		4	-	28 × 4		32	1024	
-	$\mu$ PD78F0849						60	2048	

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能。

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵 (ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

高速内蔵発振器によるCPUディフォルト・スタートにより, ショート・スタート・アップが可能

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

サウンド・ジェネレータ内蔵

乗除算器内蔵

クロック出力/ブザー出力制御回路内蔵

I/Oポート：47本（78K0/DE2）／63本（78K0/DF2）（N-chオープン・ドレイン：2本）

タイマ：9チャンネル

シリアル・インタフェース：3チャンネル（78K0/DE2）／5チャンネル（78K0/DF2）

（CAN：1チャンネル，UART（LIN（Local Interconnect Network）-bus対応）：1チャンネル（78K0/DF2のみ），

CSI/UART<sup>注</sup>：1チャンネル，CSI：1チャンネル（78K0/DF2のみ），I<sup>2</sup>C：1チャンネル）

**注** 端子を兼用しているため，どちらかを選択して使用します。

10ビット分解能A/Dコンバータ：4チャンネル（78K0/DE2）／8チャンネル（78K0/DF2）

電源電圧：20 MHz時：V<sub>DD</sub> = 4.0～5.5 V，10 MHz時：V<sub>DD</sub> = 2.7～5.5 V

（高速内蔵発振クロックまたはサブシステム・クロック使用時：V<sub>DD</sub> = 2.7～5.5 V）

動作周囲温度：T<sub>A</sub> = -40～+85（(A)水準品），-40～+105（(A2)水準品）

**注意** 78K0/Dx2には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

## 1.2 応用分野

自動車ダッシュボード制御

## 1.3 オーダ情報

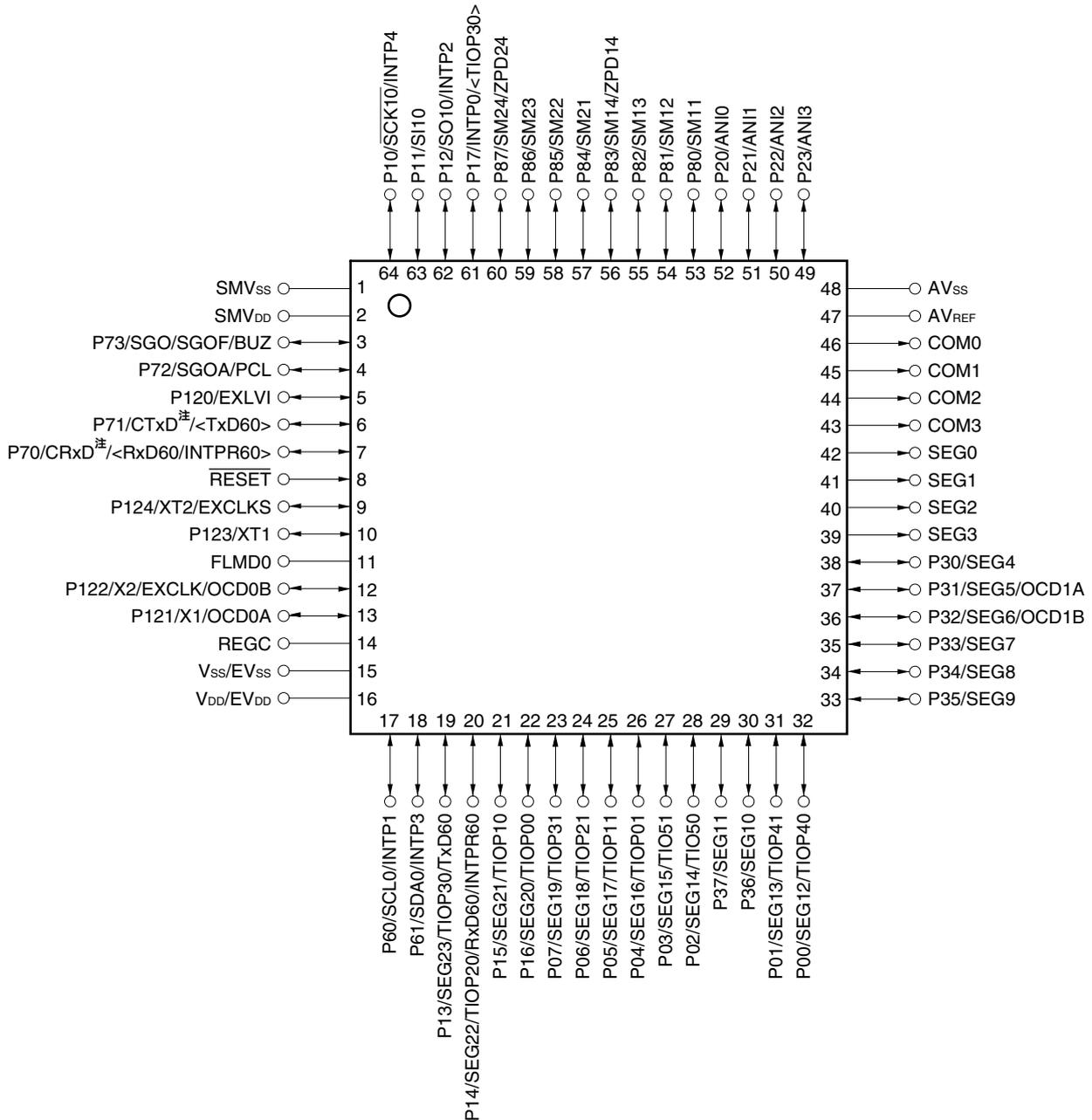
### ・フラッシュ・メモリ製品

オーダ名称	パッケージ	品質水準
$\mu$ PD78F0836GBA-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0836GBA2-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0837GBA-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0837GBA2-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0838GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0838GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0839GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0839GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0840GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0840GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0841GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0841GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0842GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0842GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0843GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0843GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0844GBA-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0844GBA2-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0845GBA-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0845GBA2-GAH-G	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	特別
$\mu$ PD78F0846GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0846GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0847GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0847GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0848GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0848GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0849GKA-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別
$\mu$ PD78F0849GKA2-GAK-G	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	特別

**備考** 本製品はすべて鉛フリー製品です。

## 1.4 端子接続図 (Top View)

- 78K0/DE2 (  $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845 )  
64ピン・プラスチックLQFP (ファインピッチ) (10×10)



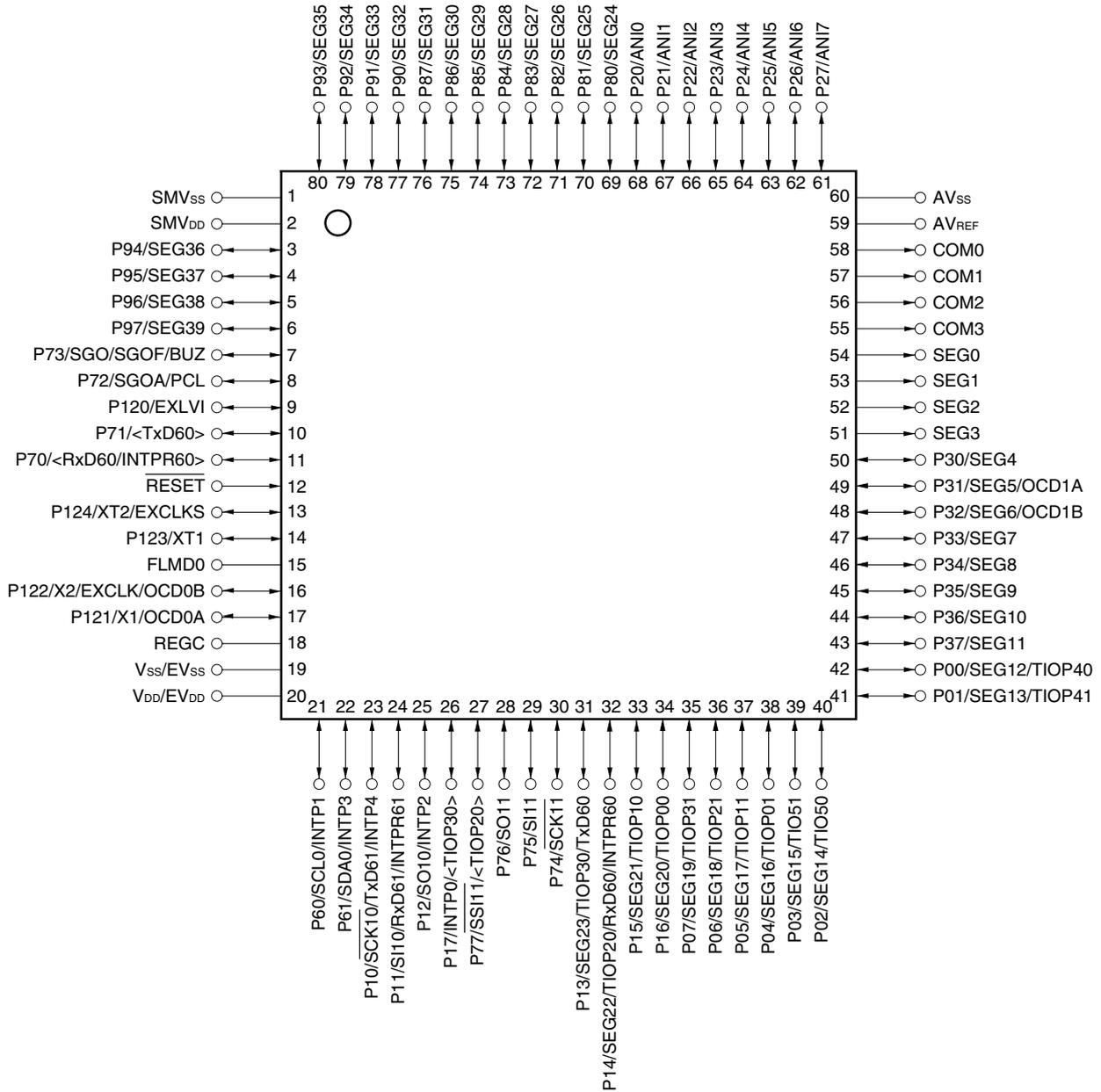
注 兼用機能CTxD, CRxDは $\mu$  PD78F0844, 78F0845のみです。

注意1. AVssはVssと同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1  $\mu$ F : 推奨) に介し, Vssに接続してください。
3. ANIO/P20-ANI3/P23は, リセット解除後にアナログ入力モードになります。

備考 <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

- 78K0/DF2 ( $\mu$  PD78F0838, 78F0839)  
80ピン・プラスチックLQFP (ファインピッチ) (12×12)

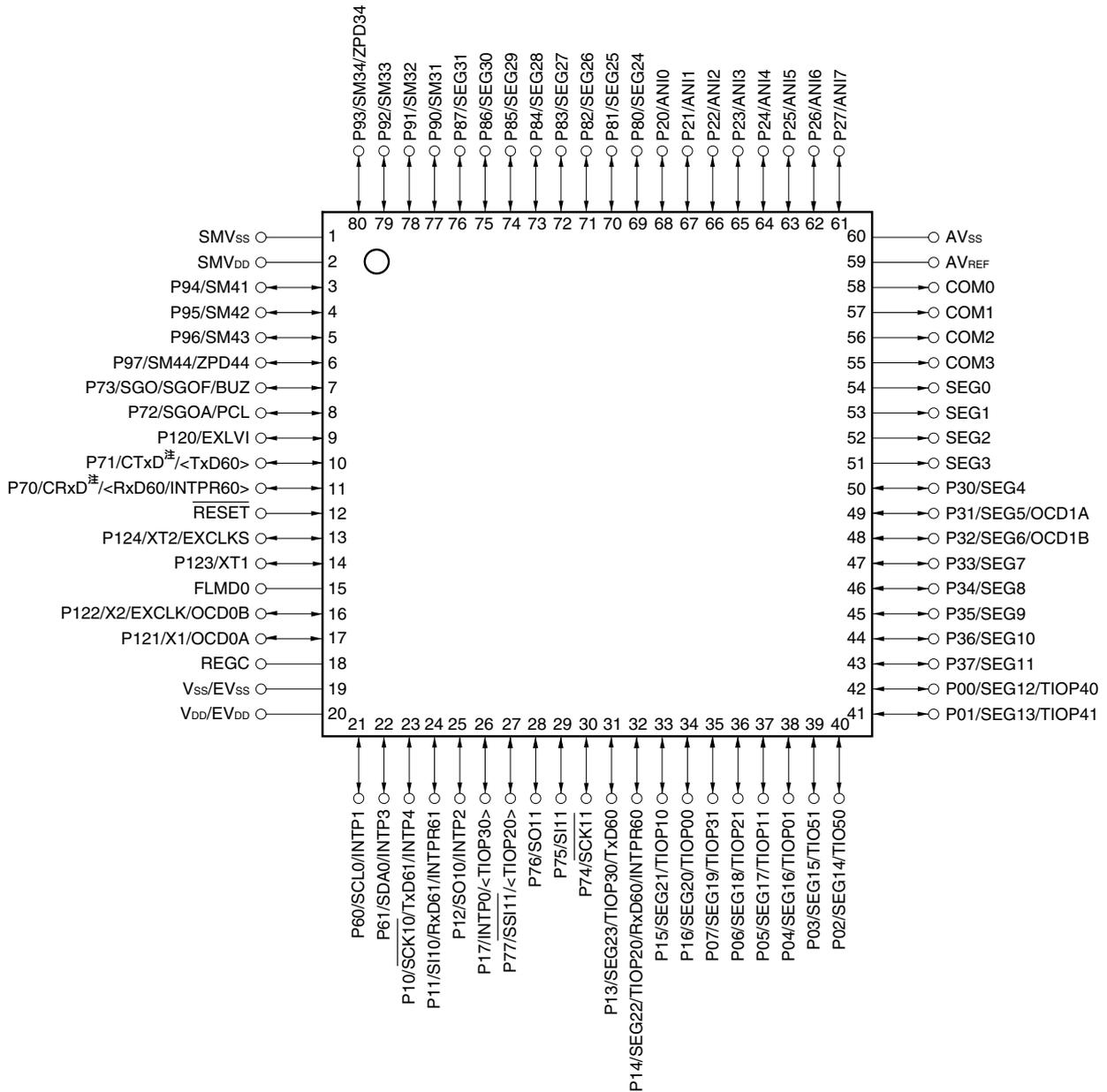


注意1. AV<sub>SS</sub>はV<sub>SS</sub>と同電位にしてください。

- REGCはコンデンサ (0.47 ~ 1  $\mu$ F : 推奨) に介し, V<sub>SS</sub>に接続してください。
- ANIO/P20-ANI7/P27は, リセット解除後にアナログ入力モードになります。

備考 <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

- 78K0/DF2 (  $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847 )  
80ピン・プラスチックLQFP (ファインピッチ) (12×12)



注 兼用機能CTxD, CRxDは $\mu$  PD78F0846, 78F0847のみです。

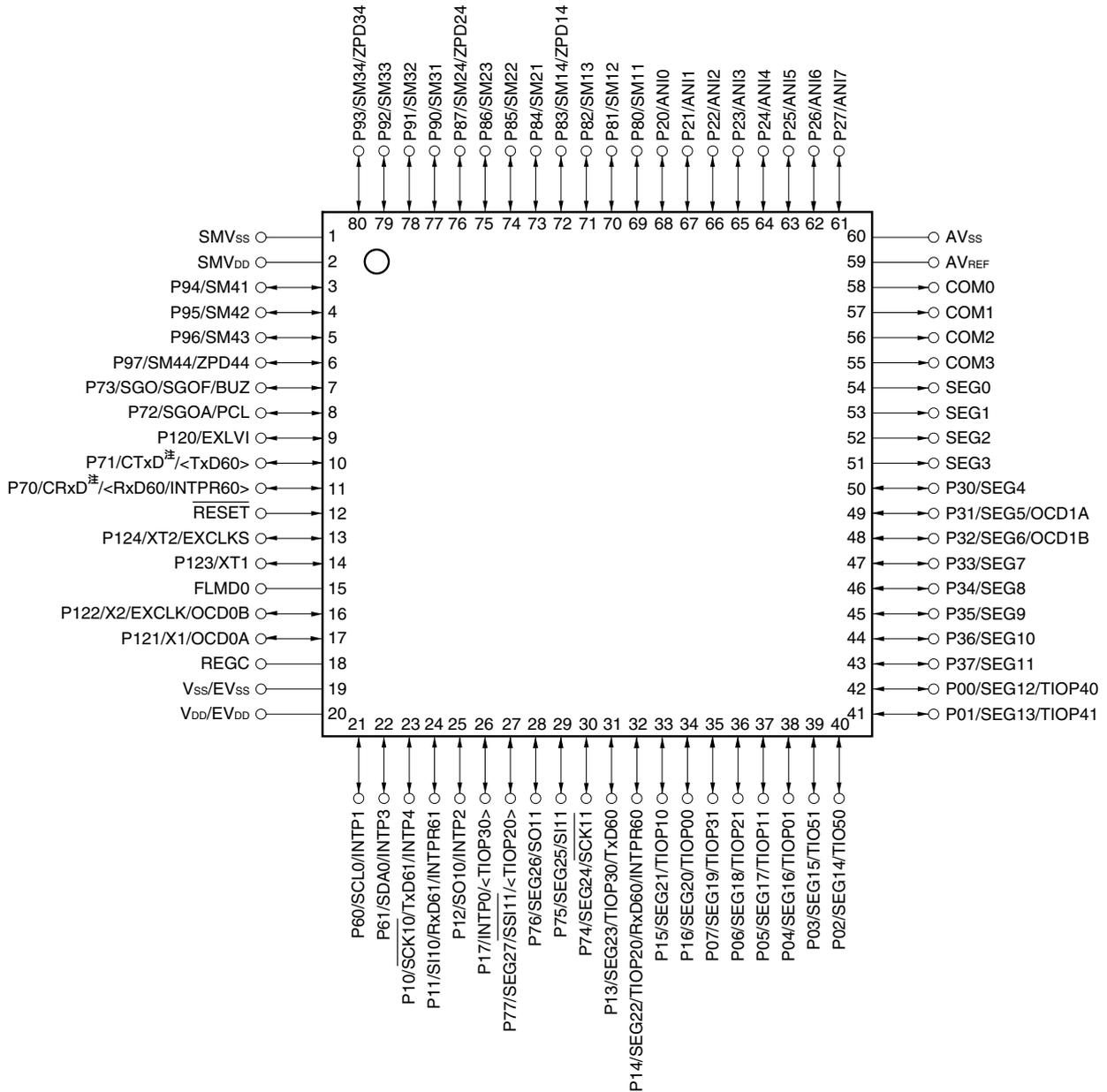
注意1. AVssはVssと同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1  $\mu$ F : 推奨) に介し, Vssに接続してください。

3. ANI0/P20-ANI7/P27は, リセット解除後にアナログ入力モードになります。

備考 <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

- 78K0/DF2 (  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849 )  
80ピン・プラスチックLQFP ( ファインピッチ ) ( 12 × 12 )



注 兼用機能CTxD, CRxDは $\mu$  PD78F0848, 78F0849のみです。

注意1. AVssはVssと同電位にしてください。

2. REGCはコンデンサ ( 0.47 ~ 1  $\mu$  F : 推奨 ) に介し, Vssに接続してください。

3. ANI0/P20-ANI7/P27は, リセット解除後にアナログ入力モードになります。

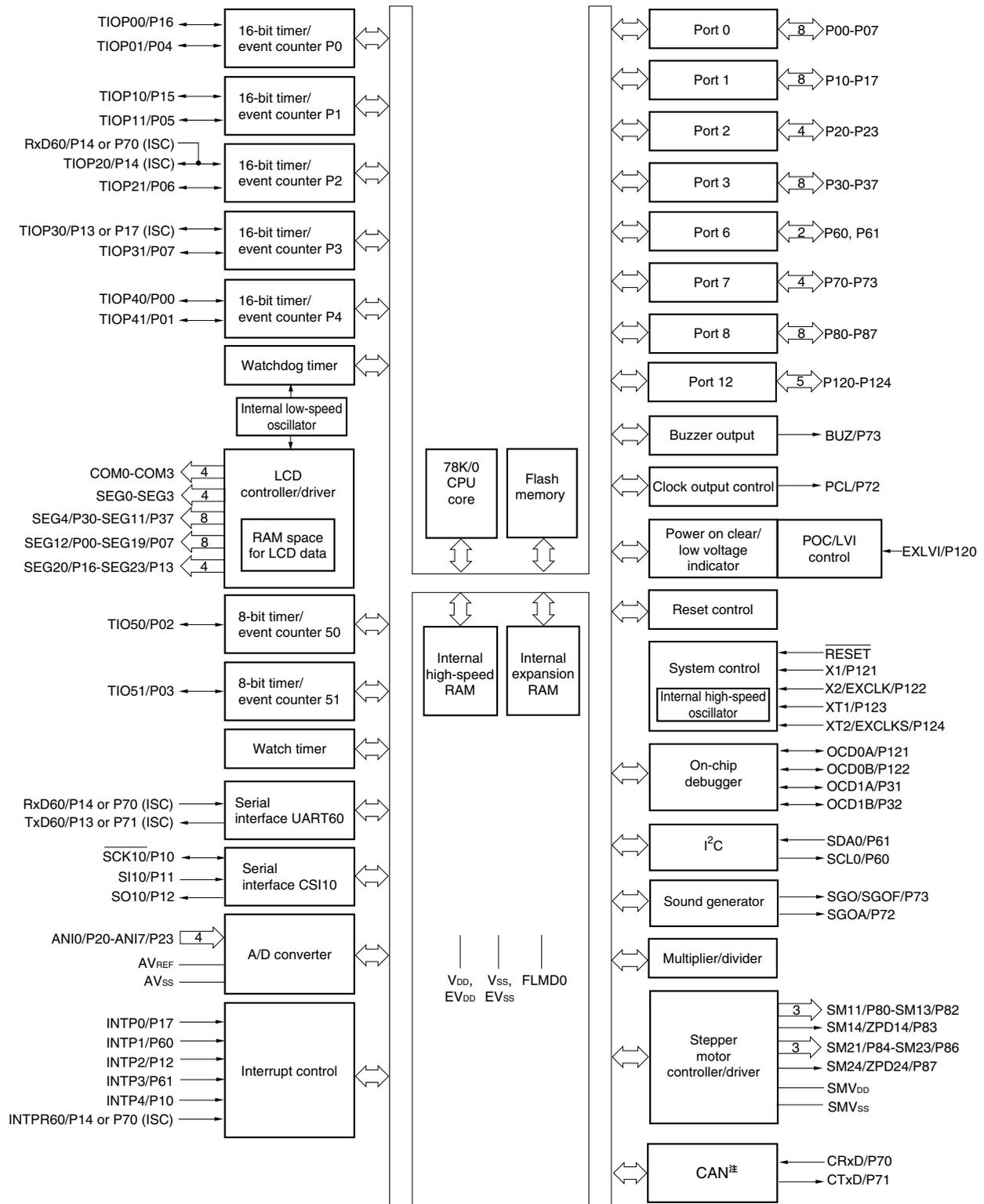
備考 <>内の機能は, 入力切り替え制御レジスタ ( ISC ) の設定により割り当て可能です。

## 端子名称

ANI0-ANI7:	Analog Input	REGC:	Regulator Capacitance
AVREF:	Analog Reference Voltage	RESET:	Reset
AVss:	Analog Ground	RxD60, RxD61:	Receive Data
BUZ:	Buzzer Output	SCK10, SCK11:	Serial Clock Input/output
COM0-COM3:	Common Output	SCL0:	Serial Clock Input/Output
CRxD:	Receive Data for CAN	SDA0:	Serial Data Input/Output
CTxD:	Transmit Data for CAN	SEG0-SEG39:	Segment Output
EVDD:	Power Supply for Port	SGO:	Sound Generator Output
EVss:	Ground for Port	SGOA:	Sound Generator Amplitude PWM Output
EXCLK:	External Clock Input (Main System Clock)	SGOF:	Sound Generator Frequency Output
EXCLKS:	External Clock Input (Subsystem Clock)	SI10, SI11:	Serial Data Input
EXLVI:	External Potential Input for Low-voltage Detector	SM11-SM14, SM21-SM24, SM31-SM34, SM41-SM44	Stepper Motor Outputs
FLMD0:	Flash Programming Mode	SMVDD:	Stepper Motor Controller/Driver Supply Voltage
INTP0-INTP4, INTPR60, INTPR61	External Interrupt Input	SMVss:	Stepper Motor Controller/Driver Ground
OCD0A, OCD0B, OCD1A, OCD1B	On-chip Debug Input/Output	SO10, SO11:	Serial Data Output
P00-P07:	Port 0	SSI11:	Serial Interface Chip Select Input
P10-P17:	Port 1	TIO50, TIO51, TIOP00, TIOP01, TIOP10, TIOP11, TIOP20, TIOP21, TIOP30, TIOP31, TIOP40, TIOP41	Timer Input and Timer Output
P20-P27:	Port 2	TxD60, TxD61:	Transmit Data
P30-P33:	Port 3	VDD:	Power Supply
P60, P61:	Port 6	Vss:	Ground
P70-P77:	Port 7	X1, X2:	Crystal Oscillator (High-speed System Clock)
P80-P87:	Port 8	XT1, XT2:	Crystal Oscillator (Subsystem Clock)
P90-P97:	Port 9	ZPD14, ZPD24, ZPD34, ZPD44	Zero Point Detection Input
P120-P124:	Port 12		
PCL:	Programmable Clock Output		

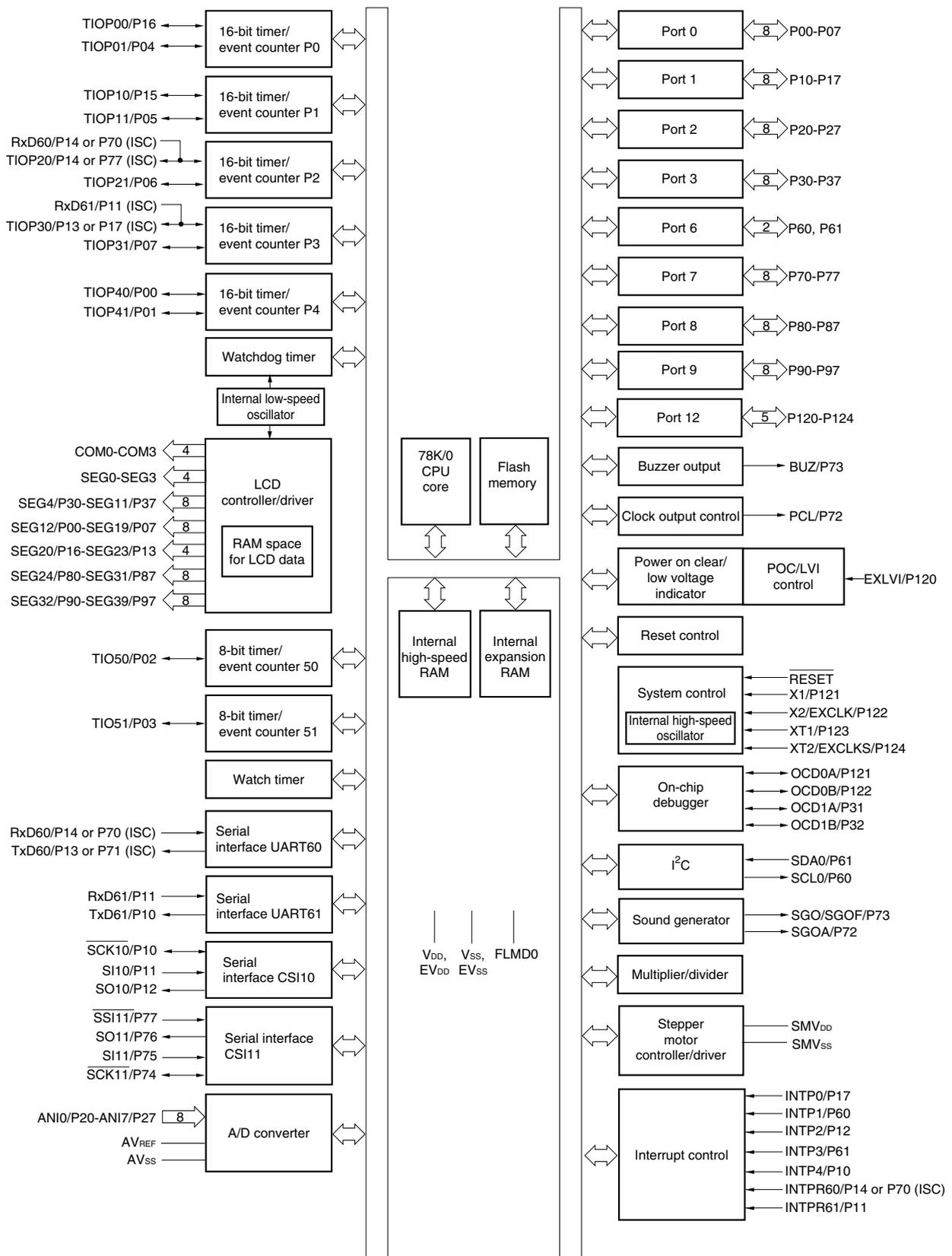
## 1.5 ブロック図

- 78K0/DE2 (  $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845 )

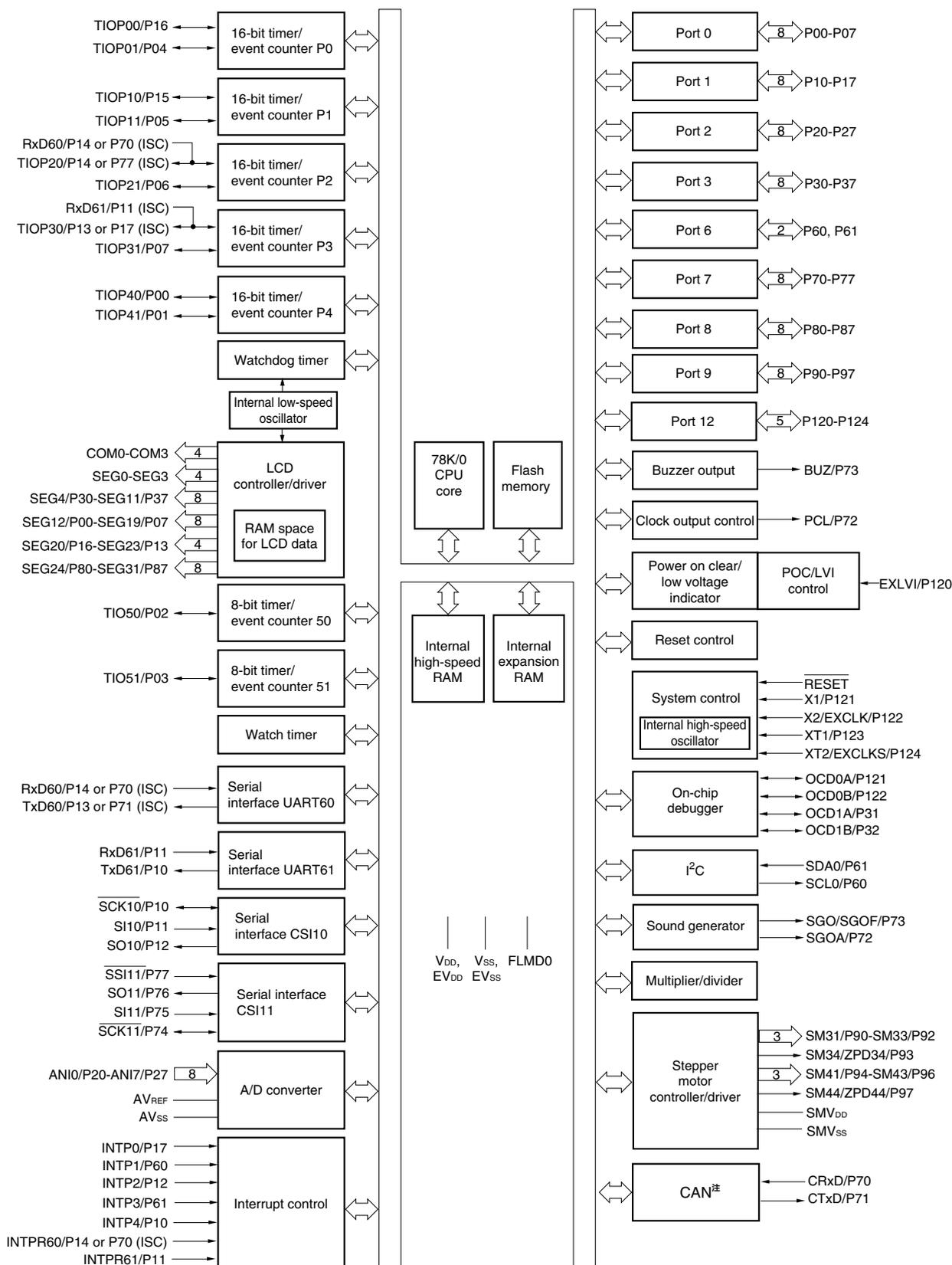


注  $\mu$  PD78F0844, 78F0845のみ

• 78K0/DF2 (  $\mu$  PD78F0838, 78F0839 )

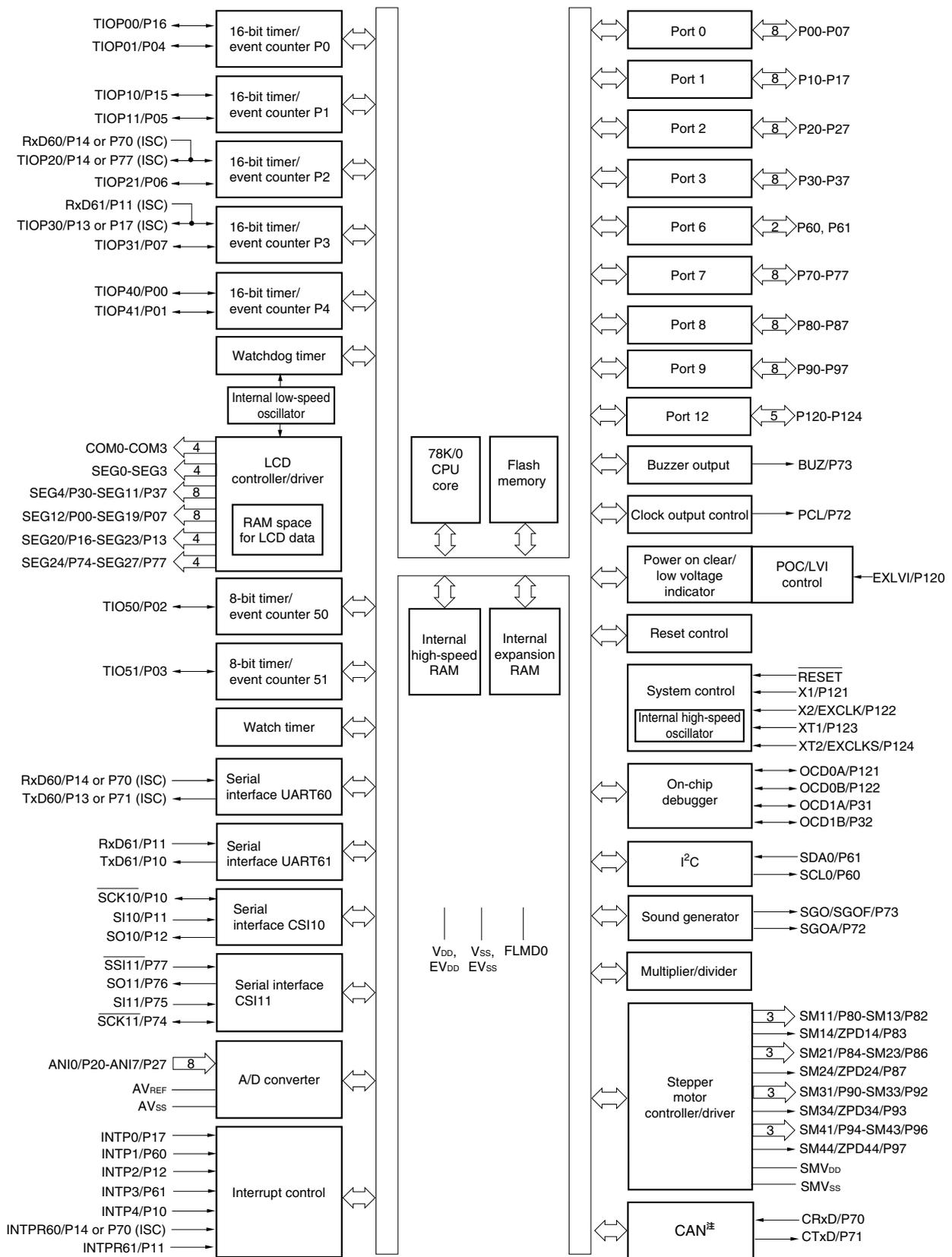


- 78K0/DF2 (  $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847 )



注  $\mu$  PD78F0846, 78F0847のみ

- 78K0/DF2 (  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849 )



注  $\mu$  PD78F0848, 78F0849のみ

## 1.6 機能概要

・78K0/DE2 (CANなし) ( $\mu$ PD78F0836, 78F0837)

(1/2)

項 目		$\mu$ PD78F0836	$\mu$ PD78F0837
内部メモリ (バイト)	フラッシュ・メモリ (セルフ・プログラミング対応) <sup>注</sup>	24 K	48 K
	高速RAM <sup>注</sup>	1 K	
	拡張RAM <sup>注</sup>	1 K	2 K
CANバッファRAM		-	
高速システム・クロック (発振周波数)		水晶/セラミック発振 (X1), 外部メイン・システム・クロック入力 (EXCLK) (4 ~ 20 MHz: $V_{DD} = 4.0 \sim 5.5$ V, 4 ~ 10 MHz: $V_{DD} = 2.7 \sim 5.5$ V)	
高速内蔵発振クロック (発振周波数)		内蔵発振 (8 MHz (TYP.): $V_{DD} = 2.7 \sim 5.5$ V)	
低速内蔵発振クロック (発振周波数)		内蔵発振 (240 kHz (TYP.))	
サブシステム・クロック (発振周波数)		水晶発振 (XT1), 外部サブシステム・クロック入力 (EXCLKS) (32.768 kHz: $V_{DD} = 2.7 \sim 5.5$ V)	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.1 $\mu$ s/0.2 $\mu$ s/0.4 $\mu$ s/0.8 $\mu$ s/1.6 $\mu$ s (高速システム・クロック: $f_{XP} = 20$ MHz動作時)	
		0.25 $\mu$ s/0.5 $\mu$ s/1.0 $\mu$ s/2.0 $\mu$ s/4.0 $\mu$ s (TYP.) (内蔵発振クロック: $f_{RH} = 8$ MHz (TYP.)動作時)	
		122 $\mu$ s (サブシステム・クロック: $f_{XT} = 32.768$ kHz動作時)	
命令セット		<ul style="list-style-type: none"> <li>・16ビット演算</li> <li>・乗除算 (8ビット×8ビット, 16ビット÷8ビット)</li> <li>・ビット操作 (セット, リセット, テスト, ブール演算)</li> <li>・BCD補正など</li> </ul>	
I/Oポート		合計 : 47本	
		CMOS入出力 : 45本	
		N-chオープン・ドレイン入出力 : 2本 (5 V耐圧/N-chオープン・ドレイン出力選択可)	
タイマ		<ul style="list-style-type: none"> <li>・16ビット・タイマ/イベント・カウンタ : 5チャンネル</li> <li>・8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・時計用タイマ : 1チャンネル</li> <li>・ウォッチドッグ・タイマ : 1チャンネル</li> </ul>	
		タイマ出力	12本 (PWM出力: 最大11本)
クロック出力		<ul style="list-style-type: none"> <li>・78.125 kHz, 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (高速システム・クロック: 10 MHz時)</li> <li>・32.768 kHz (サブシステム・クロック: 32.768 kHz時)</li> </ul>	
ブザー出力		1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 kHz (高速システム・クロック: 10 MHz時)	
A/Dコンバータ		10ビット分解能×4チャンネル	

**注** メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量の変更可能。

(2/2)

項 目		μ PD78F0836	μ PD78F0837
シリアル・ インタフェース	CAN	-	
	LIN-UART/ CSI <sup>注1</sup>	1チャンネル	
	I <sup>2</sup> Cバス	1チャンネル	
LCDコントローラ/ドライバ (seg x com)		24 x 4	
サウンド・ジェネレータ		1チャンネル	
ステップング・モータ・コン トローラ/ドライバ (ZPD付 き)		2チャンネル	
乗除算器		<ul style="list-style-type: none"> <li>・ 16ビット x 16ビット = 32ビット (乗算)</li> <li>・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)</li> </ul>	
ベクタ割り込み 要因	内部	19	
	外部 <sup>注2</sup>	6	
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリアによる内部リセット</li> <li>・ 低電圧検出回路による内部リセット</li> </ul>	
オンチップ・デバッグ機能		あり	
電源電圧		V <sub>DD</sub> = 2.7 ~ 5.5 V	
動作周囲温度		T <sub>A</sub> = -40 ~ +85 , -40 ~ +105	
パッケージ		・ 64ピン・プラスチックLQFP (ファインピッチ) (10 x 10)	

- 注 1. 端子を兼用しているため、どちらかを選択して使用します。
2. 外部割り込み要因INTP3とINTP4は同時には使用できません。

・78K0/DF2 (CANなし) ( $\mu$ PD78F0838, 78F0839, 78F0840, 78F0841, 78F0842, 78F0843)

(1/2)

項 目		$\mu$ PD78F0838 $\mu$ PD78F0839	$\mu$ PD78F0840 $\mu$ PD78F0841	$\mu$ PD78F0842 $\mu$ PD78F0843
内部メモリ (バイト)	フラッシュ・メモリ (セルフ・プログラミング対応) <sup>注</sup>	24 K/48 K		
	高速RAM <sup>注</sup>	1 K		
	拡張RAM <sup>注</sup>	1 K		
CANバッファRAM		-		
高速システム・クロック (発振周波数)		水晶/セラミック発振 (X1), 外部メイン・システム・クロック入力 (EXCLK) (4 ~ 20 MHz: $V_{DD} = 4.0 \sim 5.5$ V, 4 ~ 10 MHz: $V_{DD} = 2.7 \sim 5.5$ V)		
高速内蔵発振クロック (発振周波数)		内蔵発振 (8 MHz (TYP.): $V_{DD} = 2.7 \sim 5.5$ V)		
低速内蔵発振クロック (発振周波数)		内蔵発振 (240 kHz (TYP.))		
サブシステム・クロック (発振周波数)		水晶発振 (XT1), 外部サブシステム・クロック入力 (EXCLKS) (32.768 kHz: $V_{DD} = 2.7 \sim 5.5$ V)		
汎用レジスタ		8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク)		
最小命令実行時間		0.1 $\mu$ s/0.2 $\mu$ s/0.4 $\mu$ s/0.8 $\mu$ s/1.6 $\mu$ s (高速システム・クロック: $f_{XP} = 20$ MHz動作時) 0.25 $\mu$ s/0.5 $\mu$ s/1.0 $\mu$ s/2.0 $\mu$ s/4.0 $\mu$ s (TYP.) (内蔵発振クロック: $f_{RH} = 8$ MHz (TYP.)動作時) 122 $\mu$ s (サブシステム・クロック: $f_{XT} = 32.768$ kHz動作時)		
命令セット		<ul style="list-style-type: none"> <li>・16ビット演算</li> <li>・乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット)</li> <li>・ビット操作 (セット, リセット, テスト, ブール演算)</li> <li>・BCD補正など</li> </ul>		
I/Oポート		合計 : 63本 CMOS入出力 : 61本 N-chオープン・ドレイン入出力 : 2本 (5 V耐圧 / N-chオープン・ドレイン出力選択可)		
タイマ		<ul style="list-style-type: none"> <li>・16ビット・タイマ/イベント・カウンタ : 5チャンネル</li> <li>・8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・時計用タイマ : 1チャンネル</li> <li>・ウォッチドッグ・タイマ : 1チャンネル</li> </ul>		
	タイマ出力	12本 (PWM出力: 最大11本)		
クロック出力		<ul style="list-style-type: none"> <li>・78.125 kHz, 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (高速システム・クロック: 10 MHz時)</li> <li>・32.768 kHz (サブシステム・クロック: 32.768 kHz時)</li> </ul>		
プザー出力		1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 kHz (高速システム・クロック: 10 MHz時)		
A/Dコンバータ		10ビット分解能 × 8チャンネル		

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量の変更可能。

(2/2)

項 目		$\mu$ PD78F0838 $\mu$ PD78F0839	$\mu$ PD78F0840 $\mu$ PD78F0841	$\mu$ PD78F0842 $\mu$ PD78F0843
シリアル・ インタフェース	CAN	-		
	3線式CSI	1チャンネル		
	LIN-UART	1チャンネル		
	LIN-UART/ CSI <sup>注1</sup>	1チャンネル		
	I <sup>2</sup> Cバス	1チャンネル		
LCDコントローラ/ドライバ (seg x com)		40 x 4	32 x 4	28 x 4
サウンド・ジェネレータ		1チャンネル		
ステッピング・モータ・コン トローラ/ドライバ (ZPD付 き)		-	2チャンネル	4チャンネル
乗除算器		<ul style="list-style-type: none"> <li>・ 16ビット x 16ビット = 32ビット (乗算)</li> <li>・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)</li> </ul>		
ベクタ割り込み 要因	内部	22		
	外部 <sup>注2</sup>	7		
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリアによる内部リセット</li> <li>・ 低電圧検出回路による内部リセット</li> </ul>		
オンチップ・デバッグ機能		あり		
電源電圧		V <sub>DD</sub> = 2.7 ~ 5.5 V		
動作周囲温度		T <sub>A</sub> = -40 ~ +85 , -40 ~ +105		
パッケージ		・ 80ピン・プラスチックLQFP (ファインピッチ) (12 x 12)		

- 注 1. 端子を兼用しているため、どちらかを選択して使用します。
2. 外部割り込み要因INTP3とINTP4は同時には使用できません。

・78K0/DE2 (CANあり) ( $\mu$ PD78F0844, 78F0845)

(1/2)

項 目		$\mu$ PD78F0844	$\mu$ PD78F0845
内部メモリ (バイト)	フラッシュ・メモリ (セルフ・プログラミング対応) <sup>注</sup>	32 K	60 K
	高速RAM <sup>注</sup>	1 K	
	拡張RAM <sup>注</sup>	1 K	2 K
CANバッファRAM		288バイト	
高速システム・クロック (発振周波数)		水晶/セラミック発振 (X1), 外部メイン・システム・クロック入力 (EXCLK) (4 ~ 20 MHz: $V_{DD} = 4.0 \sim 5.5$ V, 4 ~ 10 MHz: $V_{DD} = 2.7 \sim 5.5$ V)	
高速内蔵発振クロック (発振周波数)		内蔵発振 (8 MHz (TYP.): $V_{DD} = 2.7 \sim 5.5$ V)	
低速内蔵発振クロック (発振周波数)		内蔵発振 (240 kHz (TYP.))	
サブシステム・クロック (発振周波数)		水晶発振 (XT1), 外部サブシステム・クロック入力 (EXCLKS) (32.768 kHz: $V_{DD} = 2.7 \sim 5.5$ V)	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.1 $\mu$ s/0.2 $\mu$ s/0.4 $\mu$ s/0.8 $\mu$ s/1.6 $\mu$ s (高速システム・クロック: $f_{XP} = 20$ MHz動作時) 0.25 $\mu$ s/0.5 $\mu$ s/1.0 $\mu$ s/2.0 $\mu$ s/4.0 $\mu$ s (TYP.) (内蔵発振クロック: $f_{RH} = 8$ MHz (TYP.)動作時) 122 $\mu$ s (サブシステム・クロック: $f_{XT} = 32.768$ kHz動作時)	
命令セット		<ul style="list-style-type: none"> <li>・16ビット演算</li> <li>・乗除算 (8ビット×8ビット, 16ビット÷8ビット)</li> <li>・ビット操作 (セット, リセット, テスト, ブール演算)</li> <li>・BCD補正など</li> </ul>	
I/Oポート		合計 : 47本 CMOS入出力 : 45本 N-chオープン・ドレイン入出力 : 2本 (5 V耐圧/N-chオープン・ドレイン出力選択可)	
タイマ		<ul style="list-style-type: none"> <li>・16ビット・タイマ/イベント・カウンタ : 5チャンネル</li> <li>・8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・時計用タイマ : 1チャンネル</li> <li>・ウォッチドッグ・タイマ : 1チャンネル</li> </ul>	
	タイマ出力	12本 (PWM出力: 最大11本)	
クロック出力		<ul style="list-style-type: none"> <li>・78.125 kHz, 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (高速システム・クロック: 10 MHz時)</li> <li>・32.768 kHz (サブシステム・クロック: 32.768 kHz時)</li> </ul>	
ブザー出力		1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 kHz (高速システム・クロック: 10 MHz時)	
A/Dコンバータ		10ビット分解能×4チャンネル	

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量の変更可能。

(2/2)

項 目		$\mu$ PD78F0844	$\mu$ PD78F0845
シリアル・ インタフェース	CAN		1チャンネル
	LIN-UART/ CSI <sup>注1</sup>		1チャンネル
	I <sup>2</sup> Cバス		1チャンネル
LCDコントローラ/ドライバ (seg x com)			24 x 4
サウンド・ジェネレータ			1チャンネル
ステップング・モータ・コン トローラ/ドライバ (ZPD付 き)			2チャンネル
乗除算器		<ul style="list-style-type: none"> <li>・ 16ビット x 16ビット = 32ビット (乗算)</li> <li>・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)</li> </ul>	
ベクタ割り込み 要因	内部		22
	外部 <sup>注2</sup>		6
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリアによる内部リセット</li> <li>・ 低電圧検出回路による内部リセット</li> </ul>	
オンチップ・デバッグ機能			あり
電源電圧		V <sub>DD</sub> = 2.7 ~ 5.5 V	
動作周囲温度		T <sub>A</sub> = -40 ~ +85 , -40 ~ +105	
パッケージ		・ 64ピン・プラスチックLQFP (ファインピッチ) (10 x 10)	

- 注 1. 端子を兼用しているため、どちらかを選択して使用します。
2. 外部割り込み要因INTP3とINTP4は同時には使用できません。

・78K0/DF2 (CANあり) ( $\mu$ PD78F0846, 78F0847, 78F0848, 78F0849)

(1/2)

項 目		$\mu$ PD78F0846 $\mu$ PD78F0847	$\mu$ PD78F0848 $\mu$ PD78F0849
内部メモリ (バイト)	フラッシュ・メモリ (セルフ・プログラミング対応) <sup>注</sup>	32 K/60 K	
	高速RAM <sup>注</sup>	1 K	
	拡張RAM <sup>注</sup>	2 K	
CANバッファRAM		288バイト	
高速システム・クロック (発振周波数)	水晶/セラミック発振 (X1), 外部メイン・システム・クロック入力 (EXCLK) (4 ~ 20 MHz: $V_{DD} = 4.0 \sim 5.5$ V, 4 ~ 10 MHz: $V_{DD} = 2.7 \sim 5.5$ V)		
高速内蔵発振クロック (発振周波数)	内蔵発振 (8 MHz (TYP.): $V_{DD} = 2.7 \sim 5.5$ V)		
低速内蔵発振クロック (発振周波数)	内蔵発振 (240 kHz (TYP.))		
サブシステム・クロック (発振周波数)	水晶発振 (XT1), 外部サブシステム・クロック入力 (EXCLKS) (32.768 kHz: $V_{DD} = 2.7 \sim 5.5$ V)		
汎用レジスタ	8ビット $\times$ 32レジスタ (8ビット $\times$ 8レジスタ $\times$ 4バンク)		
最小命令実行時間	0.1 $\mu$ s/0.2 $\mu$ s/0.4 $\mu$ s/0.8 $\mu$ s/1.6 $\mu$ s (高速システム・クロック: $f_{XP} = 20$ MHz動作時)		
	0.25 $\mu$ s/0.5 $\mu$ s/1.0 $\mu$ s/2.0 $\mu$ s/4.0 $\mu$ s (TYP.) (内蔵発振クロック: $f_{RH} = 8$ MHz (TYP.)動作時)		
	122 $\mu$ s (サブシステム・クロック: $f_{XT} = 32.768$ kHz動作時)		
命令セット	<ul style="list-style-type: none"> <li>・16ビット演算</li> <li>・乗除算 (8ビット <math>\times</math> 8ビット, 16ビット <math>\div</math> 8ビット)</li> <li>・ビット操作 (セット, リセット, テスト, プール演算)</li> <li>・BCD補正など</li> </ul>		
I/Oポート	合計 : 63本		
	CMOS入出力 : 61本		
	N-chオープン・ドレイン入出力 : 2本 (5 V耐圧 / N-chオープン・ドレイン出力選択可)		
タイマ	<ul style="list-style-type: none"> <li>・16ビット・タイマ/イベント・カウンタ : 5チャンネル</li> <li>・8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・時計用タイマ : 1チャンネル</li> <li>・ウォッチドッグ・タイマ : 1チャンネル</li> </ul>		
	タイマ出力	12本 (PWM出力: 最大11本)	
クロック出力	<ul style="list-style-type: none"> <li>・78.125 kHz, 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (高速システム・クロック: 10 MHz時)</li> <li>・32.768 kHz (サブシステム・クロック: 32.768 kHz時)</li> </ul>		
ブザー出力	1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 kHz (高速システム・クロック: 10 MHz時)		
A/Dコンバータ	10ビット分解能 $\times$ 8チャンネル		

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量の変更可能。

(2/2)

項 目		$\mu$ PD78F0846 $\mu$ PD78F0847	$\mu$ PD78F0848 $\mu$ PD78F0849
シリアル・ インタフェース	CAN	1チャンネル	
	3線式CSI	1チャンネル	
	LIN-UART	1チャンネル	
	LIN-UART/ CSI <sup>注1</sup>	1チャンネル	
	I <sup>2</sup> Cバス	1チャンネル	
LCDコントローラ/ドライバ (seg x com)		32 x 4	28 x 4
サウンド・ジェネレータ		1チャンネル	
ステップング・モータ・コン トローラ/ドライバ (ZPD付 き)		2チャンネル	4チャンネル
乗除算器		<ul style="list-style-type: none"> <li>・ 16ビット x 16ビット = 32ビット (乗算)</li> <li>・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)</li> </ul>	
ベクタ割り込み 要因	内部	25	
	外部 <sup>注2</sup>	7	
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリアによる内部リセット</li> <li>・ 低電圧検出回路による内部リセット</li> </ul>	
オンチップ・デバッグ機能		あり	
電源電圧		V <sub>DD</sub> = 2.7 ~ 5.5 V	
動作周囲温度		T <sub>A</sub> = -40 ~ +85 , -40 ~ +105	
パッケージ		・ 80ピン・プラスチックLQFP (ファインピッチ) (12 x 12)	

- 注 1. 端子を兼用しているため、どちらかを選択して使用します。
2. 外部割り込み要因INTP3とINTP4は同時には使用できません。

## ・ タイマの概要

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタP0-P4					8ビット・タイマ/イベント・カウンタ50, 51		時計用 タイマ	ウォッチ ドッグ・ タイマ
		TMP0	TMP1	TMP2	TMP3	TMP4	TM50	TM51		
動作モード	インターバル・ タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル <sup>注</sup>	1チャンネル
	外部イベント・ カウンタ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-	-
機能	タイマ出力	2	2	2	2	2	1	1	-	-
	外部トリガ・パ ルス出力	1	1	1	1	1	-	-	-	-
	PWM出力	1	2	2	2	2	1	1	-	-
	パルス幅測定	2	2	2	2	2	-	-	-	-
	方形波出力	-	-	-	-	-	1	1	-	-
	割り込み要因	2	2	3	3	2	1	1	1	-

注 時計用タイマは時計用タイマとインターバル・タイマの機能と同時に使用できません。

## 第2章 端子機能

### 2.1 端子機能一覧

端子の入出力バッファ電源には、 $AV_{REF}$ 、 $EV_{DD}$ 、 $SMV_{DD}$ 、 $V_{DD}$ の4系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
$AV_{REF}$	P20-P23, P24-P27 <sup>注</sup>
$EV_{DD}$	P20-P27, P80-P87, P90-P97, P121-P124以外のポート端子
$SMV_{DD}$	・ P80-P87 ・ P90-P97 <sup>注</sup>
$V_{DD}$	・ P121-P124 ・ ポート以外の端子

注 78K0/DF2のみ。

78K0/Dx2の端子名称と機能を次に示します。

## (1) ポート端子

・78K0/DE2 (  $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845 )

表2 - 2 78K0/DE2ポート端子 (1/2)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
P00	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	外部 : PD 内部 : HZ	入力	SEG12/TIOP40
P01					SEG13/TIOP41
P02					SEG14/TIO50
P03					SEG15/TIO51
P04					SEG16/TIOP01
P05					SEG17/TIOP11
P06					SEG18/TIOP21
P07					SEG19/TIOP31
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	SCK10/INTP4
P11					SI10
P12					SO10/INTP2
P13					SEG23/TIOP30/TxD60
P14			外部 : PD 内部 : HZ		SEG22/TIOP20/RxD60/INTPR60
P15			SEG21/TIOP10		
P16			SEG20/TIOP00		
P17			HZ		INTP0/<TIOP30>
P20-P23	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	HZ	入力	ANI0-ANI3
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	外部 : PD 内部 : HZ	入力	SEG4
P31					SEG5/OCD1A
P32					SEG6/OCD1B
P33-P37					SEG7-SEG11
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	SCL0/INTP1
P61					SDA0/INTP3

- 備考** 1. 外部 : POCリセットまたは端子リセット, 内部 : WDTリセットまたはLVIリセット,  
PD : プルダウン, HZ : ハイ・インピーダンス
2. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2 - 2 78K0/DE2ポート端子 (2/2)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
P70	入出力	ポート7。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	CRxD <sup>注</sup> / <RXD60/INTPR60>
P71					CTxD <sup>注</sup> / <TxD60>
P72					SGOA/PCL
P73					SGO/SGOF/BUZ
P80-P82	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	外部：PD 内部：HZ	入力	SM11-SM13
P83					SM14/ZPD14
P84-P86					SM21-SM23
P87					SM24/ZPD24
P120	入出力	ポート12。 5ビット入出力ポート。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	EXLVI
P121					X1/OC0A
P122					X2/EXCLK/OC0B
P123					XT1
P124					XT2/EXCLKS

注  $\mu$  PD78F0844, 78F0845のみ。

- 備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，  
PD：プルダウン，HZ：ハイ・インピーダンス
2. <>内の機能は，入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

- ・78K0/DF2 (  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849 )

表2 - 3 78K0/DF2ポート端子 (1/2)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
P00	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	外部：PD 内部：HZ	入力	SEG12/TIOP40
P01					SEG13/TIOP41
P02					SEG14/TIO50
P03					SEG15/TIO51
P04					SEG16/TIOP01
P05					SEG17/TIOP11
P06					SEG18/TIOP21
P07					SEG19/TIOP31
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	SCK10/TxD61/INT P4
P11					SI10/RxD61/INTPR 61
P12					SO10/INTP2
P13					SEG23/TIOP30/TxD60
P14			外部：PD 内部：HZ		SEG22/TIOP20/RxD60/INTPR60
P15			SEG21/TIOP10		
P16			SEG20/TIOP00		
P17			HZ		INTP0/<TIOP30>
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	HZ	入力	ANI0-ANI7
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	外部：PD 内部：HZ	入力	SEG4
P31					SEG5/OCD1A
P32					SEG6/OCD1B
P33-P37					SEG7-SEG11
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	SCL0/INTP1
P61					SDA0/INTP3

- 備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，  
PD：プルダウン，HZ：ハイ・インピーダンス
2. <>内の機能は，入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

表2-3 78K0/DF2ポート端子(2/2)

端子名称	入出力	機能	リセット中	リセット後	兼用端子	
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	CRxD <sup>注1</sup> / <RXD60/INTPR60>	
P71					CTxD <sup>注1</sup> / <TxD60>	
P72					SGOA/PCL	
P73					SGO/SGOF/BUZ	
P74					外部: PD 内部: HZ	SEG24 <sup>注2</sup> /SCK11
P75					SEG25 <sup>注2</sup> /SI11	
P76					SEG26 <sup>注2</sup> /SO11	
P77					SEG27 <sup>注2</sup> / SSI11/<TIOP20>	
P80-P82	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	外部: PD 内部: HZ	入力	SEG24-SEG26 <sup>注3</sup> SM11-SM13 <sup>注2</sup>	
P83					SEG27 <sup>注3</sup> SM14/ZPD14 <sup>注2</sup>	
P84-P86					SEG28-SEG30 <sup>注3</sup> SM21-SM23 <sup>注2</sup>	
P87					SEG31 <sup>注3</sup> SM24/ZPD24 <sup>注2</sup>	
P90-P92	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	外部: PD 内部: HZ	入力	SEG32-SEG34 <sup>注4</sup> SM31-SM33 <sup>注5</sup>	
P93					SEG35 <sup>注4</sup> SM34/ZPD34 <sup>注5</sup>	
P94-P96					SEG36-SEG38 <sup>注4</sup> SM41-SM43 <sup>注5</sup>	
P97					SEG39 <sup>注4</sup> SM44/ZPD44 <sup>注5</sup>	
P120	入出力	ポート12。 5ビット入出力ポート。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	HZ	入力	EXLVI	
P121					X1/OCDOA	
P122					X2/EXCLK/OCDOB	
P123					XT1	
P124					XT2/EXCLKS	

注 1.  $\mu$  PD78F0846, 78F0847, 78F0848, 78F0849のみ。

2.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849の場合。

3.  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847の場合。

4.  $\mu$  PD78F0838, 78F0839の場合。

5.  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849の場合。

備考 1. 外部: POCリセットまたは端子リセット, 内部: WDTリセットまたはLVIリセット,  
PD: プルダウン, HZ: ハイ・インピーダンス

2. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

## (2) ポート以外の端子

・78K0/DE2 (  $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845 )

表2-4 78K0/DE2ポート以外の端子 (1/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	HZ	入力	P20-P23
AVREF	-	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-	-
AVss	-	A/Dコンバータのグランド電位。EVssまたはVssと同電位にしてください。	-	-	-
BUZ	出力	ブザー出力	HZ	入力	P73/SGO/SGOF
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力	L	-	-
CRxD <sup>注</sup>	入力	CAN受信データ入力	HZ	入力	P70/<RxD60/INTPR60>
CTxD <sup>注</sup>	出力	CAN送信データ出力	HZ	入力	P71/<TxD60>
EXCLK	入力	メイン・システム・クロック用外部クロック入力	HZ	入力	P122/X2/OCDOB
EXCLKS	入力	サブシステム・クロック用外部クロック入力	HZ	入力	P124/XT2
EXLVI	入力	外部低電圧検出用電位入力	HZ	入力	P120
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-	-
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	HZ	入力	P17/<TIOP30>
INTP1					P60/SCL0
INTP2					P12/SO10
INTP3					P61/SDA0
INTP4					P10/SCK10
INTPR60					P14/SEG22/TIOP20/RxD60
<INTPR60>					P70/CRxD <sup>注</sup> / <RxD60>
OCDOA	入出力	オンチップ・デバッグ・モード引き込み用接続	HZ	入力	P121/X1
OCDOB					P122/X2/EXCLK
OCDA1A					P31/SEG5
OCDA1B					P32/SEG6
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロックのトリミング用)	HZ	入力	P72/SGOA
REGC	-	内部動作レギュレータ出力(2.5V)安定容量接続。コンデンサ(0.47~1 $\mu$ F:推奨)を介し, Vssに接続してください。	-	-	-

注  $\mu$  PD78F0844, 78F0845のみ。

備考 1. 外部: POCリセットまたは端子リセット, 内部: WDTリセットまたはLVIリセット,

PD: プルダウン, HZ: ハイ・インピーダンス, L: ロウ・レベル

2. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-4 78K0/DE2ポート以外の端子(2/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子			
RESET	入力	システム・リセット入力	-	-	-			
RxD60	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	外部：PD	入力	P14/SEG22/TIOP20/INTPR60			
<RxD60>			内部：HZ			HZ	P70/CRxD <sup>注</sup> / <INTPR60>	
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	HZ	入力	P10/INTP4			
SCL0	入出力	I <sup>2</sup> Cクロック入力/出力 5V耐圧/N-chオープン・ドレイン出力選択可能。	HZ	入力	P60/INTP1			
SDA0	入出力	I <sup>2</sup> Cシリアル・データ入出力 5V耐圧/N-chオープン・ドレイン出力選択可能。	HZ	入力	P61/INTP3			
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	外部：PD	-	-			
SEG4			内部：L			外部：PD	入力	P30
SEG5			内部：HZ					P31/OCD1A
SEG6						P32/OCD1B		
SEG7-SEG11						P33-P37		
SEG12						P00/TIOP40		
SEG13						P01/TIOP41		
SEG14						P02/TIO50		
SEG15						P03/TIO51		
SEG16						P04/TIOP01		
SEG17						P05/TIOP11		
SEG18						P06/TIOP21		
SEG19						P07/TIOP31		
SEG20						P16/TIOP00		
SEG21						P15/TIOP10		
SEG22						P14/TIOP20/RxD60/INTPR60		
SEG23						P13/TIOP30/TxD60		
SGO	出力	サウンド・ジェネレータ出力	HZ	入力	P73/SGOF/BUZ			
SGOA		サウンド・ジェネレータ振幅PWM出力			P72/PCL			
SGOF		サウンド・ジェネレータ周波数出力			P73/SGO/BUZ			
SI10	入力	シリアル・インタフェースのシリアル・データ入力	HZ	入力	P11			

注  $\mu$  PD78F0844, 78F0845のみ。

- 備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，  
PD：プルダウン，HZ：ハイ・インピーダンス，L：ロウ・レベル
2. <>内の機能は，入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

表2-4 78K0/DE2ポート以外の端子(3/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
SM11	出力	ステッピング・モータ1出力sin +	外部：PD	入力	P80
SM12		ステッピング・モータ1出力sin -	内部：HZ		P81
SM13		ステッピング・モータ1出力cos +			P82
SM14		ステッピング・モータ1出力cos -			P83/ZPD14
SM21		ステッピング・モータ2出力sin +			P84
SM22		ステッピング・モータ2出力sin -			P85
SM23		ステッピング・モータ2出力cos +			P86
SM24		ステッピング・モータ2出力cos -			P87/ZPD24
SMV <sub>DD</sub>	-	ステッピング・モータ・ドライバ正電源	-	-	-
SMV <sub>SS</sub>	-	ステッピング・モータ・ドライバのグラウンド電位	-	-	-
SO10	出力	シリアル・インタフェースのシリアル・データ出力	HZ	入力	P12/INTP2
TIO50	入出力	外部カウント・クロック入力/タイマ出力(TM50)	外部：PD	入力	P02/SEG14
TIO51		外部カウント・クロック入力/タイマ出力(TM51)	内部：HZ		P03/SEG15
TIOP00	入出力	外部イベント・カウント入力/キャプチャ・トリガ入力/タイマ出力(TMP0)	外部：PD	入力	P16/SEG20
TIOP01		キャプチャ・トリガ入力/タイマ出力(TMP0)	内部：HZ		P04/SEG16
TIOP10		外部イベント・カウント入力/キャプチャ・トリガ入力/タイマ出力(TMP1)			P15/SEG21
TIOP11		キャプチャ・トリガ入力/タイマ出力(TMP1)			P05/SEG17
TIOP20		外部イベント・カウント入力/キャプチャ・トリガ入力/タイマ出力(TMP2)			P14/SEG22/RxD60 /INTPR60
TIOP21		キャプチャ・トリガ入力/タイマ出力(TMP2)			P06/SEG18
TIOP30		外部イベント・カウント入力/キャプチャ・トリガ入力/タイマ出力(TMP3)			P13/SEG23/TxD60
<TIOP30>			HZ		P17/INTP0
TIOP31		キャプチャ・トリガ入力/タイマ出力(TMP3)	外部：PD		P07/SEG19
TIOP40		外部イベント・カウント入力/キャプチャ・トリガ入力/タイマ出力(TMP4)	内部：HZ		P00/SEG12
TIOP41	キャプチャ・トリガ入力/タイマ出力(TMP4)		P01/SEG13		
TxD60	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	外部：PD	入力	P13/SEG23/TIOP3
<TxD60>			内部：HZ		0
			HZ		P71/CTxD <sup>※</sup>
V <sub>DD</sub> /EV <sub>DD</sub>	-	正電源(ポート部を除く)/ポート部の正電源	-	-	-
V <sub>SS</sub> /EV <sub>SS</sub>	-	グラウンド電位(ポート部を除く)/ポート部のグラウンド電位	-	-	-

注  $\mu$  PD78F0844, 78F0845のみ。

- 備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，  
PD：プルダウン，HZ：ハイ・インピーダンス
2. <>内の機能は，入力切り替え制御レジスタ(ISC)の設定により割り当て可能です。

表2 - 4 78K0/DE2ポート以外の端子 (4/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
X1	入力	高速システム・クロック用発振子接続	HZ	入力	P121/OCD0A
X2	-				P122/EXCLK/OCD0B
XT1	入力	サブシステム・クロック用発振子接続	HZ	入力	P123
XT2	-				P124/EXCLKS
ZPD14	入力	ゼロ点検知入力	外部：PD	入力	P83/SM14
ZPD24			内部：HZ		P87/SM24

備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，

PD：プルダウン，HZ：ハイ・インピーダンス

2. <>内の機能は，入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

- ・78K0/DF2 (  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849 )

表2 - 5 78K0/DF2ポート以外の端子 (1/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	HZ	入力	P20-P27
AVREF	-	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-	-
AVSS	-	A/Dコンバータのグランド電位。EV <sub>SS</sub> またはV <sub>SS</sub> と同電位にしてください。	-	-	-
BUZ	出力	ブザー出力	HZ	入力	P73/SGO/SGOF
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力	L	-	-
CRxD <sup>注</sup>	入力	CAN受信データ入力	HZ	入力	P70/<RxD60/INTP R60>
CTxD <sup>注</sup>	出力	CAN送信データ出力	HZ	入力	P71/<TxD60>
EXCLK	入力	メイン・システム・クロック用外部クロック入力	HZ	入力	P122/X2/OCD0B
EXCLKS	入力	サブシステム・クロック用外部クロック入力	HZ	入力	P124/XT2
EXLVI	入力	外部低電圧検出用電位入力	HZ	入力	P120
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-	-
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	HZ	入力	P17/<TIOP30>
INTP1					P60/SCL0
INTP2					P12/SO10
INTP3					P61/SDA0
INTP4			P10/SCK10/TxD61		
INTPR60			外部: PD 内部: HZ		P14/SEG22/TIOP20/RxD60
<INTPR60>			HZ		P70/CRxD <sup>注</sup> / <RxD60>
INTPR61					P11/SI10/RxD61
OCD0A	入出力	オンチップ・デバッグ・モード引き込み用接続	HZ	入力	P121/X1
OCD0B					P122/X2/EXCLK
OCD1A			外部: PD 内部: HZ		P31/SEG5
OCD1B					P32/SEG6
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロックのトリミング用)	HZ	入力	P72/SGOA
REGC	-	内部動作レギュレータ出力(2.5V)安定容量接続。コンデンサ (0.47~1 $\mu$ F: 推奨) を介し, V <sub>SS</sub> に接続してください。	-	-	-
RESET	入力	システム・リセット入力	-	-	-

注  $\mu$  PD78F0846, 78F0847, 78F0848, 78F0849のみ。

- 備考 1. 外部: POCリセットまたは端子リセット, 内部: WDTリセットまたはLVIリセット,  
PD: プルダウン, HZ: ハイ・インピーダンス, L: ロウ・レベル
2. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2 - 5 78K0/DF2ポート以外の端子 (2/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
RxD60	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	外部：PD	入力	P14/SEG22/TIOP20/INTPR60
<RxD60>			内部：HZ		P70/CRxD <sup>注1</sup> / <INTPR60>
RxD61			HZ		P11/SI10/INTPR61
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	HZ	入力	P10/INTP4
SCK11			外部：PD 内部：HZ		P74/SEG24 <sup>注2</sup>
SCL0	入出力	I <sup>2</sup> Cクロック入力/出力 5V耐圧/N-chオープン・ドレイン出力選択可能。	HZ	入力	P60/INTP1
SDA0	入出力	I <sup>2</sup> Cシリアル・データ入出力 5V耐圧/N-chオープン・ドレイン出力選択可能。	HZ	入力	P61/INTP3
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	外部：PD 内部：L	-	-
SEG4			外部：PD	入力	P30
SEG5			内部：HZ		P31/OCD1A
SEG6					P32/OCD1B
SEG7-SEG11					P33-P37
SEG12					P00/TIOP40
SEG13					P01/TIOP41
SEG14					P02/TIO50
SEG15					P03/TIO51
SEG16					P04/TIOP01
SEG17					P05/TIOP11
SEG18					P06/TIOP21
SEG19					P07/TIOP31
SEG20					P16/TIOP00
SEG21					P15/TIOP10
SEG22					P14/TIOP20/RxD60/INTPR60
SEG23					P13/TIOP30/TxD60
SEG24					P74/SCK11 <sup>注2</sup>
SEG25					P80 <sup>注3</sup>
					P75/SI11 <sup>注2</sup>
	P81 <sup>注3</sup>				

注 1.  $\mu$  PD78F0846, 78F0847, 78F0848, 78F0849のみ。

2.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849の場合。

3.  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847の場合。

備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，

PD：プルダウン，HZ：ハイ・インピーダンス，L：ロウ・レベル

2. <>内の機能は，入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

表2-5 78K0/DF2ポート以外の端子(3/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子
SEG26	出力	LCDコントローラ/ドライバのセグメント信号出力	外部: PD 内部: HZ	入力	P76/SO11 <sup>注1</sup>
SEG27					P82 <sup>注2</sup>
SEG28-SEG31 <sup>注3</sup>					P77/SS11 <sup>注1</sup> / $\overline{<TIOP20>}$ P83 <sup>注2</sup>
SEG32-SEG39 <sup>注4</sup>					P84-P87 P90-P97
SGO	出力	サウンド・ジェネレータ出力	HZ	入力	P73/SGOF/BUZ
SGOA		サウンド・ジェネレータ振幅PWM出力			P72/PCL
SGOF		サウンド・ジェネレータ周波数出力			P73/SGO/BUZ
SI10	入力	シリアル・インタフェースのシリアル・データ入力	HZ	入力	P11/RxD61/INTPR61
SI11					外部: PD 内部: HZ
SM11 <sup>注5</sup>	出力	ステッピング・モータ1出力sin +	外部: PD 内部: HZ	入力	P80
SM12 <sup>注5</sup>		ステッピング・モータ1出力sin -			P81
SM13 <sup>注5</sup>		ステッピング・モータ1出力cos +			P82
SM14 <sup>注5</sup>		ステッピング・モータ1出力cos -			P83/ZPD14
SM21 <sup>注5</sup>		ステッピング・モータ2出力sin +			P84
SM22 <sup>注5</sup>		ステッピング・モータ2出力sin -			P85
SM23 <sup>注5</sup>		ステッピング・モータ2出力cos +			P86
SM24 <sup>注5</sup>		ステッピング・モータ2出力cos -			P87/ZPD24
SM31 <sup>注6</sup>		ステッピング・モータ3出力sin +			P90
SM32 <sup>注6</sup>		ステッピング・モータ3出力sin -			P91
SM33 <sup>注6</sup>		ステッピング・モータ3出力cos +			P92
SM34 <sup>注6</sup>		ステッピング・モータ3出力cos -			P93/ZPD34
SM41 <sup>注6</sup>		ステッピング・モータ4出力sin +			P94
SM42 <sup>注6</sup>		ステッピング・モータ4出力sin -			P95
SM43 <sup>注6</sup>		ステッピング・モータ4出力cos +			P96
SM44 <sup>注6</sup>		ステッピング・モータ4出力cos -			P97/ZPD44
SMV <sub>DD</sub>	-	ステッピング・モータ・ドライバ正電源	-	-	-
SMV <sub>SS</sub>	-	ステッピング・モータ・ドライバのグラウンド電位	-	-	-
SO10	出力	シリアル・インタフェースのシリアル・データ出力	HZ	入力	P12/INTP2
SO11					外部: PD 内部: HZ

注 1.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849の場合。

2.  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847の場合。

3.  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847のみ。

4.  $\mu$  PD78F0838, 78F0839のみ。

5.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみ。

6.  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849のみ。

備考 1. 外部: POCリセットまたは端子リセット, 内部: WDTリセットまたはLVIリセット,

PD: プルダウン, HZ: ハイ・インピーダンス

2. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-5 78K0/DF2ポート以外の端子(4/4)

端子名称	入出力	機能	リセット中	リセット後	兼用端子		
SSI11	入力	シリアル・インタフェースのチップ・セレクト入力	外部：PD 内部：HZ	入力	P77/<TIOP20>/ SEG27 <sup>注1</sup>		
TIO50	入出力	外部カウント・クロック入力/タイマ出力 (TM50)	外部：PD	入力	P02/SEG14		
TIO51		外部カウント・クロック入力/タイマ出力 (TM51)	内部：HZ		P03/SEG15		
TIOP00	入出力	外部イベント・カウント入力/キャプチャ・トリガ 入力/タイマ出力 (TMP0)	外部：PD 内部：HZ	入力	P16/SEG20		
TIOP01		キャプチャ・トリガ入力/タイマ出力 (TMP0)			P04/SEG16		
TIOP10		外部イベント・カウント入力/キャプチャ・トリガ 入力/タイマ出力 (TMP1)			P15/SEG21		
TIOP11		キャプチャ・トリガ入力/タイマ出力 (TMP1)			P05/SEG17		
TIOP20		外部イベント・カウント入力/キャプチャ・トリガ 入力/タイマ出力 (TMP2)			P14/SEG22/RxD60 /INTPR60		
<TIOP20>					P77/SSI11/ SEG27 <sup>注1</sup>		
TIOP21		キャプチャ・トリガ入力/タイマ出力 (TMP2)			P06/SEG18		
TIOP30		外部イベント・カウント入力/キャプチャ・トリガ 入力/タイマ出力 (TMP3)			HZ	P13/SEG23/TxD60	
<TIOP30>						P17/INTP0	
TIOP31		キャプチャ・トリガ入力/タイマ出力 (TMP3)			外部：PD	P07/SEG19	
TIOP40		外部イベント・カウント入力/キャプチャ・トリガ 入力/タイマ出力 (TMP4)			内部：HZ	P00/SEG12	
TIOP41		キャプチャ・トリガ入力/タイマ出力 (TMP4)				P01/SEG13	
TxD60		出力			アシンクロナス・シリアル・インタフェース用シ リアル・データ出力	外部：PD 内部：HZ	入力
<TxD60>			HZ			P71/CTxD <sup>注2</sup>	
TxD61			P10/SCK10/INTP4				
V <sub>DD</sub> /EV <sub>DD</sub>	-	正電源 (ポート部を除く) / ポート部の正電源	-	-	-		
V <sub>SS</sub> /EV <sub>SS</sub>	-	グラウンド電位 (ポート部を除く) / ポート部のグラ ウンド電位	-	-	-		
X1	入力	高速システム・クロック用発振子接続	HZ	入力	P121/OCD0A		
X2	-				P122/EXCLK/OCD0B		
XT1	入力	サブシステム・クロック用発振子接続	HZ	入力	P123		
XT2	-				P124/EXCLKS		
ZPD14 <sup>注3</sup>	入力	ゼロ点検知入力	外部：PD 内部：HZ	入力	P83/SM14		
ZPD24 <sup>注3</sup>					P87/SM24		
ZPD34 <sup>注4</sup>					P93/SM34		
ZPD44 <sup>注4</sup>					P97/SM44		

注 1.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849の場合。

2.  $\mu$  PD78F0846, 78F0847, 78F0848, 78F0849のみ。

3.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849の場合。

4.  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849のみ。

備考 1. 外部：POCリセットまたは端子リセット，内部：WDTリセットまたはLVIリセット，

PD：プルダウン，HZ：ハイ・インピーダンス

2. <>内の機能は，入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

## 2.2 端子機能の説明

### 2.2.1 P00-P07 (Port 0)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、LCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

タイマの入出力、LCDコントローラ/ドライバのセグメント信号出力として機能します。

##### (a) TIO50, TIO51

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子およびタイマ出力端子です。

##### (b) TIOP01, TIOP11, TIOP21, TIOP31, TIOP41

キャプチャ・トリガ信号入力端子およびタイマ出力端子です (TMP0-TMP4)。

##### (c) TIOP40

外部イベント・カウント入力端子、キャプチャ・トリガ信号入力端子、外部トリガ信号入力端子およびタイマ出力端子です (TMP4)。

##### (d) SEG12-SEG19

LCDコントローラ/ドライバのセグメント信号出力端子です。

## 2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力、LCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

### (2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

#### (a) SI10

シリアル・インタフェースのシリアル・データの入力端子です。

#### (b) SO10

シリアル・インタフェースのシリアル・データの出力端子です。

#### (c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

#### (d) RxD60, RxD61<sup>注</sup>

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

**注** RxD61は78K0/DF2のみ。

#### (e) TxD60, TxD61<sup>注</sup>

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

**注** TxD61は78K0/DF2のみ。

#### (f) TIOP00, TIOP10, TIOP20, TIOP30

外部イベント・カウント入力端子、キャプチャ・トリガ信号入力端子、外部トリガ信号入力端子およびタイマ出力端子です (TMP0-TMP3)。

#### (g) INTP0, INTP2, INTP4, INTPR60, INTPR61<sup>注</sup>

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

**注** INTPR61は78K0/DF2のみ。

(d) SEG20-SEG23

LCDコントローラ/ドライバのセグメント信号出力端子です。

### 2.2.3 P20-P27 (Port 2)

78K0/DF2では8ビット,78K0/DE2では4ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

78K0/DF2では8ビット,78K0/DE2では4ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により,1ビット単位で入力ポートまたは出力ポートとして指定できます。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力 (78K0/DF2ではANI0-ANI7,78K0/DE2ではANI0-ANI3) として機能します。アナログ入力端子として使用する場合,11.6(5) P20/ANI0-P27/ANI7を参照してください。

**注意** P20-P27は,リセット解除後はアナログ入力モードになります。

## 2.2.4 P30-P37 (Port 3)

8ビットの入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

### (2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力機能として機能します。

#### (a) SEG4-SEG11

LCDコントローラ/ドライバのセグメント信号出力端子です。

**注意** 誤動作を防ぐため、リセット解除までにP31/SEG5/OCD1Aを必ずプルダウンしてください。

**備考** P31/SEG5, P32/SEG6は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、**第27章 オンチップ・デバッグ機能**を参照してください。

### 2.2.5 P60, P61 (Port 6)

2ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。P64-P67はプルアップ抵抗オプション・レジスタ6 (PU6) の設定により, 内蔵プルアップ抵抗を使用できます。

#### (1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ6 (PU6) の設定により, 内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

クロック入出力, IIC0のデータ入出力として機能します。

##### (a) INTP1, INTP3

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

##### (b) SCL0

シリアル・インタフェースIIC0のシリアル・クロック入出力端子です。

##### (c) SDA0

シリアル・インタフェースIIC0のシリアル・データ入出力端子です。

## 2.2.6 P70-P77 (Port 7)

78K0/DF2では8ビット、78K0/DE2では4ビットの入出力ポートです。入出力ポートのほかにサウンド・ジェネレータ出力、クロック出力、ブザー出力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、LCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

78K0/DF2では8ビット、78K0/DE2では4ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

### (2) コントロール・モード

サウンド・ジェネレータ出力、クロック出力、ブザー出力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、LCDコントローラ/ドライバのセグメント信号出力として機能します。

#### (a) SGOA

サウンド・ジェネレータの振幅PWM出力端子です。

#### (b) SGO

サウンド・ジェネレータの出力端子です。

#### (c) SGOF

サウンド・ジェネレータの周波数出力端子です。

#### (d) PCL

クロック出力端子です。

#### (e) BUZ

ブザー出力端子です。

#### (f) RxD60

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

#### (g) TxD60

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

#### (h) INTPR60

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

#### (i) CRxD ( $\mu$ PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ)

CANの受信データ入力端子です

(j) CTxD ( $\mu$  PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ)

CANの送信データ出力端子です。

(k)  $\overline{\text{SCK11}}$  (78K0/DF2のみ)

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(l) SI11 (78K0/DF2のみ)

シリアル・インタフェースのシリアル・データの入力端子です。

(m) SO11 (78K0/DF2のみ)

シリアル・インタフェースのシリアル・データの出力端子です。

(n)  $\overline{\text{SCK11}}$  (78K0/DF2のみ)

シリアル・インタフェースのチップ・セレクト入力端子です。

(o) TIOP20 (78K0/DF2のみ)

外部イベント・カウント入力端子, キャプチャ・トリガ信号入力端子, 外部トリガ信号入力端子およびタイマ出力端子です (TMP2)。

(d) SEG24-SEG27 ( $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみ)

LCDコントローラ/ドライバのセグメント信号出力端子です。

## 2.2.7 P80-P87 (Port 8)

8ビットの入出力ポートです。入出力ポートのほかにステッピング・モータ・コントローラ/ドライバの入出力, LCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

ステッピング・モータ・コントローラ/ドライバの入出力, LCDコントローラ/ドライバのセグメント信号出力として機能します。

#### (a) SEG24-SEG31 ( $\mu$ PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847のみ)

LCDコントローラ/ドライバのセグメント信号出力端子です。

#### (b) SM11-SM14, SM21-SM24 ( $\mu$ PD78F0836, 78F0837, 78F0842, 78F0843, 78F0844, 78F0845, 78F0848, 78F0849のみ)

ステッピング・モータ・コントローラ/ドライバの出力端子です。

#### (c) ZPD14, ZPD24 ( $\mu$ PD78F0836, 78F0837, 78F0842, 78F0843, 78F0844, 78F0845, 78F0848, 78F0849のみ)

ステッピング・モータ・コントローラ/ドライバのゼロ点検知 (ZPD) 入力端子です。

## 2.2.8 P90-P97 (Port 9) (78K0/DF2のみ)

8ビットの入出力ポートです。入出力ポートのほかにステッピング・モータ・コントローラ/ドライバの入出力, LCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

ステッピング・モータ・コントローラ/ドライバの入出力, LCDコントローラ/ドライバのセグメント信号出力として機能します。

#### (a) SEG32-SEG39 ( $\mu$ PD78F0838, 78F0839のみ)

LCDコントローラ/ドライバのセグメント信号出力端子です。

#### (b) SM31-SM34, SM41-SM44 ( $\mu$ PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849のみ)

ステッピング・モータ・コントローラ/ドライバの出力端子です。

#### (c) ZPD34, ZPD44 ( $\mu$ PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849のみ)

ステッピング・モータ・コントローラ/ドライバのゼロ点検知 (ZPD) 入力端子です。

## 2.2.9 P120-P124 (Port 12)

5ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により, P120のみ内蔵プルアップ抵抗を使用できます。

### (2) コントロール・モード

外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力として機能します。

#### (a) EXLVI

外部低電圧検出用電位入力端子です。

#### (b) X1, X2

高速システム・クロック用発振子接続端子です。

外部クロックを供給するときは, X1に入力し, X2にその反転信号を入力してください。

**注意** フラッシュ・メモリ・プログラマによる書き込みをする場合, P121/X1を次のように処理してください。

・P121/X1をポートとして使用する場合は, 抵抗 (10 k $\Omega$ : 推奨) を介してV<sub>SS</sub>に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合, 上記の処置は必要ありません。

**備考** P121/X1, P122/X2/EXCLKは, オンチップ・デバッグ機能を使用するとき, オンチップ・デバッグ・モード引き込み用端子として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については, 第27章 **オンチップ・デバッグ機能**を参照してください。

#### (c) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

#### (d) XT1, XT2

サブシステム・クロック用発振子接続端子です。

外部クロックを供給するときは, XT1に入力し, XT2にその反転信号を入力してください。

#### (e) EXCLKS

サブシステム・クロック用外部クロック入力端子です。

### 2.2.10 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は、V<sub>DD</sub>/EV<sub>DD</sub>に直接接続してください。

### 2.2.11 AVss

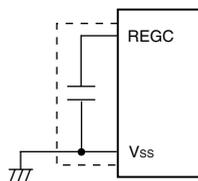
A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV<sub>SS</sub>/EV<sub>SS</sub>端子と同電位で使用してください。

### 2.2.12 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2.2.13 REGC

内部動作用レギュレータ出力(2.5V)安定容量接続端子です。コンデンサ(0.47~1 $\mu$ F:推奨)を介し、V<sub>SS</sub>に接続してください。



**注意** 上図の破線部分の配線を極力短くしてください。

### 2.2.14 V<sub>DD</sub>/EV<sub>DD</sub>

V<sub>DD</sub>は、ポート部以外の正電源供給端子です。

EV<sub>DD</sub>は、ポート部の正電源供給端子です。

### 2.2.15 V<sub>SS</sub>/EV<sub>SS</sub>

V<sub>SS</sub>は、ポート部以外のグランド電位端子です。

EV<sub>SS</sub>は、ポート部のグランド電位端子です。

### 2.2.16 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、V<sub>SS</sub>/EV<sub>SS</sub>に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと必ず接続してください。

### 2.2.17 SEG0-SEG3

LCDコントローラ/ドライバのセグメント信号出力端子です。

### 2.2.18 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。

### 2.2.19 SMV<sub>DD</sub>

ステッピング・モータ・コントローラ/ドライバの正電源供給端子です。

### 2.2.20 SMV<sub>SS</sub>

ステッピング・モータ・コントローラ/ドライバのグラウンド電位端子です。

## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-6に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-6 各端子の入出力回路タイプ (1/8)

(a) 78K0/DE2 ( $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/SEG12/TIOP40	17-W	入出力	入力時：個別に抵抗を介して、V <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01/SEG13/TIOP41			
P02/SEG14/TIO50			
P03/SEG15/TIO51			
P04/SEG16/TIOP01			
P05/SEG17/TIOP11			
P06/SEG18/TIOP21			
P07/SEG19/TIOP31			
P10/SCK10/INTP4	5-AW		
P11/SI10			
P12/SO10/INTP2			
P13/SEG23/TIOP30/TxD60	17-W		
P14/SEG22/TIOP20/RxD60/I NTPR60			
P15/SEG21/TIOP10			
P16/SEG20/TIOP00			
P17/INTP0/<TIOP30>	5-AW		
P20/ANI0-P23/ANI3 <sup>注1</sup>	11-G	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P30/SEG4	17-V	入出力	入力時：個別に抵抗を介して、V <sub>SS</sub> に接続してください。 出力時：オープンにしてください
P31/SEG5/OCD1A <sup>注2</sup>	17-W		
P32/SEG6/OCD1B <sup>注2</sup>			
P33/SEG7-P35/SEG9			
P36/SEG10	17-V		
P37/SEG11	17-W		

注1. P20/ANI0-P23/ANI3は、リセット解除後はアナログ入力モードになります。

- 未使用時は、入出力ポート・モード (図5-5 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ (2/8)

(a) 78K0/DE2 ( $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P60/SCL0/INTP1	5-AH	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P61/SDA0/INTP3			
P70/CRxD <sup>注1</sup> / <RXD60/INTPR60>	5-AH	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P71/CTxD <sup>注1</sup> / <TXD60>	5-AG		
P72/SGOA/PCL			
P73/SGO/SGOF/BUZ			
P80/SM11-P82/SM13	5-AU	入出力	入力時：個別に抵抗を介して、 $SMV_{SS}$ に接続してください。 出力時：オープンにしてください。
P83/SM14/ZPD14	5-AX		
P84/SM21-P86/SM23	5-AU		
P87/SM24/ZPD24	5-AX		
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P121/X1/OCDA <sup>注2,3</sup>	37-D		
P122/X2/EXCLK/OCDB <sup>注2</sup>			
P123/XT1 <sup>注2</sup>			
P124/XT2/EXCLKS <sup>注2</sup>			
SEG0-SEG3	17-U	出力	オープンにしてください。
COM0-COM3	18-G		
RESET	2	入力	-
AV <sub>REF</sub>	-	-	$V_{DD}$ に直接接続してください。
AV <sub>SS</sub>			$V_{SS}$ に直接接続してください。
SMV <sub>DD</sub>			$V_{DD}$ に直接接続してください。
SMV <sub>SS</sub>			$V_{SS}$ に直接接続してください。
FLMD0	38	入力	$V_{SS}$ に直接接続してください。

注1.  $\mu$  PD78F0844, 78F0845のみ。

- 未使用時は、入出力ポート・モード (図5-5 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。
- フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。
  - P121/X1をポートとして使用する場合は、抵抗 (10 k $\Omega$ : 推奨) を介して $V_{SS}$ に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ (3/8)

(b) 78K0/DF2 ( $\mu$  PD78F0838, 78F0839) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/SEG12/TIOP40	17-W	入出力	入力時：個別に抵抗を介して， $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P01/SEG13/TIOP41			
P02/SEG14/TIO50			
P03/SEG15/TIO51			
P04/SEG16/TIOP01			
P05/SEG17/TIOP11			
P06/SEG18/TIOP21			
P07/SEG19/TIOP31			
P10/SCK10/INTP4	5-AH		
P11/SI10/RxD61/INTPR61			
P12/SO10/INTP2			
P13/SEG23/TIOP30/TxD60	17-W	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P14/SEG22/TIOP20/RxD60/I NTPR60			
P15/SEG21/TIOP10			
P16/SEG20/TIOP00			
P17/INTP0<TIOP30>			
P20/ANI0-P27/ANI7 <sup>注1</sup>	11-G	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P30/SEG4	17-V	入出力	入力時：個別に抵抗を介して， $V_{SS}$ に接続してください。 出力時：オープンにしてください
P31/SEG5/OCD1A <sup>注2</sup>	17-W		
P32/SEG6/OCD1B <sup>注2</sup>			
P33/SEG7-P35/SEG9			
P36/SEG10	17-V		
P37/SEG11	17-W		
P60/SCL0/INTP1	5-AH	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P61/SDA0/INTP3			

注1. P20/ANI0-P27/ANI7は，リセット解除後はアナログ入力モードになります。

2. 未使用時は，入出力ポート・モード（図5-5 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

備考 <>内の機能は，入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ(4/8)

(b) 78K0/DF2 ( $\mu$  PD78F0838, 78F0839) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/<RXD60/INTPR60>	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P71/<TxD60>	5-AG		
P72/SGOA/PCL			
P73/SGO/SGOF/BUZ			
P74/SCK11	5-AW		
P75/SI11			
P76/SO11	5-AU		
P77/SSI11/<TIOP20>	5-AW		
P80/SEG24-P87/SEG31	17-X	入出力	入力時：個別に抵抗を介して、SMV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P90/SEG32-P93/SEG35	17-W		
P94/SEG36-P97/SEG39	17-X		
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P121/X1/OC0A <sup>注1, 2</sup>	37-D		
P122/X2/EXCLK/OC0B <sup>注1</sup>			
P123/XT1 <sup>注1</sup>			
P124/XT2/EXCLKS <sup>注1</sup>			
SEG0-SEG3	17-U	出力	オープンにしてください。
COM0-COM3	18-G		
RESET	2	入力	-
AV <sub>REF</sub>	-	-	V <sub>DD</sub> に直接接続してください。
AV <sub>SS</sub>			V <sub>SS</sub> に直接接続してください。
SMV <sub>DD</sub>			V <sub>DD</sub> に直接接続してください。
SMV <sub>SS</sub>			V <sub>SS</sub> に直接接続してください。
FLMD0	38	入力	V <sub>SS</sub> に直接接続してください。

注1. 未使用時は、入出力ポート・モード(図5-5 クロック動作モード選択レジスタ(OSCCTL)のフォーマットを参照)で上記の推奨接続方法を行ってください。

2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。  
・P121/X1をポートとして使用する場合は、抵抗(10 k $\Omega$ : 推奨)を介してV<sub>SS</sub>に接続(入力時)またはオープン(出力時)にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

備考 <>内の機能は、入力切り替え制御レジスタ(ISC)の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ (5/8)

(c) 78K0/DF2 ( $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/SEG12/TIOP40	17-W	入出力	入力時：個別に抵抗を介して， $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P01/SEG13/TIOP41			
P02/SEG14/TIO50			
P03/SEG15/TIO51			
P04/SEG16/TIOP01			
P05/SEG17/TIOP11			
P06/SEG18/TIOP21			
P07/SEG19/TIOP31	5-AH		
P10/SCK10/TxD61/INTP4			
P11/SI10/RxD61/INTPR61			
P12/SO10/INTP2	17-W		
P13/SEG23/TIOP30/TxD60			
P14/SEG22/TIOP20/RxD60/I NTPR60			
P15/SEG21/TIOP10			
P16/SEG20/TIOP00			
P17/INTP0<TIOP30>	5-AH		
P20/ANI0-P27/ANI7 <sup>注1</sup>	11-G	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P30/SEG4	17-V	入出力	入力時：個別に抵抗を介して， $V_{SS}$ に接続してください。 出力時：オープンにしてください
P31/SEG5/OCD1A <sup>注2</sup>	17-W		
P32/SEG6/OCD1B <sup>注2</sup>			
P33/SEG7-P35/SEG9			
P36/SEG10	17-V		
P37/SEG11	17-W		
P60/SCL0/INTP1	5-AH	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：ポートの出力ラッチを“0”にクリアしたあとオープンに してください。
P61/SDA0/INTP3			

注1. P20/ANI0-P27/ANI7は，リセット解除後はアナログ入力モードになります。

2. 未使用時は，入出力ポート・モード (図5-5 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

備考 <>内の機能は，入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ(6/8)

(c) 78K0/DF2 ( $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/CRxD <sup>注1</sup> / <RXD60/INTPR60>	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P71/CTxD <sup>注1</sup> / <TxD60>	5-AG		
P72/SGOA/PCL			
P73/SGO/SGOF/BUZ			
P74/SCK11	5-AW		
P75/SI11			
P76/SO11	5-AU		
P77/SSI11/<TIOP20>	5-AW		
P80/SEG24-P87/SEG31	17-X	入出力	入力時：個別に抵抗を介して、SMV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P90/SM31-P92/SM33	5-AW		
P93/SM34/ZPD34	5-AV		
P94/SM41-P96/SM43	5-AU		
P97/SM44/ZPD44	5-AX		
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P121/X1/OCDOA <sup>注2,3</sup>	37-D		
P122/X2/EXCLK/OCDOB <sup>注2</sup>			
P123/XT1 <sup>注2</sup>			
P124/XT2/EXCLKS <sup>注2</sup>			
SEG0-SEG3	17-U	出力	オープンにしてください。
COM0-COM3	18-G		
RESET	2	入力	-
AV <sub>REF</sub>	-	-	V <sub>DD</sub> に直接接続してください。
AV <sub>SS</sub>			V <sub>SS</sub> に直接接続してください。
SMV <sub>DD</sub>			V <sub>DD</sub> に直接接続してください。
SMV <sub>SS</sub>			V <sub>SS</sub> に直接接続してください。
FLMD0	38	入力	V <sub>SS</sub> に直接接続してください。

注1.  $\mu$  PD78F0846, 78F0847のみ。

- 未使用時は、入出力ポート・モード(図5-5 クロック動作モード選択レジスタ(OSCCTL)のフォーマットを参照)で上記の推奨接続方法を行ってください。
- フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。
  - P121/X1をポートとして使用する場合は、抵抗(10 k $\Omega$ : 推奨)を介してV<sub>SS</sub>に接続(入力時)またはオープン(出力時)にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

備考 <>内の機能は、入力切り替え制御レジスタ(ISC)の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ (7/8)

(d) 78K0/DF2 ( $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/SEG12/TIOP40	17-W	入出力	入力時：個別に抵抗を介して， $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P01/SEG13/TIOP41			
P02/SEG14/TIO50			
P03/SEG15/TIO51			
P04/SEG16/TIOP01			
P05/SEG17/TIOP11			
P06/SEG18/TIOP21			
P07/SEG19/TIOP31			
P10/SCK10/TxD61/INTP4	5-AH		
P11/SI10/RxD61/INTPR61			
P12/SO10/INTP2			
P13/SEG23/TIOP30/TxD60	17-W	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P14/SEG22/TIOP20/RxD60/I NTPR60			
P15/SEG21/TIOP10			
P16/SEG20/TIOP00			
P17/INTP0<TIOP30>			
P20/ANI0-P27/ANI7 <sup>注1</sup>	11-G	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P30/SEG4	17-V	入出力	入力時：個別に抵抗を介して， $V_{SS}$ に接続してください。 出力時：オープンにしてください
P31/SEG5/OCD1A <sup>注2</sup>	17-W		
P32/SEG6/OCD1B <sup>注2</sup>			
P33/SEG7-P35/SEG9			
P36/SEG10	17-V		
P37/SEG11	17-W		
P60/SCL0/INTP1	5-AH	入出力	入力時：個別に抵抗を介して， $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：ポートの出力ラッチを“0”にクリアしたあとオープンに してください。
P61/SDA0/INTP3			

注1. P20/ANI0-P27/ANI7は，リセット解除後はアナログ入力モードになります。

- 未使用時は，入出力ポート・モード (図5-5 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

備考 <>内の機能は，入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-6 各端子の入出力回路タイプ (8/8)

(d) 78K0/DF2 ( $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/CRxD <sup>注1</sup> / <RXD60/INTPR60>	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P71/CTxD <sup>注1</sup> / <TXD60>	5-AG		
P72/SGOA/PCL			
P73/SGO/SGOF/BUZ			
P74/SEG24/SCK11	17-W		
P75/SEG25/SI11	17-V		
P76/SEG26/SO11			
P77/SEG27/SSI11/<TIOP20>	17-W		
P80/SM11-P82/SM13	5-AU	入出力	入力時：個別に抵抗を介して、SMV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P83/SM14/ZPD14	5-AX		
P84/SM21-P86/SM23	5-AU		
P87/SM24/ZPD24	5-AX		
P90/SM31-P92/SM33	5-AW		
P93/SM34/ZPD34	5-AV		
P94/SM41-P96/SM43	5-AU		
P97/SM44/ZPD44	5-AX		
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P121/X1/OCDOA <sup>注2,3</sup>	37-D		
P122/X2/EXCLK/OCDOB <sup>注2</sup>			
P123/XT1 <sup>注2</sup>			
P124/XT2/EXCLKS <sup>注2</sup>			
SEG0-SEG3	17-U	出力	オープンにしてください。
COM0-COM3	18-G		
RESET	2	入力	-
AV <sub>REF</sub>	-	-	V <sub>DD</sub> に直接接続してください。
AV <sub>SS</sub>			V <sub>SS</sub> に直接接続してください。
SMV <sub>DD</sub>			V <sub>DD</sub> に直接接続してください。
SMV <sub>SS</sub>			V <sub>SS</sub> に直接接続してください。
FLMD0	38	入力	V <sub>SS</sub> に直接接続してください。

注1.  $\mu$  PD78F0848, 78F0849のみ。

- 未使用時は、入出力ポート・モード (図5-5 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。
- フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。  
・P121/X1をポートとして使用する場合は、抵抗 (10 k $\Omega$ : 推奨) を介してV<sub>SS</sub>に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

備考 &lt;&gt;内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

図2-1 端子の入出力回路一覧(1/5)

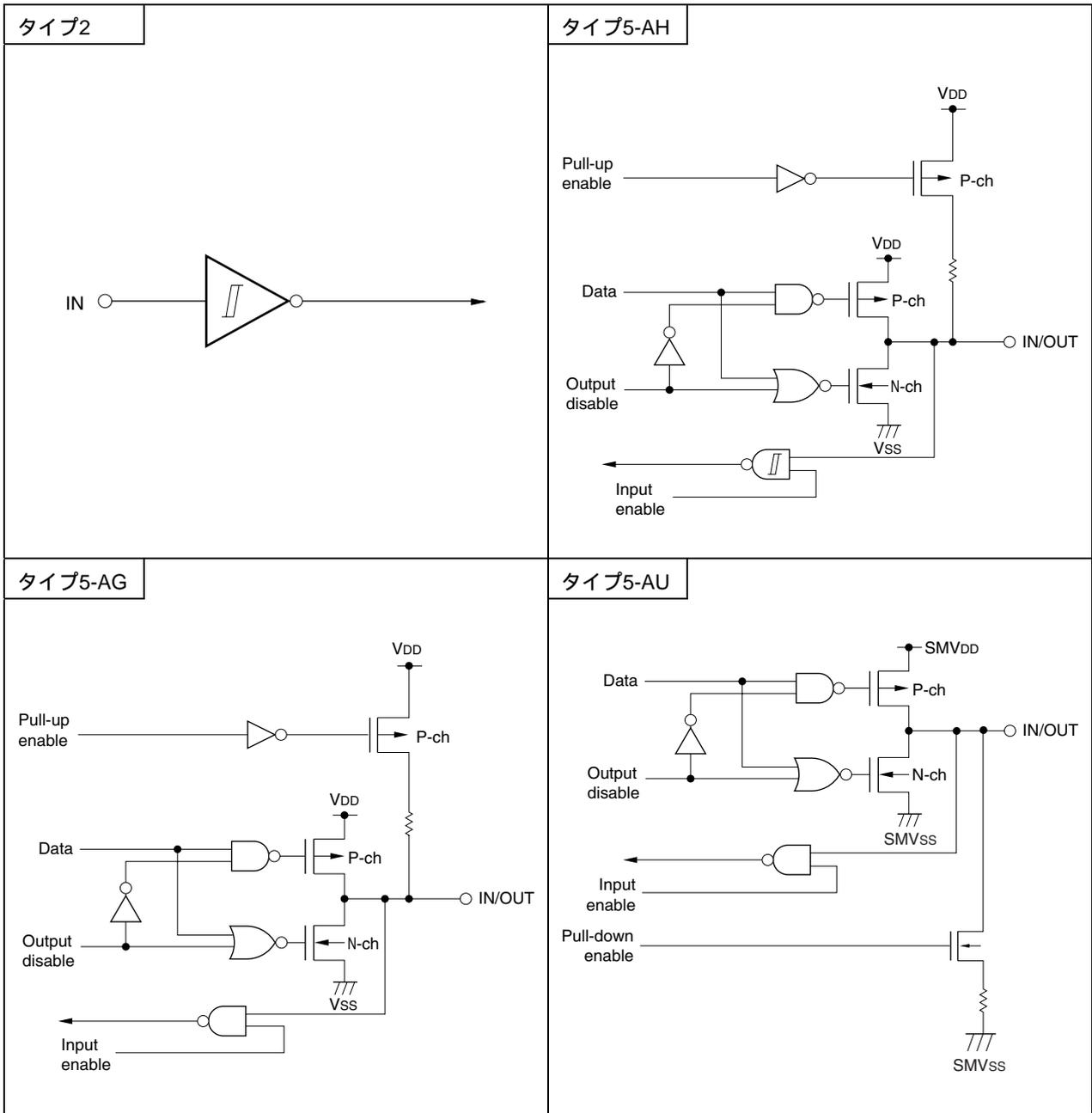


図2-1 端子の入出力回路一覧 (2/5)

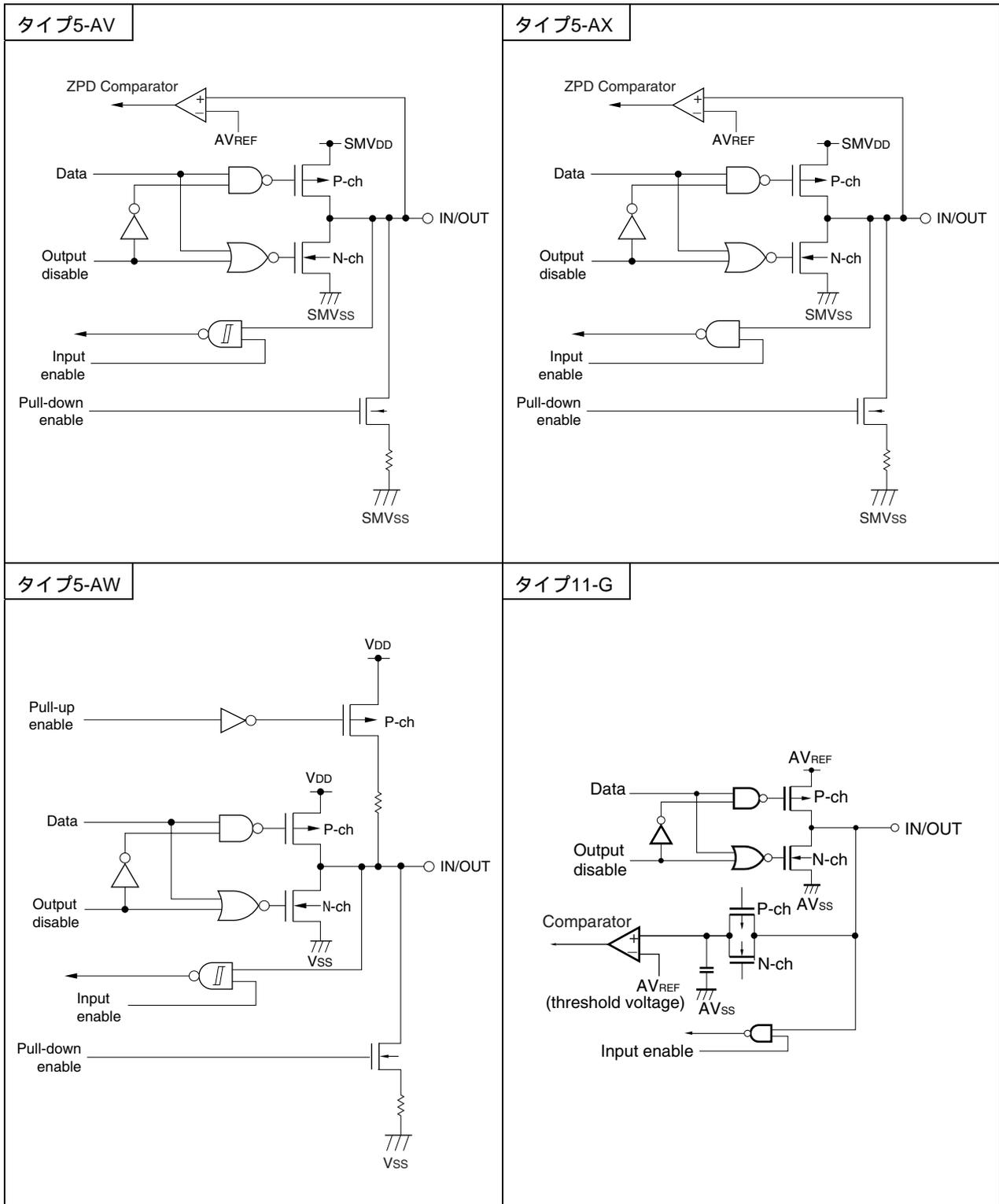


図2-1 端子の入出力回路一覧 (3/5)

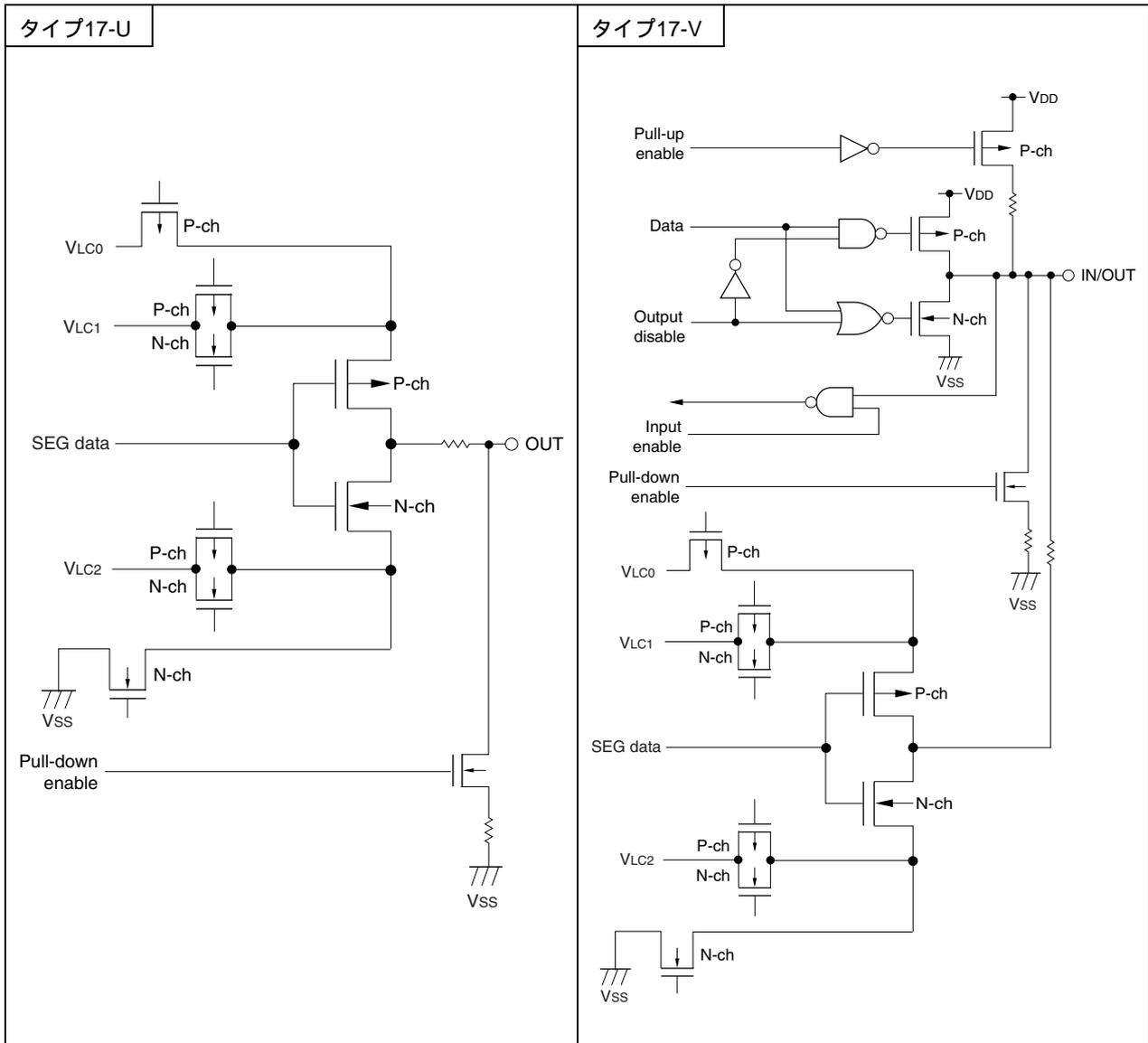


図2-1 端子の入出力回路一覧(4/5)

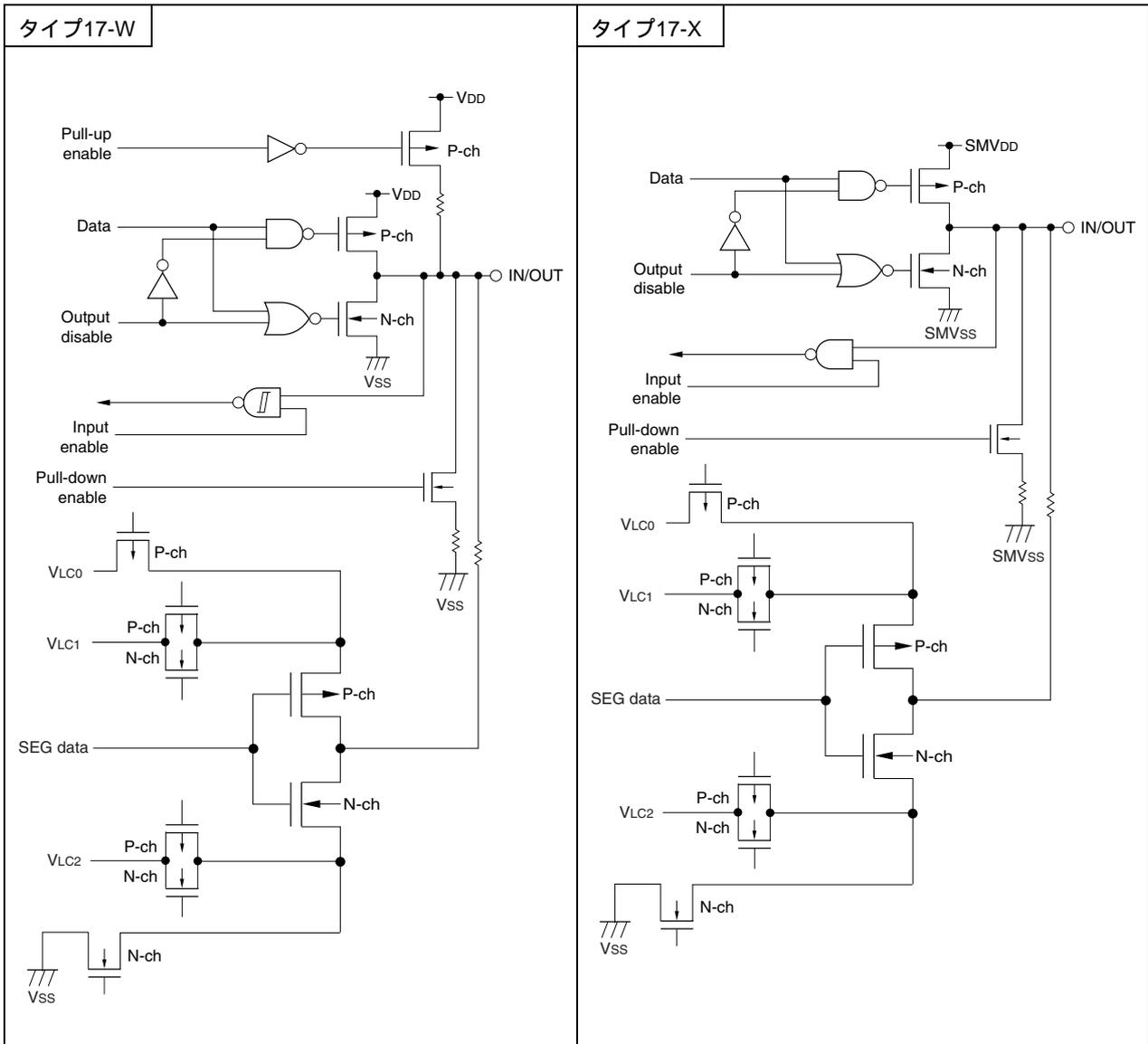
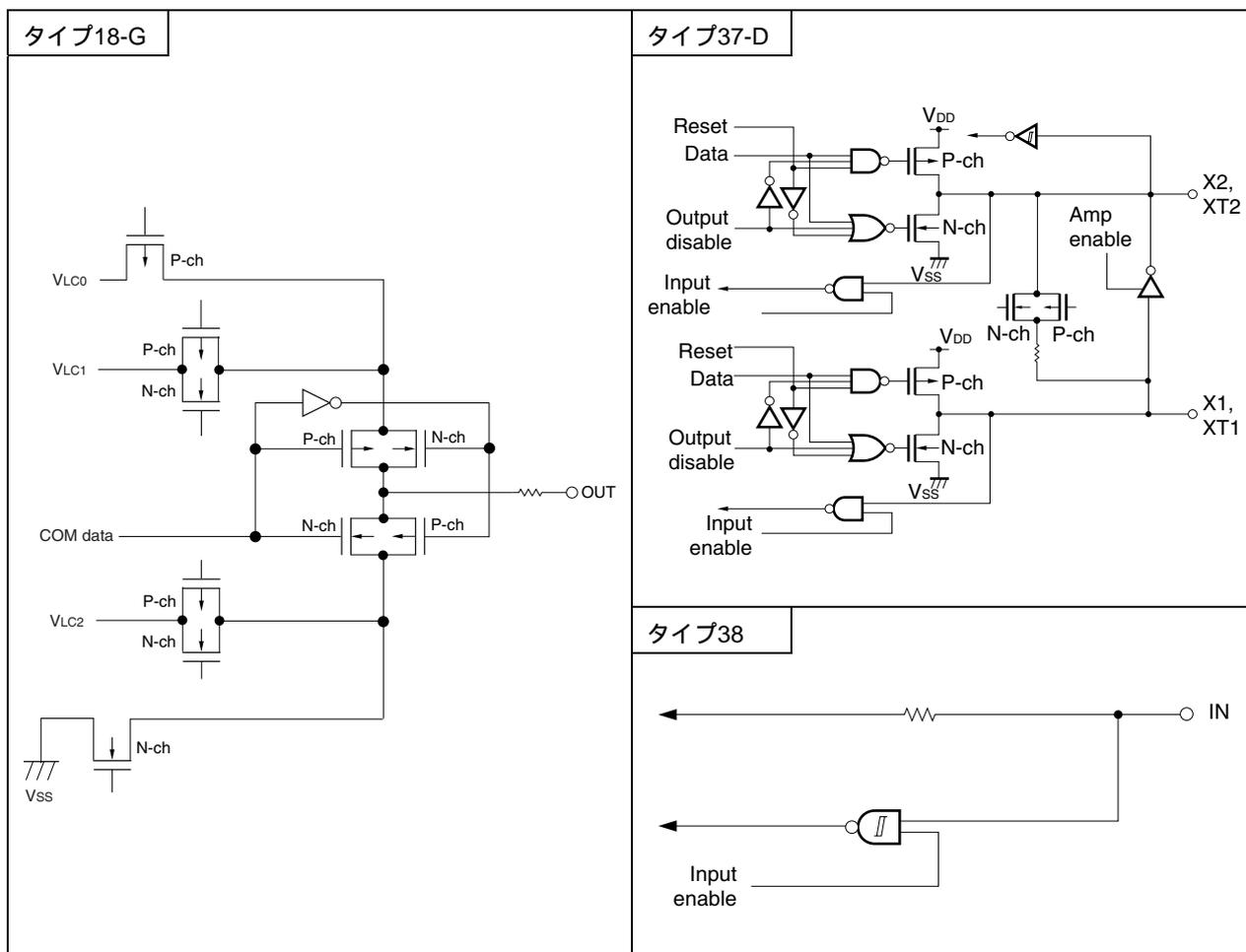


図2-1 端子の入出力回路一覧 (5/5)



## 第3章 CPUアーキテクチャ

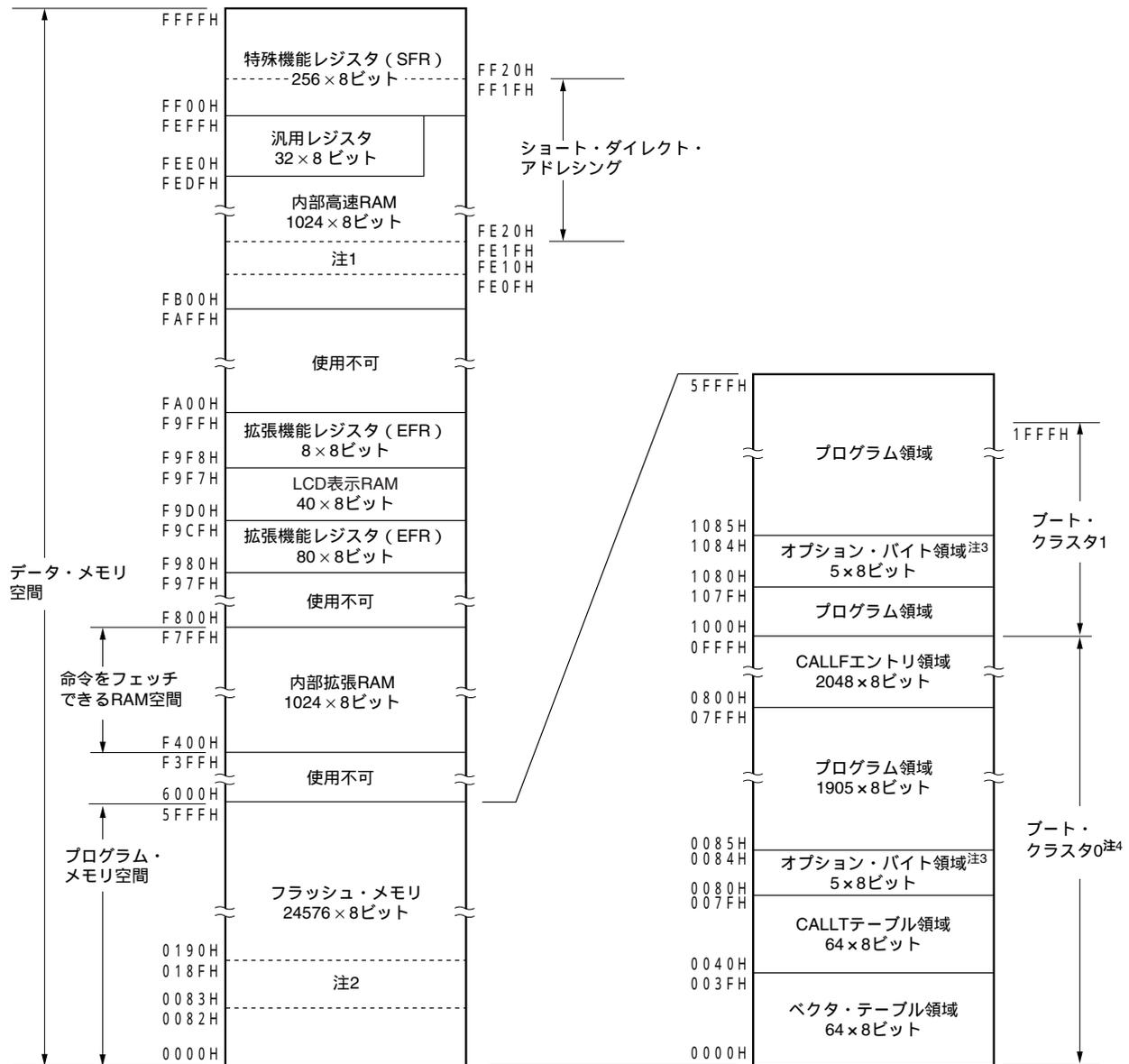
### 3.1 メモリ空間

78K0/Dx2は24, 32, 48, 64 Kバイトのメモリ空間をアクセスできます。図3 - 1 ~ 3 - 4に、メモリ・マップを示します。

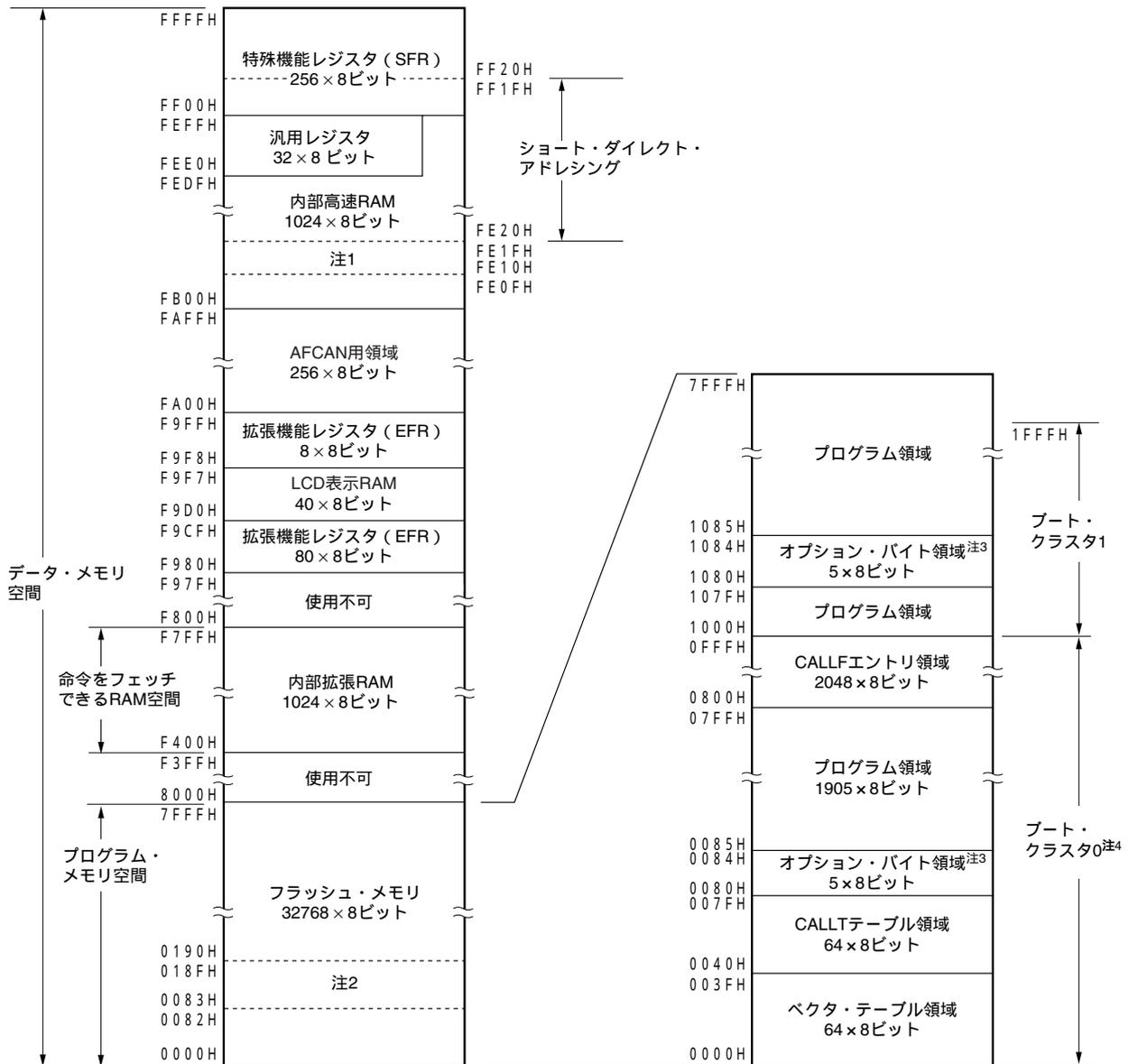
- 注意 1. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の初期値は内部メモリ容量にかかわらず一定 (IMS = CFH, IXS = 0CH) となっています。したがって、次に示す値を必ず設定してください。
2. メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

フラッシュ・メモリ製品		IMS	IXS
78K0/DE2	78K0/DF2		
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	C6H	0AH
μ PD78F0844	μ PD78F0846, 78F0848	C8H	
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843	CCH	08H
μ PD78F0845	μ PD78F0847, 8F0849	CFH	

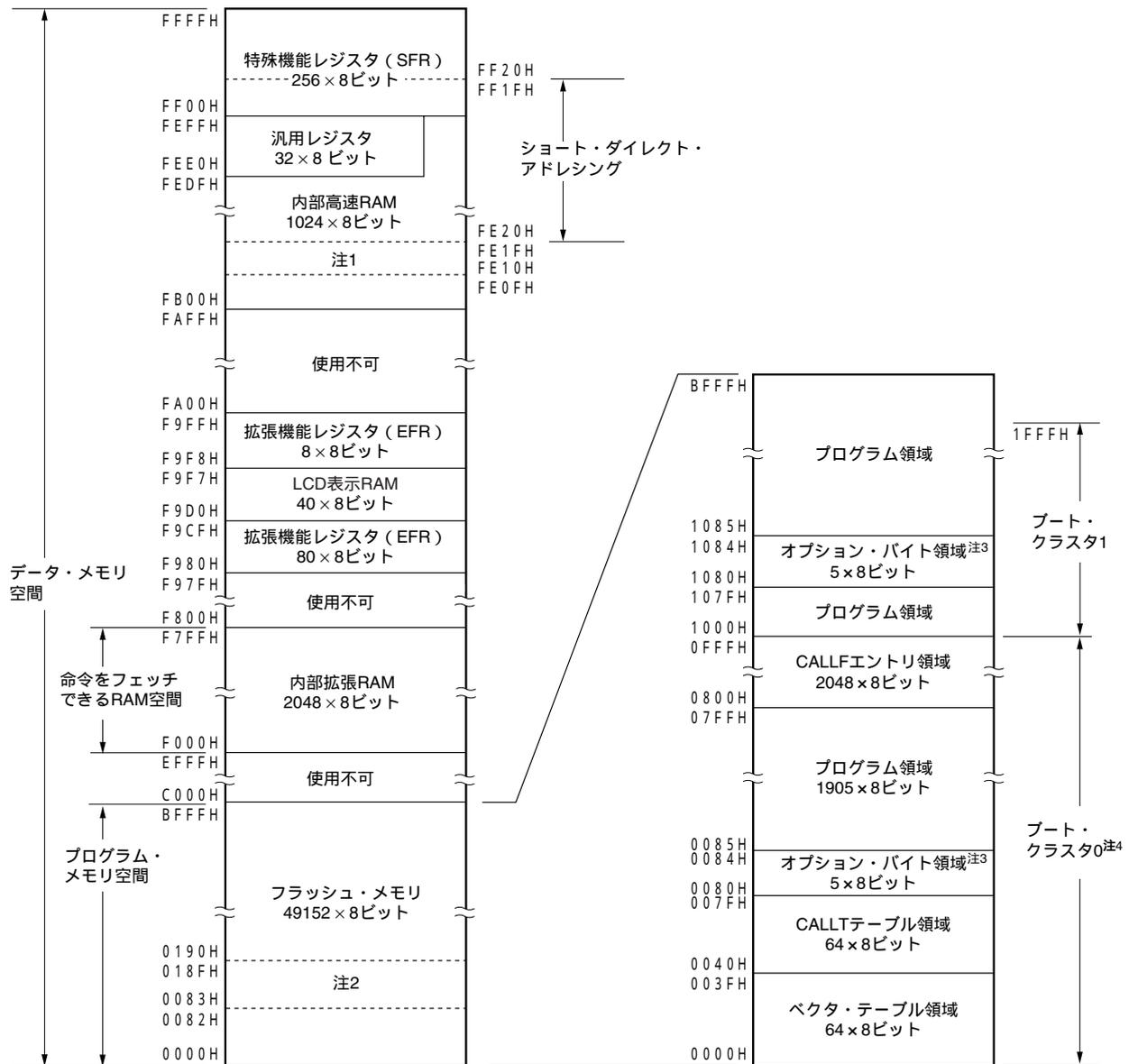
図3-1 メモリ・マップ ( $\mu$  PD78F0836, 78F0838, 78F0840, 78F0842)

- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイトを設定  
ブート・スワップ使用時 : 0080H-0084Hにオプション・バイトを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (26.8 セキュリティ設定を参照)。

図3-2 メモリ・マップ ( $\mu$ PD78F0844, 78F0846, 78F0848)

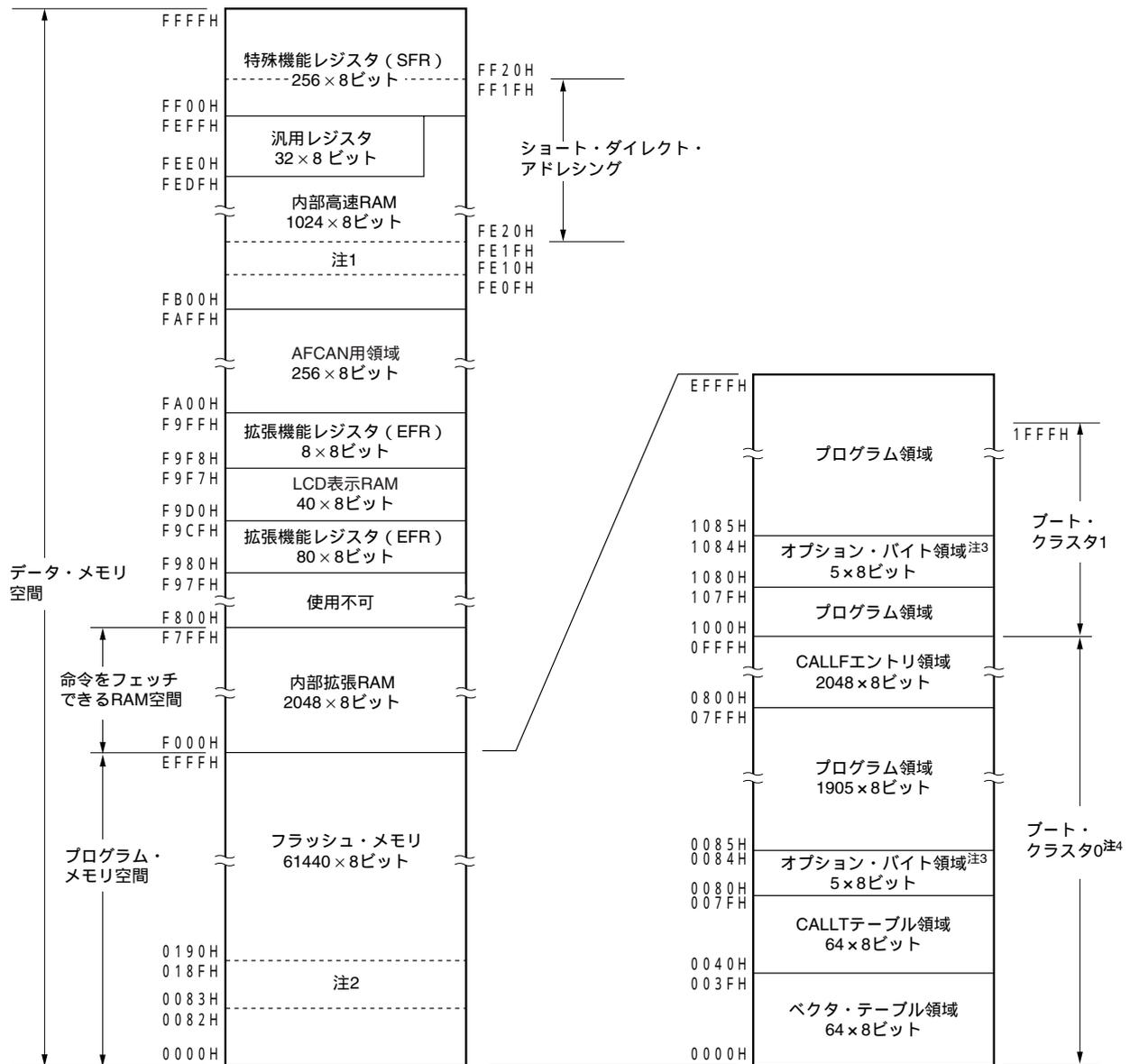
- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイトを設定  
ブート・スワップ使用時 : 0080H-0084Hにオプション・バイトを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (26.8 セキュリティ設定を参照)。

図3-3 メモリ・マップ (μ PD78F0837, 78F0839, 78F0841, 78F0843)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイトを設定  
ブート・スワップ使用時 : 0080H-0084Hにオプション・バイトを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (26.8 セキュリティ設定を参照)。

図3-4 メモリ・マップ(μPD78F0845, 78F0847, 78F0849)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域(269バイト)となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイトを設定  
ブート・スワップ使用時 : 0080H-0084Hにオプション・バイトを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます(26.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
0000H-03FFH	00H	4000H-43FFH	10H	8000H-83FFH	20H	C000H-C3FFH	30H
0400H-07FFH	01H	4400H-47FFH	11H	8400H-87FFH	21H	C400H-C7FFH	31H
0800H-0BFFH	02H	4800H-4BFFH	12H	8800H-8BFFH	22H	C800H-CBFFH	32H
0C00H-0FFFH	03H	4C00H-4FFFH	13H	8C00H-8FFFH	23H	CC00H-CFFFH	33H
1000H-13FFH	04H	5000H-53FFH	14H	9000H-93FFH	24H	D000H-D3FFH	34H
1400H-17FFH	05H	5400H-57FFH	15H	9400H-97FFH	25H	D400H-D7FFH	35H
1800H-1BFFH	06H	5800H-5BFFH	16H	9800H-9BFFH	26H	D800H-DBFFH	36H
1C00H-1FFFH	07H	5C00H-5FFFH	17H	9C00H-9FFFH	27H	DC00H-DFFFH	37H
2000H-23FFH	08H	6000H-63FFH	18H	A000H-A3FFH	28H	E000H-E3FFH	38H
2400H-27FFH	09H	6400H-67FFH	19H	A400H-A7FFH	29H	E400H-E7FFH	39H
2800H-2BFFH	0AH	6800H-6BFFH	1AH	A800H-ABFFH	2AH	E800H-EBFFH	3AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH	AC00H-AFFFH	2BH	EC00H-EFFFH	3BH
3000H-33FFH	0CH	7000H-73FFH	1CH	B000H-B3FFH	2CH		
3400H-37FFH	0DH	7400H-77FFH	1DH	B400H-B7FFH	2DH		
3800H-3BFFH	0EH	7800H-7BFFH	1EH	B800H-BBFFH	2EH		
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH	BC00H-BFFFH	2FH		

### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0/Dx2は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-3 内部ROM容量

製 品		内部ROM	
78K0/DE2	78K0/DF2	構 造	容 量
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	フラッシュ・メモリ	24576×8ビット（0000H-5FFFFH）
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843		49152×8ビット（0000H-BFFFFH）
μ PD78F0844	μ PD78F0846, 78F0848		32768×8ビット（0000H-7FFFFH）
μ PD78F0845	μ PD78F0847, 78F0849		61440×8ビット（0000H-EFFFFH）

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・コード領域

0000H-003FHの64バイト領域はベクタ・コード領域として予約されています。ベクタ・コード領域には、リセット信号入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-4 ベクタ・コード

ベクタ・コード・アドレス	割り込み要因	ベクタ・コード・アドレス	割り込み要因
0000H	RESET入力, POC, LVI, WDT	0020H	INTP2/INTCSI10
0002H	INTCK2	0022H <sup>注2</sup>	INTPR61
0004H	INTLVI	0024H <sup>注2</sup>	INTSR61
0006H	INTP0	0026H <sup>注2</sup>	INTST61
0008H	INTP1/INTIIC0	0028H <sup>注2</sup>	INTCSI11
000AH	INTP3/INTP4	002AH	INTTM50/INTTP2OV
000CH	INTTP0CC0	002CH	INTTP2CC0
000EH	INTTP0CC1	002EH	INTTP2CC1
0010H	INTTP1CC0	0030H	INTAD
0012H	INTTP1CC1	0032H	INTWT/INTWT1
0014H <sup>注1</sup>	INTC0ERR/INTC0WUP	0034H	INTTM51/INTTP3OV
0016H <sup>注1</sup>	INTC0REC	0036H	INTTP3CC0
0018H <sup>注1</sup>	INTC0TRX	0038H	INTTP3CC1
001AH	INTPR60	003AH	INTTP4CC0
001CH	INTSR60	003CH	INTTP4CC1
001EH	INTST60	003EH	BRK

注 1. μ PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ。

2. 78K0/DF2のみ。

**(2) CALLT命令テーブル領域**

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

**(3) オプション・バイト領域**

0080Hの1バイト領域にオプション・バイト領域を用意しています。詳細は**第25章 オプション・バイト**を参照してください。

**(4) CALLF命令エントリ領域**

0800H-0FFFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

**(5) オンチップ・デバッグ・セキュリティID設定領域**

0085H-008EH、1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は**第27章 オンチップ・デバッグ機能**を参照してください。

### 3.1.2 内部データ・メモリ空間

78K0/Dx2は、次に示すRAMを内蔵しています。

#### (1) 内部高速RAM

表3 - 6 内部高速RAM容量

製 品		内部高速RAM
78K0/DE2	78K0/DF2	
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	1024×8ビット (FB00H-FEFFFH)
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843	
μ PD78F0844	μ PD78F0846, 78F0848	
μ PD78F0845	μ PD78F0847, 78F0849	

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

#### (2) 内部拡張RAM

表3 - 7 内部拡張RAM容量

製 品		内部拡張RAM
78K0/DE2	78K0/DF2	
μ PD78F0836, 78F0844	μ PD78F0838, 78F0840, 78F0842, 78F0846, 78F0848	1024×8ビット (F400H-F7FFFH)
μ PD78F0837, 78F0845	μ PD78F0839, 78F0841, 78F0843, 78F0847, 78F0849	2048×8ビット (F000H-F7FFFH)

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、内部拡張RAMはスタック・メモリとして使用できません。

### 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 7 特殊機能レジスタ一覧参照)。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

### 3.1.4 拡張機能レジスタ (EFR : Extended Function Register) 領域

F980H-F9CFH, F9F8H-F9FFHの領域には、オンチップ周辺ハードウェアの拡張機能レジスタ (EFR) が割り付けられています (表3-8 拡張機能レジスタ一覧参照)。

**注意** EFRが割り付けられていないアドレスにアクセスしないでください。

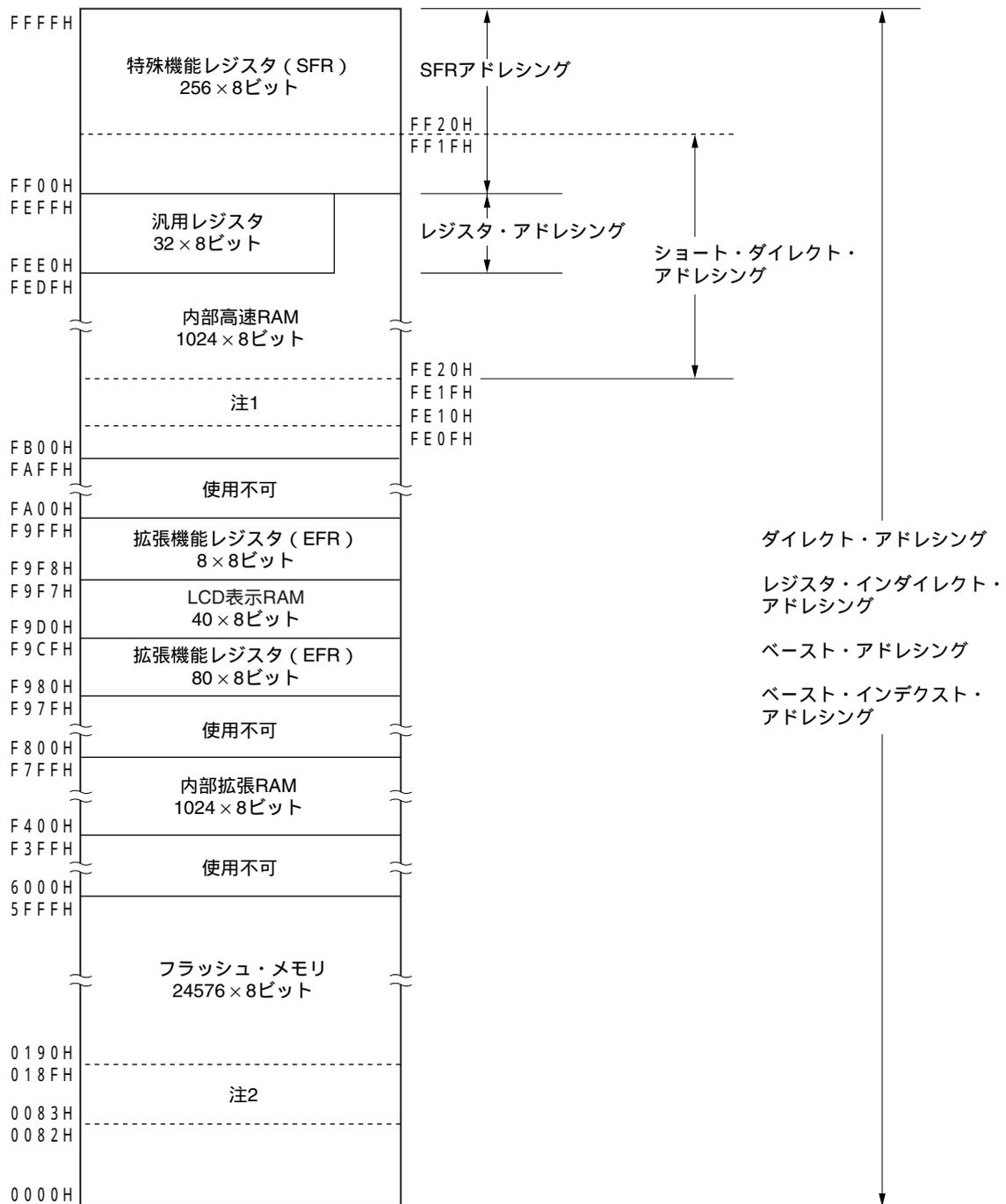
**備考** 次の方法を用いて、命令実行中に操作するEFRを指定することができます。

1. ダイレクト・アドレッシング
2. レジスタ・インダイレクト・アドレッシング
3. ベース・アドレッシング
4. ベース・インデクスト・アドレッシング

### 3.1.5 データ・メモリ・アドレッシング

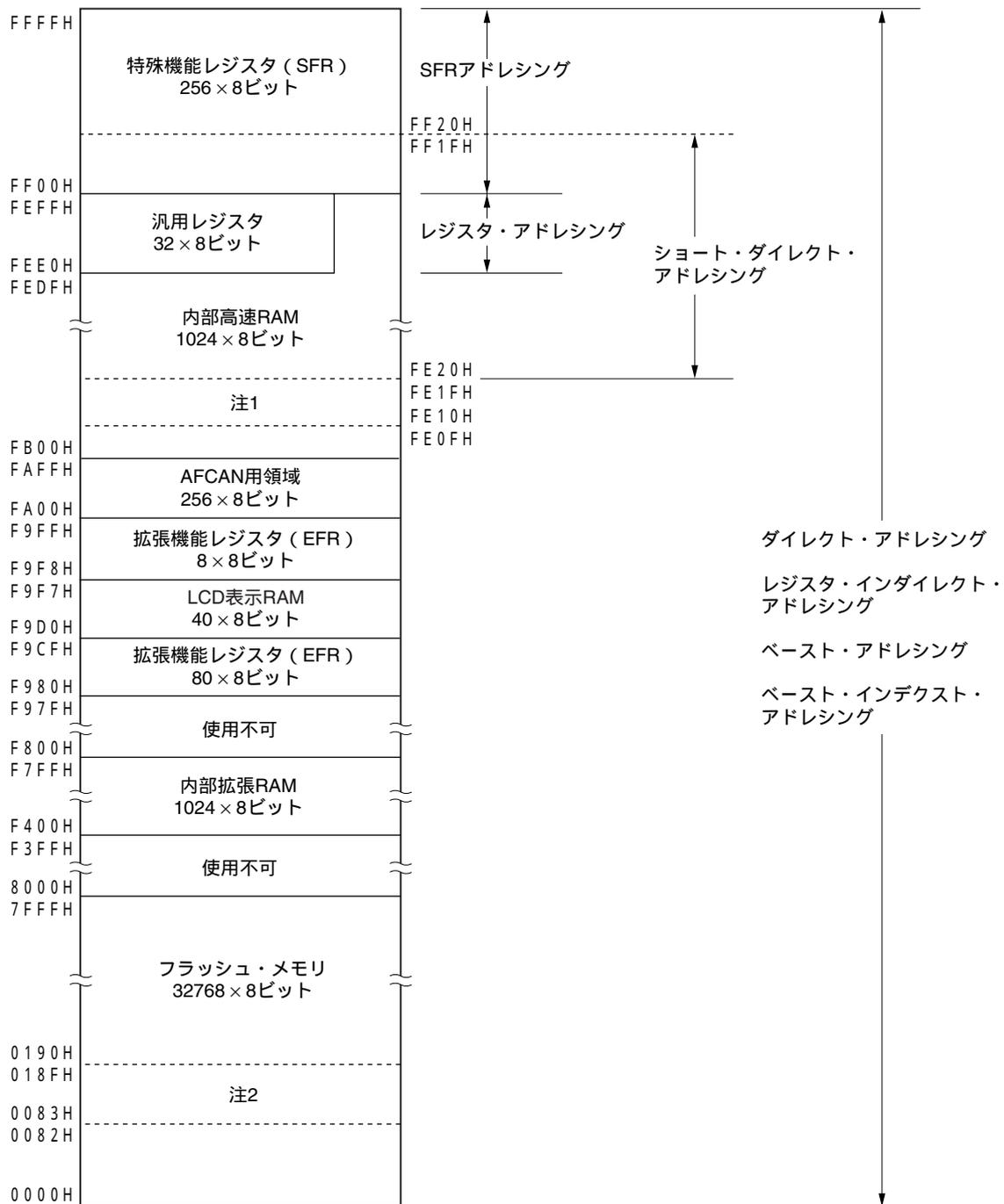
次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Dx2では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-5~3-8にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-5 データ・メモリとアドレッシングの対応 ( $\mu$ PD78F0836, 78F0838, 78F0840, 78F0842)

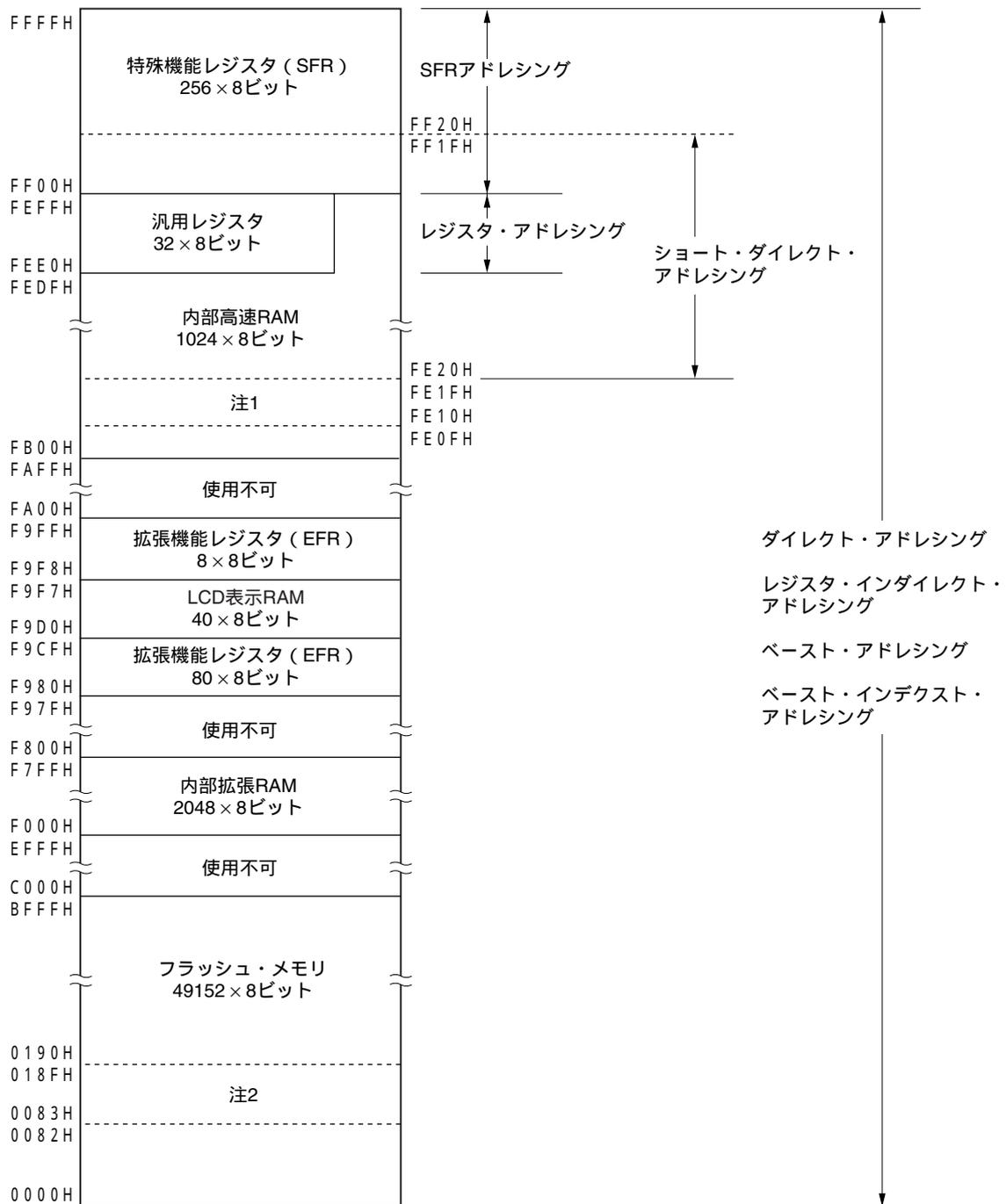
注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。

2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

図3-6 データ・メモリとアドレッシングの対応 ( $\mu$  PD78F0844, 78F0846, 78F0848)

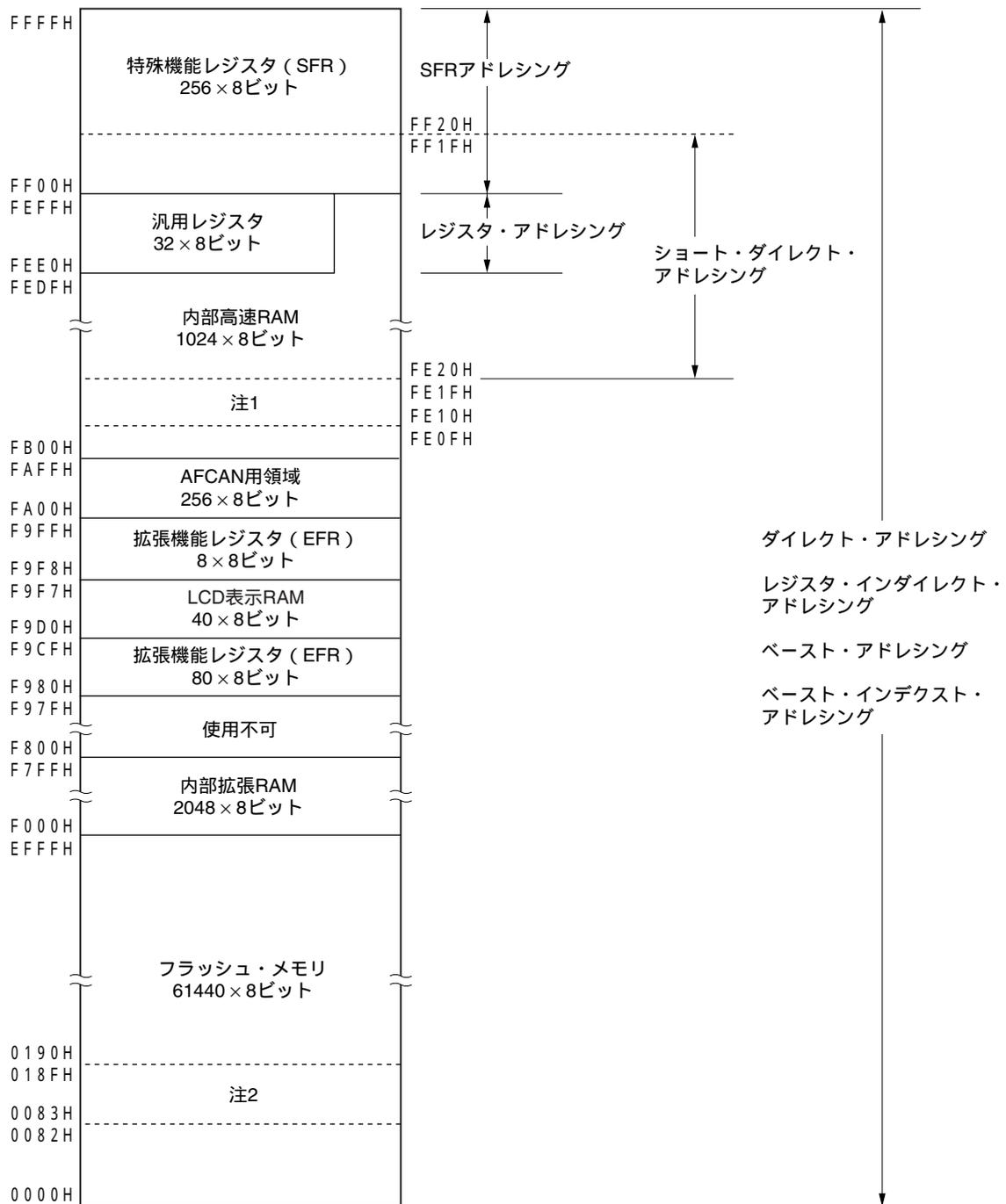
注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。

2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

図3-7 データ・メモリとアドレッシングの対応 ( $\mu$ PD78F0837, 78F0839, 78F0841, 78F0843)

注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。

2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

図3-8 データ・メモリとアドレッシングの対応 ( $\mu$  PD78F0845, 78F0847, 78F0849)

注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。

2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

## 3.2 プロセッサ・レジスタ

78K0/Dx2は、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

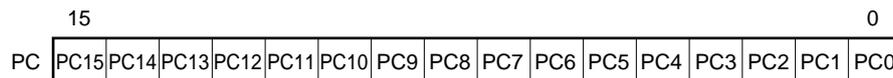
#### (1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・コードの値がプログラム・カウンタにセットされます。

図3 - 9 プログラム・カウンタの構成



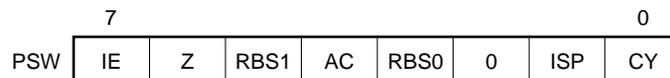
#### (2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3 - 10 プログラム・ステータス・ワードの構成



##### (a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(c) レジスタ・バンク選択フラグ (RBS0, RBS1)**

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

**(d) 補助キャリー・フラグ (AC)**

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(e) インサース・プライオリティ・フラグ (ISP)**

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (19.3(3) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

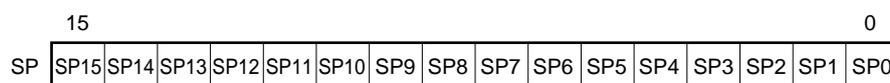
**(f) キャリー・フラグ (CY)**

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

**(3) スタック・ポインタ (SP)**

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 11 スタック・ポインタの構成



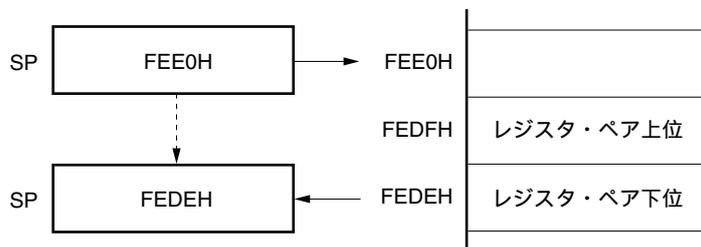
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 12, 3 - 13のようになります。

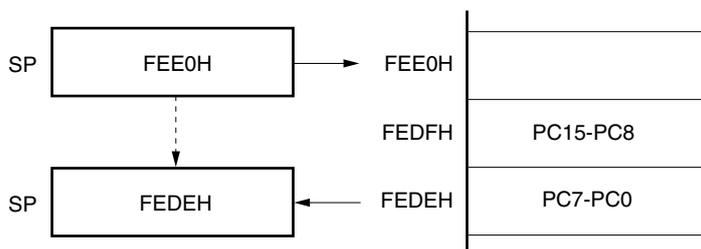
**注意** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-12 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

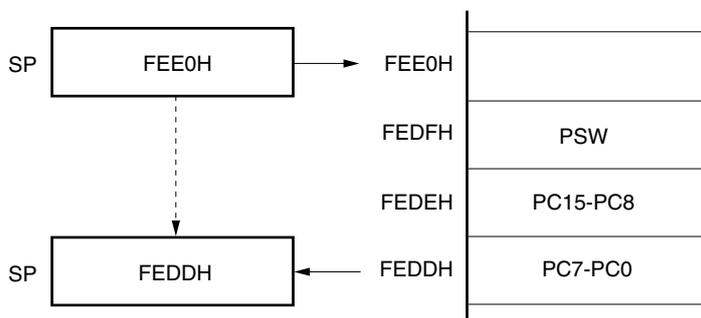
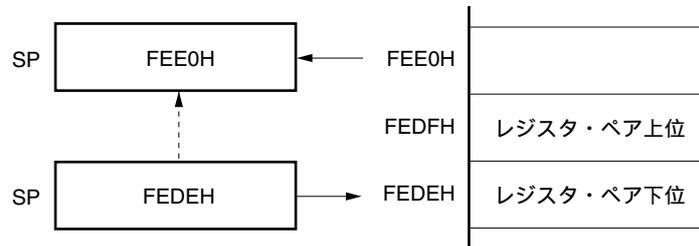
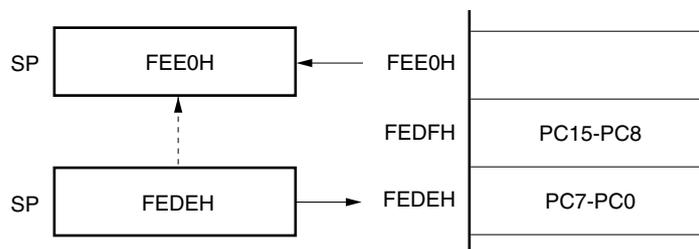


図3-13 スタック・メモリから復帰されるデータ

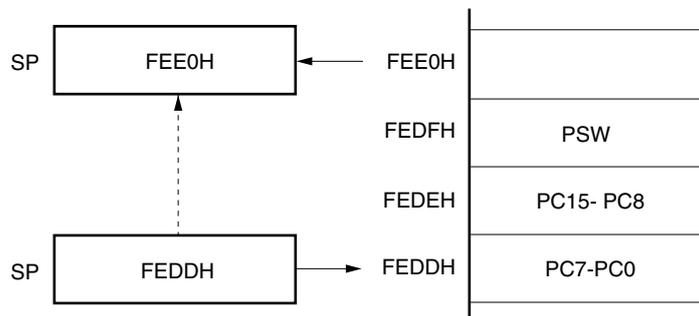
## (a) POP rp命令 (SPがFEDEHの場合)



## (b) RET命令 (SPがFEDEHの場合)



## (c) RETI, RETB命令 (SPがFEDDHの場合)



### 3.2.2 汎用レジスタ

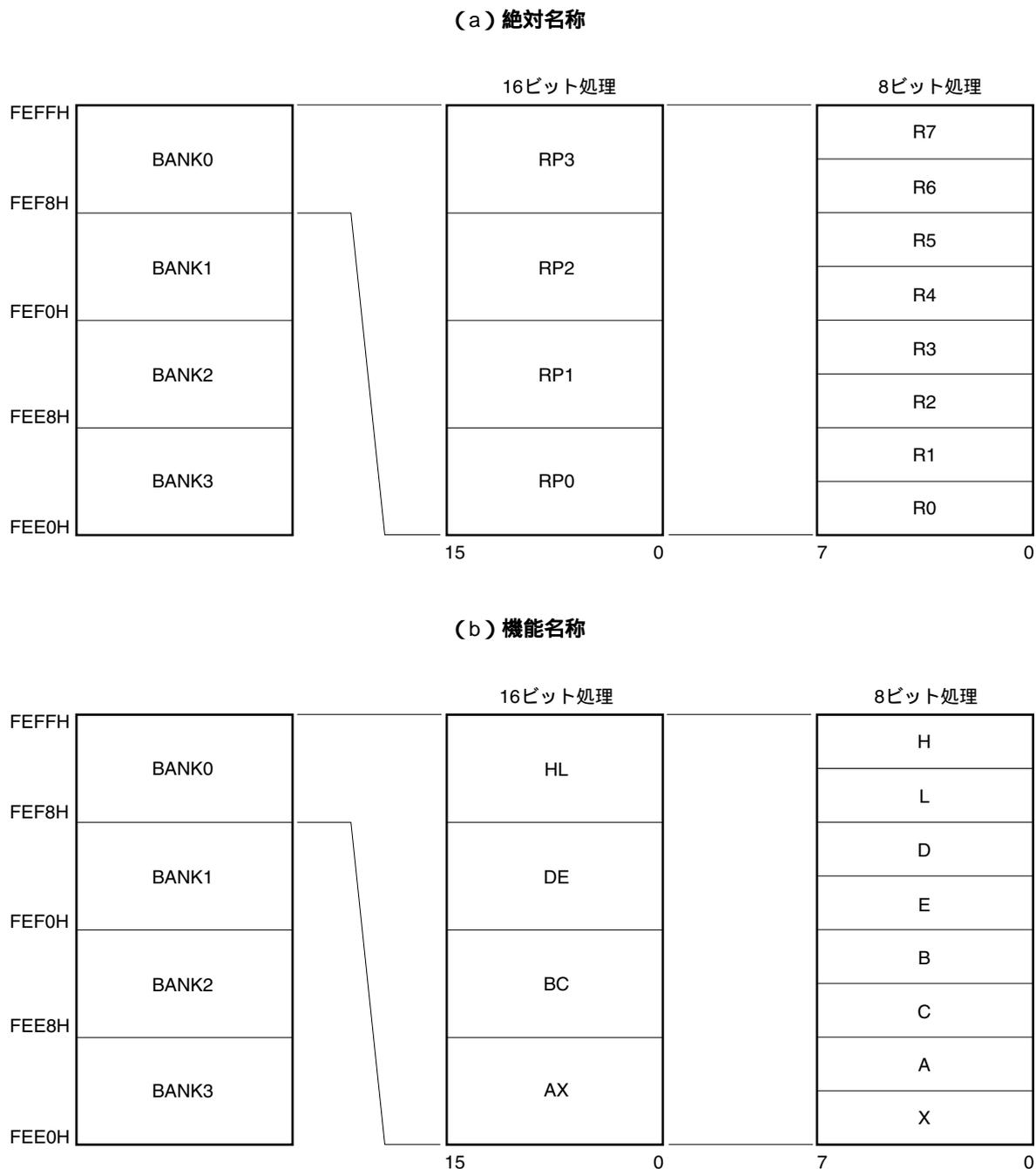
汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL R<sub>Bn</sub>）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 14 汎用レジスタの構成



### 3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

#### ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-7に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

#### ・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

#### ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

#### ・操作可能なビット単位

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

#### ・リセット時

リセット信号発生時の各レジスタの状態を示します。

#### ・対象

特殊機能レジスタが利用可能な製品を示します。

“ - ” : 全製品

CAN :  $\mu$  PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ。

DF2 : 78K0/DF2 ( $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849) のみ。

表3-7 特殊機能レジスタ一覧(1/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象
				1ビット	8ビット	16ビット		
FF00H	ポート・レジスタ0	P0	R/W			-	00H	-
FF01H	ポート・レジスタ1	P1	R/W			-	00H	-
FF02H	ポート・レジスタ2	P2	R/W			-	00H	-
FF03H	ポート・レジスタ3	P3	R/W			-	00H	-
FF04H	ポート・レジスタ4	P4	R/W			-	00H	-
FF05H	ポート・レジスタ5	P5	R/W			-	00H	-
FF06H	ポート・レジスタ6	P6	R/W			-	00H	-
FF07H	ポート・レジスタ7	P7	R/W			-	00H	-
FF08H	ポート・レジスタ8	P8	R/W			-	00H	-
FF09H	ポート・レジスタ9	P9	R/W			-	00H	DF2
FF0AH	受信バッファ・レジスタ60	RXB60	R	-		-	FFH	-
FF0BH	送信バッファ・レジスタ60	TXB60	R/W	-		-	FFH	-
FF0CH	ポート・レジスタ12	P12	R/W			-	00H	-
FF0DH	LCDポート・ファンクション・レジスタ3	LCDPF3	R/W			-	00H	-
FF0EH	ポート出力モード・コントロール・レジスタ	POM6	R/W			-	00H	-
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H	-
FF10H	16ビット・タイマP4コントロール・レジスタ0	TP4CTL0	R/W			-	00H	-
FF11H	16ビット・タイマP4コントロール・レジスタ1	TP4CTL1	R/W			-	00H	-
FF12H	16ビット・タイマP4I/Oコントロール・レジスタ0	TP4IOC0	R/W			-	00H	-
FF13H	16ビット・タイマP4I/Oコントロール・レジスタ1	TP4IOC1	R/W			-	00H	-
FF14H	16ビット・タイマP4I/Oコントロール・レジスタ2	TP4IOC2	R/W			-	00H	-
FF15H	16ビット・タイマP4オプション・レジスタ	TP4OPT0	R/W			-	00H	-
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H	-
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W			-	00H	-
FF18H	10ビットA/D変換結果レジスタ	ADCR	R	-	-		0000H	-
FF19H	8ビットA/D変換結果レジスタ	ADCRH	R	-		-	00H	-
FF1AH	LCDポート・ファンクション・レジスタALL	LCDPFALL	R/W			-	00H	-
FF1BH	LCDポート・ファンクション・レジスタ0	LCDPF0	R/W			-	00H	-
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H	-
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH	-
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH	-
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH	-
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH	-
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH	-
FF25H	ポート・モード・レジスタ5	PM5	R/W			-	FFH	-
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH	-
FF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH	-
FF28H	ポート・モード・レジスタ8	PM8	R/W			-	FFH	-
FF29H	ポート・モード・レジスタ9	PM9	R/W			-	FFH	DF2
FF2AH	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H	-
FF2BH	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H	-
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH	-

表3-7 特殊機能レジスタ一覧(2/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象
				1ビット	8ビット	16ビット		
FF2DH	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W			-	00H	-
FF2EH	アシンクロナス・シリアル・インタフェース 動作モード・レジスタ61	ASIM61	R/W			-	01H	DF2
FF2FH	アシンクロナス・シリアル・インタフェース 受信エラー・ステータス・レジスタ61	ASIS61	R	-		-	00H	DF2
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H	-
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H	-
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H	-
FF36H	ブルアップ抵抗オプション・レジスタ6	PU6	R/W			-	00H	-
FF37H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H	-
FF38H	アシンクロナス・シリアル・インタフェース 送信エラー・ステータス・レジスタ61	ASIF61	R	-		-	00H	DF2
FF39H	クロック選択レジスタ61	CKSR61	R/W	-		-	00H	DF2
FF3AH	受信バッファ・レジスタ61	RXB61	R/W	-		-	FFH	DF2
FF3BH	送信バッファ・レジスタ61	TXB61	R/W	-		-	FFH	DF2
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H	-
FF3DH	SMポート・モード・コントロール・レジスタ <sup>注</sup>	SMPC	R/W			-	00H	-
FF3EH	ポーレート・ジェネレータ・コントロール・ レジスタ61	BRGC61	R/W	-		-	FFH	DF2
FF3FH	アシンクロナス・シリアル・インタフェース・ コントロール・レジスタ61	ASICL61	R/W			-	16H	DF2
FF40H	クロック出力選択レジスタ	CKS	R/W			-	00H	-
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W			-	00H	-
FF42H	CANモジュール最終送信ポイント・レジスタ	C0LOPT	R	-		-	不定	CAN
FF43H	8ビット・タイマ・モード・コントロール・ レジスタ51	TMC51	R/W			-	00H	-
FF44H	CANモジュール受信履歴・リスト・レジ スタ	C0RGPT	R/W	-	-		xx02H	CAN
FF45H								
FF47H	シリアル/Oシフト・レジスタ11	SIO11	R	-		-	00H	DF2
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H	-
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H	-
FF4AH	CANモジュール送信履歴・リスト・レジ スタ	C0TGPT	R/W	-	-		xx02H	CAN
FF4BH								
FF4CH	CANグローバル・モジュール制御レジスタ	C0GMCTRL	R/W	-	-		0000H	CAN
FF4DH								
FF4EH	送信バッファ・レジスタ11	SOTB11	R/W	-		-	00H	DF2
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H	-
FF50H	アシンクロナス・シリアル・インタフェース 動作モード・レジスタ60	ASIM60	R/W			-	01H	-
FF53H	アシンクロナス・シリアル・インタフェース 受信エラー・ステータス・レジスタ60	ASIS60	R	-		-	00H	-

注 μ PD78F0838, 78F0839では無効です。

表3-7 特殊機能レジスタ一覧(3/6)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時	対象
					1ビット	8ビット	16ビット		
FF54H	16ビット・タイマP0, P1入力ノイズ・フィルタ・コントロール・レジスタ0	TIPNF0		R/W			-	00H	-
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60	ASIF60		R	-		-	00H	-
FF56H	クロック選択レジスタ60	CKSR60		R/W	-		-	00H	-
FF57H	ポーレート・ジェネレータ・コントロール・レジスタ60	BRGC60		R/W	-		-	FFH	-
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60	ASICL60		R/W			-	16H	-
FF59H	16ビット・タイマP2, P3入力ノイズ・フィルタ・コントロール・レジスタ1	TIPNF1		R/W			-	00H	-
FF5AH	LCDモード・レジスタ	LCDMD		R/W			-	00H	-
FF5BH	LCD表示モード・レジスタ	LCDM		R/W			-	00H	-
FF5CH	LCDクロック・コントロール・レジスタ0	LCDC0		R/W			-	00H	-
FF60H	DMU剰余データ・レジスタ0	SDR0	SDR0L	R	-			00H	-
FF61H			SDR0H	R	-			00H	-
FF62H	DMU乗除算データ・レジスタA0L	MDA0L	MDA0LL	R	-			00H	-
FF63H			MDA0LH	R	-			00H	-
FF64H	DMU乗除算データ・レジスタA0H	MDA0H	MDA0HL	R/W	-			00H	-
FF65H			MDA0HH	R/W	-			00H	-
FF66H	DMU乗除算データ・レジスタB0	MDB0	MDB0L	R/W	-			00H	-
FF67H			MDB0H	R/W	-			00H	-
FF68H	DMU乗除算器コントロール・レジスタ0	DMUC0		R/W			-	00H	-
FF69H	16ビット・タイマP4入力ノイズ・フィルタ・コントロール・レジスタ2	TIPNF2		R/W			-	00H	-
FF6AH	タイマ・クロック選択レジスタ50	TCL50		R/W			-	00H	-
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W			-	00H	-
FF6CH	16ビット・タイマP4キャプチャ/コンペア・レジスタ0	TP4CCR0		R/W	-	-		0000H	-
FF6DH									
FF6EH	CANグローバル・モジュール・クロック選択レジスタ	COGMCS		R/W	-		-	0FH	CAN
FF6FH	CANグローバル自動ブロック送信遅延レジスタ	COGMABTD		R/W	-		-	00H	CAN
FF70H	CANモジュール・マスク1レジスタL	COMASK1L		R/W	-	-		不定	CAN
FF71H									CAN
FF72H	CANモジュール・マスク1レジスタH	COMASK1H		R/W	-	-		不定	CAN
FF73H									CAN
FF74H	CANモジュール・マスク2レジスタL	COMASK2L		R/W	-	-		不定	CAN
FF75H									CAN
FF76H	CANモジュール・マスク2レジスタH	COMASK2H		R/W	-	-		不定	CAN
FF77H									CAN

表3-7 特殊機能レジスタ一覧(4/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象	
				1ビット	8ビット	16ビット			
FF78H	CANモジュール・マスク3レジスタL	C0MASK3L	R/W	-	-		不定	CAN	
FF79H								CAN	
FF7AH	CANモジュール・マスク3レジスタH	C0MASK3H	R/W	-	-		不定	CAN	
FF7BH								CAN	
FF7CH	CANモジュール・マスク4レジスタL	C0MASK4L	R/W	-	-		不定	CAN	
FF7DH								CAN	
FF7EH	CANモジュール・マスク4レジスタH	C0MASK4H	R/W	-	-		不定	CAN	
FF7FH								CAN	
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H	-	
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W				-	00H	
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	-			-	00H	
FF88H	シリアル動作モード・レジスタ11	CSIM11	R/W				-	00H	DF2
FF89H	シリアル・クロック選択レジスタ11	CSIC11	R/W				-	00H	DF2
FF8AH	CANモジュール・タイム・スタンプ・レジスタ	C0TS	R/W	-	-		0000H	CAN	
FF8BH									タ
FF8CH	タイム・クロック選択レジスタ51	TCL51	R/W				-	00H	-
FF8FH	時計用タイマ動作モード・レジスタ	WTM	R/W				-	00H	-
FF90H	CANモジュール制御レジスタ	C0CTRL	R/W	-	-		0000H	CAN	
FF91H									
FF92H	CANモジュール最終エラー・レジスタ	C0LEC	R/W	-			-	00H	CAN
FF93H	CANモジュール情報レジスタ	C0INFO	R	-			-	00H	CAN
FF94H	CANモジュール・エラー・カウンタ・レジスタ	C0ERC	R	-	-		0000H	CAN	
FF95H									タ
FF96H	CANモジュール割り込み許可レジスタ	C0IE	R/W	-	-		0000H	CAN	
FF97H									
FF98H	CANモジュール割り込みステータス・レジスタ	C0INTS	R/W	-	-		0000H	CAN	
FF99H									タ
FF9BH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-			-	1AH/9AH <sup>注1</sup>	-
FF9CH	CANモジュール・ビットレート・レジスタ	C0BTR	R/W	-	-		370FH	CAN	
FF9DH									
FF9EH	CANモジュール・ビットレート・プリスケアラ・レジスタ	C0BRP	R/W	-			-	FFH	CAN
FF9FH	CANモジュール最終受信ポインタ・レジスタ	C0LIPT	R	-			-	不定	CAN
FFA0H	内蔵発振モード・レジスタ	RCM	R/W				-	00H <sup>注2</sup>	-
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W				-	00H	-
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W				-	80H	-
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R				-	00H	-
FFA4H	発振安定時間選択レジスタ	OSTS	R/W				-	05H	-

注1. WDTEのリセット値は、オプション・バイトの設定で決定します。

2. リセット解除直後は00Hですが、高速内蔵発振安定後に、自動的に80Hに切り替わります。

表3-7 特殊機能レジスタ一覧(5/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象
				1ビット	8ビット	16ビット		
FFA5H	SG0コントロール・レジスタ	SG0CTL	R/W			-	00H	-
FFA6H	SG0ボリューム・レジスタ	SG0PWM	R/W	-	-		0000H	-
FFA7H								
FFA8H	SG0周波数ロウ・レジスタ	SG0FL	R/W	-	-		0000H	-
FFA9H								
FFAAH	SG0周波数ハイ・レジスタ	SG0FH	R/W	-	-		0000H	-
FFABH								
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H <sup>注</sup>	-
FFAEH	CANグローバル自動ブロック送信制御レジスタ	COGMABT	R/W	-	-		0000H	CAN
FFAFH								
FFB0H	I <sup>2</sup> Cシフト・レジスタ0	IIC0	R/W	-		-	00H	-
FFB1H	I <sup>2</sup> Cコントロール・レジスタ0	IICC0	R/W			-	00H	-
FFB2H	スレーブ・アドレス・レジスタ0	SVA0	R/W	-		-	00H	-
FFB3H	I <sup>2</sup> Cクロック選択レジスタ0	IICCL0	R/W			-	00H	-
FFB4H	I <sup>2</sup> C機能拡張レジスタ0	IICX0	R/W			-	00H	-
FFB5H	I <sup>2</sup> Cステータス・レジスタ0	IICS0	R/W	-		-	00H	-
FFB7H	I <sup>2</sup> Cフラグ・レジスタ0	IICF0	R/W			-	00H	-
FFBAH	16ビット・タイムP4キャプチャ/コンペア・レジスタ1	TP4CCR1	R/W	-	-		0000H	-
FFBCH	16ビット・タイムP4カウンタ・リード・パツファ・レジスタ	TP4CNT	R/W	-	-		0000H	-
FFBDH								
FFBEH	低電圧検出レジスタ	LVIM	R/W			-	00H	-
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	00H	-
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	R/W				00H	-
FFE1H	割り込み要求フラグ・レジスタ0H							
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	R/W				00H	-
FFE3H	割り込み要求フラグ・レジスタ1H							
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	R/W				FFH	-
FFE5H	割り込みマスク・フラグ・レジスタ0H							
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	R/W				FFH	-
FFE7H	割り込みマスク・フラグ・レジスタ1H							
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	R/W				FFH	-
FFE9H	優先順位指定フラグ・レジスタ0H							
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	R/W				FFH	-
FFEBH	優先順位指定フラグ・レジスタ1H							
FFEFH	クロック動作モード選択レジスタ	OSCCTL	R/W			-	00H	-

注 リセット要因により変化します。

表3-7 特殊機能レジスタ一覧(6/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象
				1ビット	8ビット	16ビット		
FFF0H	メモリ・サイズ切り替えレジスタ <sup>注</sup>	IMS	R/W	-		-	CFH	-
FFF4H	内部拡張RAMサイズ切り替えレジスタ <sup>注</sup>	IXS	R/W	-		-	0CH	-
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W			-	01H	-

注 メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)の初期値は内部メモリ容量にかかわらず、78K0/Dx2において一定(IMS = CFH, IXS = 0CH)となっています。したがって、リセット解除後、次に示す値を必ず設定してください。

フラッシュ・メモリ製品		IMS	IXS
78K0/DE2	78K0/DF2		
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	C6H	0AH
μ PD78F0844	μ PD78F0846, 78F0848	C8H	
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843	CCH	08H
μ PD78F0845	μ PD78F0847, 8F0849	CFH	

### 3.2.4 拡張機能レジスタ (EFR : Extended Function Register)

拡張機能レジスタ (EFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

EFR空間は、F890H-F89FHとFA00H-FA4FHの領域です。SFR領域 (FF00H-FFFFH) 以外のSFRが割り付けられています。

EFRは、演算命令、転送命令、ビット操作命令などにより、操作できます。操作可能なビット単位 (1, 8, 16) は、各EFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

HLレジスタにEFRのアドレスを指定し、1ビット操作命令のオペランド ([HL].bit) を記述します。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 8に拡張機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

EFRのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QBおよびSM+ for 78K0/KX2使用時に命令のオペランドとして記述できます。

- **R/W**

該当するEFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

- **対象**

EFRが利用可能な製品を示します。

“ - ” : 全製品

**注意** EFRが割り付けられていないアドレスにアクセスしないでください。

**備考** SFR領域のSFRについては、3.2.3 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3-8 拡張機能レジスタ一覧(1/2)

アドレス	拡張機能レジスタ(EFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象
				1ビット	8ビット	16ビット		
F980H	16ビット・タイマP0コントロール・レジスタ0	TP0CTL0	R/W			-	00H	-
F981H	16ビット・タイマP0コントロール・レジスタ1	TP0CTL1	R/W			-	00H	-
F982H	16ビット・タイマP0 I/Oコントロール・レジスタ0	TP0IOC0	R/W			-	00H	-
F983H	16ビット・タイマP0 I/Oコントロール・レジスタ1	TP0IOC1	R/W			-	00H	-
F984H	16ビット・タイマP0 I/Oコントロール・レジスタ2	TP0IOC2	R/W			-	00H	-
F985H	16ビット・タイマP0オプション・レジスタ0	TP0OPT0	R/W			-	00H	-
F986H	16ビット・タイマP0キャプチャ/コンペア・レジスタ0	TP0CCR0	R/W	-	-		0000H	-
F987H								
F988H	16ビット・タイマP0キャプチャ/コンペア・レジスタ1	TP0CCR1	R/W	-	-		0000H	-
F989H								
F98AH	16ビット・タイマP0カウンタ・リード・パツファ・レジスタ	TP0CNT	R	-	-		0000H	-
F98BH								
F990H	16ビット・タイマP1コントロール・レジスタ0	TP1CTL0	R/W			-	00H	-
F991H	16ビット・タイマP1コントロール・レジスタ1	TP1CTL1	R/W			-	00H	-
F992H	16ビット・タイマP1 I/Oコントロール・レジスタ0	TP1IOC0	R/W			-	00H	-
F993H	16ビット・タイマP1 I/Oコントロール・レジスタ1	TP1IOC1	R/W			-	00H	-
F994H	16ビット・タイマP1 I/Oコントロール・レジスタ2	TP1IOC2	R			-	00H	-
F995H	16ビット・タイマP1オプション・レジスタ0	TP1OPT0	R/W			-	00H	-
F996H	16ビット・タイマP1キャプチャ/コンペア・レジスタ0	TP1CCR0	R/W	-	-		0000H	-
F997H								
F998H	16ビット・タイマP1キャプチャ/コンペア・レジスタ1	TP1CCR1	R/W	-	-		0000H	-
F999H								
F99AH	16ビット・タイマP1カウンタ・リード・パツファ・レジスタ	TP1CNT	R	-	-		0000H	-
F99BH								
F9A0H	16ビット・タイマP2コントロール・レジスタ0	TP2CTL0	R/W			-	00H	-
F9A1H	16ビット・タイマP2コントロール・レジスタ1	TP2CTL1	R/W			-	00H	-
F9A2H	16ビット・タイマP2 I/Oコントロール・レジスタ0	TP2IOC0	R/W			-	00H	-
F9A3H	16ビット・タイマP2 I/Oコントロール・レジスタ1	TP2IOC1	R/W			-	00H	-
F9A4H	16ビット・タイマP2 I/Oコントロール・レジスタ2	TP2IOC2	R			-	00H	-
F9A5H	16ビット・タイマP2オプション・レジスタ0	TP2OPT0	R/W			-	00H	-
F9A6H	16ビット・タイマP2キャプチャ/コンペア・レジスタ0	TP2CCR0	R/W	-	-		0000H	-
F9A7H								
F9A8H	16ビット・タイマP2キャプチャ/コンペア・レジスタ1	TP2CCR1	R/W	-	-		0000H	-
F9A9H								
F9AAH	16ビット・タイマP2カウンタ・リード・パツファ・レジスタ	TP2CNT	R	-	-		0000H	-
F9ABH								
F9B0H	16ビット・タイマP3コントロール・レジスタ0	TP3CTL0	R/W			-	00H	-
F9B1H	16ビット・タイマP3コントロール・レジスタ1	TP3CTL1	R/W			-	00H	-
F9B2H	16ビット・タイマP3 I/Oコントロール・レジスタ0	TP3IOC0	R/W			-	00H	-
F9B3H	16ビット・タイマP3 I/Oコントロール・レジスタ1	TP3IOC1	R/W			-	00H	-
F9B4H	16ビット・タイマP3 I/Oコントロール・レジスタ2	TP3IOC2	R			-	00H	-
F9B5H	16ビット・タイマP3オプション・レジスタ0	TP3OPT0	R/W			-	00H	-

表3-8 拡張機能レジスタ一覧(2/2)

アドレス	拡張機能レジスタ(EFR)名称	略号	R/W	操作可能ビット範囲			リセット時	対象
				1ビット	8ビット	16ビット		
F9B6H	16ビット・タイマP3キャプチャ/コンペア・レジスタ0	TP3CCR0	R/W	-	-		0000H	-
F9B7H								
F9B8H	16ビット・タイマP3キャプチャ/コンペア・レジスタ1	TP3CCR1	R/W	-	-		0000H	-
F9B9H								
F9BAH	16ビット・タイマP3カウンタ・リード・パツファ・レジスタ	TP3CNT	R	-	-		0000H	-
F9BBH								
F9C0H	MTRCタイマ・モード・コントロール・レジスタ0	MCNTC0	R/W			-	00H	-
F9C2H	MTRCコンペア・レジスタ10	MCMP1HW	MCMP10	R/W	-		00H	注1
F9C3H	MTRCコンペア・レジスタ11		MCMP11	R/W	-			
F9C4H	MTRCコンペア・レジスタ20	MCMP2HW	MCMP20	R/W	-		00H	注1
F9C5H	MTRCコンペア・レジスタ21		MCMP21	R/W	-			
F9C6H	MTRCコンペア・レジスタ30	MCMP3HW	MCMP30	R/W	-		00H	注2
F9C7H	MTRCコンペア・レジスタ31		MCMP31	R/W	-			
F9C8H	MTRCコンペア・レジスタ40	MCMP4HW	MCMP40	R/W	-		00H	注2
F9C9H	MTRCコンペア・レジスタ41		MCMP41	R/W	-			
F9CAH	MTRCコンペア・コントロール・レジスタ1	MCMP1C	R/W			-	00H	注1
F9CCH	MTRCコンペア・コントロール・レジスタ2	MCMP1C2	R/W			-	00H	注1
F9CEH	MTRCコンペア・コントロール・レジスタ3	MCMP1C3	R/W			-	00H	注2
F9F8H	MTRCコンペア・コントロール・レジスタ4	MCMP1C4	R/W			-	00H	注2
F9FCH	MTRC ZPD検知電圧設定レジスタ0	ZPDS0	R/W			-	00H	注1
F9FDH	MTRC ZPD検知電圧設定レジスタ1	ZPDS1	R/W			-	00H	注2
F9FEH	MTRC ZPDフラグ検知クロック設定レジスタ	CMPCTL	R/W			-	00H	-
F9FFH	MTRC ZPD動作コントロール・レジスタ	ZPDEN	R/W			-	00H	-

注1.  $\mu$  PD78F0836, 78F0837, 78F0842, 78F0843, 78F0844, 78F0845, 78F0848, 78F0849のみ。

2.  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849のみ。

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K0シリーズ **ユーザズ・マニュアル 命令編**（U12326J）を参照してください）。

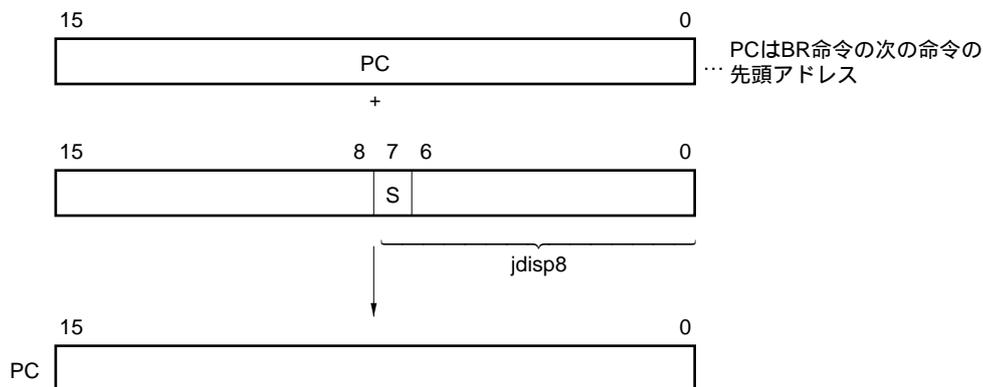
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



S = 0のとき、は全ビット0

S = 1のとき、は全ビット1

### 3.3.2 イミディエト・アドレッシング

#### 【機能】

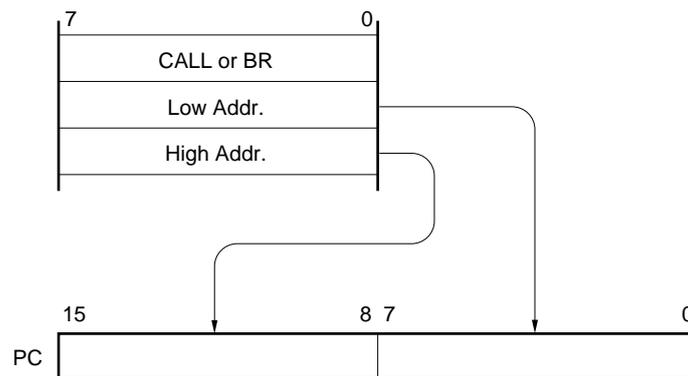
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

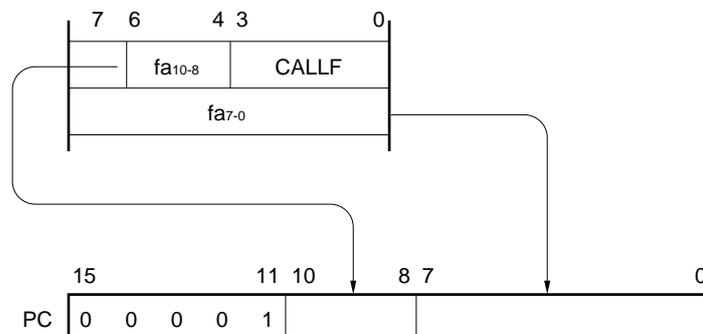
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

#### 【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



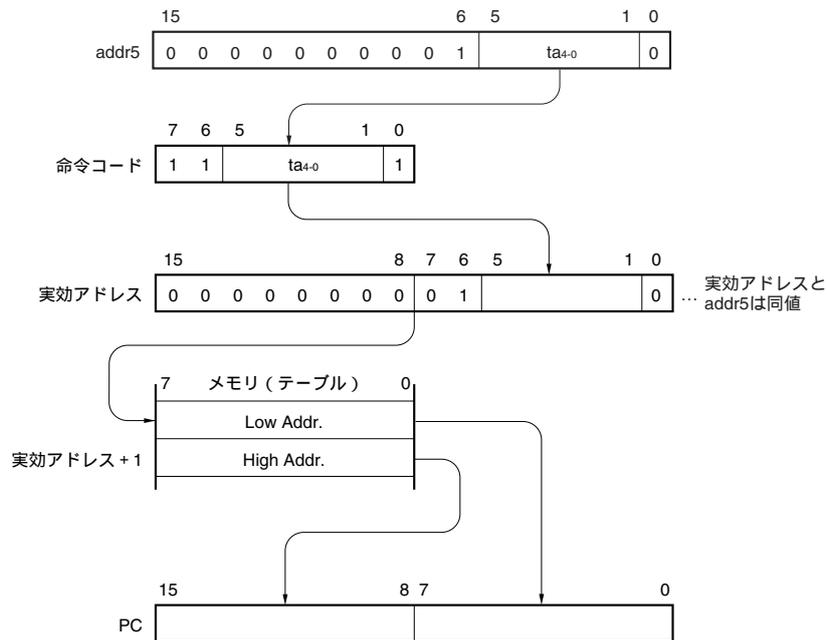
### 3.3.3 テーブル・インダイレクト・アドレッシング

#### 【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全プログラム・メモリ空間に分岐できます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクに分岐する場合は、BANKでメモリ・バンクの設定を切り替えてから分岐してください。

#### 【図解】



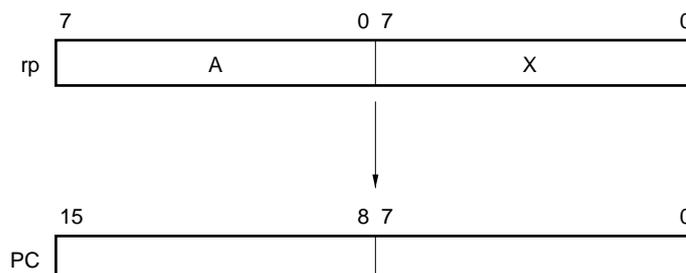
### 3.3.4 レジスタ・アドレッシング

#### 【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

#### 【図解】



### 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

#### 3.4.1 インプライド・アドレッシング

##### 【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Dx2の命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

##### 【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

##### 【記 述 例】

###### MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

### 3.4.2 レジスタ・アドレッシング

#### 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

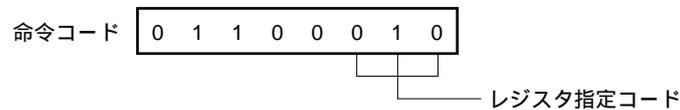
#### 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

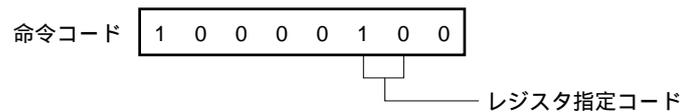
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

#### 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



### 3.4.3 ダイレクト・アドレッシング

#### 【機能】

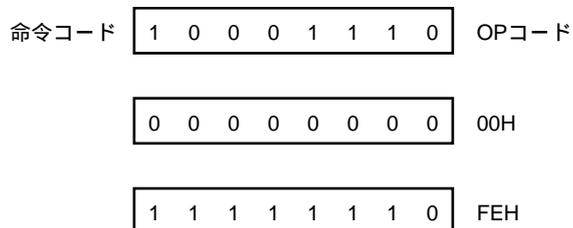
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

#### 【オペランド形式】

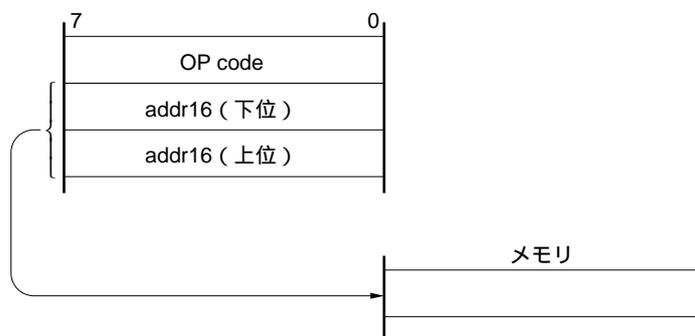
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

#### 【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



#### 【図解】



### 3.4.4 ショート・ダイレクト・アドレッシング

#### 【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域 (FF00H-FF1FH) は、全SFR領域の一部分です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

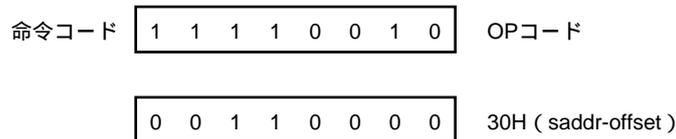
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

#### 【オペランド形式】

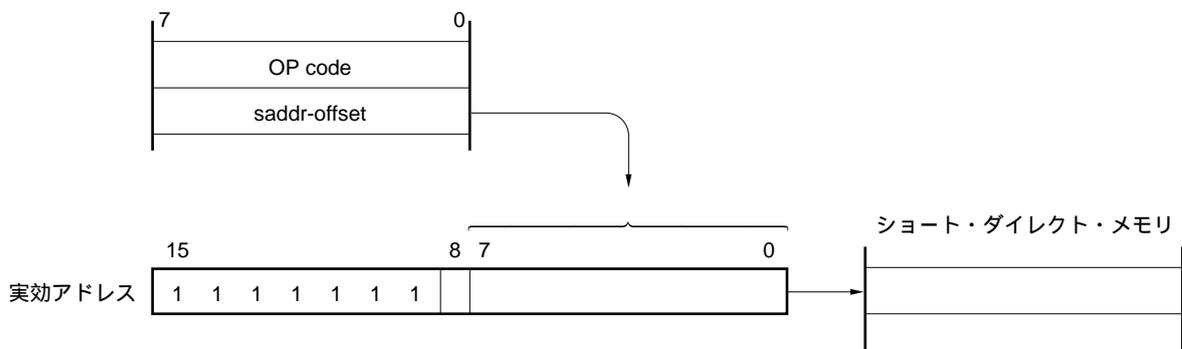
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミディエト・データ (偶数アドレスのみ)

#### 【記述例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



#### 【図解】



8ビット・イミディエト・データが20H-FFHのとき、 = 0

8ビット・イミディエト・データが00H-1FHのとき、 = 1

### 3.4.5 特殊機能レジスタ (SFR) アドレッシング

#### 【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

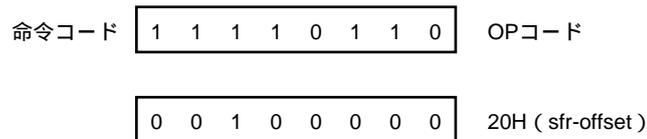
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

#### 【オペランド形式】

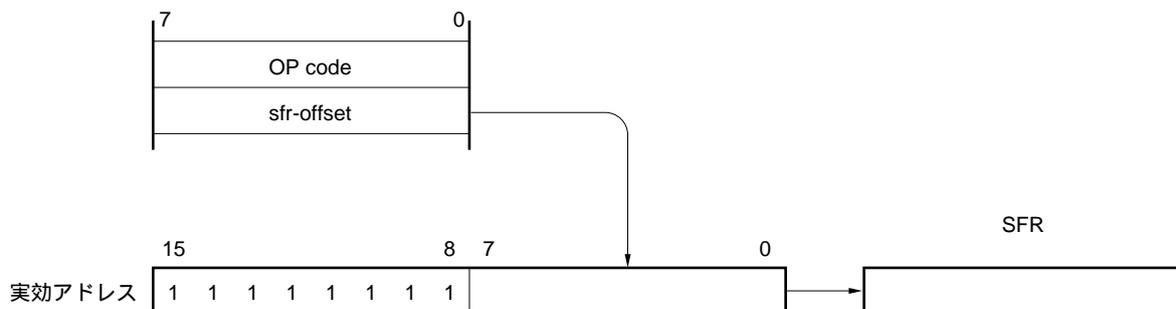
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

#### 【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



#### 【図解】



### 3.4.6 レジスタ・インダイレクト・アドレッシング

#### 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

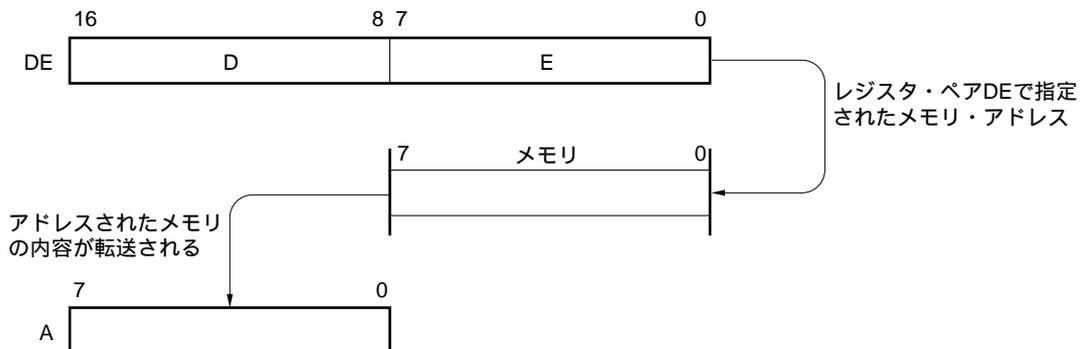
#### 【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード 

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.7 ベース・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[ HL + byte ]

#### 【記述例】

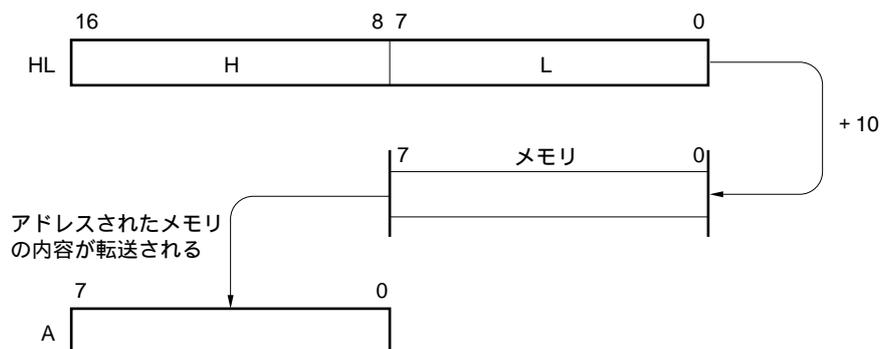
MOV A, [ HL + 10H ] ; byteを10Hとする場合

命令コード 

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.8 ベース・インデクスト・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

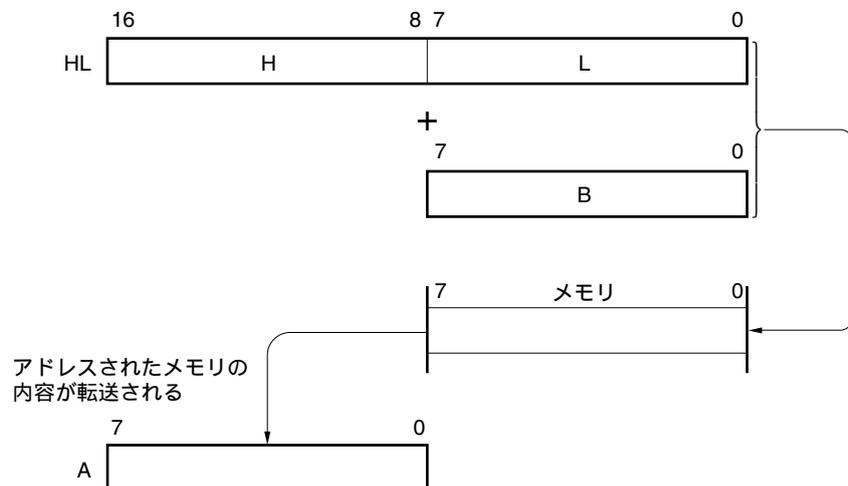
#### 【記述例】

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード 

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.9 スタック・アドレッシング

#### 【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

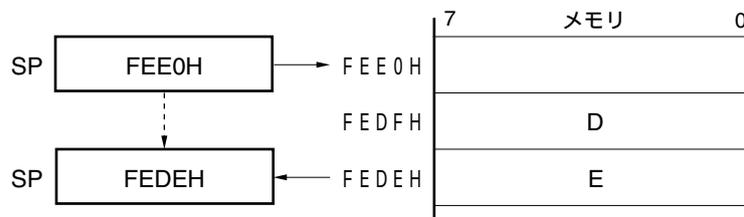
#### 【記述例】

PUSH DE (DEレジスタをセーブ) の場合

命令コード 

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

#### 【図解】



## 第4章 ポート機能

### 4.1 ポートの機能

ポート端子の入出力バッファ電源には、 $AV_{REF}$ 、 $EV_{DD}$ 、 $SMV_{DD}$ 、 $V_{DD}$ の4系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各ポート端子の入出力バッファ電源

電 源	対応する端子
$AV_{REF}$	P20-P23, P24-P27 <sup>注</sup>
$EV_{DD}$	P20-P27, P80-P87, P90-P97, P121-P124以外のポート端子
$SMV_{DD}$	<ul style="list-style-type: none"> <li>・ P80-P87</li> <li>・ P90-P97<sup>注</sup></li> </ul>
$V_{DD}$	<ul style="list-style-type: none"> <li>・ P121-P124</li> <li>・ ポート以外の端子</li> </ul>

注 78K0/DF2のみ。

78K0/Dx2は、図4 - 1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

78K0/DE2はポート0-3, 6-8, 12の合計47本の入出力ポートを内蔵しています。78K0/DF2はポート0-3, 6-9, 12の合計63本の入出力ポートを内蔵しています。ポート構成を次に示します。

図4-1 ポートの種類 (1/2)

(a) 78K0/DE2

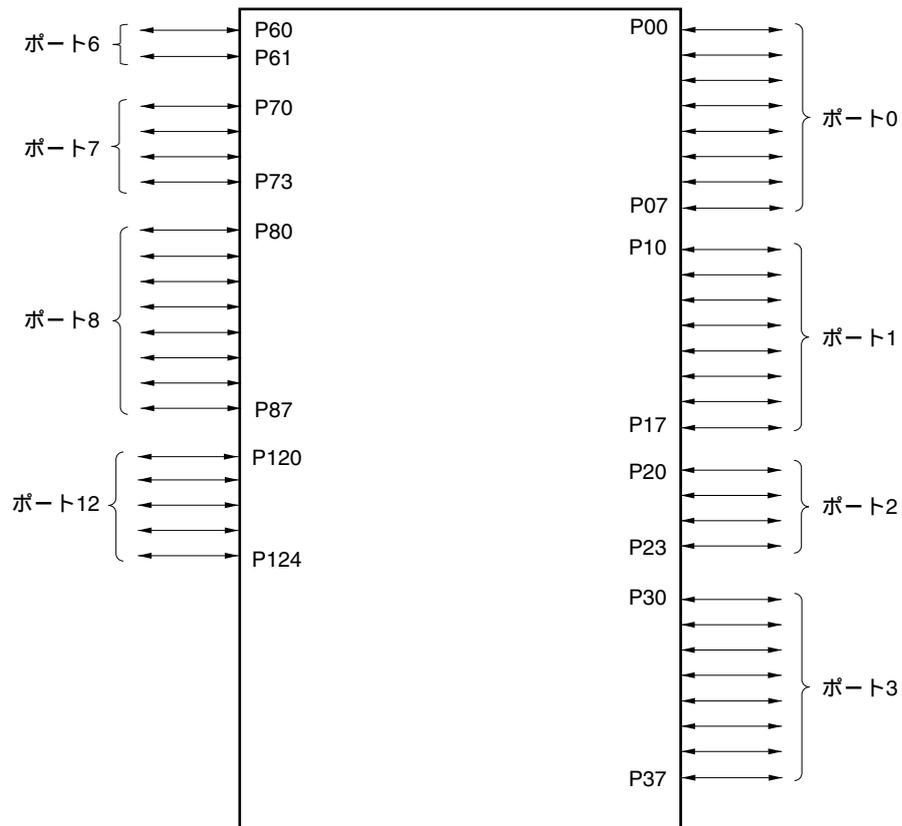
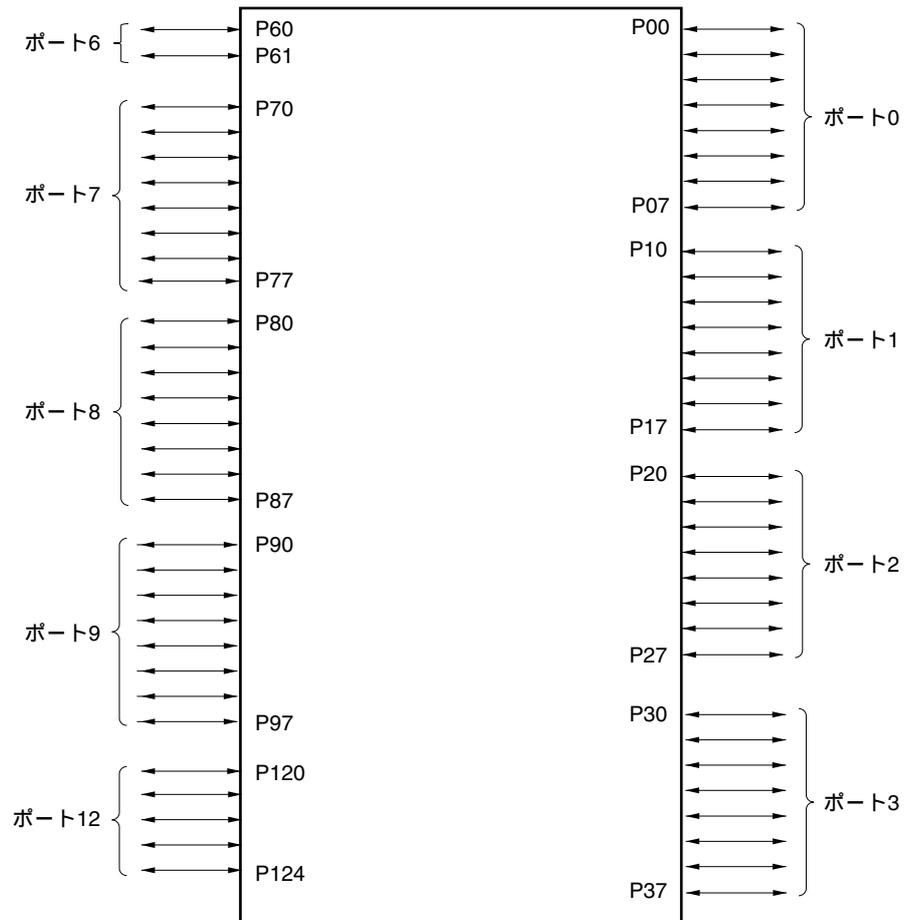


図4-1 ポートの種類 (2/2)

(b) 78K0/DF2



## 4.2 ポートの構成

ポートは次のハードウェアで構成されています

表4 2 ポートの構成

項 目		構 成	
		78K0/DE2	78K0/DF2
制御レジスタ	ポート・モード・レジスタ	PM0-PM3, PM6-PM8, PM12	PM0-PM3, PM6-PM9, PM12
	ポート	P0-P3, P6-P8, P12	P0-P3, P6-P9, P12
	プルアップ抵抗オープン・レジスタ	PU0, PU1, PU3, PU6, PU7, PU12	
ポート	合計	47 (CMOS入出力：45本, N-chオープン・ドレイン入出力 <sup>注</sup> ：2本)	63 (CMOS入出力：61本, N-chオープン・ドレイン入出力 <sup>注</sup> ：2本)
プルアップ抵抗	合計	31	41

注 5V耐圧/N-chオープン・ドレイン出力を選択できます。

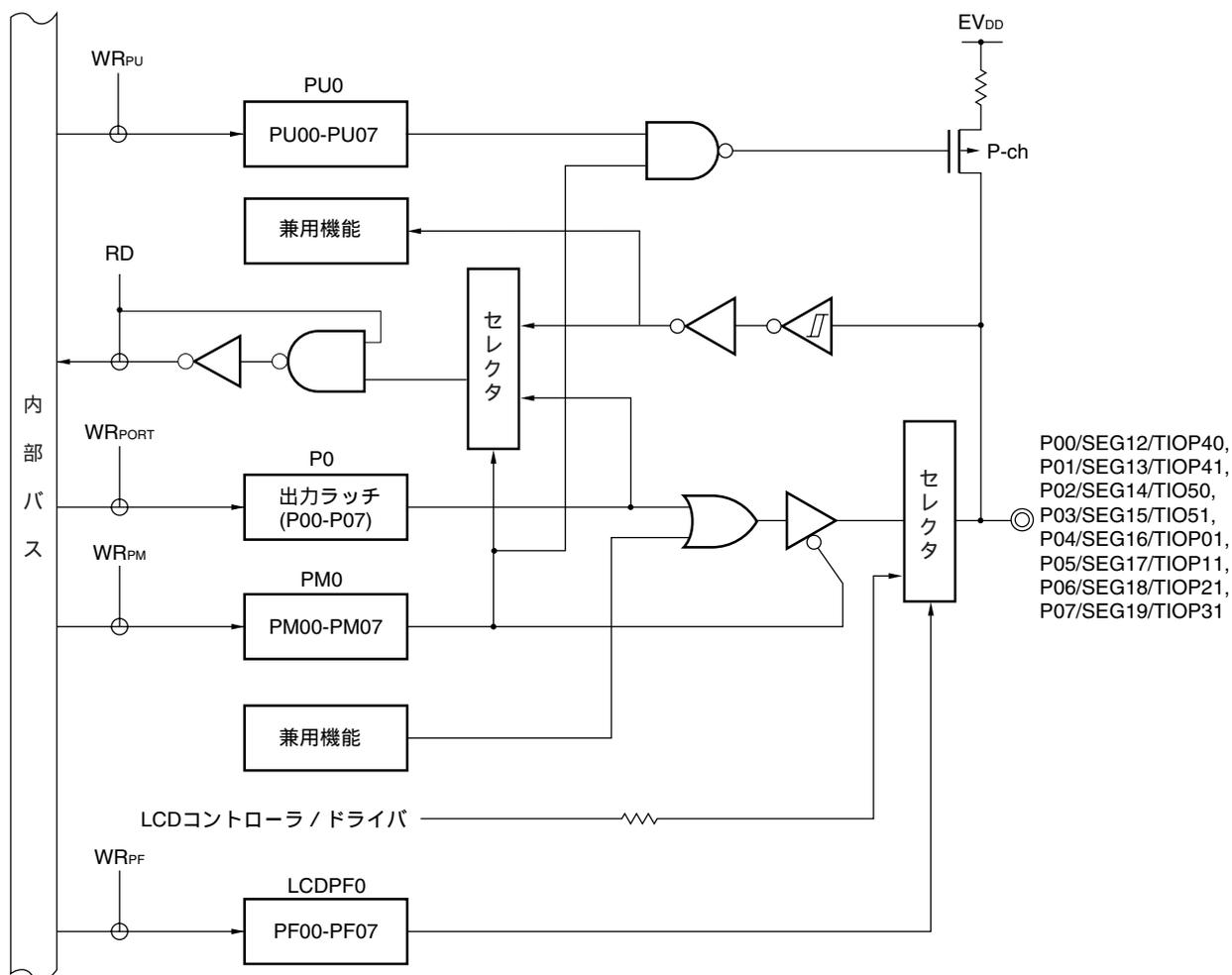
### 4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、LCDコントローラ / ドライバのセグメント信号出力があります。リセット信号の発生により、入力モードになります。

図4-2にポート0のブロック図を示します。

図4-2 P00-P07のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- LCDPF0 : LCDポート・ファンクション・レジスタ0
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

### 4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

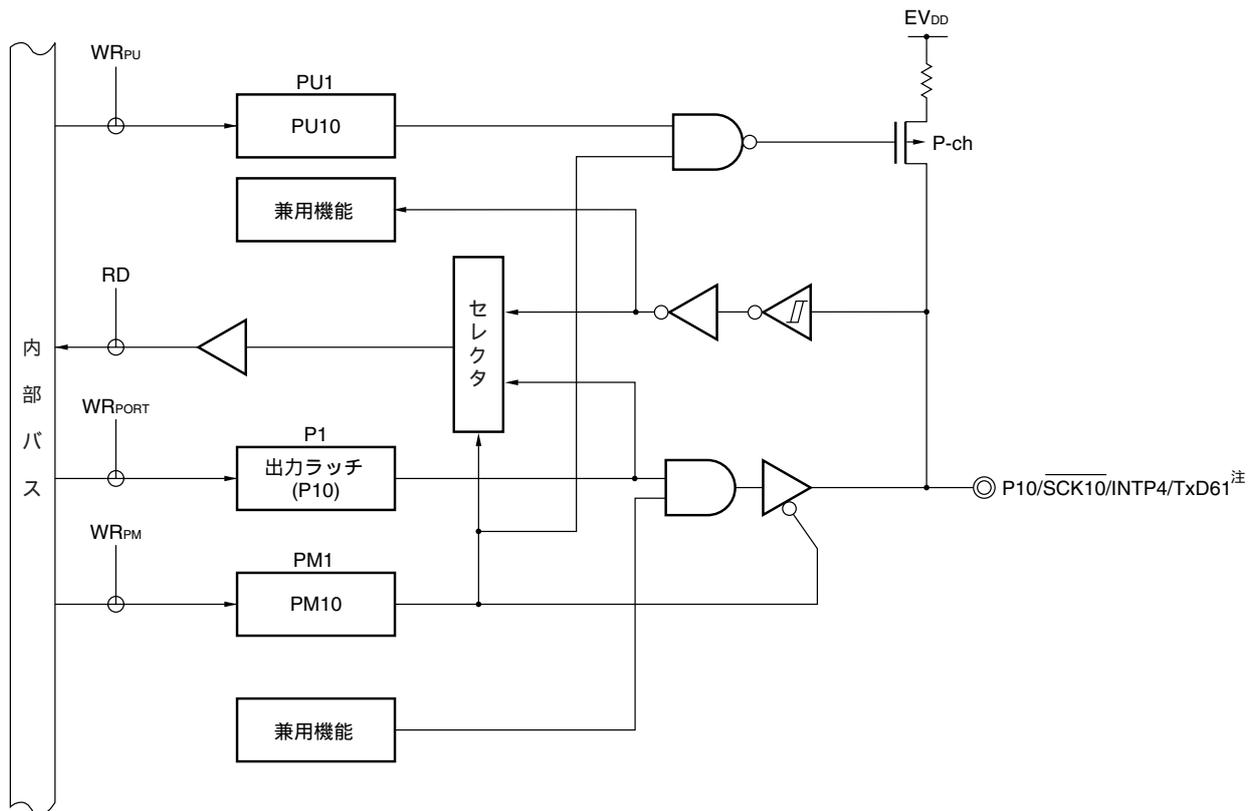
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4-3~4-8にポート1のブロック図を示します。

- 注意 1.** P10/SCK10/INTP4/TxD61, P12/SO10/INTP2を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
- 2.** P10/SCK10/INTP4/TxD61, P13/SEG23/TIOP30/TxD60を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60, 61 (ASICL60, ASICL61) のビット0 (TXDLV60, TXDLV61) を0 (TxD60, TxD61通常出力) に設定してください。

図4-3 P10のブロック図



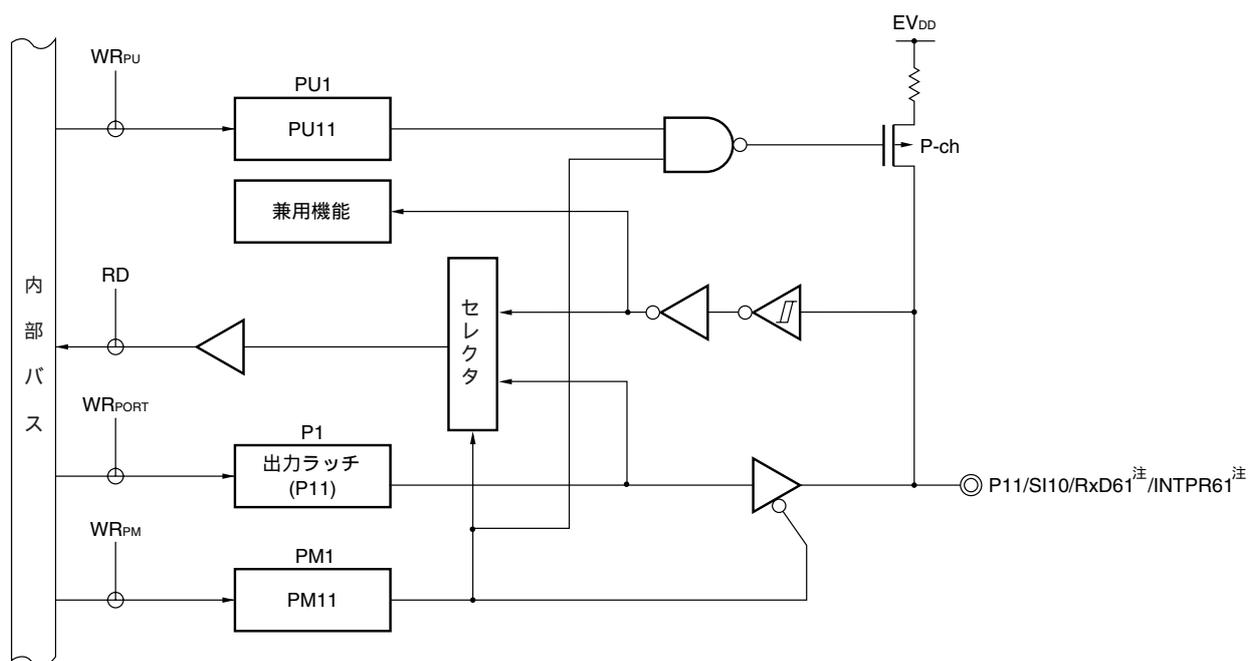
注 78K0/DF2のみ。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR<sub>x</sub> : ライト信号

注意 兼用出力機能使用時には、ポート・ラッチを1に設定してください。

また、ポート機能使用時は、兼用機能の出力が1に固定されるように設定してください。

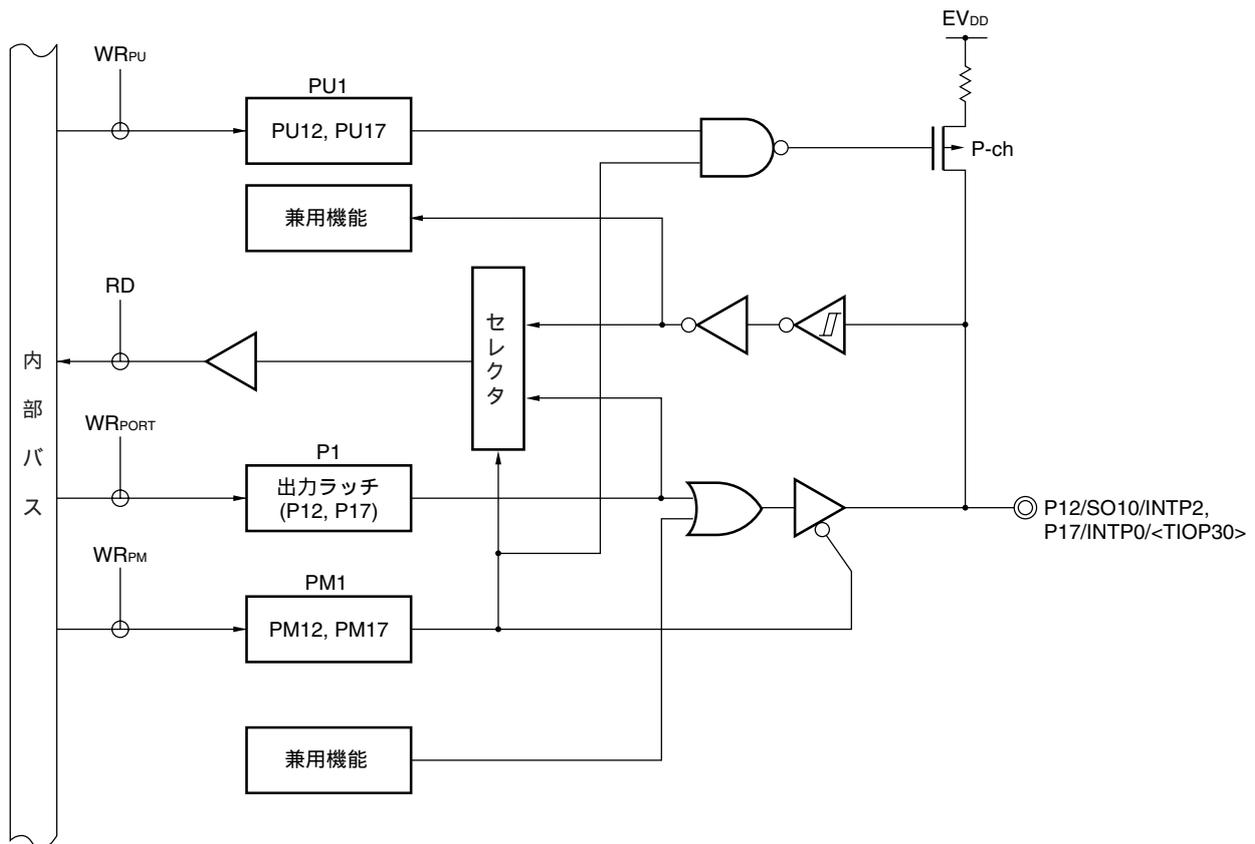
図4-4 P11のブロック図



注 78K0/DF2のみ。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4-5 P12, P17のブロック図

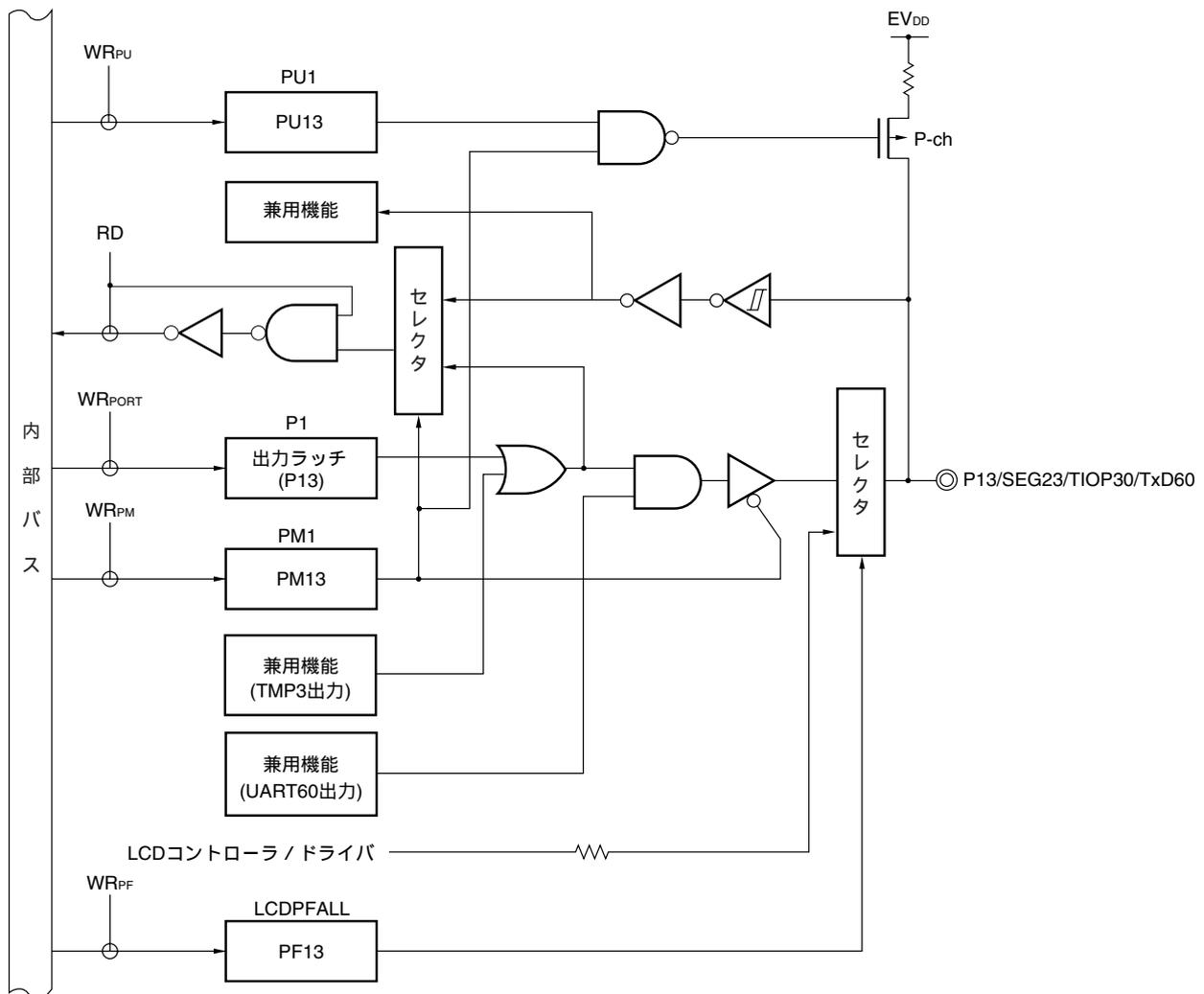


- P1 : ポート・レジスタ1  
 PU1 : プルアップ抵抗オプション・レジスタ1  
 PM1 : ポート・モード・レジスタ1  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。  
 また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

**備考** <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

図4-6 P13のブロック図



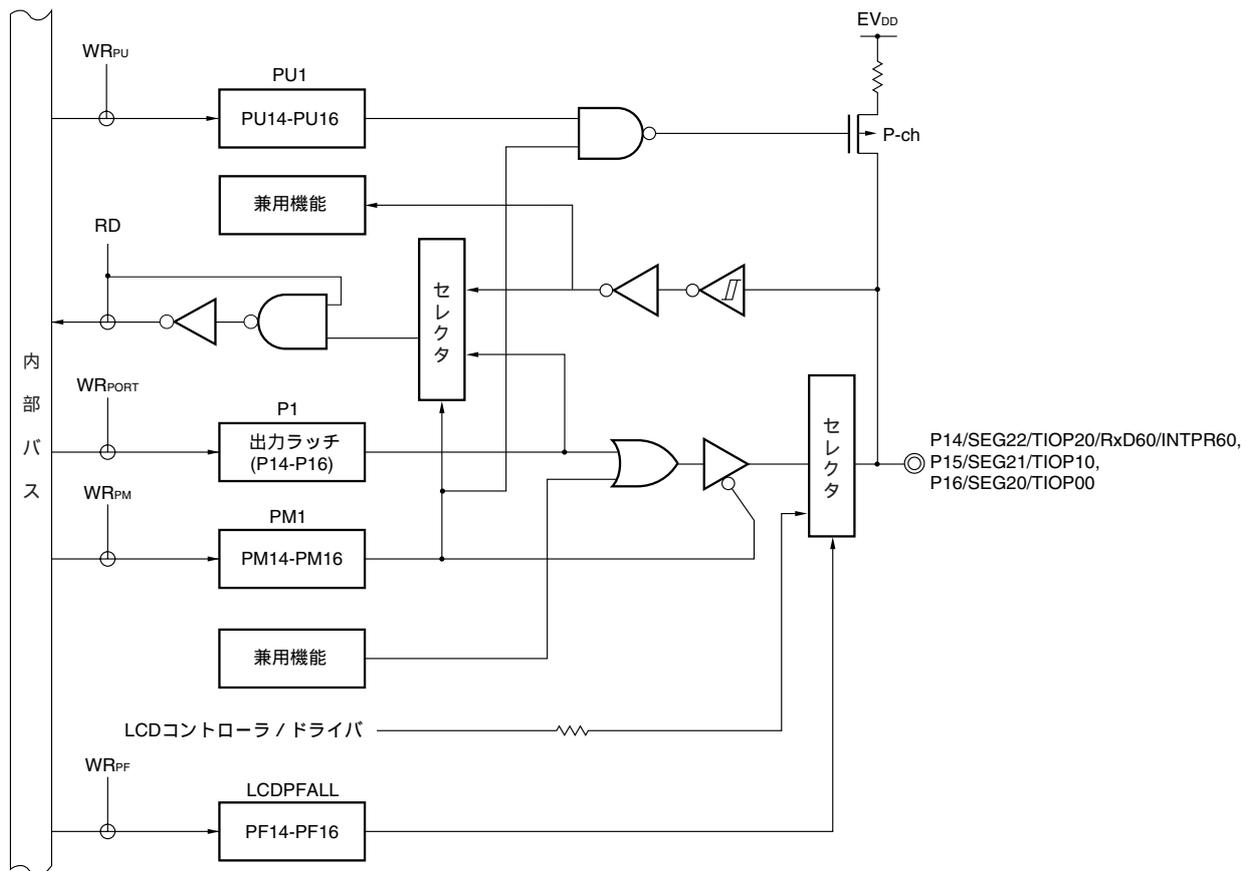
- P1 : ポート・レジスタ1  
 PU1 : プルアップ抵抗オプション・レジスタ1  
 PM1 : ポート・モード・レジスタ1  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

**注意** 兼用機能TIOP30使用時には、ポート・ラッチを0に設定してください。

兼用機能TxD60使用時には、ポート・ラッチを1に設定してください。

また、ポート機能使用時には、兼用機能の出力が1に固定されるように設定してください。

図4-7 P14-P16のブロック図



- P1 : ポート・レジスタ1  
 PU1 : プルアップ抵抗オプション・レジスタ1  
 PM1 : ポート・モード・レジスタ1  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

### 4.2.3 ポート2

78K0/DE2では出力ラッチ付き4ビットの入出力ポート，78K0/DF2では出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7 (78K0/DE2ではP20/ANI0-P23/ANI3，78K0/DF2ではP20/ANI0-P27/ANI7) をデジタル入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力モードに，かつPM2で入力モードに設定してください (詳細は，11.3 (5) A/Dポート・コンフィギュレーション・レジスタ (ADPC) を参照)。この端子は下位ビットから使用してください。

表4 - 3 P20/ANI0-P27/ANI7端子機能の設定

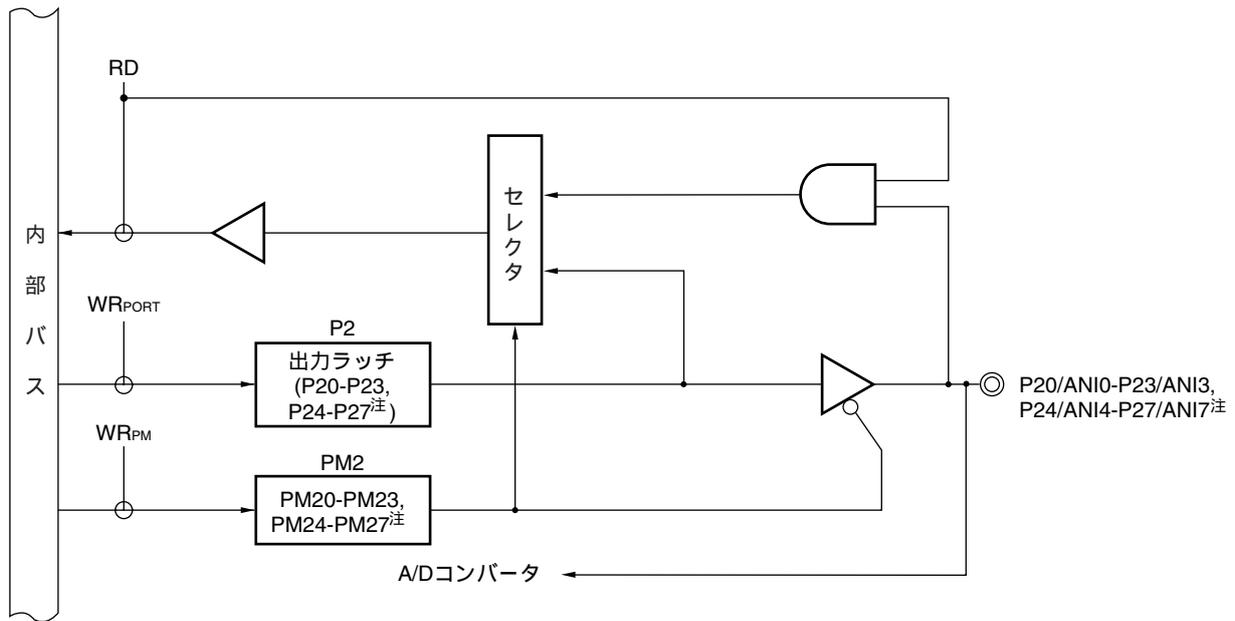
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P20/ANI0-P27/ANI7はすべてアナログ入力になります。

図4 - 8にポート2のブロック図を示します。

**注意** ポート2をデジタル・ポートとして使用する場合は， $AV_{REF}$ を $V_{DD}$ と同電位にしてください。

図4-8 P20-P27のブロック図



注 78K0/DF2のみ。

- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

#### 4.2.4 ポート3

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

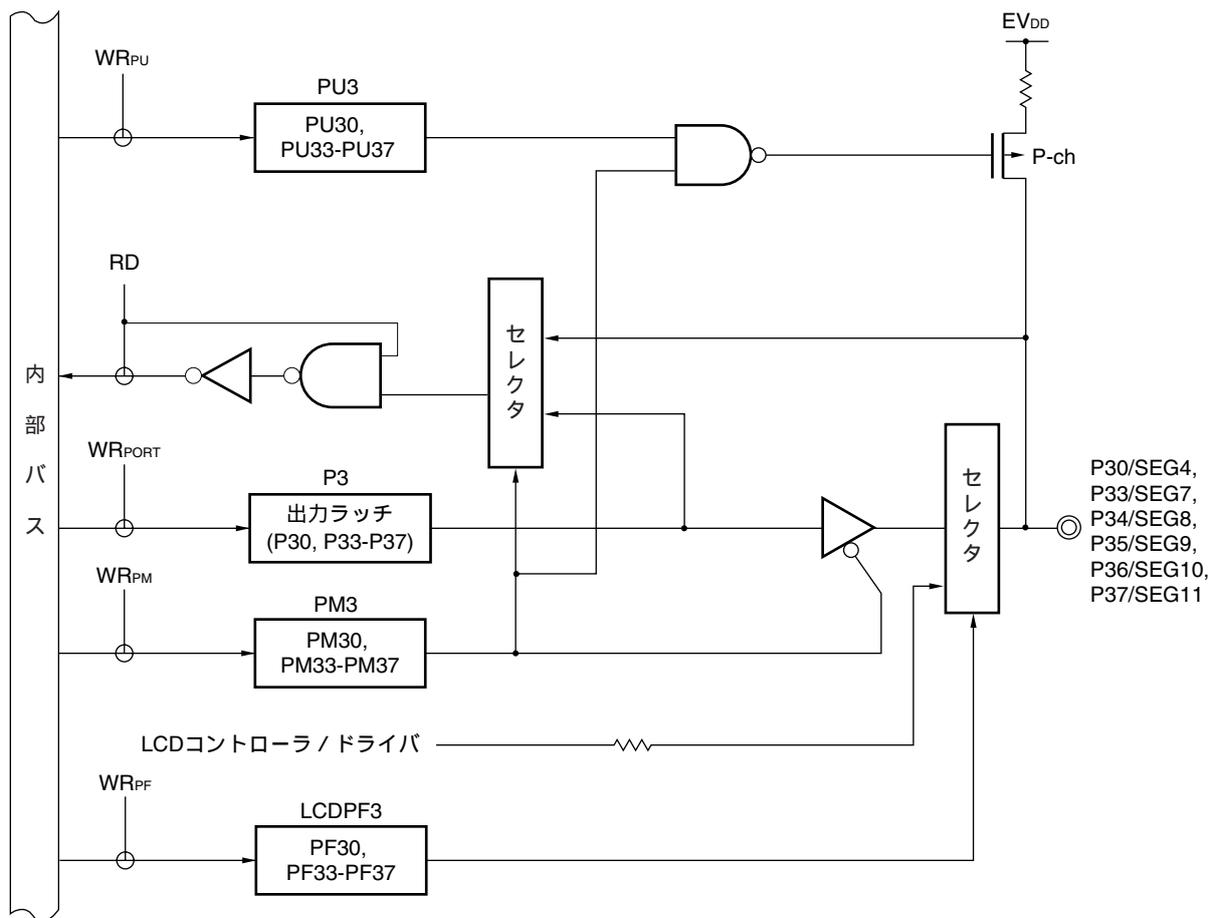
リセット信号の発生により、入力モードになります。

図4-9, 4-10にポート3のブロック図を示します。

- 注意1.** 誤動作を防ぐため、リセット解除までにP31/SEG5/OCD1Aを必ずプルダウンしてください。
- 2.** オンチップ・デバッグのためにP31, P32端子を使用する場合、P31, P32を次のように処理してください。この場合、P31/SEG5/OCD1A, P32/SEG6/OCD1B端子はOCD1A, OCD1B機能のみ使用します。
- ・P31/SEG5/OCD1A：入力モード (PM31=1)、ポート・モード (PF31=0) に設定してください。
  - ・P32/SEG6/OCD1B：ポート・モード (PF32=0) に設定してください。
- P31/SEG5, P32/SEG6の機能をオンチップ・デバッグで評価する必要がある場合はOCD0A, OCD0Bを使用してください。

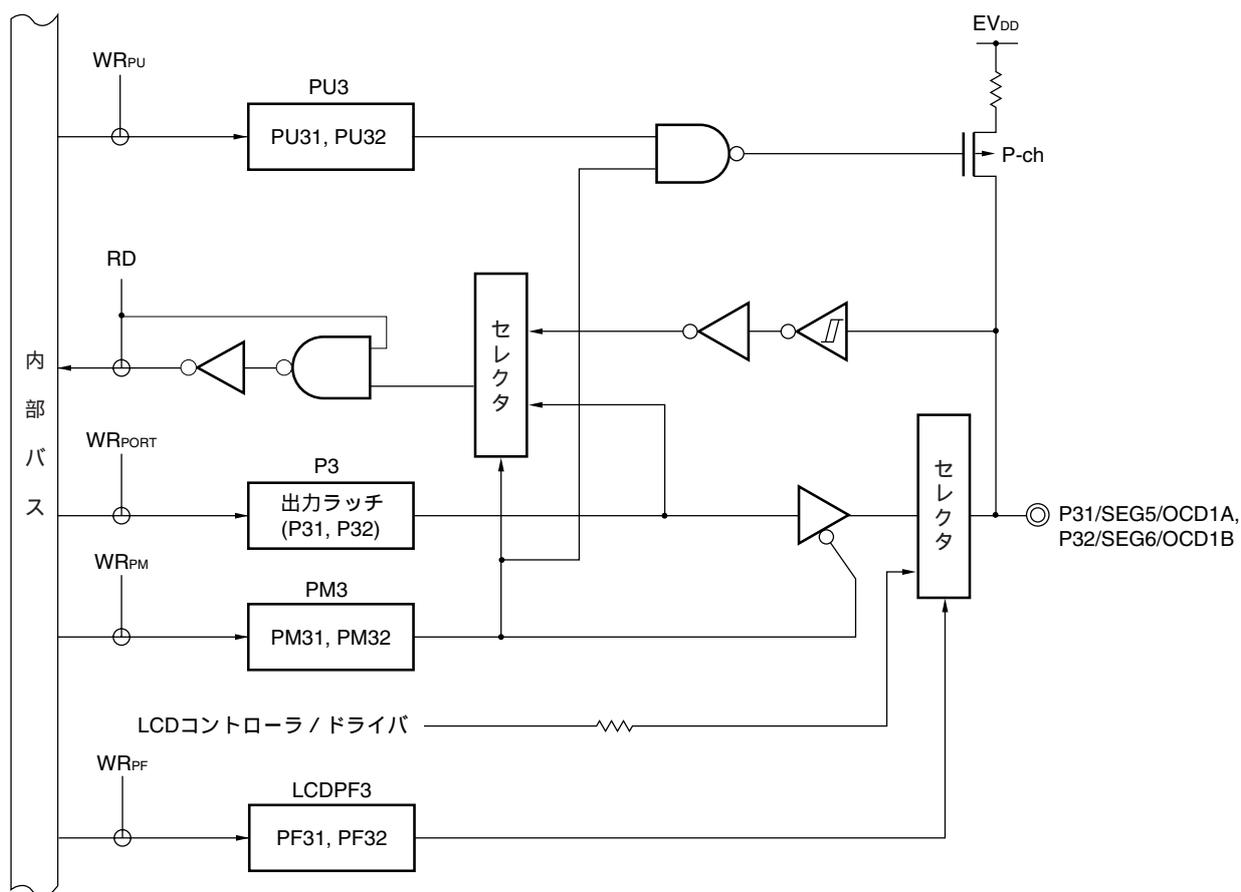
**備考** P31/SEG5, P32/SEG6は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第27章 **オンチップ・デバッグ機能**を参照してください。

図4 - 9 P30, P33-P37のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- LCDPF3 : LCDポート・ファンクション・レジスタ3
- RD : リード信号
- $WR_{xx}$  : ライト信号

図4 - 10 P31, P32のブロック図



- P3 : ポート・レジスタ3
- PU3 : ブルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- LCDPF3 : LCDポート・ファンクション・レジスタ3
- RD : リード信号
- $WR_{xx}$  : ライト信号

### 4.2.5 ポート6

出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード / 出力モードの指定ができます。P60, P61は、プルアップ抵抗オプション・レジスタ6 (PU6)により1ビット単位で内蔵プルアップ抵抗を使用できます。

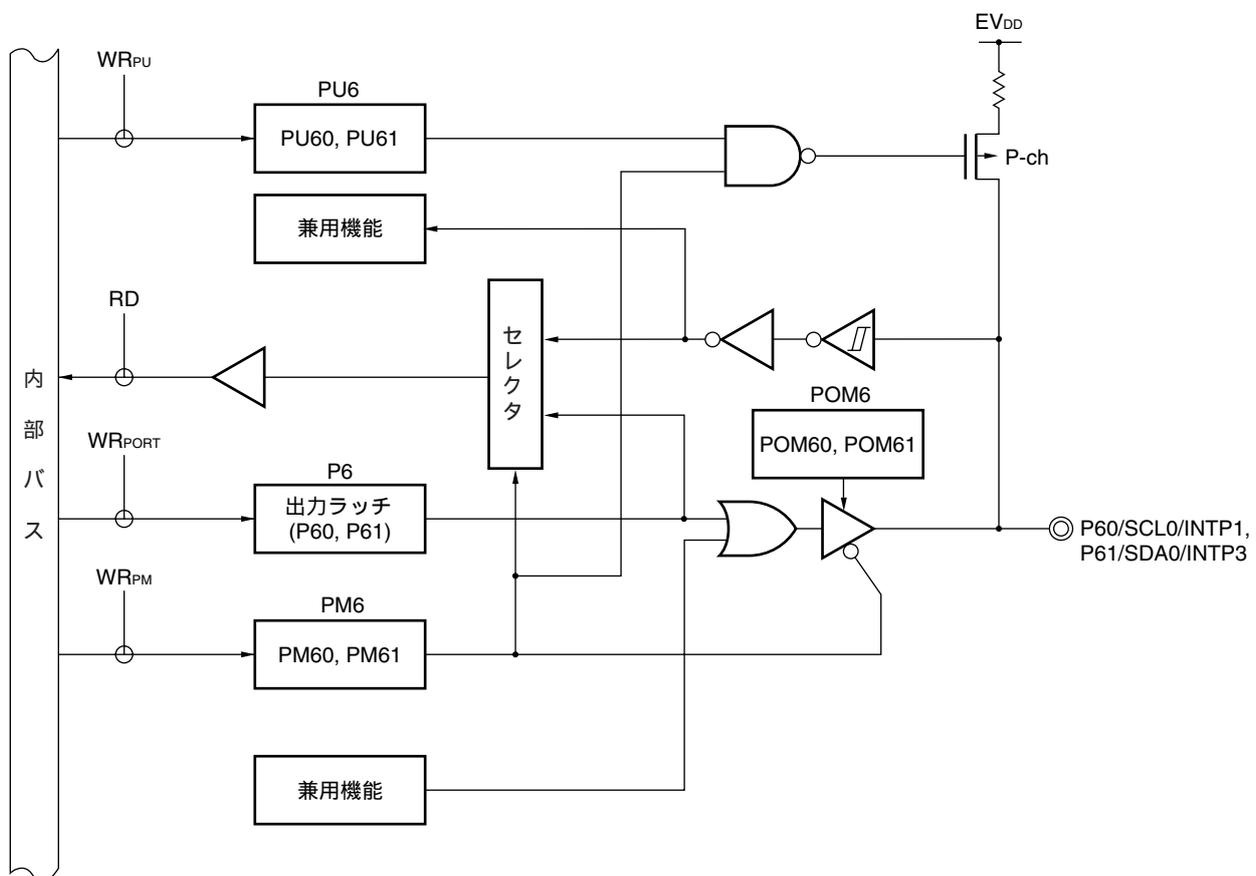
P60, P61端子からの出力は、ポート出力モード制御レジスタ (POM6)により、1ビット単位でCMOS出力かN-chオープン・ドレイン出力 (5 V耐圧) を指定できます。

また、兼用機能として外部割り込み要求入力, シリアル・クロック入出力, IIC0のデータ入出力機能があります。

リセット信号の発生により、入力モードになります。

図4 - 11にポート6のブロック図を示します。

図4 - 11 P60, P61のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- POM6 : ポート出力モード制御レジスタ6
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

### 4.2.6 ポート7

78K0/DE2では出力ラッチ付き4ビットの入出力ポート，78K0/DF2では出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード/出力モードの指定ができます。P70-P77 (78K0/DE2ではP70-P73, 78K0/DF2ではP70-P77) 端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

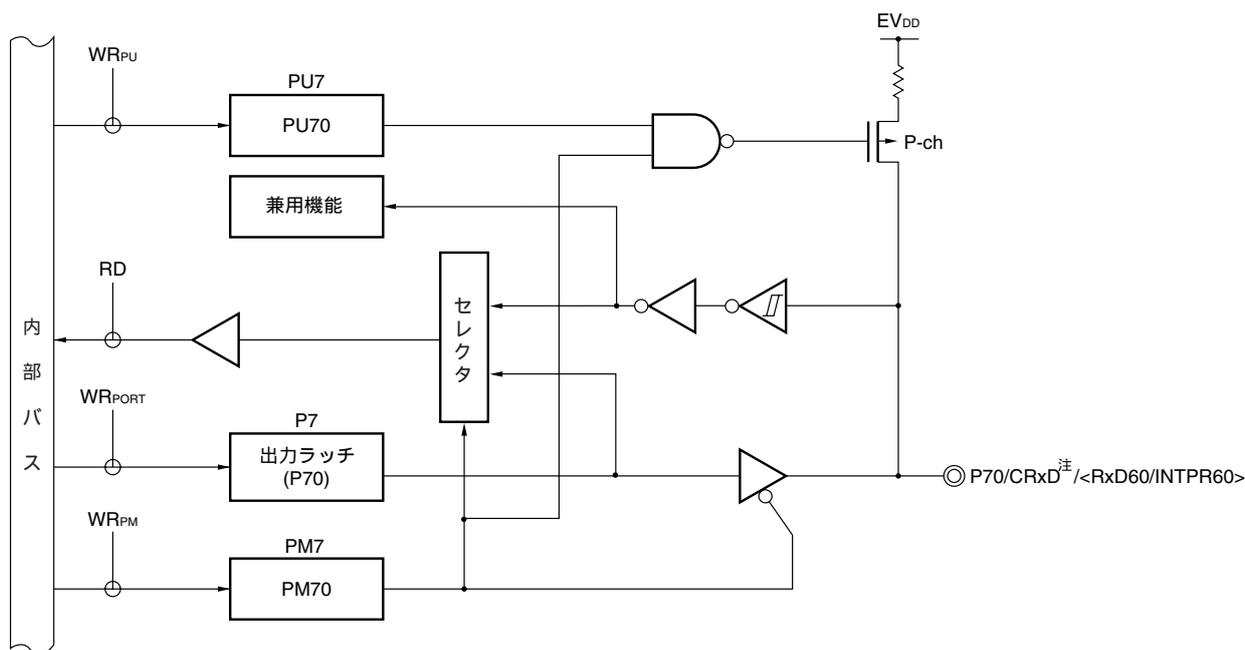
また，兼用機能としてサウンド・ジェネレータ出力端子，クロック出力端子，ブザー出力端子，CANインタフェース入出力，シリアル・インタフェース・データ入出力，クロック入出力，タイマ入出力，LCDコントローラ/ドライバのセグメント信号出力端子機能があります。

リセット信号の発生により，入力モードになります。

図4 - 15 ~ 4 - 21にポート7のブロック図を示します。

- 注意1.** P74/SCK11, P76/SO11を汎用ポートとして使用する場合，シリアル動作モード・レジスタ10 (CSIM10)とシリアル・クロック選択レジスタ10 (CSIC10)は初期状態と同じ設定 (00H) にしてください。
- 2.** P77/SSI11/SEG27を汎用ポートとして使用する場合，シリアル動作モード・レジスタ11 (CSIM11)は初期状態と同じ設定 (00H) にしてください。

図4 - 12 P70のブロック図

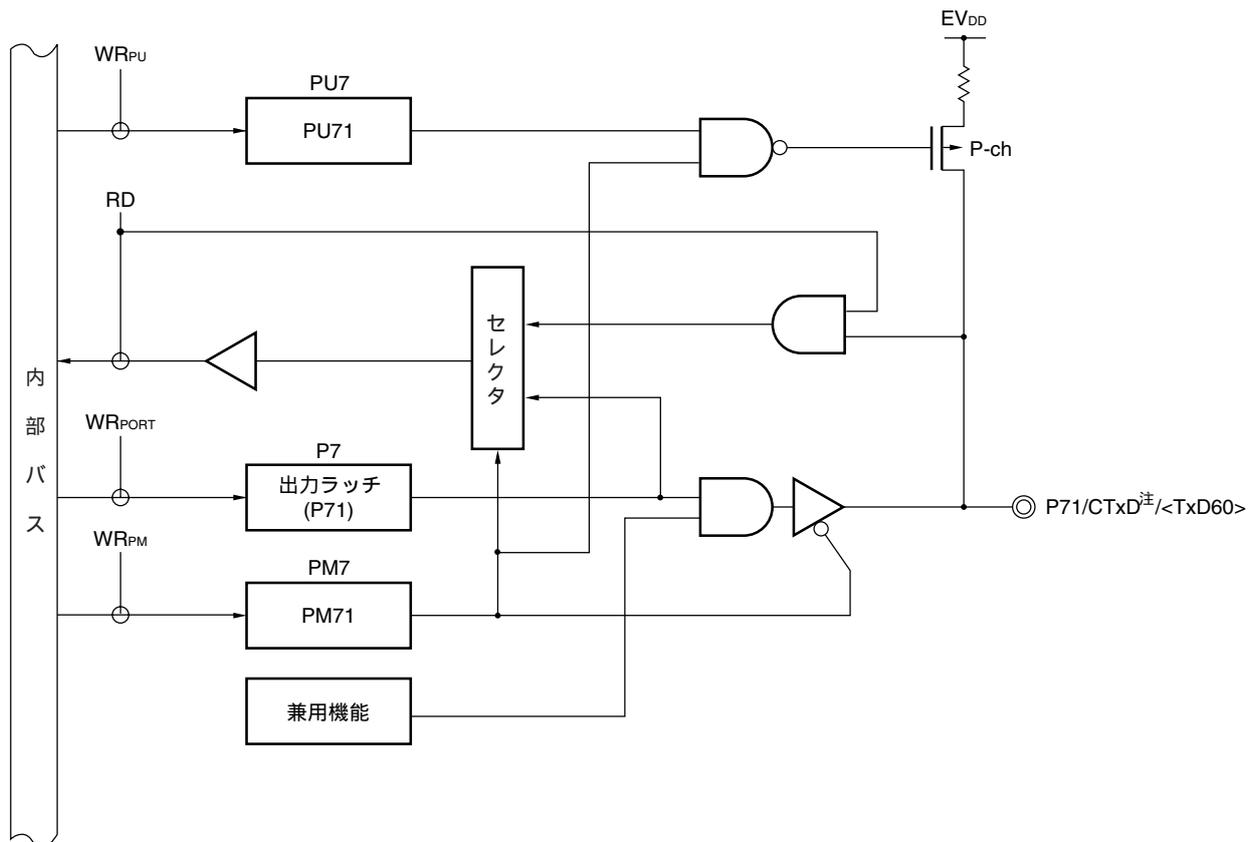


**注**  $\mu$  PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ。

- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

**備考** <>内の機能は，入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

図4-13 P71のブロック図



注  $\mu$  PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ。

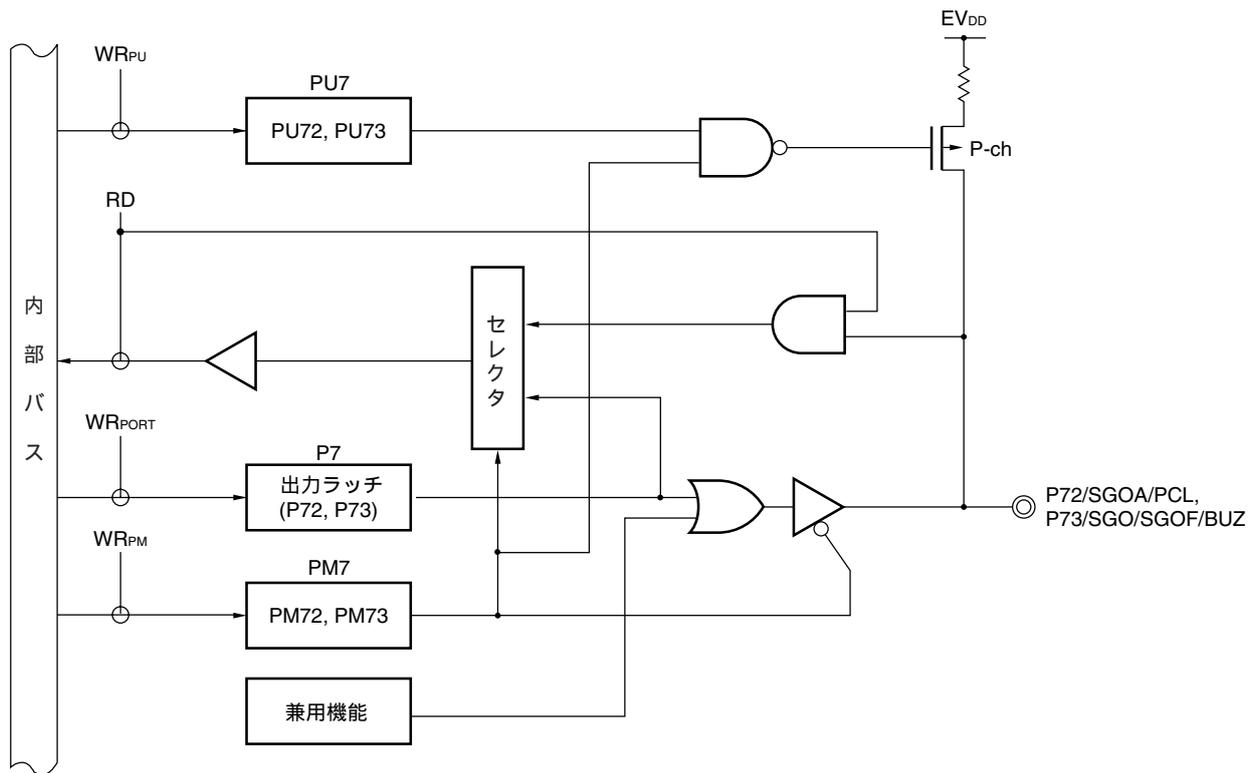
- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR<sub>x</sub> : ライト信号

注意 兼用出力機能使用時には、ポート・ラッチを1に設定してください。

また、ポート機能使用時は、兼用機能の出力が1に固定されるように設定してください。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

図4-14 P72, P73のブロック図

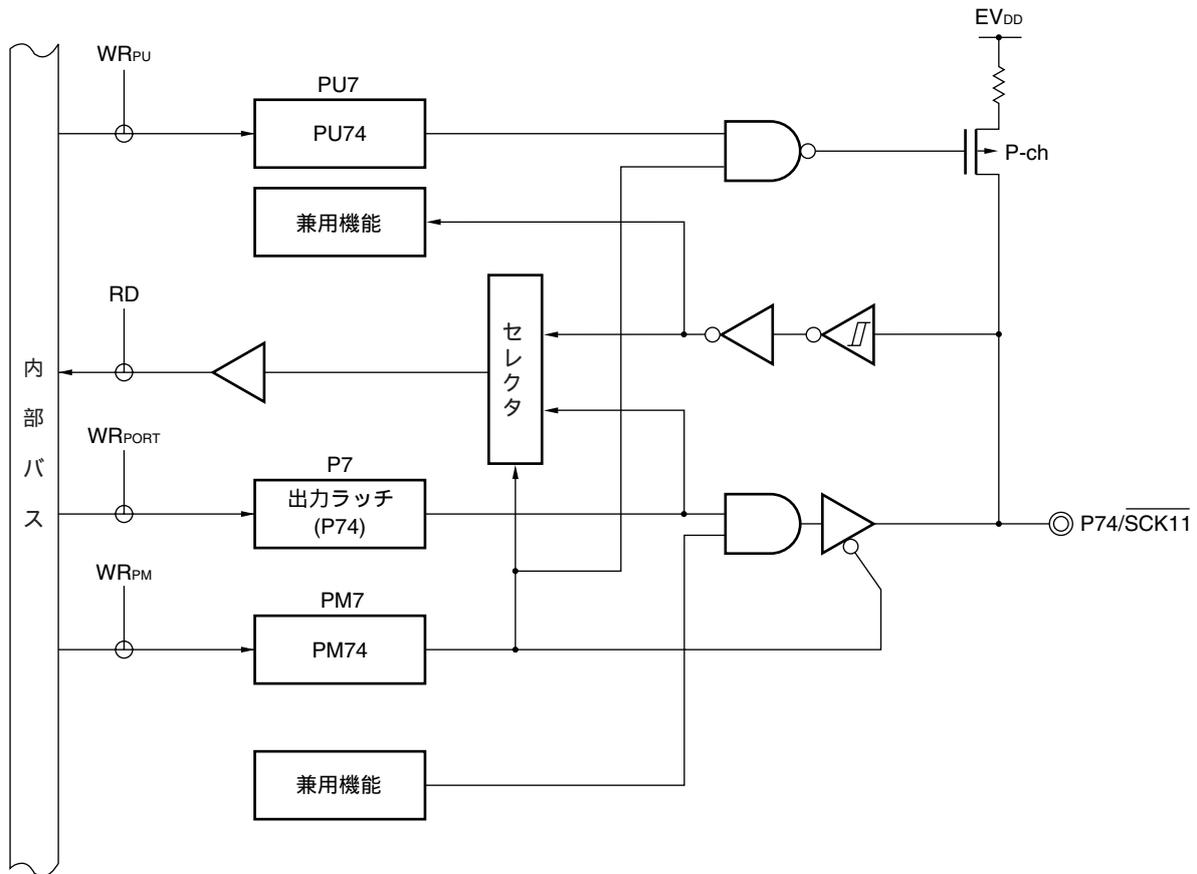


- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

図4 - 15 P74のブロック図 (1/2)

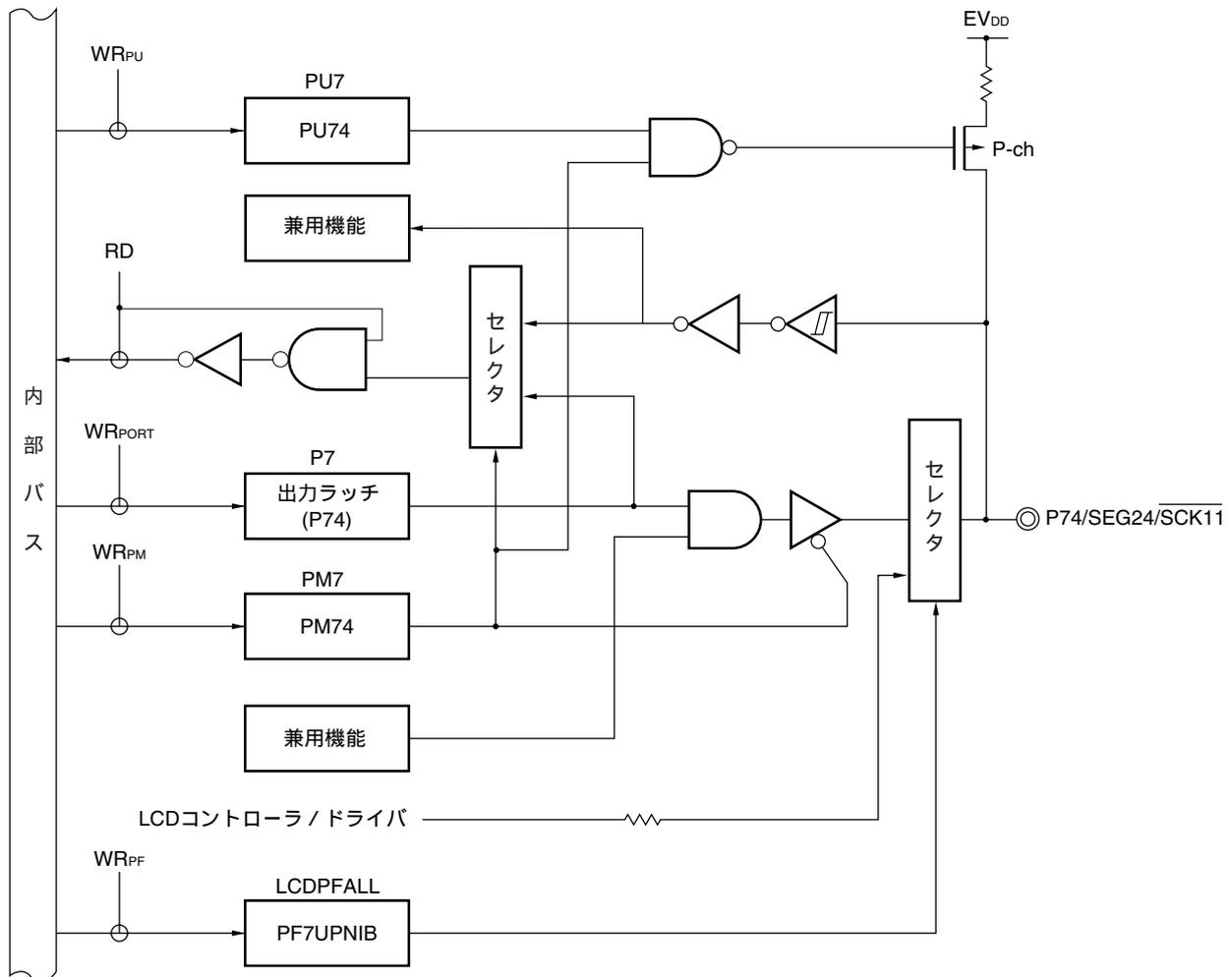
(a)  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0836, 78F0847

- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを1に設定してください。

また、ポート機能使用時は、兼用機能の出力が1に固定されるように設定してください。

図4 - 15 P74のブロック図 (2/2)

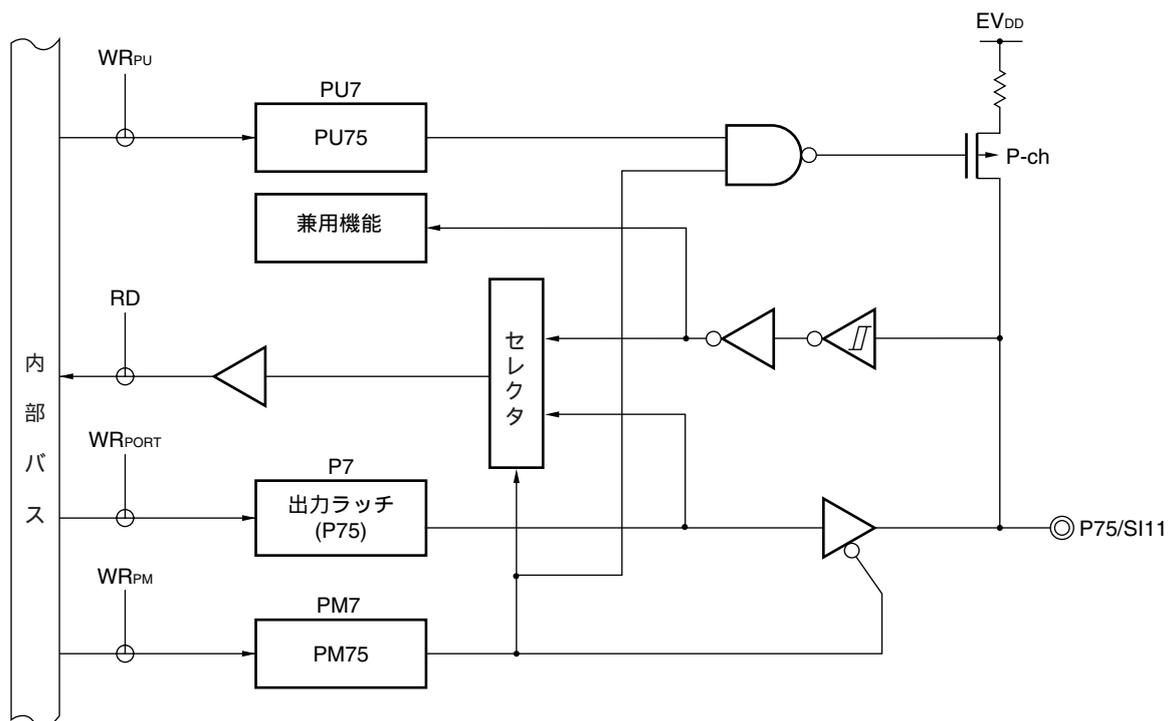
(b)  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849

- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを1に設定してください。

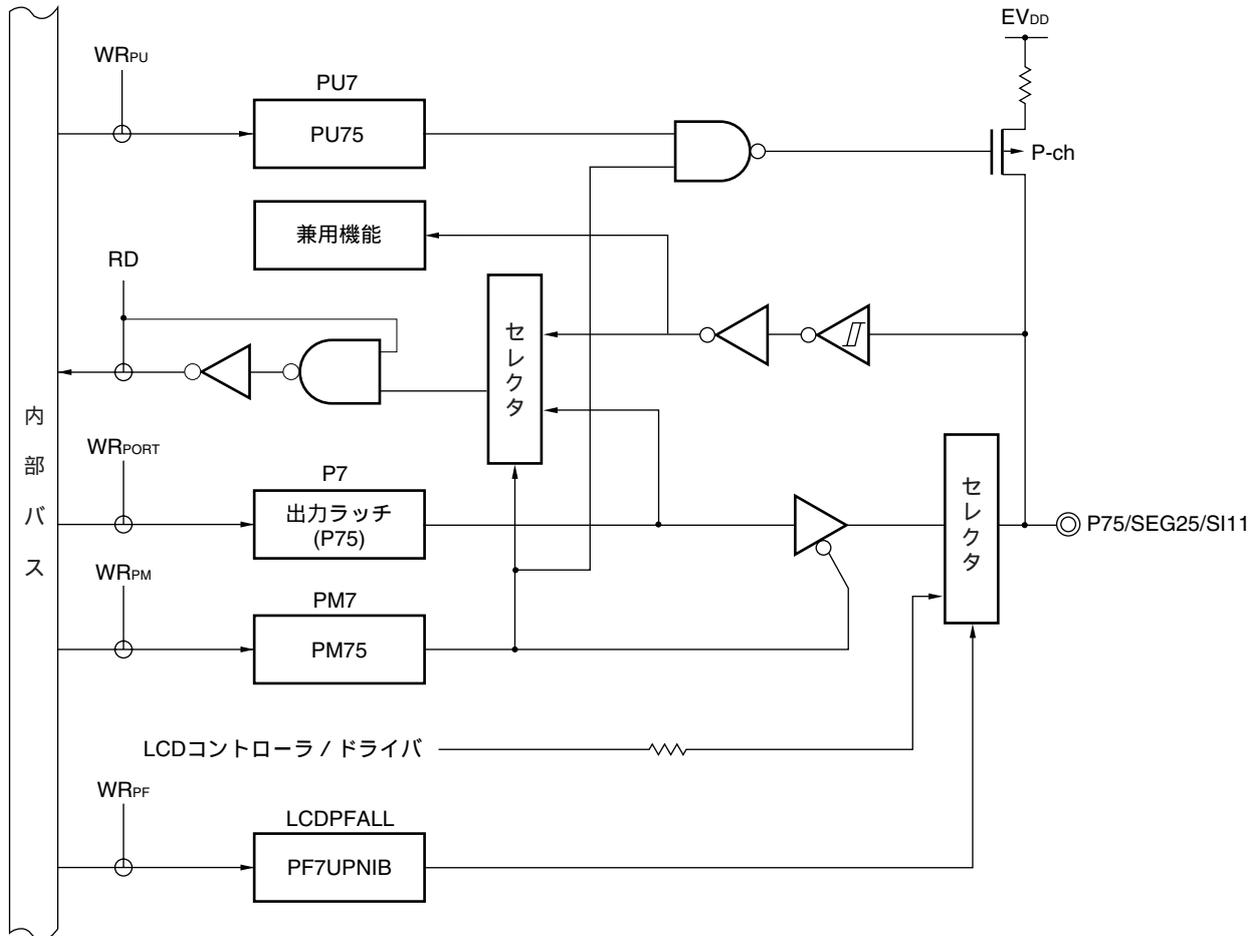
また、ポート機能使用時は、兼用機能の出力が1に固定されるように設定してください。

図4 - 16 P75のブロック図 (1/2)

(a)  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0836, 78F0847

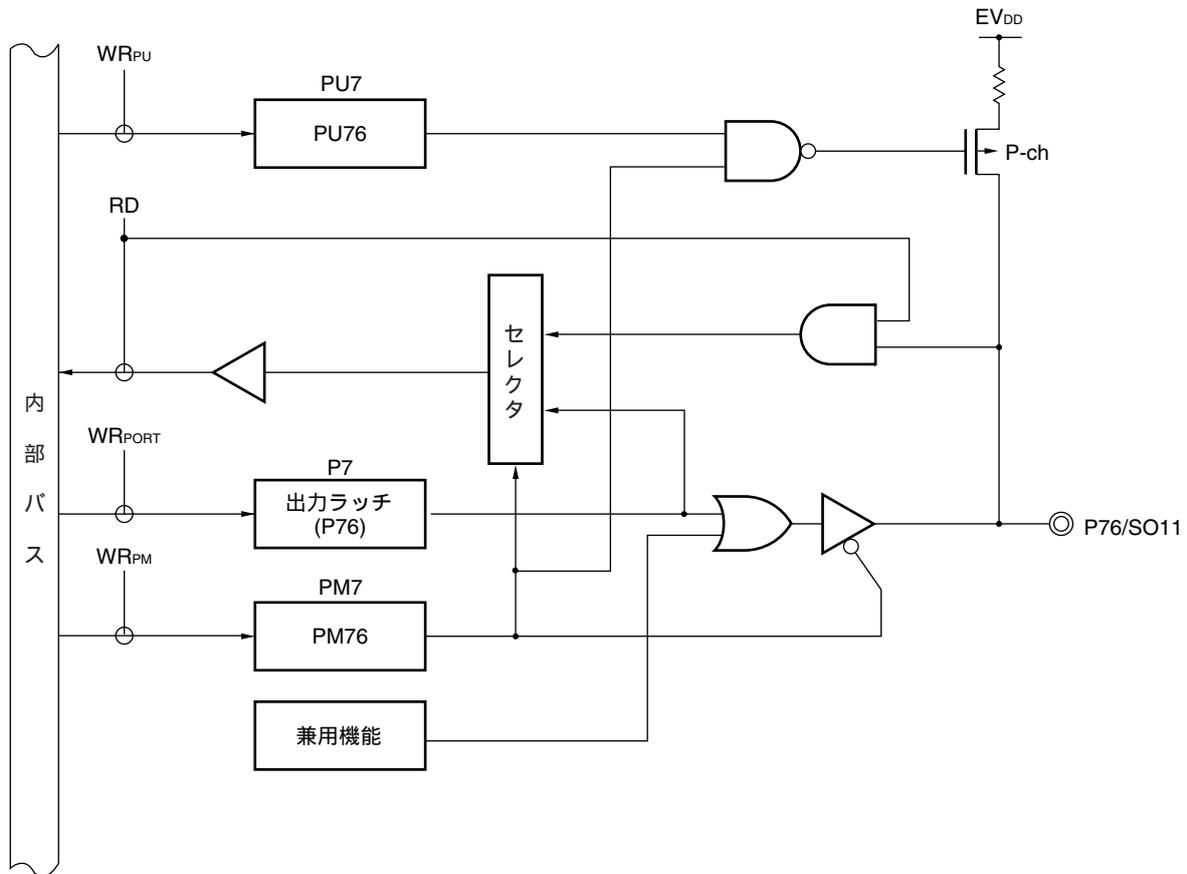
- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4 - 16 P75のブロック図 (2/2)

(b)  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849

- P7 : ポート・レジスタ7  
 PU7 : ブルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4 - 17 P76のブロック図 (1/2)

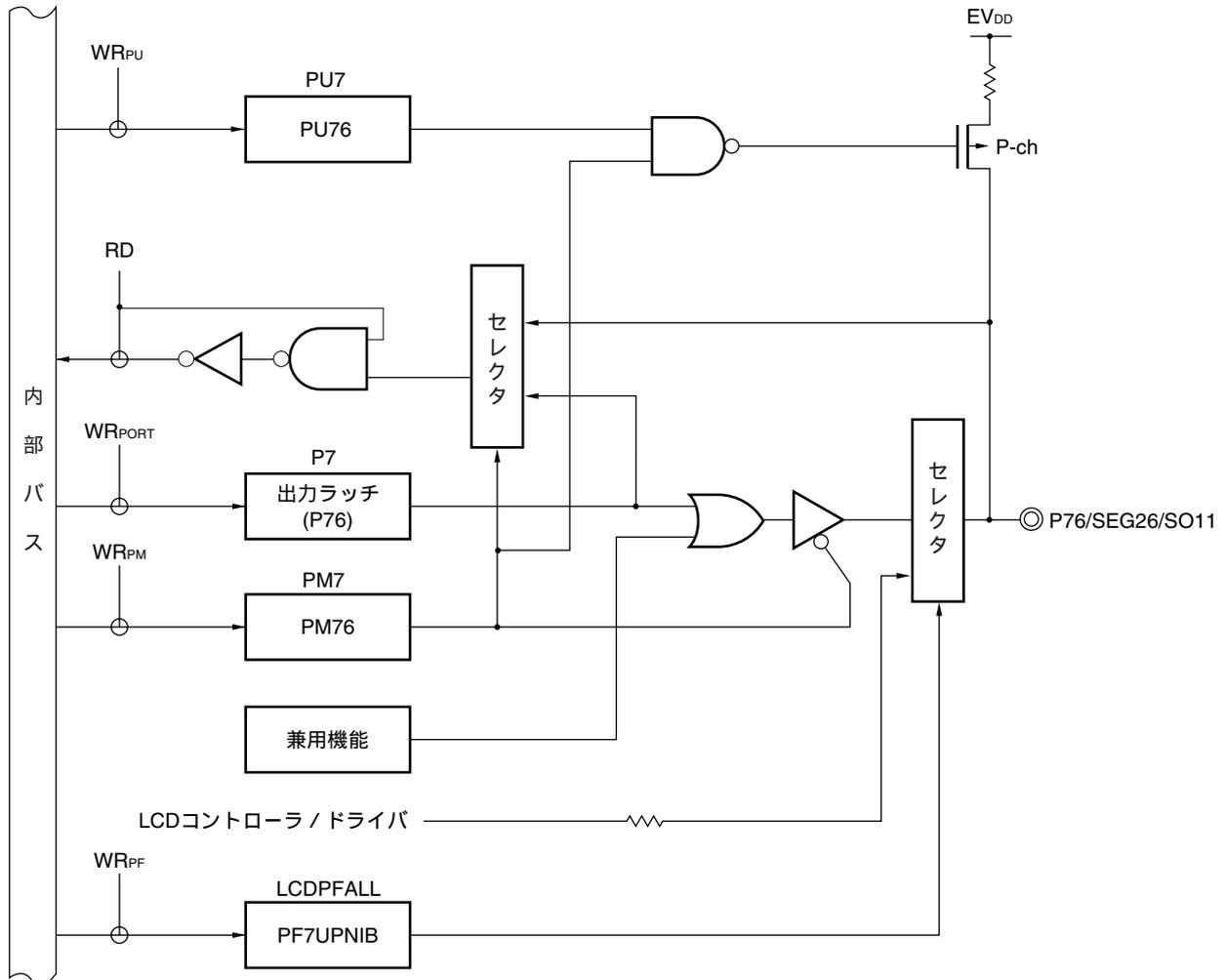
(a)  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0836, 78F0847

- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

図4-17 P76のブロック図(2/2)

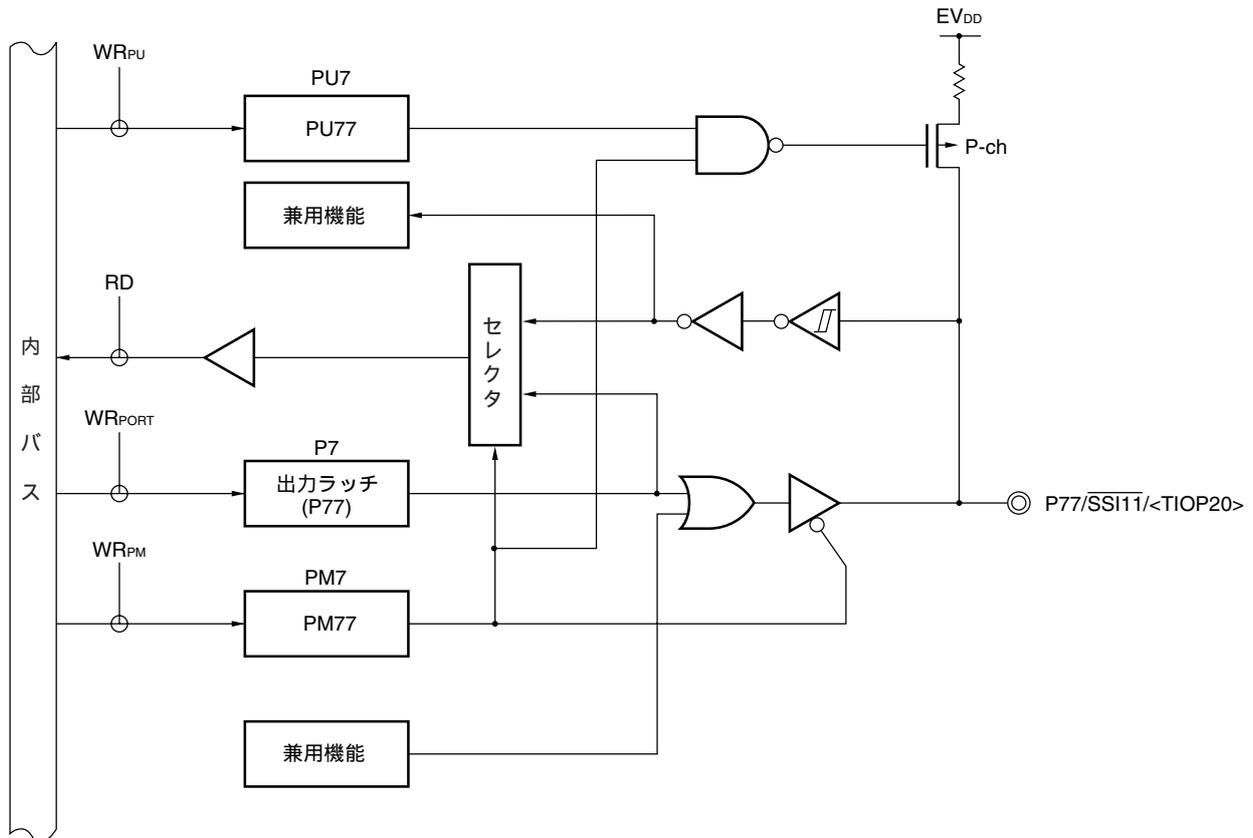
(b)  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849

- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

図4-18 P77のブロック図(1/2)

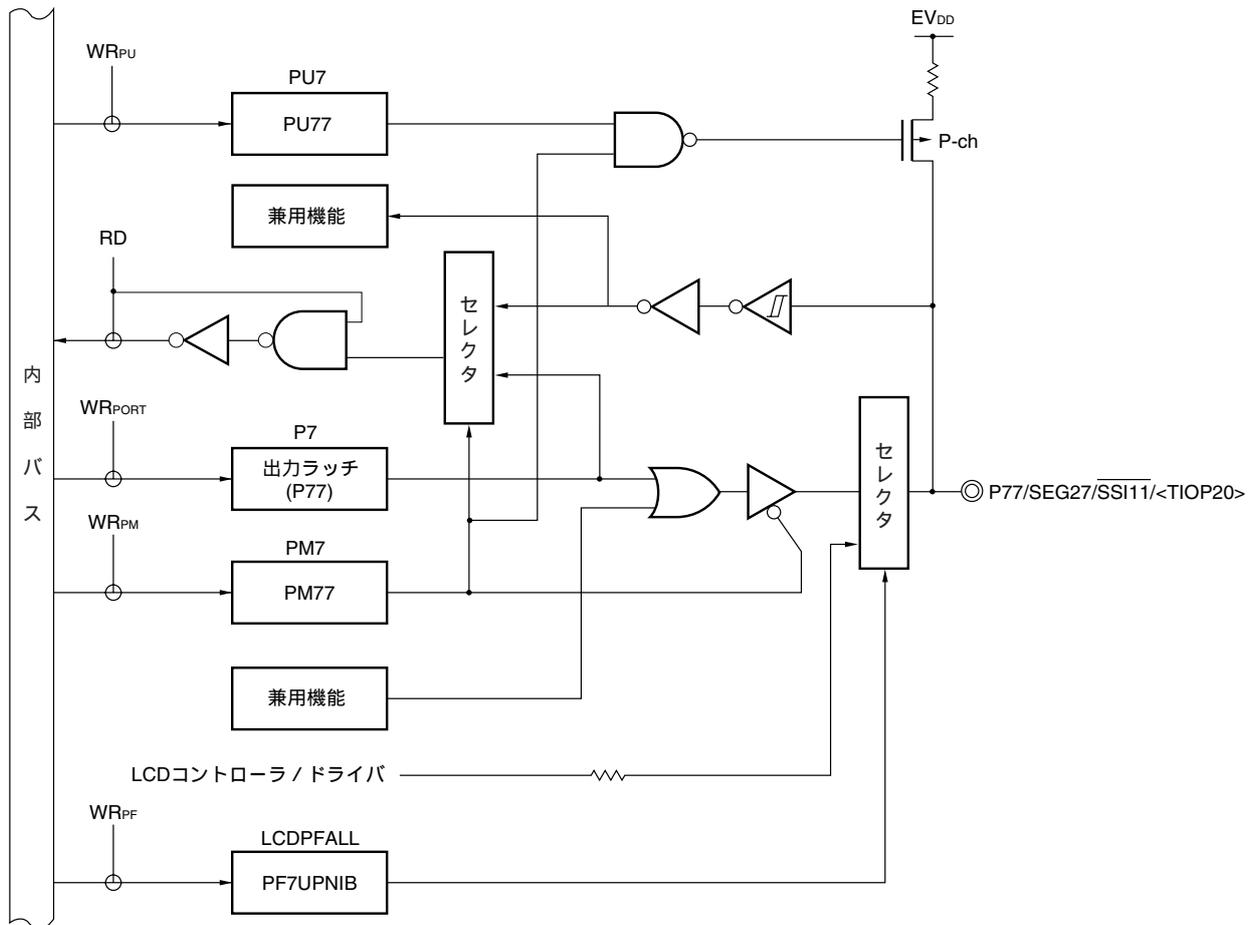
(a)  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0836, 78F0847

- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。  
 また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

**備考** <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

図4 - 18 P77のブロック図 (2/2)

(b)  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849

- P7 : ポート・レジスタ7  
 PU7 : プルアップ抵抗オプション・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

**備考** <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

### 4.2.7 ポート8

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。

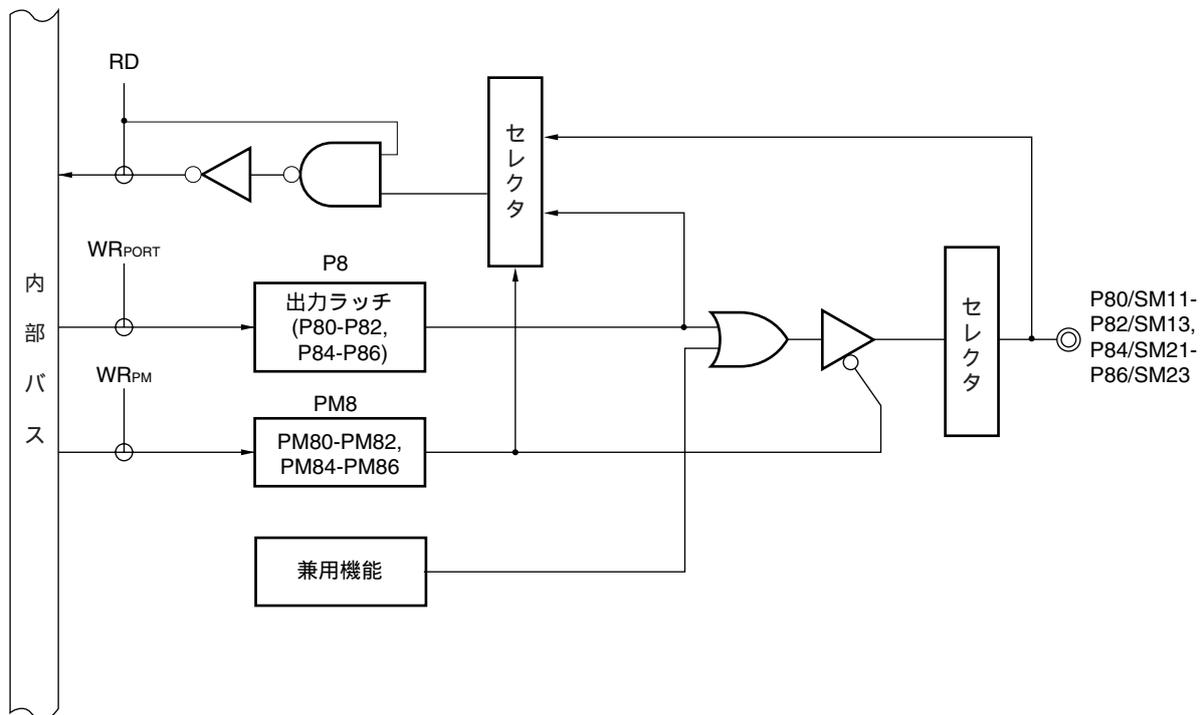
また、兼用機能として $\mu$  PD78F0836, 78F0837, 78F0842, 78F0843, 78F0844, 78F0845, 78F0848, 78F0849ではステッピング・モータ・コントローラ/ドライバ入出力、 $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847ではLCDセグメント出力機能があります。

リセット信号の発生により、入力モードになります。

図4 - 19, 4 - 20にポート8のブロック図を示します。

図4 - 19 P80-P82, P84-P86のブロック図 (1/2)

(a)  $\mu$  PD78F0836, 78F0837, 78F0842, 78F0843, 78F0844, 78F0845, 78F0848, 78F0849

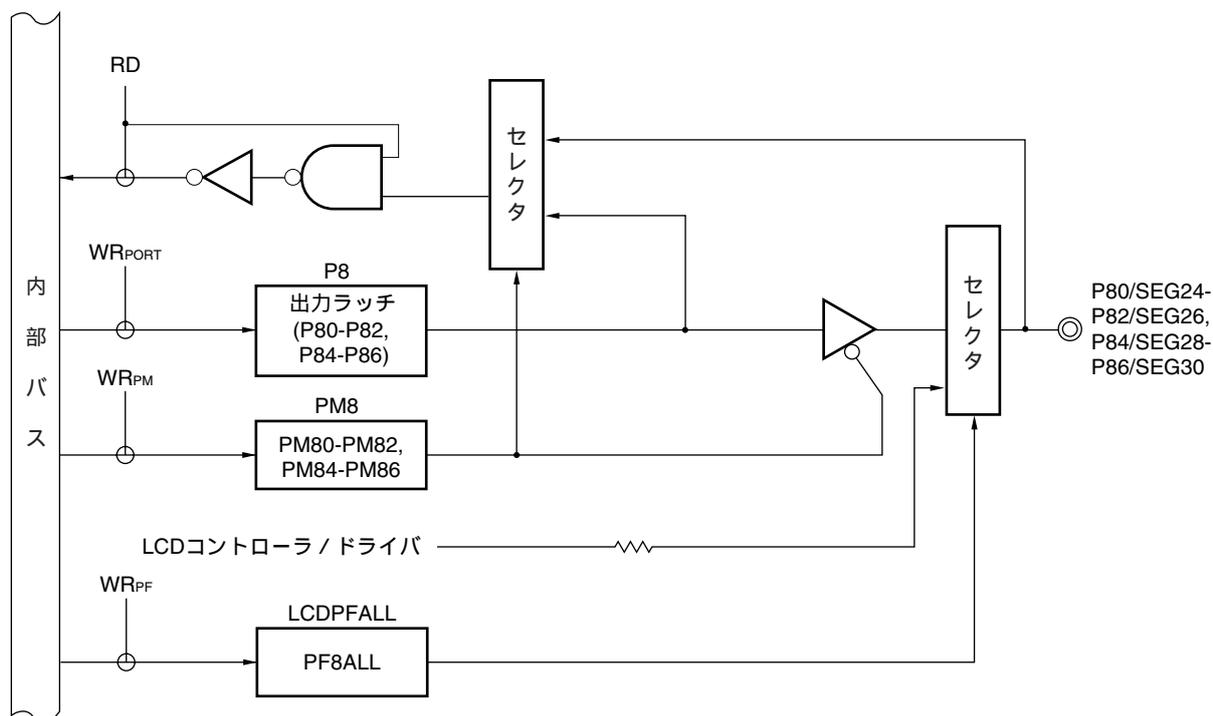


- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- RD : リード信号
- WR<sub>x</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

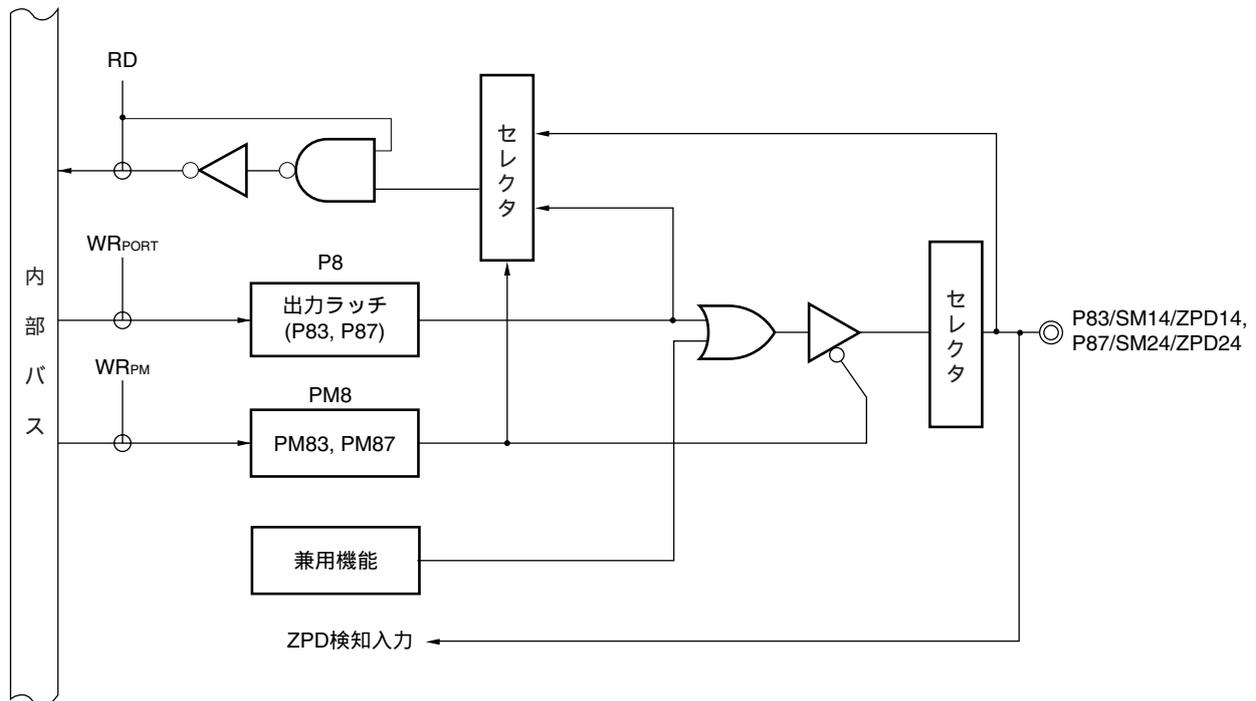
また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

図4 - 19 P80-P82, P84-P86のブロック図 (2/2)

(b)  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847

- P8 : ポート・レジスタ8  
 PM8 : ポート・モード・レジスタ8  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4 - 20 P83, P87のブロック図 (1/2)

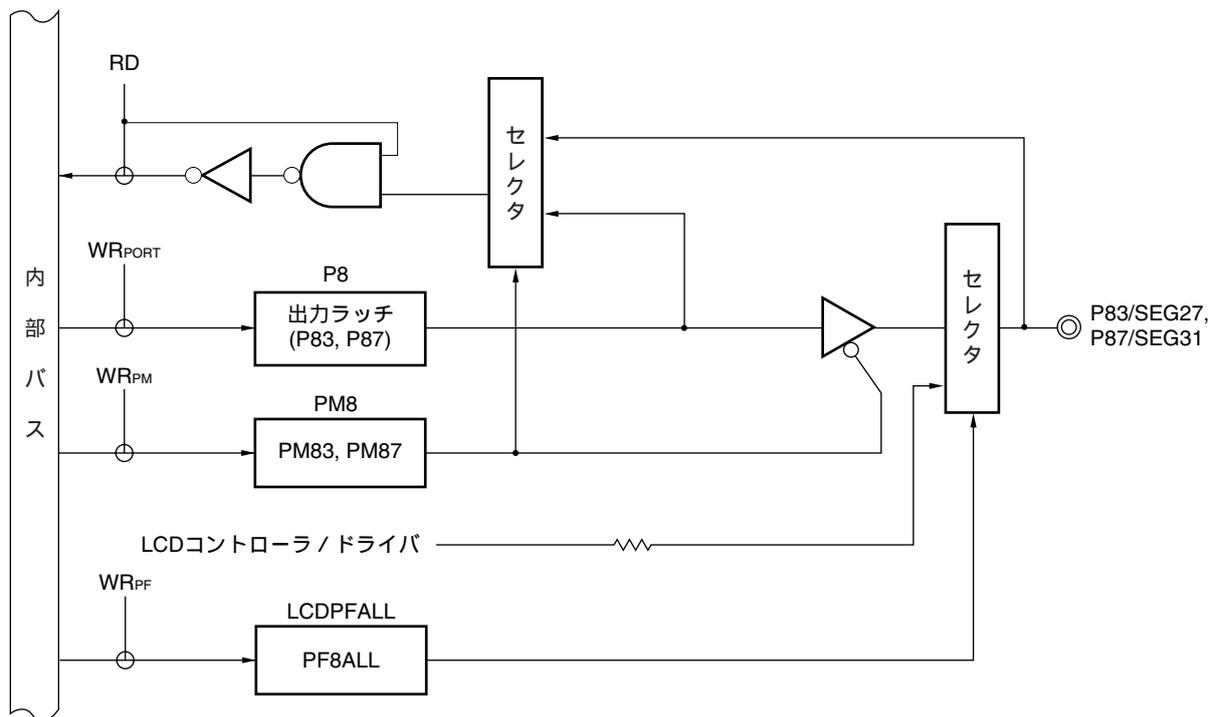
(a)  $\mu$  PD78F0836, 78F0837, 78F0842, 78F0843, 78F0844, 78F0845, 78F0848, 78F0849

- P8 : ポート・レジスタ8  
 PM8 : ポート・モード・レジスタ8  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

図4 - 20 P83, P87のブロック図 (2/2)

(b)  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847

- P8 : ポート・レジスタ8  
 PU8 : プルアップ抵抗オプション・レジスタ8  
 PM8 : ポート・モード・レジスタ8  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

### 4.2.8 ポート9 (78K0/DF2のみ)

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード / 出力モードの指定ができます。

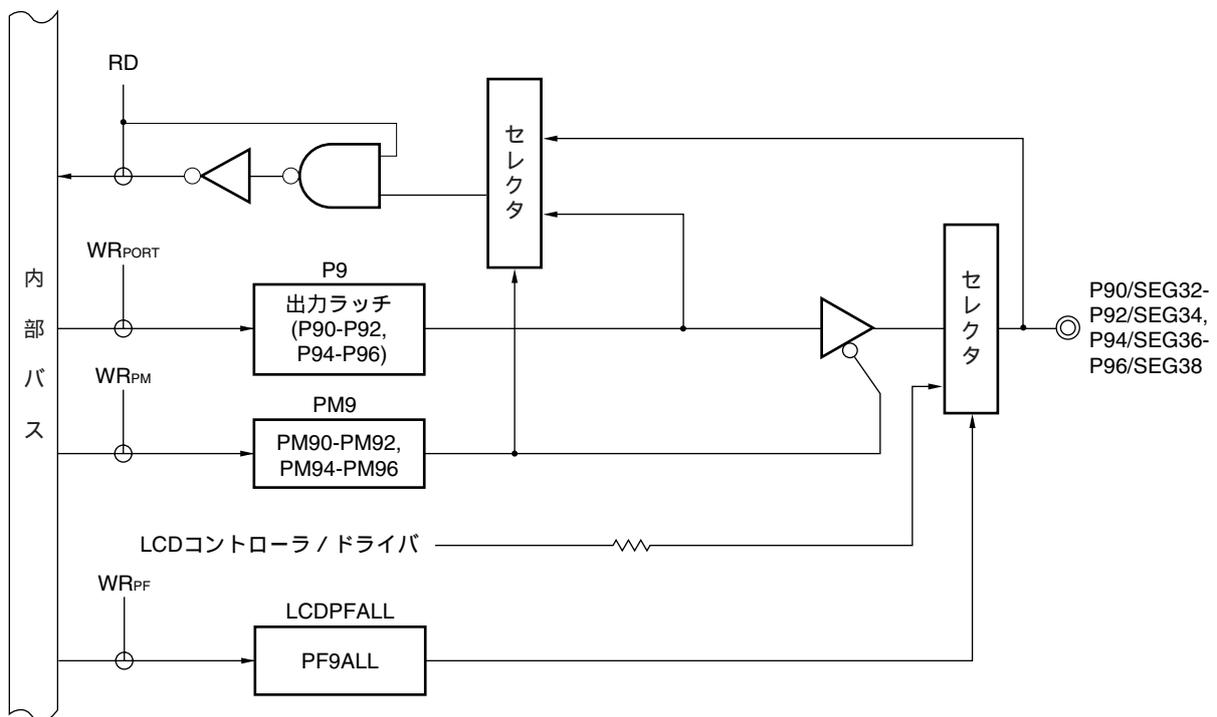
また、兼用機能として、 $\mu$  PD78F0838, 78F0839ではLCDセグメント出力、 $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849ではステップング・モータ・コントローラ / ドライバ入出力機能があります。

リセット信号の発生により、入力モードになります。

図4 - 21, 4 - 22にポート9のブロック図を示します。

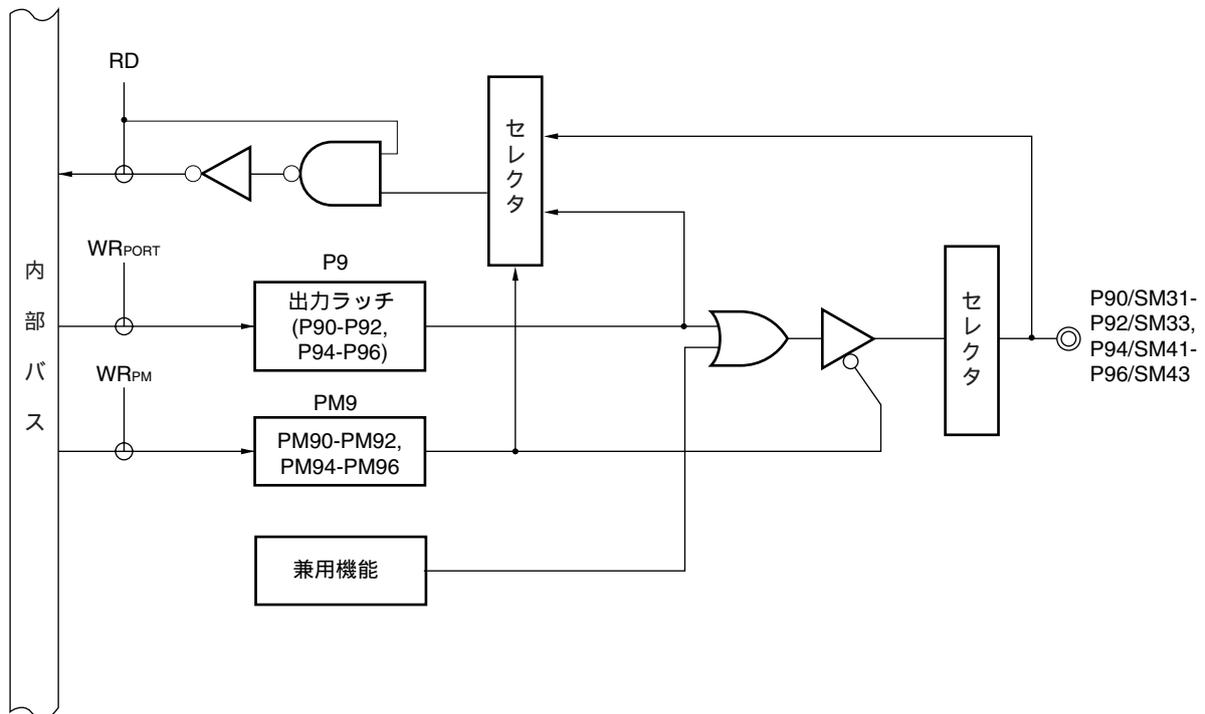
図4 - 21 P90-P92, P94-P96のブロック図 (1/2)

(a)  $\mu$  PD78F0838, 78F0839



- P9 : ポート・レジスタ9
- PM9 : ポート・モード・レジスタ9
- LCDPFALL : LCDポート・ファンクション・レジスタALL
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

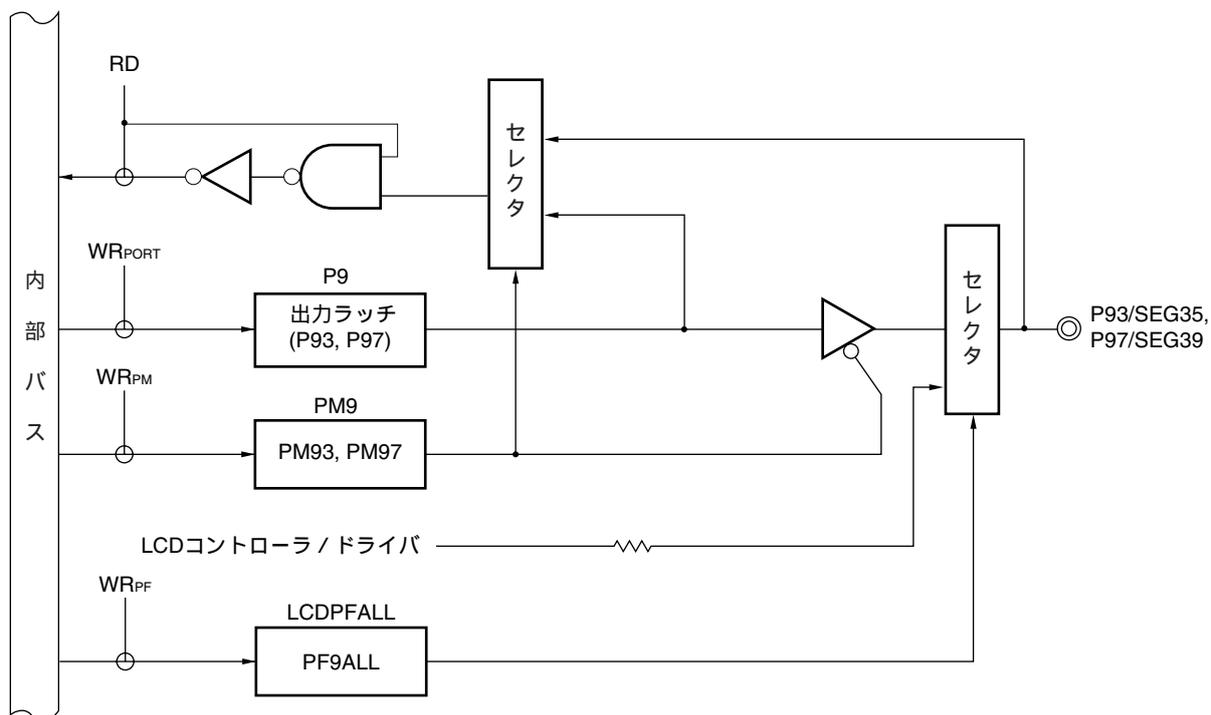
図4 - 21 P90-P92, P94-P96のブロック図 (2/2)

(b)  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849

- P9 : ポート・レジスタ9  
 PM9 : ポート・モード・レジスタ9  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

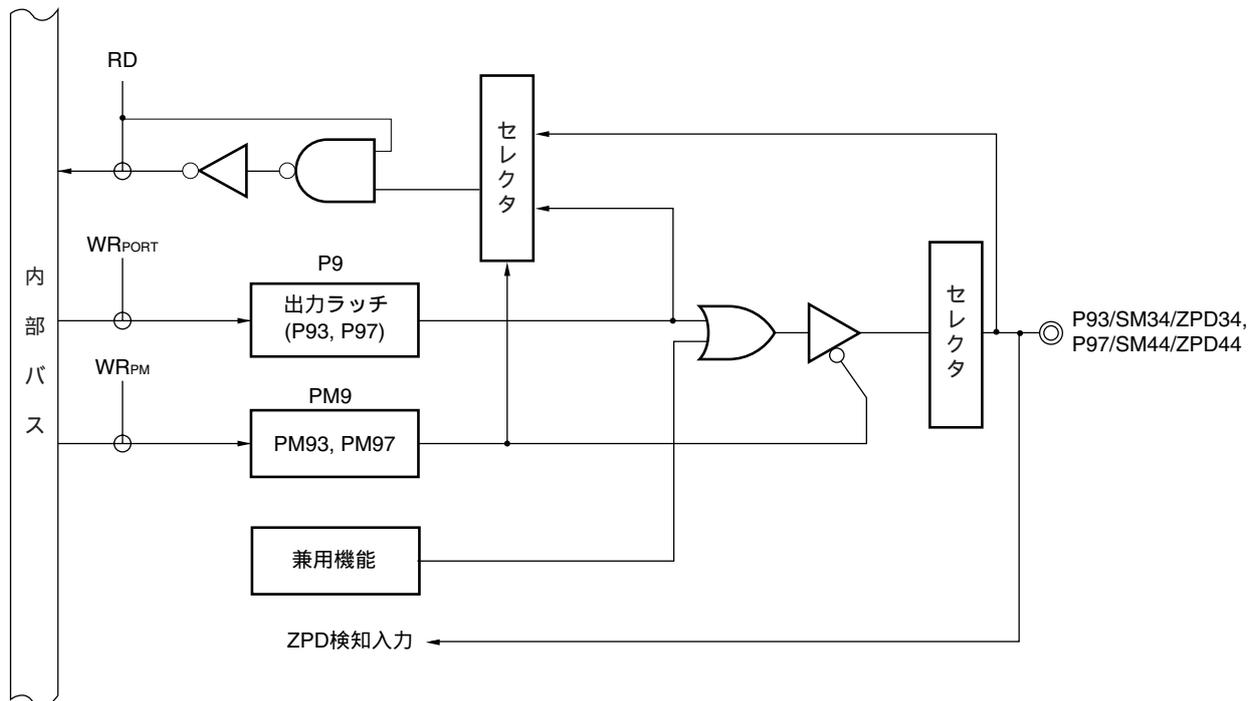
**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。  
 また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

図4 - 22 P93, P97のブロック図 (1/2)

(a)  $\mu$  PD78F0838, 78F0839

- P9 : ポート・レジスタ9  
 PM9 : ポート・モード・レジスタ9  
 LCDPFALL : LCDポート・ファンクション・レジスタALL  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4 - 22 P93, P97のブロック図 (2/2)

(b)  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849

P9 : ポート・レジスタ9  
 PM9 : ポート・モード・レジスタ9  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

**注意** 兼用出力機能使用時には、ポート・ラッチを0に設定してください。

また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。

### 4.2.9 ポート12

出力ラッチ付き5ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。P120のみ、入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図4-23, 4-24にポート12のブロック図を示します。

**注意1.** P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2)、サブシステム・クロック発振子接続 (XT1, XT2)、メイン・システム・クロック用外部クロック入力 (EXCLK)、サブシステム・クロック用外部クロック入力 (EXCLKS) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定してください(詳細は、5.3(5)クロック動作モード選択レジスタ(OSCCTL)を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入出力ポート) となります。このとき、PM121-PM124, P121-P124の設定は不要です。

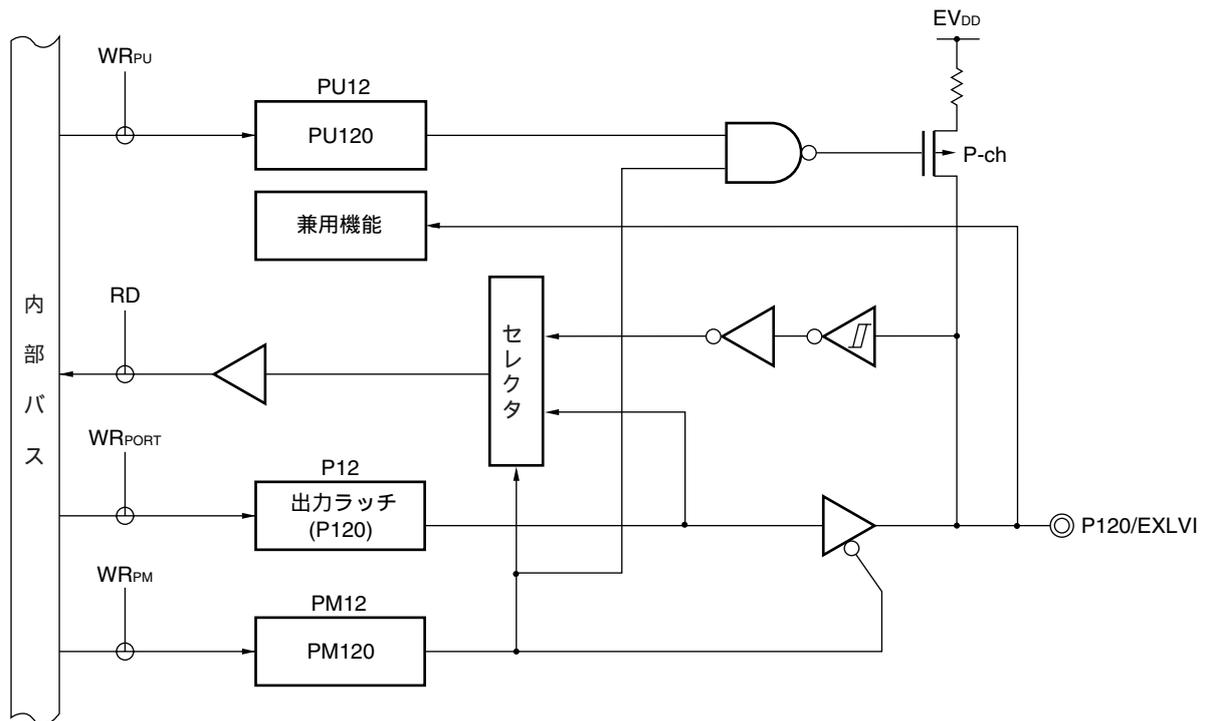
**2.** フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。

- ・ P121/X1をポートとして使用する場合は、抵抗 (10 k $\Omega$  : 推奨) を介してV<sub>SS</sub>に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

**備考** P121/X1, P122/X2/EXCLKは、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第27章 オンチップ・デバッグ機能を参照してください。

図4 - 23 P120のブロック図



P12 : ポート・レジスタ12

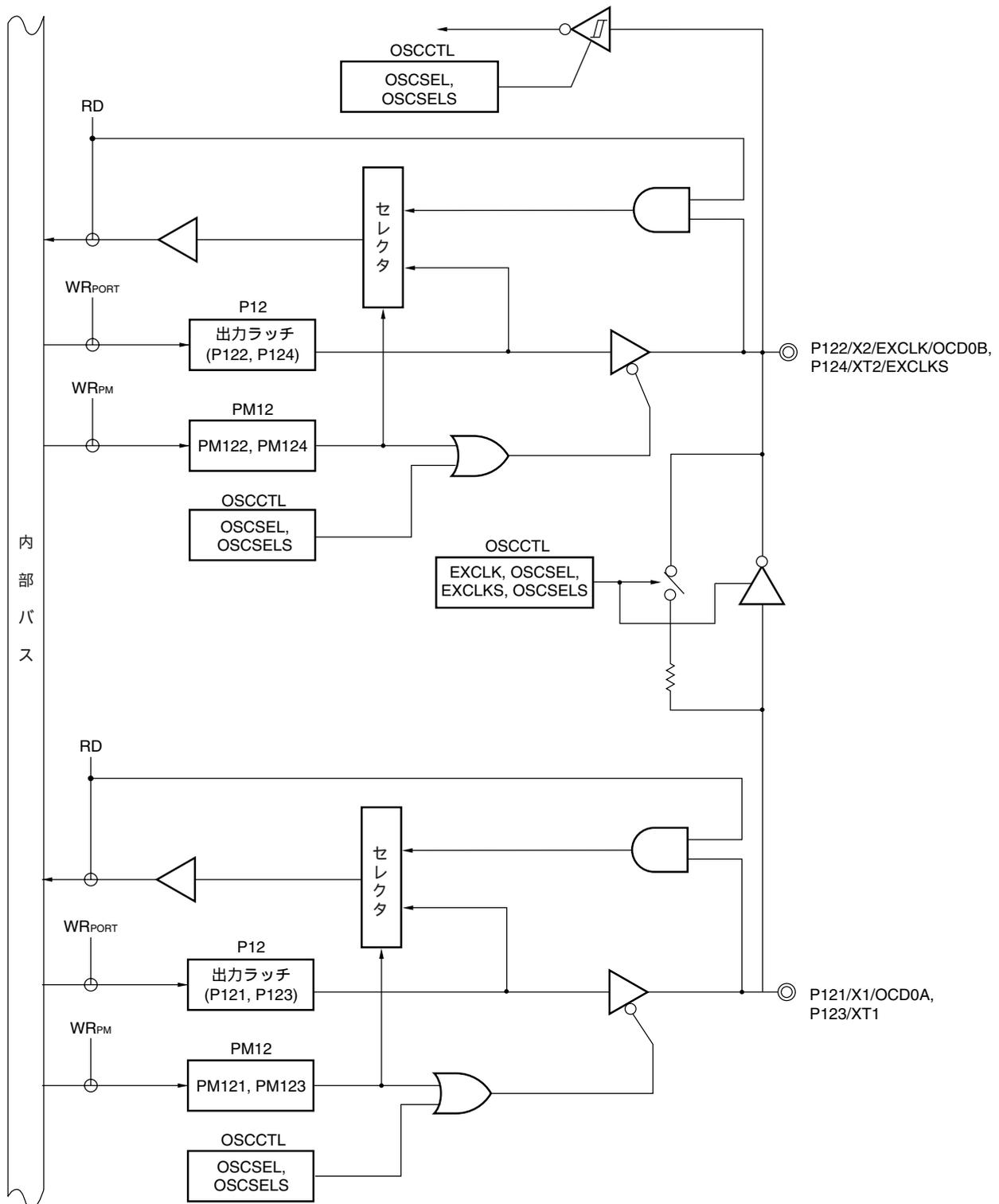
PU12 : プルアップ抵抗オプション・レジスタ12

PM12 : ポート・モード・レジスタ12

RD : リード信号

WR<sub>x</sub> : ライト信号

図4-24 P121-P124のブロック図



- P12 : ポート・レジスタ12  
 PU12 : ブルアップ抵抗オプション・レジスタ12  
 PM12 : ポート・モード・レジスタ12  
 OSCCTL : クロック動作モード選択レジスタ  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

### 4.3 ポート機能を制御するレジスタ

ポートは、次の9種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM3-PM8, PM9<sup>註</sup>, PM12)
- ・ポート・レジスタ (P0-P3, P3-P8, P9<sup>註</sup>, P12)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU6, PU7, PU12)
- ・ポート出力モード制御レジスタ6 (POM6)
- ・LCDポート・ファンクション・レジスタ0 (LCDPF0)
- ・LCDポート・ファンクション・レジスタ3 (LCDPF3)
- ・LCDポート・ファンクション・レジスタALL (LCDPFALL)
- ・ステッピング・モータ・ポート・モード・コントロール・レジスタ (SMPC)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

注 78K0/DF2のみ。

## (1) ポート・モード・レジスタ (PM0-PM3, PM6-PM9, PM12)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタは4.4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力ラッチの設定を参照して設定してください。

図4 - 25 ポート・モード・レジスタのフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
<b>78K0/DE2</b>											
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
<b>78K0/DF2</b>											
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
<b>78K0/DE2</b>											
PM7	1	1	1	1	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
<b>78K0/DF2</b>											
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W

図4 - 25 ポート・モード・レジスタのフォーマット (2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM9 <sup>注</sup>	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 6-8, 9 <sup>注</sup> , 12 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/DF2のみ。

## (2) ポート・レジスタ (P0-P3, P6-P9, P12)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図4-26 ポート・レジスタのフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
<b>78K0/DE2</b>											
P2	0	0	0	0	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
<b>78K0/DF2</b>											
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
<b>78K0/DE2</b>											
P7	0	0	0	0	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
<b>78K0/DF2</b>											
P7	P77	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W

図4 - 26 ポート・レジスタのフォーマット (2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P9 <sup>注</sup>	P97	P96	P95	P94	P93	P92	P91	P90	FF09H	00H (出力ラッチ)	R/W
P12	7	6	5	4	3	2	1	0			
	0	0	0	P124	P123	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W

- 備考1.** 入力モード時のP0の読み出しの場合、リセット後の値は不定の値(端子入力レベル)が読み出されます。  
出力モード時のP2の読み出しは、00H(出力ラッチの値)を出力します。
2. 入力モード時はP121-P124は常に00H(出力ラッチの値)を示します。

Pmn	m = 0-3, 6-8, 9 <sup>注</sup> , 12; n = 0-7	
	出力データの制御(出力モード時)	入力データの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

**注** 78K0/DF2のみ。

## (3) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, P6, PU7, P12)

P00-P07, P10-P17, P30-P37, P60, P61, P70-P77, P120の内蔵プルアップ抵抗を使用するか,しないかを設定するレジスタです。PU0, PU1, PU3, PU6, PU7, PU12で内蔵プルアップ抵抗の使用を指定した端子で,入力モードに設定したビットにのみ,1ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは,PU0, PU1, PU3, PU6, PU7, PU12の設定にかかわらず,内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは,1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により,00Hになります。

図4-27 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU6	0	0	0	0	0	0	PU61	PU60	FF36H	00H	R/W
<b>78K0/DE2</b>											
PU7	0	0	0	0	PU73	PU72	PU71	PU70	FF37H	00H	R/W
<b>78K0/DF2</b>											
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PUmn	PUmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 6, 7, 12; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

## (4) ポート出力モード制御レジスタ6 (POM6)

P60, P61の出力モードを1ビット単位で設定するレジスタです。I<sup>2</sup>C通信の間は, P60/SCL0/INTP1, P61/SDA0/INTP3はN-chオープン・ドレイン出力(5V耐圧)モードに設定してください。

POM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 28 ポート出力モード制御レジスタ6 (POM6) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM6	0	0	0	0	0	0	POM61	POM60	FF0EH	00H	R/W

POM6n	P6n端子の出力選択 (n = 0, 1)
0	CMOS出力
1	N-chオープン・ドレイン出力(5V耐圧)

## (5) LCDポート・ファンクション・レジスタ0 (LCDPF0)

P00-P07端子を, ポート端子として使用するか, セグメント出力端子として使用するかを設定するレジスタです。

LCDPF0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 29 LCDポート・ファンクション・レジスタ0 (LCDPF0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDPF0	PF07	PF06	PF05	PF04	PF03	PF02	PF01	PF00	FF1BH	00H	R/W

PF0n	P0n端子のポート/セグメント出力の選択 (n = 0-7)
0	ポートとして使用
1	セグメント出力として使用

## (6) LCDポート・ファンクション・レジスタ3 (LCDPF3)

P30-P37端子を、ポート端子として使用するか、セグメント出力端子として使用するかを設定するレジスタです。

LCDPF3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 30 LCDポート・ファンクション・レジスタ3 (LCDPF3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDPF3	PF37	PF36	PF35	PF34	PF33	PF32	PF31	PF30	FF0DH	00H	R/W

PF3n	P3n端子のポート / セグメント出力の選択 (n = 0-7)
0	ポートとして使用
1	セグメント出力として使用

## (7) LCDポート・ファンクション・レジスタALL (LCDPFALL)

P13-P16, P74-P77, P80-P87, P90-P97端子を、ポート端子として使用するか、セグメント出力端子として使用するかを設定するレジスタです。

LCDPFALLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 31 LCDポート・ファンクション・レジスタALL (LCDPFALL) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDPFALL	PF7UPNIB	PF16	PF15	PF14	PF13	PF9ALL	PF8ALL	0	FF1AH	00H	R/W

PF1n	P1n端子のポート / セグメント出力の選択 (n = 3-6)
0	ポートとして使用
1	セグメント出力として使用

PF7UPNIB	P7n端子のポート / セグメント出力の選択 (n = 4-7)
0	ポートとして使用
1	セグメント出力として使用

PFnALL	Pnm端子のポート / セグメント出力の選択 (n = 8, 9 ; m = 0-7)
0	ポートとして使用
1	セグメント出力として使用

**注意**  $\mu$  PD78D0838, 78F0839 : PF7UPNIB = 0に設定してください。

$\mu$  PD78F0840, 78F0841, 78F0846, 78F0847 : PF7UPNIB = 0, PF9ALL = 0に設定してください。

$\mu$  PD78F0842, 78F0843, 78F0848, 78F0849 : PF8ALL = 0, PF9ALL = 0に設定してください。

## (8) ステッピング・モータ・ポート・モード・コントロール・レジスタ (SMPC)

ステッピング・モータ・コントローラ/ドライバの出力モードを設定するレジスタです。

SMPCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-32 ステッピング・モータ・ポート・モード制御レジスタ (SMPC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SMPC	MOD4	MOD3	MOD2	MOD1	EN4	EN3	EN2	EN1	FF3DH	00H	R/W

ENn	MODn	ポート・モードの選択 (n=0-4)
0	-	ポート・モード SMnm (n=1-4, m=1-4) をポート機能に設定
1	0	PWMフル・ブリッジ・モード SMnm (n=1, m=1-4) をフル・ブリッジ出力制御モードに設定
1	1	PWMハーフ・ブリッジ・モード 制御レジスタ (MCMPCn : n=1-4) によるDIRnk (n=1, k=0, 1) ビットに従って、 SMnm (n=1-4, m=1-4) をPWM出力制御モードかポート・モードに設定

たとえばn=1に設定した場合は以下ようになります。

EN1	MOD1	DIR11	DIR10	PWM出力端子制御				出力モード
				SM11 (sin+)	SM12 (sin-)	SM13 (cos+)	SM14 (cos-)	
0	-	-	-	ポート	ポート	ポート	ポート	ポート・モード
1	0	0	0	PWM	0	PWM	0	PWMフル・ブリッジ・モード
1	0	0	1	PWM	0	0	PWM	
1	0	1	0	0	PWM	0	PWM	
1	0	1	1	0	PWM	PWM	0	
1	1	0	0	PWM	ポート	PWM	ポート	PWMハーフ・ブリッジ・モード
1	1	0	1	PWM	ポート	ポート	PWM	
1	1	1	0	ポート	PWM	ポート	PWM	
1	1	1	1	ポート	PWM	PWM	ポート	

**注意** PWMフル・ブリッジ・モードでは、PWMモードでない端子に関連するポート・レジスタ (Pn) とポート・モード・レジスタ (PMn) は00Hに設定してください。

## (9) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7 (78K0/DE2ではP20/ANI0-P23/ANI3, 78K0/DF2ではP20/ANI0-P27/ANI7) 端子を, ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 33 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0	FF22H	00H	R/W

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入力 (D) の切り替え							
				P27/ANI7	P26/ANI6	P25/ANI5	P24/ANI4	P23/ANI3	P22/ANI2	P21/ANI1	P20/ANI0
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

- 注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ2 (PM2) で入力モードに設定してください。
2. ADPCでデジタル入出力として設定する端子を, アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. ADPCにデータを書き込むと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADPCにデータを書き込まないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

## 4.4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合, LCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力ラッチは以下の表のように設定してください。

表の項目は以下の通りです。

×	: Don't care
–	: 対象外
LCDPFALL	: LCDポート・ファンクション・レジスタALL
LCDPF0	: LCDポート・ファンクション・レジスタ0
LCDPF3	: LCDポート・ファンクション・レジスタ3
SMPC	: ステッピング・モータ・ポート・モード制御レジスタ
ISC	: 入力切り替え制御レジスタ
PM <sub>xx</sub>	: ポート・モード・レジスタ
P <sub>xx</sub>	: ポート出力ラッチ

<>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表4 - 4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力  
ラッチの設定 (1/7)

(a) 78K0/DE2

(1/3)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P00	SEG12	出力	-	PF00 = 1	-	-	-	x	x
	TIOP40	入力	-	PF00 = 0	-	-	ISC0 = 0	1	x
		出力					0	0	
P01	SEG13	出力	-	PF01 = 1	-	-	-	x	x
	TIOP41	入力	-	PF01 = 0	-	-	-	1	x
		出力					0	0	
P02	SEG14	出力	-	PF02 = 1	-	-	-	x	x
	TIO50	入力	-	PF02 = 0	-	-	-	1	x
		出力					0	0	
P03	SEG15	出力	-	PF03 = 1	-	-	-	x	x
	TIO51	入力	-	PF03 = 0	-	-	-	1	x
		出力					0	0	
P04	SEG16	出力	-	PF04 = 1	-	-	-	x	x
	TIOP01	入力	-	PF04 = 0	-	-	-	1	x
		出力					0	0	
P05	SEG17	出力	-	PF05 = 1	-	-	-	x	x
	TIOP11	入力	-	PF05 = 0	-	-	-	1	x
		出力					0	0	
P06	SEG18	出力	-	PF06 = 1	-	-	-	x	x
	TIOP21	入力	-	PF06 = 0	-	-	ISC3 = 0	1	x
		出力					0	0	
P07	SEG19	出力	-	PF07 = 1	-	-	-	x	x
	TIOP31	入力	-	PF07 = 0	-	-	-	1	x
		出力					0	0	
P10	INTP4	入力	-	-	-	-	-	1	x
	SCK10	入力	-	-	-	-	-	1	x
		出力	-	-	-	-	-	0	1
P11	SI10	入力	-	-	-	-	-	1	x
P12	INTP2	入力	-	-	-	-	-	1	x
	SO10	出力	-	-	-	-	-	0	0
P13	SEG23	出力	PF13 = 1	-	-	-	-	x	x
	TIOP30	入力	PF13 = 0	-	-	-	ISC6 = 0	1	x
		出力						0	0
	TxD60	出力	PF13 = 0	-	-	-	ISC7 = 0	0	1

表4-4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力  
ラッチの設定 (2/7)

(a) 78K0/DE2

(2/3)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P14	INTPR60	入力	PF14 = 0	-	-	-	ISC7 = 0	1	x
	RxD60	入力	PF14 = 0	-	-	-		1	x
	SEG22	出力	PF14 = 1	-	-	-	x	x	
	TIOP20	入力	PF14 = 0	-	-	-	ISC1 = 0 & ISC5 = 0	1	x
出力		ISC5 = 0					0	0	
P15	SEG21	出力	PF15 = 1	-	-	-	-	x	x
	TIOP10	入力	PF15 = 0	-	-	-	-	1	x
出力		0						0	
P16	SEG20	出力	PF16 = 1	-	-	-	-	x	x
	TIOP00	入力	PF16 = 0	-	-	-	-	1	x
出力		0						0	
P17	INTP0	入力	-	-	-	-	-	1	x
	<TIOP30>	入力	-	-	-	-	ISC6 = 1	1	x
		出力						0	0
P20-P23	ANI0-ANI3	入力	-	-	-	-	-	1	x
P30	SEG4	出力	-	-	PF30 = 1	-	-	x	x
P31	SEG5	出力	-	-	PF31 = 1	-	-	x	x
	OCD1A	入出力	-	-	PF31 = 0	-	-	1	x
P32	SEG6	出力	-	-	PF32 = 1	-	-	x	x
	OCD1B	入出力	-	-	PF32 = 0	-	-	1	x
P33	SEG7	出力	-	-	PF33 = 1	-	-	x	x
P34	SEG8	出力	-	-	PF34 = 1	-	-	x	x
P35	SEG9	出力	-	-	PF35 = 1	-	-	x	x
P36	SEG10	出力	-	-	PF36 = 1	-	-	x	x
P37	SEG11	出力	-	-	PF37 = 1	-	-	x	x
P60	INTP1	入力	-	-	-	-	-	1	x
	SCL0	入出力	-	-	-	-	-	0	0
P61	INTP3	入力	-	-	-	-	-	1	x
	SDA0	入出力	-	-	-	-	-	0	0
P70	CRxD <sup>注</sup>	入力	-	-	-	-	-	1	x
	<RxD60/INTPR60>	入力	-	-	-	-	ISC7 = 1	1	x
P71	CTxD <sup>注</sup>	出力	-	-	-	-	-	0	1
	<TxD60>	出力	-	-	-	-	ISC7 = 1	0	1

注 μ PD78F0844, 78F0845のみ。

表4-4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力  
ラッチの設定 (3/7)

(a) 78K0/DE2

(3/3)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P72	PCL	出力	-	-	-	-	-	0	0
	SGOA	出力	-	-	-	-	-	0	0
P73	BUZ	出力	-	-	-	-	-	0	0
	SGO	出力	-	-	-	-	-	0	0
	SGOF	出力	-	-	-	-	-	0	0
P80-P82	SM11-SM13	出力	-	-	-	EN1 = 1	-	0	0
P83	SM14	出力	-	-	-	EN1 = 1	-	0	0
	ZPD14	入力	-	-	-	-	-	1	x
P84-P86	SM21-SM23	出力	-	-	-	EN2 = 1	-	0	0
P87	SM24	出力	-	-	-	EN2 = 1	-	0	0
	ZPD24	入力	-	-	-	-	-	1	x
P120	EXLVI	入力	-	-	-	-	-	1	x
P121	X1	入力	-	-	-	-	-	1	x
	OCD0A	入出力	-	-	-	-	-	1	x
P122	X2	入力	-	-	-	-	-	1	x
	EXCLK	入力	-	-	-	-	-	1	x
	OCD0B	入出力	-	-	-	-	-	1	x
P123	XT1	入力	-	-	-	-	-	1	x
P124	XT2	入力	-	-	-	-	-	1	x
	EXCLKS	入力	-	-	-	-	-	1	x

表4 - 4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力  
ラッチの設定 (4/7)

(b) 78K0/DF2

(1/4)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P00	SEG12	出力	-	PF00 = 1	-	-	-	x	x
	TIOP40	入力	-	PF00 = 0	-	-	ISC0 = 0	1	x
出力		-	-	-	-	-	0	0	
P01	SEG13	出力	-	PF01 = 1	-	-	-	x	x
	TIOP41	入力	-	PF01 = 0	-	-	-	1	x
出力		-	-	-	-	-	0	0	
P02	SEG14	出力	-	PF02 = 1	-	-	-	x	x
	TIO50	入力	-	PF02 = 0	-	-	-	1	x
出力		-	-	-	-	-	0	0	
P03	SEG15	出力	-	PF03 = 1	-	-	-	x	x
	TIO51	入力	-	PF03 = 0	-	-	-	1	x
出力		-	-	-	-	-	0	0	
P04	SEG16	出力	-	PF04 = 1	-	-	-	x	x
	TIOP01	入力	-	PF04 = 0	-	-	-	1	x
出力		-	-	-	-	-	0	0	
P05	SEG17	出力	-	PF05 = 1	-	-	-	x	x
	TIOP11	入力	-	PF05 = 0	-	-	-	1	x
出力		-	-	-	-	-	0	0	
P06	SEG18	出力	-	PF06 = 1	-	-	-	x	x
	TIOP21	入力	-	PF06 = 0	-	-	ISC3 = 0	1	x
出力		-	-	-	-	-	0	0	
P07	SEG19	出力	-	PF07 = 1	-	-	-	x	x
	TIOP31	入力	-	PF07 = 0	-	-	-	1	x
出力		-	-	-	-	-	0	0	
P10	INTP4	入力	-	-	-	-	-	1	x
	SCK10	入力	-	-	-	-	-	1	x
		出力	-	-	-	-	-	0	1
TxD61	出力	-	-	-	-	-	0	1	
P11	INTPR61	入力	-	-	-	-	-	1	x
	SI10	入力	-	-	-	-	-	1	x
	RxD61	入力	-	-	-	-	-	1	x
P12	INTP2	入力	-	-	-	-	-	1	x
	SO10	出力	-	-	-	-	-	0	0
P13	SEG23	出力	PF13 = 1	-	-	-	-	x	x
	TIOP30	入力	PF13 = 0	-	-	-	ISC2 = 0 & ISC6 = 0	1	x
		出力	-	-	-	-	-	0	0
TxD60	出力	PF13 = 0	-	-	-	ISC7 = 0	0	1	

表4-4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力  
ラッチの設定 (5/7)

(b) 78K0/DF2

(2/4)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P14	INTPR60	入力	PF14 = 0	-	-	-	ISC7 = 0	1	x
	RxD60	入力	PF14 = 0	-	-	-		1	x
	SEG22	出力	PF14 = 1	-	-	-	x	x	
	TIOP20	入力	PF14 = 0	-	-	-	ISC1 = 0 & ISC5 = 0	1	x
出力		ISC5 = 0					0	0	
P15	SEG21	出力	PF15 = 1	-	-	-	-	x	x
	TIOP10	入力	PF15 = 0	-	-	-	-	1	x
出力		0						0	
P16	SEG20	出力	PF16 = 1	-	-	-	-	x	x
	TIOP00	入力	PF16 = 0	-	-	-	-	1	x
出力		0						0	
P17	INTP0	入力	-	-	-	-	-	1	x
	<TIOP30>	入力	-	-	-	-	ISC2 = 0 & ISC6 = 1	1	x
		出力	0	0					
P20-P27	ANI0-ANI7	入力	-	-	-	-	-	1	x
P30	SEG4	出力	-	-	PF30 = 1	-	-	x	x
P31	SEG5	出力	-	-	PF31 = 1	-	-	x	x
	OCD1A	入出力	-	-	PF31 = 0	-	-	1	x
P32	SEG6	出力	-	-	PF32 = 1	-	-	x	x
	OCD1B	入出力	-	-	PF32 = 0	-	-	1	x
P33-P37	SEG7-SEG11	出力	-	-	PF33-PF3 7 = 1	-	-	x	x
P60	INTP1	入力	-	-	-	-	-	1	x
	SCL0	入出力	-	-	-	-	-	0	0
P61	INTP3	入力	-	-	-	-	-	1	x
	SDA0	入出力	-	-	-	-	-	0	0
P70	CRxD <sup>注</sup>	入力	-	-	-	-	-	1	x
	<RxD60/INTPR60>	入力	-	-	-	-	ISC7 = 1	1	x
P71	CTxD <sup>注</sup>	出力	-	-	-	-	-	0	1
	<TxD60>	出力	-	-	-	-	ISC7 = 1	0	1
P72	PCL	出力	-	-	-	-	-	0	0
	SGOA	出力	-	-	-	-	-	0	0
P73	BUZ	出力	-	-	-	-	-	0	0
	SGO	出力	-	-	-	-	-	0	0
	SGOF	出力	-	-	-	-	-	0	0

注 μ PD78F0846, 78F0847, 78F0848, 78F0849のみ。

表4-4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力  
ラッチの設定 (6/7)

(b) 78K0/DF2

(3/4)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P74	SCK11	入力	PF7UPNIB = 0	-	-	-	-	1	x
		出力	PF7UPNIB = 0	-	-	-	-	0	1
	SEG24 <sup>注1</sup>	出力	PF7UPNIB = 1	-	-	-	-	x	x
P75	SI11	入力	PF7UPNIB = 0	-	-	-	-	1	x
	SEG25 <sup>注1</sup>	出力	PF7UPNIB = 1	-	-	-	-	x	x
P76	SO11	出力	PF7UPNIB = 0	-	-	-	-	0	0
	SEG26 <sup>注1</sup>	出力	PF7UPNIB = 1	-	-	-	-	x	x
P77	SEG27 <sup>注1</sup>	出力	PF7UPNIB = 1	-	-	-	-	x	x
	SSI11	入力	PF7UPNIB = 0	-	-	-	-	1	x
	<TIOP20>	入力	PF7UPNIB = 0	-	-	-	ISC1 = 0 & ISC5 = 1	1	x
		出力					ISC5 = 1	0	0
P80-P82	SEG24-SEG26 <sup>注2</sup>	出力	PF8ALL = 1	-	-	-	-	x	x
	SM11-SM13 <sup>注3</sup>	出力	PF8ALL = 0	-	-	EN1 = 1	-	0	0
P83	SEG27 <sup>注2</sup>	出力	PF8ALL = 1	-	-	-	-	x	x
	SM14 <sup>注3</sup>	出力	PF8ALL = 0	-	-	EN1 = 1	-	0	0
	ZPD14 <sup>注3</sup>	入力	PF8ALL = 0	-	-	-	-	1	x
P84-P86	SEG28-SEG30 <sup>注2</sup>	出力	PF8ALL = 1	-	-	-	-	x	x
	SM21-SM23 <sup>注3</sup>	出力	PF8ALL = 0	-	-	EN2 = 1	-	0	0
P87	SEG31 <sup>注2</sup>	出力	PF8ALL = 1	-	-	-	-	x	x
	SM24 <sup>注3</sup>	出力	PF8ALL = 0	-	-	EN2 = 1	-	0	0
	ZPD24 <sup>注3</sup>	入力	PF8ALL = 0	-	-	-	-	1	x
P90-P92	SEG32-SEG34 <sup>注4</sup>	出力	PF9ALL = 1	-	-	-	-	x	x
	SM31-SM33 <sup>注5</sup>	出力	PF9ALL = 0	-	-	EN3 = 1	-	0	0
P93	SEG35 <sup>注4</sup>	出力	PF9ALL = 1	-	-	-	-	x	x
	SM34 <sup>注5</sup>	出力	PF9ALL = 0	-	-	EN3 = 1	-	0	0
	ZPD34 <sup>注5</sup>	入力	PF9ALL = 0	-	-	-	-	1	x

注1.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみ。

2.  $\mu$  PD78F0838, 78F0839, 78F0840, 78F0841, 78F0846, 78F0847の場合。

3.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849の場合。

4.  $\mu$  PD78F0838 78F0839の場合。

5.  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849の場合。

表4-4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力ラッチの設定 (7/7)

(b) 78K0/DF2

(4/4)

端子名	兼用機能		LCDPFALL	LCDPF0	LCDPF3	SMPC	ISC	PMxx	Pxx
	機能名	入出力							
P94-P96	SEG36-SEG38 <sup>注1</sup>	出力	PF9ALL = 1	-	-	-	-	x	x
	SM41-SM43 <sup>注2</sup>	出力	PF9ALL = 0	-	-	EN4 = 1	-	0	0
P97	SEG39 <sup>注1</sup>	出力	PF9ALL = 1	-	-	-	-	x	x
	SM44 <sup>注2</sup>	出力	PF9ALL = 0	-	-	EN4 = 1	-	0	0
	ZPD44 <sup>注2</sup>	入力	PF9ALL = 0	-	-	-	-	1	x
P120	EXLVI	入力	-	-	-	-	-	1	x
P121	X1	入力	-	-	-	-	-	1	x
	OCD0A	入出力	-	-	-	-	-	1	x
P122	X2	入力	-	-	-	-	-	1	x
	EXCLK	入力	-	-	-	-	-	1	x
	OCD0B	入出力	-	-	-	-	-	1	x
P123	XT1	入力	-	-	-	-	-	1	x
P124	XT2	入力	-	-	-	-	-	1	x
	EXCLKS	入力	-	-	-	-	-	1	x

注1 .  $\mu$  PD78F0838, 78F0839の場合。

2 .  $\mu$  PD78F0840, 78F0841, 78F0842, 78F0843, 78F0846, 78F0847, 78F0848, 78F0849の場合。

備考1 . P20/ANI0-P27/ANI7端子の機能はA/Dポート・コンフィギュレーション・レジスタ (ADPC), アナログ入力チャネル指定レジスタ (ADS), PM2で選択できます。

ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

- P121-P124端子を, メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK), サブシステム・クロック用外部クロック入力 (EXCLKS) として使用する場合は, クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定してください (詳細は, 5.3(5) クロック動作モード選択レジスタ (OSCCTL) を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入出力ポート) となります。このとき, PM121-PM124, P121-P124の設定は不要です。
- P31/SEG5, P32/SEG6, P121/X1, P122/X2/EXCLKは, オンチップ・デバッグ機能を使用するとき, オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B, OCD0A, OCD0B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については, 第27章 オンチップ・デバッグ機能を参照してください。

## 4.5 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.5.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

### 4.5.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.5.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

## 4.6 ポート・レジスタ<sub>n</sub> (P<sub>n</sub>) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート, P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明: PM<sub>n</sub>mビット = 1であるポートのP<sub>n</sub>レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0/Dx2内部で、次の順序で行われます。

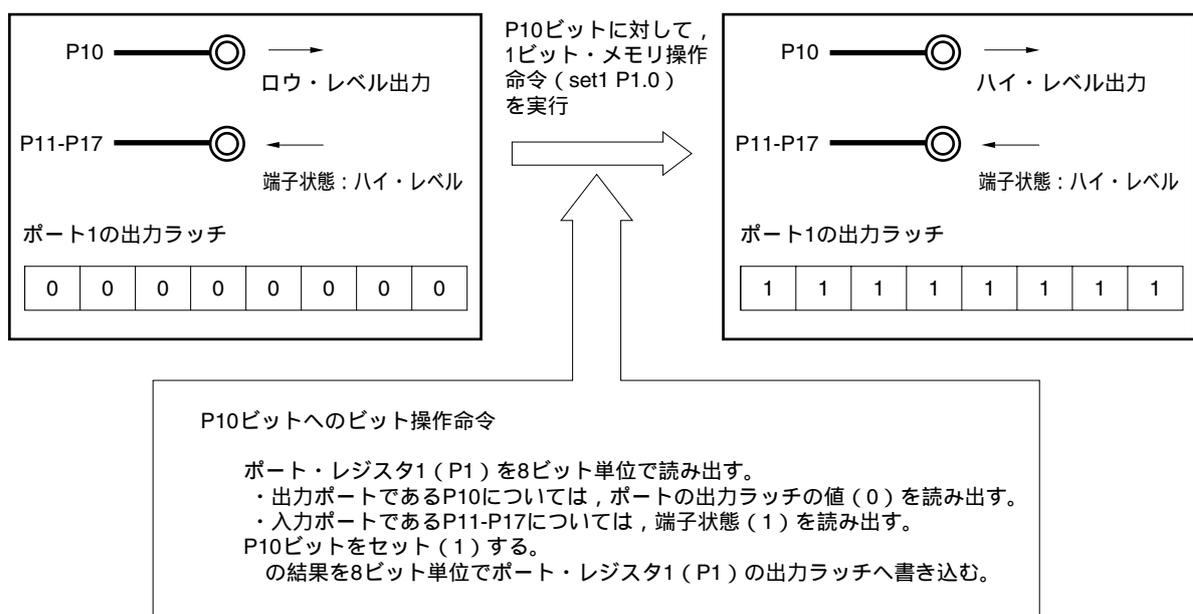
- <1> P<sub>n</sub>レジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P<sub>n</sub>レジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4-34 1ビット・メモリ操作命令 (P10の場合)



## 第5章 クロック発生回路

### 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

#### (1) メイン・システム・クロック

##### X1発振回路

$f_x = 4 \sim 20$  MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ(MOC)の設定により、発振を停止することができます。

##### 高速内蔵発振回路

$f_{osc8} = 8$  MHz(TYP.)のクロックを発振します。RESET解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ(RCM)の設定により、発振を停止することができます。

また、EXCLK端子から外部メイン・システム・クロック( $f_{EXT} = 4 \sim 20$  MHz)を供給することができます。メイン・システム・クロックは、メイン・クロック・モード・レジスタ(MCM)で高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速内蔵発振クロックを切り替えられます。

#### (2) サブシステム・クロック

##### ・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$  kHzの周波数を発振します。プロセッサ・クロック・コントロール・レジスタ(PCC)とクロック動作モード選択レジスタ(OSCCTL)の設定により、発振を停止することができます。

また、EXCLKS端子から外部サブシステム・クロック( $f_{EXTS} = 32.768$  kHz)を供給することができます。

備考	$f_x$	: X1クロック発振周波数
	$f_{osc8}$	: 高速内蔵発振クロック周波数
	$f_{EXT}$	: 外部メイン・システム・クロック周波数
	$f_{XT}$	: XT1クロック発振周波数
	$f_{EXTS}$	: 外部サブシステム・クロック周波数

## (3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

## ・ 低速内蔵発振回路

$f_{osc} = 240 \text{ kHz}$  (TYP.) のクロックを発振します。 $\overline{\text{RESET}}$ 解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマTM50 ( $f_{osc}$ ,  $f_{osc}/2^7$ ,  $f_{osc}/2^9$ )

**備考**  $f_{osc}$  : 低速内蔵発振クロック周波数

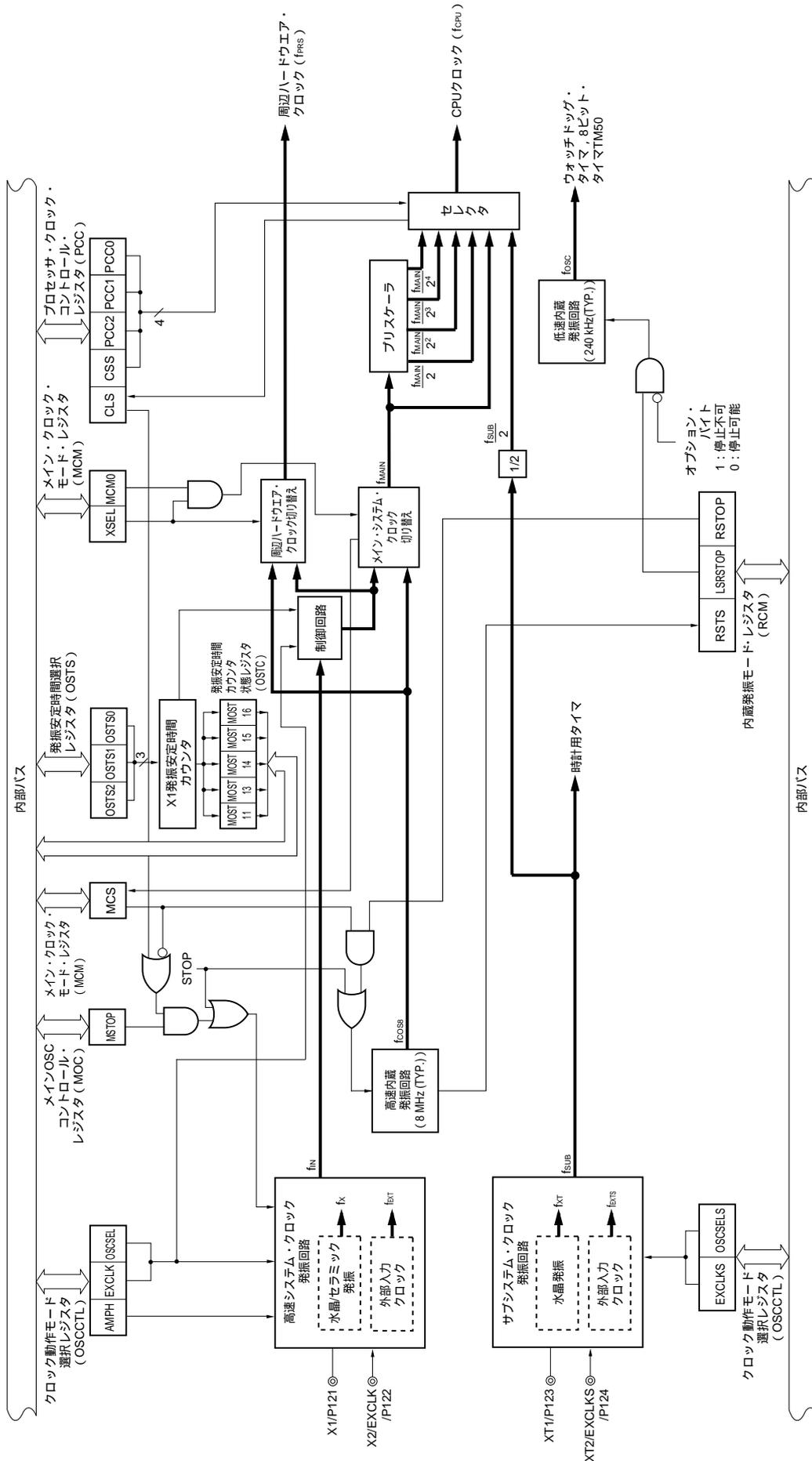
## 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メイン・クロック・モード・レジスタ (MCM) メインOSCコントロール・レジスタ (MOC) クロック動作モード選択レジスタ (OSCCTL) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



<b>備考</b>	$f_x$	: X1クロック発振周波数
	$f_{OSC8}$	: 高速内蔵発振クロック周波数
	$f_{EXT}$	: 外部メイン・システム・クロック周波数
	$f_{IN}$	: 高速システム・クロック発振周波数
	$f_{MAIN}$	: メイン・システム・クロック発振周波数
	$f_{PRS}$	: 周辺ハードウェア・クロック周波数
	$f_{CPU}$	: CPUクロック発振周波数
	$f_{XT}$	: XT1クロック発振周波数
	$f_{EXTS}$	: 外部サブシステム・クロック周波数
	$f_{SUB}$	: サブシステム・クロック周波数
	$f_{OSC}$	: 低速内蔵発振クロック周波数

### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ 内蔵発振モード・レジスタ (RCM)
- ・ メイン・クロック・モード・レジスタ (MCM)
- ・ メインOSCコントロール・レジスタ (MOC)
- ・ クロック動作モード選択レジスタ (OSCCTL)
- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

#### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス : FFFBH    リセット時 : 01H    R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS <sup>注2</sup>	PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択
0	0	0	0	f <sub>MAIN</sub>
	0	0	1	f <sub>MAIN</sub> /2 (デフォルト)
	0	1	0	f <sub>MAIN</sub> /2 <sup>2</sup>
	0	1	1	f <sub>MAIN</sub> /2 <sup>3</sup>
	1	0	0	f <sub>MAIN</sub> /2 <sup>4</sup>
1	0	0	0	f <sub>SUB</sub> /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注1 . ビット5は、Read Onlyです。

2 . CSSを1 0に切り替える場合は、必ずメイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) = 1, ビット0 (MCM0) = 1の状態で行ってください。

注意 ビット3, 6には、必ず0を設定してください。

備考1 . f<sub>MAIN</sub> : メイン・システム・クロック発振周波数

2 . f<sub>SUB</sub> : サブシステム・クロック周波数

78K0/Dx2の一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f<sub>CPU</sub>) と最小命令実行時間の関係は、表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f <sub>CPU</sub> )	最小命令実行時間: 2/f <sub>CPU</sub>			
	高速システム・クロック <sup>注</sup>		高速内蔵発振クロック <sup>注</sup>	サブシステム・クロック
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f <sub>MAIN</sub>	0.2 μs	0.1 μs	0.25 μs (TYP.)	-
f <sub>MAIN/2</sub>	0.4 μs	0.2 μs	0.5 μs (TYP.)	-
f <sub>MAIN/2</sub> <sup>2</sup>	0.8 μs	0.4 μs	1.0 μs (TYP.)	-
f <sub>MAIN/2</sub> <sup>3</sup>	1.6 μs	0.8 μs	2.0 μs (TYP.)	-
f <sub>MAIN/2</sub> <sup>4</sup>	3.2 μs	1.6 μs	4.0 μs (TYP.)	-
f <sub>SUB/2</sub>	-		-	122.1 μs

注 CPUクロックの設定(高速システム・クロック/高速内蔵発振クロック)は、メイン・クロック・モード・レジスタ(MCM)で行います(図5-4参照)。

### (2) 内蔵発振モード・レジスタ(RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H<sup>注1</sup>になります。

図5-3 内蔵発振モード・レジスタ(RCM)のフォーマット

アドレス: FFA0H    リセット時: 80H<sup>注1</sup>    R/W<sup>注2</sup>

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振のステータス
0	高精度モードの高速内蔵発振安定待ち中(低精度モードで高速内蔵発振動作)
1	高精度モードで高速内蔵発振動作

LSRSTOP	低速内蔵発振の発振/停止
0	低速内蔵発振
1	低速内蔵発振停止

RSTOP	高速内蔵発振の発振/停止
0	高速内蔵発振
1	高速内蔵発振停止

注1. リセット解除直後は00Hですが、高速内蔵発振安定後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、RSTOPに1を設定してください。

- ・MCS = 1のとき(CPUクロックが高速システム・クロックで動作)
- ・CLS = 1のとき(CPUクロックがサブシステム・クロックで動作)

## (3) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-4 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス：FFA1H リセット時：00H R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック ( $f_{MAIN}$ )	周辺ハードウェア・クロック ( $f_{PRS}$ )
0	0	高速内蔵発振クロック ( $f_{OSC8}$ )	高速内蔵発振クロック ( $f_{OSC8}$ )
0	1		
1	0		高速システム・クロック ( $f_{IN}$ )
1	1	高速システム・クロック ( $f_{IN}$ )	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後、1回だけ変更が可能です。

2. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。
3. 次の周辺機能は、XSELとMCM0の設定にかかわらず、 $f_{PRS}$ 以外のクロックが供給されます。
  - ・ウォッチドッグ・タイマ
  - ・8ビット・タイマTM50のカウンタ・クロックに「 $f_{OSC}$ ,  $f_{OSC}/2^7$ ,  $f_{OSC}/2^9$ 」を選択時
  - ・クロック・ソースに外部クロックを選択している周辺ハードウェア
4. CPUクロックの切り替え時間は、1クロックです。

## (4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外によるクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス：FFA2H    リセット時：80H    R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

**注意1.** MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、MSTOPに1を設定してください。

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

## (5) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モードを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-6 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス : FFEFH    リセット時 : 00H    R/W

略号      7      6      5      4      3      2      1      0

OSCCTL	EXCLK	OSCSSEL	EXCLKS	OSCSSELS	0	0	0	AMPH
--------	-------	---------	--------	----------	---	---	---	------

EXCLK	OSCSSEL	高速システム・クロックの動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

EXCLKS	OSCSSELS	サブシステム・クロックの動作モード	P123/XT1端子	P124/XT2/EXCLKS端子
0	0	入出力ポート・モード	入出力ポート	
0	1	XT1発振モード	水晶発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

AMPH	動作周波数の制御
0	4 MHz $f_{IN}$ 10 MHz
1	10 MHz < $f_{IN}$ 20 MHz

注意1. 高速システム・クロック発振周波数が10 MHzを越える場合は、必ずAMPHに1を設定してください。

2. AMPHは、メイン・クロック・モード・レジスタ(MCM)を設定する前に設定してください。
3. AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック(X1発振)を選択する場合は、AMPHに1を設定してから4.06~16.12  $\mu$ s間、CPUクロックに高速システム・クロック(外部クロック入力)を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
4. AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06~16.12  $\mu$ s間、CPUクロックが高速システム・クロック(外部クロック入力)のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック(X1発振)のときは、STOPモード解除後に発振安定時間をカウントします。
5. AMPHは、リセット解除後1回のみ変更可能です。
6. EXCLKとOSCSSELを別の値に書き換える場合、メインOSCコントロール・レジスタ(MOC)のビット7(MSTOP)が1(X1発振回路停止またはEXCLK端子からの外部クロック無効)であることを必ず確認してください。

注意7. EXCLKSとOSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (高速システム・クロックでCPU動作) であることを確認してください。

備考  $f_{IN}$  : 高速システム・クロック発振周波数

#### (6) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックの場合に、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時 (リセット信号の発生、POC, LVI, WDTによるリセット)、STOP命令、MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

図5-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H    リセット時 : 00H    R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
					$2^{11}/f_x$ 以上	$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 $\mu\text{s}$ 以上	102.4 $\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 $\mu\text{s}$ 以上	409.6 $\mu\text{s}$ 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上	819.2 $\mu\text{s}$ 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上	3.27 ms以上

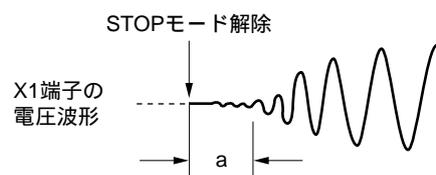
注意1. 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。

2. CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間    OSTCで設定する発振安定時間

発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTCで設定している発振安定時間までのステータスしかセットされないの注意してください。

3. X1クロックの発振安定ウエイト時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考  $f_x$  : X1クロック発振周波数

## (7) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックにX1クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに高速内蔵発振クロックまたはサブシステム・クロックを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、05Hになります。

図5 - 8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 $\mu\text{s}$	102.4 $\mu\text{s}$
0	1	0	$2^{13}/f_x$	819.2 $\mu\text{s}$	409.6 $\mu\text{s}$
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 $\mu\text{s}$
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

2. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。

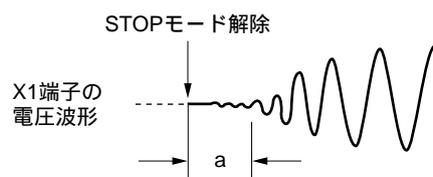
3. CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。

4. X1クロックの発振安定ウエイト時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考  $f_x$ : X1クロック発振周波数

## 5.4 システム・クロック発振回路

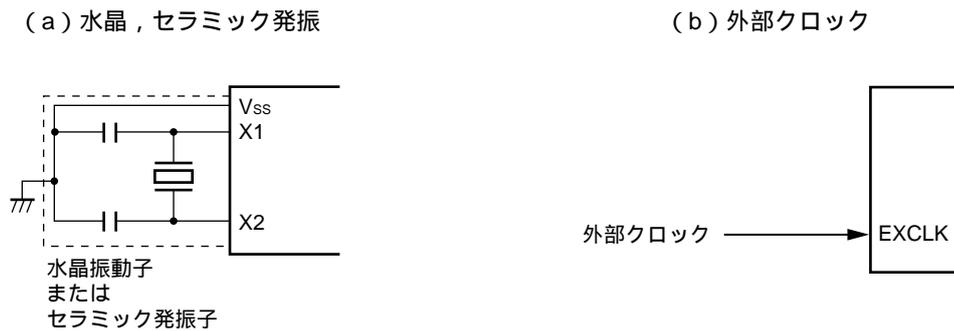
### 5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（4～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図5-9にX1発振回路の外付け回路例を示します。

図5-9 X1発振回路の外付け回路例



注意を次ページに示します。

### 5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。

図5-10にXT1発振回路の外付け回路例を示します。

図5-10 XT1発振回路の外付け回路例



注意を次ページに示します。

注意1 . X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 9, 5 - 10の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

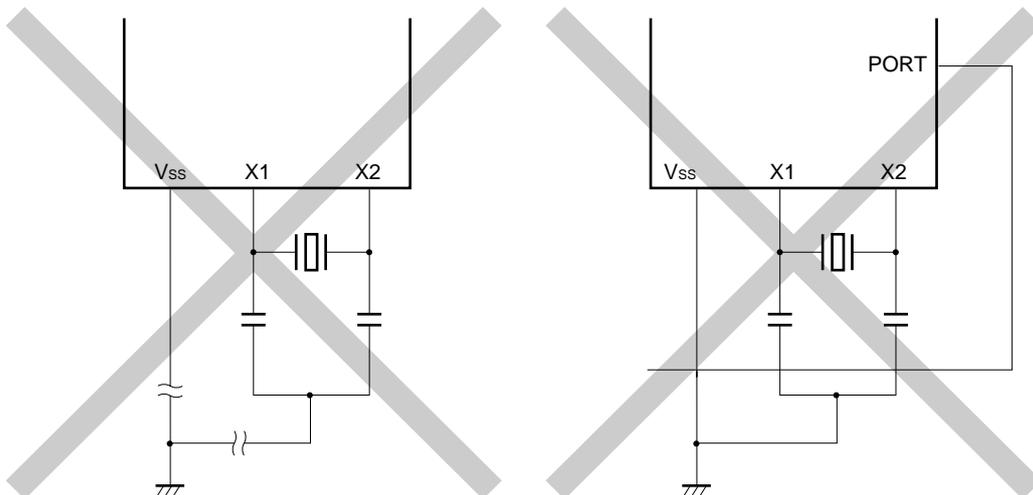
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図5 - 11に発振子の接続の悪い例を示します。

図5 - 11 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

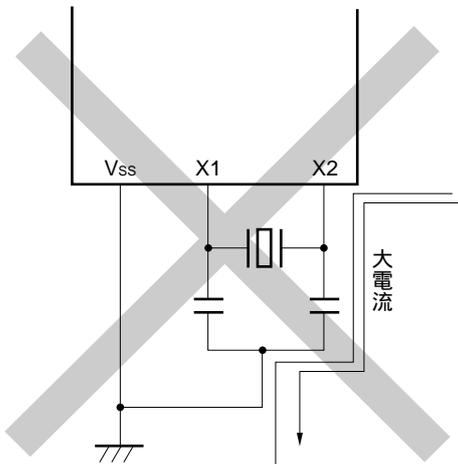
(b) 信号線が交差している



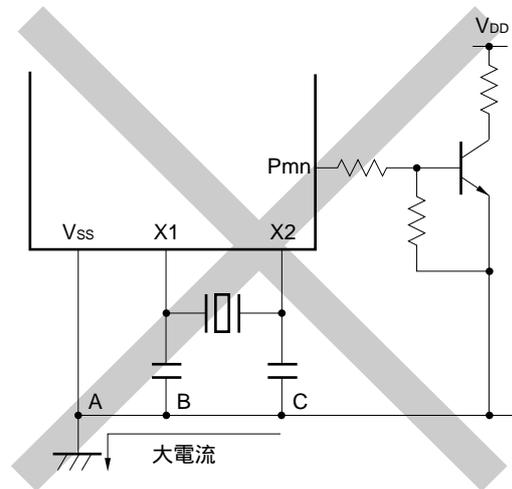
**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-11 発振子の接続の悪い例 (2/2)

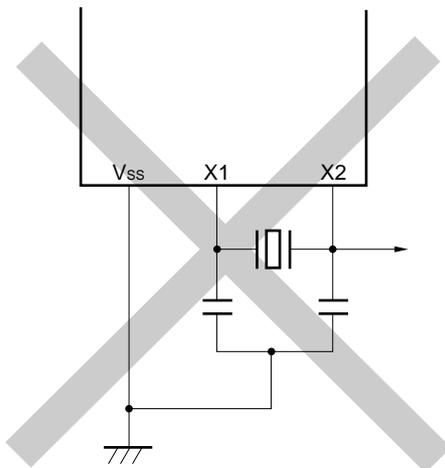
(c) 変化する大電流が信号線に  
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



**備考** サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

**注意2** . X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

### 5.4.3 サブシステム・クロックを使用しない場合

低消費電力動作のためにサブシステム・クロックを使用する必要のない場合、また入出力ポートとして使用しない場合は、XT1, XT2端子を入出力ポート・モード (OSCSELS = 0) にし、次のように処置してください。

- ・入力時 (PM123/PM124 = 1) :  
個別に抵抗を介して、V<sub>DD</sub>またはV<sub>SS</sub>に接続してください
- ・出力時 (PM123/PM124 = 0) :  
オープンにしてください

**備考** OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4  
PM123, PM124 : ポート・モード・レジスタ12 (PM12) のビット3, 4

### 5.4.4 高速内蔵発振回路

78K0/Dx2は、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

RESET解除後、高速内蔵発振クロックは発振を開始します (8 MHz (TYP.))。

### 5.4.5 低速内蔵発振回路

78K0/Dx2は、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマTM50のクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

RESET解除後、低速内蔵発振クロックは発振を開始し、ウォッチドッグ・タイマは動作されます (240 kHz (TYP.))。

### 5.4.6 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、各種クロックを生成します。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

メイン・システム・クロック  $f_{MAIN}$   
・高速システム・クロック  $f_{IN}$   
    { X1クロック  $f_x$   
    外部メイン・システム・クロック  $f_{EXT}$   
・高速内蔵発振クロック  $f_{OSC8}$   
サブシステム・クロック  $f_{SUB}$   
・XT1クロック  $f_{XT}$   
・外部サブシステム・クロック  $f_{EXTS}$   
低速内蔵発振クロック  $f_{OSC}$   
CPUクロック  $f_{CPU}$   
周辺ハードウェア・クロック  $f_{PRS}$

78K0/Dx2では、リセット解除後、CPUは内蔵の高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

### (1) セキュリティ機能の強化

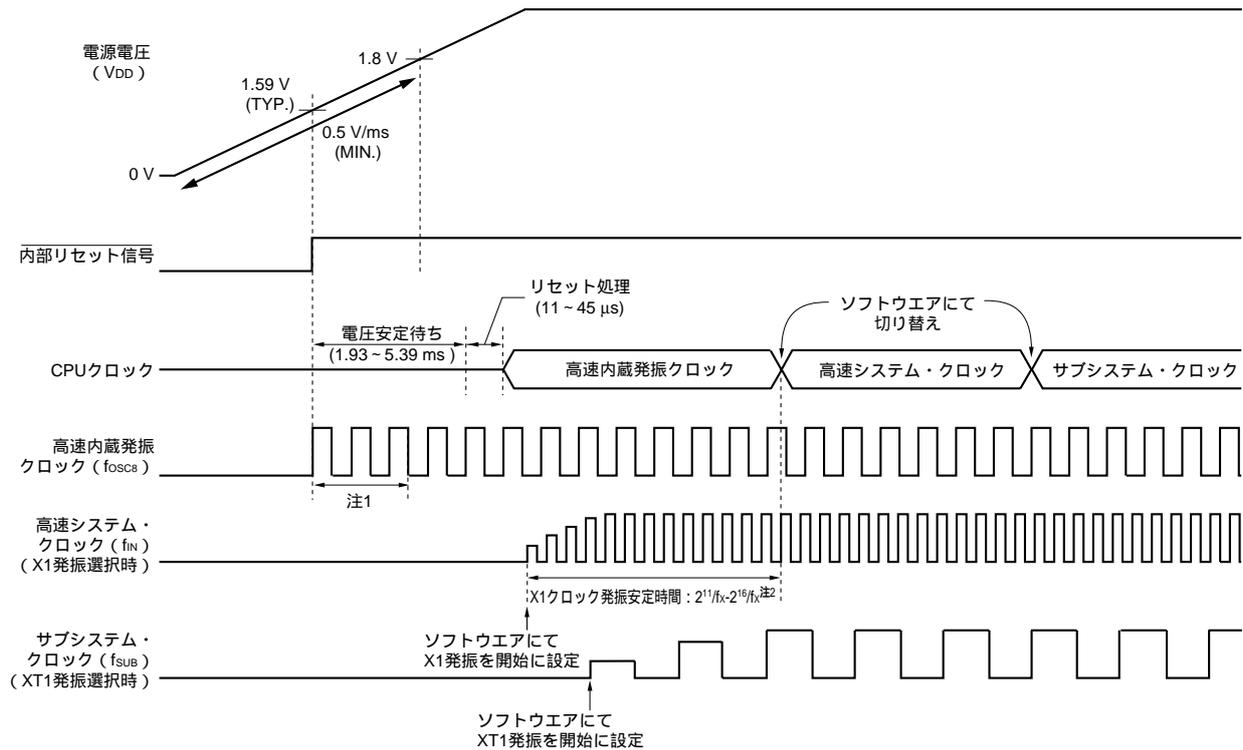
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが内蔵の高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行ったり、最低限の動作でシステムを安全に終了することが可能となります。

### (2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 12, 5 - 13に示します。

図5 - 12 電源電圧投入時のクロック発生回路の動作  
 (1.59 V POCモード設定時 (オプション・バイト : LVISTART = 0) )



- 注1. 高速内蔵発信クロックの発信精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
2. リセット解除時 (上図) およびCPUクロックが高速内蔵発信クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発信器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源/レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発信クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (5.6.1 高速システム・クロックの制御例の (1), 5.6.3 サブシステム・クロックの制御例の (1) を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.1 高速システム・クロックの制御例の (3), 5.6.3 サブシステム・クロックの制御例の (3) を参照)。

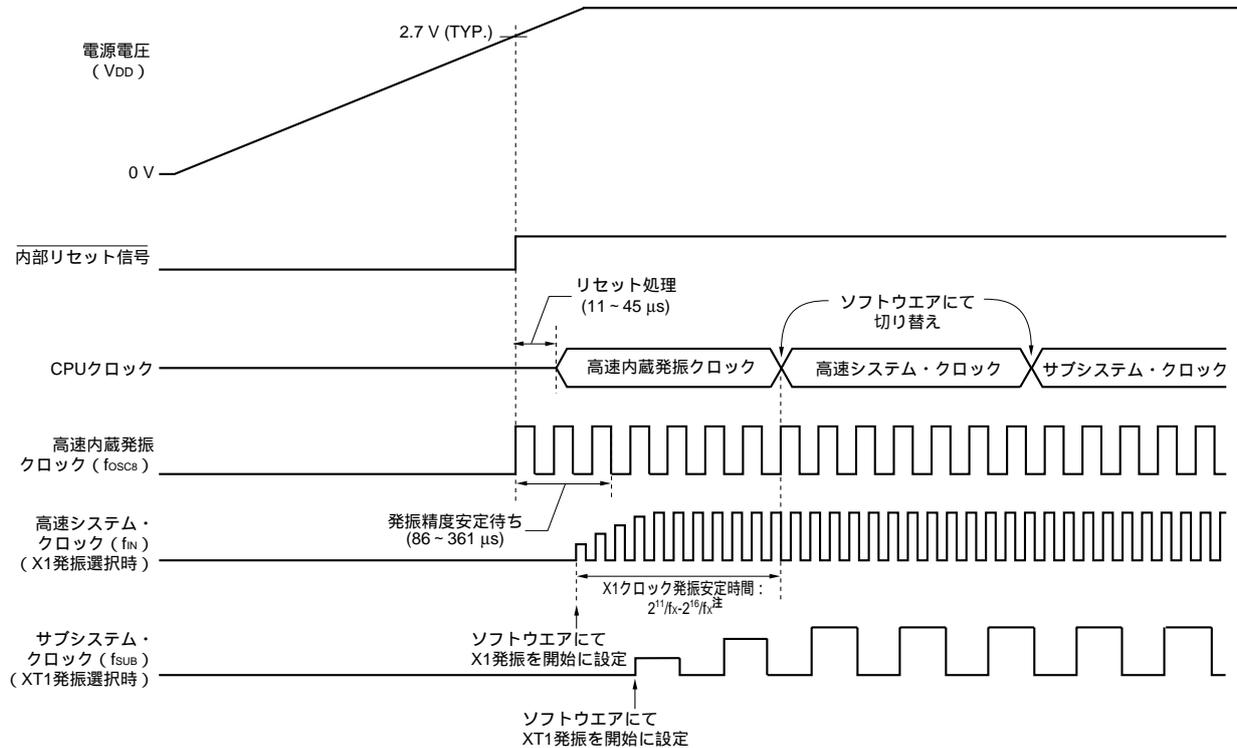
注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (LVISTART = 1) してください (図5 - 13参照)。1.8 Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図5 - 12の以降と同様のタイミングで動作します。

2. EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

**備考** マイコン動作中，ソフトウェアの設定により，CPUクロックとして使用していないクロックを停止することができます。また，高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により，クロックを停止することができます（5.6.1 高速システム・クロックの制御例の（4），5.6.2 高速内蔵発振クロックの制御例の（3），5.6.3 サブシステム・クロックの制御例の（4）を参照）。

図5 - 13 電源電圧投入時のクロック発生回路の動作

（2.7 V/1.59 V POCモード設定時（オプション・バイト：LVISTART = 1））



**注** リセット解除時（上図）およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。またCPUクロックが高速システム・クロック（X1発振）の場合，STOPモード解除時の発振安定時間を，発振安定時間選択レジスタ（OSTS）で設定してください。

電源投入後，パワーオン・クリア（POC）回路による内部リセット信号が発生されます。

電源電圧が2.7 V（TYP.）を越えると，リセットが解除され，高速内蔵発振器が自動的に発振開始されます。

リセット解除後，リセット処理が行われたのちに，CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは，ソフトウェアにて発振開始を設定してください（5.6.1 高速システム・クロックの制御例の（1），5.6.3 サブシステム・クロックの制御例の（1）を参照）。

CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウェアにて切り替えを設定してください（5.6.1 高速システム・クロックの制御例の（3），5.6.3 サブシステム・クロックの制御例の（3）を参照）。

**注意1.** 電源電圧が1.59 V（TYP.）に達したあと，1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V（TYP.）から2.7 V（TYP.）に達する時間が，1.93 ms以内の場合は，リセット処理前に0 ~ 5.39 msの電圧安定待ち時間が自動的に発生します。

2. EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

**備考** マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます（5.6.1 高速システム・クロックの制御例の（4）、5.6.2 高速内蔵発振クロックの制御例の（3）、5.6.3 サブシステム・クロックの制御例の（4）を参照）。

## 5.6 クロックの制御

### 5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶/セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入出力ポートとして使用できます。

**注意** リセット解除時のX1/P121, X2/EXCLK/P122端子は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

#### (1) X1クロックを発振する場合の設定手順例

##### 周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数に応じて、内蔵している発振器のゲインを設定します

AMPH <sup>注</sup>	発振周波数の制御
0	4 MHz $f_{IN}$ 10 MHz
1	10 MHz < $f_{IN}$ 20 MHz

**注** AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから4.06 ~ 16.12  $\mu$ s間、CPUクロックの供給が停止されます。

**備考**  $f_{IN}$  : 高速システム・クロック周波数

##### P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶/セラミック発振子接続	

**X1クロックの発振制御 (MOCレジスタ)**

MSTOPを0に設定すると、X1発振回路が発振を開始します。

**X1クロックの発振安定待ち**

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

**注意1.** X1クロック動作中にEXCLK, OSCSELを書き換えしないでください

- 電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性 (A) 水準品) を参照) に達してから、X1クロックの設定を行ってください。**

**(2) 外部メイン・システム・クロックを使用する場合の設定手順例****周波数の設定 (OSCCTLレジスタ)**

AMPHで、使用する周波数を設定します

AMPH <sup>注</sup>	発振周波数の制御
0	4 MHz $f_{IN}$ 10 MHz
1	10 MHz < $f_{IN}$ 20 MHz

**注** AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。

**備考**  $f_{IN}$  : 高速システム・クロック周波数

**P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択 (OSCCTLレジスタ)**

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

**外部メイン・システム・クロックの入力制御 (MOCレジスタ)**

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

**注意1.** 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えしないでください。

- 電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性 (A) 水準品) を参照) に達してから、外部メイン・システム・クロックの設定を行ってください。**

## (3) 高速システム・クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定<sup>注</sup>

(5.6.1(1) X1クロックを発振する場合の設定手順例，または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合， の設定不要です。

## 高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると，メイン・システム・クロックと周辺ハードウェアに，高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f <sub>MAIN</sub> )	周辺ハードウェア・クロック (f <sub>PRS</sub> )
1	1	高速システム・クロック (f <sub>IN</sub> )	高速システム・クロック (f <sub>IN</sub> )

注意 メイン・システム・クロックに高速システム・クロックを選択した場合，周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

## メイン・システム・クロックをCPUクロックに選択，分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択
0	0	0	0	f <sub>MAIN</sub>
	0	0	1	f <sub>MAIN</sub> /2 (デフォルト)
	0	1	0	f <sub>MAIN</sub> /2 <sup>2</sup>
	0	1	1	f <sub>MAIN</sub> /2 <sup>3</sup>
	1	0	0	f <sub>MAIN</sub> /2 <sup>4</sup>
	上記以外			

## (4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには，次の2つの方法があります。

- ・ STOP命令を実行し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)
- ・ MSTOPを1に設定し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)

## (a) STOP命令を実行する場合

## 周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては，第20章 スタンバイ機能を参照してください)。

### スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

#### STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

#### (b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

##### CPUクロックのステータス（PCC, MCMレジスタ）を確認

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

##### 高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

**注意** MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

## 5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

#### (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例<sup>注1</sup>

##### 高速内蔵発振クロック発振の再開の設定（RCMレジスタ）

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

##### 高速内蔵発振クロック発振精度安定時間待ち（RCMレジスタ）

RSTSに1がセットされるまでウェイトします<sup>注2</sup>。

注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。

2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウェイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック，高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

・高速内蔵発振クロックの発振を再開<sup>注</sup>

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振<sup>注</sup>

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例，(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック，高速システム・クロック動作中の場合， の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で，メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック ( $f_{MAIN}$ )	周辺ハードウェア・クロック ( $f_{PRS}$ )
0	0	高速内蔵発振クロック ( $f_{osc8}$ )	高速内蔵発振クロック ( $f_{osc8}$ )
0	1		
1	0		高速システム・クロック ( $f_{IN}$ )

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック ( $f_{CPU}$ ) の選択
0	0	0	0	$f_{MAIN}$
	0	0	1	$f_{MAIN}/2$ (デフォルト)
	0	1	0	$f_{MAIN}/2^2$
	0	1	1	$f_{MAIN}/2^3$
	1	0	0	$f_{MAIN}/2^4$
	上記以外			

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには，次の2つの方法があります。

- ・STOP命令を実行し，STOPモードに移行する
- ・RSTOPを1に設定し，高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては，第20章 スタンバイ機能を参照してください)。

### スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

#### STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

#### (b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合

##### CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

##### 高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

**注意** RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

### 5.6.3 サブシステム・クロックの制御例

サブシステム・クロックは、次の2種類があります。

- ・XT1クロック : XT1, XT2端子に水晶発振子接続
- ・外部サブシステム・クロック : EXCLKS端子に外部クロック入力

また、未使用時では、XT1/P123, XT2/EXCLKS/P124端子を入出力ポートとして使用できます。

**注意** リセット解除時のXT1/P123, XT2/EXCLKS/P124端子は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) 外部サブシステム・クロックを使用する場合
- (3) サブシステム・クロックをCPUクロックとして使用する場合
- (4) サブシステム・クロックを停止する場合

## (1) XT1クロックを発振する場合の設定手順例

## XT1, XT2端子の設定, 動作モードの選択 (PCC, OSCCTLレジスタ)

EXCLKS, OSCSELSを以下のように設定すると, ポート・モードからXT1発振モードへ切り替わります。

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2/ EXCLKS端子
0	1	XT1発振モード	水晶発振子接続	

## サブシステム・クロックの発振安定待ち

タイマ機能などを用いて, サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

**注意** サブシステム・クロック動作中にEXCLKS, OSCSELSを書き換えしないでください。

## (2) 外部サブシステム・クロックを使用する場合の設定手順例

## XT1, XT2端子の設定, XT1クロック/外部クロックの選択, 発振制御 (PCC, OSCCTLレジスタ)

EXCLKSとOSCSELSを1に設定すると, ポート・モードから外部クロック入力モードへ切り替わります。この場合, EXCLKS/XT2/P124端子に外部クロックを入力してください。

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2/ EXCLKS端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

**注意** サブシステム・クロック動作中にEXCLKS, OSCSELSを書き換えしないでください。

## (3) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振<sup>※</sup>

(5.6.3(1) XT1クロックを発振する場合の設定手順例, (2) 外部サブシステム・クロックを使用する場合の設定手順例を参照)

**注** サブシステム・クロック動作中の場合, の設定不要です。

### CPUクロックの切り替え (PCCレジスタ)

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択
1	0	0	0	f <sub>SUB</sub> /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	上記以外			設定禁止

#### (4) サブシステム・クロックを停止する場合の設定手順例

##### CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

##### サブシステム・クロックの停止 (OSCCTLレジスタ)

OSCSELSを0に設定すると、XT1発振が停止します (外部クロック入力は無効になります)。

- 注意1.** OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで時計用タイマが動作している場合は、時計用タイマの動作を停止してください。
- 2.** STOP命令でサブシステム・クロックの発振を停止することはできません。

#### 5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、ウォッチドッグ・タイマ用のクロックです。CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマTM50 (カウント・クロックにf<sub>osc</sub>を選択した場合)

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))

## (1) 低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定 (RCMレジスタ)

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

## (2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定 (RCMレジスタ)

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

**注意** オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

## 5.6.5 CPUクロック、周辺ハードウェア・クロックへの供給クロック

CPUクロック、周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表6-3 CPUクロック、周辺ハードウェア・クロックへの供給クロックとレジスタの設定

XSEL	CSS	MCM0	EXCLK	供給クロック	
				CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック
0	0	x	x	高速内蔵発振クロック	
0	1	x	x	サブシステム・クロック	高速内蔵発振クロック
1	0	0	0	高速内蔵発振クロック	X1クロック
1	0	0	1		外部メイン・システム・クロック
1	0	1	0	X1クロック	
1	0	1	1	外部メイン・システム・クロック	
1	1	0	0	サブシステム・クロック	X1クロック
1	1	0	1		外部メイン・システム・クロック
1	1	1	0		X1クロック
1	1	1	1		外部メイン・システム・クロック

**備考** XSEL : メイン・クロック・モード・レジスタ (MCM) のビット2

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

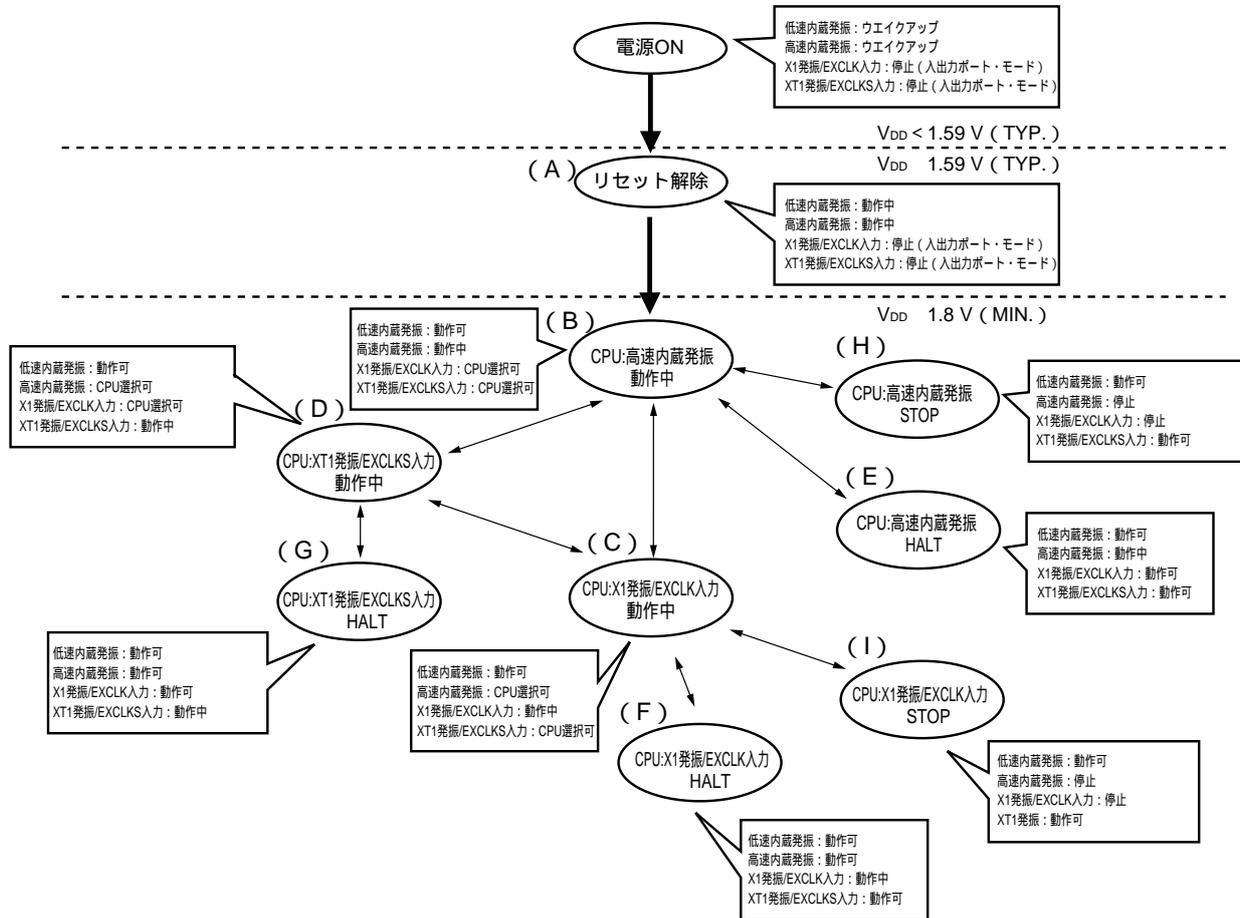
MCM0 : MCMのビット0

EXCLK : クロック動作モード選択レジスタ (OSCCTL) のビット7

## 5.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 14に示します。

図5 - 14 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト: LVISTART = 0))



**備考** 2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1) では、電源投入後、電源電圧が 2.7 V (TYP.) を越えると上図の (A) に移行し、リセット処理 (11 ~ 45  $\mu\text{s}$ ) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 4に示します。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/4)

- (1) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行  
(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B) )

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
状態遷移 (A) (B) (C) (X1クロック : 10 MHz未満)	0	0	1	0	確認 必要	1	1
(A) (B) (C) (外部メイン・クロック : 10 MHz未満)	0	1	1	0	確認 不要	1	1
(A) (B) (C) (X1クロック : 10 MHz以上)	1	0	1	0	確認 必要	1	1
(A) (B) (C) (外部メイン・クロック : 10 MHz以上)	1	1	1	0	確認 不要	1	1

- (2) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

- (3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行  
(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B) )

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLKS	OSCSELS	発振安定待ち	CSS
状態遷移 (A) (B) (D) (XT1クロック)	0	1	必要	1
(A) (B) (D) (外部サブシステム・クロック)	1	1	不要	1

備考1. 表5 - 4の (A) - (1) は、図5 - 14の (A) - (1) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(B) (C) (X1クロック : 10 MHz未満)	0	0	1	0	確認 必要	1	1
(B) (C) (外部メイン・クロック : 10 MHz 未満)	0	1	1	0	確認 不要	1	1
(B) (C) (X1クロック : 10 MHz以上)	1	0	1	0	確認 必要	1	1
(B) (C) (外部メイン・クロック : 10 MHz 以上)	1	1	1	0	確認 不要	1	1

設定済みの場合は不要
高速システム・ク  
ロック動作中の場  
合は不要
設定済みの場合は  
不要

(5) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	EXCLKS	OSCSELS	発振安定待ち	CSS
(B) (D) (XT1クロック)	0	1	必要	1
(B) (D) (外部サブシステム・クロック)	1	1	不要	1

サブシステム・クロック動作中の場合は不要

備考1. 表5 - 4の (A) - (I) は、図5 - 14の (A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	RSTOP	RSTS	MCM0
状態遷移			
(C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLKS	OSCSELS	発振安定待ち	CSS
状態遷移				
(C) (D) (XT1クロック)	0	1	必要	1
(C) (D) (外部サブシステム・クロック)	1	1	不要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0	CSS
状態遷移								
(D) (C) (X1クロック: 10 MHz未満)	0	0	1	0	確認 必要	1	1	0
(D) (C) (外部メイン・クロック: 10 MHz未満)	0	1	1	0	確認 不要	1	1	0
(D) (C) (X1クロック: 10 MHz以上)	1	0	1	0	確認 必要	1	1	0
(D) (C) (外部メイン・クロック: 10 MHz以上)	1	1	1	0	確認 不要	1	1	0

設定済みの場合は不要      高速システム・クロック動作中の場合は不要      設定済みの場合は不要

備考1. 表5 - 4の (A) - (I) は、図5 - 14の (A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/4)

(9) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

状態遷移		(SFRレジスタの設定順序)				
		SFRレジスタの設定フラグ	RSTOP	RSTS	MCM0	CSS
(D)	(B)		0	1を確認	0	0

高速内蔵発振クロック動作中の場合は不要
XSELが0の場合は不要

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行  
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行  
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E)	HALT命令を実行する
(C) (F)	
(D) (G)	

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行  
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

状態遷移		(設定順序)	
		設定内容	
(B)	(H)	STOPモード中に動作できない周辺機能	STOP命令を実行する
(C)	(I)	機能を停止する	

備考1. 表5 - 4の (A) - (I) は、図5 - 14の (A) - (I) と対応しています。

2. MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0  
 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4  
 RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0

## 5.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-5 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP=0, OSCSEL=1, EXCLK=0 ・発振安定時間経過後	・高速内蔵発振器発振停止可能 (RSTOP=1) ・AMPH=1を設定した場合、設定して から4.06~16.12 $\mu$ s間、CPUクロッ クの供給停止
	外部メイン・ システム・クロック	EXCLK端子からの外部クロック入力 を有効にすること ・MSTOP=0, OSCSEL=1, EXCLK=1	・高速内蔵発振器発振停止可能 (RSTOP=1) ・AMPH=1を設定した場合、設定して からEXCLK端子からの外部クロッ クの160クロック分、CPUクロック の供給停止
X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されているこ と ・RSTOP=0	X1発振停止可能(MSTOP=1)
外部メイン・ システム・クロック			外部メイン・システム・クロック入力 を無効に設定可能(MSTOP=1)
高速内蔵発振 クロック	XT1クロック	XT1発振が安定していること ・EXCLKS=0, OSCSELS=1 ・発振安定時間経過後	高速内蔵発振器を停止(RSTOP=1) すると、動作電流を低減可能
X1クロック			X1発振停止可能(MSTOP=1)
外部メイン・ システム・クロック			外部メイン・システム・クロック入力 を無効に設定可能(MSTOP=1)
高速内蔵発振 クロック	外部サブシステ ム・クロック	EXCLKS端子からの外部クロック入力 を有効にすること ・EXCLKS=1, OSCSELS=1	高速内蔵発振器を停止(RSTOP=1) すると、動作電流を低減可能
X1クロック			X1発振停止可能(MSTOP=1)
外部メイン・ システム・クロック			外部メイン・システム・クロック入力 を無効に設定可能(MSTOP=1)
XT1クロック, 外部サブシステ ム・クロック	高速内蔵発振 クロック	高速内蔵発振器が発振され、メイン・ システム・クロックに高速内蔵発振ク ロックが選択されていること ・RSTOP=0, MCS=0	XT1発振停止または外部サブシステ ム・クロック入力を無効に設定可能 (OSCSELS=0)
	X1クロック	X1発振が安定、かつメイン・システ ム・クロックに高速システム・クロッ クが選択されていること ・MSTOP=0, OSCSEL=1, EXCLK=0 ・発振安定時間経過後 ・MCS=1	・XT1発振停止または外部サブシス テム・クロック入力を無効に設定可 能(OSCSELS=0) ・AMPH=1を設定した場合、設定し てから4.06~16.12 $\mu$ s間、CPUク ロックの供給停止
	外部メイン・ システム・クロック	EXCLK端子からの外部クロックが入 力有効、かつメイン・システム・クロッ クに高速システム・クロックが選択さ れていること ・MSTOP=0, OSCSEL=1, EXCLK=1 ・MCS=1	・XT1発振停止または外部サブシス テム・クロック入力を無効に設定可 能(OSCSELS=0) ・AMPH=1を設定した場合、設定し てからEXCLK端子からの外部ク ロックの160クロック分、CPUク ロックの供給停止

### 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, PCCを書き換えた直後ではなく, PCCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-6参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, PCCのビット5 (CLS) で判定できます。

表5-6 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
0	0	0	0	16クロック				16クロック				16クロック				16クロック				2f <sub>MAIN</sub> /f <sub>SUB</sub> クロック							
0	0	1	0	8クロック				8クロック				8クロック				8クロック				f <sub>MAIN</sub> /f <sub>SUB</sub> クロック							
0	1	0	0	4クロック				4クロック				4クロック				4クロック				f <sub>MAIN</sub> /2f <sub>SUB</sub> クロック							
0	1	1	0	2クロック				2クロック				2クロック				2クロック				f <sub>MAIN</sub> /4f <sub>SUB</sub> クロック							
0	1	0	1	1クロック				1クロック				1クロック				1クロック				f <sub>MAIN</sub> /8f <sub>SUB</sub> クロック							
1	x	x	x	2クロック				2クロック				2クロック				2クロック				2クロック							

**注意** メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に設定しないでください。

ただし, メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

**備考1.** 表5-6のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は, 小数点以下を切り上げてください。

**例** CPUクロックをf<sub>MAIN</sub>/2 f<sub>SUB</sub>/2に切り替える場合 (f<sub>MAIN</sub> = 10 MHz, f<sub>SUB</sub> = 32.768 kHz発振時)

$$f_{\text{MAIN}}/f_{\text{SUB}} = 10000 / 32.768 = 305.1 \quad 306 \text{クロック}$$

また, メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により, メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は, MCM0を書き換えた直後ではなく, MCM0を変更したのち, 数クロックは切り替え前のクロックで動作します (表5-7参照)。

CPUクロックが高速内蔵発振クロックで動作しているか, 高速システム・クロックで動作しているかは, MCMのビット1 (MCS) で判定できます。

表5-7 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{osc8}/f_{IN}$ クロック
1	$1 + 2f_{IN}/f_{osc8}$ クロック	

**注意** 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCM0のビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

- 備考**1. 表5-7のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。  
 2. 表5-7のクロック数は、小数点以下を切り捨ててください。

**例** メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ( $f_{osc8} = 8 \text{ MHz}$ ,  $f_{IN} = 10 \text{ MHz}$ 発振時)

$$1 + 2f_{osc8}/f_{IN} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \quad 2\text{クロック}$$

### 5.6.9 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	OSCSELS = 0
外部サブシステム・クロック		

## 第6章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。  
78K0/Dx2は、TMP0-TMP4を内蔵しています。

### 6.1 概 要

TMPnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

備考 n = 0-4

### 6.2 機 能

TMPnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力：最大9本
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・タイマ連結機能
- ・タイマ同期動作機能

備考 n = 0-4

## 6.3 構成

TMPnは、次のハードウェアで構成されています。

表6-1 TMPnの構成

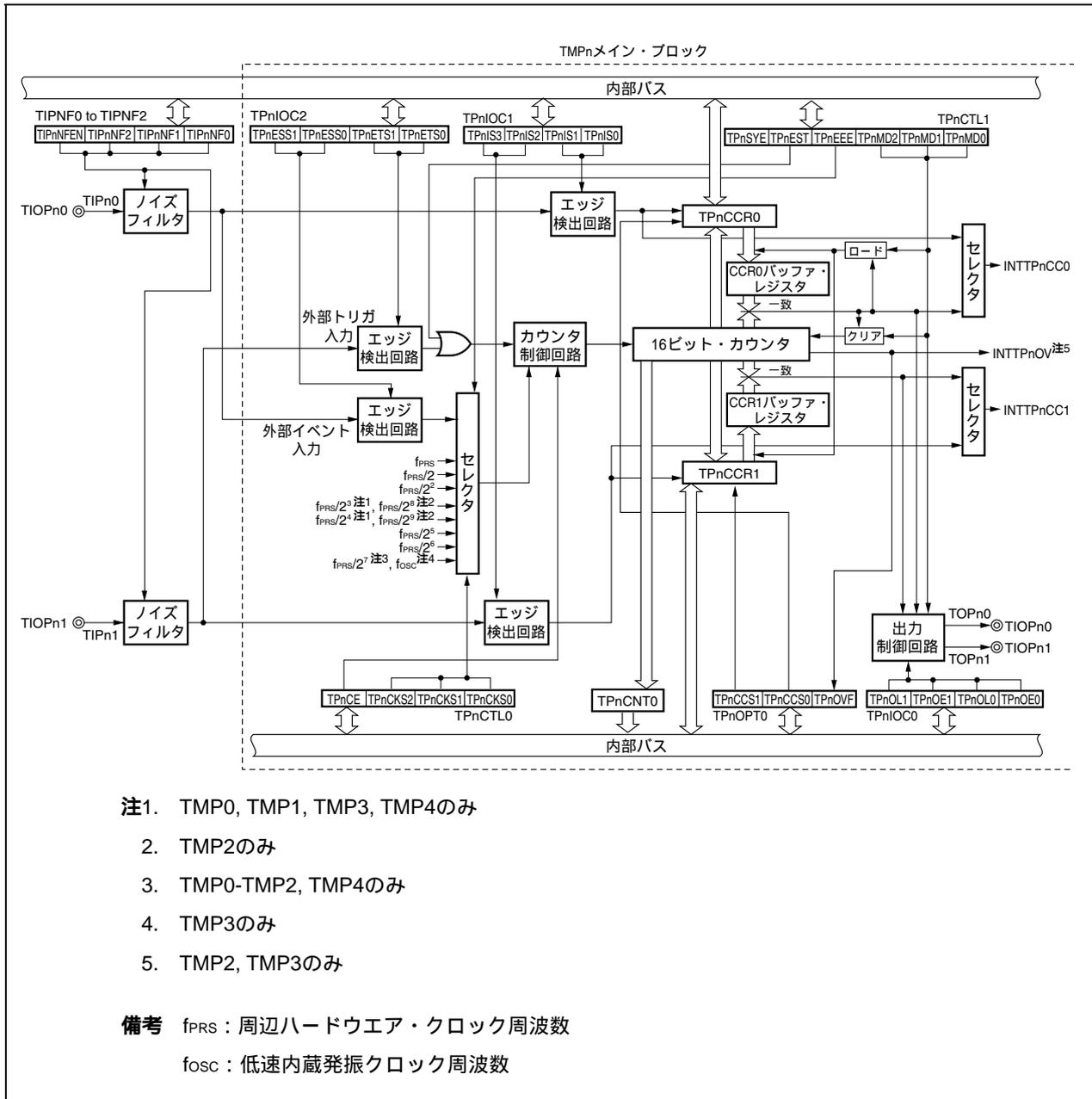
項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入出力	2本 (TIOPn0, TIOPn1端子) <sup>注1</sup>
制御レジスタ <sup>注2</sup>	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPn/I/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TMPnオプション・レジスタ0 (TPnOPT0) 入力切り替え制御レジスタ (ISC) TMPn入力ノイズ・フィルタ制御レジスタ0-2 (TIPNF0-TIPNF2)

注1. TIOPn0端子は、外部イベント・カウント入力信号、キャプチャ・トリガ入力信号と兼用です。TIOPn1端子は、外部トリガ入力信号、キャプチャ・トリガ入力信号と兼用です。

2. TIOPn0, TIOPn1端子の機能を使用する場合は、4.4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, **ポート・モード・レジスタ**, **出力ラッチの設定**を参照してください。

備考 n = 0-4

図6-1 TMPnのブロック図



### (1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

### (2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

### (3) CCR1バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

### (4) エッジ検出回路

TIOPn0, TIOPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

### (5) 出力制御回路

TIOPn0, TIOPn1端子の出力を制御します。TIOPn0, TIOPn1端子の出力は、TPnIOC0レジスタで制御します。

### (6) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

### (7) デジタル・ノイズ・フィルタ

デジタル入力のノイズを除去する回路です。このフィルタは、入力ノイズ・フィルタ制御レジスタ (TIPNF0-TIPNF2) で制御します。

### (8) TMP2とTMP3の連結

TMP3出力のTIOP30とTMP2入力のTIOP21を接続します。この機能は、入力切り替え制御レジスタ (ISC) のビット3で制御します。

## 6.4 レジスタ

TMPnを制御するレジスタを次に示します。

- ・TMPn制御レジスタ0 (TPnCTL0)
- ・TMPn制御レジスタ1 (TPnCTL1)
- ・TMPnI/O制御レジスタ0 (TPnIOC0)
- ・TMPnI/O制御レジスタ1 (TPnIOC1)
- ・TMPnI/O制御レジスタ2 (TPnIOC2)
- ・TMPnオプション・レジスタ0 (TPnOPT0)
- ・TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)
- ・TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)
- ・TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)
- ・入力切り替え制御レジスタ (ISC)
- ・TMP0, TMP1入力ノイズ・フィルタ制御レジスタ0 (TIPNF0)
- ・TMP2, TMP3入力ノイズ・フィルタ制御レジスタ1 (TIPNF1)
- ・TMP4入力ノイズ・フィルタ制御レジスタ2 (TIPNF2)

**備考1.** TIOPn0, TIOPn1端子の機能を使用する場合は、4.4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, **ポート・モード・レジスタ**, **出力ラッチの設定**を参照してください。

2. n = 0-4

## (1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 F980H, TP1CTL0 F990H,  
TP2CTL0 F9A0H, TP3CTL0 F9B0H,  
TP4CTL0 FF10H

	⑦	6	5	4	3	2	1	0
TPnCTL0 (n = 0-4)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット注)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択		
			n = 0, 1, 4 (TMP0, TMP1, TMP4)	n = 2 (TMP2)	n = 3 (TMP3)
0	0	0	fPRS		
0	0	1	fPRS/2		
0	1	0	fPRS/2 <sup>2</sup>	fPRS/2 <sup>8</sup>	fPRS/2 <sup>3</sup>
0	1	1	fPRS/2 <sup>3</sup>	fPRS/2 <sup>9</sup>	fPRS/2 <sup>4</sup>
1	0	0	fPRS/2 <sup>4</sup>		
1	0	1	fPRS/2 <sup>5</sup>		
1	1	0	fPRS/2 <sup>6</sup>		
1	1	1	fPRS/2 <sup>7</sup>		fOSC

注 TPnOPT0.TPnOVFビット, 16ビット・カウンタ, タイマ出力 (TIOPn0, TIOPn1端子)。

注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 fPRS : 周辺ハードウェア・クロック周波数

fOSC : 低速内蔵発振クロック周波数

## (2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0CTL1 F981H, TP1CTL1 F991H,  
TP2CTL1 F9A1H, TP3CTL1 F9B1H,  
TP4CTL1 FF11H

	7	⑥	⑤	4	3	2	1	0
TPnCTL1 (n = 0-4)	TPnSYE	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TPnSYE	同調動作モード許可制御
0	独立動作モード (非同期動作モード)
1	同調動作モード (スレーブ動作の指定) このモードではタイマP (TMP1-TMP4) はマスタ・タイマ (TMP0) に同期して動作します。TMP1, TMP2, TMP3, TMP4がスレーブ・タイマとなります。 同調動作モードについては6.6 タイマ同期動作機能を参照

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・外部トリガ・パルス出力モード時：TPnESTビットへの"1"ライトをトリガとして、PWM波形を出力 ・ワンショット・パルス出力モード時：TPnESTビットへの"1"ライトをトリガとして、ワンショット・パルスを出力

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TPnCTL0.TPnCK0-TPnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

(2/2)

- 注意1. TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
3. TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
4. ビット3, 4には必ず“0”を設定してください。

## (3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TIOPn0, TIOPn1端子) を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0IOC0 F982H, TP1IOC0 F992H,  
TP2IOC0 F9A2H, TP3IOC0 F9B2H,  
TP4IOC0 FF12H

	7	6	5	4	3	②	1	①
TPnIOC0 (n = 0-4)	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

TPnOL1	TIOPn1端子出力レベルの設定 <sup>注</sup>
0	TIOPn1端子ハイ・レベル・スタート
1	TIOPn1端子ロウ・レベル・スタート

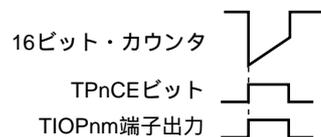
TPnOE1	TIOPn1端子出力の設定
0	タイマ出力禁止 ・ TPnOL1ビット = 0のときTIOPn1端子からロウ・レベルを出力 ・ TPnOL1ビット = 1のときTIOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TIOPn1端子から方形波を出力)

TPnOL0	TIOPn0端子出力レベルの設定 <sup>注</sup>
0	TIOPn0端子ハイ・レベル・スタート
1	TIOPn0端子ロウ・レベル・スタート

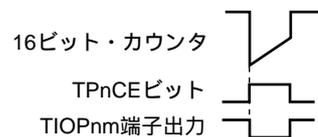
TPnOE0	TIOPn0端子出力の設定
0	タイマ出力禁止 ・ TPnOL0ビット = 0のときTIOPn0端子からロウ・レベルを出力 ・ TPnOL0ビット = 1のときTIOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TIOPn0端子から方形波を出力)

注 TPnOLmビットの指定によるタイマ出力端子 (TIOPnm) の出力レベルを次に示します (m = 0, 1)。

・ TPnOLmビット = 0の場合



・ TPnOLmビット = 1の場合



注意1. TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。

2. TPnCEビット = 0, TPnOEmビット = 0の状態において、TPnOLmビットを操作した場合でも、TIOPnm端子の出力レベルは変化しません (m = 0, 1)。

## (4) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIOPn0, TIOPn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : TP0IOC1 F983H, TP1IOC1 F993H,  
TP2IOC1 F9A3H, TP3IOC1 F9B3H,  
TP4IOC1 FF13H

	7	6	5	4	3	2	1	0
TPnIOC1 (n = 0-4)	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (TIOPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (TIOPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

## (5) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (TIOPn0端子)、外部トリガ入力信号 (TIOPn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TP0IOC2 F984H, TP1IOC2 F994H,  
TP2IOC2 F9A4H, TP3IOC2 F9B4H,  
TP4IOC2 FF14H

	7	6	5	4	3	2	1	0
TPnIOC2 (n = 0-4)	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (TIOPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIOPn1端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、  
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCE  
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合  
は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、また  
は外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0  
ビット = 001) に設定したときのみ有効です。
3. TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード  
(TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パル  
ス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したと  
きのみ有効です。

## (6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバーフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 F985H, TP1OPT0 F995H,  
TP2OPT0 F9A5H, TP3OPT0 F9B5H,  
TP4OPT0 FF15H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-4)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバーフロー検出フラグ
セット(1)	オーバーフロー発生
リセット(0)	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> <li>TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバーフローするときセット(1)されます。</li> <li>TPnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTPnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号<sup>※</sup>は発生しません。</li> <li>TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリアされません。</li> <li>TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット(1)することはできません。“1”をライトしてもTMPnの動作に影響はありません。</li> </ul>	

注 TMP2, TMP3のみ。

注意1. TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。  
誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

## (7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

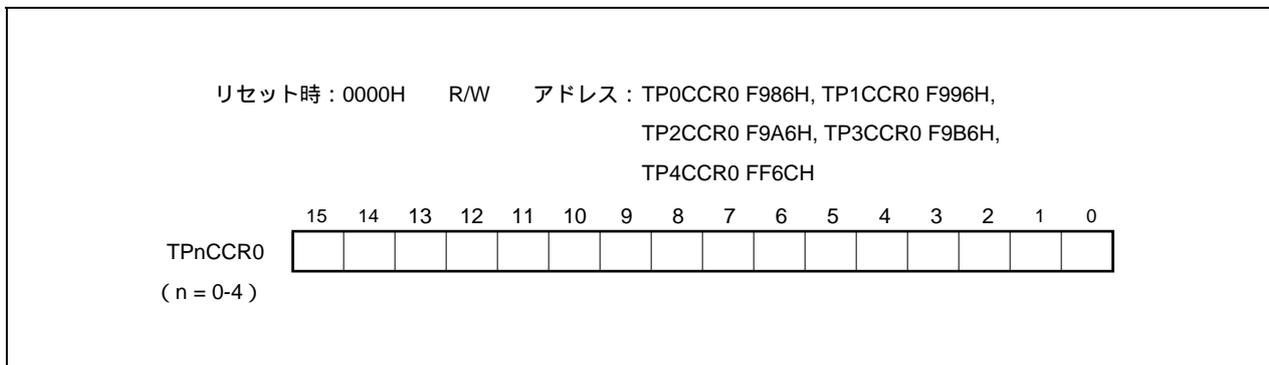
TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TPnCCR0レジスタへのアクセスは禁止です。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TIOPn0端子出力を許可している場合、TIOPn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIOPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIOPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

## (8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

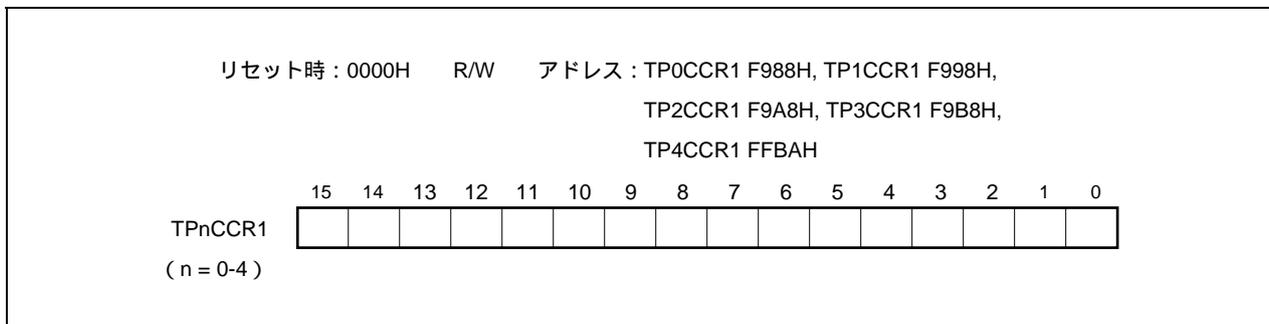
TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TPnCCR1レジスタへのアクセスは禁止です。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TIOPn1端子出力を許可している場合、TIOPn1端子出力を反転します。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIOPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIOPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

## (9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

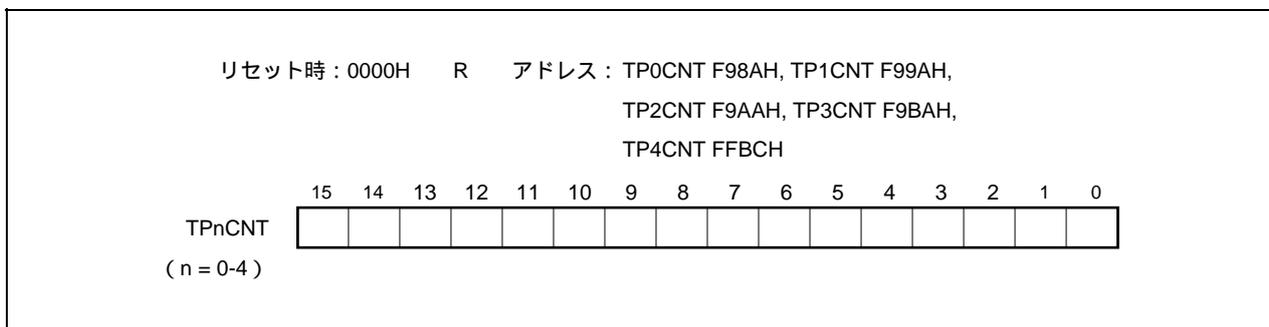
16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTPnCEビット = 0になるため、TPnCNTレジスタは0000Hになります。

**注意** 次に示す状態において、TPnCNTレジスタへのアクセスは禁止です。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



## (10) 入力切り替え制御レジスタ (ISC)

ISCレジスタは、タイマ入出力とUART6入出力の端子を選択するレジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FF4FH

## ・78K0/DE2

	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	0	0	ISC3	0	ISC1	ISC0 <sup>注</sup>

注 μ PD78F0844, 78F0845のみ

ISC7	UART60端子選択制御	
	TxD60	RxD60/INTPR60
0	TxD60 (P13)	RxD60/INTPR60 (P14)
1	<TxD60> (P71)	<RxD60/INTPR60> (P70)

ISC6	TIOP30端子選択制御
0	TIOP30 (P13)
1	<TIOP30> (P17)

ISC3	TMP2入力ソース (TIP21) 選択制御 [TMPのタイマ連結機能用]
0	TIOP21 (P06)
1	TMP3出力信号 (TOP30)

ISC1	TMP2入力ソース (TIP20) 選択制御 [UART60のLIN受信動作用]
0	TIOP20 (P14)
1	RxD60 <sup>注</sup>

注 ISC7で選択

ISC0	TMP4入力ソース (TIP40) 選択制御 [CANのタイム・スタンプ機能用]
0	TIOP40 (P00)
1	TSOUT

(2/2)

## ・ 78K0/DF2

	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	ISC5	0	ISC3	ISC2	ISC1	ISC0 <sup>注</sup>

注 μ PD78F0846, 78F0847, 78F0848, 78F0849のみ

ISC7	UART60端子選択制御	
	TxD60	RxD60/INTPR60
0	TxD60 ( P13 )	RxD60/INTPR60 ( P14 )
1	<TxD60> ( P71 )	<RxD60/INTPR60> ( P70 )

ISC6	TIOP30端子選択制御	
0	TIOP30 ( P13 )	
1	<TIOP30> ( P17 )	

ISC5	TIOP20端子選択制御	
0	TIOP20 ( P14 )	
1	<TIOP20> ( P77 )	

ISC3	TMP2入力ソース ( TIP21 ) 選択制御 [TMPのタイマ連結機能用]	
0	TIOP21 ( P06 )	
1	TMP3出力信号 ( TOP30 )	

ISC2	TMP3入力ソース ( TIP30 ) 選択制御 [UART61のLIN受信動作]	
0	TIOP30 <sup>注</sup>	
1	RxD61 ( P11 )	

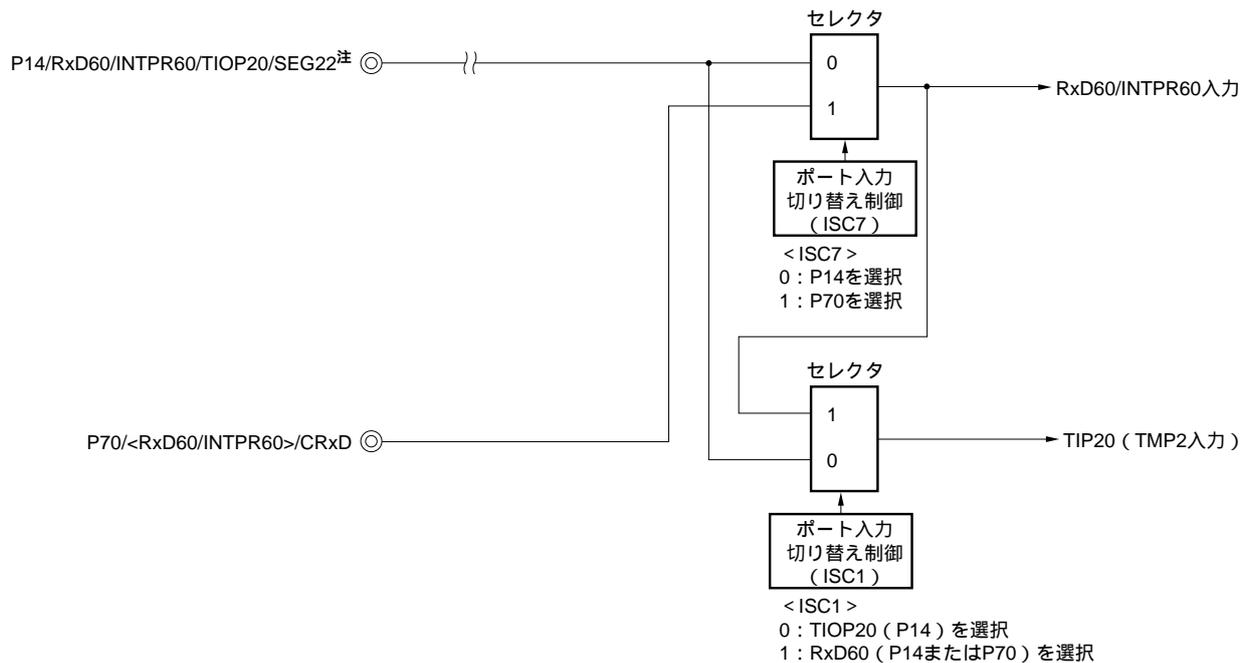
注 ISC6で選択

ISC1	TMP2入力ソース ( TIP20 ) 選択制御 [UART60のLIN受信動作]	
0	TIOP20 ( P14 )	
1	RxD60 <sup>注</sup>	

注 ISC7で選択

ISC0	TMP4入力ソース ( TIP40 ) 選択制御 [CANのタイム・スタンプ機能用]	
0	TIOP40 ( P00 )	
1	TSOUT	

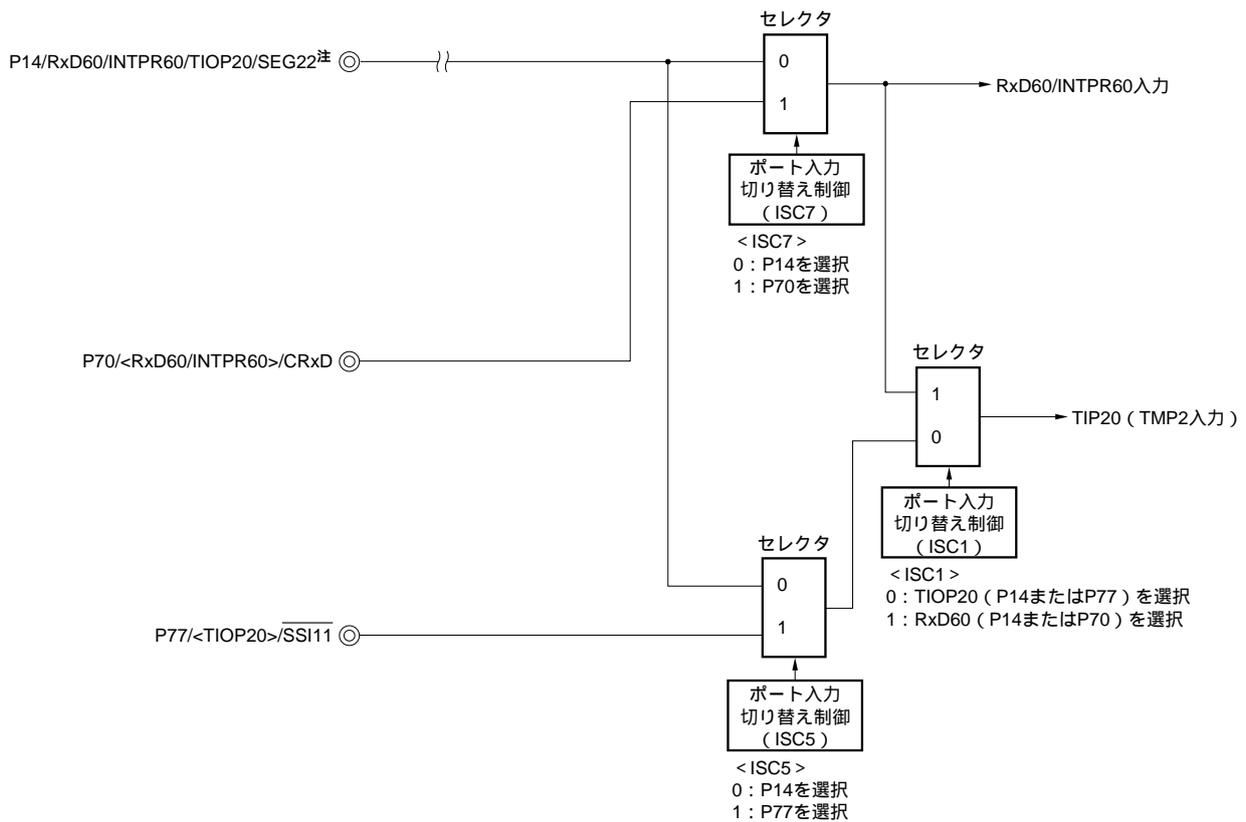
- ・ TIOP20端子をTMP2への入力として使用する場合 (78K0/DE2)



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

ISC7	ISC1	RxD60/INTPR60入力	TIP20 (TMP2入力)	備考
0	0	RxD60/INTPR60 (P14)	RxD60/INTPR60/TIOP20 (P14)	LINモード (TIOP20使用可能)
0	1	RxD60/INTPR60 (P14)	RxD60/INTPR60 (P14)	LINモード
1	0	<RxD60/INTPR60> (P70)	TIOP20 (P14)	
1	1	<RxD60/INTPR60> (P70)	<RxD60/INTPR60> (P70)	LINモード

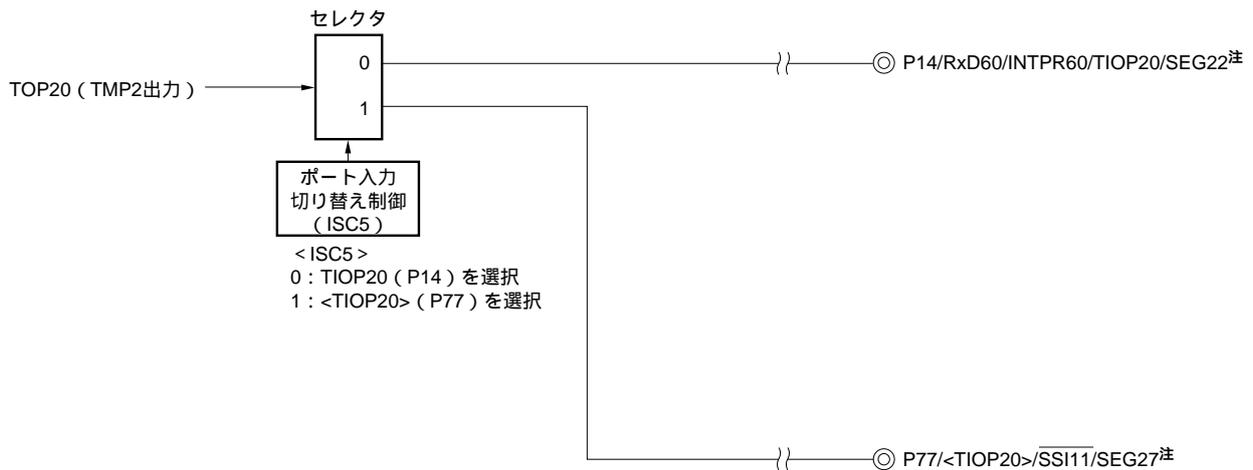
- ・ TIOP20端子をTMP2への入力として使用する場合 (78K0/DF2)



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

ISC7	ISC5	ISC1	RxD60/INTPR60入力	TIP20 (TMP2入力)	備考
0	0	0	RxD60/INTPR60 (P14)	RxD60/INTPR60/TIOP20 (P14)	LINモード (TIOP20使用可能)
0	0	1	RxD60/INTPR60 (P14)	RxD60/INTPR60 (P14)	LINモード
0	1	0	RxD60/INTPR60 (P14)	<TIOP20> (P77)	
0	1	1	RxD60/INTPR60 (P14)	RxD60/INTPR60 (P14)	LINモード
1	0	0	<RxD60/INTPR60> (P70)	TIOP20 (P14)	
1	0	1	<RxD60/INTPR60> (P70)	<RxD60/INTPR60> (P70)	LINモード
1	1	0	<RxD60/INTPR60> (P70)	<TIOP20> (P77)	
1	1	1	<RxD60/INTPR60> (P70)	<RxD60/INTPR60> (P70)	LINモード

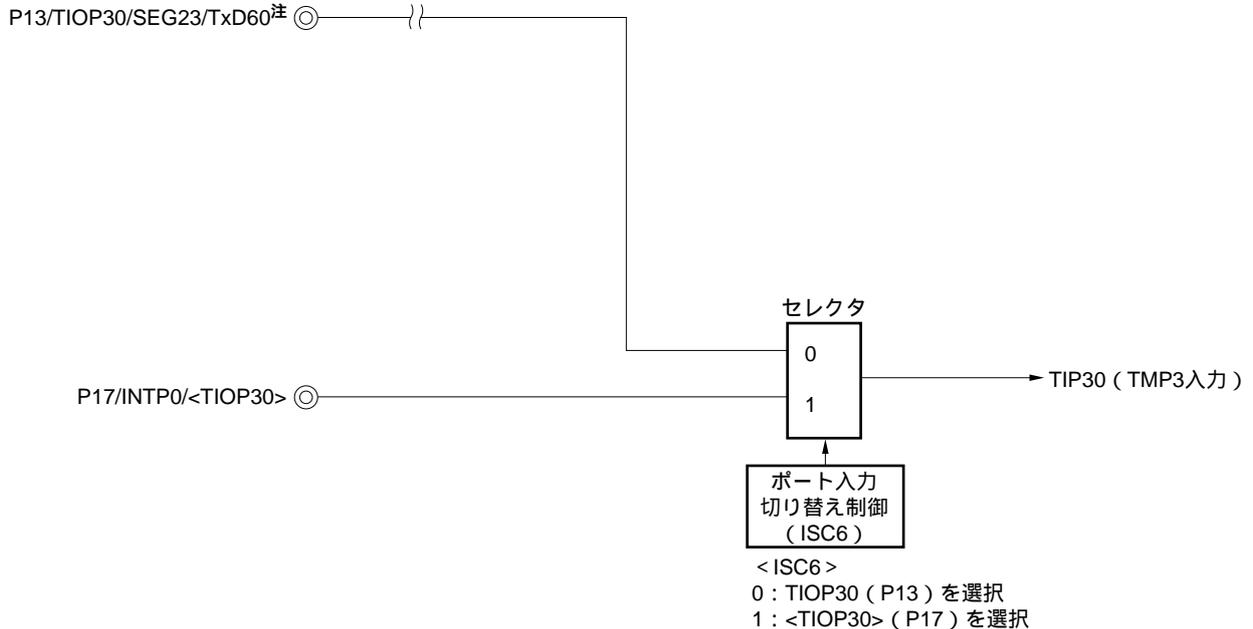
- ・ TIOP20端子をTMP2からの出力として使用する場合



**注 第4章 ポート機能にて**、ポート・ファンクションの設定を確認してください。

ISC5	TOP20 (TMP2出力)
0	TIOP20 ( P14 )
1	<TIOP20> ( P77 )

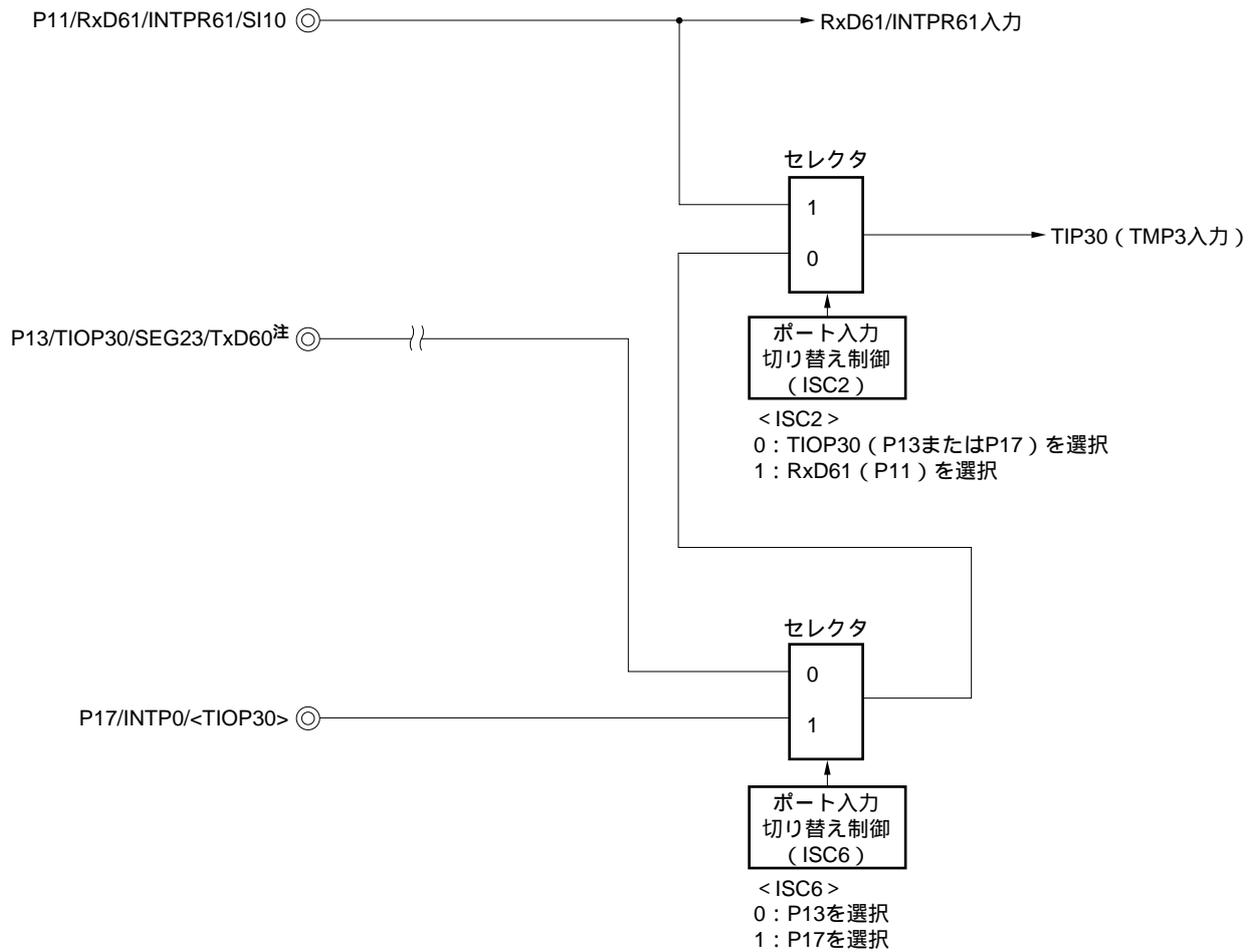
- ・ TIOP30端子をTMP3への入力として使用する場合 (78K0/DE2)



**注 第4章 ポート機能にて**、ポート・ファンクションの設定を確認してください。

ISC6	TIP30 (TMP3入力)
0	TIOP30 ( P13 )
1	<TIOP30> ( P17 )

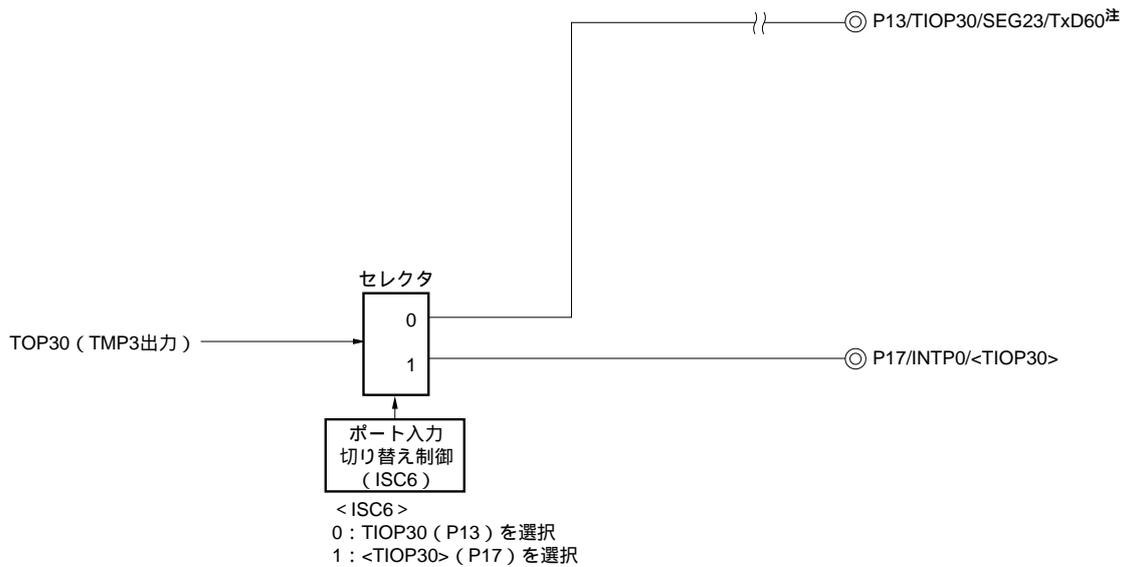
・ TIOP30端子をTMP3への入力として使用する場合 (78K0/DF2)



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

ISC6	ISC2	RxD61/INTPR61入力	TIP30 (TMP3入力)	INTPO	備考
0	0	RxD61/INTPR61 (P11)	TIOP30 (P13)	INTPO (P17)	
0	1	RxD61/INTPR61 (P11)	RxD61/INTPR61 (P11)	INTPO (P17)	LINモード
1	0	RxD61/INTPR61 (P11)	<TIOP30> (P17)	INTPO (P17)	
1	1	RxD61/INTPR61 (P11)	RxD61/INTPR61 (P11)	INTPO (P17)	LINモード

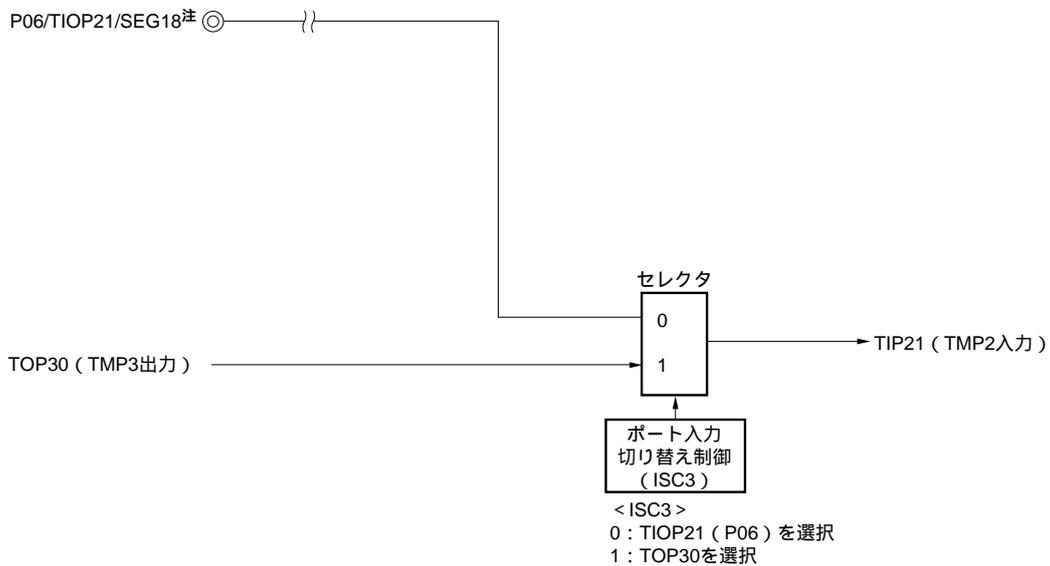
- ・ TIOP30端子をTMP3からの出力として使用する場合



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

ISC6	TOP30 (TMP3入力)
0	TIOP30 (P13)
1	<TIOP30> (P17)

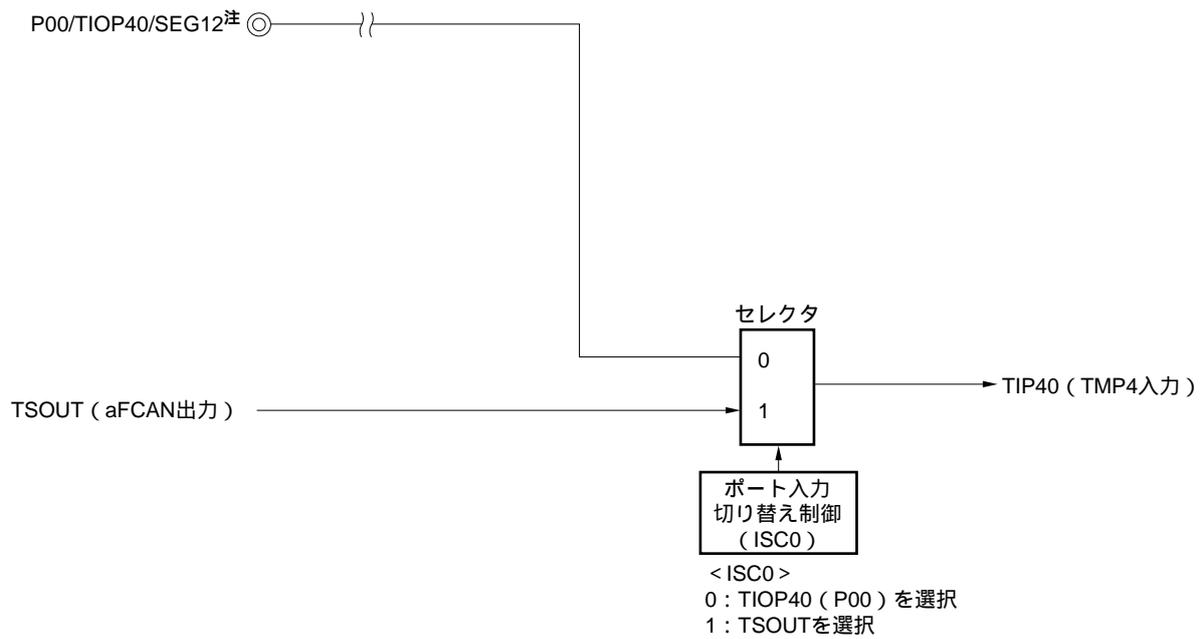
- ・ タイマ連結機能の使用方法



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

ISC3	TMP2入力ソース (TIP21)
0	TIOP21 (P06)
1	TMP3出力信号 (TOP30)

## ・CANタイム・スタンプ機能の使用方法



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

ISC0	TMP4入力ソース (TIP40)
0	TIOP40 ( P00 )
1	TSOUT

## (11) TMPn入力ノイズ・フィルタ制御レジスタ0-2 (TIPNF0-TIPNF2)

デジタル・ノイズ除去の設定はTIPNFnレジスタを使用して設定します。

デジタル・ノイズ除去は、 $f_{PRS}$ 、 $f_{PRS}/2$ 、 $f_{PRS}/2^2$ 、 $f_{PRS}/2^3$  (または $f_{PRS}/2^8$ )、 $f_{PRS}/2^4$  (または $f_{PRS}/2^9$ )、 $f_{PRS}/2^5$ 、 $f_{PRS}/2^6$ 、 $f_{PRS}/2^7$  (または $f_{OSC}$ )の中からデジタル・サンプリングのためのサンプリング・クロックを選択できます。サンプリングは2回実行されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意1.** ノイズ・フィルタは以下の順序で使用してください。

<1> TIPNFnでノイズ・フィルタを有効にする。

<2> 3サンプリング・クロックの間ウエイト。

<3> TPnCTL0でタイマ動作を有効にする。

2. TMPnとノイズ・フィルタは以下の順序で停止してください。

<1> TPnCTL0でタイマ動作を無効にする。

<2> TIPNFnでノイズ・フィルタを無効にする。

3. サンプリング・クロックを変更した後、デジタル・ノイズ除去が安定するまで3サンプリング・クロックかかります。外部イベント・カウンタ・モードまたは外部トリガ・パルス出力モードであるか、キャプチャ・トリガ機能を使用する場合、3サンプリング・クロック以上経過した後、TMPnの動作を有効にしてください。

(1/2)

リセット時 : 00H	R/W	アドレス : FF54H
		7      6      5      4      3      2      1      0
TIPNF0		TIP1NFEN   TIP1NF2   TIP1NF1   TIP1NF0   TIP0NFEN   TIP0NF2   TIP0NF1   TIP0NF0
リセット時 : 00H	R/W	アドレス : FF59H
		7      6      5      4      3      2      1      0
TIPNF1		TIP3NFEN   TIP3NF2   TIP3NF1   TIP3NF0   TIP2NFEN   TIP2NF2   TIP2NF1   TIP2NF0
リセット時 : 00H	R/W	アドレス : FF69H
		7      6      5      4      3      2      1      0
TIPNF2		0      0      0      0      TIP4NFEN   TIP4NF2   TIP4NF1   TIP4NF0
		TIPnNFEN      デジタル・ノイズ・フィルタ動作 (n=0-4)
		0      TMPnノイズ・フィルタ無効
		1      TMPnノイズ・フィルタ有効

(2/2)

TPnNF2	TPnNF1	TPnNF0	TIPN0, TIPn1のサンプリング・チェック		
			n = 0, 1, 4 (TMP0, TMP1, TMP4)	n = 2 (TMP2)	n = 3 (TMP3)
0	0	0	fPRS		
0	0	1	fPRS/2		
0	1	0	fPRS/2 <sup>2</sup>	fPRS/2 <sup>8</sup>	fPRS/2 <sup>3</sup>
0	1	1	fPRS/2 <sup>3</sup>	fPRS/2 <sup>9</sup>	fPRS/2 <sup>4</sup>
1	0	0	fPRS/2 <sup>4</sup>		
1	0	1	fPRS/2 <sup>5</sup>		
1	1	0	fPRS/2 <sup>6</sup>		
1	1	1	fPRS/2 <sup>7</sup>		fOSC

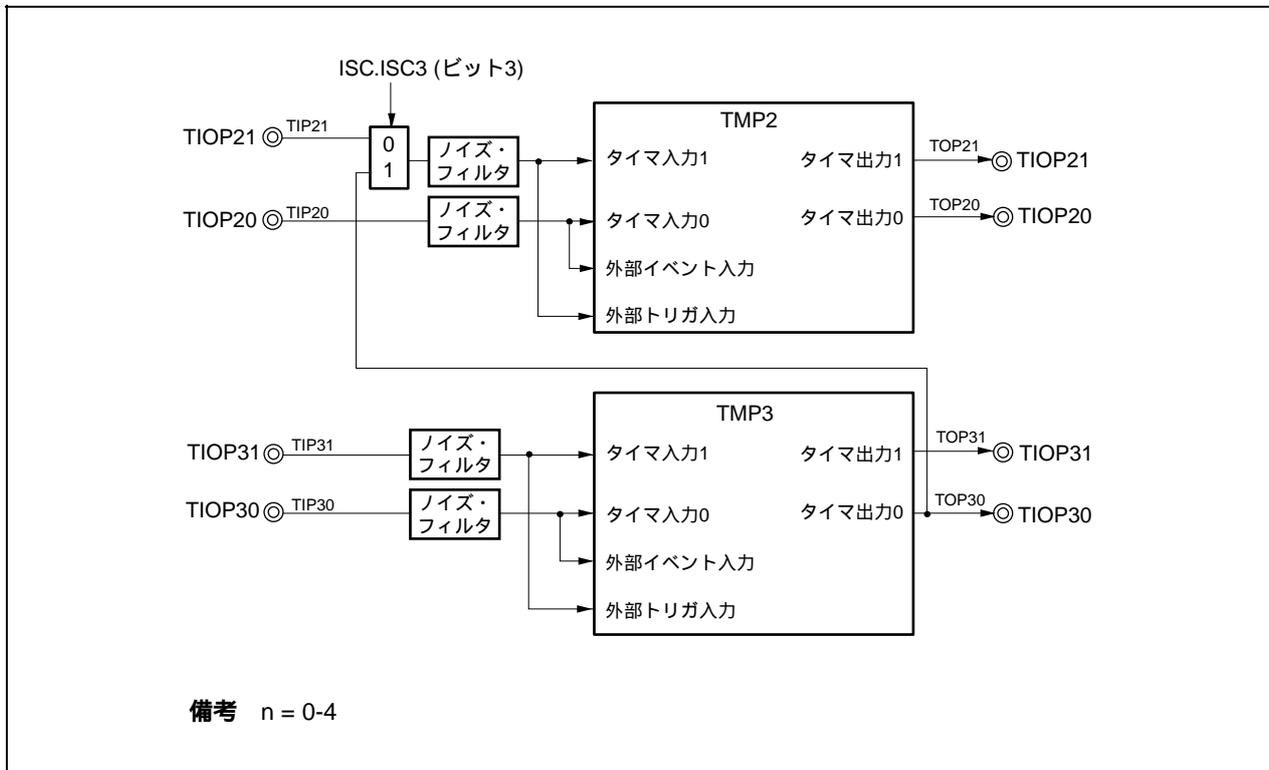
**注意** TPnCKS2-TPnCKS0ビットで選択されているクロックと同じサンプル・クロックを選択してください。

**備考** fPRS : 周辺ハードウェア・クロック周波数  
fOSC : 低速内蔵発振クロック周波数

## 6.5 タイマ連結機能

TMP3出力のTIOP30はTMP2入力に接続されています。この機能は入力切り替え制御レジスタ (ISC) のビット3により制御されます。

図6-2 タイマ連結機能



**注意** 外部イベント・カウント・モードを使用する場合、TMP動作許可の前にパルスを入力しないでください。

**備考** 低周波数の入力パルスにはキャプチャ機能を選択することを推奨します。高周波数の入力パルスにはTPnEEEビットを“1”に設定することを推奨します。

## 6.6 タイマ同期動作機能

タイマPはタイマ同期動作機能があります。TMP0をマスタ・タイマ，TMP1-TMP4をスレーブ・タイマとして同期できます。

**注意1.** TPnCTL1レジスタのTPnSYEビットで同調動作モードを有効・無効にできます。TMP0に対しTMP1-TMP4がスレーブになります。

2. 同調モードは以下の手順で設定します。

<1> スレーブ・タイマのTPnCTL1レジスタのTPnSYEビットをスレーブ・タイマの同調動作許可に設定する。

**スレーブ・タイマのTPnCTL1のTPnMD2-TPnMD0ビットをフリー・ランニング・モードに設定する。**

<2> TPnCTL1レジスタのTPnMD2-TPnMD0でタイマ・モードを設定する。この時にマスタ・タイマのTPnCTL1レジスタのTPnSYEビットは設定しないでください。

<3> マスタ・タイマとスレーブ・タイマのコンペア・レジスタの値を設定する。

<4> スレーブ・タイマのTPnCTL0レジスタのTPnCEビットを内部動作クロックでの動作許可に設定する。

<5> マスタ・タイマのTPnCTL0レジスタのTPnCEビットを内部動作クロックでの動作許可に設定する。

フリー・ランニング・モードとPWMモードでは，同調動作モードでのマスタ・タイマのTMP0を以下のように使用できます。

表6 - 4 タイマ出力機能

同調チャンネル	タイマ	端子	フリー・ランニング・モード		PWMモード	
			同調しない	同調する	同調しない	同調する
Ch0	TMP0 (マスタ)	TIOP00	PPG		トグル	
		TIOP01			PWM	
	TMP1 (スレーブ)	TIOP10			トグル	PWM
		TIOP11			PWM	
	TMP2 (スレーブ)	TIOP20			トグル	PWM
		TIOP21			PWM	
	TMP3 (スレーブ)	TIOP30			トグル	PWM
		TIOP31			PWM	
TMP4 (スレーブ)	TIOP40	トグル	PWM			
	TIOP41	PWM				

**備考** マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへのデータ転送のタイミングは以下の通りです。

PPG : CPU書き込みタイミング

トグル, PWM : タイマ・カウンタとコンペア・レジスタがTIOPn0 (n = 0-4) と一致したタイミング

図6-3 同調動作イメージ (TMP0-TMP4)

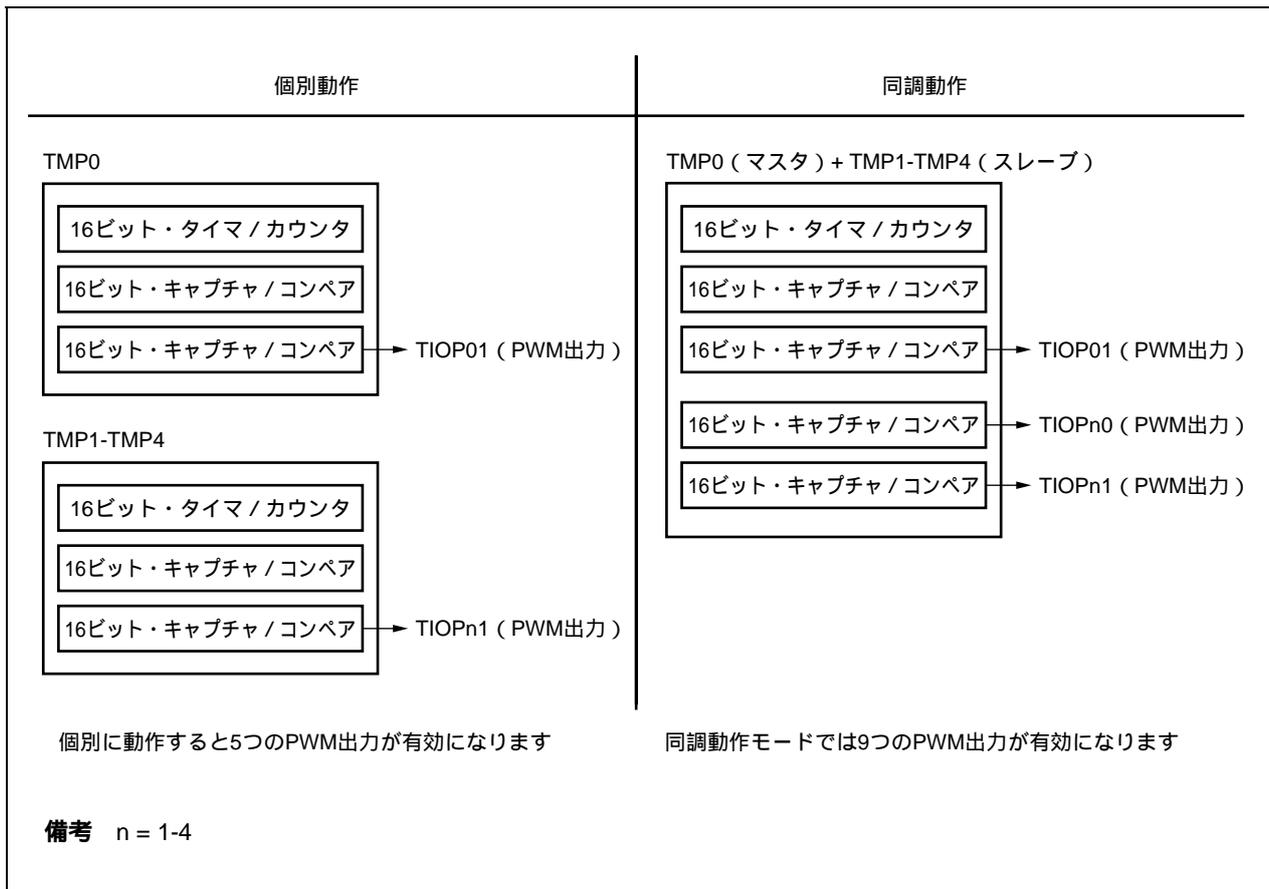
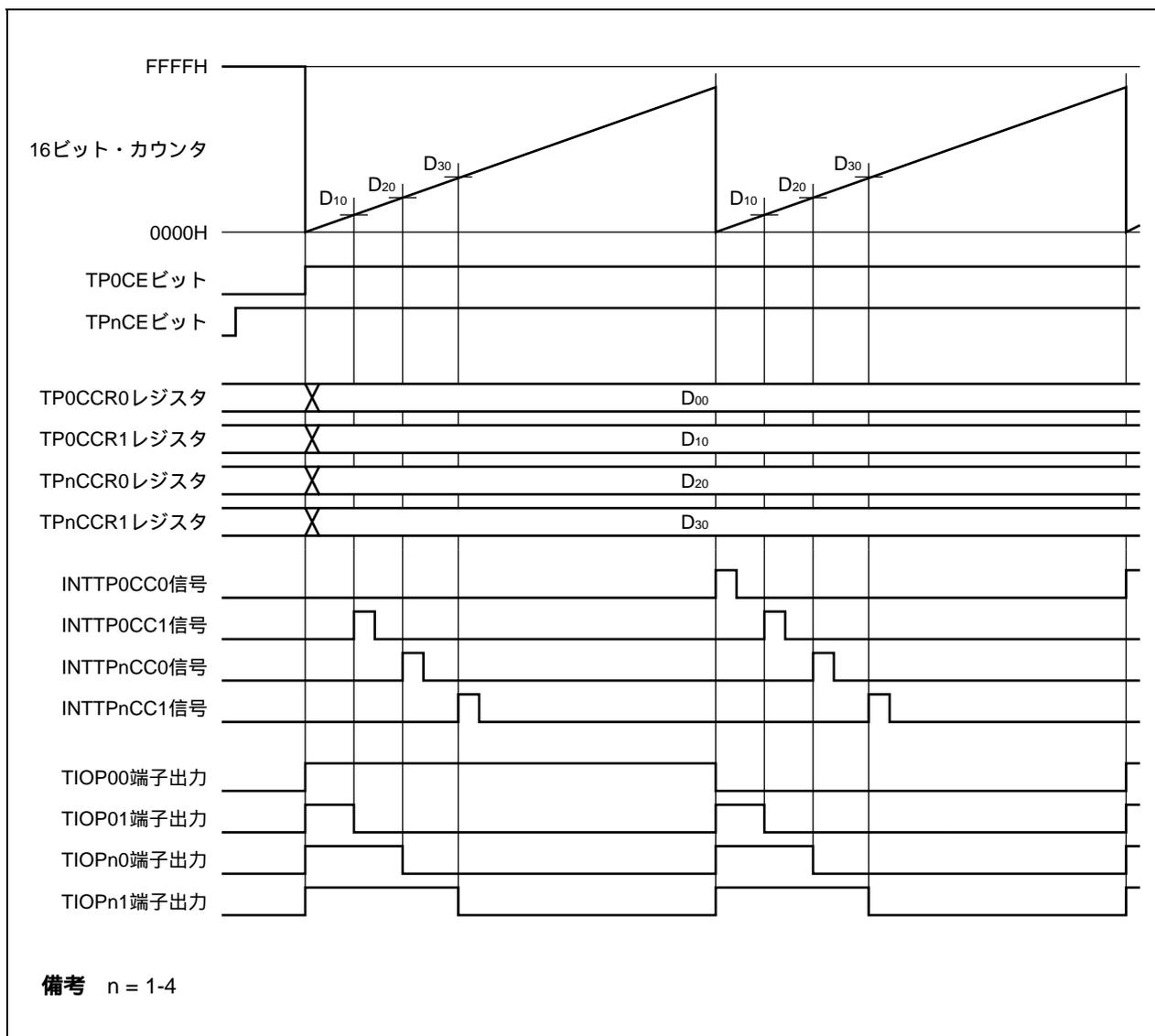


図6 - 4 同調したPWM機能の基本動作タイミング



## 6.7 動作

TMPnには次のような動作があります。

動作	TPnCTL1.TPnESTビット (ソフトウェア・トリガ・ビット)	TIOPn1端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIOPn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。

備考 n = 0-4

### 6.7.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTPnCC0)を発生します。また、TIOPn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。

図6-5 インターバル・タイマの構成図

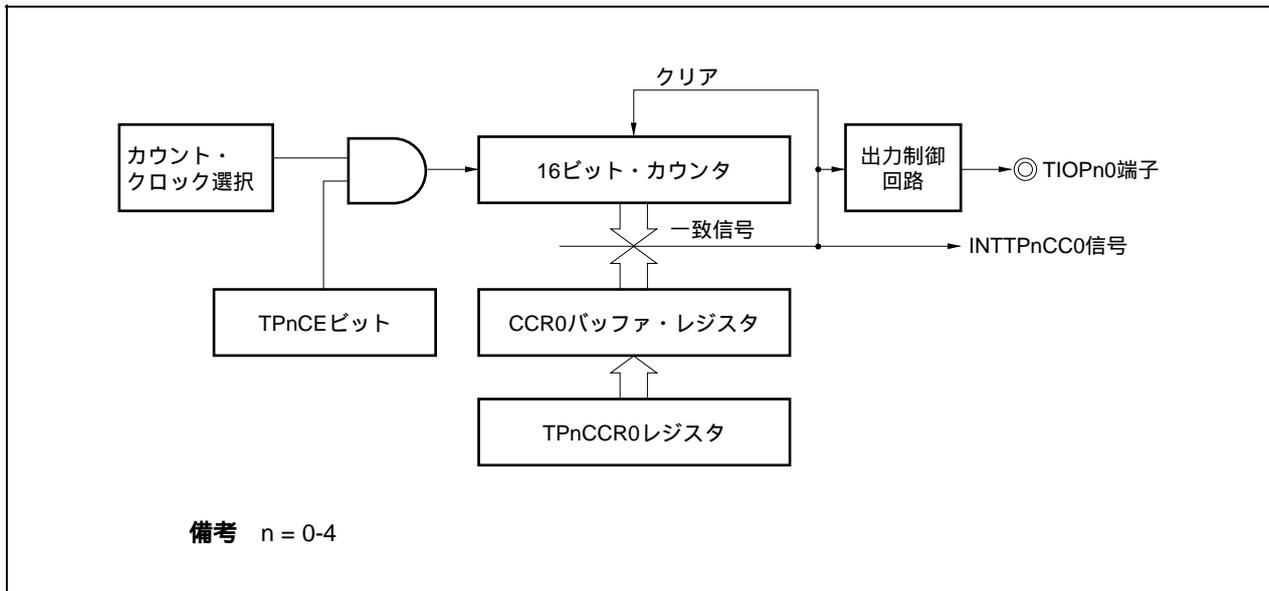
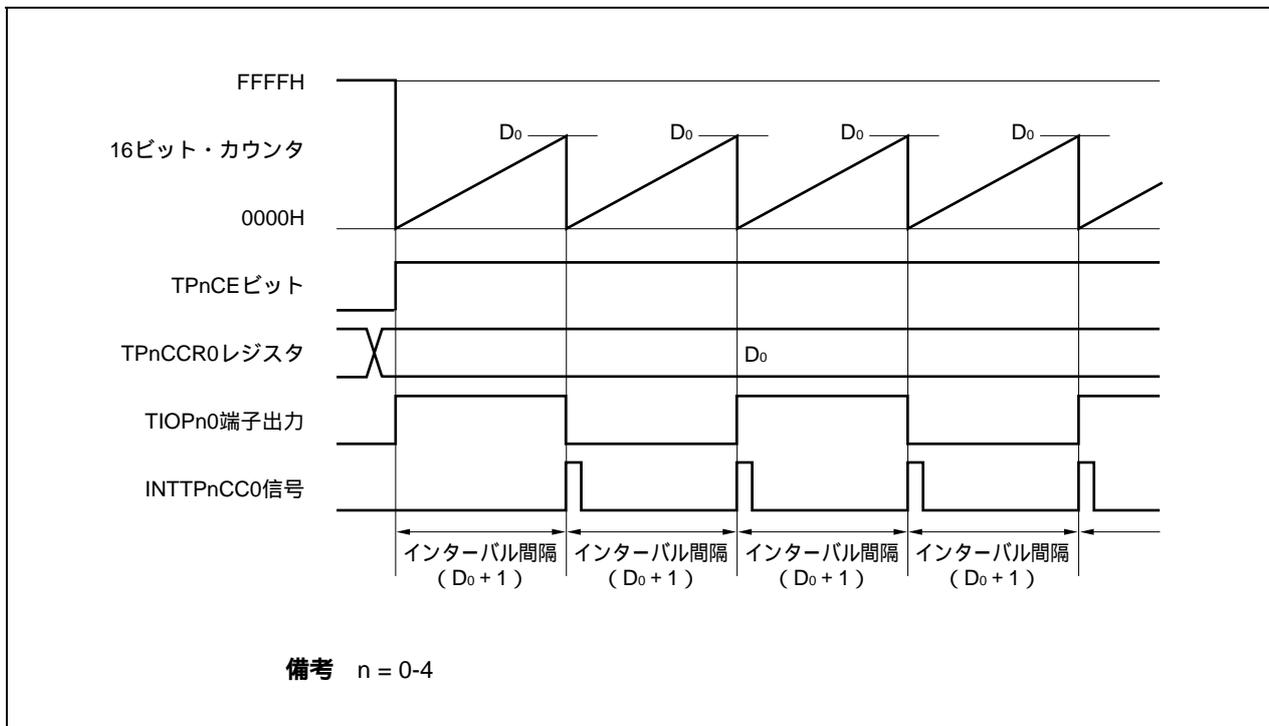


図6-6 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTIOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TIOPn0端子出力を反転させて、コンペアー一致割り込み要求信号(INTTPnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-4

図6-7 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

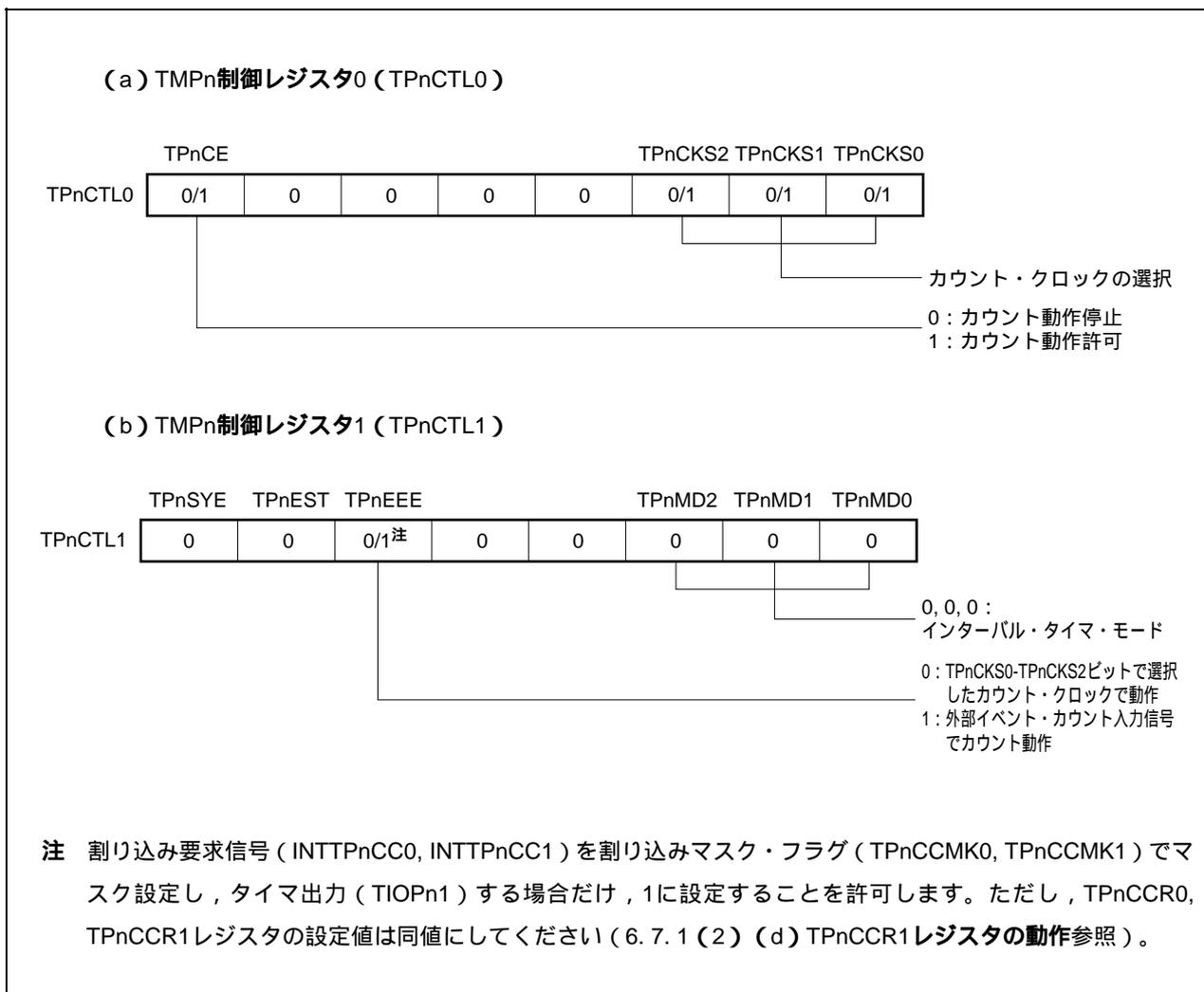
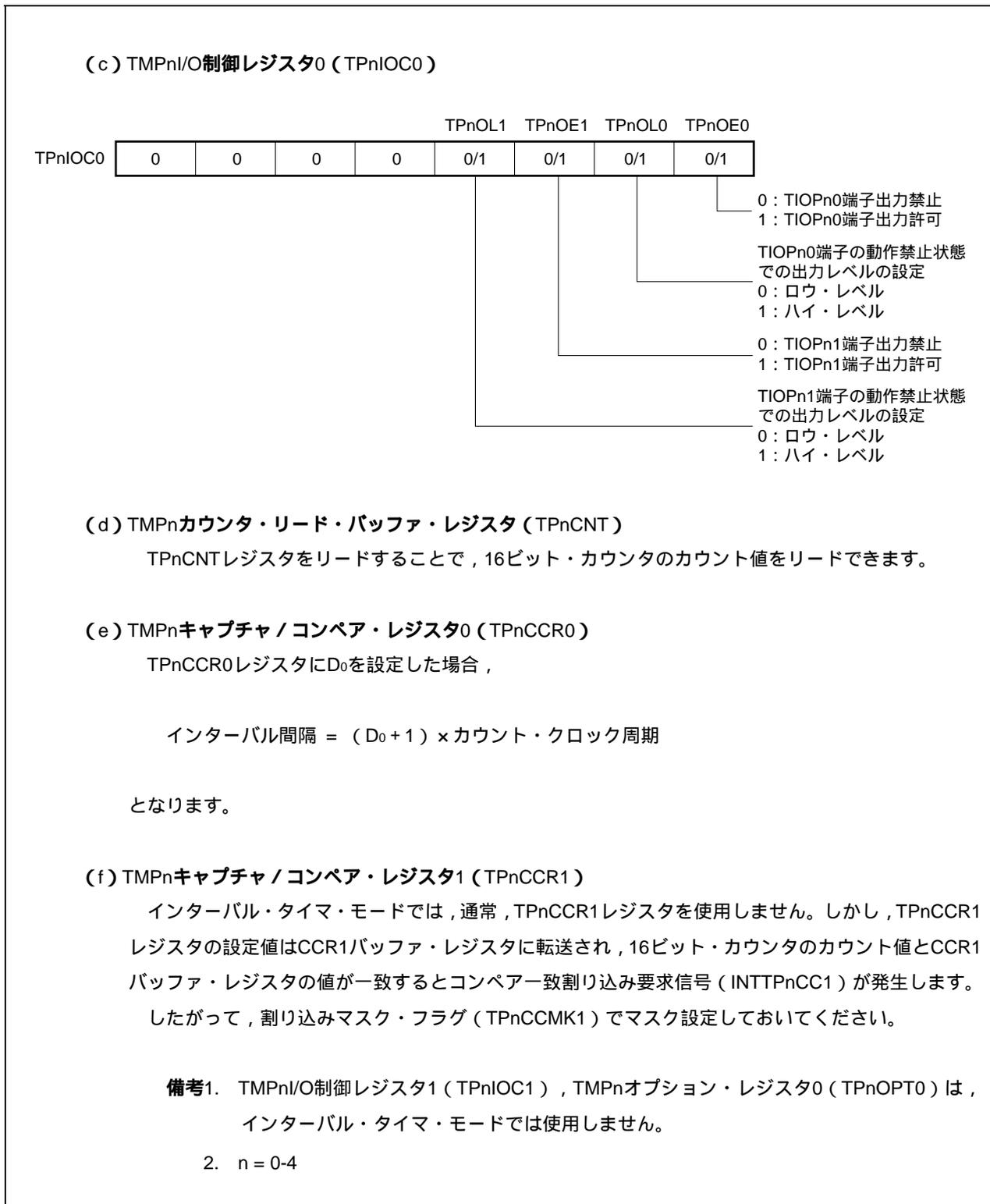
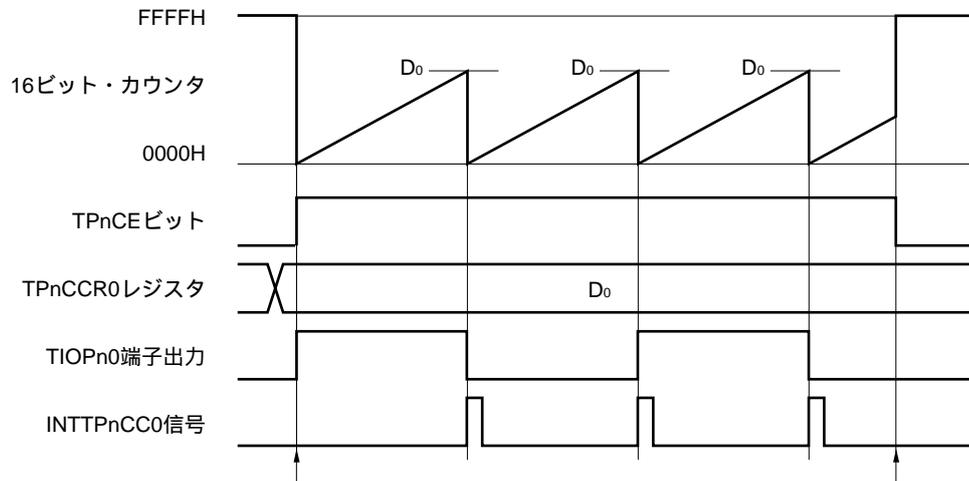


図6-7 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)



## (1) インターバル・タイマ・モード動作フロー

図6-8 インターバル・タイマ・モード使用時のソフトウェア処理フロー



## カウント動作開始フロー

START

レジスタ初期設定  
TPnCTL0レジスタ  
(TPnCKS0-TPnCKS2ビット),  
TPnCTL1レジスタ,  
TPnIOC0レジスタ,  
TPnCCR0レジスタ

TPnCEビット = 1にする前に,  
これらのレジスタを初期設定。

TPnCEビット = 1

カウント動作開始 (TPnCEビット = 1) と同時に,  
TPnCKS0-TPnCKS2ビットの設定は可能。

## カウント動作停止フロー

TPnCEビット = 0

カウント動作停止 (TPnCEビット = 0) にすることで,  
カウンタを初期化しカウント動作を停止。

STOP

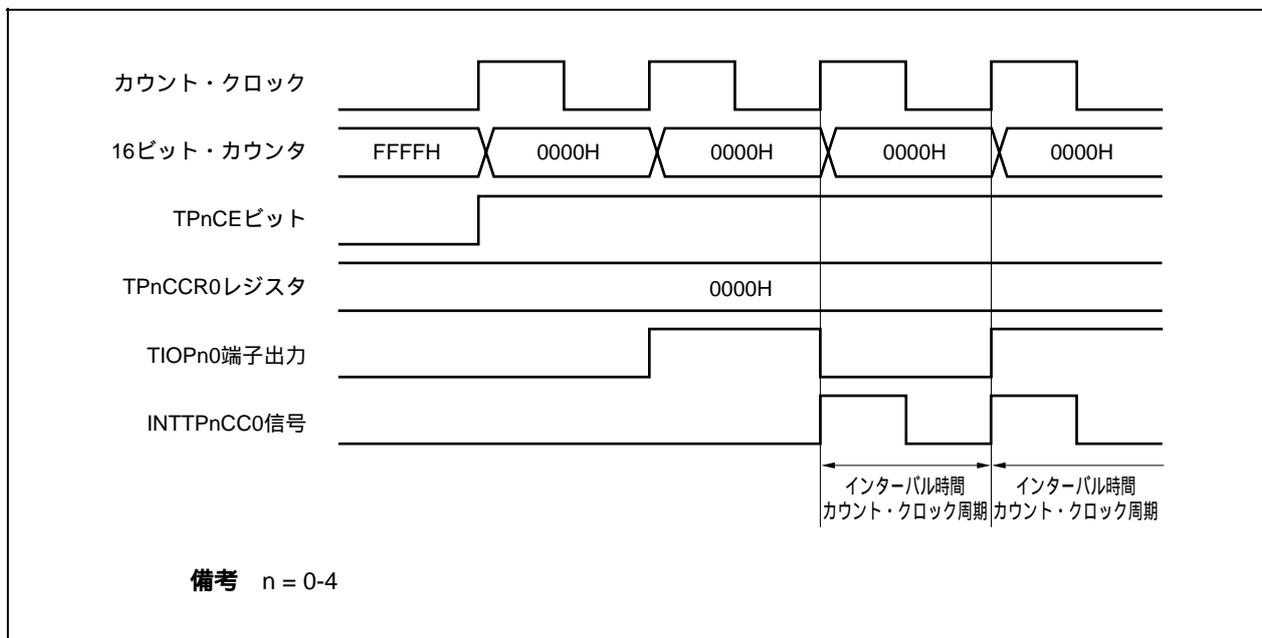
備考 n = 0-4

## (2) インターバル・タイマ・モード動作タイミング

## (a) TPnCCR0レジスタに0000Hを設定した場合の動作

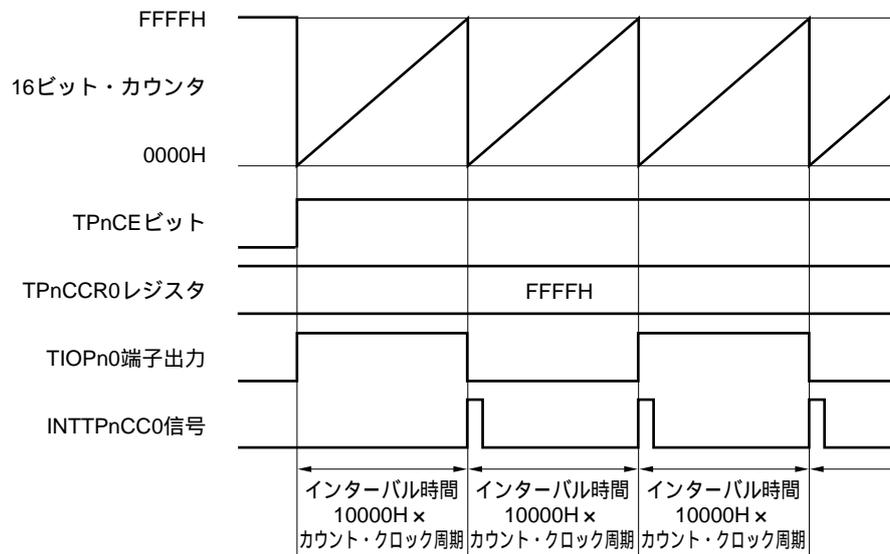
TPnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTPnCC0信号を発生し、TIOPn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



## (b) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生し、TIOPn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTPnOV) は発生せず、オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。

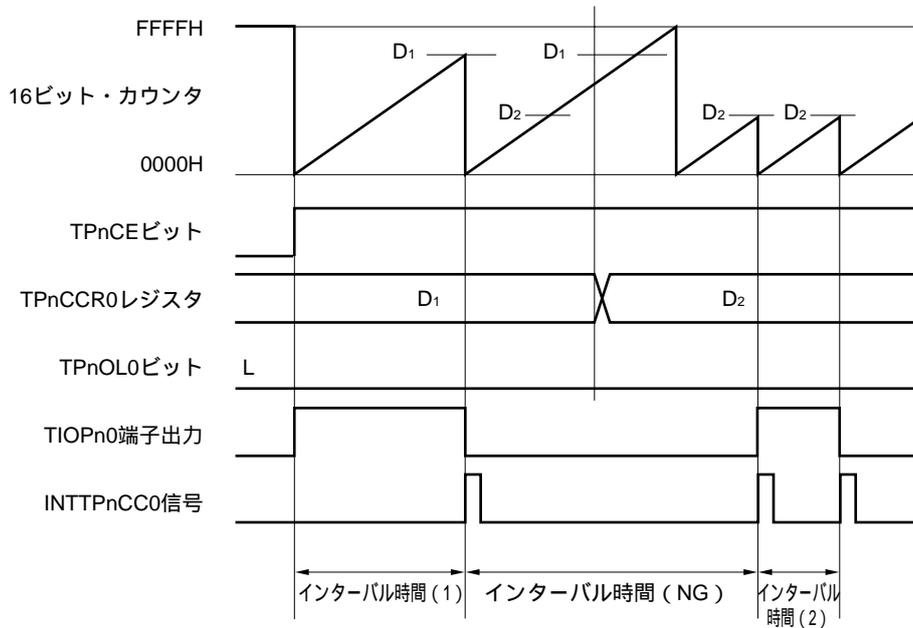


備考 n = 0-4

## (c) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考1. インターバル時間 (1) :  $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間 (NG) :  $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間 (2) :  $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2.  $n = 0-4$

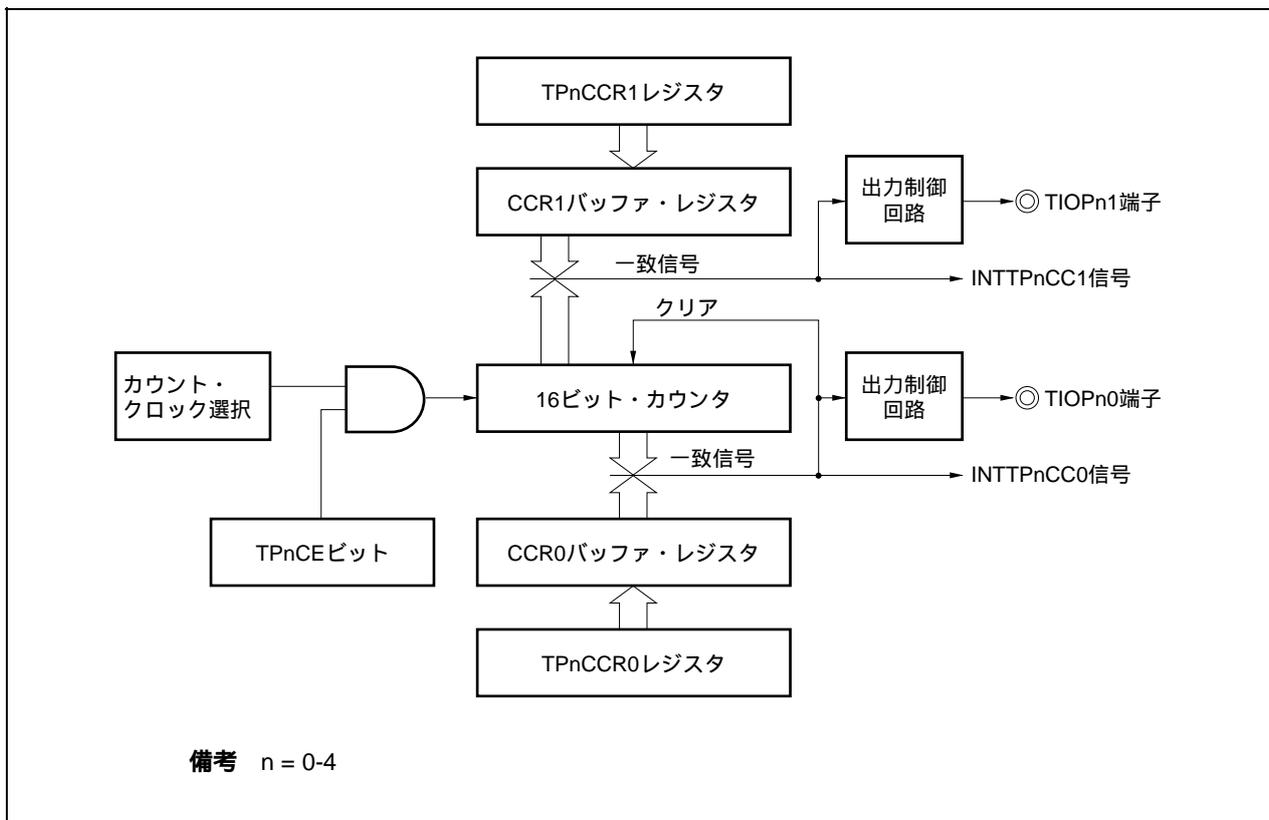
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TPnCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTPnCC0信号を発生しTIOPn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTPnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

## (d) TPnCCR1レジスタの動作

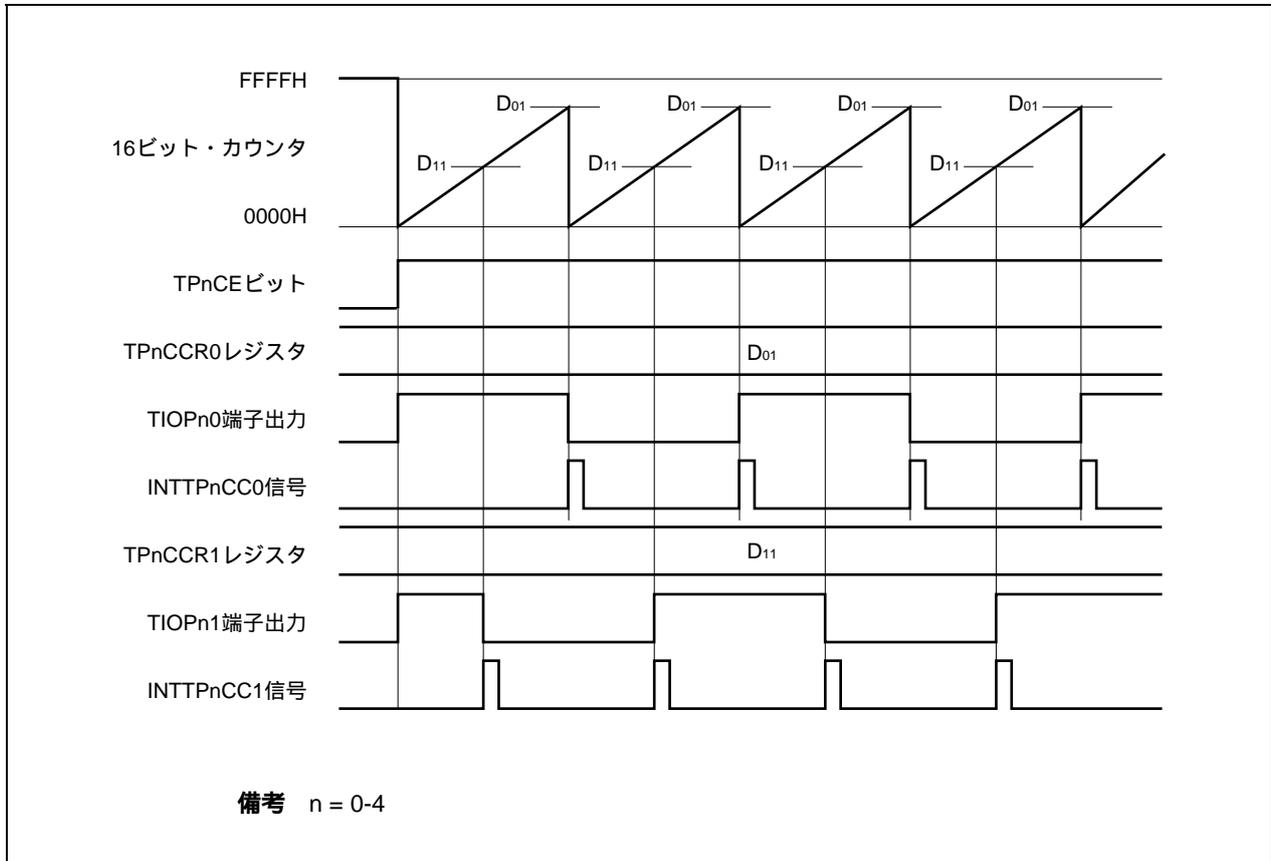
図6-9 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTIOPn1端子出力は反転します。

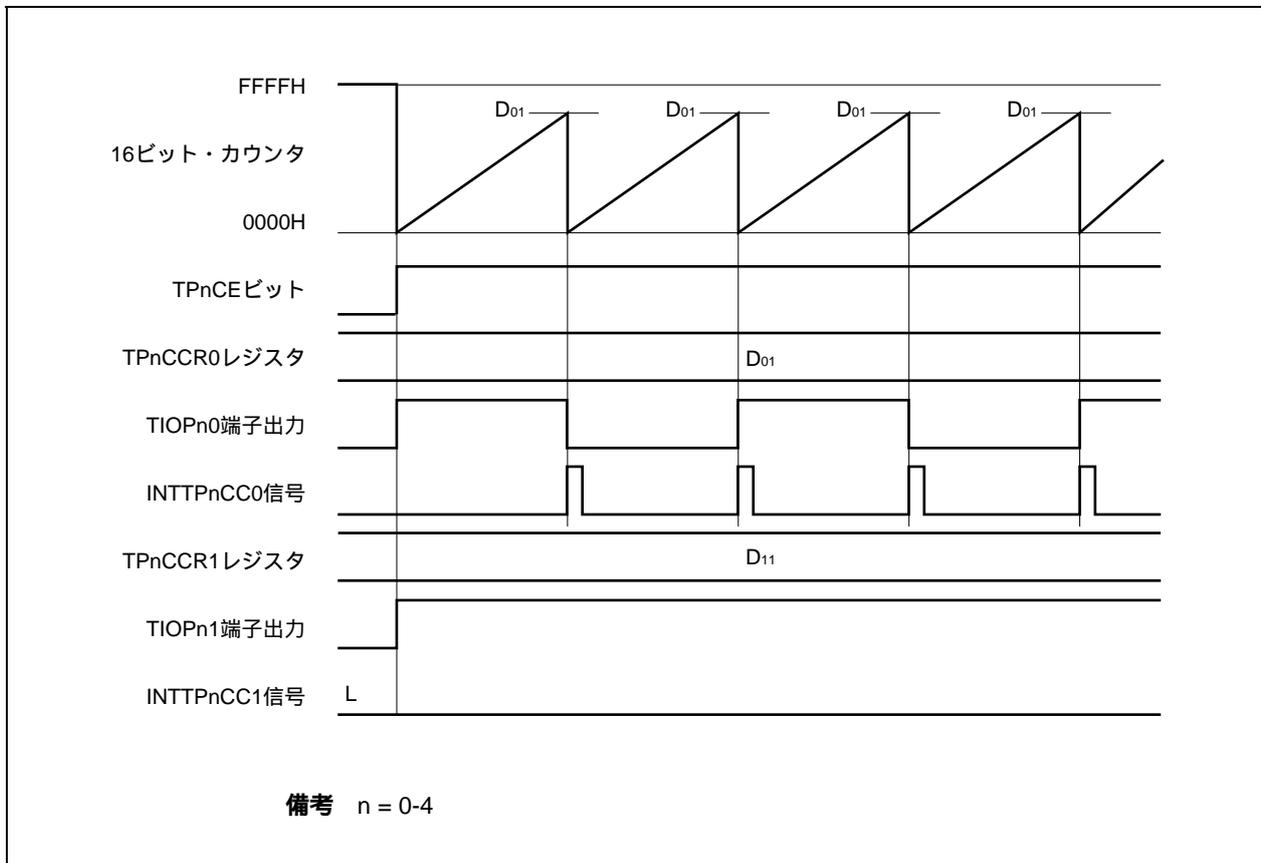
TIOPn1端子出力は、TIOPn0端子出力と同じ周期の方形波を出力します。

図6 - 10 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TIOPn1端子出力も変化しません。

図6 - 11 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 6.7.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTPnCC0)を発生します。TIOPn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。

図6-12 外部イベント・カウント・モードの構成図

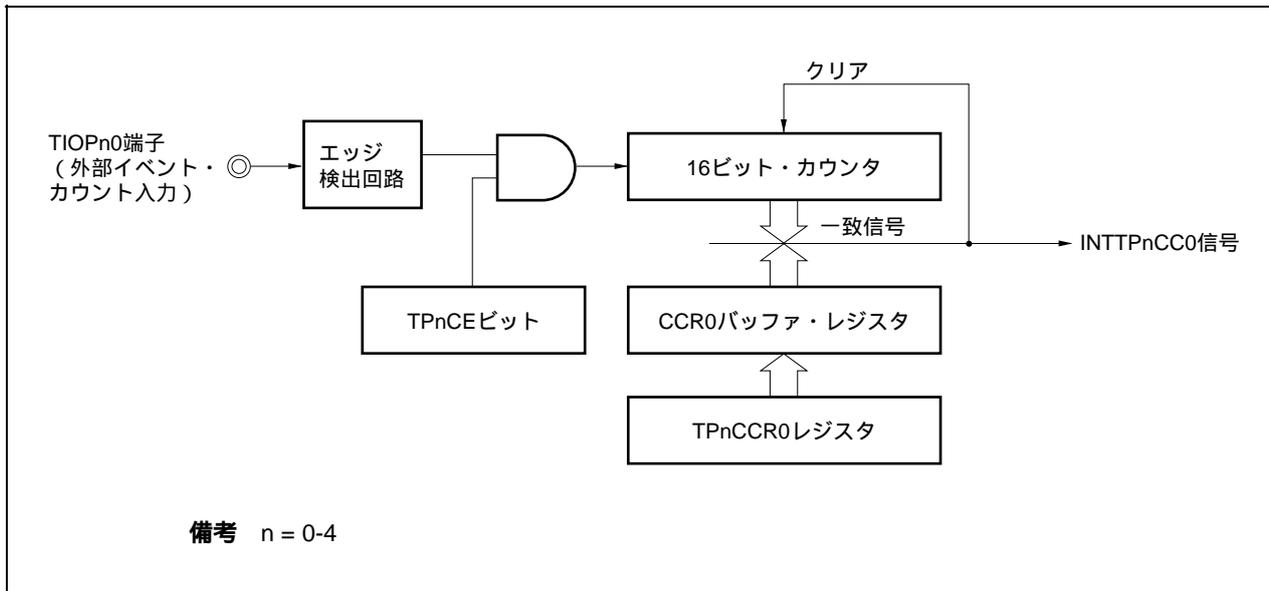
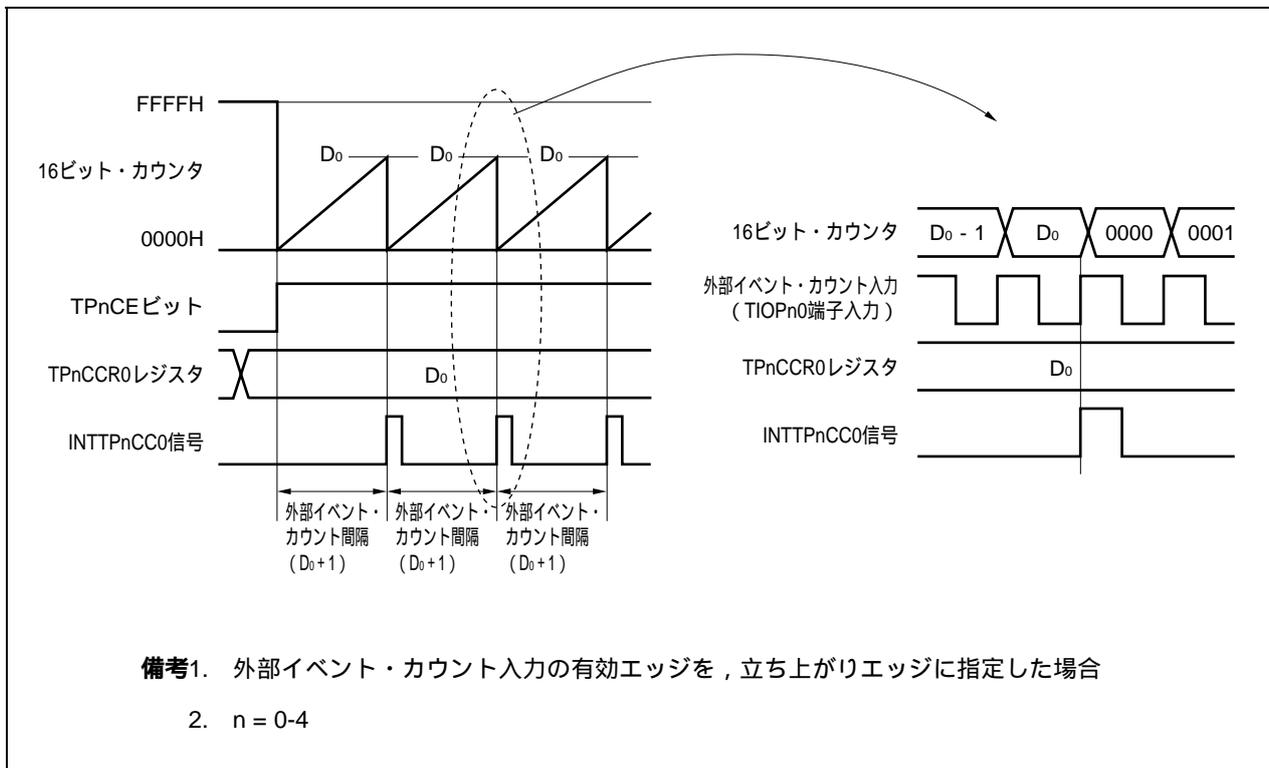


図6-13 外部イベント・カウント・モードの基本タイミング



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

INTTPnCC0信号は、外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値+1)回検出するごとに発生します。

図6-14 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

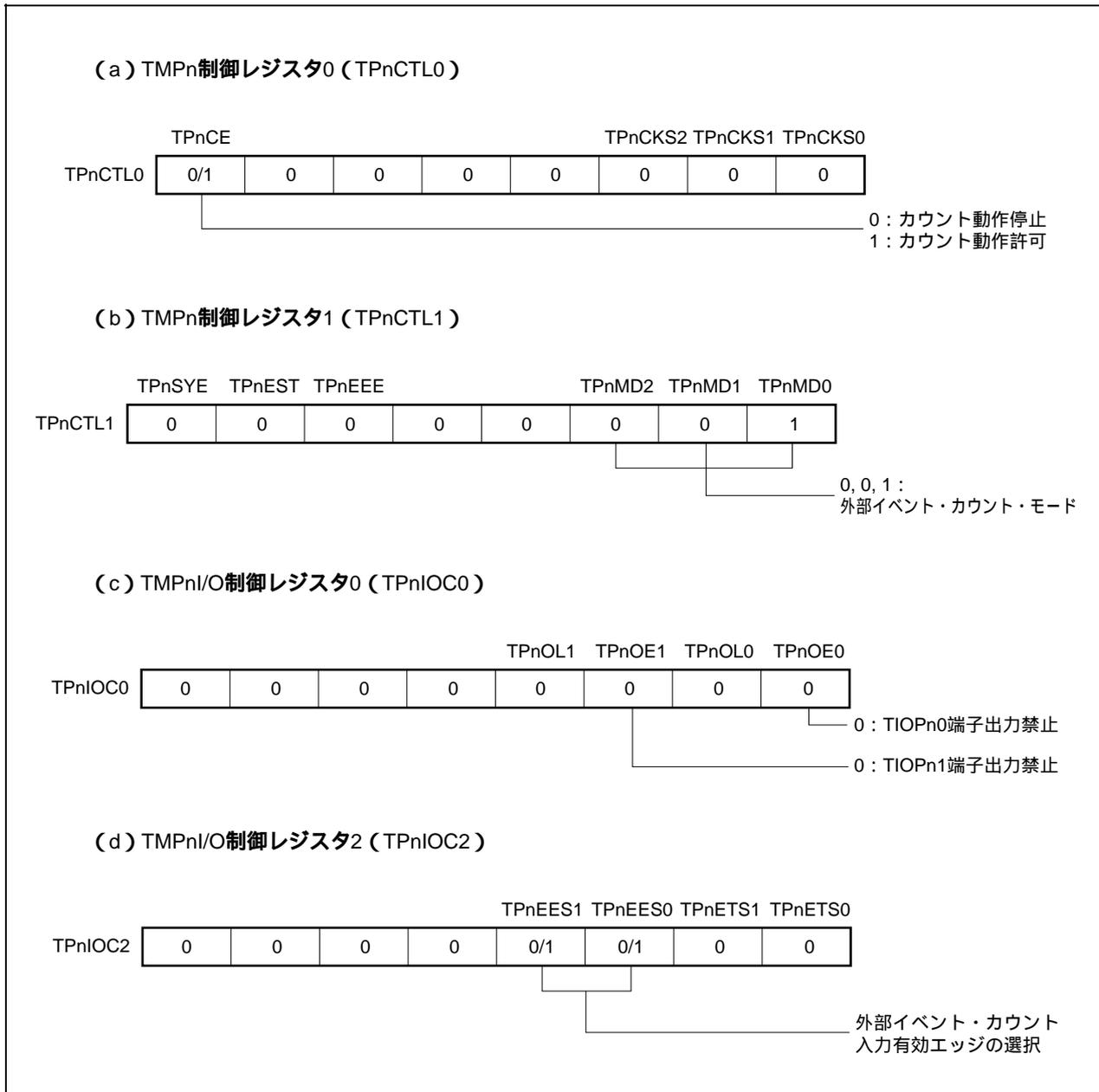


図6-14 外部イベント・カウント・モード動作時のレジスタ設定内容(2/2)

**(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)**

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

**(f) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)**

TPnCCR0レジスタにD<sub>0</sub>を設定した場合、外部イベント・カウント数が(D<sub>0</sub>+1)回となるとカウントをクリアしコンペア一致割り込み要求信号(INTTPnCC0)を発生します。

**(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)**

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTPnCC1)が発生します。したがって、割り込みマスク・フラグ(TPnCCMK1)でマスク設定しておいてください。

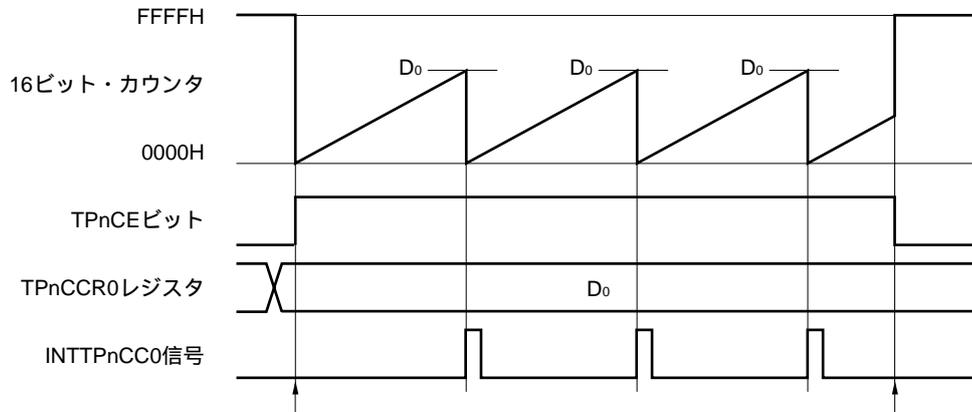
**注意** カウント・クロックとして外部クロックを使用するときは、外部クロックはTIOPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (TIOPn0端子) : エッジ検出なし) に設定してください。

**備考1.** TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

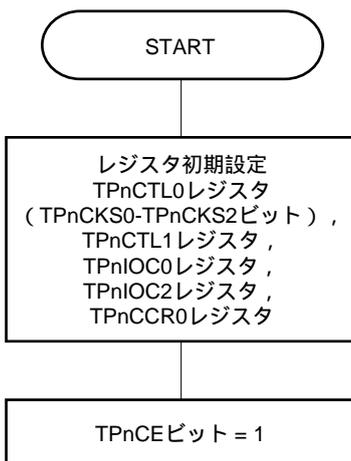
2. n = 0-4

## (1) 外部イベント・カウント・モード動作フロー

図6-15 外部イベント・カウント・モード使用時のソフトウェア処理フロー



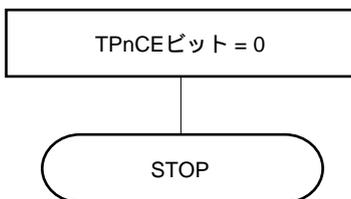
## カウント動作開始フロー



TPnCEビット = 1にする前に、  
これらのレジスタを初期設定。

カウント動作開始 (TPnCEビット = 1) と同時に、  
TPnCKS0-TPnCKS2ビットの設定は可能。

## カウント動作停止フロー



カウント動作停止 (TPnCEビット = 0) にすることで、  
カウンタを初期化しカウント動作を停止。

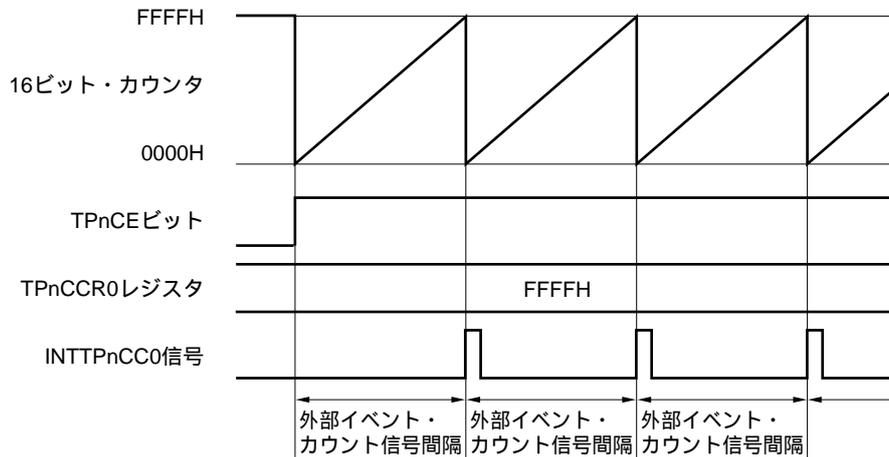
備考 n = 0-4

## (2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時、TPnCCR0レジスタには、0000Hを設定しないでください。
2. 外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でのタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください(TPnCTL1.TPnMD2-TPnMD0ビット = 000, TPnCTL1.TPnEEEビット = 1)。

## (a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生します。このとき、TPnOPT0.TPnOVFビットはセットされません。

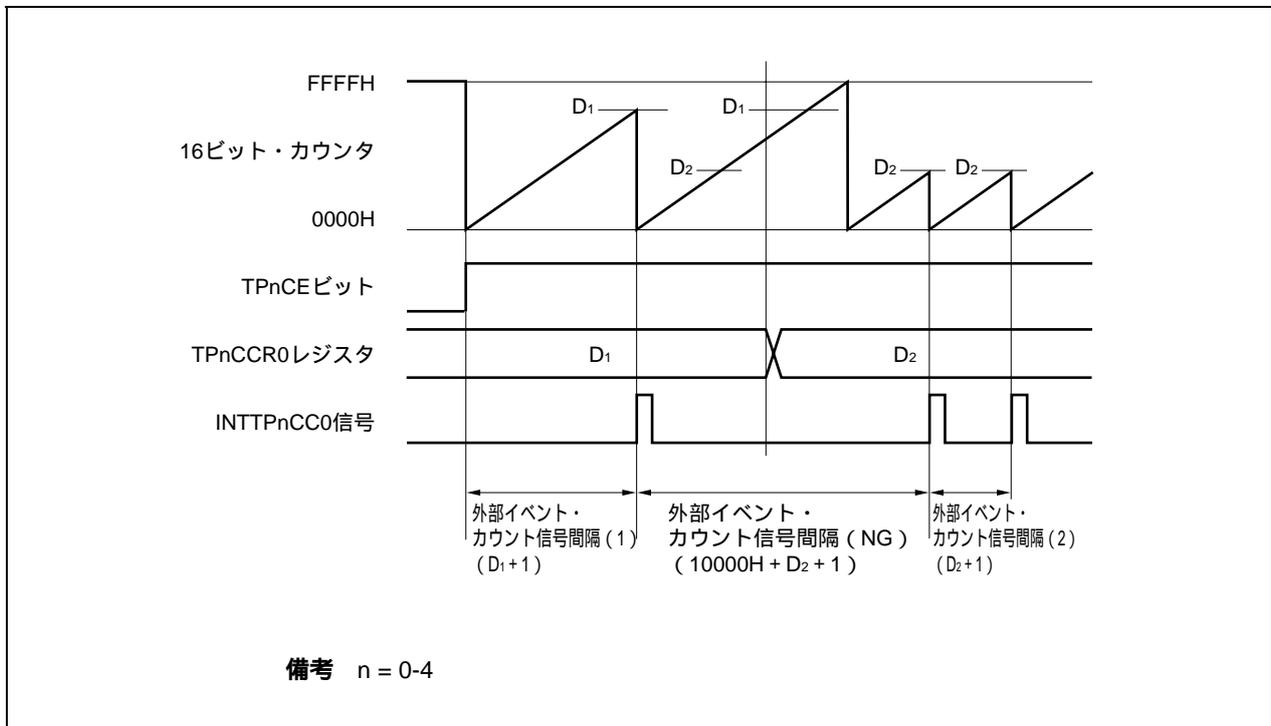


備考 n = 0-4

## (b) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



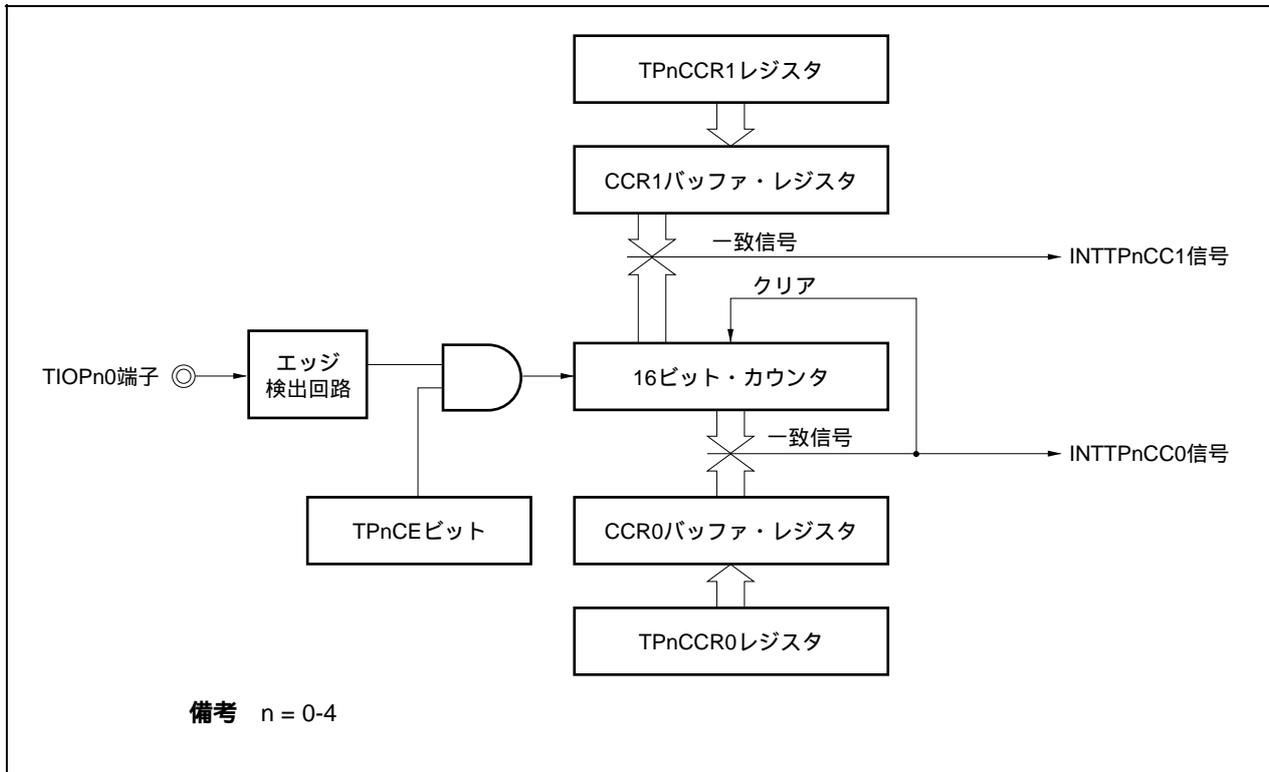
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TPnCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTPnCC0信号を発生します。

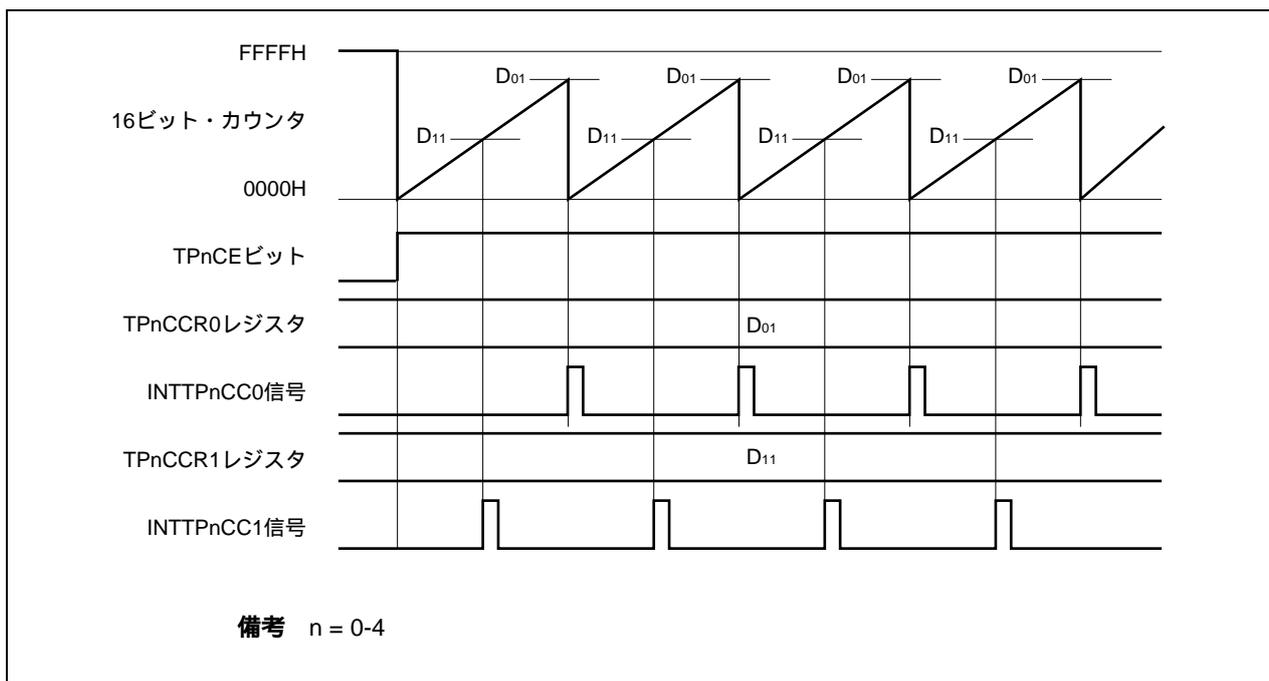
したがって、本来期待している外部イベント・カウント数である「 $(D_1+1)$ 回」または「 $(D_2+1)$ 回」の有効エッジ数でINTTPnCC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

## (c) TPnCCR1レジスタの動作

図6 - 16 TPnCCR1レジスタの構成図

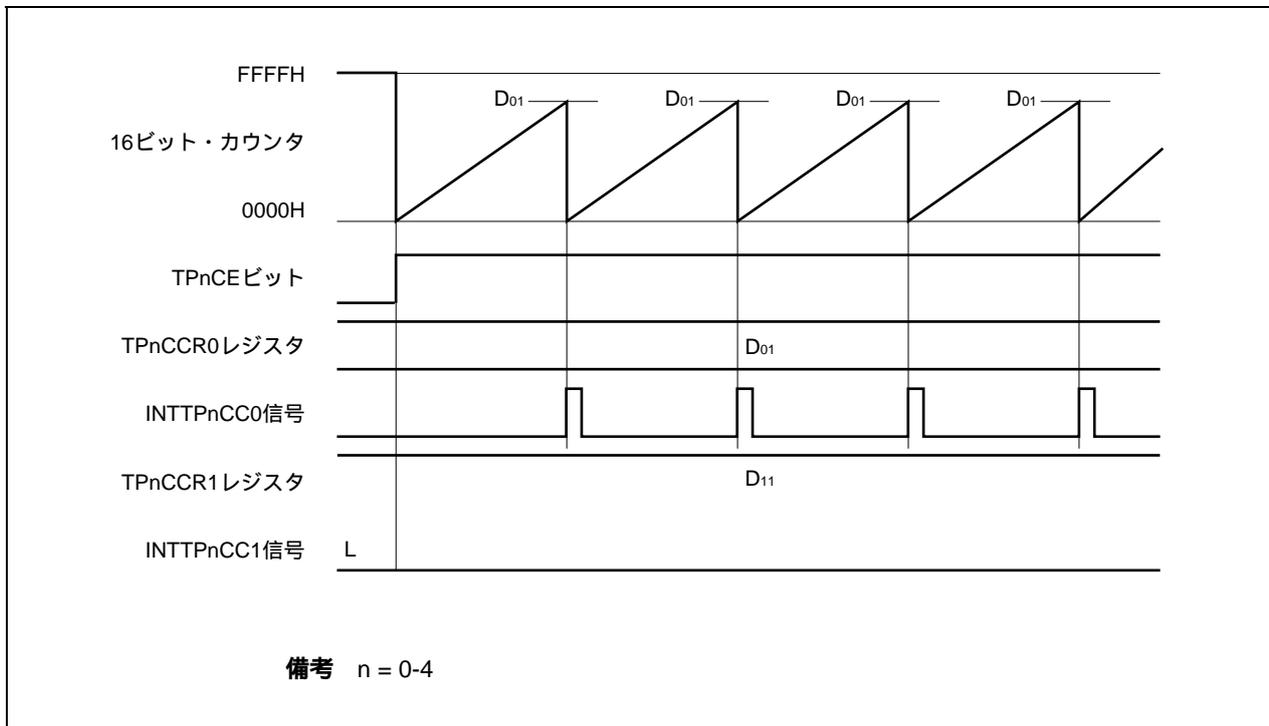


TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。

図6 - 17 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。

図6 - 18 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 6.7.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TIOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TIOPn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図6-19 外部トリガ・パルス出力モードの構成図

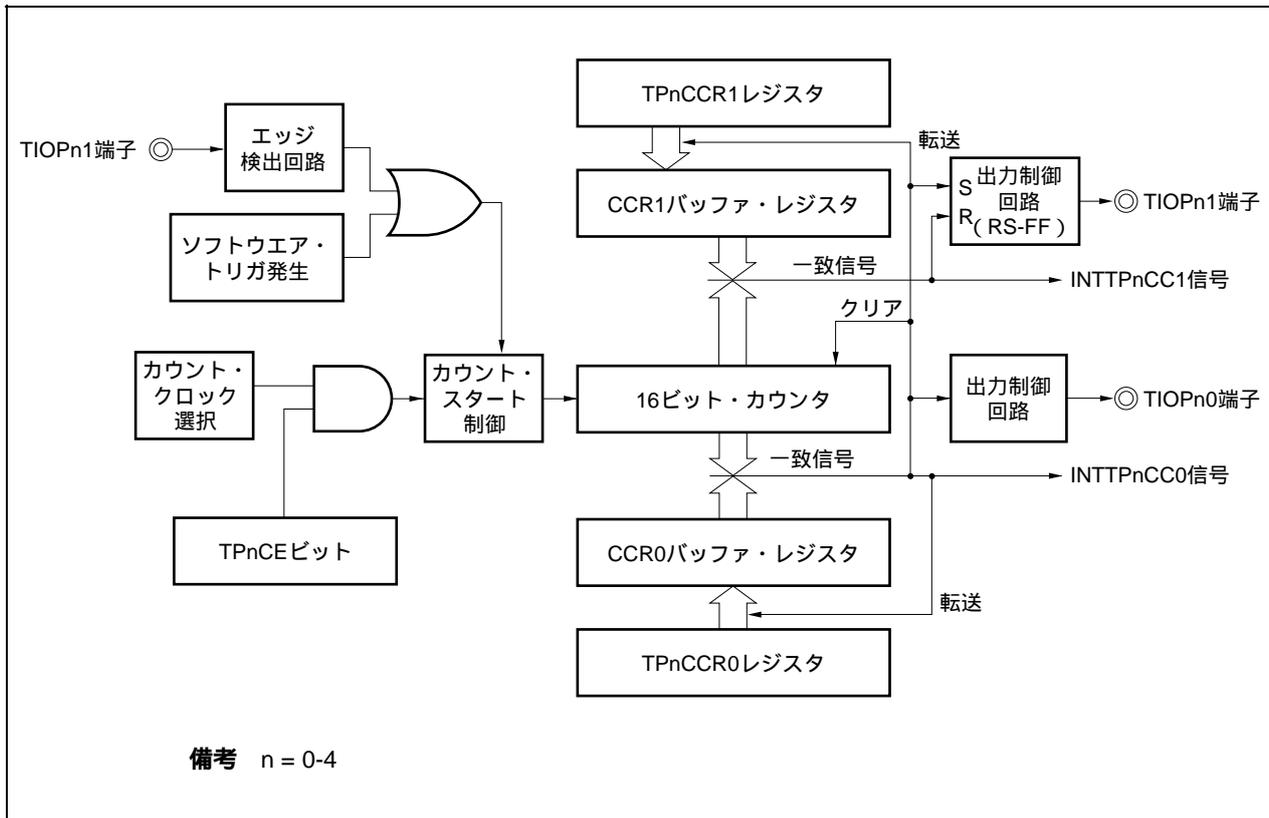
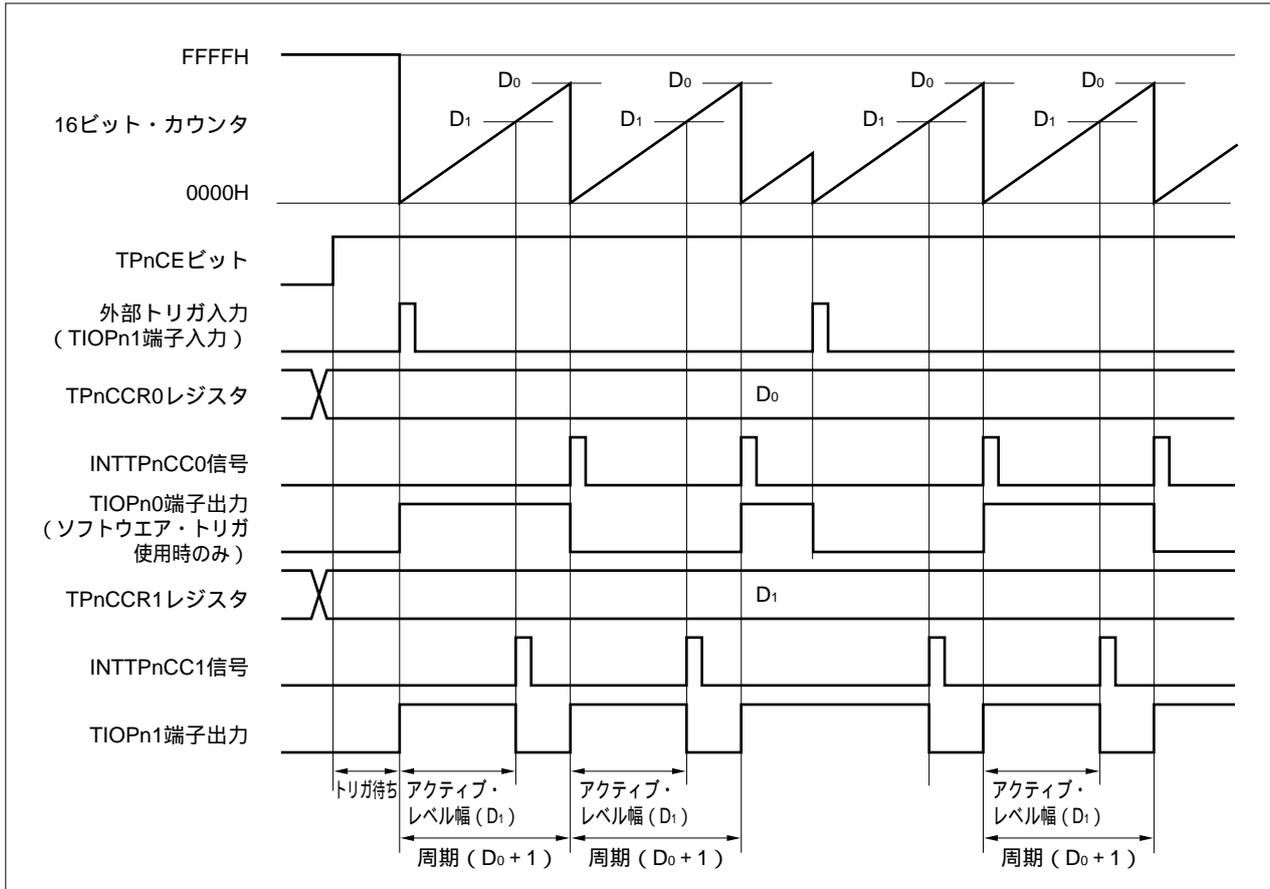


図6-20 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット（1）することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TIOPn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします（TIOPn0端子出力は反転します。TIOPn1端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります）。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号（INTTPnCC0）は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号（INTTPnCC1）は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ（TPnCTL1.TPnESTビット）のセット（1）があります。

備考 n = 0-4, m = 0, 1

図6 - 21 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

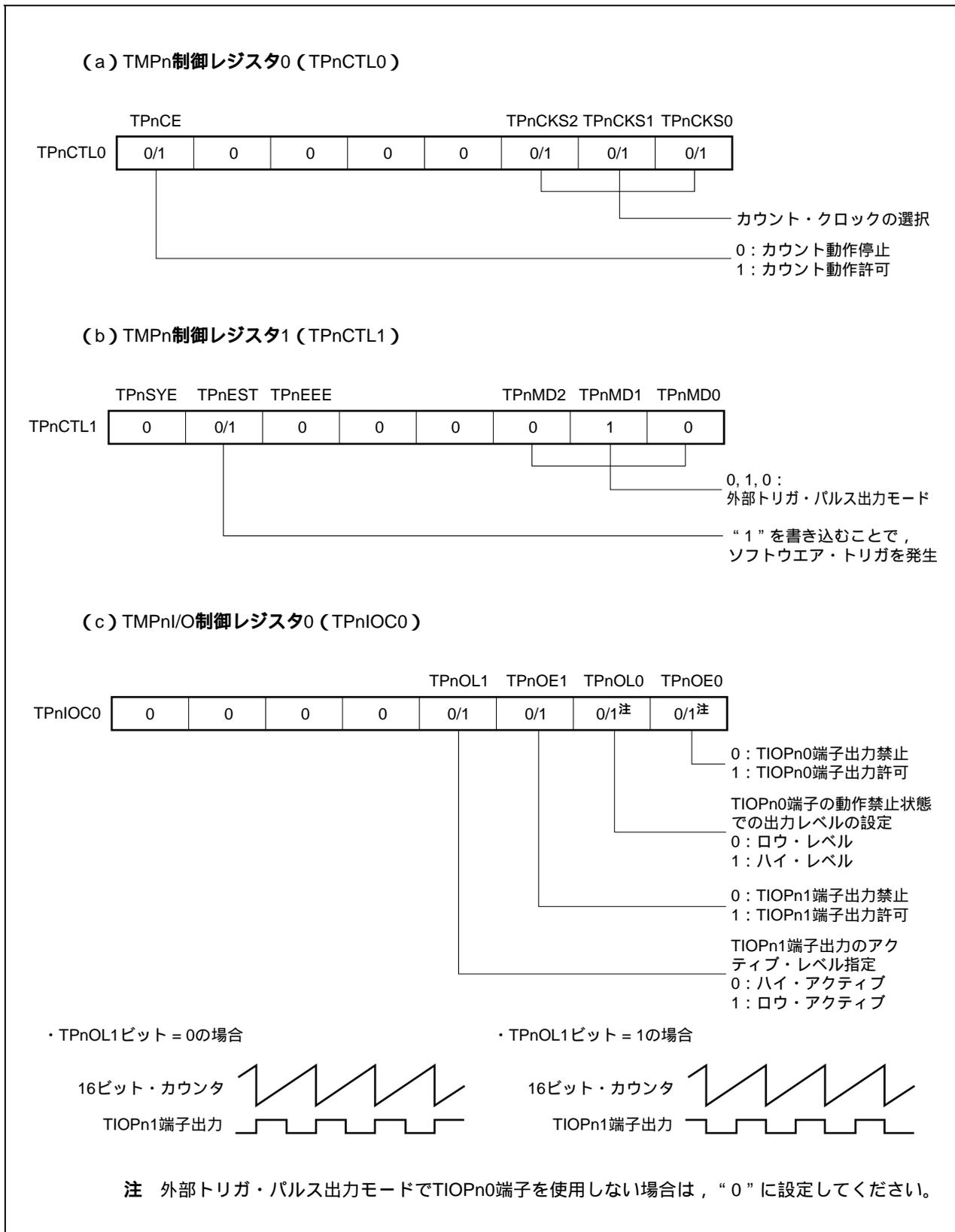
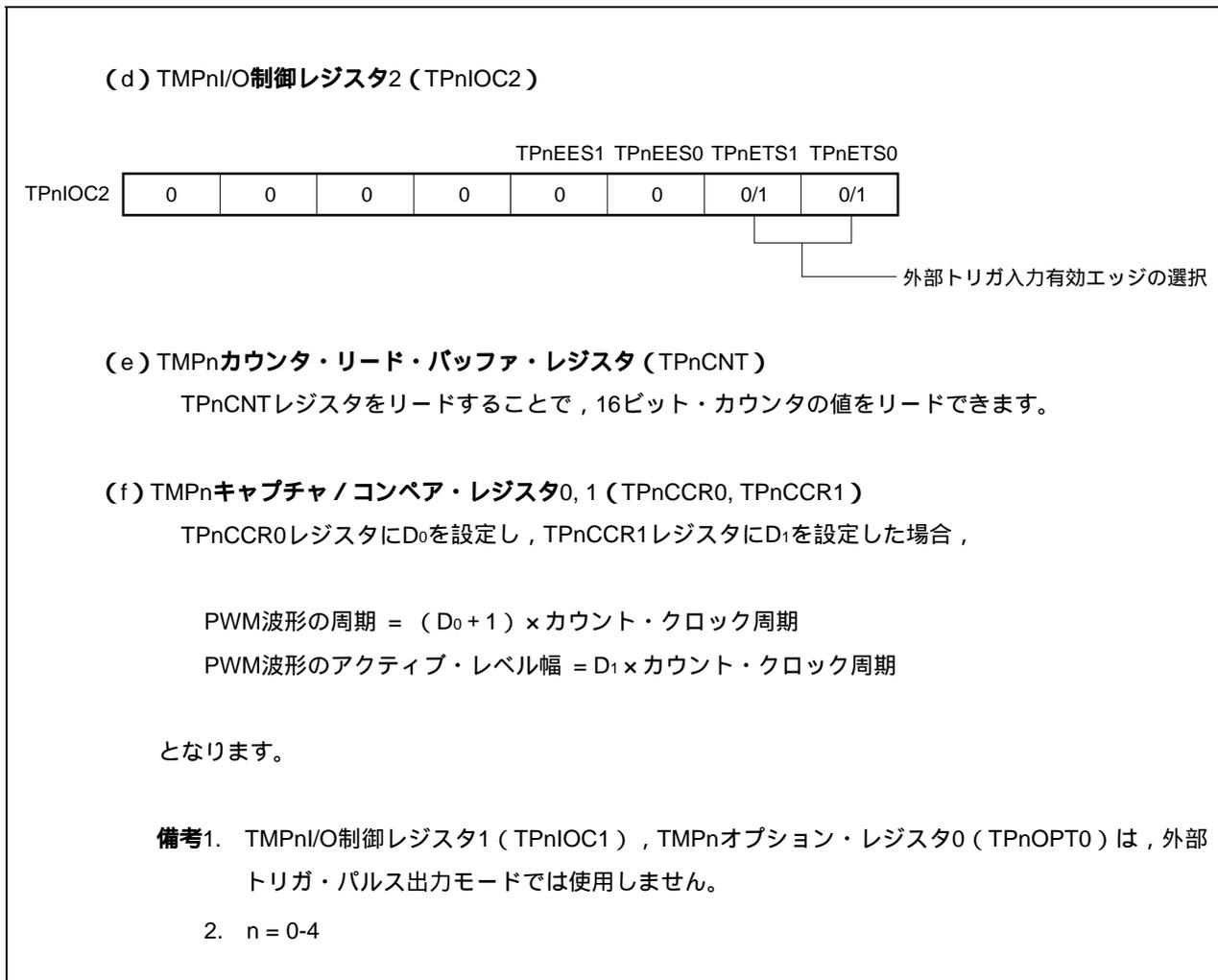


図6-21 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



## (1) 外部トリガ・パルス出力モード動作フロー

図6-22 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

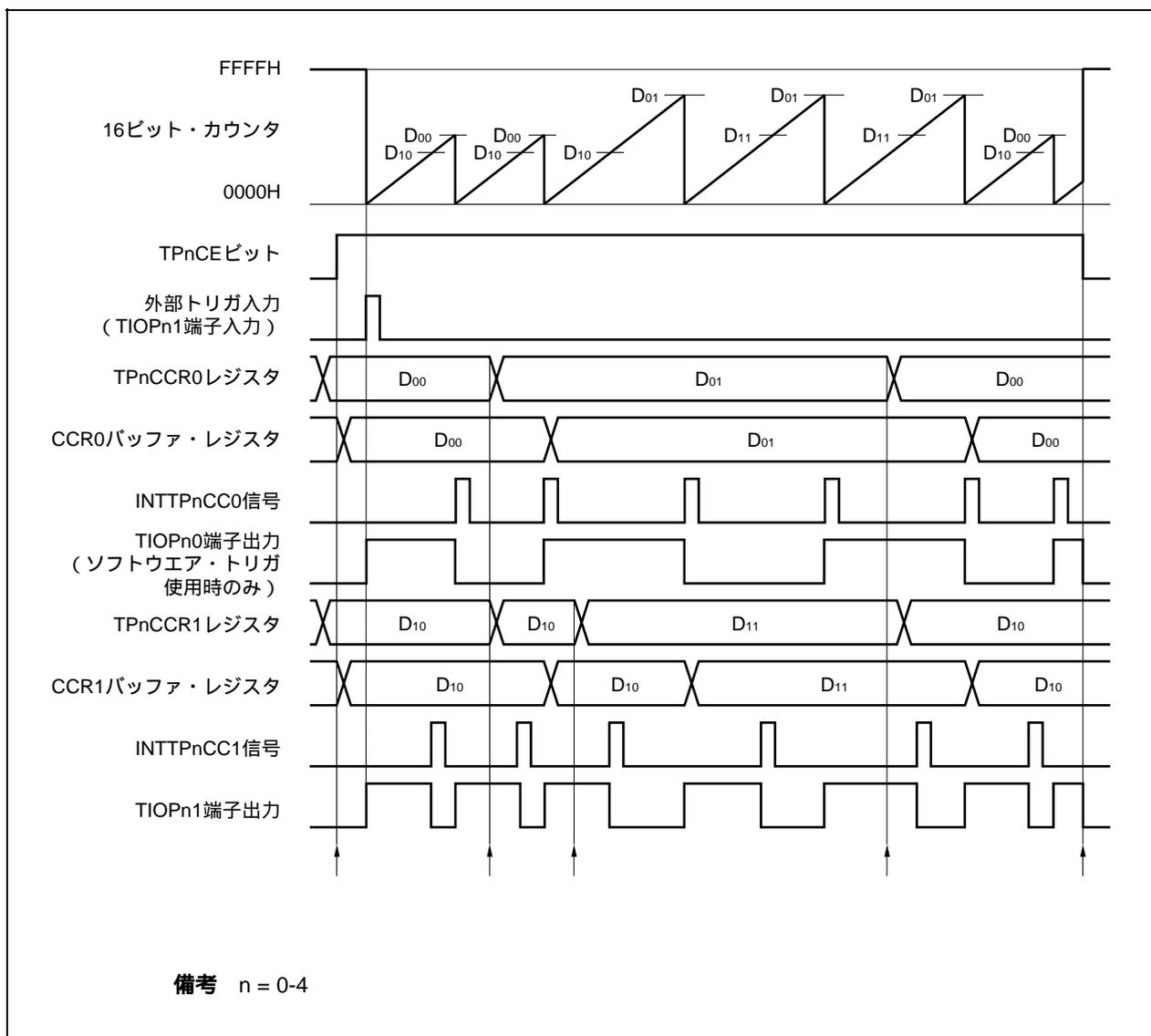
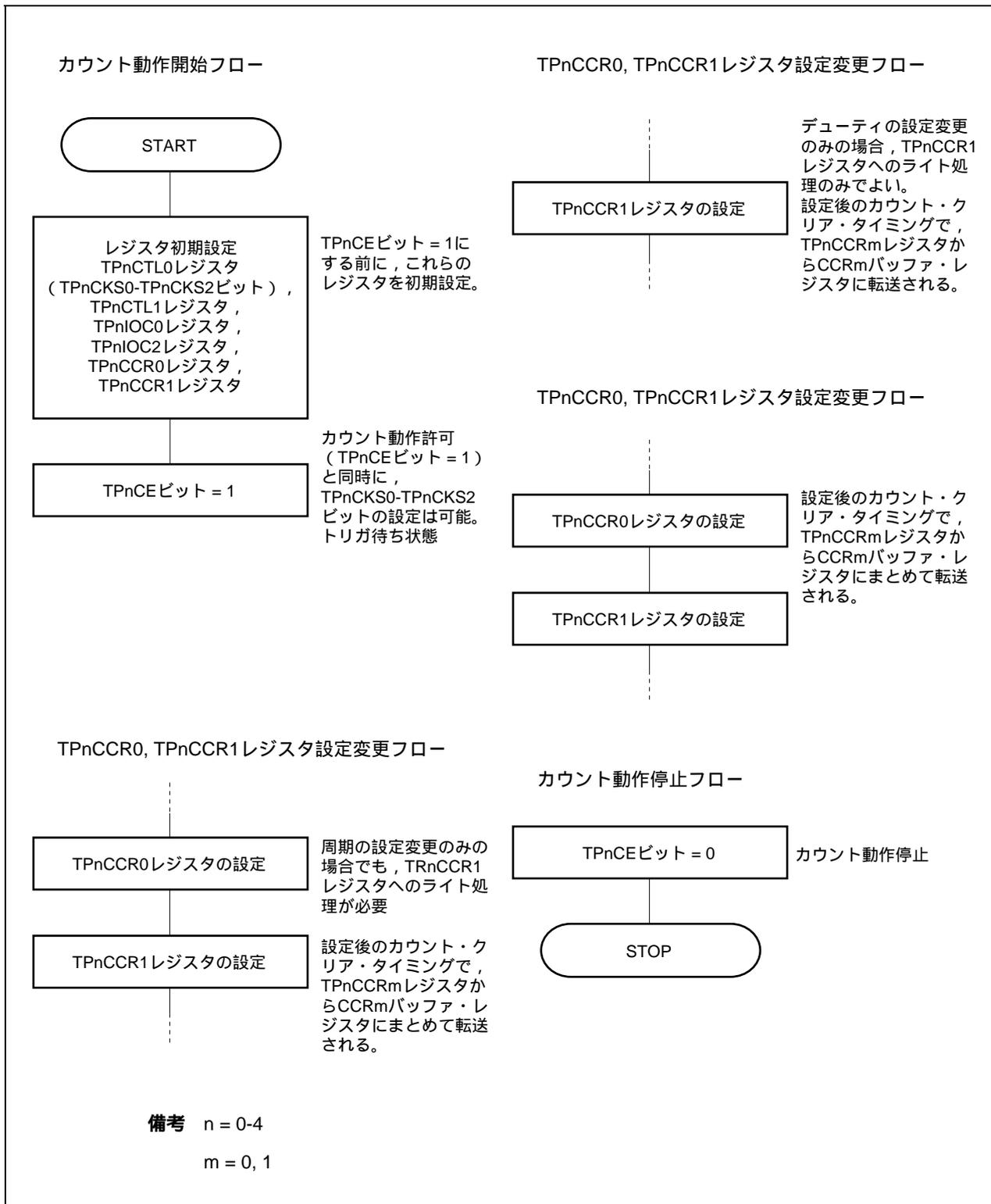


図6-22 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

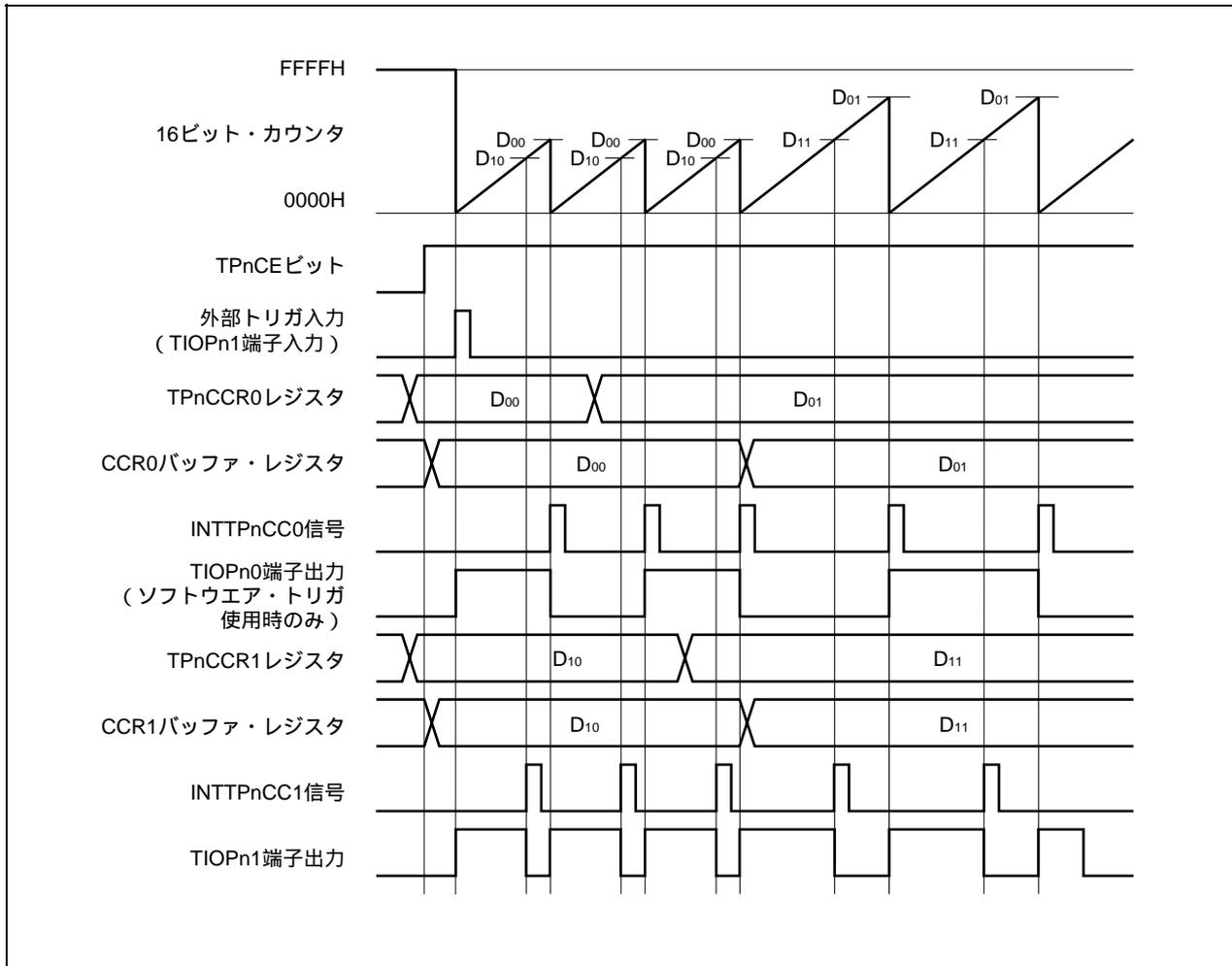


## (2) 外部トリガ・パルス出力モード動作タイミング

## (a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

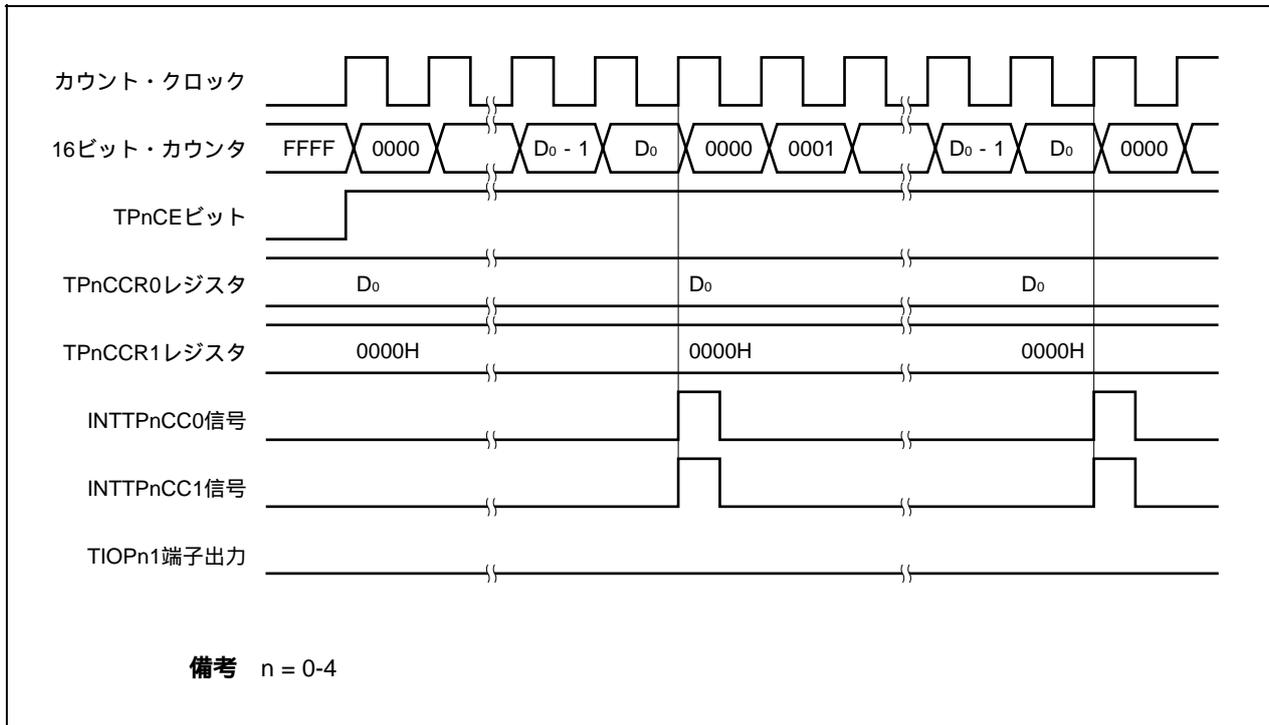
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

**備考** n = 0-4

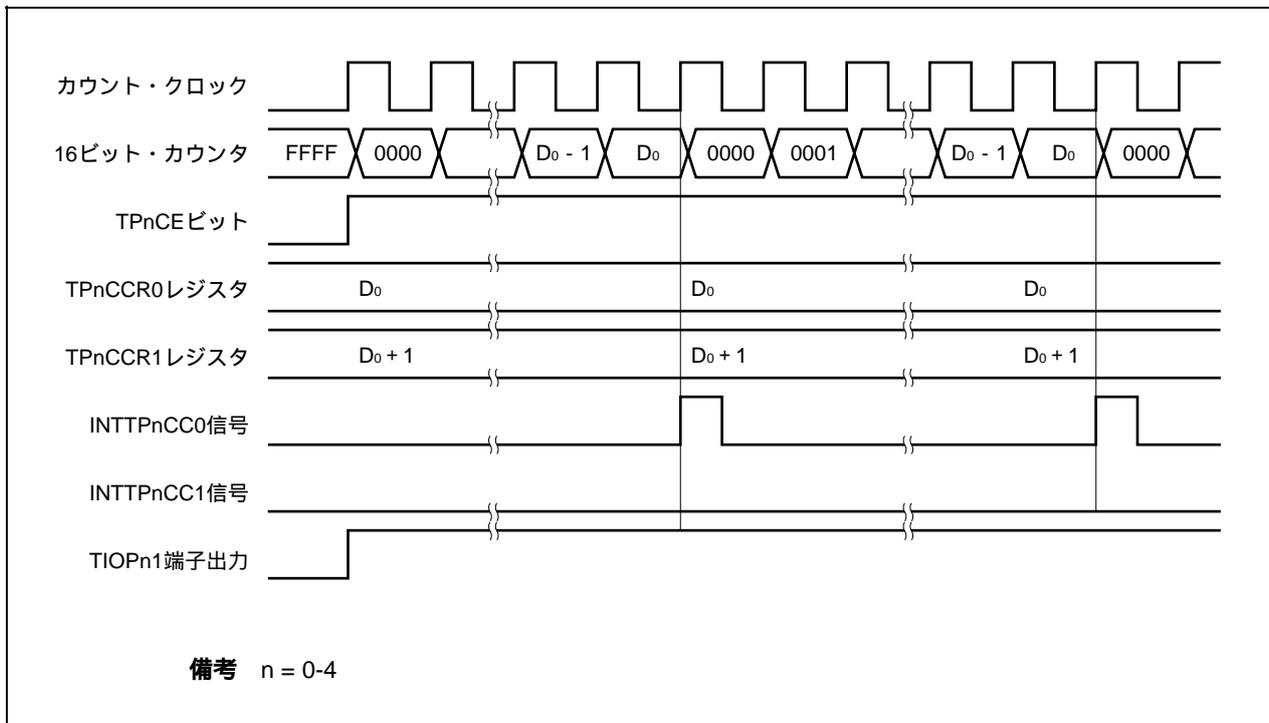
m = 0, 1

## (b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。ただし、TPnCCR0レジスタの設定値がFFFFHの場合には、INTTPnCC1信号が定期的が発生します。

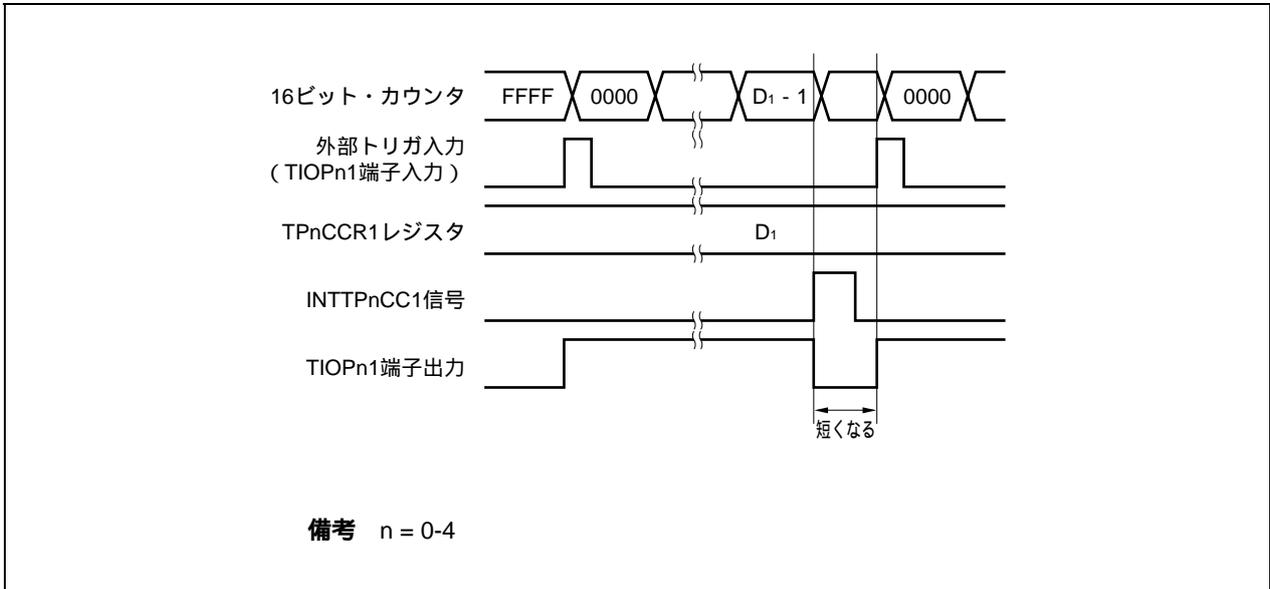


100 % 波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。

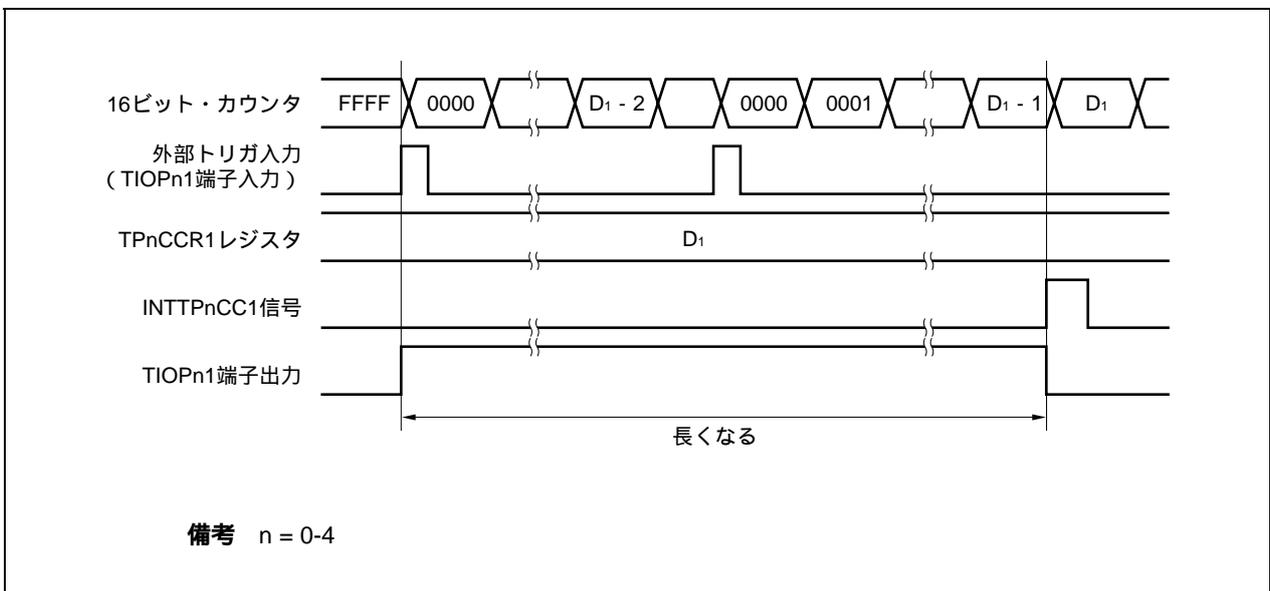


## (c) トリガ検出とTPnCCR1レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TIOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

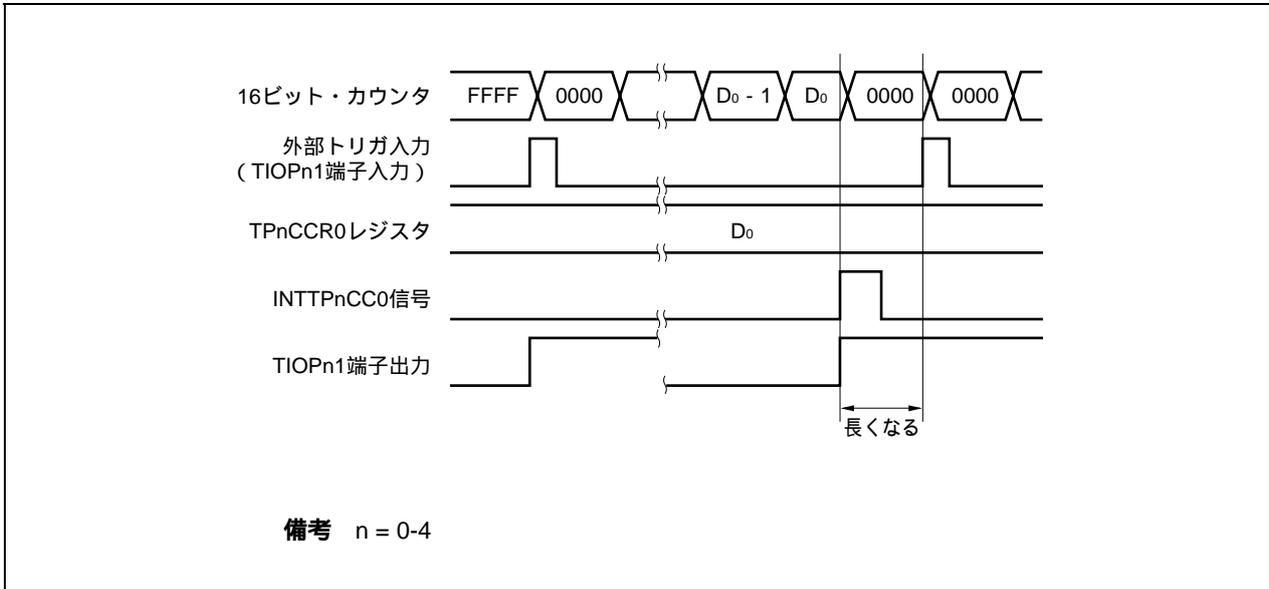


INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TIOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

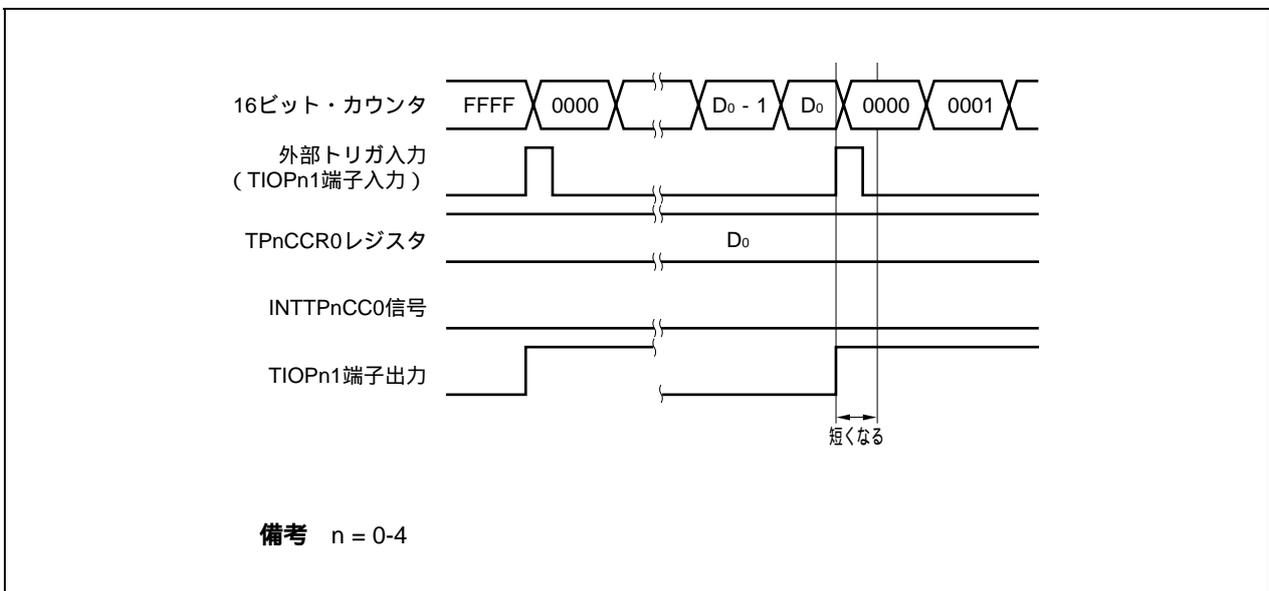


## (d) トリガ検出とTPnCCR0レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TIOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。

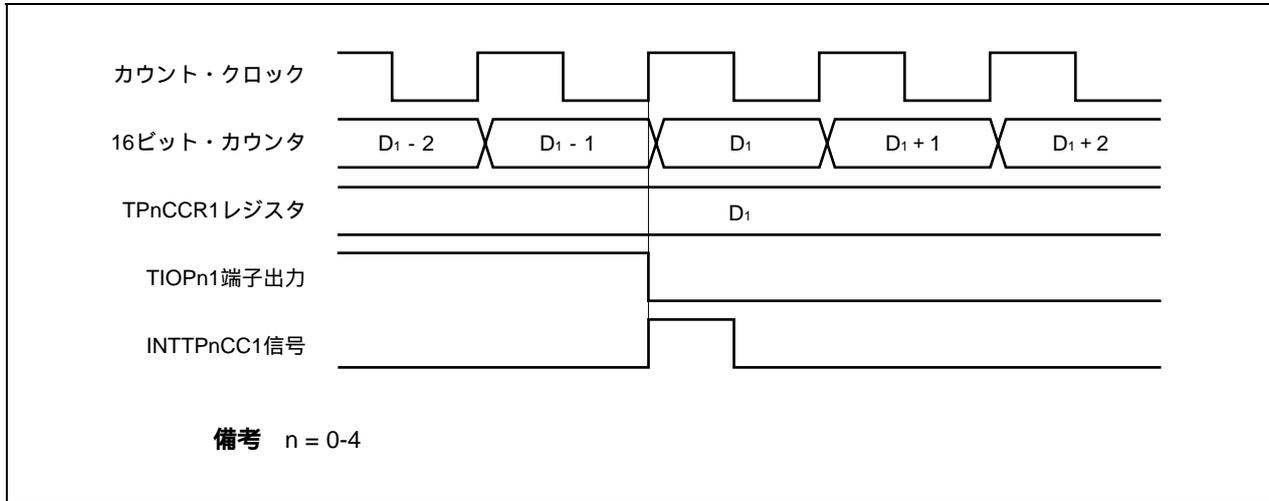


INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TIOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



## (e) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TIOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 6.7.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TIOPn1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TIOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図6-23 ワンショット・パルス出力モードの構成図

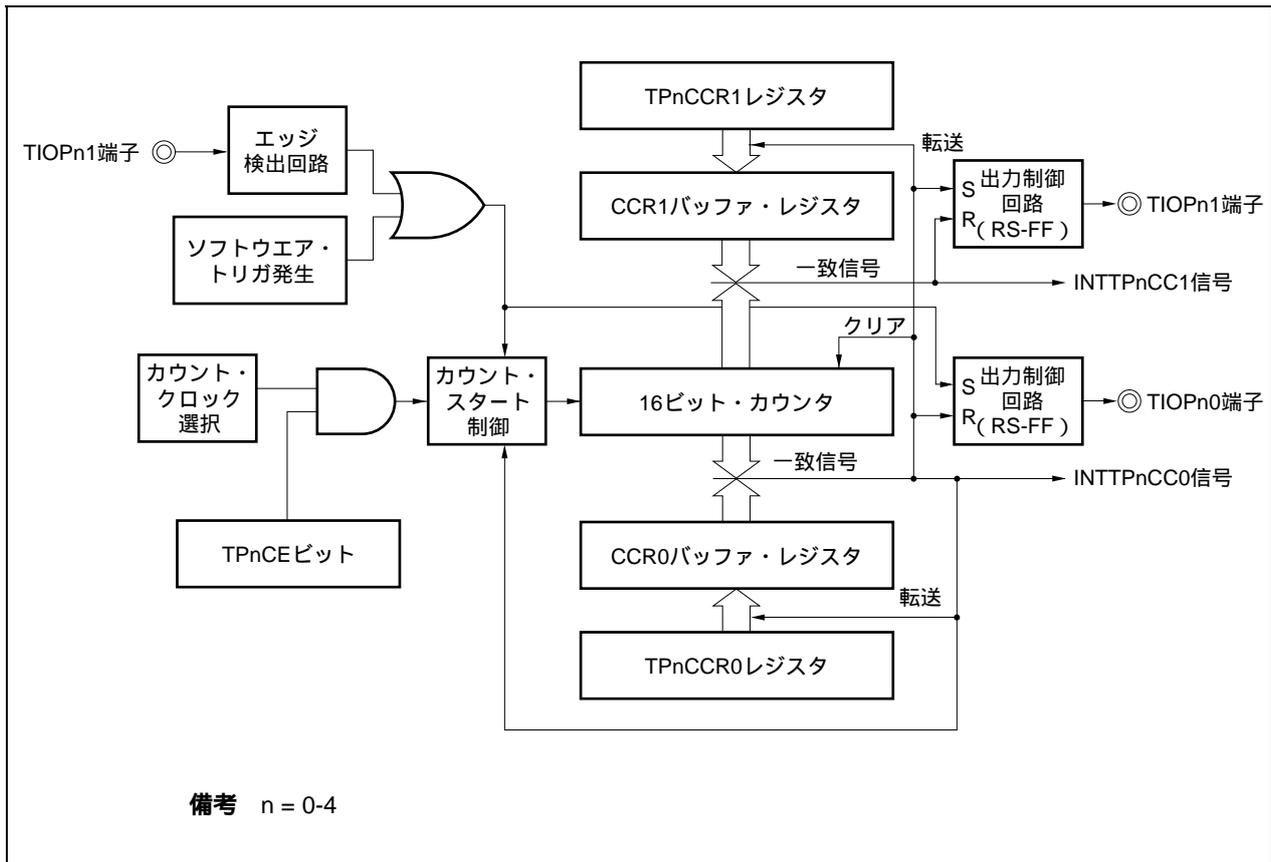
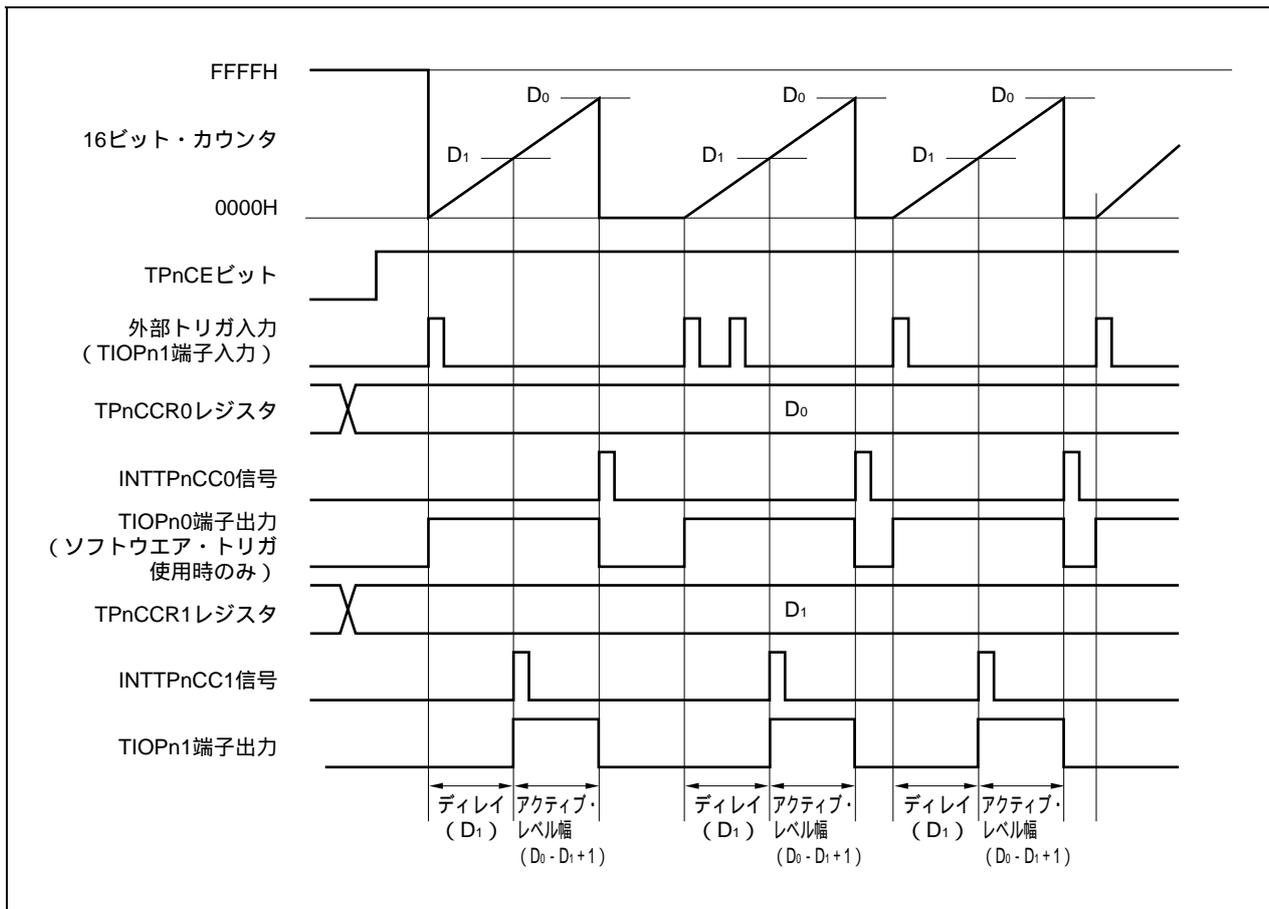


図6 - 24 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TIOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタをFFFFHにしてカウンタ動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TPnCCR1レジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TPnCCR0レジスタの設定値 - TPnCCR1レジスタの設定値 + 1)  
× カウント・クロック周期

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット(1)があります。

備考 n = 0-4,  
m = 0, 1

図6 - 25 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

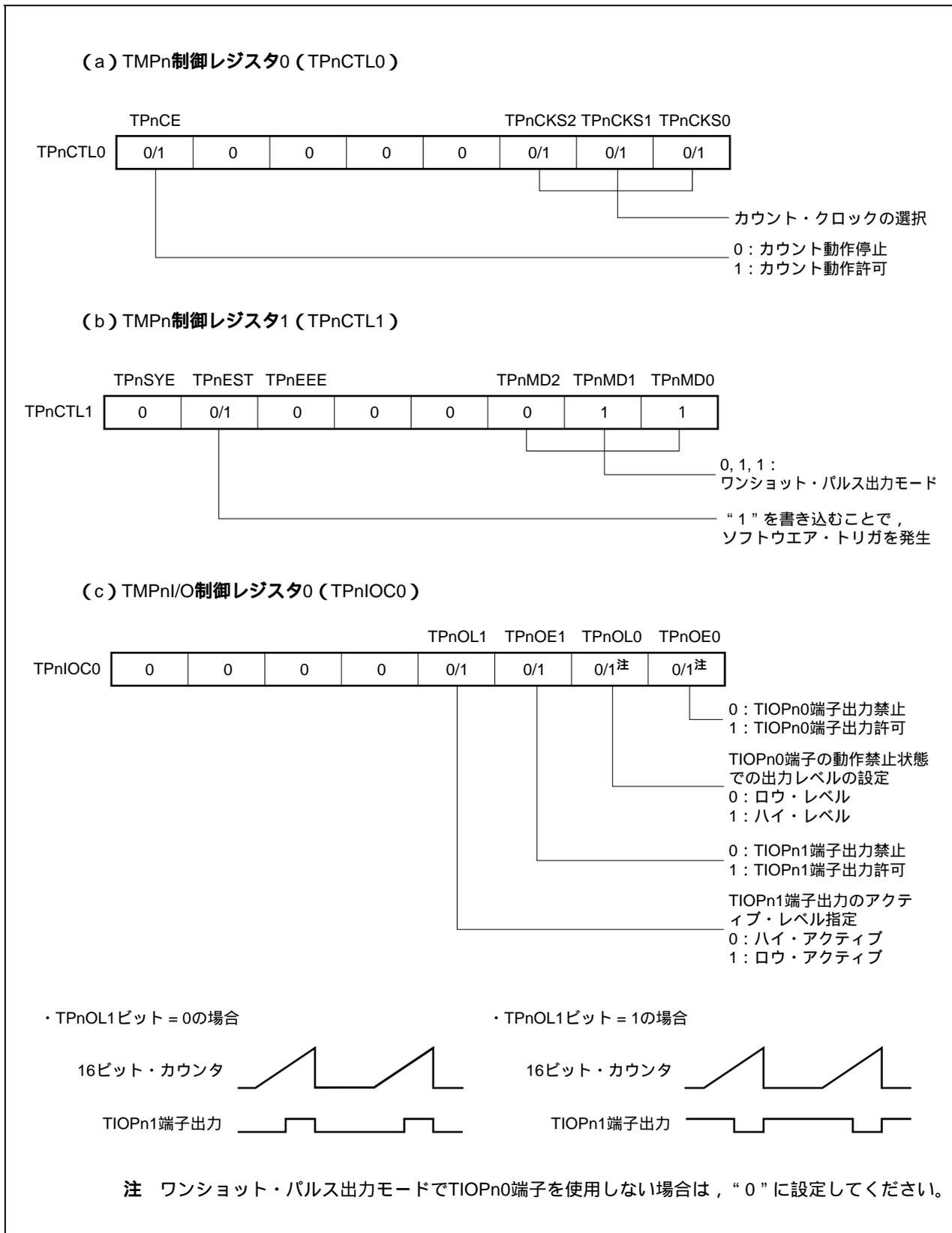
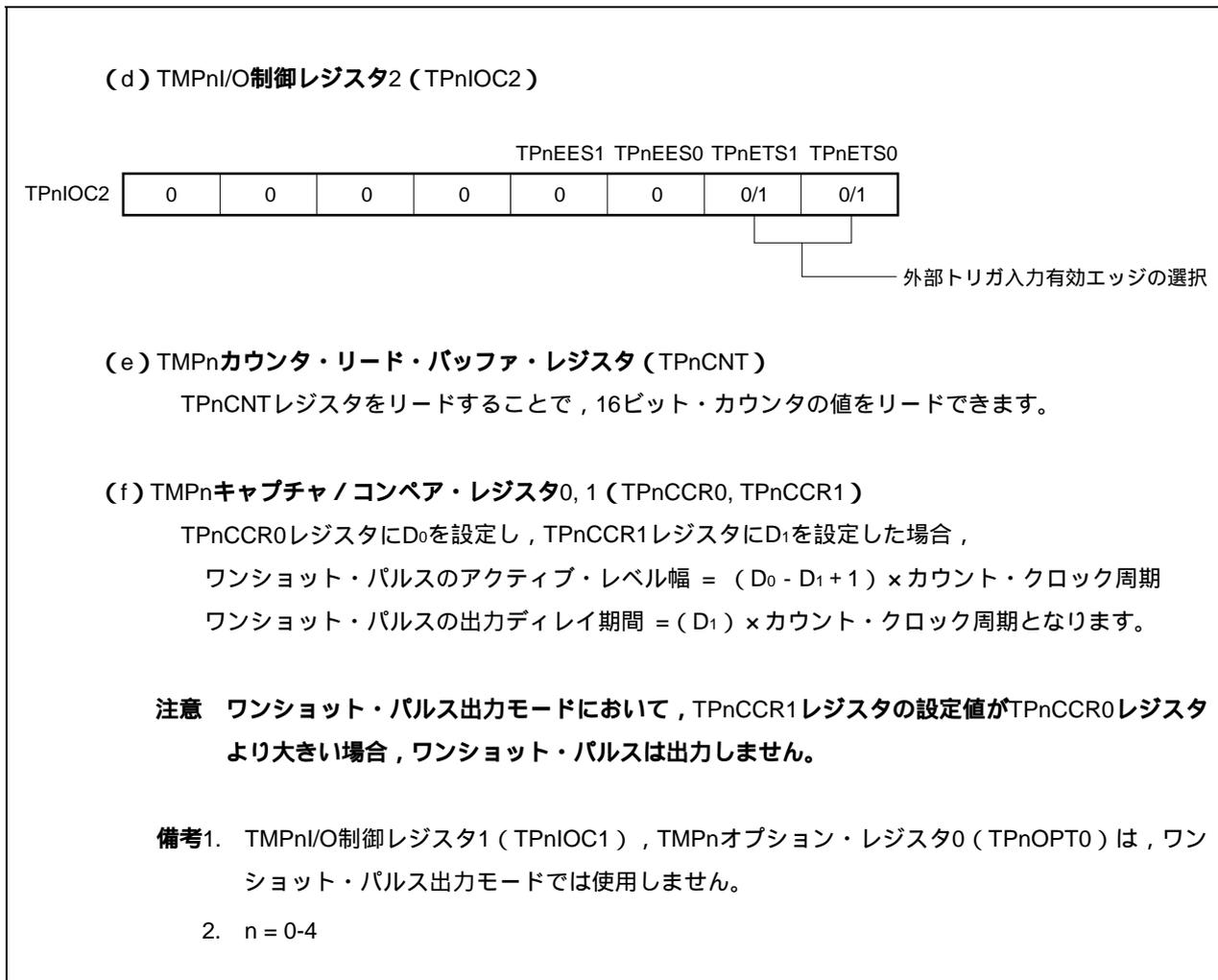
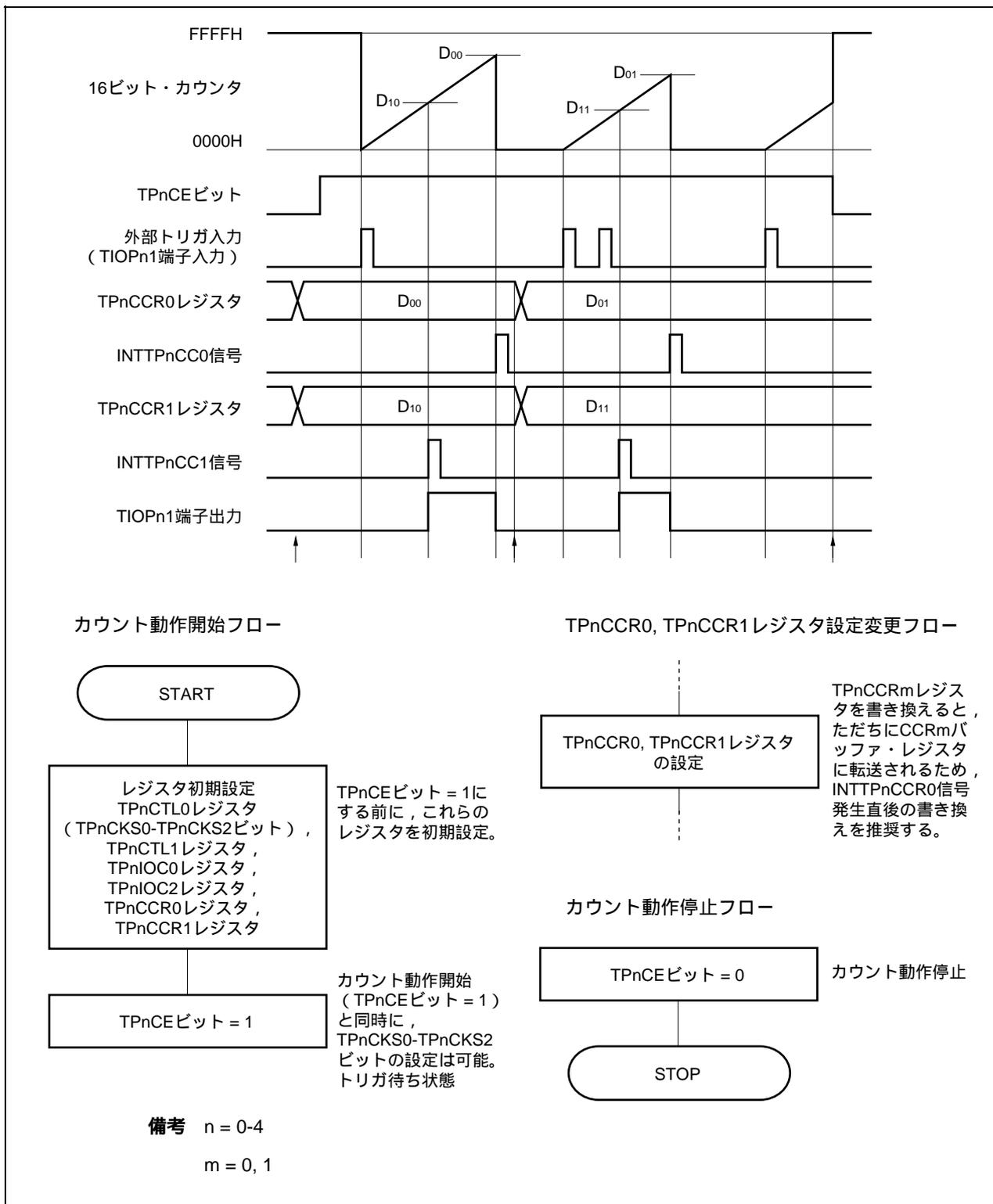


図6 - 25 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



## (1) ワンショット・パルス出力モード動作フロー

図6-26 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

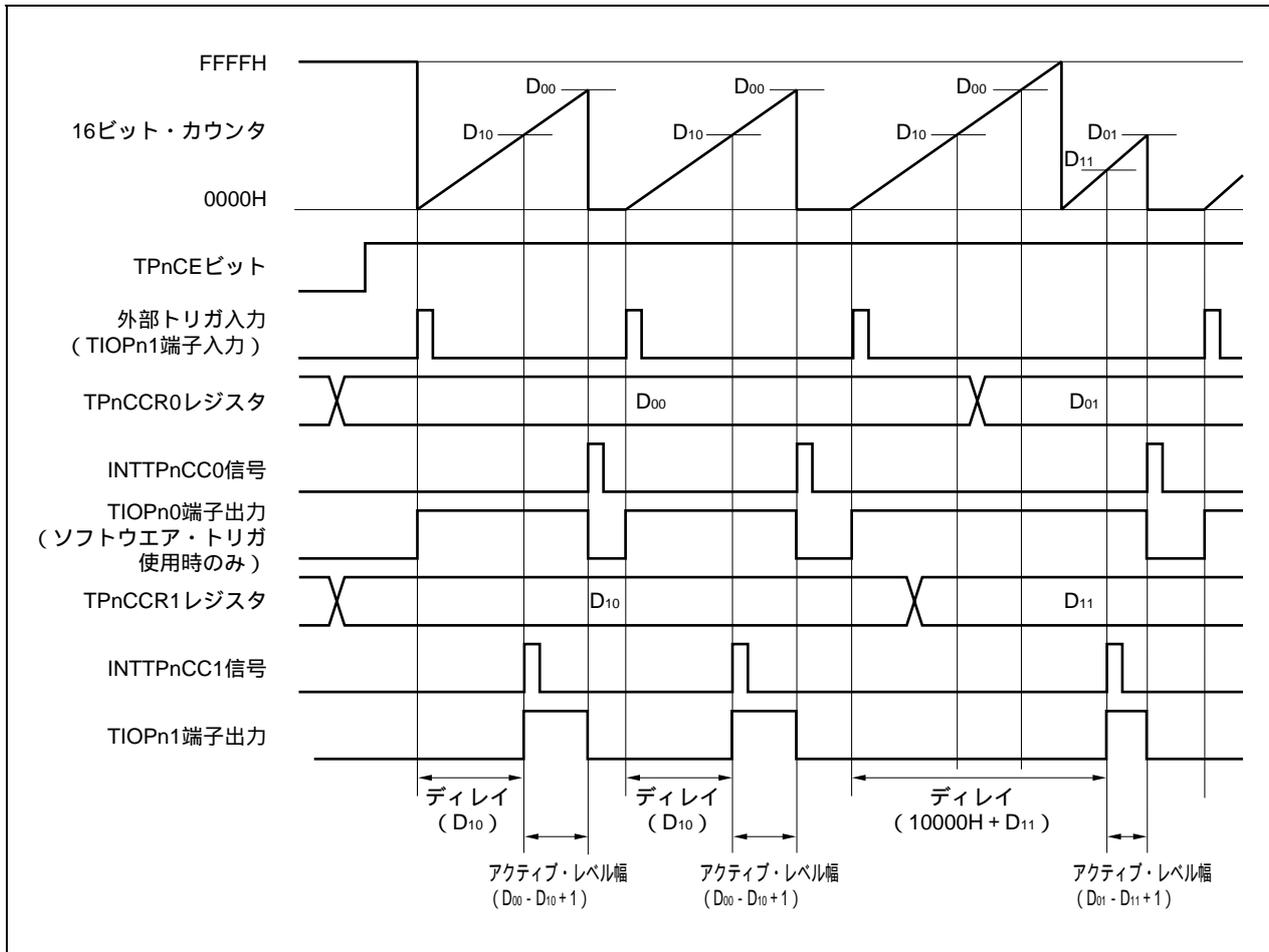


## (2) ワンショット・パルス出力モード動作タイミング

## (a) TPnCCRmレジスタの書き換えに関する注意事項

TPnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



TPnCCR0レジスタをD<sub>00</sub>からD<sub>01</sub>に、TPnCCR1レジスタをD<sub>10</sub>からD<sub>11</sub>に書き換える場合において、D<sub>00</sub> > D<sub>01</sub>、D<sub>10</sub> > D<sub>11</sub>の状態では、16ビット・カウンタのカウント値がD<sub>11</sub>よりも大きくD<sub>10</sub>よりも小さい状態のときTPnCCR1レジスタを書き換え、カウント値がD<sub>01</sub>よりも大きくD<sub>00</sub>よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D<sub>11</sub>との一致でINTTPnCC1信号を発生してTIOpN1端子出力をアクティブ・レベルにし、D<sub>01</sub>との一致でINTTPnCC0信号を発生してTIOpN1端子出力をインアクティブにしてカウント動作を停止します。

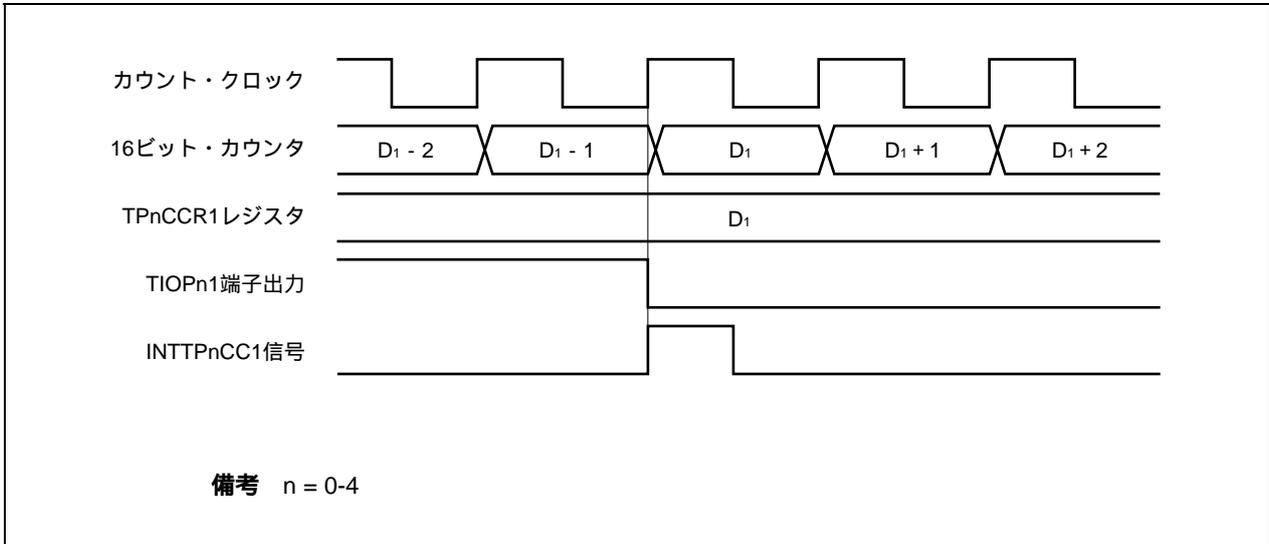
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-4

m = 0, 1

## (b) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TIOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-4

### 6.7.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット(1)することで、TIOPn1端子からPWM波形を出力します。

また、TIOPn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図6-27 PWM出力モードの構成図

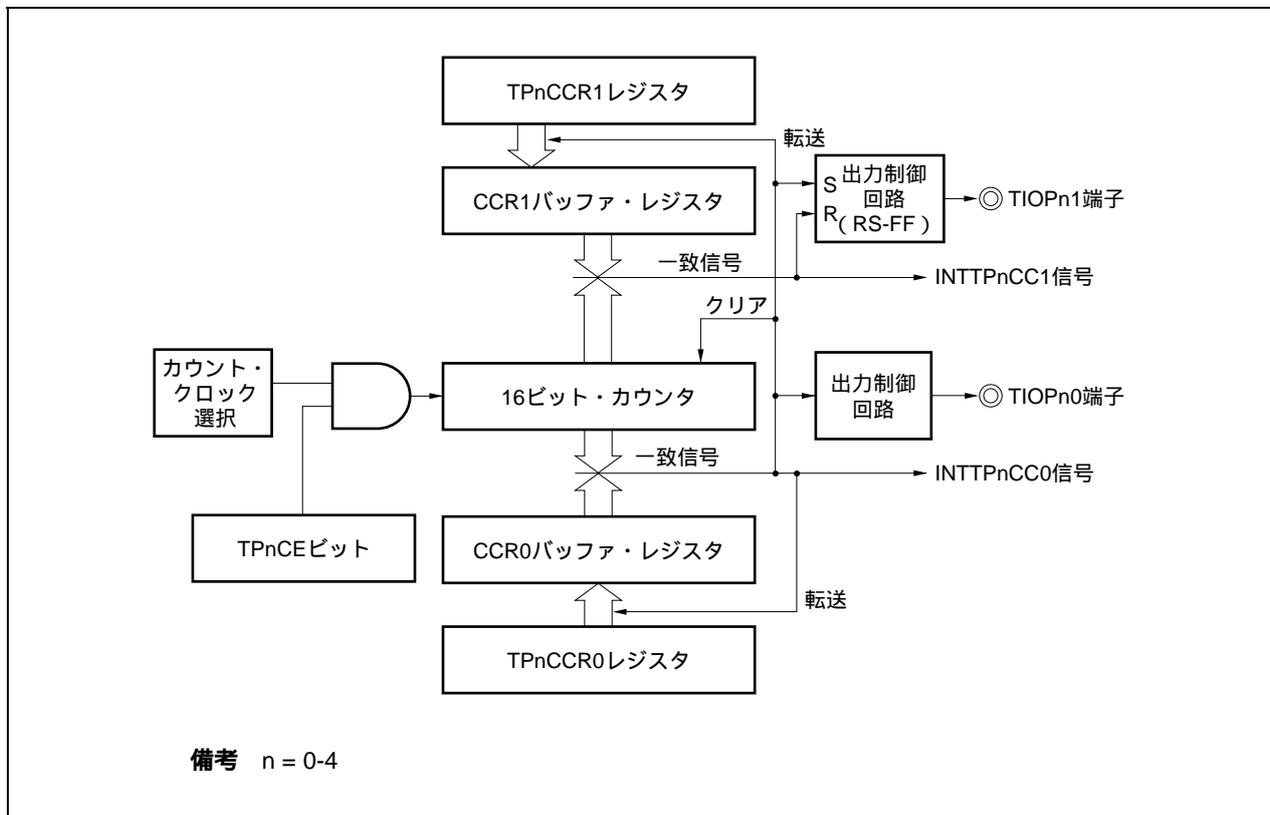
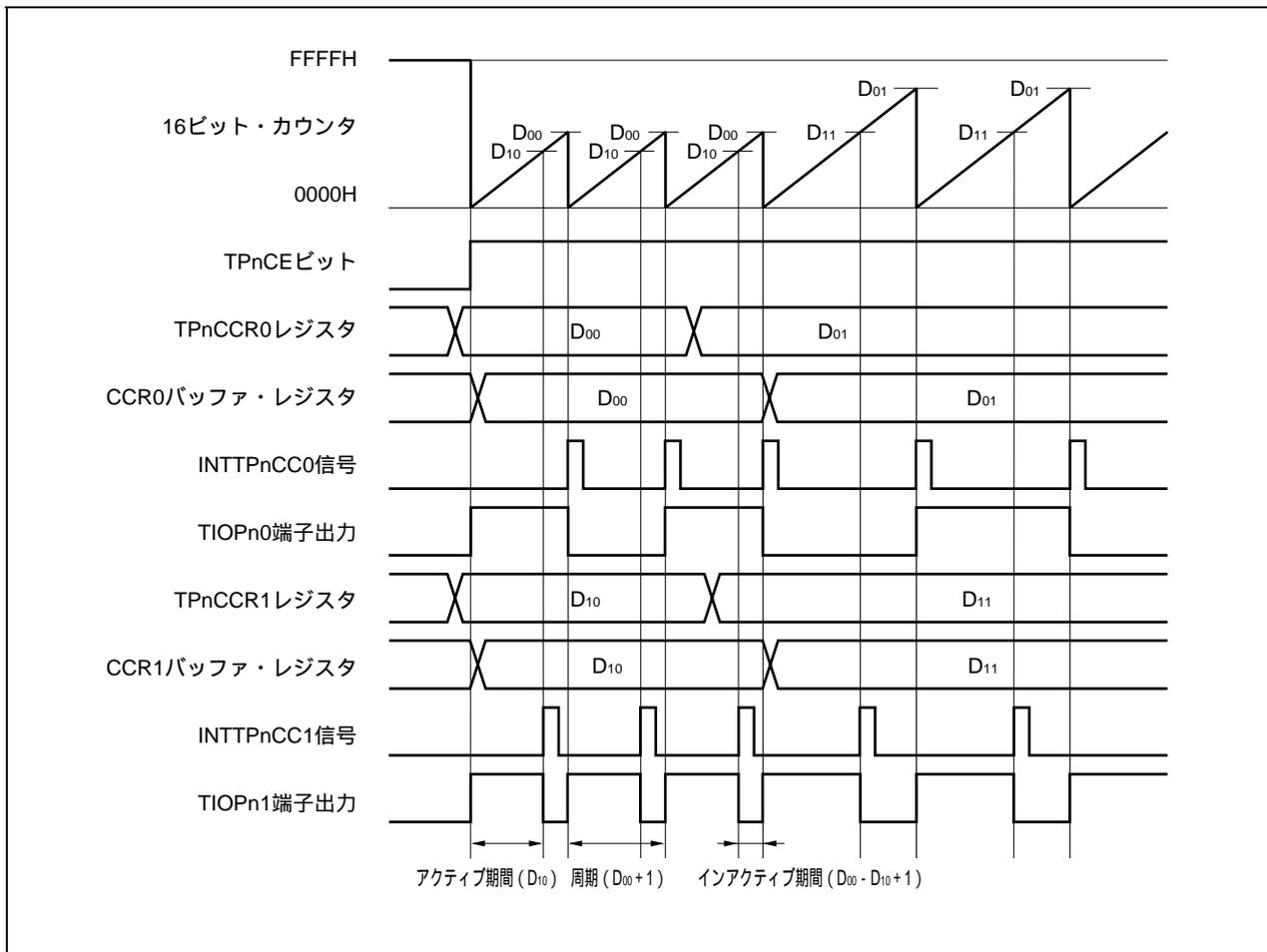


図6-28 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TIOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-4, m = 0, 1

図6 - 29 PWM出力モード動作時のレジスタ設定内容 (1/2)

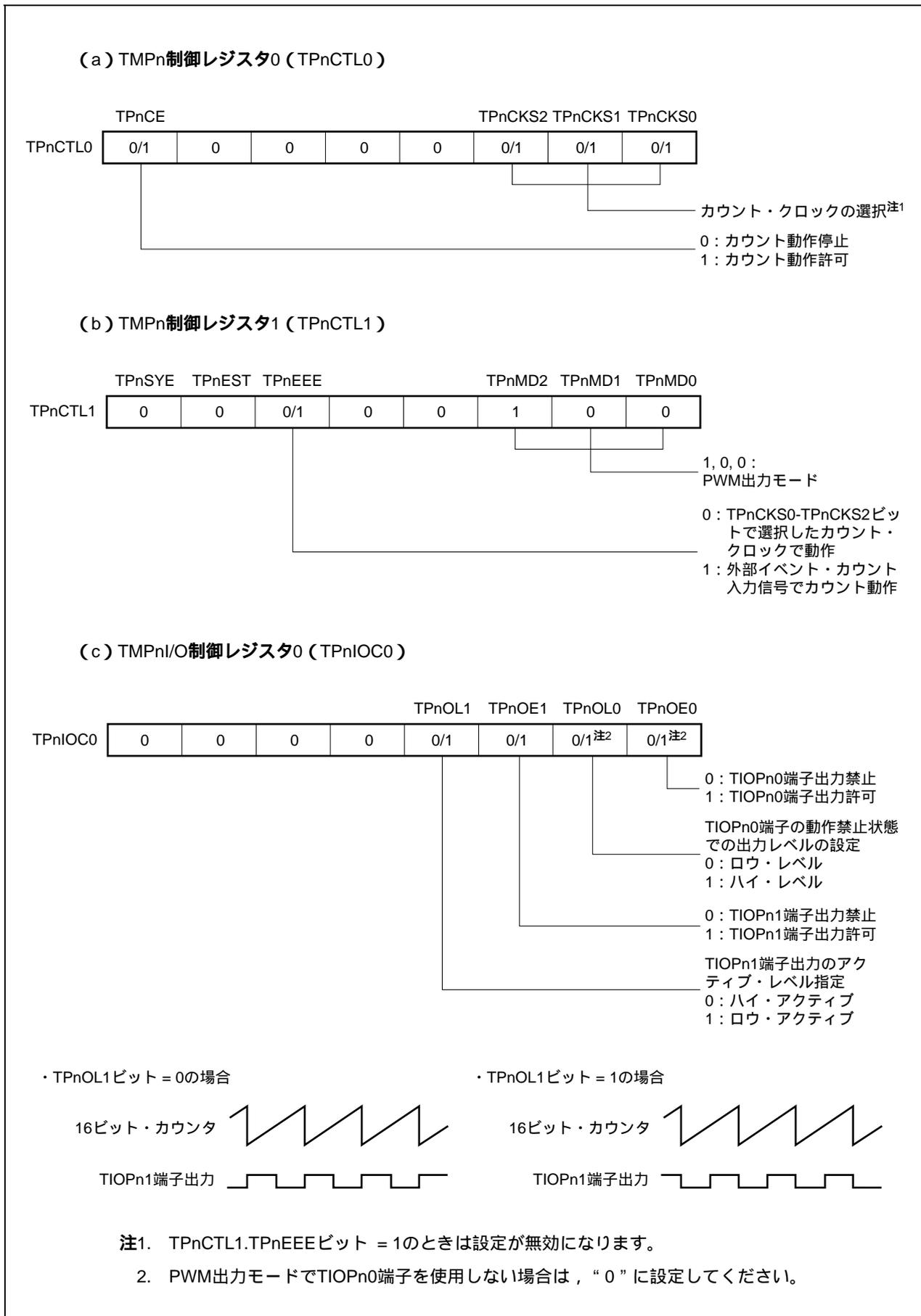
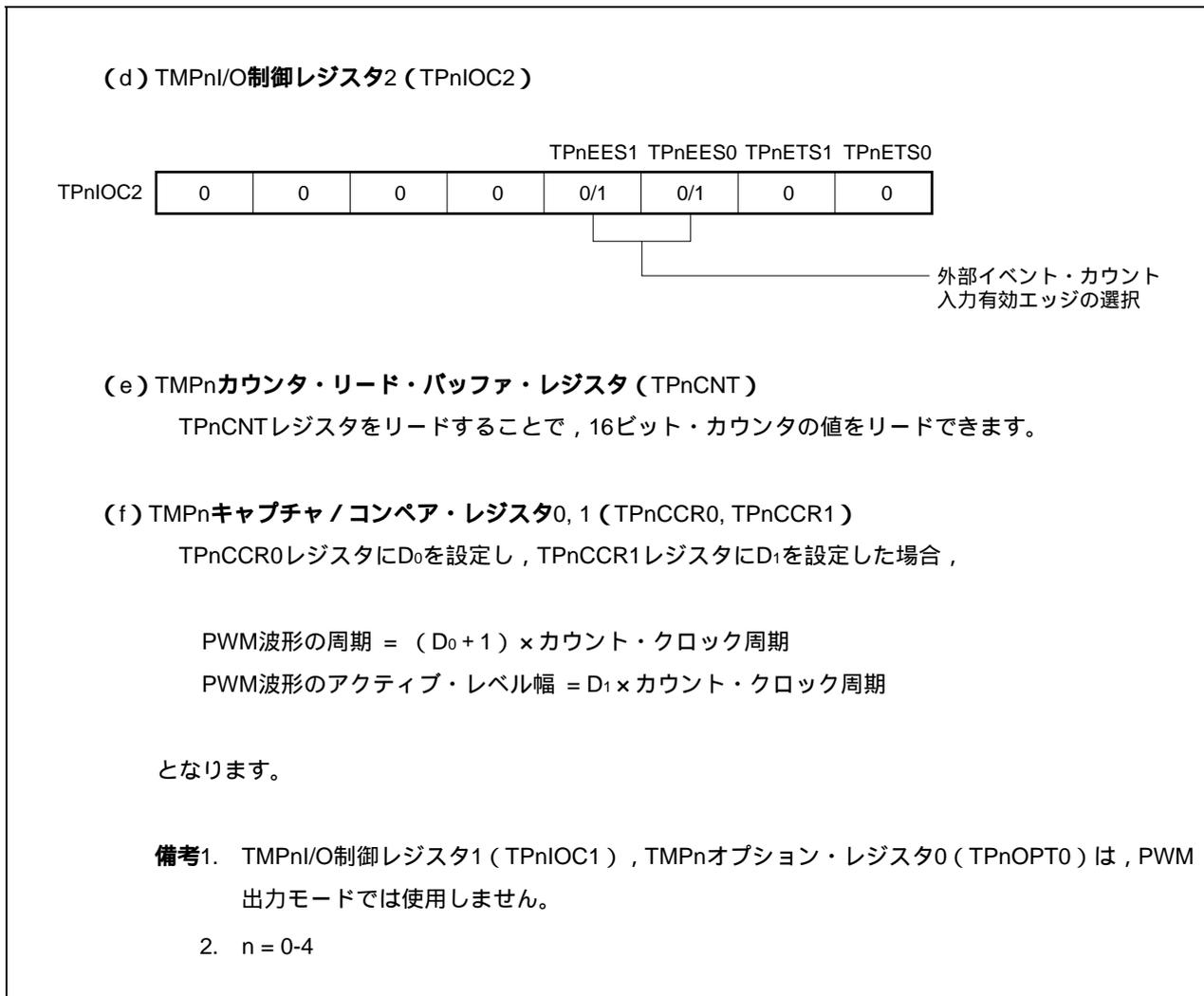


図6 - 29 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図6 - 30 PWM出力モード使用時のソフトウェア処理フロー (1/2)

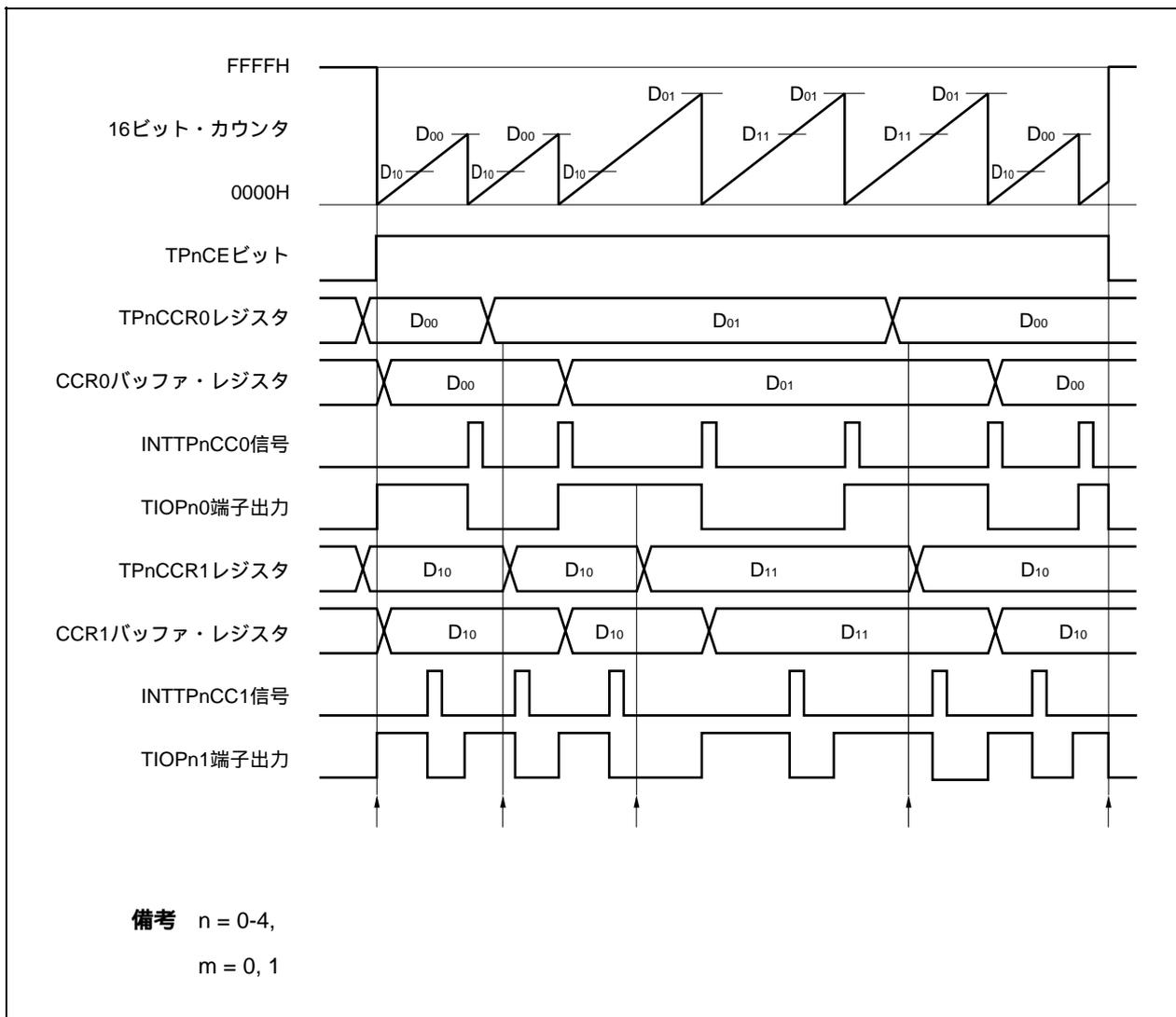
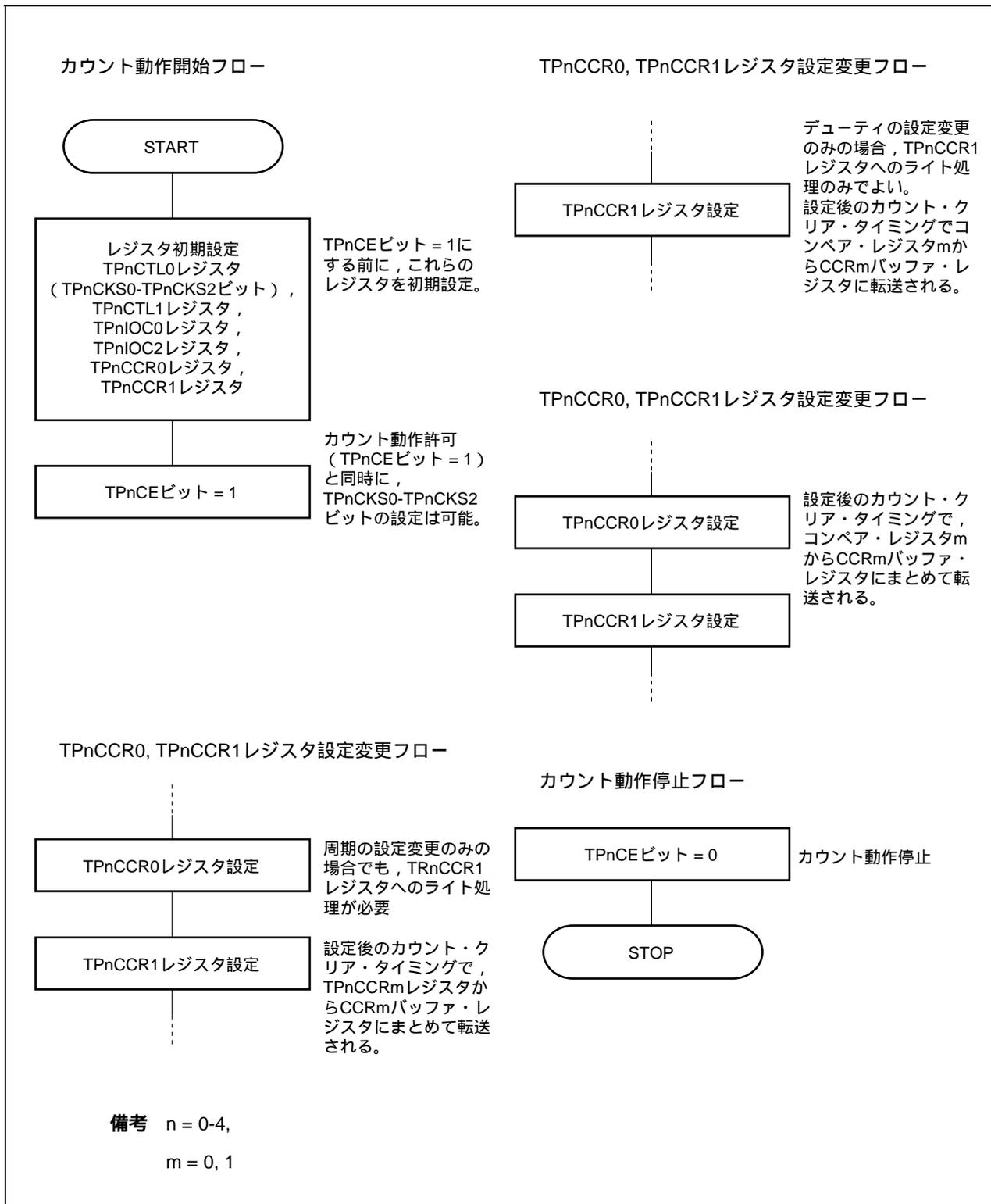


図6 - 30 PWM出力モード使用時のソフトウェア処理フロー (2/2)

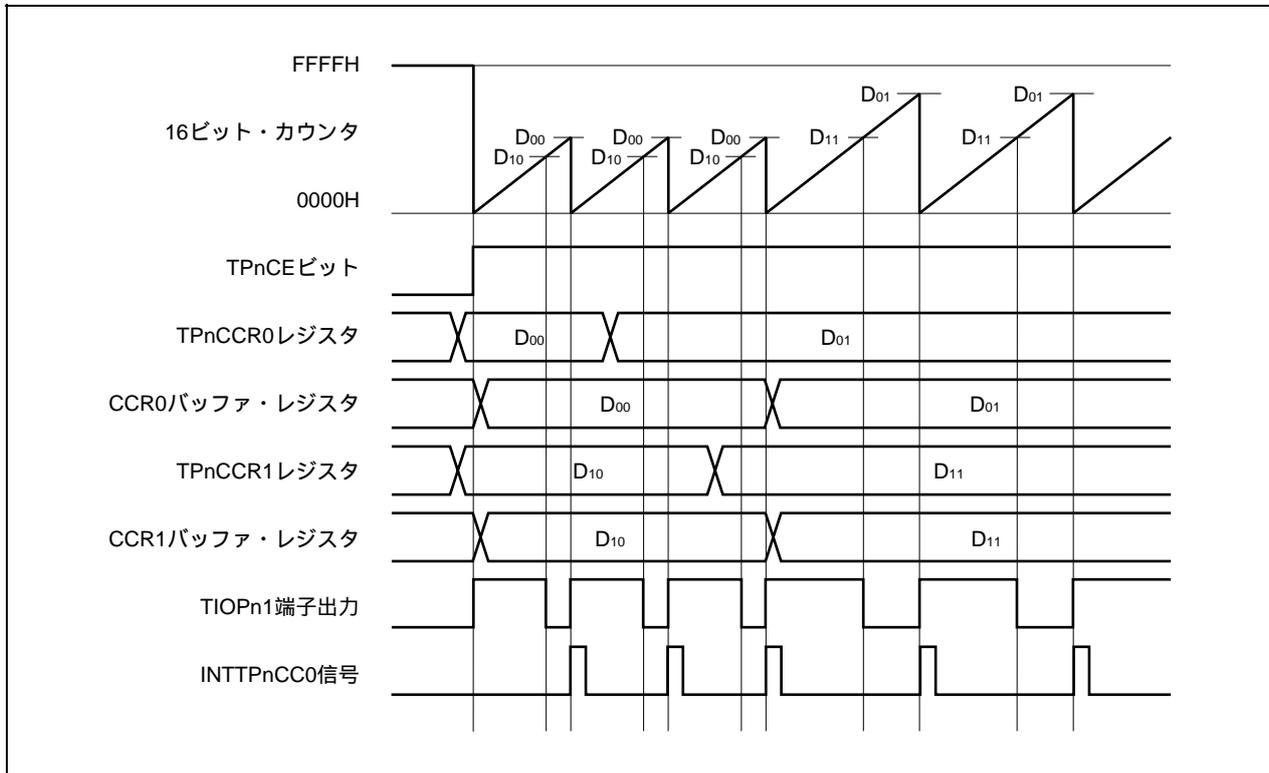


## (2) PWM出力モード動作タイミング

## (a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC1信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

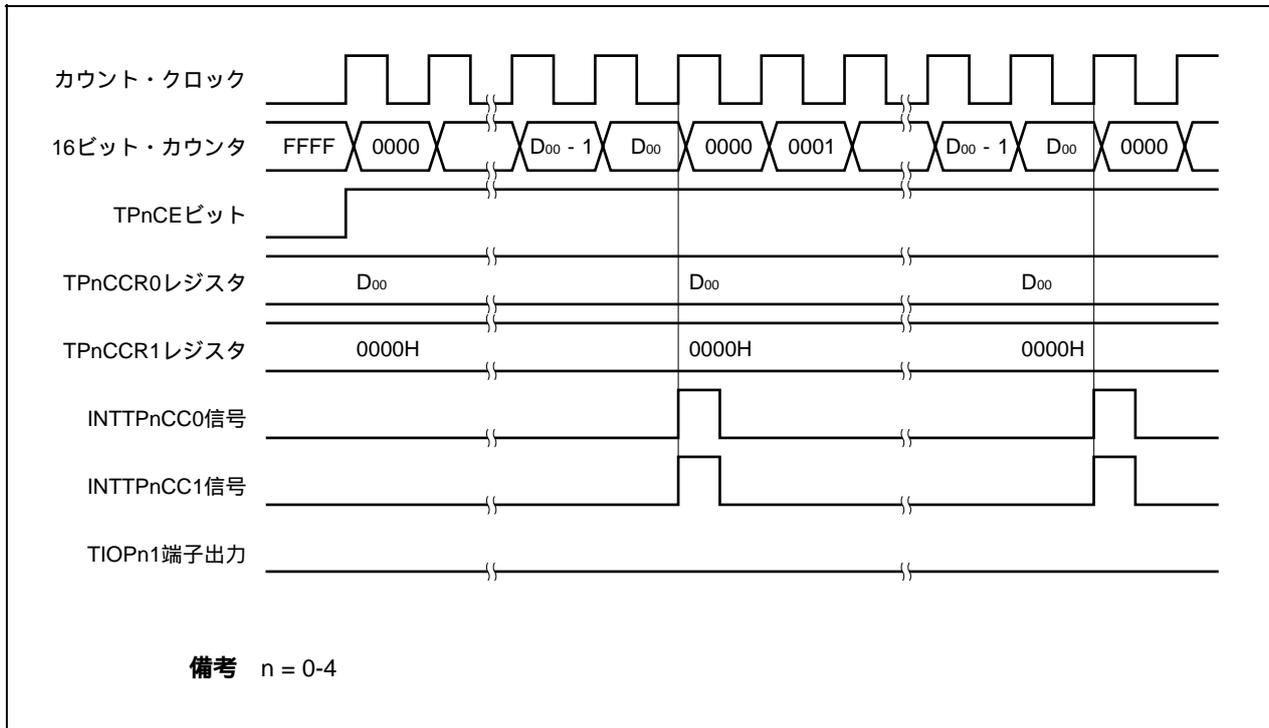
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

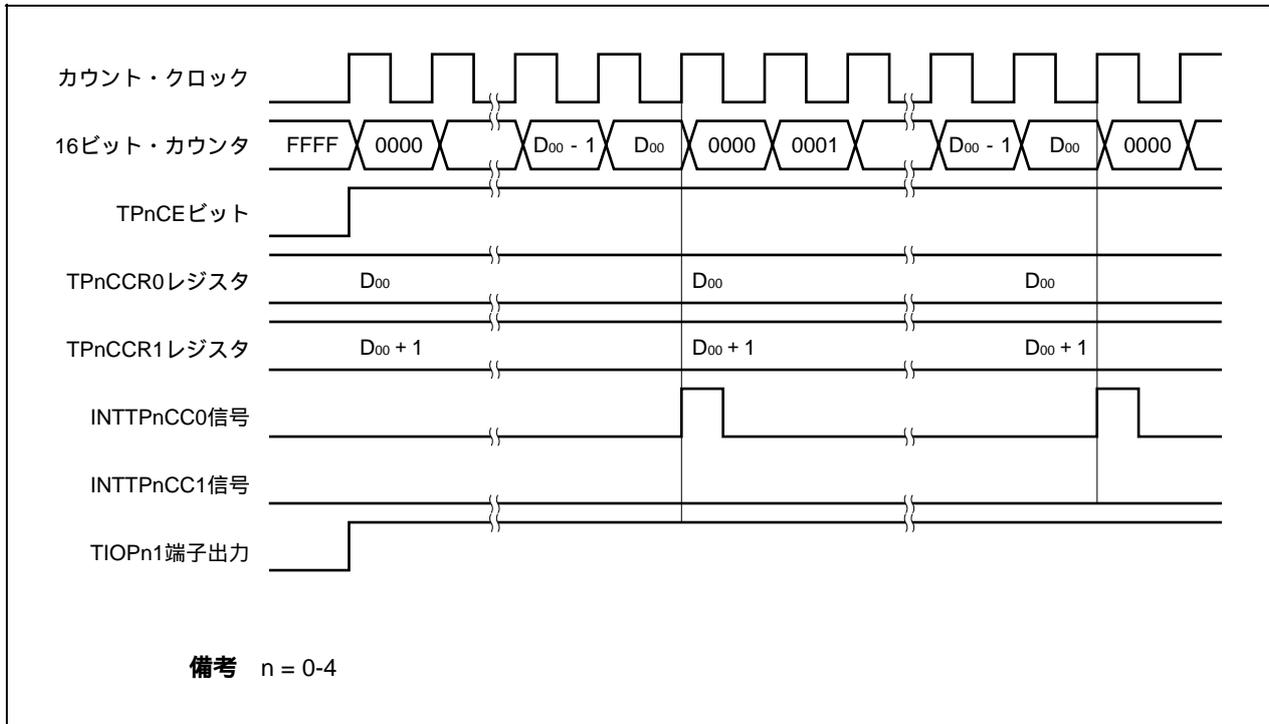
**備考** n = 0-4, m = 0, 1

## (b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。ただし、TPnCCR0レジスタの設定値がFFFFHの場合には、INTTPnCC1信号が定期的が発生します。

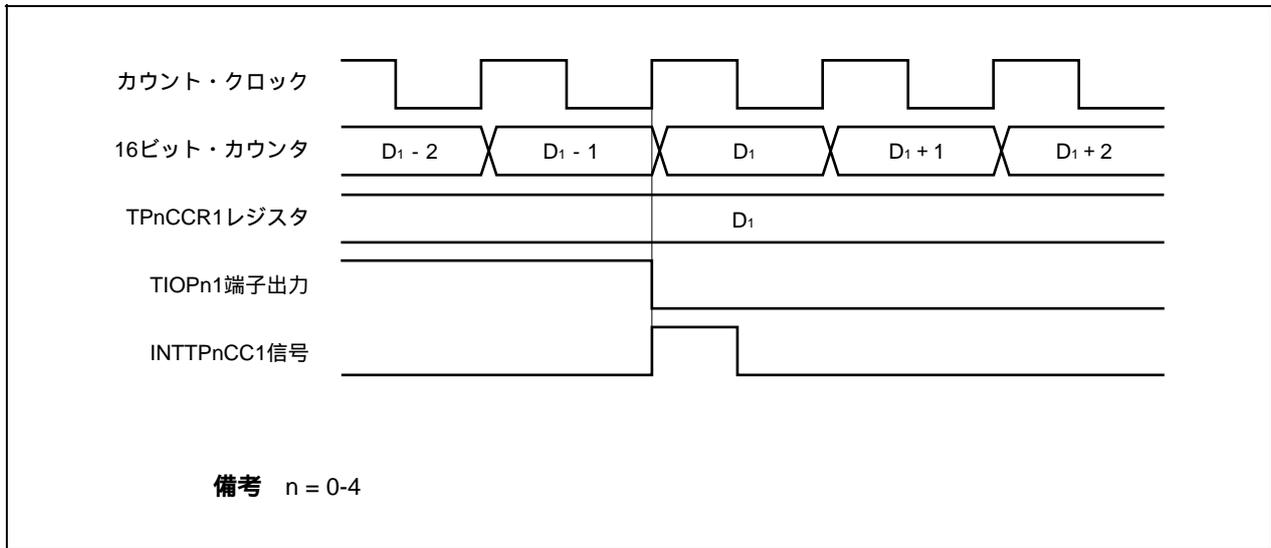


100 % 波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



## (c) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

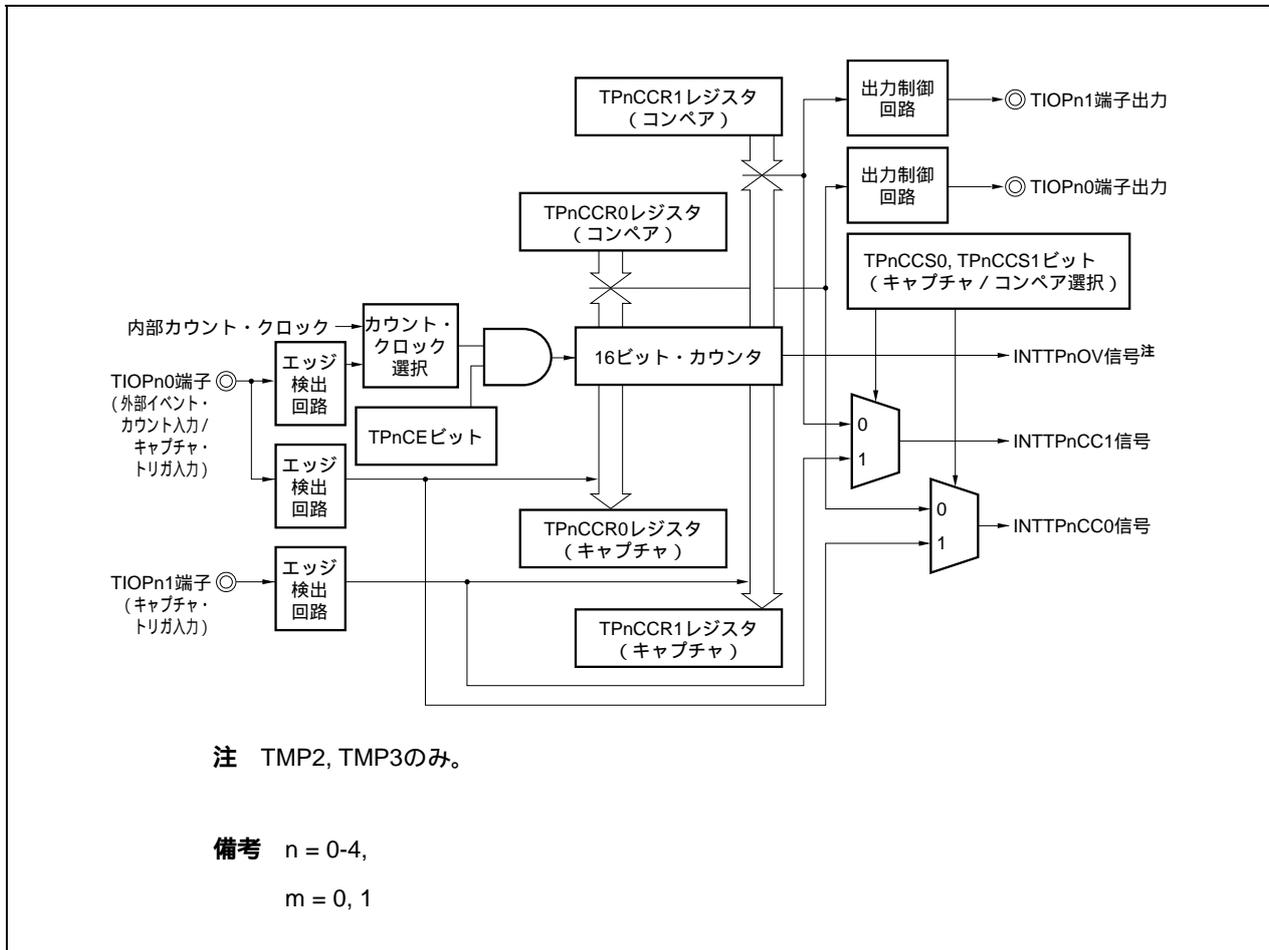
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TIOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-4

### 6.7.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCRmレジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図6-31 フリー・ランニング・タイマ・モードの構成図

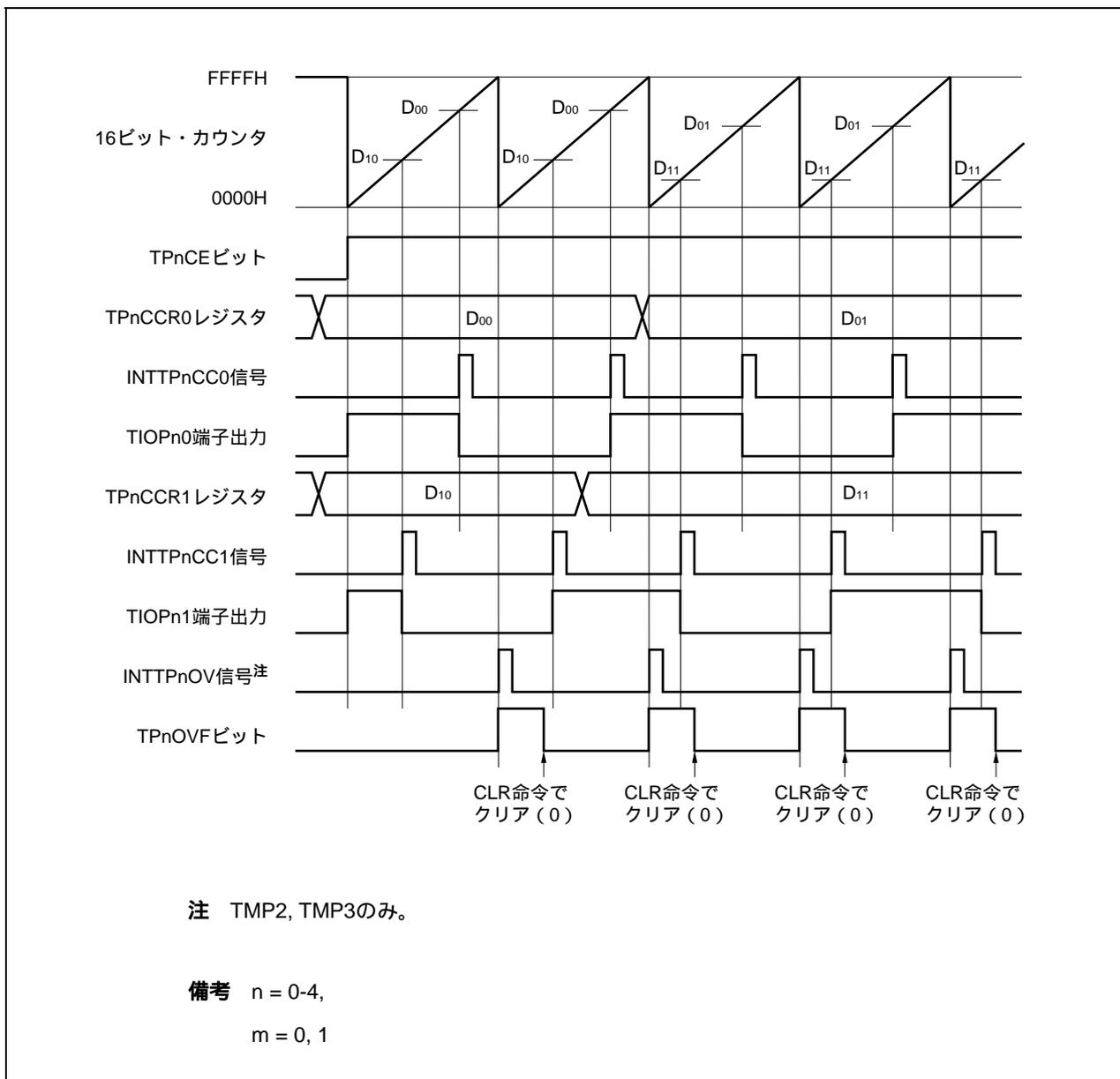


TPnCEビットをセット(1)することで、カウント動作を開始し、TIOPn0, TIOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRmレジスタの設定値が一致すると、コンペアー一致割り込み要求信号(INTTPnCCm)を発生し、TIOPnm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図6-32 フリー・ランニング・タイマ・モードの基本タイミング(コンペアー機能)



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIOPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図6-33 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

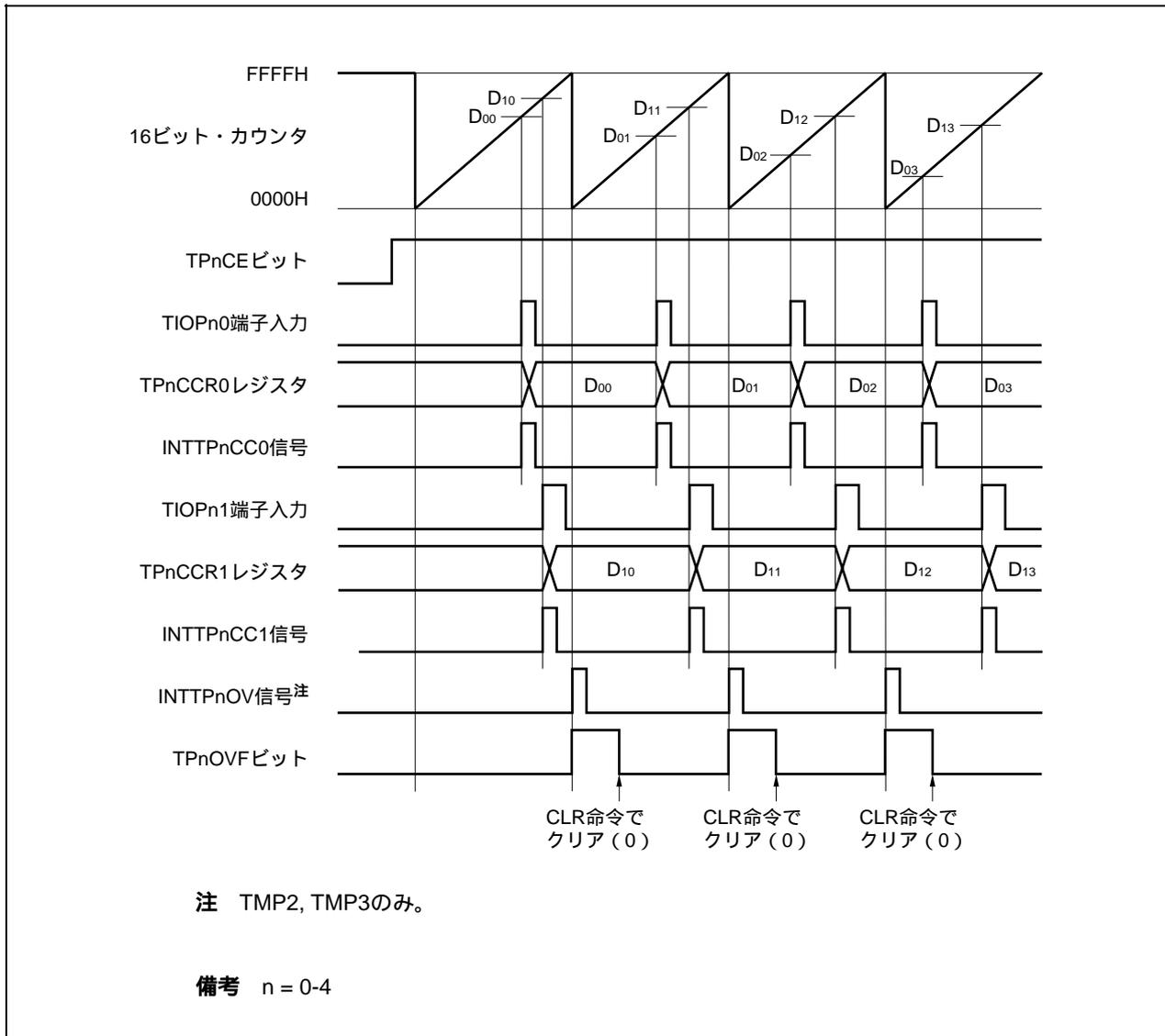


図6-34 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

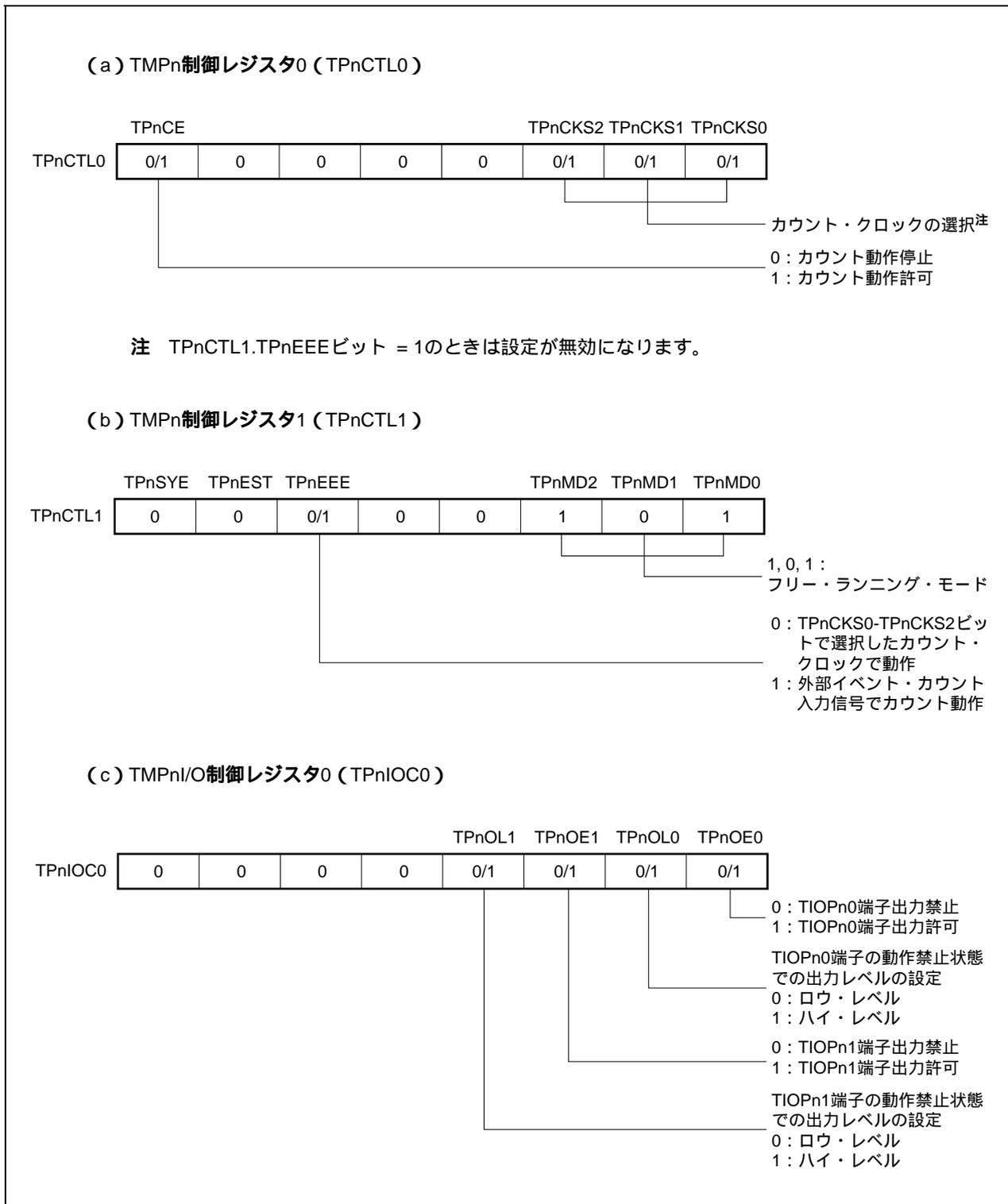
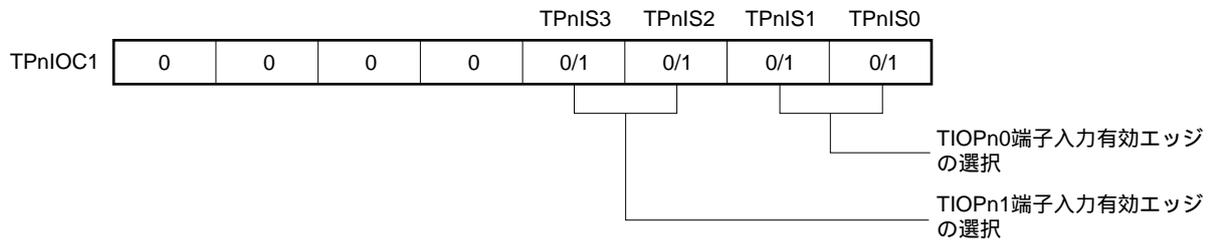
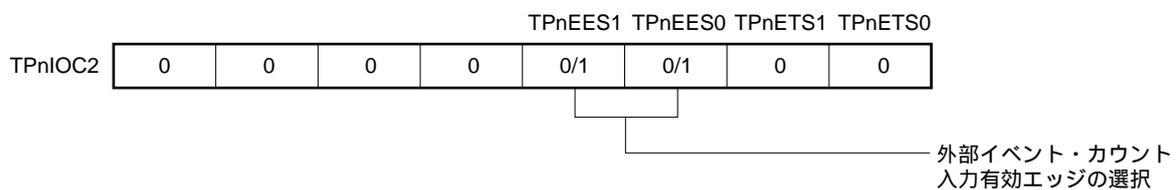


図6-34 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

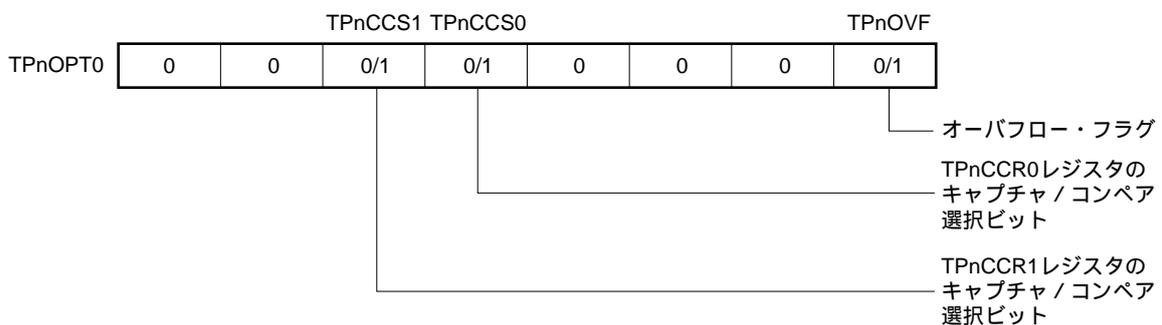
## (d) TMPnI/O制御レジスタ1 (TPnIOC1)



## (e) TMPnI/O制御レジスタ2 (TPnIOC2)



## (f) TMPnオプション・レジスタ0 (TPnOPT0)



## (g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

## (h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIOPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRmレジスタにDmを設定した場合、カウンタが(Dm + 1)になるタイミングでINTTPnCCm信号を発生し、TIOPnm端子出力を反転します。

備考 n = 0-4,  
m = 0, 1

## (1) フリー・ランニング・タイマ・モード動作フロー

## (a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図6-35 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

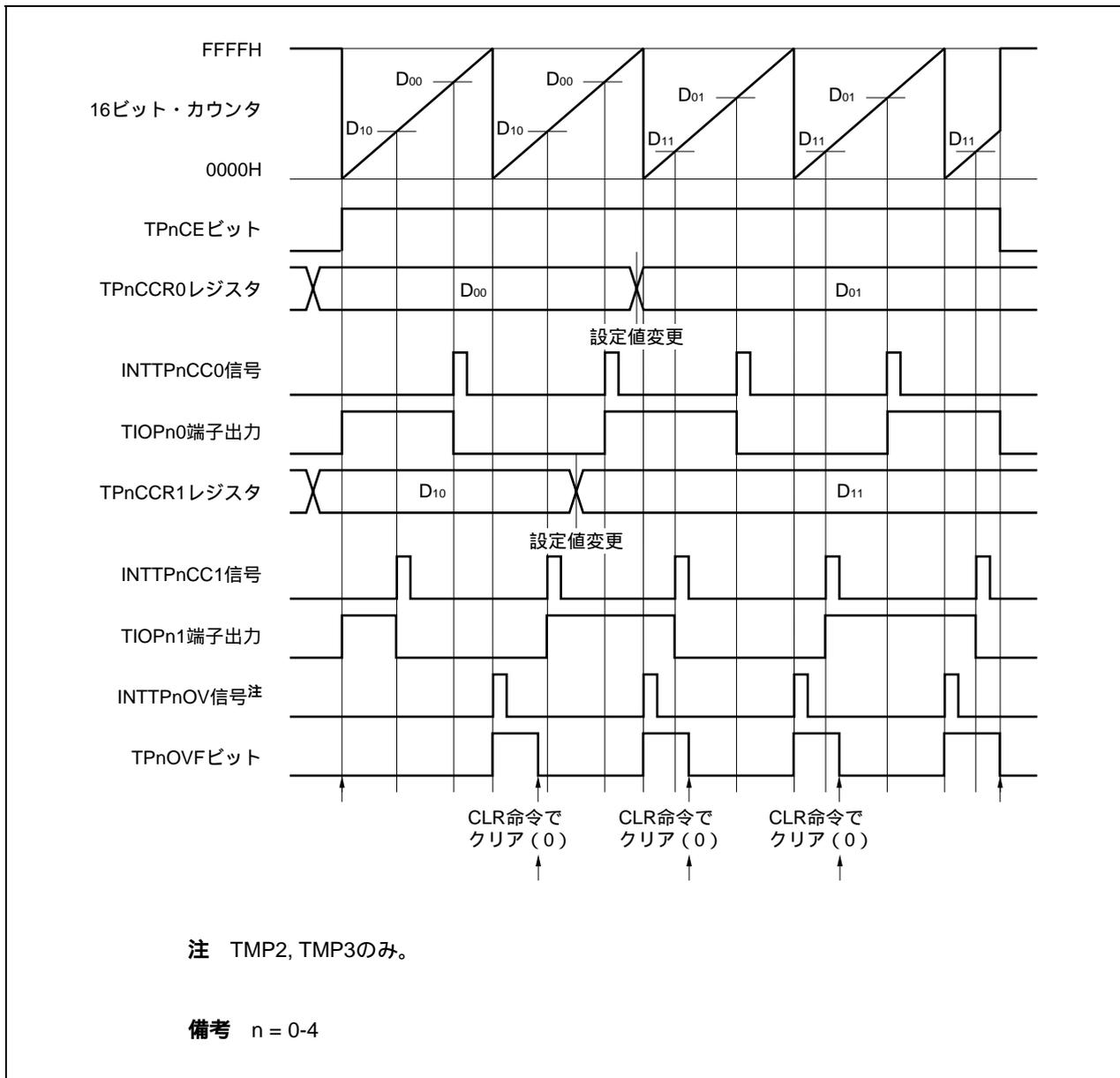
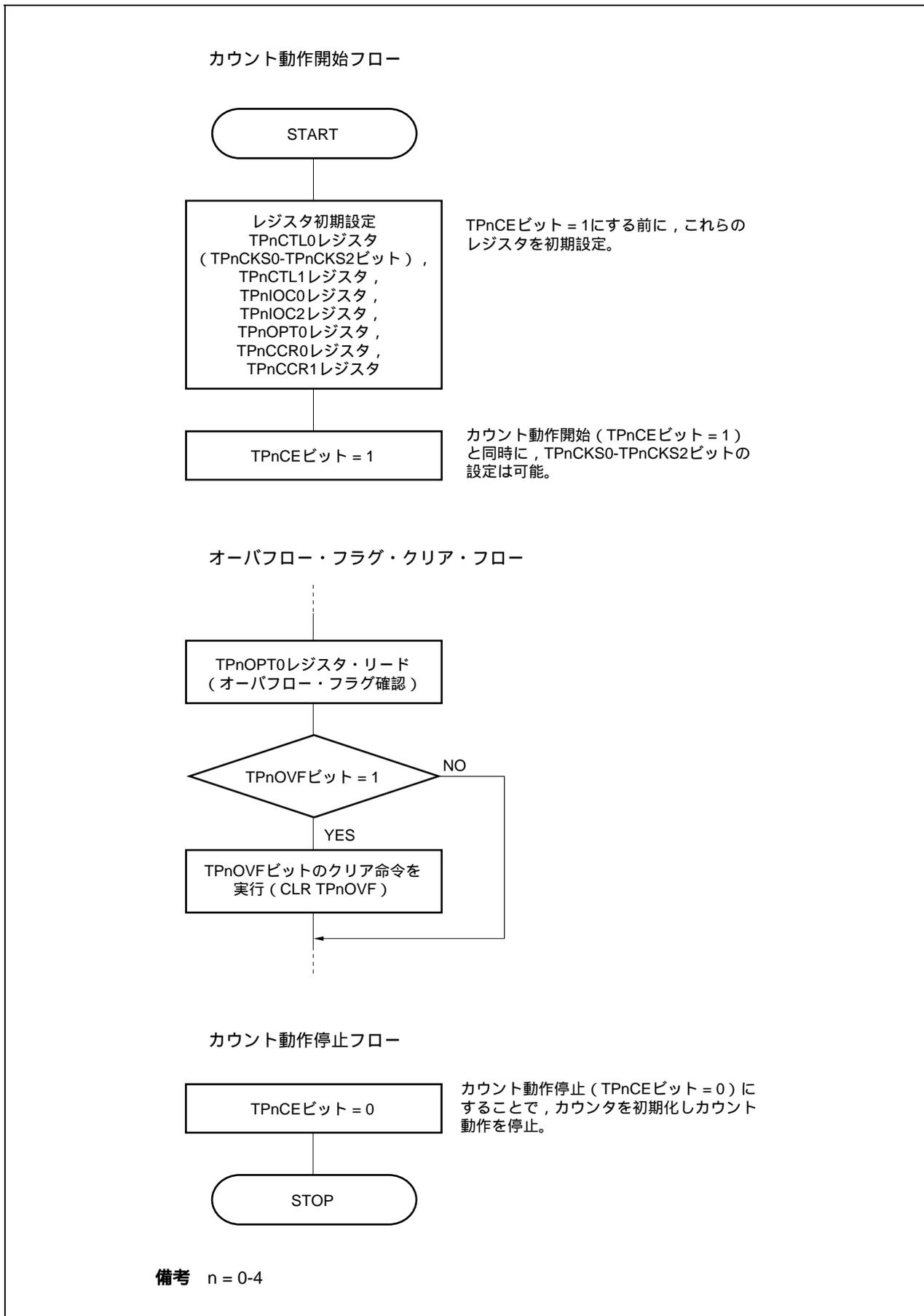


図6 - 35 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



## (b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

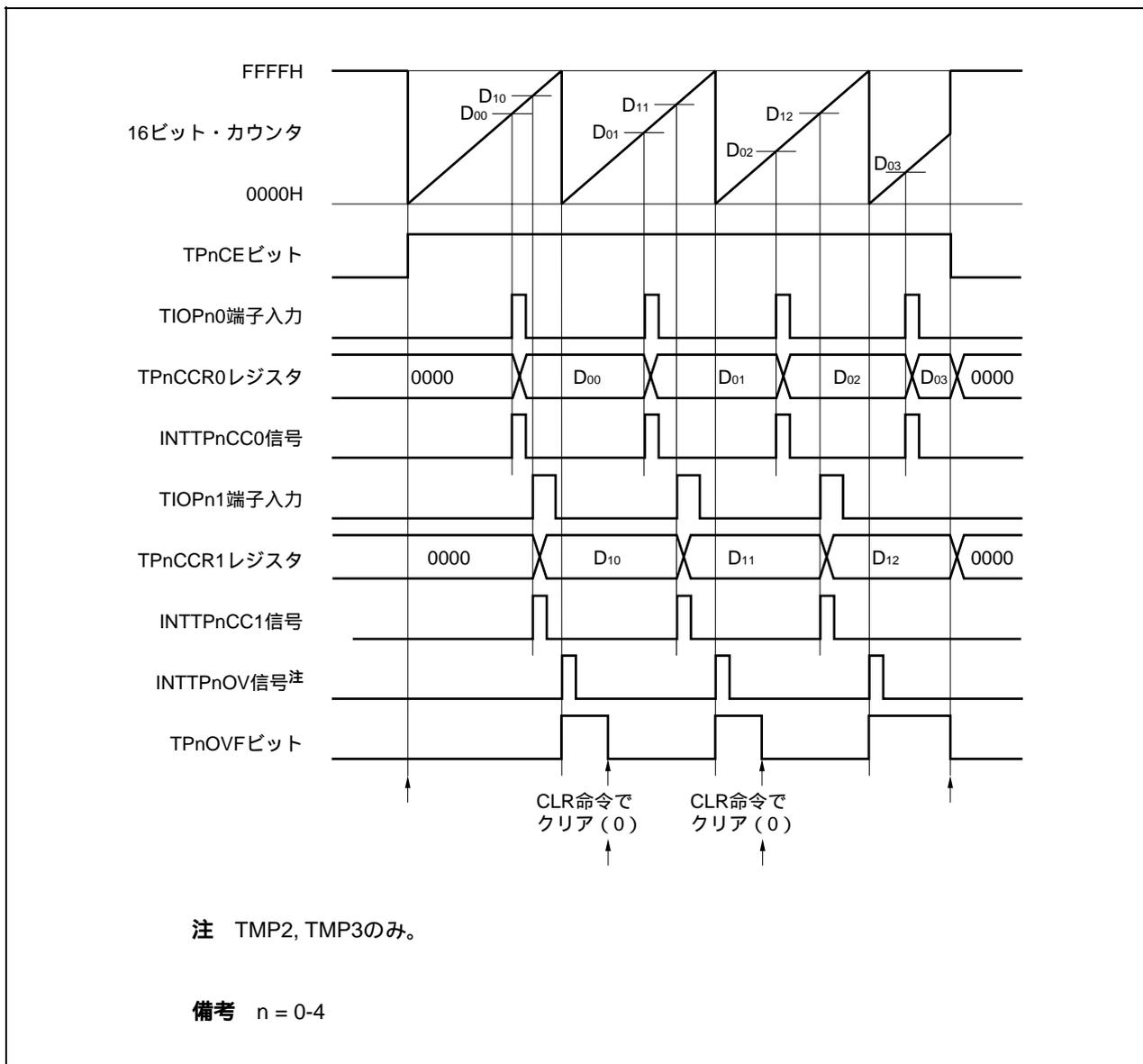
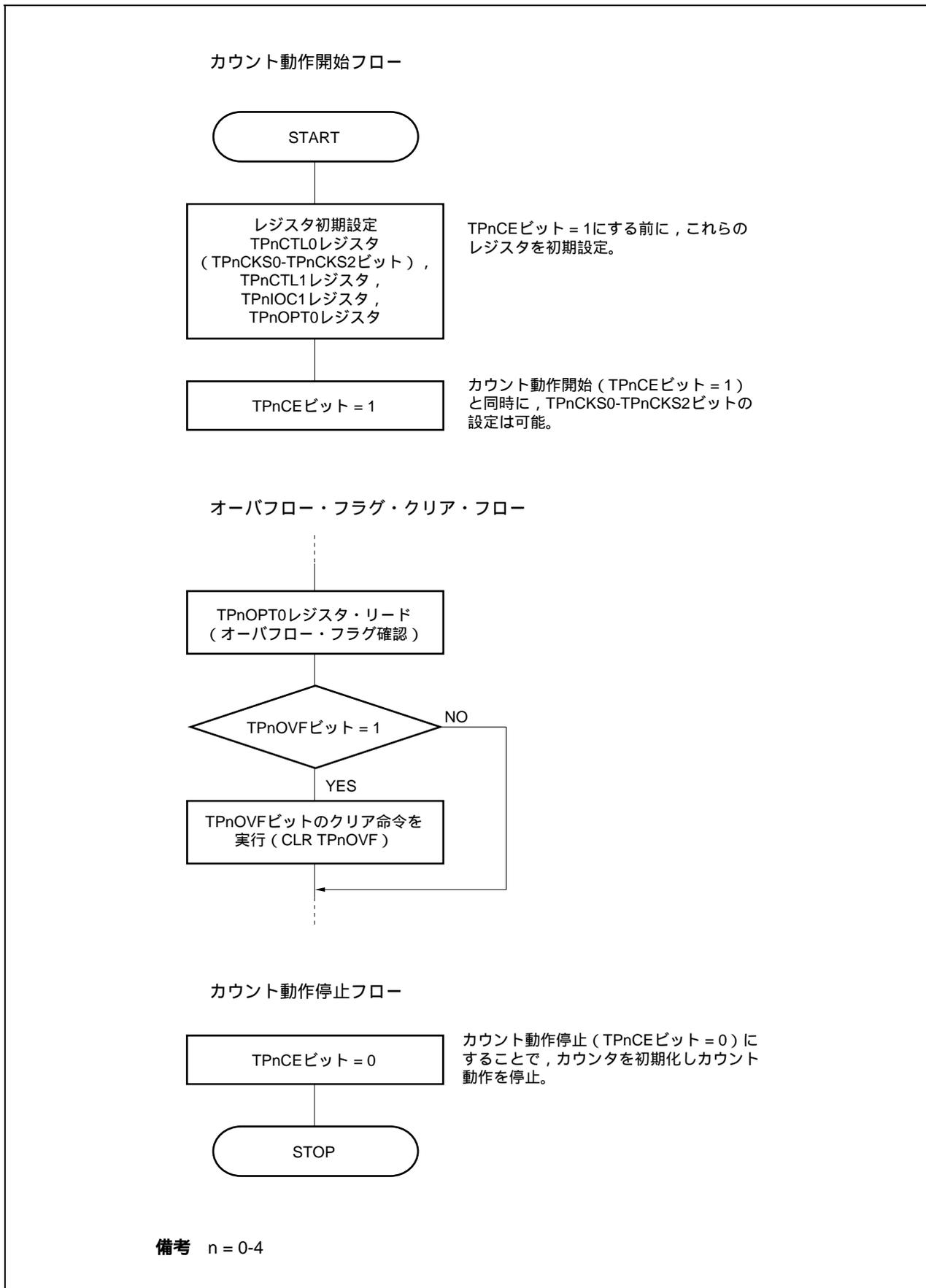


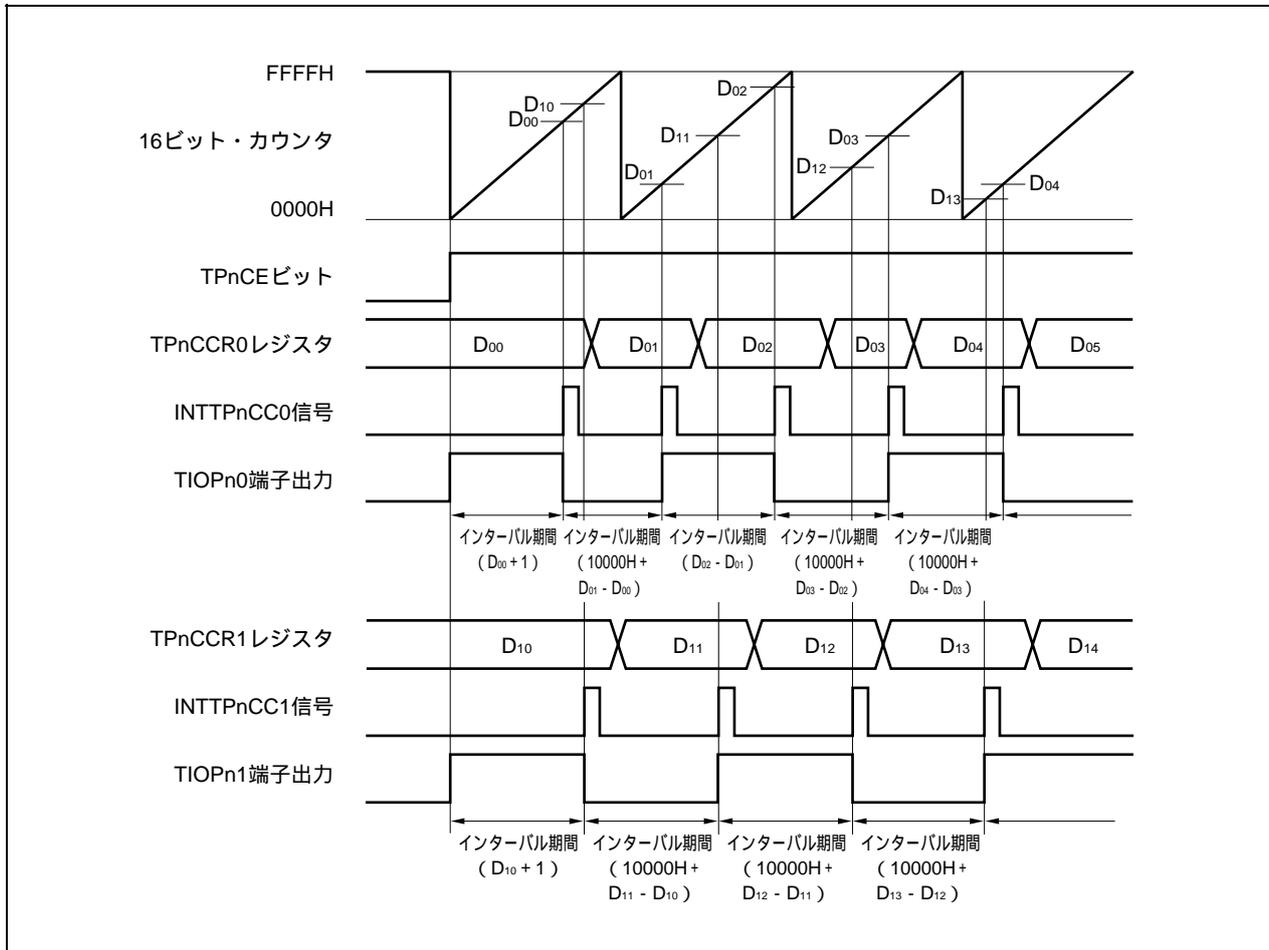
図6 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



## (2) フリー・ランニング・タイマ・モード動作タイミング

## (a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCm信号を検出したときの割り込み処理中に、対応するTPnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D<sub>m</sub>”とすると、次のように求められます。

コンペア・レジスタ初期値 : D<sub>m</sub> - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D<sub>m</sub>

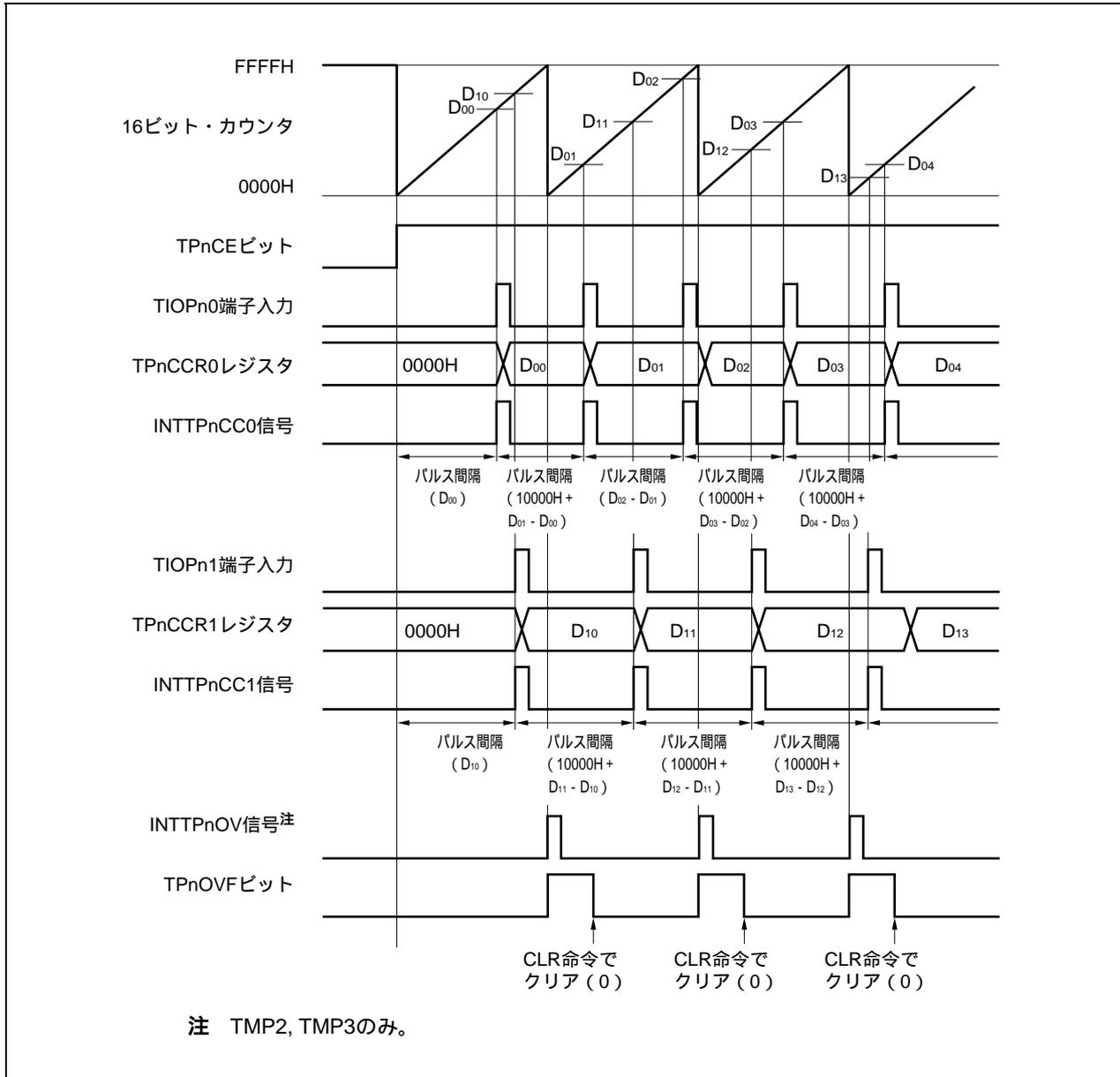
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-4,

m = 0, 1

## (b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



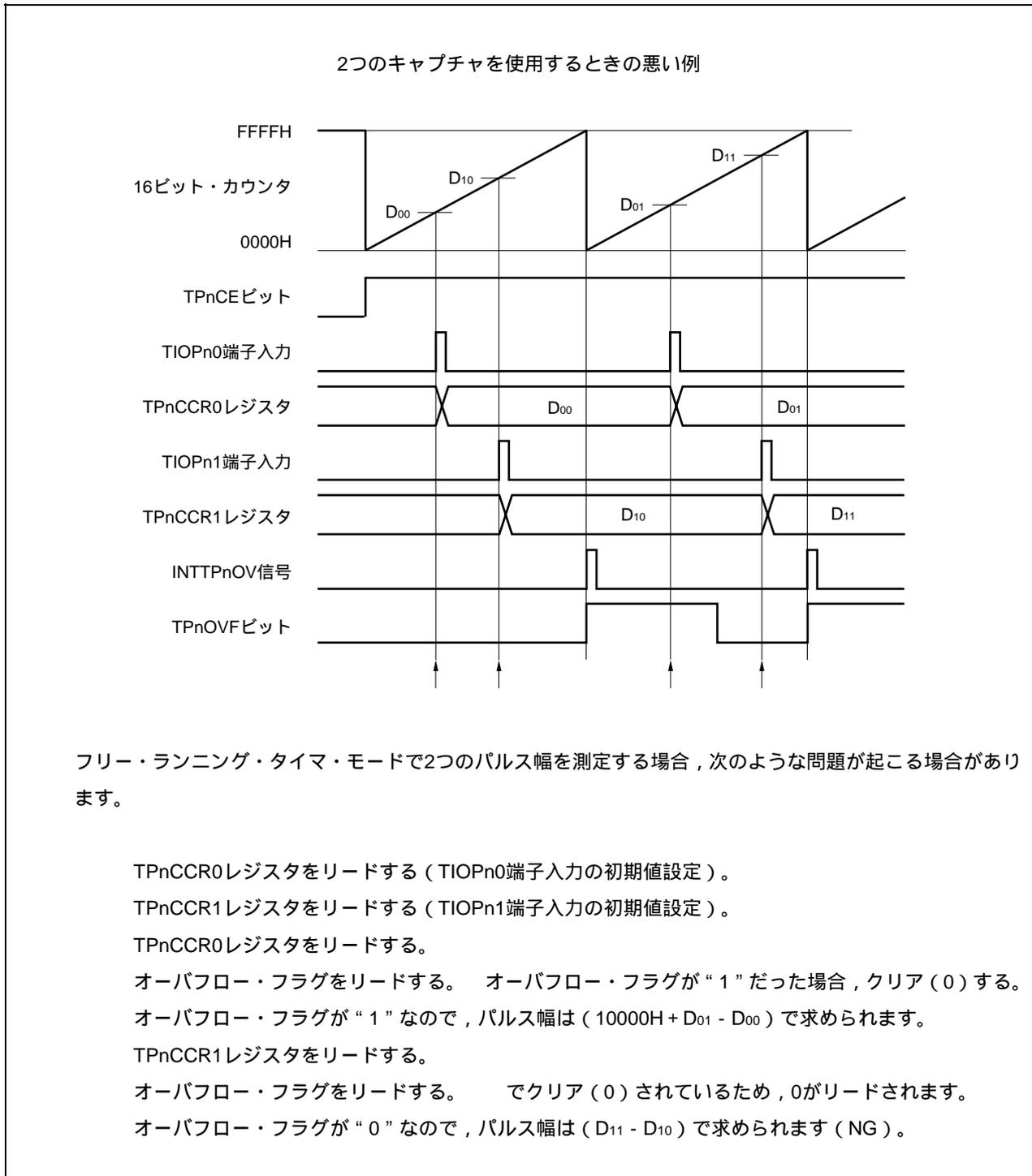
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTPnCCm信号に同期してTPnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0-4,  
m = 0, 1

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

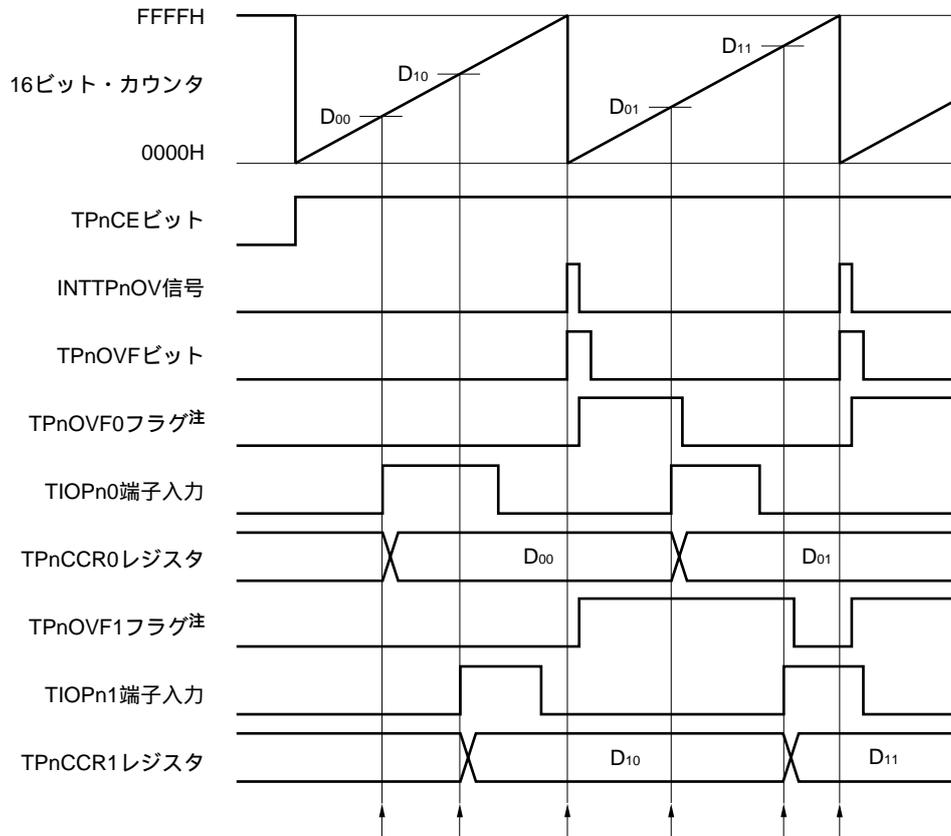
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPnOV0, TPnOV1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIOpN0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIOpN1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPnOV0, TPnOV1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPnCCR0レジスタをリードする。

TPnOV0フラグをリードする。 TPnOV0フラグが“1”だった場合、クリア (0) する。

TPnOV0フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

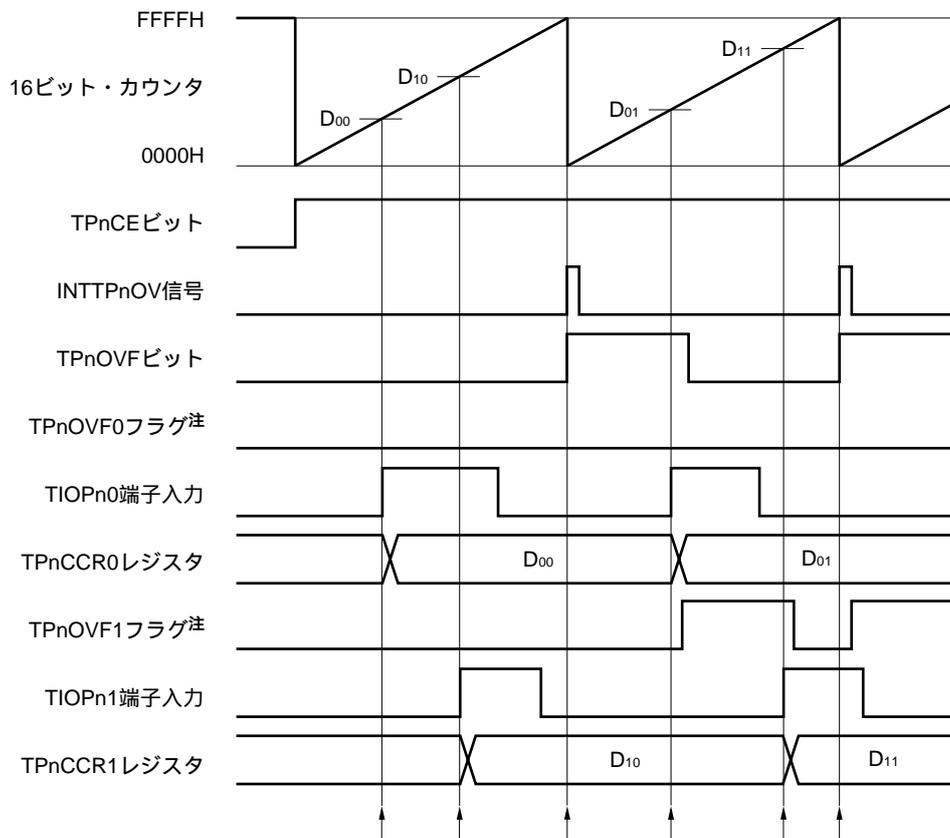
TPnCCR1レジスタをリードする。

TPnOV1フラグをリードする。 TPnOV1フラグが“1”だった場合、クリア (0) する ( でクリア (0) されたのはTPnOV0フラグであり、TPnOV1フラグは“1”のまま)。

TPnOV1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIOPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIOPn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

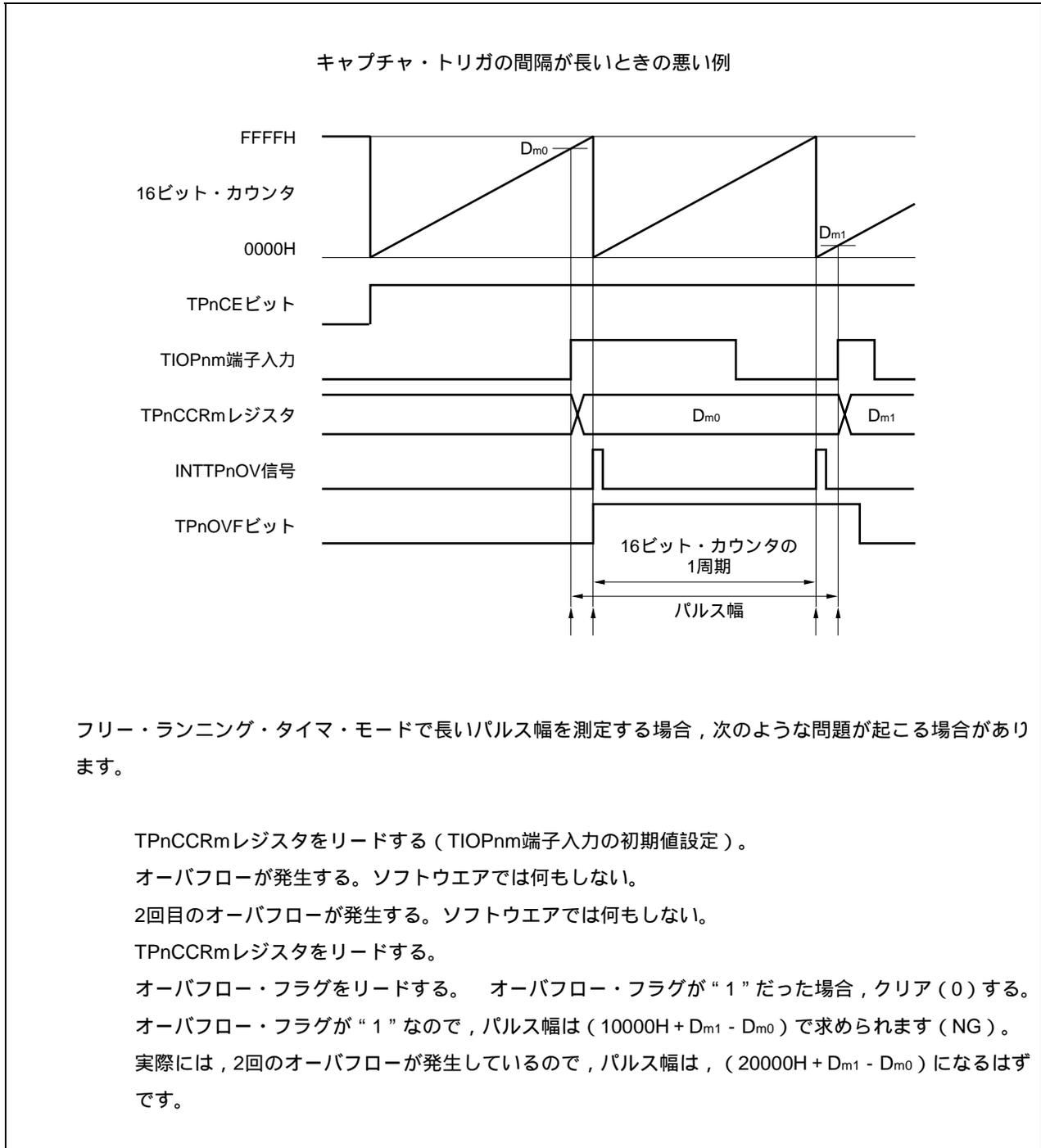
TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア(0)する。

TPnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

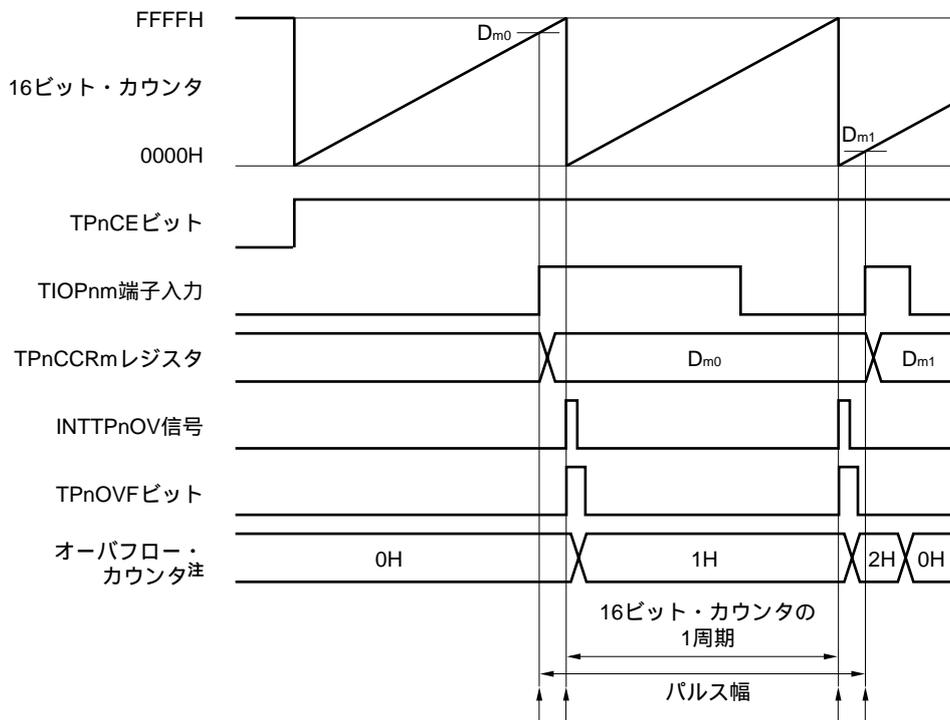
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

## キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCRmレジスタをリードする (TIOPnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

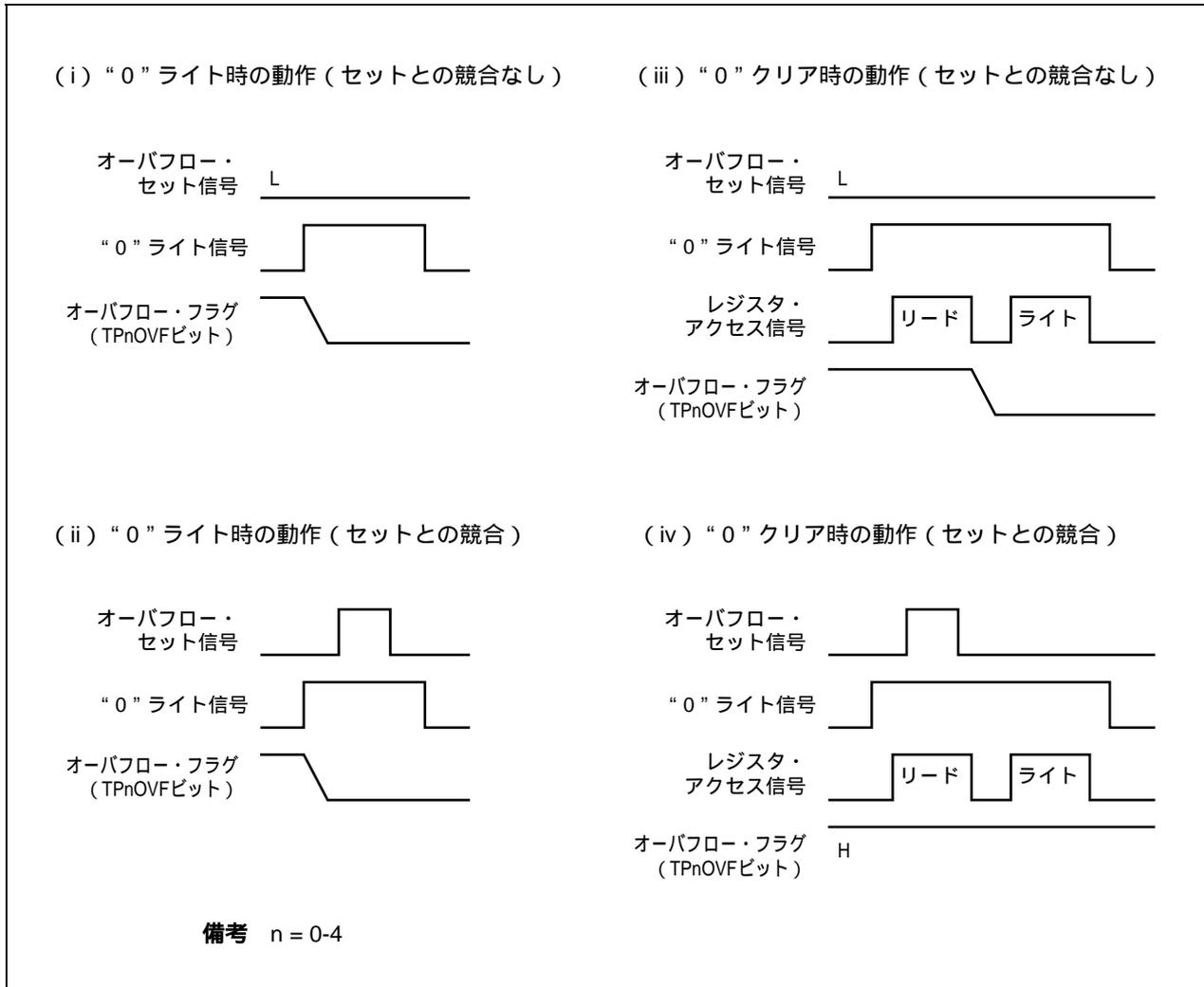
オーバフロー・カウンタが“N”のとき、パルス幅は  $(N \times 10000H + D_{m1} - D_{m0})$  で求められる。

この例では、2回のオーバフローが発生しているなので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

## (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TPnOVFビットをCLR命令でクリア(0)する方法と、TPnOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

### 6.7.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、TIOPnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTPnCCm)が発生したあと、TPnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIOPn0、TIOPn1端子のいずれか1本を使用してください。使用しない端子は、TPnIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIOPn0端子固定ですので、TIOPn1端子のパルス幅を測定してください。このとき、TPnIOC1.TPnIS1、TPnIS0ビット = 00(キャプチャ・トリガ入力(TIOPn0端子)：エッジ検出なし)に設定してください。

図6-37 パルス幅測定モードの構成図

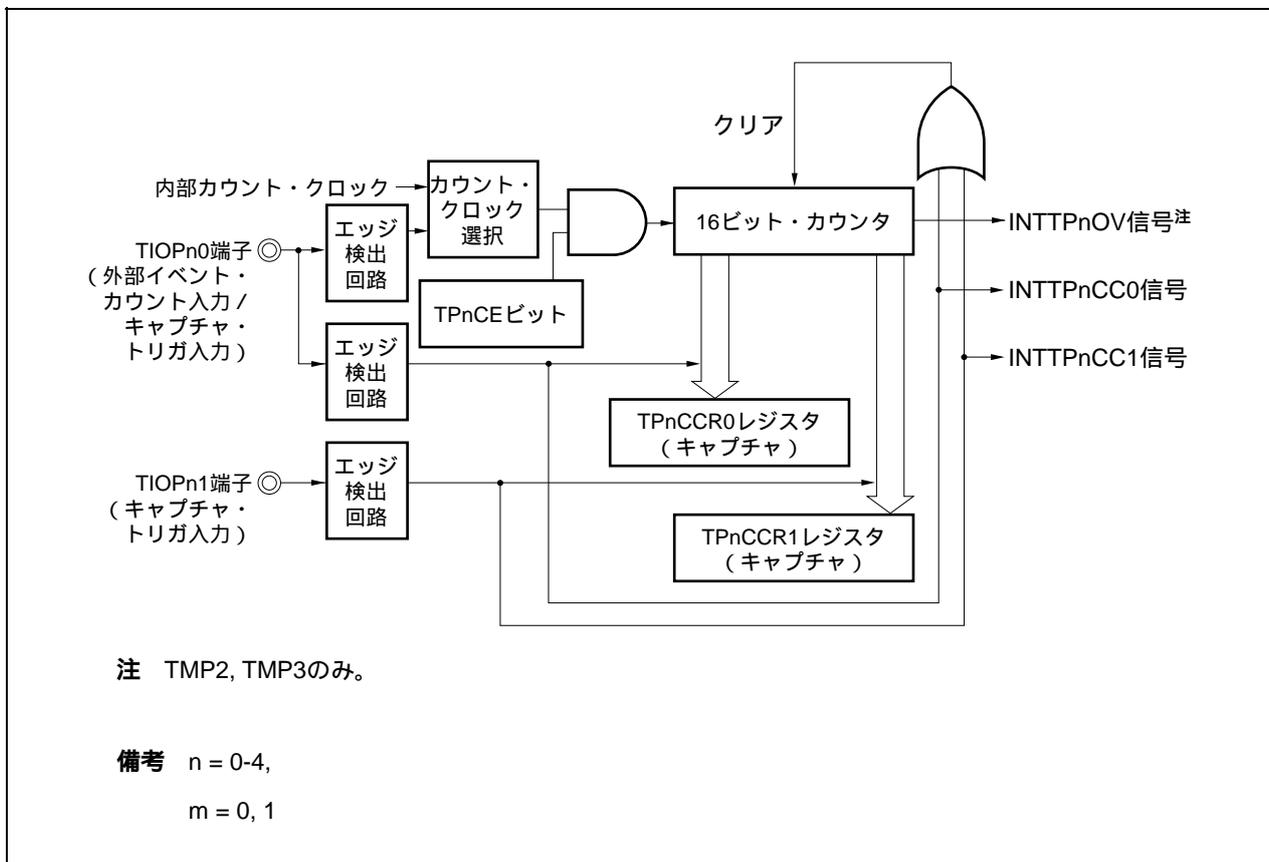
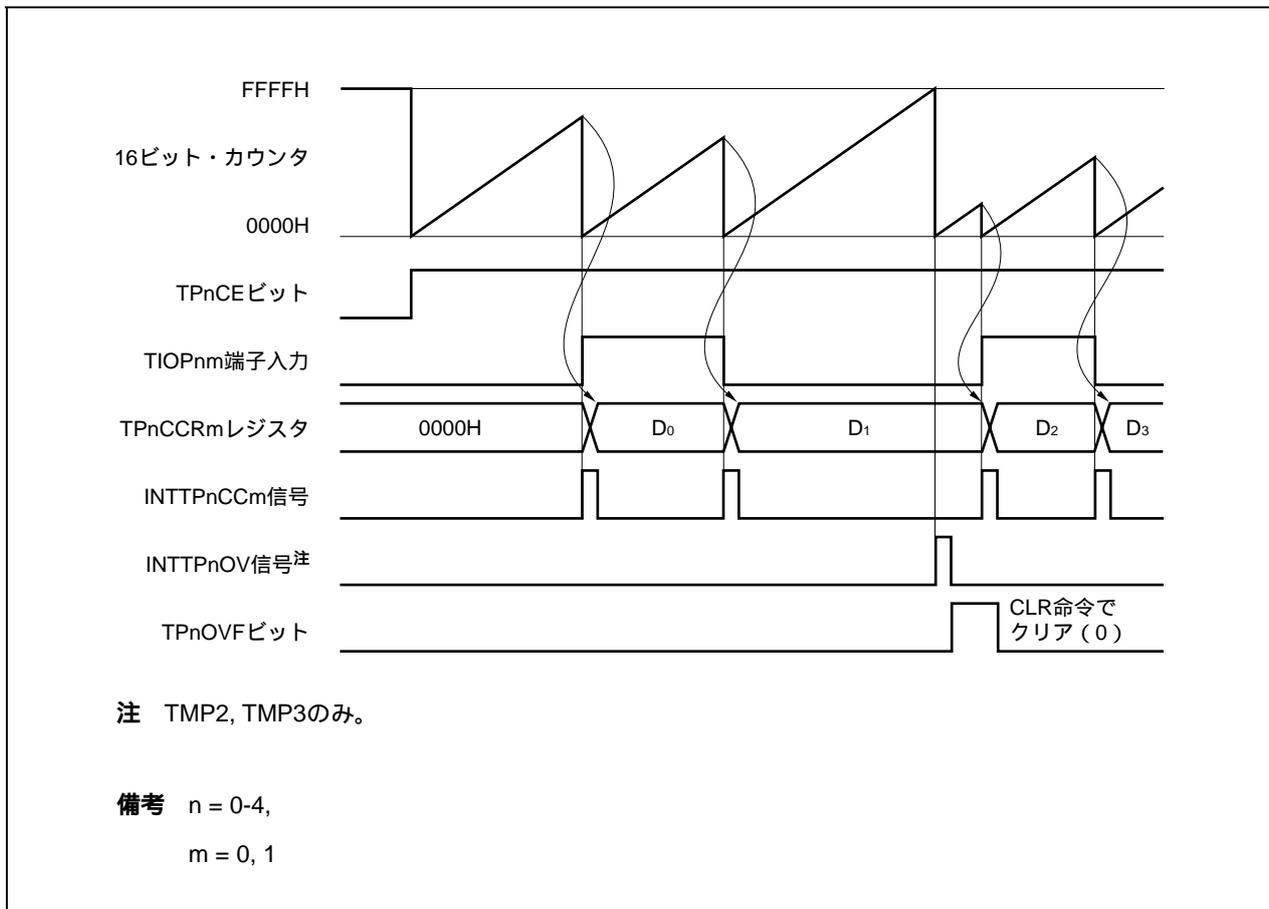


図6-38 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIOPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TPnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-4,  
m = 0, 1

図6 - 39 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

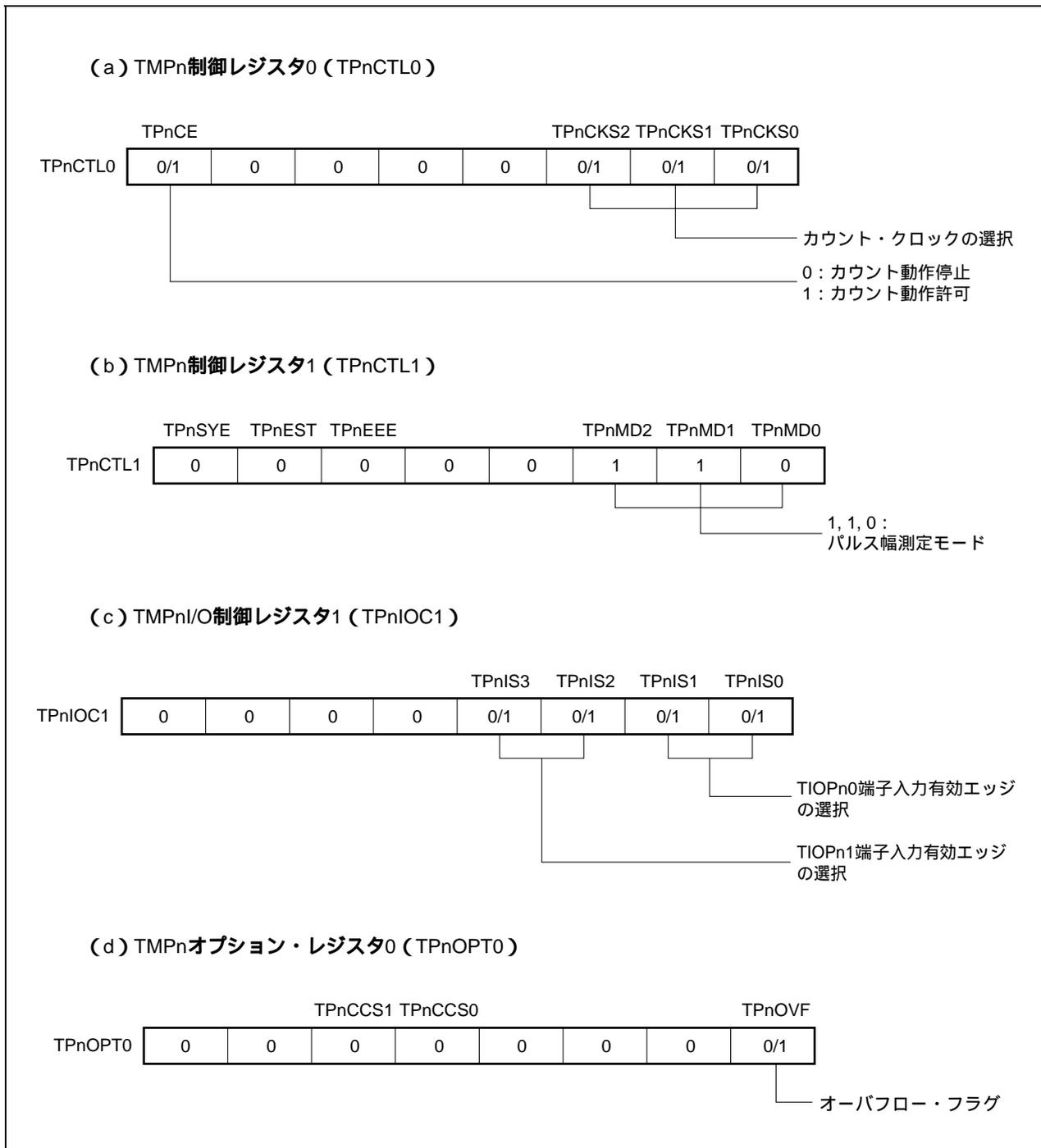


図6 - 39 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

**(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)**

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

**(f) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)**

TIOPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

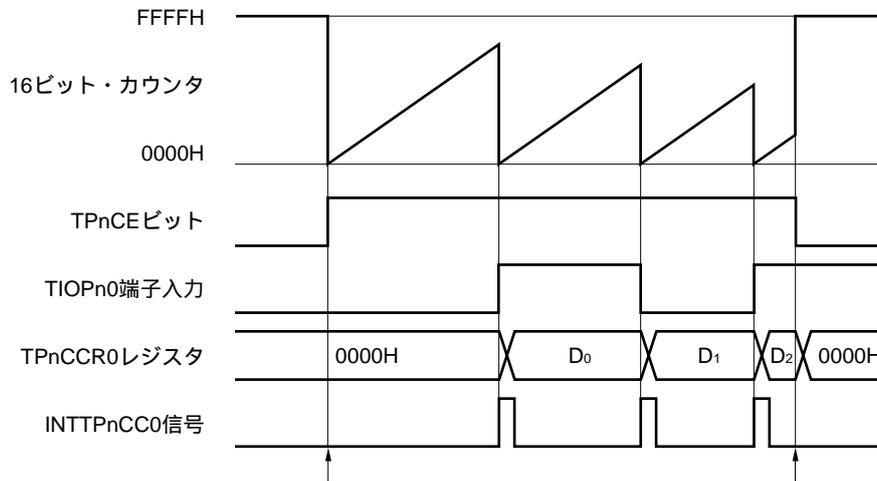
**備考1.** パルス幅測定モードでは、TMPnI/O制御レジスタ0 (TPnIOC0)、TMPnI/O制御レジスタ2 (TPnIOC2) は使用しません。

2. n = 0-4,

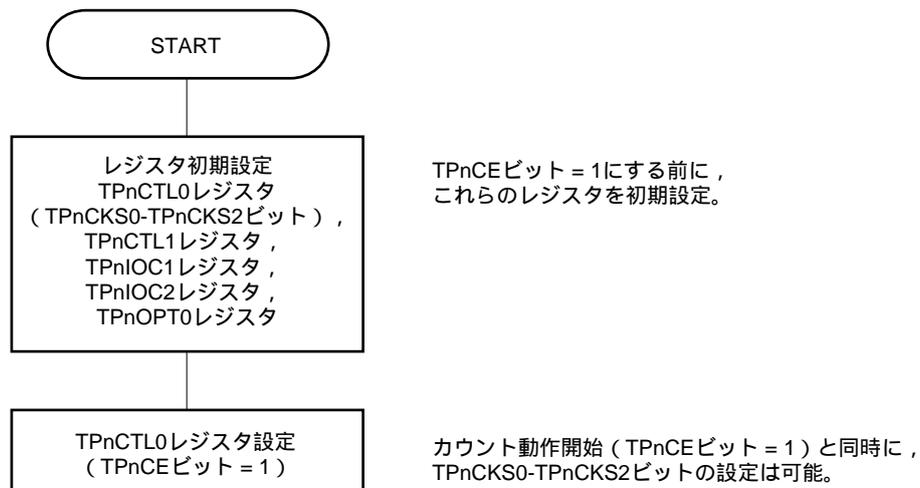
m = 0, 1

## (1) パルス幅測定モード動作フロー

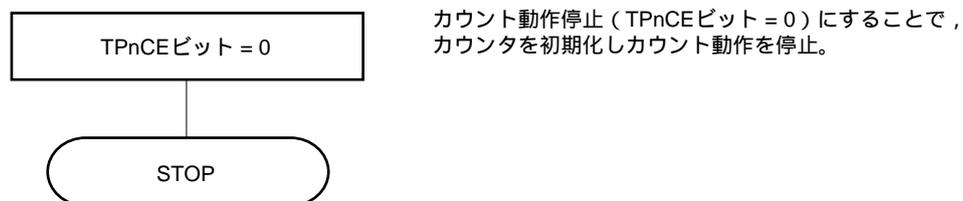
図6 - 40 パルス幅測定モード使用時のソフトウェア処理フロー



## カウント動作開始フロー



## カウント動作停止フロー

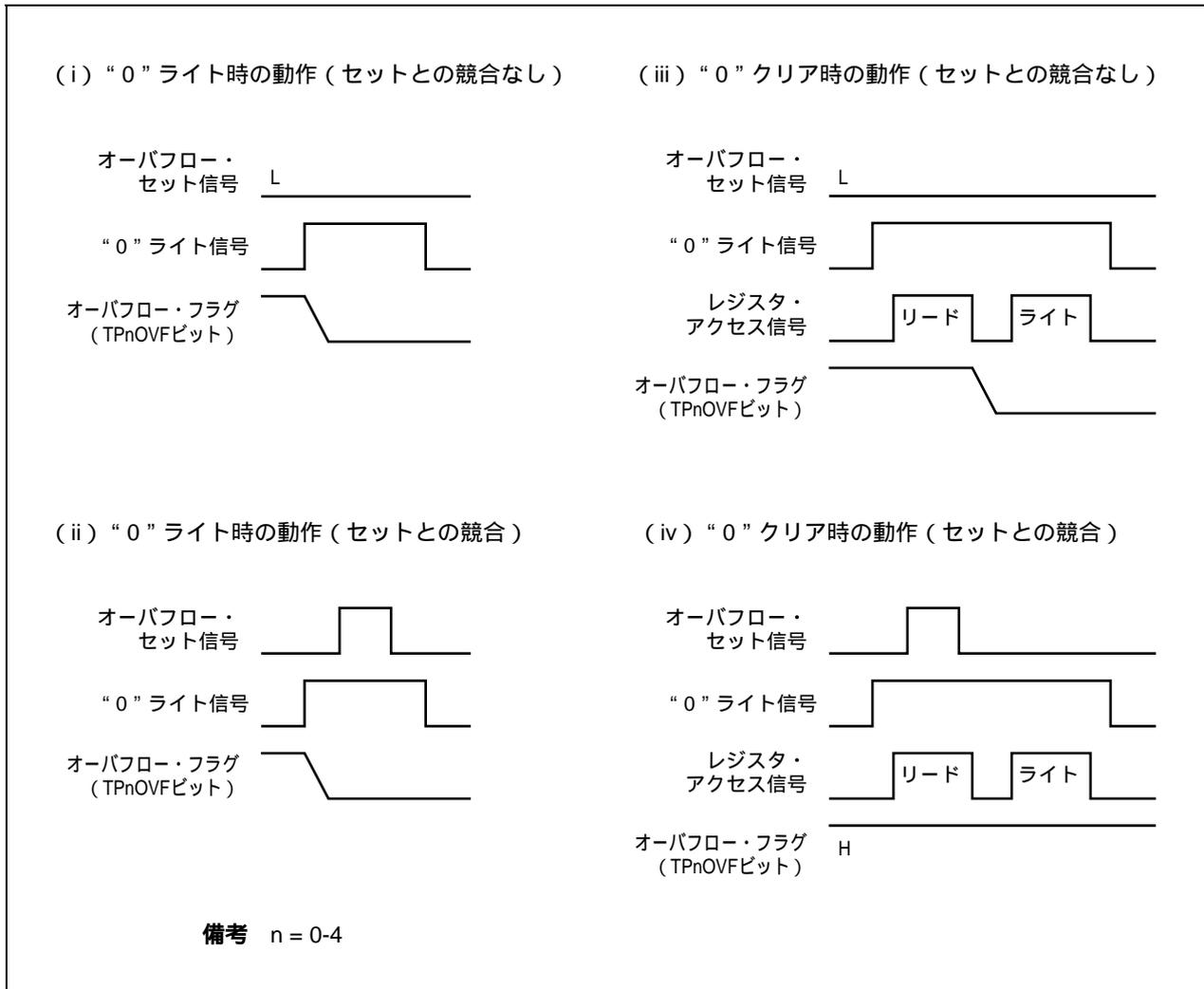


備考 n = 0-4

## (2) パルス幅測定モード動作タイミング

## (a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビットをCLR命令でクリア (0) する方法と、TPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

### 6.7.8 タイマ出力動作説明

次にTIOPn0, TIOPn1端子の動作, および出力レベルを示します。

表6-5 各モードによるタイマ出力制御

動作モード	TIOPn1端子	TIOPn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-4

表6-6 タイマ出力制御ビットによるTIOPn0, TIOPn1端子の真理値表

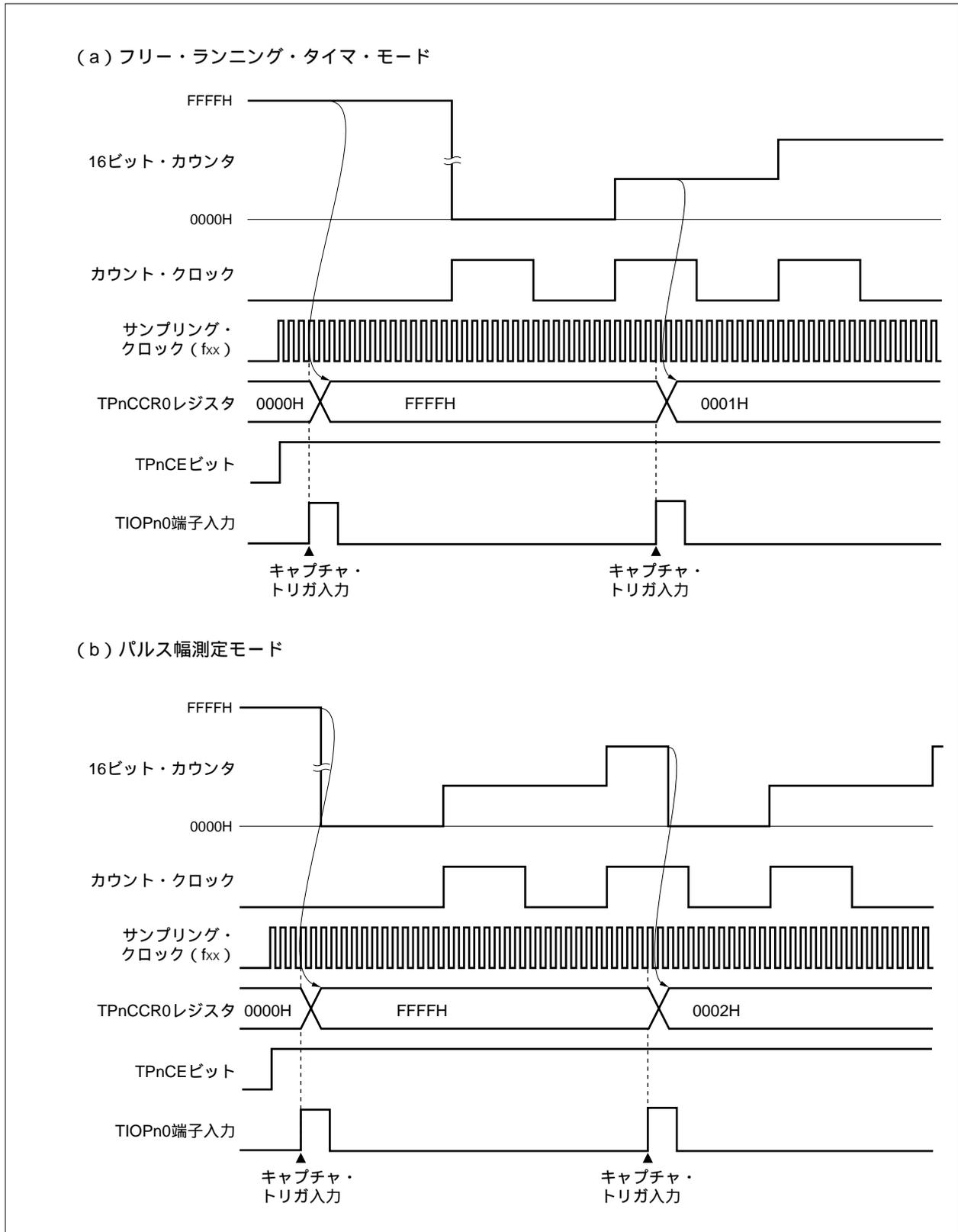
TPnIOC0.TPnOLmビット	TPnIOC0.TPnOEmビット	TPnCTL0.TPnCEビット	TIOPnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-4,  
m = 0, 1

## 6.8 注意事項

### (1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0、TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



## 第7章 8ビット・タイマ/イベント・カウンタ50, 51

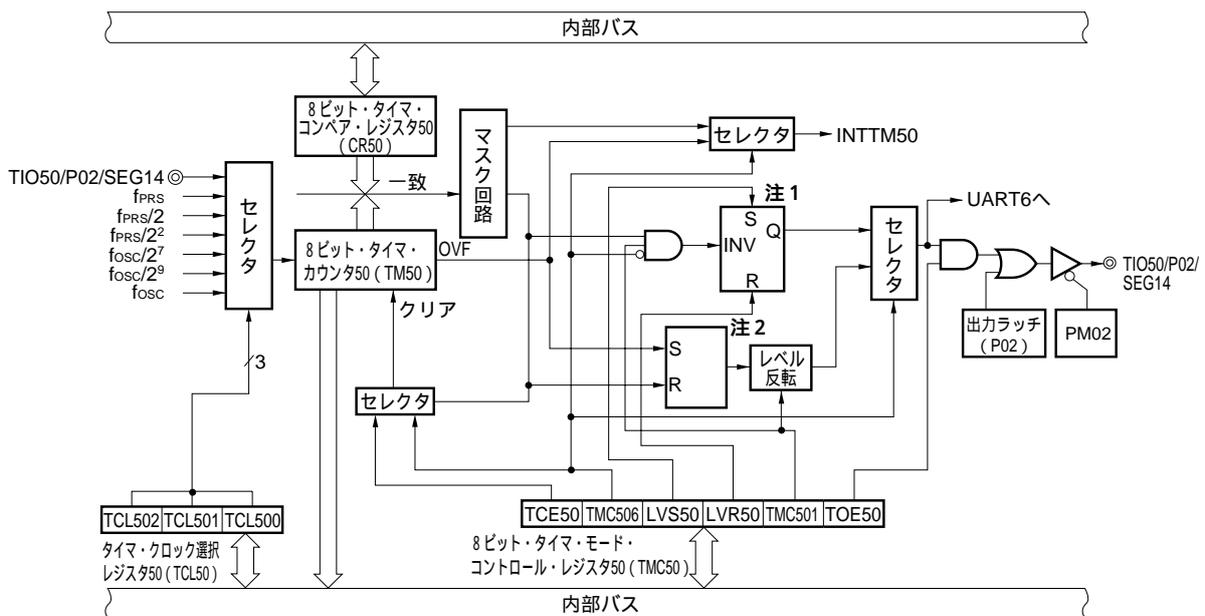
### 7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は、次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

図7-1, 7-2に, 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

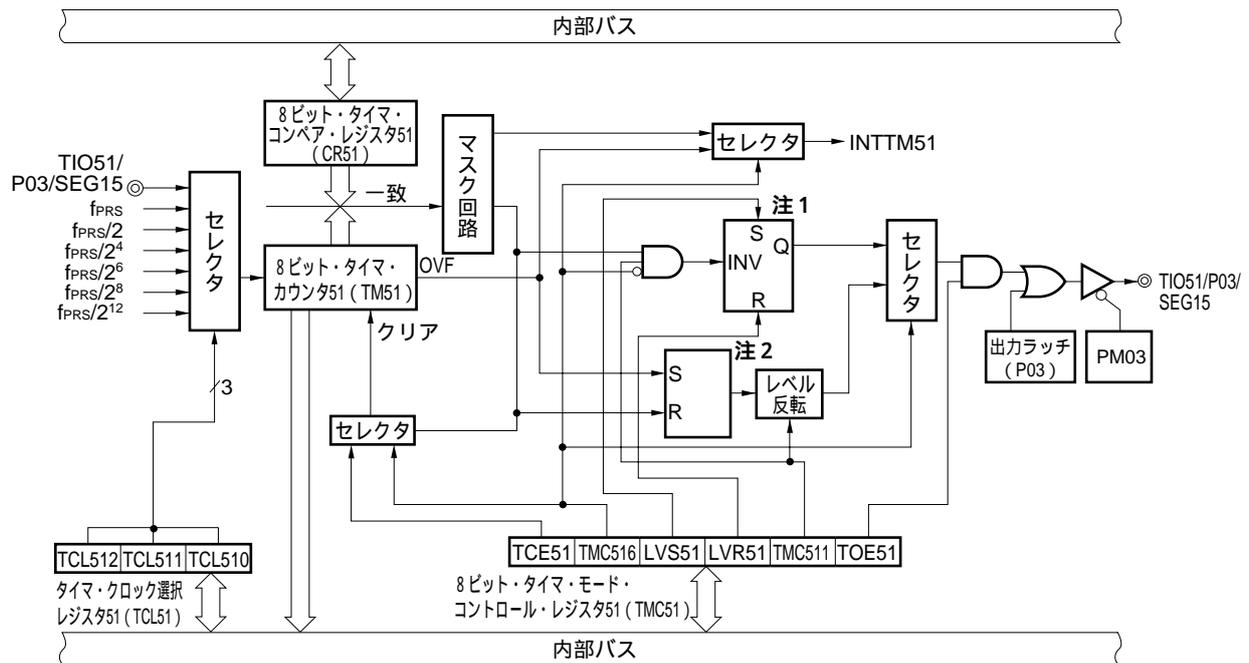
図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図



注1. タイマ出力F/F

注2. PWM出力F/F

図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図



注1. タイマ出力F/F

注2. PWM出力F/F

## 7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

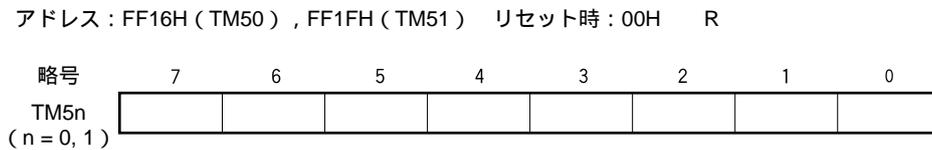
表7-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TIO5n
タイマ出力	TIO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0)

### (1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。  
カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-3 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

### (2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

PWMモード時は、TM5nのオーバーフローによりTIO5n端子がアクティブ・レベルになり、TM5nとCR5nの値が一致するとTIO5n端子はインアクティブ・レベルになります。

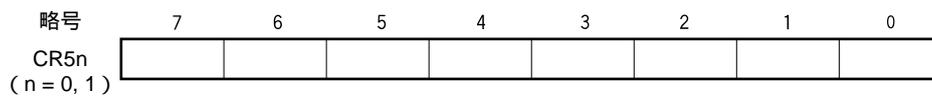
CR5nの値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図7-4 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット

アドレス : FF17H (CR50) , FF41H (CR51) リセット時 : 00H R/W



- 注意1. TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は, 動作中にCR5nに異なる値を書き込まないでください。
2. PWMモード時は, CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

## 7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

### (1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウンタ・クロックおよびTIO5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

**備考** n = 0, 1

図7-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF6AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択 <sup>注1</sup>				
			f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz	
0	0	0	TIO50端子の立ち下がりエッジ <sup>注2</sup>				
0	0	1	TIO50端子の立ち上がりエッジ <sup>注3</sup>				
0	1	0	f <sub>PRS</sub>	2 MHz	5 MHz	10 MHz	20 MHz
0	1	1	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	f <sub>PRS</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	1	f <sub>osc</sub> /2 <sup>7</sup>	1.88 kHz (TYP.)			
1	1	0	f <sub>osc</sub> /2 <sup>9</sup>	0.47 kHz (TYP.)			
1	1	1	f <sub>osc</sub>	240 kHz (TYP.)			

注 1. 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>IN</sub>) で動作している (XSEL = 1) の場合、電源電圧により、f<sub>PRS</sub> の動作周波数が異なります。

- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V : f<sub>PRS</sub> 20 MHz
- ・ V<sub>DD</sub> = 2.7 ~ 4.0 V : f<sub>PRS</sub> 10 MHz

2. オンボード・モード時は、FLMD0端子の立ち下がりエッジです。
3. オンボード・モード時は、FLMD0端子の立ち上がりエッジです。

注意 1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

f<sub>osc</sub> : 低速内蔵発振クロック周波数

図7-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択 <sup>注</sup>				
			f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz	
0	0	0	TIO51端子の立ち下がりエッジ				
0	0	1	TIO51端子の立ち上がりエッジ				
0	1	0	f <sub>PRS</sub>	2 MHz	5 MHz	10 MHz	20 MHz
0	1	1	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	1	f <sub>PRS</sub> /2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	f <sub>PRS</sub> /2 <sup>8</sup>	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	f <sub>PRS</sub> /2 <sup>12</sup>	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz

注 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>IN</sub>) で動作している (XSEL = 1) 場合、電源電圧により、f<sub>PRS</sub>の動作周波数が異なります。

- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V : f<sub>PRS</sub> 20 MHz
- ・ V<sub>DD</sub> = 2.7 ~ 4.0 V : f<sub>PRS</sub> 10 MHz

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

## (2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生により00Hになります。

備考 n = 0, 1

図7-7 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH    リセット時: 00H    R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50
TCE50	TM50のカウント動作制御							
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)							
1	カウント動作開始							
TMC506	TM50の動作モード選択							
0	TM50とCR50の一致でクリア & スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS50	LVR50	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをリセット (0) (TIO50出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TIO50出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC501	PWMモード以外 (TMC506 = 0)				PWMモード (TMC506 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE50	タイマ出力の制御							
0	出力禁止 (TM50の出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

(注意と備考は次ページにあります。)

図7-8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H リセット時 : 00H R/W<sup>注</sup>

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51
TCE51	TM51のカウンタ動作制御							
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)							
1	カウンタ動作開始							
TMC516	TM51の動作モード選択							
0	TM51とCR51の一致でクリア&スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS51	LVR51	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをリセット (0) (TIO51出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TIO51出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC511	PWMモード以外 (TMC516 = 0)				PWMモード (TMC516 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE51	タイマ出力の制御							
0	出力禁止 (TM51の出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

注意 1. LVS5nとLVR5nの設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC5n1, TMC5n6を設定 : 動作モードの設定

出力を許可する場合, TOE5nを設定 : タイマ出力許可

LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定

TCE5nを設定

3. TMC5n6を書き換える場合は, 動作を停止してから行ってください。

備考 1. PWMモード時は, TCE5n = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS5n, LVR5nは読み出すと, 0になっています。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は, TCE5nの値に関係なくTIO5n端子に反映されます。

4. n = 0, 1

**(3) ポート・モード・レジスタ0 (PM0)**

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P02/TIO50/SEG14, P03/TIO51/SEG15端子をタイマ出力として使用するとき, PM02, PM03およびP02, P03の出力ラッチに0を設定してください。

P02/TIO50/SEG14, P03/TIO51/SEG15端子をタイマ入力として使用するとき, PM02, PM03に1を設定してください。このとき, P02, P03の出力ラッチは0または1のどちらでもかまいません。

PM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

**図7-9 ポート・モード・レジスタ0 (PM0) のフォーマット**

アドレス : FF20H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

### 7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

#### 設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択  
( TMC5n = 0000 x x x 0B x = don't care )

TCE5n = 1を設定すると、カウント動作を開始します。

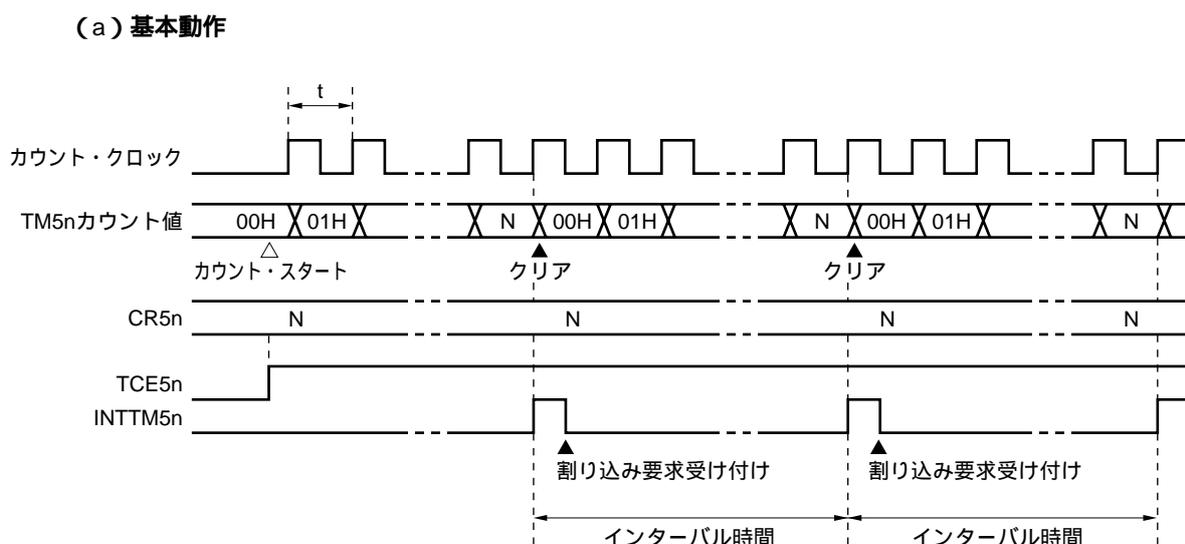
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

**注意** 動作中にCR5nに異なる値を書き込まないでください。

**備考** n = 0, 1

図7-10 インターバル・タイマ動作のタイミング (1/2)



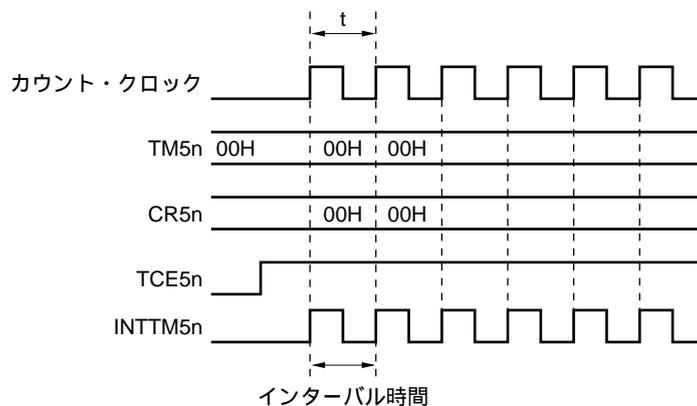
**備考** インターバル時間 =  $(N+1) \times t$

N = 00H-FFH

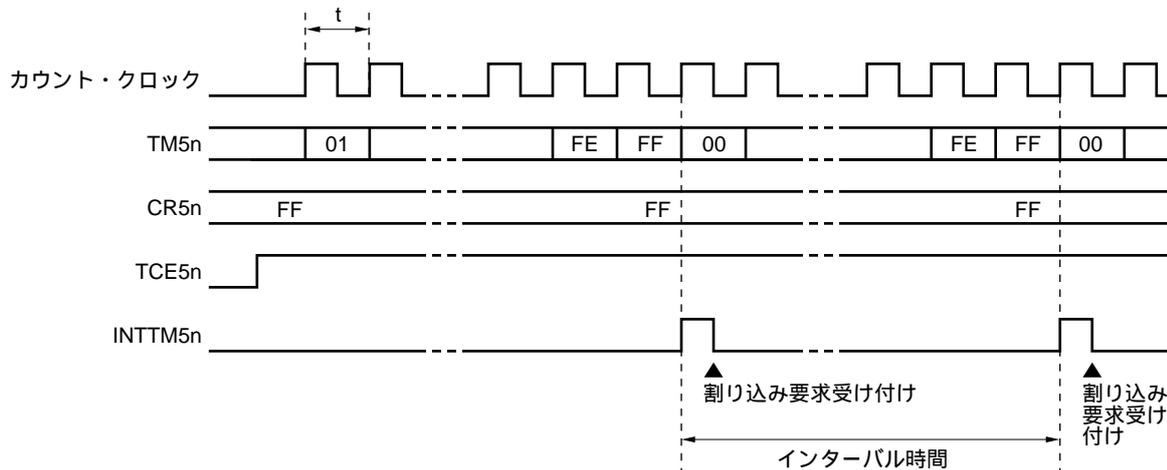
n = 0, 1

図7 - 10 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

### 7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TIO5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

#### 設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM02, PM03) <sup>注</sup>に “1” を設定
- ・TCL5n : TIO5n端子入力のエッジ選択  
TIO5n端子の立ち下がり TCL5n = 00H  
TIO5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止  
(TMC5n = 0000 x x 00B x = don't care)

TCE5n = 1を設定すると、TIO5n端子から入力されるパルス数をカウントします。

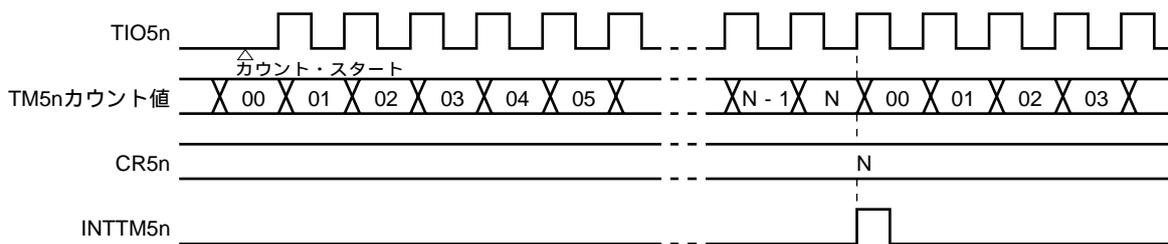
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

**注** 8ビット・タイマ/イベント・カウンタ50 : PM02

8ビット・タイマ/イベント・カウンタ51 : PM03

図7-11 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



**備考** N = 00H-FFH

n = 0, 1

### 7.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTIO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

#### 設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P02, P03)<sup>注</sup>, ポート・モード・レジスタ (PM02, PM03)<sup>注</sup>に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可

( TMC5n = 00001011Bまたは00000111B )

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TIO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数=  $1/2 t (N + 1)$   
( N : 00H-FFH )

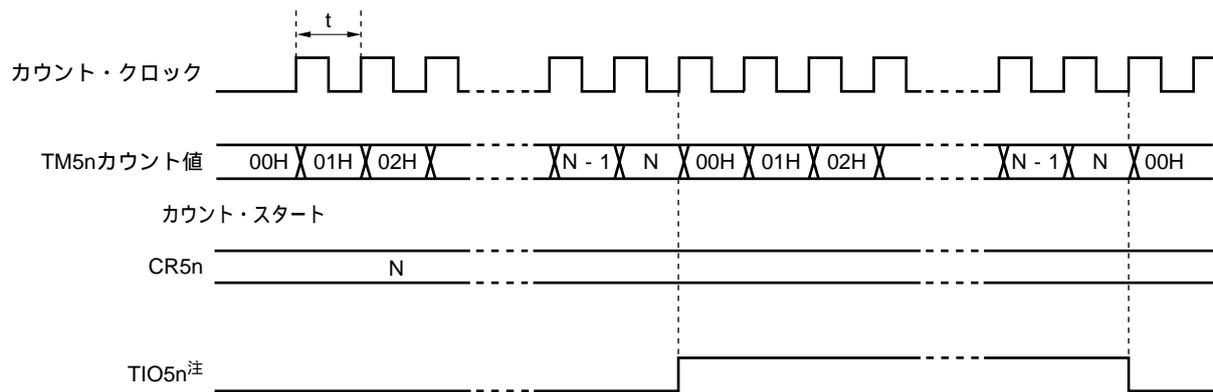
**注** 8ビット・タイマ/イベント・カウンタ50 : P02, PM02

8ビット・タイマ/イベント・カウンタ51 : P03, PM03

**注意** 動作中にCR5nに異なる値を書き込まないでください。

**備考** n = 0, 1

図7-12 方形波出力動作のタイミング



注 TIO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

#### 7.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TIO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

**注意** PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

**備考**  $n = 0, 1$

## (1) PWM出力の基本動作

## 設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P02, P03)<sup>注</sup>, ポート・モード・レジスタ (PM02, PM03)<sup>注</sup>に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

**注** 8ビット・タイマ/イベント・カウンタ50 : P02, PM02

8ビット・タイマ/イベント・カウンタ51 : P03, PM03

## PWM出力の動作

PWM出力 (TIO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7-13, 7-14を参照してください。

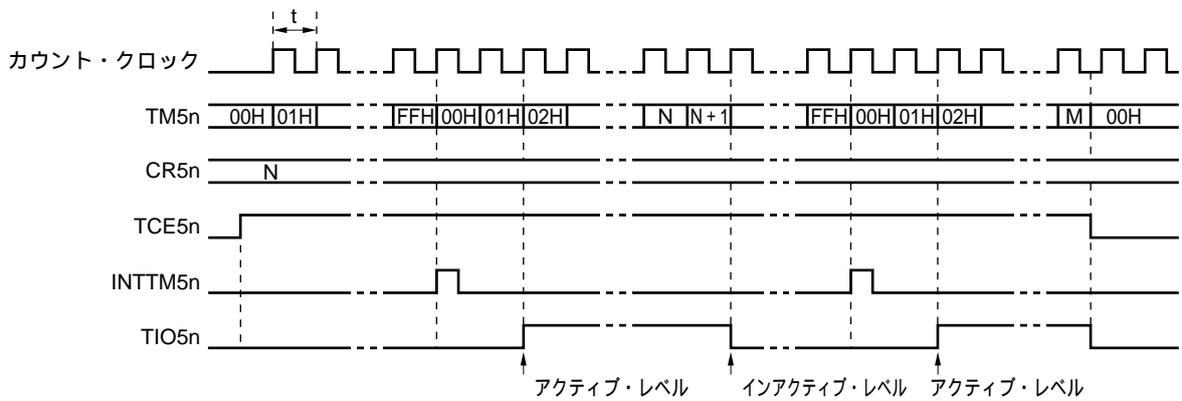
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 =  $2^8 t$
  - ・アクティブ・レベル幅 =  $Nt$
  - ・デューティ =  $N/2^8$
- (N = 00H-FFH)

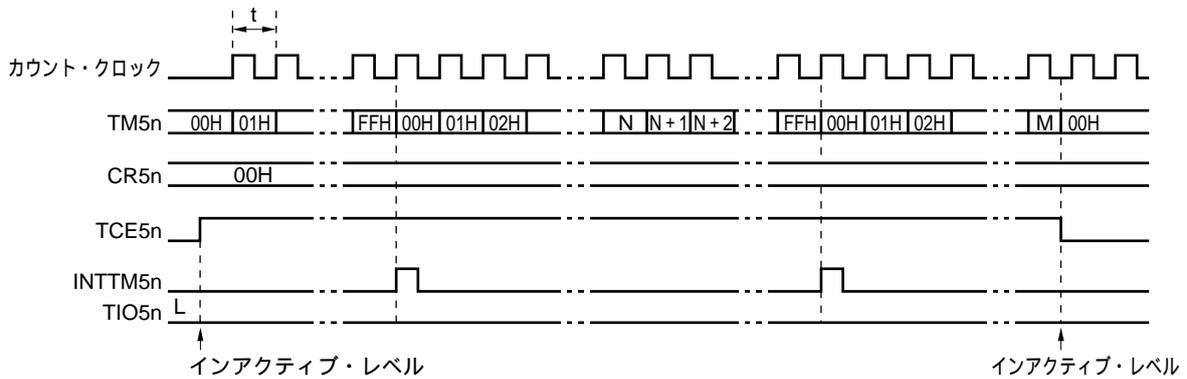
**備考** n = 0, 1

図7-13 PWM出力動作のタイミング

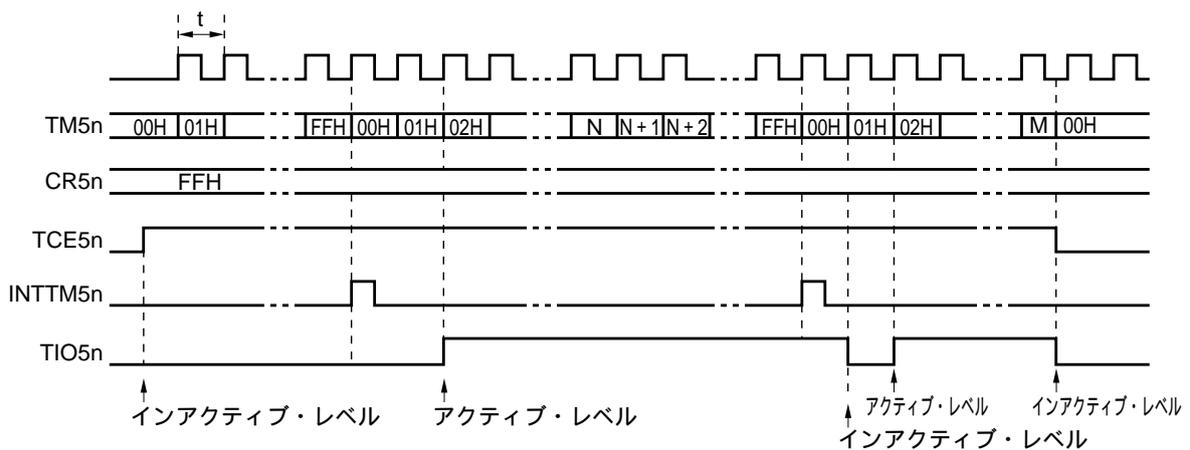
## (a) 基本動作 (アクティブ・レベル = Hのとき)



## (b) CR5n = 00Hの場合



## (c) CR5n = FFHの場合



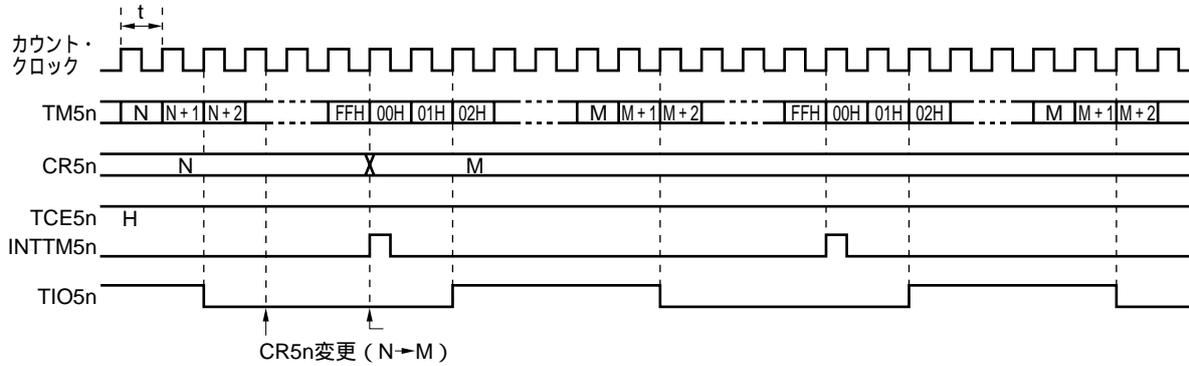
備考1. 図7-13(a)の - , は, 7.4.4(1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2.  $n = 0, 1$

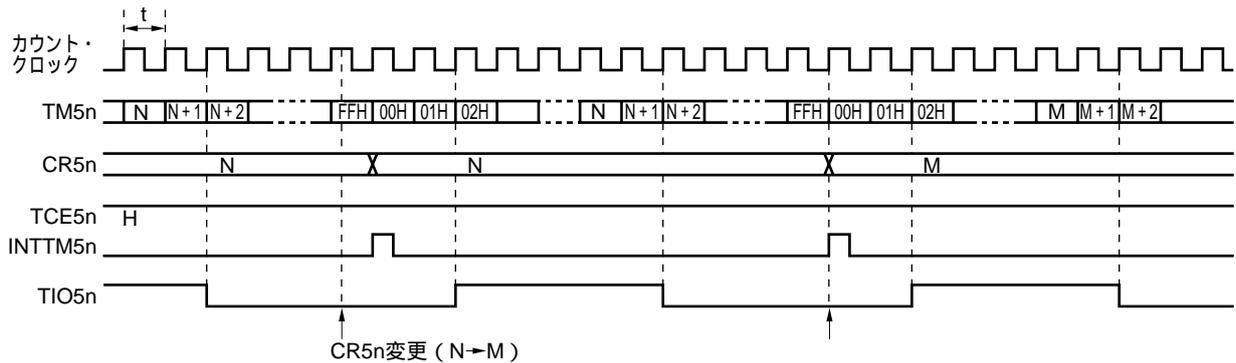
## (2) CR5n変更による動作

図7-14 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合  
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合  
2回目のオーバーフローでCR5nに値が転送されます



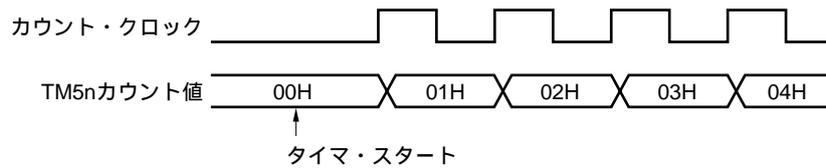
**注意** 図7-14の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

## 7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後,一致信号が発生するまでの時間は,最大で1クロック分の誤差が生じます。これは,カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

図7 - 15 8ビット・タイマ・カウンタ5nのスタート・タイミング



備考 n = 0, 1

## 第8章 時計用タイマ

### 8.1 時計用タイマの機能

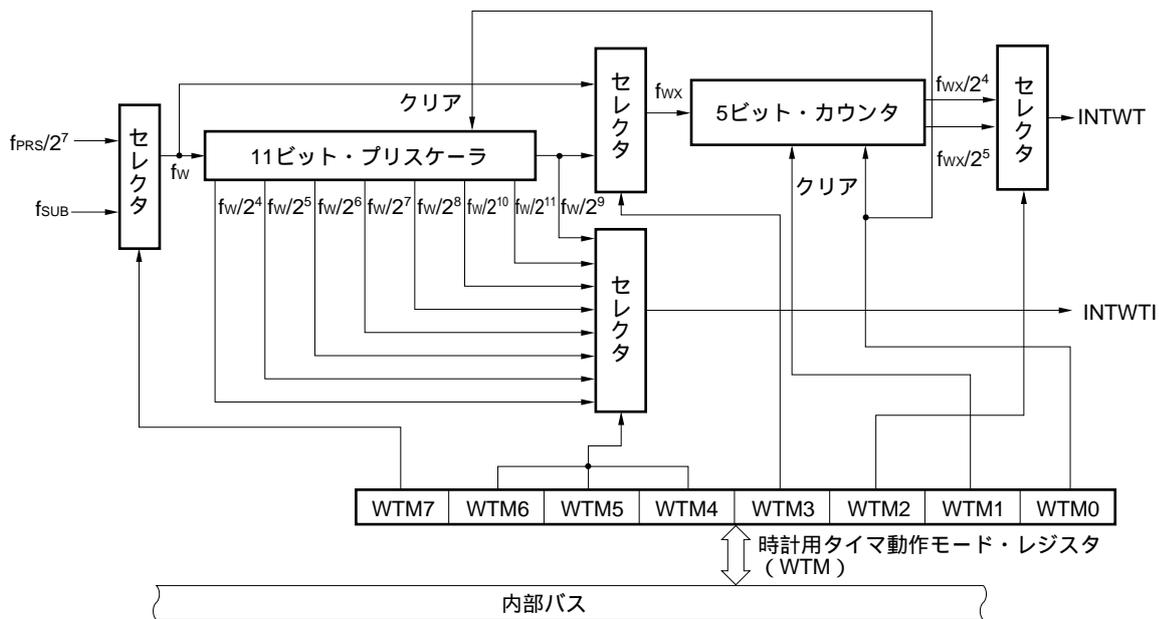
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に、時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



- 備考**
- f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数
  - f<sub>SUB</sub> : サブシステム・クロック周波数
  - f<sub>w</sub> : 時計用タイマ・クロック周波数 ( f<sub>PRS</sub>/2<sup>7</sup>またはf<sub>SUB</sub> )
  - f<sub>wx</sub> : f<sub>w</sub>またはf<sub>w</sub>/2<sup>9</sup>

## (1) 時計用タイマ

高速システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求 (INTWT) を発生します。

表8 - 1 時計用タイマの割り込み時間

割り込み時間	f <sub>SUB</sub> = 32.768 kHz動作時	f <sub>PRS</sub> = 2 MHz動作時	f <sub>PRS</sub> = 5 MHz動作時	f <sub>PRS</sub> = 10 MHz動作時	f <sub>PRS</sub> = 20 MHz動作時
2 <sup>4</sup> /f <sub>w</sub>	488 μs	1.02 ms	410 μs	205 μs	102 μs
2 <sup>5</sup> /f <sub>w</sub>	977 μs	2.05 ms	819 μs	410 μs	205 μs
2 <sup>13</sup> /f <sub>w</sub>	0.25 s	0.52 s	0.210 s	0.105 s	520 μs
2 <sup>14</sup> /f <sub>w</sub>	0.5 s	1.05 s	0.419 s	0.210 s	0.105 s

備考 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

f<sub>SUB</sub> : サブシステム・クロック周波数

f<sub>w</sub> : 時計用タイマ・クロック周波数 (f<sub>PRS</sub>/2<sup>7</sup>またはf<sub>SUB</sub>)

## (2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表8 - 2 インターバル・タイマのインターバル時間

割り込み時間	f <sub>SUB</sub> = 32.768 kHz動作時	f <sub>PRS</sub> = 2 MHz動作時	f <sub>PRS</sub> = 5 MHz動作時	f <sub>PRS</sub> = 10 MHz動作時	f <sub>PRS</sub> = 20 MHz動作時
2 <sup>4</sup> /f <sub>w</sub>	488 μs	1.02 ms	410 μs	205 μs	102 μs
2 <sup>5</sup> /f <sub>w</sub>	977 μs	2.05 ms	820 μs	410 μs	205 μs
2 <sup>6</sup> /f <sub>w</sub>	1.95 ms	4.10 ms	1.64 ms	820 μs	410 μs
2 <sup>7</sup> /f <sub>w</sub>	3.91 ms	8.20 ms	3.28 ms	1.64 ms	820 μs
2 <sup>8</sup> /f <sub>w</sub>	7.81 ms	16.4 ms	6.55 ms	3.28 ms	1.64 ms
2 <sup>9</sup> /f <sub>w</sub>	15.6 ms	32.8 ms	13.1 ms	6.55 ms	3.28 ms
2 <sup>10</sup> /f <sub>w</sub>	31.3 ms	65.5 ms	26.2 ms	13.1 ms	6.55 ms
2 <sup>11</sup> /f <sub>w</sub>	62.5 ms	131.1 ms	52.4 ms	26.2 ms	13.1 ms

備考 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

f<sub>SUB</sub> : サブシステム・クロック周波数

f<sub>w</sub> : 時計用タイマ・クロック周波数 (f<sub>PRS</sub>/2<sup>7</sup>またはf<sub>SUB</sub>)

## 8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 3 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ (WTM)

### 8.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ動作モード・レジスタ (WTM) があります。

- ・時計用タイマ動作モード・レジスタ (WTM)

時計用タイマのカウント・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図8-2 時計用タイマ動作モード・レジスタ (WTM) のフォーマット

アドレス : FF8FH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計用タイマのカウンタ・クロック選択 ( $f_w$ ) <sup>注</sup>					
	$f_{SUB}=32.768\text{ kHz}$	$f_{PRS}=2\text{ MHz}$	$f_{PRS}=5\text{ MHz}$	$f_{PRS}=10\text{ MHz}$	$f_{PRS}=20\text{ MHz}$	
0	$f_{PRS}/2^7$	-	15.625 kHz	39.625 kHz	78.125 kHz	156.25 kHz
1	$f_{SUB}$	32.768 kHz	-			

WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
1	1	0	$2^{10}/f_w$
1	1	1	$2^{11}/f_w$

WTM3	WTM2	割り込み時間の選択
0	0	$2^{14}/f_w$
0	1	$2^{13}/f_w$
1	0	$2^5/f_w$
1	1	$2^4/f_w$

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケーラ, 5ビット・カウンタともにクリア)
1	動作許可

**注** 周辺ハードウェア・クロック ( $f_{PRS}$ ) が高速システム・クロック ( $f_{IN}$ ) で動作している ( $XSEL = 1$ ) 場合、電源電圧により、 $f_{PRS}$ の動作周波数が異なります。

- ・  $V_{DD} = 4.0 \sim 5.5\text{ V}$  :  $f_{PRS} = 20\text{ MHz}$
- ・  $V_{DD} = 2.7 \sim 4.0\text{ V}$  :  $f_{PRS} = 10\text{ MHz}$

**注意** 時計用タイマ動作中に、カウンタ・クロック、インターバル時間の変更 (WTMのビット4-7 (WTM4-WTM7) で設定) をしないでください。

**備考**  $f_w$  : 時計用タイマ・クロック周波数 ( $f_{PRS}/2^7$ または $f_{SUB}$ )  
 $f_{PRS}$  : 周辺ハードウェア・クロック周波数  
 $f_{SUB}$  : サブシステム・クロック周波数

## 8.4 時計用タイマの動作

### 8.4.1 時計用タイマとしての動作

時計用タイマは、周辺ハードウェア・クロックまたはサブシステム・クロックを使用し、一定の時間間隔ごとに、割り込み要求信号 (INTWT) を発生します。

時計用タイマ動作モード・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、11ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバーフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

割り込み要求の時間間隔は、次のようになります。

表8-4 時計用タイマの割り込み時間

WTM3	WTM2	割り込み 時間の選択	$f_{SUB} = 32.768$ kHz動作時 (WTM7 = 1)	$f_{PRS} = 2$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 5$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 10$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 20$ MHz 動作時 (WTM7 = 0)
0	0	$2^{14}/f_w$	0.5 s	1.05 s	0.419 s	0.210 s	0.105 s
0	1	$2^{13}/f_w$	0.25 s	0.52 s	0.210 s	0.105 s	52.5 ms
1	0	$2^5/f_w$	977 $\mu$ s	2.05 ms	819 $\mu$ s	410 $\mu$ s	205 $\mu$ s
1	1	$2^4/f_w$	488 $\mu$ s	1.02 ms	410 $\mu$ s	205 $\mu$ s	102 $\mu$ s

備考1.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_{PRS}/2^7$ または $f_{SUB}$ )

2.  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

3.  $f_{SUB}$  : サブシステム・クロック周波数

### 8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTWTI) を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。WTMのビット0 (WTM0) に1を設定するとカウント動作がスタートし、0を設定することにより、カウント動作が停止します。

表8-5 インターバル・タイマのインターバル時間

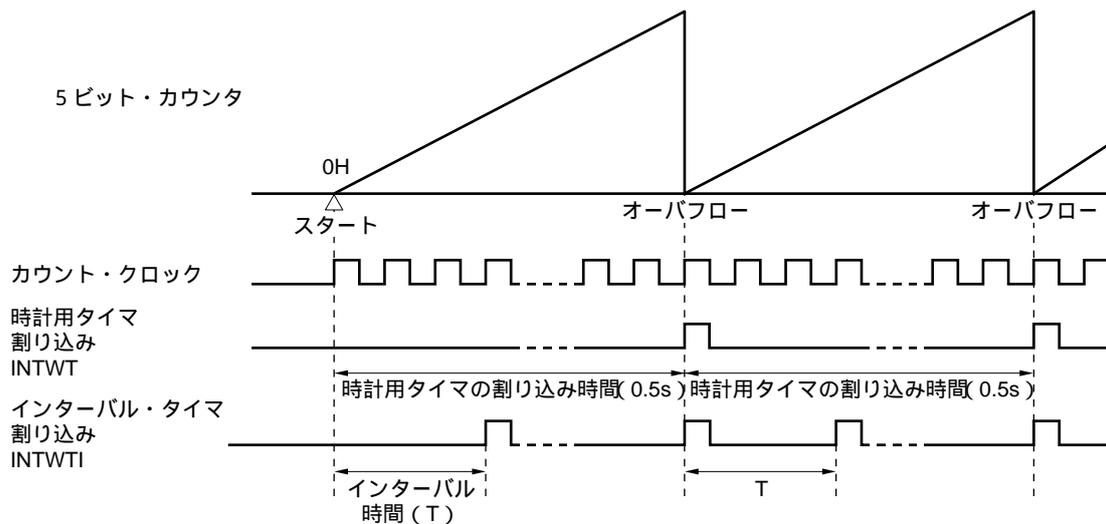
WTM6	WTM5	WTM4	インターバル 時間	$f_{SUB} = 32.768$ kHz動作時 (WTM7 = 1)	$f_{PRS} = 2$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 5$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 10$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 20$ MHz 動作時 (WTM7 = 0)
0	0	0	$2^4/f_w$	488 $\mu$ s	1.02 ms	410 $\mu$ s	205 $\mu$ s	102 $\mu$ s
0	0	1	$2^5/f_w$	977 $\mu$ s	2.05 ms	820 $\mu$ s	410 $\mu$ s	205 $\mu$ s
0	1	0	$2^6/f_w$	1.95 ms	4.10 ms	1.64 ms	820 $\mu$ s	410 $\mu$ s
0	1	1	$2^7/f_w$	3.91 ms	8.20 ms	3.28 ms	1.64 ms	820 $\mu$ s
1	0	0	$2^8/f_w$	7.81 ms	16.4 ms	6.55 ms	3.28 ms	1.64 ms
1	0	1	$2^9/f_w$	15.6 ms	32.8 ms	13.1 ms	6.55 ms	3.28 ms
1	1	0	$2^{10}/f_w$	31.3 ms	65.5 ms	26.2 ms	13.1 ms	6.55 ms
1	1	1	$2^{11}/f_w$	62.5 ms	131.1 ms	52.4 ms	26.2 ms	13.1 ms

備考1.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_{PRS}/2^7$ または $f_{SUB}$ )

2.  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

3.  $f_{SUB}$  : サブシステム・クロック周波数

図8-3 時計用タイマ/インターバル・タイマの動作タイミング



備考  $f_w$  : 時計用タイマ・クロック周波数

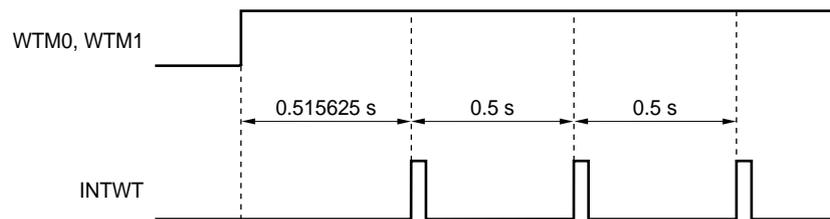
( ) 内は,  $f_w = 32.768$  kHz動作時 (WTM7 = 1, WTM3, WTM2 = 0, 0)。

## 8.5 時計用タイマの注意事項

時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTMのビット0 (WTM0) およびビット1 (WTM1) を1にセット) したとき, 設定後の最初の割り込み要求 (INTWT) までの時間は, 正確にWTMのビット2, 3 (WTM2, WTM3) の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。

図8 - 4 時計用タイマ割り込み要求 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)

1回目のINTWTが発生するまでに, 最大0.515625 sかかります ( $2^9 \times 1/32768 = 0.015625$  s長くかかります)。そのあとは0.5 sごとにINTWTが発生します。



## 第9章 ウォッチドッグ・タイマ

### 9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合 (CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域 (ただしFB00H-FFCFH, FFE0H-FFFFHは除く) にアクセスした場合 (CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第21章 **リセット機能**を参照してください。

### 9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

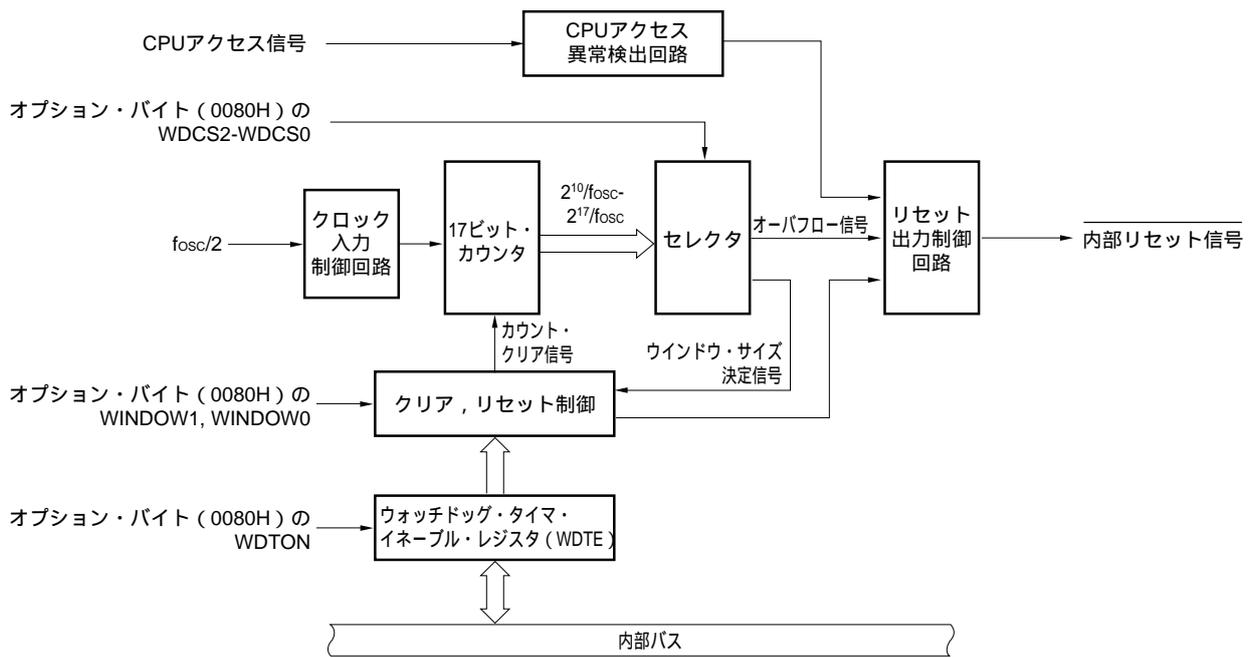
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表9-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2-WDCS0)

**備考** オプション・バイトについては、第25章 **オプション・バイト**を参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



### 9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

#### (1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により9AHまたは1AH<sup>注</sup>になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF9BH リセット時 : 9AH/1AH<sup>注</sup> R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

## 9.4 ウォッチドッグ・タイマの動作

### 9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト (0080H) で次の内容を設定します。

・オプション・バイト (0080H) のビット4 (WDTON) を1に設定し、ウォッチドッグ・タイマのカウント動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、第25章 オプション・バイトを参照)。

WDTON	ウォッチドッグ・タイマのカウンタ制御 / 不正アクセス検出の動作制御
0	カウント動作禁止 (リセット後、カウント停止), 不正アクセス検出動作禁止
1	カウント動作許可 (リセット後、カウント開始), 不正アクセス検出動作許可

・オプション・バイト (0080H) のビット3-1 (WDCS2-WDCS0) で、オーバフロー時間を設定してください (詳細は、9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定および第25章 オプション・バイトを参照)。

・オプション・バイト (0080H) のビット6, 5 (WINDOW1, WINDOW0) で、ウインドウ・オープン期間を設定してください (詳細は、9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定および第25章 オプション・バイトを参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・オープン期間以外に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合 (CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域 (ただしFB00H-FFCFH, FFE0H-FFFFHは除く) にアクセスした場合 (CPU暴走時の異常アクセス検出)

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{osc}$ 秒の誤差が生じる場合があります。
  3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前 (FFFFH) まで有効です。

注意4. オプション・バイト (0080H) のビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマの HALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウンタ開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM<sup>®</sup>エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

#### 9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (0080H) のビット3-1 (WDSC2-WDSC0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウンタ動作を開始します。

設定するオーバフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDSC2	WDSC1	WDSC0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{osc}$ (3.88 ms)
0	0	1	$2^{11}/f_{osc}$ (7.76 ms)
0	1	0	$2^{12}/f_{osc}$ (15.52 ms)
0	1	1	$2^{13}/f_{osc}$ (31.03 ms)
1	0	0	$2^{14}/f_{osc}$ (62.06 ms)
1	0	1	$2^{15}/f_{osc}$ (124.12 ms)
1	1	0	$2^{16}/f_{osc}$ (248.24 ms)
1	1	1	$2^{17}/f_{osc}$ (496.48 ms)

注意1. WDSC2 = WDSC1 = WDSC0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1.  $f_{osc}$  : 低速内蔵発振クロック周波数

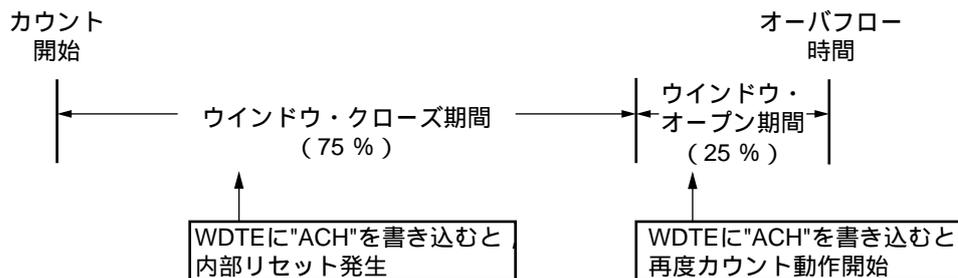
- ( ) 内は  $f_{osc} = 264 \text{ kHz (MAX.)}$  の場合

### 9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

#### 例 ウインドウ・オープン期間が25%の場合



**注意** リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表9-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

**注意1.** WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

**備考** オーバフロー時間を $2^{10}/f_{osc}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

(2.7 V  $V_{DD}$  5.5 Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ 1.19 ms	なし
ウインドウ・オープン時間	3.56 ~ 3.88 ms	2.37 ~ 3.88 ms	1.19 ~ 3.88 ms	0 ~ 3.88 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{osc} (\text{MAX.}) = 2^{10}/264 \text{ kHz} (\text{MAX.}) = 3.88 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{osc} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 3.56 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{osc} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{osc} (\text{MAX.}) = 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/264 \text{ kHz} (\text{MAX.}) = 3.56 \sim 3.88 \text{ ms}$$

## 第10章 クロック出力／ブザー出力制御回路

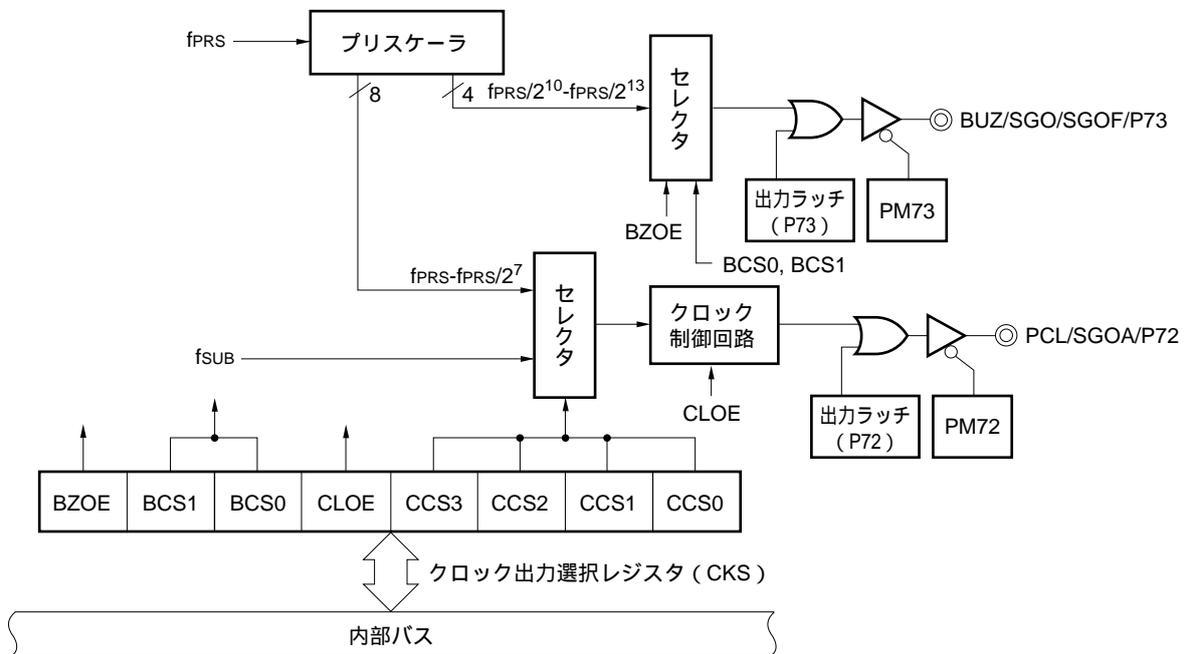
### 10.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図10 - 1にクロック出力／ブザー出力制御回路のブロック図を示します。

図10 - 1 クロック出力／ブザー出力制御回路のブロック図



## 10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表10 - 1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ7 (PM7) ポート・レジスタ7 (P7)

## 10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ7 (PM7)

### (1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可 / 禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz
0	0	f <sub>PRS</sub> /2 <sup>10</sup>	9.77 kHz	19.54 kHz
0	1	f <sub>PRS</sub> /2 <sup>11</sup>	4.88 kHz	9.77 kHz
1	0	f <sub>PRS</sub> /2 <sup>12</sup>	2.44 kHz	4.88 kHz
1	1	f <sub>PRS</sub> /2 <sup>13</sup>	1.22 kHz	2.44 kHz

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択 <sup>注1</sup>		
				f <sub>SUB</sub> = 32.768 kHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz
0	0	0	0	f <sub>PRS</sub>	10 MHz	設定禁止 <sup>注2</sup>
0	0	0	1	f <sub>PRS</sub> /2	5 MHz	10 MHz
0	0	1	0	f <sub>PRS</sub> /2 <sup>2</sup>	2.5 MHz	5 MHz
0	0	1	1	f <sub>PRS</sub> /2 <sup>3</sup>	1.25 MHz	2.5 MHz
0	1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	625 kHz	1.25 MHz
0	1	0	1	f <sub>PRS</sub> /2 <sup>5</sup>	312.5 kHz	625 kHz
0	1	1	0	f <sub>PRS</sub> /2 <sup>6</sup>	156.25 kHz	312.5 kHz
0	1	1	1	f <sub>PRS</sub> /2 <sup>7</sup>	78.125 kHz	156.25 kHz
1	0	0	0	f <sub>SUB</sub>	32.768 kHz	-
上記以外				設定禁止		

注1. 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>IN</sub>) で動作している (XSEL = 1) 場合、電源電圧により、f<sub>PRS</sub>の動作周波数が異なります。

・ V<sub>DD</sub> = 4.0 ~ 5.5 V : f<sub>PRS</sub> 20 MHz

・ V<sub>DD</sub> = 2.7 ~ 4.0 V : f<sub>PRS</sub> 10 MHz

2. PCLの出力クロックは、10 MHzを越えると設定禁止です。

- 注意1. BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。
2. CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数  
 $f_{SUB}$  : サブシステム・クロック周波数

## (2) ポート・モード・レジスタ7 (PM7)

ポート7の入力／出力を1ビット単位で設定するレジスタです。

P72/SGOA/PCL端子をクロック出力機能として、P73/SGO/SGOF/BUZ端子をブザー出力機能として使用する時、PM72, PM73およびP72, P73の出力ラッチに0を設定してください。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図10-3 ポート・モード・レジスタ7 (PM7) のフォ - マット

アドレス : FF27H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM7	1	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 10.4 クロック出力／ブザー出力制御回路の動作

### 10.4.1 クロック出力としての動作

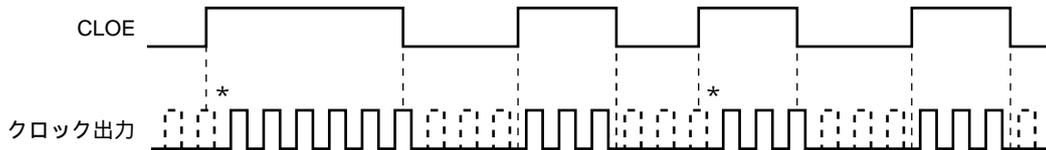
クロック・パルスは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

CKSのビット4 (CLOE) に1を設定し、クロック出力を許可する。

**備考** クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図10 - 4に示すように、必ずクロックのロウ期間から出力を開始します (図中の \* 印参照)。また、停止する場合には、クロックのハイ期間後に、出力を停止します。

図10 - 4 リモコン出力応用例



### 10.4.2 ブザー出力としての動作

ブザー・クロックは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット5, 6 (BCS0, BCS1) でブザー出力周波数を選択する (ブザー出力は禁止の状態)。

CKSのビット7 (BZOE) に1を設定し、ブザー出力を許可する。

## 第11章 A/Dコンバータ

### 11.1 A/Dコンバータの機能

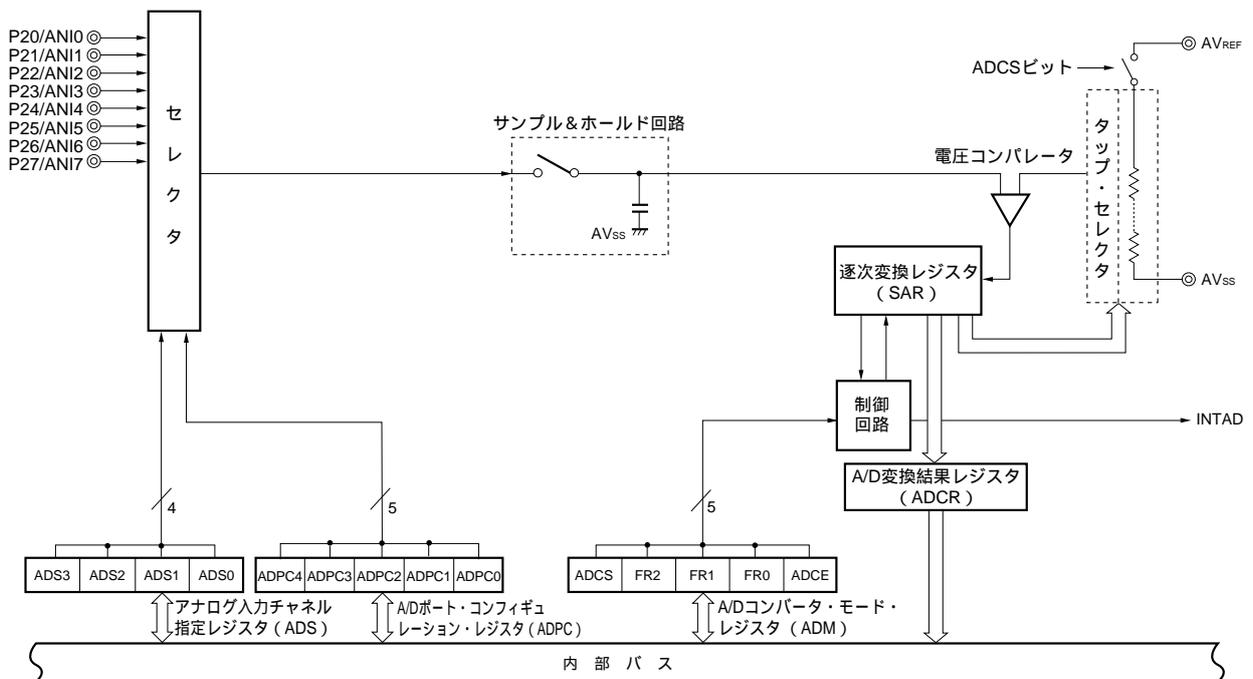
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネル (ANI0-ANI7) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- ・10ビット分解能A/D変換

アナログ入力をANI0-ANI7から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図11-1 A/Dコンバータのブロック図



## 11.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

### (1) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

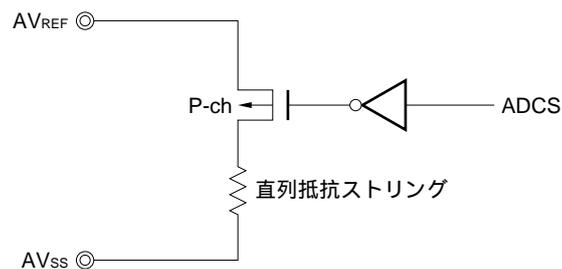
### (2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

### (3) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図11 - 2 直列抵抗ストリングの回路構成



### (4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

### (5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

### (6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

#### (7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

**注意** ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

#### (8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADを発生します。

#### (9) AV<sub>REF</sub>端子

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。ポート2をデジタル・ポートとして使用する場合は、V<sub>DD</sub>と同電位にしてください。

AV<sub>REF</sub>, AV<sub>SS</sub>間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

#### (10) AV<sub>SS</sub>端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV<sub>SS</sub>端子と同電位で使用してください。

#### (11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

#### (12) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

#### (13) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

#### (14) ポート・モード・レジスタ2 (PM2)

P20/ANI0-P27/ANI7端子を、入力/出力に切り替えるレジスタです。

## 11.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2 (PM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

### (1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF2AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	0	FR2 <sup>注1</sup>	FR1 <sup>注1</sup>	FR0 <sup>注1</sup>	0	0	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	コンパレータの動作制御 <sup>注2</sup>
0	コンパレータの動作停止
1	コンパレータの動作許可

注1. FR2-FR0およびA/D変換に関する詳細は、表11-2 A/D変換時間の選択を参照してください。

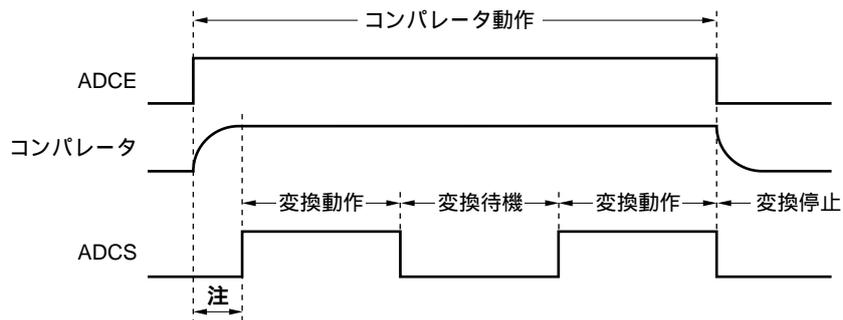
2. コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1  $\mu$ sかかります。このため、ADCEに1を設定してから1  $\mu$ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1  $\mu$ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表11 - 1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（コンパレータ動作，コンパレータのみ電力消費）
1	0	変換モード（コンパレータ動作停止 <sup>注</sup> ）
1	1	変換モード（コンパレータ動作）

注 最初の変換データは，保証値の範囲外のため，無視してください。

図11 - 4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから，ADCSの立ち上がりまでの時間は，内部回路安定のため，1  $\mu$ s以上必要です。

注意1．FR2-FR0を同一データ以外に書き換える場合は，いったんA/D変換動作を停止させたのちに行ってください。

2．ADMにデータを書き込むと，ウェイトが発生します。またCPUがサブシステム・クロックで動作し，かつ周辺ハードウェア・クロックが停止しているときに，ADMにデータを書き込まないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

表11-2 A/D変換時間の選択

A/Dコンバータ・モード・レジスタ (ADM)			変換時間の選択			変換クロック ( $f_{AD}$ )	
FR2	FR1	FR0		$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$		$f_{PRS} = 20 \text{ MHz}$
0	0	0	$264/f_{PRS}$	設定禁止	$26.4 \mu\text{s}$	$13.2 \mu\text{s}$	$f_{PRS}/12$
0	0	1	$176/f_{PRS}$		$17.6 \mu\text{s}$	$8.8 \mu\text{s}^{\text{注}}$	$f_{PRS}/8$
0	1	0	$132/f_{PRS}$		$13.2 \mu\text{s}$	$6.6 \mu\text{s}^{\text{注}}$	$f_{PRS}/6$
0	1	1	$88/f_{PRS}$		$8.8 \mu\text{s}^{\text{注}}$	設定禁止	$f_{PRS}/4$
1	0	0	$66/f_{PRS}$	$33.0 \mu\text{s}$	$6.6 \mu\text{s}^{\text{注}}$		$f_{PRS}/3$
1	0	1	$44/f_{PRS}$	$22.0 \mu\text{s}$	設定禁止		$f_{PRS}/2$
上記以外			設定禁止				

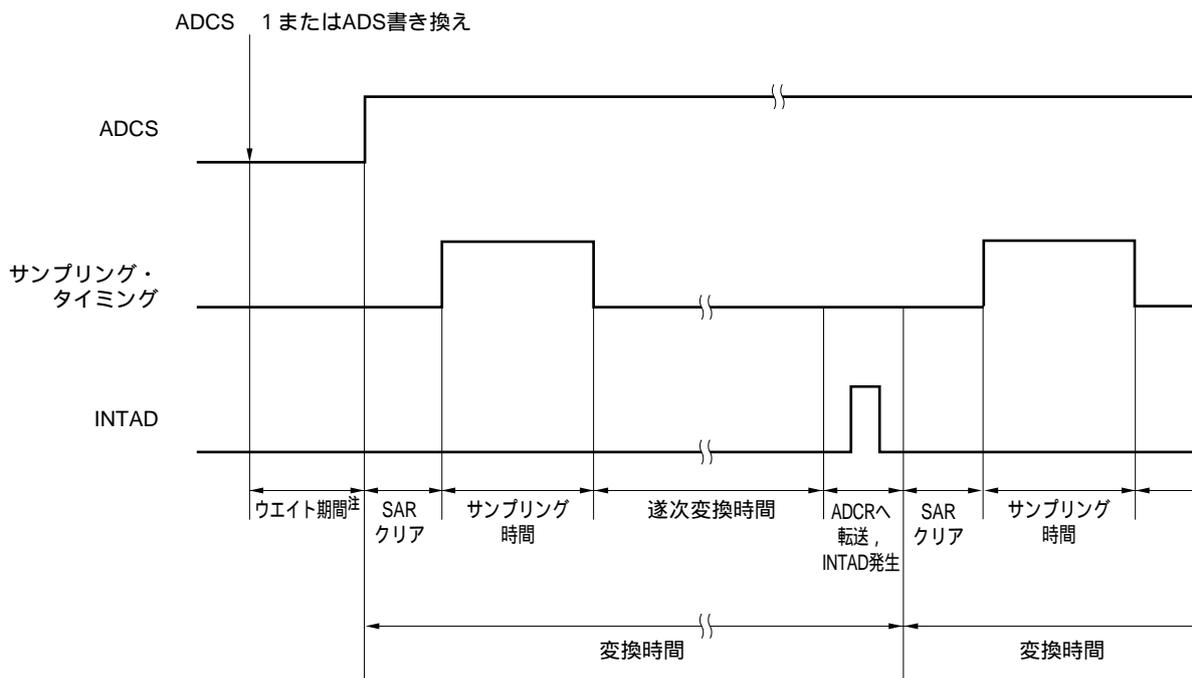
注 4.0 V  $AV_{REF}$  5.5 V時のみ設定可能

注意1. 変換時間は、次の条件で設定してください。

- 4.0 V  $AV_{REF}$  5.5 Vの場合： $f_{AD} = 0.6 \sim 3.6 \text{ MHz}$
  - 2.7 V  $AV_{REF} < 4.0 \text{ V}$ の場合： $f_{AD} = 0.6 \sim 1.8 \text{ MHz}$
2. FR2-FR0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 ( $ADCS = 0$ ) させたのちに行ってください。
  3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考  $f_{PRS}$ ：周辺ハードウェア・クロック周波数

図11-5 A/DコンバータのサンプリングとA/D変換のタイミング



注 ウェイト期間の詳細は、第33章 ウェイトに関する注意事項を参照してください。

## (2) 10ビットA/D変換結果レジスタ (ADCR)

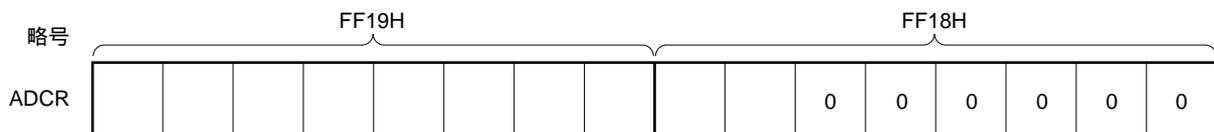
A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRにはFF19Hのビット7から順に格納されます。FF19Hには変換結果の上位8ビットが、FF18Hには変換結果の下位2ビットが入ります。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図11-6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット

アドレス：FF18H, FF19H リセット値：0000H R



注意1. A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2. ADCRからデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCRからデータを読み出さないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

**(3) 8ビットA/D変換結果レジスタ (ADCRH)**

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図11 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス : FF19H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

**注意1** . A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

**2** . ADCRHからデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCRHからデータを読み出さないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

#### (4) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF2BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意1. ビット3-7には必ず0を設定してください。

- ADSとADPCは入力/出力制御をしていないので、A/D変換で使用するチャンネルをポート・モード・レジスタ2 (PM2) で入力モードに選択してください。出力モードに選択した場合、ADPCの選択は無効になります。
- ADPCでデジタル入力として設定する端子を、ADSで設定しないでください。
- ADSにデータを書き込むと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADSにデータを書き込まないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

## (5) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7端子を，A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11 - 9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：FF2DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え							
				P27/ANI7	P26/ANI6	P25/ANI5	P24/ANI4	P23/ANI3	P22/ANI2	P21/ANI1	P20/ANI0
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

- 注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCにデータを書き込むと，ウェイトが発生します。またCPUがサブシステム・クロックで動作し，かつ周辺ハードウェア・クロックが停止しているときに，ADPCにデータを書き込まないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。

## (6) ポート・モード・レジスタ2 (PM2)

P20/ANI0-P27/ANI7端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11 - 10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

P20/ANI0-P27/ANI7端子の機能は、ADPC, ADS, PM2の設定で決定します。

表11 - 3 P20/ANI0-P27/ANI7端子機能の設定

ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力

## 11.4 A/Dコンバータの動作

### 11.4.1 A/Dコンバータの基本動作

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ2 (PM2) で入力モードに設定してください。

ADMのビット5-3 (FR2-FR0) でA/D変換時間を設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

( から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを (1/2)  $AV_{REF}$  にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2)  $AV_{REF}$  よりも大きければ、SARのMSBをセットしたままです。また、(1/2)  $AV_{REF}$  よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ビット9 = 1 : (3/4)  $AV_{REF}$
- ・ビット9 = 0 : (1/4)  $AV_{REF}$

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

- ・サンプリングされた電圧 > 電圧タップ : ビット8 = 1
- ・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

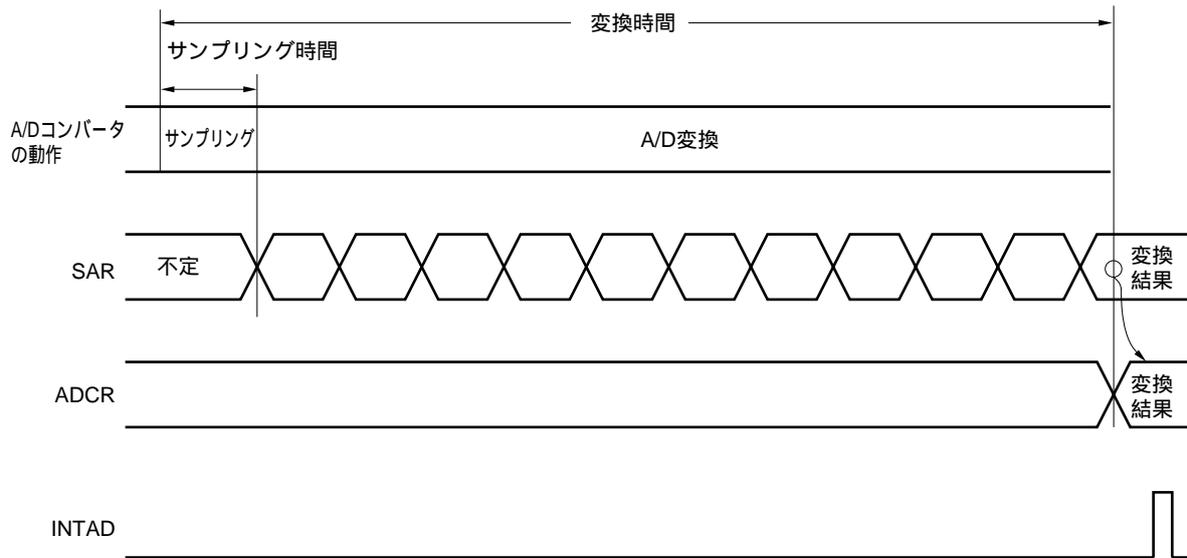
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1  $\mu$ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

**注意** から までの間は1  $\mu$ s以上空けてください。

**備考** A/D変換結果レジスタは2種類あります。

- ・ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図11 - 11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまたは00Hとなります。

### 11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = \text{INT} \left( \frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

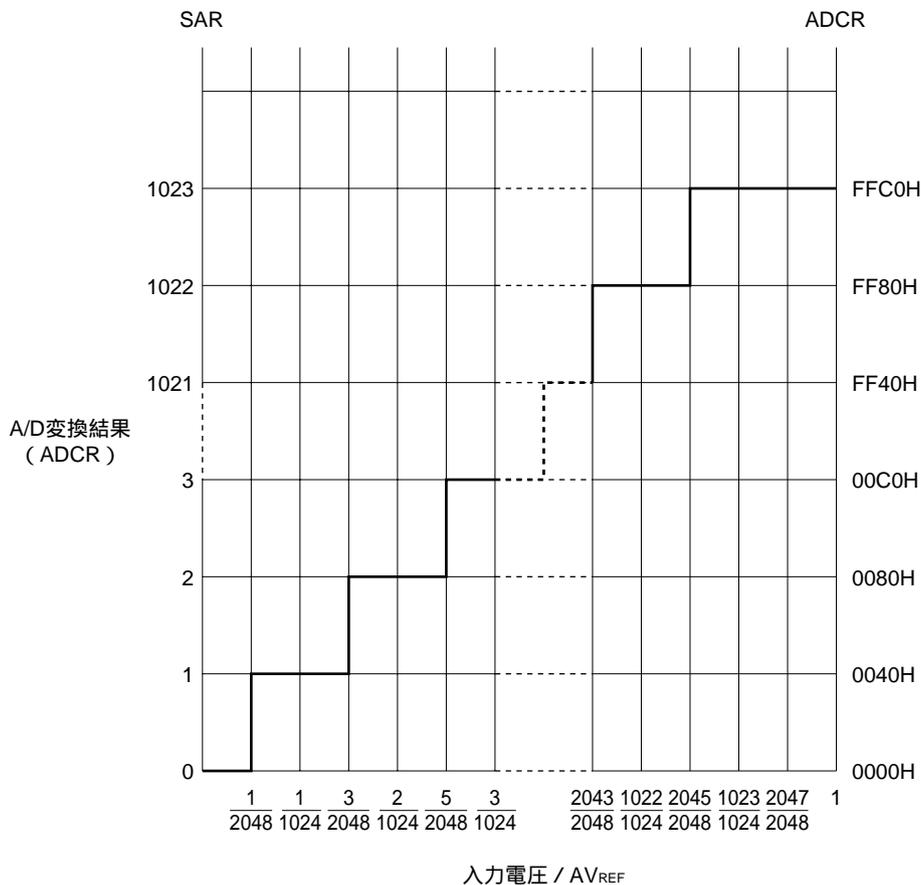
または、

$$\left( ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left( ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT ( ) : ( ) 内の値の整数部を返す関数  
 $V_{AIN}$  : アナログ入力電圧  
 $AV_{REF}$  :  $AV_{REF}$ 端子電圧  
 ADCR : A/D変換結果レジスタ (ADCR) の値  
 SAR : 逐次変換レジスタ

図11 - 12にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 12 アナログ入力電圧とA/D変換結果の関係



### 11.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

#### (1) A/D変換動作

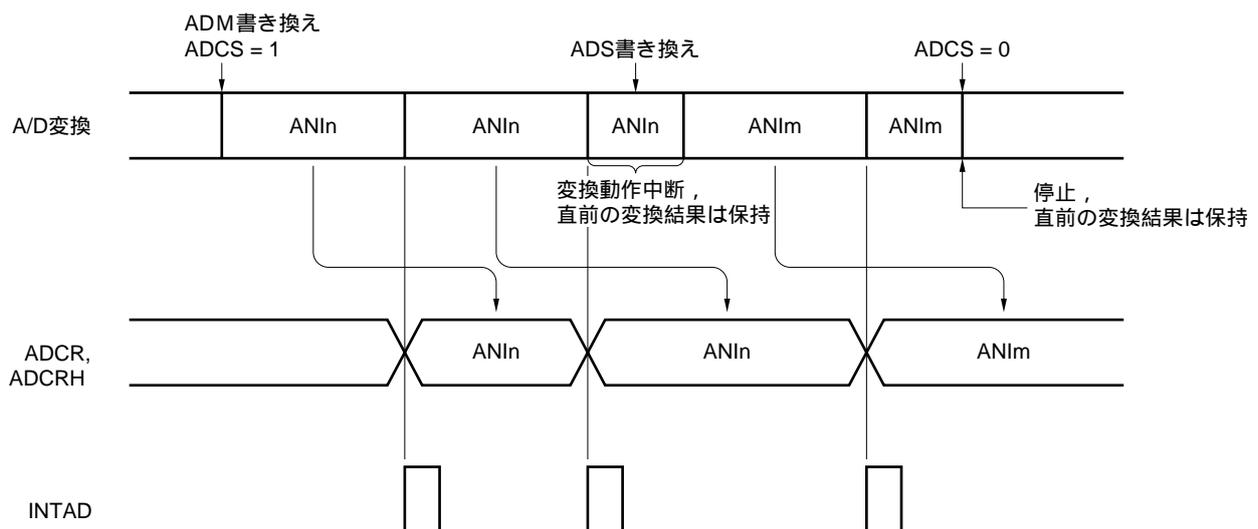
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図11 - 13 A/D変換動作



備考1 . n = 0-7

2 . m = 0-7

次に設定方法を説明します。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0) ,  
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) で使用するチャンネルをアナロ  
グ入力に設定

ADMのビット5-3 (FR2-FR0) で変換時間を選択

アナログ入力チャンネル指定レジスタ (ADS) のビット3-0 (ADS3-ADS0) で使用するチャンネル  
を選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< チャンネルを変更する >

ADSのビット3-0 (ADS3-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

- 注意**
1. から までの間は $1\ \mu\text{s}$ 以上空けてください。
  2. は, から までの間に行っても, 問題ありません。
  3. は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
  4. から までの時間は, ADMのビット5-3 (FR2-FR0) で設定した変換時間とは異なります。  
から までの時間が, FR2-FR0で設定した変換時間となります。

## 11.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図11 - 14 総合誤差

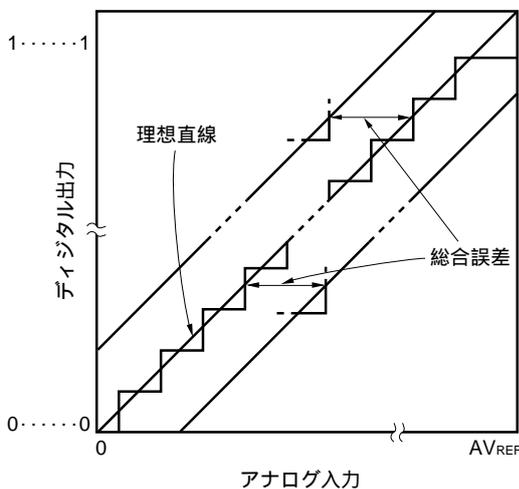
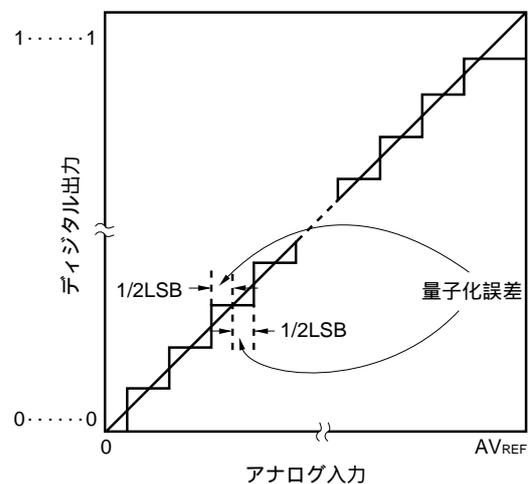


図11 - 15 量子化誤差



**(4) ゼロスケール誤差**

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（ $1/2$  LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（ $3/2$  LSB）との差を表します。

**(5) フルスケール誤差**

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール -  $3/2$  LSB）との差を表します。

**(6) 積分直線性誤差**

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

**(7) 微分直線性誤差**

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図11 - 16 ゼロスケール誤差

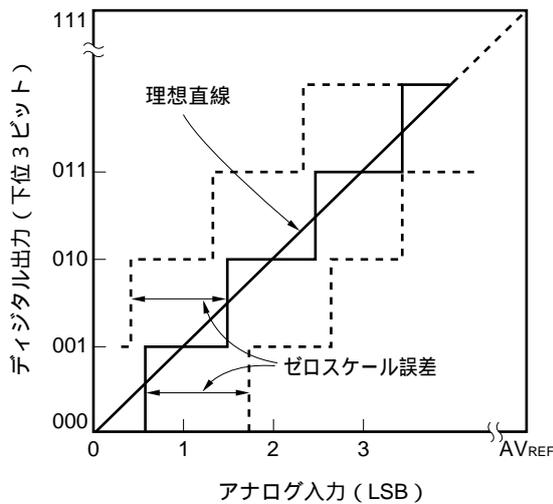


図11 - 17 フルスケール誤差

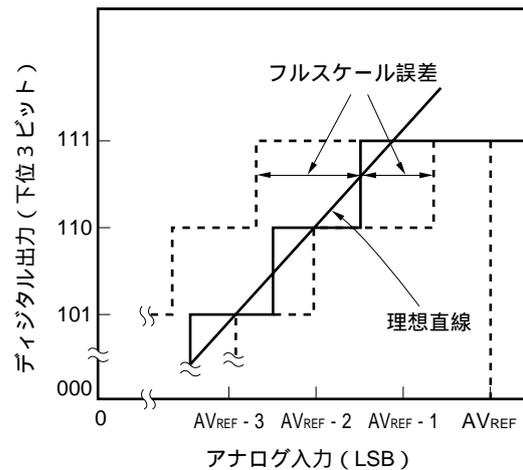


図11 - 18 積分直線性誤差

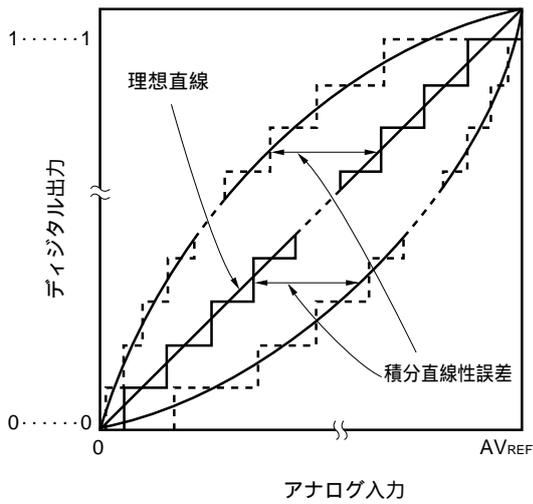
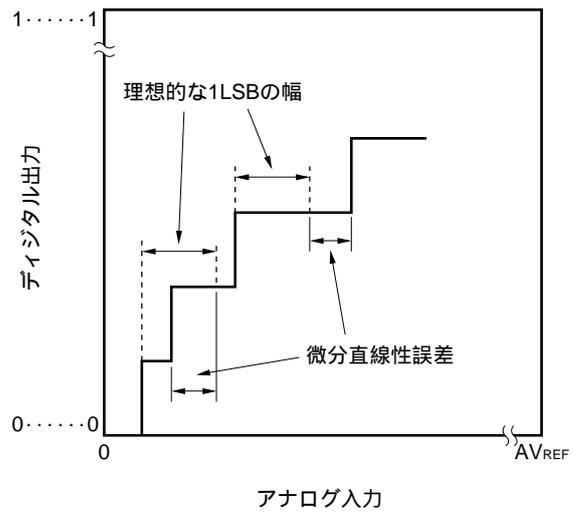


図11 - 19 微分直線性誤差

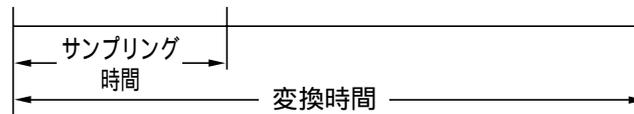
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



## 11.6 A/Dコンバータの注意事項

### (1) STOPモード時の動作電流について

A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット6 (ADIF) をクリア (0) してから、動作開始してください。

### (2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に $AV_{REF}$ 以上、 $AV_{SS}$ 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

### (4) ノイズ対策について

10ビット分解能を保つためには、 $AV_{REF}$ , ANI0-ANI7端子へのノイズに注意する必要があります。

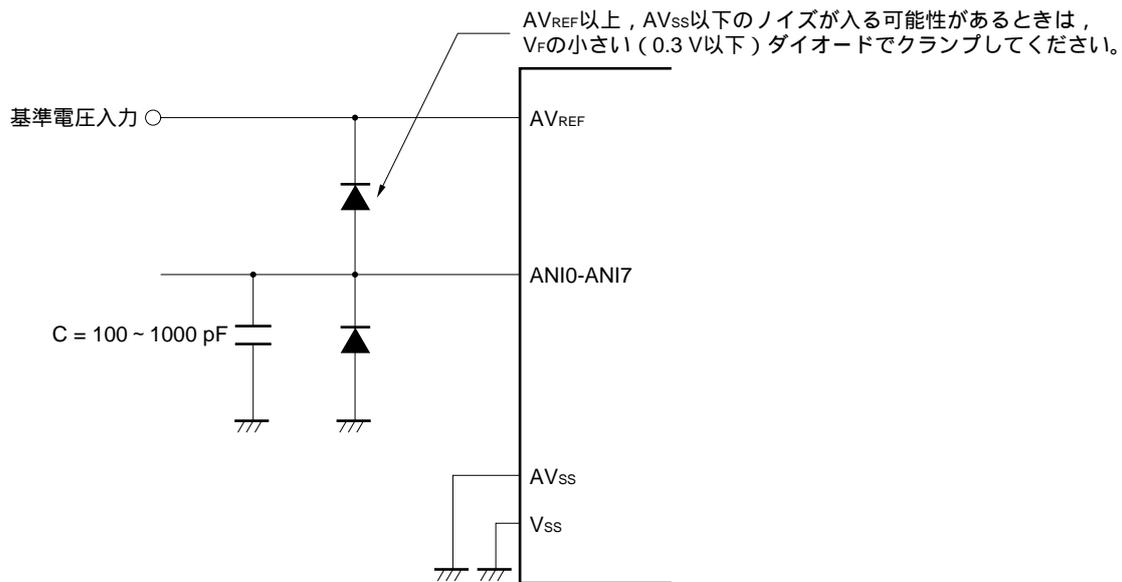
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-20のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図11 - 20 アナログ入力端子の処理



#### (5) P20/ANI0-P27/ANI7

アナログ入力 (ANI0-ANI7) 端子は入力ポート (P20-P27) 端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合, 変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27として使用する端子の選択は, AV<sub>REF</sub>から最も遠いP20/ANI0より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

#### (6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを10 kΩ以下にし, 出力インピーダンスが高いときはANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図11 - 20参照)。

#### (7) AV<sub>REF</sub>端子の入力インピーダンスについて

AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって, 基準電圧源の出力インピーダンスが高い場合, AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間の直列抵抗ストリングと直列接続することになり, 基準電圧の誤差が大きくなります。

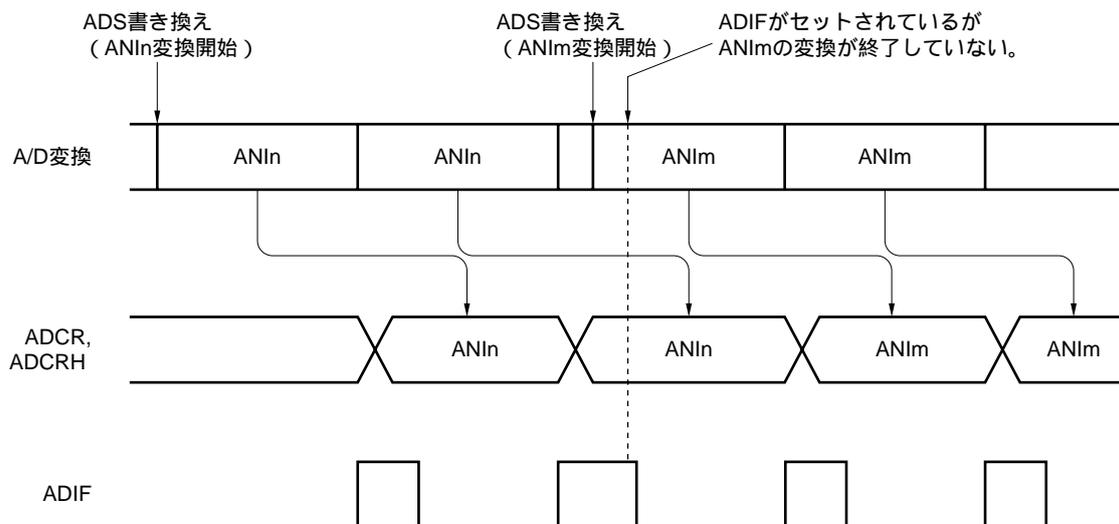
### (8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図11-21 A/D変換終了割り込み要求発生タイミング



備考1 . n = 0-7

2 . m = 0-7

### (9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、 $1 \mu\text{s}$ 以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

### (10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

## (11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図11 - 22 ANIn端子内部等価回路

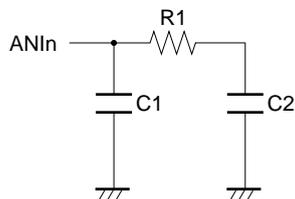


表11 - 4 等価回路の各抵抗と容量値 (参考値)

$AV_{REF}$	R1	C1	C2
4.0 V $V_{REF} < 5.5$ V	8.1 k $\Omega$	8 pF	5 pF
2.7 V $V_{REF} < 4.0$ V	31 k $\Omega$	8 pF	5 pF

備考1. 表11 - 4の各抵抗と容量値は保証値ではありません。

2. n = 0-7

## 第12章 シリアル・インタフェースUART60, UART61

78K0/Dx2はシリアル・インタフェースUART60, UART61を内蔵しています。

### 12.1 シリアル・インタフェースUART60, UART61の機能

シリアル・インタフェースUART60, UART61には、次の2種類のモードがあります。

#### (1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については12.4.1 **動作停止モード**を参照してください。

#### (2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については12.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**, 12.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：625 kbps
- ・2端子構成 TxD6n：送信データの出力端子  
RxD6n：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・動作クロックは、12本のクロック入力選択可能
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

- 注意 1.** TxD6n出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6n出力反転機能を使用する場合、相手側も反転レベルで受信してください。
- 2.** シリアル・インタフェースUART60, UART61への供給クロックが停止しない場合 (例: HALTモード) では、正常動作が続きます。シリアル・インタフェースUART60, UART61への供給クロックが停止する場合 (例: STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6n端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6n = 0, RXE6n = 0, TXE6n = 0として、回路をリセットしてください。
- 3.** 通信開始する場合、POWER6n = 1に設定後、TXE6n = 1 (送信) またはRXE6n = 1 (受信) に設定してください。

- 注意 4.** TXE6nとRXE6nは、CKSR6nで設定した基本クロック ( $f_{CLK6}$ ) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- TXE6n = 1に設定したあと、基本クロック ( $f_{CLK6}$ ) 1クロック以上待ってから、TXB6nに送信データを設定してください。
  - 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

**備考1.** LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1 ~ 20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

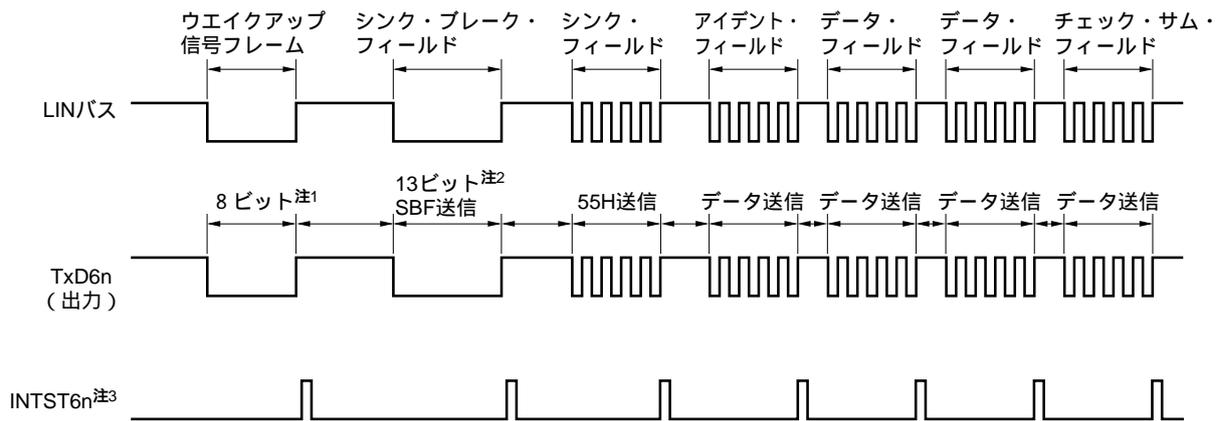
また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が  $\pm 15\%$  以下であれば、通信可能です。

- n = 0, 1

LINの送信操作と受信操作の概略を、図12 - 1, 12 - 2に示します。

図12 - 1 LINの送信操作



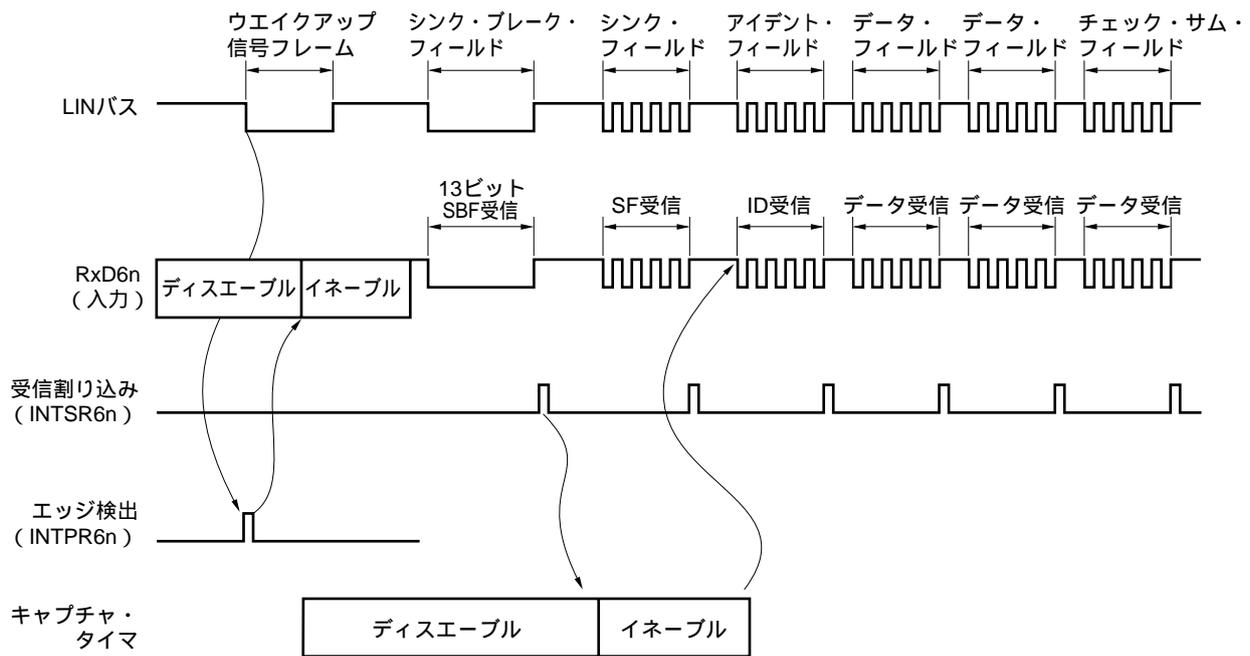
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット4-2 (SBL62n-SBL60n) で設定したビット長になります。さらに細かい出力幅調整が必要な場合は、ポーレート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) で調整してください (12.4.2 (2) (h) SBF送信を参照)。
3. 各送信終了時にはINTST6nを出力します。またSBF送信時もINTST6nを出力します。

備考1. 各フィールド間の間隔はソフトウェアで制御します。

2.  $n = 0, 1$

図12 - 2 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6nをイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータと検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータと検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ / イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（6.7.7 **パルス幅測定モード**（TPnMD2-TPnMD0ビット = 110）を参照）。また、OVE6n, PE6n, FE6nの各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6nのデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からポー・レート誤差を算出し、SF受信後にUART6nのイネーブルを落としてからポー・レート・ジェネレータ・コントロール・レジスタ6n（BRGC6n）を再セットしてください。

チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6nを初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

**備考** n = 0, 1

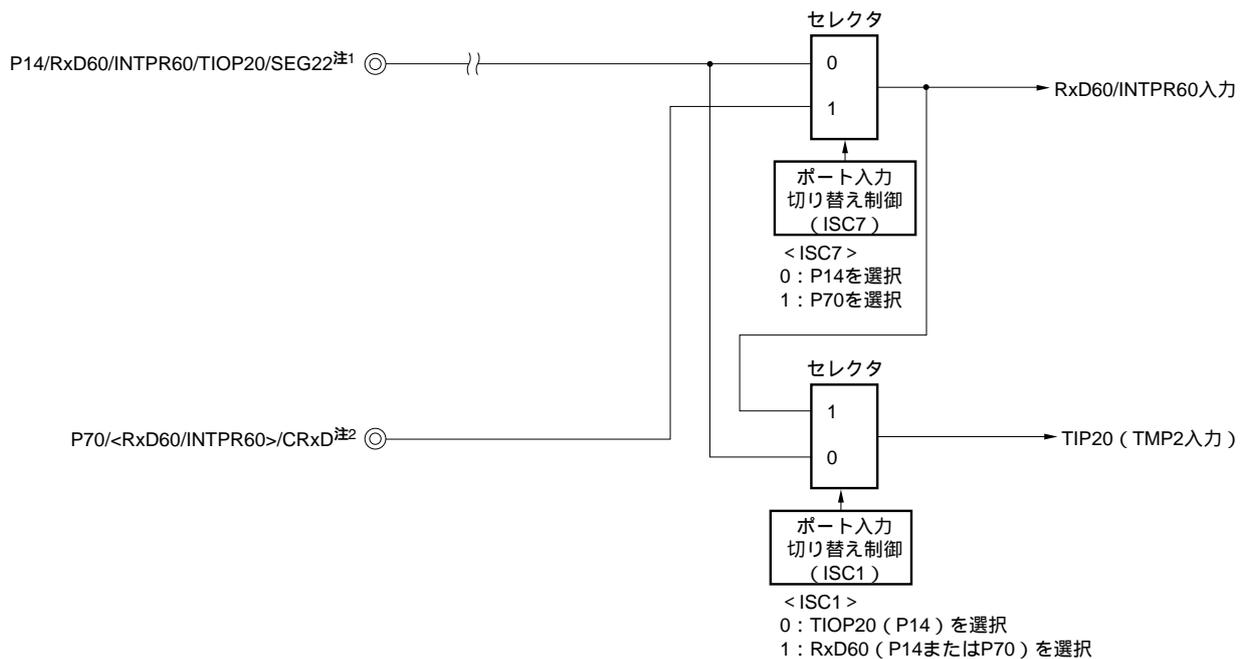
LINの受信操作を行う場合は図12 - 3, 12 - 4のような構成となります。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み (INTPR60, INTPR61) のエッジ検出にて行います。また, LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタP2, P3の外部イベント・キャプチャ動作で計測し, ボー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC) により, 外部でRxD60/INTPR60, RxD61/INTPR61, TIOP20, TIOP30の結線をせずに, 受信用ポート入力 (RxD60, RxD61) の入力ソースを16ビット・タイマ/イベント・カウンタP2, P3へ入力することができます。

図12 - 3 LINの受信操作作用のポート構成図 (UART60) (1/2)

(a) 78K0/DE2



注 1. 第4章 ポート機能にて, ポート・ファンクションの設定を確認してください。

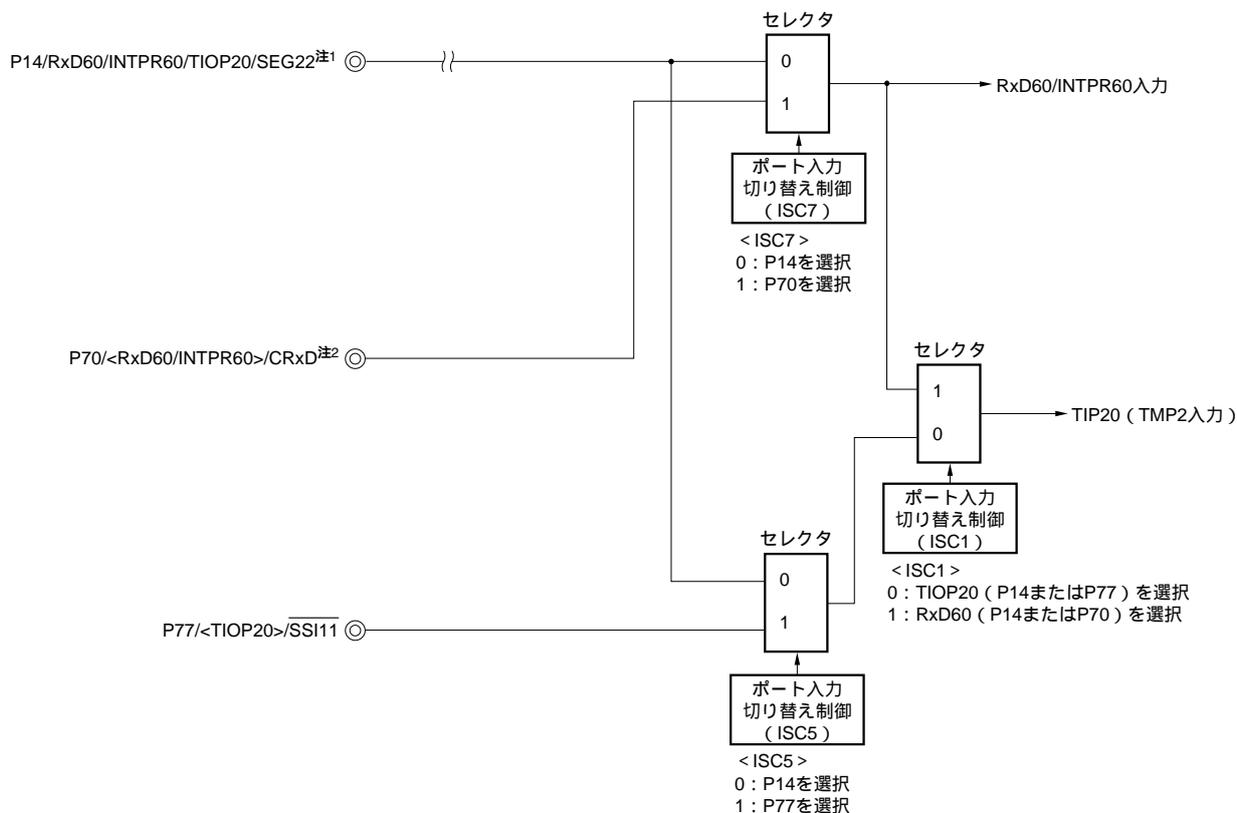
2.  $\mu$  PD78F0844, 78F0845のみ。

備考 ISC1, ISC7 : 入力切り替え制御レジスタ (ISC) のビット1, 7 (図12 - 19参照)

ISC7	ISC1	RxD60/INTPR60入力	TIP20 (TMP2入力)	備考
0	0	RxD60/INTPR60 (P14)	RxD60/INTPR60/TIOP20 (P14)	LINモード (TIOP20使用可能)
0	1	RxD60/INTPR60 (P14)	RxD60/INTPR60 (P14)	LINモード
1	0	<RxD60/INTPR60> (P70)	TIOP20 (P14)	
1	1	<RxD60/INTPR60> (P70)	<RxD60/INTPR60> (P70)	LINモード

図12-3 LINの受信操作のポート構成図 (UART60) (2/2)

(b) 78K0/DF2



注 1. 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

2.  $\mu$  PD78F0846, 78F0847, 78F0848, 78F0849のみ。

備考 ISC1, ISC5, ISC7: 入力切り替え制御レジスタ (ISC) のビット1, 5, 7 (図12-19参照)

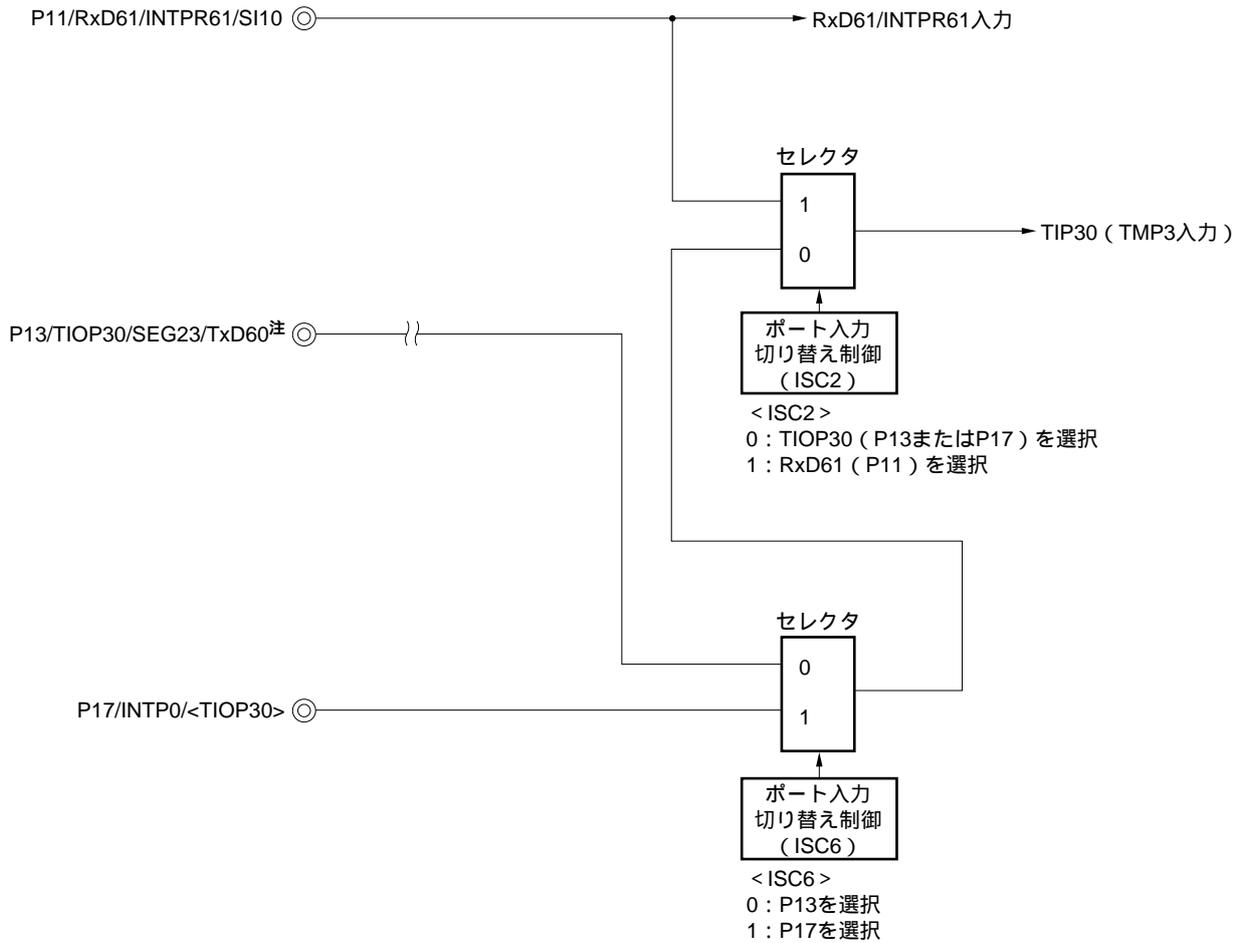
ISC7	ISC5	ISC1	RxD60/INTPR60入力	TIP20 (TMP2入力)	備考
0	0	0	RxD60/INTPR60 (P14)	RxD60/INTPR60/TIOP20 (P14)	LINモード (TIOP20使用可能)
0	0	1	RxD60/INTPR60 (P14)	RxD60/INTPR60 (P14)	LINモード
0	1	0	RxD60/INTPR60 (P14)	<TIOP20> (P77)	
0	1	1	RxD60/INTPR60 (P14)	RxD60/INTPR60 (P14)	LINモード
1	0	0	<RxD60/INTPR60> (P70)	TIOP20 (P14)	
1	0	1	<RxD60/INTPR60> (P70)	<RxD60/INTPR60> (P70)	LINモード
1	1	0	<RxD60/INTPR60> (P70)	<TIOP20> (P77)	
1	1	1	<RxD60/INTPR60> (P70)	<RxD60/INTPR60> (P70)	LINモード

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- 外部割り込み (INTPR60) ; ウェイクアップ信号検出  
用途: ウェイクアップ信号のエッジを検出し、通信開始を検出
- 16ビット・タイマ/イベント・カウンタP2 (TMP2) ; ボー・レート誤差検出  
用途: シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (TMP2 入力エッジの間隔をキャプチャ・モードで測定)
- シリアル・インタフェースUART60

図12 - 4 LINの受信操作のポート構成図 (UART61)



注 第4章 ポート機能にて、ポート・ファンクションの設定を確認してください。

備考 ISC2, ISC6: 入力切り替え制御レジスタ (ISC) のビット2, 6 (図12 - 19参照)

ISC6	ISC2	RxD61/INTPR61入力	TIP30 (TMP3入力)	INTPO	備考
0	0	RxD61/INTPR61 (P11)	TIOP30 (P13)	INTPO (P17)	
0	1	RxD61/INTPR61 (P11)	RxD61/INTPR61 (P11)	INTPO (P17)	LINモード
1	0	RxD61/INTPR61 (P11)	<TIOP30> (P17)	INTPO (P17)	
1	1	RxD61/INTPR61 (P11)	RxD61/INTPR61 (P11)	INTPO (P17)	LINモード

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- 外部割り込み (INTPR61) ; ウェイクアップ信号検出  
用途: ウェイクアップ信号のエッジを検出し、通信開始を検出
- 16ビット・タイマ/イベント・カウンタP3 (TMP3) ; ボー・レート誤差検出  
用途: シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (TMP3 入力エッジの間隔をキャプチャ・モードで測定)
- シリアル・インタフェースUART61

## 12.2 シリアル・インタフェースUART60, UART61の構成

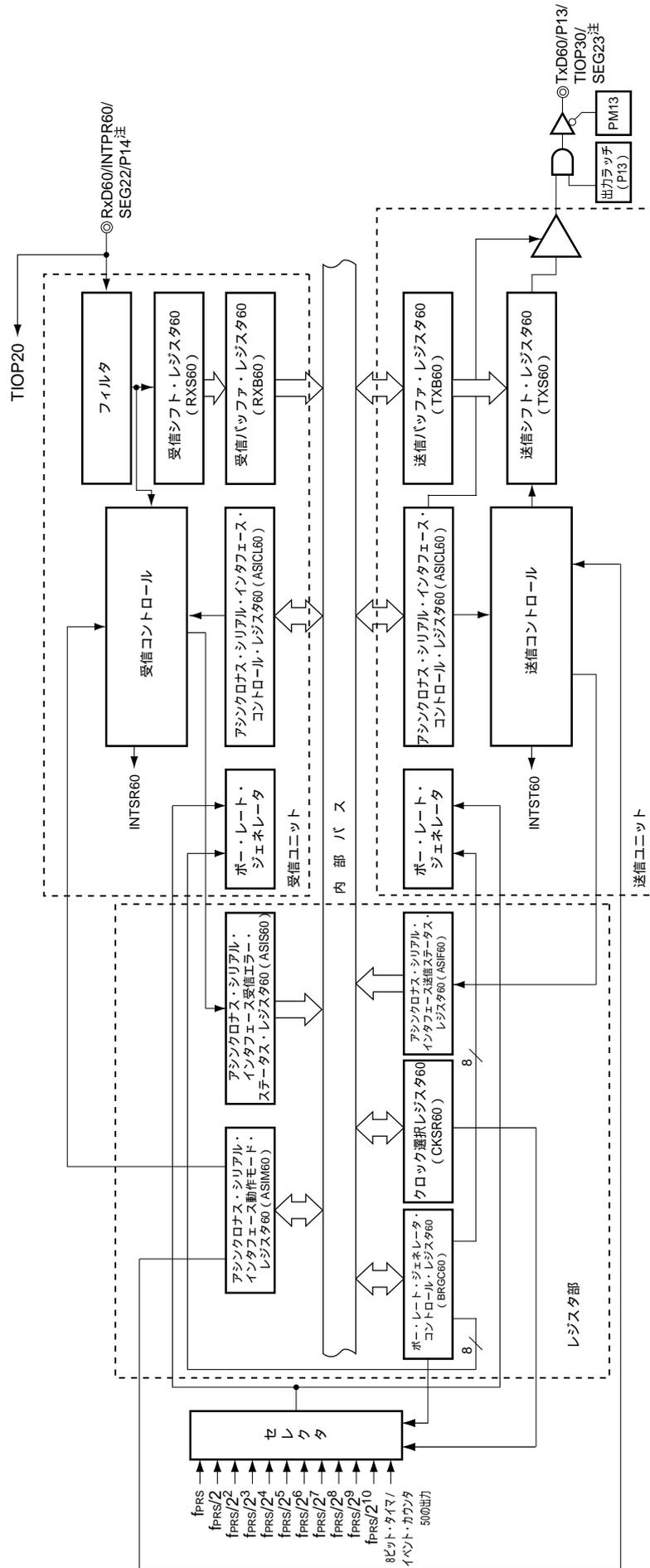
シリアル・インタフェースUART60, UART61は、次のハードウェアで構成しています。

表12 - 1 シリアル・インタフェースUART60, UART61の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6n (RXB6n) 受信シフト・レジスタ6n (RXS6n) 送信バッファ・レジスタ6n (TXB6n) 送信シフト・レジスタ6n (TXS6n)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) クロック選択レジスタ6n (CKSR6n) ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ1, 7 (PM1, PM7) ポート・レジスタ1, 7 (P1, P7)

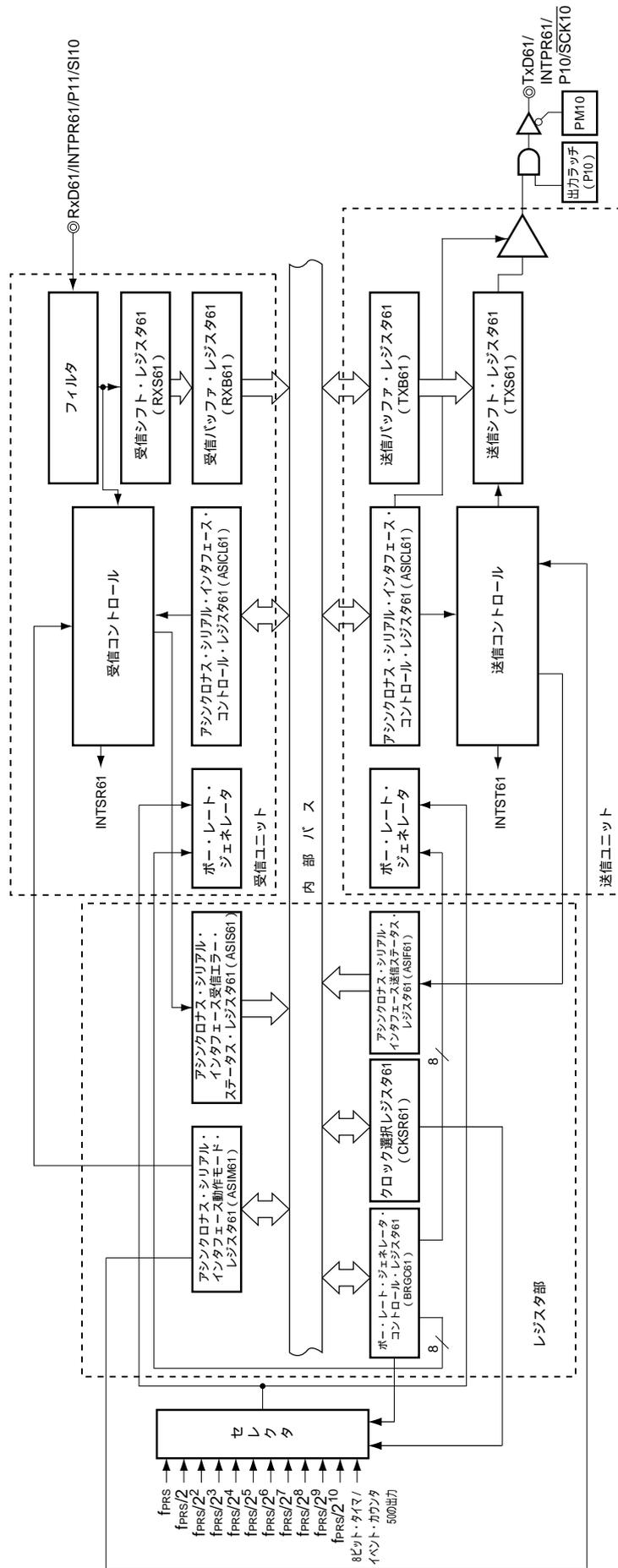
備考 n = 0, 1

図12-5 シリアル・インタフェースUART60のブロック図



注 入力切り替え制御レジスタ (ISC) にて選択可能。

図12-6 シリアル・インタフェースUART61のブロック図



**(1) 受信バッファ・レジスタ6n (RXB6n)**

受信シフト・レジスタ6n (RXS6n) で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとにRXS6nから新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6nのビット0-6に転送され、RXB6nのMSBは必ず0になります。
- ・MSBファースト受信時では、受信データはRXB6nのビット1-7に転送され、RXB6nのLSBは必ず0になります。

オーバラン・エラー (OVE6n) が発生した場合、そのときの受信データはRXB6nには転送されません。

RXB6nは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

**(2) 受信シフト・レジスタ6n (RXS6n)**

RxD6n端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6nはプログラムで直接操作できません。

**(3) 送信バッファ・レジスタ6n (TXB6n)**

送信データを設定する、バッファ・レジスタです。TXB6nへ送信データを書き込むことにより、送信動作が開始されます。

TXB6nは8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

- 注意 1.** アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) のビット1 (TXBF6n) が1のとき、TXB6nにデータを書き込まないでください。
- 2.** 通信動作中(アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでTXB6nへのリフレッシュ (同値書き込み) 動作を行わないでください。
- 3.** TXE6n = 1に設定したあと、基本クロック ( $f_{XCLK6}$ ) 1クロック以上待ってから、TXB6nに送信データを設定してください。

**(4) 送信シフト・レジスタ6n (TXS6n)**

TXB6nから転送されたデータをシリアル・データとしてTxD6n端子から送信します。TXB6nからのデータ転送は、最初の送信時ではTXB6nの書き込み直後、連続送信時では1フレーム送信後のINTST6n発生直前のタイミングで転送されます。またTXB6nからのデータ転送とTxD6n端子からの送信は、基本クロックの立ち下がりのタイミングで行われます。

TXS6nはプログラムで直接操作できません。

**備考** n = 0, 1

## 12.3 シリアル・インタフェースUART60, UART61を制御するレジスタ

シリアル・インタフェースUART60, UART61は、次の9種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)
- ・ クロック選択レジスタ6n (CKSR6n)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1, 7 (PM1, PM7)
- ・ ポート・レジスタ1, 7 (P1, P7)

**備考** n = 0, 1 (n = 1となるレジスタは78K0/DF2のみ。)

### (1) アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)

シリアル・インタフェースUART60, UART61のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

**備考1.** 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASIM6nへのリフレッシュ (同値書き込み) 動作を行うことができます。

2. n = 0, 1

図12 - 7 アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のフォーマット (1/2)

アドレス : FF50H リセット値 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM60	POWER60	TXE60	RXE60	PS610	PS600	CL60	SL60	1

POWER60	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする <sup>注2</sup> 。
1	内部動作クロックの動作許可

TXE60	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE60	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

- 注1. 送信中にPOWER60 = 0にすると, TxD60端子の出力はハイ・レベルになり, RxD60端子からの入力ハイ・レベルに固定されます。
2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60), アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット7 (SBRF60) とビット6 (SBRT60), 受信バッファ・レジスタ60 (RXB60) です。

図12-7 アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のフォーマット (2/2)

PS610	PS600	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 <sup>※</sup>
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL60	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL60	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) のビット2 (PE60) はセットされないため、エラー割り込みも発生しません。

注意1. ビット0には必ず“1”を設定してください。

- 送信開始するときはPOWER60 = 1にしてから、TXE60 = 1としてください。送信停止するときにはTXE60 = 0にしてから、POWER60 = 0としてください。
- 受信開始するときはPOWER60 = 1にしてから、RXE60 = 1としてください。受信停止するときにはRXE60 = 0にしてから、POWER60 = 0としてください。
- RxD60端子にハイ・レベルが入力された状態でPOWER60 = 1 RXE60 = 1と設定してください。ロウ・レベルのときにPOWER60 = 1 RXE60 = 1と設定すると、受信を開始してしまいます。
- TXE60とRXE60は、CKSR60で設定した基本クロック (f<sub>CLK6</sub>) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE60 = 0またはRXE60 = 0に設定してから基本クロック2クロック以降にTXE60 = 1またはRXE60 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- TXE60 = 1に設定したあと、基本クロック (f<sub>CLK6</sub>) 1クロック以上待ってから、TXB60に送信データを設定してください。
- PS610, PS600, CL60ビットを書き換えるときは、TXE60, RXE60ビットをクリア (0) してから行ってください。
- LIN通信動作で使用する場合、PS610, PS600ビットを0に固定してください。
- SL60ビットを書き換えるときは、TXE60をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL60ビットの設定値の影響は受けません。

図12 - 8 アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のフォーマット (1/2)

アドレス : FF2EH リセット値 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM61	POWER61	TXE61	RXE61	PS611	PS601	CL61	SL61	1

POWER61	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする <sup>注2</sup> 。
1	内部動作クロックの動作許可

TXE61	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE61	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. 送信中にPOWER61 = 0にすると, TxD61端子の出力はハイ・レベルになり, RxD61端子からの入力はハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61 (ASIF61), アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) のビット7 (SBRF61) とビット6 (SBRT61), 受信バッファ・レジスタ61 (RXB61) です。

図12 - 8 アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のフォーマット (2/2)

PS611	PS601	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 <sup>※</sup>
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL61	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL61	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61) のビット2 (PE61) はセットされないため、エラー割り込みも発生しません。

注意1. ビット0には必ず“1”を設定してください。

- 送信開始するときはPOWER61 = 1にしてから、TXE61 = 1としてください。送信停止するときにはTXE61 = 0にしてから、POWER61 = 0としてください。
- 受信開始するときはPOWER61 = 1にしてから、RXE61 = 1としてください。受信停止するときにはRXE61 = 0にしてから、POWER61 = 0としてください。
- RxD61端子にハイ・レベルが入力された状態でPOWER61 = 1 RXE61 = 1と設定してください。ロウ・レベルのときにPOWER61 = 1 RXE61 = 1と設定すると、受信を開始してしまいます。
- TXE61とRXE61は、CKSR61で設定した基本クロック (f<sub>CLK6</sub>) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE61 = 0またはRXE61 = 0に設定してから基本クロック2クロック以降にTXE61 = 1またはRXE61 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- TXE61 = 1に設定したあと、基本クロック (f<sub>CLK6</sub>) 1クロック以上待ってから、TXB61に送信データを設定してください。
- PS611, PS601, CL61ビットを書き換えるときは、TXE61, RXE61ビットをクリア (0) してから行ってください。
- LIN通信動作で使用する場合、PS611, PS601ビットを0に固定してください。
- SL61ビットを書き換えるときは、TXE61をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL61ビットの設定値の影響は受けません。

## (2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)

シリアル・インタフェースUART60, UART61の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6n, FE6n, OVE6n) で構成されています。

ASIS6nは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6nのビット7 (POWER6n) = 0, ビット5 (RXE6n) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6nを読み出したあと, 受信バッファ・レジスタ6n (RXB6n) を読み出し, エラー・フラグをクリアしてください。

備考 n = 0, 1

図12 - 9 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) のフォーマット

アドレス : FF53H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS60	0	0	0	0	0	PE60	FE60	OVE60

PE60	パリティ・エラーを示すステータス・フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき, または, ASIS60レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE60	フレーミング・エラーを示すステータス・フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき, または, ASIS60レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE60	オーバラン・エラーを示すステータス・フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき, または, ASIS60レジスタのリード
1	RXB60レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

注意1. PE60ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のPS610, PS600ビットの設定値により異なります。

- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
- オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ60 (RXB60) には書き込まれず, データは破棄されます。
- ASIS60からデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ高速システム・クロックが停止しているときに, ASIS60からデータを読み出さないでください。詳細は, 第33章 ウェイトに関する注意事項を参照してください。

図12 - 10 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61) のフォーマット

アドレス : FF2FH リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS61	0	0	0	0	0	PE61	FE61	OVE61

PE61	パリティ・エラーを示すステータス・フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき、または、ASIS61レジスタのリード
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき

FE61	フレーミング・エラーを示すステータス・フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき、または、ASIS61レジスタのリード
1	受信完了時、ストップ・ビットが検出されないとき

OVE61	オーバラン・エラーを示すステータス・フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき、または、ASIS61レジスタのリード
1	RXB61レジスタに受信データがセットされ、それを読み出す前に次の受信動作が完了したとき

注意1. PE61ビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のPS611, PS601ビットの設定値により異なります。

2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
3. オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ61 (RXB61) には書き込まれず、データは破棄されます。
4. ASIS61からデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ高速システム・クロックが停止しているときに、ASIS61からデータを読み出さないでください。詳細は、第33章 ウェイトに関する注意事項を参照してください。

## (3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)

シリアル・インタフェースUART60, UART61の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6n, TXSF6n) で構成されています。

TXB6nレジスタからTXS6nレジスタへデータが転送されたあとに、次のデータをTXB6nレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6nは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6nのビット7 (POWER6n) = 0, ビット6 (TXE6n) = 0により、00Hになります。

備考 n = 0, 1

図12 - 11 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60) のフォーマット

アドレス : FF55H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF60	0	0	0	0	0	0	TXBF60	TXSF60

TXBF60	送信バッファ・データ・フラグ
0	POWER60 = 0またはTXE60 = 0に設定したとき、または、送信シフト・レジスタ60 (TXS60) にデータを転送したとき
1	送信バッファ・レジスタ60 (TXB60) にデータを書き込んだとき (TXB60にデータが存在するとき)

TXSF60	送信シフト・レジスタ・データ・フラグ
0	POWER60 = 0またはTXE60 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ60 (TXB60) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ60 (TXB60) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB60レジスタに書き込んだあと、必ずTXBF60フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB60レジスタに書き込んでください。TXBF60フラグが“1”のときにTXB60レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF60フラグが“0”であることを確認してから初期化を実行してください。TXSF60フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

図12 - 12 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61 (ASIF61) のフォーマット

アドレス : FF38H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF61	0	0	0	0	0	0	TXBF61	TXSF61

TXBF61	送信バッファ・データ・フラグ
0	POWER61 = 0またはTXE61 = 0に設定したとき, または, 送信シフト・レジスタ61 (TXS61) にデータを転送したとき
1	送信バッファ・レジスタ61 (TXB61) にデータを書き込んだとき (TXB61にデータが存在するとき)

TXSF61	送信シフト・レジスタ・データ・フラグ
0	POWER61 = 0またはTXE61 = 0に設定したとき, または, 転送完了後に送信バッファ・レジスタ61 (TXB61) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ61 (TXB61) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は, 最初の送信データ (1バイト目) をTXB61レジスタに書き込んだあと, 必ずTXBF61フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB61レジスタに書き込んでください。TXBF61フラグが“1”のときにTXB61レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は, 送信完了割り込み発生後に, 必ずTXSF61フラグが“0”であることを確認してから初期化を実行してください。TXSF61フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

**(4) クロック選択レジスタ $6n$  (CKSR $6n$ )**

シリアル・インタフェースUART60, UART61の基本クロックを選択するレジスタです。

CKSR $6n$ は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考1.** 通信動作中 (ASIM $6n$ のビット7, 6 (POWER $6n$ , TXE $6n$ ) = 1, 1, またはASIM $6n$ のビット7, 5 (POWER $6n$ , RXE $6n$ ) = 1, 1) に、ソフトウェアでCKSR $6n$ へのリフレッシュ動作 (同値書き込み) を行うことができます。

2.  $n = 0, 1$

図12 - 13 クロック選択レジスタ60 (CKSR60) のフォーマット

アドレス : FF56H リセット値 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR60	0	0	0	0	TPS630	TPS620	TPS610	TPS600

TPS630	TPS620	TPS610	TPS600	基本クロック (f <sub>CLK6</sub> ) 選択 <sup>注1</sup>				
				f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz	
0	0	0	0	f <sub>PRS</sub>	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f <sub>PRS</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f <sub>PRS</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f <sub>PRS</sub> /2 <sup>5</sup>	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f <sub>PRS</sub> /2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f <sub>PRS</sub> /2 <sup>7</sup>	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f <sub>PRS</sub> /2 <sup>8</sup>	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f <sub>PRS</sub> /2 <sup>9</sup>	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f <sub>PRS</sub> /2 <sup>10</sup>	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 <sup>注2</sup>				
その他				設定禁止				

注 1. 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>IN</sub>) で動作している (XSEL = 1) 場合、電源電圧により、f<sub>PRS</sub>の動作周波数が異なります。

- ・ V<sub>DD</sub> = 4.0~5.5 V : f<sub>PRS</sub> ≤ 20 MHz
- ・ V<sub>DD</sub> = 2.7~4.0 V : f<sub>PRS</sub> ≤ 10 MHz

2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TIO50端子をタイマ出力許可する必要はありません。

注意 TPS630-TPS600を書き換える場合は、POWER60 = 0としてから行ってください。

備考1. f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6  
TMC501 : TMC50のビット1

図12 - 14 クロック選択レジスタ61 (CKSR61) のフォーマット

アドレス : FF39H リセット値 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR61	0	0	0	0	TPS631	TPS621	TPS611	TPS601

TPS631	TPS621	TPS611	TPS601	基本クロック (f <sub>CLK6</sub> ) 選択 <sup>注1</sup>				
				f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz	
0	0	0	0	f <sub>PRS</sub>	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f <sub>PRS</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f <sub>PRS</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f <sub>PRS</sub> /2 <sup>5</sup>	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f <sub>PRS</sub> /2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f <sub>PRS</sub> /2 <sup>7</sup>	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f <sub>PRS</sub> /2 <sup>8</sup>	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f <sub>PRS</sub> /2 <sup>9</sup>	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f <sub>PRS</sub> /2 <sup>10</sup>	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 <sup>注2</sup>				
その他				設定禁止				

注 1. 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>IN</sub>) で動作している (XSEL = 1) 場合、電源電圧により、f<sub>PRS</sub>の動作周波数が異なります。

- ・ V<sub>DD</sub> = 4.0~5.5 V : f<sub>PRS</sub> ≤ 20 MHz
- ・ V<sub>DD</sub> = 2.7~4.0 V : f<sub>PRS</sub> ≤ 10 MHz

2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TIO50端子をタイマ出力許可する必要はありません。

注意 TPS631-TPS601を書き換える場合は、POWER61 = 0としてから行ってください。

備考1. f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6  
TMC501 : TMC50のビット1

## (5) ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)

シリアル・インタフェースUART60, UART61の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6nは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

備考1. 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に, ソフトウェアでBRGC6nへのリフレッシュ動作 (同値書き込み) を行うことができます。

2. n = 0, 1

図12 - 15 ボー・レート・ジェネレータ・コントロール・レジスタ60 (BRGC60) のフォーマット

アドレス : FF57H リセット値 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC60	MDL670	MDL660	MDL650	MDL640	MDL630	MDL620	MDL610	MDL600

MDL670	MDL660	MDL650	MDL640	MDL630	MDL620	MDL610	MDL600	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL670-MDL600ビットを書き換える場合は, ASIM60レジスタのビット6 (TXE60) = 0, ビット5 (RXE60) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが, ボー・レート値となります。

備考1.  $f_{XCLK6}$  : CKSR60レジスタのTPS630-TPS600ビットで選択した基本クロックの周波数

2. k : MDL670-MDL600ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

図12 - 16 ポー・レート・ジェネレータ・コントロール・レジスタ61 (BRGC61) のフォーマット

アドレス : FF3EH リセット値 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC61	MDL671	MDL661	MDL651	MDL641	MDL631	MDL621	MDL611	MDL601

MDL671	MDL661	MDL651	MDL641	MDL631	MDL621	MDL611	MDL601	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL671-MDL601ビットを書き換える場合は、ASIM61レジスタのビット6 (TXE61) = 0、ビット5 (RXE61) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1.  $f_{XCLK6}$  : CKSR61レジスタのTPS631-TPS601ビットで選択した基本クロックの周波数

2. k : MDL671-MDL601ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ<sub>6n</sub> (ASICL<sub>6n</sub>)

シリアル・インタフェースUART60, UART61のシリアル通信動作を制御するレジスタです。

ASICL<sub>6n</sub>は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

**注意** 通信動作中 (ASIM<sub>6n</sub>のビット7, 6 (POWER<sub>6n</sub>, TXE<sub>6n</sub>) = 1, 1, またはASIM<sub>6n</sub>のビット7, 5 (POWER<sub>6n</sub>, RXE<sub>6n</sub>) = 1, 1) に、ソフトウェアでASICL<sub>6n</sub>へのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、SBF受信 (SBRF<sub>6n</sub> = 1) またはSBF送信中 (SBTT<sub>6n</sub> をセット (1) 後からINTST<sub>6n</sub>発生までの間) に、リフレッシュ動作でSBRT<sub>6n</sub> = 1, SBTT<sub>6n</sub> = 1 に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

**備考** n = 0, 1

図12 - 17 アシクロナス・シリアル・インタフェース・コントロール・レジスタ<sub>60</sub> (ASICL<sub>60</sub>) のフォーマット (1/2)

アドレス : FF58H リセット値 : 16H R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
ASICL <sub>60</sub>	SBRF <sub>60</sub>	SBRT <sub>60</sub>	SBTT <sub>60</sub>	SBL <sub>620</sub>	SBL <sub>610</sub>	SBL <sub>600</sub>	DIR <sub>60</sub>	TXDLV <sub>60</sub>

SBRF <sub>60</sub>	SBF受信状態フラグ
0	POWER <sub>60</sub> = 0およびRXE <sub>60</sub> = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信中

SBRT <sub>60</sub>	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT <sub>60</sub>	SBF送信トリガ
0	-
1	SBF送信トリガ

**注** ビット7はRead Onlyです。

図12 - 17 アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のフォーマット  
(2/2)

SBL620	SBL610	SBL600	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR60	先頭ビットの指定
0	MSB
1	LSB

TXDLV60	TxD6n出力反転許可 / 禁止
0	TxD60通常出力
1	TxD60反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF60フラグの状態は保持(1)されます。
- SBRT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット5 (RXE60) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT60ビットをクリア(0)しないでください。
  - SBRT60ビットのリード値は常に0です。SBF受信正常終了後、SBRT60は自動的にクリア(0)されます。
  - SBTT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット6 (TXE60) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT60ビットをクリア(0)しないでください。
  - SBTT60ビットのリード値は常に0です。SBF送信終了後、SBTT60は自動的にクリア(0)されます。
  - SBRT60ビットは受信動作中に、SBTT60ビットは送信動作中に、セット(1)しないでください。
  - DIR60, TXDLV60ビットを書き換えるときは、TXE60, RXE60ビットをクリア(0)にしてから行ってください。
  - TXDLV60ビットを1(TxD60反転出力)に設定している場合、POWER60, TXE60の設定に関係なく、TxD60/P13/SEG23/TIOP30<sup>※</sup>端子を汎用ポートとして使用することはできません。TxD60/P13/SEG23/TIOP30<sup>※</sup>端子を汎用ポートとして使用する場合は、TXDLV60ビットを0(TxD60通常出力)に設定してください。

注 TxD60/P13/SEG23/TIOP30端子は入力切り替え制御レジスタ (ISC) にて選択可能。(詳細は図12 - 19を参照)

図12 - 18 アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) のフォーマット  
(1/2)

アドレス : FF3FH リセット値 : 16H R/W<sup>注</sup>

略号	[7]	[6]	5	4	3	2	1	0
ASICL61	SBRF61	SBRT61	SBTT61	SBL621	SBL611	SBL601	DIR61	TXDLV61

SBRF61	SBF受信状態フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき, またはSBF受信が正常終了したとき
1	SBF受信時

SBRT61	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT61	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図12 - 18 アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) のフォーマット  
(2/2)

SBL621	SBL611	SBL601	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR61	先頭ビットの指定
0	MSB
1	LSB

TXDLV61	TxD6n出力反転許可 / 禁止
0	TxD61通常出力
1	TxD61反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF61フラグの状態は保持(1)されます。
- SBRT61ビットは、ASIM61のビット7 (POWER61) = 1, かつビット5 (RXE61) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT61ビットをクリア(0)しないでください。
  - SBRT61ビットのリード値は常に0です。SBF受信正常終了後、SBRT61は自動的にクリア(0)されます。
  - SBTT61ビットは、ASIM61のビット7 (POWER61) = 1, かつビット6 (TXE61) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT61ビットをクリア(0)しないでください。
  - SBTT61ビットのリード値は常に0です。SBF送信終了後、SBTT61は自動的にクリア(0)されます。
  - SBRT61ビットは受信動作中に、SBTT61ビットは送信動作中に、セット(1)しないでください。
  - DIR61, TXDLV61ビットを書き換えるときは、TXE61, RXE61ビットをクリア(0)にしてから行ってください。
  - TXDLV61ビットを1(TxD61反転出力)に設定している場合、POWER61, TXE61の設定に関係なく、TxD61/SCK10/P10/INTP4端子を汎用ポートとして使用することはできません。TxD61/SCK10/P10/INTP4端子を汎用ポートとして使用する場合は、TXDLV61ビットを0(TxD61通常出力)に設定してください。

## (7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。ISC の設定により、入力ソースを切り替えることができます。

ISC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 12 - 19 入力切り替え制御レジスタ (ISC) のフォーマット (1/2)

アドレス : FFFFFFF4FH リセット時 : 00H R/W

## ・ 78K0/DE2

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	0	0	ISC3	0	ISC1	ISC0 <sup>注</sup>

注  $\mu$  PD78F0844, 78F0845のみ。

ISC7	UART60端子選択制御	
	TxD60	RxD60/INTPR60
0	TxD60 ( P13 )	RxD60/INTPR60 ( P14 )
1	<TxD60> ( P71 )	<RxD60/INTPR60> ( P70 )

ISC6	TIOP30端子選択制御
0	TIOP30 ( P13 )
1	<TIOP30> ( P17 )

ISC3	TMP2入力ソース ( TIP21 ) の選択 [TMPのタイマ連結機能用]
0	TIOP21 ( P06 )
1	TMP3出力信号 ( TOP30 )

ISC1	TMP2入力ソース ( TIP20 ) 選択制御 [UART60のLIN受信動作]
0	TIOP20 ( P14 )
1	RxD60 <sup>注</sup>

注 ISC7で選択。

ISC0	TMP4入力ソース ( TIP40 ) 選択制御 [CANのタイム・スタンプ機能]
0	TIOP40 ( P00 )
1	TSOUT

図12 - 19 入力切り替え制御レジスタ (ISC) のフォーマット (2/2)

## ・ 78K0/DF2

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	ISC5	0	ISC3	ISC2	ISC1	ISC0 <sup>注</sup>

注  $\mu$  PD78F0846, 78F0847, 78F0848, 78F0849のみ。

ISC7	UART60端子選択制御	
	TxD60	RxD60/INTPR60
0	TxD60 ( P13 )	RxD60/INTPR60 ( P14 )
1	<TxD60> ( P71 )	<RxD60/INTPR60> ( P70 )

ISC6	TIOP30端子選択制御	
	0	TIOP30 ( P13 )
1	<TIOP30> ( P17 )	

ISC5	TIOP20端子選択制御	
	0	TIOP20 ( P14 )
1	<TIOP20> ( P77 )	

ISC3	TMP2入力ソース ( TIP21 ) の選択 [TMPのタイマ連結機能用]	
	0	TIOP21 ( P06 )
1	TMP3出力信号 ( TOP30 )	

ISC2	TMP3入力ソース ( TIP30 ) 選択制御 [UART61のLIN受信動作]	
	0	TIOP30 <sup>注</sup>
1	RxD61 ( P11 )	

注 ISC6で選択。

ISC1	TMP2入力ソース ( TIP20 ) 選択制御 [UART60のLIN受信動作]	
	0	TIOP20 ( P14 )
1	RxD60 <sup>注</sup>	

注 ISC7で選択。

ISC0	TMP4入力ソース ( TIP40 ) 選択制御 [CANのタイム・スタンプ機能用]	
	0	TIOP40 ( P00 )
1	TSOUT	

## (8) ポート・モード・レジスタ1, 7 (PM1, PM7)

PM1はポート1の入力/出力を1ビット単位で設定するレジスタです。PM7はポート7の入力/出力を1ビット単位で設定するレジスタです。

P13/TxD60/SEG23/TIOP30, P10/SCK10/TxD61/INTP4端子をシリアル・インタフェースのデータ出力として使用するとき, PM13, PM10に0を, P13, P10の出力ラッチに1を設定してください。

P14/RxD60/INTPR60/SEG22/TIOP20, P11/SI10/RxD61/INTPR61端子をシリアル・インタフェースのデータ入力として使用するとき, PM14, PM11に1を設定してください。このときP14, P11の出力ラッチは, 0または1のどちらでもかまいません。

入力切り替え制御レジスタ (ISC) のISC7ビットを1に設定したときは, P13/TxD60/SEG23/TIOP30, P14/RxD60/INTPR60/SEG22/TIOP20端子の代わりに, シリアル・インタフェースのデータ入力としてP70/RxD60/INTPR60/CRxD<sup>注</sup>端子, シリアル・インタフェースのデータ出力としてP71/TxD60/CTxD<sup>注</sup>端子を使用します。この場合, P71/TxD60/CTxD<sup>注</sup>端子を使用するときは, PM71に0を, P71の出力ラッチに1を設定してください。P70/RxD60/INTPR60/CRxD<sup>注</sup>端子を使用するときは, PM70に1を設定してください。このときP70の出力ラッチは, 0または1のどちらでもかまいません。

PM1, PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注  $\mu$  PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ。

図12 - 20 ポート・モード・レジスタ1, 7 (PM1, PM7) のフォーマット

アドレス : FF21H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10		

アドレス : FF27H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PM7	PM77 <sup>注</sup>	PM76 <sup>注</sup>	PM75 <sup>注</sup>	PM74 <sup>注</sup>	PM73	PM72	PM71	PM70		

PMnm	Pnm端子の入出力モードの選択 (n = 1, 7 ; m = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/DE2ではこれらのビットは1に設定されます。

## 12.4 シリアル・インタフェースUART60, UART61の動作

シリアル・インタフェースUART60, UART61は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

### 12.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6nのビット7, 6, 5 (POWER6n, TXE6n, RXE6n) に0を設定してください。

#### (1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)で行います。

ASIM6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス : FF50H リセット値 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6n	POWER6n	TXE6n	RXE6n	PS61n	PS60n	CL6n	SL6n	ISRM6n

POWER6n	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする <sup>注2</sup>

TXE6n	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6n	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. POWER6n = 0で、TxD6n端子の出力はハイ・レベルになり、Rx6n端子からの入力もハイ・レベルに固定されます。

- リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット7 (SBRF6n) とビット6 (SBRT6n), 受信バッファ・レジスタ6n (RXB6n) です。

**注意** 動作停止するときは、TXE6n = 0, RXE6n = 0にしてから、POWER6n = 0 にしてください。通信開始するときは、POWER6n = 1 にしてから、TXE6n = 1, RXE6n = 1にしてください。

備考1. RxD60/INTPR60/P14/SEG22/TIOP20, RxD61/INTPR61/P11/SI10, Tx60/P13/SEG23/TIOP30, Tx61/P10/SCK10/INTP4端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。(RxD60/INTPR60/P14/SEG22/TIOP20, Tx60/P13/SEG23/TIOP30端子は入力切り替え制御レジスタ (ISC) にて選択可能。)

- n = 0, 1

## 12.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

### (1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)
- ・ クロック選択レジスタ6n (CKSR6n)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1 (PM1)
- ・ ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6nレジスタを設定 (図12 - 13, 12 - 14を参照)

BRGC6nレジスタを設定 (図12 - 15, 12 - 16を参照)

ASIM6nレジスタのビット0-4 (ISRM6n, SL6n, CL6n, PS60n, PS61n) を設定 (図12 - 7, 12 - 8を参照)

ASICL6nレジスタのビット0, 1 (TXDLV6n, DIR6n) を設定 (図12 - 17, 12 - 18を参照)

ASIM6nレジスタのビット7 (POWER6n) をセット (1)

ASIM6nレジスタのビット6 (TXE6n) をセット (1) 送信可能

ASIM6nレジスタのビット5 (RXE6n) をセット (1) 受信可能

送信バッファ・レジスタ6n (TXB6n) にデータを書き込み データ送信開始

**注意** ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

**備考** n = 0, 1

レジスタの設定と端子の関係を次に示します。

表12 - 2 レジスタの設定と端子の関係

(a) UART60

POWER6n	TXE6n	RXE6n	PM13 <sup>注1</sup>	P13 <sup>注1</sup>	PM14 <sup>注1</sup>	P14 <sup>注1</sup>	UART60 の動作	端子機能	
								TxD60/TIOP30/ SEG23/P13 <sup>注1</sup>	RxD60/INTPR60/ TIOP20/SEG22/ P14 <sup>注1</sup>
0	0	0	x <sup>注2</sup>	x <sup>注2</sup>	x <sup>注2</sup>	x <sup>注2</sup>	停止	P13	P14
1	0	1	x <sup>注2</sup>	x <sup>注2</sup>	1	x	受信	P13	RxD60
	1	0	0	1	x <sup>注2</sup>	x <sup>注2</sup>	送信	TxD60	P14
	1	1	0	1	1	x	送受信	TxD60	RxD60

(b) UART61

POWER6n	TXE6n	RXE6n	PM10	P10	PM11	P11	UART61 の動作	端子機能	
								TxD61/P10/ SCK10/INTP4	RxD61/INTPR61/ P11/SI10
0	0	0	x <sup>注2</sup>	x <sup>注2</sup>	x <sup>注2</sup>	x <sup>注2</sup>	停止	P10	P11
1	0	1	x <sup>注2</sup>	x <sup>注2</sup>	1	x	受信	P10	RxD61
	1	0	0	1	x <sup>注2</sup>	x <sup>注2</sup>	送信	TxD61	P11
	1	1	0	1	1	x	送受信	TxD61	RxD61

注1. P13/TxD60/TIOP30/SEG23, P14/RxD60/INTPR60/TIOP20/SEG22端子は入力切り替え制御レジスタ (ISC)

にて選択可能。(詳細は図12 - 19を参照)

2. ポート機能として設定することができます。

備考 x : don't care

POWER6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7

TXE6n : ASIM6nのビット6

RXE6n : ASIM6nのビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

n = 0, 1

## (2) 通信動作

## (a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図12 - 21, 12 - 22に示します。

図12 - 21 通常UART送受信データのフォーマット

## 1. LSBファーストの場合



## 2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット / 8ビット
- ・パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット / 2ビット

1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) によって行います。

データはLSBファースト / MSBファーストをアシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット1 (DIR6n) で設定して通信します。

また, TxD6n端子の通常出力 / 反転出力をASICL6nのビット0 (TXDLV6n) で設定します。

備考 n = 0, 1

図12 - 22 通常UART送受信データの波形例

1. データ長 : 8ビット , LSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H



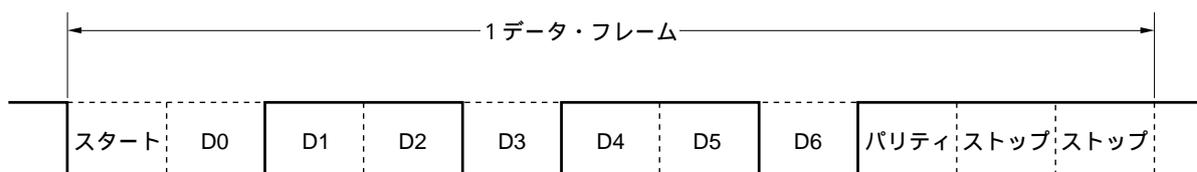
2. データ長 : 8ビット , MSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H



3. データ長 : 8ビット , MSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H, TxD6n端子反転出力



4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



備考 n = 0, 1

**(b) パリティの種類と動作**

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出することはできません。

**注意** LIN通信動作で使用する場合、PS61n, PS60nビットを0に固定してください。

**(i) 偶数パリティ**

## ・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

**(ii) 奇数パリティ**

## ・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**(iii) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**(iv) パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

**備考** n = 0, 1

## (c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット6 (TXE6n) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6n (TXB6n) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

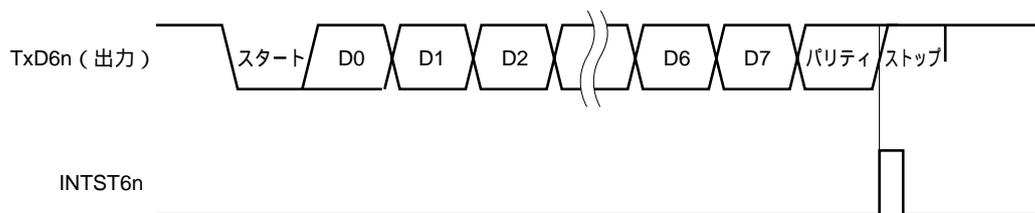
送信動作の開始により、TXB6n内のデータは送信シフト・レジスタ6n (TXS6n) に転送されます。その後、送信データがTXS6nより順次、TxD6n端子に出力されます。送信が完了すると、ASIM6nで設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6n) が発生します。

次に送信するデータをTXB6nに書き込むまで、送信動作は中断します。

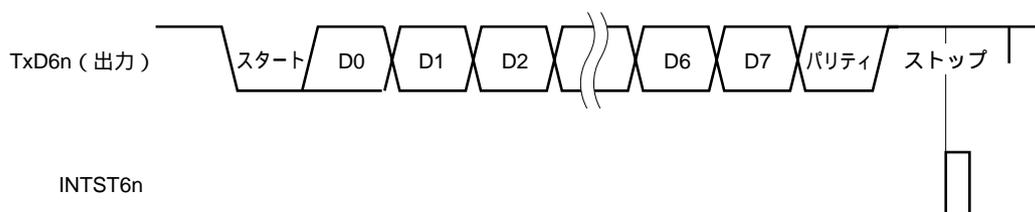
送信完了割り込み要求 (INTST6n) のタイミングを図12 - 23に示します。INTST6nは、最後のストップ・ビット出力と同時に発生します。

図12 - 23 通常送信完了割り込み要求タイミング

## 1. ストップ・ビット長 : 1



## 2. ストップ・ビット長 : 2



備考 n = 0, 1

## (d) 連続送信

送信シフトレジスタ6n(TXS6n)がシフト動作を開始した時点で、次の送信データを送信バッファレジスタ6n(TXB6n)へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6n割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータスレジスタ6n(ASIF6n)のビット0(TXSF6n)を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回(2バイト)のTXB6nレジスタへの書き込みができます。

連続送信する場合は、必ずASIF6nレジスタを参照し、送信状態とTXB6nレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1.** 連続送信でASIF6nレジスタのTXBF6n, TXSF6nフラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6n, TXSF6nフラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6nフラグのみを読み出してください。
- 2.** LIN通信動作で使用する場合は、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータスレジスタ6n(ASIF6n)が00Hになっていることを確認してから、送信バッファレジスタ6n(TXB6n)に送信データを書き込んでください。

TXBF6n	TXB6nレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

**注意** 連続送信を行う場合は、最初の送信データ(1バイト目)をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが“0”であることを確認してから次の送信データ(2バイト目)をTXB6nレジスタに書き込んでください。TXBF6nフラグが“1”のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF6nフラグで、通信状態を確認することができます。

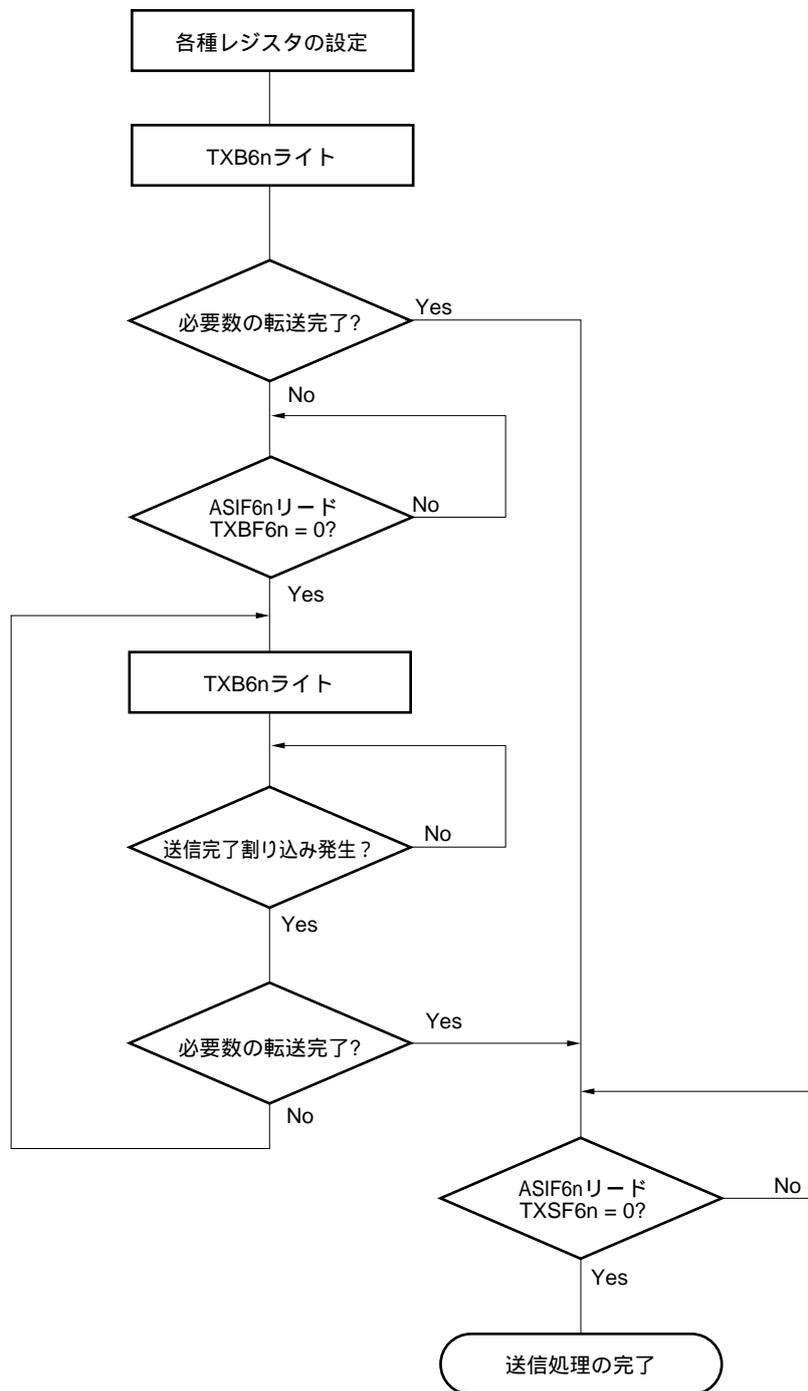
TXSF6n	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが“0”であることを確認してから初期化を実行してください。TXSF6nフラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6n割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6nフラグを参照することで検出できます。

**備考** n = 0, 1

連続送信の処理フロー例を図12 - 24に示します。

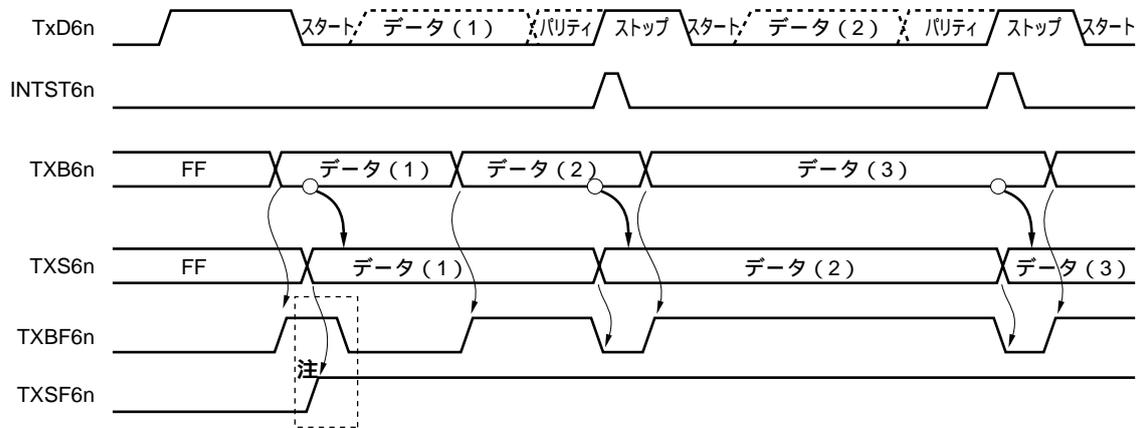
図12 - 24 連続送信の処理フロー例



- 備考** TXB6n : 送信バッファ・レジスタ6n  
 ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n  
 TXBF6n : ASIF6nのビット1 (送信バッファ・データ・フラグ)  
 TXSF6n : ASIF6nのビット0 (送信シフト・レジスタ・データ・フラグ)  
 n = 0, 1

連続送信を開始する際のタイミングを図12 - 25に、連続送信を終了する際のタイミングを図12 - 26に示します。

図12 - 25 連続送信を開始する際のタイミング



注 ASIF6nをリードした場合、TXBF6n, TXSF6n = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6nビットのみで判断してください。

備考 TxD6n : TxD6n端子 (出力)

INTST6n : 割り込み要求信号

TXB6n : 送信バッファ・レジスタ6n

TXS6n : 送信シフト・レジスタ6n

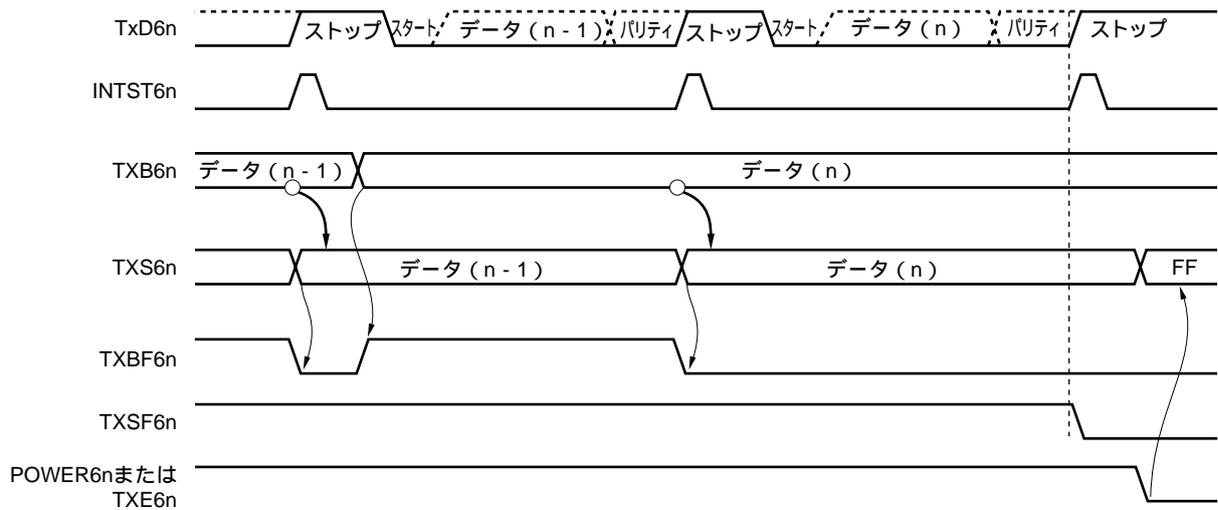
ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n

TXBF6n : ASIF6nのビット1

TXSF6n : ASIF6nのビット0

n = 0, 1

図12 - 26 連続送信を終了する際のタイミング



- 備考**
- TxD6n : TxD6n端子 (出力)
  - INTST6n : 割り込み要求信号
  - TXB6n : 送信バッファ・レジスタ6n
  - TXS6n : 送信シフト・レジスタ6n
  - ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n
  - TXBF6n : ASIF6nのビット1
  - TXSF6n : ASIF6nのビット0
  - POWER6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)のビット7
  - TXE6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)のビット6
- n = 0, 1

## (e) 通常受信

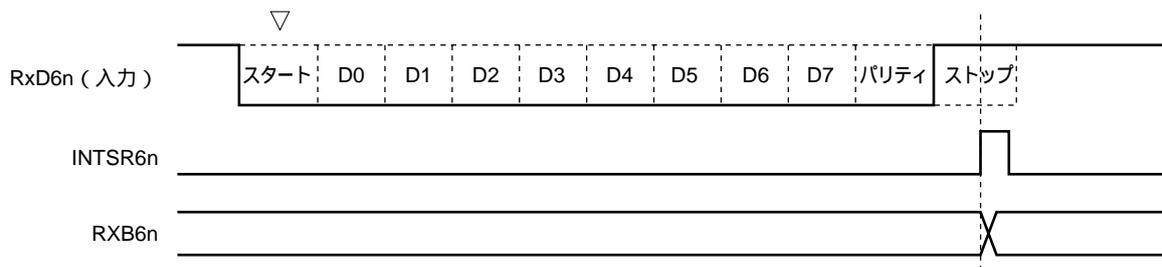
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット5 (RXE6n) をセット (1) すると受信許可状態となり、RxD6n端子入力のサンプリングを行います。

RxD6n端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの8ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) の設定値をカウントした時点で、再度RxD6n端子入力をサンプリング(図12-27の 印に相当)した結果、RxD6n端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6n (RXS6n) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6n) を発生すると同時に、RXS6nのデータは受信バッファ・レジスタ6n (RXB6n) に書き込まれます。ただし、オーバラン・エラー (OVE6n) が発生した場合、そのときの受信データはRXB6nに書き込みません。

受信途中に、パリティ・エラー (PE6n) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み (INTSR6n) を発生します。

図12-27 受信完了割り込み要求タイミング



- 注意1.** 受信エラーが発生した場合は、ASIS6nを読み出したあと、RXB6nを読み出し、エラー・フラグをクリアしてください。RXB6nを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6nを読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) を読み出してください。

**備考** n = 0, 1

## (f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) 内に立つと、受信エラー割り込み (INTSR6n) を発生します。

受信エラー割り込み (INTSR6n) 処理内で、ASIS6nの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図12 - 9, 12 - 10参照)。

ASIS6nの内容は、ASIS6nを読み出すことによって、クリア (0) されます。

表12 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6n (RXB6n) からデータを読み出す前に次のデータ受信完了

備考 n = 0, 1

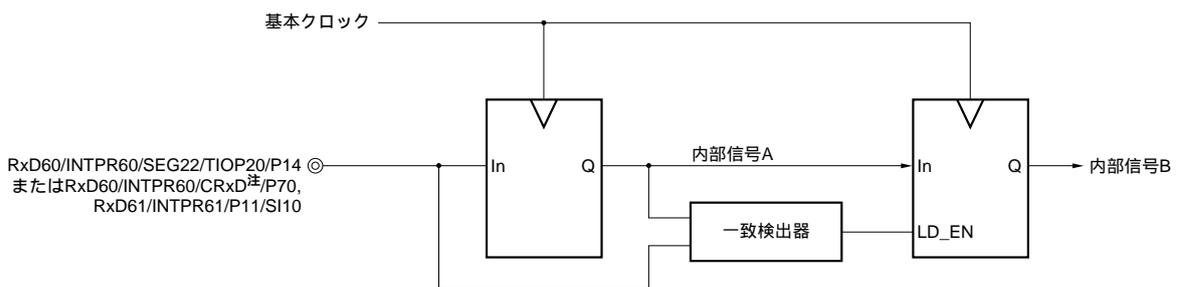
## (g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6n信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図12 - 28のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図12 - 28 ノイズ・フィルタ回路



注  $\mu$  PD78F0844, 78F0845, 78F0846, 78F0847, 78F0848, 78F0849のみ。

備考 n = 0, 1

## (h) SBF送信

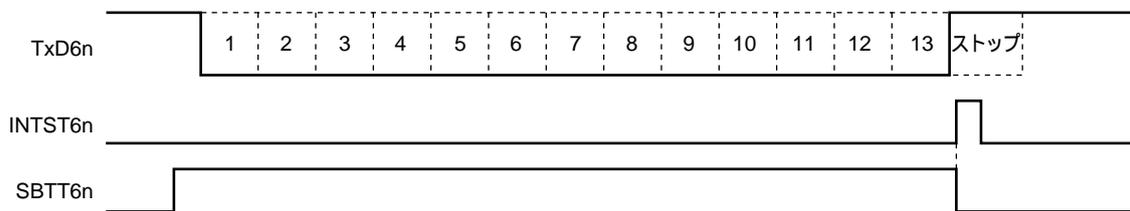
LIN通信動作で使用する場合、送信ではSBF (Synch Break Field) 送信制御機能を使用します。LINの送信操作については図12-1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット6 (TXE6n) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット5 (SBTT6n) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL6nのビット4-2 (SBL62n-SBL60n) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6n) を発生し、SBTT6nは自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6n (TXB6n) に書き込む、あるいはSBTT6nをセット (1) するまで、送信動作は中断します。

図12-29 SBF送信



**備考** TxD6n : TxD6n端子 (出力)

INTST6n : 送信完了割り込み要求

SBTT6n : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット5

n = 0, 1

## (i) SBF受信

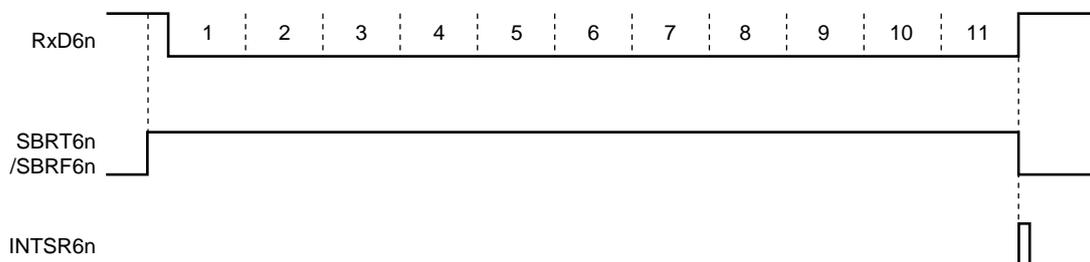
LIN通信動作で使用する場合、受信ではSBF (Synch Break Field) 受信制御機能を使用します。LINの受信操作については図12-2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット5 (RXE6n) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット6 (SBRT6n) をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6n端子をサンプリングし、スタート・ビットの検出を行います。

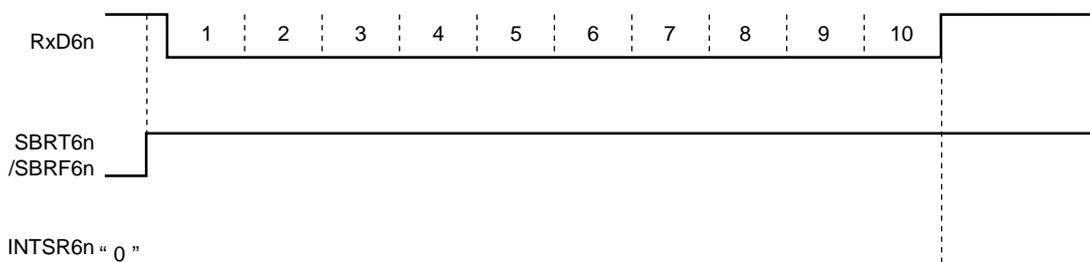
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6n (RXS6n) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6n) を発生します。このときSBRF6n, SBRT6nビットは自動的にクリアされ、SBF受信を終了します。OVE6n, PE6n, FE6n (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6n (RXS6n) と受信バッファ・レジスタ6n (RXB6n) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅が10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6n, SBRT6nビットはクリアされません。

図12-30 SBF受信

## 1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



## 2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



**備考** RxD6n : RxD6n端子 (入力)

SBRT6n : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット6

SBRF6n : ASICL6nのビット7

INTSR6n : 受信完了割り込み要求

n = 0, 1

### 12.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART60, UART61における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

#### (1) ポー・レート・ジェネレータの構成

##### ・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7(POWER6n) = 1のとき、クロック選択レジスタ6n(CKSR6n)のビット3-0(TPS63n-TPS60n)で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を $f_{CLK6}$ と呼びます。POWER6n = 0のときは、基本クロックはロウ・レベルに固定となります。

##### ・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7(POWER6n) = 0またはビット6(TXE6n) = 0のときはクリア(0)の状態で作動を停止します。

POWER6n = 1かつTXE6n = 1でカウンタをスタートします。

最初の送信では送信バッファ・レジスタ6n(TXB6n)への書き込みでカウンタをクリア(0)します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア(0)します。次の送信データがなかった場合、カウンタはクリア(0)されず、POWER6nまたはTXE6nがクリア(0)されるまでカウンタ動作をそのまま続けます。

##### ・受信用カウンタ

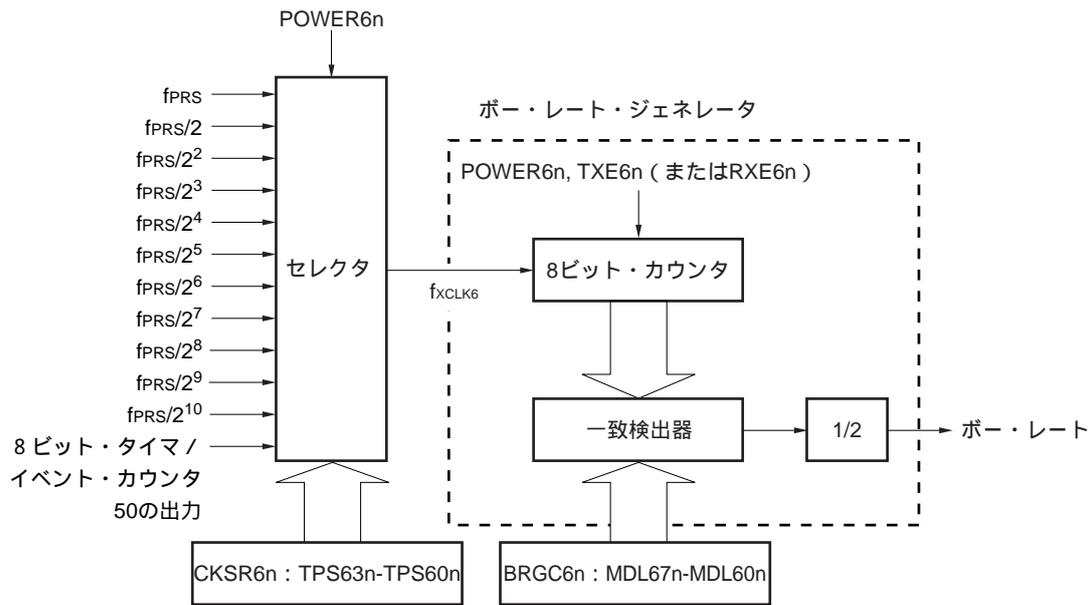
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7(POWER6n) = 0またはビット5(RXE6n) = 0のときはクリア(0)の状態で作動を停止します。

スタート・ビット検出によりカウンタをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

**備考** n = 0, 1

図12 - 31 ポー・レート・ジェネレータの構成



**備考** POWER6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7

TXE6n : ASIM6nのビット6

RXE6n : ASIM6nのビット5

CKSR6n : クロック選択レジスタ6n

BRGC6n : ポー・レート・ジェネレータ・コントロール・レジスタ6n

n = 0, 1

**(2) シリアル・クロックの生成**

クロック選択レジスタ6n (CKSR6n) とポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) の設定により、シリアル・クロックを生成できます。

CKSR6nのビット3-0 (TPS63n-TPS60n) により、8ビット・カウンタへの入力クロックを選択します。

BRGC6nのビット7-0 (MDL67n-MDL60n) により、8ビット・カウンタの分周値を設定できます。

**(a) ポー・レート**

ポー・レートは次の式によって求められます。

$$\cdot \text{ポー・レート} = \frac{f_{\text{CLK6}}}{2 \times k} \text{ [ bps ]}$$

$f_{\text{CLK6}}$  : CKSR6nレジスタのTPS63n-TPS60nビットで選択した基本クロックの周波数

$k$  : BRGC6nレジスタのMDL67n-MDL60nビットで設定した値 ( $k = 4, 5, 6, \dots, 255$ )

**(b) ポー・レートの誤差**

ポー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left( \frac{\text{実際のポー・レート (誤差のあるポー・レート)}}{\text{希望するポー・レート (正常なポー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

**注意1.** 送信時のポー・レート誤差は、受信先の許容誤差以内になしてください。

**2.** 受信時のポー・レート誤差は、(4) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6nレジスタのMDL67n-MDL60nビットの設定値 = 00100001B ( $k = 33$ )

目標ポー・レート = 153600 bps

$$\begin{aligned} \text{ポー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515 / 153600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

**備考**  $n = 0, 1$

## (3) ボー・レート設定例

表12-4 ボー・レート・ジェネレータ設定データ

ボー・ レート [ bps ]	f <sub>PRS</sub> = 5.0 MHz				f <sub>PRS</sub> = 10.0 MHz				f <sub>PRS</sub> = 20.0 MHz			
	TPS63n- TPS60n	k	算出値	ERR [%]	TPS63n- TPS60n	k	算出値	ERR [%]	TPS63n- TPS60n	k	算出値	ERR [%]
300	7H	65	301	0.16	8H	65	301	0.16	9H	65	301	0.16
600	6H	65	601	0.16	7H	65	601	0.16	8H	65	601	0.16
1200	5H	65	1202	0.16	6H	65	1202	0.16	7H	65	1202	0.16
2400	4H	65	2404	0.16	5H	65	2404	0.16	6H	65	2404	0.16
4800	3H	65	4808	0.16	4H	65	4808	0.16	5H	65	4808	0.16
9600	2H	65	9615	0.16	3H	65	9615	0.16	4H	65	9615	0.16
19200	1H	65	19231	0.16	2H	65	19231	0.16	3H	65	19231	0.16
24000	3H	13	24038	0.16	4H	13	24038	0.16	5H	13	24038	0.16
31250	4H	5	31250	0	5H	5	31250	0	6H	5	31250	0
38400	0H	65	38462	0.16	1H	65	38462	0.16	2H	65	38462	0.16
48000	2H	13	48077	0.16	3H	13	48077	0.16	4H	13	48077	0.16
76800	0H	33	75758	- 1.36	0H	65	76923	0.16	1H	65	76923	0.16
115200	1H	11	113636	- 1.36	0H	43	116279	0.94	0H	87	114943	- 0.22
153600	1H	8	156250	1.73	0H	33	151515	- 1.36	1H	33	151515	- 1.36
312500	0H	8	312500	0	1H	8	312500	0	2H	8	312500	0
625000	0H	4	625000	0	1H	4	625000	0	2H	4	625000	0

備考 TPS63n-TPS60n : クロック選択レジスタ6n (CKSR6n) のビット3-0 (基本クロック (f<sub>xCLK6</sub>) 設定)

k : ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) のMDL67n-MDLn60ビットで設定した値 (k = 4, 5, 6, ..., 255)

f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

n = 0, 1

## (4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図12 - 32 受信時の許容ポー・レート範囲

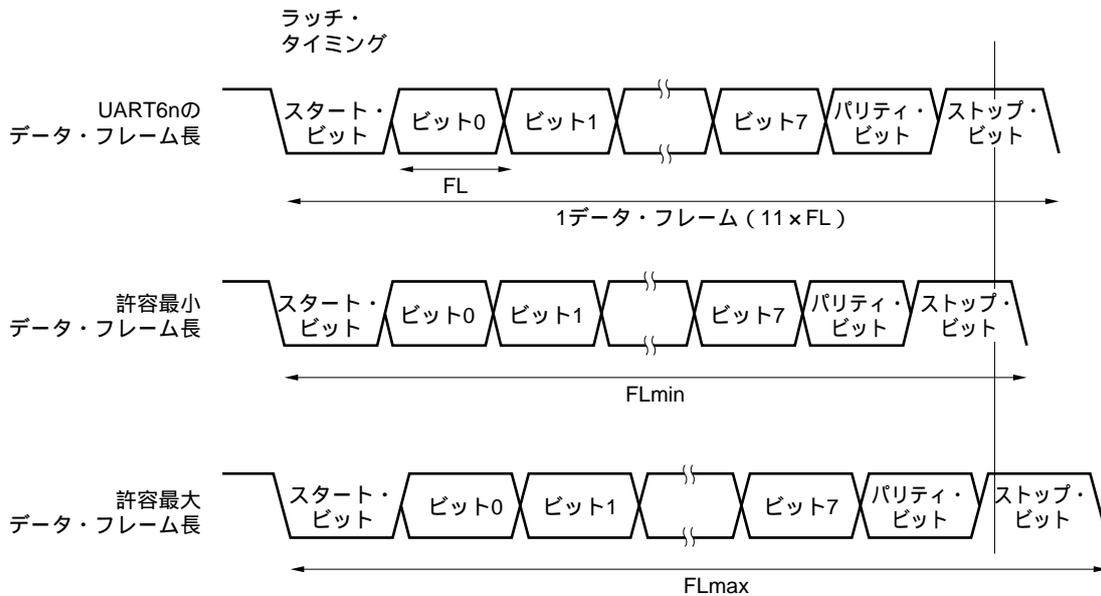


図12 - 32に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART60, UART61のポー・レート

k : BRGC6nの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

**備考** n = 0, 1

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART60, UART61と送信先とのボー・レートの許容誤差を求めると次のようになります。

表12-5 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.33 %	- 2.44 %
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

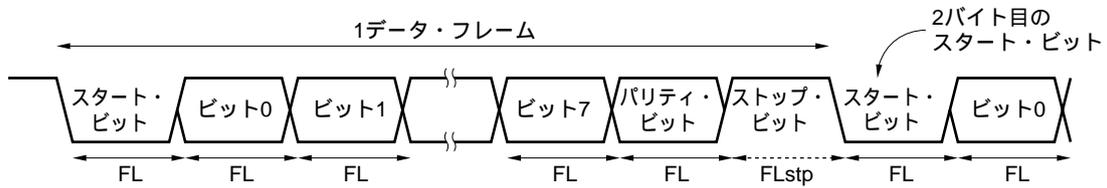
**備考1.** 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC6nの設定値 (n = 0, 1)

## (5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図12 - 33 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： $f_{XCLK6}$ とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

## 第13章 シリアル・インタフェースCSI10, CSI11

78K0/Dx2はシリアル・インタフェースCSI10, CSI11を内蔵しています。

### 13.1 シリアル・インタフェースCSI10, CSI11の機能

**注意** シリアル・インタフェースCSI11は78K0/DF2のみです。

シリアル・インタフェースCSI10, CSI11には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアル/I/Oモード

#### (1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については13.4.1 **動作停止モード**を参照してください。

#### (2) 3線式シリアル/I/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ( $\overline{\text{SCK1n}}$ ) とシリアル・データ ( $\text{SI1n}$ ,  $\text{SO1n}$ ) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアル/I/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアル/I/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については13.4.2 **3線式シリアル/I/Oモード**を参照してください。

**備考**  $n = 0, 1$

## 13.2 シリアル・インタフェースCSI10, CSI11の構成

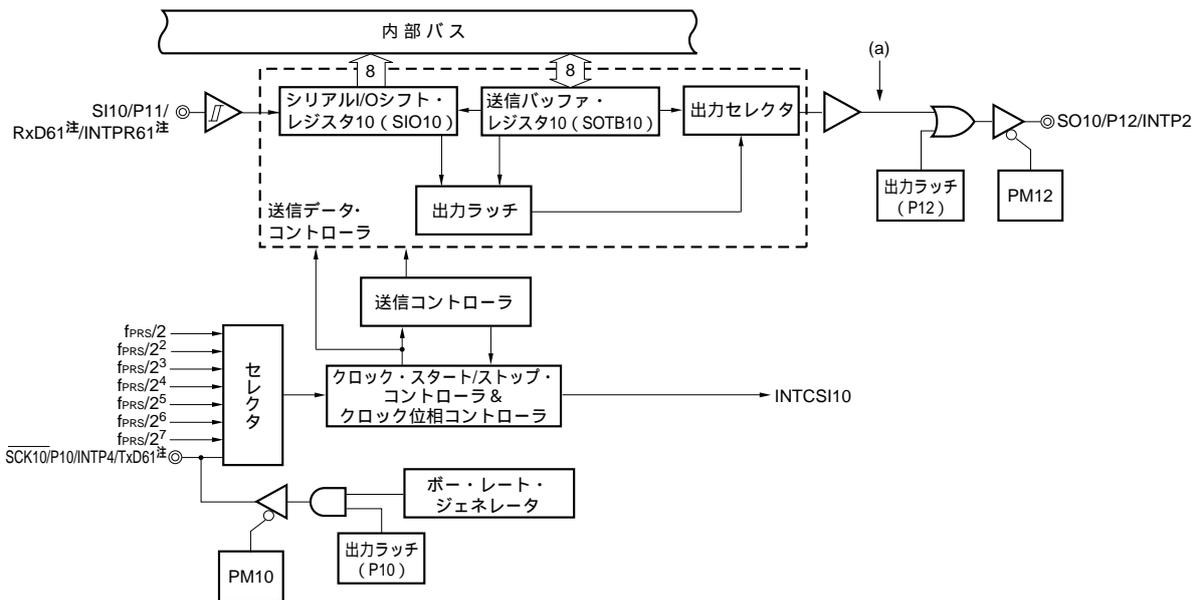
シリアル・インタフェースCSI10, CSI11は、次のハードウェアで構成しています。

表13-1 シリアル・インタフェースCSI10, CSI11の構成

項目	構成	
	78K0/DE2	78K0/DF2
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ	
レジスタ	送信バッファ・レジスタ1n (SOTB1n) シリアルI/Oシフト・レジスタ1n (SIO1n)	
制御レジスタ	シリアル動作モード・レジスタ1n (CSIM1n) シリアル・クロック選択レジスタ1n (CSIC1n) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)	
	-	ポート・モード・レジスタ (PM7) ポート・レジスタ7 (P7)

備考 n = 0, 1 (n = 1のレジスタは78K0/DF2のみです。)

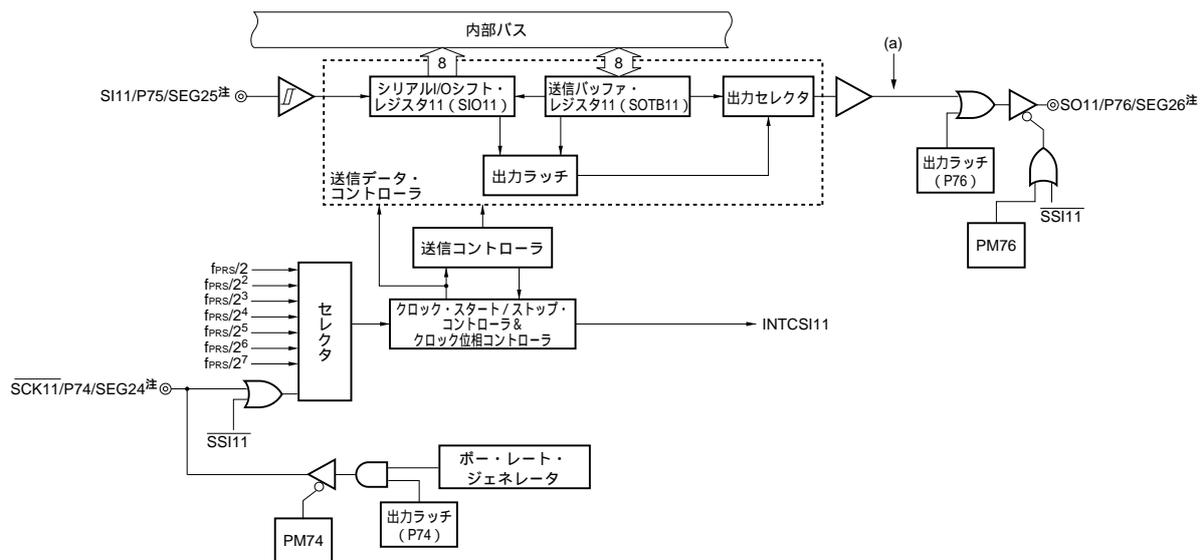
図13-1 シリアル・インタフェースCSI10のブロック図



注 78K0/DF2のみ。

備考 (a) : SO10出力

図13-2 シリアル・インタフェースCSI11のブロック図



注  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみ。

備考 (a) : SO11出力

**(1) 送信バッファ・レジスタ1n (SOTB1n)**

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1n (CSIM1n) のビット7 (CSIE1n) とビット6 (TRMD1n) が1のとき、SOTB1n にデータを書き込むことにより送受信動作が開始されます。

SOTB1n に書き込まれたデータは、シリアル/Oシフト・レジスタ1n でパラレル・データからシリアル・データに変換され、シリアル出力 (SO1n) に出力されます。

SOTB1n は、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00H になります。

**注意1.** CSOT1n = 1 (シリアル通信中) のとき、SOTB1n へのアクセスは行わないでください。

2. スレープ・モードでは、 $\overline{\text{SSI11}}$  端子にロウ・レベルが入力された状態で、SOTB1n にデータを書き込むと送受信が開始されます。送受信動作の詳細については、13. 4. 2 (2) 通信動作を参照してください。

**(2) シリアル/Oシフト・レジスタ1n (SIO1n)**

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO1n は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0のとき、SIO1n からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI1n) からSIO1n に読み込まれます。

リセット信号の発生により、00H になります。

**注意1.** CSOT1n = 1 (シリアル通信中) のとき、SIO1n へのアクセスは行わないでください。

2. スレープ・モードでは、 $\overline{\text{SSI11}}$  端子にロウ・レベルが入力された状態で、SIO1n からデータを読み出すと受信が開始されます。受信動作の詳細については、13. 4. 2 (2) 通信動作を参照してください。

### 13.3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ

シリアル・インタフェースCSI10, CSI11は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ1, 7 (PM1, PM7) ,
- ・ポート・レジスタ1, 7 (P1, P7)

**備考** CSIM11, CSIC11, PM7, P7は78K0/DF2のみ。

n = 0, 1

(1) シリアル動作モード・レジスタ<sub>n</sub> (CSIM<sub>n</sub>)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM<sub>n</sub>は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図13 - 3 シリアル動作モード・レジスタ<sub>10</sub> (CSIM<sub>10</sub>) のフォーマット

アドレス : FF80H    リセット時 : 00H    R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
CSIM <sub>10</sub>	CSIE <sub>10</sub>	TRMD <sub>10</sub>	0	DIR <sub>10</sub>	0	0	0	CSOT <sub>10</sub>

CSIE <sub>10</sub>	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 <sup>注2</sup> , 内部回路を非同期リセットする <sup>注3</sup>
1	動作許可

TRMD <sub>10</sub> <sup>注4</sup>	送受信モードの制御
0 <sup>注5</sup>	受信モード (送信禁止)
1	送受信モード

DIR <sub>10</sub> <sup>注6</sup>	先頭ビットの指定
0	MSB
1	LSB

CSOT <sub>10</sub>	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- P10/SCK10/INTP4/TxD61, P12/SO10/INTP2を汎用ポートとして使用する場合は、CSIM<sub>10</sub>を初期状態と同じ設定 (00H) にしてください。(TxD61の機能は78K0/DF2のみです。)
- リセットされるのはCSIM<sub>10</sub>のビット0 (CSOT<sub>10</sub>) とシリアルI/Oシフト・レジスタ<sub>10</sub> (SIO<sub>10</sub>) です。
- CSOT<sub>10</sub> = 1 (シリアル通信中) のとき、TRMD<sub>10</sub>を書き換えないでください。
- TRMD<sub>10</sub>が0のとき、SO<sub>10</sub>出力 (図13 - 1の (a) 参照) はロウ・レベルに固定されます。SIO<sub>10</sub>からデータを読み出すと受信が開始します。
- CSOT<sub>10</sub> = 1 (シリアル通信中) のとき、DIR<sub>10</sub>を書き換えないでください。

注意 ビット5には必ず0を設定してください。

図13 - 4 シリアル動作モード・レジスタ11 (CSIM11) のフォーマット

アドレス : FF88H    リセット時 : 00H    R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアル/Oモード時の動作の制御
0	動作禁止 <sup>注2</sup> , 内部回路を非同期リセットする <sup>注3</sup>
1	動作許可

TRMD11 <sup>注4</sup>	送受信モードの制御
0 <sup>注5</sup>	受信モード (送信禁止)
1	送受信モード

SSE11 <sup>注, 7</sup>	SSI11端子の使用の選択
0	SSI11端子を使用しない
1	SSI11端子を使用する

DIR11 <sup>注8</sup>	先頭ビットの指定
0	MSB
1	LSB

CSOT11	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- P74/ $\overline{\text{SCK11}}$ /SEG24, P76/SO11/SEG26, P77/ $\overline{\text{SSI11}}$ /TIOP20/SEG27を汎用ポートとして使用する場合は, CSIM11を初期状態と同じ設定 (00H) にしてください。(SEG24, SEG26, SEG27の機能は $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみです。)
- リセットされるのはCSIM11のビット0 (CSOT11) とシリアル/Oシフト・レジスタ11 (SIO11) です。
- CSOT11 = 1 (シリアル通信中) のとき, TRMD11を書き換えないでください。
- TRMD11が0のとき, SO11出力 (図13 - 2の (a) 参照) はロウ・レベルに固定されます。SIO11からデータを読み出すと受信が開始します。
- CSOT11 = 1 (シリアル通信中) のとき, SSE11を書き換えないでください。
- SSE11を1に設定する前に,  $\overline{\text{SSI11}}$ 端子の入力レベルを0または1に固定してください。
- CSOT11 = 1 (シリアル通信中) のとき, DIR11を書き換えないでください。

(2) シリアル・クロック選択レジスタ<sub>1n</sub> (CSIC<sub>1n</sub>)

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。

CSIC<sub>1n</sub>は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考 n = 0, 1

図13-5 シリアル・クロック選択レジスタ<sub>10</sub> (CSIC<sub>10</sub>) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIC <sub>10</sub>	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 <sup>注1, 2</sup>				モード	
			f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz		
0	0	0	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz	マスタ・ モード
0	0	1	f <sub>PRS</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	f <sub>PRS</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	f <sub>PRS</sub> /2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	f <sub>PRS</sub> /2 <sup>5</sup>	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	f <sub>PRS</sub> /2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	f <sub>PRS</sub> /2 <sup>7</sup>	15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK10への外部クロック入力				スレープ・ モード	

注1. 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>IN</sub>) で動作している (XSEL = 1) 場合，電源電圧により，f<sub>PRS</sub>の動作周波数が異なります。

- V<sub>DD</sub> = 4.0 ~ 5.5 V : f<sub>PRS</sub> 20 MHz
- V<sub>DD</sub> = 2.7 ~ 4.0 V : f<sub>PRS</sub> 10 MHz

注2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	(A) 水準品	(A2) 水準品
V <sub>DD</sub> = 4.0 ~ 5.5 V	シリアル・クロック 5 MHz	シリアル・クロック 5 MHz
V <sub>DD</sub> = 2.7 ~ 4.0 V	シリアル・クロック 2.5 MHz	シリアル・クロック 2.5 MHz

注意1. CSIE10 = 1 (動作許可) のとき, CSIC10への書き込みを行わないでください。

- P10/SCK10/INTP4/TxD61, P12/SO10/INTP2を汎用ポートとして使用する場合は, CSIC10を初期状態と同じ設定(00H)にしてください。(TxD61の機能は78K0/DF2のみです。)
- リセット後のデータ・クロックの位相タイプは, タイプ1になります。

備考 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

図13-6 シリアル・クロック選択レジスタ11 (CSIC11) のフォーマット

アドレス : FF89H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
CSIC11	0	0	0	CKP11	DAP11	CKS112	CKS111	CKS110

CKP11	DAP11	データ送受信タイミングの指定	タイプ
0	0	SCK11 SO11 <del>X</del> D7 <del>X</del> D6 <del>X</del> D5 <del>X</del> D4 <del>X</del> D3 <del>X</del> D2 <del>X</del> D1 <del>X</del> D0 SI11入カタイミング	1
0	1	SCK11 SO11 <del>X</del> D7 <del>X</del> D6 <del>X</del> D5 <del>X</del> D4 <del>X</del> D3 <del>X</del> D2 <del>X</del> D1 <del>X</del> D0 SI11入カタイミング	2
1	0	SCK11 SO11 <del>X</del> D7 <del>X</del> D6 <del>X</del> D5 <del>X</del> D4 <del>X</del> D3 <del>X</del> D2 <del>X</del> D1 <del>X</del> D0 SI11入カタイミング	3
1	1	SCK11 SO11 <del>X</del> D7 <del>X</del> D6 <del>X</del> D5 <del>X</del> D4 <del>X</del> D3 <del>X</del> D2 <del>X</del> D1 <del>X</del> D0 SI11入カタイミング	4

CKS112	CKS111	CKS110	CSI11のシリアル・クロックの選択 <sup>注1,2</sup>				モード	
			f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz		
0	0	0	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz	マスタ・ モード
0	0	1	f <sub>PRS</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	f <sub>PRS</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	f <sub>PRS</sub> /2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	f <sub>PRS</sub> /2 <sup>5</sup>	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	f <sub>PRS</sub> /2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	f <sub>PRS</sub> /2 <sup>7</sup>	15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK11への外部クロック入力				スレーブ・ モード	

注1. 周辺ハードウェア・クロック ( $f_{PRS}$ ) が高速システム・クロック ( $f_{IN}$ ) で動作している ( $XSEL = 1$ ) 場合、電源電圧により、 $f_{PRS}$ の動作周波数が異なります。

•  $V_{DD} = 4.0 \sim 5.5 \text{ V}$  :  $f_{PRS} = 20 \text{ MHz}$

•  $V_{DD} = 2.7 \sim 4.0 \text{ V}$  :  $f_{PRS} = 10 \text{ MHz}$

2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	(A) 水準品	(A2) 水準品
$V_{DD} = 4.0 \sim 5.5 \text{ V}$	シリアル・クロック 5 MHz	シリアル・クロック 5 MHz
$V_{DD} = 2.7 \sim 4.0 \text{ V}$	シリアル・クロック 2.5 MHz	シリアル・クロック 2.5 MHz

注意1.  $CSIE11 = 1$  (動作許可) のとき、 $CSIC11$ への書き込みを行わないでください。

2.  $P74/\overline{SCK11}/SEG24$ ,  $P76/SO11/SEG26$ を汎用ポートとして使用する場合は、 $CSIC11$ を初期状態と同じ設定 (00H) にしてください。(SEG24, SEG26の機能は、 $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみです。)

3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

## (3) ポート・モード・レジスタ1, 7 (PM1, PM7)

ポート1, 7の入力 / 出力を1ビット単位で設定するレジスタです。

P10/ $\overline{\text{SCK10}}$ /INTP4/TxD61<sup>注1</sup>, P74/ $\overline{\text{SCK11}}$ /SEG24<sup>注2</sup>をシリアル・インタフェースのクロック出力として使用するとき, PM10, PM74に0, P10, P74の出力ラッチに1を設定してください。

P12/ $\overline{\text{SO10}}$ /INTP2, P76/ $\overline{\text{SO11}}$ /SEG26<sup>注2</sup>をシリアル・インタフェースのデータ出力として使用するとき, PM12, PM76およびP12, P76の出力ラッチに0を設定してください。

P10/ $\overline{\text{SCK10}}$ /INTP4/TxD61<sup>注1</sup>, P74/ $\overline{\text{SCK11}}$ /SEG24<sup>注2</sup>をシリアル・インタフェースのクロック入力, P11/ $\overline{\text{SI10}}$ /RxD61<sup>注1</sup>/INTPR61<sup>注1</sup>, P75/ $\overline{\text{SI11}}$ /SEG25<sup>注2</sup>をシリアル・インタフェースのデータ入力, P77/ $\overline{\text{SSI11}}$ /TIOP20/SEG27<sup>注2</sup>をシリアル・インタフェースのチップ・セレクト入力として使用するとき, PM10, PM74, PM11, PM75, PM77に1を設定してください。このとき, P10, P74, P11, P75, P77の出力ラッチは, 0または1のどちらでもかまいません。

PM1, PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注1. 78K0/DF2のみ。

2.  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみ。

図13-7 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図13-8 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス: FF27H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77 <sup>注</sup>	PM76 <sup>注</sup>	PM75 <sup>注</sup>	PM74 <sup>注</sup>	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/DE2ではこれらのビットは1に設定されます。

## 13.4 シリアル・インタフェースCSI10, CSI11の動作

シリアル・インタフェースCSI10, CSI11は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

**備考** シリアル・インタフェースCSI11は78K0/DF2のみです。

### 13.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P10/ $\overline{\text{SCK10}}$ /INTP4/TxD61, P11/SI10/RxD61/INTPR61, P12/SO10/INTP2, P74/ $\overline{\text{SCK11}}$ /SEG24, P75/SI11/SEG25, P76/SO11/SEG26を通常の入出力ポートとして使用できます。

#### (1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ1n (CSIM1n)で行います。

動作停止モードにする場合は、CSIM1nのビット7 (CSIE1n)に0を設定してください。

#### (a) シリアル動作モード・レジスタ1n (CSIM1n)

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** n = 0, 1

- ・シリアル動作モード・レジスタ10 (CSIM10)

アドレス：FF80H      リセット時：00H      R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 <sup>注1</sup> 、内部回路を非同期リセットする <sup>注2</sup>

注1. P10/ $\overline{\text{SCK10}}$ /INTP4/TxD61, P12/SO10/INTP2を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定(00H)にしてください。

2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oソフト・レジスタ10 (SIO10) です。

・シリアル動作モード・レジスタ11 (CSIM11)

アドレス : FF88H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアル/Oモード時の動作の制御
0	動作禁止 <sup>注1</sup> , 内部回路を非同期リセットする <sup>注2</sup>

注1. P74/ $\overline{\text{SCK11}}$ /SEG24, P77/ $\overline{\text{SSI11}}$ /TIOP20/SEG27, P76/SO11/SEG26を汎用ポートとして使用する場合は, CSIM11を初期状態と同じ設定 (00H) にしてください。

2. リセットされるのはCSIM11のビット0 (CSOT11) とシリアル/Oシフト・レジスタ11 (SIO11) です。

備考1. TxD61, RxD61, INTPR61の機能は78K0/DF2のみです。

2. SEG24-SEG27の機能は $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849のみです。

### 13. 4. 2 3線式シリアル/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ( $\overline{\text{SCK1n}}$ ), シリアル出力 (SO1n), シリアル入力 (SI1n) の3本のラインで通信を行います。

#### (1) 使用するレジスタ

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ7 (PM7)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ7 (P7)

3線式シリアル/Oモードの基本的な動作設定手順例は次のようになります。

CSIC1nレジスタを設定 (図13 - 5, 図13 - 6を参照)

CSIM1nレジスタのビット0, 4-6 (CSOT1n, DIR1n, SSE11 (シリアル・インタフェースCSI11のみ), TRMD1n) を設定 (図13 - 3, 図13 - 4を参照)

CSIM1nレジスタのビット7 (CSIE1n) をセット (1)    送受信可能

送信バッファ・レジスタ1n (SOTB1n) にデータを書き込み    データ送受信開始

シリアル/Oシフト・レジスタ1n (SIO1n) からデータを読み出し    データ受信開始

**注意** ポート・モード・レジスタとポート・レジスタの設定手順は, 通信相手との関係を考慮して, 行ってください。

**備考** n = 0, 1

レジスタの設定と端子の関係を次に示します。

表13-2 レジスタの設定と端子の関係 (1/2)

(a) シリアル・インタフェースCSI10

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10 の動作	端子機能		
									SI10/RxD61/ INTPR61/ P11	SO10/ INTP2/ P12	SCK10/ INTP4/ TxD61/P10
0	x	x <sup>注1</sup>	停止	RxD61/ INTPR61/ P11	INTP2/P12	TxD61/ INTP4/ P10 <sup>注2</sup>					
1	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	1	x	スレーブ 受信 <sup>注3</sup>	SI10	INTP2/P12	SCK10 (入力) <sup>注3</sup>
1	1	x <sup>注1</sup>	x <sup>注1</sup>	0	0	1	x	スレーブ 送信 <sup>注3</sup>	RxD61/ INTPR61/ P11	SO10	SCK10 (入力) <sup>注3</sup>
1	1	1	x	0	0	1	x	スレーブ 送受信 <sup>注3</sup>	SI10	SO10	SCK10 (入力) <sup>注3</sup>
1	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	0	1	マスタ 受信	SI10	INTP2/P12	SCK10 (出力)
1	1	x <sup>注1</sup>	x <sup>注1</sup>	0	0	0	1	マスタ 送信	RxD61/ INTPR61/ P11	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P10/SCK10/INTP4/TxD61をポート機能として使用する場合、CKP10を0に設定してください。
3. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

- 備考1. x : don't care
- CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
- TRMD10 : CSIM10のビット6
- CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
- CKS102, CKS101, CKS100 : CSIC10のビット2-0
- PM1x : ポート・モード・レジスタ1x
- P1x : ポート1xの出力ラッチ

2. RxD61, INTPR61, TxD61の機能は78K0/DF2のみです。

表13-2 レジスタの設定と端子の関係 (2/2)

## (b) シリアル・インタフェースCSI11

CSIE11	TRMD11	SSE11	PM75	P75	PM76	P76	PM74	P74	PM77	P77	CSI11 の動作	端子機能			
												SI11/ SEG25/ P75	SO11/ SEG26/ P76	SCK11/ SEG24/ P74	SSI11/ TIOP20/ SEG27/ P77
0	x	x	x <sup>注1</sup>	停止	SEG25/ P75	SEG26/ P76	SEG24/ P74 <sup>注2</sup>	TIOP20/ SEG27/ P77							
1	0	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	1	x	x <sup>注1</sup>	x <sup>注1</sup>	スレーブ 受信 <sup>注3</sup>	SI11	SEG26/ P76	SCK11 (入力) <sup>注3</sup>	TIOP20/ SEG27/ P77
		1						1	x	SSI11					
1	1	0	x <sup>注1</sup>	x <sup>注1</sup>	0	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	スレーブ 送信 <sup>注3</sup>	SEG25/ P75	SO11	SCK11 (入力) <sup>注3</sup>	TIOP20/ SEG27/ P77
		1						1	x	SSI11					
1	1	0	1	x	0	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	スレーブ 送受信 <sup>注3</sup>	SI11	SO11	SCK11 (入力) <sup>注3</sup>	TIOP20/ SEG27/ P77
		1						1	x	SSI11					
1	0	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	0	1	x <sup>注1</sup>	x <sup>注1</sup>	マスタ 受信	SI11	SEG26/ P76	SCK11 (出力)	TIOP20/ SEG27/ P77
1	1	0	x <sup>注1</sup>	x <sup>注1</sup>	0	0	0	1	x <sup>注1</sup>	x <sup>注1</sup>	マスタ 送信	SEG25/ P75	SO11	SCK11 (出力)	TIOP20/ SEG27/ P77
1	1	0	1	x	0	0	0	1	x <sup>注1</sup>	x <sup>注1</sup>	マスタ 送受信	SI11	SO11	SCK11 (出力)	TIOP20/ SEG27/ P77

注1. ポート機能として設定することができます。

2. P74/SCK11/SEG24をポート機能として使用する場合、CKP11を0に設定してください。
3. スレーブとして使用する場合、CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

備考1.	x	: don't care
	CSIE11	: シリアル動作モード・レジスタ11 (CSIM11) のビット7
	TRMD11	: CSIM11のビット6
	CKP11	: シリアル・クロック選択レジスタ11 (CSIC11) のビット4
	CKS112, CKS111, CKS110	: CSIC11のビット2-0
	PM7x	: ポート・モード・レジスタ7x
	P7x	: ポート7xの出力ラッチ

2. SEG24-SEG27の機能はμ PD78F0842, 78F0843, 78F0848, 78F0849のみです。

**(2) 通信動作**

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が1の場合、データの送受信が可能です。送信バッファ・レジスタ1n (SOTB1n) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ1n (SIO1n) からデータを読み出すことにより、受信動作が開始されます。

ただし、シリアル・インタフェースCSI11では、スレーブ・モード時、CSIM11のビット5 (SSE11) が1の場合は次のようになります。

$\overline{\text{SSI11}}$ 端子にロウ・レベル入力

SOTB11への書き込みで送受信、またはSIO11からの読み出しで受信が開始されます

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力

送受信保留または受信保留状態になるため、SOTB11への書き込みまたはSIO11からの読み出しを行っても、送受信または受信は開始されません

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力しているときに、SOTB11へデータを書き込みまたはSIO11からデータを読み出し、その後 $\overline{\text{SSI11}}$ 端子にロウ・レベル入力

送受信または受信が開始されます

送受信または受信中に、 $\overline{\text{SSI11}}$ 端子にハイ・レベル入力

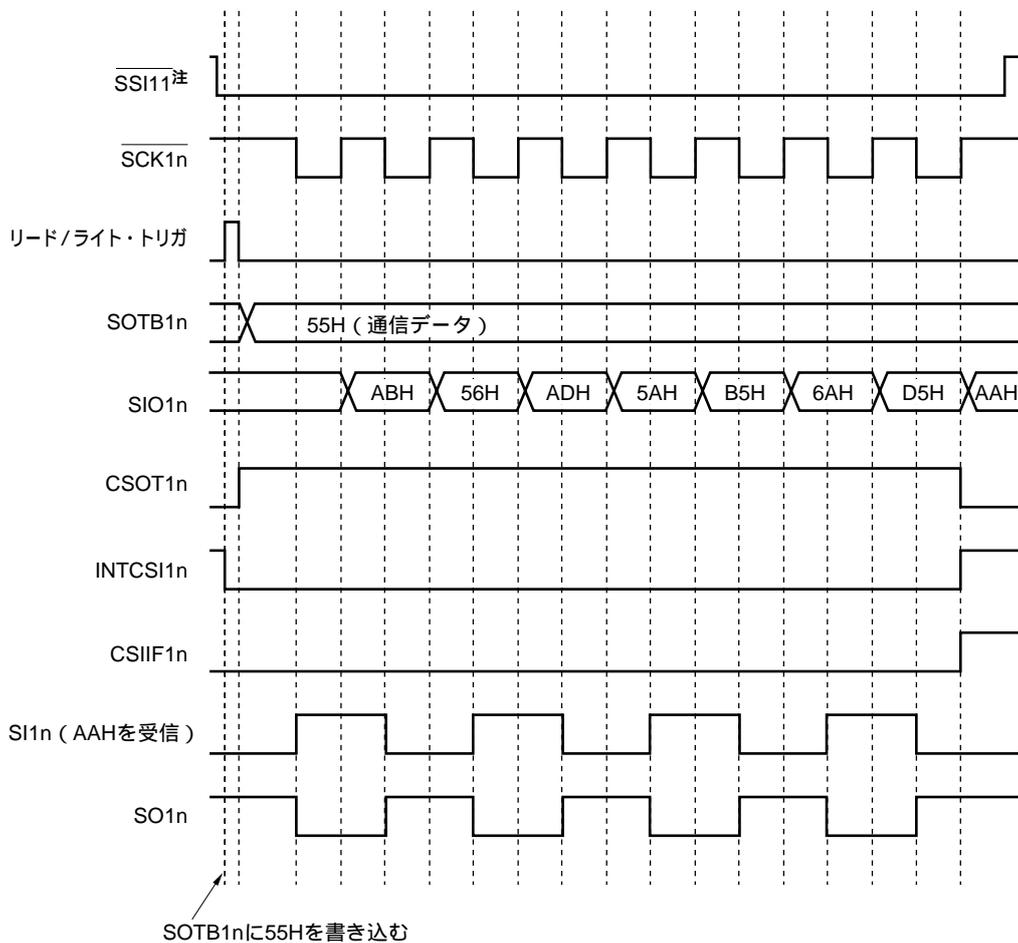
送受信または受信が中断されます

通信開始後、CSIM1nのビット0 (CSOT1n) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF1n) がセットされ、CSOT1nは0にクリアされます。そして次の通信が可能になります。

- 注意1.** CSOT1n = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。
- 2.** シリアル・インタフェースCSI11では、スレーブ・モードの場合、 $\overline{\text{SSI11}}$ 端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起す可能性があります。

**備考** n = 0, 1

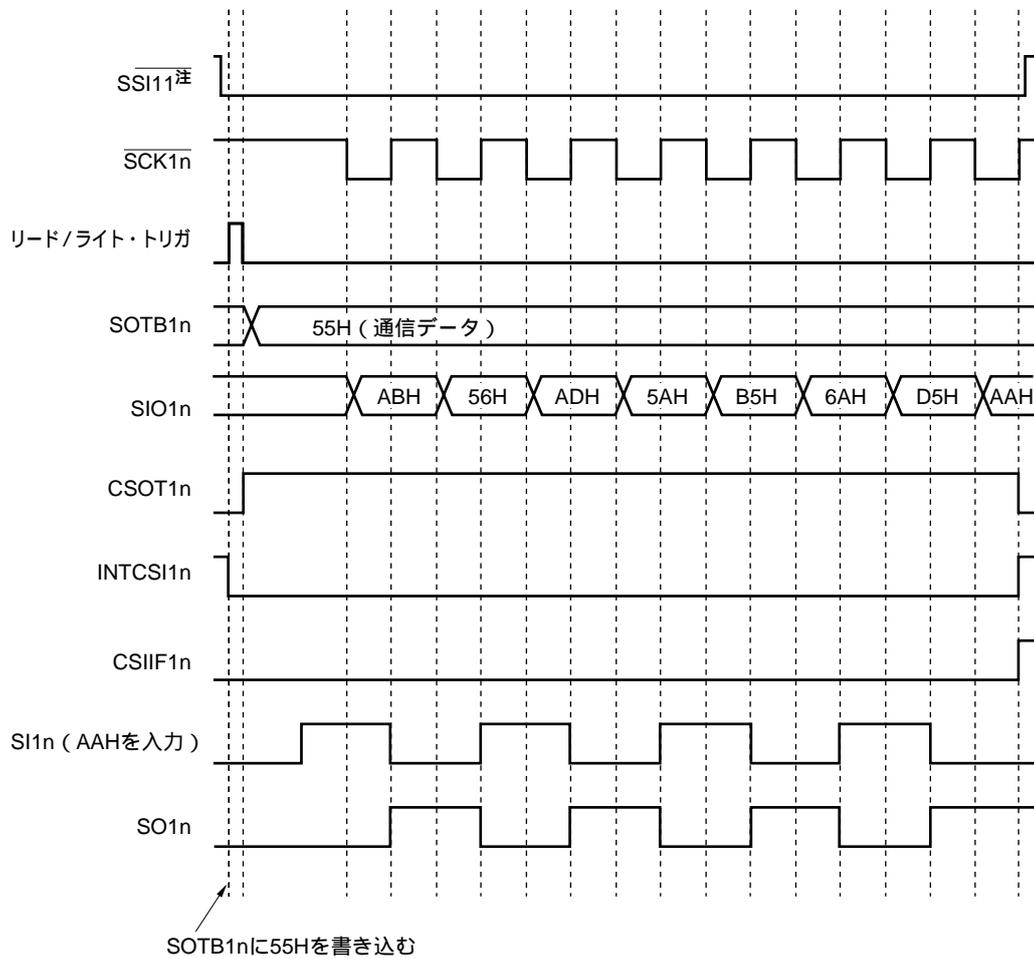
図13 - 9 3線式シリアルI/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 0, SSE11 = 1<sup>注</sup>)

注 SSE11フラグ,  $\overline{SSI11}$ 端子はシリアル・インタフェースCSI11のみ。スレープ・モード時に使用しません。

備考 n = 0, 1

図13-9 3線式シリアルI/Oモードのタイミング (2/2)

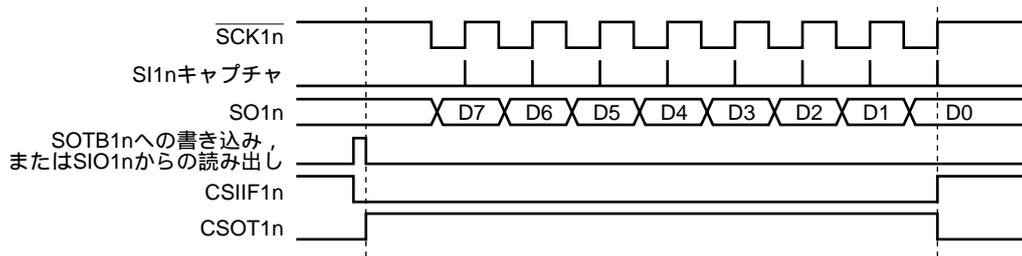
(2) 送受信タイミング (タイプ2 ; TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 1, SSE11 = 1<sup>注</sup>)

注 SSE11フラグ,  $\overline{\text{SSI11}}$ 端子はシリアル・インタフェースCSI11のみ。スレープ・モード時に使用しません。

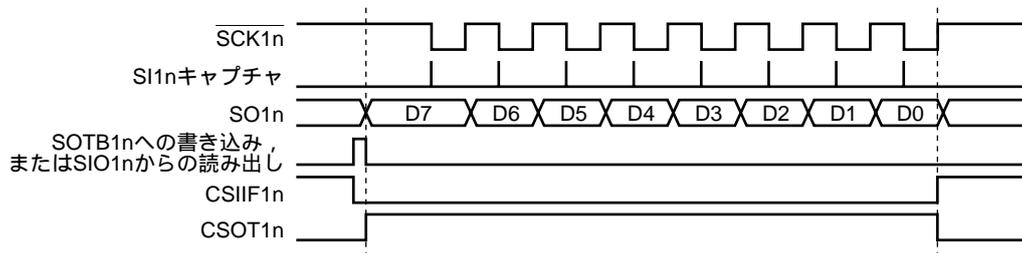
備考 n = 0, 1

図13 - 10 クロック/データ位相のタイミング

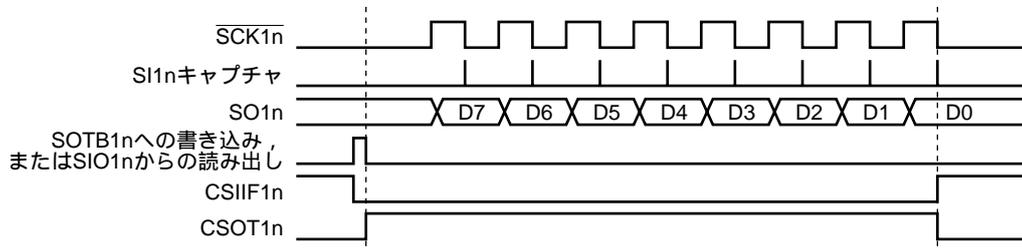
(a) タイプ1 ; CKP1n = 0, DAP1n = 0, DIR1n = 0



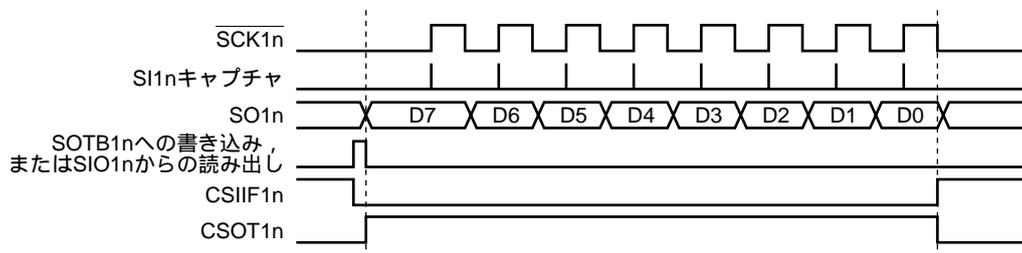
(b) タイプ2 ; CKP1n = 0, DAP1n = 1, DIR1n = 0



(c) タイプ3 ; CKP1n = 1, DAP1n = 0, DIR1n = 0



(d) タイプ4 ; CKP1n = 1, DAP1n = 1, DIR1n = 0



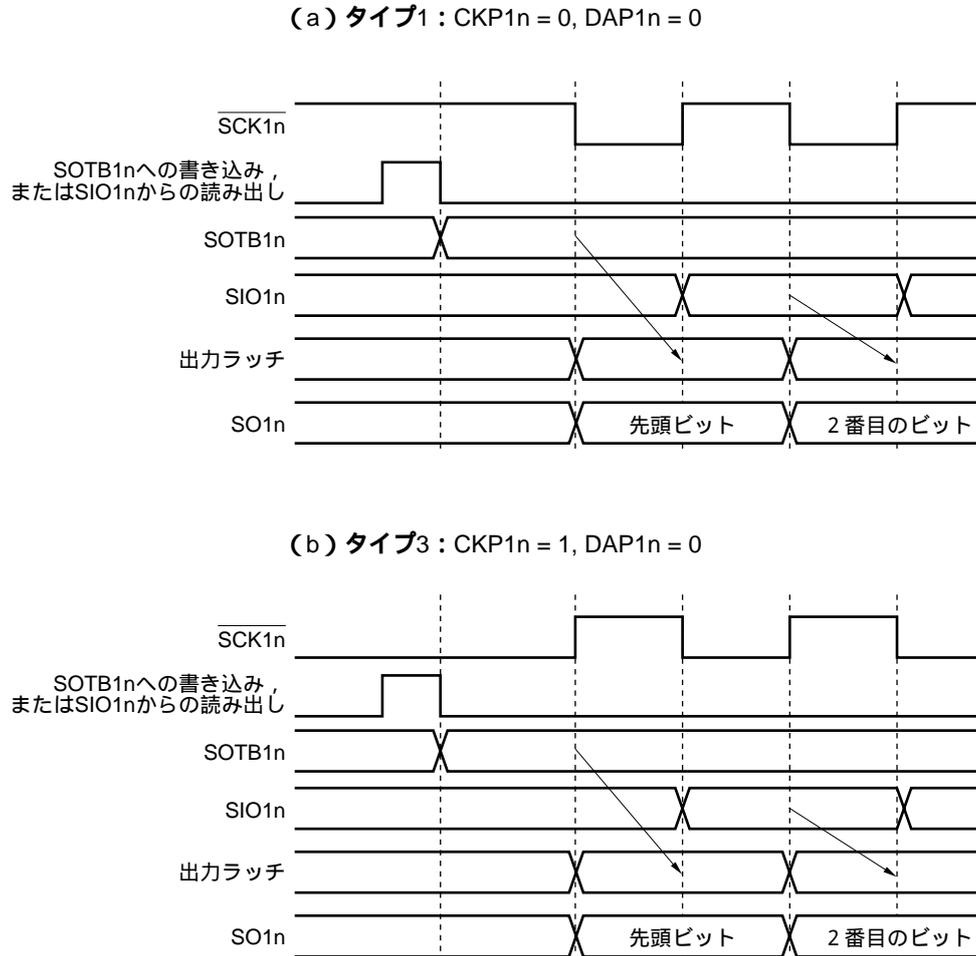
備考 1. 上図は, MSBファーストの通信動作です。

2. n = 0, 1

## (3) SO1n端子への出力タイミング (先頭ビット)

通信開始時、送信バッファ・レジスタ1n (SOTB1n) の値は、SO1n端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図13 - 11 先頭ビットの出力動作 (1/2)



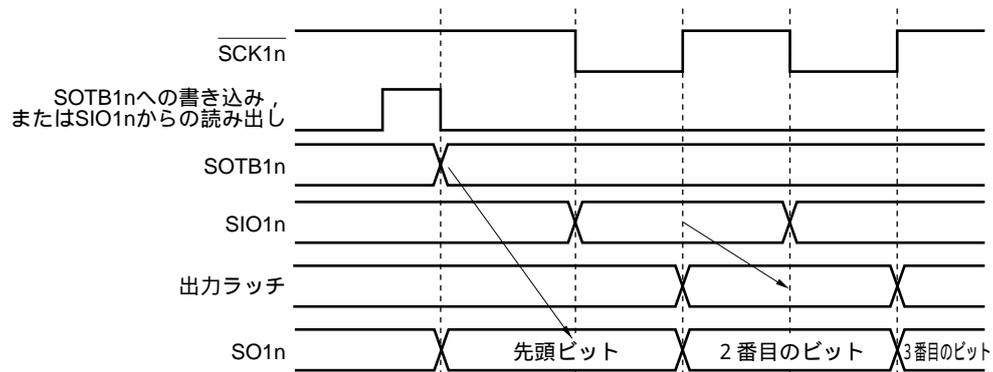
先頭ビットは、 $\overline{\text{SCK1n}}$ の立ち下がり(または立ち上がり)エッジでSOTB1nレジスタから直接、出力ラッチにラッチされ、さらに出力セクタを通してSO1n端子から出力されます。次の $\overline{\text{SCK1n}}$ の立ち上がり(または立ち下がり)エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSI1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK1n}}$ の立ち下がり(または立ち上がり)エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

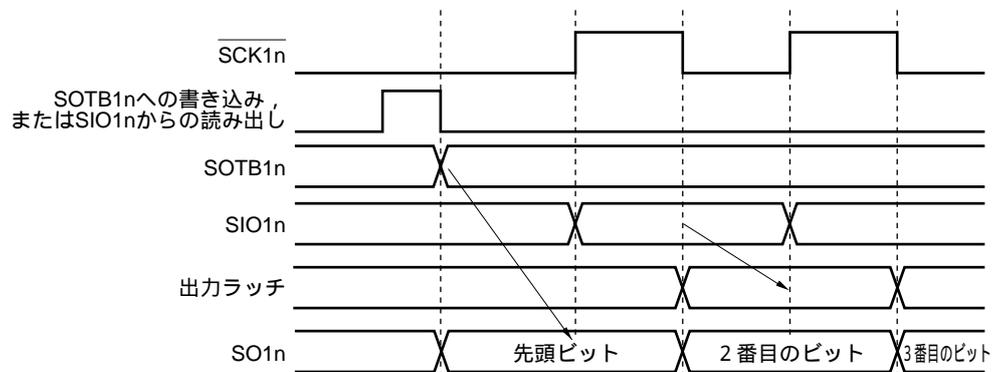
備考 n = 0, 1

図13 - 11 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



先頭ビットは、SOTB1nのライト信号またはSIO1nレジスタのリード信号の立ち下がりエッジでSOTB1nレジスタから直接、出力セクタを通してSO1n端子から出力されます。次のSCK1nの立ち下がり（または立ち上がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSIO1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

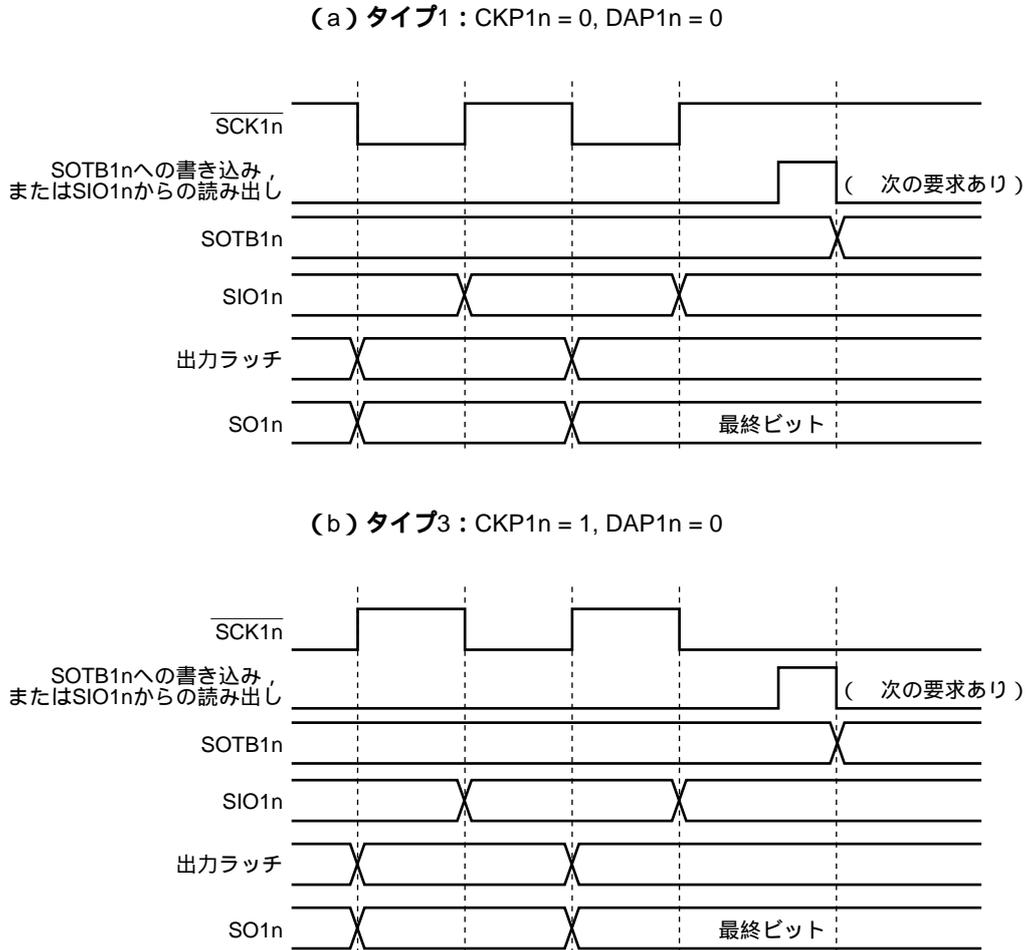
2番目のビット以降は、次のSCK1nの立ち上がり（または立ち下がり）エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

備考 n = 0, 1

## (4) SO1n端子の出力値 (最終ビット)

通信終了後, SO1n端子の出力は, 最終ビットの出力値を保持します。

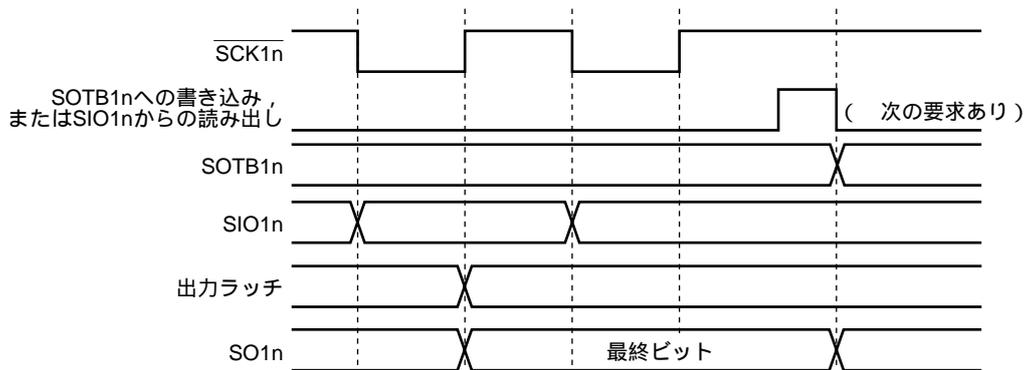
図13 - 12 SO1n端子の出力値 (最終ビット) (1/2)



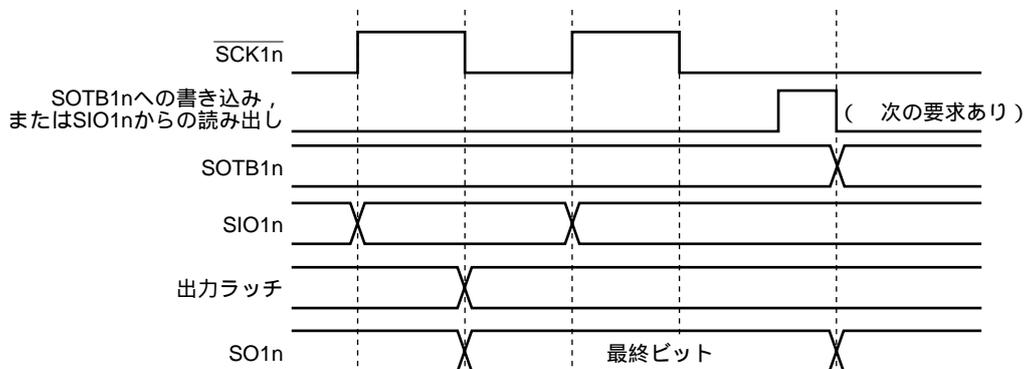
備考 n = 0, 1

図13 - 12 SO1n端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



備考 n = 0, 1

## (5) SO1n出力 (図13 - 1, 13 - 2の (a) 参照) について

シリアル動作モード・レジスタ1n (CSIM1n) のビット7 (CSIE1n) を0に設定すると, SO1n出力は次のようになります。

表13 - 3 SO1n出力の状態

TRMD1n	DAP1n	DIR1n	SO1n出力 <sup>注1</sup>
TRMD1n = 0 <sup>注2</sup>	-	-	ロウ・レベル出力 <sup>注2</sup>
TRMD1n = 1	DAP1n = 0	-	SO1nラッチの値 (ロウ・レベル出力)
		DIR1n = 0	SOTB1nのビット7の値
	DIR1n = 1	SOTB1nのビット0の値	

注1. 実際のSO10/INTP2/P12, SO11/P76端子の出力は, SO1n出力の他にPM12とP12, PM76とP76によって決まります。

2. リセット時の状態です。

**注意** TRMD1n, DAP1n, DIR1nに値を書き込むと, SO1nの出力値が変わります。

**備考** n = 0, 1

## 第14章 シリアル・インタフェースIIC0

**注意** シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。

### 14.1 シリアル・インタフェースIIC0の機能

シリアル・インタフェースIIC0は、78K0/Dx2マイクロコントローラ的全製品に搭載されています。シリアル・インタフェースIIC0には、次の2種類のモードがあります。

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

#### (2) I<sup>2</sup>Cバス・モード(マルチマスタ対応)

シリアル・クロック(SCL0)とシリアル・データ・バス(SDA0)の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

IIC0では、SCL0端子とSDA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図14 - 1に、シリアル・インタフェースIIC0のブロック図を示します。

図14-1 シリアル・インタフェースIIC0のブロック図

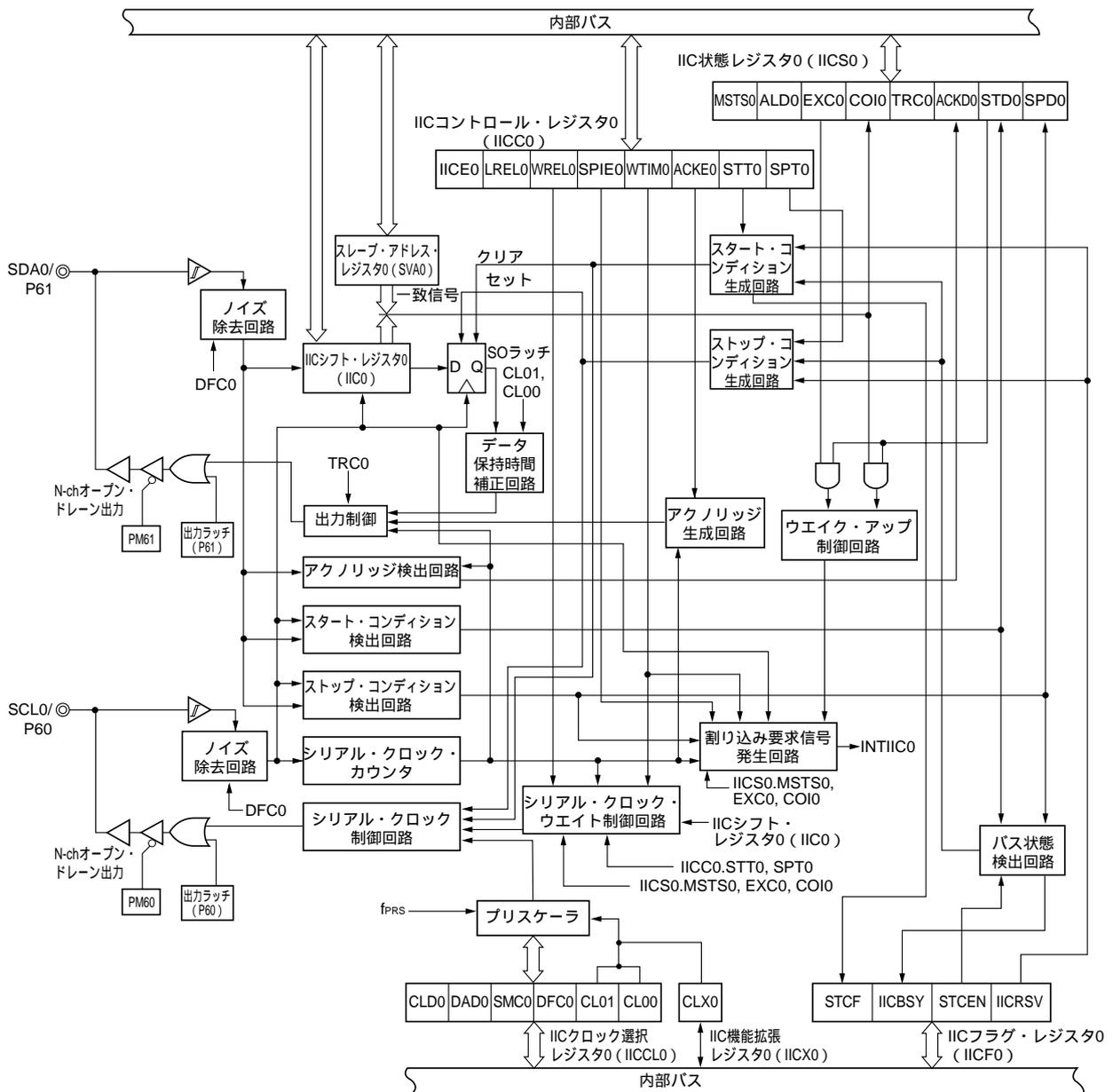
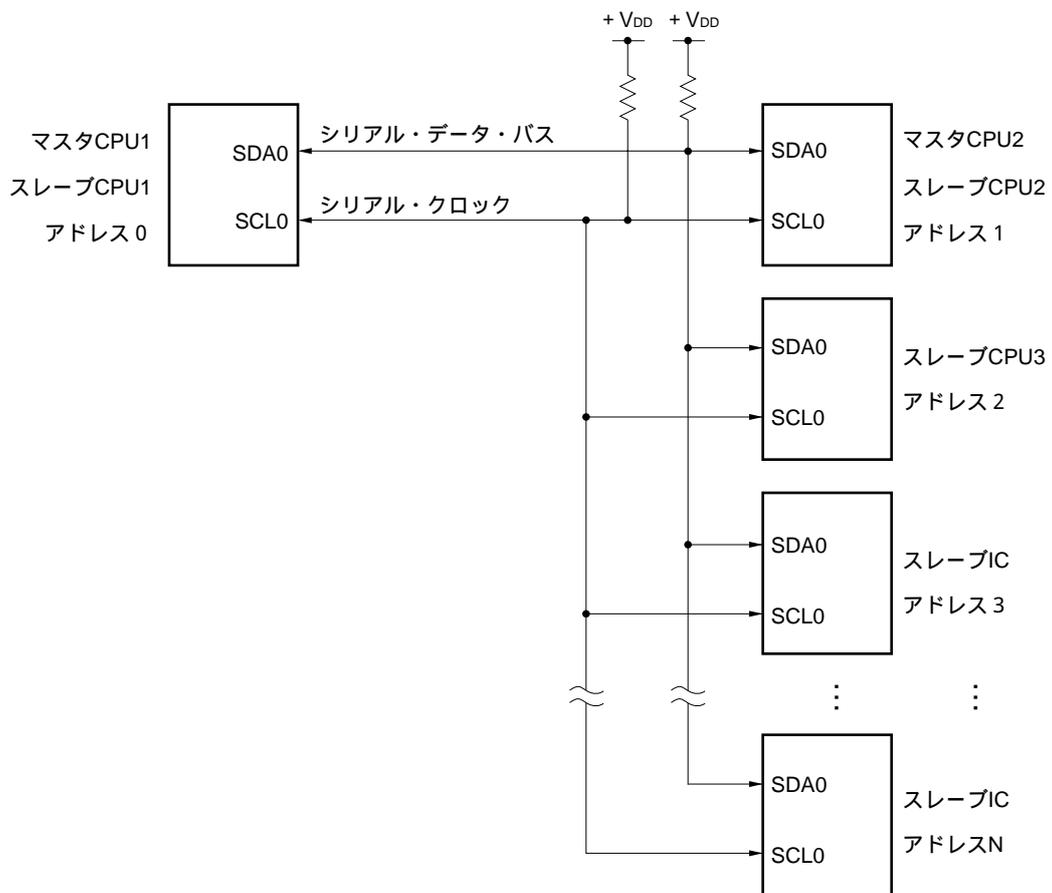


図14 - 2にシリアル・バス構成例を示します。

図14 - 2 I<sup>2</sup>Cバスによるシリアル・バス構成例



## 14.2 シリアル・インタフェースIIC0の構成

シリアル・インタフェースIIC0は、次のハードウェアで構成されています。

表14-1 シリアル・インタフェースIIC0の構成

項目	構成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICCO) IIC状態レジスタ0 (IICSO) IICフラグ・レジスタ0 (IICFO) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

### (1) IICシフト・レジスタ0 (IIC0)

IIC0は、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

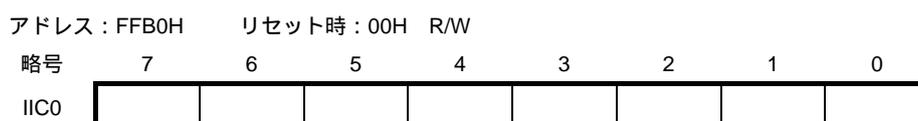
IIC0に対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIIC0への書き込みにより、ウェイトを解除し、データ転送を開始します。

IIC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 IICシフト・レジスタ0 (IIC0) のフォーマット



- 注意1.** データ転送中はIIC0にデータを書き込まないでください。
2. IIC0には、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIIC0へのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。

### (2) スレーブ・アドレス・レジスタ0 (SVA0)

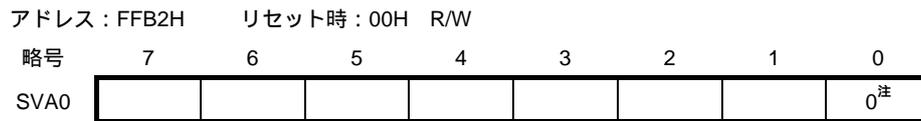
スレーブとして使用する場合に、自局アドレスを格納するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図14 - 4 スレーブ・アドレス・レジスタ0 (SVA0) のフォーマット



注 ビット0は0固定です。

### (3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

### (4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIIC0) を発生させる回路です。

### (5) プリスケーラ

使用するサンプリング・クロックを選択します。

### (6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

### (7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I<sup>2</sup>C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット            : IICコントロール・レジスタ0 (IIC0) のビット3  
 SPIE0ビット                : IICコントロール・レジスタ0 (IIC0) のビット4

### (8) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

### (9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

### (10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

### (11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

**(12) スタート・コンディション生成回路**

STT0ビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

**(13) ストップ・コンディション生成回路**

SPT0ビットがセット(1)されるとストップ・コンディションを生成します。

**(14) バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

<b>備考</b> STT0ビット	: IICコントロール・レジスタ0 (IICC0) のビット1
SPT0ビット	: IICコントロール・レジスタ0 (IICC0) のビット0
IICRSVビット	: IICフラグ・レジスタ0 (IICF0) のビット0
IICBSYビット	: IICフラグ・レジスタ0 (IICF0) のビット6
STCFビット	: IICフラグ・レジスタ0 (IICF0) のビット7
STCENビット	: IICフラグ・レジスタ0 (IICF0) のビット1

## 14.3 シリアル・インタフェースIIC0を制御するレジスタ

シリアル・インタフェースIIC0は、次の8種類のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IICフラグ・レジスタ0 (IICF0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IICクロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ ポート・モード・レジスタ6 (PM6)
- ・ ポート・レジスタ6 (P6)
- ・ ポート出力モード制御レジスタ6 (POM6)

### (1) IICコントロール・レジスタ0 (IICC0)

I<sup>2</sup>Cの動作許可/停止, ウェイト・タイミングの設定, その他I<sup>2</sup>Cの動作を設定するレジスタです。

IICC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE0, WTIM0, ACKE0ビットは, IICE0ビット = 0のとき, またはウェイト期間中に設定してください。またIICE0ビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図14-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (1/4)

アドレス : FFB1H      リセット時 : 00H   R/W

略号	7	6	5	4	3	2	1	0
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I <sup>2</sup> Cの動作許可
0	動作停止。IIC状態レジスタ0 (IICS0) をリセット <sup>注1</sup> 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	セットされる条件 (IICE0 = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO <sup>注2</sup>	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICコントロール・レジスタ0 (IICC0) , IIC状態レジスタ0 (IICS0) のうち、次のフラグがクリア (0) される。 ・ STT0    ・ SPT0    ・ MST0    ・ EXC0    ・ COI0    ・ TRC0    ・ ACKD0    ・ STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELO = 0)	セットされる条件 (LRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELO <sup>注2</sup>	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0)	セットされる条件 (WRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICS0レジスタ、IICF0レジスタのSTCF0、IICBSYビット、IICCL0レジスタのCLD0、DAD0ビットです。

2. IICE0 = 0により、このフラグの信号を無効にします。

**注意** SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態、I<sup>2</sup>Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I<sup>2</sup>Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LRELOをセット (1) してください。

図14-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (2/4)

SPIE0 <sup>注1</sup>	ストップ・コンディション検出による割り込み要求発生時の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0 = 0)		セットされる条件 (SPIE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM0 <sup>注1</sup>	ウェイトおよび割り込み要求発生時の制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIM0 = 0)		セットされる条件 (WTIM0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE0 <sup>注1,2</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE0 = 0)		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

- 注1. IICE0 = 0により、このフラグの信号を無効にします。
2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。  
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図14-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (3/4)

STT0 <sup>注</sup>	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SCL0ラインがハイ・レベルの状態、SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCL0をロウ・レベル (ウェイト状態) にする。</p> <p>第三者が通信中のとき :</p> <ul style="list-style-type: none"> <li>通信予約機能許可の場合 (IICRSV = 0) スタート・コンディション予約フラグとして機能。セット (1) されると、バスが解放されたあと自動的にスタート・コンディションを生成する。</li> <li>通信予約機能禁止の場合 (IICRSV = 1) STCFをセット (1) し、STT0にセット (1) した情報をクリアします。スタート・コンディションは生成しない。</li> </ul> <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> <li>マスタ受信の場合 : 転送中のセット (1) は禁止です。ACKE0 = 0に設定し、受信の最後であることをスレープに伝えたあとのウェイト期間中にだけセット (1) 可能です。</li> <li>マスタ送信の場合 : アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット (1) してください。</li> <li>SPT0と同時セット (1) することは禁止です。</li> <li>STT0をセット (1) 後、クリア (0) される前に再度セット (1) することは禁止です。</li> </ul>	
クリアされる条件 (STT0 = 0)	セットされる条件 (STT0 = 1)
<ul style="list-style-type: none"> <li>通信予約禁止状態でのSTT0のセット (1)</li> <li>アービトレーションに負けたとき</li> <li>マスタでのスタート・コンディション生成</li> <li>LRELO = 1 (通信退避) によるクリア</li> <li>IICE0 = 0 (動作停止) のとき</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

注 IICE0 = 0により、このフラグの信号を無効にします。

備考1. ビット1 (STT0) は、データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ (IICF0) のビット0

STCF : IICフラグ・レジスタ (IICF0) のビット7

図14-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する (マスタとしての転送終了)。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット (1) 可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 ・STT0と同時にセット (1) することは禁止です。 ・SPT0のセット (1) は、マスタのときのみ行ってください。 <sup>注</sup> ・WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0をセット (1) すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0 = 0 1に設定し、9クロック目出力後のウェイト期間中にSPT0をセット (1) してください。 ・SPT0をセット (1) 後、クリア (0) する前に、再度セット (1) することは禁止です。	
クリアされる条件 (SPT0 = 0)	セットされる条件 (SPT0 = 1)
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

**注** SPT0のセット (1) は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0をセット (1) してストップ・コンディションを生成する必要があります。詳細は、14. 5. 15 その他の注意事項を参照してください。

**注意** IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセット (1) してウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

**備考** ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

## (2) IIC状態レジスタ0 (IICS0)

I<sup>2</sup>Cのステータスを表すレジスタです。

IICS0は、STT0 = 1およびウェイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

**注意** IICS0からデータを読み出すと、ウエイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに、IICS0からデータを読み出さないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。

図14 - 6 IIC状態レジスタ0 (IICS0) のフォーマット (1/3)

アドレス : FFB5H      リセット時 : 00H R

略号    7    6    5    4    3    2    1    0

IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0
-------	-------	------	------	------	------	-------	------	------

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		セットされる条件 (MSTS0 = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD0 = 1 (アービトレーション負け) のとき</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0がクリアされる。	
クリアされる条件 (ALD0 = 0)		セットされる条件 (ALD0 = 1)
<ul style="list-style-type: none"> <li>・IICS0読み出し後、自動的にクリア<sup>注</sup></li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0 = 0)		セットされる条件 (EXC0 = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)</li> </ul>

**注** IICS0のほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0使用時は、ほかのビットよりも先にデータをリードしてください。

**備考** LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6  
IICE0 : IICコントロール・レジスタ0 (IICC0) のビット7

図14 - 6 IIC状態レジスタ0 (IICS0) のフォーマット (2/3)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0 = 0)	セットされる条件 (COI0 = 1)
	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき (8クロック目の立ち上がりでセット)</li> </ul>

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRC0 = 0)	セットされる条件 (TRC0 = 1)
	<p>&lt; マスタ, スレーブ共通 &gt;</p> <ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・WREL0 = 1 (ウェイト解除) によるクリア<sup>注</sup></li> <li>・ALD0 = 0 1 (アービトレーション負け) のとき</li> <li>・リセット時</li> </ul> <p>&lt; マスタの場合 &gt;</p> <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に "1" を出力したとき</li> </ul> <p>&lt; スレーブの場合 &gt;</p> <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・1バイト目のLSB (転送方向指定ビット) に "0" を入力したとき</li> </ul> <p>&lt; 通信不参加の場合 &gt;</p>	<p>&lt; マスタの場合 &gt;</p> <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目のLSB (転送方向指定ビット) に "0" を出力したとき</li> </ul> <p>&lt; スレーブの場合 &gt;</p> <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に "1" を入力したとき</li> </ul>

**注** IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき, 9クロック目にIICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) をセット (1) してウェイトを解除すると, TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

**備考** LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6  
IICE0 : IICコントロール・レジスタ0 (IICC0) のビット7

図14 - 6 IIC状態レジスタ0 (IICS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD0 = 0)	セットされる条件 (ACKD0 = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LRELO = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき</li> </ul>

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0 = 0)	セットされる条件 (STD0 = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LRELO = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD0 = 0)	セットされる条件 (SPD0 = 1)
	<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

**備考** LRELO : IICコントロール・レジスタ0 (IICC0) のビット6

IICE0 : IICコントロール・レジスタ0 (IICC0) のビット7

### (3) IICフラグ・レジスタ0 (IICF0)

I<sup>2</sup>Cの動作モードの設定と、I<sup>2</sup>Cバスの状態を表すレジスタです。

IICF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF、IICBSYビットは読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します (14.5.14 通信予約参照)。

またSTCENにより、IICBSYビットの初期値を設定します (14.5.15 その他の注意事項参照)。

IICRSV、STCENはI<sup>2</sup>Cが動作禁止 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICF0は読み出し可能となります。

リセット信号の発生により、00Hになります。

図14-7 IICフラグ・レジスタ0 (IICF0) のフォーマット

アドレス : FFB7H      リセット時 : 00H   R/W<sup>注</sup>

略号      7      6      5      4      3      2      1      0

IICF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV
-------	------	--------	---	---	---	---	-------	--------

STCF	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STT0フラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> <li>・ STT0 = 1によるクリア</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> <li>・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず、STT0がクリア (0) されたとき</li> </ul>	

IICBSY	I <sup>2</sup> Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> <li>・ ストップ・コンディション検出時</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> <li>・ スタート・コンディション検出時</li> <li>・ STCEN = 0時のIICE0のセット</li> </ul>	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE0 = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICE0 = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> <li>・ スタート・コンディション検出時</li> <li>・ リセット時</li> </ul>	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ リセット時</li> </ul>	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

注 ビット6, 7はRead onlyです。

注意1. STCENへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

IICE0 : " のビット7

## (4) IICクロック選択レジスタ0 (IICCL0)

I<sup>2</sup>Cの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0、DAD0ビットは読み出しのみ可能です。SMC0、CL01、CL00ビットは、IIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) と組み合わせて設定します (14.3 (6) I<sup>2</sup>Cの転送クロックの設定方法を参照)。

IICCL0は、IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0のときに設定してください。リセット信号の発生により、00Hになります。

図14 - 8 IICクロック選択レジスタ0 (IICCL0) のフォーマット

アドレス：FFB3H      リセット時：00H   R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		
<ul style="list-style-type: none"> <li>・ SCL0端子がロウ・レベルのとき</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		
セットされる条件 (CLD0 = 1)		
<ul style="list-style-type: none"> <li>・ SCL0端子がハイ・レベルのとき</li> </ul>		

DAD0	SDA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		
<ul style="list-style-type: none"> <li>・ SDA0端子がロウ・レベルのとき</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		
セットされる条件 (DAD0 = 1)		
<ul style="list-style-type: none"> <li>・ SDA0端子がハイ・レベルのとき</li> </ul>		

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	

DFC0	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、高速モード時にのみ使用できます。		
高速モード時はDFC0のセット (1) / クリア (0) により、転送クロックが変化することはありません。		
デジタル・フィルタは、高速モード時にノイズ除去のために使用します。		

**注** ビット4, 5はRead Onlyです。

**備考** IICE0 : IICコントロール・レジスタ0 (IICC0) のビット7

## (5) IIC機能拡張レジスタ0 (IICX0)

I<sup>2</sup>Cの機能拡張を設定するレジスタです。

IICX0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。CLX0ビットはIICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) と組み合わせて設定します (14.3

(6) I<sup>2</sup>Cの転送クロックの設定方法を参照)。

IICX0は、IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0のときに設定してください。

リセット信号の発生により、00Hになります。

図14-9 IIC機能拡張レジスタ0 (IICX0) のフォーマット

アドレス : FFB4H	リセット時 : 00H							R/W
略号	7	6	5	4	3	2	1	0
IICX0	0	0	0	0	0	0	0	CLX0

(6) I<sup>2</sup>Cの転送クロックの設定方法

I<sup>2</sup>Cの転送クロック周波数 (f<sub>SCL</sub>) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 18, 24, 44, 66, 86 (表 14-2 選択クロックの設定参照)

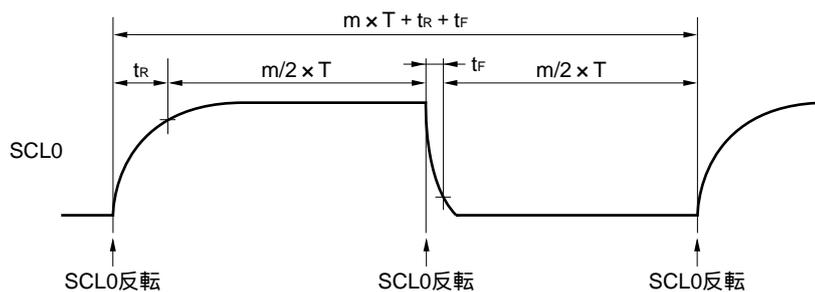
T : 1/f<sub>w</sub>

t<sub>R</sub> : SCL0 立ち上がり時間

t<sub>F</sub> : SCL0 立ち下がり時間

たとえば、f<sub>w</sub> = f<sub>PRS</sub>/2 = 4.19 MHz, m = 86, t<sub>R</sub> = 200 ns, t<sub>F</sub> = 50 nsの場合のI<sup>2</sup>Cの転送クロック周波数 (f<sub>SCL</sub>) は、次の計算式により求められます。

$$f_{SCL} = 1 / (86 \times 238.7 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 48.1 \text{ kHz}$$



選択クロックは、IICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) とIIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) を組み合わせて設定します。

表14-2 選択クロックの設定

IICX0 ビット0 CLX0	IICCL0			選択クロック (fw) <sup>注</sup>	転送クロック (fw/m)	設定可能な選択クロック (fw)の範囲	動作モード
	ビット3 SMC0	ビット1 CL01	ビット0 CL00				
0	0	0	0	f <sub>PRS</sub> /2	fw/44	2.00 MHz ~ 4.19 MHz 4.19 MHz ~ 8.38 MHz	標準モード (SMC0ビット = 0)
0	0	0	1	f <sub>PRS</sub> /2	fw/86		
0	0	1	0	f <sub>PRS</sub> /4	fw/86		
0	0	1	1	設定禁止			
0	1	0	x	f <sub>PRS</sub> /2	fw/24	4.00 MHz ~ 8.38 MHz	高速モード (SMC0ビット = 1)
0	1	1	0	f <sub>PRS</sub> /4	fw/24		
0	1	1	1	設定禁止			
1	0	x	x	設定禁止			
1	1	0	x	f <sub>PRS</sub> /2	fw/12	4.00 MHz ~ 4.19 MHz	高速モード (SMC0ビット = 1)
1	1	1	0	f <sub>PRS</sub> /4	fw/12		
1	1	1	1	設定禁止			

注 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速内蔵発振クロック (f<sub>IN</sub>) で動作している (XSEL = 0) 場合, CLX0, SMC0, CL01, CL00を次のように設定してください。

IICX0 ビット0 CLX0	IICCL0			選択クロック (fw)	転送クロック (fw/m)	設定可能な選択クロック (fw)の範囲	動作モード
	ビット3 SMC0	ビット1 CL01	ビット0 CL00				
0	0	0	0	f <sub>PRS</sub> /2	fw/44	3.8 MHz ~ 4.2 MHz	標準モード (SMC0ビット = 0)
0	1	0	x	f <sub>PRS</sub> /2	fw/24		高速モード (SMC0ビット = 1)

注意 動作許可 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 1) する前に, CLX0, SMC0, CL01, CL00でI<sup>2</sup>Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は, 一度IICE0をクリア (0) してください。

- 備考1. x : don't care  
2. f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

**(7) ポート・モード・レジスタ6 (PM6)**

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0 (IICコントロール・レジスタ0 (IICC0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICE0に1を設定してから, 行ってください。

PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14 - 10 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FF26H	リセット時 : FFH	R/W							
略号	7	6	5	4	3	2	1	0	
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	
PM6n	P6n端子の入出力モードの選択 (n = 0-7)								
0	出力モード (出力バッファ・オン)								
1	入力モード (出力バッファ・オフ)								

**(8) ポート・レジスタ6 (P6)**

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合, 入力モード時は端子レベルが, 出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 11 ポート・レジスタ6 (P6) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W

- 備考1.** 入力モード時のP0の読み出しの場合, リセット後の値は不定の値 (端子入力レベル) が読み出されます。出力モード時のP2の読み出しは, 00H (出力ラッチの値) を出力します。
- 2.** 入力モード時はP121-P124は常に00H (出力ラッチの値) を示します。

P6n	n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

## (9) ポート出力モード制御レジスタ6 (POM6)

P60, P61の出力モードを1ビット単位で設定するレジスタです。I<sup>2</sup>C通信の間は, P60/SCL0/INTP1, P61/SDA0/INTP3はN-chオープン・ドレイン出力(5V耐圧)モードに設定してください。

POM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 12 ポート出力モード制御レジスタ6 (POM6) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM6	0	0	0	0	0	0	POM61	POM60	FF0EH	00H	R/W

POM6n	P6n端子の出力選択 (n = 0, 1)
0	CMOS出力
1	N-chオープン・ドレイン出力(5V耐圧)

## 14.4 I<sup>2</sup>Cバス・モードの機能

### 14.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

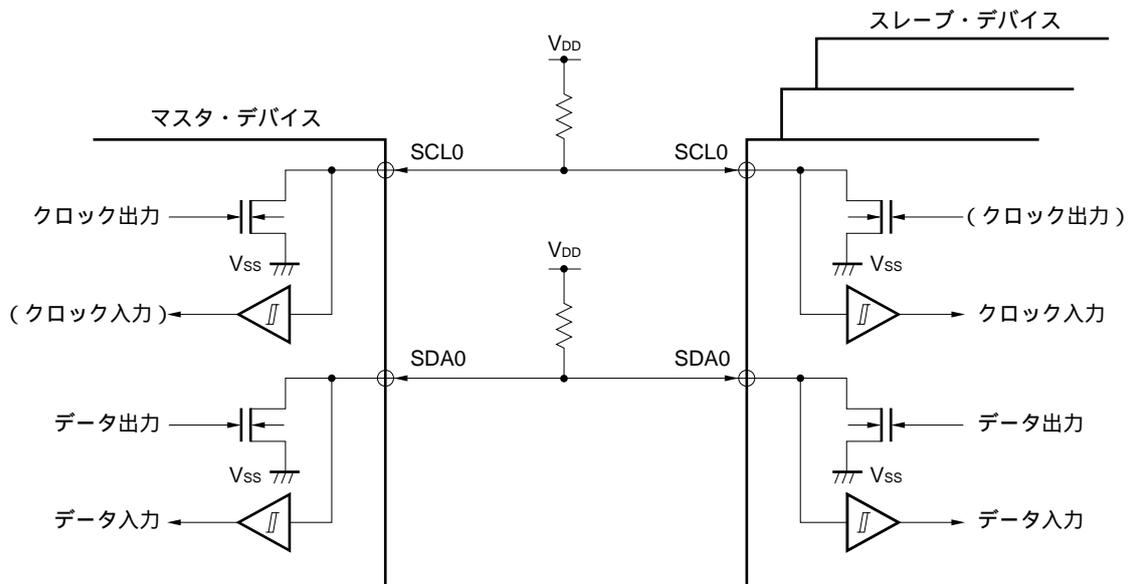
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14 - 13 端子構成図

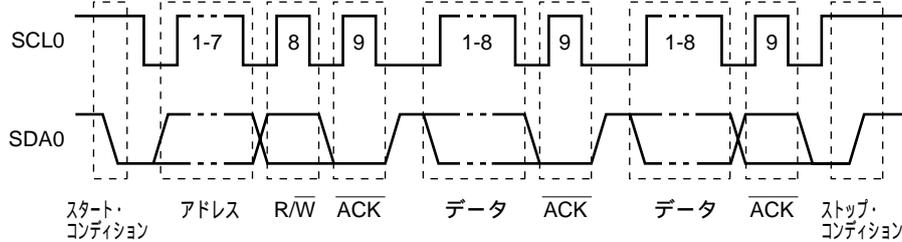


## 14.5 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図14-14に示します。

図14-14 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

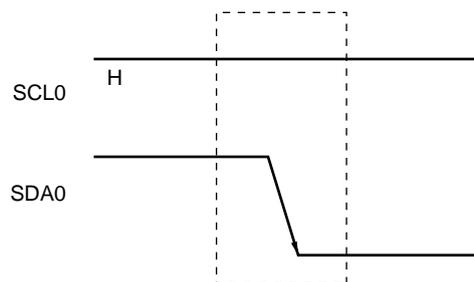
アックノリッジ ( $\overline{\text{ACK}}$ ) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウエイトを挿入できます。

### 14.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図14-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0: IIC状態レジスタ0 (IICS0) のビット0 = 1) のときにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICS0のビット1 (STD0) がセット (1) されます。

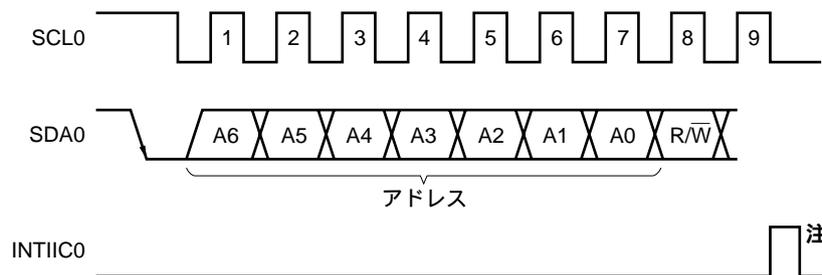
### 14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと14.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

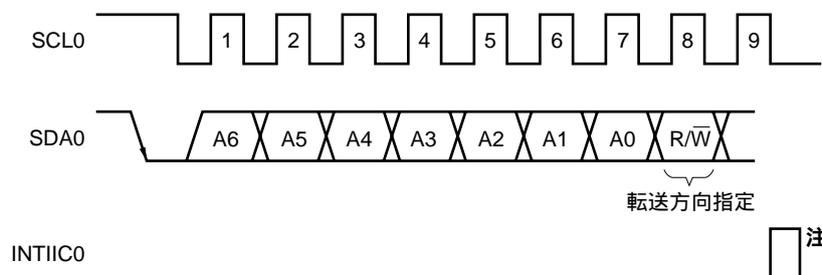
なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

### 14.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

#### 14.5.4 アクノリッジ (ACK)

アクノリッジ ( $\overline{\text{ACK}}$ ) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IIC状態レジスタ0 (IICS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

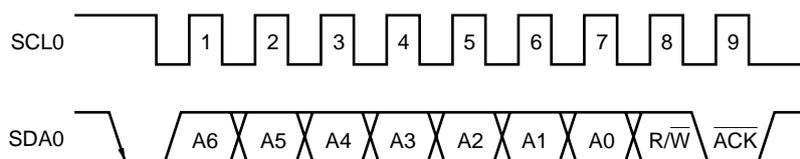
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICコントロール・レジスタ0 (IICC0) のビット2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は、通常、ACKE0をセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0をクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0 = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0をクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図14 - 18 アクノリッジ



自局アドレス受信時は、ACKE0の値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0をセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

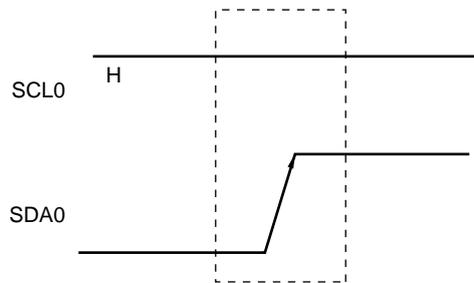
- ・8クロック・ウェイト選択時 (IICC0レジスタのビット3 (WTIM0) = 0) :  
ウェイト解除を行う前にACKE0をセット (1) することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (IICC0レジスタのビット3 (WTIM0) = 1) :  
あらかじめACKE0をセット (1) することによって、アクノリッジを生成します。

### 14.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図14 - 19 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICC0のビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

### 14.5.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図14 - 20 ウェイト (1/2)

#### (1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

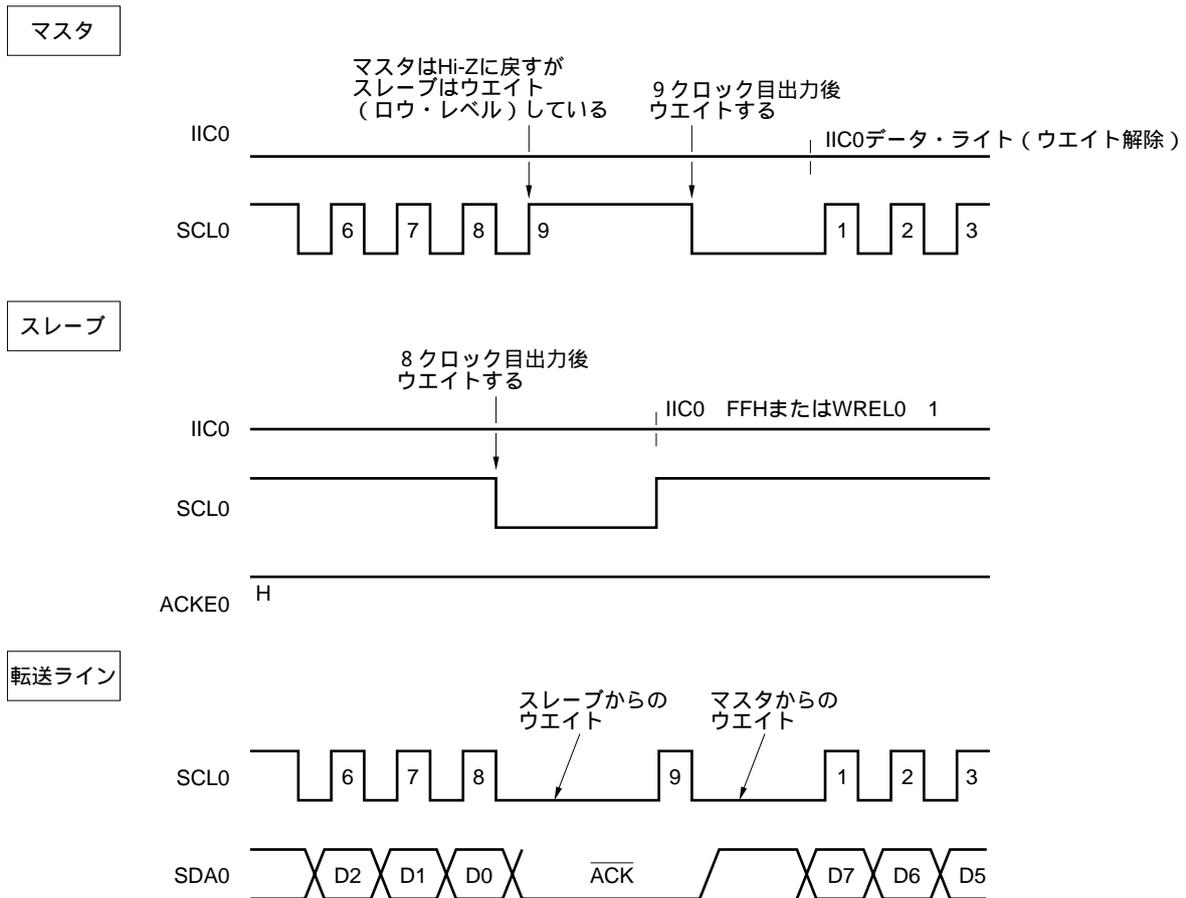
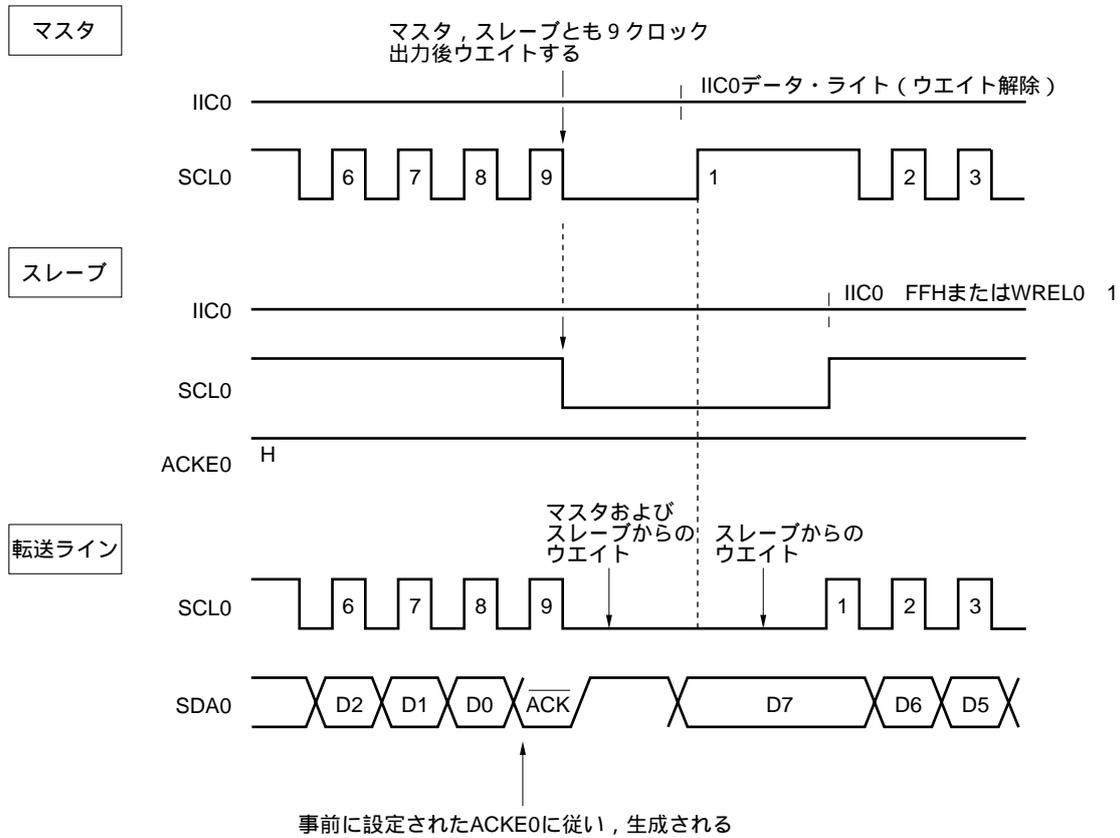


図14 - 20 ウェイト (2/2)

## (2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)

**備考** ACKE0 : IICコントロール・レジスタ0 (IICC0) のビット2

WREL0 : IICコントロール・レジスタ0 (IICC0) のビット5

ウェイトは, IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定により自動的に発生します。

通常, 受信側はIICC0のビット5 (WREL0) = 1またはIICシフト・レジスタ0 (IIC0) FFHライトにするとウェイトを解除し, 送信側はIIC0にデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICC0のビット1 (STT0) = 1
- ・ IICC0のビット0 (SPT0) = 1

### 14.5.7 ウェイト解除方法

I<sup>2</sup>Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICシフト・レジスタ0 (IIC0) へのデータ書き込み
- ・ IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IIC0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IIC0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I<sup>2</sup>Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IIC0にデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IIC0コントロール・レジスタ0 (IICC0) のビット5 (WREL0) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICC0のビット1 (STT0) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICC0のビット0 (SPT0) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0にセット (1) によるウェイト解除後、IIC0へのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIIC0への書き込みタイミングの競合により、SDA0への出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0をクリア (0) すると通信を停止するので、ウェイトを解除できます。

I<sup>2</sup>Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC0のビット6 (LREL0) をセット (1) すると通信から退避するので、ウェイトを解除できます。

### 14.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定で、表14 - 3に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表14 - 3 INTIIC0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1,2</sup>	8 <sup>注2</sup>	8 <sup>注2</sup>	9	8	8
1	9 <sup>注1,2</sup>	9 <sup>注2</sup>	9 <sup>注2</sup>	9	9	9

- 注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。  
また、このとき、IICC0のビット2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIIC0が発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIIC0が発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

#### (1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

#### (2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICシフト・レジスタ0 (IIC0) へのデータ書き込み
- ・ IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IIC0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IIC0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

#### (5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

### 14. 5. 9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

### 14. 5. 10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

### 14.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIIC0) を発生します。

スレーブ・アドレス・レジスタ0 (SVA0) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0に“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIIC0) は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データの一致 : EXC0 = 1
- ・7ビット・データの一致 : COI0 = 1

**備考** EXC0 : IIC状態レジスタ0 (IICS0) のビット5  
COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0 (IICC0) のビット6 (LREL0) = 1に設定してください。次の通信待機状態にします。

表14-4 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

**備考** 上記以外の拡張コードについては、NXP社発行のI<sup>2</sup>Cバスの仕様書を参照してください。

### 14.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合( STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IIC状態レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD0) をセット (1) し, SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, 14.5.17 I<sup>2</sup>C割り込み要求 (INTIIC0) の発生タイミングを参照してください。

**備考** STD0 : IIC状態レジスタ0 (IICS0) のビット1

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

図14 - 21 アービトレーション・タイミング例

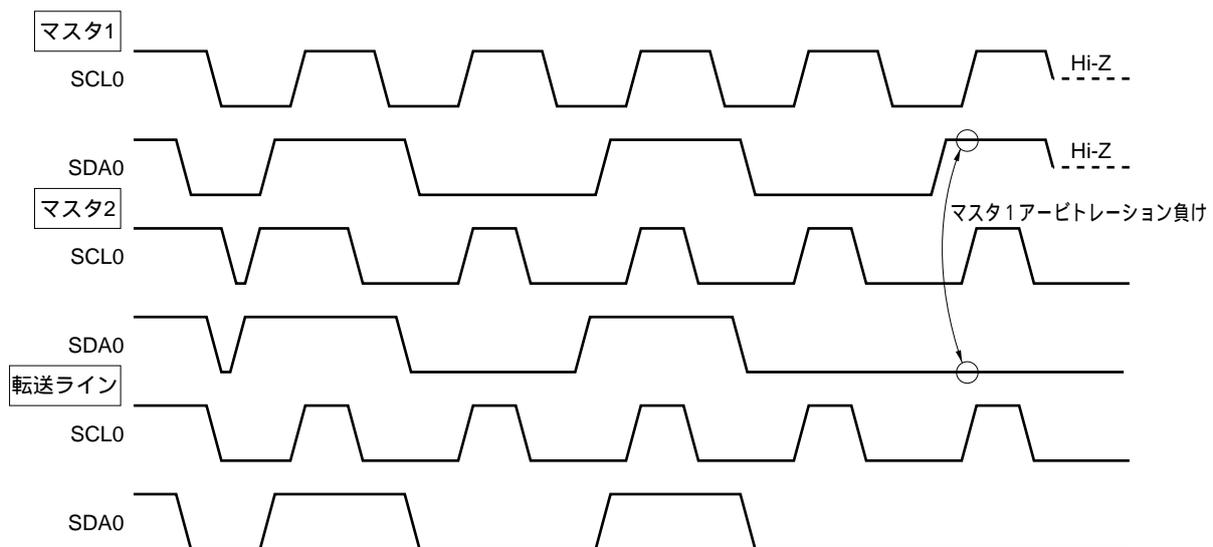


表14-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) <sup>注2</sup>
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIM0 (IICコントロール・レジスタ0 (IICC0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICコントロール・レジスタ0 (IICC0) のビット 4

### 14.5.13 ウエイク・アップ機能

I<sup>2</sup>Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIIC0) を発生する機能です。

アドレスが一致しないときは不要なINTIIC0信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウエイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウエイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウエイク・アップ機能に関係なく、IICコントロール・レジスタ0 (IICC0) のビット4 (SPIE0) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

### 14.5.14 通信予約

#### (1) 通信予約機能許可の場合 (IICフラグ・レジスタ0 (IICF0) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICコントロール・レジスタ0 (IICC0) のビット6 (LREL0) = 1でバスを解放した) とき

バスに不参加の状態、IICC0のビット1 (STT0) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICC0のビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIIC0) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICシフト・レジスタ0 (IIC0) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IIC0に書き込まれたデータは、無効です。

STT0をセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) .....通信予約

通信予約として動作するかどうかは、STT0をセット (1) し、ウエイト時間をとったあと、MSTS0 (IIC状態レジスタ0 (IICS0) のビット7) で確認します。

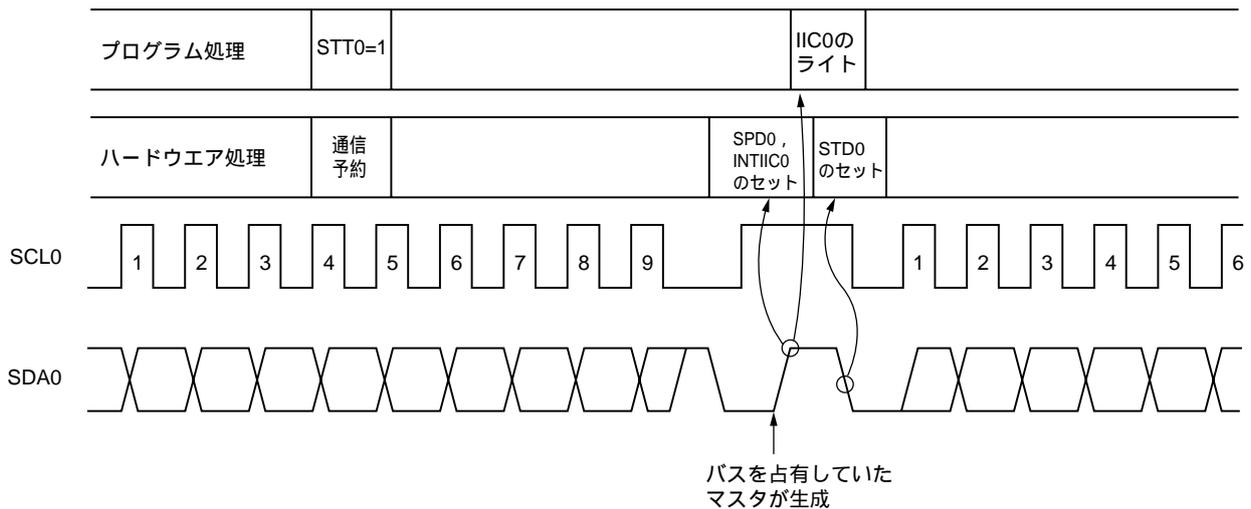
ウエイト時間は、表14 - 6に示す時間をソフトウェアにより確保してください。

表14 - 6 ウェイト時間

CLX0	SMC0	CL01	CL00	ウェイト時間
0	0	0	0	46クロック
0	0	0	1	86クロック
0	0	1	0	172クロック
0	0	1	1	34クロック
0	1	0	0	30クロック
0	1	0	1	
0	1	1	0	60クロック
0	1	1	1	12クロック
1	1	0	0	18クロック
1	1	0	1	
1	1	1	0	36クロック

通信予約のタイミングを図14 - 22に示します。

図14 - 22 通信予約のタイミング



**備考** IIC0 : IICシフト・レジスタ0

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

STD0 : IIC状態レジスタ0 (IICS0) のビット1

SPD0 : IIC状態レジスタ0 (IICS0) のビット0

通信予約は次のタイミングで受け付けられます。IIC状態レジスタ0 (IICS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) = 1で通信予約をします。

図14 - 23 通信予約受け付けタイミング

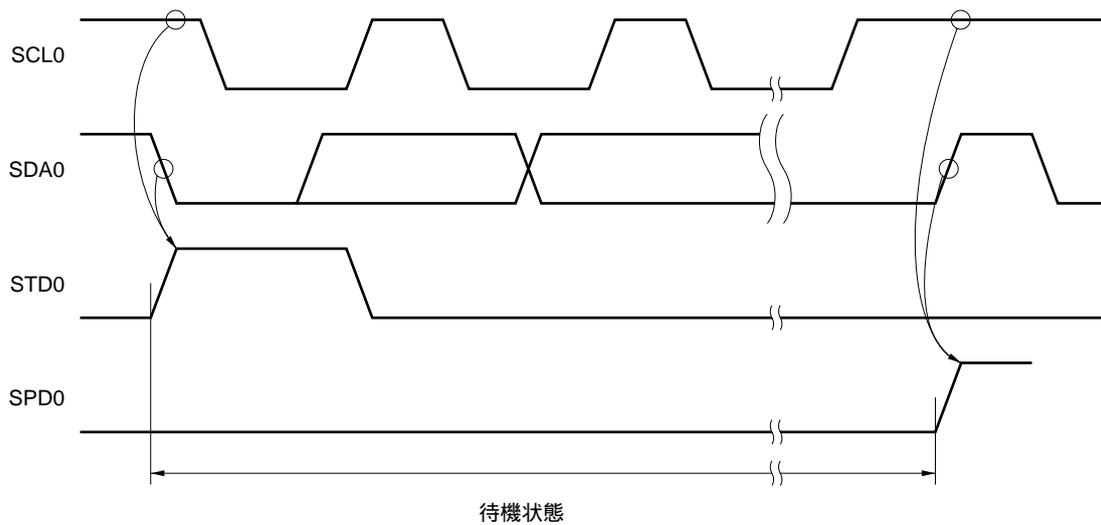
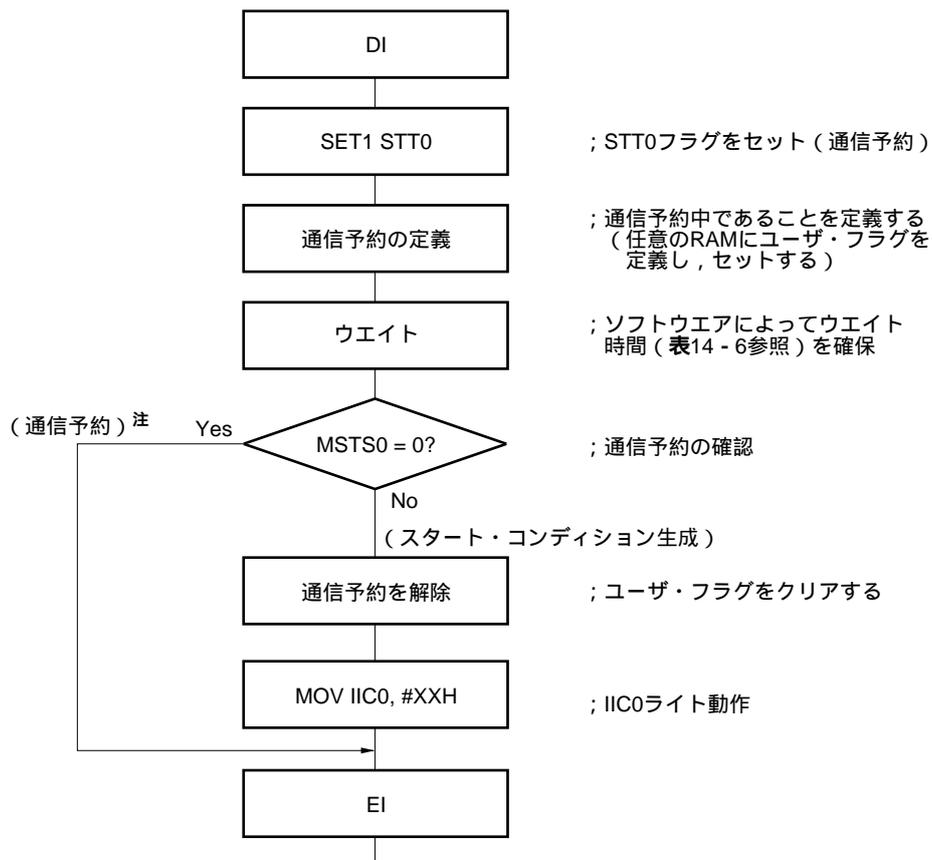


図14 - 24に通信予約の手順を示します。

図14 - 24 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIICシフト・レジスタ0 (IIC0) への書き込みを実行します。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1  
 MSTS0 : IIC状態レジスタ0 (IICS0) のビット7  
 IIC0 : IICシフト・レジスタ0

(2) 通信予約機能禁止の場合 (IICフラグ・レジスタ0 (IICF0) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態(IICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0のビット6(LREL0) = 1でバスを解放した)とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICF0のビット7) で確認できます。STT0 = 1としてからSTCFがセット (1) されるまで表14 - 7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表14 - 7 ウェイト時間

CL01	CL00	ウェイト時間
0	0	6クロック
0	1	6クロック
1	0	12クロック
1	1	3クロック

### 14.5.15 その他の注意事項

#### (1) STCEN (IICフラグ・レジスタ0 (IICF0) のビット1) = 0の場合

I<sup>2</sup>C動作許可 (IICE0 = 1) 直後, 実際のバス状態にかかわらず通信状態 (IICBSY (IICF0のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は, まずストップ・コンディションを生成し, バスを解放してからマスタ通信を行ってください。

マルチマスタでは, バスが解放されていない (ストップ・コンディションを検出していない) 状態では, マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタ0 (IICCL0) を設定する

IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) をセット (1) する

IICC0のビット0 (SPT0) をセット (1) する

#### (2) STCEN = 1の場合

I<sup>2</sup>C動作許可 (IICE0 = 1) 直後, 実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので, 1回目のスタート・コンディションを生成 (STT0 (IICコントロール・レジスタ0 (IICC0) のビット1) = 1) する場合は, ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

#### (3) すでに他者との間でI<sup>2</sup>C通信が行われている場合

SDA0端子がロウ・レベルで, かつSCL0端子がハイ・レベルのときに, I<sup>2</sup>C動作を許可して通信に途中参加すると, I<sup>2</sup>CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は, アクノリッジを返し, 他者との間のI<sup>2</sup>C通信を妨害してしまいます。これを回避するために, 次の順番でI<sup>2</sup>Cを起動してください。

IICC0のビット4 (SPIE0) をクリア (0) し, ストップ・コンディション検出による割り込み要求信号 (INTIIC0) 発生を禁止する

IICC0のビット7 (IICE0) をセット (1) し, I<sup>2</sup>Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICE0をセット (1) してから, 4~80クロック中) に, IICC0のビット6 (LREL0) をセット (1) にし, 強制的に検出を無効とする

#### (4) 動作許可 (IICE0 = 1) する前に, SMC0, CL01, CL00 (IICL0のビット3, 1, 0), CLX0 (IICX0のビット0)

で転送クロック周波数を決定してください。転送クロック周波数を変更する場合は, 一度IICE0をクリア (1) してください。

#### (5) STT0, SPT0 (IICC0のビット1, 0) をセットしたあと, クリア (0) される前の再セットは禁止します。

- (6) 送信予約をした場合には、SPIE0 (IICL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IIC0に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0 (IICSOのビット7) を検出する場合には、SPIE0をセット (1) する必要はありません。

#### 14. 5. 16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

##### (1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

##### (2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI<sup>2</sup>Cバスの仕様だけでは判断できません。ここでは、一定 (1フレーム) 期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

##### (3) スレーブ動作

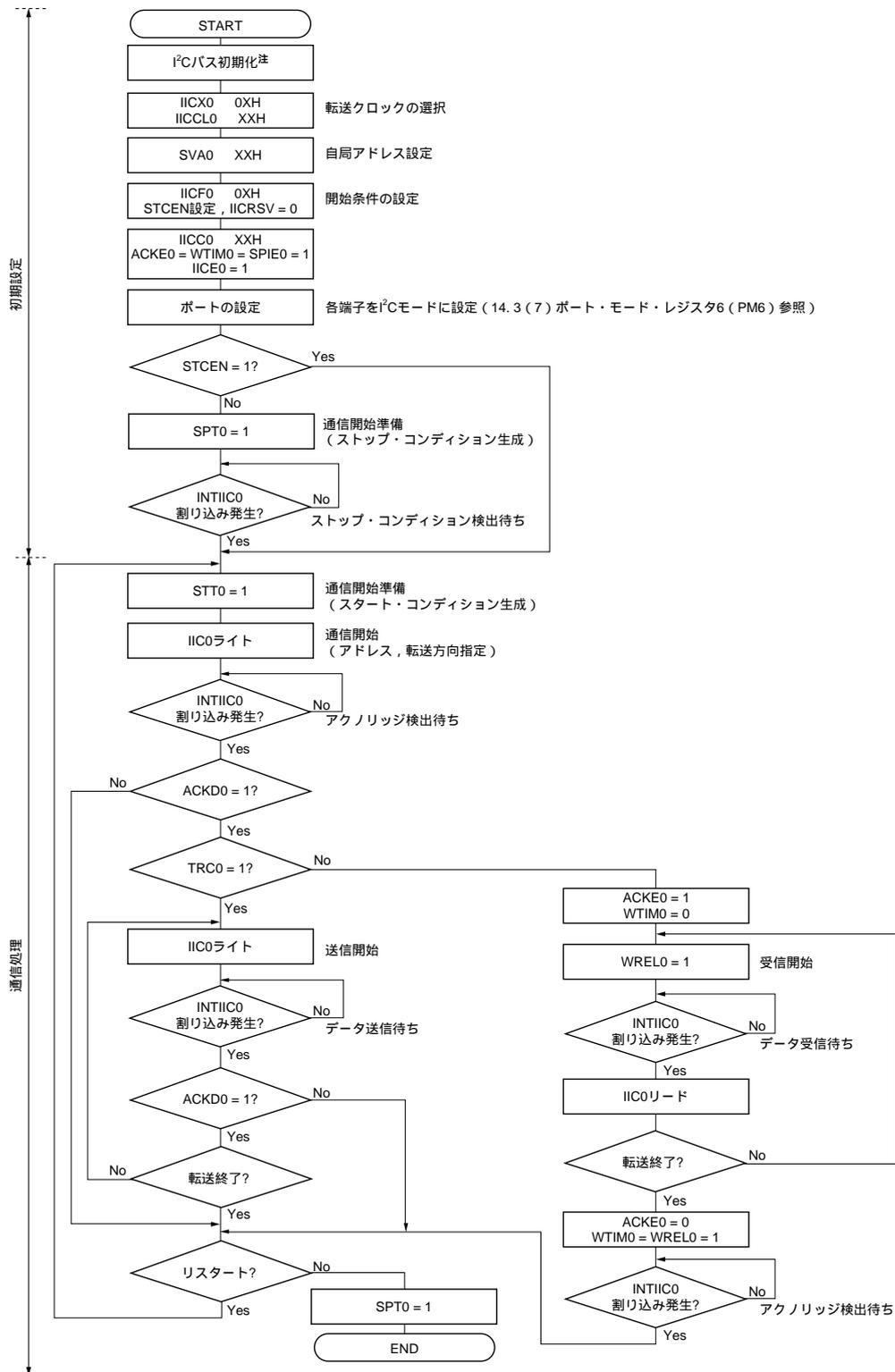
I<sup>2</sup>Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIIC0割り込みの発生を待ちます。INTIIC0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

## (1) シングルマスタ・システムでのマスタ動作

図14 - 24 シングルマスタ・システムでのマスタ動作

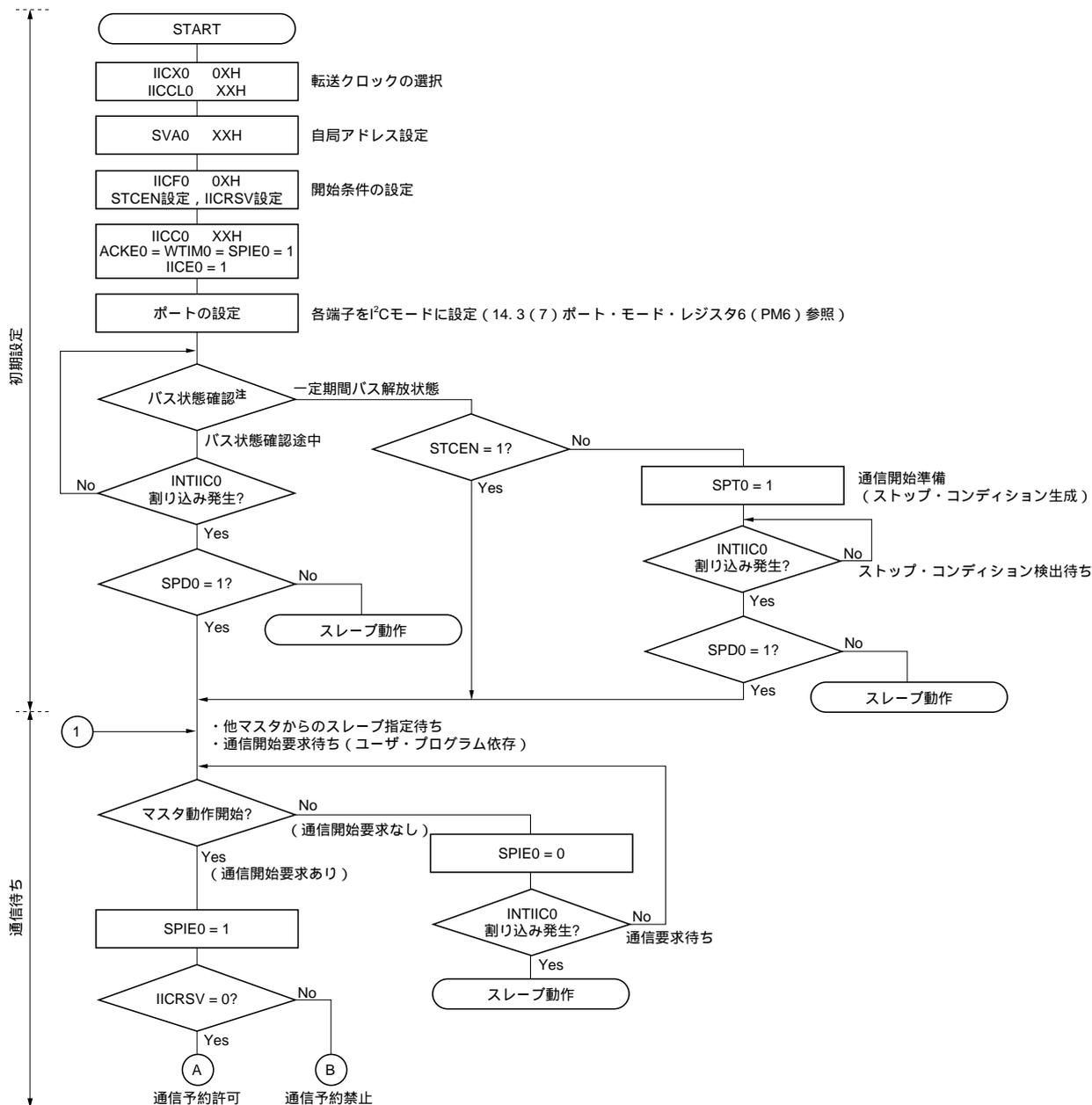


**注** 通信している製品の仕様に準拠し、I<sup>2</sup>Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

**備考** 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

## (2) マルチマスタ・システムでのマスタ動作

図14 - 25 マルチマスタ・システムでのマスタ動作 (1/3)



**注** 一定期間 (たとえば1フレーム分), バス解放状態 (CLD0ビット = 1, DAD0ビット = 1) であることを確認してください。定期的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I<sup>2</sup>Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図14 - 25 マルチマスタ・システムでのマスタ動作 (2/3)

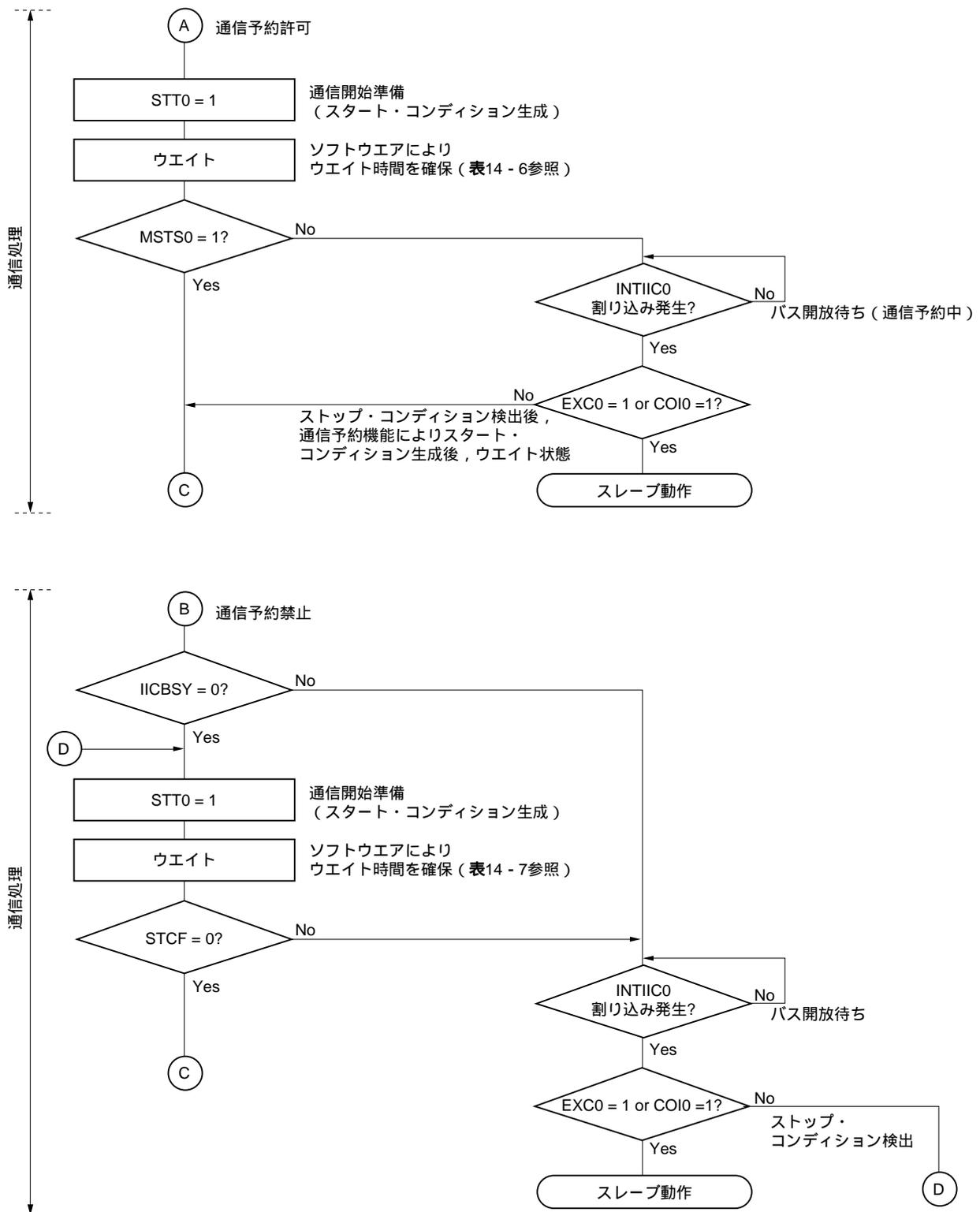
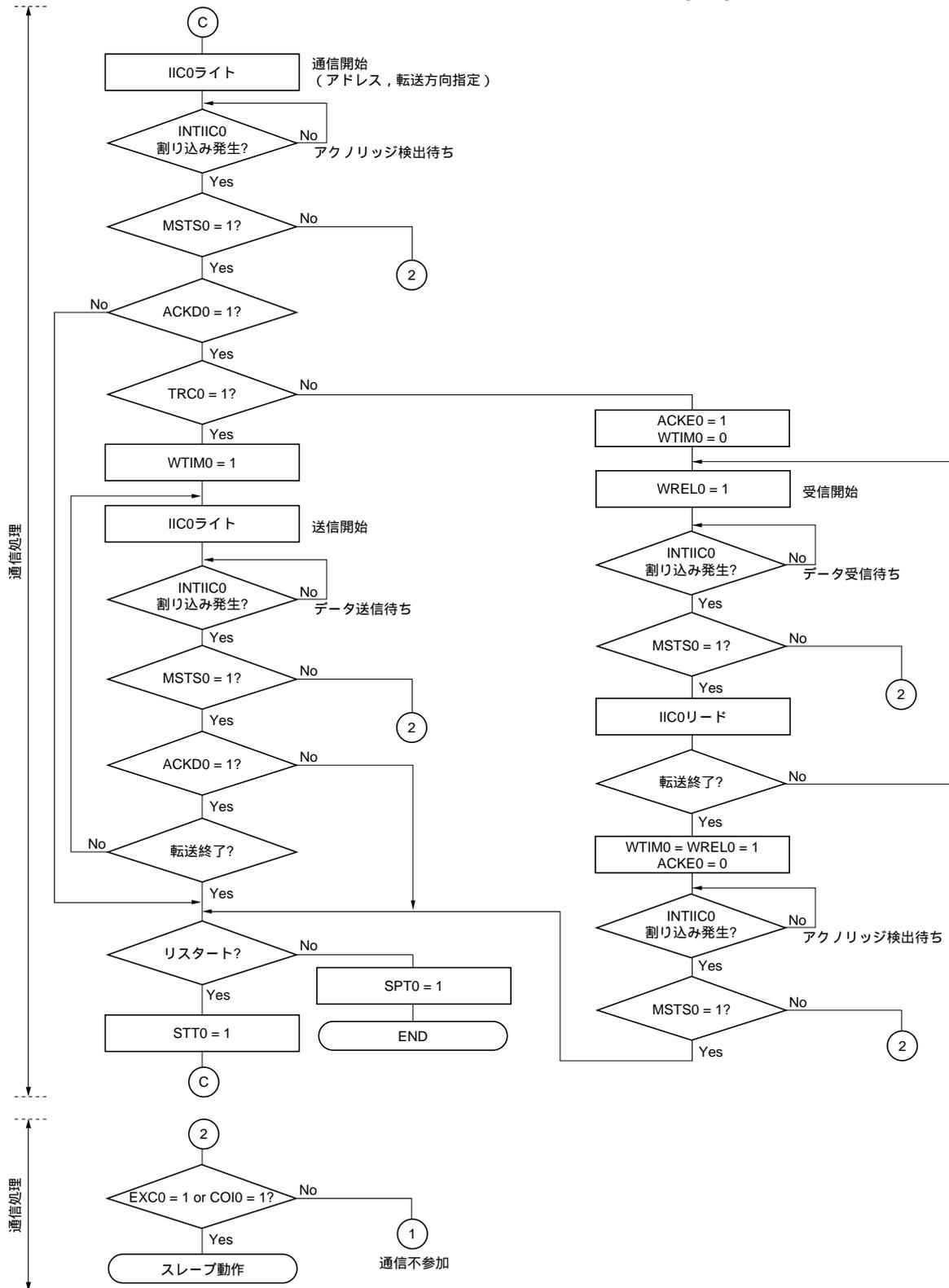


図14 - 25 マルチマスタ・システムでのマスタ動作 (3/3)



**備考 1.** 送信および受信フォーマットは通信している製品の仕様に準拠してください。

**2.** マルチマスタ・システムでマスタとして使用する場合は、INTIIC0割り込み発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。

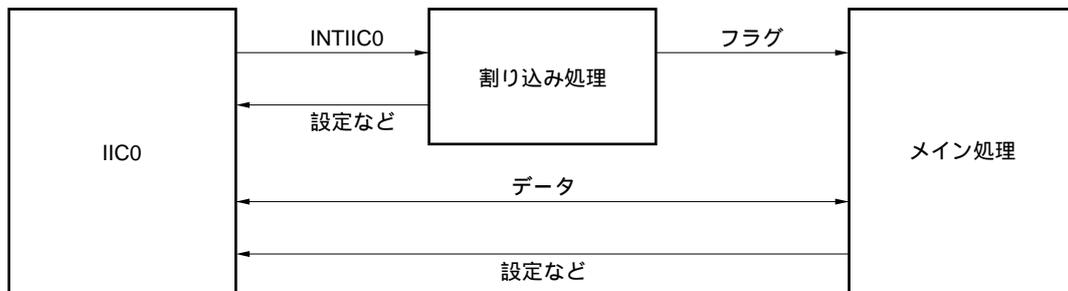
**3.** マルチマスタ・システムでスレーブとして使用する場合は、INTIIC0割り込み発生ごとにIICS0、IICF0レジスタでステータスを確認して次に行う処理を決定してください。

### (3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIIC0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

#### 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

#### レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

#### 通信方向フラグ

通信の方向を示します。TRC0の値と同じです。

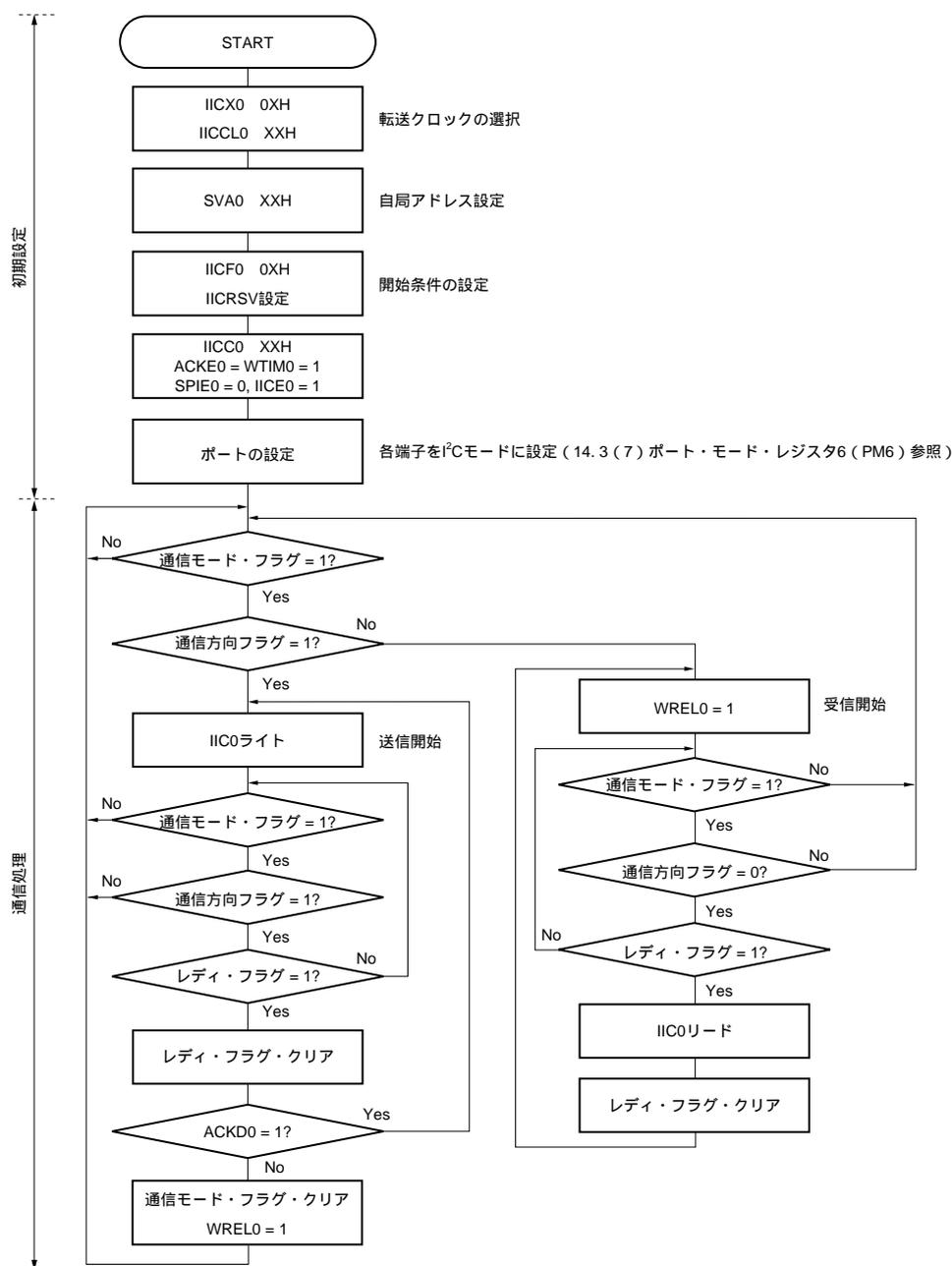
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIIC0を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図14 - 26 スレーブ動作手順（1）



**備考** 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIIC0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIIC0割り込みではステータスを確認して、次のように行います。

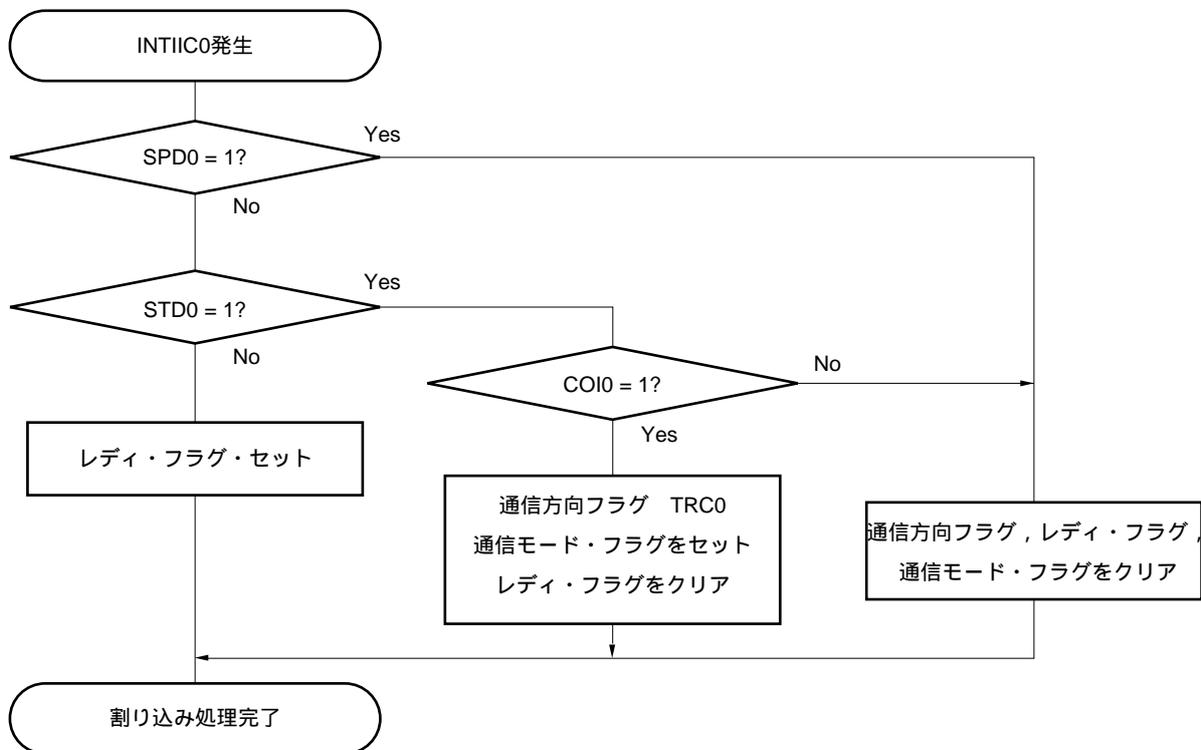
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図14-27 スレーブ動作手順(2)の ~ と対応しています。

図14-27 スレーブ動作手順(2)



### 14. 5. 17 I<sup>2</sup>C割り込み要求 (INTIIC0) の発生タイミング

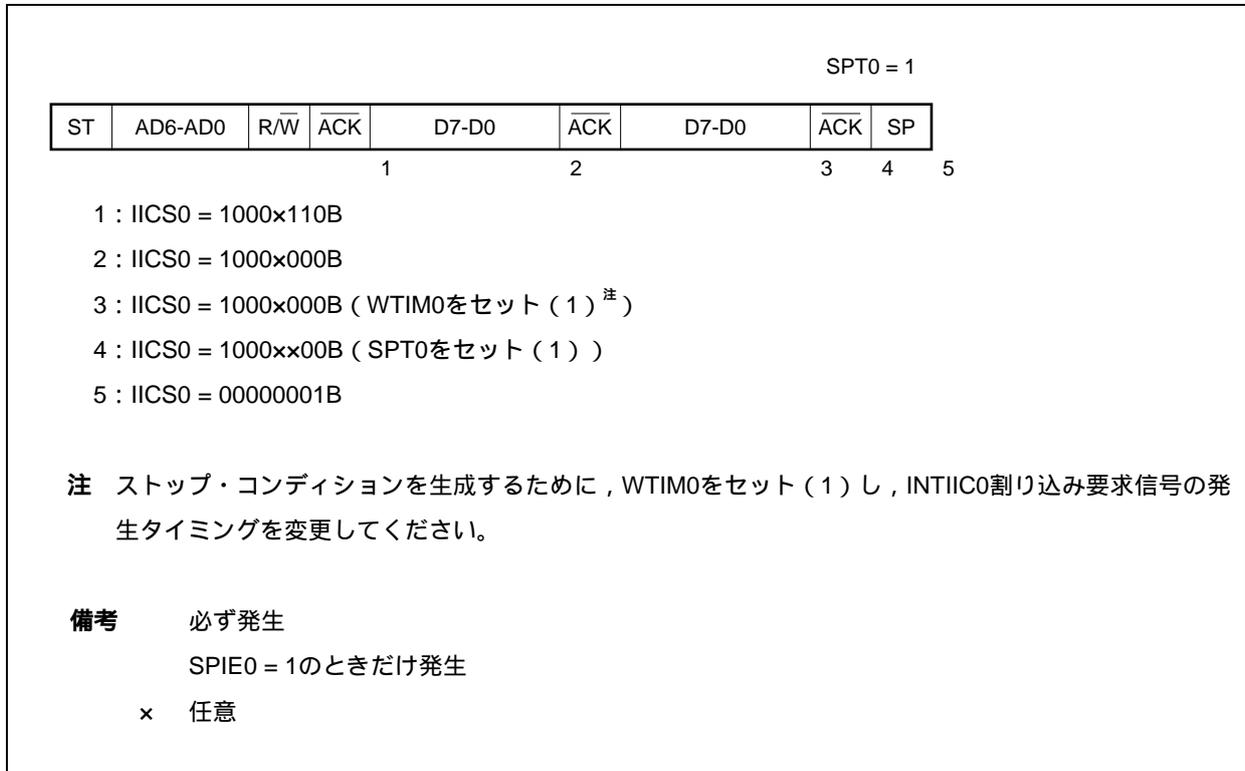
次に、データの送受信、INTIIC0割り込み要求信号発生タイミングと、INTIIC0信号タイミングでのIICS0レジスタの値を示します。

**備考** ST : スタート・コンディション  
AD6-AD0 : アドレス  
R/ $\overline{W}$  : 転送方向指定  
 $\overline{ACK}$  : アクノリッジ  
D7-D0 : データ  
SP : ストップ・コンディション

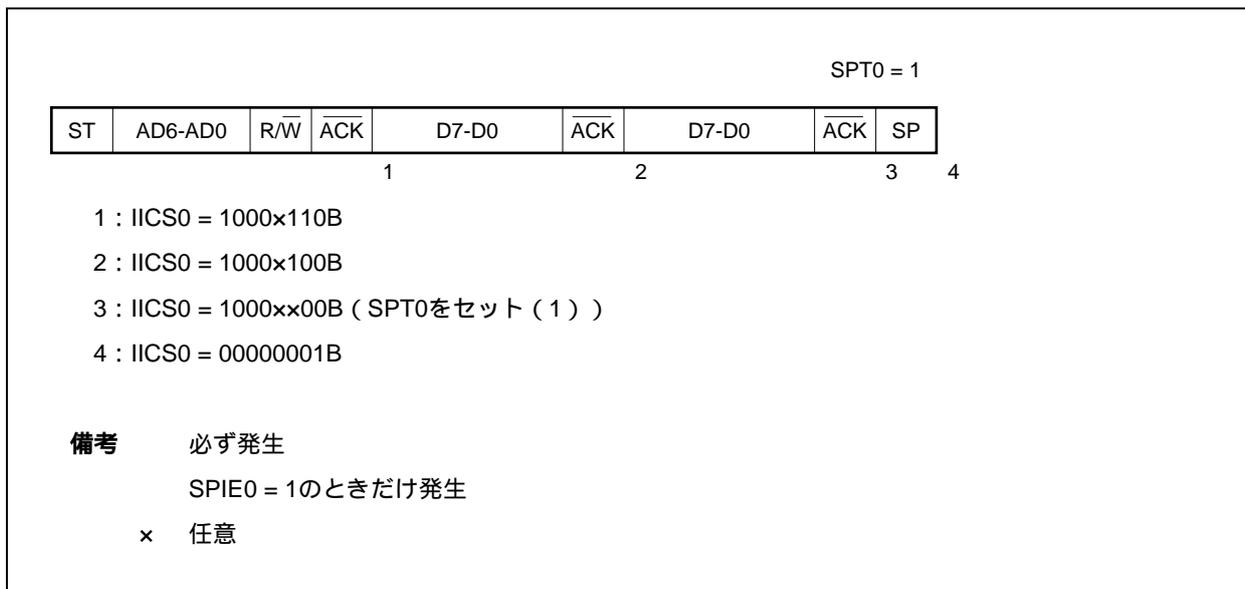
## (1) マスタ動作

## (a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

## (i) WTIM0 = 0 のとき

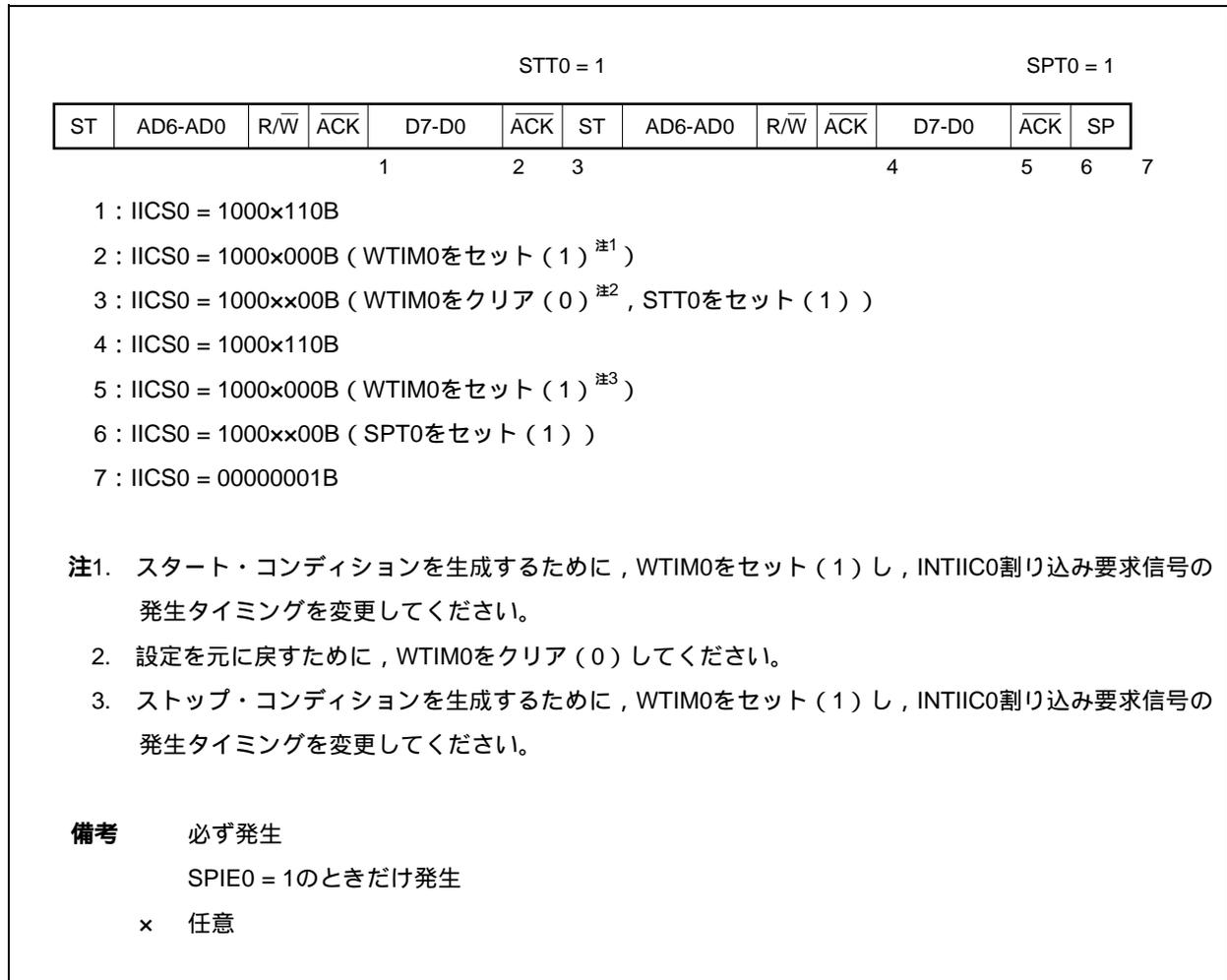


## (ii) WTIM0 = 1 のとき

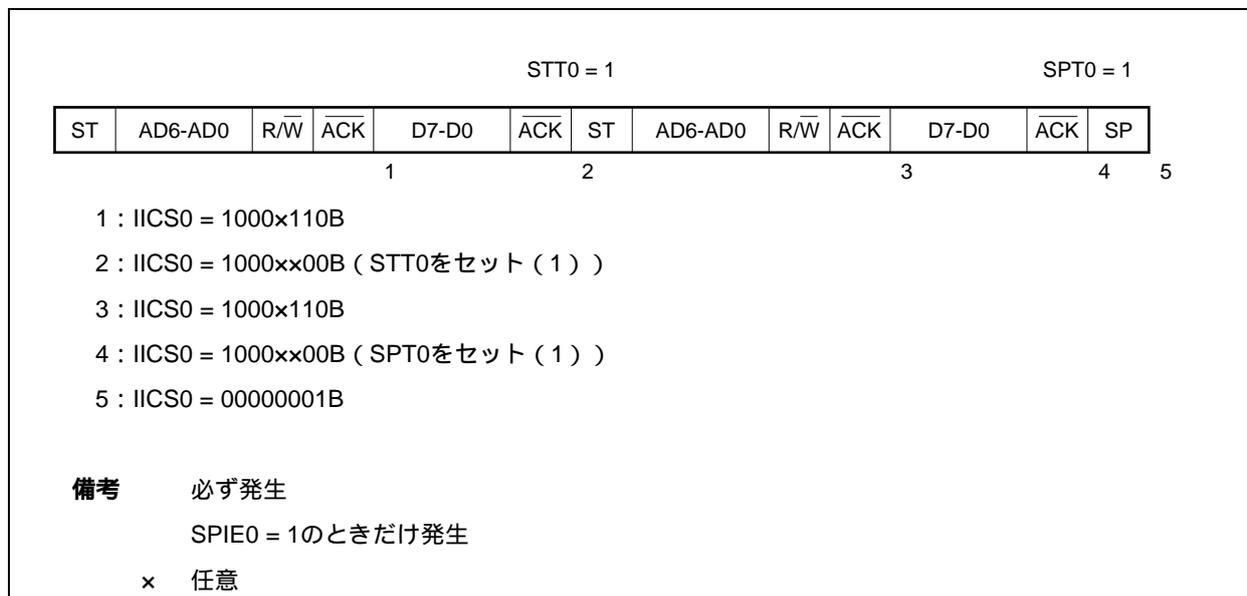


## (b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

## (i) WTIM0 = 0 のとき

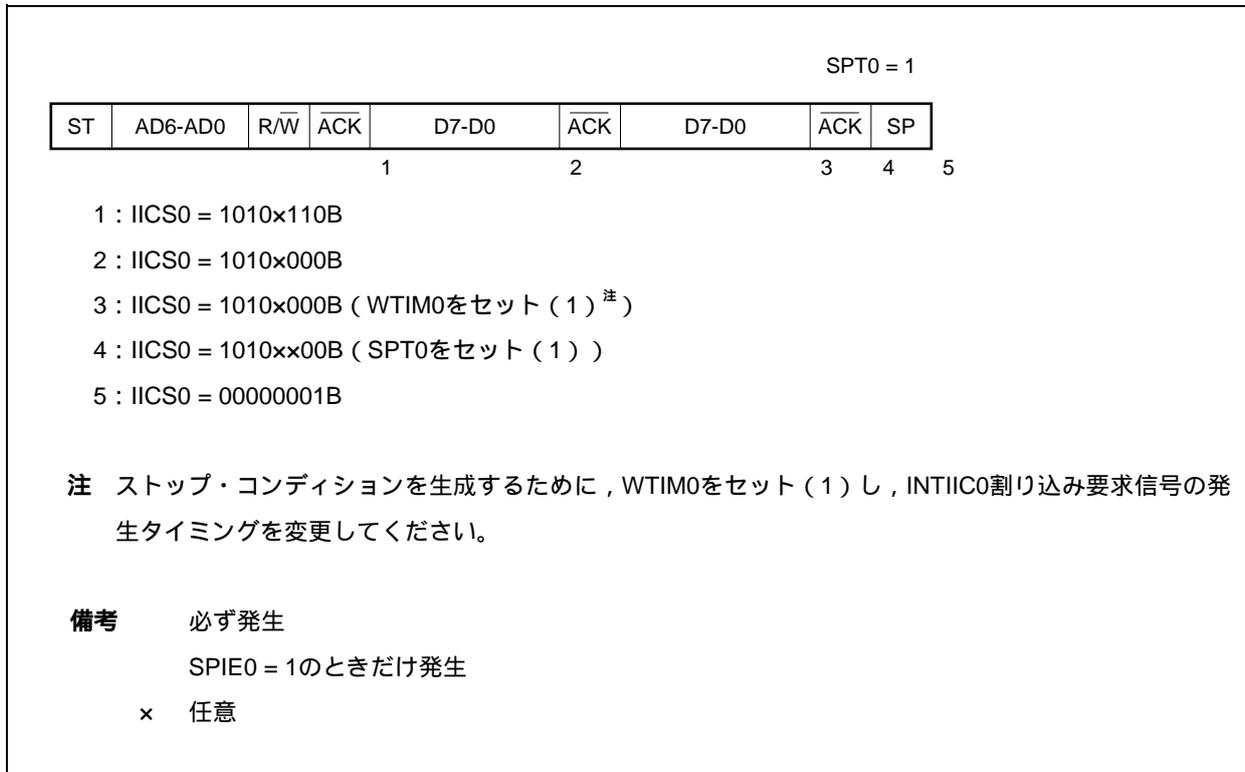


## (ii) WTIM0 = 1 のとき

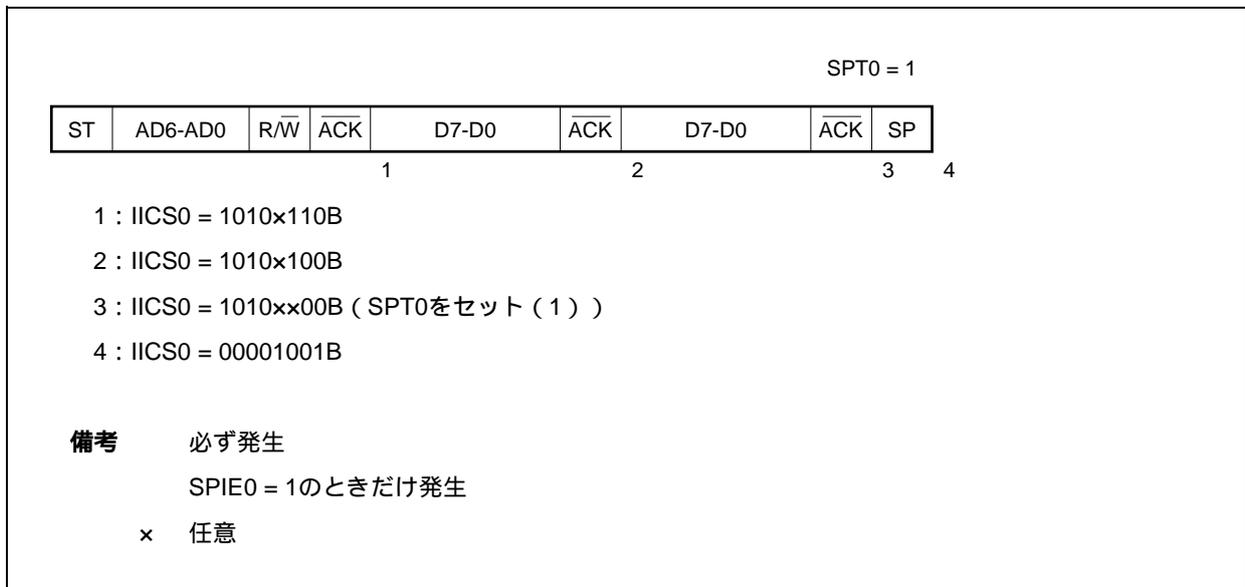


## (c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

## (i) WTIM0 = 0 のとき



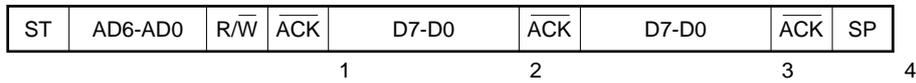
## (ii) WTIM0 = 1 のとき



## (2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき



1 : IICS0 = 0001x110B

2 : IICS0 = 0001x000B

3 : IICS0 = 0001x000B

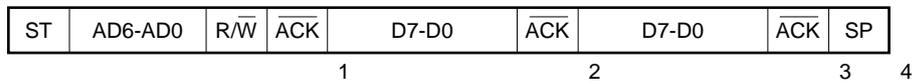
4 : IICS0 = 00000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



1 : IICS0 = 0001x110B

2 : IICS0 = 0001x100B

3 : IICS0 = 0001xx00B

4 : IICS0 = 00000001B

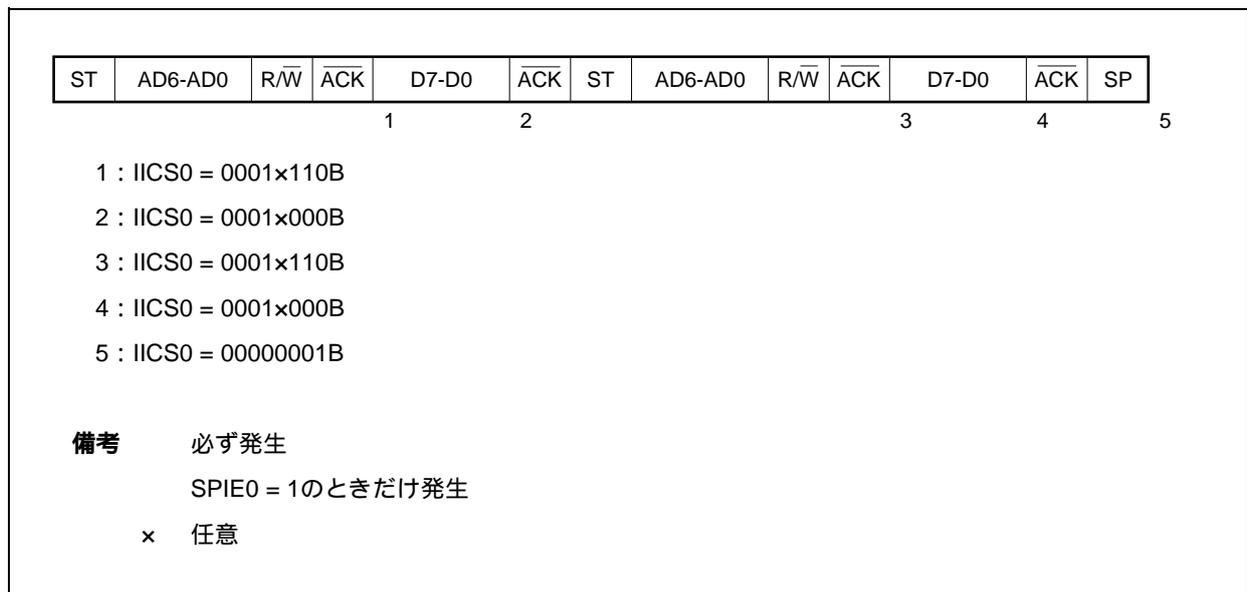
**備考** 必ず発生

SPIE0 = 1のときだけ発生

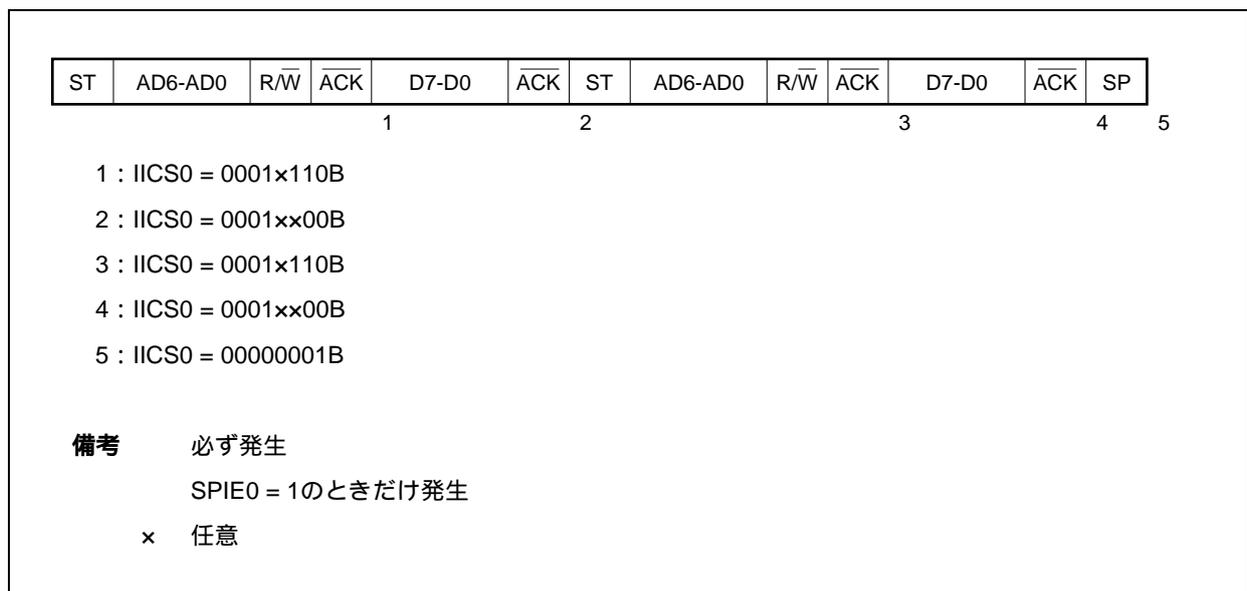
× 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)

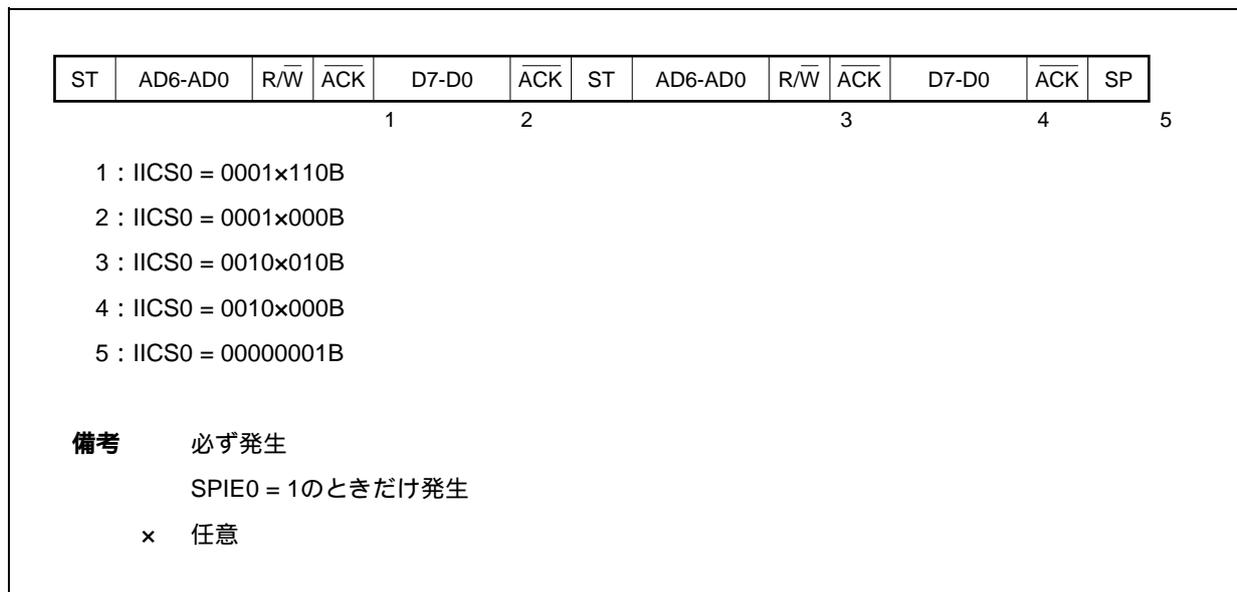


(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)

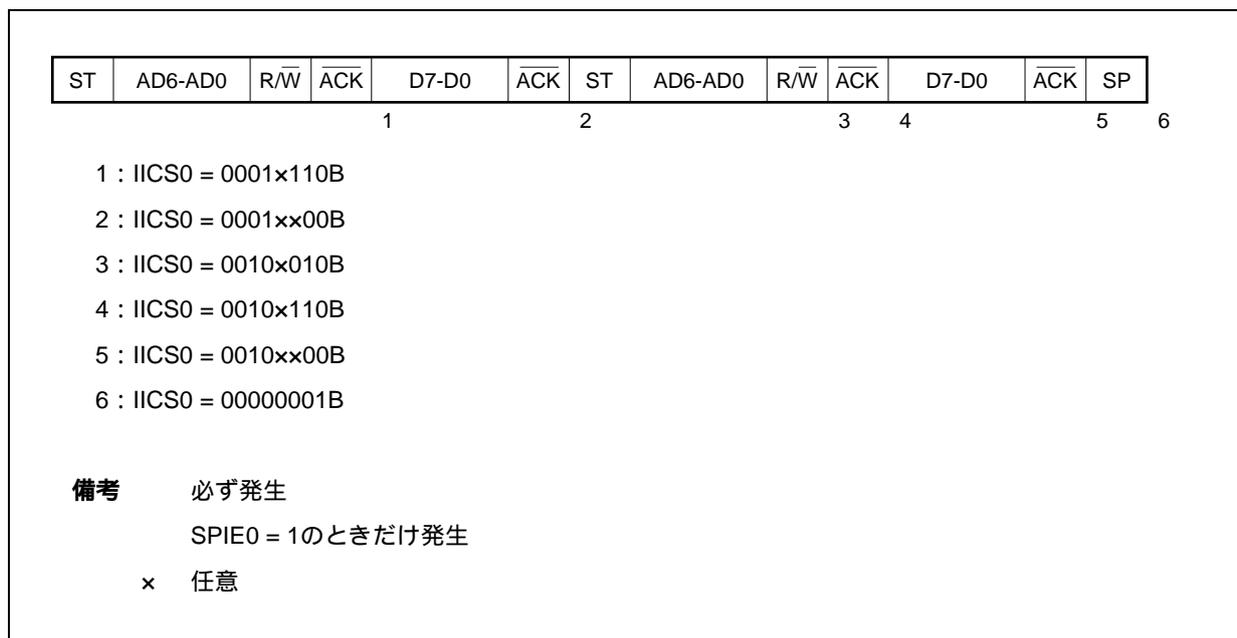


(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード))

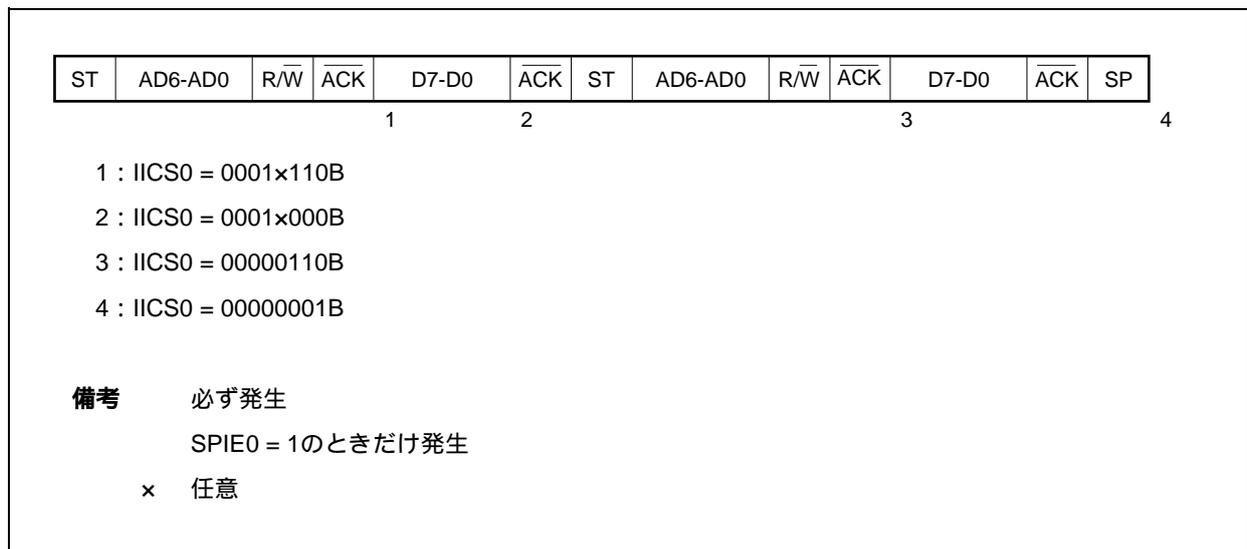


(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード))

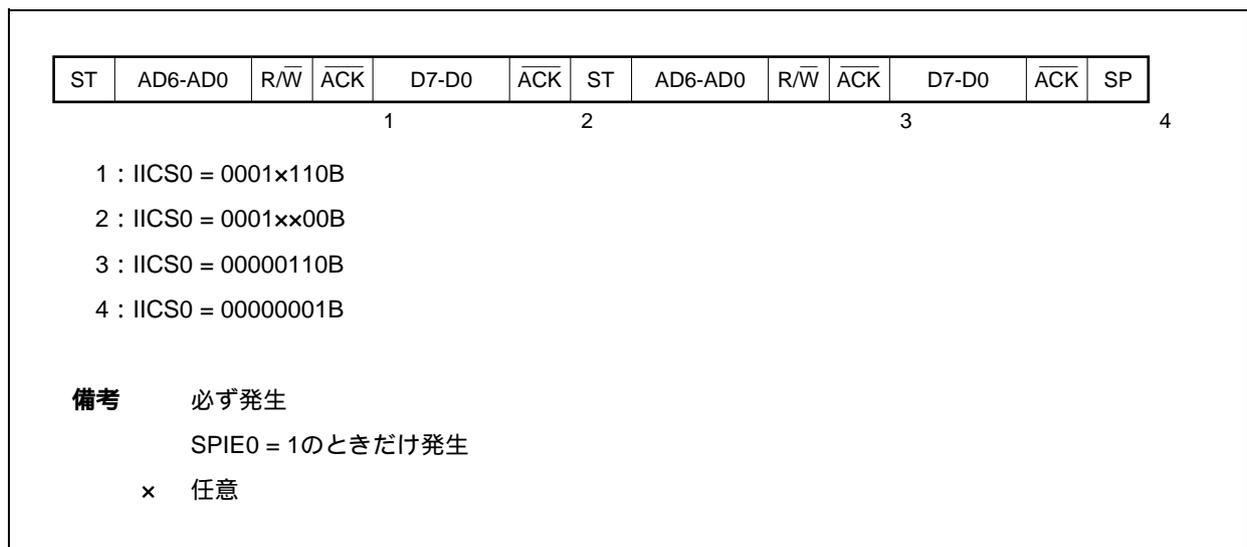


(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

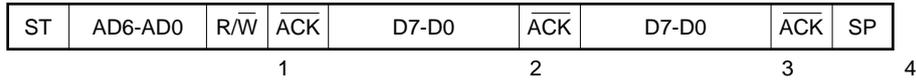


## (3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

## (a) Start ~ Code ~ Data ~ Data ~ Stop

## (i) WTIM0 = 0 のとき



1 : IICS0 = 0010x010B

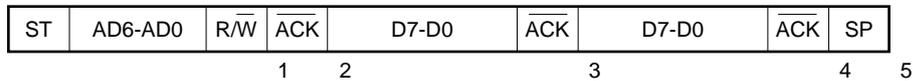
2 : IICS0 = 0010x000B

3 : IICS0 = 0010x000B

4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

## (ii) WTIM0 = 1 のとき



1 : IICS0 = 0010x010B

2 : IICS0 = 0010x110B

3 : IICS0 = 0010x100B

4 : IICS0 = 0010xx00B

5 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICS0 = 0010x010B

2 : IICS0 = 0010x000B

3 : IICS0 = 0001x110B

4 : IICS0 = 0001x000B

5 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4	5	6

1 : IICS0 = 0010x010B

2 : IICS0 = 0010x110B

3 : IICS0 = 0010xx00B

4 : IICS0 = 0001x110B

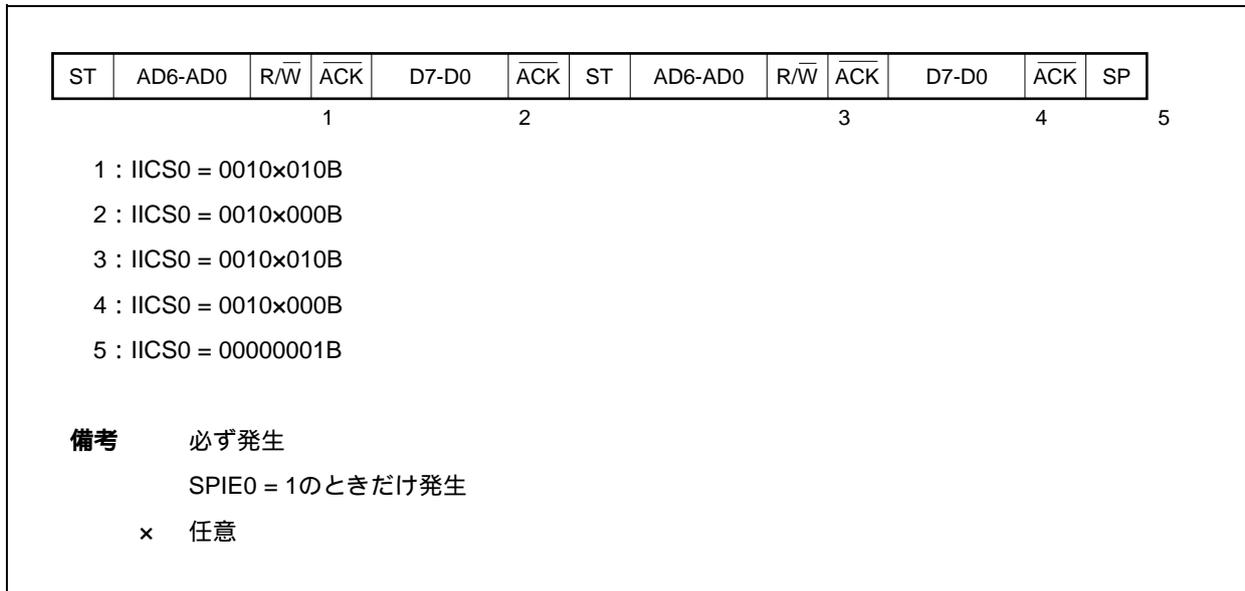
5 : IICS0 = 0001xx00B

6 : IICS0 = 00000001B

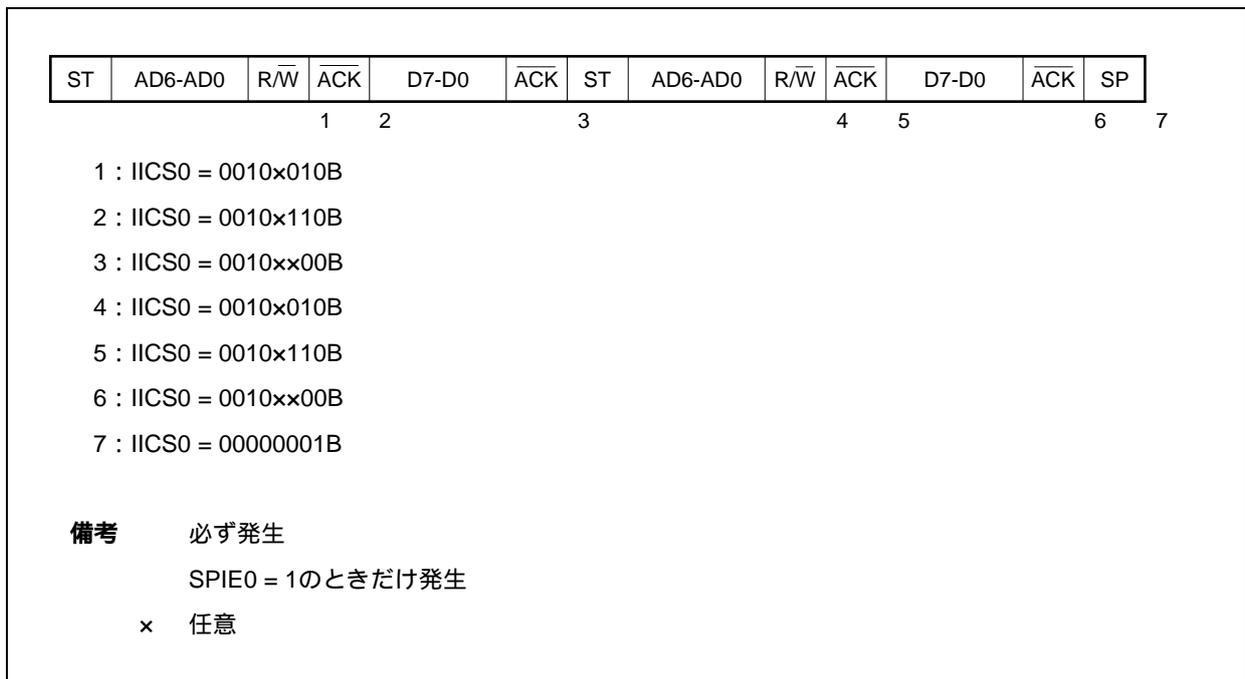
**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, 拡張コード受信)

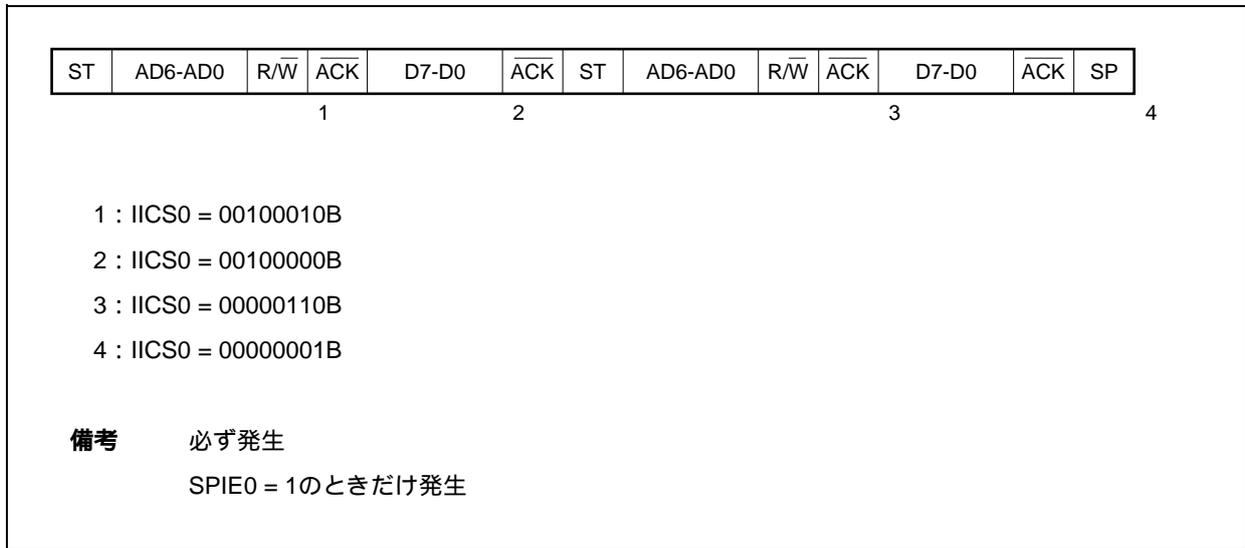


(ii) WTIM0 = 1 のとき (リスタート後, 拡張コード受信)

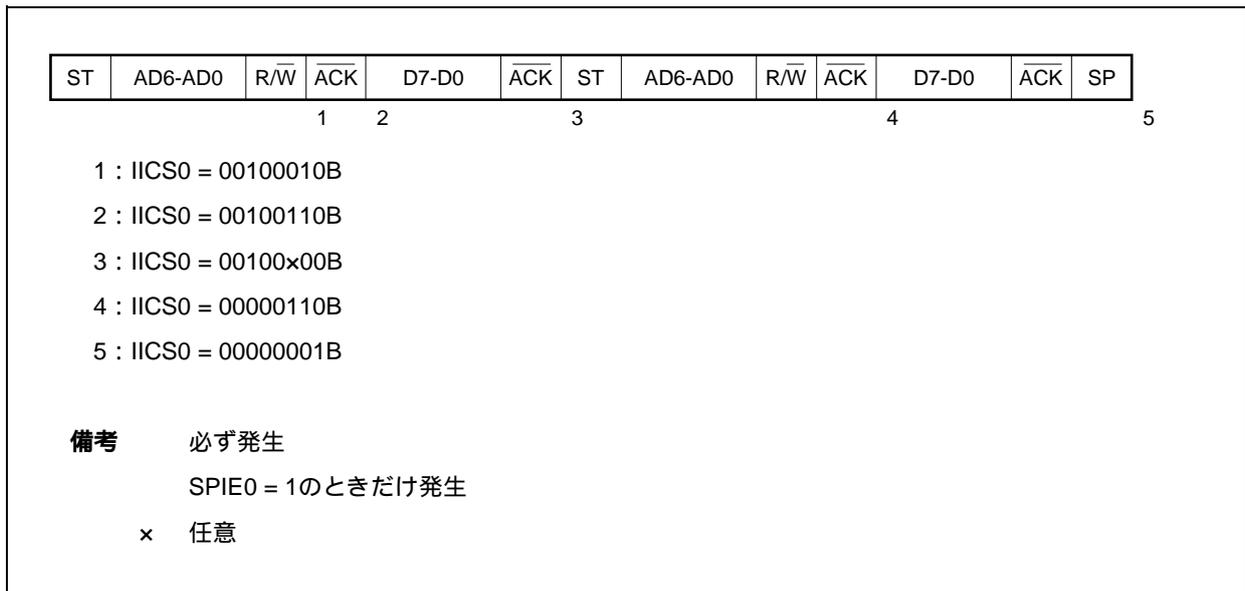


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

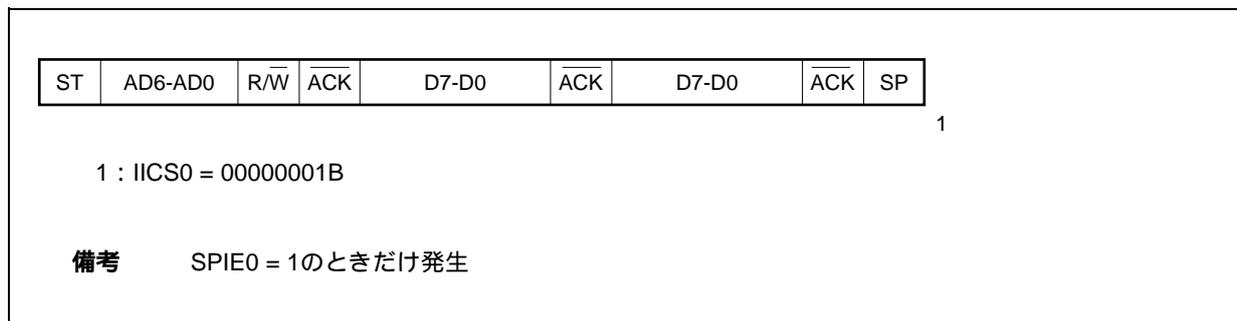


(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



## (4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

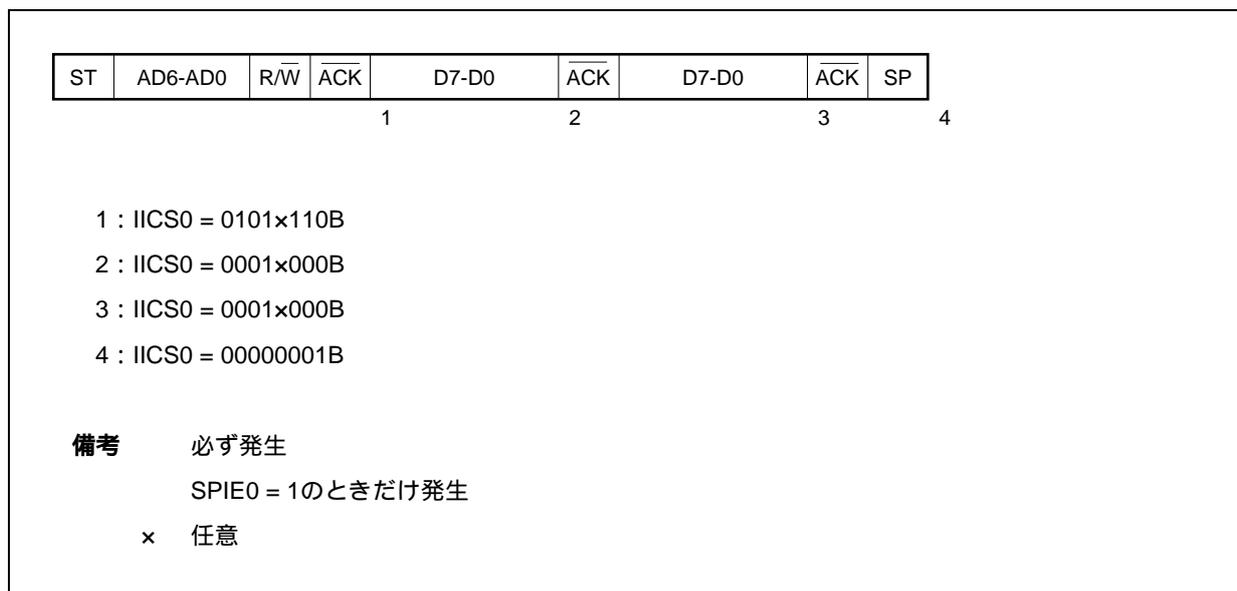


## (5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は, INTIIC0 割り込み要求信号の発生ごとに MSTS0 ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



## (ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0 = 0101×110B

2 : IICS0 = 0001×100B

3 : IICS0 = 0001××00B

4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

## (b) 拡張コード送信中にアービトレーションに負けた場合

## (i) WTIM0 = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0 = 0110×010B

2 : IICS0 = 0010×000B

3 : IICS0 = 0010×000B

4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

## (ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4 5	

1 : IICS0 = 0110x010B

2 : IICS0 = 0010x110B

3 : IICS0 = 0010x100B

4 : IICS0 = 0010xx00B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE0 = 1 のときだけ発生  
 × 任意

## (6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIIC0 割り込み要求信号の発生ごとに MSTS0 ビットをリードし, アービトレーション結果を確認してください。

## (a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICS0 = 01000110B

2 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE0 = 1 のときだけ発生

## (b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

2

1 : IICS0 = 0110x010B

ソフトウェアでLREL0 = 1を設定

2 : IICS0 = 00000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

× 任意

## (c) データ転送時にアービトレーションに負けた場合

## (i) WTIM0 = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

2

3

1 : IICS0 = 10001110B

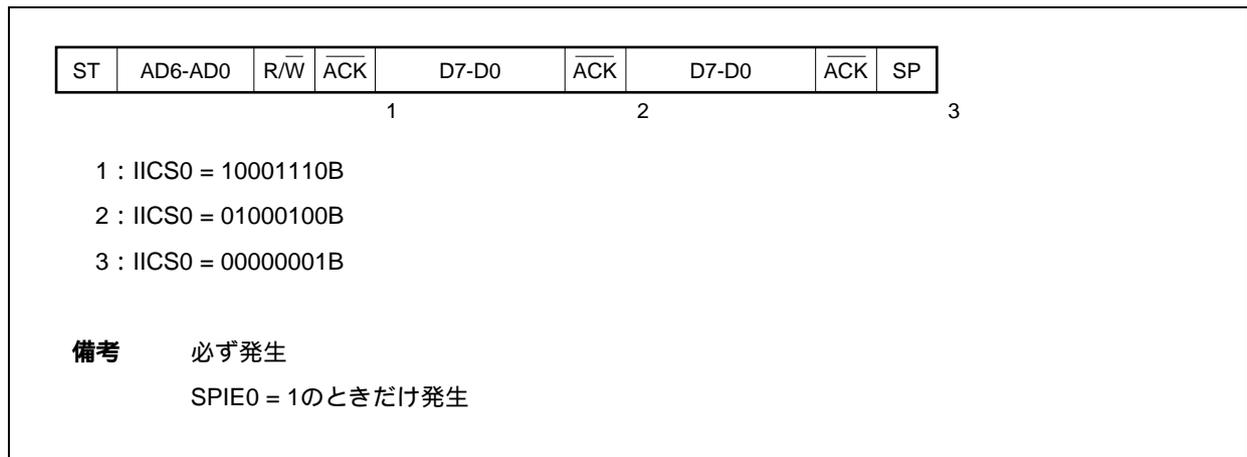
2 : IICS0 = 01000000B

3 : IICS0 = 00000001B

**備考** 必ず発生

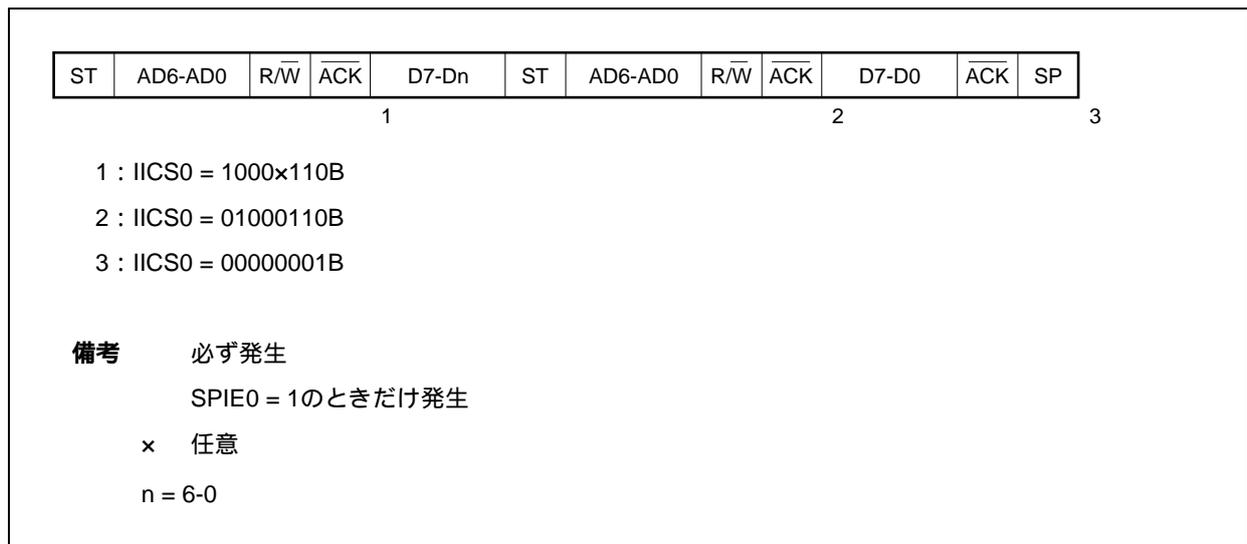
SPIE0 = 1のときだけ発生

## (ii) WTIM0 = 1 のとき



## (d) データ転送時にリスタート・コンディションで負けた場合

## (i) 拡張コード以外 (例 SVA0 不一致)



## (ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS0 = 1000x110B

2 : IICS0 = 01100010B

ソフトウェアでLREL0 = 1を設定

3 : IICS0 = 00000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

× 任意

n = 6-0

## (e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICS0 = 10000110B

2 : IICS0 = 01000001B

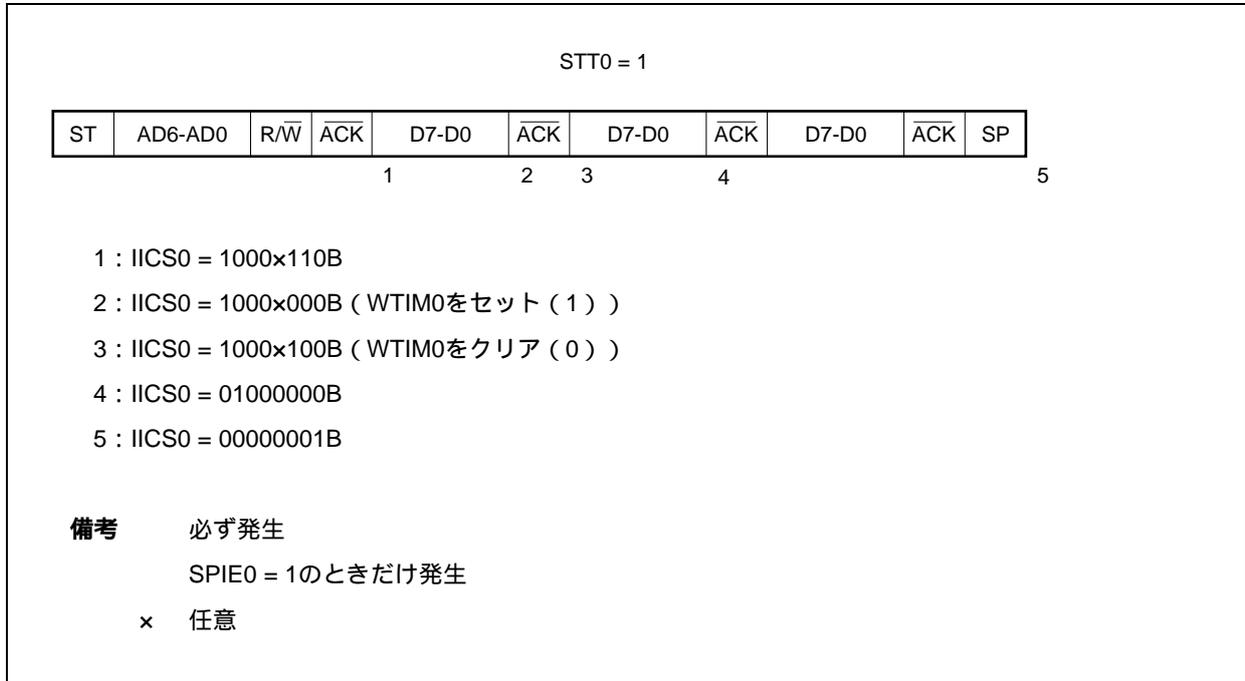
**備考** 必ず発生

SPIE0 = 1のときだけ発生

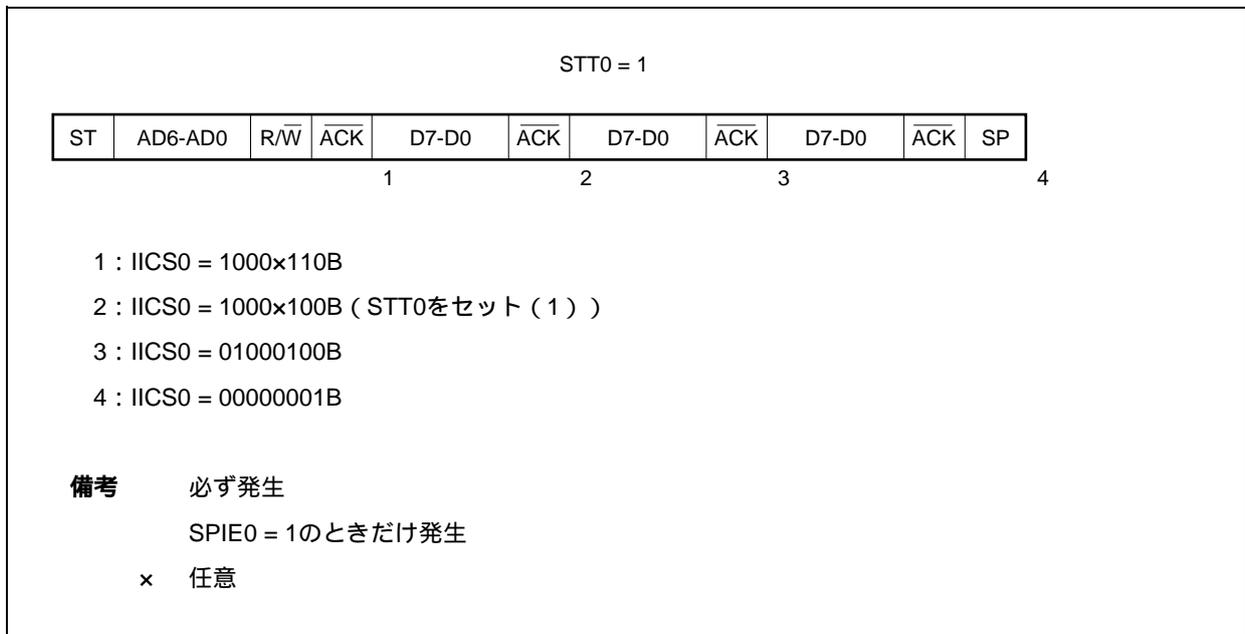
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



(ii) WTIM0 = 1 のとき



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3 4

1 : IICS0 = 1000x110B  
 2 : IICS0 = 1000x000B ( WTIM0 をセット ( 1 ) )  
 3 : IICS0 = 1000xx00B ( STT0 をセット ( 1 ) )  
 4 : IICS0 = 01000001B

**備考**      必ず発生  
                  SPIE0 = 1 のときだけ発生  
 × 任意

(ii) WTIM0 = 1 のとき

STT0 = 1

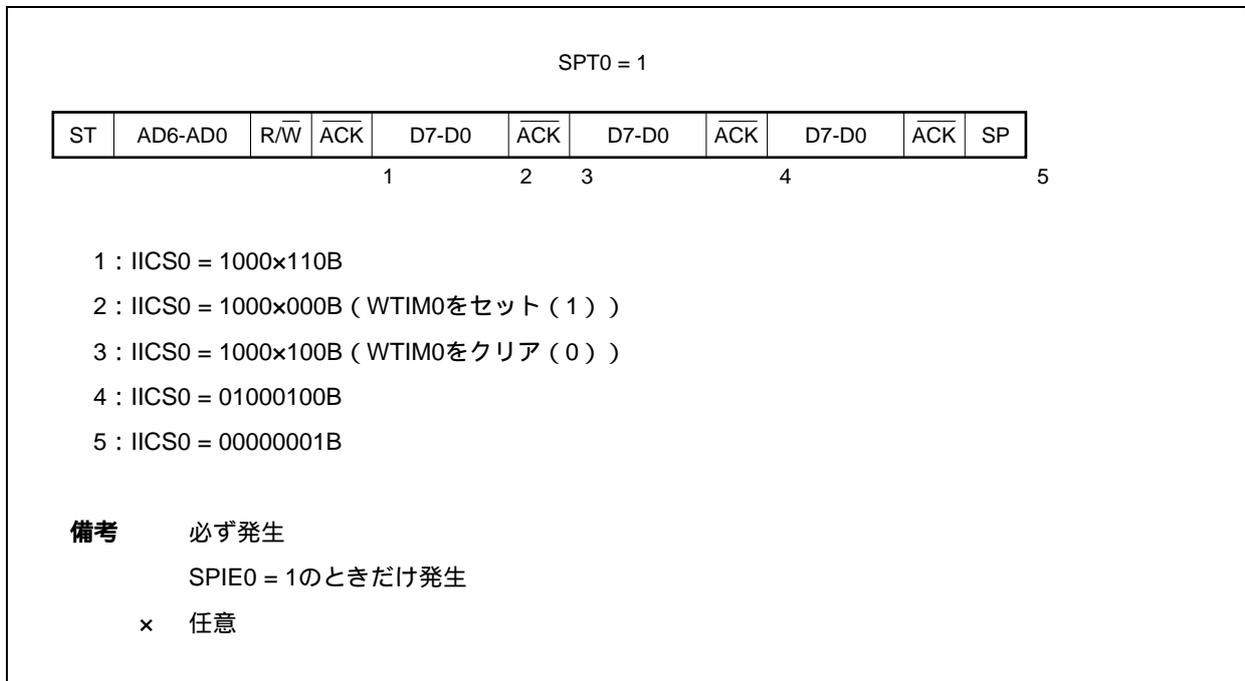
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3

1 : IICS0 = 1000x110B  
 2 : IICS0 = 1000xx00B ( STT0 をセット ( 1 ) )  
 3 : IICS0 = 01000001B

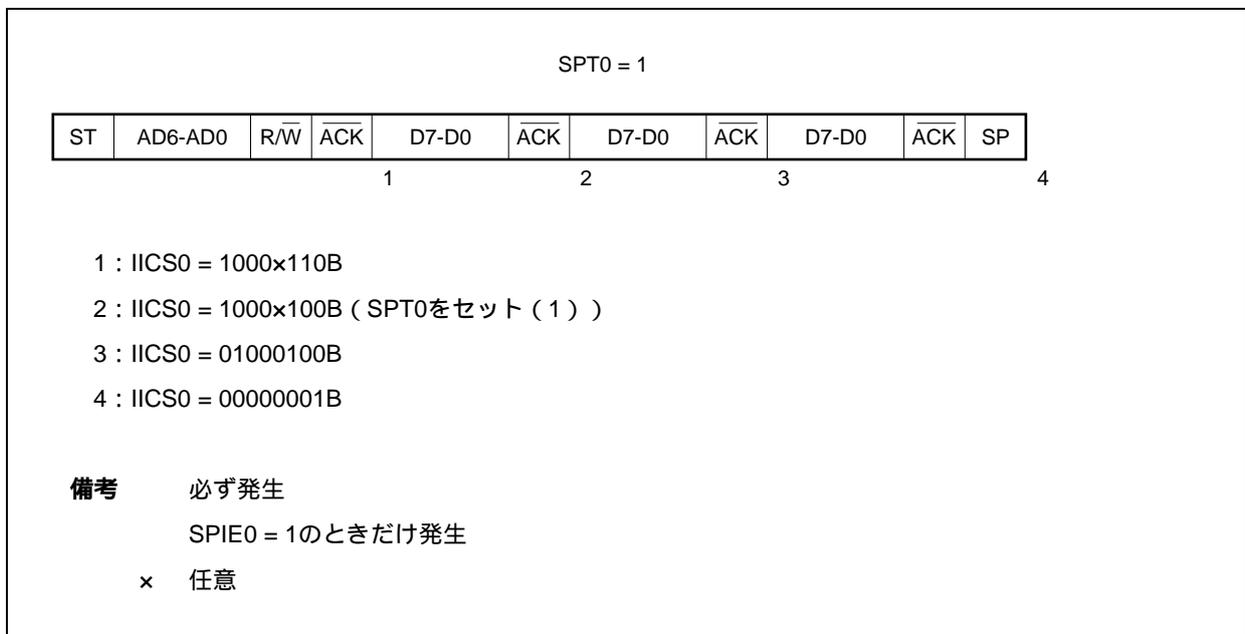
**備考**      必ず発生  
                  SPIE0 = 1 のときだけ発生  
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき



(ii) WTIM0 = 1のとき



## 14.6 タイミング・チャート

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IIC状態レジスタ0（IICS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

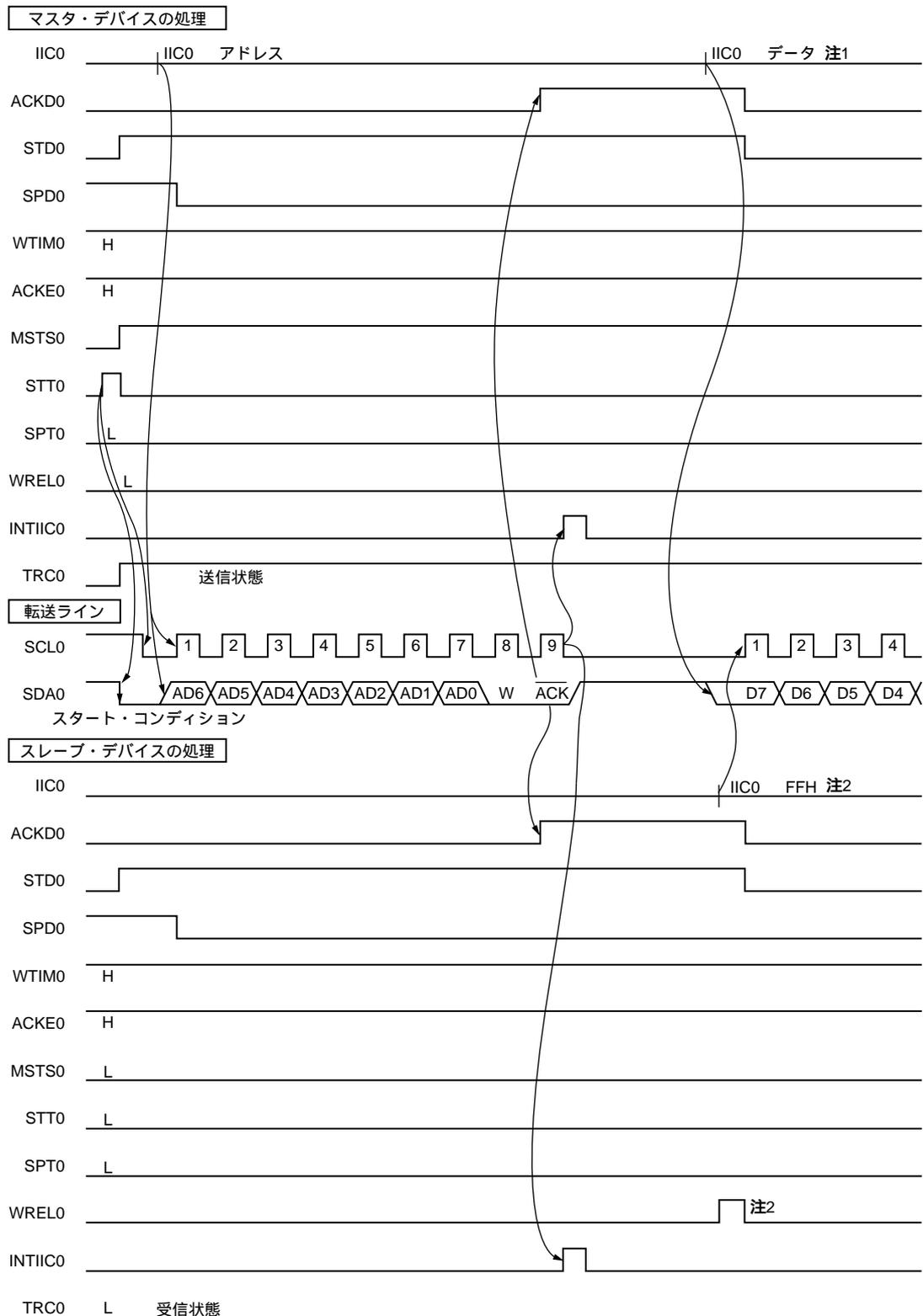
データ通信のタイミング・チャートを図14 - 28，図14 - 29に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIICシフト・レジスタ0（IIC0）のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

図14 - 28 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

## (1) スタート・コンディション~アドレス

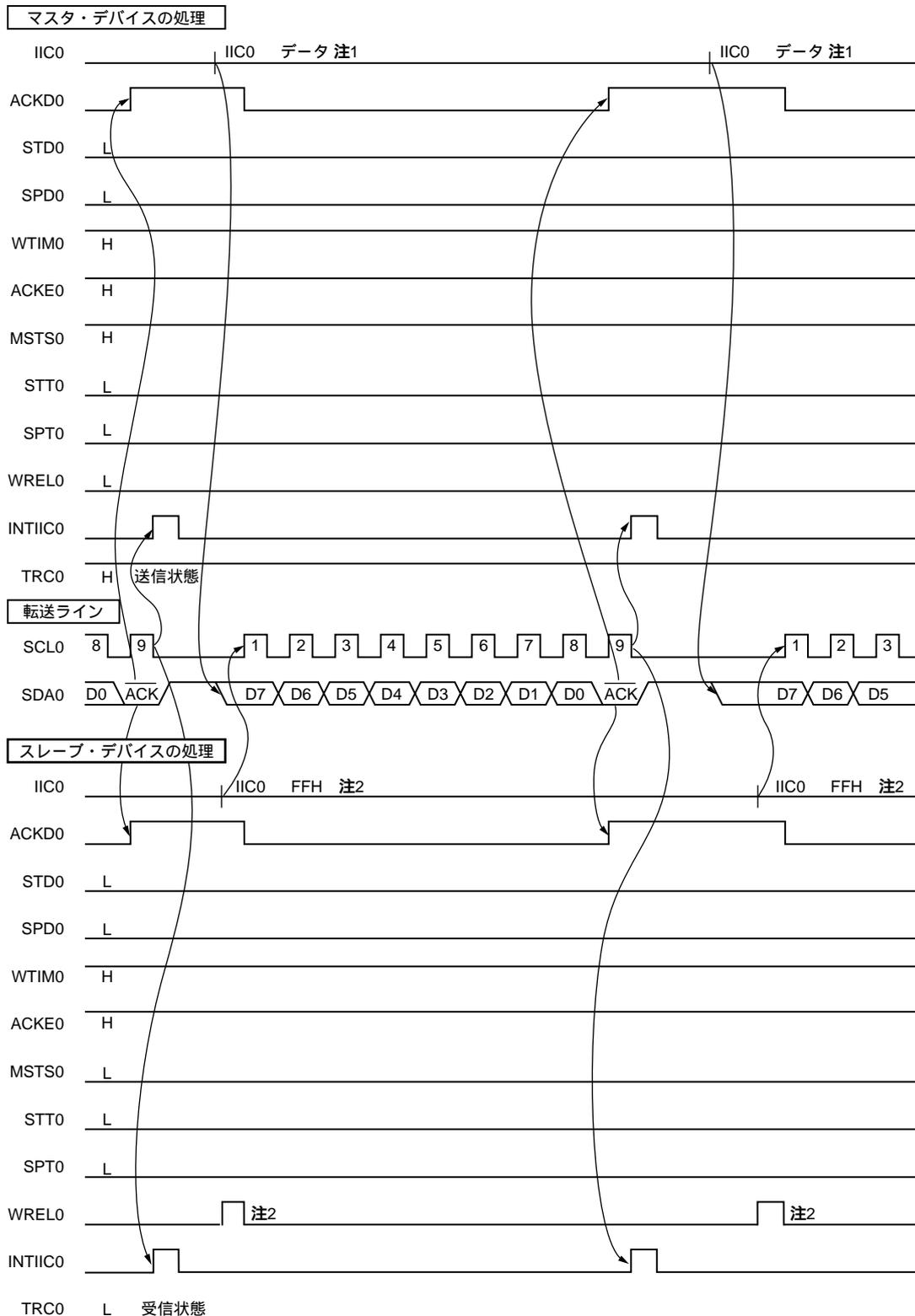


注1. マスタ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

図14 - 28 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

## (2) データ

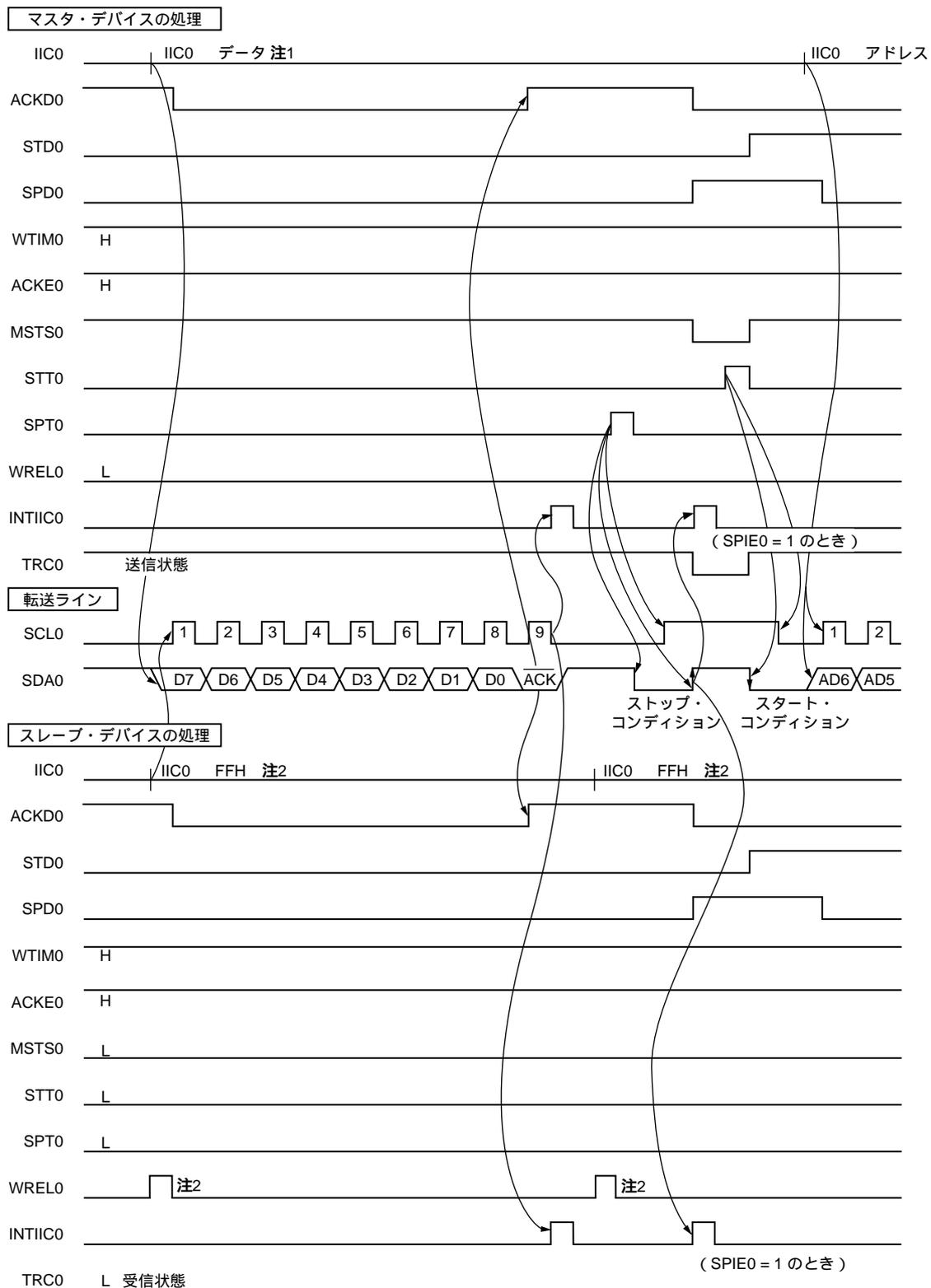


注1. マスタ送信時のウエイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IIC0 FFHまたはWREL0のセットのどちらかで行ってください。

図14 - 28 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

## (3) ストップ・コンディション

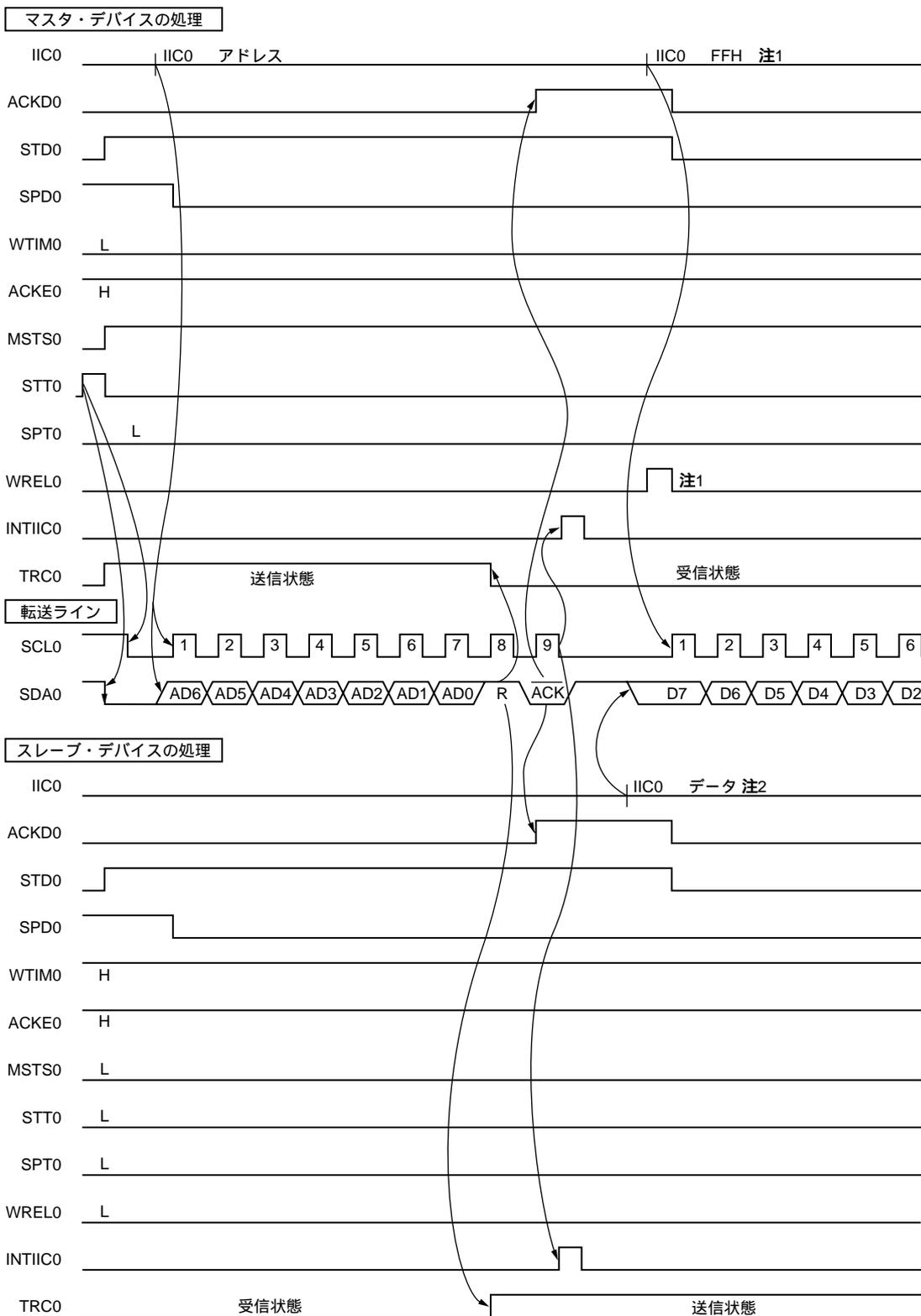


注1. マスタ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

図14 - 29 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

## (1) スタート・コンディション~アドレス

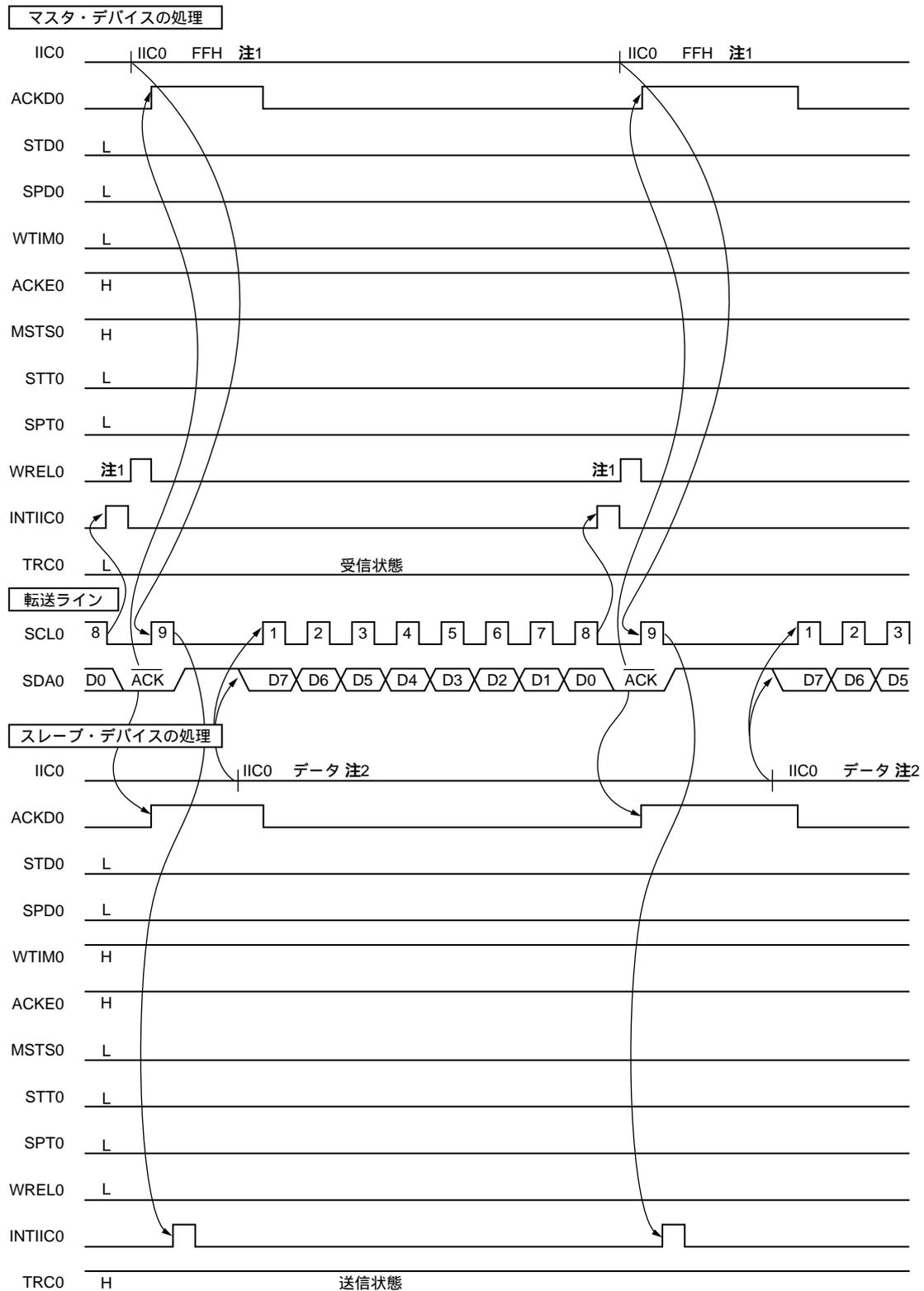


注1. マスタ・ウェイト解除は、IIC0 FFHまたはWREL0のセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

図14 - 29 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

## (2) データ

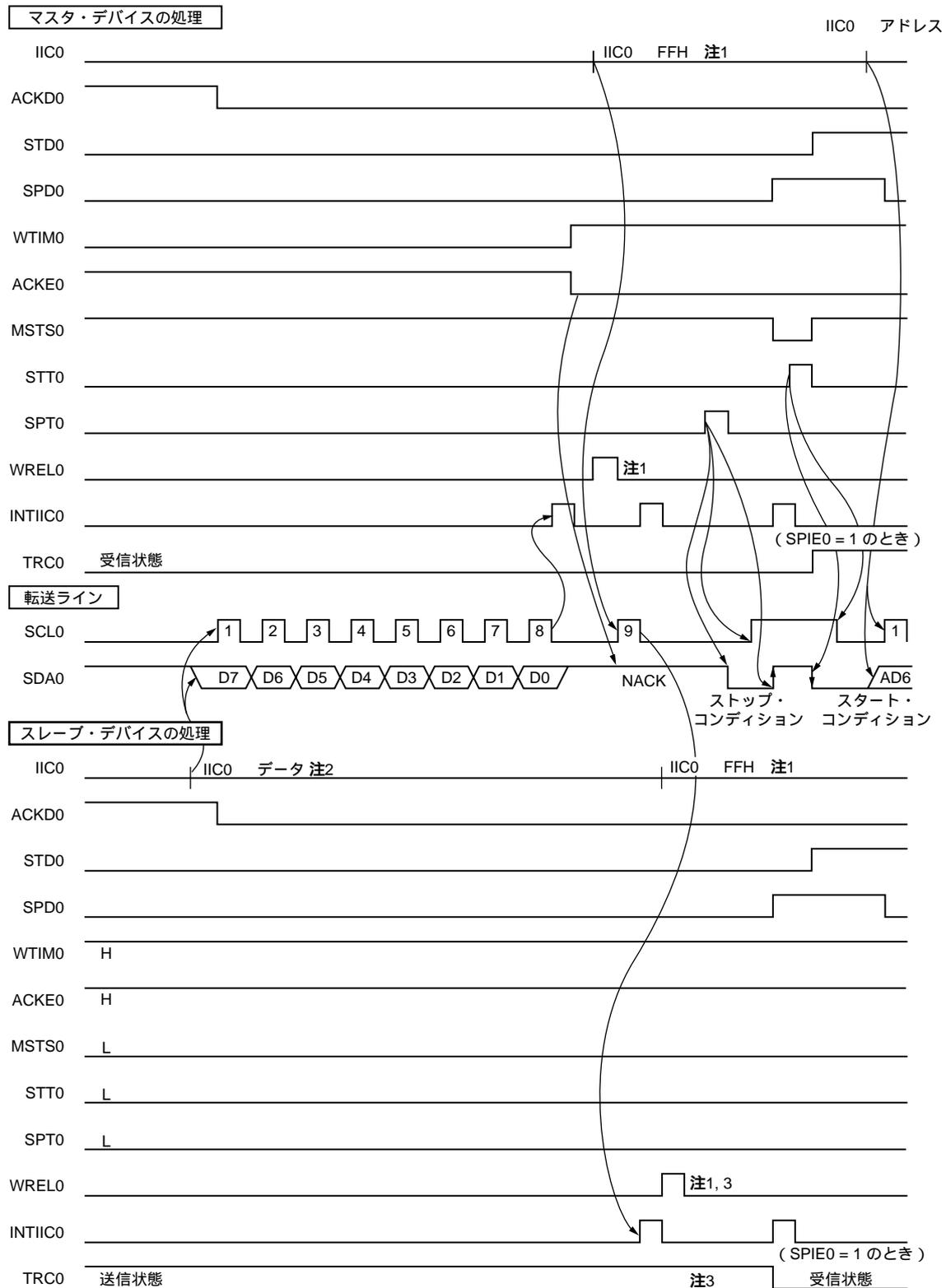


注1. マスタ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

2. スレーブ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。

図14 - 29 スレーブ マスタ通信例 (マスタ: 8, 9クロック, スレーブ: 9クロックでウエイト選択時) (3/3)

## (3) ストップ・コンディション



注1. ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

2. スレーブ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。

3. スレーブ送信時のウエイトをWRELOのセットで解除すると、TRC0はクリアされます。

## 第15章 CANコントローラ

### 15.1 概 要

この製品は、CANプロトコルISO11898に準拠したCAN ( Controller Area Network ) コントローラを1チャンネル内蔵しています。

#### 15.1.1 特 徴

CANプロトコル ISO11898準拠、ISO/DIS16845 ( CANコンFORMANCE・テスト ) 実施  
標準フレーム、拡張フレームの送信 / 受信が可能  
転送速度 最大1 Mbps ( CANクロック入力 8 MHz時 )  
16メッセージ・バッファ / 1チャンネル  
受信 / 送信履歴・リスト機能  
自動ブロック送信機能  
マルチ・バッファ受信ブロック機能  
チャンネルごとに4パターンのマスクを設定可能

## 15.1.2 機能概要

表15 - 1に機能概要を示します。

表15 - 1 機能概要

機 能	詳 細
プロトコル	CANプロトコル ISO11898 (標準および拡張フレームの送受信)
ポー・レート	最大1 Mbps (CANクロック入力 8 MHz時)
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	<ul style="list-style-type: none"> <li>・16メッセージ・バッファ / 1チャンネル</li> <li>・各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能</li> </ul>
メッセージ受信	<ul style="list-style-type: none"> <li>・各メッセージ・バッファに固有のIDを設定可能</li> <li>・チャンネルごとに4パターンのマスクを設定可能</li> <li>・メッセージ・バッファごとに受信完了割り込みの許可 / 禁止が設定可能</li> <li>・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能 (マルチ・バッファ受信ブロック機能)</li> <li>・受信履歴・リスト機能</li> </ul>
メッセージ送信	<ul style="list-style-type: none"> <li>・各メッセージ・バッファに固有のIDを設定可能</li> <li>・メッセージ・バッファごとに送信完了割り込みの許可 / 禁止が設定可能</li> <li>・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABTと記述))</li> <li>・送信履歴・リスト機能</li> </ul>
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> <li>・16ビット・タイマとの併用でメッセージ受信に対してタイム・スタンプ機能を設定可能</li> <li>・タイム・スタンプ・キャプチャ・トリガの選択が可能 (CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能)</li> </ul>
診断機能	<ul style="list-style-type: none"> <li>・リード可能なエラー・カウンタ</li> <li>・バス接続確認用 “有効プロトコル動作フラグ”</li> <li>・受信オンリー・モード</li> <li>・シングル・ショット・モード</li> <li>・CANプロトコル・エラーの判別</li> <li>・セルフ・テスト・モード</li> </ul>
バスオフ強制復帰機能	<ul style="list-style-type: none"> <li>・ソフトウェアにより強制的にバスオフから復帰させることが可能</li> <li>・バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)</li> </ul>
パワー・セーブ・モード	<ul style="list-style-type: none"> <li>・CANスリープ・モード (CANバスによりウエイク・アップ可能)</li> <li>・CANストップ・モード (CANバスによるウエイク・アップ不可)</li> </ul>

**注意** CANコントローラを使用する場合、P70に“1”を設定してください。

### 15.1.3 構 成

CANコントローラは、次の4つのブロックから構成されています。

#### (1) NPBインタフェース

NPB (NEC周辺I/Oバス)とのインタフェースと、CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

#### (2) MCM (Message Control Module)

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

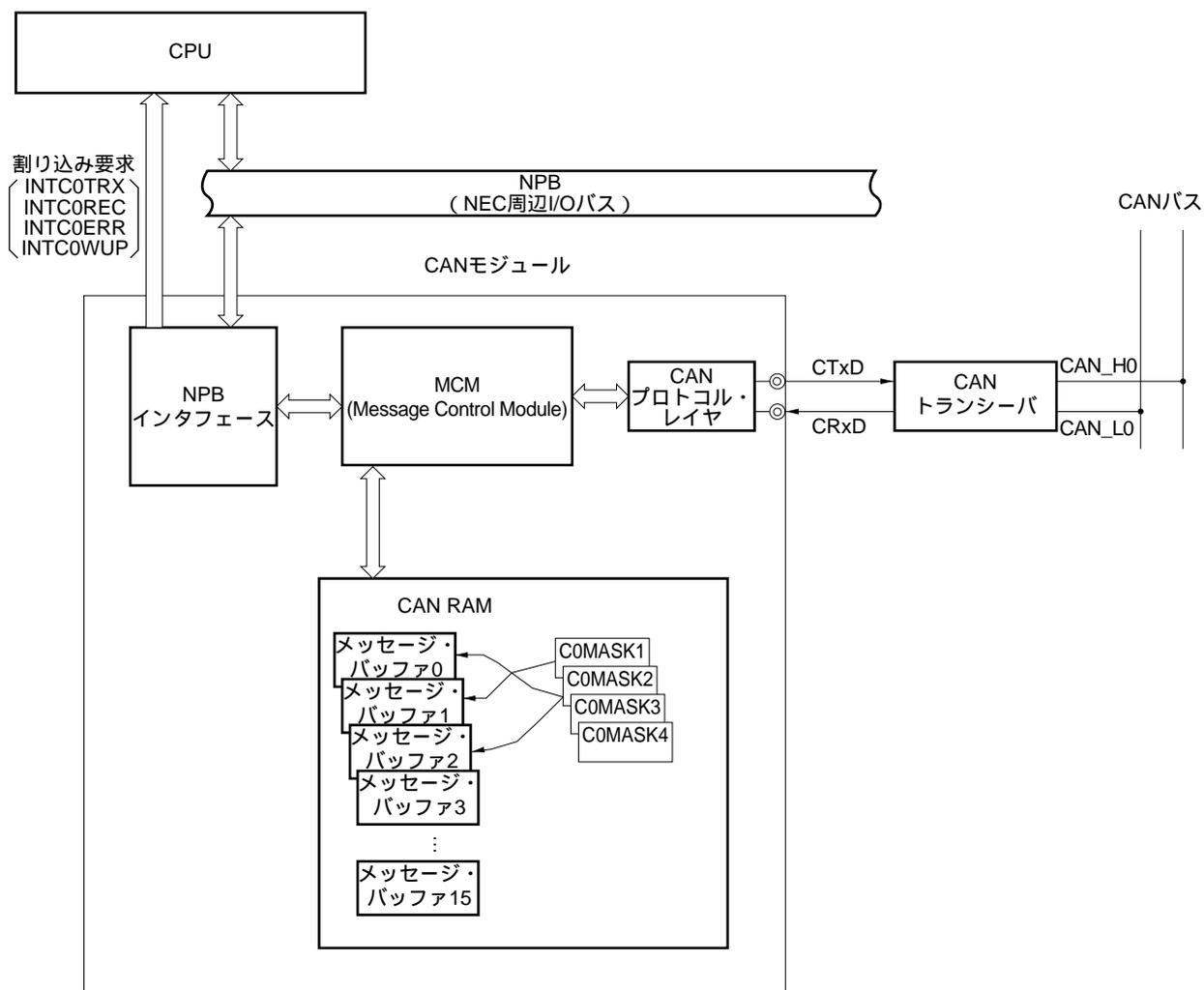
#### (3) CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

#### (4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図15 - 1 CANのブロック図



## 15.2 CANプロトコル

CAN (Controller Area Network) は、車体内リアルタイム通信用 (クラスC) 高速多重通信プロトコルです。CAN はISO 11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディウム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図15 - 2 各レイヤの構成

上位 ↑ ↓ 下位	データ・リンク・レイヤ <sup>注</sup>	<ul style="list-style-type: none"> <li>・ロジカル・リンク・コントロール (LLC)</li> </ul>	<ul style="list-style-type: none"> <li>・アクセプタンス・フィルタリング</li> <li>・オーバーロード通知</li> <li>・リカバリ・マネージメント</li> </ul>
		<ul style="list-style-type: none"> <li>・ミディウム・アクセス・コントロール (MAC)</li> </ul>	<ul style="list-style-type: none"> <li>・フレーム・コーディング (スタッフィング/非スタッフィング)</li> <li>・ミディウム・アクセス・マネージメント</li> <li>・エラー検知</li> <li>・エラー通知</li> <li>・アクノリッジ</li> <li>・シリアル化/非シリアル化</li> </ul>
	物理レイヤ		信号レベル, ビット表現の規定

注 CANコントローラ仕様

## 15.2.1 フレーム・フォーマット

### (1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

### (2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が $2048 \times 2^{18}$ 個になります。
- ・アービトラージ・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合、拡張フォーマット・フレームになります。

## 15.2.2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表15-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

### (1) バスの値

バスの値には、ドミナントとレセシブの2通りがあります。

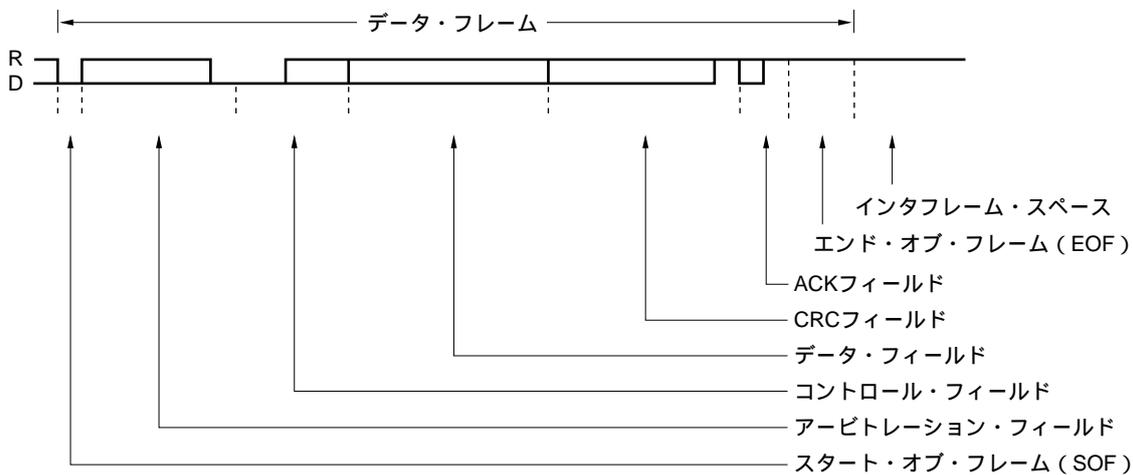
- ・ドミナント・レベルは論理0で表します。
- ・レセシブ・レベルは論理1で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

### 15.2.3 データ・フレーム/リモート・フレーム

#### (1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

図15-3 データ・フレーム



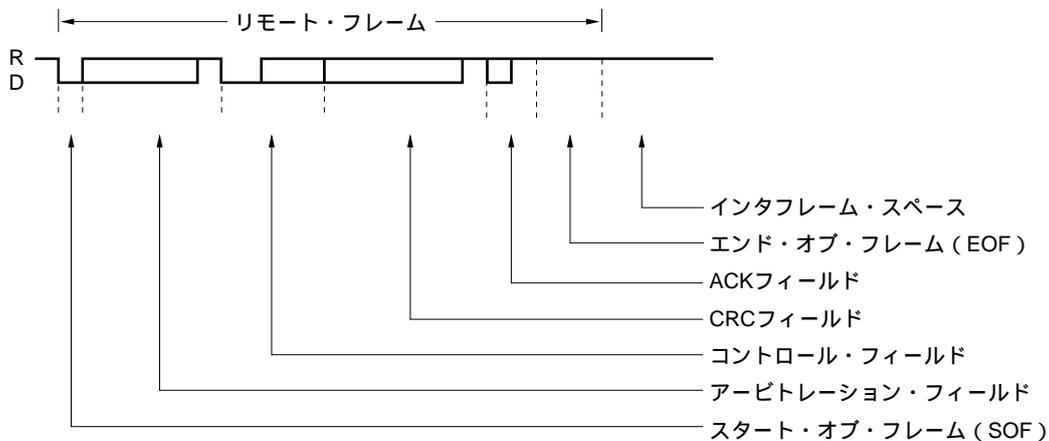
備考 D: ドミナント = 0

R: レセシブ = 1

## (2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図15-4 リモート・フレーム



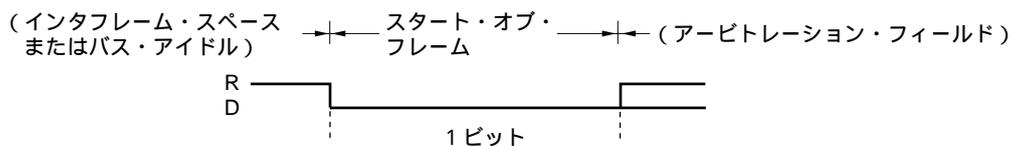
- 備考1. コントロール・フィールドのデータ長コード 0000Bでもデータ・フィールドは転送しません。
2. D: ドミナント = 0  
R: レセシブ = 1

## (3) 各フィールドの説明

## スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図15-5 スタート・オブ・フレーム (SOF)



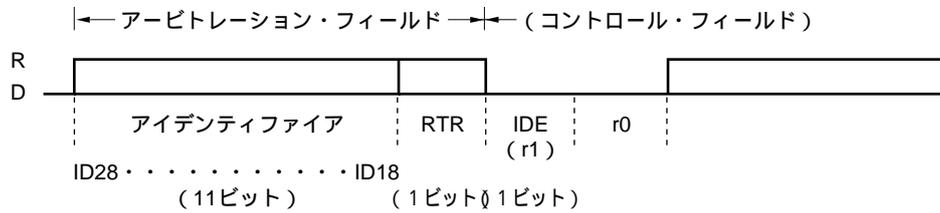
- 備考 D: ドミナント = 0  
R: レセシブ = 1

- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます (その際、該当するTQがシンク・セグメントになります)。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットはSOFになります。もし、レセシブ・レベルが検出されたときは、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

### アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図15-6 アービトレーション・フィールド (標準フォーマット・モード時)



注意1. ID28-ID18は、アイデンティファイアです。

2. アイデンティファイアは、MSBファーストで送信されます。

備考 D: ドミナント = 0

R: レセシブ = 1

図15-7 アービトレーション・フィールド (拡張フォーマット・モード時)



注意1. ID28-ID0は、アイデンティファイアです。

2. アイデンティファイアは、MSBファーストで送信されます。

備考 D: ドミナント = 0

R: レセシブ = 1

表15-3 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

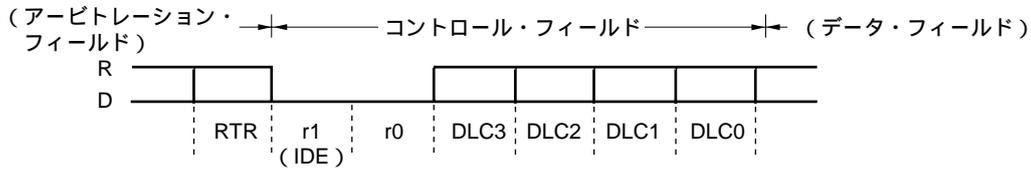
表15-4 フレーム・フォーマットの設定 (IDEビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

### コントロール・フィールド

コントロール・フィールドは、データ・フィールドのデータ・バイト数“N”の設定をします(N = 0-8)。

図15 - 8 コントロール・フィールド



備考 D : ドミナント = 0

R : レセシブ = 1

標準フォーマット・フレームでは、コントロール・フィールドのIDEビットとr1ビットは、同一となります。

表15 - 5 データ長の設定

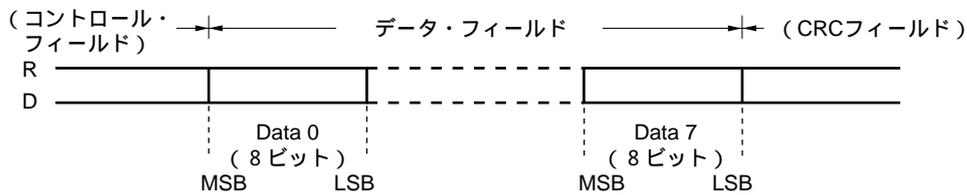
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意 リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。

### データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大8データ設定できます。

図15 - 9 データ・フィールド



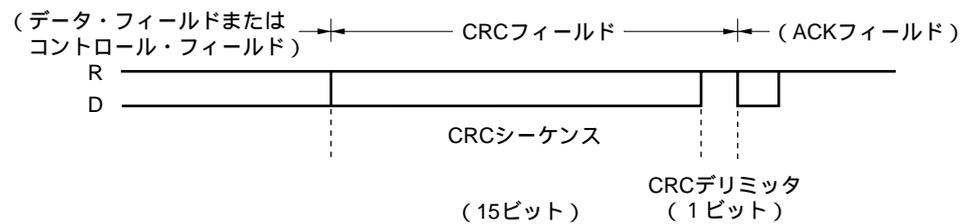
備考 D : ドミナント = 0

R : レセシブ = 1

### CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。

図15 - 10 CRCフィールド



備考 D : ドミナント = 0

R : レセシブ = 1

- ・15ビットのCRCシークエンスを生成する多項式 $P(X)$ は、次のようになります。

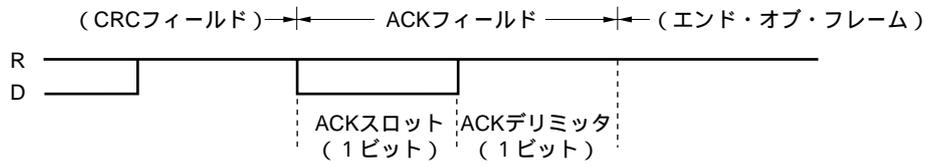
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシークエンスを送信します。
- ・受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシークエンスとCRCフィールドのCRCシークエンスを比較します。一致しない場合、ノードはエラー・フレームを送信します。

### ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図15 - 11 ACKフィールド



**備考** D : ドミナント = 0

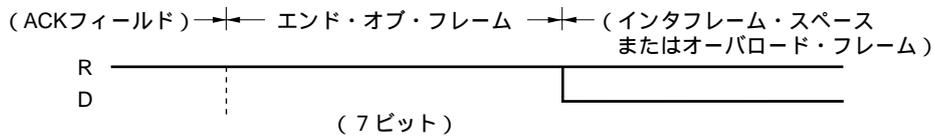
R : レセシブ = 1

- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

### エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図15 - 12 エンド・オブ・フレーム (EOF)



**備考** D : ドミナント = 0

R : レセシブ = 1

### インタフレーム・スペース

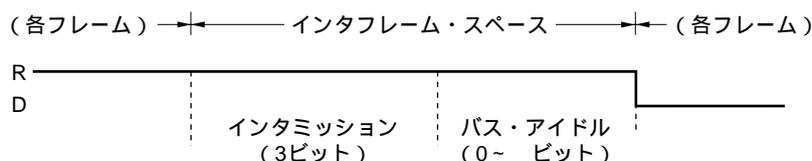
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

#### (a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成

図15 - 13 インタフレーム・スペース（エラー・アクティブ状態のノードの場合）



備考1. バス・アイドル：各ノードがバスを使用していない状態を示します。

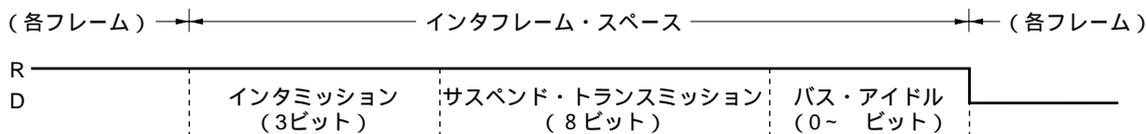
2. D：ドミナント = 0

R：レセシブ = 1

#### (b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成

図15 - 14 インタフレーム・スペース（エラー・パッシブ状態のノードの場合）



備考1. バス・アイドル：各ノードがバスを使用していない状態を示します。

サスペンド・トランスミッション：エラー・パッシブ状態にあるノードにより送信される8ビットのレセシブ

2. D：ドミナント = 0

R：レセシブ = 1

通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

・エラー状態による動作

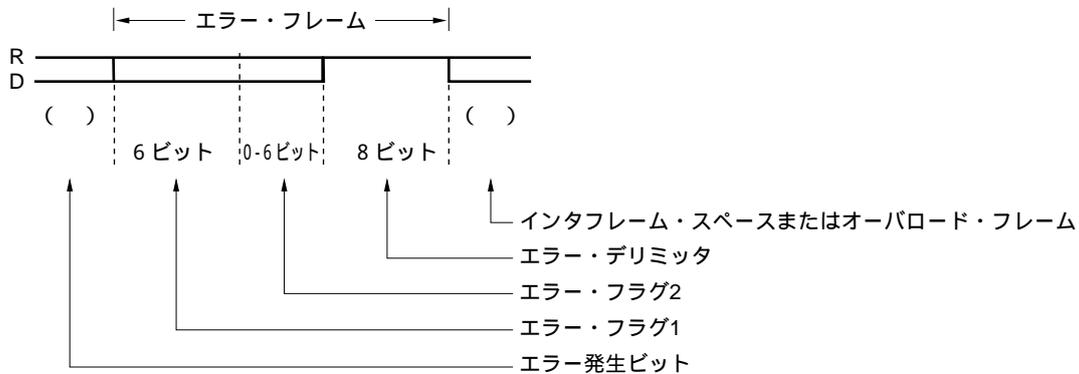
表15 - 6 エラー状態による動作

エラー状態	動作
エラー・アクティブ	3ビットのインタミッション後，ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから，さらに8ビット待つて送信可能状態になります。

### 15.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図15-15 エラー・フレーム



備考 D: ドミナント = 0

R: レセシブ = 1

表15-7 エラー・フレームの各フィールドの定義

No.	名称	ビット数	定義
	エラー・フラグ1	6	エラー・アクティブ・ノード: 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード: 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
	エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
	エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
	エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
	インタフレーム・スペース / オーバロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

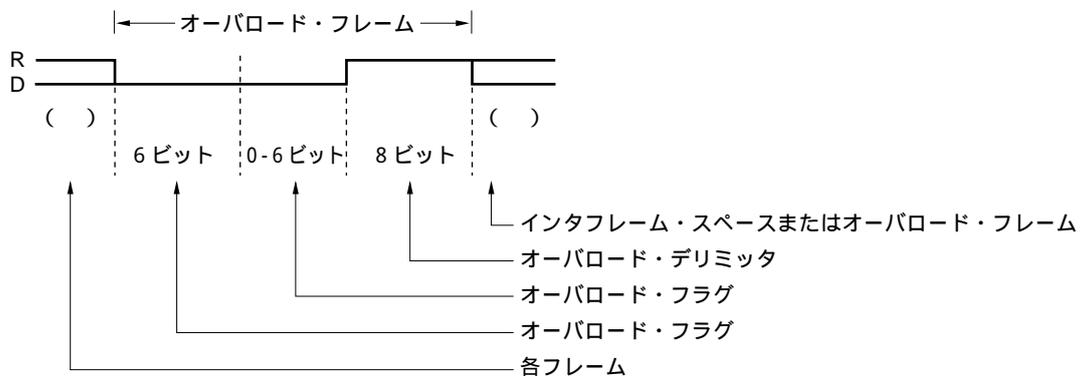
### 15.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき<sup>※</sup>
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット(7ビット目)、またはエラー・デリミッタ/オーバロード・デリミッタの最終ビット(8ビット目)にドミナント・レベルを検出したとき

注 CANでは、内部処理が十分に早いいため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図15-16 オーバロード・フレーム



備考 D : ドミナント = 0

R : レセシブ = 1

表15-8 オーバロード・フレームの各フィールドの定義

No.	名称	ビット数	定義
	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
	他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検索した場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	-	エンド・オブ・フレーム、エラー・デリミッタ、オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース/ オーバロード・フレーム	-	インタフレーム・スペース、またはオーバロード・フレームが続きます。

## 15.3 機能

### 15.3.1 バス・プライオリティの決定

#### (1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

#### (2) 複数のノードが送信を開始した場合

- ・アービトラージン・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります）。
- ・送信ノードは、自分の出力したアービトラージン・フィールドとバス上のデータ・レベルを比較します。

表15 - 9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

#### (3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトラージン・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

**注意** 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合）、標準フォーマット・フレームのリモート・フレームが優先されます。

### 15.3.2 ビット・スタッフ

ビット・スタッフは、バースト・エラーを防ぐために、同一レベルが5ビット連続した場合、1ビットの反転データを付加して、同期をとる仕組みです。

表15 - 10 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

### 15.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため、どのノードでもバス・マスタになることができます。

### 15.3.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

### 15.3.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

### 15.3.6 エラー制御機能

#### (1) エラーの種類

表15 - 11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信 / 受信ノード	フィールド / フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信 / 受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド / フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

#### (2) エラー・フレームの出力タイミング

表15 - 12 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

### (3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。  
(ただし、シングル・ショット・モード時には再送は行いません。)

### (4) エラー状態

#### (a) エラー状態の種類

CANスベックで規定されているエラーの状態には次の3種類があります。

エラー・アクティブ

エラー・パッシブ

バスオフ

これらは、CANエラー・カウンタ・レジスタ (C0ERC) のTEC7-TEC0ビット (送信エラー・カウンタ・ビット) およびREC6-REC0ビット (受信エラー・カウンタ・ビット) の値によって表15 - 13のように分類されます。

現在のエラー状態はCANモジュール情報レジスタ (C0INFO) に表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル (96) 以上になると、C0INFOレジスタのTECS0ビットあるいはRECS0ビットが1にセットされます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると、エラー・パッシブ状態となり、C0INFOレジスタのTECS1ビットあるいはRECS1ビットがセット(1)されます。

- ・送信エラー・カウンタ値が256以上 (実際には送信エラー・カウンタ値は256以上の値は表示しません) になると、バスオフ状態となり、C0INFOレジスタのBOFFビットがセット (1) されます。
- ・スタート・アップ時、バス上に1個のノードしかアクティブでない場合 (= 自局のみバスに接続されているような特定のケース)、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとの送信エラー・カウンタはインクリメントされず、バスオフには移行しません。

表15 - 13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	C0INFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて8ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128以上	RECS1, RECS0が11	
バスオフ	送信	256以上(表示はしない) <sup>注</sup>	BOFFが1, TECS1, TECS0が11	・通信できません。 ただし、フレーム受信時にメッセージは格納しませんが、以下の , , の動作を行います。 TSOUTがトグルします。 RECが +/- します。 VALIDビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11ビット連続したレセシブ・レベルが128回発生すると、エラー・カウンタが0にリセットされ、エラー・アクティブ状態に戻ることができます。

**注** 送信エラー・カウンタ (TEC) の値は、BOFFビットがセットされたときには意味を持ちません。送信エラー・カウンタが248-255の範囲の値のとき、さらに+8のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにバスオフ状態となります。

## (b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表15 - 14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0ビット)	受信エラー・カウンタ (REC6-REC0ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPSビット = 0時)
受信ノードがエラー・フレームのエラー・フラグ出力の次に ドミナント・レベルを検出	変化なし	+8 (REPSビット = 0時)
送信ノードがエラー・フラグを送信 [ 例外として、次の場合のエラー・カウンタは変化しません ] エラー・パッシブ状態で、ACKエラーを検出しパッシブ・ エラー・フラグを出力中にドミナント・レベルを未検出 アービトラージョン・フィールド中にスタッフ・エラーを 検出し、それがスタッフ・ビットとしてレセシブ・レベル を送信したが、ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中 のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中 のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPSビット = 0時)
各ノードがアクティブ・エラー・フラグ, オーバロード・フ ラグの最初から14個の連続したドミナント・レベルを検出 、およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと、8個連続のドミ ナント・レベルを検出	+8 (送信時)	+8 (受信時, REPSビッ ト = 0時)
送信ノードがエラーなしで、送信を完了 (エラー・カウンタ = 0の場合は±0)	- 1	変化なし
受信ノードがエラーなしで、受信を完了	変化なし	・ - 1 (1 REC6-REC0 127, REPSビット = 0時) ・ ±0 (REC6-REC0 = 0, REPSビット = 0時) ・ 119 ~ 127のいずれかの値 をセット (REPSビット = 1時)

## (c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

**注意** エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エ  
ラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力し  
たあとに加算します。

### (5) バスオフ状態からの復帰動作

CANモジュールが、バスオフ状態になった場合、CANバスから切り離された送信端子 (CTxD) は、常にレセシブ・レベルの出力となります。

バスオフ状態からの復帰は、以下に示すバスオフ復帰 (リカバリ) シーケンスにより行います。

CAN初期化モードへの移行要求

CAN動作モードへの移行要求

(a) 通常リカバリ・シーケンスによる復帰動作

(b) リカバリ・シーケンスをスキップする強制復帰動作

#### (a) 通常リカバリ・シーケンスによるバスオフからの復帰動作

まず、初期化モードへの移行要求を行います (図15 - 17中のタイミング 参照)。この移行要求はただちに受け付けられ、C0CTRLレジスタのOPMODEビットは000Bとなります。アプリケーション・ソフトウェアにより、バスオフの原因となった故障の解析、CANモジュールおよびメッセージ・バッファの再定義、あるいはGOMビットをクリア(0)することで、CANモジュール自体の動作停止といった処置を行うことが可能です。

次に、初期化モードから任意の動作モードへの移行要求を行います (図15 - 17中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バスオフからのリカバリ動作が開始されます。バスオフからのリカバリ条件は、CANプロトコルISO11898に規定されており、11ビットの連続したレセシブ・ビットを128回検出することが必要です。このとき、任意の動作モードへの移行要求はバスオフのリカバリ条件が満足するまでは保留され、バスオフのリカバリ条件が満足した時点 (図15 - 17中のタイミング 参照)でCANモジュールは要求された動作モードに移行します。この間、CANモジュールは初期化モードを維持し、任意の動作モードへの移行の完了は、C0CTRLレジスタのOPMODEビットをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE [2:0] = 000Bがリードされます。

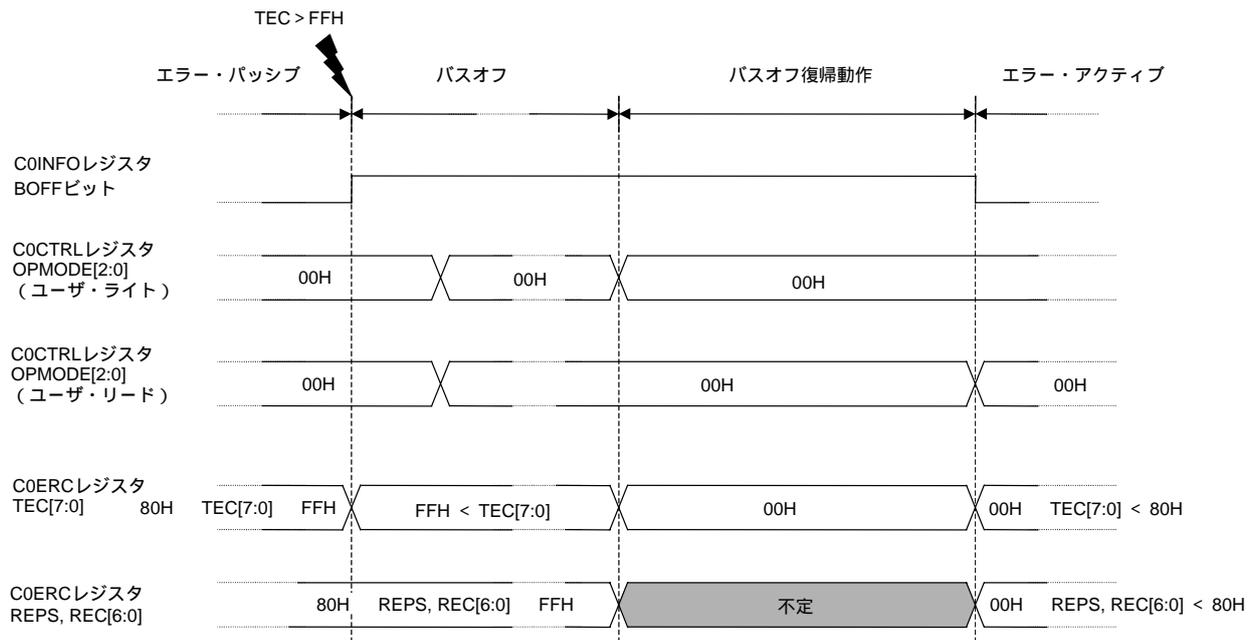
バスオフ期間中およびバスオフ・リカバリ・シーケンス中は、C0INFOレジスタのBOFFビットはセット (1) を継続します。バスオフ・リカバリ・シーケンスは、受信エラー・カウンタ (REC[6:0]) により、バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC[6:0]ビットをリードすることにより復帰状況を確認することができます。

**注意1.** バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバスオフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。

**2.** バスオフ・リカバリ・シーケンス中は、REC [6:0]ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウントアップ (+1) します。

バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには、初期化モードにいったん移行する必要がありますが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへは移行することができません。この場合は、初期化モードへの移行を行われなくても、CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウェアによるPSMODEビットのクリアのほかにも、CANバス上のドミナント・エッジ検知によるウエイク・アップによっても、バスオフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるPSMODEのクリアが必要になります)。

図15 - 17 通常リカバリ・シーケンスによるバスオフからの復帰動作



#### (b) バスオフ・リカバリ・シーケンスをスキップする強制復帰動作

バスオフ・リカバリ・シーケンスをスキップすることで、バスの状態によらずCANモジュールを強制的にバスオフから復帰させることが可能です。手順を以下に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、前述の(a) **通常リカバリ・シーケンスによるバスオフからの復帰動作**を参照してください。

次に、任意の動作モードへの移行要求を行い、同時にC0CTRLレジスタのCCERCビットをセット(1)します。

これにより、CANプロトコルISO11898で規定されているバスオフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は、図15 - 56の処理を参照してください。

**注意** この機能は、CANプロトコルISO11898に規定されておりませんので、ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。

### (6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ(C0ERC)の初期化

プログラム・デバッグや評価のために、CANモジュール・エラー・カウンタ・レジスタ (C0ERC)、およびCANモジュール情報レジスタ (C0INFO) の初期化が必要となる場合には、初期化モード中にC0CTRLレジスタのCCERCビットをセット(1)することで、C0ERC、C0INFOレジスタは初期値に初期化されます。初期化が完了すると、CCERCビットは自動的にクリア(0)されます。

- 注意 1.** この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット(1)したとしても、C0ERC、C0INFOレジスタは初期化されません。
- 2.** CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。

## 15.3.7 ボー・レート制御機能

### (1) プリスケーラ

CANコントローラは、CANへの供給クロック ( $f_{CAN}$ ) を分周するプリスケーラを持っています。また、プリスケーラは、CANモジュール・システム・クロック ( $f_{CANMOD}$ ) を1-256分周したCANプロトコル・レイヤ基本クロック ( $f_{TQ}$ ) を発生します (15.7(12) CANモジュール・ビットレート・プリスケーラ・レジスタ (C0BRP) 参照)。

### (2) データ・ビット・タイム (8-25 Time Quantum)

1データ・ビット・タイムは、図15-18のように定義されています。図15-18で示すようなタイム・セグメント1、タイム・セグメント2、同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定されます。

タイム・セグメント1は、CANプロトコル使用で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は、フェーズ・セグメント2に該当します。

図15 - 18 セグメントの設定



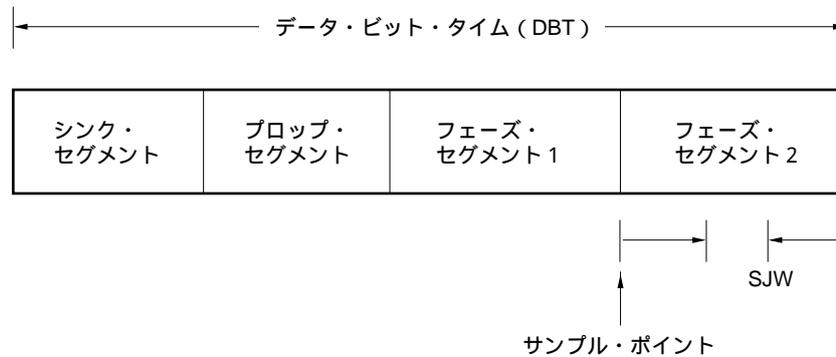
セグメント名	設定可能範囲	CANスペック準拠のための設定上の注意
タイム・セグメント1 (TSEG1)	2TQ-16TQ	-
タイム・セグメント2 (TSEG2)	1TQ-8TQ	CANコントローラのIPTは0TQです。このため、CANプロトコル仕様に準拠するためには、フェーズ・セグメント1と等しい長さがここに設定されなければなりません。すなわち、タイム・セグメント1の長さから1TQを引いた長さがタイム・セグメント2の設定上限となります。
同期ジャンプ幅 (SJW)	1TQ-4TQ	タイム・セグメント1から1TQを引いた長さまたは4TQの小さいほうの値。

備考 IPT : Information Processing Time

TQ : Time Quanta

参考 CAN標準仕様ISO11898では、データ・ビット・タイムを構成する各セグメントは、図15 - 19のように規定されています。

図15 - 19 CANスペック上でのデータ・ビット・タイムの構成



セグメント名	セグメント長	説明
シンク・セグメント (Synchronization Segment)	1	ハードウェア同期がかかると、レセプティブからドミナントに移行するエッジでこのセグメントが始まります。
プロップ・セグメント (Propagation Segment)	1-8のプログラマブル、またはそれ以上	出力バッファ、CANバス、入力バッファの遅延を吸収するためのセグメントです。 フェーズ・セグメント1の開始までにACKが戻ってくるように設定します。 プロップ・セグメントの時間 (出力バッファの遅延) + 2 × (CANバスの遅延) + (入力バッファの遅延)
フェーズ・セグメント1 (Phase Buffer Segment 1)	1-8のプログラマブル	データ・ビット・タイムの誤差を補償するためのセグメントで、大きいほど許容範囲が大きくとれますが、通信スピードは遅くなります。
フェーズ・セグメント2 (Phase Buffer Segment 2)	フェーズ・セグメント1とIPTとのうち大きい方の値	
SJW (reSynchronization Jump Width)	1TQからセグメント1TQまたは4TQの小さい方までの範囲でプログラマブル	再同期の際のフェーズ・セグメントの伸縮の上限を設定します。

備考 IPT : Information Processing Time

TQ : Time Quanta

**(3) データ・ビットの同期**

- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

**(a) ハードウェア同期**

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのTQがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。

**図15 - 20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期**



## (b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセプ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。

< 位相誤差の符号 >

0：エッジがシンク・セグメント内にある場合

正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）

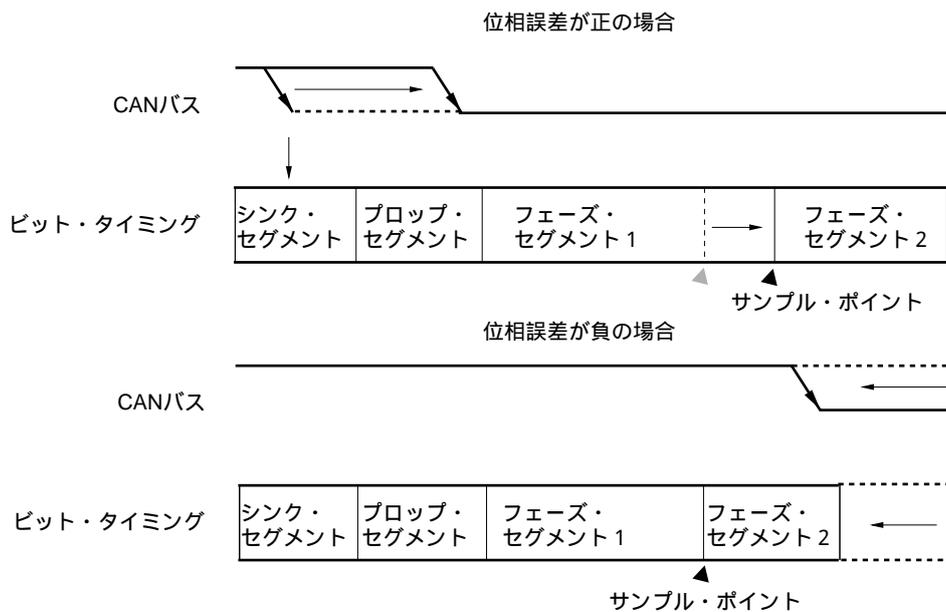
負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）

位相誤差が正の場合：フェーズ・セグメント1は指定したSJV分だけ長くなります。

位相誤差が負の場合：フェーズ・セグメント2は指定したSJV分だけ短くなります。

- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

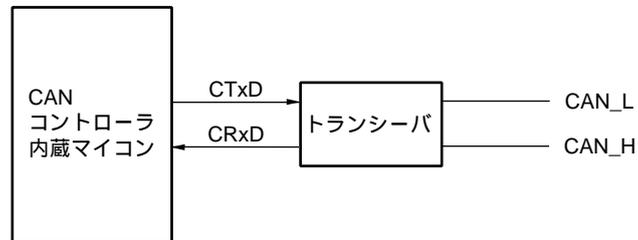
図15 - 21 再同期



## 15.4 ターゲット・システムとの接続

CANモジュールは、外部トランシーバを使用してCANバスに接続しなければなりません。

図15 - 22 CANバスへの接続



## 15.5 CANコントローラの内部レジスタ

### 15.5.1 CANコントローラの構成

表15 - 15 CANコントローラのレジスタ一覧

項 目	レジスタ名
CANグローバル・レジスタ	CANグローバル・モジュール制御レジスタ (C0GMCTRL)
	CANグローバル・モジュール・クロック選択レジスタ (C0GMCS)
	CANグローバル自動ブロック送信制御レジスタ (C0GMABT)
	CANグローバル自動ブロック送信遅延レジスタ (C0GMABTD)
CANモジュール・レジスタ	CANモジュール・マスク1レジスタ (C0MASK1L, C0MASK1H)
	CANモジュール・マスク2レジスタ (C0MASK2L, C0MASK2H)
	CANモジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)
	CANモジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)
	CANモジュール制御レジスタ (C0CTRL)
	CANモジュール最終エラー・レジスタ (C0LEC)
	CANモジュール情報レジスタ (C0INFO)
	CANモジュール・エラー・カウンタ・レジスタ (C0ERC)
	CANモジュール割り込み許可レジスタ (C0IE)
	CANモジュール割り込みステータス・レジスタ (C0INTS)
	CANモジュール・ビットレート・プリスケラ・レジスタ (C0BRP)
	CANモジュール・ビットレート・レジスタ (C0BTR)
	CANモジュール最終受信ポインタ・レジスタ (C0LIPT)
	CANモジュール受信履歴・リスト・レジスタ (C0RGPT)
	CANモジュール最終送信ポインタ・レジスタ (C0LOPT)
	CANモジュール送信履歴・リスト・レジスタ (C0TGPT)
	CANモジュール・タイム・スタンプ・レジスタ (C0TS)
メッセージ・バッファ・レジスタ	CANメッセージ・データ・バイト01レジスタm (C0MDATA01m)
	CANメッセージ・データ・バイト0レジスタm (C0MDATA0m)
	CANメッセージ・データ・バイト1レジスタm (C0MDATA1m)
	CANメッセージ・データ・バイト23レジスタm (C0MDATA23m)
	CANメッセージ・データ・バイト2レジスタm (C0MDATA2m)
	CANメッセージ・データ・バイト3レジスタm (C0MDATA3m)
	CANメッセージ・データ・バイト45レジスタm (C0MDATA45m)
	CANメッセージ・データ・バイト4レジスタm (C0MDATA4m)
	CANメッセージ・データ・バイト5レジスタm (C0MDATA5m)
	CANメッセージ・データ・バイト67レジスタm (C0MDATA67m)
	CANメッセージ・データ・バイト6レジスタm (C0MDATA6m)
	CANメッセージ・データ・バイト7レジスタm (C0MDATA7m)
	CANメッセージ・データ長レジスタm (C0MDLCm)
	CANメッセージ・コンフィギュレーション・レジスタm (C0MCONFm)
	CANメッセージIDレジスタm (C0MIDLm, C0MIDHm)
CANメッセージ制御レジスタm (C0MCTRLm)	

備考1. CANグローバル・レジスタは、C0GM<レジスタ機能>によって定義されます。

CANモジュール・レジスタは、C0<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、C0M<レジスタ機能>によって定義されます。

2. m = 00-15

## 15.5.2 レジスタ・アクセス・タイプ

表15-16 レジスタ・アクセス・タイプ (1/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA00H	CAN0メッセージ・データ・バイト01レジスタ00	C0MDATA0100	R/W				不定
FA00H	CAN0メッセージ・データ・バイト0レジスタ00	C0MDATA0000					不定
FA01H	CAN0メッセージ・データ・バイト1レジスタ00	C0MDATA1000					不定
FA02H	CAN0メッセージ・データ・バイト23レジスタ00	C0MDATA2300					不定
FA02H	CAN0メッセージ・データ・バイト2レジスタ00	C0MDATA2000					不定
FA03H	CAN0メッセージ・データ・バイト3レジスタ00	C0MDATA3000					不定
FA04H	CAN0メッセージ・データ・バイト45レジスタ00	C0MDATA4500					不定
FA04H	CAN0メッセージ・データ・バイト4レジスタ00	C0MDATA4000					不定
FA05H	CAN0メッセージ・データ・バイト5レジスタ00	C0MDATA5000					不定
FA06H	CAN0メッセージ・データ・バイト67レジスタ00	C0MDATA6700					不定
FA06H	CAN0メッセージ・データ・バイト6レジスタ00	C0MDATA6000					不定
FA07H	CAN0メッセージ・データ・バイト7レジスタ00	C0MDATA7000					不定
FA08H	CAN0メッセージ・データ長レジスタ00	C0MDLC00					0000xxxxB
FA09H	CAN0メッセージ・コンフィギュレーション・レジスタ00	C0MCONF00					不定
FA0AH	CAN0メッセージIDレジスタ00	C0MIDL00					不定
FA0CH		C0MIDH00					不定
FA0EH	CAN0メッセージ制御レジスタ00	C0MCTRL00					00x00000 000xx000B
FA10H	CAN0メッセージ・データ・バイト01レジスタ01	C0MDATA0101					不定
FA10H	CAN0メッセージ・データ・バイト0レジスタ01	C0MDATA0001					不定
FA11H	CAN0メッセージ・データ・バイト1レジスタ01	C0MDATA1001					不定
FA12H	CAN0メッセージ・データ・バイト23レジスタ01	C0MDATA2301					不定
FA12H	CAN0メッセージ・データ・バイト2レジスタ01	C0MDATA2001					不定
FA13H	CAN0メッセージ・データ・バイト3レジスタ01	C0MDATA3001					不定
FA14H	CAN0メッセージ・データ・バイト45レジスタ01	C0MDATA4501					不定
FA14H	CAN0メッセージ・データ・バイト4レジスタ01	C0MDATA4001					不定
FA15H	CAN0メッセージ・データ・バイト5レジスタ01	C0MDATA5001					不定
FA16H	CAN0メッセージ・データ・バイト67レジスタ01	C0MDATA6701					不定
FA16H	CAN0メッセージ・データ・バイト6レジスタ01	C0MDATA6001					不定
FA17H	CAN0メッセージ・データ・バイト7レジスタ01	C0MDATA7001					不定
FA18H	CAN0メッセージ・データ長レジスタ01	C0MDLC01					0000xxxxB
FA19H	CAN0メッセージ・コンフィギュレーション・レジスタ01	C0MCONF01				不定	
FA1AH	CAN0メッセージIDレジスタ01	C0MIDL01				不定	
FA1CH		C0MIDH01				不定	
FA1EH	CAN0メッセージ制御レジスタ01	C0MCTRL01				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (2/9)

アドレス	機能レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1	8	16	
FA20H	CAN0メッセージ・データ・バイト01レジスタ02	COMDATA0102	R/W				不定
FA20H	CAN0メッセージ・データ・バイト0レジスタ02	COMDATA002					不定
FA21H	CAN0メッセージ・データ・バイト1レジスタ02	COMDATA102					不定
FA22H	CAN0メッセージ・データ・バイト23レジスタ02	COMDATA2302					不定
FA22H	CAN0メッセージ・データ・バイト2レジスタ02	COMDATA202					不定
FA23H	CAN0メッセージ・データ・バイト3レジスタ02	COMDATA302					不定
FA24H	CAN0メッセージ・データ・バイト45レジスタ02	COMDATA4502					不定
FA24H	CAN0メッセージ・データ・バイト4レジスタ02	COMDATA402					不定
FA25H	CAN0メッセージ・データ・バイト5レジスタ02	COMDATA502					不定
FA26H	CAN0メッセージ・データ・バイト67レジスタ02	COMDATA6702					不定
FA26H	CAN0メッセージ・データ・バイト6レジスタ02	COMDATA602					不定
FA27H	CAN0メッセージ・データ・バイト7レジスタ02	COMDATA702					不定
FA28H	CAN0メッセージ・データ長レジスタ02	COMDLC02					0000xxxxB
FA29H	CAN0メッセージ・コンフィギュレーション・レジスタ02	COMCONF02					不定
FA2AH	CAN0メッセージIDレジスタ02	COMIDL02					不定
FA2CH		COMIDH02					不定
FA2EH	CAN0メッセージ制御レジスタ02	COMCTRL02					00x00000 000xx000B
FA30H	CAN0メッセージ・データ・バイト01レジスタ03	COMDATA0103					不定
FA30H	CAN0メッセージ・データ・バイト0レジスタ03	COMDATA003					不定
FA31H	CAN0メッセージ・データ・バイト1レジスタ03	COMDATA103					不定
FA32H	CAN0メッセージ・データ・バイト23レジスタ03	COMDATA2303					不定
FA32H	CAN0メッセージ・データ・バイト2レジスタ03	COMDATA203					不定
FA33H	CAN0メッセージ・データ・バイト3レジスタ03	COMDATA303					不定
FA34H	CAN0メッセージ・データ・バイト45レジスタ03	COMDATA4503					不定
FA34H	CAN0メッセージ・データ・バイト4レジスタ03	COMDATA403					不定
FA35H	CAN0メッセージ・データ・バイト5レジスタ03	COMDATA503					不定
FA36H	CAN0メッセージ・データ・バイト67レジスタ03	COMDATA6703					不定
FA36H	CAN0メッセージ・データ・バイト6レジスタ03	COMDATA603					不定
FA37H	CAN0メッセージ・データ・バイト7レジスタ03	COMDATA703				不定	
FA38H	CAN0メッセージ・データ長レジスタ03	COMDLC03				0000xxxxB	
FA39H	CAN0メッセージ・コンフィギュレーション・レジスタ03	COMCONF03				不定	
FA3AH	CAN0メッセージIDレジスタ03	COMIDL03				不定	
FA3CH		COMIDH03				不定	
FA3EH	CAN0メッセージ制御レジスタ03	COMCTRL03				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (3/9)

アドレス	機能レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1	8	16	
FA40H	CAN0メッセージ・データ・バイト01レジスタ04	C0MDATA0104	R/W				不定
FA40H	CAN0メッセージ・データ・バイト0レジスタ04	C0MDATA004					不定
FA41H	CAN0メッセージ・データ・バイト1レジスタ04	C0MDATA104					不定
FA42H	CAN0メッセージ・データ・バイト23レジスタ04	C0MDATA2304					不定
FA42H	CAN0メッセージ・データ・バイト2レジスタ04	C0MDATA204					不定
FA43H	CAN0メッセージ・データ・バイト3レジスタ04	C0MDATA304					不定
FA44H	CAN0メッセージ・データ・バイト45レジスタ04	C0MDATA4504					不定
FA44H	CAN0メッセージ・データ・バイト4レジスタ04	C0MDATA404					不定
FA45H	CAN0メッセージ・データ・バイト5レジスタ04	C0MDATA504					不定
FA46H	CAN0メッセージ・データ・バイト67レジスタ04	C0MDATA6704					不定
FA46H	CAN0メッセージ・データ・バイト6レジスタ04	C0MDATA604					不定
FA47H	CAN0メッセージ・データ・バイト7レジスタ04	C0MDATA704					不定
FA48H	CAN0メッセージ・データ長レジスタ04	C0MDLC04					0000xxxxB
FA49H	CAN0メッセージ・コンフィギュレーション・レジスタ04	C0MCONF04					不定
FA4AH	CAN0メッセージIDレジスタ04	C0MIDL04					不定
FA4CH		C0MIDH04					不定
FA4EH	CAN0メッセージ制御レジスタ04	C0MCTRL04					00x00000 000xx000B
FA50H	CAN0メッセージ・データ・バイト01レジスタ05	C0MDATA0105					不定
FA50H	CAN0メッセージ・データ・バイト0レジスタ05	C0MDATA005					不定
FA51H	CAN0メッセージ・データ・バイト1レジスタ05	C0MDATA105					不定
FA52H	CAN0メッセージ・データ・バイト23レジスタ05	C0MDATA2305					不定
FA52H	CAN0メッセージ・データ・バイト2レジスタ05	C0MDATA205					不定
FA53H	CAN0メッセージ・データ・バイト3レジスタ05	C0MDATA305					不定
FA54H	CAN0メッセージ・データ・バイト45レジスタ05	C0MDATA4505					不定
FA54H	CAN0メッセージ・データ・バイト4レジスタ05	C0MDATA405					不定
FA55H	CAN0メッセージ・データ・バイト5レジスタ05	C0MDATA505					不定
FA56H	CAN0メッセージ・データ・バイト67レジスタ05	C0MDATA6705					不定
FA56H	CAN0メッセージ・データ・バイト6レジスタ05	C0MDATA605					不定
FA57H	CAN0メッセージ・データ・バイト7レジスタ05	C0MDATA705					不定
FA58H	CAN0メッセージ・データ長レジスタ05	C0MDLC05					0000xxxxB
FA59H	CAN0メッセージ・コンフィギュレーション・レジスタ05	C0MCONF05					不定
FA5AH	CAN0メッセージIDレジスタ05	C0MIDL05					不定
FA5CH		C0MIDH05					不定
FA5EH	CAN0メッセージ制御レジスタ05	C0MCTRL05				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (4/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA60H	CAN0メッセージ・データ・バイト01レジスタ06	C0MDATA0106	R/W				不定
FA60H	CAN0メッセージ・データ・バイト0レジスタ06	C0MDATA006					不定
FA61H	CAN0メッセージ・データ・バイト1レジスタ06	C0MDATA106					不定
FA62H	CAN0メッセージ・データ・バイト23レジスタ06	C0MDATA2306					不定
FA62H	CAN0メッセージ・データ・バイト2レジスタ06	C0MDATA206					不定
FA63H	CAN0メッセージ・データ・バイト3レジスタ06	C0MDATA306					不定
FA64H	CAN0メッセージ・データ・バイト45レジスタ06	C0MDATA4506					不定
FA64H	CAN0メッセージ・データ・バイト4レジスタ06	C0MDATA406					不定
FA65H	CAN0メッセージ・データ・バイト5レジスタ06	C0MDATA506					不定
FA66H	CAN0メッセージ・データ・バイト67レジスタ06	C0MDATA6706					不定
FA66H	CAN0メッセージ・データ・バイト6レジスタ06	C0MDATA606					不定
FA67H	CAN0メッセージ・データ・バイト7レジスタ06	C0MDATA706					不定
FA68H	CAN0メッセージ・データ長レジスタ06	C0MDLC06					0000xxxxB
FA69H	CAN0メッセージ・コンフィギュレーション・レジスタ06	C0MCONF06					不定
FA6AH	CAN0メッセージIDレジスタ06	C0MIDL06					不定
FA6CH		C0MIDH06					不定
FA6EH	CAN0メッセージ制御レジスタ06	C0MCTRL06					00x00000 000xx000B
FA70H	CAN0メッセージ・データ・バイト01レジスタ07	C0MDATA0107					不定
FA70H	CAN0メッセージ・データ・バイト0レジスタ07	C0MDATA007					不定
FA71H	CAN0メッセージ・データ・バイト1レジスタ07	C0MDATA107					不定
FA72H	CAN0メッセージ・データ・バイト23レジスタ07	C0MDATA2307					不定
FA72H	CAN0メッセージ・データ・バイト2レジスタ07	C0MDATA207					不定
FA73H	CAN0メッセージ・データ・バイト3レジスタ07	C0MDATA307					不定
FA74H	CAN0メッセージ・データ・バイト45レジスタ07	C0MDATA4507					不定
FA74H	CAN0メッセージ・データ・バイト4レジスタ07	C0MDATA407					不定
FA75H	CAN0メッセージ・データ・バイト5レジスタ07	C0MDATA507					不定
FA76H	CAN0メッセージ・データ・バイト67レジスタ07	C0MDATA6707					不定
FA76H	CAN0メッセージ・データ・バイト6レジスタ07	C0MDATA607				不定	
FA77H	CAN0メッセージ・データ・バイト7レジスタ07	C0MDATA707				不定	
FA78H	CAN0メッセージ・データ長レジスタ07	C0MDLC07				0000xxxxB	
FA79H	CAN0メッセージ・コンフィギュレーション・レジスタ07	C0MCONF07				不定	
FA7AH	CAN0メッセージIDレジスタ07	C0MIDL07				不定	
FA7CH		C0MIDH07				不定	
FA7EH	CAN0メッセージ制御レジスタ07	C0MCTRL07				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (5/9)

アドレス	機能レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1	8	16	
FA80H	CAN0メッセージ・データ・バイト01レジスタ08	C0MDATA0108	R/W				不定
FA80H	CAN0メッセージ・データ・バイト0レジスタ08	C0MDATA008					不定
FA81H	CAN0メッセージ・データ・バイト1レジスタ08	C0MDATA108					不定
FA82H	CAN0メッセージ・データ・バイト23レジスタ08	C0MDATA2308					不定
FA82H	CAN0メッセージ・データ・バイト2レジスタ08	C0MDATA208					不定
FA83H	CAN0メッセージ・データ・バイト3レジスタ08	C0MDATA308					不定
FA84H	CAN0メッセージ・データ・バイト45レジスタ08	C0MDATA4508					不定
FA84H	CAN0メッセージ・データ・バイト4レジスタ08	C0MDATA408					不定
FA85H	CAN0メッセージ・データ・バイト5レジスタ08	C0MDATA508					不定
FA86H	CAN0メッセージ・データ・バイト67レジスタ08	C0MDATA6708					不定
FA86H	CAN0メッセージ・データ・バイト6レジスタ08	C0MDATA608					不定
FA87H	CAN0メッセージ・データ・バイト7レジスタ08	C0MDATA708					不定
FA88H	CAN0メッセージ・データ長レジスタ08	C0MDLC08					0000xxxxB
FA89H	CAN0メッセージ・コンフィギュレーション・レジスタ08	C0MCONF08					不定
FA8AH	CAN0メッセージIDレジスタ08	C0MIDL08					不定
FA8CH		C0MIDH08					不定
FA8EH	CAN0メッセージ制御レジスタ08	C0MCTRL08					00x00000 000xx000B
FA90H	CAN0メッセージ・データ・バイト01レジスタ09	C0MDATA0109					不定
FA90H	CAN0メッセージ・データ・バイト0レジスタ09	C0MDATA009					不定
FA91H	CAN0メッセージ・データ・バイト1レジスタ09	C0MDATA109					不定
FA92H	CAN0メッセージ・データ・バイト23レジスタ09	C0MDATA2309					不定
FA92H	CAN0メッセージ・データ・バイト2レジスタ09	C0MDATA209					不定
FA93H	CAN0メッセージ・データ・バイト3レジスタ09	C0MDATA309					不定
FA94H	CAN0メッセージ・データ・バイト45レジスタ09	C0MDATA4509					不定
FA94H	CAN0メッセージ・データ・バイト4レジスタ09	C0MDATA409					不定
FA95H	CAN0メッセージ・データ・バイト5レジスタ09	C0MDATA509					不定
FA96H	CAN0メッセージ・データ・バイト67レジスタ09	C0MDATA6709					不定
FA96H	CAN0メッセージ・データ・バイト6レジスタ09	C0MDATA609					不定
FA97H	CAN0メッセージ・データ・バイト7レジスタ09	C0MDATA709					不定
FA98H	CAN0メッセージ・データ長レジスタ09	C0MDLC09					0000xxxxB
FA99H	CAN0メッセージ・コンフィギュレーション・レジスタ09	C0MCONF09				不定	
FA9AH	CAN0メッセージIDレジスタ09	C0MIDL09				不定	
FA9CH		C0MIDH09				不定	
FA9EH	CAN0メッセージ制御レジスタ09	C0MCTRL09				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (6/9)

アドレス	機能レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1	8	16	
FAA0H	CAN0メッセージ・データ・バイト01レジスタ10	C0MDATA0110	R/W				不定
FAA0H	CAN0メッセージ・データ・バイト0レジスタ10	C0MDATA010					不定
FAA1H	CAN0メッセージ・データ・バイト1レジスタ10	C0MDATA110					不定
FAA2H	CAN0メッセージ・データ・バイト23レジスタ10	C0MDATA2310					不定
FAA2H	CAN0メッセージ・データ・バイト2レジスタ10	C0MDATA210					不定
FAA3H	CAN0メッセージ・データ・バイト3レジスタ10	C0MDATA310					不定
FAA4H	CAN0メッセージ・データ・バイト45レジスタ10	C0MDATA4510					不定
FAA4H	CAN0メッセージ・データ・バイト4レジスタ10	C0MDATA410					不定
FAA5H	CAN0メッセージ・データ・バイト5レジスタ10	C0MDATA510					不定
FAA6H	CAN0メッセージ・データ・バイト67レジスタ10	C0MDATA6710					不定
FAA6H	CAN0メッセージ・データ・バイト6レジスタ10	C0MDATA610					不定
FAA7H	CAN0メッセージ・データ・バイト7レジスタ10	C0MDATA710					不定
FAA8H	CAN0メッセージ・データ長レジスタ10	C0MDLC10					0000xxxxB
FAA9H	CAN0メッセージ・コンフィギュレーション・レジスタ10	C0MCONF10					不定
FAAAH	CAN0メッセージIDレジスタ10	C0MIDL10					不定
FAACH		C0MIDH10					不定
FAAEH	CAN0メッセージ制御レジスタ10	C0MCTRL10					00x00000 000xx000B
FAB0H	CAN0メッセージ・データ・バイト01レジスタ11	C0MDATA0111					不定
FAB0H	CAN0メッセージ・データ・バイト0レジスタ11	C0MDATA011					不定
FAB1H	CAN0メッセージ・データ・バイト1レジスタ11	C0MDATA111					不定
FAB2H	CAN0メッセージ・データ・バイト23レジスタ11	C0MDATA2311					不定
FAB2H	CAN0メッセージ・データ・バイト2レジスタ11	C0MDATA211					不定
FAB3H	CAN0メッセージ・データ・バイト3レジスタ11	C0MDATA311					不定
FAB4H	CAN0メッセージ・データ・バイト45レジスタ11	C0MDATA4511					不定
FAB4H	CAN0メッセージ・データ・バイト4レジスタ11	C0MDATA411					不定
FAB5H	CAN0メッセージ・データ・バイト5レジスタ11	C0MDATA511					不定
FAB6H	CAN0メッセージ・データ・バイト67レジスタ11	C0MDATA6711					不定
FAB6H	CAN0メッセージ・データ・バイト6レジスタ11	C0MDATA611				不定	
FAB7H	CAN0メッセージ・データ・バイト7レジスタ11	C0MDATA711				不定	
FAB8H	CAN0メッセージ・データ長レジスタ11	C0MDLC11				0000xxxxB	
FAB9H	CAN0メッセージ・コンフィギュレーション・レジスタ11	C0MCONF11				不定	
FABAH	CAN0メッセージIDレジスタ11	C0MIDL11				不定	
FABCH		C0MIDH11				不定	
FABEH	CAN0メッセージ制御レジスタ11	C0MCTRL11				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (7/9)

アドレス	機能レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1	8	16	
FAC0H	CAN0メッセージ・データ・バイト01レジスタ12	C0MDATA0112	R/W				不定
FAC0H	CAN0メッセージ・データ・バイト0レジスタ12	C0MDATA012					不定
FAC1H	CAN0メッセージ・データ・バイト1レジスタ12	C0MDATA112					不定
FAC2H	CAN0メッセージ・データ・バイト23レジスタ12	C0MDATA2312					不定
FAC2H	CAN0メッセージ・データ・バイト2レジスタ12	C0MDATA212					不定
FAC3H	CAN0メッセージ・データ・バイト3レジスタ12	C0MDATA312					不定
FAC4H	CAN0メッセージ・データ・バイト45レジスタ12	C0MDATA4512					不定
FAC4H	CAN0メッセージ・データ・バイト4レジスタ12	C0MDATA412					不定
FAC5H	CAN0メッセージ・データ・バイト5レジスタ12	C0MDATA512					不定
FAC6H	CAN0メッセージ・データ・バイト67レジスタ12	C0MDATA6712					不定
FAC6H	CAN0メッセージ・データ・バイト6レジスタ12	C0MDATA612					不定
FAC7H	CAN0メッセージ・データ・バイト7レジスタ12	C0MDATA712					不定
FAC8H	CAN0メッセージ・データ長レジスタ12	C0MDLC12					0000xxxxB
FAC9H	CAN0メッセージ・コンフィギュレーション・レジスタ12	C0MCONF12					不定
FACAH	CAN0メッセージIDレジスタ12	C0MIDL12					不定
FACCH		C0MIDH12					不定
FACEH	CAN0メッセージ制御レジスタ12	C0MCTRL12					00x00000 000xx000B
FAD0H	CAN0メッセージ・データ・バイト01レジスタ13	C0MDATA0113					不定
FAD0H	CAN0メッセージ・データ・バイト0レジスタ13	C0MDATA013					不定
FAD1H	CAN0メッセージ・データ・バイト1レジスタ13	C0MDATA113					不定
FAD2H	CAN0メッセージ・データ・バイト23レジスタ13	C0MDATA2313					不定
FAD2H	CAN0メッセージ・データ・バイト2レジスタ13	C0MDATA213					不定
FAD3H	CAN0メッセージ・データ・バイト3レジスタ13	C0MDATA313					不定
FAD4H	CAN0メッセージ・データ・バイト45レジスタ13	C0MDATA4513					不定
FAD4H	CAN0メッセージ・データ・バイト4レジスタ13	C0MDATA413					不定
FAD5H	CAN0メッセージ・データ・バイト5レジスタ13	C0MDATA513					不定
FAD6H	CAN0メッセージ・データ・バイト67レジスタ13	C0MDATA6713					不定
FAD6H	CAN0メッセージ・データ・バイト6レジスタ13	C0MDATA613				不定	
FAD7H	CAN0メッセージ・データ・バイト7レジスタ13	C0MDATA713				不定	
FAD8H	CAN0メッセージ・データ長レジスタ13	C0MDLC13				0000xxxxB	
FAD9H	CAN0メッセージ・コンフィギュレーション・レジスタ13	C0MCONF13				不定	
FADAH	CAN0メッセージIDレジスタ13	C0MIDL13				不定	
FADCH		C0MIDH13				不定	
FADEH	CAN0メッセージ制御レジスタ13	C0MCTRL13				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (8/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FAE0H	CAN0メッセージ・データ・バイト01レジスタ14	C0MDATA0114	R/W				不定
FAE0H	CAN0メッセージ・データ・バイト0レジスタ14	C0MDATA014					不定
FAE1H	CAN0メッセージ・データ・バイト1レジスタ14	C0MDATA114					不定
FAE2H	CAN0メッセージ・データ・バイト23レジスタ14	C0MDATA2314					不定
FAE2H	CAN0メッセージ・データ・バイト2レジスタ14	C0MDATA214					不定
FAE3H	CAN0メッセージ・データ・バイト3レジスタ14	C0MDATA314					不定
FAE4H	CAN0メッセージ・データ・バイト45レジスタ14	C0MDATA4514					不定
FAE4H	CAN0メッセージ・データ・バイト4レジスタ14	C0MDATA414					不定
FAE5H	CAN0メッセージ・データ・バイト5レジスタ14	C0MDATA514					不定
FAE6H	CAN0メッセージ・データ・バイト67レジスタ14	C0MDATA6714					不定
FAE6H	CAN0メッセージ・データ・バイト6レジスタ14	C0MDATA614					不定
FAE7H	CAN0メッセージ・データ・バイト7レジスタ14	C0MDATA714					不定
FAE8H	CAN0メッセージ・データ長レジスタ14	C0MDLC14					0000xxxxB
FAE9H	CAN0メッセージ・コンフィギュレーション・レジスタ14	C0MCONF14					不定
FAEAH	CAN0メッセージIDレジスタ14	C0MIDL14					不定
FAECH		C0MIDH14					不定
FAEEH	CAN0メッセージ制御レジスタ14	C0MCTRL14					00x00000 000xx000B
FAF0H	CAN0メッセージ・データ・バイト01レジスタ15	C0MDATA0115					不定
FAF0H	CAN0メッセージ・データ・バイト0レジスタ15	C0MDATA015					不定
FAF1H	CAN0メッセージ・データ・バイト1レジスタ15	C0MDATA115					不定
FAF2H	CAN0メッセージ・データ・バイト23レジスタ15	C0MDATA2315					不定
FAF2H	CAN0メッセージ・データ・バイト2レジスタ15	C0MDATA215					不定
FAF3H	CAN0メッセージ・データ・バイト3レジスタ15	C0MDATA315					不定
FAF4H	CAN0メッセージ・データ・バイト45レジスタ15	C0MDATA4515					不定
FAF4H	CAN0メッセージ・データ・バイト4レジスタ15	C0MDATA415					不定
FAF5H	CAN0メッセージ・データ・バイト5レジスタ15	C0MDATA515					不定
FAF6H	CAN0メッセージ・データ・バイト67レジスタ15	C0MDATA6715					不定
FAF6H	CAN0メッセージ・データ・バイト6レジスタ15	C0MDATA615					不定
FAF7H	CAN0メッセージ・データ・バイト7レジスタ15	C0MDATA715				不定	
FAF8H	CAN0メッセージ・データ長レジスタ15	C0MDLC15				0000xxxxB	
FAF9H	CAN0メッセージ・コンフィギュレーション・レジスタ15	C0MCONF15				不定	
FAFAH	CAN0メッセージIDレジスタ15	C0MIDL15				不定	
FAFCH		C0MIDH15				不定	
FAFEH	CAN0メッセージ制御レジスタ15	C0MCTRL15				00x00000 000xx000B	

表15 - 16 レジスタ・アクセス・タイプ (9/9)

アドレス	機能レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1	8	16	
FF44H	CAN0モジュール受信履歴・リスト・レジスタ	C0RGPT	R/W	-	-		xx02H
FF4AH	CAN0モジュール送信履歴・リスト・レジスタ	C0TGPT	R/W	-	-		xx02H
FF4CH	CAN0グローバル・モジュール制御レジスタ	C0GMCTRL	R/W	-	-		0000H
FFAEH	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT	R/W	-	-		0000H
FF42H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R	-		-	不定
FF6EH	CAN0グローバル・クロック選択レジスタ	C0GMCS	R/W	-		-	0FH
FF6FH	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD	R/W	-		-	00H
FF70H	CAN0モジュール・マスク1レジスタ	C0MASK1L	R/W	-	-		不定
FF72H		C0MASK1H					
FF74H	CAN0モジュール・マスク2レジスタ	C0MASK2L	R/W	-	-		不定
FF76H		C0MASK2H					
FF78H	CAN0モジュール・マスク3レジスタ	C0MASK3L	R/W	-	-		不定
FF7AH		C0MASK3H					
FF7CH	CAN0モジュール・マスク4レジスタ	C0MASK4L	R/W	-	-		不定
FF7EH		C0MASK4H					
FF8AH	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS	R/W	-	-		0000H
FF90H	CAN0モジュール制御レジスタ	C0CTRL	R/W	-	-		0000H
FF92H	CAN0モジュール最終エラー情報レジスタ	C0LEC	R/W	-		-	00H
FF93H	CAN0モジュール情報レジスタ	C0INFO	R	-		-	00H
FF94H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC	R	-	-		0000H
FF96H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W	-	-		0000H
FF98H	CAN0モジュール割り込みステータス・レジスタ	C0INTS	R/W	-	-		0000H
FF9CH	CAN0モジュール・ビットレート・レジスタ	C0BTR	R/W	-	-		370FH
FF9EH	CAN0モジュール・ビットレート・プリスケラ・レジスタ	C0BRP	R/W	-		-	FFH
FF9FH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R	-		-	不定

## 15.5.3 レジスタのビット構成

表15 - 17 CANグローバル・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FF4CH	COGMCTRL (W)	0	0	0	0	0	0	0	Clear GOM
FF4DH		0	0	0	0	0	0	Set EFSD	Set GOM
FF4CH	COGMCTRL (R)	0	0	0	0	0	0	EFSD	GOM
FF4DH		MBON	0	0	0	0	0	0	0
FFAEH	COGMABT (W)	0	0	0	0	0	0	0	Clear ABTTRG
FFAFH		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
FFAEH	COGMABT (R)	0	0	0	0	0	0	ABTCLR	ABTTRG
FFAFH		0	0	0	0	0	0	0	0
FF6EH	COGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
FF6FH	COGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

**注意** 実際のレジスタ・アドレスは、次のように計算されます。

$$\begin{aligned} \text{レジスタ・アドレス} &= \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ &+ \text{上表に示すレジスタ個別のオフセット・アドレス} \end{aligned}$$

**備考** (R) リード時  
(W) ライト時

表15 - 18 CANモジュール・レジスタのビット構成 (1/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FF44H	C0RGPT (W)	0	0	0	0	0	0	0	Clear ROVF
FF45H		0	0	0	0	0	0	0	0
FF44H	C0RGPT (R)	0	0	0	0	0	0	RHPM	ROVF
FF45H		RGPT [7:0]							
FF42H	C0LOPT	LOPT [7:0]							
FF4AH	C0TGPT (W)	0	0	0	0	0	0	0	Clear TOVF
FF4BH		0	0	0	0	0	0	0	0
FF4AH	C0TGPT (R)	0	0	0	0	0	0	THPM	TOVF
FF4BH		TGPT [7:0]							
FF70H	C0MASK1L	CM1ID [7:0]							
FF71H		CM1ID [15:8]							
FF72H	C0MASK1H	CM1ID [23:16]							
FF73H		0	0	0	CM1ID [28:24]				
FF74H	C0MASK2L	CM2ID [7:0]							
FF75H		CM2ID [15:8]							
FF76H	C0MASK2H	CM2ID [23:16]							
FF77H		0	0	0	CM2ID [28:24]				
FF78H	C0MASK3L	CM3ID [7:0]							
FF79H		CM3ID [15:8]							
FF7AH	C0MASK3H	CM3ID [23:16]							
FF7BH		0	0	0	CM3ID [28:24]				
FF7CH	C0MASK4L	CM4ID [7:0]							
FF7DH		CM4ID [15:8]							
FF7EH	C0MASK4H	CM4ID [23:16]							
FF7FH		0	0	0	CM4ID [28:24]				
FF8AH	C0TS (W)	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
FF8BH		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
FF8AH	C0TS (R)	0	0	0	0	0	TSLOCK	TSSEL	TSEN
FF8BH		0	0	0	0	0	0	0	0

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 (R) リード時  
(W) ライト時

表15 - 18 CANモジュール・レジスタのビット構成 (2/2)

アドレス	略 号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FF90H	COCTRL (W)	Clear CCERC	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
FF91H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
FF90H	COCTRL (R)	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0
FF91H		0	0	0	0	0	0	RSTAT	TSTAT
FF92H	COLEC (W)	0	0	0	0	0	0	0	0
FF92H	COLEC (R)	0	0	0	0	0	LEC2	LEC1	LEC0
FF93H	COINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
FF94H	COERC	TEC [7:0]							
FF95H		REPS	REC [6:0]						
FF96H	COIE (W)	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
FF97H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
FF96H	COIE (R)	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
FF97H		0	0	0	0	0	0	0	0
FF98H	COINTS (W)	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
FF99H		0	0	0	0	0	0	0	0
FF98H	COINTS (R)	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
FF99H		0	0	0	0	0	0	0	0
FF9CH	COBTR	0	0	0	0	TSEG1 [3:0]			
FF9DH		0	0	SJW [1:0]		0	TSEG2 [2:0]		
FF9EH	COBRP	TQPRS [7:0]							
FF9FH	COLIPT	LIPT [7:0]							

**注意** 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

**備考** (R) リード時  
(W) ライト時

表15 - 19 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FAx0H	COMDATA01m	メッセージ・データ (バイト0)							
FAx1H		メッセージ・データ (バイト1)							
FAx0H	COMDATA0m	メッセージ・データ (バイト0)							
FAx1H		メッセージ・データ (バイト1)							
FAx2H	COMDATA23m	メッセージ・データ (バイト2)							
FAx3H		メッセージ・データ (バイト3)							
FAx2H	COMDATA2m	メッセージ・データ (バイト2)							
FAx3H		メッセージ・データ (バイト3)							
FAx4H	COMDATA45m	メッセージ・データ (バイト4)							
FAx5H		メッセージ・データ (バイト5)							
FAx4H	COMDATA4m	メッセージ・データ (バイト4)							
FAx5H		メッセージ・データ (バイト5)							
FAx6H	COMDATA67m	メッセージ・データ (バイト6)							
FAx7H		メッセージ・データ (バイト7)							
FAx6H	COMDATA6m	メッセージ・データ (バイト6)							
FAx7H		メッセージ・データ (バイト7)							
FAx8H	COMDLCm	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0
FAx9H	COMCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0
FAxAH	COMIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
FAxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
FAxCH	COMIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
FAxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
FAxEH	COMCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
FAxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
FAxEH	COMCTRLm (R)	0	0	0	MOW	IE	DN	TRQ	RDY
FAxFH		0	0	MUC	0	0	0	0	0

**注意** 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 1. (R) リード時  
(W) ライト時

2. m = 00-15

## 15.6 ビットのセット/クリア機能

CANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANグローバル・モジュール制御レジスタ (C0GMCTRL)
- ・ CANグローバル自動ブロック送信制御レジスタ (C0GMABT)
- ・ CANモジュール制御レジスタ (C0CTRL)
- ・ CANモジュール割り込み許可レジスタ (C0IE)
- ・ CANモジュール割り込みステータス・レジスタ (C0INTS)
- ・ CANモジュール受信履歴・リスト・レジスタ (C0RGPT)
- ・ CANモジュール送信履歴・リスト・レジスタ (C0TGPT)
- ・ CANモジュール・タイム・スタンプ・レジスタ (C0TS)
- ・ CANメッセージ制御レジスタm (C0MCTRLm)

**備考** m = 00-15

上記レジスタの16ビットは、すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図15 - 23の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図15 - 24 **セット/クリア設定後のビット状態参照**）。図15 - 23のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図15 - 23 ビットのセット/クリアの操作例

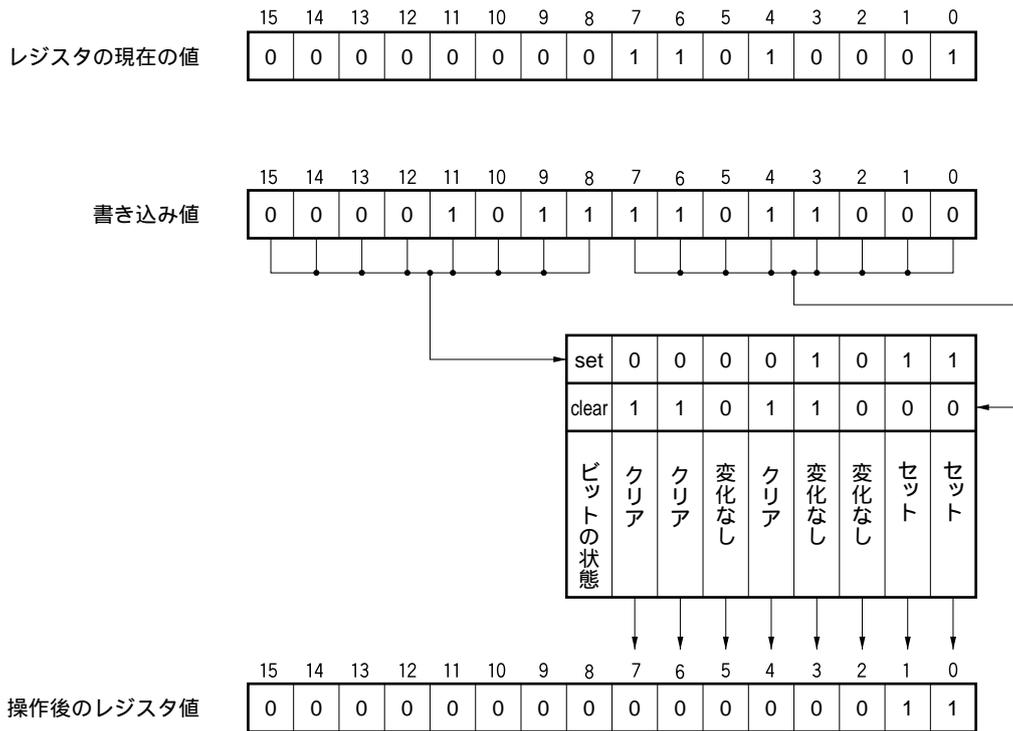


図15 - 24 セット/クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット/クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考 n = 0-7

## 15.7 制御レジスタ

備考 m = 00-15

### (1) CANグローバル・モジュール制御レジスタ (COGMCTRL)

COGMCTRLレジスタは、CANモジュールの動作を制御します。

リセット時：0000H R/W アドレス：FF4CH, FF4DH

#### (a) リード時

	15	14	13	12	11	10	9	8
COGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

#### (b) ライト時

	15	14	13	12	11	10	9	8
COGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

#### (a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信 / 受信履歴・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信 / 受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信 / 受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

- 注意 1.** MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (C0MDATA0m, C0MDATA1m, C0MDATA01m, C0MDATA2m, C0MDATA3m, C0MDATA23m, C0MDATA4m, C0MDATA5m, C0MDATA45m, C0MDATA6m, C0MDATA7m, C0MDATA67m, C0MDLc, C0MCONFm, C0MIDLm, C0MIDHm, C0MCTRLm) および送信履歴、受信履歴に関連したレジスタ (C0LOPT, C0TGPT, C0LIPT, C0RGPT) へのアクセスは無効です。
- 2.** このビットはリード・オンリーです。MBON = 0の状態でも1を書き込みしても、MBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。

**備考** CANスリープ・モード / CANストップ・モードに移行した場合、または、GOMビットをクリア (0) した場合に、MBONビットがクリア (0) されます。  
CANスリープ・モード / CANストップ・モードを解除した場合、またはGOMビットをセット (1) した場合に、MBONビットがセット (1) されます。

EFSD	強制シャット・ダウン有効ビット
0	GOM = 0による強制シャット・ダウンは無効
1	GOM = 0による強制シャット・ダウンは有効

**注意** 強制シャット・ダウンの要求を行う場合は、EFSDビットをセット(1)した直後に、GOMビットをクリア(0)しなければなりません。EFSDビットをセット(1)した直後にGOMビットをクリア(0)しないで、その他のレジスタ・アクセス(C0GMCTRLレジスタのリード含む)の実行をすると、EFSDビットは自動的にクリア(0)され、強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

**注意** GOMビットは、初期化モードのとき、またはEFSDビットをセット(1)した直後にのみクリア(0)可能です。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット(1)する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア(0)する
1	0	GOMビットをセット(1)する
上記以外		GOMビットの変更なし

**注意** GOMビットの設定とEFSDビットの設定は、常に別々に行ってください。

## (2) CANグローバル・モジュール・クロック選択レジスタ (C0GMCS)

C0GMCSレジスタは、CANモジュール・システム・クロックを選択します。

リセット時：0FH      R/W    アドレス：FF6EH

	7	6	5	4	3	2	1	0
C0GMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック (f <sub>CANMOD</sub> )
0	0	0	0	f <sub>CAN/1</sub>
0	0	0	1	f <sub>CAN/2</sub>
0	0	1	0	f <sub>CAN/3</sub>
0	0	1	1	f <sub>CAN/4</sub>
0	1	0	0	f <sub>CAN/5</sub>
0	1	0	1	f <sub>CAN/6</sub>
0	1	1	0	f <sub>CAN/7</sub>
0	1	1	1	f <sub>CAN/8</sub>
1	0	0	0	f <sub>CAN/9</sub>
1	0	0	1	f <sub>CAN/10</sub>
1	0	1	0	f <sub>CAN/11</sub>
1	0	1	1	f <sub>CAN/12</sub>
1	1	0	0	f <sub>CAN/13</sub>
1	1	0	1	f <sub>CAN/14</sub>
1	1	1	0	f <sub>CAN/15</sub>
1	1	1	1	f <sub>CAN/16</sub> (初期値)

備考 f<sub>CAN</sub> = CANへの供給クロック

## (3) CANグローバル自動ブロック送信制御レジスタ (COGMABT)

COGMABTレジスタは、自動ブロック送信 (ABT) 動作を制御します。

リセット時 : 0000H      R/W    アドレス : FFAEH, FFAFH

## (a) リード時

	15	14	13	12	11	10	9	8
COGMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

## (b) ライト時

	15	14	13	12	11	10	9	8
COGMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

**注意** ABT付き通常動作モードから初期化モードに移行する前には、COGMABTレジスタには必ず初期値 (0000H) を設定し、設定後はCOGMABTレジスタが0000Hに初期化されたことを確実に確認してください。

## (a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

- 備考** 1. ABTCLRビットはABTTRGビットがクリア (0) されている状態でセット (1) してください。ABTTRGビットがセット (1) されている状態で、ABTCLRビットをセット (1) した場合には動作保証いたしません。
2. ABTCLRビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア (0) されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

**注意** 初期化モード中にABTTRGビットを設定 (ABTTRG = 1) しないでください。

初期化モード中にABTTRGビットを設定した場合、ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット (1) されている間は、ABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前に、TSTAT = 0であることを直接事前に確認してください。

## (b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRGビットのセット(1)による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

**注意** ABTTRGビットをセット(1)しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ(メッセージ・バッファ8~メッセージ・バッファ15)を送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、ABTTRGビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を続けます。

## (4) CANグローバル自動ブロック送信遅延レジスタ (C0GMABTD)

C0GMABTDレジスタは、ABT付き通常動作モードにおいて、ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H      R/W    アドレス：FF6FH

	7	6	5	4	3	2	1	0
C0GMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔 (単位はデータ・ビット・タイム; DBT)
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 <sup>5</sup> DBT
0	0	1	0	2 <sup>6</sup> DBT
0	0	1	1	2 <sup>7</sup> DBT
0	1	0	0	2 <sup>8</sup> DBT
0	1	0	1	2 <sup>9</sup> DBT
0	1	1	0	2 <sup>10</sup> DBT
0	1	1	1	2 <sup>11</sup> DBT
1	0	0	0	2 <sup>12</sup> DBT
上記以外				設定禁止

- 注意 1. ABTTRGビットがセット(1)されている場合は、C0GMABTDレジスタの内容は変更しないでください。
2. 実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~メッセージ・バッファ15)に対する送信要求の設定状況によって変化します。

## (5) CANモジュール・マスク・レジスタ (C0MASKaL, C0MASKaH)(a = 1, 2, 3, 4)

C0MASKaL/C0MASKaHレジスタにより、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分のID比較を無効にし、同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

## ・ CANモジュール・マスク1レジスタ (C0MASK1L, C0MASK1H)

リセット時：不定      R/W    アドレス：C0MASK1L FF70H, FF71H  
C0MASK1H FF72H, FF73H

	15	14	13	12	11	10	9	8
C0MASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

## ・ CANモジュール・マスク2レジスタ (C0MASK2L, C0MASK2H)

リセット時：不定      R/W    アドレス：C0MASK2L FF74H, FF75H  
C0MASK2H FF76H, FF77H

	15	14	13	12	11	10	9	8
C0MASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・ CANモジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)

リセット時：不定      R/W アドレス：C0MASK3L FF78H, FF79H  
C0MASK3H FF7AH, FF7BH

	15	14	13	12	11	10	9	8
C0MASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・ CANモジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)

リセット時：不定      R/W アドレス：C0MASK4L FF7CH, FF7DH  
C0MASK4H FF7EH, FF7FH

	15	14	13	12	11	10	9	8
C0MASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません（マスクします）。

**備考** マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合、CMID17-CMID0は無視されます。したがって、受信IDはCMID28-CMID18のみマスクされます。なお、標準および拡張IDはともに同一マスクを使用することができます。

## (6) CANモジュール制御レジスタ (C0CTRL)

C0CTRLレジスタは、CANモジュールの動作モードを制御します。

リセット時：0000H R/W アドレス：FF90H, FF91H

## (a) リード時

	15	14	13	12	11	10	9	8
C0CTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

## (b) ライト時

	15	14	13	12	11	10	9	8
C0CTRL	Set	Set	0	Set	Set	Set	Set	Set
	CCERC	AL		PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0
	7	6	5	4	3	2	1	0
	Clear	Clear	Clear	Clear	Clear	Clear	Clear	Clear
	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

## (a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

**備考** - RSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・受信フレームのSOFビット
  - ・送信フレーム中のアービトレーション・ロスト発生時
- RSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

**備考** - TSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・送信フレームのSOFビット
- TSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・バスオフ移行時
- ・送信フレーム中のアービトレーション・ロスト発生時
- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタのクリア中ではありません。
1	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタがクリア中です。

- 備考** 1. CCERCビットは、再初期化やバスオフ強制復帰の際に、C0ERCレジスタとC0INFOレジスタをクリアするために使用します。初期化モードでのみ、セット(1)が可能です。
2. C0ERCおよびC0INFOレジスタがクリアされるとCCERCビットも自動的にクリア(0)されます。
3. 初期化モードから任意の動作モードへの遷移要求と同時にCCERCビットのセット(1)が可能です。
4. セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット(1)した場合、受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。
1	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。

**備考** ALビットは、シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア(0)されてから、有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア(0)されてから、有効なメッセージ・フレーム受信があります。

- 備考** 1. 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納(データ・フレーム)または送信メッセージ・バッファへの格納(リモート・フレーム)の有無に依存しません。
2. 初期化モードから任意の動作モードに移行する前に、VALIDビットをクリア(0)してください。
3. CANバスにCANノードが2つのみ接続され、一方のCANノードが通常動作モードでメッセージ・フレームを送信し、もう一方のCANノードが受信オンリー・モードである場合は、受信オンリー・モードではACKが発生しないため、VALIDビットは送信ノードがエラー・パッシブになる前にセット(1)されることはありません。
4. VALIDビットをクリアする際は、Clear VALIDビットをセット(1)したあと、VALIDビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

- 注意1. CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。
2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にC0GMCTRLレジスタのMBONフラグを確認する必要があります。
  3. CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません (CANモジュールは初期化モード状態)
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード (ABT付き通常動作モード)
0	1	1	受信専用モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

注意 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。

備考 CANスリープ・モードまたはCANストップ・モード中、OPMODE[2:0]ビットはリード・オンリーです。

(b) ライト時

Set CCERC	Clear CCERC	CCERCビットの設定
1	1	CCERCビットをセット (1) する
上記以外	0	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア (0) する
1	0	ALビットをセット (1) する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア (0) する

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア (0) する
1	0	PSMODE0ビットをセット (1) する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア (0) する
1	0	PSMODE1ビットをセット (1) する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア (0) する
1	0	OPMODE0ビットをセット (1) する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア (0) する
1	0	OPMODE1ビットをセット (1) する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア (0) する
1	0	OPMODE2ビットをセット (1) する
上記以外		OPMODE2ビットの変更なし

## (7) CANモジュール最終エラー・レジスタ (COLEC)

COLECレジスタは、CANプロトコルのエラー情報を示します。

リセット時：00H      R/W   アドレス：FF92H

	7	6	5	4	3	2	1	0
COLEC	0	0	0	0	0	LEC2	LEC1	LEC0

- 備考** 1. COLECレジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。
2. COLECレジスタに対してソフトウェアにより00H以外の値を書き込みしようとした場合、アクセスは無視されます。

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー (CANモジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く),CANバス上の値はドミナント・ビットであった場合)
1	0	1	ビット・エラー (CANモジュールは送信メッセージ,ACKビット,エラー・フレームまたはオーバーロード・フレームの一部として,ドミナント・ビットの送信をしようとしたが,CANバス上の値はレセシブ・ビットであった場合)
1	1	0	CRCエラー
1	1	1	未定義

## (8) CANモジュール情報レジスタ (C0INFO)

C0INFOレジスタは、CANモジュールのステータスを示します。

リセット時：00H      R      アドレス：FF93H

	7	6	5	4	3	2	1	0
C0INFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バスオフ状態ビット
0	バスオフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが256未満)
1	バスオフ状態 (送信エラー・カウンタ > 255) (送信エラーのカウンタが256以上)

TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバスオフ範囲 ( > 128 )

RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲 ( > 128 )

## (9) CANモジュール・エラー・カウンタ・レジスタ (C0ERC)

C0ERCレジスタは、送受信エラー・カウンタのカウンタ値を示します。

リセット時：0000H      R      アドレス：FF94H, FF95H

	15	14	13	12	11	10	9	8
C0ERC	REPS	REC6	REC5	REC4	REC3	REC2	REC1	REC0
	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0

REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは、エラー・パッシブではない (<128)
1	受信エラー・カウンタは、エラー・パッシブ範囲 (<128)

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウンタ数 受信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

**備考** 受信エラー・パッシブ状態 (RECS[1:0] = 11B) では、受信エラー・カウンタREC6-REC0は無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウンタ数 送信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

**備考** バスオフ中 (BOFF = 1) では、送信エラー・カウンタTEC7-TEC0は無効です。

## (10) CANモジュール割り込み許可レジスタ (C0IE)

C0IEレジスタは、CANモジュールの割り込み許可/禁止を設定します。

リセット時：0000H R/W アドレス：FF96H, FF97H

## (a) リード時

	15	14	13	12	11	10	9	8
C0IE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

## (b) ライト時

	15	14	13	12	11	10	9	8
C0IE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0

## (a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタのCINTS5-CINTS0ビットに対応する割り込み出力禁止
1	割り込みステータス・レジスタのCINTS5-CINTS0ビットに対応する割り込み出力許可

## (b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア (0) する
1	0	CIE5ビットをセット (1) する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア (0) する
1	0	CIE4ビットをセット (1) する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア (0) する
1	0	CIE3ビットをセット (1) する
上記以外		CIE3ビットの変更なし

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア (0) する
1	0	CIE2ビットをセット (1) する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア (0) する
1	0	CIE1ビットをセット (1) する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア (0) する
1	0	CIE0ビットをセット (1) する
上記以外		CIE0ビットの変更なし

## (11) CANモジュール割り込みステータス・レジスタ (C0INTS)

C0INTSレジスタは、CANモジュールの割り込みステータスを示します。

リセット時：0000H R/W アドレス：FF98H, FF99H

## (a) リード時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

## (b) ライト時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear	Clear	Clear	Clear	Clear	Clear
			CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

## (a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベントの保留なし
1	関連する割り込みソース・イベントの保留中

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイク・アップ割り込み <sup>注</sup>
CINTS4	アービトラージ・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注 CANバス動作によるCANスリープ・モードからのウエイク・アップによってのみ、CINTS5ビットがセットされます。ソフトウェアによるCANスリープ・モードの解除ではCINTS5ビットはセットされません。

## (b) ライト時

Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア (0) する

注意 このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア (0) を行ってください。

## (12) CANモジュール・ビットレート・プリスケアラ・レジスタ (C0BRP)

C0BRPレジスタは、CANプロトコル・レイヤ基本クロック ( $f_{TQ}$ ) を選択します。また、通信ポー・レートは、C0BTRレジスタに設定されます。

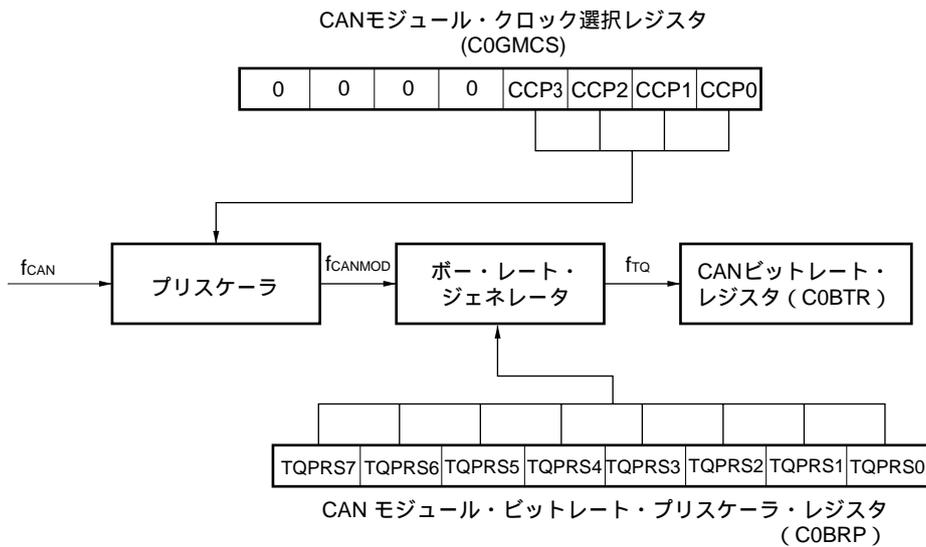
リセット時：FFH      R/W    アドレス：FF9EH

	7	6	5	4	3	2	1	0
C0BRP	TQPRS7	TQPRS6	TQPRS5	TQPRS4	TQPRS3	TQPRS2	TQPRS1	TQPRS0

TQPRS7-TQPRS0	CANプロトコル・レイヤ基本システム・クロック ( $f_{TQ}$ )
0	$f_{CANMOD}/1$
1	$f_{CANMOD}/2$
:	:
n	$f_{CANMOD}/(n+1)$
:	:
255	$f_{CANMOD}/256$ (初期値)

図15 - 25 CANモジュールのクロック



**注意** C0BRPレジスタは、初期化モードのときのみライト・アクセス可能です。

**備考**  $f_{CAN}$  : CANへの供給クロック =  $f_{PRS}$   
 $f_{CANMOD}$  : CANモジュール・システム・クロック  
 $f_{TQ}$  : CANプロトコル・レイヤ基本システム・クロック

## (13) CANモジュール・ビットレート・レジスタ (C0BTR)

C0BTRレジスタは、通信ボー・レートのデータ・ビット・タイムを制御します。

リセット時：370FH      R/W    アドレス：FF9CH, FF9DH

	15	14	13	12	11	10	9	8
C0BTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

図15 - 26 データ・ビット・タイム



SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ (初期値)

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ (初期値)

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ <sup>注</sup>
0	0	1	0	3TQ <sup>注</sup>
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ (初期値)

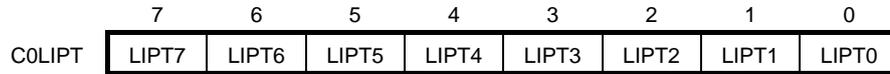
注 C0BRPレジスタ = 00Hの場合は、本設定は使用できません。

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)

## (14) CANモジュール最終受信ポインタ・レジスタ (COLIPT)

COLIPTレジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：FF9FH



LIPT7-LIPT0	最終受信ポインタ・レジスタ (COLIPT)
0-15	COLIPTレジスタをリードすると、受信履歴・リストの最終受信ポインタ (LIPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

**備考** メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、COLIPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にCORGPTレジスタのRHMPビットがセット(1)されている場合には、COLIPTレジスタの読み出し値は不定となります。

## (15) CANモジュール受信ヒストリ・リスト・レジスタ (C0RGPT)

C0RGPTレジスタは、受信ヒストリ・リストを読み出すためのレジスタです。

リセット時：xx02H      R/W    アドレス：FF44H, FF45H

## (a) リード時

	15	14	13	12	11	10	9	8
C0RGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

## (b) ライト時

	15	14	13	12	11	10	9	8
C0RGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

## (a) リード時

RGPT7-RGPT0	受信ヒストリ・リスト読み出しポインタ
0-15	C0RGPTレジスタをリードすると、受信ヒストリ・リストの読み出しポインタ (RGPT) でインデクスされるエントリの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM <sup>注</sup>	受信ヒストリ・リストのポインタ一致
0	受信ヒストリ・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。

注 RHPM = 1 のとき、RGPT0-RGPT7のリード値は無効です。

ROVF <sup>注</sup>	受信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます (受信ヒストリ・リストに空きのエントリが存在します)。
1	ホスト・プロセッサが受信ヒストリ・リスト (RHL) を最後に使用 (例えば、C0RGPTレジスタの読み込みなど) してから少なくとも23個のエントリが格納されています。 ROVFビットがセットされていると、すべてのメッセージ・バッファ番号はLIPT - 1に格納されるため、最初の22個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信するたびに上書きされます。したがって、受信した順番を完全に回復することが出来ません。

注 ROVFビットがセット (1) されている状態で、C0RGPTレジスタによりすべての受信履歴が読み出されている場合、RHPMビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア(0)する

## (16) CANモジュール最終送信ポインタ・レジスタ (C0LOPT)

C0LOPTレジスタは、最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定      R      アドレス：FF42H

	7	6	5	4	3	2	1	0
C0LOPT	LOPT7	LOPT6	LOPT5	LOPT4	LOPT3	LOPT2	LOPT1	LOPT0

LOPT7-LOPT0	送信履歴・リストの最終送信ポインタ (LOPT)
0-15	C0LOPTレジスタをリードすると、送信履歴・リストの最終送信ポインタ (LOPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

**備考** メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、C0LOPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にTHPMビットがセット(1)されている場合には、C0LOPTレジスタの読み出し値は不定となります。

## (17) CANモジュール送信履歴・リスト・レジスタ (C0TGPT)

C0TGPTレジスタは、送信履歴・リストを読み出すためのレジスタです。

リセット時：xx02H      R/W    アドレス：FF4AH, FF4BH

## (a) リード時

	15	14	13	12	11	10	9	8
C0TGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

## (b) ライト時

	15	14	13	12	11	10	9	8
C0TGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

## (a) リード時

TGPT7-TGPT0	送信履歴・リスト読み出しポインタ
0-15	C0TGPTレジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデックスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM <sup>注</sup>	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

注 THPM = 1 のとき、TGPT0-TGPT7のリード値は無効です。

TOVF <sup>注</sup>	送信履歴・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、C0TGPTレジスタの読み込みなど) してから少なくとも7 個のエントリが格納されています。TOVFビットがセットされていると、すべてのメッセージ・バッファ番号はLOPT - 1に格納されるため、最初の6個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

注 TOVFビットがセット (1) されている状態で、C0TGPTレジスタによりすべての送信履歴が読み出されている場合、THPMビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

備考 ABT付き通常動作モードでは、メッセージ・バッファ0-7からの送信は送信履歴・リストには記録されません。

## (b) ライト時

Clear TOVF	TOVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア (0) する

## (18) CANモジュール・タイム・スタンプ・レジスタ (C0TS)

C0TSレジスタは、タイム・スタンプ機能を制御します。

リセット時：0000H      R/W      アドレス：FF8AH, FF8BH

## (a) リード時

	15	14	13	12	11	10	9	8
C0TS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

## (b) ライト時

	15	14	13	12	11	10	9	8
C0TS	0	0	0	0	0	Set	Set	Set
						TSLOCK	TSSEL	TSEN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear	Clear	Clear
						TSLOCK	TSSEL	TSEN

**備考** ABT付き通常動作モードの場合は、タイム・スタンプ機能のロック機能を使用することができません。

## (a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。 ただし、メッセージ・バッファ0にデータ・フレームが正常に受信されたあとは、TSOUT信号の出力がロックされます <sup>注</sup> 。

**注** TSENビットは自動的にクリア (0) されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT信号動作設定ビット
0	TSOUT信号トグル動作禁止
1	TSOUT信号トグル動作許可

**備考** TSOUT信号はCANコントローラからタイムへ出力されます。詳細については図12 - 19を参照してください。

## (b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア (0) する
1	0	TSLOCKビットをセット (1) する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア (0) する
1	0	TSSELビットをセット (1) する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア (0) する
1	0	TSENビットをセット (1) する
上記以外		TSENビットの変更なし

(19) CANメッセージ・データ・バイト・レジスタ $m$ (COMDATA  $x m$ )( $x = 0-7$ ),(COMDATA  $z m$ )( $z = 01, 23, 45, 67$ )

COMDATA $xm$ , COMDATA $zm$ レジスタは、送受信メッセージのデータを格納します。COMDATA $xm$ レジスタは、8ビット単位でアクセス可能なレジスタです。COMDATA $zm$ レジスタは、COMDATA $xm$ レジスタを16ビット単位でアクセス可能なレジスタです。

リセット時：不定 R/W アドレス：表15 - 16を参照してください。

・COMDATA $xm$ レジスタ

	7	6	5	4	3	2	1	0
COMDATA0m	MDATA 07	MDATA 06	MDATA 05	MDATA 04	MDATA 03	MDATA 02	MDATA 01	MDATA 00

	7	6	5	4	3	2	1	0
COMDATA1m	MDATA 17	MDATA 16	MDATA 15	MDATA 14	MDATA 13	MDATA 12	MDATA 11	MDATA 10

	7	6	5	4	3	2	1	0
COMDATA2m	MDATA 27	MDATA 26	MDATA 25	MDATA 24	MDATA 23	MDATA 22	MDATA 21	MDATA 20

	7	6	5	4	3	2	1	0
COMDATA3m	MDATA 37	MDATA 36	MDATA 35	MDATA 34	MDATA 33	MDATA 32	MDATA 31	MDATA 30

	7	6	5	4	3	2	1	0
COMDATA4m	MDATA 47	MDATA 46	MDATA 45	MDATA 44	MDATA 43	MDATA 42	MDATA 41	MDATA 40

	7	6	5	4	3	2	1	0
COMDATA5m	MDATA 57	MDATA 56	MDATA 55	MDATA 54	MDATA 53	MDATA 52	MDATA 51	MDATA 50

	7	6	5	4	3	2	1	0
COMDATA6m	MDATA 67	MDATA 66	MDATA 65	MDATA 64	MDATA 63	MDATA 62	MDATA 61	MDATA 60

	7	6	5	4	3	2	1	0
COMDATA7m	MDATA 77	MDATA 76	MDATA 75	MDATA 74	MDATA 73	MDATA 72	MDATA 71	MDATA 70

## ・ COMDATAzmレジスタ

	15	14	13	12	11	10	9	8
COMDATA01m	MDATA 0115	MDATA 0114	MDATA 0113	MDATA 0112	MDATA 0111	MDATA 0110	MDATA 019	MDATA 018
	MDATA 017	MDATA 016	MDATA 015	MDATA 014	MDATA 013	MDATA 012	MDATA 011	MDATA 010
COMDATA23m	MDATA 2315	MDATA 2314	MDATA 2313	MDATA 2312	MDATA 2311	MDATA 2310	MDATA 239	MDATA 238
	MDATA 237	MDATA 236	MDATA 235	MDATA 234	MDATA 233	MDATA 232	MDATA 231	MDATA 230
COMDATA45m	MDATA 4515	MDATA 4514	MDATA 4513	MDATA 4512	MDATA 4511	MDATA 4510	MDATA 459	MDATA 458
	MDATA 457	MDATA 456	MDATA 455	MDATA 454	MDATA 453	MDATA 452	MDATA 451	MDATA 450
COMDATA67m	MDATA 6715	MDATA 6714	MDATA 6713	MDATA 6712	MDATA 6711	MDATA 6710	MDATA 679	MDATA 678
	MDATA 677	MDATA 676	MDATA 675	MDATA 674	MDATA 673	MDATA 672	MDATA 671	MDATA 670

## (20) CANメッセージ・データ長レジスタm (C0MDLcM)

C0MDLcMレジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB R/W アドレス：表15 - 16を参照してください。

	7	6	5	4	3	2	1	0
C0MDLcM	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0

MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止
1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし、実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります)注。
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注 CANバス上に実際に送信されるデータとDLC値は以下のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 (ただしDLC 8の場合は8バイト)	MDLC[3:0]
リモート・フレーム	0バイト	

注意 1. ビット7-4には必ず0000Bを設定してください。

2. メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のC0MDATAxmレジスタに受信データが格納されます。データが格納されなかったC0MDATAxmレジスタは不定です。

(21) CANメッセージ・コンフィギュレーション・レジスタ<sub>m</sub> (COMCONF<sub>m</sub>)

COMCONF<sub>m</sub>レジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。

リセット時：不定                      R/W                      アドレス：表15 - 16を参照してください。

	7	6	5	4	3	2	1	0
COMCONF <sub>m</sub>	OVS	RTR	MT2	MT1	MT0	0	0	MA0

OVS	オーバーライト制御ビット
0	すでに受信しているメッセージ・バッファ <sup>注</sup> に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファ <sup>注</sup> に対して、新しく受信したデータ・フレームを上書きします。

**注** “すでに受信しているメッセージ・バッファ”とは、DNビットがセット(1)されている受信メッセージ・バッファを意味します。

**備考** リモート・フレームの受信格納に際しては、OVSビットおよびDNビットの設定には依存せず、その他の条件が合致 (IDが一致、RTR = 0、TRQ = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成、DNフラグのセット、MDLC[3:0]ビットの更新、および受信履歴・リストへの記録) されます。

RTR	リモート・フレームの要求ビット <sup>注</sup>
0	データ・フレーム送信
1	リモート・フレーム送信

**注** RTRビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なリモート・フレームを受信しても、受信した送信メッセージ・バッファのRTRはクリア(0)されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット(1)した状態で、CANバスからIDが合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納 (割り込み生成、DNフラグのセット、MDLC[3:0]ビットの更新および受信履歴・リストへの記録) は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ (マスク設定なし)
0	1	0	受信メッセージ・バッファ (マスク1設定)
0	1	1	受信メッセージ・バッファ (マスク2設定)
1	0	0	受信メッセージ・バッファ (マスク3設定)
1	0	1	受信メッセージ・バッファ (マスク4設定)
上記以外			設定禁止

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

**注意** ビット2, 1には, 必ず0を書き込んでください。

### (22) CANメッセージIDレジスタm (C0MIDLm, C0MIDHm)

C0MIDLm, C0MIDHmレジスタは, アイデンティファイア (ID) を設定します。

リセット時: 不定      R/W      アドレス: 表15 - 16を参照してください。

C0MIDLm	15	14	13	12	11	10	9	8
	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
C0MIDHm	15	14	13	12	11	10	9	8
	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード (ID28-ID18: 11ビット) <sup>注</sup>
1	拡張フォーマット・モード (ID28-ID0: 29ビット)

**注** ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値 (IDE = 0のとき)
ID28-ID0	29ビットの拡張ID値 (IDE = 1のとき)

- 注意** 1. C0MIDHmレジスタのビット14, 13には, 必ず0を書き込んでください。  
 2. 必ず, このレジスタに与えられたビット位置に従って登録するID値を並べてください。  
 標準IDに関してID値はID28からID18のビット位置をシフトしてください。

## (23) CANメッセージ制御レジスタm (COMCTRLm)

COMCTRLmレジスタは、メッセージ・バッファの動作を制御します。

リセット時：00x00000 R/W アドレス：表15 - 16を参照してください。  
00000000B

## (a) リード時

	15	14	13	12	11	10	9	8
COMCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

## (b) ライト時

	15	14	13	12	11	10	9	8
COMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

## (a) リード時

MUC <sup>注</sup>	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注 MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

備考 DN = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、MOWビットはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

注意 TRQビットとRDYビットを同時にセット（1）しないでください。TRQビットをセット（1）する場合は、事前にRDYビットを必ずセット（1）してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウェアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウェアによるメッセージ・バッファへの書き込みは無視されます (RDYビット, TRQビット, DNビットおよびMOWビットへのライト・アクセスを除く)。CANモジュールはメッセージ・バッファに書き込みが可能です。

- 注意1.** メッセージ送信中に, RDY ビットをクリア (0) しないでください。再定義のための RDY ビットのクリアは, 送信中断処理に従ってください。
2. RDY ビットのクリア処理を行ってもクリアされていない場合は, もう一度クリア処理を行ってください。
3. メッセージ・バッファ・レジスタに書き込む前に, RDY ビットがクリア (0) されたことを確認してください。確認は RDY ビットを読み返して行ってください。  
ただし, COMCTRLm レジスタの TRQ ビットまたは RDY ビットのセット (1), DN ビットまたは MOW ビットのクリア (0) については確認する必要はありません。

## (b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア (0) する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア (0) する
1	0	IEビットをセット (1) する
上記以外		IEビットの変更なし

**注意** IEビットの設定とRDYビットの設定は, 常に別々に行ってください。

Clear DN	DNビットの設定
0	DNビットの変更なし
1	DNビットをクリア (0) する

**注意** ソフトウェアにより, DNビットをセット (1) しないでください。ビット10には, 必ず0を書き込んでください。

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリア (0) する
1	0	TRQビットをセット (1) する
上記以外		TRQビットの変更なし

**注意** TRQビットをセット(1)しても, 他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により, 即時に送信を行わない可能性があります。

また, TRQビットをクリア (0) しても, 送信の途中で中断されることはありません。送信中の場合には, 送信が完了 (成功 / 失敗問わず) するまで送信を続けます。

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア (0) する
1	0	RDYビットをセット (1) する
上記以外		RDYビットの変更なし

**注意** IEビットの設定とRDYビットの設定は、常に別々に行ってください。

## 15.8 CANコントローラの初期化処理

### 15.8.1 CANモジュールの初期化

CANモジュールの動作を許可する前に、ソフトウェアによりC0GMCSレジスタのCCP[3:0]ビットを設定し、CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は、CANモジュールの動作が許可されたあととは変更できません。

CANモジュールは、C0GMCTRLレジスタのGOMビットをセット(1)することで動作を許可します。初期化処理手順については、15.16 CANコントローラの動作を参照してください。

### 15.8.2 メッセージ・バッファの初期化

CANモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても以下の設定を行ってください。

- ・C0MCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア(0)する。
- ・C0MCONFmレジスタのMA0ビットをクリア(0)する。

**備考** m = 00-15

### 15. 8. 3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信時または送信中に他の送受信動作に影響を与えることなく、メッセージ・バッファのIDや制御情報を変更することをいいます。

#### (1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

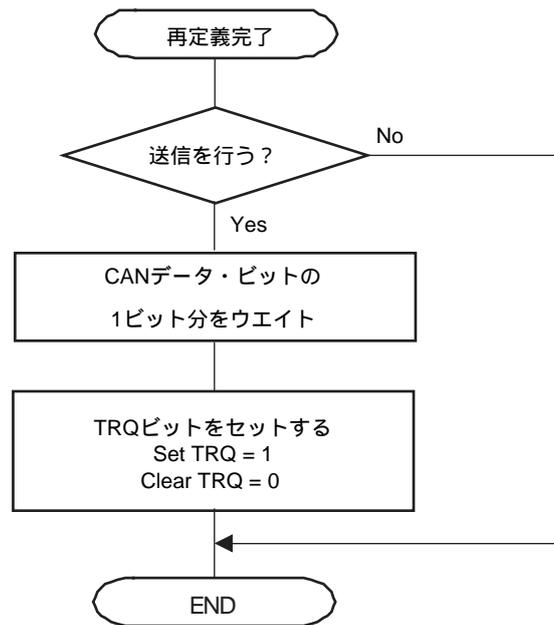
#### (2) 受信中にメッセージ・バッファの再定義を行う場合

図15 - 40にしたがって処理してください。

#### (3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には、送信中断処理(15. 10. 4 (1) **自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理**, 15. 10. 4 (2) **自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理参照**)を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、以下の処理手順にしたがって処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1ビット分のウェイトは必要ありません。

図15 - 27 送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定



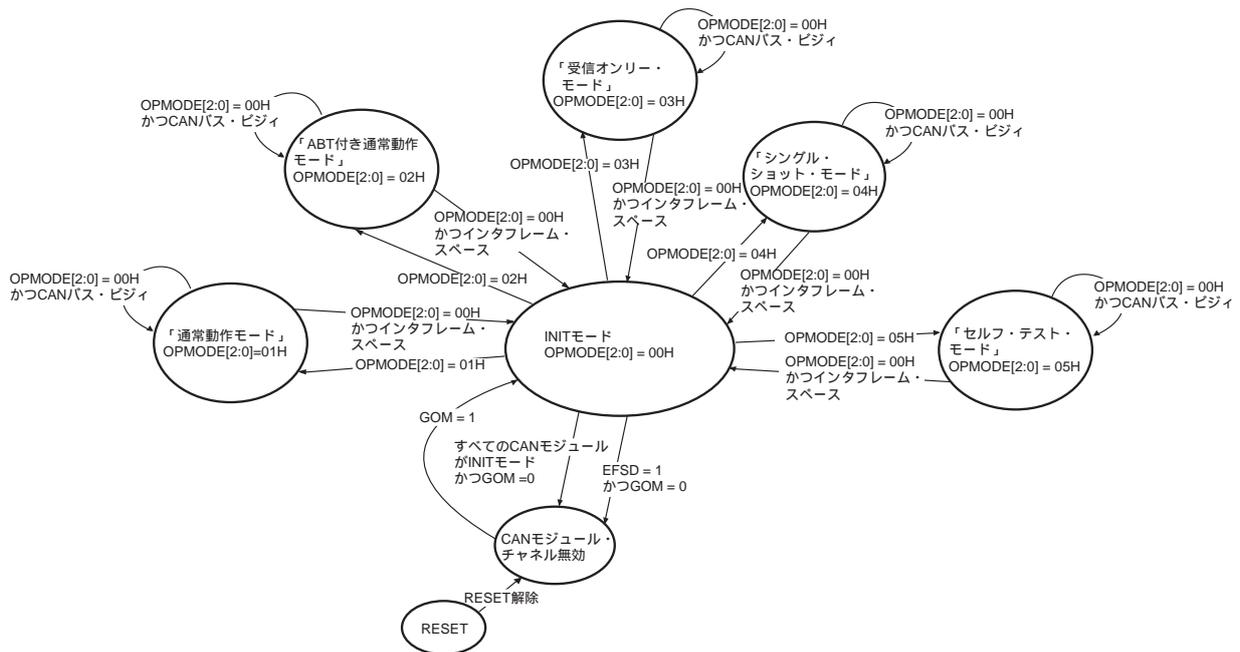
- 注意 1. メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図15 - 40の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図15 - 41の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

### 15.8.4 動作モードへの移行

CANモジュールは、次の動作モードに切り替えることができます。

- ・通常動作モード
- ・ABT付き通常動作モード
- ・受信オンリー・モード
- ・シングル・ショット・モード
- ・セルフ・テスト・モード

図15 - 28 動作モードへの移行



初期化モードから動作モードへの移行は、COCTRLレジスタのOPMODE[2:0]ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作保証はいたしません。

動作モードから初期化モードへの移行要求は、CANバスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE[2:0]ビットの値が00Hに変化します）。初期化モードへの移行要求のあとは、OPMODE[2:0]ビットが000Bになるまで、OPMODE[2:0]ビットをリードして、初期化モードへ移行したことを確認してください(図15 - 37参照)。

### 15. 8. 5 CANモジュールのエラー・カウンタC0ERCのリセット

再初期化やバスオフ強制復帰の際に、CANモジュール・エラー・カウンタC0ERCと、CANモジュール情報レジスタC0INFOをリセットする必要がある場合には、初期化モード中にC0CTRLレジスタのCCERCビットをセット（1）してください。CCERCビットをセット（1）すると、CANモジュール・エラー・カウンタC0ERCとCANモジュール情報レジスタC0INFOは初期値にクリアされます。

## 15.9 メッセージ受信

### 15.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索（RXサーチ）に含まれます。

- ・メッセージ・バッファとして使用している。  
(COMCONFmレジスタのMA0ビットを1Bに設定)
- ・受信用メッセージ・バッファとして設定している。  
(COMCONFmレジスタのMT[2:0]ビットを001B, 010B, 011B, 100B, 101Bに設定)
- ・受信準備ができています。  
(COMCTRLmレジスタのRDYビットがセット(1)されている)

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件（たとえば、OWS = 0により上書き禁止ですすでに受信しているDN = 1の場合など）でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1 (高)	マスクされていないメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
2	マスク1とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
3	マスク2とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
4	マスク3とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
5 (低)	マスク4とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1

備考 m = 00-15

## 15.9.2 受信データの読み出し

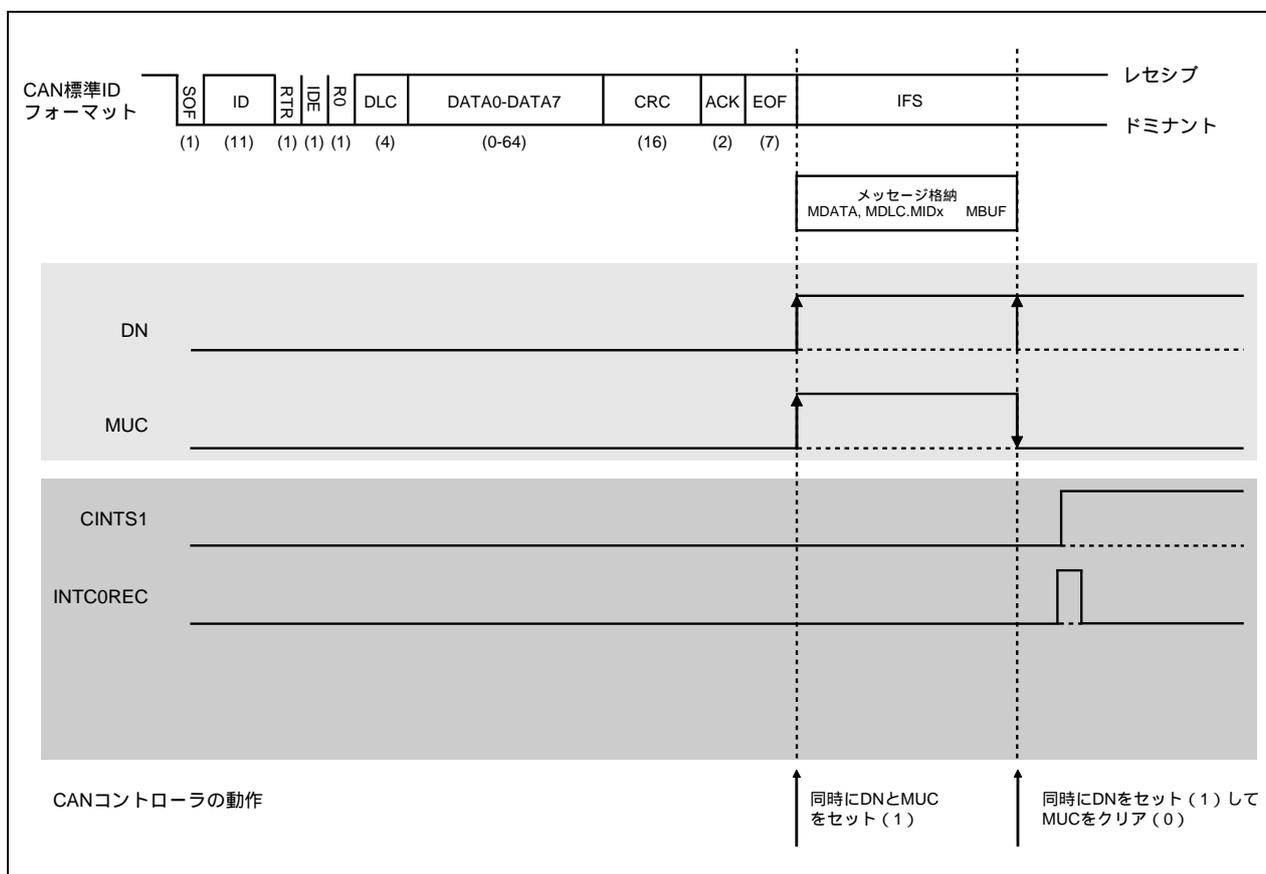
ソフトウェアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には、図15-51～15-53の推奨処理手順で行ってください。

メッセージ受信中，CANモジュールはC0MCTRLmレジスタのDNビットをメッセージ・バッファへのデータの格納処理の始まりと，この格納処理の終わりに2回セット（1）します。この格納処理の間，メッセージ・バッファのC0MCTRLmレジスタのMUCビットはセット（1）されています（図15-29参照）。

データ格納が完了する前には受信履歴・リストへの書き込みが行われます。またこのデータ格納期間（MUC = 1）は，格納対象となっているメッセージ・バッファのC0MCTRLmレジスタのRDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考 m = 00-15

図15-29 DN, MUCビットのセット期間（標準IDフォーマットの場合）



### 15.9.3 受信履歴・リスト機能

受信履歴・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信履歴・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは、最大23メッセージ分の格納エレメントと、受信履歴・リスト書き込みポインタ (LIPT) に対応するC0LIPTレジスタ、および受信履歴・リスト読み出しポインタ (RGPT) に対応するC0RGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHLは不定です。

C0LIPTレジスタは、LIPTポインタ - 1で示されるRHLエレメントの内容を保持しますので、C0LIPTレジスタを読み出すことで一番最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは、RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに、LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは、記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウェアにより、C0RGPTレジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。C0RGPTレジスタからメッセージ・バッファ番号を読み出すごとに、RGPTポインタは自動的にインクリメントされます。

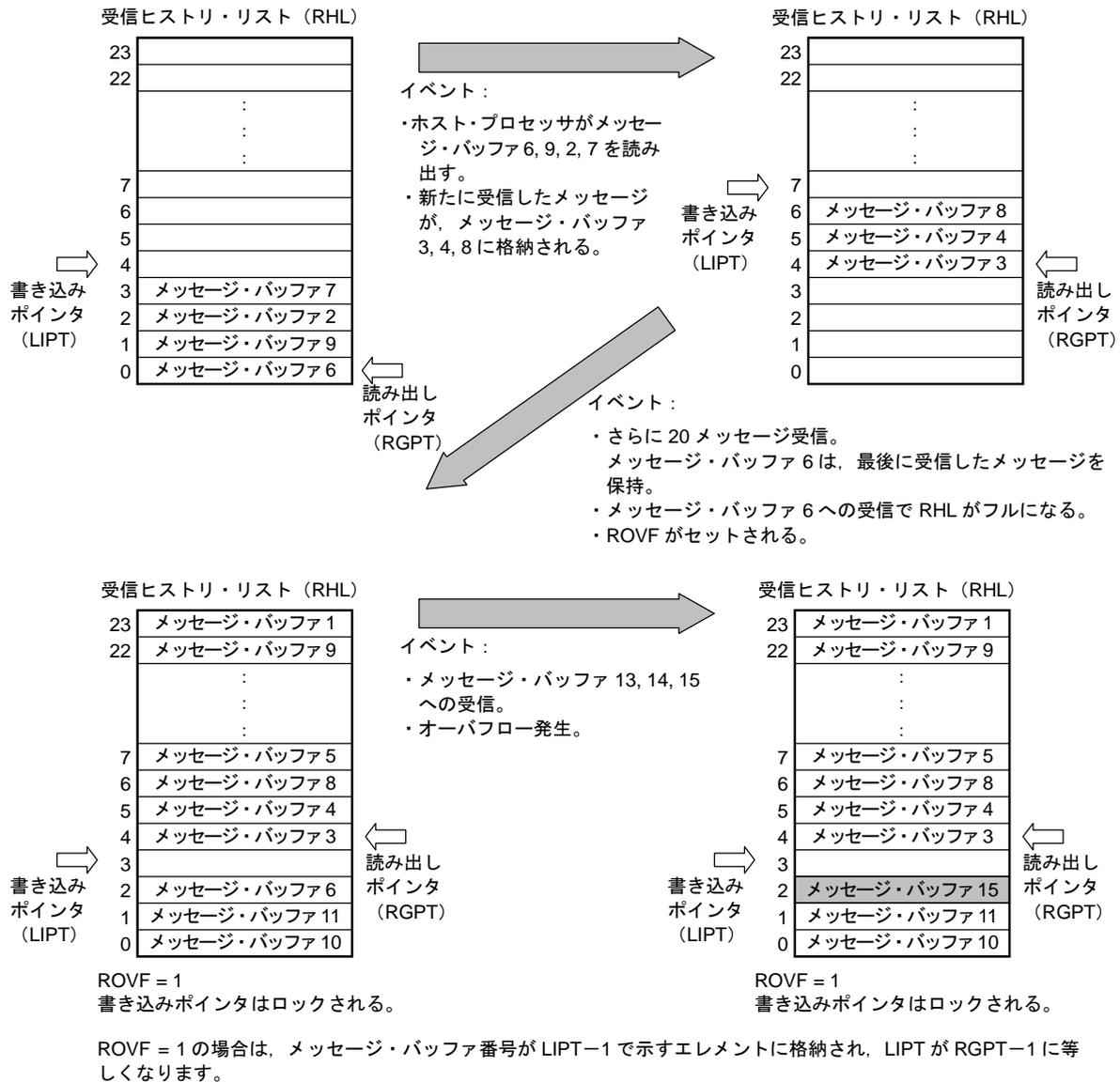
RGPTポインタとLIPTポインタが一致した場合には、C0RGPTレジスタのRHPMビット (受信履歴・リスト・ポインタ一致) がセット (1) されます。RHPMビットがセット (1) されていることで、RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPTポインタがインクリメントされポインタが一致なくなり、RHPMビットはクリア (0) されます。つまり、RHL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLIPTポインタがRGPTポインタ - 1と一致した場合には、C0RGPTレジスタのROVFビット (受信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合、ROVFビットがセット (1) されたあと、RHLに保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

**注意** 受信履歴・リストがオーバーフローした状態 (ROVF = 1) でも、未読の履歴がなくなりRHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバーフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVF = 1かつRHPM = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

受信履歴・リストは未読の状態では23個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合には、受信格納順は完全には読み出せないことがあります。

図15 - 30 受信履歴・リスト



### 15.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4つのグローバル受信マスクの1つを割り当てるか、またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため、1つのバッファの中にいくつかの異なるIDの受信を許容します。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合、次に示す手順で行ってください。

#### メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

x = don't care

#### メッセージ・バッファ14に設定したアイデンティファイア (例)

(CAN0メッセージIDレジスタL14, H14 (C0MIDL14, C0MIDH14) を使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25が“0”に設定され、ID24とID22が“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します。

**備考** メッセージ・バッファ14をマスク1にリンクする（COMCONF14レジスタのMT[2:0] = 010Bに設定）標準フォーマット・アイデンティファイアとして設定します。

**CANモジュール1 (マスク1) のマスク設定 (例)**  
**(CAN1アドレス・マスク1レジスタL, H (C1MASK1L, C1MASK1H) を使用)**

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1 : 比較しない (マスクする)

0 : 比較する

CMID27-CMID24およびCMID22のビットは“0”, CMID28, CMID23, CMID21-CMID0のビットは“1”に設定します。

### 15.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以下, MBRBと記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより, CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。

たとえば, メッセージ・バッファ10からメッセージ・バッファ14の5個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には, 最初にIDが一致するメッセージを受信した場合, メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, IDが一致するメッセージを受信した場合, メッセージ・バッファ11に受信格納されます。以降, IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13, 14とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, IDが一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファのCOMCTRLmレジスタのIEビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックがk個のメッセージで構成されている場合は, データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から (k-2) までは, IEビットをクリア (0) しておき (割り込み無効), メッセージ・バッファk-1では, IEビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファk-1への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRBがフルになったことを知ることができます。あるいは, メッセージ・バッファ0から (k-3) までは, IEビットをクリア (0) しておきメッセージ・バッファk-2のIEビットをセット (1) しておくことで, MBRBがオーバーフローしそうであることのワーニングとすることができます。

MBRBにおいても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意1. MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なっても、IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。
2. MBRBは、リング構造をもっていません。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。
3. MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。
4. MBRBにおける「IDが一致する」とは「マスク後のIDが一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
5. 各MBRB間の優先順位は15. 9. 1 メッセージ受信で示す優先順位に従います。

備考 m = 00-15

### 15.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。  
(COMCONFmレジスタのMA0ビットを1Bに設定)
- ・送信用メッセージ・バッファとして設定している。  
(COMCONFmレジスタのMT[2:0]ビットを000Bに設定)
- ・受信準備ができています。  
(COMCTRLmレジスタのRDYビットがセット(1)されている)
- ・メッセージ送信に設定されている。  
(COMCONFmレジスタのRTRビットがクリア(0)されている)
- ・送信要求が設定されていない。  
(COMCTRLmレジスタのTRQビットがクリア(0)されている)

上記の条件を満足し、かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては、以下の受信格納動作が行われます。

- ・COMDLCmレジスタのMDLC[3:0]ビットは受信したDLC値を格納します。
- ・データ領域COMDATA0m-COMDATA7mは更新されません(受信前のデータが保存されます)。
- ・COMCTRLmレジスタのDNビットがセット(1)されます。
- ・C0INTSレジスタのCINTS1ビットがセット(1)されます(受信格納するメッセージ・バッファのCOMCTRLmレジスタのIEビットがセット(1)されている場合)。
- ・受信完了割り込み(INTC0REC)が出力されます(受信格納するメッセージ・バッファのCOMCTRLmレジスタのIEビットがセット(1)されており、かつC0IEレジスタのCIE1ビットがセット(1)されている場合)。
- ・メッセージ・バッファ番号を受信履歴・リストに記録します

**注意** リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCOMCONFmレジスタのOWSビットによるオーバーライト制御の設定およびCOMCTRLmレジスタのDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット(1)されます。

複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

**備考** m = 00-15

## 15. 10 メッセージ送信

### 15. 10. 1 メッセージ送信

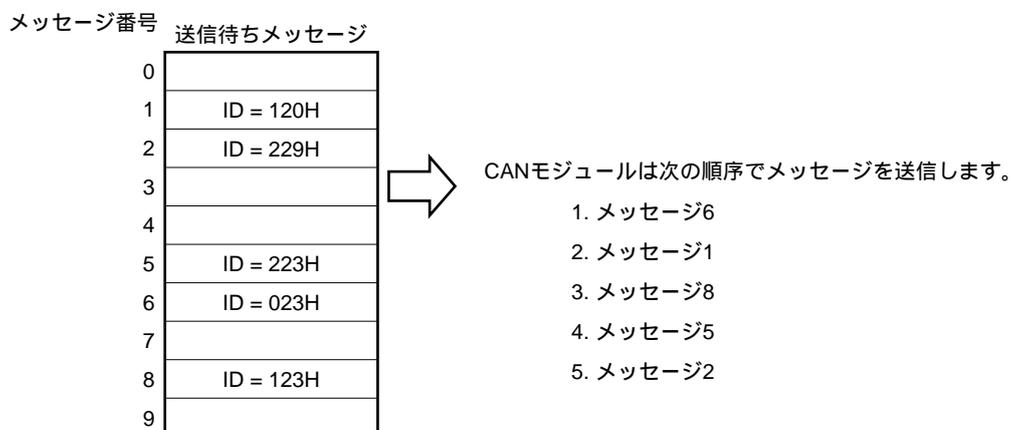
すべての動作モードで、次の条件を満たすメッセージ・バッファにTRQビットがセット(1)されているとき、送信するメッセージ・バッファの検索を行います。

- ・メッセージ・バッファとして使用している。  
(COMCONFmレジスタのMA0ビットを1Bに設定)
- ・送信用メッセージ・バッファとして設定している。  
(COMCONFmレジスタのMT[2:0]ビットを000Bに設定)
- ・送信準備ができています。  
(COMCTRLmレジスタのRDYビットがセット(1)されている)

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア (ID) による送信プライオリティ制御を行います。

図15 - 31 メッセージ処理例



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ (TRQビットがあらかじめセット(1)されたメッセージ・バッファ)のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。ただし、すでに低位の優先度を持つ送信メッセージの送信が開始されている場合には、新しい送信要求はあとで送信されます。この優先度の逆転を解決するために、ソフトウェアにより低優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条 件	説 明
1 (高)	IDの先頭11ビットの値 [ID28-ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は、11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム (RTRビットがクリア(0))は、標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム (IDEビットがクリア(0))は、拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17-ID0]	IDの先頭11ビットが同じ値を持ち、フレーム・タイプが同じ (RTRビット値が等しい)、拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合、拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

**備考1.** ABT付き通常動作モードで、自動ブロック送信要求ABTTRGビットをセット(1)した場合、ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット(1)されます。ABT付き通常動作モードでは、ABTTRGビットにより開始されるとABT領域(バッファ0~7)に1つのTRQビットがセットされます。このTRQビット以外に、アプリケーションは、ABT領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理(TXサーチ)により、検索されたメッセージが次に送信されます。この検索処理は、TRQビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合(たとえば同一IDなど)、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。メッセージ・フレームの送信が成功すると、次の動作を行います。

- ・ 対応する送信メッセージ・バッファのTRQビットが自動的にクリア(0)されます。
  - ・ C0INTSレジスタの送信完了ステータス・ビットCINTS0がセット(1)されます。  
(対応する送信メッセージ・バッファの割り込み許可ビット(IE)がセット(1)されている場合)
  - ・ INTC0TRXの割り込み要求信号が出力されます。  
(C0IEレジスタのCIE0ビットをセット(1)、かつ対応する送信メッセージ・バッファの割り込み許可ビット(IE)がセット(1)されている場合)
2. 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中、RDYフラグが一時的にロックされている可能性があるため、変更後はRDYフラグの状態をソフトウェアにより確認する必要があります。
  3. m = 00-15

## 15. 10. 2 送信履歴・リスト機能

送信履歴・リスト機能は、データ・フレームまたはリモート・フレームを送信するごとに送信履歴・リスト (THL) ヘメッセージ・バッファ番号の記録を行います。THLは、最大7メッセージ分の格納エレメントと、送信履歴・リスト書き込みポインタ (LOPT) に対応するC0LOPTレジスタおよび送信履歴・リスト読み出しポインタ (TGPT) に対応するC0TGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THLは不定です。

C0LOPTレジスタは、LOPTポインタ - 1で示されるTHLエレメントの内容を保持しますので、C0LOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは、THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに、LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

TGPTポインタは、記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウェアにより、C0TGPTレジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。C0TGPTレジスタからメッセージ・バッファ番号を読み出すごとに、TGPTポインタは自動的にインクリメントされます。

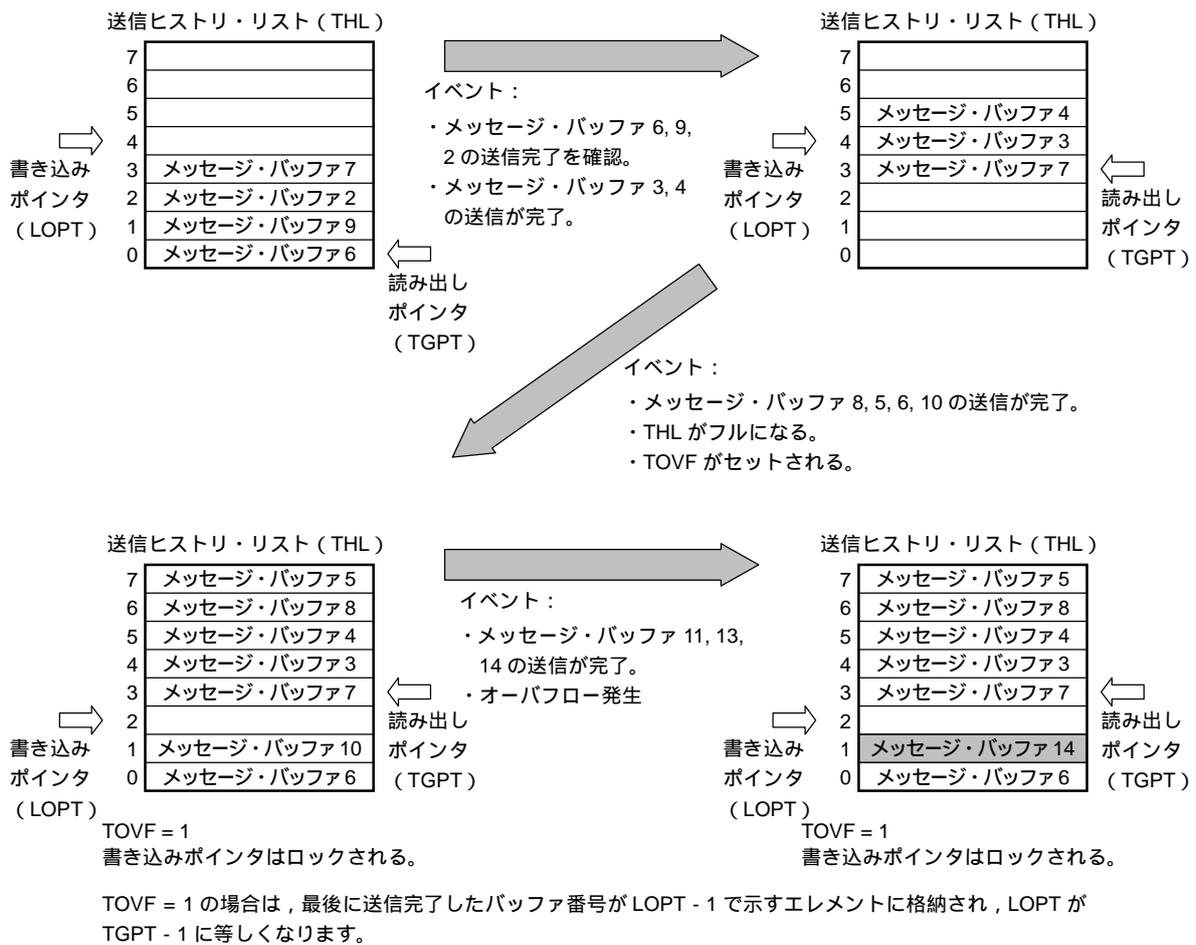
TGPTポインタとLOPTポインタが一致した場合には、C0TGPTレジスタのTHPMビット (送信履歴・リスト・ポインタ一致) がセット (1) されます。THPMビットがセット (1) されていることで、THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPTポインタがインクリメントされポインタが一致なくなり、THPMビットはクリア (0) されます。つまり、THL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLOPTポインタがTGPTポインタ - 1と一致した場合には、C0TGPTレジスタのTOVFビット (送信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。その場合、TOVFビットがセット (1) されたあと、THLに保持しているメッセージ・バッファ番号は完全に時系列にはなくなります。ただし、その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPUが送信再設定を行う前に実行)。TOVFに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

**注意** 送信履歴・リストがオーバーフローした状態 (TOVF = 1) でも、未読の履歴がなくなりTHPMビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (=オーバーフローしている) を継続します。この状態では、TOVFビットがクリア (0) されないかぎりには新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア (0) されません。したがって、TOVF = 1かつTHPM = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

備考 m = 00-15

図15 - 32 送信履歴・リスト



### 15. 10. 3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以下, ABTと記述) は, CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは, C0CTRLレジスタのOPMODE [2:0]ビットを010Bに設定することで, “自動ブロック送信機能付き通常動作モード”(以下, ABT付き通常動作モードと記述) に選択できます。

ABTの送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して, MA0ビットをセット(1)し, さらにMT [2:0]ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは, すべてのメッセージ・バッファのIDが同一として使用する場合でも, 必ず各メッセージ・バッファにIDを設定してください。また, 複数のIDを使用する場合は, C0MIDLm, C0MIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。C0MDLCmレジスタおよびC0MDATA0m-C0MDATA7mレジスタは, ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに, RDYビットをセット(1)してください。ABTでは, TRQビットをソフトウェアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, ABTTRGビットをセット(1)することで開始されます。ABTが開始されると, 最初のメッセージ・バッファ(メッセージ・バッファ0)のTRQビットが自動的にセット(1)され送信が始まります。メッセージ・バッファ0の送信が終了したら, 次のメッセージ・バッファ1のTRQビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求 (TRQ) の自動セットをする間隔にプログラムで遅延の挿入ができます。挿入する遅延量はC0GMABTDレジスタで設定を行い, 単位はDBT(データ・ビット・タイム)です。DBTはC0BRPレジスタおよびC0BTRレジスタで設定される時間に依存します。

ABTは, ABT送信バッファ内での送信IDの優先順位の検索は行わず, メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し, メッセージ・バッファ7からのデータ・フレームの送信が完了すると, ABTTRGビットは自動的にクリア(0)され, ABT送信が完了します。

ABT送信中に, ABT用メッセージ・バッファの中にRDYビットがクリア(0)されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。その後, ソフトウェアによりRDYビットをセット(1)し, ABTTRGビットをセット(1)することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT送信が停止しABTTRGビットがクリア(0)された状態でABTCLRビットをセット(1)することで内部のABT送信エンジンをリセットすることができます。この場合, ABTCLRビットをクリア(0)後, ABTTRGビットをセット(1)するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外のC0MCTRLmレジスタのIEビットをクリア(0)しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ(メッセージ・バッファ8~バッファ15)が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は, 送信履歴・リスト (THL) に記録されません。

- 注意 1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTCLRビットはABTTRGビットがクリア(0)されている状態でセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証いたしません。
2. ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。
  3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証いたしません。
  4. ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証いたしません。
  5. COGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~バッファ15)に対する送信要求の設定状況に依存して変化します。
  6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(COGMABTD = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。
  7. ABTTRG = 1の状態では、RDYビットをクリア(0)しないでください。
  8. ABT付き通常動作モード時、他ノードからメッセージを受信した場合、COGMABTDレジスタ = 00Hの設定時でも1フレーム分待ってからABTメッセージを送信する場合があります。

備考 m = 00-15

## 15.10.4 送信中断処理

### (1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、C0MCTRLmレジスタのTRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すC0CTRLレジスタのTSTATビットとC0TGPTレジスタを確認してください(詳細は、図15-47の処理を参照してください)。

### (2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理

送信要求を中断する必要がある場合には、最初にC0GMABTレジスタのABTTRGビットをクリア(0)します。C0GMABTレジスタのABTTRGビットがクリア(0)されたことを確認したあとで、C0MCTRLmレジスタのTRQビットをクリアします。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すC0CTRLレジスタのTSTATビットとC0TGPTレジスタを確認してください(詳細は、図15-48の処理を参照してください)。

### (3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は、C0GMABTレジスタのABTTRGビットをクリア(0)します。この場合、ABTTRGビットは、現在ABTメッセージの送信であれば、送信が完了(成功、失敗問わず)するまでABTTRG = 1を保持し、送信が完了した時点でABTTRGビットはクリア(0)されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア(0)要求をする時点で、TRQビットがセット(1)されている場合には、内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています(詳細は、図15-49の処理を参照してください)。ABTTRGビットのクリア(0)要求をする時点で、TRQビットがクリア(0)されている場合には、内部ABTポインタは+1インクリメントされ、ABT領域の次のメッセージ・バッファを指します(詳細は、図15-50の処理を参照してください)。

**注意** ABT送信の中断は必ずABTTRG = 0によって行ってください。RDYビットのクリアによる送信中断を要求した場合は、動作を保証いたしません。

ABT中断後にABTTRGビットをセット(1)することでABT付き通常動作モードが再開する場合、再開後に送信されるABTメッセージ・バッファは次の通りです。

ABT用メッセージ・ バッファのTRQの状態	成功送信完了後に中断	送信エラー後に中断
セット(1)	ABT領域の次のメッセージ・バッファ <sup>注</sup>	ABT領域の同じメッセージ・バッファ
クリア(0)	ABT領域の次のメッセージ・バッファ <sup>注</sup>	ABT領域の次のメッセージ・バッファ <sup>注</sup>

**注** ABT領域に、ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ7のABT送信中に発行された中断要求は、メッセージ・バッファ7の送信が成功完了した場合は、ABTTRG = 0となっても中断ではなくABT送信の完了とみなされます。またABT領域の次のメッセージ・バッファのRDYビットがクリア(0)されている場合などは、内部ABTポインタは保持されますが、ABTTRGビットをセット(1)しても再開動作は行わずにただちにABT送信を終了します。

**備考** m = 00-15

### 15. 10. 5 リモート・フレーム送信

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。COMCONFmレジスタのRTRビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット(1)することにより、リモート・フレーム送信ができます。

**備考** m = 00-15

## 15. 11 パワー・セーブ・モード

### 15. 11. 1 CANスリープ・モード

CANスリープ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは、すべての動作モードから移行することができます。CANスリープ・モードが解除されても、CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは、送信要求が発行または保留されていてもメッセージを送信しません。

#### (1) CANスリープ・モードへの移行

C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することで、CANスリープ・モードの要求を行います。この要求は以下の場合に受け付けられます。

- ・CANモジュールがすでに次の動作モードにある場合
  - ・通常動作モード
  - ・ABT付き通常動作モード
  - ・受信オンリー・モード
  - ・シングル・ショット・モード
  - ・セルフ・テスト・モード
  - ・上記のすべての動作モードにおいてCANストップ・モードである
- ・CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセシブである）<sup>※</sup>
- ・送信要求が保留されていない

**注** CANバスがドミナントに固着している場合には、CANスリープ・モードへの移行要求は保留されます。また、CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

**備考** CANスリープ・モード遷移要求が保留されている状態で受信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく、受信格納が処理されてから受け付けられCANスリープ・モードに移行します。このとき、CPUが受信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび受信ヒストリ・レジスタへのアクセス可否を確認する必要があります。

上記の条件の1つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいてCANスリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信時）ときにCANスリープ・モードの要求が行われた場合、CANスリープ・モードへただちに移行しません。その場合、CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE[1:0]ビットは00Bの設定のままになっていますが、移行が完了するとPSMODE[1:0] = 01Bになります。
- ・任意の動作モードにおいて、初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- ・また、初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば、CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点でCANスリープ・モード要求はただちに無効となります。また初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合、CANスリープ・モード要求の発行時点でただちにCANスリープ・モード要求が無効になります。

## (2) CANスリープ・モードの状態

CANスリープ・モードへ移行後は、CANモジュールは下記の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CANバスからのウエイク・アップのためにCAN受信端子（CRxD）の立ち下がりエッジ検出は機能しています。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（C0CTRL）のPSMODE[1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みできません。
- ・CANモジュール・レジスタからの読み出しは、C0LIPT, C0RGPT, C0LOPT, C0TGPTを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル・モジュール制御レジスタ（C0GMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

### (3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- ・ COCTRLレジスタのPSMODE[1:0]ビットに00Bを設定した場合
- ・ CAN受信端子 (CRxD) の立ち下がりエッジの検出 (レセシブからドミナントへのCANバス変化)

- 注意 1.** 立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージは受信および格納はされません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE [1:0] ビットは01Bのままとなります。また、それ以降の受信メッセージについても受信されません。
- 2.** CANクロックが供給されている状態で、CAN受信端子 (CRxD) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図15 - 54の処理を参照してください)。

CANスリープ・モードが解除されたあとは、CANスリープ・モードが要求される前の動作モードに戻り、COCTRLレジスタのPSMODE[1:0]ビットは00Bにリセットされます。CANスリープ・モードが、CANバス変化によって解除された場合、C0IEレジスタのCIEビットに関わらずC0INTSレジスタのCINTS5ビットがセット (1) されます。またCANスリープ・モード解除後は、CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前にMBON = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANスリープ・モードをいったん解除してください。

- 注意** CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

**備考** m = 00-15

## 15.11.2 CANストップ・モード

CANストップ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは、CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって、CANスリープ・モードに移行します。

CANストップ・モードは、C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能で、CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

### (1) CANストップ・モードへの移行

C0CTRLレジスタのPSMODE[1:0]ビットを11Bに設定することで、CANストップ・モードの要求を行います。CANストップ・モードの要求は、CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では、CANストップ・モードの移行要求は無視されます。

**注意** CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE[1:0] = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子（CRxD）のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります（ただし、CANクロックが供給されている状態では、CAN受信端子（CRxD）のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。

### (2) CANストップ・モードの状態

CANストップ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（C0CTRL）のPSMODE[1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- ・CANモジュール・レジスタからの読み出しは、C0LIPT、C0RGPT、C0LOPT、C0TGPTを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル・モジュール制御レジスタ（C0GMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

### (3) CANストップ・モードの解除

CANストップ・モードは、C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANストップ・モードを解除し、さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

備考 m = 00-15

### 15.11.3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CANモジュールをCANスリープ・モードに移行させます (PSMODE [1:0]ビット = 01B)。次に、CPUをパワー・セーブ・モードに移行させます。この状態で、CAN受信端子 (CRxD) がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールのCINTS5ビットがセット (1) され、さらにC0CTRLレジスタのCIE5ビットがセット (1) されている場合には、ウエイク・アップ割り込み (INTC0WUP) が発生します。

CANモジュールは、CANスリープ・モードが自動的に解除 (PSMODE [1:0]ビット = 00B) され、通常動作モードに復帰します (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRxD) のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。一方、CPUはINTC0WUPを受けて、CPU自身のパワー・セーブ・モードを解除し、通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために、CANモジュールを含めた内部クロックを停止させることがあります。この場合、上述のように、CANモジュールをCANスリープ・モードに移行させたあとに、CANモジュールに供給されている動作クロックを停止します。その後、CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で、CAN受信端子 (CRxD) がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールはクロック供給がない状態でもCINTS5ビットのセット (1) とウエイク・アップ割り込み (INTC0WUP) を発生することが可能です。ただし、それ以外の機能は、CANモジュールへのクロック供給が止まっているため動作せず、CANスリープ・モード状態を維持します。CPUは、INTC0WUPを受けて、CPUのパワー・セーブ・モードを解除し、たとえば発振安定時間経過後に、CANモジュールへのクロックを含めた内部クロックの供給を再開し、所定の命令実行動作を開始します。CANモジュールは、クロック供給が再開されるとただちにCANスリープ・モードを解除し、通常動作モード (PSMODE [1:0]ビット = 00B) に復帰します。

## 15.12 割り込み機能

CANモジュールには、6つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6つの割り込み要因から、4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア(0)する必要があります。

表15-20 CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 <sup>注1</sup>	C0INTS	CIE0 <sup>注1</sup>	C0IE	INTC0TRX	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 <sup>注1</sup>	C0INTS	CIE1 <sup>注1</sup>	C0IE	INTC0REC	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	C0INTS	CIE2	C0IE	INTC0ERR	CANモジュール・エラー状態割り込み <sup>注2</sup>
4	CINTS3	C0INTS	CIE3	C0IE		CANモジュール・プロトコル・エラー割り込み <sup>注3</sup>
5	CINTS4	C0INTS	CIE4	C0IE		CANモジュール・アービトレーション・ロスト割り込み
6	CINTS5	C0INTS	CIE5	C0IE	INTC0WUP	CANスリープ・モードからのウエイク・アップ割り込み <sup>注4</sup>

注1. メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファのCOMCTRLレジスタのIEビット(メッセージ・バッファ割り込み許可ビット)をセット(1)する必要があります。

- 送受信エラー・カウンタがワーニング・レベル、エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。
- スタッフ・エラー、フォーム・エラー、ACKエラー、ビット・エラー、CRCエラーが要因で発生する割り込みです。
- CAN受信端子の立ち下がリエッジの検出(レセプブからドミナントへのCANバス変化)によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考 m = 00-15

## 15. 13 診断機能と特殊動作モード

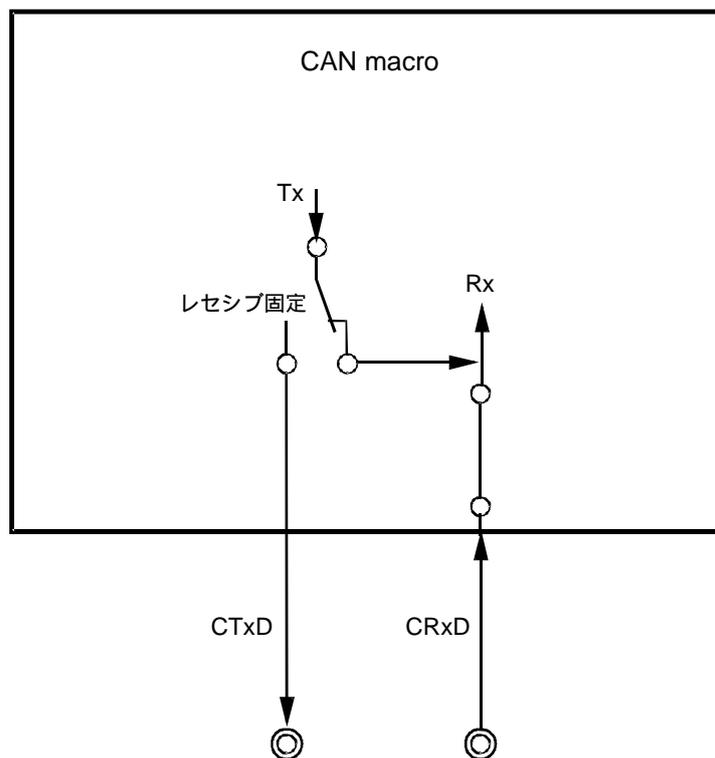
CANモジュールは、CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます

### 15. 13. 1 受信オンリー・モード

受信オンリー・モードは、CANバスに影響を与えずに受信メッセージをモニタするモードで、CANバス分析ノード用に使用できます。

たとえば、自動ボー・レート検出に利用できます。“有効な受信”が検出されるまでCANモジュールのボー・レートを変化させ、互いのボー・レートを合わせ込むことができます(“有効な受信”とは、エラーが発生せず、CANバスに接続されたノードによる適切なACK応答を伴って、CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します)。有効な受信では、受信メッセージ・バッファ(データ・フレーム)または送信メッセージ・バッファ(リモート・フレーム)へのメッセージ・フレームの格納は必要ありません。有効な受信は、C0CTRLレジスタのVALIDビットがセット(1)されることで確認できます。

図15 - 33 受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードは、CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CANモジュールのCAN送信端子 (CTxD) は、レセプ・レベルに固定されています。したがって、メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも、CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また、CANモジュールから送信を発行できないため、送信エラー・カウンタTECは更新されません。したがって、受信オンリー・モードのCANモジュールは、バスオフ状態になりません。

さらに、受信オンリー・モードは、有効なメッセージ・フレームの受信時に、CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバロード・フレームをCANバスに送信することができません。

**注意** 2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・パッシブになります (エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合)。メッセージ・フレームの17回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット (1) されます。

### 15.13.2 シングル・ショット・モード

シングル・ショット・モードでは、CANプロトコルで定義された自動再送信は行いません (CANプロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります)。シングル・ショット・モードのその他の動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードでは、C0CTRLレジスタのALビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア (0) されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット (1) されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファのTRQビットは、次のイベントでクリア (0) されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、それぞれC0INTSレジスタのCINTS4ビット、CINTS3ビットを確認し、エラーの種類はC0LECレジスタのLEC [2:0]ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、C0INTSレジスタの送信完了割り込みCINTS0は、セット (1) されます。そのとき、C0IEレジスタのCIE0ビットがセット (1) されている場合には、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイム・トリガの通信方法 (TTCANレベル1など) をエミュレートするために使用することができます。

**注意** ALビットは、シングル・ショット・モードでのみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。

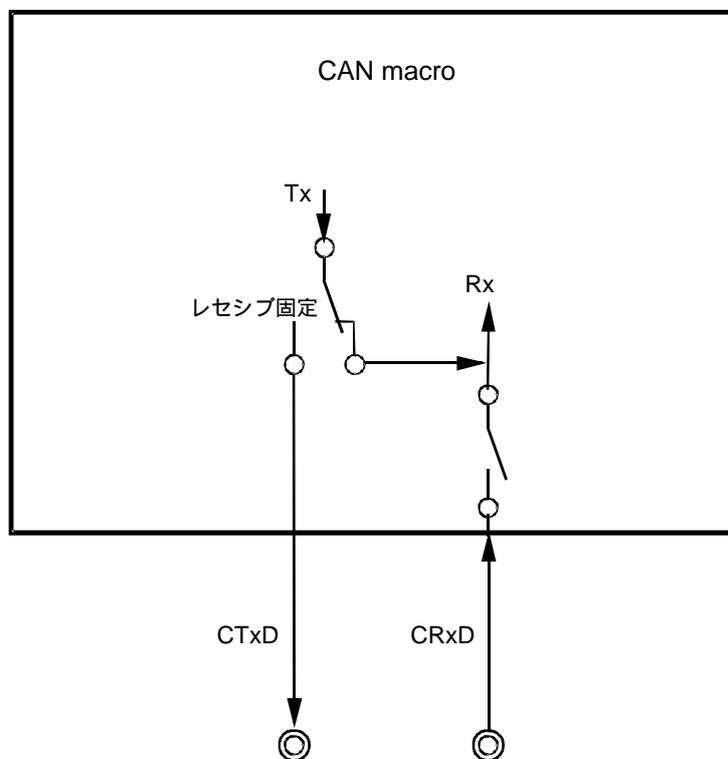
### 15.13.3 セルフ・テスト・モード

セルフ・テスト・モードは、CANノードをCANバスに接続することなく、つまり、CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードは、CANモジュールがCANバスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN送信端子 (CTxD) は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードでCANスリープ・モードに移行したあと、CAN受信端子 (CRxD) の立ち下がりエッジの検出をすると、他の動作モードと同様にCANスリープ・モードから解除されます(ただし、CANクロックが供給されている状態でスリープ・モードを解除したい場合は、CAN受信端子 (CRxD) の立ち下がりエッジの検出後、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。CANスリープ・モードから解除されないようにするには、CAN受信端子 (CRxD) をポートに切り替えて使用してください。

図15 - 34 セルフ・テスト・モードにおけるCAN端子接続



### 15. 13. 4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表15 - 21に示します。

表15 - 21 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム /リモート・ フレーム送信	ACK送信	エラー・フレーム /オーバーロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビットの セット	メッセージ・ バッファへの データ格納
初期化モード	-	-	-	-	-	-	-
通常動作モード					-		
ABT付き通常動作 モード							
受信オンリー・ モード	-	-	-	-	-		
シングル・ ショット・モード				注1	-		
セルフ・テスト・ モード	注2	注2	注2	注2	-	注2	注2

注1. アービトレーション・ロスト時，COCTRLレジスタのALビットにより，再送信の設定が可能です。

2. 各信号は外部に出力されませんが，CANモジュール内部で発生します。

## 15.14 タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって、CANバスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していません）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CANバス上の信号をトリガとしてタイマ値をキャプチャすることです。

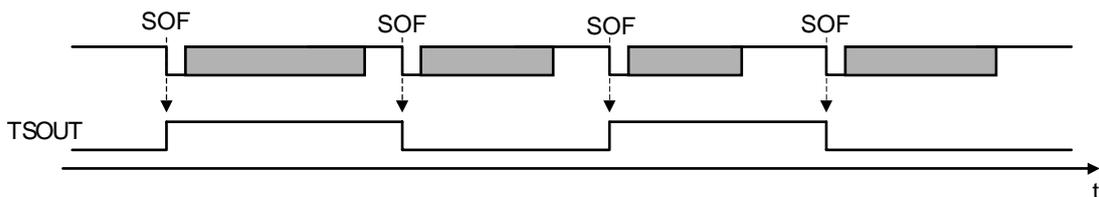
### 15.14.1 タイム・スタンプ機能

CANコントローラは、特定フレームをトリガとしてタイマ値をキャプチャする場合に必要な機能をサポートしています。そのために、CANコントローラに加え製品に内蔵されている16ビットのキャプチャ/タイマ・ユニットを使用します。この場合、16ビット・キャプチャ・タイマ・ユニットは、CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号(TSOUT)に応じて、タイマ値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUTは、次の2つのイベント・ソースから選択することができ、C0TSレジスタのTSSELビットにより指定します。

- ・ SOFイベント（スタート・オブ・フレーム）（TSSEL = 0）
- ・ EOFイベント（エンド・オブ・フレームの最終ビット）（TSSEL = 1）

またTSOUT信号は、C0TSレジスタのTSENビットをセット（1）することで動作許可状態になります。

図15 - 35 キャプチャ用信号TSOUTのタイミング図



TSOUT信号は、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします（図15 - 35は、SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUT信号によるキャプチャを行うためには、キャプチャ/タイマ・ユニット側では、キャプチャ信号の検出は立ち上がり、および立ち下りの両エッジで行う必要があります。

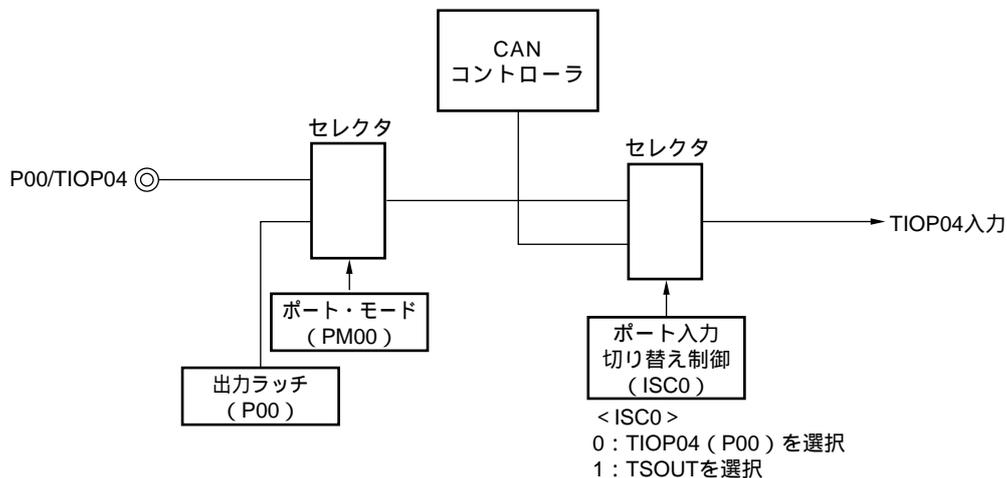
これらのタイム・スタンプの機能は、C0TSレジスタのTSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルします。TSLOCKビットがセット（1）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルしますが、データ・フレームがメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで、トグル動作を停止させることができます。これにより、以降のTSOUT信号のトグル発生を抑え、最後にトグルした（= 最後にキャプチャした）タイム・スタンプ値を、メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

**注意** TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUT信号のトグルは停止しません。

上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。

ポート入力切り替え制御（ISC0）により、外部でTSOUTとTIOP40の結線をせずに、キャプチャ用のトリガ信号（TSOUT）の入力ソースを16ビット・タイマ/イベント・カウンタP4へ入力することができます。

図15 - 36 ポート入力切り替え制御



**備考** ISC0 : 入力切り替え制御レジスタ (ISC) のビット0 ( 図12 - 19参照 )

## 15. 15 ボー・レート設定について

### 15. 15. 1 ボー・レート設定について

CANを正常に動作させるために、次の条件に設定してください。

- (a) 5TQ SPT (サンプル・ポイント) 17TQ  
SPT = TSEG1 + 1TQ
- (b) 8TQ DBT (データ・ビット・タイム) 25TQ  
DBT = TSEG1 + TSEG2 + 1TQ = TSEG2 + SPT
- (c) 1TQ SJW (同期ジャンプ幅) 4TQ  
SJW DBT - SPT
- (d) 4TQ TSEG1 16TQ [3 TSEG1[3:0]の設定値 15]
- (e) 1TQ TSEG2 8TQ [0 TSEG2[2:0]の設定値 7]

**備考** TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)  
TSEG1[3:0] : CAN0ビットレート・レジスタ (C0BTR) のビット3-ビット0  
TSEG2[2:0] : CAN0ビットレート・レジスタ (C0BTR) のビット10-ビット8

上記条件を満たすビット・レートの組み合わせを表15 - 22に示します。

表15 - 22 設定可能なビット・レート組み合わせ (1/3)

DBTの長さ	有効なビット・レート設定				COBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1[3:0]	TSEG2[2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

表15 - 22 設定可能なビット・レート組み合わせ (2/3)

DBTの長さ	有効なビット・レート設定				COBTRレジスタ設定値		サンプル・ポ イント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1[3:0]	TSEG2[2:0]	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

表15 - 22 設定可能なビット・レート組み合わせ (3/3)

DBTの長さ	有効なビット・レート設定				C0BTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1[3:0]	TSEG2[2:0]	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 <sup>注</sup>	1	2	2	2	0011	001	71.4
7 <sup>注</sup>	1	4	1	1	0100	000	85.7
6 <sup>注</sup>	1	1	2	2	0010	001	66.7
6 <sup>注</sup>	1	3	1	1	0011	000	83.3
5 <sup>注</sup>	1	2	1	1	0010	000	80.0
4 <sup>注</sup>	1	1	1	1	0001	000	75.0

注 DBT値が7以下の設定は、C0BRPレジスタ = 00H以外の場合のみ有効です。

注意 表15 - 22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

## 15. 15. 2 代表的なボー・レート設定例

代表的なボー・レート設定例を表15 - 23および表15 - 24に示します。

表15 - 23 代表的なボー・レート設定例 ( $f_{CANMOD} = 8 \text{ MHz}$ 設定時)(1/2)

ボー・レート設定値 (単位: kbps)	COBRPによる分周比	COBRPレジスタ設定値 TQPRS[7:0]	有効なビット・レート設定 (単位: TQ)					COBTRレジスタ設定値		サンプル・ポイント (単位: %)
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意 表15 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表15 - 23 代表的なボー・レート設定例 ( $f_{CANMOD} = 8 \text{ MHz}$ 設定時)(2/2)

ボー・レート 設定値 (単位: kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定 (単位:TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位:%)
			DBTの 長さ	SYNC SEGME NT	PROP SEGME NT	PHASE SEGME NT1	PHASE SEGME NT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 表15 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表15 - 24 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 16 MHz設定時)(1/2)

ボー・レート 設定値 (単位： kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定 (単位：TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGME NT	PROP SEGME NT	PHASE SEGME NT1	PHASE SEGME NT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表15 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表15 - 24 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 16 MHz設定時)(2/2)

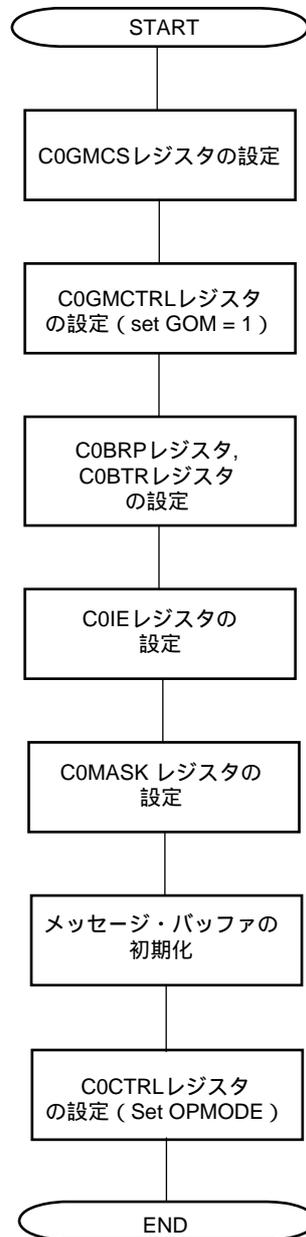
ボー・レート 設定値 (単位: kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定 (単位:TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位:%)
			DBTの 長さ	SYNC SEGME NT	PROP SEGME NT	PHASE SEGME NT1	PHASE SEGME NT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表15 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

## 15.16 CANコントローラの動作

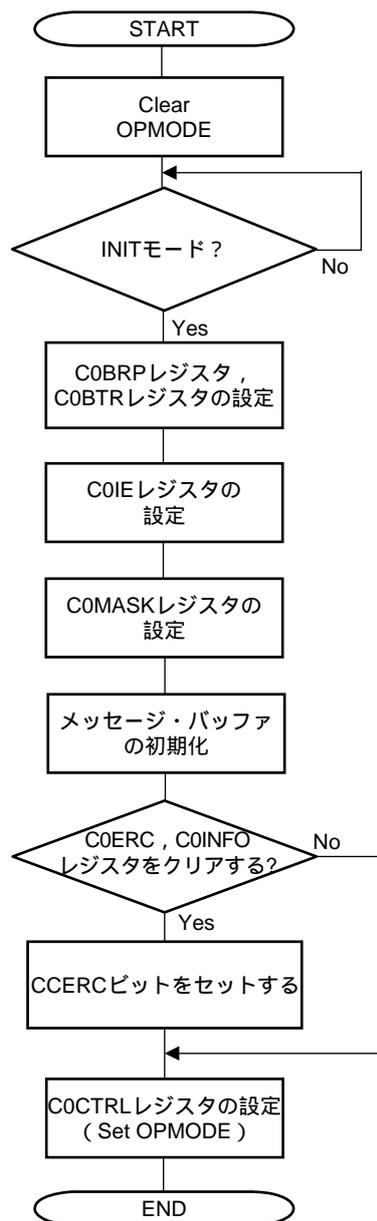
備考 m = 00-15

図15 - 37 初期化



備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

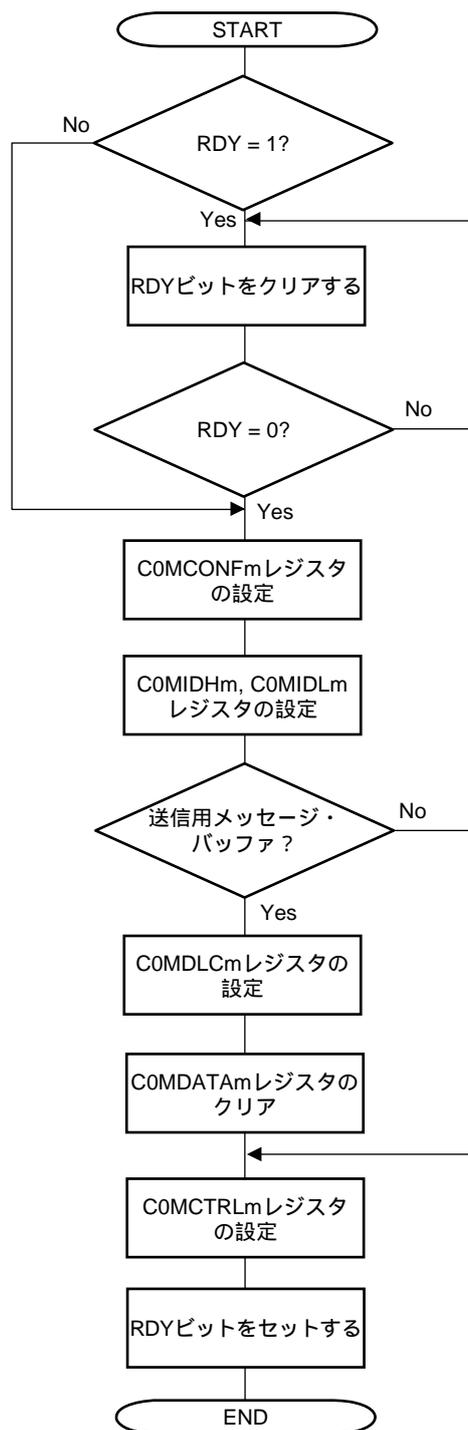
図15 - 38 再初期化



**注意** 初期化モードへ移行したあとに、連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には、必ずCOCTRL, COGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。

**備考** OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

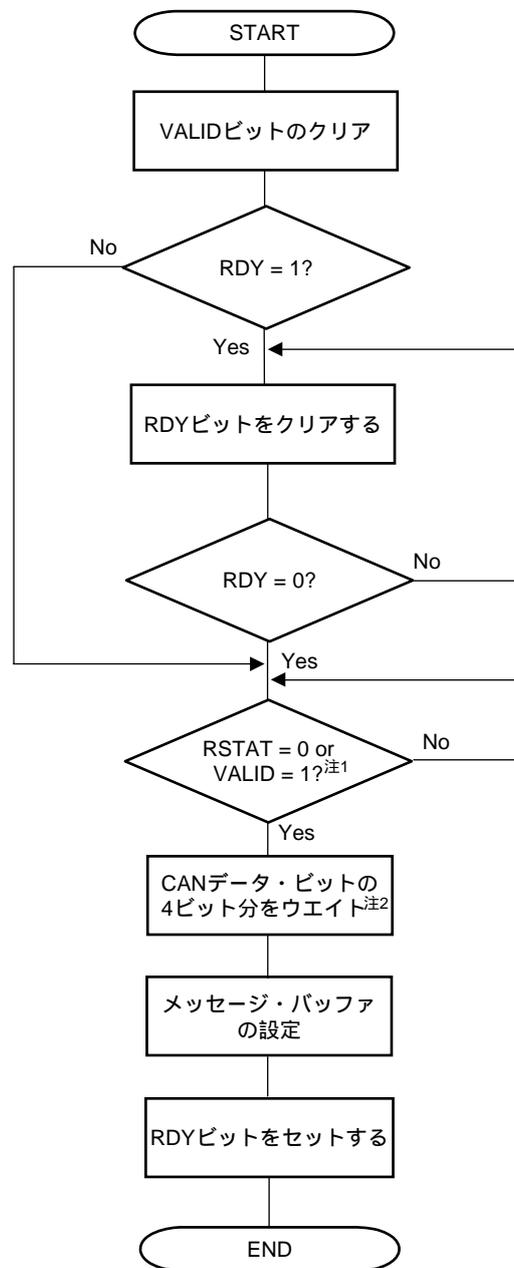
図15 - 39 メッセージ・バッファの初期化



- 注意 1. メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。
2. アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。
- ・COMCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア(0)する。
  - ・COMCONFmレジスタのMA0ビットをクリア(0)する。

図15 - 40は、受信メッセージ・バッファに対する処理です( COMCONFmレジスタのMT[2:0]ビット = 001B-101B )。

図15 - 40 メッセージ・バッファの再定義



注1. メッセージ受信中に再定義を行った場合には、受信が終わってからRDYビットをセットしなければならないため、受信中かどうかを確認する必要があります。

2. この4ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図15 - 41は、送信中の送信メッセージ・バッファに対する処理です（COMCONFmレジスタのMT[2:0]ビット = 000B）。

図15 - 41 送信中のメッセージ・バッファの再定義

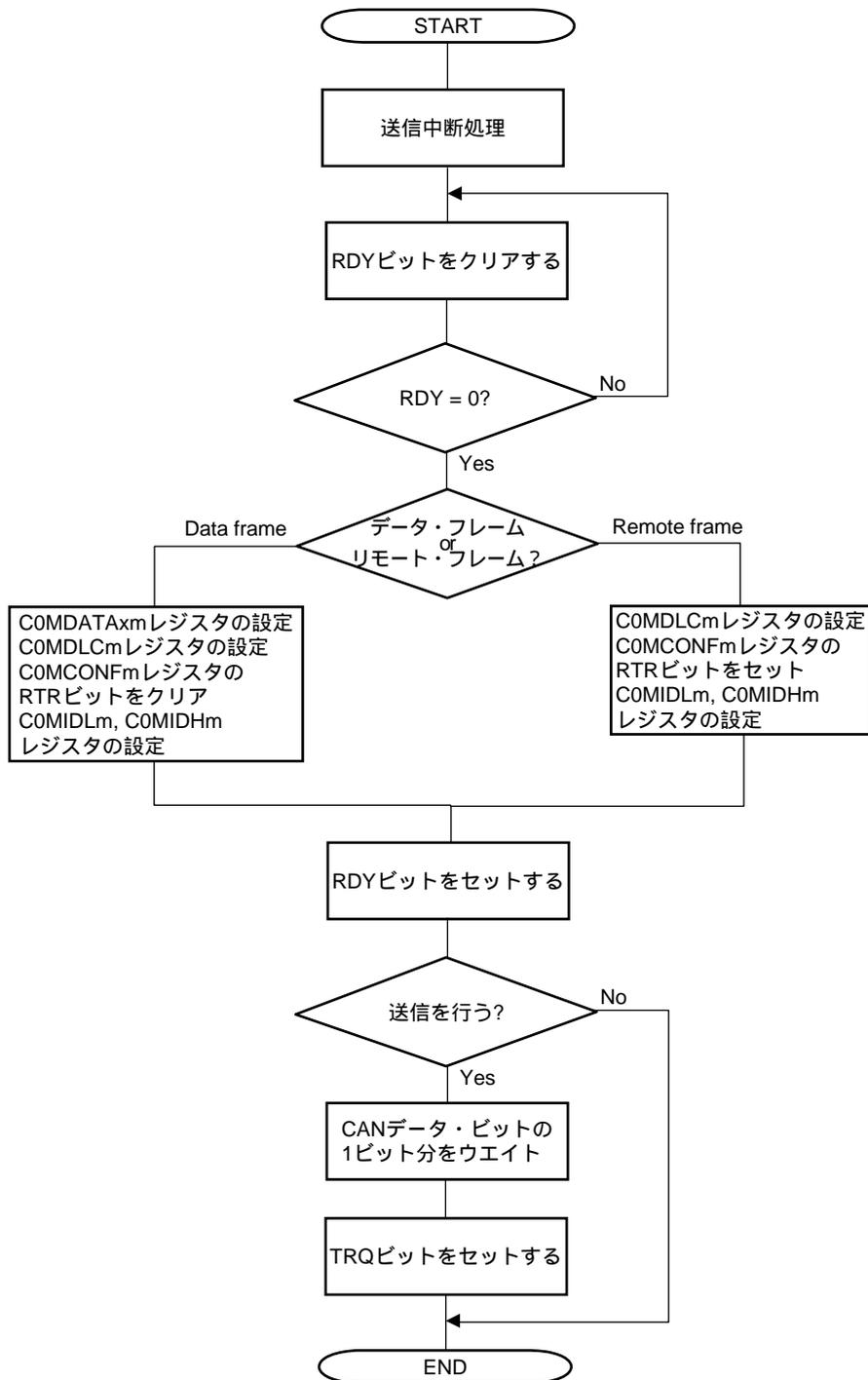
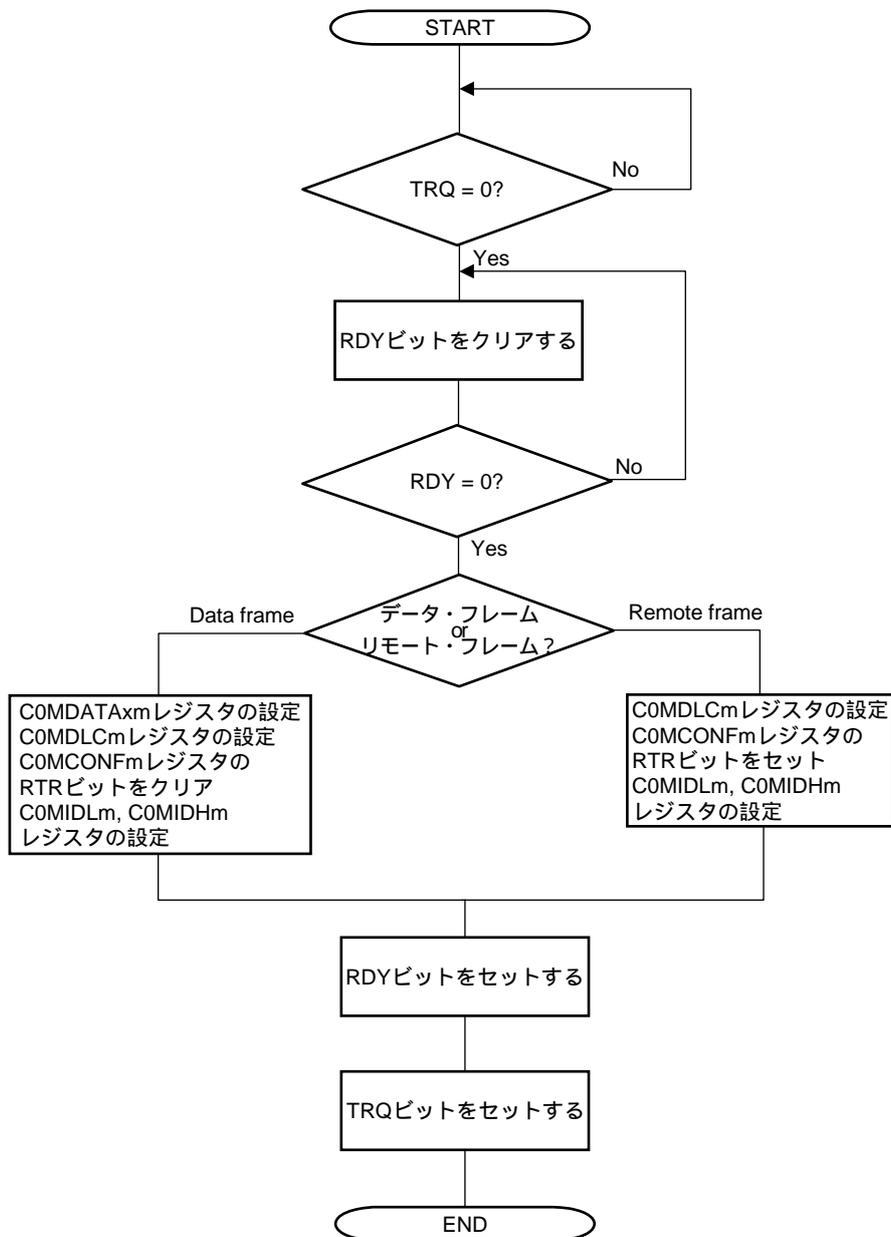


図15 - 42は、送信メッセージ・バッファに対する処理です（COMCONFmレジスタのMT[2:0]ビット = 000B）。

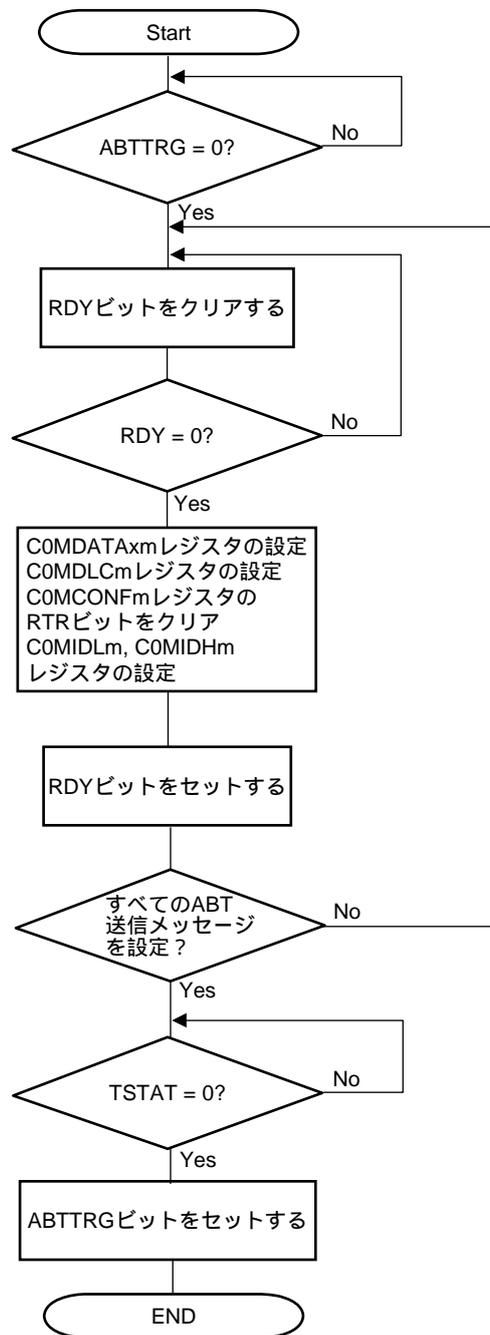
図15 - 42 メッセージ送信処理



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。  
2. RDYビットとTRQビットは同時に設定しないでください。

図15 - 43は、送信メッセージ・バッファに対する処理です（COMCONFmレジスタのMT[2:0]ビット = 000B）。

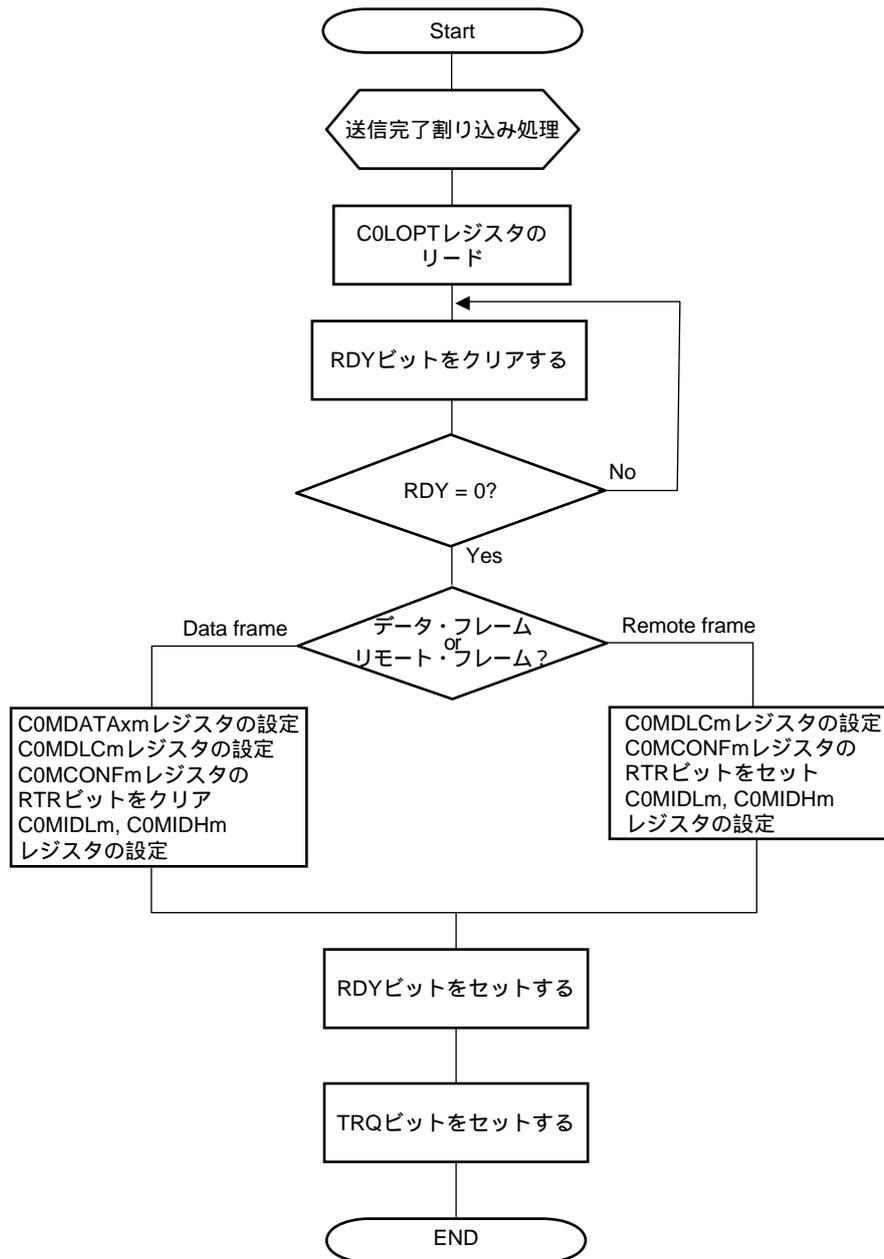
図15 - 43 ABTメッセージ送信処理



**注意** ABTTRGビットのセット（1）は、TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は、連続的に処理を行う必要があります。

**備考** 本処理（ABTメッセージ送信処理）は、メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては、図15 - 42を参照してください。

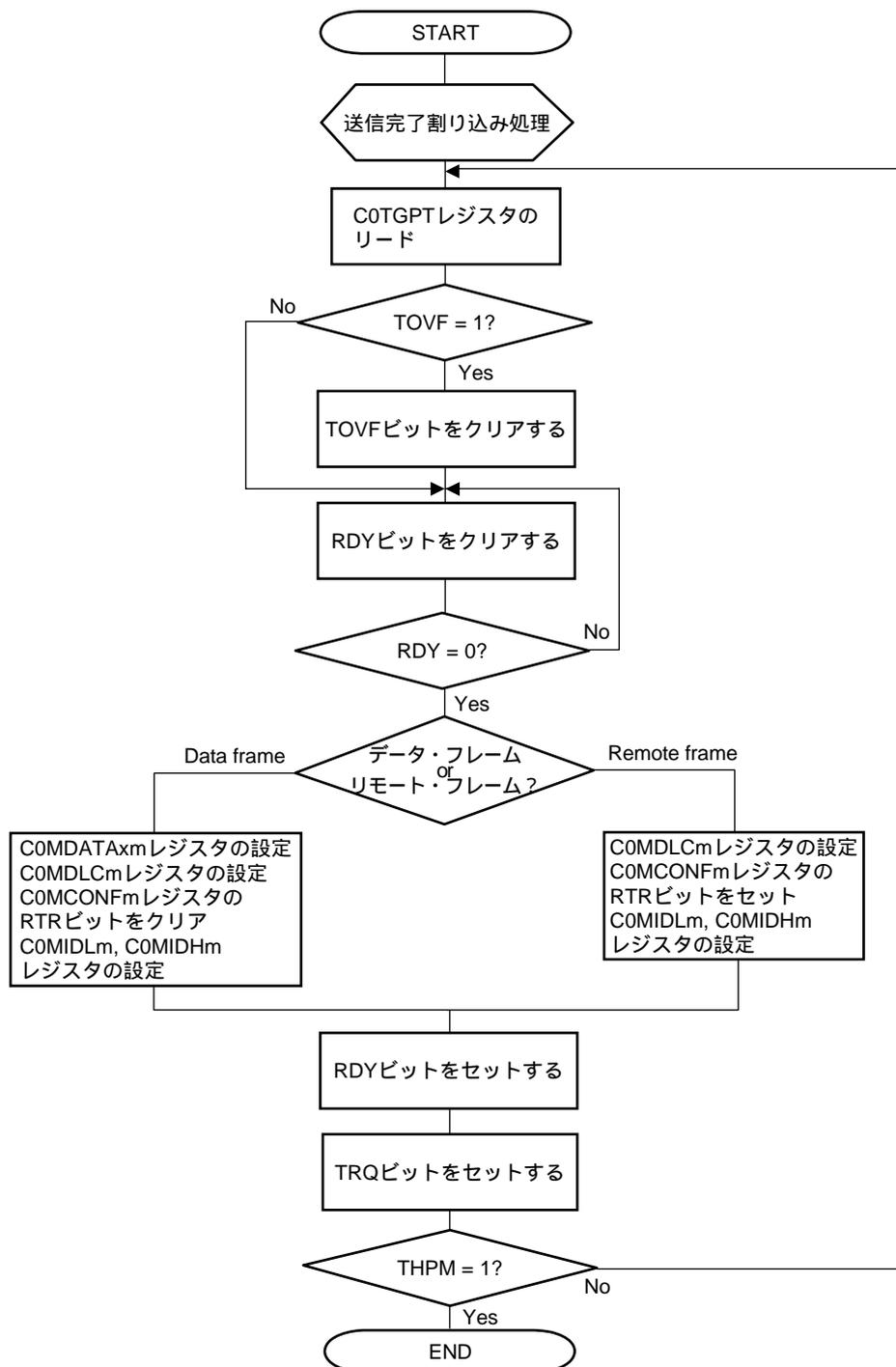
図15 - 44 割り込みによる送信処理 (C0LOPTレジスタを使用する処理)



- 注意 1.** RDYビットはTRQビットを設定する前に必ず設定してください。
- 2.** RDYビットとTRQビットは同時に設定しないでください。

**備考** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

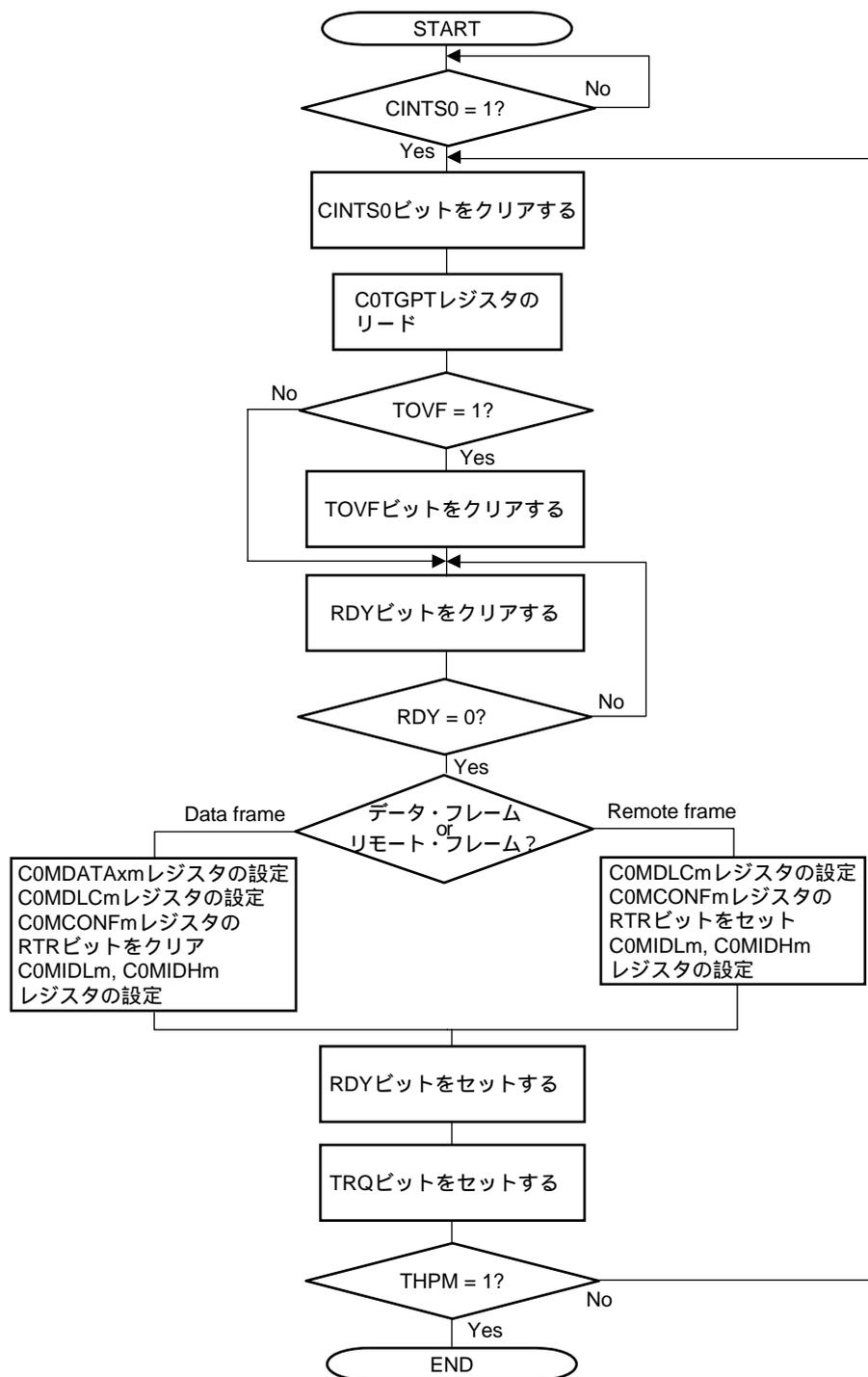
図15 - 45 割り込みによる送信処理 (C0TGPTレジスタを使用する場合)



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。  
 2. RDYビットとTRQビットは同時に設定しないでください。

- 備考 1.** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されていた場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. TOVFビットが一度セット（1）された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

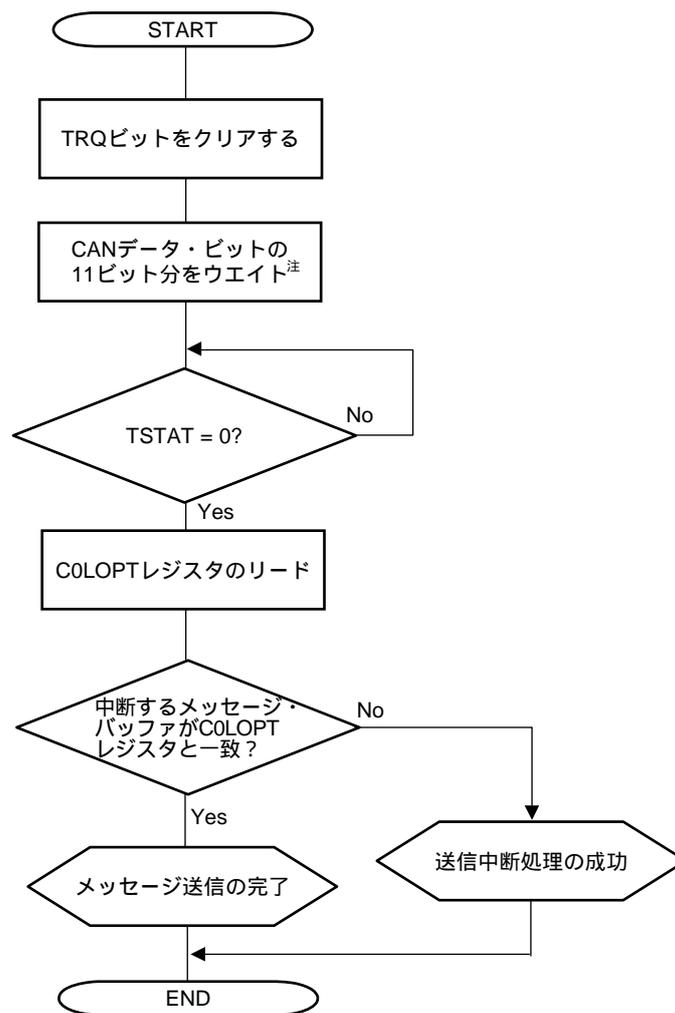
図15 - 46 ソフトウェア・ポーリングによる送信処理



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。  
 2. RDYビットとTRQビットは同時に設定しないでください。

- 備考** 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されていた場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。
2. TOVFビットが一度セット（1）された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

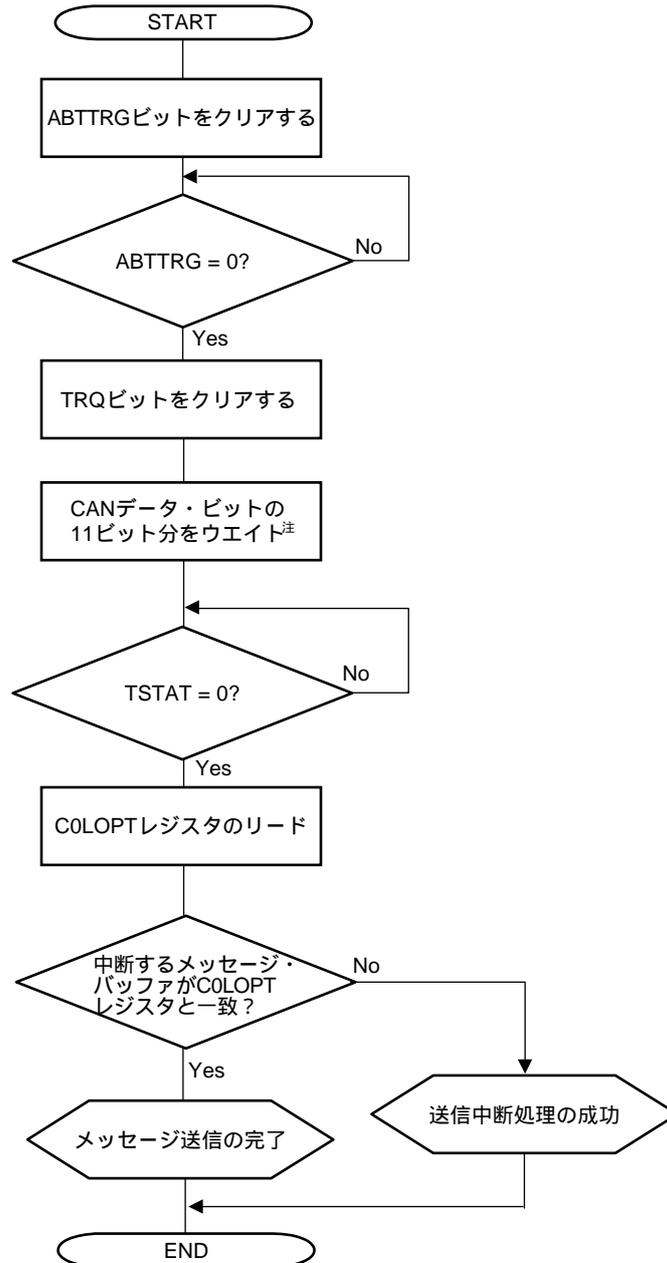
図15 - 47 送信中断処理 (ABT付き通常動作モード以外)



注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意 1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
4. 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
5. 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、COTGPTの履歴情報などを使用することにより判定を行ってください。

図15 - 48 ABT送信以外の送信中断処理 (ABT付き通常動作モード)

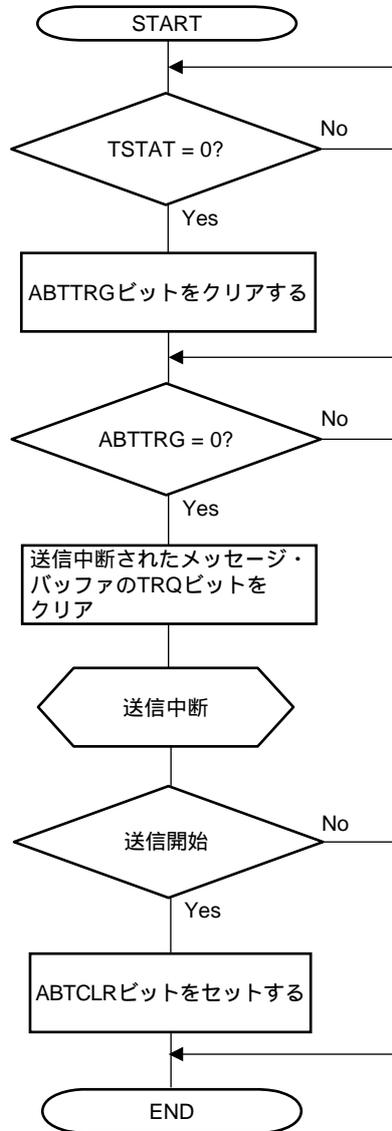


注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意 1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
4. 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
5. 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、C0TGPTの履歴情報などを使用することにより判定を行ってください。

図15 - 49は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図15 - 49 ABT送信中断処理 (ABT付き通常動作モード)

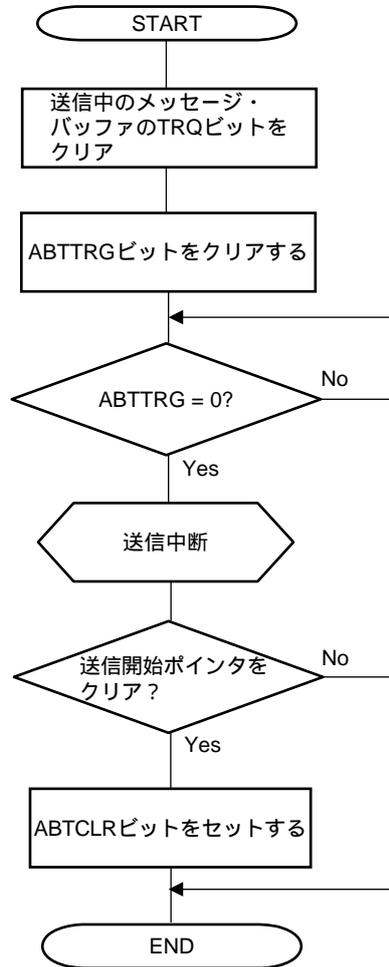


注意 1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。

2. CANスリープ・モード / CANストップ・モードの要求は、図15 - 49または図15 - 50により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図15 - 47に従ってください。

図15 - 50は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

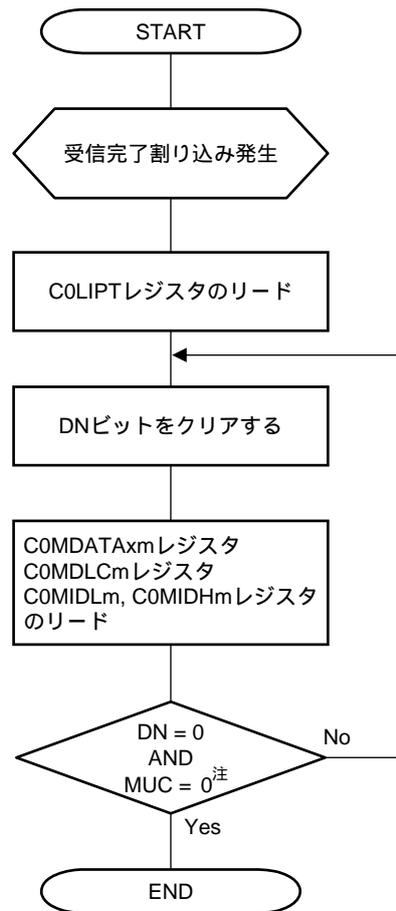
図15 - 50 ABT送信中断処理 (ABT付き通常動作モード)



注意 1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。

2. CANスリープ・モード/CANストップ・モードの要求は、図15 - 49または図15 - 50により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図15 - 47に従ってください。

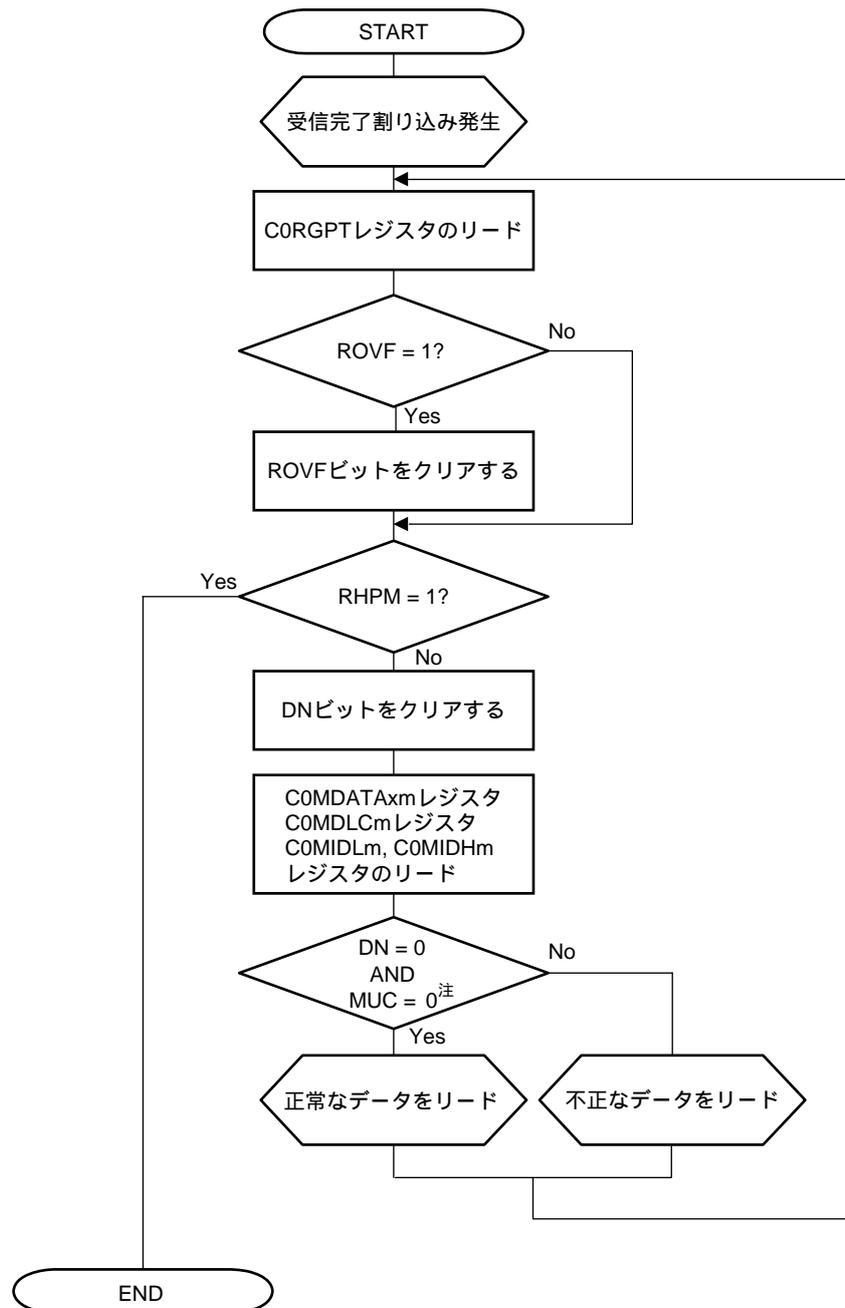
図15 - 51 割り込みによる受信処理 (COLIPTレジスタを使用する場合)



注 MUCビットとDNビットは別々にリードしないでください。

**備考** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

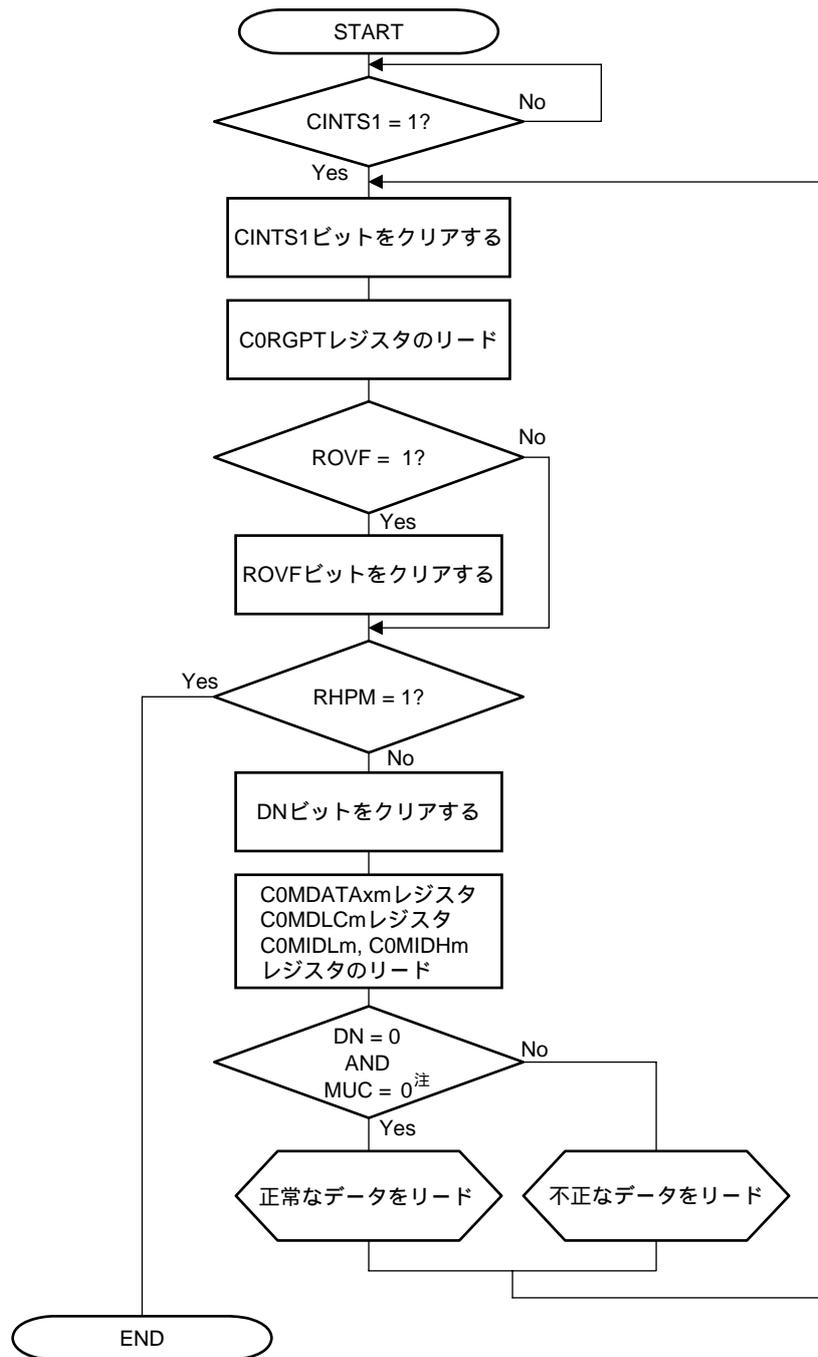
図15 - 52 割り込みによる受信処理 (C0RGPTレジスタを使用する場合)



注 MUCビットとDNビットは別々にリードしないでください。

- 備考 1.** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
- 2.** ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

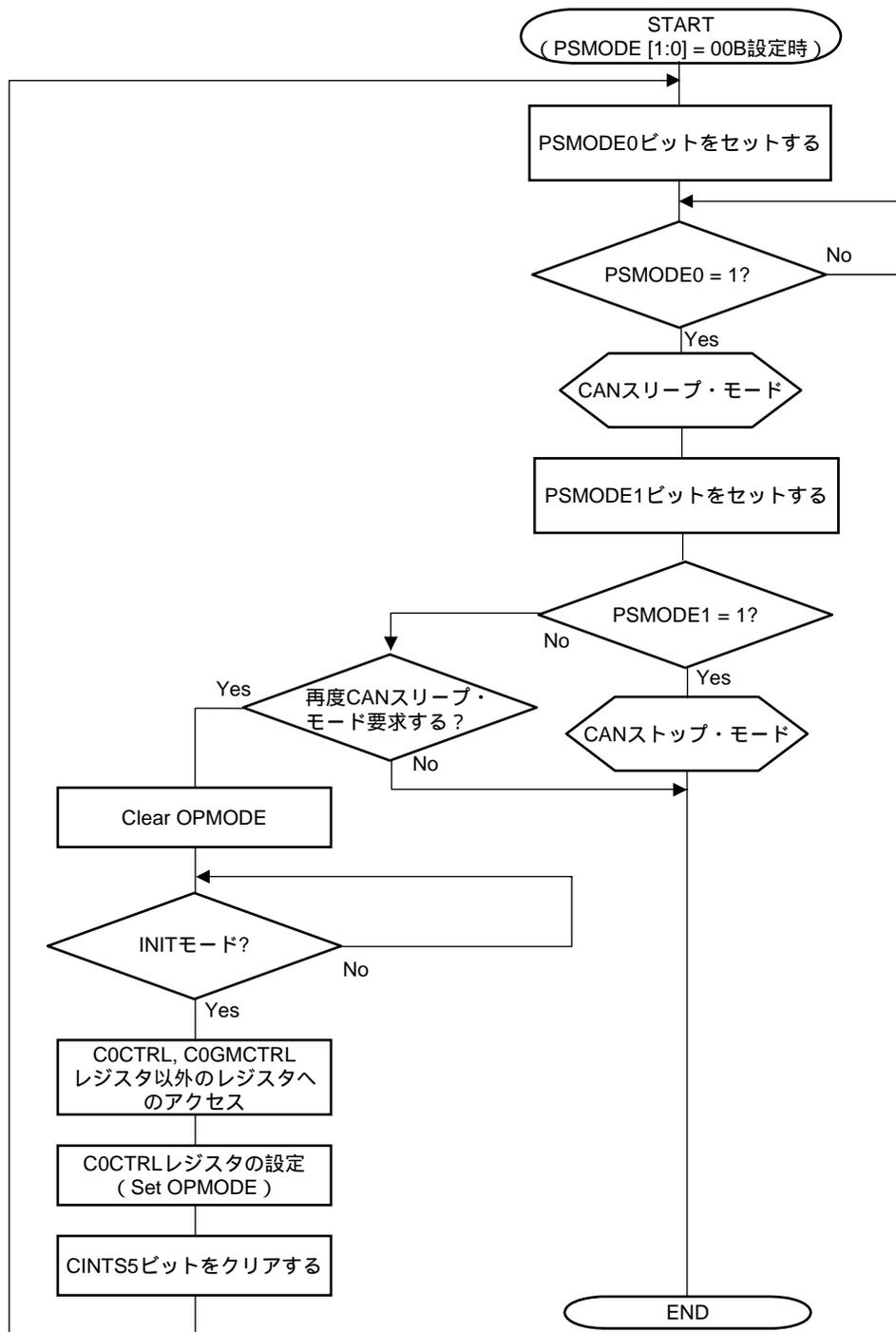
図15 - 53 ソフトウェア・ポーリングによる受信処理



注 MUCビットとDNビットは別々にリードしないでください。

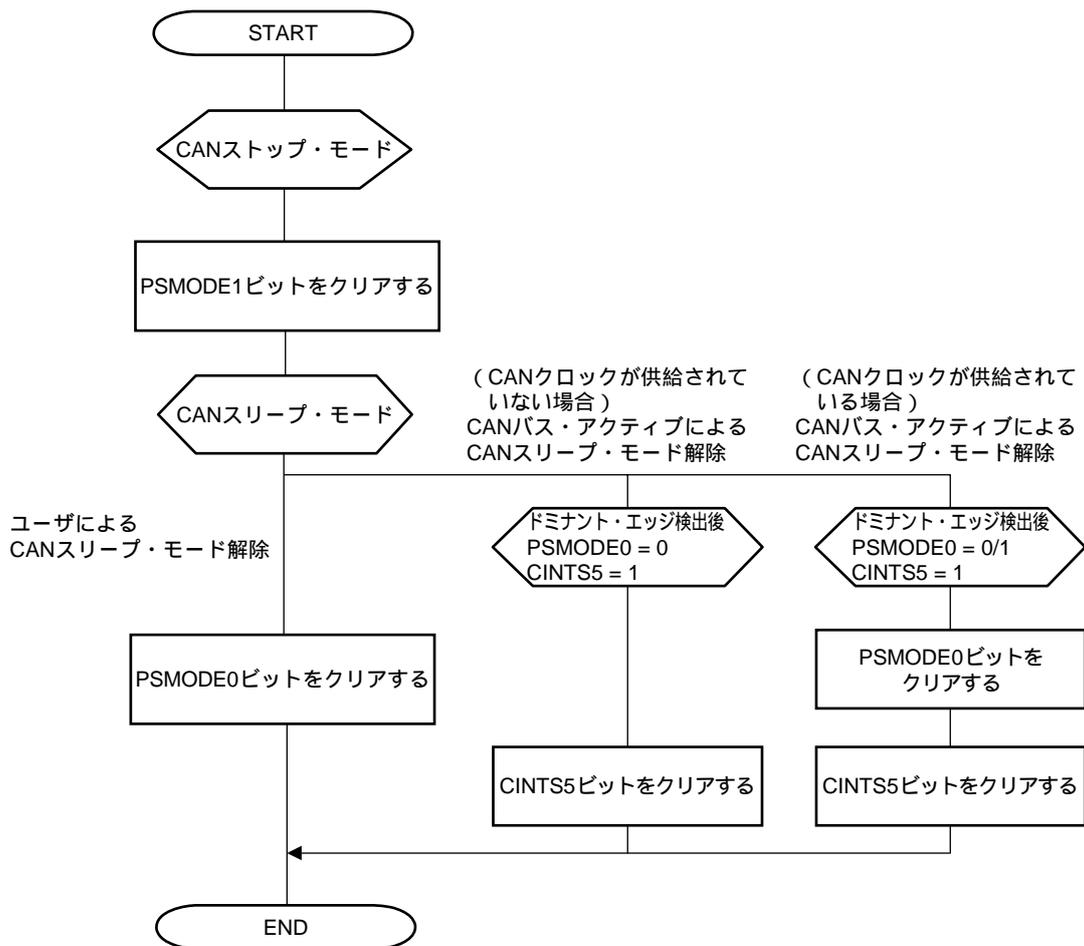
- 備考 1.** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セットされたあとで処理を再実行してください。この様な理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
- 2.** ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図15 - 54 CANスリープ・モード/CANストップ・モードの設定



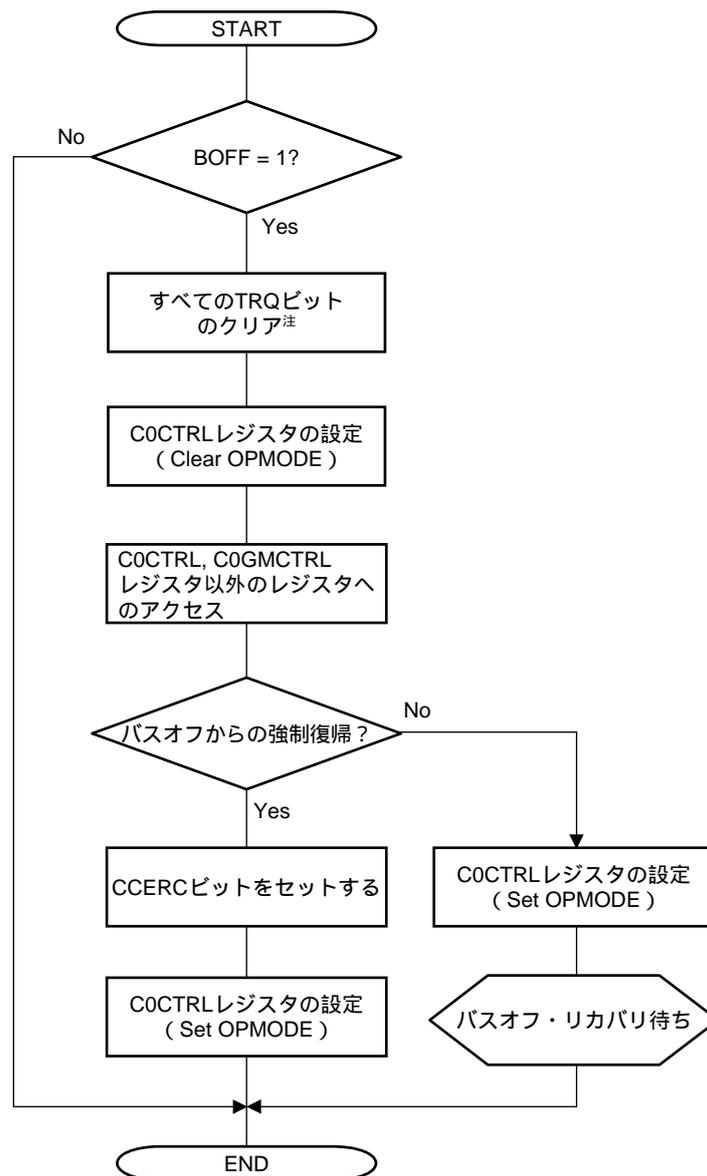
注意 CANスリープ・モードの要求前に送信中断を行う場合は、図15 - 47 ~ 15 - 50に従って処理してください。

図15 - 55 CANスリープ・モード/CANストップ・モードの解除



**備考** CANクロックが供給されている場合とは、CPUスタンバイ・モードに設定せずに、CANスリープ・モードに設定されている状態を指します。

図15 - 56 バスオフからのリカバリ処理 (ABT付き通常動作モード以外の場合)

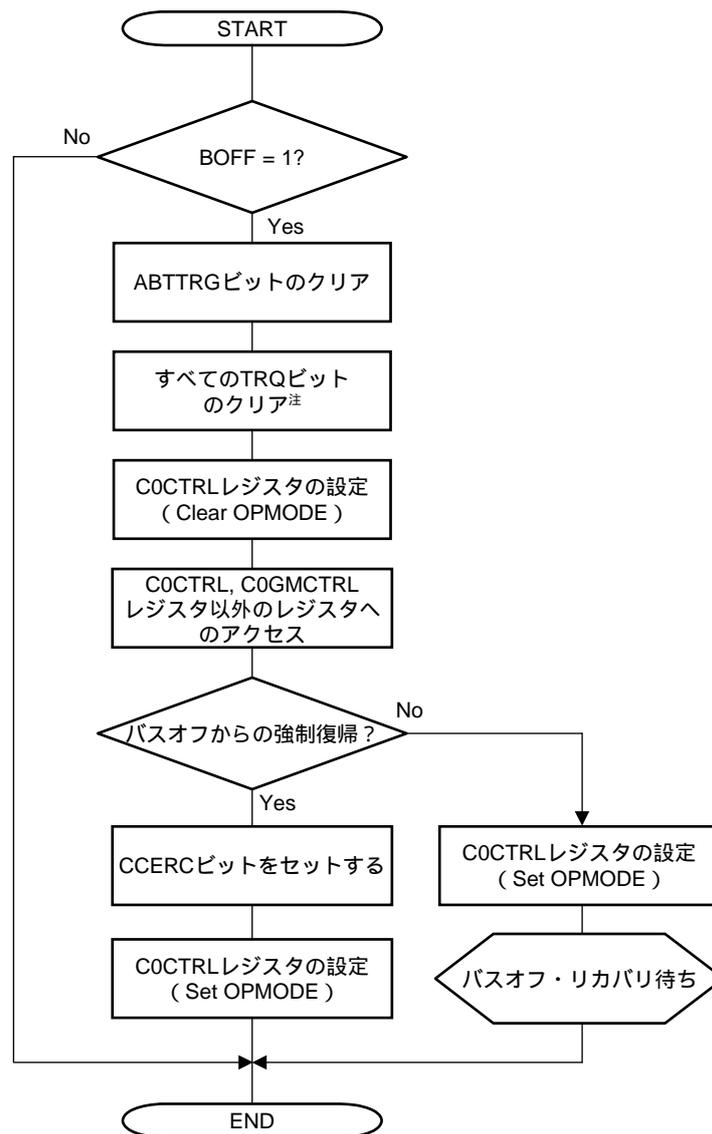


**注** バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

**注意** バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

**備考** OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図15 - 57 バスオフからのリカバリ処理 (ABT付き通常動作モードの場合)



**注** バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

**注意** バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

**備考** OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図15 - 58 通常シャット・ダウン処理

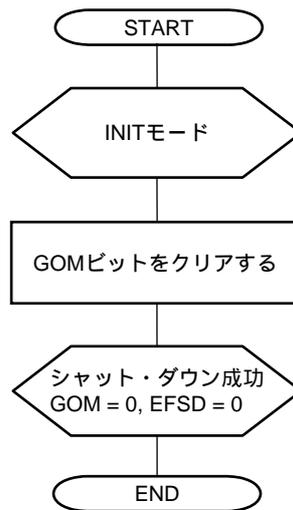
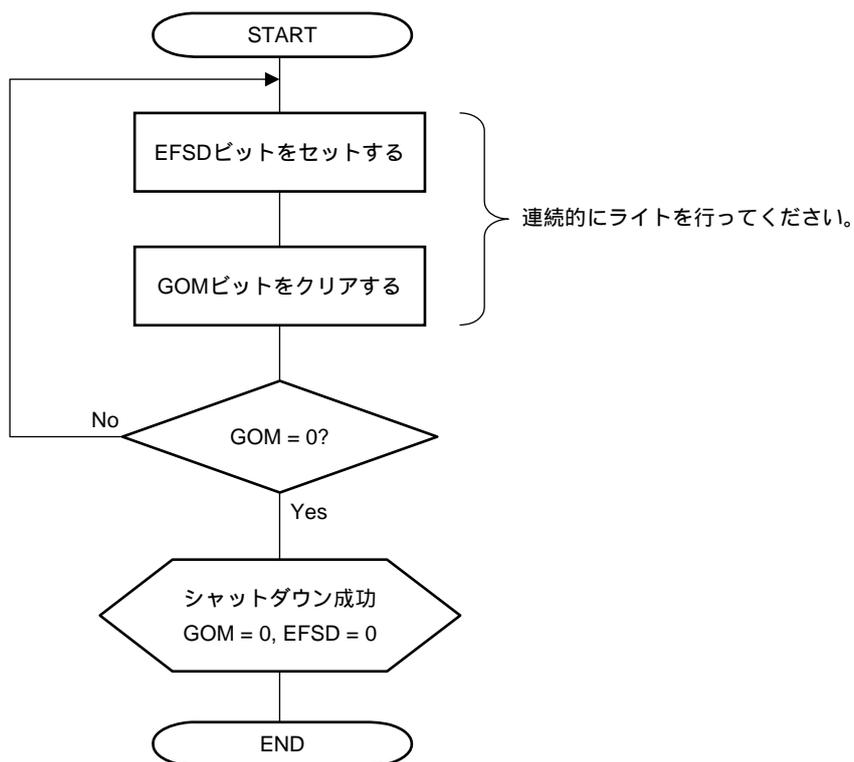


図15 - 59 強制シャット・ダウン処理



**注意** EFSDビットのセットとGOMビットのクリアの間に、ソフトウェアによる他のレジスタへのリード/ライト・アクセスを行わないでください。

図15 - 60 エラー処理

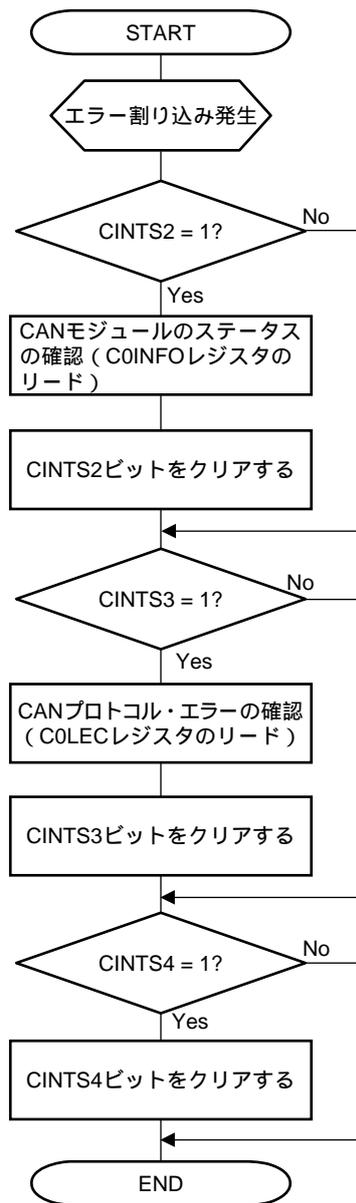
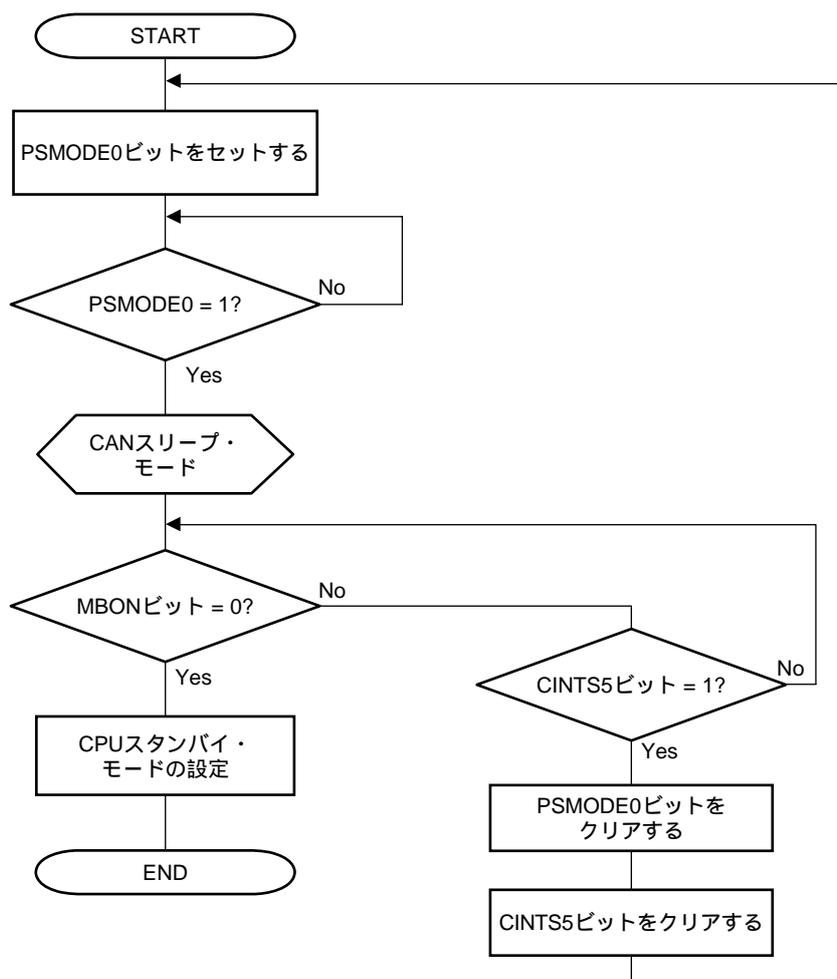
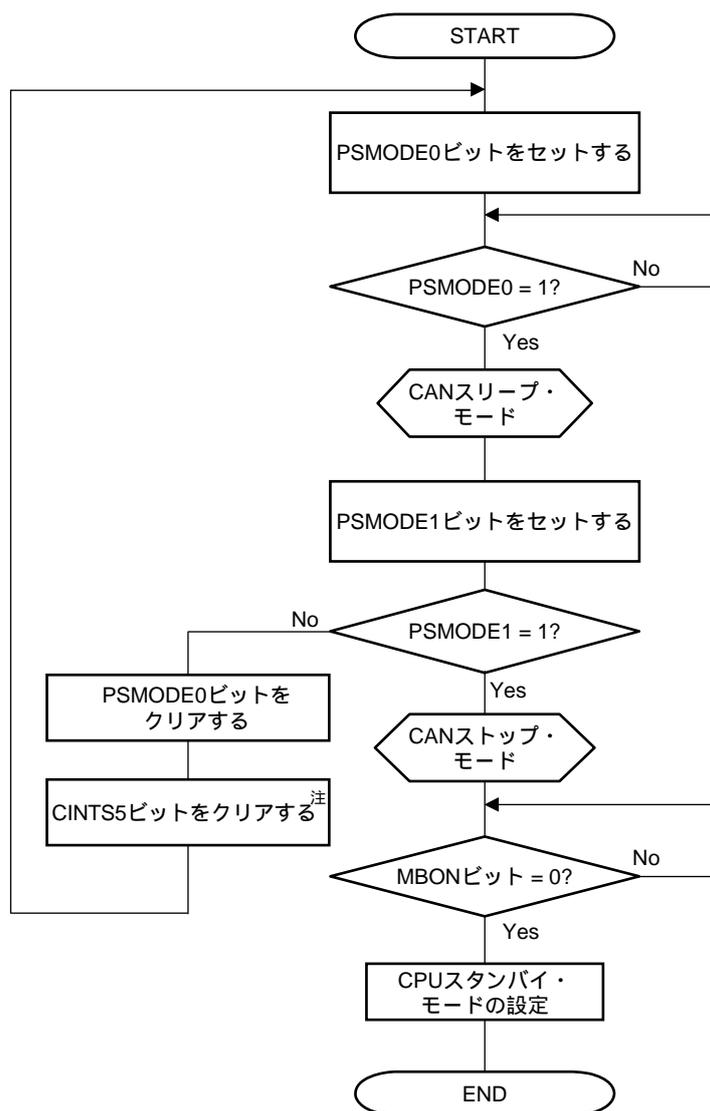


図15 - 61 CPUスタンバイ処理 (CANスリープ・モードからの移行)



**注意** CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイク・アップによって、CANスリープ・モードが解除されることがあります。

図15 - 62 CPUスタンバイ処理 (CANストップ・モードからの移行)



注 ウェイク・アップ割り込み使用時

注意 CANストップ・モードは、COCTRLレジスタのPSMODE[1:0]ビットを01Bに設定することでのみ解除が可能で、CANバスの変化によって解除されません。

## 第16章 ステッピング・モータ・コントローラ/ドライバ

ステッピング・モータ・コントローラ/ドライバ・モジュールは、外付けの360°タイプのメータまたはバイポーラ型およびユニポーラ型ステッピング・モータ用の4つのドライバ( $k=1-4$ )で構成されます。

### 16.1 概要

ステッピング・モータ・コントローラ/ドライバ・モジュールは、パルス幅変調(PWM)出力信号を生成します。各ドライバは、最大4つの出力信号を生成します。

#### 機能概要

生成された出力信号には次の特徴があります。

- ・8ビット精度のパルス幅設定が可能
- ・1ビット付加機能により、擬似9ビット精度のパルス幅設定が可能
- ・最大20 kHzのPWM出力が可能
- ・自動PWM位相シフトによる、電源の変動の低減と電磁波干渉耐性の向上
- ・ゼロ点検知(ZPD)機能

#### 16.1.1 ドライバの概要

ステッピング・モータはPWM信号で駆動されます。PWM信号は、コンペア・レジスタの内容をフリーランニング・アップカウンタの実際の値と比較することにより生成されます。

ステッピング・モータ・コントローラ/ドライバは、1つのカウンタと、それぞれのドライバに割り当てられたコンペア・レジスタ、コントロール・レジスタから構成されます。図16-1のブロック図に、ステッピング・モータ・コントローラ/ドライバ・モジュールの主な構成要素を示します。

ステッピング・モータ・コントローラ/ドライバ・モジュールは4つのドライバ( $k=1-4$ )で構成されています。ステッピング・モータ・コントローラ/ドライバ・モジュールは、フリーランニング・アップカウンタ(CNT0)を持ちます。このカウンタは、タイマ・モード・コントロール・レジスタ(MCNTC0)で制御します。

ドライバは、それぞれ2つのコンペア・レジスタ(MCMPk0, MCMPk1)で構成されています。このレジスタにより、メータのsin側、cos側のパルス幅を決定します。MCMPk0/MCMPk1レジスタは、マスタ/スレーブのレジスタを組み合わせた構成になっています。これにより、現在スレーブ側レジスタをCNT0カウンタとの比較に使用している間もマスタ側レジスタの書き換えが可能になります。

コンペア・コントロール・レジスタ(MCMPck)は、擬似9ビット精度を実現するための1ビット付加機能を設定し、出力信号を対応する出力端子(SMk1-SMk4)に転送します。

#### 16.1.2 ZPDの概要

ゼロ点検知(ZPD)により、端子の追加なしにメータの針のキャリブレーションが可能になります。

針がメータのゼロ点に来ると、これまで逆起電力により発生していた誘導電圧が下がります。ZPD機能は誘導電圧を検知する回路を持ち、基準電圧はあらかじめ設定しておくことができます。4つのドライバはそれぞれ1つのZPD回路を持っています。

ZPD機能の精度向上のため、デジタル・ノイズ除去を行っています。

内部基準電圧の詳細は、第29章 電気的特性 (A)水準品) (ターゲット)、第30章 電気的特性 (A2)水準品) (ターゲット)を参照してください。

### 16. 1. 3 ZPD入力端子

ゼロ点検知が可能で、MCPCK.TWINビットがセットされているとき、すべてのドライバはキャリブレーションに使用することができます。各ドライバの専用端子が入力端子として使用され、接続されたメータのゼロ点検知が可能になります。

ステッピング・モータ・ドライバ／コントローラでは、SMk4端子 (k = 1-4) をZPD検知入力端子として使用します。この際、これらの端子は入力端子に設定されている必要があります。

電圧比較の結果はMCMPCk.ZPDビットに反映されます。

ZPDの特性はZPDフラグ検知クロック設定レジスタCMPCTLで設定できます。

図16 - 1にステッピング・モータ・ドライバ／コントローラのZPD回路を示します。

図16 - 1 ステッピング・モータ・コントローラ／ドライバのブロック図

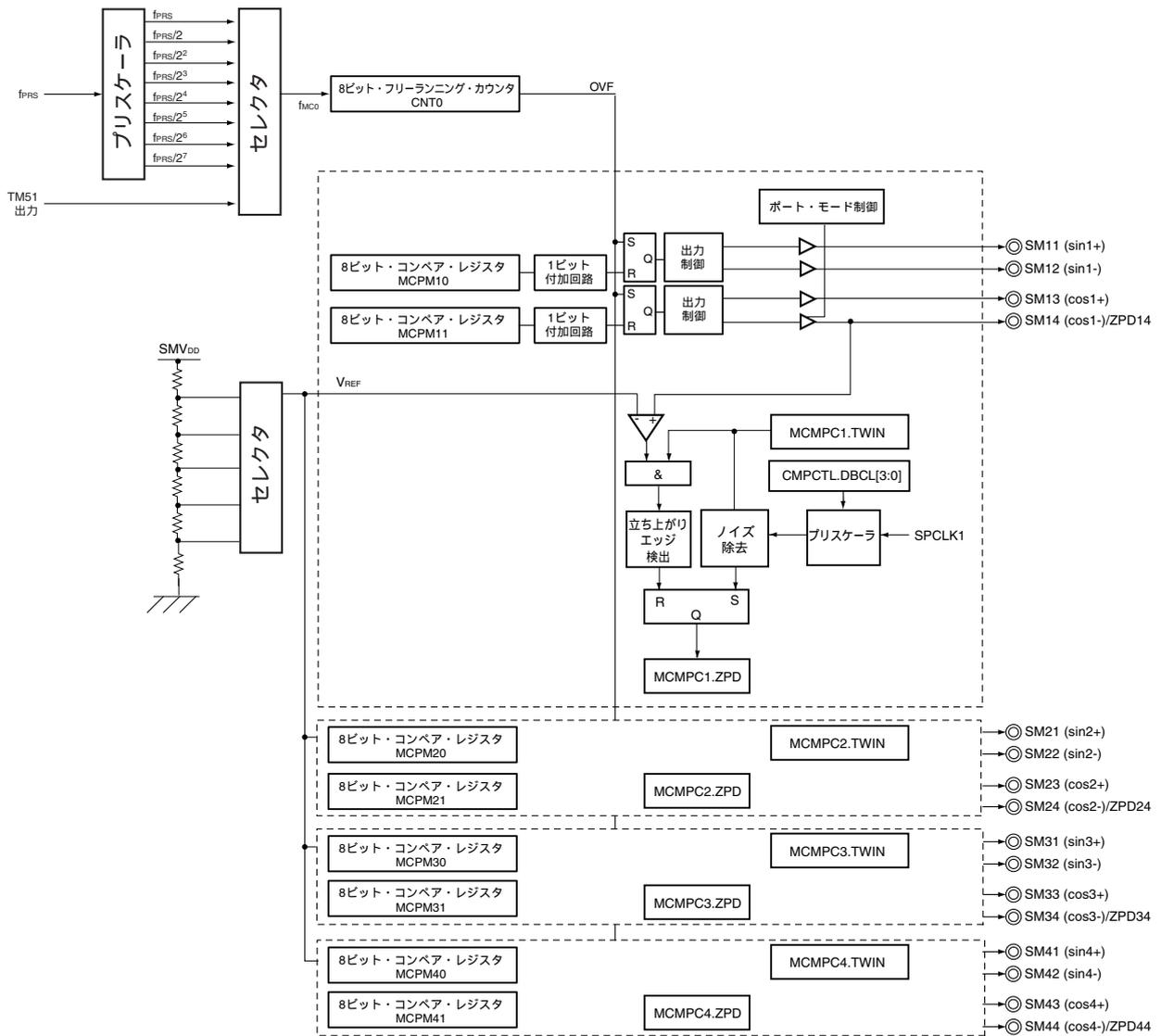


表16 - 1に外部信号を示します。

表16 - 1 ステッピング・モータ・コントローラ／ドライバの外部接続

信号名	I/O	アクティブ・レベル	リセット・レベル	端子	機能
SM[1:4]1	O	-	L	SM11-SM41	ドライバ信号, sin側 (+)
SM[1:4]2	O	-	L	SM12-SM42	ドライバ信号, sin側 (-)
SM[1:4]3	O	-	L	SM13-SM43	ドライバ信号, cos側 (+)
SM[1:4]4	O	-	L	SM14-SM44	ドライバ信号, cos側 (-)

## 16.2 ステッピング・モータ・コントローラ/ドライバを制御するレジスタ

ステッピング・モータ・コントローラ/ドライバは、次のレジスタで制御/操作します。

表16-2 ステッピング・モータ・コントローラ/ドライバのレジスタ概要

レジスタ名	略号
タイマ・モード・コントロール・レジスタ	MCNTC0
コンペア・レジスタ	MCMPk0 (k = 1-4)
	MCMPk1 (k = 1-4)
	MCMPkHW (k = 1-4)
コンペア・コントロール・レジスタ	MCMPCk (k = 1-4)
ステッピング・モータ・ポート・モード・コントロール・レジスタ	SMPC
ZPD検知電圧設定レジスタ	ZPDS0, ZPDS1
ZPDフラグ検知クロック設定レジスタ	CMPCTL
ZPD動作コントロール・レジスタ	ZPDEN

## (1) タイマ・モード・コントロール・レジスタ (MCNTC0)

MCNTC0レジスタは、フリーランニング・アップカウンタ (CNT0) の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図16-2 タイマ・モード・コントロール・レジスタ (MCNTC0) のフォーマット

アドレス: F9C0H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
MCNTC0	CAE	0	FULL	PCE	PCS	SMCL2	SMCL1	SMCL0

CAE	ステッピング・モータ・コントローラ/ドライバ制御
0	ステッピング・モータ・コントローラ/ドライバ動作禁止
1	ステッピング・モータ・コントローラ/ドライバ動作許可

FULL	タイマ・カウンタのカウンタ範囲設定
0	カウンタ範囲01H-FFH
1	カウンタ範囲00H-FFH
いずれの場合も初期の開始値は00Hです。このビットのデューティ比とPWMサイクルに対する影響についての詳細は、16.3.1(3) デューティ比を参照してください。	

PCE	タイマ動作制御
0	タイマ・カウンタ動作停止
1	タイマ・カウンタ動作許可

PCS	タイマ・カウンタ・クロック
0	SMCL2-SMCL0で指定するカウンタ・クロック
1	外部クロックとしてのTM51出力立ち上がりエッジ

SMCL2	SMCL1	SMCL0	選択されたタイマ・カウンタ・クロック
0	0	0	$f_{PRS}$
0	0	1	$f_{PRS}/2$
0	1	0	$f_{PRS}/2^2$
0	1	1	$f_{PRS}/2^3$
1	0	0	$f_{PRS}/2^4$
1	0	1	$f_{PRS}/2^5$
1	1	0	$f_{PRS}/2^6$
1	1	1	$f_{PRS}/2^7$
タイマ・カウンタのタイマ・カウンタ・クロックを設定します。			

**注意** ビット6には、必ず0を設定してください。

**パワー・セーブ・モードの準備**

パワー・セーブ・モードに移行する前に、消費電力を最小にするためにステッピング・モータ・コントローラ／ドライバをシャットダウンする必要があります。

ステッピング・モータ・コントローラ／ドライバのシャットダウンは、次の手順で行います。

1. MCNTC0.PCE = 0に設定し、カウンタCNT0を停止する。
2. MCNTC0.CAE = 0に設定し、ステッピング・モータ・コントローラ／ドライバの動作を禁止する。

**備考** MCNTC0.PCEビットとMCNTC0.CAEビットをクリアするには、1回の書き込み命令ではなく、上記のように必ず2回の書き込み命令を実行してください。

## (2) sin側コンペア・レジスタ (MCMPk0) (k = 1-4)

MCMPk0レジスタは、接続されたメータのsin側PWMパルス幅の設定値を保持する8ビットのレジスタです。

このレジスタの内容は、タイマ・カウンタの値と常に比較されます。

• MCMP10-MCMP40レジスタは、CNT0と比較されます。

レジスタの内容とタイマ・カウンタの内容が一致すると、一致信号が生成されます。したがって、MCMPk0レジスタの内容と対応するパルス幅のPWMパルスが、接続されたメータのsin側に出力されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

アドレス : F9C2H, F9C4H, F9C6H, F9C8H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
MCMPk0	sine DATA							

- 備考1.** 対応するMCMPck.TENビット= 0の場合、新規データはMCMPk0レジスタにのみ書き込む必要があります。
2. 対応するMCMPck.TENビットが自動的に0にリセットされるまで、MCMPk0レジスタには書き込まないでください。
  3. 次のCNT0オーバフロー時にマスタ側からスレーブ側に対するレジスタ・データのコピーを許可するには、MCMPck.TEN = 1を設定します。

## (3) cos側コンペア・レジスタ (MCMPk1) (k = 1-4)

MCMPk1レジスタは、接続されたメータのcos側PWMパルス幅の設定値を保持する8ビットのレジスタです。

このレジスタの内容は、タイマ・カウンタの値と常に比較されます。

• MCMP11-MCMP41レジスタは、CNT0と比較されます。

レジスタの内容とタイマ・カウンタの内容が一致すると、一致信号が生成されます。したがって、MCMPk1レジスタの内容と対応するパルス幅のPWMパルスが、接続されたメータのcos側に出力されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

アドレス : F9C3H, F9C5H, F9C7H, F9C9H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
MCMPk1	cosine DATA							

- 備考1.** 対応するMCMPck.TENビット= 0の場合、新規データはMCMPk1レジスタにのみ書き込む必要があります。
2. 対応するMCMPck.TENビットが自動的に0にリセットされるまで、MCMPk1レジスタには書き込まないでください。
  3. 次のCNT0オーバフロー時にマスタ側からスレーブ側に対するレジスタ・データのコピーを許可するには、MCMPck.TEN = 1を設定します。

## (4) 複合コンペア・レジスタ (MCMPkHW) (k = 1-4)

MCMPkHWレジスタは, sin, cosレジスタ (MCMPk0, MCMPk1) を組み合わせた16ビットのレジスタです。このレジスタでは, MCMPk0とMCMPk1へのリード/ライトが1回の命令で可能になります。

16ビット単位でリード/ライト可能です。

リセットにより0000Hにクリアされます。

アドレス : F9C2H, F9C4H, F9C6H, F9C8H	リセット時 : 0000H	R/W
略号	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
MCMPkHW	cosine DATA	sine DATA

- 備考1.** 対応するMCMPck.TENビット= 0の場合, 新規データはMCMPkHWレジスタにのみ書き込む必要があります。
2. 対応するMCMPck.TENビットが自動的に0にリセットされるまで, MCMPkHWレジスタには書き込まないでください。
  3. 次のCNT0オーバーフロー時にマスタ側からスレーブ側に対するレジスタ・データのコピーを許可するには, MCMPck.TEN = 1を設定します。

## (5) コンペア・コントロール・レジスタ (MCMPCK) (k = 1-4)

MCMPCKレジスタは、対応するコンペア・レジスタの動作とPWM端子の出力方向を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図16-3 コンペア・コントロール・レジスタ (MCMPCK) のフォーマット (1/2)

アドレス : F9CAH, F9CCH, F9CEH, F9F8H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
MCMPCK	AOUT	TWIN	ZPD <sup>注</sup>	TEN	ADB1	ADB0	DIR1	DIR0

注 ビット5に書き込んでも、書き込みは無視されます。

AOUT	sin, cos信号の出力端子選択
0	sin, cos側のPWM信号をDIR0, DIR1ビットで選択した端子に出力。その他の端子の出力信号は0 (SMV <sub>SS</sub> レベル)。
1	sin側のPWM信号をSMk1, SMk2端子に出力。cos側のPWM信号をSMk3, SMk4端子に出力。

TWIN	ゼロ点検知タイミング・ウインドウ
0	コンパレータからのZPDビットの書き込みを禁止 (ゼロ点検知なし)
1	コンパレータからのZPDビットの書き込みを許可 (ゼロ点検知)

ZPD	ゼロ点検知用誘導電圧検知ビット (リード・オンリー)
0	誘導電圧検知なし (ゼロ点検知)
1	誘導電圧検知 (ゼロ点検知なし)

TEN	転送許可制御ビット
0	MCMPk0/MCMPk1マスタからスレーブへのレジスタ・データの転送禁止。新規データはコンペア・レジスタ (MCMPk0, MCMPk1) に書き込み可能。
1	MCMPk0/MCMPk1マスタからスレーブへのレジスタ・データの転送許可。CNT0のオーバフロー時に転送処理を実行。 MCMPCK.TEN = 1時は、コンペア・レジスタ (MCMPk0, MCMPk1) に書き込み不可。
<b>備考</b> TENは、制御ビット、ステータス・フラグの両方の機能を持ちます。次のタイマ・カウンタのオーバフロー時には、自動的に0にリセットされます。	

ADB1	1ビット付加回路の制御 (cos側)
0	PWM信号に1ビット付加なし
1	PWM信号に1ビット付加あり

図16 - 3 コンペア・コントロール・レジスタ (MCMPCk) のフォーマット (2/2)

ADB0	1ビット付加回路の制御 (sin側)
0	PWM信号に1ビット付加なし
1	PWM信号に1ビット付加あり

DIR1	DIR0	選択した出力端子
0	0	第1象限 : SMk1 (sin +), SMk3 (cos +)
0	1	第2象限 : SMk1 (sin +), SMk4 (cos -)
1	0	第3象限 : SMk2 (sin -), SMk4 (cos -)
1	1	第4象限 : SMk2 (sin -), SMk3 (cos +)

PWM信号の出力端子を選択します。

DIR1, DIR0ビットは, sin, cosでアクティブにする象限に対応します。PWM信号は各象限のsin / cosを基準とする所定の端子に転送されます。

その他の出力端子での出力レベルは,  $SMV_{ss}$ です。

**備考** このビットは, AOUTビットを0に設定した場合のみ有効です。

## (6) ステッピング・モータ・ポート・モード・コントロール・レジスタ (SMPC)

SMPCレジスタは、SMnm端子 ( $n = 1-4, m = 1-4$ ) の出力モードを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図16-4 ステッピング・モータ・ポート・モード・コントロール・レジスタ (SMPC) のフォーマット

アドレス: FF3DH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SMPC	MOD4	MOD3	MOD2	MOD1	EN4	EN3	EN2	EN1

Enn	MODn	ポート・モードの選択 ( $n = 0-4$ )
0	-	ポート・モード すべてのSMnm ( $n = 1-4, m = 1-4$ ) がポート機能に設定されます。
1	0	PWMフル・ブリッジ・モード SMnm ( $n = 1-4, m = 1-4$ ) がフル・ブリッジ出力コントロール・モードに設定されます。
1	1	PWMハーフ・ブリッジ・モード コンペア・コントロール・レジスタ (MCMPCn, $n = 1-4$ ) のDIRnkビット ( $n = 1-4, k = 0, 1$ ) に従い、SMnm ( $n = 1-4, m = 1-4$ ) がPWM出力コントロール・モードまたはポート・モードに設定されます。

$n = 1$ のときの設定例は、次のとおりです。

EN1	MOD1	DIR11	DIR10	PWM出力端子制御				出力モード
				SM11 (sin+)	SM12 (sin-)	SM13 (cos+)	SM14 (cos-)	
0	-	-	-	ポート	ポート	ポート	ポート	ポート・モード
1	0	0	0	PWM	0	PWM	0	PWMフル・ブリッジ・モード
1	0	0	1	PWM	0	0	PWM	
1	0	1	0	0	PWM	0	PWM	
1	0	1	1	0	PWM	PWM	0	
1	1	0	0	PWM	ポート	PWM	ポート	PWMハーフ・ブリッジ・モード
1	1	0	1	PWM	ポート	ポート	PWM	
1	1	1	0	ポート	PWM	ポート	PWM	
1	1	1	1	ポート	PWM	PWM	ポート	

**注意** PWMフル・ブリッジ・モードでは、PWMモードでない端子に関連するポート・レジスタ (Pn) とポート・モード・レジスタ (PMn) は00Hに設定してください。

## (7) ZPD検知電圧設定レジスタ (ZPDS0, ZPDS1)

ZPDS0, ZPDS1レジスタは, ZPD検知電圧を設定し, ZPDアナログ入力を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図16 - 5 ZPD検知電圧設定レジスタ (ZPDS0, ZPDS1) のフォーマット

アドレス : F9FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ZPDS0	ZPD2PC	ZPD2S2	ZPD2S1	ZPD2S0	ZPD1PC	ZPD1S2	ZPD1S1	ZPD1S0

アドレス : F9FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ZPDS1 <sup>注</sup>	ZPD4PC	ZPD4S2	ZPD4S1	ZPD4S0	ZPD3PC	ZPD3S2	ZPD3S1	ZPD3S0

注 78K0/DF2のみ。

ZPDnS2	ZPDnS1	ZPDnS0	ZPDn用ゼロ点検知電圧設定 (n = 1-4)
0	0	0	$SMV_{DD} \times 3/100 = 0.15 V$
0	0	1	$SMV_{DD} \times 5/100 = 0.25 V$
0	1	0	$SMV_{DD} \times 7/100 = 0.35 V$
0	1	1	$SMV_{DD} \times 9/100 = 0.45 V$
1	0	0	$SMV_{DD} \times 11/100 = 0.55 V$
上記以外			設定禁止

ZPDnPC	アナログ入力 / デジタル・ポート選択
0	デジタル・ポート / SM端子
1	ZPDアナログ入力

## (8) ZPDフラグ検知クロック設定レジスタ (CMPCTL)

CMPCTLレジスタは、ノイズ除去用クロックを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図16 - 6 ZPDフラグ検知クロック設定レジスタ (CMPCTL) のフォーマット

アドレス : F9FEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMPCTL	0	0	0	0	DBCL3	DBCL2	DBCL1	DBCL0

DBCL3	DBCL2	DBCL1	DBCL0	選択クロック
0	0	0	0	$f_{PRS}$
0	0	0	1	$f_{PRS}/2$
0	0	1	0	$f_{PRS}/2^2$
0	0	1	1	$f_{PRS}/2^3$
0	1	0	0	$f_{PRS}/2^4$
0	1	0	1	$f_{PRS}/2^5$
0	1	1	0	$f_{PRS}/2^6$
0	1	1	1	$f_{PRS}/2^7$
1	0	0	0	$f_{PRS}/2^8$
1	0	0	1	$f_{PRS}/2^9$
上記以外				設定禁止

## (9) ZPD動作コントロール・レジスタ (ZPDEN)

ZPDENレジスタは、ZPDの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図16 - 7 ZPD動作コントロール・レジスタ (ZPDEN) のフォーマット

アドレス : F9FFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ZPDEN	0	0	0	0	ZPD4EN	ZPD3EN	ZPD2EN	ZPD1EN

ZPDnEN	ZPDnコンパレータ動作 (n = 1-4)
0	動作禁止
1	動作許可

## 16.3 動作

外付けメータのドライバとしてのステッピング・モータ・コントローラ/ドライバ・モジュールの動作を説明します。

### 16.3.1 ステッピング・モータ・コントローラ/ドライバの動作

ここでは、外付けメータを駆動するためのドライバk PWM信号出力動作を説明します。また、実現可能なデューティ比、1ビット付加回路の動作、ゼロ点検知機能の動作、デジタル・ノイズ・フィルタの動作について説明します。

**備考** k = 1-4

#### (1) メータの駆動

外付けメータは、フル・ブリッジおよびハーフ・ブリッジのどちらのモードでも駆動できます。

##### ・フル・ブリッジでのメータ駆動

フル・ブリッジでのメータ針の偏差は、期待する角度のsinおよびcos値によって決定されます。PWM信号は符号を引き継がないため、正と負のsin, cos値に対する別々の信号が生成されます。

ドライバkのSMk1-SMk4端子における出力信号は次のとおりです。

-sin側, 正 (sin +)

-sin側, 負 (sin -)

-cos側, 正 (cos +)

-cos側, 負 (cos -)

2つの出力制御回路で、sin, cos側のどちらの信号(符号)が出力されるかを選択します(MCMPck.DIR[1:0]ビット)。残る2つの出力端子の信号は、ロウ・レベルに設定されます。

メータkをフル・ブリッジ・モードで駆動するには、MCMPck.AOUTビットを0に設定します。

##### ・ハーフ・ブリッジでのメータ駆動

このモードでは、同じ信号が2つのsin端子(SMk1とSMk2)および2つのcos端子(SMk3とSMk4)に送信されます。出力制御ビットMCMPck.DIR[1:0]の設定は無視されます。

メータkをハーフ・ブリッジ・モードで駆動するには、MCMPck.AOUTビットを1に設定します。

#### (2) PWM信号の生成

PWMパルスの長さに対応するビット・データを、MCMPk0レジスタ(sin側)とMCMPk1レジスタ(cos側)に書き込む必要があります。

タイマ・カウンタはカウント・アップします。PWMパルスの立ち上がりエッジは、カウンタのオーバフロー時に開始されます。PWMパルスの立ち下がりエッジは、カウンタ値とコンペア・レジスタ(MCMPk0, MCMPk1)の内容が等しくなったときに開始されます。

秒単位の絶対パルス長は、タイマ・カウント・クロック( $f_{MCO}$ )で定義されます。サイクル時間は、タイマ・モード・コントロール・レジスタ(MCNTC0)により設定できます。

#### 手 順

コンペア・レジスタへのデータ書き込みは、次の手順で行います。

1. MCMPck.TEN = 0であることを確認する。
2. 8ビットのPWMデータをMCMPk0とMCMPk1に書き込む。

3. 必要に応じてMCMPCK.ADB0とMCMPCK.ADB1を設定する。

4. MCMPCK.TEN = 1を設定し、カウント動作を開始する。

MCMPK0/MCMPK1のデータは、カウンタのオーバフロー時にコンペア・スレーブ・レジスタに自動的にコピーされ、新しいパルス幅がただちに有効になります。

MCMPCK.TENビットは、ハードウェアにより自動的に0にクリアされます。

### (3) デューティ比

生成可能な最小パルス幅は0(出力信号はロウ)で、最大パルス幅は255クロック・サイクル(8ビット・コンペア・レジスタの最大値)です。

タイマ・カウンタのカウント範囲でデューティ比を定義します。

MCNTC0.FULLビットで次のように設定できます。

・カウント範囲01H-FFH (MCNTC0.FULL = 0)

デューティ・サイクルの計算式：

$$k = 1-4, i = 0, 1 \text{ のとき, PWMデューティ} = \text{MCMPki} / 255$$

1カウント・サイクルは、255クロック・サイクルで構成されます。最大パルス幅のPWM信号は、安定したハイ・レベル信号です。デューティ比は100%になります。

・カウント範囲00H-FFH (MCNTC0.FULL = 1)

デューティ・サイクルの計算式：

$$k = 1-4, i = 0, 1 \text{ のとき, PWMデューティ} = \text{MCMPki} / 256$$

1カウント・サイクルは、256クロック・サイクルで構成されます。最大パルス長のPWM信号は、ハイ・レベル時に255クロック・サイクル、ロウ・レベル時に1クロック・サイクルで構成されます。デューティ比は、 $255/256 * 100\% = 99.6\%$ になります。

### (4) 1ビット付加回路の動作

針の角度の精度は、コンペア・レジスタ (MCMPK0, MCMPK1) のビット数 (8ビット) により自動的に定義されます。

1ビット付加回路が有効な場合、MCNTがオーバフローを出すたびに、PWM信号に1ビット付加する / しないを交互に繰り返します。現比較値Nと次比較値N+1の中間のPWM出力状態を出力し、平均して、1/2ビット (1/2クロック) のパルス幅精度を実現することができます。

図16 - 8と図16 - 9に、1ビット付加回路無効および有効時のPWM出力信号のタイミングを示します。

- 備考**
1. カウント動作開始後の最初のオーバフローが発生するまで、PWMパルスは生成されません。
  2. PWM信号は、オーバフロー信号および一致信号と比べて2サイクル・カウント遅れますが、図中では示されていません。

図16 - 8 1ビット付加無効時のPWM出力信号のタイミング

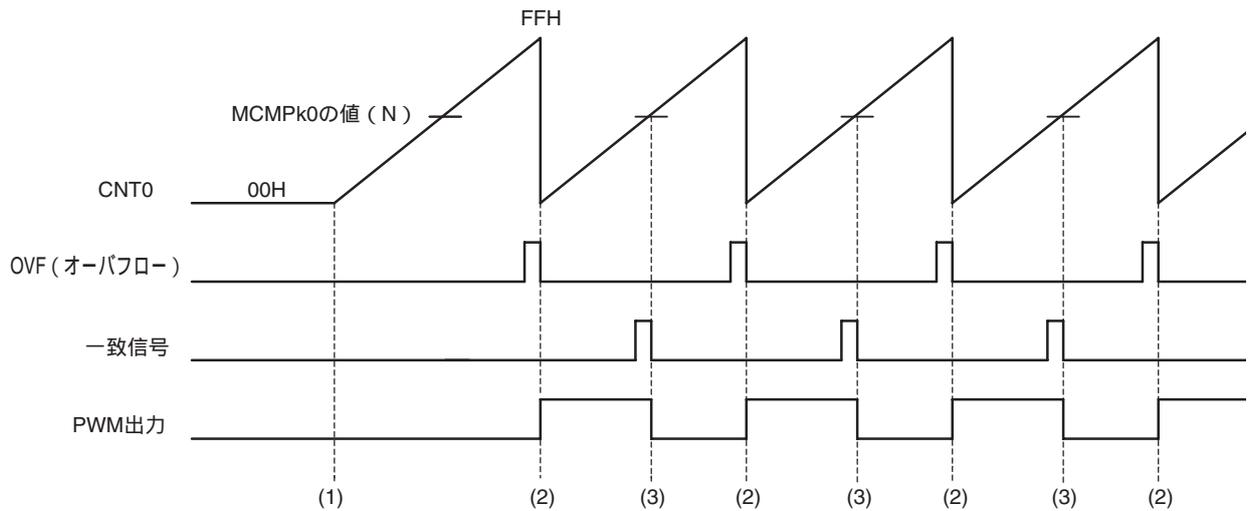
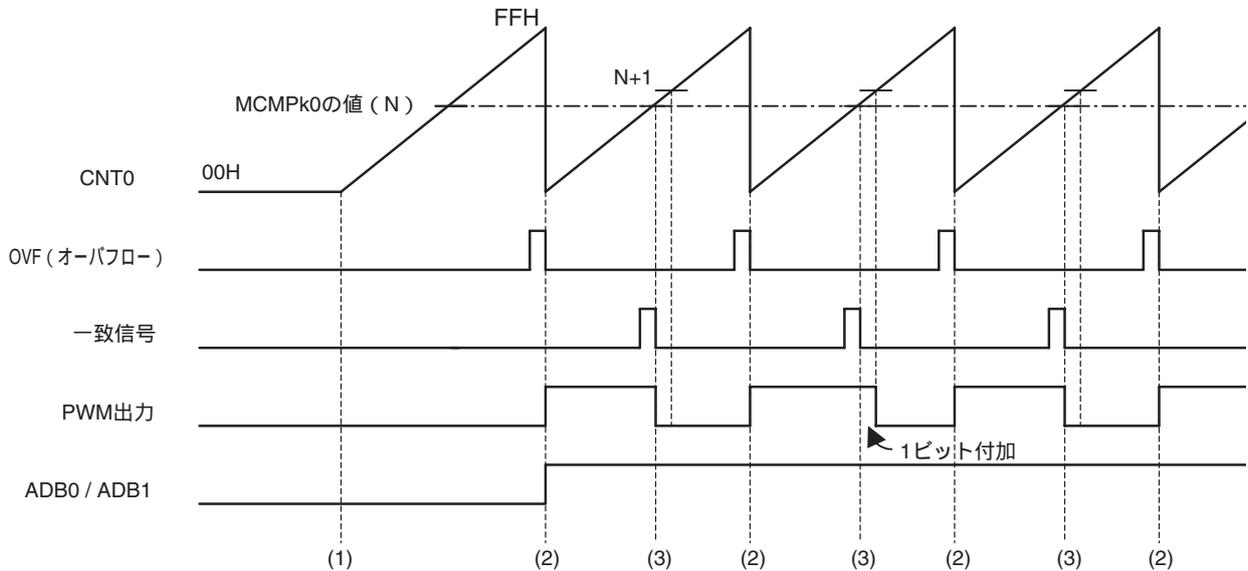


図16 - 9 1ビット付加有効時のPWM出力信号のタイミング



### 手 順

1. カウント・スタート (MCNTC0.PCEを1に設定)
2. オーバフロー信号の生成 (PWMパルスの開始)
3. 一致信号の生成 (CNT0とコンペア・レジスタが一致, PWMパルスの終了)

**(5) ゼロ点検知**

ゼロ点の検知については、次の手順で行います。

1. ZPDnEN = 0に設定することでZPDn端子をアナログ入力にし、ZPDnS2-ZPDnS0によって基準レベルを選択する。
2. ZPDnEN = 1に設定することでコンペア動作を許可し、コンパレータの安定時間分ウエイトする。
3. TWIN = 1に設定することでZPDnフラグ動作を許可する。
4. ZPDn端子に入力信号を与え、検知動作を開始する。

**(6) デジタル・ノイズ・フィルタ**

ノイズ除去回路でコンパレータ出力の短いパルス／スパイクを抑制することにより、コンパレート結果を安定させます。

評価する電圧コンパレータの最小出力パルス幅は、デジタル・ノイズ除去のサンプリング・クロックを選択 (CMPCTL.DBCL[3:0]を参照) することで設定できます。2サンプリング・サイクル以下のスパイクは抑制されます。3サンプリング・サイクル以上のパルスは、有効パルスとして認識されます。2と3サンプリング・サイクルの間のパルスについては、動作が決まっていません。

## 16.4 タイミング

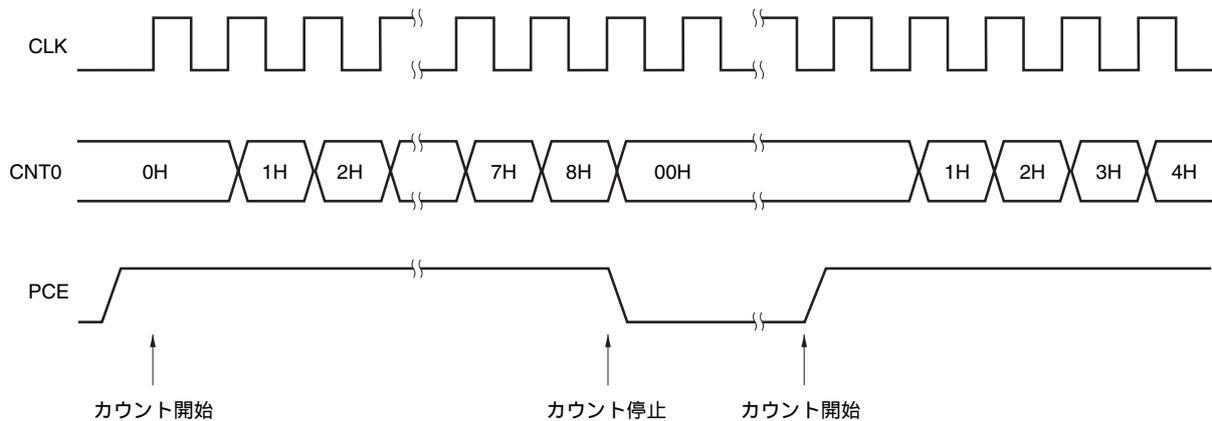
タイマ・カウンタのタイミングと一般的な出力タイミング動作, および自動PWM位相シフトの例を説明します。

### 16.4.1 タイマ・カウンタ

フリーランニング・アップカウンタは, MCNTC0レジスタで選択したタイマ・カウンタ・クロックに同期しています。

カウンタ動作の許可/禁止は, MCNTC0.PCEビットで設定します。

図16 - 10 カウンタ停止後の再開タイミング (カウンタ開始 - カウンタ停止 - カウンタ開始)



#### 手 順

##### ・カウンタ開始 :

- カウンタ動作を許可 (MCNTC0.PCE = 1)
- タイマ・カウンタは, 00Hからカウンタを開始します。

MCNTC0.FULLビットの設定によっては, 後続のカウンタ・サイクルは00Hまたは01Hからカウンタを開始します。

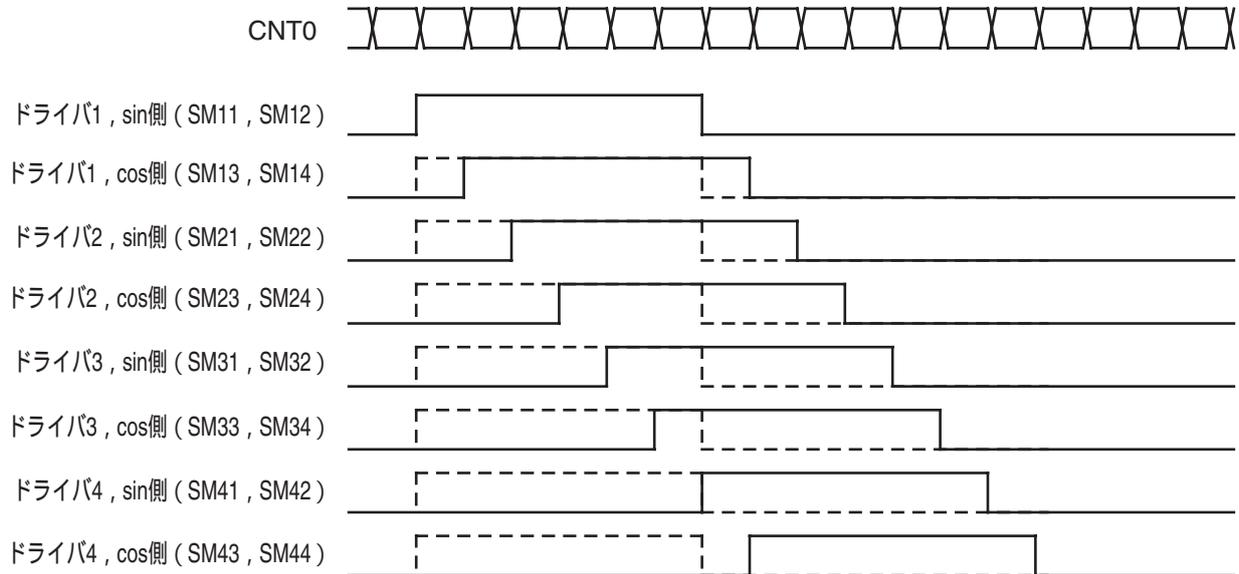
##### ・カウンタ停止 :

- カウンタ動作を禁止 (MCNTC0.PCE = 0)
- カウンタを停止し, タイマ・カウンタを00Hに設定します。

### 16.4.2 自動PWM位相シフト

メータ1-4のsin, cos波形が図16 - 11の破線のように同時切り替わる場合、電源が変動し、電磁波の干渉による影響を受けやすくなる場合があります。それを避けるために、ドライバ1-4に対する出力信号は、図16 - 11の実線のように、MCNTC0で設定したタイマ・カウント・クロックの1サイクル分、自動的にシフトされます。

図16 - 11 SM11-SM44信号の出力タイミング



## 第17章 LCDコントローラ／ドライバ

### 17.1 LCDコントローラ／ドライバの機能

78K0/Dx2に内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) LCDドライバ用駆動電圧生成回路は、内部抵抗分割方式を使用
- (2) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (3) 3種類の表示モードが選択可能
  - ・スタティック
  - ・1/3デューティ (1/3バイアス)
  - ・1/4デューティ (1/3バイアス)
- (4) 各表示モードにおいて、6種類のフレーム周波数を選択可能
- (5)  $\mu$  PD78F0838, 78F0839 : セグメント信号出力 40本 (SEG0-SEG39),  
コモン信号出力 4本 (COM0-COM3)
- $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847 : セグメント信号出力 32本 (SEG0-SEG31),  
コモン信号出力 4本 (COM0-COM3)
- $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849 : セグメント信号出力 28本 (SEG0-SEG27),  
コモン信号出力 4本 (COM0-COM3)
- $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845 : セグメント信号出力 24本 (SEG0-SEG23),  
コモン信号出力 4本 (COM0-COM3)

各表示モードにおける表示可能な最大画素数を表17 - 1に示します。

表17 - 1 最大表示画素数

(a)  $\mu$  PD78F0838, 78F0839

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	40本	40 (40セグメント×1コモン) <sup>注1</sup>
	1/3	3	COM0-COM2		120 (40セグメント×3コモン) <sup>注2</sup>
		4	COM0-COM3		160 (40セグメント×4コモン) <sup>注3</sup>

- 注1.  形のLCDパネルで8セグメント/桁のもの5桁  
 2.  形のLCDパネルで3セグメント/桁のもの15桁  
 3.  形のLCDパネルで2セグメント/桁のもの20桁

(b)  $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	32本	32 (32セグメント×1コモン) <sup>注1</sup>
	1/3	3	COM0-COM2		96 (32セグメント×3コモン) <sup>注2</sup>
		4	COM0-COM3		128 (32セグメント×4コモン) <sup>注3</sup>

- 注1.  形のLCDパネルで8セグメント/桁のもの4桁  
 2.  形のLCDパネルで3セグメント/桁のもの12桁  
 3.  形のLCDパネルで2セグメント/桁のもの16桁

(c)  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	28本	28 (28セグメント×1コモン) <sup>注1</sup>
	1/3	3	COM0-COM2		84 (28セグメント×3コモン) <sup>注2</sup>
		4	COM0-COM3		112 (28セグメント×4コモン) <sup>注3</sup>

- 注1.  形のLCDパネルで8セグメント/桁のもの4桁  
 2.  形のLCDパネルで3セグメント/桁のもの12桁  
 3.  形のLCDパネルで2セグメント/桁のもの16桁

(d)  $\mu$  PD78F0836 , 78F0837 , 78F0844 , 78F0845

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・内部抵抗分割	-	スタティック	COM0 ( COM1-COM3 )	24本	24 ( 24セグメント × 1コモン ) <sup>注1</sup>
	1/3	3	COM0-COM2		72 ( 24セグメント × 3コモン ) <sup>注2</sup>
		4	COM0-COM3		96 ( 24セグメント × 4コモン ) <sup>注3</sup>

- 注1.  冂形のLCDパネルで8セグメント / 桁のもの3桁  
 2.  冂形のLCDパネルで3セグメント / 桁のもの9桁  
 3.  冂形のLCDパネルで2セグメント / 桁のもの12桁

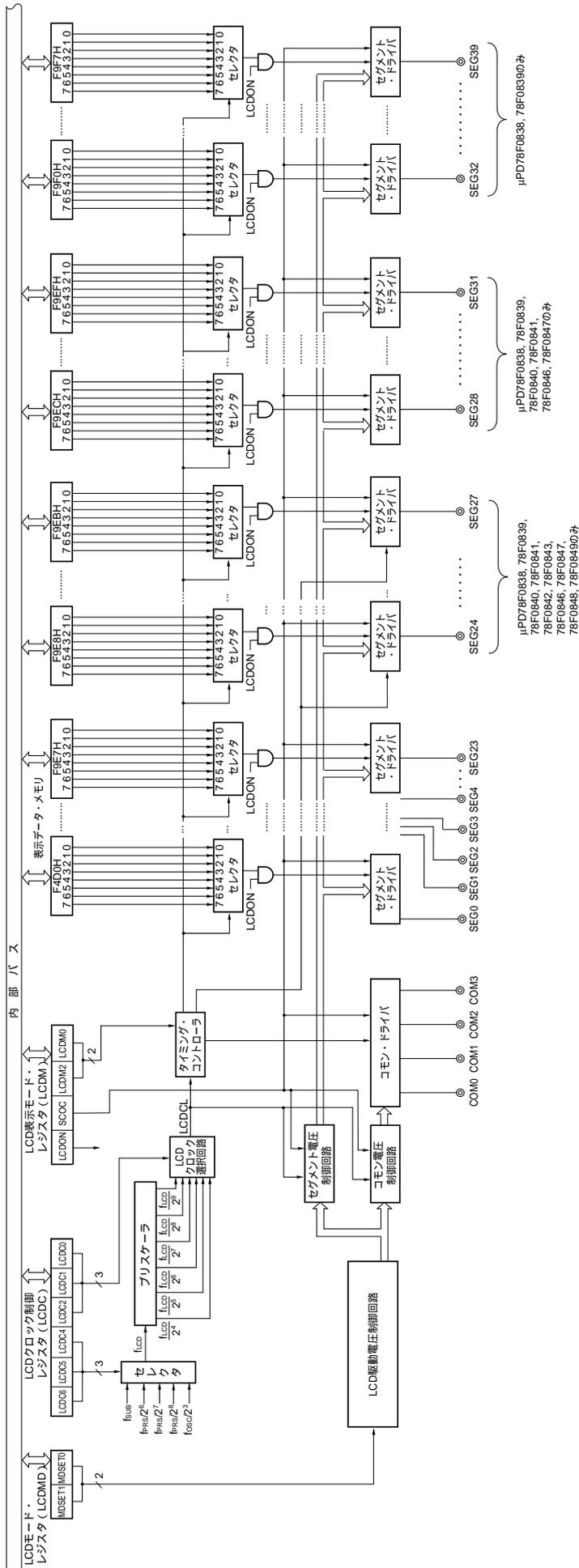
## 17.2 LCDコントローラ/ドライバの構成

LCDコントローラ/ドライバは、次のハードウェアで構成しています。

表17-2 LCDコントローラ/ドライバの構成

項 目	構 成	
表示出力	$\mu$ PD78F0838 , 78F0839	セグメント信号出力 40本 (SEG0-SEG39) , コモン信号出力 4本 (COM0-COM3)
	$\mu$ PD78F0840 , 78F0841 , 78F0846 , 78F0847	セグメント信号出力 32本 (SEG0-SEG31) , コモン信号出力 4本 (COM0-COM3)
	$\mu$ PD78F0842 , 78F0843 , 78F0848 , 78F0849	セグメント信号出力 28本 (SEG0-SEG27) , コモン信号出力 4本 (COM0-COM3)
	$\mu$ PD78F0836 , 78F0837 , 78F0844 , 78F0845	セグメント信号出力 24本 (SEG0-SEG23) , コモン信号出力 4本 (COM0-COM3)
制御レジスタ	LCDモード・レジスタ (LCDMD) LCD表示モード・レジスタ (LCDM) LCDクロック制御レジスタ (LCDC0) LCDポート・ファンクション・レジスタ0 (LCDPF0) LCDポート・ファンクション・レジスタ3 (LCDPF3) LCDポート・ファンクション・レジスタALL (LCDPFALL)	

図17-1 LCDコントローラ/ドライバのブロック図



## 17.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次の6種類のレジスタで制御します。

- ・LCDモード・レジスタ (LCDMD)
- ・LCD表示モード・レジスタ (LCDM)
- ・LCDクロック制御レジスタ0 (LCDC0)
- ・LCDポート・ファンクション・レジスタ0 (LCDPF0)
- ・LCDポート・ファンクション・レジスタ3 (LCDPF3)
- ・LCDポート・ファンクション・レジスタALL (LCDPFALL)

### (1) LCDモード・レジスタ (LCDMD)

LCD駆動電圧生成回路を設定するレジスタです。

LCDMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 LCDモード・レジスタ (LCDMD) のフォーマット

アドレス：FF5AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDMD	0	0	MDSET1	MDSET0	0	0	0	0

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	内部抵抗非接続 (パワー・セーブ・モード)
0	1	内部抵抗分割方式, 内部抵抗接続 (降圧なし, $V_{LCD} = V_{DD}$ 時に使用)
1	1	内部抵抗分割方式, 内部抵抗接続 (降圧あり, $V_{LCD} = 3/5V_{DD}$ 時に使用)
上記以外		設定禁止

**注意** ビット0-3, 6, 7には、必ず0を設定してください。

## (2) LCD表示モード・レジスタ (LCDM)

表示動作の許可／禁止，セグメント端子／コモン端子出力，ゲート昇圧回路の制御，表示モードを設定するレジスタです。

LCDMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17-3 LCD表示モード・レジスタ (LCDM) のフォーマット

アドレス： FF5BH リセット時：00 H R/W

略号	7	6	5	4	3	2	1	0
LCDM	LCDON	SCOC	0	0	0	LCDM2	0	LCDM0

LCDON	LCD表示の許可／禁止
0	表示オフ（セグメント出力はすべて非選択信号出力）
1	表示オン

SCOC	セグメント端子／コモン端子出力の制御 <sup>注</sup>
0	セグメント端子／コモン端子にグラウンド・レベルを出力
1	セグメント端子に非選択レベル，コモン端子にLCD波形を出力

LCDM2	LCDM0	LCDコントローラ／ドライバの表示モードの選択	
		抵抗分割方式	
		時分割数	バイアス法
0	0	4	1/3
0	1	3	1/3
1	0	スタティック	
上記以外		設定禁止	

注 LCD表示を行わないとき，また必要ないときは，以下の設定により消費電力を低減できます。

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) に0を設定する。

MDSET1, MDSET0 (LCDモード・レジスタ (LCDMD) のビット4, 5) = (0, 0) とする

(内部抵抗に流れる電流を削減可能)。

注意1. ビット1, 3-5には，必ず0を設定してください。

2. 4COMなどCOM数の多いモードで表示する場合，パネルの特性によっては， $V_{LCo}$ が低電圧の条件で十分なコントラストを得られない場合があります。お客様において，十分なLCD表示評価をし，表示品質に問題がないことをご確認の上，ご利用ください。

## (3) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17 - 4 LCDクロック制御レジスタ0 (LCDC0) のフォーマット

アドレス：FF5CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	LCDC6	LCDC5	LCDC4	0	LCDC2	LCDC1	LCDC0

LCDC6	LCDC5	LCDC4	LCDソース・クロック (f <sub>LCD</sub> ) の選択
0	0	0	f <sub>SUB</sub> (32.768kHz)
0	0	1	f <sub>PRS</sub> /2 <sup>7</sup>
0	1	0	f <sub>PRS</sub> /2 <sup>8</sup>
0	1	1	f <sub>PRS</sub> /2 <sup>9</sup>
1	0	0	f <sub>OSC</sub> /2 <sup>3</sup>
上記以外			設定禁止

LCDC2	LCDC1	LCDC0	LCDクロック (LCDCL) の選択
0	0	0	f <sub>LCD</sub> /2 <sup>4</sup>
0	0	1	f <sub>LCD</sub> /2 <sup>5</sup>
0	1	0	f <sub>LCD</sub> /2 <sup>6</sup>
0	1	1	f <sub>LCD</sub> /2 <sup>7</sup>
1	0	0	f <sub>LCD</sub> /2 <sup>8</sup>
1	0	1	f <sub>LCD</sub> /2 <sup>9</sup>
上記以外			設定禁止

**注意** ビット3, 7には，必ず0を設定してください。

**備考**1. f<sub>SUB</sub> : サブシステム・クロック周波数

2. f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

3. f<sub>OSC</sub> : 低速内蔵発振クロック周波数

## (4) LCDポート・ファンクション・レジスタ0 (LCDPF0)

P00-P07端子をポート端子（セグメント出力端子以外）/セグメント出力端子のどちらで使用するかを設定するレジスタです。

LCDPF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-5 LCDポート・ファンクション・レジスタ0 (LCDPF0) のフォーマット

アドレス：FF1BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDPF0	PF07	PF06	PF05	PF04	PF03	PF02	PF01	PF00

PF0n	ポート/セグメント出力の指定
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

備考 n = 0-7

## (5) LCDポート・ファンクション・レジスタ3 (LCDPF3)

P30-P37端子をポート端子（セグメント出力端子以外）/セグメント出力端子のどちらで使用するかを設定するレジスタです。

LCDPF3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-6 LCDポート・ファンクション・レジスタ3 (LCDPF3) のフォーマット

アドレス：FF0DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDPF3	PF37	PF36	PF35	PF34	PF33	PF32	PF31	PF30

PF3n	ポート/セグメント出力の指定
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

備考 n = 0-7

## (6) LCDポート・ファンクション・レジスタALL (LCDPFALL)

ポート8, ポート9, ポート13-16, ポート74-77の端子をポート端子(セグメント出力端子以外)/セグメント出力端子のどちらで使用するかを設定するレジスタです。

LCDPFALLは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図17-7 LCDポート・ファンクション・レジスタALL (LCDPFALL) のフォーマット

アドレス: FF1AH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
LCDPFALL	PF7UPNIB	PF16	PF15	PF14	PF13	PF9ALL	PF8ALL	0

PF7UPNIB	ポート/セグメント出力の指定
0	ポート(セグメント出力以外)として使用
1	セグメント出力として使用

PF1n	ポート/セグメント出力の指定
0	ポート(セグメント出力以外)として使用
1	セグメント出力として使用

備考 n = 3-6

PFnALL	ポート/セグメント出力の指定
0	ポート(セグメント出力以外)として使用
1	セグメント出力として使用

備考 n = 8, 9

## 17.4 LCDコントローラ／ドライバの設定

LCDコントローラ／ドライバの設定は、次のように行ってください。

MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) でLCD駆動方式を設定する  
ポート・ファンクション・レジスタ (LCDPF0, LCDPF3, LCDPFALL) にセグメント出力として使用する端子を設定する

LCD表示用RAMに初期値を設定する

LCDM0-LCDM2 (LCD表示モード・レジスタ (LCDM) のビット0-2) で時分割数を設定する

LCDクロック制御レジスタ0 (LCDC0) でLCDソース・クロックとLCDクロックを設定する

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をセット (SCOC=1) する。

LCDON (LCD表示モード・レジスタ (LCDM) のビット7) をセット (LCDON = 1) により、各データ・メモリに対応した出力を開始する

以後、表示内容に応じてデータ・メモリにデータを設定してください。

**備考** 内部抵抗分割方式を使用時に、表示オフ状態にして内部抵抗を非接続にする場合は、次の手順に従ってください。

LCDON (LCDMのビット7) をクリア (LCDON = 0) する。

すべてのセグメント端子、コモン端子から非選択信号が出力され、非表示状態となる

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をクリア (SCOC = 0) する。

すべてのセグメント端子、コモン端子からグランド・レベルが出力される

MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) = (0, 0) とし、  
内部抵抗非接続 (パワー・セーブ・モード) に設定する。

**注意** 4COMなどCOM数の多いモードで表示する場合、パネルの特性によっては、 $V_{LC0}$ が低電圧の条件で十分なコントラストを得られない場合があります。お客様において、十分なLCD表示評価をし、表示品質に問題がないことをご確認の上、ご利用ください。

## 17.5 LCD表示データ・メモリ

LCD表示データ・メモリは、F9D0H-F9F7H番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ／ドライバによりLCDパネルに表示することができます。

図17-8にLCD表示データ・メモリの内容とセグメント出力／コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図17-8 LCD表示データ・メモリの内容とセグメント出力／コモン出力の関係 (1/2)

(a)  $\mu$  PD78F0838, 78F0839

	b7	b6	b5	b4	b3	b2	b1	b0	
F9F7H	0	0	0	0					SEG39
F9F6H	0	0	0	0					SEG38
F9F5H	0	0	0	0					SEG37
⋮									
F9D5H	0	0	0	0					SEG5
F9D4H	0	0	0	0					SEG4
F9D3H	0	0	0	0					SEG3
F9D2H	0	0	0	0					SEG2
F9D1H	0	0	0	0					SEG1
F9D0H	0	0	0	0					SEG0
					COM3	COM2	COM1	COM0	

(b)  $\mu$  PD78F0840, 78F0841, 78F0846, 78F0847

	b7	b6	b5	b4	b3	b2	b1	b0	
F9EFH	0	0	0	0					SEG31
F9EEH	0	0	0	0					SEG30
F9ECH	0	0	0	0					SEG29
⋮									
F9D5H	0	0	0	0					SEG5
F9D4H	0	0	0	0					SEG4
F9D3H	0	0	0	0					SEG3
F9D2H	0	0	0	0					SEG2
F9D1H	0	0	0	0					SEG1
F9D0H	0	0	0	0					SEG0
					COM3	COM2	COM1	COM0	

**注意** 上位4ビットはメモリを内蔵していません。必ず0を設定してください。

図17 - 8 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 (2/2)

(c)  $\mu$  PD78F0842, 78F0843, 78F0848, 78F0849

	b7	b6	b5	b4	b3	b2	b1	b0	
F9EBH	0	0	0	0					SEG27
F9EAH	0	0	0	0					SEG26
F9E9H	0	0	0	0					SEG25
⋮									
F9D5H	0	0	0	0					SEG5
F9D4H	0	0	0	0					SEG4
F9D3H	0	0	0	0					SEG3
F9D2H	0	0	0	0					SEG2
F9D1H	0	0	0	0					SEG1
F9D0H	0	0	0	0					SEG0
					COM3	COM2	COM1	COM0	

(d)  $\mu$  PD78F0836, 78F0837, 78F0844, 78F0845

	b7	b6	b5	b4	b3	b2	b1	b0	
F9E7H	0	0	0	0					SEG23
F9E6H	0	0	0	0					SEG22
F9E5H	0	0	0	0					SEG21
⋮									
F9D5H	0	0	0	0					SEG5
F9D4H	0	0	0	0					SEG4
F9D3H	0	0	0	0					SEG3
F9D2H	0	0	0	0					SEG2
F9D1H	0	0	0	0					SEG1
F9D0H	0	0	0	0					SEG0
					COM3	COM2	COM1	COM0	

**注意** 上位4ビットはメモリを内蔵していません。必ず0を設定してください。

## 17.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧  $V_{LCD}$ ）以上になると点灯します。 $V_{LCD}$ 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

### (1) コモン信号

コモン信号は、設定する時分割数に応じて表17-3に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。

なお、3時分割の場合のCOM3端子は、オープンにして使用してください。

表17-3 COM信号

COM信号	COM0	COM1	COM2	COM3
時分割				
スタティック	↑	↑	↑	↑
3時分割	↑		↑	Open
4時分割	↑			↑

## (2) セグメント信号

### (a) $\mu$ PD78F0838, 78F0839

セグメント信号は、LCD表示期間中は40バイトのLCD表示データ・メモリ (F9D0H-F9F7H) に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子 (SEG0-SEG39) に出力されます。

### (b) $\mu$ PD78F0840, 78F0841, 78F0846, 78F0847

セグメント信号は、LCD表示期間中は32バイトのLCD表示データ・メモリ (F9D0H-F9EFH) に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子 (SEG0-SEG31) に出力されます。

### (c) $\mu$ PD78F0842, 78F0843, 78F0848, 78F0849

セグメント信号は、LCD表示期間中は28バイトのLCD表示データ・メモリ (F9D0H-F9EBH) に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子 (SEG0-SEG27) に出力されます。

### (d) $\mu$ PD78F0836, 78F0837, 78F0844, 78F0845

セグメント信号は、LCD表示期間中は24バイトのLCD表示データ・メモリ (F9D0H-F9E7H) に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子 (SEG0-SEG23) に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極 (セグメント信号に対応) と背面電極 (コモン信号に対応) がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1-3, 3時分割方式の場合のビット3はLCD表示に使用しないため、表示以外の目的に使用できます。

なお、F9D0H-F9D3Hの上位4ビットは0固定となっています。

## (3) LCD表示信号出力期間中のコモン信号とセグメント信号の出力波形

LCD表示信号出力期間中のコモン信号とセグメント信号には、表17 - 4に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表17 - 4 LCD駆動電圧

## (a) スタティック表示モード (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		$V_{SS}/V_{LC0}$	$V_{LC0}/V_{SS}$
$V_{LC0}/V_{SS}$		$-V_{LCD}/+V_{LCD}$	0 V/0 V

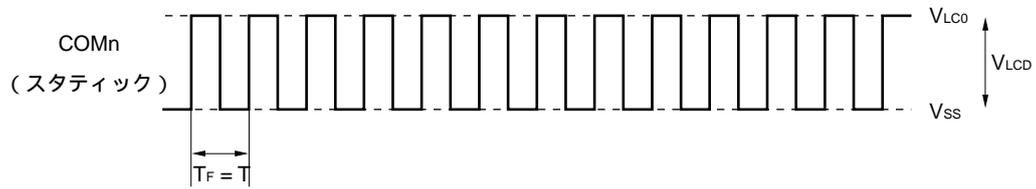
## (b) 1/3バイアス法 (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		$V_{SS}/V_{LC0}$	$V_{LC1}/V_{LC2}$
選択信号レベル	$V_{LC0}/V_{SS}$	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	$V_{LC2}/V_{LC1}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

図17 - 9にコモン信号波形を，図17 - 10にコモン信号とセグメント信号の電圧と位相を示します。

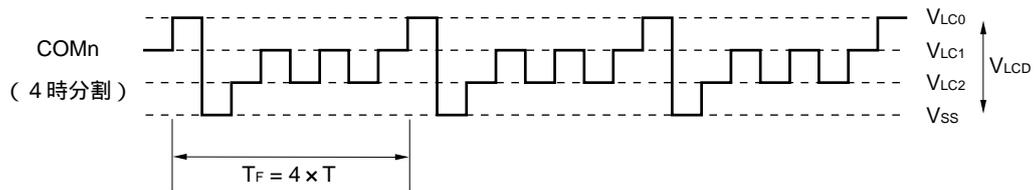
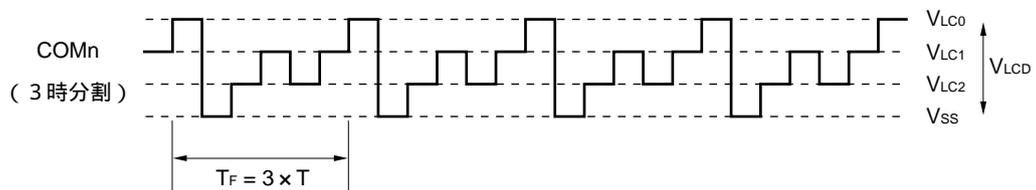
図17 - 9 コモン信号波形

(a) スタティック表示モード



T : LCDクロックの1周期分       $T_F$  : フレーム周波数

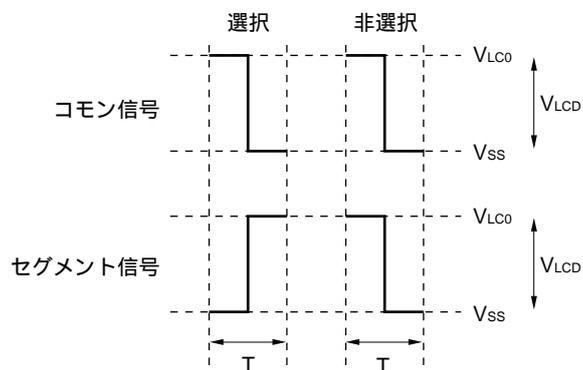
(b) 1/3バイアス法



T : LCDクロックの1周期分       $T_F$  : フレーム周波数

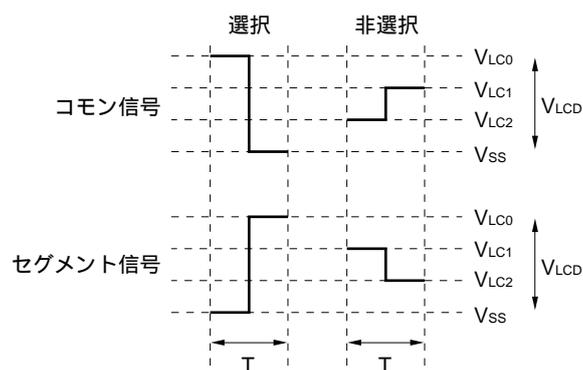
図17 - 10 コモン信号とセグメント信号の電圧と位相

## (a) スタティック表示モード



T : LCDクロックの1周期分

## (b) 1/3バイアス法



T : LCDクロックの1周期分

## 17.7 表示モード

### 17.7.1 スタティック表示例

図17 - 12は、図17 - 11の表示パターンを持つスタティック方式の3桁のLCDパネルと78K0/Dx2のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・メモリ (F9D0H-F9E7H) の内容はこれに対応しています。

ここでは2桁目の2. (□) を例にとって説明します。図17 - 11の表示パターンに従って、COM0のコモン信号のタイミングで表17 - 5に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表17 - 5 選択、非選択電圧 (COM0)

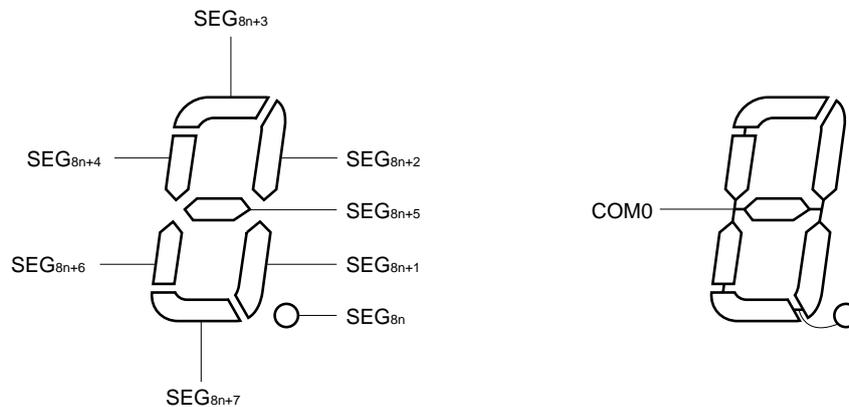
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・メモリ (F9D8H-F9DFH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図17 - 13に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである  $+V_{LCD}/-V_{LCD}$  の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図17 - 11 スタティックLCDの表示パターンと電極結線



備考 n = 0-2

図17 - 12 スタティックLCDパネルの結線例

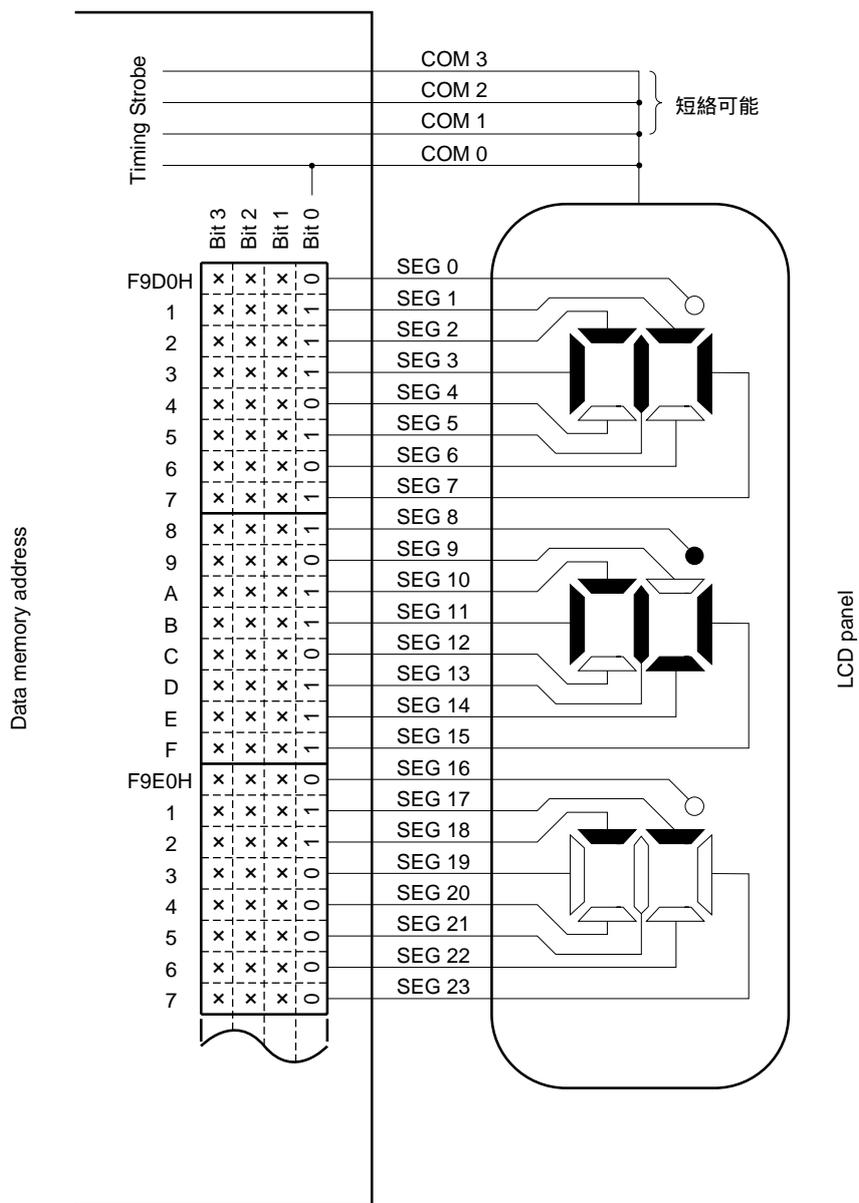
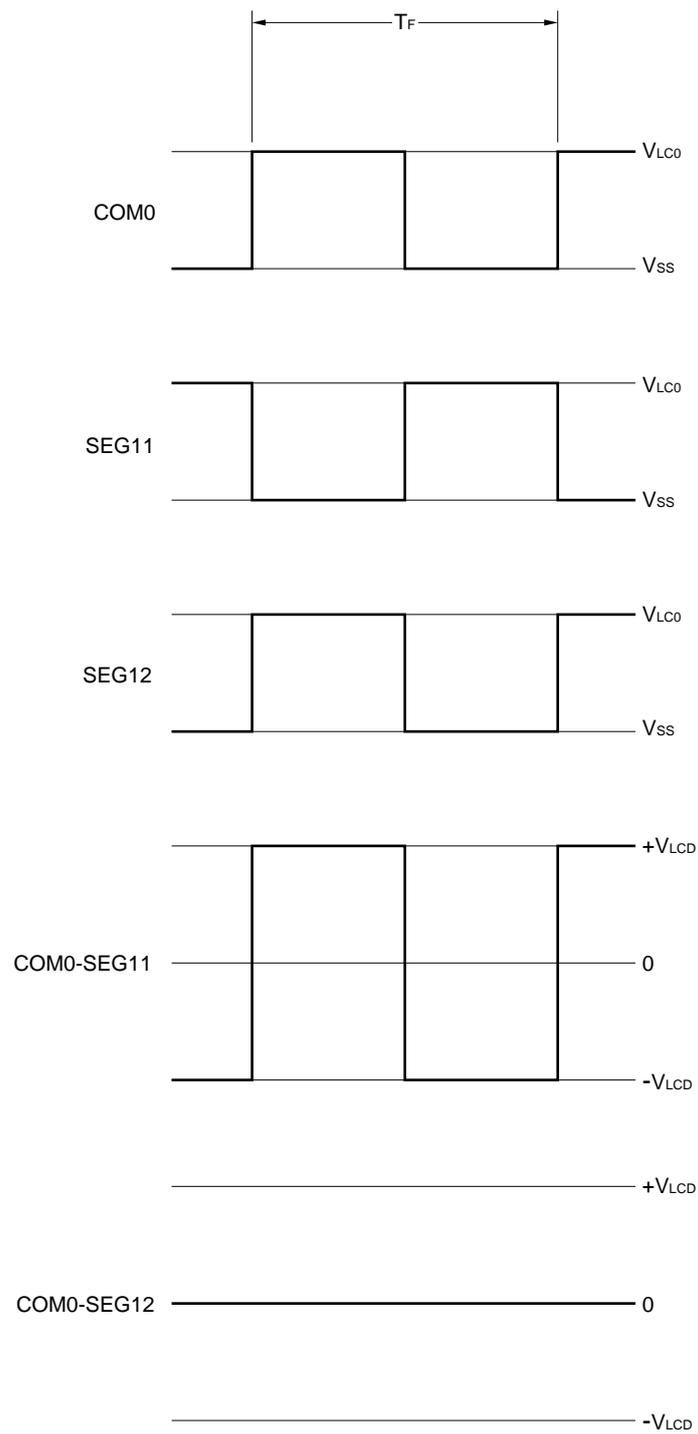


図17 - 13 スタティックLCD駆動波形例



### 17.7.2 3時分割表示例

図17 - 15は、図17 - 14の表示パターンを持つ3時分割方式の8桁LCDパネルと78K0/Dx2のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.78で、表示データ・メモリ (F9D0H-F9E7H番地) の内容はこれに対応しています。

ここでは3桁目の6. (□) を例にとって説明します。図17 - 14の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表17 - 6に示すような選択・非選択電圧をSEG6-SEG8端子に出力する必要があります。

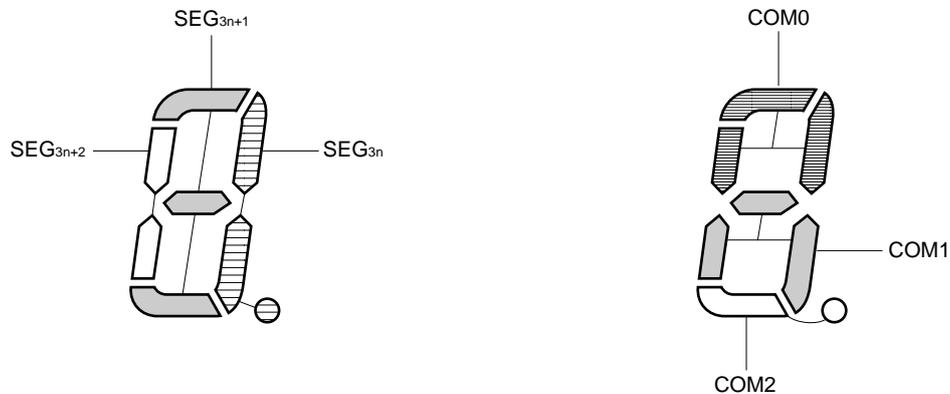
表17 - 6 選択・非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	

これによりSEG6に対応する表示データ・メモリ (F9D6H番地) には、x110を用意すればよいことが分かります。

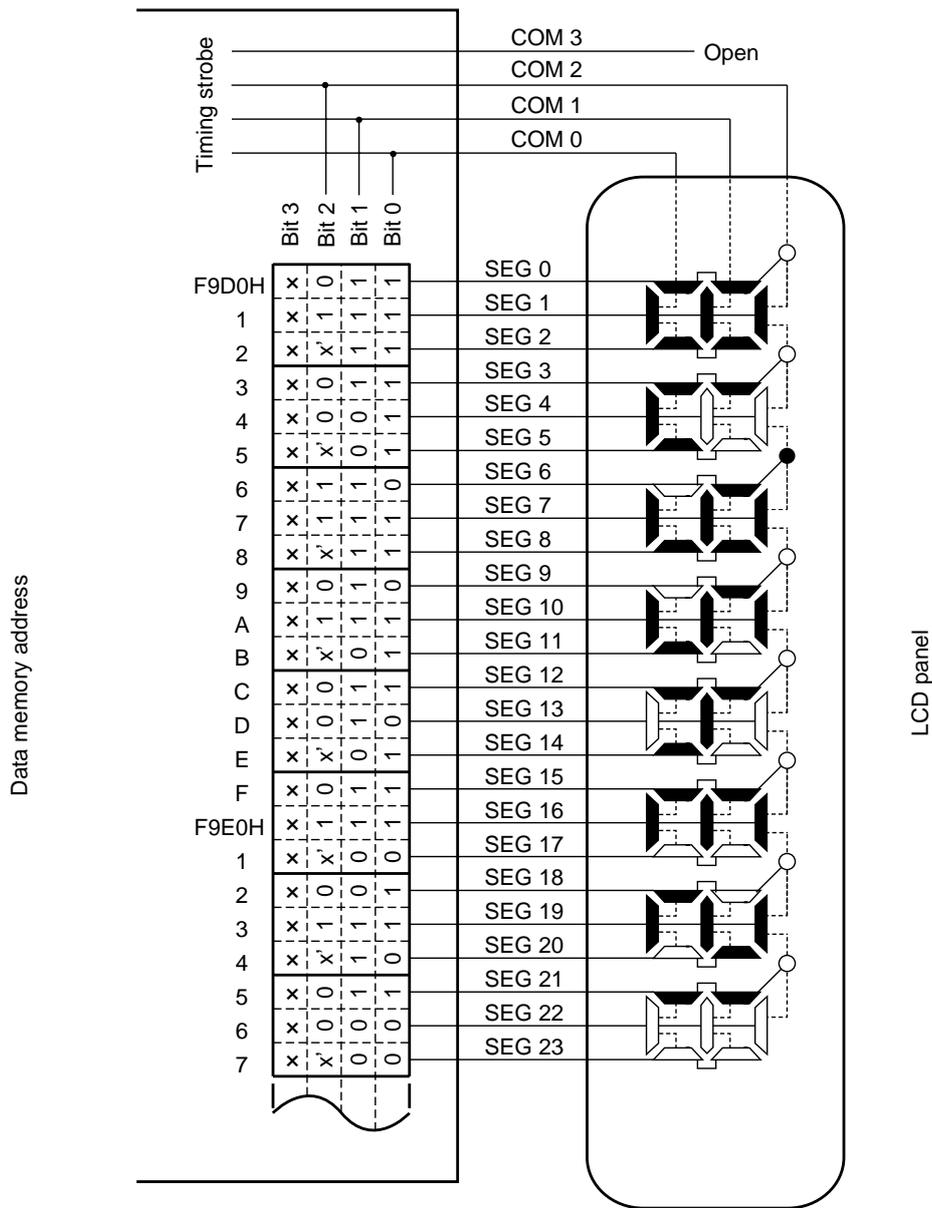
SEG6と各コモン信号間のLCD駆動波形例を図17 - 16に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである  $+V_{LCD}$  /  $-V_{LCD}$  の交流矩形波が発生することが分かります。

図17 - 14 3時分割LCD表示パターンと電極結線



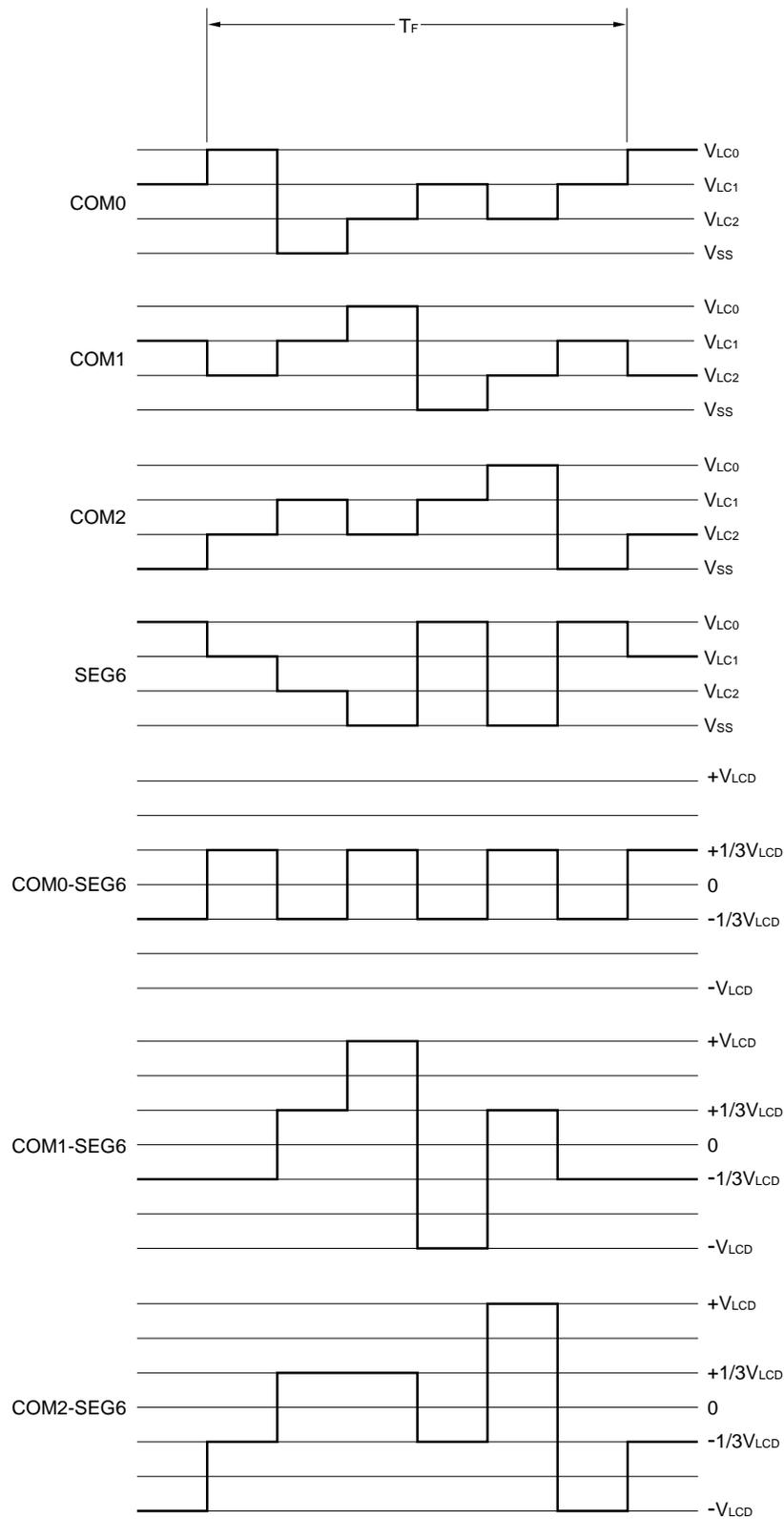
備考 n = 0-7

図17 - 15 3時分割LCDパネルの結線例



- X : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
- x : 3時分割表示のため、常に任意のデータをストア可能です。

図17 - 16 3時分割LCD駆動波形例 (1/3バイアス法)



### 17.7.3 4時分割表示例

図17 - 18は、図17 - 17の表示パターンを持つ4時分割方式の12桁LCDパネルと78K0/Dx2のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.789012で、表示データ・メモリ (F9D0H-F9E7H番地) の内容はこれに対応しています。

ここでは7桁目の6. (□) を例にとって説明します。図17 - 17の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表17 - 9に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

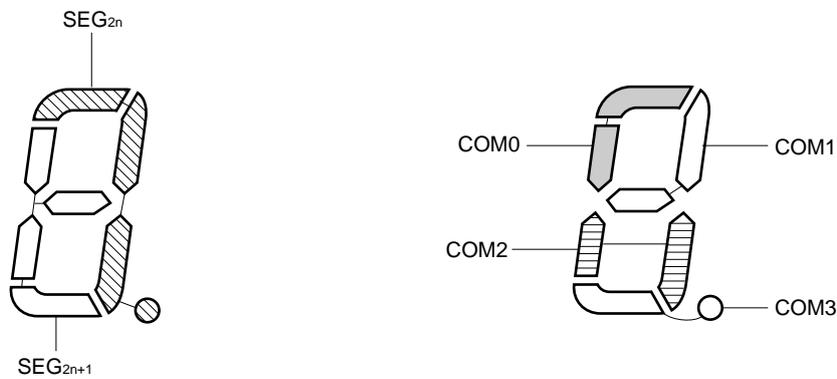
表17 - 7 選択、非選択電圧 (COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・メモリ (F9DCH番地) には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図17 - 19に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである  $+V_{Lcd}/-V_{Lcd}$  の交流矩形波が発生することが分かります。

図17 - 17 4時分割LCD表示パターンと電極結線



備考 n = 0-11

図17 - 18 4時分割LCDパネルの結線例

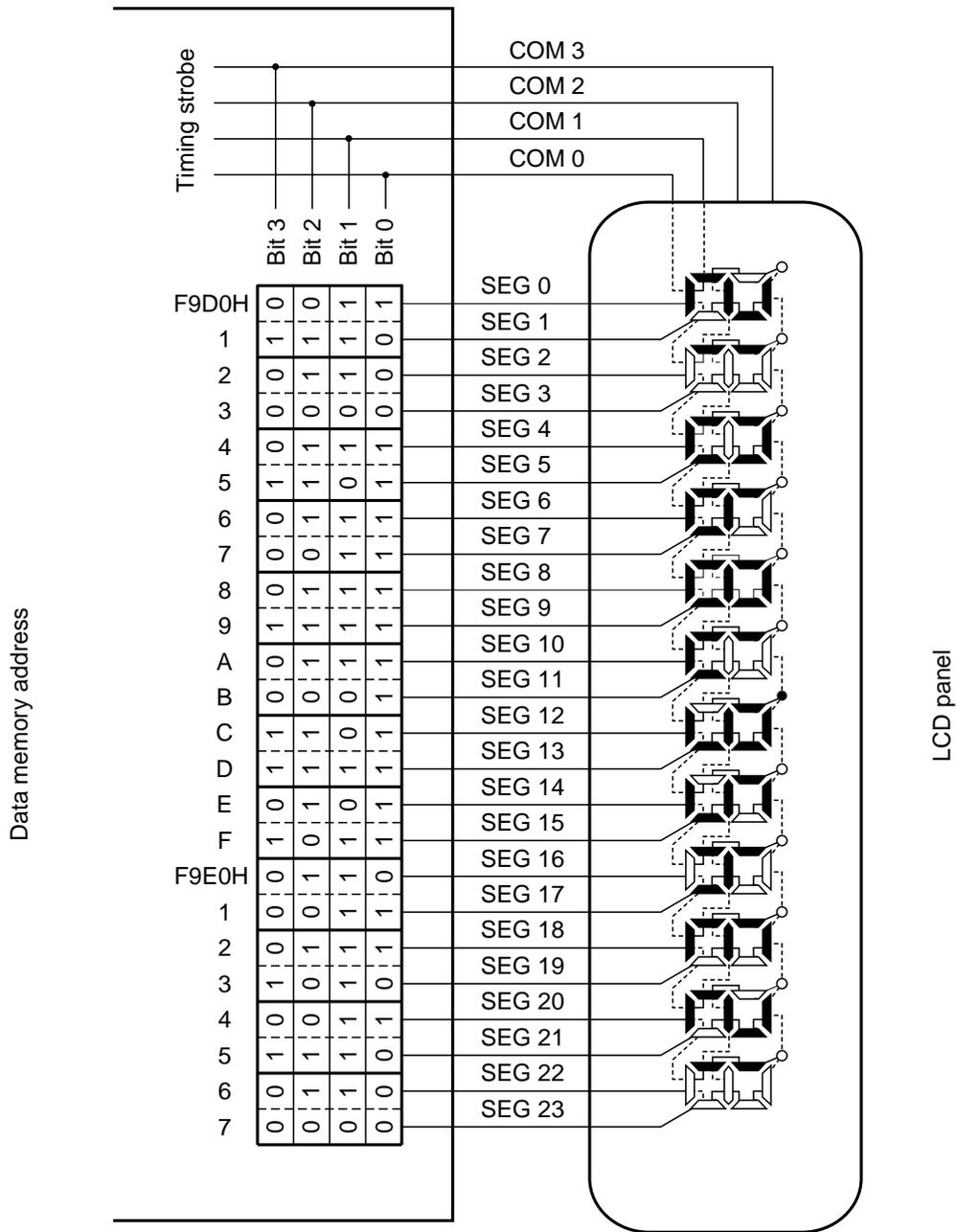
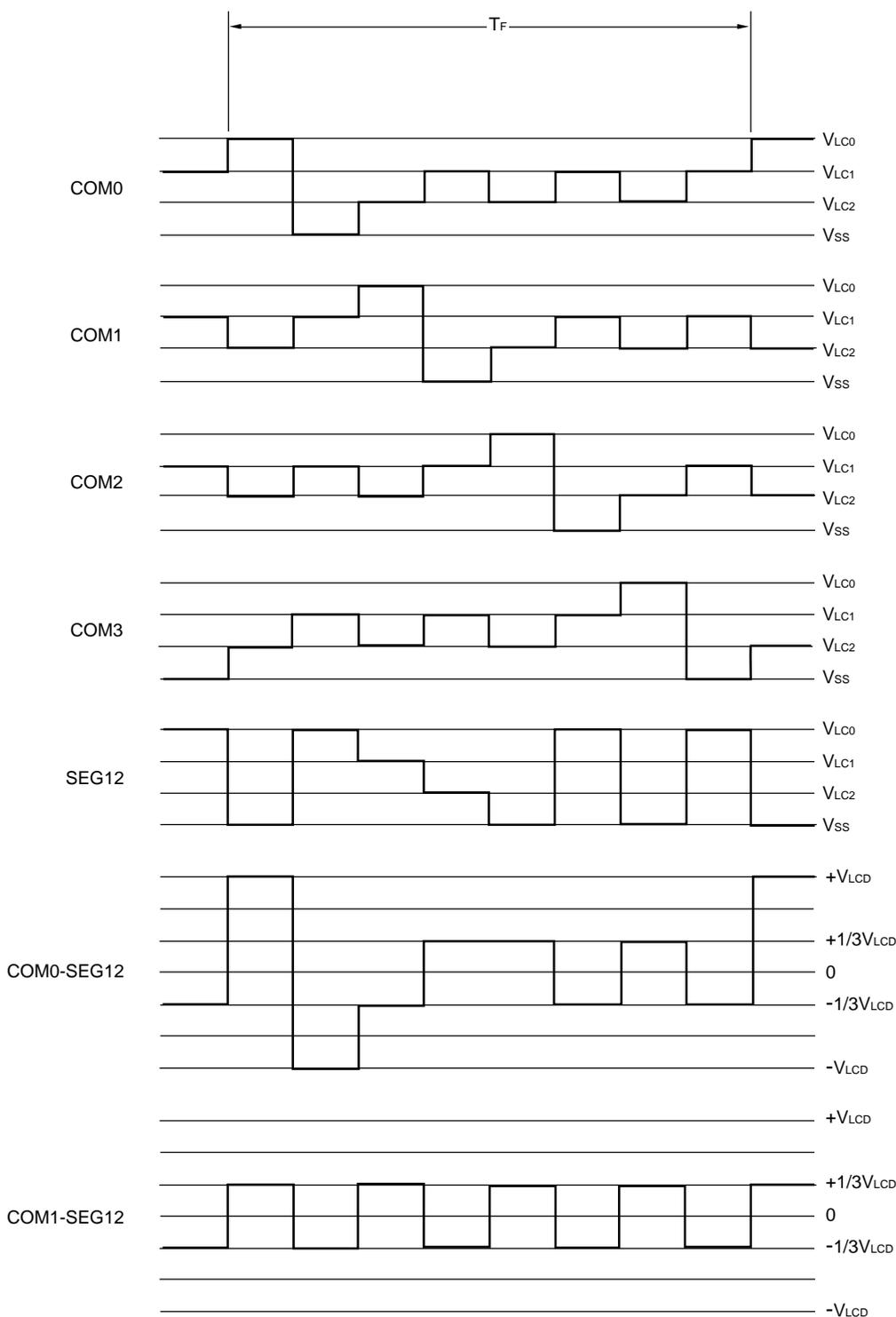


図17 - 19 4時分割LCD駆動波形例 (1/3バイアス法)



備考 COM2-SEG12とCOM3-SEG12の波形は省略

## 17.8 LCD駆動電圧 $V_{LC0}$ , $V_{LC1}$ , $V_{LC2}$ の供給

78K0/Dx2はLCD駆動用電源の生成方法は内部抵抗分割方式です。

78K0/Dx2は、LCD駆動用電源を作るための分割抵抗を内蔵しています。内部分割抵抗を使用することにより、外付け分割抵抗なしで表17-8に示す各バイアス法に応じたLCD駆動電圧を作ることができます。

表17-8 LCD駆動電圧（内部抵抗分割方式）

LCD駆動用電源端子	バイアス法	バイアスなし (スタティック)	1/3バイアス法
$V_{LC0}$		$V_{LCD}$	$V_{LCD}$
$V_{LC1}$		$\frac{2}{3} V_{LCD}$	$\frac{2}{3} V_{LCD}$
$V_{LC2}$		$\frac{1}{3} V_{LCD}$	$\frac{1}{3} V_{LCD}$

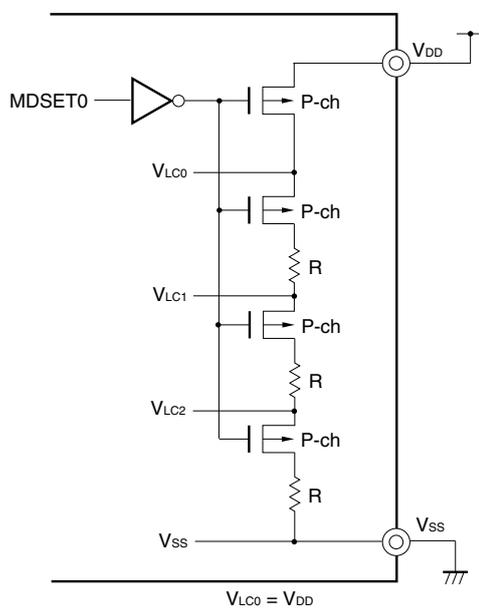
表17-8に従った内部からのLCD駆動電圧の供給例を図17-20に示します。

図17-20 LCD駆動用電源の接続例

(a) 1/3バイアス法およびスタティック表示モード

(MDSET1, MDSET0 = 0, 1)

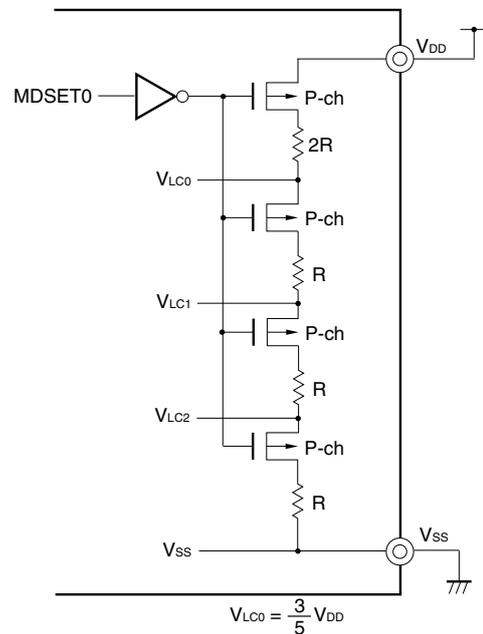
( $V_{DD} = 5V$ ,  $V_{LC0} = 5V$ の例)



(b) 1/3バイアス法およびスタティック表示モード

(MDSET1, MDSET0 = 1, 1)

( $V_{DD} = 5V$ ,  $V_{LC0} = 3V$ の例)



## 第18章 サウンド・ジェネレータ

サウンド・ジェネレータは、オーディオ周波数トーン信号と高周波数パルス幅変調（PWM）信号を生成します。PWMのデューティ・サイクルはボリュームを定義します。

デフォルトでは、2つの信号成分は別々の端子に転送されます。ただし、両方の信号を組み合わせるラウドスピーカ回路を駆動するコンポジット信号を生成することも可能です。

### 18.1 概 要

サウンド・ジェネレータは、プログラム可能な方形波トーン・ジェネレータとプログラム可能なパルス幅変調器で構成されます。

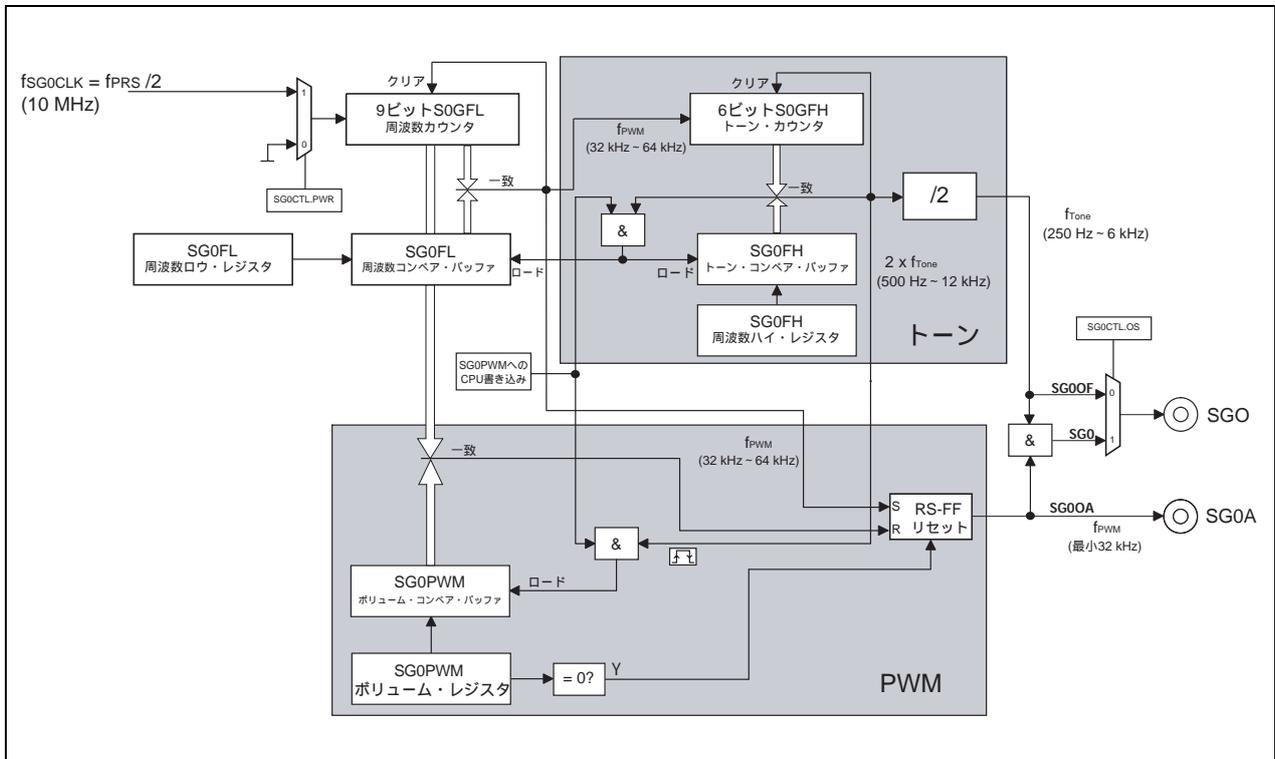
#### 特 徴

- ・ トーン周波数を設定可能（250 Hz～6 kHz，最小ステップ・サイズ20 Hz）
- ・ ボリューム・レベルを設定可能（9ビット分解能）
- ・ 広帯域のPWM信号を出力可能（32 kHz～64 kHz）
- ・ サウンドを停止，再生切り替え可能
- ・ コンポジット出力，または周波数／ボリュームの個別出力で，多様な外部回路構成に対応
- ・ ハードウェアによる周波数とボリューム更新の最適化で，可聴ノイズを低減

## 18.1.1 構成

図18 - 1にサウンド・ジェネレータの機能ブロックを示します。

図18 - 1 サウンド・ジェネレータのブロック図



サウンド・ジェネレータの入力クロック ( $f_{SG0CLK}$ ) は、周辺ハードウェア・クロック発振周波数  $f_{PRS}$  を2分周した10 MHzクロックです。

### トーン・ジェネレータ

トーン・ジェネレータは、コンペア・レジスタを持つ2つの加算型カウンタで構成されます。周波数レジスタに書き込まれた値は、自動的にコンペア・バッファに転送されます。カウンタ値と対応するコンペア・バッファの値が一致すると、カウンタはゼロにリセットされます。

9ビット・カウンタ (SG0FL) は、32 kHz ~ 64 kHzまでの周波数のクロックを生成します。PWM周波数は、このクロックで構成されます。

また、このクロックは2つ目の6ビット・カウンタ (SG0FH) の入力クロックとなります。2分周器で生成されるトーン信号は、250 Hz ~ 6 kHzの周波数と50%のデューティ・サイクルの信号です。

### PWMジェネレータ

PWMジェネレータは、希望のボリュームに応じてデューティ・サイクルを調節します。PWMジェネレータはボリューム・レジスタ (SG0PWM) で制御します。このレジスタに書き込まれた値は、対応するボリューム・コンペア・バッファに自動的に転送されます。

PWMジェネレータでは、SG0FLカウンタの値とボリューム・コンペア・バッファの値が継続的に比較されます。

PWMジェネレータのRSフリップ・フロップは、SG0FLカウンタで生成されるパルスによって設定されます。SG0FLカウンタ値とボリューム・バッファの値が一致すると、リセットされます。したがって、PWM出力信号

は0% (ゼロ・ボリューム) ~ 100% (最大ボリューム) までのデューティ・サイクルになります。

PWM周波数は32 kHz以上であるため、可聴範囲外になります。

## 出力

サウンド・ジェネレータは、SGO端子とSGOA端子に接続されています。

デフォルトでは、SGO端子はトーン信号 (SG0OF) を供給し、SGOA端子はボリューム ("振幅") 情報を含むPWM信号 (SG0OA) を供給します。

SG0CTL.OSビットを設定すると、SGO端子はスピーカ回路を直接制御できるコンポジット信号 (SG0O) を供給します。

### 18. 1. 2 動作原理

ソフトウェアで制御されるSG0FL, SG0FH, SG0PWMレジスタは、ハードウェア・バッファを備えており、サウンド・ジェネレータは、これらのバッファで動作します。

この方法では、生成されたトーン信号の波形と同期がとれた場合のみバッファが更新されるため、可聴ノイズを削減できます。

**備考** ここでは、概要のみを紹介します。詳細は、18. 3 **サウンド・ジェネレータの動作**を参照してください。

#### (1) トーン周波数の生成

トーン周波数は、カウンタ (SG0FL, SG0FH) と対応するコンペア・レジスタの値によって決定されます。これらのカウンタは、トーン・パルスとPWM信号の同期を維持するために必要となります。

SG0FLカウンタは、SG0FHカウンタとPWMジェネレータへの入力を供給します。また、PWM周波数を可聴範囲外 (30 kHz以上) に保ち、外部サウンド・システムの信号帯域幅 (通常は64 kHz以下) を超えないようにします。このカウンタの一致値は、100%のボリューム・レベルを設定します。

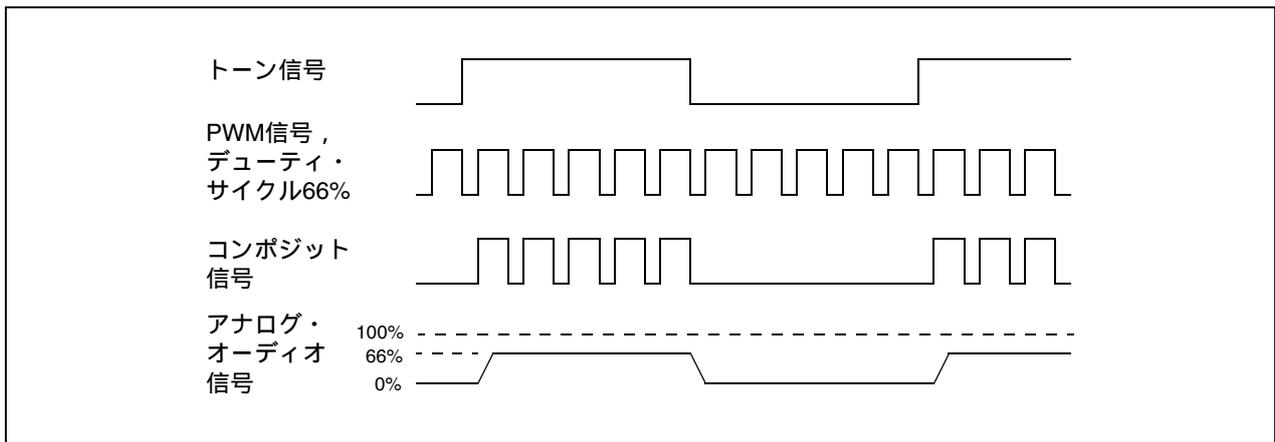
SG0FHカウンタは、トーン周波数 (250 Hz ~ 6 kHz) を生成します。

**備考** 別のトーン周波数を生成するためカウンタ (SG0FL, SG0FH) のターゲット値を変更した場合は、同じボリュームを維持するためにはボリューム・レジスタ (SG0PWM) を調整する必要があります。

#### (2) ボリューム情報の生成

ボリューム情報 (可聴信号の"振幅") は、高周波数PWM信号として供給されます。コンポジット・モードでは、図18 - 2に示すようにPWM信号とトーン信号の論理積をとります。

図18 - 2 コンボジット出力信号の生成



ロウ・パス・フィルタ通過後のアナログ信号の振幅は、PWM信号のデューティ・サイクルと一致します。

ロウ・パス・フィルタリング（平均化）は、ラウドスピーカ・システム固有の特性です。

デューティ・サイクルは、0%～100%の範囲で変化します。このサイクルの生成は、カウンタ・レジスタ（SG0FL）とボリューム・レジスタ（SG0PWM）によって制御されます。

ボリューム・レジスタ（SG0PWM）がクリアされると、サウンドは即時停止します。

## 18.2 サウンド・ジェネレータを制御するレジスタ

サウンド・ジェネレータは、次のレジスタで制御します。

表18-1 サウンド・ジェネレータのレジスタ概要

レジスタ名	略号	アドレス
SG0周波数ロウ・レジスタ	SG0FL	FFA5H
SG0周波数ハイ・レジスタ	SG0FH	FFA8H
SG0ボリューム・レジスタ	SG0PWM	FFAAH
SG0コントロール・レジスタ	SG0CTL	FFA6H

### (1) SG0コントロール・レジスタ (SG0CTL)

SG0CTLレジスタは、サウンド・ジェネレータの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hにクリアされます。

図18-3 SG0コントロール・レジスタ (SG0CTL) のフォーマット

アドレス：FFA6H    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
SG0CTL	0	0	0	PWR	0	0	OS	0

PWR	パワー・セーブ・モードの選択
0	クロック入力オフ (サウンド・ジェネレータ動作を禁止)
1	クロック入力オン (サウンド・ジェネレータ動作を許可, 使用可能)

OS	SG0出力モードの選択
0	SGOF, SGOA出力 (周波数と振幅は個別)
1	SGO出力 (周波数と振幅は混成)

- 注意
1. ビット0には、必ず0を設定してください。
  2. 本レジスタは、サウンド停止中 (SG0PWMレジスタのクリア時) のみ書き換え可能です。

**(2) SG0周波数ロウ・レジスタ (SG0FL)**

SG0FLレジスタは、PWM周波数のターゲット値を指定する16ビットのレジスタです。9ビット・カウンタ (SG0FL) のターゲット値を保持します。

16ビット単位でリード/ライト可能です。ただし、SG0CTL.PWRビット=0時は書き換えできません。リセットにより0000Hにクリアされます。

アドレス : FFA8H	リセット時 : 0000H	R/W														
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SG0FL	0	0	0	0	0	0	0	SG0FLカウンタのターゲット値								

生成されるPWM周波数の計算については、18.3.2 (2) PWMの計算を参照してください。

SG0FLに書き込む値により、最大サウンド振幅 (100%のPWMデューティ・サイクル) の基準値を設定します。SG0PWMの値がSG0FLの値よりも大きいと、100%のデューティ・サイクル (常にハイ) が生成されます。詳細は、18.3.2 (2) PWMの計算を参照してください。

**備考1.** ビット15-9は、使用しません。

- 書き込みの最大値は510(01FEH)です。これにより、サウンド・ジェネレータ入力クロックSG0CLKが10 MHzならば19.7 kHzのPWM周波数が生成されます。書き込みの最小値は、外部回路の特性によって異なります。255 (00FFH) の場合、サウンド・ジェネレータ入力クロックSG0CLKが10 MHzならば39.1 kHzのPWM周波数が生成されます。
- この周波数は周波数コンペア・バッファの値によって決定されるため、このレジスタの読み出し値は、必ずしも現在のPWM周波数を反映しているとは限りません。バッファが未更新の場合もあります。

詳細は、18.3.1 周波数バッファ値の更新を参照してください。

**(3) SG0周波数ハイ・レジスタ (SG0FH)**

SG0FHレジスタは、最終的なトーン周波数を指定する16ビットのレジスタです。また、6ビット・カウンタ (SG0FH) のターゲット値を保持します。

16ビット単位でリード/ライト可能です。ただし、SG0CTL.PWRビット=0時は書き換えできません。リセットにより0000Hにクリアされます。

アドレス : FFAAH    リセット時 : 0000H    R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SG0FH	0	0	0	0	0	0	0	0	0	0	SG0FHカウンタのターゲット値					

生成されるトーン周波数の計算については、18.3.1(2) **トーン周波数の計算**を参照してください。

**備考1.** ビット15-6は、使用しません。

- 適正值は、入力パルスの周波数を設定するSG0FLレジスタの値によって異なります。たとえば、SG0FLカウンタが32.4 kHzの周波数を生成する場合、63の値により253 Hzのトーン周波数を生成します。
- この周波数は周波数コンペア・バッファの値によって決定されるため、このレジスタの読み出し値は、必ずしも現在のトーン周波数を反映しているとは限りません。バッファが未更新の場合もあります。

詳細は、18.3.1(1) **周波数バッファ値の更新**を参照してください。

## (4) SG0ボリューム・レジスタ (SG0PWM)

SG0PWMレジスタは、サウンドのボリュームを指定する16ビットのレジスタです。PWM信号のデューティ・サイクルで定められたサウンド振幅のターゲット値を保持します。

16ビット単位でリード/ライト可能です。ただし、SG0CTL.PWRビット=0時は書き換えできません。リセットにより0000Hにクリアされます。

アドレス : FFA6H	リセット時 : 0000H	R/W														
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SG0PWM	0	0	0	0	0	0	0	サウンド・ボリュームのターゲット値								

SG0FLレジスタの値と共に、このレジスタへの書き込み値も考慮する必要があります。SG0FLレジスタは、SG0FLカウンタの最大値を指定します。

生成されるデューティ・サイクルの計算については、18.3.2(2) PWMの計算を参照してください。

設定は、SG0PWMバッファの更新後に有効になります（詳細は、18.3.2(1) ボリューム・バッファ値の更新を参照してください）。

**備考1.** ビット15-9は、使用しません。

2. SG0FLカウンタの値はボリューム・バッファの値と比較されるため、このレジスタの読み出し値は、必ずしも現在のボリュームを反映しているとは限りません。バッファが未更新の場合もあります。
3. このレジスタがクリアされると、サウンドは即時停止します。

## 18.3 サウンド・ジェネレータの動作

ここでは、サウンド・ジェネレータについて詳しく説明します。

### 18.3.1 トーン信号の生成

トーン信号は、SG0FHカウンタ値とSG0FHバッファ値のコンペア一致信号で生成され、その後2分周器を経由します。各コンペア一致時に、カウンタはゼロにリセットされます。

SG0FHカウンタは、SG0FLカウンタの出力により、クロック供給されます。

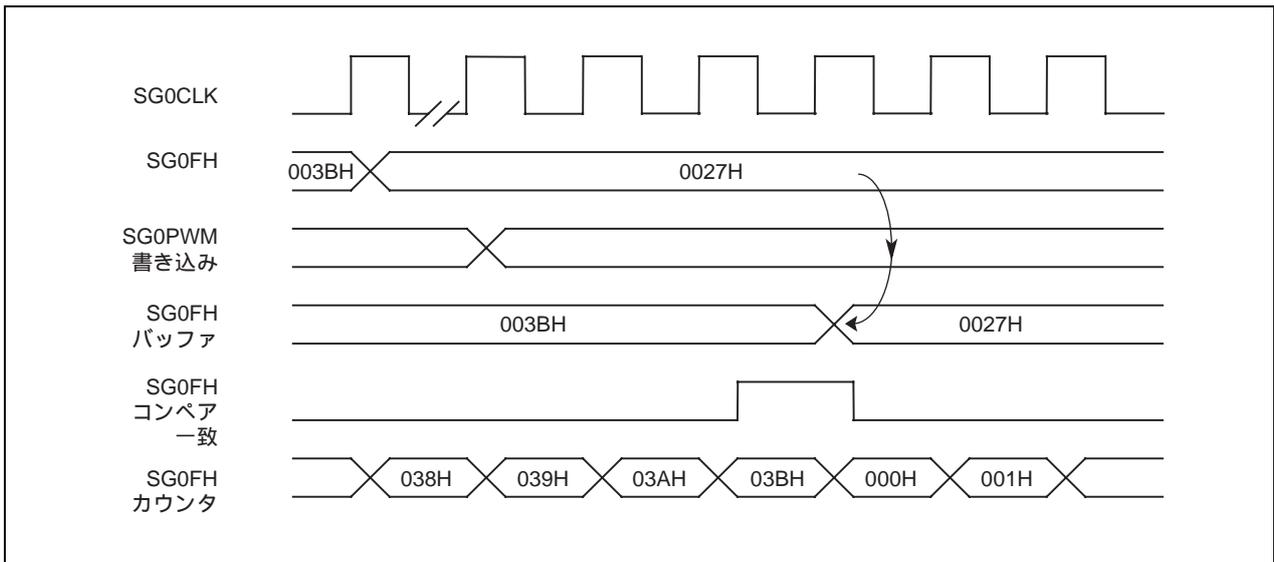
#### (1) 周波数バッファ値の更新

周波数バッファ値は、対応する周波数レジスタ (SG0FL, SG0FH) への書き込みによって変更できます。

SG0FLレジスタの値 (SG0F[15:0]に相当) を変更すると、サウンド・ボリュームなどのPWM周波数も変化します。したがって、新しいSG0FLの値が周波数バッファに転送される前に、正しいPWM値をSG0PWMに書き込む必要があります。

図18-4に参考例を示します (正確な縮尺ではありません)。

図18-4 周波数バッファの更新タイミング



上の例のように、SG0FLに01AEHがセットされ193 Hzのトーン信号が生成されると、SG0PWMレジスタへの書き込みからバッファの更新までの時間は最大5.17 msになる可能性があります。

## (2) トーン周波数の計算

トーン周波数は以下のように求められます。

$$f_{\text{tone}} = f_{\text{SG0CLK}} / (([\text{SG0FLバッファ}] + 1) \times ([\text{SG0FHバッファ}] + 1) \times 2)$$

ここで：

$f_{\text{SG0CLK}}$  = サウンド・ジェネレータ入力クロックの周波数

$f_{\text{SG0CLK}}$  =  $f_{\text{PRS}} / 2$

[SG0FLバッファ] = SG0FLバッファの値

[SG0FHバッファ] = SG0FHバッファの値

### 例

次の場合：

–  $f_{\text{PRS}} = 20 \text{ MHz}$

–  $f_{\text{SG0CLK}} = f_{\text{PRS}} / 2 = 10 \text{ MHz}$

– [SG0FLバッファ] = 255 (00FFH) (これにより、39.01 kHzのPWM周波数が発生)

– [SG0FHバッファ] = 32 (0020H)

結果：

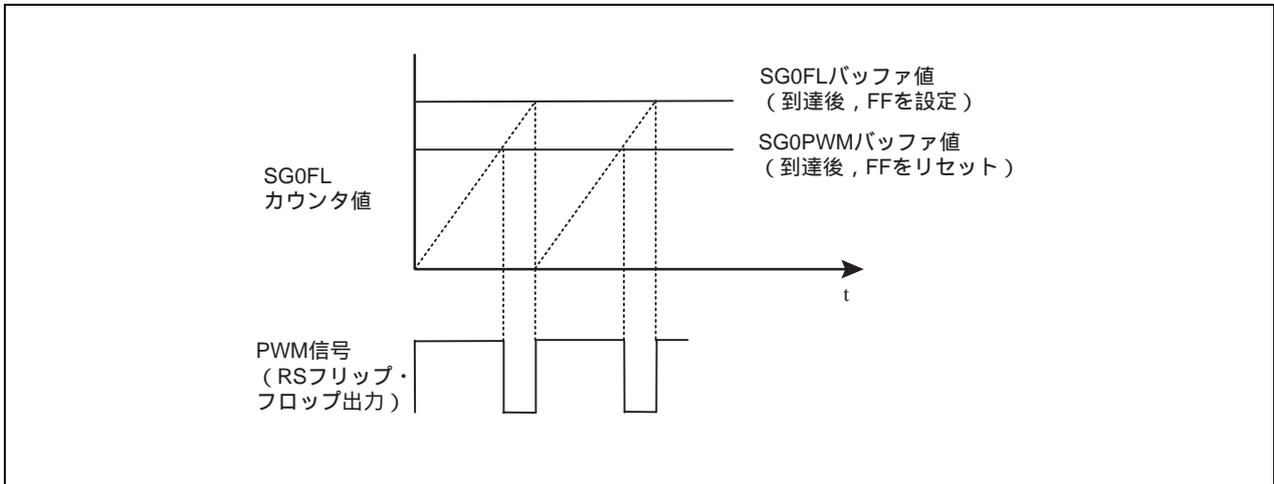
–  $f_{\text{tone}} = 592 \text{ Hz}$

**備考** バッファの値は、次のコンペア一致まで対応するレジスタの値と異なる場合があります。

### 18.3.2 ボリューム情報の生成

サウンド・ボリューム情報は、SG0FLカウンタ値とSG0PWMボリューム・バッファの値を比較して生成されます。カウンタとSG0FLバッファの一致時にRSフリップ・フロップが設定され、カウンタがSG0PWMボリューム・バッファの値に到達するとリセットされます。

図18 - 5 PWM信号の生成



PWM信号のデューティ・サイクルは、SG0FLカウンタ・バッファの値とSG0PWMボリューム・バッファの値の差により決定されます。差が大きければ大きいほど、デューティ・サイクルは小さくなります。

ボリューム・バッファの値が周波数コンペア・バッファの値よりも大きい場合、PWM信号は常にハイになります。

**備考** すべてのPWM周波数で100%のデューティ・サイクルを達成するには、SGOFLを1FEH以上の値に設定しないでください。

ボリューム・バッファの値がゼロである場合、PWM信号は常にロウになり、サウンドが停止します。

#### (1) ボリューム・バッファ値の更新

ボリューム・コンペア・バッファの値は、ボリューム・レジスタ (SG0PWM) への書き込みによって変更できます。

- ・ 0000Hの書き込みによりSG0PWMレジスタがクリアされると、レジスタの値はSG0CLKの次の立ち上がりエッジでボリューム・コンペア・バッファに転送されます。
- ・ これにより、遅くともSG0CLKの1周期後にサウンドが停止します。
- ・ SG0PWMレジスタに0以外の値を書き込むと、バッファはトーン周波数の次の立ち下がりまたは立ち上がりエッジ (SG0FHカウンタ値とSG0FHバッファ値の一致) で更新されます。

## (2) PWMの計算

## PWM周波数

周波数は、SG0FLカウンタで生成されます。周波数は以下のように求められます。

$$f_{\text{PWM}} = f_{\text{SG0CLK}} / ([\text{SG0FLバッファ}] + 1)$$

ここで：

$f_{\text{SG0CLK}}$  = サウンド・ジェネレータ入力クロックの周波数

$$f_{\text{SG0CLK}} = f_{\text{PRS}} / 2$$

$[\text{SG0FLバッファ}]$  = SG0FLバッファの値

## デューティ・サイクル

PWM信号のデューティ・サイクルは以下のように求められます。

・  $[\text{SG0PWMバッファ}] > [\text{SG0FLバッファ}]$  の場合：

$$\text{デューティ・サイクル} = 100\%$$

・  $0 \leq [\text{SG0PWMバッファ}] \leq [\text{SG0FLバッファ}]$  の場合：

$$\text{デューティ・サイクル} = [\text{SG0PWMバッファ}] / ([\text{SG0FLバッファ}] + 1)$$

ここで：

$[\text{SG0PWMバッファ}]$  = SG0PWMバッファの値

$[\text{SG0FLバッファ}]$  = SG0FLバッファの値

## 例

SG0FLを240 (00F0H) に設定した場合は、表18 - 2のようになります。

表18 - 2 デューティ・サイクル算出例

[SG0PWM]	計算式	デューティ・サイクル [%]
01FFH		100
...		100
00F1H	241 / 241	100
00F0H	240 / 241	99.6
00EFH	239 / 241	99.2
...	...	...
0001H	1 / 241	0.41
0000H	0 / 241	0

上の表は、達成可能なボリューム分解能とSG0FLレジスタの値との関係を示しています。

## 18.4 サウンド・ジェネレータ応用例

ここでは、プログラミングに関する補足的な情報を紹介します。

### 18.4.1 初期化

サウンド・ジェネレータを有効にするには、SG0CTL.PWRを1に設定します。これにより、SG0がクロックSG0CLKと接続されます。

SG0CTL.OSビットを確認します。

SG0CTL.OS = 0である場合、SG0端子の信号は周波数 ( $f_{\text{tone}}$ ) の対称的な方形波です。SG0CTL.OS = 1である場合、SG0端子の信号はトーン信号とPWMパルスから構成されます。

周波数データ・レジスタ (SG0FL, SG0FH) は、カウンタのバッファ値を規定します。双方の値の組み合わせにより、トーン信号の周波数を表します。

### 18.4.2 サウンドの開始と停止

サウンドを開始するには、ボリューム・レジスタ (SG0PWM) に0以外の値を書き込みます。

サウンドを開始する前に、その他のレジスタがすべて設定されている必要があります。

サウンドを停止するには、ボリューム・レジスタ (SG0PWM) に0000Hを書き込みます。振幅出力または周波数出力の現在の値にかかわらず、サウンドは停止します。したがって、低いサウンド周波数を選択した場合でも、サウンドを即時停止できます。

### 18.4.3 サウンド・ボリュームの変更

サウンド・ボリュームは、SG0PWMレジスタに新しい値を書き込むことにより変更できます。

新しいボリュームは、トーン・パルスの次のエッジ (立ち上がりまたは立ち下がり) で有効になります。

### 18.4.4 特別なサウンドの生成

特殊なサウンド (方向指示器の点滅音など) を生成するために、周波数とボリュームを同時に変更することができます。

すでに開始しているサウンドの周波数を変更するには、次の操作を行います。

1. 16ビット・モードでSG0FLとSG0FHに個別に書き込む。
2. SG0PWMレジスタに値を書き込む。

## 第19章 割り込み機能

### 19.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

#### (1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表19 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求が8要因、内部割り込み要求が27要因あります。

#### (2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

### 19.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計36要因あります。また、それ以外にリセット要因が最大で合計4要因あります (表19 - 1参照)。

表19 - 1 割り込み要因一覧 (1/3)

割り込みの種類	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>	
		名称	トリガ				
マスカブル	0	INTLVI	低電圧検出 <sup>注3</sup>	内部	0004H	(A)	
	1	INTP0	端子入力エッジ検出	外部	0006H	(B)	
	2	INTP1	端子入力エッジ検出	外部	0008H	(B)	
		INTIIC0	IIC0通信完了	内部		(A)	
	3	INTP3	端子入力エッジ検出	外部	000AH	(B)	
		INTP4	端子入力エッジ検出				
	4	INTTP0CC0	TMP0とCCR0の一致 (コンペア・レジスタ指定時)		内部	000CH	(A)
			TIOP00端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
	5	INTTP0CC1	TMP0とCCR1の一致 (コンペア・レジスタ指定時)		内部	000EH	(A)
			TIOP01端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
	6	INTTP1CC0	TMP1とCCR0の一致 (コンペア・レジスタ指定時)		内部	0010H	(A)
			TIOP10端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
	7	INTTP1CC1	TMP1とCCR1の一致 (コンペア・レジスタ指定時)		内部	0012H	(A)
			TIOP11端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
8	INTC0ERR	AFCAN0エラー発生 <sup>注4</sup>		内部	0014H	(A)	
	INTC0WUP	AFCAN0ウエイクアップ <sup>注4</sup>					
9	INTC0REC	AFCAN0受信完了 <sup>注4</sup>		内部	0016H	(A)	
10	INTC0TRX	AFCAN0送信完了 <sup>注4</sup>		内部	0018H	(A)	
11	INTPR60	UART60端子入力エッジ検出		外部	001AH	(B)	
12	INTSR60	UART60受信完了/ UART60受信エラー		外部	001CH	(B)	
13	INTST60	UART60送信完了		外部	001EH	(B)	
14	INTP2	端子入力エッジ検出		外部	0020H	(B)	
	INTCSI10	CSI10送信完了		内部		(A)	

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、28が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図19 - 1の (A) - (C) に対応しています。

3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 0選択時。

4. CAN搭載製品のみ。

表19 - 1 割り込み要因一覧 (2/3)

割り込みの種類	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>
		名称	トリガ			
マスクابل	15	INTPR61	UART61端子入力エッジ検出 <sup>注3</sup>	内部	0022H	(A)
	16	INTSR61	UART61受信完了/ UART61受信エラー <sup>注3</sup>		0024H	
	17	INTST61	UART61送信完了 <sup>注3</sup>		0026H	
	18	INTCSI11	CSI11通信完了		0028H	
	19	INTTM50	TM50とCR50の一致 (コンペア・レジスタ指定時)		002AH	
		INTTP2OV	TMP2のオーバフロー			
	20	INTTP2CC0	TMP2とCCR0の一致 (コンペア・レジスタ指定時)		002CH	
			TIOP20端子の有効エッジ検出 (キャプチャ・レジスタ指定時)			
	21	INTTP2CC1	TMP2とCCR1の一致 (コンペア・レジスタ指定時)		002EH	
			TIOP21端子の有効エッジ検出 (キャプチャ・レジスタ指定時)			
	22	INTAD	A/D変換終了		0030H	
	23	INTWTI	時計用タイマの基準時間間隔信号		0032H	
		INTWT	時計用タイマのオーバフロー			
	24	INTTM51	TM51とCR51の一致 (コンペア・レジスタ指定時)		0034H	
INTTP3OV		TMP3のオーバフロー				
25	INTTP3CC0	TMP3とCCR0の一致 (コンペア・レジスタ指定時)	0036H			
		TIOP30端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
26	INTTP3CC1	TMP3とCCR1の一致 (コンペア・レジスタ指定時)	0038H			
		TIOP31端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
27	INTTP4CC0	TMP4とCCR0の一致 (コンペア・レジスタ指定時)	003AH			
		TIOP40端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				
28	INTTP4CC1	TMP4とCCR1の一致 (コンペア・レジスタ指定時)	003CH			
		TIOP41端子の有効エッジ検出 (キャプチャ・レジスタ指定時)				

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが同時に発生している場合に優先する順位で、0が最高順位、28が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図19 - 1の (A) - (C) に対応しています。

3. 78K0/DF2のみ。

表19 - 1 割り込み要因一覧 (3/3)

割り込みの種類	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>
		名 称	ト リ ガ			
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(C)
ノンマスカブル	-	INTCK2	OCD実行前のアドレス・ブレーク発生	-	0002H	-
リセット	-	RESET	リセット入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 <sup>注3</sup>			
		WDT	WDTのオーバフロー			

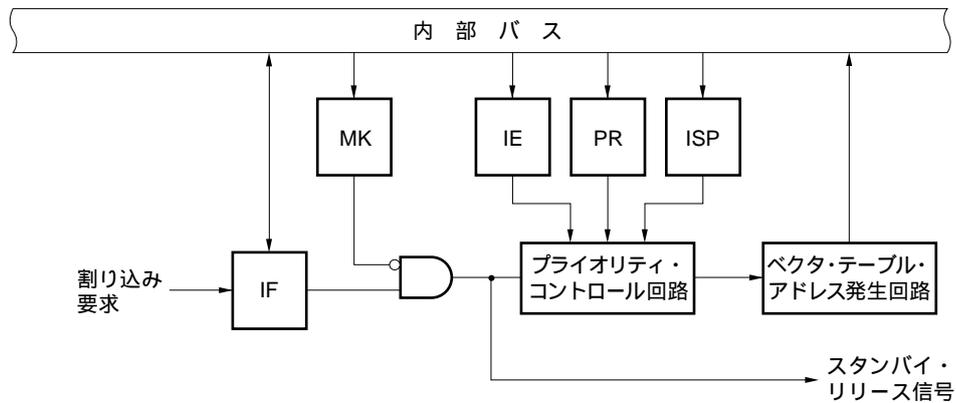
注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、28が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図19 - 1の (A) - (C) に対応しています。

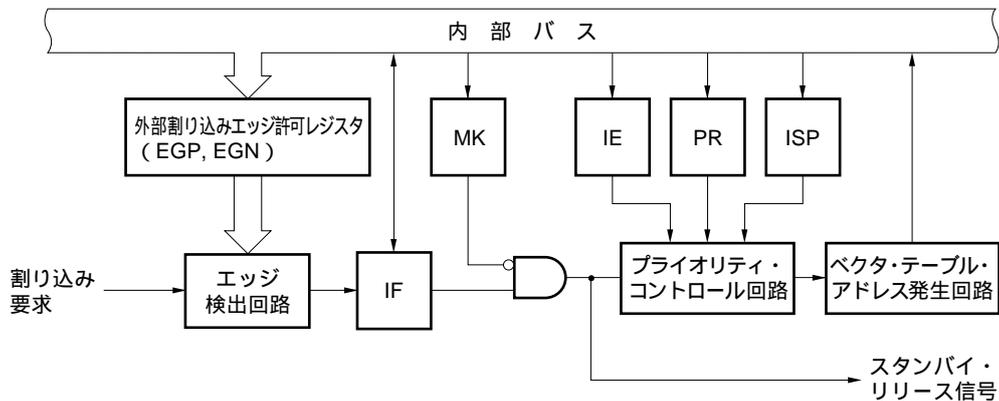
3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。

図19 - 1 割り込み機能の基本構成

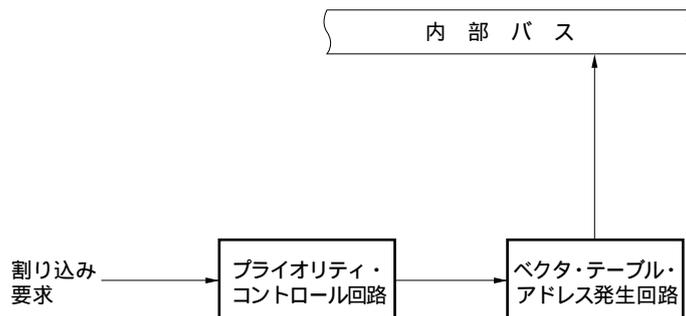
## (A) 内部マスク割り込み



## (B) 外部マスク割り込み (INTP0-INTP7)



## (C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサーピス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

### 19.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表19 - 2に示します。

表19 - 2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ				
	レジスタ		レジスタ		レジスタ				
INTLVI	LVIF		IF0L	LVIMK	MK0L	LVIPR	PR0L		
INTP0	PIF0			PMK0		PPR0			
INTP1	PIF1	DUALIF0		PMK1		DUALMK0		PPR1	DUALPR0
INTIIC0	IICIF0	注1		IICMK0		注2		IICPR0	注2
INTP3	PIF3	DUALIF1		PMK3		DUALMK1		PPR3	DUALPR1
INTP4	PIF4	注1		PMK4		注2		PPR4	注2
INTTP0CC0	TP0CC0IF			TP0CC0MK		TP0CC0PR			
INTTP0CC1	TP0CC1IF			TP0CC1MK		TP0CC1PR			
INTTP1CC0	TP1CC0IF			TP1CC0MK		TP1CC0PR			
INTTP1CC1	TP1CC1IF			TP1CC1MK		TP1CC1PR			
INTC0ERR	C0ERRIF	DUALIF2	IF0H	C0ERRMK	MK0H	C0ERRPR	PR0H		
INTC0WUP	C0WUPIF	注1		C0WUPMK		注2		C0WUPPR	注2
INTC0REC	C0RECIF			C0RECMK		C0RECPR			
INTC0TRX	C0TRXIF			C0TRXMK		C0TRXPR			
INTPR60	PIF60			PMK60		PPR60			
INTSR60	SRIF60			SRMK60		SRPR60			
INTST60	STIF60			STMK60		STPR60			
INTP2	PIF2	DUALIF3		PMK2		DUALMK3		PPR2	DUALPR3
INTCSI10	CSIIF10	注1		CSIMK10		注2		CSIPR10	注2
INTPR61	PIF61			PMK61		PPR61			
INTSR61	SRIF61		IF1L	SRMK61	MK1L	SRPR61	PR1L		
INTST61	STIF61			STMK61		STPR61			
INTCSI11	CSIIF11			CSIMK11		CSIPR11			
INTTM50	TMIF50	DUALIF4		TMMK50		DUALMK4		TMPR50	DUALPR4
INTTP2OV	TP2OVIF	注1		TP2OVMK		注2		TP2OVPR	注2
INTTP2CC0	TP2CC0IF			TP2CC0MK		TP2CC0PR			
INTTP2CC1	TP2CC1IF			TP2CC1MK		TP2CC1PR			
INTAD	ADIF			ADMK		ADPR			
INTWT	WTIF	DUALIF5		WTMK		DUALMK5		WTPR	DUALPR5
INTWTI	WTIIF	注1		WTIMK		注2		WTIPR	注2
INTTM51	TMIF51	DUALIF6	IF1H	TMMK51	MK1H	TMPR51	PR1H		
INTTP3OV	TP3OVIF	注1		TP3OVMK		注2		TP3OVPR	注2
INTTP3CC0	TP3CC0IF			TP3CC0MK		TP3CC0PR			
INTTP3CC1	TP3CC1IF			TP3CC1MK		TP3CC1PR			
INTTP4CC0	TP4CC0IF			TP4CC0MK		TP4CC0PR			
INTTP4CC1	TP4CC1IF			TP4CC1MK		TP4CC1PR			

注1. 2種類の割り込み要因のうち、どちらかが発生したらセット(1)されます。

2. 2種類の割り込み要因の両方に対応しています。

## (1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時、または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	TP1CC1IF	TP1CC0IF	TP0CC1IF	TP0CC0IF	DUALIF1 PIF3 PIF4	DUALIF0 PIF1 IICIF0	PIF0	LVIF

アドレス : FFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	PIF61	DUALIF3 PIF2 CSIF10	STIF60	SRIF60	PIF60	C0TRXIF	C0RECIF	DUALIF2 C0ERRIF C0WUPIF

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	DUALIF5 WTIF WTIIF	ADIF	TP2CC1IF	TP2CC0IF	DUALIF4 TMIF50 TP2OVIF	CSIIF11	STIF61	SRIF61

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	TP4CC1IF	TP4CC0IF	TP3CC1IF	TP3CC0IF	DUALIF6 TMIF51 TP3OVIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF1Hのビット5-7には、必ず0を設定してください。

2. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

注意3. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「\_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

## (2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図19-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	TP1CC1MK	TP1CC0MK	TP0CC1MK	TP0CC0MK	DUALMK1 PMK3 PMK4	DUALMK0 PMK1 IICMK0	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	PMK61	DUALMK3 PMK2 CSIMK10	STMK60	SRMK60	PMK60	C0TRXMK	C0RECMK	DUALMK2 C0ERRMK C0WUPMK

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	DUALMK5 WTMK WTIMK	ADMK	TP2CC1MK	TP2CC0MK	DUALMK4 TMMK50 TP2OVMK	CSIMK11	STMK61	SRMK61

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	TP4CC1MK	TP4CC0MK	TP3CC1MK	TP3CC0MK	DUALMK6 TMMK51 TP3OVMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

**注意** MK1Hのビット5-7には、必ず1を設定してください。

## (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図19-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	TP1CC1PR	TP1CC0PR	TP0CC1PR	TP0CC0PR	DUALPR1 PPR3 PPR4	DUALPR0 PPR1 IICPR0	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	PPR61	DUALPR3 PPR2 CSIPR10	STPR60	SRPR60	PPR60	C0TRXPR	C0RECPR	DUALPR2 C0ERRPR C0WUPPR

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	DUALPR5 WTPR WTIPR	ADPR	TP2CC1PR	TP2CC0PR	DUALPR4 TMPR50 TP2OVPR	CSIPR11	STPR61	SRPR61

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	TP4CC1PR	TP4CC0PR	TP3CC1PR	TP3CC0PR	DUALPR6 TMPR51 TP3OVPR

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

**注意** PR1Hのビット5-7には、必ず1を設定してください。

## (4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP4, INTP6, INTP7の有効エッジを設定するレジスタです。

EGP, EGNは,それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図19 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	EGP7	EGP6	0	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	EGN7	EGN6	0	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

**注意** EGPのビット5, EGNのビット5には, 必ず0を設定してください。

EGPnとEGNnに対応するポートを表19 - 3に示します。

表19 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P17	INTP0
EGP1	EGN1	P60	INTP1
EGP2	EGN2	P12	INTP2
EGP3	EGN3	P61	INTP3
EGP4	EGN4	P10	INTP4
EGP6	EGN6	P14 (ISC7 = 0) P70 (ISC7 = 1)	INTPR60
EGP7 <sup>注</sup>	EGN7 <sup>注</sup>	P11 <sup>注</sup>	INTPR61 <sup>注</sup>

注 78K0/DF2のみ。

**注意** 外部割り込み機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-4, 6, 7

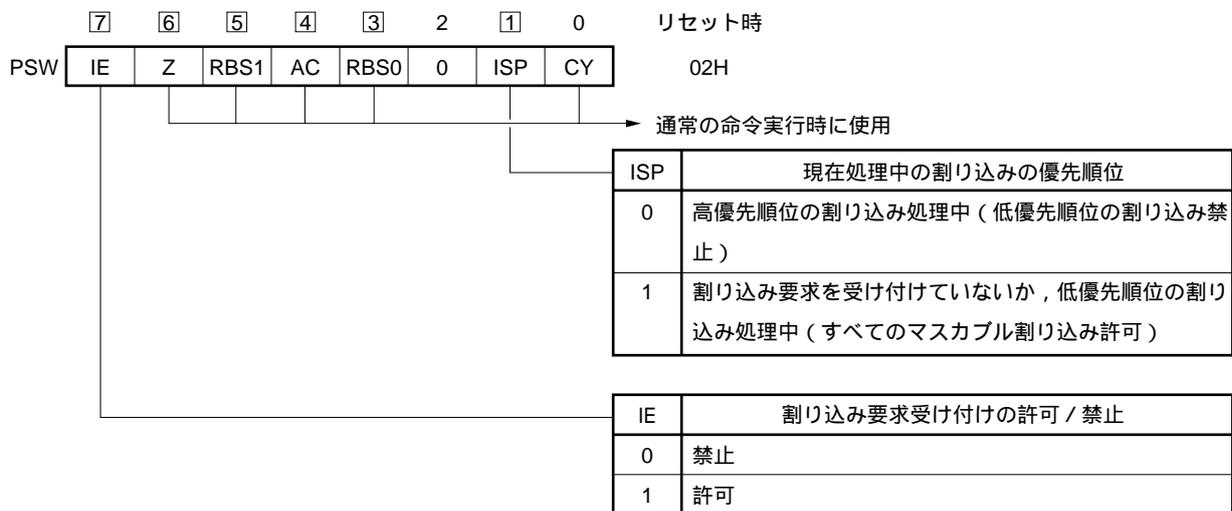
### (5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図19 - 6 プログラム・ステータス・ワードの構成



## 19.4 割り込み処理動作

### 19.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表19-4のようになります。割り込み要求の受け付けタイミングについては、図19-8, 19-9を参照してください。

表19-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

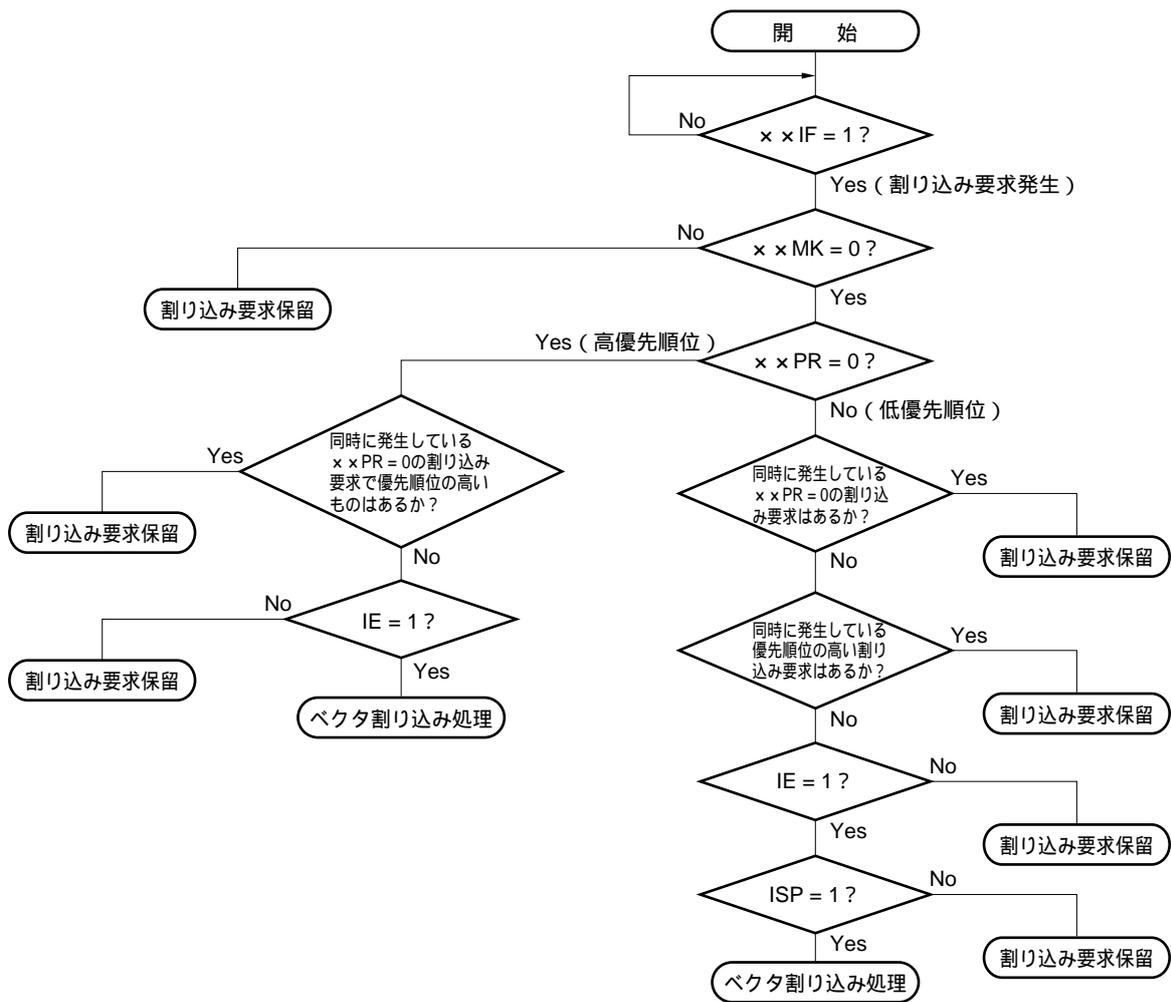
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図19-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図19 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

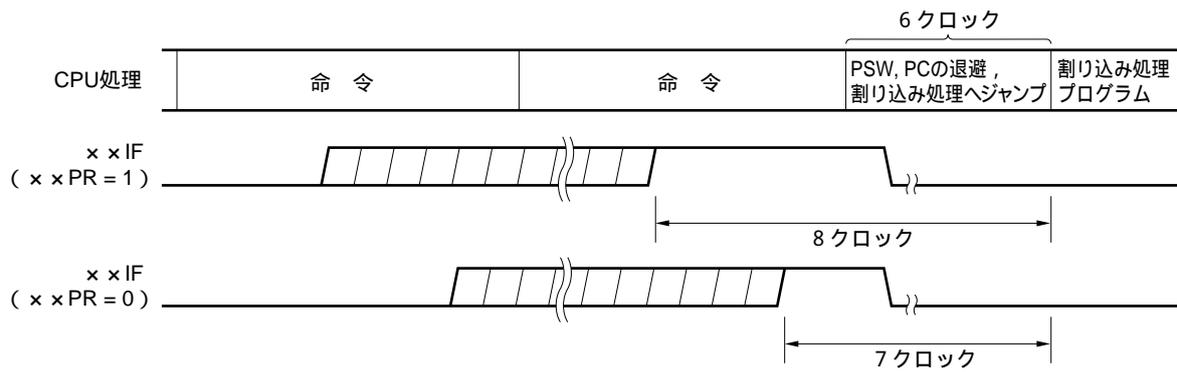
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

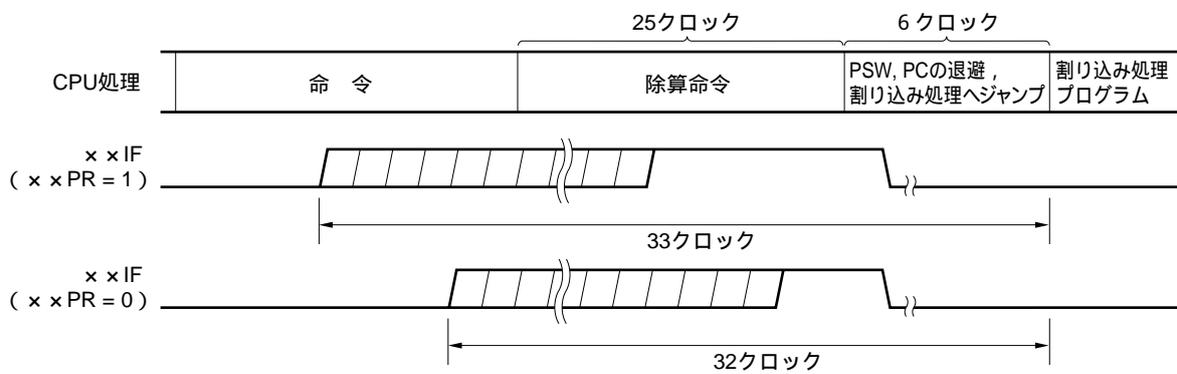
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図19 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

図19 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

## 19.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

## 19.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表19 - 5に多重割り込み可能な割り込み要求の関係を、図19 - 10に多重割り込みの例を示します。

表19 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

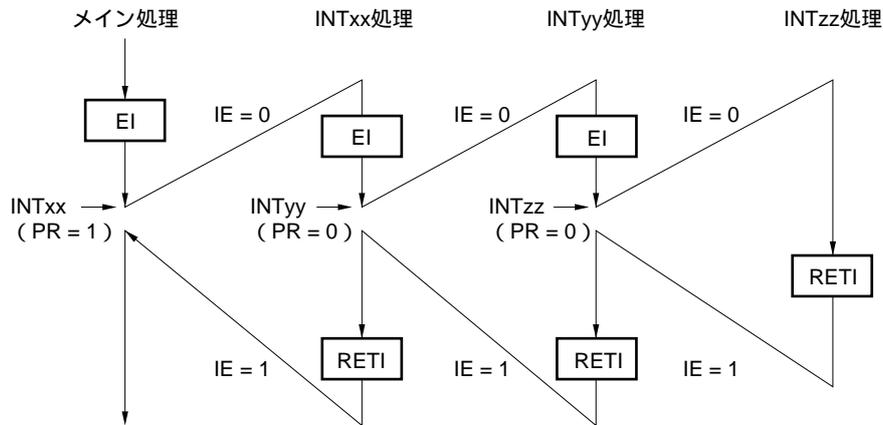
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

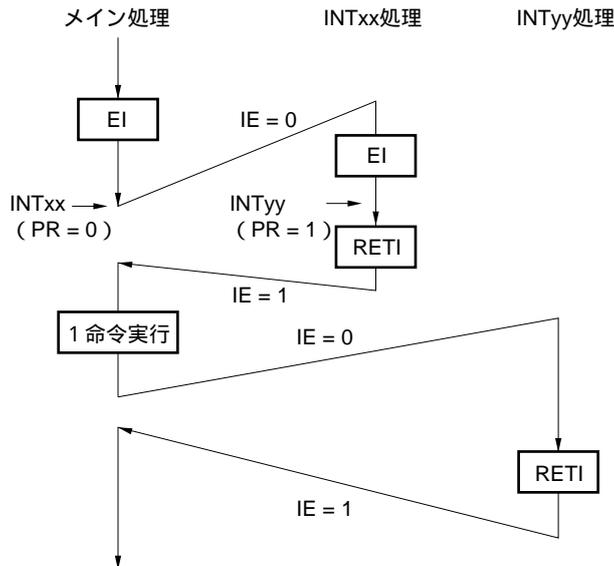
図19 - 10 多重割り込みの例 (1/2)

## 例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

## 例2. 優先順位制御により、多重割り込みが発生しない例

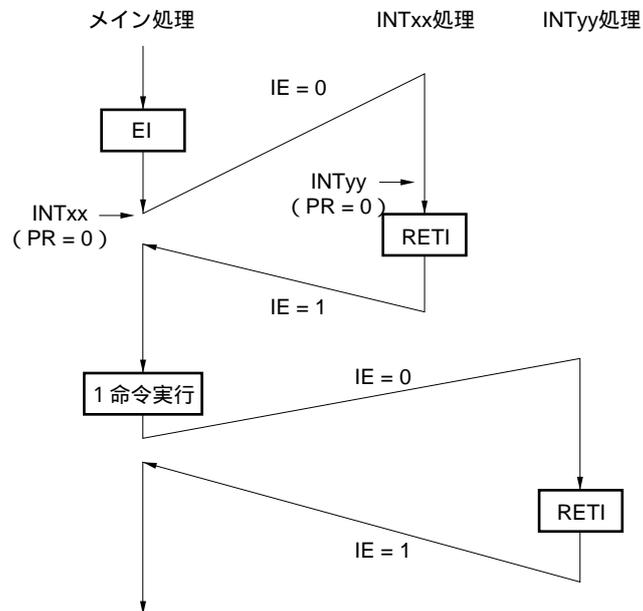


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図19 - 10 多重割り込みの例 (2/2)

## 例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

#### 19.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

**注意** BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図19 - 11に示します。

図19 - 11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
  3.  $x \times IF$ （割り込み要求）の動作は、 $x \times PR$ （優先順位レベル）の値の影響を受けません。

## 第20章 スタンバイ機能

### 20.1 スタンバイ機能と構成

#### 20.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

##### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

##### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

**注意1** . STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。

2 . STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。

3 . A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

### 20.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

**備考** クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

## (1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ( $\overline{\text{RESET}}$ 入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

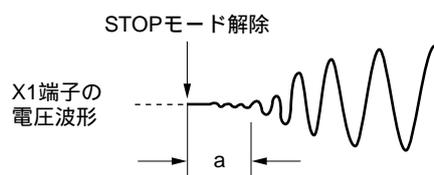
図20 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H    リセット時 : 00H    R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16		発振安定時間のステータス			
						fx = 2 MHz時	fx = 5 MHz時	fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	$2^{11}/fx$ 未満	1.02 ms未満	409.6 $\mu$ s未満	204.8 $\mu$ s未満	102.4 $\mu$ s未満
1	0	0	0	0	$2^{11}/fx$ 以上	1.02 ms以上	409.6 $\mu$ s以上	204.8 $\mu$ s以上	102.4 $\mu$ s以上
1	1	0	0	0	$2^{13}/fx$ 以上	4.10 ms以上	1.64 ms以上	819.2 $\mu$ s以上	409.6 $\mu$ s以上
1	1	1	0	0	$2^{14}/fx$ 以上	8.19 ms以上	3.27 ms以上	1.64 ms以上	819.2 $\mu$ s以上
1	1	1	1	0	$2^{15}/fx$ 以上	16.38 ms以上	6.55 ms以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/fx$ 以上	32.77 ms以上	13.11 ms以上	6.55 ms以上	3.27 ms以上

- 注意 1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間    OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間 (下図a) は含みません。



備考 fx : X1クロック発振周波数

## (2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、05Hになります。

図20 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H    リセット時 : 05H    R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択			
				fx = 2 MHz時	fx = 5 MHz時	fx = 10 MHz時	fx = 20 MHz時
0	0	1	$2^{11}/fx$	1.02 ms	409.6 $\mu$ s	204.8 $\mu$ s	102.4 $\mu$ s
0	1	0	$2^{13}/fx$	4.10 ms	1.64 ms	819.2 $\mu$ s	409.6 $\mu$ s
0	1	1	$2^{14}/fx$	8.19 ms	3.27 ms	1.64 ms	819.2 $\mu$ s
1	0	0	$2^{15}/fx$	16.38 ms	6.55 ms	3.27 ms	1.64 ms
1	0	1	$2^{16}/fx$	32.77 ms	13.11 ms	6.55 ms	3.27 ms
上記以外			設定禁止				

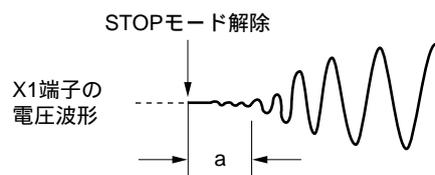
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

- X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

## 20.2 スタンバイ機能の動作

### 20.2.1 HALTモード

#### (1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表20 - 1 HALTモード時の動作状態 (1/2)

HALTモード の設定 項 目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (fosc8) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・ クロック (fEXT) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	fosc8	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	fx	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	fEXT	外部クロックの入力により動作または停止		動作継続 (停止不可)
サブシステム・クロック	fXT	HALTモード設定前の状態を継続		
	fEXTS	HALTモード設定前の状態を継続		
fosc		HALTモード設定前の状態を継続。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止不可」に設定した場合は、動作継続 (停止不可)。		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		HALTモード設定前の状態を保持		
レギュレータ		ノーマル・モードで動作		
ポート (ラッチ)		HALTモード設定前の状態を保持		
16ビット・タイマ / イベント・カウンタ	TMP0	動作可能		
	TMP1			
	TMP2			
	TMP3			
	TMP4			
8ビット・タイマ / イベント・カウンタ	TM50	動作可能		
	TM51			
時計用タイマ		動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		動作可能		
ブザー出力		動作可能		
A/Dコンバータ		動作可能		
シリアル・インタフェース	UART60	動作可能		
	UART61			
	CSI10			
	CSI11			
	IIC0			
CANコントローラ		動作可能		
乗除算器		動作可能		
ステッピング・モータC/D (ZPD付き)		動作可能		
LCD C/D		動作可能		
サウンド・ジェネレータ		動作可能		
パワーオン・クリア機能		動作可能		
低電圧検出機能		動作可能		
外部割り込み		動作可能		

表20 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定 項 目		サブシステム・クロックでCPU動作中のHALT命令実行時	
		XT1クロック (fxT) でCPU動作時	外部サブシステム・クロック (fEXTS) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	fosc8	HALTモード設定前の状態を継続	
	fx		
	fEXT	外部クロックの入力により動作または停止	
サブシステム・クロック	fxT	動作継続 (停止不可)	HALTモード設定前の状態を継続
	fEXTS	外部クロックの入力により動作または停止	動作継続 (停止不可)
fosc		HALTモード設定前の状態を継続。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止不可」に設定した場合は、動作継続 (停止不可)。	
CPU		動作停止	
フラッシュ・メモリ		動作停止	
RAM		HALTモード設定前の状態を保持	
レギュレータ		fosc8停止時は低消費電力で動作 fosc8動作時はノーマル・モードで動作	
ポート (ラッチ)		HALTモード設定前の状態を保持	
16ビット・タイマ / イベント・カウンタ	TMP0 <sup>注</sup>	動作可能	
	TMP1 <sup>注</sup>		
	TMP2 <sup>注</sup>		
	TMP3 <sup>注</sup>		
	TMP4 <sup>注</sup>		
8ビット・タイマ / イベント・カウンタ	TM50 <sup>注</sup>		
	TM51 <sup>注</sup>		
時計用タイマ			
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。	
クロック出力		動作可能	
ブザー出力		動作可能。ただし周辺ハードウェア・クロック (fPRS) 停止時は動作禁止。	
A/Dコンバータ			
シリアル・インタフェース	UART60	動作可能	
	UART61		
	CSI10 <sup>注</sup>		
	CSI11 <sup>注</sup>		
	IIC0		
CANコントローラ			
乗除算器			
ステッピング・モータC/D (ZPD付き)			
LCD C/D			
サウンド・ジェネレータ			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			

(注と備考は次頁にあります)

**注** CPUがサブシステム・クロック動作中で、高速内蔵発振クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

**備考** f<sub>OSC8</sub> : 高速内蔵発振クロック  
f<sub>X</sub> : X1クロック  
f<sub>EXT</sub> : 外部メイン・システム・クロック  
f<sub>XT</sub> : XT1クロック  
f<sub>EXTS</sub> : 外部サブシステム・クロック  
f<sub>OSC</sub> : 低速内蔵発振クロック

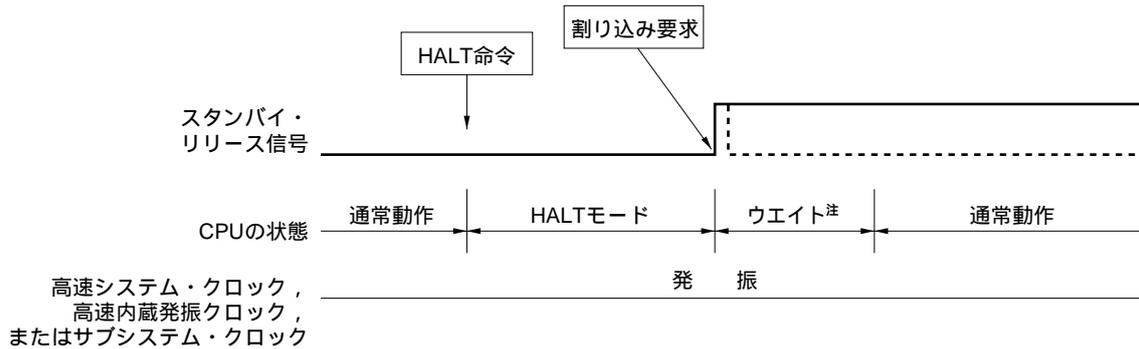
## (2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

### (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 3 HALTモードの割り込み要求発生による解除



**注** ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11~12クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

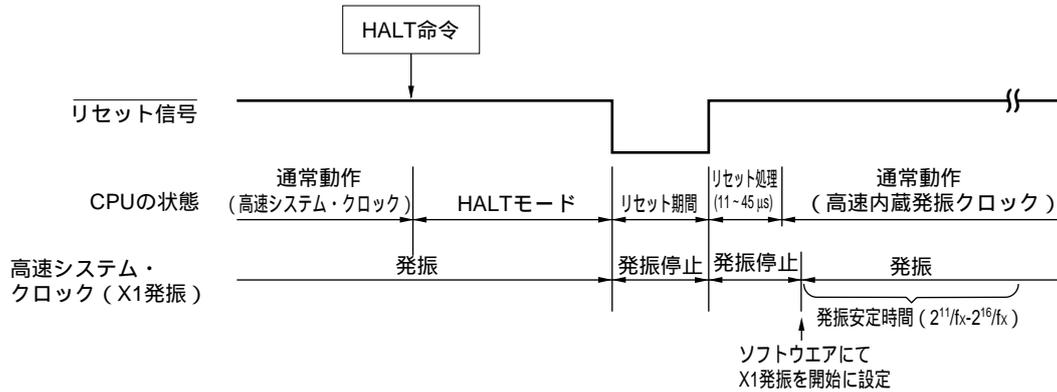
**備考** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

## (b) リセット信号の発生による解除

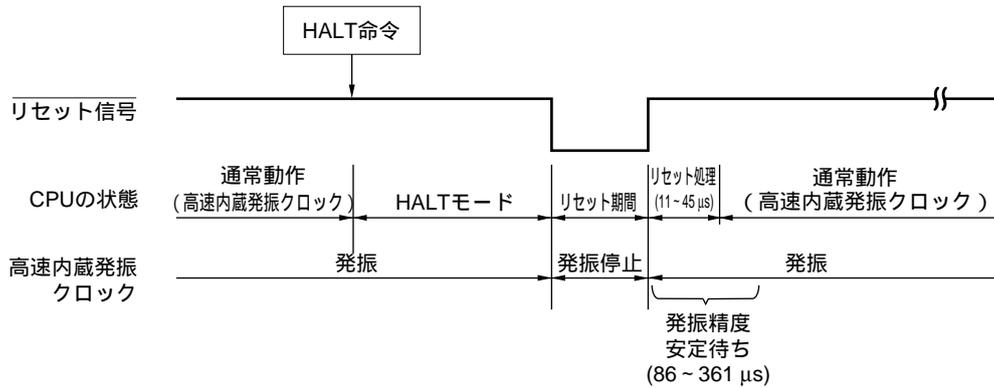
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図20 - 4 HALTモードのリセットによる解除 (1/2)

## (1) CPUクロックが高速システム・クロックの場合



## (2) CPUクロックが高速内蔵発振クロックの場合



備考  $f_x$  : X1クロック発振周波数

図20 - 4 HALTモードのリセットによる解除 (2/2)

## (3) CPUクロックがサブシステム・クロックの場合

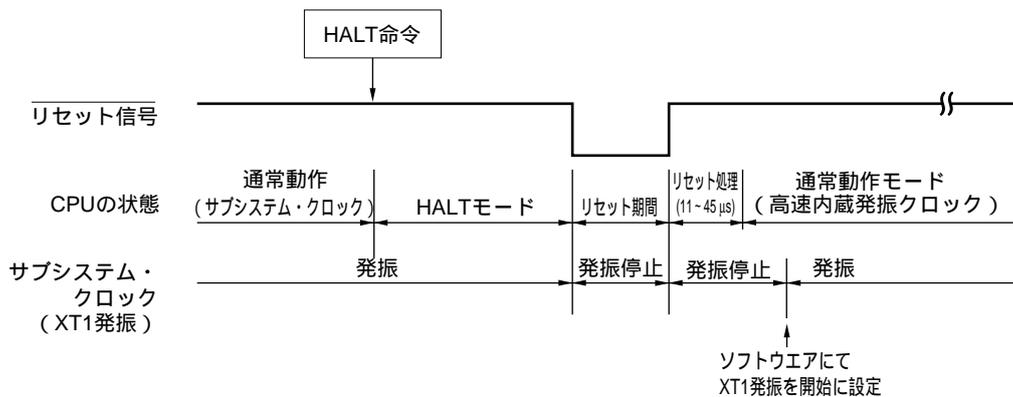


表20 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
	1	x	x	x	HALTモード保持
リセット信号入力	-	-	x	x	リセット処理

x : don't care

## 20.2.2 STOPモード

## (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

**注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表20-3 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック (fosc8) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・ クロック (fEXT) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	fosc8	停止	
	fx		
	fEXT	入力無効	
サブシステム・クロック	fXT	STOPモード設定前の状態を継続	
	fEXTS	STOPモード設定前の状態を継続	
fosc	STOPモード設定前の状態を継続。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止不可」に設定した場合は、動作継続（停止不可）。		
CPU	動作停止		
フラッシュ・メモリ	動作停止		
RAM	STOPモード設定前の状態を保持		
レギュレータ	低消費電力で動作		
ポート（ラッチ）	STOPモード設定前の状態を保持		
16ビット・タイマ/ イベント・カウンタ	TMP0 <sup>注</sup>	動作停止	
	TMP1 <sup>注</sup>		
	TMP2 <sup>注</sup>		
	TMP3 <sup>注</sup>		
	TMP4 <sup>注</sup>		
8ビット・タイマ/ イベント・カウンタ	TM50 <sup>注</sup>	カウント・クロックにTI50, 低速内蔵発振クロック選択時のみ動作可能	
	TM51 <sup>注</sup>	カウント・クロックにTI51選択時のみ動作可能	
時計用タイマ	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ブザー出力	動作停止		
A/Dコンバータ			
シリアル・ インタフェース	UART60	8ビット・タイマ/イベント・カウンタ50動作時に、シリアル・クロックにTO50選択時のみ動作可能	
	UART61	能	
	CSI10 <sup>注</sup>	シリアル・クロックに外部クロック選択時のみ動作可能	
	CSI11 <sup>注</sup>		
IIC0			
CANコントローラ	動作停止。スリープ・モードからのウエイク・アップは可能		
乗除算器	動作停止		
ステッピング・モータC/D (ZPD付き)			
LCD C/D	動作クロックにサブシステム・クロック, 低速内蔵発振クロック選択時のみ動作可能		
サウンド・ジェネレータ	動作停止		
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			

(注, 注意, 備考は次頁にあります)

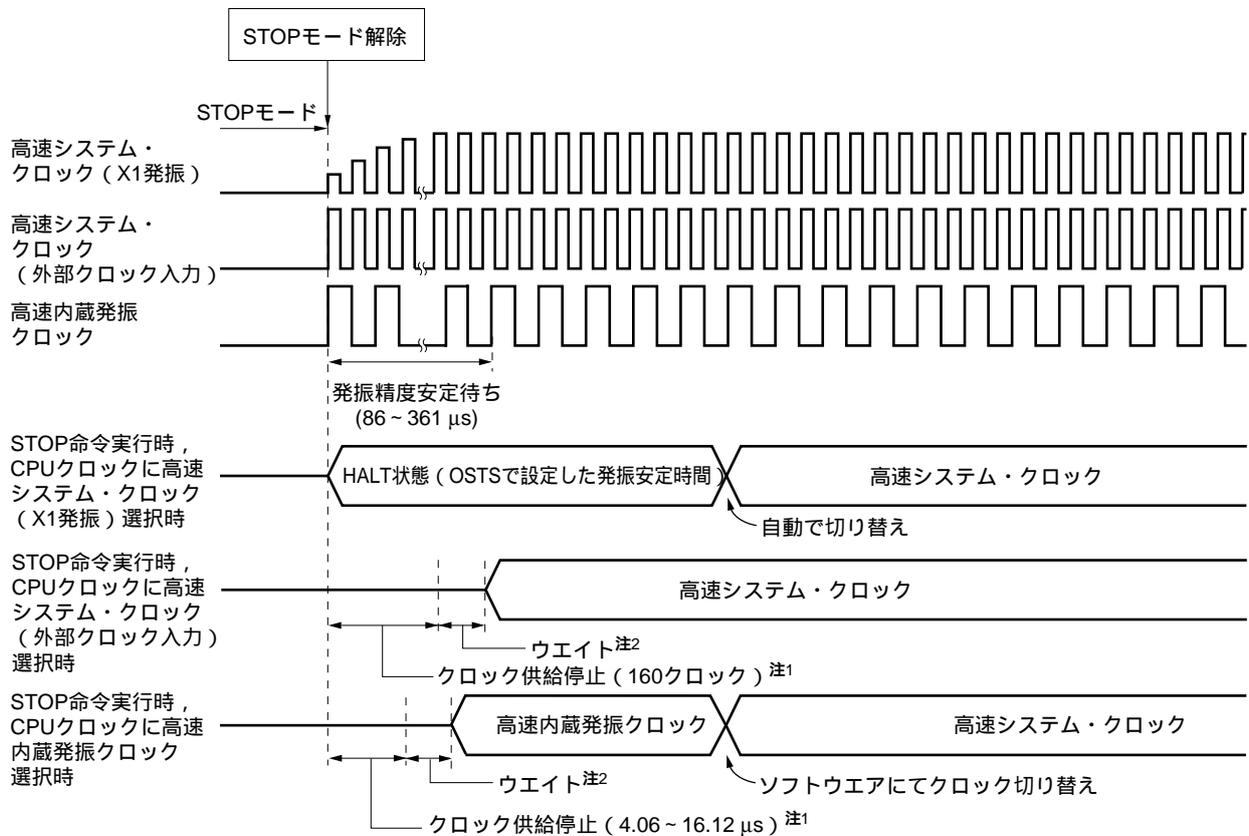
注 STOPモード中は、周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

- 注意 1. STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時は低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は、ソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。
  3. 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、次のSTOP命令実行前に、CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、行ってください。
  4. AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12  $\mu$ s間、CPUクロックが高速システム・クロック(外部クロック入力)のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。

**備考** fosc8 : 高速内蔵発振クロック  
fx : X1クロック  
fEXT : 外部メイン・システム・クロック  
fXT : XT1クロック  
fEXTS : 外部サブシステム・クロック  
fosc : 低速内蔵発振クロック

## (2) STOPモードの解除

図20-5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注1. AMPH = 1設定時

2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

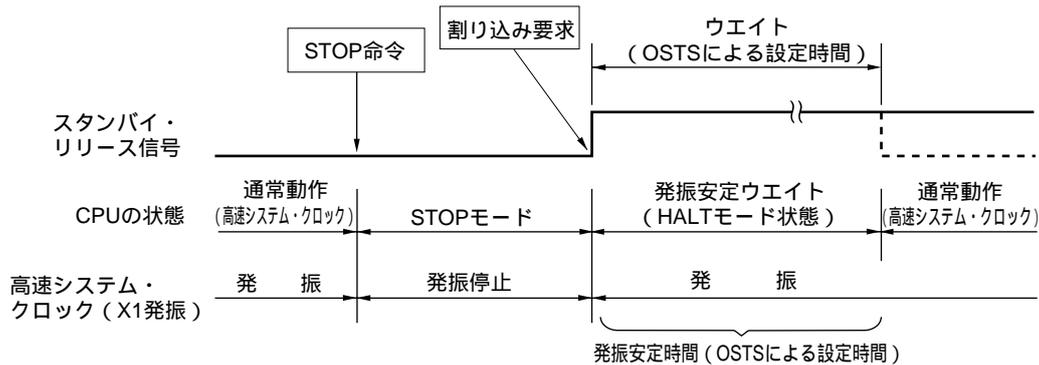
STOPモードは、次の2種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

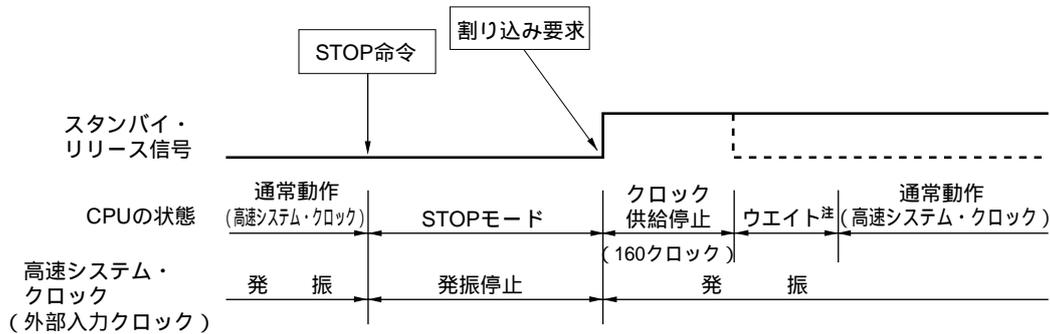
図20 - 6 STOPモードの割り込み要求発生による解除 (1/2)

## (1) CPUクロックが高速システム・クロック (X1発振) の場合

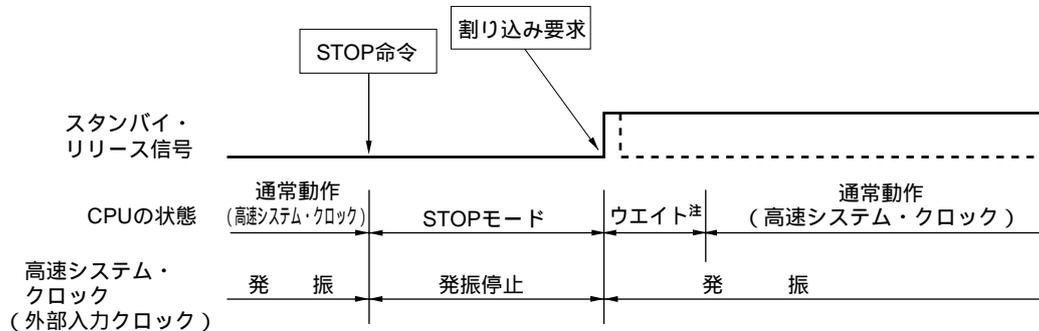


## (2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

## ・ AMPH = 1 の場合



## ・ AMPH = 0 の場合



注 ウエイト時間は次のようになります。

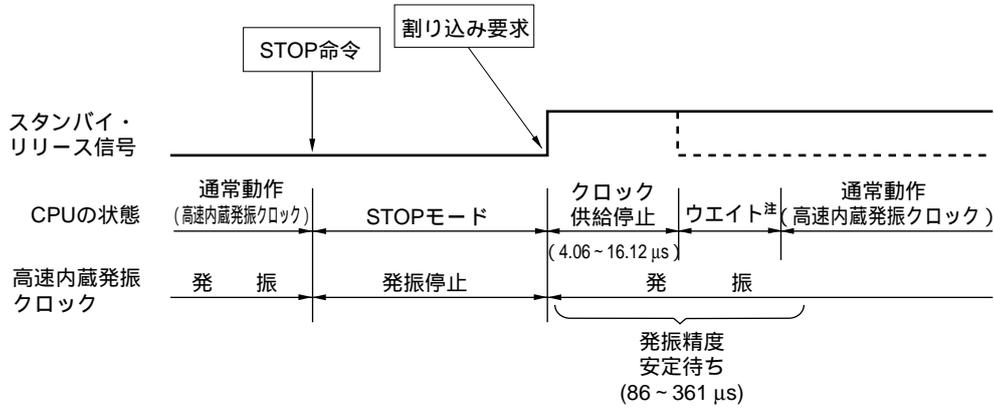
- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

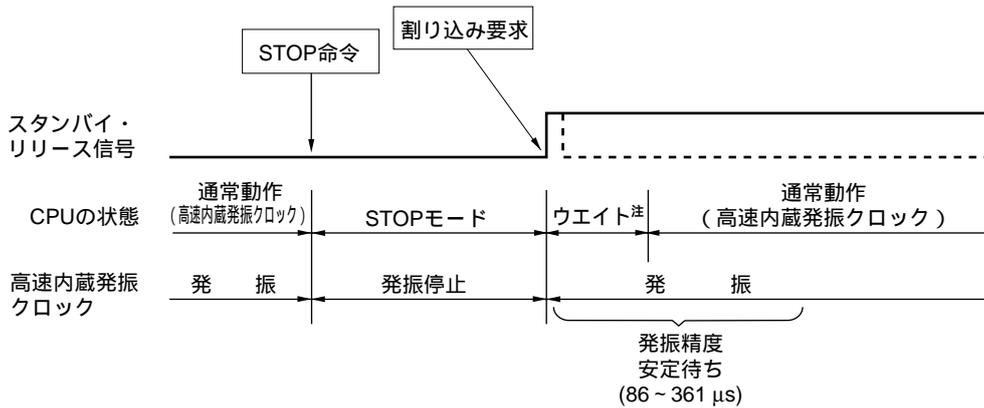
図20 - 6 STOPモードの割り込み要求発生による解除 (2/2)

## (3) CPUクロックが高速内蔵発振クロックの場合

## ・ AMPH = 1の場合



## ・ AMPH = 0の場合



注 ウェイト時間は次のようになります。

- ・ ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

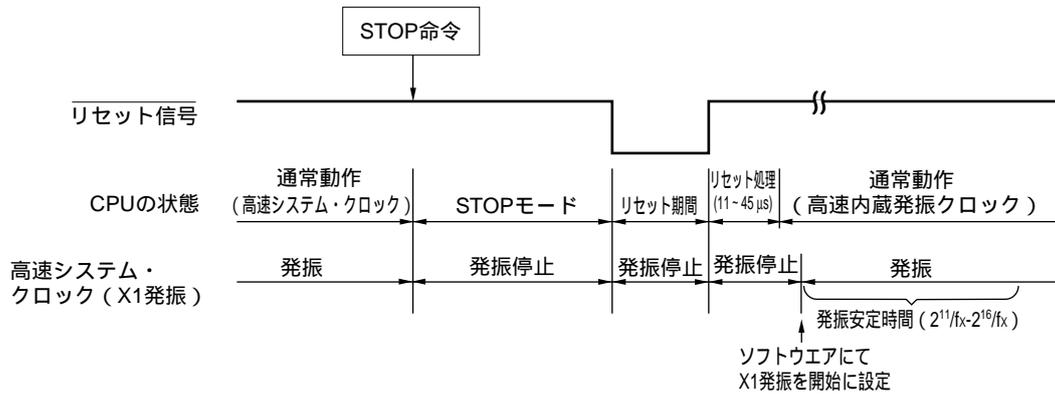
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

## (b) リセット信号の発生による解除

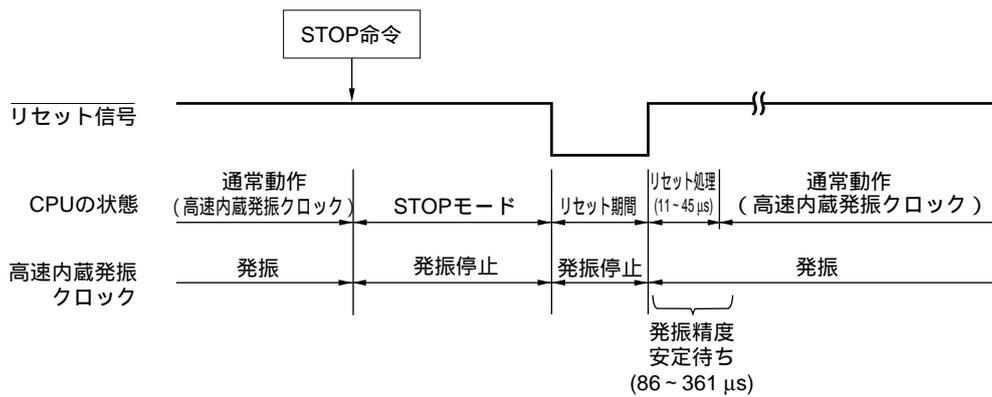
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 7 STOPモードのリセットによる解除

## (1) CPUクロックが高速システム・クロックの場合



## (2) CPUクロックが高速内蔵発振クロックの場合



備考  $f_x$  : X1クロック発振周波数

表20 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
	1	x	x	x	STOPモード保持
リセット信号入力	-	-	x	x	リセット処理

x : don't care

## 第21章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

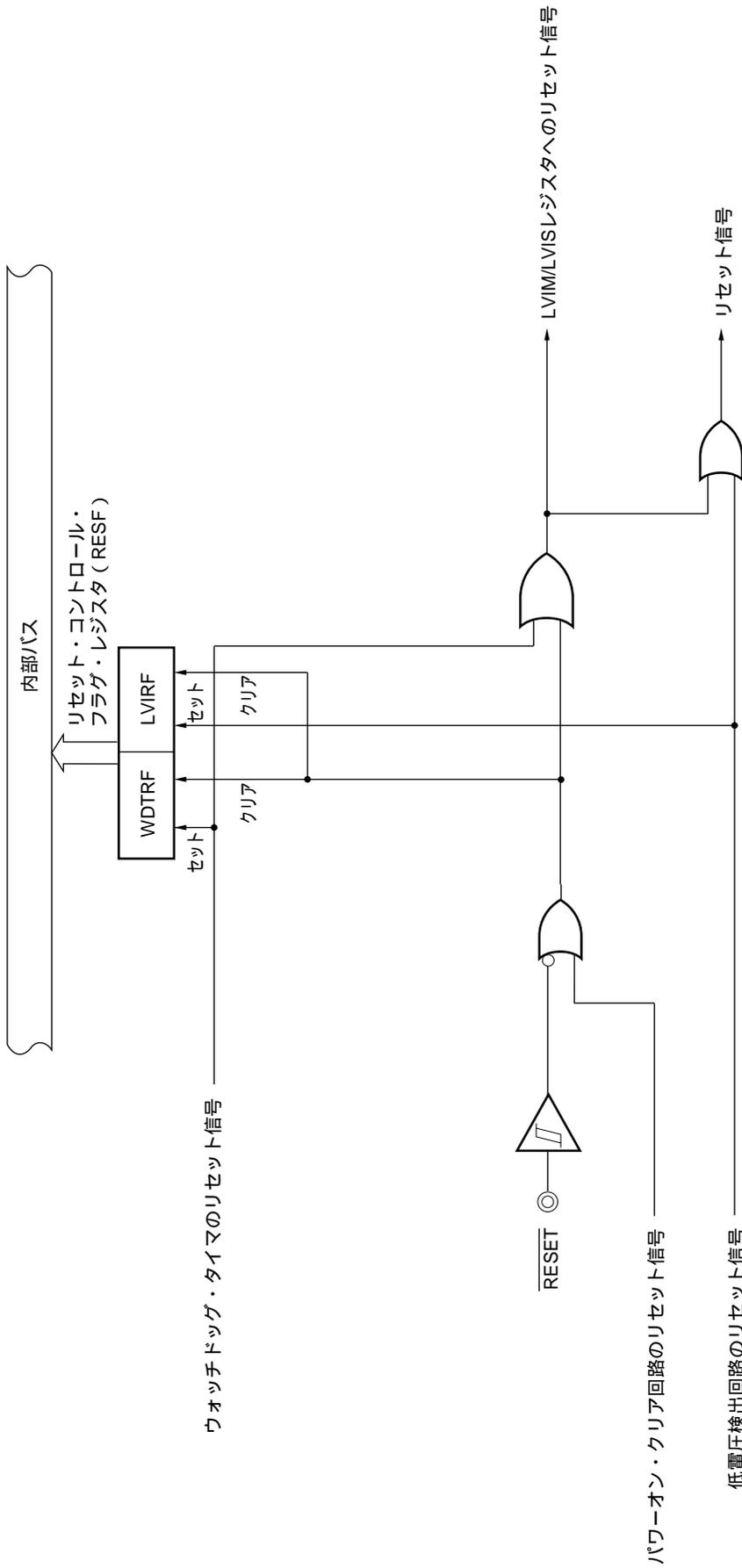
外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがオーバフローするか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表21 - 1, 21 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(図21 - 2から図21 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(第23章 パワーオン・クリア回路と第24章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。
  3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。

図21-1 リセット機能のブロック図



**注意** LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考**
1. LVM: 低電圧検出レジスタ
  2. LVIS: 低電圧検出レベル選択レジスタ

図21 - 2 RESET入力によるリセット・タイミング

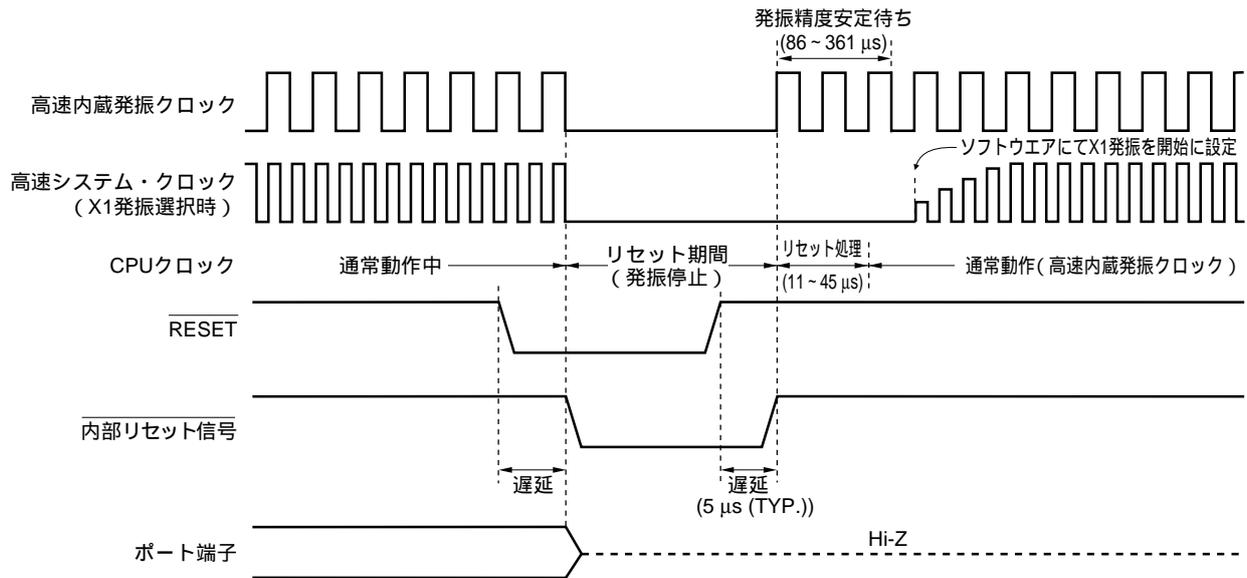
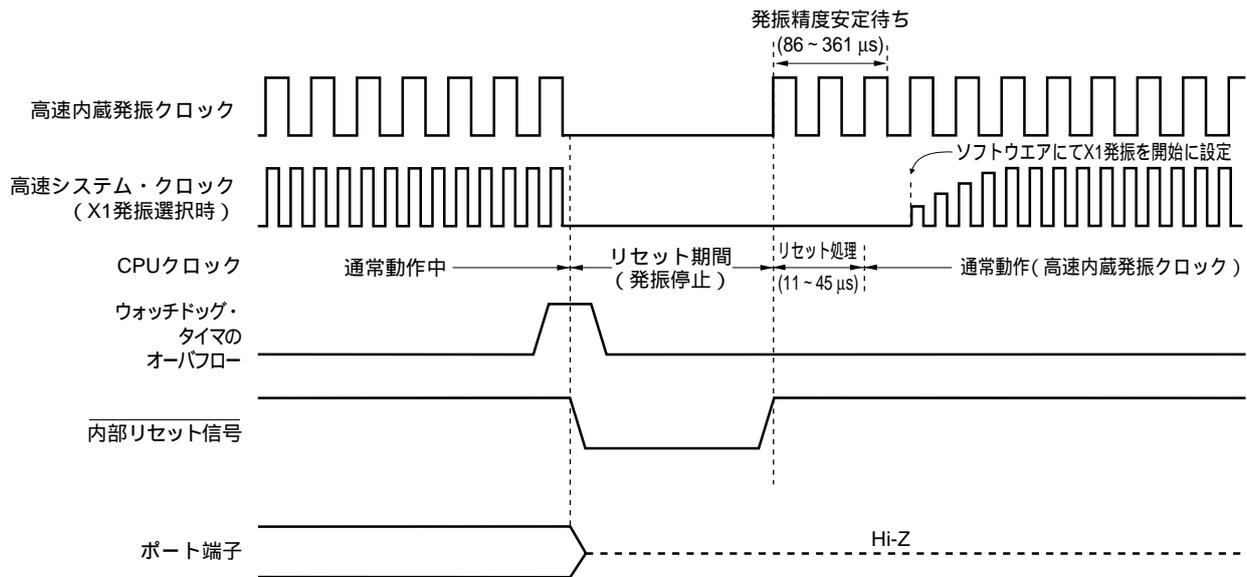
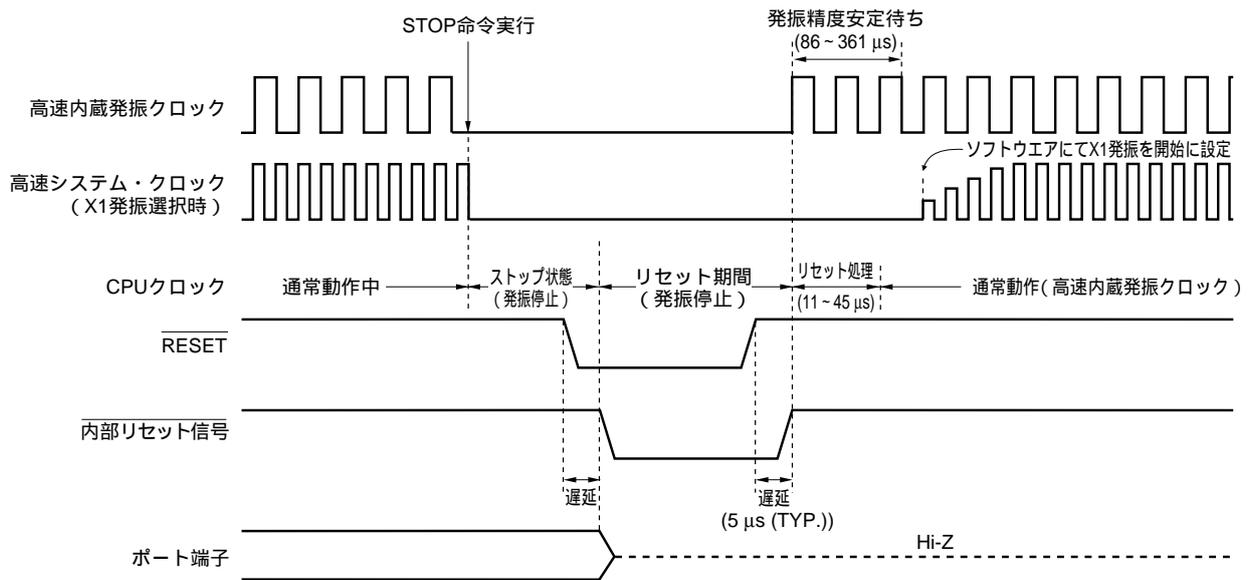


図21 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



**注意** ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図21 - 4 STOPモード中のRESET入力によるリセット・タイミング



**備考** パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第23章 **パワーオン・クリア回路**と第24章 **低電圧検出回路**を参照してください。

表21-1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	fOSC8	動作停止
	fX	動作停止 (端子は入出力ポート・モード)
	fEXT	クロックの入力無効 (端子は入出力ポート・モード)
サブシステム・クロック	fXT	動作停止 (端子は入出力ポート・モード)
	fEXTS	クロックの入力無効 (端子は入出力ポート・モード)
fOSC	動作停止	
CPU		
フラッシュ・メモリ		
RAM		
レギュレータ	動作可能	
ポート (ラッチ)	動作停止	
16ビット・タイマ / イベント・カウンタ	TMP0	
	TMP1	
	TMP2	
	TMP3	
	TMP4	
8ビット・タイマ / イベント・カウンタ	TM50	
	TM51	
時計用タイマ		
ウォッチドッグ・タイマ		
クロック出力		
ブザー出力		
A/Dコンバータ		
シリアル・インタフェース	UART60	
	UART61	
	CSI10	
	CSI11	
	IIC0	
CANコントローラ		
乗除算器		
ステッピング・モータC/D (ZPD付き)		
LCD C/D		
サウンド・ジェネレータ		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止	
外部割り込み		

(備考は次頁にあります)

**備考** f<sub>OSC8</sub> : 高速内蔵発振クロック  
f<sub>X</sub> : X1クロック  
f<sub>EXT</sub> : 外部メイン・システム・クロック  
f<sub>XT</sub> : XT1クロック  
f<sub>EXTS</sub> : 外部サブシステム・クロック  
f<sub>OSC</sub> : 低速内蔵発振クロック

表21 - 2 各ハードウェアのリセット受け付け後の状態 (1/3)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 <sup>注2</sup>
	汎用レジスタ	不定 <sup>注2</sup>
ポート・レジスタ (P0-P3, P6-P9, P12) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3, PM6-PM9, PM12)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU6, PU7, PU12)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH <sup>注3</sup>
メモリ・サイズ切り替えレジスタ (IMS)		CFH <sup>注3</sup>
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
クロック動作モード選択レジスタ (OSCCTL)		00H
内蔵発振モード・レジスタ (RCM)		00H <sup>注4</sup>
メイン・クロック・モード・レジスタ (MCM)		00H
メインOSCコントロール・レジスタ (MOC)		80H
発振安定時間選択レジスタ (OSTS)		05H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
16ビット・タイマ/ イベント・カウンタP0-P4	制御レジスタ0, 1 (TP0CTL0-TP4CTL0, TP0CTL1-TP4CTL1)	00H
	I/O制御レジスタ0-2 (TP0IOC0-TP4IOC0, TP0IOC1-TP4IOC1, TP0IOC2-TP4IOC2)	00H
	オプション・レジスタ0 (TP0OPT0-TP4OPT0)	00H
	キャプチャ/コンペア・レジスタ0, 1 (TP0CCR0-TP4CCR0, TP0CCR1-TP4CCR1)	0000H
	カウンタ・リード・バッファ・レジスタ (TP0CNT-TP4CNT)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Dx2すべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、各製品ごとに次に示す値を必ず設定してください。

フラッシュ・メモリ製品		IMS	IXS
78K0/DE2	78K0/DF2		
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	C6H	0AH
μ PD78F0844	μ PD78F0846, 78F0848	C8H	
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843	CCH	08H
μ PD78F0845	μ PD78F0847, 78F0849	CFH	

4. リセット解除直後は00Hですが、高速内蔵発振安定後に、自動的に80Hに切り替わります。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (2/3)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
8ビット・タイマ/ イベント・カウンタ50, 51	タイマ・カウンタ50, 51 ( TM50, TM51 )	00H
	コンペア・レジスタ50, 51 ( CR50, CR51 )	00H
	タイマ・クロック選択レジスタ50, 51 ( TCL50, TCL51 )	00H
	モード・コントロール・レジスタ50, 51 ( TMC50, TMC51 )	00H
時計用タイマ	動作モード・レジスタ ( WTM )	00H
クロック出力/ ブザー出力制御回路	クロック出力選択レジスタ ( CKS )	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ ( WDTE )	1AH/9AH <sup>注2</sup>
A/Dコンバータ	10ビットA/D変換結果レジスタ ( ADCR )	0000H
	8ビットA/D変換結果レジスタ ( ADCRH )	00H
	モード・レジスタ ( ADM )	00H
	アナログ入力チャネル指定レジスタ ( ADS )	00H
	A/Dポート・コンフィギュレーション・レジスタ ( ADPC )	00H
シリアル・インタフェース UART60, UART61	受信バッファ・レジスタ60, 61 ( RXB60, RXB61 )	FFH
	送信バッファ・レジスタ60, 61 ( TXB60, TXB61 )	FFH
	アシンクロナス・シリアル・インタフェース動作モード・ レジスタ60, 61 ( ASIM60, ASIM61 )	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ ステータス・レジスタ60, 61 ( ASIS60, ASIS61 )	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・ レジスタ60, 61 ( ASIF60, ASIF61 )	00H
	クロック選択レジスタ60, 61 ( CKSR60, CKSR61 )	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ60, 61 ( BRGC60, BRGC61 )	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・ レジスタ60, 61 ( ASICL60, ASICL61 )	16H
	入力切り替え制御レジスタ ( ISC )	00H
シリアル・インタフェース CSI10, CSI11	送信バッファ・レジスタ10, 11 ( SOTB10, SOTB11 )	00H
	シリアルI/Oシフト・レジスタ10, 11 ( SIO10, SIO11 )	00H
	シリアル動作モード・レジスタ10, 11 ( CSIM10, CSIM11 )	00H
	シリアル・クロック選択レジスタ10, 11 ( CSIC10, CSIC11 )	00H
シリアル・インタフェース IIC0	IICシフト・レジスタ0 ( IIC0 )	00H
	スレーブ・アドレス・レジスタ0 ( SVA )	00H
	IICコントロール・レジスタ0 ( IICC0 )	00H
	IICフラグ・レジスタ0 ( IICF0 )	00H
	IIC状態レジスタ0 ( IICS0 )	00H
	IICクロック選択レジスタ0 ( IICCL0 )	00H
IIC機能拡張レジスタ0 ( IICX0 )	00H	

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (3/3)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
乗除算器	剰余データ・レジスタ0 (SDR0)	0000H
	乗除算データ・レジスタA0 (MDA0H, MDA0L)	0000H
	乗除算データ・レジスタB0 (MDB0)	0000H
	乗除算器コントロール・レジスタ0 (DMUC0)	00H
ステップング・モータC/D (ZPD付き)	タイマ・モード・コントロール・レジスタ (MCNTC0)	00H
	コンペア・レジスタ (MCMP10, MCMP11, MCMP20, MCMP21, MCMP30, MCMP31, MCMP40, MCMP41)	00H
	複合コンペア・レジスタ (MCMP1HW, MCMP2HW, MCMP3HW, MCMP4HW)	0000H
	コンペア・コントロール・レジスタ (MCMPC1, MCMPC2, MCMPC3, MCMPC4)	00H
	ステップング・モータ・ポート・モード・コントロール・レジスタ (SMPC)	00H
	ZPD検知電圧設定レジスタ (ZPDS0, ZPDS1)	00H
	ZPDフラグ検知クロック設定レジスタ (CMPCTL)	00H
	ZPD動作コントロール・レジスタ (ZPDEN)	00H
LCDコントローラ/ドライバ	LCDモード・レジスタ (LCDMD)	00H
	LCD表示モード・レジスタ (LCDM)	00H
	LCDクロック制御レジスタ (LCDC0)	00H
	LCDポート・ファンクション・レジスタ0, 3, ALL (LCDPF0, LCDPF3, LCDPFALL)	00H
サウンド・ジェネレータ	SG0コントロール・レジスタ (SG0CTL)	00H
	SG0周波数ロウ・レジスタ (SG0FL)	0000H
	SG0周波数ハイ・レジスタ (SG0FH)	0000H
	SG0ボリューム・レジスタ (SG0PWM)	0000H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H <sup>注2</sup>
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H <sup>注2</sup>
	低電圧検出レベル選択レジスタ (LVIS)	00H <sup>注2</sup>
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

リセット要因		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
レジスタ	RESF	クリア (0)	クリア (0)	セット (1)	保持
	WDTRFビット			保持	セット (1)
	LVI	クリア (00H)	クリア (00H)	クリア (00H)	保持
	LVIS				

## 21.1 リセット要因を確認するレジスタ

78K0/Dx2は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図21 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H<sup>註</sup> R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表21 - 3に示します。

表21 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

## 第22章 乗除算器

### 22.1 乗除算器の機能

乗除算器には、次のような機能を持ちます。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷16ビット = 32ビット 剰余16ビット (除算)

### 22.2 乗除算器の構成

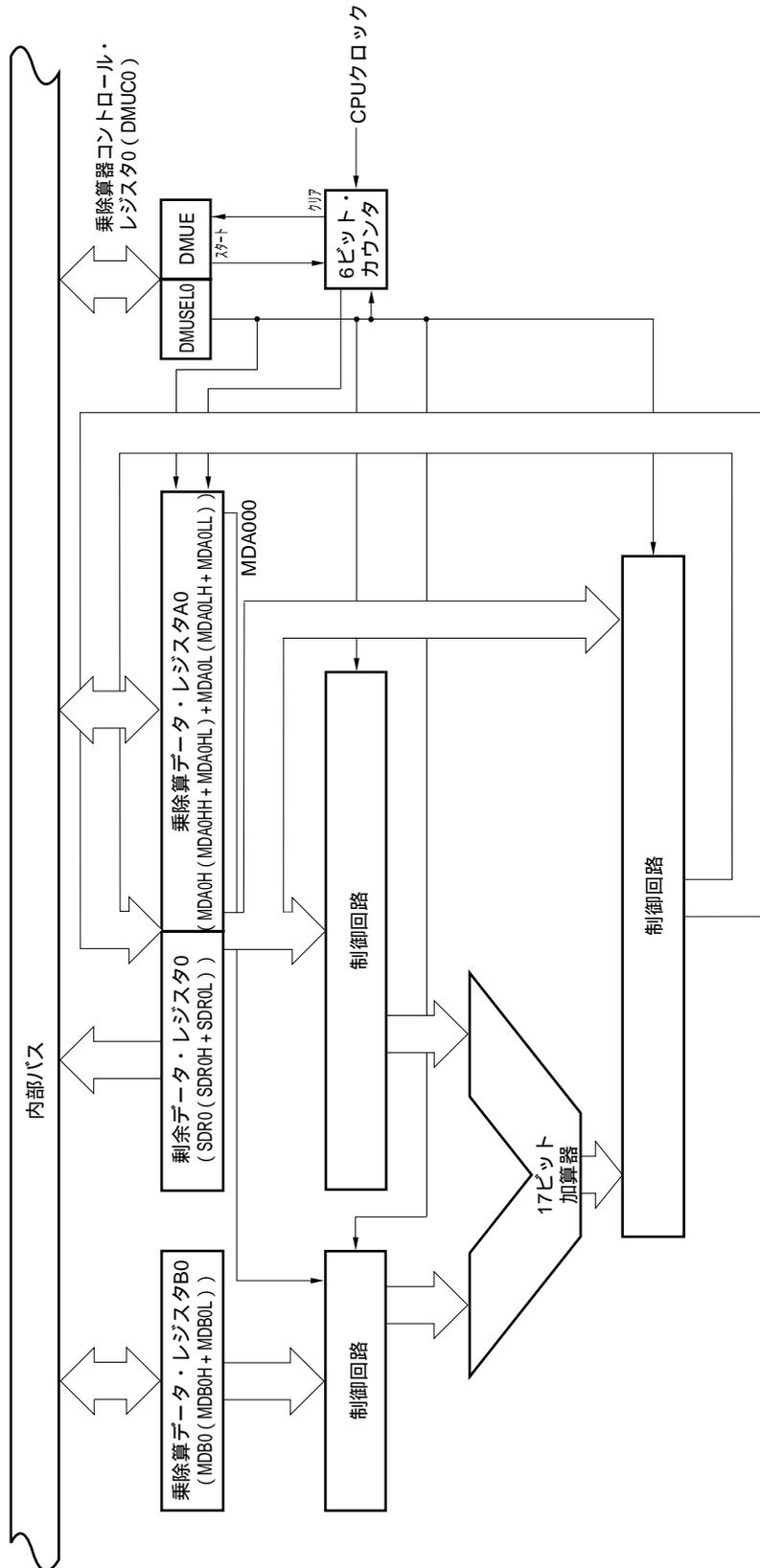
乗除算器は、次のハードウェアで構成されています。

表22 - 1 乗除算器の構成

項 目	構 成
レジスタ	剰余データ・レジスタ0 (SDR0) 乗除算データ・レジスタA0 (MDA0H, MDA0L) 乗除算データ・レジスタB0 (MDB0)
制御レジスタ	乗除算器コントロール・レジスタ0 (DMUC0)

乗除算器のブロック図を図22 - 1に示します。

図22 - 1 乗除算器のブロック図



**(1) 剰余データ・レジスタ0 (SDR0)**

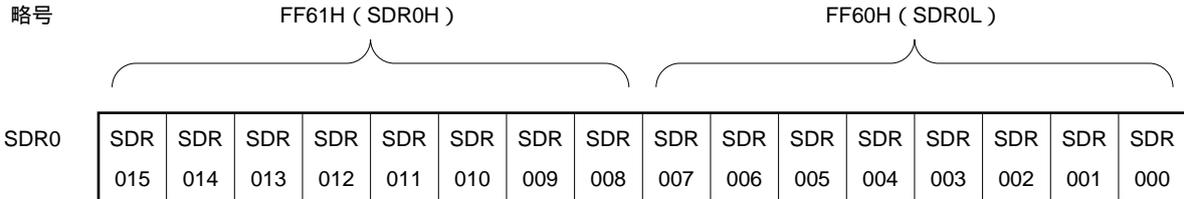
SDR0は、剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”を、除算モード時は演算結果の“剰余”を格納します。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

リセット信号の発生により、0000Hになります。

図22 - 2 剰余データ・レジスタ0 (SDR0) のフォーマット

アドレス：FF60H, FF61H リセット時：0000H R



**注意 1.** 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）にSDR0の値を読み出した場合、その値は保証されません。

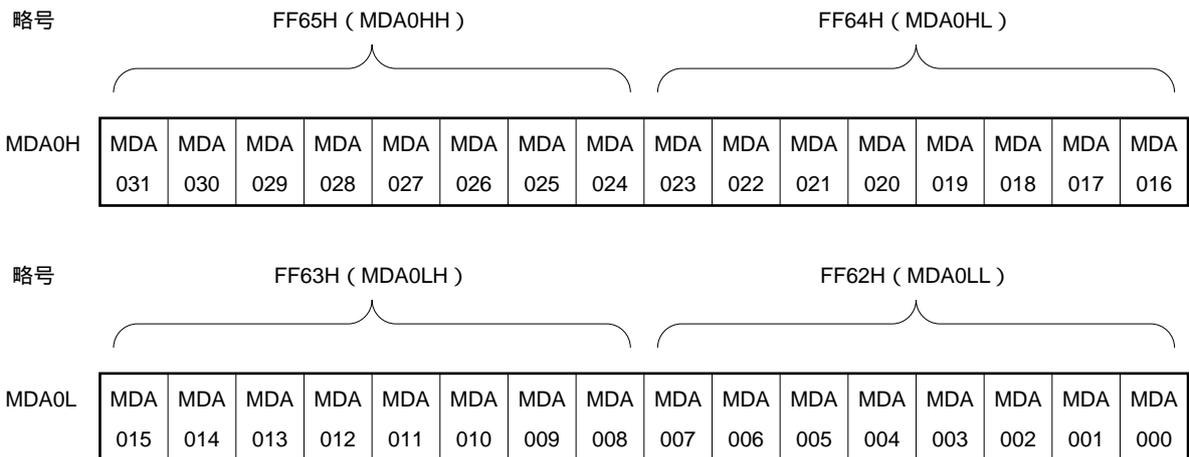
**2.** 演算開始時（DMUEを1に設定するとき）、SDR0はリセットされます。

**(2) 乗除算データ・レジスタA0 (MDA0H, MDA0L)**

MDA0は、乗算モード時は16ビットの乗数Aを、除算モード時は32ビットの被除数を設定し、32ビットの演算結果を格納するレジスタです（上位16ビット：MDA0H、下位16ビット：MDA0L）。

図22 - 3 乗除算データ・レジスタA0 (MDA0H, MDA0L) のフォーマット

アドレス：FF62H, FF63H, FF64H, FF65H リセット時：0000H, 0000H R/W



**注意 1.** 乗算モードでの演算開始時（乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき）、MDA0Hはクリア（0）されます。

**2.** 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）に、MDA0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。

**3.** 演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合、その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表22 - 2 MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果 (商)
1	乗算モード	上位16ビット: "0", 下位16ビット: 乗数A	乗算結果 (積)

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数A >                      < 乗数B >                      < 積 >

MDA0 (ビット15-0) × MDB0 (ビット15-0) = MDA0 (ビット31-0)

・除算時のレジスタ構成

< 被除数 >                      < 除数 >                      < 商 >                      < 剰余 >

MDA0 (ビット31-0) ÷ MDB0 (ビット15-0) = MDA0 (ビット31-0) ... SDR0 (ビット15-0)

MDA0は乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1に設定されている間、クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

(3) 乗除算データ・レジスタB0 (MDB0)

MDB0は、乗算モード時は16ビットの乗数Bを、除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

図22 - 4 乗除算データ・レジスタB0 (MDB0) のフォーマット

アドレス: FF66H, FF67H    リセット時: 0000H    R/W

略号

FF67H (MDB0H)

FF66H (MDB0L)

MDB0

MDB															
015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000

注意 1. 演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDB0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。

2. 除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。

## 22.3 乗除算器を制御するレジスタ

乗除算器は、乗除算器コントロール・レジスタ0 (DMUC0) で制御します。

### (1) 乗除算器コントロール・レジスタ0 (DMUC0)

DMUC0は、乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 5 乗除算器コントロール・レジスタ0 (DMUC0) のフォーマット

アドレス：FF68H    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0

DMUE <sup>注</sup>	演算動作の開始 / 停止
0	演算動作停止
1	演算動作開始

DMUSEL0	演算モード (乗算 / 除算) の選択
0	除算モード
1	乗算モード

注 DMUEをセット(1)すると、演算動作を開始します。演算終了後は自動的にDMUEがクリア(0)されます。

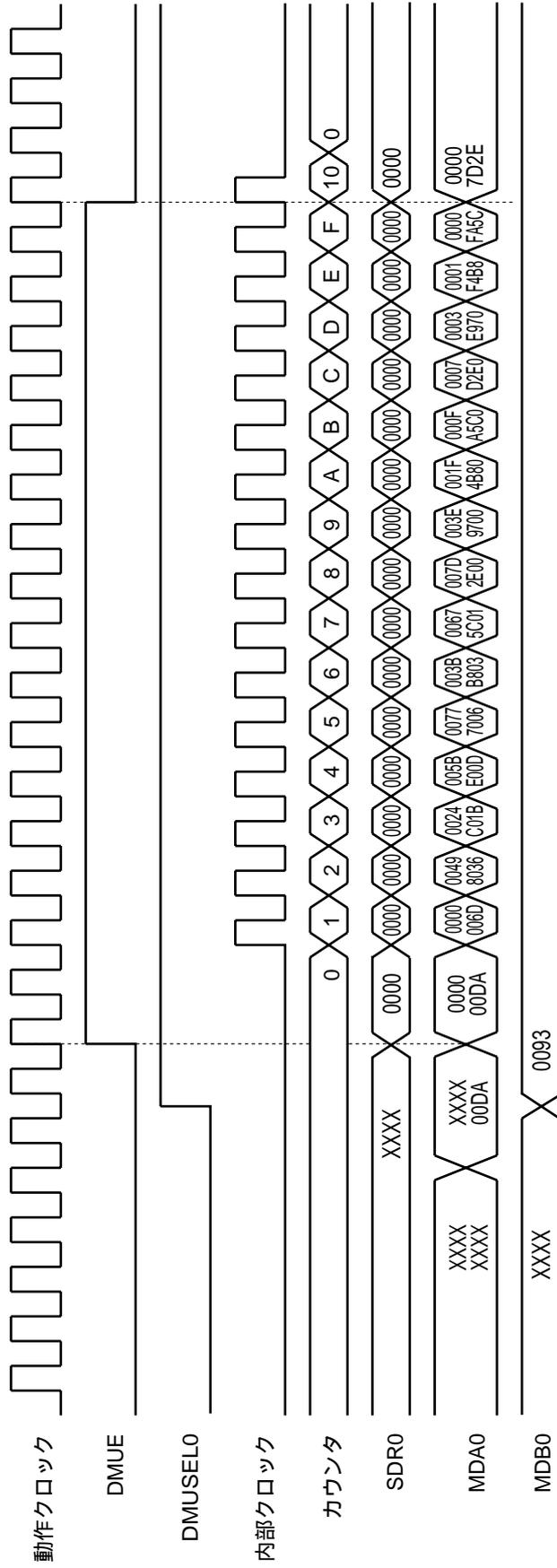
- 注意 1. 演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。
2. 演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0 (MDA0)、剰余データ・レジスタ0 (SDR0) に格納されます。
3. 演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0 (MDA0)、乗除算データ・レジスタB0 (MDB0)、乗除算器コントロール・レジスタ0 (DMUC0)を設定し、演算動作を開始 (DMUE = 1) してください。

## 22.4 乗除算器の動作

### 22.4.1 乗算動作

- ・初期設定
  1. 乗除算データ・レジスタA0L (MDA0L) と乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
  2. 乗除算器コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) とビット7 (DMUE) にそれぞれ1を設定してください。演算動作が開始します。
- ・演算処理中
  3. 演算開始から周辺ハードウェア・クロック (fPRS) の16クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタに格納されるデータは演算途中データであるため, リード値は保証しません)。
- ・演算終了
  4. MDA0Lレジスタ, MDA0Hレジスタに, 演算結果データが格納されます。
  5. DMUEがクリア (0) されます (演算終了)。
- ・次回演算
  6. 次に乗算を行う場合は, 22.4.1 **乗算動作**の初期設定から行ってください。
  7. 次に除算を行う場合は, 22.4.2 **除算動作**の初期設定から行ってください。

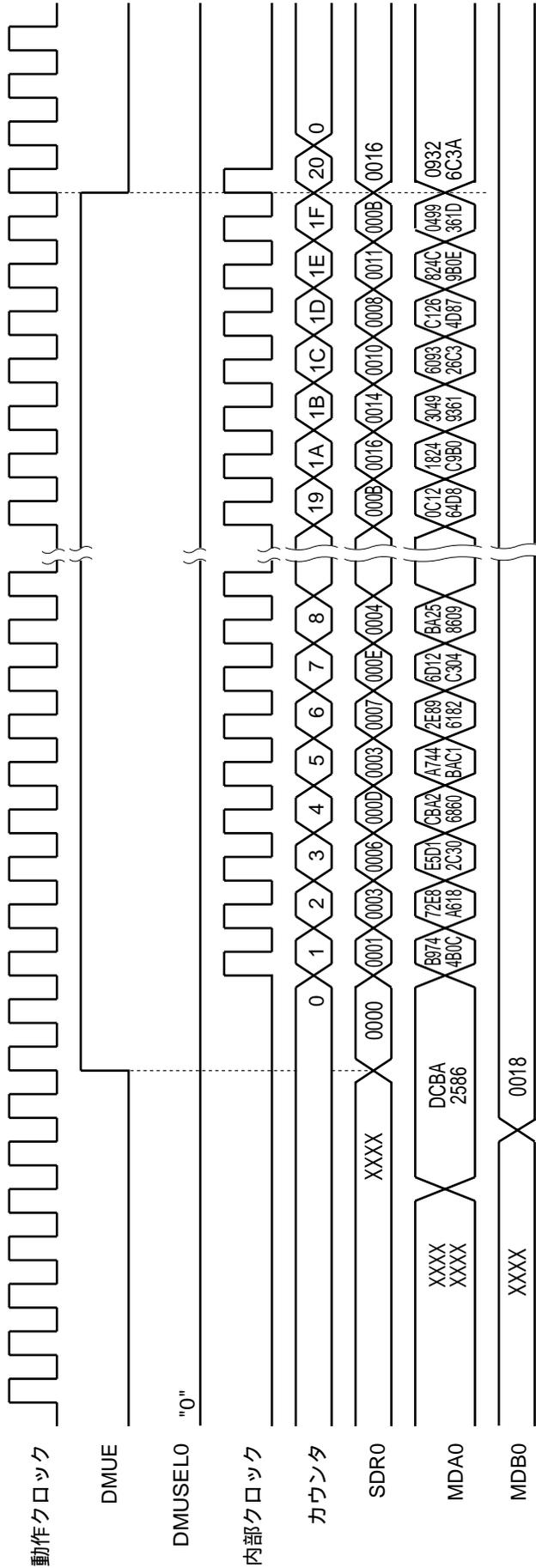
図22 - 6 乗算動作のタイミング図 (00DAH x 0093H)



## 22.4.2 除算動作

- ・初期設定
  1. 乗除算データ・レジスタA0 (MDA0L, MDA0H), 乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
  2. 乗除算コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) に0, ビット7 (DMUE) に1を設定してください。演算動作が開始します。
- ・演算処理中
  3. 演算開始から周辺ハードウェア・クロック (fPRS) の32クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタ, 剰余データ・レジスタ0 (SDR0) に格納されるデータは演算途中データであるため, リード値は保証しません)。
- ・演算終了
  4. MDA0Lレジスタ, MDA0Hレジスタ, SDR0レジスタに, 演算結果データが格納されます。
  5. DMUEがクリア (0) されます (演算終了)。
- ・次回演算
  6. 次に乗算を行う場合は, 22.4.1 **乗算動作**の初期設定から行ってください。
  7. 次に除算を行う場合は, 22.4.2 **除算動作**の初期設定から行ってください。

図22 - 7 除算動作のタイミング図 (DCBA2586H ÷ 0018H)



## 第23章 パワーオン・クリア回路

### 23.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。  
1.59 V POCモード設定時 (オプション・バイト: LVISTART = 0) は、電源電圧 ( $V_{DD}$ ) が  $1.59\text{ V} \pm 0.15\text{ V}$  を越えた場合に、リセットを解除します。  
2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1) 時は、電源電圧 ( $V_{DD}$ ) が  $2.7\text{ V} \pm 0.2\text{ V}$  を越えた場合に、リセットを解除します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$ ) を比較し、 $V_{DD} < V_{POC}$  になったとき内部リセット信号を発生します。

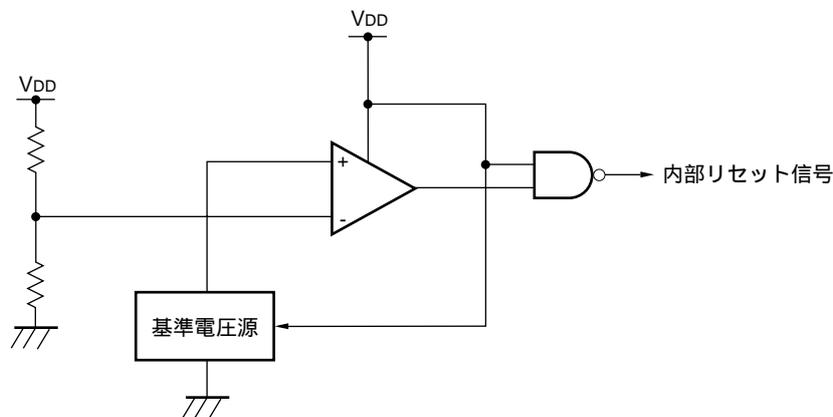
**注意** POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

**備考** 78K0/Dx2には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT/LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第21章 リセット機能を参照してください。

## 23.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図23 - 1に示します。

図23 - 1 パワーオン・クリア回路のブロック図



## 23.3 パワーオン・クリア回路の動作

### (1) 1.59 V POCモード設定時 (オプション・バイト : LVISTART = 0)

- ・電源投入時に内部リセット信号を発生し、電源電圧 ( $V_{DD}$ ) が検出電圧 ( $V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$ ) を越えたら、リセットを解除します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$ ) を比較し、 $V_{DD} < V_{POC}$  になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$  のときリセットを解除します。

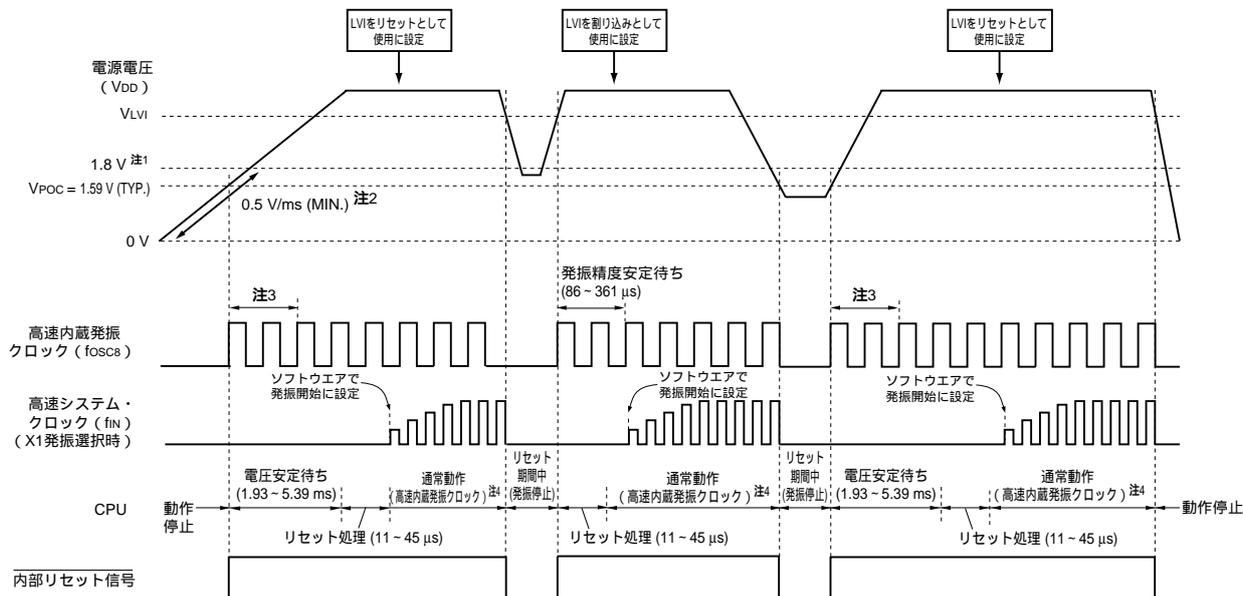
### (2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : LVISTART = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 ( $V_{DD}$ ) が電源電圧投入時検出電圧 ( $V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$ ) を越えたら、リセットを解除します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$ ) を比較し、 $V_{DD} < V_{POC}$  になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$  のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図23-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

## (1) 1.59 V POCモード設定時 (オプション・バイト: LVISTART = 0)



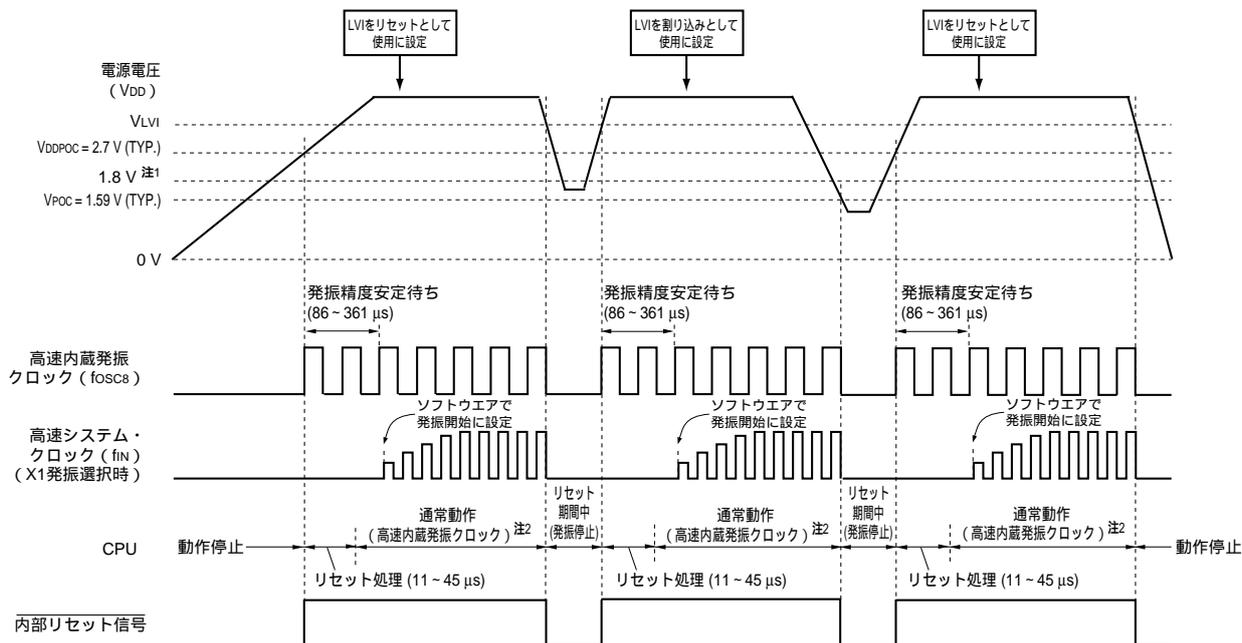
- 注1. (A)水準品の動作保証範囲は1.8 V V<sub>DD</sub> 5.5 V, (A2)水準品の動作保証範囲は, 2.7 V V<sub>DD</sub> 5.5 Vです。電源立ち上がり時に動作保証範囲未満の電圧をリセット状態にしたい場合は, 低電圧検出回路のリセット機能を使用, またはRESET端子にロウ・レベルを入力してください。
2. (A)水準品では, 電源投入時から1.8 Vに達するまでの電圧の立ち上がり, 0.5 V/ms (MIN.)よりも緩やかな場合は, 電源投入時から1.8 Vに達するまで, RESET端子にロウ・レベルを入力するか, オプション・バイトで2.7 V/1.59 V POCモードを設定 (LVISTART = 1) してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は, 内部の電圧安定待ち時間に含まれます。
4. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで, XT1クロックを使用する場合はタイマ機能などを用いて, 発振安定時間を確認してから, 切り替えてください。

**注意** 低電圧検出回路の設定は, リセット解除後にソフトウェアで設定してください (第24章 低電圧検出回路を参照)。

**備考** V<sub>LVI</sub> : LVI検出電圧  
V<sub>POC</sub> : POC検出電圧

図23-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

## (2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1)



- 注1. (A)水準品の動作保証範囲は1.8 V  $V_{DD}$  5.5 V, (A2)水準品の動作保証範囲は, 2.7 V  $V_{DD}$  5.5 Vです。電源立ち下がり時に動作補償範囲未満の電圧をリセット状態にしたい場合は, 低電圧検出回路のリセット機能を使用, またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで, XT1クロックを使用する場合はタイマ機能などを用いて, 発振安定時間を確認してから, 切り替えてください。

- 注意1. 低電圧検出回路の設定は, リセット解除後にソフトウェアで設定してください (第24章 低電圧検出回路を参照)。
2. 電源電圧が1.59 V (TYP.) に達したあと, 1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が, 1.93 ms以内の場合は, リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。

備考  $V_{LVI}$  : LVI検出電圧  
 $V_{POC}$  : POC検出電圧

## 23.4 パワーオン・クリア回路の注意事項

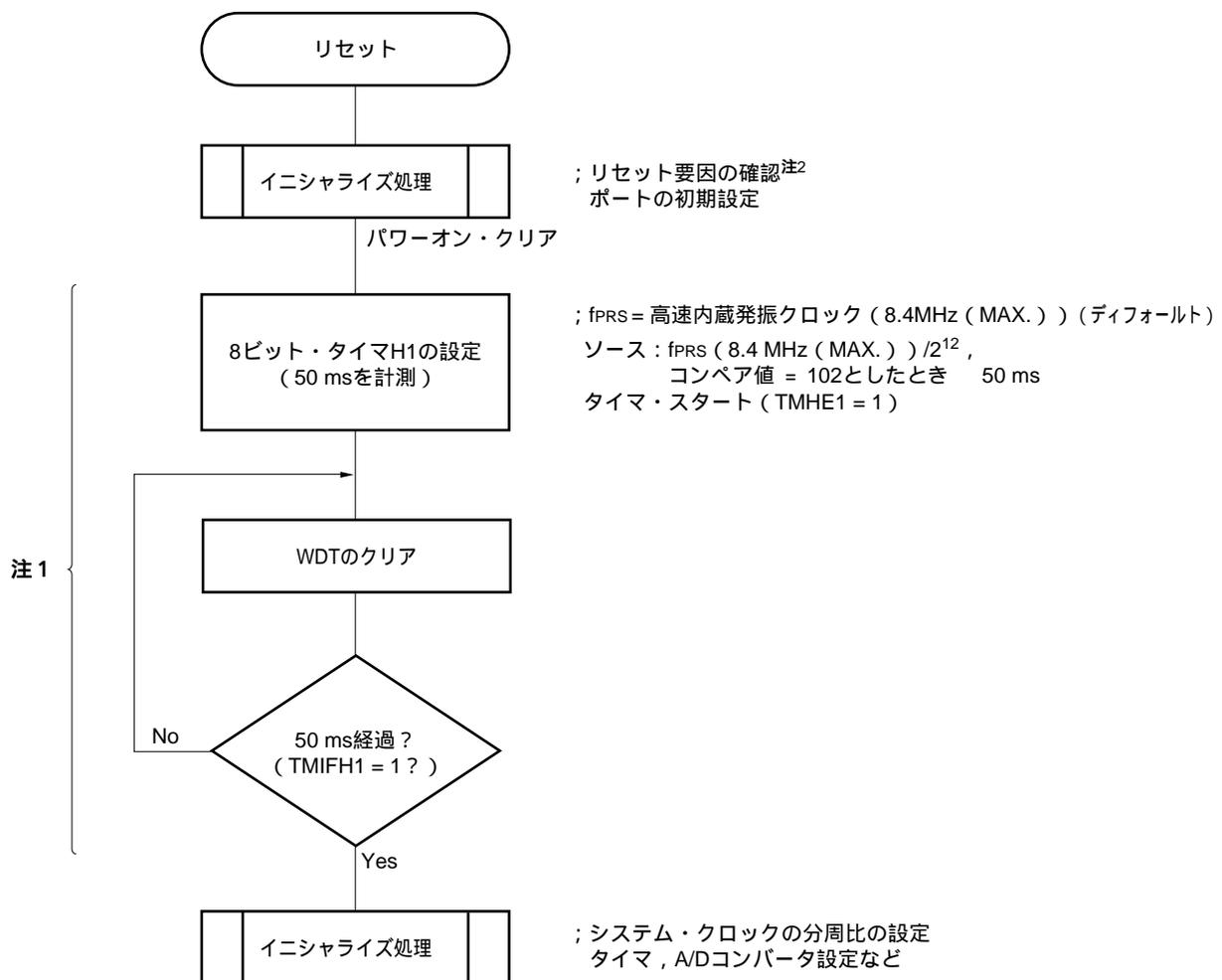
電源電圧 ( $V_{DD}$ ) が POC 検出電圧 ( $V_{POC}$ ) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図23-3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合

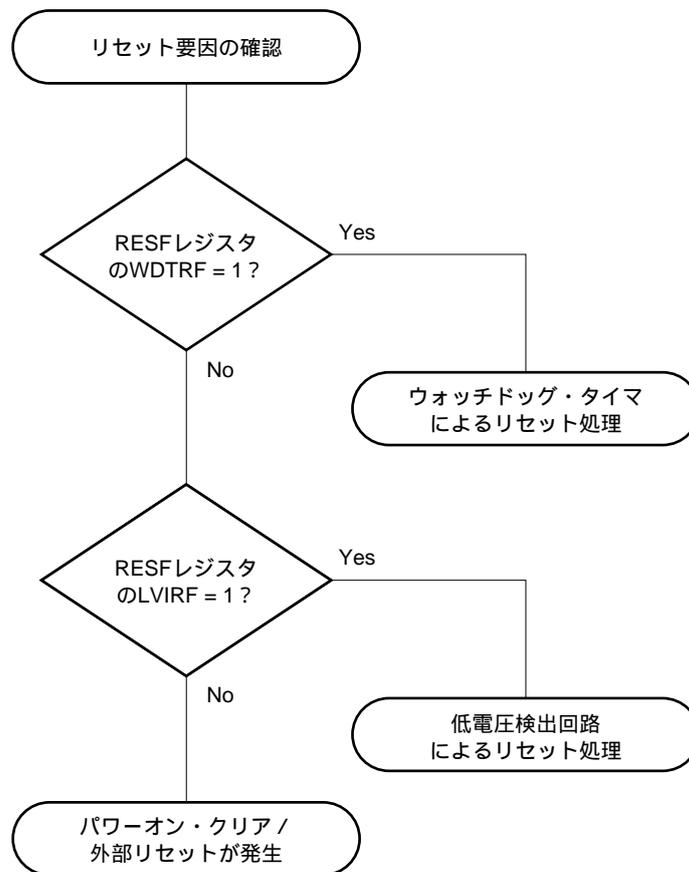


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次頁にフロー・チャートを示します。

図23 - 3 リセット解除後のソフト処理例 (2/2)

## ・リセット要因の確認



## 第24章 低電圧検出回路

### 24.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) , または外部入力端子からの入力電圧 ( $EXLVI$ ) と検出電圧 ( $V_{EXLVI} = 1.21\text{ V (TYP.)}$  : 固定) を比較し, 内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 ( $V_{DD}$ ) / 外部入力端子からの入力電圧 ( $EXLVI$ ) は, ソフトウエアにて選択できます。
- ・リセット / 割り込みは, ソフトウエアにて選択できます。
- ・電源電圧の検出電圧 ( $V_{LVI}$ ) は, ソフトウエアにて検出レベルを11段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は, ソフトウエアの選択により, 次のように発生します。

電源電圧 ( $V_{DD}$ ) のレベル検出を選択 ( $LVISEL = 0$ )		外部入力端子からの入力電圧 ( $EXLVI$ ) のレベル検出を選択 ( $LVISEL = 1$ )	
リセット選択 ( $LVIMD = 1$ )	割り込み選択 ( $LVIMD = 0$ )	リセット選択 ( $LVIMD = 1$ )	割り込み選択 ( $LVIMD = 0$ )
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し, $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき, または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し, $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき, または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

**備考**  $LVISEL$  : 低電圧検出レジスタ (LVIM) のビット2

$LVIMD$  : LVIMのビット1

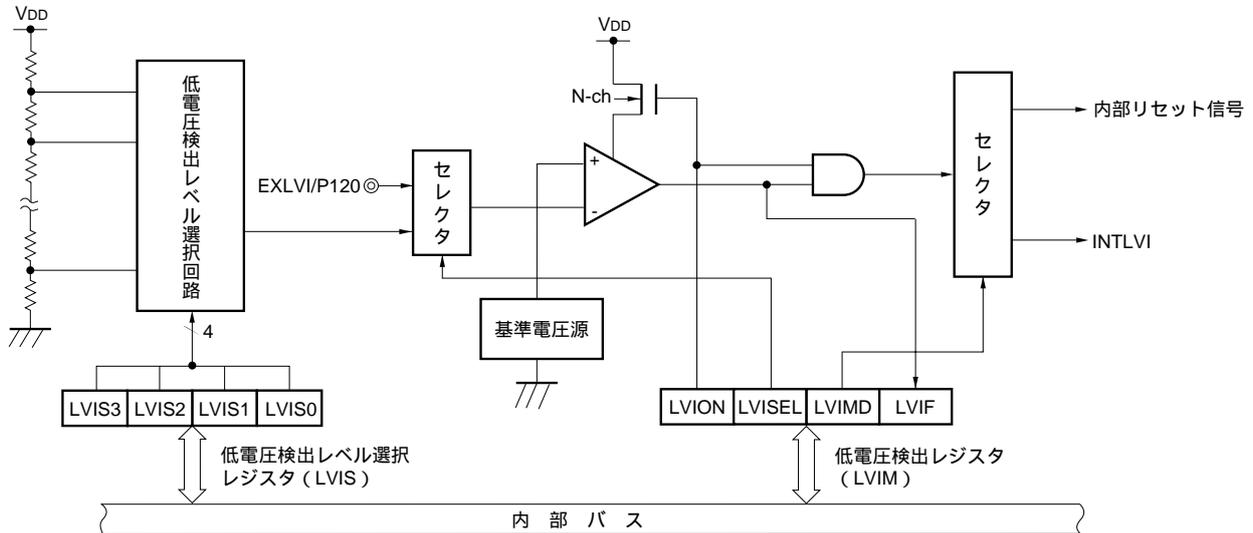
低電圧検出回路動作時では, 低電圧検出フラグ ( $LVIF$  : LVIMのビット0) を読み出すことにより, 電源電圧または外部入力端子からの入力電圧が, 検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合に, リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 ( $LVIRF$ ) がセット (1) されます。RESFについての詳細は, 第21章 リセット機能を参照してください。

## 24.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図24 - 1に示します。

図24 - 1 低電圧検出回路のブロック図



## 24.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

## (1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図24 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFBEH リセット時：00H R/W<sup>注1</sup>

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION <sup>注2, 3</sup>	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL <sup>注2</sup>	電圧検出の選択
0	電源電圧 (V <sub>DD</sub> ) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD <sup>注2</sup>	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> <li>LVISEL = 0の場合，電圧降下時に電源電圧 (V<sub>DD</sub>) &lt; 検出電圧 (V<sub>LVI</sub>) になったとき，または，電圧上昇時にV<sub>DD</sub> &gt; V<sub>LVI</sub>になったとき内部割り込み信号を発生</li> <li>LVISEL = 1の場合，電圧降下時に外部入力端子からの入力電圧 (EXLVI) &lt; 検出電圧 (V<sub>EXLVI</sub>) になったとき，または電圧上昇時にEXLVI &gt; V<sub>EXLVI</sub>になったとき，割り込み信号発生</li> </ul>
1	<ul style="list-style-type: none"> <li>LVISEL = 0の場合，電源電圧 (V<sub>DD</sub>) &lt; 検出電圧 (V<sub>LVI</sub>) 時に内部リセット発生，V<sub>DD</sub> &gt; V<sub>LVI</sub>時に内部リセット解除</li> <li>LVISEL = 1の場合，外部入力端子からの入力電圧 (EXLVI) &lt; 検出電圧 (V<sub>EXLVI</sub>) 時に内部リセット発生，EXLVI &gt; V<sub>EXLVI</sub>時に内部リセット解除</li> </ul>

LVIF <sup>注4</sup>	低電圧検出フラグ
0	<ul style="list-style-type: none"> <li>LVISEL = 0の場合，電源電圧 (V<sub>DD</sub>) &lt; 検出電圧 (V<sub>LVI</sub>)，または動作禁止時</li> <li>LVISEL = 1の場合，外部入力端子からの入力電圧 (EXLVI) &lt; 検出電圧 (V<sub>EXLVI</sub>)，または動作禁止時</li> </ul>
1	<ul style="list-style-type: none"> <li>LVISEL = 0の場合，電源電圧 (V<sub>DD</sub>) &lt; 検出電圧 (V<sub>LVI</sub>)</li> <li>LVISEL = 1の場合，外部入力端子からの入力電圧 (EXLVI) &lt; 検出電圧 (V<sub>EXLVI</sub>)</li> </ul>

注1. ビット0はRead Onlyです。

- LVION, LVIMD, LVISELはLVリセット以外のリセット時にクリア (0) されます。LVリセットではクリア (0) されません。
- LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してから動作が安定するまでの時間 (10 μs (MIN.)) + 最小パルス幅をソフトウェアでウェイトしてください。また動作安定後，LVI検出電圧未満の状態になってからLVIFがセット (1) されるまで，200 μs (MIN.) かかります。
- LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

- 注意 1. LVIを停止する場合は、次のいずれかの手順を行ってください。
- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
  - ・1ビット・メモリ操作命令の場合：LVIONをクリア(0)
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$  でなければなりません。
3. LVIリセット発生後、LVION = 1のときは、LVISとLVIMに値を書き込まないでください。
4. LVIを割り込みとして使用する場合、LVI検出電圧未滿の状態LVIONをクリア(0)すると、INTLVI信号が発生し、LVIIFが1になります。

## (2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図24 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH    リセット時：00H<sup>注</sup>    R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V <sub>LV10</sub> ( 4.24 V ± 0.1 V )
0	0	0	1	V <sub>LV11</sub> ( 4.09 V ± 0.1 V )
0	0	1	0	V <sub>LV12</sub> ( 3.93 V ± 0.1 V )
0	0	1	1	V <sub>LV13</sub> ( 3.78 V ± 0.1 V )
0	1	0	0	V <sub>LV14</sub> ( 3.62 V ± 0.1 V )
0	1	0	1	V <sub>LV15</sub> ( 3.47 V ± 0.1 V )
0	1	1	0	V <sub>LV16</sub> ( 3.32 V ± 0.1 V )
0	1	1	1	V <sub>LV17</sub> ( 3.16 V ± 0.1 V )
1	0	0	0	V <sub>LV18</sub> ( 3.01 V ± 0.1 V )
1	0	0	1	V <sub>LV19</sub> ( 2.85 V ± 0.1 V )
1	0	1	0	V <sub>LV110</sub> ( 2.70 V ± 0.1 V )

注 LVIIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H”にクリアされます。

- 注意 1. ビット4-7には必ず“0”を設定してください。
2. LVI動作中に、LVISの値を変更しないでください。
3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V<sub>EXLVI</sub> = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。
4. LVIリセット発生後、LVION = 1のときは、LVISとLVIMに値を書き込まないでください。

**(3) ポート・モード・レジスタ12 (PM12)**

P120/EXLVI端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図24-4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120

PM12n	P12n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 24.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

### (1) リセットとして使用 (LVIMD = 1)

- ・LVISEL = 0の場合、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 ( $EXLVI$ ) と検出電圧 ( $V_{EXLVI} = 1.21 V (TYP.)$ ) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

### (2) 割り込みとして使用 (LVIMD = 0)

- ・LVISEL = 0の場合、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 ( $EXLVI$ ) と検出電圧 ( $V_{EXLVI} = 1.21 V (TYP.)$ ) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

**備考** LVIMD : 低電圧検出レジスタ (LVIM) のビット1

LVISEL : LVIMのビット2

## 24. 4. 1 リセットとして使用時の設定

### (1) 電源電圧 ( $V_{DD}$ ) のレベルを検出する場合

#### 動作開始時

LVIの割り込みをマスクする ( $LVIMK = 1$ )

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 ( $V_{DD}$ ) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ( $10 \mu s$  (MIN.)) + 最小パルス幅をウエイトする

LVIMのビット0 (LVIF) で、「電源電圧 ( $V_{DD}$ ) 検出電圧 ( $V_{LVI}$ )」であることを確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (レベル検出時に内部リセット信号発生) を設定する

図24 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

**注意1.** は必ず行ってください。  $LVIMK = 0$  になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2.  $LVIMD = 1$  とした時点で、「電源電圧 ( $V_{DD}$ ) 検出電圧 ( $V_{LVI}$ )」であれば内部リセット信号は発生しません。

#### 動作停止時

次のいずれかの手順を、必ず実行してください。

・ 8ビット・メモリ操作命令の場合：

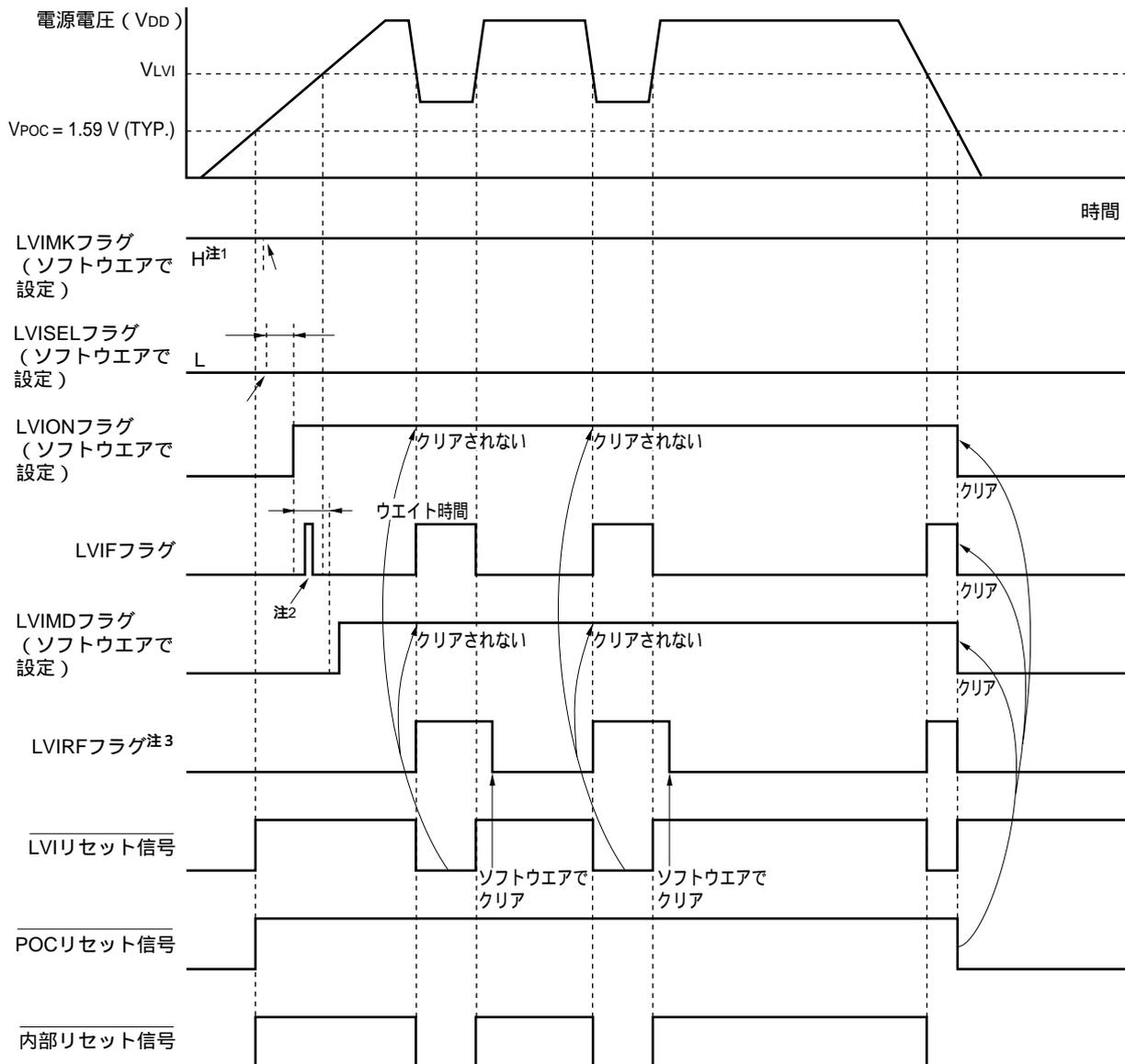
LVIMに “00H” を書き込む

・ 1ビット・メモリ操作命令の場合：

LVIMDをクリア (0) LVIONをクリア (0)

図24 - 5 低電圧検出回路の内部リセット信号発生タイミング(電源電圧 ( $V_{DD}$ ) のレベルを検出) (1/2)

(1) 1.59 V POCモード設定時(オプション・バイト: LVISTART = 0)



注 1. LVIMKフラグはリセット信号の発生により、“1”になっています。

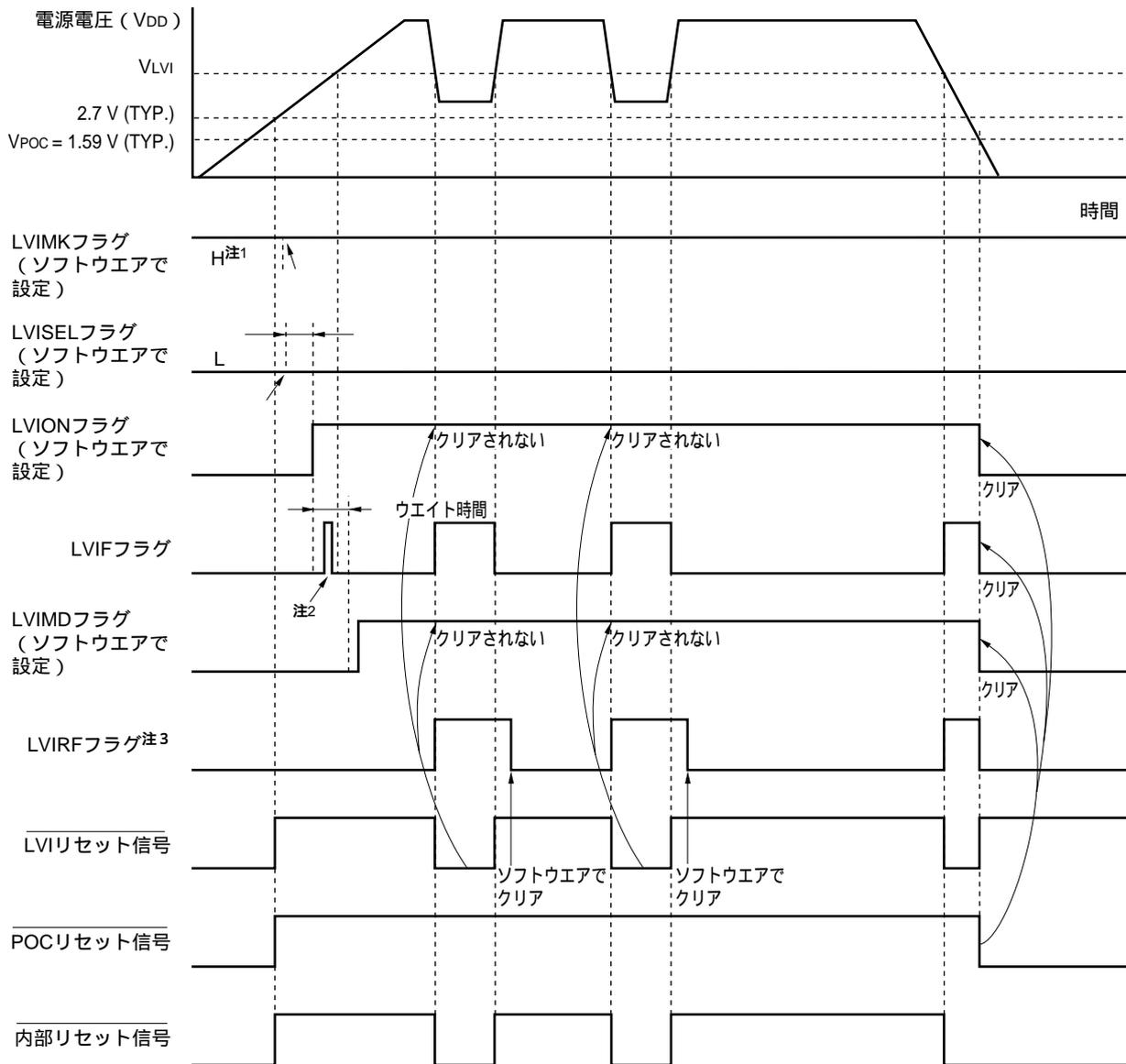
2. LVIFフラグがセット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。RESFについての詳細は、  
第21章 リセット機能を参照してください。

備考 図24 - 5の ~ は、24. 4. 1(1)電源電圧 ( $V_{DD}$ ) のレベルを検出する場合 動作開始時の ~ と対応しています。

図24 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ $V_{DD}$ ）のレベルを検出）（2/2）

(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：LVISTART = 1）



注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，  
第21章 リセット機能を参照してください。

備考 図24 - 5の ~ は，24. 4. 1（1）電源電圧（ $V_{DD}$ ）のレベルを検出する場合 動作開始時の ~ と対応しています。

## (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

## 動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10  $\mu$ s (MIN.)) + 最小パルス幅をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ( $V_{EXLVI} = 1.21$  V (TYP.))」であることを確認する
- LVIMのビット1(LVIMD)に“1”(レベル検出時に内部リセット信号発生)を設定する

図24 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

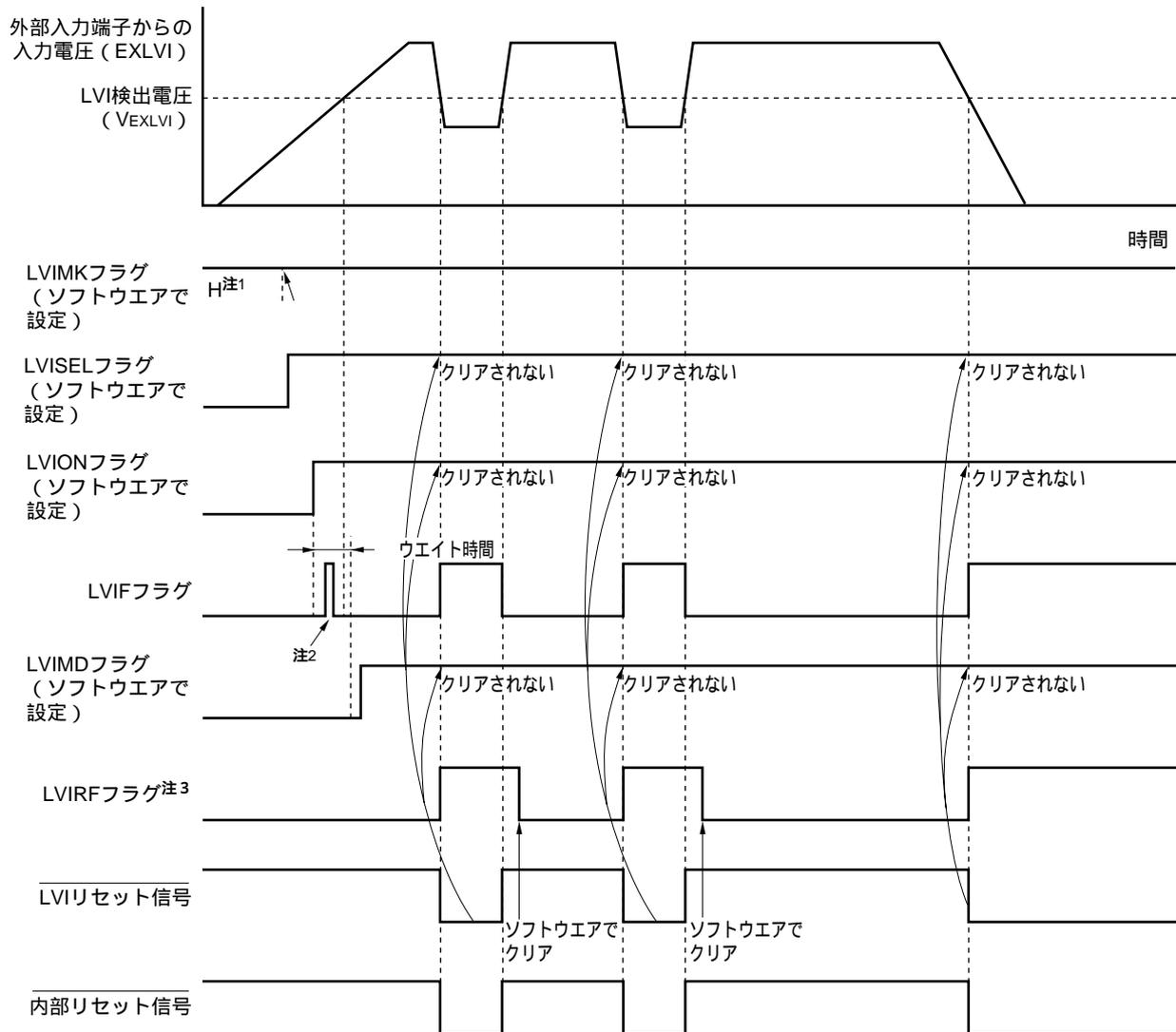
- 注意 1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧( $V_{EXLVI} = 1.21$  V (TYP.))」であれば内部リセット信号は発生しません。
  3. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$  でなければなりません。

## 動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
  - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
  - LVIMDをクリア(0) LVIONをクリア(0)

図24 - 6 低電圧検出回路の内部リセット信号発生タイミング  
 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注 1 . LVIMKフラグはリセット信号の発生により, “1” になっています。

2 . LVIFフラグがセット (1) される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第21章 リセット機能を参照してください。

備考 図24 - 6の ~ は, 24. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合動作開始時の ~ と対応しています。

## 24. 4. 2 割り込みとして使用時の設定

### (1) 電源電圧 (V<sub>DD</sub>) のレベルを検出する場合

#### 動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V<sub>DD</sub>) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 (10 μs (MIN.)) + 最小パルス幅をウエイトする

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V<sub>DD</sub>) 検出電圧 (V<sub>LVI</sub>)」であることを、立ち上がりを検出する場合は「電源電圧 (V<sub>DD</sub>) < 検出電圧 (V<sub>LVI</sub>)」であることを確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

(ベクタ割り込みを使用する場合) EI命令を実行する

図24 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

#### 動作停止時

次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合 :

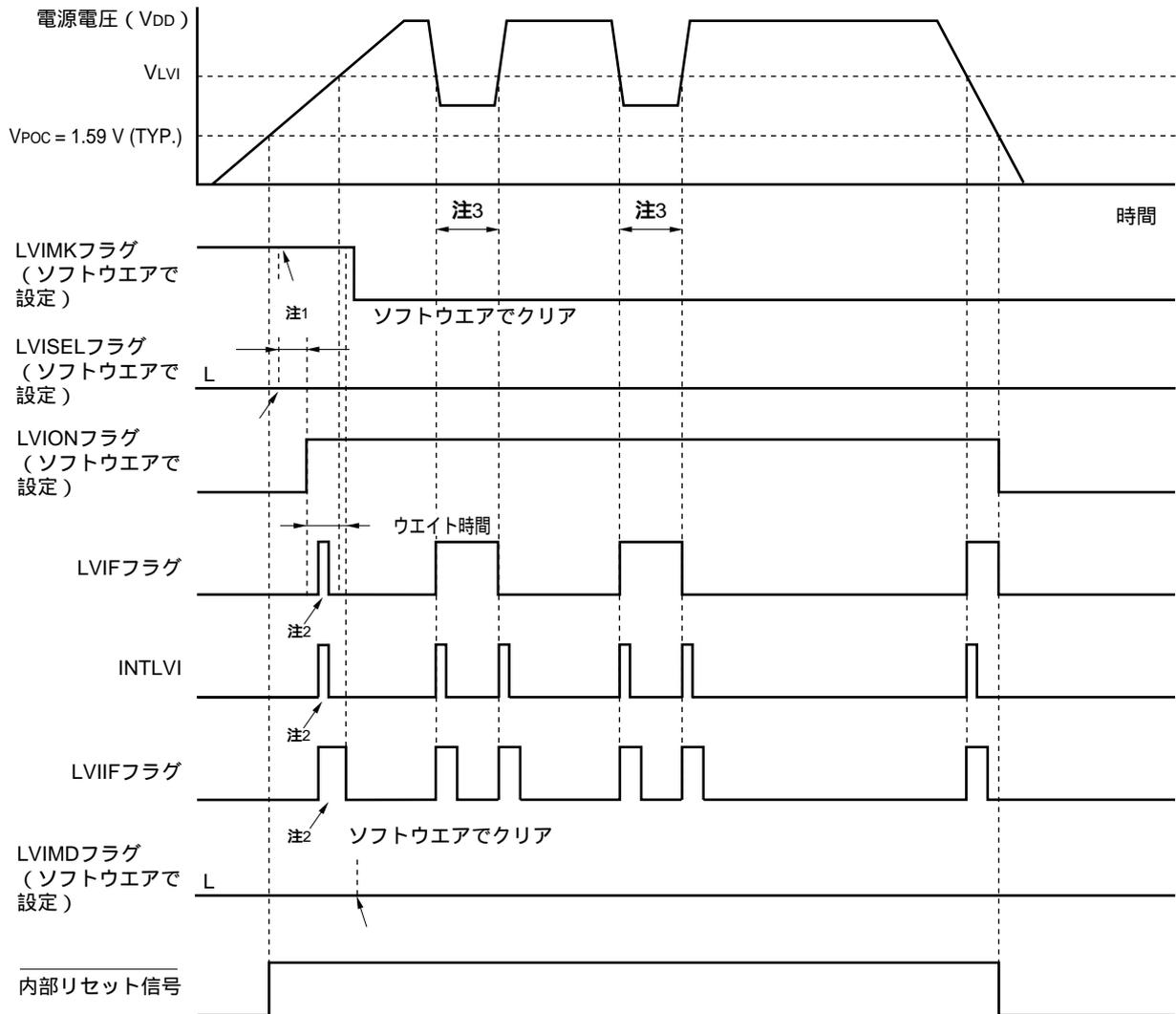
LVIMに “00H” を書き込む

- ・ 1ビット・メモリ操作命令の場合 :

LVIONをクリア (0)

図24 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 ( $V_{DD}$ ) のレベルを検出) (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト: LVISTART = 0)



注 1. LVIMKフラグはリセット信号の発生により, “1” になっています。

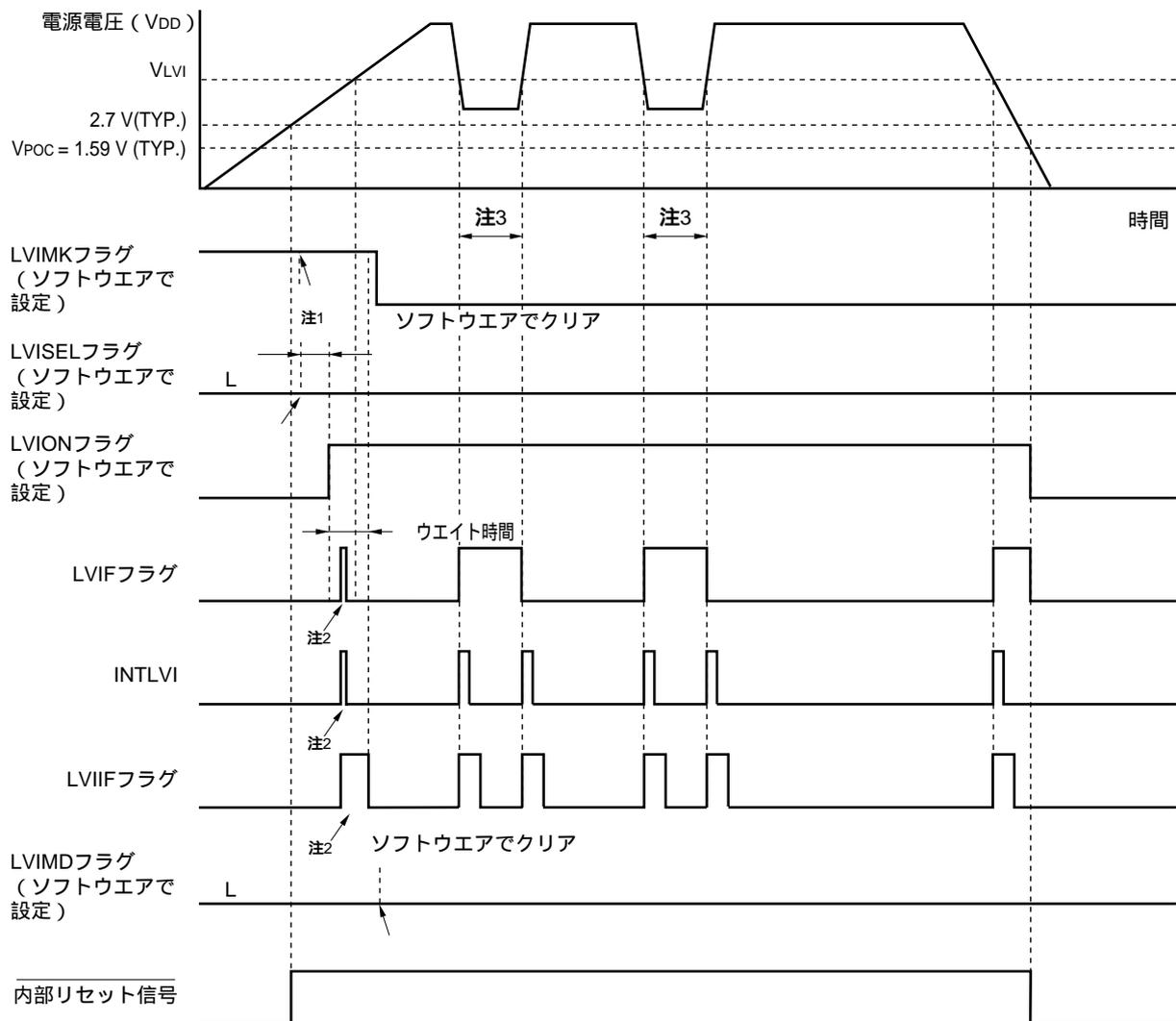
2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。

3. LVI検出電圧未満の状態 でLVIONをクリア (0) した場合, INTLVI信号が発生し, LVIIIFが “1” になります。

備考 図24 - 7の ~ は, 24. 4. 2 (1) 電源電圧 ( $V_{DD}$ ) のレベルを検出する場合 動作開始時の ~ と対応しています。

図24 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 ( $V_{DD}$ ) のレベルを検出) (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1)



注 1. LVIMKフラグはリセット信号の発生により, “1” になっています。

2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。

3. LVI検出電圧未満の状態でもLVIONをクリア (0) した場合, INTLVI信号が発生し, LVIIIFが“1”になります。

備考 図24 - 7の ~ は, 24. 4. 2 (1) 電源電圧 ( $V_{DD}$ ) のレベルを検出する場合 動作開始時の ~ と対応しています。

## (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

### 動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10  $\mu$ s (MIN.)) + 最小パルス幅をウエイトする
- LVIMのビット0(LVIF)で、立ち下がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) > 検出電圧( $V_{EXLVI} = 1.21$  V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) < 検出電圧( $V_{EXLVI} = 1.21$  V (TYP.))」を確認する
- LVIの割り込み要求フラグ(LVIIF)をクリア(0)する
- LVIの割り込みマスク・フラグ(LVIMK)を解除する
- LVIMのビット1(LVIMD)に“0”(レベル検出時に割り込み信号発生)を設定する(デフォルト値)
- (ベクタ割り込みを使用する場合)EI命令を実行する

図24 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

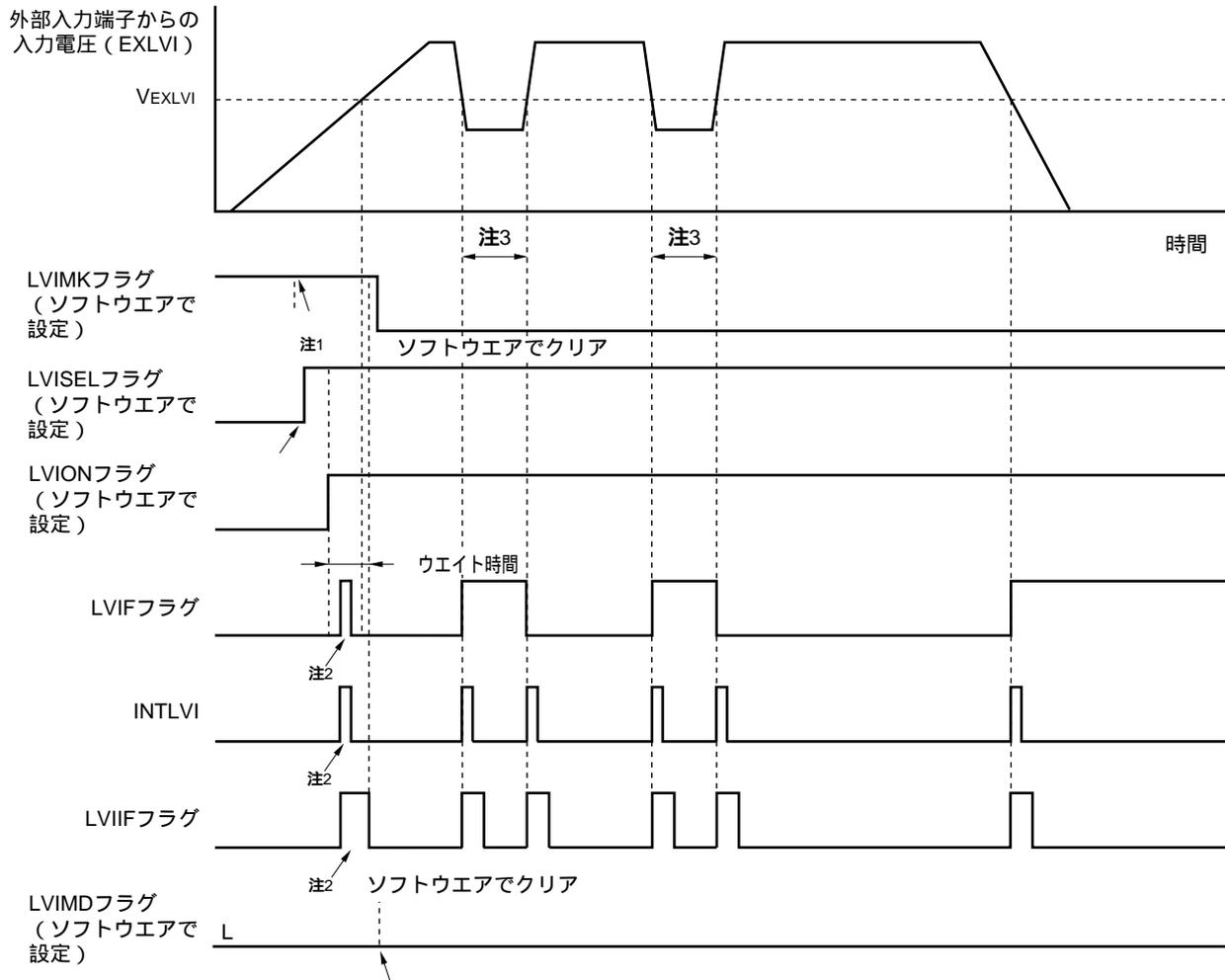
**注意** 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$  でなければなりません。

### 動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
  - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
  - LVIONをクリア(0)

図24 - 8 低電圧検出回路の割り込み信号発生タイミング  
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注 1. LVIMKフラグはリセット信号の発生により, “1” になっています。

2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態でLVIONをクリア (0) した場合, INTLVI信号が発生し, LVIIIFが“1”になります。

備考 図24 - 8の ~ は, 24. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合  
動作開始時の ~ と対応しています。

## 24.5 低電圧検出回路の注意事項

電源電圧 ( $V_{DD}$ ) が LVI 検出電圧 ( $V_{LVI}$ ) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

### (1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

### (2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

< 処 置 >

### (1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図 24-9 を参照)。

### (2) 割り込みとして使用する場合

(a) LVI 割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 ( $V_{DD}$ ) 検出電圧 ( $V_{LVI}$ ) ” を、立ち上がりを検出する場合は “電源電圧 ( $V_{DD}$ ) < 検出電圧 ( $V_{LVI}$ ) ” を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット 0 (LVIF) をクリア (0) してください。

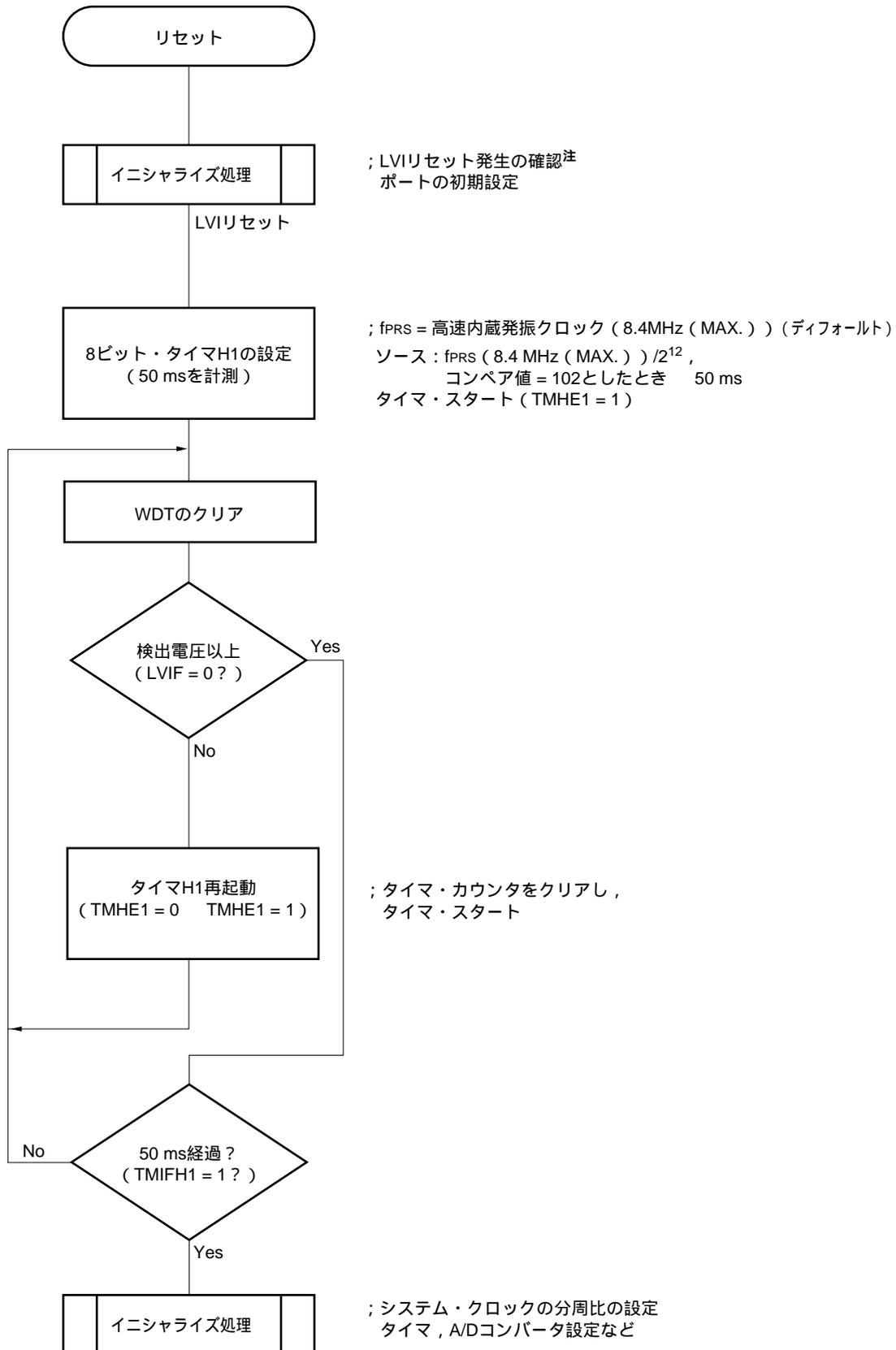
(b) LVI 検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIF フラグにて、立ち下がりを検出する場合は “電源電圧 ( $V_{DD}$ ) 検出電圧 ( $V_{LVI}$ ) ” を、立ち上がりを検出する場合は “電源電圧 ( $V_{DD}$ ) < 検出電圧 ( $V_{LVI}$ ) ” を確認し、LVIF フラグをクリア (0) してください。

**備考** 低電圧検出レジスタ (LVIM) のビット 2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 ( $V_{DD}$ ) 外部入力端子からの入力電圧 ( $EXLVI$ )
- ・検出電圧 ( $V_{LVI}$ ) 検出電圧 ( $V_{EXLVI} = 1.21 \text{ V}$ )

図24 - 9 リセット解除後のソフト処理例 (1/2)

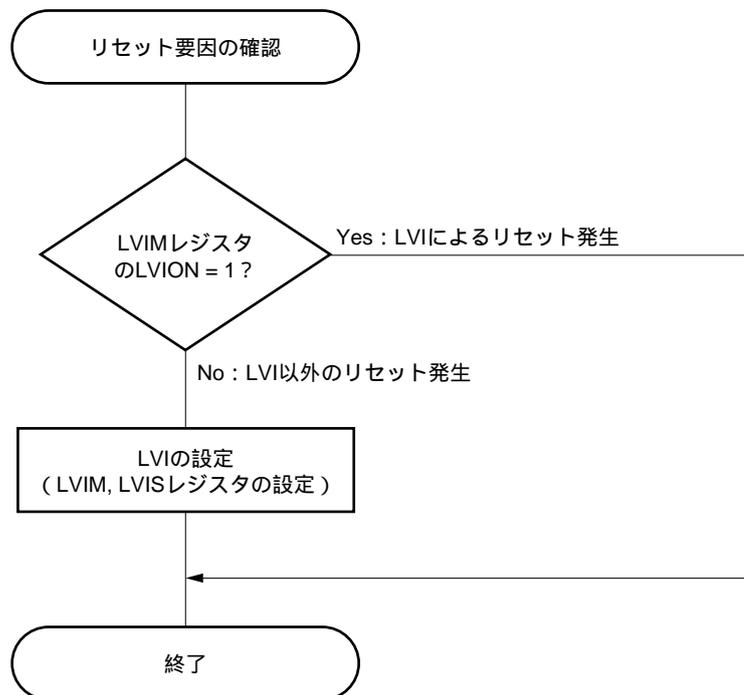
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図24 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



## 第25章 オプション・バイト

### 25.1 オプション・バイトの機能

78K0/Dx2のフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

**注意** 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。

#### (1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのインターバル時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

**注意** ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

#### (2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (LVISTART = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えたとリセットが解除されます。その後、2.7 V (TYP.) でPOC検出が行われ、電源投入時と同じ動作をします。

- ・LVI動作停止モード時 (LVISTART = 0)

LVI動作は停止します。

**注意** LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定できません (このとき、LVI動作停止モード (デフォルト) になります)。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

## (3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止
- ・オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

**注意** オンチップ・デバッグ機能を使用する場合は，0084Hに02Hまたは03Hを設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも0084Hと同じ値を設定してください。

## 25.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図25 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H<sup>注</sup>

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/fosc$ (3.88 ms)
0	0	1	$2^{11}/fosc$ (7.76 ms)
0	1	0	$2^{12}/fosc$ (15.52 ms)
0	1	1	$2^{13}/fosc$ (31.03 ms)
1	0	0	$2^{14}/fosc$ (62.06 ms)
1	0	1	$2^{15}/fosc$ (124.12 ms)
1	1	0	$2^{16}/fosc$ (248.24 ms)
1	1	1	$2^{17}/fosc$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット0 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

- 注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。
  - LSROSC = 0 (ソフトウェアにより停止可能) の場合、内蔵発振モード・レジスタ (RCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時では、ウォッチドッグ・タイマにカウント・クロックは供給されません。
  - ビット7には必ず0を書き込んでください。

- 備考1. fosc : 低速内蔵発振クロック周波数
- ( ) 内はfosc = 264 kHz (MAX.) の場合

図25 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H<sup>注1, 2</sup>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LVISTART

LVISTART	POCモードの選択
0	LVI動作停止モード (デフォルト)
1	2.7 V/1.59 V POCモード

注1. LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定できません (このとき、LVI動作停止モード (デフォルト) になります)。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去 (チップ消去) 後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

**注意** ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H, 0083H/1083H<sup>注</sup>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H<sup>注</sup>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

**備考** オンチップ・デバッグ・セキュリティIDについては、第27章 **オンチップ・デバッグ機能**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作(不正アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{osc}$ , ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; LVI動作停止モード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

**備考** オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第21章 リセット機能**を参照してください。

## 第26章 フラッシュ・メモリ

78K0/Dx2は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

### 26.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

**注意** リセット解除後に各製品ごとに表26 - 1に示す値を設定してください。

図26 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : FFF0H    リセット時 : CFH    R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0
	RAM2	RAM1	RAM0	内部高速RAM容量の選択				
	1	1	0	1024バイト				
	上記以外			設定禁止				
	ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
	0	1	1	0	24 Kバイト			
	1	0	0	0	32 Kバイト			
	1	1	0	0	48 Kバイト			
	1	1	1	1	60 Kバイト			
	上記以外				設定禁止			

**注意** メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表26 - 1 メモリ・サイズ切り替えレジスタの設定値

フラッシュ・メモリ製品		IMSIMSの設定値
78K0/DE2	78K0/DF2	
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	C6H
μ PD78F0844	μ PD78F0846, 78F0848	C8H
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843	CCH
μ PD78F0845	μ PD78F0847, 78F0849	CFH

## 26.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部拡張RAM容量を選択できます。

IXSは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，0CHになります。

**注意** リセット解除後に各製品ごとに表26 - 2に示す値を設定してください。

図26 - 2 内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	0	1	0	1024バイト
0	1	0	0	0	2048バイト
上記以外					設定禁止

**注意** メモリ・サイズを設定する場合，IMSを設定したあとに，IXSを設定してください。また，内部ROM領域と内部拡張RAM領域が重ならないように，メモリ・サイズを設定してください。

表26 - 2 内部拡張RAMサイズ切り替えレジスタの設定値

フラッシュ・メモリ製品		IXSの設定値
78K0/DE2	78K0/DF2	
μ PD78F0836	μ PD78F0838, 78F0840, 78F0842	0AH
μ PD78F0844	μ PD78F0846, 78F0848	
μ PD78F0837	μ PD78F0839, 78F0841, 78F0843	08H
μ PD78F0845	μ PD78F0847, 78F0849	

## 26.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上に78K0/Dx2を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上に78K0/Dx2を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

**備考** FAシリーズは，（株）内藤電誠町田製作所の製品です。

表26-3 78K0/Dx2と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時			UART60使用時		
信号名	入出力	端子機能	端子名	ピン番号		端子名	ピン番号	
				DE2	DF2		DE2	DF2
SI/RxD	入力	受信信号	SO10/P12/INTP2	62	25	TxD60/P13/SEG23/ TIOP30	19	31
SO/TxD	出力	送信信号	SI10/RxD61 <sup>注1</sup> / P11/INTPR61 <sup>注1</sup>	63	24	RxD60/P14/SEG22/ TIOP20/INTPR60	20	32
SCK	出力	転送クロック	SCK10/TxD61 <sup>注1</sup> / P10/INTP4	64	23	-	-	-
CLK	出力	78K0/Dx2へのクロック	- <sup>注2</sup>	-	-	注3	注3	注3
/RESET	出力	リセット信号	RESET	8	12	RESET	8	12
FLMD0	出力	モード信号	FLMD0	11	15	FLMD0	11	15
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成 / 電源監視	V <sub>DD</sub> /EV <sub>DD</sub>	16	20	V <sub>DD</sub> /EV <sub>DD</sub>	16	20
			AVREF	47	59	AVREF	47	59
GND	-	グラウンド	V <sub>SS</sub> /EV <sub>SS</sub>	15	19	V <sub>SS</sub> /EV <sub>SS</sub>	15	19
			AV <sub>SS</sub>	48	60	AV <sub>SS</sub>	48	60

注1. 78K0/DF2のみ。

2. CSI10使用時は，高速内蔵発振クロック（f<sub>osc8</sub>）のみ使用できます。

3. UART60使用時は，X1クロック（f<sub>x</sub>）または外部メイン・システム・クロック（f<sub>EXT</sub>）のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合，専用フラッシュ・メモリ・プログラマの種類により，接続する端子が異なります。

・ PG-FP5, FL-PR5：プログラマのCLKとEXCLK/X2/P122/OCD0Bを接続してください。

**注意** 78K0/DF2の端子No. 10とNo. 11（UART60），No. 23とNo. 24（UART61）を使用したフラッシュ・メモリへの書き込みは対応していません。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図26 - 3 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例

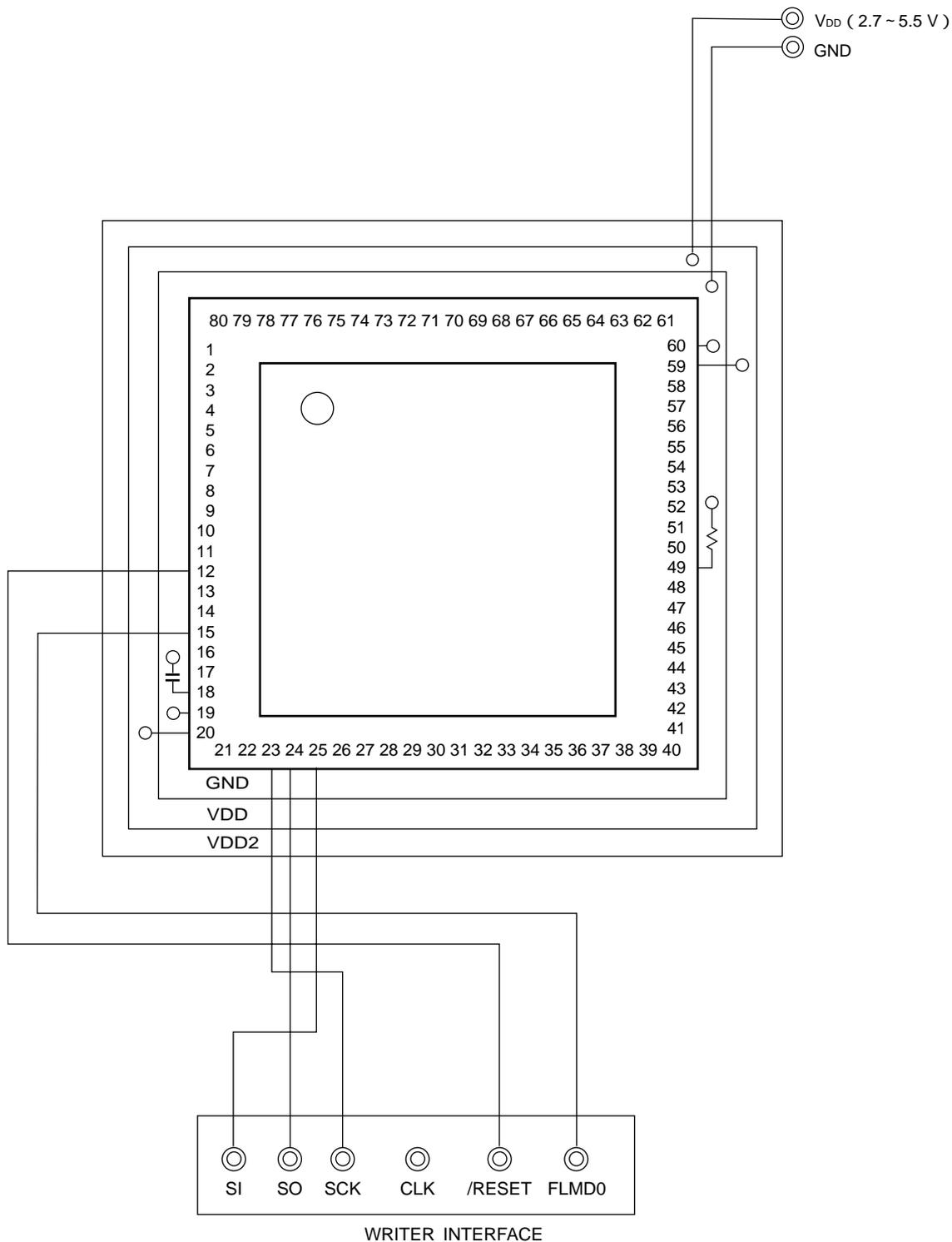
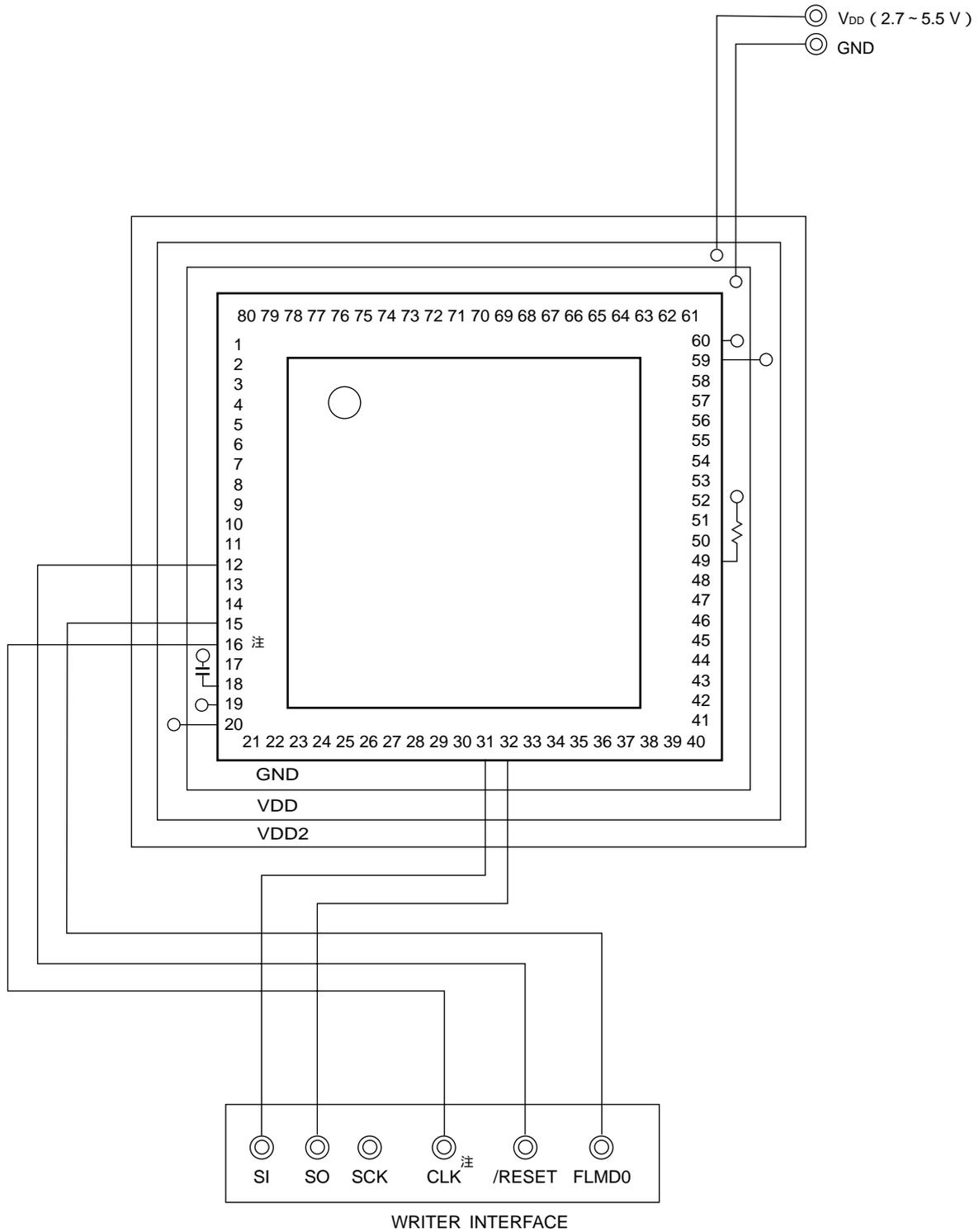


図26 - 4 UART (UART60) 方式でのフラッシュ書き込み用アダプタ配線例



注 上図は , PG-FP5, FL-PR5のクロック・アウトを使用する場合の配線例です。

## 26.4 プログラミング環境

78K0/Dx2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26 - 5 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとマイクロコントローラの通信にはCSI10またはUART60インターフェースのどちらかを使用します。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

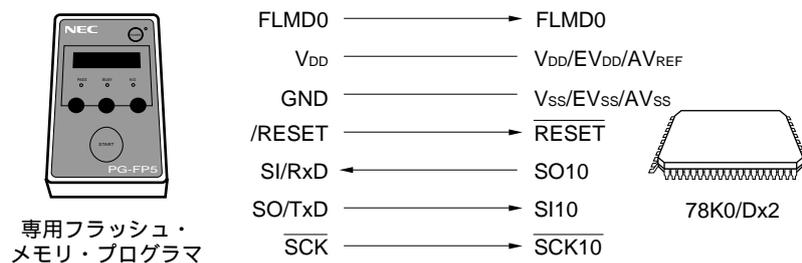
## 26.5 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Dx2との通信は、78K0/Dx2のCSI10またはUART60によるシリアル通信で行います。

### (1) CSI10

転送レート：2.4 kHz ~ 2.5 MHz

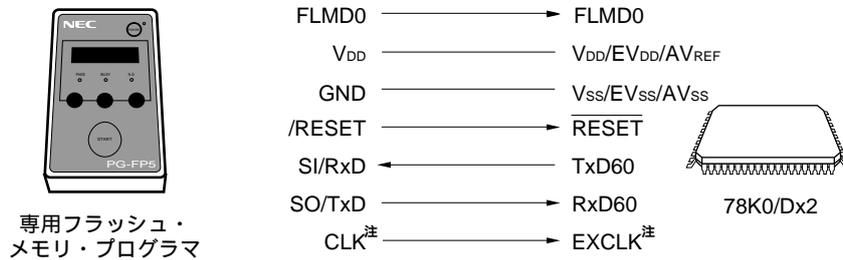
図26 - 6 専用フラッシュ・メモリ・プログラマとの通信 (CSI10)



## (2) UART60

転送レート : 115200 bps

図26 - 7 専用フラッシュ・メモリ・プログラマとの通信 (UART60)



注 上図は、PG-FP5, FL-PR5のクロック・アウトを使用する場合のものです。

専用フラッシュ・メモリ・プログラマは78K0/Dx2に対して次の信号を生成します。詳細はPG-FP5, FL-PR5のマニュアルを参照してください。

表26 - 4 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/Dx2	接続時の処置	
信号名	入出力	端子機能	端子名	CS110	UART60
FLMD0	出力	モード信号	FLMD0		
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成 / 電圧監視	V <sub>DD</sub> , EV <sub>DD</sub> , AV <sub>REF</sub>		
GND	-	グランド	V <sub>SS</sub> , EV <sub>SS</sub> , AV <sub>SS</sub>		
CLK	出力	78K0/Dx2へのクロック出力	注1	x <sup>注2</sup>	注1
/RESET	出力	リセット信号	RESET		
SI/RxD	入力	受信信号	SO10/TxD60		
SO/TxD	出力	送信信号	SI10/RxD60		
SCK	出力	転送クロック	SCK10		x

注1. UART60使用時は、X1クロック ( $f_x$ ) または外部メイン・システム・クロック ( $f_{EXT}$ ) のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラマの種類により、接続する端子が異なります。

・ PG-FP5, FL-PR5 : プログラマのCLKとEXCLK/X2/P122/OCD0Bを接続してください。

2. CS110使用時は、高速内蔵発振クロック ( $f_{osc8}$ ) のみ使用できます。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

x : 接続の必要はありません。

## 26.6 オンボード上の端子処理

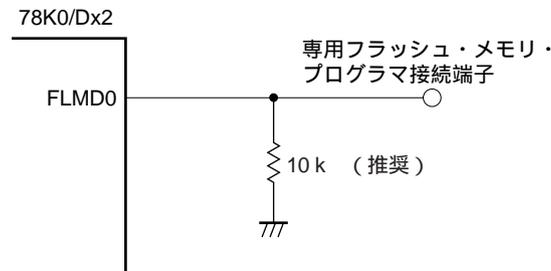
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

### 26.6.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に $V_{DD}$ レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図26 - 8 FLMD0端子の接続例



### 26.6.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表26 - 5 各シリアル・インタフェースが使用する端子

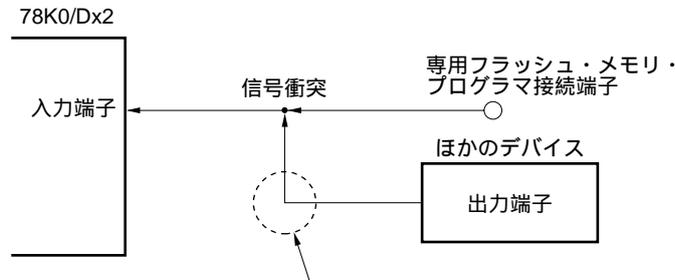
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, SCK10
UART60	TxD60, RxD60

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

## (1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図26 - 9 信号の衝突（シリアル・インタフェースの入力端子）

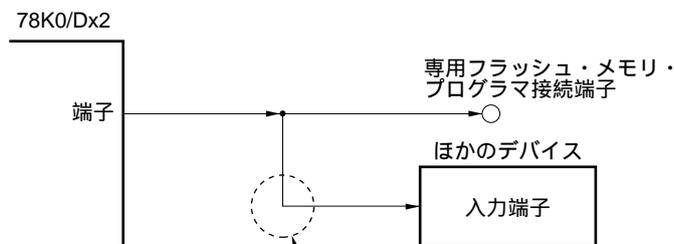


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

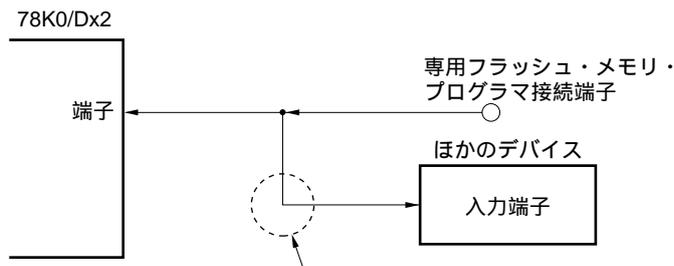
## (2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図26 - 10 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、78K0/Dx2が出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



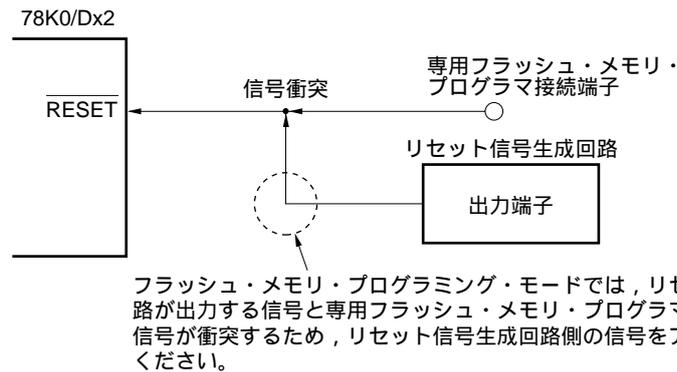
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・メモリ・プログラマが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

### 26. 6. 3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図26 - 11 信号の衝突 ( $\overline{\text{RESET}}$ 端子)



### 26. 6. 4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して $V_{DD}$ に接続するか、または抵抗を介して $V_{SS}$ に接続するなどの端子処理が必要です。

### 26. 6. 5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ ( $0.47 \sim 1 \mu\text{F}$ : 推奨) を介し、GNDに接続してください。

### 26. 6. 6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。  
ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合、次のように接続してください。

- ・PG-FP5, FL-PR5：プログラマのCLKとEXCLK/X2/P122/OCD0Bを接続してください。

**注意 1.** CSI10使用時は、高速内蔵発振クロック ( $f_{osc8}$ ) のみ使用できます。

2. UART60使用時は、X1クロック ( $f_x$ ) または外部メイン・システム・クロック ( $f_{EXT}$ ) のみ使用できます。
3. フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1/OCD0Aを次のように処理してください。

- ・P121/X1/OCD0A：ポートとして使用する場合は、抵抗 (10 k $\Omega$  : 推奨) を介してV<sub>SS</sub>に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

### 26. 6. 7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V<sub>DD</sub>端子はフラッシュ・メモリ・プログラマのV<sub>DD</sub>に、V<sub>SS</sub>端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V<sub>DD</sub>、V<sub>SS</sub>端子はフラッシュ・メモリ・プログラマのV<sub>DD</sub>、GNDと必ず接続してください。

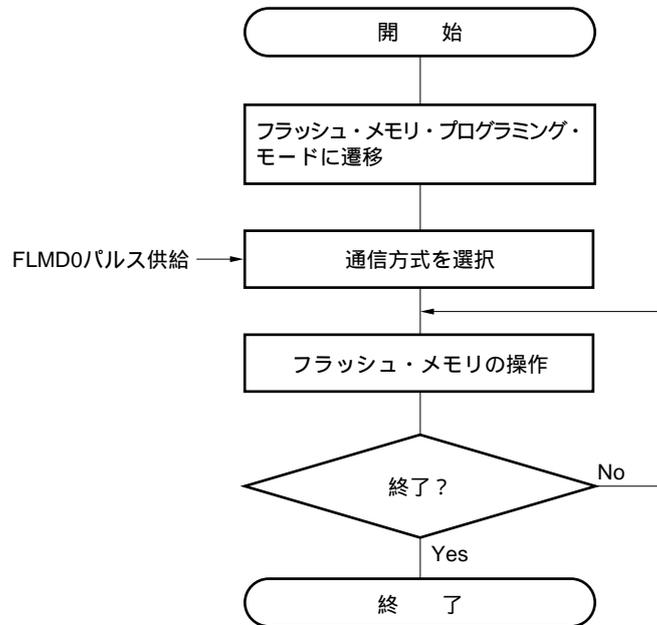
その他の電源 (EV<sub>DD</sub>, EV<sub>SS</sub>, AV<sub>REF</sub>, AV<sub>SS</sub>) は、通常動作モード時と同じ電源を供給してください。

## 26.7 プログラミング方法

### 26.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図26 - 12 フラッシュ・メモリの操作手順



### 26.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Dx2をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子をV<sub>DD</sub>設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図26 - 13 フラッシュ・メモリ・プログラミング・モード

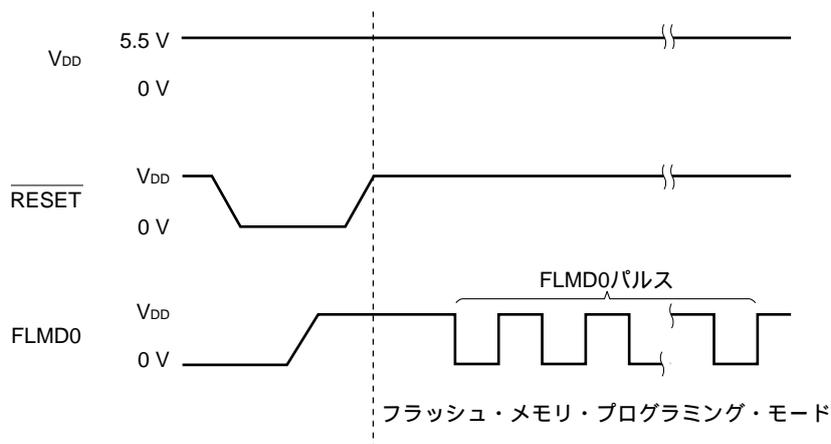


表26 - 6 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V <sub>DD</sub>	フラッシュ・メモリ・プログラミング・モード

### 26.7.3 通信方式の選択

78K0/Dx2では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大8パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表26 - 7 通信方式一覧

通信方式	Standard設定 <sup>注1</sup>				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART60)	UART-Ext-Osc	115200 bps <sup>注2</sup>	2-20 MHz <sup>注3</sup>	1.0	TxD60,	fx	0
	UART-Ext-FP5CK				RxD60		
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz-2.5 MHz	-		SO10, SI10, SCK10	fosc8	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

- UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
- 電圧により設定可能な範囲が異なります。詳細は電気特性の章を参照してください。

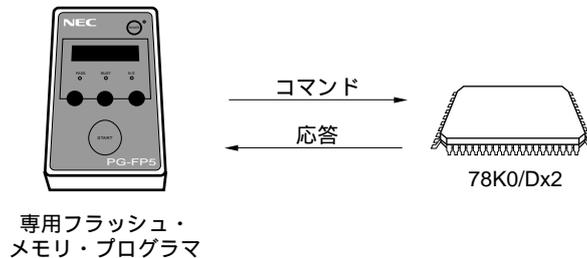
**注意** UART60選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

**備考** fx : X1クロック  
 f<sub>EXT</sub> : 外部メイン・システム・クロック  
 fosc8 : 高速内蔵発振クロック

### 26.7.4 通信コマンド

78K0/Dx2と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0/Dx2へ送られる信号を「コマンド」と呼び、78K0/Dx2から専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図26 - 14 通信コマンド



78K0/Dx2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Dx2がコマンドに対応した各処理を行います。

表26 - 8 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	78K0/Dx2情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Dx2バージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、78K0/Dx2は、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0/Dx2が送出する応答名称を次に示します。

表26 - 9 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

## 26.8 セキュリティ設定

78K0/Dx2は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

**注意** 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。

また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、一括消去（チップ消去）コマンド、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

**注意** ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換えはできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Dx2のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表26 - 10に示します。

表26 - 10 セキュリティ機能有効時とコマンドの関係

## (1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる <sup>注</sup>
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

## (2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表26 - 11に示します。

表26 - 11 各プログラミング・モード時のセキュリティ設定方法

## (1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラムのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		設定後、無効にできない
ブート・クラスタ0の書き換え禁止		

## (2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

## 26.9 PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の、各コマンド処理時間（参考値）を次に示します。

表26 - 12 PG-FP5使用時の各コマンド処理時間（参考値）

(1)  $\mu$  PD78F0849（内部ROM容量：60 Kバイト）

PG-FP5の コマンド	Port: CSI-Internal-OSC(高速内蔵発 振クロック (fosc8) 使用), Speed:2.5 MHz	Port: UART-Ext-FP5CK (外部メイン・システム・クロック (fEXT) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Signature	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Program	5 s (TYP.)	9 s (TYP.)	9 s (TYP.)
Verify	2 s (TYP.)	6.5 s (TYP.)	6.5 s (TYP.)
E.P.V	6 s (TYP.)	10.5 s (TYP.)	10.5 s (TYP.)
Checksum	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)

**注意** ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

## 26. 10 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Dx2は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0/Dx2セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

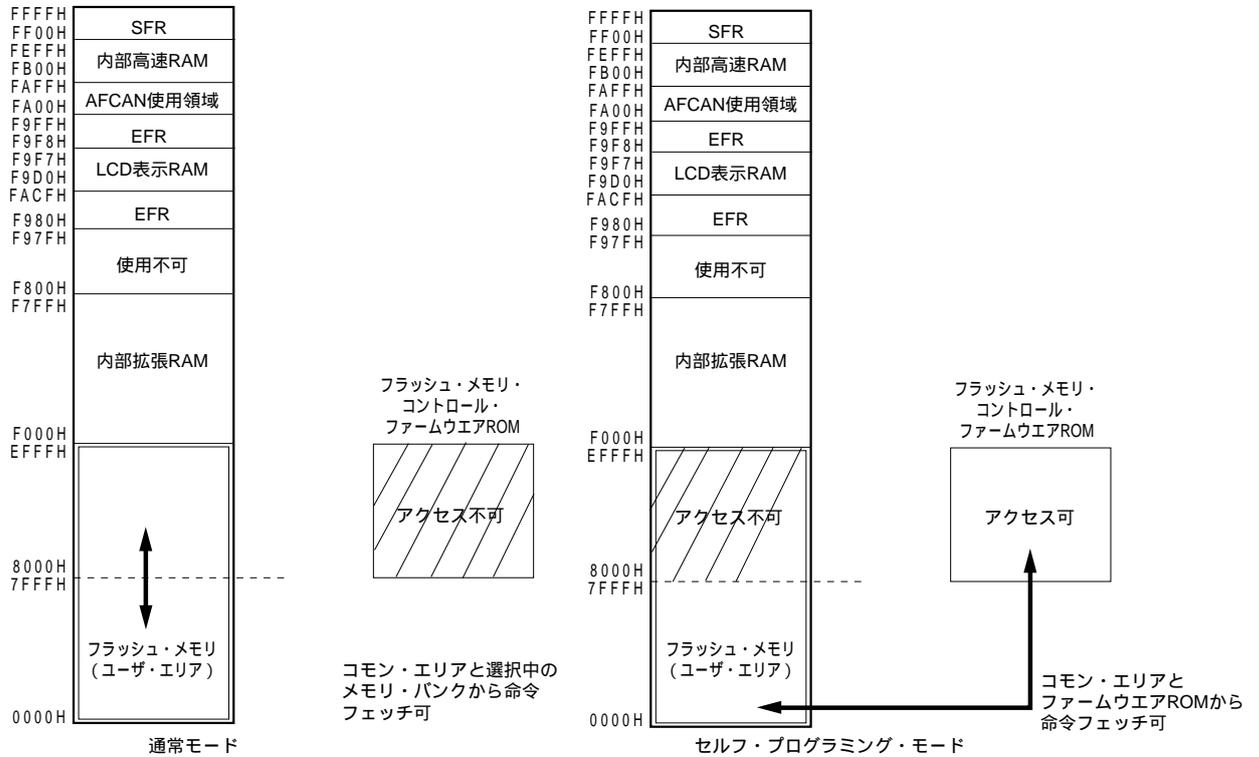
**備考** セルフ・プログラミング機能の詳細および78K0/Dx2セルフ・プログラミング・ライブラリの詳細については、発行予定の別ドキュメント(資料名:78K0/Dx2 アプリケーション・ノート,発行時期:未定)を参照してください。

- 注意1.** CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
2. セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
  3. セルフ・プログラミング開始前に必ずDI命令を実行してください。  
セルフ・プログラミング機能は割り込み要求フラグ(IF0L, IF0H, IF1L, IF1H)を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
  4. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H)で割り込みをマスクしてください。
  5. セルフ・プログラミングは、高速内蔵発振クロックで動作します。したがって、CPUがX1クロックまたは外部メイン・システム・クロックの場合、セルフ・プログラミング中に高速内蔵発振クロックの発振安定ウエイト時間が生じます。

(注意6は次頁にあります。)

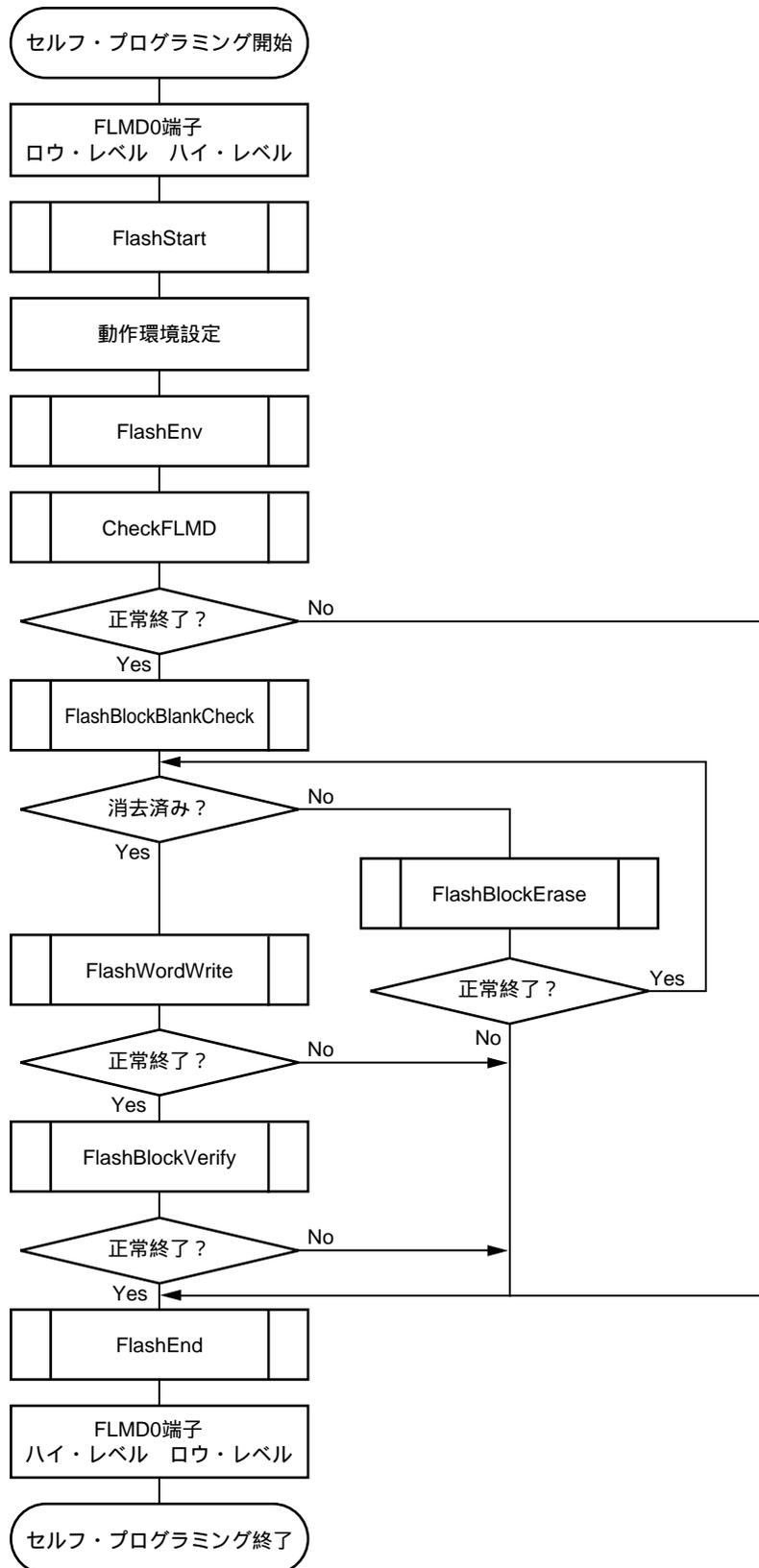
注意6. セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHのコモン・エリアに配置してください。

図26 - 15 セルフ・プログラミングの動作モードとメモリ・マップ (μ PD78F0849の場合)



次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図26 - 16 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



次に、セルフ・プログラミング・ライブラリの処理時間と割り込み応答時間を示します。

表26 - 13 セルフ・プログラミング・ライブラリの処理時間 (1/3)

(1) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: $\mu$ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	4.25			
イニシャライズ・ライブラリ	977.75			
モード・チェック・ライブラリ	753.875		753.125	
ブロック・ブランク・チェック・ライブラリ	12770.875		12765.875	
ブロック・イレース・ライブラリ	36909.5	356318	36904.5	356296.25
ワード・ライト・ライブラリ	1214 (1214.375)	2409 (2409.375)	1207 (1207.375)	2402 (2402.375)
ブロック・ベリファイ・ライブラリ	25618.875		25613.875	
セルフ・プログラミング・エンド・ライブラリ	4.25			
ゲット・インフォメーション・ライブラリ	オプション値: 03H		866 (866.125)	
	オプション値: 04H		858.125 (858.25)	
	オプション値: 05H		1037.5 (1038.375)	
セット・インフォメーション・ライブラリ	105524.75	790809.375	105523.75	790808.375
EEPROMライト・ライブラリ	1496.5 (1496.875)	2691.5 (2691.875)	1489.5 (1489.875)	2684.5 (2684.875)

(2) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: $\mu$ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	4.25			
イニシャライズ・ライブラリ	443.5			
モード・チェック・ライブラリ	219.625		218.875	
ブロック・ブランク・チェック・ライブラリ	12236.625		12231.625	
ブロック・イレース・ライブラリ	36363.25	355771.75	36358.25	355750
ワード・ライト・ライブラリ	679.75 (680.125)	1874.75 (1875.125)	672.75 (673.125)	1867.75 (1868.125)
ブロック・ベリファイ・ライブラリ	25072.625		25067.625	
セルフ・プログラミング・エンド・ライブラリ	4.25			
ゲット・インフォメーション・ライブラリ	オプション値: 03H		331.75 (331.875)	
	オプション値: 04H		323.875 (324)	
	オプション値: 05H		497 (497.875)	
セット・インフォメーション・ライブラリ	104978.5	541143.125	104977.5	541142.125
EEPROMライト・ライブラリ	962.25 (962.625)	2157.25 (2157.625)	955.25 (955.625)	2150.25 (2150.625)

備考 1. ( )内は、書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

2. 上記の処理時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

表26 - 13 セルフ・プログラミング・ライブラリの処理時間 (2/3)

(3) 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: $\mu\text{s}$ )				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	34/f <sub>CPU</sub>				
イニシャライズ・ライブラリ	49/f <sub>CPU</sub> +485.8125				
モード・チェック・ライブラリ	35/f <sub>CPU</sub> + 374.75		29/f <sub>CPU</sub> + 374.75		
ブロック・ブランク・チェック・ライブラリ	174/f <sub>CPU</sub> + 6382.0625		134/f <sub>CPU</sub> + 6382.0625		
ブロック・イレース・ライブラリ	174/f <sub>CPU</sub> + 31093.875	174/f <sub>CPU</sub> + 298948.125	134/f <sub>CPU</sub> + 31093.875	134/f <sub>CPU</sub> + 298948.125	
ワード・ライト・ライブラリ	318 (321) /f <sub>CPU</sub> + 644.125	318 (321) /f <sub>CPU</sub> + 1491.625	262 (265) /f <sub>CPU</sub> + 644.125	262 (265) /f <sub>CPU</sub> + 1491.625	
ブロック・ベリファイ・ライブラリ	174/f <sub>CPU</sub> + 13448.5625		134/f <sub>CPU</sub> + 13448.5625		
セルフ・プログラミング・エンド・ライブラリ	34/f <sub>CPU</sub>				
ゲット・インフォメーション・ライブラリ	オプション値: 03H	171 (172) /f <sub>CPU</sub> + 432.4375		129 (130) /f <sub>CPU</sub> + 432.4375	
	オプション値: 04H	181 (182) /f <sub>CPU</sub> + 427.875		139 (140) /f <sub>CPU</sub> + 427.875	
	オプション値: 05H	404 (411) /f <sub>CPU</sub> + 496.125		362 (369) /f <sub>CPU</sub> + 496.125	
セット・インフォメーション・ライブラリ	75/f <sub>CPU</sub> + 79157.6875	75/f <sub>CPU</sub> + 652400	67f <sub>CPU</sub> + 79157.6875	67f <sub>CPU</sub> + 652400	
EEPROMライト・ライブラリ	318 (321) /f <sub>CPU</sub> + 799.875	318 (321) /f <sub>CPU</sub> + 1647.375	262 (265) /f <sub>CPU</sub> + 799.875	262 (265) /f <sub>CPU</sub> + 1647.375	

備考1. ( ) 内は, 書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

- 上記の処理時間は, 高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。
- f<sub>CPU</sub>: CPU動作クロック周波数
- RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

表26 - 13 セルフ・プログラミング・ライブラリの処理時間 (3/3)

(4) 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: $\mu$ s)				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル / アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	34/f <sub>CPU</sub>				
イニシャライズ・ライブラリ	49/f <sub>CPU</sub> +224.6875				
モード・チェック・ライブラリ	35/f <sub>CPU</sub> + 113.625		29/f <sub>CPU</sub> + 113.625		
ブロック・ブランク・チェック・ライブラリ	174/f <sub>CPU</sub> + 6120.9375		134/f <sub>CPU</sub> + 6120.9375		
ブロック・イレース・ライブラリ	174/f <sub>CPU</sub> + 30820.75	174/f <sub>CPU</sub> + 298675	134/f <sub>CPU</sub> + 30820.75	134/f <sub>CPU</sub> + 298675	
ワード・ライト・ライブラリ	318 (321) /f <sub>CPU</sub> + 383	318 (321) /f <sub>CPU</sub> + 1230.5	262 (265) /f <sub>CPU</sub> + 383	262 (265) /f <sub>CPU</sub> + 1230.5	
ブロック・ベリファイ・ライブラリ	174/f <sub>CPU</sub> + 13175.4375		134/f <sub>CPU</sub> + 13175.4375		
セルフ・プログラミング・エンド・ライブラリ	34/f <sub>CPU</sub>				
ゲット・インフォメーション・ライブラリ	オプション値: 03H	171 (172) /f <sub>CPU</sub> + 171.3125		129 (130) /f <sub>CPU</sub> + 171.3125	
	オプション値: 04H	181 (182) /f <sub>CPU</sub> + 166.75		139 (140) /f <sub>CPU</sub> + 166.75	
	オプション値: 05H	404 (411) /f <sub>CPU</sub> + 231.875		362 (369) /f <sub>CPU</sub> + 231.875	
セット・インフォメーション・ライブラリ	75/f <sub>CPU</sub> + 78884.5625	75/f <sub>CPU</sub> + 527566.875	67f <sub>CPU</sub> + 78884.5625	67f <sub>CPU</sub> + 527566.875	
EEPROMライト・ライブラリ	318 (321) /f <sub>CPU</sub> + 538.75	318 (321) /f <sub>CPU</sub> + 1386.25	262 (265) /f <sub>CPU</sub> + 538.75	262 (265) /f <sub>CPU</sub> + 1386.25	

備考1. ( )内は, 書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

- 上記の処理時間は, 高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。
- f<sub>CPU</sub>: CPU動作クロック周波数
- RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

表26 - 14 セルフ・プログラミング・ライブラリの割り込み応答時間 (1/2)

## (1) 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: $\mu\text{s}$ (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	933.6	668.6	927.9	662.9
ブロック・イレース・ライブラリ	1026.6	763.6	1020.9	757.9
ワード・ライト・ライブラリ	2505.8	1942.8	2497.8	1934.8
ブロック・ベリファイ・ライブラリ	958.6	693.6	952.9	687.9
セット・インフォメーション・ ライブラリ	476.5	211.5	475.5	210.5
EEPROMライト・ライブラリ	2760.8	2168.8	2759.5	2167.5

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

## (2) 高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: $\mu\text{s}$ (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$179/f_{\text{CPU}} + 507$	$179/f_{\text{CPU}} + 407$	$179/f_{\text{CPU}} + 1650$	$179/f_{\text{CPU}} + 714$
ブロック・イレース・ライブラリ	$179/f_{\text{CPU}} + 559$	$179/f_{\text{CPU}} + 460$	$179/f_{\text{CPU}} + 1702$	$179/f_{\text{CPU}} + 767$
ワード・ライト・ライブラリ	$333/f_{\text{CPU}} + 1589$	$333/f_{\text{CPU}} + 1298$	$333/f_{\text{CPU}} + 2732$	$333/f_{\text{CPU}} + 1605$
ブロック・ベリファイ・ライブラリ	$179/f_{\text{CPU}} + 518$	$179/f_{\text{CPU}} + 418$	$179/f_{\text{CPU}} + 1661$	$179/f_{\text{CPU}} + 725$
セット・インフォメーション・ラ イブラリ	$80/f_{\text{CPU}} + 370$	$80/f_{\text{CPU}} + 165$	$80/f_{\text{CPU}} + 1513$	$80/f_{\text{CPU}} + 472$
EEPROMライト・ライブラリ <sup>注</sup>	$29/f_{\text{CPU}} + 1759$ ----- $333/f_{\text{CPU}} + 834$	$29/f_{\text{CPU}} + 1468$ ----- $333/f_{\text{CPU}} + 512$	$29/f_{\text{CPU}} + 1759$ ----- $333/f_{\text{CPU}} + 2061$	$29/f_{\text{CPU}} + 1468$ ----- $333/f_{\text{CPU}} + 873$

注 EEPROMライト・ライブラリの割り込み応答時間は、 $f_{\text{CPU}}$ の値によって、どちらか長い時間のほうがMAX.値となります。

備考1.  $f_{\text{CPU}}$  : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

表26 - 14 セルフ・プログラミング・ライブラリの割り込み応答時間 (2/2)

## (3) 高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: $\mu\text{s}$ (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$136/f_{\text{CPU}} + 507$	$136/f_{\text{CPU}} + 407$	$136/f_{\text{CPU}} + 1650$	$136/f_{\text{CPU}} + 714$
ブロック・イレース・ライブラリ	$136/f_{\text{CPU}} + 559$	$136/f_{\text{CPU}} + 460$	$136/f_{\text{CPU}} + 1702$	$136/f_{\text{CPU}} + 767$
ワード・ライト・ライブラリ	$272/f_{\text{CPU}} + 1589$	$272/f_{\text{CPU}} + 1298$	$272/f_{\text{CPU}} + 2732$	$272/f_{\text{CPU}} + 1605$
ブロック・ペリファイ・ライブラリ	$136/f_{\text{CPU}} + 518$	$136/f_{\text{CPU}} + 418$	$136/f_{\text{CPU}} + 1661$	$136/f_{\text{CPU}} + 725$
セット・インフォメーション・ ライブラリ	$72/f_{\text{CPU}} + 370$	$72/f_{\text{CPU}} + 165$	$72/f_{\text{CPU}} + 1513$	$72/f_{\text{CPU}} + 472$
EEPROMライト・ライブラリ <sup>注</sup>	$19/f_{\text{CPU}} + 1759$ ----- $268/f_{\text{CPU}} + 834$	$19/f_{\text{CPU}} + 1468$ ----- $268/f_{\text{CPU}} + 512$	$19/f_{\text{CPU}} + 1759$ ----- $268/f_{\text{CPU}} + 2061$	$19/f_{\text{CPU}} + 1468$ ----- $268/f_{\text{CPU}} + 873$

注 EEPROMライト・ライブラリの割り込み応答時間は、 $f_{\text{CPU}}$ の値によって、どちらか長い時間のほうがMAX.値となります。

備考1.  $f_{\text{CPU}}$  : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

## 26.11 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0<sup>※</sup>の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Dx2内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Dx2内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

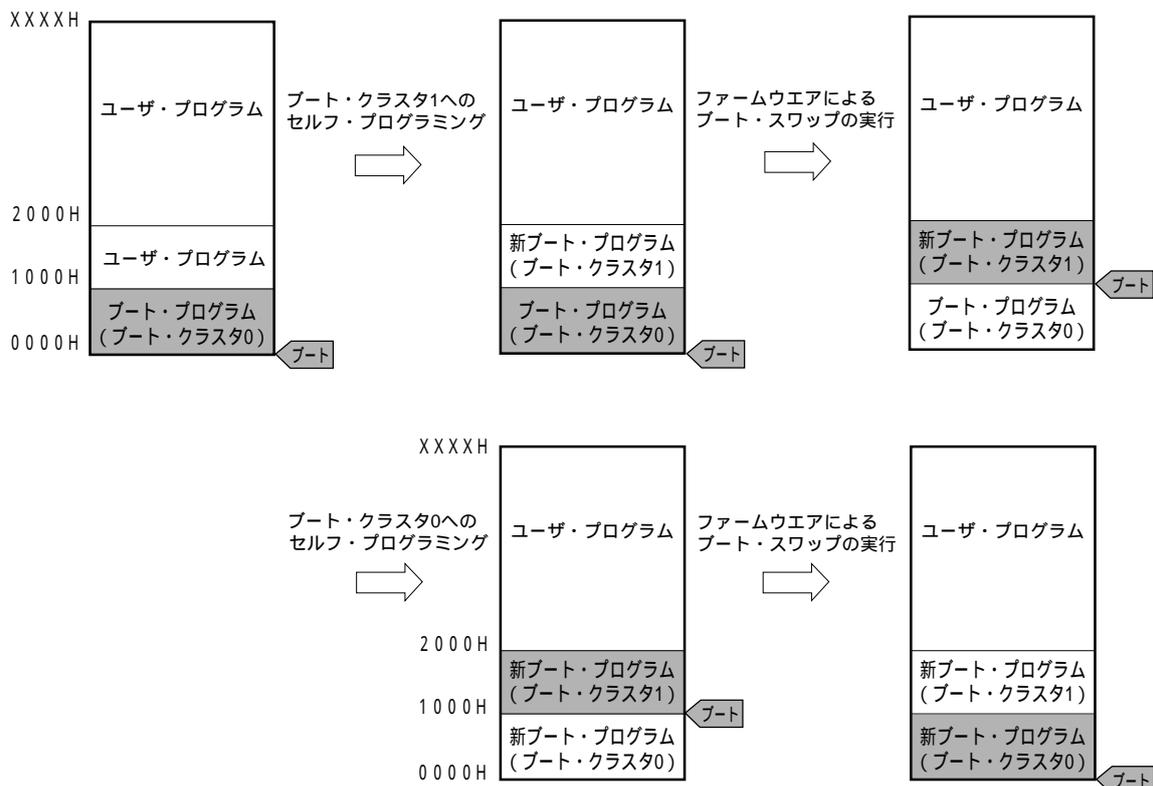
**注** ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H ~ 0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H ~ 1FFFH) : ブート・スワップ対象の領域です。

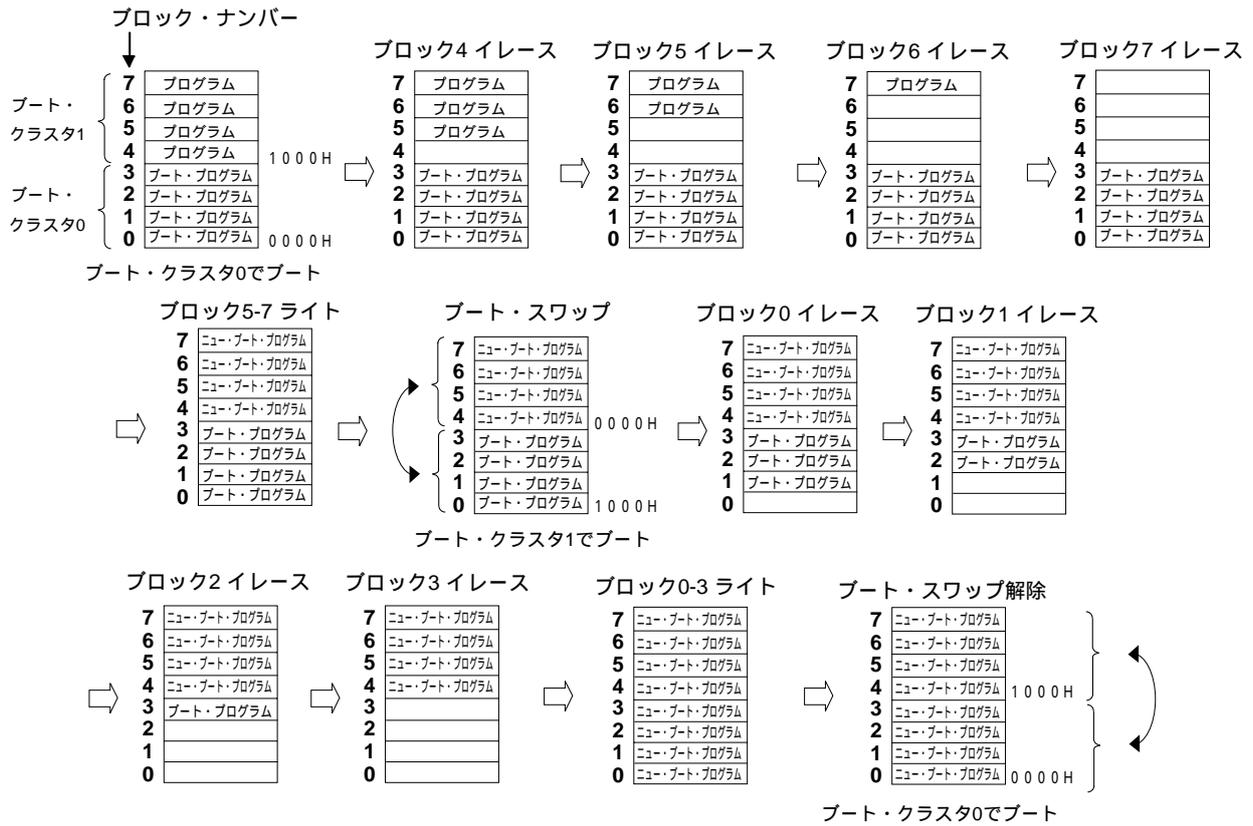
**注意** ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

図26 - 17 ブート・スワップ機能



**備考** ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図26 - 18 ブート・スワップの実行例



## 26. 12 書き込み済み品発注用ROMコードの作成方法

NECエレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、NECエレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラムによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

NECエレクトロニクスのWEBサイトからHCUをダウンロードしてください。

### (1) WEBサイト

<http://www.necel.com/micro/ja/ods/> 「バージョンアップ・サービス」をクリック

### (2) HCUのダウンロード方法

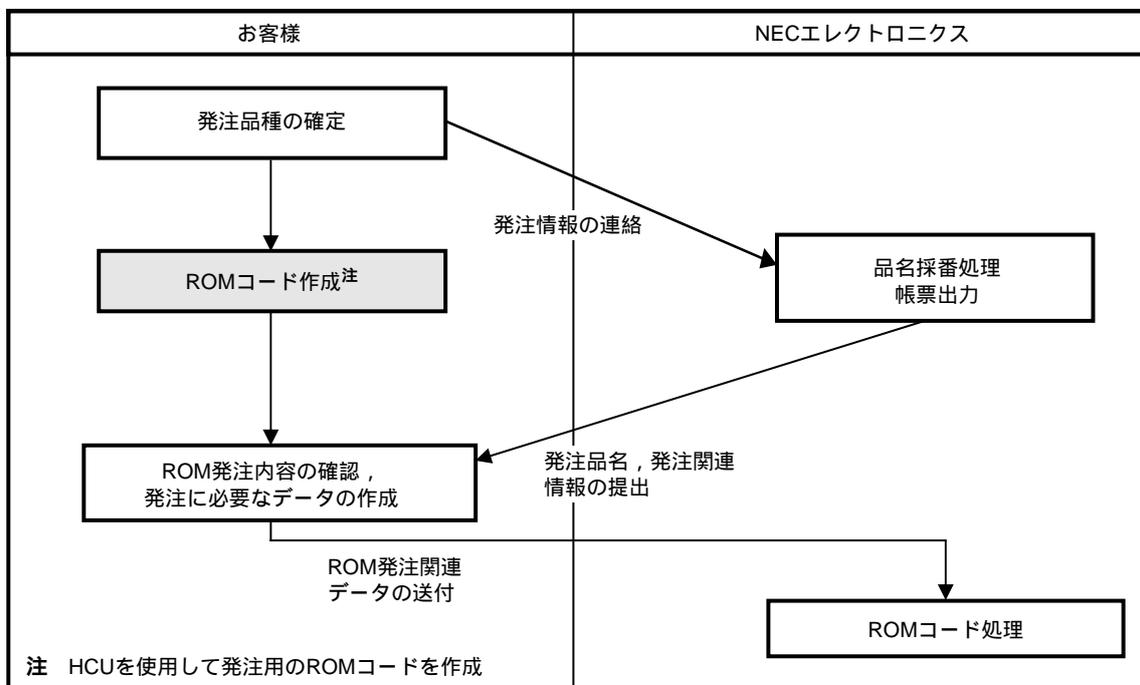
「書き込み済みフラッシュ製品用ソフトウェア」 「HCU\_GUI」をクリックしてダウンロードしてください。

**備考** インストール方法、HCUの使用法の詳細については、上記WEBサイトにあるHCUの添付資料（ユーザズ・マニュアル）を参照してください。

### 26. 12. 1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、NECエレクトロニクスへ発注してください。

詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



## 第27章 オンチップ・デバッグ機能

### 27.1 機能概要

78K0/Dx2は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ(QB-MINI2)を介して、ホスト・マシンとの通信を行う場合、 $V_{DD}$ 、FLMD0、 $\overline{RESET}$ 、X1(またはP31)、X2(またはP32)、 $V_{SS}$ 端子を使用します。X1とP31、X2とP32はどちらを使用するか、選択できます。

**注意** 78K0/Dx2には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

## 27.2 QB-MINI2との接続

QB-MINI2を接続するためには、ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

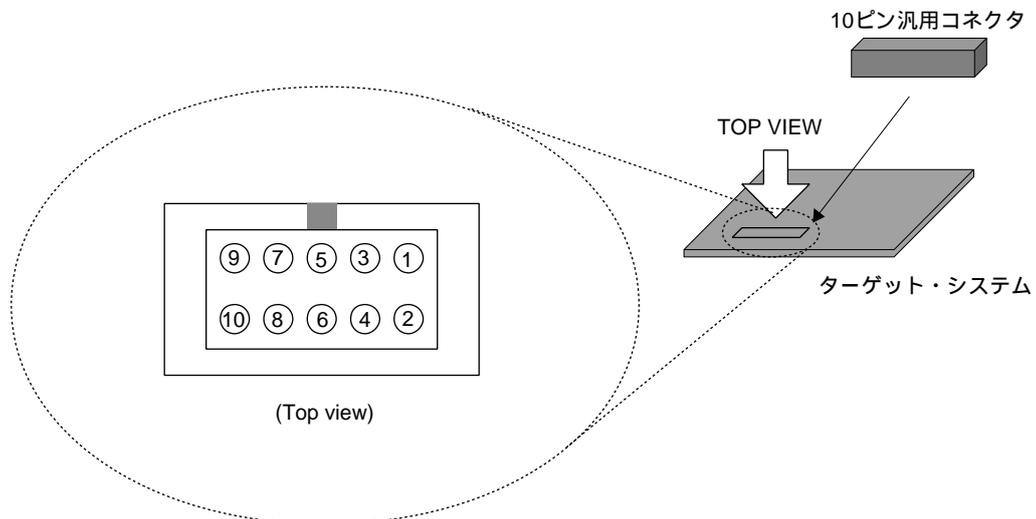
OCD用のコネクタ（誤挿入防止溝付き2列2.54ピッチタイプ）は次のとおりです。

推奨コネクタ（ストレート） :HIF3FC-10PA-2.54DSA（ヒロセ）  
 （ライトアングル） :HIF3FC-10PA-2.54DS（ヒロセ）

ピン番	名称	IN/OUT	備考
1	RESET_IN	IN	ターゲット・リセットの入力信号
2	RESET_OUT	OUT	対象デバイスへリセット信号を出力
3	FLMD0	OUT	オンチップ・デバッグ機能を制御する出力信号 <sup>注</sup>
4	VDD_IN	IN	ターゲット・システムのVDDを検出して、インタフェース出力信号を生成
5	X2	IN/OUT	データ通信用の双方向の信号
6	GND	-	GNDに接続
7	X1	OUT	クロックを供給するための出力用の信号
8	GND	-	GNDに接続
9	RESERVED	-	オープン
10	RESERVED	-	オープン

注 オンチップ・デバッグ中はFLMD0がハイ・レベルになります。

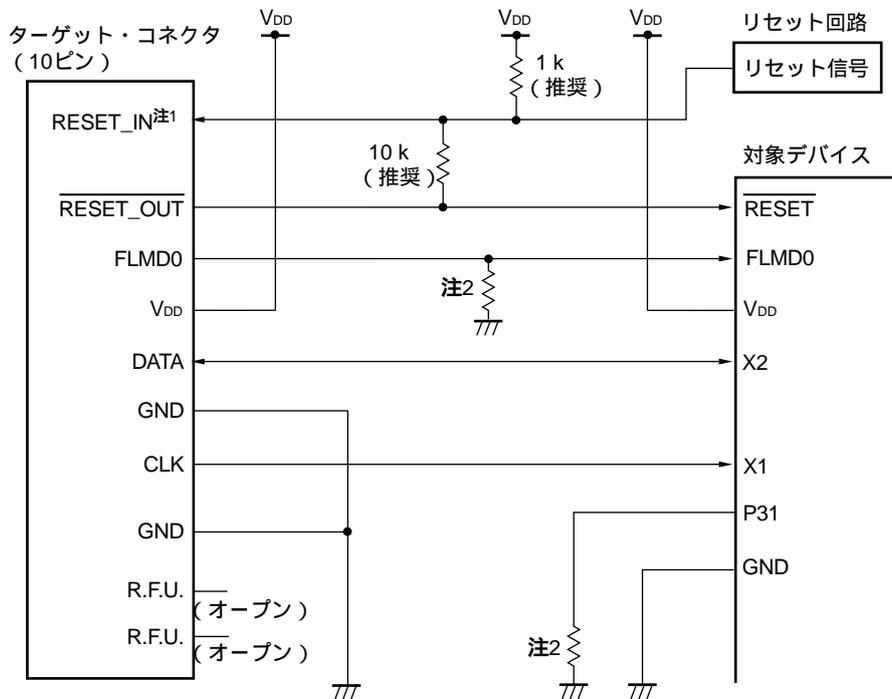
図27-1 コネクタ・ピン配置図



## 27.3 接続回路例

QB-MINI2を接続するために必要となるターゲット・システムの回路例を示します。

図27 - 2 QB-MINI2と78K0/Dx2の接続例 (X1, X2使用時)



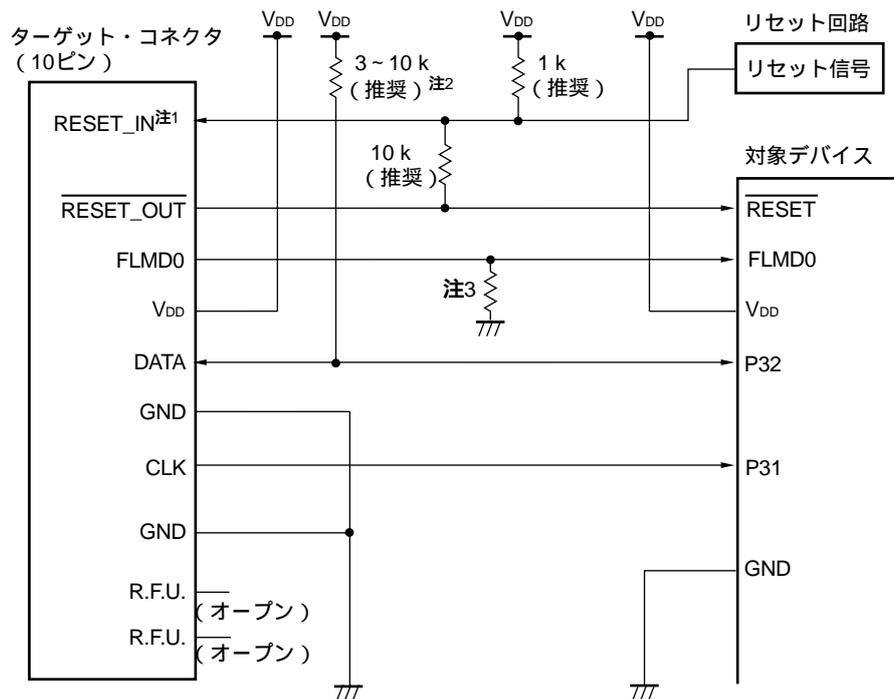
注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

2. プルダウン抵抗値は470 Ω以上（10 kΩ：推奨）にしてください。

注意1. オンチップ・デバッグ時は、X1端子よりクロック入力します。

2. X1, X2端子を使用する場合、P31端子を外部でプルダウンして制御してください。

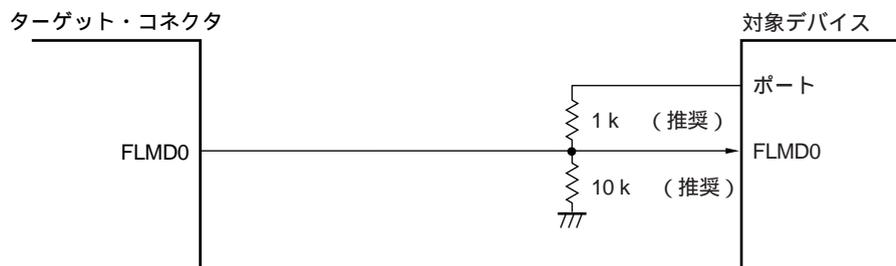
図27 - 3 QB-MINI2と78K0/Dx2の接続例 (P31, P32使用時)



- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 **ユーザズ・マニュアル**（U18371J）を参照してください。
2. P32を入力ポートに設定している場合の端子処理です（QB-MINI2未接続時にオープンになるのを防ぐため）。
3. プルダウン抵抗値は470Ω以上（10kΩ：推奨）にしてください。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図27 - 4 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



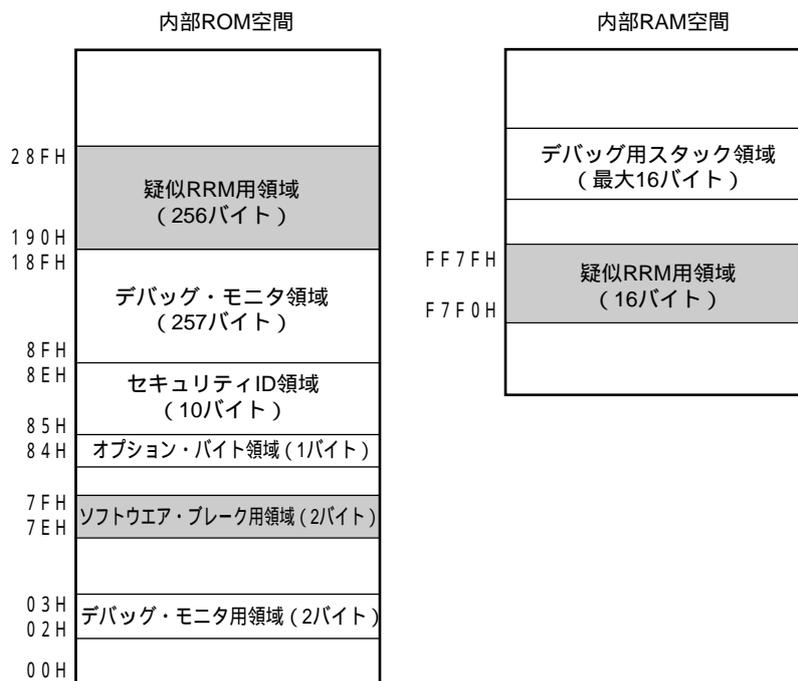
## 27.4 QB-MINI2が使用する予約領域

QB-MINI2は、78K0/Dx2との通信、または各デバッグ機能を実現するために、図27-5で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し、それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては、QB-MINI2 **ユーザズ・マニュアル (U18371J)** を参照してください。

図27-5 QB-MINI2が使用する予約領域



**備考** グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域  
 それ以外の予約領域 : デバッグ時に必ず使用する領域

## 27.5 オンチップ・デバッグ・セキュリティID

78K0/Dx2では、フラッシュ・メモリの0084Hにオンチップ・デバッグ動作制御フラグ（第25章 オプション・バイトを参照）を、0085H-008EHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、0084H, 0085H-008EHと1084H, 1085H-108EHが切り替わるので、あらかじめ1084H, 1085H-108EHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 ユーザーズ・マニュアル(U18371J)を参照してください。

表27 - 1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
0085H-008EH	10バイトの任意のIDコード
1085H-108EH	

## 27.6 オンチップ・デバッグ時の制限事項および注意事項

- ・ X1, X2端子を使用せずに、通常ポートにてオンチップ・デバッグ・モードに引き込む場合はポート2本が使用できません。
- ・ QB-MINI2が使用する予約領域について  
QB-MINI2が使用する予約領域は次のとおりです。

### (a) フラッシュ・メモリ領域

- ・ 0x02, 0x03番地
- ・ 0x7E, 0x7F番地 (ソフトウェア・ブレークを使用する場合)
- ・ 0x84番地
- ・ 0x85 ~ 0x8E番地
- ・ 0x8F ~ 0x18F番地・・・プログラムの標準値  
(疑似リアルタイムRAMモニタ機能を使用する場合は + 256バイト)  
(16ビット操作可能なSFRが10個を越えるデバイス使用時は + 越えた個数 × 6バイト)

### (b) 内部拡張RAM領域

- ・ 0xF7F0 ~ 0xF7FF番地 (疑似リアルタイムRAMモニタ機能を使用する場合)

### (c) 内部高速RAM領域

- ・ スタックとして7バイト・・・スタックの標準値  
(ソフトウェア・ブレークを使用する場合は + 2バイト)  
(疑似リアルタイムRAMモニタ機能を使用する場合は + 7バイト)

詳細はQB-MINI2 **ユーザーズ・マニュアル** (U18371J) を参照してください。

## 第28章 命令セットの概要

78K0/Dx2の命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

## 28.1 凡 例

### 28.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$ : 相対アドレス指定
- ・ [ ] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表28 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 <sup>注</sup>
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) <sup>注</sup>
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 7 特殊機能レジスタ一覧を参照してください。

### 28. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
x <sub>H</sub> , x <sub>L</sub>	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

### 28. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 28.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r <sup>注3</sup>	1	2	-	A r			
		r, A <sup>注3</sup>	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r <sup>注3</sup>	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビットデータ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <sup>注3</sup>	1	4	-	AX rp			
		rp, AX <sup>注3</sup>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <sup>注3</sup>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <sup>注4</sup>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <sup>注4</sup>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 内部高速RAM以外の領域をアクセスしたとき。
- rp = BC, DE, HLのときのみ。
- r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

- クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <sup>注3</sup>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	OR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <sup>注3</sup>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	XOR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <sup>注3</sup>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	CMP	A, #byte	2	4	-	A - byte		x	x	x
		saddr, #byte	3	6	8	(saddr) - byte		x	x	x
		A, r <sup>注3</sup>	2	4	-	A - r		x	x	x
		r, A	2	4	-	r - A		x	x	x
		A, saddr	2	4	5	A - (saddr)		x	x	x
		A, !addr16	3	8	9	A - (addr16)		x	x	x
		A, [HL]	1	4	5	A - (HL)		x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)		x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)		x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)		x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x	x
	CMPW	AX, #word	3	6	-	AX - word		x	x	x
乗除算	MULU	X	2	16	-	AX A × X				
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 内部高速RAM以外の領域をアクセスしたとき。
- r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

- クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
	ROL	A, 1	1	2	-	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
	RORC	A, 1	1	2	-	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
	ROLC	A, 1	1	2	-	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
	ROR4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>3-0</sub> , (HL) <sub>7-4</sub> A <sub>3-0</sub> , (HL) <sub>3-0</sub> (HL) <sub>7-4</sub>			
	ROL4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>7-4</sub> , (HL) <sub>3-0</sub> A <sub>3-0</sub> , (HL) <sub>7-4</sub> (HL) <sub>3-0</sub>			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY $\overline{CY}$			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3) <sub>L</sub> , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) <sub>H</sub> , (SP - 2) (PC + 2) <sub>L</sub> , PC <sub>15-11</sub> 00001, PC <sub>10-0</sub> addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (addr5 + 1), PC <sub>L</sub> (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) <sub>H</sub> , (SP - 3) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (003FH), PC <sub>L</sub> (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), SP SP + 2			
	RETI		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp <sub>H</sub> (SP + 1), rp <sub>L</sub> (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC <sub>H</sub> A, PC <sub>L</sub> X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr16		3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
CPU制御	SEL	R <sub>Bn</sub>	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1 ( Enable Interrupt )			
	DI		2	-	6	IE 0 ( Disable Interrupt )			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

## 28.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r <sup>注</sup>	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP			ROR ROL RORC ROLC
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

## (2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp <sup>注</sup>	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

## (3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

## (4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

## (5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

## 第29章 電気的特性 ((A)水準品)

**注意** 78K0/Dx2には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

## 29.1 絶対最大定格

### 絶対最大定格 (1/2)

( $T_A = 25$  )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 6.5	V
	EV <sub>DD</sub>		- 0.5 ~ + 6.5	V
	V <sub>SS</sub>		- 0.5 ~ + 0.3	V
	EV <sub>SS</sub>		- 0.5 ~ + 0.3	V
	SMV <sub>DD</sub>		- 0.5 ~ + 6.5	V
	SMV <sub>SS</sub>		- 0.5 ~ + 0.3	V
	AV <sub>REF</sub>		- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	AV <sub>SS</sub>		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V <sub>REGC</sub>		- 0.5 ~ + 3.6 かつ, V <sub>DD</sub>	V
入力電圧	V <sub>I1</sub>	P00-P07, P13-P16, P30-P37, P60, P61, P70-P77, P120-P124, 78K0/DF2のP10-P12, P17, X1, X2, XT1, XT2, $\overline{\text{RESET}}$ , FLMD0	- 0.3 ~ EV <sub>DD</sub> + 0.3 かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I2</sub>	P20-P27	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	- 0.3 ~ SMV <sub>DD</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
出力電圧	V <sub>O1</sub>	P00-P07, P13-P16, P30-P37, P60, P61, P70-P77, P120-P124, 78K0/DF2のP10-P12, P17	- 0.3 ~ EV <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>O2</sub>	P20-P27	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup>	V
	V <sub>O3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	- 0.3 ~ SMV <sub>DD</sub> + 0.3 <sup>注</sup>	V
アナログ入力電圧	V <sub>AN</sub>	ANI0-ANI15	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
ZPD検知入力電圧	V <sub>ZPD</sub>	ZPD14, ZPD24, ZPD34, ZPD44	- 0.3 ~ SMV <sub>DD</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V

注 6.5 V以下であること。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 絶対最大定格 (2/2)

(TA = 25 )

項目	略号	条件	定格	単位
ハイ・レベル出力電流	IOH1	1端子 P00-P07, P13-P16, P30-P37, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17	- 10	mA
	IOH5	1端子 P73	- 20	mA
	上記端子合計 - 80 mA	P70-P72, P120, P73	- 25	mA
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2のP10-P12, P17	- 55	mA
	IOH2	1端子 P20-P27	- 0.5	mA
		端子合計	- 2	
	IOH3	1端子 P121-P124	- 1	mA
		端子合計	- 4	
	IOH4	1端子 P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	- 45	mA
		端子合計 P80-P87, P90-P93 (78K0/DE2のP10-P12, P17) P94-P97	- 190	
- 105				
ロウ・レベル出力電流	IOl1	1端子 P00-P07, P13-P16, P30-P37, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17	30	mA
	IOl5	1端子 P73	20	mA
	上記端子合計200 mA	P70-P72, P120, P73	60	mA
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2のP10-P12, P17	140	mA
	IOl2	1端子 P20-P27	1	mA
		端子合計	5	
	IOl3	1端子 P121-P124	4	mA
		端子合計	10	
	IOl4	1端子 P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	45	mA
		端子合計 P80-P87, P90-P97 (78K0/DE2のP10-P12, P17) P94-P97	180	
105				
動作周囲温度	TA	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85	
保存温度	Tstg		- 65 ~ + 150	

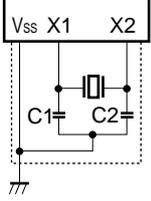
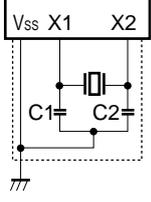
**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 29.2 発振回路特性

### (1) メイン・システム・クロック (水晶/セラミック) 発振回路特性

( $T_A = -40 \sim +85$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック 発振周波数 ( $f_x$ ) <sup>注</sup>	$4.0\text{ V}$ $V_{DD} 5.5\text{ V}$	4.0		20	MHz
			$2.7\text{ V}$ $V_{DD} < 4.0\text{ V}$	4.0		10	
水晶振動子		X1クロック 発振周波数 ( $f_x$ ) <sup>注</sup>	$4.0\text{ V}$ $V_{DD} 5.5\text{ V}$	4.0		20	MHz
			$2.7\text{ V}$ $V_{DD} < 4.0\text{ V}$	4.0		10	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、メイン・システム・クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

## (2) 内蔵発振回路特性

( $T_A = -40 \sim +85$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

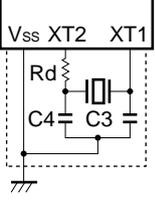
発振子	項目	条件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 ( $f_{osc8}$ ) <sup>注</sup>	RSTS = 1 $2.7 \text{ V}$ $V_{DD} 5.5 \text{ V}$	7.6	8	8.4	MHz
		RSTS = 0	2.48	5	9.86	
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 ( $f_{osc}$ )	$2.7 \text{ V}$ $V_{DD} 5.5 \text{ V}$	216	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

## (3) サブシステム・クロック発振回路特性

( $T_A = -40 \sim +85$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数 ( $f_{XT}$ ) <sup>注</sup>		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

## 29.3 DC特性

### DC特性 (1/7)

( $T_A = -40 \sim +85$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル出力電流 <sup>注1</sup>	I <sub>OH1</sub>	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17 1端子	4.0 V $V_{DD} 5.5\text{ V}$			-3.0	mA		
		2.7 V $V_{DD} < 4.0\text{ V}$				-2.5	mA		
	I <sub>OH4</sub>	P73	4.5 V $V_{DD} 5.5\text{ V}$				-15.0	mA	
			2.7 V $V_{DD} < 4.5\text{ V}$				-9		
	I <sub>OH2</sub>	P70-P72, P120, P73 合計	4.5 V $V_{DD} 5.5\text{ V}$				24	mA	
			2.7 V $V_{DD} < 4.5\text{ V}$				16		
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2 の P10-P12, P17 合計	4.5 V $V_{DD} 5.5\text{ V}$					16	mA
			2.7 V $V_{DD} < 4.5\text{ V}$					11	
		全端子合計 <sup>注2</sup>	4.0 V $V_{DD} 5.5\text{ V}$					-23	
			2.7 V $V_{DD} < 4.0\text{ V}$					-18	
	I <sub>OH2</sub>	P20-P27 1端子	$AV_{REF} = V_{DD}$					-100	$\mu\text{A}$
		P121-P124 1端子							
	I <sub>OH3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17 1端子	4.5 V $SMV_{DD} 5.5\text{ V}$	85				-27	mA
				25				-30	
				-40°C				-40	
			2.7 V $SMV_{DD} < 4.5\text{ V}$	85				-19	
				25				-23	
				-40°C				-26	
		P80-P87, P90-P93 (78K0/DE2のP10-P12, P17) 合計 <sup>注2</sup>	4.5 V $SMV_{DD} 5.5\text{ V}$	85				-81	
				25				-90	
-40°C							-120		
2.7 V $SMV_{DD} < 4.5\text{ V}$			85				-64		
			25				-70		
			-40°C				-78		
P94-P97 合計 <sup>注2</sup>		4.5 V $SMV_{DD} 5.5\text{ V}$	85				-81		
			25				-90		
	-40°C					-120			
	2.7 V $SMV_{DD} < 4.5\text{ V}$	85				-64			
		25				-70			
		-40°C				-78			

注1.  $V_{DD}$ から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70%の条件（ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合）でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合：端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > デューティ = 50%,  $I_{OH} = 20.0\text{ mA}$ の場合

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0\text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

**注意** 製品により搭載している端子が異なります。

## DC特性 (2/7)

( $T_A = -40 \sim +85$  , 2.7 V  $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 <sup>注1</sup>	I <sub>OL1</sub>	P00-P07, P13-P16, P30-P37,	4.0 V $V_{DD} 5.5 V$		8.5	mA
		P60, P61, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17 1端子	2.7 V $V_{DD} < 4.0 V$		5.0	
	I <sub>OL4</sub>	P73	4.5 V $V_{DD} 5.5 V$		15.0	
			2.7 V $V_{DD} < 4.5 V$		8.5	
	I <sub>OL2</sub>	P70-P72, P120, P73 合計	4.5 V $V_{DD} 5.5 V$		42	
			2.7 V $V_{DD} < 4.5 V$		23	
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2の P10-P12, P17 合計	4.5 V $V_{DD} 5.5 V$		33	
			2.7 V $V_{DD} < 4.5 V$		27	
		全端子合計 <sup>注2</sup>	4.0 V $V_{DD} 5.5 V$		65	
			2.7 V $V_{DD} < 4.0 V$		50	
	I <sub>OL2</sub>	P20-P27 1端子	$AV_{REF} = V_{DD}$		400	$\mu A$
		P121-P124 1端子				
	I <sub>OL3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17 1端子	4.5 V $SMV_{DD} 5.5 V$		85	mA
					25	
					-40°C	
			2.7 V $SMV_{DD} < 4.5 V$		85	
					25	
					-40°C	
		P80-P87, P90-P93 (78K0/DE2のP10-P12, P17) 合計 <sup>注2</sup>	4.5 V $SMV_{DD} 5.5 V$		85	
					25	
			-40°C			
2.7 V $SMV_{DD} < 4.5 V$			85			
			25			
			-40°C			
P94-P97 合計 <sup>注2</sup>	4.5 V $SMV_{DD} 5.5 V$		85			
			25			
			-40°C			
	2.7 V $SMV_{DD} < 4.5 V$		85			
			25			
			-40°C			

注1. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 70%の条件（ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合）でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合：端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> デューティ = 50%,  $I_{OH} = 20.0 \text{ mA}$ の場合

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

**注意** 製品により搭載している端子が異なります。

## DC特性 (3/7)

( $T_A = -40 \sim +85$  ,  $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V, 2.7 V \leq AV_{REF} \leq 5.5 V, 2.7 V \leq SMV_{DD} \leq 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V <sub>IH1</sub>	P71-P73, P76, P121-P124, P30, P36	$0.7V_{DD}$		$V_{DD}$	V	
	V <sub>IH2</sub>	P00-P07, P13-P16, P31-P35, P37, P60, P61, P70, P74, P75, P77, P120, RESET, EXCLK, EXCLKS 78K0/DF2のP10-P12, P17	$0.8V_{DD}$		$V_{DD}$	V	
	V <sub>IH3</sub>	P20-P27	$0.7AV_{REF}$		$AV_{REF}$	V	
	V <sub>IH4</sub>	P80-P87, P90-P97	$0.7SMV_{DD}$		$SMV_{DD}$	V	
	V <sub>IH5</sub>	78K0/DE2のP10-P12, P17	$0.8SMV_{DD}$		$SMV_{DD}$	V	
ロウ・レベル入力電圧	V <sub>IL1</sub>	P71-P73, P76, P121-P124, P30, P36	0		$0.3V_{DD}$	V	
	V <sub>IL2</sub>	P00-P07, P13-P16, P31-P35, P37, P60, P61, P70, P74, P75, P77, P120, RESET, EXCLK, EXCLKS 78K0/DF2のP10-P12, P17	0		$0.2V_{DD}$	V	
	V <sub>IL3</sub>	P20-P27	0		$0.3AV_{REF}$	V	
	V <sub>IL4</sub>	P80-P87, P90-P97	0		$0.3SMV_{DD}$	V	
	V <sub>IL5</sub>	78K0/DE2のP10-P12, P17	0		$0.2SMV_{DD}$	V	
ハイ・レベル出力電圧	V <sub>OH1</sub>	IoH = -3.0 mA	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17	$4.0 V \leq V_{DD} \leq 5.5 V$	$V_{DD}-0.7$		V
		IoH = -2.5 mA		$2.7 V \leq V_{DD} \leq 5.5 V$	$V_{DD}-0.5$		
	V <sub>OH2</sub>	IoH = -100 $\mu$ A	P20-P27, P121-P124	$AV_{REF} = V_{DD}$	$V_{DD}-0.5$		V
	V <sub>OH3</sub>	IoH = -27.0 mA	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	$4.5 V \leq SMV_{DD} \leq 5.5 V$	$SMV_{DD}-0.5$		V
		( $T_A = 85$ )					
		IoH = -30.0 mA					
		( $T_A = 25$ )					
		IoH = -40.0 mA					
		( $T_A = -40$ )					
	IoH = -19.0 mA	$2.7 V \leq SMV_{DD} \leq 5.5 V$	$SMV_{DD}-0.5$				
( $T_A = 85$ )							
IoH = -23.0 mA							
( $T_A = 25$ )							
IoH = -26.0 mA							
( $T_A = -40$ )							
V <sub>OH4</sub>	IoH = -15.0 mA	P73	$4.5 V \leq V_{DD} \leq 5.5 V$	$V_{DD}-0.7$		V	
	IoH = -9.0 mA						$2.7 V \leq SMV_{DD} \leq 5.5 V$

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

## DC特性 (4/7)

( $T_A = -40 \sim +85$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,

$V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ロウ・レベル出力電圧	VOL1	$I_{OL} = 8.5\text{ mA}$	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2の P10-P12, P17	4.0 V $V_{DD} 5.5\text{ V}$		0.7	V		
		$I_{OL} = 5.0\text{ mA}$		2.7 V $V_{DD} 5.5\text{ V}$		0.7	V		
	VOL2	$I_{OL} = 400\ \mu\text{A}$	P20-P27	$AV_{REF} = V_{DD}$			0.4	V	
			P121-P124						
	VOL3	$I_{OL} = 27.0\text{ mA}$ ( $T_A = 85$ ) $I_{OL} = 30.0\text{ mA}$ ( $T_A = 25$ ) $I_{OL} = 40.0\text{ mA}$ ( $T_A = -40$ ) $I_{OL} = 15.0\text{ mA}$ ( $T_A = 85$ ) $I_{OL} = 19.0\text{ mA}$ ( $T_A = 25$ ) $I_{OL} = 23.0\text{ mA}$ ( $T_A = -40$ )	P80-P87, P90-P97, 78K0/DE2の P10-P12, P17	$4.5\text{ V} \leq SMV_{DD} \leq 5.5\text{ V}$			0.5	V	
				$2.7\text{ V} \leq SMV_{DD} \leq 5.5\text{ V}$			0.5		
VOL4	$I_{OL} = 15.0\text{ mA}$ $I_{OL} = 8.5\text{ mA}$	P73	$4.5\text{ V}$ $V_{DD} 5.5\text{ V}$			0.7	V		
			$2.7\text{ V}$ $V_{DD} 5.5\text{ V}$			0.7			

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

## DC特性 (5/7)

( $T_A = -40 \sim +85$  ,  $2.7 V$   $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	$V_i = V_{DD}$	P71-P73, P60, P61, P120, RESET 78K0/DF2のP10-P12, P17, FLMD0			1	$\mu A$	
	I <sub>LIH2</sub>	$V_i = V_{DD}$	P74-P77, P13-P16, P00-P07, P30-P37			10	$\mu A$	
	I <sub>LIH3</sub>	$V_i = AV_{REF}$	P20-P27	$AV_{REF} = V_{DD}$		1	$\mu A$	
	I <sub>LIH4</sub>	$V_i = V_{DD}$	P121-P124 (X1, X2, XT1, XT2)	I/Oポート・モード			1	$\mu A$
				OSCモード			20	$\mu A$
I <sub>LIH5</sub>	$V_i = SMV_{DD}$	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17			10	$\mu A$		
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	$V_i = V_{SS}$	P71-P73, P60, P61, P120, RESET 78K0/DF2のP10-P12, P17, FLMD0			- 1	$\mu A$	
	I <sub>LIL2</sub>		P74-P77, P13-P16, P00-P07, P30-P37			- 10	$\mu A$	
	I <sub>LIL3</sub>		P20-P27	$AV_{REF} = V_{DD}$			- 1	$\mu A$
	I <sub>LIL4</sub>		P121-P124 (X1, X2, XT1, XT2)	I/Oポート・モード			- 1	$\mu A$
				OSCモード			- 20	$\mu A$
I <sub>LIL5</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17			- 10	$\mu A$			
ブルアップ抵抗値	R <sub>U1</sub>	$V_i = V_{SS}$	P00-P07, P13-P16, P30-P37, P60, P61, P70-P77, P120, 78K0/DF2のP10-P12, P17	10	20	100	k $\Omega$	
	R <sub>U2</sub>	$V_i = SMV_{SS}$	78K0/DE2のP10-P12, P17	10	20	100	k $\Omega$	
ブルダウン抵抗値	R <sub>D1</sub>	$V_i = SMV_{DD}$	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	100			k $\Omega$	
	R <sub>D2</sub>	$V_i = V_{DD}$	P74-P77, P13-P16, P00-P07, P30-P37, SEG0-SEG3	100			k $\Omega$	
FLMD0電源電圧	V <sub>IL</sub>	通常動作時		0		0.2V <sub>DD</sub>	V	
	V <sub>IH</sub>	セルフ・プログラミング時		0.8V <sub>DD</sub>		V <sub>DD</sub>	V	

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

## DC特性 (6/7)

( $T_A = -40 \sim +85$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 <sup>注1</sup>	I <sub>DD1</sub>	動作モード	$f_{IN} = 20 \text{ MHz}$ <sup>注2</sup> , $V_{DD} = 5.0 \text{ V}$	方形波入力 ----- 発振子接続		3.4 ----- 4.7	7.6 ----- 8.9	mA	
			$f_{IN} = 10 \text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 5.0 \text{ V}$	方形波入力 ----- 発振子接続		1.8 ----- 2.7	4.4 ----- 5.5		
			$f_{IN} = 10 \text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 3.0 \text{ V}$	方形波入力 ----- 発振子接続		1.7 ----- 2.4	4.3 ----- 4.7		
			$f_{IN} = 5 \text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 3.0 \text{ V}$	方形波入力 ----- 発振子接続		1.0 ----- 1.4	2.4 ----- 2.7		
			$f_{OSC8} = 8 \text{ MHz}$ <sup>注4</sup> , $V_{DD} = 5.0 \text{ V}$			1.9	3.1		
			$f_{SUB} = 32.768 \text{ kHz}$ <sup>注5</sup> , $V_{DD} = 5.0 \text{ V}$	方形波入力 ----- 発振子接続		6.1 ----- 15.4	40 ----- 45		$\mu\text{A}$
	I <sub>DD2</sub>	HALTモード	$f_{IN} = 20 \text{ MHz}$ <sup>注2</sup> , $V_{DD} = 5.0 \text{ V}$	方形波入力 ----- 発振子接続		1.1 ----- 2.2	4.7 ----- 6.2	mA	
			$f_{IN} = 10 \text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 5.0 \text{ V}$	方形波入力 ----- 発振子接続		0.6 ----- 1.2	2.7 ----- 3.6		
			$f_{IN} = 5 \text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 3.0 \text{ V}$	方形波入力 ----- 発振子接続		0.3 ----- 0.6	1.3 ----- 1.8		
			$f_{OSC8} = 8 \text{ MHz}$ <sup>注4</sup> , $V_{DD} = 5.0 \text{ V}$			0.5	1.9		
			$f_{SUB} = 32.768 \text{ kHz}$ <sup>注5</sup> , $V_{DD} = 5.0 \text{ V}$	方形波入力 ----- 発振子接続		3.1 ----- 12.4	35 ----- 40		$\mu\text{A}$
			I <sub>DD3</sub> <sup>注6</sup>	STOPモード	$V_{DD} = 5.0 \text{ V}$ (CREG+POC)	$T_A = -40 \sim +70 \text{ }^\circ\text{C}$ ----- $T_A = -40 \sim +85 \text{ }^\circ\text{C}$			

- 注1. 内部電源 ( $V_{DD}$ ,  $EV_{DD}$ ,  $SMV_{DD}$ ) に流れるトータル電流です。周辺動作電流, 入力端子を  $V_{DD}$  または,  $V_{SS}$  に固定した状態での入力リーク電流を含みます。ただし, ポートのプルアップ抵抗と出力電流は含みません。
2. 8 MHz内蔵発振器, XT1発振回路, 240 kHz内蔵発振器の動作電流, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません。
5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません。
6. 240 kHz内蔵発振器, XT1発振回路の動作電流, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません。

- 備考1.  $f_{IN}$  : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2.  $f_{OSC8}$  : 高速内蔵発振クロック周波数
3.  $f_{SUB}$  : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

## DC特性 (7/7)

( $T_A = -40 \sim +85$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウォッチドッグ・タイマ動作電流	$I_{WDT}$ <sup>注1</sup>	240 kHz低速内蔵発振クロック動作時			5	10	$\mu\text{A}$
LVI動作電流	$I_{LVI}$ <sup>注2</sup>				9	18	$\mu\text{A}$
A/Dコンバータ電流	$I_{ADC}$ <sup>注3</sup>				0.86	1.9	mA
LCDコントローラ / ドライバ動作電流	$I_{LCD1}$ <sup>注4</sup>	f <sub>PRS</sub> = 20 MHz LCDソース・クロック (f <sub>LCD</sub> ) = f <sub>PRS</sub> /2 <sup>7</sup> LCDクロック = f <sub>LCD</sub> /2 <sup>4</sup> 4時分割表示	LCD非表示波 形出力	V <sub>DD</sub> = 5.0 V	180	350	$\mu\text{A}$
				V <sub>DD</sub> = 3.0 V	120	250	
	$I_{LCD2}$ <sup>注4</sup>		LCD表示波形 出力	V <sub>DD</sub> = 5.0 V	180	350	$\mu\text{A}$
				V <sub>DD</sub> = 3.0 V	120	250	
ZPD動作電流	$I_{ZPD}$	ZPD回路 1回路動作	V <sub>DD</sub> = 5.0 V	0.15	0.6	mA	
			V <sub>DD</sub> = 3.0 V	0.12	0.5		
		ZPD回路 4回路動作	V <sub>DD</sub> = 5.0 V	0.5	2.0		
			V <sub>DD</sub> = 3.0 V	0.4	1.6		

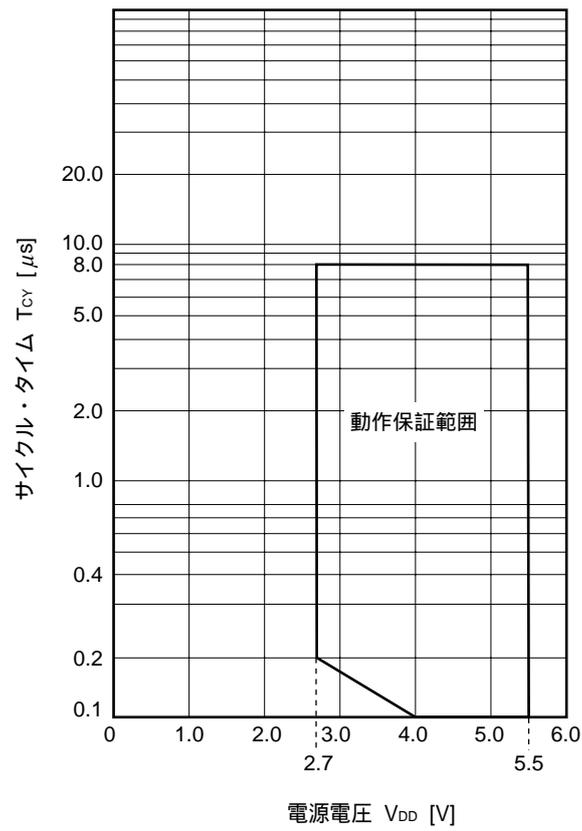
- 注1. ウォッチドッグ・タイマ (V<sub>DD</sub>端子) にのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。  
 HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合、I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>WDT</sub>を加算した値が、78K0/Dx2の電流値となります。
2. LVI回路 (V<sub>DD</sub>端子) にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合、I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>LVI</sub>を加算した値が、78K0/Dx2の電流値となります。
3. A/Dコンバータ (AV<sub>REF</sub>端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、I<sub>DD1</sub>またはI<sub>DD2</sub>にI<sub>ADC</sub>を加算した値が、78K0/Dx2の電流値となります。
4. 内部分割抵抗に流れる電流を含みます。

## 29.4 AC特性

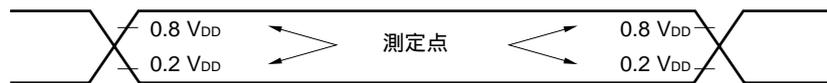
## (1) 基本動作

(TA = -40 ~ +85 , 2.7 V VDD = EVDD 5.5 V, 2.7 V AVREF 5.5 V, VSS = EVSS = AVSS = SMVSS = 0 V)

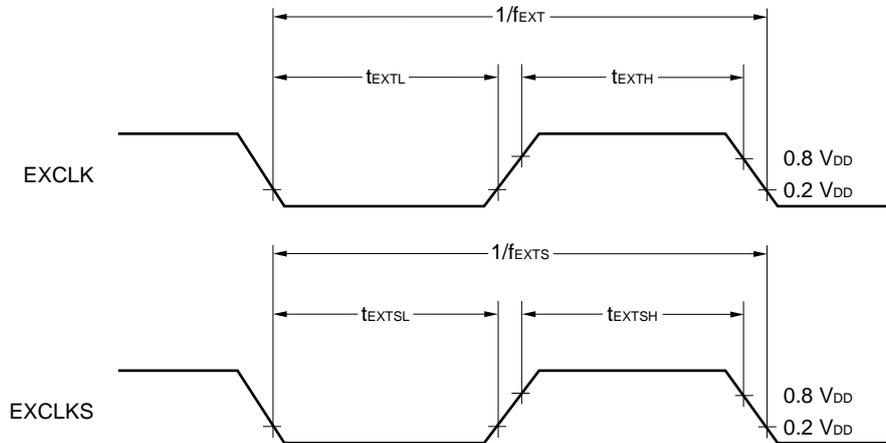
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・ クロック動作	4.0 V VDD 5.5 V	0.1		32	$\mu$ s
			2.7 V VDD < 4.0 V	0.2		32	
		サブシステム・クロック動作		114	122	125	
周辺ハードウェア・ クロック周波数	fPRS	XSEL = 1	4.0 V VDD 5.5 V			20	MHz
			2.7 V VDD < 4.0 V			10	
		XSEL = 0	2.7 V VDD < 4.0 V	7.6		8.4	
外部クロック入力周波数	fEXT	4.0 V VDD 5.5 V	4.0		20	MHz	
		2.7 V VDD < 4.0 V	4.0		10		
外部クロック入力ハイ・レベル幅, ロウ・レベル幅	fEXTH, fEXTL		$(1/f_{EXT} \times 1/2) - 1$			ns	
外部サブクロック入力周波数	fEXTS		32	32.768	35	kHz	
外部サブクロック入力ハイ・ レベル幅, ロウ・レベル幅	fEXTSH, fEXTSL		$(1/f_{EXTS} \times 1/2) - 5$			ns	
TIOPO0, 01, 10, 11, 20, 21, 30, 31, 40, 41, TIO50, 51入力周波数	fTIS	4.0 V VDD 5.5 V			10	MHz	
		2.7 V VDD < 4.0 V			10		
TIOPO0, 01, 10, 11, 20, 21, 30, 31, 40, 41, TIO50, 51入力ハイ・レベル 幅, ロウ・レベル幅	tTIH5, tTIL5	4.0 V VDD 5.5 V	50			ns	
		2.7 V VDD < 4.0 V	50				
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tNIH, tNIL		1			$\mu$ s	
RESETロウ・レベル幅	tRSL		10			$\mu$ s	

T<sub>cy</sub> vs V<sub>DD</sub> (メイン・システム・クロック動作時)

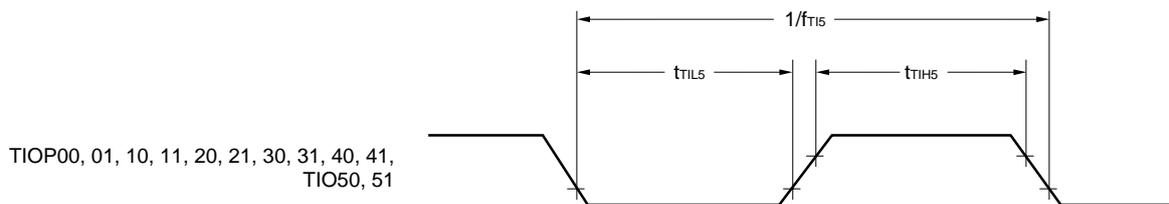
## AC タイミング測定点 (外部クロック入力を除く)



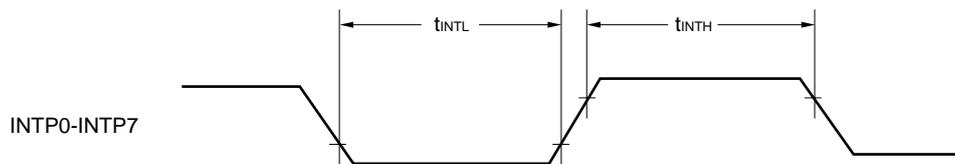
## 外部クロック入力タイミング



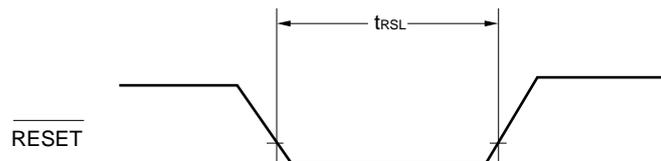
## TI タイミング



## 割り込み要求入力タイミング



## RESET 入力タイミング



## (2) シリアル・インタフェース

( $T_A = -40 \sim +85$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

## (a) UART6n (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	Kbps

## (b) IIC0

項目	略号	条件	標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCL0クロック周波数	f <sub>CLK</sub>		0	100	0	400	kHz	
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU: STA</sub>		4.7		0.6		μs	
ホールド時間 <sup>注1</sup>	t <sub>HD: STA</sub>		4.0		0.6		μs	
SCL0 = “L” のホールド・タイム	t <sub>LOW</sub>		4.7		1.3		μs	
SCL0 = “H” のホールド・タイム	t <sub>HIGH</sub>		4.0		0.6		μs	
データ・セットアップ時間 (受信時)	t <sub>SU: DAT</sub>		250		100		ns	
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD: DAT</sub>	f <sub>w</sub> = f <sub>IN</sub> /2 <sup>N</sup> 選択時 <sup>注3</sup>	DFC0 = 0	0	3.45	0	0.9 <sup>注4</sup>	μs
							1.0 <sup>注5</sup>	
		DFC0 = 1				0	0.9 <sup>注6</sup>	
							1.125 <sup>注7</sup>	
f <sub>w</sub> = f <sub>OSCA</sub> /2 <sup>N</sup> 選択時 <sup>注3</sup>	DFC0 = 0	0	3.45	0	1.05			
	DFC0 = 1			0	1.184			
ストップ・コンディションのセットアップ時間	t <sub>SU: STO</sub>		4.0		0.6		μs	
ストップ・コンディションとスタート・コンディションの間のバス・フリー時間	t <sub>BUF</sub>		4.7		1.3		μs	

注1. スタート/リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

- t<sub>HD: DAT</sub>の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{ACK}$  (アクノリッジ) タイミングでは、ウエイトがかかります。
- f<sub>w</sub>は、IICCLレジスタとIICX0レジスタで選択したIIC0の転送クロックを示します。
- f<sub>w</sub> 4 MHz選択時
- f<sub>w</sub> < 4 MHz選択時
- f<sub>w</sub> 5 MHz選択時
- f<sub>w</sub> < 5 MHz選択時

備考 n = 0, 1

(c) CSI1n (マスタ・モード,  $\overline{SCK1n}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1n}$ サイクル・タイム	$t_{KCY1}$	4.0 V $V_{DD}$ 5.5 V	78K0/DE2	250		ns
			78K0/DF2	200		ns
		2.7 V $V_{DD} < 4.0$ V	78K0/DE2	500		ns
			78K0/DF2	400		ns
$\overline{SCK1n}$ ハイ・レベル幅, ロウ・レベル幅 <sup>注1</sup>	$t_{KH1}$ , $t_{KL1}$	4.0 V $V_{DD}$ 5.5 V	$t_{KCY1}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0$ V	$t_{KCY1}/2 - 30$			ns
SI1nセットアップ時間 (対 $\overline{SCK1n}$ )	$t_{SIK1}$	4.0 V $V_{DD}$ 5.5 V	70			ns
		2.7 V $V_{DD} < 4.0$ V	100			ns
SI1nホールド時間 (対 $\overline{SCK1n}$ )	$t_{KSI1}$		30			ns
$\overline{SCK1n}$ SO1n出力遅延時間	$t_{KSO1}$	C = 50 pF <sup>注2</sup>	78K0/DE2		50	ns
			78K0/DF2		40	ns

注1.  $t_x$ 使用時の値です。fosc8使用時はスペックが異なるので注意してください。

2. Cは、 $\overline{SCK1n}$ , SO1n出力ラインの負荷容量です。

備考 n = 0, 1

(d) CSI1n (スレーブ・モード,  $\overline{SCK1n}$ ...外部クロック入力)

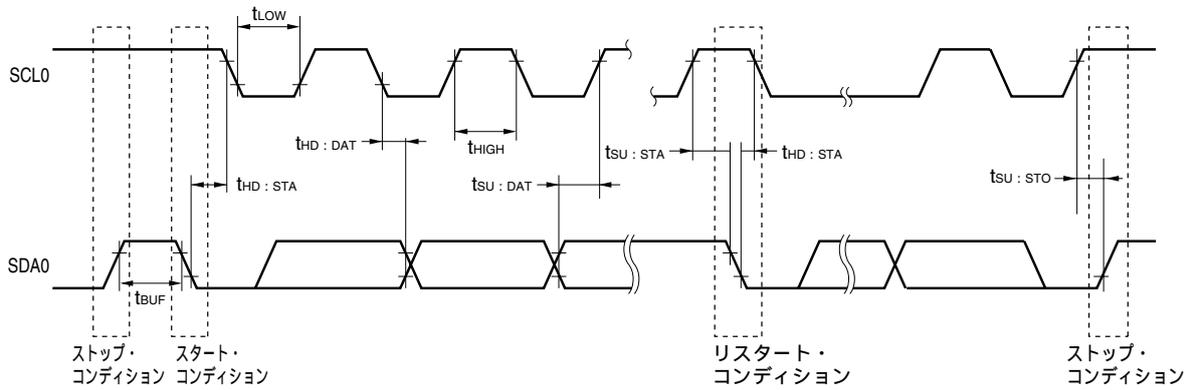
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1n}$ サイクル・タイム	$t_{KCY2}$	78K0/DE2	800			ns
		78K0/DF2	400			ns
$\overline{SCK1n}$ ハイ・レベル幅, ロウ・レベル幅	$t_{KH2}$ , $t_{KL2}$		$t_{KCY2}/2$			ns
SI1nセットアップ時間 (対 $\overline{SCK1n}$ )	$t_{SIK2}$		80			ns
SI1nホールド時間 (対 $\overline{SCK1n}$ )	$t_{KSI2}$		50			ns
$\overline{SCK1n}$ SO1n出力遅延時間	$t_{KSO2}$	C = 50 pF <sup>注</sup>	78K0/DE2		380	ns
			78K0/DF2		120	ns

注 Cは、SO1n出力ラインの負荷容量です。

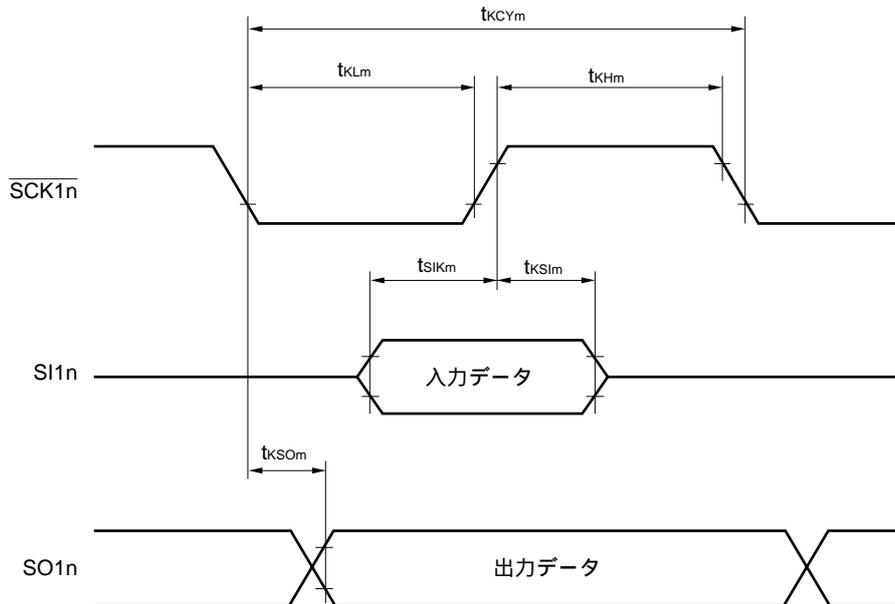
備考 n = 0, 1

## シリアル転送タイミング

IIC0 :



CSI1n :



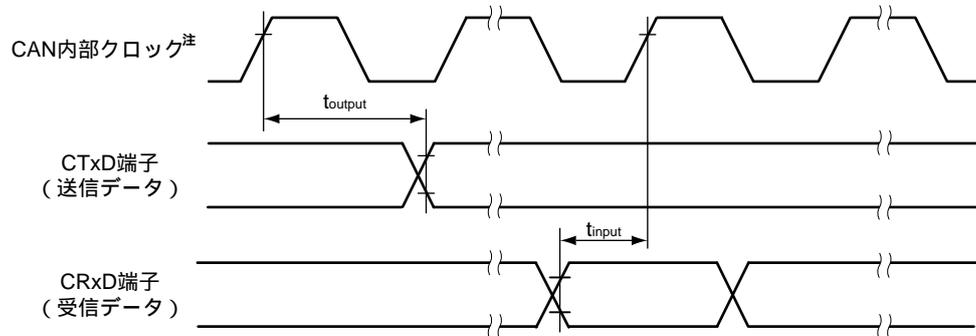
備考 m = 1, 2

n = 0, 1

## (3) CANコントローラ

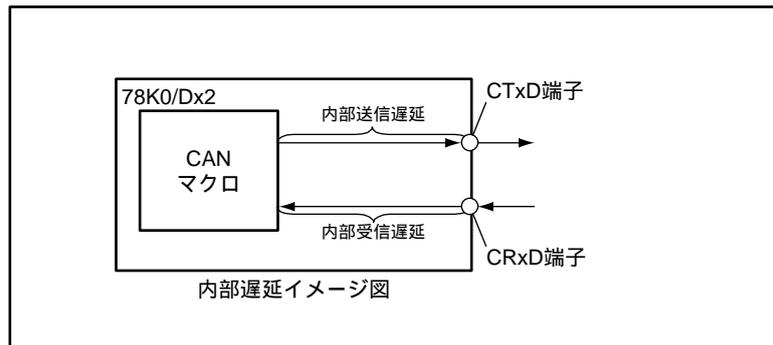
( $T_A = -40 \sim +85$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	$t_{NODE}$				100	ns



内部遅延時間 ( $t_{NODE}$ ) = 内部送信時間 ( $t_{output}$ ) + 内部受信時間 ( $t_{input}$ )

注 CAN内部クロック ( $f_{CAN}$ ) : CANポー・レート・クロック



## (4) A/Dコンバータ特性

( $T_A = -40 \sim +85$  , 2.7 V  $V_{DD} = EV_{DD} = 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} = 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} = 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES				10	bit
総合誤差 <sup>注1, 2</sup>	AINL	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	
変換時間	tCONV	4.0 V $AV_{REF} = 5.5 \text{ V}$	6.1		36.7	$\mu\text{s}$
		2.7 V $AV_{REF} < 5.5 \text{ V}$	6.1		36.7	
ゼロスケール誤差 <sup>注1, 2</sup>	E <sub>ZS</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	
フルスケール誤差 <sup>注1, 2</sup>	E <sub>FS</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	
積分直線性誤差 <sup>注1</sup>	I <sub>LE</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 2.5$	LSB
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 4.5$	
微分直線性誤差 <sup>注1</sup>	D <sub>LE</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 1.5$	LSB
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 2.0$	
アナログ入力電圧	V <sub>AIN</sub>		$AV_{SS}$		$AV_{REF}$	V

注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

## (5) メータ・コントローラ/ドライバ, ZPD特性

( $T_A = -40 \sim +85$ ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
メータ・コントローラ/ドライバ入力周波数	$f_{MC}$ <sup>注1</sup>	$V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$			20	MHz	
					10		
PWM出力立ち上がり時間	$t_r$	$C = 50\text{ pF}$ <sup>注2</sup> (10% ~ 90%)	4.5 V $SMV_{DD} 5.5\text{ V}$	30	60	90	ns
			2.7 V $SMV_{DD} 5.5\text{ V}$	60	120	250	
PWM出力立ち下がり時間	$t_f$	$C = 50\text{ pF}$ <sup>注2</sup> (10% ~ 90%)	4.5 V $SMV_{DD} 5.5\text{ V}$	30	60	90	ns
			2.7 V $SMV_{DD} 5.5\text{ V}$	60	140	250	
クロス電流ピーク <sup>注3</sup>	$I_{CROSS}$				50	mA	
出力パルス幅 <sup>注4</sup>	$t_{MO}$		125			ns	
出力パルス長のずれ <sup>注5</sup>	$t_{SMDEV}$		-40		+10	ns	
対称動作 <sup>注6</sup>	$\Delta HSP_{mn}$	$I_{OH} = -27\text{ mA}$ $\Delta HSP_{mn} =  V_{OH} [(SM_{mn})_{max} - (SM_{mn})_{min}] $			50	mV	
		$I_{OL} = -27\text{ mA}$ $\Delta HSP_{mn} =  V_{OL} [(SM_{mn})_{max} - (SM_{mn})_{min}] $			50	mV	

注1. フリーランニング・カウンタのソース・クロック

2. Cは、PWM出力ラインの負荷容量です。

3. スルー・レート制御は外部の誘導負荷のエネルギーを制御するためにクロス電流を発生します。出力遷移時間 $t_r$ ,  $t_f$ の間のみクロス電流が流れます。この電流は出力電流に加えて流れます。クロス電流は測定された値ではなく、シミュレーションによる値です。

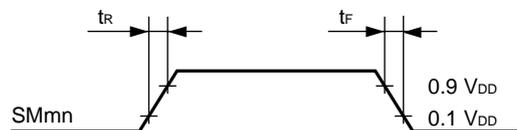
4. スルー・レート制御システムの関係で、この時間より短い時間では出力バッファはハイまたはロウ・パルスを発生できません。測定された値ではなく、シミュレーションによる値です。

5. スルー・レート制御機能により選択された出力パルスの設定時間と比較して出力パルスのずれが発生します。測定された値ではなく、シミュレーションによる値です。

6. 16以下のPWM出力電圧のばらつきを示します。製品による測定ではなく、設計上の値です。

備考  $m = 0, 1, n = 1-4$

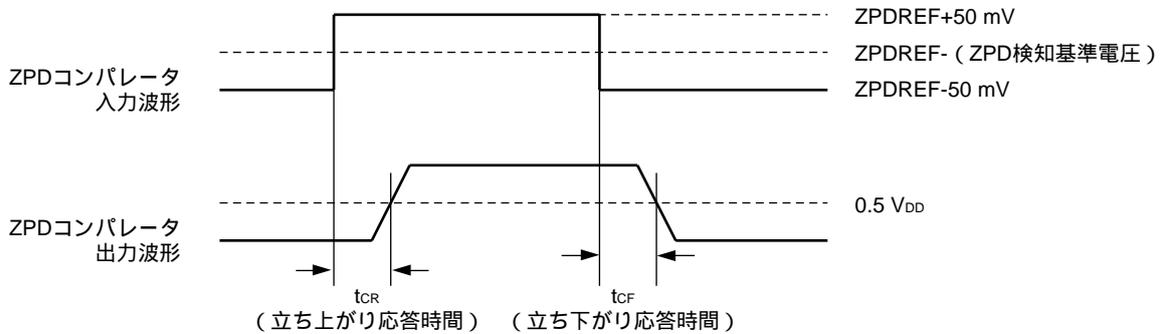
## メータ・コントローラ/ドライバ出力タイミング



項目	略号	条件	MIN.	TYP.	MAX.	単位
スレッシュホールド電圧	V <sub>ZPD</sub>	ゼロ点検知電圧設定 (ZPDSn) = 000	80	150	220	mV
		ゼロ点検知電圧設定 (ZPDSn) = 001	180	250	320	
		ゼロ点検知電圧設定 (ZPDSn) = 010	280	350	420	
		ゼロ点検知電圧設定 (ZPDSn) = 011	380	450	520	
		ゼロ点検知電圧設定 (ZPDSn) = 100	480	550	620	
検出遅延	t <sub>ZPDD</sub>	100 mV刻み, 50 mV オーバドライブ (下図を参照)	SMV <sub>DD</sub> = 4.75 V ~ 5.25 V		100 <sup>注</sup>	ns
			SMV <sub>DD</sub> = 2.7 V ~ 5.5 V		100 <sup>注</sup>	
動作安定ウエイト時間	t <sub>ZPDW</sub>	基準電圧安定 + ZPDコンパレータ安定			1 + 5 = 6	μs

注 製品による測定ではなく、設計上の値です。

### ZPDタイミング

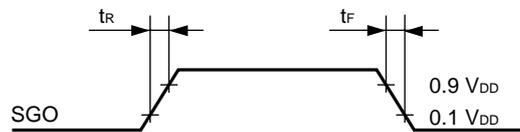


## (6) サウンド・ジェネレータ特性

( $T_A = -40 \sim +85$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
サウンド・ジェネレータ入力周波数	$f_{SGO}$	$V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$				10	MHz
						5	MHz
SGO出力立ち上がり時間	$t_R$	$C = 100\text{ pF}$	$4.5\text{ V}$ $SMV_{DD} 5.5\text{ V}$			200	ns
			$2.7\text{ V}$ $SMV_{DD} 5.5\text{ V}$			200	ns
SGO出力立ち下がり時間	$t_F$	$C = 100\text{ pF}$	$4.5\text{ V}$ $SMV_{DD} 5.5\text{ V}$			200	ns
			$2.7\text{ V}$ $SMV_{DD} 5.5\text{ V}$			200	ns

## サウンド・ジェネレータ出力タイミング



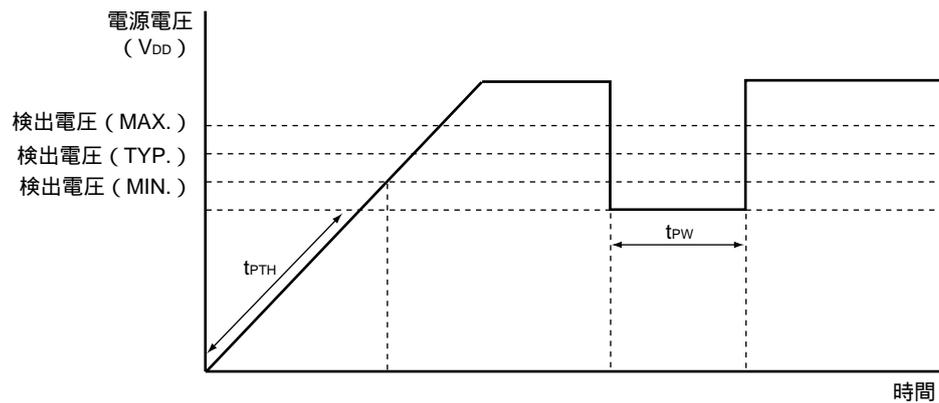
## (7) POC回路特性

(TA = -40 ~ +85 , VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>POC0</sub>		1.44	1.59	1.74	V
一次電源傾き	t <sub>PTH</sub>	V <sub>DD</sub> : 0 V V <sub>POC0</sub> の変化傾き	0.5			V/ms
最小パルス幅 <sup>注</sup>	t <sub>PW</sub>	電源降下時	200			μs

注 最小パルス幅より短い幅で電源降下時は、POC検出の動作は保証されません。

## POC回路タイミング



## (8) LVI回路特性

(TA = -40 ~ +85 , VPOC VDD = EVDD 5.5 V, VSS = EVSS = 0 V)

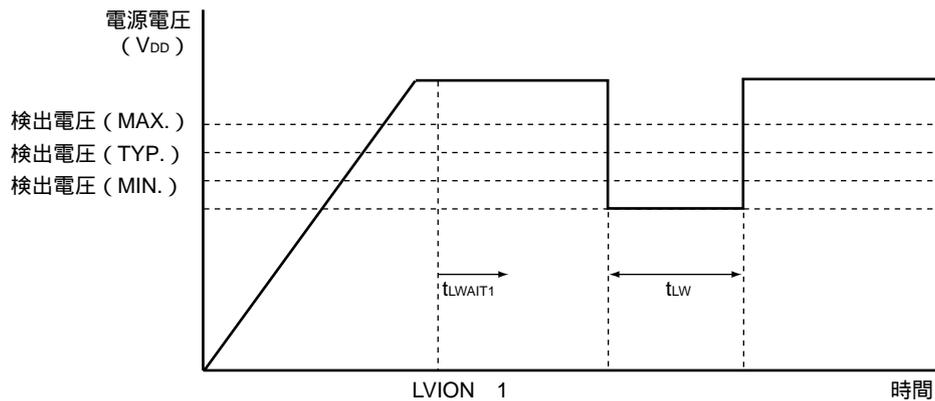
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V <sub>LVI0</sub>	4.14	4.24	4.34	V
		V <sub>LVI1</sub>	3.99	4.09	4.19	V
		V <sub>LVI2</sub>	3.83	3.93	4.03	V
		V <sub>LVI3</sub>	3.68	3.78	3.88	V
		V <sub>LVI4</sub>	3.52	3.62	3.72	V
		V <sub>LVI5</sub>	3.37	3.47	3.57	V
		V <sub>LVI6</sub>	3.22	3.32	3.42	V
		V <sub>LVI7</sub>	3.06	3.16	3.26	V
		V <sub>LVI8</sub>	2.91	3.01	3.11	V
		V <sub>LVI9</sub>	2.75	2.85	2.95	V
		V <sub>LVI10</sub>	2.60	2.70	2.80	V
外部入力端子 <sup>注1</sup> レベル	EX <sub>LVI</sub>	EX <sub>LVI</sub> < V <sub>DD</sub> , 2.7 V V <sub>DD</sub> 5.5 V	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧レベル	V <sub>DDLVI</sub>	LVISTART (オプション・バイト) = 1	2.50	2.70	2.90	V
最小パルス幅	t <sub>LW</sub>		200			μs
動作安定待ち時間 <sup>注2</sup>	t <sub>LWAIT1</sub>				10	μs

注1. P120端子と兼用です。

2. LVIONに1を設定してから，動作が安定するまでの時間です。

備考 V<sub>LVI(n-1)</sub> > V<sub>LVI n</sub> (n = 1-10)

## LVI回路タイミング

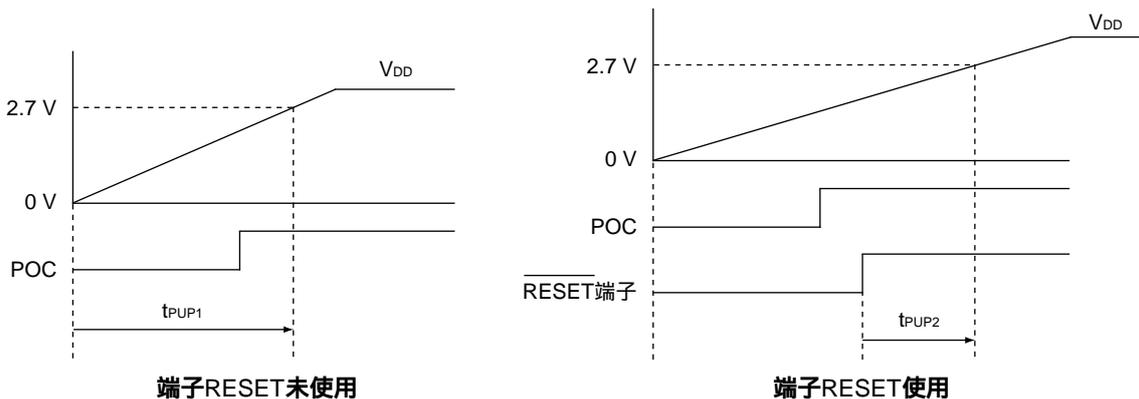


## (9) 電源立ち上げ時間

(TA = -40 ~ +85 , VSS = EVSS = 0 V)

項目	略称	条件	MIN.	TYP.	MAX.	単位
V <sub>DDmin</sub> (2.7 V) までの立ち上げ最大時間 <sup>注</sup> (V <sub>DD</sub> : 0 V ~ 2.7 V)	t <sub>PUP1</sub>	LVI起動オプション無効 端子RESET未使用時			3.6	ms
V <sub>DDmin</sub> (2.7 V) までの立ち上げ最大時間 <sup>注</sup> (端子RESET解除 V <sub>DD</sub> : 2.7 V)	t <sub>PUP2</sub>	LVI起動オプション無効 端子RESET使用時			1.9	ms

注 LVI起動オプション無効時には、これより短い時間で電源を立ち上げてください。



## (10) LCD回路特性

## (a) スタティック表示モード

(TA = -40 ~ +85 , 2.7 V V<sub>DD</sub> EV<sub>DD</sub> 5.5 V, VSS = EVSS = 0 V)

項目	略称	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>				V <sub>DD</sub>	V
LCD分割抵抗 <sup>注1</sup>	R <sub>LCD</sub>		5	15	45	kΩ
LCD出力抵抗 (コモン) <sup>注2</sup>	R <sub>ODC</sub>				40	kΩ
LCD出力抵抗 (セグメント) <sup>注3</sup>	R <sub>ODS</sub>				200	kΩ

## (b) 1/3バイアス法

(TA = -40 ~ +85 , 2.7 V V<sub>DD</sub> EV<sub>DD</sub> 5.5 V, VSS = EVSS = 0 V)

項目	略称	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>				V <sub>DD</sub>	V
LCD分割抵抗 <sup>注1</sup>	R <sub>LCD</sub>		5	15	45	kΩ
LCD出力抵抗 (コモン) <sup>注2</sup>	R <sub>ODC</sub>				40	kΩ
LCD出力抵抗 (セグメント) <sup>注3</sup>	R <sub>ODS</sub>				200	kΩ

注1. 内部抵抗分割方式のみ。

2. 出力抵抗R<sub>ODC</sub>とは、COM端子からの内部当量抵抗 + コモンIOバッファ抵抗。

3. 出力抵抗R<sub>ODS</sub>とは、SEG端子からの内部当量抵抗 + セグメントIOバッファ抵抗。

## 29.5 データ保持特性

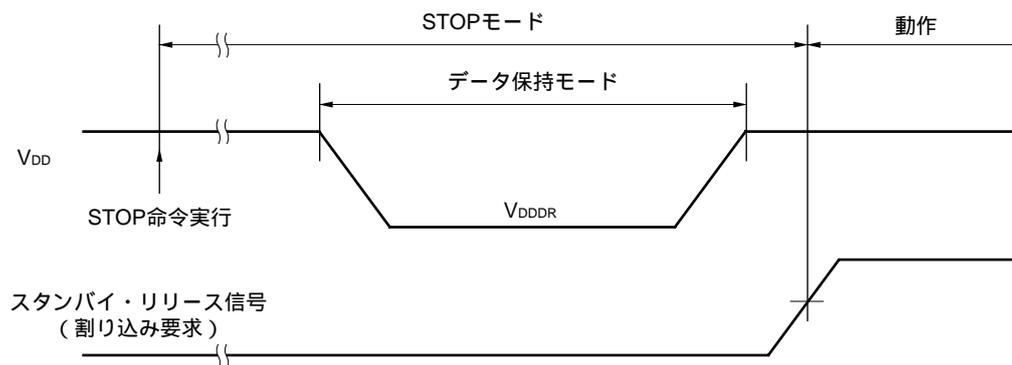
### データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +85$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットが掛かった場合のデータは保持されません。

### データ保持タイミング



## 29.6 フラッシュEEPROMプログラミング特性

### (1) 基本特性

( $T_A = -40 \sim +85$  ,  $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = EV_{SS} = 0\text{ V}$ )

項目	略号	条件			MIN.	TYP.	MAX.	単位
$V_{DD}$ 電源電流	$I_{DD}$					4.5	11.0	mA
1チップあたりの書き換え回数 <sup>注</sup>	$C_{ERWR}$	消去1回 + 消去後の書き込み1回を書き込み回数1回とする	NECエレクトロニクス提供のライブラリとフラッシュ・メモリ・プログラマを使用時	保持15年	1000			回
			NECエレクトロニクス提供のEEPROMエミュレーション・ライブラリを使用し、書き換えROMのサイズが4KBの時	保持5年	10000			回

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

## 第30章 電気的特性 ((A2)水準品)

**注意** 78K0/Dx2には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

## 30.1 絶対最大定格

## 絶対最大定格 (1/2)

(TA = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 6.5	V
	EV <sub>DD</sub>		- 0.5 ~ + 6.5	V
	V <sub>SS</sub>		- 0.5 ~ + 0.3	V
	EV <sub>SS</sub>		- 0.5 ~ + 0.3	V
	SMV <sub>DD</sub>		- 0.5 ~ + 6.5	V
	SMV <sub>SS</sub>		- 0.5 ~ + 0.3	V
	AV <sub>REF</sub>		- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	AV <sub>SS</sub>		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V <sub>REGC</sub>		- 0.5 ~ + 3.6 かつ, V <sub>DD</sub>	V
入力電圧	V <sub>I1</sub>	P00-P07, P13-P16, P30-P37, P60, P61, P70-P77, P120-P124, 78K0/DF2のP10-P12, P17, X1, X2, XT1, XT2, $\overline{\text{RESET}}$ , FLMD0	- 0.3 ~ EV <sub>DD</sub> + 0.3 かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I2</sub>	P20-P27	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	- 0.3 ~ SMV <sub>DD</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
出力電圧	V <sub>O1</sub>	P00-P07, P13-P16, P30-P37, P60, P61, P70-P77, P120-P124, 78K0/DF2のP10-P12, P17	- 0.3 ~ EV <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>O2</sub>	P20-P27	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup>	V
	V <sub>O3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	- 0.3 ~ SMV <sub>DD</sub> + 0.3 <sup>注</sup>	V
アナログ入力電圧	V <sub>AN</sub>	ANI0-ANI15	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
ZPD検知入力電圧	V <sub>ZPD</sub>	ZPD14, ZPD24, ZPD34, ZPD44	- 0.3 ~ SMV <sub>DD</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V

注 6.5 V以下であること。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 絶対最大定格 (2/2)

(TA = 25 )

項目	略号	条件	定格	単位
ハイ・レベル出力電流	IOH1	1端子 P00-P07, P13-P16, P30-P37, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17	- 10	mA
	IOH5	1端子 P73	- 20	mA
	上記端子合計 - 80 mA	P70-P72, P120, P73	- 25	mA
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2のP10-P12, P17	- 55	mA
	IOH2	1端子 P20-P27	- 0.5	mA
		端子合計	- 2	
	IOH3	1端子 P121-P124	- 1	mA
		端子合計	- 4	
	IOH4	1端子 P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	- 45	mA
		端子合計 P80-P87, P90-P93 (78K0/DE2のP10-P12, P17) P94-P97	- 190	
- 105				
ロウ・レベル出力電流	IOl1	1端子 P00-P07, P13-P16, P30-P37, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17	30	mA
	IOl5	1端子 P73	20	mA
	上記端子合計200 mA	P70-P72, P120, P73	60	mA
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2のP10-P12, P17	140	mA
	IOl2	1端子 P20-P27	1	mA
		端子合計	5	
	IOl3	1端子 P121-P124	4	mA
		端子合計	10	
	IOl4	1端子 P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	45	mA
		端子合計 P80-P87, P90-P97 (78K0/DE2のP10-P12, P17) P94-P97	180	
105				
動作周囲温度	TA	通常動作時	- 40 ~ + 105	
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 105	
保存温度	Tstg		- 65 ~ + 150	

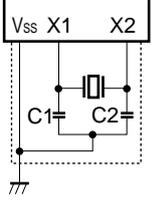
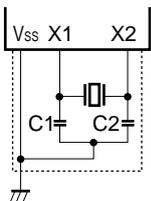
**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 30.2 発振回路特性

### (1) メイン・システム・クロック (水晶/セラミック) 発振回路特性

( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック 発振周波数 ( $f_x$ ) <sup>注</sup>	$4.0\text{ V}$ $V_{DD} 5.5\text{ V}$	4.0		20	MHz
			$2.7\text{ V}$ $V_{DD} < 4.0\text{ V}$	4.0		10	
水晶振動子		X1クロック 発振周波数 ( $f_x$ ) <sup>注</sup>	$4.0\text{ V}$ $V_{DD} 5.5\text{ V}$	4.0		20	MHz
			$2.7\text{ V}$ $V_{DD} < 4.0\text{ V}$	4.0		10	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、メイン・システム・クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

## (2) 内蔵発振回路特性

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

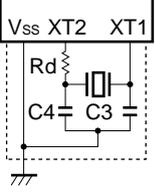
発振子	項目	条件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 ( $f_{osc8}$ ) <sup>注</sup>	RSTS = 1 2.7 V $V_{DD} 5.5 V$	7.6	8	8.4	MHz
		RSTS = 0	2.48	5	9.86	
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 ( $f_{osc}$ )	2.7 V $V_{DD} 5.5 V$	216	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

## (3) サブシステム・クロック発振回路特性

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数 ( $f_{XT}$ ) <sup>注</sup>		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

## 30.3 DC特性

## DC特性 (1/7)

( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD}$   $5.5\text{ V}$ ,  $2.7\text{ V}$   $AV_{REF}$   $5.5\text{ V}$ ,  $2.7\text{ V}$   $SMV_{DD}$   $5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル出力電流 <sup>注1</sup>	IOH1	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17 1端子	4.0 V $V_{DD}$ 5.5 V			-2.5	mA	
			2.7 V $V_{DD} < 4.0\text{ V}$			-2.0	mA	
	IOH4	P73	4.5 V $V_{DD}$ 5.5 V			-13.0	mA	
			2.7 V $V_{DD} < 4.5\text{ V}$			-7.5		
		P70-P72, P120, P73 合計	4.5 V $V_{DD}$ 5.5 V			20	mA	
			2.7 V $V_{DD} < 4.5\text{ V}$			12		
		P00-P07, P13-P16, P30-P37, P74-P77, 78K0/DF2 の P10-P12, P17 合計	4.5 V $V_{DD}$ 5.5 V			15	mA	
			2.7 V $V_{DD} < 4.5\text{ V}$			10		
		全端子合計 <sup>注2</sup>	4.0 V $V_{DD}$ 5.5 V			-16		
			2.7 V $V_{DD} < 4.0\text{ V}$			-14		
	IOH2	P20-P27 1端子 P121-P124 1端子	$AV_{REF} = V_{DD}$			-100	$\mu\text{A}$	
	IOH3	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17 1端子	4.5 V $SMV_{DD}$ 5.5 V	105°C			-21	mA
				85			-27	
				25			-30	
				-40°C			-40	
			2.7 V $SMV_{DD} < 4.5\text{ V}$	105°C			-19	
				85			-19	
				25			-23	
				-40°C			-26	
P80-P87, P90-P93 (78K0/DE2のP10-P12, P17) 合計 <sup>注2</sup>		4.5 V $SMV_{DD}$ 5.5 V	105°C			-63		
			85			-81		
			25			-90		
			-40°C			-120		
		2.7 V $SMV_{DD} < 4.5\text{ V}$	105°C			-58		
			85			-64		
			25			-70		
			-40°C			-78		
P94-P97 合計 <sup>注2</sup>	4.5 V $SMV_{DD}$ 5.5 V	105°C			-63			
		85			-81			
		25			-90			
		-40°C			-120			
	2.7 V $SMV_{DD} < 4.5\text{ V}$	105°C			-58			
		85			-64			
		25			-70			
		-40°C			-78			

注1.  $V_{DD}$ から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70%の条件(ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・  $I_{OH}$ のデューティがn%の場合: 端子合計の出力電流 =  $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > デューティ = 50%,  $I_{OH} = 20.0\text{ mA}$ の場合

端子合計の出力電流 =  $(20.0 \times 0.7) / (50 \times 0.01) = 28.0\text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 製品により搭載している端子が異なります。

## DC特性 (2/7)

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD}$  5.5 V, 2.7 V  $AV_{REF}$  5.5 V, 2.7 V  $SMV_{DD}$  5.5 V,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ロウ・レベル出力電流 <sup>注1</sup>	I <sub>OL1</sub>	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2のP10-P12, P17 1端子	4.0 V $V_{DD}$ 5.5 V			5.0	mA		
		2.7 V $V_{DD} < 4.0$ V			3.0	mA			
	I <sub>OL4</sub>	P73	4.5 V $V_{DD}$ 5.5 V			13.0			
			2.7 V $V_{DD} < 4.5$ V			7.0			
	I <sub>OL2</sub>	P20-P27 1端子 P121-P124 1端子	$AV_{REF} = V_{DD}$				400	$\mu$ A	
		I <sub>OL3</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17 1端子	4.5 V $SMV_{DD}$ 5.5 V	105°C			21	mA
					85			27	
					25			30	
				-40°C				40	
	2.7 V $SMV_{DD} < 4.5$ V				105°C			15	
					85			15	
			25			19			
	P80-P87, P90-P93 (78K0/DE2のP10-P12, P17) 合計 <sup>注2</sup>		4.5 V $SMV_{DD}$ 5.5 V	105°C			63		
				85			81		
				25			90		
			-40°C				120		
				2.7 V $SMV_{DD} < 4.5$ V	105°C			46	
		85					50		
	25				58				
P94-P97 合計 <sup>注2</sup>	4.5 V $SMV_{DD}$ 5.5 V	105°C			63				
		85			81				
		25			90				
	-40°C				120				
		2.7 V $SMV_{DD} < 4.5$ V	105°C			46			
			85			50			
25				58					
				70					

注1. 出力端子からGNDに流れ込んで、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合: 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > デューティ = 50 %,  $I_{OH} = 20.0$  mAの場合

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 製品により搭載している端子が異なります。

## DC特性 (3/7)

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V <sub>IH1</sub>	P71-P73, P76, P121-P124, P30, P36	0.7V <sub>DD</sub>		V <sub>DD</sub>	V	
	V <sub>IH2</sub>	P00-P07, P13-P16, P31-P35, P37, P60, P61, P70, P74, P75, P77, P120, RESET, EXCLK, EXCLKS 78K0/DF2のP10-P12, P17	0.8V <sub>DD</sub>		V <sub>DD</sub>	V	
	V <sub>IH3</sub>	P20-P27	AV <sub>REF</sub> = V <sub>DD</sub>	0.7AV <sub>REF</sub>	AV <sub>REF</sub>	V	
	V <sub>IH4</sub>	P80-P87, P90-P97	SMV <sub>DD</sub> = V <sub>DD</sub>	0.7SMV <sub>DD</sub>	SMV <sub>DD</sub>	V	
	V <sub>IH5</sub>	78K0/DE2のP10-P12, P17	SMV <sub>DD</sub> = V <sub>DD</sub>	0.8SMV <sub>DD</sub>	SMV <sub>DD</sub>	V	
ロウ・レベル入力電圧	V <sub>IL1</sub>	P71-P73, P76, P121-P124, P30, P36	0		0.3V <sub>DD</sub>	V	
	V <sub>IL2</sub>	P00-P07, P13-P16, P31-P35, P37, P60, P61, P70, P74, P75, P77, P120, RESET, EXCLK, EXCLKS 78K0/DF2のP10-P12, P17	0		0.2V <sub>DD</sub>	V	
	V <sub>IL3</sub>	P20-P27	AV <sub>REF</sub> = V <sub>DD</sub>	0	0.3AV <sub>REF</sub>	V	
	V <sub>IL4</sub>	P80-P87, P90-P97	SMV <sub>DD</sub> = V <sub>DD</sub>	0	0.3SMV <sub>DD</sub>	V	
	V <sub>IL5</sub>	78K0/DE2のP10-P12, P17	SMV <sub>DD</sub> = V <sub>DD</sub>	0	0.2SMV <sub>DD</sub>	V	
ハイ・レベル出力電圧	V <sub>OH1</sub>	IOH = -3.0 mA	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2の P10-P12, P17	4.0 V V <sub>DD</sub> 5.5 V	V <sub>DD</sub> -0.7		V
		IOH = -2.5 mA		2.7 V V <sub>DD</sub> 5.5 V	V <sub>DD</sub> -0.5		
	V <sub>OH2</sub>	IOH = -100 μA	P20-P27 P121-P124	AV <sub>REF</sub> = V <sub>DD</sub>	V <sub>DD</sub> -0.5		V
	V <sub>OH3</sub>	IOH = -21.0 mA (T <sub>A</sub> = 105 )	P80-P87, P90-P97, 78K0/DE2の P10-P12, P17	4.5 V ≤ SMV <sub>DD</sub> ≤ 5.5 V	SMV <sub>DD</sub> -0.5		V
		IOH = -27.0 mA (T <sub>A</sub> = 85 )					
		IOH = -30.0 mA (T <sub>A</sub> = 25 )					
		IOH = -40.0 mA (T <sub>A</sub> = -40 )					
		IOH = -19.0 mA (T <sub>A</sub> = 105 )		2.7 V ≤ SMV <sub>DD</sub> ≤ 5.5 V	SMV <sub>DD</sub> -0.5		
		IOH = -19.0 mA (T <sub>A</sub> = 85 )					
		IOH = -23.0 mA (T <sub>A</sub> = 25 )					
		IOH = -26.0 mA (T <sub>A</sub> = -40 )					
	V <sub>OH4</sub>	IOH = -13.0 mA (T <sub>A</sub> = -40 ~ +105°C)	P73	4.5 V V <sub>DD</sub> 5.5 V	V <sub>DD</sub> -0.7		V
		IOH = -15.0 mA (T <sub>A</sub> = -40 ~ +85°C)					
		IOH = -7.5 mA (T <sub>A</sub> = -40 ~ +105°C)		2.7 V ≤ SMV <sub>DD</sub> ≤ 5.5 V	V <sub>DD</sub> -0.7		
IOH = -9.0 mA (T <sub>A</sub> = -40 ~ +85°C)							

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

## DC特性 (4/7)

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電圧	VOL1	$I_{OL} = 5.0 \text{ mA}$	P00-P07, P13-P16, P30-P37, P60, P61, P70-P72, P74-P77, P120, 78K0/DF2の P10-P12, P17	4.0 V $V_{DD} 5.5 V$		0.7	V
		$I_{OL} = 3.0 \text{ mA}$		2.7 V $V_{DD} 5.5 V$		0.7	V
	VOL2	$I_{OL} = 400 \mu A$	P20-P27 P121-P124	$AV_{REF} = V_{DD}$		0.4	V
	VOL3	$I_{OL} = 21.0 \text{ mA}$ ( $T_A = 105$ ) $I_{OL} = 27.0 \text{ mA}$ ( $T_A = 85$ ) $I_{OL} = 30.0 \text{ mA}$ ( $T_A = 25$ ) $I_{OL} = 40.0 \text{ mA}$ ( $T_A = -40$ ) $I_{OL} = 15.0 \text{ mA}$ ( $T_A = 105$ ) $I_{OL} = 15.0 \text{ mA}$ ( $T_A = 85$ ) $I_{OL} = 19.0 \text{ mA}$ ( $T_A = 25$ ) $I_{OL} = 23.0 \text{ mA}$ ( $T_A = -40$ )	P80-P87, P90-P97, 78K0/DE2の P10-P12, P17	$4.5 V \leq SMV_{DD} \leq 5.5 V$		0.5	V
				$2.7 V \leq SMV_{DD} \leq 5.5 V$		0.5	
	VOL4	$I_{OL} = 13.0 \text{ mA}$ ( $T_A = -40 \sim +105^\circ C$ ) $I_{OL} = 15.0 \text{ mA}$ ( $T_A = -40 \sim +85^\circ C$ ) $I_{OL} = 7.0 \text{ mA}$ ( $T_A = -40 \sim +105^\circ C$ ) $I_{OL} = 8.5 \text{ mA}$ ( $T_A = -40 \sim +85^\circ C$ )	P73	$4.5 V V_{DD} 5.5 V$		0.7	V
				$2.7 V V_{DD} 5.5 V$		0.7	

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

## DC特性 (5/7)

( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	$V_i = V_{DD}$	P71-P73, P60, P61, P120, RESET 78K0/DF2のP10-P12, P17, FLMD0			3	$\mu\text{A}$	
	I <sub>LIH2</sub>	$V_i = V_{DD}$	P74-P77, P13-P16, P00-P07, P30-P37			10	$\mu\text{A}$	
	I <sub>LIH3</sub>	$V_i = AV_{REF}$	P20-P27	$AV_{REF} = V_{DD}$			3	$\mu\text{A}$
	I <sub>LIH4</sub>	$V_i = V_{DD}$	P121-P124 (X1, X2, XT1, XT2)	I/Oポート・モード			3	$\mu\text{A}$
				OSCモード			20	$\mu\text{A}$
I <sub>LIH5</sub>	$V_i = SMV_{DD}$	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17				10	$\mu\text{A}$	
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	$V_i = V_{SS}$	P71-P73, P60, P61, P120, RESET 78K0/DF2のP10-P12, P17, FLMD0			-3	$\mu\text{A}$	
	I <sub>LIL2</sub>		P74-P77, P13-P16, P00-P07, P30-P37			-10	$\mu\text{A}$	
	I <sub>LIL3</sub>		P20-P27	$AV_{REF} = V_{DD}$			-3	$\mu\text{A}$
	I <sub>LIL4</sub>		P121-P124 (X1, X2, XT1, XT2)	I/Oポート・モード			-3	$\mu\text{A}$
				OSCモード			-20	$\mu\text{A}$
I <sub>LIL5</sub>	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17				-10	$\mu\text{A}$		
ブルアップ抵抗値	R <sub>U1</sub>	$V_i = V_{SS}$	P00-P07, P13-P16, P30-P37, P60, P61, P70-P77, P120, 78K0/DF2のP10-P12, P17	10	20	100	$\text{k}\Omega$	
	R <sub>U2</sub>	$V_i = SMV_{SS}$	78K0/DE2のP10-P12, P17	10	20	100	$\text{k}\Omega$	
ブルダウン抵抗値	R <sub>D1</sub>	$V_i = SMV_{DD}$	P80-P87, P90-P97, 78K0/DE2のP10-P12, P17	100			$\text{k}\Omega$	
	R <sub>D2</sub>	$V_i = V_{DD}$	P74-P77, P13-P16, P00-P07, P30-P37, SEG0-SEG3	100			$\text{k}\Omega$	
FLMD0電源電圧	V <sub>IL</sub>	通常動作時		0		$0.2V_{DD}$	V	
	V <sub>IH</sub>	セルフ・プログラミング時		$0.8V_{DD}$		$V_{DD}$	V	

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

## DC特性 (6/7)

( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 <sup>注1</sup>	IDD1	動作モード	$f_{IN} = 20\text{ MHz}$ <sup>注2</sup> , $V_{DD} = 5.0\text{ V}$	方形波入力 ----- 発振子接続		3.4 ----- 4.7	8.2 ----- 9.9	mA	
			$f_{IN} = 10\text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 5.0\text{ V}$	方形波入力 ----- 発振子接続		1.8 ----- 2.7	5.3 ----- 6.6		
			$f_{IN} = 10\text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 3.0\text{ V}$	方形波入力 ----- 発振子接続		1.7 ----- 2.4	5.0 ----- 5.7		
			$f_{IN} = 5\text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 3.0\text{ V}$	方形波入力 ----- 発振子接続		1.0 ----- 1.4	2.7 ----- 3.2		
			$f_{OSC8} = 8\text{ MHz}$ <sup>注4</sup> , $V_{DD} = 5.0\text{ V}$				1.9 ----- 3.5		
			$f_{SUB} = 32.768\text{ kHz}$ <sup>注5</sup> , $V_{DD} = 5.0\text{ V}$	方形波入力 ----- 発振子接続		6.1 ----- 15.4	98 ----- 102		$\mu\text{ A}$
	IDD2	HALTモード	$f_{IN} = 20\text{ MHz}$ <sup>注2</sup> , $V_{DD} = 5.0\text{ V}$	方形波入力 ----- 発振子接続		1.1 ----- 2.2	5.6 ----- 7.7	mA	
			$f_{IN} = 10\text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 5.0\text{ V}$	方形波入力 ----- 発振子接続		0.6 ----- 1.2	3.1 ----- 4.4		
			$f_{IN} = 5\text{ MHz}$ <sup>注2, 3</sup> , $V_{DD} = 3.0\text{ V}$	方形波入力 ----- 発振子接続		0.3 ----- 0.6	1.5 ----- 2.2		
			$f_{OSC8} = 8\text{ MHz}$ <sup>注4</sup> , $V_{DD} = 5.0\text{ V}$				0.5 ----- 2.2		
			$f_{SUB} = 32.768\text{ kHz}$ <sup>注5</sup> , $V_{DD} = 5.0\text{ V}$	方形波入力 ----- 発振子接続		3.1 ----- 12.4	92 ----- 97		$\mu\text{ A}$
			IDD3 <sup>注6</sup>	STOPモード	$V_{DD} = 5.0\text{ V}$ (CREG+POC)	$T_A = -40 \sim +70\text{ }^\circ\text{C}$			1
$T_A = -40 \sim +105\text{ }^\circ\text{C}$		1				60			

- 注1. 内部電源 ( $V_{DD}$ ,  $EV_{DD}$ ,  $SMV_{DD}$ ) に流れるトータル電流です。周辺動作電流, 入力端子を  $V_{DD}$  または,  $V_{SS}$  に固定した状態での入力リーク電流を含みます。ただし, ポートのプルアップ抵抗と出力電流は含みません。
2. 8 MHz内蔵発振器, XT1発振回路, 240 kHz内蔵発振器の動作電流, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません。
5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません。
6. 240 kHz内蔵発振器, XT1発振回路の動作電流, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, ZPDに流れる電流は含みません。

- 備考1.  $f_{IN}$  : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2.  $f_{OSC8}$  : 高速内蔵発振クロック周波数
3.  $f_{SUB}$  : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

## DC特性 (7/7)

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD} 5.5 V, 2.7 V$   $AV_{REF} 5.5 V, 2.7 V$   $SMV_{DD} 5.5 V,$   
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 V$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウォッチドッグ・タイマ動作電流	$I_{WDT}$ <sup>注1</sup>	240 kHz低速内蔵発振クロック動作時			5	13	$\mu A$
LVI動作電流	$I_{LVI}$ <sup>注2</sup>				9	24	$\mu A$
A/Dコンバータ電流	$I_{ADC}$ <sup>注3</sup>				0.86	1.9	mA
LCDコントローラ / ドライバ動作電流	$I_{LCD1}$ <sup>注4</sup>	f <sub>PRS</sub> = 20 MHz LCDソース・クロック (f <sub>LCD</sub> ) = f <sub>PRS</sub> /2 <sup>7</sup> LCDクロック = f <sub>LCD</sub> /2 <sup>4</sup> 4時分割表示	LCD非表示波 形出力	V <sub>DD</sub> = 5.0 V	180	350	$\mu A$
				V <sub>DD</sub> = 3.0 V	120	250	
	$I_{LCD2}$ <sup>注4</sup>		LCD表示波形 出力	V <sub>DD</sub> = 5.0 V	180	350	$\mu A$
				V <sub>DD</sub> = 3.0 V	120	250	
ZPD動作電流	$I_{ZPD}$	ZPD回路 1回路動作	V <sub>DD</sub> = 5.0 V	0.15	0.6	mA	
			V <sub>DD</sub> = 3.0 V	0.12	0.5		
		ZPD回路 4回路動作	V <sub>DD</sub> = 5.0 V	0.5	2.0		
			V <sub>DD</sub> = 3.0 V	0.4	1.6		

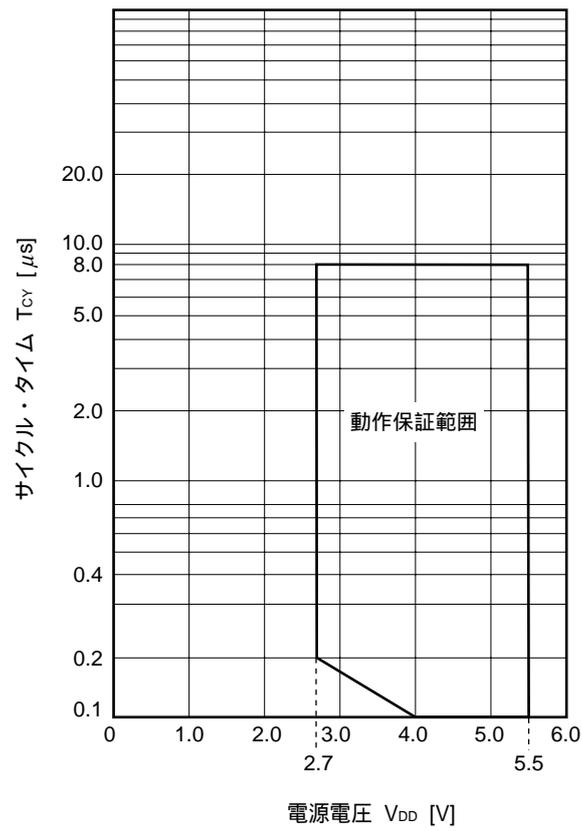
- 注1. ウォッチドッグ・タイマ (V<sub>DD</sub>端子) にのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。  
 HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合, I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>WDT</sub>を加算した値が, 78K0/Dx2の電流値となります。
2. LVI回路 (V<sub>DD</sub>端子) にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合, I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>LVI</sub>を加算した値が, 78K0/Dx2の電流値となります。
3. A/Dコンバータ (AV<sub>REF</sub>端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合, I<sub>DD1</sub>またはI<sub>DD2</sub>にI<sub>ADC</sub>を加算した値が, 78K0/Dx2の電流値となります。
4. 内部分割抵抗に流れる電流を含みます。

## 30.4 AC特性

## (1) 基本動作

( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}$ ,  $2.7\text{ V}$   $AV_{REF} 5.5\text{ V}$ ,  $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

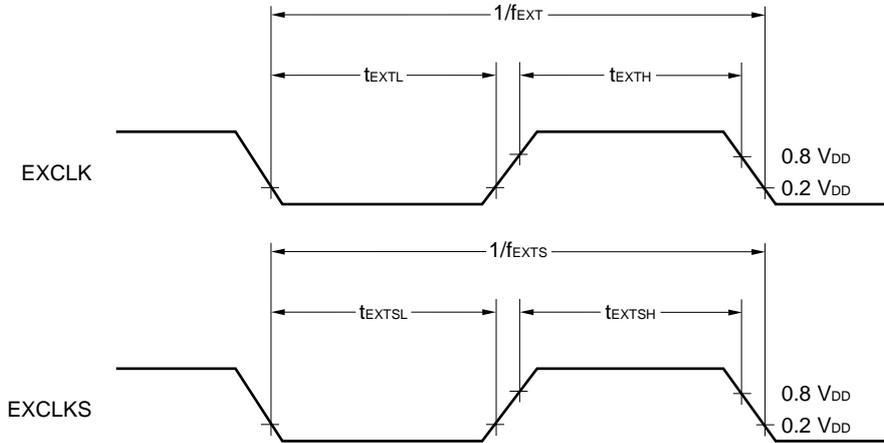
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T <sub>CY</sub>	メイン・システム・ クロック動作	4.0 V $V_{DD} 5.5\text{ V}$	0.1		8	$\mu\text{s}$
			2.7 V $V_{DD} < 4.0\text{ V}$	0.2		8	
		サブシステム・クロック動作		114	122	125	
周辺ハードウェア・ クロック周波数	f <sub>PRS</sub>	XSEL = 1	4.0 V $V_{DD} 5.5\text{ V}$			20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$			10	
		XSEL = 0	2.7 V $V_{DD} < 4.0\text{ V}$	7.6		8.4	
外部クロック入力周波数	f <sub>EXT</sub>	4.0 V $V_{DD} 5.5\text{ V}$	4.0		20	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$	4.0		10		
外部クロック入力ハイ・レベル幅, ロウ・レベル幅	f <sub>EXTH</sub> , f <sub>EXTL</sub>		(1/f <sub>EXTx1/2</sub> )-1			ns	
外部サブクロック入力周波数	f <sub>EXTS</sub>		32	32.768	35	kHz	
外部サブクロック入力ハイ・ レベル幅, ロウ・レベル幅	f <sub>EXTSH</sub> , f <sub>EXTSL</sub>		(1/f <sub>EXTSx1/2</sub> )-5			ns	
TIOP00, 01, 10, 11, 20, 21, 30, 31, 40, 41, TIO50, 51入力周波数	f <sub>TI5</sub>	4.0 V $V_{DD} 5.5\text{ V}$			10	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$			10		
TIOP00, 01, 10, 11, 20, 21, 30, 31, 40, 41, TIO50, 51入力ハイ・レベル 幅, ロウ・レベル幅	t <sub>TIH5</sub> , t <sub>TIL5</sub>	4.0 V $V_{DD} 5.5\text{ V}$	50			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$	50				
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t <sub>NIH</sub> , t <sub>NIL</sub>		1			$\mu\text{s}$	
RESETロウ・レベル幅	t <sub>RSL</sub>		10			$\mu\text{s}$	

T<sub>CY</sub> vs V<sub>DD</sub> (メイン・システム・クロック動作時)

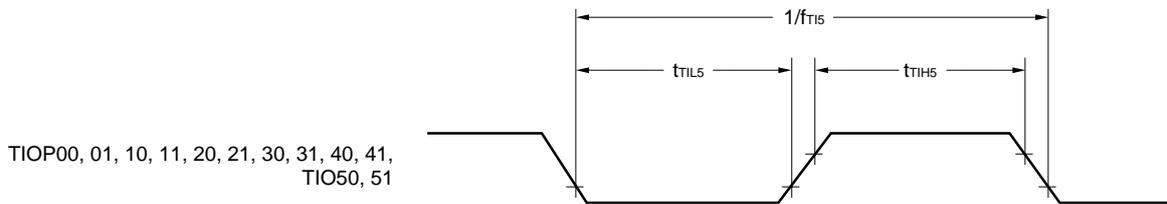
ACタイミング測定点 (外部クロック入力を除く)



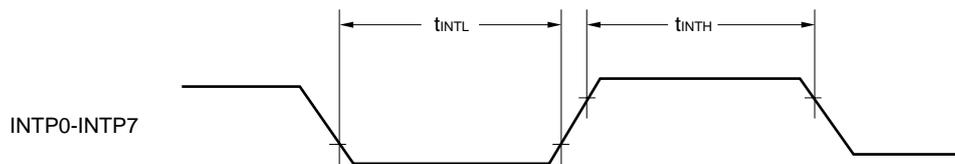
外部クロック入力タイミング



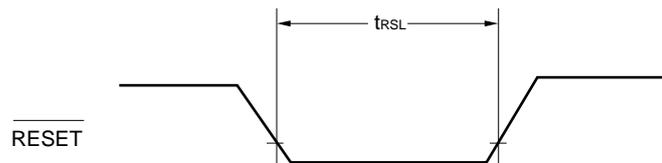
TIタイミング



割り込み要求入力タイミング



RESET入力タイミング



## (2) シリアル・インタフェース

( $T_A = -40 \sim +105$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

## (a) UART6n (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	Kbps

## (b) IIC0

項目	略号	条件	標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCL0クロック周波数	f <sub>CLK</sub>		0	100	0	400	kHz	
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU: STA</sub>		4.7		0.6		μs	
ホールド時間 <sup>注1</sup>	t <sub>HD: STA</sub>		4.0		0.6		μs	
SCL0 = “L” のホールド・タイム	t <sub>LOW</sub>		4.7		1.3		μs	
SCL0 = “H” のホールド・タイム	t <sub>HIGH</sub>		4.0		0.6		μs	
データ・セットアップ時間 (受信時)	t <sub>SU: DAT</sub>		250		100		ns	
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD: DAT</sub>	f <sub>w</sub> = f <sub>IN</sub> /2 <sup>N</sup> 選択時 <sup>注3</sup>	DFC0 = 0	0	3.45	0	0.9 <sup>注4</sup>	μs
							1.0 <sup>注5</sup>	
		DFC0 = 1				0	0.9 <sup>注6</sup>	
							1.125 <sup>注7</sup>	
f <sub>w</sub> = f <sub>OSCA</sub> /2 <sup>N</sup> 選択時 <sup>注3</sup>		DFC0 = 0	0	3.45	0	1.05		
		DFC0 = 1			0	1.184		
ストップ・コンディションのセットアップ時間	t <sub>SU: STO</sub>		4.0		0.6		μs	
ストップ・コンディションとスタート・コンディションの間のバス・フリー時間	t <sub>BUF</sub>		4.7		1.3		μs	

注1. スタート/リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

- t<sub>HD: DAT</sub>の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$  (アクノリッジ) タイミングでは、ウエイトがかかります。
- f<sub>w</sub>は、IICCLレジスタとIICX0レジスタで選択したIIC0の転送クロックを示します。
- f<sub>w</sub> 4 MHz選択時
- f<sub>w</sub> < 4 MHz選択時
- f<sub>w</sub> 5 MHz選択時
- f<sub>w</sub> < 5 MHz選択時

備考 n = 0, 1

(c) CSI1n (マスタ・モード,  $\overline{SCK1n}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1n}$ サイクル・タイム	tkCY1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	78K0/DE2	250		ns
			78K0/DF2	200		ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	78K0/DE2	500		ns
			78K0/DF2	400		ns
$\overline{SCK1n}$ ハイ・レベル幅, ロウ・レベル幅 <sup>注1</sup>	tkH1,	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{kCY1}/2 - 20$			ns
	tkL1	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$t_{kCY1}/2 - 30$			ns
SI1nセットアップ時間 (対 $\overline{SCK1n}$ )	tsIK1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	70			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	100			ns
SI1nホールド時間 (対 $\overline{SCK1n}$ )	tkSI1		30			ns
$\overline{SCK1n}$ SO1n出力遅延時間	tkSO1	$C = 50\text{ pF}$ <sup>注2</sup>	78K0/DE2		50	ns
			78K0/DF2		40	ns

注1.  $t_x$ 使用時の値です。fosc8使用時はスペックが異なるので注意してください。

2. Cは、 $\overline{SCK1n}$ , SO1n出力ラインの負荷容量です。

備考 n = 0, 1

(d) CSI1n (スレーブ・モード,  $\overline{SCK1n}$ ...外部クロック入力)

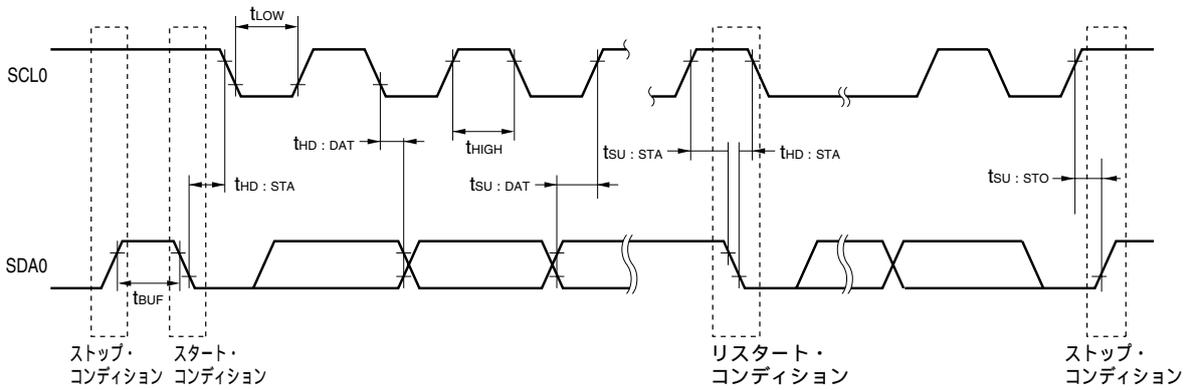
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1n}$ サイクル・タイム	tkCY2	78K0/DE2	800			ns
		78K0/DF2	400			ns
$\overline{SCK1n}$ ハイ・レベル幅, ロウ・レベル幅	tkH2, tkL2		$t_{kCY2}/2$			ns
SI1nセットアップ時間 (対 $\overline{SCK1n}$ )	tsIK2		80			ns
SI1nホールド時間 (対 $\overline{SCK1n}$ )	tkSI2		50			ns
$\overline{SCK1n}$ SO1n出力遅延時間	tkSO2	$C = 50\text{ pF}$ <sup>注</sup>	78K0/DE2		380	ns
			78K0/DF2		120	ns

注 Cは、SO1n出力ラインの負荷容量です。

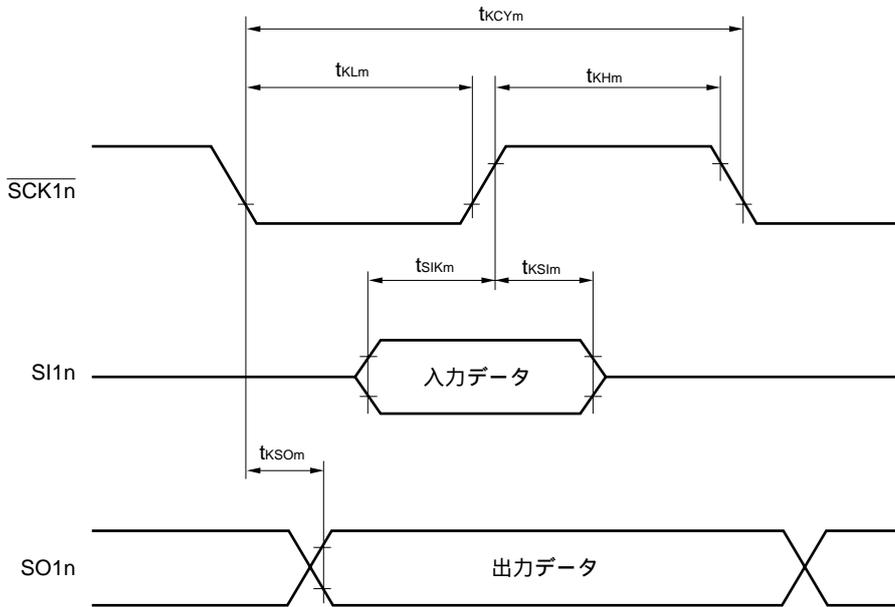
備考 n = 0, 1

シリアル転送タイミング

IIC0 :



CSI1n :



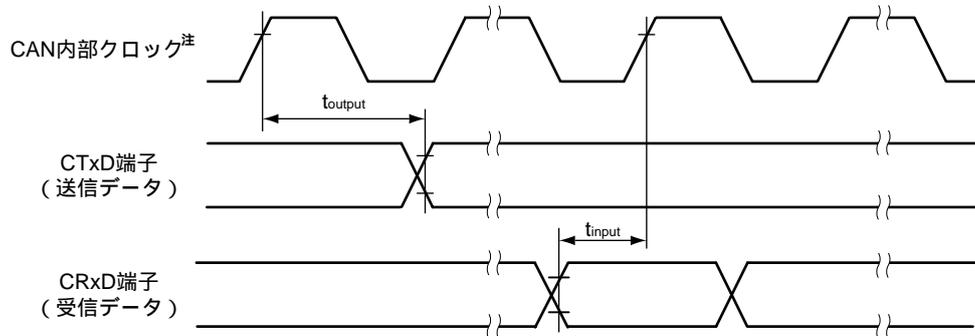
備考 m = 1, 2

n = 0, 1

## (3) CANコントローラ

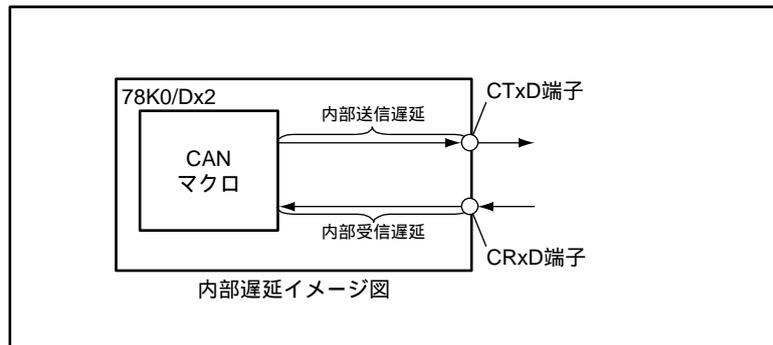
( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	$t_{NODE}$				100	ns



内部遅延時間 ( $t_{NODE}$ ) = 内部送信時間 ( $t_{output}$ ) + 内部受信時間 ( $t_{input}$ )

注 CAN内部クロック ( $f_{CAN}$ ) : CANポー・レート・クロック



## (4) A/Dコンバータ特性

( $T_A = -40 \sim +105$  , 2.7 V  $V_{DD} = EV_{DD} = 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} = 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} = 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES				10	bit
総合誤差 <sup>注1, 2</sup>	AINL	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	
変換時間	tCONV	4.0 V $AV_{REF} = 5.5 \text{ V}$	6.1		36.7	$\mu\text{s}$
		2.7 V $AV_{REF} < 5.5 \text{ V}$	6.1		36.7	
ゼロスケール誤差 <sup>注1, 2</sup>	EzS	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	
フルスケール誤差 <sup>注1, 2</sup>	EFS	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	
積分直線性誤差 <sup>注1</sup>	ILE	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 2.5$	LSB
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 4.5$	
微分直線性誤差 <sup>注1</sup>	DLE	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 1.5$	LSB
		2.7 V $AV_{REF} < 5.5 \text{ V}$			$\pm 2.0$	
アナログ入力電圧	VAIN		$AV_{SS}$		$AV_{REF}$	V

注1. 量子化誤差 ( $\pm 1/2 \text{ LSB}$ ) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

## (5) メータ・コントローラ/ドライバ, ZPD特性

( $T_A = -40 \sim +105$  ,  $2.7 \text{ V}$   $V_{DD} = EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$   $AV_{REF} 5.5 \text{ V}, 2.7 \text{ V}$   $SMV_{DD} 5.5 \text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
メータ・コントローラ/ドライバ入力周波数	$f_{MC}$ <sup>注1</sup>	$V_{DD} = 4.5 \text{ V} \sim 5.5 \text{ V}$			20	MHz	
					10		
PWM出力立ち上がり時間	$t_r$	$C = 50 \text{ pF}$ <sup>注2</sup> (10 % ~ 90 %)	4.5 V $SMV_{DD} 5.5 \text{ V}$	30	60	90	ns
			2.7 V $SMV_{DD} 5.5 \text{ V}$	60	120	250	
PWM出力立ち下がり時間	$t_f$	$C = 50 \text{ pF}$ <sup>注2</sup> (10 % ~ 90 %)	4.5 V $SMV_{DD} 5.5 \text{ V}$	30	60	90	ns
			2.7 V $SMV_{DD} 5.5 \text{ V}$	60	140	250	
クロス電流ピーク <sup>注3</sup>	$I_{CROSS}$				50	mA	
出力パルス幅 <sup>注4</sup>	$t_{MO}$		125			ns	
出力パルス長のずれ <sup>注5</sup>	$t_{SMDEV}$		- 40		+ 10	ns	
対称動作 <sup>注6</sup>	$\Delta HSP_{mn}$	$I_{OH} = -27 \text{ mA}$ $\Delta HSP_{mn} =  V_{OH} [(SM_{mn})_{max} - (SM_{mn})_{min}] $			50	mV	
		$I_{OL} = -27 \text{ mA}$ $\Delta HSP_{mn} =  V_{OL} [(SM_{mn})_{max} - (SM_{mn})_{min}] $			50	mV	

注1. フリーランニング・カウンタのソース・クロック

2. Cは, PWM出力ラインの負荷容量です。

3. スルー・レート制御は外部の誘導負荷のエネルギーを制御するためにクロス電流を発生します。出力遷移時間 $t_r$ ,  $t_f$ の間のみクロス電流が流れます。この電流は出力電流に加えて流れます。クロス電流は測定された値ではなく, シミュレーションによる値です。

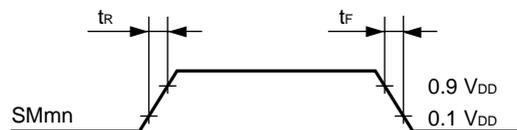
4. スルー・レート制御システムの関係で, この時間より短い時間では出力バッファはハイまたはロウ・パルスを発生できません。測定された値ではなく, シミュレーションによる値です。

5. スルー・レート制御機能により選択された出力パルスの設定時間と比較して出力パルスのずれが発生します。測定された値ではなく, シミュレーションによる値です。

6. 16以下のPWM出力電圧のばらつきを示します。製品による測定ではなく, 設計上の値です。

備考  $m = 0, 1, n = 1-4$

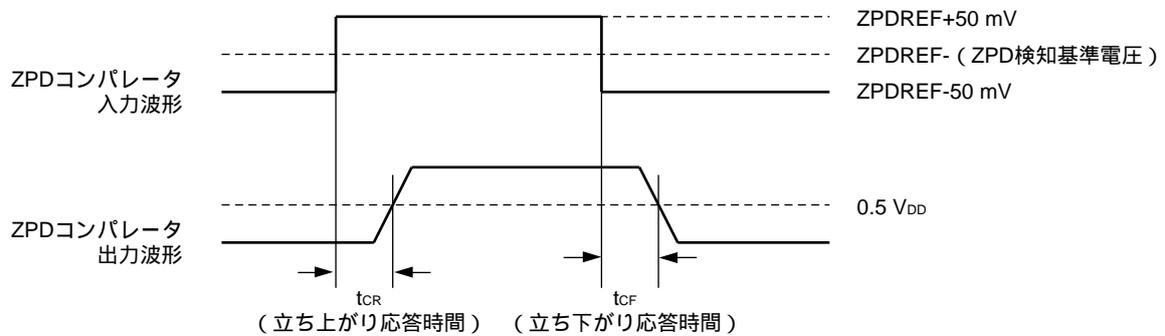
## メータ・コントローラ/ドライバ出力タイミング



項目	略号	条件	MIN.	TYP.	MAX.	単位
スレッシュホールド電圧	V <sub>ZPD</sub>	ゼロ点検知電圧設定 (ZPDSn) = 000	80	150	220	mV
		ゼロ点検知電圧設定 (ZPDSn) = 001	180	250	320	
		ゼロ点検知電圧設定 (ZPDSn) = 010	280	350	420	
		ゼロ点検知電圧設定 (ZPDSn) = 011	380	450	520	
		ゼロ点検知電圧設定 (ZPDSn) = 100	480	550	620	
検出遅延	t <sub>ZPDD</sub>	100 mV刻み, 50 mV オーバドライブ (下図を参照)	SMV <sub>DD</sub> = 4.75 V ~ 5.25 V		100 <sup>注</sup>	ns
			SMV <sub>DD</sub> = 2.7 V ~ 5.5 V		100 <sup>注</sup>	
動作安定ウエイト時間	t <sub>ZPDW</sub>	基準電圧安定 + ZPDコンパレータ安定			1 + 5 = 6	μs

注 製品による測定ではなく、設計上の値です。

### ZPDタイミング

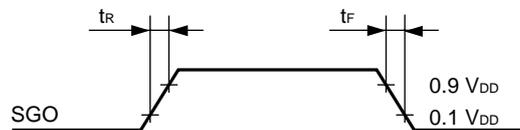


## (6) サウンド・ジェネレータ特性

( $T_A = -40 \sim +105$  ,  $2.7\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$   $AV_{REF} 5.5\text{ V}, 2.7\text{ V}$   $SMV_{DD} 5.5\text{ V}$ ,  
 $V_{SS} = EV_{SS} = AV_{SS} = SMV_{SS} = 0\text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
サウンド・ジェネレータ入力周波数	$f_{SG0}$	$V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$			10	MHz	
					5	MHz	
SGO出力立ち上がり時間	$t_R$	$C = 100\text{ pF}$	4.5 V $SMV_{DD} 5.5\text{ V}$			200	ns
			2.7 V $SMV_{DD} 5.5\text{ V}$			200	ns
SGO出力立ち下がり時間	$t_F$	$C = 100\text{ pF}$	4.5 V $SMV_{DD} 5.5\text{ V}$			200	ns
			2.7 V $SMV_{DD} 5.5\text{ V}$			200	ns

## サウンド・ジェネレータ出力タイミング



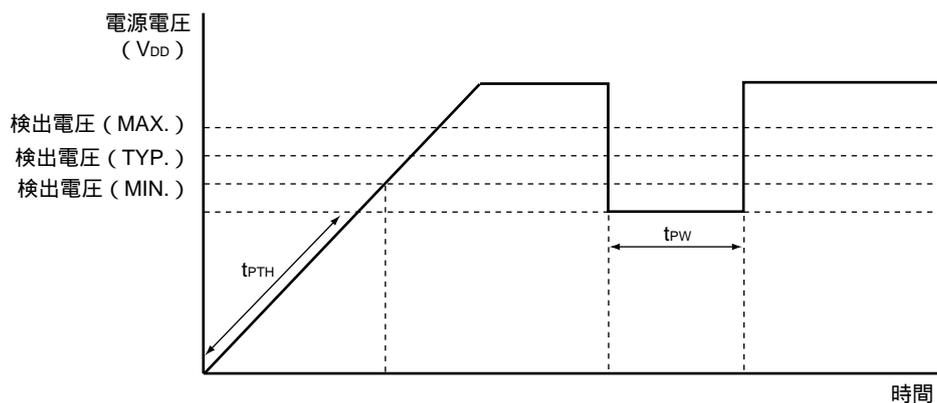
## (7) POC回路特性

(TA = -40 ~ +105 , VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOCO		1.44	1.59	1.74	V
一次電源傾き	tPTH	VDD : 0 V VPOCOの変化傾き	0.5			V/ms
最小パルス幅 <sup>注</sup>	tpw	電源降下時	200			μs

注 最小パルス幅より短い幅で電源降下時は、POC検出の動作は保証されません。

## POC回路タイミング



## (8) LVI回路特性

(TA = -40 ~ +105 , VPOC VDD = EVDD 5.5 V, VSS = EVSS = 0 V)

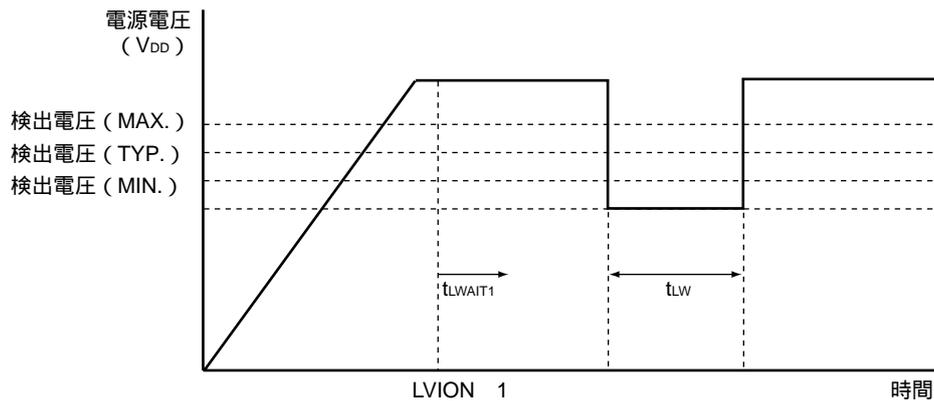
項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	V <sub>LVI0</sub>		4.14	4.24	4.34	V
		V <sub>LVI1</sub>		3.99	4.09	4.19	V
		V <sub>LVI2</sub>		3.83	3.93	4.03	V
		V <sub>LVI3</sub>		3.68	3.78	3.88	V
		V <sub>LVI4</sub>		3.52	3.62	3.72	V
		V <sub>LVI5</sub>		3.37	3.47	3.57	V
		V <sub>LVI6</sub>		3.22	3.32	3.42	V
		V <sub>LVI7</sub>		3.06	3.16	3.26	V
		V <sub>LVI8</sub>		2.91	3.01	3.11	V
		V <sub>LVI9</sub>		2.75	2.85	2.95	V
		V <sub>LVI10</sub>		2.60	2.70	2.80	V
外部入力端子 <sup>注1</sup> レベル	EX <sub>LVI</sub>	EX <sub>LVI</sub> < V <sub>DD</sub> , 2.7 V V <sub>DD</sub> 5.5 V	1.11	1.21	1.31	V	
電源立ち上げ時 電源電圧レベル	VDD <sub>LVI</sub>	LVISTART (オプション・バイト) = 1	2.50	2.70	2.90	V	
最小パルス幅	t <sub>LW</sub>		200			μs	
動作安定待ち時間 <sup>注2</sup>	t <sub>LWAIT1</sub>				10	μs	

注1. P120端子と兼用です。

2. LVIONに1を設定してから，動作が安定するまでの時間です。

備考 V<sub>LVI(n-1)</sub> > V<sub>LVI n</sub> (n = 1-10)

## LVI回路タイミング

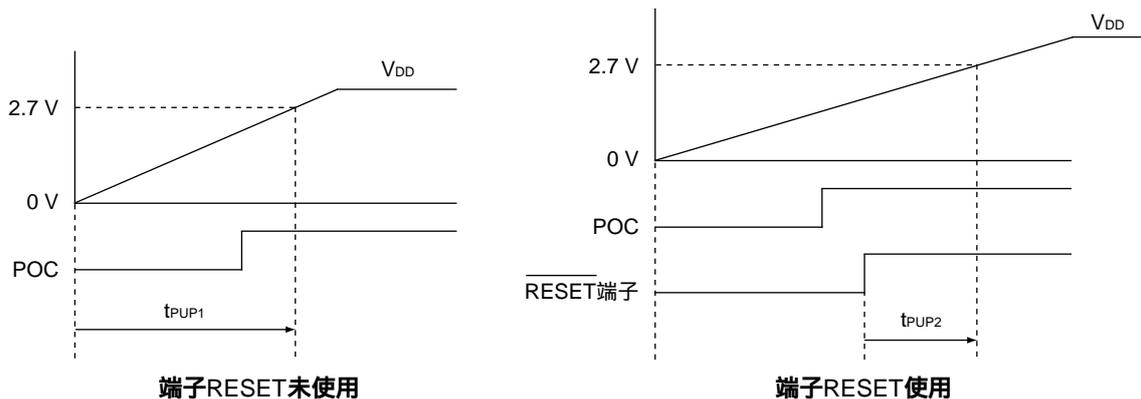


## (9) 電源立ち上げ時間

(TA = -40 ~ +105 , VSS = EVSS = 0 V)

項目	略称	条件	MIN.	TYP.	MAX.	単位
V <sub>DDmin</sub> (2.7 V) までの立ち上げ最大時間 <sup>注</sup> (V <sub>DD</sub> : 0 V ~ 2.7 V)	t <sub>PUP1</sub>	LVI起動オプション無効 端子RESET未使用時			3.6	ms
V <sub>DDmin</sub> (2.7 V) までの立ち上げ最大時間 <sup>注</sup> (端子RESET解除 V <sub>DD</sub> : 2.7 V)	t <sub>PUP2</sub>	LVI起動オプション無効 端子RESET使用時			1.9	ms

注 LVI起動オプション無効時には、これより短い時間で電源を立ち上げてください。



## (10) LCD回路特性

## (a) スタティック表示モード

(TA = -40 ~ +105 , 2.7 V V<sub>DD</sub> EV<sub>DD</sub> 5.5 V, VSS = EVSS = 0 V)

項目	略称	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>				V <sub>DD</sub>	V
LCD分割抵抗 <sup>注1</sup>	R <sub>LCD</sub>		5	15	45	kΩ
LCD出力抵抗 (コモン) <sup>注2</sup>	R <sub>ODC</sub>				40	kΩ
LCD出力抵抗 (セグメント) <sup>注3</sup>	R <sub>ODS</sub>				200	kΩ

## (b) 1/3バイアス法

(TA = -40 ~ +105 , 2.7 V V<sub>DD</sub> EV<sub>DD</sub> 5.5 V, VSS = EVSS = 0 V)

項目	略称	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>				V <sub>DD</sub>	V
LCD分割抵抗 <sup>注1</sup>	R <sub>LCD</sub>		5	15	45	kΩ
LCD出力抵抗 (コモン) <sup>注2</sup>	R <sub>ODC</sub>				40	kΩ
LCD出力抵抗 (セグメント) <sup>注3</sup>	R <sub>ODS</sub>				200	kΩ

注1．内部抵抗分割方式のみ。

- 出力抵抗R<sub>ODC</sub>とは、COM端子からの内部当量抵抗 + コモンIOバッファ抵抗。
- 出力抵抗R<sub>ODS</sub>とは、SEG端子からの内部当量抵抗 + セグメントIOバッファ抵抗。

## 30.5 データ保持特性

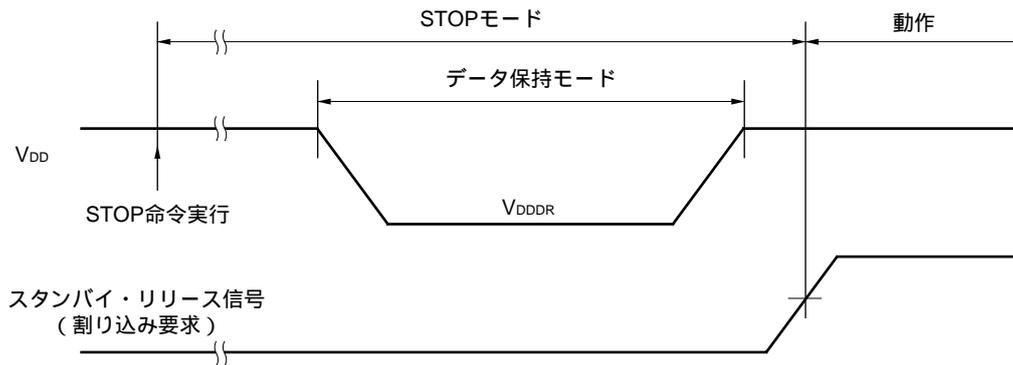
### データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +105$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットが掛かった場合のデータは保持されません。

### データ保持タイミング



## 30.6 フラッシュEEPROMプログラミング特性

### (1) 基本特性

( $T_A = -40 \sim +105$  ,  $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V$ ,  $V_{SS} = EV_{SS} = 0 V$ )

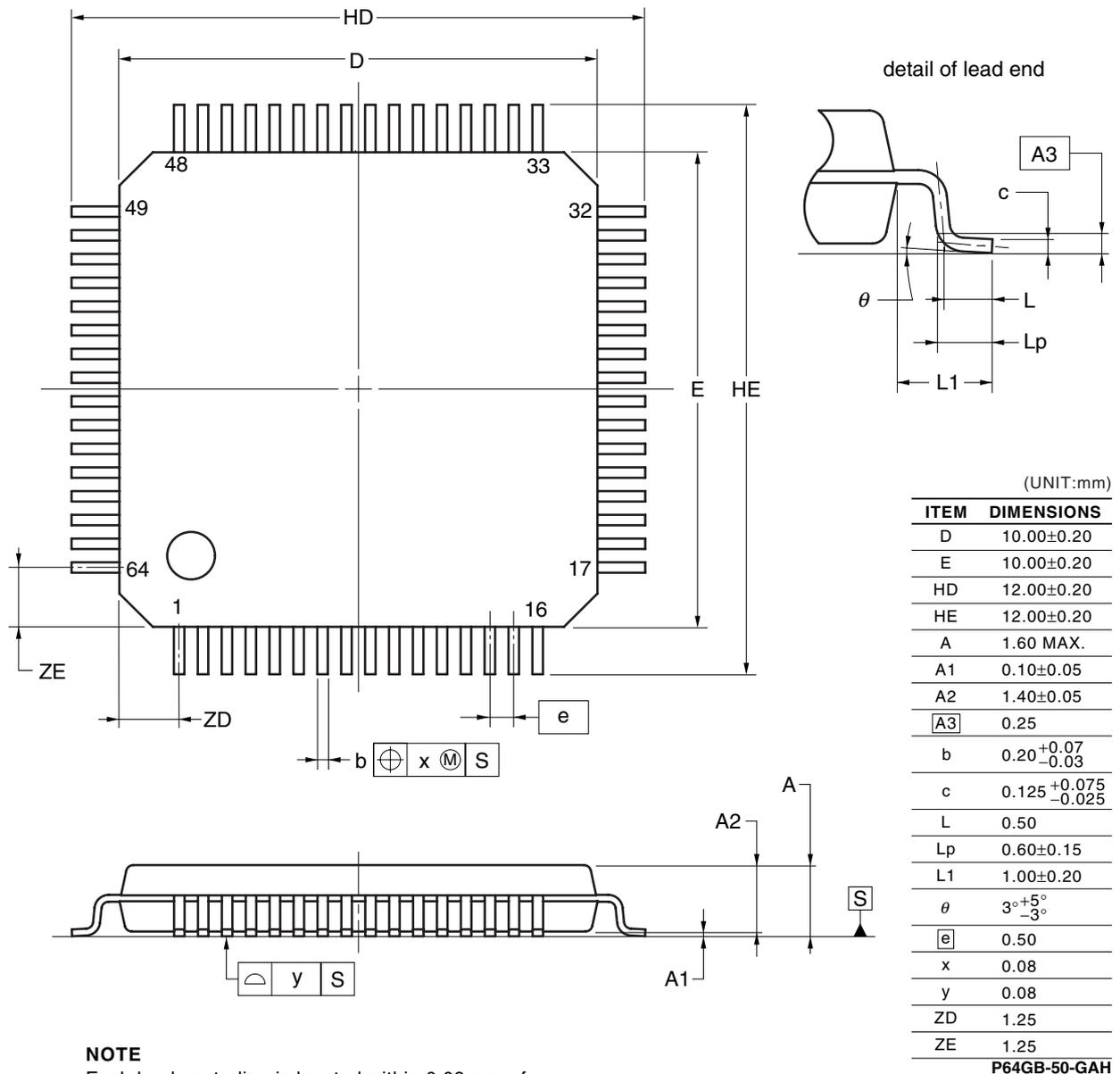
項目	略号	条件			MIN.	TYP.	MAX.	単位
$V_{DD}$ 電源電流	$I_{DD}$					4.5	14.0	mA
1チップあたりの書き換え回数 <sup>注</sup>	$C_{ERWR}$	消去1回 + 消去後の書き込み1回を書き込み回数1回とする	NECエレクトロニクス提供のライブラリとフラッシュ・メモリ・プログラマを使用時	保持15年	1000			回
			NECエレクトロニクス提供のEEPROMエミュレーション・ライブラリを使用し、書き換えROMのサイズが4KBの時	保持5年	10000			回

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

## 第31章 外形图

- $\mu$ PD78F0836GBA-GAH-G, 78F0836GBA2-GAH-G, 78F0837GBA-GAH-G, 78F0837GBA2-GAH-G,  
78F0844GBA-GAH-G, 78F0844GBA2-GAH-G, 78F0845GBA-GAH-G, 78F0845GBA2-GAH-G

## 64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



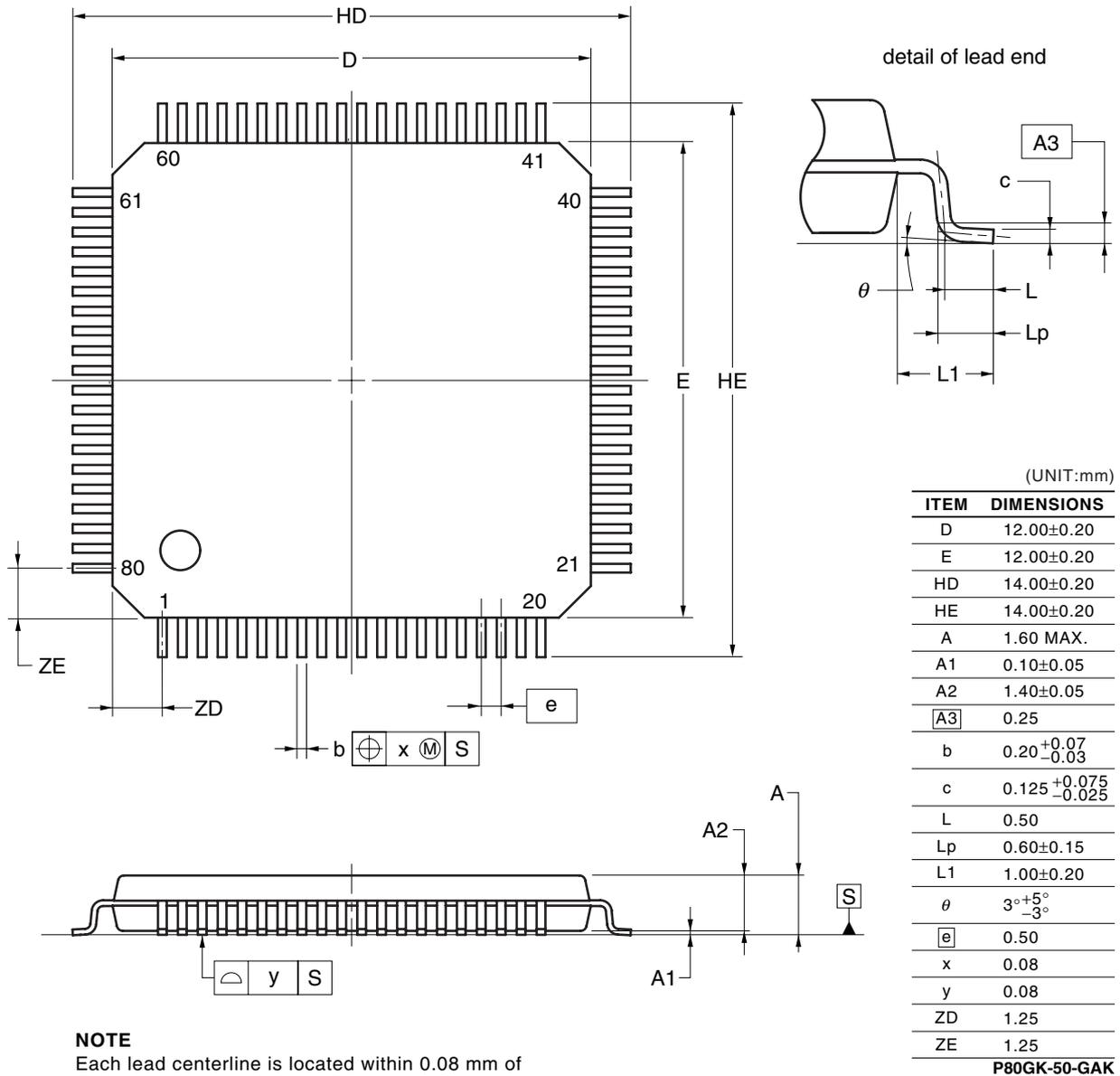
## NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

- $\mu$ PD78F0838GKA-GAK-G, 78F0838GKA2-GAK-G, 78F0839GKA-GAK-G, 78F0839GKA2-GAK-G, 78F0840GKA-GAK-G, 78F0840GKA2-GAK-G, 78F0841GKA-GAK-G, 78F0841GKA2-GAK-G, 78F0842GKA-GAK-G, 78F0842GKA2-GAK-G, 78F0843GKA-GAK-G, 78F0843GKA2-GAK-G, 78F0846GKA-GAK-G, 78F0846GKA2-GAK-G, 78F0847GKA-GAK-G, 78F0847GKA2-GAK-G, 78F0848GKA-GAK-G, 78F0848GKA2-GAK-G, 78F0849GKA-GAK-G, 78F0849GKA2-GAK-G

## 80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



© NEC Electronics Corporation 2005

## 第32章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表32 - 1 表面実装タイプの半田付け条件

- ・ 64ピン・プラスチックLQFP (10 × 10)  
 $\mu$  PD78F0836GBA-GAH-G, 78F0836GBA2-GAH-G, 78F0837GBA-GAH-G, 78F0837GBA2-GAH-G,  
 78F0844GBA-GAH-G, 78F0844GBA2-GAH-G, 78F0845GBA-GAH-G, 78F0845GBA2-GAH-G
- ・ 80ピン・プラスチックLQFP (12 × 12)  
 $\mu$  PD78F0838GKA-GAK-G, 78F0838GKA2-GAK-G, 78F0839GKA-GAK-G, 78F0839GKA2-GAK-G,  
 78F0840GKA-GAK-G, 78F0840GKA2-GAK-G, 78F0841GKA-GAK-G, 78F0841GKA2-GAK-G,  
 78F0842GKA-GAK-G, 78F0842GKA2-GAK-G, 78F0843GKA-GAK-G, 78F0843GKA2-GAK-G,  
 78F0846GKA-GAK-G, 78F0846GKA2-GAK-G, 78F0847GKA-GAK-G, 78F0847GKA2-GAK-G,  
 78F0848GKA-GAK-G, 78F0848GKA2-GAK-G, 78F0849GKA-GAK-G, 78F0849GKA2-GAK-G

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-107-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

## 第33章 ウェイトに関する注意事項

### 33.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表33-1, 33-2を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

## 33.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表33 - 1に示します。

表33 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数 (1/2)

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
16ビット・タイマ/イベント・カウンタTMPn (n = 0 ~ 4)	TPnCNT	リード	1クロック (固定)
	TPnCCR0, TPnCCR1 <sup>注1</sup>	リード	1クロック (固定)
	TPnCCR0, TPnCCR1 <sup>注2</sup>	ライト	0
シリアル・インタフェース UART60	ASIS60	リード	1クロック (固定)
シリアル・インタフェース UART61	ASIS61	リード	1クロック (固定)
シリアル・インタフェース IIC0	IICS0	リード	1クロック (固定)
A/Dコンバータ	ADM	ライト	1~5クロック (f <sub>AD</sub> = f <sub>PRS</sub> /2選択時)
	ADS	ライト	1~7クロック (f <sub>AD</sub> = f <sub>PRS</sub> /3選択時) 1~9クロック (f <sub>AD</sub> = f <sub>PRS</sub> /4選択時)
	ADPC	ライト	2~13クロック (f <sub>AD</sub> = f <sub>PRS</sub> /6選択時)
	ADCR	リード	2~17クロック (f <sub>AD</sub> = f <sub>PRS</sub> /8選択時) 2~25クロック (f <sub>AD</sub> = f <sub>PRS</sub> /12選択時)
	上記のクロック数は、f <sub>CPU</sub> とf <sub>PRS</sub> に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。		
ウェイト・クロック数算出式			
$\text{ウェイト・クロック数} = \frac{2 f_{\text{CPU}}}{f_{\text{AD}}} + 1$			
小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 > 0.5の場合は切り上げる。			
f <sub>AD</sub> : A/D変換クロック周波数 (f <sub>PRS</sub> /2-f <sub>PRS</sub> /12)			
f <sub>CPU</sub> : CPUクロック周波数			
f <sub>PRS</sub> : 周辺ハードウェア・クロック周波数			
f <sub>XP</sub> : メイン・システム・クロック周波数			
最大/最小ウェイト・クロック数条件			
・最大回数: CPU最高速 (f <sub>XP</sub> ) , A/D変換クロック最低速 (f <sub>PRS</sub> /12)			
・最小回数: CPU最低速 (f <sub>SUB</sub> /2) , A/D変換クロック最高速 (f <sub>PRS</sub> /2)			

注 1. キャプチャ動作時

2. コンペア動作時

**注意** CPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

**備考** クロックは、CPUクロック (f<sub>CPU</sub>) を示します。

表33 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数 (2/2)

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
ステップング・モータ・コントローラ/ドライバ (ZPD 付き)	MCNTC0	ライト	1~3クロック ( $f_{MC0} = f_{PRS}$ 選択時 )
	MCMPn ( $n = 1 \sim 4$ )	ライト	1~5クロック ( $f_{MC0} = f_{PRS}/2$ 選択時 ) 1~9クロック ( $f_{MC0} = f_{PRS}/2^2$ 選択時 ) 2~17クロック ( $f_{MC0} = f_{PRS}/2^3$ 選択時 ) 3~33クロック ( $f_{MC0} = f_{PRS}/2^4$ 選択時 ) 5~65クロック ( $f_{MC0} = f_{PRS}/2^5$ 選択時 ) 9~129クロック ( $f_{MC0} = f_{PRS}/2^6$ 選択時 ) 17~266クロック ( $f_{MC0} = f_{PRS}/2^7$ 選択時 )
上記のクロック数は、 $f_{CPU}$ と $f_{PRS}$ に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。			
ウェイト・クロック数算出式			
・ウェイト・クロック数 = $\frac{2 f_{CPU}}{f_{MC0}} + 1$			
小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 > 0.5の場合は切り上げる。			
$f_{MC0}$ : ステッピング・モータ・コントローラ/ドライバ・クロック周波数 ( $f_{PRS} \sim f_{PRS}/2^7$ )			
$f_{CPU}$ : CPUクロック周波数 ( $f_{CPU} \sim f_{CPU}/16$ )			
$f_{PRS}$ : 周辺ハードウェア・クロック周波数			
最大/最小ウェイト・クロック数条件			
・最大回数: CPU最高速 ( $f_{CPU}$ ), ステッピング・モータ・コントローラ/ドライバ・クロック最低速 ( $f_{PRS}/2^7$ )			
・最小回数: CPU最低速 ( $f_{CPU}/16$ ), ステッピング・モータ・コントローラ/ドライバ・クロック最高速 ( $f_{PRS}$ )			
サウンド・ジェネレータ	SG0FL	ライト	1~5クロック ( $f_{SG0} = f_{PRS}/2$ 選択時 )
	SG0FH		
	SG0PWM		
上記のクロック数は、 $f_{CPU}$ と $f_{PRS}$ に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。			
ウェイト・クロック数算出式			
・ウェイト・クロック数 = $\frac{2 f_{CPU}}{f_{SG0}} + 1$			
小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 > 0.5の場合は切り上げる。			
$f_{SG0}$ : サウンド・ジェネレータ・クロック周波数 ( $f_{PRS}/2$ )			
$f_{CPU}$ : CPUクロック周波数 ( $f_{CPU} \sim f_{CPU}/16$ )			
$f_{PRS}$ : 周辺ハードウェア・クロック周波数			
最大/最小ウェイト・クロック数条件			
・最大回数: CPU最高速 ( $f_{CPU}$ ), サウンド・ジェネレータ・クロック最低速 ( $f_{PRS}/2$ )			
・最小回数: CPU最低速 ( $f_{CPU}/16$ ), サウンド・ジェネレータ・クロック最高速 ( $f_{PRS}/2$ )			

**注意** CPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

**備考** クロックは、CPUクロック (  $f_{CPU}$  ) を示します。

表33 - 2 ウェイトが発生するRAMアクセスとCPUのウェイト・クロック数

周辺ハード ウェア	対象レジスタ	対象アクセス	ウェイト・クロック数		理 由
			MIN.	MAX.	
CAN	Global Reg.	Read/Write	1	1	synchronizaition of NPB signals with VPCLK < ウェイト・クロック数算出式 > MIN. ROUNDUP[ ( 1/FVPCLK ) × 1 / ( 1/FVPSTB ) ] MAX. ROUNDUP[ ( 1/FVPCLK ) × 2 / ( 1/FVPSTB ) ]
	CANmodule Reg.				
	C0RGPT	Read	2	14	Synchronization of NPB signals with VPCLK RAM access delay ( 1 RAM - RD access ) < ウェイト・クロック数算出式 > MIN. ROUNDUP[ ( 1/FCANCLK ) × 3 / ( 1/FVPSTB ) ] MAX. ROUNDUP[ ( 1/FCANCLK ) × 4 / ( 1/FVPSTB ) ]
	C0LIPT				
	C0TGPT				
	C0LOPT				
	Message Buf.				
Message Buf.	Write(8 bit)	2	17	synchronization of NPB signals with VPCLK RAM access delay ( 1RAM - RD + 1RAM - WR access ) < ウェイト・クロック数算出式 > MIN. ROUNDUP[ ( 1/FCANCLK ) × 4 / ( 1/FVPSTB ) ] MAX. ROUNDUP[ ( 1/FCANCLK ) × 5 / ( 1/FVPSTB ) ]	
Message Buf.	Write(16 bit)	1	11	synchronization of NPB signals with VPCLK RAM access delay ( 1 RAM - WR access ) < ウェイト・クロック数算出式 > MIN. ROUNDUP[ ( 1/FCANCLK ) × 2 / ( 1/FVPSTB ) ] MAX. ROUNDUP[ ( 1/FCANCLK ) × 3 / ( 1/FVPSTB ) ]	

注意 CANMOD (CANモジュール・システム・クロック) 2 MHzの場合の値

備考 FVPCLK : VPCLKの周波数  
FVPSTB : VPSTBの周波数  
FCANCLK : AFCANマクロの周波数

### 33.3 ウェイト発生例

・シリアル・インタフェースUART61

MOV A, ASIS61 実行時

実行クロック数：6クロック

(ウェイトが発生しないレジスタからの読み出し時は (MOV A, sfr) の場合, 5クロック)

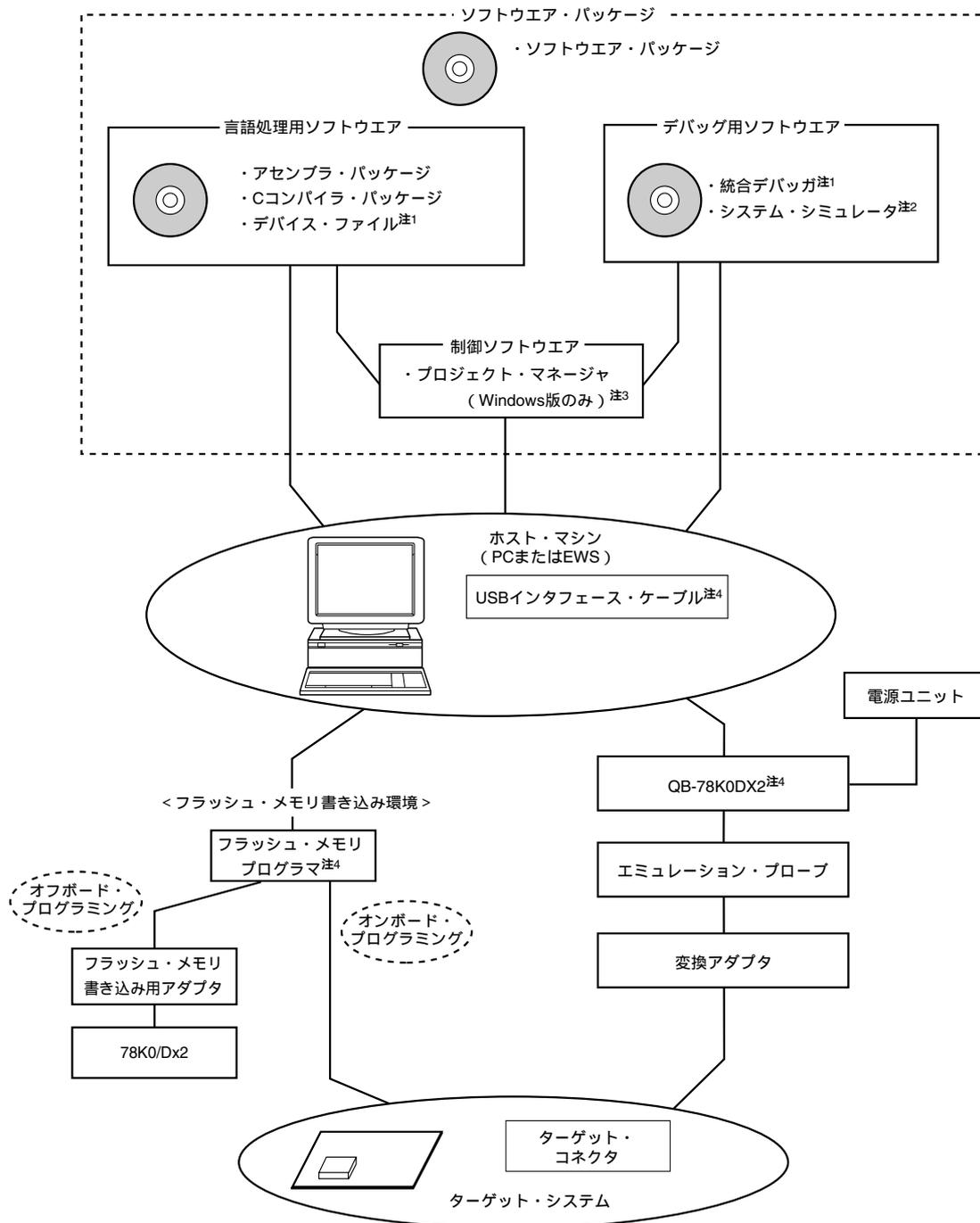
## 付録A 開発ツール

78K0/Dx2を使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0DX2を使用する場合



注1 . 78K0/Dx2用のデバイス・ファイル (DF780849) , および統合デバッガ ID78K0-QBは , 開発ツールのダウンロード・サイト ( <http://www.necel.com/micro/ja/ods/index.html> ) より入手してください。

2 . SM+ for 78K0 ( 命令シミュレーション版 ) は , ソフトウェア・パッケージに含まれています。

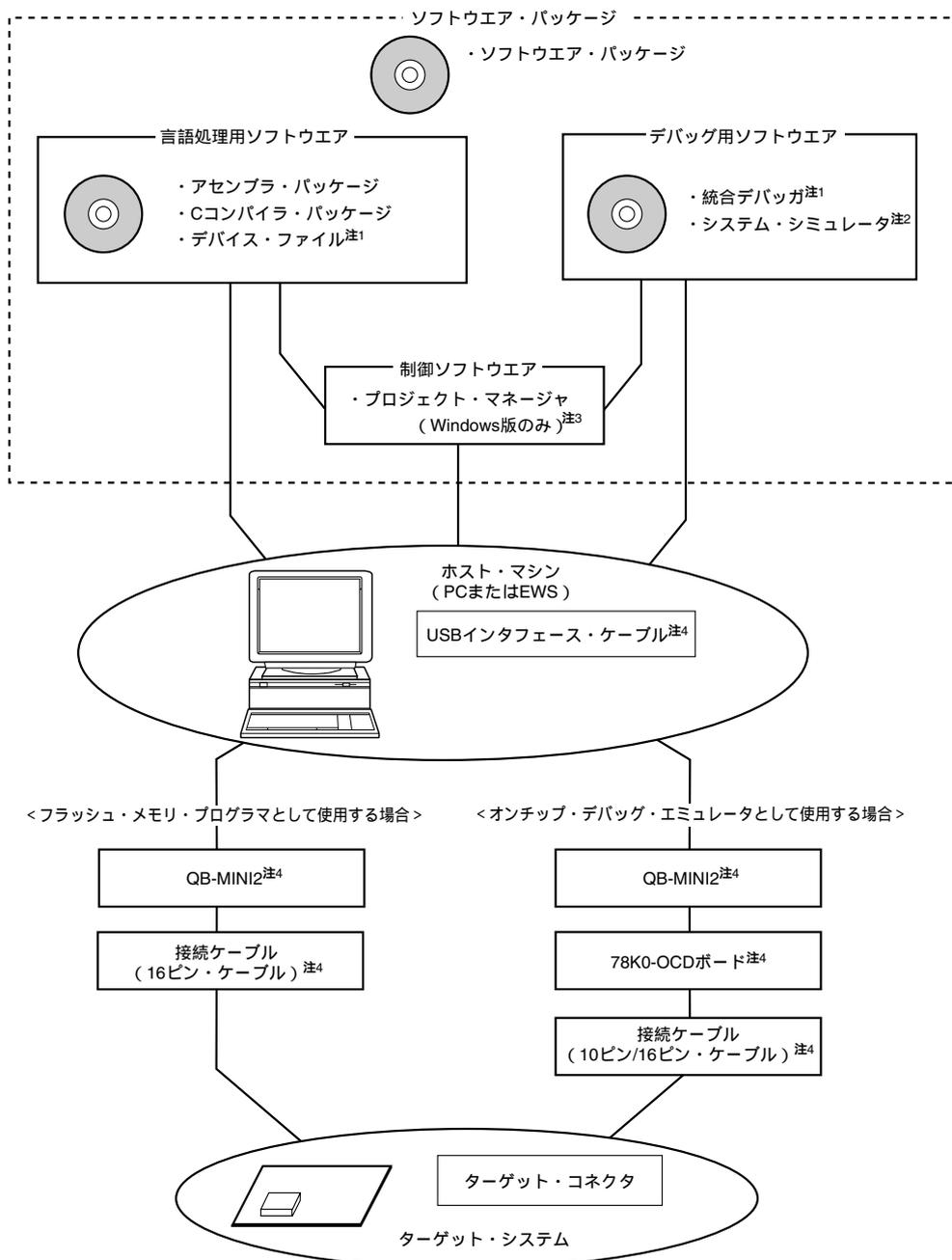
3 . プロジェクト・マネージャ PM+は , アセンブラ・パッケージに入っています。

また , Windows以外ではPM+は使用できません。

4 . QB-78K0DX2は , 統合デバッガ ID78K0-QB , USBインタフェース・ケーブル , プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 , 接続ケーブル( 10ピン・ケーブル , 16ピン・ケーブル ) , 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1 . 78K0/Dx2用のデバイス・ファイル (DF780849) , および統合デバッガ ID78K0-QBは, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2 . SM+ for 78K0 ( 命令シミュレーション版 ) は, ソフトウェア・パッケージに含まれています。

3 . プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。

また, Windows以外ではPM+は使用できません。

4 . オンチップ・デバッグ・エミュレータ QB-MINI2は, USBインタフェース・ケーブル, 接続ケーブル ( 10ピン・ケーブル, 16ピン・ケーブル ) , 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

また, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト

( <http://www.necel.com/micro/ja/ods/index.html> ) より入手してください。

## A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

## A.2 言語処理用ソフトウェア

RA78K0 <sup>注1</sup> アセンブラ・パッケージ	<p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>デバイス・ファイル(DF780849)と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 <sup>注1</sup> Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
DF780849 <sup>注2</sup> デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ)と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p>

- 注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。
2. DF780849は、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト(<http://www.necel.com/micro/ja/ods/index.html>)より入手してください。

## A. 3 フラッシュ・メモリ書き込み用ツール

### A. 3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-64GB-GAH-B, FA-80GK-GAK-B フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 ・ FA-64GB-GAH-B : 64ピン・プラスチックLQFP (GB-GAHタイプ) 用 ・ FA-80GK-GAK-B : 80ピン・プラスチックLQFP (GK-GAKタイプ) 用

備考1. FL-PR5, FA-64GB-GAH-B, FA-78F0849GB-GAH-RX, FA-78F0849GB-UEU-RX, FA-80GK-GAK-B, FA-78F0849GK-GAK-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

### A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Dx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル (16ピン・ケーブル)、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。そのうち、接続ケーブル (10ピン・ケーブル) と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/index.html>) より入手してください。

## A. 4 デバッグ用ツール（ハードウェア）

### A. 4.1 インサーキット・エミュレータ QB-78K0DX2を使用する場合

QB-78K0DX2 インサーキット・エミュレータ	78K0/Dx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ(ID78K0-QB)に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-64GB-EA-10T, QB-80GK-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。 ・QB-64GB-EA-10T: 64ピン・プラスチックLQFP (GB-GAHタイプ) 用 ・QB-80GK-EA-01T: 80ピン・プラスチックLQFP (GK-GAKタイプ) 用
QB-64GB-YS-01T, QB-80GK-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 ・QB-64GB-YS-01T: 64ピン・プラスチックLQFP (GB-GAHタイプ) 用 ・QB-80GK-YS-01T: 80ピン・プラスチックLQFP (GK-GAKタイプ) 用
QB-64GB-YQ-01T, QB-80GK-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 ・QB-64GB-YQ-01T: 64ピン・プラスチックLQFP (GB-GAHタイプ) 用 ・QB-80GK-YQ-01T: 80ピン・プラスチックLQFP (GK-GAKタイプ) 用
QB-64GB-HQ-01T, QB-80GK-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 ・QB-64GB-HQ-01T: 64ピン・プラスチックLQFP (GB-GAHタイプ) 用 ・QB-80GK-HQ-01T: 80ピン・プラスチックLQFP (GK-GAKタイプ) 用
QB-64GB-NQ-01T, QB-80GK-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 ・QB-64GB-NQ-01T: 64ピン・プラスチックLQFP (GB-GAHタイプ) 用 ・QB-80GK-NQ-01T: 80ピン・プラスチックLQFP (GK-GAKタイプ) 用

**備考1.** QB-78K0DX2は、統合デバッガ ID78K0-QB、USBインタフェース・ケーブル、電源ユニット、オンチップ・デバッグ・エミュレータ QB-MINI2、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。

QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

2. オーダ名称により、梱包内容は次のように異なります。

オーダ名称	梱包内容 インサーキット・エミュレータ	エミュレーション・プローブ	エクステンジ・アダプタ	YQコネクタ	ターゲット・コネクタ
QB-78K0DX2-ZZZ (-EE)	QB-78K0DX2	なし			
QB-78K0DX2-T64GB		QB-80-EP-01T	QB-64GB-EA-10T	QB-64GB-YQ-01T	QB-64GB-NQ-01T
QB-78K0DX2-T80GK			QB-80GK-EA-01T	QB-80GK-YQ-01T	QB-80GK-NQ-01T

### A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Dx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

### A. 5 デバッグ用ツール（ソフトウェア）

ID78K0-QB <sup>注</sup> 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF780849）と組み合わせて使用します。
SM+ for 78K0 システム・シミュレータ	システム・シミュレータは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF780849）と組み合わせて使用します。 78K0/Dx2マイクロコントローラをサポートするシステム・シミュレータには、次の1種類があります。 ・ SM+ for 78K0（命令シミュレーション版） CPUのみシミュレーション可能です。ソフトウェア・パッケージに同梱されています。

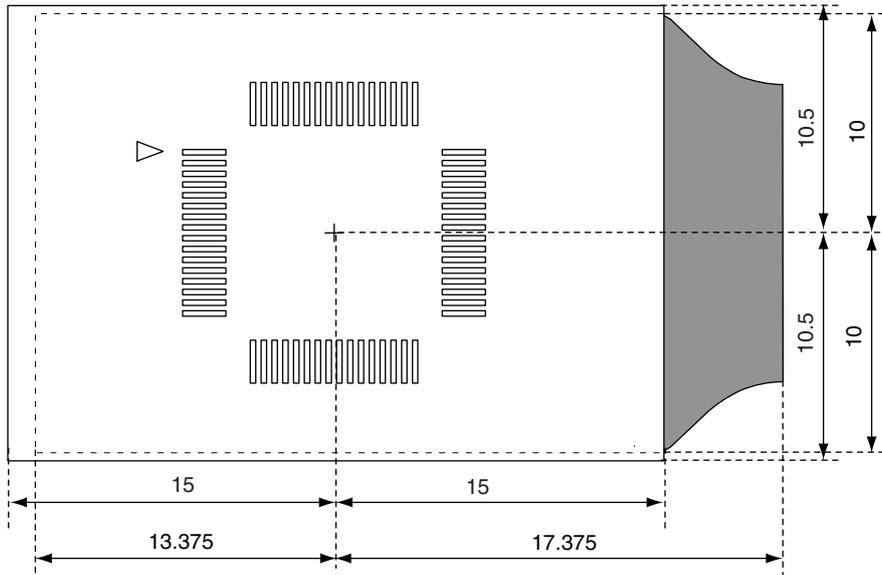
注 開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

## 付録B ターゲット・システム設計上の注意

本章ではQB-78K0DX2を使用する場合のターゲット・システム設計上の注意として、ターゲット・システム上の部品実装禁止領域、部品実装高さの制限がある領域を示します。

### (a) 64ピンGBパッケージの場合

図B - 1 ターゲット・システム上の制限領域 (64ピンGBパッケージの場合)

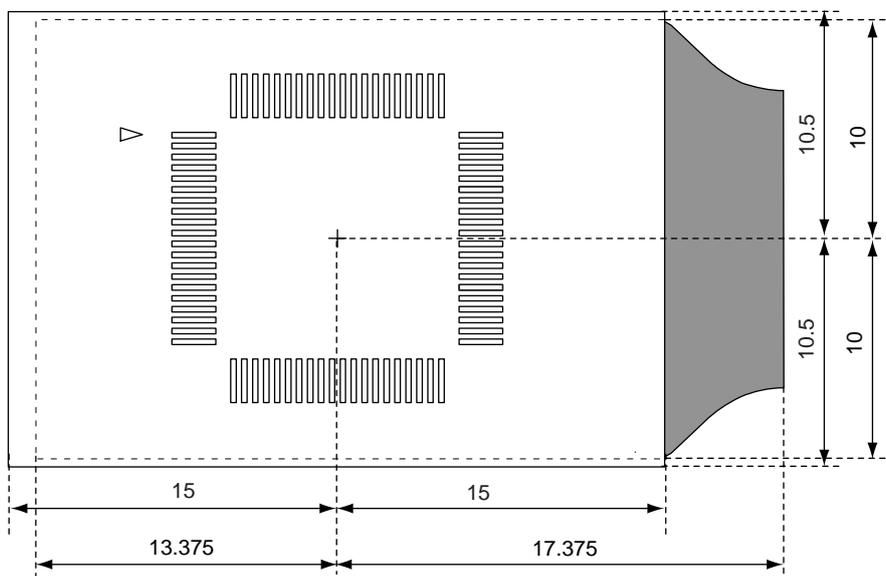


- |   |                      |                                     |
|---|----------------------|-------------------------------------|
| □ | : エクスチェンジ・アダプタ領域     | : 高さ17.45 mmまでの部品を実装可能 <sup>※</sup> |
| ■ | : エミュレーション・プローブ先端部領域 | : 高さ24.45 mmまでの部品を実装可能 <sup>※</sup> |

注 スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

## (b) 80ピンGKパッケージの場合

図B - 2 ターゲット・システム上の制限領域 (80ピンGKパッケージの場合)



- |   |                      |                                     |
|---|----------------------|-------------------------------------|
| □ | : エクステンジ・アダプタ領域      | : 高さ17.45 mmまでの部品を実装可能 <sup>※</sup> |
| ■ | : エミュレーション・プローブ先端部領域 | : 高さ24.45 mmまでの部品を実装可能 <sup>※</sup> |

注 スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

## 付録C レジスタ索引

### C.1 レジスタ索引 (50音順)

#### [数字, アルファベット]

10ビットA/D変換結果レジスタ (ADCR) ...	359
8ビットA/D変換結果レジスタ (ADCRH) ...	360
8ビット・タイマ・カウンタ50 (TM50) ...	317
8ビット・タイマ・カウンタ51 (TM51) ...	317
8ビット・タイマ・コンペア・レジスタ50 (CR50) ...	317
8ビット・タイマ・コンペア・レジスタ51 (CR51) ...	317
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	322
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	322
A/Dコンバータ・モード・レジスタ (ADM) ...	356
A/Dポート・コンフィギュレーション・レジスタ (ADPC) ...	166, 362
CANグローバル自動ブロック送信制御レジスタ (COGMABT) ...	574
CANグローバル自動ブロック送信遅延レジスタ (COGMABTD) ...	576
CANグローバル・モジュール・クロック選択レジスタ (COGMCS) ...	573
CANグローバル・モジュール制御レジスタ (COGMCTRL) ...	571
CANメッセージIDレジスタHm (COMIDHm) ...	602
CANメッセージIDレジスタLm (COMIDLm) ...	602
CANメッセージ・コンフィギュレーション・レジスタm (COMCONFm) ...	601
CANメッセージ制御レジスタm (COMCTRLm) ...	603
CANメッセージ・データ長レジスタm (COMDLCm) ...	600
CANメッセージ・データ・バイト・レジスタ0m (COMDATA0m) ...	598
CANメッセージ・データ・バイト・レジスタ01m (COMDATA01m) ...	598
CANメッセージ・データ・バイト・レジスタ1m (COMDATA1m) ...	598
CANメッセージ・データ・バイト・レジスタ2m (COMDATA2m) ...	598
CANメッセージ・データ・バイト・レジスタ23m (COMDATA23m) ...	598
CANメッセージ・データ・バイト・レジスタ3m (COMDATA3m) ...	598
CANメッセージ・データ・バイト・レジスタ4m (COMDATA4m) ...	598
CANメッセージ・データ・バイト・レジスタ45m (COMDATA45m) ...	598
CANメッセージ・データ・バイト・レジスタ5m (COMDATA5m) ...	598
CANメッセージ・データ・バイト・レジスタ6m (COMDATA6m) ...	598
CANメッセージ・データ・バイト・レジスタ67m (COMDATA67m) ...	598
CANメッセージ・データ・バイト・レジスタ7m (COMDATA7m) ...	598
CANモジュール・エラー・カウンタ・レジスタ (COERC) ...	585
CANモジュール最終エラー・レジスタ (COLEC) ...	583
CANモジュール最終受信ポイント・レジスタ (COLIPT) ...	592
CANモジュール最終送信ポイント・レジスタ (COLOPT) ...	594

CANモジュール受信履歴・リスト・レジスタ (C0RGPT) ...	593
CANモジュール情報レジスタ (C0INFO) ...	584
CANモジュール制御レジスタ (C0CTRL) ...	579
CANモジュール送信履歴・リスト・レジスタ (C0TGPT) ...	595
CANモジュール・タイム・スタンプ・レジスタ (C0TS) ...	596
CANモジュール・ビットレート・プリスケアラ・レジスタ (C0BRP) ...	589
CANモジュール・ビットレート・レジスタ (C0BTR) ...	590
CANモジュール・マスク・レジスタ (C0MASK1H) ...	577
CANモジュール・マスク・レジスタ (C0MASK1L) ...	577
CANモジュール・マスク・レジスタ (C0MASK2H) ...	577
CANモジュール・マスク・レジスタ (C0MASK2L) ...	577
CANモジュール・マスク・レジスタ (C0MASK3H) ...	577
CANモジュール・マスク・レジスタ (C0MASK3L) ...	577
CANモジュール・マスク・レジスタ (C0MASK4H) ...	577
CANモジュール・マスク・レジスタ (C0MASK4L) ...	577
CANモジュール割り込み許可レジスタ (C0IE) ...	586
CANモジュール割り込みステータス・レジスタ (C0INTS) ...	588
cos側コンペア・レジスタ1 (MCMP11) ...	681
cos側コンペア・レジスタ2 (MCMP21) ...	681
cos側コンペア・レジスタ3 (MCMP31) ...	681
cos側コンペア・レジスタ4 (MCMP41) ...	681
IIC機能拡張レジスタ0 (IICX0) ...	469
IICクロック選択レジスタ0 (IICCL0) ...	468
IICコントロール・レジスタ0 (IICC0) ...	459
IICシフト・レジスタ0 (IIC0) ...	456
IIC状態レジスタ0 (IICS0) ...	463
IICフラグ・レジスタ0 (IICF0) ...	466
LCDクロック制御レジスタ0 (LCDC0) ...	701
LCD表示モード・レジスタ (LCDM) ...	700
LCDポート・ファンクション・レジスタ0 (LCDPF0) ...	163, 702
LCDポート・ファンクション・レジスタ3 (LCDPF3) ...	164, 702
LCDポート・ファンクション・レジスタALL (LCDPFALL) ...	164, 703
LCDモード・レジスタ (LCDMD) ...	699
SG0コントロール・レジスタ (SG0CTL) ...	726
SG0周波数ハイ・レジスタ (SG0FH) ...	728
SG0周波数ロウ・レジスタ (SG0FL) ...	727
SG0ボリューム・レジスタ (SG0PWM) ...	729
sin側コンペア・レジスタ1 (MCMP10) ...	681
sin側コンペア・レジスタ2 (MCMP20) ...	681
sin側コンペア・レジスタ3 (MCMP30) ...	681
sin側コンペア・レジスタ4 (MCMP40) ...	681
TMP0I/O制御レジスタ0 (TP0IOC0) ...	220
TMP0I/O制御レジスタ1 (TP0IOC1) ...	221

TMP0I/O制御レジスタ2 (TP0IOC2) ...	222
TMP0オプション・レジスタ0 (TP0OPT0) ...	223
TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT) ...	228
TMP0キャプチャ/コンペア・レジスタ0 (TP0CCR0) ...	224
TMP0キャプチャ/コンペア・レジスタ1 (TP0CCR1) ...	226
TMP0制御レジスタ0 (TP0CTL0) ...	217
TMP0制御レジスタ1 (TP0CTL1) ...	217
TMP1I/O制御レジスタ0 (TP1IOC0) ...	220
TMP1I/O制御レジスタ1 (TP1IOC1) ...	221
TMP1I/O制御レジスタ2 (TP1IOC2) ...	222
TMP1オプション・レジスタ0 (TP1OPT0) ...	223
TMP1カウンタ・リード・バッファ・レジスタ (TP1CNT) ...	228
TMP1キャプチャ/コンペア・レジスタ0 (TP1CCR0) ...	224
TMP1キャプチャ/コンペア・レジスタ1 (TP1CCR1) ...	226
TMP1制御レジスタ0 (TP1CTL0) ...	217
TMP1制御レジスタ1 (TP1CTL1) ...	217
TMP2I/O制御レジスタ0 (TP2IOC0) ...	220
TMP2I/O制御レジスタ1 (TP2IOC1) ...	221
TMP2I/O制御レジスタ2 (TP2IOC2) ...	222
TMP2オプション・レジスタ0 (TP2OPT0) ...	223
TMP2カウンタ・リード・バッファ・レジスタ (TP2CNT) ...	228
TMP2キャプチャ/コンペア・レジスタ0 (TP2CCR0) ...	224
TMP2キャプチャ/コンペア・レジスタ1 (TP2CCR1) ...	226
TMP2制御レジスタ0 (TP2CTL0) ...	217
TMP2制御レジスタ1 (TP2CTL1) ...	217
TMP3I/O制御レジスタ0 (TP3IOC0) ...	220
TMP3I/O制御レジスタ1 (TP3IOC1) ...	221
TMP3I/O制御レジスタ2 (TP3IOC2) ...	222
TMP3オプション・レジスタ0 (TP3OPT0) ...	223
TMP3カウンタ・リード・バッファ・レジスタ (TP3CNT) ...	228
TMP3キャプチャ/コンペア・レジスタ0 (TP3CCR0) ...	224
TMP3キャプチャ/コンペア・レジスタ1 (TP3CCR1) ...	226
TMP3制御レジスタ0 (TP3CTL0) ...	217
TMP3制御レジスタ1 (TP3CTL1) ...	217
TMP4I/O制御レジスタ0 (TP4IOC0) ...	220
TMP4I/O制御レジスタ1 (TP4IOC1) ...	221
TMP4I/O制御レジスタ2 (TP4IOC2) ...	222
TMP4オプション・レジスタ0 (TP4OPT0) ...	223
TMP4カウンタ・リード・バッファ・レジスタ (TP4CNT) ...	228
TMP4キャプチャ/コンペア・レジスタ0 (TP4CCR0) ...	224
TMP4キャプチャ/コンペア・レジスタ1 (TP4CCR1) ...	226
TMP4制御レジスタ0 (TP4CTL0) ...	217
TMP4制御レジスタ1 (TP4CTL1) ...	217

TMP入力ノイズ・フィルタ制御レジスタ0 (TIPNF0) ...	237
TMP入力ノイズ・フィルタ制御レジスタ1 (TIPNF1) ...	237
TMP入力ノイズ・フィルタ制御レジスタ2 (TIPNF2) ...	237
ZPD検知電圧設定レジスタ (ZPDS0) ...	686
ZPD検知電圧設定レジスタ (ZPDS1) ...	686
ZPD動作コントロール・レジスタ (ZPDEN) ...	687
ZPDフラグ検知クロック設定レジスタ (CMPCTL) ...	687

### 【あ行】

アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) ...	401
アシンクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) ...	401
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) ...	392
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61) ...	392
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60) ...	394
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ61 (ASIF61) ...	394
アシンクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) ...	387
アシンクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) ...	387
アナログ入力チャネル指定レジスタ (ADS) ...	361
ウォッチドッグ・タイム・イネーブル・レジスタ (WDTE) ...	343

### 【か行】

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	746
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	746
クロック出力選択レジスタ (CKS) ...	349
クロック選択レジスタ60 (CKSR60) ...	396
クロック選択レジスタ61 (CKSR61) ...	396
クロック動作モード選択レジスタ (OSCCTL) ...	185
コンペア・コントロール・レジスタ (MCMPC1) ...	683
コンペア・コントロール・レジスタ (MCMPC2) ...	683
コンペア・コントロール・レジスタ (MCMPC3) ...	683
コンペア・コントロール・レジスタ (MCMPC4) ...	683

### 【さ行】

受信シフト・レジスタ60 (RXS60) ...	386
受信シフト・レジスタ61 (RXS61) ...	386
受信バッファ・レジスタ60 (RXB60) ...	386
受信バッファ・レジスタ61 (RXB61) ...	386
乗除算器コントロール・レジスタ0 (DMUC0) ...	786
乗除算データ・レジスタA0H (MDA0H) ...	784
乗除算データ・レジスタA0L (MDA0L) ...	784
乗除算データ・レジスタB0 (MDB0) ...	785
剰余データ・レジスタ0 (SDR0) ...	784
シリアル/Oシフト・レジスタ10 (SIO10) ...	433

シリアルI/Oシフト・レジスタ11 (SIO11) ...	433
シリアル・クロック選択レジスタ10 (CSIC10) ...	436
シリアル・クロック選択レジスタ11 (CSIC11) ...	436
シリアル動作モード・レジスタ10 (CSIM10) ...	434
シリアル動作モード・レジスタ11 (CSIM11) ...	434
ステッピング・モータ・ポート・モード・コントロール・レジスタ (SMPC) ...	165, 685
スレーブ・アドレス・レジスタ0 (SVA0) ...	456
送信シフト・レジスタ60 (TXS60) ...	386
送信シフト・レジスタ61 (TXS61) ...	386
送信バッファ・レジスタ10 (SOTB10) ...	433
送信バッファ・レジスタ11 (SOTB11) ...	433
送信バッファ・レジスタ60 (TXB60) ...	386
送信バッファ・レジスタ61 (TXB61) ...	386

### 【た行】

タイマ・クロック選択レジスタ50 (TCL50) ...	319
タイマ・クロック選択レジスタ51 (TCL51) ...	319
タイマ・モード・コントロール・レジスタ (MCNTC0) ...	679
低電圧検出レジスタ (LVIM) ...	799
低電圧検出レベル選択レジスタ (LVIS) ...	800
時計用タイマ動作モード・レジスタ (WTM) ...	336

### 【な行】

内蔵発振モード・レジスタ (RCM) ...	182
内部拡張RAMサイズ切り替えレジスタ (IXS) ...	821
入力切り替え制御レジスタ (ISC) ...	229, 405

### 【は行】

発振安定時間カウンタ状態レジスタ (OSTC) ...	186, 757
発振安定時間選択レジスタ (OSTS) ...	187, 758
複合コンペア・レジスタ1 (MCMP1HW) ...	682
複合コンペア・レジスタ2 (MCMP2HW) ...	682
複合コンペア・レジスタ3 (MCMP3HW) ...	682
複合コンペア・レジスタ4 (MCMP4HW) ...	682
ブルアップ抵抗オプション・レジスタ0 (PU0) ...	162
ブルアップ抵抗オプション・レジスタ1 (PU1) ...	162
ブルアップ抵抗オプション・レジスタ12 (PU12) ...	162
ブルアップ抵抗オプション・レジスタ3 (PU3) ...	162
ブルアップ抵抗オプション・レジスタ6 (PU6) ...	162
ブルアップ抵抗オプション・レジスタ7 (PU7) ...	162
プログラム・ステータス・ワード (PSW) ...	747
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	180
ポート出力モード制御レジスタ6 (POM6) ...	163, 472

ポート・モード・レジスタ0 (PM0) ...	158, 324
ポート・モード・レジスタ1 (PM1) ...	158, 407, 439
ポート・モード・レジスタ12 (PM12) ...	158, 801
ポート・モード・レジスタ2 (PM2) ...	158, 363
ポート・モード・レジスタ3 (PM3) ...	158
ポート・モード・レジスタ6 (PM6) ...	158, 471
ポート・モード・レジスタ7 (PM7) ...	158, 351, 407, 439
ポート・モード・レジスタ8 (PM8) ...	158
ポート・モード・レジスタ9 (PM9) ...	158
ポート・レジスタ0 (P0) ...	160
ポート・レジスタ1 (P1) ...	160
ポート・レジスタ12 (P12) ...	160
ポート・レジスタ2 (P2) ...	160
ポート・レジスタ3 (P3) ...	160
ポート・レジスタ6 (P6) ...	160, 471
ポート・レジスタ7 (P7) ...	160
ポート・レジスタ8 (P8) ...	160
ポート・レジスタ9 (P9) ...	160
ポー・レート・ジェネレータ・コントロール・レジスタ60 (BRGC60) ...	399
ポー・レート・ジェネレータ・コントロール・レジスタ61 (BRGC61) ...	399

**【ま行】**

メインOSCコントロール・レジスタ (MOC) ...	184
メイン・クロック・モード・レジスタ (MCM) ...	183
メモリ・サイズ切り替えレジスタ (IMS) ...	820

**【や行】**

優先順位指定フラグ・レジスタ0H (PR0H) ...	745
優先順位指定フラグ・レジスタ0L (PR0L) ...	745
優先順位指定フラグ・レジスタ1H (PR1H) ...	745
優先順位指定フラグ・レジスタ1L (PR1L) ...	745

**【ら行】**

リセット・コントロール・フラグ・レジスタ (RESF) ...	781
---------------------------------	-----

**【わ行】**

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	744
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	744
割り込みマスク・フラグ・レジスタ1H (MK1H) ...	744
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	744
割り込み要求フラグ・レジスタ0H (IF0H) ...	742
割り込み要求フラグ・レジスタ0L (IF0L) ...	742
割り込み要求フラグ・レジスタ1H (IF1H) ...	742
割り込み要求フラグ・レジスタ1L (IF1L) ...	742

## C.2 レジスタ索引 (アルファベット順)

### [A]

ADCR : 10ビットA/D変換結果レジスタ ...	359
ADCRH : 8ビットA/D変換結果レジスタ ...	360
ADM : A/Dコンバータ・モード・レジスタ ...	356
ADPC : A/Dポート・コンフィギュレーション・レジスタ ...	166, 362
ADS : アナログ入力チャネル指定レジスタ ...	361
ASICL60 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 ...	401
ASICL61 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 ...	401
ASIF60 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60 ...	394
ASIF61 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61 ...	394
ASIM60 : アシクロナス・シリアル・インタフェース動作モード・レジスタ60 ...	387
ASIM61 : アシクロナス・シリアル・インタフェース動作モード・レジスタ61 ...	387
ASIS60 : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 ...	392
ASIS61 : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 ...	392

### [B]

BRGC60 : ボー・レート・ジェネレータ・コントロール・レジスタ60 ...	399
BRGC61 : ボー・レート・ジェネレータ・コントロール・レジスタ61 ...	399

### [C]

C0BRP : CANモジュール・ビットレート・プリスケラ・レジスタ ...	589
C0BTR : CANモジュール・ビットレート・レジスタ ...	590
C0CTRL : CANモジュール制御レジスタ ...	579
C0ERC : CANモジュール・エラー・カウンタ・レジスタ ...	585
C0GMABT : CANグローバル自動ブロック送信制御レジスタ ...	574
C0GMABTD : CANグローバル自動ブロック送信遅延レジスタ ...	576
C0GMCS : CANグローバル・モジュール・クロック選択レジスタ ...	573
C0GMCTRL : CANグローバル・モジュール制御レジスタ ...	571
C0IE : CANモジュール割り込み許可レジスタ ...	586
C0INFO : CANモジュール情報レジスタ ...	584
C0INTS : CANモジュール割り込みステータス・レジスタ ...	588
C0LEC : CANモジュール最終エラー・レジスタ ...	583
C0LIPT : CANモジュール最終受信ポインタ・レジスタ ...	592
C0LOPT : CANモジュール最終送信ポインタ・レジスタ ...	594
C0MASK1H : CANモジュール・マスク・レジスタ1H ...	577
C0MASK1L : CANモジュール・マスク・レジスタ1L ...	577
C0MASK2H : CANモジュール・マスク・レジスタ2H ...	577
C0MASK2L : CANモジュール・マスク・レジスタ2L ...	577
C0MASK3H : CANモジュール・マスク・レジスタ3H ...	577
C0MASK3L : CANモジュール・マスク・レジスタ3L ...	577
C0MASK4H : CANモジュール・マスク・レジスタ4H ...	577

C0MASK4L : CANモジュール・マスク・レジスタ4L ...	577
C0MCONFm : CANメッセージ・コンフィギュレーション・レジスタm ...	601
C0MCTRLm : CANメッセージ制御レジスタm ...	603
C0MDATA01m : CANメッセージ・データ・バイト・レジスタ01m ...	598
C0MDATA0m : CANメッセージ・データ・バイト・レジスタ0m ...	598
C0MDATA1m : CANメッセージ・データ・バイト・レジスタ1m ...	598
C0MDATA23m : CANメッセージ・データ・バイト・レジスタ23m ...	598
C0MDATA2m : CANメッセージ・データ・バイト・レジスタ2m ...	598
C0MDATA3m : CANメッセージ・データ・バイト・レジスタ3m ...	598
C0MDATA45m : CANメッセージ・データ・バイト・レジスタ45m ...	598
C0MDATA4m : CANメッセージ・データ・バイト・レジスタ4m ...	598
C0MDATA5m : CANメッセージ・データ・バイト・レジスタ5m ...	598
C0MDATA67m : CANメッセージ・データ・バイト・レジスタ67m ...	598
C0MDATA6m : CANメッセージ・データ・バイト・レジスタ6m ...	598
C0MDATA7m : CANメッセージ・データ・バイト・レジスタ7m ...	598
C0MDLCm : CANメッセージ・データ長レジスタm ...	600
C0MIDHm : CANメッセージIDレジスタHm ...	602
C0MIDLm : CANメッセージIDレジスタLm ...	602
C0RGPT : CANモジュール受信履歴・リスト・レジスタ ...	593
C0TGPT : CANモジュール送信履歴・リスト・レジスタ ...	595
C0TS : CANモジュール・タイム・スタンプ・レジスタ ...	596
CKS : クロック出力選択レジスタ ...	349
CKSR60 : クロック選択レジスタ60 ...	396
CKSR61 : クロック選択レジスタ61 ...	396
CMPCTL : ZPDフラグ検知クロック設定レジスタ ...	687
CR50 : 8ビット・タイマ・コンペア・レジスタ50 ...	317
CR51 : 8ビット・タイマ・コンペア・レジスタ51 ...	317
CSIC10 : シリアル・クロック選択レジスタ10 ...	436
CSIC11 : シリアル・クロック選択レジスタ11 ...	436
CSIM10 : シリアル動作モード・レジスタ10 ...	434
CSIM11 : シリアル動作モード・レジスタ11 ...	434

## [ D ]

DMUC0 : 乗除算器コントロール・レジスタ0 ...	786
------------------------------	-----

## [ E ]

EGN : 外部割り込み立ち下がりエッジ許可レジスタ ...	746
EGP : 外部割り込み立ち上がりエッジ許可レジスタ ...	746

## [ I ]

IF0H : 割り込み要求フラグ・レジスタ0H ...	742
IF0L : 割り込み要求フラグ・レジスタ0L ...	742
IF1H : 割り込み要求フラグ・レジスタ1H ...	742

IF1L : 割り込み要求フラグ・レジスタ1L ... 742  
 IIC0 : IICシフト・レジスタ0 ... 456  
 IICC0 : IICコントロール・レジスタ0 ... 459  
 IICCL0 : IICクロック選択レジスタ0 ... 468  
 IICF0 : IICフラグ・レジスタ0 ... 466  
 IICS0 : IIC状態レジスタ0 ... 463  
 IICX0 : IIC機能拡張レジスタ0 ... 469  
 IMS : メモリ・サイズ切り替えレジスタ ... 820  
 ISC : 入力切り替え制御レジスタ ... 229, 405  
 IXS : 内部拡張RAMサイズ切り替えレジスタ ... 821

## [ L ]

LCDC0 : LCDクロック制御レジスタ0 ... 701  
 LCDM : LCD表示モード・レジスタ ... 700  
 LCDMD : LCDモード・レジスタ ... 699  
 LCDPF0 : LCDポート・ファンクション・レジスタ0 ... 163, 702  
 LCDPF3 : LCDポート・ファンクション・レジスタ3 ... 164, 702  
 LCDPFALL : LCDポート・ファンクション・レジスタALL ... 164, 703  
 LVIM : 低電圧検出レジスタ ... 799  
 LVIS : 低電圧検出レベル選択レジスタ ... 800

## [ M ]

MCM : メイン・クロック・モード・レジスタ ... 183  
 MCMP10 : sin側コンペア・レジスタ1 ... 681  
 MCMP11 : cos側コンペア・レジスタ1 ... 681  
 MCMP1HW : 複合コンペア・レジスタ1 ... 682  
 MCMP20 : sin側コンペア・レジスタ2 ... 681  
 MCMP21 : cos側コンペア・レジスタ2 ... 681  
 MCMP2HW : 複合コンペア・レジスタ2 ... 682  
 MCMP30 : sin側コンペア・レジスタ3 ... 681  
 MCMP31 : cos側コンペア・レジスタ3 ... 681  
 MCMP3HW : 複合コンペア・レジスタ3 ... 682  
 MCMP40 : sin側コンペア・レジスタ4 ... 681  
 MCMP41 : cos側コンペア・レジスタ4 ... 681  
 MCMP4HW : 複合コンペア・レジスタ4 ... 682  
 MCMPC1 : コンペア・コントロール・レジスタ1 ... 683  
 MCMPC2 : コンペア・コントロール・レジスタ2 ... 683  
 MCMPC3 : コンペア・コントロール・レジスタ3 ... 683  
 MCMPC4 : コンペア・コントロール・レジスタ4 ... 683  
 MCNTC0 : タイマ・モード・コントロール・レジスタ ... 679  
 MDA0H : 乗除算データ・レジスタA0H ... 784  
 MDA0L : 乗除算データ・レジスタA0L ... 784  
 MDB0 : 乗除算データ・レジスタB0 ... 785

MK0H : 割り込みマスク・フラグ・レジスタ0H ... 744  
 MK0L : 割り込みマスク・フラグ・レジスタ0L ... 744  
 MK1H : 割り込みマスク・フラグ・レジスタ1H ... 744  
 MK1L : 割り込みマスク・フラグ・レジスタ1L ... 744  
 MOC : メインOSCコントロール・レジスタ ... 184

## [O]

OSCCTL : クロック動作モード選択レジスタ ... 185  
 OSTC : 発振安定時間カウンタ状態レジスタ ... 186, 757  
 OSTS : 発振安定時間選択レジスタ ... 187, 758

## [P]

P0 : ポート・レジスタ0 ... 160  
 P1 : ポート・レジスタ1 ... 160  
 P12 : ポート・レジスタ12 ... 160  
 P2 : ポート・レジスタ2 ... 160  
 P3 : ポート・レジスタ3 ... 160  
 P6 : ポート・レジスタ6 ... 160, 471  
 P7 : ポート・レジスタ7 ... 160  
 P8 : ポート・レジスタ8 ... 160  
 P9 : ポート・レジスタ9 ... 160  
 PCC : プロセッサ・クロック・コントロール・レジスタ ... 180  
 PM0 : ポート・モード・レジスタ0 ... 158, 324  
 PM1 : ポート・モード・レジスタ1 ... 158, 407, 439  
 PM12 : ポート・モード・レジスタ12 ... 158, 801  
 PM2 : ポート・モード・レジスタ2 ... 158, 363  
 PM3 : ポート・モード・レジスタ3 ... 158  
 PM6 : ポート・モード・レジスタ6 ... 158, 471  
 PM7 : ポート・モード・レジスタ7 ... 158, 351, 407, 439  
 PM8 : ポート・モード・レジスタ8 ... 158  
 PM9 : ポート・モード・レジスタ9 ... 158  
 POM6 : ポート出力モード制御レジスタ6 ... 163, 472  
 PR0H : 優先順位指定フラグ・レジスタ0H ... 745  
 PR0L : 優先順位指定フラグ・レジスタ0L ... 745  
 PR1H : 優先順位指定フラグ・レジスタ1H ... 745  
 PR1L : 優先順位指定フラグ・レジスタ1L ... 745  
 PSW : プログラム・ステータス・ワード ... 747  
 PU0 : プルアップ抵抗オプション・レジスタ0 ... 162  
 PU1 : プルアップ抵抗オプション・レジスタ1 ... 162  
 PU12 : プルアップ抵抗オプション・レジスタ12 ... 162  
 PU3 : プルアップ抵抗オプション・レジスタ3 ... 162  
 PU6 : プルアップ抵抗オプション・レジスタ6 ... 162  
 PU7 : プルアップ抵抗オプション・レジスタ7 ... 162

## 【R】

RCM : 内蔵発振モード・レジスタ	...	182
RESF : リセット・コントロール・フラグ・レジスタ	...	781
RXB60 : 受信バッファ・レジスタ60	...	386
RXB61 : 受信バッファ・レジスタ61	...	386
RXS60 : 受信シフト・レジスタ60	...	386
RXS61 : 受信シフト・レジスタ61	...	386

## 【S】

SDR0 : 剰余データ・レジスタ0	...	784
SG0CTL : SG0コントロール・レジスタ	...	726
SG0FH : SG0周波数ハイ・レジスタ	...	728
SG0FL : SG0周波数ロウ・レジスタ	...	727
SG0PWM : SG0ボリューム・レジスタ	...	729
SIO10 : シリアルI/Oシフト・レジスタ10	...	433
SIO11 : シリアルI/Oシフト・レジスタ11	...	433
SMPC : ステッピング・モータ・ポート・モード・コントロール・レジスタ	...	165, 685
SOTB10 : 送信バッファ・レジスタ10	...	433
SOTB11 : 送信バッファ・レジスタ11	...	433
SVA0 : スレーブ・アドレス・レジスタ0	...	456

## 【T】

TCL50 : タイマ・クロック選択レジスタ50	...	319
TCL51 : タイマ・クロック選択レジスタ51	...	319
TIPNF0 : TMP入力ノイズ・フィルタ制御レジスタ0	...	237
TIPNF1 : TMP入力ノイズ・フィルタ制御レジスタ1	...	237
TIPNF2 : TMP入力ノイズ・フィルタ制御レジスタ2	...	237
TM50 : 8ビット・タイマ・カウンタ50	...	317
TM51 : 8ビット・タイマ・カウンタ51	...	317
TMC50 : 8ビット・タイマ・モード・コントロール・レジスタ50	...	322
TMC51 : 8ビット・タイマ・モード・コントロール・レジスタ51	...	322
TP0CCR0 : TMP0キャプチャ/コンペア・レジスタ0	...	224
TP0CCR1 : TMP0キャプチャ/コンペア・レジスタ1	...	226
TP0CNT : TMP0カウンタ・リード・バッファ・レジスタ	...	228
TP0CTL0 : TMP0制御レジスタ0	...	217
TP0CTL1 : TMP0制御レジスタ1	...	217
TP0IOC0 : TMP0I/O制御レジスタ0	...	220
TP0IOC1 : TMP0I/O制御レジスタ1	...	221
TP0IOC2 : TMP0I/O制御レジスタ2	...	222
TP0OPT0 : TMP0オプション・レジスタ0	...	223
TP1CCR0 : TMP1キャプチャ/コンペア・レジスタ0	...	224
TP1CCR1 : TMP1キャプチャ/コンペア・レジスタ1	...	226
TP1CNT : TMP1カウンタ・リード・バッファ・レジスタ	...	228

TP1CTL0 : TMP1制御レジスタ0 ...	217
TP1CTL1 : TMP1制御レジスタ1 ...	217
TP1IOC0 : TMP1I/O制御レジスタ0 ...	220
TP1IOC1 : TMP1I/O制御レジスタ1 ...	221
TP1IOC2 : TMP1I/O制御レジスタ2 ...	222
TP1OPT0 : TMP1オプション・レジスタ0 ...	223
TP2CCR0 : TMP2キャプチャ/コンペア・レジスタ0 ...	224
TP2CCR1 : TMP2キャプチャ/コンペア・レジスタ1 ...	226
TP2CNT : TMP2カウンタ・リード・バッファ・レジスタ ...	228
TP2CTL0 : TMP2制御レジスタ0 ...	217
TP2CTL1 : TMP2制御レジスタ1 ...	217
TP2IOC0 : TMP2I/O制御レジスタ0 ...	220
TP2IOC1 : TMP2I/O制御レジスタ1 ...	221
TP2IOC2 : TMP2I/O制御レジスタ2 ...	222
TP2OPT0 : TMP2オプション・レジスタ0 ...	223
TP3CCR0 : TMP3キャプチャ/コンペア・レジスタ0 ...	224
TP3CCR1 : TMP3キャプチャ/コンペア・レジスタ1 ...	226
TP3CNT : TMP3カウンタ・リード・バッファ・レジスタ ...	228
TP3CTL0 : TMP3制御レジスタ0 ...	217
TP3CTL1 : TMP3制御レジスタ1 ...	217
TP3IOC0 : TMP3I/O制御レジスタ0 ...	220
TP3IOC1 : TMP3nI/O制御レジスタ1 ...	221
TP3IOC2 : TMP3I/O制御レジスタ2 ...	222
TP3OPT0 : TMP3オプション・レジスタ0 ...	223
TP4CCR0 : TMP4キャプチャ/コンペア・レジスタ0 ...	224
TP4CCR1 : TMP4キャプチャ/コンペア・レジスタ1 ...	226
TP4CNT : TMP4カウンタ・リード・バッファ・レジスタ ...	228
TP4CTL0 : TMP4制御レジスタ0 ...	217
TP4CTL1 : TMP4制御レジスタ1 ...	217
TP4IOC0 : TMP4I/O制御レジスタ0 ...	220
TP4IOC1 : TMP4I/O制御レジスタ1 ...	221
TP4IOC2 : TMP4I/O制御レジスタ2 ...	222
TP4OPT0 : TMP4オプション・レジスタ0 ...	223
TXB60 : 送信バッファ・レジスタ60 ...	386
TXB61 : 送信バッファ・レジスタ61 ...	386
TXS60 : 送信シフト・レジスタ60 ...	386
TXS61 : 送信シフト・レジスタ61 ...	387

#### [ W ]

WDTE : ウォッチドッグ・タイマ・イネーブル・レジスタ ...	343
WTM : 時計用タイマ動作モード・レジスタ ...	336

## 【Z】

ZPDEN : ZPD動作コントロール・レジスタ ... 687

ZPDS0 : ZPD検知電圧設定レジスタ0 ... 686

ZPDS1 : ZPD検知電圧設定レジスタ1 ... 686

## 付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」の区別は、次のとおりです。

ハード：マイコン内部/外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/32)

章	分類	機能	機能の詳細	注意事項	頁
第1章	ハード	オンチップ・デバッグ機能	-	78K0/Dx2には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p. 19
		端子機能	AV <sub>ss</sub>	AV <sub>ss</sub> はV <sub>ss</sub> と同電位にしてください。	p. 21-24
			REGC	REGCはコンデンサ(0.47~1μF:推奨)を介し、V <sub>ss</sub> に接続してください。	p. 21-24
			ANI0/P20-ANIn/P2n	ANI0/P20-ANIn/P2nは、リセット解除後にアナログ入力モードになります。	p. 21-24
第2章	ハード	端子機能	ANI0/P20-ANI7/P27	ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。	p. 54
			P31/SEG5/OCD1A	誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。	p. 55
			P121/X1	フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。 ・P121/X1をポートとして使用する場合は、抵抗(10kΩ:推奨)を介してV <sub>SS</sub> に接続(入力時)またはオープン(出力時)にしてください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p. 61
			REGC端子	上図の破線部分の配線を極力短くしてください。	p. 62
第3章	ソフト	メモリ空間	IMS, IXS:メモリ・サイズ切り替えレジスタ, 内部拡張RAMサイズ切り替えレジスタ	メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)のリセット解除後の初期値は内部メモリ容量にかかわらず一定(IMS=CFH, IXS=0CH)となっています。したがって、次に示す値を必ず設定してください。	p. 77
				メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。	p. 77
			SFR:特殊機能レジスタ	SFRが割り付けられていないアドレスにアクセスしないでください。	p. 85
			EFR:拡張機能レジスタ	EFRが割り付けられていないアドレスにアクセスしないでください。	p. 86, 103
			SP:スタック・ポインタ	SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。	p. 92

(2/32)

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	P00-P07	兼用出力機能使用時には、ポート・ラッチを0に設定してください。 また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。	p. 122
			P10/ $\overline{SCK10}$ /INT P4/TxD61, P12/SO10/INTP2	P10/ $\overline{SCK10}$ /INTP4/TxD61, P12/SO10/INTP2を汎用ポートとして使用する場合は、シリアル動作モード・レジスタ10(CSIM10)とシリアル・クロック選択レジスタ10(CSIC10)は初期状態と同じ設定(00H)にしてください。	p. 123
			P10/ $\overline{SCK10}$ /INT P4/TxD61, P13/SEG23/TIO P30/TxD60	P10/ $\overline{SCK10}$ /INTP4/TxD61, P13/SEG23/TIO P30/TxD60を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60, 61(ASICL60, ASICL61)のビット0(TXDLV60, TXDLV61)を0(TxD60, TxD61通常出力)に設定してください。	p. 123
			P10, P71, P74	兼用出力機能使用時には、ポート・ラッチを1に設定してください。 また、ポート機能使用時は、兼用機能の出力が1に固定されるように設定してください。	p.124, 136, 138, 139
			P12, P17, P14-P16, P60, P61, P72, P73, P76, P77, P80-P87, P90-P97	兼用出力機能使用時には、ポート・ラッチを0に設定してください。 また、ポート機能使用時は、兼用機能の出力が0に固定されるように設定してください。	p.126, 128, 134, 137, 142- 146, 148, 151, 153
			P13	兼用機能TIO P30使用時には、ポート・ラッチを0に設定してください。 兼用機能TxD60使用時には、ポート・ラッチを1に設定してください。 また、ポート機能使用時には、兼用機能の出力が1に固定されるように設定してください。	p. 127
	ハード	ポート2	ポート2	ポート2をデジタル・ポートとして使用する場合は、AVREFをVDDと同電位にしてください。	p. 129
			P31/SEG5/OCD1A, P32/SEG6/OCD1B	誤動作を防ぐため、リセット解除までにP31/SEG5/OCD1Aを必ずプルダウンしてください。 オンチップ・デバッグのためにP31, P32端子を使用する場合は、P31, P32を次のように処理してください。この場合、P31/SEG5/OCD1A, P32/SEG6/OCD1B端子はOCD1A, OCD1B機能のみ使用します。 ・P31/SEG5/OCD1A：入力モード(PM31=1)、ポート・モード(PF31=0)に設定してください。 ・P32/SEG6/OCD1B：ポート・モード(PF32=0)に設定してください。 P31/SEG5, P32/SEG6の機能をオンチップ・デバッグで評価する必要がある場合はOCD0A, OCD0Bを使用してください。	p. 131 p. 131
			P74/SCK11, P76/SO11	P74/SCK11, P76/SO11を汎用ポートとして使用する場合は、シリアル動作モード・レジスタ10(CSIM10)とシリアル・クロック選択レジスタ10(CSIC10)は初期状態と同じ設定(00H)にしてください。	p. 135
	ハード	P77/SSI11/SEG 27	P77/SSI11/SEG 27	P77/SSI11/SEG27を汎用ポートとして使用する場合は、シリアル動作モード・レジスタ11(CSIM11)は初期状態と同じ設定(00H)にしてください。	p. 135
P121/X1/OCD0A, P122/X2/EXCLK/OCD0B, P123/XT1, P124/XT2/EXCLKS			P121-P124端子を、メイン・システム・クロック用発振子接続(X1, X2)、サブシステム・クロック発振子接続(XT1, XT2)、メイン・システム・クロック用外部クロック入力(EXCLK)、サブシステム・クロック用外部クロック入力(EXCLKS)として使用する場合は、クロック動作モード選択レジスタ(OSCCTL)でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定してください(詳細は、5.3(5)クロック動作モード選択レジスタ(OSCCTL)を参照)。OSCCTLのリセット値は00H(P121-P124はすべて入出力ポート)となります。このとき、PM121-PM124, P121-P124の設定は不要です。	p. 154	
			フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。 ・P121/X1をポートとして使用する場合は、抵抗(10kΩ:推奨)を介してVSSに接続(入力時)またはオープン(出力時)にしてください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p. 154	

( 3/32 )

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	LCDPFALL : LCD	$\mu$ PD78D0838, 78F0839 : PF7UPNIB = 0に設定してください。	p. 164
			ポート・ファンクション・レジスタ	$\mu$ PD78F0840, 78F0841, 78F0846, 78F0847 : PF7UPNIB = 0, PF9ALL = 0に設定してください。	
			ALL	$\mu$ PD78F0842, 78F0843, 78F0848, 78F0849 : PF8ALL = 0, PF9ALL = 0に設定してください。	p. 165
			SMPC : ステッピング・モータ・ポート・モード・コントロール・レジスタ	PWMフル・ブリッジ・モードでは、PWMモードでない端子に関連するポート・レジスタ(Pn)とポート・モード・レジスタ(PMn)は00Hに設定してください。	
			ADPC : A/Dポート・コンフィギュレーション・レジスタ	A/D変換で使用するチャンネルは、ポート・モード・レジスタ2(PM2)で入力モードに選択してください。 ADPCでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ(ADS)で設定しないでください。 ADPCにデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPCにデータを書き込まないでください。詳細は第33章ウエイトに関する注意事項を参照してください。	
ポート・レジスタn(Pn)に対する1ビット・メモリ操作命令	入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。 そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。	p. 176			
第5章	ソフト	クロック発生回路	PCC : プロセッサ・クロック・コントロール・レジスタ	ビット3, 6には、必ず0を設定してください。	p. 181
			RCM : 内蔵発振モード・レジスタ	RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、RSTOPに1を設定してください。 ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作) ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)	p. 182
			MCM : メイン・クロック・モード・レジスタ	XSELはリセット解除後、1回だけ設定が可能です。 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。	p. 183
	ハード			次の周辺機能は、XSELとMCM0の設定にかかわらず、fPRS以外のクロックが供給されます。 ・ウォッチドッグ・タイマ ・8ビット・タイマTM50のカウント・クロックに「fosc, fosc/2 <sup>7</sup> , fosc/2 <sup>9</sup> 」を選択時 ・クロック・ソースに外部クロックを選択している周辺ハードウェア CPUクロックの切り替え時間は、1クロックです。	p. 183
				MOC : メインOSCコントロール・レジスタ	MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、MSTOPに1を設定してください。 ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作) ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作) また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。 クロック動作モード選択レジスタ(OSCCTL)のビット6(OSCSEL)が0のとき、MSTOPに0を設定しないでください。 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。
	ソフト				p. 184

(4/32)

章	分類	機能	機能の詳細	注意事項	頁
第5章	ソフト	クロック発生回路	OSCCTL:クロック動作モード選択レジスタ	高速システム・クロック発振周波数が10 MHzを越える場合は、必ずAMPHに1を設定してください。	p. 185
				AMPHは、メイン・クロック・モード・レジスタ(MCM)を設定する前に設定してください。	p. 185
				AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック(X1発振)を選択する場合は、AMPHに1を設定してから4.06~16.12 μs間、CPUクロックに高速システム・クロック(外部クロック入力)を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。	p. 185
				AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06~16.12 μs間、CPUクロックが高速システム・クロック(外部クロック入力)のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック(X1発振)のときは、STOPモード解除後に発振安定時間をカウントします。	p. 185
				AMPHは、リセット解除後1回のみ変更可能です。	p. 185
				EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ(MOC)のビット7(MSTOP)が1(X1発振回路停止またはEXCLK端子からの外部クロック無効)であることを必ず確認してください。	p. 185
				EXCLKSとOSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5(CLS)が0(高速システム・クロックでCPU動作)であることを確認してください。	p. 186
	ソフト	OSTC:発振安定時間カウンタ状態レジスタ	上記時間経過後、MOST11から順番に“1”となっていき、そのまま“1”を保持します。	p. 186	
			発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p. 186	
			X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。	p. 186	
	ソフト	OSTS:発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。	p. 187	
			X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p. 187	
			発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p. 187	
			X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。	p. 187	
ハード					

( 5/32 )

章	分類	機能	機能の詳細	注意事項	頁
第5章	ハード	X1 / XT1 発振回路	-	X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 9、5 - 10の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は、常にV <sub>SS</sub> と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。 特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。	p. 189
			-	X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。	p. 190
	電源電圧投入時のクロック発生回路動作	-	電源投入時から1.8 Vに達するまでの電圧の立ち上がり時間が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (LVISTART = 1) してください (図5 - 13参照)。1.8 Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図5 - 12の以降と同様のタイミングで動作します。	p. 193	
		-	EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。	p.193, 194	
		-	電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。	p. 194	
		-			
	ソフト	高速システム・クロックの制御	X1/P121, X2/EXCLK/P122	リセット解除時のX1/P121, X2/EXCLK/P122端子は、入出力ポート・モードです。	p. 195
			X1クロック	X1クロック動作中にEXCLK, OSCSELを書き換えないでください	p. 196
				電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性 (A) 水準品) を参照) に達してから、X1クロックの設定を行ってください。	p. 196
			外部メイン・システム・クロック	外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。	p. 196
			電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性 (A) 水準品) を参照) に達してから、X1クロックの設定を行ってください。	p. 196	
メイン・システム・クロック			メイン・システム・クロックに高速システム・クロックを選択した場合、周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。	p. 197	
高速システム・クロック			MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。	p. 198	
高速内蔵発振クロックの制御		高速内蔵発振クロック	RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。	p. 200	
サブシステム・クロックの制御		XT1/P123, XT2/EXCLKS/P124	リセット解除時のXT1/P123, XT2/EXCLKS/P124端子は、入出力ポート・モードです。	p. 200	
		XT1クロック, 外部サブシステム・クロック	サブシステム・クロック動作中にXTSTART, EXCLKS, OSCSELSを書き換えないでください。	p. 201	
	サブシステム・クロック	OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで時計用タイマが動作している場合は、時計用タイマの動作を停止してください。	p. 202		
		STOP命令でサブシステム・クロックの発振を停止することはできません。	p. 202		
低速内蔵発振クロックの制御	低速内蔵発振クロック	オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。	p. 203		

(6/32)

章	分類	機能	機能の詳細	注意事項	頁
第5章	ソフト	CPUクロック	-	メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0・1) を同時に設定しないでください。ただし、メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1・0) は同時に設定可能です。	p. 210
			-	高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。	p. 211
第6章	ソフト	16ビット・タイマ/イベント・カウンタ	TPnCTL0:TMPn制御レジスタ0	TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。	p. 217
				ビット3-6には必ず“0”を設定してください。	p. 217
	ハード	(TMP)	TPnCTL1:TMPn制御レジスタ1	TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。	p. 219
				外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。	p. 219
	ソフト			TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください (TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。	p. 219
				ビット3, 4には必ず“0”を設定してください。	p. 219
	ハード		TPnIOC0 : TMPnI/O制御レジスタ0	TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。	p. 220
				TPnCEビット = 0, TPnOEmビット = 0の状態において、TPnOLmビットを操作した場合でも、TIOPnm端子の出力レベルは変化しません (m = 0, 1)。	p. 220
	ソフト		TPnIOC1 : TMPnI/O制御レジスタ1	TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。	p. 221
				TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。	p. 221
	ソフト		TPnIOC2 : TMPnI/O制御レジスタ2	TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。	p. 222
				TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、または外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0ビット = 001) に設定したときのみ有効です。	p. 222
	ハード			TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード (TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パルス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したときのみ有効です。	p. 222
ソフト		TPnOPT0:TMPnオプション・レジスタ0	TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。	p. 223	
			ビット1-3, 6, 7には必ず“0”を設定してください。	p. 223	
			TPnCCR0 : TMPnキャプチャ/コンペア・レジスタ0	次に示す状態において、TPnCCR0レジスタへのアクセスは禁止です。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p. 224
ソフト		TPnCCR1 : TMPnキャプチャ/コンペア・レジスタ1	次に示す状態において、TPnCCR1レジスタへのアクセスは禁止です。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p. 226	

(7/32)

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	16ビット・タイマ/イベント・カウンタ (TMP)	TPnCNT : TMPn カウンタ・リード・バッファ・レジスタ	次に示す状態において、TPnCNTレジスタへのアクセスは禁止です。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p. 228
			TIPNF0-TIPNF2 : TMPn入力ノイズ・フィルタ制御レジスタ0-2	ノイズ・フィルタは以下の順序で使用してください。 <1> TIPNFnでノイズ・フィルタを有効にする。 <2> 3サンプリング・クロックの間ウエイト。 <3> TPnCTL0でタイマ動作を有効にする。  TPnとノイズ・フィルタは以下の順序で停止してください。 <1> TPnCTL0でタイマ動作を無効にする。 <2> TIPNFnでノイズ・フィルタを無効にする。	p. 237
			タイマ連結機能	外部イベント・カウント・モードを使用する場合、TMP動作許可の前にパルスを入力しないでください。	p. 239
			タイマ同期動作機能	TPnCTL1レジスタのTPnSYEビットで同調動作モードを有効・無効にできます。TMP0に対しTMP1-TMP4がスレープになります。  同調モードは以下の手順で設定します。 <1> スレープ・タイマのTPnCTL1レジスタのTPnSYEビットをスレープ・タイマの同調動作許可に設定する。 スレープ・タイマのTPnCTL1のTPnMD2-TPnMD0ビットをフリー・ランニング・モードに設定する。 <2> TPnCTL1レジスタのTPnMD2-TPnMD0でタイマ・モードを設定する。この時にマスタ・タイマのTPnCTL1レジスタのTPnSYEビットは設定しないでください。 <3> マスタ・タイマとスレープ・タイマのコンペア・レジスタの値を設定する。 <4> スレープ・タイマのTPnCTL0レジスタのTPnCEビットを内部動作クロックでの動作許可に設定する。 <5> マスタ・タイマのTPnCTL0レジスタのTPnCEビットを内部動作クロックでの動作許可に設定する。	p. 240
			TPnCCR0 レジスタの書き換え	TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。	p.250, 259
	ハード		外部イベント・カウント・モード	カウント・クロックとして外部クロックを使用するときは、外部クロックはTIOpN0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (TIOpN0端子) : エッジ検出なし) に設定してください。	p. 256
			外部イベント・カウント・モード	外部イベント・カウント・モード時、TPnCCR0レジスタには、0000Hを設定しないでください。  外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TPnCTL1.TPnMD2-TPnMD0ビット = 000, TPnCTL1.TPnEEEビット = 1)。	p. 258
			外部トリガ・パルス出力モード	動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。 TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。	p. 268
			ワンショット・パルス出力モード	ワンショット・パルス出力モードにおいて、TPnCCR1レジスタの設定値がTPnCCR0レジスタより大きい場合、ワンショット・パルスは出力しません。	p. 277
			ソフト		

( 8/32 )

章	分類	機能	機能の詳細	注意事項	頁			
第6章	ソフト	16ビット・タイマ / イベント・カウンタ	TPnCCRMレジスタの書き換え	TPnCCRMレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTPnCCRMレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。	p. 279			
	ハード	(TMP)	キャプチャ動作	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0, TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。	p. 314			
第7章	ソフト	8ビット・タイマ / イベント・カウンタ50, 51	CR5n : 8ビット・タイマ・コンペア・レジスタ5n	TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。	p. 318 p. 318			
			TCL50 : タイマ・クロック選択レジスタ50	TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。 ビット3-7には必ず“0”を設定してください。	p. 320 p. 320			
			TCL51 : タイマ・クロック選択レジスタ51	TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。 ビット3-7には必ず“0”を設定してください。	p. 321 p. 321			
			TMC5n : 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)	LVS5nとLVR5nの設定は、PWMモード時以外で有効になります。 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。 TMC5n1, TMC5n6を設定 : 動作モードの設定 出力を許可する場合, TOE5nを設定 : タイマ出力許可 LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定 TCE5nを設定	p. 323 p. 323			
				TM5n6を書き換える場合は、動作を停止してから行ってください。	p. 323			
			インターバル・タイマ	動作中にCR5nに異なる値を書き込まないでください。	p. 325			
			方形波出力	動作中にCR5nに異なる値を書き込まないでください。	p. 328			
			PWM出力	PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。	p. 329			
				図7-14の から の間でCR5nからリードする場合、実際に動作する値と異なります (リード値: M, 実際のCR5nの値: N)。	p. 332			
			タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。	p. 333			
			第8章	ソフト	時計用タイマ	WTM : 時計用タイマ動作モード・レジスタ	時計用タイマ動作中に、カウント・クロック、インターバル時間の変更 (WTMのビット4-7 (WTM4-WTM7) で設定) をしないでください。	p. 337
				ハード	割り込み要求	時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTMのビット0 (WTM0) およびビット1 (WTM1) を1にセット) したとき、設定後の最初の割り込み要求 (INTWT) までの時間は、正確にWTMのビット2, 3 (WTM2, WTM3) の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。	p. 340	

( 9/32 )

章	分類	機能	機能の詳細	注意事項	頁	
第9章	ソフト	ウォッチドッグ・タイマ	WDTE:ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。	p. 343	
				WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。	p. 343	
				WDTEのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。	p. 343	
			動作制御	リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。	p. 344	
				WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大2/f <sub>R/L</sub> 秒の誤差が生じる場合があります。	p. 344	
				ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前(FFFFH)まで有効です。	p. 344	
				オプション・バイトのビット0(LSROSC)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります(p. 346の表を参照)。LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)されず、停止前の値からカウント開始します。また、LSROSC = 0設定時に、LSRSTOP(内蔵発振モード・レジスタ(RCM)のビット1)=1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア(0)されません。	p. 345	
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROM®エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p. 345	
				オーバフロー時間の設定、ウィンドウ・オープン期間の設定	WDCS2 = WDCS1 = WDSC0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p. 345, 346
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p. 345, 346	
リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。	p. 346					
第10章	ソフト	クロック出力/ブザー出力制御回路	CKS:クロック出力選択レジスタ	BCS1, BCS0の設定は、ブザー出力動作停止時(BZOE = 0)に行ってください。	p. 351	
				CCS3-CCS0の設定は、クロック出力動作停止時(CLOE = 0)に行ってください。	p. 351	
第11章	ソフト	A/Dコンバータ	ADCR: 10ビットA/D変換レジスタ, ADCRH: 8ビットA/D変換レジスタ	ADCR, ADCRHからデータを読み出すと、ウエイトが発生します。また周辺ハードウェア・クロック(f <sub>PRS</sub> )が停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。	p. 355	
				ADM: A/Dコンバータ・モード・レジスタ	FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。	p. 357
		ADMにデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロック(f <sub>PRS</sub> )が停止しているときに、ADMにデータを書き込まないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。	p. 357			

( 10/32 )

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	A/Dコンバータ	A/D変換時間の選択	変換時間は、次の条件で設定してください。 ・ 4.0 V $AV_{REF} = 5.5$ Vの場合： $f_{AD} = 0.6 \sim 3.6$ MHz ・ 2.7 V $AV_{REF} < 4.0$ Vの場合： $f_{AD} = 0.6 \sim 1.8$ MHz	p. 358
				FR2-FR0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。	p. 358
				前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。	p. 358
			ADCR: 10ビット A/D変換レジスタ	A/Dコンバータ・モード・レジスタ(ADM), アナログ入力チャネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC)に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p. 359
				ADCRからデータを読み出すと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCRからデータを読み出さないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。	p. 359
			ADCRH: 8ビット A/D変換レジスタ	A/Dコンバータ・モード・レジスタ(ADM), アナログ入力チャネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC)に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p. 360
				ADCRHからデータを読み出すと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCRHからデータを読み出さないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。	p. 360
			ADS: アナログ入力チャネル指定レジスタ	ビット3-7には必ず0を設定してください。	p. 361
				ADSとADPCは入力/出力制御をしていないので、A/D変換で使用するチャンネルをポート・モード・レジスタ2 (PM2) で入力モードに選択してください。出力モードに選択した場合、ADPCの選択は無効になります。	p. 361
				ADPCでデジタル入力として設定する端子を、ADSで設定しないでください。	p. 361
				ADSにデータを書き込むと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADSにデータを書き込まないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。	p. 361
			ADS: アナログ入力チャネル指定レジスタ, ADPC: A/Dポート・コンフィギュレーション・レジスタ(ADPC)	A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。	p. 362
			ADPC: A/Dポート・コンフィギュレーション・レジスタ(ADPC)	ADPCにデータを書き込むと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADPCにデータを書き込まないでください。詳細は第33章 ウエイトに関する注意事項を参照してください。	p. 362
			A/D変換の基本動作	から までの間は1 $\mu$ s以上空けてください。	p. 364
			A/D変換動作	から までの間は1 $\mu$ s以上空けてください。	p. 368
				は、 から までの間に行っても、問題ありません。	p. 368
は省略可能です。ただし、この場合には のあと、最初の変換データは無視してください。	p. 368				
から までの時間は、ADMのビット5-1 (FR2-FR0) で設定した変換時間とは異なります。 から までの時間が、FR2-FR0で設定した変換時間となります。	p. 368				

( 11/32 )

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	A/Dコンバータ	STOPモード時の動作電流	A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。	p. 372
			ハード	ANIO-ANI7 入力範囲	ANIO-ANI7入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。
	ソフト	競合動作	変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードが競合した場合、ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。	p. 372	
			変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトが競合した場合、ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。	p. 372	
	ハード	ノイズ対策	10ビット分解能を保つためには、AVREF, ANIO-ANI7端子へのノイズに注意する必要があります。 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。 アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11 - 20のようにCを外付けすることを推奨します。 変換中においては、他の端子とスイッチングしないようにしてください。 変換開始直後にHALTモードに設定すると、精度が向上します。	p. 372	
			ANIO/P20-ANI7/P27	アナログ入力 (ANIO-ANI7) 端子は入力ポート (P20-P27) 端子と兼用になっています。ANIO-ANI7のいずれかを選択してA/D変換をする場合、変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27として使用する端子の選択は、AVREFから最も遠いANIO/P20より行うことを推奨します。	p. 373
			A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p. 373	
			ANIO-ANI7 端子の入力インピーダンス	このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。 ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にし、出力インピーダンスが高いときはANIO-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図11 - 20参照)。	p. 373
	ソフト	AVREF端子の入力インピーダンス	AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。	p. 373	
			割り込み要求フラグ (ADIF)	アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。	p. 374
A/D変換スタート直後の変換結果			ADCEビット = 1にしてから、1 μs以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。	p. 374	
A/D変換結果レジスタ (ADCR, ADCRH) の読み出し			A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p. 374	

( 12/32 )

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	シリアル・インタフェース UART60, UART61	UARTモード	TxD6n出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6n出力反転機能を使用する場合、相手側も反転レベルで受信してください。	p. 376
				シリアル・インタフェースUART60, UART61への供給クロックが停止しない場合(例: HALTモード)では、正常動作が続きます。シリアル・インタフェースUART60, UART61への供給クロックが停止する場合(例: STOPモード)では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6n端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6n = 0, RXE6n = 0, TXE6n = 0として、回路をリセットしてください。	p. 376
				通信開始する場合、POWER6n = 1に設定後、TXE6n = 1(送信)またはRXE6n = 1(受信)に設定してください。	p. 376
				TXE6nとRXE6nは、CKSR6nで設定した基本クロック(fxCLK6)により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。	p. 377
				TXE6n = 1に設定したあと、基本クロック(fxCLK6)1クロック以上待ってから、TXB6nに送信データを設定してください。	p. 377
				連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。	p. 377
			TXB6n:送信バッファ・レジスタ6n	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n(ASIF6n)のビット1(TXBF6n)が1のとき、TXB6nにデータを書き込まないでください。	p. 386
				通信動作中(アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7, 6(POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5(POWER6n, RXE6n) = 1, 1)に、ソフトウェアでTXB6nへのリフレッシュ(同値書き込み)動作を行わないでください。	p. 386
				TXE6n = 1に設定したあと、基本クロック(fxCLK6)1クロック以上待ってから、TXB6nに送信データを設定してください。	p. 386
			ASIM60:アシンクロナス・シリアル・インタフェース動作モード・レジスタ60	ビット0には必ず“1”を設定してください。	p. 389
				送信開始するときはPOWER60 = 1にしてから、TXE60 = 1としてください。送信停止するときにはTXE60 = 0にしてから、POWER60 = 0としてください。	p. 389
				受信開始するときはPOWER60 = 1にしてから、RXE60 = 1としてください。受信停止するときにはRXE60 = 0にしてから、POWER60 = 0としてください。	p. 389
				RxD60端子にハイ・レベルが入力された状態でPOWER60 = 1 RXE60 = 1と設定してください。ロウ・レベルのときにPOWER60 = 1 RXE60 = 1と設定すると、受信を開始してしまいます。	p. 389
				TXE60とRXE60は、CKSR60で設定した基本クロック(fxCLK6)により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE60 = 0またはRXE60 = 0に設定してから基本クロック2クロック以降にTXE60 = 1またはRXE60 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。	p. 389
				TXE60 = 1に設定したあと、基本クロック(fxCLK6)1クロック以上待ってから、TXB60に送信データを設定してください。	p. 389
				PS610, PS600, CL60ビットを書き換えるときは、TXE60, RXE60ビットをクリア(0)してから行ってください。	p. 389
				LIN通信動作で使用する場合は、PS610, PS600ビットを0に固定してください。	p. 389
				SL60ビットを書き換えるときは、TXE60をクリア(0)してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL60ビットの設定値の影響は受けません。	p. 389

( 13/32 )

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	シリアル・インタフェース UART60, UART61	ASIM61 : アシクロナス・シリアル・インタフェース動作モード・レジスタ61	ビット0には必ず“1”を設定してください。	p. 391
				送信開始するときはPOWER61 = 1にしてから, TXE61 = 1としてください。送信停止するときはTXE61 = 0にしてから, POWER61 = 0としてください。	p. 391
				受信開始するときはPOWER61 = 1にしてから, RXE61 = 1としてください。受信停止するときはRXE61 = 0にしてから, POWER61 = 0としてください。	p. 391
				RxD60端子にハイ・レベルが入力された状態でPOWER61 = 1 RXE61 = 1と設定してください。ロウ・レベルのときにPOWER61 = 1 RXE61 = 1と設定すると, 受信を開始してしまいます。	p. 391
				TXE61とRXE61は, CKSR61で設定した基本クロック (fxCLK6) により, 同期化されています。再び送信動作または受信動作を許可する場合は, TXE61 = 0またはRXE61 = 0に設定してから基本クロック2クロック以降にTXE61 = 1またはRXE61 = 1を設定してください。基本クロック2クロック以内に設定すると, 送信回路または受信回路を初期化できない場合があります。	p. 391
				TXE61 = 1に設定したあと, 基本クロック (fxCLK6) 1クロック以上待ってから, TXB61に送信データを設定してください。	p. 391
				PS611, PS601, CL61ビットを書き換えるときは, TXE61, RXE61ビットをクリア (0) してから行ってください。	p. 391
				LIN通信動作で使用する場合, PS611, PS601ビットを0に固定してください。	p. 391
				SL61ビットを書き換えるときは, TXE61をクリア (0) してから行ってください。また, 受信は常に“ストップ・ビット数 = 1”として動作するので, SL61ビットの設定値の影響は受けません。	p. 391
				ASIS60 : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60	PE60ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のPS601, PS600ビットの設定値により異なります。
		受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p. 392		
		オーバーラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ60 (RXB60) には書き込まれず, データは破棄されます。	p. 392		
		ASIS60からデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ高速システム・クロックが停止しているときに, ASIS60からデータを読み出さないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。	p. 392		
		ASIS61 : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61	PE61ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のPS611, PS601ビットの設定値により異なります。	p. 393	
			受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p. 393	
			オーバーラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ61 (RXB61) には書き込まれず, データは破棄されます。	p. 393	
			ASIS61からデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ高速システム・クロックが停止しているときに, ASIS61からデータを読み出さないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。	p. 393	

(14/32)

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	シリアル・インタフェース UART60, UART61	ASIF60: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60	連続送信を行う場合は、最初の送信データ(1バイト目)をTXB60レジスタに書き込んだあと、必ずTXBF60フラグが“0”であることを確認してから次の送信データ(2バイト目)をTXB60レジスタに書き込んでください。TXBF60フラグが“1”のときにTXB60レジスタにデータを書き込んだ場合の送信データは保証できません。	p. 394
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF60フラグが“0”であることを確認してから初期化を実行してください。TXSF60フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p. 394
			ASIF61: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61	連続送信を行う場合は、最初の送信データ(1バイト目)をTXB61レジスタに書き込んだあと、必ずTXBF61フラグが“0”であることを確認してから次の送信データ(2バイト目)をTXB61レジスタに書き込んでください。TXBF61フラグが“1”のときにTXB61レジスタにデータを書き込んだ場合の送信データは保証できません。	p. 395
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF61フラグが“0”であることを確認してから初期化を実行してください。TXSF61フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p. 395
			クロック選択レジスタ60 (CKSR60)	TPS630-TPS600を書き換える場合は、POWER60 = 0としてから行ってください。	p. 397
			クロック選択レジスタ61 (CKSR61)	TPS631-TPS601を書き換える場合は、POWER61 = 0としてから行ってください。	p. 398
			BRGC60: ポーレート・ジェネレータ・コントロール・レジスタ60	MDL670-MDL600ビットを書き換える場合は、ASIM60レジスタのビット6 (TXE60) = 0, ビット5 (RXE60) = 0にしてから行ってください。 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポーレート値となります。	p. 399
	ハード ソフト		BRGC61: ポーレート・ジェネレータ・コントロール・レジスタ61	MDL671-MDL601ビットを書き換える場合は、ASIM61レジスタのビット6 (TXE61) = 0, ビット5 (RXE61) = 0にしてから行ってください。 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポーレート値となります。	p. 400
					p. 400
			ASICL60: アシクロナス・シリアル・インタフェース・コントロール・レジスタ60	通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASICL6nへのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、SBF受信 (SBRF6n = 1) またはSBF送信 (SBTT6nをセット (1) 後からINTST6n発生までの間) に、リフレッシュ動作でSBRT6n = 1, SBTT6n = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。	p. 401
				SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF60フラグの状態は保持 (1) されます。	p. 402
				SBRT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット5 (RXE60) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF受信が終了 (割り込み要求信号が発生) する前に、SBRT60ビットをクリア (0) しないでください。	p. 402
				SBRT60ビットのリード値は常に0です。SBF受信正常終了後、SBRT60は自動的にクリア (0) されます。	p. 402
				SBTT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット6 (TXE60) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF送信が終了 (割り込み要求信号が発生) する前に、SBTT60ビットをクリア (0) しないでください。	p. 402
	SBTT60ビットのリード値は常に0です。SBF送信終了後、SBTT60は自動的にクリア (0) されます。	p. 402			
	SBRT60ビットは受信動作中に、SBTT60ビットは送信動作中に、セット (1) しないでください。	p. 402			
	DIR60, TXDLV60ビットを書き換えるときは、TXE60, RXE60ビットをクリア (0) してから行ってください。	p. 402			
	TXDLV60ビットを1 (TxD60反転出力) に設定している場合、POWER60, TXE60の設定に関係なく、TxD60/P13/SEG23/TIOP30注端子を汎用ポートとして使用することはできません。 TxD60/P13/SEG23/TIOP30注端子を汎用ポートとして使用する場合は、TXDLV60ビットを0 (TxD60通常出力) に設定してください。	p. 402			

(15/32)

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	シリアル・インタフェース・UART60, UART61	ASICL61: アシクロナス・シリアル・インタフェース・コントロール・レジスタ61	SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF61フラグの状態は保持(1)されます。	p. 404
				SBRT61ビットは、ASIM61のビット7 (POWER61) = 1, かつビット5 (RXE61) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT61ビットをクリア(0)しないでください。	p. 404
				SBRT61ビットのリード値は常に0です。SBF受信正常終了後、SBRT61は自動的にクリア(0)されます。	p. 404
				SBTT61ビットは、ASIM61のビット7 (POWER61) = 1, かつビット6 (TXE61) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT61ビットをクリア(0)しないでください。	p. 404
				SBTT61ビットのリード値は常に0です。SBF送信終了後、SBTT61は自動的にクリア(0)されます。	p. 404
				SBRT61ビットは受信動作中に、SBTT61ビットは送信動作中に、セット(1)しないでください。	p. 404
				DIR61, TXDLV61ビットを書き換えるときは、TXE61, RXE61ビットをクリア(0)してから行ってください。	p. 404
				TXDLV61ビットを1 (TxD61反転出力) に設定している場合、POWER61, TXE61の設定に関係なく、TxD61/SCK10/P10/INTP4端子を汎用ポートとして使用することはできません。TxD61/SCK10/P10/INTP4端子を汎用ポートとして使用する場合は、TXDLV61ビットを0 (TxD61通常出力) に設定してください。	p. 404
			POWER6n, TXE6n, RXE6n : ASIM6nのビット7, 6, 5	動作停止するときはTXE6n = 0, RXE6n = 0にしてから、POWER6n = 0にしてください。通信開始するときはPOWER6n = 1にしてから、TXE6n = 1, RXE6n = 1にしてください。	p. 408
			UARTモード	ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。	p. 409
			パリティの種類と動作	LIN通信動作で使用する場合、PS61n, PS60nビットを0に固定してください。	p. 413
			連続送信	連続送信でASIF6nレジスタのTXBF6n, TXSF6nフラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6n, TXSF6nフラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6nフラグのみを読み出してください。	p. 415
				LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) が00Hになっていることを確認してから、送信バッファ・レジスタ6n (TXB6n) に送信データを書き込んでください。	p. 415
				連続送信を行う場合は、最初の送信データ(1バイト目)をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが「0」であることを確認してから次の送信データ(2バイト目)をTXB6nレジスタに書き込んでください。TXBF6nフラグが「1」のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。	p. 415
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが「0」であることを確認してから初期化を実行してください。TXSF6nフラグが「1」のときに初期化を実行した場合の送信データは保証できません。	p. 415
	連続送信時には、1データ・フレーム送信後のINTST6n割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6nフラグを参照することで検出できます。	p. 415			

( 17/32 )

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	シリアル・インタフェース UART60, UART61	UART受信	受信エラーが発生した場合は、ASIS6nを読み出したあと、RXB6nを読み出し、エラー・フラグをクリアしてください。RXB6nを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。	p. 419
				受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。	p. 419
				RXB6nを読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) を読み出してください。	p. 419
			ポー・レートの誤差	送信時のポー・レート誤差は、受信先の許容誤差以内にしてください。	p. 425
				受信時のポー・レート誤差は、(4) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。	p. 425
受信時の許容ポー・レート範囲	受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p. 427			
第13章	ソフト	シリアル・インタフェース CSI10, CSI11	-	シリアル・インタフェースCSI11は78K0/DF2のみです。	p. 430
			SOTB1n: 送信パツファ・レジスタ1n	CSOT1n = 1 (シリアル通信中) のとき、SOTB1nへのアクセスは行わないでください。	p. 433
				スレープ・モードでは、 $\overline{SSI11}$ 端子にロウ・レベルが入力された状態で、SOTB11にデータを書き込むと送受信が開始されます。送受信動作の詳細については、13. 4. 2 (2) 通信動作を参照してください。	p. 433
			SIO1n: シリアルI/Oソフト・レジスタ1n	CSOT1n = 1 (シリアル通信中) のとき、SIO1nへのアクセスは行わないでください。	p. 433
				スレープ・モードでは、 $\overline{SSI11}$ 端子にロウ・レベルが入力された状態で、SIO11からデータを読み出すと受信が開始されます。受信動作の詳細については、13. 4. 2 (2) 通信動作を参照してください。	p. 433
			CSIM10: シリアル動作モード・レジスタ10	ビット5には必ず0を設定してください。	p. 434
			CSIC10: シリアル・クロック選択レジスタ10	CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。	p. 437
				P10/ $\overline{SCK10}$ /INTP4/TxD61, P12/SO10/INTP2を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ状態(00H)にしてください。(TxD61の機能は78K0/DF2のみです。)	p. 437
				リセット後のデータ・クロックの位相タイプは、タイプ1になります。	p. 437
			CSIC11: シリアル・クロック選択レジスタ11	CSIE11 = 1 (動作許可) のとき、CSIC11への書き込みを行わないでください。	p. 438
				P74/ $\overline{SCK11}$ /SEG24, P76/SO11/SEG26を汎用ポートとして使用する場合は、CSIC11を初期状態と同じ設定(00H)にしてください。(SEG24, SEG26の機能は $\mu$ PD78F0842, 78F0843, 78F0848, 78F0849のみです。)	p. 438
				リセット後のデータ・クロックの位相タイプは、タイプ1になります。	p. 438
	3線式シリアルI/Oモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。	p. 441		
	通信動作	CSOT1n = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。	p. 444		
		シリアル・インタフェースCSI11では、スレープ・モードの場合、 $\overline{SSI11}$ 端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。	p. 444		
	SO1n出力	TRMD1n, DAP1n, DIR1nに値を書き込むと、SO1nの出力値が変わります。	p. 452		

(18/32)

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	シリアル・インタフェース IIC0	-	シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。	p. 453
			IIC0 : IIC シフト・レジスタ0	データ転送中はIIC0にデータを書き込まないでください。 IIC0には、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIIC0へのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。	p. 456
			IICC0 : IICコントロール・レジスタ0	SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態では、I <sup>2</sup> Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I <sup>2</sup> Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LREL0をセット (1) してください。 IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセット (1) してウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。	p. 460
			IICS0 : IIC状態レジスタ0	IICS0からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f <sub>PRS</sub> ) が停止しているときに、IICS0からデータを読み出さないでください。詳細は第33章 ウェイトに関する注意事項を参照してください。	p. 464
			IICF0 : IICフラグ・レジスタ0	STCENへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。	p. 467
				STCEN = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。 IICRSVへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。	p. 467
			選択クロックの設定	動作許可 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 1) する前に、CLX0, SMC0, CL01, CL00でI <sup>2</sup> Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。	p. 470
			STCEN = 0の場合	I <sup>2</sup> C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY (IICF0のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。 ストップ・コンディションの生成は次の順番で行ってください。 IICクロック選択レジスタ0 (IICCL0) を設定する IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) をセット (1) する IICC0のビット0 (SPT0) をセット (1) する	p. 490
			STCEN = 1の場合	I <sup>2</sup> C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 (IICコントロール・レジスタ0 (IICC0) のビット1) = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。	p. 490
			すでに他者との間でI <sup>2</sup> C通信が行われている場合	SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I <sup>2</sup> C動作を許可して通信に途中参加すると、I <sup>2</sup> CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI <sup>2</sup> C通信を妨害してしまいます。これを回避するために、次の順番でI <sup>2</sup> Cを起動してください。 IICC0のビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIIC0) 発生を禁止する IICC0のビット7 (IICE0) をセット (1) し、I <sup>2</sup> Cの動作を許可する スタート・コンディションを検出するまで待つ アクノリッジを返すまで (IICE0をセット (1) してから、4~80クロック中に、IICC0のビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする	p. 490

( 19/32 )

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト	シリアル・インタフェース IIC0	転送クロック周波数の設定	動作許可 (IICE0 = 1) する前に、SMC0, CL01, CL00 (IICL0のビット3, 1, 0), CLX0 (IICX0のビット0) で転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (1) してください。	p. 490
			STT0, SPT0: IICコントローラ・レジスタ 0 (IICC0)のビット1, 0	STT0, SPT0 (IICC0のビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。	p. 490
			送信予約	送信予約をした場合には、SPIE0 (IICL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IIC0に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでMSTS0 (IICS0のビット7) を検出する場合には、SPIE0をセット (1) する必要はありません。	p. 490
第15章	ソフト	CANコントローラ	-	CANコントローラを使用する場合、P70に“1”を設定してください。	p. 528
			ハード	各フィールドの説明	ID28-ID18は、アイデンティファイアです。
	アイデンティファイアは、MSBファーストで送信されます。	p. 535			
	リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。	p. 536			
	データ・フレームとリモート・フレームのプライオリティ	拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合 (双方のID28-ID18が同じ場合)、標準フォーマット・フレームのリモート・フレームが優先されます。	p. 542		
	インタミッション中のビット・エラーの発生	エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。	p. 546		
	通常リカバリ・シーケンスによるバスオフからの復帰動作	バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバスオフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。	p. 547		
		バスオフ・リカバリ・シーケンス中は、REC [6:0]ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウントアップ (+1) します。バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには、初期化モードにいったん移行する必要がありますが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへは移行することができません。この場合は、初期化モードへの移行を行われなくても、CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウェアによるPSMODEビットのクリアのほかにも、CANバス上のドミナント・エッジ検知によるウエイク・アップによっても、バスオフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるPSMODEのクリアが必要になります)。	p. 547		
	バスオフ・リカバリ・シーケンスをスキップする強制復帰動作	この機能は、CANプロトコルISO11898に規定されておりませんので、ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。	p. 548		
	初期化モード中のCANモジュール・エラー・カウンタ・レジスタ (C0ERC) の初期化	この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット (1) したとしても、C0ERC, C0INFOレジスタは初期化されません。	p. 549		
CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。		p. 549			

( 20/32 )

章	分類	機能	機能の詳細	注意事項	頁	
第15章	ハード	CANコントローラ	レジスタのビット構成	実際のレジスタ・アドレスは、次のように計算されます。 レジスタ・アドレス = CANグローバル・レジスタ領域のオフセット・アドレス (チャネルごとに異なります) + 上表に示すレジスタ個別のオフセット・アドレス	p. 565 -568	
				COGMCTRL : CANグローバル・モジュール制御レジスタ	MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (COMDATA0m, COMDATA1m, COMDATA01m, COMDATA2m, COMDATA3m, COMDATA23m, COMDATA4m, COMDATA5m, COMDATA45m, COMDATA6m, COMDATA7m, COMDATA67m, COMDLCm, COMCONFm, COMIDLm, COMIDHm, COMCTRLm) および送信履歴、受信履歴に関連したレジスタ (COLOPT, COTGPT, COLIPT, CORGPT) へのアクセスは無効です。	p. 571
				このビットはリード・オンリーです。MBON = 0の状態では1を書き込みしても、MBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。	p. 571	
				強制シャット・ダウンの要求を行う場合は、EFSDビットをセット (1) した直後に、GOMビットをクリア (0) しなければなりません。EFSDビットをセット (1) した直後にGOMビットをクリア (0) しないで、その他のレジスタ・アクセス (COGMCTRLレジスタのリード含む) の実行をすると、EFSDビットは自動的にクリア (0) され、強制シャット・ダウンの要求は無効になります。	p. 572	
				GOMビットは、初期化モードのとき、またはEFSDビットをセット (1) した直後にのみクリア (0) 可能です。	p. 572	
	ソフト		GOMビットの設定とEFSDビットの設定は、常に別々に行ってください。	p. 572		
	ソフト	COGMABT: CANグローバル自動ブロック送信制御レジスタ	ABT付き通常動作モードから初期化モードに移行する前には、COGMABTレジスタには必ず初期値 (0000H) を設定し、設定後はCOGMABTレジスタが0000Hに初期化されたことを確実に確認してください。 初期化モード中にABTTRGビットを設定 (ABTTRG = 1) しないでください。 初期化モード中にABTTRGビットを設定した場合、ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット (1) されている間は、ABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前に、TSTAT = 0であることを直接事前に確認してください。	p. 574 p. 574		
	ハード		ABTTRGビットをセット (1) しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ (メッセージ・バッファ8~メッセージ・バッファ15) を送信していた場合などの状況により、即時に送信を行わない可能性があります。また、ABTTRGビットをクリア (0) しても、送信の途中で中断されることはありません。 送信中の場合には、送信が完了 (成功 / 失敗問わず) するまで送信を続けます。	p. 575		
	ソフト	COGMABTD : CANグローバル自動ブロック送信遅延レジスタ	ABTTRGビットがセット (1) されている場合は、COGMABTDレジスタの内容は変更しないでください。	p. 576		
	ハード		実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ (メッセージ・バッファ8~メッセージ・バッファ15) に対する送信要求の設定状況によって変化します。	p. 576		
ソフト	COCTRL : CANモジュール制御レジスタ	CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。 パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にCOGMCTRLレジスタのMBONフラグを確認する必要があります。	p. 581 p. 581			
ハード		CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。	p. 581			
ソフト		初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。	p. 581			

(21/32)

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	CAN コントローラ	C0INTS : CANモジュール割り込みステータスレジスタ	このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。	p. 588
	ハード		C0BRP : CANモジュール・ビットレート・プリスケラ・レジスタ	C0BRPレジスタは、初期化モードのときのみライト・アクセス可能です。	p. 589
	ソフト		C0MDLCm : CANメッセージ・データ長レジスタm	ビット7-4には必ず0000Bを設定してください。	p. 600
	ハード			メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のC0MDATAxmレジスタに受信データが格納されます。データが格納されなかったC0MDATAxmレジスタは不定です。	p. 600
	ソフト		C0MCONFm : CANメッセージ・コンフィギュレーションレジスタm	ビット2, 1には、必ず0を書き込んでください。	p. 602
			C0MIDLm, C0MIDHm : CANメッセージIDレジスタm	C0MIDHmレジスタのビット14, 13には、必ず0を書き込んでください。 必ず、このレジスタに与えられたビット位置に従って登録するID値を並べてください。標準IDに関してID値はID28からID18のビット位置をシフトしてください。	p. 602 p. 602
			C0MCTRLm : CANメッセージ制御レジスタm	TRQビットとRDYビットを同時にセット(1)しないでください。TRQビットをセット(1)する場合は、事前にRDYビットを必ずセット(1)してください。	p. 603
				メッセージ送信中に、RDYビットをクリア(0)しないでください。再定義のためのRDYビットのクリアは、送信中断処理に従ってください。	p. 604
				RDYビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。	p. 604
				メッセージ・バッファ・レジスタに書き込む前に、RDYビットがクリア(0)されたことを確認してください。確認はRDYビットを読み返して行ってください。ただし、C0MCTRLmレジスタのTRQビットまたはRDYビットのセット(1)、DNビットまたはMOWビットのクリア(0)については確認する必要はありません。	p. 604
				IEビットの設定とRDYビットの設定は、常に別々に行ってください。	p. 604, 605
				ソフトウェアにより、DNビットをセット(1)しないでください。ビット10には、必ず0を書き込んでください。	p. 604
	ハード			TRQビットをセット(1)しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。 また、TRQビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を続けます。	p. 604
	ソフト			IEビットの設定とRDYビットの設定は、常に別々に行ってください。	p. 605

( 22/32 )

章	分類	機能	機能の詳細	注意事項	頁
第15章	ハード	CANコントローラ	送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定	メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図15 - 40の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果 (受信フィルタリング結果) が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。 再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。	p. 608
				メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図15 - 41の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。	p. 608
		受信履歴・リスト機能	受信履歴・リストがオーバーフローした状態 (ROVF = 1) でも、未読の履歴がなくなりRHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVF = 1かつRHPM = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。	p. 613	
		マルチ・バッファ受信ブロック機能	MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なっても、IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。	p. 617	
			MBRBは、リング構造をもっています。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。	p. 617	
			MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。	p. 617	
			MBRBにおける「IDが一致する」とは「マスク後のIDが一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。	p. 617	
			各MBRB間の優先順位は15. 9. 1 メッセージ受信で示す優先順位に従います。	p. 617	
		リモート・フレーム受信	リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCOMCONFmレジスタのOWSビットによるオーバーライト制御の設定およびCOMCTRLmレジスタのDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット (1) されます。 複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。	p. 618	
		送信履歴・リスト機能	送信履歴・リストがオーバーフローした状態 (TOVF = 1) でも、未読の履歴がなくなりTHPMビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバフローしている) を継続します。この状態では、TOVFビットがクリア (0) されないかぎり、新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア (0) されません。したがって、TOVF = 1かつTHPM = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。	p. 621	

( 23/32 )

章	分類	機能	機能の詳細	注意事項	頁		
第15章	ソフト	CAN コントローラ	自動ブロック送信機能 ( ABT : Automatic Block Transmission )	ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTCLRビットはABTTRGビットがクリア ( 0 ) されている状態でセット ( 1 ) してください。ABTTRGビットがセット ( 1 ) されている状態で、ABTCLRビットをセット ( 1 ) した場合には、以降の動作を保証いたしません。	p. 624		
				ABTCLRビットのセット ( 1 ) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア ( 0 ) されることで確認できます。	p. 624		
				初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証いたしません。	p. 624		
				ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット ( 1 ) しないでください。セットした場合には動作は保証いたしません。	p. 624		
	ハード				COGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ ( メッセージ・バッファ8～バッファ15 ) に対する送信要求の設定状況に依存して変化します。	p. 624	
					ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合 ( COGMABTD = 00H ) でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。	p. 624	
					ABTTRG = 1の状態では、RDYビットをクリア ( 0 ) しないでください。	p. 624	
					ABT付き通常動作モード時、他ノードからメッセージを受信した場合、COGMABTDレジスタ = 00Hの設定時でも1フレーム分待ってからABTメッセージを送信する場合があります。	p. 624	
	ソフト				送信中断処理	ABT送信の中断は必ずABTTRG = 0によって行ってください。RDYビットのクリアによる送信中断を要求した場合は、動作を保証いたしません。	p. 625
	ハード		CANスリープ・モード		立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージは受信および格納はされません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE [1:0]ビットは01Bのままとなります。また、それ以降の受信メッセージについても受信されません。	p. 629	
					CANクロックが供給されている状態で、CAN受信端子 ( CRxD ) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります ( 詳細は、図15 - 54の処理を参照してください ) 。	p. 629	
ハード				CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。	p. 629		
ソフト		CANストップ・モード		CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードである必要があります。その確認のためにPSMODE[1:0] = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子 ( CRxD ) のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります ( ただし、CANクロックが供給されている状態では、CAN受信端子 ( CRxD ) のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります ) 。	p. 630		

(24/32)

章	分類	機能	機能の詳細	注意事項	頁	
第15章	ハード	CANコントローラ	受信オンリー・モード	2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・バツシブになります（エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに、送信ノードはバツシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット（1）されます。		p. 634
			シングル・ショット・モード	ALビットは、シングル・ショット・モードでのみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。		p. 634
			タイム・スタンプ機能	TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUT信号のトグルは停止しません。 上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。		p. 638
			ポーレート設定について	表15-22（表15-23 / 表15-24）は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。		p. 642, 643, 645, 646
	ソフト		再初期化	初期化モードへ移行したあとに、連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には、必ずCOCTRL、COGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。		p. 648
			メッセージ・バッファの初期化	メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。		p. 649
				アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。 ・COMCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア（0）する。 ・COMCONFmレジスタのMA0ビットをクリア（0）する。		p. 649
			メッセージ送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p. 652
				RDYビットとTRQビットは同時に設定しないでください。		p. 652
			ABTメッセージ送信処理	ABTTRGビットのセット（1）は、TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は、連続的に処理を行う必要があります。		p. 653
送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p. 654, 655, 657			
	RDYビットとTRQビットは同時に設定しないでください。		p. 654, 655, 657			

( 25/32 )

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	CANコントローラ	送信中断処理	送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。	p. 659, 660
				スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。	p. 659, 660
				TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。	p. 659, 660
				送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。	p. 659, 660
	ハード			同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、C0TGPTの履歴情報などを使用することにより判定を行ってください。	p. 659, 660
	ソフト	ABT送信中断処理		ABT送信中断処理中は、いかなる送信要求もセットしないでください。	p. 661, 662
				CANスリープ・モード/CANストップ・モードの要求は、図15 - 49または図15 - 50により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図15 - 47に従ってください。	p. 661, 662
		CANスリープ・モード/CANストップ・モード	CANスリープ・モードの要求前に送信中断を行う場合は、図15 - 47～15 - 50に従って処理してください。	p. 666	
		バスオフからのリカバリ処理	バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ（REC [6:0]）がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出することが必要です。	p. 668, 669	
		強制シャット・ダウン処理	EFSDビットのセットとGOMビットのクリアの間に、ソフトウェアによる他のレジスタへのリード/ライト・アクセスを行わないでください。	p. 671	
CPUスタンバイ処理			CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイク・アップによって、CANスリープ・モードが解除されることがあります。	p. 673	
		CANストップ・モードは、C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することでのみ解除が可能で、CANバスの変化によって解除されません。	p. 674		
第16章	ソフト	ステップング・モータ・コントローラ/ドライバ	MCNTC0：タイマ・モード・コントロール・レジスタ	ビット6には、必ず0を設定してください。	p. 679
			SMPC：ステップング・モータ・ポート・モード・コントロール・レジスタ	PWMフル・ブリッジ・モードでは、PWMモードでない端子に関連するポート・レジスタ（Pn）とポート・モード・レジスタ（PMn）は00Hに設定してください。	p. 685

(26/32)

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	LCDコントローラ/ドライバ	LCDDMD: LCDモード・レジスタ	ビット0-3, 6, 7には, 必ず0を設定してください。	p. 699
			LCDDM: LCD表示モード・レジスタ	ビット1, 3-5には, 必ず0を設定してください。 4COMなどCOM数の多いモードで表示する場合, パネルの特性によっては, $V_{LCo}$ が低電圧の条件で十分なコントラストを得られない場合があります。お客様において, 十分なLCD表示評価をし, 表示品質に問題がないことをご確認の上, ご利用ください。	p. 700, 704
			LCDC0: LCDクロック制御レジスタ0	ビット3, 7には, 必ず0を設定してください。	p. 701
			LCD表示データ・メモリ	上位4ビットはメモリを内蔵していません。必ず0を設定してください。	p. 705, 706
第18章	ソフト	サウンド・ジェネレータ	SG0コントロール・レジスタ(SG0CTL)	ビット0には, 必ず0を設定してください。 本レジスタは, サウンド停止中(SG0PWMレジスタのクリア時)のみ書き換え可能です。	p. 726 p. 726
			割り込み機能	IF0L, IF0L, 1F0L, 1F1L, 1F1H: 割り込み要求フラグ・レジスタ	IF1Hのビット5-7には, 必ず0を設定してください。 タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令(CLR1)を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令(CLR1)になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。 なお, C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。 <pre>mov a, IF0L and a, #0FEH mov IF0L, a</pre> この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ(IF0L)の他ビットの要求フラグがセット(1)されても, 「mov IF0L, a」でクリア(0)されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です
第19章	ソフト	割り込み機能	MK0L, MK0H, MK1L, MK1H: 割り込みマスク・フラグ・レジスタ	MK1Hのビット5-7には, 必ず1を設定してください。	p. 744
			PR0L, PR0H, PR1L, PR1H: 優先順位指定フラグ・レジスタ	PR1Hのビット5-7には, 必ず1を設定してください。	p. 745
			EGP, EGN: 外部割り込み立ち上がり, 立ち下がりエッジ許可レジスタ	EGPのビット5, EGNのビット5には, 必ず0を設定してください。 外部割り込み機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。	p. 746 p. 746
			ソフトウェア割り込み要求	ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。	p. 751
			BRK命令	BRK命令は, 上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは, IEフラグが0にクリアされます。したがって, BRK命令実行中にマスカブル割り込み要求が発生しても, 割り込み要求を受け付けません。	p. 754

( 27/32 )

章	分類	機能	機能の詳細	注意事項	頁
第20章	ソフト	スタンバイ機能	スタンバイ機能	STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。	p. 755
				STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。	p. 755
				A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。	p. 755
			OSTC:発振安定時間カウンタ状態レジスタ	上記時間経過後、MOST11から順番に“1”となっていき、そのまま“1”を保持します。	p. 757
				発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p. 757
				X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。	p. 757
	ハード	ソフト	OSTS:発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。	p. 758
				X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p. 758
				発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p. 758
	ハード	ソフト	STOPモード	X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。	p. 758
				スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。	p. 765
				STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。	p. 767
ソフト	ソフト	STOPモード	オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時では低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合はソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。	p. 767	
			高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、次のSTOP命令実行前に、CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック(X1発振)に切り替える場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから、行ってください。	p. 767	
			AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 $\mu$ s間、CPUクロックに高速システム・クロック(外部クロック入力)のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。	p. 767	

( 28/32 )

章	分類	機能	機能の詳細	注意事項	頁
第21章	ハード	リセット機能	-	外部リセットを行う場合、RESET端子に10 $\mu$ s以上のロウ・レベルを入力してください。	p. 772
				リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。	p. 772
				リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。	p. 772
			リセット機能のブロック図	LVI回路の内部リセットの場合、LVI回路はリセットされません。	p. 773
			ウォッチドッグ・タイマのオーバフロー	ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。	p. 774
	ソフト	RESF：リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p. 781	
第22章	ソフト	乗除算器	SDR0：剰余データ・レジスタ0	演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）にSDR0の値を読み出した場合、その値は保証されません。	p. 784
				演算開始時（DMUEを1に設定するとき）、SDR0はリセットされます。	p. 784
			MDA0H, MDA0L：乗除算データ・レジスタA0	乗算モードでの演算開始時（乗除算器コントロール・レジスタ0（DMUC0）を81Hに設定するとき）、MDA0Hはクリア（0）されます。	p. 784
				演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に、MDA0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。	p. 784
				演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合、その値は保証しません。	p. 784
			MDB0：乗除算データ・レジスタB0	演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に、MDB0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。	p. 785
				除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。	p. 785
			DMUC0：乗除算器コントロール・レジスタ0	演算処理中（DMUEが1のとき）にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。	p. 786
	演算処理中（DMUEが1のとき）に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0（MDA0）、剰余データ・レジスタ0（SDR0）に格納されます。	p. 786			
	演算処理中（DMUEが1のとき）にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0（MDA0）、乗除算データ・レジスタB0（MDB0）、乗除算器コントロール・レジスタ0（DMUC0）を設定し、演算動作を開始（DMUE = 1）してください。	p. 786			
第23章	ソフト	パワーオン・クリア回路	-	POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。	p. 791
				低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください（第24章 低電圧検出回路を参照）。	p. 793, 794
			2.7 V/1.59 V POCモード設定時	電源電圧が1.59 V（TYP.）に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V（TYP.）から2.7 V（TYP.）に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。	p. 794
			パワーオン・クリア回路の注意事項	電源電圧（V <sub>DD</sub> ）がPOC検出電圧（V <sub>POC</sub> ）付近で、ある期間ふらつくような構成のシステムでは、リセット状態/リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。	p. 795

(29/32)

章	分類	機能	機能の詳細	注意事項	頁
第24章	ソフト	低電圧検出回路	LVIM: 低電圧検出レジスタ	<p>LVIMを停止する場合は、次のいずれかの手順を行ってください。</p> <ul style="list-style-type: none"> <li>・8ビット・メモリ操作命令の場合: LVIMIに“00H”を書き込む</li> <li>・1ビット・メモリ操作命令の場合: LVIONをクリア(0)</li> </ul>	p. 800
				<p>外部入力端子からの入力電圧 (EXLVI) は、<math>EXLVI &lt; V_{DD}</math> でなければなりません。</p>	p. 800
	ハード			<p>LVIMリセット発生後、LVION = 1のときは、LVISとLVIMに値を書き込まないでください。</p>	p. 800
				<p>LVIMを割り込みとして使用する場合は、LVIM検出電圧未満の状態ではLVIONをクリア(0)すると、INTLVI信号が発生し、LVIMFが1になります。</p>	p. 800
	ソフト		LVIS: 低電圧検出レベル選択レジスタ	<p>ビット4-7には必ず“0”を設定してください。</p>	p. 800
				<p>LVIM動作中に、LVISの値を変更しないでください。</p>	p. 800
				<p>外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (<math>V_{EXLVI} = 1.21 V(TYP.)</math>) です。したがって、LVISの設定は不要です。</p>	p. 800
				<p>リセットとして使用(電源電圧 (<math>V_{DD}</math>) のレベルを検出の場合)</p> <p>は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。</p>	p. 802
				<p>LVIMD = 1とした時点で、「電源電圧 (<math>V_{DD}</math>) 検出電圧 (<math>V_{LVI}</math>)」であれば内部リセット信号は発生しません。</p>	p. 802
				<p>リセットとして使用(外部入力端子からの入力電圧 (EXLVI) のレベルを検出の場合)</p> <p>は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。</p>	p. 805
				<p>LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) 検出電圧 (<math>V_{EXLVI} = 1.21 V(TYP.)</math>)」であれば内部リセット信号は発生しません。</p>	p. 805
				<p>外部入力端子からの入力電圧 (EXLVI) は、<math>EXLVI &lt; V_{DD}</math> でなければなりません。</p>	p. 805
	ハード			<p>割り込みとして使用(外部入力端子からの入力電圧 (EXLVI) のレベルを検出の場合)</p> <p>外部入力端子からの入力電圧 (EXLVI) は、<math>EXLVI &lt; V_{DD}</math> でなければなりません。</p>	p. 810
<p>低電圧検出回路の注意事項</p> <p>電源電圧 (<math>V_{DD}</math>) がLVIM検出電圧 (<math>V_{LVI}</math>) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。</p> <p>(1) リセットとして使用する場合</p> <p>リセット状態/リセット解除状態を繰り返すことがあります。</p> <p>後述の処置(1)に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。</p> <p>(2) 割り込みとして使用する場合</p> <p>割り込み要求が頻繁に発生することがあります。後述の処置(2)の(b)に示す処理を行うようにしてください。</p>				p. 812	
第25章	ソフト	オプション・バイト	0082H, 0083H/1082H, 1083H	0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。	p. 815
			0080H/1080H	ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください	p. 815
			0081H/1081H	LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定できません(このとき、LVIM動作停止モード(デフォルト)になります)。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。	p. 815
			0084H/1084H	オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。	p. 816

( 30/32 )

章	分類	機能	機能の詳細	注意事項	頁
第25章	ソフト	オブション・バイト	0080H/1080H	WDSCS2 = WDSCS1 = WDSCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p. 817
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p. 817
			0080H/1080H	LSROSC = 0(ソフトウェアにより停止可能)の場合、内蔵発振モード・レジスタ(RCM)のビット0(LSRSTOP)の設定に関係なく、HALT/STOPモード時では、ウォッチドッグ・タイマにカウント・クロックは供給されません。	p. 817
				ビット7には必ず0を書き込んでください。	p. 817
		0081H/1081H	ビット7-1には必ず0を書き込んでください。	p. 818	
第26章	ソフト	フラッシュ・メモリ	IMS:メモリ・サイズ切り替えレジスタ, IXS:内部拡張RAMサイズ切り替えレジスタ	リセット解除後に各製品ごとに表26-1に示す値を設定してください。	p. 820, 821
				メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。	p. 820, 821
			フラッシュ・メモリ・プログラマによる書き込み方法	78K0/DF2の端子No. 10とNo. 11(UART60), No. 23とNo. 24(UART61)を使用したフラッシュ・メモリへの書き込みは対応していません。	p. 822
			動作クロック	CSI10使用時は、高速内蔵発振クロック(fosc8)のみ使用できます。	p. 830
				UART60使用時は、X1クロック(fx)または外部メイン・システム・クロック(fEXT)のみ使用できます。	p. 830
			X1, P31端子の処理	フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1/OCDOAを次のように処理してください。 ・P121/X1/OCDOA:ポートとして使用する場合は、抵抗(10kΩ:推奨)を介してVssに接続(入力時)またはオープン(出力時)にしてください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p. 830
		通信方式の選択	UART60選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。	p. 832	
	ハード	セキュリティの設定		一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。	p. 834
				ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去(チップ消去)はできなくなります。	p. 834
		E.P.Vコマンドの使用	ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。	p. 836, 845	
		セルフ書き込みによるフラッシュ・メモリ・プログラミング		CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。	p. 837
				セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。	p. 837
			セルフ・プログラミング開始前に必ずDI命令を実行してください。 セルフ・プログラミング機能は割り込み要求フラグ(IF0L, IF0H, IF1L, IF1H)を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。	p. 837	
	セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H)で割り込みをマスクしてください。		p. 837		
ソフト		セルフ・プログラミングは、高速内蔵発振クロックで動作します。したがって、CPUがX1クロックまたは外部メイン・システム・クロックの場合、セルフ・プログラミング中に高速内蔵発振クロックの発振安定ウエイト時間が生じます。	p. 837		
		セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHのコモン・エリアに配置してください。	p. 838		

( 31/32 )

章	分類	機能	機能の詳細	注意事項	頁
第28章	ハード	オンチップ・デバッグ機能	-	78K0/Dx2には開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p. 848
			X1, X2使用時	オンチップ・デバッグ時は、X1端子よりクロック入力します。 X1, X2端子を使用する場合、P31端子を外部でプルダウンして制御してください。	p. 850 p. 850
			-	・ X1, X2端子を使用せずに、通常ポートにてオンチップ・デバッグ・モードに引き込む場合はポート2本が使用できません。 ・ QB-MINI2が使用する予約領域について QB-MINI2が使用する予約領域は次のとおりです。 (a) フラッシュ・メモリ領域 ・ 0x02, 0x03番地 ・ 0x7E, 0x7F番地 (ソフトウェア・ブレークを使用する場合) ・ 0x84番地 ・ 0x85 ~ 0x8E番地 ・ 0x8F ~ 0x18F番地・・・プログラムの標準値 (疑似リアルタイムRAMモニタ機能を使用する場合は + 256バイト) (16ビット操作可能なSFRが10個を越えるデバイス使用時は + 越えた個数 × 6バイト) (b) 内部拡張RAM領域 ・ 0xF7F0 ~ 0xF7FF番地 (疑似リアルタイムRAMモニタ機能を使用する場合) (c) 内部高速RAM領域 ・ スタックとして7バイト・・・スタックの標準値 (ソフトウェア・ブレークを使用する場合は + 2バイト) (疑似リアルタイムRAMモニタ機能を使用する場合は + 7バイト)	p. 854
第29章 ・ 30章	ハード	電気的特性	-	78K0/Dx2には開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p. 871, 898
			絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p. 871, 872, 899, 900
			X1発振回路特性	X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・ 配線は極力短くする。 ・ 他の信号線と交差させない。 ・ 変化する大電流が流れる線に接近させない。 ・ 発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。 ・ 大電流が流れるグラウンド・パターンに接地しない。 ・ 発振回路から信号を取り出さない。  リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。	p. 873, 901  p. 873, 901

( 32/32 )

章	分類	機能	機能の詳細	注意事項	頁
第29章 ・ 30章	ハード	電気的特性	XT1発振回路特性	XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p. 874, 902
				XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。	p. 874, 902
			DC特性	製品により搭載している端子が異なります。	p. 875-879, 903-907
第32章	ハード	半田付け推奨条件	-	半田付け方式の併用はお避けください(ただし、端子部分加熱方式は除く)。	p. 928
第33章	ソフト	ウエイト	-	CPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、上記の対象レジスタにウエイト要求が発生するアクセス方法で、アクセスしないでください。	p. 930, 931
				CANMOD (CANモジュール・システム・クロック) 2 MHzの場合の値	p. 932

## 付録E 改版履歴

### E.1 本版で改訂された主な箇所

箇所	内容	分類
<b>第29章 電気的特性 ((A)水準品)</b>		
p. 881	29.3 DC特性 $I_{ADC}$ , $I_{ZPD}$ を変更	(b)
p. 886	29.4 (2) (c) $CS11n$ (マスタ・モード, $\overline{SCK1n}$ ...内部クロック出力) $t_{KS01}$ を変更	(a)
p. 887	29.4 (2) シリアル・インタフェース シリアル転送タイミング IIC0を追加	(c)
p. 891	29.4 (5) メータ・コントローラ/ドライバ, ZPD特性 $V_{ZPD}$ の単位を変更	(a)
p. 895	29.4 (10) LCD回路特性 注2を変更, 注3を追加	(c)
p. 897	29.6 (2) シリアル書き込みオペレーション特性, (3) セルフ書き込みオペレーション特性 削除	(c)
<b>第30章 電気的特性 ((A2)水準品)</b>		
p. 909	30.3 DC特性 $I_{ADC}$ , $I_{ZPD}$ を変更	(b)
p. 914	30.4 (2) (c) $CS11n$ (マスタ・モード, $\overline{SCK1n}$ ...内部クロック出力) $t_{KS01}$ を変更	(a)
p. 915	30.4 (2) シリアル・インタフェース シリアル転送タイミング IIC0を追加	(c)
p. 919	30.4 (5) メータ・コントローラ/ドライバ, ZPD特性 $V_{ZPD}$ の単位を変更	(a)
p. 923	30.4 (10) LCD回路特性 注2を変更, 注3を追加	(c)
p. 925	30.6 (2) シリアル書き込みオペレーション特性, (3) セルフ書き込みオペレーション特性 削除	(c)
<b>第32章 半田付け推奨条件</b>		
p. 928	表32-1 表面実装タイプの半田付け条件 赤外線リフコを追加	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
- (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

## E.2 前版までの改訂履歴

英語版 (U19748EJ1V0UD00) からの変更箇所を示します。

(1/4)

箇所	内容	分類
全般	PG-FP4, FL-PR4を削除	(b)
	MINICUBE (QB-78K0MINI) を削除	
	SM+ for 78K0/Dx2を削除	
<b>第1章 概説</b>		
p. 23-25	1. 4 端子接続図 (Top View) を変更 (端子No. 30入出力方向O I/O)	(c)
p. 31, 33, 35, 37	1. 6 機能概要 タイマ出力を変更	(c)
p. 30	1. 6 機能概要 ・タイマの概要を変更	(c)
<b>第2章 端子機能</b>		
p. 56	2. 2. 4 (2) (a) SEG4-SEG11 注意2を削除	(c)
p. 65, 67, 69, 71	表2 - 6 各端子の入出力回路タイプ 注3を削除	(c)
<b>第3章 CPUアーキテクチャ</b>		
p. 99	表3 - 7 特殊機能レジスタ一覧 注を追加	(c)
p. 104	3. 2. 4 拡張機能レジスタ (EFR : Extended Function Register) を追加	(c)
<b>第4章 ポート機能</b>		
p. 123, 125, 127-129, 135, 137-140, 143-147, 149, 152, 154	図4 - 2 P00-P07のブロック図, 図4 - 3 P10のブロック図, 図4 - 5 P12, P17のブロック図~図4 - 7 P14-P16のブロック図, 図4 - 11 P60, P61のブロック図, 図4 - 13 P71のブロック図~図4 - 15 P74のブロック図, 図4 - 17 P76のブロック図~図4 - 22 P93, P97のブロック図 注意を追加	(c)
p. 164	4. 3 (5) LCDポート・ファンクション・レジスタ0 (LCDPF0) を変更 (セグメント出力以外) を削除	(c)
p. 165	4. 3 (7) LCDポート・ファンクション・レジスタALL (LCDPFALL) 注意を追加	(c)
p. 169	表4 - 4 兼用機能を使用する場合のLCDPFALL, LCDPF0, LCDPF3, SMPC, ISC, ポート・モード・レジスタ, 出力ラッチの設定を変更 (P14, P77をTIOP20とする条件)	(c)

**備考** 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(2/4)

箇所	内容	分類
<b>第6章 16ビット・タイマ/イベント・カウンタP (TMP)</b>		
p. 213	6.1 概要を変更	(c)
p. 214	表6-1 TMPnの構成 注1を変更	(c)
p. 215	図6-1 TMPnのブロック図を変更	(c)
p. 219	6.4(2) TMPn制御レジスタ1 (TPnCTL1) TPnSYEビットを変更	(c)
p. 223	6.4(5) TMPn/O制御レジスタ2 (TPnIOC2)を変更(外部トリガ入力信号(TIOPn0端子) TIOPn1)	(c)
p. 224	6.4(6) TMPnオプション・レジスタ0 (TPnOPT0) 注を追加	(c)
p. 230	6.4(10) 入力切り替え制御レジスタ (ISC) を変更(リセットにより0000H 00H)	(c)
p. 232-237	6.4(10) 入力切り替え制御レジスタ (ISC) 図を変更	(c)
p. 244	6.7 動作 表を変更(TIOPn0端子(外部トリガ入力) TIOPn1)	(c)
p. 247	図6-7 インターバル・タイマ・モード動作時のレジスタ設定内容 備考1を変更	(c)
p. 263,	図6-19 外部トリガ・パルス出力モードの構成図を変更(TIOPn0端子(外部トリガ入力) TIOPn1)	(c)
p. 264, 267	図6-20 外部トリガ・パルス出力モードの基本タイミング, 図6-22 外部トリガ・パルス出力モード使用時のソフトウェア処理フローを変更(外部トリガ入力(TIOPn0端子入力) TIOPn1)	
p. 269, 272, 273	6.7.3(2)(a) 動作中のパルス幅変更の注意事項, (c) トリガ検出とTPnCCR1レジスタとの一致の競合, (d) トリガ検出とTPnCCR0レジスタとの一致の競合 図を変更(外部トリガ入力(TIOPn0端子入力) TIOPn1)	(c)
p. 275	図6-23 ワンショット・パルス出力モードの構成図を変更(TIOPn0端子(外部トリガ入力) TIOPn1)	(c)
p. 276	図6-24 ワンショット・パルス出力モードの基本タイミングを変更(外部トリガ入力(TIOPn0端子入力) TIOPn1)	(c)
p. 279, 280	図6-26 ワンショット・パルス出力モード使用時のソフトウェア処理フロー, 6.7.4(2)(a) TPnCCRmレジスタの書き換えに関する注意事項 図を変更(外部トリガ入力(TIOPn0端子入力) TIOPn1)	
p. 291-293, 296, 297	図6-31 フリー・ランニング・タイマ・モードの構成図~図6-33 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能), 図6-35 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能), 図6-36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能) 注を追加	(c)
p. 301	6.7.6(2)(b) キャプチャ・レジスタとして使用し, パルス幅測定をさせる場合 注を追加	(c)
p. 308, 309	図6-37 パルス幅測定モードの構成図, 図6-38 パルス幅測定モードの基本タイミング 注を追加	(c)
<b>第12章 シリアル・インタフェースUART60, UART61</b>		
p. 381, 382, 383	図12-3 LINの受信操作のポート構成図(UART60), 図12-4 LINの受信操作のポート構成図(UART61)を変更	(c)
p. 407	図12-20 ISCレジスタの値の選択を削除	(c)
<b>第14章 シリアル・インタフェースIIC0</b>		
p. 472, 473	14.3(8) ポート・レジスタ6 (P6), (9) ポート出力モード制御レジスタ6 (POM6)を追加	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(3/4)

箇所	内容	分類
<b>第16章 ステッピング・モータ・コントローラ/ドライバ</b>		
p. 676	16. 1. 1 ドライバの概要を変更 (ステッピング・モータ・コントローラ/ドライバ0モジュール ステッピング・モータ・コントローラ/ドライバ・モジュール)	(c)
p. 677	16. 1. 2 ZPDの概要を変更 (Electrical Target Specificationに記載 第29章 電気的特性 ((A)水準品) (ターゲット), 第30章 電気的特性 ((A2)水準品) (ターゲット) 参照)	(e)
p. 693, 694	16. 4 タイミング, 16. 4. 2 自動PWM位相シフト 記述を変更	(c)
<b>第17章 LCDコントローラ/ドライバ</b>		
p. 722	図17 - 20 LCD駆動用電源の接続例を変更	(c)
<b>第18章 サウンド・ジェネレータ</b>		
p. 724	18. 1. 1 構成を変更 (PWM PWMジェネレータ)	(c)
<b>第19章 割り込み機能</b>		
p. 737	表19 - 1 割り込み要因一覧を変更	(c)
<b>第20章 スタンバイ機能</b>		
p. 764	図20 - 3 HALTモードの割り込み要求発生による解除 注を変更	(c)
p. 769	図20 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合) 注2を変更	(c)
p. 770	図20 - 6 STOPモードの割り込み要求発生による解除 注2を変更	(c)
<b>第24章 低電圧検出回路</b>		
p. 798	24. 1 低電圧検出回路の機能 ・電源電圧の検出電圧を変更	(c)
p. 801	図24 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット 注2を削除	(c)
<b>第26章 フラッシュ・メモリ</b>		
p. 823	表26 - 3 78K0/Dx2と専用フラッシュ・メモリ・プログラムの配線表 注意を追加	(c)
p. 825	図26 - 4 UART (UART60) 方式でのフラッシュ書き込み用アダプタ配線例を変更	(c)
p. 831	26. 6. 6 その他の信号端子 注4を削除	(c)
p. 833	表26 - 7 通信方式一覧を変更	(c)
p. 837	表26 - 12 PG-FP5使用時の各コマンド処理時間 (参考値) を変更	(c)
p. 839	図26 - 15 セルフ・プログラミングの動作モードとメモリ・マップ ( $\mu$ PD78F0849の場合) を変更	(c)
<b>第27章 オンチップ・デバッグ機能</b>		
p. 855	27. 6 オンチップ・デバッグ時の制限事項および注意事項を変更	(b, d)
<b>第29章 電気的特性 ((A1)水準品) (ターゲット)</b>		
全般	内容を更新	(b)
<b>第30章 電気的特性 ((A2)水準品) (ターゲット)</b>		
p. 899	章を追加	(b, d)
<b>第31章 外形図</b>		
p. 927, 928	オーダ名称を変更	(d)
<b>第32章 半田付け推奨条件</b>		
p. 929	オーダ名称を変更	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(4/4)

箇所	内容	分類
<b>付録A 開発ツール</b>		
p. 939	A. 3. 1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合を変更	(d)
p. 940	A. 4. 1 インサーキット・エミュレータ QB-78K0DX2を使用する場合を変更	(d)
<b>付録D 注意事項一覧</b>		
p. 957	章を追加	(b, d)

**備考** 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

---

78K0/Dx2 ユーザーズマニュアル  
ハードウェア編

発行年月日 2010年10月29日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

78K0/Dx2