

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7540グループ

ユーザーズマニュアル

ルネサス8ビットCISCシングルチップマイクロコンピュータ
740ファミリ / 740シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

改訂記録

7540 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2000.09.21	-	PDF ファイル初版発行
1.10	2001.07.26	352	住所追記
2.00	2002.07.30	1章 1-37 1-48 2章 3章	データシート最新版 (Rev.3.1) と差し替え 図 29 改訂 説明文追記 全体 ; 表記・表現を統一、追記及び改訂 その他各節ごとの主な改訂箇所は次の通りです。 2.1 : 2-10 ページ 表 2.1.1、2-13 ページ 2.1.7 (1) 2.2 : 2-30 ページ 図 2.2.10 TAM の設定、2-36 ページ 2.2.7 (1) 2.3 : 2-38 ページ 図 2.3.4、2-40 ページ 2.3.3 2.4 : 2-43 ページ 図 2.4.4 2.5 : 2-74 ~ 99 ページ 2.5.3 ~ 2.5.6 の各 (1) 動作説明及び注意事項 2-100 ~ 101 ページ 2.5.7 対策の一例追記 2.6 : 2-108 ページ 図 2.6.10 注意事項、2-114 ページ 図 2.6.16、 2-119 ~ 220 ページ 2.9 : 2-137 ページ 図 2.9.2、2-146 ページ 図 2.9.9、2-149 ~ 150 ページ 2.9.6 3.1 全面改訂 (主な改訂点は、125 版追記) 3.2 全面改訂 3.3 全面改訂 (主な改訂点は、1章の注意事項を追記、及び2章の注意事項の改訂内容を反映) 3.5 図 3.5.22、図 3.5.31 改訂 3.10 ピン接続図 (図 3.10.1 ~ 図 3.10.3) 改訂
3.00	2004.06.21	全ページ 1-9 1-10 1-11 1-17 1-19 1-37 1-44 1-48 1-56 1-57 2-4 2-15 2-36 2-37	用語統一 (統一用語 : オンチップオシレータ、A/Dコンバータ) 図8 「開発中」削除 表 2 「開発中」削除 中央演算処理装置 (CPU) 品種に依存する命令の 4 番目 改訂 【プルアップ制御】注意事項 追記、図 15 注 2 削除 図 17 (2) ポート P01、P02、(6) ポート P11 改訂 図 29 P03/TXOUT、P01/TYOUT、P02/TZOUT 改訂 A/D 変換に関する注意事項 追記 図 49 XIN 端子の処理に抵抗追加 A/D 変換、クロック発生回路 : オンチップオシレータ動作に関する注意 追記 ワンタイム PROM 版 / マスク ROM 版に関する注意事項、 電源電圧に関する注意事項 追記 マスク化発注時の提出資料、ROM書き込み発注時の提出資料 改訂 図 2.1.6 注 2 削除 図 2.2.3 注 2 削除 2.2.7 (2) レジスタ名 改訂 図 2.3.2 機能説明 改訂

改訂記録

7540 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2004.06.21	2-38	図2.3.3 機能説明 改訂
		2-44	図2.4.5、図2.4.6 機能説明 改訂
		2-50	図2.4.12 「時計設定処理」ルーチンの「RTI」を「RTS」に修正
		2-53	図2.4.16 プリスケラX、CNTR0端子出力 改訂
		2-54	図2.4.17 初期設定 二つ目のCPUM、プリスケラX、注2の式 改訂
		2-62	図2.4.26 初期設定 二つ目のタイムXモードレジスタ 改訂
		2-67	図2.5.7 機能説明 改訂
		2-136	2.8.4 A/D コンバータに関する注意事項 (3) 追記
		2-149	2.9.6 発振制御に関する注意事項 (1) 追記
		3-85	3.3.10 A/D コンバータに関する注意事項 (3) 追記
		3-86	3.3.11 発振制御に関する注意事項 (1) 追記
		3-94	3.3.19 ワンタイムPROM版/マスクROM版に関する注意事項、 3.3.20 電源電圧に関する注意事項を追記
		3-104	図3.5.5 注2 削除
		3-110	図3.5.15 機能説明 改訂
		3-111	図3.5.19 機能説明 改訂
		3-112	図3.5.20 機能説明 改訂
		3-114	図3.5.23、図3.5.24 機能説明 改訂
		3-123	32P6U-A 外形寸法図 改訂
		3-141	図3.11.1 7531グループのメモリのアドレス 改訂

1.構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

第2章「応用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧などを掲載しています。

2.レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

ビット数

b7 b6 b5 b4 b3 b2 b1 b0

0

注2
ビットの属性

注1
リセット解除直後の内容

CPUモードレジスタ (CPUM) 【3B₁₆番地】

b	ビット名	機 能	リセット時	R:W
0	プロセッサモードレジスタ	<small>b1b0</small> 00: シングルチップモード 01: } 使用禁止 10: }	0	
1			0	
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	
3	このビットには何も配置されていません。書き込みは不可で、読み出した場合、その内容は“0”です。		0	x
4			0	x
5	このビットは“0”に固定してください。		1	
6	メインクロック(X _{IN} -X _{OUT})停止ビット	0: 発振 1: 停止	*	
7	内部システムクロック選択ビット	0: X _{IN} -X _{OUT} 選択(高速モード) 1: X _{CEIN} -X _{CEOUT} 選択(低速モード)	*	

■: 何も配置されていないビット ■: 当該機能の制御では使用されないビット

注1. リセット解除直後の内容
 0・・・リセット解除時“0”
 1・・・リセット解除時“1”
 不定・・・リセット解除時不定
 *・・・リセット解除時オプションによって決められた内容

注2. ビットの属性・・・・・・・・・・制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R・・・読み出し	W・・・書き込み
・・・読み出し可能	・・・書き込み可能
x・・・読み出し不可能	x・・・書き込み不可能
	*・・・“0”書き込み

3.補足事項

開発ツール、関連ドキュメントにつきましては、ルネサステクノロジWebサイトの740ファミリ開発環境 (http://www.renesas.com/jpn/products/mpumcu/toolhp/mcu/740_j.htm)を参照してください。

目次

第 1 章 ハードウェア

概 要	1-2
特 長	1-2
応 用	1-2
ピン接続図(上面図)	1-3
機能ブロック図	1-5
端子の機能説明	1-8
グループ展開	1-9
メモリの種類	1-9
メモリ容量	1-9
パッケージ	1-9
機能ブロック動作説明	1-11
中央演算処理装置(CPU)	1-11
CPUモードレジスタの切り替え手順	1-14
メモリ	1-15
入出力ポート	1-17
割り込み	1-21
キー入力割り込み(キーオンウェイクアップ)	1-24
タイマ	1-25
シリアルI/O	1-38
A/Dコンバータ	1-44
ウォッチドッグタイマ	1-45
リセット回路	1-46
クロック発生回路	1-48
プログラミング上の注意事項	1-53
(1) プロセッサステータスレジスタ	1-53
(2) 割り込み	1-53
(3) 10進演算	1-53
(4) ポート	1-53
(5) A/D変換	1-53
(6) 命令の実行時間	1-53
(7) CPUモードレジスタ	1-53
ハードウェアに関する注意事項	1-53
(1) 電源端子の取扱い	1-53
(2) ワンタイムPROM版	1-53
周辺機能に関する注意事項	1-54
割り込み	1-54
タイマ	1-54
タイマA	1-54
タイマX	1-54
タイマY: プログラマブル波形発生モード	1-54

周辺機能に関する注意事項(続き)	
タイマZ：プログラマブル波形発生モード	1-55
タイマZ：プログラマブルワンショット発生モード	1-55
タイマZ：プログラマブルウェイトワンショット発生モード	1-55
A/D変換	1-56
シリアルI/O	1-56
クロック発生回路	1-56
ワンタイムPROM版/マスクROM版に関する注意事項	1-56
電源電圧に関する注意事項	1-56
マスク化発注時の提出資料	1-57
ROM書き込み発注時の提出資料	1-57
ROM書き込み方法	1-57
補足説明	1-58
割り込み	1-58
A/D変換器	1-60

第 2 章 応 用

2.1	入出力ポート	2-2
2.1.1	メモリ配置図	2-2
2.1.2	関連レジスタ	2-2
2.1.3	キーオンウェイクアップの応用例 (1)	2-7
2.1.4	キーオンウェイクアップの応用例 (2)	2-9
2.1.5	未使用端子の処理	2-10
2.1.6	入出力ポートに関する注意事項	2-11
2.1.7	未使用端子の処理に関する注意事項	2-13
2.2	タイマA	2-14
2.2.1	メモリ配置図	2-14
2.2.2	関連レジスタ	2-14
2.2.3	タイマモード	2-20
2.2.4	周期測定モード	2-23
2.2.5	イベントカウンタモード	2-27
2.2.6	パルス幅HL連続測定モード	2-31
2.2.7	タイマAに関する注意事項	2-36
2.3	タイマ1	2-37
2.3.1	メモリ配置図	2-37
2.3.2	関連レジスタ	2-37
2.3.3	タイマ1動作説明	2-40
2.3.4	タイマ1に関する注意事項	2-40
2.4	タイマX	2-41
2.4.1	メモリ配置図	2-41
2.4.2	関連レジスタ	2-41
2.4.3	タイマモード	2-47
2.4.4	パルス出力モード	2-51
2.4.5	イベントカウンタモード	2-55
2.4.6	パルス幅測定モード	2-59
2.4.7	タイマXに関する注意事項	2-63

2.5	タイマY、タイマZ	2-64
2.5.1	メモリ配置図	2-64
2.5.2	関連レジスタ	2-65
2.5.3	タイマモード(タイマY、タイマZ共通)	2-74
2.5.4	プログラマブル波形発生モード(タイマY、タイマZ共通)	2-78
2.5.5	プログラマブルワンショット発生モード(タイマZ)	2-85
2.5.6	プログラマブルウェイトワンショット発生モード(タイマZ)	2-92
2.5.7	タイマY、タイマZに関する注意事項	2-100
2.6	シリアルI/O1	2-102
2.6.1	メモリ配置図	2-102
2.6.2	関連レジスタ	2-102
2.6.3	シリアルI/O1転送データフォーマット	2-106
2.6.4	シリアルI/O1のクロック同期形の応用例	2-107
2.6.5	シリアルI/O1のクロック非同期形の応用例	2-113
2.6.6	シリアルI/O1に関する注意事項	2-119
2.7	シリアルI/O2	2-121
2.7.1	メモリ配置図	2-121
2.7.2	関連レジスタ	2-121
2.7.3	シリアルI/O2の応用例	2-124
2.7.4	シリアルI/O2に関する注意事項	2-129
2.8	A/Dコンバータ	2-130
2.8.1	メモリ配置図	2-130
2.8.2	関連レジスタ	2-130
2.8.3	A/Dコンバータの応用例	2-133
2.8.4	A/Dコンバータに関する注意事項	2-136
2.9	発振制御	2-137
2.9.1	メモリ配置図	2-137
2.9.2	関連レジスタ	2-137
2.9.3	オンチップオシレータの応用例	2-139
2.9.4	発振停止検出回路	2-142
2.9.5	状態遷移	2-145
2.9.6	発振制御に関する注意事項	2-149

第 3 章 付 録

3.1	電気的特性	3-2
3.1.1	7540グループ(一般品)の電気的特性	3-2
3.1.2	7540グループ(広動作温度範囲版)の電気的特性	3-14
3.1.3	7540グループ(125 保証品)の電気的特性	3-24
3.2	標準特性例	3-34
3.2.1	マスクROM版	3-34
3.2.2	ワンタイムPROM版	3-55
3.3	使用上の注意事項	3-76
3.3.1	入出力ポートに関する注意事項	3-76
3.3.2	未使用端子の処理に関する注意事項	3-77
3.3.3	タイマに関する注意事項	3-78
3.3.4	タイマAに関する注意事項	3-78
3.3.5	タイマ1に関する注意事項	3-78
3.3.6	タイマXに関する注意事項	3-79
3.3.7	タイマY、タイマZに関する注意事項	3-79
3.3.8	シリアルI/O1に関する注意事項	3-82
3.3.9	シリアルI/O2に関する注意事項	3-84
3.3.10	A/Dコンバータに関する注意事項	3-85
3.3.11	発振制御に関する注意事項	3-86
3.3.12	CPUモードレジスタに関する注意事項	3-88
3.3.13	割り込みに関する注意事項	3-89
3.3.14	リセット端子に関する注意事項	3-90
3.3.15	プログラム作成に関する注意事項	3-91
3.3.16	PROM内蔵版の書き込みとテストに関する注意事項	3-93
3.3.17	電源端子の取扱いに関する注意事項	3-94
3.3.18	PROM内蔵版に関する注意事項	3-94
3.3.19	ワンタイムPROM版/マスクROM版に関する注意事項	3-94
3.3.20	電源電圧に関する注意事項	3-94
3.4	ノイズに関する注意事項	3-95
3.4.1	配線長の短縮	3-95
3.4.2	V _{SS} - V _{CC} ライン間へのバイパスコンデンサ挿入	3-97
3.4.3	アナログ入力端子の配線処理	3-98
3.4.4	発振子への配慮	3-99
3.4.5	入出力ポート処理	3-100
3.4.6	ソフトウェアによるウォッチドッグタイマ機能の実現	3-101
3.5	レジスタ一覧	3-102
3.6	パッケージ寸法図	3-122
3.7	機械語命令一覧表	3-124
3.8	命令コード一覧表	3-134
3.9	SFRメモリマップ	3-135
3.10	ピン接続図	3-136
3.11	7531グループとの相違点	3-140

図目次

第 1 章 ハードウェア

図1 . ピン接続図(32P6Uパッケージタイプ).....	1-3
図2 . ピン接続図(36P2Rパッケージタイプ).....	1-3
図3 . ピン接続図(32P4Bパッケージタイプ).....	1-4
図4 . ピン接続図(42S1Mパッケージタイプ).....	1-4
図5 . 機能ブロック図(32P6Uパッケージタイプ).....	1-5
図6 . 機能ブロック図(36P2Rパッケージタイプ).....	1-6
図7 . 機能ブロック図(32P4Bパッケージタイプ).....	1-7
図8 . ROM及びRAM展開計画	1-9
図9 . 740ファミリ CPUの構成	1-11
図10 . スタックへの退避及び復帰動作	1-12
図11 . CPUモードレジスタの構成	1-14
図12 . CPUモードレジスタの切り替え手順.....	1-14
図13 . メモリ配置図	1-15
図14 . SFR(スペシャルファンクションレジスタ)メモリマップ	1-16
図15 . プルアップ制御レジスタの構成	1-17
図16 . ポートP1P3制御レジスタの構成	1-17
図17 . ポートのブロック図(1).....	1-19
図18 . ポートのブロック図(2).....	1-20
図19 . 割り込み制御図.....	1-23
図20 . 割り込み関係レジスタの構成	1-23
図21 . キー入力割り込み使用時の結線例とポートP0のブロック図	1-24
図22 . タイマAモードレジスタの構成.....	1-26
図23 . タイマXモードレジスタの構成.....	1-28
図24 . タイマカウントソース設定レジスタの構成	1-28
図25 . タイマY、Zモードレジスタの構成	1-35
図26 . タイマY、Z波形出力制御レジスタの構成	1-35
図27 . ワンショット開始レジスタの構成	1-35
図28 . タイマ1及び、タイマAのブロック図	1-36
図29 . タイマX、タイマY及びタイマZのブロック図	1-37
図30 . クロック同期形シリアルI/O1ブロック図	1-38
図31 . クロック同期形シリアルI/O1動作図.....	1-38
図32 . UART形シリアルI/O1ブロック図	1-39
図33 . UART形シリアルI/O動作図	1-39
図34 . シリアルI/O1関係レジスタの構成	1-41
図35 . シリアルI/O2制御レジスタの構成	1-42
図36 . シリアルI/O2ブロック図.....	1-42
図37 . シリアルI/O2タイミング(LSBファーストの場合).....	1-43
図38 . A/D制御レジスタの構成	1-44
図39 . A/D変換レジスタの構成	1-44
図40 . A/D変換器ブロック図	1-44
図41 . ウォッチドッグタイマのブロック図	1-45

図42 . ウォッチドッグタイマ制御レジスタの構成	1-45
図43 . リセット回路例	1-46
図44 . リセット時のタイミング図	1-46
図45 . リセット時の内部状態	1-47
図46 . セラミック共振子外付け回路	1-48
図47 . RC外付け発振回路	1-48
図48 . 外部クロック入力回路	1-48
図49 . オンチップオシレータ動作時のXIN、XOUT端子の処理	1-48
図50 . MISRGの構成	1-50
図51 . システムクロック発生回路ブロック図(セラミック発振時)	1-51
図52 . システムクロック発生回路ブロック図(RC発振時)	1-51
図53 . クロック発生回路状態遷移図	1-52
図54 . ワンタイムPROM版書き込みとテスト	1-57
図55 . 割り込み発生後のタイミングチャート	1-59
図56 . 割り込み処理ルーチンを実行するまでの時間	1-59
図57 . A/D変換器等価回路	1-61
図58 . A/D変換タイミングチャート	1-61

第 2 章 応 用

図2.1.1 入出力ポート関連レジスタのメモリ配置	2-2
図2.1.2 ポートPiの構成(i = 0、2、3)	2-2
図2.1.3 ポートP1の構成	2-3
図2.1.4 ポートPi方向レジスタの構成(i = 0、2、3)	2-3
図2.1.5 ポートP1方向レジスタの構成	2-4
図2.1.6 プルアップ制御レジスタの構成	2-4
図2.1.7 ポートP1P3制御レジスタの構成	2-5
図2.1.8 割り込みエッジ選択レジスタの構成	2-5
図2.1.9 割り込み要求レジスタ1の構成	2-6
図2.1.10 割り込み制御レジスタ1の構成	2-6
図2.1.11 応用回路例	2-7
図2.1.12 制御手順例	2-8
図2.1.13 制御手順例	2-9
図2.2.1 タイマA関連レジスタのメモリ配置	2-14
図2.2.2 ポートP0方向レジスタの構成	2-14
図2.2.3 プルアップ制御レジスタの構成	2-15
図2.2.4 タイマAモードレジスタの構成	2-16
図2.2.5 タイマAの構成	2-17
図2.2.6 割り込みエッジ選択レジスタの構成	2-17
図2.2.7 割り込み要求レジスタ1の構成	2-18
図2.2.8 割り込み要求レジスタ2の構成	2-18
図2.2.9 割り込み制御レジスタ1の構成	2-19
図2.2.10 割り込み制御レジスタ2の構成	2-19
図2.2.11 タイマモードの設定方法	2-21
図2.2.12 制御手順例	2-22

図2.2.13	周期測定モードの設定方法(1)	2-23
図2.2.14	周期測定モードの設定方法(2)	2-24
図2.2.15	周辺回路例	2-25
図2.2.16	制御手順例	2-26
図2.2.17	イベントカウンタモードの設定方法(1)	2-27
図2.2.18	イベントカウンタモードの設定方法(2)	2-28
図2.2.19	周波数の測定方法例	2-29
図2.2.20	制御手順例	2-30
図2.2.21	パルス幅HL連続測定モードの設定方法(1)	2-31
図2.2.22	パルス幅HL連続測定モードの設定方法(2)	2-32
図2.2.23	周辺回路例	2-33
図2.2.24	リング信号入力時の動作タイミング	2-33
図2.2.25	制御手順例(1)	2-34
図2.2.26	制御手順例(2)	2-35
図2.3.1	タイマ1関連レジスタのメモリ配置	2-37
図2.3.2	プリスケアラ1の構成	2-37
図2.3.3	タイマ1の構成	2-38
図2.3.4	MISRGの構成	2-38
図2.3.5	割り込み要求レジスタ2の構成	2-39
図2.3.6	割り込み制御レジスタ2の構成	2-39
図2.4.1	タイマX関連レジスタのメモリ配置	2-41
図2.4.2	ポートP0方向レジスタの構成	2-41
図2.4.3	ポートP1方向レジスタの構成	2-42
図2.4.4	タイマXモードレジスタの構成	2-43
図2.4.5	プリスケアラXの構成	2-44
図2.4.6	タイマXの構成	2-44
図2.4.7	タイマカウントソース設定レジスタの構成	2-45
図2.4.8	割り込み要求レジスタ1の構成	2-46
図2.4.9	割り込み制御レジスタ1の構成	2-46
図2.4.10	タイマモードの設定方法	2-48
図2.4.11	タイマの接続と分周比の設定	2-49
図2.4.12	制御手順例	2-50
図2.4.13	パルス出力モードの設定方法(1)	2-51
図2.4.14	パルス出力モードの設定方法(2)	2-52
図2.4.15	周辺回路例	2-53
図2.4.16	タイマの接続と分周比の設定	2-53
図2.4.17	制御手順例	2-54
図2.4.18	イベントカウンタモードの設定方法(1)	2-55
図2.4.19	イベントカウンタモードの設定方法(2)	2-56
図2.4.20	周辺回路例	2-57
図2.4.21	水の流量の測定方法	2-57
図2.4.22	制御手順例	2-58
図2.4.23	パルス幅測定モードの設定方法(1)	2-59
図2.4.24	パルス幅測定モードの設定方法(2)	2-60
図2.4.25	タイマの接続と分周比の設定	2-61
図2.4.26	制御手順例	2-62

図2.5.1	タイマY、タイマZ関連レジスタのメモリ配置	2-64
図2.5.2	ポートP0方向レジスタの構成	2-65
図2.5.3	ポートP3方向レジスタの構成	2-65
図2.5.4	プルアップ制御レジスタの構成	2-66
図2.5.5	ポートP1P3制御レジスタの構成	2-66
図2.5.6	タイマY、Zモードレジスタの構成	2-67
図2.5.7	プリスケラY、プリスケラZの構成	2-67
図2.5.8	タイマYセカンダリ、タイマZセカンダリの構成	2-68
図2.5.9	タイマYプライマリ、タイマZプライマリの構成	2-68
図2.5.10	タイマY、Z波形出力制御レジスタの構成	2-69
図2.5.11	ワンショット開始レジスタの構成	2-69
図2.5.12	タイマカウントソース設定レジスタの構成	2-70
図2.5.13	割り込みエッジ選択レジスタの構成	2-70
図2.5.14	CPUモードレジスタの構成	2-71
図2.5.15	割り込み要求レジスタ1の構成	2-72
図2.5.16	割り込み要求レジスタ2の構成	2-72
図2.5.17	割り込み制御レジスタ1の構成	2-73
図2.5.18	割り込み制御レジスタ2の構成	2-73
図2.5.19	タイマモードの設定方法	2-75
図2.5.20	周辺回路例	2-76
図2.5.21	水の流量の測定方法	2-76
図2.5.22	制御手順例	2-77
図2.5.23	タイマYのプログラマブル波形発生モードタイミング図	2-80
図2.5.24	プログラマブル波形発生モードの設定方法(1)	2-81
図2.5.25	プログラマブル波形発生モードの設定方法(2)	2-82
図2.5.26	波形出力例	2-83
図2.5.27	制御手順例	2-84
図2.5.28	タイマZのプログラマブルワンショット発生モードのタイミング図	2-86
図2.5.29	プログラマブルワンショット発生モードの設定方法(1)	2-87
図2.5.30	プログラマブルワンショット発生モードの設定方法(2)	2-88
図2.5.31	プログラマブルワンショット発生モードの設定方法(3)	2-89
図2.5.32	周辺回路例	2-90
図2.5.33	動作タイミング例	2-90
図2.5.34	制御手順例	2-91
図2.5.35	タイマZのプログラマブルウェイトワンショット発生モードタイミング図	2-94
図2.5.36	プログラマブルウェイトワンショット発生モードの設定方法(1)	2-95
図2.5.37	プログラマブルウェイトワンショット発生モードの設定方法(2)	2-96
図2.5.38	プログラマブルウェイトワンショット発生モードの設定方法(3)	2-97
図2.5.39	周辺回路及び波形発生例	2-98
図2.5.40	制御手順例	2-99
図2.6.1	シリアルI/O関連レジスタのメモリ配置	2-102
図2.6.2	送信/受信バッファレジスタの構成	2-102
図2.6.3	シリアルI/O1ステータスレジスタの構成	2-103
図2.6.4	シリアルI/O1制御レジスタの構成	2-103
図2.6.5	UART制御レジスタの構成	2-104

図2.6.6	ボーレートジェネレータの構成	2-104
図2.6.7	割り込み要求レジスタ1の構成	2-105
図2.6.8	割り込み制御レジスタ1の構成	2-105
図2.6.9	シリアルI/O1転送データフォーマット	2-106
図2.6.10	シリアルI/O1のクロック同期形設定方法(1)	2-108
図2.6.11	シリアルI/O1のクロック同期形設定方法(2)	2-109
図2.6.12	接続図	2-110
図2.6.13	タイミング図	2-110
図2.6.14	送信側の制御手順例	2-111
図2.6.15	受信側の制御手順例	2-112
図2.6.16	シリアルI/O1のUART設定方法(1)	2-114
図2.6.17	シリアルI/O1のUART設定方法(2)	2-115
図2.6.18	接続図	2-116
図2.6.19	タイミング図	2-116
図2.6.20	送信側の制御手順例	2-117
図2.6.21	受信側の制御手順例	2-118
図2.6.22	シリアルI/O1制御レジスタの再設定手順	2-120
図2.7.1	シリアルI/O2関連レジスタのメモリ配置	2-121
図2.7.2	ポートP1方向レジスタの構成	2-121
図2.7.3	シリアルI/O2制御レジスタの構成	2-122
図2.7.4	シリアルI/O2レジスタの構成	2-122
図2.7.5	割り込み要求レジスタ2の構成	2-123
図2.7.6	割り込み制御レジスタ2の構成	2-123
図2.7.7	シリアルI/O2の設定方法(1)	2-124
図2.7.8	シリアルI/O2の設定方法(2)	2-125
図2.7.9	接続図	2-126
図2.7.10	タイミング図	2-126
図2.7.11	送信側の制御手順例	2-127
図2.7.12	受信側の制御手順例	2-128
図2.8.1	A/D変換器関連レジスタのメモリ配置	2-130
図2.8.2	A/D制御レジスタの構成	2-130
図2.8.3	A/D変換下位レジスタの構成	2-131
図2.8.4	A/D変換上位レジスタの構成	2-131
図2.8.5	割り込み要求レジスタ2の構成	2-132
図2.8.6	割り込み制御レジスタ2の構成	2-132
図2.8.7	A/D変換器の設定方法	2-133
図2.8.8	接続図	2-134
図2.8.9	制御手順例	2-135
図2.8.10	アナログ入力部の内部等価回路	2-136
図2.9.1	発振制御関連レジスタのメモリ配置	2-137
図2.9.2	MISRGの構成	2-137
図2.9.3	ウォッチドッグタイマ制御レジスタの構成	2-138
図2.9.4	CPUモードレジスタの構成	2-138
図2.9.5	オンチップオシレータを動作クロックとする場合の設定方法	2-139
図2.9.6	制御手順例	2-141
図2.9.7	初期設定における発振停止検出回路の設定方法	2-143

図2.9.8	メイン制御における発振停止検出回路の設定方法	2-144
図2.9.9	状態遷移	2-146
図2.9.10	モード遷移図例	2-147
図2.9.11	制御手順例	2-148

第 3 章 付 録

図3.1.1	スイッチング特性測定回路図(一般品)	3-12
図3.1.2	タイミング図(一般品)	3-13
図3.1.3	スイッチング特性測定回路図(広動作温度範囲版)	3-22
図3.1.4	タイミング図(広動作温度範囲版)	3-23
図3.1.5	スイッチング特性測定回路図(広動作温度範囲版)	3-32
図3.1.6	タイミング図(125 保証品)	3-33
図3.2.1	Vcc-Icc特性(倍速モード動作時:マスクROM版)	3-34
図3.2.2	Vcc-Icc特性(高速モード動作時:マスクROM版)	3-34
図3.2.3	Vcc-Icc特性(中速モード動作時:マスクROM版)	3-34
図3.2.4	Vcc-Icc特性(WIT命令実行時:マスクROM版)	3-35
図3.2.5	Vcc-Icc特性(STP命令実行時:マスクROM版)	3-35
図3.2.6	Vcc-Icc特性(A/D変換器動作時の増量、 $f(XIN)=8MHz$ 高速モード:マスクROM版)	3-36
図3.2.7	Vcc-Icc特性(A/D変換器動作時の増量、 $f(XIN)=6MHz$ 倍速モード:マスクROM版)	3-36
図3.2.8	Vcc-Icc特性(オンチップオシレータ動作時、セラミック発振は停止:マスクROM版)	3-37
図3.2.9	Vcc-Icc特性(オンチップオシレータ動作時、WIT命令実行時、セラミック発振は停止:マスクROM版)	3-37
図3.2.10	$f(XIN)$ -Icc特性(倍速モード時:マスクROM版)	3-38
図3.2.11	$f(XIN)$ -Icc特性(高速モード時:マスクROM版)	3-38
図3.2.12	$f(XIN)$ -Icc特性(中速モード時:マスクROM版)	3-38
図3.2.13	$f(XIN)$ -Icc特性(WIT命令実行時:マスクROM版)	3-39
図3.2.14	Ta-Icc特性(オンチップオシレータ動作時、セラミック発振は停止:マスクROM版)	3-39
図3.2.15	Ta-Icc特性(オンチップオシレータ動作、WIT命令実行時、セラミック発振は停止:マスクROM版)	3-39
図3.2.16	Vcc-ViHL特性(入出力ポート(CMOS)):マスクROM版	3-40
図3.2.17	Vcc-ViHL特性(入出力ポート(TTL)):マスクROM版	3-40
図3.2.18	Vcc-ViHL特性(RESET端子):マスクROM版	3-41
図3.2.19	Vcc-ViHL特性(XIN端子):マスクROM版	3-41
図3.2.20	Vcc-ViL特性(CNVSS端子):マスクROM版	3-41
図3.2.21	Vcc-HYS特性(RESET端子):マスクROM版	3-42
図3.2.22	Vcc-HYS特性(SIO機能端子):マスクROM版	3-42
図3.2.23	Vcc-HYS特性(INT機能端子):マスクROM版	3-42
図3.2.24	Pチャンネル側のVOH-IoH特性(Vcc=3.0V時):一般ポート(マスクROM版)	3-43
図3.2.25	Pチャンネル側のVOH-IoH特性(Vcc=5.0V時):一般ポート(マスクROM版)	3-43
図3.2.26	Nチャンネル側のVOL-IoL特性(Vcc=3.0V時):一般ポート(マスクROM版)	3-44
図3.2.27	Nチャンネル側のVOL-IoL特性(Vcc=5.0V時):一般ポート(マスクROM版)	3-44
図3.2.28	Nチャンネル側のVOL-IoL特性(Vcc=3.0V時):LED駆動ポート(マスクROM版)	3-45
図3.2.29	Nチャンネル側のVOL-IoL特性(Vcc=5.0V時):LED駆動ポート(マスクROM版)	3-45
図3.2.30	Vcc-IIL特性(プルアップトランジスタ接続時のポート“L”入力電流:マスクROM版)	3-46

図3.2.31	VIN-II(AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(XIN)=8MHz$ 高速モード時): マスクROM版	3-47
図3.2.32	VIN-II(AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(XIN)=6MHz$ 倍速モード時): マスクROM版	3-47
図3.2.33	VIN-II(AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(XIN)=4MHz$ 倍速モード時): マスクROM版	3-47
図3.2.34	Vcc-Rosc特性(オンチップオシレータ周波数 : マスクROM版).....	3-48
図3.2.35	Ta-Rosc特性(オンチップオシレータ周波数 : マスクROM版).....	3-48
図3.2.36	R-f(XIN)特性(RC発振周波数 : マスクROM版).....	3-49
図3.2.37	C-f(XIN)特性(RC発振周波数 : マスクROM版).....	3-49
図3.2.38	Vcc-f(XIN)特性(RC発振周波数 : マスクROM版).....	3-50
図3.2.39	Ta-f(XIN)特性(RC発振周波数 : マスクROM版).....	3-50
図3.2.40	A/D変換精度の定義 : マスクROM版	3-51
図3.2.41	A/D変換精度標準特性例-1(マスクROM版).....	3-52
図3.2.42	A/D変換精度標準特性例-2(マスクROM版).....	3-53
図3.2.43	A/D変換精度標準特性例-3(マスクROM版).....	3-54
図3.2.44	Vcc-Icc特性(倍速モード動作時 : ワンタイムPROM版).....	3-55
図3.2.45	Vcc-Icc特性(高速モード動作時 : ワンタイムPROM版).....	3-55
図3.2.46	Vcc-Icc特性(中速モード動作時 : ワンタイムPROM版).....	3-55
図3.2.47	Vcc-Icc特性(WIT命令実行時 : ワンタイムPROM版).....	3-56
図3.2.48	Vcc-Icc特性(STP命令実行時 : ワンタイムPROM版).....	3-56
図3.2.49	Vcc-Icc特性(A/D変換器動作時の増量、 $f(XIN)=8MHz$ 高速モード : ワンタイムPROM版)..	3-57
図3.2.50	Vcc-Icc特性(A/D変換器動作時の増量、 $f(XIN)=6MHz$ 倍速モード : ワンタイムPROM版)..	3-57
図3.2.51	Vcc-Icc特性(オンチップオシレータ動作時、セラミック発振は停止 : ワンタイムPROM版)...	3-58
図3.2.52	Vcc-Icc特性(オンチップオシレータ動作時、WIT命令実行時、セラミック発振は停止 : ワンタイムPROM版).....	3-58
図3.2.53	f(XIN)-Icc特性(倍速モード時 : ワンタイムPROM版).....	3-59
図3.2.54	f(XIN)-Icc特性(高速モード時 : ワンタイムPROM版).....	3-59
図3.2.55	f(XIN)-Icc特性(中速モード時 : ワンタイムPROM版).....	3-59
図3.2.56	f(XIN)-Icc特性(WIT命令実行時 : ワンタイムPROM版).....	3-60
図3.2.57	Ta-Icc特性(オンチップオシレータ動作時、セラミック発振は停止 : ワンタイムPROM版)	3-60
図3.2.58	Ta-Icc特性(オンチップオシレータ動作、WIT命令実行時、セラミック発振は停止 : ワンタイムPROM版).....	3-60
図3.2.59	Vcc-ViHL特性(入出力ポート(CMOS)): ワンタイムPROM版	3-61
図3.2.60	Vcc-ViHL特性(入出力ポート(TTL)): ワンタイムPROM版	3-61
図3.2.61	Vcc-ViHL特性(RESET端子): ワンタイムPROM版	3-62
図3.2.62	Vcc-ViHL特性(XIN端子): ワンタイムPROM版	3-62
図3.2.63	Vcc-ViL特性(CNVss端子): ワンタイムPROM版	3-62
図3.2.64	Vcc-HYS特性(RESET端子): ワンタイムPROM版	3-63
図3.2.65	Vcc-HYS特性(SIO機能端子): ワンタイムPROM版	3-63
図3.2.66	Vcc-HYS特性(INT機能端子): ワンタイムPROM版	3-63

図3.2.67	Pチャンネル側のVOH-IoH特性 (VCC=3.0V時) : 一般ポート(ワンタイムPROM版)	3-64
図3.2.68	Pチャンネル側のVOH-IoH特性 (VCC=5.0V時) : 一般ポート(ワンタイムPROM版)	3-64
図3.2.69	Nチャンネル側のVOL-IoL特性 (VCC=3.0V時) : 一般ポート(ワンタイムPROM版)	3-65
図3.2.70	Nチャンネル側のVOL-IoL特性 (VCC=5.0V時) : 一般ポート(ワンタイムPROM版)	3-65
図3.2.71	Nチャンネル側のVOL-IoL特性 (VCC=3.0V時) : LED駆動ポート(ワンタイムPROM版)	3-66
図3.2.72	Nチャンネル側のVOL-IoL特性 (VCC=5.0V時) : LED駆動ポート(ワンタイムPROM版)	3-66
図3.2.73	VCC-IIL特性(プルアップトランジスタ接続時のポート“L”入力電流:ワンタイムPROM版)	3-67
図3.2.74	VIN-II(AD)特性(A/D変換器動作中のA/Dポート入力電流、f(XIN)=8MHz高速モード時) : ワンタイムPROM版	3-68
図3.2.75	VIN-II(AD)特性(A/D変換器動作中のA/Dポート入力電流、f(XIN)=6MHz倍速モード時) : ワンタイムPROM版	3-68
図3.2.76	VIN-II(AD)特性(A/D変換器動作中のA/Dポート入力電流、f(XIN)=4MHz倍速モード時) : ワンタイムPROM版	3-68
図3.2.77	Vcc-Rosc特性(オンチップオシレータ周波数:ワンタイムPROM版)	3-69
図3.2.78	Ta-Rosc特性(オンチップオシレータ周波数:ワンタイムPROM版)	3-69
図3.2.79	R-f(XIN)特性(RC発振周波数:ワンタイムPROM版)	3-70
図3.2.80	C-f(XIN)特性(RC発振周波数:ワンタイムPROM版)	3-70
図3.2.81	Vcc-f(XIN)特性(RC発振周波数:ワンタイムPROM版)	3-71
図3.2.82	Ta-f(XIN)特性(RC発振周波数:ワンタイムPROM版)	3-71
図3.2.83	A/D変換精度の定義:ワンタイムPROM版	3-72
図3.2.84	A/D変換精度標準特性例-1(ワンタイムPROM版)	3-73
図3.2.85	A/D変換精度標準特性例-2(ワンタイムPROM版)	3-74
図3.2.86	A/D変換精度標準特性例-3(ワンタイムPROM版)	3-75
図3.3.1	シリアルI/O1制御レジスタの再設定手順	3-83
図3.3.2	アナログ入力部の内部等価回路	3-85
図3.3.3	状態遷移図	3-87
図3.3.4	CPUモードレジスタの切り替え手順	3-88
図3.3.5	検出エッジの切り替え手順	3-89
図3.3.6	割り込み要求ビットの判定手順	3-89
図3.3.7	割り込み制御レジスタ2の構成	3-90
図3.3.8	プロセッサステータスレジスタのフラグの初期化	3-91
図3.3.9	PLP命令実行時の手順	3-91
図3.3.10	PHP命令実行後のスタックメモリの内容	3-91
図3.3.11	10進演算時のステータスフラグ	3-92
図3.3.12	ワンタイムPROM版の書き込みとテスト	3-93
図3.4.1	パッケージの選択	3-95
図3.4.2	リセット入力端子の配線	3-95
図3.4.3	クロック入出力端子の配線	3-96
図3.4.4	CNVSS端子の配線	3-96
図3.4.5	ワンタイムPROM版及びEPROM版のVPP端子の配線	3-97
図3.4.6	VSS - VCCライン間のバイパスコンデンサ	3-97
図3.4.7	アナログ信号線と抵抗及びコンデンサ	3-98
図3.4.8	大電流が流れる信号線の配線	3-99
図3.4.9	高速にレベル変化する信号線からの回避	3-99
図3.4.10	発振子の裏面のVSSパターン	3-100
図3.4.11	入出力ポート処理	3-100
図3.4.12	ソフトウェアによるウォッチドッグタイマ	3-101

図3.5.1	ポートPi(i = 0,2,3)の構成	3-102
図3.5.2	ポートP1の構成	3-102
図3.5.3	ポートPi方向レジスタの構成	3-103
図3.5.4	ポートP1方向レジスタの構成	3-103
図3.5.5	プルアップ制御レジスタの構成	3-104
図3.5.6	ポートP1P3制御レジスタの構成	3-104
図3.5.7	送信/受信バッファレジスタの構成	3-105
図3.5.8	シリアルI/O1ステータスレジスタの構成	3-105
図3.5.9	シリアルI/O1制御レジスタの構成	3-106
図3.5.10	UART制御レジスタの構成	3-106
図3.5.11	ボーレートジェネレータの構成	3-107
図3.5.12	タイマAモードレジスタの構成	3-108
図3.5.13	タイマAの構成	3-109
図3.5.14	タイマY、Zモードレジスタの構成	3-109
図3.5.15	プリスケラY、プリスケラZの構成	3-110
図3.5.16	タイマYセカンダリ、タイマZセカンダリの構成	3-110
図3.5.17	タイマYプライマリ、タイマZプライマリの構成	3-110
図3.5.18	タイマY、Z波形出力制御レジスタの構成	3-111
図3.5.19	プリスケラ1の構成	3-111
図3.5.20	タイマ1の構成	3-112
図3.5.21	ワンショット開始レジスタの構成	3-112
図3.5.22	タイマXモードレジスタの構成	3-113
図3.5.23	プリスケラXの構成	3-114
図3.5.24	タイマXの構成	3-114
図3.5.25	タイマカウントソース設定レジスタの構成	3-115
図3.5.26	シリアルI/O2制御レジスタの構成	3-115
図3.5.27	シリアルI/O2レジスタの構成	3-116
図3.5.28	A/D制御レジスタの構成	3-116
図3.5.29	A/D変換下位レジスタの構成	3-117
図3.5.30	A/D変換上位レジスタの構成	3-117
図3.5.31	MISRGの構成	3-118
図3.5.32	ウォッチドッグタイマ制御レジスタの構成	3-118
図3.5.33	割り込みエッジ選択レジスタの構成	3-119
図3.5.34	CPUモードレジスタの構成	3-119
図3.5.35	割り込み要求レジスタ1の構成	3-120
図3.5.36	割り込み要求レジスタ2の構成	3-120
図3.5.37	割り込み制御レジスタ1の構成	3-121
図3.5.38	割り込み制御レジスタ2の構成	3-121
図3.10.1	32P6U-Aパッケージ品のピン接続図	3-136
図3.10.2	36P2R-Aパッケージ品のピン接続図	3-137
図3.10.3	32P4Bパッケージ品のピン接続図	3-138
図3.10.4	42S1Mパッケージ品のピン接続図	3-139
図3.11.1	メモリ配置図	3-141
図3.11.2	割り込みベクトル領域メモリマップ	3-142
図3.11.3	タイマ機能	3-143

表目次

第 1 章 ハードウェア

表 1 . 端子の機能説明	1-8
表 2 . サポート製品一覧	1-10
表 3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令	1-12
表 4 . プロセッサステータスレジスタの各フラグをセット又はクリアする命令	1-13
表 5 . 入出力ポートの機能一覧	1-18
表 6 . 割り込みベクトル番地と優先順位	1-22
表 7 . 専用書き込みアダプタ	1-57
表 8 . 割り込みベクトル番地と優先順位	1-58
表 9 . VrefとA/D変換器の基準電圧VREFの関係式	1-60
表10 . A/D変換中のA/D変換レジスタの変化	1-60

第 2 章 応 用

表2.1.1 未使用端子の処理	2-10
表2.2.1 CNTR1極性切り替えビットの機能	2-16
表2.4.1 CNTR0極性切り替えビットの機能	2-42
表2.6.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例	2-113

第 3 章 付 録

表3.1.1 絶対最大定格(一般品)	3-2
表3.1.2 推奨動作条件(1)(一般品)	3-3
表3.1.3 推奨動作条件(2)(一般品)	3-4
表3.1.4 電気的特性(1)(一般品)	3-5
表3.1.5 電気的特性(2)(一般品)	3-6
表3.1.6 A/Dコンバータ特性(一般品)	3-7
表3.1.7 タイミング必要条件(1)(一般品)	3-8
表3.1.8 タイミング必要条件(2)(一般品)	3-9
表3.1.9 タイミング必要条件(3)(一般品)	3-10
表3.1.10 スイッチング特性(1)(一般品)	3-11
表3.1.11 スイッチング特性(2)(一般品)	3-11
表3.1.12 スイッチング特性(3)(一般品)	3-12
表3.1.13 絶対最大定格(広動作温度範囲版)	3-14
表3.1.14 推奨動作条件(1)(広動作温度範囲版)	3-15
表3.1.15 推奨動作条件(2)(広動作温度範囲版)	3-16
表3.1.16 電気的特性(1)(広動作温度範囲版)	3-17
表3.1.17 電気的特性(2)(広動作温度範囲版)	3-18
表3.1.18 A/Dコンバータ特性(広動作温度範囲版)	3-19
表3.1.19 タイミング必要条件(1)(広動作温度範囲版)	3-20
表3.1.20 タイミング必要条件(2)(広動作温度範囲版)	3-21

表3.1.21	スイッチング特性(1)(広動作温度範囲版)	3-22
表3.1.22	スイッチング特性(2)(広動作温度範囲版)	3-22
表3.1.23	絶対最大定格(125 保証品)	3-24
表3.1.24	推奨動作条件(1)(125 保証品)	3-25
表3.1.25	推奨動作条件(2)(125 保証品)	3-26
表3.1.26	電気的特性(1)(125 保証品)	3-27
表3.1.27	電気的特性(2)(125 保証品)	3-28
表3.1.28	A/Dコンバータ特性(125 保証品)	3-29
表3.1.29	タイミング必要条件(1)(125 保証品)	3-30
表3.1.30	タイミング必要条件(2)(125 保証品)	3-31
表3.1.31	スイッチング特性(1)(125 保証品)	3-32
表3.1.32	スイッチング特性(2)(125 保証品)	3-32
表3.3.1	書き込みアダプタ対応表	3-94
表3.3.2	PROMライタのアドレス設定表	3-94
表3.5.1	CNTR ₁ 極性切り替えビットの機能	3-108
表3.5.2	CNTR ₀ 極性切り替えビットの機能	3-113
表3.11.1	7531グループとの相違点(性能概要)	3-140

第1章

ハードウェア

概要
特長
応用
ピン接続
機能ブロック
端子の機能説明
グループ展開
機能ブロック動作説明
プログラミング上の注意事項
使用上の注意事項
マスク化発注時の提出資料
ROM書き込み方法
補足説明

概要

7540グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、16ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

特長

基本機械語命令	71
命令実行時間	0.34 μ s
(最短命令、発振周波数6MHz、倍速モード時)	
メモリ容量 ROM	8~32Kバイト
RAM	384~768バイト
プログラマブル入出力ポート	29本
(32ピン版では25本)	
割り込み	15要因、15ベクタ
(32ピン版では、14要因、14ベクタ)	
タイマ	8ビット×4
.....	16ビット×1
シリアルI/O1	8ビット×1
(UART又はクロック同期形)	
シリアルI/O α (注1)	8ビット×1
(クロック同期形)	
A/Dコンバータ	10ビット分解能×8チャンネル
(32ピン版では、6チャンネル)	
クロック発生回路	内蔵
(オンチップオシレータによる低消費電力化も可能)	
(セラミック共振子又は水晶発振子外付け、RC発振可能)	
ウォッチドッグタイマ	16ビット×1
電源電圧	
XIN発振周波数(セラミック発振、倍速モード時)	
6MHz時	4.5~5.5V
XIN発振周波数(セラミック発振、高速モード時)	
8MHz時	4.0~5.5V
4MHz時	2.4~5.5V
2MHz時	2.2~5.5V
(RC発振、高速モード、中速モード時)	
4MHz時	4.0~5.5V
2MHz時	2.4~5.5V
1MHz時	2.2~5.5V
消費電力	ワンタイムPROM版：30mW(標準)
.....	マスクROM版：22.5mW(標準)
動作周囲温度	-20~85
(広動作温度範囲版は -40~85)	
(125 保証品は -40~125 (注2))	

応用

OA機器、FA機器、家電、民生機器、自動車など

注1. シリアルI/O2が使用できる条件

- ・シリアルI/O1を使用していない時
- ・シリアルI/O1をUARTとして使用し、かつ同期クロックにBRG出力の16分周を選択した場合

2. 55 以上85 以下の総時間は6000hr以内、
85 以上125 以下の総時間は1000hr以内
の限定があります。

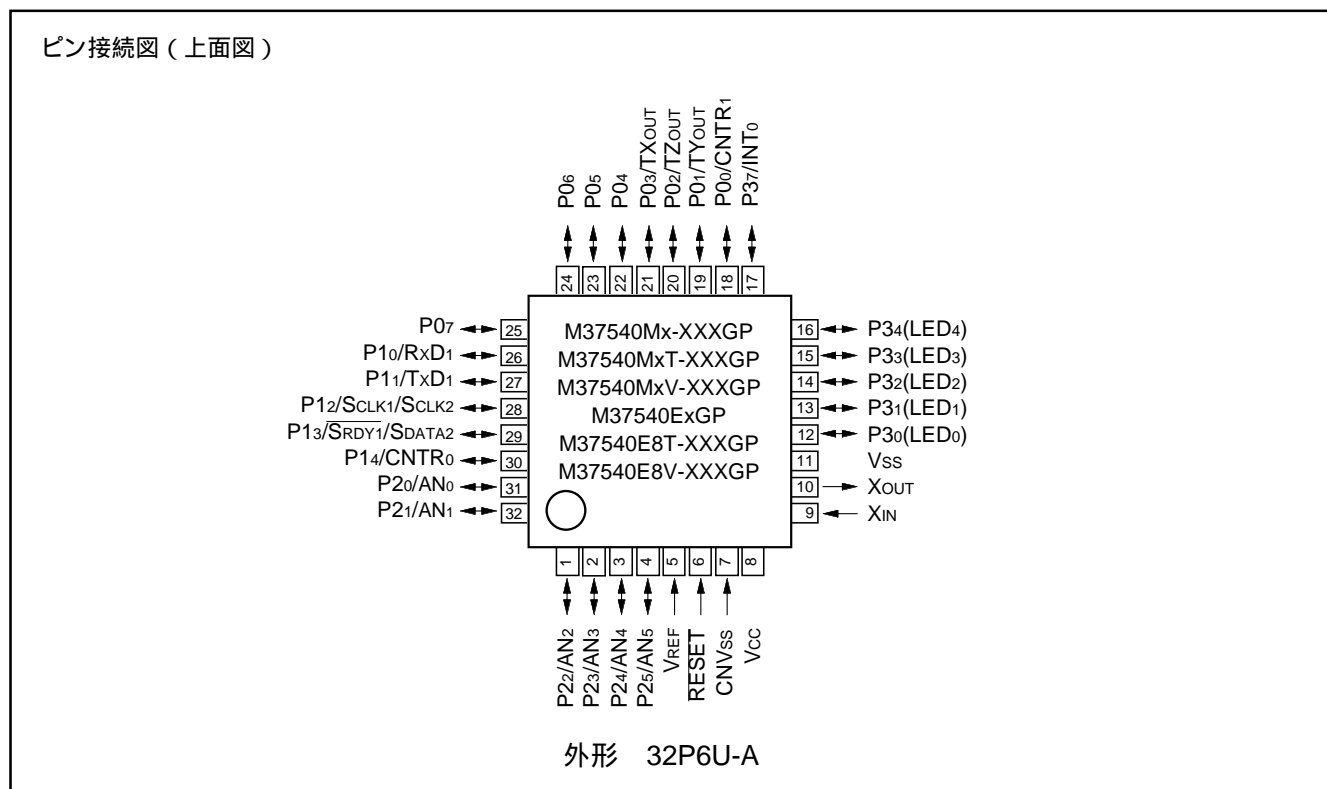


図 1 . ピン接続図 (32P6U パッケージタイプ)

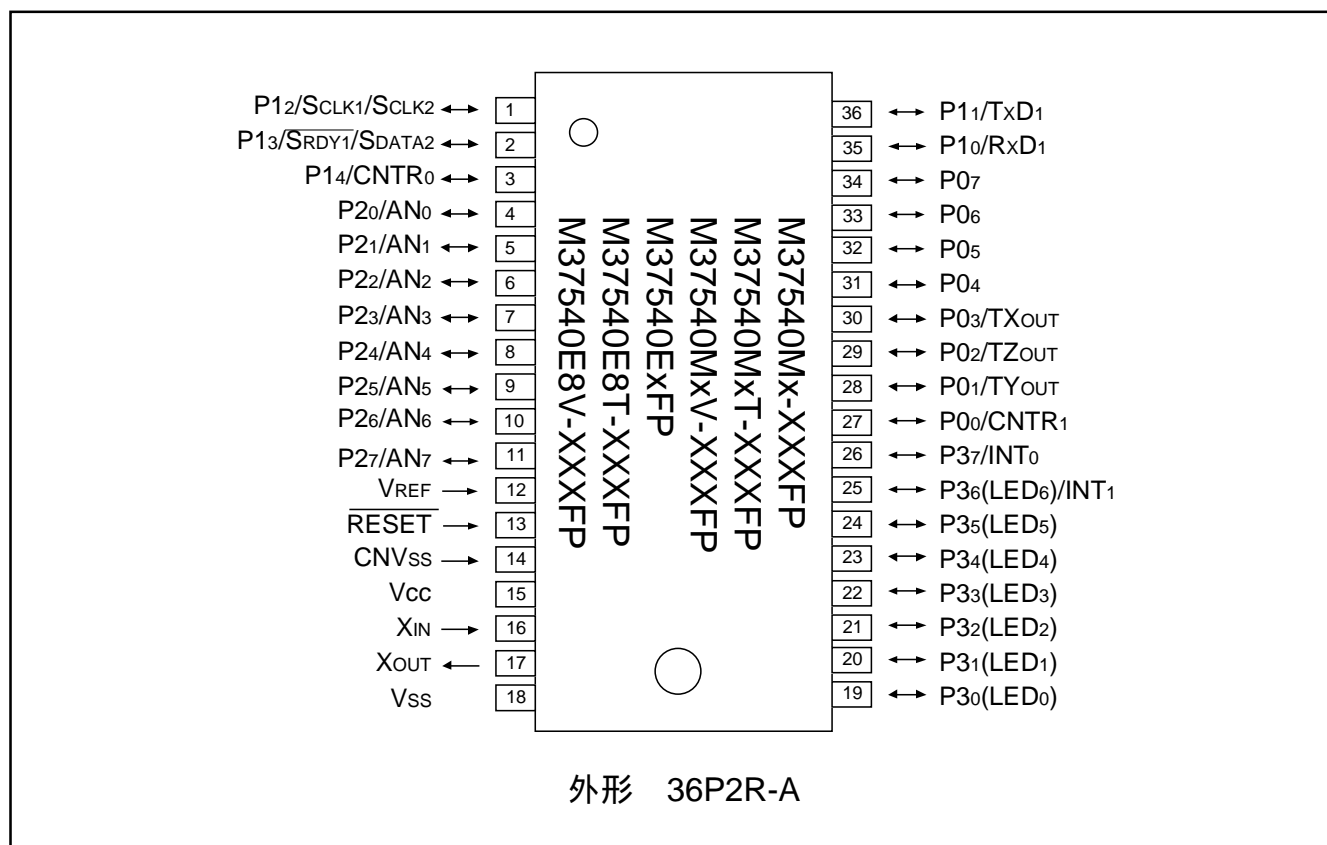


図 2 . ピン接続図 (36P2R パッケージタイプ)

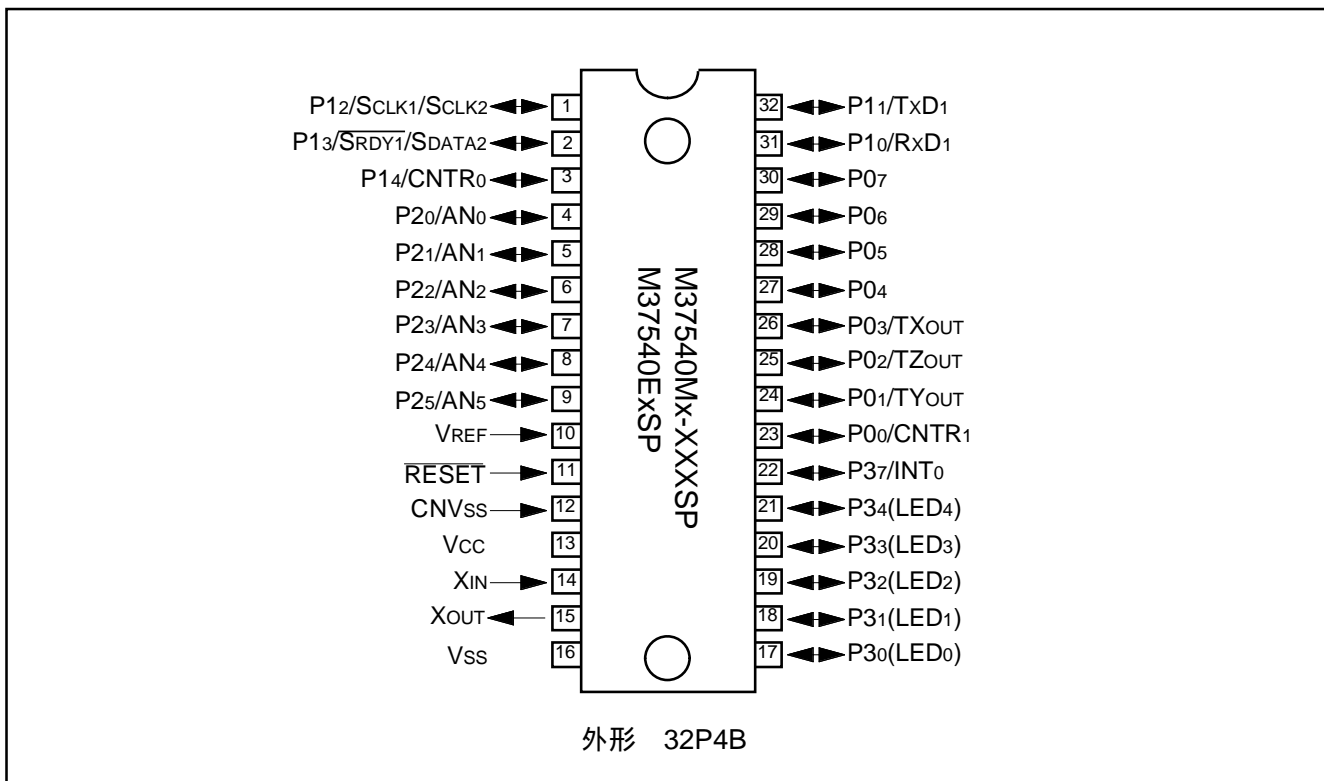


図 3 . ピン接続図 (32P4B パッケージタイプ)

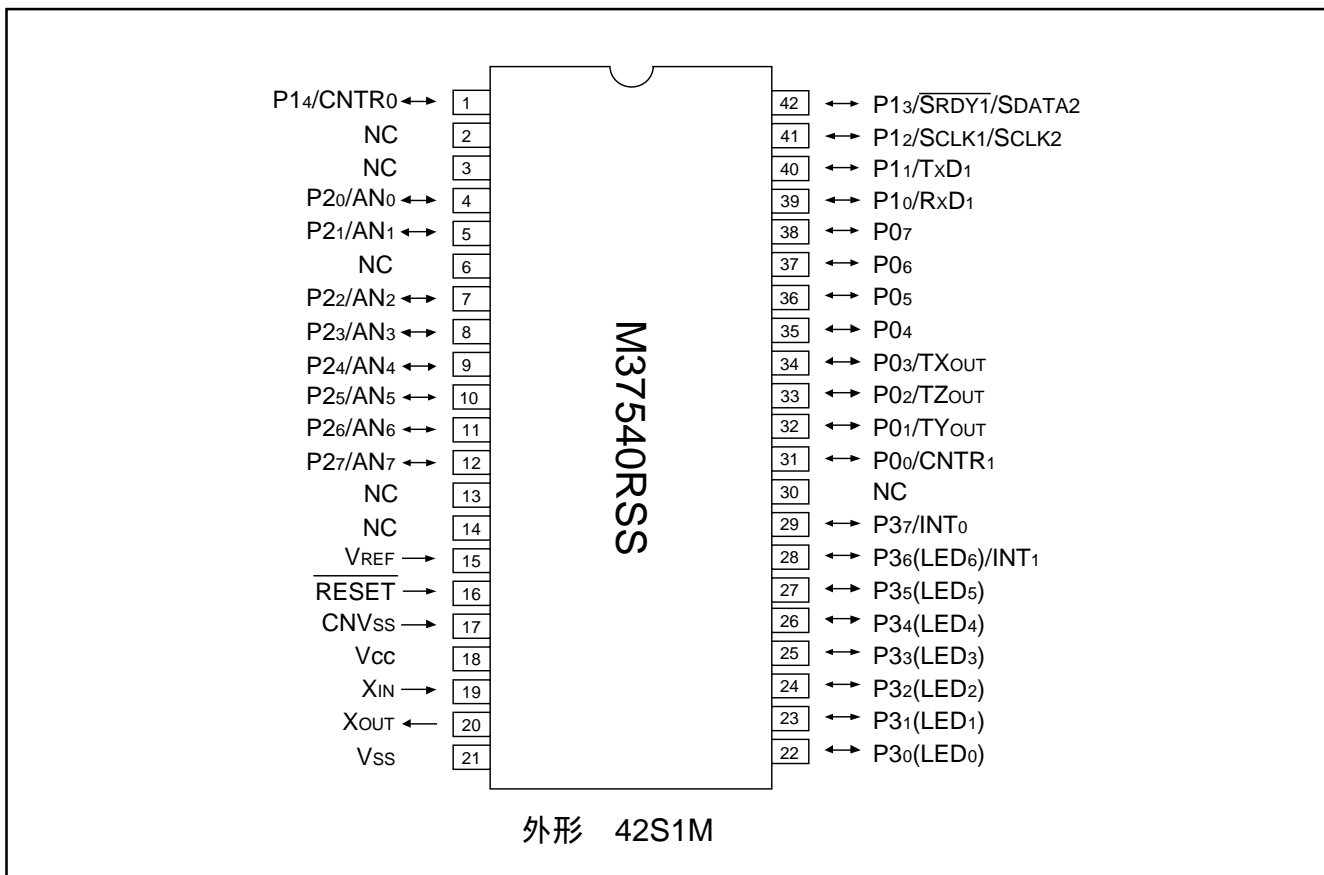


図 4 . ピン接続図 (42S1M パッケージタイプ)

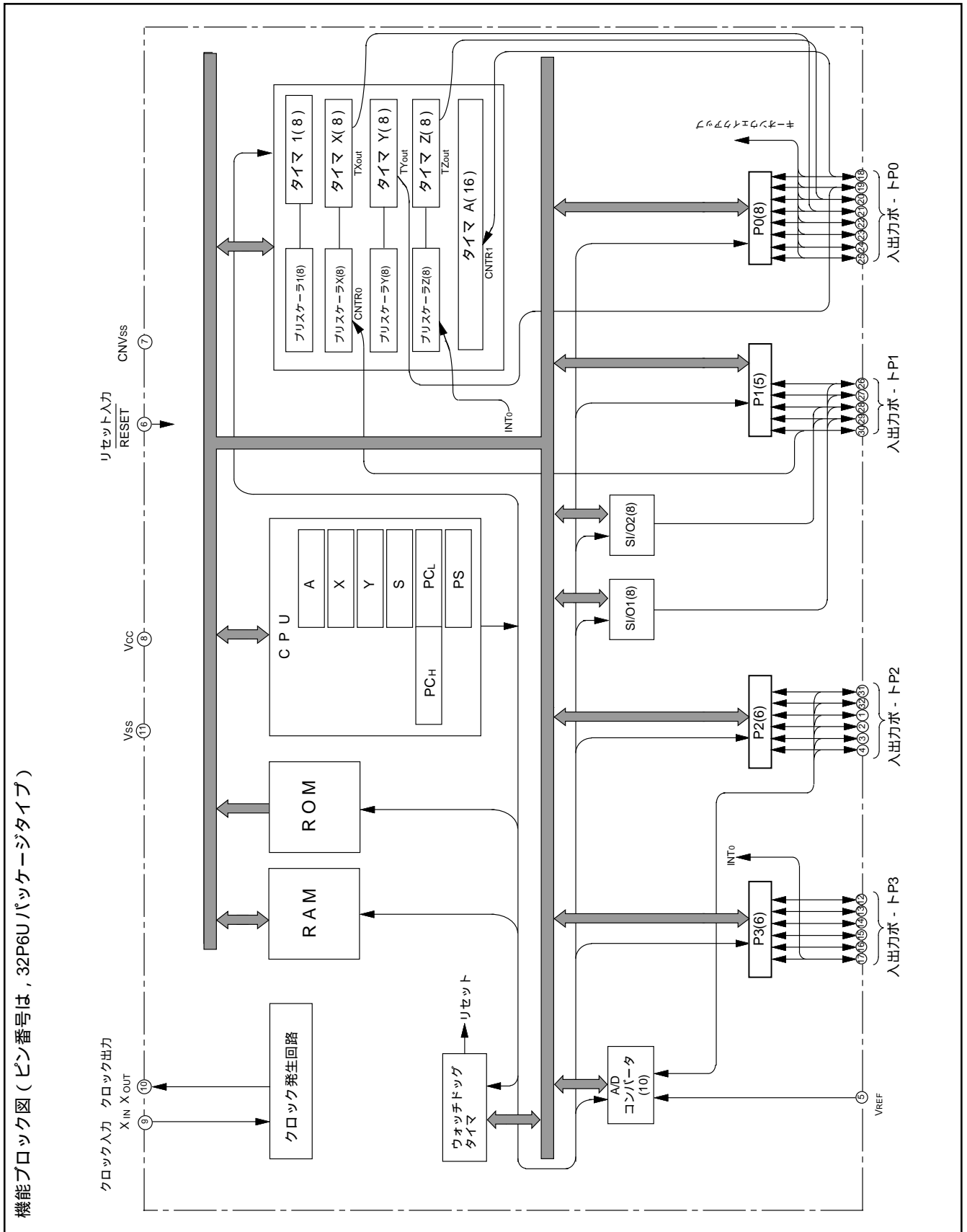


図5 . 機能ブロック図 (32P6U パッケージタイプ)

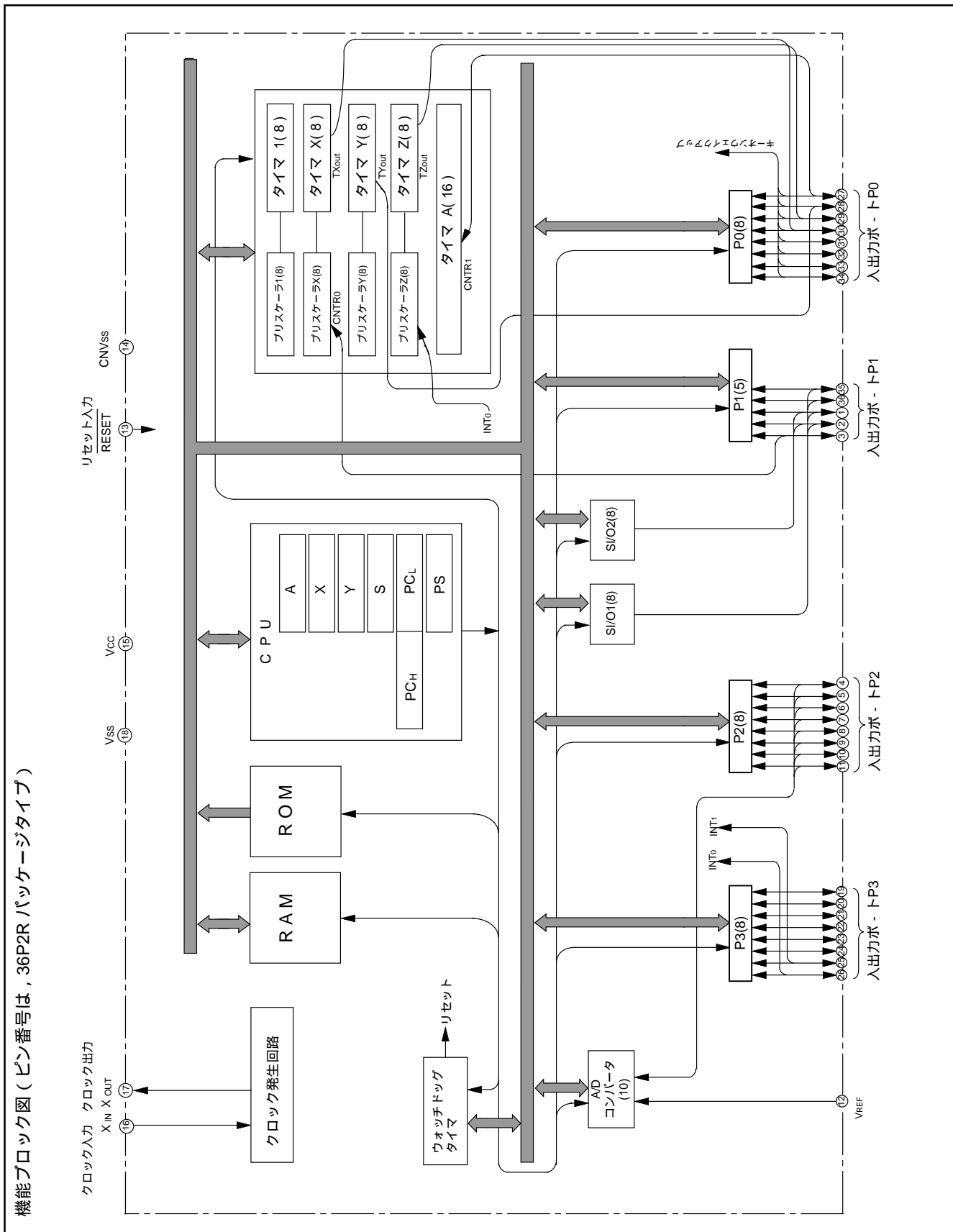


図 6 . 機能ブロック図 (36P2R パッケージタイプ)

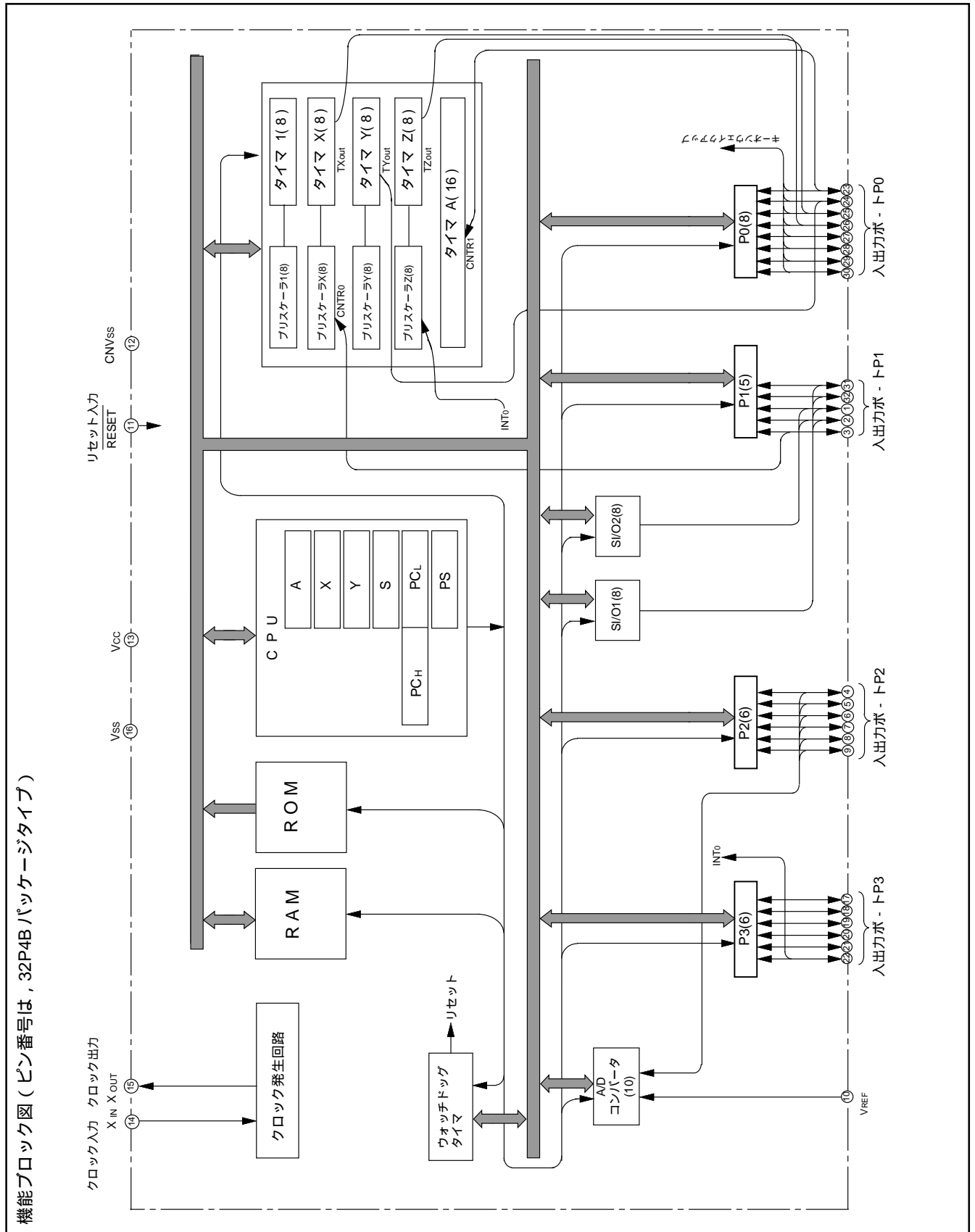


図 7 . 機能ブロック図 (32P4B パッケージタイプ)

端子の機能説明

表 1 . 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
Vcc, Vss	電源入力 (注1)	Vcc に 2.2 ~ 5.5V, Vss に 0V を印加します。	
VREF	基準電圧入力	A/D 変換器の基準電圧入力端子です。	
CNVss	CNVss	チップの動作モードを制御する端子で常に Vss に接続します。	
RESET	リセット入力	アクティブ “L” のリセット入力端子です。	
XIN	クロック入力	内部クロック発生回路の入出力端子で, XIN と XOUT の間にセラミック共振子又は水晶共振子を接続します。RC 発振時は, XIN と XOUT を短絡しコンデンサと抵抗を接続します。 外部クロック使用時にはクロック発振源を XIN 端子に接続し, XOUT 端子は開放にします。 メインクロックをオンチップオシレータで供給する場合には, XIN 端子を Vss に接続し, XOUT 端子は開放にします。	
XOUT	クロック出力		
P00/CNTR1 P01/TYOUT P02/TZOUT P03/TXOUT P04 ~ P07	入出力ポート P0	8 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。CMOS 入力レベルで, 出力形式は CMOS3 ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウェイクアップ割り込み入力) 端子 タイマ X, タイマ Y, タイマ Z, タイマ A の機能端子
P10/RxD1 P11/TxD1	入出力ポート P1	5 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。入力レベルは, CMOS 入力レベルで, 出力形式は CMOS3 ステートです。 P10, P12, P13 は CMOS/TTL レベル切り替えが可能です。	シリアル I/O1 機能端子
P12/SCLK1/SCLK2 P13/SRDY1/SDATA2			シリアル I/O1 機能端子 シリアル I/O2 機能端子
P14/CNTR0			タイマ X の機能端子
P20/AN0 ~ P27/AN7	入出力ポート P2 (注2)	P0 とほぼ同等の機能を持った 8 ビットの入出力ポートです。CMOS 入力レベルで, 出力形式は CMOS3 ステートです。	A/D 変換器の入力端子
P30 ~ P35	入出力ポート P3 (注3)	8 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。入力レベルは, CMOS 入力レベルです。(P36, P37 については, CMOS/TTL レベルの切替えが可能です。) 出力形式は, CMOS3 ステートで, このうち P30 ~ P36 の 7 ビットは LED 駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	割り込み入力端子
P36/INT1 P37/INT0			

注 1 . 広動作温度範囲版 (- 40 ~ 85) 及び, 125 保証品 (- 40 ~ 125) の場合は, Vcc = 2.4 ~ 5.5V です。

2 . 32 ピン版では, P26/AN6, P27/AN7 端子はなく, 6 ビットの入出力ポートとなります。

3 . 32 ピン版では, P35, P36/INT1 端子はなく, 6 ビットの入出力ポートとなります。

グループ展開

7540グループは、次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、エミュレータ専用MCUのサポート

メモリ容量

ROM/PROM容量 8K ~ 32Kバイト

RAM容量 384 ~ 768バイト

パッケージ

32P4B 32ピンプラスチックモールドSDIP

32P6U-A 0.8mmピッチ32ピンプラスチックモールドLQFP

36P2R-A 0.8mmピッチ36ピンプラスチックモールドSSOP

42S1M 42ピンシュリンクセラミックPIGGY BACK

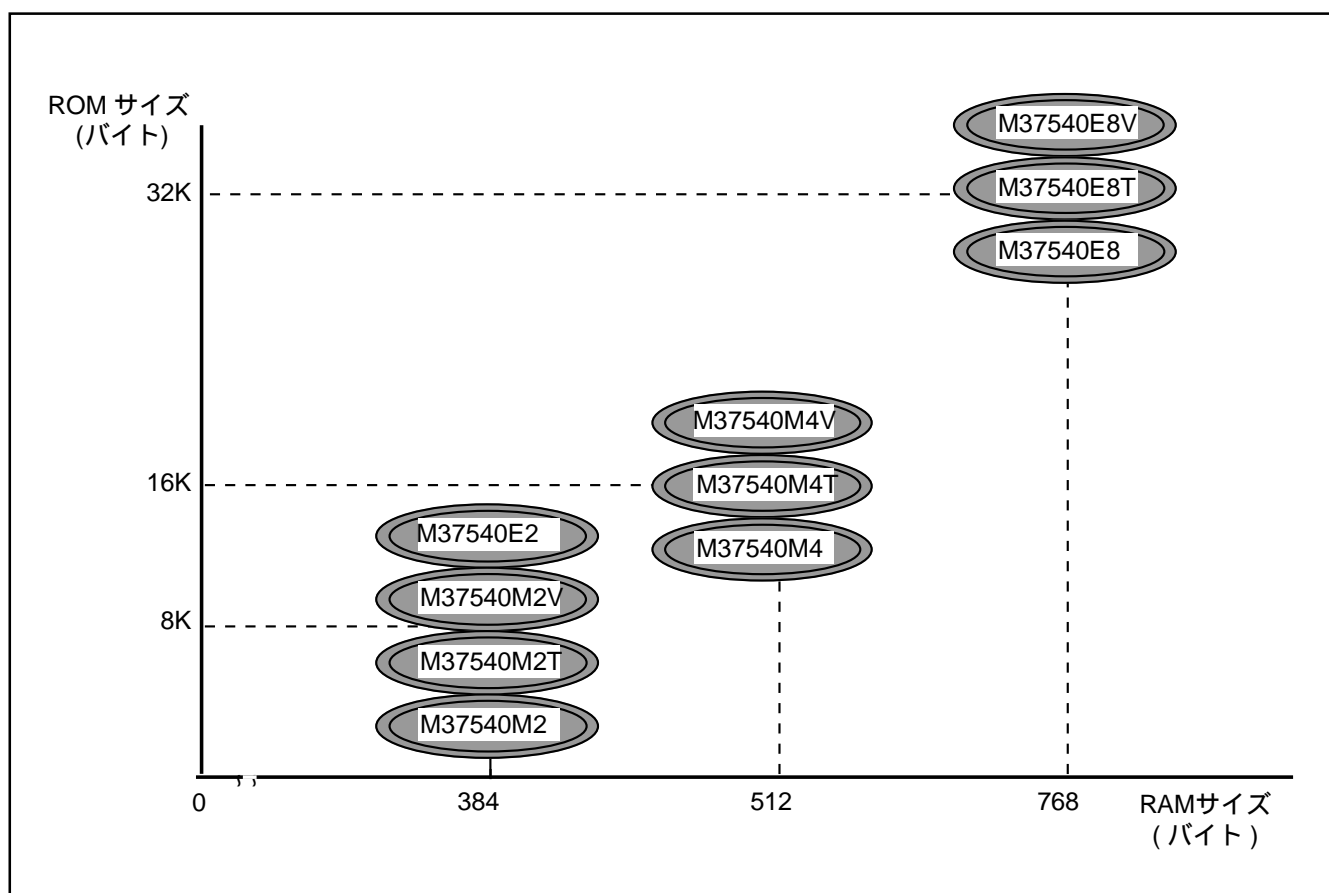


図8 . ROM及びRAM展開計画

現在開発を行っている製品を下記に示します。

表 2 . サポート製品一覧

製品型名	(P)ROM 容量 (バイト) () 内はユーザ ROM 容量	RAM 容量 (バイト)	パッケージ	備 考
M37540M2-XXXSP	8192 (8062)	384	32P4B	マスク ROM 版
M37540M2-XXXFP			36P2R-A	マスク ROM 版
M37540M2T-XXXFP				マスク ROM 版 (広動作温度範囲版)
M37540M2V-XXXFP			32P6U-A	マスク ROM 版 (125 保証品)
M37540M2-XXXGP				マスク ROM 版
M37540M2T-XXXGP				マスク ROM 版 (広動作温度範囲版)
M37540M2V-XXXGP			マスク ROM 版 (125 保証品)	
M37540M4-XXXSP	16384 (16254)	512	32P4B	マスク ROM 版
M37540M4-XXXFP			36P2R-A	マスク ROM 版
M37540M4T-XXXFP				マスク ROM 版 (広動作温度範囲版)
M37540M4V-XXXFP			32P6U-A	マスク ROM 版 (125 保証品)
M37540M4-XXXGP				マスク ROM 版
M37540M4T-XXXGP				マスク ROM 版 (広動作温度範囲版)
M37540M4V-XXXGP			マスク ROM 版 (125 保証品)	
M37540E2SP	8192 (8062)	384	32P4B	ワンタイム PROM 版 (ブランク品)
M37540E2FP			36P2R-A	ワンタイム PROM 版 (ブランク品)
M37540E2GP			32P6U-A	ワンタイム PROM 版 (ブランク品)
M37540E8SP	32768 (32638)	768	32P4B	ワンタイム PROM 版 (ブランク品)
M37540E8FP			36P2R-A	ワンタイム PROM 版 (ブランク品)
M37540E8T-XXXFP				ワンタイム PROM 版 (書き込み出荷、広動作温度範囲版)
M37540E8V-XXXFP			32P6U-A	ワンタイム PROM 版 (書き込み出荷、125 保証品)
M37540E8GP				ワンタイム PROM 版
M37540E8T-XXXGP				ワンタイム PROM 版 (書き込み出荷、広動作温度範囲版)
M37540E8V-XXXGP			ワンタイム PROM 版 (書き込み出荷、125 保証品)	
M37540RSS	—————	768	42S1M	エミュレータ専用 MCU

機能ブロック動作説明

中央演算処理装置 (CPU)

7540グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

- 1 . FST、SLW命令はありません。
- 2 . MUL、DIV命令が使用可能です。
- 3 . WIT命令が使用可能です。
- 4 . STP命令が使用可能です。(オンチップオシレータが動作している間は使用できません。)

中央演算装置(CPU)には6個のレジスタがあります。図9にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図10に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

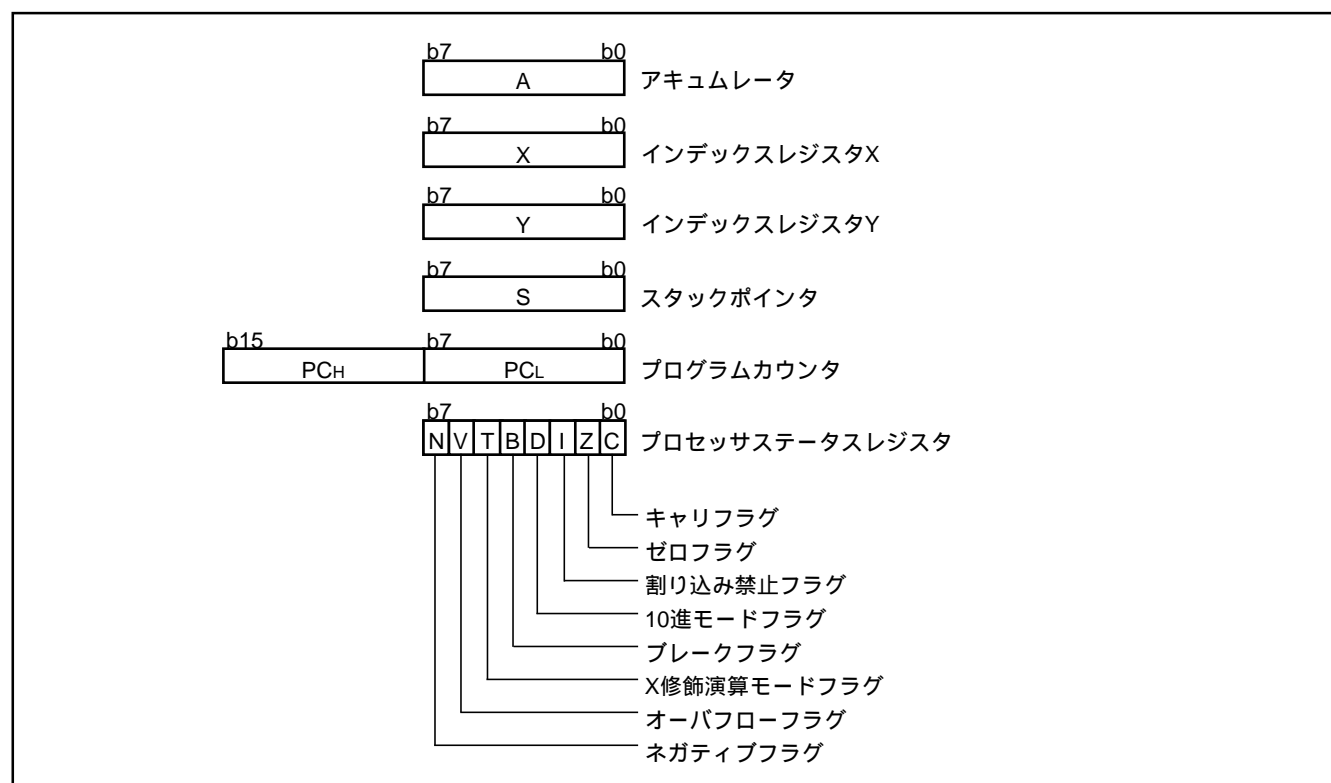


図9 . 740ファミリCPUの構成

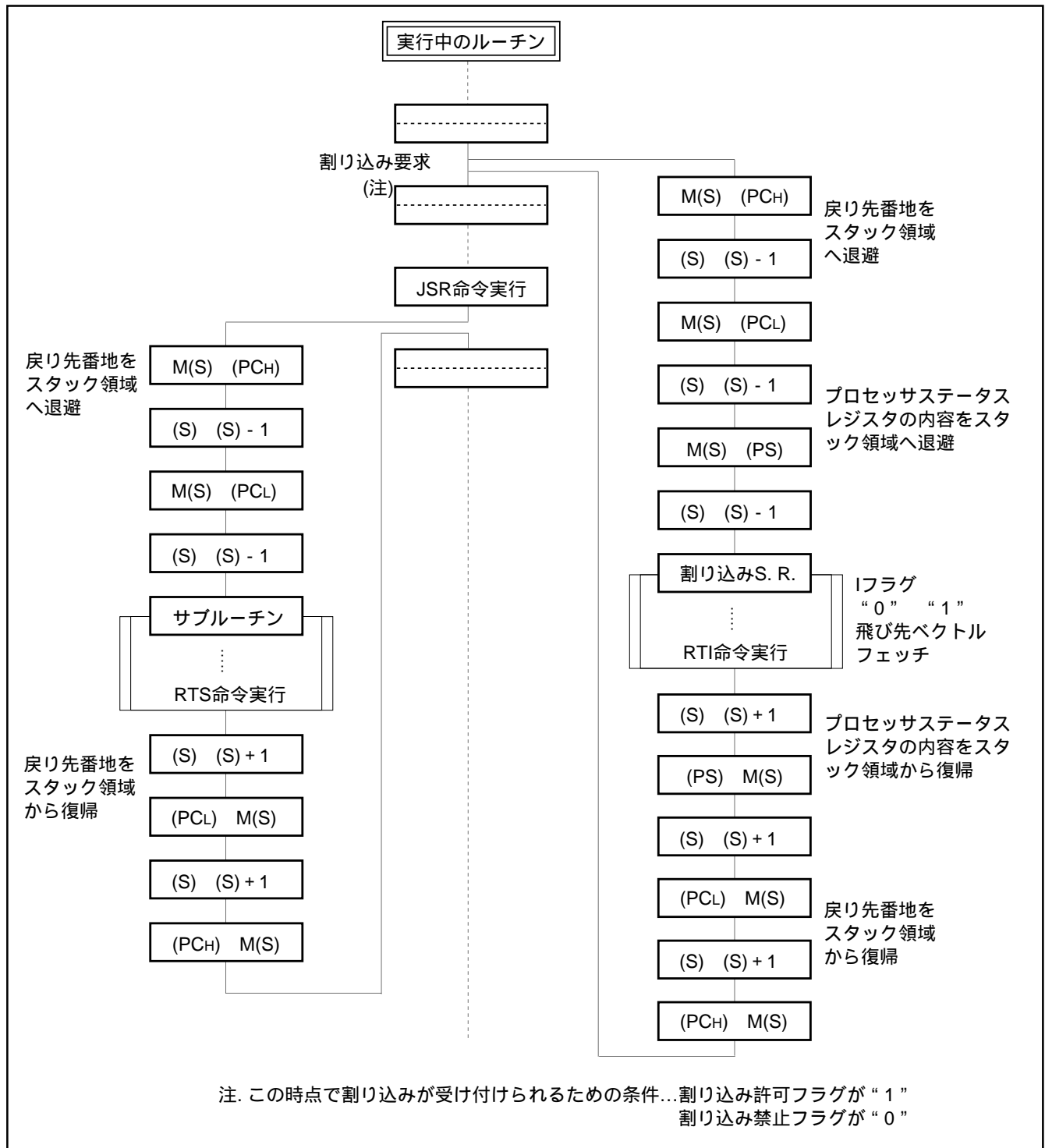


図 10 . スタックへの退避及び復帰動作

表 3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

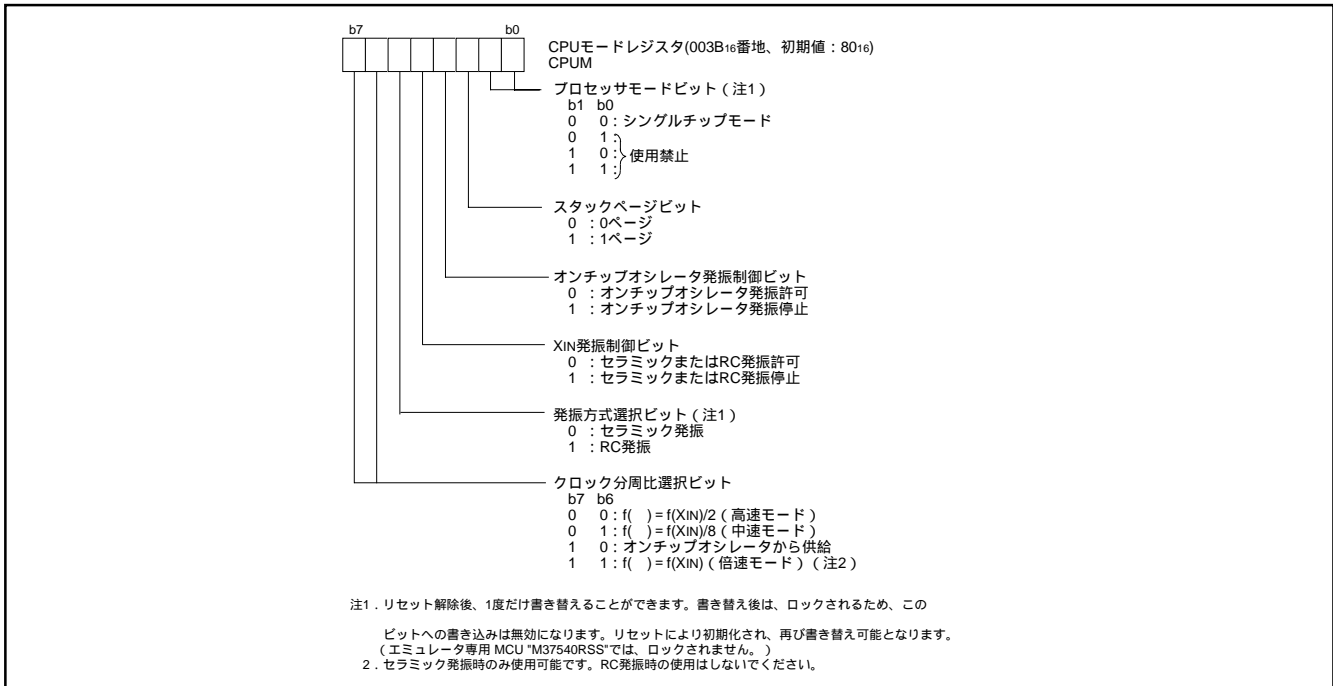


図 11 . CPU モードレジスタの構成

CPU モードレジスタの切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ (CPUM)の切り替えを以下の手順で行ってください。

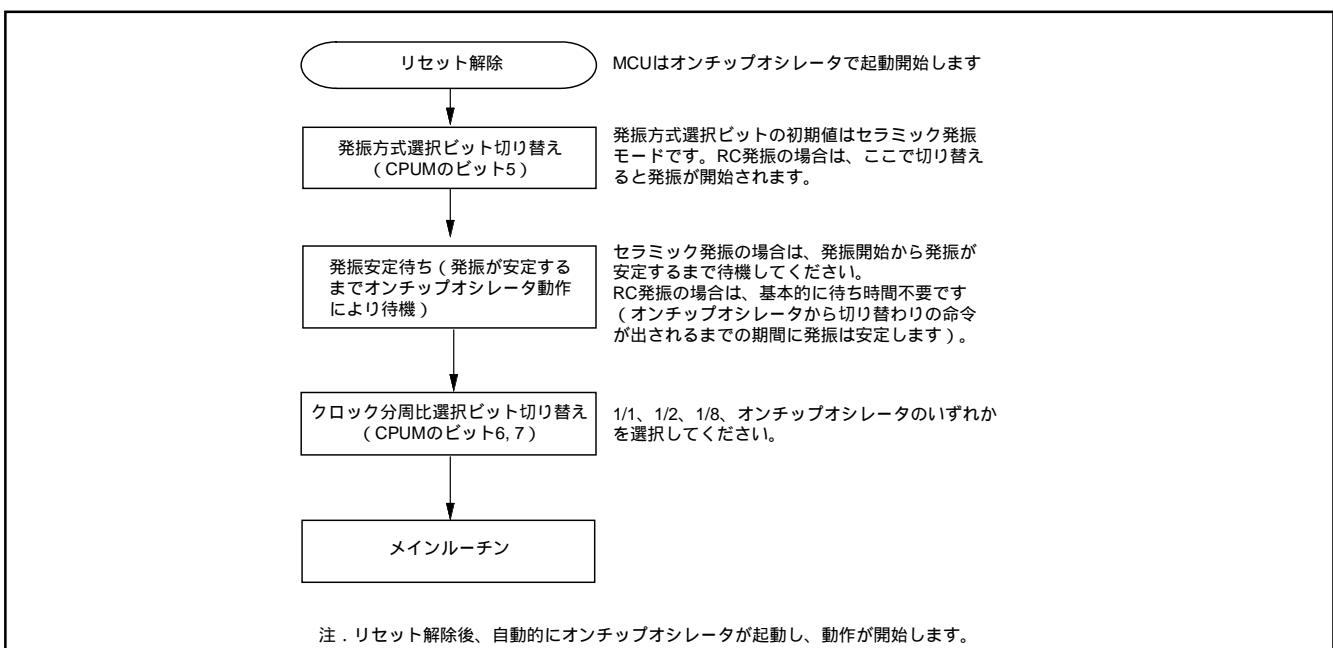


図 12 . CPU モードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

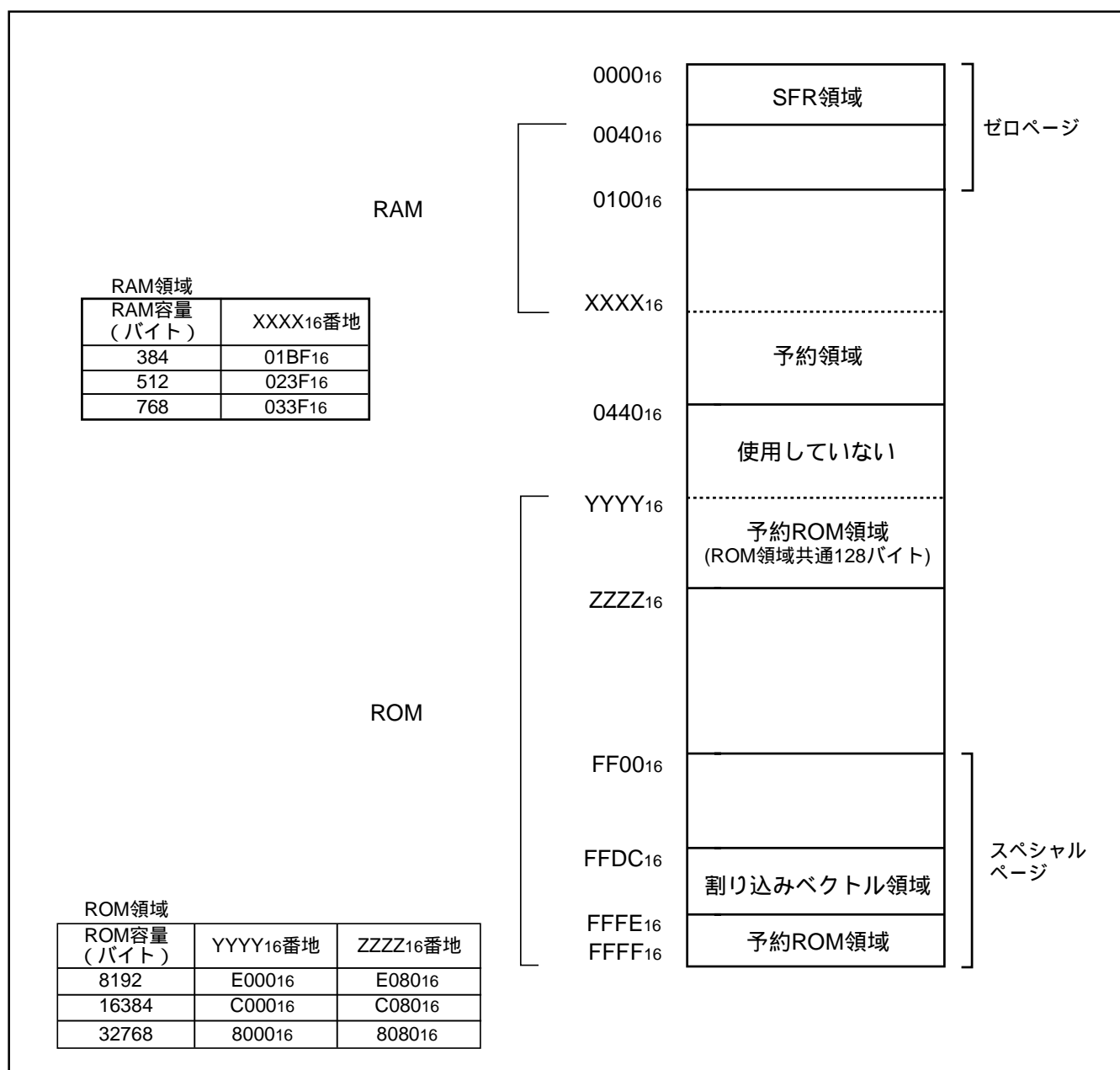


図 13 . メモリ配置図

0000 ¹⁶	ポートP0(P0)	0020 ¹⁶	タイマY,Zモードレジスタ(TYZM)
0001 ¹⁶	ポートP0方向レジスタ(P0D)	0021 ¹⁶	プリスケールY(PREY)
0002 ¹⁶	ポートP1(P1)	0022 ¹⁶	タイマYセカンダリ(TYS)
0003 ¹⁶	ポートP1方向レジスタ(P1D)	0023 ¹⁶	タイマYプライマリ(TYP)
0004 ¹⁶	ポートP2(P2)	0024 ¹⁶	タイマY,Z波形出力制御レジスタ(PUM)
0005 ¹⁶	ポートP2方向レジスタ(P2D)	0025 ¹⁶	プリスケールZ(PREZ)
0006 ¹⁶	ポートP3(P3)	0026 ¹⁶	タイマZセカンダリ(TZS)
0007 ¹⁶	ポートP3方向レジスタ(P3D)	0027 ¹⁶	タイマZプライマリ(TZP)
0008 ¹⁶		0028 ¹⁶	プリスケール1(PRE1)
0009 ¹⁶		0029 ¹⁶	タイマ1(T1)
000A ¹⁶		002A ¹⁶	ワンショット開始レジスタ(ONS)
000B ¹⁶		002B ¹⁶	タイマXモードレジスタ(TXM)
000C ¹⁶		002C ¹⁶	プリスケールX(PREX)
000D ¹⁶		002D ¹⁶	タイマX(TX)
000E ¹⁶		002E ¹⁶	タイマカウントソース設定レジスタ(TCSS)
000F ¹⁶		002F ¹⁶	
0010 ¹⁶		0030 ¹⁶	シリアルI/O2制御レジスタ(SIO2CON)
0011 ¹⁶		0031 ¹⁶	シリアルI/O2レジスタ(SIO2)
0012 ¹⁶		0032 ¹⁶	
0013 ¹⁶		0033 ¹⁶	
0014 ¹⁶		0034 ¹⁶	A/D制御レジスタ(ADCON)
0015 ¹⁶		0035 ¹⁶	A/D変換下位レジスタ(ADL)
0016 ¹⁶	プルアップ制御レジスタ(PULL)	0036 ¹⁶	A/D変換上位レジスタ(ADH)
0017 ¹⁶	ポートP1P3制御レジスタ(P1P3C)	0037 ¹⁶	
0018 ¹⁶	送信/受信バッファレジスタ(TB/RB)	0038 ¹⁶	MISRG
0019 ¹⁶	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ¹⁶	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ¹⁶	シリアルI/O1制御レジスタ(SIO1CON)	003A ¹⁶	割り込みエッジ選択レジスタ(INTEDGE)
001B ¹⁶	UART制御レジスタ(UARTCON)	003B ¹⁶	CPUモードレジスタ(CPUM)
001C ¹⁶	ボーレートジェネレータ(BRG)	003C ¹⁶	割り込み要求レジスタ1(IREQ1)
001D ¹⁶	タイマAモードレジスタ(TAM)	003D ¹⁶	割り込み要求レジスタ2(IREQ2)
001E ¹⁶	タイマA(下位)(TAL)	003E ¹⁶	割り込み制御レジスタ1(ICON1)
001F ¹⁶	タイマA(上位)(TAH)	003F ¹⁶	割り込み制御レジスタ2(ICON2)

注．SFRの空き領域のメモリアクセスは行わないでください。

図 14．SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

【プルアップ制御】PULL

ポートP0、P3はプルアップ制御レジスタ(0016₁₆番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

注1. 32ピン版では、P26/AN6、P27/AN7、P35及びP36はありません。したがって、次の設定が必要です。

ポートP26及びP27の方向レジスタを出力に設定
ポートP35及びP36の方向レジスタを出力に設定

【ポートP1P3制御】P1P3C

ポートP10、P12、P13、P36、P37は、ポートP1P3制御レジスタ(0017₁₆番地)を設定することによりプログラムでCMOS入力レベル又は、TTL入力レベルの選択が可能です。

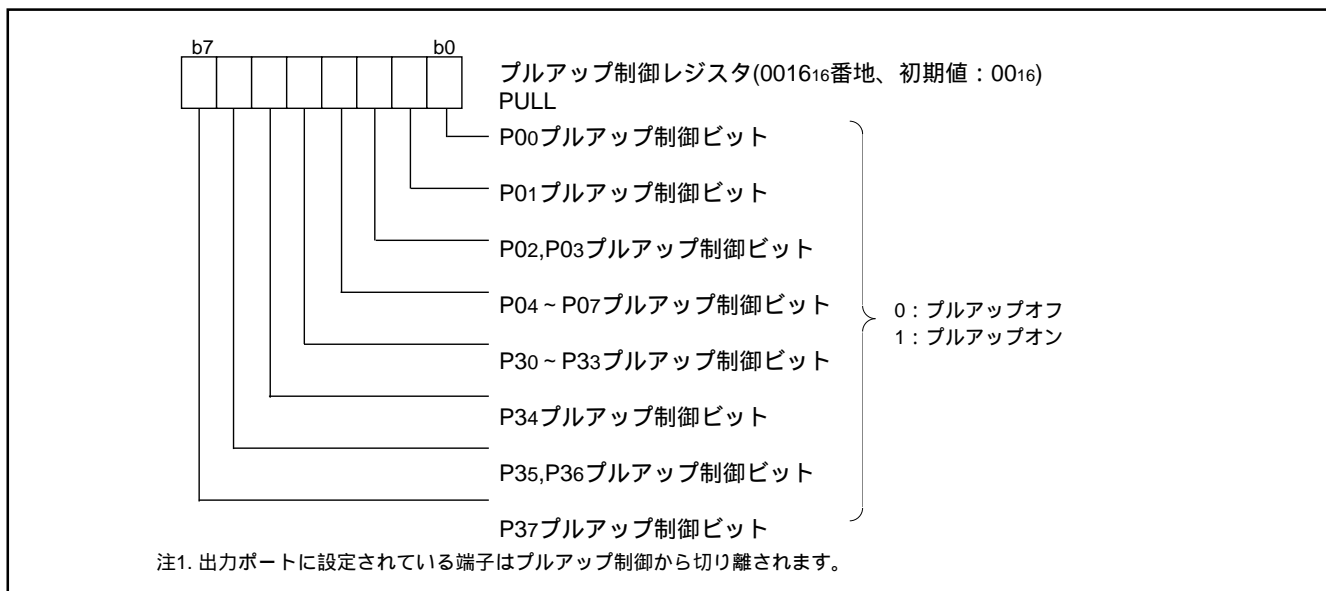


図 15 . プルアップ制御レジスタの構成

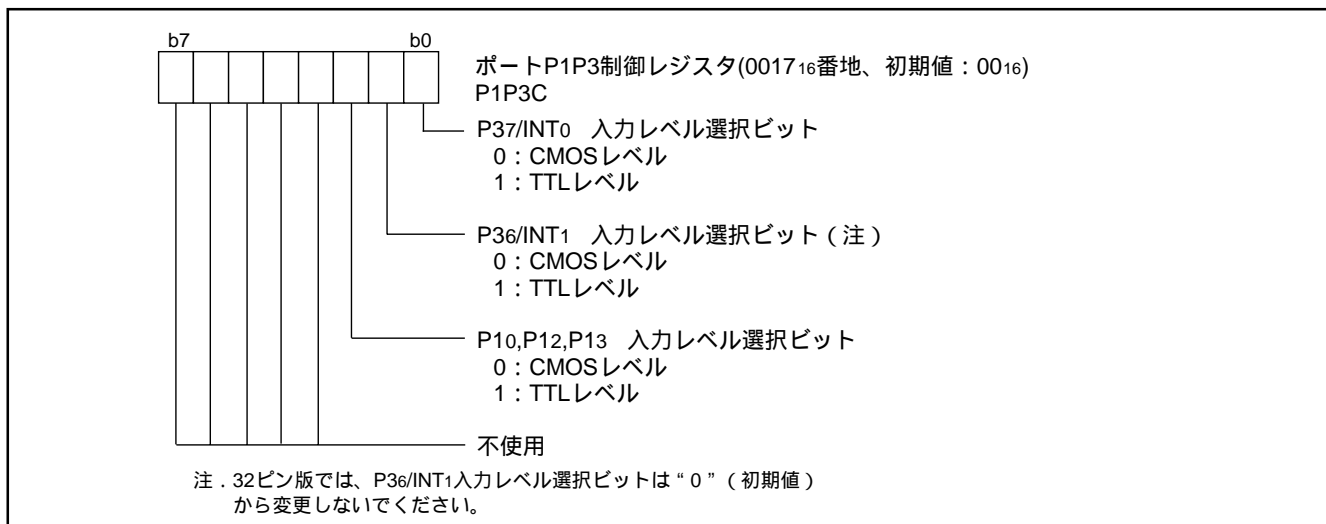


図 16 . ポート P1P3 制御レジスタの構成

表 5 . 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連する SFR	図番
P00/CNTR1 P01/TYOUT P02/TZOUT P03/TXOUT P04 ~ P07	ポート P0	入出力 ビット単位	CMOS 入力レベル CMOS3 ステート出力 (注 1)	キー入力割り込み タイマ X 機能出力 タイマ Y 機能出力 タイマ Z 機能出力 タイマ A 機能入力	プルアップ制御レジスタ タイマ Y モードレジスタ タイマ Z モードレジスタ タイマ X モードレジスタ タイマ Y, Z 波形出力制御レジスタ タイマ A モードレジスタ	(1) (2) (3) (4)
P10/RxD1 P11/TxD1	ポート P1			シリアル I/O1 機能入出力	シリアル I/O1 制御レジスタ	(5) (6)
P12/SCLK1/ SCLK2 P13/SRDY1/ SDATA2 P14/CNTR0				シリアル I/O2 機能入出力	シリアル I/O1 制御レジスタ シリアル I/O2 制御レジスタ	(7) (8)
P20/AN0 ~ P27/AN7	ポート P2 (注 2)			タイマ X 機能入出力 A/D 変換入力	タイマ X モードレジスタ A/D 制御レジスタ	(9) (10)
P30 ~ P35	ポート P3 (注 3)					(11)
P36/INT1 P37/INT0				外部割り込み入力	割り込みエッジ選択レジスタ	(12)

注 1 . P10, P12, P13, P36, P37 は CMOS/TTL 入力レベル。

2 . 32 ピン版では、P26/AN6、P27/AN7 端子はありません。

3 . 32 ピン版では、P35、P36/INT1 端子はありません。

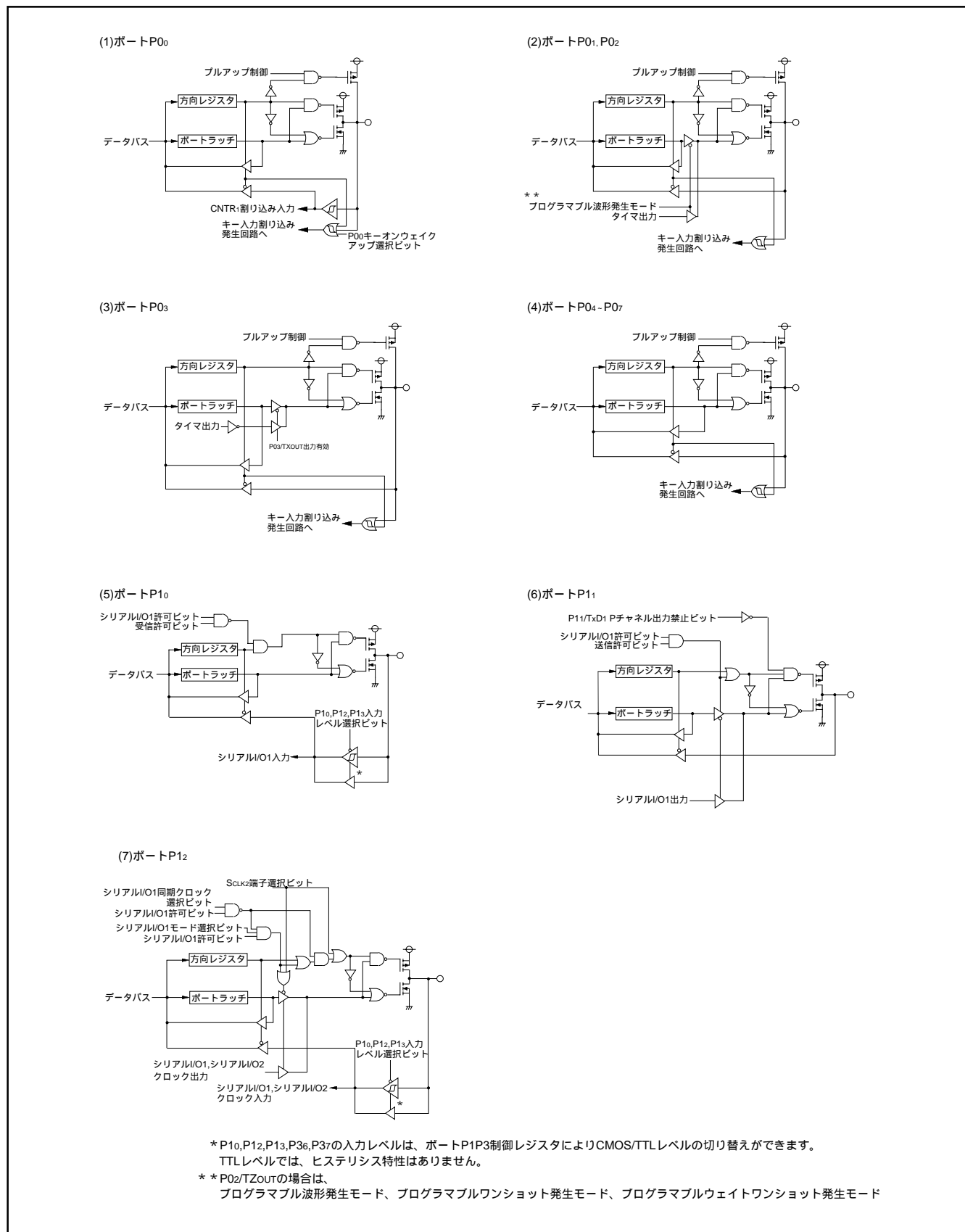


図 17 . ポートのブロック図 (1)

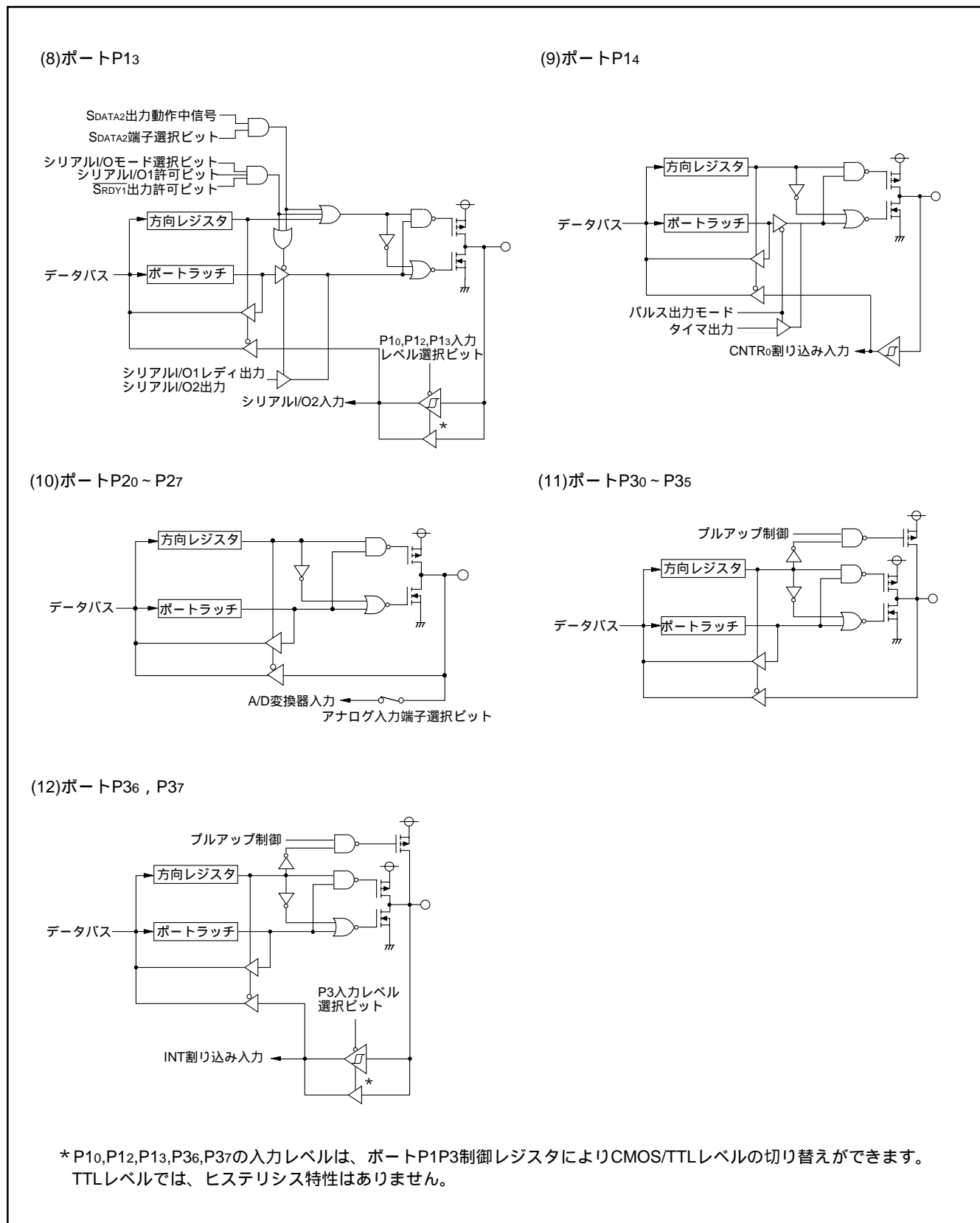


図 18 . ポートのブロック図 (2)

割り込み

割り込みはベクトル割り込みで、外部 5 要因、内部 9 要因、ソフトウェア 1 要因の 15 要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込み(INT0、INT1、CNTR0、CNTR1)のアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)

タイマXモードレジスタ(2B16番地)

タイマAモードレジスタ(1D16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)を設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

表 6 . 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
シリアルI/O1受信	2	FFFB ₁₆	FFFA ₁₆	シリアルI/O1データ受信時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	3	FFF9 ₁₆	FFF8 ₁₆	シリアルI/O1送信シフト完了時又は送信バッファ空き時	シリアルI/O1選択時のみ有効
INT ₀	4	FFF7 ₁₆	FFF6 ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₁ (注3)	5	FFF5 ₁₆	FFF4 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キーオンウェイクアップ	6	FFF3 ₁₆	FFF2 ₁₆	ポートP0(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み (立ち下がりエッジ有効)
CNTR ₀	7	FFF1 ₁₆	FFF0 ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR ₁	8	FFE _F 1 ₁₆	FFE _E 1 ₁₆	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマX	9	FFED ₁₆	FFEC ₁₆	タイマXアングフロー時	
タイマY	10	FFEB ₁₆	FFEA ₁₆	タイマYアングフロー時	
タイマZ	11	FFE9 ₁₆	FFE8 ₁₆	タイマZアングフロー時	
タイマA	12	FFE7 ₁₆	FFE6 ₁₆	タイマAアングフロー時	
シリアルI/O2割り込み	13	FFE5 ₁₆	FFE4 ₁₆	送信又は受信シフト終了時	
A/D変換	14	FFE3 ₁₆	FFE2 ₁₆	A/D変換終了時	
タイマ1	15	FFE1 ₁₆	FFE0 ₁₆	タイマ1アングフロー	STP解除タイマアングフロー
予約領域	16	FFDF ₁₆	FFDE ₁₆	使用できません。	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

- 注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2. リセットは最上位の優先順位を持つ割り込みとして処理されます。
 3. 36ピン版でのみ使用可能な割り込みです。

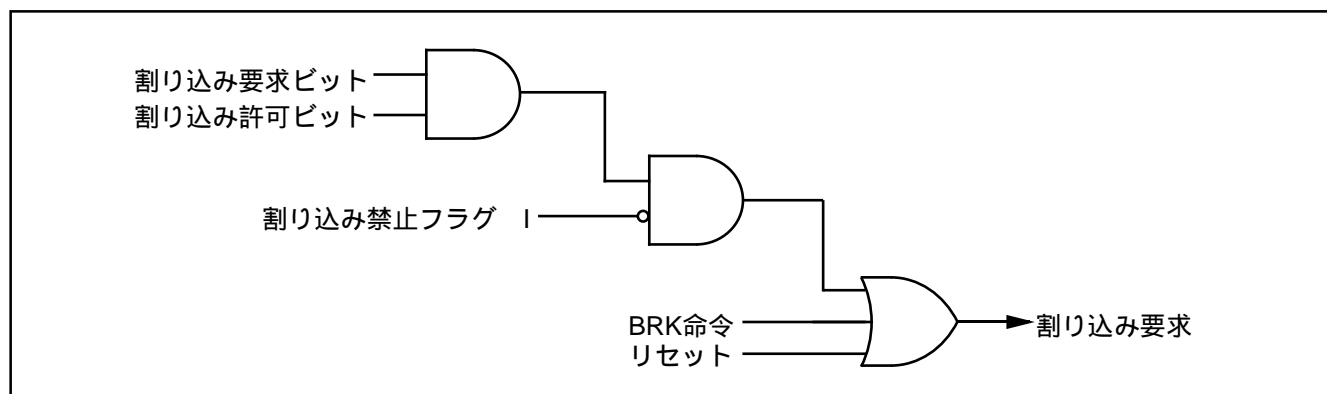


図 19 . 割り込み制御図

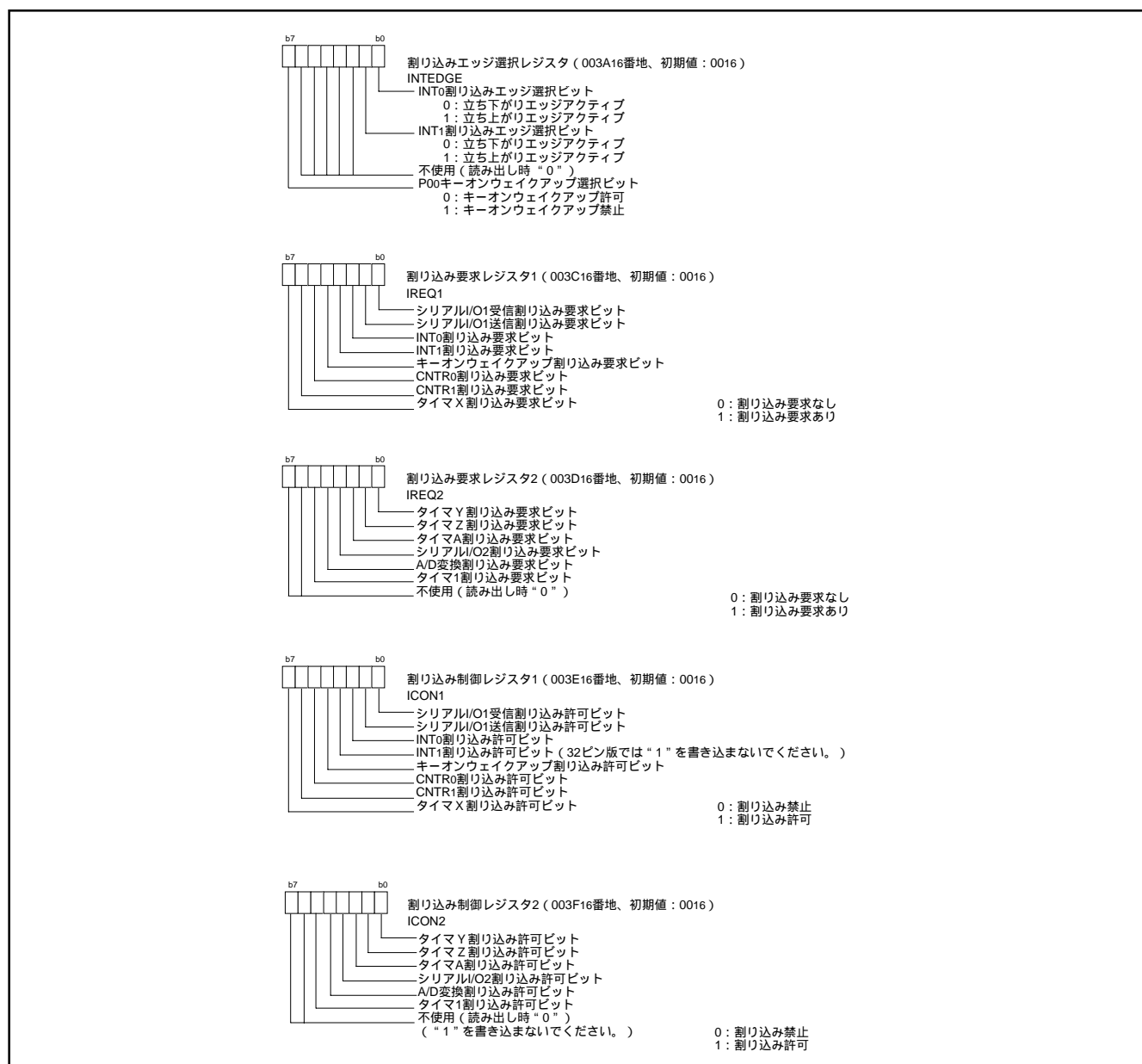


図 20 . 割り込み関係レジスタの構成

キー入力割り込み (キーオンウェイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求

が発生します。図はキー入力割り込みを用いた一例で、ポートP00~P03を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

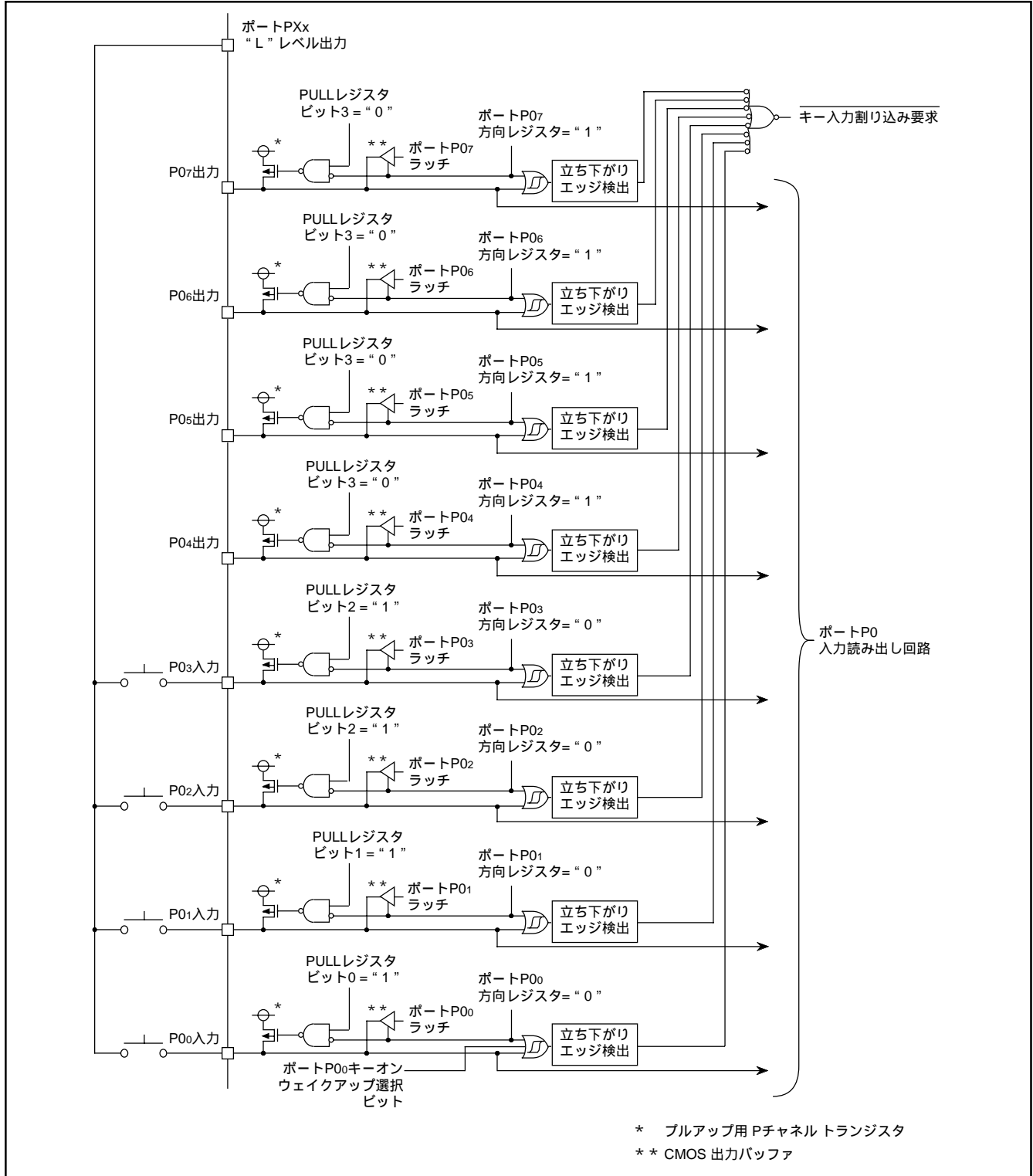


図21. キー入力割り込み使用時の結線例とポートP0のブロック図

タイマ

タイマは、タイマ1、タイマA、タイマX、タイマY及びタイマZの5本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると、 $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが“1”にセットされます。

タイマ1

タイマ1は8ビットタイマで、プリスケアラ1の出力をカウントし、タイマ1のアンダフローによって、タイマ1割り込み要求ビットをセットします。

プリスケアラ1は8ビットのプリスケアラで、発振周波数を16分周した信号をカウントします。

プリスケアラ1及びタイマ1には、それぞれのリロード値を保持するためのプリスケアラ1ラッチ及びタイマ1ラッチが配置されています。プリスケアラ1ラッチの値は、プリスケアラ1がアンダフローした時にプリスケアラ1に転送されます。タイマ1ラッチの値は、タイマ1がアンダフローした時にタイマ1に転送されます。

プリスケアラ1(PRE1)に書き込みを行うと、プリスケアラ1ラッチとプリスケアラ1の両方に値が書き込まれます。タイマ1(T1)に書き込みを行うと、タイマ1ラッチとタイマ1の両方に値が書き込まれます。

プリスケアラ1(PRE1)又はタイマ1(T1)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマ1は常にタイマモードで動作します。

プリスケアラ1は、発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラ1の内容が“00₁₆”になった次のカウントクロックでアンダフローし、プリスケアラ1ラッチの値をプリスケアラ1に転送してカウントを続けます。プリスケアラ1の分周比は、プリスケアラ1の設定値をnとすると $1/(n+1)$ となります。

タイマ1は、プリスケアラ1のアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマ1の内容が“00₁₆”になった次のカウントクロックでアンダフローし、タイマ1ラッチの値をタイマ1に転送してカウントを続けます。

タイマ1の分周比は、タイマ1の設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラ1の設定値をn、タイマ1の設定値をmとした場合、プリスケアラ1とタイマ1をあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

なお、タイマ1はソフトウェアによりカウントを停止することはできません。

タイマA

タイマAは16ビットタイマで、発振周波数を16分周した信号をカウントし、タイマAのアンダフローによって、タイマA割り込み要求ビットをセットします。

タイマAはタイマA下位(TAL)、タイマA上位(TAH)で構成されます。

タイマAには、リロード値を保持するためのタイマAラッチが配置されており、タイマAラッチの値は次のタイミングでタイマAに転送されます。

- ・タイマAのアンダフロー時
- ・CNTR1端子からの有効エッジの入力時(周期測定モード及びパルス幅HL連続測定モード使用時のみ)

タイマA下位(TAL)、タイマA上位(TAH)に書き込みを行うと、タイマAラッチとタイマAの両方に値が書き込まれます。タイマA下位(TAL)、タイマA上位(TAH)を読み出すと、動作モードによって次の値が読み出されます。

- ・タイマモード、イベントカウンタモード時：
タイマAのカウント値が読み出されます。
- ・周期測定モード時、パルス幅HL連続測定モード時：
測定結果が読み出されます。

タイマA下位(TAL)とタイマA上位(TAH)の書き込み、読み出しは、必ず次の順序で行ってください。

読み出し・・・タイマA上位(TAH)、タイマA下位(TAL)の順で、必ず両レジスタ共に読み出してください。

書き込み・・・タイマA下位(TAL)、タイマA上位(TAH)の順で、必ず両レジスタ共に書き込んでください。

タイマAは、タイマAモードレジスタを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

タイマAは発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を 1 減算します。タイマAの内容が 0000_{16} になった次のカウントクロックでアンダフローし、タイマAラッチの内容がタイマAにリロードされます。分周比はタイマAの設定値を n とすると $1/(n+1)$ となります。

(2) 周期測定モード

周期測定モードは、P00/CNTR1端子に入力されるパルス周期を測定するモードです。CNTR1端子の立ち上がり又は立ち下がりによってタイマAラッチの内容がタイマAにリロードされ、CNTR1割り込み要求ビットが 1 にセットされた後、再びカウントを続けます。CNTR1端子入力の有効エッジは、CNTR1極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

CNTR1端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

(3) イベントカウンタモード

イベントカウンタモードでは、P00/CNTR1端子から入力される信号がカウントソースになることを除けば、タイマモードと同じ動作を行います。CNTR1端子入力の有効エッジは、CNTR1極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅HL連続測定モード

パルス幅HL連続測定モードは、P00/CNTR1端子に入力されるパルス幅(“H”及び“L”レベル)を測定するモードです。CNTR1端子に入力されるパルスの両エッジでリロード、及びCNTR1割り込み要求ビットが 1 にセットされることを除いて、周期測定モードと同じ動作をします。

CNTR1端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

タイマAは、いずれの動作モードでも、タイマAカウント停止ビットを 1 に設定することにより、カウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが 1 にセットされます。

注意事項

・CNTR1割り込み極性選択

CNTR1極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが 0 のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが 1 のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが 1 にセットされません。

ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりによってCNTR1割り込み要求が発生します。

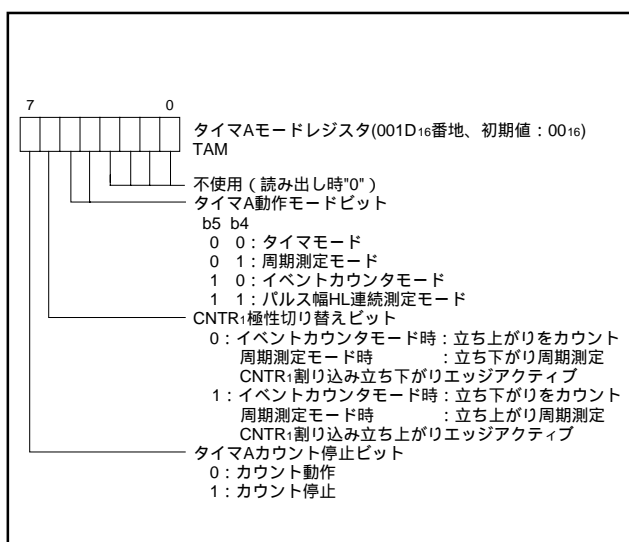


図 22 . タイマAモードレジスタの構成

タイマX

タイマXは8ビットタイマで、プリスケラXの出力をカウントし、タイマXのアンダフローによって、タイマX割り込み要求ビットをセットします。

プリスケラXは8ビットのプリスケラで、タイマXカウントソース選択ビットにより選択された信号をカウントします。

プリスケラX及びタイマXには、それぞれのリロード値を保持するためのプリスケラXラッチ及びタイマXラッチが配置されています。

プリスケラXラッチの値は、プリスケラXがアンダフローした時にプリスケラXに転送されます。タイマXラッチの値は、タイマXがアンダフローした時にタイマXに転送されます。

プリスケラX(PREX)に書き込みを行うと、プリスケラXラッチとプリスケラXの両方に値が書き込まれます。タイマX(TX)に書き込みを行うと、タイマXラッチとタイマXの両方に値が書き込まれます。

プリスケラX(PREX)又はタイマX(TX)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマXは、タイマXモードレジスタのタイマX動作モードビットを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

プリスケラXは、タイマXカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラXの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケラXラッチの値をプリスケラXに転送してカウントを続けます。プリスケラXの分周比は、プリスケラXの設定値をnとすると $1/(n+1)$ となります。

タイマXは、プリスケラXのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマXの内容が“0016”になった次のカウントクロックでアンダフローし、タイマXラッチの値をタイマXに転送してカウントを続けます。

タイマXの分周比は、タイマXの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケラXの設定値をn、タイマXの設定値をmとした場合、プリスケラXとタイマXをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

(2) パルス出力モード

パルス出力モードでは、タイマXがアンダフローするたびに極性の反転する波形を、CNTR0端子から出力します。

CNTR0端子の出力レベルはCNTR0極性切り替えビットで選択可能です。CNTR0極性切り替えビットが“0”のときは、CNTR0端子の出力は“H”から開始し、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の出力は“L”から開始します。

また、P03/TXOUT出力有効ビットを“1”に設定することによって、CNTR0端子から出力されるパルスの反転波形を、TXOUT端子から出力することができます。

このモードを使用する場合は、それぞれの出力端子と兼用しているポートP14、P03の方向レジスタを出力モードに設定してください。

(3) イベントカウンタモード

イベントカウンタモードは、P14/CNTR0端子に入力される信号がカウントソースになることを除けば、タイマモードと同じ動作をします。CNTR0端子入力の有効エッジは、CNTR0極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅測定モード

パルス幅測定モードは、P14/CNTR0端子に入力される信号のパルス幅を測定するモードです。パルス幅測定モードでは、CNTR0端子の入力信号のレベルによって、タイマXの動作、停止を制御します。

CNTR0極性切り替えビットが“0”のときは、CNTR0端子の入力信号レベルが“H”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“L”の期間はカウントを停止します。また、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の入力信号レベルが“L”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“H”の期間はカウントを停止します。

タイマXは、いずれの動作モードでも、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

注意事項

・CNTR0割り込み極性選択

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

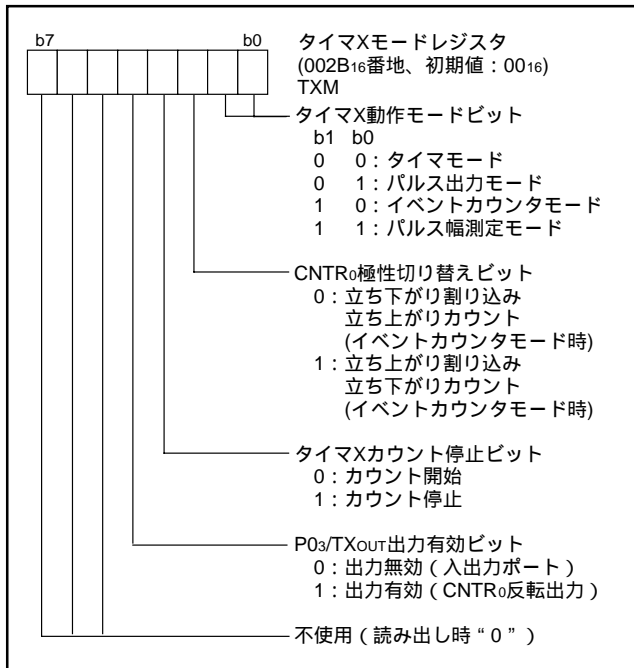


図 23 . タイマ X モードレジスタの構成

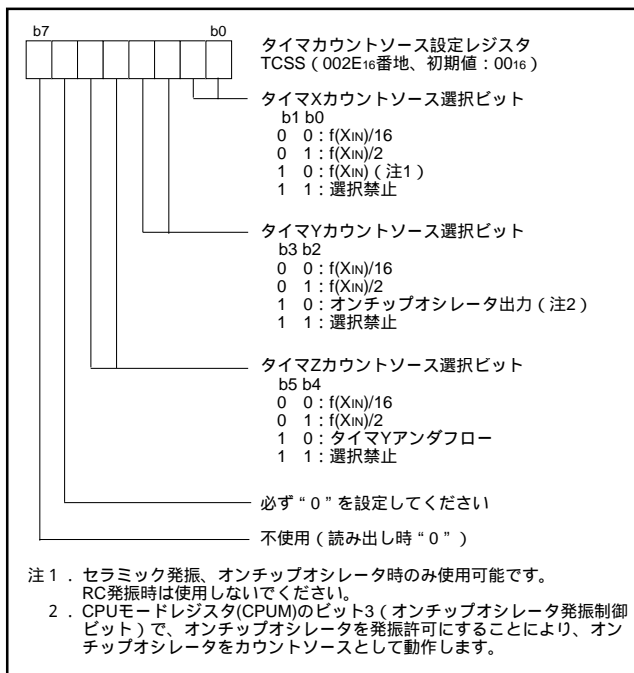


図 24 . タイマカウントソース設定レジスタの構成

タイマY

タイマYは8ビットタイマで、プリスケアラYの出力をカウントし、タイマYのアンダフローによって、タイマY割り込み要求ビットをセットします。

プリスケアラYは8ビットのプリスケアラで、タイマYカウントソース選択ビットにより選択された信号をカウントします。

プリスケアラYには、リロード値を保持するためのプリスケアラYラッチが配置されています。タイマYにはリロード値を保持するためのタイマYプライマリラッチとタイマYセカンダリラッチが配置されています。

プリスケアラYラッチの値は、プリスケアラYがアンダフローした時にプリスケアラYに転送されます。タイマYプライマリラッチとタイマYセカンダリラッチの内容は、タイマYがアンダフローした時にタイマYに転送されます。なお、タイマYプライマリラッチ又はタイマYセカンダリラッチのどちらの値がタイマYに転送されるかは、タイマYの動作モードによって決まります。

プリスケアラY(PREY)やタイマYプライマリ(TYP)、タイマYセカンダリ(TYS)に書き込みを行うと、タイマY書き込み制御ビットの設定値により、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケアラY、タイマYの両方に値を書き込むかを選択することができます。なお、タイマY書き込み制御ビットの設定は、使用する動作モードによって制限がありますので、それぞれの動作モードの注意事項に従ってください。

プリスケアラY(PREY)の読み出しを行うと、プリスケアラYのカウント値が読み出されます。タイマYプライマリ(TYP)の読み出しを行うと、タイマYのカウント値が読み出されます。タイマYのカウント値は、タイマYプライマリラッチまたはタイマYセカンダリラッチの、どちらの値をカウントしている場合でも、タイマYプライマリ(TYP)を読み出すことによって読み出されます。タイマYセカンダリ(TYS)を読み出すと、不定値が読み出されます。

タイマYは、タイマY、ZモードレジスタのタイマY動作モードビットを設定することにより、2つの動作モードを選択することができます。

(1) タイマモード

プリスケアラYはタイマYカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラYの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケアラYラッチの値をプリスケアラYに転送してカウントを続けます。プリスケアラYの分周比は、プリスケアラYの設定値をnとすると $1/(n+1)$ となります。

タイマYは、プリスケアラYのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマYの内容が“0016”になった次のカウントクロックでアンダフローし、タイマYプライマリラッチの値をタイマYに転送してカウントを続けます。(タイマモードでは、タイマYプライマリラッチの内容をカウントします。このモードではタイマYセカンダリは使用しません。)

タイマYの分周比は、タイマYの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラYの設定値をn、タイマYプライマリを設定値をmとした場合、プリスケアラYとタイマYをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

タイマモードでは、タイマY書き込み制御ビットの設定により、プリスケアラYとタイマYプライマリ、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケアラY、タイマYの両方に値を書き込むかを選択することができます。

(2) プログラマブル波形発生モード

プログラマブル波形発生モードでは、タイムYプライマリとタイムYセカンダリの設定値を交互にカウントし、タイムYがアンダフローするたびに極性の反転する波形をTYOUT端子から出力します。

このモードを使用する場合は、必ずタイムY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TYOUTと兼用しているポートP01の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイムYアウトプットレベルラッチで設定します。タイムYアウトプットレベルラッチに“0”を設定すると、タイムYプライマリの設定値による“H”期間とタイムYセカンダリの設定値による“L”期間を交互に出力します。タイムYアウトプットレベルラッチに“1”を設定すると、タイムYプライマリの設定値による“L”期間とタイムYセカンダリの設定値による“H”期間を交互に出力します。

また、このモードではタイムYプライマリ波形拡張制御ビットとタイムYセカンダリ波形拡張制御ビットに“1”を設定することによって、波形出力のプライマリ期間、セカンダリ期間を、それぞれカウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

波形拡張制御ビットを使用時、出力される波形の周波数とデューティは以下のようになります。

波形周波数：

$$FYOUT = \frac{2 \times TMYCL}{2 \times (TYP+1) + 2 \times (TYS+1) + (EXPYP + EXPYS)}$$

デューティ：

$$DYOUT = \frac{2 \times (TYP+1) + EXPYP}{(2 \times (TYP+1) + EXPYP) + (2 \times (TYS+1) + EXPYS)}$$

TMYCL：タイムYカウントソース(周波数)

TYP:タイムYプライマリ(8bit)

TYS：タイムYセカンダリ(8bit)

EXPYP：タイムYプライマリ波形拡張制御ビット(1bit)

EXPYS：タイムYセカンダリ波形拡張制御ビット(1bit)

プログラマブル波形発生モードでは、タイムYプライマリ、タイムYセカンダリ、プライマリ及びセカンダリ波形拡張ビットの値を変更すると、出力波形が必ず波形周期の最初 タイマYプライマリ波形期間 から変更されるように制御されます。

カウント値を変更する場合は、タイムYセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイムYプライマリを設定してください。設定値は、タイムYプライマリを書き込んだ次の波形周期の最初に一括して反映されます。(タイム停止中の書き込みの場合も、最後にタイムYプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイムYプライマリを設定することによって、タイムYセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイムYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイムYプライマリに書き込む必要があります。

・タイムYプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイムYプライマリへの書き込みとセカンダリ期間のタイムYのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイムY波形拡張制御ビットによる波形拡張機能は、プリスケールYに“0016”を設定した時のみ使用可能です。プリスケールYに“0016”以外の値を設定している場合は、必ずタイムYプライマリ波形拡張制御ビットとタイムYセカンダリ波形拡張制御ビットに“0”を設定してください。

・タイムY書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイムY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイムYは、いずれの動作モードでも、タイムYカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイムYがアンダフローすると、タイムY割り込み要求ビットが“1”にセットされます。

タイムYは、タイムYカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイム停止中、タイムYの読み出しを行うとラッチの値が読み出されます。タイムYの値は、タイムYの動作中でなければ読み出せません。)

タイマZ

タイマZは8ビットタイマで、プリスケアラZの出力をカウントし、タイマZのアンダフローによって、タイマZ割り込み要求ビットをセットします。

プリスケアラZは8ビットのプリスケアラで、タイマZカウントソース選択ビットにより選択された信号をカウントします。

プリスケアラZには、リロード値を保持するためのプリスケアラZラッチが配置されています。タイマZにはリロード値を保持するためのタイマZプライマリラッチとタイマZセカンダリラッチが配置されています。

プリスケアラZラッチの値は、プリスケアラZがアンダフローした時にプリスケアラZに転送されます。タイマZプライマリラッチとタイマZセカンダリラッチの内容は、タイマZがアンダフローした時にタイマZに転送されます。なお、タイマZプライマリラッチまたはタイマZセカンダリラッチのどちらの値がタイマZに転送されるかは、タイマZの動作モードによって決まります。

プリスケアラZ (PREZ) やタイマZプライマリ (TZP)、タイマZセカンダリ (TZS) に書き込みを行うと、タイマZ書き込み制御ビットの設定値により、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケアラZ、タイマZの両方に値を書き込むかを選択することができます。なお、タイマZ書き込み制御ビットの設定は、使用する動作モードによって制限がありますので、それぞれの動作モードの注意事項に従ってください。

プリスケアラZ (PREZ) の読み出しを行うと、プリスケアラZのカウント値が読み出されます。タイマZプライマリ (TZP) の読み出しを行うと、タイマZのカウント値が読み出されます。タイマZのカウント値は、タイマZプライマリラッチまたはタイマZセカンダリラッチの、どちらの値をカウントしている場合でも、タイマZプライマリ (TZP) を読み出すことによって読み出されます。タイマZセカンダリ (TZS) を読み出すと、不定値が読み出されます。

タイマZは、タイマY、ZモードレジスタのタイマZ動作モードビットを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

プリスケアラZはタイマZカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラZの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケアラZラッチの値をプリスケアラZに転送してカウントを続けます。プリスケアラZの分周比は、プリスケアラZの設定値をnとすると $1/(n+1)$ となります。

タイマZは、プリスケアラZのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマZの内容が“0016”になった次のカウントクロックでアンダフローし、タイマZプライマリラッチの値をタイマZに転送してカウントを続けます。(タイマモードでは、常にタイマZプライマリラッチの内容をカウントします。このモードではタイマZセカンダリは使用しません。)

タイマZの分周比は、タイマZの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラZの設定値をn、タイマZプライマリの設定値をmとした場合、プリスケアラZとタイマZをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

タイマモードでは、タイマZ書き込み制御ビットの設定により、プリスケアラZとタイマZプライマリの、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケアラZ、タイマZの両方に値を書き込むかを選択することができます。

(2) プログラマブル波形発生モード

プログラマブル波形発生モードでは、タイムZプライマリとタイムZセカンダリの設定値を交互にカウントし、タイムZがアンダフローするたびに極性の反転する波形を、TZOUT端子から出力します。

このモードを使用する場合は、必ずタイムZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイムZアウトプットレベルラッチで設定します。タイムZアウトプットレベルラッチに“0”を設定すると、タイムZプライマリの設定値による“H”期間とタイムZセカンダリの設定値による“L”期間を交互に出力します。タイムZアウトプットレベルラッチに“1”を設定すると、タイムZプライマリの設定値による“L”期間とタイムZセカンダリの設定値による“H”期間を交互に出力します。

また、このモードでは、タイムZプライマリ波形拡張制御ビットとタイムZセカンダリ波形拡張制御ビットに“1”を設定することによって、波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

波形拡張制御ビットを使用した場合、出力される波形の周波数とデューティは以下ようになります。

波形周波数：

$$FZOUT = \frac{2 \times TMZCL}{2 \times (TZP+1) + 2 \times (TZS+1) + (EXPZP+EXPZS)}$$

デューティ：

$$DZOUT = \frac{2 \times (TZP+1) + EXPZP}{(2 \times (TZP+1) + EXPZP) + (2 \times (TZS+1) + EXPZS)}$$

TMZCL：タイムZカウントソース(周波数)

TZP：タイムZプライマリ(8bit)

TZS：タイムZセカンダリ(8bit)

EXPZP：タイムZプライマリ波形拡張制御ビット(1bit)

EXPZS：タイムZセカンダリ波形拡張制御ビット(1bit)

プログラマブル波形発生モードでは、タイムZプライマリ、タイムZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの値を変更すると、出力波形が必ず波形周期の最初(タイムZプライマリ波形期間)から変更されるように制御されます。

カウント値を変更する場合は、タイムZセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイムZプライマリを設定してください。設定値は、タイムZプライマリを書き込んだ次の波形周期の最初に一括して反映されます。(タイム停止中の書き込みの場合も、最後にタイムZプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイムZプライマリを設定することによって、タイムZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイムZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイムZプライマリに書き込む必要があります。

・タイムZプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイムZプライマリへの書き込みとセカンダリ期間のタイムZのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイムZ波形拡張制御ビットによる波形拡張機能は、プリスケールZに“0016”を設定した時のみ使用可能です。プリスケールZに“0016”以外の値を設定している場合は、必ずタイムZプライマリ波形拡張制御ビットとタイムZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイムZアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイムZ書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイムZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

(3) プログラブルワンショット発生モード

プログラブルワンショット発生モードでは、ソフトウェアまたは外部入力トリガにより、タイマZプライマリ設定値によるワンショットパルスをTZOUT端子から出力します。このモードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。このモードではタイマZセカンダリは使用しません。

出力する波形の極性はタイマZアウトブットレベルラッチで設定します。タイマZアウトブットレベルラッチに“0”を設定すると、タイマZプライマリの設定値の期間“H”パルスを出し、タイマZアウトブットレベルラッチに“1”を設定すると、タイマZプライマリの設定値の期間“L”パルスを出します。

また、このモードでは、タイマZプライマリ波形拡張制御ビットに“1”を設定することによって、ワンショットパルス出力の期間を、カウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

プログラブルワンショット発生モードでは、カウント値の設定後、タイマZカウント停止ビットに“0”を書き込むことによって、ソフトウェアまたは外部INT0端子からのトリガを受け付けられる状態になります。(タイマZカウント停止ビットに“0”を書き込んだ段階では、タイマZは停止しています。)

タイマZワンショット開始ビットに“1”を書き込むか、あるいはINT0端子ワンショットトリガ制御ビットに“1”を書き込んでINT0端子トリガを有効にし、INT0端子に有効トリガを入力すると、タイマZはカウントを開始すると同時にTZOUT端子の出力を反転します。また、タイマZがアンダフローすると、再度TZOUT端子の出力を反転し、タイマZは停止します。なお、ワンショット開始ビットは、INT0端子トリガを受け付けた時にもハードウェアで“1”に変化します。INT0端子の有効トリガのエッジは、INT0端子ワンショットトリガ極性選択ビットで立ち下がりトリガ、または立ち上がりトリガを選択することができます。

ワンショットパルスの出力期間に、タイマZワンショット開始ビットに“0”を書き込むことによって、ワンショットパルス出力を強制的に終了することができます。

プログラブルワンショット発生モードでは、カウント値を変更する場合は、タイマZプライマリ波形拡張制御ビット、タイマZプライマリの順に設定してください。設定値は、タイマZプライマリを書き込んだ次のワンショットパルスから一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマZプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラブルワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がある場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

(4) プログラブルウェイトワンショット発生モード

プログラブルウェイトワンショット発生モードでは、ソフトウェアまたはINT0端子への外部入力トリガにより、タイムズプライマリ設定値によるウェイトの後、タイムズセカンダリ設定値によるワンショットパルスはTZOUT端子から出力します。

このモードを使用する場合は、必ずタイムズ書き込み制御ビットに“ 1 ”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイムズアウトプットレベルラッチで設定します。タイムズアウトプットレベルラッチに“ 0 ”を設定すると、タイムズプライマリの設定値の期間ウェイトの後、タイムズセカンダリの設定値の期間“ H ”パルスを出力し、タイムズアウトプットレベルラッチに“ 1 ”を設定すると、タイムズプライマリの設定値の期間ウェイトの後、タイムズセカンダリの設定値の期間“ L ”パルスを出力します。

また、このモードでは、タイムズプライマリ波形拡張制御ビットと、タイムズセカンダリ波形拡張制御ビットに“ 1 ”を設定することによって、ウェイト期間とワンショットパルス出力の期間を、カウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

プログラブルウェイトワンショット発生モードでは、カウント値の設定後、タイムズカウント停止ビットに“ 0 ”を書き込むことによって、ソフトウェアまたはINT0端子からのトリガを受け付けられる状態になります。(タイムズカウント停止ビットに“ 0 ”を書き込んだ段階では、タイムズは停止しています。)

タイムズワンショット開始ビットに“ 1 ”を書き込むか、あるいはINT0端子ワンショットトリガ制御ビットに“ 1 ”を書き込んでINT0端子トリガを有効にし、INT0端子に有効トリガを入力すると、タイムズはカウントを開始します。タイムズがタイムズプライマリをカウントしている期間は、TZOUT端子の出力を初期値のまま保持します。アンダフローが発生すると、タイムズセカンダリをリロードすると同時にTZOUT端子の出力を反転します。次にタイムズがアンダフローすると、再度TZOUT端子の出力を反転し、タイムズは停止します。なお、ワンショット開始ビットは、INT0端子トリガを受け付けた時にもハードウェアで“ 1 ”に変化します。INT0端子の有効トリガのエッジは、INT0端子ワンショットトリガ極性選択ビットで立ち上がりトリガ、又は立ち上がりトリガを選択することができます。

ウェイト期間およびワンショットパルスの出力期間に、タイムズワンショット開始ビットに“ 0 ”を書き込むことによって、ワンショットパルス出力を強制的に終了することができます。

プログラブルウェイトワンショット発生モードでは、カウント値を変更する場合は、タイムズセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイムズプライマリを設定してください。設定値はタイムズプライマリを書き込んだ次のウェイト期間から一括して反映されます。(タイムズ停止中の書き込みの場合も、最後にタイムズプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラブルウェイトワンショット発生モードでは、カウント設定値を変更する場合は、タイムズプライマリを設定することによって、タイムズセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイムズプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイムズプライマリに書き込む必要があります。

・タイムズプライマリへの書き込みタイミング

プログラブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイムズプライマリへの書き込みとセカンダリ期間のタイムズのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイムズ波形拡張制御ビットによる波形拡張機能は、プリスケールZに“ 0016 ”を設定した時のみ使用可能です。プリスケールZに“ 0016 ”以外の値を設定している場合は、必ずタイムズプライマリ波形拡張制御ビットとタイムズセカンダリ波形拡張制御ビットに“ 0 ”を設定してください。また、カウントソースにタイムズアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイムズ書き込みモードについて

プログラブルウェイトワンショット発生モードを使用する場合は、必ずタイムズ書き込み制御ビットに“ 1 ”を設定し、“ラッチのみ書き込み”を選択してください。

タイムズは、いずれの動作モードでも、タイムズカウント停止ビットを“ 1 ”に設定することにより、カウントを停止することが可能です。また、タイムズがアンダフローすると、タイムズ割り込み要求ビットが“ 1 ”にセットされます。

タイムズは、タイムズカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイムズ停止中、タイムズの読み出しを行うとラッチの値が読み出されます。タイムズの値は、タイムズの動作中でなければ読み出せません。)

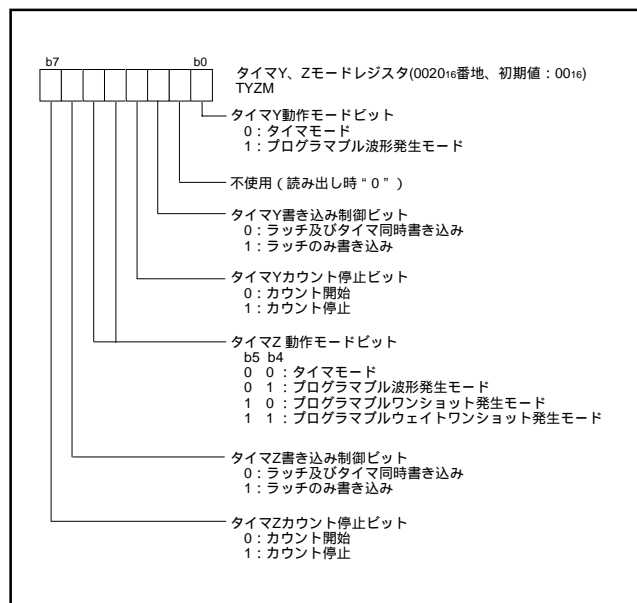


図 25 . タイマY、Zモードレジスタの構成

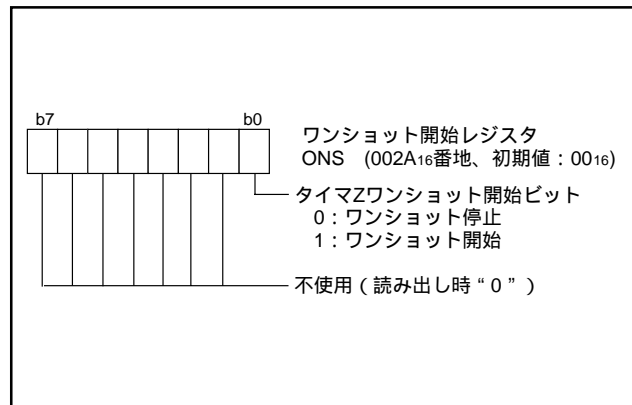


図 27 . ワンショット開始レジスタの構成

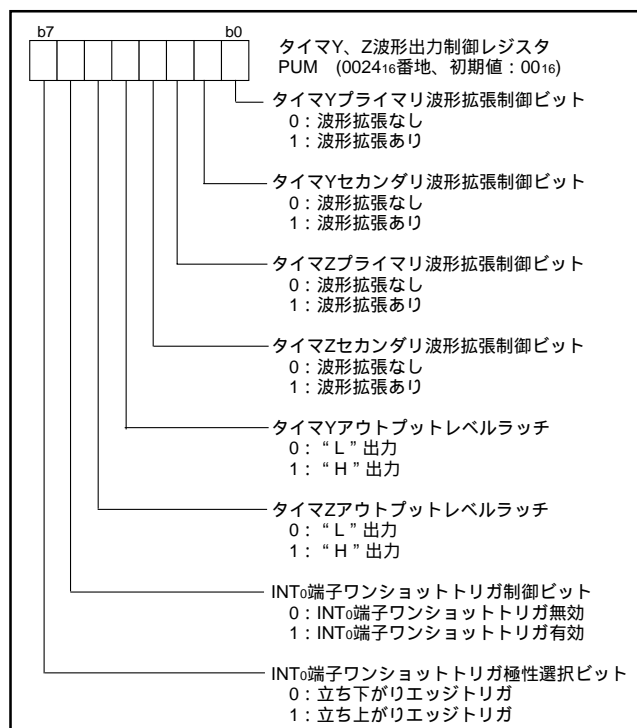


図 26 . タイマY、Z波形出力制御レジスタの構成

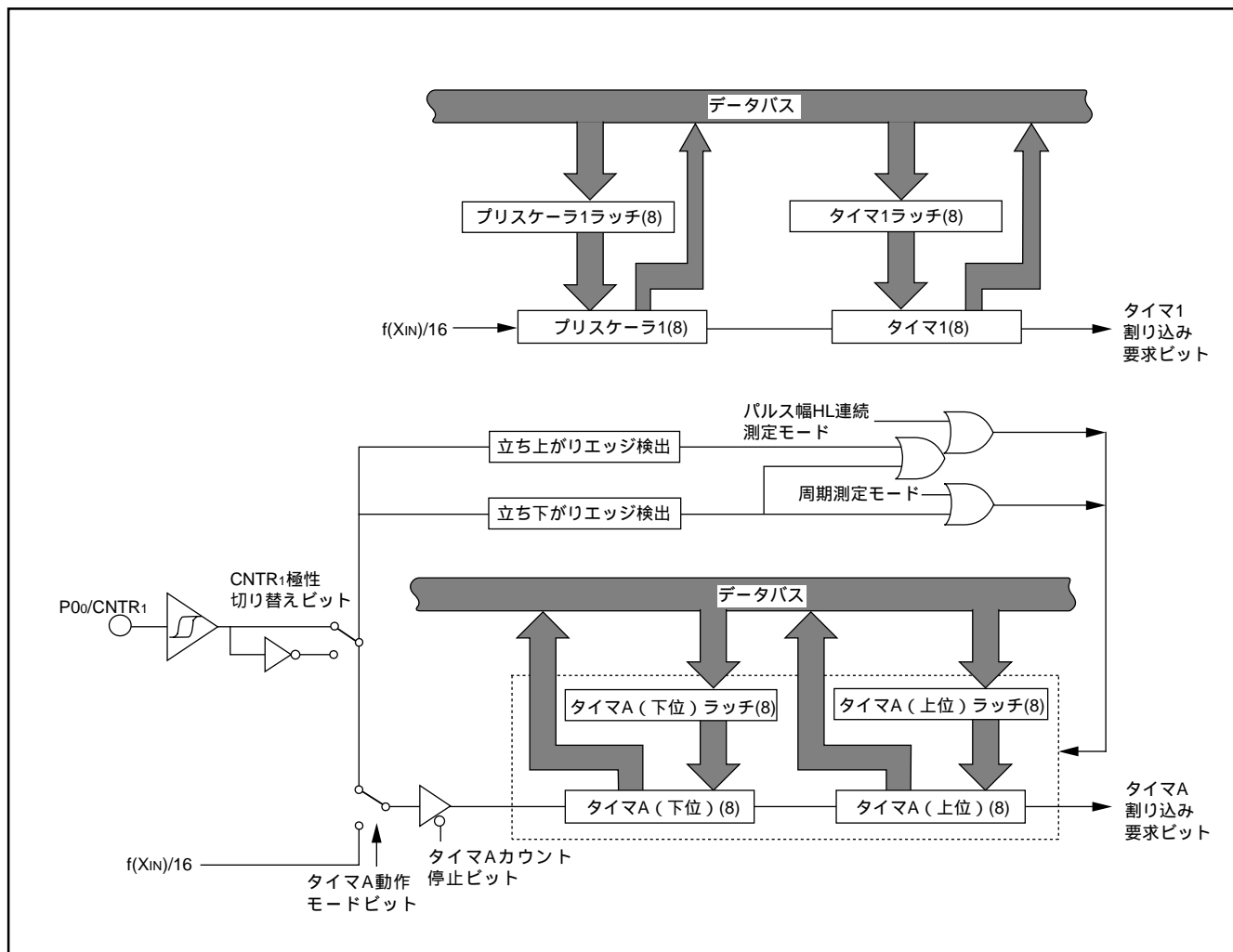


図 28 . タイマ 1 及び、タイマ A のブロック図

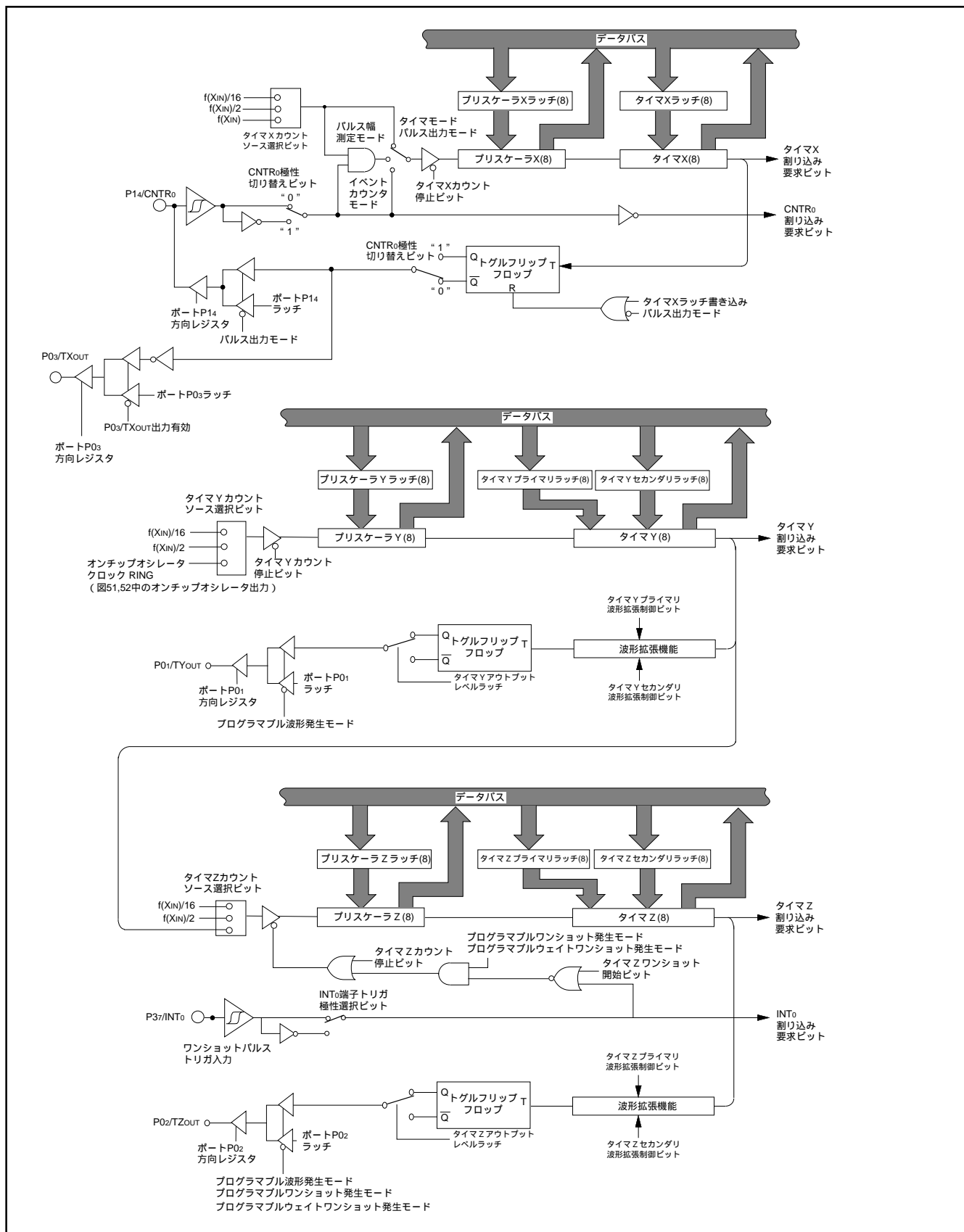


図 29 . タイマ X , タイマ Y 及びタイマ Z のブロック図

シリアル I/O

シリアル I/O1

シリアル I/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアル I/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1)クロック同期形シリアル I/O1モード

シリアル I/O1制御レジスタのシリアル I/O1モード選択ビット(b6)を"1"にすることによってクロック同期形シリアル I/O1が選択されます。

クロック同期形シリアル I/O1では、シリアル I/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

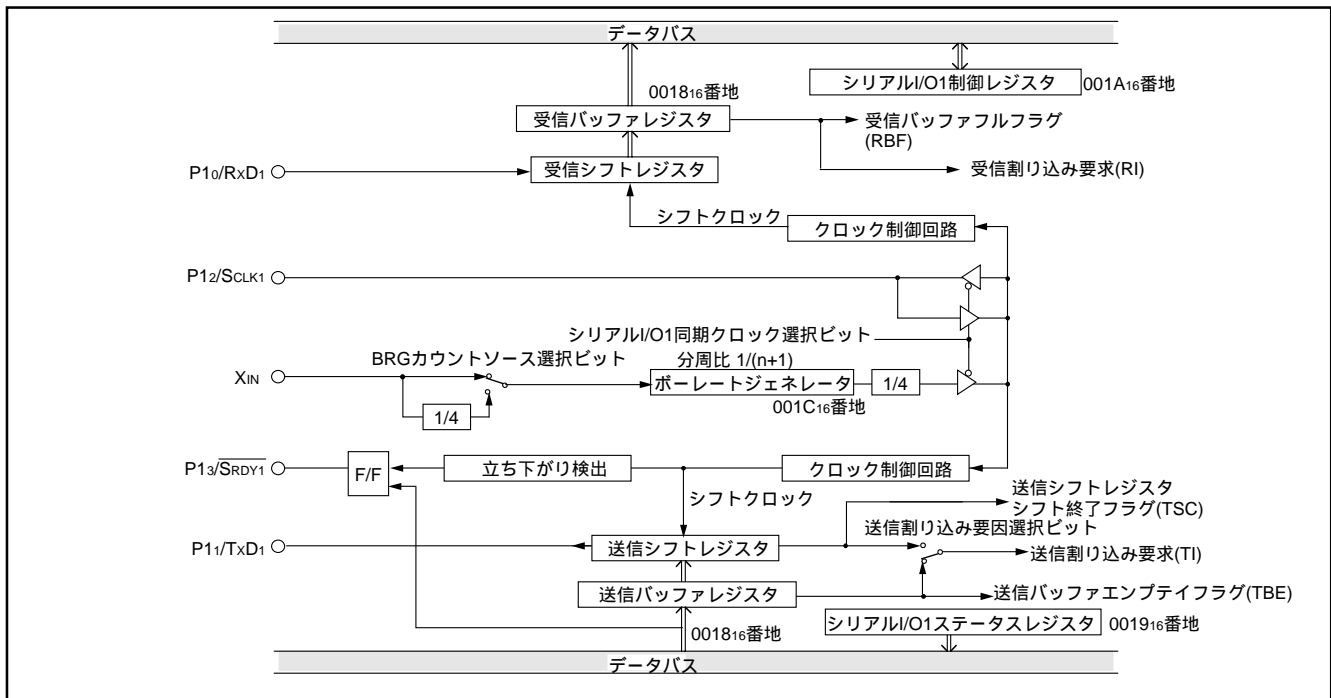


図 30 . クロック同期形シリアル I/O1 ブロック図

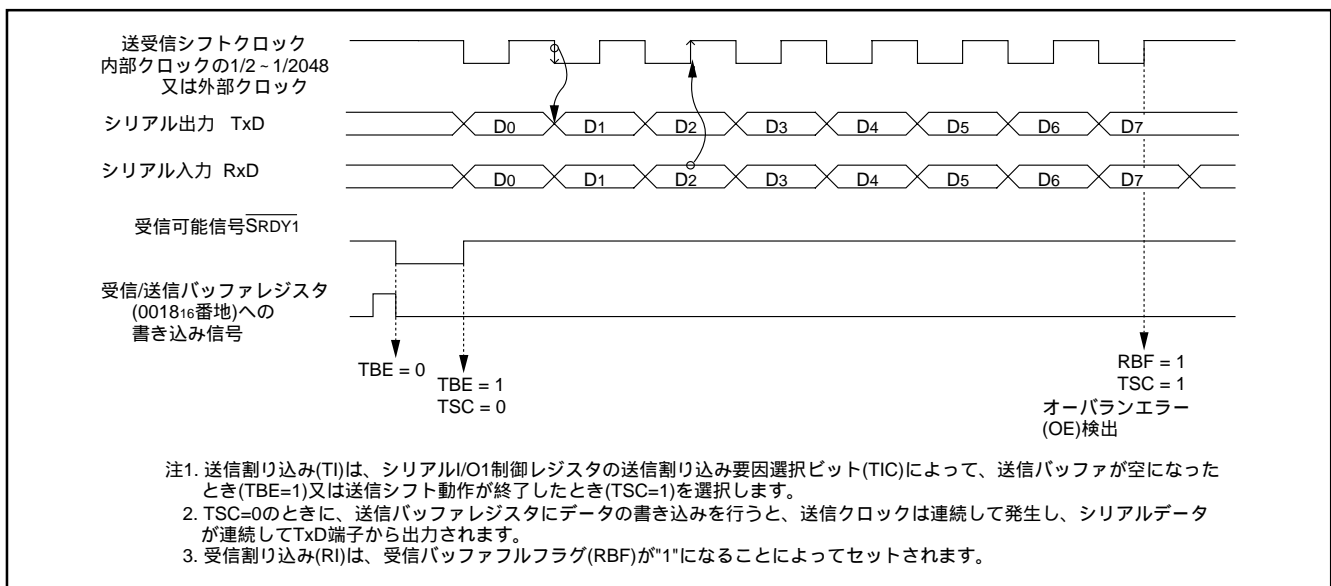


図 31 . クロック同期形シリアル I/O1 動作図

(2)非同期形シリアルI/O1(UART)モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

7540グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7540グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

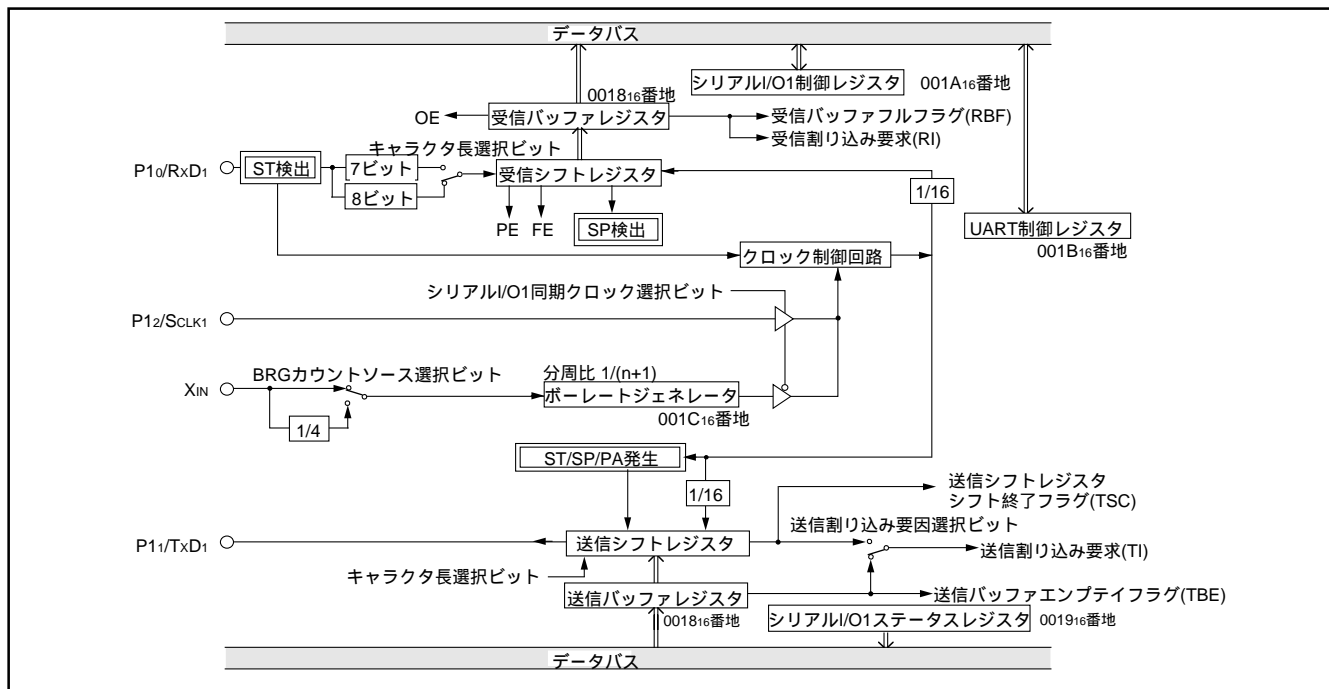


図 32 . UART 形シリアルI/O1 ブロック図

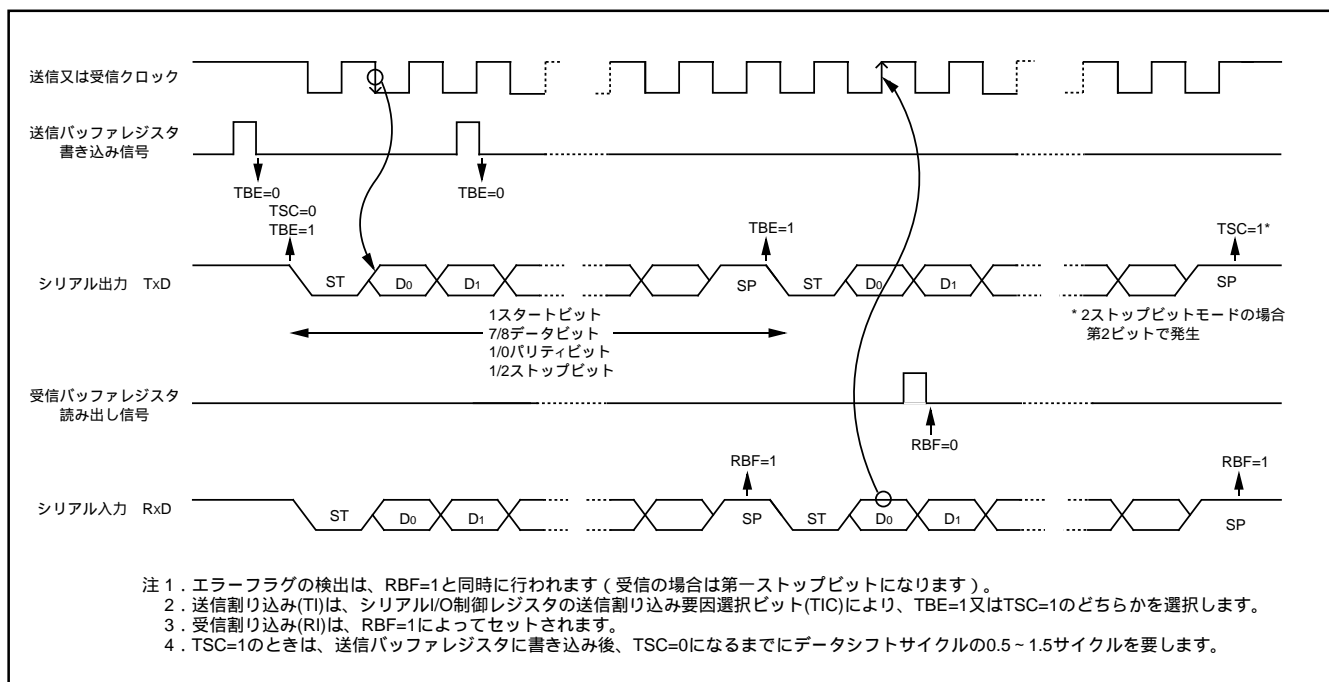


図 33 . UART 形シリアルI/O 動作図

注 1 . エラーフラグの検出は、RBF=1と同時にされます(受信の場合は第一ストップビットになります)。
 2 . 送信割り込み(TI)は、シリアルI/O制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
 3 . 受信割り込み(RI)は、RBF=1によってセットされます。
 4 . TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P11/TXD1端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

・シリアルI/O1割り込み

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。

シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O1許可時の入出力端子機能

シリアルI/O1モード選択ビットおよびシリアルI/O1同期クロック選択ビットの設定値により、P12、P13の機能が下記のように変化します。

(1)シリアルI/O1モード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は同期クロックの出力端子になります。

“1”: P12端子は同期クロックの入力端子になります。

・SRDY1出力許可ビット(SRDY)の設定

“0”: P13端子は通常の入出力端子として使用できます。

“1”: P13端子はSRDY出力端子になります。

(2)シリアルI/O1モード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は通常の入出力端子として使用できます。

“1”: P12端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

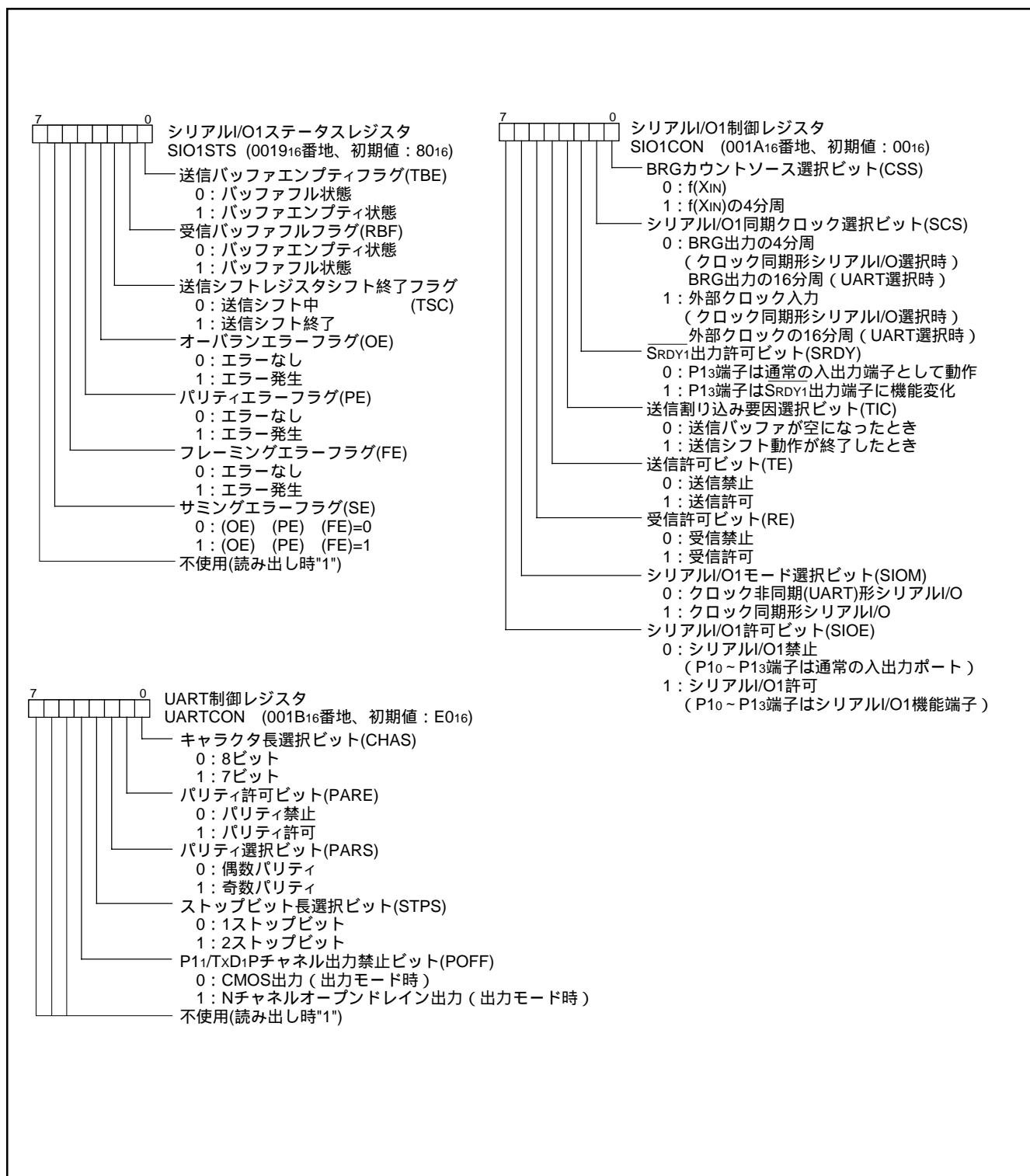


図 34 . シリアル I/O1 関係レジスタの構成

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。
シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

シリアルI/O2は、シリアルI/O1を使用しない場合、及びシリアルI/O1をUARTとして使用し、かつ同期クロックにBRG出力の1/6分周を選択した場合のみ使用可能です。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

受信するために、ビット3に“0”を設定してください。受信時、シフト終了後にシリアルI/O2レジスタへダミーデータを書き込むことによってビット7をクリアします。

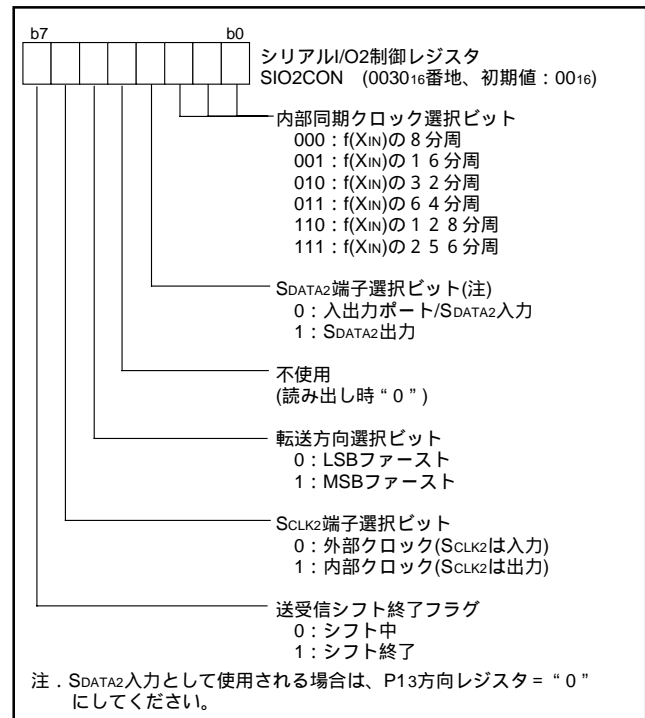


図35. シリアルI/O2制御レジスタの構成

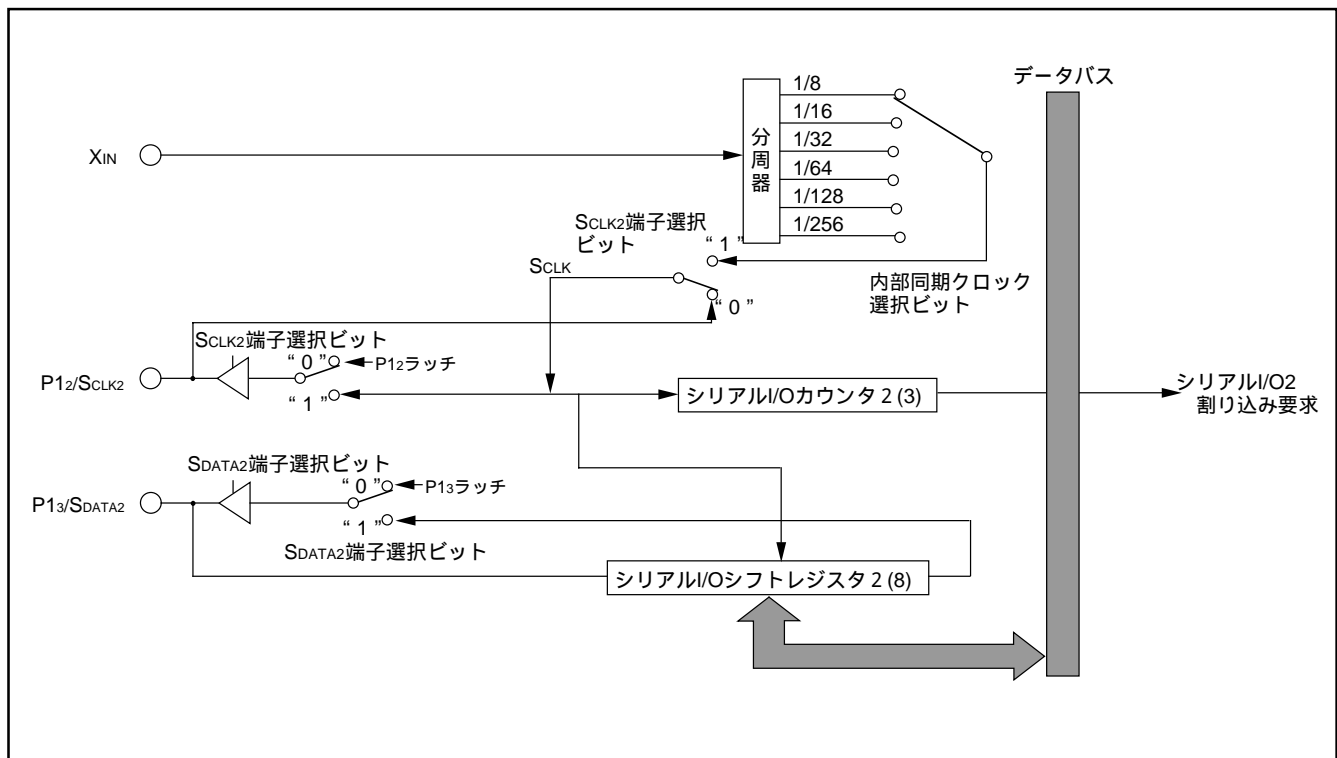


図36. シリアルI/O2ブロック図

(1)シリアルI/O2の動作

シリアルI/O2レジスタ(0031₁₆番地)に書き込みを行うとシリアルI/O2カウンタが7にセットされます。

書き込み後、転送クロックが“H”から“L”に変化すると、SDATA2端子からデータが出力されます。また、転送クロックが“L”から“H”に変化するとSDATA2端子からデータが取り込まれると同時にシリアルI/O2レジスタの内容が1ビットシフトされます。

転送クロック源に内部クロックを選択している場合、転送クロックを8回カウントすると次のような動作が行われます。

- ・シリアルI/Oカウンタ2は“0”にクリア。
- ・転送クロックは“H”で停止。
- ・割り込み要求ビットがセット。
- ・シフト終了フラグがセット。

また、データ転送終了後SDATA2端子がハイインピーダンス状態になります(図37参照)。

転送クロック源に外部クロックを選択している場合、転送クロックを8回カウントすると割り込み要求ビットはセットされますが、転送クロックは停止しませんので、外部でクロックを制御してください。また、データ転送完了後はSDATA2端子はハイインピーダンス状態になりませんので注意が必要です。

また、受信完了後、シリアルI/O2レジスタを読み出すことにより、送受信シフト終了フラグは、クリアされます。送信時は、シリアルI/O2レジスタへの書き込みにより、送受信シフト終了フラグがクリアされ、送信が始まります。

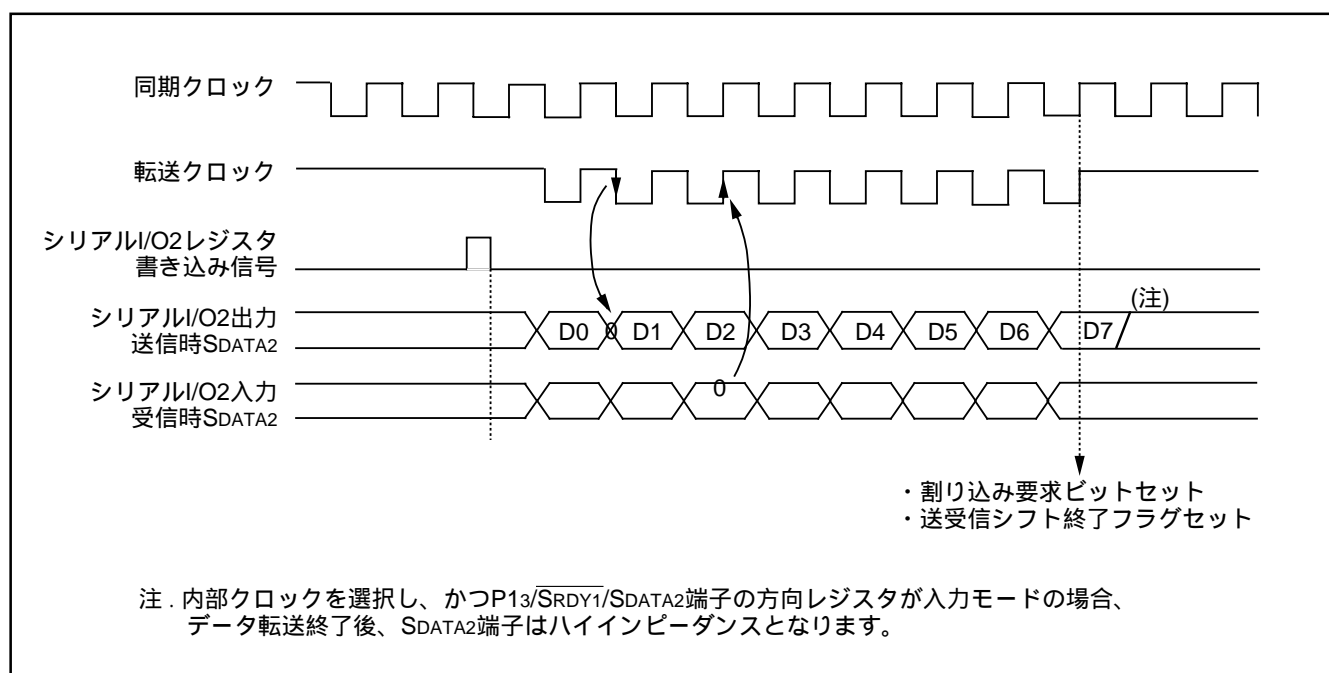


図37. シリアルI/O2 タイミング (LSB ファーストの場合)

A/Dコンバータ

【A/D変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。

【A/D制御レジスタ】ADCON

A/D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

VSSとVREFの間の電圧を抵抗ラダーによって、1024分割し分圧出力します。A/D変換中以外は、VREF端子、VSS端子と切り離されるため、抵抗ラダーには、電流は流れません。

【チャンネルセクタ】

ポートP27/AN7～P20/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中は(XIN)を500kHz以上にしてください。

A/D変換に関する注意事項

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) VREF電圧をVccよりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、VREF電圧とVcc電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) VREF電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VREF=3.0V異常での使用を推奨します。

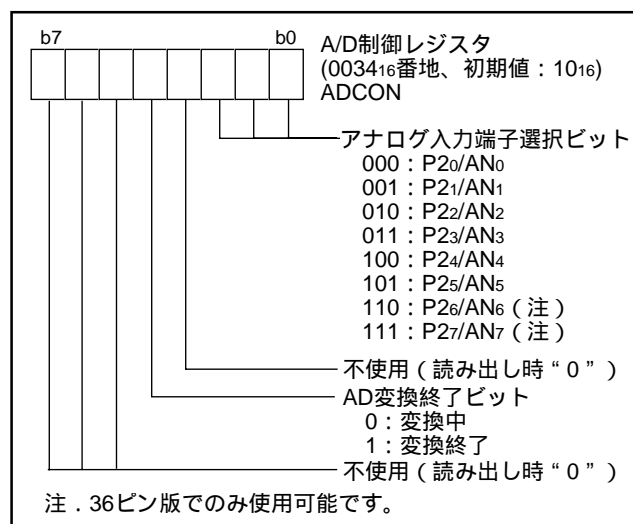
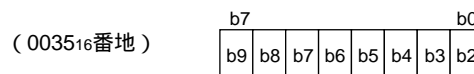
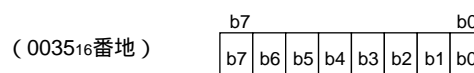
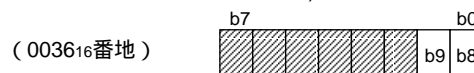


図38．A/D制御レジスタの構成

8ビット読み出し(0035₁₆番地のみ読み出してください。)



10ビット読み出し(0036₁₆番地、0035₁₆番地の順で読み出してください。)



注：0036₁₆番地の上位6ビットは読み出し時は“0”になります。

図39．A/D変換レジスタの構成

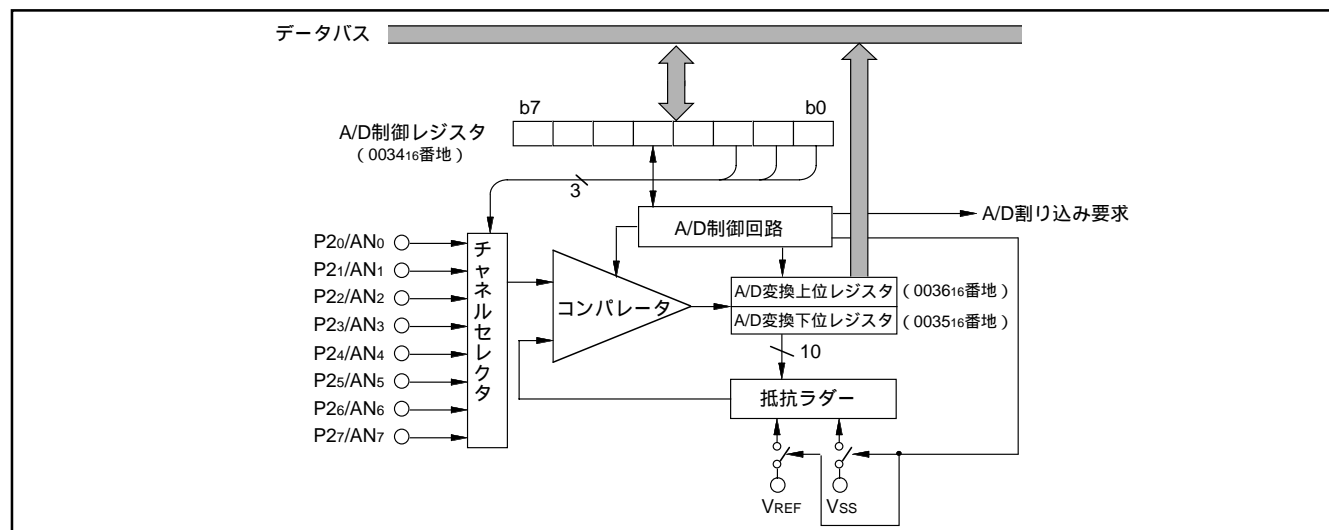


図40．A/D変換器ブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1)ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

(2)ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN) = 8\text{MHz}$ 時131.072msになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ の16分周信号となります。この場合の検出時間は $f(XIN) = 8\text{MHz}$ 時512 μs になります。

このビットはリセット後“0”になります。

(3)STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き替えることはできなくなります。

このビットはリセット後“0”になります。

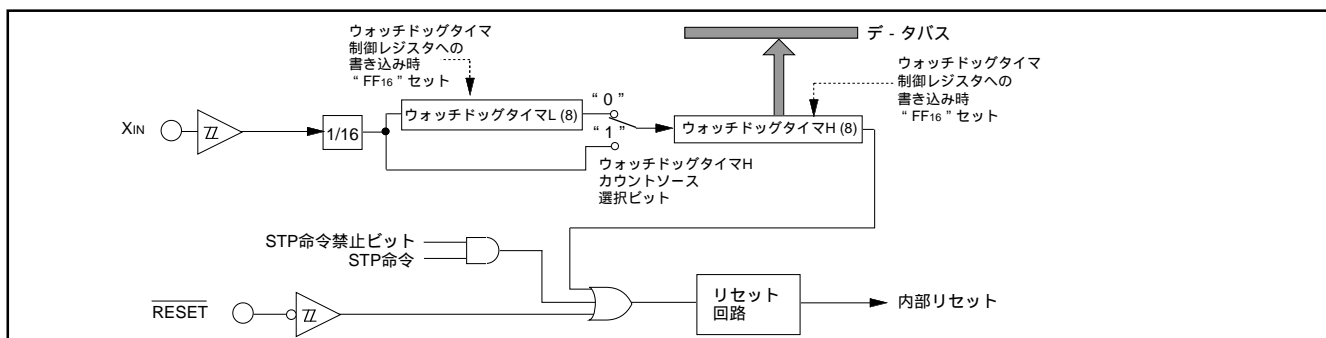


図41. ウォッチドッグタイマのブロック図

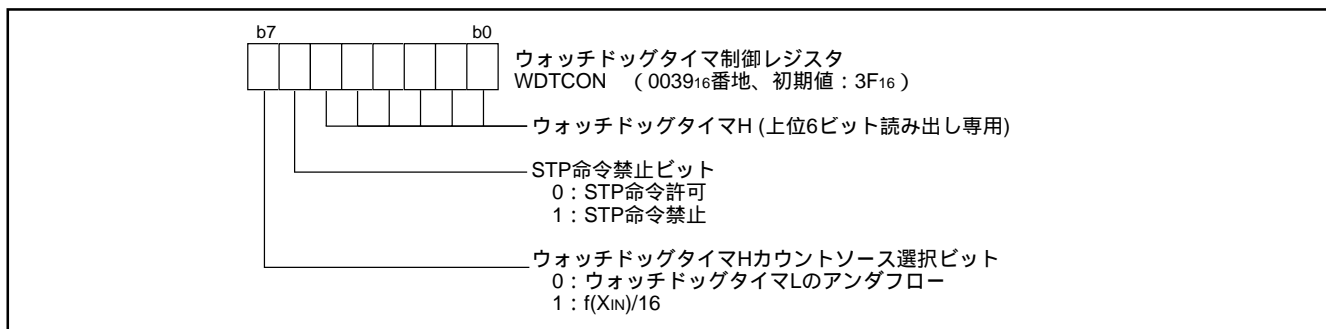


図42. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.2～5.5Vにあり、XINが安定発振しているとき、RESET端子を2 μs以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

- f () 6 MHz時、リセット入力電圧は、電源電圧が4.5Vを通過する時点で0.9V以下になるようにしてください。
- f () 4 MHz時、リセット入力電圧は、電源電圧が4.0Vを通過する時点で0.8V以下になるようにしてください。
- f () 2 MHz時、リセット入力電圧は、電源電圧が2.4Vを通過する時点で0.48V以下になるようにしてください。
- f () 1 MHz時、リセット入力電圧は、電源電圧が2.2Vを通過する時点で0.44V以下になるようにしてください。

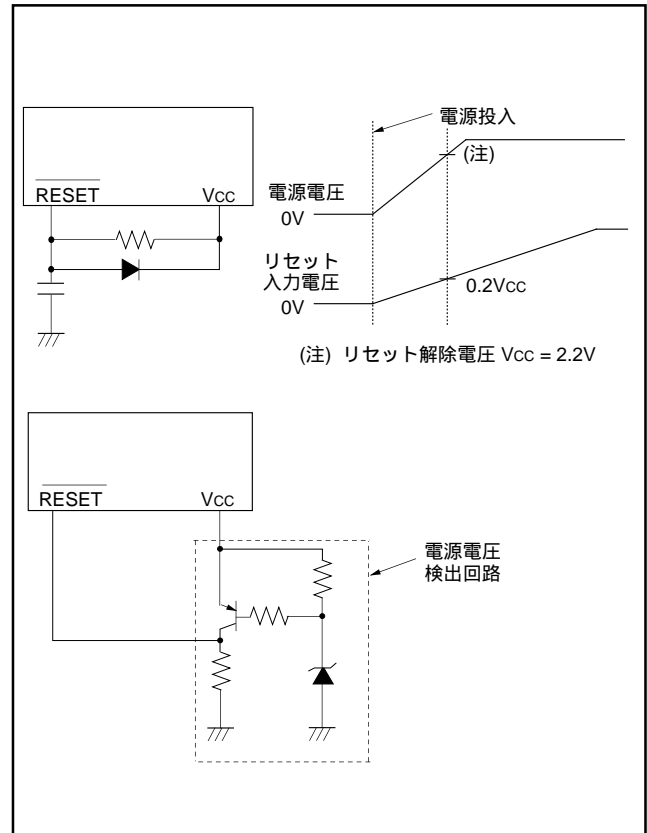


図43．リセット回路例

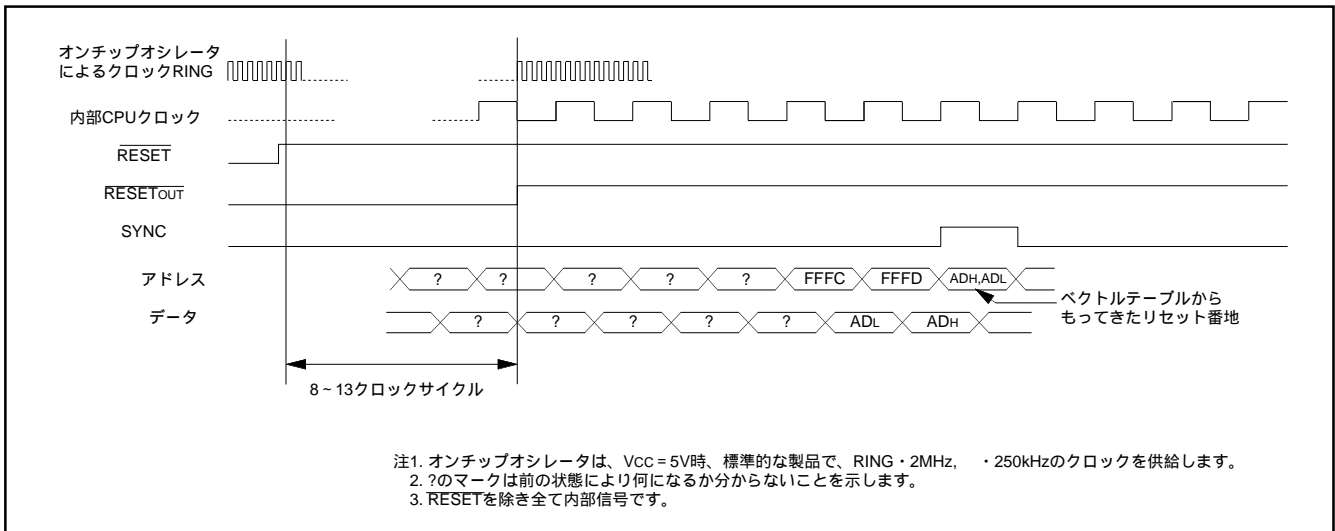


図44．リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆
(2) ポートP1方向レジスタ	0003 ₁₆	x x x 0 0 0 0 0
(3) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆
(4) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆
(5) プルアップ制御レジスタ	0016 ₁₆	00 ₁₆
(6) ポートP1P3制御レジスタ	0017 ₁₆	00 ₁₆
(7) シリアルI/O1ステータスレジスタ	0019 ₁₆	1 0 0 0 0 0 0 0
(8) シリアルI/O1制御レジスタ	001A ₁₆	00 ₁₆
(9) UART制御レジスタ	001B ₁₆	1 1 1 0 0 0 0 0
(10) タイマAモードレジスタ	001D ₁₆	00 ₁₆
(11) タイマA(下位)	001E ₁₆	FF ₁₆
(12) タイマA(上位)	001F ₁₆	FF ₁₆
(13) タイマY、Zモードレジスタ	0020 ₁₆	00 ₁₆
(14) プリスケアラY	0021 ₁₆	FF ₁₆
(15) タイマYセカンダリ	0022 ₁₆	FF ₁₆
(16) タイマYプライマリ	0023 ₁₆	FF ₁₆
(17) タイマY、Z波形出力制御レジスタ	0024 ₁₆	00 ₁₆
(18) プリスケアラZ	0025 ₁₆	FF ₁₆
(19) タイマZセカンダリ	0026 ₁₆	FF ₁₆
(20) タイマZプライマリ	0027 ₁₆	FF ₁₆
(21) プリスケアラ1	0028 ₁₆	FF ₁₆
(22) タイマ1	0029 ₁₆	01 ₁₆
(23) ワンショット開始レジスタ	002A ₁₆	00 ₁₆
(24) タイマXモードレジスタ	002B ₁₆	00 ₁₆
(25) プリスケアラX	002C ₁₆	FF ₁₆
(26) タイマX	002D ₁₆	FF ₁₆
(27) タイマカウントソース設定レジスタ	002E ₁₆	00 ₁₆
(28) シリアルI/O2制御レジスタ	0030 ₁₆	00 ₁₆
(29) シリアルI/O2レジスタ	0031 ₁₆	00 ₁₆
(30) A/D制御レジスタ	0034 ₁₆	10 ₁₆
(31) MISRG	0038 ₁₆	00 ₁₆
(32) ウォッチドッグタイマ制御レジスタ	0039 ₁₆	0 0 1 1 1 1 1 1
(33) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(34) CPUモードレジスタ	003B ₁₆	1 0 0 0 0 0 0 0
(35) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(36) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(37) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(38) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(39) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(40) プログラムカウンタ	(PCH)	FFFD ₁₆ 番地の内容
	(PCL)	FFFC ₁₆ 番地の内容

注．xは不定です。

図 45 . リセット時の内部状態

クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を、抵抗及びコンデンサを接続することによりRC発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

(1) オンチップオシレータ動作

メインクロックをオンチップオシレータで供給する場合は、XIN端子をV_{SS}に接続し、XOUT端子は開放としてください。なお、オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) セラミック共振子を使用する場合

メインクロックにセラミック共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続してください。帰還抵抗は内蔵しております。

(3) RC 発振を使用する場合

メインクロックにRC 発振を使用する場合は、XIN端子とXOUT端子を短絡し、抵抗R、コンデンサCの外付け回路を最短距離で接続してください。

なお、RC 発振用の抵抗R およびコンデンサCの定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

(4) 外部クロックを使用する場合

メインクロックに外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放してください。

なおCPUモードレジスタ(003B₁₆番地)の発振方式選択ビットは「0」(セラミック発振)を選択してください。

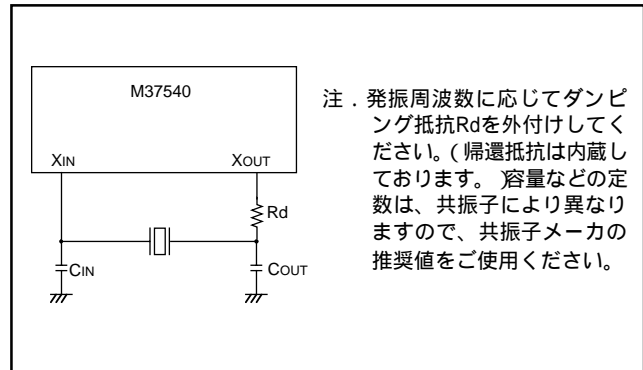


図46．セラミック共振子外付け回路

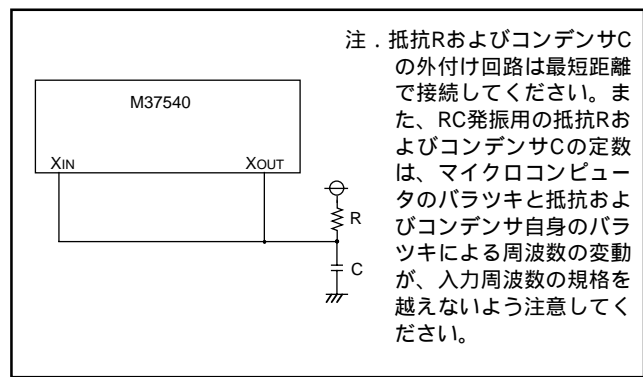


図47．RC外付け発振回路

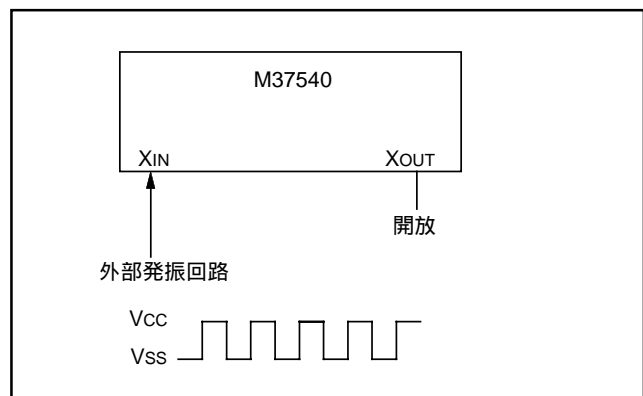


図48．外部クロック入力回路

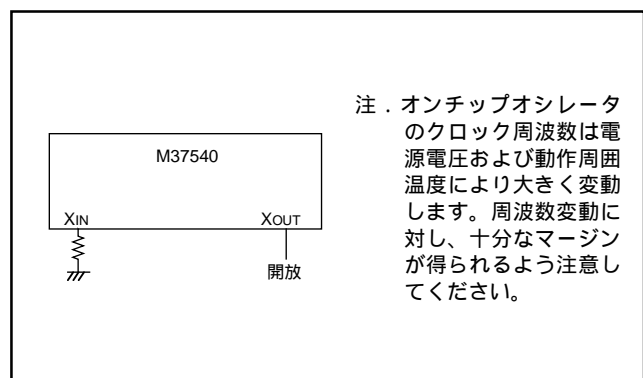


図49．オンチップオシレータ動作時のXIN、XOUT端子の処理

発振制御

(1)ストップモード

STP命令を実行すると内部クロックが \bar{H} の状態に停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが $\bar{0}$ のとき、タイマ1には 0116 、プリスケアラ1には $FF16$ が設定されます。一方、STP命令解除後発振安定時間設定ビットが $\bar{1}$ のときは、タイマ1、プリスケアラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ1の入力にはXINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで \bar{H} のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に \bar{L} レベルを印加してください。

また、CPUが、オンチップオシレータによって動作している間は、STP命令は使用できません。

(2)ウェイトモード

WIT命令を実行すると、内部クロックが \bar{H} の状態に停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを $\bar{1}$ にしておく必要があります。

注意事項

STP命令解除後発振安定時間設定ビットを $\bar{1}$ で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ1に値を設定してください。

・セラミック発振とRC発振の切り替え

リセット解除後は、オンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック発振又は、RC発振が有効になります。

・倍速モードについて

セラミック発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

・CPUモードレジスタの書き替えについて

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイクロコンピュータの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイクロコンピュータのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU“M37540RSS”は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用時も、これらのビットにはロックがかかります。

・クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えについて

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7, 6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図53の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

発振停止検出回路（注）

発振停止検出回路は、セラミック共振子又は発振回路が断線などにより停止した場合、内部リセットを発生します。内部リセット発生時、発振停止検出ステータスビットが“1”になることで、発振停止によるリセットを検出できます。

なお、発振停止検出回路を使用する場合は、オンチップオシレータを動作させる必要があります。

図53に状態遷移を示します。

注．エミュレータ専用MCU“M37540RSS”には、発振停止検出回路の機能は含まれておりません。

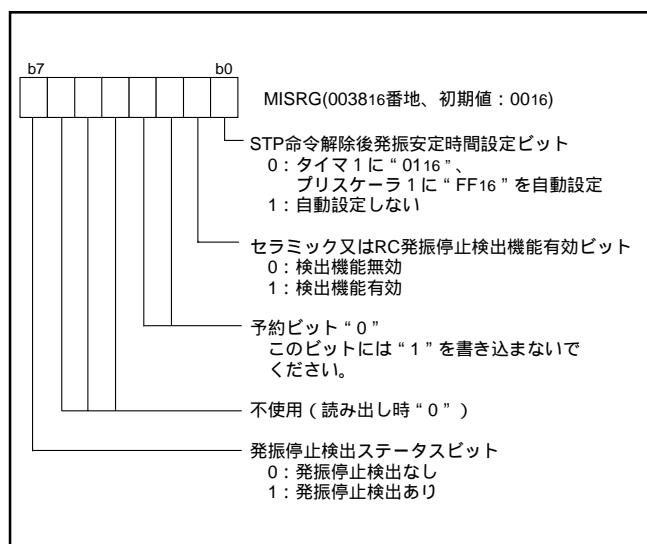


図 50 . MISRG の構成

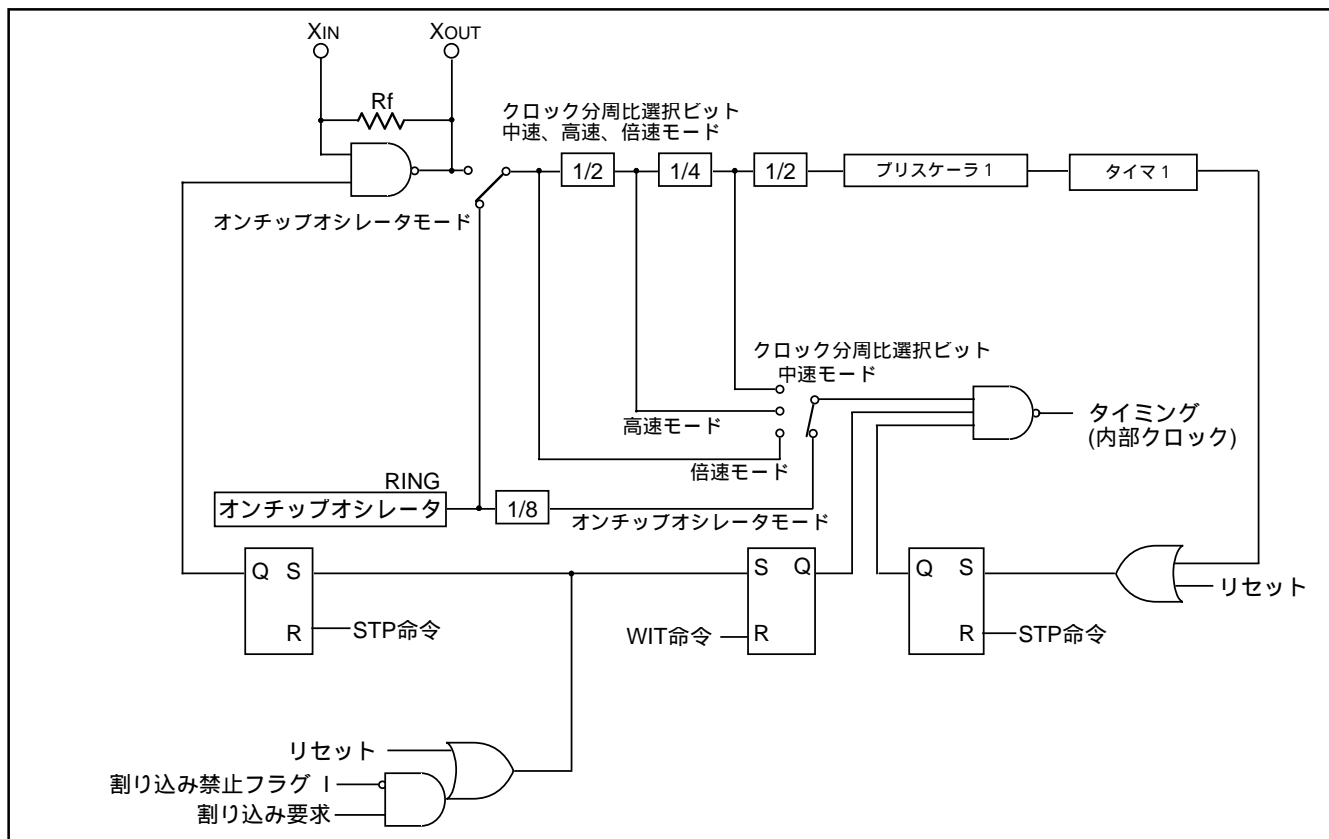


図 51 . システムクロック発生回路ブロック図 (セラミック発振時)

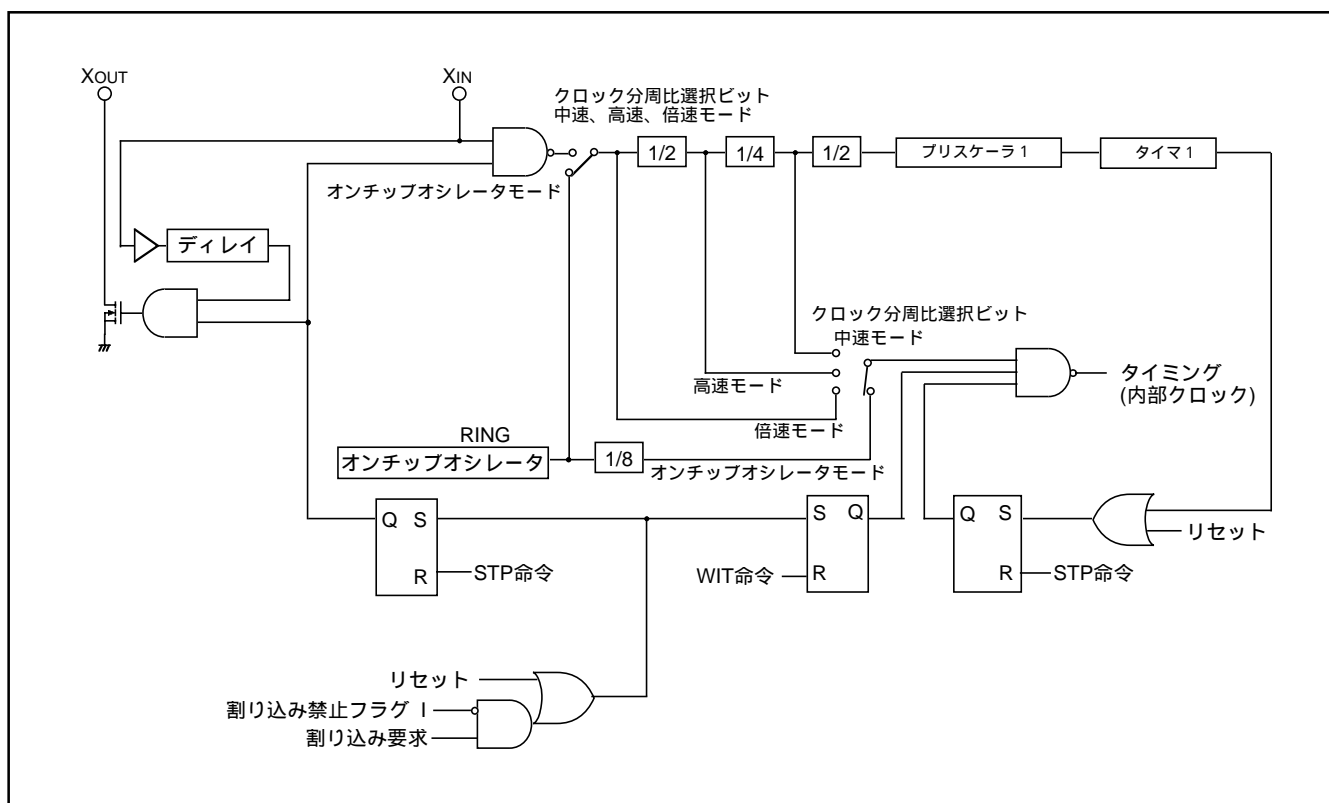


図 52 . システムクロック発生回路ブロック図 (RC 発振時)

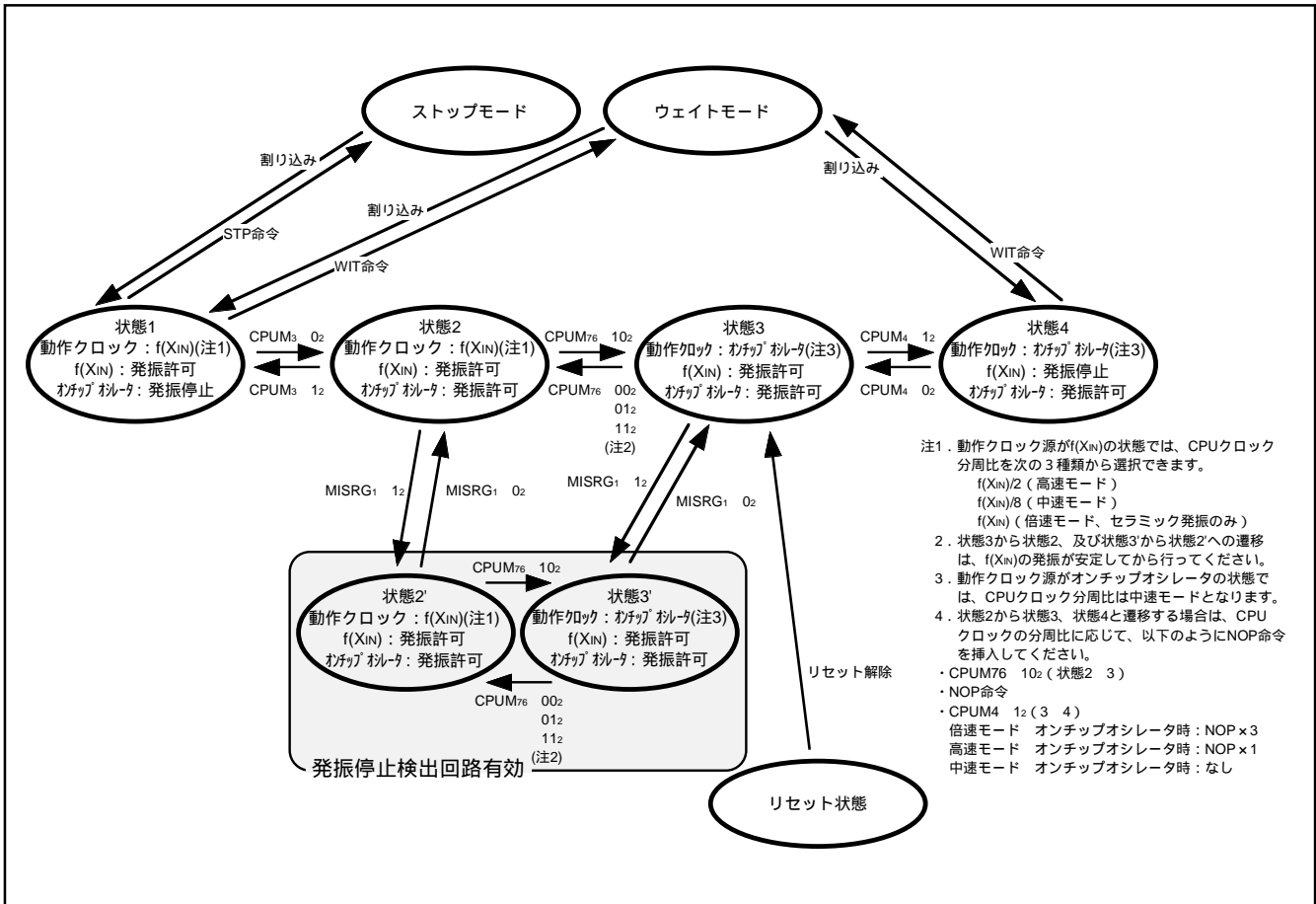


図53. クロック発生回路状態遷移図

プログラミング上の注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

(2) 割り込み

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(3) 10進演算

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

(4) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(5) A/D変換

A/D変換中はSTP命令を実行しないでください。

(6) 命令の実行時間

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時 X_{IN} と同一、高速モード時は X_{IN} 周期の2倍、中速モード時は X_{IN} 周期の8倍です。

(7) CPUモードレジスタ

発振方式選択ビット、プロセッサモードビットは、リセット解除後1度だけ書き替えることができます。書き替え後は、ロックされるため、このビットへの書き込みは、無効になります。(エミュレータ専用MCUは除きます)

クロック分周比選択ビットの倍速モードは、セラミック発振時のみ使用可能です。RC発振時は、使用しないでください。

動作クロック源に選択しているクロックをビット3、4により停止させないでください。

ハードウェアに関する注意事項

(1) 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu F \sim 0.1\mu F$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

(2) ワンタイムPROM版

CNV $_{SS}$ 端子は、プログラマブル電源端子(V_{PP} 端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNV $_{SS}$ 端子の配線は1~10kの抵抗を介して V_{SS} に接続くださるようお願いいたします。なお、マスクROM版のCNV $_{SS}$ 端子の配線が抵抗を介して接続されていても、動作上支障はありません。

周辺機能に関する注意事項

割り込み

次の場合、割り込み要求ビットが 1 になる場合があります。

- 外部割り込み (INT0、INT1、CNTR0、CNTR1) のアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ (3A₁₆番地)
 タイマXモードレジスタ (2B₁₆番地)
 タイマAモードレジスタ (1D₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを 0 (禁止) にする。
 割り込みエッジ選択ビット (極性切り替えビット) を設定する。
 一命令以上おいてから、該当する割り込み要求ビットを 0 にする。
 該当する割り込み許可ビットを 1 (許可) にする。

タイマ

- タイマラッチに値 n ($0 \sim 255$) を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- タイマX、Y及びZのカウンソースを切り替える場合は、必ずそれぞれのタイマのカウンを停止させた状態で行ってください。

タイマA

- CNTR1割り込み極性選択
 CNTR1極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが 0 のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが 1 のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが 1 にセットされます。

ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりCNTR1割り込み要求が発生します。

タイマX

- CNTR0割り込み極性選択
 CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが 0 のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが 1 のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが 1 にセットされます。

タイマY：プログラマブル波形発生モード

- カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。

- タイマYプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

- 波形拡張機能の使用について

タイマY波形拡張制御ビットによる波形拡張機能は、プリスケラYに 0016 を設定した時のみ使用可能です。プリスケラYに 0016 以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに 0 を設定してください。

- タイマY書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイマY書き込み制御ビットに 1 を設定し、“ラッチのみ書き込み”を選択してください。

タイマYは、いずれの動作モードでも、タイマYカウント停止ビットを 1 に設定することにより、カウンを停止することが可能です。また、タイマYがアンダフローすると、タイマY割り込み要求ビットが 1 にセットされます。

タイマYは、タイマYカウント停止ビットでカウンを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

タイマZ: プログラマブル波形発生モード

・カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定した時のみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZ: プログラマブルワンショット発生モード

・カウント設定値の変更

プログラマブルワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定した時のみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZ: プログラマブルウェイトワンショット発生モード

・カウント設定値の変更

プログラマブルウェイトワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定した時のみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブルウェイトワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZは、いずれの動作モードでも、タイマZカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマZがアンダフローすると、タイマZ割り込み要求ビットが“1”にセットされます。

タイマZは、タイマZカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。

(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

A/D変換

1. 比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は(XIN)を500kHz以上にしてください。

2. A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) VREF電圧をVccよりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、VREF電圧とVcc電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) VREF電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VREF=3.0V異常での使用を推奨します。

シリアルI/O

・シリアルI/O1割り込み

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。

シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O1許可時の入出力端子機能

シリアルI/O1モード選択ビットおよびシリアルI/O1同期クロック選択ビットの設定値によりP12、P13の機能が下記のように変化します。

(1)シリアルI/O1モード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0” : P12端子は同期クロックの出力端子になります。

“1” : P12端子は同期クロックの入力端子になります。

・SRDY1出力許可ビット(SRDY)の設定

“0” : P13端子は通常の入出力端子として使用できます。

“1” : P13端子はSRDY出力端子になります。

(2)シリアルI/O1モード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0” : P12端子は通常の入出力端子として使用できます。

“1” : P12端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

クロック発生回路

STP命令解除後発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケラ1に値を設定してください。

・セラミック発振とRC発振の切り替え

リセット解除後は、オンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック発振又は、RC発振が有効になります。

・倍速モードについて

セラミック発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

・CPUモードレジスタの書き替えについて

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイクロコンピュータの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイクロコンピュータのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU “M37540RSS” は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB, CLB等の命令)使用時も、これらのビットにはロックがかかります。

・クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えについて

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7, 6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図53の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

・オンチップオシレータ動作

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

ワンタイムPROM版/マスクROM版に関する注意事項

ワンタイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ放射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1)マスク化確認書 *
- (2)マーク指定書 *
- (3)ROM のデータ EPROM 3 セット
又はフロッピーディスク 1 枚

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- (1)ROM書き込み確認書 *
- (2)マーク指定書 *
- (3)ROM のデータ EPROM 3 セット
又はフロッピーディスク 1 枚

* マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ
ROM発注(<http://www.renesas.com/jp/rom>)
を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表7. 専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
32P4B	PCA7435SPG02
32P6U-A	PCA7435GPG03
36P2R-A	PCA7435FPG02

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図54に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

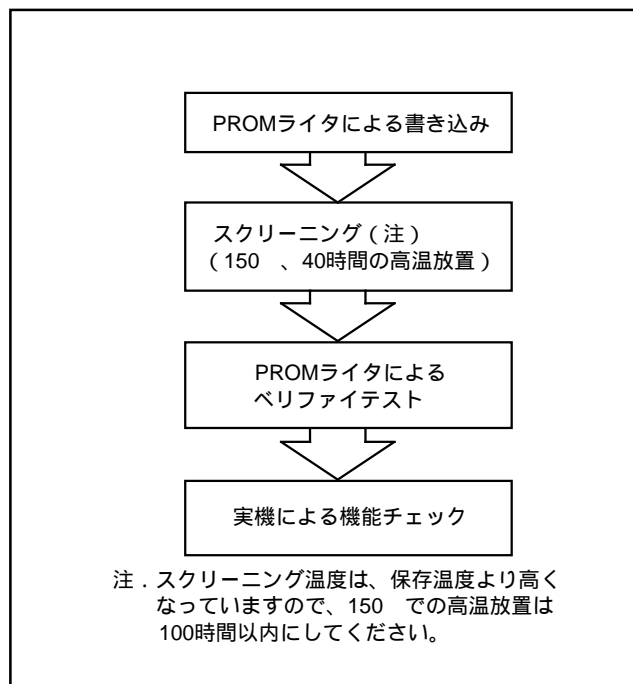


図54. ワンタイム PROM 版書き込みとテスト

補足説明

割り込み

7540グループでは、15個の要因(32ピン版では14要因)で割り込みをかけることができます。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって多様な優先処理をソフトウェアで行うことが可能です。割り込み要因とベクトル番地、割り込み優先順位は表8を参照してください。

表8．割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
シリアルI/O1受信	2	FFFB16	FFFA16	シリアルI/O1データ受信時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	3	FFF916	FFF816	シリアルI/O1送信シフト完了時又は送信バッファ空き時	シリアルI/O1選択時のみ有効
INT ₀	4	FFF716	FFF616	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₁ (注3)	5	FFF516	FFF416	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キーオンウェイクアップ	6	FFF316	FFF216	ポートP0(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み(立ち下がりエッジ有効)
CNTR ₀	7	FFF116	FFF016	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR ₁	8	FFEF16	FFEE16	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマX	9	FFED16	FFEC16	タイマXアンダフロー時	
タイマY	10	FFEB16	FFEA16	タイマYアンダフロー時	
タイマZ	11	FFE916	FFE816	タイマZアンダフロー時	
タイマA	12	FFE716	FFE616	タイマAアンダフロー時	
シリアルI/O2割り込み	13	FFE516	FFE416	送信又は受信シフト終了時	
A/D変換	14	FFE316	FFE216	A/D変換終了時	
タイマ1	15	FFE116	FFE016	タイマ1アンダフロー	STP解除タイマアンダフロー
予約領域	16	FFDF16	FFDE16	使用できません。	
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウェア割り込み

- 注1．ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2．リセットは最上位の優先順位を持つ割り込みとして処理されます。
 3．36ピン版でのみ使用可能な割り込みです。

割り込み発生後のタイミング

割り込み処理ルーチンは、現在実行中の命令が終了した後に続くマシンサイクルから始まります。

割り込み発生後のタイミングチャートを図55、割り込み処理ルーチンを実行するまでの時間を図56に示します。

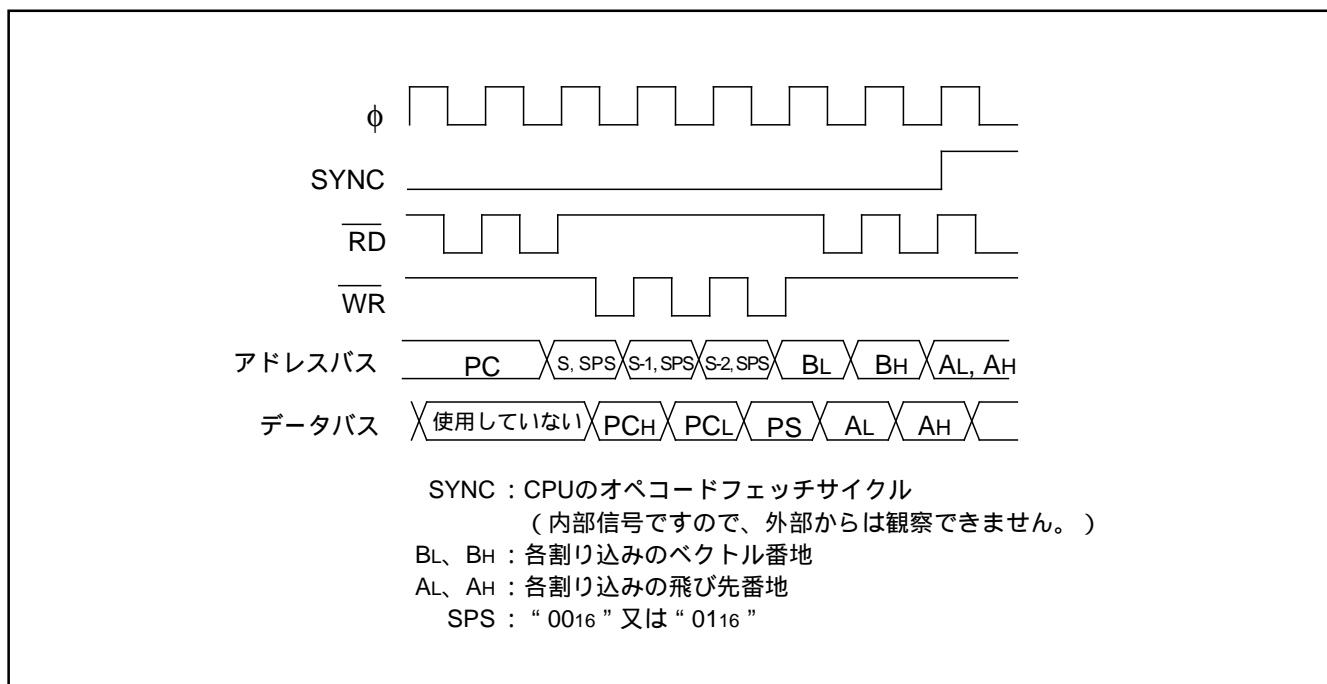


図55 割り込み発生後のタイミングチャート

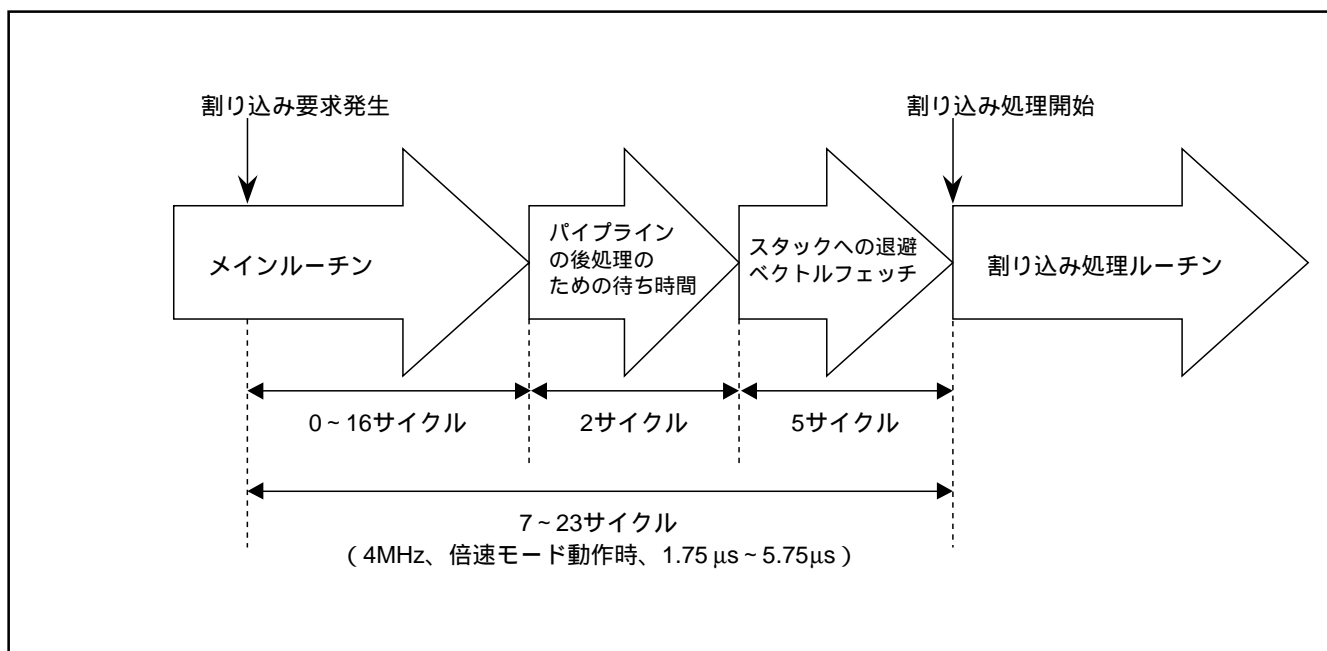


図56 割り込み処理ルーチンを実行するまでの時間

A/D変換器

A/D変換器は、AD変換終了ビットを“0”にすることによって開始されます。

A/D変換中の内部動作を以下に示します。

1. A/D変換が開始されると、A/D変換レジスタは“0016”になります。
2. A/D変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
3. 比較の結果がVref < VINならば、A/D変換レジスタの最上位ビットを“1”の状態に保持します。Vref > VINならば最上位ビットを“0”にします。

A/D変換器は、以上の動作をA/D変換レジスタの最下位ビットまで行うことによって、アナログ値をデジタル値に変換します。A/D変換は、開始後f(XIN)の122サイクル(f(XIN) = 8 MHzのとき、15.25 μs)で終了し、変換結果がA/D変換レジスタに格納されます。A/D変換終了と同時にA/D変換割り込み要求が発生し、A/D変換割り込み要求ビットが“1”になります。

表9 .VrefとA/D変換器の基準電圧VREFの関係式

n = 0の時	Vref = 0
n = 1 ~ 1023の時	$V_{ref} = \frac{V_{REF}}{1024} \times n$

n: A/D変換レジスタの値(10進表記)

表10 A/D変換中のA/D変換レジスタの変化

	A/D変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2}$
2回目比較	*1 1 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4}$
3回目比較	*1 *2 1 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8}$
⋮	⋮	⋮
10回目の比較終了後	A/D変換結果 *1 *2 *3 *4 *5 *6 *7 *8 *9 *10	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \dots \pm \frac{V_{REF}}{1024}$

*1 ~ *10: 1 ~ 10回目の比較結果

A/D変換器の等価回路を図57、A/D変換タイミングチャートを図58に示します。

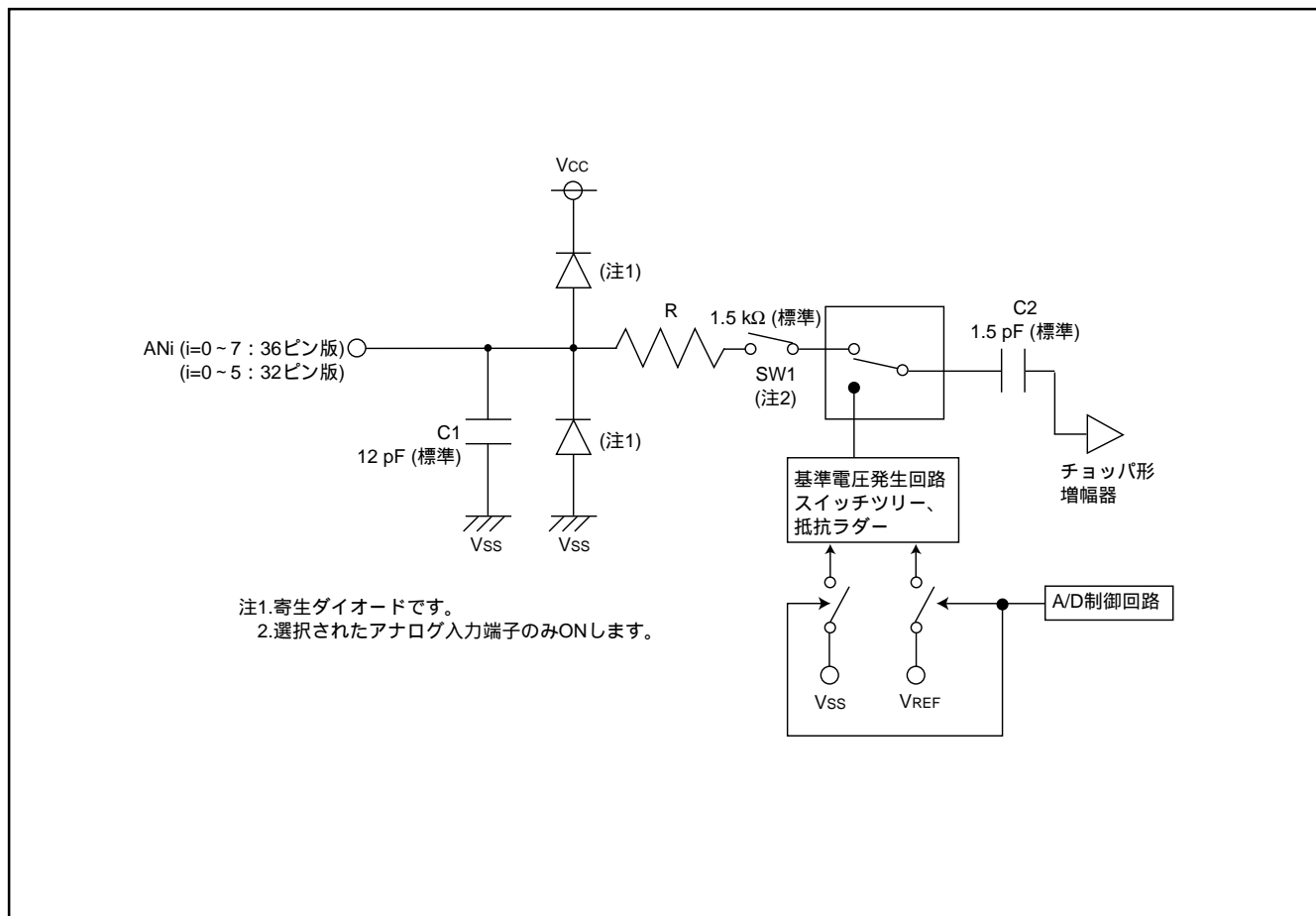


図57 A/D変換器等価回路

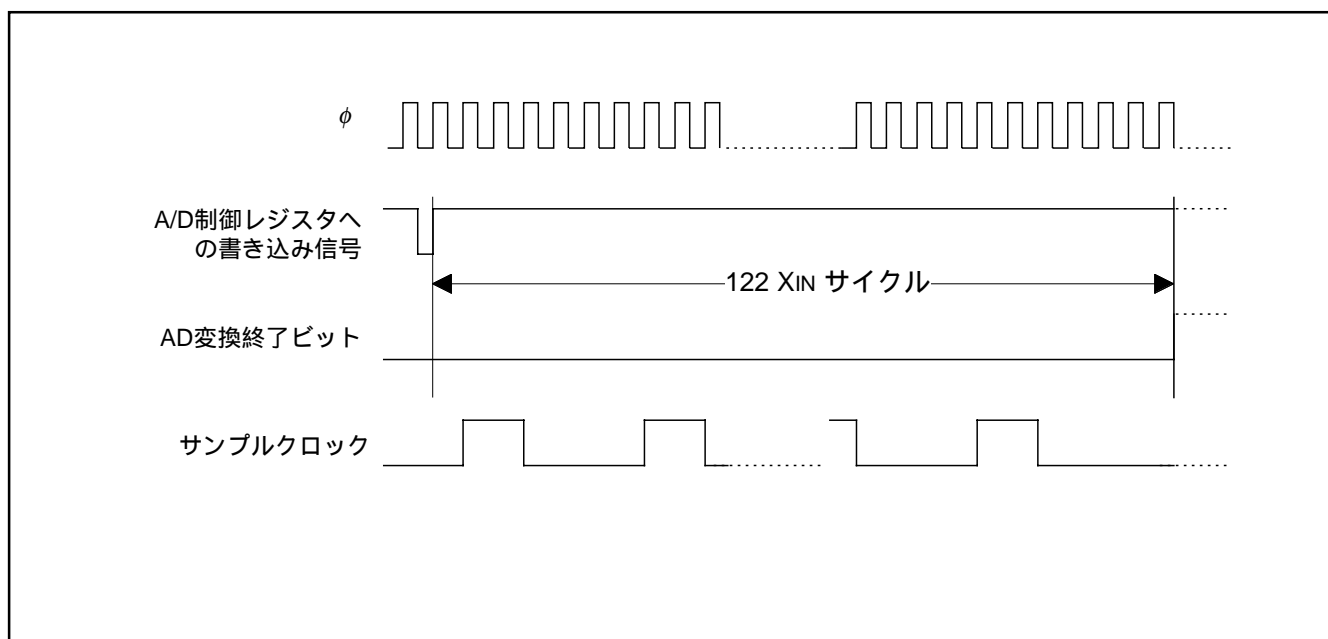


図58 A/D変換タイミングチャート

第2章

応用

- 2.1 入出力ポート
- 2.2 タイマA
- 2.3 タイマ1
- 2.4 タイマX
- 2.5 タイマY、タイマZ
- 2.6 シリアルI/O1
- 2.7 シリアルI/O2
- 2.8 A/Dコンバータ
- 2.9 発振制御

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

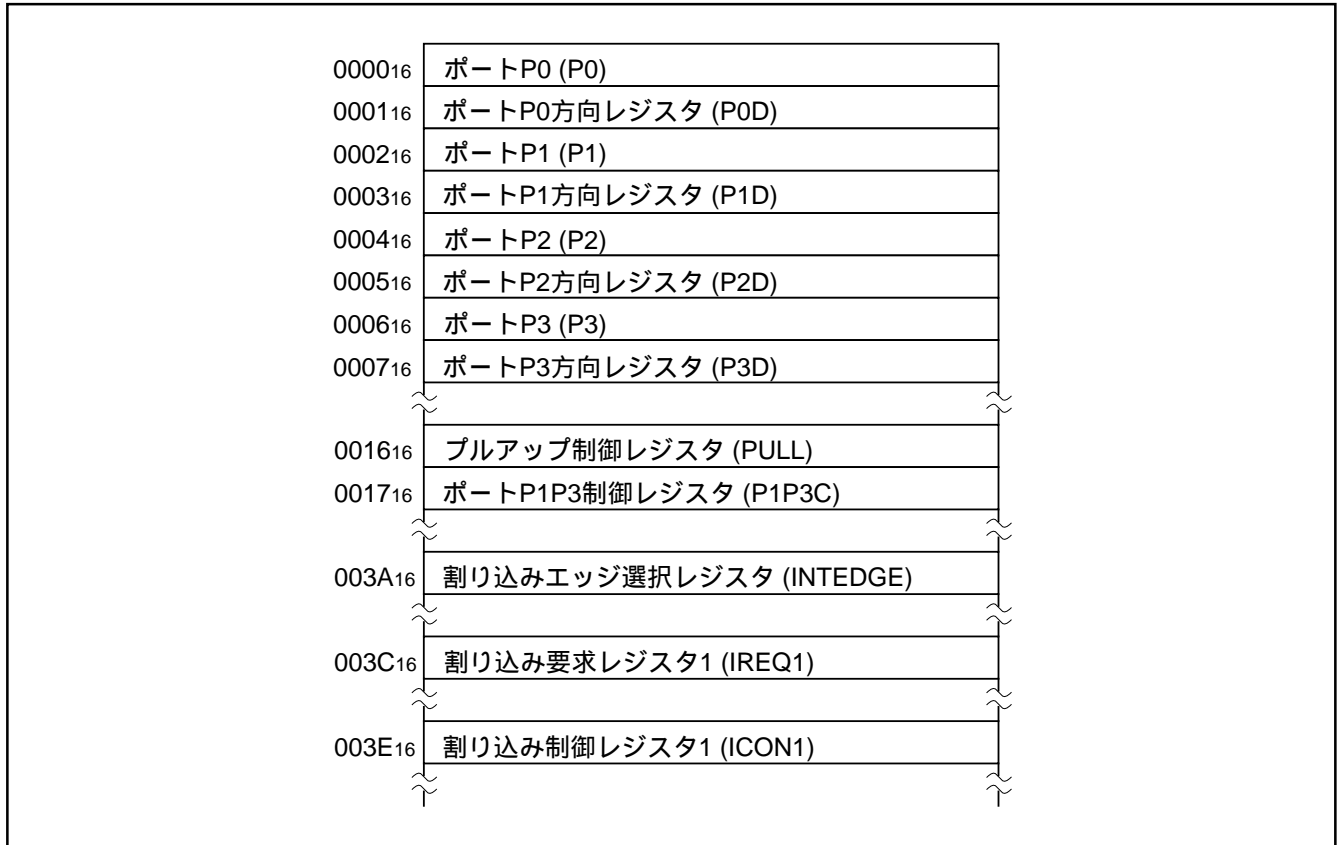


図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

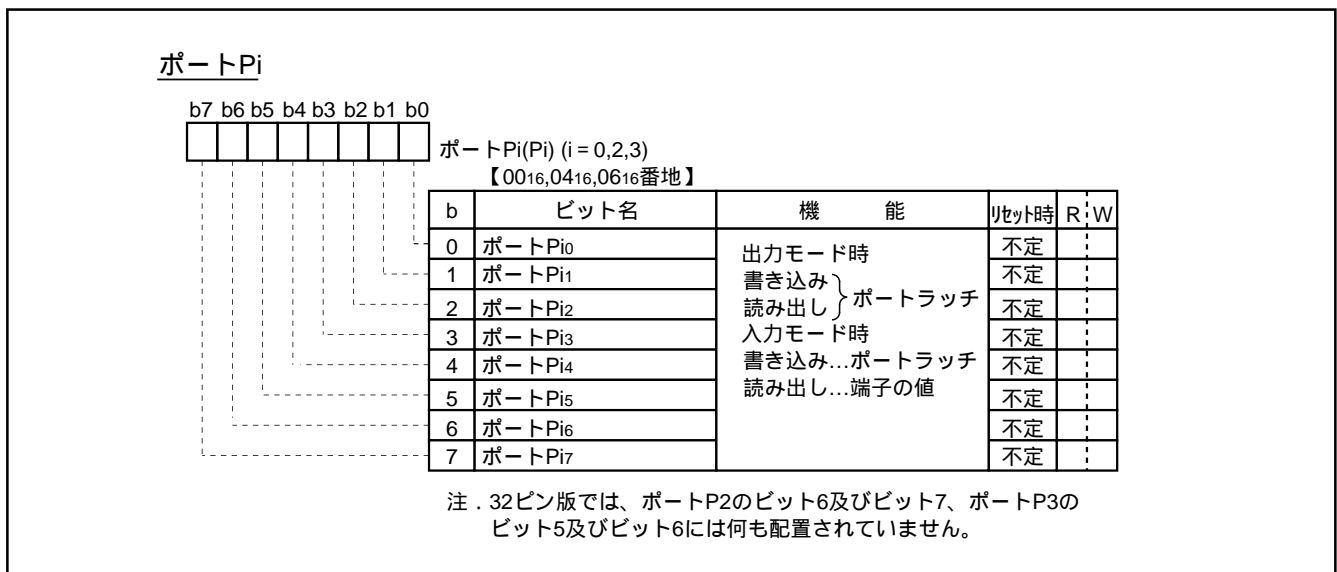


図2.1.2 ポートPiの構成(i = 0、2、3)

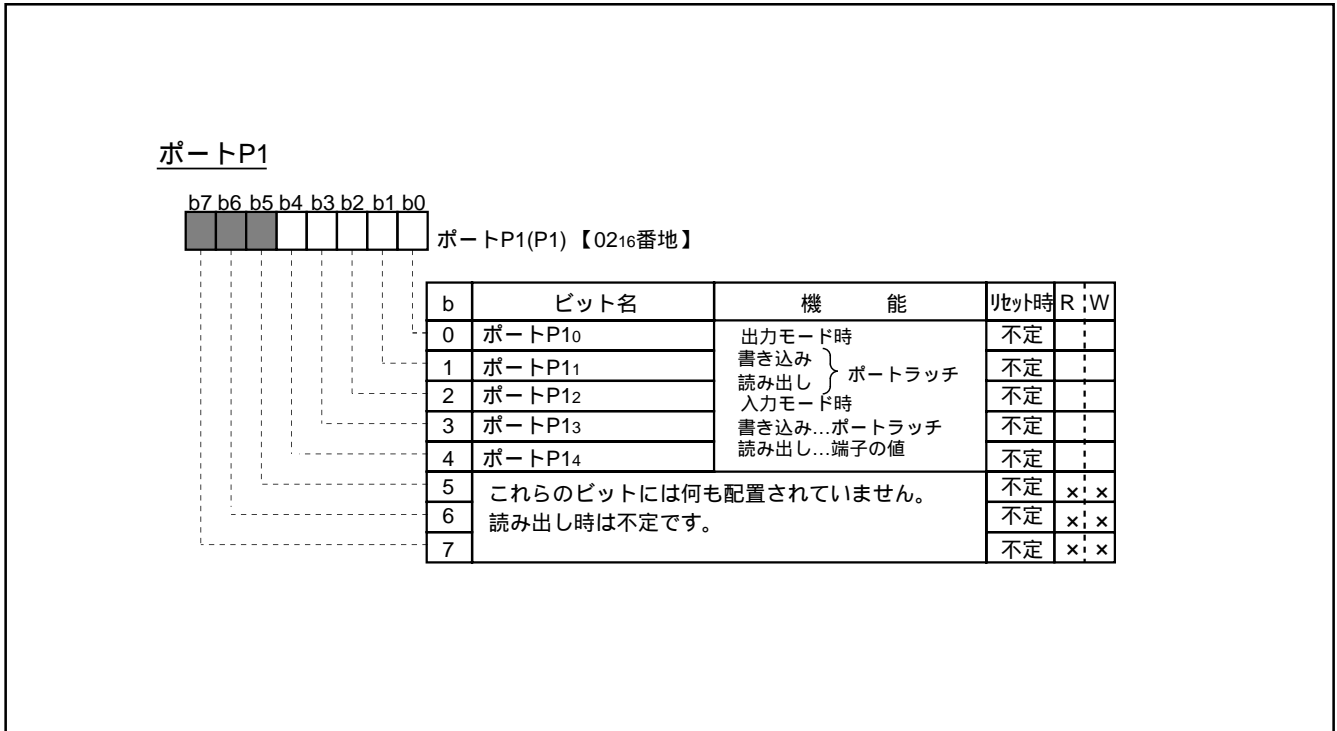


図2.1.3 ポートP1の構成

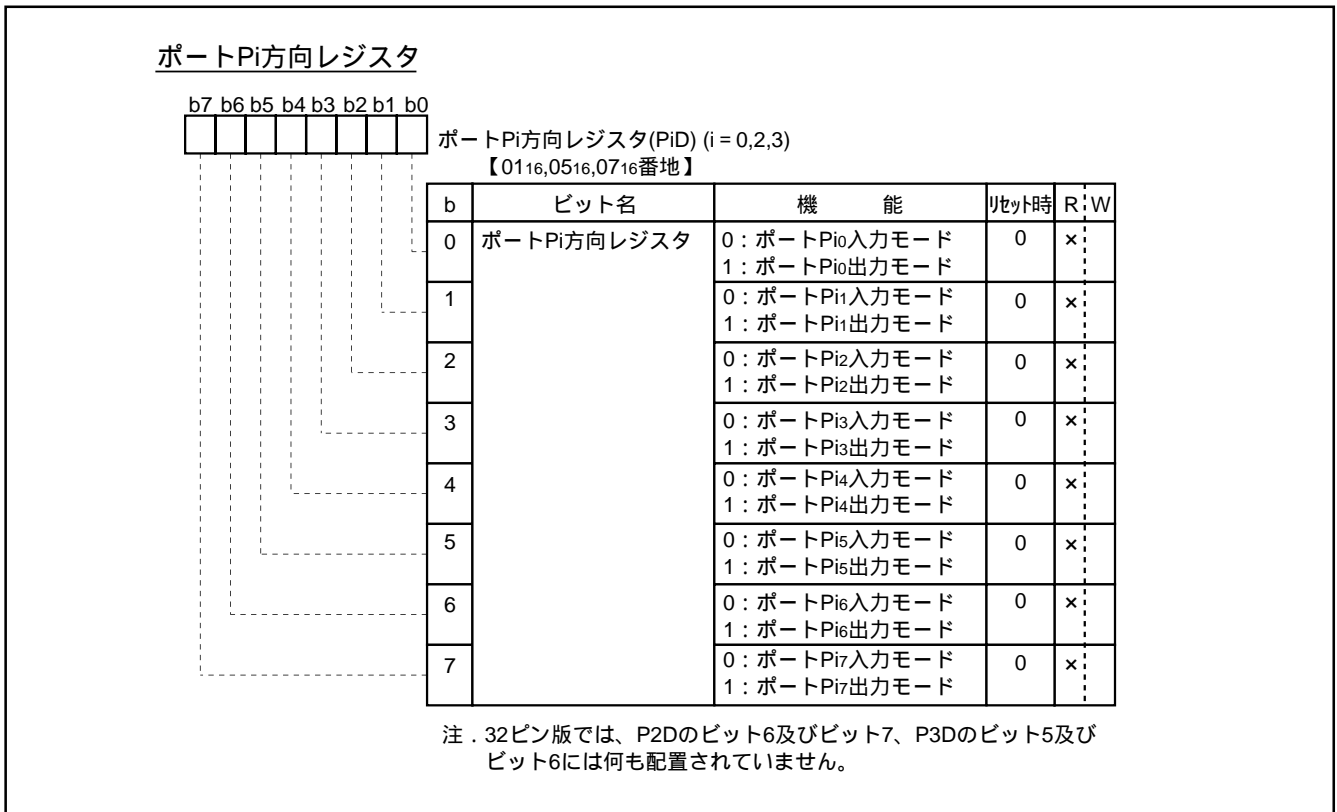


図2.1.4 ポートPi方向レジスタの構成(i = 0、2、3)

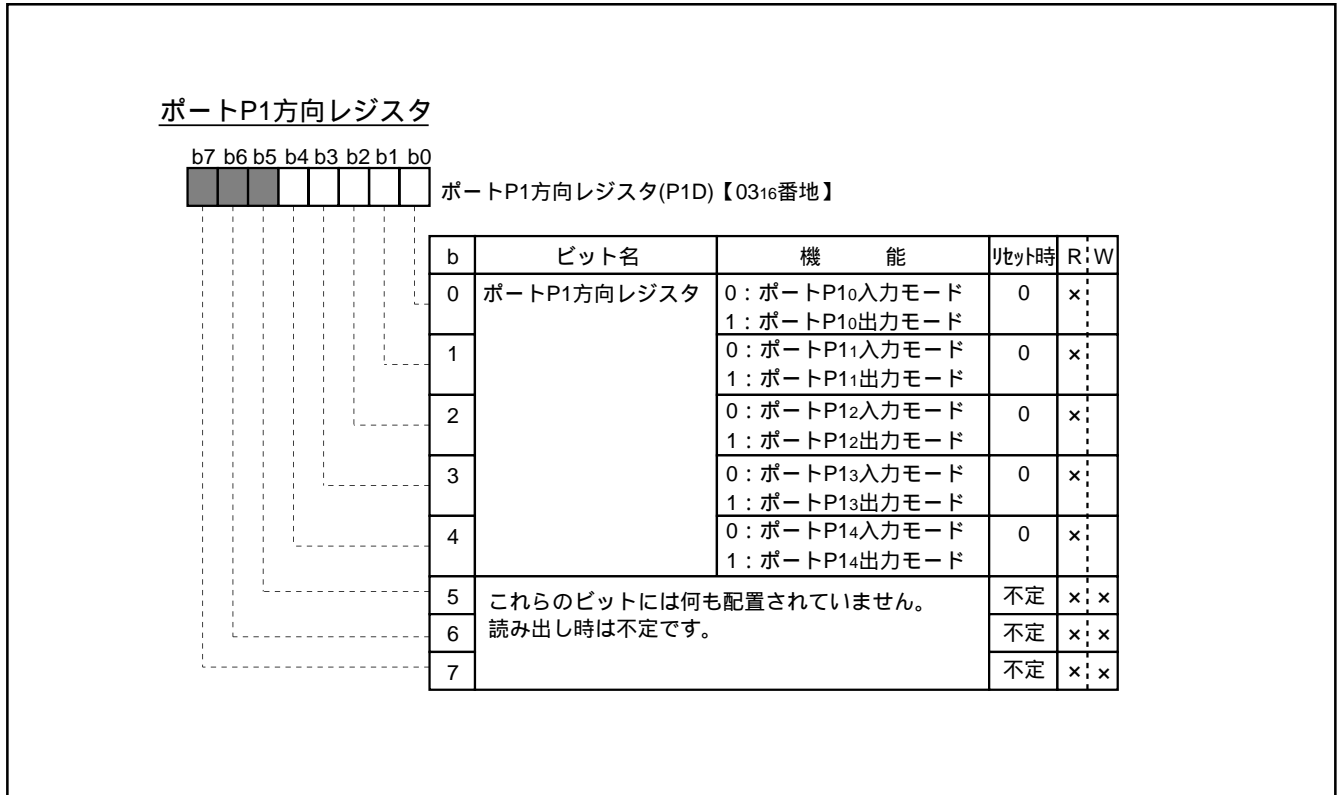


図2.1.5 ポートP1方向レジスタの構成

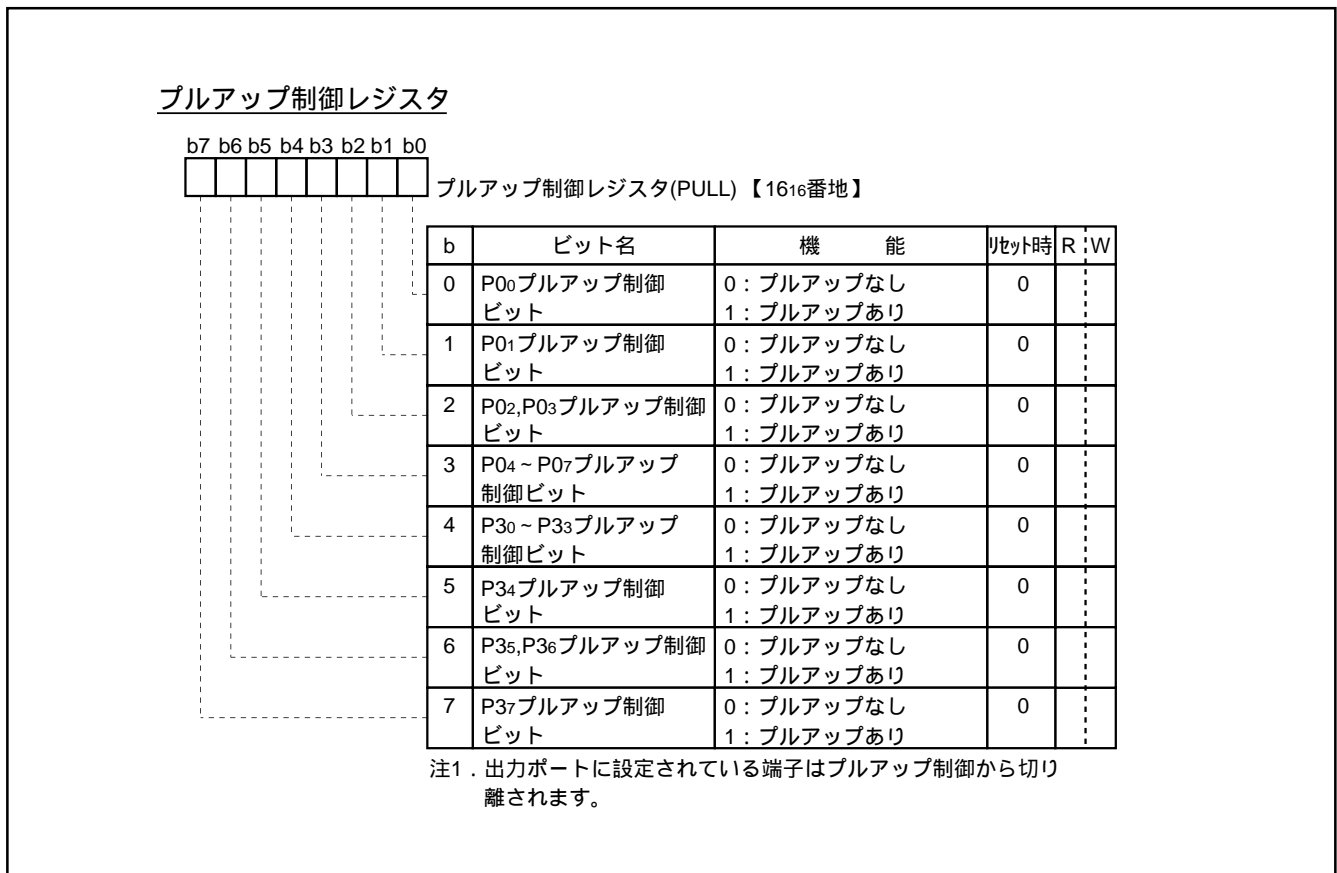


図2.1.6 プルアップ制御レジスタの構成

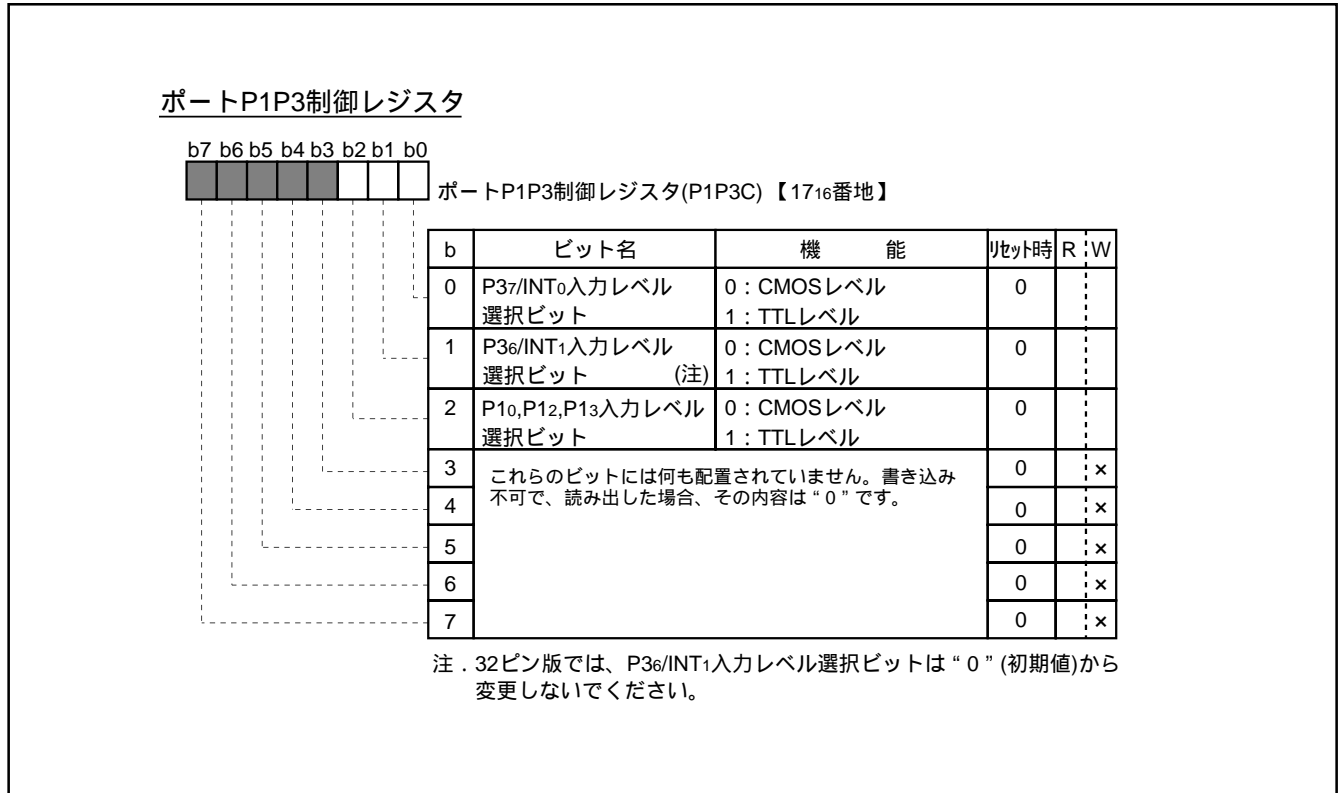


図2.1.7 ポートP1P3制御レジスタの構成

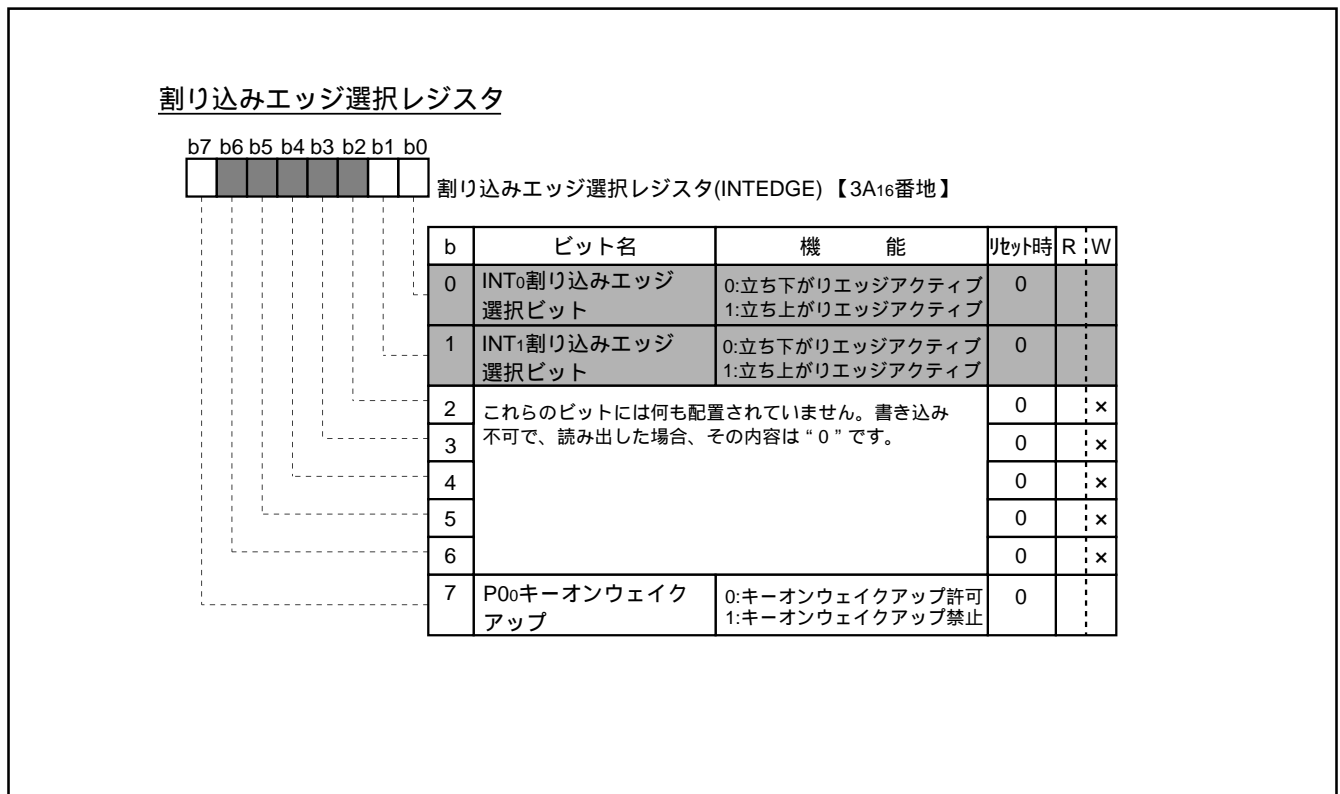


図2.1.8 割り込みエッジ選択レジスタの構成

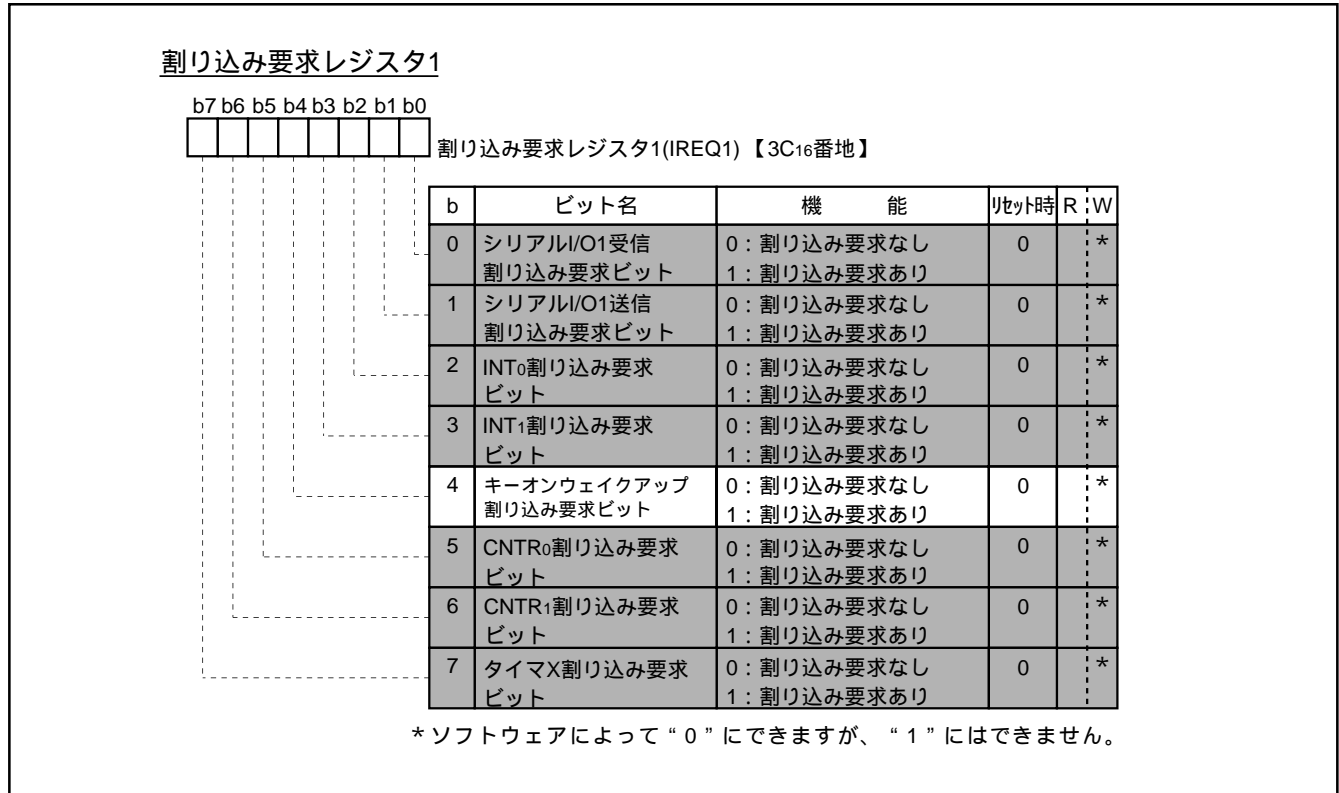


図2.1.9 割り込み要求レジスタ1の構成

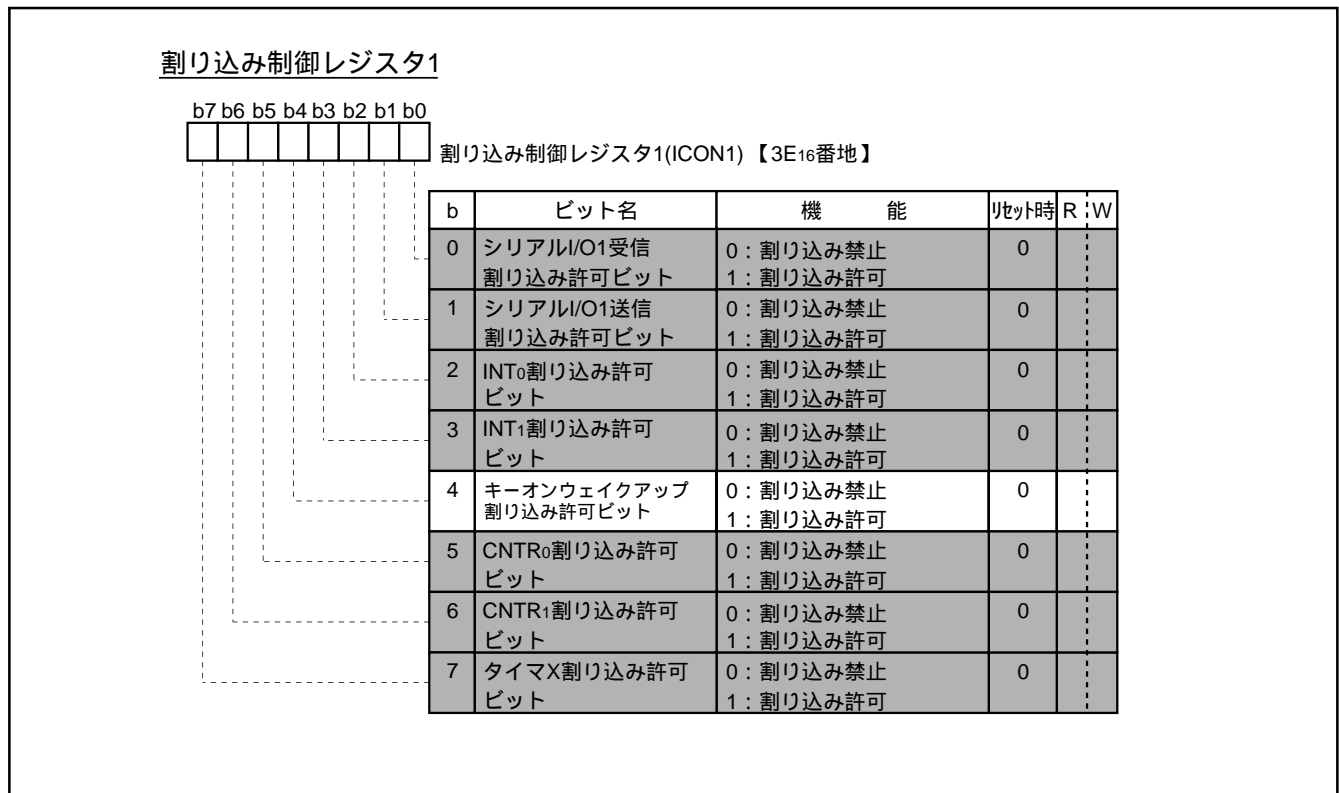


図2.1.10 割り込み制御レジスタ1の構成

2.1.3 キーオンウェイクアップの応用例 (1)

ポイント

内蔵プルアップ抵抗を使用します。

仕様

ポートP0iに立ち下がりエッジを入力すると、キーオンウェイクアップ割り込みが発生し、ウェイトモードから復帰する。

注．キーオンウェイクアップ割り込みは、立ち下がりエッジのみ有効です。

図2.1.11に応用回路例を、図2.1.12に制御手順例を示します。

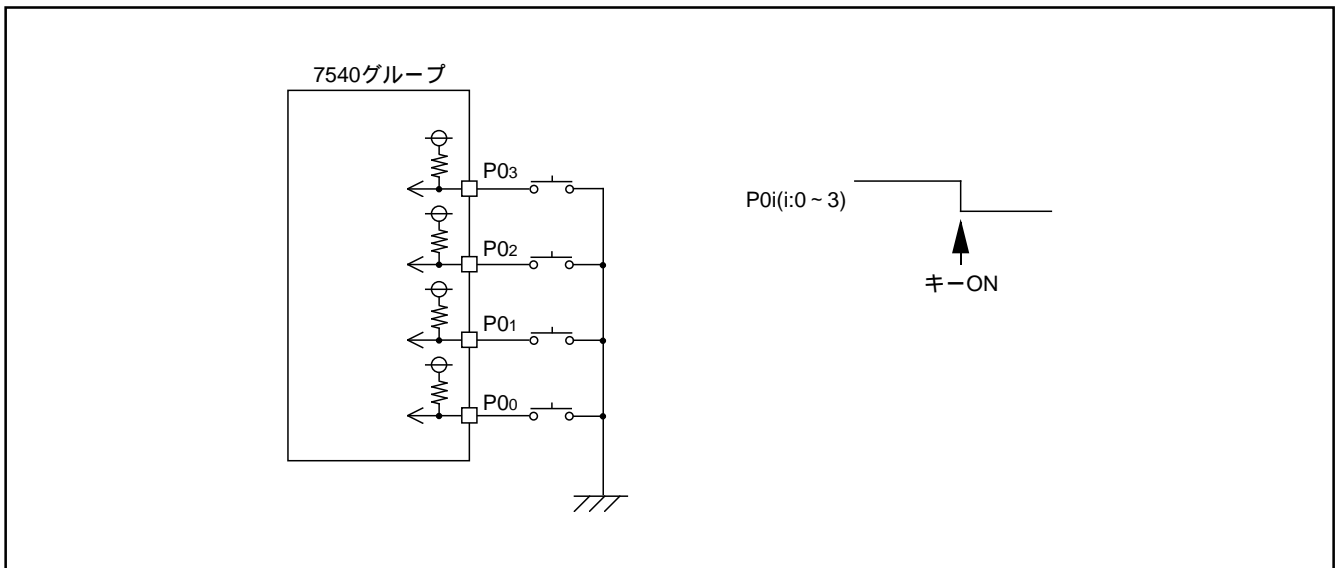


図2.1.11 応用回路例

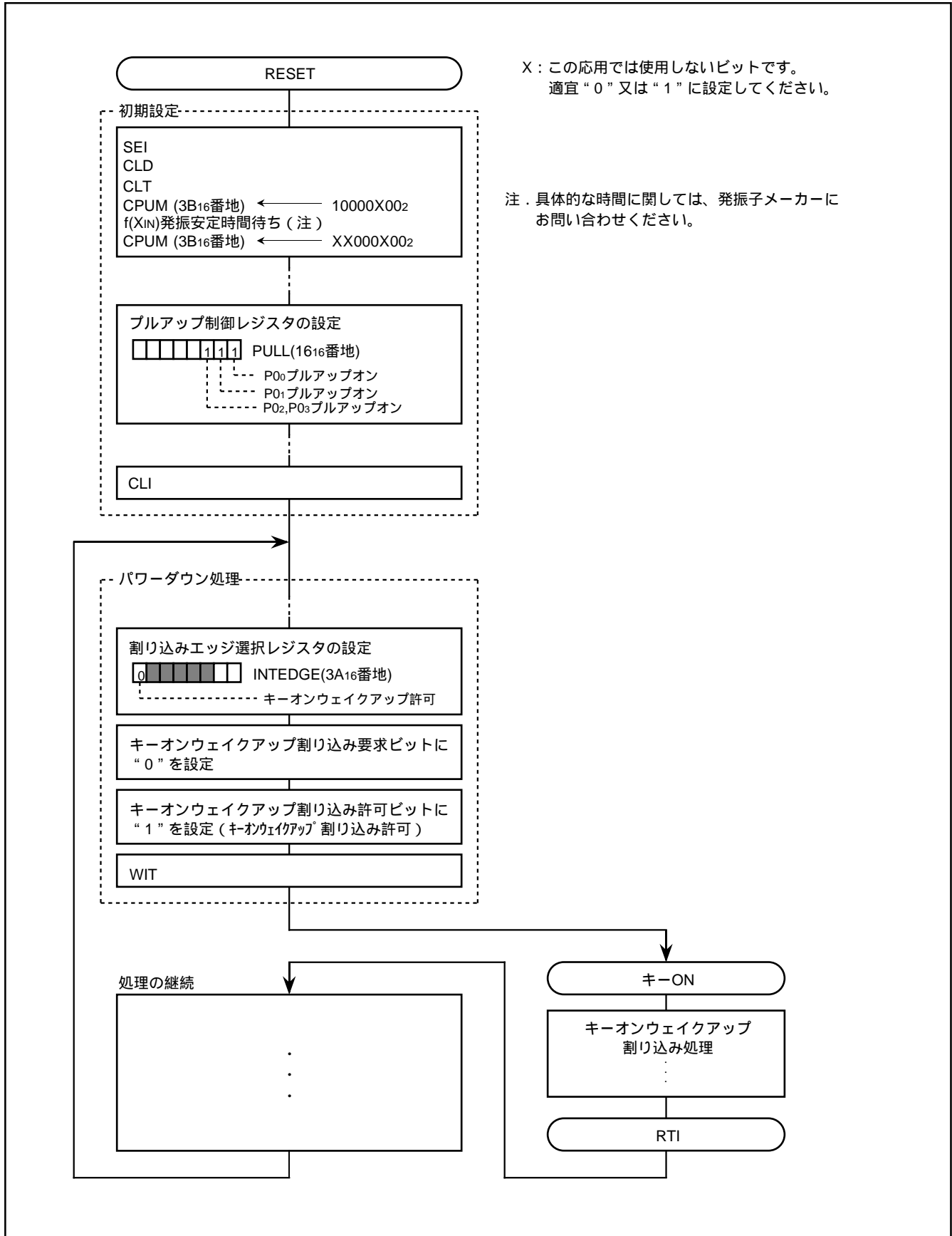


図2.1.12 制御手順例

2.1.4 キーオンウェイクアップの応用例 (2)

ポイント

キーオンウェイクアップ割り込みを通常の外部割り込みとして使用します。

仕様

ポートP0iに立ち下がりエッジを入力するとキーオンウェイクアップ割り込みが発生する。必要に応じて内蔵プルアップ抵抗を使用し構成する。

注．キーオンウェイクアップ割り込みは立ち下がりエッジのみ有効です。

図2.1.13に制御手順例を示します。

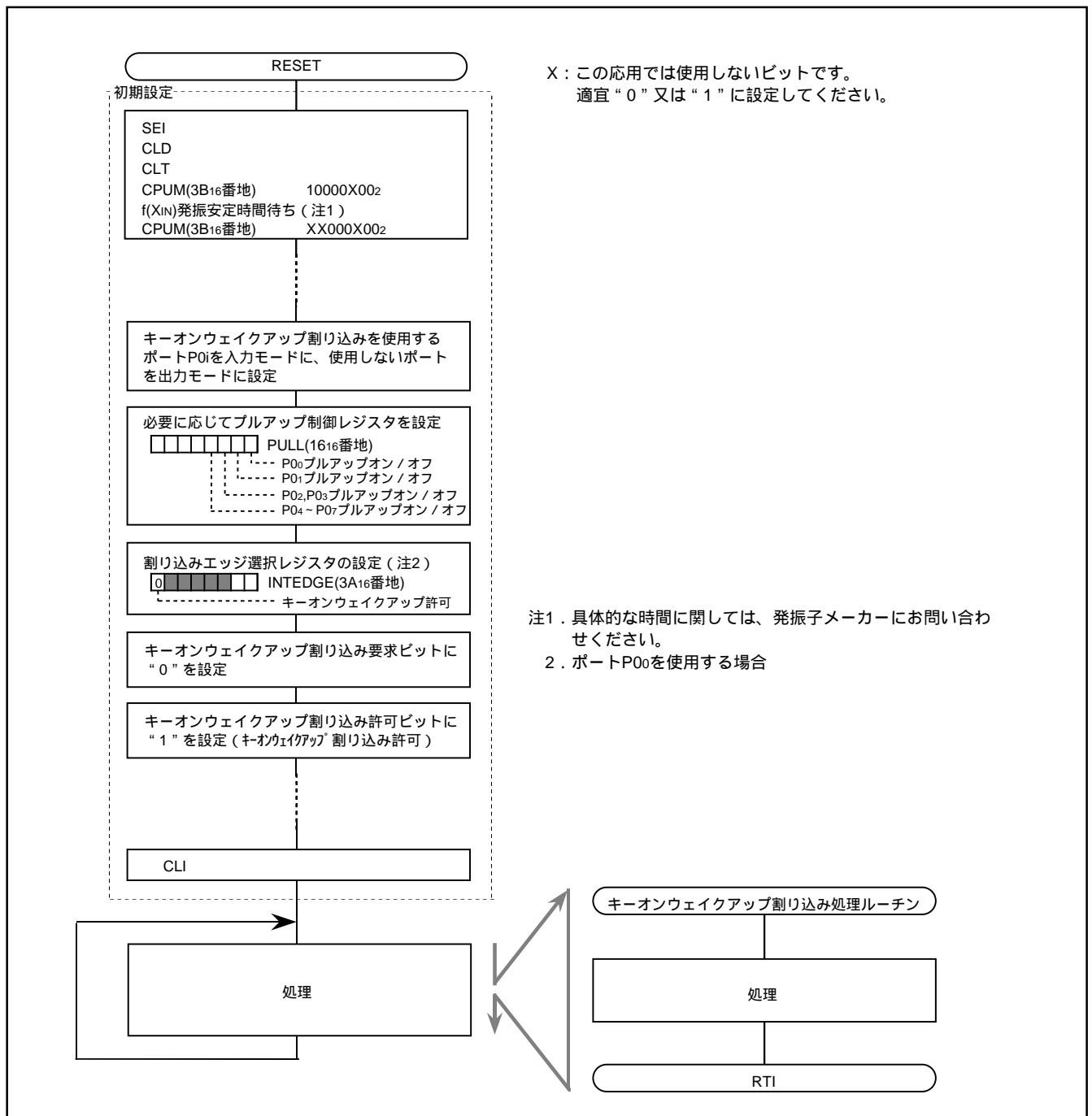


図2.1.13 制御手順例

2.1.5 未使用端子の処理

表2.1.1 未使用端子の処理

端子/ポート名	処理方法
P0、P1、P2、P3	<ul style="list-style-type: none"> ・入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続 ・出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
XIN端子	メインクロックをオンチップオシレータで供給する場合、Vss(GND)に接続
XOUT端子	<ul style="list-style-type: none"> ・外部クロックとして使用する場合、開放 ・メインクロックをオンチップオシレータで供給する場合、開放

2.1.6 入出力ポートに関する注意事項

入出力ポートを使用する場合は、以下の注意が必要です。

(1) スタンバイ状態での使用に関して

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(V_{cc} に接続)又はプルダウン(V_{ss} に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

方向レジスタで入力ポートに設定している場合、出力トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替えに関して

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

(3) 32ピン版の使用に関して

プルアップ制御レジスタのP35,P36プルアップ制御ビットは“1”に固定してください。

ポートP1P3制御レジスタのP36/INT1入力レベル選択ビットは“0”(初期値)から変更しないでください。

2.1.7 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理に関して

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2) 未使用端子の不適切な処理に関して

入出力ポート

入力モードで開放しないでください。

理由

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

未使用端子処理はマイコンの端子からできるだけ 短い配線(20mm以内)で処理してください。

2.2 タイマA

本節ではタイマAに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

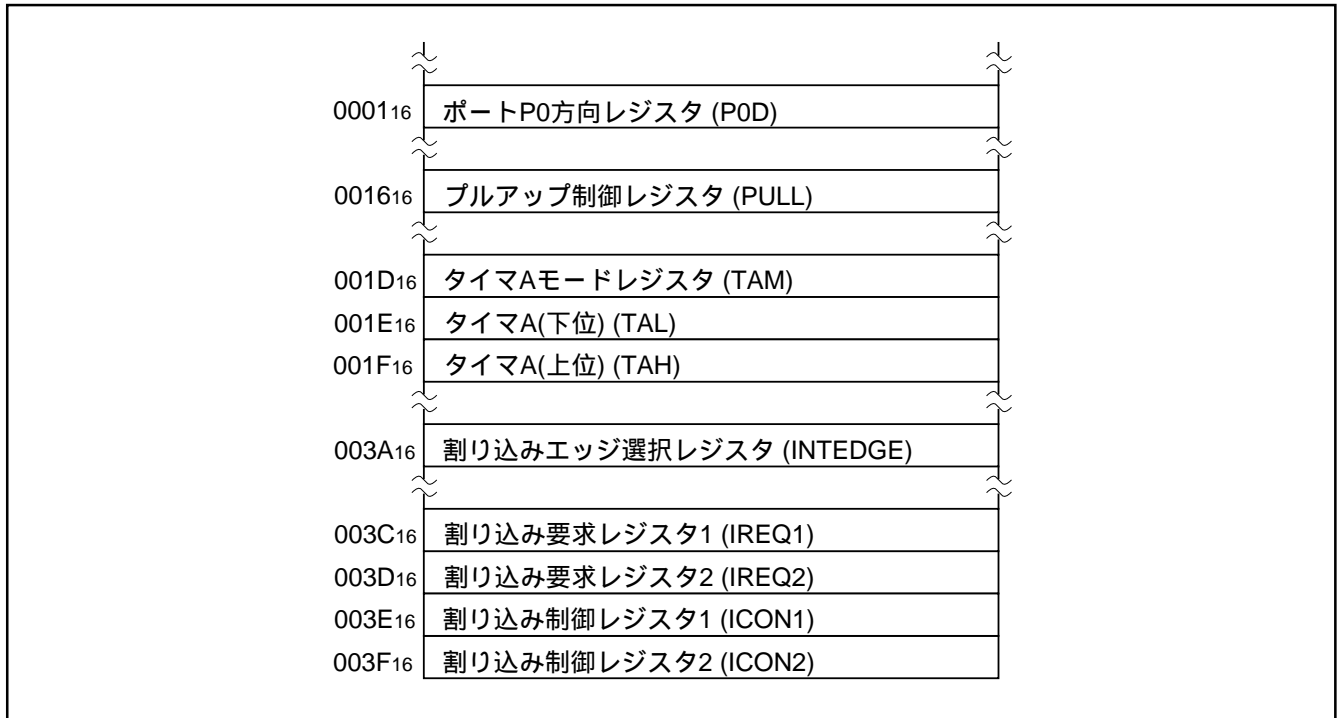


図2.2.1 タイマA関連レジスタのメモリ配置

2.2.2 関連レジスタ

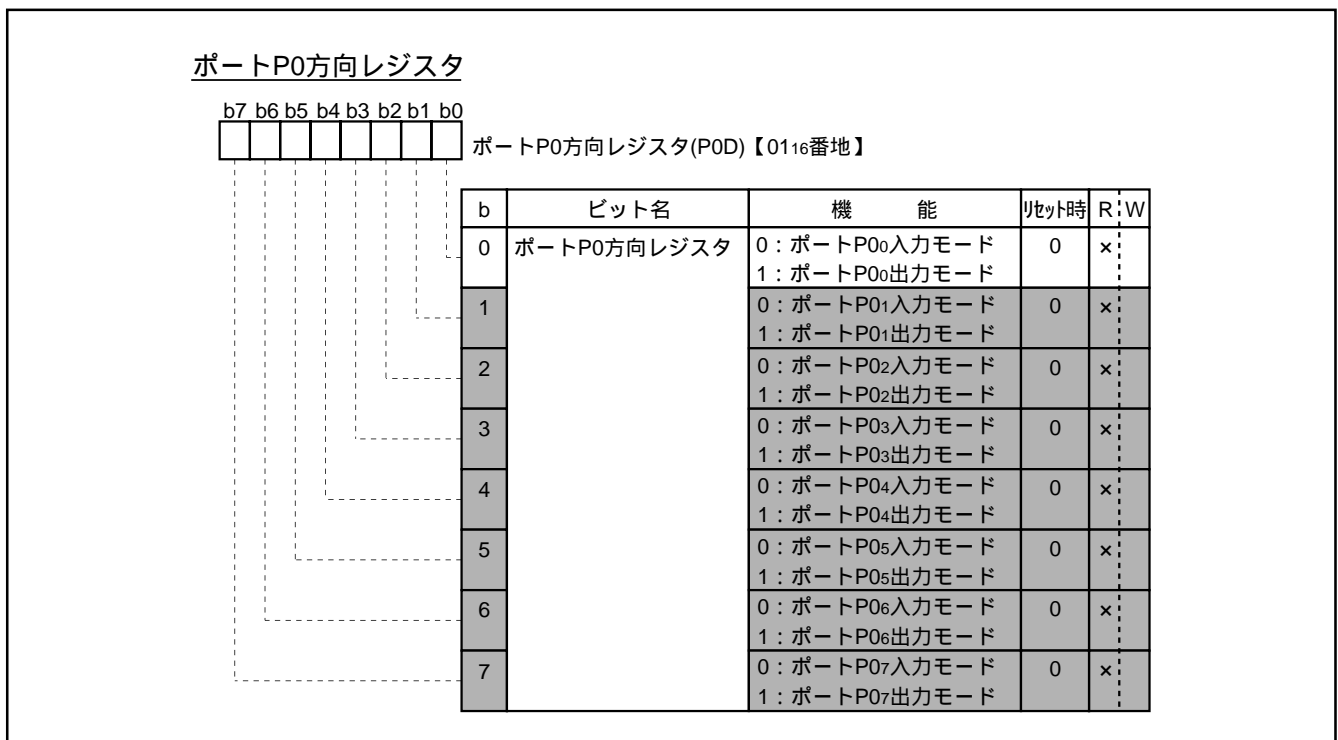


図2.2.2 ポートP0方向レジスタの構成

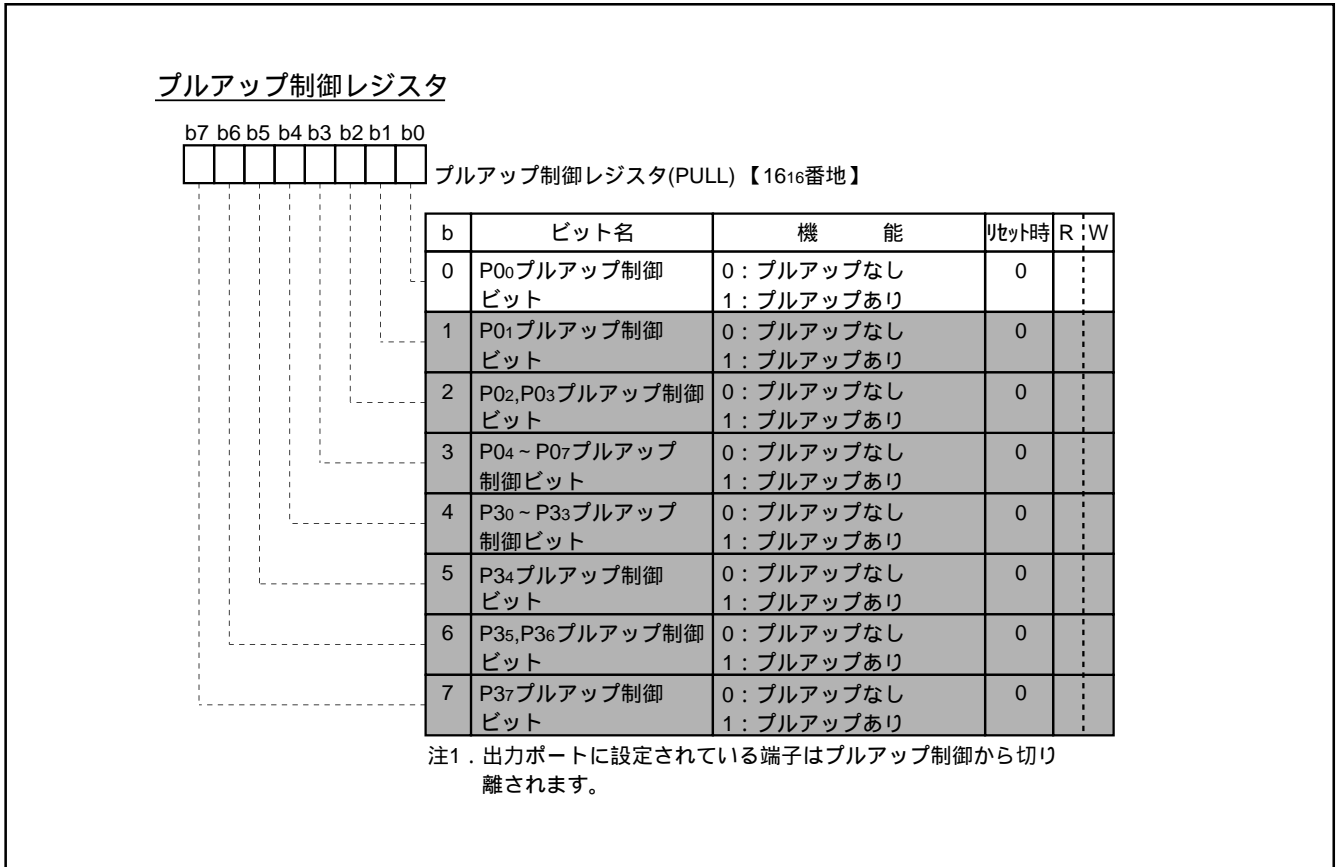


図2.2.3 プルアップ制御レジスタの構成

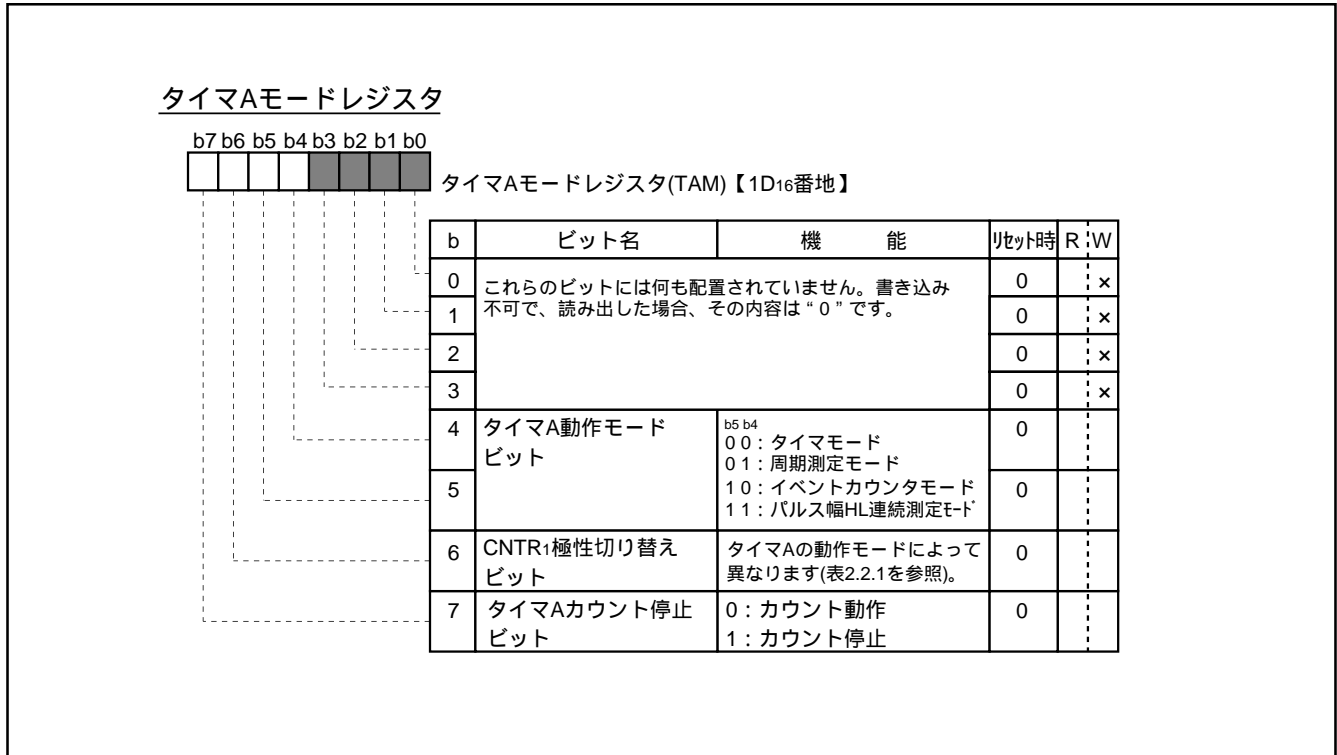
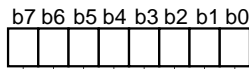


図2.2.4 タイマAモードレジスタの構成

表2.2.1 CNTR1極性切り替えビットの機能

タイマAの動作モード	CNTR1極性切り替えビット	
タイマモード	“0”	・ CNTR1割り込み要求の発生: 立ち下がりエッジ(タイマAのカウントに影響なし)
	“1”	・ CNTR1割り込み要求の発生: 立ち上がりエッジ(タイマAのカウントに影響なし)
周期測定モード	“0”	・ 周期測定: 立ち下がり周期測定 ・ CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ 周期測定: 立ち上がり周期測定 ・ CNTR1割り込み要求の発生: 立ち上がりエッジ
イベントカウンタモード	“0”	・ タイマA: 立ち上がりエッジをカウント ・ CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマA: 立ち下がりエッジをカウント ・ CNTR1割り込み要求の発生: 立ち上がりエッジ
パルス幅HL連続測定モード	“0”	・ CNTR1割り込み要求の発生: 立ち上がりエッジ及び立ち下がりエッジ
	“1”	・ CNTR1割り込み要求の発生: 立ち上がりエッジ及び立ち下がりエッジ

タイマAレジスタ (下位、上位)



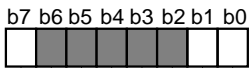
タイマAレジスタ(下位、上位) (TAL、TAH) 【1E16, 1F16番地】

b	機 能	リセット時	R/W
0	タイマAのカウンタ値を設定します。	1	—
1	このレジスタに設定した値は、タイマAとタイマAラッチの両方へ同時に書き込まれます。	1	—
2	このレジスタを読み出した場合、タイマAの	1	—
3	カウンタ値が読み出されます。	1	—
4		1	—
5		1	—
6		1	—
7		1	—

- 注1. 読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。
 2. 値の読み出しは、上位バイト、下位バイトの順に行ってください。
 3. 値の書き込みは、下位バイト、上位バイトの順に行ってください。
 4. 書き込み操作中に読み出したり、読み出し操作中に書き込んだりしないでください。

図2.2.5 タイマAの構成

割り込みエッジ選択レジスタ



割り込みエッジ選択レジスタ(INTEDGE) 【3A16番地】

b	ビット名	機 能	リセット時	R/W
0	INT0割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	—
1	INT1割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	—
2	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	×
3			0	×
4			0	×
5			0	×
6			0	×
7	P00キーオンウェイクアップ	0:キーオンウェイクアップ許可 1:キーオンウェイクアップ禁止	0	—

図2.2.6 割り込みエッジ選択レジスタの構成

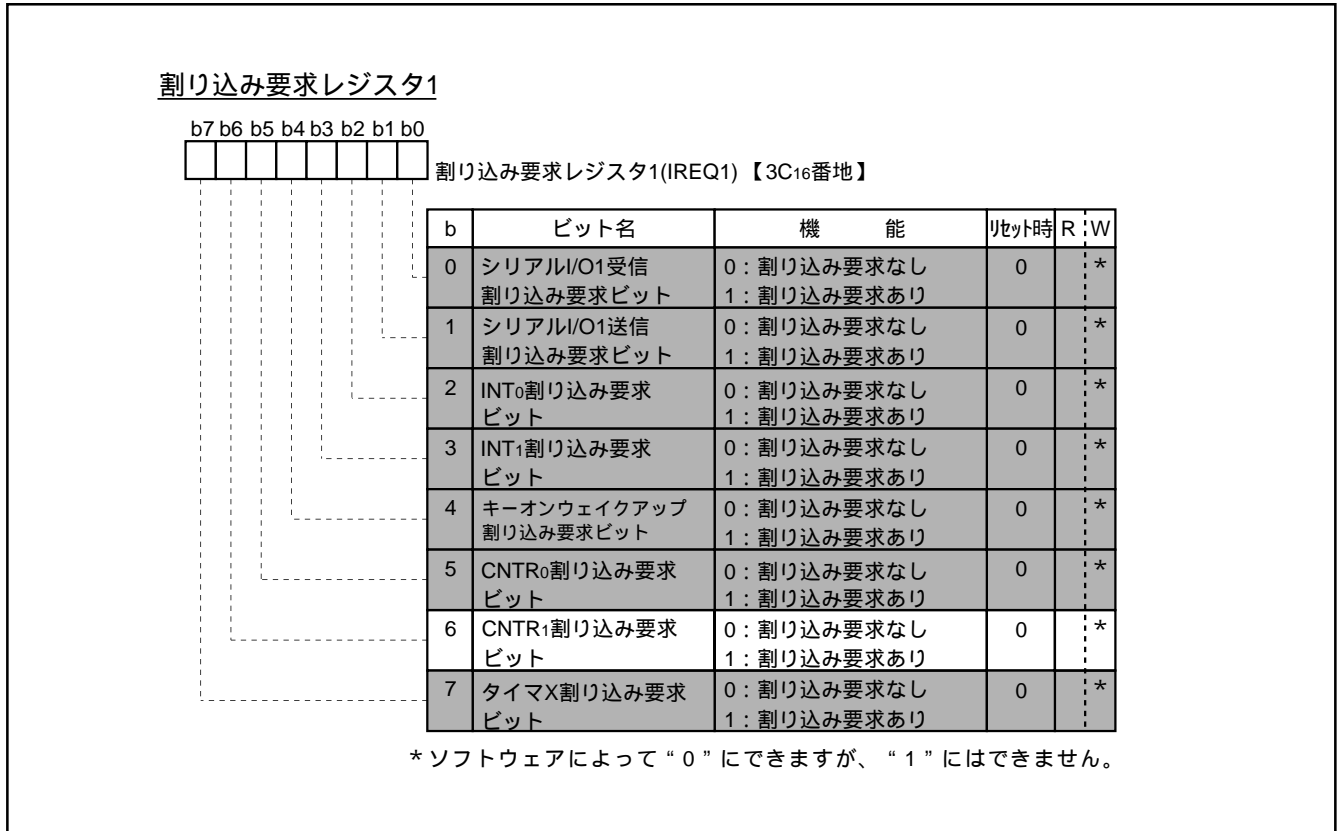


図2.2.7 割り込み要求レジスタ1の構成

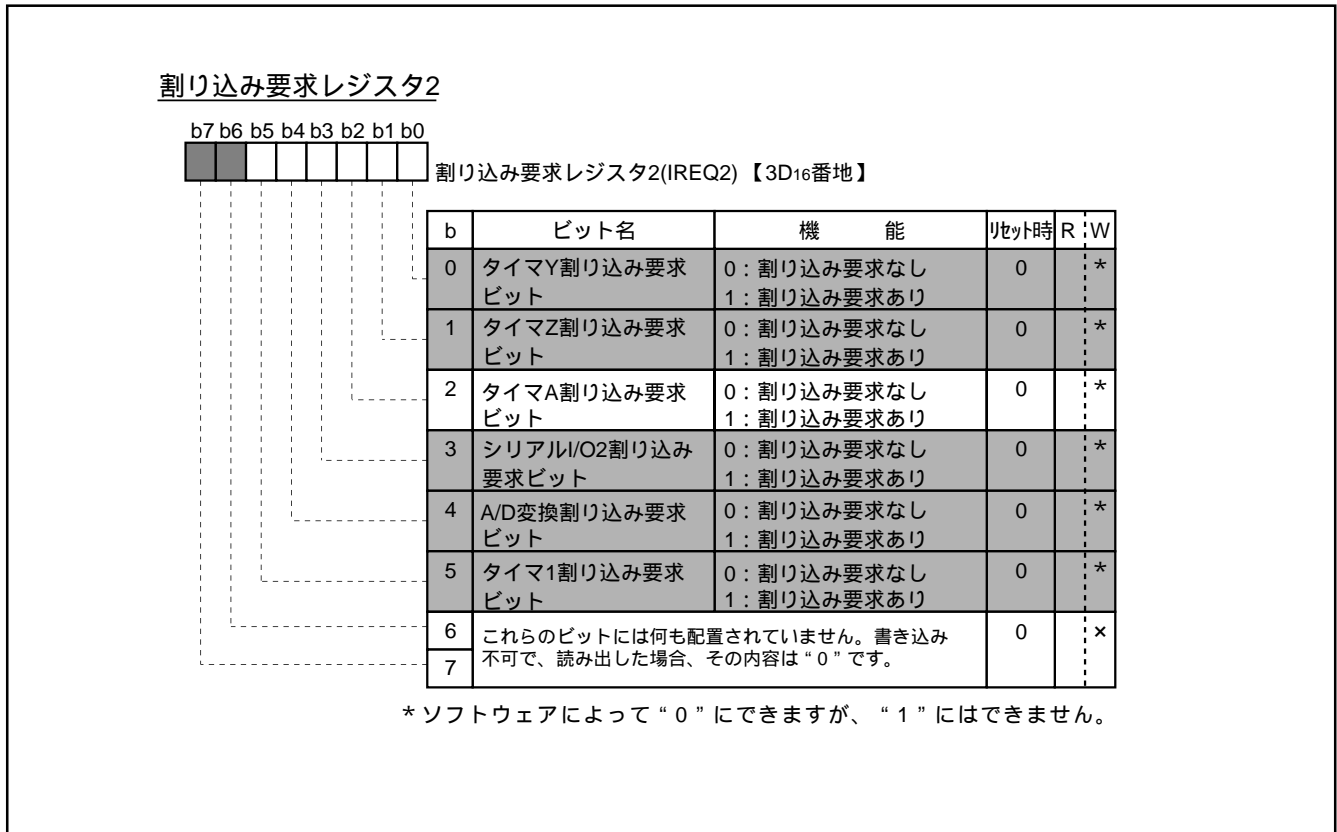
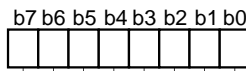


図2.2.8 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

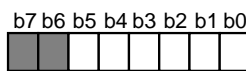


割り込み制御レジスタ1(ICON1)【3E16番地】

b	ビット名	機能	リセット時	R/W
0	シリアル/O1受信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
1	シリアル/O1送信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
2	INT ₀ 割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
3	INT ₁ 割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
4	キーオンウェイクアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
5	CNTR ₀ 割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
6	CNTR ₁ 割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
7	タイマX割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	

図2.2.9 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



割り込み制御レジスタ2(ICON2)【3F16番地】

b	ビット名	機能	リセット時	R/W
0	タイマY割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
1	タイマZ割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
2	タイマA割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
3	シリアル/O2割り込み 許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
4	A/D変換割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
5	タイマ1割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	
6	これらのビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x
7			0	x

図2.2.10 割り込み制御レジスタ2の構成

2.2.3 タイマモード

(1) 動作説明

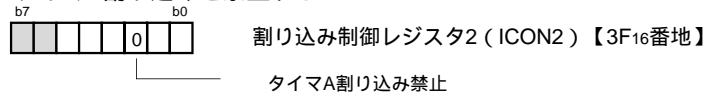
タイマAは、発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。タイマAの内容が“0000₁₆”になった次のカウントクロックでアンダフローし、タイマAラッチの内容がタイマAにリロードされます。タイマAの分周比は、タイマAの設定値をnとすると $1/(n+1)$ となります。

タイマAは、タイマAカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが“1”にセットされます。

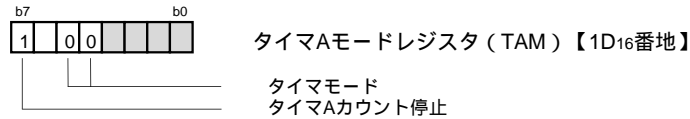
(2) タイマモードの設定方法

図2.2.11にタイマAのタイマモードの設定方法を示します。

手順1：タイマA割り込みを禁止する

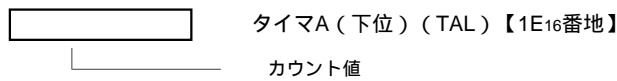


手順2：タイマAモードレジスタを設定する

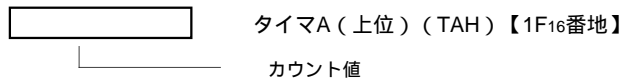


手順3：タイマAのカウント値を設定する (注)

- ・タイマA (下位) にカウント値を設定する。

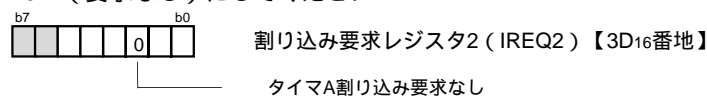


- ・タイマA (上位) にカウント値を設定する。

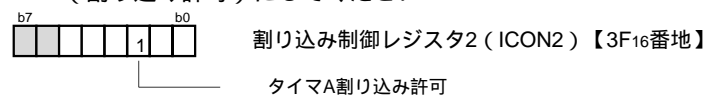


注：必ずタイマA (下位)、タイマA (上位) の順に書き込んでください。

手順4：不要な割り込み処理を実行しないために、タイマA割り込み要求ビットを“0” (要求なし) にしてください



手順5：割り込みを使用する場合は、タイマA割り込み許可ビットを“1” (割り込み許可) にしてください



手順6：タイマAのカウントを開始する

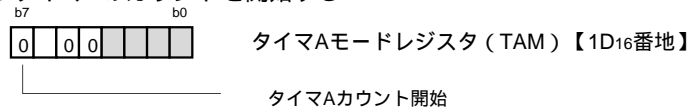


図2.2.11 タイマモードの設定方法

(3) タイマモードの応用例

ポイント

クロックをタイマで分周し、25msごとに周期処理を行います。

仕様

f(XIN)=8MHzをタイマAで分周し、25msを検出する。メインルーチンでタイマA割り込み要求をチェックし、25ms経過していれば、タイマA割り込み処理ルーチンで周期処理を行う。

動作クロックはf(XIN) = 8MHz高速モードを使用する。

図2.2.12に制御手順例を示します。

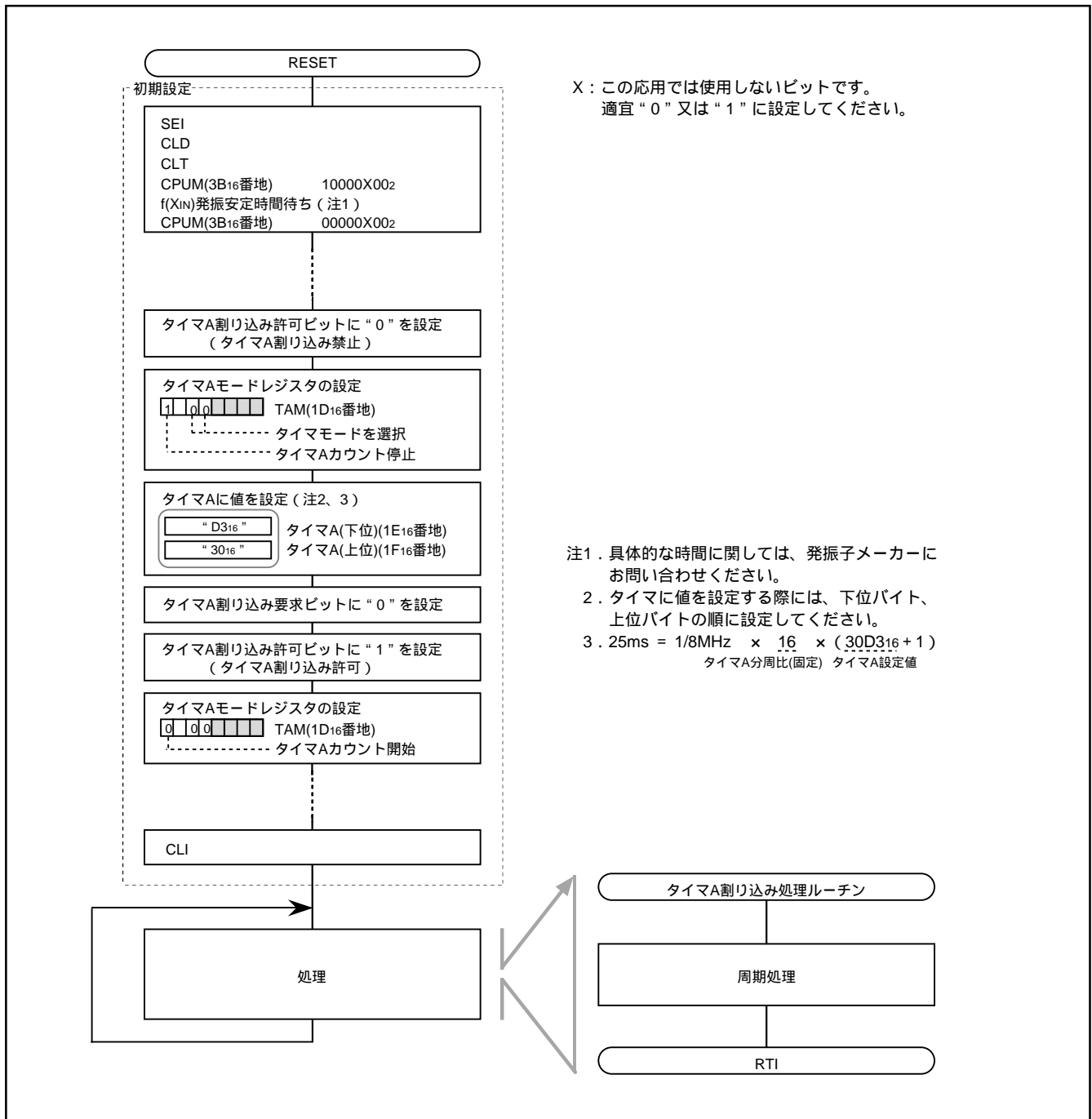


図2.2.12 制御手順例

2.2.4 周期測定モード

(1) 動作説明

周期測定モードは、P0₀/CNTR₁端子に入力されるパルス周期を測定するモードです。CNTR₁端子の立ち上がり又は立ち下がりでタイマAラッチの内容がタイマAにリロードされ、CNTR₁割り込み要求ビットが“1”にセットされた後、再びカウントを続けます。CNTR₁端子入力の有効エッジは、CNTR₁極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

CNTR₁端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

タイマAは、タイマAカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが“1”にセットされます。

(2) 周期測定モードの設定方法

図2.2.13、図2.2.14にタイマAの周期測定モードの設定方法を示します。

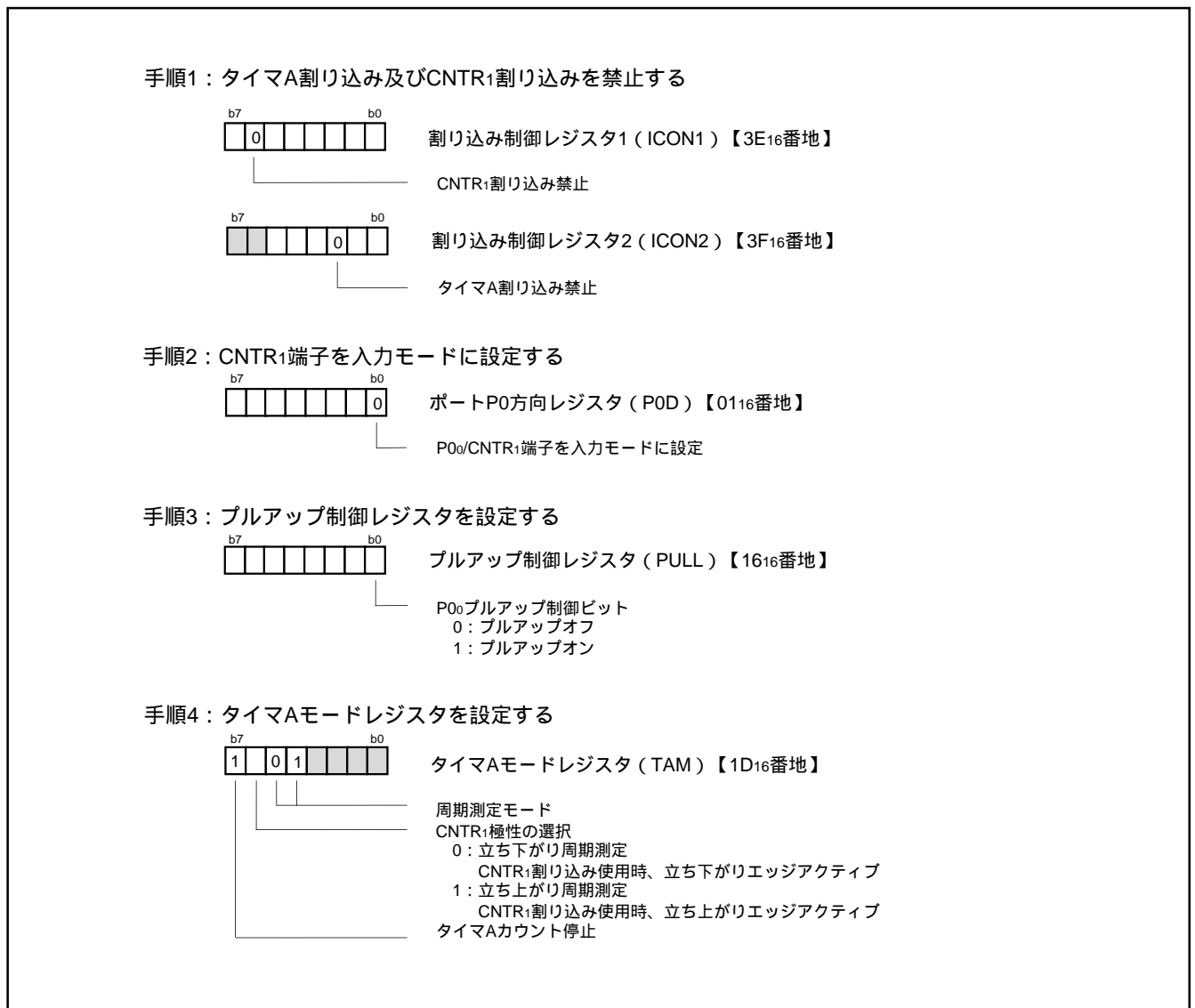
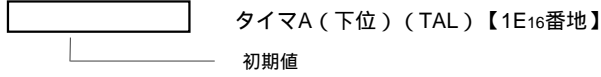


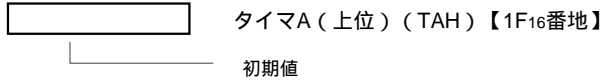
図2.2.13 周期測定モードの設定方法(1)

手順5：タイマAのカウント値を設定する（注）

- ・タイマA（下位）に初期値を設定する。

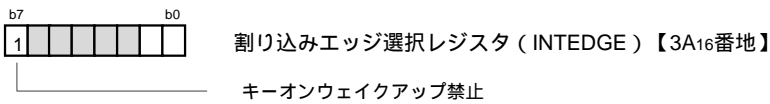


- ・タイマA（上位）に初期値を設定する。

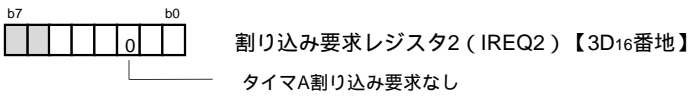
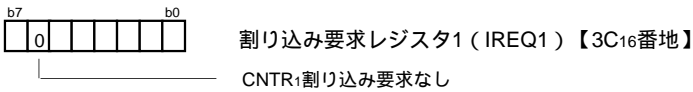


注．必ずタイマA（下位）、タイマA（上位）の順に書き込んでください。

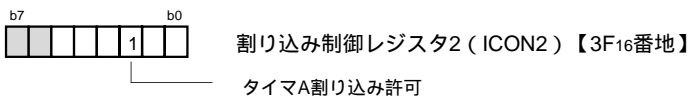
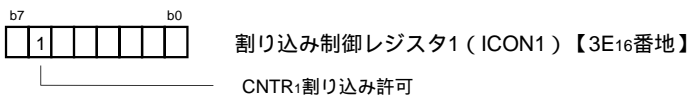
手順6：CNTR1端子を使用するため、兼用しているP00のキーオンウェイクアップ機能を禁止してください



手順7：不要な割り込み処理を実行しないために、タイマA割り込み要求ビットとCNTR1割り込み要求ビットを“0”（要求なし）にしてください



手順8：割り込みを使用する場合は、タイマA割り込み許可ビット、CNTR1割り込み許可ビットを“1”（割り込み許可）にしてください



手順9：タイマAのカウントを開始する

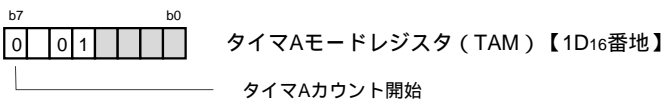


図2.2.14 周期測定モードの設定方法(2)

(3) 周期測定モードの応用例

ポイント

タイマのパルス周期測定モードを用いて、位相制御信号の調整を行います。

仕様

負荷へ位相制御信号を出力し、負荷の位相制御を行う。負荷からP00/CNTR1端子に入力されるフィードバック信号のパルス周期を測定し、負荷への位相制御信号の補正を行う。入力されるパルス周期はタイマAの周期未満とし、タイマAがアンダフローした場合は不正周期として、タイマA割り込み処理ルーチン内でエラー処理を行う。

動作クロックは $f(X_{IN}) = 8\text{MHz}$ 高速モードを使用する。

図2.2.15に周辺回路例、図2.2.16に制御手順例を示します。

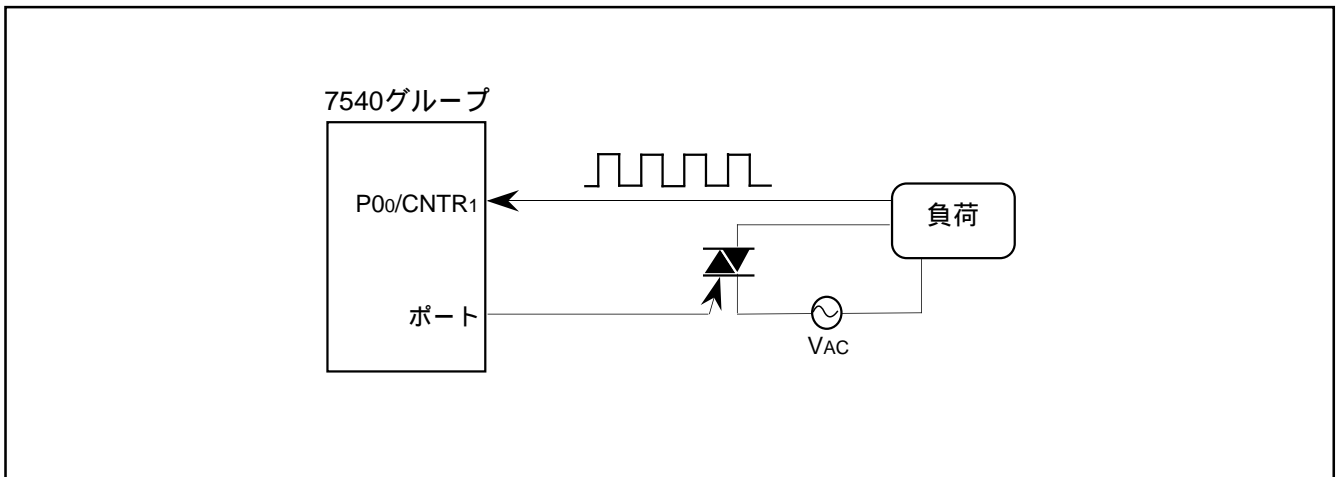


図2.2.15 周辺回路例

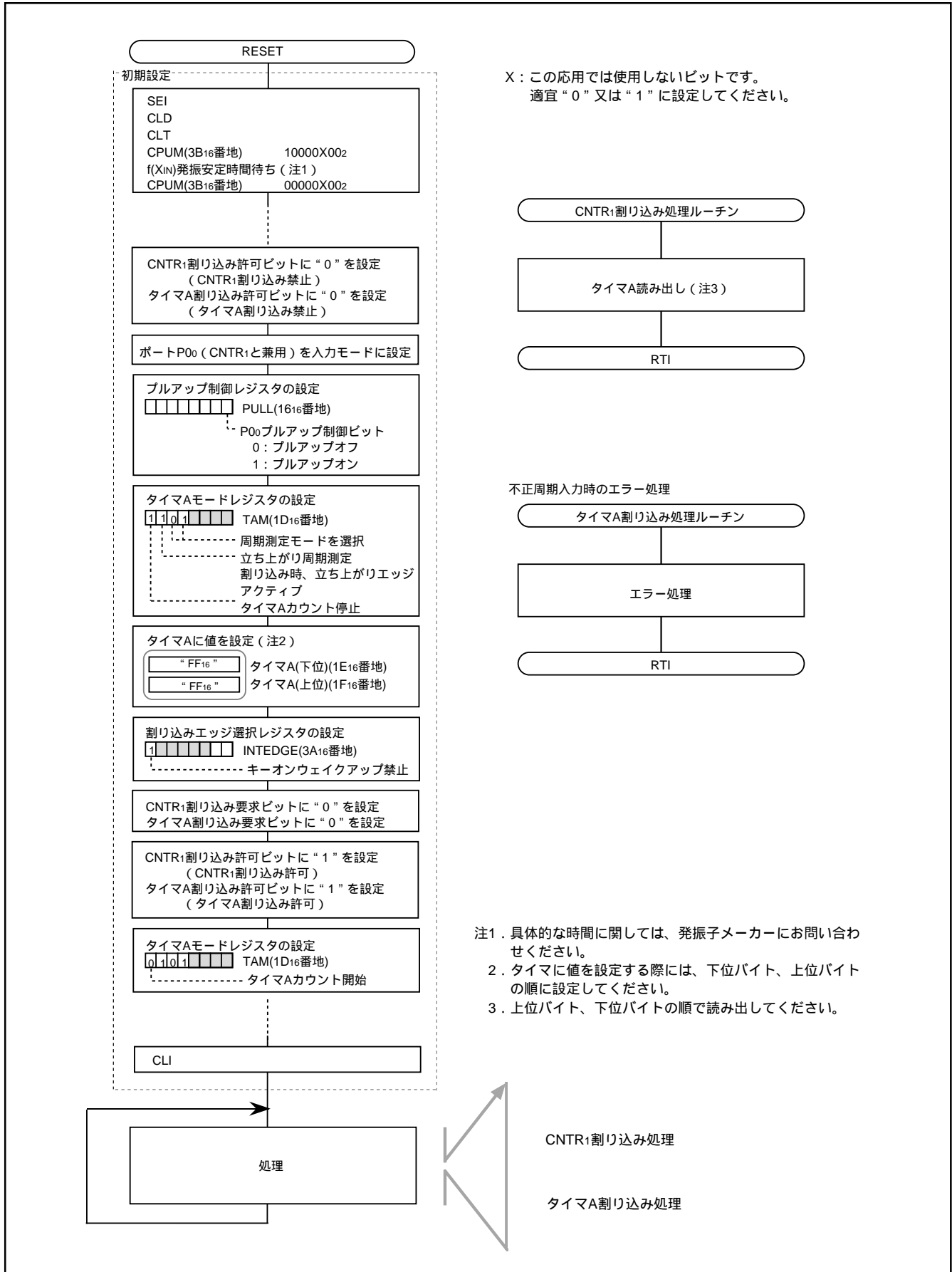


図2.2.16 制御手順例

2.2.5 イベントカウンタモード

(1) 動作説明

イベントカウンタモードでは、P0₀/CNTR₁端子から入力される信号がカウントソースになることを除けば、タイマモードと同じ動作を行います。CNTR₁端子入力の有効エッジは、CNTR₁極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

タイマAは、タイマAカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが“1”にセットされます。

(2) イベントカウンタモードの設定方法

図2.2.17、図2.2.18にタイマAのイベントカウンタモードの設定方法を示します。

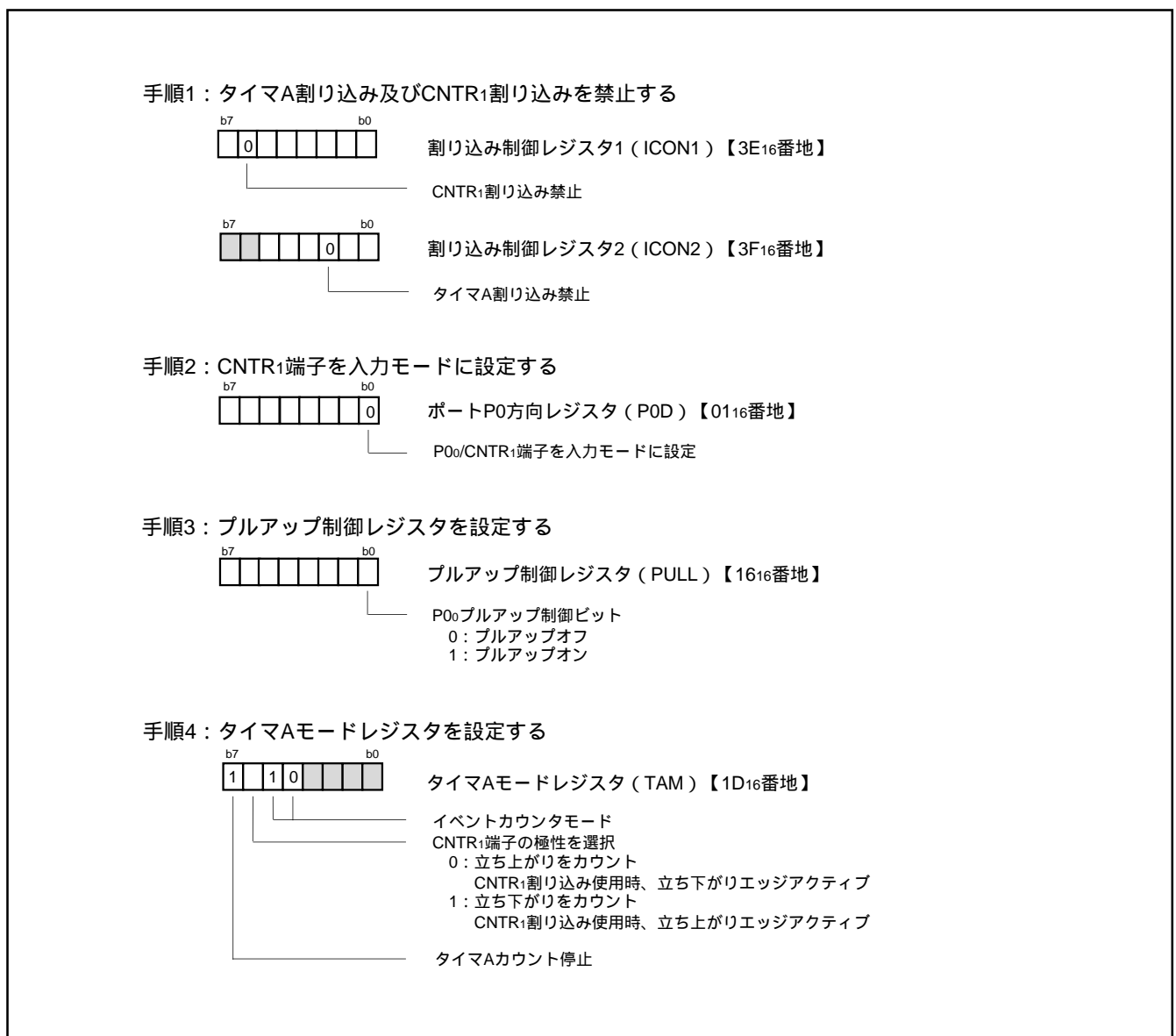
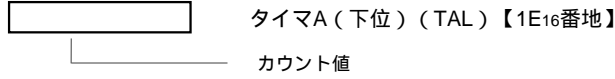


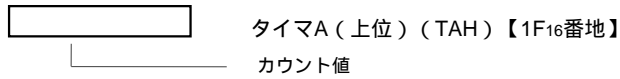
図2.2.17 イベントカウンタモードの設定方法(1)

手順5：タイマAのカウント値を設定する（注）

- ・タイマA（下位）にカウント値を設定する。

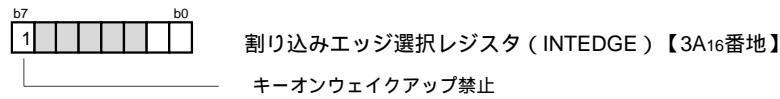


- ・タイマA（上位）にカウント値を設定する。

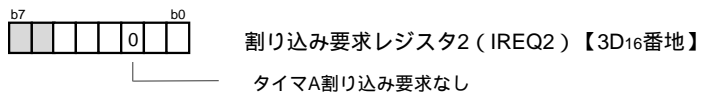
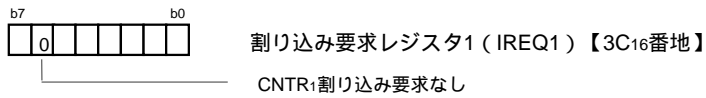


注．必ずタイマA（下位）、タイマA（上位）の順に書き込んでください。

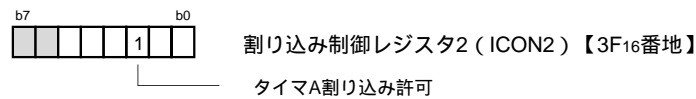
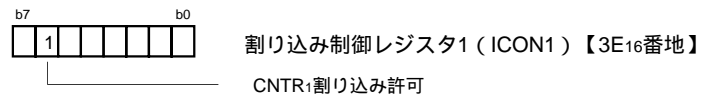
手順6：CNTR₁端子を使用するため、兼用しているP0₀のキーオンウェイクアップ機能を禁止してください



手順7：不要な割り込み処理を実行しないために、タイマA割り込み要求ビットとCNTR₁割り込み要求ビットを“0”（要求なし）にしてください



手順8：割り込みを使用する場合は、タイマA割り込み許可ビット、CNTR₁割り込み許可ビットを“1”（割り込み許可）にしてください



手順9：タイマAのカウントを開始する

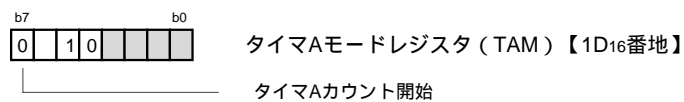


図2.2.18 イベントカウンタモードの設定方法(2)

(3) イベントカウンタモードの応用例

ポイント

一定期間内のイベントの数により、P00/CNTR1端子に入力されるパルス(“H”アクティブ)の周波数を測定します。

仕様

タイマAのカウンタソースをP00/CNTR1端子入力とし、カウントを開始する。クロック $f(XIN)=8MHz$ をタイマXで分周し1msを検出する。1ms内にカウントされたイベントの数からCNTR1端子に入力されるパルスの周波数を検出する。

動作クロックは $f(XIN)=8MHz$ 高速モードを使用する。

図2.2.19に周波数の測定方法例を、図2.2.20に制御手順例を示します。

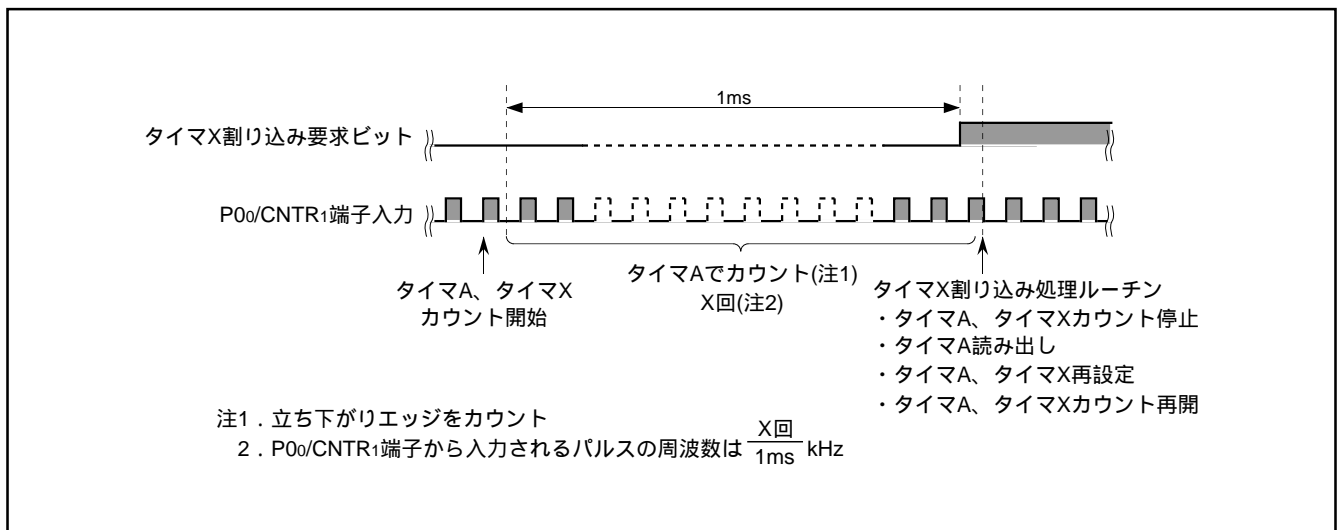


図2.2.19 周波数の測定方法例

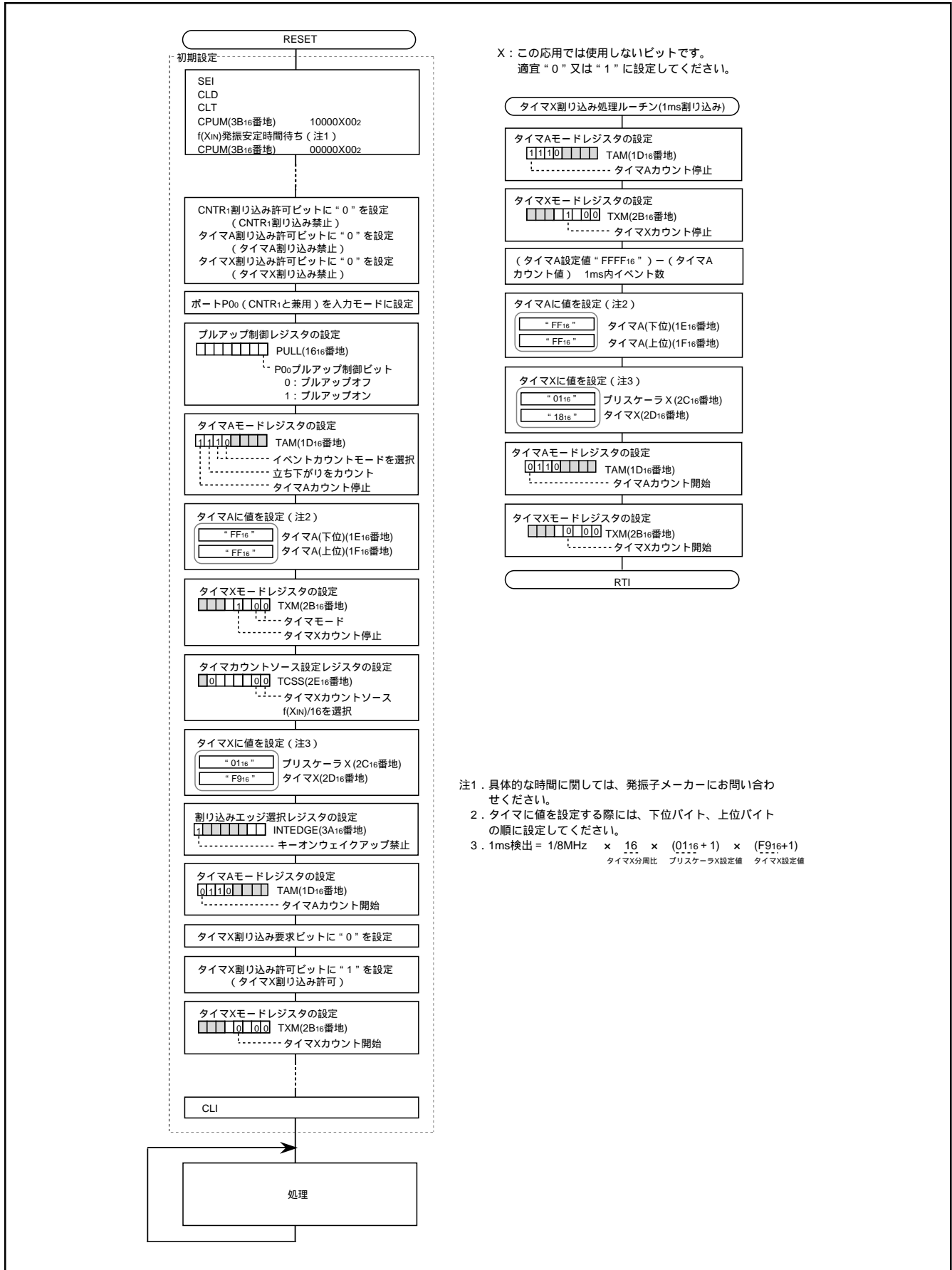


図2.2.20 制御手順例

2.2.6 パルス幅HL連続測定モード

(1) 動作説明

パルス幅HL連続測定モードは、P00/CNTR1端子に入力されるパルス幅(“H”及び“L”レベル)を測定するモードです。

CNTR1端子に入力されるパルスの両エッジでリロード、及びCNTR1割り込み要求ビットが“1”にセットされることを除いて、周期測定モードと同じ動作をします。

CNTR1端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

タイマAは、タイマAカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが“1”にセットされます。

(2) パルス幅HL連続測定モードの設定方法

図2.2.21、図2.2.22にタイマAのパルス幅HL連続測定モードの設定方法を示します。

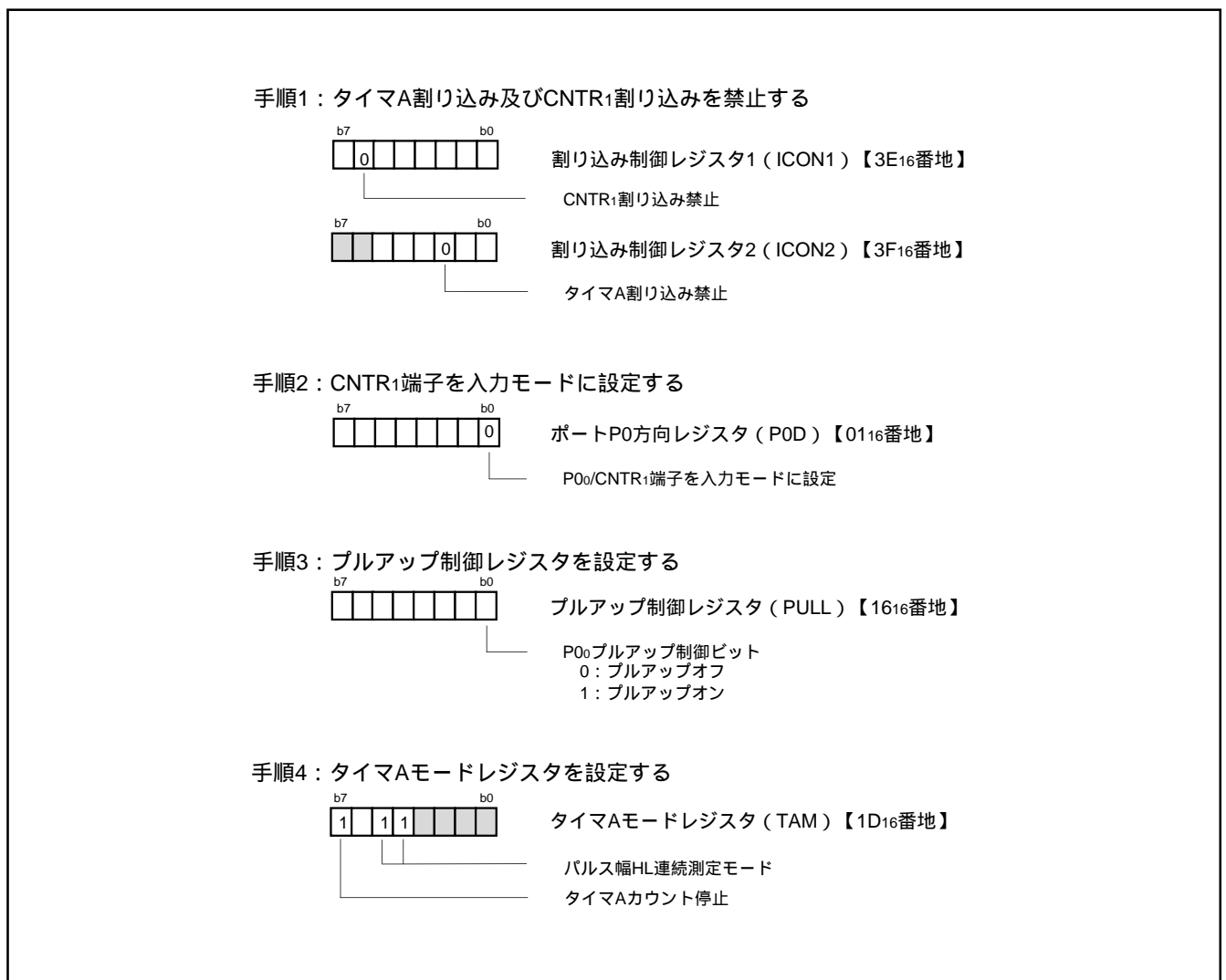
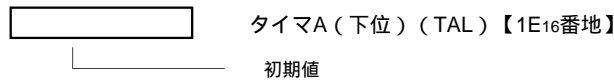


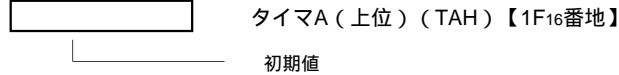
図2.2.21 パルス幅HL連続測定モードの設定方法(1)

手順5：タイマAのカウンタ値を設定する（注）

- ・タイマA（下位）に初期値を設定する。

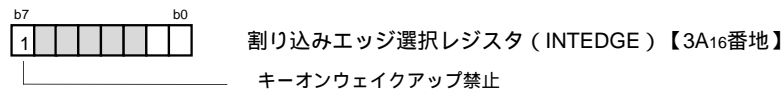


- ・タイマA（上位）に初期値を設定する。

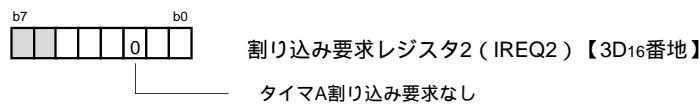
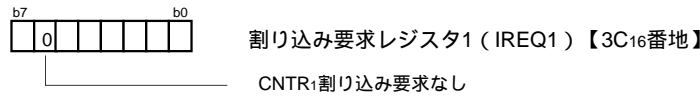


注．必ずタイマA（下位）、タイマA（上位）の順に書き込んでください。

手順6：CNTR₁端子を使用するため、兼用しているP0₀のキーオンウェイクアップ機能を禁止してください

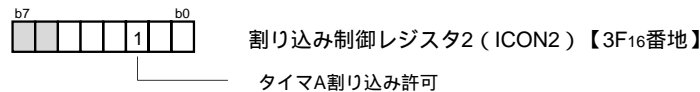
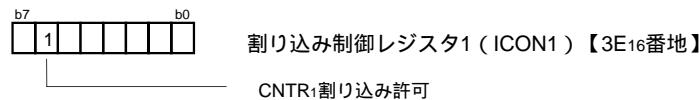


手順7：不要な割り込み処理を実行しないために、タイマA割り込み要求ビットとCNTR₁割り込み要求ビットを“0”（要求なし）にしてください（注）



注．パルス幅HL連続測定モードでは、タイマAモードレジスタのCNTR₁極性切り替えビットの設定によらず、P0₀/CNTR₁端子の立ち上がり、立ち下がりともCNTR₁割り込み要求が発生します。

手順8：割り込みを使用する場合は、タイマA割り込み許可ビット、CNTR₁割り込み許可ビットを“1”（割り込み許可）にしてください



手順9：タイマAのカウンタを開始する

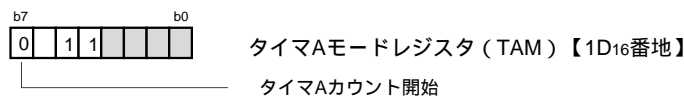


図2.2.22 パルス幅HL連続測定モードの設定方法(2)

(3) パルス幅HL連続測定モードの応用例

ポイント

パルス幅HL連続測定モードを使用して、電話のリング(呼出)信号*の検出を行います。

* : 電話回線のオン/オフ(メイク/ブ레이크)により送信されてくる信号。

各国別に規定があるが、ここでは日本国内の規定を例とする。

仕様

リング信号検出回路から出力されるパルス幅を測定することで、電話の呼び出しの有無を判定する。

$f(X_{IN})=6.4\text{MHz}$ の16分周をカウントソースとし、パルス幅HL連続測定モードを使用し、リング信号波形の“H”及び“L”幅を測定する。“H”幅は、200ms以上1.2s未満、“L”幅は600ms以上2.2s未満のパルス幅を正常値とする。この範囲外の場合、異常値として検出する。また、1周期(“H”幅+“L”幅)は、1.0s以上3.0s未満とし、この範囲外の場合、異常値として検出する。

動作クロックは $f(X_{IN}) = 6.4\text{MHz}$ 高速モードを使用する。

図2.2.23に周辺回路例、図2.2.24にリング信号入力時の動作タイミング、図2.2.25、図2.2.26に制御手順例を示します。

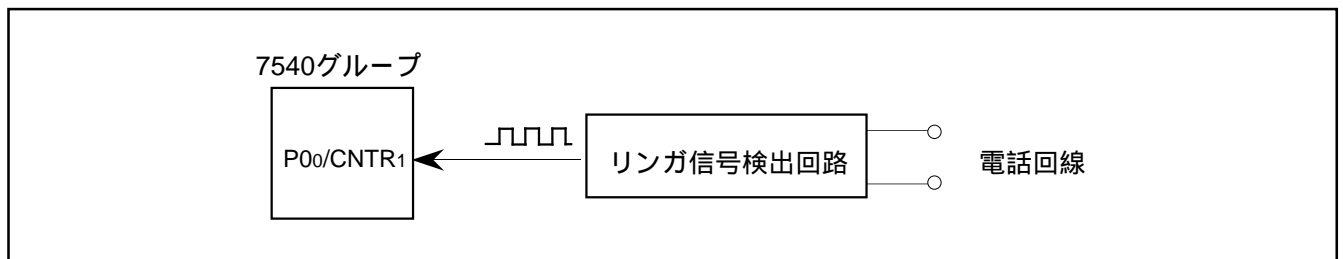


図2.2.23 周辺回路例

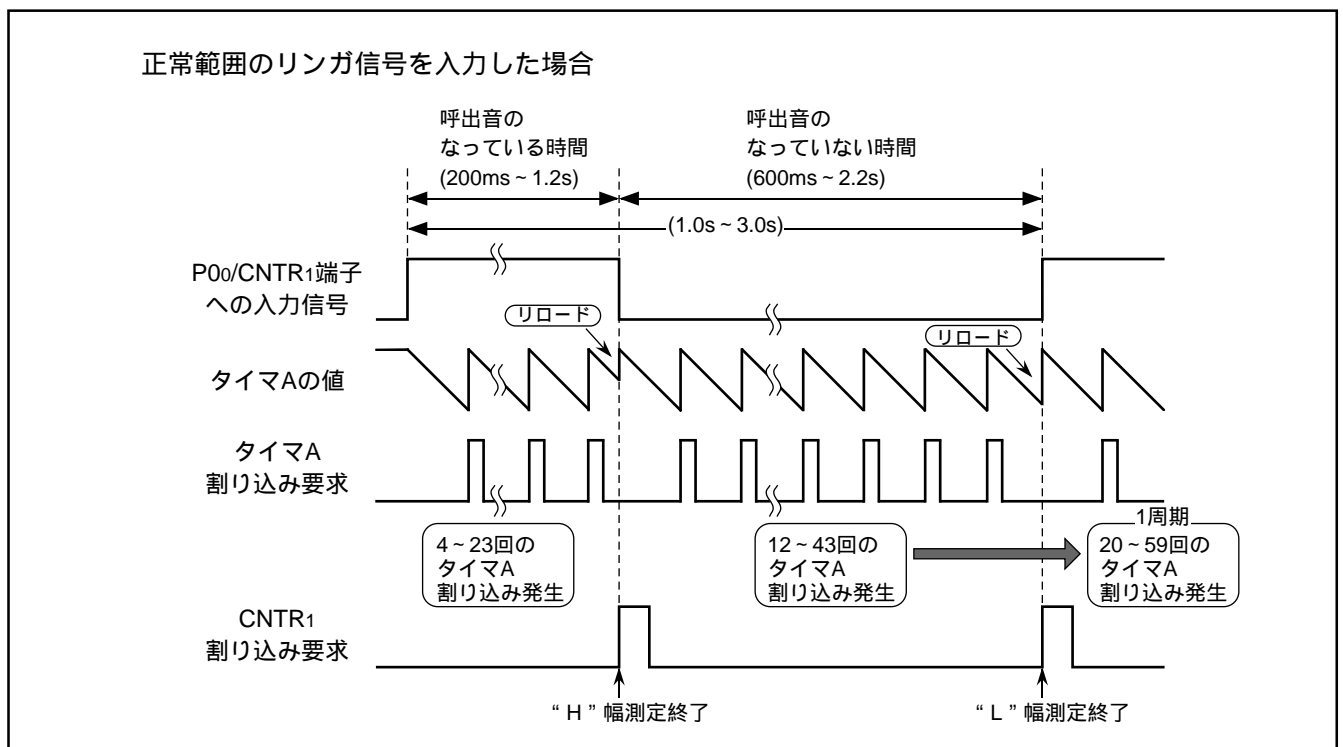


図2.2.24 リング信号入力時の動作タイミング

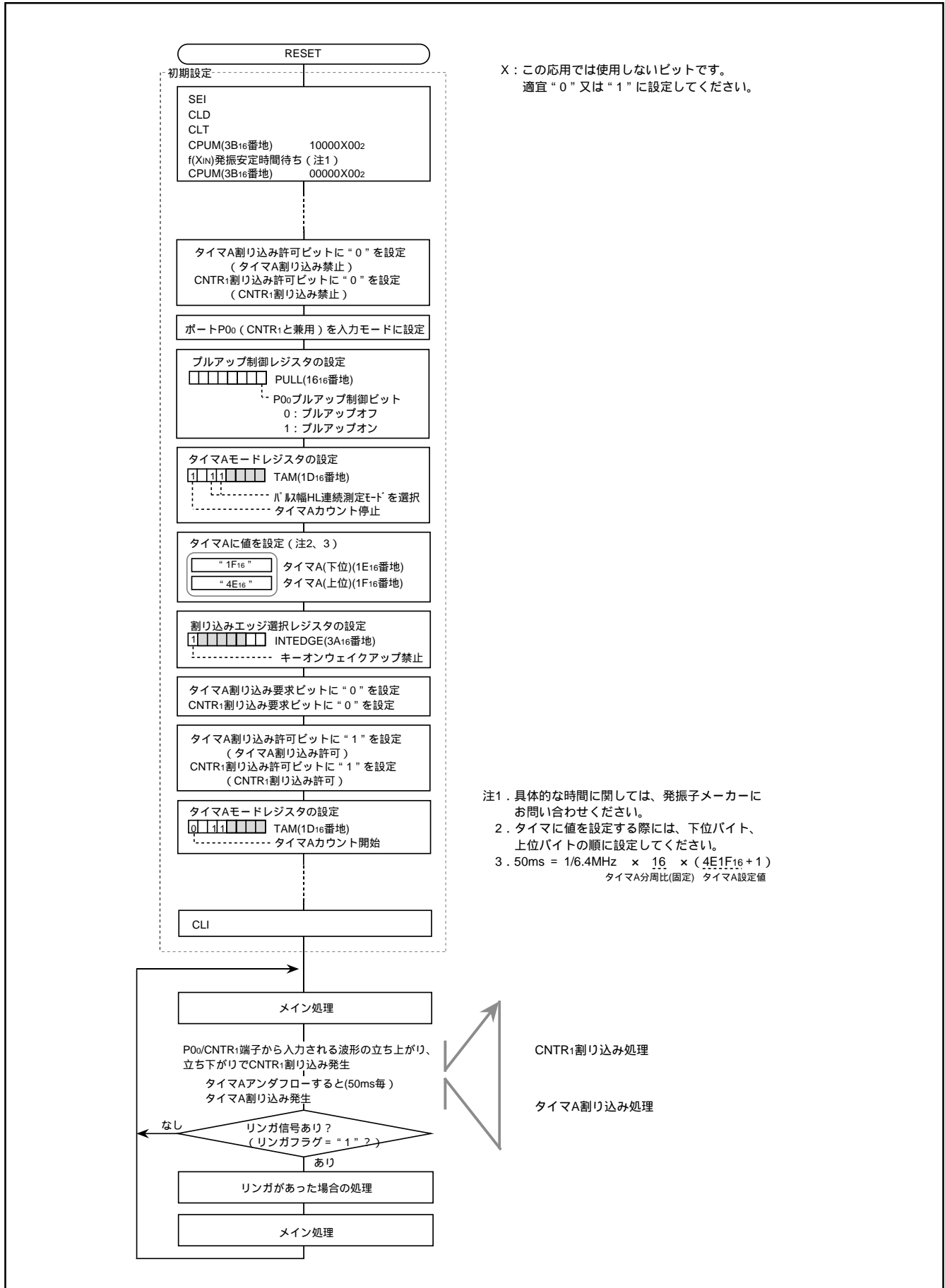


図2.2.25 制御手順例(1)

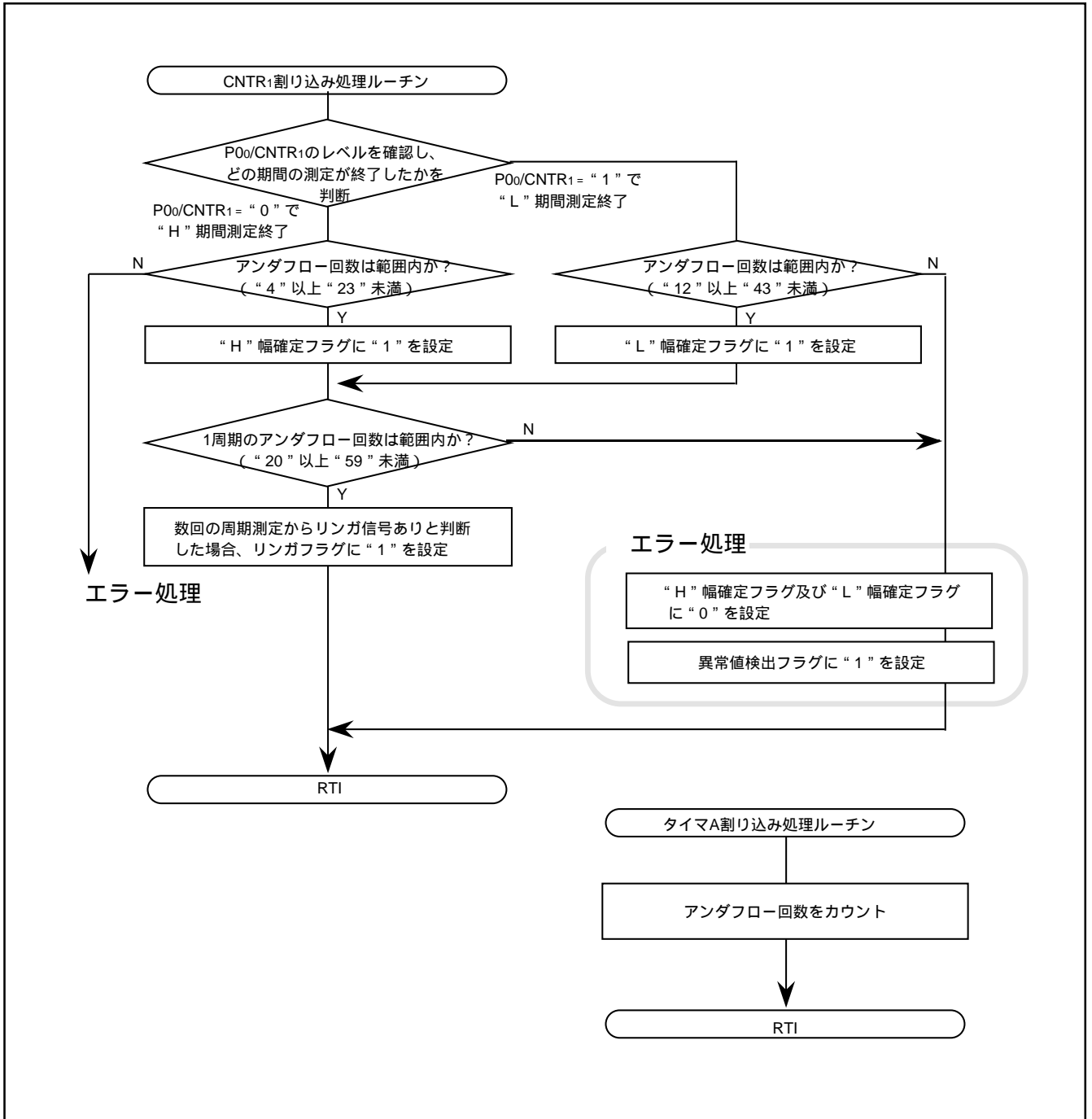


図2.2.26 制御手順例(2)

2.2.7 タイマAに関する注意事項

タイマAを使用する場合は、以下の注意が必要です。

(1) 全モードに関して

タイマA(上位) (TAH)、タイマA(下位) (TAL)を読み出すと、タイマAの内容(カウント値)が読み出されます。読み出しは、TAH、TALの順で、両レジスタ共に行ってください。TAH、TALは読み出しを行わない限り、その内容を保持します。また、読み出し操作中に書き込みを行わないでください。この場合、正常な動作を行いません。

タイマAは動作、停止いずれの場合もTAL、TAHにデータを書き込むと、タイマAラッチ及びタイマAへ同時に値が設定されます。書き込みはTAL、TAHの順で、両レジスタ共に行ってください。また、書き込み操作中に読み出しを行わないでください。この場合、正常な動作を行いません。

(2) 周期測定、イベントカウント、パルス幅HL連続測定モードに関して

CNTR1端子を使用するため、ポートP0方向レジスタのビット0を“0”に設定して、入力モードにしてください。

CNTR1端子を使用するため、割り込みエッジ選択レジスタのビット7を“1”に設定して、兼用しているP00のキーオンウェイクアップ機能を禁止してください。

CNTR1極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが“0”のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが“1”のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが“1”にセットされます。

ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりCNTR1割り込み要求が発生します。

2.3 タイマ1

本節ではタイマ1に関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図

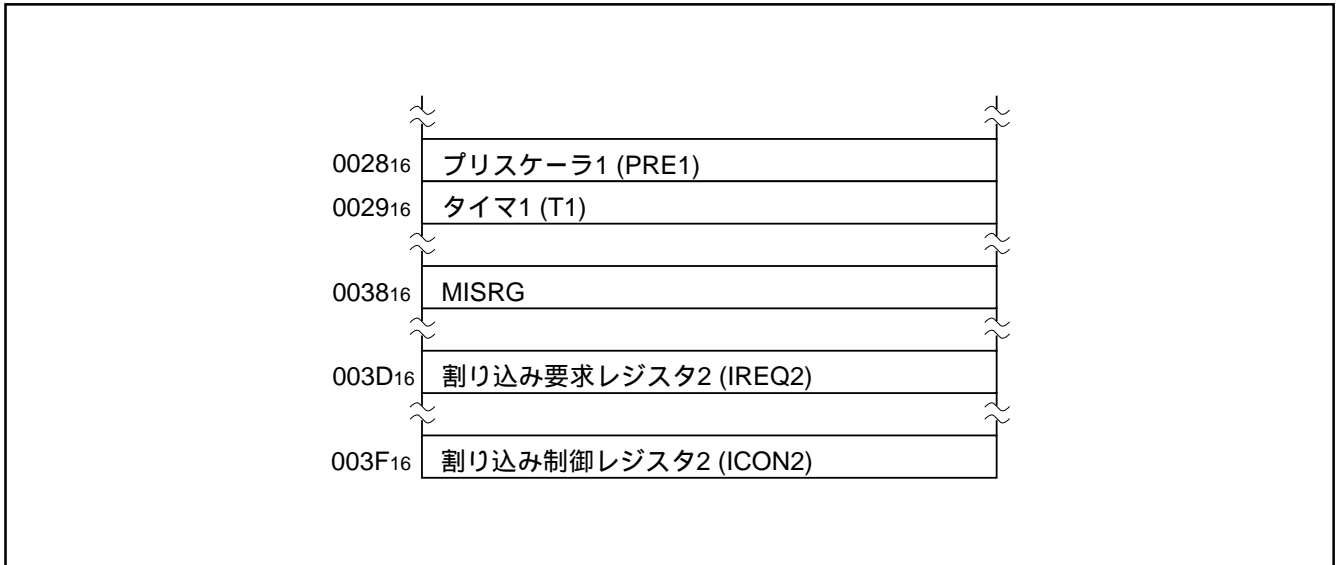


図2.3.1 タイマ1関連レジスタのメモリ配置

2.3.2 関連レジスタ

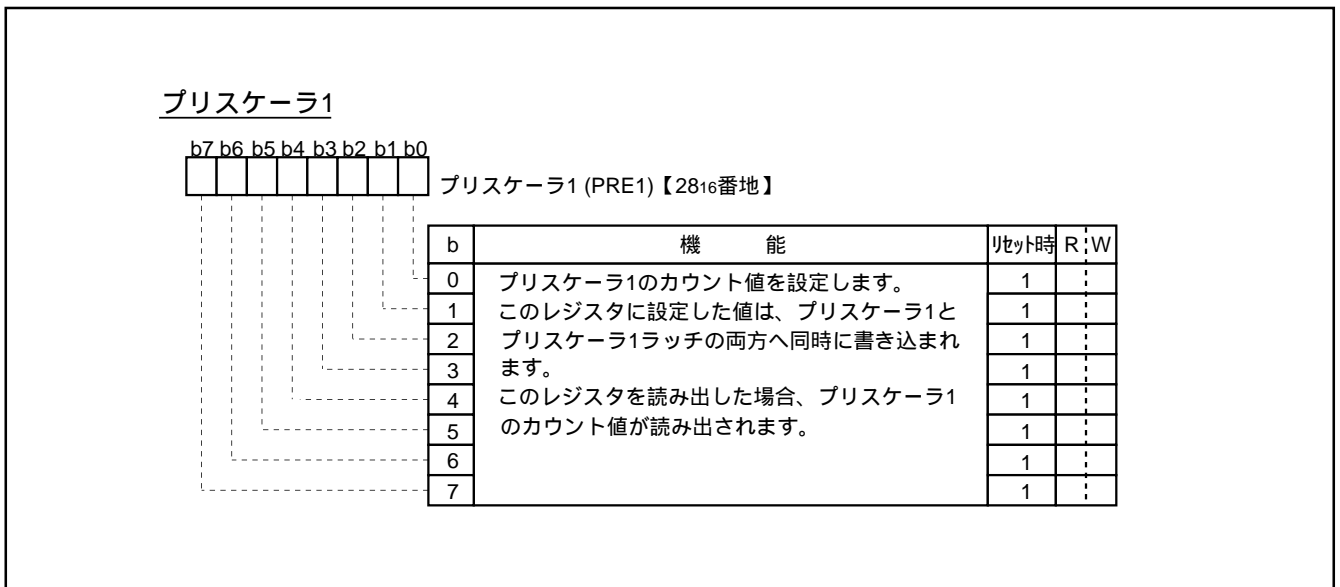


図2.3.2 プリスケーラ1の構成

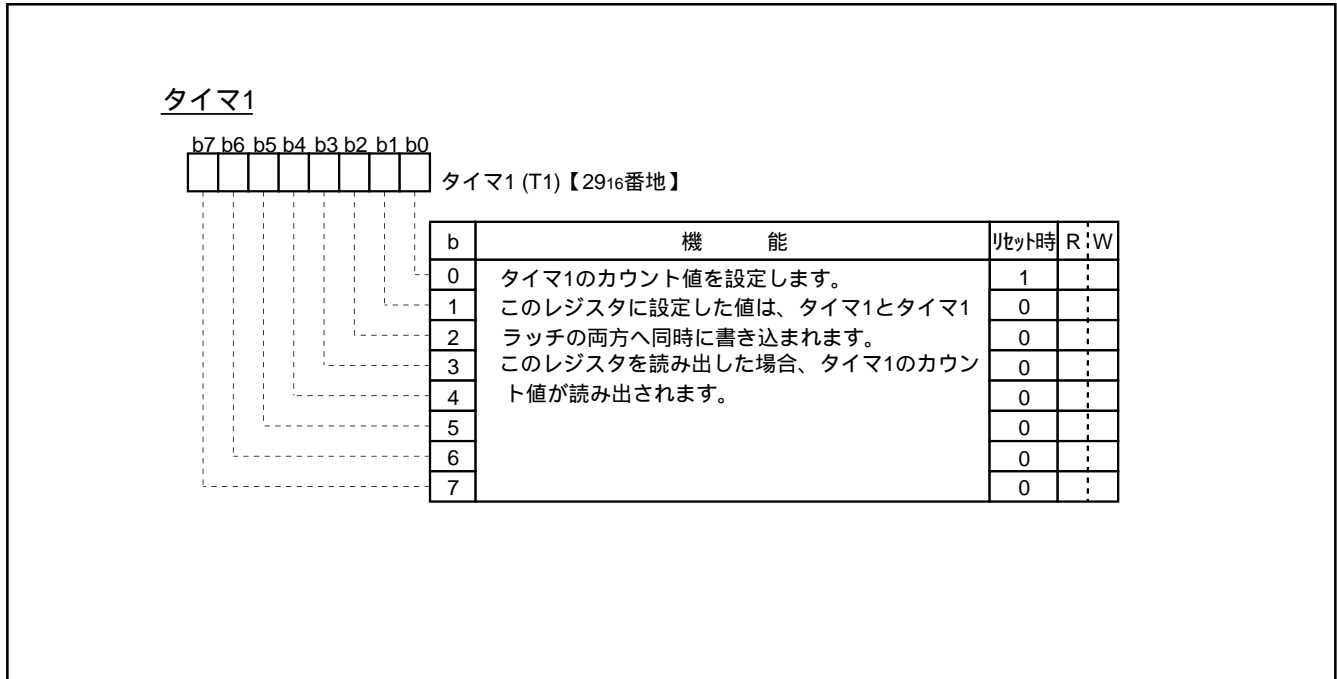


図2.3.3 タイマ1の構成

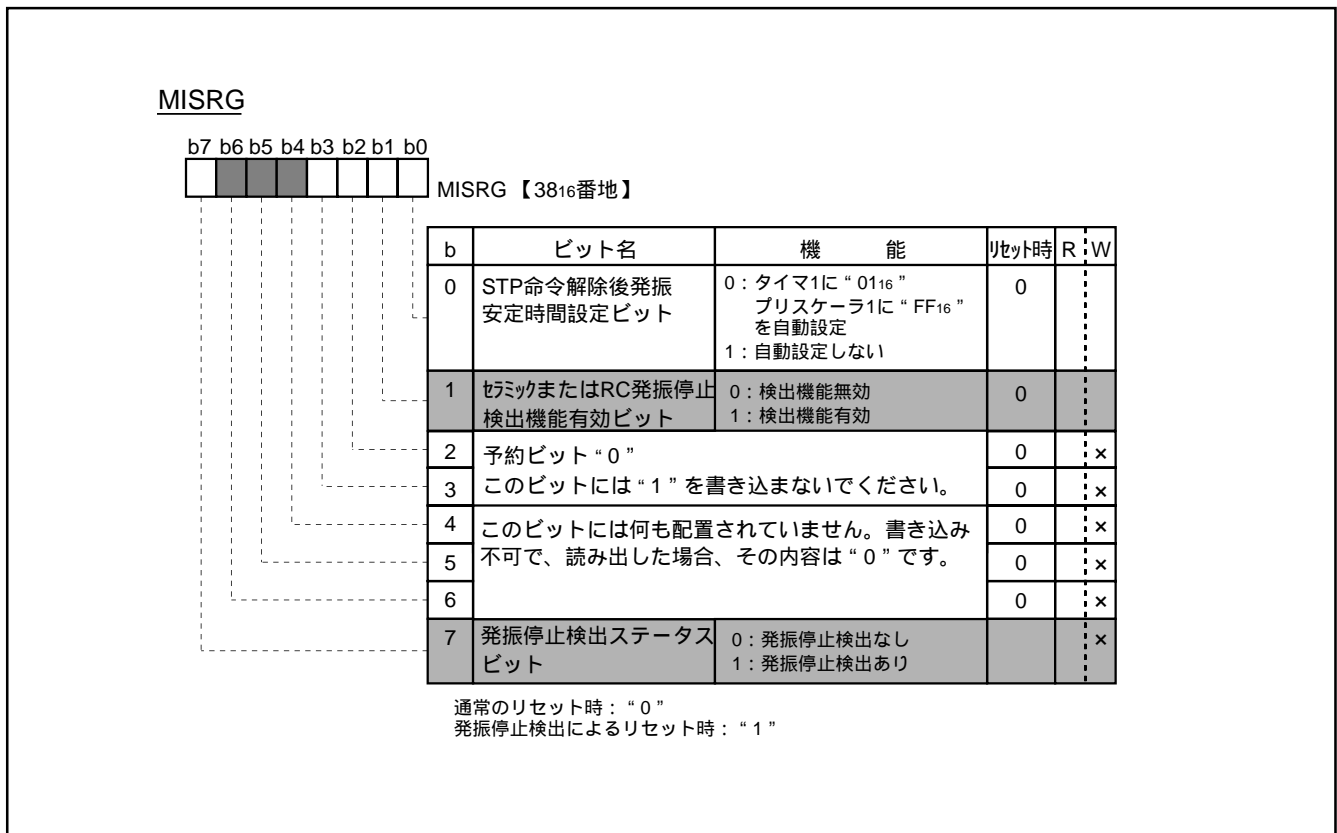


図2.3.4 MISRGの構成

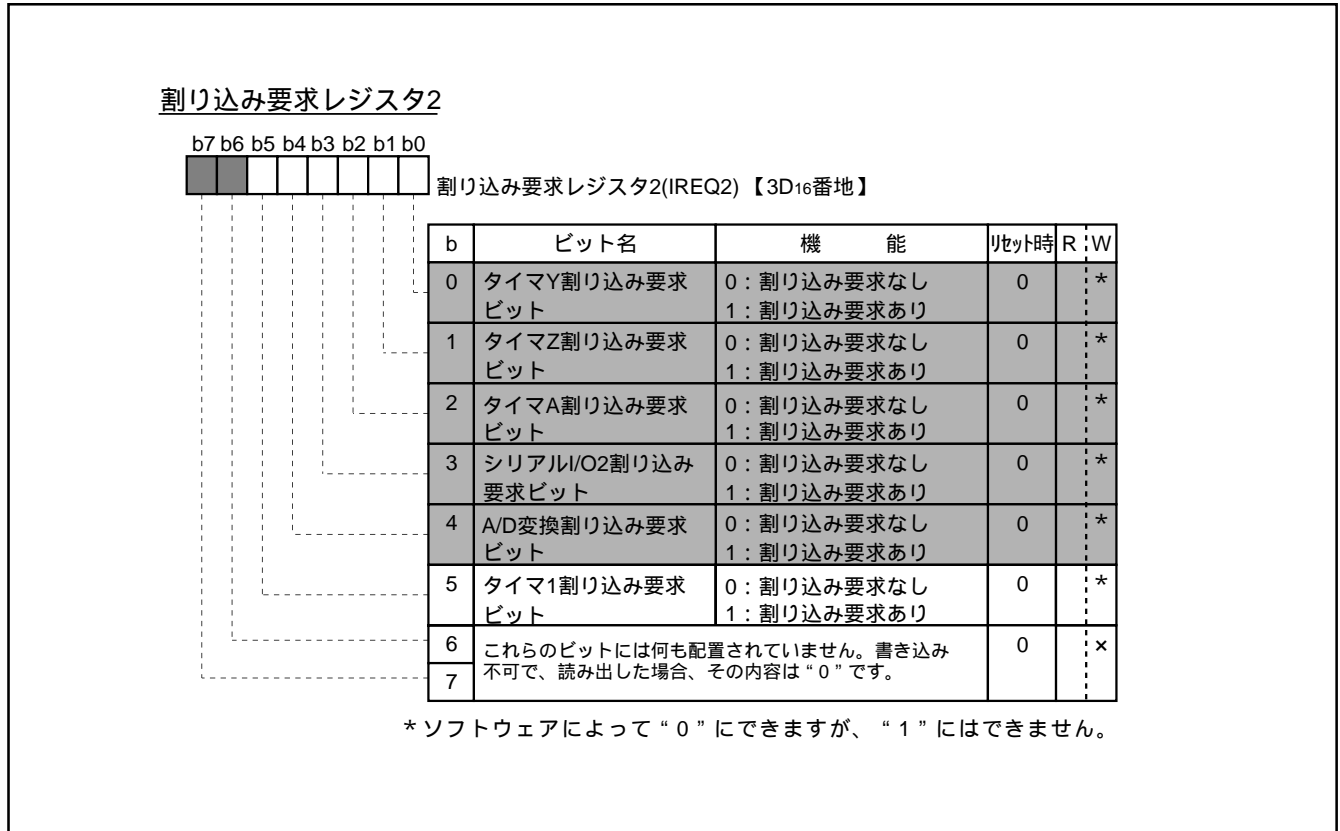


図2.3.5 割り込み要求レジスタ2の構成

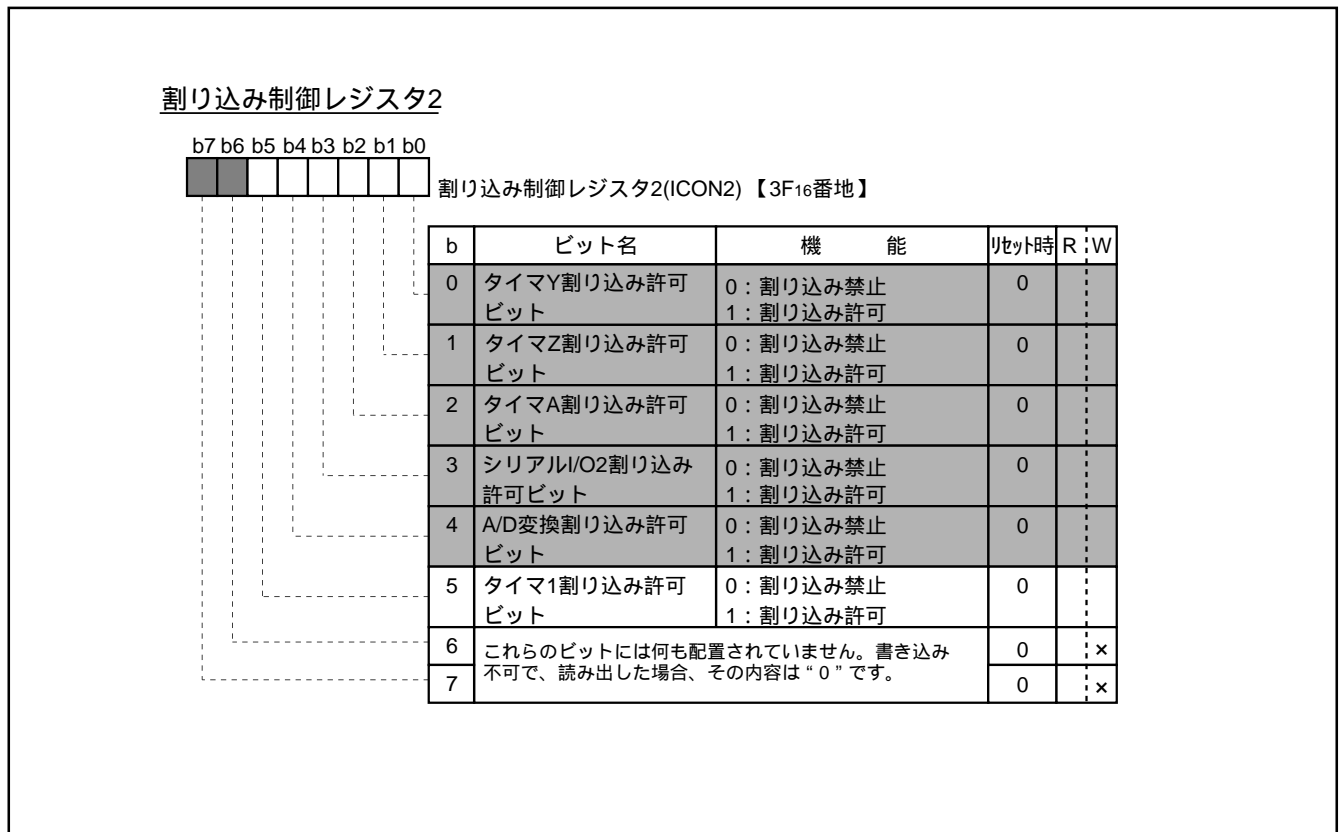


図2.3.6 割り込み制御レジスタ2の構成

2.3.3 タイマ1動作説明

タイマ1は常にタイマモードで動作します。

プリスケアラ1は、発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラ1の内容が“00₁₆”になった次のカウントクロックでアンダフローし、プリスケアラ1ラッチの値をプリスケアラ1に転送してカウントを続けます。プリスケアラ1の分周比は、プリスケアラ1の設定値をnとすると1/(n+1)となります。

タイマ1は、プリスケアラ1のアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマ1の内容が“00₁₆”になった次のカウントクロックでアンダフローし、タイマ1ラッチの値をタイマ1に転送してカウントを続けます。

タイマ1の分周比は、タイマ1の設定値をmとすると1/(m+1)となります。したがって、プリスケアラ1の設定値をn、タイマ1の設定値をmとした場合、プリスケアラ1とタイマ1をあわせた分周比は、次式で表されます。

$$\text{分周比} = \frac{1}{(n+1) \times (m+1)}$$

なお、タイマ1はソフトウェアによりカウントを停止することはできません。また、タイマ1がアンダフローすると、タイマ1割り込み要求ビットが“1”にセットされます。

2.3.4 タイマ1に関する注意事項

タイマ1を使用する場合は、以下の注意が必要です。

(1) STP命令解除後発振安定時間設定に関して

タイマ1はSTP命令解除後の発振安定時間設定に使用することができます。STP命令解除後の発振安定時間は、MISRGのSTP命令解除後発振安定時間設定ビットにて自動設定する / 自動設定しないを選択することができます。“0”を設定するとタイマ1には“01₁₆”、プリスケアラ1には“FF₁₆”が自動設定されます。“1”を設定するとタイマ1、プリスケアラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあわせて待ち時間を設定してください。

なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケアラ1の値を再設定してください。

2.4 タイマX

本節ではタイマXに関するレジスタの設定方法、注意事項などを説明します。

2.4.1 メモリ配置図

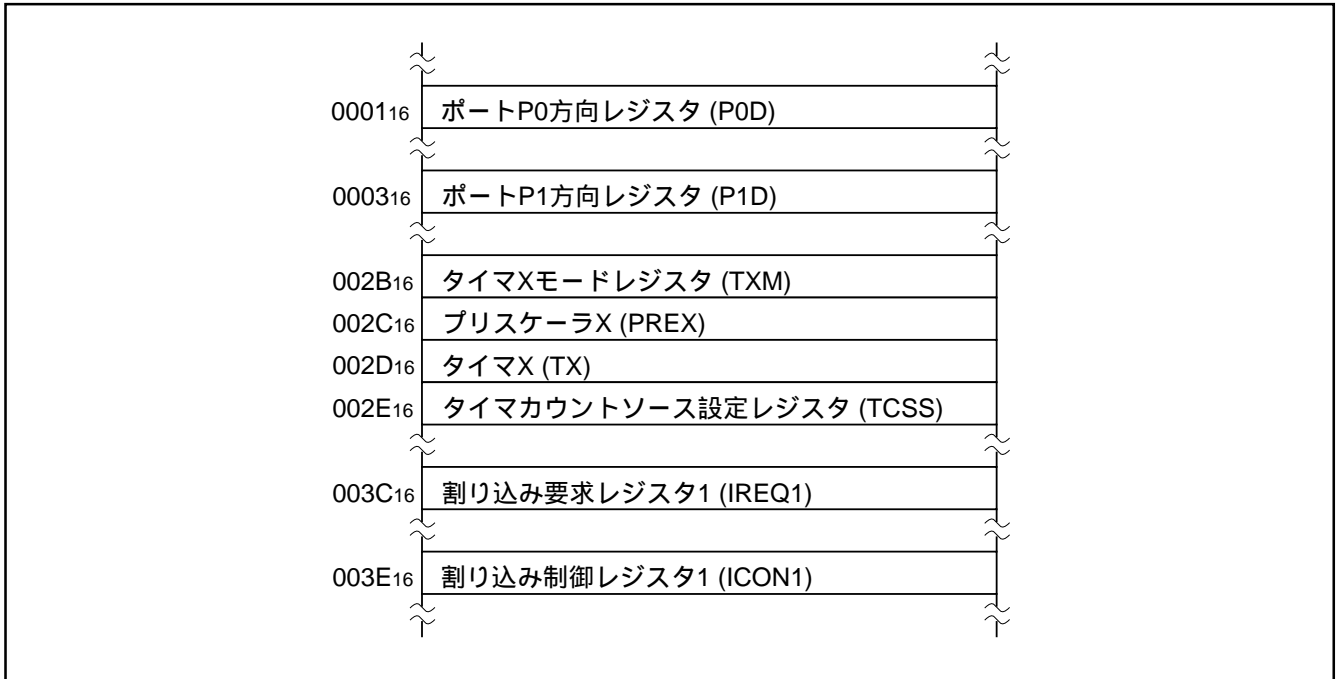


図2.4.1 タイマX関連レジスタのメモリ配置

2.4.2 関連レジスタ

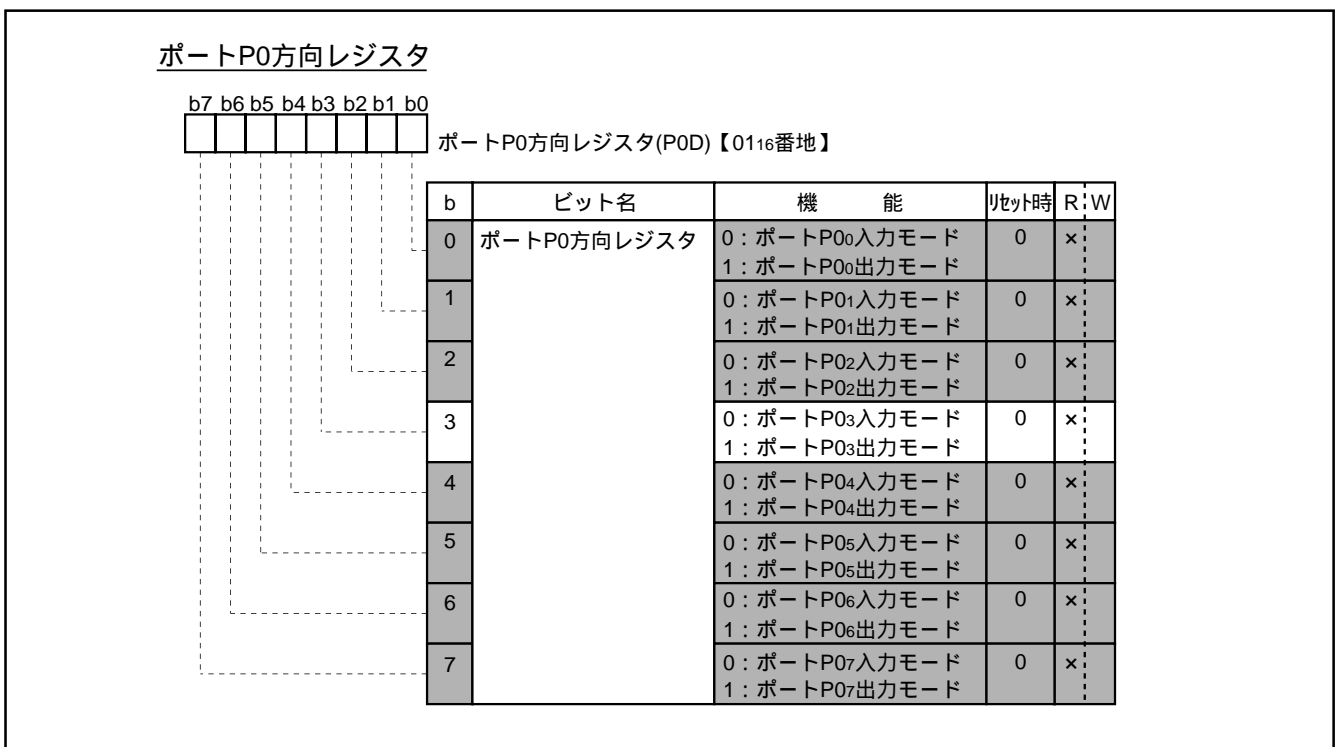


図2.4.2 ポートP0方向レジスタの構成

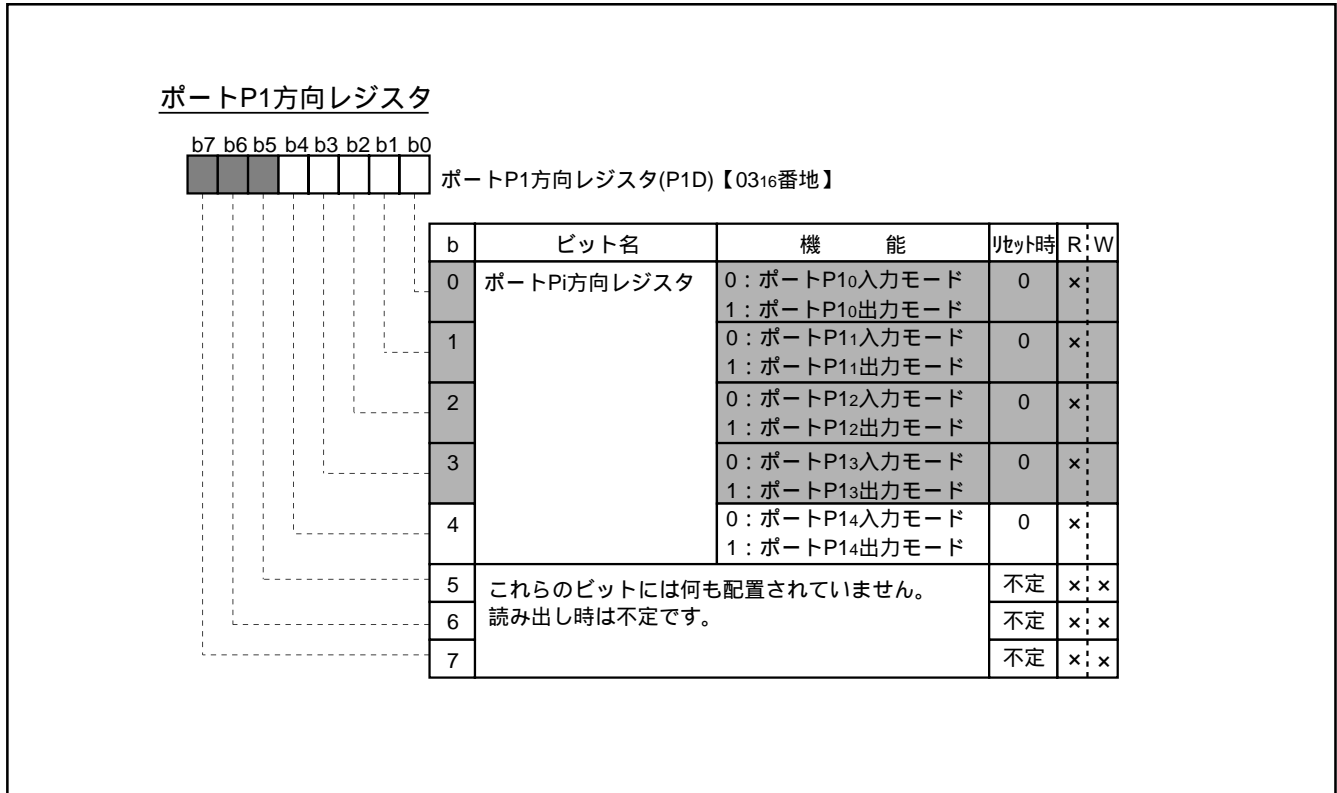


図2.4.3 ポートP1方向レジスタの構成

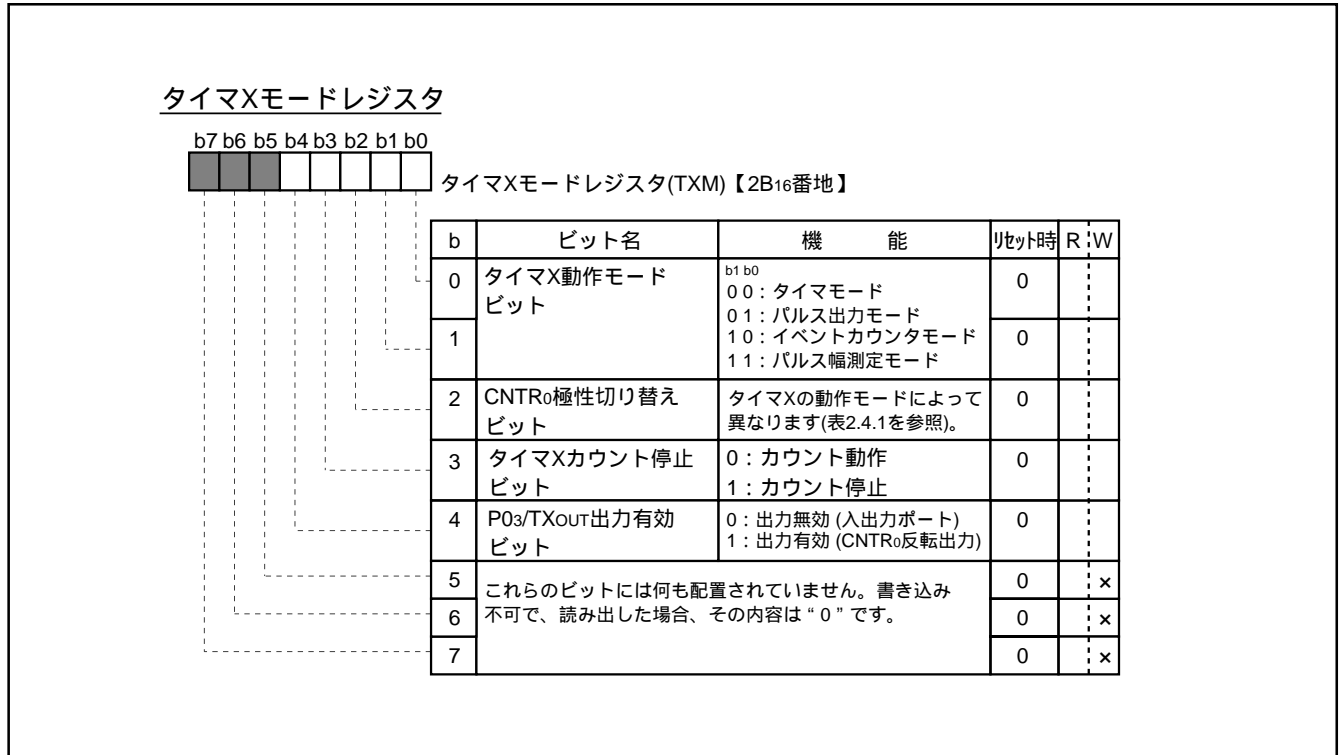


図2.4.4 タイマXモードレジスタの構成

表2.4.1 CNTR0極性切り替えビットの機能

タイマXの動作モード	CNTR0極性切り替えビット	
タイマモード	“0”	・ CNTR0割り込み要求の発生：立ち下がりエッジ(タイマXのカウントに影響なし)
	“1”	・ CNTR0割り込み要求の発生：立ち上がりエッジ(タイマXのカウントに影響なし)
パルス出力モード	“0”	・ パルス出力開始：“H”レベルから ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ パルス出力開始：“L”レベルから ・ CNTR0割り込み要求の発生：立ち上がりエッジ
イベントカウンタモード	“0”	・ タイマX：立ち上がりエッジをカウント ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマX：立ち下がりエッジをカウント ・ CNTR0割り込み要求の発生：立ち上がりエッジ
パルス幅測定モード	“0”	・ タイマX：“H”レベル幅を測定 ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマX：“L”レベル幅を測定 ・ CNTR0割り込み要求の発生：立ち上がりエッジ

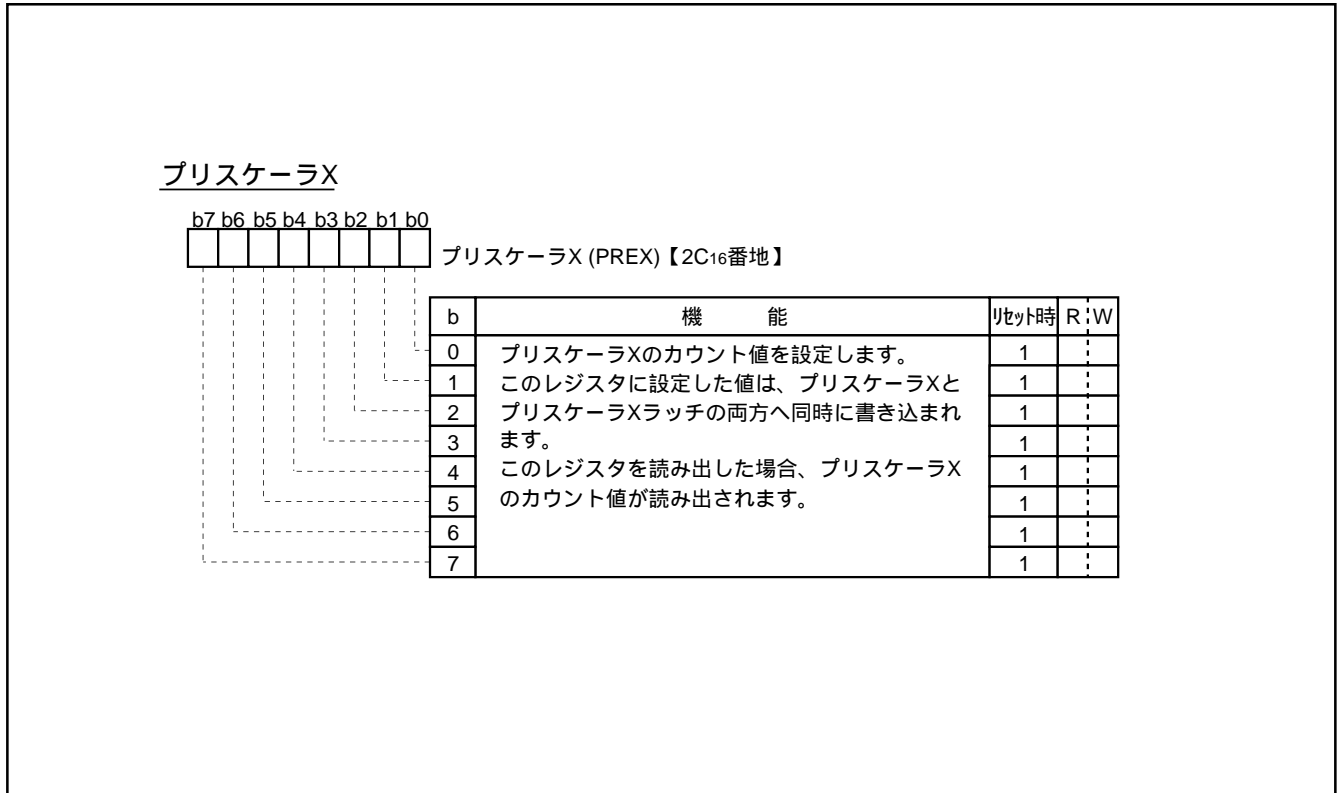


図2.4.5 プリスケータXの構成

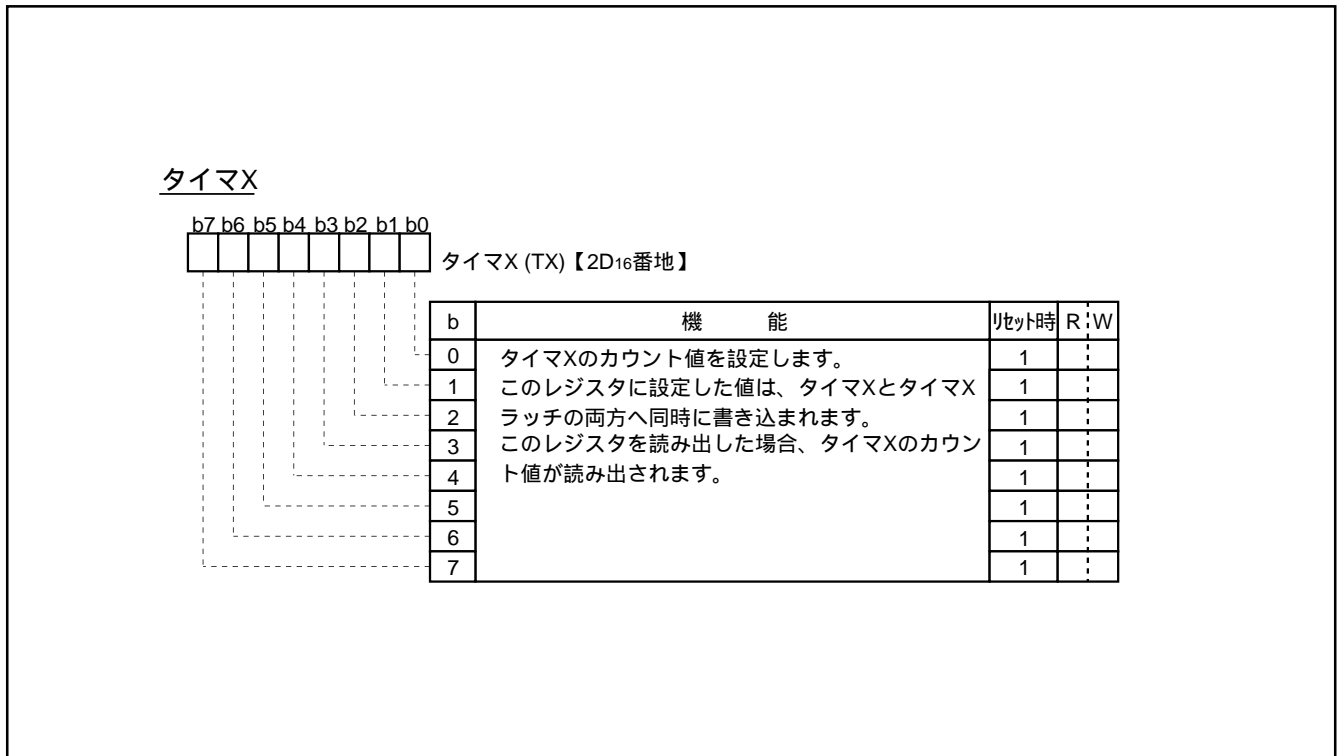
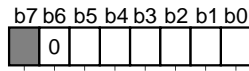


図2.4.6 タイマXの構成

タイマカウントソース設定レジスタ



タイマカウントソース設定レジスタ(TCSS)【2E16番地】

b	ビット名	機能	リセット時	R/W
0	タイマXカウントソース 選択ビット	b1 b0 00 : $f(X_{IN})/16$ 01 : $f(X_{IN})/2$	0	-
1		10 : $f(X_{IN})$ (注1) 11 : 選択禁止	0	
2	タイマYカウントソース 選択ビット	b3 b2 00 : $f(X_{IN})/16$ 01 : $f(X_{IN})/2$	0	-
3		10 : オンチップオシレータ出力(注2) 11 : 選択禁止	0	
4	タイマZカウントソース 選択ビット	b5 b4 00 : $f(X_{IN})/16$ 01 : $f(X_{IN})/2$	0	-
5		10 : タイマYアンダフロー 11 : 選択禁止	0	
6	このビットは“0”に固定してください。		0	-
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x

- 注1. $f(X_{IN})$ は、セラミック発振、オンチップオシレータ時のみ使用可能です。RC発振時は使用しないでください。
2. CPUモードレジスタ(CPUM、3B16番地)のオンチップオシレータ発振制御ビット(ビット3)で、オンチップオシレータを発振許可することにより、オンチップオシレータをカウントソースとして動作します。

図2.4.7 タイマカウントソース設定レジスタの構成

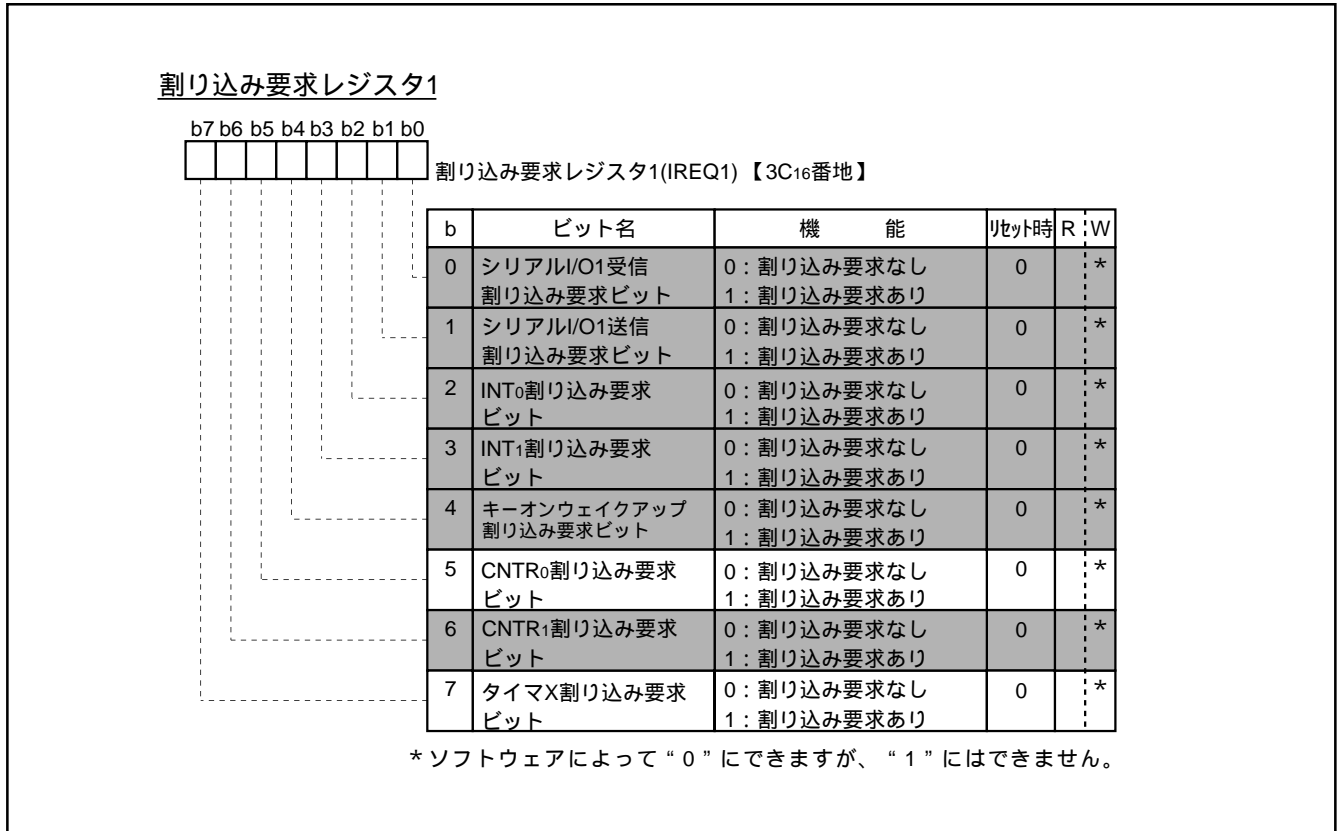


図2.4.8 割り込み要求レジスタ1の構成

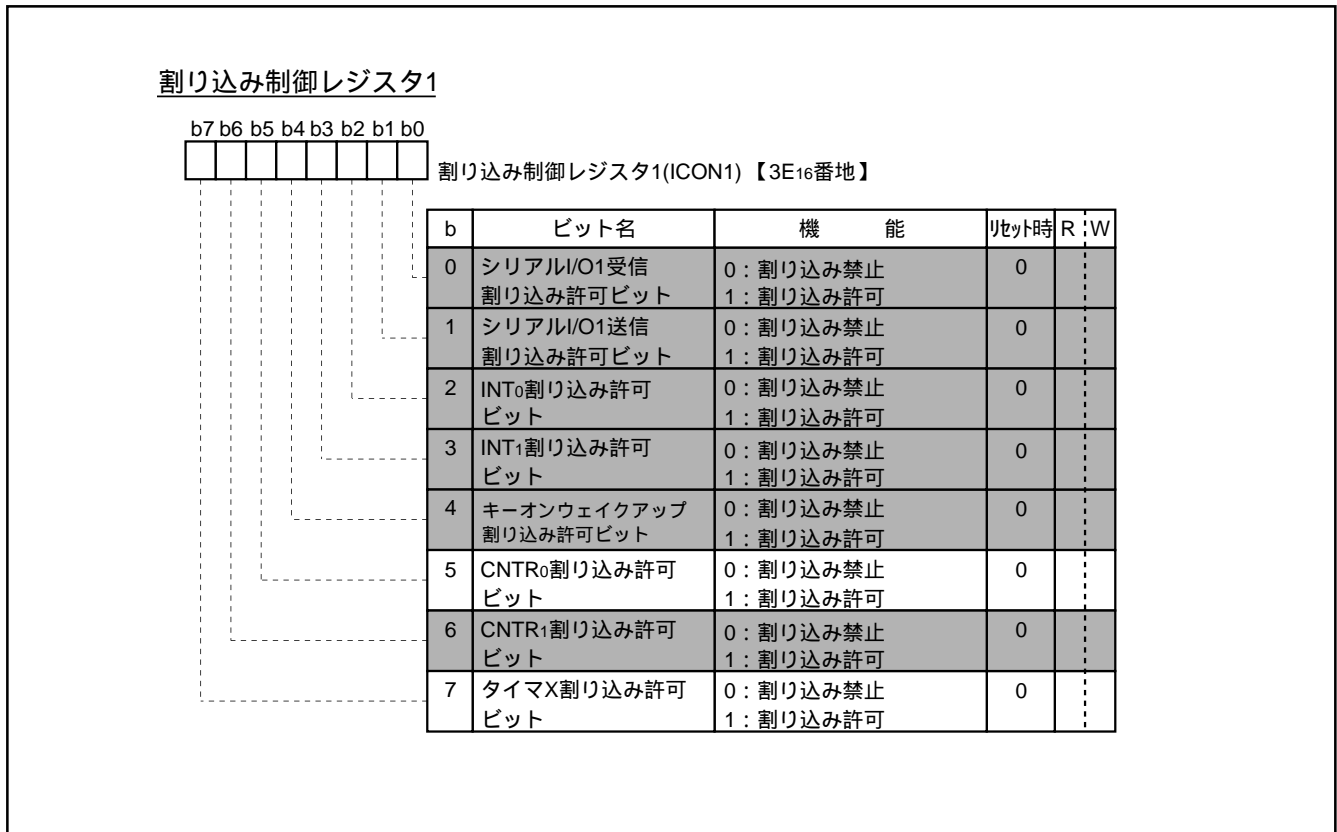


図2.4.9 割り込み制御レジスタ1の構成

2.4.3 タイマモード

(1) 動作説明

プリスケラXは、タイマXカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラXの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケラXラッチの値をプリスケラXに転送してカウントを続けます。プリスケラXの分周比は、プリスケラXの設定値をnとすると $1/(n+1)$ となります。

タイマXは、プリスケラXのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマXの内容が“0016”になった次のカウントクロックでアンダフローし、タイマXラッチの値をタイマXに転送してカウントを続けます。

タイマXの分周比は、タイマXの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケラXの設定値をn、タイマXの設定値をmとした場合、プリスケラXとタイマXをあわせた分周比は、次式で表されます。

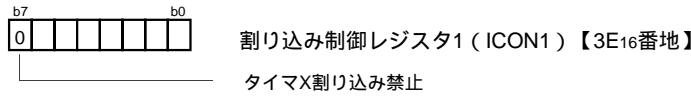
$$\text{分周比} = \frac{1}{(n+1) \times (m+1)}$$

タイマXは、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

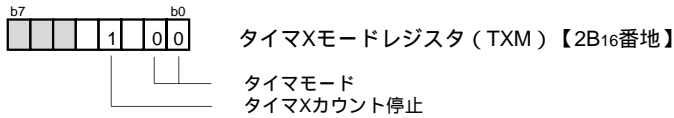
(2) タイマモードの設定方法

図2.4.10にタイマXのタイマモードの設定方法を示します。

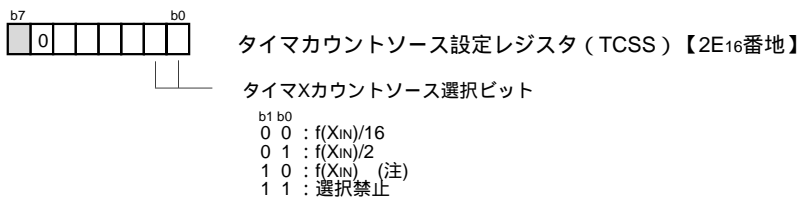
手順1：タイマX割り込みを禁止する



手順2：タイマXモードレジスタを設定する



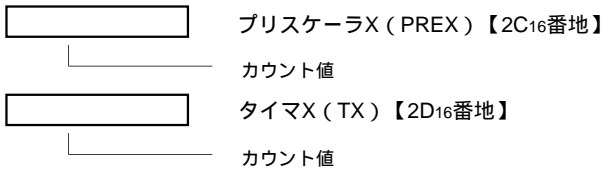
手順3：タイマXカウントソースを設定する



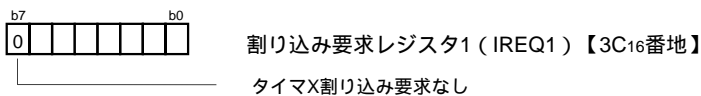
注． $f(X_{IN})$ は、セラミック発振、オンチップオシレータ時のみ使用可能です。
 RC発振時は使用しないでください。

手順4：タイマXのカウント値を設定する

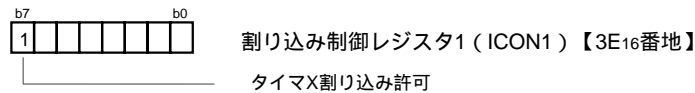
- ・プリスケラX、タイマXにカウント値を設定する。



手順5：不要な割り込み処理を実行しないために、タイマX割り込み要求ビットを“0”（要求なし）にしてください



手順6：割り込みを使用する場合は、タイマX割り込み許可ビットを“1”（割り込み許可）にしてください



手順7：タイマXのカウントを開始する

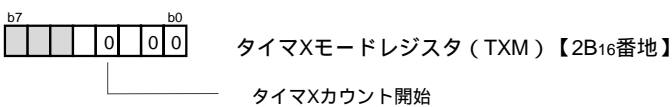


図2.4.10 タイマモードの設定方法

(3) タイマモードの応用例

ポイント

クロックをタイマで分周し、250 msごとに時計をカウントアップします。

仕様

クロック $f(X_{IN}) = 4.19 \text{ MHz}$ (2^{22} Hz)をタイマで分周する。タイマX割り込み(250 msごとに発生)処理ルーチンで、時計をカウントアップする。

動作クロックは $f(X_{IN}) = 4.19\text{MHz}$ 高速モードを使用する。

図2.4.11にタイマの接続と分周比の設定を、図2.4.12に制御手順例を示します。

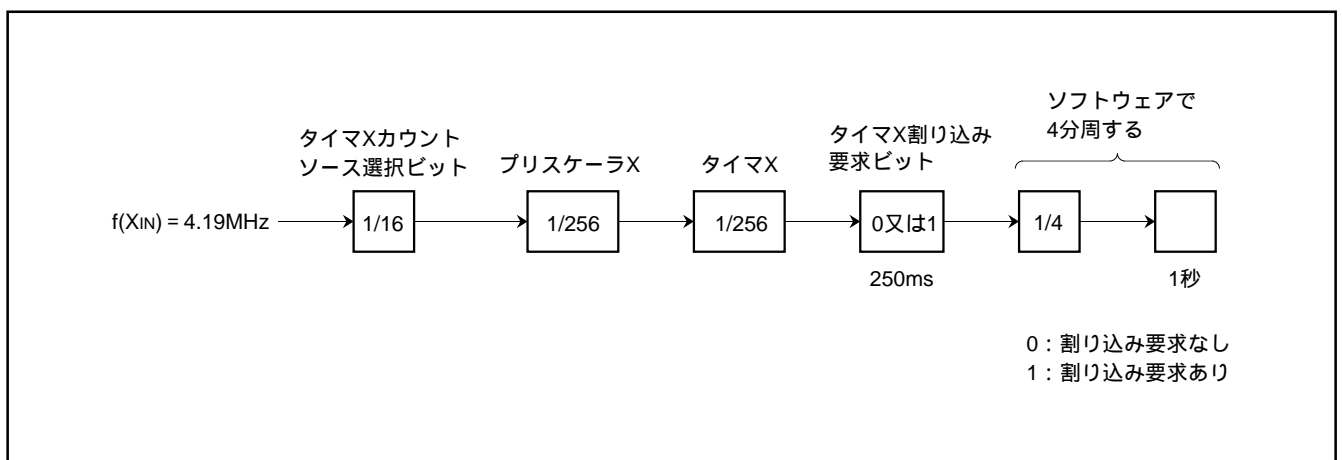


図2.4.11 タイマの接続と分周比の設定

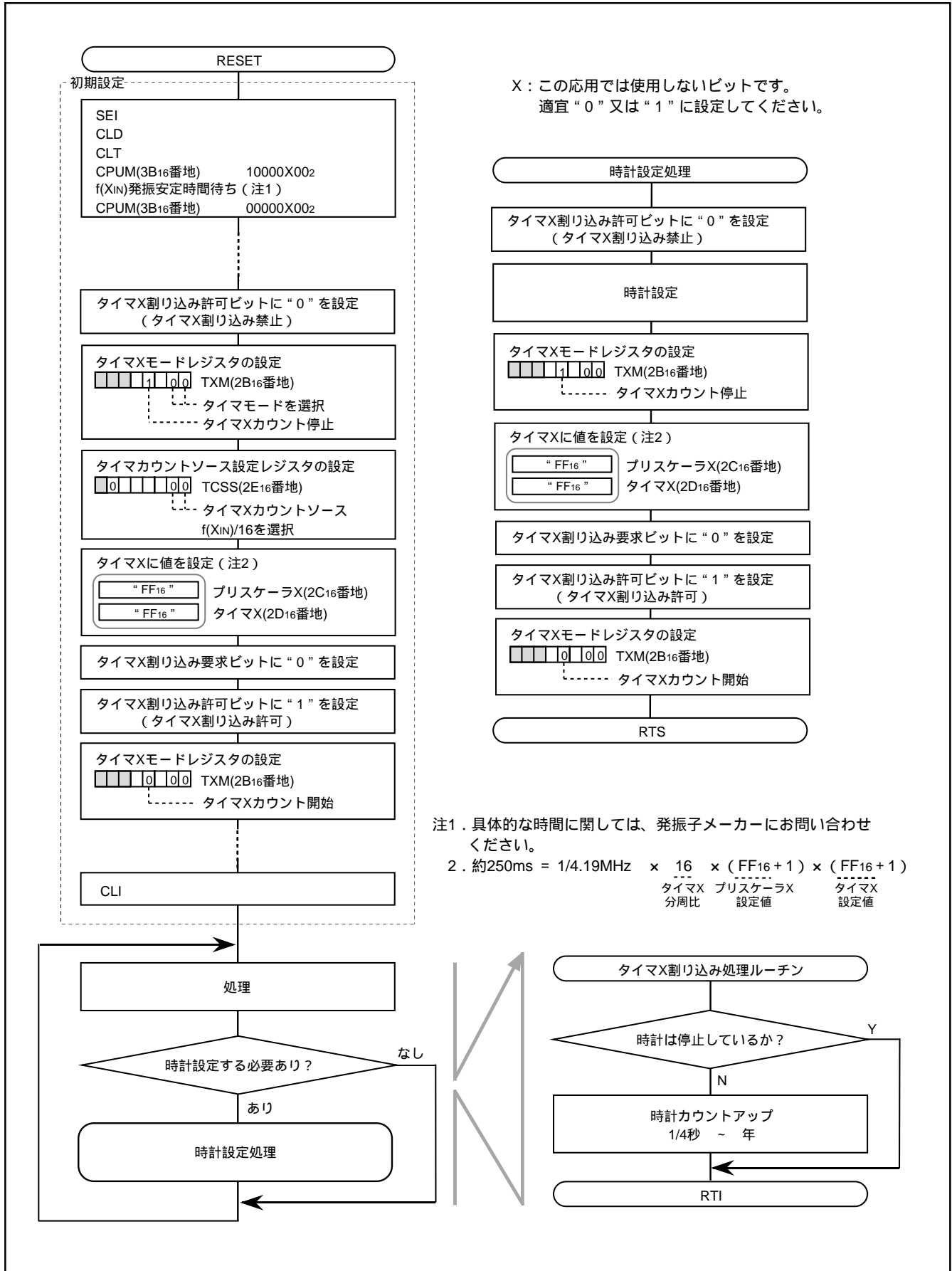


図2.4.12 制御手順例

2.4.4 パルス出力モード

(1) 動作説明

パルス出力モードでは、タイマXがアンダフローするたびに極性の反転する波形をP14/CNTR0端子から出力します。

CNTR0端子からの出力レベルはCNTR0極性切り替えビットで選択可能です。CNTR0極性切り替えビットが“0”のときは、CNTR0端子の出力は“H”から開始し、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の出力は“L”から開始します。

また、P03/TXOUT出力有効ビットを“1”に設定することによって、CNTR0端子から出力されるパルスの反転波形をTXOUT端子から出力することができます。

このモードを使用する場合は、それぞれの出力端子と兼用しているポートP14、P03の方向レジスタを出力モードに設定してください。

タイマXは、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

(2) パルス出力モードの設定方法

図2.4.13及び図2.4.14にタイマXのパルス出力モードの設定方法を示します。

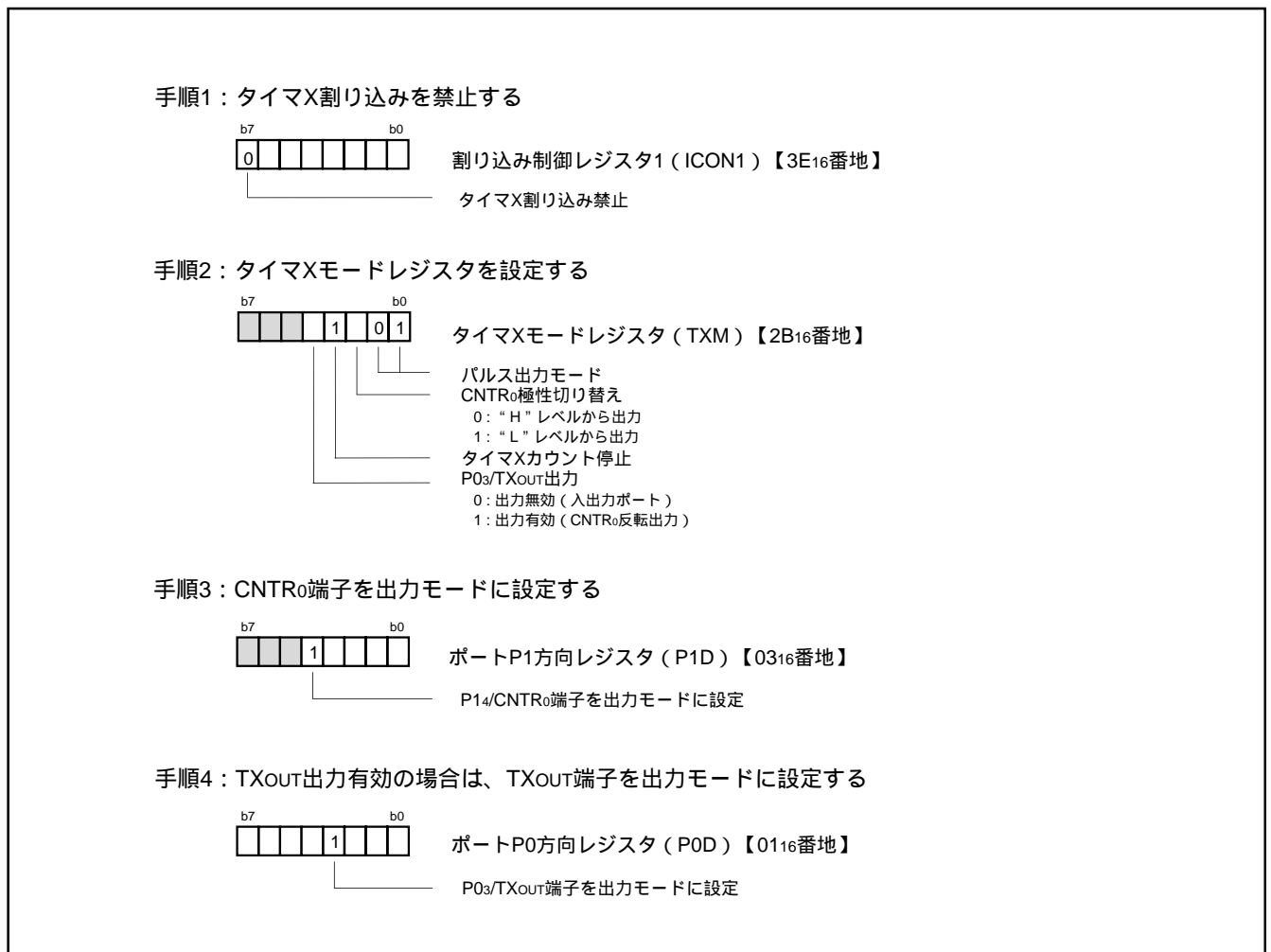
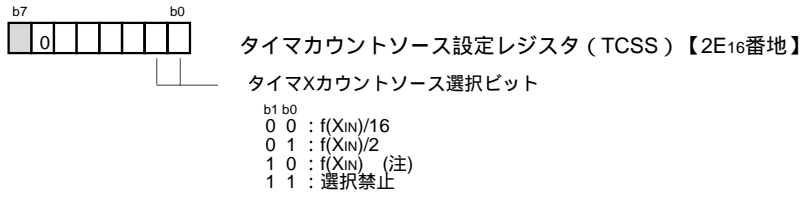


図2.4.13 パルス出力モードの設定方法(1)

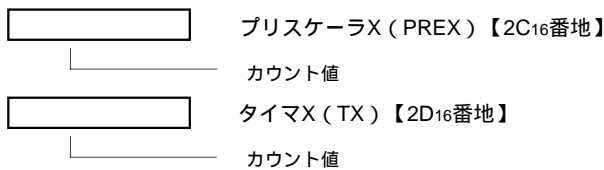
手順5：タイマXカウントソースを設定する



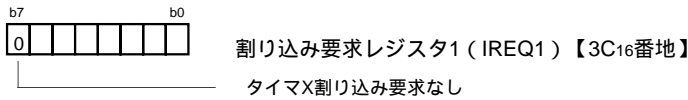
注 . $f(X_{IN})$ は、セラミック発振、オンチップオシレータ時のみ使用可能です。
RC発振時は使用しないでください。

手順6：タイマXのカウント値を設定する

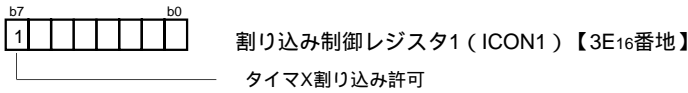
- ・プリスケラX、タイマXにカウント値を設定する。



手順7：不要な割り込み処理を実行しないために、タイマX割り込み要求ビットを“0”（要求なし）にしてください



手順8：割り込みを使用する場合は、タイマX割り込み許可ビットを“1”（割り込み許可）にしてください



手順9：タイマXのカウントを開始する

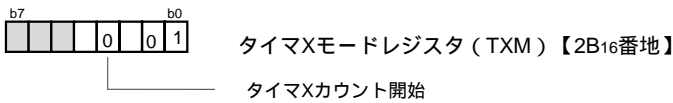


図2.4.14 パルス出力モードの設定方法(2)

(3) パルス出力モードの応用例

ポイント

タイマXのパルス出力モードを圧電ブザー出力に応用します。

仕様

クロック $f(X_{IN}) = 4\text{MHz}$ を 4kHz まで分周した方形波を、P14/CNTR0端子から出力する。圧電ブザー出力停止中はP14/CNTR0端子のレベルを“H”に固定する。

動作クロックは $f(X_{IN}) = 4\text{MHz}$ 倍速モードを使用する。

図2.4.15に周辺回路例、図2.4.16にタイマの接続と分周比の設定、図2.4.17に制御手順例を示します。

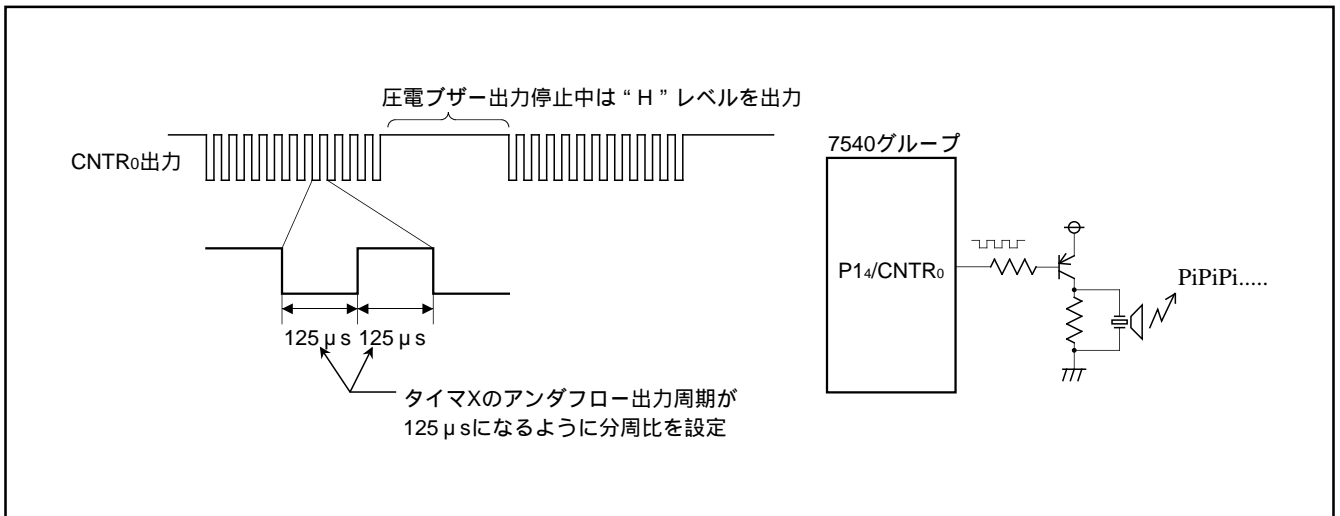


図2.4.15 周辺回路例

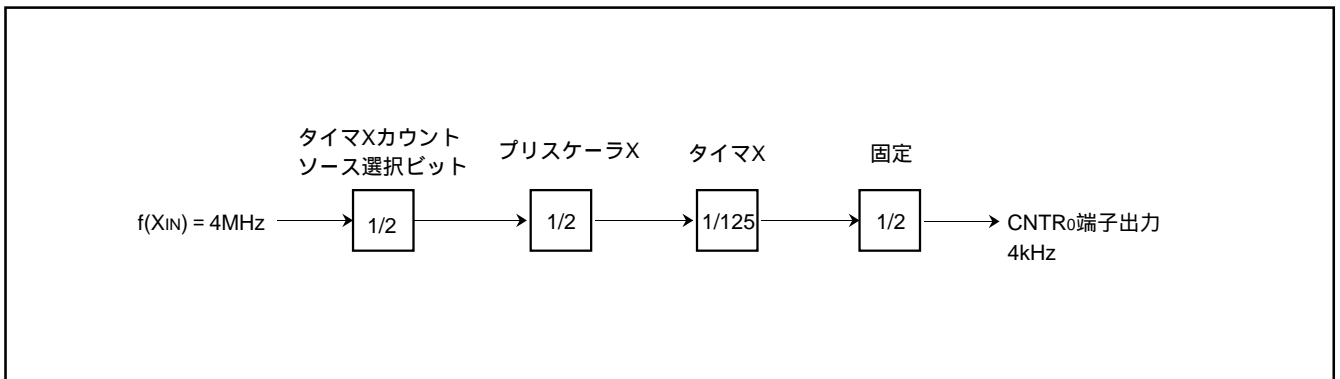


図2.4.16 タイマの接続と分周比の設定

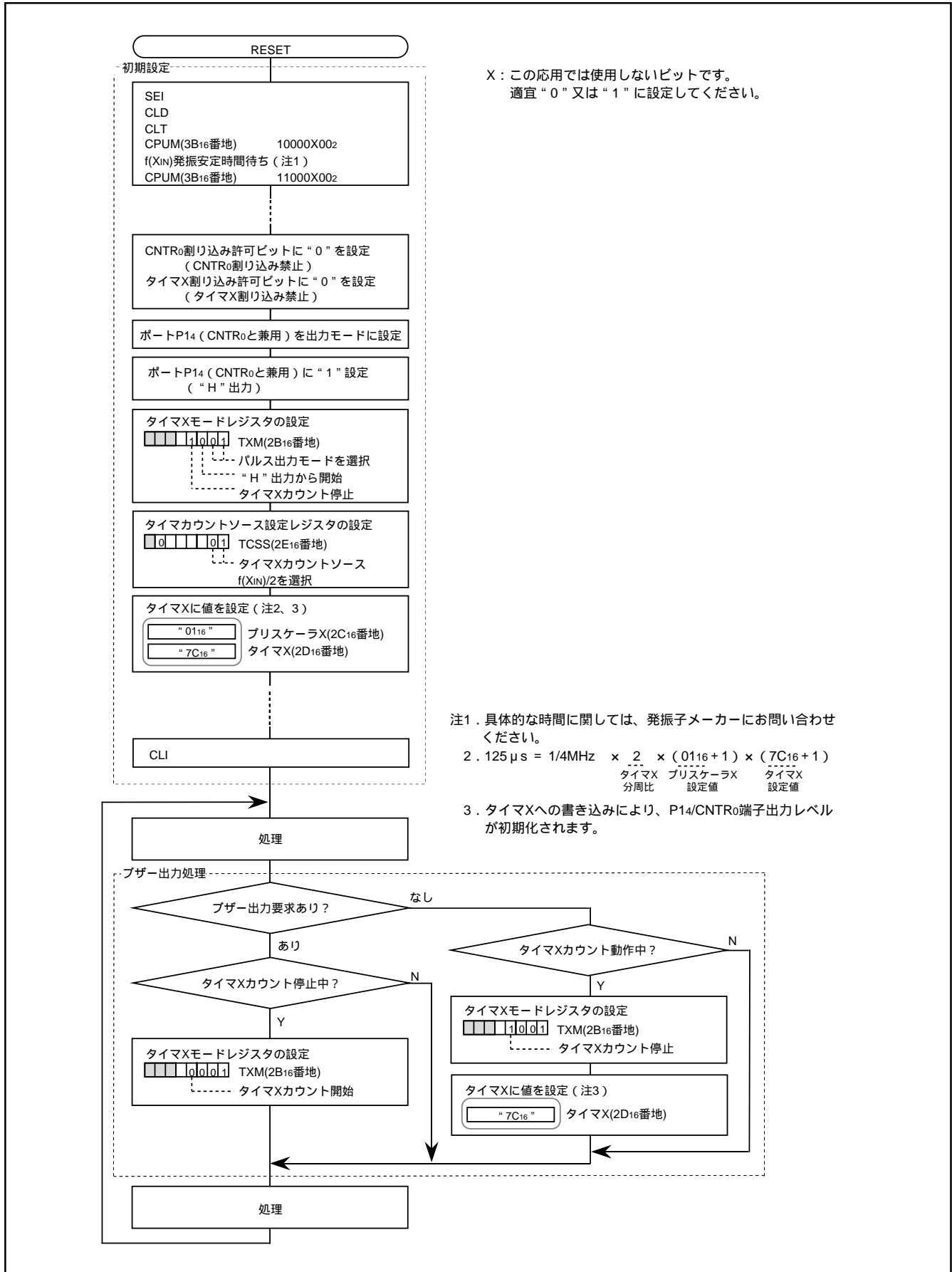


図2.4.17 制御手順例

2.4.5 イベントカウンタモード

(1) 動作説明

イベントカウンタモードは、P14/CNTR0端子に入力される信号がカウントソースになることを除けば、タイマモードと同じ動作をします。CNTR0端子入力の有効エッジは、CNTR0極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

タイマXは、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

(2) イベントカウンタモードの設定方法

図2.4.18及び図2.4.19にタイマXのイベントカウンタモードの設定方法を示します。

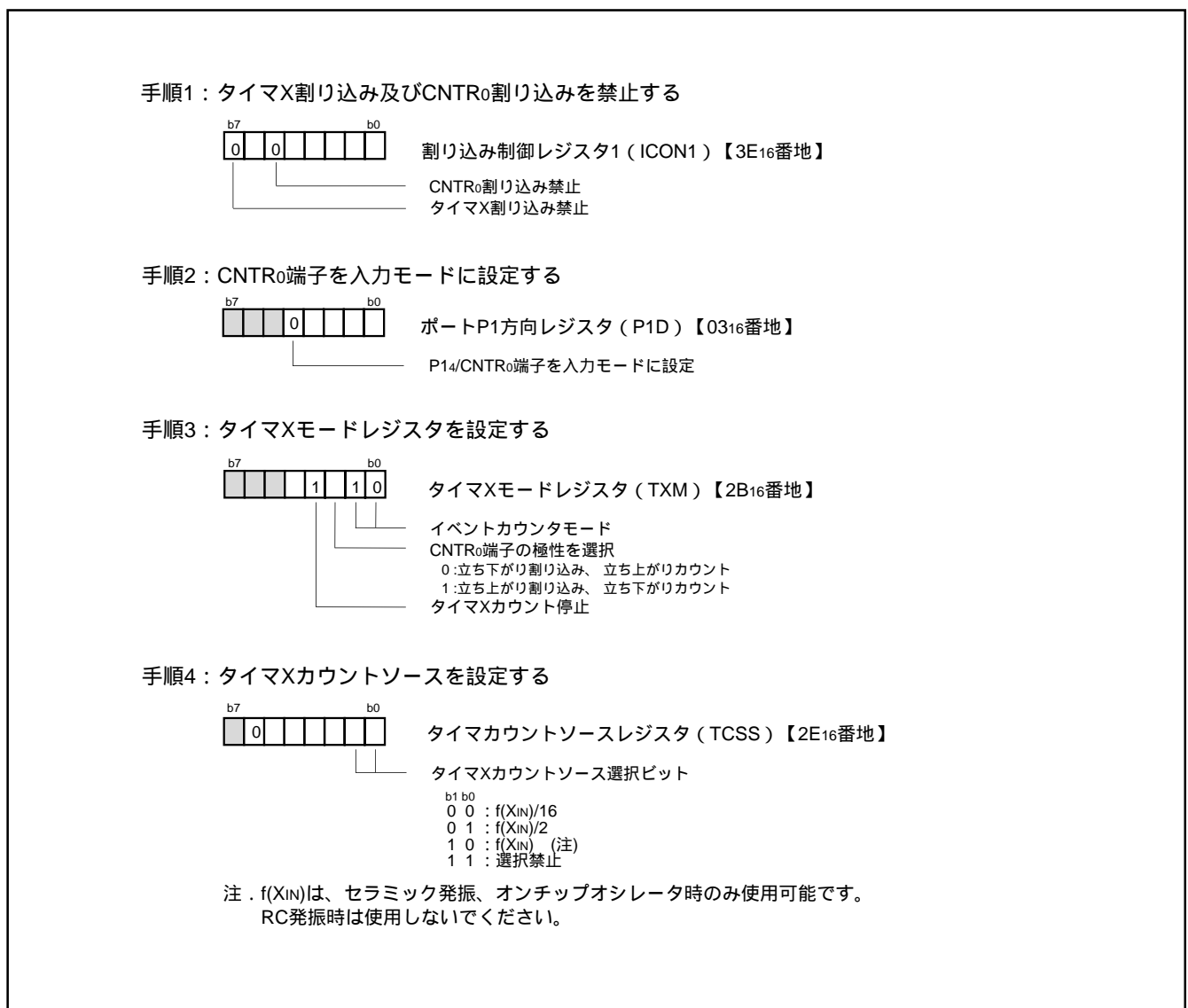
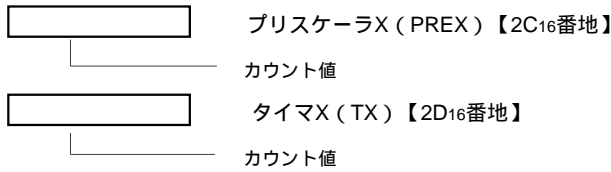


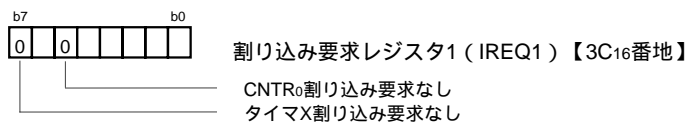
図2.4.18 イベントカウンタモードの設定方法(1)

手順5：タイマXのカウント値を設定する

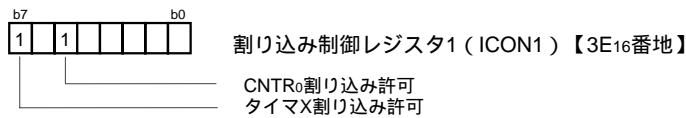
- ・プリスケアラX、タイマXにカウント値を設定する。



手順6：不要な割り込み処理を実行しないために、タイマX割り込み要求ビット及びCNTR₀割り込み要求ビットを“0”（要求なし）にしてください



手順7：割り込みを使用する場合は、使用する割り込みの割り込み許可ビットを“1”（割り込み許可）にしてください



手順8：タイマXのカウントを開始する

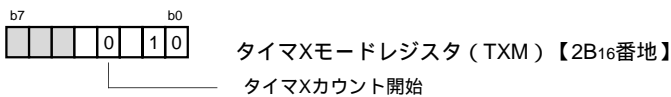


図2.4.19 イベントカウンタモードの設定方法(2)

(3) イベントカウンタモードの応用例

ポイント

水の流量に応じて発生するパルスを一定時間(100ms)カウントし、その期間の水の流用を算出します。

仕様

水の流量に応じて発生するパルスをP14/CNTR0端子に入力し、タイマXでカウントする。パルスのカウント開始から100ms後に発生するタイマY割り込み処理ルーチン内でタイマXの内容を読み出し、100ms間の水の流量を算出する。

動作クロックは $f(X_{IN}) = 8\text{MHz}$ 高速モードを使用する。

図2.4.20に周辺回路例、図2.4.21に水の流量の測定方法、図2.4.22に制御手順例を示します。

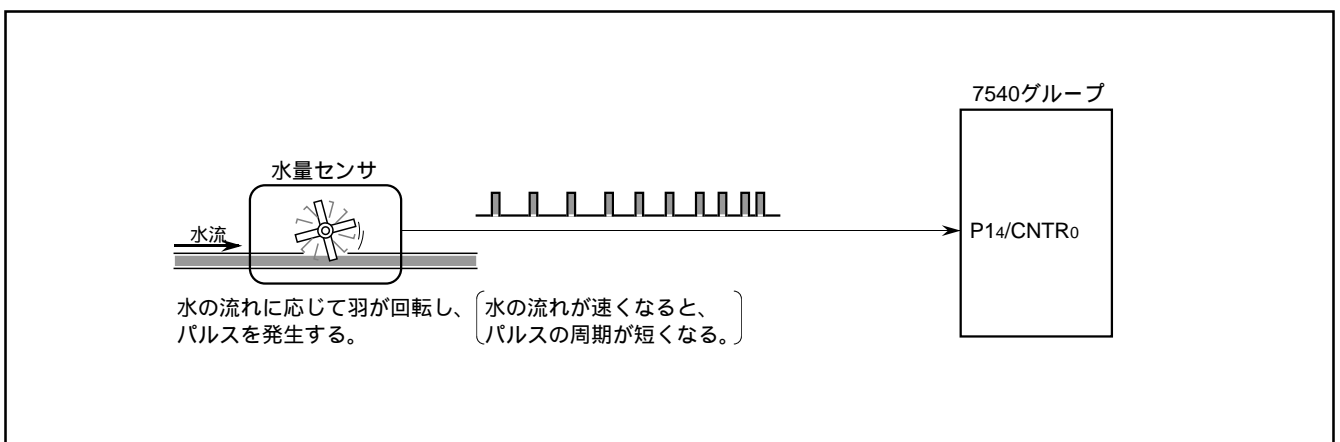


図2.4.20 周辺回路例

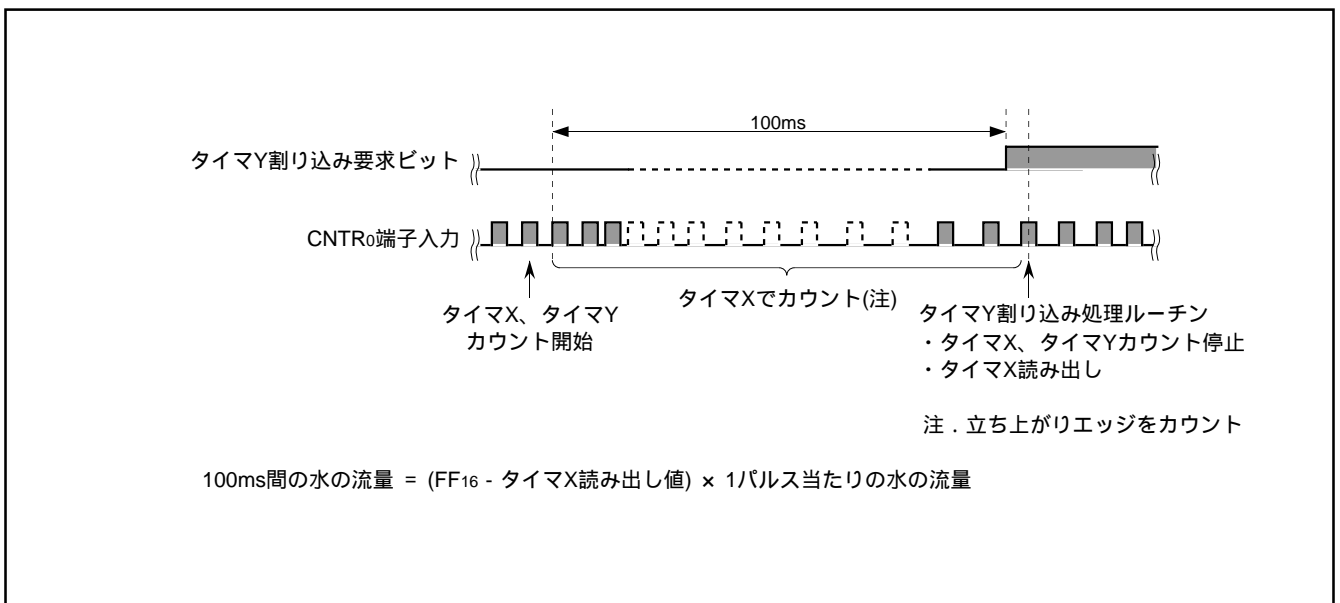
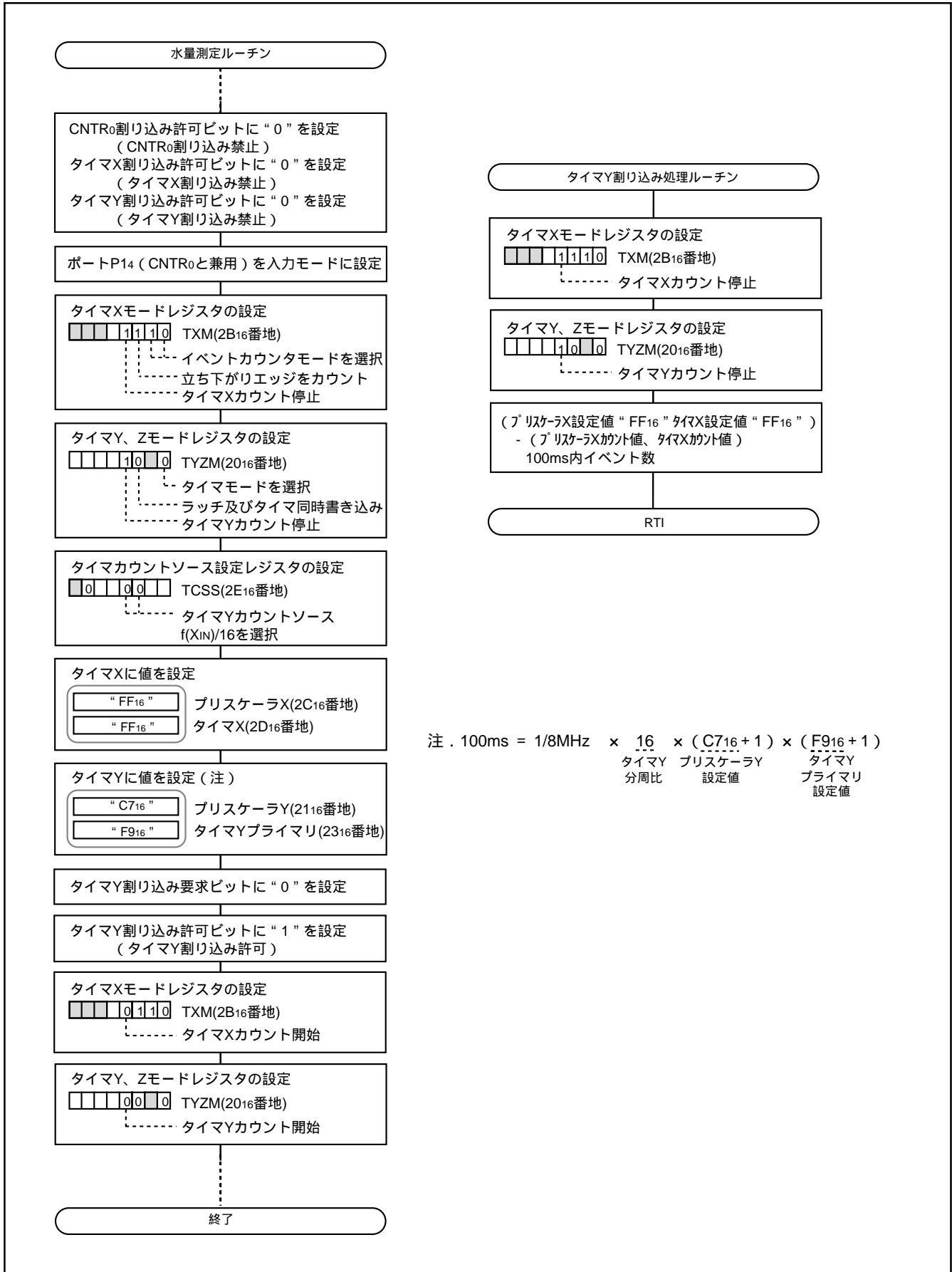


図2.4.21 水の流量の測定方法



注 . 100ms = 1/8MHz × $\frac{16}{\text{タイマY 分周比}}$ × (C7₁₆ + 1) × (F9₁₆ + 1)

プリスケーラY 設定値 タイマY プライマリ 設定値

図2.4.22 制御手順例

2.4.6 パルス幅測定モード

(1) 動作説明

パルス幅測定モードは、P14/CNTR0端子に入力される信号のパルス幅を測定するモードです。パルス幅測定モードでは、CNTR0端子の入力信号のレベルによってタイマXの動作、停止を制御します。

CNTR0極性切り替えビットが“0”のときは、CNTR0端子の入力信号レベルが“H”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“L”の期間はカウントを停止します。また、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の入力信号レベルが“L”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“H”の期間はカウントを停止します。

タイマXは、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

(2) パルス幅測定モードの設定方法

図2.4.23及び図2.4.24にタイマXのパルス幅測定モードの設定方法を示します。

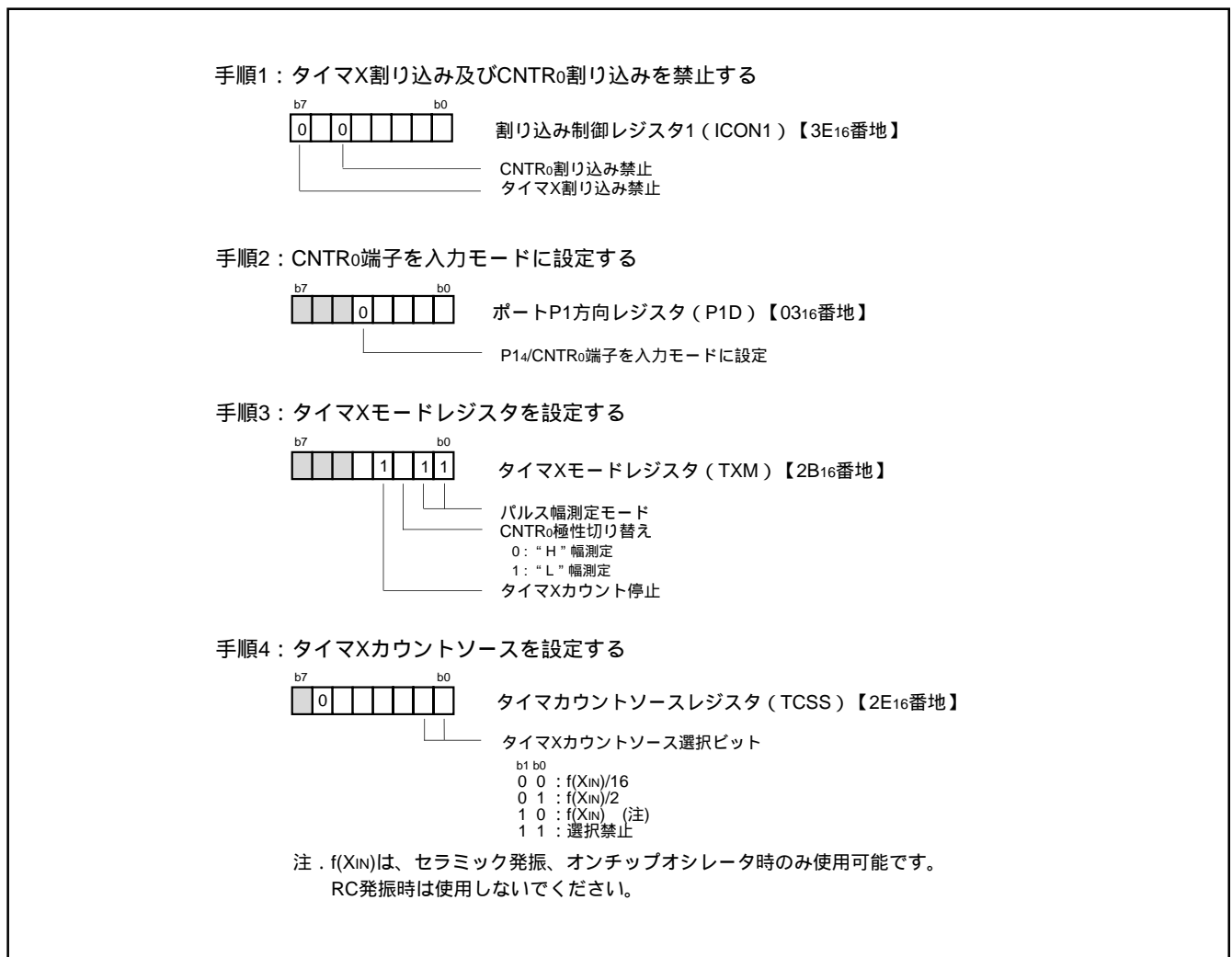
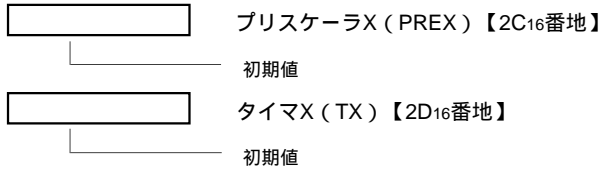


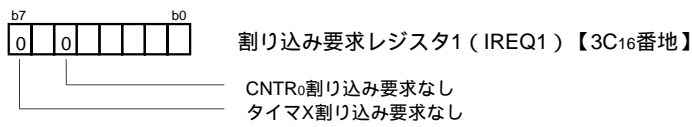
図2.4.23 パルス幅測定モードの設定方法(1)

手順5：タイマXのカウンタ値を設定する

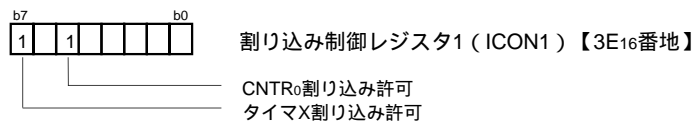
- ・プリスケアラX、タイマXに初期値を設定する。



手順6：不要な割り込み処理を実行しないために、タイマX割り込み要求ビット及びCNTR0割り込み要求ビットを“0”（要求なし）にしてください



手順7：割り込みを使用する場合は、使用する割り込みの割り込み許可ビットを“1”（割り込み許可）にしてください



手順8：タイマXのカウンタを開始する

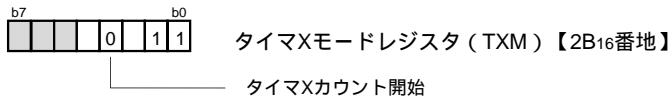


図2.4.24 パルス幅測定モードの設定方法(2)

(3) パルス幅測定モードの応用例

ポイント

P14/CNTR0端子に入力されるパルスの“H”レベル幅をカウントします。

仕様

P14/CNTR0端子に入力されるFGパルスの“H”レベル幅をカウントする。アンダフローはタイマX割り込みで検出され、入力パルスの“H”レベルの終了はCNTR0割り込みで検出される。

動作クロックは $f(X_{IN}) = 4.19\text{MHz}$ 高速モードを使用する。

例

4.19 MHzの場合、16分周された $3.8\ \mu\text{s}$ がカウントソースとなる。FFFF₁₆ ~ 0000₁₆の範囲で250 msまで測定可能。

図2.4.25にタイマの接続と分周比の設定を、図2.4.26に制御手順例を示します。

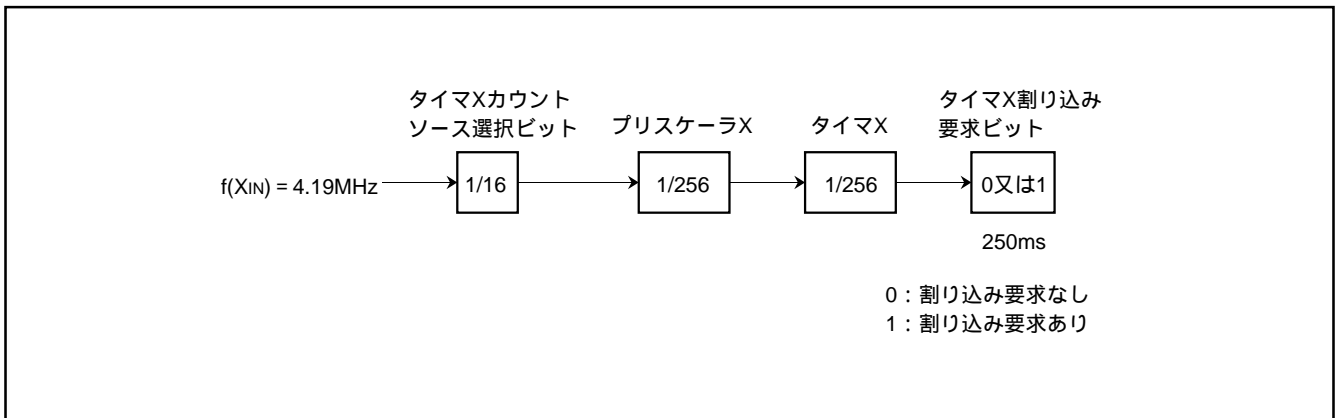


図2.4.25 タイマの接続と分周比の設定

2.4.7 タイマXに関する注意事項

タイマXを使用する場合は、以下の注意が必要です。

(1) カウントソース設定に関して

f(XIN)は、セラミック発振、オンチップオシレータ時のみ使用可能です。RC発振時は使用しないでください。

(2) パルス出力モードに関して

CNTR0端子を使用するため、ポートP1方向レジスタのビット4を“1”に設定して、出力モードにしてください。

TXOUT端子を使用する場合には、ポートP0方向レジスタのビット3を“1”に設定して、出力モードにしてください。

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

(3) パルス幅測定モードに関して

CNTR0端子を使用するため、ポートP1方向レジスタのビット4を“0”に設定して、入力モードにしてください。

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

2.5 タイマY、タイマZ

本節ではタイマY、タイマZに関するレジスタの設定方法、注意事項などを説明します。

2.5.1 メモリ配置図



図2.5.1 タイマY、タイマZ関連レジスタのメモリ配置

2.5.2 関連レジスタ

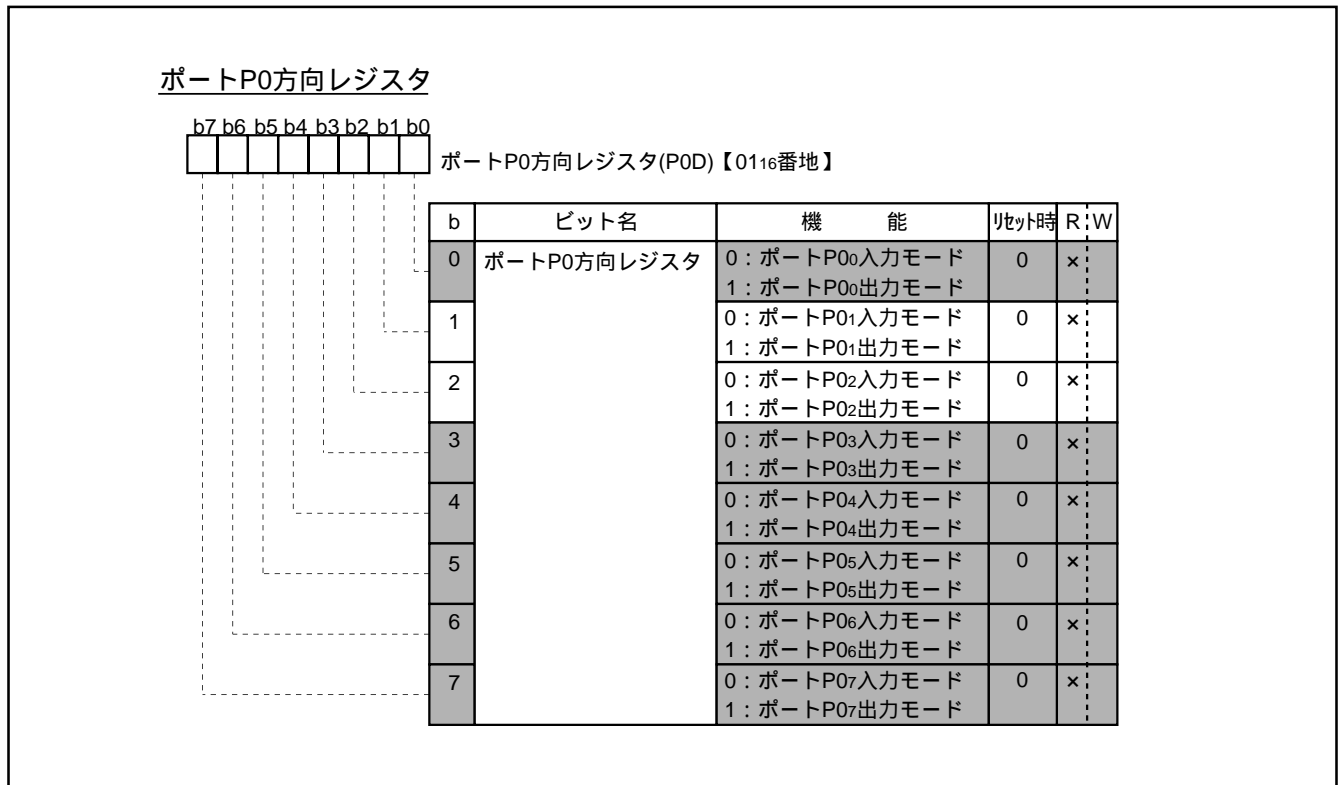


図2.5.2 ポートP0方向レジスタの構成

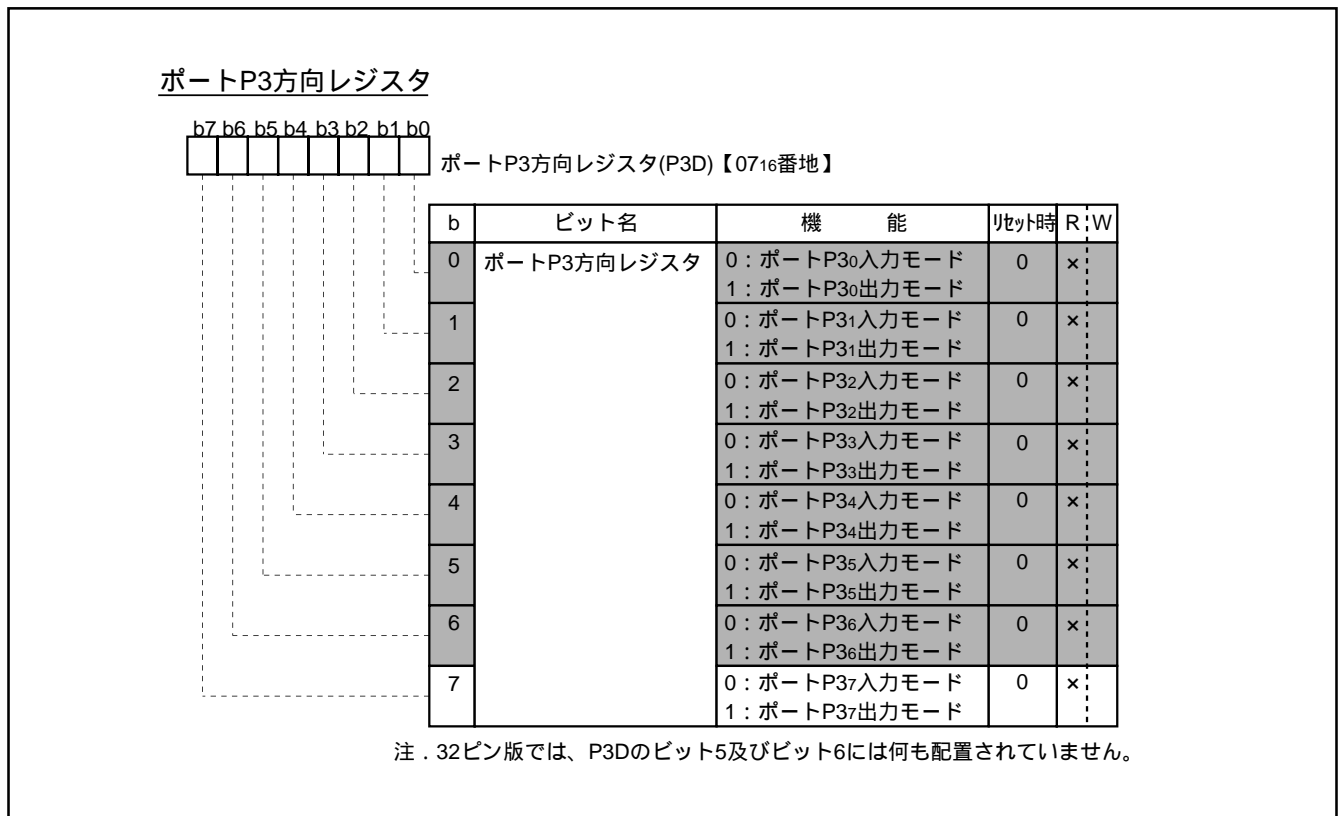


図2.5.3 ポートP3方向レジスタの構成

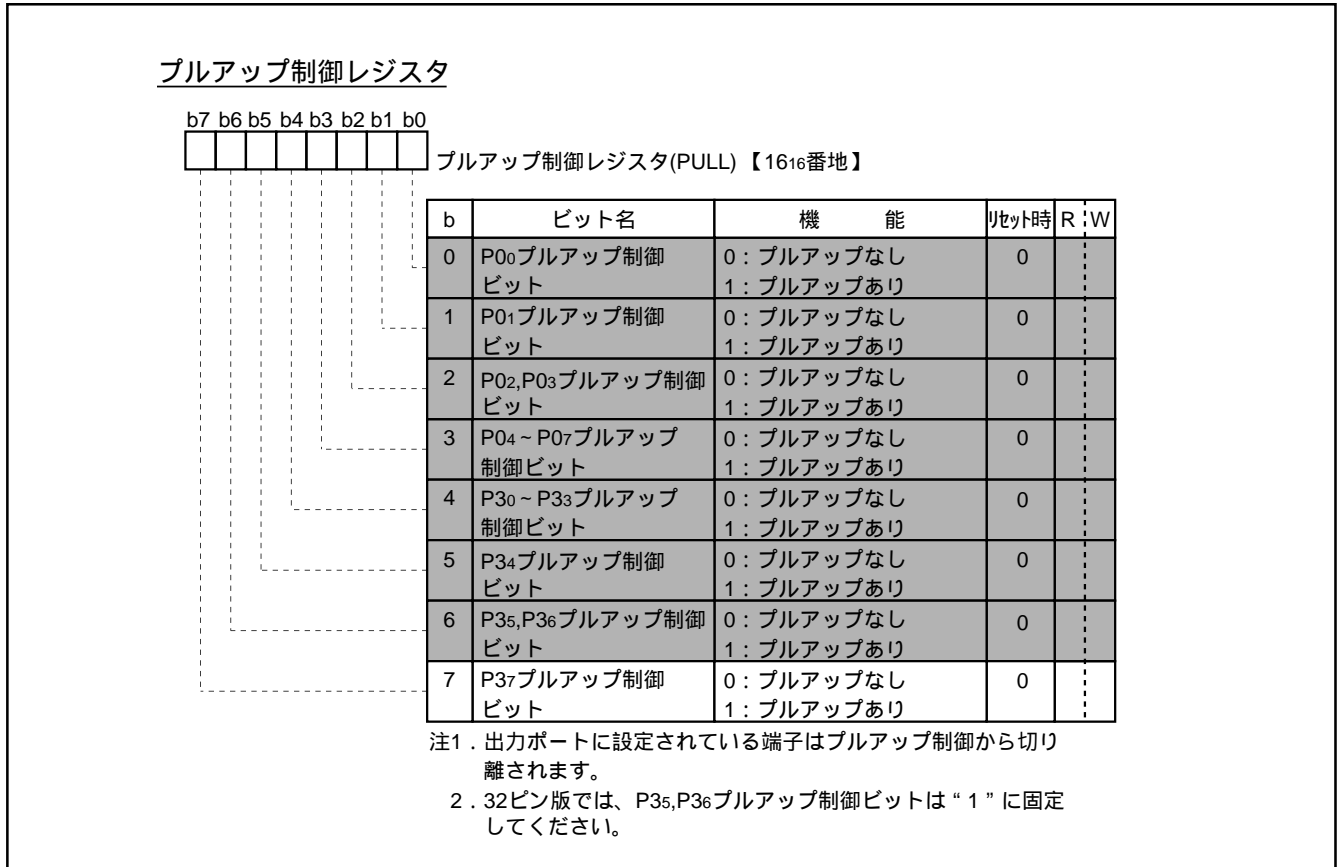


図2.5.4 プルアップ制御レジスタの構成

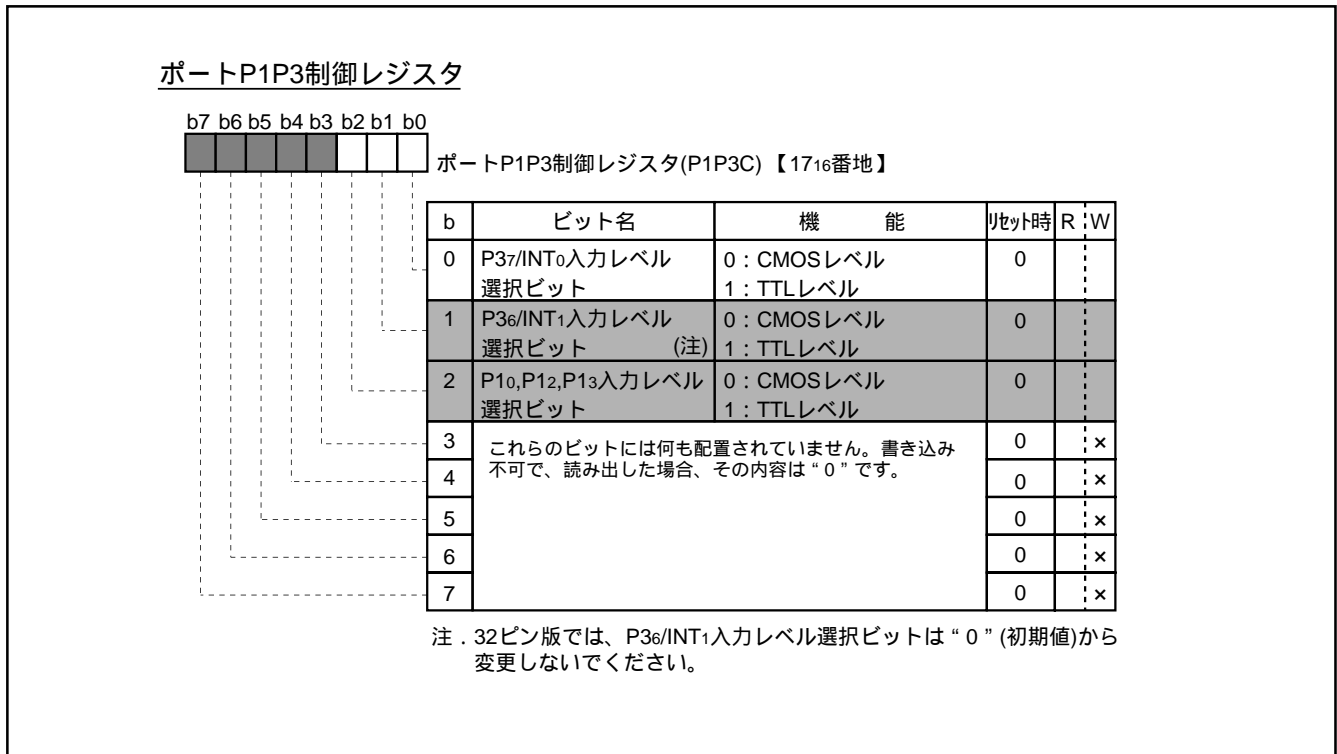


図2.5.5 ポートP1P3制御レジスタの構成

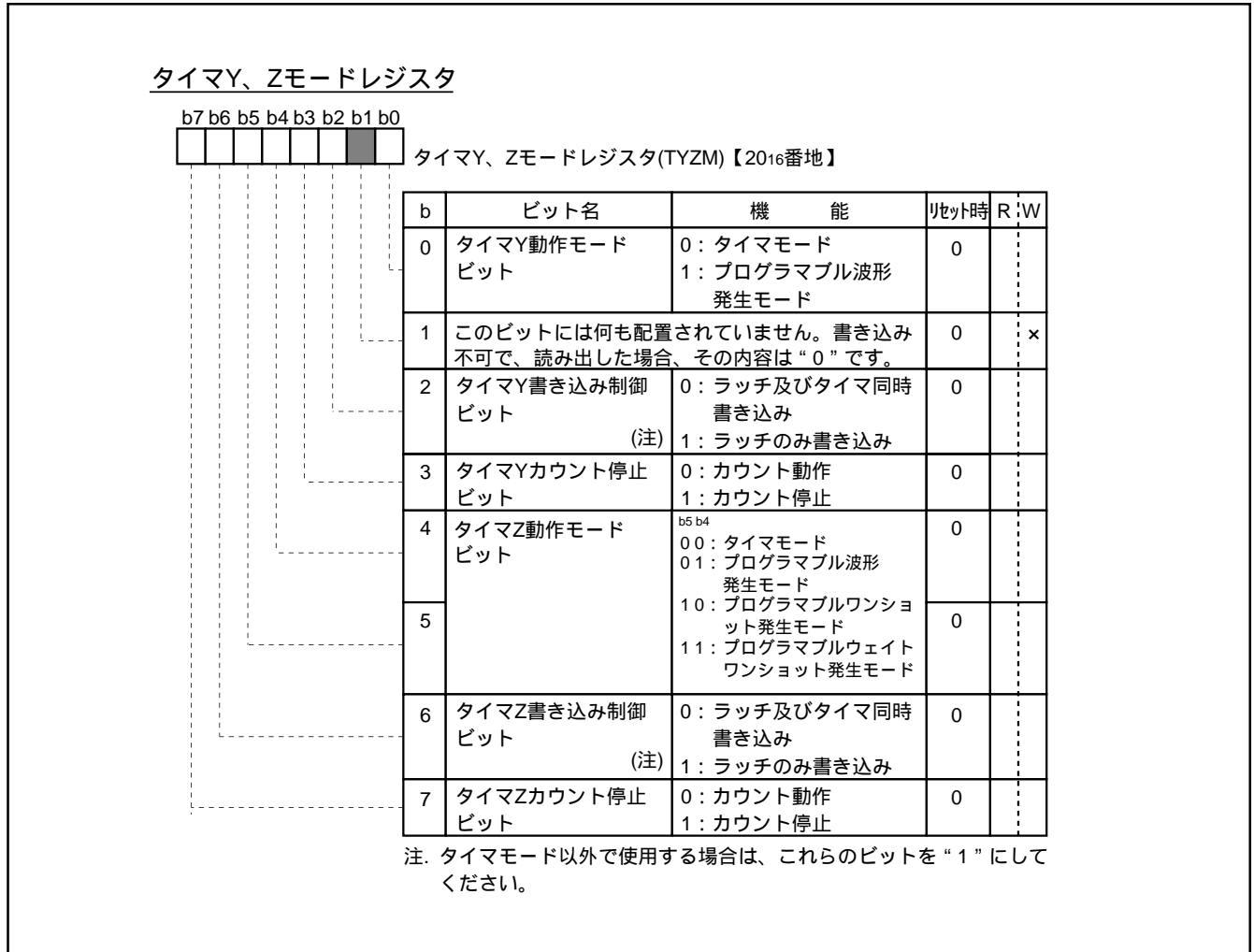


図2.5.6 タイマY、Zモードレジスタの構成

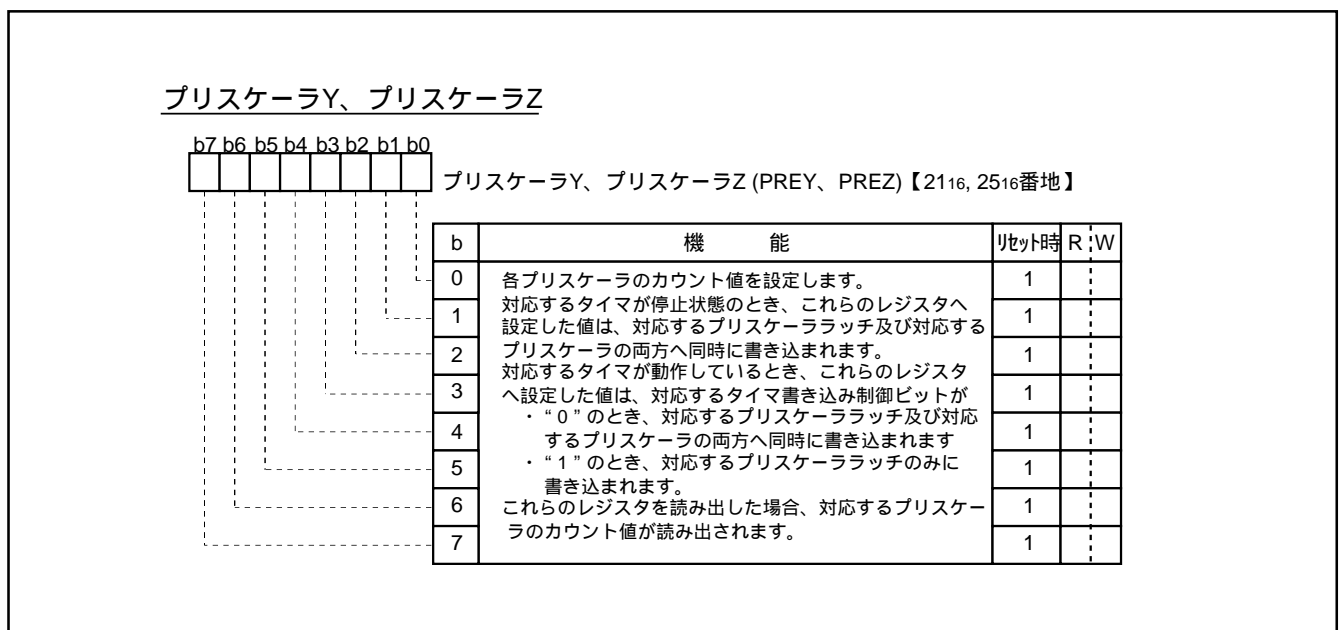


図2.5.7 プリスケアラY、プリスケアラZの構成

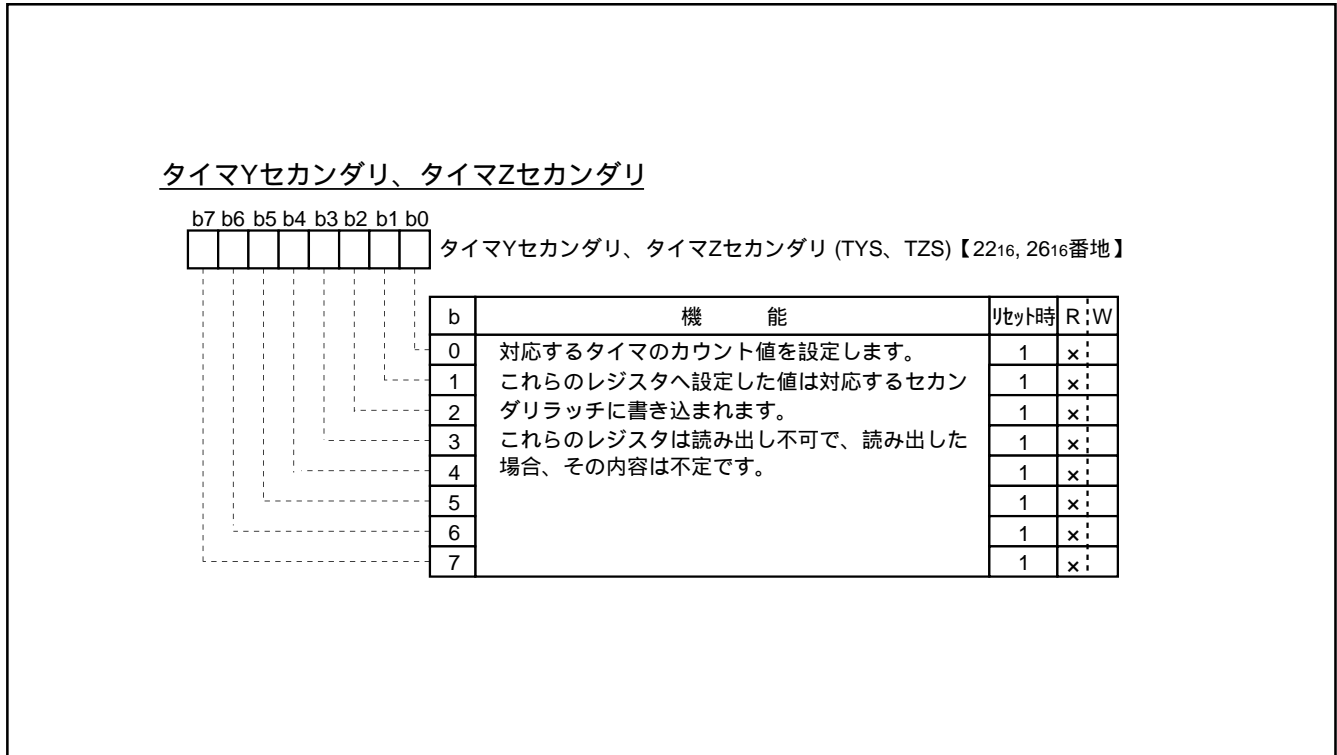


図2.5.8 タイマYセカンダリ、タイマZセカンダリの構成

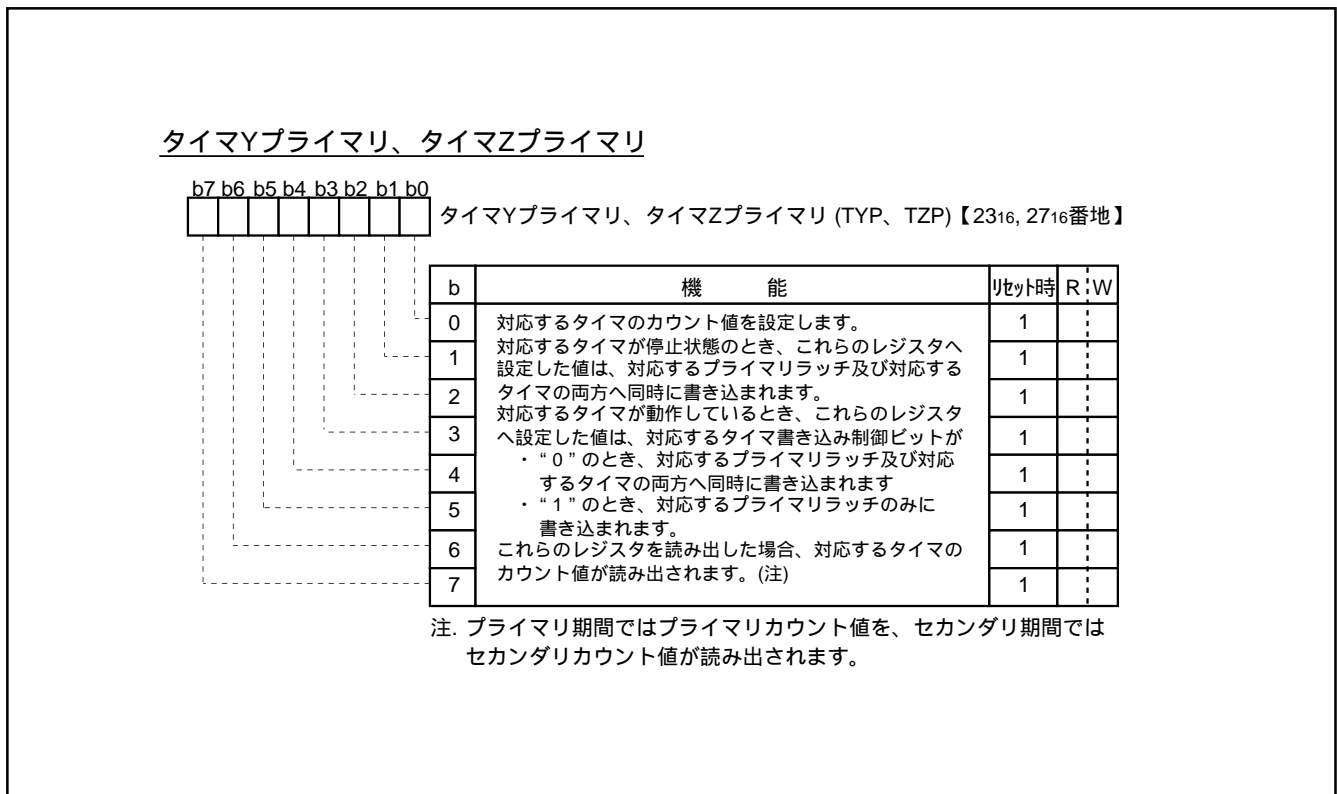


図2.5.9 タイマYプライマリ、タイマZプライマリの構成

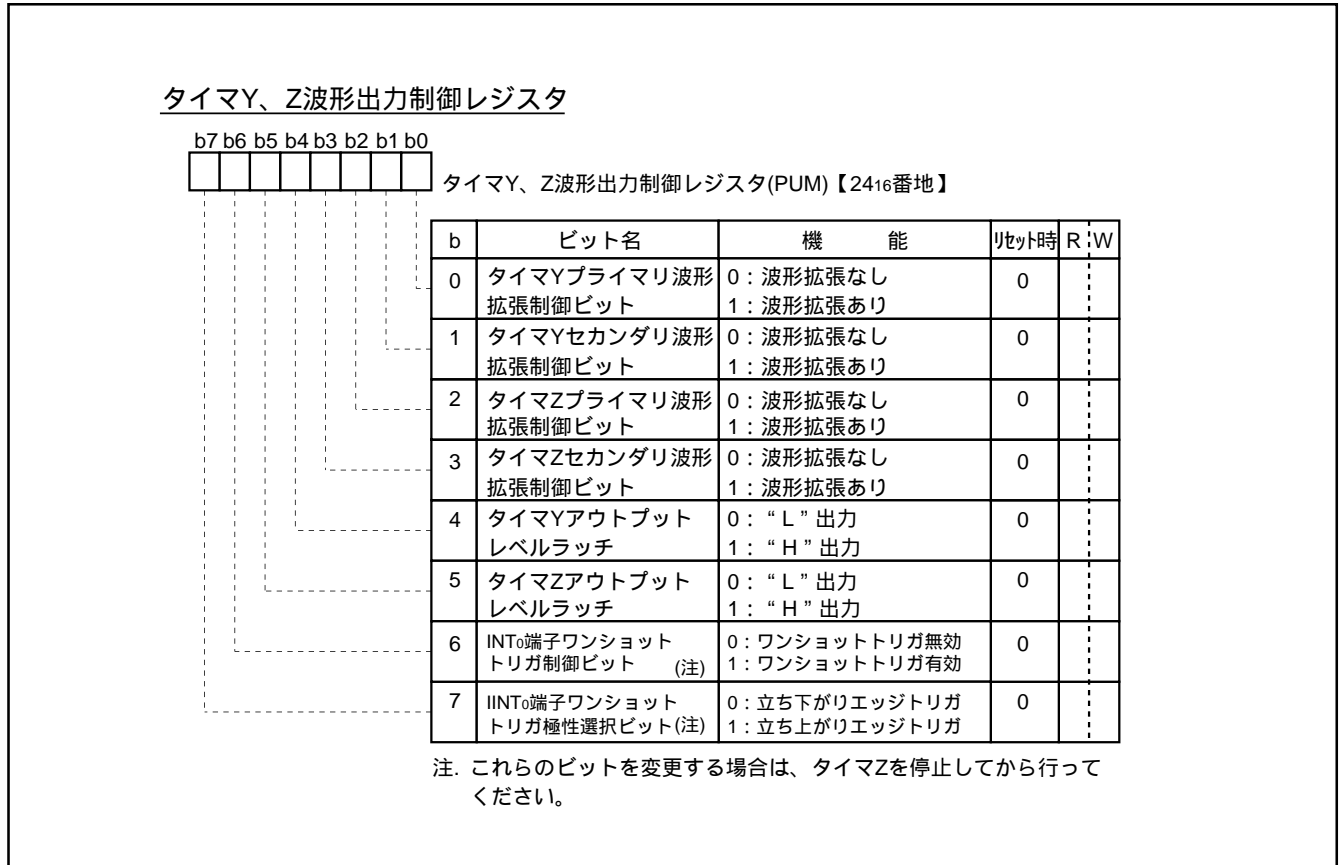


図2.5.10 タイマY、Z波形出力制御レジスタの構成

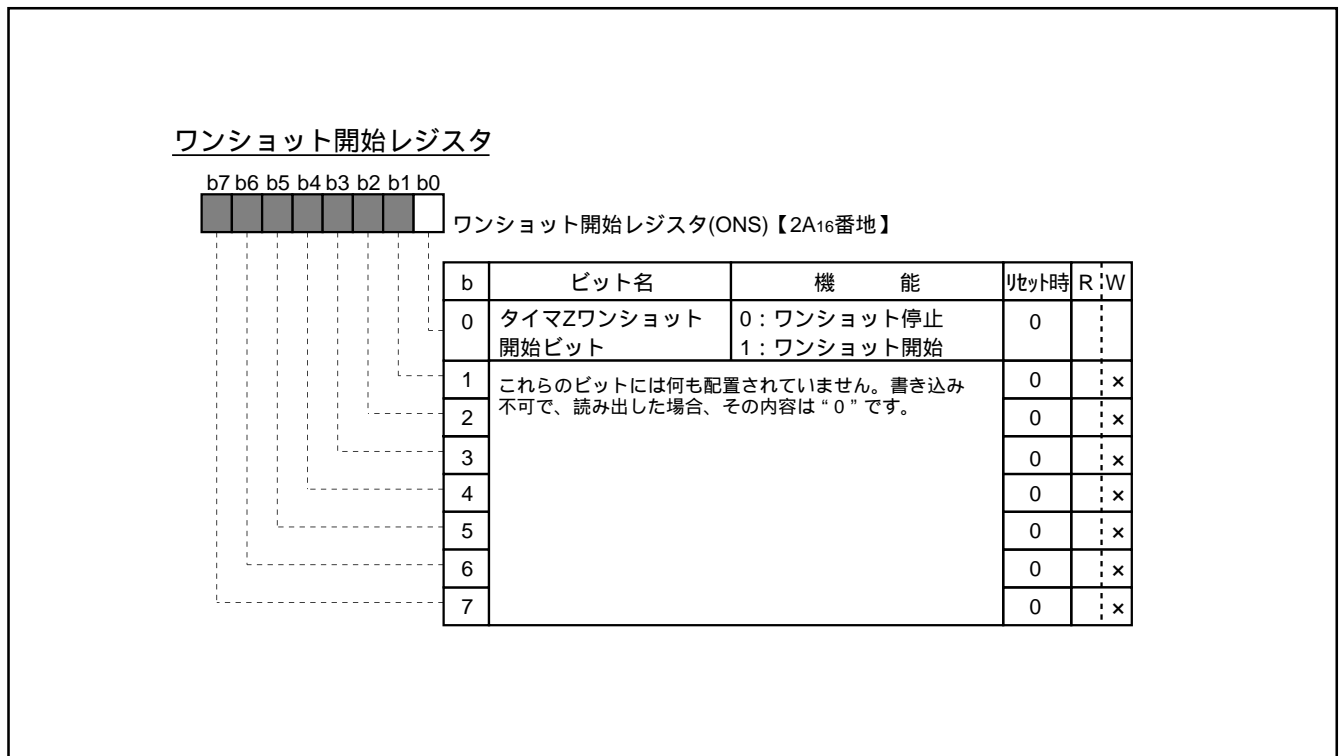


図2.5.11 ワンショット開始レジスタの構成

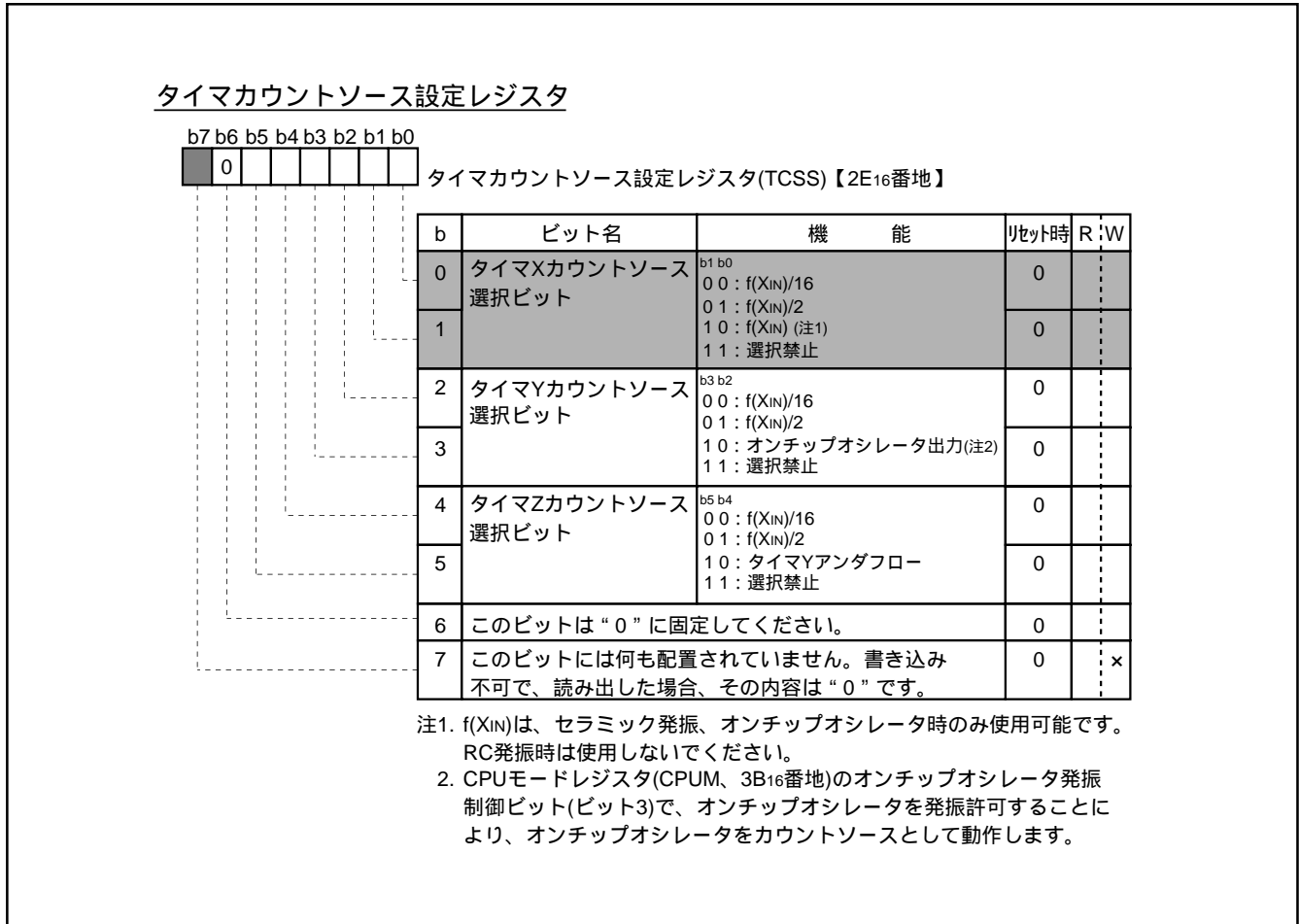


図2.5.12 タイマカウントソース設定レジスタの構成

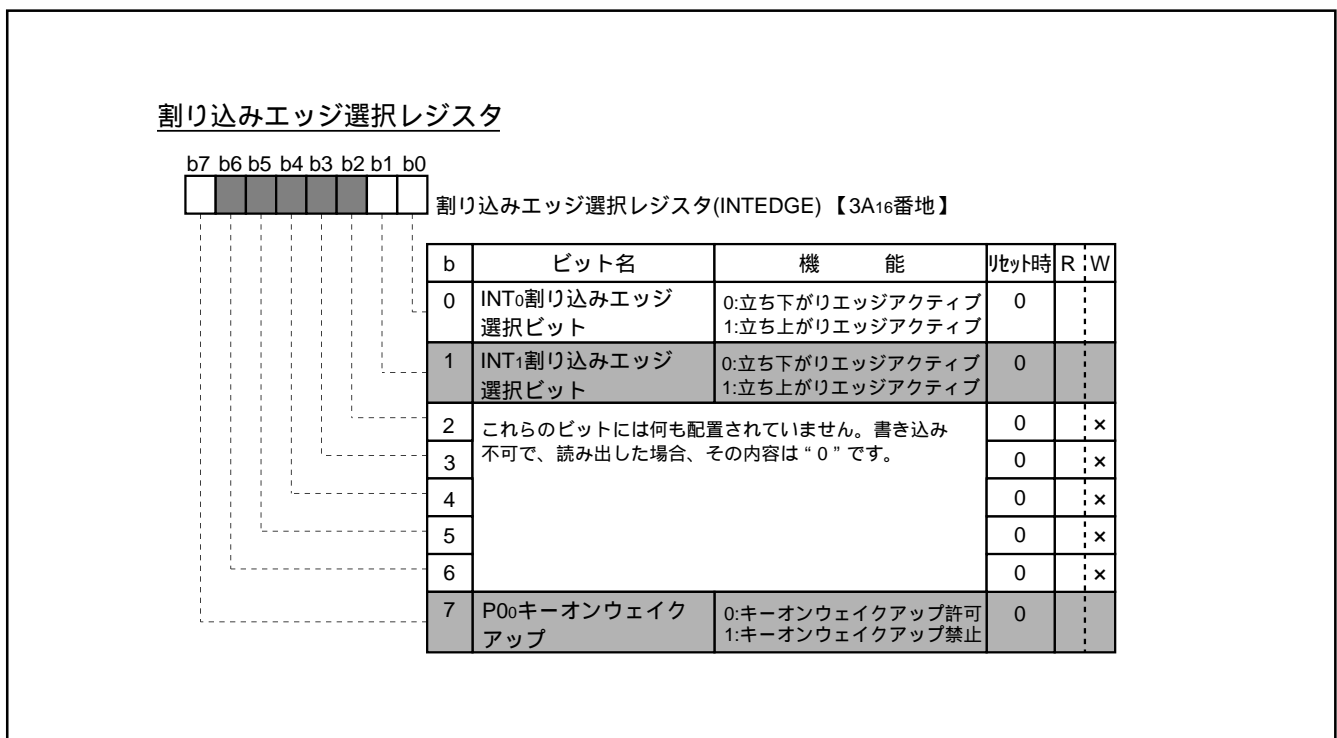


図2.5.13 割り込みエッジ選択レジスタの構成

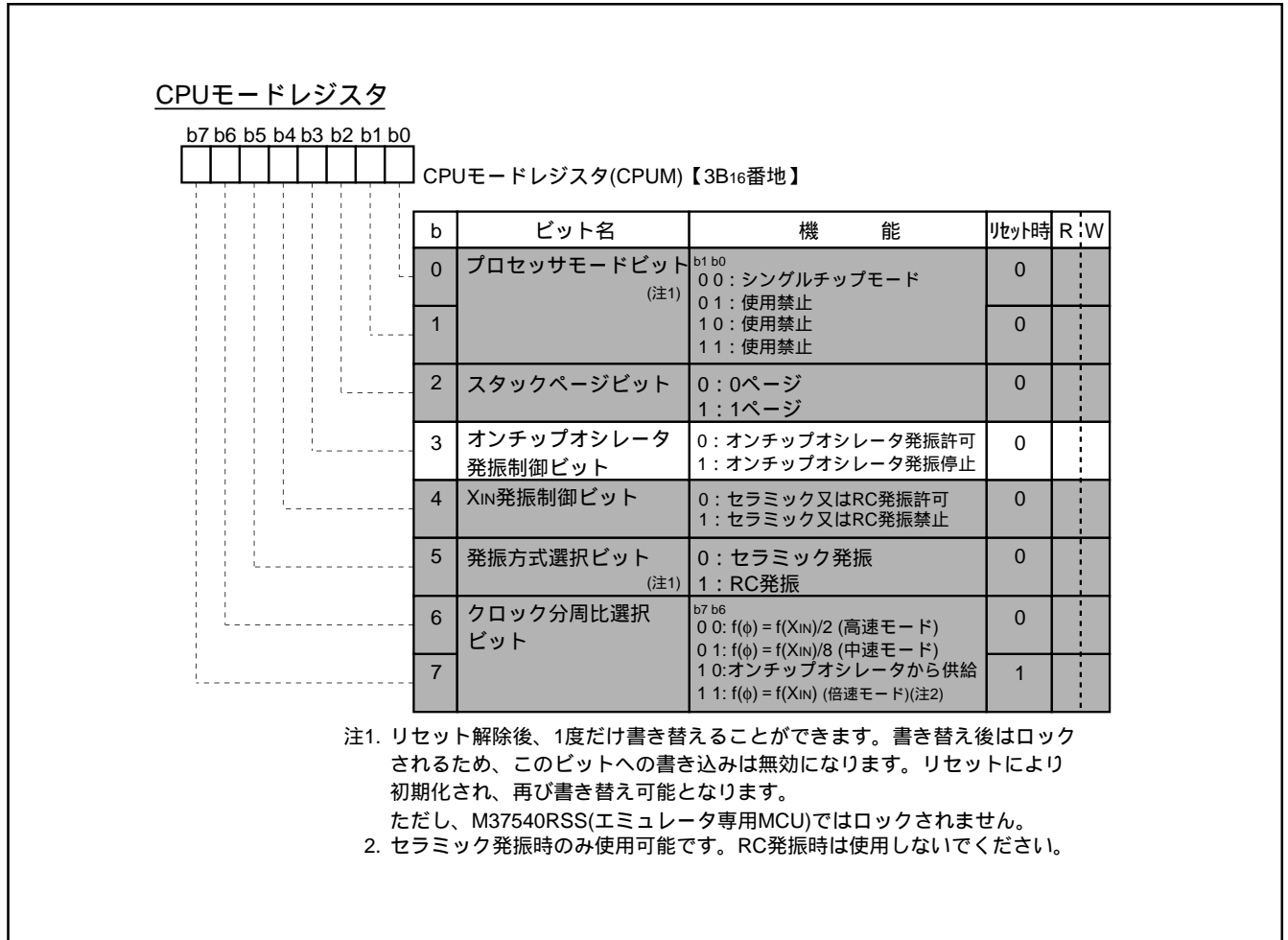
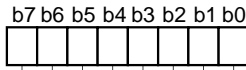


図2.5.14 CPUモードレジスタの構成

割り込み要求レジスタ1



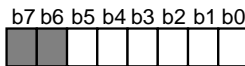
割り込み要求レジスタ1(IREQ1)【3C16番地】

b	ビット名	機 能	リセット時	R/W
0	シリアルI/O1受信 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	シリアルI/O1送信 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	INT0割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	INT1割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	キーオンウェイクアップ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	CNTR0割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	CNTR1割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.5.15 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



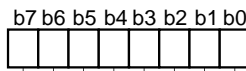
割り込み要求レジスタ2(IREQ2)【3D16番地】

b	ビット名	機 能	リセット時	R/W
0	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	タイマZ割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	タイマA割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	シリアルI/O2割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	A/D変換割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	タイマ1割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	これらのビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	*
7				

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.5.16 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

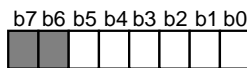


割り込み制御レジスタ1(ICON1)【3E16番地】

b	ビット名	機 能	リセット時	R : W
0	シリアル/O1受信 割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
1	シリアル/O1送信 割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
2	INT ₀ 割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
3	INT ₁ 割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
4	キーオンウェイクアップ 割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
5	CNTR ₀ 割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
6	CNTR ₁ 割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
7	タイマX割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—

図2.5.17 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



割り込み制御レジスタ2(ICON2)【3F16番地】

b	ビット名	機 能	リセット時	R : W
0	タイマY割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
1	タイマZ割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
2	タイマA割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
3	シリアル/O2割り込み 許可ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
4	A/D変換割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
5	タイマ1割り込み許可 ビット	0 : 割り込み禁止 1 : 割り込み許可	0	—
6	これらのビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	— x
7			0	— x

図2.5.18 割り込み制御レジスタ2の構成

2.5.3 タイマモード(タイマY、 タイマZ共通)

タイマY、タイマZの基本的動作は同じです。ここではタイマYについて説明します。

(1) 動作説明

プリスケラYはタイマYカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラYの内容が“00₁₆”になった次のカウントクロックでアンダフローし、プリスケラYラッチの値をプリスケラYに転送してカウントを続けます。プリスケラYの分周比は、プリスケラYの設定値をnとすると1/(n+1)となります。

タイマYは、プリスケラYのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマYの内容が“00₁₆”になった次のカウントクロックでアンダフローし、タイマYプライマリラッチの値をタイマYに転送してカウントを続けます。(タイマモードでは、常にタイマYプライマリラッチの内容をカウントします。このモードでは、タイマYセカンダリは使用しません。)

タイマYの分周比は、タイマYの設定値をmとすると1/(m+1)となります。したがって、プリスケラYの設定値をn、タイマYプライマリの設定値をmとした場合、プリスケラYとタイマYをあわせた分周比は次式で表されます。

$$\text{分周比} = \frac{1}{(n+1) \times (m+1)}$$

タイマモードでは、タイマY書き込み制御ビットの設定により、プリスケラYとタイマYプライマリの、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケラY、タイマYの両方に値を書き込むかを選択することができます。

タイマYはタイマYカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマYがアンダフローすると、タイマY割り込み要求ビットが“1”にセットされます。

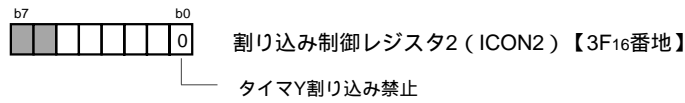
タイマYは、タイマYカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

(2) タイマモードの設定方法

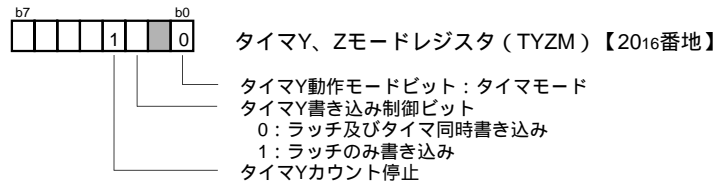
図2.5.19にタイマYのタイマモードの設定方法を示します。

タイマZを使用する場合も、同様の手順で設定します。

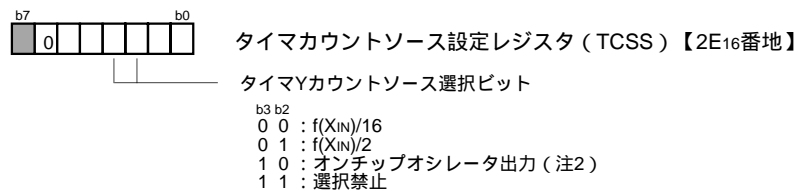
手順1：タイマY割り込みを禁止する



手順2：タイマY、Zモードレジスタを設定する



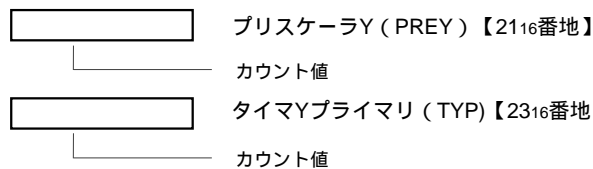
手順3：タイマYカウントソースを設定する（注1）



注1. タイマZの場合、f(XIN)/16、f(XIN)/2、タイマYのアンダフローから選択できます。
 2. CPUモードレジスタのビット3 (オンチップオシレータ発振制御ビット) でオンチップオシレータを発振許可に設定してください。

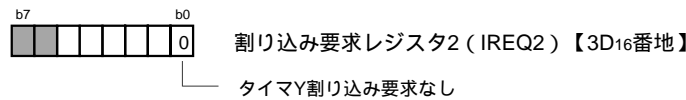
手順4：タイマYのカウント値を設定する

- ・プリスケラY、タイマYプライマリにカウント値を設定する。（注）

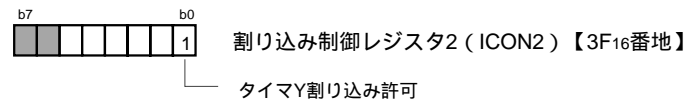


注. タイマモードではタイマYセカンダリを使用しません。

手順5：不要な割り込み処理を実行しないために、タイマY割り込み要求ビットを“0”（要求なし）にしてください



手順6：割り込みを使用する場合は、タイマY割り込み許可ビットを“1”（割り込み許可）にしてください



手順7：タイマYのカウントを開始する

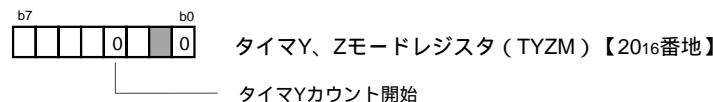


図2.5.19 タイマモードの設定方法

(4) タイマモードの応用例

ポイント

水の流量に応じて発生するパルスを一定時間(100ms)カウントし、その期間の水の流用を算出します。

仕様

水の流量に応じて発生するパルスをP14/CNTR0端子に入力し、タイマXでカウントする。パルスのカウント開始から100ms後に発生するタイマY割り込み処理ルーチン内でタイマXの内容を読み出し、100ms間の水の流量を算出する。

動作クロックは $f(X_{IN}) = 8\text{MHz}$ 高速モードを使用する。

図2.5.20に周辺回路例、図2.5.21に水の流量の測定方法、図2.5.22に制御手順例を示します。

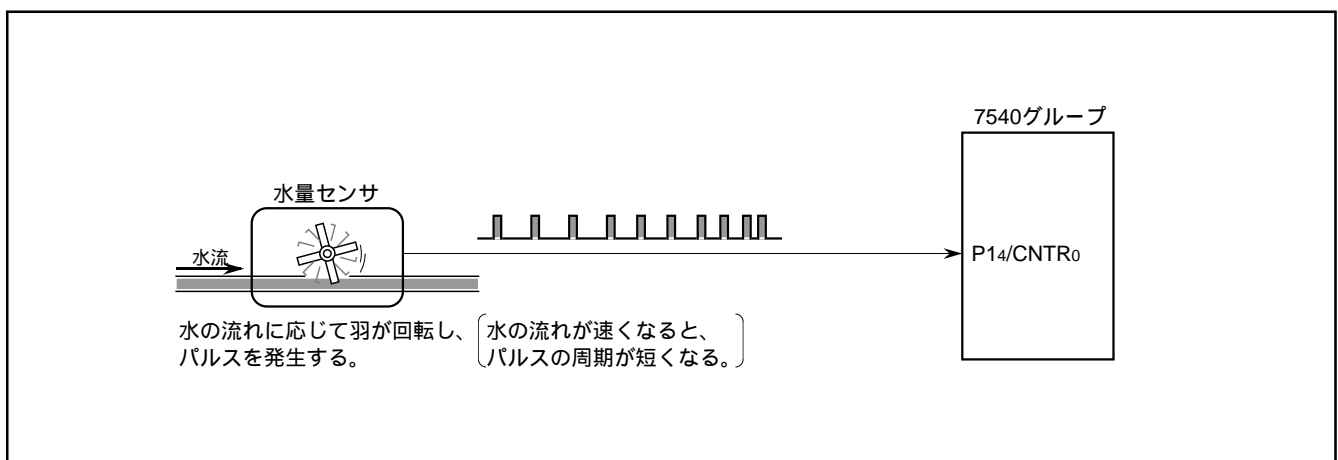


図2.5.20 周辺回路例

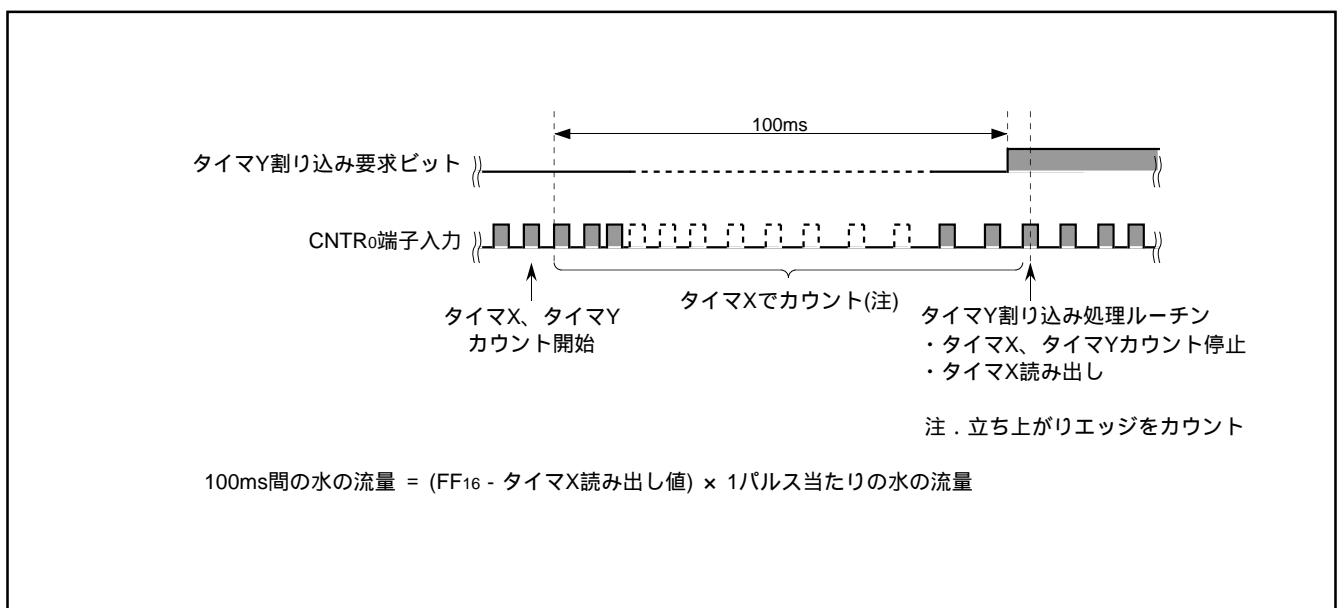
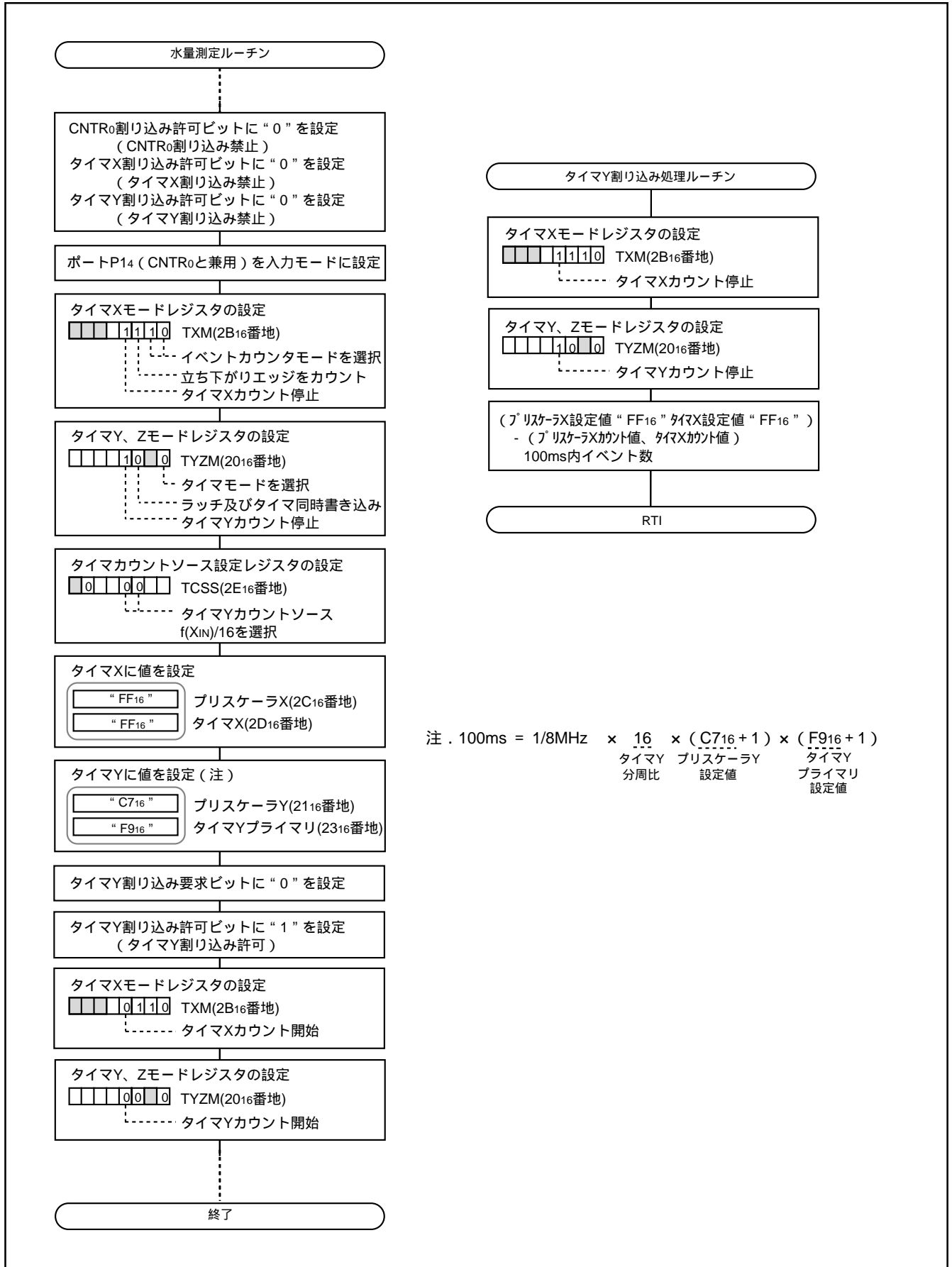


図2.5.21 水の流量の測定方法



注 . 100ms = 1/8MHz × 16 × (C7₁₆ + 1) × (F9₁₆ + 1)

タイマY分周比 プリスケアラY設定値 タイマYプライマリ設定値

図2.5.22 制御手順例

2.5.4 プログラマブル波形発生モード(タイマY、タイマZ共通)

タイマY、タイマZの基本的動作は同じです。ここではタイマYについて説明します。

(1) 動作説明

プログラマブル波形発生モードでは、タイマYプライマリとタイマYセカンダリの設定値を交互にカウントし、タイマYがアンダフローするたびに極性の反転する波形をP01/TYOUT端子から出力します。

このモードを使用する場合は、必ずタイマY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TYOUTと兼用しているポートP01の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイマYアウトプットレベルラッチで設定します。タイマYアウトプットレベルラッチに“0”を設定すると、タイマYプライマリの設定値による“H”期間とタイマYセカンダリの設定値による“L”期間を交互に出力します。タイマYアウトプットレベルラッチに“1”を設定すると、タイマYプライマリの設定値による“L”期間とタイマYセカンダリの設定値による“H”期間を交互に出力します。

また、このモードでは、タイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットを“1”に設定することによって、波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。波形拡張制御ビットを使用した場合、出力される波形の周波数とデューティ比は以下ようになります。

$$\text{波形周波数 : FYOUT} = \frac{2 \times (\text{TMYCL})}{(2 \times (\text{TYP} + 1) + \text{EXPYP}) + (2 \times (\text{TYS} + 1) + \text{EXPYS})}$$

$$\text{デューティ : DYOUT} = \frac{2 \times (\text{TYP} + 1) + \text{EXPYP}}{(2 \times (\text{TYP} + 1) + \text{EXPYP}) + (2 \times (\text{TYS} + 1) + \text{EXPYS})}$$

TMYCL : タイマYカウントソース(周波数)

TYP : タイマYプライマリ

TYS : タイマYセカンダリ

EXPYP : タイマYプライマリ波形拡張制御ビット(1bit)

EXPYS : タイマYセカンダリ波形拡張制御ビット(1bit)

プログラマブル波形発生モードでは、タイマYプライマリ、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの値を変更すると、出力波形が必ず波形周期の最初(タイマYプライマリ波形期間)から変更されるように制御されます。

カウント値を変更する場合は、タイマYセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイマYプライマリを設定してください。設定した値は、タイマYプライマリを書き込んだ次の波形周期の最初に一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマYプライマリを書き込む必要があります。)

タイマYはタイマYカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマYがアンダフローすると、タイマY割り込み要求ビットが“1”にセットされます。

タイマYは、タイマYカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

- 注1. プログラマブル波形発生モードでは、カウント設定値を変更する場合、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。
2. プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマYのアンダフローが重ならないようにソフトウェアで対策を行ってください。
対策の一例を以下に示します。
例：タイマY割り込みを用い、プライマリによるアンダフロー、セカンダリによるアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、セカンダリによるアンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリ、セカンダリの設定値、プライマリへの書き込みタイミングによっては実現不可の場合もあります。)
3. タイマY波形拡張制御ビットによる波形拡張機能は、プリスケラYに“0016”を設定したときのみ使用可能です。プリスケラYに“0016”以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに“0”を設定してください。
タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定したときのみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。
4. プログラマブル波形発生モードを使用する場合は、必ずタイマY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。
5. タイマYセカンダリを読み出した場合、不定値が読み出されます。ただし、タイマYがタイマYセカンダリの設定値をカウントしている間は、タイマYプライマリを読み出すことでセカンダリ期間のカウント値を知ることができます。
6. TYOUT端子を使用するため、ポートP0方向レジスタのビット1を“1”に設定して、出力モードにしてください。

図2.5.23にタイマYのプログラマブル波形発生モードのタイミング図を示します。

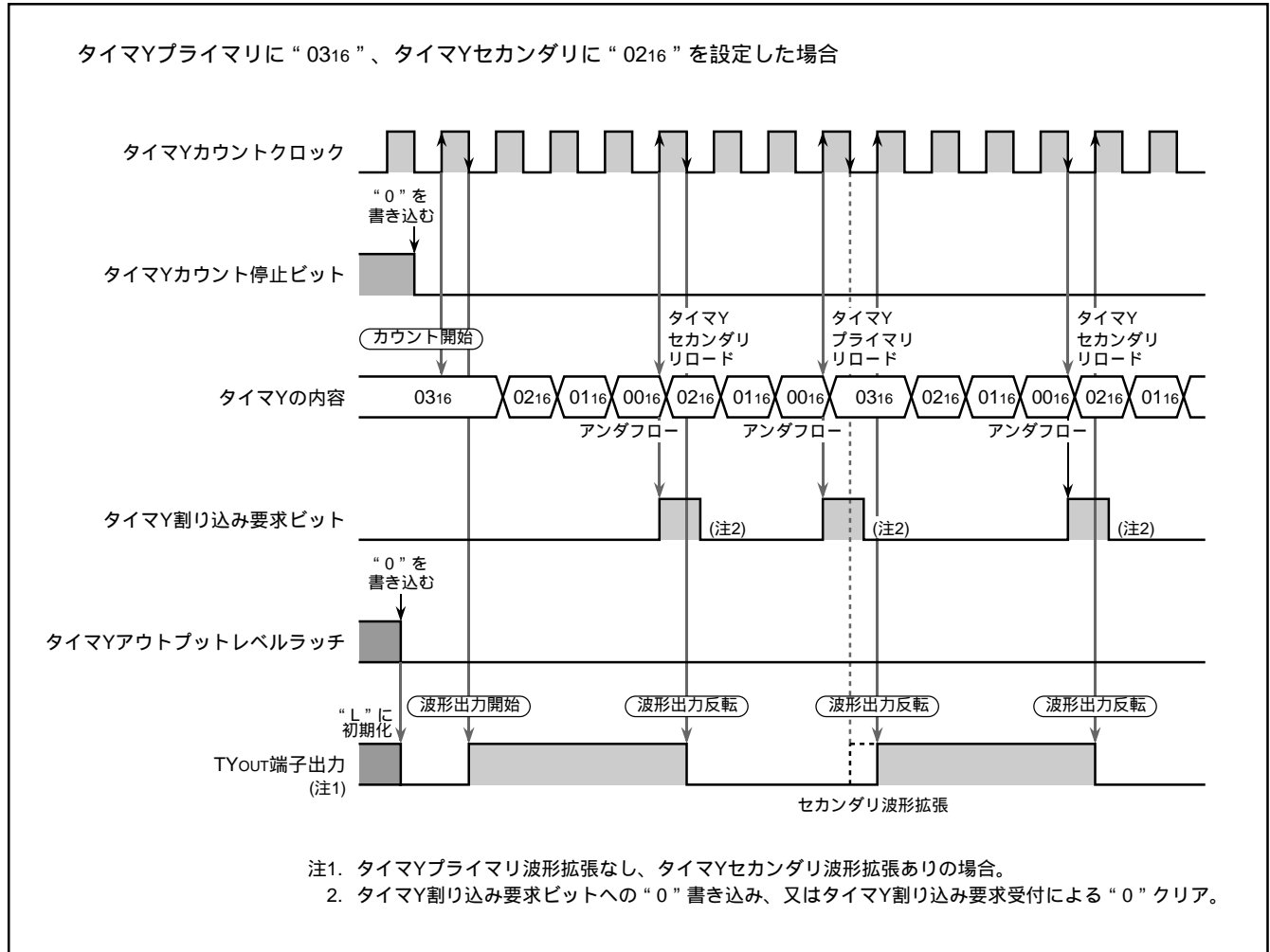


図2.5.23 タイマYのプログラマブル波形発生モードタイミング図

(2) プログラマブル波形発生モードの設定方法

図2.5.24、図2.5.25にタイマYのプログラマブル波形発生モードの設定方法を示します。
タイマZを使用する場合も、同様の手順で設定します。

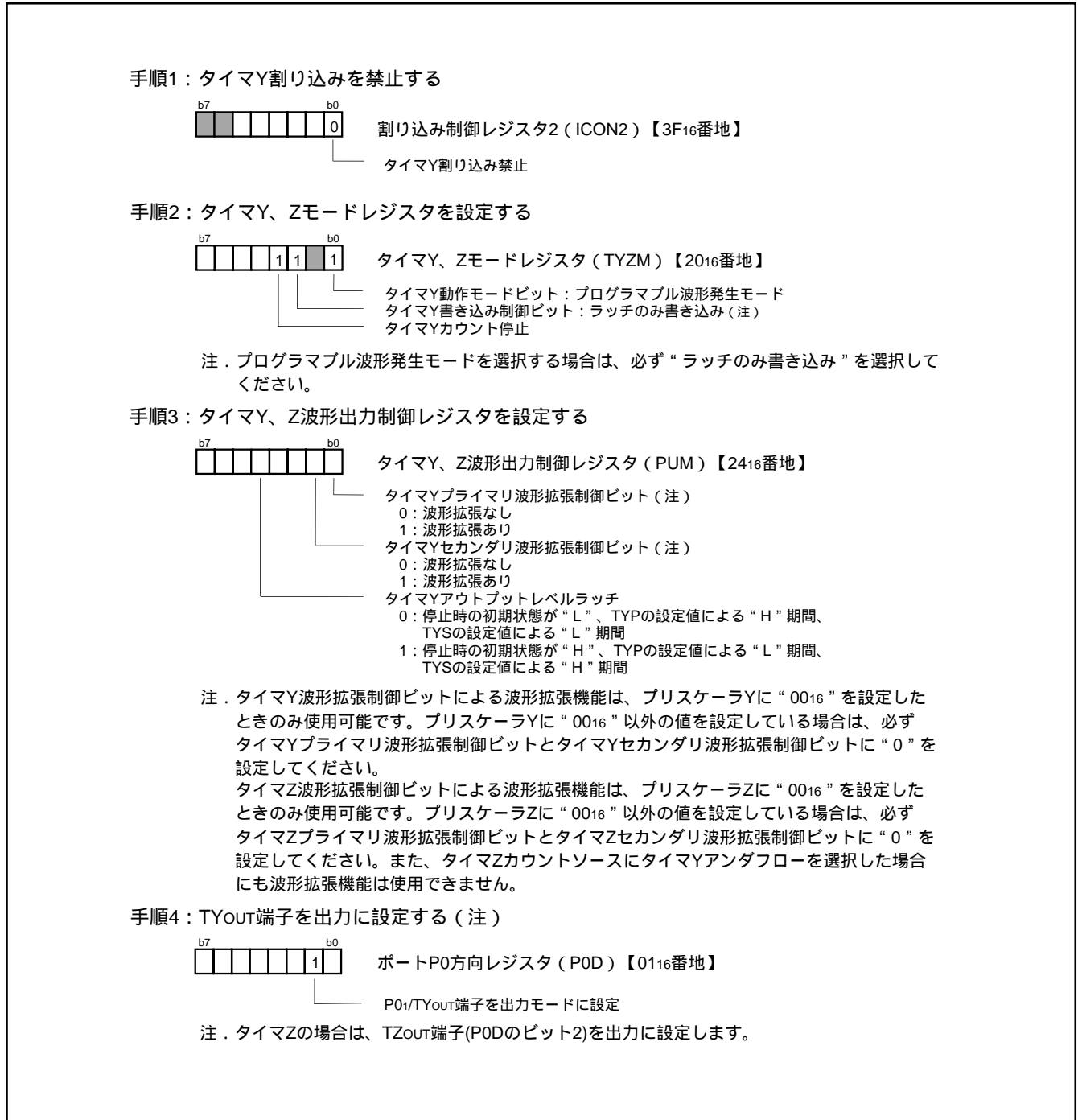
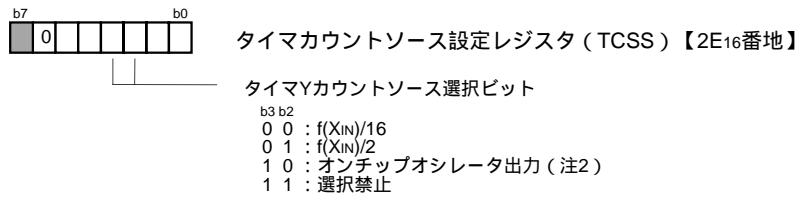


図2.5.24 プログラマブル波形発生モードの設定方法(1)

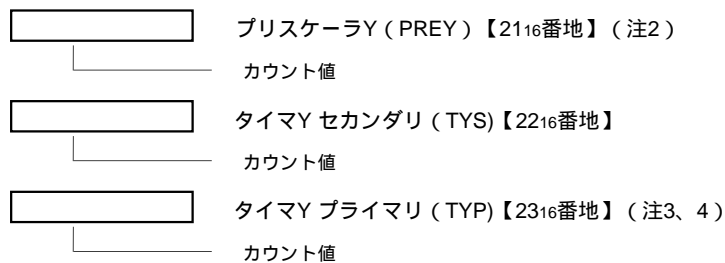
手順5：タイマYカウントソースを設定する（注1）



- 注1. タイマZの場合、 $f(XIN)/16$ 、 $f(XIN)/2$ 、タイマYのアンダフローから選択できます。ただし、タイマZ波形拡張機能を使用する場合は、タイマZカウントソースにタイマYアンダフローを選択しないでください。
2. CPUモードレジスタのビット3（オンチップオシレータ発振制御ビット）でオンチップオシレータを発振許可に設定してください。

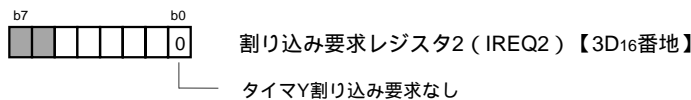
手順6：タイマYのカウント値を設定する（注1）

- ・プリスケアラY、タイマY セカンダリ、タイマY プライマリにカウント値を設定する。

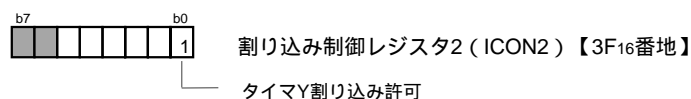


- 注1. プログラブル波形発生モードでは、カウント設定値を変更する場合、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。
2. タイマY波形拡張機能を使用する場合は、必ずプリスケアラYに“0016”を設定してください。
3. プログラブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマYのアンダフローが重ならないようにソフトウェアで対策を行ってください。
4. プライマリ期間、セカンダリ期間のカウント値はタイマYプライマリを読み出すことで確認できます (タイマYセカンダリは読み出し時、不定)。

手順7：不要な割り込み処理を実行しないために、タイマY割り込み要求ビットを“0”（要求なし）にしてください



手順8：割り込みを使用する場合は、タイマY割り込み許可ビットを“1”（割り込み許可）にしてください



手順9：タイマYのカウントを開始する

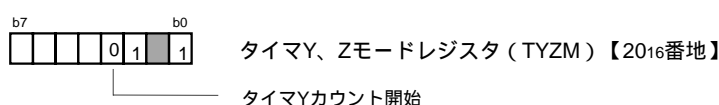


図2.5.25 プログラブル波形発生モードの設定方法(2)

(3) プログラマブル波形発生モードの応用例

ポイント

波形拡張機能を使用し、波形出力を行う。

仕様

タイマYプライマリで‘H’幅、タイマYセカンダリで‘L’幅を生成し出力する。それぞれ波形拡張を有効とし、デューティを2：1に設定する。周波数は40kHzとする。

動作クロックは $f(X_{IN}) = 8\text{MHz}$ 高速モードを使用する。

図2.5.26に波形出力例、図2.5.27に制御手順例を示します。

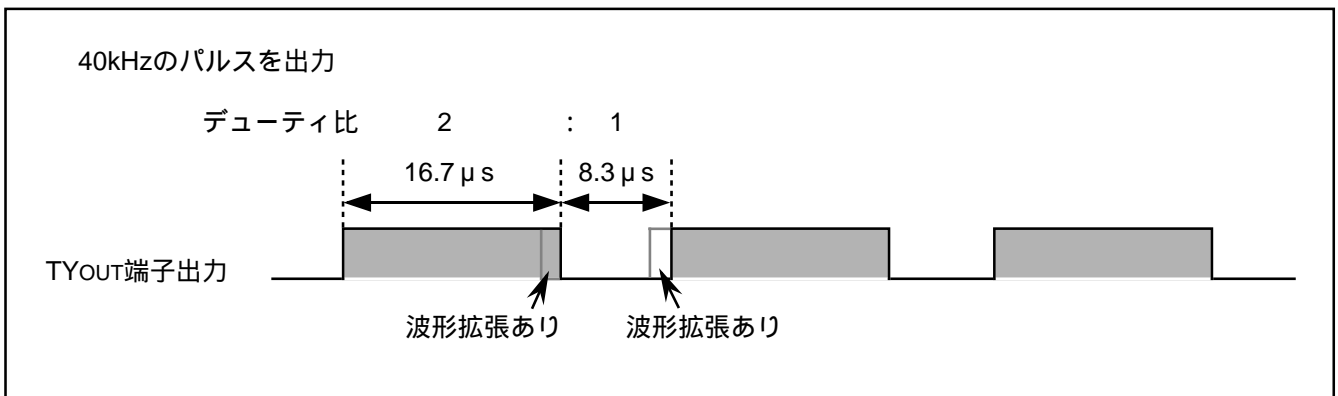
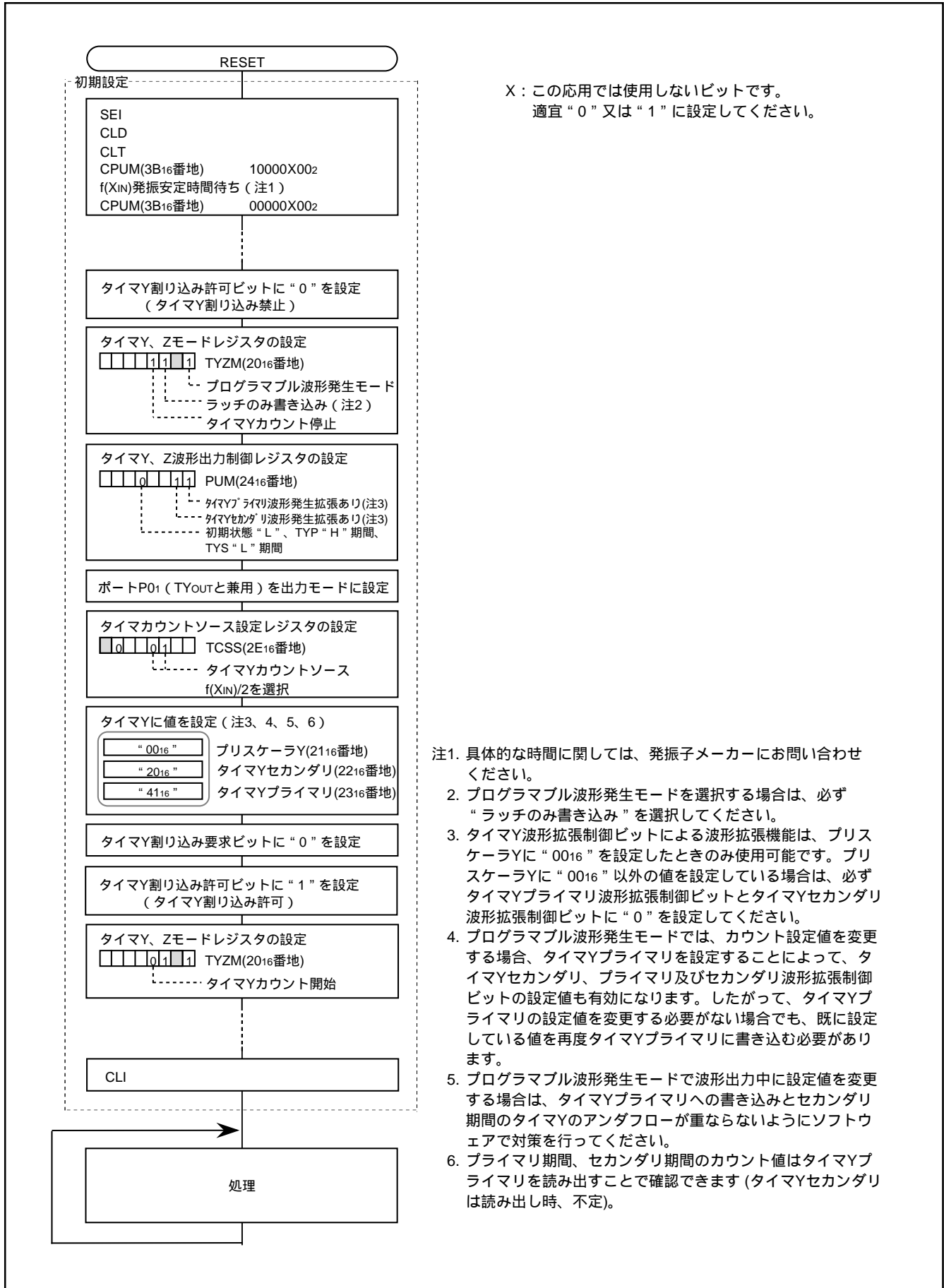


図2.5.26 波形出力例



- 注1. 具体的な時間に関しては、発振子メーカーにお問い合わせください。
2. プログラマブル波形発生モードを選択する場合は、必ず“ラッチのみ書き込み”を選択してください。
 3. タイマY波形拡張制御ビットによる波形拡張機能は、プリスケラYに“00₁₆”を設定したときのみ使用可能です。プリスケラYに“00₁₆”以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに“0”を設定してください。
 4. プログラマブル波形発生モードでは、カウント設定値を変更する場合は、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。
 5. プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマYのアンダフローが重ならないようにソフトウェアで対策を行ってください。
 6. プライマリ期間、セカンダリ期間のカウント値はタイマYプライマリを読み出すことで確認できます(タイマYセカンダリは読み出し時、不定)。

図2.5.27 制御手順例

2.5.5 プログラマブルワンショット発生モード(タイマZ)

(1) 動作説明

プログラマブルワンショット発生モードは、ソフトウェア又はP37/INT0端子への外部入力トリガにより、タイマZプライマリ設定値によるワンショットパルスを出力します。このモードを使用する場合は、必ずタイマZ書き込み制御ビットを“1”に設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。このモードでは、タイマZセカンダリは使用しません。

出力する波形の極性は、タイマZアウトプットレベルラッチで設定します。タイマZアウトプットレベルラッチに“0”を設定すると、タイマZプライマリの設定値の期間“H”パルスを出力し、タイマZアウトプットレベルラッチに“1”を設定すると、タイマZプライマリの設定値の期間“L”パルスを出力します。

また、このモードでは、タイマZプライマリ波形拡張制御ビットに“1”を設定することによって、ワンショットパルス出力の期間を、カウントクロックの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

ワンショットパルスの出力期間に、タイマZワンショット開始ビットに“0”を書き込むことによって、ワンショットパルス出力を強制的に終了することができます。

プログラマブルワンショット発生モードでは、カウント値を変更する場合は、プライマリ波形拡張制御ビット、タイマZプライマリの順に設定してください。設定値は、タイマZプライマリを書き込んだ次のワンショットパルスから一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマZプライマリを書き込む必要があります。)

タイマZはタイマZカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマZがアンダフローすると、タイマZ割り込み要求ビットが“1”にセットされます。

タイマZは、タイマZカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

- 注1. プログラマブルワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。
2. プログラマブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。
対策の一例を以下に示します。
例：タイマZ割り込みを用い、タイマのアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、アンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリの設定値、プライマリへの書き込みタイミング、ソフトウェアまたはINT0端子への外部トリガタイミングによっては実現不可の場合もあります。)
3. タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定したときのみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合も波形拡張機能は使用できません。
4. プログラマブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

5. TZOUT端子を使用するため、ポートP0方向レジスタのビット2を“1”に設定して、出力モードにしてください。
6. INT0端子ワンショットトリガ制御ビット及びINT0ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。

図2.5.28にタイマZのプログラマブルワンショット発生モードのタイミング図を示します。

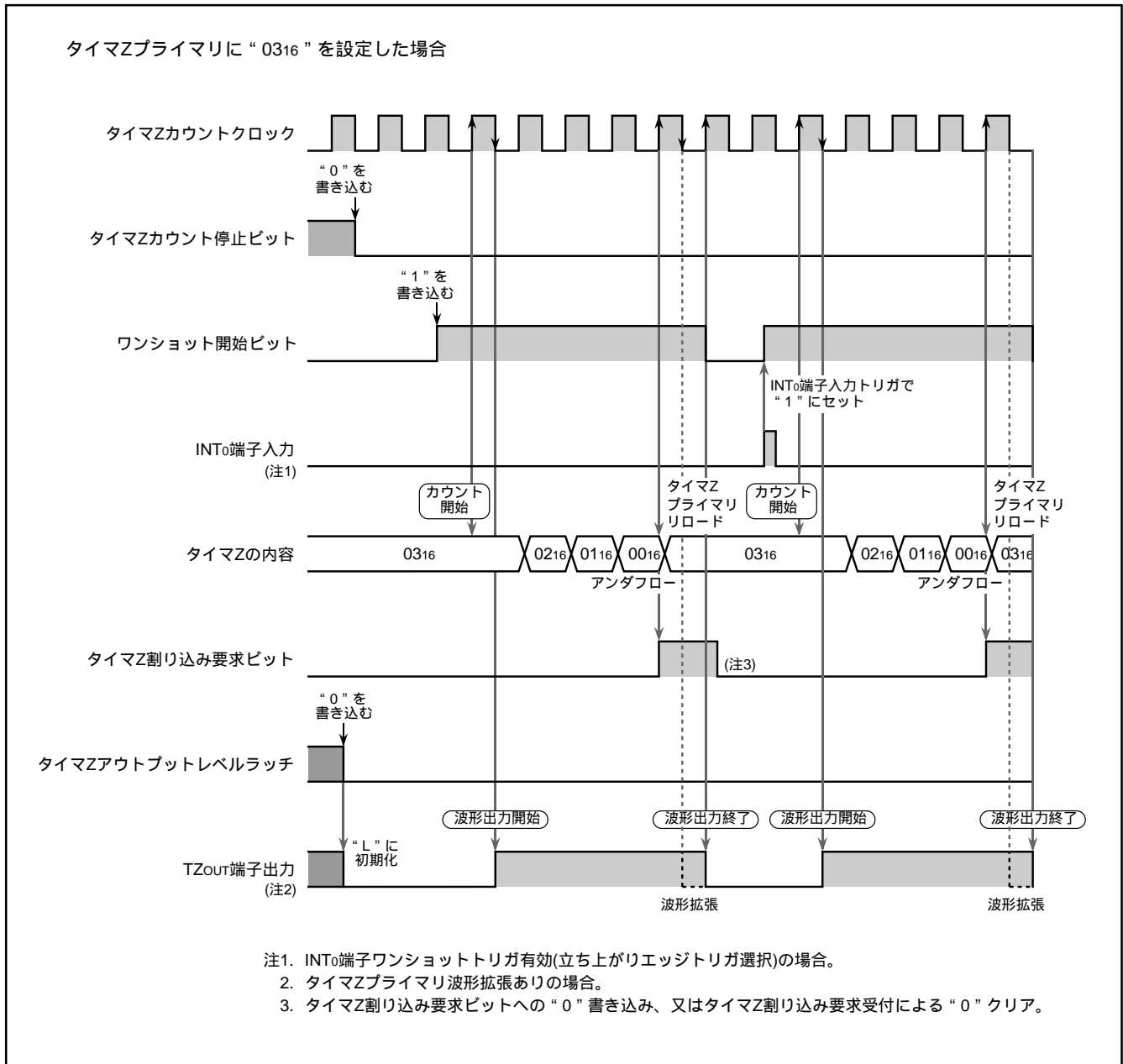


図2.5.28 タイマZのプログラマブルワンショット発生モードのタイミング図

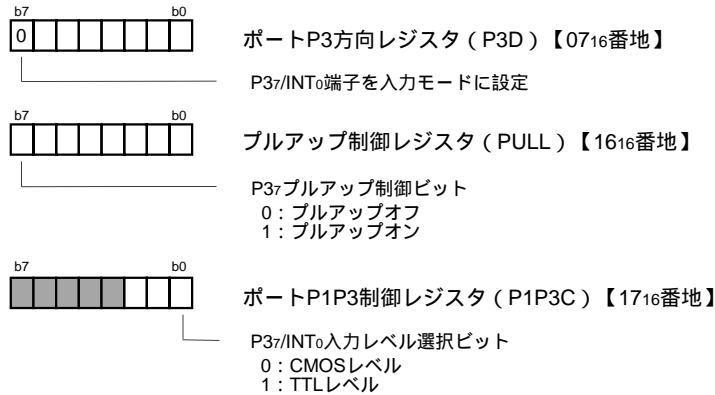
(2) プログラブルワンショット発生モードの設定方法

図2.5.29から図2.5.31にタイマZのプログラブルワンショット発生モードの設定方法を示します。

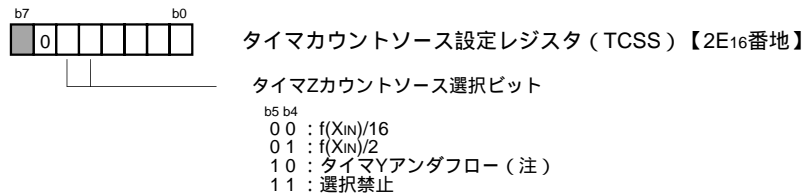


図2.5.29 プログラブルワンショット発生モードの設定方法(1)

手順5：INT0端子入力によるトリガを選択した場合：
ポートP3方向レジスタ、プルアップ制御レジスタ、ポートP1P3制御レジスタを設定する



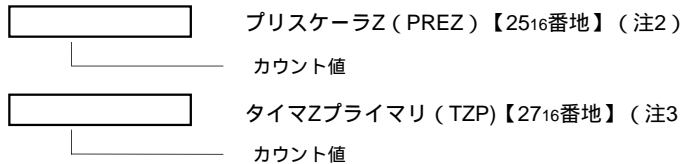
手順6：タイマZカウントソースを設定する



注．タイマZ波形拡張機能を使用する場合は、タイマZカウントソースにタイマYアンダフローを選択しないでください。

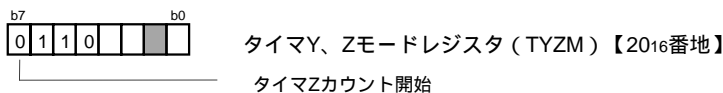
手順7：ワンショットパルス幅を設定する (注1)

- ・プリスケアラZ、タイマZプライマリにカウント値を設定する。



1. プログラマブルワンショット発生モードでは、タイマZセカンダリを使用しません。カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZプライマリ波形拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマZプライマリに書き込む必要があります。
2. タイマZ波形拡張機能を使用する場合は、必ずプリスケアラZに“00₁₆”を設定してください。
3. プログラマブルワンショット発生モードで、波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマZのアンダフローが重ならないようにソフトウェアで対策を行ってください。

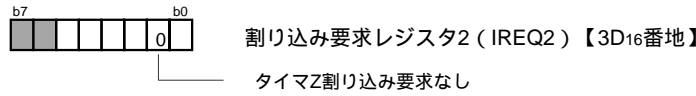
手順8：ワンショット開始トリガを受け付ける状態に設定する (注)



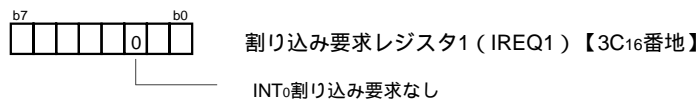
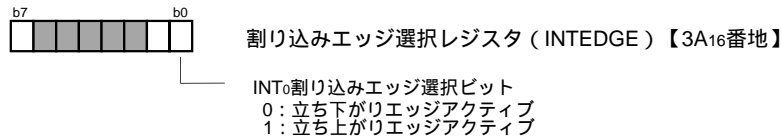
注．PUMのINT0端子ワンショットトリガ制御ビットを“有効”にした場合には、この設定後、INT0端子へのトリガ入力でタイマZのカウントが開始されます。

図2.5.30 プログラマブルワンショット発生モードの設定方法(2)

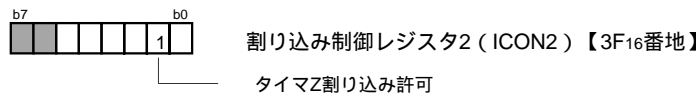
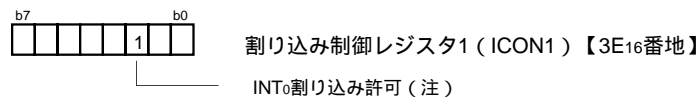
手順9：不要な割り込み処理を実行しないために、タイマZ割り込み要求ビットを“0”（要求なし）にしてください



PUMのINT0端子ワンショットトリガ制御ビットを“有効”に設定し、かつINT0割り込みを使用する場合には、以下の設定も行ってください

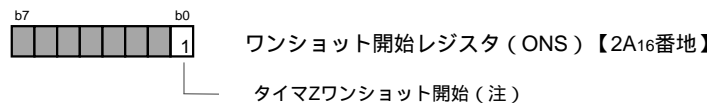


手順10：割り込みを使用する場合は、使用する割り込みの割り込み許可ビットを“1”（割り込み許可）にしてください



注：INT0端子ワンショットトリガ制御ビットを“有効”に設定した場合には、この設定後、INT0割り込みの受付が可能となります。

手順11：タイマZのカウントを開始する



PUMのINT0端子ワンショットトリガ制御ビットを“有効”に設定した場合は、INT0端子へのトリガ入力時、タイマZのカウントが開始されます。

注：TZout端子からパルスを出します。出力後、“0”に初期化されます。

図2.5.31 プログラマブルワンショット発生モードの設定方法(3)

(3) プログラブルワンショット発生モードの応用例

ポイント

タイマZのプログラブルワンショット発生モードを用いて、負荷への位相制御信号を出力します。

仕様

タイマZのプログラブルワンショット発生モードを用いて、P02/TZOUT端子から負荷への位相制御信号を出力する。

- ・ カウントソース : $f(XIN)/16$
- ・ トリガ検出回路からP37/INT0端子に入力される信号の立ち上がりを検出
- ・ トライアックは“H”でオン

負荷から入力されるフィードバック信号の周期を測定・解析し、位相制御信号を補正する。
動作クロックは $f(XIN) = 8\text{MHz}$ 高速モードを使用する。

フィードバック信号の周期測定は、使用するタイマの周期測定モードを参考にしてください。
図2.5.32に周辺回路例、図2.5.33に動作タイミング例、及び図2.5.34に制御手順例を示します。

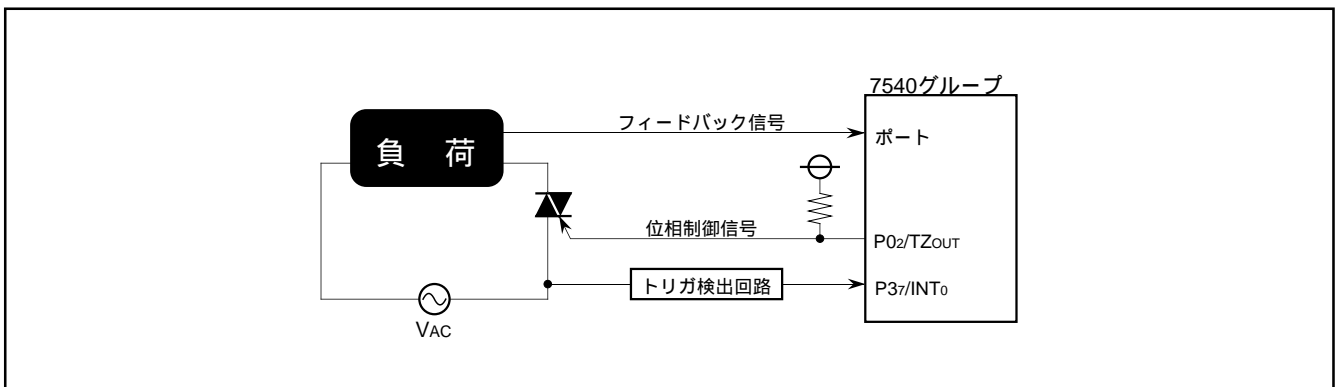


図2.5.32 周辺回路例

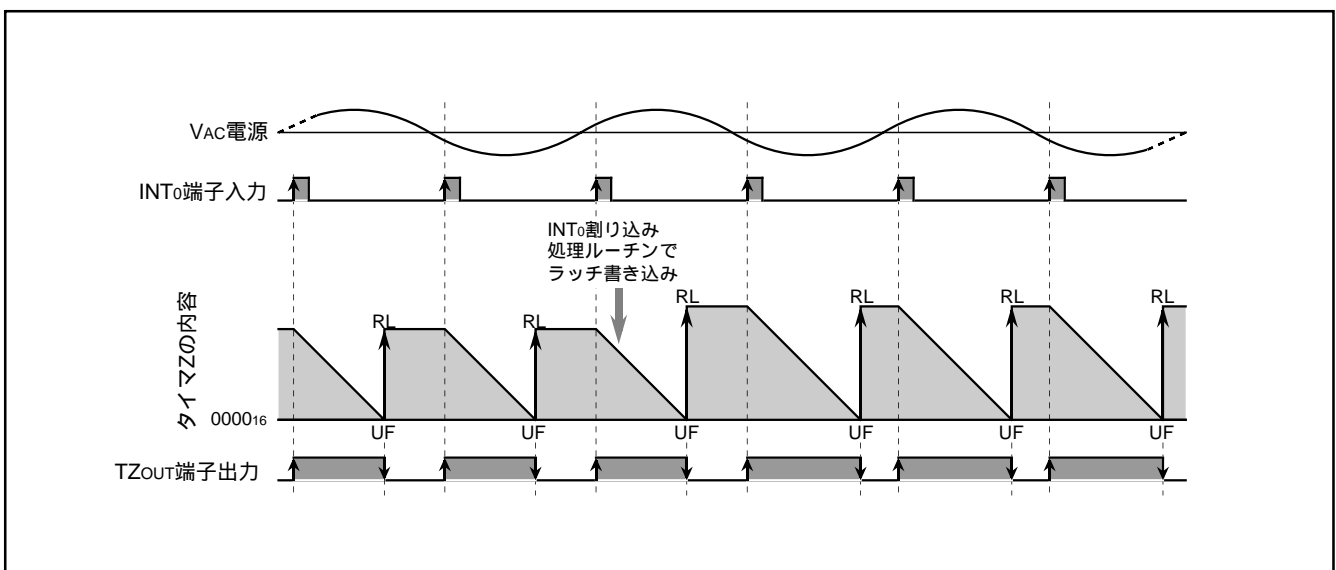


図2.5.33 動作タイミング例

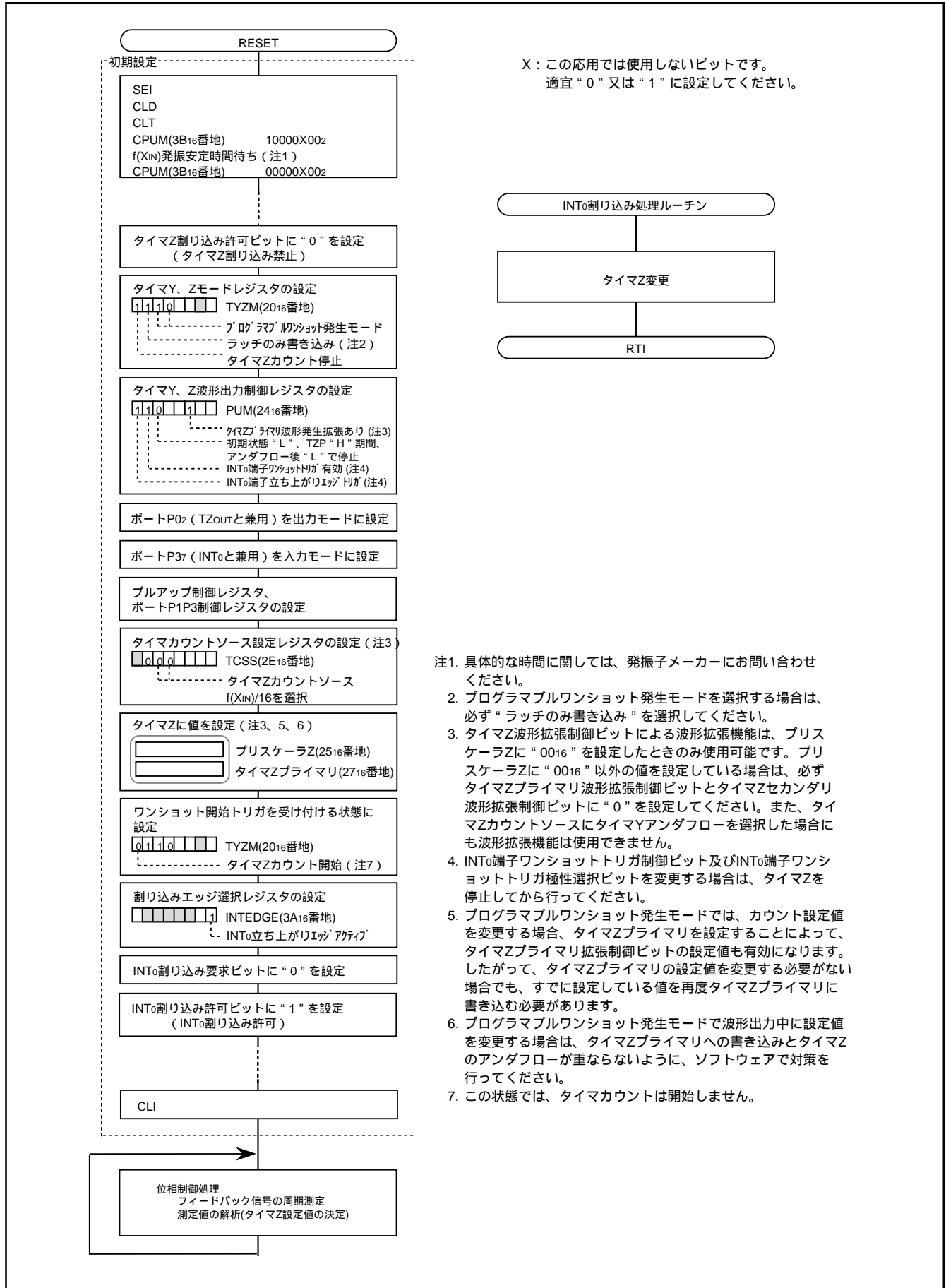


図2.5.34 制御手順例

2.5.6 プログラブルウェイトワンショット発生モード(タイマZ)

(1) 動作説明

プログラブルウェイトワンショット発生モードでは、ソフトウェア又はP37/INT0端子への外部入力トリガにより、タイマZプライマリ設定値によるウェイトの後、タイマZセカンダリ設定値によるワンショットパルス出力をP02/TZOUT端子から出力します。

このモードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイマZアウトプットレベルラッチで設定します。タイマZアウトプットレベルラッチに“0”を設定すると、タイマZプライマリの設定値の期間ウェイトの後、タイマZセカンダリの設定値の期間“H”パルス出力し、タイマZアウトプットレベルラッチに“1”を設定すると、タイマZプライマリの設定値の期間ウェイトの後、タイマZセカンダリの設定値の期間“L”パルス出力します。

また、このモードでは、タイマZプライマリ波形拡張制御ビットと、タイマZセカンダリ波形拡張制御ビットに“1”を設定することによって、ウェイト期間とワンショットパルスの出力期間を、カウントクロックの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

プログラブルウェイトワンショット発生モードでは、カウント値の設定後、タイマZカウント停止ビットに“0”を書き込むことによって、ソフトウェア又はINT0端子からのトリガを受け付けられる状態になります。(タイマZカウント停止ビットに“0”を書き込んだ段階では、タイマZは停止しています。)

タイマZワンショット開始ビットに“1”を書き込むか、あるいはINT0端子ワンショットトリガ制御ビットに“1”を書き込んでINT0端子トリガを有効にし、INT0端子に有効トリガを入力すると、タイマZはカウントを開始します。タイマZがタイマZプライマリをカウントしている期間は、TZOUT端子の出力を初期値のまま保持します。アンダフローが発生すると、タイマZセカンダリをリロードすると同時にTZOUT端子の出力を反転します。次にタイマZがアンダフローすると、再度TZOUT端子の出力を反転し、タイマZは停止します。なお、ワンショット開始ビットは、INT0端子トリガを受け付けた時にもハードウェアで“1”に変化します。INT0端子の有効トリガのエッジは、INT0端子ワンショットトリガ極性選択ビットで立ち下がりトリガ、又は立ち上がりトリガを選択することができます。

ウェイト期間及びワンショットパルスの出力期間に、タイマZワンショット開始ビットに“0”を書き込むことによって、ワンショットパルス出力を強制的に終了することができます。

プログラブルウェイトワンショット発生モードでは、カウント値を変更する場合は、タイマZセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイマZプライマリを設定してください。設定値はタイマZプライマリを書き込んだ次のウェイト期間から一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマZプライマリを書き込む必要があります。)

タイマZはタイマZカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマZがアンダフローすると、タイマZ割り込み要求ビットが“1”にセットされます。

タイマZは、タイマZカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

- 注1. プログラマブルウェイトワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZに書き込む必要があります。
2. プログラマブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないようにソフトウェアで対策を行ってください。
対策の一例を以下に示します。
例：タイマZ割り込みを用い、プライマリによるアンダフロー、セカンダリによるアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、セカンダリによるアンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリ、セカンダリの設定値、プライマリへの書き込みタイミング、ソフトウェアまたはINT0端子への外部トリガタイミングによっては実現不可の場合もあります。)
3. タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定したときのみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。
4. プログラマブルウェイトワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。
5. タイマZセカンダリを読み出した場合、不定値が読み出されます。ただし、タイマZがタイマZセカンダリの設定値をカウントしている間(ワンショット出力中)は、タイマZプライマリを読み出すことで、セカンダリ期間のカウント値を知ることができます。
6. TZOUT端子を使用するため、ポートP0方向レジスタのビット2を“1”に設定して、出力モードにしてください。
7. INT0端子ワンショットトリガ制御ビット及びINT0ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。

図2.5.35にタイマZのプログラマブルウェイトワンショット発生モードのタイミング図を示します。

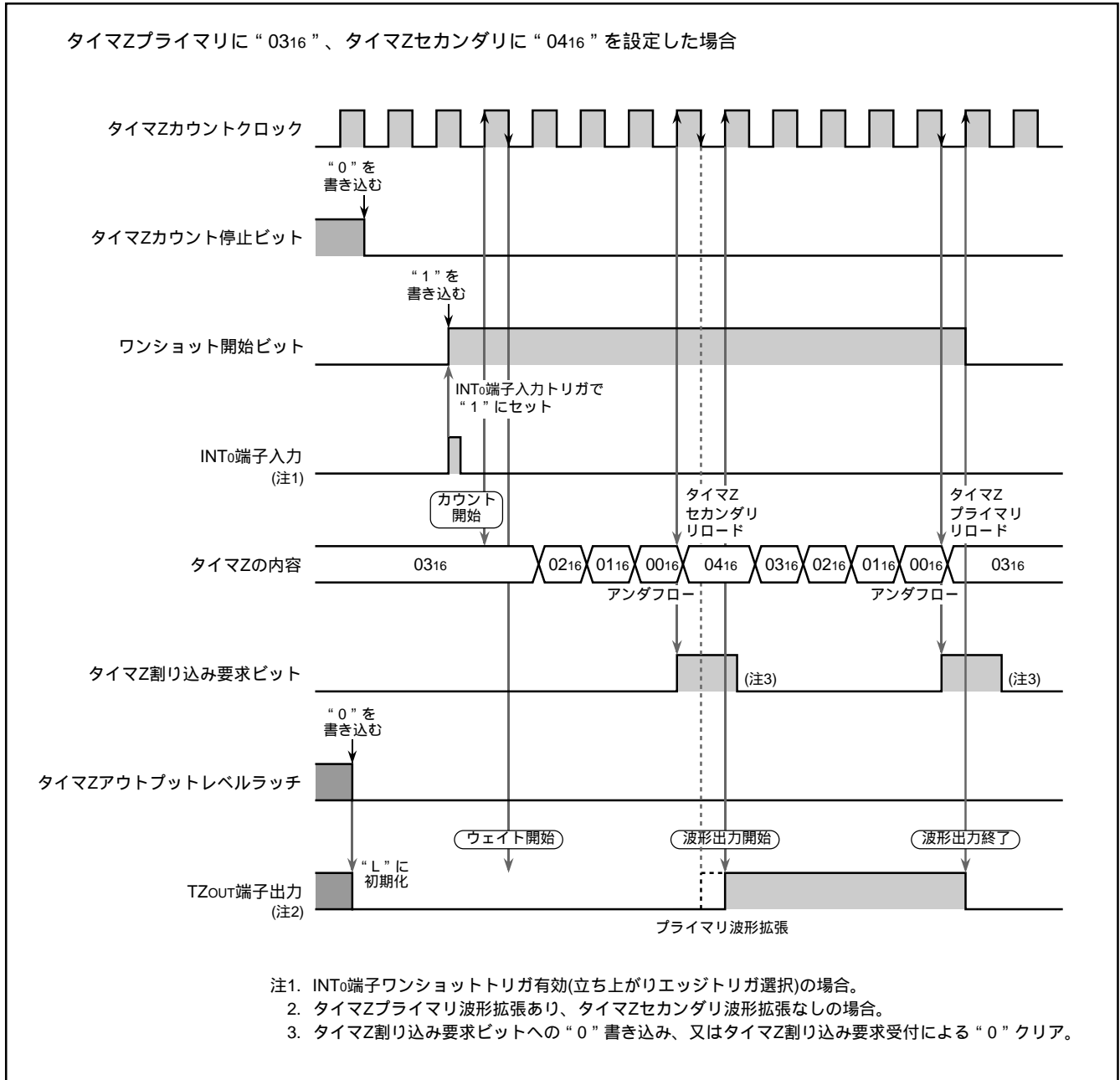


図2.5.35 タイマZのプログラマブルウェイトワンショット発生モードタイミング図

(2) プログラブルウェイトワンショット発生モードの設定方法

図2.5.36から図2.5.38にタイマZのプログラブルウェイトワンショット発生モードの設定方法を示します。

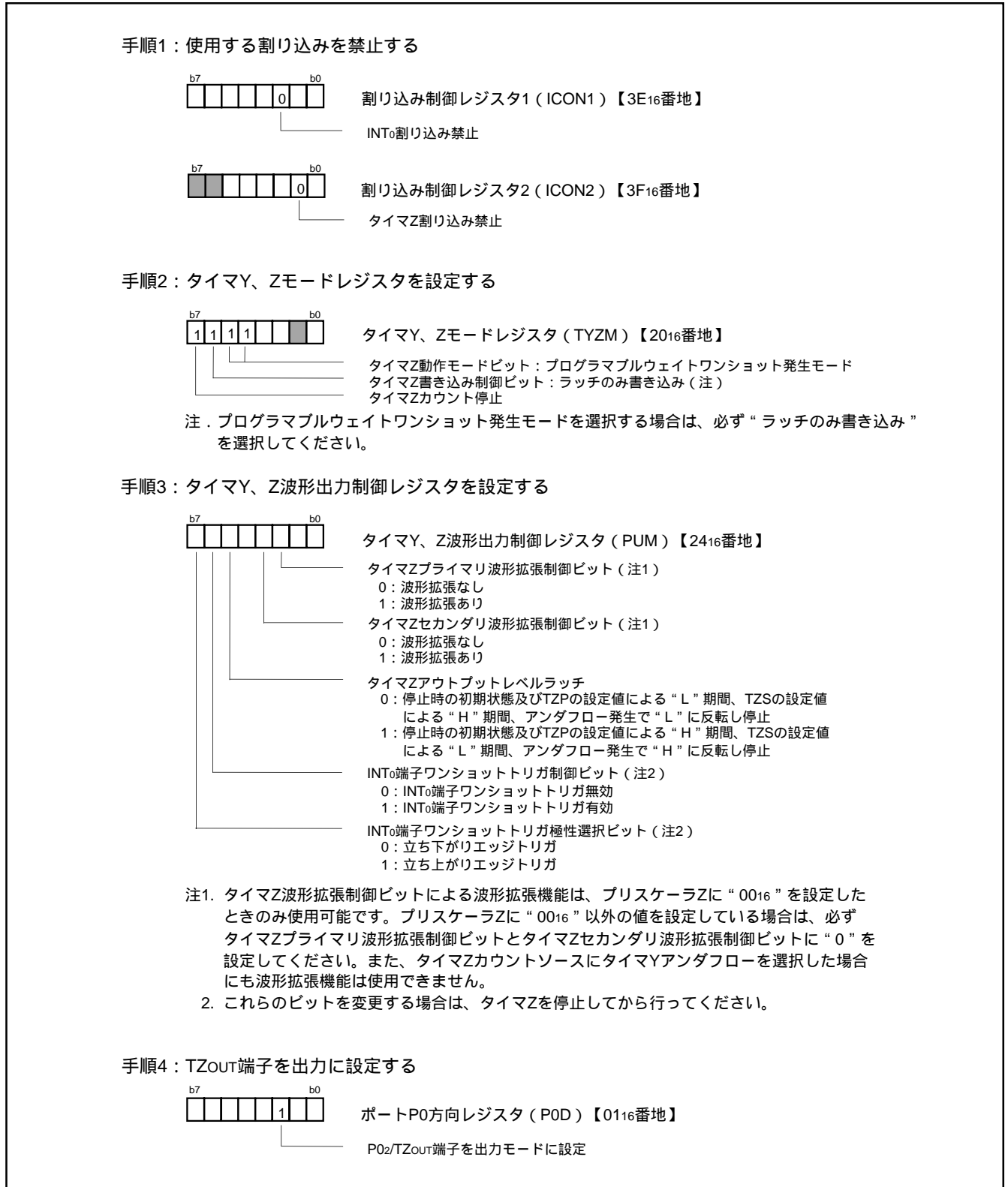
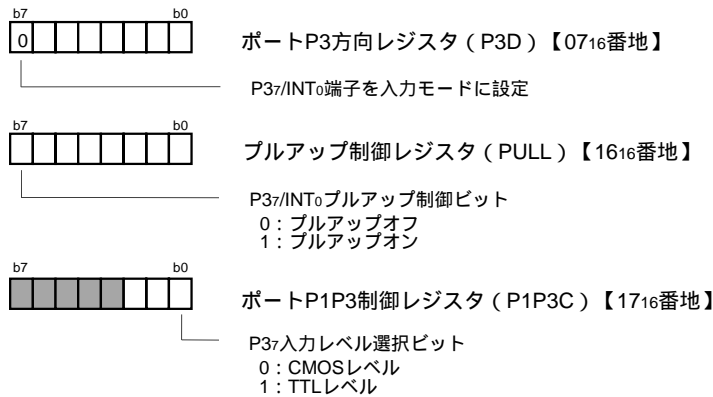


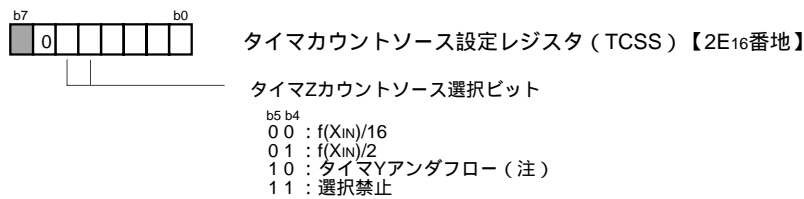
図2.5.36 プログラブルウェイトワンショット発生モードの設定方法(1)

手順5：INT0端子入力によるトリガを選択した場合：

ポートP3方向レジスタ、プルアップ制御レジスタ、ポートP1P3制御レジスタを設定する



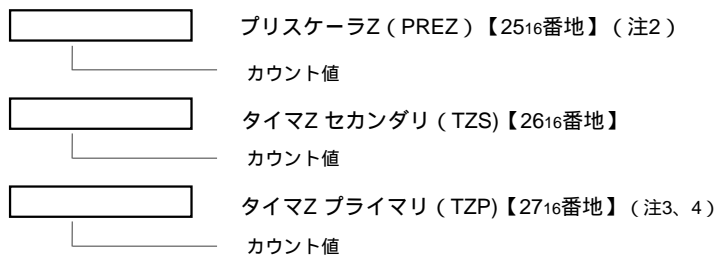
手順6：タイマZカウントソースを設定する



注. タイマZ波形拡張機能を使用する場合は、タイマZカウントソースにタイマYアンダフローを選択しないでください。

手順7：ウェイト期間、ワンショットパルス幅を設定する (注1)

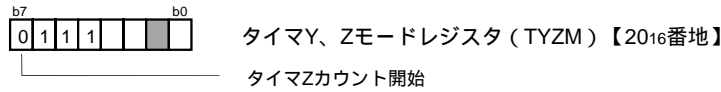
・タイマZプライマリにウェイト期間を、タイマZセカンダリにワンショットパルス幅を設定する。



- 注1. プログラマブルウェイトワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマZプライマリに書き込む必要があります。
- タイマZ波形拡張機能を使用する場合は、必ずプリスケアラZに“0016”を設定してください。
 - プログラマブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマZのアンダフローが重ならないようにソフトウェアで対策を行ってください。
 - プライマリ期間(ウェイト中)、セカンダリ期間(ワンショット出力中)のカウント値はタイマZプライマリを読み出すことで確認できます (タイマZセカンダリは読み出し時、不定)。

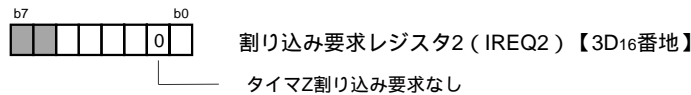
図2.5.37 プログラマブルウェイトワンショット発生モードの設定方法(2)

手順8：ワンショット開始トリガを受け付ける状態に設定する（注）

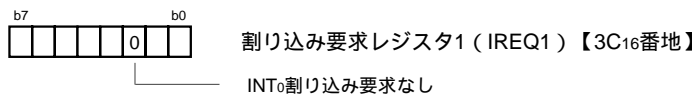
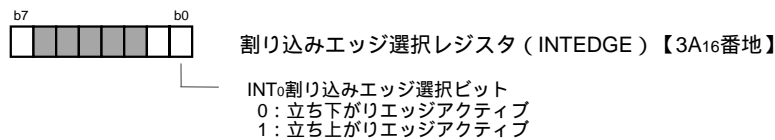


注．PUMのINT₀端子ワンショットトリガ制御ビットを“有効”にした場合には、この設定後、INT₀端子へのトリガ入力でタイマZのカウントが開始されます。

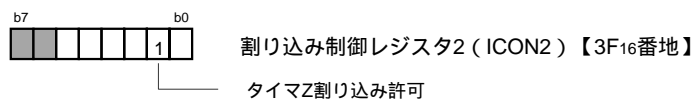
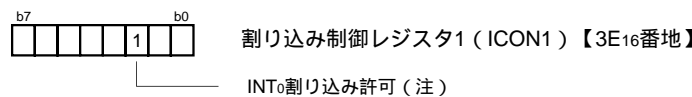
手順9：不要な割り込み処理を実行しないために、タイマZ割り込み要求ビットを“0”（要求なし）にしてください



INT₀端子ワンショットトリガ制御ビットを“有効”に設定し、かつINT₀割り込みを使用する場合には、以下の設定も行ってください

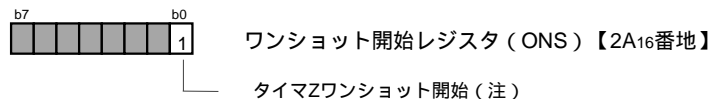


手順10：割り込みを使用する場合は、使用する割り込みの割り込み許可ビットを“1”（割り込み許可）にしてください



注．INT₀端子ワンショットトリガ制御ビットを“有効”に設定した場合には、この設定後、INT₀割り込みの受付が可能となります。

手順11：タイマZのカウントを開始する



PUMのINT₀端子ワンショットトリガ制御ビットを“有効”に設定した場合は、INT₀端子へのトリガ入力時、タイマZのカウントが開始されます。

注．TZout端子からパルスを出力します。出力後、“0”に初期化されます。

図2.5.38 プログラブルウェイトワンショット発生モードの設定方法(3)

(3) プログラマブルウェイトワンショット発生モードの応用例

ポイント

タイマYのプログラマブル波形発生モードを用いて、P01/TYOUT端子から出力されるPWM波形に同期させ、タイマZからウェイトワンショットパルスを発生させる。

仕様

TYOUT端子をP37/INT0端子と接続し、INT0端子の入力をトリガとしてウェイトワンショットパルスを出力する。

動作クロックは $f(XIN) = 8\text{MHz}$ 高速モードを使用する。

タイマYの使用方法については、前述のプログラマブル波形発生モードの項を参考にしてください。
 図2.5.39に周辺回路及び波形発生例を、図2.5.40に制御手順例を示します。

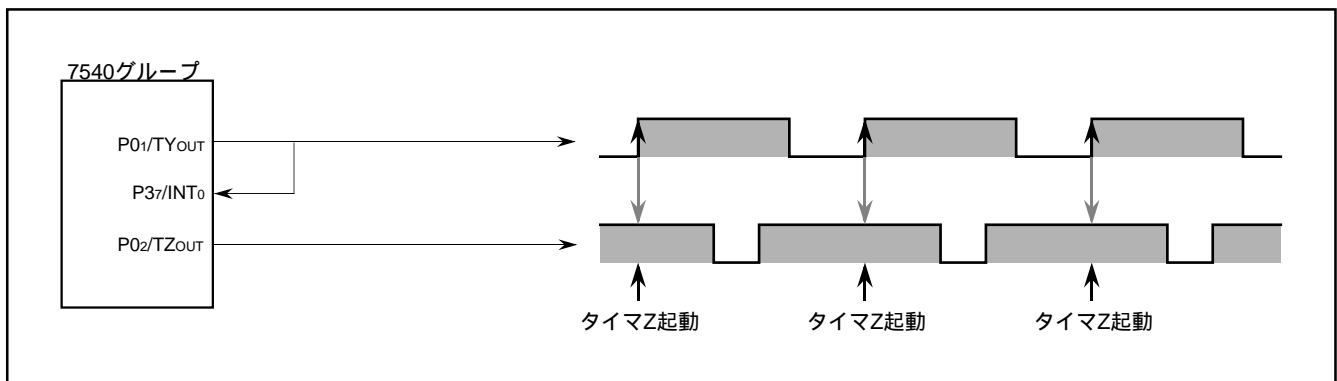
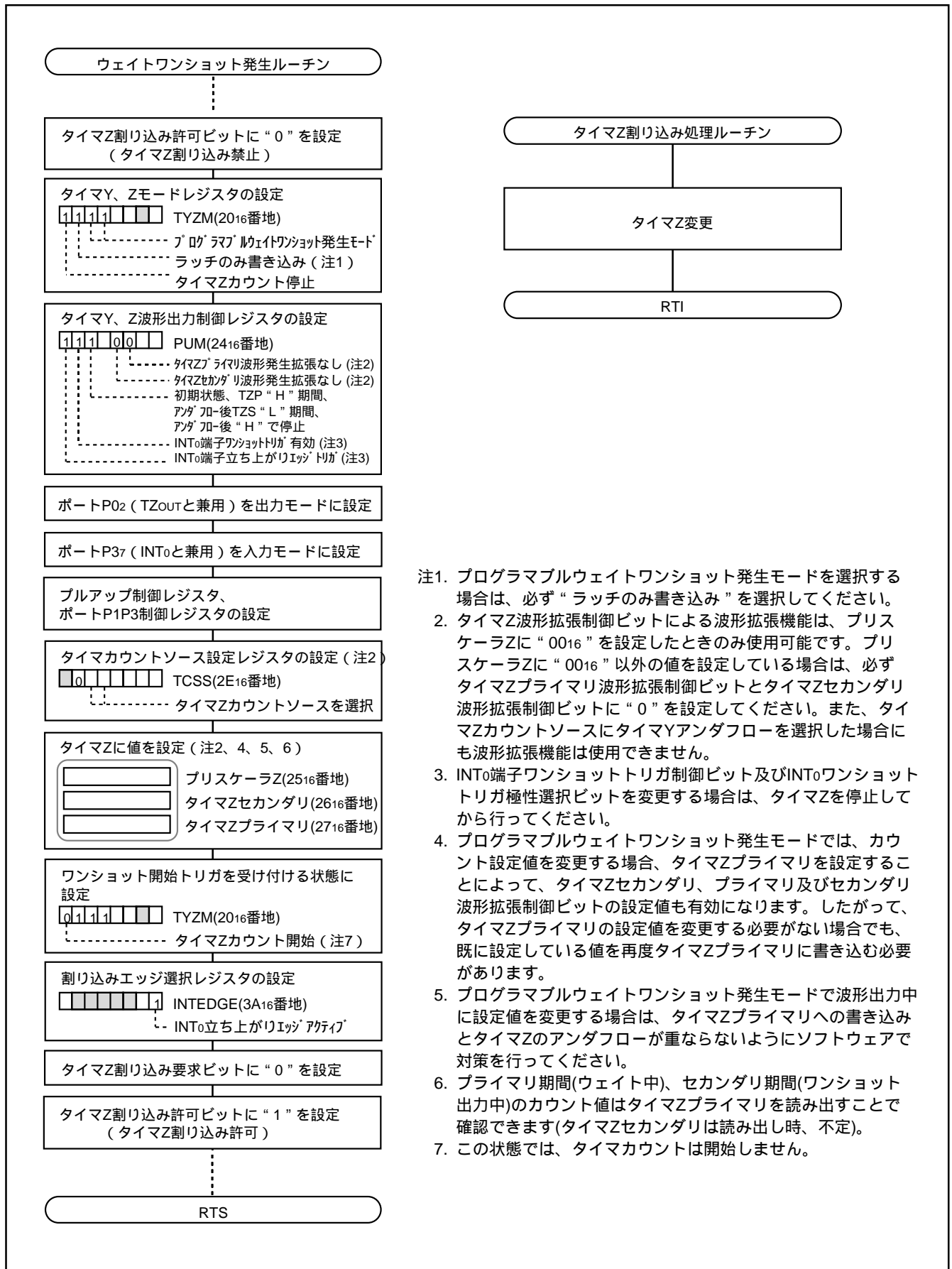


図2.5.39 周辺回路及び波形発生例



- 注1. プログラマブルウェイトワンショット発生モードを選択する場合は、必ず“ラッチのみ書き込み”を選択してください。
- 注2. タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“00₁₆”を設定したときのみ使用可能です。プリスケラZに“00₁₆”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも波形拡張機能は使用できません。
- 注3. INT0端子ワンショットトリガ制御ビット及びINT0ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。
- 注4. プログラマブルウェイトワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマZプライマリに書き込む必要があります。
- 注5. プログラマブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマZのアンダフローが重ならないようにソフトウェアで対策を行ってください。
- 注6. プライマリ期間(ウェイト中)、セカンダリ期間(ワンショット出力中)のカウント値はタイマZプライマリを読み出すことで確認できます(タイマZセカンダリは読み出し時、不定)。
- 注7. この状態では、タイマカウントは開始しません。

図2.5.40 制御手順例

2.5.7 タイマY、タイマZに関する注意事項

タイマY、タイマZを使用する場合は、以下の注意が必要です。

(1) タイマモードに関して(タイマYについて記述、タイマZも同様)

タイマモードではタイマYセカンダリ、タイマZセカンダリを使用しません。

(2) プログラマブル波形発生モードに関して(タイマYについて記述、タイマZも同様)

プログラマブル波形発生モードでは、カウント設定値を変更する場合、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないようにソフトウェアで対策を行ってください。

対策の一例を以下に示します。

例：タイマY割り込みを用い、プライマリによるアンダフロー、セカンダリによるアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、セカンダリによるアンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリ、セカンダリの設定値、プライマリへの書き込みタイミングによっては実現不可の場合もあります。)

タイマY波形拡張制御ビットによる波形拡張機能は、プリスケアラYに“0016”を設定したときのみ使用可能です。プリスケアラYに“0016”以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに“0”を設定してください。

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定したときのみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

プログラマブル波形発生モードを使用する場合は、必ずタイマY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマYセカンダリを読み出した場合、不定値が読み出されます。ただしタイマYがタイマYセカンダリの設定値をカウントしている間は、タイマYプライマリを読み出すことでセカンダリ期間のカウント値を知ることができます。

TYOUT端子を使用するため、ポートP0方向レジスタのビット1を“1”に設定して、出力モードにしてください。

(3) プログラマブルワンショット発生モードに関して(タイマZ)

プログラマブルワンショット発生モードではタイマZセカンダリを使用しません。

プログラマブルワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

プログラマブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

対策の一例を以下に示します。

例：タイマZ割り込みを用い、タイマのアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、アンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリの設定値、プライマリへの書き込みタイミング、ソフトウェアまたはINT₀端子への外部トリガタイミングによっては実現不可の場合もあります。)

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定したときのみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合も波形拡張機能は使用できません。

プログラブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

TZOUT端子を使用するため、ポートP0方向レジスタのビット2を“1”に設定して、出力モードにしてください。

INT₀端子ワンショットトリガ制御ビット及びINT₀ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。

(4) プログラブルウェイトワンショット発生モードに関して(タイマZ)

プログラブルウェイトワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がある場合でも、すでに設定している値を再度タイマZに書き込む必要があります。

プログラブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないようにソフトウェアで対策を行ってください。

対策の一例を以下に示します。

例：タイマZ割り込みを用い、プライマリによるアンダフロー、セカンダリによるアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、セカンダリによるアンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリ、セカンダリの設定値、プライマリへの書き込みタイミング、ソフトウェアまたはINT₀端子への外部トリガタイミングによっては実現不可の場合もあります。)

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定したときのみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

プログラブルウェイトワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZセカンダリを読み出した場合、不定値が読み出されます。ただし、タイマZがタイマZセカンダリの設定値をカウントしている間(ワンショット出力中)は、タイマZプライマリを読み出すことで、セカンダリ期間のカウント値を知ることができます。

TZOUT端子を使用するため、ポートP0方向レジスタのビット2を“1”に設定して、出力モードにしてください。

INT₀端子ワンショットトリガ制御ビット及びINT₀ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。

2.6 シリアル/O1

シリアル/O1はクロック同期形、クロック非同期形(UART)のどちらでも動作可能です。本節では、クロック同期形(送信及び受信)、UART(送信及び受信)に分けて設定方法、応用例、注意事項などを説明します。

2.6.1 メモリ配置図

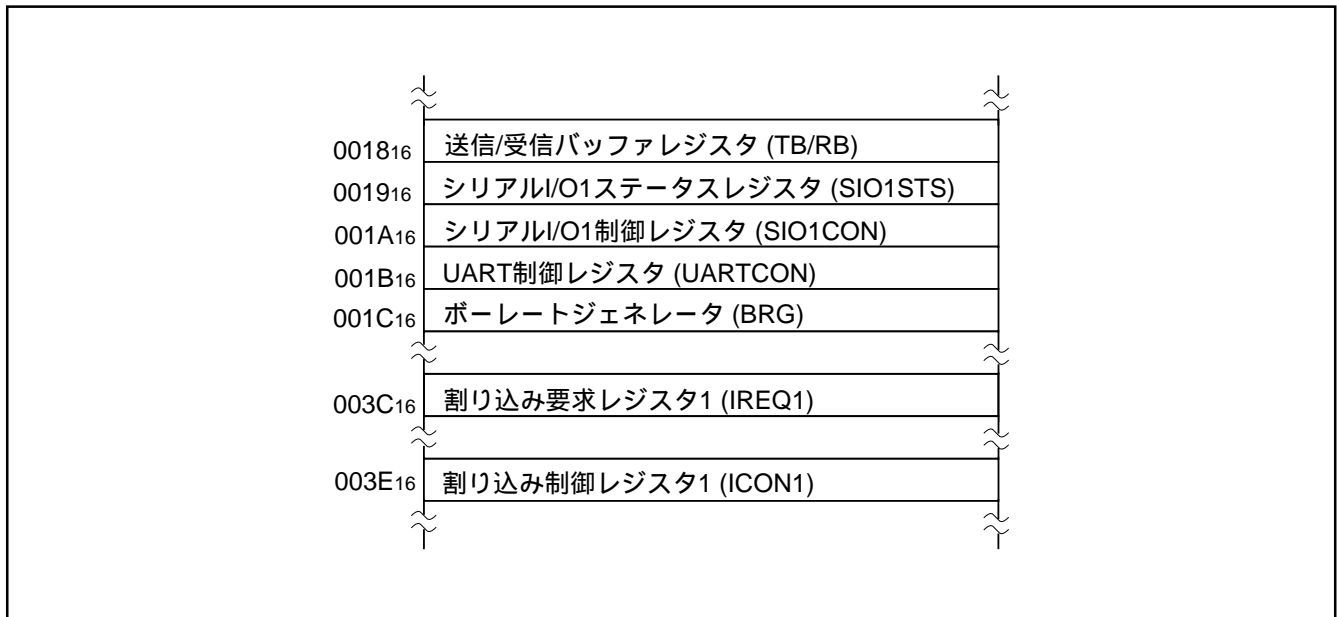


図2.6.1 シリアル/O関連レジスタのメモリ配置

2.6.2 関連レジスタ

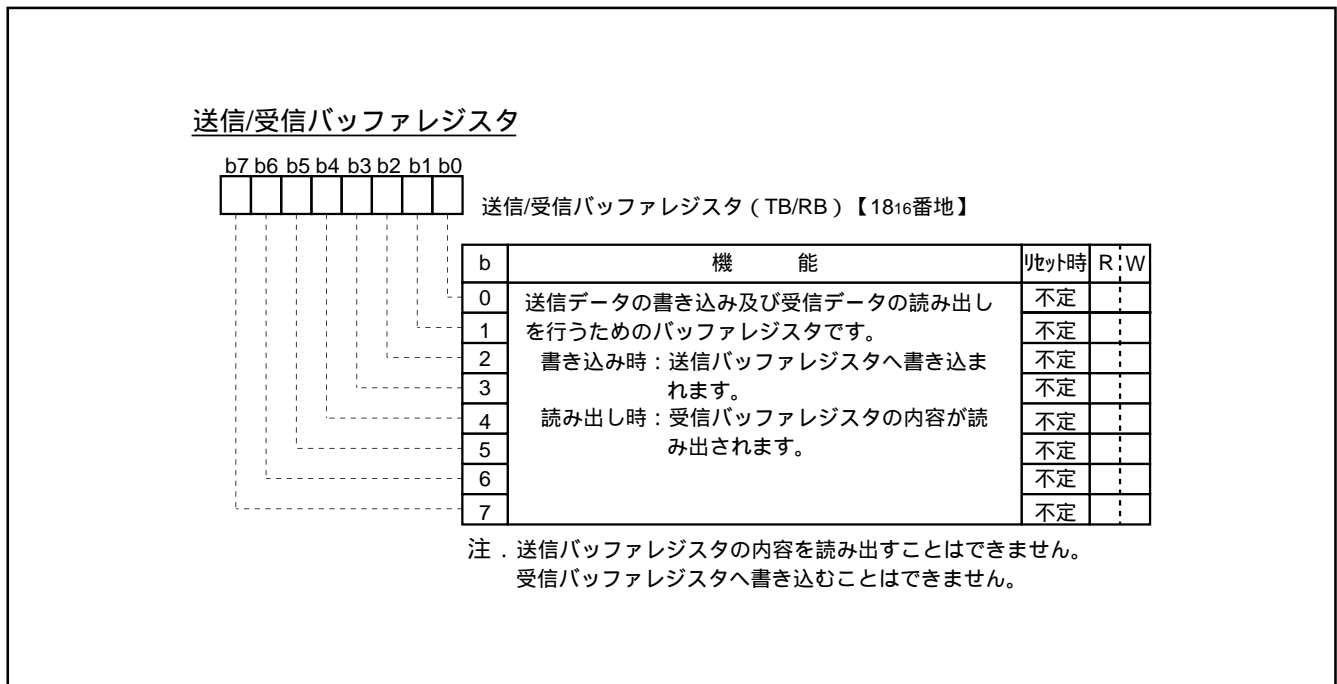
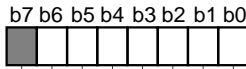


図2.6.2 送信/受信バッファレジスタの構成

シリアル/O1ステータスレジスタ

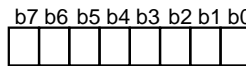


シリアル/O1ステータスレジスタ(SIO1STS) 【19₁₆番地】

b	ビット名	機能	リセット時	R/W
0	送信バッファエンプティフラグ(TBE)	0:バッファフル状態 1:バッファエンプティ状態	0	x
1	受信バッファフルフラグ(RBF)	0:バッファエンプティ状態 1:バッファフル状態	0	x
2	送信シフトレジスタシフト終了フラグ(TSC)	0:送信シフト中 1:送信シフト終了	0	x
3	オーバランエラーフラグ(OE)	0:オーバランエラーなし 1:オーバランエラー発生	0	x
4	パリティエラーフラグ(PE)	0:パリティエラーなし 1:パリティエラー発生	0	x
5	フレーミングエラーフラグ(FE)	0:フレーミングエラーなし 1:フレーミングエラー発生	0	x
6	サミングエラーフラグ(SE)	0:(OE) (PE) (FE) = 0 1:(OE) (PE) (FE) = 1	0	x
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1	x

図2.6.3 シリアル/O1ステータスレジスタの構成

シリアル/O1制御レジスタ



シリアル/O1制御レジスタ(SIO1CON) 【1A₁₆番地】

b	ビット名	機能	リセット時	R/W
0	BRGカウントソース選択ビット(CSS)	0: f(X _{IN}) 1: f(X _{IN})/4	0	
1	シリアル/O1同期クロック選択ビット(SCS)	クロック同期形シリアル/O1選択時 0: BRG出力の4分周 1: 外部クロック入力 クロック非同期形シリアル/O1選択時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	
2	SRDY ₁ 出力許可ビット(SRDY)	0: P13端子 1: SRDY ₁ 出力端子	0	
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファが空になったとき 1: 送信動作が終了したとき	0	
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	
6	シリアル/O1モード選択ビット(SIOM)	0: クロック非同期形シリアル/O1 1: クロック同期形シリアル/O1	0	
7	シリアル/O1許可ビット(SIOE)	0: シリアル/O1禁止 1: シリアル/O1許可	0	

図2.6.4 シリアル/O1制御レジスタの構成

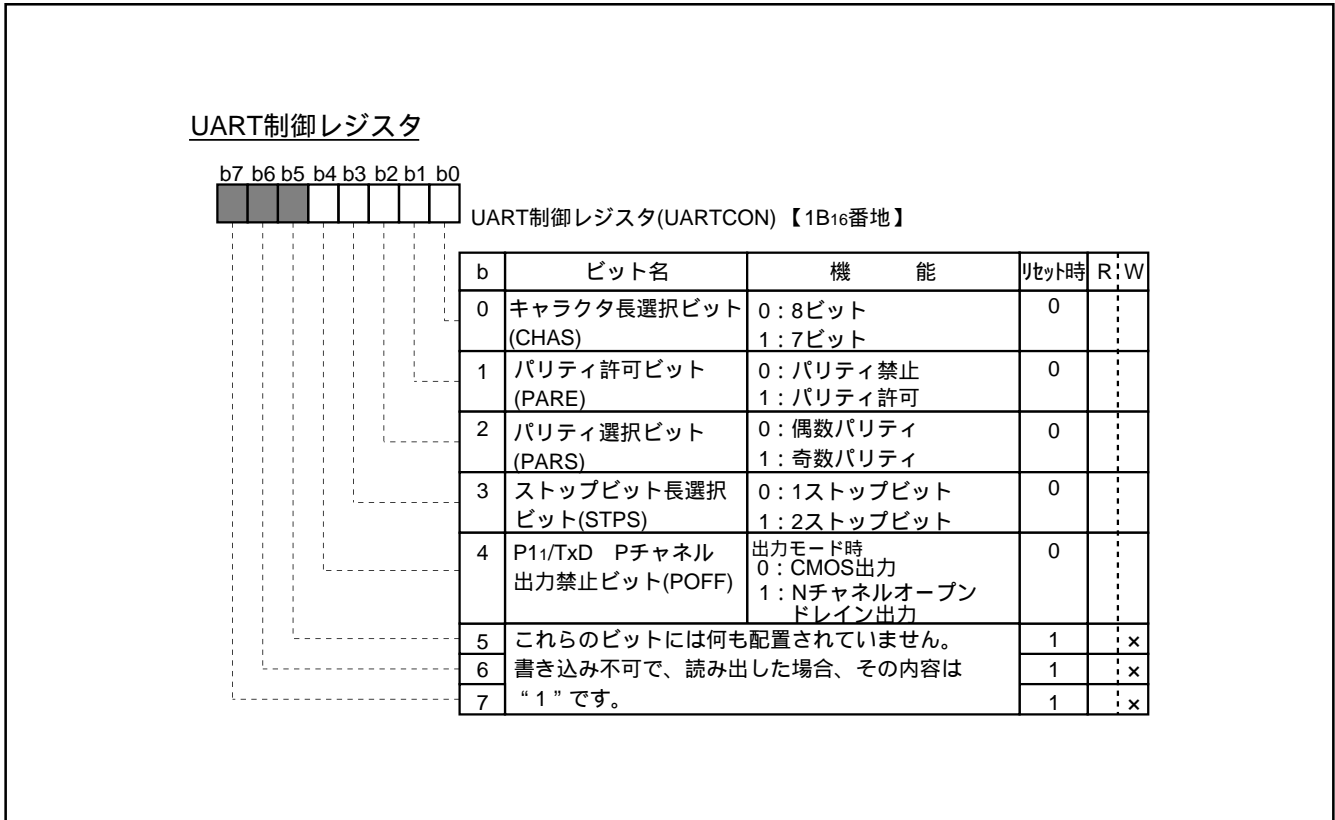


図2.6.5 UART制御レジスタの構成

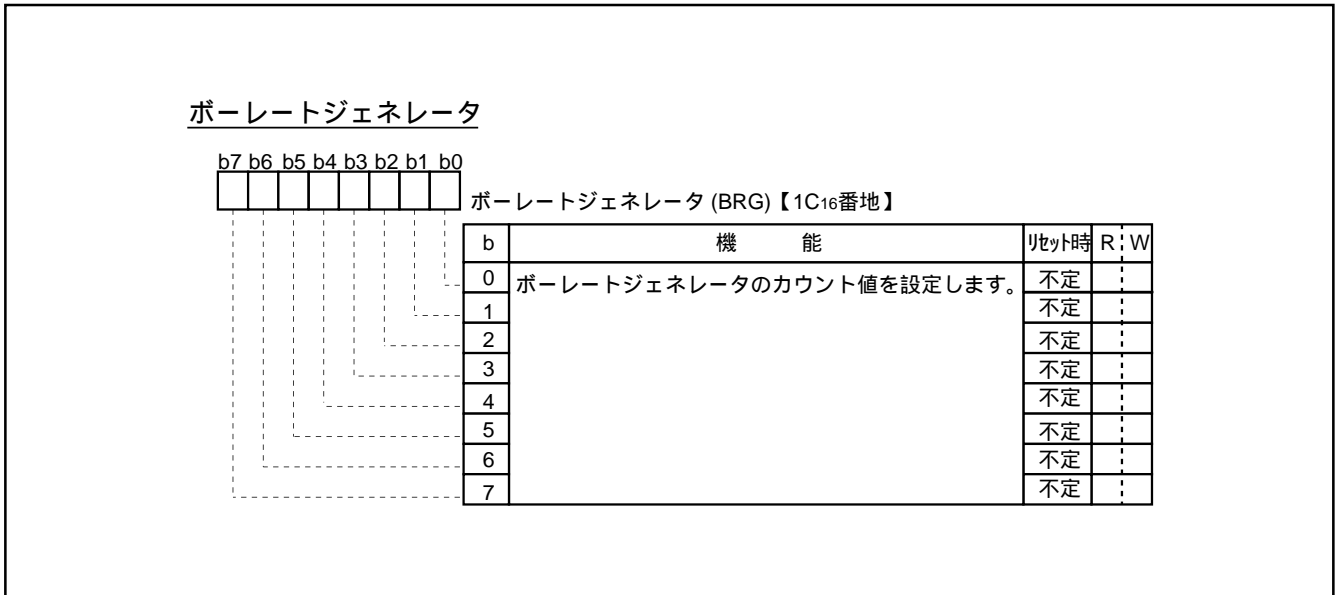


図2.6.6 ポーレートジェネレータの構成

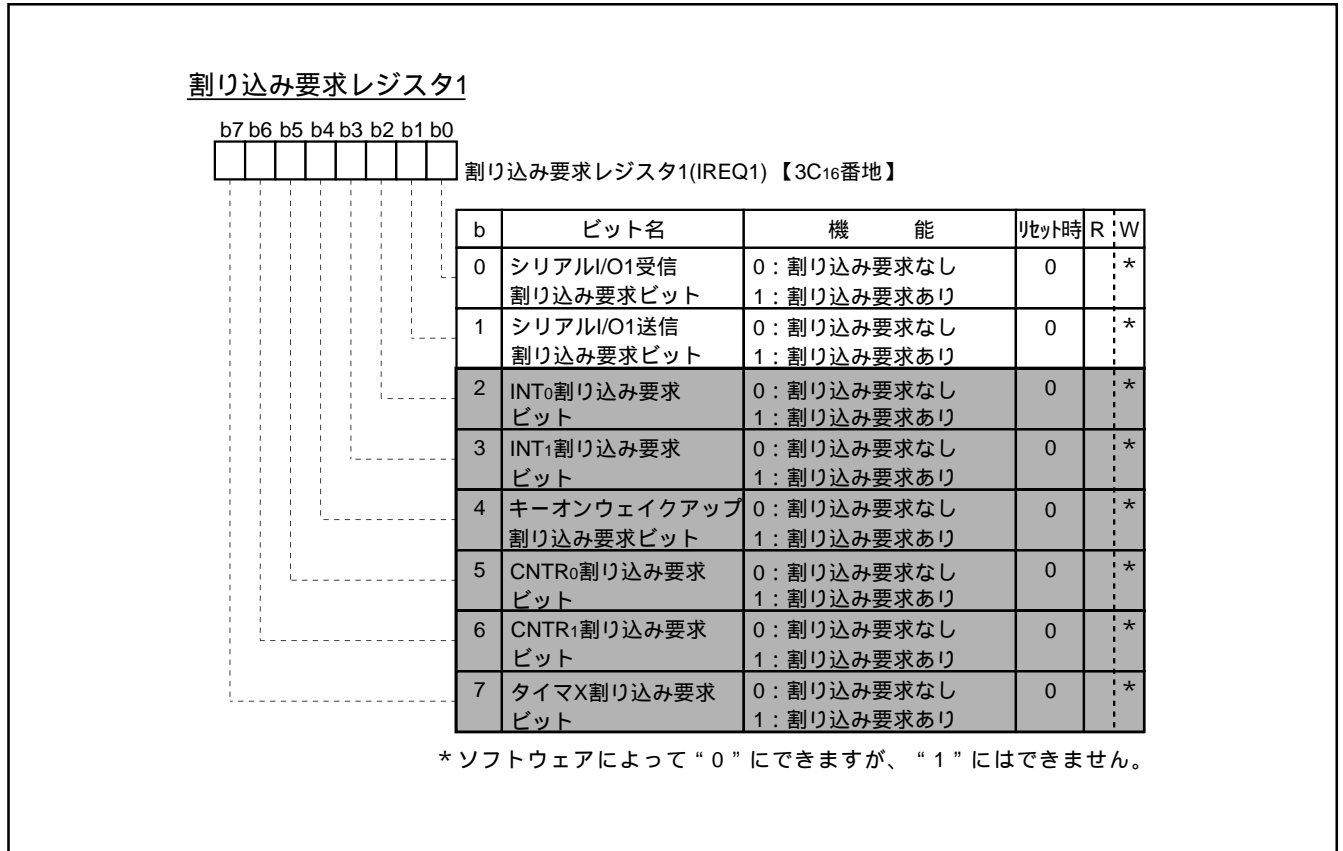


図2.6.7 割り込み要求レジスタ1の構成

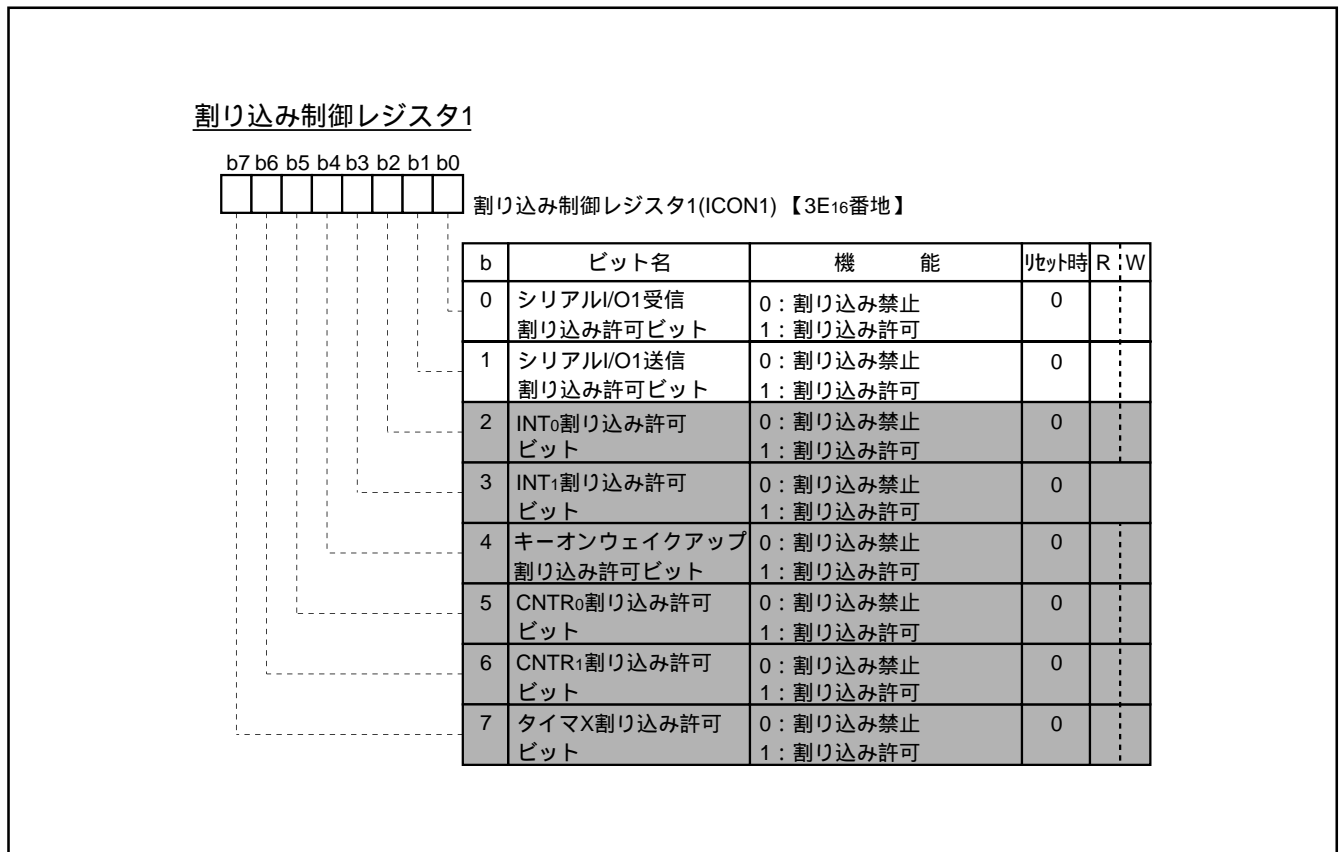


図2.6.8 割り込み制御レジスタ1の構成

2.6.3 シリアル/O1転送データフォーマット

図2.6.9にシリアル/O1転送データフォーマットを示します。

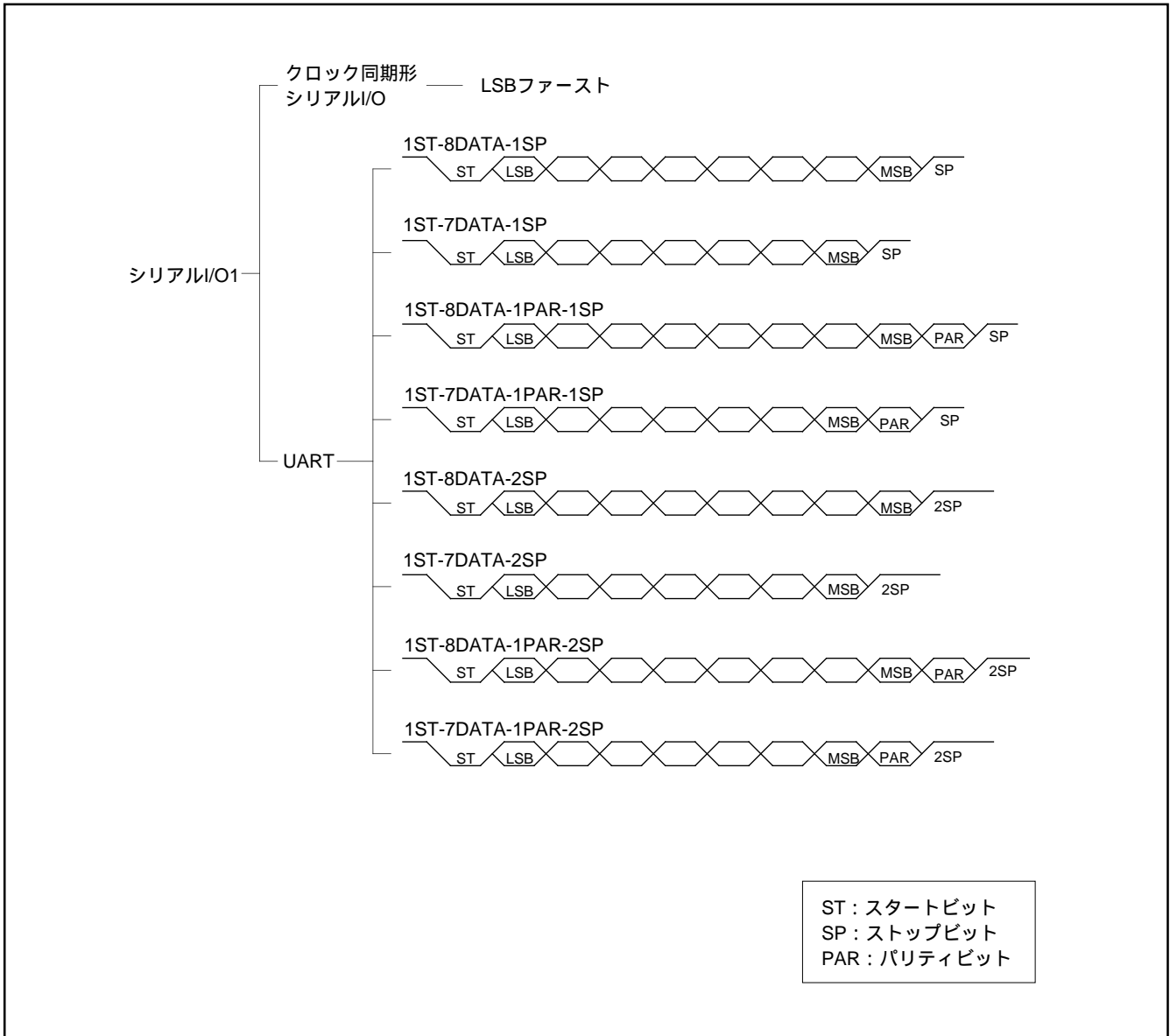


図2.6.9 シリアル/O1転送データフォーマット

2.6.4 シリアルI/O1のクロック同期形の応用例

シリアルI/O1のクロック同期形では、動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。この動作クロックに同期して、送信側の送信動作と、受信側の受信動作が同時に実行されます。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

(1) データ転送速度について

同期クロック周波数の算出式を以下に示します。

内部クロック選択時(ポーレートジェネレータを使用した場合)

$$\text{同期クロック周波数} = \frac{f(\text{XIN})}{\text{「Hz」} \quad \text{分周比}^{*1} \times (\text{BRG設定値}^{*2} + 1) \times 4}$$

- ・分周比^{*1} : “1”、“4”のいずれかを選択(シリアルI/O1制御レジスタのビット0にて設定)
- ・BRG設定値^{*2} : 0 ~ 255(0016 ~ FF16)を設定

外部クロック選択時

$$\text{同期クロック周波数} = \text{SCLK1端子への入力クロック} \\ \text{「Hz」}$$

(2) シリアルI/O1のクロック同期形の設定方法

図2.6.10、図2.6.11にシリアルI/O1のクロック同期形設定方法を示します。

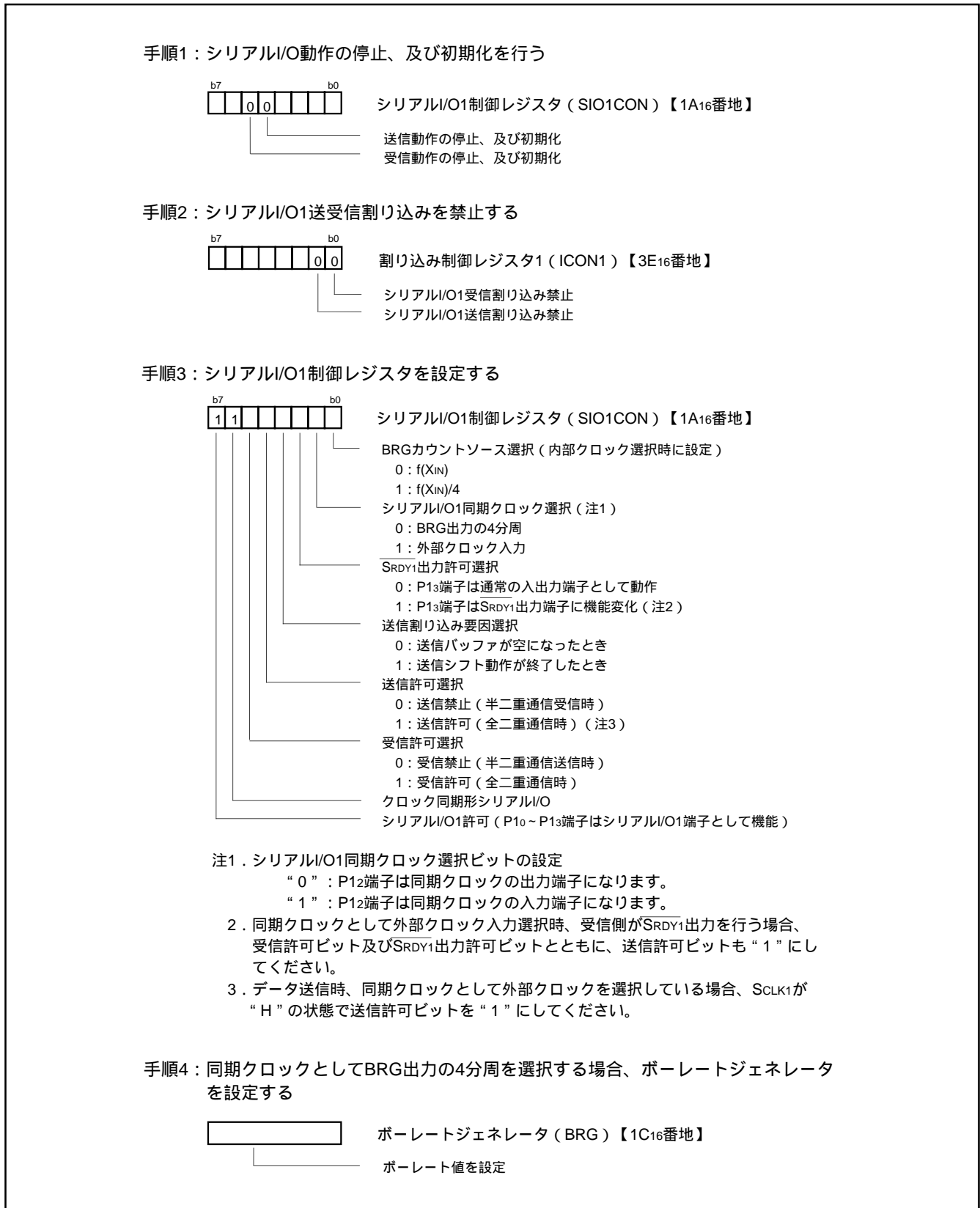
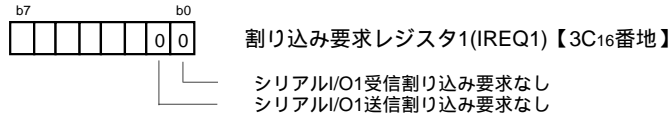
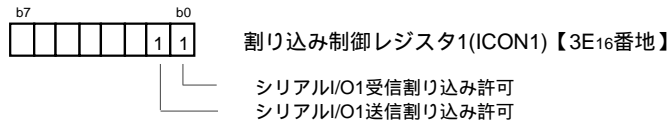


図2.6.10 シリアルI/O1のクロック同期形設定方法(1)

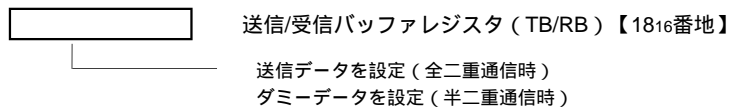
手順5：不要な割り込み処理を実行しないために、シリアル/O1送受信割り込み要求ビットを“0”（要求なし）にしてください



手順6：割り込みを実行する場合は、シリアル/O送受信割り込み許可ビットを“1”（割り込み許可）にしてください



手順7：データの送受信を開始する（注1、2）



- 注1．データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態で行ってください。
- 2．SRDY1信号を入力する場合は、データを送信する前に使用する端子を入力モードに設定してください。

図2.6.11 シリアル/O1のクロック同期形設定方法(2)

(3) シリアルI/O1のクロック同期形を使用した通信(送信/受信)

ポイント

シリアルI/O1のクロック同期形を使用して2バイトデータの送受信を行います。通信制御には、 $\overline{\text{SRDY1}}$ 信号を使用します。

仕様

シリアルI/O1(クロック同期形シリアルI/Oを選択)を同期クロック周波数125 kHz ($f(\text{XIN}) = 4 \text{ MHz}$ の32分周)にて使用する。

2 ms間隔(タイマにより生成)で受信側から $\overline{\text{SRDY1}}$ 信号を出力し、2バイトのデータを送信側から受信側へ転送する。

図2.6.12に接続図、図2.6.13にタイミング図、図2.6.14に送信側の制御手順例、図2.6.15に受信側の制御手順例を示します。

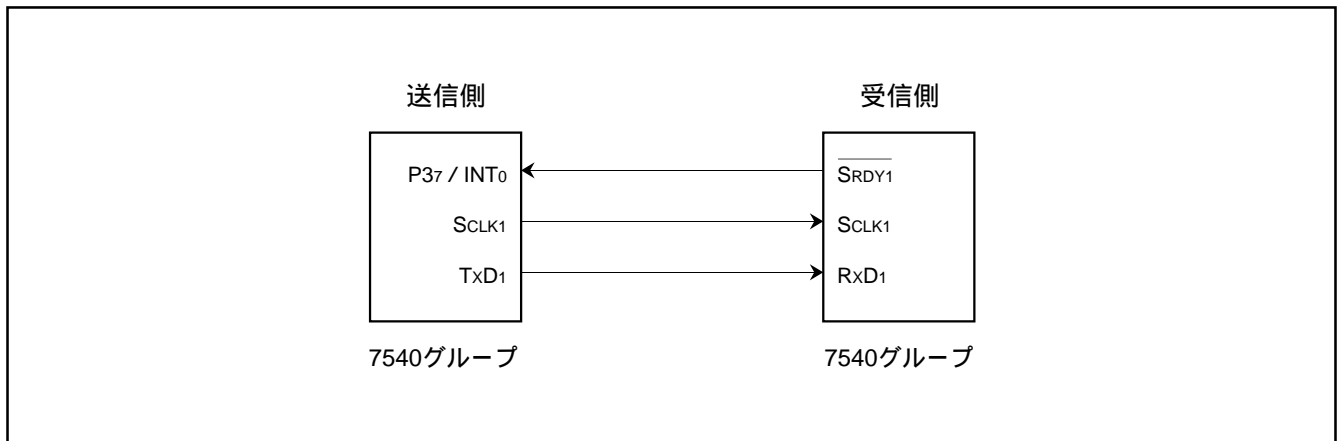


図2.6.12 接続図

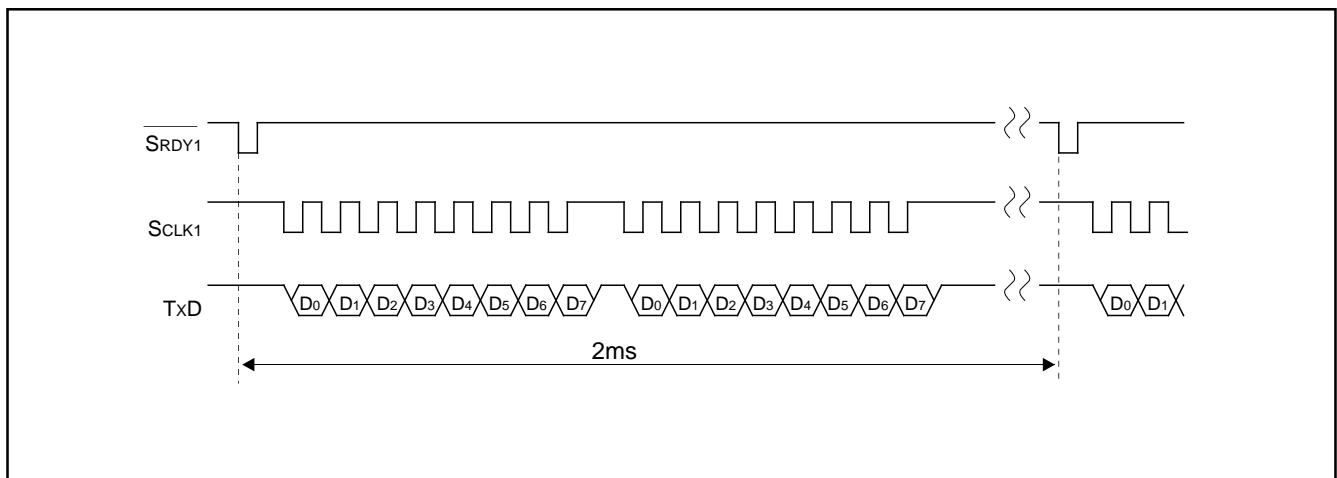


図2.6.13 タイミング図

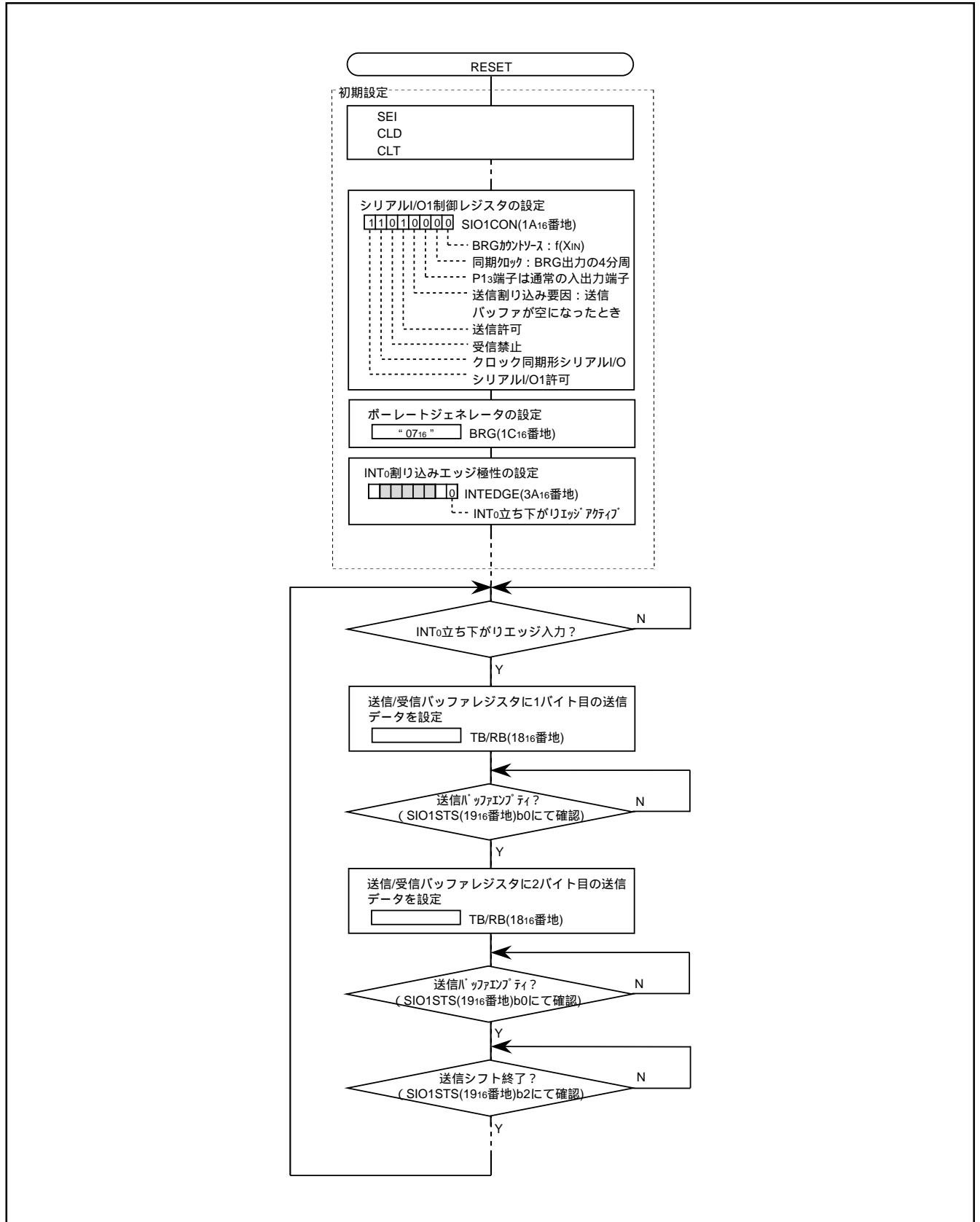


図2.6.14 送信側の制御手順例

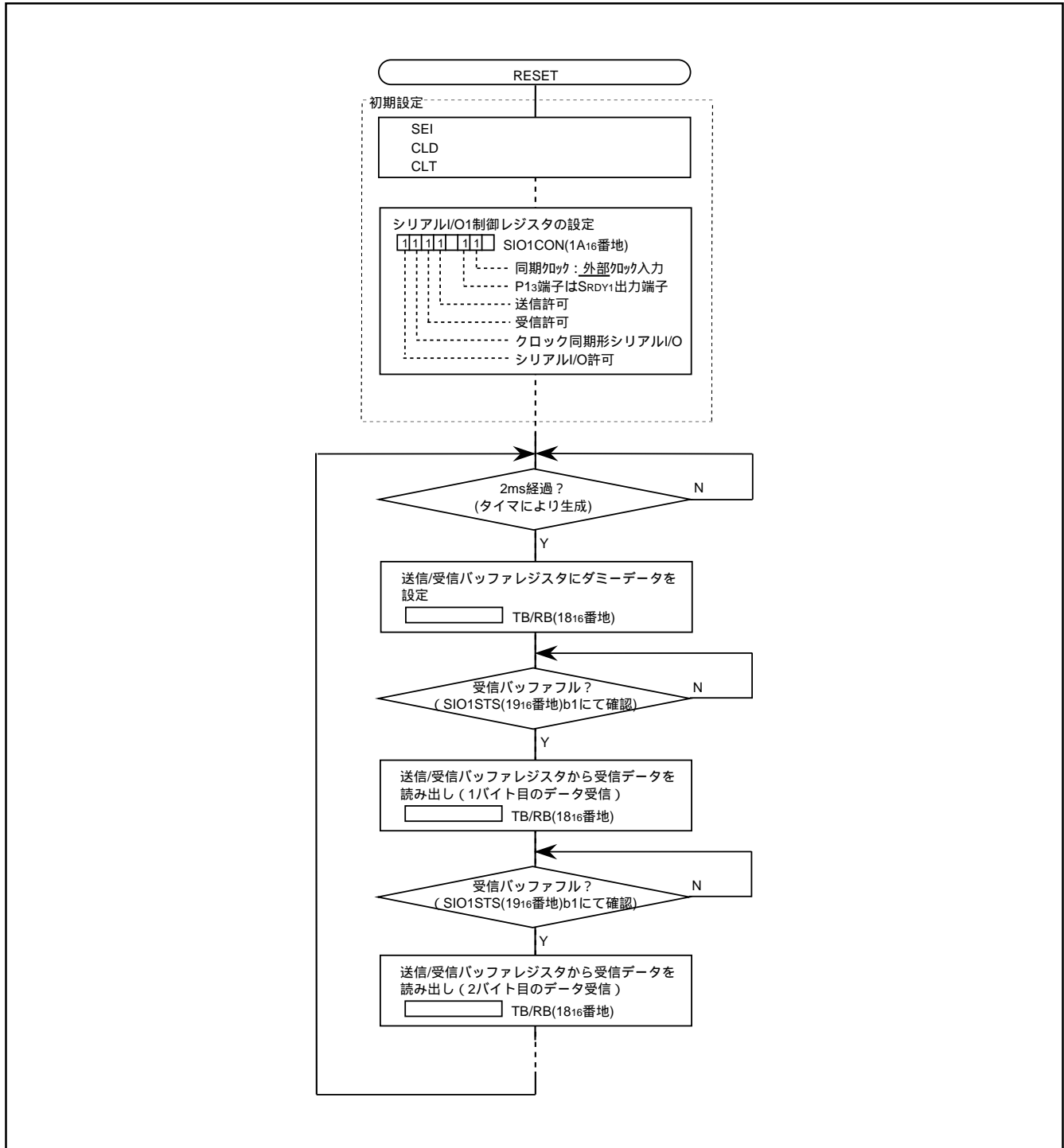


図2.6.15 受信側の制御手順例

2.6.5 シリアルI/O1のクロック非同期形の応用例

シリアルI/O1のクロック非同期形(以下UART)の場合、送受信側でボーレート、及び転送データのフォーマットを統一して非同期にデータの送信と受信を行います。

7540グループでは、UART制御レジスタの設定により、8つのシリアルデータ転送フォーマットが選択可能です。

(1) データ転送速度について

転送ビットレートの算出式を以下に示します。

内部クロック選択時(ボーレートジェネレータを使用した場合)

$$\text{転送ビットレート} = \frac{f(\text{XIN})}{\text{「bps」} \quad \text{分周比}^{*1} \times (\text{BRG設定値}^{*2} + 1) \times 16}$$

- ・分周比^{*1} : “1”、“4”のいずれかを選択(シリアルI/O1制御レジスタのビット0にて設定)
- ・BRG設定値^{*2} : 0~255(0016~FF16)を設定

外部クロック選択時

$$\text{転送ビットレート} = \frac{\text{SCLK1端子への入力クロック}}{\text{「bps」} \quad / 16}$$

表2.6.1にボーレートジェネレータの設定値と転送ビットレート選択例を示します。

表2.6.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

BRGカウント ソース	BRG設定値	転送ビットレート(bps)	
		f(XIN) = 4.9152 MHz時	f(XIN) = 8 MHz時
f(XIN)/4	255(FF16)	300	488.28125
f(XIN)/4	127(7F16)	600	976.5625
f(XIN)/4	63(3F16)	1200	1953.125
f(XIN)/4	31(1F16)	2400	3906.25
f(XIN)/4	15(0F16)	4800	7812.5
f(XIN)/4	7(0716)	9600	15625
f(XIN)/4	3(0316)	19200	31250
f(XIN)/4	1(0116)	38400	62500
f(XIN)	3(0316)	76800	125000
f(XIN)	1(0116)	153600	250000
f(XIN)	0(0016)	307200	500000

(2) 設定方法

図2.6.16、図2.6.17にシリアル/O1のUART設定方法を示します。

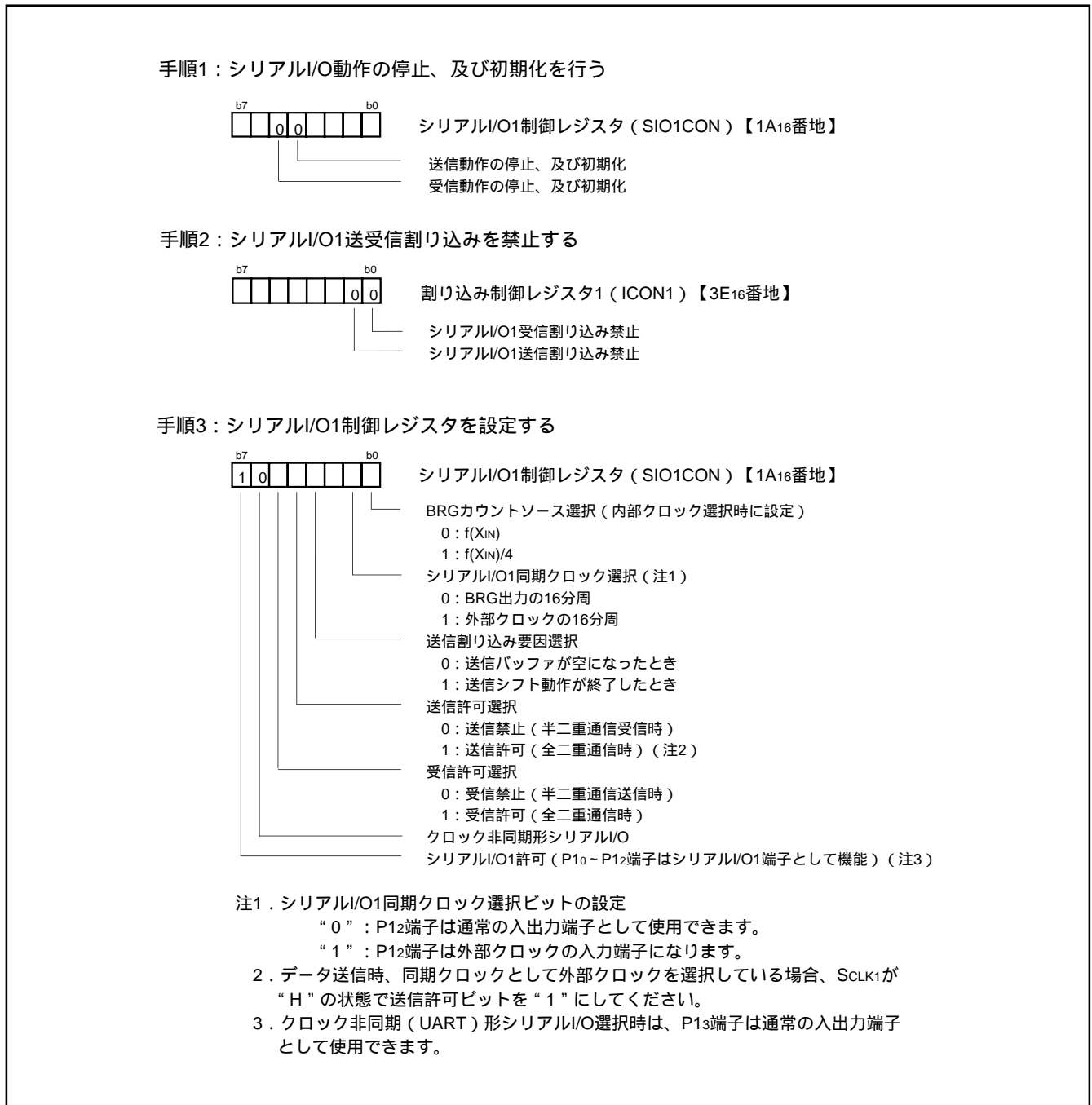
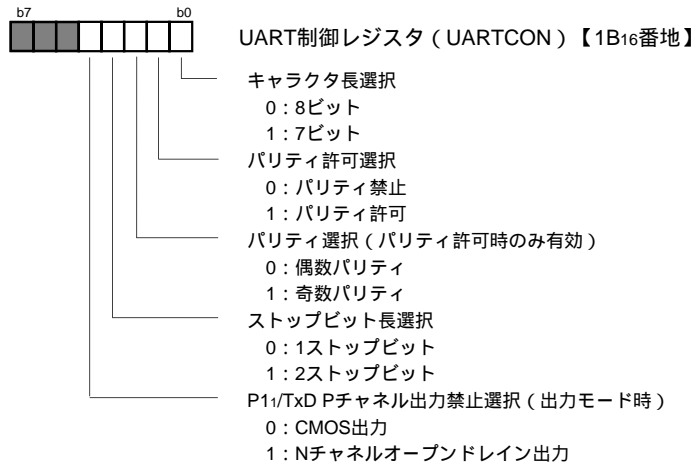
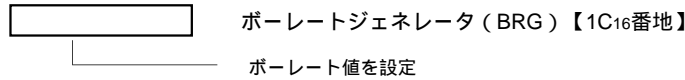


図2.6.16 シリアル/O1のUART設定方法(1)

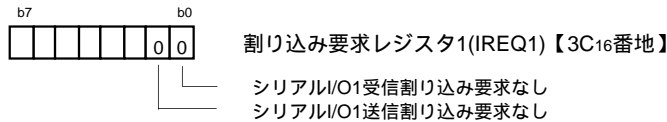
手順4：UART制御レジスタを設定する



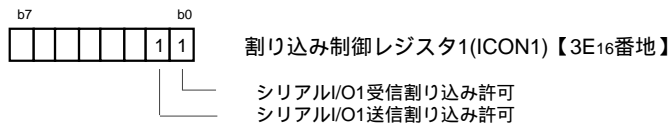
手順5：同期クロックとしてBRG出力の16分周を選択する場合、ボーレートジェネレータを設定する



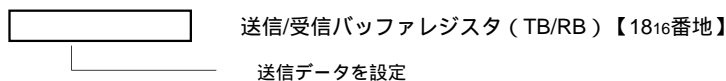
手順6：不要な割り込み処理を実行しないために、シリアルI/O1送受信割り込み要求ビットを“0” (要求なし) にしてください



手順7：割り込みを実行する場合は、シリアルI/O1送受信割り込み許可ビットを“1” (割り込み許可) にしてください



手順8：送信時、データの送信を開始する (注)



注．データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態で行ってください。

図2.6.17 シリアルI/O1のUART設定方法(2)

(3) UARTを使用した通信(送信/受信)

ポイント

UARTを使用して2バイトデータの送受信を行います。通信制御には、ポートP0₀を使用します。

仕様

シリアルI/O1(UARTを選択)を転送ビットレート9600bps($f(XIN) = 4.9152\text{MHz}$ の512分周)にて使用する。

ポートP0₀ を使用する通信制御(ポートP0₀ の出力レベルはソフトウェアで制御する)。

10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送する。

図2.6.18に接続図、図2.6.19にタイミング図、図2.6.20に送信側の制御手順例、図2.6.21に受信側の制御手順例を示します。

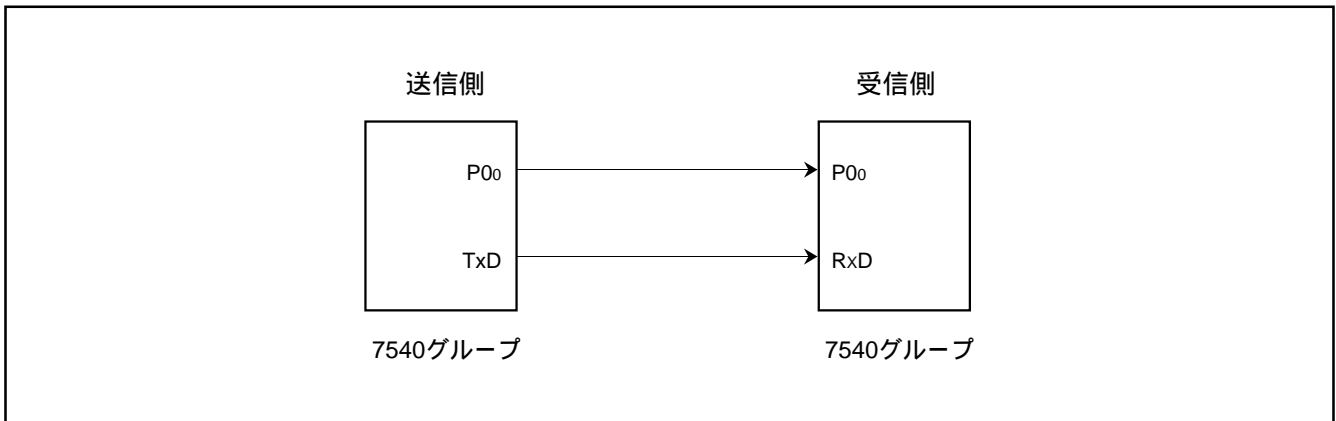


図2.6.18 接続図

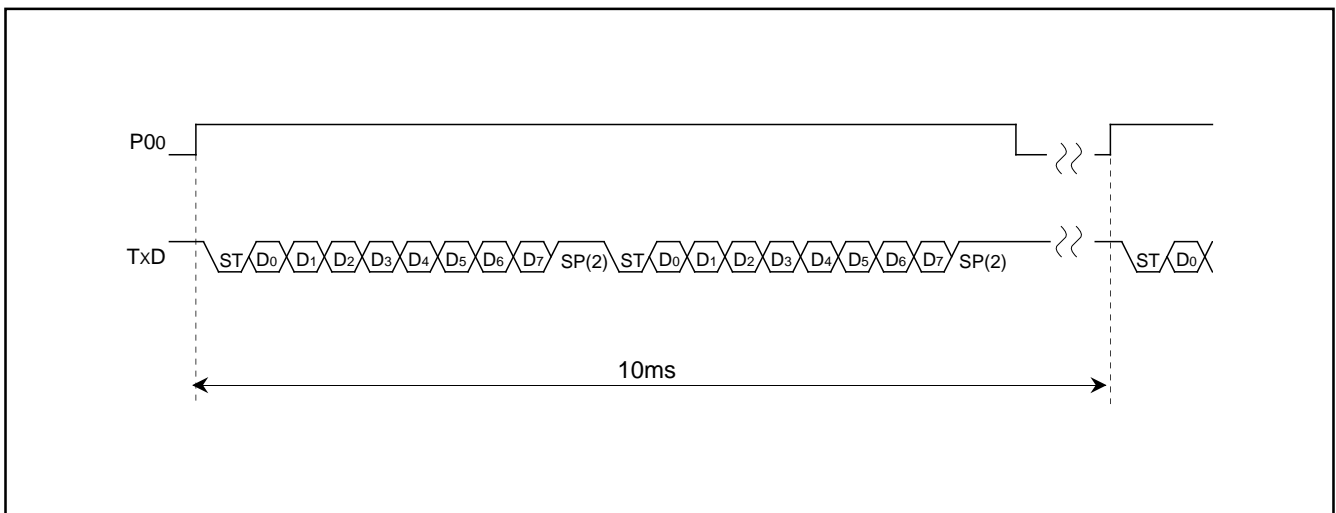


図2.6.19 タイミング図

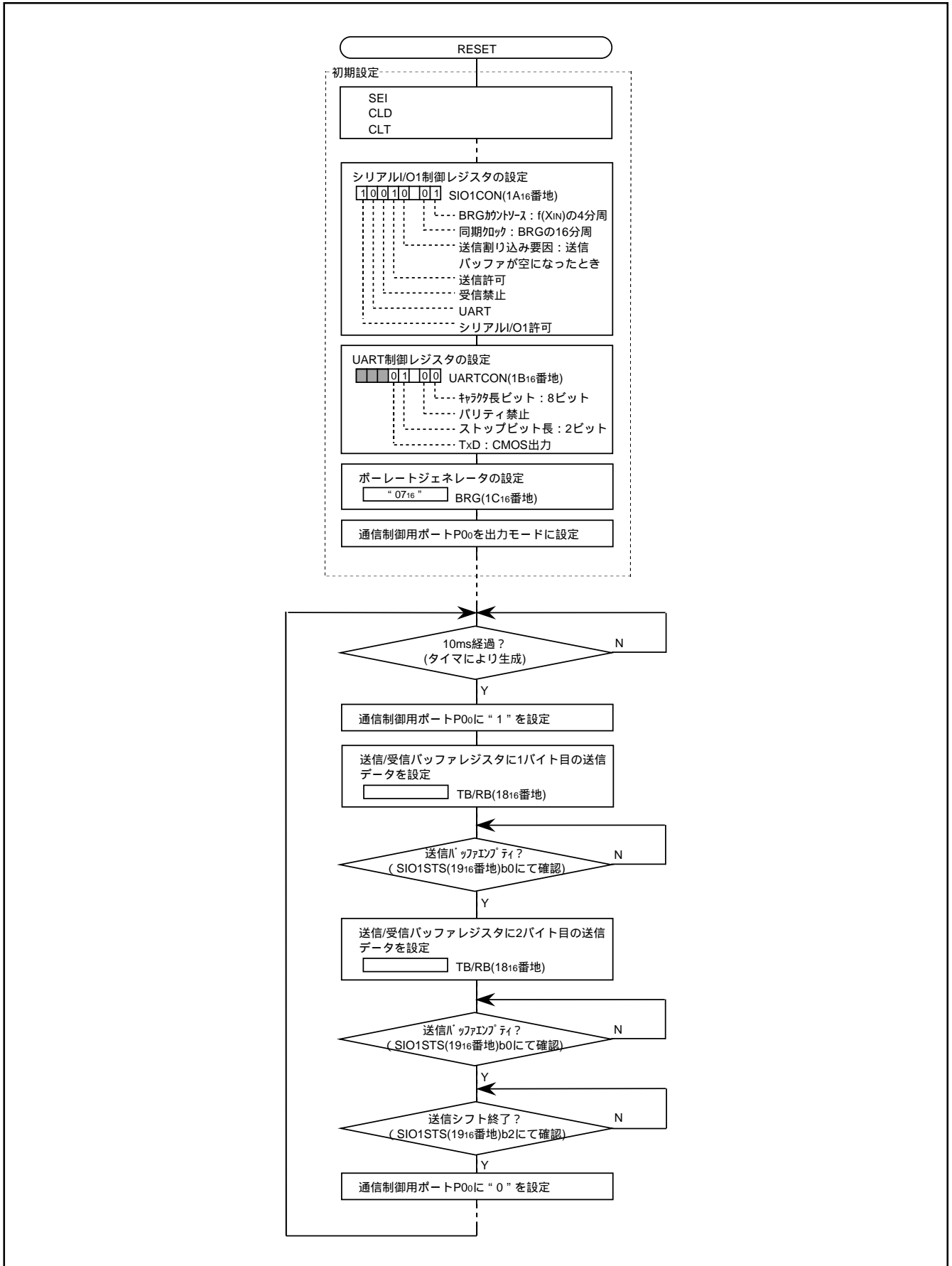


図2.6.20 送信側の制御手順例

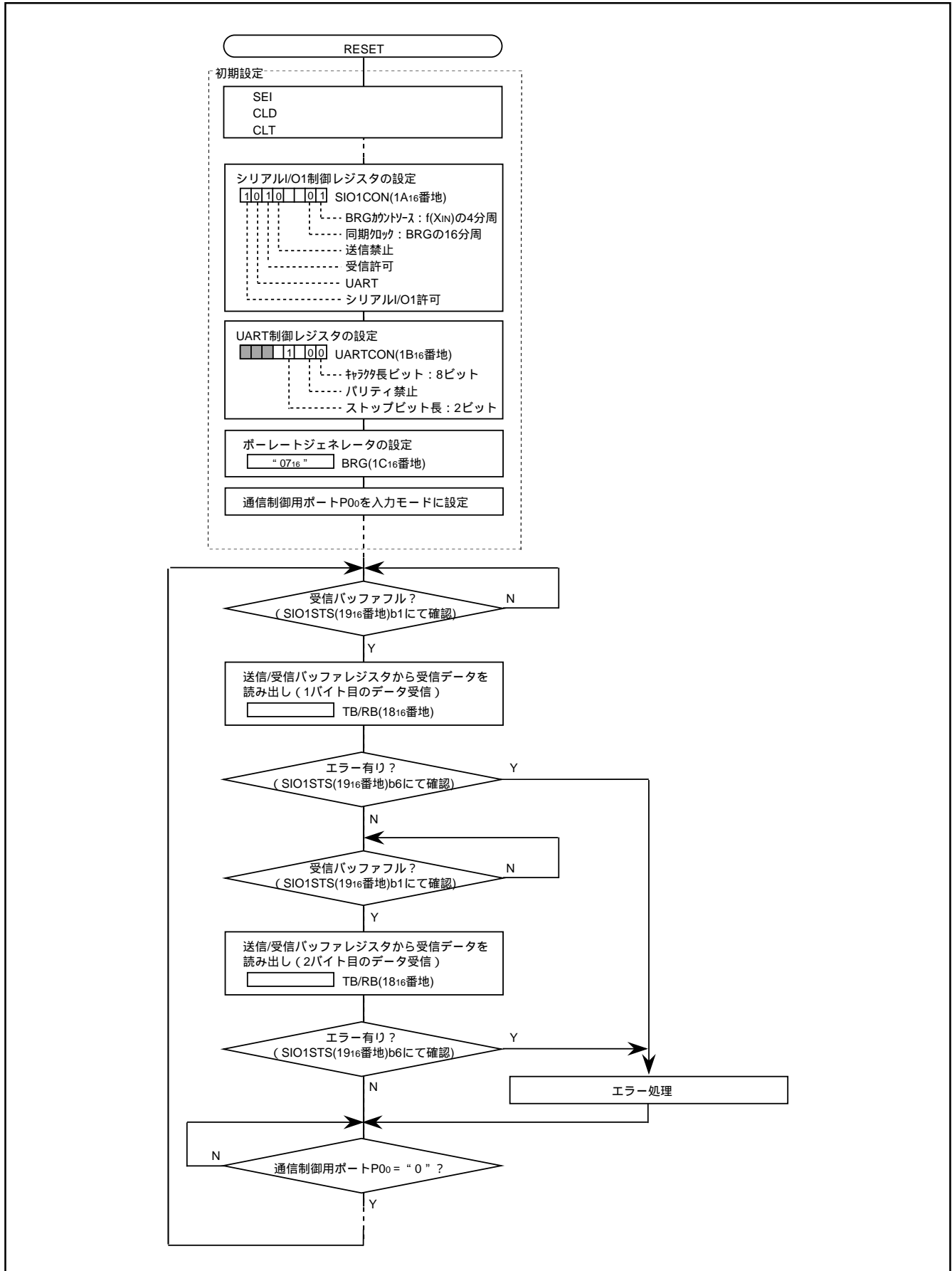


図2.6.21 受信側の制御手順例

2.6.6 シリアルI/O1に関する注意事項

シリアルI/O1を使用する場合は、以下の注意が必要です。

(1) クロック同期形に関して

シリアルI/O1をクロック同期形として使用する場合、シリアルI/O2は使用できません。

送信動作を停止する場合、シリアルI/O1許可ビット及び送信許可ビットを“0”(シリアルI/O1禁止及び送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1、RxD1、SCLK1、 $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)、又はシリアルI/O1許可ビットを“0”(シリアルI/O1禁止)にしてください。

送受信動作を停止する場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。(送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。またと同様に、シリアルI/O1許可ビットを“0”(シリアルI/O1禁止)にしても送信回路を初期化できません。

同期クロックとして外部クロック入力選択時、受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも“1”にしてください。

$\overline{\text{SRDY1}}$ 信号を入力する場合は、データを送信/受信バッファレジスタに書き込む前に、使用する端子を入力モードに設定してください。

クロック同期形シリアルI/O選択時のシリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は同期クロックの出力端子になります。

“1”: P12端子は同期クロックの入力端子になります。

クロック同期形シリアルI/O1選択時の $\overline{\text{SRDY1}}$ 出力許可ビットの設定

“0”: P13端子は通常の入出力端子として使用できます。

“1”: P13端子は $\overline{\text{SRDY1}}$ 出力端子になります。

(2) UARTに関して

シリアルI/O1をUARTとして使用する場合、同期クロックにBRG出力の16分周を選択した場合のみ、シリアルI/O2を使用することができます。

送信動作を停止する場合、送信許可ビットを“0”(送信禁止)にしてください。

理由

(1)のと同じです。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)にしてください。

送受信動作を停止する場合、送信許可ビットを“0”(送信禁止)に、受信許可ビットを“0”(受信禁止)にしてください。

クロック非同期(UART)形シリアルI/O選択時のシリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は通常の入出力端子として使用できます。

“1”: P12端子は外部クロックの入力端子になります。

クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できません。

(3) クロック同期形 / UART共通

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定しなおしてください。

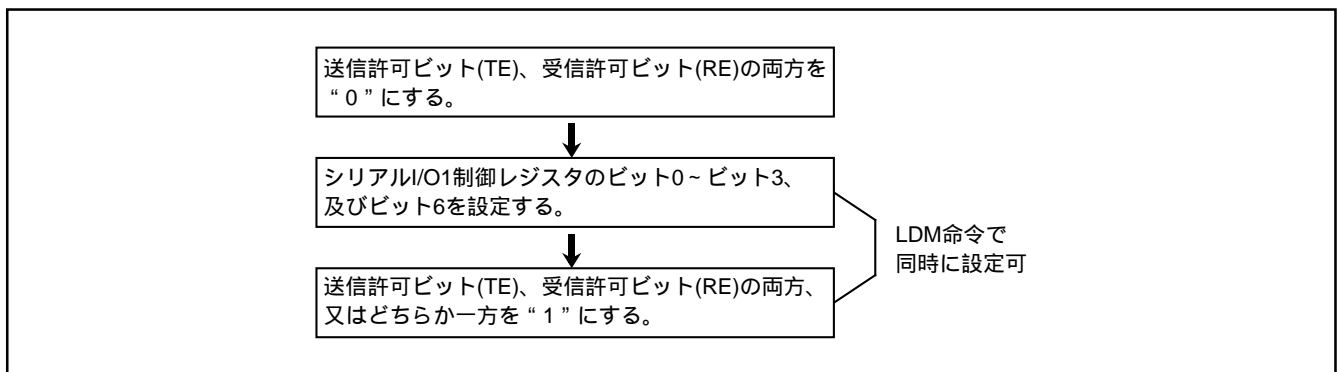


図2.6.22 シリアルI/O1制御レジスタの再設定手順

送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態で送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

送信割り込みを使用する場合は、以下の手順で設定してください。

- ・シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
- ・送信許可ビットを“1”にする。
- ・一命令以上おいてからシリアルI/O1送信割り込み要求ビットを“0”にする。
- ・シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に、上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

ポーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

2.7 シリアル/O2

シリアル/O2はクロック同期形で動作可能です。本節では、設定方法、応用例、注意事項などを説明します。

2.7.1 メモリ配置図

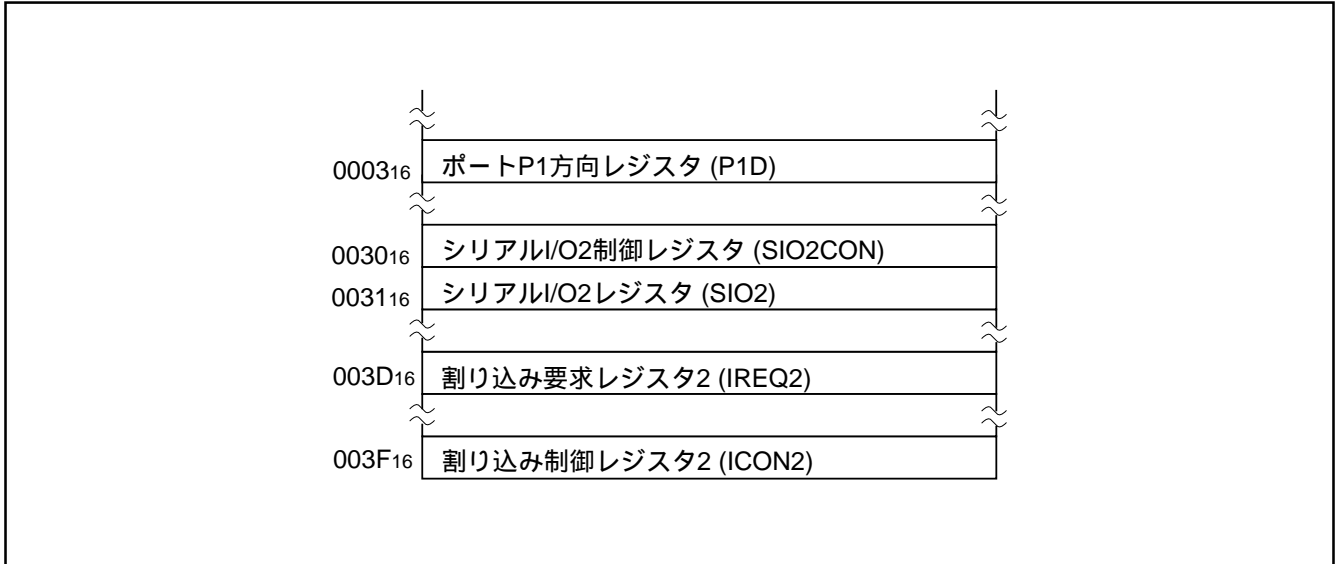


図2.7.1 シリアル/O2関連レジスタのメモリ配置

2.7.2 関連レジスタ

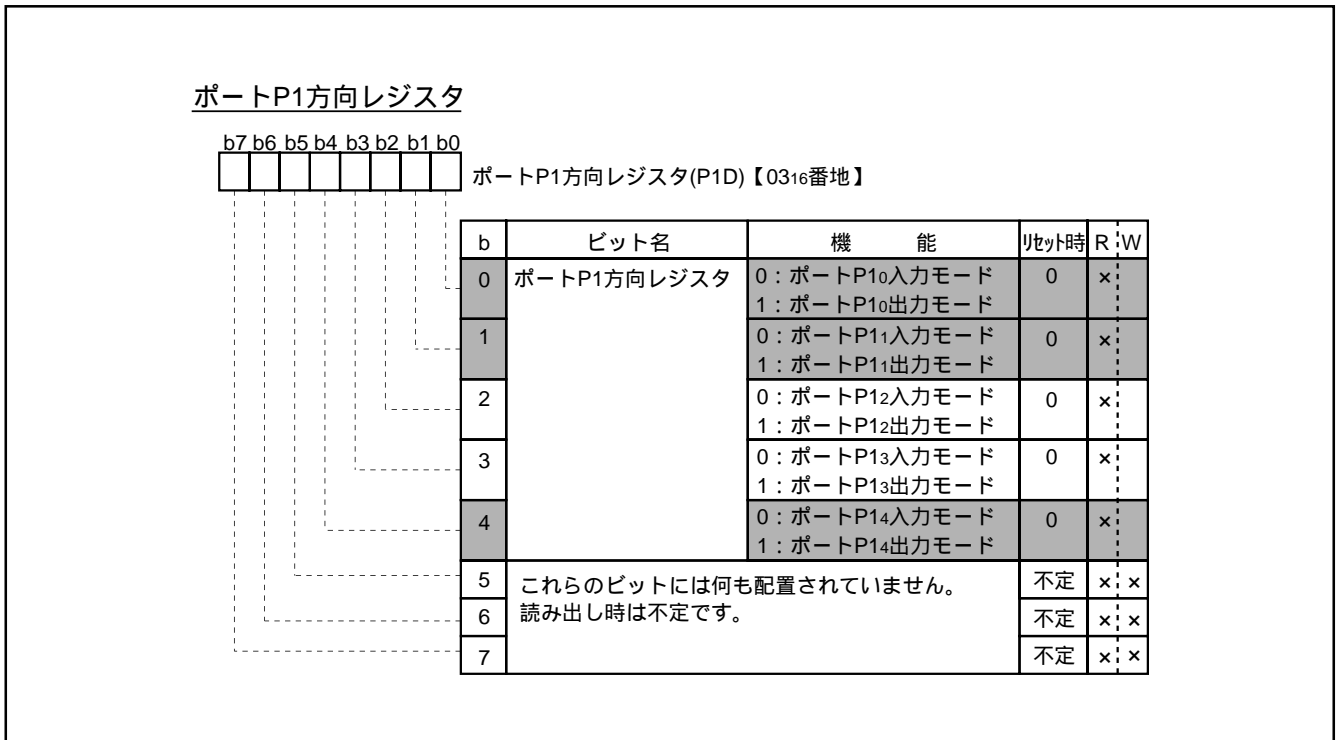


図2.7.2 ポートP1方向レジスタの構成

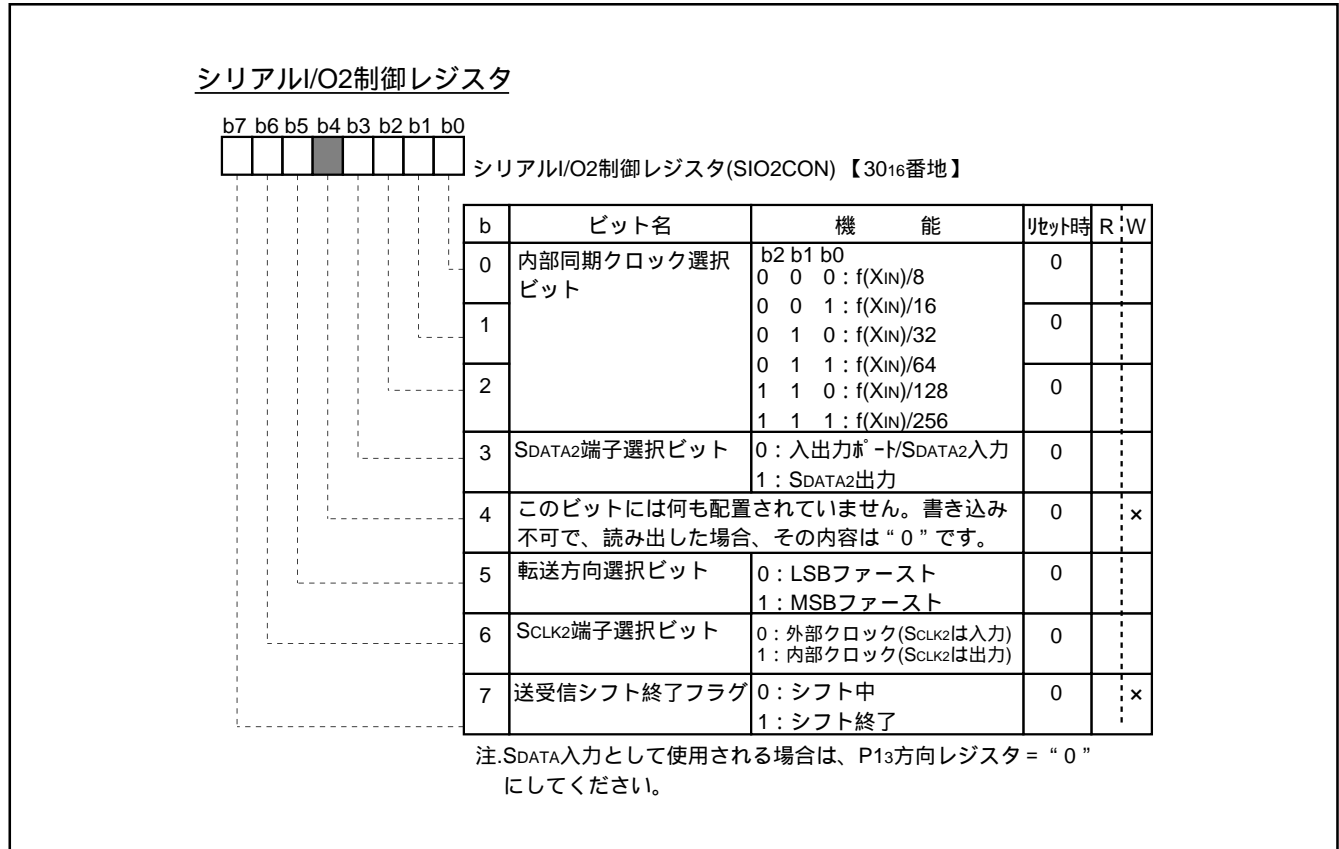


図2.7.3 シリアルI/O2制御レジスタの構成

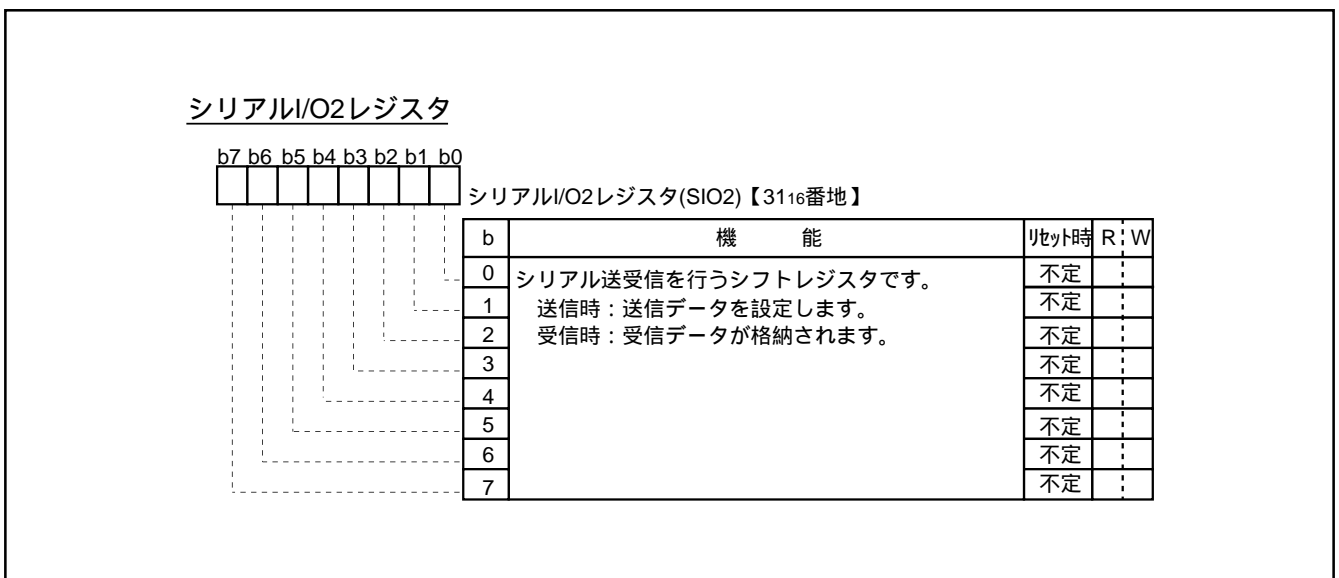


図2.7.4 シリアルI/O2レジスタの構成

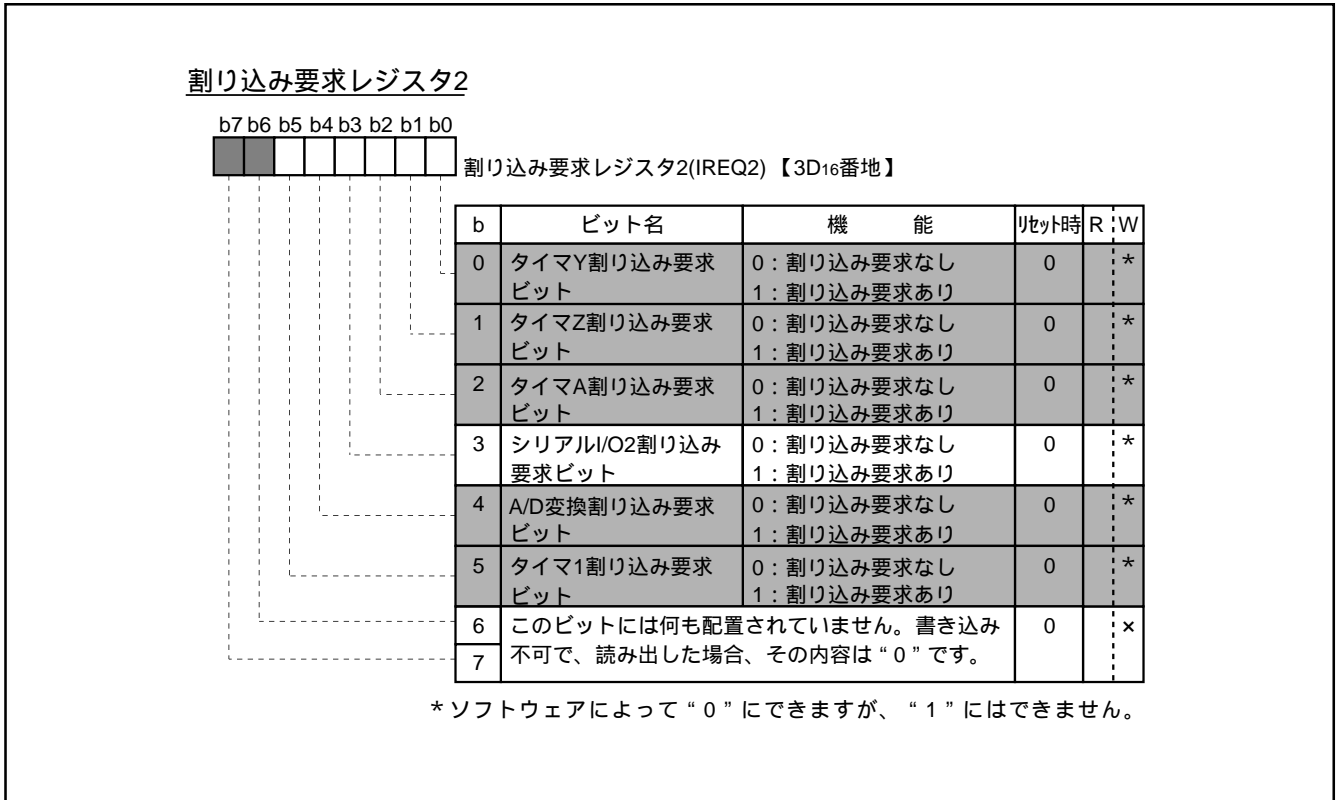


図2.7.5 割り込み要求レジスタ2の構成

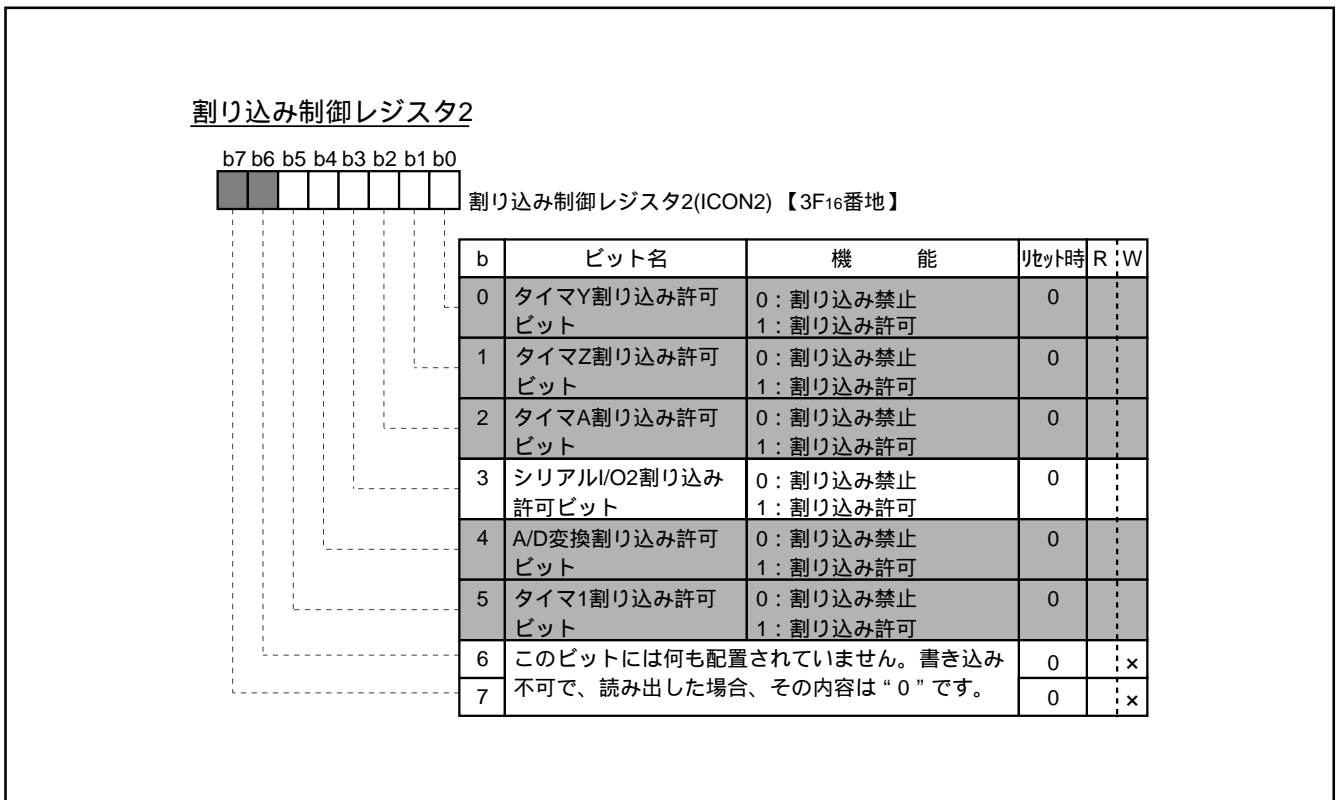


図2.7.6 割り込み制御レジスタ2の構成

2.7.3 シリアル/O2の応用例

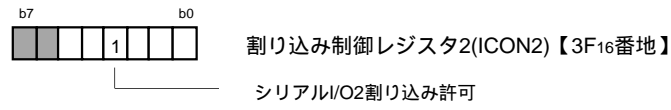
(1) シリアル/O2の設定方法

図2.7.7、図2.7.8にシリアル/O2の設定方法を示します。



図2.7.7 シリアル/O2の設定方法(1)

手順5：割り込みを実行する場合は、シリアル/O2割り込み許可ビットを“1”
 （割り込み許可）にしてください



手順6：送信側として使用する場合、送信を開始する

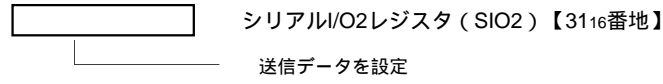


図2.7.8 シリアル/O2の設定方法(2)

(2) シリアルI/O2を使用した通信(送信/受信)

ポイント

シリアルI/O2を使用して2バイトデータの送受信を行います。通信制御にはポートP00を使用し、擬似的なSRDY信号を出力します。

仕様

シリアルI/O2(クロック同期形シリアルI/O)を同期クロック周波数125 kHz ($f(XIN) = 8 \text{ MHz}$ の64分周)にて使用する。転送方向はLSBファーストとする。

2 ms間隔(タイマにより生成)で受信側から擬似的なSRDY信号を出力し、2バイトのデータを送信側から受信側へ転送する。

図2.7.9に接続図、図2.7.10にタイミング図、図2.7.11に送信側の制御手順例、図2.7.12に受信側の制御手順例を示します。

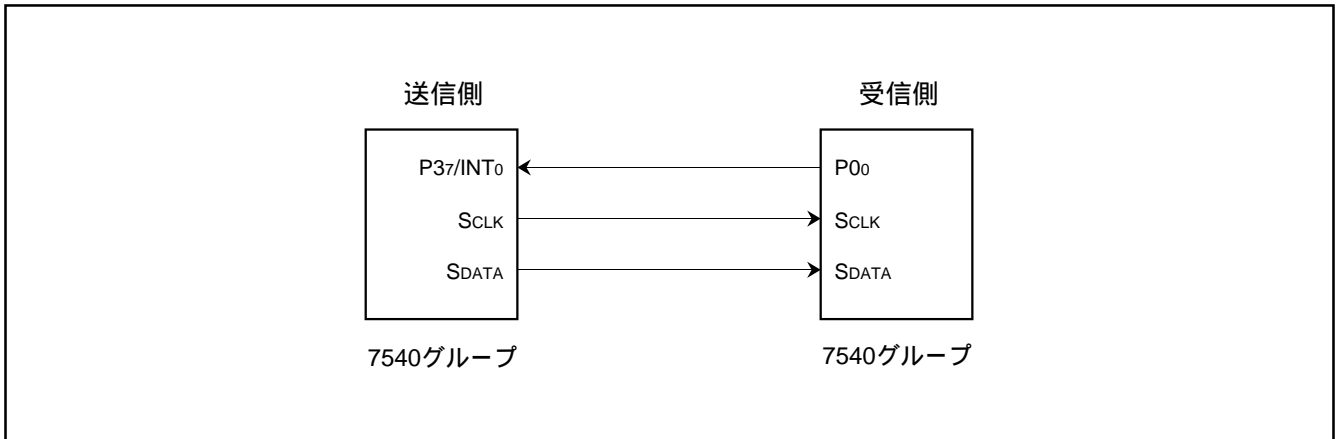


図2.7.9 接続図

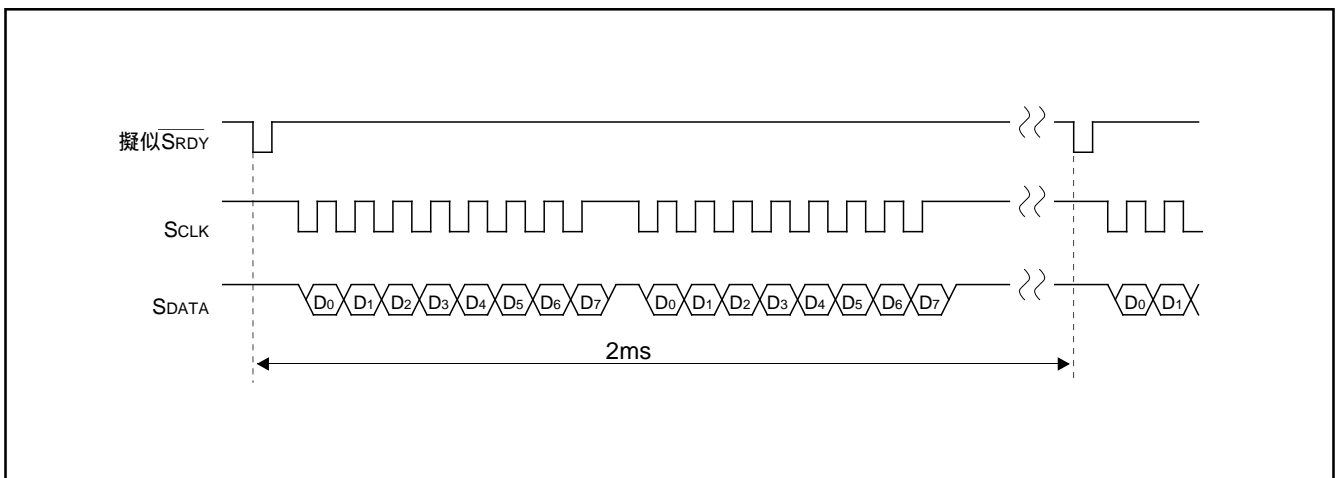


図2.7.10 タイミング図

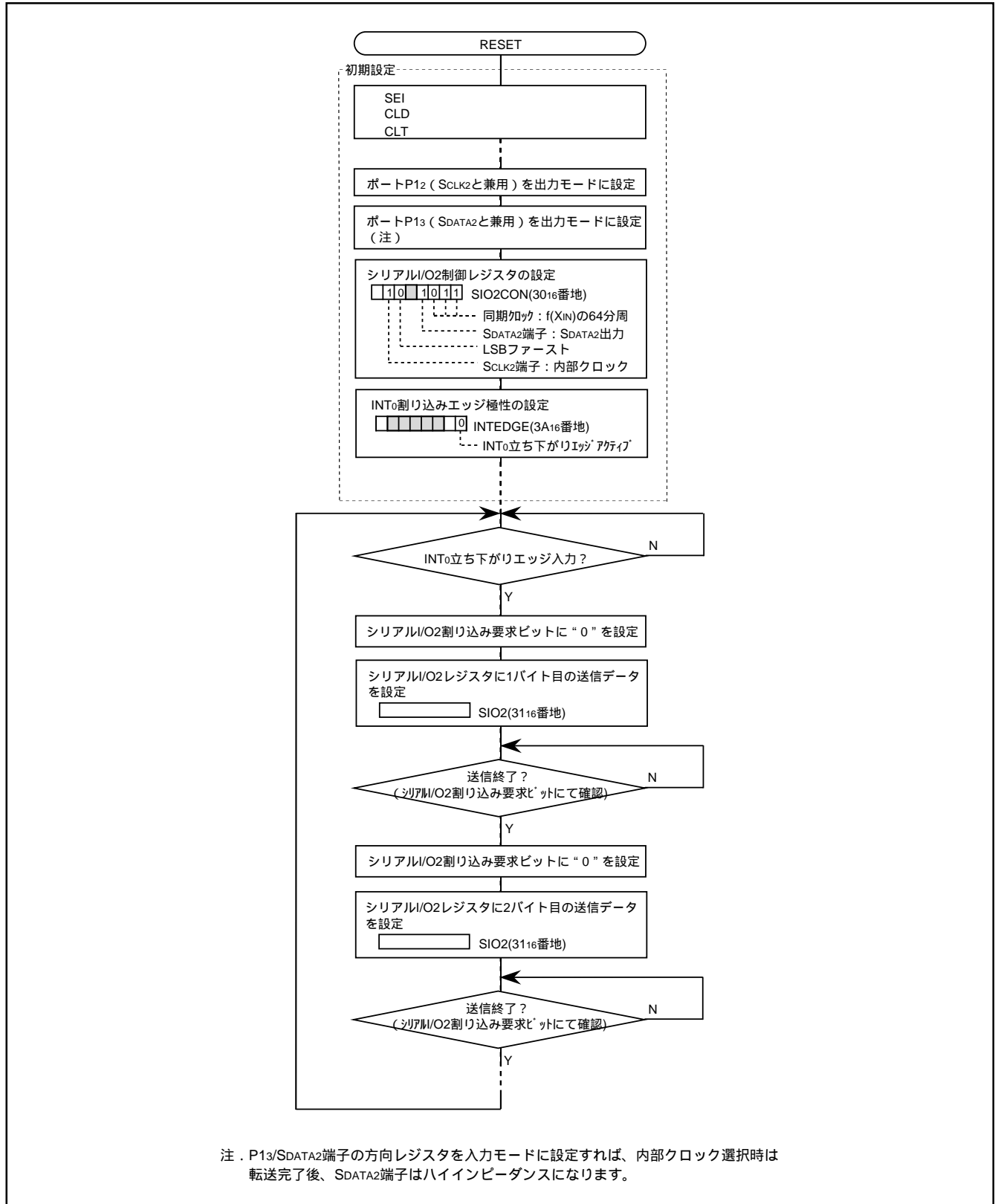
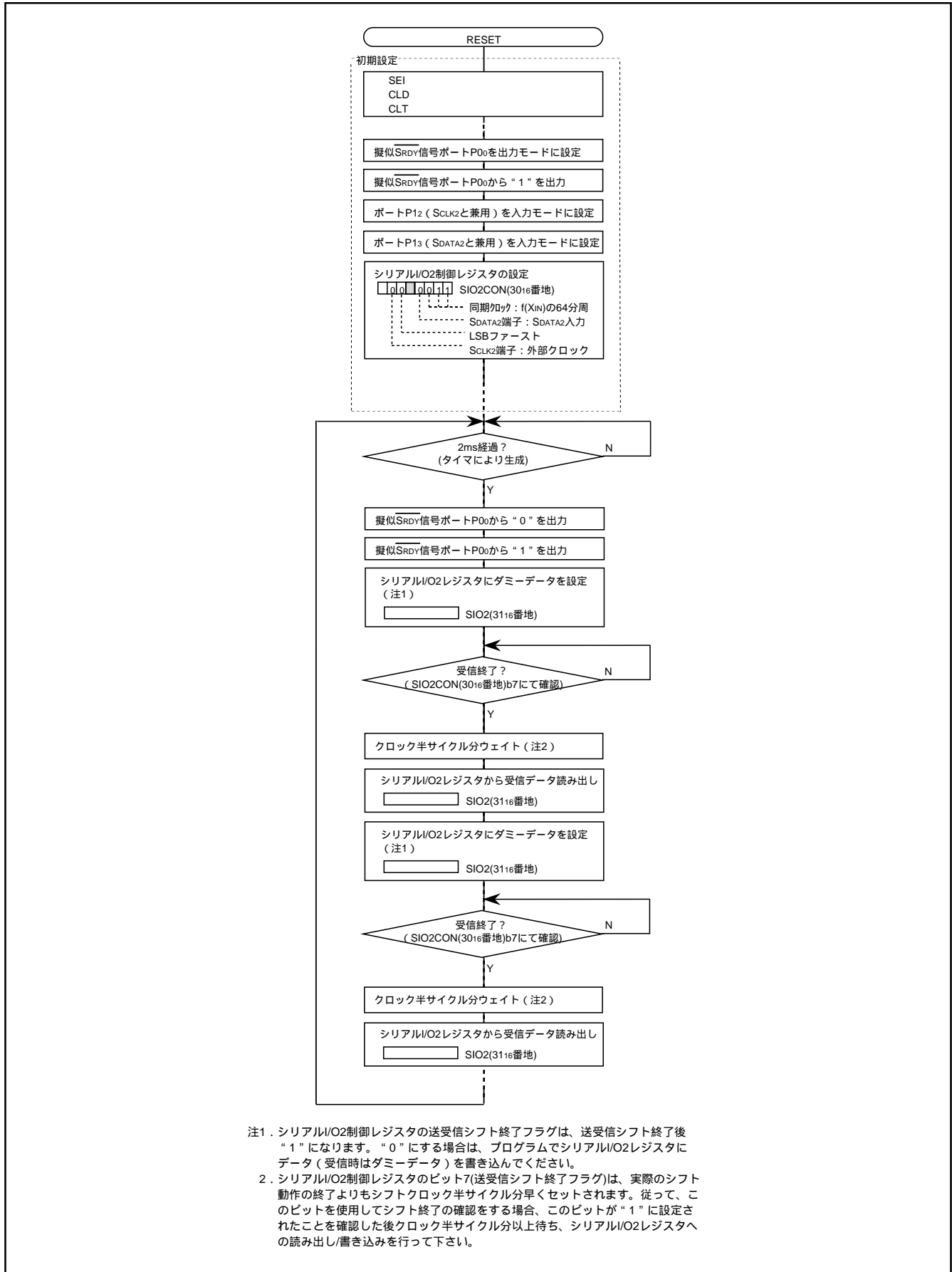


図2.7.11 送信側の制御手順例



注1. シリアルI/O2制御レジスタの送受信シフト終了フラグは、送受信シフト終了後“1”になります。“0”にする場合は、プログラムでシリアルI/O2レジスタにデータ（受信時はダミーデータ）を書き込んでください。

2. シリアルI/O2制御レジスタのビット7(送受信シフト終了フラグ)は、実際のシフト動作の終了よりもシフトクロック半サイクル分早くセットされます。従って、このビットを使用してシフト終了の確認をする場合、このビットが“1”に設定されたことを確認した後クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行って下さい。

図2.7.12 受信側の制御手順例

2.7.4 シリアルI/O2に関する注意事項

シリアルI/O2を使用する場合は、以下の注意が必要です。

(1) シリアルI/O1使用時の制限事項に関して

シリアルI/O2は、シリアルI/O1を使用していない場合及び、シリアルI/O1をUARTとして使用し、かつ同期クロックにBRG出力の16分周を選択した場合のみ、使用可能です。

(2) SCLK2端子に関して

外部クロック選択時は、ポートP1方向レジスタのビット2を“0”に設定して、入力モードにしてください。

(3) SDATA2端子に関して

SDATA入力として使用する場合は、ポートP1方向レジスタのビット3を“0”に設定して、入力モードにしてください。

送信時内部クロックを選択し、かつP13/SDATA2が入力モードの場合、転送終了後、SDATA2端子はハイインピーダンスとなります。

(4) シリアルI/O2送受信シフト終了フラグに関して

シリアルI/O2制御レジスタの送受信シフト終了フラグは、送受信シフト終了後“1”になります。“0”にする場合は、プログラムでシリアルI/O2レジスタにデータ(受信時はダミーデータ)を書き込んでください。

シリアルI/O2制御レジスタのビット7(送受信シフト終了フラグ)は、実際のシフト動作の終了よりもシフトクロック半サイクル分早くセットされます。従って、このビットを使用してシフト終了の確認をする場合、このビットが“1”に設定されたことを確認した後クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行ってください。

2.8 A/Dコンバータ

本節ではA/Dコンバータに関するレジスタの設定方法、注意事項などを説明します。

2.8.1 メモリ配置図

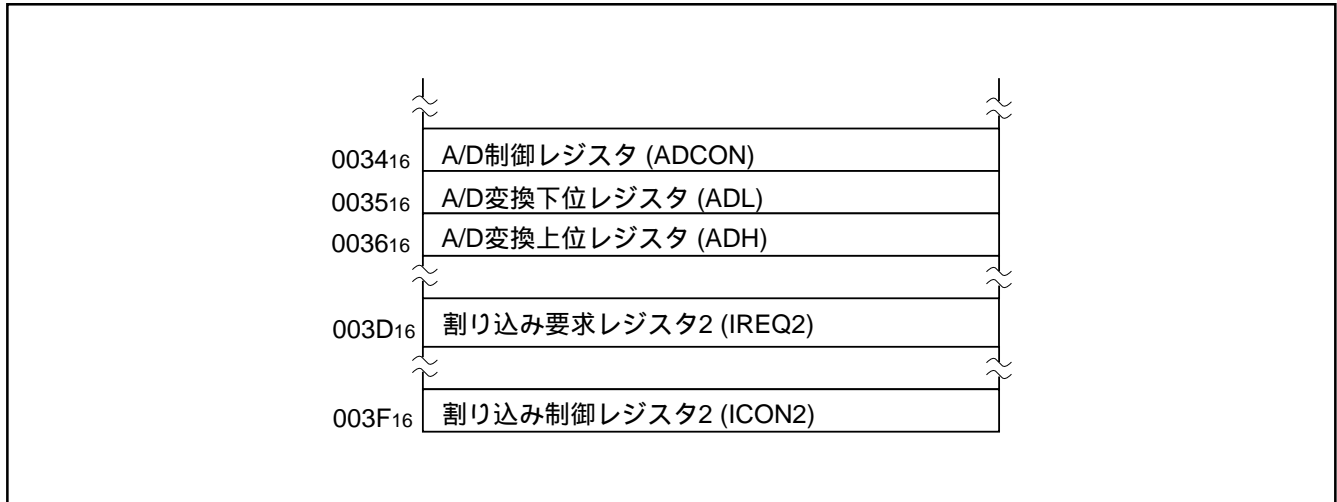


図2.8.1 A/D変換器関連レジスタのメモリ配置

2.8.2 関連レジスタ

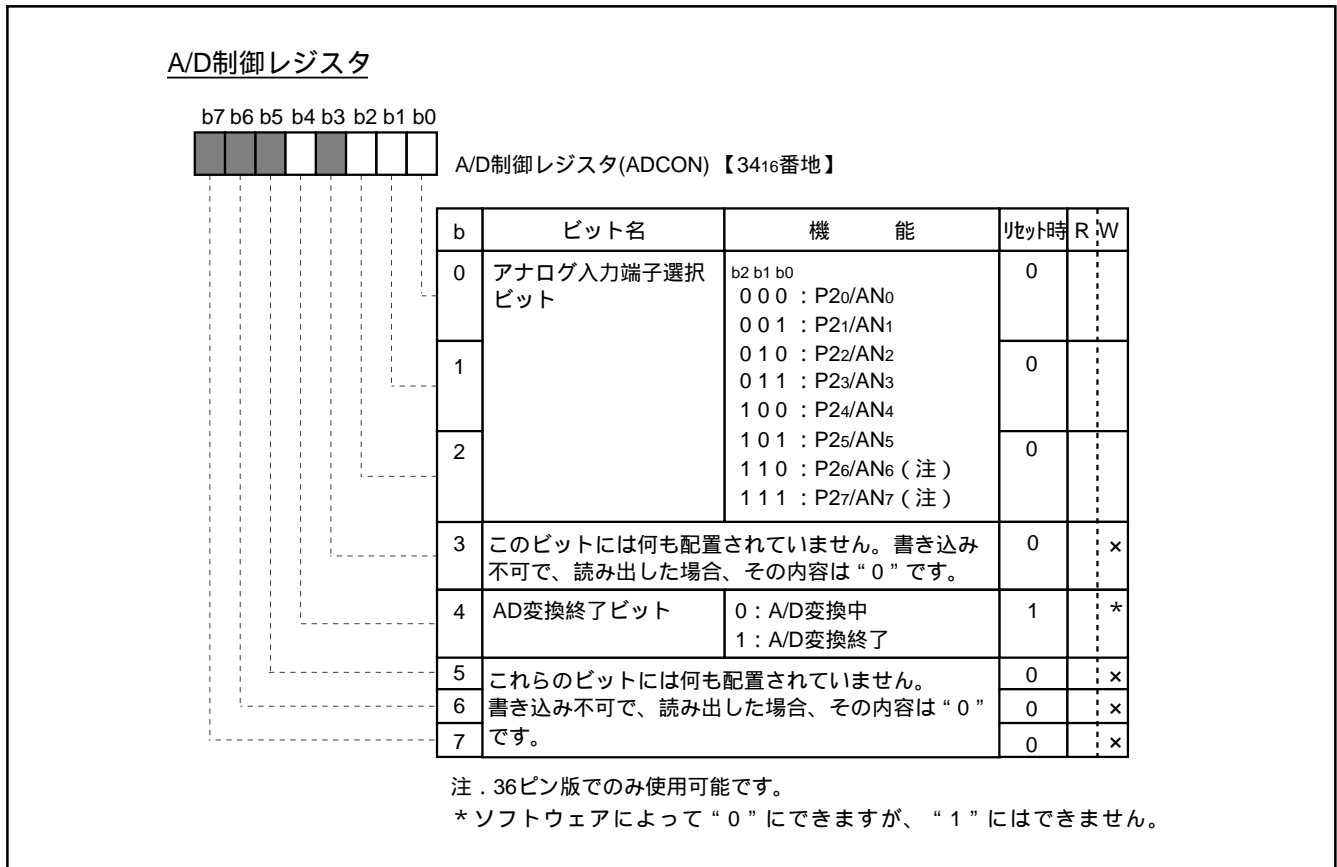


図2.8.2 A/D制御レジスタの構成

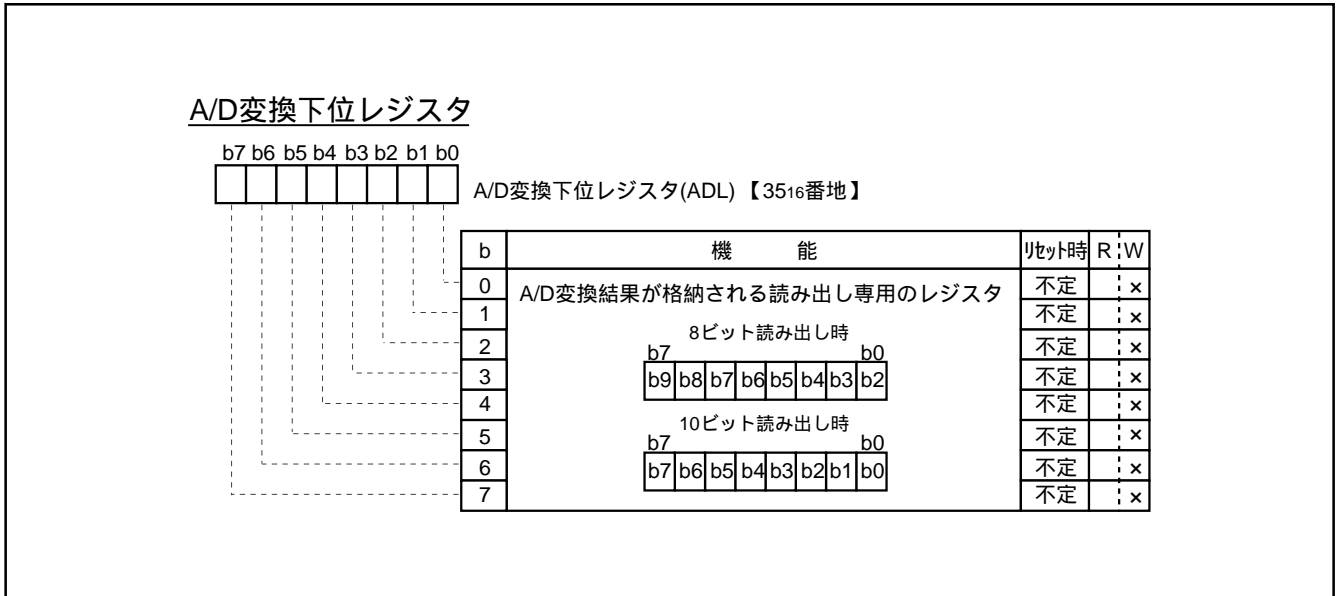


図2.8.3 A/D変換下位レジスタの構成

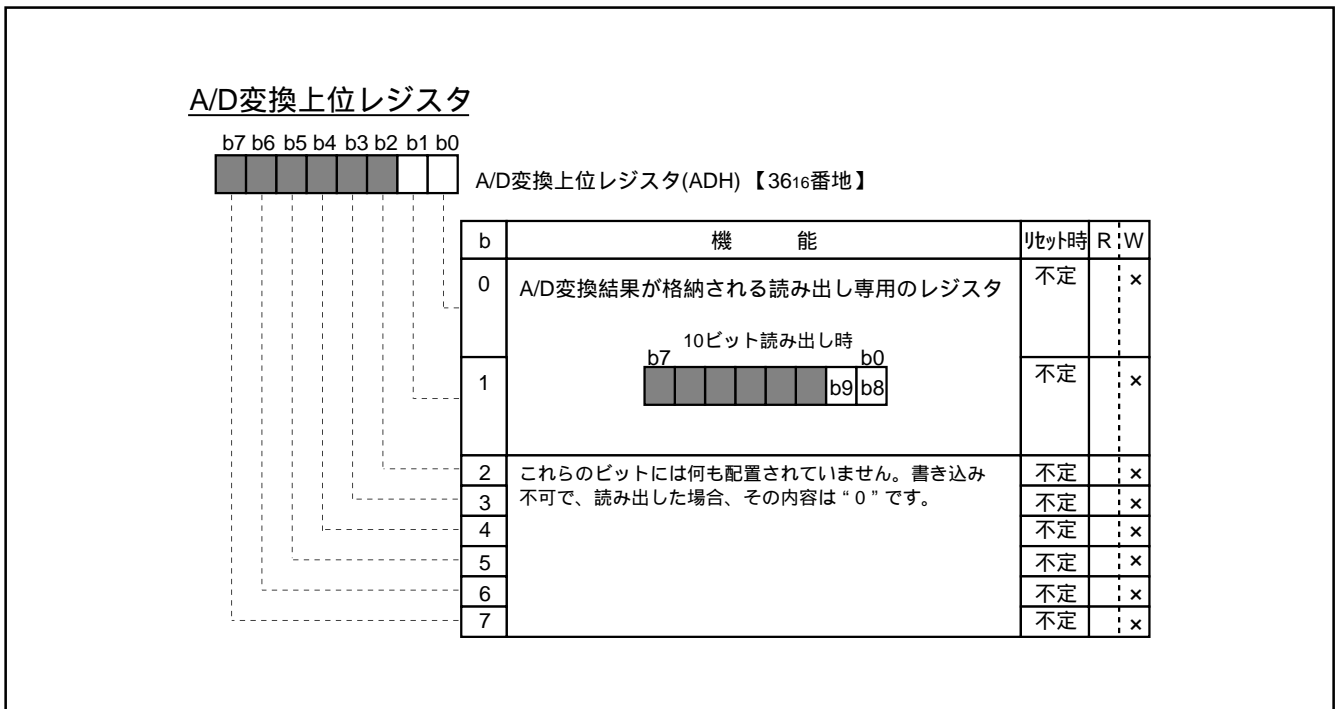


図2.8.4 A/D変換上位レジスタの構成

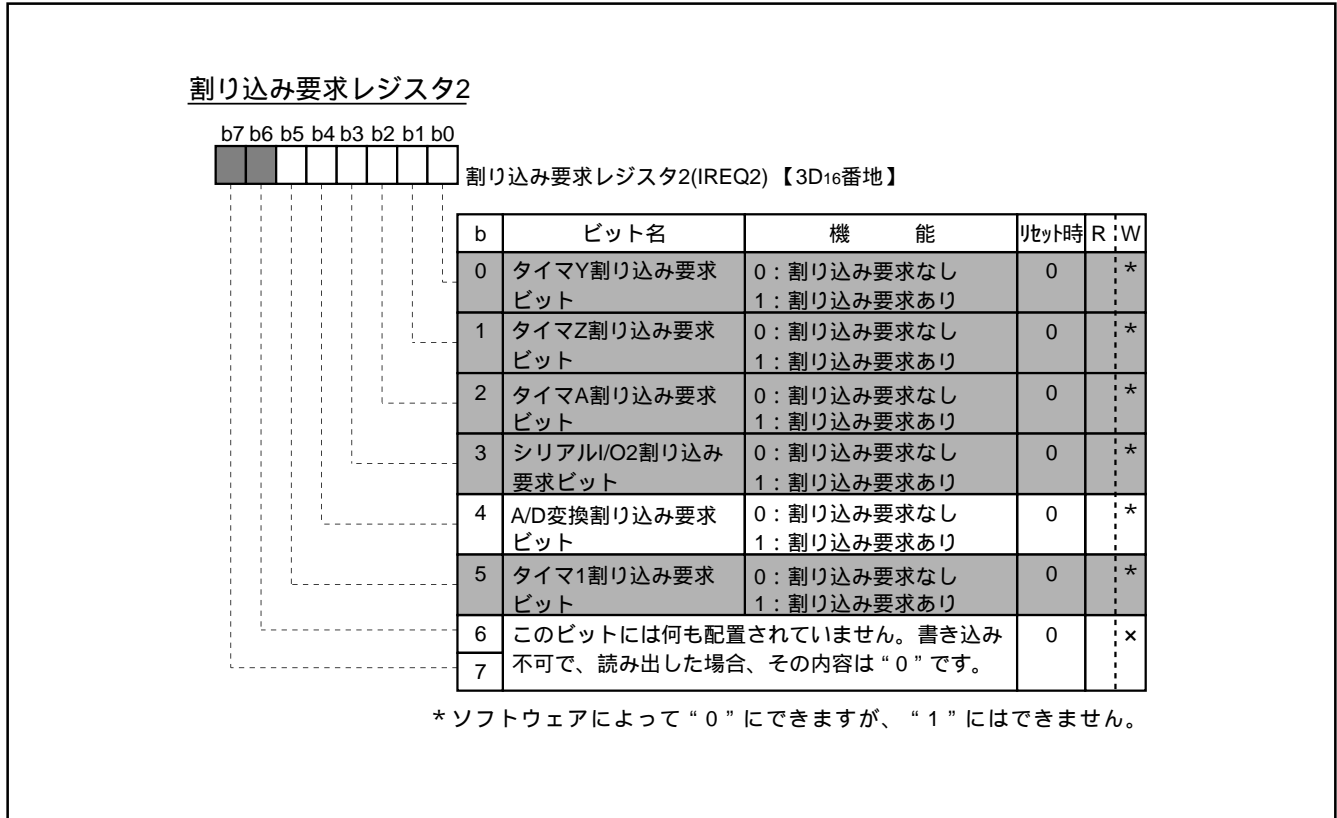


図2.8.5 割り込み要求レジスタ2の構成

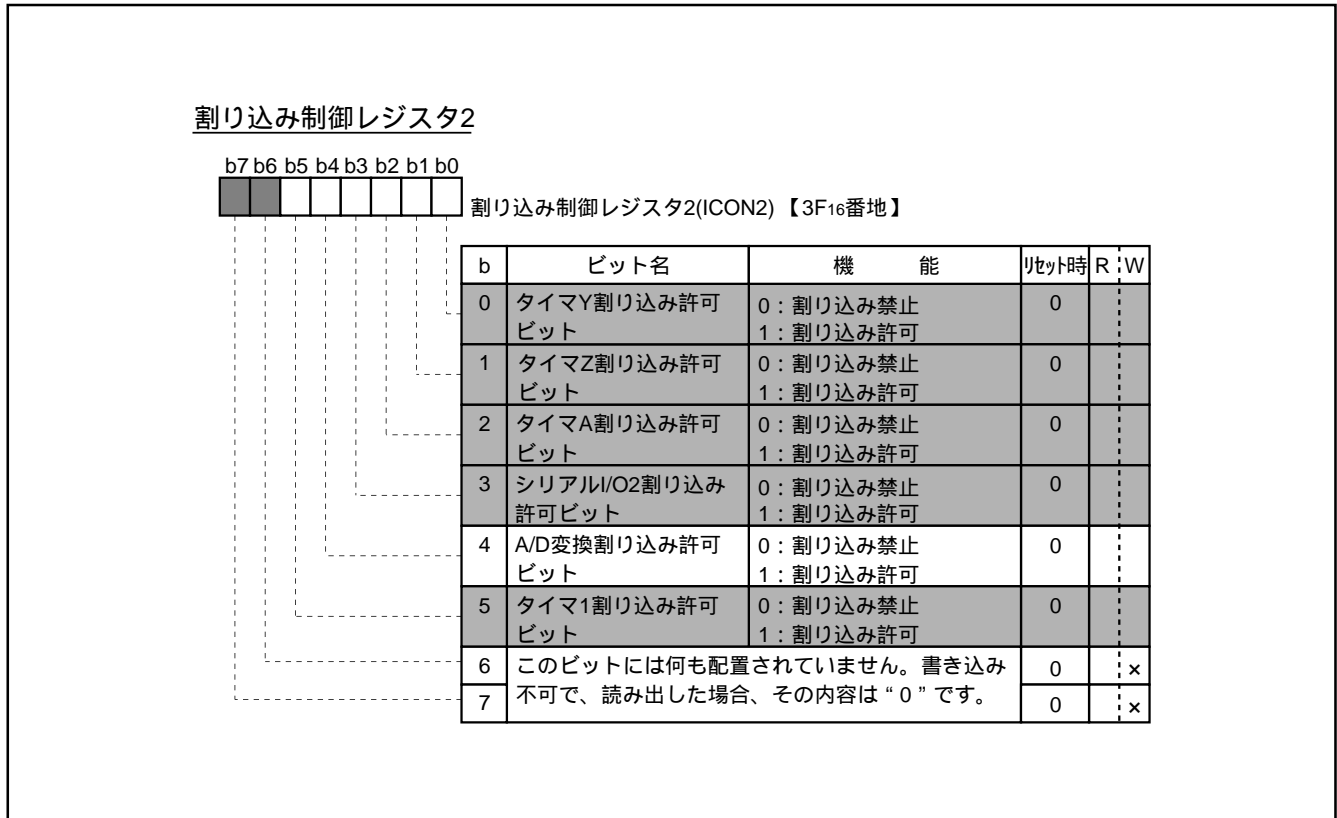


図2.8.6 割り込み制御レジスタ2の構成

2.8.3 A/Dコンバータの応用例

(1) A/Dコンバータの設定方法

図2.8.7にA/D変換器の設定方法を示します。

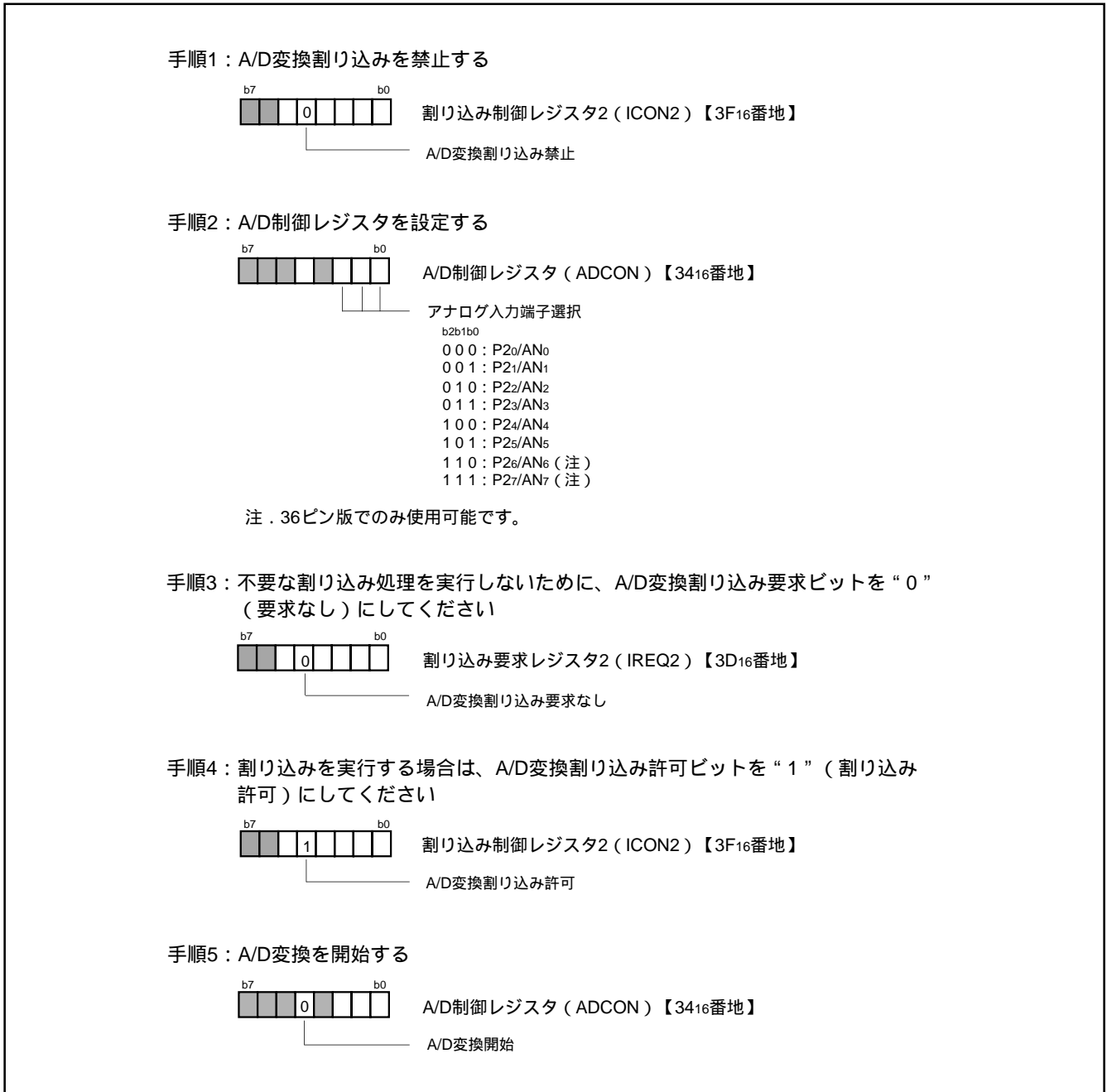


図2.8.7 A/D変換器の設定方法

(2) 制御手順例

ポイント

センサからのアナログ入力電圧をデジタル値に変換します。

仕様

センサからのアナログ入力電圧をデジタル値に変換する。アナログ入力端子にはP20/AN0端子を使用する。

図2.8.8に接続図、図2.8.9に制御手順例を示します。

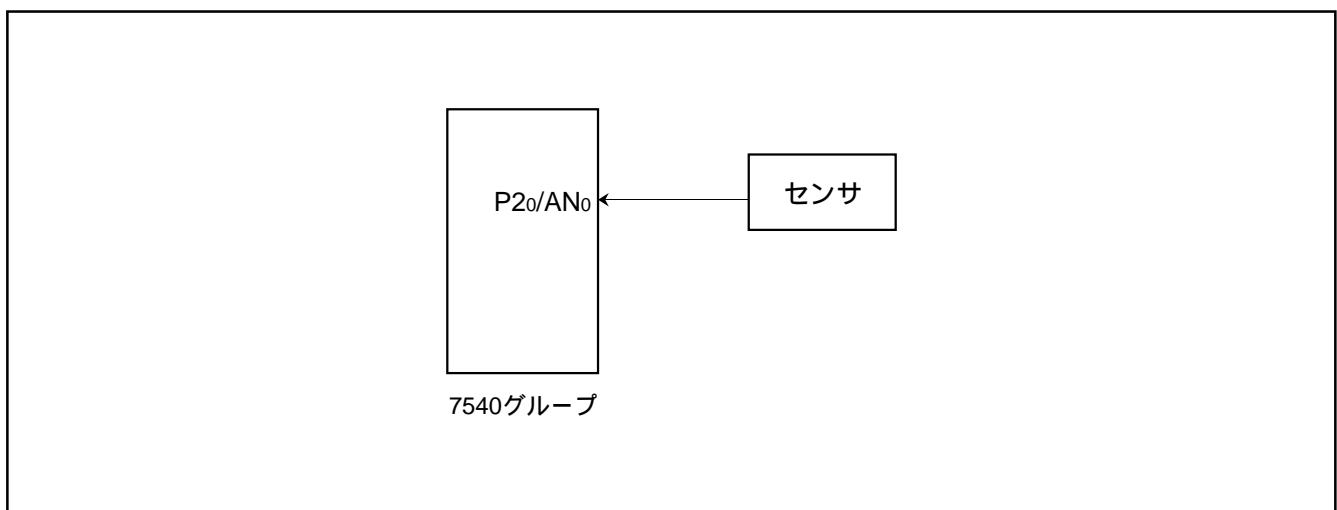
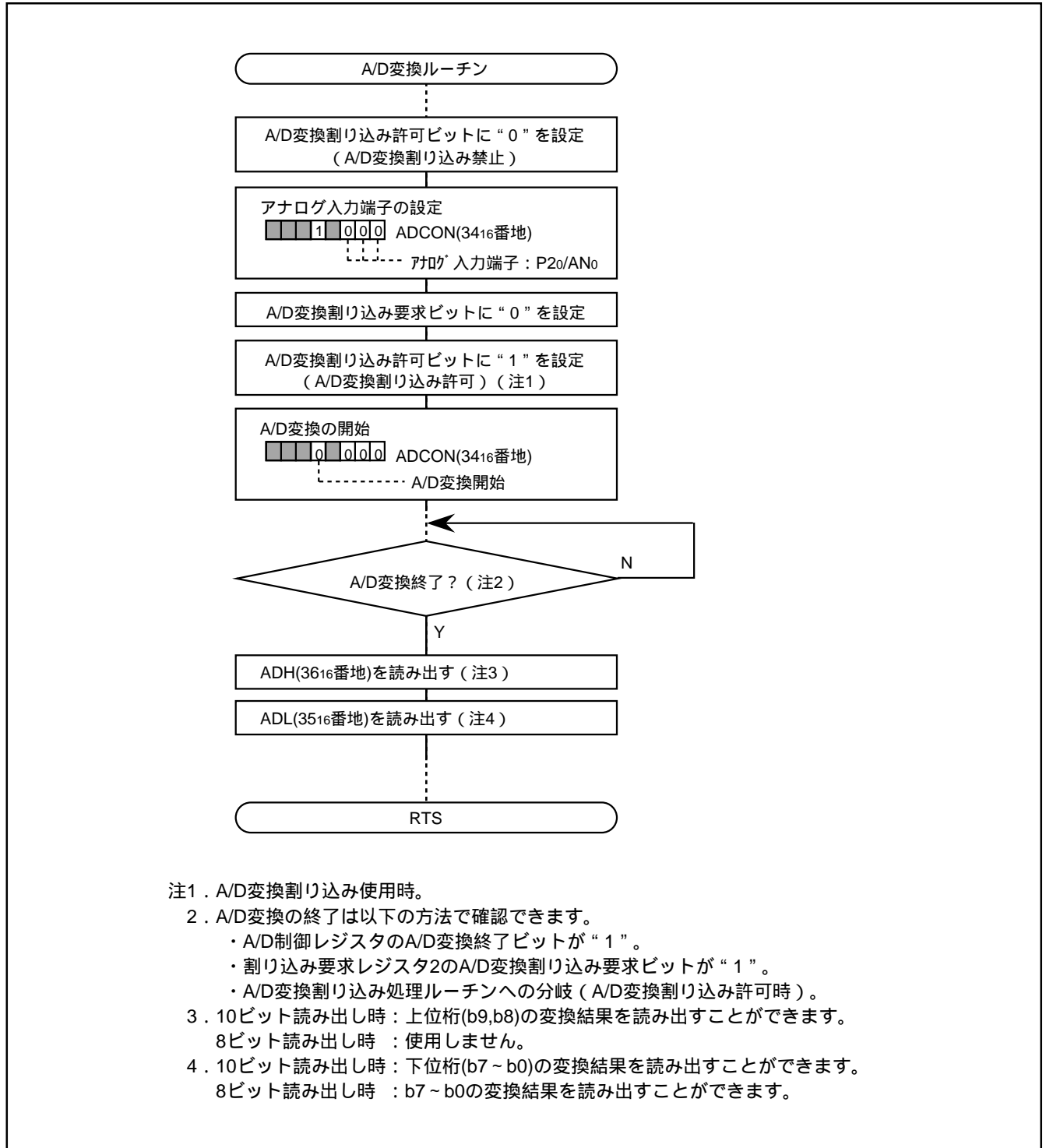


図2.8.8 接続図



注1 . A/D変換割り込み使用時。

2 . A/D変換の終了は以下の方法で確認できます。

- ・ A/D制御レジスタのA/D変換終了ビットが“1”。
- ・ 割り込み要求レジスタ2のA/D変換割り込み要求ビットが“1”。
- ・ A/D変換割り込み処理ルーチンへの分岐 (A/D変換割り込み許可時)。

3 . 10ビット読み出し時：上位桁(b9,b8)の変換結果を読み出すことができます。

8ビット読み出し時：使用しません。

4 . 10ビット読み出し時：下位桁(b7～b0)の変換結果を読み出すことができます。

8ビット読み出し時：b7～b0の変換結果を読み出すことができます。

図2.8.9 制御手順例

2.8.4 A/Dコンバータに関する注意事項

A/Dコンバータを使用する場合は、以下の注意が必要です。

(1) アナログ入力端子に関して

図2.8.10にアナログ入力部の内部等価回路を示します。A/D変換を正しく行うには、内部のコンデンサへの充電を所定の時間内に完了させることが必要です。この時間内にコンデンサの充電を完了させるために必要なアナログ入力源の最大出力インピーダンスは以下の通りです。

$$\text{約}35\text{k} \quad (\text{f}(\text{XIN}) = 8\text{MHz時})$$

出力インピーダンスの最大値が上記の値を越える場合は、アナログ入力端子 - Vss間にコンデンサ(0.01 μF ~ 1 μF 程度)を挿入する等の対策を行い、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

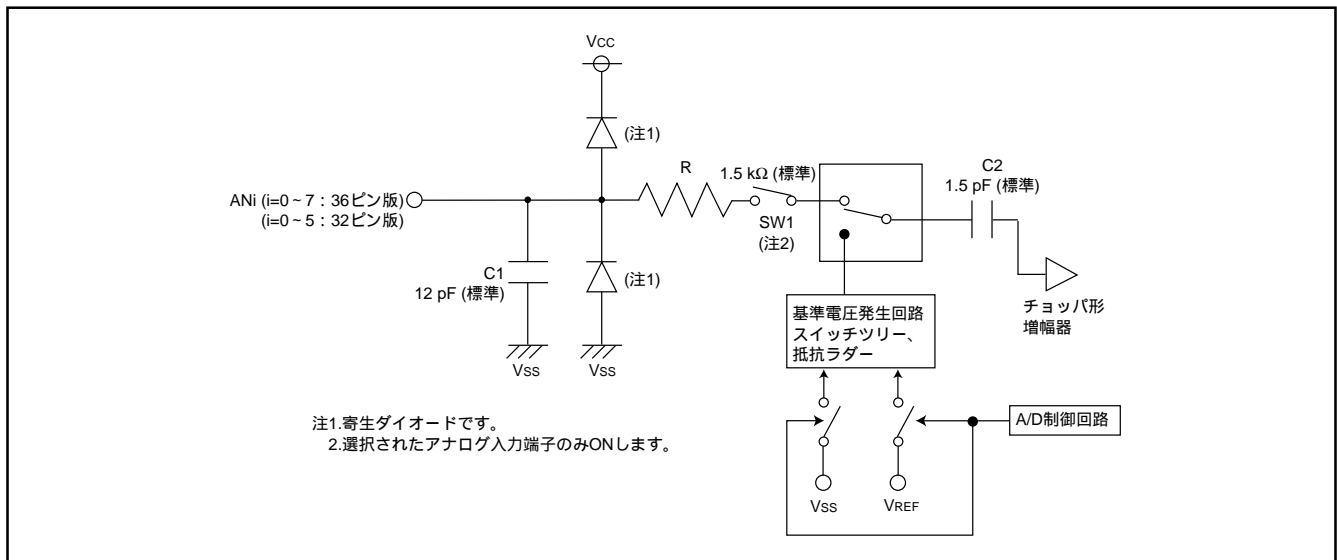


図2.8.10 アナログ入力部の内部等価回路

(2) A/D変換中のクロック周波数に関して

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・ f(XIN)は500kHz以上にしてください。
- ・ STP命令は実行しないでください。

(3) A/D変換に関する注意事項

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

- (1) VREF電圧をVccよりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、VREF電圧とVcc電圧を同一に設定する場合よりも精度が低くなる場合があります。
- (2) VREF電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VREF=3.0V異常での使用を推奨します。

2.9 発振制御

本節では発振制御に関するレジスタの設定方法、注意事項などを説明します。

2.9.1 メモリ配置図

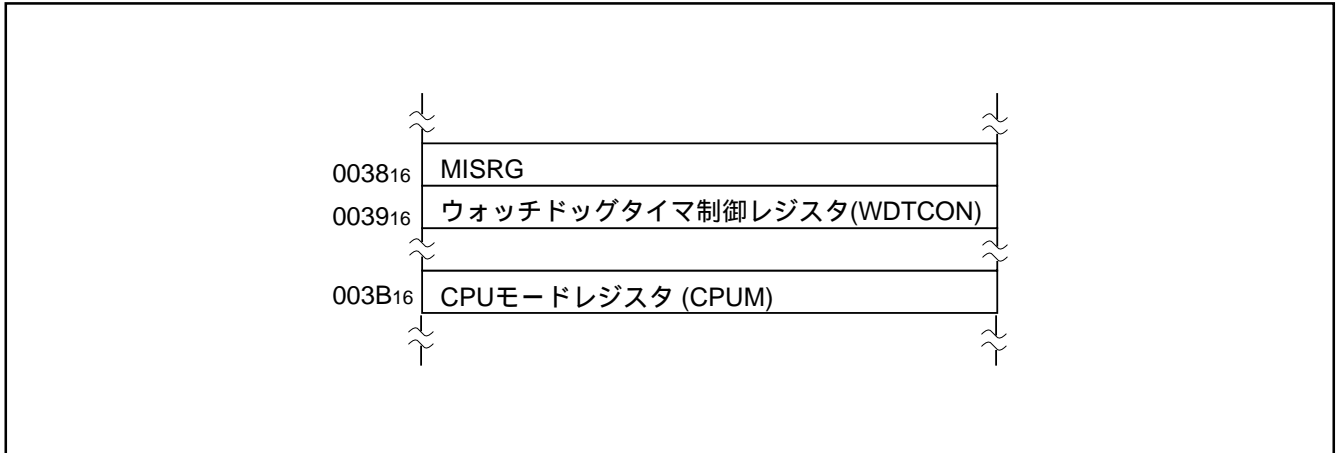


図2.9.1 発振制御関連レジスタのメモリ配置

2.9.2 関連レジスタ

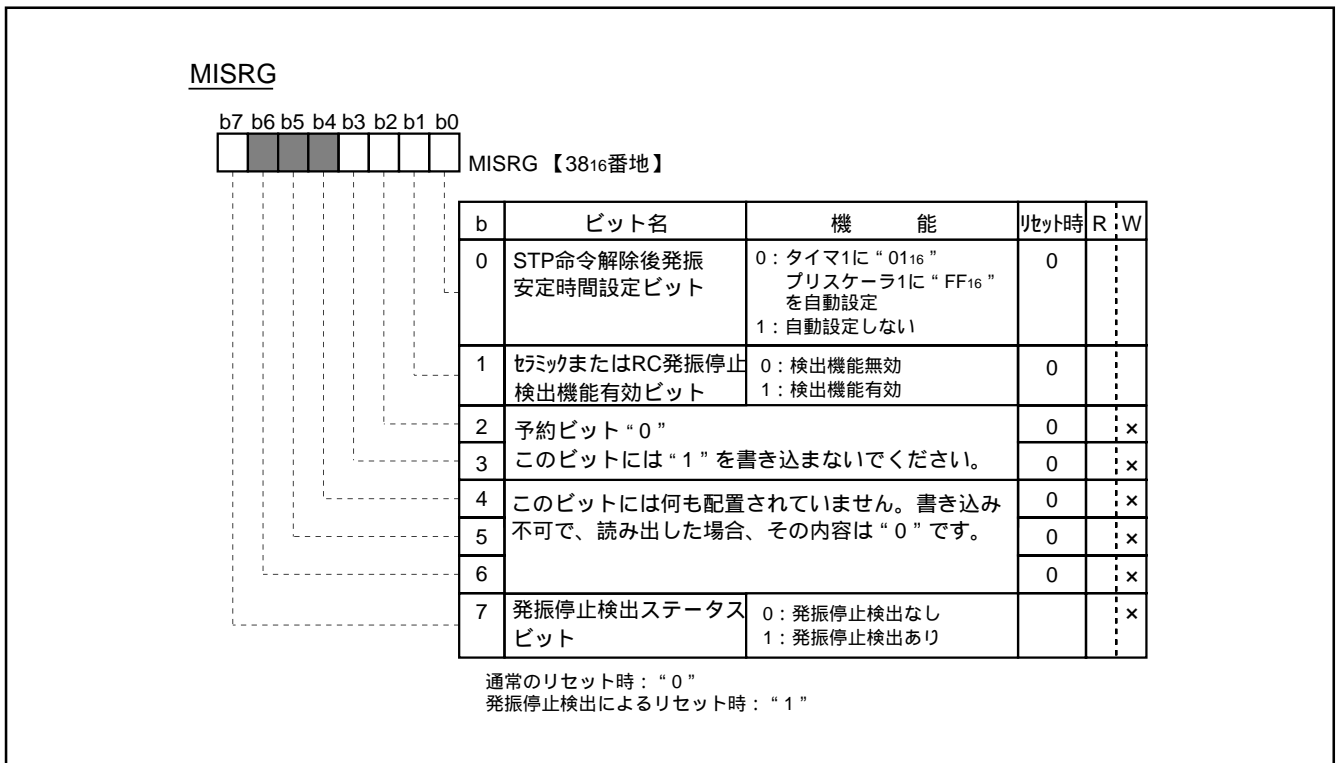


図2.9.2 MISRGの構成

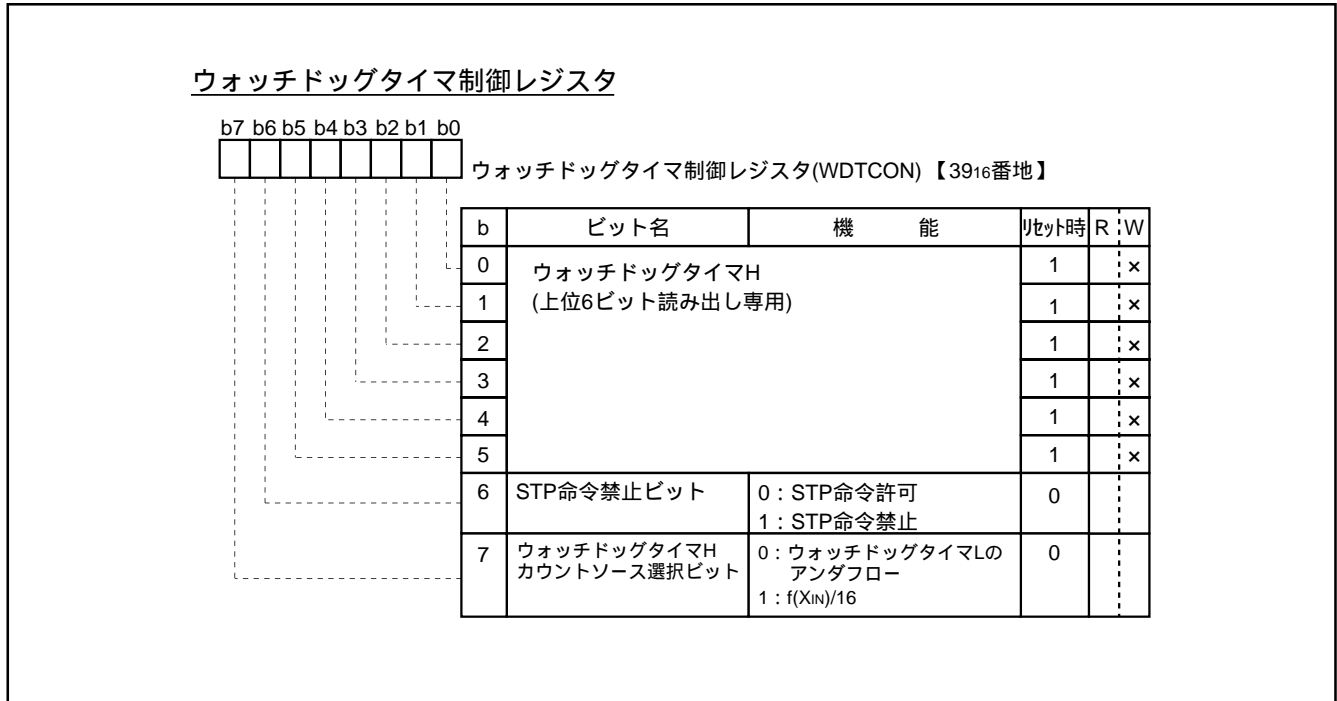


図2.9.3 ウォッチドッグタイマ制御レジスタの構成

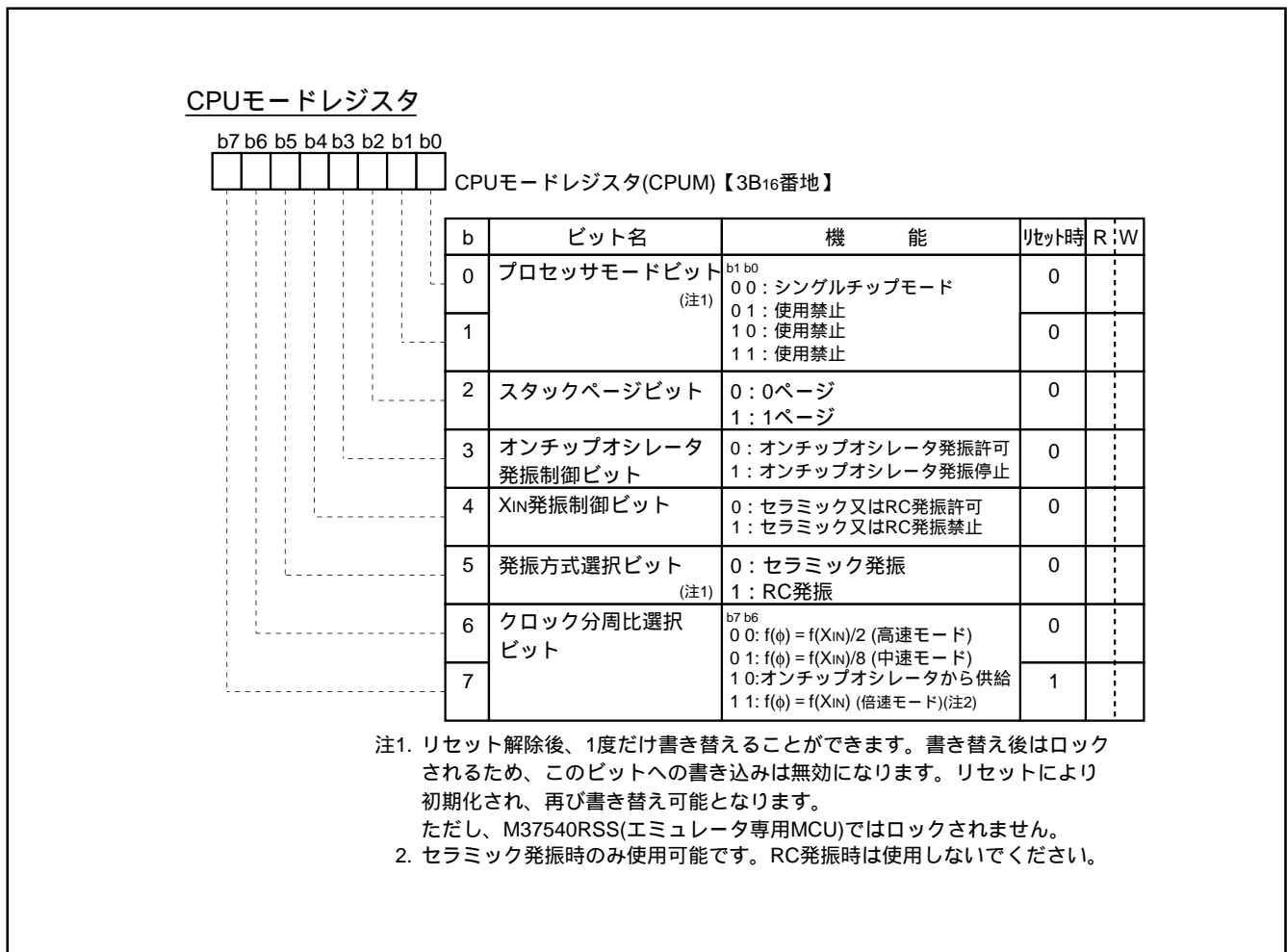


図2.9.4 CPUモードレジスタの構成

2.9.3 オンチップオシレータの応用例

オンチップオシレータは、7540グループに内蔵された発振回路です。セラミックまたはRC発振回路との併用や、オンチップオシレータを動作クロックとすることにより、外付け発振回路を省略できます。オンチップオシレータを動作クロックとする場合にも、すべての周辺機能が使用可能です。本項では設定方法及び応用例などを説明します。

注 . 7540グループは、オンチップオシレータで起動開始します。

(1) 設定方法

図2.9.5にオンチップオシレータを動作クロックとして使用する場合の設定方法を示します。

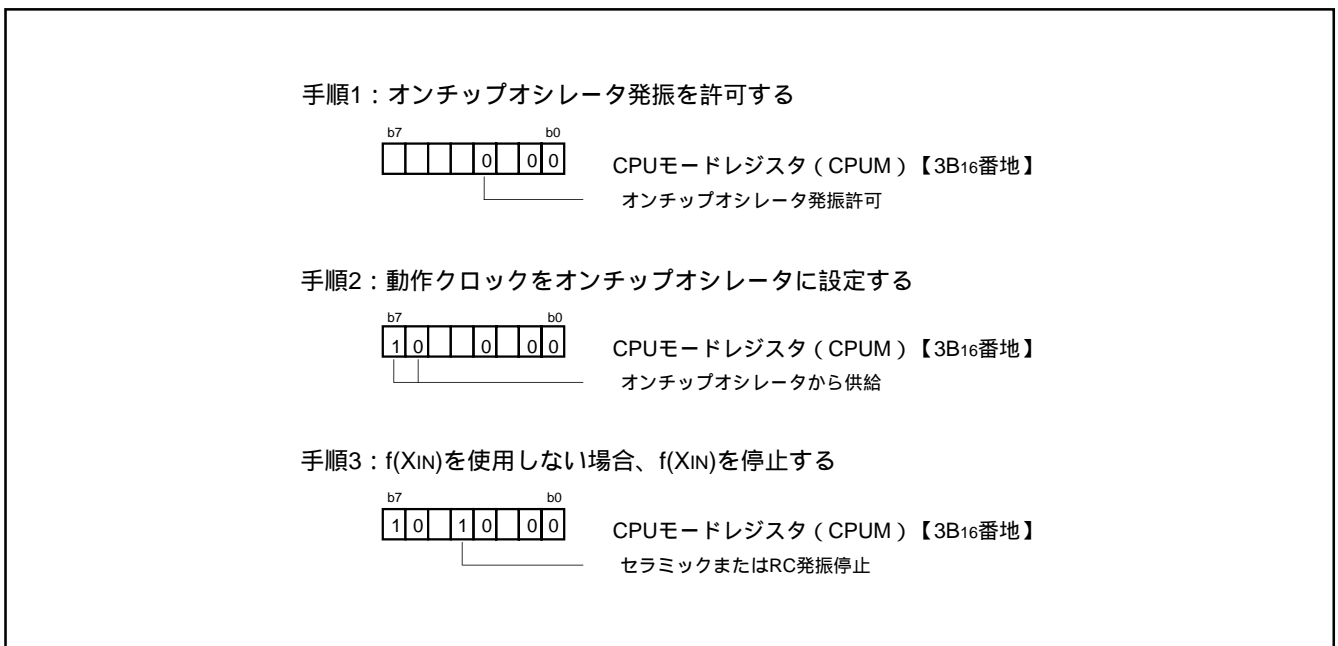


図2.9.5 オンチップオシレータを動作クロックとする場合の設定方法

(2) 制御手順例

ポイント

オンチップオシレータの周波数を測定し、電源電圧や使用温度による誤差を確認します。

仕様

タイマZで $f(X_{IN})=4\text{MHz}$ を分周し、10msを検出する。タイマYでオンチップオシレータを分周する。10msごとに発生するタイマZ割り込み処理ルーチンでタイマYのカウント値を読み出し、 $f(X_{IN})$ との誤差を確認する。

図2.9.6に制御手順例を示します。

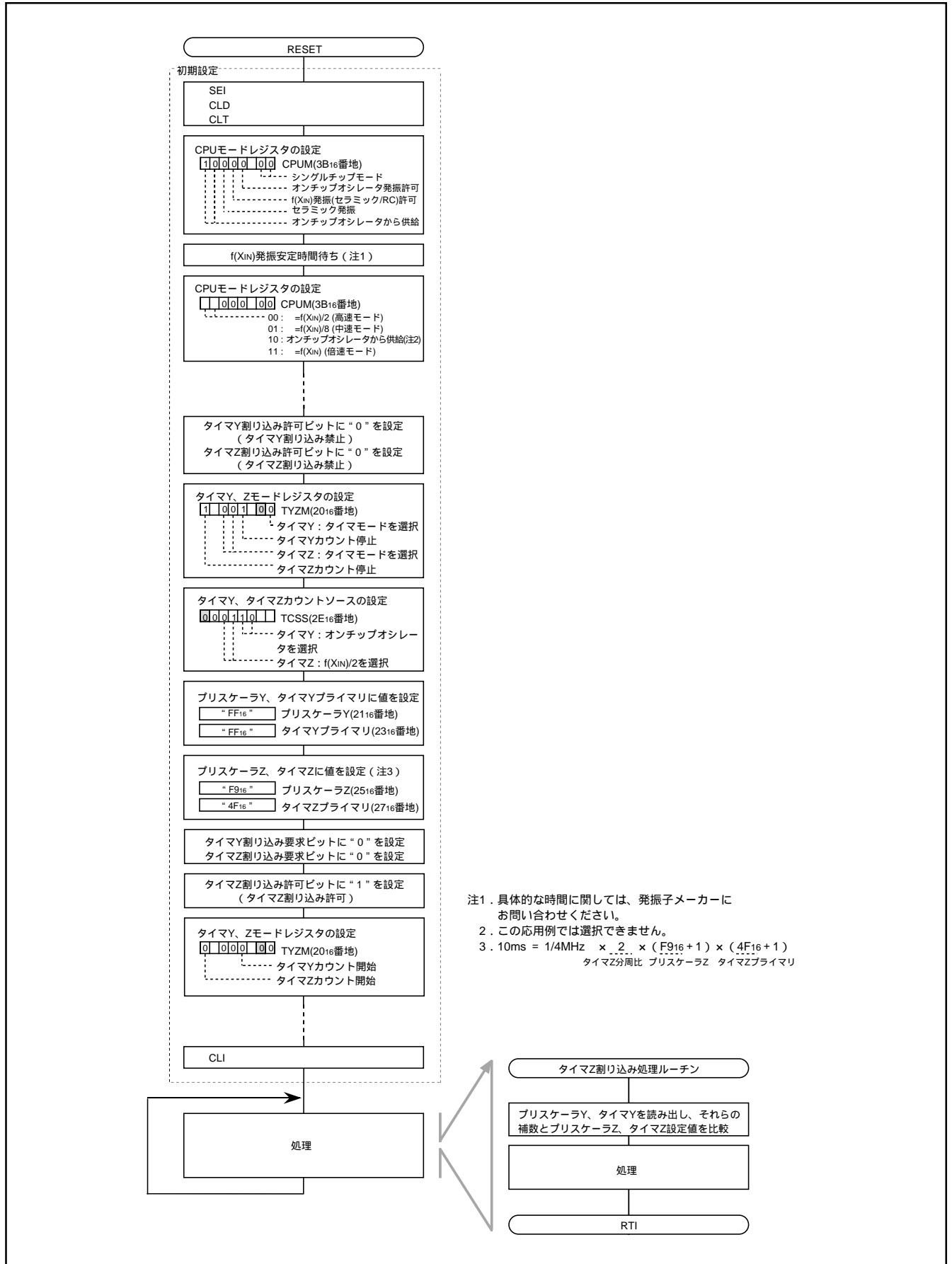


図2.9.6 制御手順例

2.9.4 発振停止検出回路

発振停止検出回路は、セラミック共振子等外付け発振回路の断線や故障に起因するXINの停止を検出することができます。本項では設定方法及び応用例などを説明します。

(1) 動作説明

発振停止検出回路は、外付け発振回路の停止を検出すると、MISRGの発振停止検出ステータスビットを“1”に設定し、内部リセットを発生します。7540グループはリセット解除時オンチップオシレータで起動開始しますので、起動開始後この発振停止検出ステータスビットを確認することで、外付け発振回路の異常を検出することができます。

注1．ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

2．f(XIN)発振を停止する場合は、発振停止検出機能を無効にしてください。

(2) 設定方法

図2.9.7に初期設定における発振停止検出回路の設定方法を、図2.9.8にメイン処理における発振停止検出回路の設定方法を示します。

リセット解除後のプログラムの先頭で行ってください。

手順1：発振停止検出ステータスビットを参照し、発振停止検出によるリセットかを確認する

b7	0	0	0	0	0	0	0	b0
----	---	---	---	---	---	---	---	----

MISRG (MISRG) 【3816番地】

発振停止検出ステータスビット

0：発振停止検出なし

1：発振停止検出あり

発振停止が検出された場合
 発振回路になんらかの異常が発生しています。動作クロックの切り替えを行わず異常発生時の処理を行ってください。

発振停止が検出されなかった場合
 手順2へ進んでください。

手順2：発振方式を選択する

b7	1	0	0	0	0	0	b0
----	---	---	---	---	---	---	----

CPUモードレジスタ (CPUM) 【3B16番地】

発振方式選択ビット (注)

0：セラミック発振

1：RC発振

注：リセット解除後、一度だけ書き換えることができます。書き換え後はロックされるため、このビットへの書き込みは無効になります。リセットにより初期化され、再び書き換え可能となります (エミュレータ専用MCU “ M37540RSS ” ではロックされません)。

手順3：発振安定待ち (注)

注：RC発振を選択した場合は省略できます。
 なお発振安定時間は発振子メーカーにお問い合わせください。

手順4：発振停止検出機能有効ビットを設定する

b7	0	0	0	0	0	0	1	b0
----	---	---	---	---	---	---	---	----

MISRG (MISRG) 【3816番地】

検出機能有効 (注)

注：発振回路になんらかの異常が発生している場合は、手順4の設定後リセットされます。

手順5：クロック分周比を選択する

b7	0	0	0	0	0	0	0	b0
----	---	---	---	---	---	---	---	----

CPUモードレジスタ (CPUM) 【3B16番地】

クロック分周比選択ビット

b7b6

00：f() = f(XIN)/2 (高速モード)

01：f() = f(XIN)/8 (中速モード)

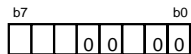
10：オンチップオシレータから供給

11：f() = f(XIN) (倍速モード) (注)

注：セラミック発振時のみ使用可能です。RC発振時は使用しないでください。

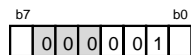
図2.9.7 初期設定における発振停止検出回路の設定方法

手順1：オンチップオシレータが停止している場合は起動する



CPUモードレジスタ (CPUM) 【3B₁₆番地】
オンチップオシレータ発振許可

手順2：発振停止検出機能有効ビットを設定する



MISRG (MISRG) 【38₁₆番地】
検出機能有効 (注)

注：発振回路になんらかの異常が発生している場合は、手順2の設定後リセットされます。

図2.9.8 メイン制御における発振停止検出回路の設定方法

2.9.5 状態遷移

7540グループは、動作クロックを次の4種類から選択できます。

- f(XIN)/2(高速モード)
- f(XIN)/8(中速モード)
- オンチップオシレータ
- f(XIN)(倍速モード)(注1)

注1. セラミック発振時のみ使用可能です。RC発振時は使用しないでください。

また、7540グループには、ソフトウェアでCPUの動作を停止させ、次の2種類の低消費電力状態でCPUを待機させる機能があります。

- STP命令によるストップモード(注2、注3、注4、注5、注6、注7)
- WIT命令によるウェイトモード(注8)

注2. ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

3. ストップモードを使用する場合は、ウォッチドックタイマ制御レジスタのSTP命令禁止ビットを“0”(STP命令許可)に設定してください。
4. STP命令解除後の発振安定時間は、MISRГのSTP命令解除後発振安定時間設定ビットにて自動設定する/自動設定しないを選択することができます。“0”を設定するとタイマ1には“01₁₆”、プリスケアラ1には“FF₁₆”が自動設定されます。“1”を設定するとタイマ1、プリスケアラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあわせて待ち時間を設定してください。なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケアラ1の値を再設定してください。
5. CPUがオンチップオシレータによって動作している間は、STP命令は使用できません。
6. ストップモードを使用する場合は、オンチップオシレータ発振を停止してください。
7. A/D変換中は、STP命令を実行しないでください。
8. ウェイトモードを使用する場合は、動作クロック源以外のクロックを停止してください。

図2.9.9に状態遷移を示します。

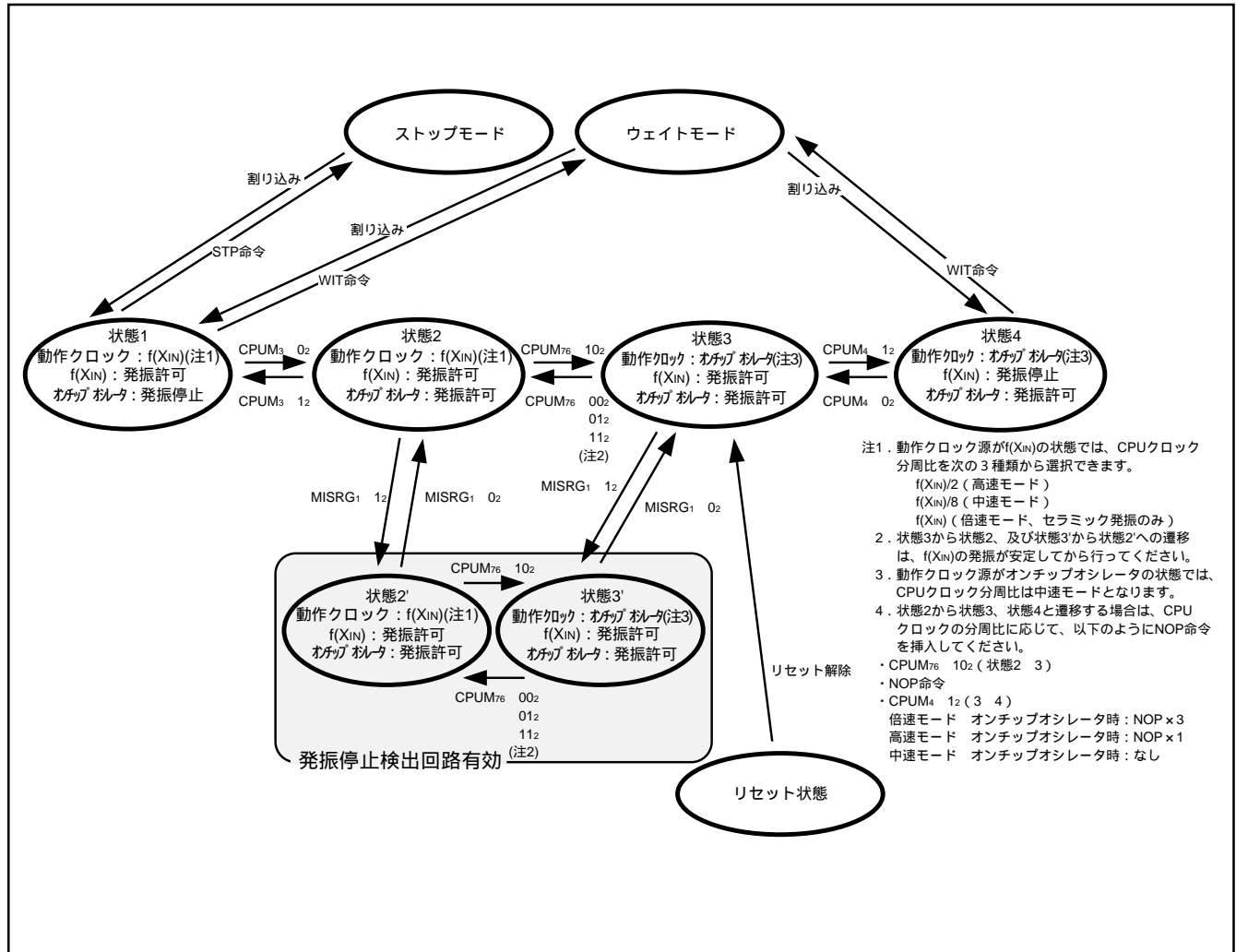


図2.9.9 状態遷移

(1) 制御手順例

ポイント

オンチップオシレータを使用し、低消費電力化を目的とした間欠動作を実現します。

仕様

次のモード1～モード4を、処理の必要性に応じて使い分ける。なお、モード1からの復帰は、0.5sごとに発生するタイマA割り込み要求により行う。

モード1：オンチップオシレータ発振によるウェイトモード

動作クロック源 オンチップオシレータ

CPU停止・セラミック発振停止・オンチップオシレータ発振

モード2：オンチップオシレータ発振による中速モード

動作クロック源 オンチップオシレータ

CPU動作・セラミック発振停止・オンチップオシレータ発振

モード3：セラミック発振による中速モード

動作クロック源 セラミック発振

CPU動作・セラミック発振・オンチップオシレータ発振

モード4：セラミック発振による倍速モード

動作クロック源 セラミック発振

CPU動作・セラミック発振・オンチップオシレータ発振

図2.9.10にモード遷移図例、図2.9.11に制御手順例を示します。

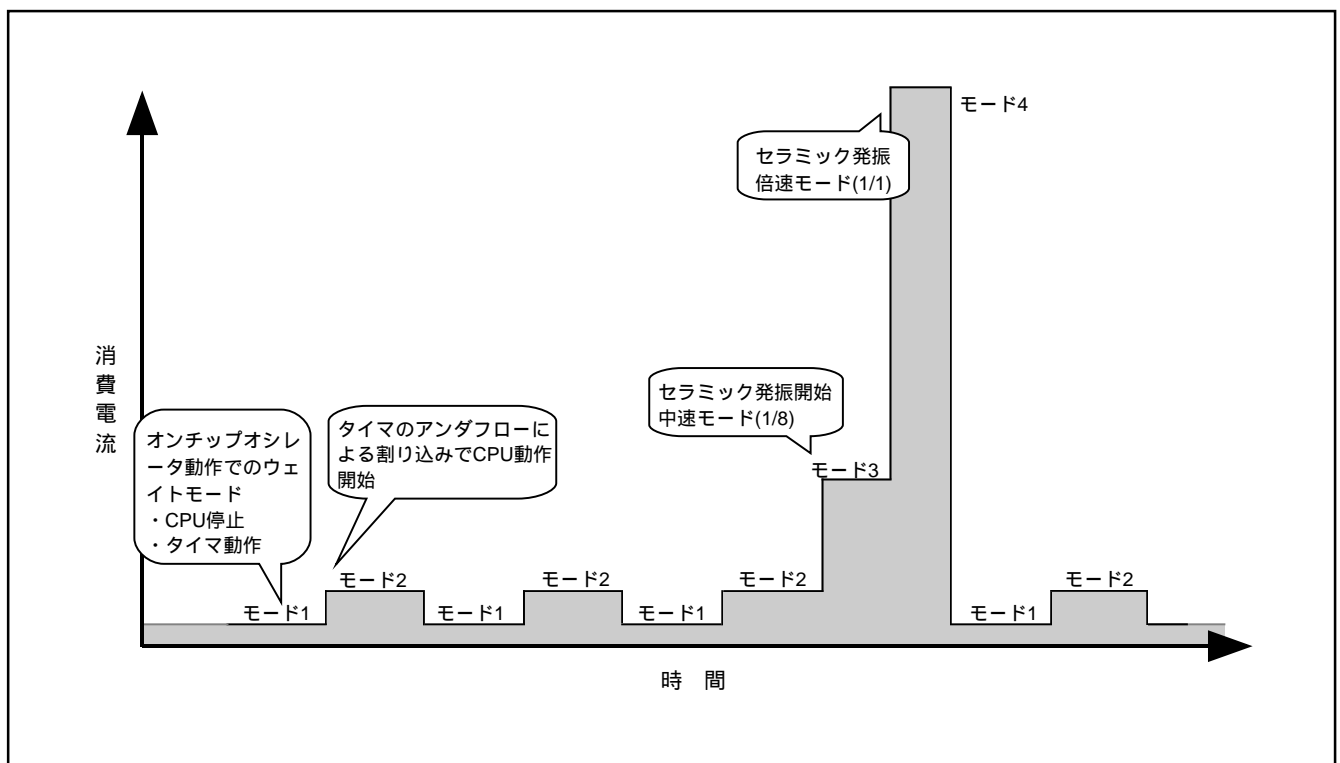


図2.9.10 モード遷移図例

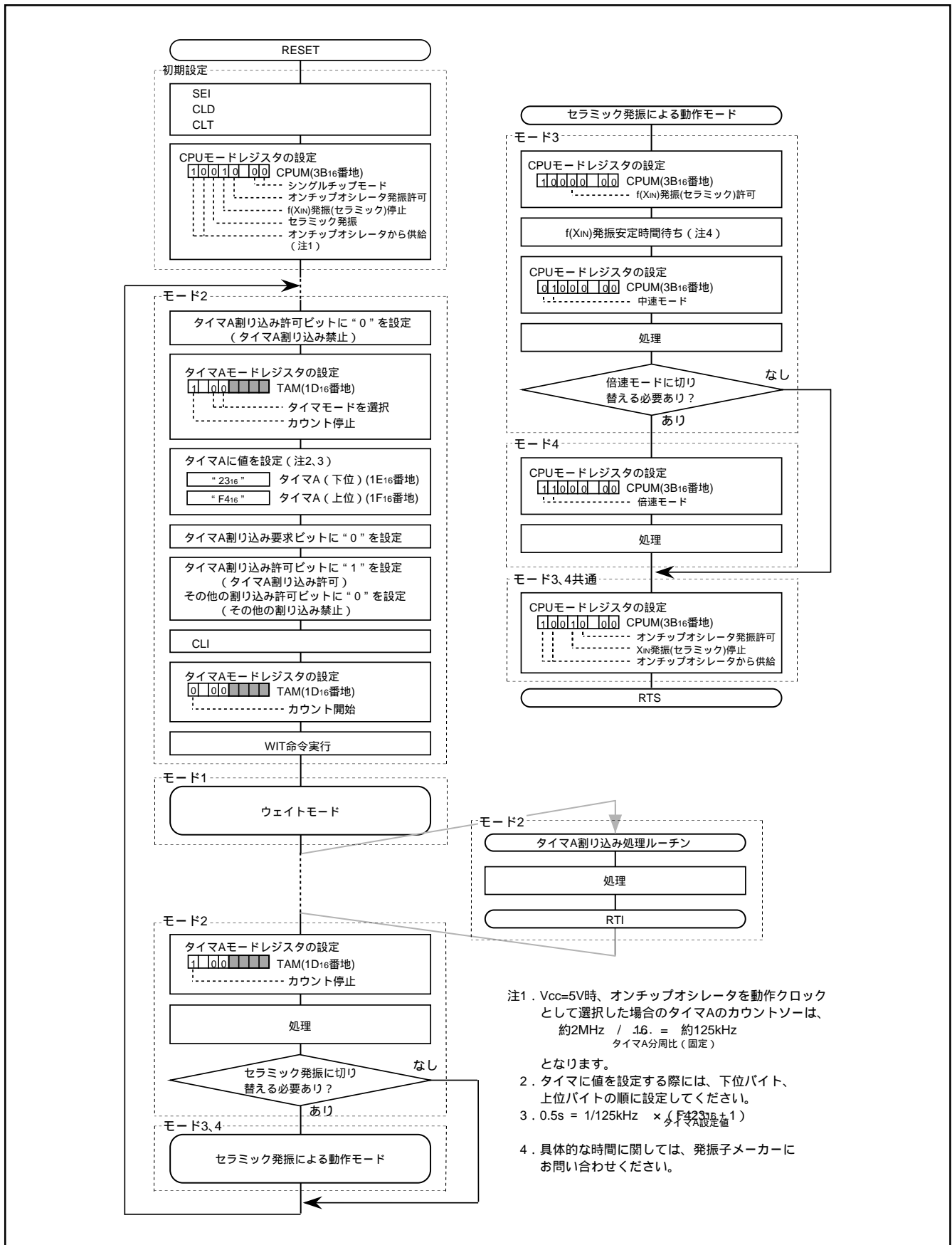


図2.9.11 制御手順例

2.9.6 発振制御に関する注意事項

発振制御を使用する場合は、以下の注意が必要です。

(1) オンチップオシレータに関して

7540グループは、オンチップオシレータで起動開始します。

オンチップオシレータ動作

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) 発振停止検出回路に関して

ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

f(XIN)発振を停止する場合は、発振停止検出機能を無効にしてください。

エミュレータ専用MCU“ M37540RSS ”には、発振停止検出回路の機能は含まれておりません。

(3) ストップモードに関して

ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

ストップモードを使用する場合は、ウォッチドックタイマ制御レジスタのSTP命令禁止ビットを“ 0”(STP命令許可)に設定してください。

STP命令解除後の発振安定時間は、MISRГのSTP命令解除後発振安定時間設定ビットにて自動設定する/自動設定しないを選択することができます。“ 0 ”を設定するとタイマ1には“ 0116 ”、プリスケラ1には“ FF16 ”が自動設定されます。“ 1 ”を設定するとタイマ1、プリスケラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあわせて待ち時間を設定してください。なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケラ1の値を再設定してください。

CPUがオンチップオシレータによって動作している間は、STP命令は使用できません。

ストップモードを使用する場合は、オンチップオシレータ発振を停止してください。

A/D変換中は、STP命令を実行しないでください。

(4) ウェイトモードに関して

ウェイトモードを使用する場合は、動作クロック源以外のクロックを停止してください。

(5) 状態遷移に関して

動作クロック源がf(XIN)の状態では、CPUクロック分周比を次の3種類から選択できます。

f(XIN)/2(高速モード)

f(XIN)/8(中速モード)

f(XIN)(倍速モード)

倍速モードはセラミック発振時のみ使用可能です。RC発振時は使用しないでください。

動作クロック源をオンチップオシレータから $f(XIN)$ へ遷移する場合、 $f(XIN)$ の発振が安定してから行ってください。

動作クロック源がオンチップオシレータの状態では、CPUクロック分周比は中速モードとなります。

状態2から状態3、状態4と遷移する場合は、CPUクロックの分周比に応じて、以下のようにNOP命令を挿入してください。

- CPUM₇₆ 10 \times (状態2 3)

- NOP命令

- CPUM₄ 1 \times (3 4)

倍速モード オンチップオシレータ時 : NOP \times 3

高速モード オンチップオシレータ時 : NOP \times 1

中速モード オンチップオシレータ時 : なし

第3章

付録

- 3.1 電気的特性
- 3.2 標準特性例
- 3.3 使用上の注意事項
- 3.4 ノイズに関する注意事項
- 3.5 レジスター一覧
- 3.6 パッケージ寸法図
- 3.7 機械語命令一覧表
- 3.8 命令コード一覧表
- 3.9 SFRメモリマップ
- 3.10 ピン接続図
- 3.11 7531グループとの相違点

3.1 電気的特性

3.1.1 7540グループ(一般品)の電気的特性

M37540M2-XXXFP/SP/GP、M37540M4-XXXFP/SP/GP、M37540E2FP/SP/GP、M37540E8FP/SP/GPに対応する電気的特性です。

(1) 絶対最大定格(一般品)

表3.1.1 絶対最大定格(一般品)

記号	項目	条件	定格値	単位
Vcc	電源電圧	Vss 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ 6.5 (注1)	V
Vi	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, VREF		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss (注2)		- 0.3 ~ 13	V
Vo	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, XOUT		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Ta = 25	300 (注3)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注1 . マスク ROM 版の定格値です。ワンタイム PROM 版の定格値は - 0.3 ~ 7.0V です。

2 . ワンタイム PROM 版のみの定格です。マスク ROM 版では、Vss に接続してください。

3 . 32P6U パッケージ品では、200mW です。

(2) 推奨動作条件(一般品)

表3.1.2 推奨動作条件(1)(一般品)(指定のない場合, V_{CC} = 2.2 ~ 5.5V, T_a = -20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 (セラミック発振時)	8MHz動作時(高、中速モード)	4.0	5.0	5.5	V
		4MHz動作時(高、中速モード)	2.4	5.0	5.5	V
		2MHz動作時(高、中速モード)	2.2	5.0	5.5	V
		6MHz動作時(倍速モード)	4.5	5.0	5.5	V
		4MHz動作時(倍速モード)	4.0	5.0	5.5	V
		2MHz動作時(倍速モード)	2.4	5.0	5.5	V
	電源電圧 (RC発振時)	1MHz動作時(倍速モード)	2.2	5.0	5.5	V
		4MHz動作時(高、中速モード)	4.0	5.0	5.5	V
		2MHz動作時(高、中速モード)	2.4	5.0	5.5	V
	1MHz動作時(高、中速モード)	2.2	5.0	5.5	V	
V _{SS}	電源電圧		0		V	
V _{REF}	アナログ基準電圧	2.0		V _{CC}	V	
V _{IH}	"H"入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0.8V _{CC}		V _{CC}	V	
V _{IH}	"H"入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37(注1)	2.0		V _{CC}	V	
V _{IH}	"H"入力電圧 RESET, X _{IN}	0.8V _{CC}		V _{CC}	V	
V _{IL}	"L"入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0		0.3V _{CC}	V	
V _{IL}	"L"入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37(注1)	0		0.8	V	
V _{IL}	"L"入力電圧 RESET, CNV _{SS}	0		0.2V _{CC}	V	
V _{IL}	"L"入力電圧 X _{IN}	0		0.16V _{CC}	V	
I _{OH(peak)}	"H"出力総尖頭電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 80	mA	
I _{OL(peak)}	"L"出力総尖頭電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			80	mA	
I _{OL(peak)}	"L"出力総尖頭電流(注2) P30 ~ P36			60	mA	
I _{OH(avg)}	"H"出力総平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 40	mA	
I _{OL(avg)}	"L"出力総平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			40	mA	
I _{OL(avg)}	"L"出力総平均電流(注2) P30 ~ P36			30	mA	

注1 . V_{CC}=4.0 ~ 5.5V時の場合です。

2 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表3.1.3 推奨動作条件(2)(一般品)(指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P30 ~ P36			30	mA
I _{OH} (avg)	“H”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P30 ~ P36			15	mA
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.5 \sim 5.5V$)倍速モード			6	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$)倍速モード			4	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$)倍速モード			2	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.2 \sim 5.5V$)倍速モード			1	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$)高, 中速モード			8	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$)高, 中速モード			4	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.2 \sim 5.5V$)高, 中速モード			2	MHz
f(XIN)	発振周波数(注3) RC発振時 ($V_{CC}=4.0 \sim 5.5V$)高, 中速モード			4	MHz
f(XIN)	発振周波数(注3) RC発振時 ($V_{CC}=2.4 \sim 5.5V$)高, 中速モード			2	MHz
f(XIN)	発振周波数(注3) RC発振時 ($V_{CC}=2.2 \sim 5.5V$)高, 中速モード			1	MHz

注1. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注2. 平均出力電流 I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。

注3. 発振周波数はデューティ50%の場合です。

(3) 電気的特性(一般品)

表3.1.4 電気的特性(1) (一般品) (指定のない場合は, $V_{CC} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注1)	IOH = - 5mA VCC = 4.0 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 2.2 ~ 5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P37	IOL = 5mA VCC = 4.0 ~ 5.5V			1.5	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 1.0mA VCC = 2.2 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P30 ~ P36	IOL = 15mA VCC = 4.0 ~ 5.5V			2.0	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 10mA VCC = 2.2 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RXD1, SCLK1, SCLK2, SDATA2 (注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	VCC = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	VCC = 5.0V, Ta = 25	62.5	125	187.5	kHz

注1. P11に関しては, UART制御レジスタのP11/TXD1Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

2. RXD1, SCLK1, SCLK2, SDATA2, INT0, INT1については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3. キーオンウェイアップ動作時のみです。

表3.1.5 電気的特性 (2 ヶ一般品 ヶ指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
ICC	電源電流	ワンタイム PROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		5.0	8.0	mA
			f(XIN) = 2MHz, VCC = 2.2V, 高速モード 出力トランジスタは遮断状態		0.5	1.5	mA
			f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態		6.0	10.0	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA
			オンチップオシレータ動作モード、VCC = 5V, 出力トランジスタは遮断状態		350	1000	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA
			f(XIN) = 2MHz, VCC = 2.2V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA
			オンチップオシレータ動作モード、VCC = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, VCC = 5V		0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25	0.1	1.0	μA
			Ta = 85		10	μA	
		マスク ROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		3.5	6.5	mA
			f(XIN) = 2MHz, VCC = 2.2V, 高速モード 出力トランジスタは遮断状態		0.4	1.2	mA
			f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態		4.5	8.0	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA
			オンチップオシレータ動作モード、VCC = 5V, 出力トランジスタは遮断状態		300	900	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA
			f(XIN) = 2MHz, VCC = 2.2V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA
			オンチップオシレータ動作モード、VCC = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, VCC = 5V		0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25	0.1	1.0	μA
				Ta = 85		10	μA

(4) A/Dコンバータ特性 (一般品)

表3.1.6 A/Dコンバータ特性 (一般品)

(指定のない場合は, $V_{CC} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

	記号	項目	測定条件	規格値			単位
				最小	標準	最大	
ワンタイム PROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 0.9	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	5	20	mV
			$V_{CC} = V_{REF} = 3.072V$	0	3	15	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5115	5125	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3069	3075	
	tCONV	変換時間				122	t _c (X _{IN})
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
I _{I(AD)}	A/Dポート入力電流				5.0	μA	
マスク ROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 1.5	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV
			$V_{CC} = V_{REF} = 3.072V$	0	9	21	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3075	3090	
	tCONV	変換時間				122	t _c (X _{IN})
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
I _{I(AD)}	A/Dポート入力電流				5.0	μA	

(5) タイミング必要条件(一般品)

表3.1.7 タイミング必要条件(1) (一般品) (指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
tWH(XIN)	外部クロック入力“H”パルス幅	50			ns
tWL(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0入力サイクル時間	200			ns
tWH(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	80			ns
tWL(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	80			ns
tc(CNTR1)	CNTR1入力サイクル時間	2000			ns
tWH(CNTR1)	CNTR1入力“H”パルス幅	800			ns
tWL(CNTR1)	CNTR1入力“L”パルス幅	800			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	800			ns
tWH(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	370			ns
tWL(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	370			ns
tsu(RXD1-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RXD1)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	200			ns

注. シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

表3.1.8 タイミング必要条件(2ㄻ一般品)
(指定のない場合は、 $V_{CC} = 2.4 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	2			μs
tC(XIN)	外部クロック入力サイクル時間	250			ns
tWH(XIN)	外部クロック入力“H”パルス幅	100			ns
tWL(XIN)	外部クロック入力“L”パルス幅	100			ns
tC(CNTR0)	CNTR0入力サイクル時間	500			ns
tWH(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	230			ns
tWL(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	230			ns
tC(CNTR1)	CNTR1入力サイクル時間	4000			ns
tWH(CNTR1)	CNTR1入力“H”パルス幅	1600			ns
tWL(CNTR1)	CNTR1入力“L”パルス幅	1600			ns
tC(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	2000			ns
tWH(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	950			ns
tWL(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	950			ns
tsu(RXD1-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RXD1)	シリアルI/O1入力ホールド時間	200			ns
tC(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	400			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	400			ns

注. シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

表3.1.9 タイミング必要条件(3 χ 一般品)
(指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	500			ns
twh(XIN)	外部クロック入力“H”パルス幅	200			ns
twl(XIN)	外部クロック入力“L”パルス幅	200			ns
tc(CNTR0)	CNTR0入力サイクル時間	1000			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	460			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	460			ns
tc(CNTR1)	CNTR1入力サイクル時間	8000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	3200			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	3200			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	4000			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	1900			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	1900			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	800			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	400			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	4000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	1900			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	1900			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	800			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	800			ns

注．シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

(6) スイッチング特性(一般品)

表3.1.10 スイッチング特性(1)(一般品)(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力“H”パルス幅	tc(SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力“L”パルス幅	tc(SCLK1)/2 - 30			ns
t _d (SCLK1-TxD1)	シリアル I/O1 出力遅延時間			140	ns
t _V (SCLK1-TxD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力“H”パルス幅	tc(SCLK2)/2 - 30			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力“L”パルス幅	tc(SCLK2)/2 - 30			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			140	ns
t _V (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			30	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS 出力立ち上がり時間(注1)		10	30	ns
t _f (CMOS)	CMOS 出力立ち下がり時間(注1)		10	30	ns

注1 . XOUT 端子を除きます。

表3.1.11 スイッチング特性(2)(一般品)(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力“H”パルス幅	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力“L”パルス幅	tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TxD1)	シリアル I/O1 出力遅延時間			350	ns
t _V (SCLK1-TxD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力“H”パルス幅	tc(SCLK2)/2 - 50			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力“L”パルス幅	tc(SCLK2)/2 - 50			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			350	ns
t _V (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			50	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS 出力立ち上がり時間(注1)		20	50	ns
t _f (CMOS)	CMOS 出力立ち下がり時間(注1)		20	50	ns

注1 . XOUT 端子を除きます。

表3.1.12 スイッチング特性(3 Ⅹ 一般品 Ⅹ 指定のない場合は ,V_{CC} = 2.2 ~ 5.5V ,V_{SS} = 0V ,T_a = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力 “H” パルス幅	t _C (SCLK1)/2 - 70			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力 “L” パルス幅	t _C (SCLK1)/2 - 70			ns
t _d (SCLK1-TxD1)	シリアル I/O1 出力遅延時間			450	ns
t _v (SCLK1-TxD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			70	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			70	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力 “H” パルス幅	t _C (SCLK2)/2 - 70			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力 “L” パルス幅	t _C (SCLK2)/2 - 70			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			450	ns
t _v (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			70	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			70	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注 1)		25	70	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注 1)		25	70	ns

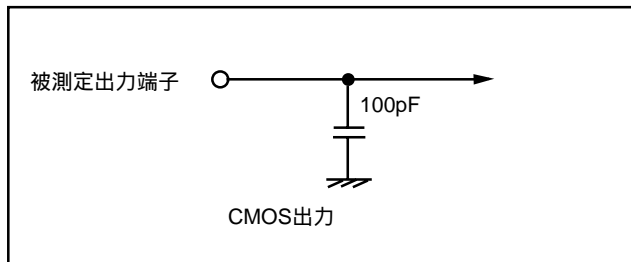
注 1 . X_{OUT} 端子を除きます。

図3.1.1 スイッチング特性測定回路図(一般品)

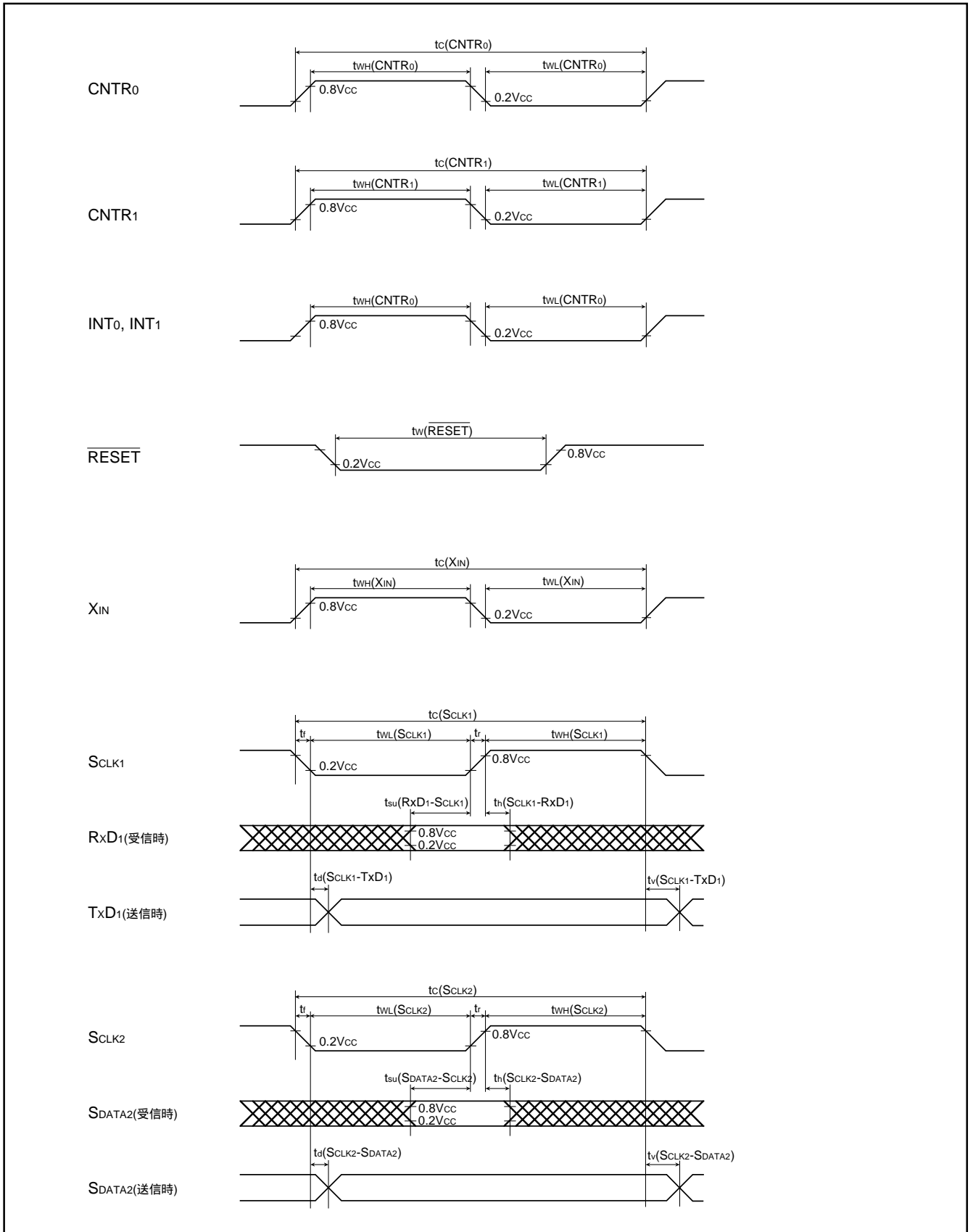


図3.1.2 タイミング図(一般品)

3.1.2 7540グループ(広動作温度範囲版)の電気的特性

M37540M2T-XXXFP/GP、M37540M4T-XXXFP/GP、M37540E8T-XXXFP/GPに対応する電気的特性です。

(1) 絶対最大定格(広動作温度範囲版)

表3.1.13 絶対最大定格(広動作温度範囲版)

記号	項 目	条 件	定 格 値	単 位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ 6.5 (注1)	V
V _I	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, VREF		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 RESET, X _{IN} , CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300 (注2)	mW
T _{opr}	動作周囲温度		- 40 ~ 85	
T _{stg}	保存温度		- 65 ~ 150	

注1 . マスクROM版の定格値です。ワンタイムPROM版の定格値は - 0.3 ~ 7.0Vです。

2 . 32P6Uパッケージ品では、200mWです。

(2) 推奨動作条件(広動作温度範囲版)

表3.1.14 推奨動作条件(1) (広動作温度範囲版) (指定のない場合 ,V_{CC} = 2.4 ~ 5.5V ,T_a = - 40 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 (セラミック発振時)	8MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		4MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
		6MHz 動作時 (倍速モード)	4.5	5.0	5.5	V
		4MHz 動作時 (倍速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (倍速モード)	2.4	5.0	5.5	V
	電源電圧 (RC 発振時)	4MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
V _{SS}	電源電圧		0		V	
V _{REF}	アナログ基準電圧	2.0		V _{CC}	V	
V _{IH}	“H” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注1)	2.0		V _{CC}	V	
V _{IH}	“H” 入力電圧 RESET, X _{IN}	0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0		0.3V _{CC}	V	
V _{IL}	“L” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注1)	0		0.8	V	
V _{IL}	“L” 入力電圧 RESET, CNV _{SS}	0		0.2V _{CC}	V	
V _{IL}	“L” 入力電圧 X _{IN}	0		0.16V _{CC}	V	
I _{OH} (peak)	“H” 出力総尖頭電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 80	mA	
I _{OL} (peak)	“L” 出力総尖頭電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			80	mA	
I _{OL} (peak)	“L” 出力総尖頭電流 (注2) P30 ~ P36			60	mA	
I _{OH} (avg)	“H” 出力総平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 40	mA	
I _{OL} (avg)	“L” 出力総平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			40	mA	
I _{OL} (avg)	“L” 出力総平均電流 (注2) P30 ~ P36			30	mA	

注1 . V_{CC}=4.0 ~ 5.5V 時の場合です。

2 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は 100ms の期間内での平均値で、総尖頭電流は総和のピーク値です。

表3.1.15 推奨動作条件(2) 広動作温度範囲版(指定のない場合は, VCC = 2.4 ~ 5.5V, Ta = -40 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P30 ~ P36			30	mA
I _{OH} (avg)	“H”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P30 ~ P36			15	mA
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 (VCC=4.5 ~ 5.5V) 倍速モード			6	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 (VCC=4.0 ~ 5.5V) 倍速モード			4	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 (VCC=2.4 ~ 5.5V) 倍速モード			2	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 (VCC=4.0 ~ 5.5V) 高, 中速モード			8	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 (VCC=2.4 ~ 5.5V) 高, 中速モード			4	MHz
f(XIN)	発振周波数(注3) RC発振時 (VCC=4.0 ~ 5.5V) 高, 中速モード			4	MHz
f(XIN)	発振周波数(注3) RC発振時 (VCC=2.4 ~ 5.5V) 高, 中速モード			2	MHz

注1. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2. 平均出力電流 I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。

3. 発振周波数はデューティ50%の場合です。

(3) 電気的特性(広動作温度範囲版)

表3.1.16 電気的特性(1)(広動作温度範囲版)(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注1)	$I_{OH} = -5mA$ $V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 1.5$			V
		$I_{OH} = -1.0mA$ $V_{CC} = 2.4 \sim 5.5V$	$V_{CC} - 1.0$			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P37	$I_{OL} = 5mA$ $V_{CC} = 4.0 \sim 5.5V$			1.5	V
		$I_{OL} = 1.5mA$ $V_{CC} = 4.0 \sim 5.5V$			0.3	V
		$I_{OL} = 1.0mA$ $V_{CC} = 2.4 \sim 5.5V$			1.0	V
VOL	“L”出力電圧 P30 ~ P36	$I_{OL} = 15mA$ $V_{CC} = 4.0 \sim 5.5V$			2.0	V
		$I_{OL} = 1.5mA$ $V_{CC} = 4.0 \sim 5.5V$			0.3	V
		$I_{OL} = 10mA$ $V_{CC} = 2.4 \sim 5.5V$			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RxD1, SCLK1, SCLK2, SDA2A2 (注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	$V_I = V_{CC}$ (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
I _{IH}	“H”入力電流 RESET	$V_I = V_{CC}$			5.0	μA
I _{IH}	“H”入力電流 XIN	$V_I = V_{CC}$		4.0		μA
I _{IL}	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	$V_I = V_{SS}$ (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
I _{IL}	“L”入力電流 RESET, CNVss	$V_I = V_{SS}$			- 5.0	μA
I _{IL}	“L”入力電流 XIN	$V_I = V_{SS}$		- 4.0		μA
I _{IL}	“L”入力電流 P00 ~ P07, P30 ~ P37	$V_I = V_{SS}$ (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	$V_{CC} = 5.0V$, $T_a = 25$	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	$V_{CC} = 5.0V$, $T_a = 25$	62.5	125	187.5	kHz

注1. P11に関しては, UART制御レジスタのP11/TXD1 Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

2. RxD1, SCLK1, SCLK2, SDA2A2, INT0, INT1については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3. キーオンウェイクアップ動作時のみです。

表3.1.17 電気的特性 (2) (広動作温度範囲版) (指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	測定条件		規格値			単位	
				最小	標準	最大		
ICC	電源電流	ワンタイム PROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態			5.0	8.0	mA
			f(XIN) = 2MHz, VCC = 2.4V, 高速モード 出力トランジスタは遮断状態			0.5	1.5	mA
			f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態			6.0	10.0	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態			2.0	5.0	mA
			オンチップオシレータ動作モード、VCC = 5V, 出力トランジスタは遮断状態			350	1000	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			1.6	3.2	mA
			f(XIN) = 2MHz, VCC = 2.4V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			0.2		mA
			オンチップオシレータ動作モード、VCC = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, VCC = 5V			0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態		Ta = 25	0.1	1.0	μA
		Ta = 85				10	μA	
		マスク ROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態			3.5	6.5	mA
			f(XIN) = 2MHz, VCC = 2.4V, 高速モード 出力トランジスタは遮断状態			0.4	1.2	mA
			f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態			4.5	8.0	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態			2.0	5.0	mA
			オンチップオシレータ動作モード、VCC = 5V 出力トランジスタは遮断状態			300	900	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			1.6	3.2	mA
			f(XIN) = 2MHz, VCC = 2.4V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			0.2		mA
			オンチップオシレータ動作モード、VCC = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, VCC = 5V			0.5		mA
発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態			Ta = 25	0.1	1.0	μA		
		Ta = 85		10	μA			

(4) A/Dコンバータ特性(広動作温度範囲版)

表3.1.18 A/Dコンバータ特性(広動作温度範囲版) (指定のない場合は, $V_{CC} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim$

85)	記号	項目	測定条件	規格値			単位
				最小	標準	最大	
ワンタイム PROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 0.9	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	5	20	mV
			$V_{CC} = V_{REF} = 3.072V$	0	3	15	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5115	5125	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3069	3075	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				5.0	μA	
マスク ROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 1.5	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV
			$V_{CC} = V_{REF} = 3.072V$	0	9	21	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3075	3090	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				5.0	μA	

(5) タイミング必要条件(広動作温度範囲版)

表3.1.19 タイミング必要条件(1)(広動作温度範囲版)

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	2			μs
t _c (XIN)	外部クロック入力サイクル時間	125			ns
t _{WH} (XIN)	外部クロック入力“H”パルス幅	50			ns
t _{WL} (XIN)	外部クロック入力“L”パルス幅	50			ns
t _c (CNTR0)	CNTR0入力サイクル時間	200			ns
t _{WH} (CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	80			ns
t _{WL} (CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	80			ns
t _c (CNTR1)	CNTR1入力サイクル時間	2000			ns
t _{WH} (CNTR1)	CNTR1入力“H”パルス幅	800			ns
t _{WL} (CNTR1)	CNTR1入力“L”パルス幅	800			ns
t _c (SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	800			ns
t _{WH} (SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	370			ns
t _{WL} (SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	370			ns
t _{su} (RXD1-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
t _h (SCLK1-RXD1)	シリアルI/O1入力ホールド時間	100			ns
t _c (SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
t _{WH} (SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
t _{WL} (SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
t _{su} (SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
t _h (SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	200			ns

注. シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

表3.1.20 タイミング必要条件(2Y 広動作温度範囲版)
 (指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
twh(XIN)	外部クロック入力“H”パルス幅	100			ns
twl(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR0)	CNTR0 入力サイクル時間	500			ns
twh(CNTR0)	CNTR0, INT0, INT1 入力“H”パルス幅	230			ns
twl(CNTR0)	CNTR0, INT0, INT1 入力“L”パルス幅	230			ns
tc(CNTR1)	CNTR1 入力サイクル時間	4000			ns
twh(CNTR1)	CNTR1 入力“H”パルス幅	1600			ns
twl(CNTR1)	CNTR1 入力“L”パルス幅	1600			ns
tc(SCLK1)	シリアル I/O1 クロック入力サイクル時間(注)	2000			ns
twh(SCLK1)	シリアル I/O1 クロック入力“H”パルス幅(注)	950			ns
twl(SCLK1)	シリアル I/O1 クロック入力“L”パルス幅(注)	950			ns
tsu(RxD1-SCLK1)	シリアル I/O1 入力セットアップ時間	400			ns
th(SCLK1-RxD1)	シリアル I/O1 入力ホールド時間	200			ns
tc(SCLK2)	シリアル I/O2 クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアル I/O2 クロック入力“H”パルス幅	950			ns
twl(SCLK2)	シリアル I/O2 クロック入力“L”パルス幅	950			ns
tsu(SDATA2-SCLK2)	シリアル I/O2 入力セットアップ時間	400			ns
th(SCLK2-SDATA2)	シリアル I/O2 入力ホールド時間	400			ns

注. シリアル I/O1 に関しては、シリアル I/O1 制御レジスタ(001A₁₆番地)のビット6が“1”(クロック同期形シリアル I/O1)の場合です。
 シリアル I/O1 制御レジスタのビット6が“0”(クロック非同期形シリアル I/O1)の場合、規格値は、1/4 になります。

(6) スイッチング特性(広動作温度範囲版)

表3.1.21 スイッチング特性(1) (広動作温度範囲版)

(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 30			ns
t _d (SCLK1-TXD1)	シリアルI/O1出力遅延時間			140	ns
t _v (SCLK1-TXD1)	シリアルI/O1出力有効時間	- 30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 30			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 30			ns
t _d (SCLK2-SDATA2)	シリアルI/O2出力遅延時間			140	ns
t _v (SCLK2-SDATA2)	シリアルI/O2出力有効時間	0			ns
t _r (SCLK2)	シリアルI/O2クロック出力立ち上がり時間			30	ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS出力立ち上がり時間(注1)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間(注1)		10	30	ns

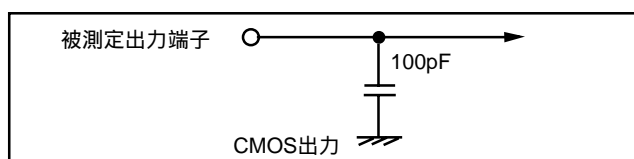
注1. XOUT端子を除きます。

表3.1.22 スイッチング特性(2) (広動作温度範囲版)

(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TXD1)	シリアルI/O1出力遅延時間			350	ns
t _v (SCLK1-TXD1)	シリアルI/O1出力有効時間	- 30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 50			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 50			ns
t _d (SCLK2-SDATA2)	シリアルI/O2出力遅延時間			350	ns
t _v (SCLK2-SDATA2)	シリアルI/O2出力有効時間	0			ns
t _r (SCLK2)	シリアルI/O2クロック出力立ち上がり時間			50	ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間(注1)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間(注1)		20	50	ns

注1. XOUT端子を除きます。

図3.1.3 スイッチング特性測定回路図
(広動作温度範囲版)

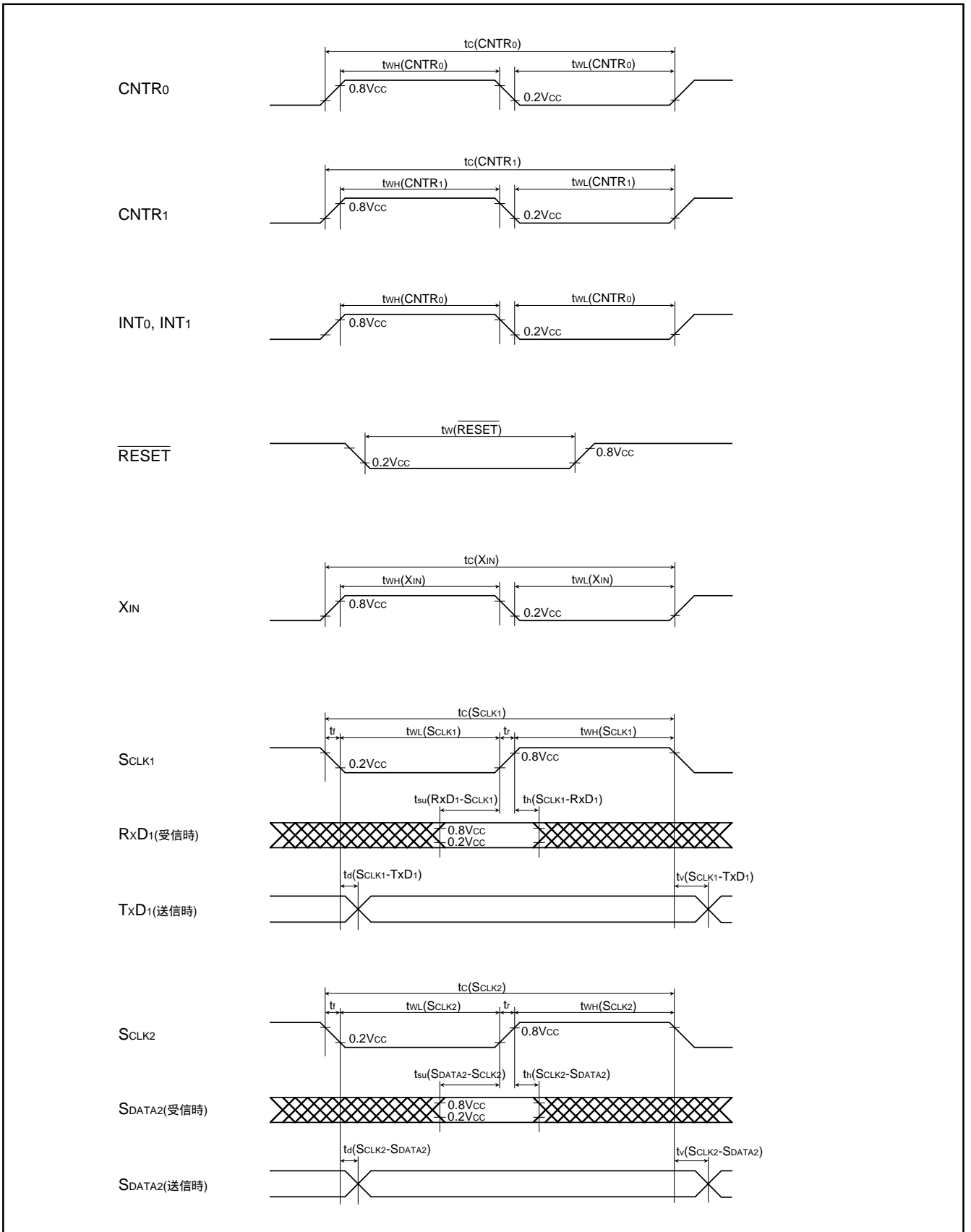


図3.1.4 タイミング図(広動作温度範囲版)

3.1.3 7540グループ(125 保証品)の電気的特性

M37540M2V-XXXXFP/GP、M37540M4V-XXXXFP/GP、M37540E8V-XXXXFP/GPに対応する電気的特性です。

(1) 絶対最大定格(125 保証品)

表3.1.23 絶対最大定格(125 保証品)

記号	項目	条件	定格値	単位
V _{CC}	電源電圧		- 0.3 ~ 6.5 (注1)	V
V _I	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, VREF	V _{SS} 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 RESET, X _{IN} , CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力		T _a = 25	300 (注2)
T _{opr}	動作周囲温度		- 40 ~ 125 (注3)	
T _{stg}	保存温度		- 65 ~ 150	

注1 . マスク ROM 版の定格値です。ワンタイム PROM 版の定格値は - 0.3 ~ 7.0V です。

2 . 32P6U パッケージ品では、200mW です。

3 . 動作周囲温度 55 ~ 85 の総時間は 6000 時間以内、85 ~ 125 の総時間は 1000 時間以内です。

(2) 推奨動作条件(125 保証品)

表3.1.24 推奨動作条件(1) (125 保証品) (指定のない場合 , V_{CC} = 2.4 ~ 5.5V , T_a = - 40 ~ 125)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 (セラミック発振時)	8MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		4MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
		4MHz 動作時 (倍速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (倍速モード)	2.4	5.0	5.5	V
	電源電圧 (RC 発振時)	4MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
V _{SS}	電源電圧		0		V	
V _{REF}	アナログ基準電圧	2.0		V _{CC}	V	
V _{IH}	“H” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注1)	2.0		V _{CC}	V	
V _{IH}	“H” 入力電圧 RESET, X _{IN}	0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0		0.3V _{CC}	V	
V _{IL}	“L” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注1)	0		0.8	V	
V _{IL}	“L” 入力電圧 RESET, CNV _{SS}	0		0.2V _{CC}	V	
V _{IL}	“L” 入力電圧 X _{IN}	0		0.16V _{CC}	V	
I _{OH} (peak)	“H” 出力総尖頭電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 80	mA	
I _{OL} (peak)	“L” 出力総尖頭電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			80	mA	
I _{OL} (peak)	“L” 出力総尖頭電流 (注2) P30 ~ P36			60	mA	
I _{OH} (avg)	“H” 出力総平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 40	mA	
I _{OL} (avg)	“L” 出力総平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			40	mA	
I _{OL} (avg)	“L” 出力総平均電流 (注2) P30 ~ P36			30	mA	

注1 . V_{CC}=4.0 ~ 5.5V 時の場合です。

注2 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100ms の期間内での平均値で、総尖頭電流は総和のピーク値です。

表3.1.25 推奨動作条件(2)(125 保証品)(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P30 ~ P36			30	mA
I _{OH} (avg)	“H”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P30 ~ P36			15	mA
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$)倍速モード			4	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$)倍速モード			2	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$)高, 中速モード			8	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$)高, 中速モード			4	MHz
f(XIN)	発振周波数(注3) RC発振時 ($V_{CC}=4.0 \sim 5.5V$)高, 中速モード			4	MHz
f(XIN)	発振周波数(注3) RC発振時 ($V_{CC}=2.4 \sim 5.5V$)高, 中速モード			2	MHz

注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2．平均出力電流 I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。

3．発振周波数はデューティ50%の場合です。

(3) 電気的特性 (125 保証品)

表3.1.26 電気的特性 (125 保証品) 指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注1)	IOH = - 5mA VCC = 4.0 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 2.4 ~ 5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P37	IOL = 5mA VCC = 4.0 ~ 5.5V			1.5	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 1.0mA VCC = 2.4 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P30 ~ P36	IOL = 15mA VCC = 4.0 ~ 5.5V			2.0	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 10mA VCC = 2.4 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RXD1, SCLK1, SCLK2, SDATA2 (注2)			0.5		V
VT+ - VT-	ヒステリシス $\overline{\text{RESET}}$			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	VCC = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	VCC = 5.0V, Ta = 25	62.5	125	187.5	kHz

注1. P11に関しては, UART制御レジスタのP11/TXD1 Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. RXD1, SCLK1, SCLK2, SDATA2, INT0, INT1については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3. キーオンウェイクアップ動作時のみです。

表3.1.27 電気的特性(2)(125 保証品)(指定のない場合は, V_{CC} = 2.4 ~ 5.5V, V_{SS} = 0V, T_a = -40 ~ 125)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流	ワンタイム PROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		5.0	8.0	mA
			f(XIN) = 2MHz, V _{CC} = 2.4V, 高速モード 出力トランジスタは遮断状態		0.5	1.5	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA
			オンチップオシレータ動作モード、V _{CC} = 5V, 出力トランジスタは遮断状態		350	1000	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA
			f(XIN) = 2MHz, V _{CC} = 2.4V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA
			オンチップオシレータ動作モード、V _{CC} = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, V _{CC} = 5V		0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	T _a = 25	0.1	1.0	μA
				T _a = 125		50	μA
		マスク ROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		3.5	6.5	mA
			f(XIN) = 2MHz, V _{CC} = 2.4V, 高速モード 出力トランジスタは遮断状態		0.4	1.2	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA
			オンチップオシレータ動作モード、V _{CC} = 5V 出力トランジスタは遮断状態		300	900	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA
			f(XIN) = 2MHz, V _{CC} = 2.4V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA
			オンチップオシレータ動作モード、V _{CC} = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, V _{CC} = 5V		0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	T _a = 25	0.1	1.0	μA
				T _a = 125		50	μA

(4) A/Dコンバータ特性(125 保証品)

表3.1.28 A/Dコンバータ特性(125 保証品) (指定のない場合は, $V_{CC} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

	記号	項目	測定条件	規格値			単位
				最小	標準	最大	
ワンタイム PROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 0.9	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	5	20	mV
			$V_{CC} = V_{REF} = 3.072V$	0	3	15	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5115	5125	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3069	3075	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
I(AD)	A/Dポート入力電流				7.0	μA	
マスク ROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 1.5	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV
			$V_{CC} = V_{REF} = 3.072V$	0	9	21	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3075	3090	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
I(AD)	A/Dポート入力電流				7.0	μA	

(5) タイミング必要条件(125 保証品)

表3.1.29 タイミング必要条件(125 保証品)

(指定のない場合は ,VCC = 4.0 ~ 5.5V ,VSS = 0V ,Ta = - 40 ~ 125)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
tWH(XIN)	外部クロック入力“H”パルス幅	50			ns
tWL(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0 入力サイクル時間	200			ns
tWH(CNTR0)	CNTR0, INT0, INT1 入力“H”パルス幅	80			ns
tWL(CNTR0)	CNTR0, INT0, INT1 入力“L”パルス幅	80			ns
tc(CNTR1)	CNTR1 入力サイクル時間	2000			ns
tWH(CNTR1)	CNTR1 入力“H”パルス幅	800			ns
tWL(CNTR1)	CNTR1 入力“L”パルス幅	800			ns
tc(SCLK1)	シリアルI/O1 クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアルI/O1 クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアルI/O1 クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD1-SCLK1)	シリアルI/O1 入力セットアップ時間	220			ns
th(SCLK1-RxD1)	シリアルI/O1 入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2 クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアルI/O2 クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアルI/O2 クロック入力“L”パルス幅	400			ns
tsu(SDATA2-SCLK2)	シリアルI/O2 入力セットアップ時間	200			ns
th(SCLK2-SDATA2)	シリアルI/O2 入力ホールド時間	200			ns

注 . シリアルI/O1 に関しては、シリアルI/O1 制御レジスタ (001A16 番地) のビット6が“1”(クロック同期形シリアルI/O1) の場合です。
シリアルI/O1 制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1) の場合、規格値は、1 / 4 になります。

表3.1.30 タイミング必要条件(2X125 保証品)
(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
tWH(XIN)	外部クロック入力“H”パルス幅	100			ns
tWL(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR0)	CNTR0入力サイクル時間	500			ns
tWH(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	230			ns
tWL(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	230			ns
tc(CNTR1)	CNTR1入力サイクル時間	4000			ns
tWH(CNTR1)	CNTR1入力“H”パルス幅	1600			ns
tWL(CNTR1)	CNTR1入力“L”パルス幅	1600			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	2000			ns
tWH(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	950			ns
tWL(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	950			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	400			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	400			ns

注. シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

(6) スイッチング特性(125 保証品)

表3.1.31 スイッチング特性(1 \times 125 保証品)(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

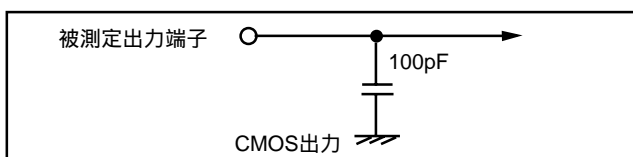
記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	t _C (SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	t _C (SCLK1)/2 - 50			ns
t _d (SCLK1-TxD1)	シリアルI/O1出力遅延時間			140	ns
t _v (SCLK1-TxD1)	シリアルI/O1出力有効時間	- 30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	t _C (SCLK2)/2 - 50			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	t _C (SCLK2)/2 - 50			ns
t _d (SCLK2-SDATA2)	シリアルI/O2出力遅延時間			140	ns
t _v (SCLK2-SDATA2)	シリアルI/O2出力有効時間	0			ns
t _r (SCLK2)	シリアルI/O2クロック出力立ち上がり時間			30	ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS出力立ち上がり時間(注1)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間(注1)		10	30	ns

注1 . XOUT端子を除きます。

表3.1.32 スイッチング特性(2 \times 125 保証品)(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	t _C (SCLK1)/2 - 80			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	t _C (SCLK1)/2 - 80			ns
t _d (SCLK1-TxD1)	シリアルI/O1出力遅延時間			350	ns
t _v (SCLK1-TxD1)	シリアルI/O1出力有効時間	- 30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	t _C (SCLK2)/2 - 80			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	t _C (SCLK2)/2 - 80			ns
t _d (SCLK2-SDATA2)	シリアルI/O2出力遅延時間			350	ns
t _v (SCLK2-SDATA2)	シリアルI/O2出力有効時間	0			ns
t _r (SCLK2)	シリアルI/O2クロック出力立ち上がり時間			50	ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間(注1)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間(注1)		20	50	ns

注1 . XOUT端子を除きます。

図3.1.5 スイッチング特性測定回路図
(広動作温度範囲版)

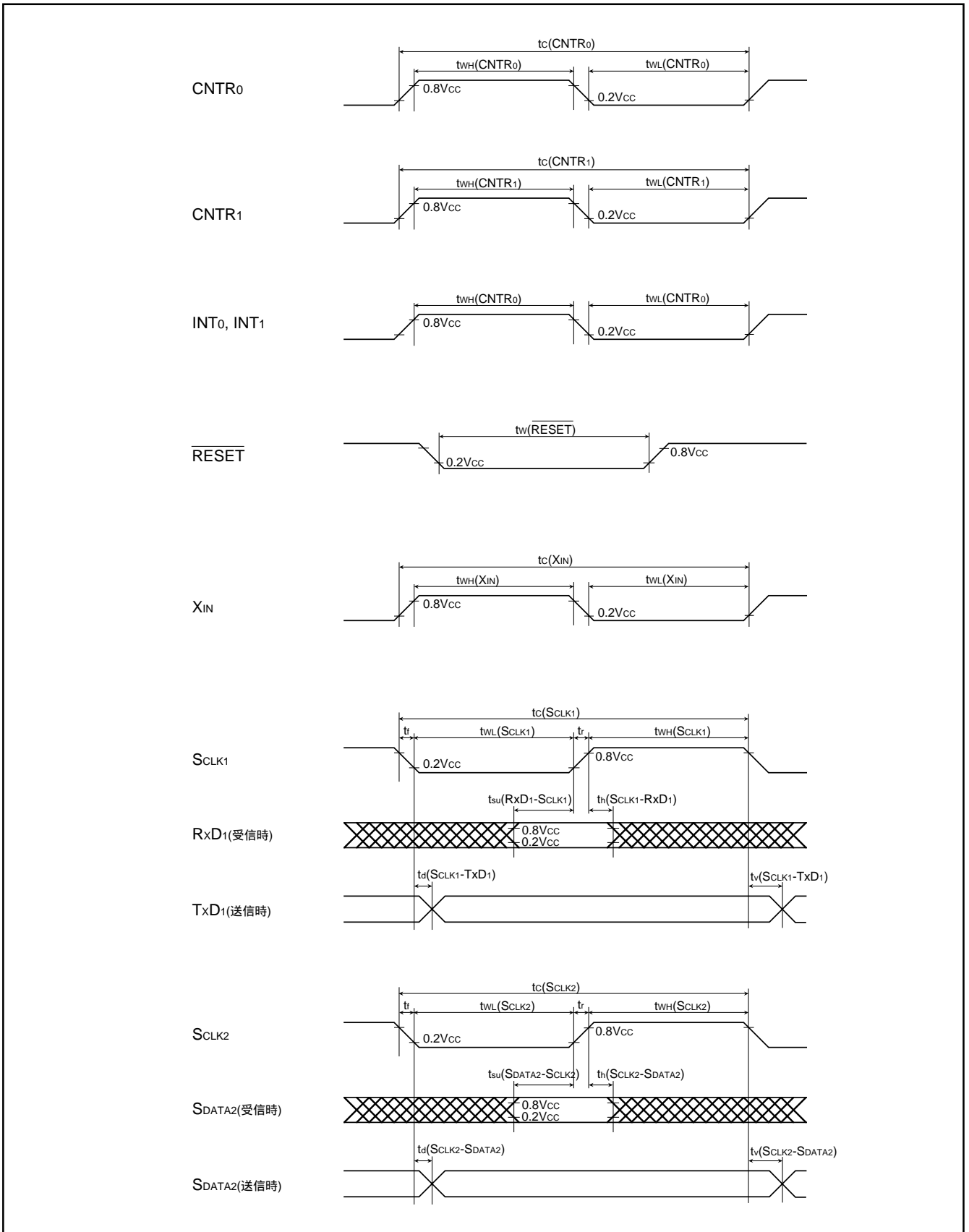


図3.1.6 タイミング図(125 保証品)

3.2 標準特性例

3.2.1 マスクROM版

以下に記載する標準特性は、「特性例」で、保証するものではありません。規格値は、「3.1 電気的特性」を参照してください。

(1) 電源電流標準特性例 (Vcc-Icc特性)

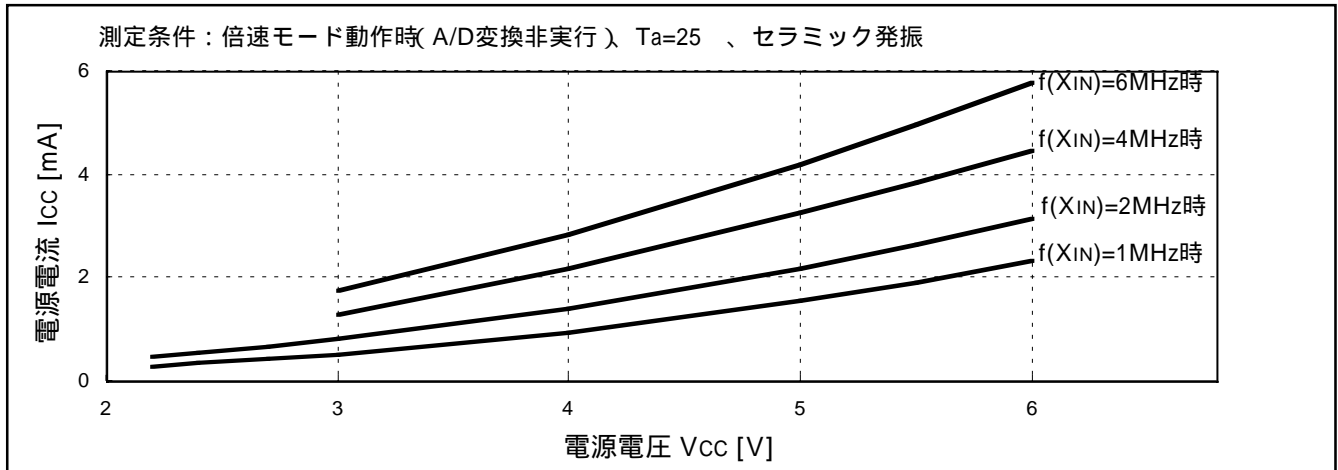


図3.2.1 Vcc-Icc特性(倍速モード動作時：マスクROM版)

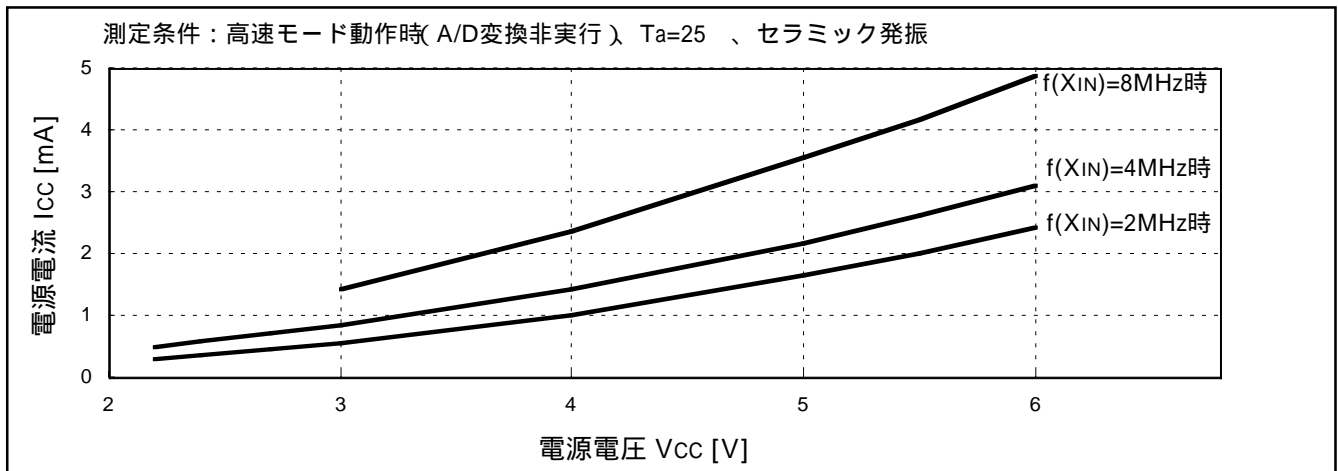


図3.2.2 Vcc-Icc特性(高速モード動作時：マスクROM版)

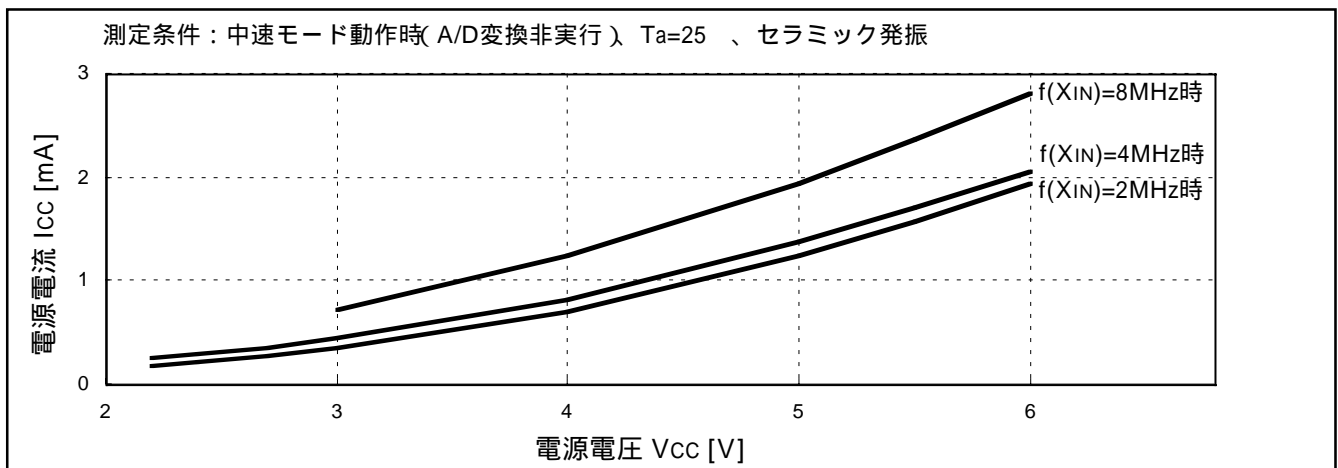


図3.2.3 Vcc-Icc特性(中速モード動作時：マスクROM版)

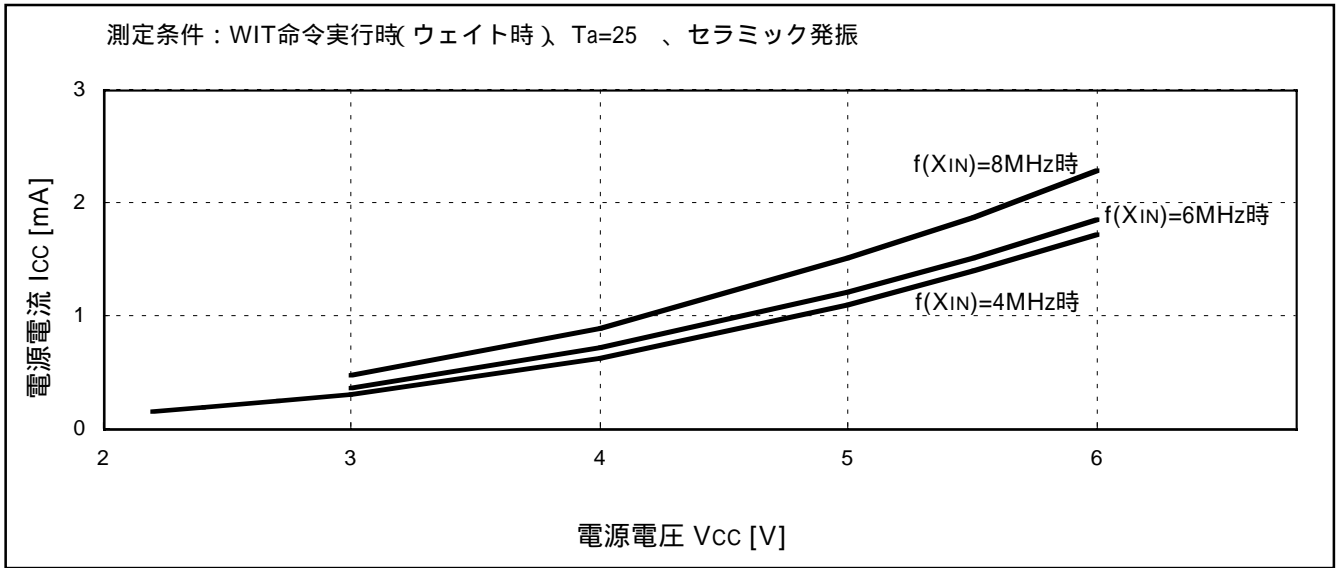


図3.2.4 Vcc-Icc特性(WIT命令実行時：マスクROM版)

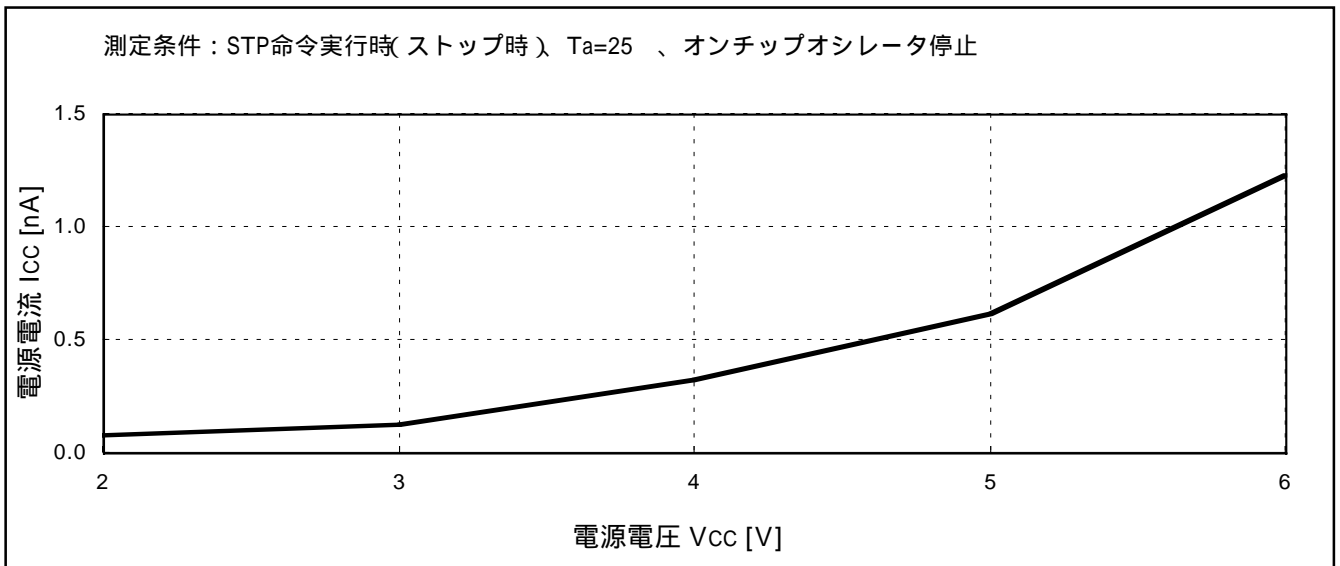


図3.2.5 Vcc-Icc特性(STP命令実行時：マスクROM版)

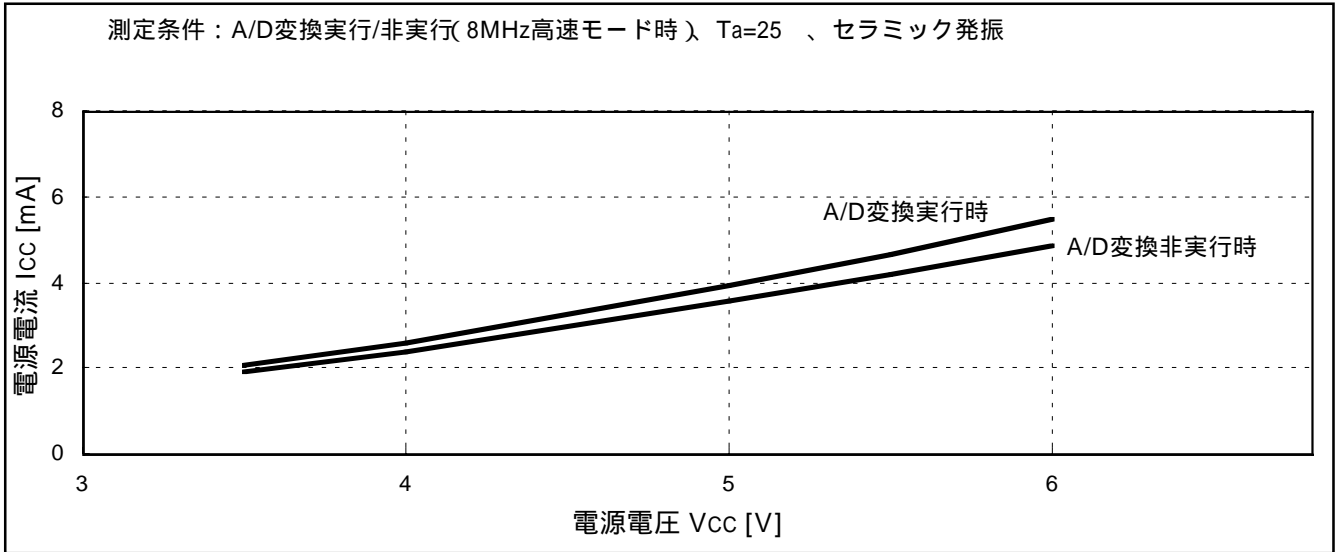


図3.2.6 Vcc-Icc特性(A/D変換器動作時の増量、 $f(X_{IN})=8\text{MHz}$ 高速モード：マスクROM版)

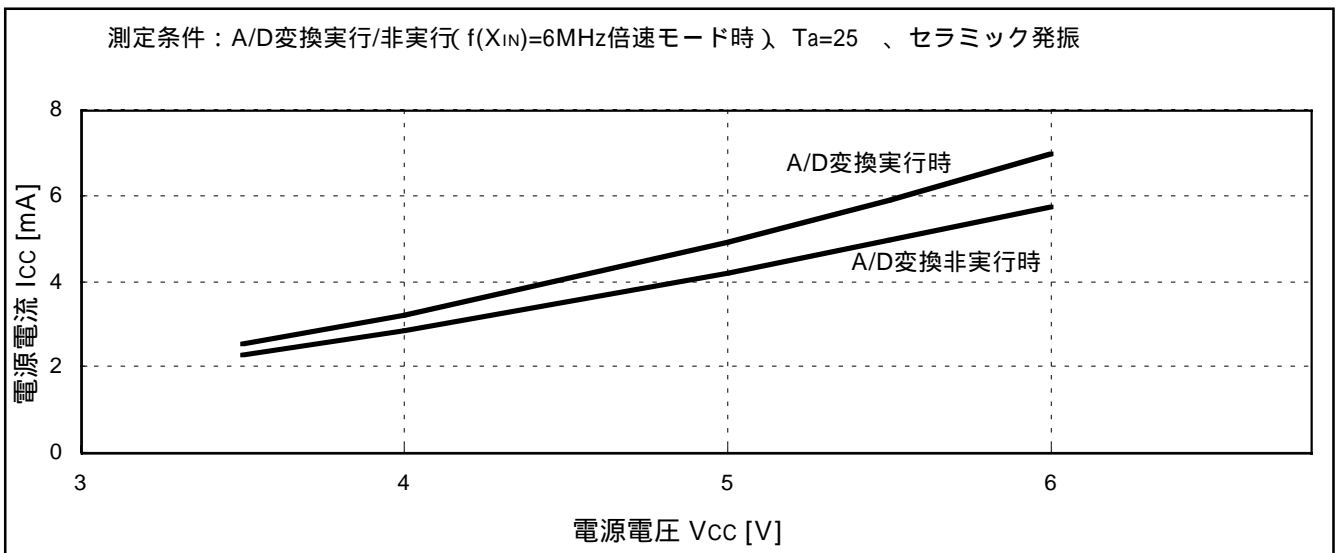


図3.2.7 Vcc-Icc特性(A/D変換器動作時の増量、 $f(X_{IN})=6\text{MHz}$ 倍速モード：マスクROM版)

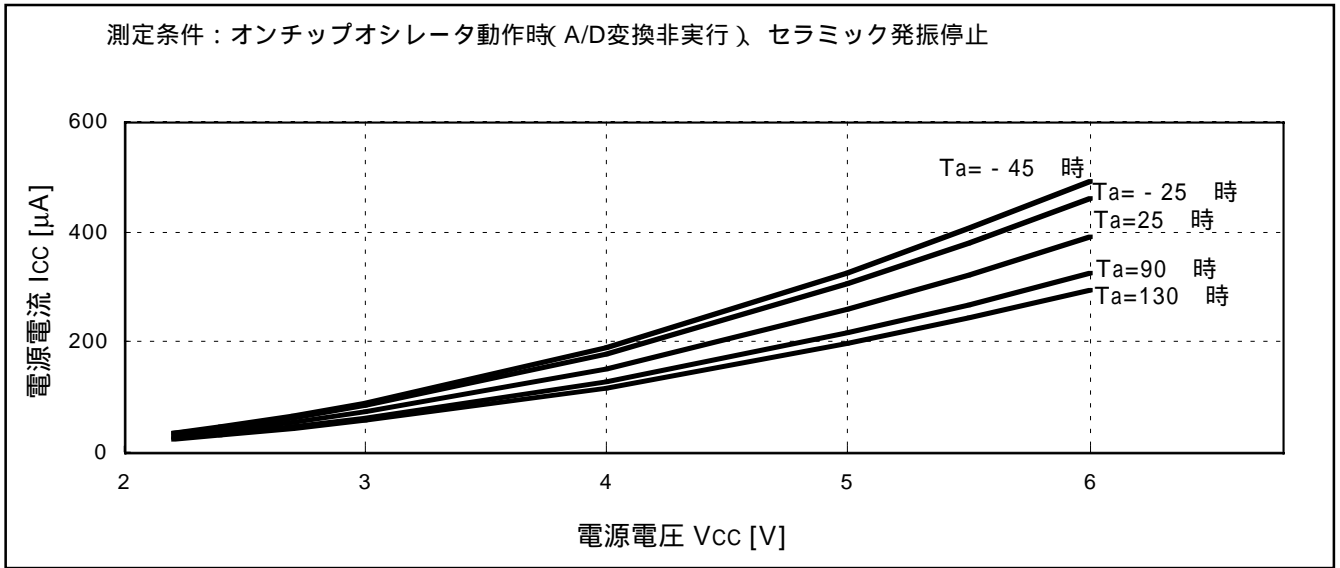


図3.2.8 Vcc-Icc特性(オンチップオシレータ動作時、セラミック発振は停止：マスクROM版)

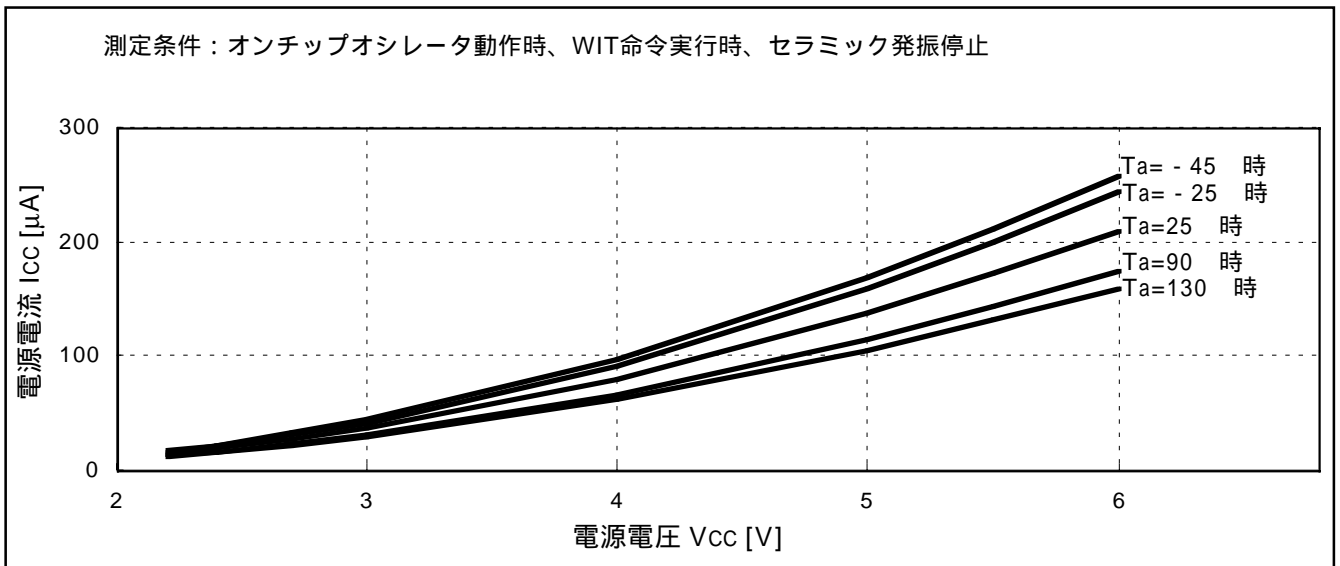
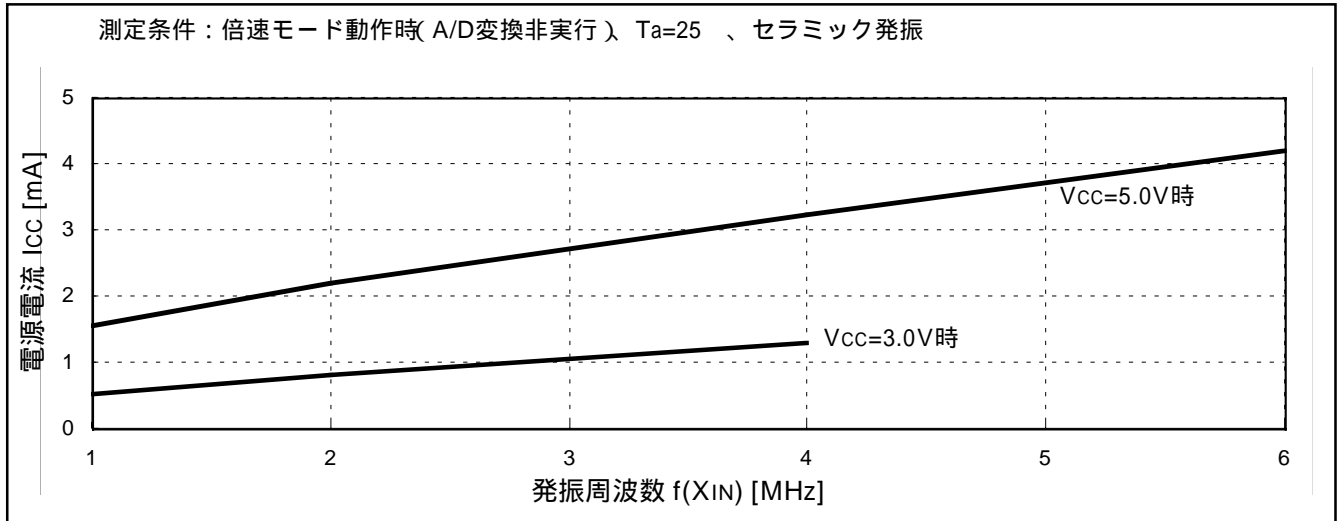
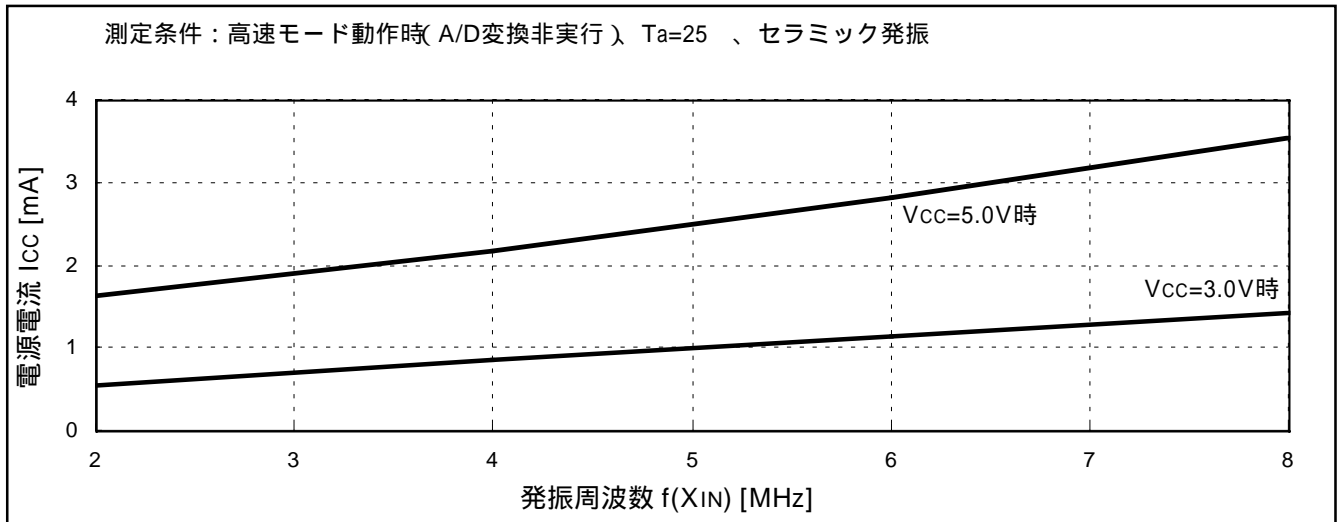
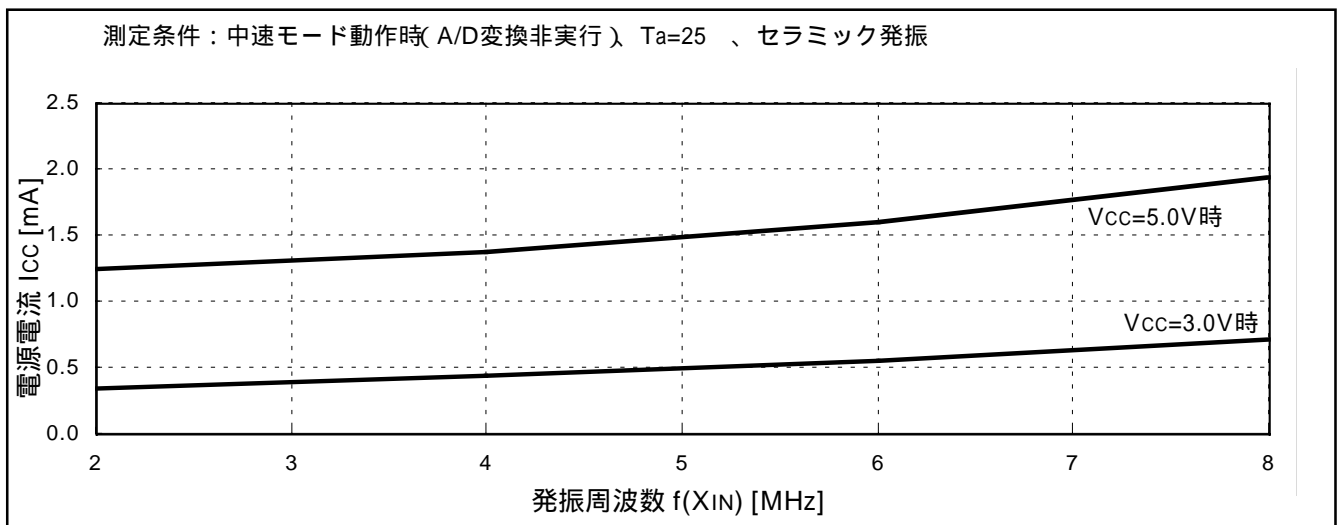


図3.2.9 Vcc-Icc特性(オンチップオシレータ動作時、WIT命令実行時、セラミック発振は停止：マスクROM版)

(2) 電源電流標準特性例 (f(XIN)-I_{CC}特性)図3.2.10 f(XIN)-I_{CC}特性(倍速モード時：マスクROM版)図3.2.11 f(XIN)-I_{CC}特性(高速モード時：マスクROM版)図3.2.12 f(XIN)-I_{CC}特性(中速モード時：マスクROM版)

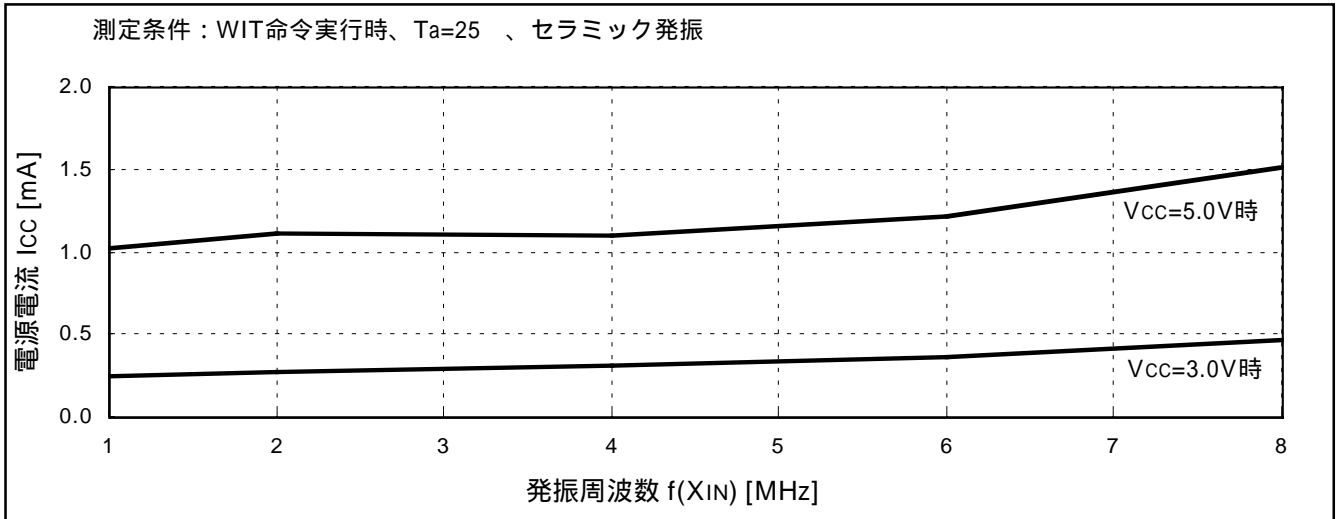


図3.2.13 f(XIN)-Icc特性(WIT命令実行時：マスクROM版)

(3) 電源電流標準特性例(Ta-Icc特性)

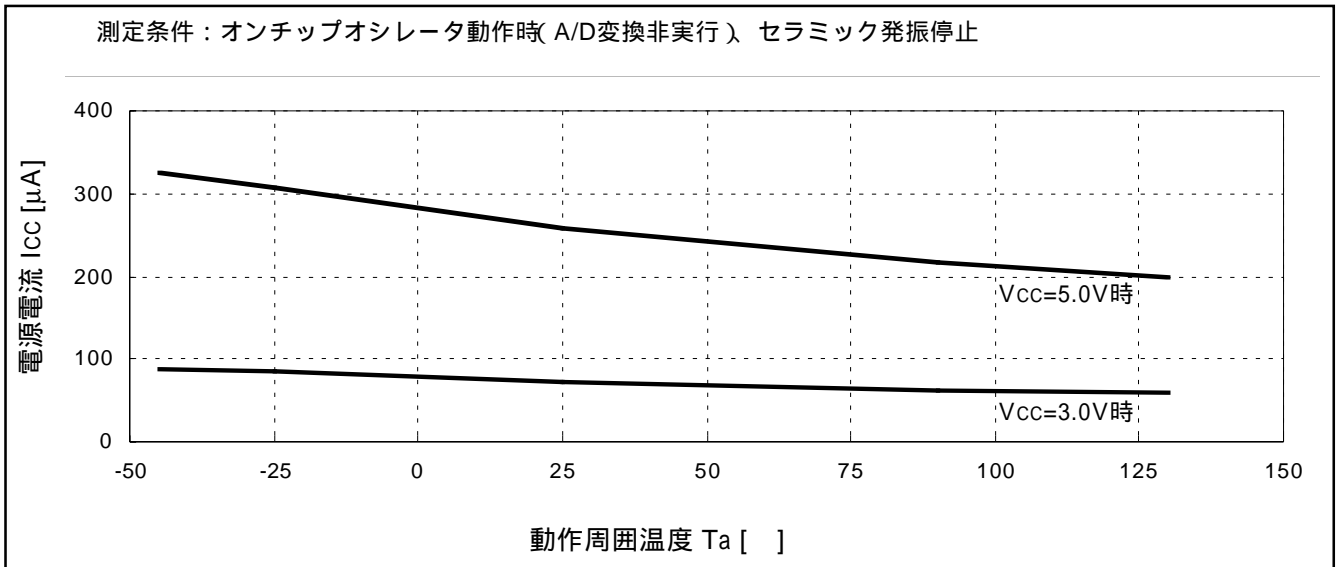


図3.2.14 Ta-Icc特性(オンチップオシレータ動作時、セラミック発振は停止：マスクROM版)

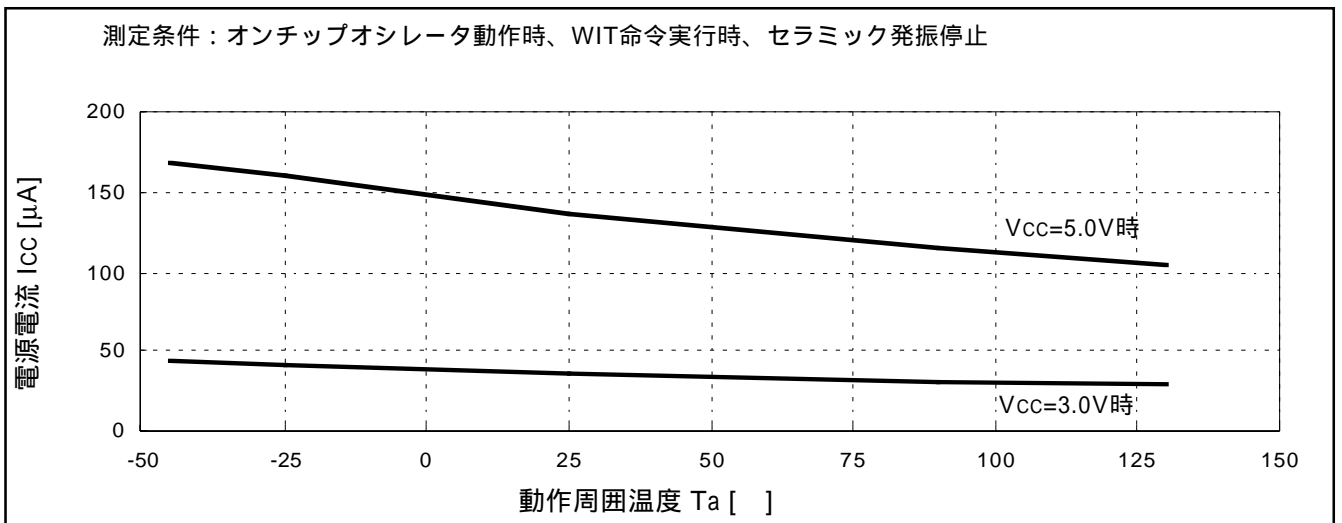
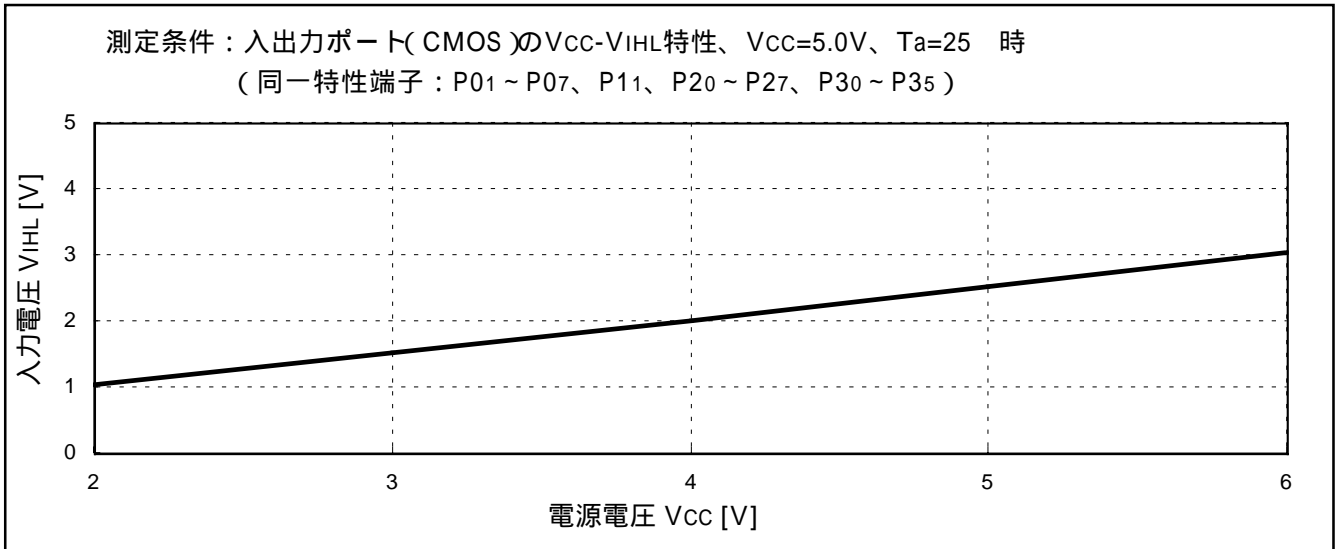
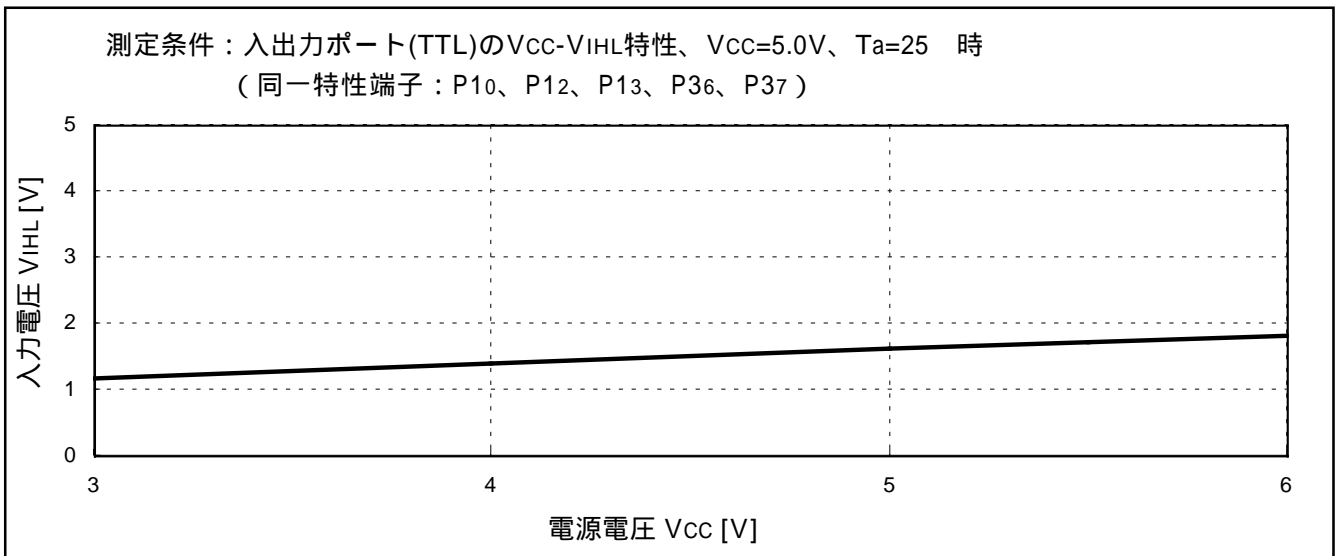
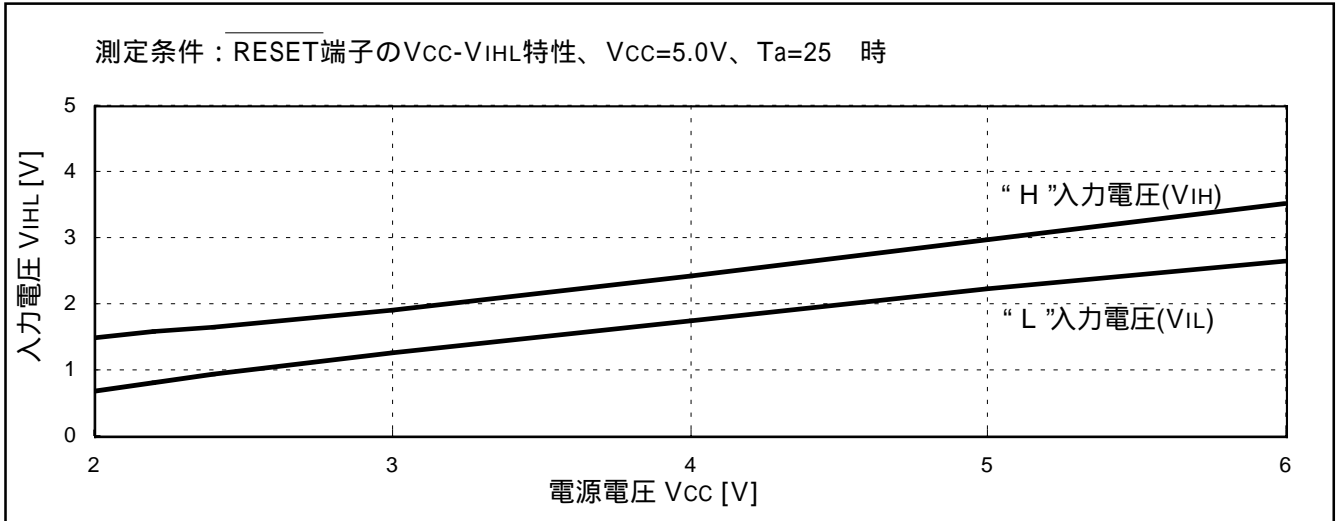
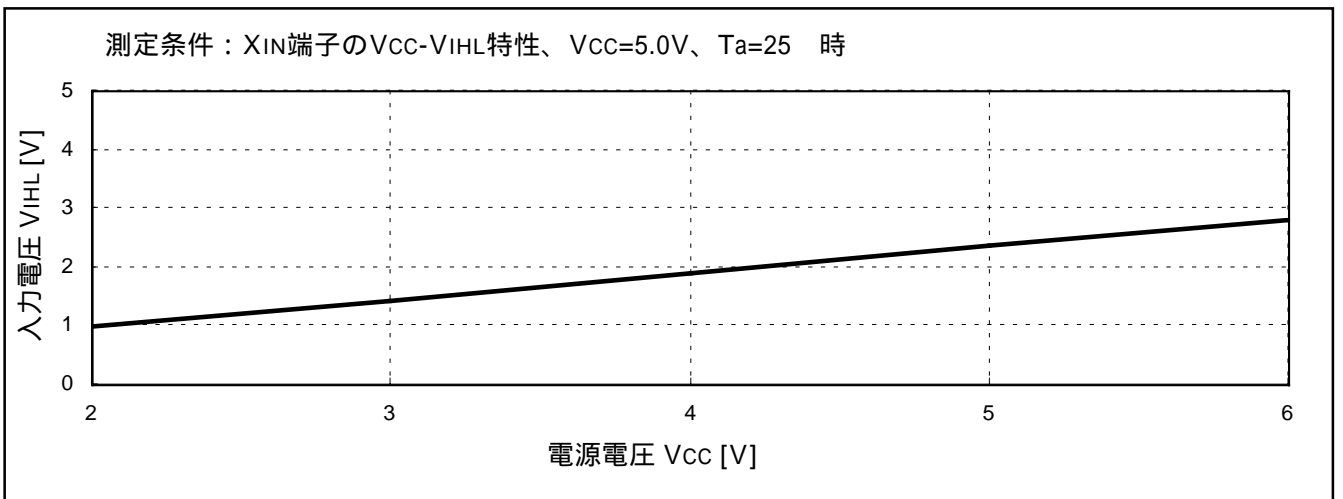
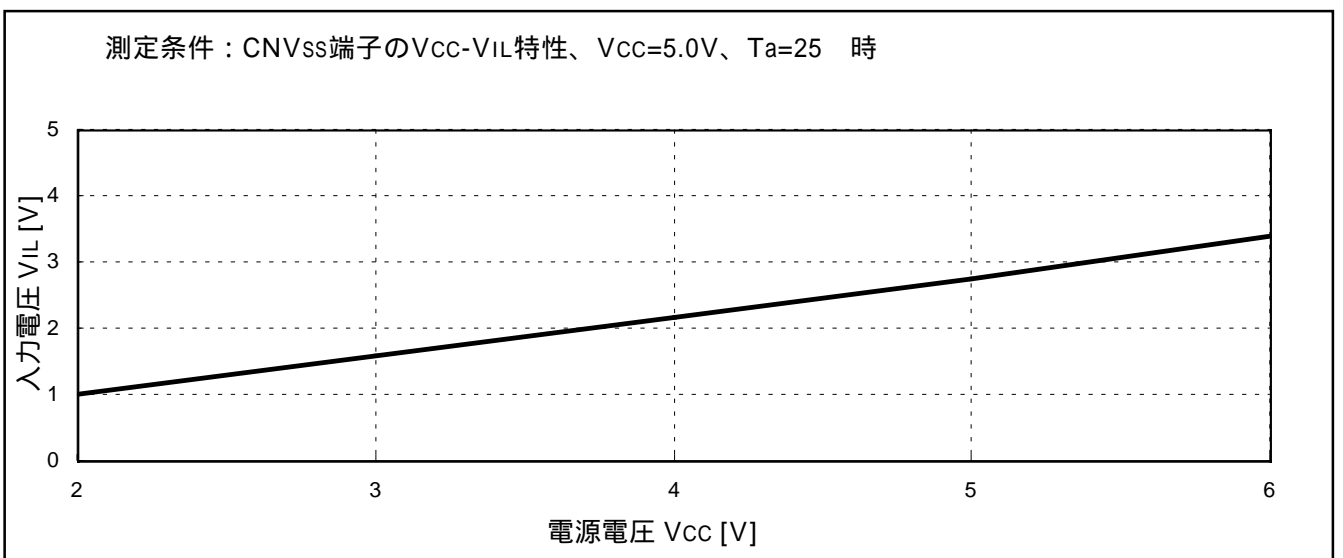


図3.2.15 Ta-Icc特性(オンチップオシレータ動作、WIT命令実行時、セラミック発振は停止：マスクROM版)

(4) ポート標準特性例(V_{CC} - V_{IH} 特性)図3.2.16 V_{CC} - V_{IH} 特性(入出力ポート(CMOS))：マスクROM版図3.2.17 V_{CC} - V_{IH} 特性(入出力ポート(TTL))：マスクROM版

図3.2.18 V_{CC} - V_{IHL} 特性(RESET端子): マスクROM版図3.2.19 V_{CC} - V_{IHL} 特性(XIN端子): マスクROM版図3.2.20 V_{CC} - V_{IL} 特性(CNVss端子): マスクROM版

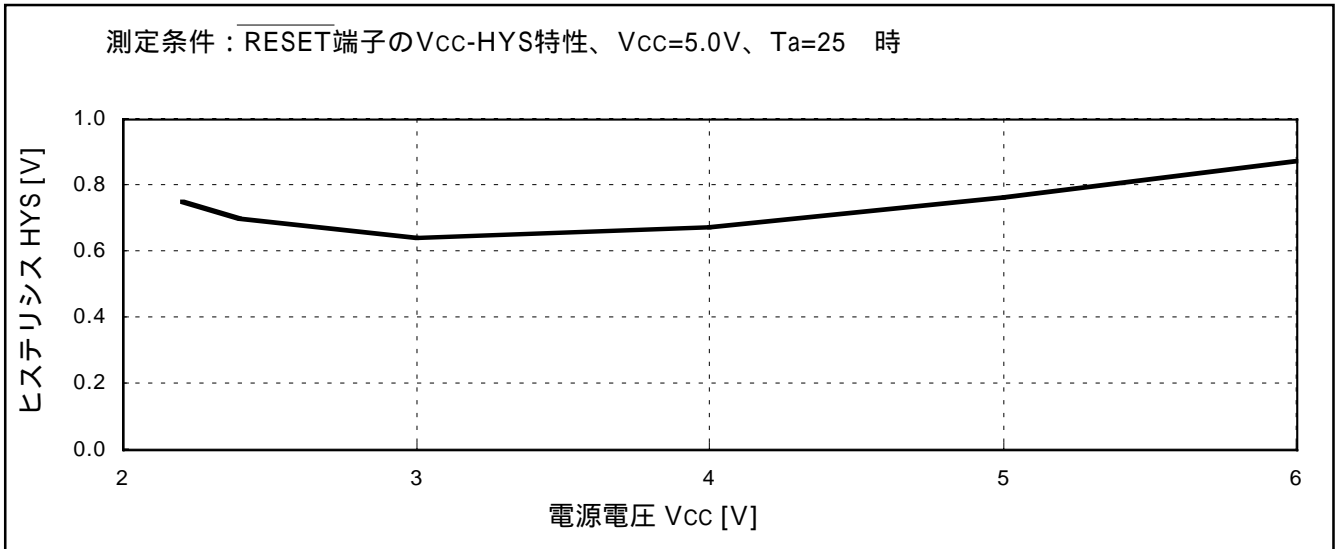


図3.2.21 Vcc-HYS特性(RESET端子): マスクROM版

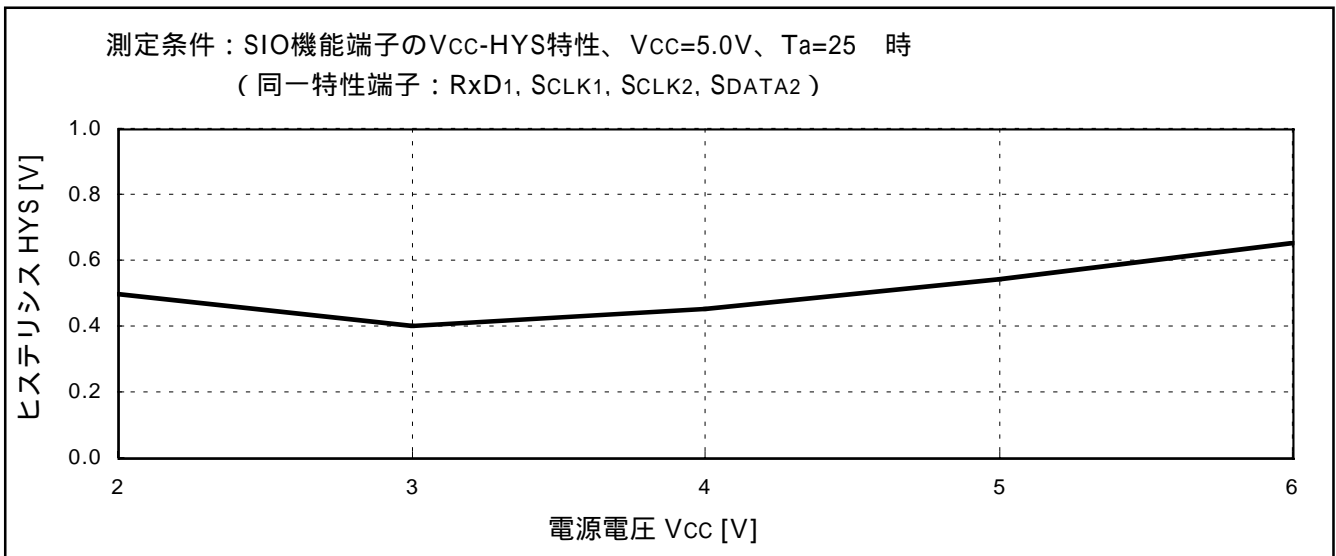


図3.2.22 Vcc-HYS特性(SIO機能端子): マスクROM版

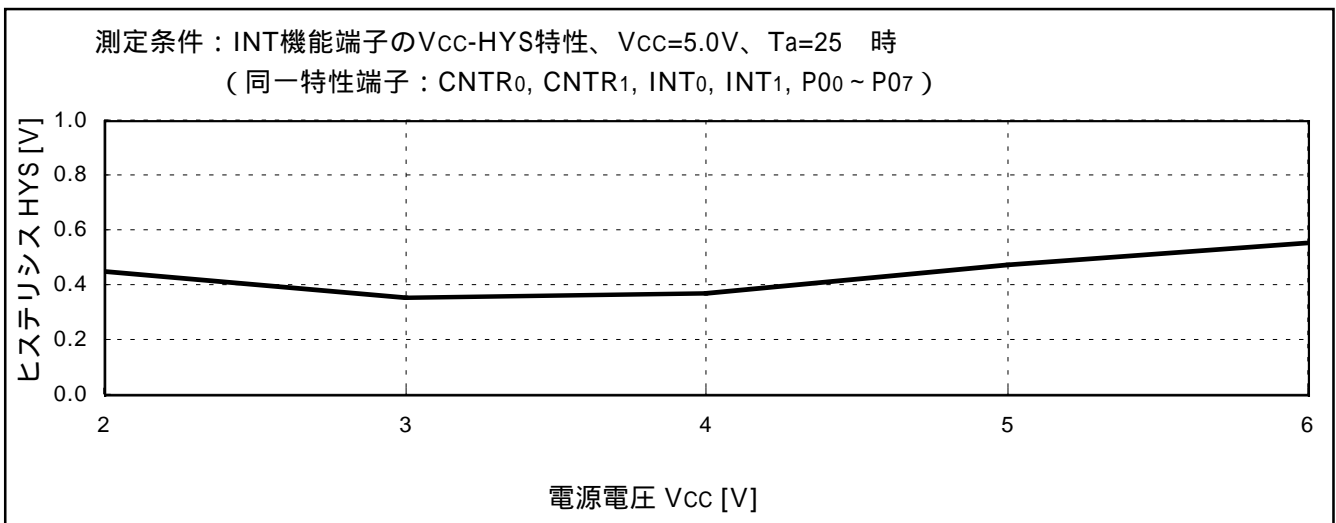


図3.2.23 Vcc-HYS特性(INT機能端子): マスクROM版

(5) ポート標準特性例(VOH-IOH特性)

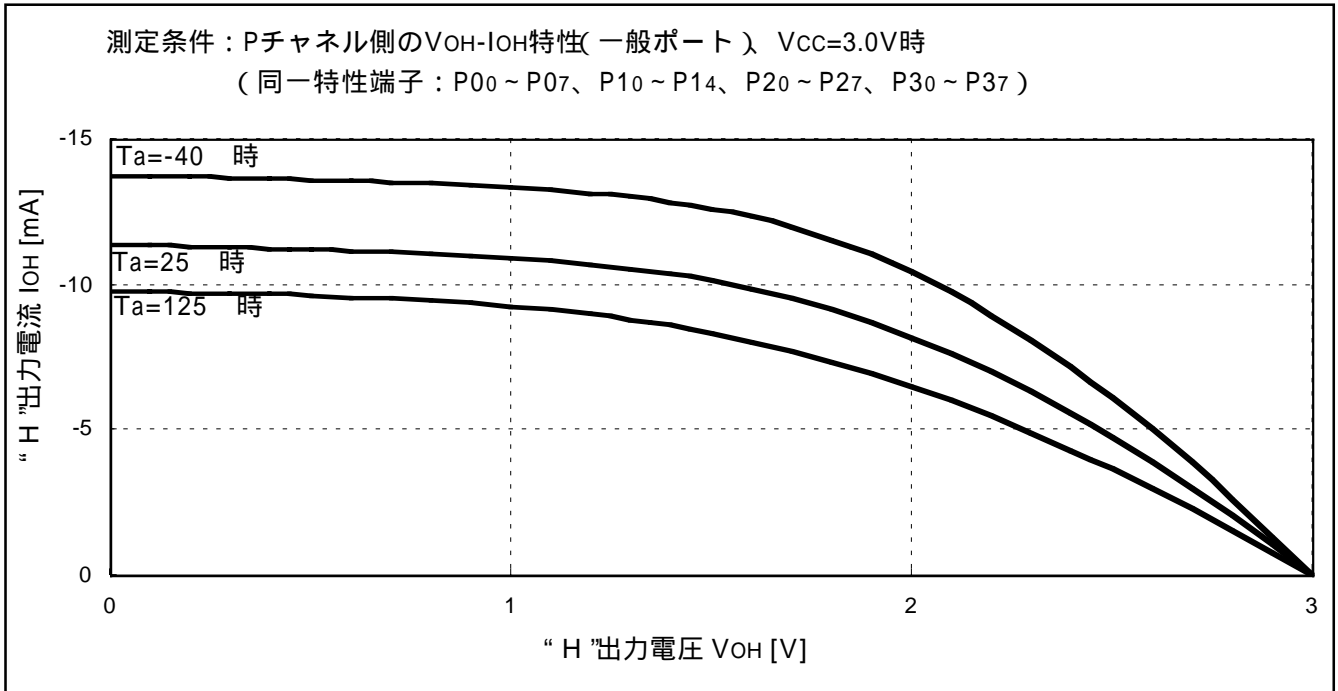


図3.2.24 Pチャンネル側のVOH-IOH特性(VCC=3.0V時)：一般ポート(マスクROM版)

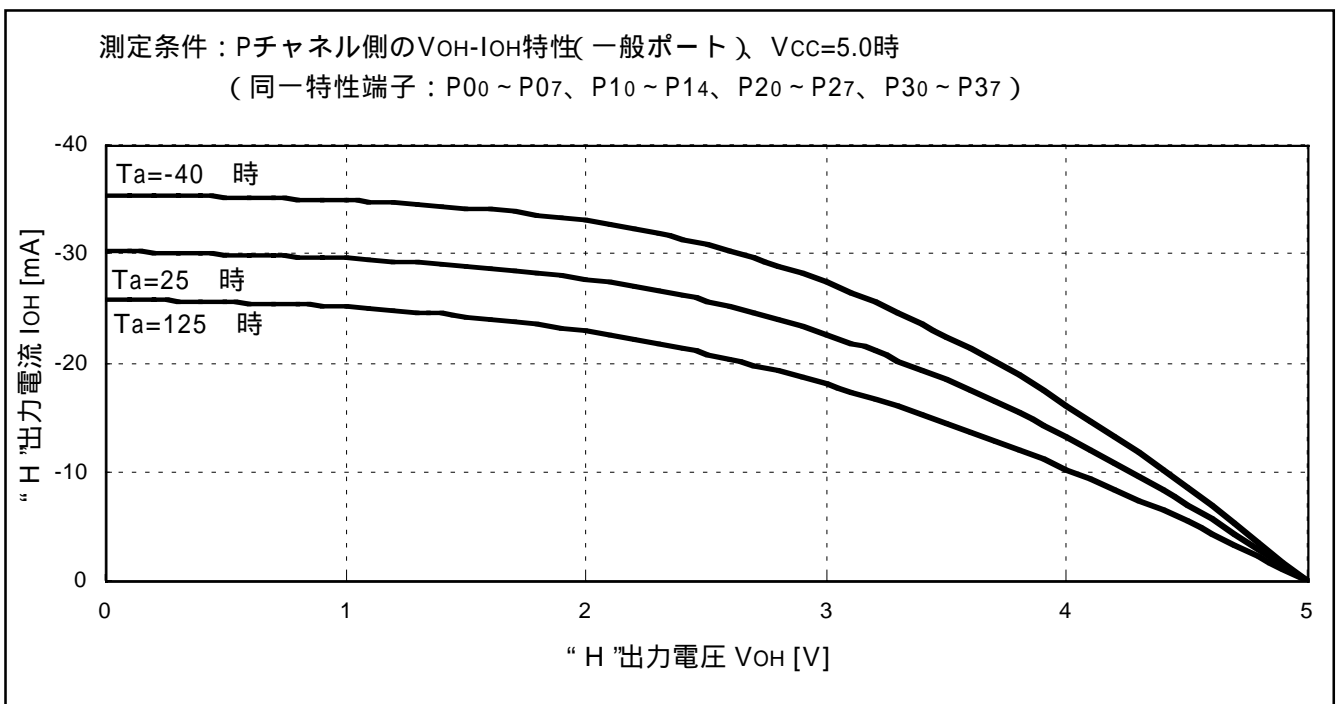


図3.2.25 Pチャンネル側のVOH-IOH特性(VCC=5.0V時)：一般ポート(マスクROM版)

(6) ポート標準特性例(VOL-IOL特性)

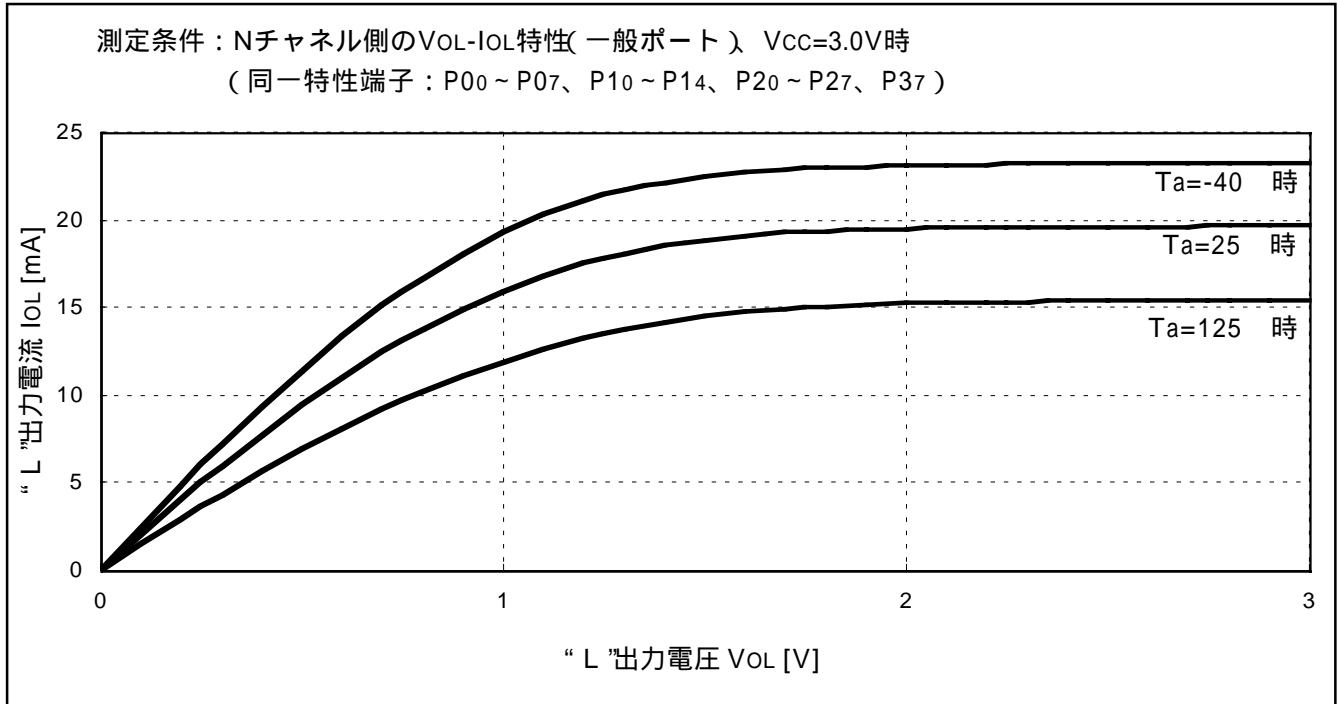


図3.2.26 Nチャネル側のVOL-IOL特性(VCC=3.0V時)：一般ポート(マスクROM版)

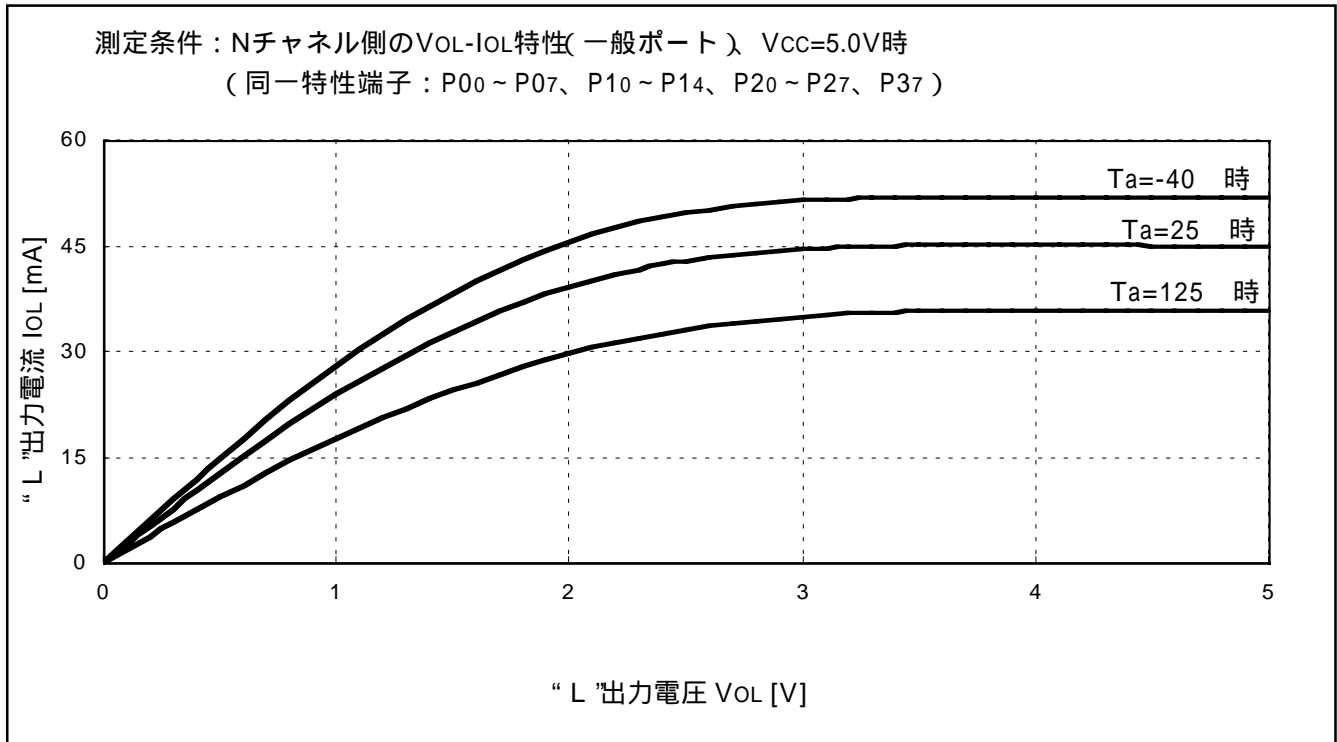


図3.2.27 Nチャネル側のVOL-IOL特性(VCC=5.0V時)：一般ポート(マスクROM版)

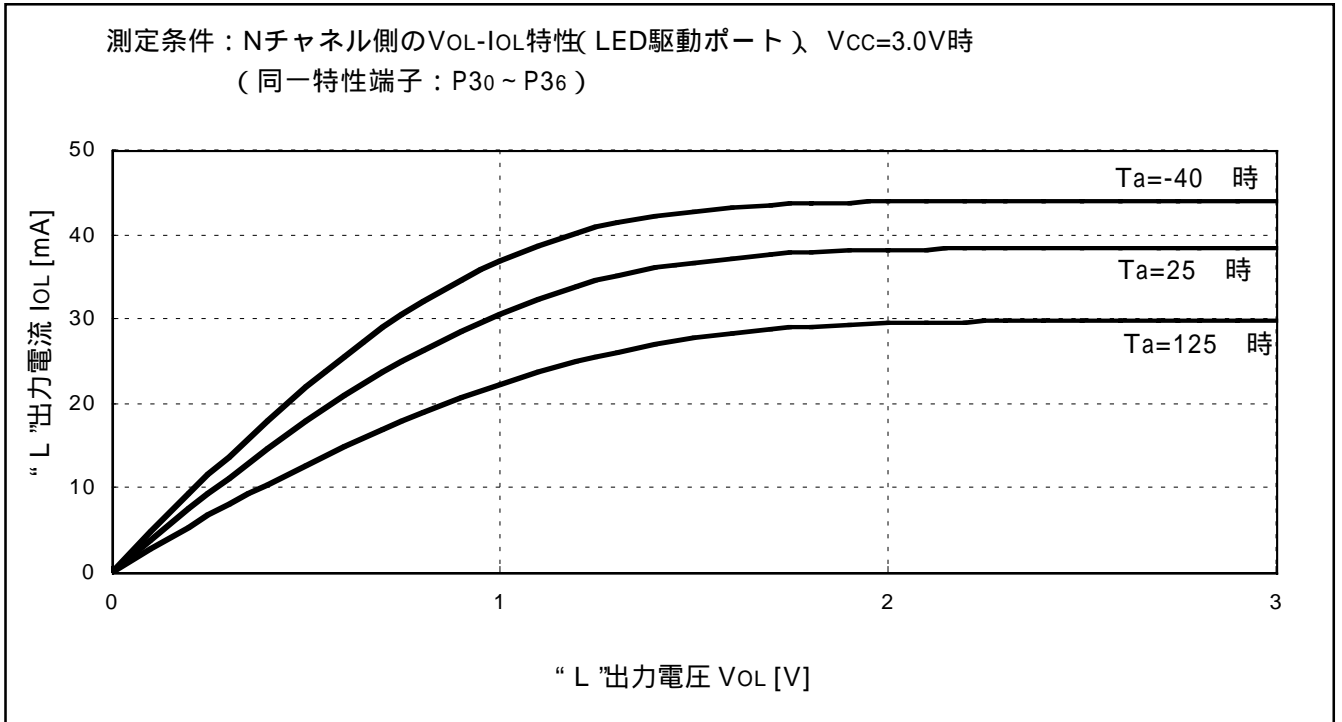


図3.2.28 Nチャンネル側のVOL-IoL特性(VCC=3.0V時): LED駆動ポート(マスクROM版)

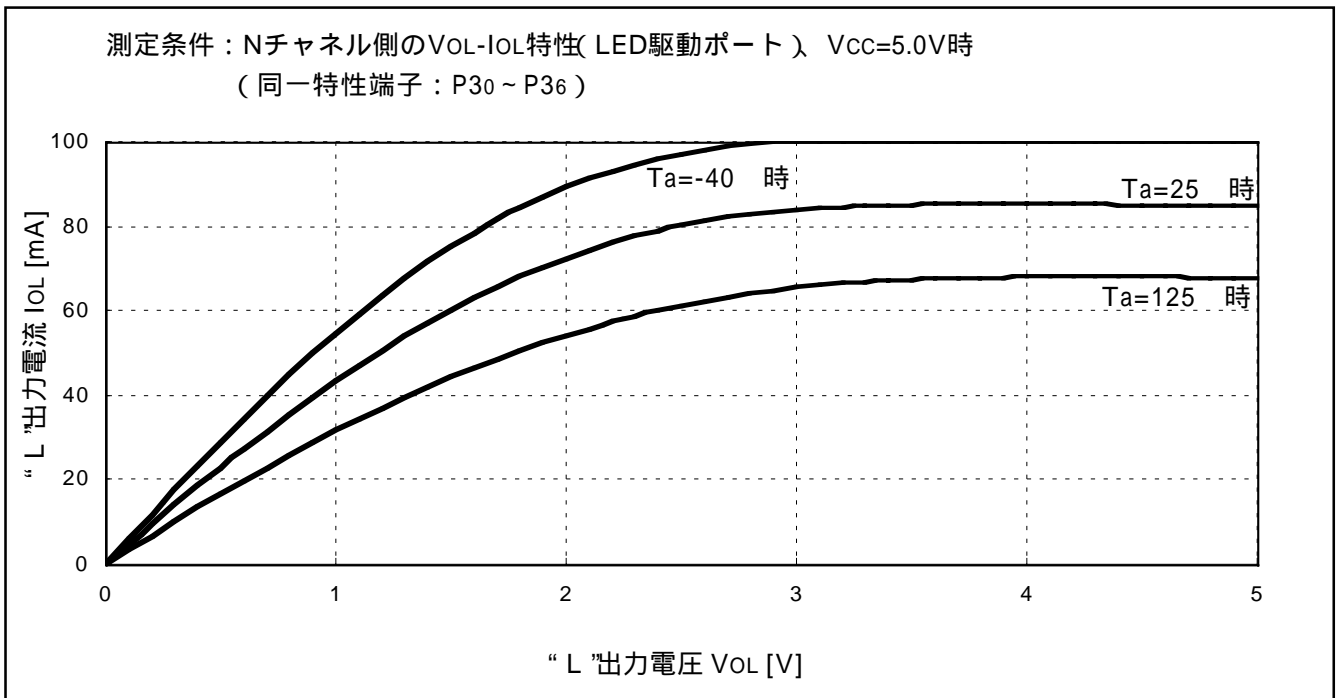
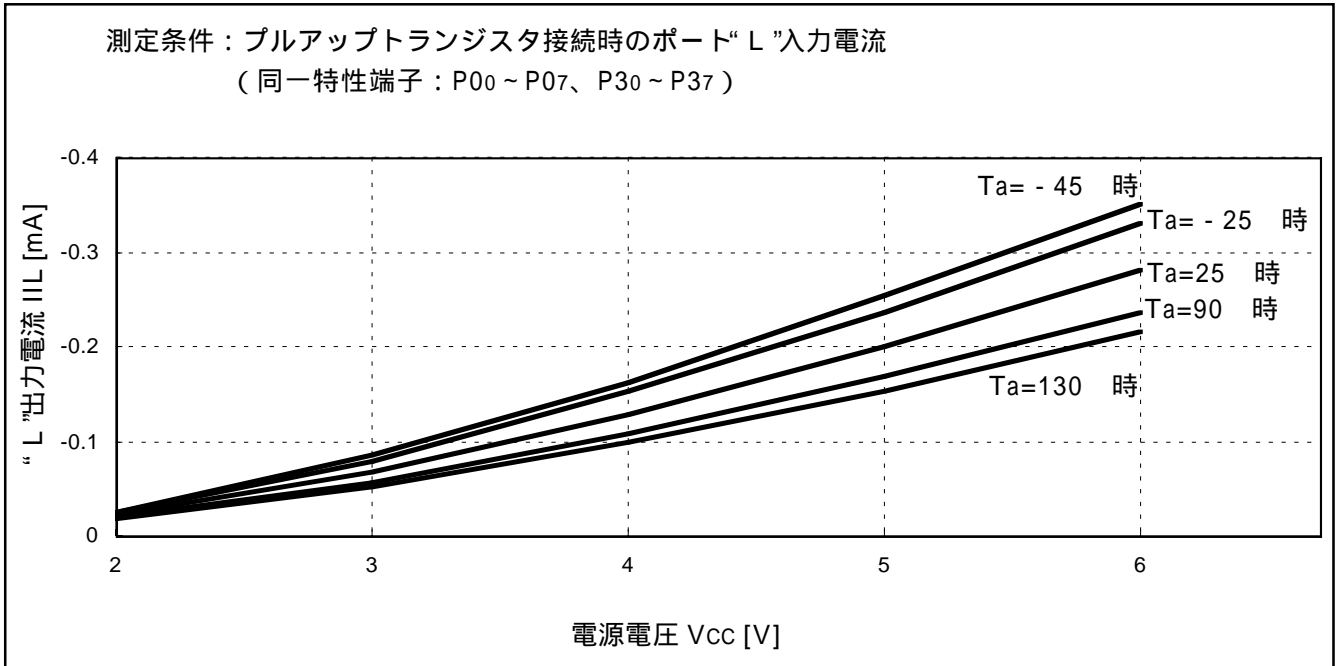
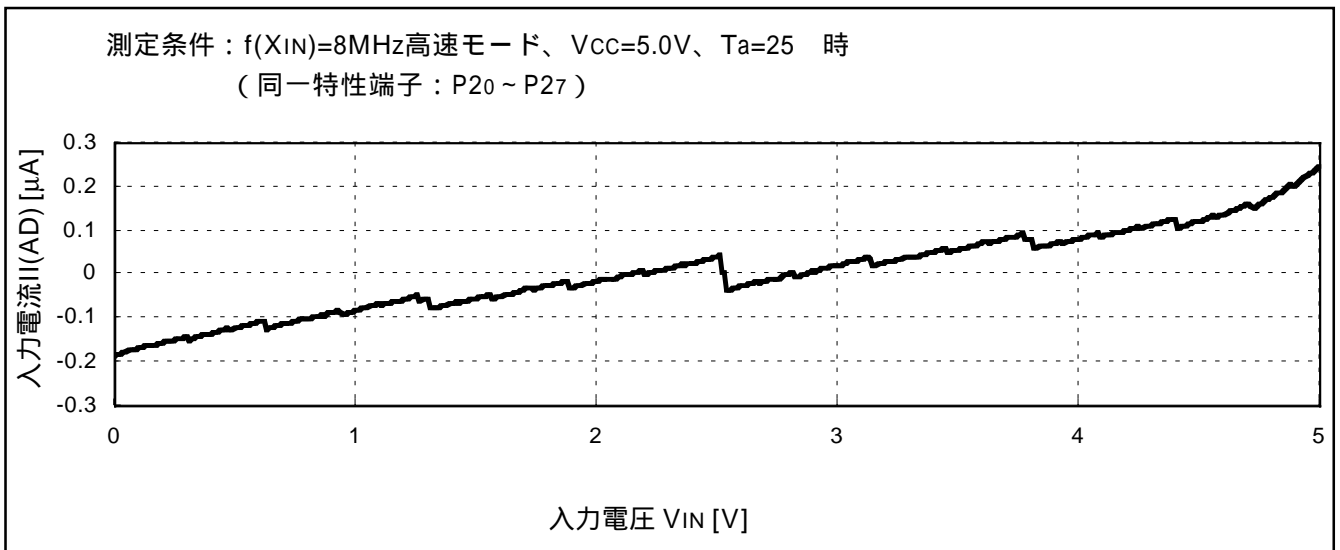
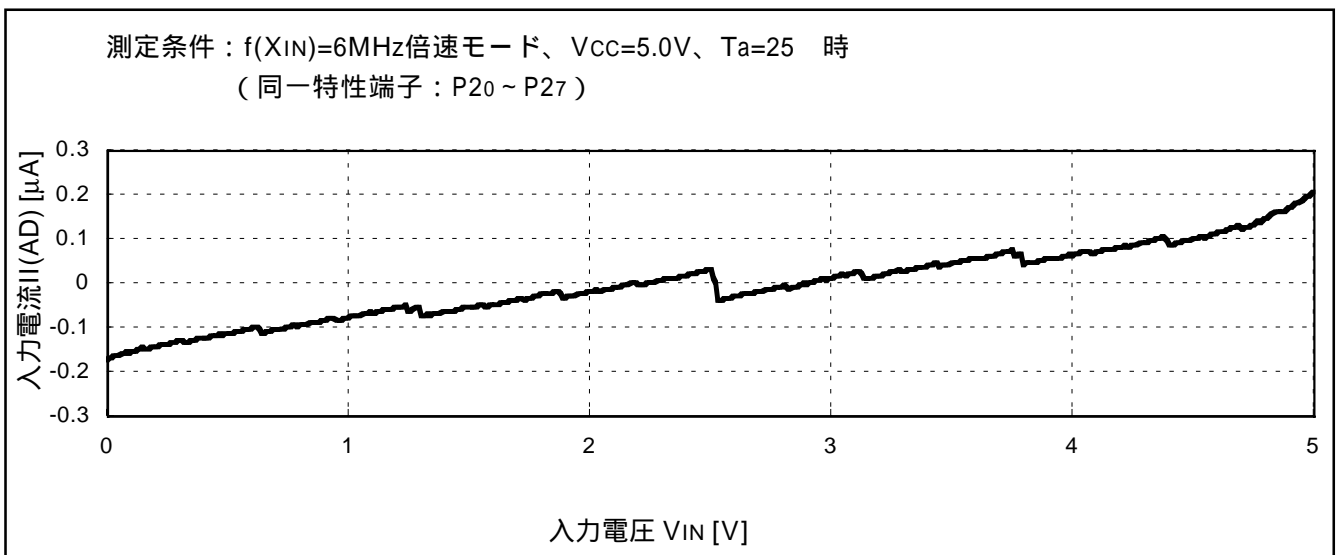
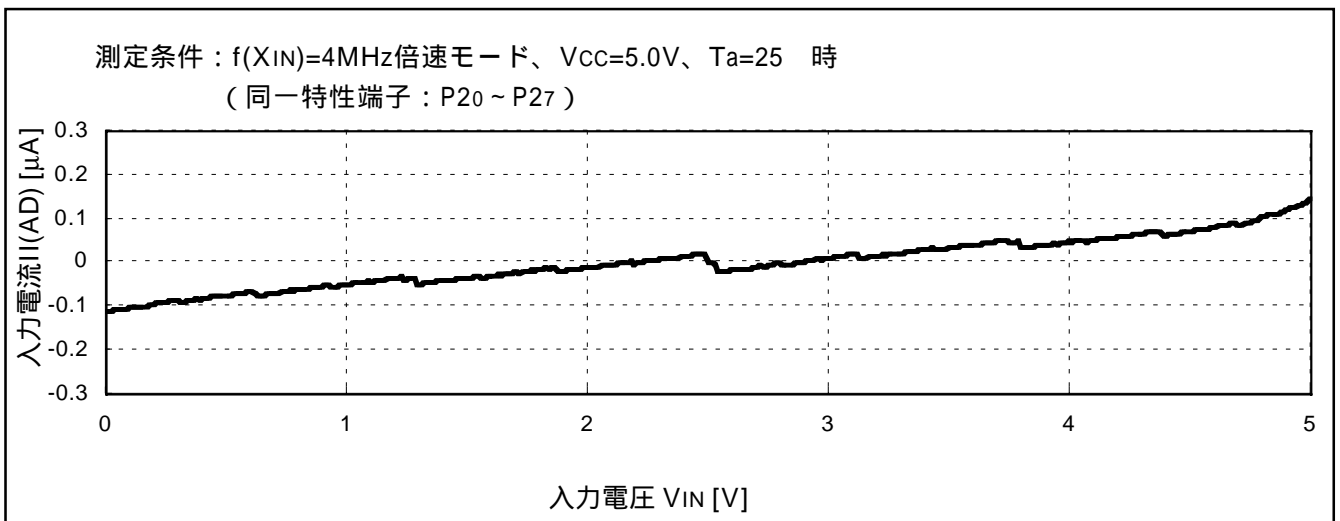


図3.2.29 Nチャンネル側のVOL-IoL特性(VCC=5.0V時): LED駆動ポート(マスクROM版)

(7) ポート標準特性例(V_{CC} -I_{IL}特性)図3.2.30 V_{CC} -I_{IL}特性(プルアップトランジスタ接続時のポート“L”入力電流：マスクROM版)

(8) ポート標準特性例(V_{IN-II} (AD)特性)図3.2.31 V_{IN-II} (AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(X_{IN})=8\text{MHz}$ 高速モード時): マスクROM版図3.2.32 V_{IN-II} (AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(X_{IN})=6\text{MHz}$ 倍速モード時): マスクROM版図3.2.33 V_{IN-II} (AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(X_{IN})=4\text{MHz}$ 倍速モード時): マスクROM版

(9) オンチップオシレータ周波数標準特性例

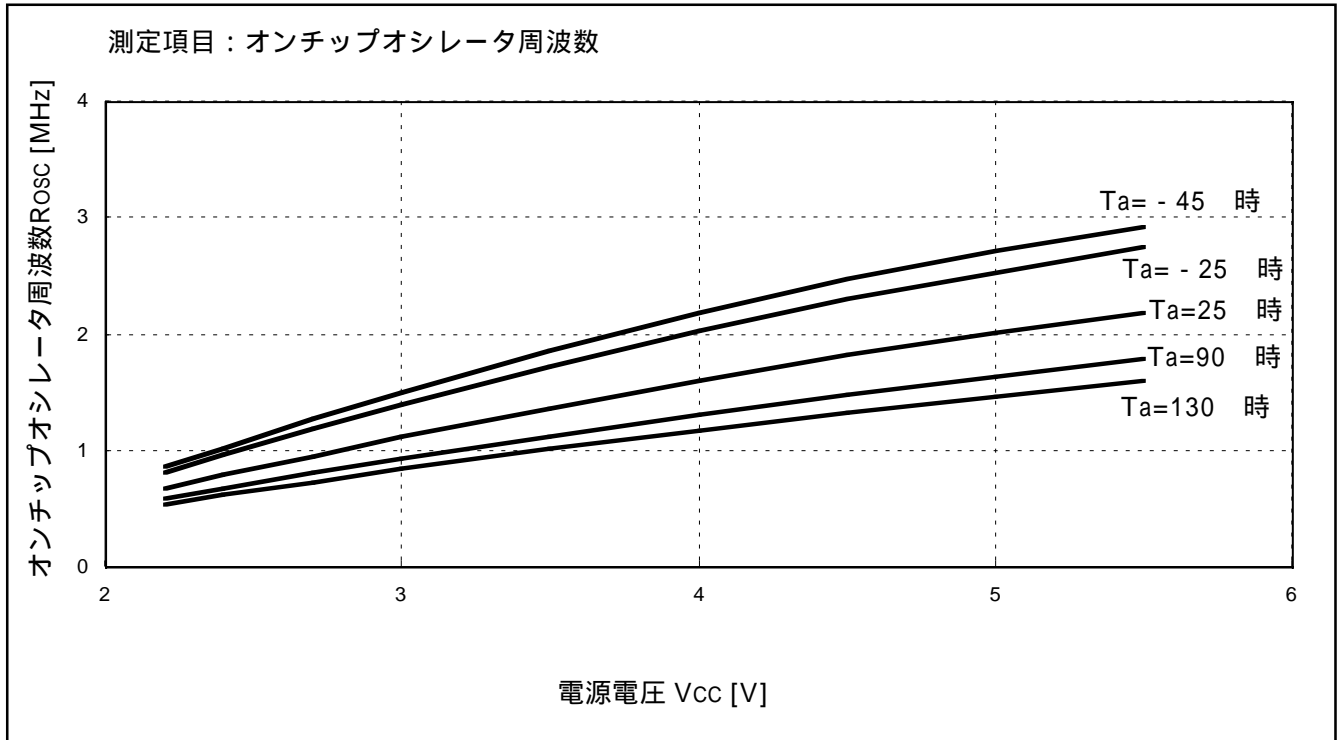


図3.2.34 Vcc-Rosc特性(オンチップオシレータ周波数：マスクROM版)

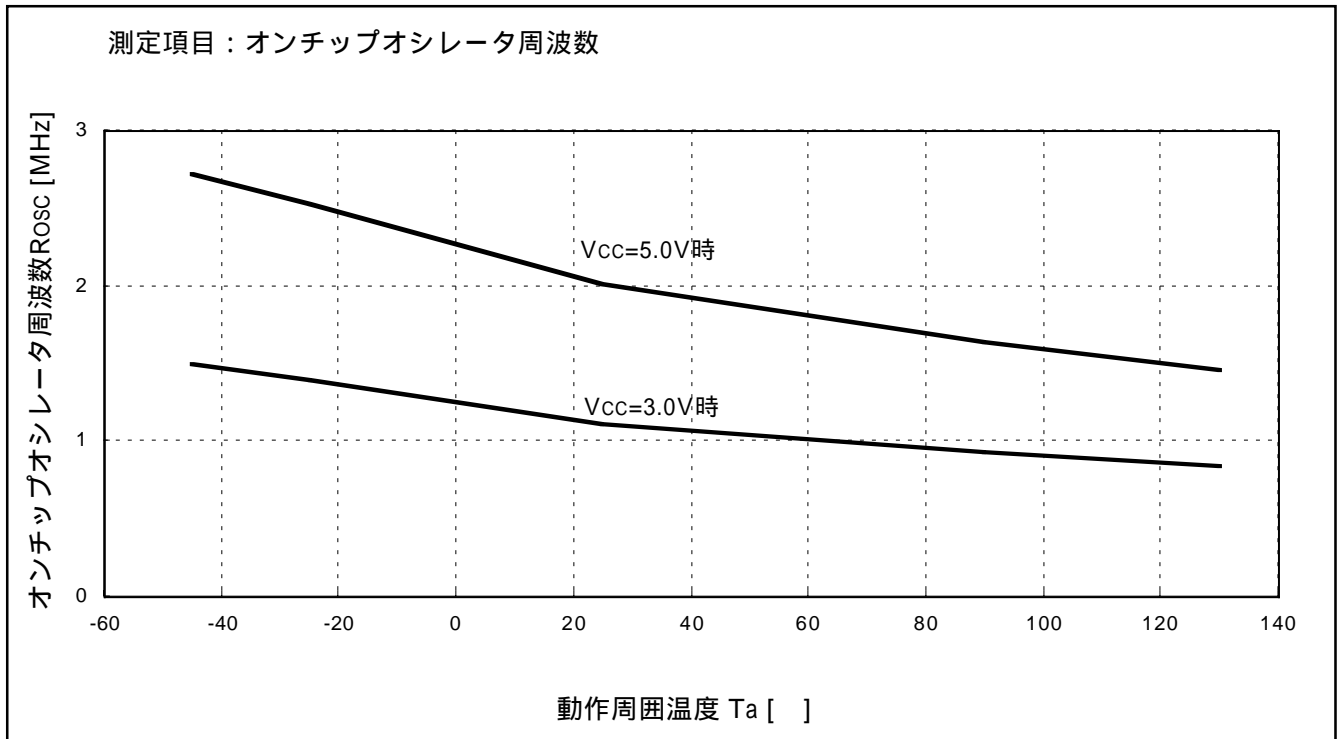


図3.2.35 Ta-Rosc特性(オンチップオシレータ周波数：マスクROM版)

(10) RC発振周波数特性例

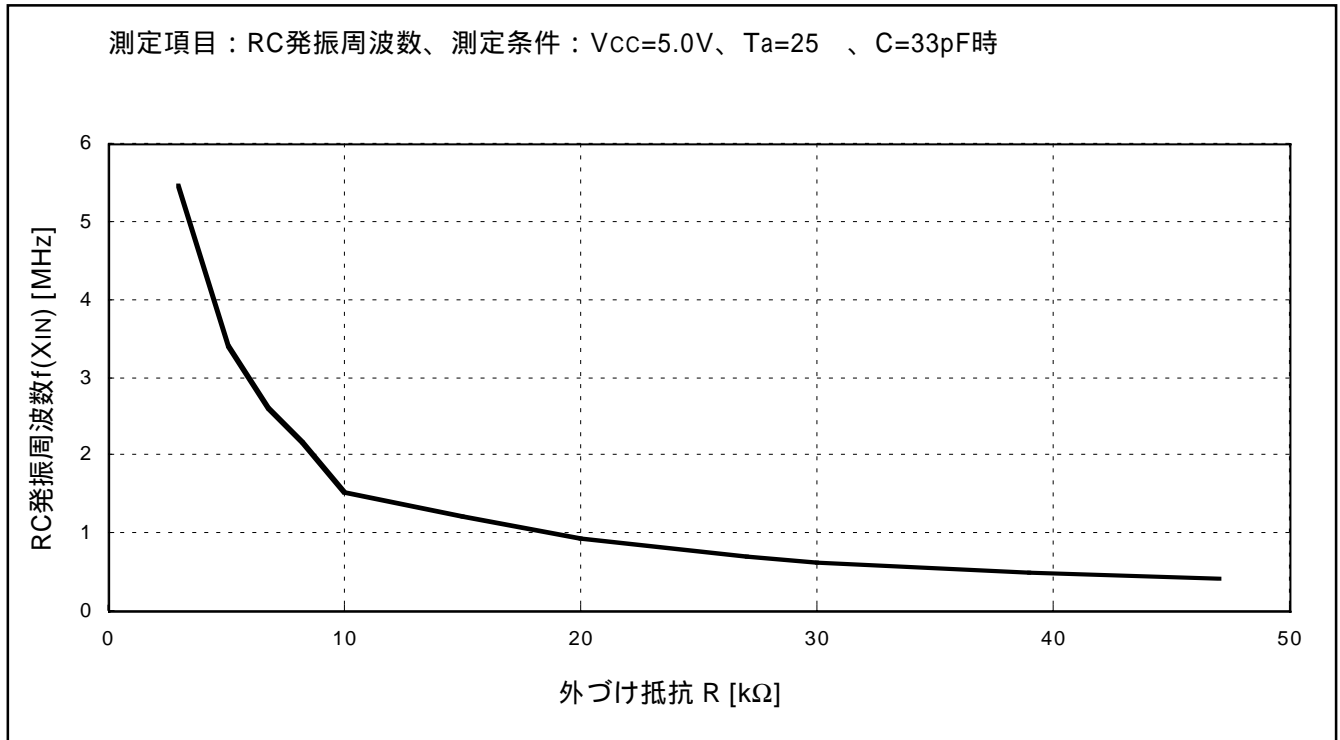


図3.2.36 R-f(XIN)特性(RC発振周波数：マスクROM版)

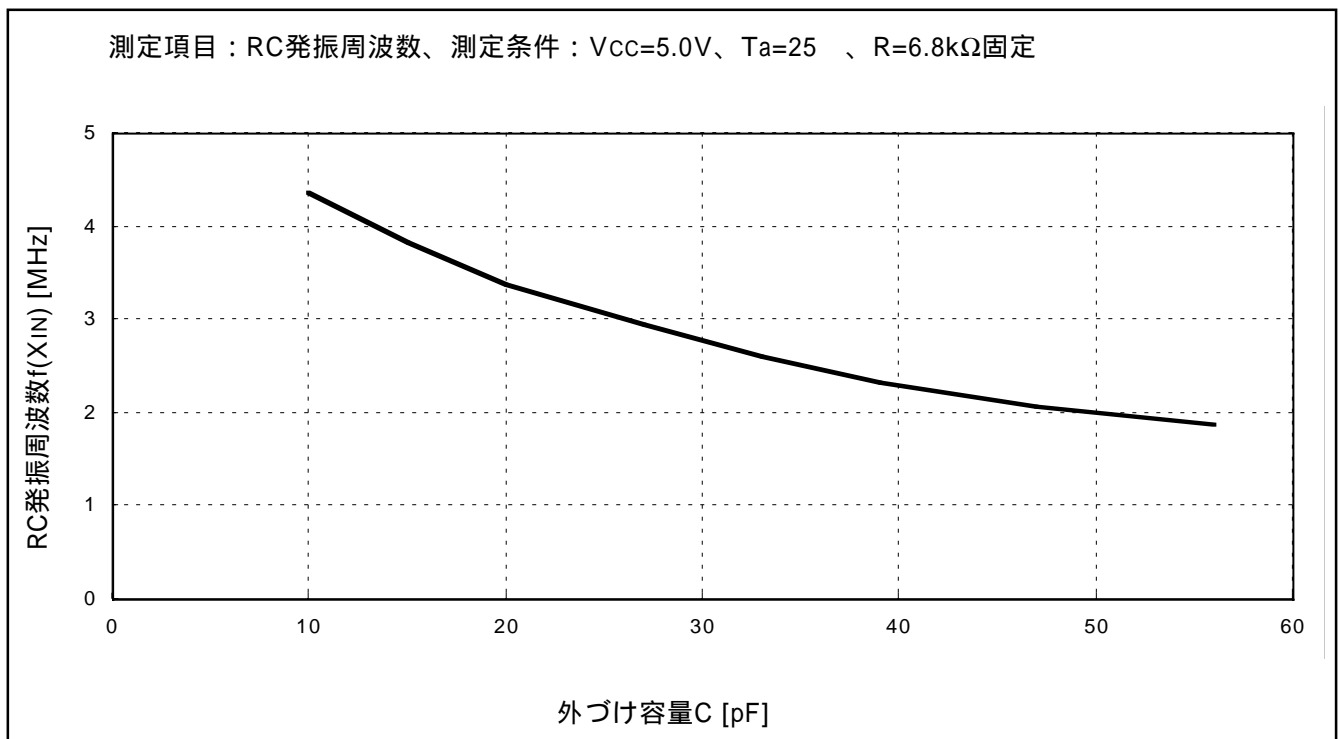


図3.2.37 C-f(XIN)特性(RC発振周波数：マスクROM版)

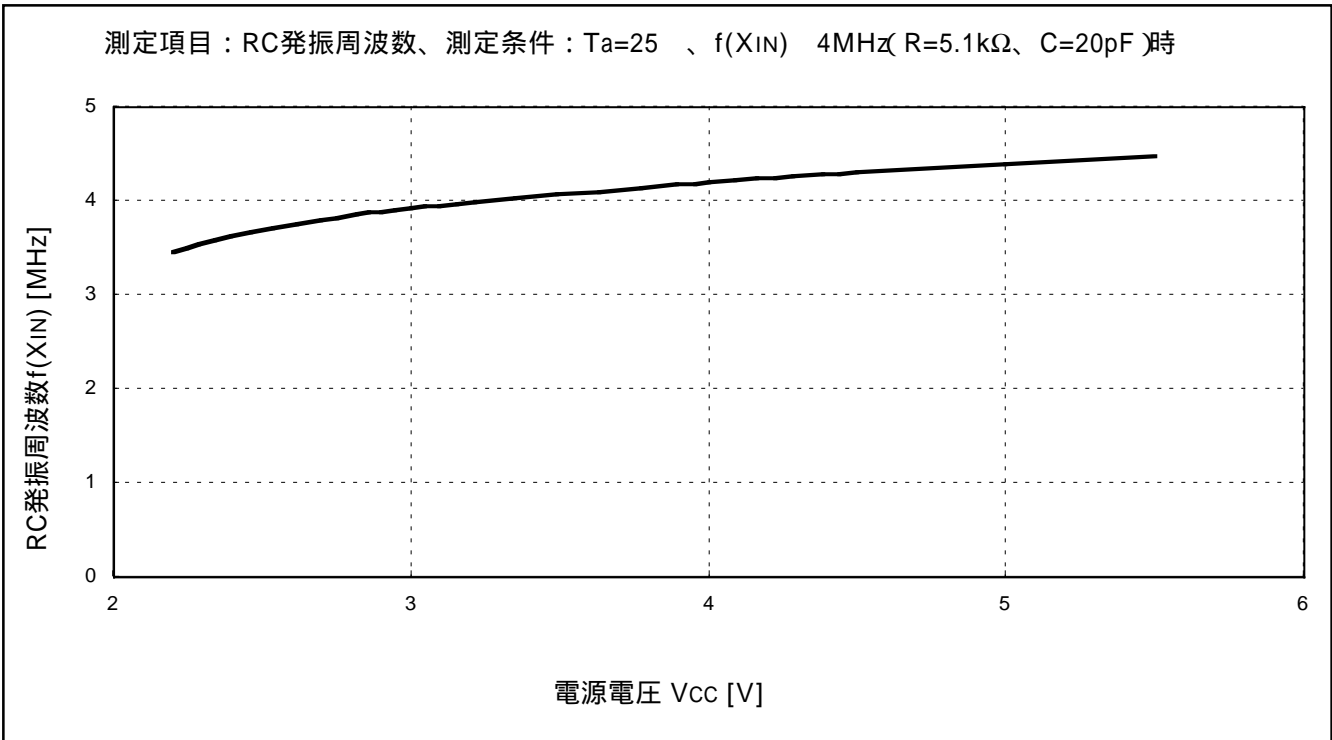


図3.2.38 Vcc-f(XIN)特性(RC発振周波数：マスクROM版)

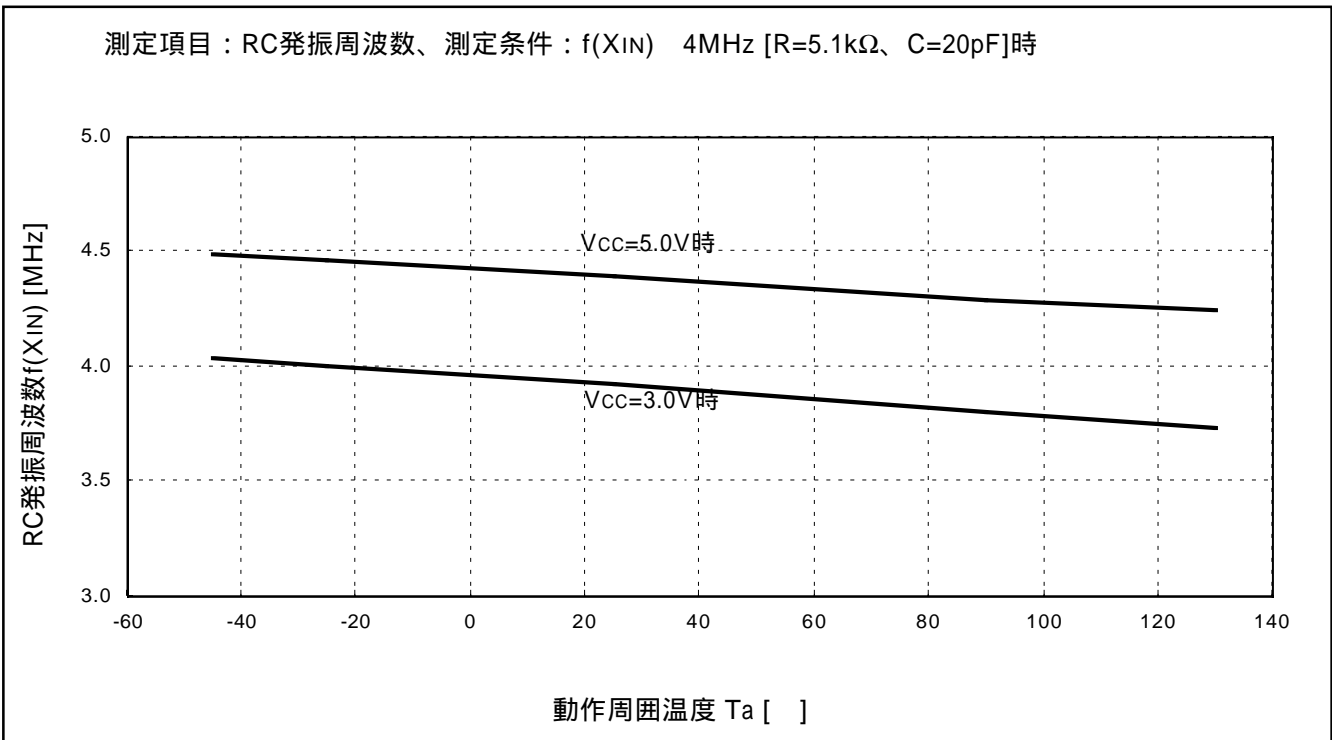


図3.2.39 Ta-f(XIN)特性(RC発振周波数：マスクROM版)

(11) A/D変換標準特性例

A/D変換精度の定義

A/D変換精度の定義を以下に説明します。

相対精度

- ・ ゼロトランジション電圧 実際のA/D変換出力データが0から1に変化するときのアナログ入力電圧を表します。
- ・ フルスケールトランジション電圧 実際のA/D変換出力データが1023から1022に変化するときのアナログ入力電圧を表します。
- ・ 直線性誤差 V_{0T} と V_{FST} を結んだ直線と実際のA/D変換出力データとの偏差を表します。
- ・ 微分非直線性誤差 相対精度において、 V_{0T} ～ V_{FST} 間で変換値を1LSB変化させるために必要な入力電位差からの偏差を表します。

絶対精度 実際のA/D変換特性の0～ V_{REF} 間の理想特性からの偏差を表します。

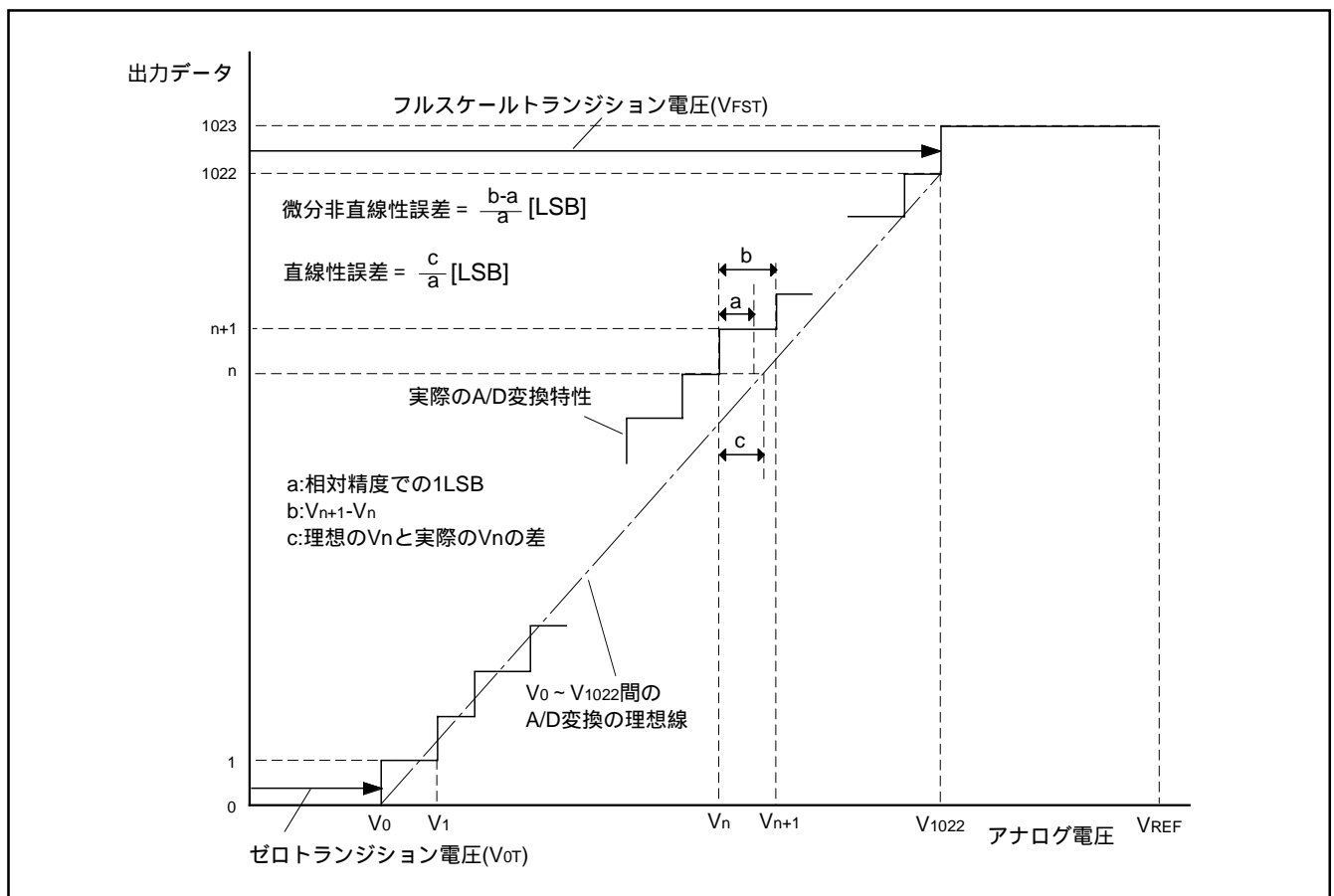


図3.2.40 A/D変換精度の定義：マスクROM版

V_n : A/D変換出力データが n から $n+1$ ($n=0 \sim 1022$)に変化するときのA/D入力電圧

・ 相対精度の1LSB $\frac{V_{FST} - V_{0T}}{1022}$ (V)

・ 絶対精度の1LSB $\frac{V_{REF}}{1024}$ (V)

A/D変換精度標準特性例-1

M37540M4-XXXFP A/D CONVERTER STEP WIDTH MEASUREMENT

- VCC=5.12[V]
- VREF=5.12[V]
- XIN=4[MHz]
- Temp.=25[]
- CPUモード=倍速モード

- ゼロトランジション電圧 : 13.75mV
- フルスケールトランジション電圧 : 5120.94mV
- 微分非直線性誤差 : -1.72mV (-0.34LSB)
- 直線性誤差 : -5.09mV (-1.02LSB)

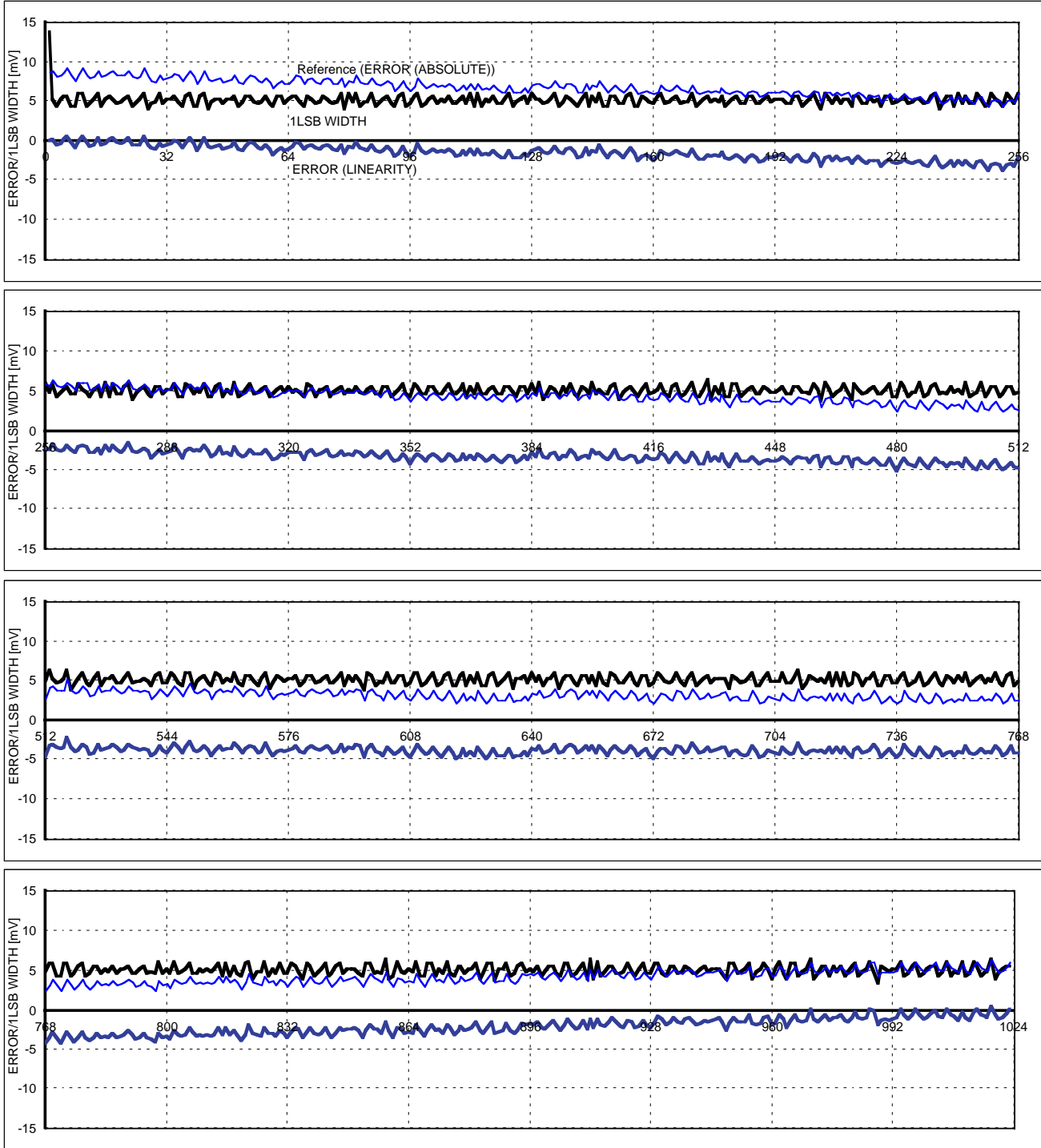


図3.2.41 A/D変換精度標準特性例-1(マスクROM版)

A/D変換精度標準特性例-2

M37540M4-XXXFP A/D CONVERTER STEP WIDTH MEASUREMENT

- VCC=5.12[V]
- VREF=5.12[V]
- XIN=6[MHz]
- Temp.=25[]
- CPUモード=倍速モード

- ゼロトランジション電圧：14.38mV
- フルスケールトランジション電圧：5121.88mV
- 微分非直線性誤差：1.41mV (0.28LSB)
- 直線性誤差：-4.23mV (-0.85LSB)

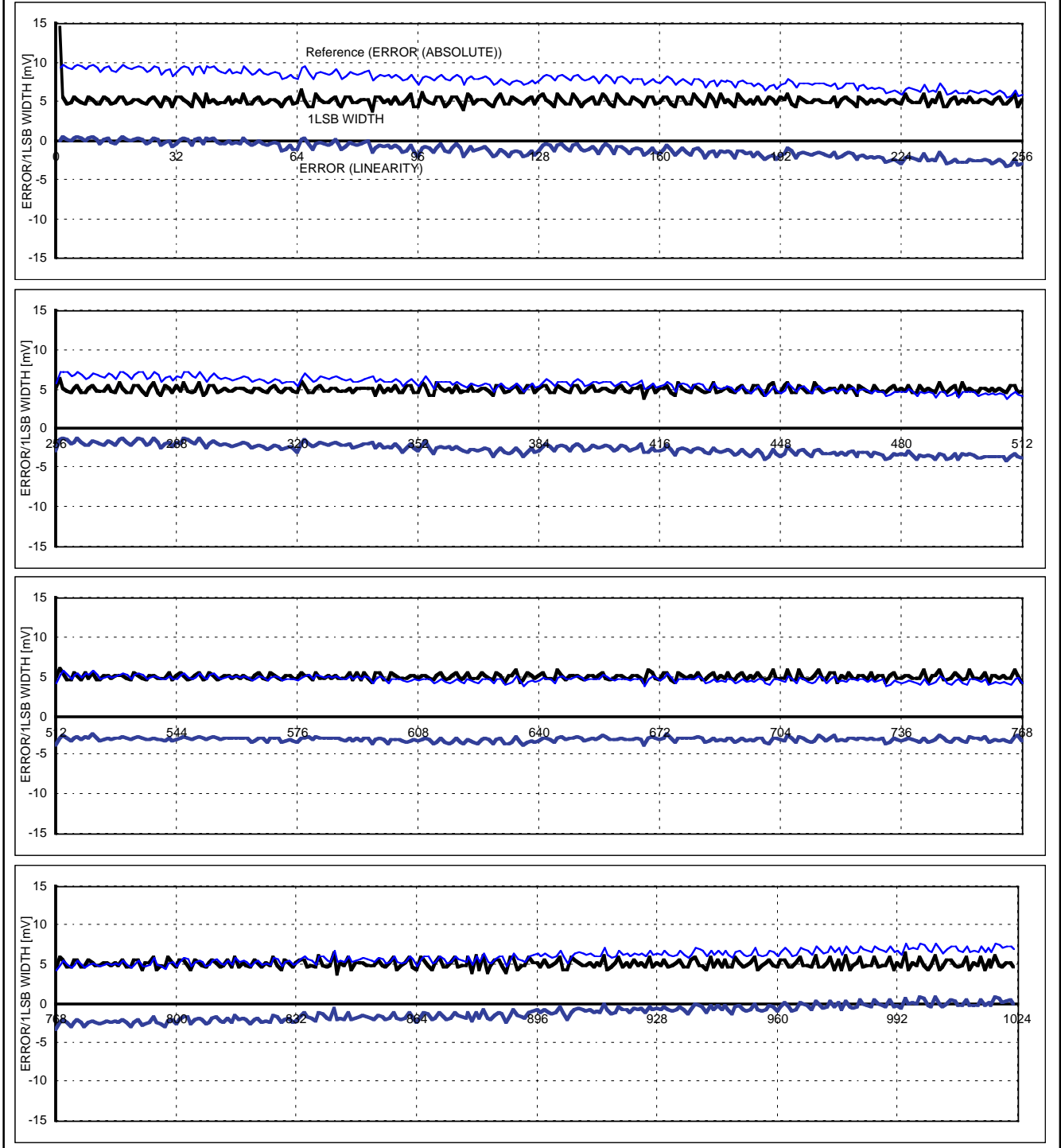


図3.2.42 A/D変換精度標準特性例-2(マスクROM版)

A/D変換精度標準特性例-3

M37540M4-XXXFP A/D CONVERTER STEP WIDTH MEASUREMENT

- VCC=5.12[V]
- VREF=5.12[V]
- XIN=8[MHz]
- Temp.=25[]
- CPUモード=高速モード

- ゼロトランジション電圧 : 30.31mV
- フルスケールトランジション電圧 : 5143.33mV
- 微分非直線性誤差 : 1.72mV (0.34LSB)
- 直線性誤差 : -7.64mV (-1.53LSB)

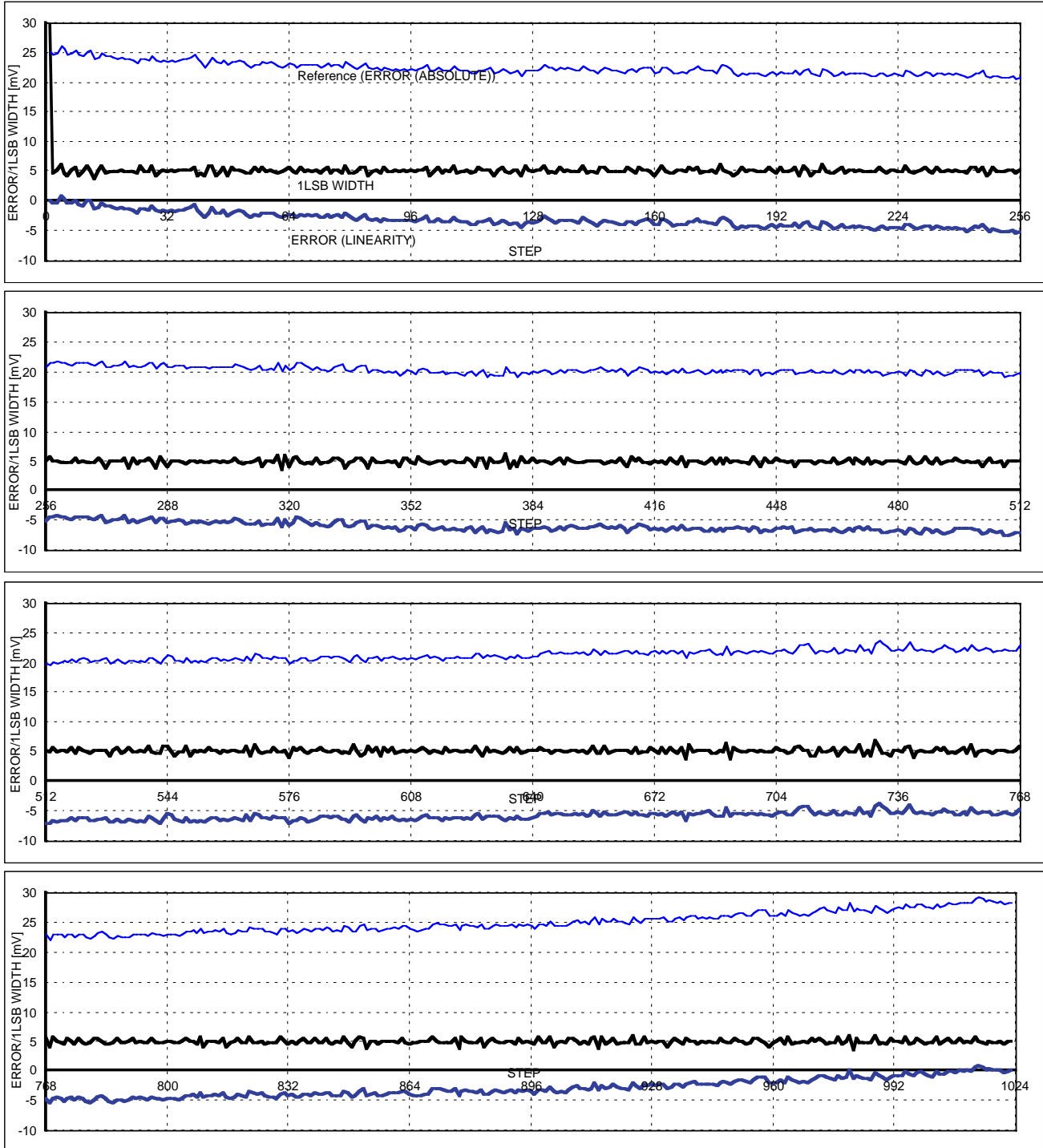


図3.2.43 A/D変換精度標準特性例-3(マスクROM版)

3.2.2 ワンタイムPROM版

(1) 電源電流標準特性例 (Vcc-Icc特性)

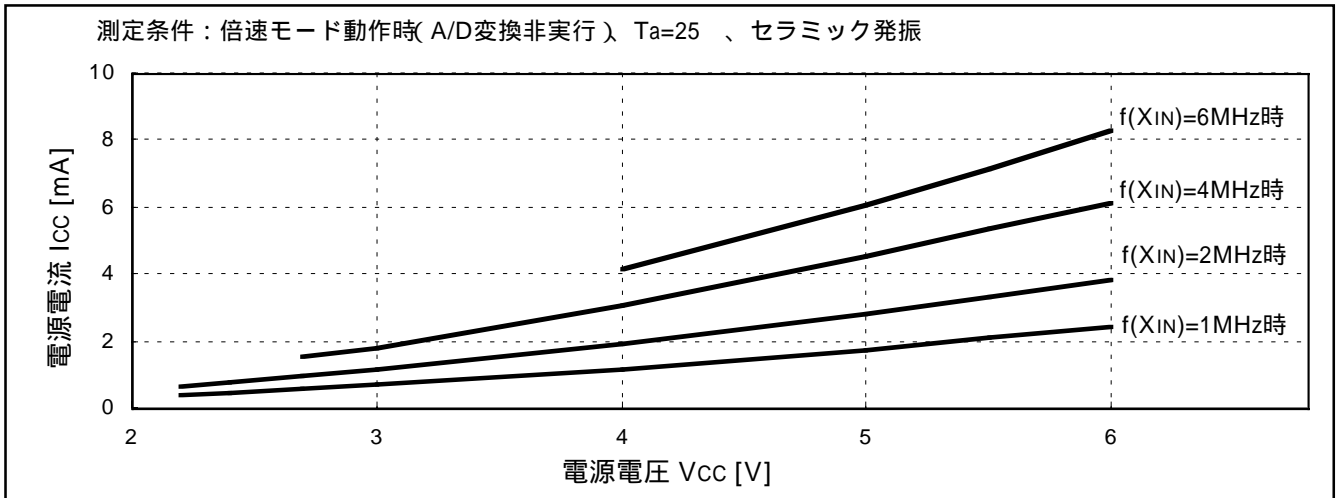


図3.2.44 Vcc-Icc特性(倍速モード動作時：ワンタイムPROM版)

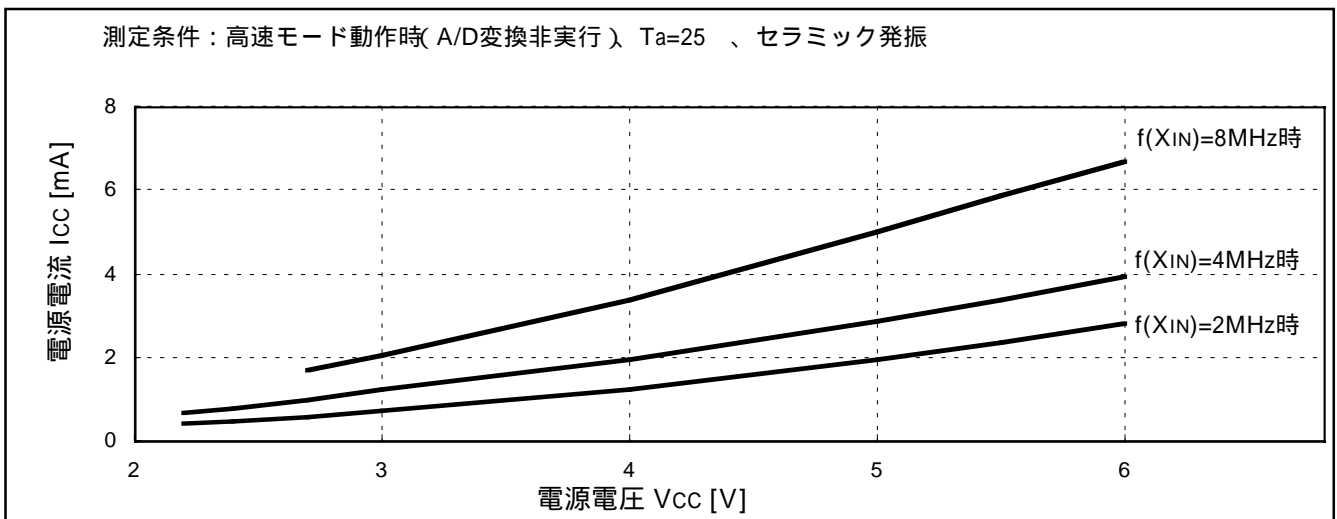


図3.2.45 Vcc-Icc特性(高速モード動作時：ワンタイムPROM版)

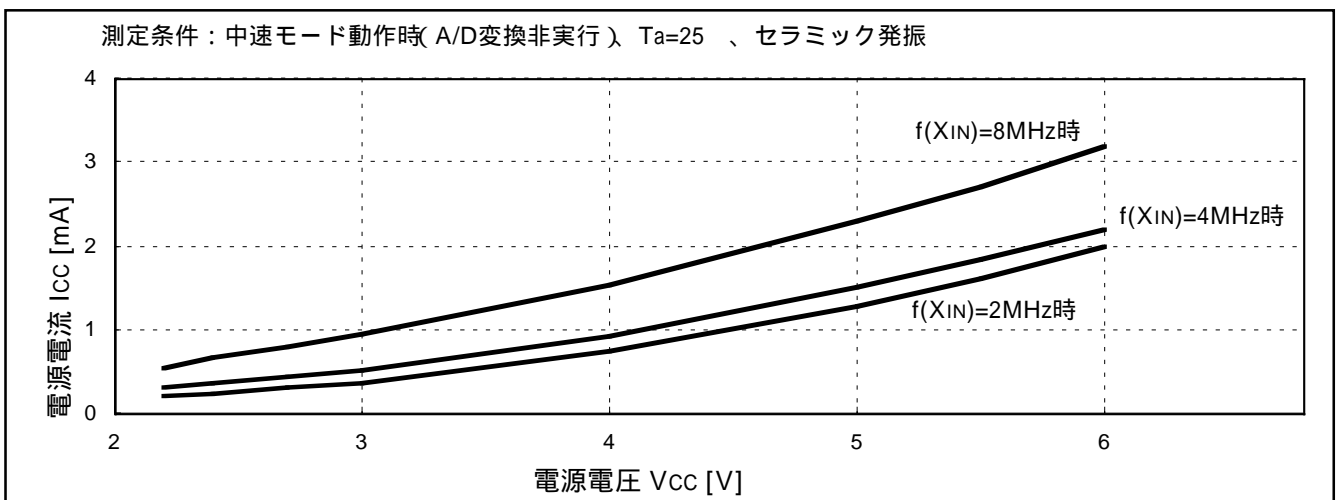


図3.2.46 Vcc-Icc特性(中速モード動作時：ワンタイムPROM版)

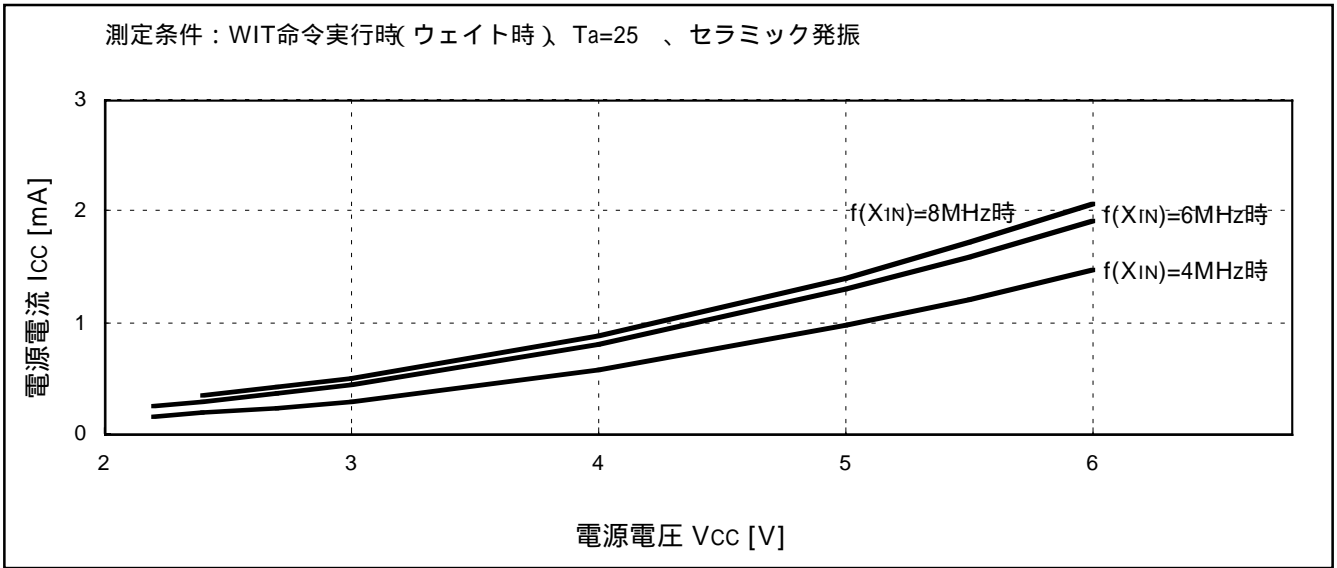


図3.2.47 Vcc-Icc特性(WIT命令実行時：ワンタイムPROM版)

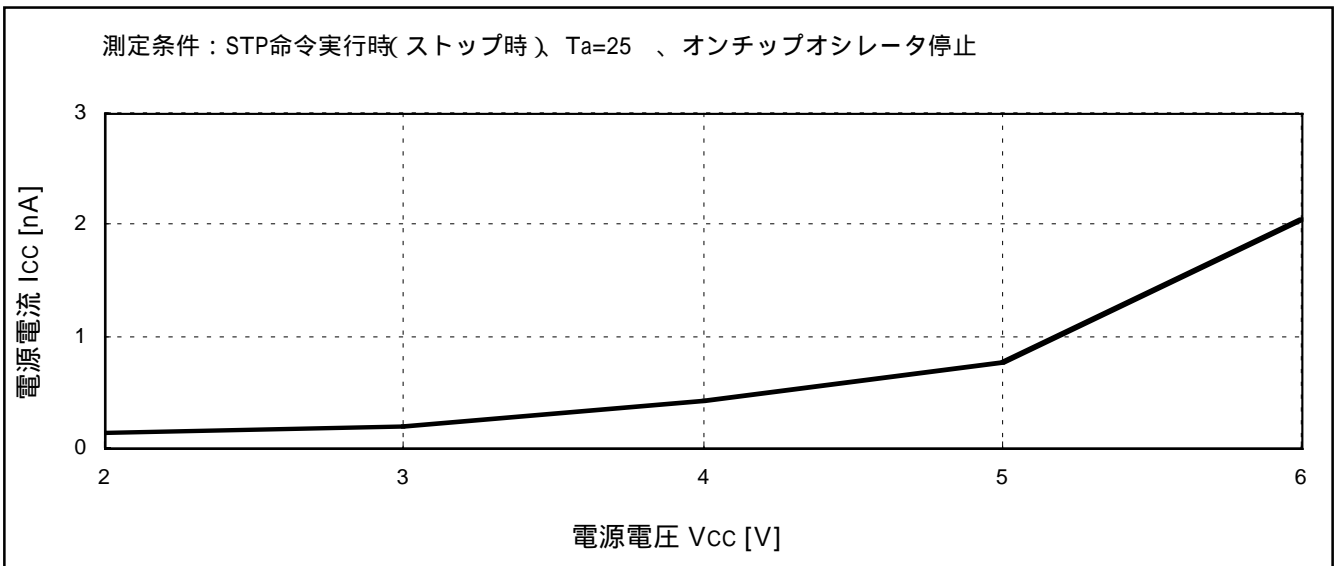
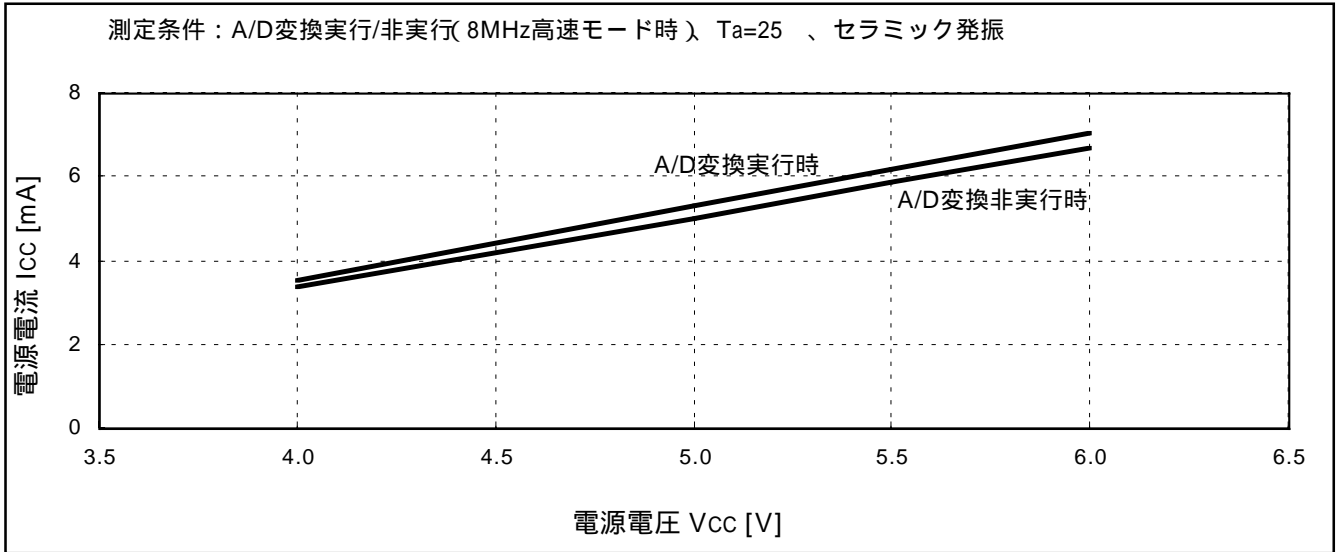
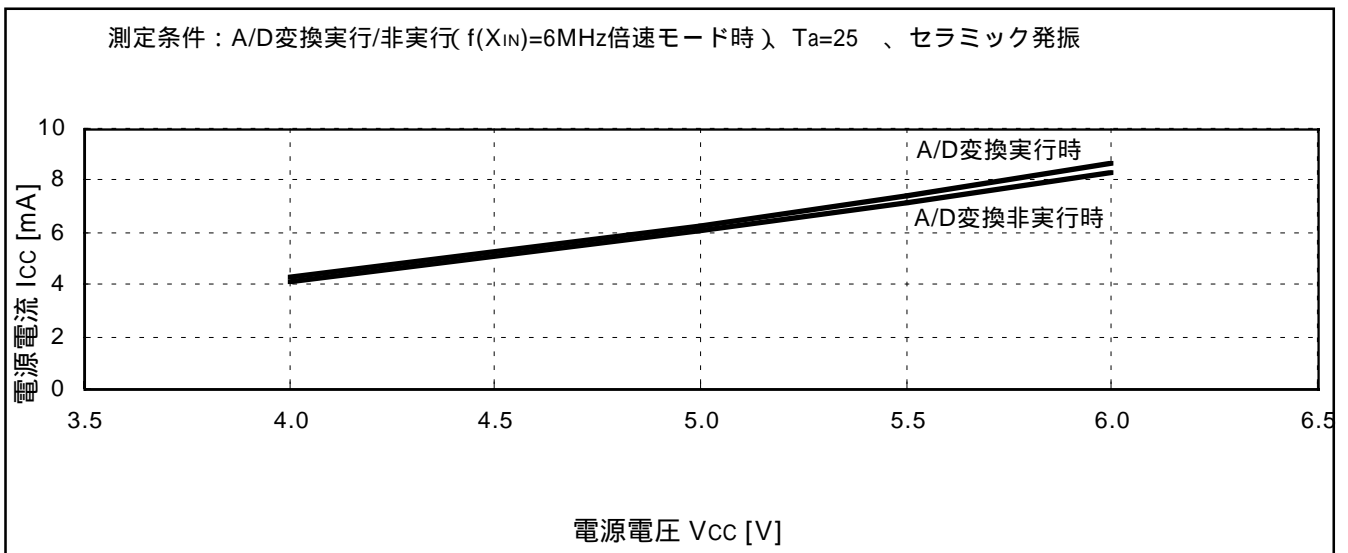


図3.2.48 Vcc-Icc特性(STP命令実行時：ワンタイムPROM版)

図3.2.49 Vcc-Icc特性(A/D変換器動作時の増量、 $f(X_{IN})=8\text{MHz}$ 高速モード：ワンタイムPROM版)図3.2.50 Vcc-Icc特性(A/D変換器動作時の増量、 $f(X_{IN})=6\text{MHz}$ 倍速モード：ワンタイムPROM版)

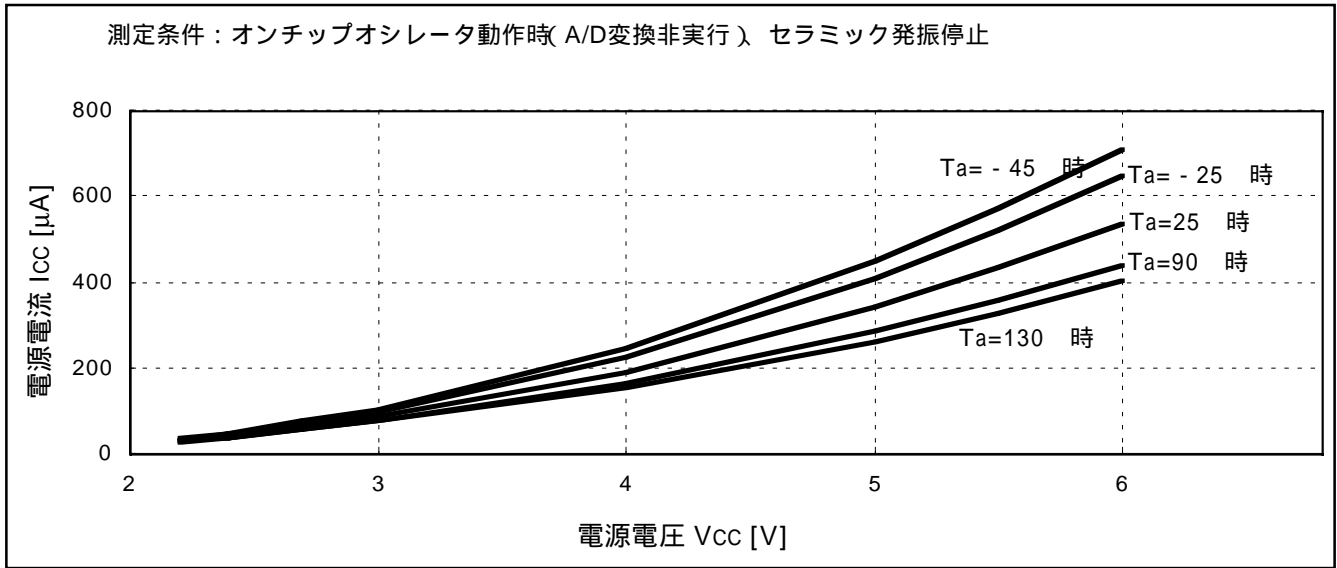


図3.2.51 Vcc-Icc特性(オンチップオシレータ動作時、セラミック発振は停止：ワンタイムPROM版)

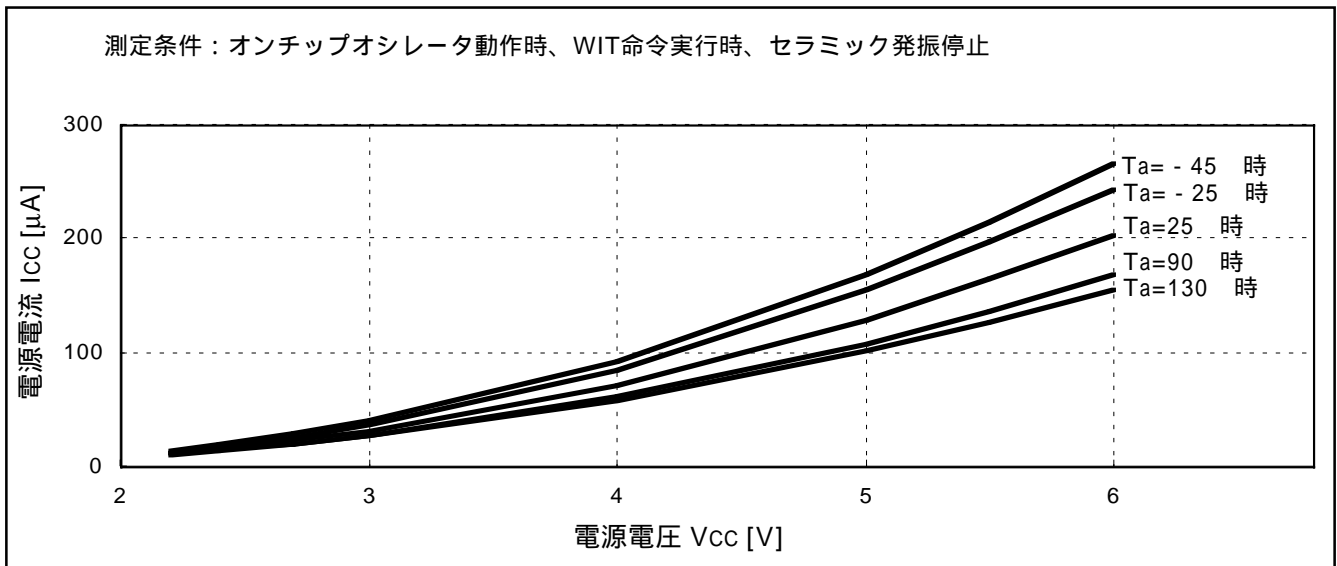
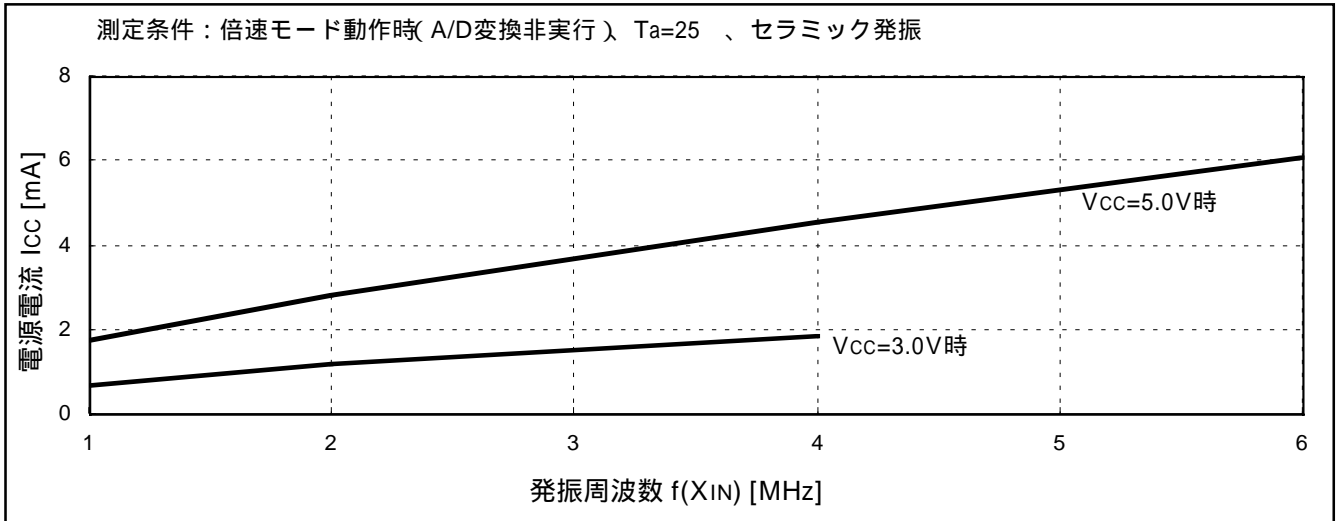
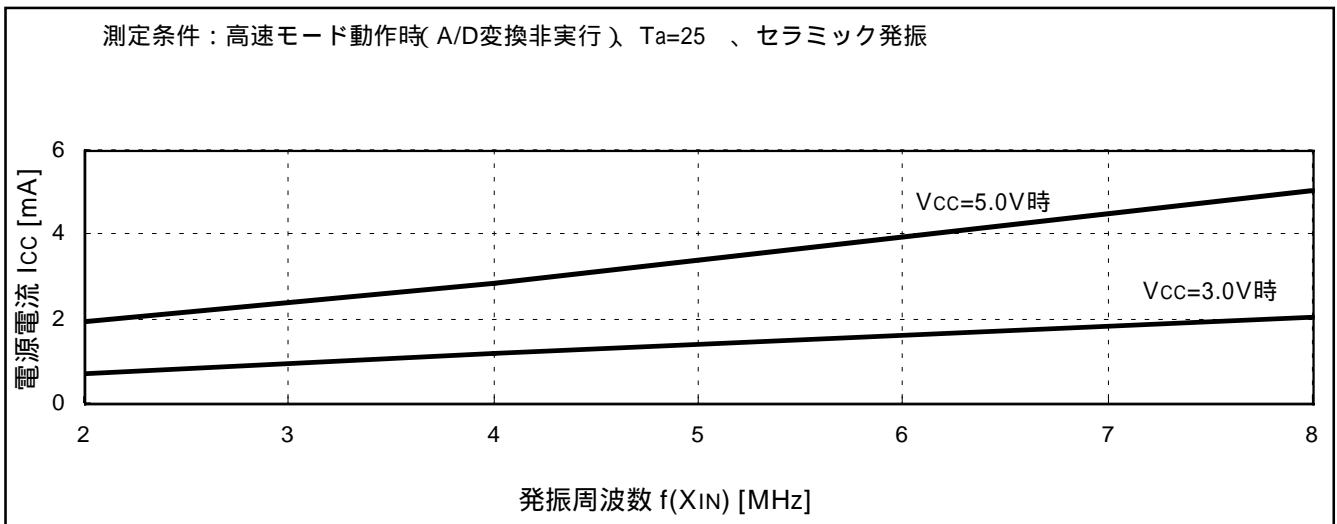
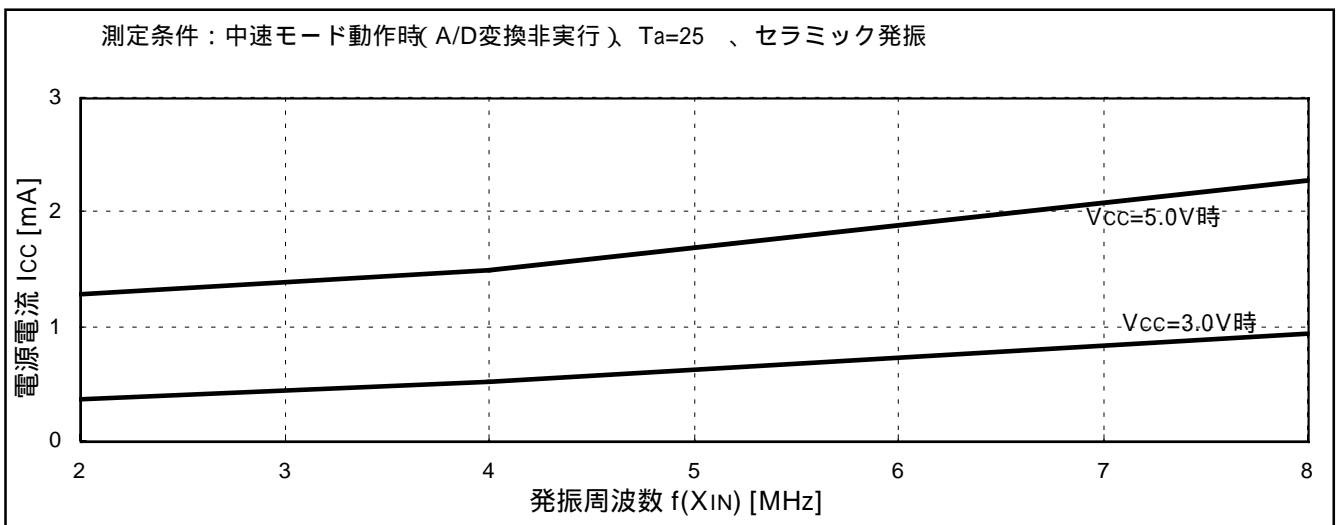


図3.2.52 Vcc-Icc特性(オンチップオシレータ動作時、WIT命令実行時、セラミック発振は停止：ワンタイムPROM版)

(2) 電源電流標準特性例 (f(XIN)-I_{CC}特性)図3.2.53 f(XIN)-I_{CC}特性(倍速モード時：ワンタイムPROM版)図3.2.54 f(XIN)-I_{CC}特性(高速モード時：ワンタイムPROM版)図3.2.55 f(XIN)-I_{CC}特性(中速モード時：ワンタイムPROM版)

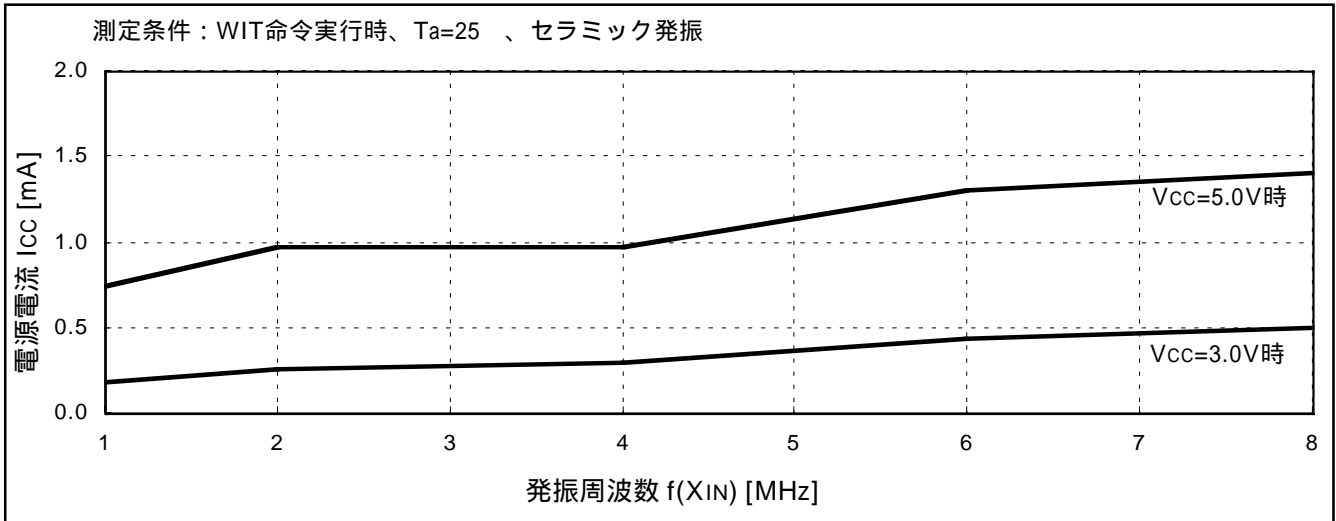


図3.2.56 f(XIN)-Icc特性(WIT命令実行時：ワンタイムPROM版)

(3) 電源電流標準特性例(Ta-Icc特性)

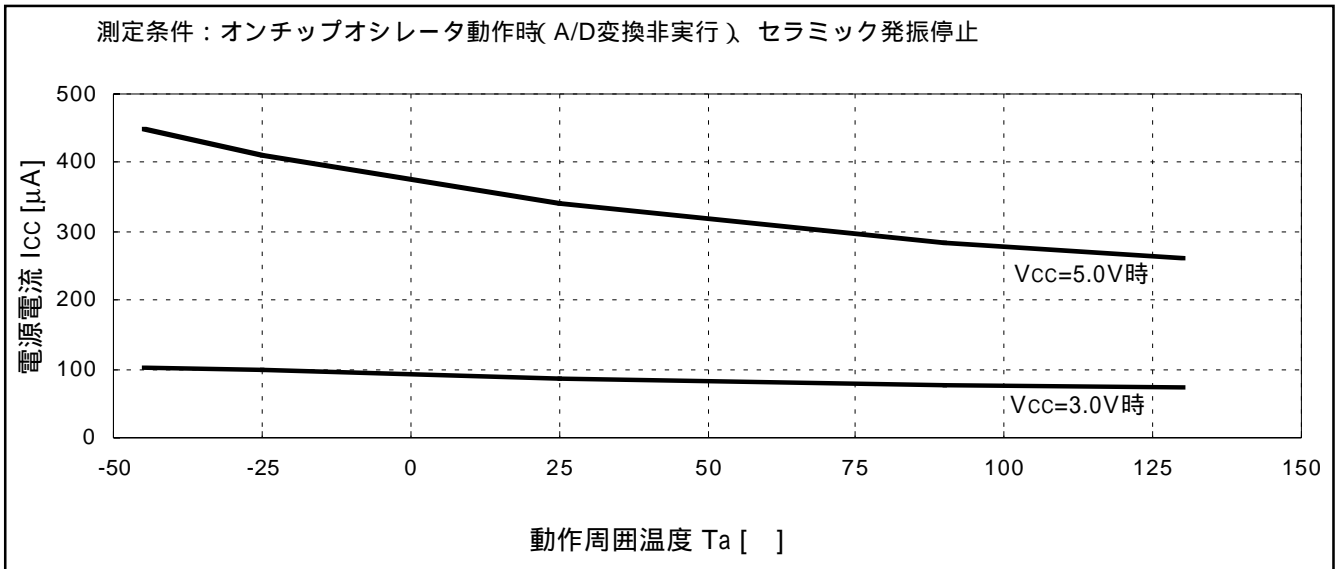


図3.2.57 Ta-Icc特性(オンチップオシレータ動作時、セラミック発振は停止：ワンタイムPROM版)

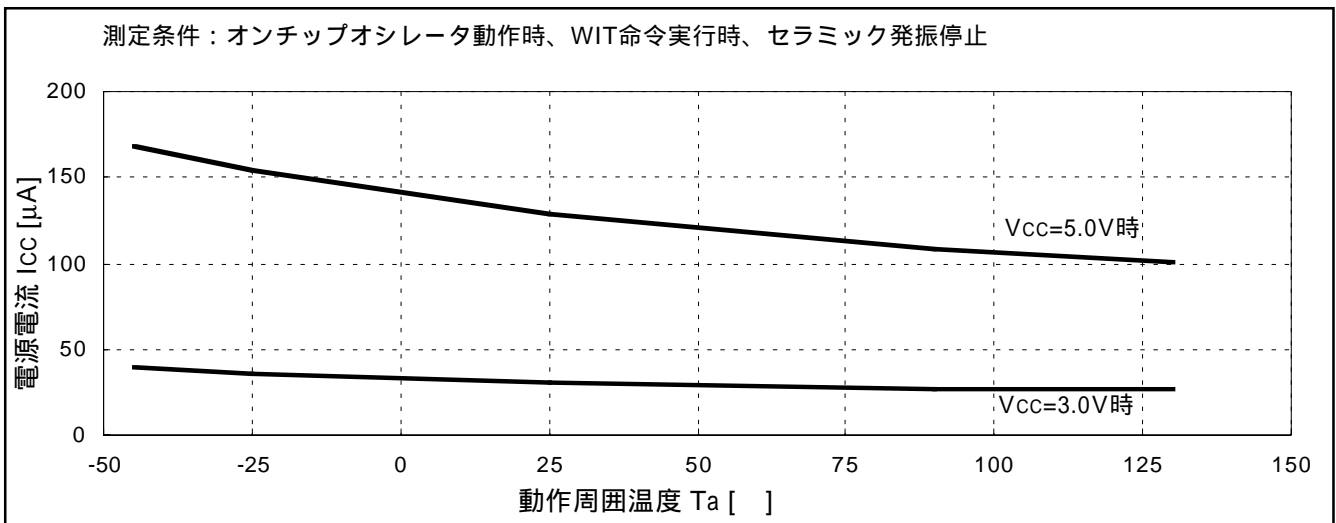
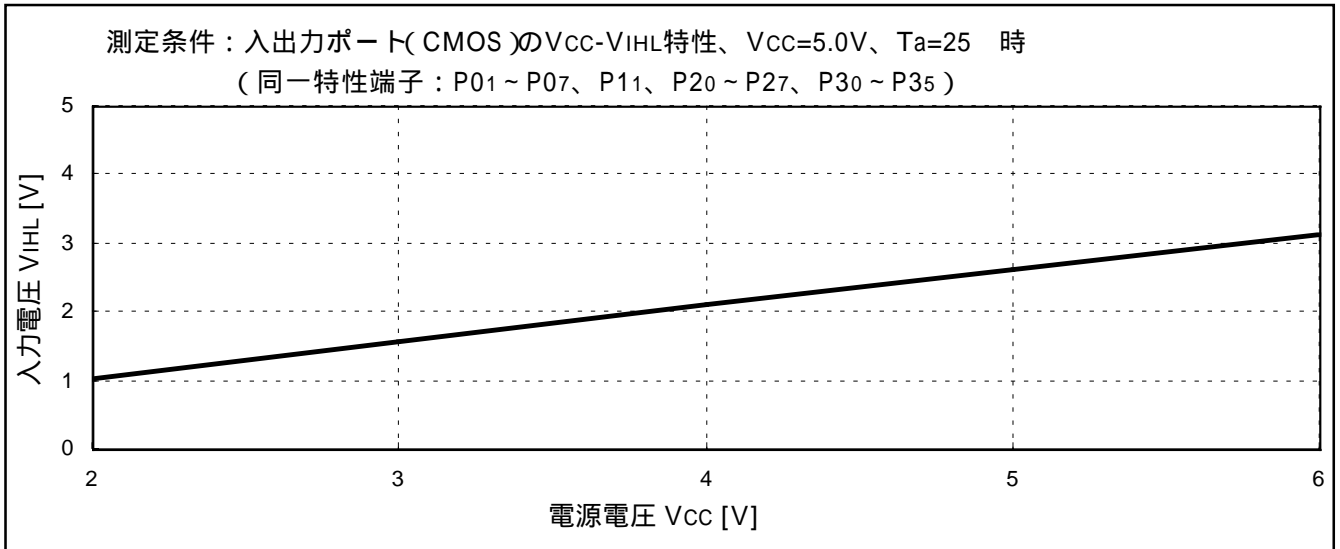
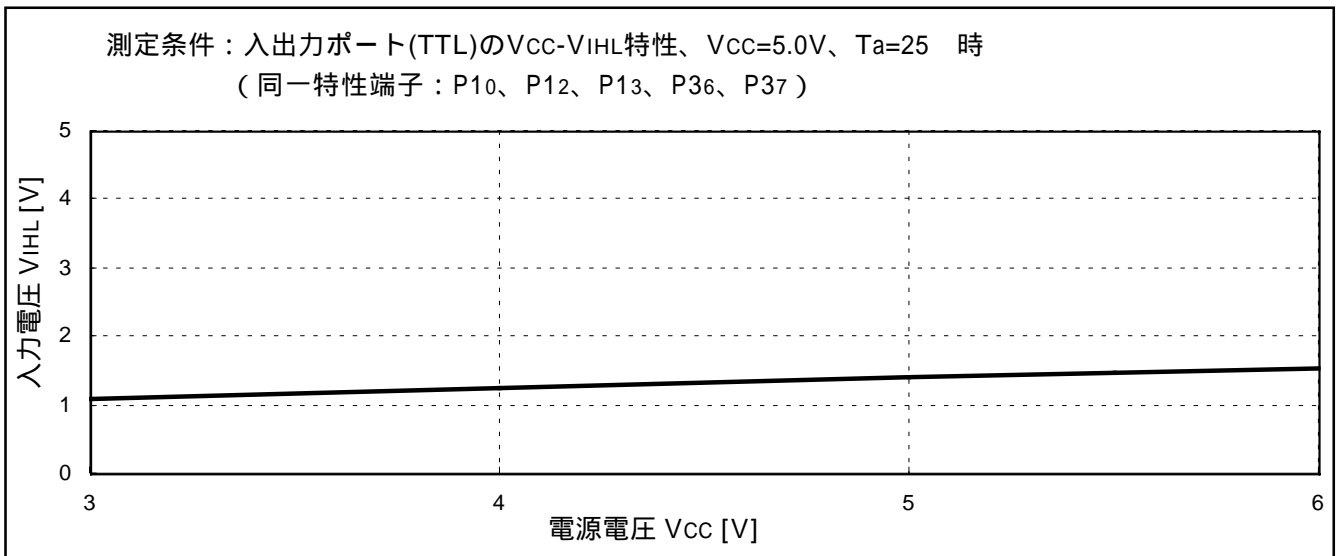
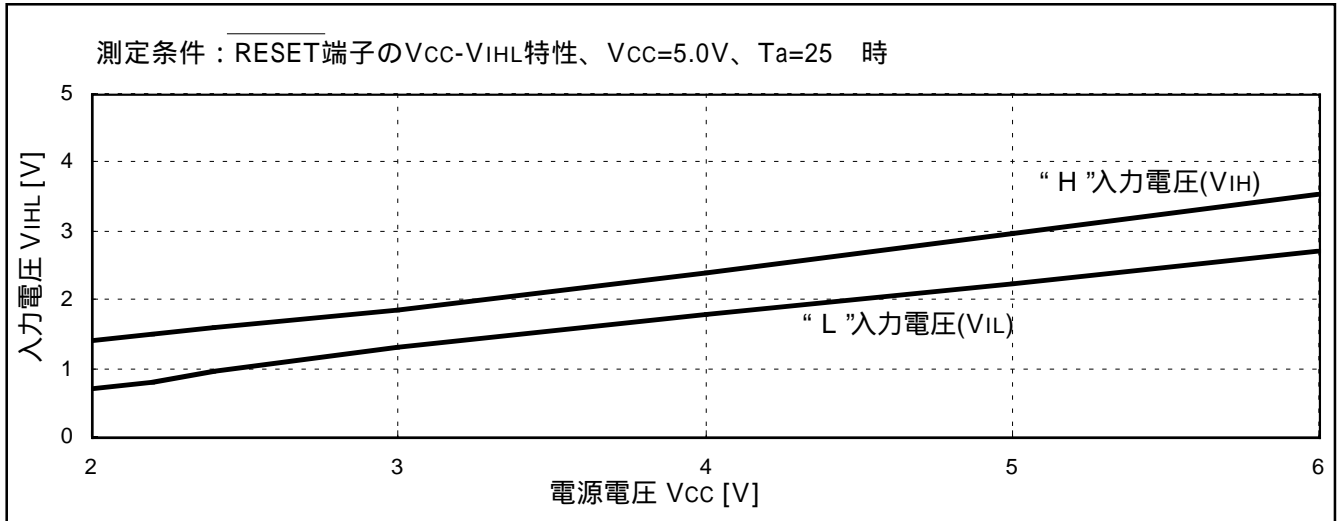
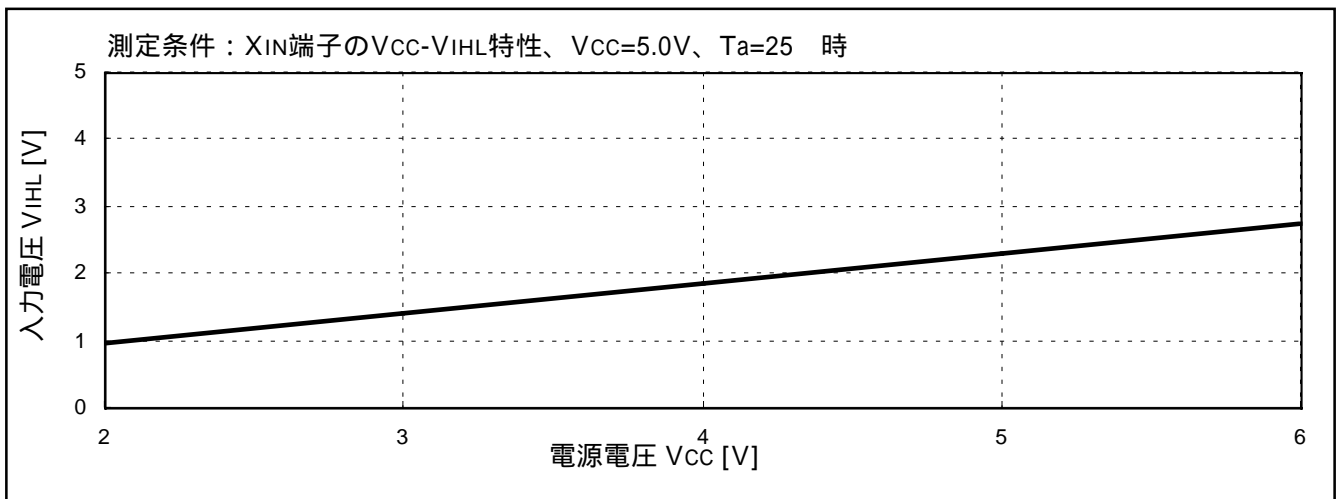
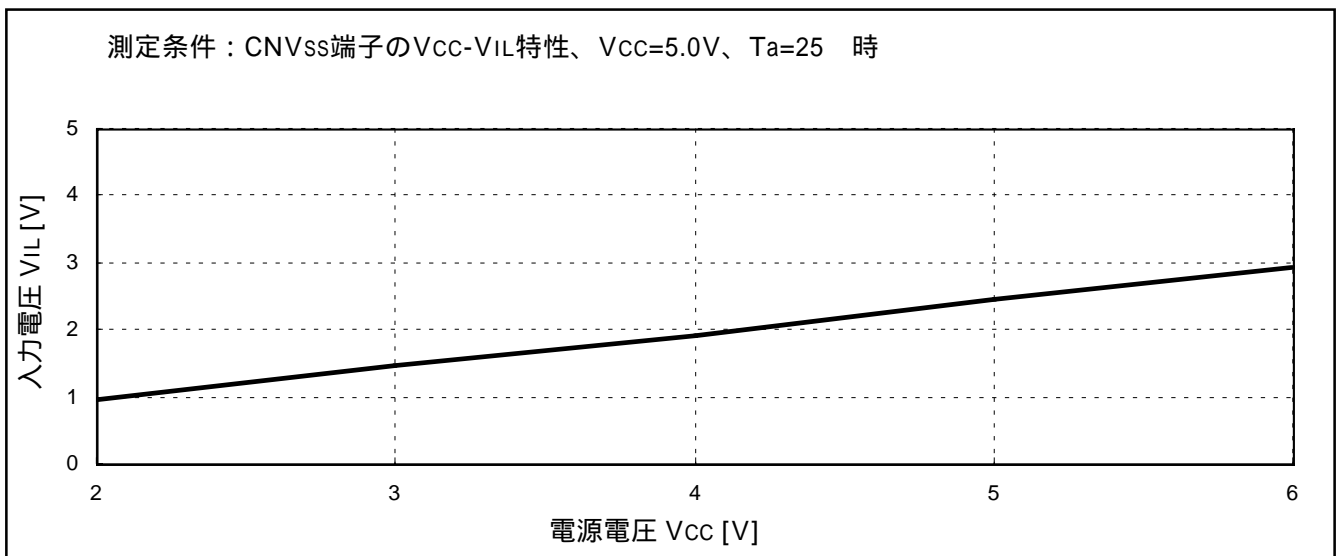


図3.2.58 Ta-Icc特性(オンチップオシレータ動作、WIT命令実行時、セラミック発振は停止：ワンタイムPROM版)

(4) ポート標準特性例(V_{CC} - V_{IHL} 特性)図3.2.59 V_{CC} - V_{IHL} 特性(入出力ポート(CMOS))：ワンタイムPROM版図3.2.60 V_{CC} - V_{IHL} 特性(入出力ポート(TTL))：ワンタイムPROM版

図3.2.61 V_{CC}-V_{IHL}特性(RESET端子): ワンタイムPROM版図3.2.62 V_{CC}-V_{IHL}特性(XIN端子): ワンタイムPROM版図3.2.63 V_{CC}-V_{IL}特性(CNVss端子): ワンタイムPROM版

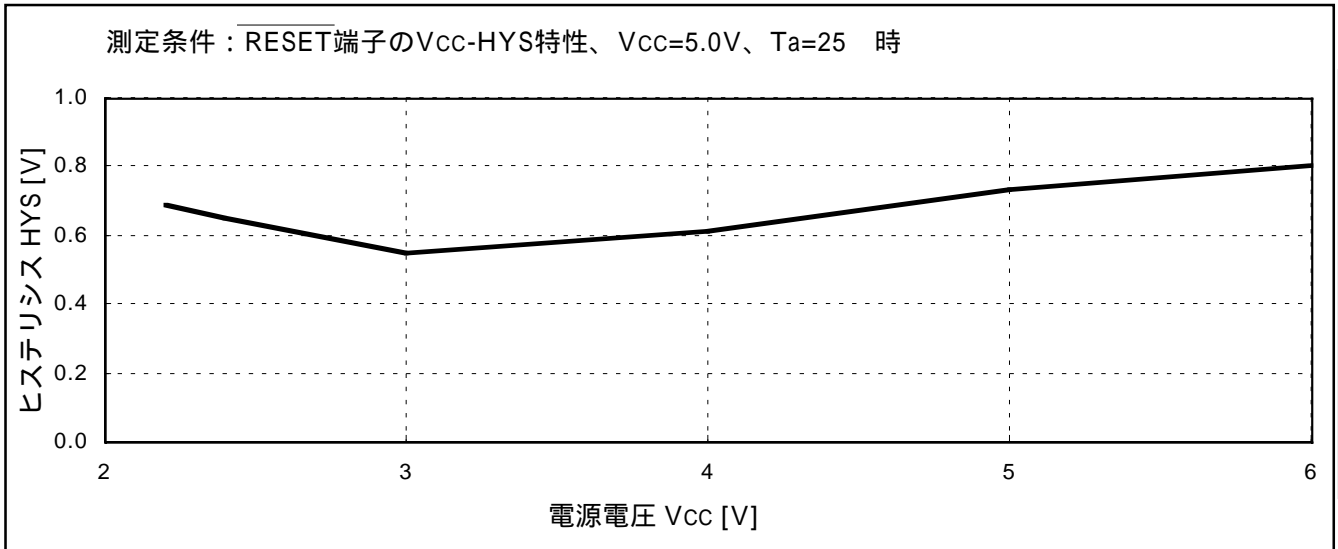


図3.2.64 Vcc-HYS特性(RESET端子): ワンタイムPROM版

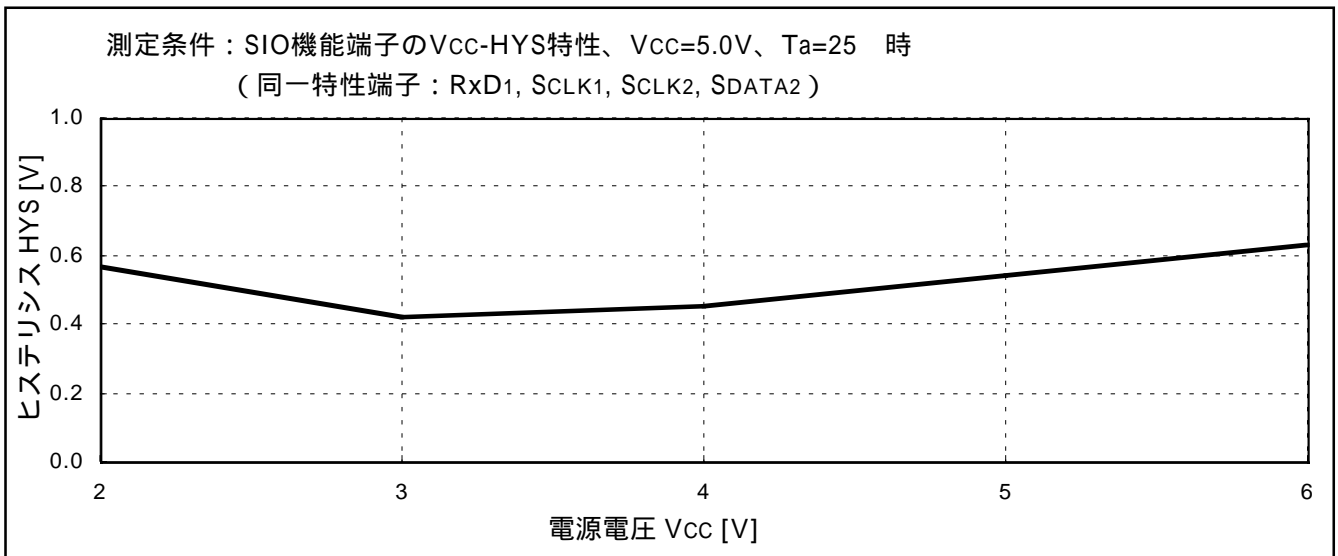


図3.2.65 Vcc-HYS特性(SIO機能端子): ワンタイムPROM版

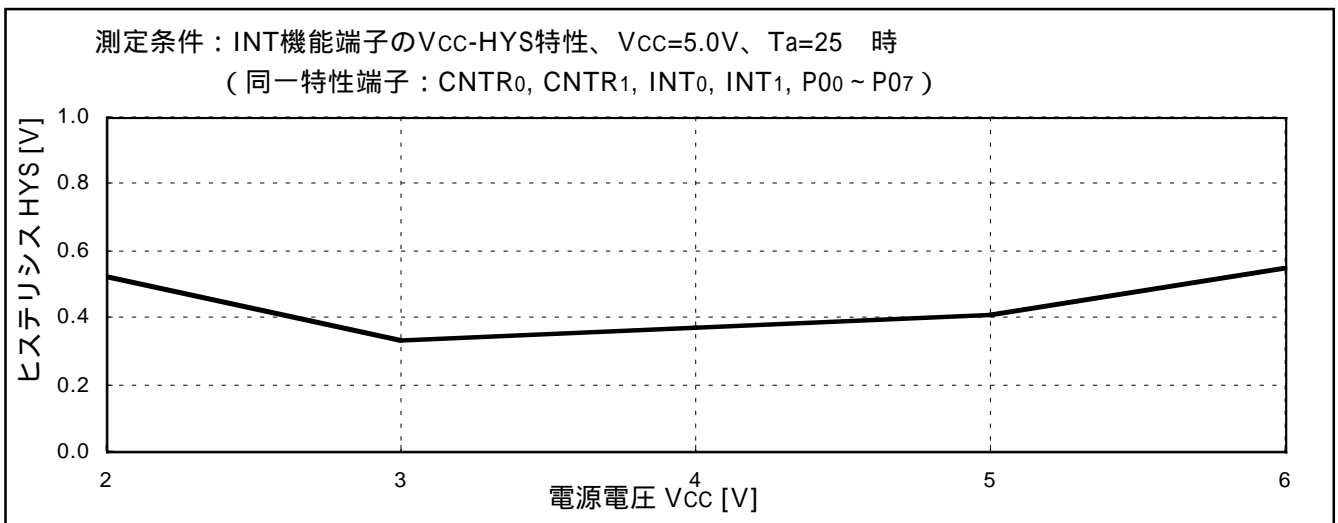


図3.2.66 Vcc-HYS特性(INT機能端子): ワンタイムPROM版

(5) ポート標準特性例(VOH-IOH特性)

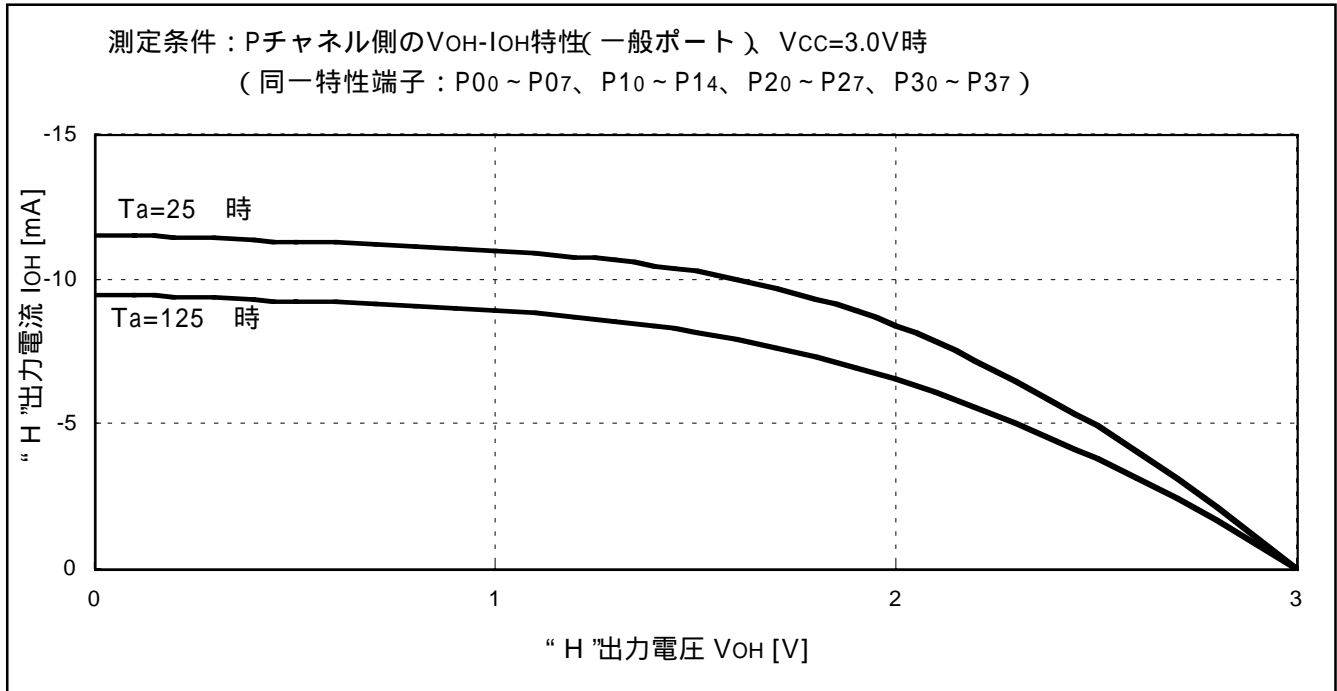


図3.2.67 Pチャンネル側のVOH-IOH特性($V_{CC}=3.0V$ 時)：一般ポート(ワンタイムPROM版)

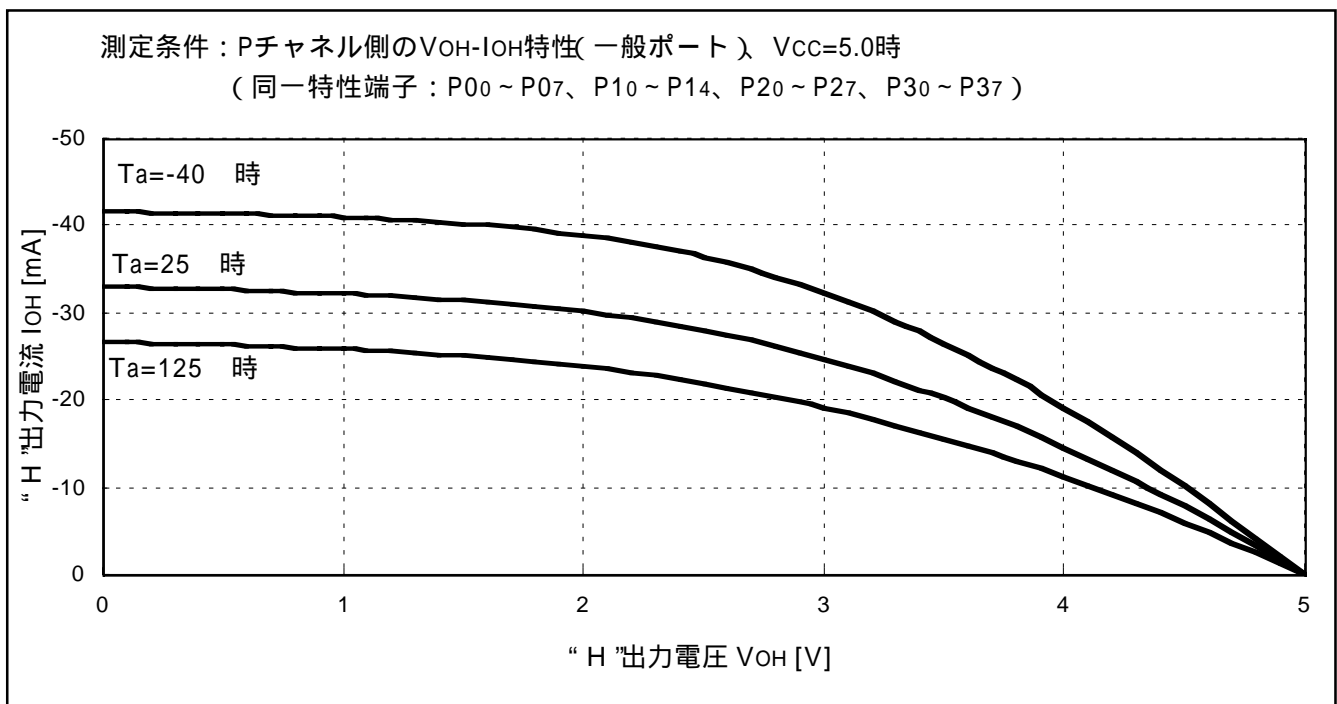


図3.2.68 Pチャンネル側のVOH-IOH特性($V_{CC}=5.0V$ 時)：一般ポート(ワンタイムPROM版)

(6) ポート標準特性例(VOL-IoL特性)

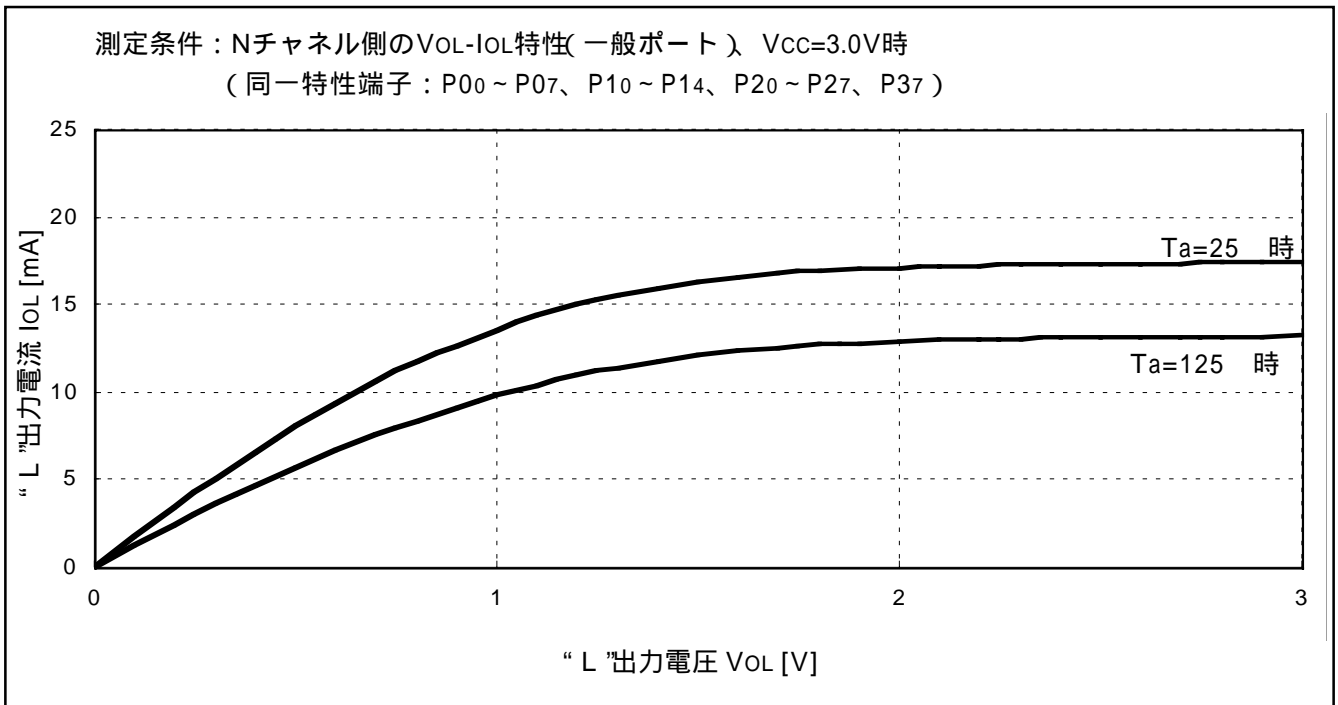


図3.2.69 Nチャンネル側のVOL-IoL特性(Vcc=3.0V時)：一般ポート(ワンタイムPROM版)

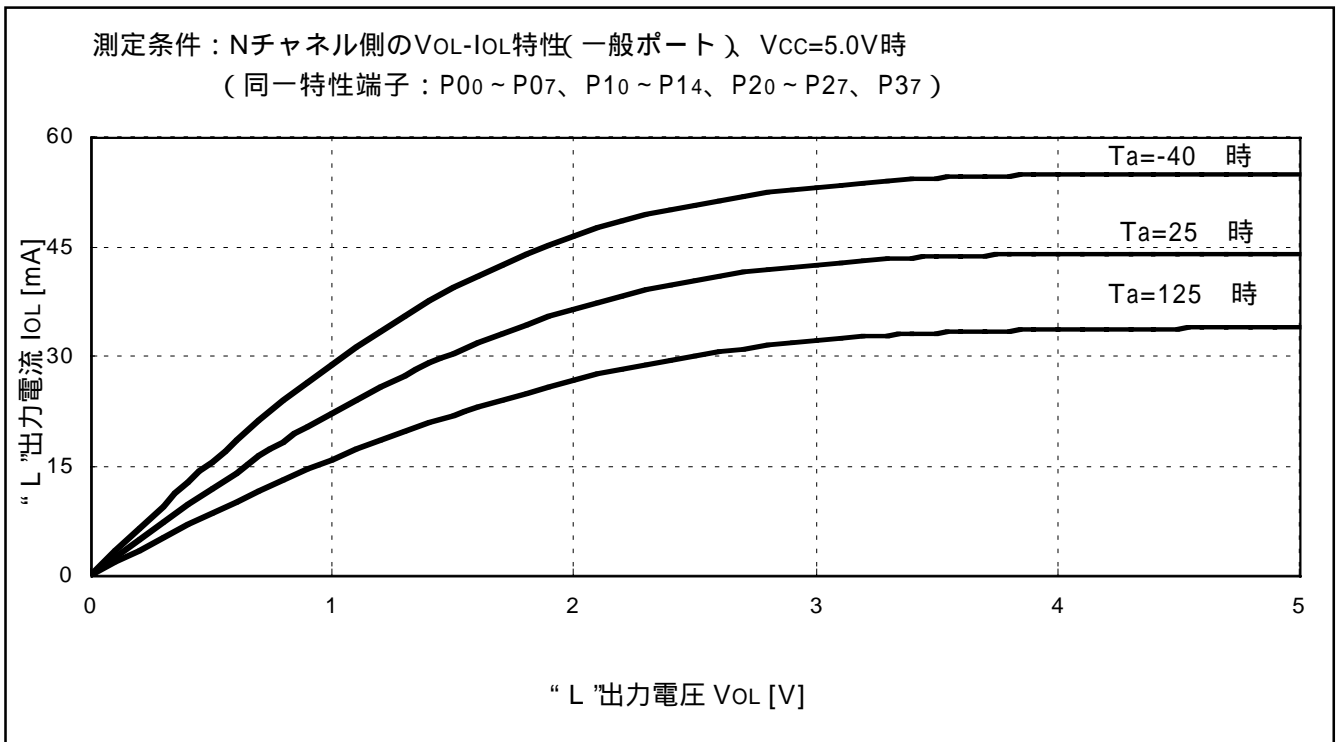


図3.2.70 Nチャンネル側のVOL-IoL特性(Vcc=5.0V時)：一般ポート(ワンタイムPROM版)

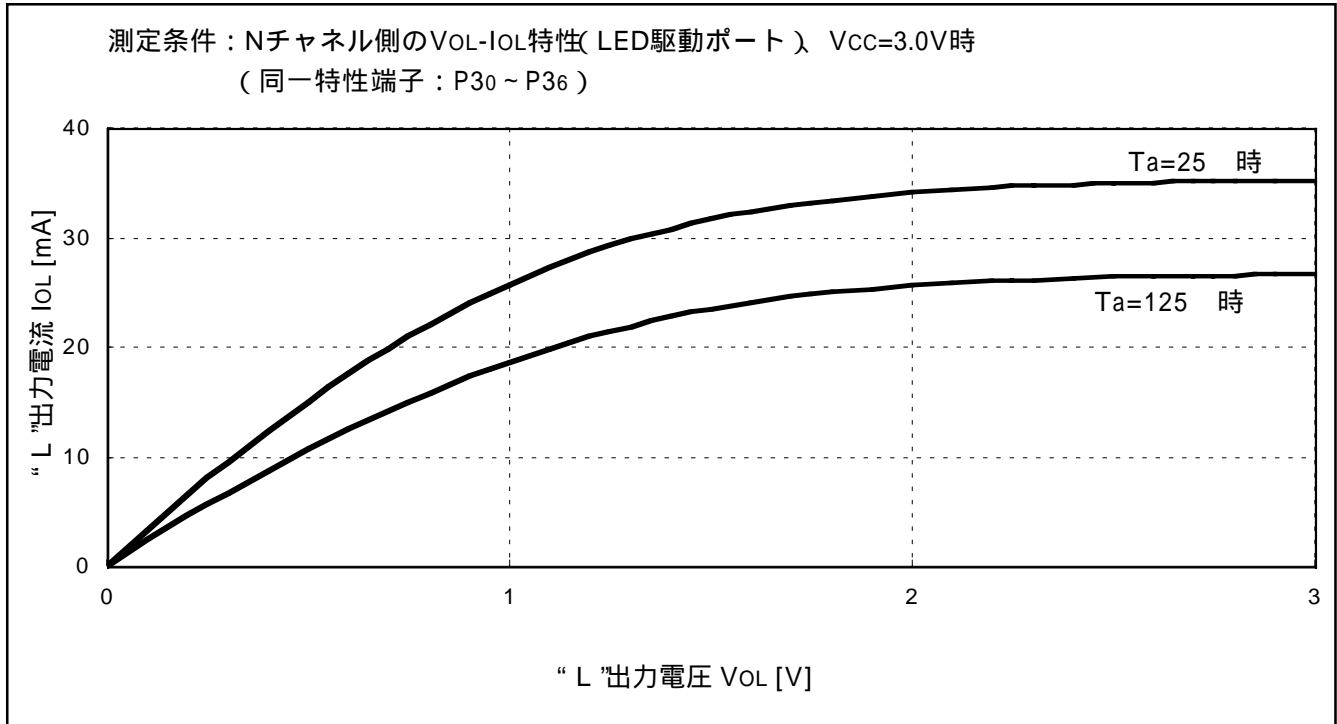


図3.2.71 Nチャンネル側のVoL-IoL特性(Vcc=3.0V時)：LED駆動ポート(ワンタイムPROM版)

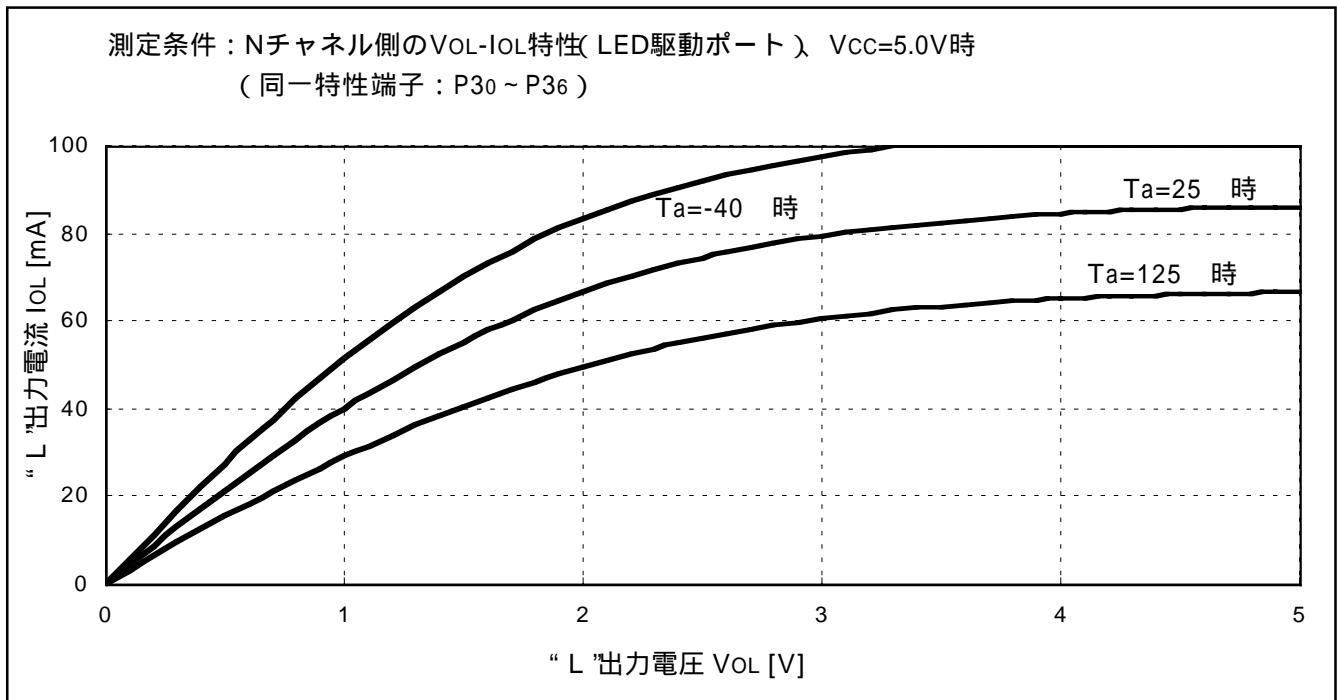


図3.2.72 Nチャンネル側のVoL-IoL特性(Vcc=5.0V時)：LED駆動ポート(ワンタイムPROM版)

(7) ポート標準特性例(Vcc-IIL特性)

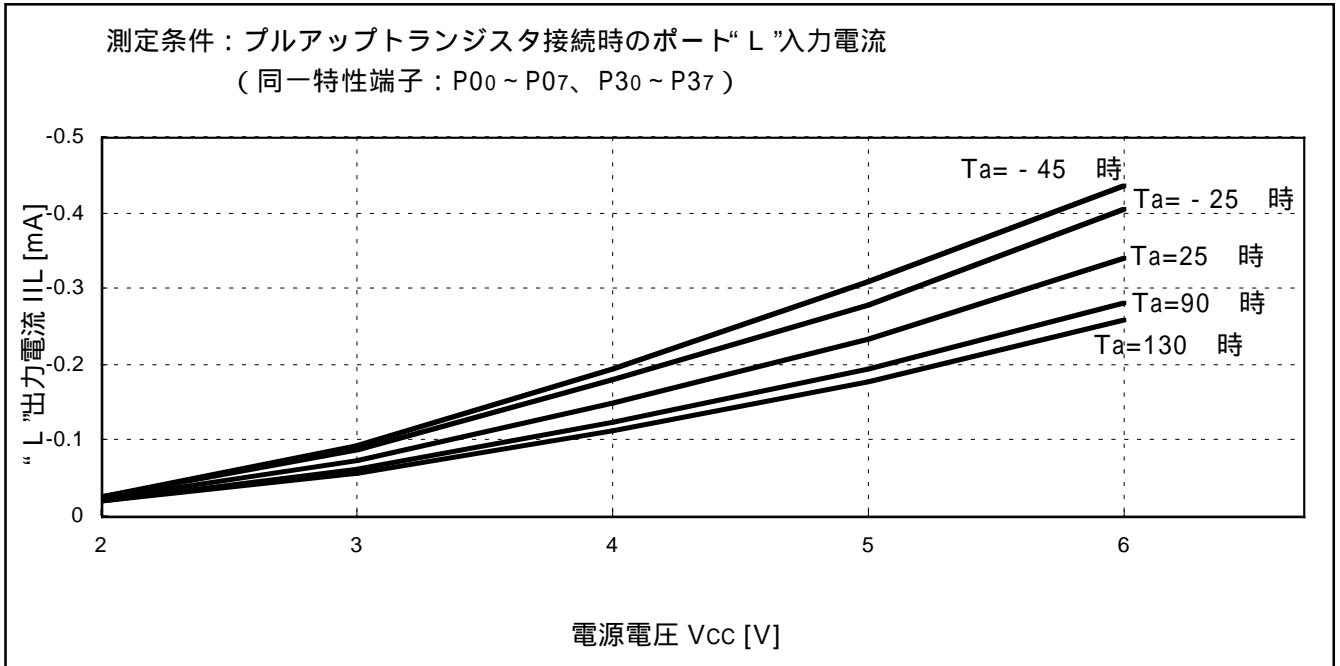


図3.2.73 Vcc-IIL特性(プルアップトランジスタ接続時のポート“L”入力電流：ワンタイムPROM版)

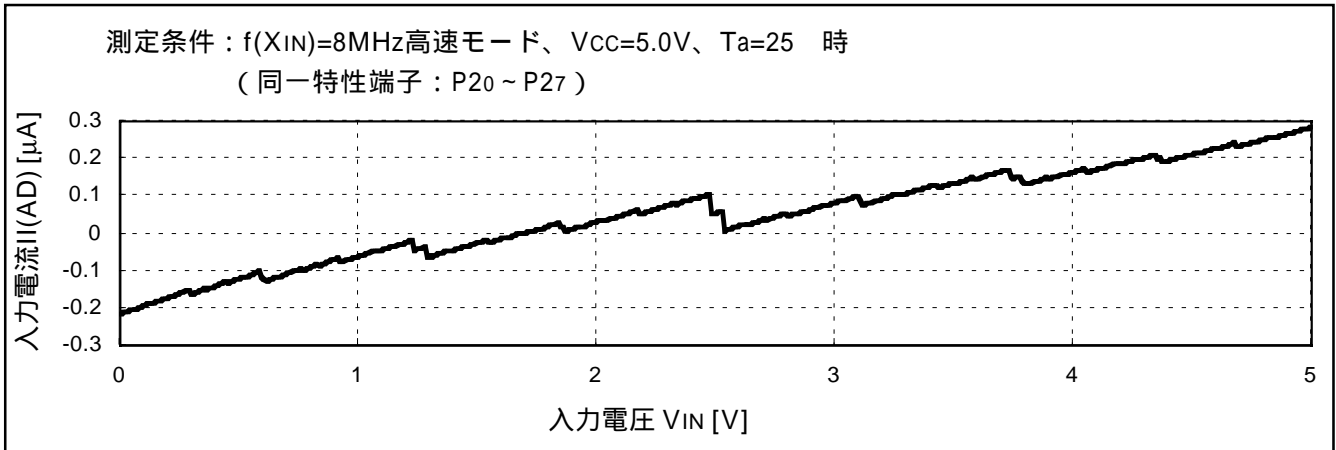
(8) ポート標準特性例(V_{IN-II} (AD)特性)

図3.2.74 V_{IN-II} (AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(X_{IN})=8\text{MHz}$ 高速モード時)：
ワンタイムPROM版

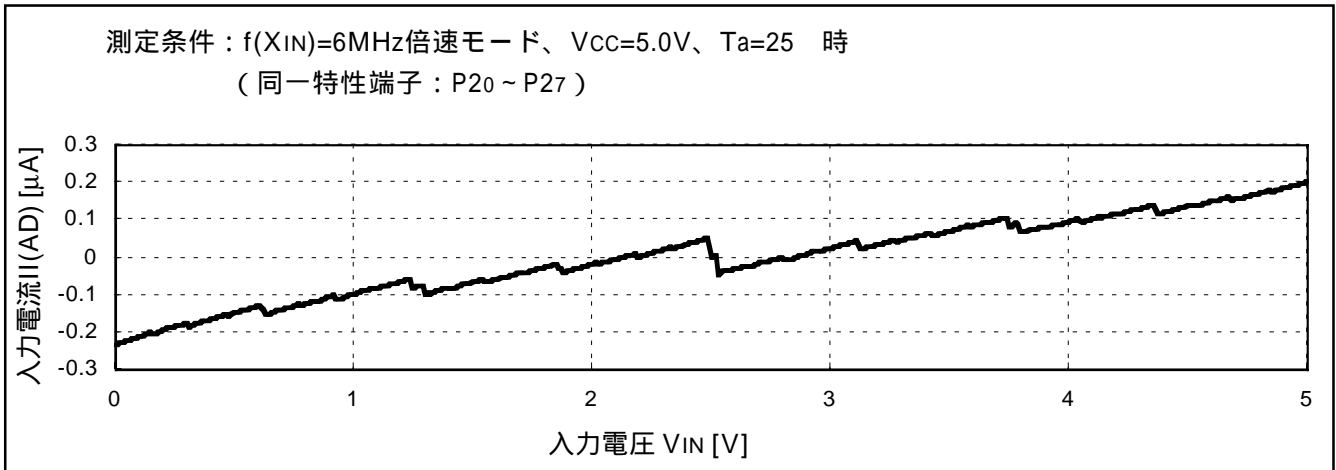


図3.2.75 V_{IN-II} (AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(X_{IN})=6\text{MHz}$ 倍速モード時)：
ワンタイムPROM版

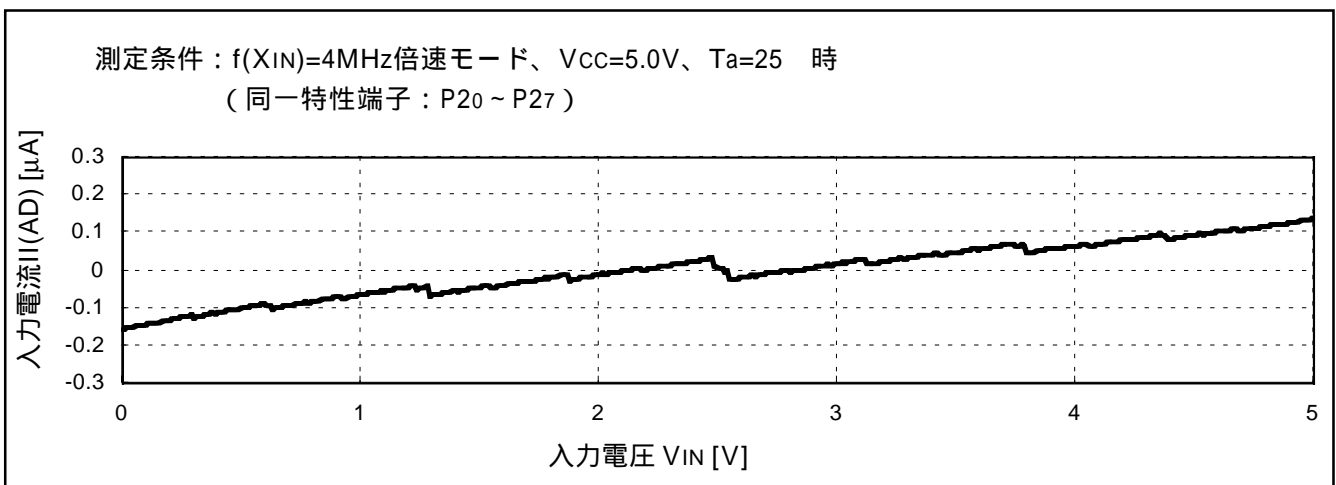


図3.2.76 V_{IN-II} (AD)特性(A/D変換器動作中のA/Dポート入力電流、 $f(X_{IN})=4\text{MHz}$ 倍速モード時)：
ワンタイムPROM版

(9) オンチップオシレータ周波数標準特性例

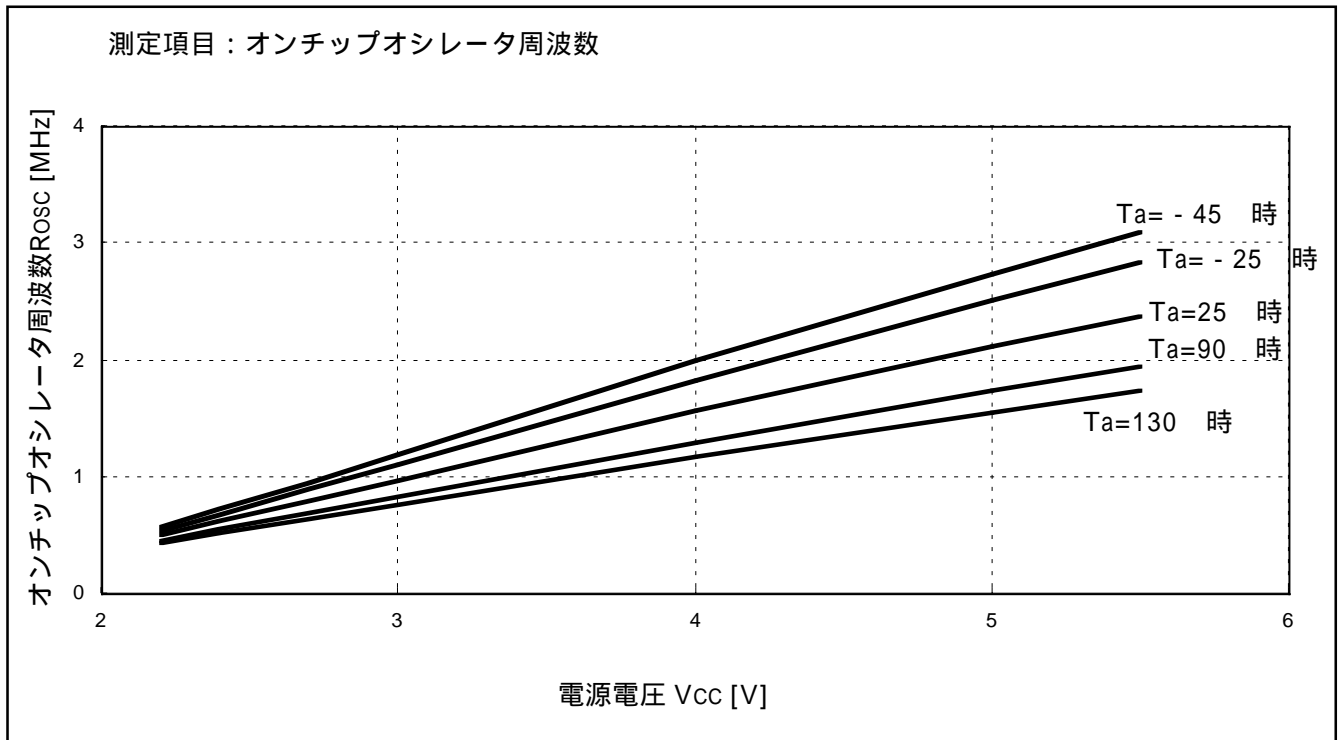


図3.2.77 Vcc-Rosc特性(オンチップオシレータ周波数：ワнтаイムPROM版)

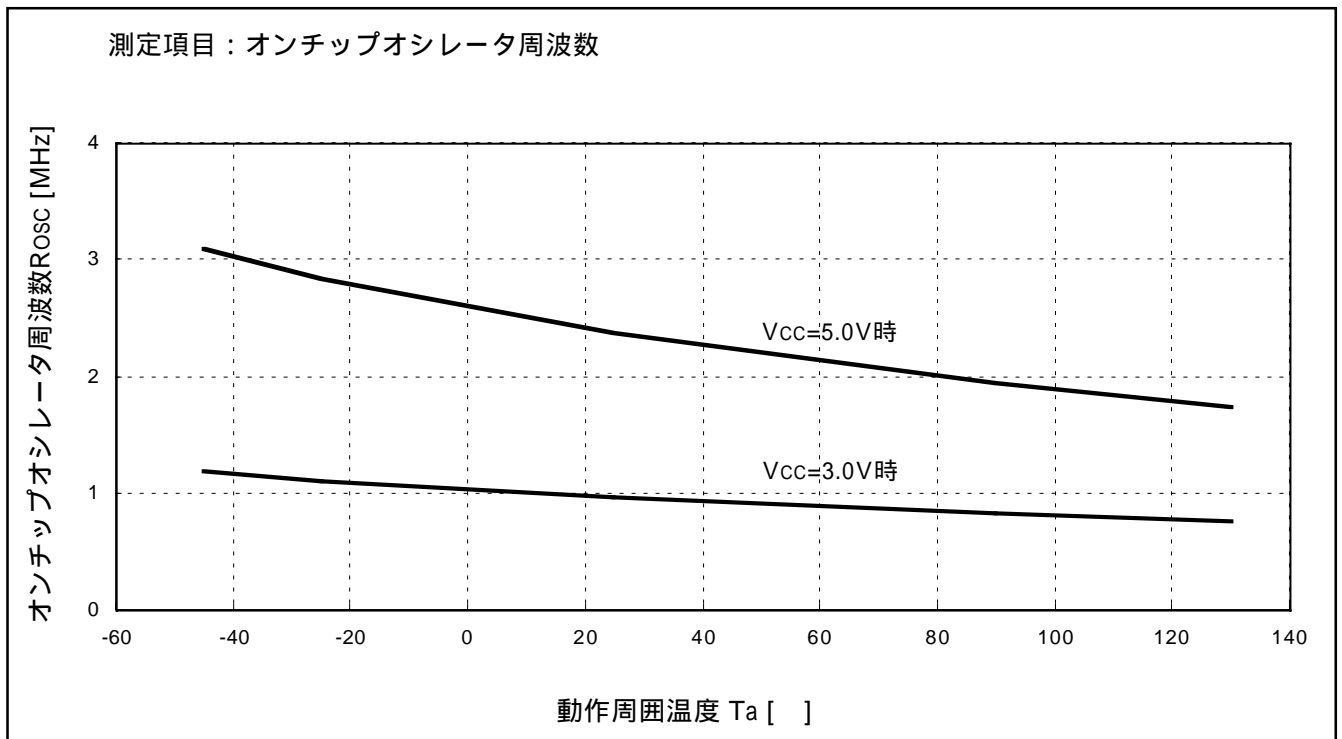


図3.2.78 Ta-Rosc特性(オンチップオシレータ周波数：ワнтаイムPROM版)

(10) RC発振周波数特性例

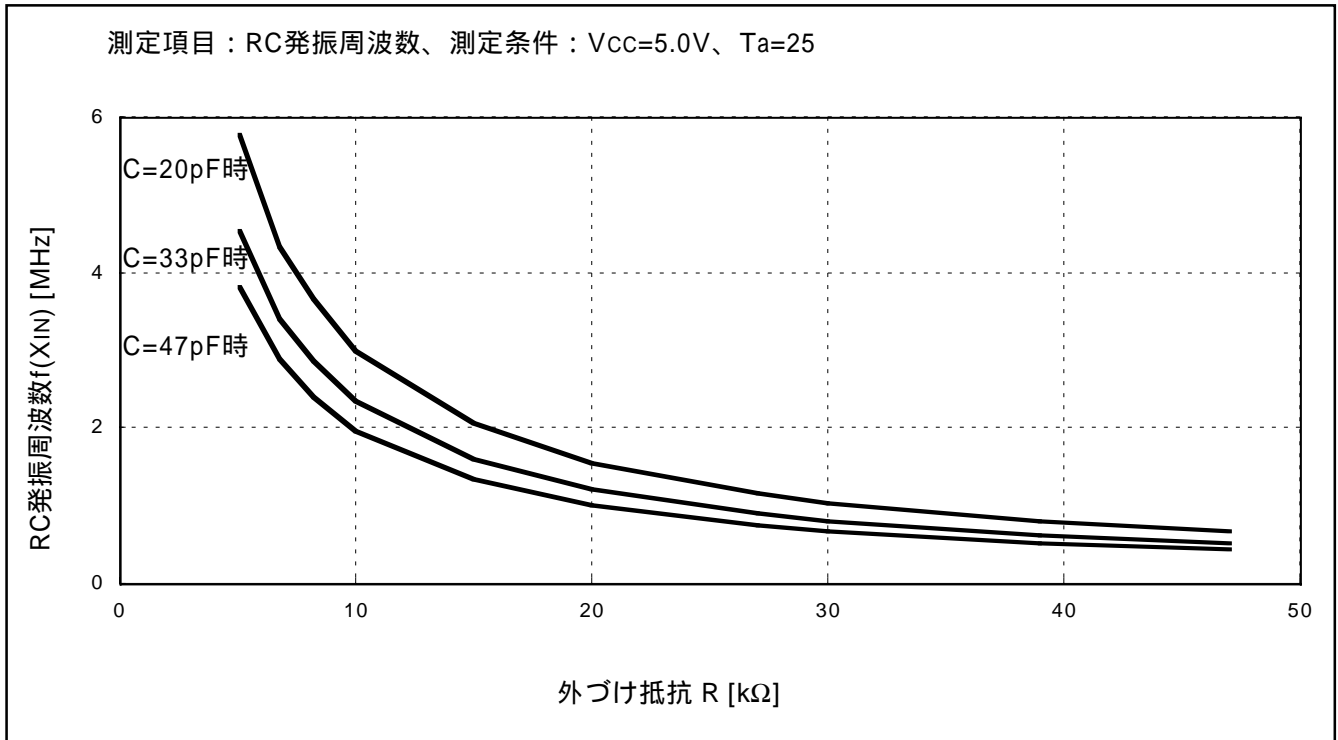


図3.2.79 R-f(XIN)特性(RC発振周波数：ワンタイムPROM版)

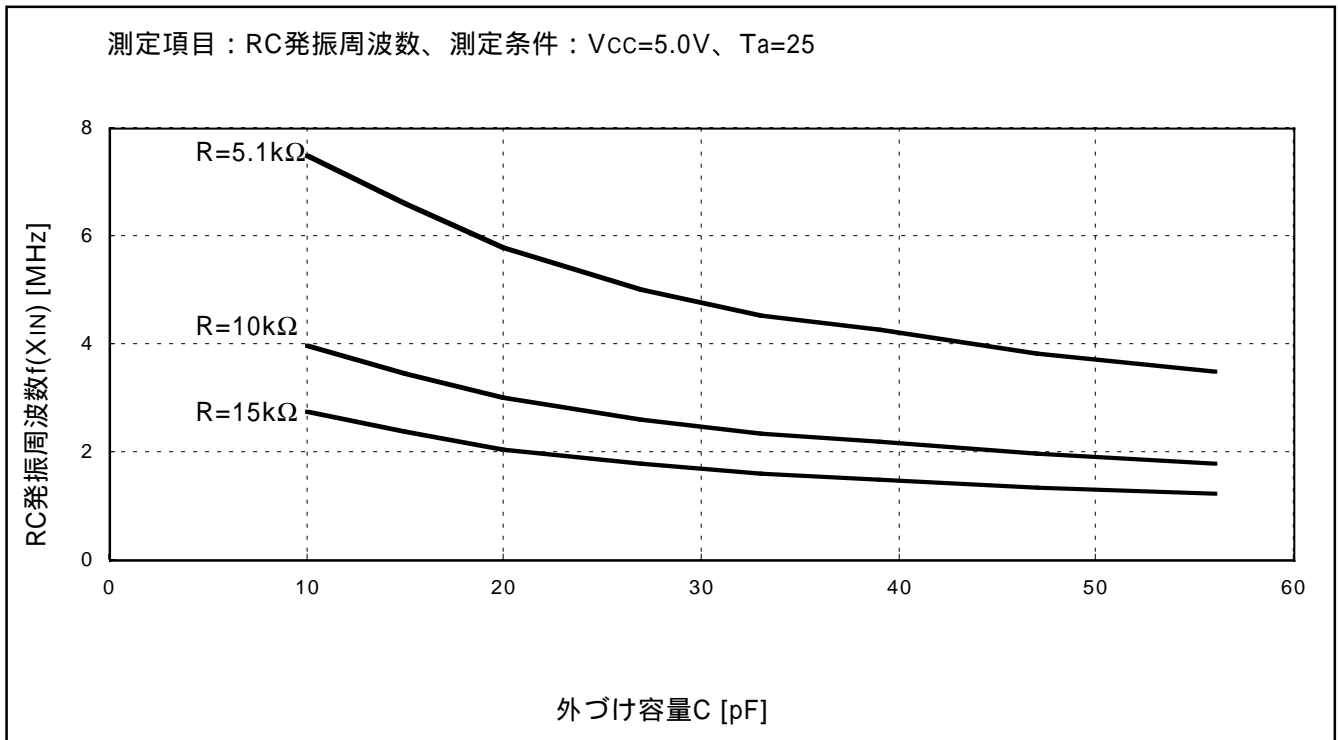


図3.2.80 C-f(XIN)特性(RC発振周波数：ワンタイムPROM版)

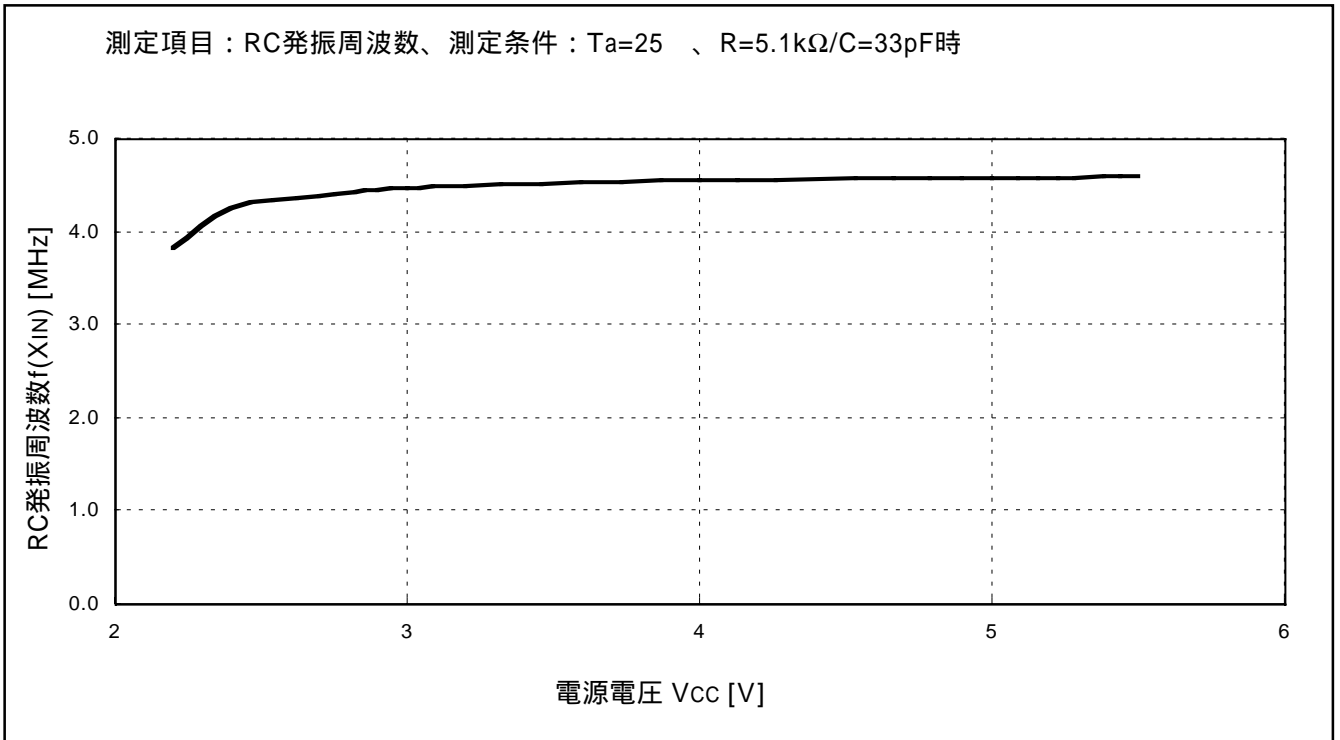


図3.2.81 Vcc-f(XIN)特性(RC発振周波数：ワンタイムPROM版)

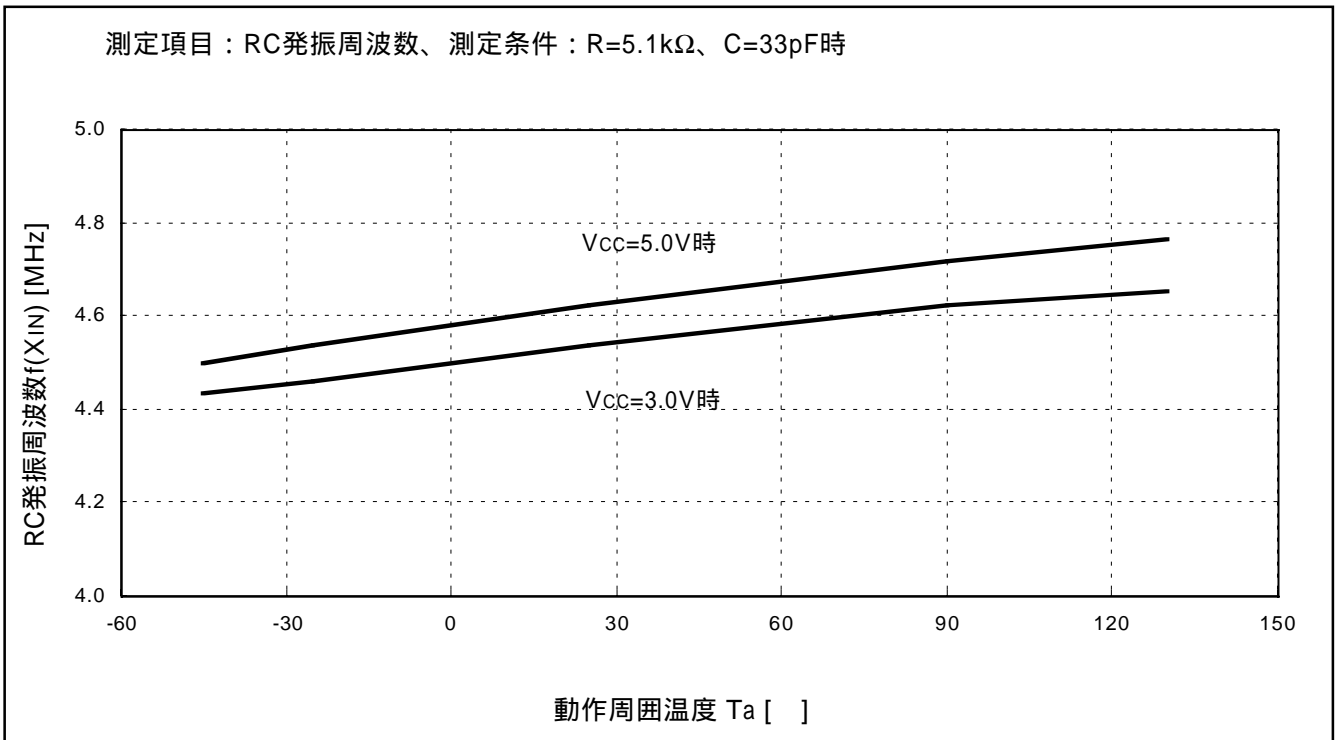


図3.2.82 Ta-f(XIN)特性(RC発振周波数：ワンタイムPROM版)

(11) A/D変換標準特性例

A/D変換精度の定義

A/D変換精度の定義を以下に説明します。

相対精度

- ・ ゼロトランジション電圧 実際のA/D変換出力データが0から1に変化するときのアナログ入力電圧を表します。
- ・ フルスケールトランジション電圧 実際のA/D変換出力データが1023から1022に変化するときのアナログ入力電圧を表します。
- ・ 直線性誤差 V_{0T} と V_{FST} を結んだ直線と実際のA/D変換出力データとの偏差を表します。
- ・ 微分非直線性誤差 相対精度において、 V_{0T} ～ V_{FST} 間で変換値を1LSB変化させるために必要な入力電位差からの偏差を表します。

絶対精度 実際のA/D変換特性の0～ V_{REF} 間の理想特性からの偏差を表します。

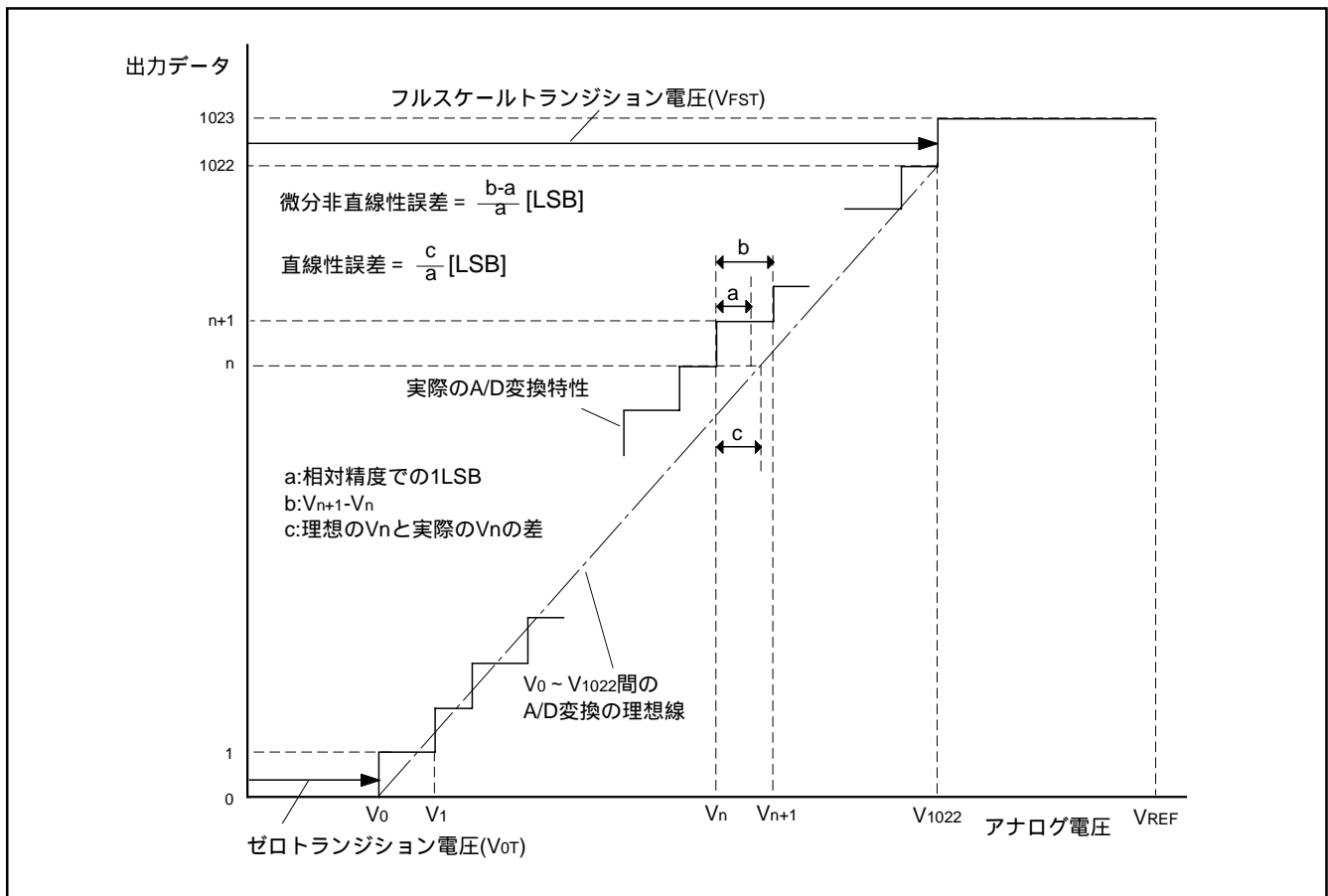


図3.2.83 A/D変換精度の定義：ワンタイムPROM版

V_n : A/D変換出力データが n から $n+1$ ($n=0 \sim 1022$)に変化するときのA/D入力電圧

・ 相対精度の1LSB $\frac{V_{FST} - V_{0T}}{1022}$ (V)

・ 絶対精度の1LSB $\frac{V_{REF}}{1024}$ (V)

A/D変換精度標準特性例-1

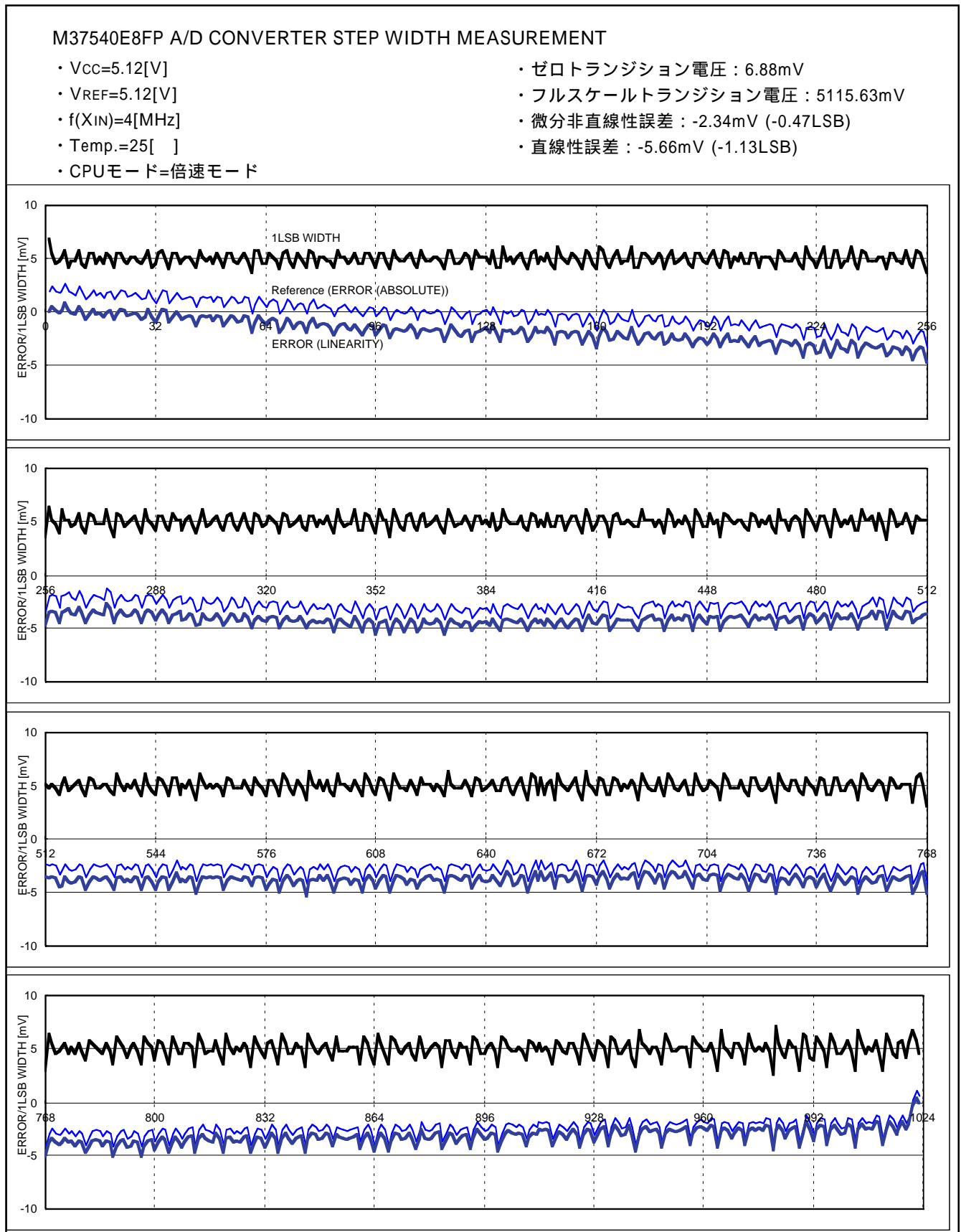


図3.2.84 A/D変換精度標準特性例-1(ワンタイムPROM版)

A/D変換精度標準特性例-2

M37540E8FP A/D CONVERTER STEP WIDTH MEASUREMENT

- VCC=5.12[V]
- VREF=5.12[V]
- XIN=6[MHz]
- Temp.=25[]
- CPUモード=倍速モード

- ゼロトランジション電圧：5.94mV
- フルスケールトランジション電圧：5113.44mV
- 微分非直線性誤差：3.28mV (0.66LSB)
- 直線性誤差：-4.91mV (-0.98LSB)

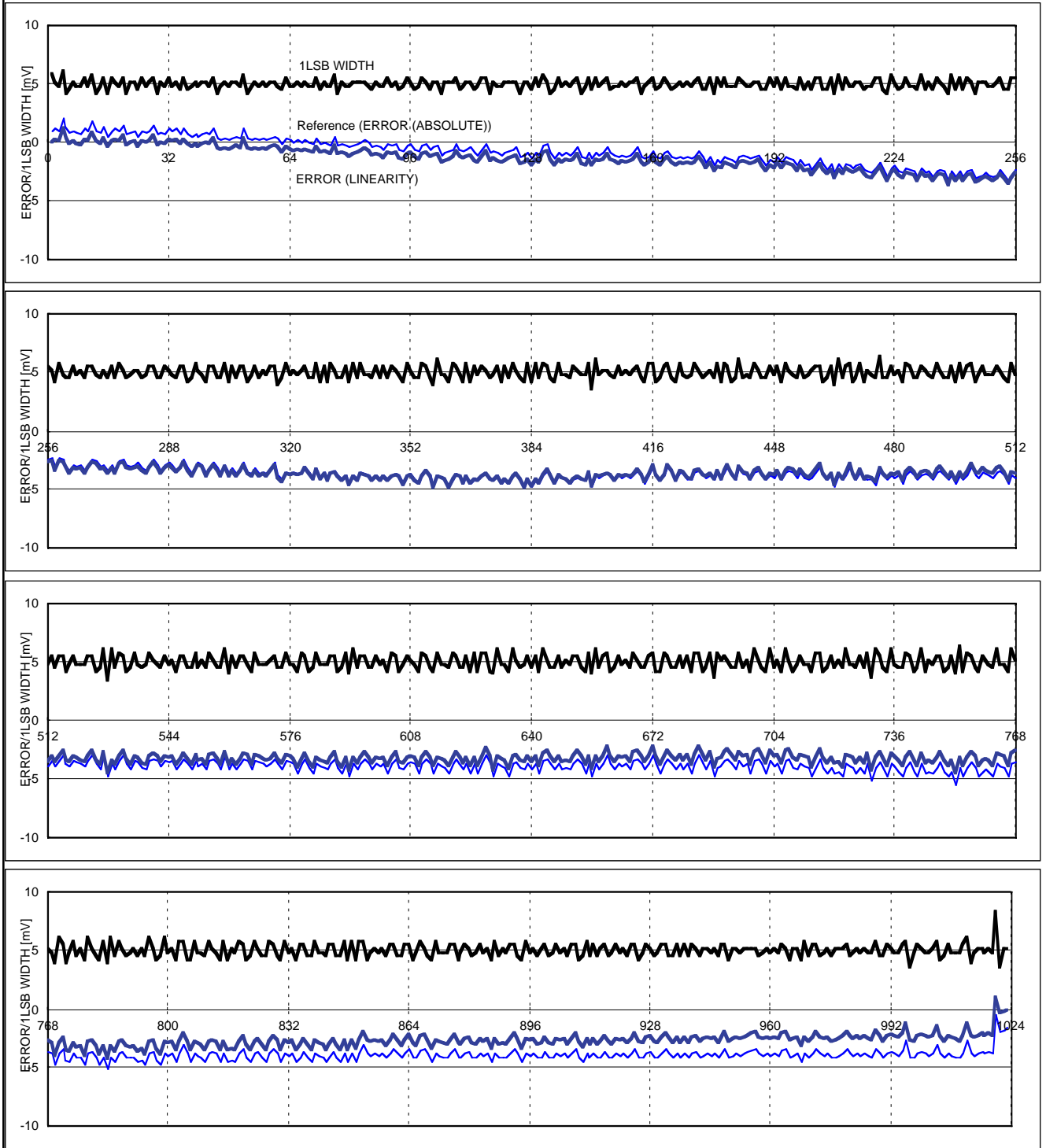


図3.2.85 A/D変換精度標準特性例-2(ワンタイムPROM版)

A/D変換精度標準特性例-3

M37540E8FP A/D CONVERTER STEP WIDTH MEASUREMENT

- V_{CC}=5.12[V]
- V_{REF}=5.12[V]
- X_{IN}=8[MHz]
- Temp.=25[]
- CPUモード=高速モード

- ゼロトランジション電圧 : 5.63mV
- フルスケールトランジション電圧 : 5115.31mV
- 微分非直線性誤差 : -2.66mV (-0.53LSB)
- 直線性誤差 : -5.99mV (-1.20LSB)

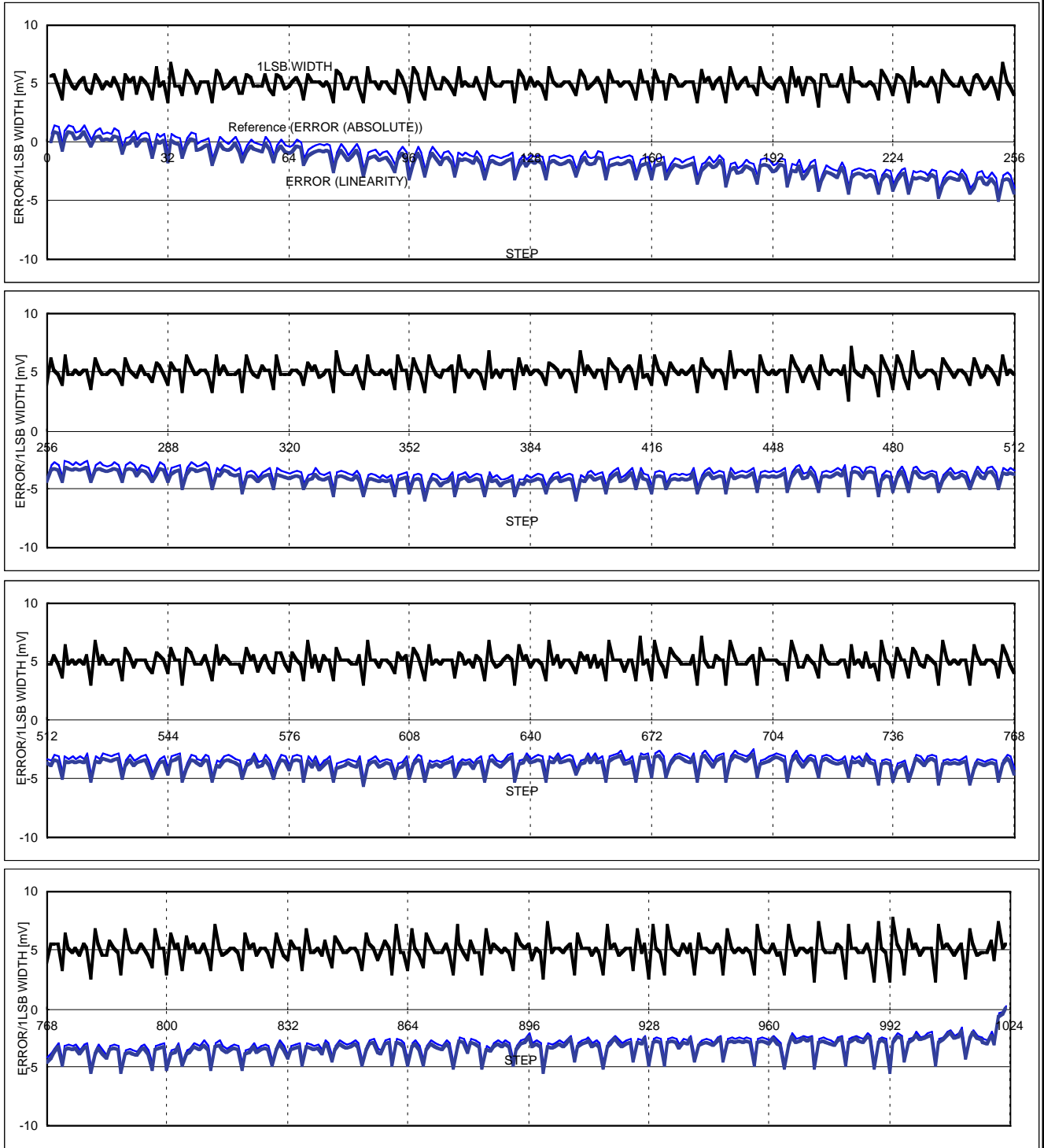


図3.2.86 A/D変換精度標準特性例-3(ワンタイムPROM版)

3.3 使用上の注意事項

3.3.1 入出力ポートに関する注意事項

入出力ポートを使用する場合は、以下の注意が必要です。

(1) スタンバイ状態での使用に関して

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(V_{cc} に接続)又はプルダウン(V_{ss} に接続)してください。抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

方向レジスタで入力ポートに設定している場合、出力トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替えに関して

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

(3) 32ピン版の使用に関して

プルアップ制御レジスタのP35,P36プルアップ制御ビットは“ 1 ”に固定してください。

ポートP1P3制御レジスタのP36/INT1入力レベル選択ビットは“ 0 ”(初期値)から変更しないでください。

3.3.2 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理に関して

入出力ポート

入力モードに設定し、1~10k Ω の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“ L ”又は“ H ”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2) 未使用端子の不適切な処理に関して

入出力ポート

入力モードで開放しないでください。

理由

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

3.3.3 タイマに関する注意事項

- ・タイマラッチに値 n (0 ~ 255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・タイマX, Y及びZのカウントソースを切り替える場合は、必ずそれぞれのタイマのカウントを停止させた状態で行ってください。

3.3.4 タイマAに関する注意事項

タイマAを使用する場合は、以下の注意が必要です。

(1) 全モードに関して

タイマA(上位) (TAH)、タイマA(下位) (TAL)を読み出すと、タイマAの内容(カウント値)が読み出されます。読み出しは、TAH、TALの順で、両レジスタ共に行ってください。TAH、TALは読み出しを行わない限り、その内容を保持します。また、読み出し操作中に書き込みを行わないでください。この場合、正常な動作を行いません。

タイマAは動作、停止いずれの場合もTAL、TAHにデータを書き込むと、タイマAラッチ及びタイマAへ同時に値が設定されます。書き込みはTAL、TAHの順で、両レジスタ共に行ってください。また、書き込み操作中に読み出しを行わないでください。この場合、正常な動作を行いません。

(2) 周期測定、イベントカウント、パルス幅HL連続測定モードに関して

CNTR1端子を使用するため、ポートP0方向レジスタのビット0を“0”に設定して、入力モードにしてください。

CNTR1端子を使用するため、割り込み制御レジスタのビット7を“1”に設定して、兼用しているP00のキーオンウェイクアップ機能を禁止してください。

CNTR1極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが“0”のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが“1”のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが“1”にセットされます。

ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりCNTR1割り込み要求が発生します。

3.3.5 タイマ1に関する注意事項

タイマ1を使用する場合は、以下の注意が必要です。

(1) STP命令解除後発振安定時間設定に関して

タイマ1はSTP命令解除後の発振安定時間設定に使用することができます。STP命令解除後の発振安定時間は、MISRGのSTP命令解除後発振安定時間設定ビットにて自動設定する/自動設定しないを選択することができます。“0”を設定するとタイマ1には“01₁₆”、プリスケラ1には“FF₁₆”が自動設定されます。“1”を設定するとタイマ1、プリスケラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあわせて待ち時間を設定してください。

なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケラ1の値を再設定してください。

3.3.6 タイマXに関する注意事項

タイマXを使用する場合は、以下の注意が必要です。

(1) カウントソース設定に関して

f(XIN)は、セラミック発振、オンチップオシレータ時のみ使用可能です。RC発振時は使用しないでください。

(2) パルス出力モードに関して

CNTR0端子を使用するため、ポートP1方向レジスタのビット4を“1”に設定して、出力モードにしてください。

TXOUT端子を使用する場合には、ポートP0方向レジスタのビット3を“1”に設定して、出力モードにしてください。

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

(3) パルス幅測定モードに関して

CNTR0端子を使用するため、ポートP1方向レジスタのビット4を“0”に設定して、入力モードにしてください。

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

3.3.7 タイマY、タイマZに関する注意事項

タイマY、タイマZを使用する場合は、以下の注意が必要です。

(1) タイマモードに関して(タイマYについて記述、タイマZも同様)

タイマモードではタイマYセカンダリ、タイマZセカンダリを使用しません。

(2) プログラマブル波形発生モードに関して(タイマYについて記述、タイマZも同様)

プログラマブル波形発生モードでは、カウント設定値を変更する場合、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張制御ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないようにソフトウェアで対策を行ってください。

対策の一例を以下に示します。

例：タイマY割り込みを用い、プライマリによるアンダフロー、セカンダリによるアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、セカンダリによるアンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリ、セカンダリの設定値、プライマリへの書き込みタイミングによっては実現不可の場合もあります。)

タイマY波形拡張制御ビットによる波形拡張機能は、プリスケアラYに“0016”を設定したときのみ使用可能です。プリスケアラYに“0016”以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに“0”を設定してください。

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定したときのみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

プログラマブル波形発生モードを使用する場合は、必ずタイマY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマYセカンダリを読み出した場合、不定値が読み出されます。ただしタイマYがタイマYセカンダリの設定値をカウントしている間は、タイマYプライマリを読み出すことでセカンダリ期間のカウント値を知ることができます。

TYOUT端子を使用するため、ポートP0方向レジスタのビット1を“1”に設定して、出力モードにしてください。

(3) プログラマブルワンショット発生モードに関して(タイマZ)

プログラマブルワンショット発生モードではタイマZセカンダリを使用しません。

プログラマブルワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

プログラマブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

対策の一例を以下に示します。

例：タイマZ割り込みを用い、タイマのアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、アンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリの設定値、プライマリへの書き込みタイミング、ソフトウェアまたはINT0端子への外部トリガタイミングによっては実現不可の場合もあります。)

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケアラZに“0016”を設定したときのみ使用可能です。プリスケアラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合も波形拡張機能は使用できません。

プログラマブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

TZout端子を使用するため、ポートP0方向レジスタのビット2を“1”に設定して、出力モードにしてください。

INT0端子ワンショットトリガ制御ビット及びINT0ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。

(4) プログラブルウェイトワンショット発生モードに関して(タイマZ)

プログラブルウェイトワンショット発生モードでは、カウント設定値を変更する場合、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZに書き込む必要があります。

プログラブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないようにソフトウェアで対策を行ってください。

対策の一例を以下に示します。

例：タイマZ割り込みを用い、プライマリによるアンダフロー、セカンダリによるアンダフローをポーリング等で記憶する。プライマリへの書き込み動作前に参照し、セカンダリによるアンダフロー後ならば問題なしと判断し、プライマリへの書き込みを行う。(プライマリ、セカンダリの設定値、プライマリへの書き込みタイミング、ソフトウェアまたはINT0端子への外部トリガタイミングによっては実現不可の場合もあります。)

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定したときのみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、タイマZカウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

プログラブルウェイトワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZセカンダリを読み出した場合、不定値が読み出されます。ただし、タイマZがタイマZセカンダリの設定値をカウントしている間(ワンショット出力中)は、タイマZプライマリを読み出すことで、セカンダリ期間のカウント値を知ることができます。

TZOUT端子を使用するため、ポートP0方向レジスタのビット2を“1”に設定して、出力モードにしてください。

INT0端子ワンショットトリガ制御ビット及びINT0ワンショットトリガ極性選択ビットを変更する場合は、タイマZを停止してから行ってください。

(5) 全モードに関して(タイマYについて記述、タイマZも同様)

タイマYは、いずれの動作モードでも、タイマYカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマYがアンダフローすると、タイマY割り込み要求ビットが“1”にセットされます。

タイマYは、タイマYカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

3.3.8 シリアルI/O1に関する注意事項

シリアルI/O1を使用する場合は、以下の注意が必要です。

(1) クロック同期形に関して

シリアルI/O1をクロック同期形として使用する場合、シリアルI/O2は使用できません。

送信動作を停止する場合、シリアルI/O1許可ビット及び送信許可ビットを“0”(シリアルI/O1禁止及び送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1、RxD1、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)、又はシリアルI/O1許可ビットを“0”(シリアルI/O1禁止)にしてください。

送受信動作を停止する場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。(送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また、同様に、シリアルI/O1許可ビットを“0”(シリアルI/O1禁止)にしても送信回路を初期化できません。

同期クロックとして外部クロック入力選択時、受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも“1”にしてください。

$\overline{\text{SRDY1}}$ 信号を入力する場合は、データを送信/受信バッファレジスタに書き込む前に、使用する端子を入力モードに設定してください。

クロック同期形シリアルI/O選択時のシリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は同期クロックの出力端子になります。

“1”: P12端子は同期クロックの入力端子になります。

クロック同期形シリアルI/O1選択時の $\overline{\text{SRDY1}}$ 出力許可ビットの設定

“0”: P13端子は通常の入出力端子として使用できます。

“1”: P13端子は $\overline{\text{SRDY1}}$ 出力端子になります。

(2) UARTに関して

シリアルI/O1をUARTとして使用する場合、同期クロックにBRG出力の16分周を選択した場合のみ、シリアルI/O2を使用することができます。

送信動作を停止する場合、送信許可ビットを“0”(送信禁止)にしてください。

理由

(1)のと同じです。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)にしてください。

送受信動作を停止する場合、送信許可ビットを“0”(送信禁止)に、受信許可ビットを“0”(受信禁止)にしてください。

クロック非同期(UART)形シリアルI/O選択時のシリアルI/O同期クロック選択ビットの設定

“0”: P12端子は通常の入出力端子として使用できます。

“1”: P12端子は外部クロックの入力端子になります。

クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

(3) クロック同期形 / UART共通に関して

シリアルI/O制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定しなおしてください。

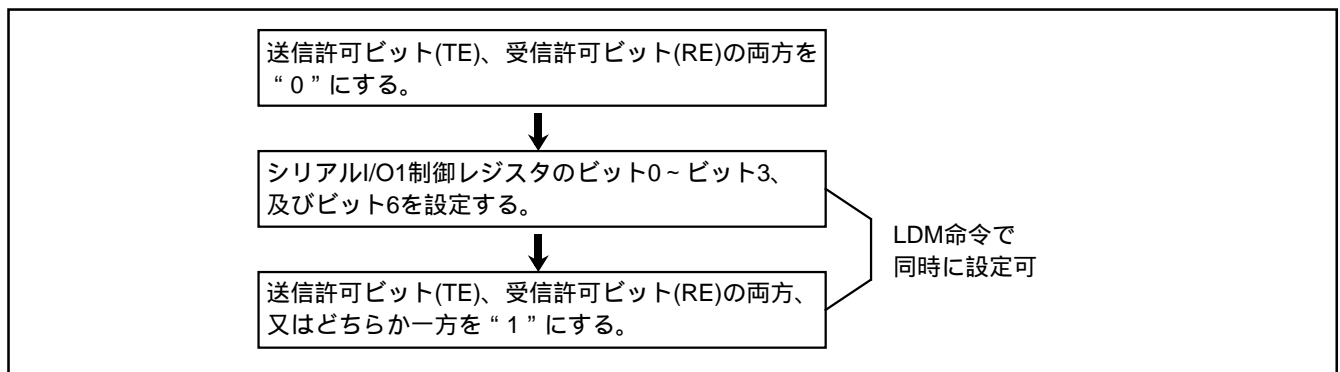


図3.3.1 シリアルI/O制御レジスタの再設定手順

送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態で送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

送信割り込みを使用する場合は、以下の手順で設定してください。

- ・シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。
- ・送信許可ビットを“1”にする。
- ・一命令以上おいてからシリアルI/O送信割り込み要求ビットを“0”にする。
- ・シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に、上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

ボーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

3.3.9 シリアルI/O2に関する注意事項

シリアルI/O2を使用する場合は、以下の注意が必要です。

(1) シリアルI/O1使用時の制限事項に関して

シリアルI/O2は、シリアルI/O1を使用していない場合及び、シリアルI/O1をUARTとして使用し、かつ同期クロックにBRG出力の16分周を選択した場合のみ、使用可能です。

(2) SCLK2端子に関して

外部クロック選択時は、ポートP1方向レジスタのビット2を“0”に設定して、入力モードにしてください。

(3) SDATA2端子に関して

SDATA入力として使用する場合は、ポートP1方向レジスタのビット3を“0”に設定して、入力モードにしてください。

送信時内部クロックを選択し、かつP13/SDATA2が入力モードの場合、転送終了後、SDATA2端子はハイインピーダンスとなります。

(4) シリアルI/O2送受信シフト終了フラグに関して

シリアルI/O2制御レジスタの送受信シフト終了フラグは、送受信シフト終了後“1”になります。“0”にする場合は、プログラムでシリアルI/O2レジスタにデータ(受信時はダミーデータ)を書き込んでください。

シリアルI/O2制御レジスタのビット7(送受信シフト終了フラグ)は、実際のシフト動作の終了よりもシフトクロック半サイクル分早くセットされます。従って、このビットを使用してシフト終了の確認をする場合、このビットが“1”に設定されたことを確認した後クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行ってください。

3.3.10 A/Dコンバータに関する注意事項

A/Dコンバータを使用する場合は、以下の注意が必要です。

(1) アナログ入力端子に関して

図3.3.2にアナログ入力部の内部等価回路を示します。A/D変換を正しく行うには、内部のコンデンサへの充電を所定の時間内に完了させることが必要です。この時間内にコンデンサの充電を完了させるために必要なアナログ入力源の最大出力インピーダンスは以下の通りです。

$$\text{約}35\text{k} \quad (\text{f}(\text{XIN}) = 8\text{MHz時})$$

出力インピーダンスの最大値が上記の値を越える場合は、アナログ入力端子 - Vss間にコンデンサ(0.01 μF ~ 1 μF 程度)を挿入する等の対策を行い、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

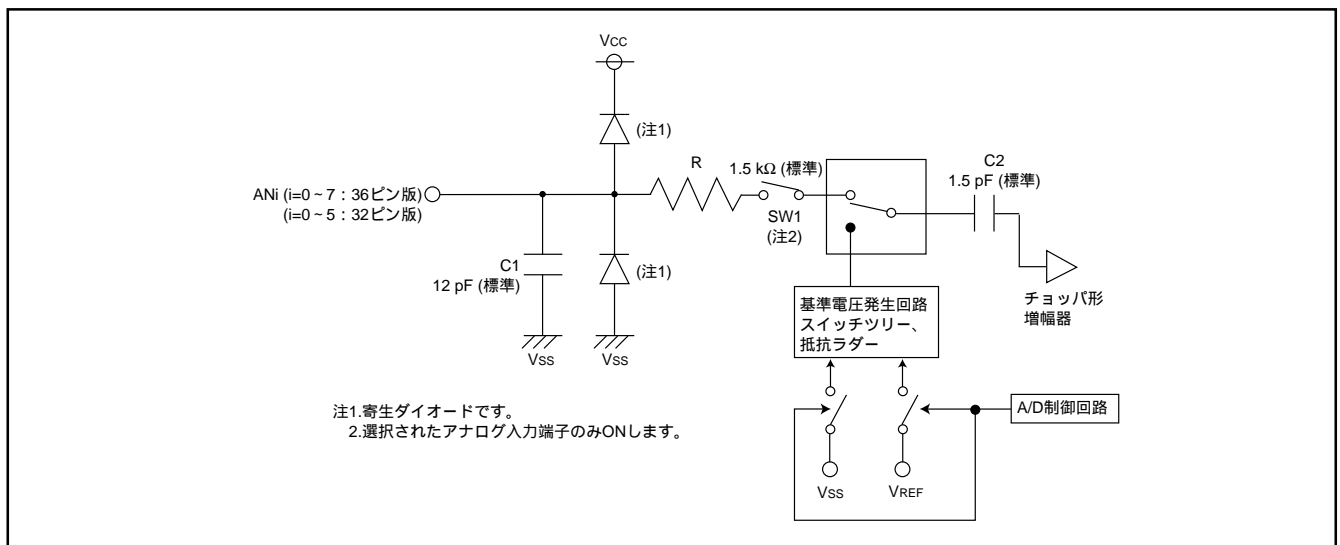


図3.3.2 アナログ入力部の内部等価回路

(2) A/D変換中のクロック周波数に関して

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・ $f(\text{XIN})$ は500kHz以上にしてください。
- ・ STP命令は実行しないでください。

(3) A/D変換に関する注意事項

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

- (1) VREF電圧をVccよりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、VREF電圧とVcc電圧を同一に設定する場合よりも精度が低くなる場合があります。
- (2) VREF電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VREF=3.0V異常での使用を推奨します。

3.3.11 発振制御に関する注意事項

発振制御を使用する場合は、以下の注意が必要です。

(1) オンチップオシレータに関して

7540グループは、オンチップオシレータで起動開始します。

オンチップオシレータ動作

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) 発振停止検出回路に関して

ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

$f(XIN)$ 発振を停止する場合は、発振停止検出機能を無効にしてください。

エミュレータ専用MCU“ M37540RSS ”には、発振停止検出回路の機能は含まれておりません。

(3) ストップモードに関して

ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

ストップモードを使用する場合は、ウォッチドックタイマ制御レジスタのSTP命令禁止ビットを“ 0 (STP命令許可) ”に設定してください。

STP命令解除後の発振安定時間は、MISRGのSTP命令解除後発振安定時間設定ビットにて自動設定する / 自動設定しないを選択することができます。“ 0 ”を設定するとタイマ1には“ 0116 ”、プリスケアラ1には“ FF16 ”が自動設定されます。“ 1 ”を設定するとタイマ1、プリスケアラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあわせて待ち時間を設定してください。なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケアラ1の値を再設定してください。

CPUがオンチップオシレータによって動作している間は、STP命令は使用できません。

ストップモードを使用する場合は、オンチップオシレータ発振を停止してください。

A/D変換中は、STP命令を実行しないでください。

(4) ウェイトモードに関して

ウェイトモードを使用する場合は、動作クロック源以外のクロックを停止してください。

(5) 状態遷移に関して

動作クロック源が $f(XIN)$ の状態では、CPUクロック分周比を次の3種類から選択できます。

$f(XIN)/2$ (高速モード)

$f(XIN)/8$ (中速モード)

$f(XIN)$ (倍速モード)

倍速モードはセラミック発振時のみ使用可能です。RC発振時は使用しないでください。

動作クロック源をオンチップオシレータから $f(XIN)$ へ遷移する場合、 $f(XIN)$ の発振が安定してから行ってください。

動作クロック源がオンチップオシレータの状態では、CPUクロック分周比は中速モードとなります。

状態2から状態3、状態4と遷移する場合は、CPUクロックの分周比に応じて、以下のようにNOP命令を挿入してください。

- ・ CPUM76 10₂(状態2 3)
- ・ NOP命令
- ・ CPUM4 1₂(3 4)
- 倍速モード オンチップオシレータ時 : NOP × 3
- 高速モード オンチップオシレータ時 : NOP × 1
- 中速モード オンチップオシレータ時 : なし

(6) セラミック発振とRC発振の切り替えに関して

リセット解除後は、オンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック発振又は、RC発振が有効になります。

(7) 倍速モードに関して

セラミック発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

(8) クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えに関して

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7,6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図3.3.3の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

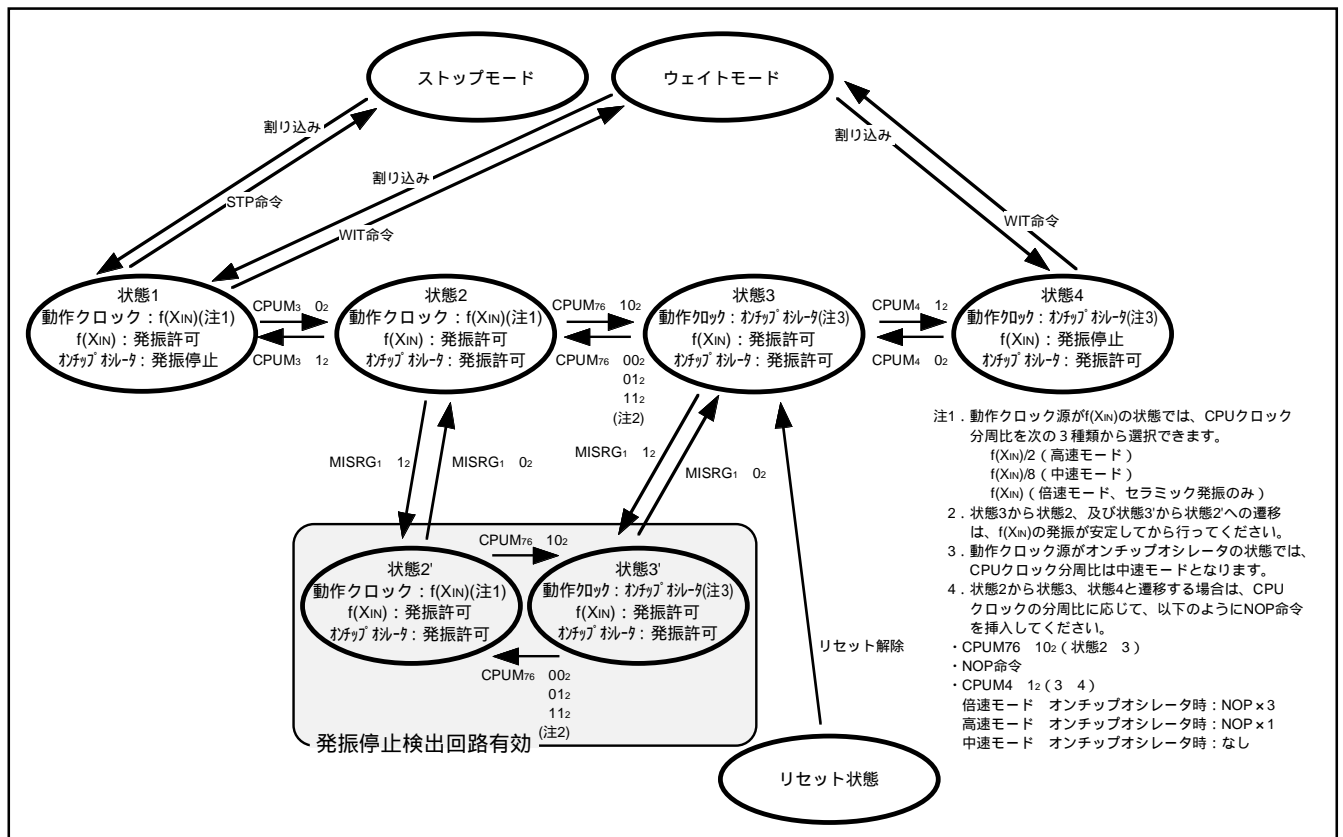


図3.3.3 状態遷移図

3.3.12 CPUモードレジスタに関する注意事項

(1) リセット解除後の切り替え手順に関して

リセット解除後のプログラムの先頭で、CPUモードレジスタ(CPUM)の切り替えを以下の手順で行ってください。

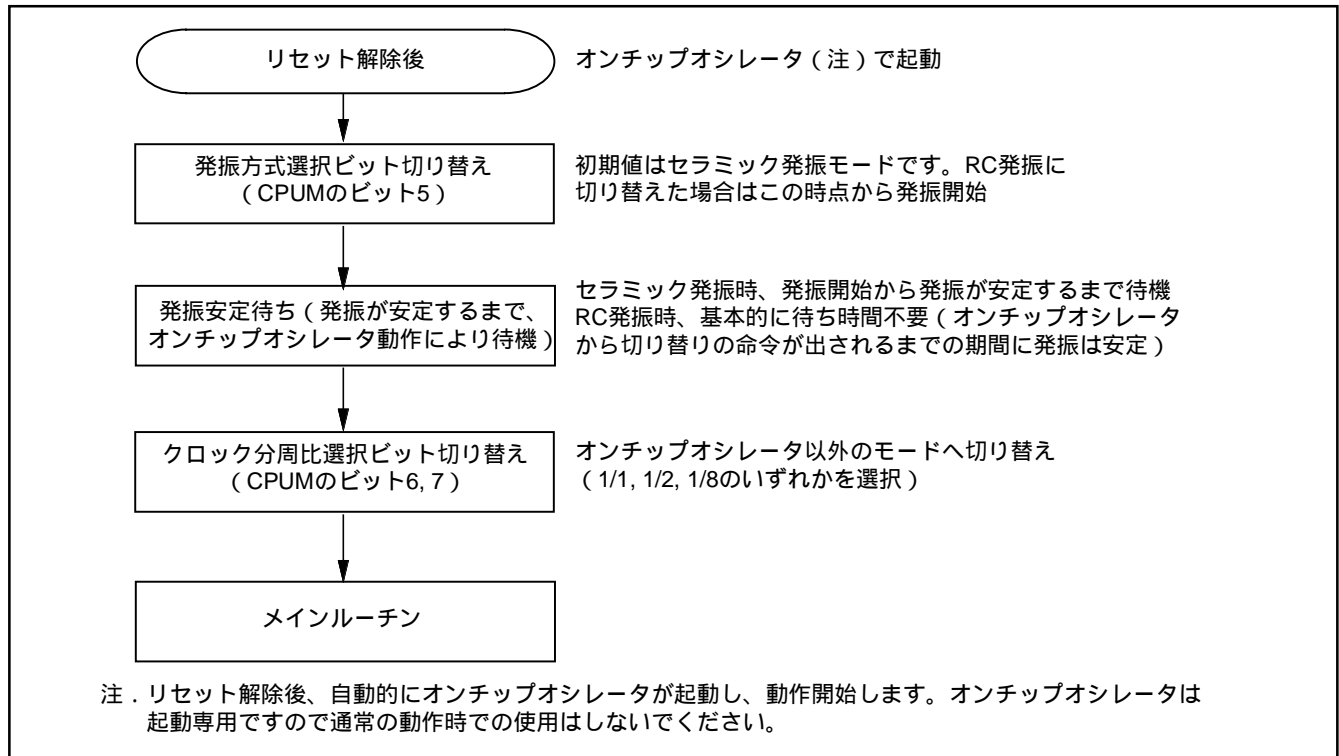


図3.3.4 CPUモードレジスタの切り替え手順

(2) CPUモードレジスタの書き替えに関して

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイクロコンピュータの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイクロコンピュータのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU“M37540RSS”は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB, CLB等の命令)使用時も、これらのビットにはロックがかかります。

3.3.13 割り込みに関する注意事項

(1) 検出エッジの切り替えに関して

外部割り込みの検出エッジを切り替えることができる製品において、検出エッジを切り替える場合、以下の順番で行ってください。

理由

割り込み回路は検出エッジの切り替えを外部入力信号の変化として認識します。このため、不要な割り込み処理ルーチンが実行されることがあります。

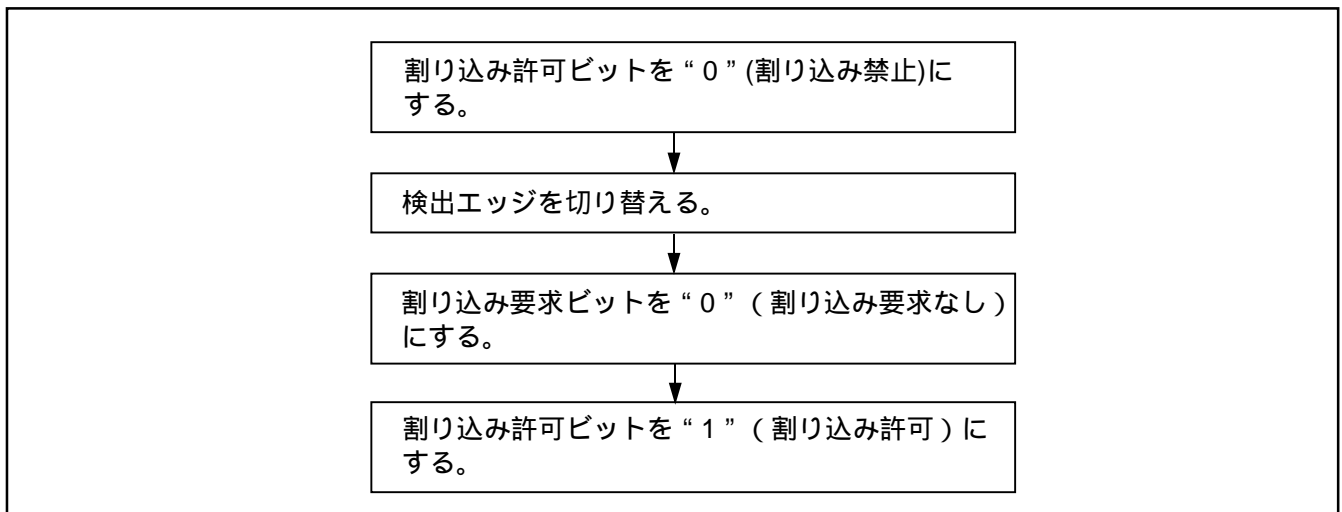


図3.3.5 検出エッジの切り替え手順

(2) 割り込み要求ビットの判定に関して

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令以上実行してください。

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

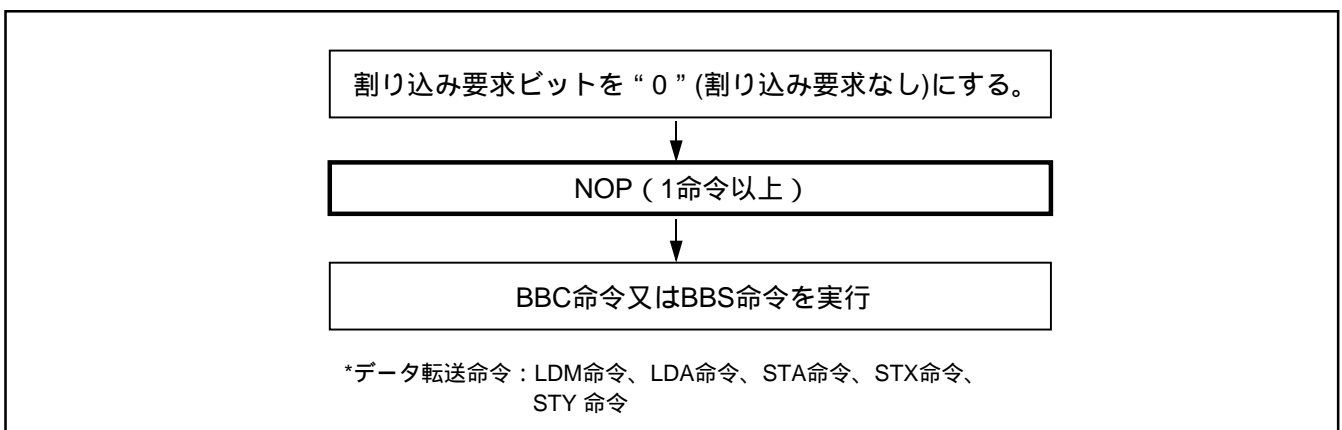


図3.3.6 割り込み要求ビットの判定手順

(3) 割り込み制御レジスタ2の構成に関して

割り込み制御レジスタ2のビット7は必ず“0”に固定してください。割り込み制御レジスタ2の構成を図3.3.7に示します。

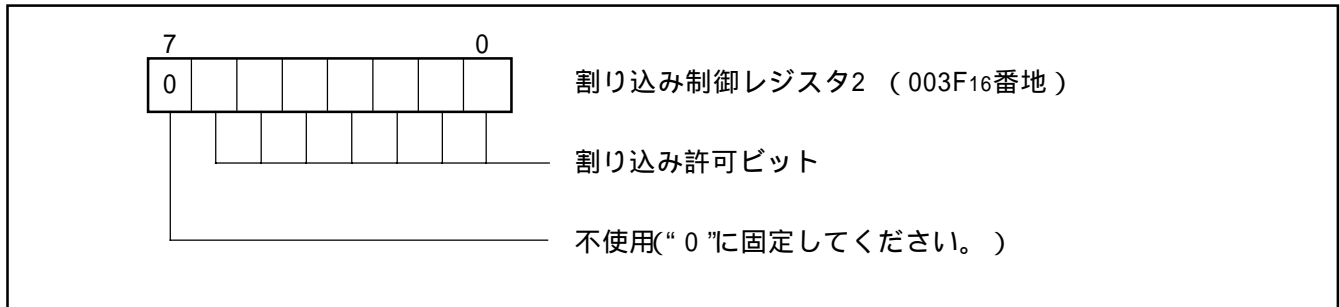


図3.3.7 割り込み制御レジスタ2の構成

(4) 割り込み要求ビットの設定に関して

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込み(INT0、INT1、CNTR0、CNTR1)のアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
タイマXモードレジスタ (2B16番地)
タイマAモードレジスタ (1D16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- 該当する割り込み許可ビットを“0”(禁止)にする。
- 割り込みエッジ選択ビット(極性切り替えビット)を設定する。
- 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- 該当する割り込み許可ビットを“1”(許可)にする。

3.3.14 リセット端子に関する注意事項

(1) コンデンサの接続に関して

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

3.3.15 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタに関して

プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

理由

プロセッサステータスレジスタ(PS)は、Iフラグが「1」であるのを除いて、リセット直後は不定です。

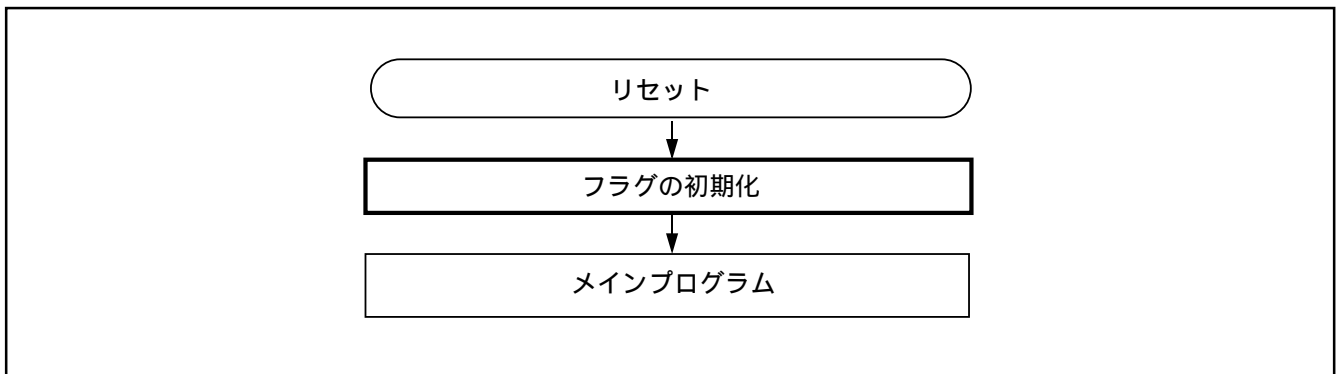


図3.3.8 プロセッサステータスレジスタのフラグの初期化

プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

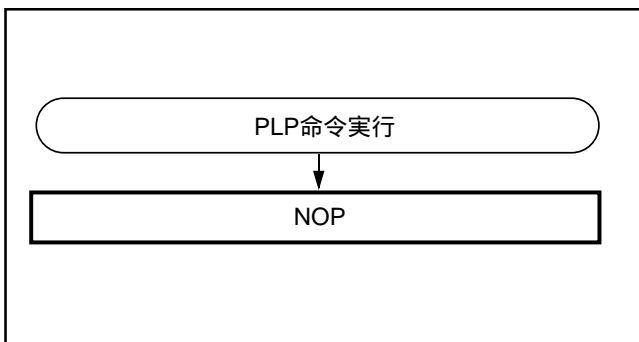


図3.3.9 PLP命令実行時の手順

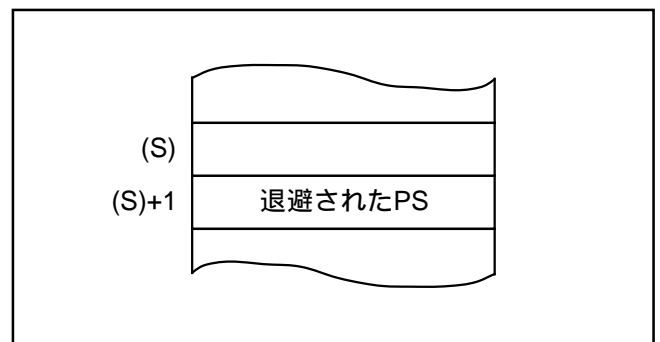


図3.3.10 PHP命令実行後のスタックメモリの内容

(2) 10進演算に関して

10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC, SBC命令を実行したとき、ステータスフラグのうちN, V, Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

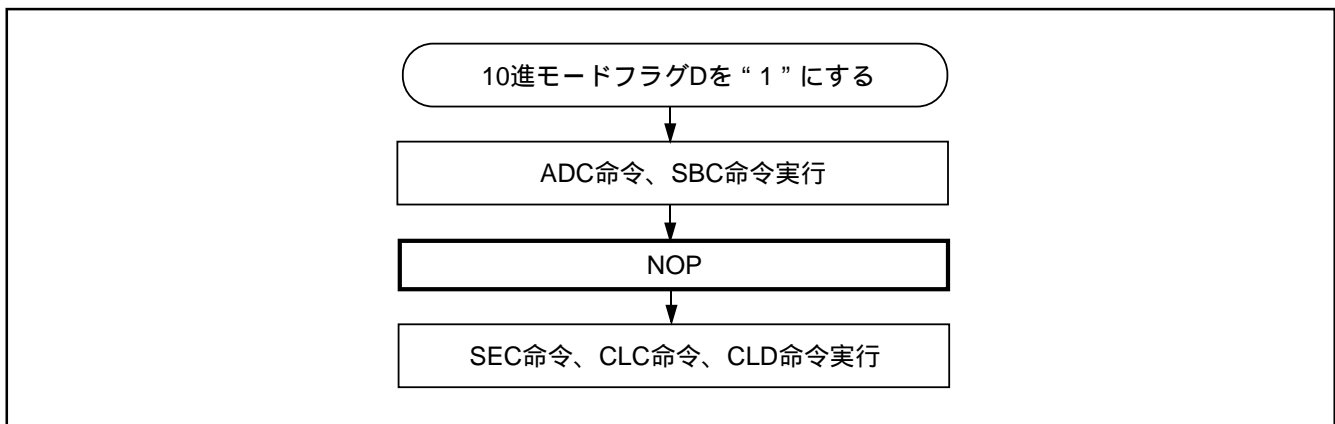


図3.3.11 10進演算時のステータスフラグ

(3) JMP命令に関して

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

(4) 割り込みに関して

割り込み要求ビットの内容をプログラムで変更した直後に、BBC, BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(5) ポートに関して

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC, BBSなどのビットテスト命令は使用できません。また、CLB, SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(6) A/D変換に関して

A/D変換中はSTP命令を実行しないでください。

(7) 命令の実行時間に関して

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時XINと同一、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。

(8) CPUモードレジスタに関して

発振方式選択ビット、プロセッサモードビットは、リセット解除後1度だけ書き替えることができます。書き替え後は、ロックされるため、このビットへの書き込みは、無効になります。(エミュレータ専用MCUは除きます)

クロック分周比選択ビットの倍速モードは、セラミック発振時のみ使用可能です。RC発振時は、使用しないでください。

動作クロック源に選択しているクロックをビット3、4により停止させないでください。

3.3.16 PROM内蔵版の書き込みとテストに関する注意事項

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することによって、汎用のPROMライターで内蔵PROMの書き込み及び読み出しを行うことができます。

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングは行っていません。書き込み以降の信頼性を向上させるため、図3.3.12に示すフローで書き込み及びテストを行った後、使用することを推奨します。

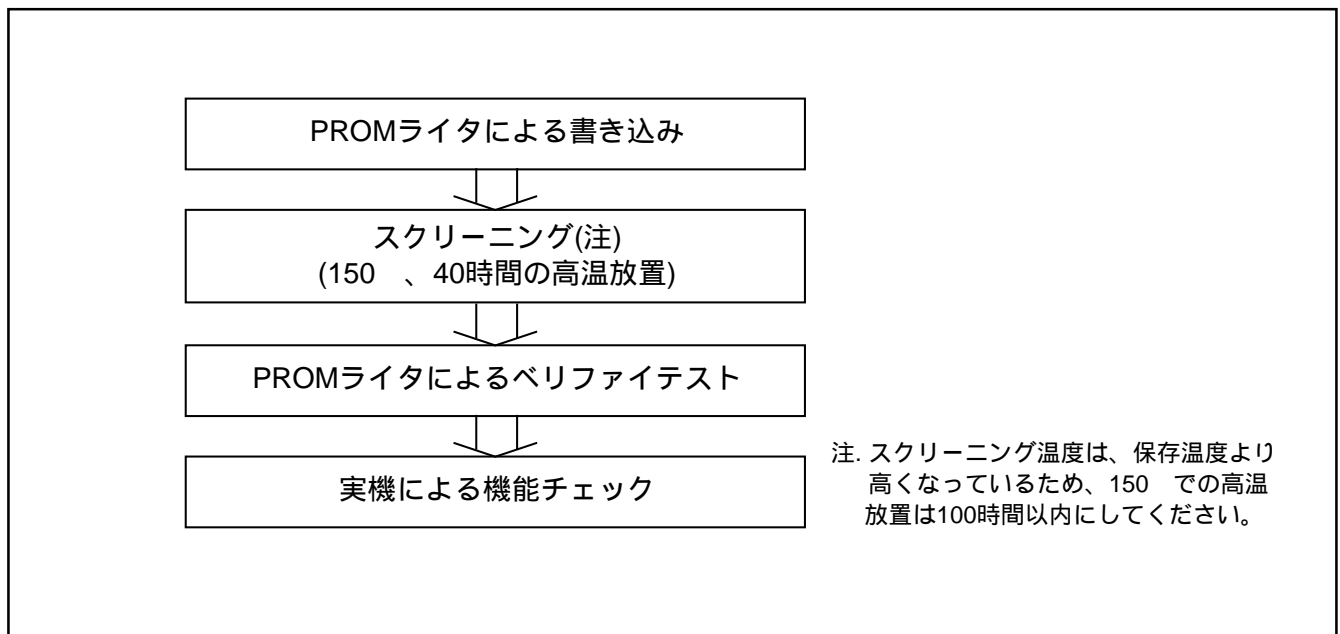


図3.3.12 ワンタイムPROM版の書き込みとテスト

(1) ワンタイムPROM版に関して

CNVSS端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVSS端子の配線は1~10kΩの抵抗を介してVSSに接続くださるようお願いいたします。なお、マスクROM版のCNVSS端子の配線が抵抗を介して接続されていても、動作上支障はありません。

3.3.17 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F ~ 0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

3.3.18 PROM内蔵版に関する注意事項

(1) 書き込みアダプタに関して

PROM内蔵版の内蔵PROMへの書き込み及び内蔵PROMからの読み出しは、表3.3.1に示す専用の書き込みアダプタと汎用のPROMライターを使用してください。

表3.3.1 書き込みアダプタ対応表

マイクロコンピュータ型名	書き込みアダプタ型名
M37540E8SP (ワンタイムブランク品)	PCA7435SPG02
M37540E8FP (ワンタイムブランク品)	PCA7435FPG02
M37540E8GP (ワンタイムブランク品)	PCA7435GPG03

(2) 書き込み及び読み出しに関して

PROMモード時は、M5M27C101AKと同じ動作ですが、デバイス識別コードを内蔵していないため、PROMライターのプログラム条件は自動的に設定されません。書き込み及び読み出しの際に、以下の条件を正確に設定してください。特に、Vpp端子(CNVss端子と兼用)へ21Vの電圧が印加されると、製品の永久的なダメージにつながりますので注意が必要です。

プログラム書き込み電圧：12.5V

PROMライターのアドレス設定：表3.3.2参照

表3.3.2 PROMライターのアドレス設定表

マイクロコンピュータ型名	PROMライター開始アドレス	PROMライター終了アドレス
M37540E8SP	08080 ₁₆ 番地(注)	0FFFD ₁₆ 番地(注)
M37540E8FP		
M37540E8GP		

注：内蔵PROMの8080₁₆番地 ~ FFFD₁₆番地は、PROMライター上では08080₁₆番地 ~ 0FFFD₁₆番地に相当します。

3.3.19 ワンタイムPROM版/マスクROM版に関する注意事項

ワンタイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ放射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

3.3.20 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

3.4 ノイズに関する注意事項

3.4.1 配線長の短縮

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

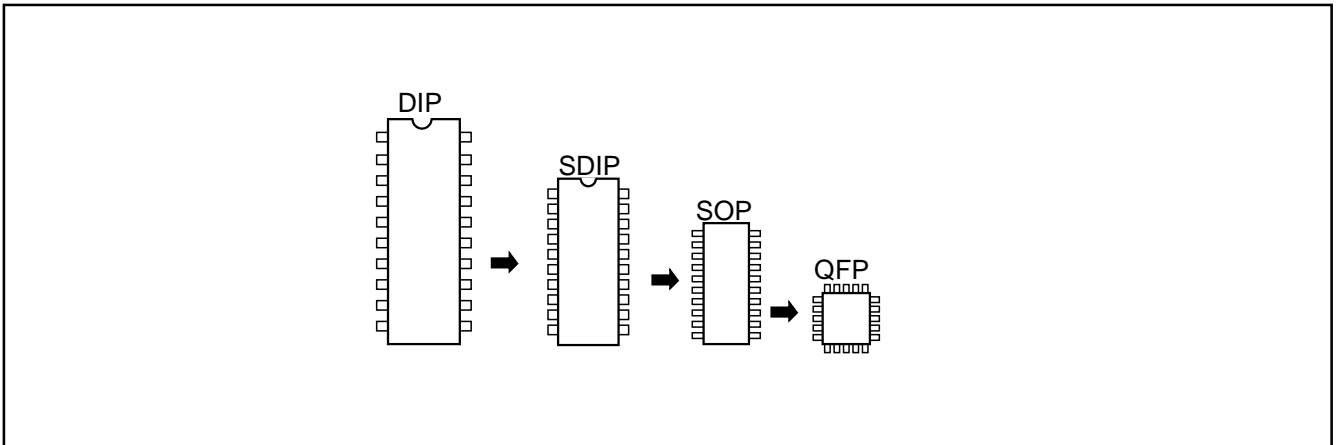


図3.4.1 パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

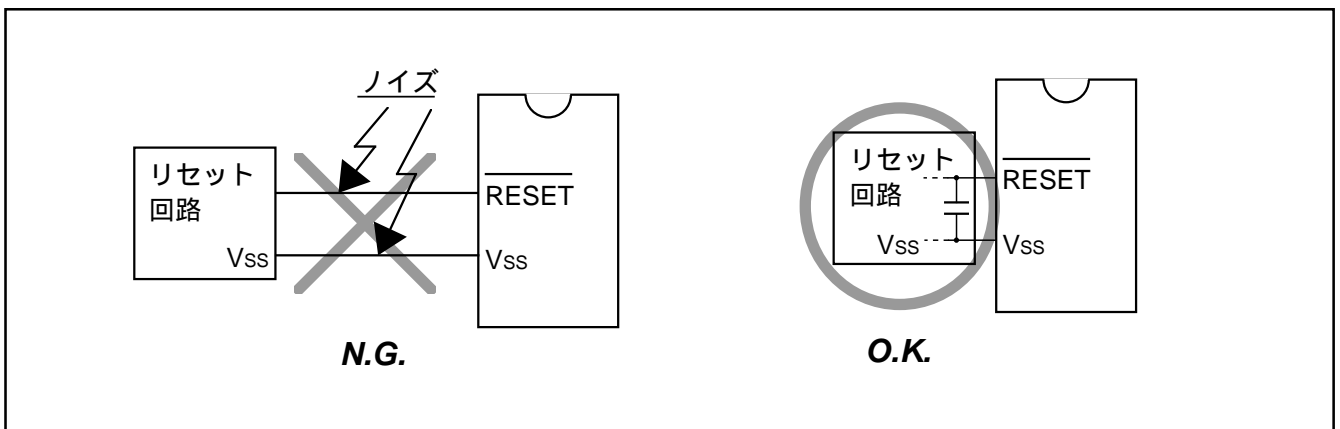


図3.4.2 リセット入力端子の配線

(3) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

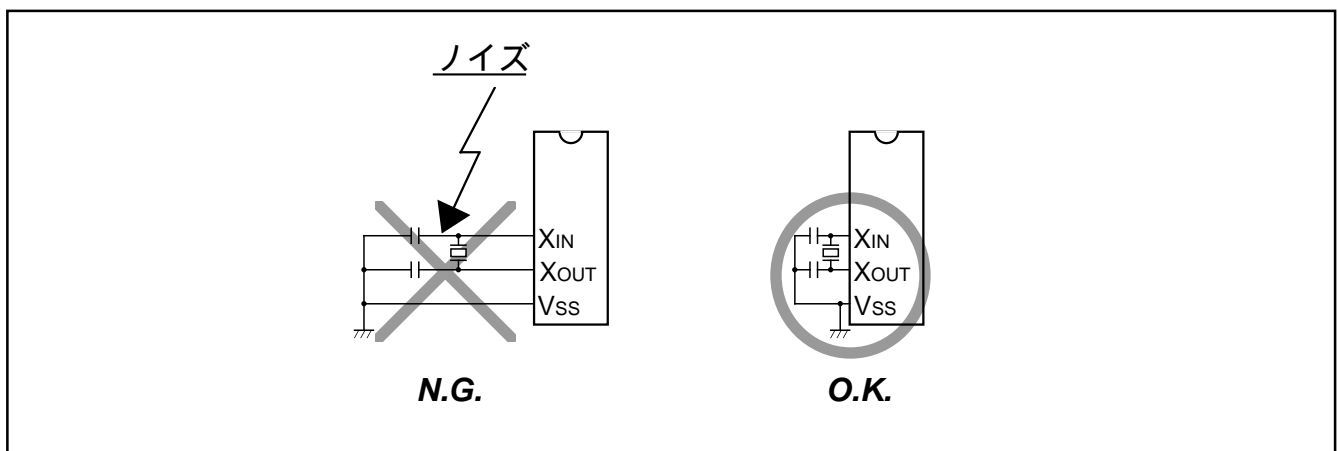


図3.4.3 クロック入出力端子の配線

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

理由

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

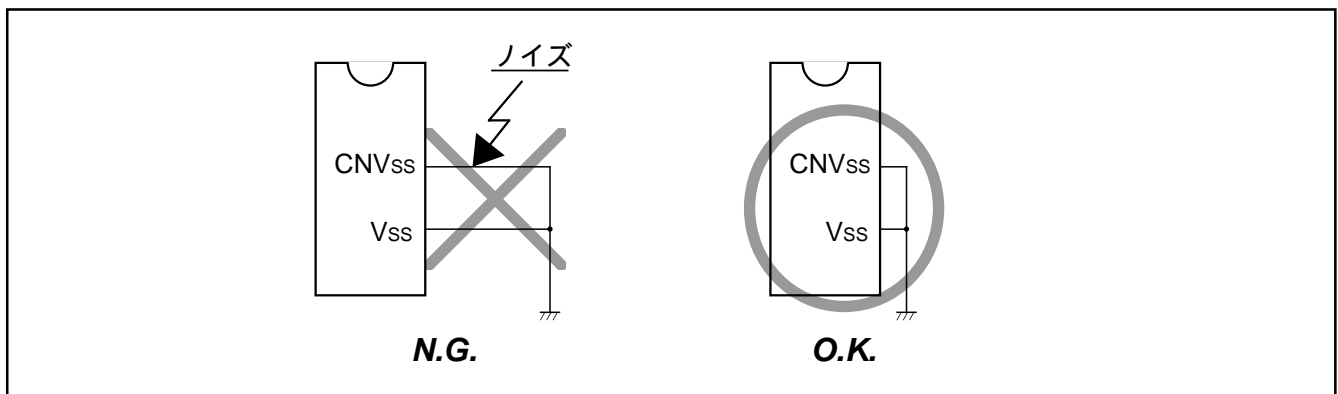


図3.4.4 CNVss端子の配線

(5) ワンタイムPROM版及びEPROM版のVPP端子配線

VPP端子のできるだけ近くに5k 程度の抵抗を直列に挿入し、VSS端子に接続してください。また、5k 程度の抵抗を挿入しない場合は、VPP端子とVSS端子の配線は最短にしてください。

注. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

ワンタイムPROM版マイコン及びEPROM版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

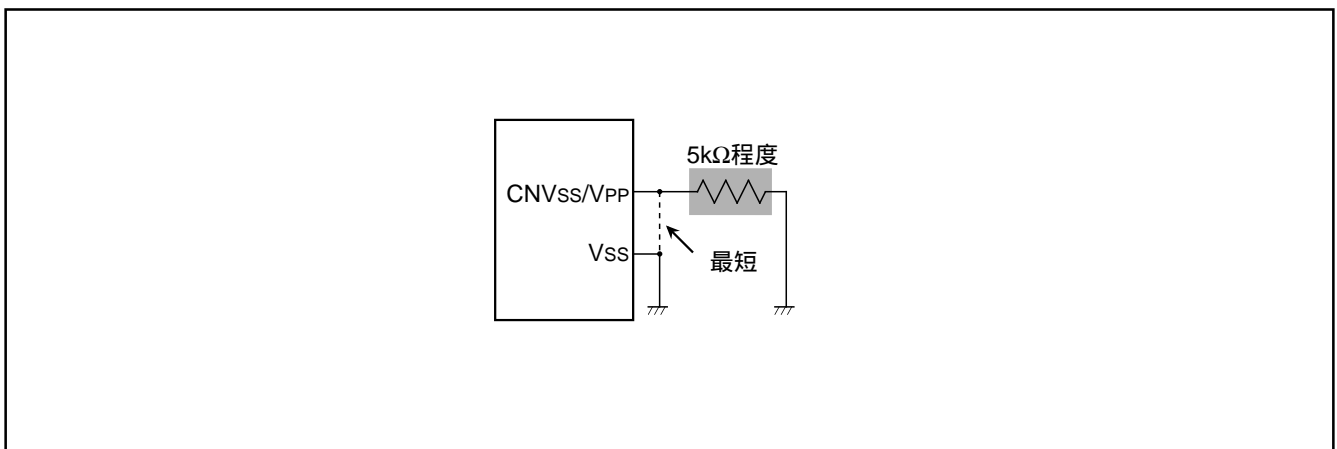


図3.4.5 ワンタイムPROM版及びEPROM版のVPP端子の配線

3.4.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してvss端子及びVcc端子へ接続する

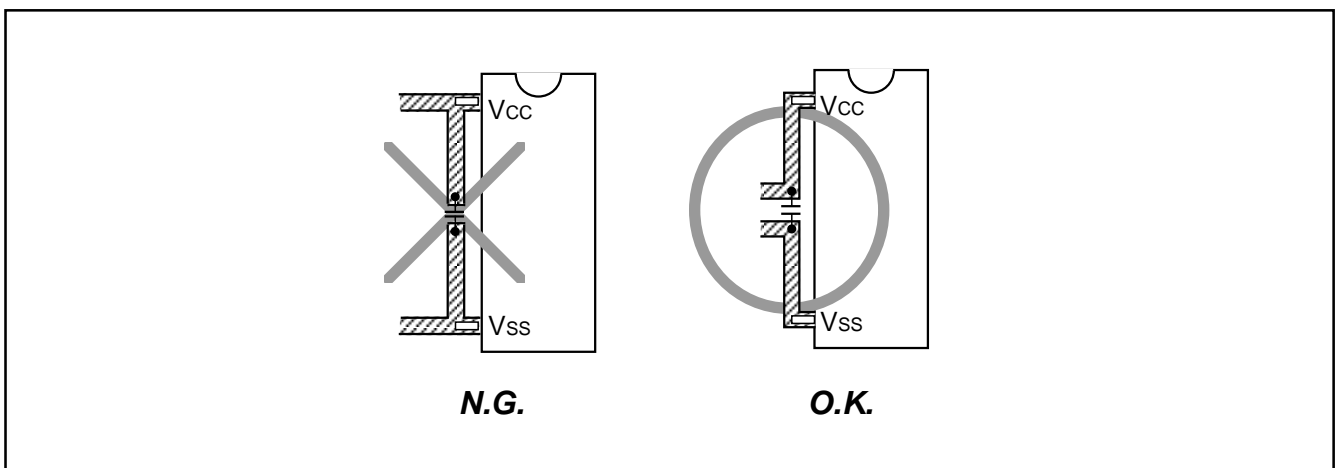


図3.4.6 VSS - Vccライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれ易くなります。

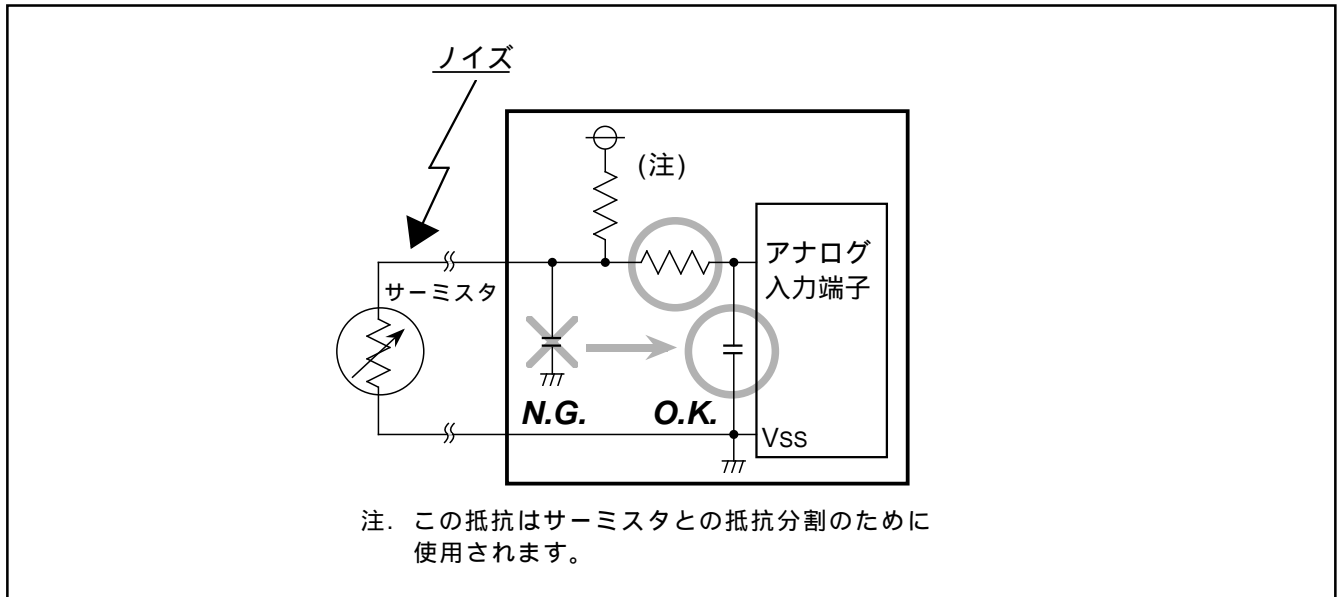


図3.4.7 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

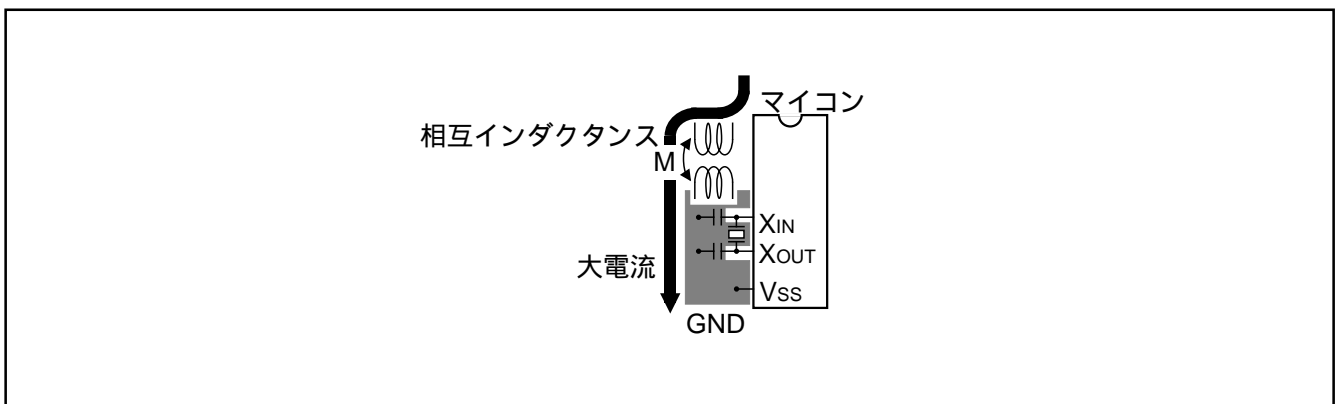


図3.4.8 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

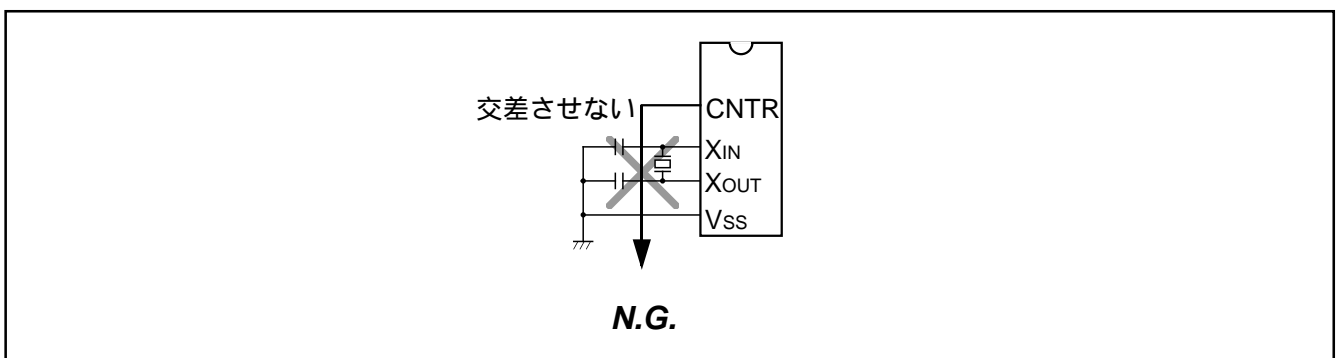


図3.4.9 高速にレベル変化する信号線からの回避

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

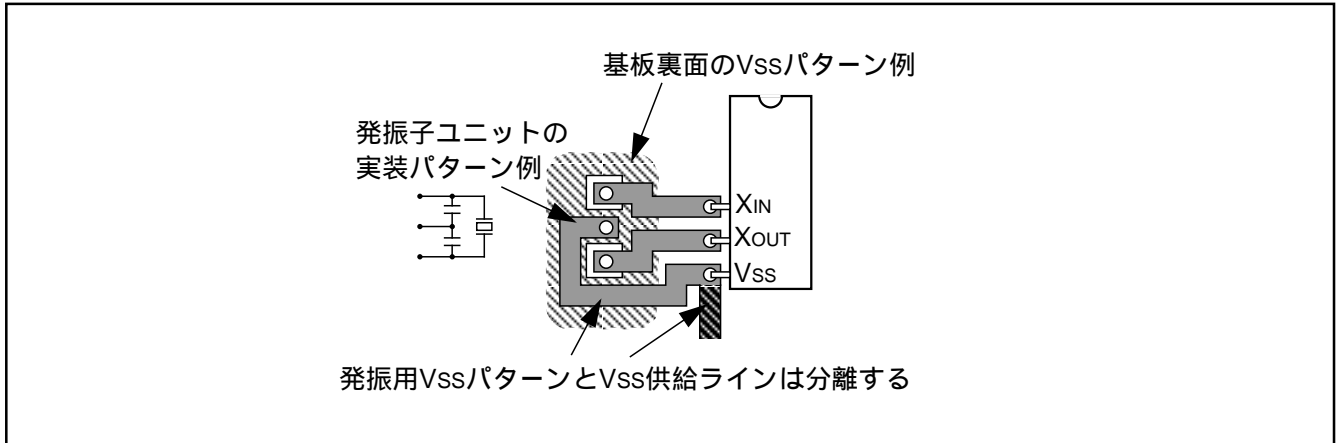


図3.4.10 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

注. 一定周期で方向レジスタをに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。

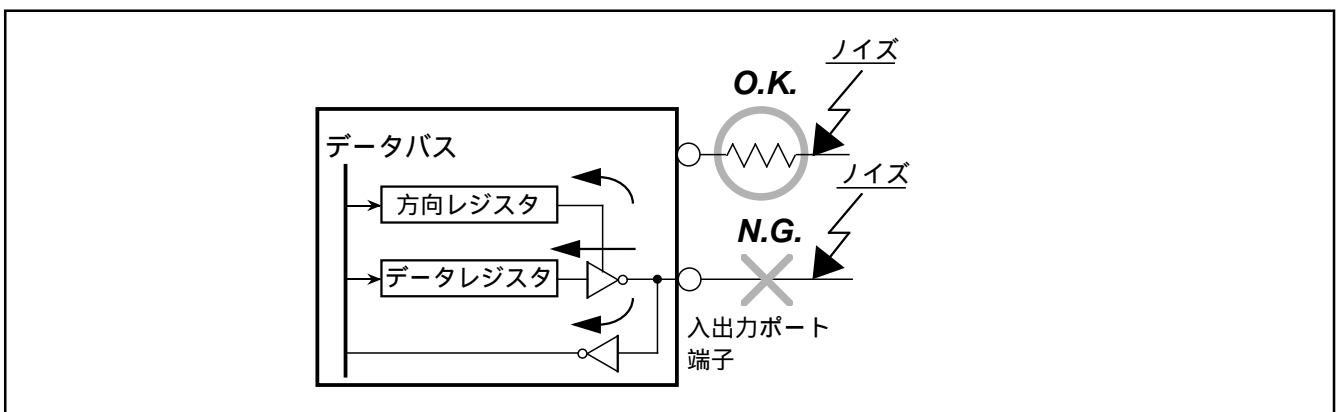


図3.4.11 入出力ポート処理

3.4.6 ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注．メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されことなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

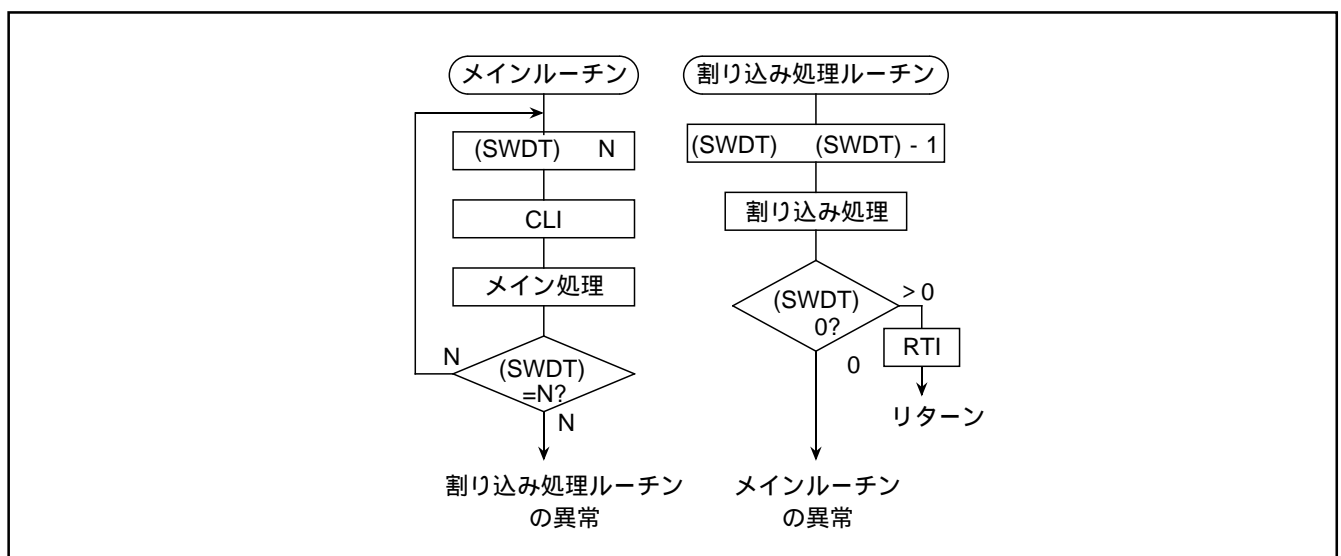


図3.4.12 ソフトウェアによるウォッチドッグタイマ

3.5 レジスタ一覧

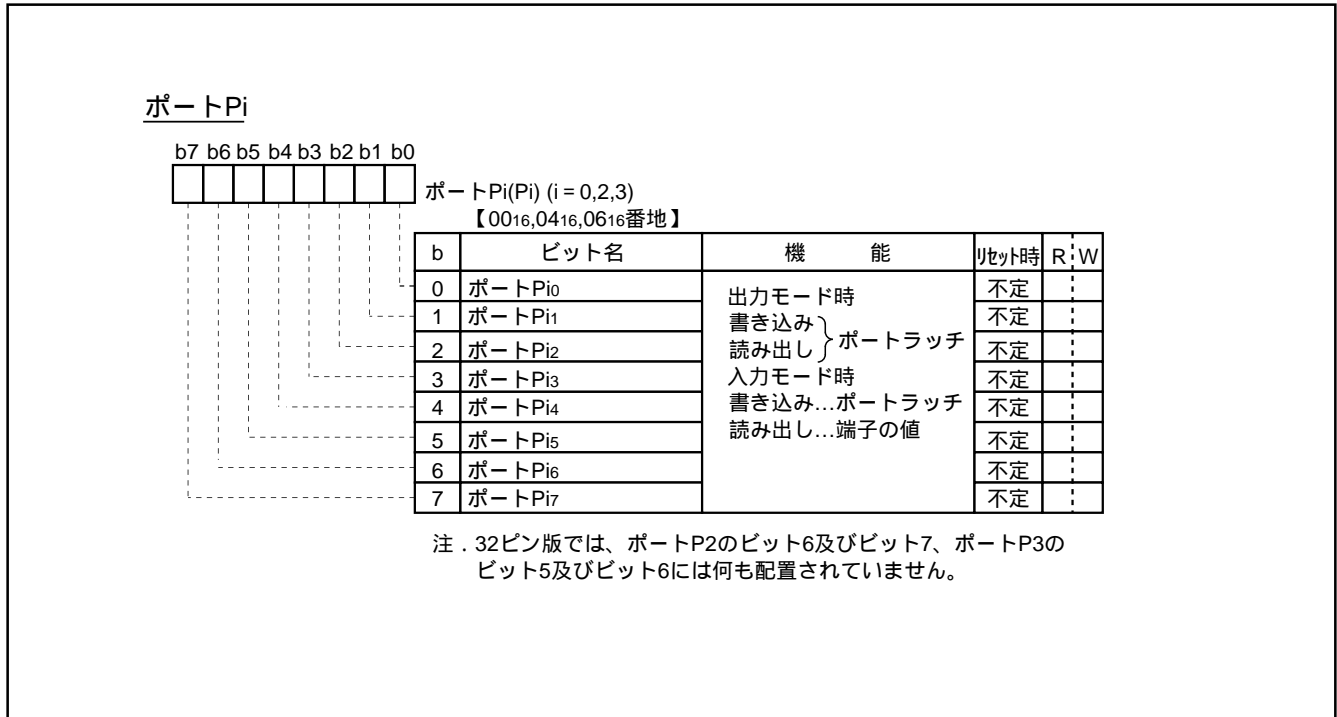


図3.5.1 ポートPi(i = 0,2,3)の構成

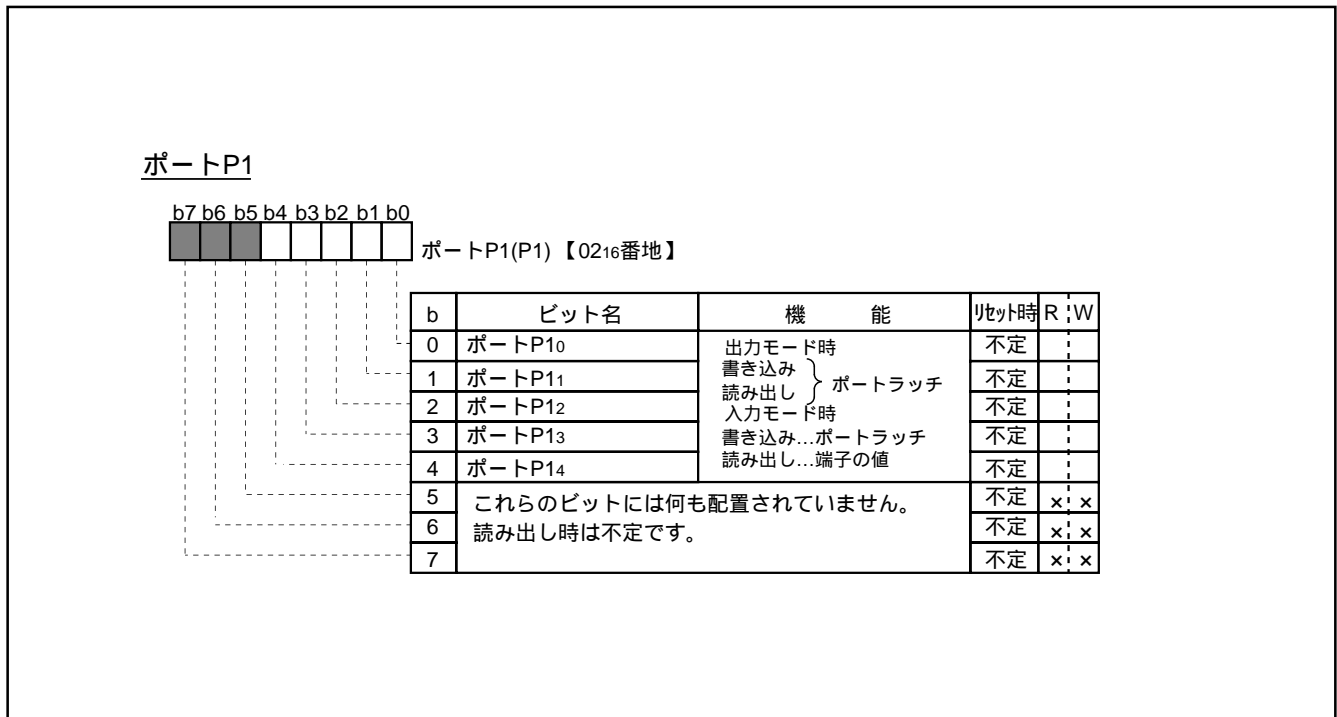


図3.5.2 ポートP1の構成

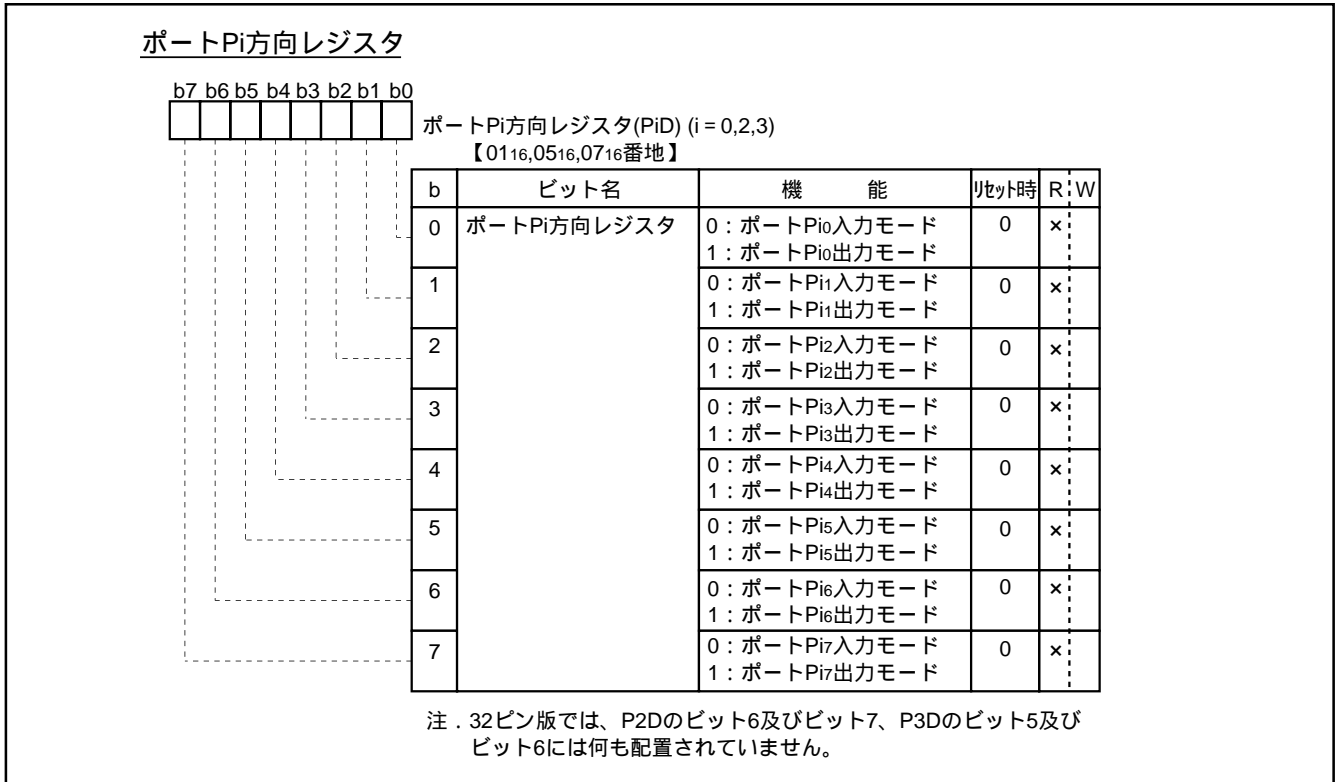


図3.5.3 ポートPi方向レジスタの構成

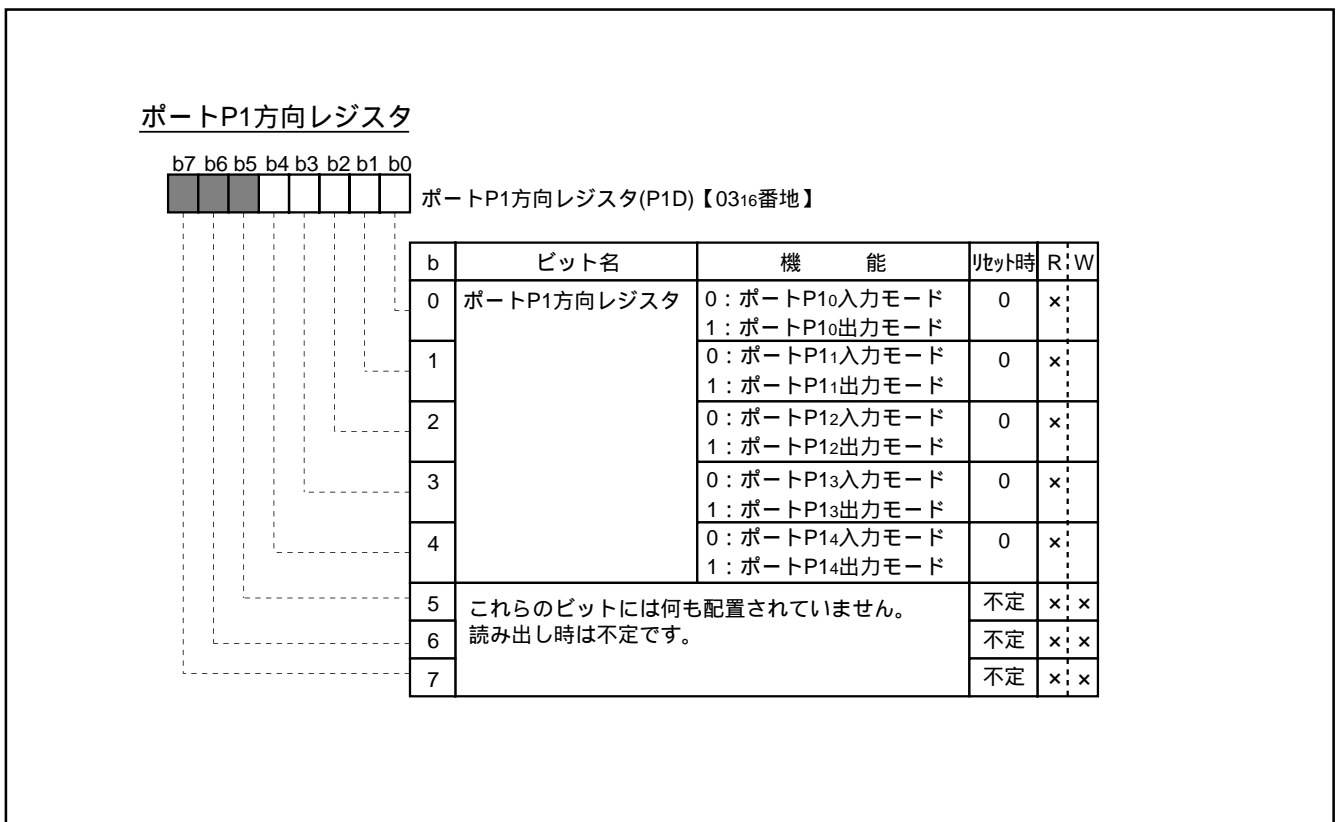


図3.5.4 ポートP1方向レジスタの構成

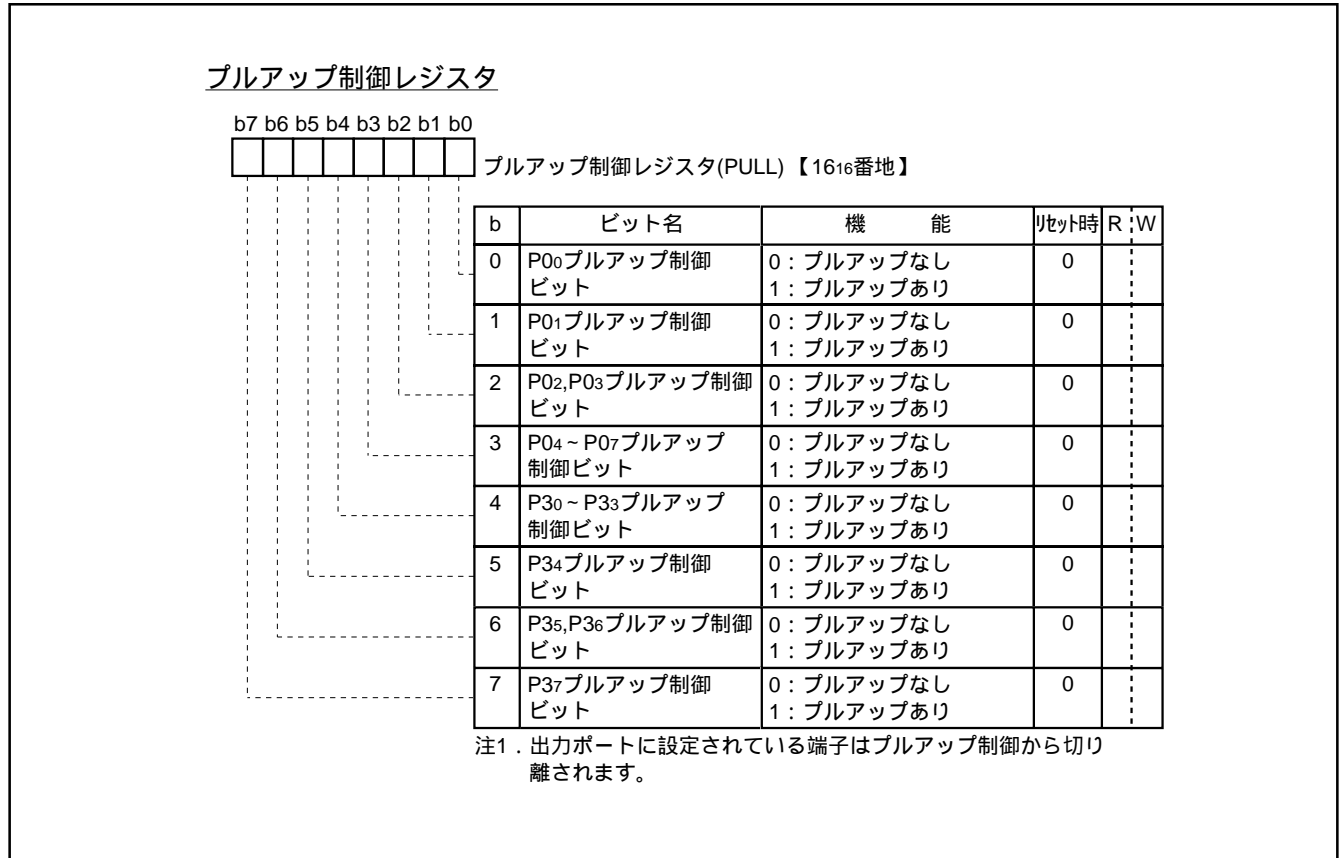


図3.5.5 プルアップ制御レジスタの構成

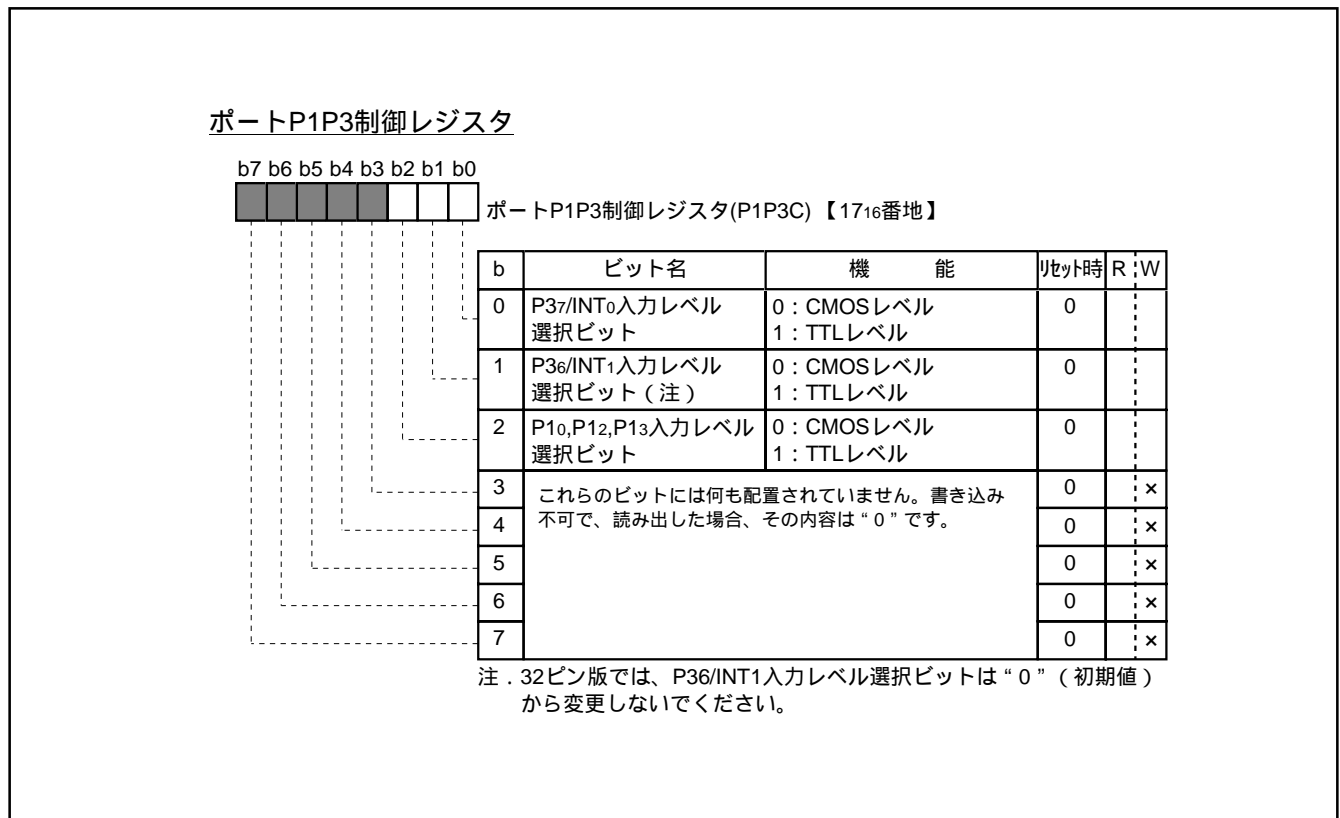


図3.5.6 ポートP1P3制御レジスタの構成

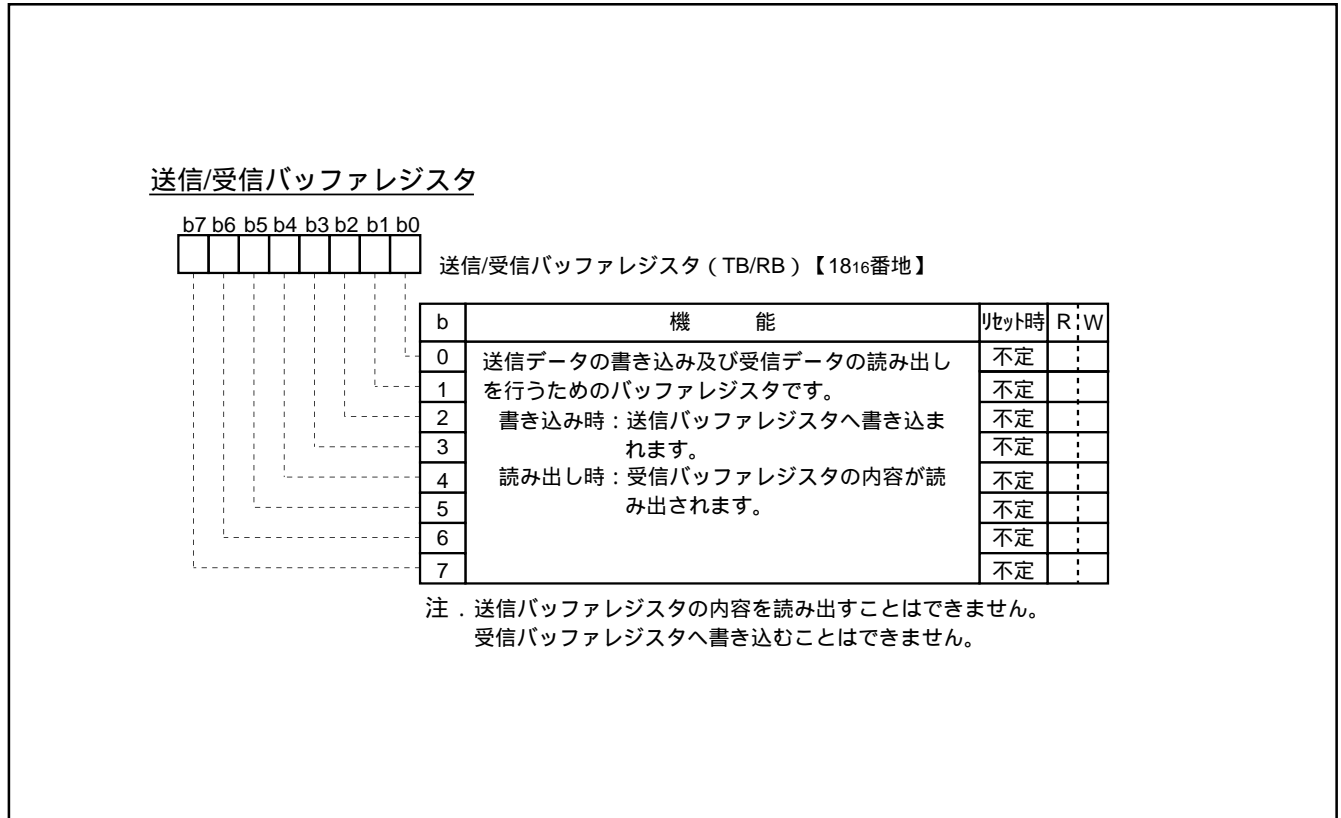


図3.5.7 送信/受信バッファレジスタの構成

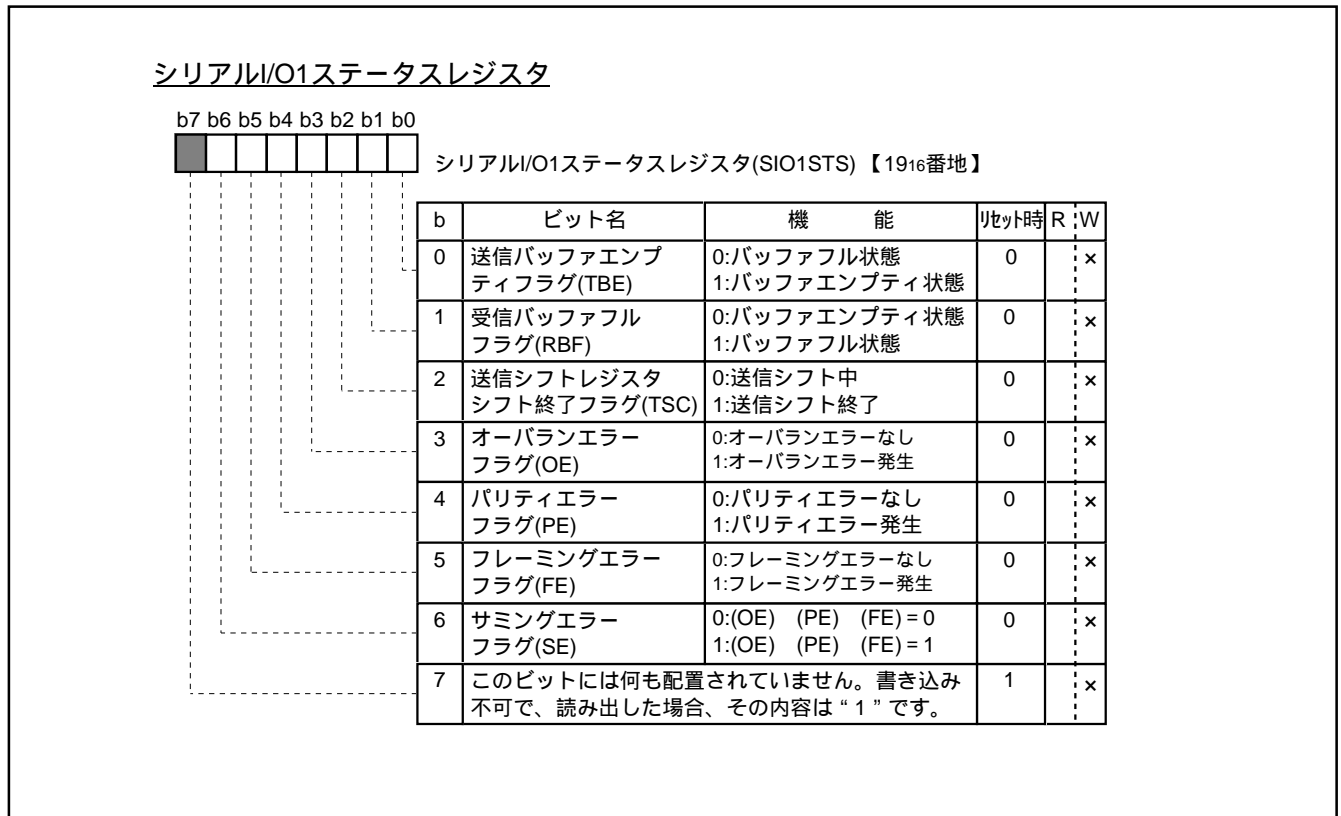


図3.5.8 シリアルI/O1ステータスレジスタの構成

シリアル/O1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアル/O1制御レジスタ(SIO1CON) 【1A16番地】

b	ビット名	機 能	リセット時	R	W
0	BRGカウントソース選択ビット(CSS)	0 : f(XIN) 1 : f(XIN)/4	0		
1	シリアル/O1同期クロック選択ビット(SCS)	クロック同期形シリアル/O選択時 0 : BRG出力の4分周 1 : 外部クロック入力 クロック非同期形シリアル/O選択時 0 : BRG出力の16分周 1 : 外部クロック入力の16分周	0		
2	$\overline{\text{SRDY}}_1$ 出力許可ビット(SRDY)	0 : P13端子 1 : $\overline{\text{SRDY}}_1$ 出力端子	0		
3	送信割り込み要因選択ビット(TIC)	0 : 送信バッファが空になったとき 1 : 送信ソフトウェア動作が終了したとき	0		
4	送信許可ビット(TE)	0 : 送信禁止 1 : 送信許可	0		
5	受信許可ビット(RE)	0 : 受信禁止 1 : 受信許可	0		
6	シリアル/O1モード選択ビット(SIOM)	0 : クロック非同期形シリアル/O 1 : クロック同期形シリアル/O	0		
7	シリアル/O1許可ビット(SIOE)	0 : シリアル/O1禁止 1 : シリアル/O1許可	0		

図3.5.9 シリアル/O1制御レジスタの構成

UART制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

UART制御レジスタ(UARTCON) 【1B16番地】

b	ビット名	機 能	リセット時	R	W
0	キャラクタ長選択ビット(CHAS)	0 : 8ビット 1 : 7ビット	0		
1	パリティ許可ビット(PARE)	0 : パリティ禁止 1 : パリティ許可	0		
2	パリティ選択ビット(PARS)	0 : 偶数パリティ 1 : 奇数パリティ	0		
3	ストップビット長選択ビット(STPS)	0 : 1ストップビット 1 : 2ストップビット	0		
4	P11/TxD Pチャンネル出力禁止ビット(POFF)	出力モード時 0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	0		
5	これらのビットには何も配置されていません。		1		x
6	書き込み不可で、読み出した場合、その内容は		1		x
7	"1"です。		1		x

図3.5.10 UART制御レジスタの構成

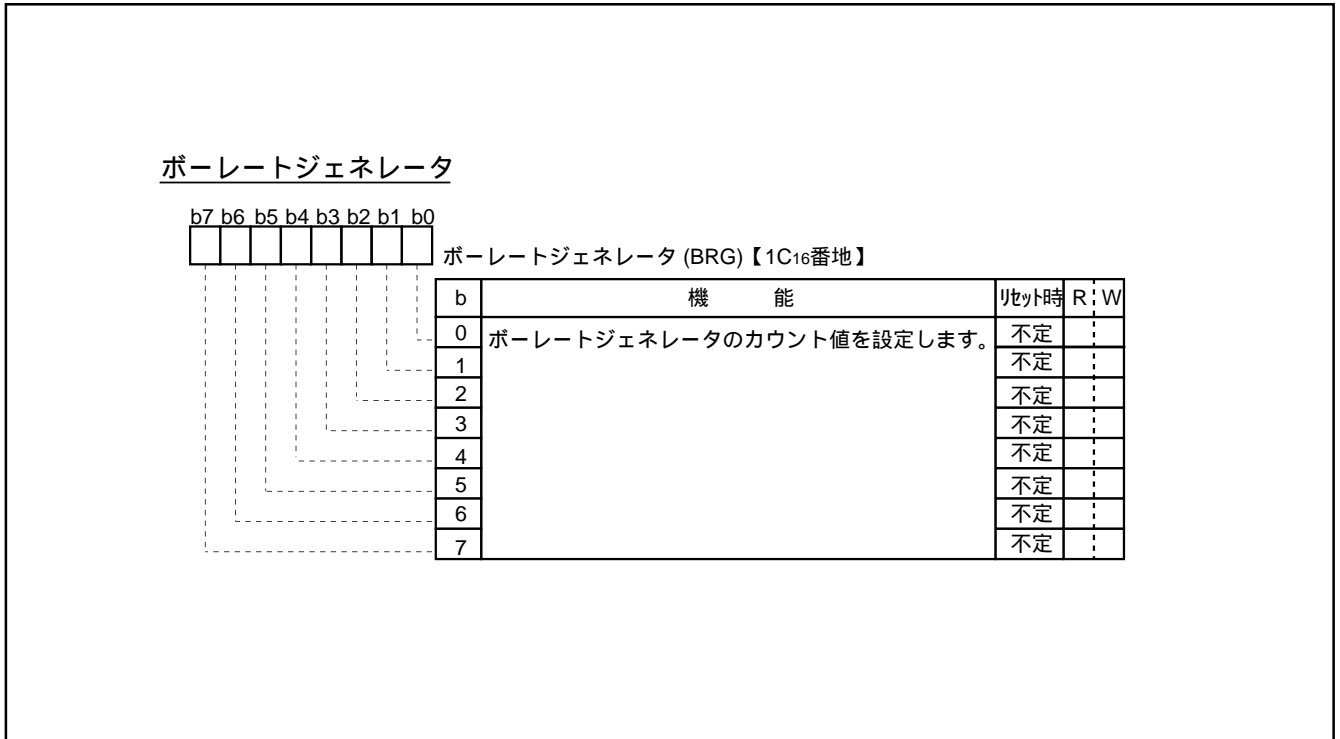


図3.5.11 ポーレートジェネレータの構成

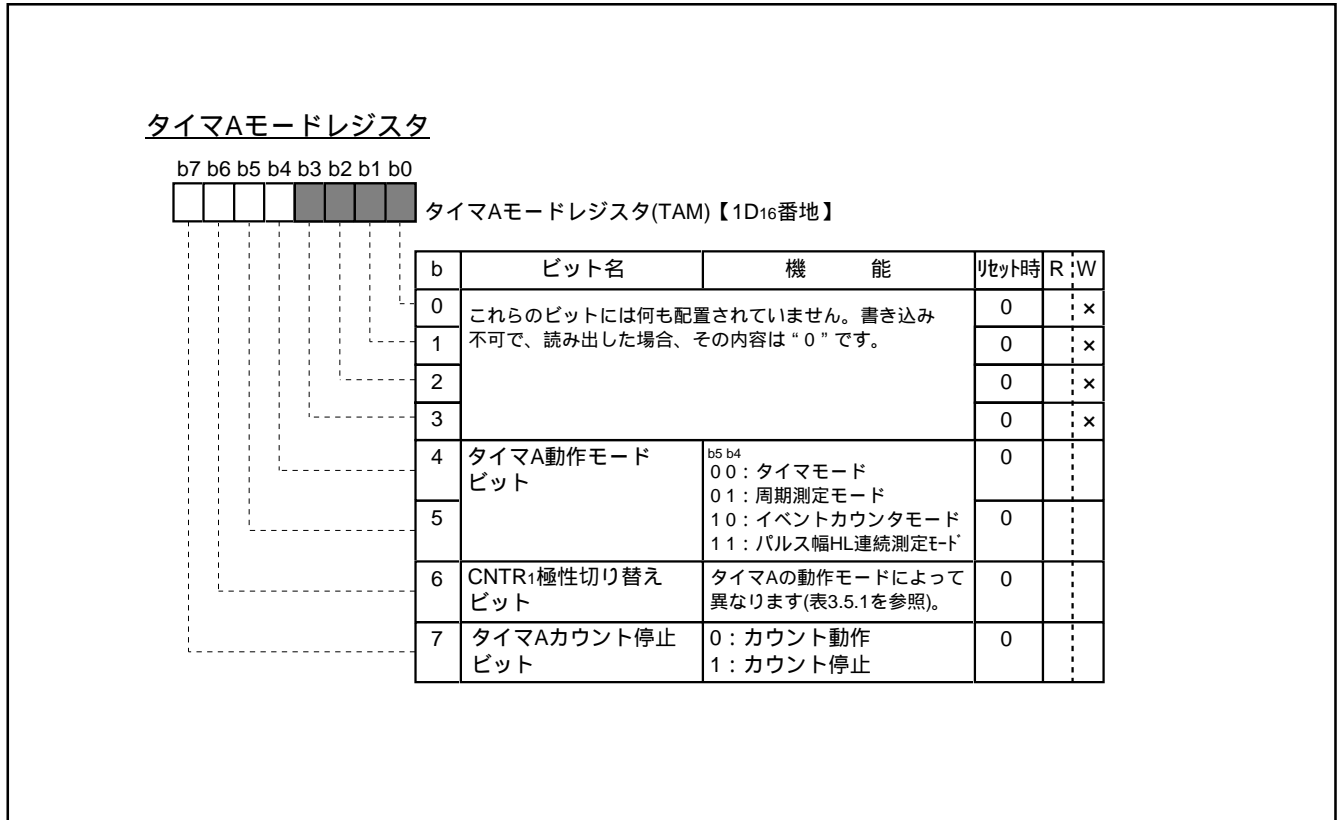


図3.5.12 タイマAモードレジスタの構成

表3.5.1 CNTR1極性切り替えビットの機能

タイマAの動作モード	CNTR1極性切り替えビット	
タイマモード	“0”	・ CNTR1割り込み要求の発生：立ち下がりエッジ(タイマAのカウントに影響なし)
	“1”	・ CNTR1割り込み要求の発生：立ち上がりエッジ(タイマAのカウントに影響なし)
周期測定モード	“0”	・ 立ち下がり周期測定 ・ CNTR1割り込み要求の発生：立ち下がりエッジ
	“1”	・ 立ち上がり周期測定 ・ CNTR1割り込み要求の発生：立ち上がりエッジ
イベントカウンタモード	“0”	・ タイマA：立ち上がりエッジをカウント ・ CNTR1割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマA：立ち下がりエッジをカウント ・ CNTR1割り込み要求の発生：立ち上がりエッジ
パルス幅HL連続測定モード	“0”	・ CNTR1割り込み要求の発生：立ち上がりエッジ及び立ち下がりエッジ(タイマAのカウントに影響なし)
	“1”	・ CNTR1割り込み要求の発生：立ち上がりエッジ及び立ち下がりエッジ(タイマAのカウントに影響なし)

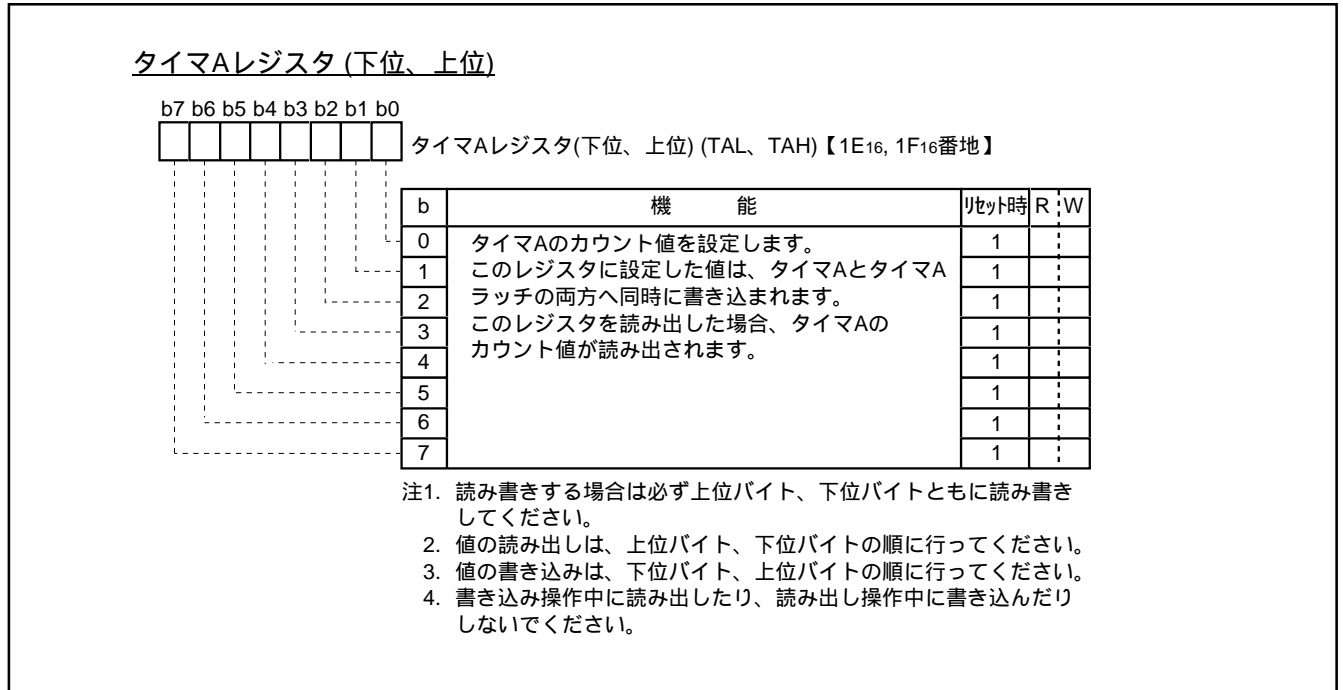


図3.5.13 タイマAの構成

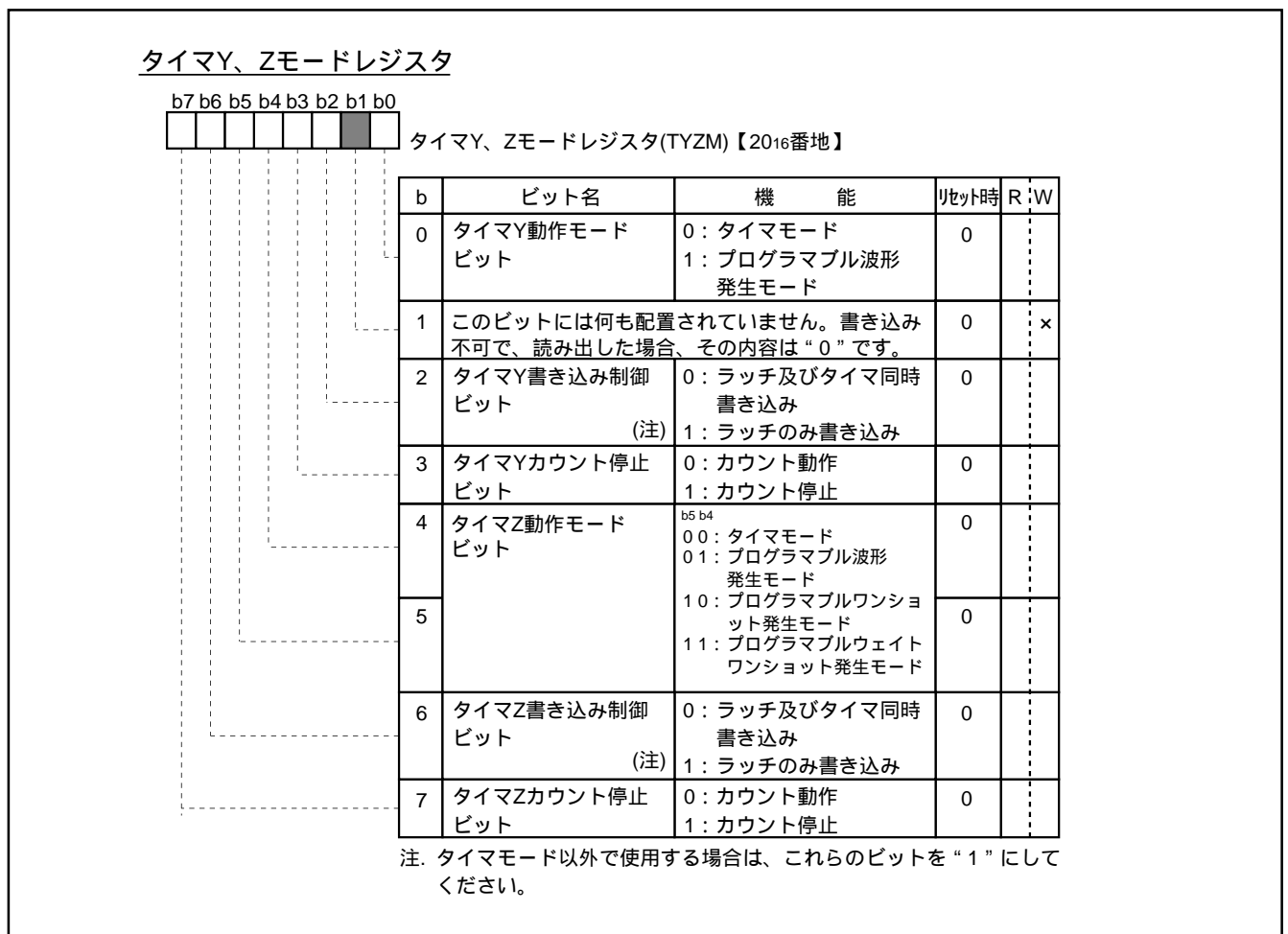


図3.5.14 タイマY、Zモードレジスタの構成

プリスケアラY、プリスケアラZ

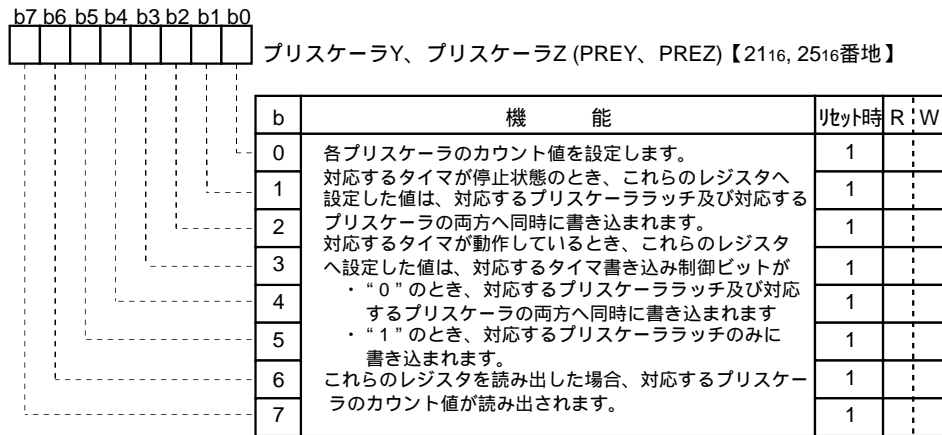


図3.5.15 プリスケアラY、プリスケアラZの構成

タイマYセカンダリ、タイマZセカンダリ

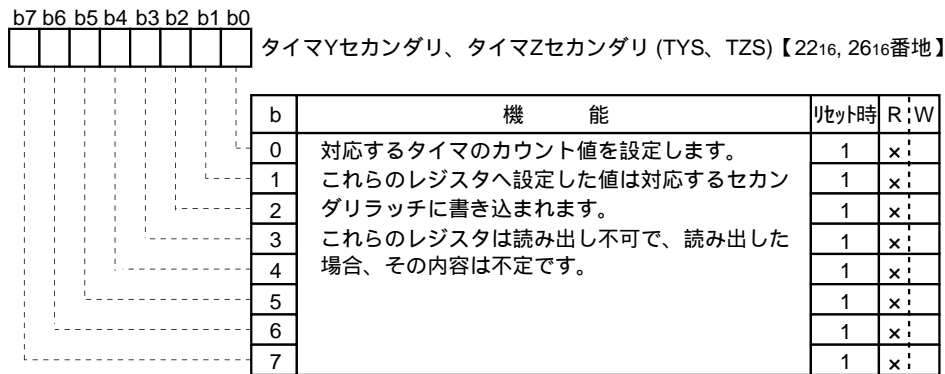
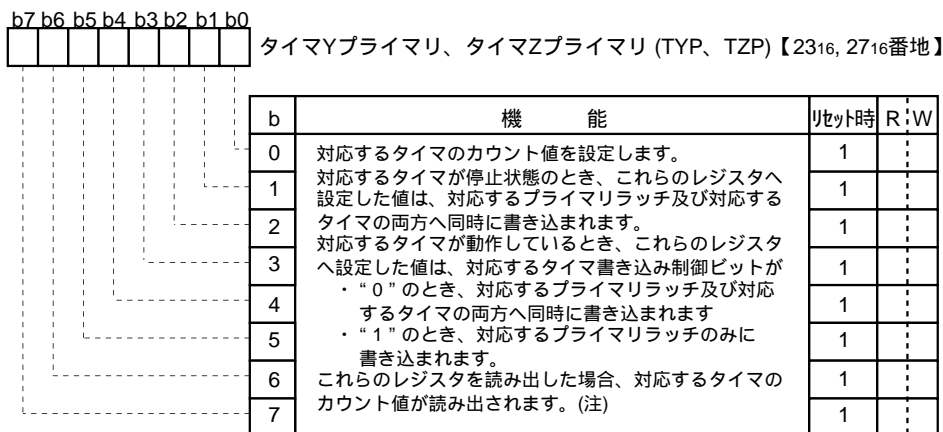


図3.5.16 タイマYセカンダリ、タイマZセカンダリの構成

タイマYプライマリ、タイマZプライマリ

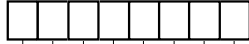


注. プライマリ期間ではプライマリカウンタ値を、セカンダリ期間ではセカンダリカウンタ値が読み出されます。

図3.5.17 タイマYプライマリ、タイマZプライマリの構成

タイマY、Z波形出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

タイマY、Z波形出力制御レジスタ(PUM)【24₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	タイマYプライマリ波形 拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり	0		
1	タイマYセカンダリ波形 拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり	0		
2	タイマZプライマリ波形 拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり	0		
3	タイマZセカンダリ波形 拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり	0		
4	タイマYアウトプット レベルラッチ	0: “L” 出力 1: “H” 出力	0		
5	タイマZアウトプット レベルラッチ	0: “L” 出力 1: “H” 出力	0		
6	INT ₀ 端子ワンショット トリガ制御ビット(注)	0: ワンショットトリガ無効 1: ワンショットトリガ有効	0		
7	INT ₀ 端子ワンショット トリガ極性選択ビット(注)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	0		

注. これらのビットを変更する場合は、タイマZを停止してから行ってください。

図3.5.18 タイマY、Z波形出力制御レジスタの構成

プリスケアラ1

b7 b6 b5 b4 b3 b2 b1 b0

プリスケアラ1 (PRE1)【28₁₆番地】

b	機 能	リセット時	R	W
0	プリスケアラ1のカウンタ値を設定します。	1		
1	このレジスタに設定した値は、プリスケアラ1と	1		
2	プリスケアラ1ラッチの両方へ同時に書き込まれ	1		
3	ます。	1		
4	このレジスタを読み出した場合、プリスケアラ1	1		
5	のカウンタ値が読み出されます。	1		
6		1		
7		1		

図3.5.19 プリスケアラ1の構成

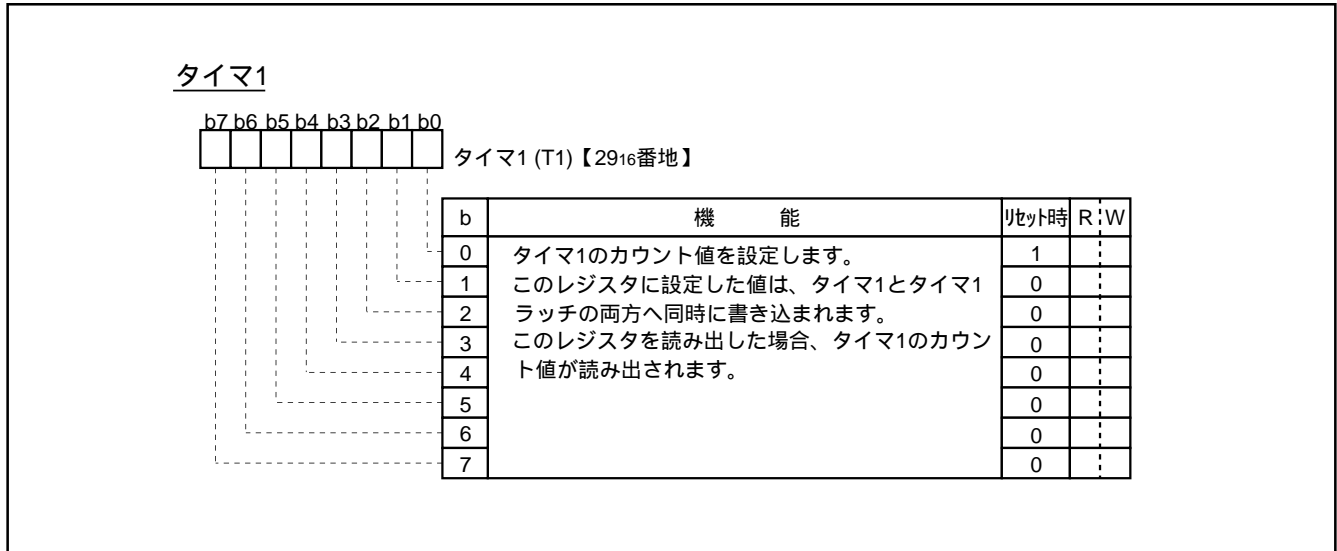


図3.5.20 タイマ1の構成

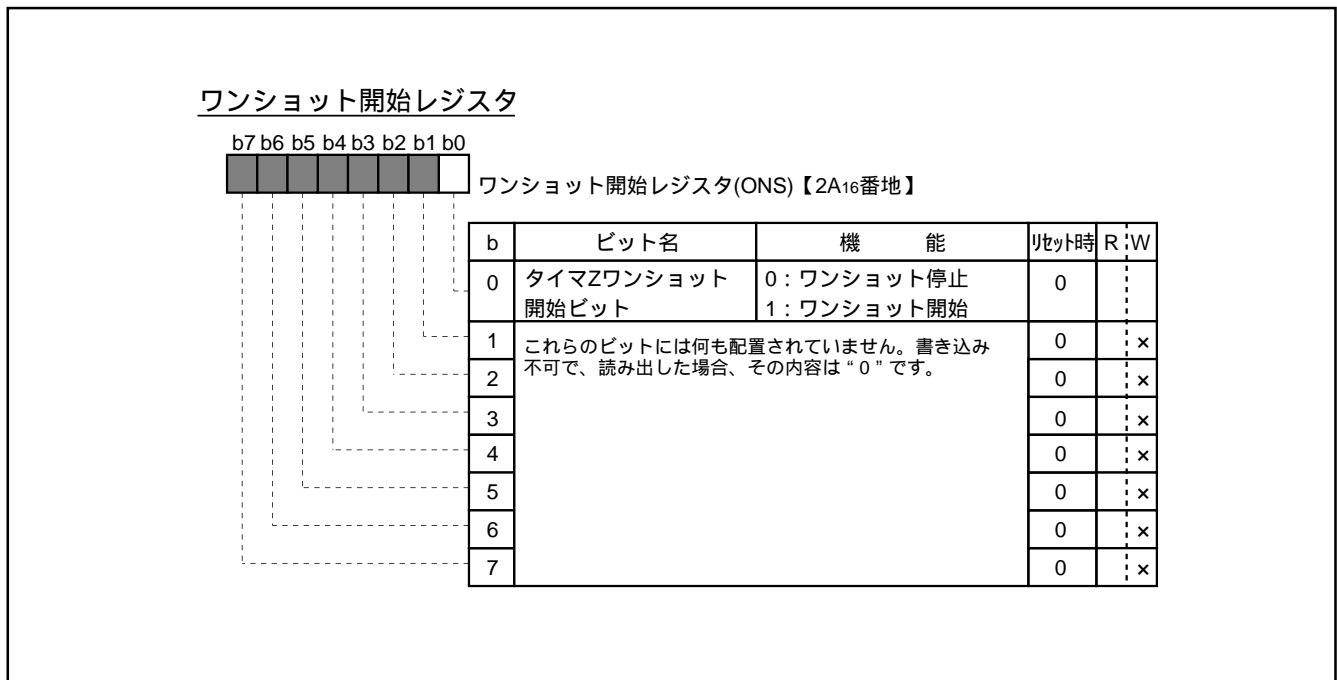


図3.5.21 ワンショット開始レジスタの構成

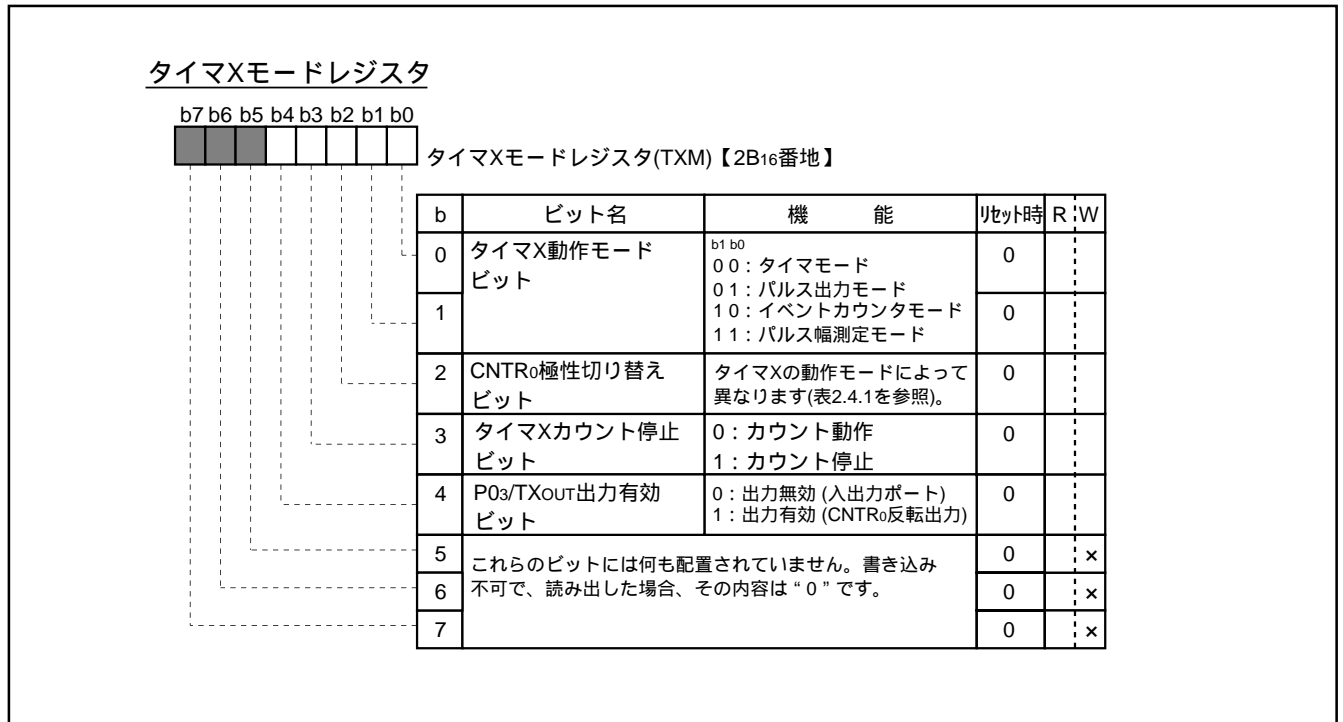


図3.5.22 タイマXモードレジスタの構成

表3.5.2 CNTR0極性切り替えビットの機能

タイマXの動作モード	CNTR0極性切り替えビット (2B16番地のビット2)の内容	
タイマモード	“0”	・ CNTR0割り込み要求の発生：立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR0割り込み要求の発生：立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力モード	“0”	・ パルス出力開始：“H”レベルから ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ パルス出力開始：“L”レベルから ・ CNTR0割り込み要求の発生：立ち上がりエッジ
イベントカウンタモード	“0”	・ タイマX：立ち上がりエッジをカウント ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマX：立ち下がりエッジをカウント ・ CNTR0割り込み要求の発生：立ち上がりエッジ
パルス幅測定モード	“0”	・ タイマX：“H”レベル幅を測定 ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマX：“L”レベル幅を測定 ・ CNTR0割り込み要求の発生：立ち上がりエッジ

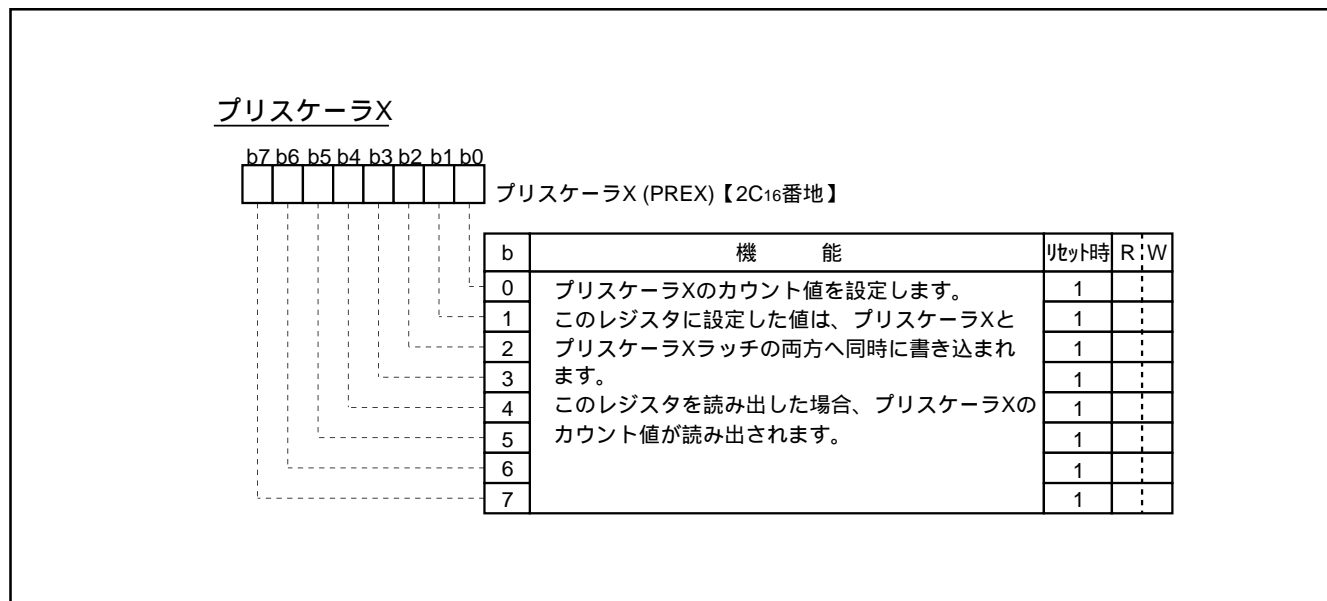


図3.5.23 プリスケラXの構成

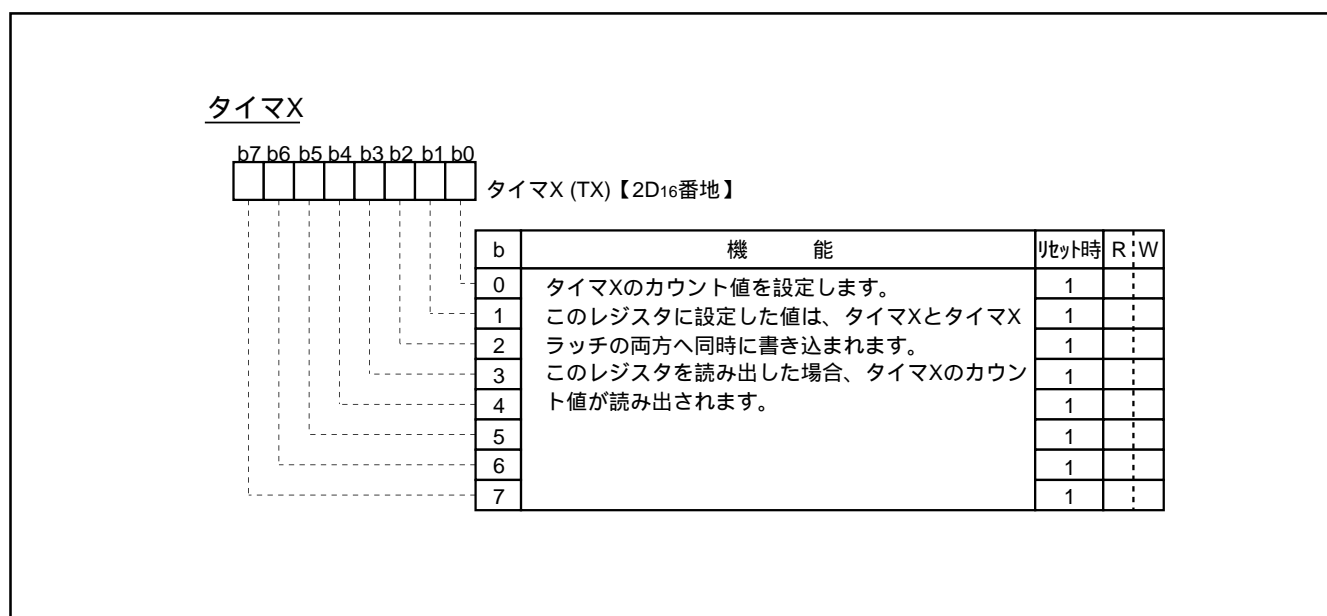
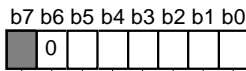


図3.5.24 タイマXの構成

タイマカウントソース設定レジスタ

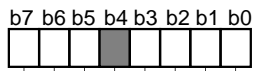
タイマカウントソース設定レジスタ(TCSS)【2E₁₆番地】

b	ビット名	機能	リセット時	R/W
0	タイマXカウントソース 選択ビット	b1 b0 00 : f(X _{IN})/16 01 : f(X _{IN})/2 10 : f(X _{IN}) (注1) 11 : 選択禁止	0	
1			0	
2	タイマYカウントソース 選択ビット	b3 b2 00 : f(X _{IN})/16 01 : f(X _{IN})/2 10 : ウォッチドッグ出力 (注2) 11 : 選択禁止	0	
3			0	
4	タイマZカウントソース 選択ビット	b5 b4 00 : f(X _{IN})/16 01 : f(X _{IN})/2 10 : タイマYアンダフロー 11 : 選択禁止	0	
5			0	
6	このビットは“0”に固定してください。		0	
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x

- 注1. セラミック発振、オンチップオシレータ時のみ使用可能です。
RC発振時は使用しないでください。
2. CPUモードレジスタ(CPUM、3B₁₆番地)のオンチップオシレータ発振
制御ビット(ビット3)で、オンチップオシレータを発振許可すること
により、オンチップオシレータをカウントソースとして動作します。

図3.5.25 タイマカウントソース設定レジスタの構成

シリアル/O2制御レジスタ

シリアル/O2制御レジスタ(SIO2CON)【30₁₆番地】

b	ビット名	機能	リセット時	R/W
0	内部同期クロック選択 ビット	b2 b1 b0 0 0 0 : f(X _{IN})/8 0 0 1 : f(X _{IN})/16 0 1 0 : f(X _{IN})/32 0 1 1 : f(X _{IN})/64 1 1 0 : f(X _{IN})/128 1 1 1 : f(X _{IN})/256	0	
1			0	
2			0	
3	SDATA2端子選択ビット	0 : 入出力ポート/SDATA2入力 1 : SDATA2出力	0	
4	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x
5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	0	
6	SCLK2端子選択ビット	0 : 外部クロック(SCLK2は入力) 1 : 内部クロック(SCLK2は出力)	0	
7	送受信シフト終了フラグ	0 : シフト中 1 : シフト終了	0	x

注.SDATA入力として使用される場合は、P1₃方向レジスタ = “0”
にしてください。

図3.5.26 シリアル/O2制御レジスタの構成

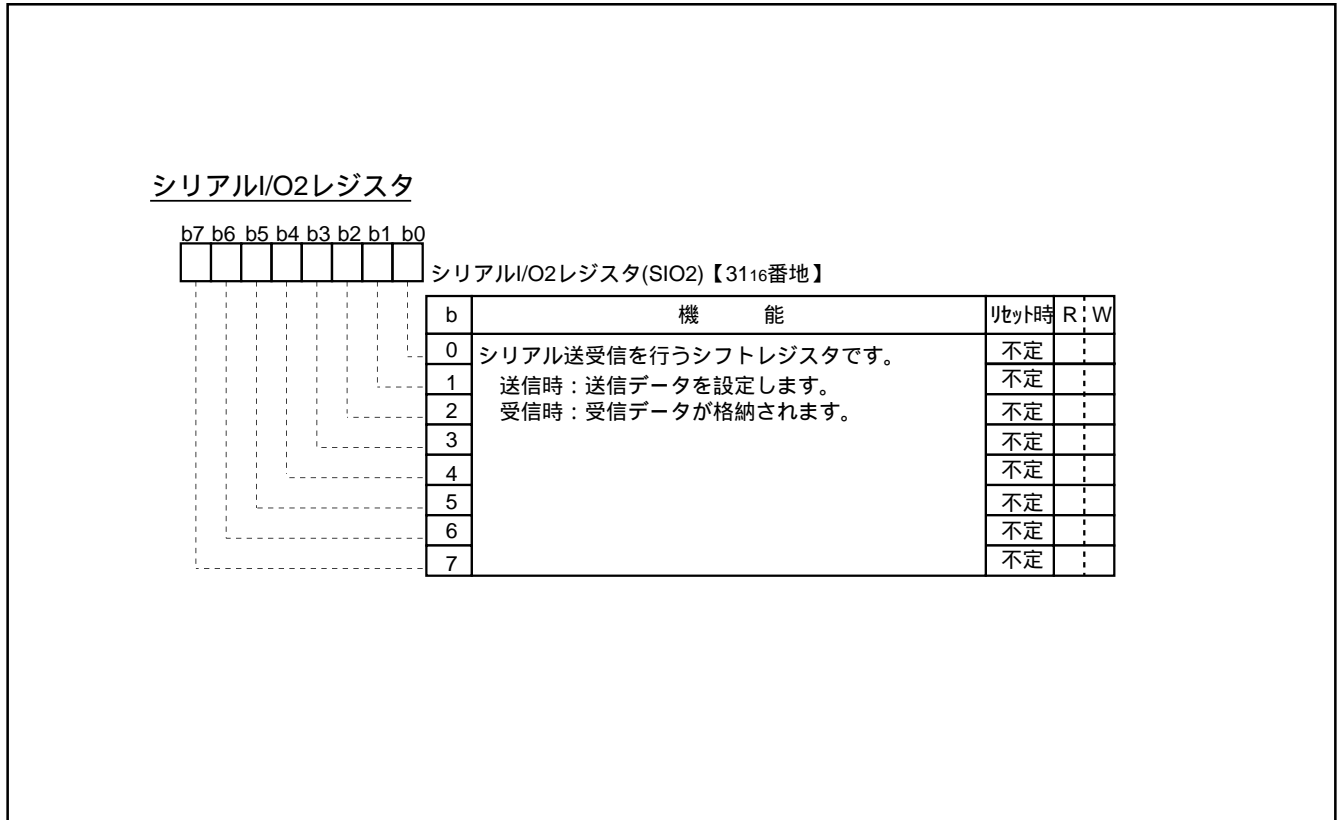


図3.5.27 シリアルI/Oレジスタの構成

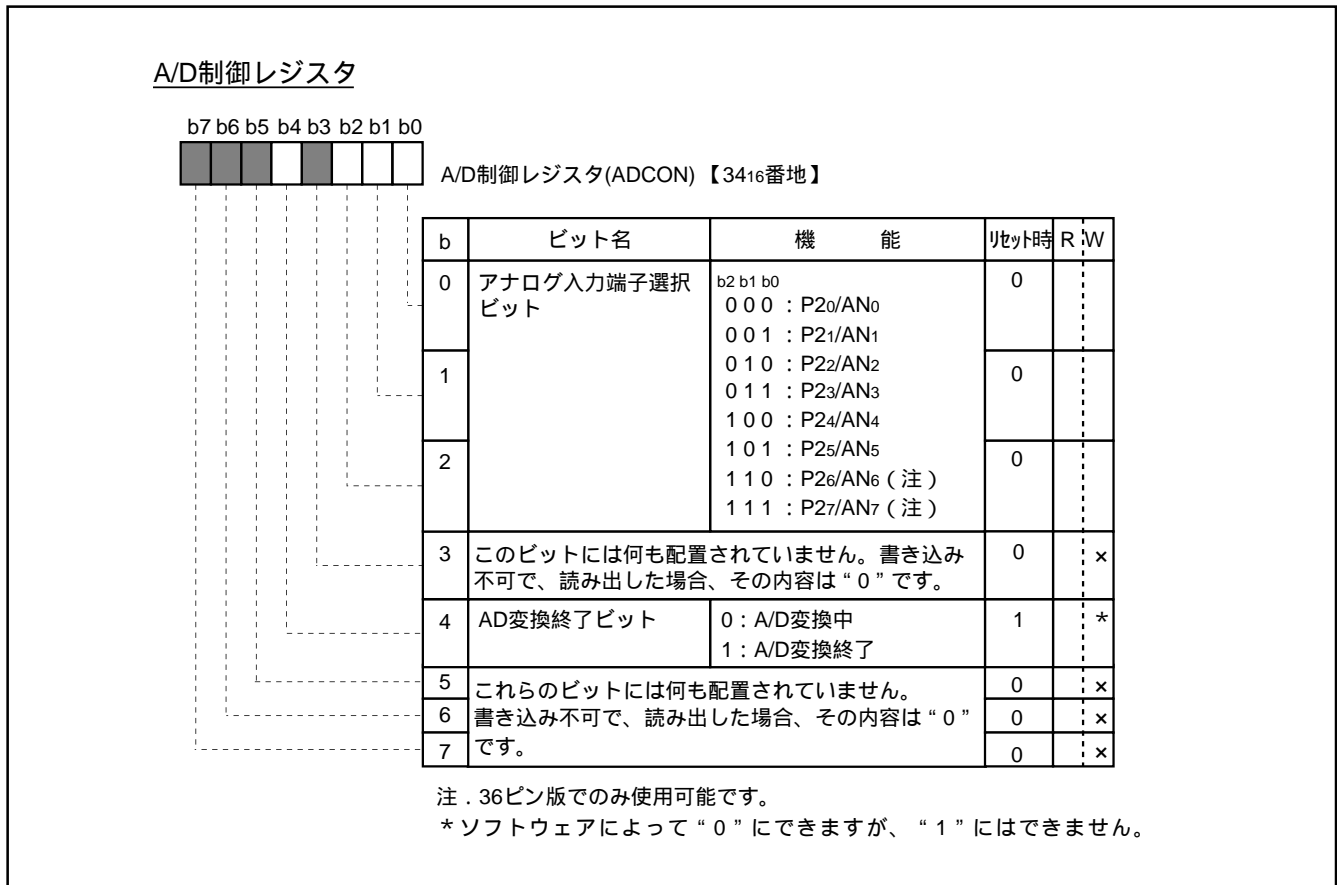


図3.5.28 A/D制御レジスタの構成

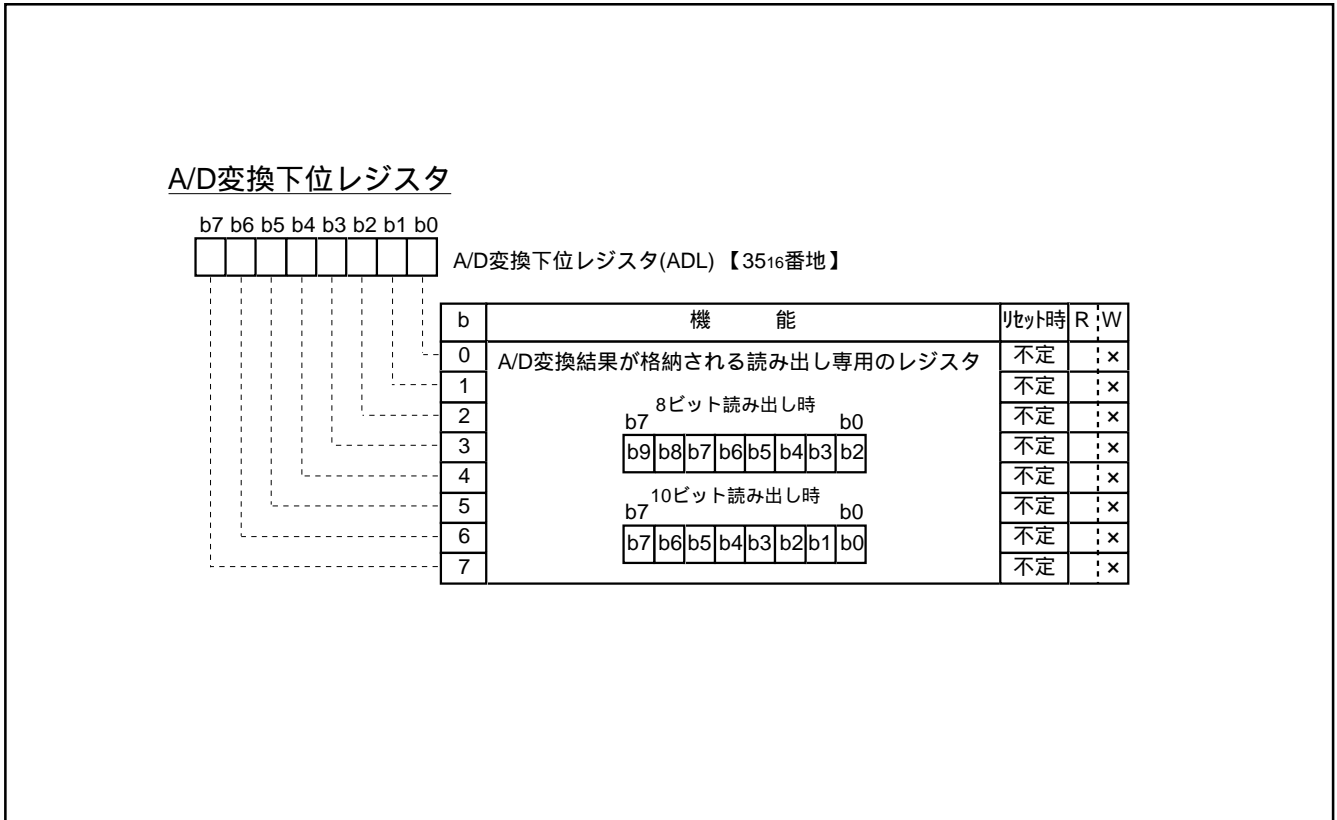


図3.5.29 A/D変換下位レジスタの構成

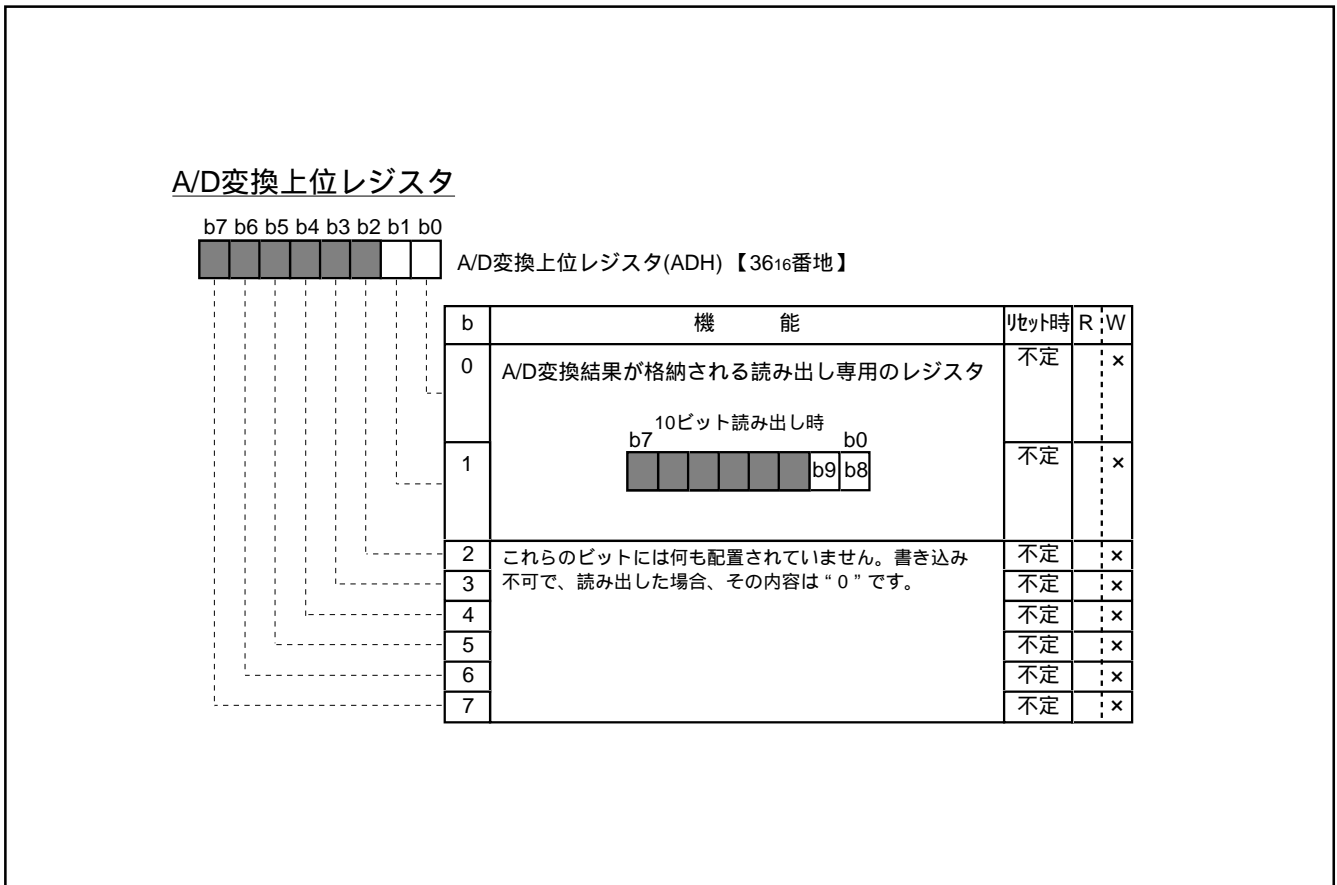


図3.5.30 A/D変換上位レジスタの構成

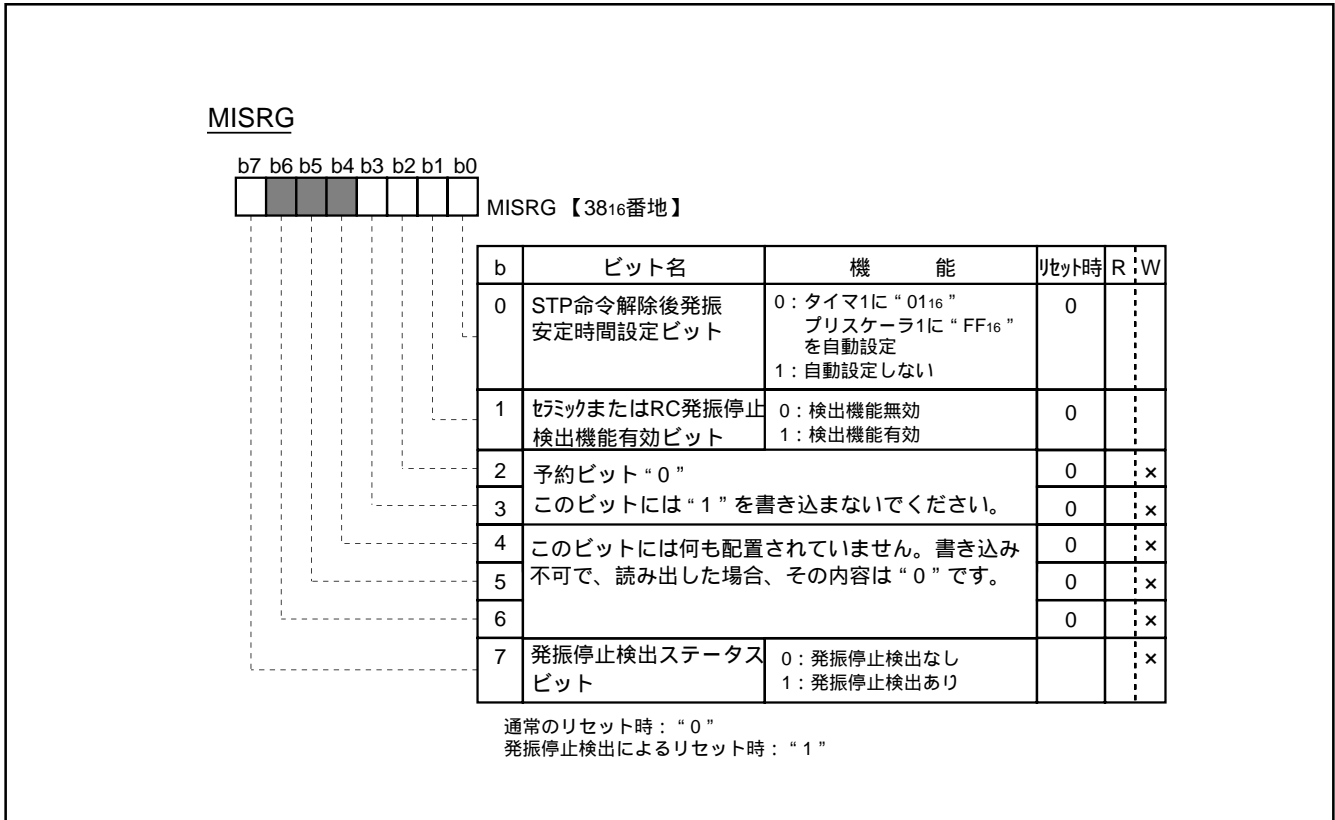


図3.5.31 MISRGの構成

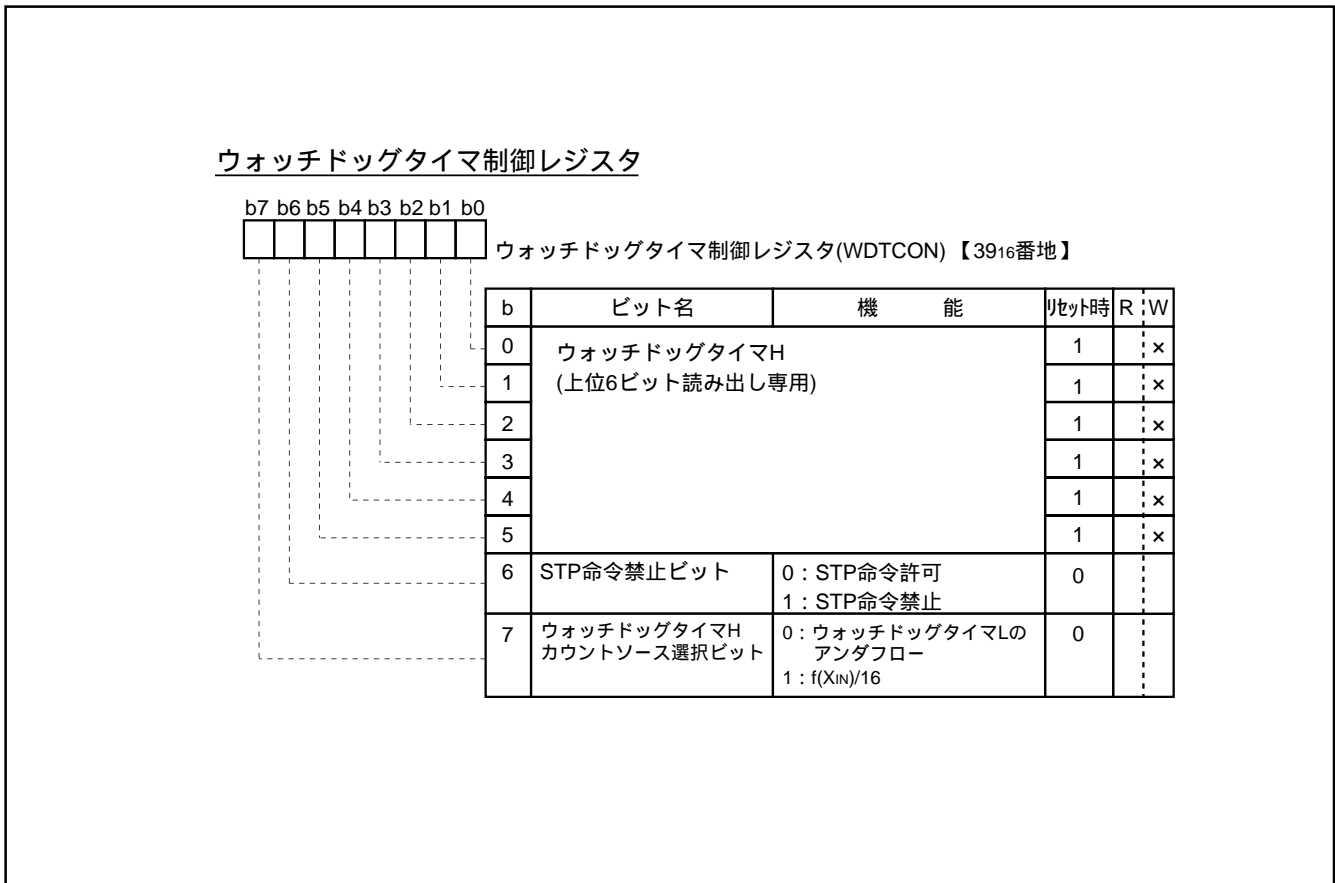


図3.5.32 ウォッチドッグタイマ制御レジスタの構成

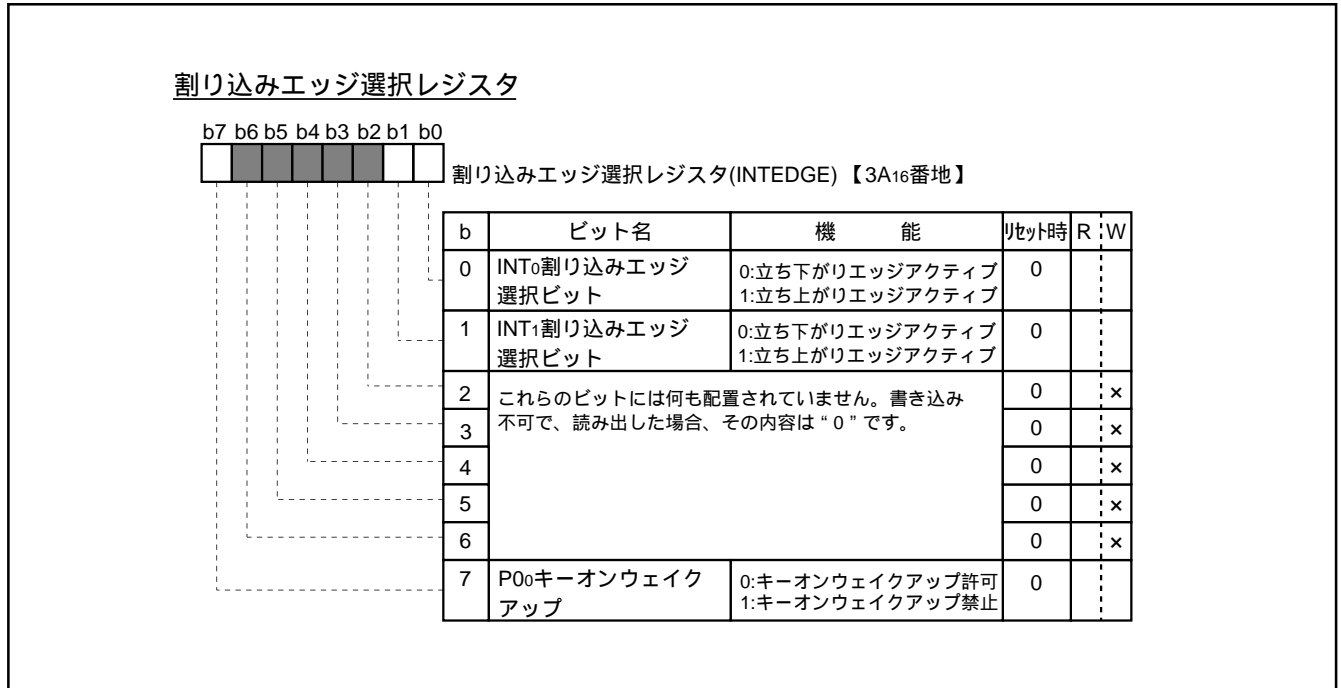


図3.5.33 割り込みエッジ選択レジスタの構成

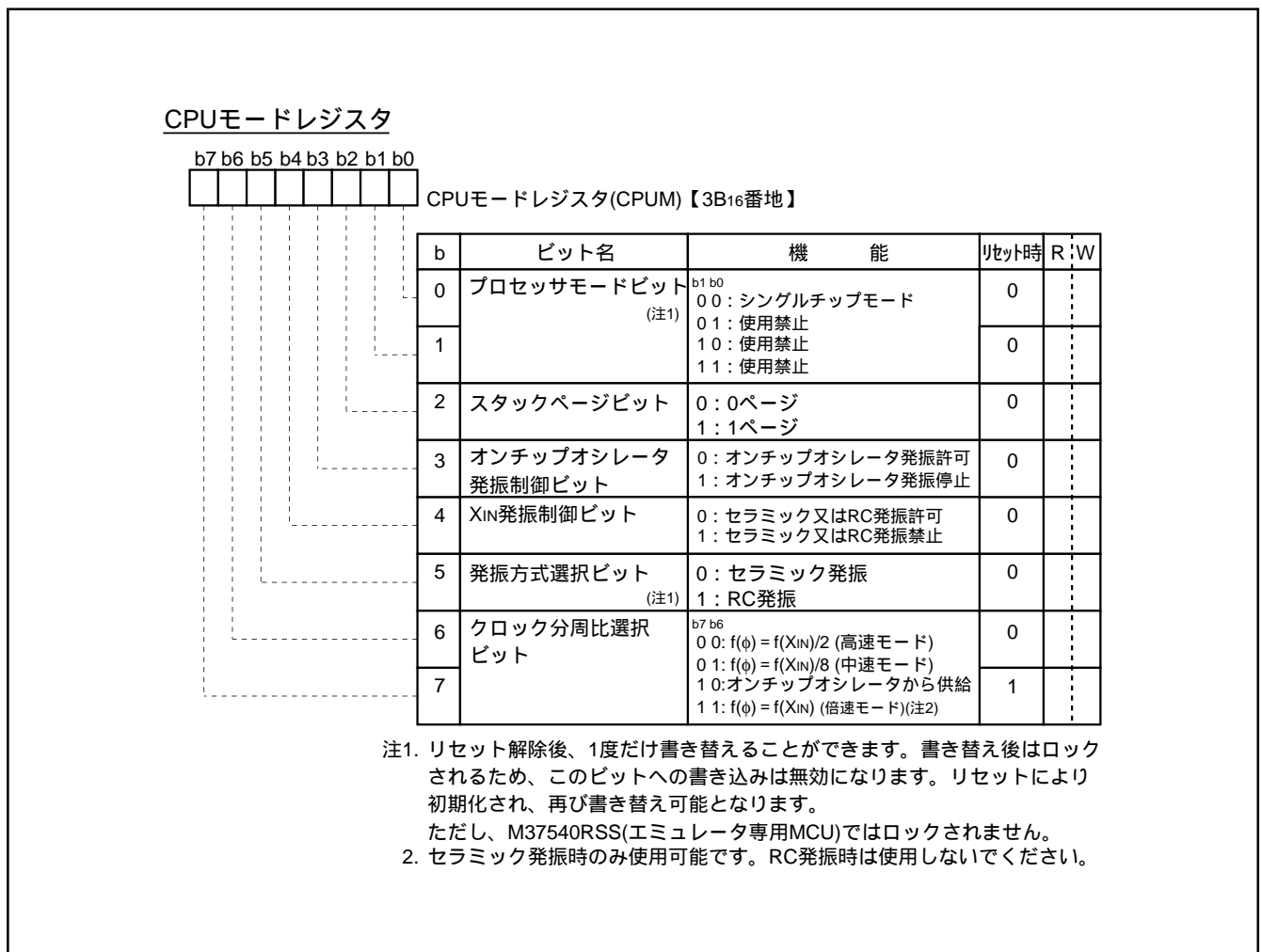


図3.5.34 CPUモードレジスタの構成

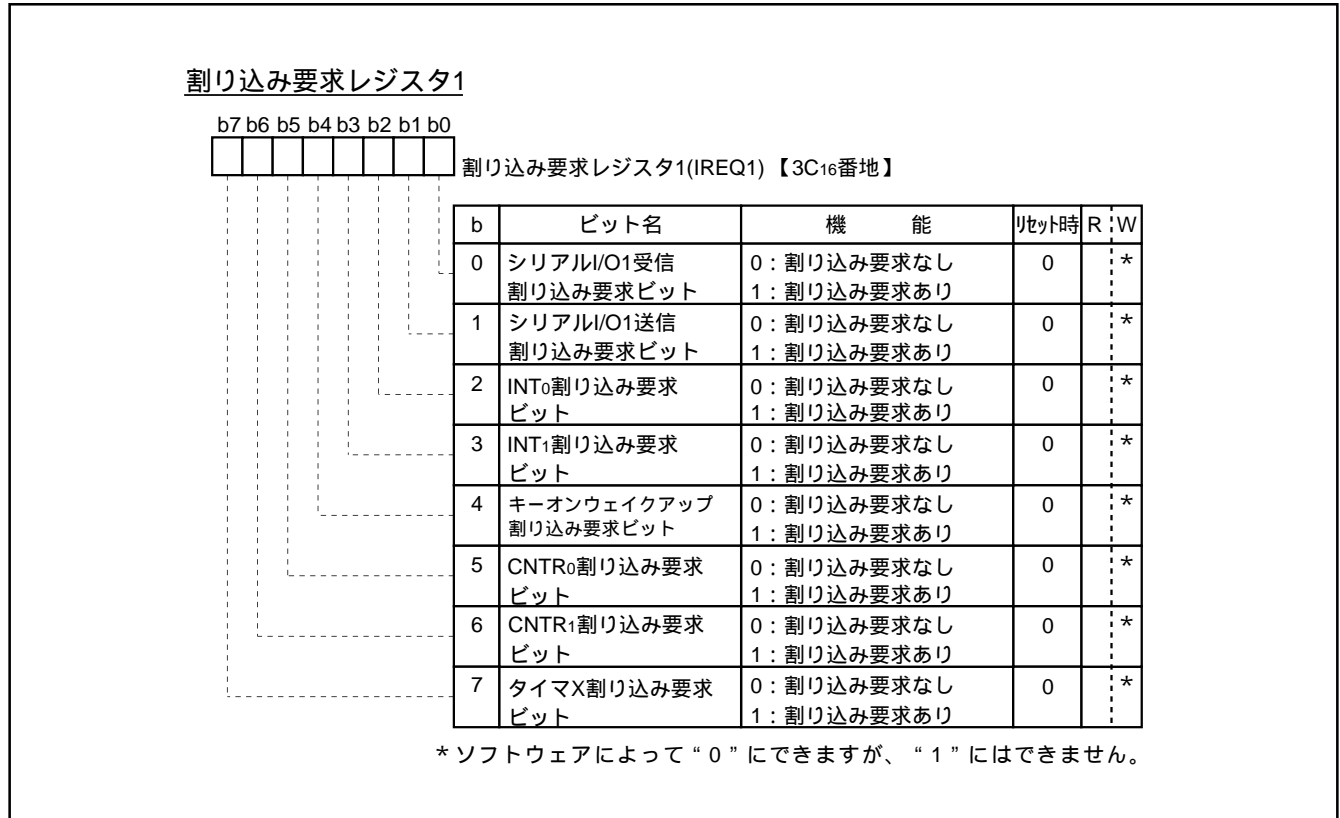


図3.5.35 割り込み要求レジスタ1の構成

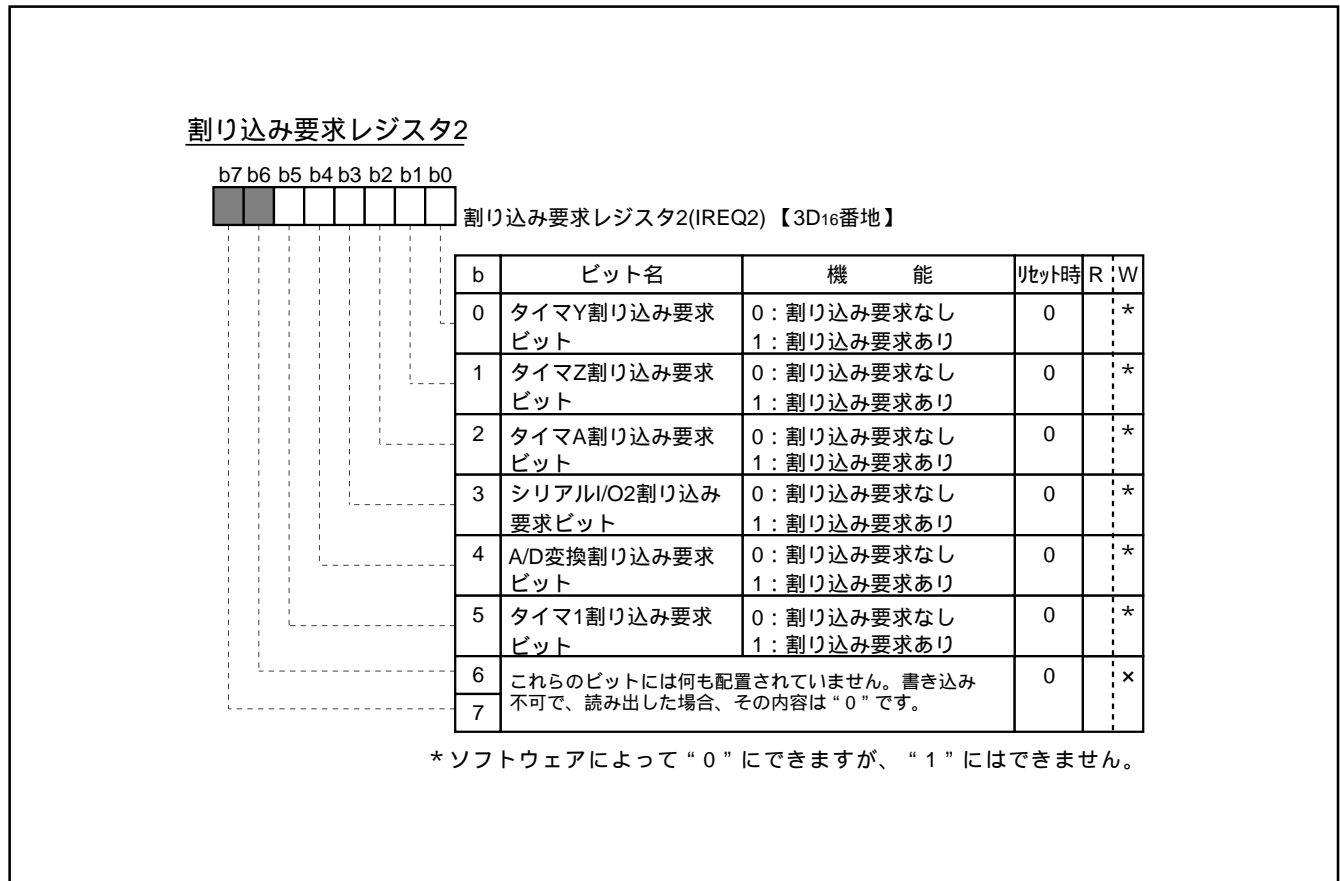


図3.5.36 割り込み要求レジスタ2の構成

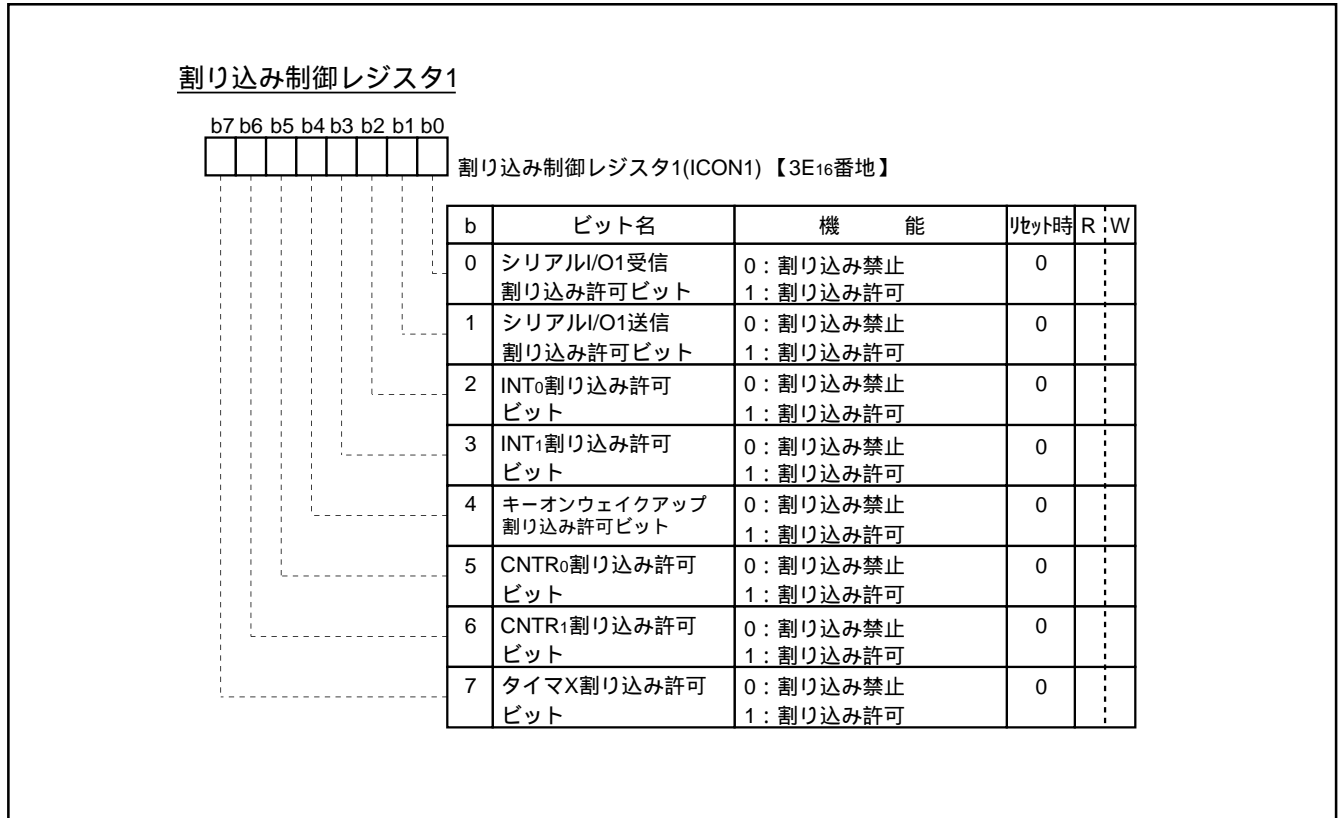


図3.5.37 割り込み制御レジスタ1の構成

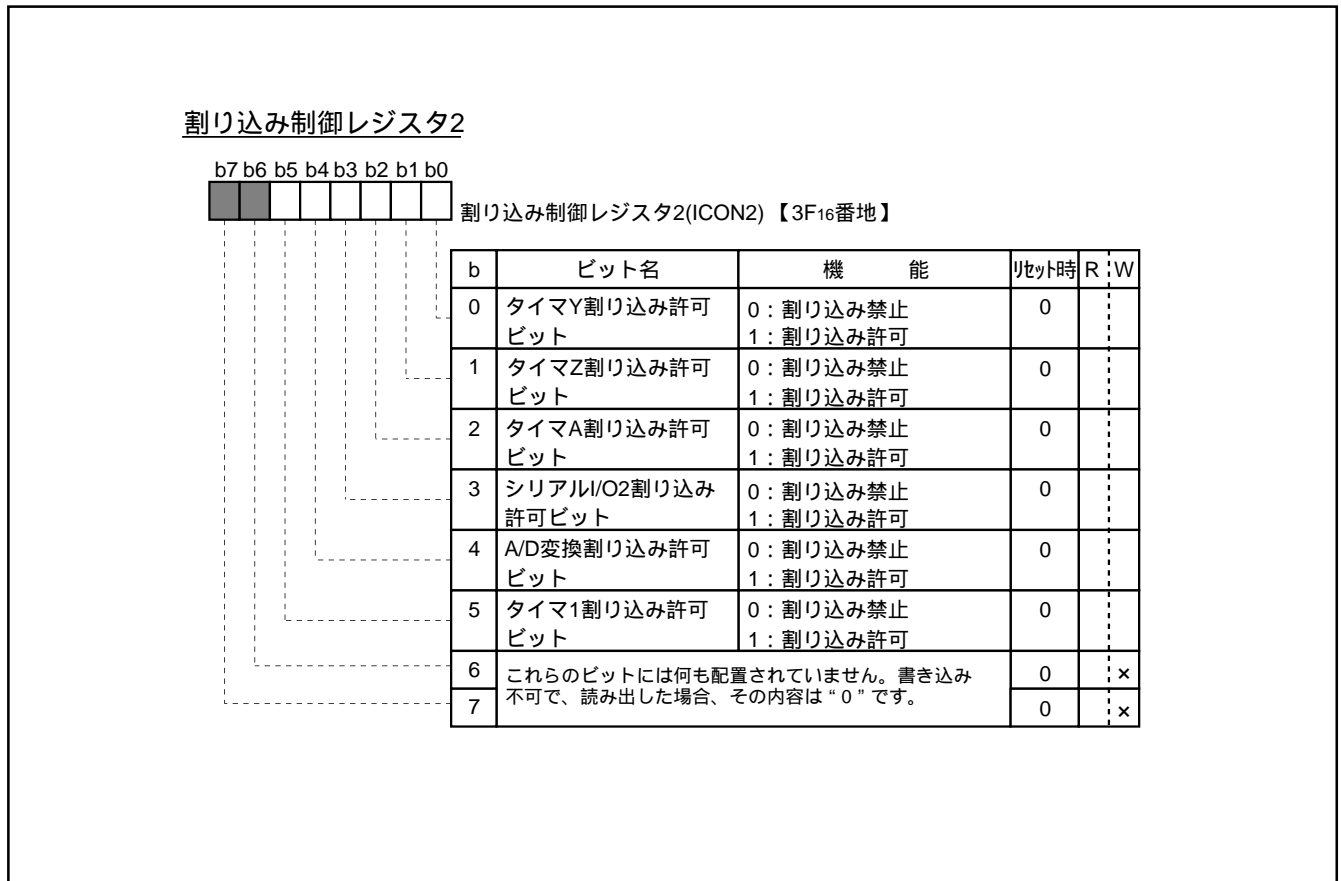


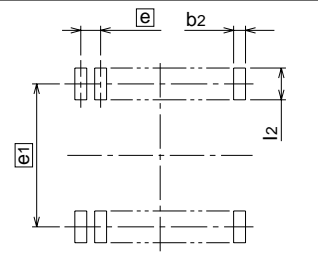
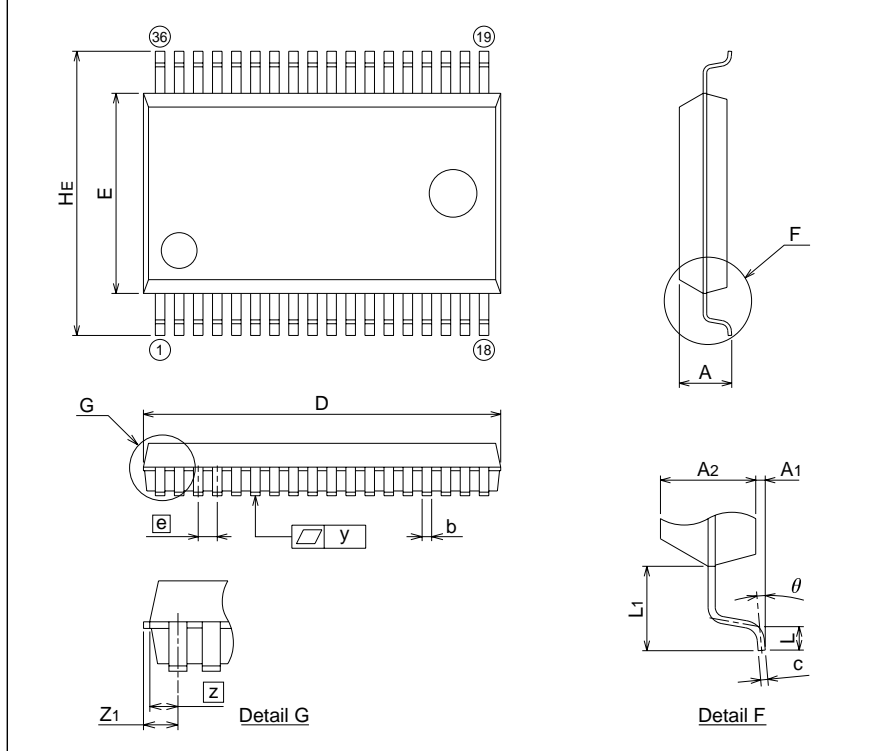
図3.5.38 割り込み制御レジスタ2の構成

3.6 パッケージ寸法図

36P2R-A Recommended

Plastic 36pin 450mil SSOP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SSOP36-P-450-0.80	-	0.53	Alloy 42



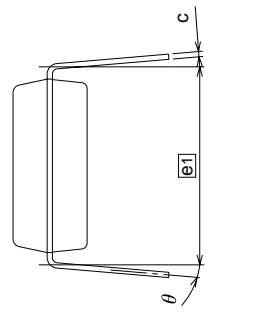
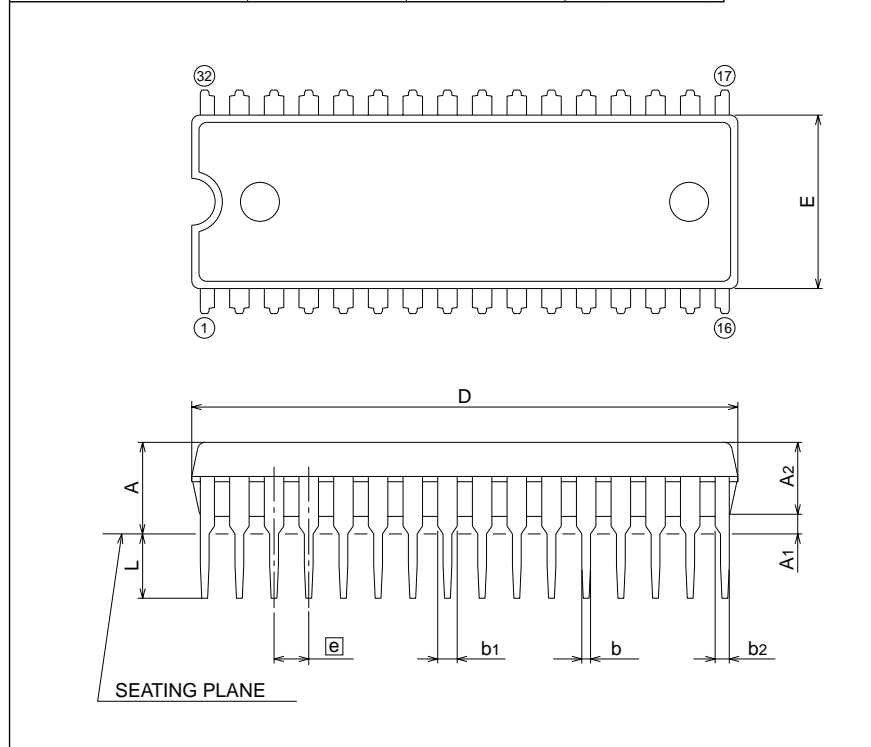
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	2.4
A1	0.05	-	-
A2	-	2.0	-
b	0.35	0.4	0.5
c	0.13	0.15	0.2
D	14.8	15.0	15.2
E	8.2	8.4	8.6
e	-	0.8	-
HE	11.63	11.93	12.23
L	0.3	0.5	0.7
L1	-	1.765	-
l2	-	0.7	-
Z1	-	-	0.85
y	-	-	0.15
θ	0°	-	10°
b2	-	0.5	-
e1	-	11.43	-
l2	1.27	-	-

32P4B Recommended

Plastic 32pin 400mil SDIP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SDIP32-P-400-1.78	-	2.2	Alloy 42/Cu Alloy



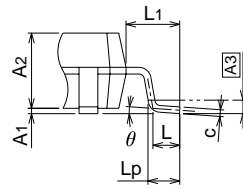
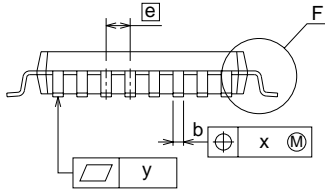
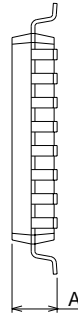
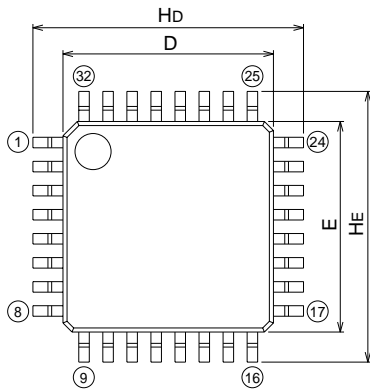
Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	5.08
A1	0.51	-	-
A2	-	3.8	-
b	0.35	0.45	0.55
b1	0.9	1.0	1.3
b2	0.63	0.73	1.03
c	0.22	0.27	0.34
D	27.8	28.0	28.2
E	8.75	8.9	9.05
e	-	1.778	-
e1	-	10.16	-
L	3.0	-	-
θ	0°	-	15°

32P6U-A

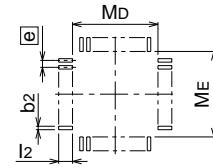
Recommended

Plastic 32pin 7X7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP32-P-0707-0.80	-		Cu Alloy



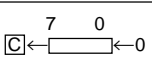
Detail F



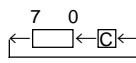
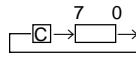

Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.32	0.37	0.45
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	-	0.8	-
Hd	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.2
y	-	-	0.1
theta	0°	-	10°
b2	-	0.5	-
l2	1.0	-	-
MD	-	7.4	-
ME	-	7.4	-

3.7 機械語命令一覧表

命令記号	機能	詳細説明	アドレッシングモード																				
			IMP			IMM			A			BIT, A, R			ZP			BIT, ZP, R					
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#			
ADC (注1) (注5)	T = 0のとき A A + M + C T = 1のとき M(X) M(X) + M + C	Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				69	2	2							65	3	2						
AND (注1)	T = 0のとき A A ∧ M T = 1のとき M(X) M(X) ∧ M	Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。 Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				29	2	2							25	3	2						
ASL		A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。							0A	2	1				06	5	2						
BBC (注4)	Ai又はMi = 0?	M又はAの指定されたビットをテストします。そのビットが0であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが1であれば、そのまま、次へ進みます。											13 20i	4	2				17 20i	5	3		
BBS (注4)	Ai又はMi = 1?	M又はAの指定されたビットをテストします。そのビットが1であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが0であれば、そのまま、次へ進みます。											03 20i	4	2				07 20i	5	3		
BCC (注4)	C = 0?	Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが1のとき、そのまま、次へ進みます。																					
BCS (注4)	C = 1?	Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが0のとき、そのまま、次へ進みます。																					
BEQ (注4)	Z = 1?	Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが0のとき、そのまま、次へ進みます。																					
BIT	A ∧ M	AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。													24	3	2						
BMI (注4)	N = 1?	Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが0のとき、そのまま、次へ進みます。																					
BNE (注4)	Z = 0?	Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが1のとき、そのまま、次へ進みます。																					
BPL (注4)	N = 0?	Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが1のとき、そのまま、次へ進みます。																					
BRA	PC PC ± オフセット	指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。																					
BRK	B 1 (PC) (PC) + 2 M(S) PCH S S - 1 M(S) PCL S S - 1 M(S) PS S S - 1 I 1 PCL ADL PCH ADH	BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス (BADRS) をPCに格納します。	00	7	1																		

アドレッシングモード															プロセスステータスレジスタ																									
ZP, X			ZP, Y			ABS			ABS, X			ABS, Y			IND			ZP, IND			IND, X			IND, Y			REL			SP			7	6	5	4	3	2	1	0
OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	N	V	T	B	D	I	Z	C			
						4C	3	3							6C	5	3	B2	4	2												
						20	6	3										02	7	2								22	5	2		
B5	4	2				AD	4	3	BD	5	3	B9	5	3						A1	6	2	B1	6	2				N	Z	.			
																															
			B6	4	2	AE	4	3				BE	5	3														N	Z	.				
B4	4	2				AC	4	3	BC	5	3																	N	Z	.				
56	6	2				4E	6	3	5E	7	3																	0	Z	C				
62	15	2																													
																															
15	4	2				0D	4	3	1D	5	3	19	5	3						01	6	2	11	6	2				N	Z	.			

命令記号	機能	詳細説明	アドレッシングモード																		
			IMP			IMM			A			BIT, A			ZP			BIT, ZP			
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	
PHA	M(S) A S S - 1	Sの示す番地のメモリへ、Aの内容を退避し、Sの内容を、1減少させます。	48	3	1																
PHP	M(S) PS S S - 1	Sの示す番地のメモリへ、PSの内容を退避し、Sの内容を、1減少させます。	08	3	1																
PLA	S S + 1 A M(S)	Sの内容を、1増加させ、Sの示す番地のメモリの内容を、Aに入れます。	68	4	1																
PLP	S S + 1 PS M(S)	Sの内容を、1増加させ、Sの示す番地のメモリの内容を、PSに入れます。	28	4	1																
ROL		A又はMをCフラグとつなげて、その内容を左へ1ビット回転します。A又はMのビット0には、Cフラグの内容が入り、Cフラグには、A又はMのビット7の内容が入ります。							2A	2	1				26	5	2				
ROR		A又はMをCフラグとつなげて、その内容を右へ1ビット回転します。A又はMのビット7には、Cフラグの内容が入り、Cフラグには、A又はMのビット0の内容が入ります。							6A	2	1				66	5	2				
RRF		Mの内容を右へ4ビット回転します。													82	8	2				
RTI	S S + 1 PS M(S) S S + 1 PCL M(S) S S + 1 PCH M(S)	割り込みが受け付けられたときにスタックに退避したステータスフラグとPCの内容を復帰し、割り込みが受け付けられる前と同じ状態に戻します。ただし、M(S)はSが示す番地のメモリの内容です。	40	6	1																
RTS	S S + 1 PCL M(S) S S + 1 PCH M(S) (PC) (PC) + 1	サブルーチンへジャンプしたときに、スタックに退避した内容をPCへ格納します。そして、PCを1増加します。このとき、PCはJSRの次の命令を指しています。ただし、M(S)はSが示す番地のメモリの内容です。	60	6	1																
SBC (注 1) (注 5)	T = 0のとき A A - M - C T = 1のとき M(X) M(X) - M - C	Tフラグが0のとき、Aの内容から、Mの内容及び、Cフラグの内容の補数を減算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)の内容から、Mの内容及び、Cフラグの内容の補数を減算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。							E9	2	2				E5	3	2				
SEB	Ai又はMi 1	A又はMの、指定されたビットiの内容を1にします。											0B 20i	2	1				0F 20i	5	2
SEC	C 1	Cフラグの内容を1にします。	38	2	1																
SED	D 1	Dフラグの内容を1にします。	F8	2	1																
SEI	I 1	Iフラグの内容を1にします。	78	2	1																
SET	T 1	Tフラグの内容を1にします。	32	2	1																

3.8 命令コード一覧表

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	-	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	-	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	-	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	-	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	-	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	-	BBC 2, A	-	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	-	CLB 2, A	-	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	MUL ZP, X	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	-	BBC 3, A	-	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	-	CLB 3, A	-	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	-	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	-	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	-	STA ABS, X	-	CLB 4, ZP
1010	A	LDY IMM	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY IMM	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	-	BBC 6, A	-	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	-	CLB 6, A	-	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX IMM	SBC IND, X	DIV ZP, X	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	-	BBC 7, A	-	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	-	CLB 7, A	-	SBC ABS, X	INC ABS, X	CLB 7, ZP

- 3バイト命令
 2バイト命令
 1バイト命令

3.9 SFRメモリマップ

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマY,Zモードレジスタ(TYZM)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	プリスケアラY(PREY)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマYセカンダリ(TYS)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマYプライマリ(TYP)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	タイマY,Z波形出力制御レジスタ(PUM)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	プリスケアラZ(PREZ)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマZセカンダリ(TZS)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマZプライマリ(TZP)
0008 ₁₆		0028 ₁₆	プリスケアラ1(PRE1)
0009 ₁₆		0029 ₁₆	タイマ1(T1)
000A ₁₆		002A ₁₆	ワンショット開始レジスタ(ONS)
000B ₁₆		002B ₁₆	タイマXモードレジスタ(TXM)
000C ₁₆		002C ₁₆	プリスケアラX(PREX)
000D ₁₆		002D ₁₆	タイマX(TX)
000E ₁₆		002E ₁₆	タイマカウントソース設定レジスタ(TCSS)
000F ₁₆		002F ₁₆	
0010 ₁₆		0030 ₁₆	シリアルI/O2制御レジスタ(SIO2CON)
0011 ₁₆		0031 ₁₆	シリアルI/O2レジスタ(SIO2)
0012 ₁₆		0032 ₁₆	
0013 ₁₆		0033 ₁₆	
0014 ₁₆		0034 ₁₆	A/D制御レジスタ(ADCON)
0015 ₁₆		0035 ₁₆	A/D変換下位レジスタ(ADL)
0016 ₁₆	プルアップ制御レジスタ(PULL)	0036 ₁₆	A/D変換上位レジスタ(ADH)
0017 ₁₆	ポートP1P3制御レジスタ(P1P3C)	0037 ₁₆	
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	タイマAモードレジスタ(TAM)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	タイマA(下位)(TAL)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	タイマA(上位)(TAH)	003F ₁₆	割り込み制御レジスタ2(ICON2)

注．SFRの空き領域のメモリアクセスは行わないでください。

3.10 ピン接続図

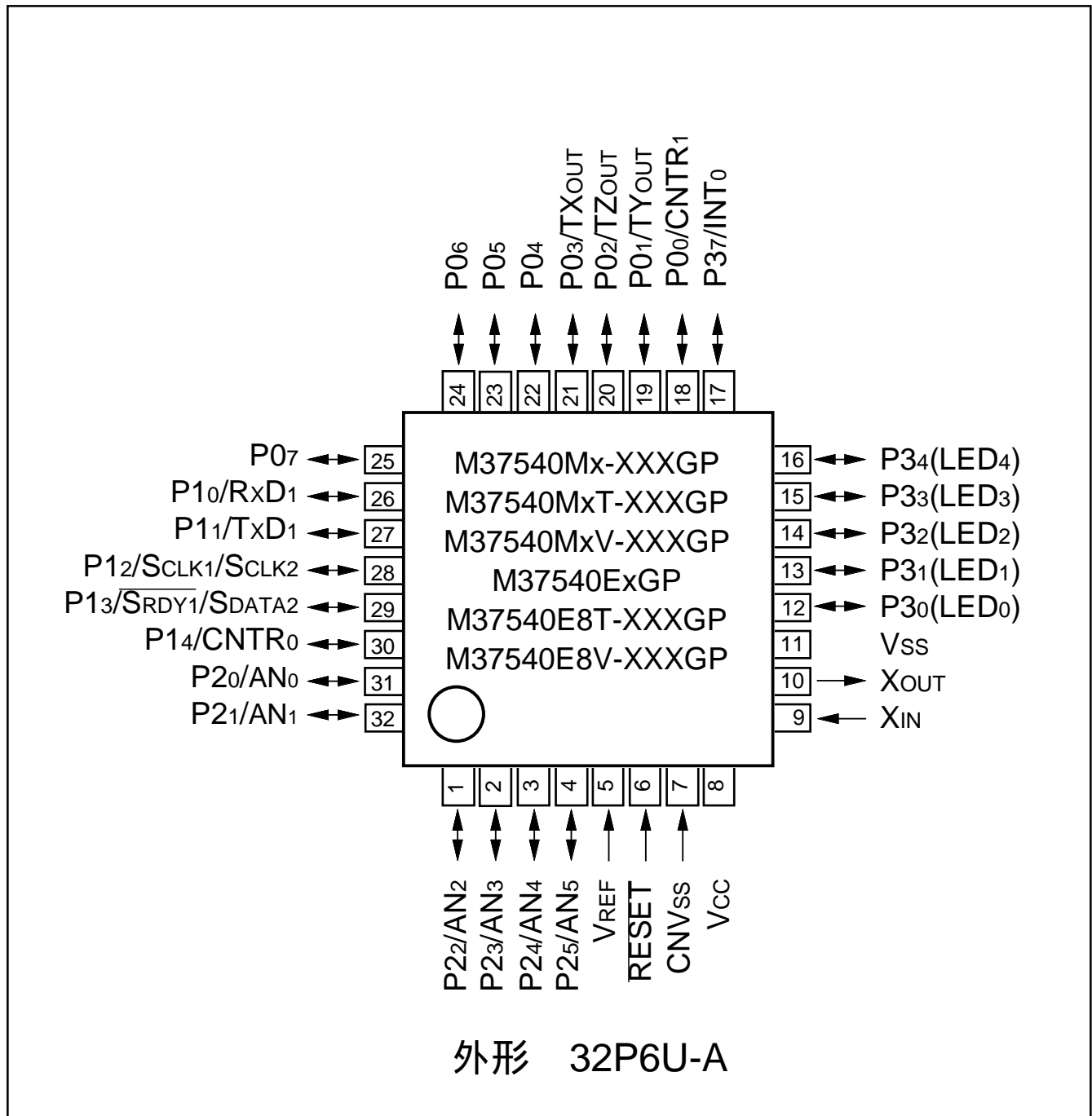


図3.10.1 32P6U-Aパッケージ品のピン接続図

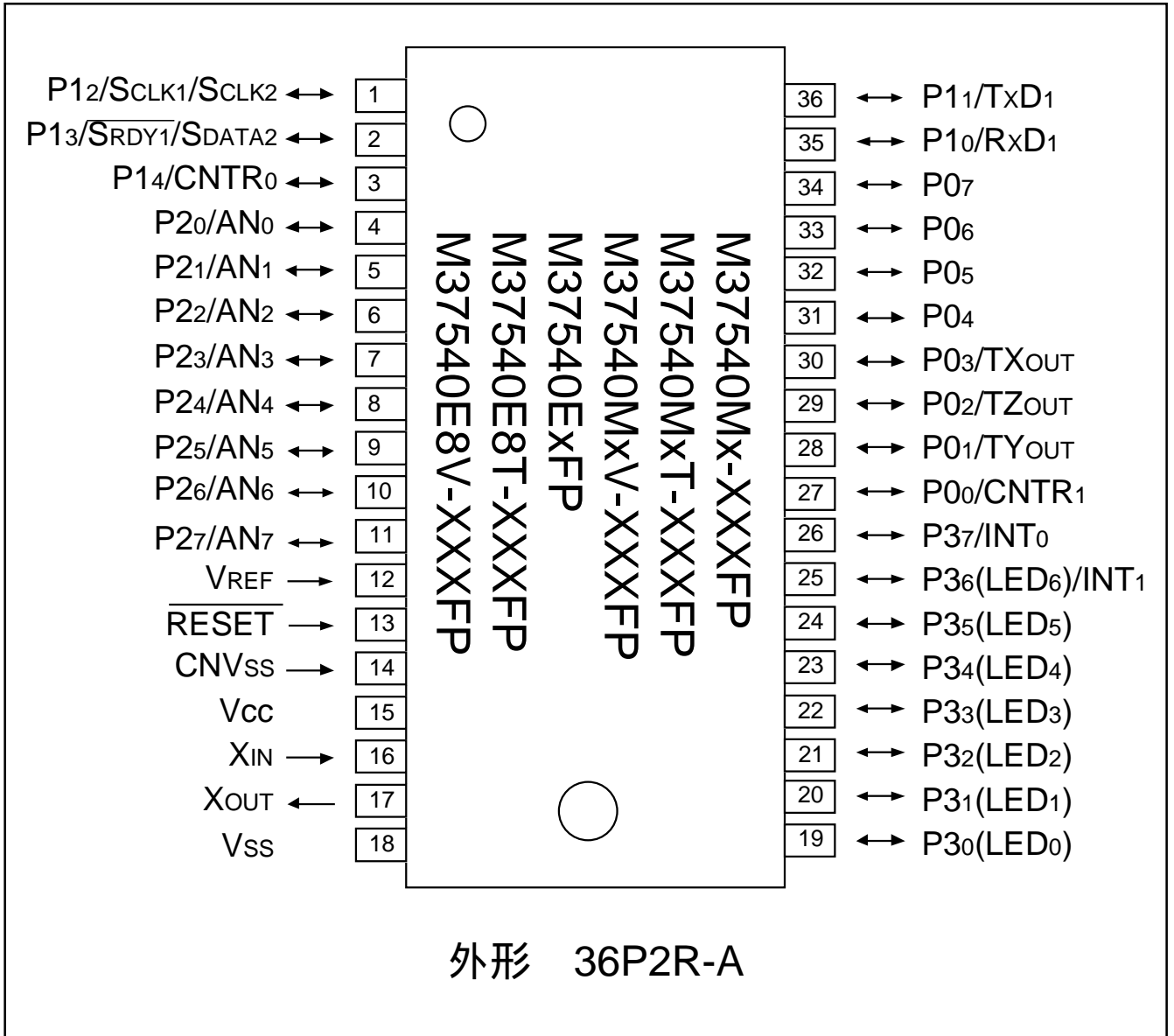


図3.10.2 36P2R-Aパッケージ品のピン接続図

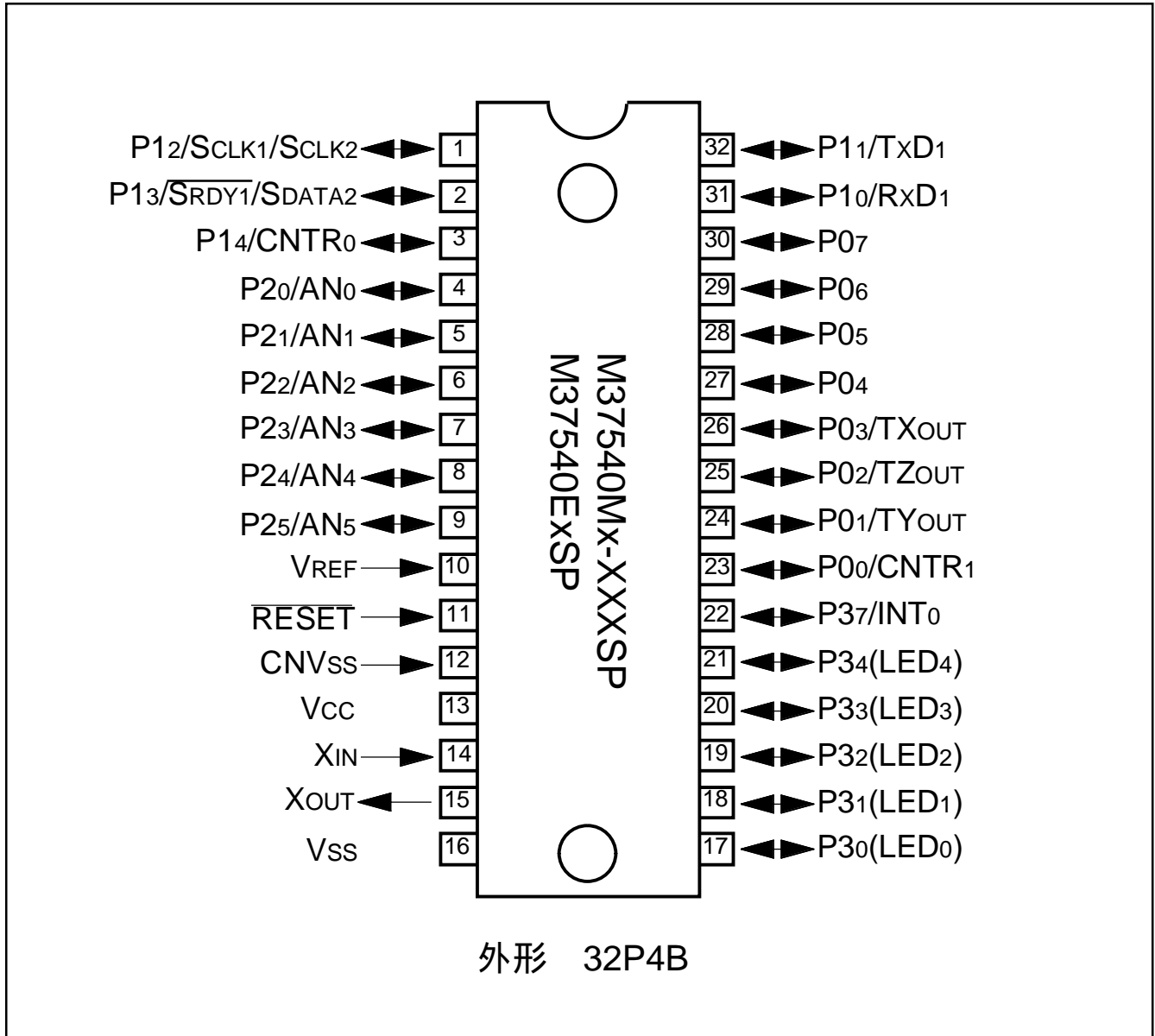


図3.10.3 32P4Bパッケージ品のピン接続図

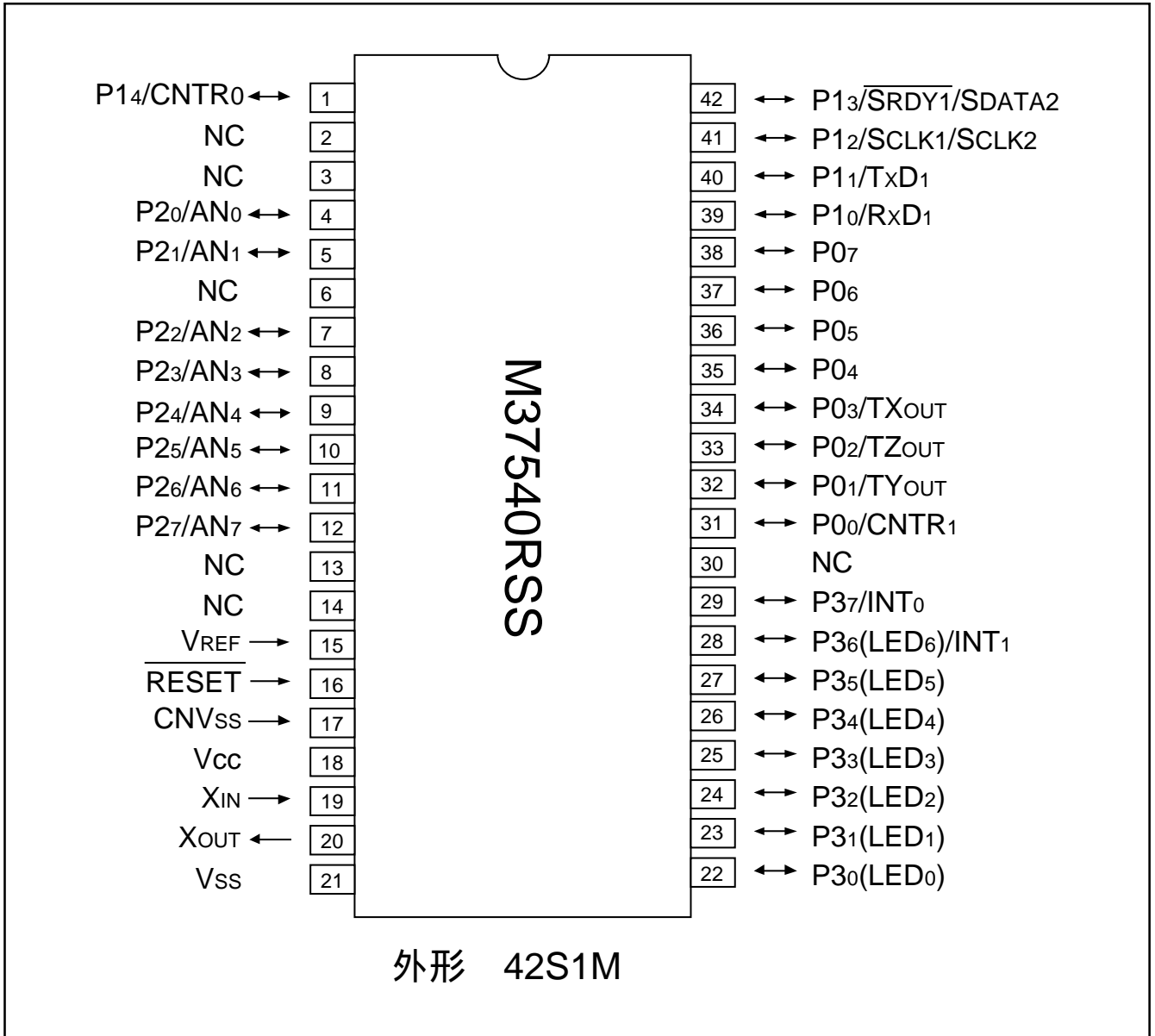


図3.10.4 42S1Mパッケージ品のピン接続図

3.11 7531グループとの相違点

7540グループと7531グループの相違点(性能概要)を表3.11.1に示します。

表3.11.1 7531グループとの相違点(性能概要)

		7531グループ	7540グループ
基本機械語命令数		69	71(DIV,MUL命令追加)
メモリ容量	ROM	8~16Kバイト	16~32Kバイト
	RAM	256~384バイト	512~768バイト
入出力ポート： プルアップ制御レジスタ		初期値：FF16 (ポートP0、P3プルアップオン)	初期値：0016 (ポートP0、P3プルアップオフ)
割り込み 要因数	32ピン版	11要因、8ベクタ (外部 3要因)	14要因、14ベクタ (外部 4要因)
	36ピン版	12要因、8ベクタ (外部 4要因)	15要因、15ベクタ (外部 5要因)
16ビットタイマ		なし	1本(タイマA)
8ビットタイマ		3本(タイマ1,2,X)	4本(タイマ1,X,Y,Z)
シリアルI/O1		UART専用	クロック同期/UART兼用
クロック発生回路		セラミック共振子/ 水晶発振子/RC発振	セラミック共振子/ 水晶発振子/RC発振 オンチップオシレータ発振
発振停止検出回路		なし	あり

7540グループと7531グループのメモリ配置図を図3.11.1に示します。

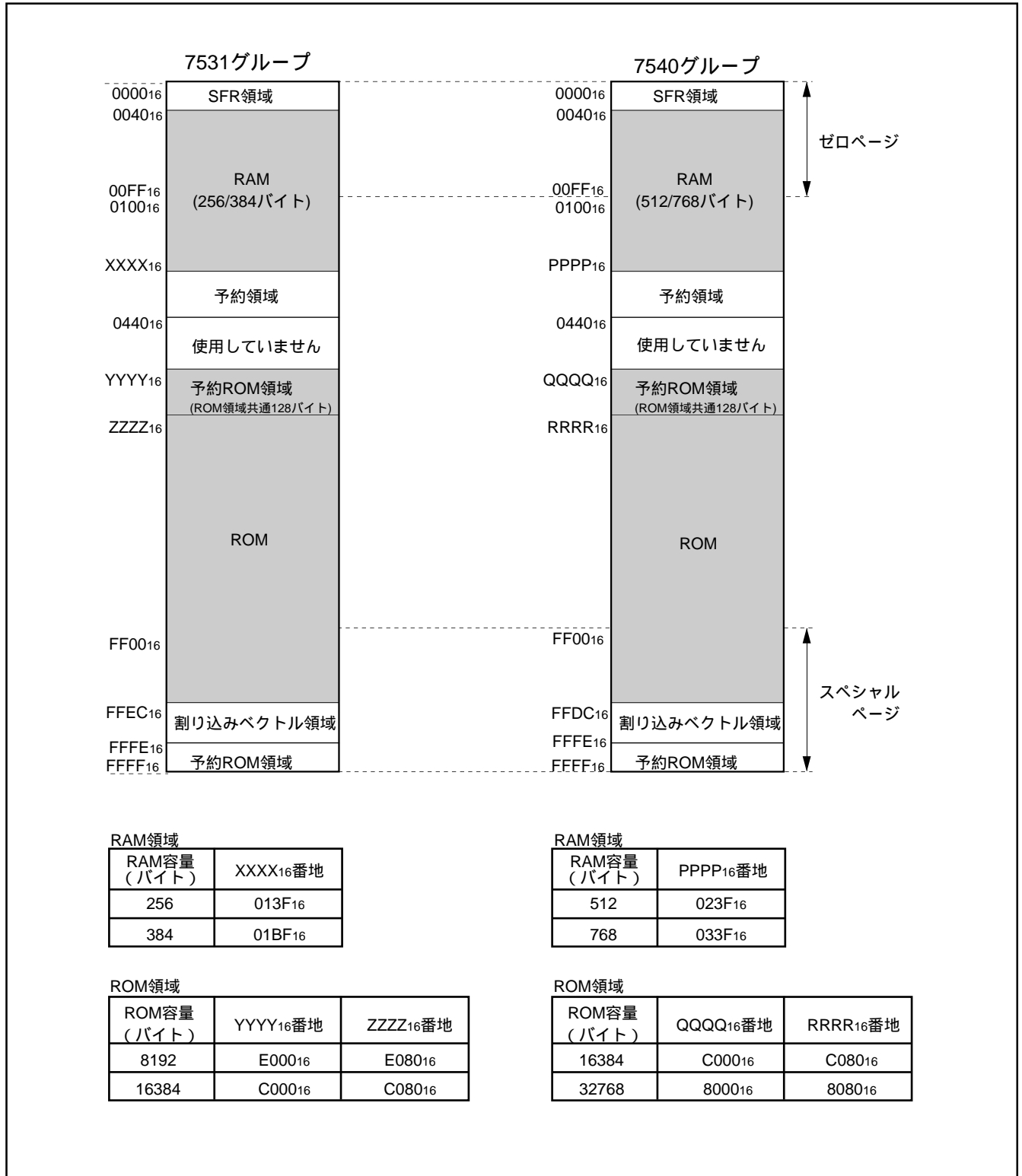


図3.11.1 メモリ配置図

7540グループと7531グループの割り込みベクトル領域のメモリマップを図3.11.2に示します。

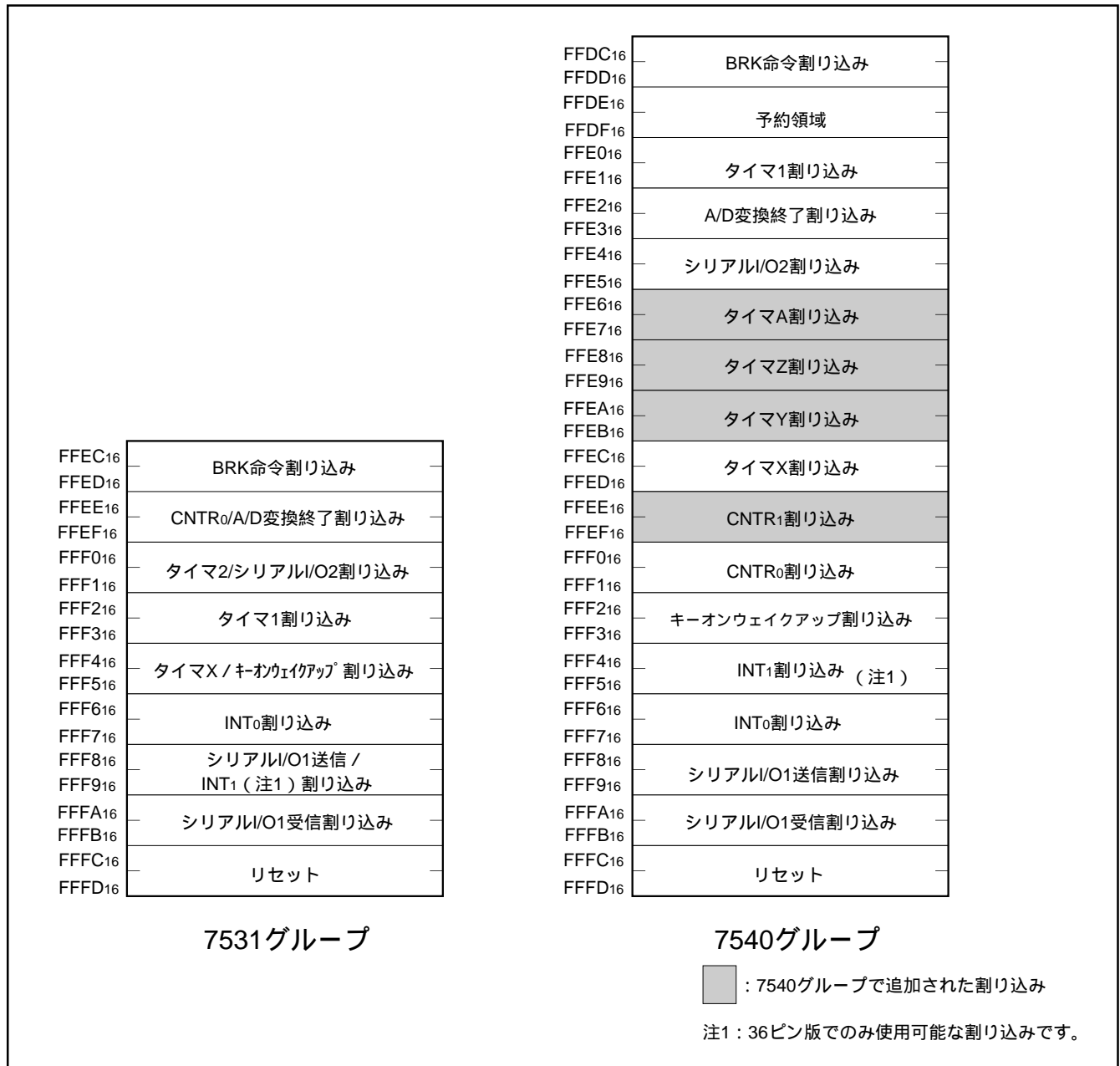


図3.11.2 割り込みベクトル領域メモリマップ

7540グループと7531グループのタイマ機能を図3.11.3に示します。

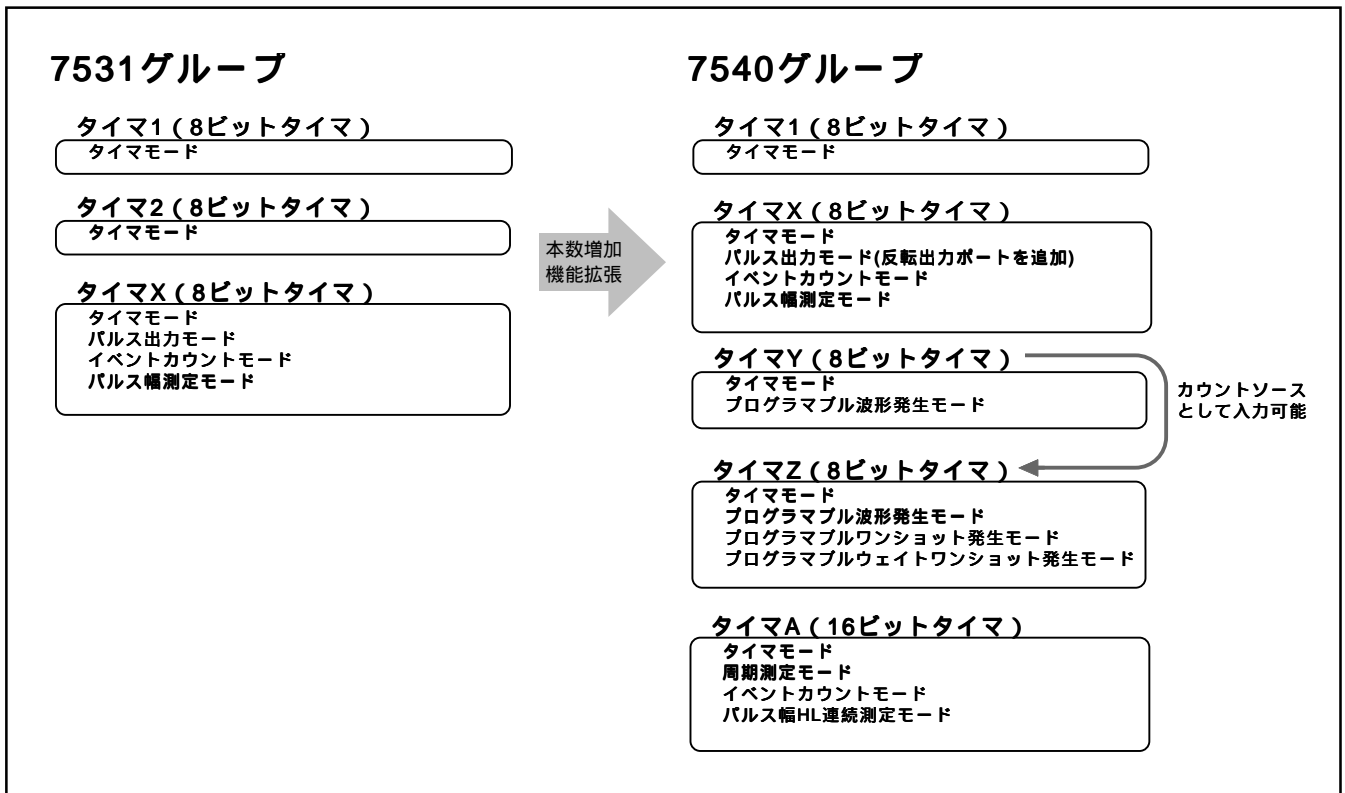


図3.11.3 タイマ機能

ルネサス8ビットCISCシングルチップマイクロコンピュータ
ユーザーズマニュアル
7540グループ

発行年月日 2000年9月21日 Rev. 1.00
2004年6月21日 Rev. 3.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

7540 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0191-0300Z