

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4524グループ

ユーザーズマニュアル

ルネサス4ビットCISCシングルチップマイクロコンピュータ
4500シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

改訂記録

4524 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.05.15	-	初版発行
2.00	2004.07.27	全ページ	用語統一（統一用語：オンチップオシレータ、A/D コンバータ）
		1-6	端子の機能説明 RESET 説明追記
		1-35	図FB-3：注9 追記
		1-46	説明 一部改訂
		1-47	図FB-8：「DI」命令 追記
		1-65	「 内部分割抵抗」：8行目 レジスタL2のビット0を“1”“0”に改訂
		1-69	図VB-5. 水晶発振回路の状態 追記
		1-70	電圧低下検出回路に関する注意事項 追記
		1-71	表WD-1. ポートのレベルに関する記述 改訂、注7 追記
		1-73	図WD-1 改訂（注5追記、状態E 状態B, 状態A, 状態C, 状態D遷移時に T5F 追記、キーオンウェイクアップ ウェイクアップ）
		1-76	図WA-1. 注2改訂
		1-79	(3)レジスタの初期値2 改訂
		1-82	電圧低下検出回路に関する注意事項 追記
		1-83	(27)電源電圧に関する注意 追記
		1-140	[機能分類別]機械語命令一覧表 ビット操作命令 リターン命令
		2-79	2行目「発振が安定している状態で」削除
		2-82	図2.7.4 水晶発振回路の状態 追記
		2-83	電圧低下検出回路を使用する場合の注意事項 追記
		2-84	図2.9.1 改訂（注5追記、状態E 状態B, 状態A, 状態C, 状態D遷移時に T5F 追記、キーオンウェイクアップ ウェイクアップ）
		2-86	表WD-1. ポートのレベルに関する記述 改訂、注7 追記
		2-94	(4)パワーダウンからの復帰 改訂
		2-98	図2.10.7 注2改訂
		3-51	(4)パワーダウンからの復帰 改訂
		3-52	3.3.13 電圧低下検出回路に関する注意事項 追記
			3.3.14 電源電圧に関する注意事項 追記

構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

- 第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

- 第2章「応用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

- 第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項などを掲載しています。

- * 発注の際に提出していただくマスク化確認書、ROM書き込み確認書、マーク指定書につきましては、「ルネサステクノロジホームページ[ROM発注](<http://www.renesas.com/jp/rom>)」を参照してください。
- * 開発ツールにつきましては、「ルネサステクノロジLCDマイコン—製品個別情報4524グループページ(http://www.renesas.com/jpn/products/mpumcu/specific/lcd_mcu/expand/4524.htm)」を参照してください。

目次

第1章 ハードウェア

概要	1-2
特長	1-2
応用	1-2
ピン接続図(上面図)	1-3
機能ブロック図	1-4
性能概要	1-5
端子の機能説明	1-6
マルチファンクション一覧	1-7
クロック及びサイクルの定義	1-8
ポート機能一覧	1-8
使用しない端子の処理	1-9
ポートブロック図	1-10
機能ブロック動作説明	1-18
CPU	1-18
プログラムメモリ(ROM)	1-21
データメモリ(RAM)	1-22
割り込み機能	1-23
外部割り込み	1-27
タイマ	1-32
ウォッチドッグタイマ	1-46
A/Dコンバータ(コンパレータ)	1-48
シリアルI/O	1-55
液晶表示機能	1-60
リセット機能	1-66
電圧低下検出回路	1-70
パワーダウン機能	1-71
クロック制御	1-76
マスク化発注時に提示いただく資料	1-78
使用上の注意(まとめ)	1-79
制御レジスタ一覧	1-84
命令	1-91
記号	1-91
命令機能別索引	1-92
[アルファベット順]機械語命令一覧	1-96
[機能分類別]機械語命令一覧表	1-136
命令コード対応表	1-152
PROM内蔵版	1-154

第2章 応用

2.1	入出力端子	2-2
2.1.1	入出力ポート	2-2
2.1.2	関連レジスタ	2-6
2.1.3	ポートの応用例	2-14
2.1.4	使用上の注意事項	2-15
2.2	割り込み	2-18
2.2.1	割り込み機能	2-18
2.2.2	関連レジスタ	2-22
2.2.3	割り込みの応用例	2-25
2.2.4	使用上の注意事項	2-35
2.3	タイマ	2-37
2.3.1	タイマ機能	2-37
2.3.2	関連レジスタ	2-38
2.3.3	タイマの応用例	2-43
2.3.4	使用上の注意事項	2-53
2.4	A/Dコンバータ	2-55
2.4.1	関連レジスタ	2-56
2.4.2	A/Dコンバータの応用例	2-57
2.4.3	使用上の注意事項	2-59
2.5	シリアルI/O	2-62
2.5.1	シリアルI/O	2-62
2.5.2	関連レジスタ	2-63
2.5.3	動作説明	2-65
2.5.4	シリアルI/Oの応用例	2-68
2.5.5	使用上の注意事項	2-71
2.6	液晶表示機能	2-72
2.6.1	動作説明	2-72
2.6.2	関連レジスタ	2-74
2.6.3	液晶表示機能の応用例	2-76
2.6.4	使用上の注意事項	2-78
2.7	リセット	2-79
2.7.1	リセット回路	2-79
2.7.2	リセット時の内部状態	2-81
2.7.3	使用上の注意事項	2-82
2.8	電圧低下検出回路	2-83
2.9	パワーダウン機能	2-84
2.9.1	パワーダウン機能	2-85
2.9.2	関連レジスタ	2-88
2.9.3	パワーダウン機能応用例	2-93
2.9.4	使用上の注意事項	2-94

2.10	発振回路	2-96
2.10.1	発振回路	2-96
2.10.2	発振動作	2-98
2.10.3	関連レジスタ	2-99
2.10.4	使用上の注意事項	2-99

第3章 付 録

3.1	電気的特性	3-2
3.1.1	絶対最大定格	3-2
3.1.2	推奨動作条件	3-3
3.1.3	電気的特性	3-6
3.1.4	A/Dコンバータ特性	3-8
3.1.5	電圧低下検出回路特性	3-9
3.2	標準特性	3-10
3.2.1	電源電流特性	3-11
3.2.2	周波数特性	3-17
3.2.3	ポート標準特性例(VDD=5.0V)	3-20
3.2.4	ポート標準特性例(VDD=3.0V)	3-23
3.2.5	入力しきい値特性例	3-26
3.2.6	プルアップ抵抗 VDD-RPU特性例	3-29
3.2.7	LCD電源内蔵抵抗 Ta-RVLC特性例	3-30
3.2.8	A/Dコンバータ標準特性例	3-31
3.2.9	アナログ入力電流特性例	3-34
3.2.10	A/D動作電流(VDD-IADD)特性	3-38
3.2.11	電圧低下検出回路特性例	3-38
3.3	使用上の注意(まとめ)	3-40
3.3.1	プログラムカウンタ	3-40
3.3.2	スタックレジスタ(SK)	3-40
3.3.3	入出力端子に関する注意事項	3-40
3.3.4	割り込みに関する注意事項	3-43
3.3.5	タイマに関する注意事項	3-45
3.3.6	A/Dコンバータに関する注意事項	3-47
3.3.7	シリアルI/Oに関する注意事項	3-49
3.3.8	液晶表示機能に関する注意事項	3-50
3.3.9	リセットに関する注意事項	3-50
3.3.10	パワーダウン機能に関する注意事項	3-51
3.3.11	発振回路に関する注意事項	3-52
3.3.12	マスクROM版とワンタイムPROM版の相違	3-52
3.3.13	電圧低下検出回路使用時に関する注意事項	3-52
3.3.14	電源電圧に関する注意事項	3-52
3.4	ノイズに関する注意事項	3-53
3.4.1	配線長の短縮	3-53
3.4.2	VSS VDDライン間へのバイパスコンデンサ挿入	3-54
3.4.3	アナログ入力端子の配線処理	3-55
3.4.4	発振子への配慮	3-55
3.4.5	入出力ポート処理	3-56
3.4.6	ソフトウェアによるウォッチドッグタイマ機能の実現	3-56
3.5	パッケージ寸法図	3-58

図目次

第1章 ハードウェア

図BA-1 . AMC命令実行例	1-18
図BA-2 . RAR命令実行例	1-18
図BA-3 . レジスタA、BとレジスタE	1-18
図BA-4 . TABP p命令実行例	1-18
図BA-5 . スタックレジスタSKの構成	1-19
図BA-6 . サブルーチン呼び出し時の動作例	1-19
図BA-7 . プログラムカウンタ(PC)の構成	1-20
図BA-8 . データポインタ(DP)の構成	1-20
図BA-9 . SD命令実行例	1-20
図BC-1 . M34524EDのROMマップ	1-21
図BC-2 . 割り込み番地ページ (0080 ₁₆ ~ 00FF ₁₆)の構成	1-21
図BD-1 . RAMマップ	1-22
図DD-1 . 割り込み処理プログラム例	1-24
図DD-2 . 割り込み発生時の内部状態	1-24
図DD-3 . 割り込み系統図	1-24
図DD-4 . 割り込みシーケンス	1-26
図DD-5 . 外部割り込み回路の構成	1-27
図DD-6 . 外部0割り込みプログラム例1	1-30
図DD-7 . 外部0割り込みプログラム例2	1-30
図DD-8 . 外部0割り込みプログラム例3	1-30
図DD-9 . 外部1割り込みプログラム例1	1-31
図DD-10 . 外部1割り込みプログラム例2	1-31
図DD-11 . 外部1割り込みプログラム例3	1-31
図FB-1 . オートリロード機能	1-32
図FB-2 . タイマの構成	1-34
図FB-3 . タイマの構成(2)	1-35
図FB-4 . タイマ4の動作(リロードレジスタR4Lに“ 03 ₁₆ ”、リロードレジスタR4Hに“ 02 ₁₆ ”を設定した場合)	1-43
図FB-5 . タイマ3によるCNTR1出力自動制御機能	1-44
図FB-6 . タイマ4カウント開始 / 停止タイミング	1-45
図FB-7 . ウォッチドッグタイマ機能の動作	1-46
図FB-8 . ウォッチドッグタイマ使用時、停止の時のプログラム例	1-47
図FB-9 . ウォッチドッグタイマ使用時におけるモードへの移行プログラム例	1-47
図JA-1 . A/D変換器の構成	1-48
図JA-2 . A/D変換タイミングチャート	1-51
図JA-3 . レジスタ設定例	1-52
図JC-1 . コンパレータ動作タイミングチャート	1-53
図JA-4 . A/D変換精度の定義	1-54
図GA-1 . シリアルI/Oの構成	1-55
図GA-2 . 送受信時のシリアルI/Oレジスタの状態	1-56
図GA-3 . シリアルI/Oの接続例	1-57
図GA-4 . シリアルI/O転送のタイミング	1-58

図LCD-1 . LCDクロック制御回路の構成	1-60
図LCD-2 . LCDコントローラ/ドライバの構成	1-61
図LCD-3 . LCD表示用RAMマップ	1-62
図LCD-4 . 駆動波形例	1-64
図VB-1 . リセット解除のタイミング	1-66
図VB-2 . RESET端子の入力波形とリセット動作	1-66
図VB-3 . RESET 端子周辺の構成とパワーオンリセット動作	1-67
図VB-4 . リセット時の内部状態(1)	1-68
図VB-5 . リセット時の内部状態(2)	1-69
図VC-1 . 電圧低下検出回路	1-70
図VC-2 . 電圧低下検出回路動作波形	1-70
図VC-3 . VDDとVRST	1-70
図WD-1 . 状態遷移図	1-73
図WD-2 . パワーダウンフラグ(P)のセット要因とクリア要因	1-73
図WD-3 . SNZP命令によるスタート識別例	1-73
図WA-1 . クロック制御回路の構成	1-76
図WA-2 . セラミック共振/RC発振への切り替え	1-77
図WA-3 . オンチップオシレータ動作時のXIN、XOUT端子の処理	1-77
図WA-4 . セラミック共振子外付け回路	1-77
図WA-5 . RC発振外付け回路	1-77
図WA-6 . 外部クロック入力回路	1-78
図WA-7 . 水晶発振子外付け回路	1-78
図DD-6 . 外部0割り込みプログラム例1	1-80
図DD-7 . 外部0割り込みプログラム例2	1-80
図DD-8 . 外部0割り込みプログラム例3	1-80
図DD-9 . 外部1割り込みプログラム例1	1-81
図DD-10 . 外部1割り込みプログラム例2	1-81
図DD-11 . 外部1割り込みプログラム例3	1-81
図VC-3 . VDDとVRST	1-82
図XB-4 . A/D変換器の動作モードプログラム例	1-82
図XB-5 . アナログ入力外付け回路例1	1-83
図XB-6 . アナログ入力外付け回路例2	1-83
図XA-1 . 4524グループPROM内蔵版のピン接続図	1-154
図XA-2 . PROMメモリマップ	1-155
図XA-3 . ブランク出荷品の書き込み及びテスト	1-155

第2章 応 用

図2.1.1	キーマトリクス回路例	2-14
図2.1.2	キースキャン入力タイミング	2-14
図2.2.1	外部0割り込み動作例	2-26
図2.2.2	外部0割り込み設定例	2-27
図2.2.3	外部1割り込み動作例	2-28
図2.2.4	外部1割り込み設定例	2-29
図2.2.5	タイマ1定周期割り込み設定例	2-30
図2.2.6	タイマ2定周期割り込み設定例	2-31
図2.2.7	タイマ3定周期割り込み設定例	2-32
図2.2.8	タイマ4定周期割り込み設定例	2-33
図2.2.9	タイマ5定周期割り込み設定例	2-34
図2.3.1	周辺回路例	2-43
図2.3.2	タイマ4の動作	2-44
図2.3.3	ウォッチドッグタイマの機能	2-45
図2.3.4	定周期測定設定例	2-46
図2.3.5	CNTR0出力の設定例	2-47
図2.3.6	CNTR0入力の設定例	2-48
図2.3.7	外部入力によるタイマスタートの設定例	2-49
図2.3.8	PWM出力制御の設定例	2-50
図2.3.9	タイマ5による定周期カウンタの設定例	2-51
図2.3.10	ウォッチドッグタイマ使用例	2-52
図2.4.1	A/D変換器の構成	2-55
図2.4.2	A/D変換モードの設定例	2-58
図2.4.3	アナログ入力外付け回路例1	2-59
図2.4.4	アナログ入力外付け回路例2	2-59
図2.4.5	A/D変換器の動作モードプログラム例	2-60
図2.5.1	シリアルI/Oの構成	2-62
図2.5.2	シリアルI/O接続例	2-65
図2.5.3	送受信時のシリアルI/Oレジスタの状態	2-65
図2.5.4	シリアルI/O転送タイミング	2-66
図2.5.5	マスタ側シリアルI/Oの割り込みを使用しない設定例	2-69
図2.5.6	スレーブ側シリアルI/Oの割り込みを使用する設定例	2-70
図2.6.1	LCDクロック制御回路の構成	2-73
図2.6.2	LCD表示用RAMマップ	2-73
図2.6.3	LCD表示パネル例	2-76
図2.6.4	セグメント割り付け例	2-76
図2.6.5	LCD表示用RAM配置例	2-76
図2.6.6	初期設定例	2-77
図2.7.1	RESET 端子周辺の構成とパワーオンリセット動作	2-79
図2.7.2	リセット解除後の発振安定時間	2-80
図2.7.3	リセット時の内部状態(1)	2-81
図2.7.4	リセット時の内部状態(2)	2-82

図2.8.1	電圧低下検出回路	2-83
図2.8.2	電圧低下検出回路の動作波形例	2-83
図2.8.3	VDDとVRST	2-83
図2.9.1	状態遷移図	2-84
図2.9.2	スタート条件識別方法例	2-87
図2.9.3	プログラム設計例	2-93
図2.10.1	セラミック共振 / RC発振への切り替え	2-96
図2.10.2	オンチップオシレータ動作時のXIN、XOUT端子の処理	2-96
図2.10.3	セラミック共振子外付け回路例	2-97
図2.10.4	RC発振外付け回路例	2-97
図2.10.5	外部クロック入力回路例	2-97
図2.10.6	水晶発振子外付け回路例	2-97
図2.10.7	クロック制御回路の構成	2-98

第3章 付 録

図3.2.1	A/D変換特性データ	3-31
図3.3.1	アナログ入力外付け回路例1	3-47
図3.3.2	アナログ入力外付け回路例2	3-47
図3.3.3	A/D変換器の動作モードプログラム例	3-48
図3.3.4	VDDとVRST	3-52
図3.4.1	パッケージの選択	3-53
図3.4.2	リセット入力端子の配線	3-53
図3.4.3	クロック入出力端子の配線	3-53
図3.4.4	CNVSS端子の配線	3-54
図3.4.5	PROM内蔵版のVPP端子の配線	3-54
図3.4.6	VSS - VDDライン間のバイパスコンデンサ	3-54
図3.4.7	アナログ信号線と抵抗及びコンデンサ	3-55
図3.4.8	大電流が流れる信号線の配線	3-55
図3.4.9	高速にレベル変化する信号線の配線	3-56
図3.4.10	発振子の裏面のVSSパターン	3-56
図3.4.11	ソフトウェアによるウォッチドッグタイマ	3-57

表目次

第1章 ハードウェア

表BD-1 . RAM容量	1-22
表DD-1 . 割り込み要因、割り込み番地、及び優先順位	1-23
表DD-2 . 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット	1-23
表DD-3 . 割り込み可能ビットの機能	1-23
表DD-4 . 割り込み制御レジスタ	1-25
表DD-5 . 割り込み起動条件	1-27
表DD-6 . 外部割り込み制御レジスタ	1-29
表FB-1 . タイマの機能一覧	1-33
表FB-2 . タイマ制御レジスタ	1-36
表JA-1 . A/D変換器の特性	1-48
表JA-2 . A/D制御レジスタ	1-49
表JA-3 . A/D変換中の逐次比較レジスタ(AD)の変化	1-51
表GA-1 . シリアルI/O入出力端子	1-55
表GA-2 . シリアルI/O制御レジスタ	1-55
表GA-3 . マスタからスレーブへのデータ転送の処理シーケンス	1-59
表LCD-1 . デューティと最大表示画素数	1-60
表LCD-2 . LCD制御レジスタ	1-63
表VB-1 . リセット時のポートの状態	1-67
表VC-1 . 電圧低下検出回路動作状態	1-70
表WD-1 . パワーダウン時に保持される機能と状態	1-71
表WD-2 . 復帰要因と復帰条件	1-72
表WD-3 . キーオンウェイクアップ制御レジスタ、プルアップ制御レジスタ、割り込み制御レジスタ	1-74
表WA-1 . クロック制御レジスタ	1-78
表XA-1 . PROM内蔵版の型名一覧	1-154
表XA-2 . 書き込みアダプター一覧	1-155

第2章 応用

表2.1.1 タイマ制御レジスタW3のビット構成	2-6
表2.1.2 タイマ制御レジスタW4のビット構成	2-6
表2.1.3 タイマ制御レジスタW6のビット構成	2-7
表2.1.4 シリアルI/O制御レジスタJ1のビット構成	2-7
表2.1.5 A/D制御レジスタQ2のビット構成	2-8
表2.1.6 A/D制御レジスタQ3のビット構成	2-8
表2.1.7 プルアップ制御レジスタPU0のビット構成	2-9
表2.1.8 プルアップ制御レジスタPU1のビット構成	2-9
表2.1.9 ポート出力形式制御レジスタFR0のビット構成	2-10
表2.1.10 ポート出力形式制御レジスタFR1のビット構成	2-10
表2.1.11 ポート出力形式制御レジスタFR2のビット構成	2-11
表2.1.12 ポート出力形式制御レジスタFR3のビット構成	2-11

表2.1.13	キーオンウェイクアップ制御レジスタK0のビット構成	2-12
表2.1.14	キーオンウェイクアップ制御レジスタK1のビット構成	2-12
表2.1.15	キーオンウェイクアップ制御レジスタK2のビット構成	2-13
表2.1.16	使用しない端子の処理方法	2-16
表2.2.1	割り込み制御レジスタV1のビット構成	2-22
表2.2.2	割り込み制御レジスタV2のビット構成	2-23
表2.2.3	割り込み制御レジスタI1のビット構成	2-23
表2.2.4	割り込み制御レジスタI2のビット構成	2-24
表2.2.5	割り込み制御レジスタI3のビット構成	2-24
表2.3.1	割り込み制御レジスタV1のビット構成	2-38
表2.3.2	割り込み制御レジスタV2のビット構成	2-38
表2.3.3	割り込み制御レジスタI3のビット構成	2-39
表2.3.4	タイマ制御レジスタPAのビット構成	2-39
表2.3.5	タイマ制御レジスタW1のビット構成	2-39
表2.3.6	タイマ制御レジスタW2のビット構成	2-40
表2.3.7	タイマ制御レジスタW3のビット構成	2-40
表2.3.8	タイマ制御レジスタW4のビット構成	2-41
表2.3.9	タイマ制御レジスタW5のビット構成	2-41
表2.3.10	タイマ制御レジスタW6のビット構成	2-42
表2.4.1	割り込み制御レジスタV2のビット構成	2-56
表2.4.2	A/D制御レジスタQ1のビット構成	2-56
表2.4.3	A/D制御レジスタQ2のビット構成	2-57
表2.4.4	A/D制御レジスタQ3のビット構成	2-57
表2.4.5	推奨動作条件(A/D変換器使用時)	2-61
表2.5.1	割り込み制御レジスタV2のビット構成	2-63
表2.5.2	割り込み制御レジスタI3のビット構成	2-64
表2.5.3	シリアルI/O制御レジスタJ1のビット構成	2-64
表2.6.1	デューティと最大画素数	2-72
表2.6.2	LCD制御レジスタL1のビット構成	2-74
表2.6.3	LCD制御レジスタL2のビット構成	2-74
表2.6.4	タイマ制御レジスタW6のビット構成	2-75
表2.8.1	電圧低下検出回路動作状態	2-83
表2.9.1	時計動作モード、RAMバックアップモード内部状態	2-86
表2.9.2	復帰要因	2-87
表2.9.3	スタート条件によるフラグの状態	2-87
表2.9.4	割り込み制御レジスタI1のビット構成	2-88
表2.9.5	割り込み制御レジスタI2のビット構成	2-89
表2.9.6	クロック制御レジスタMRのビット構成	2-89
表2.9.7	プルアップ制御レジスタPU0のビット構成	2-90
表2.9.8	プルアップ制御レジスタPU1のビット構成	2-90
表2.9.9	キーオンウェイクアップ制御レジスタK0のビット構成	2-91
表2.9.10	キーオンウェイクアップ制御レジスタK1のビット構成	2-91
表2.9.11	キーオンウェイクアップ制御レジスタK2のビット構成	2-92
表2.10.1	クロック制御レジスタMRのビット構成	2-99

第3章 付 録

表3.1.1	絶対最大定格	3-2
表3.1.2	推奨動作条件1	3-3
表3.1.3	推奨動作条件2	3-4
表3.1.4	推奨動作条件3	3-5
表3.1.5	電気的特性1	3-6
表3.1.6	電気的特性2	3-7
表3.1.7	A/D変換器推奨動作条件	3-8
表3.1.8	A/D変換器特性	3-8
表3.1.9	電圧低下検出回路特性	3-9
表3.3.1	使用しない端子の処理方法	3-42
表3.3.2	推奨動作条件(A/D変換器使用時)	3-49

第1章

ハードウェア

概 要
特 長
応 用
ピン接続図
機能ブロック図
性能概要
端子の機能説明
機能ブロック動作説明
使用上の注意(まとめ)
制御レジスター一覧
命令
PROM内蔵版

概 要

4524グループはCMOSプロセスを用いて開発された4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、メインクロック選択機能、シリアルI/O、8ビットタイマ(リロードレジスタ付き)4本、割り込み機能、10ビットA/Dコンバータ、LCD制御回路を内蔵しています。

4524グループは、内蔵するメモリの種類、容量の異なる複数の品種があります。

詳細については下記の表を参照してください。

特 長

最短命令実行時間 0.5 μ s
(発振周波数6MHz、高速スルーモード時)

電源電圧

マスクROM版 2.0~5.5V

ワンタイムPROM版 2.5~5.5V

(動作源クロック、動作モード及び発振周波数により異なります)

タイマ

タイマ1 8ビット(リロードレジスタ付き)

タイマ2 8ビット(リロードレジスタ付き)

タイマ3 8ビット(リロードレジスタ付き)

タイマ4 8ビット(リロードレジスタ2本付き)

タイマ5 16ビット(固定分周)

割り込み機能 9要因

キーオンウェイクアップ機能 10端子

LCD制御回路

セグメント出力 20本

コモン出力 4本

シリアルI/O 8ビット \times 1

A/Dコンバータ 10ビット逐次比較方式

電圧低下検出回路(リセット発生) 標準3.5V

ウォッチドッグタイマ

クロック発生回路

メインクロック

(セラミック共振/RC発振/オンチップオシレータ)

サブクロック

(水晶発振)

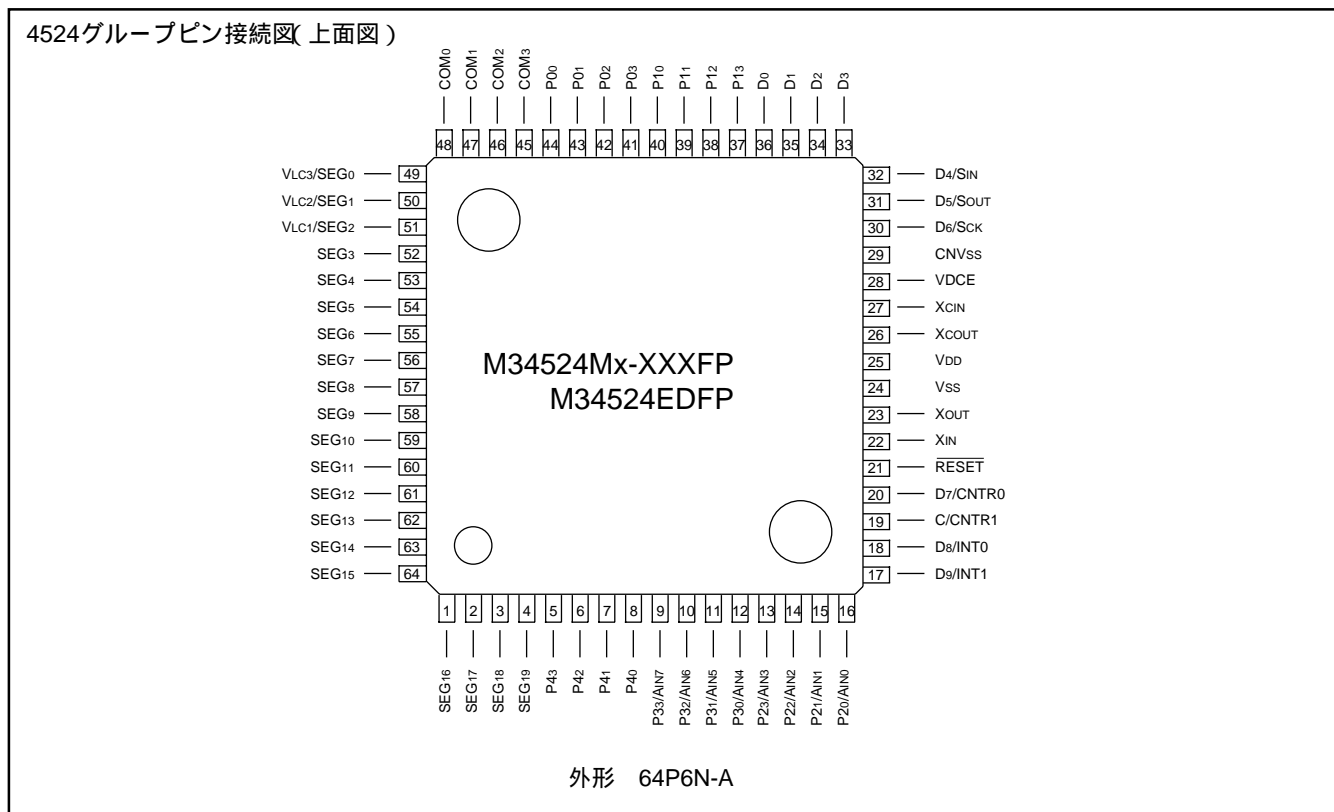
LED直接駆動可能(ポートD)

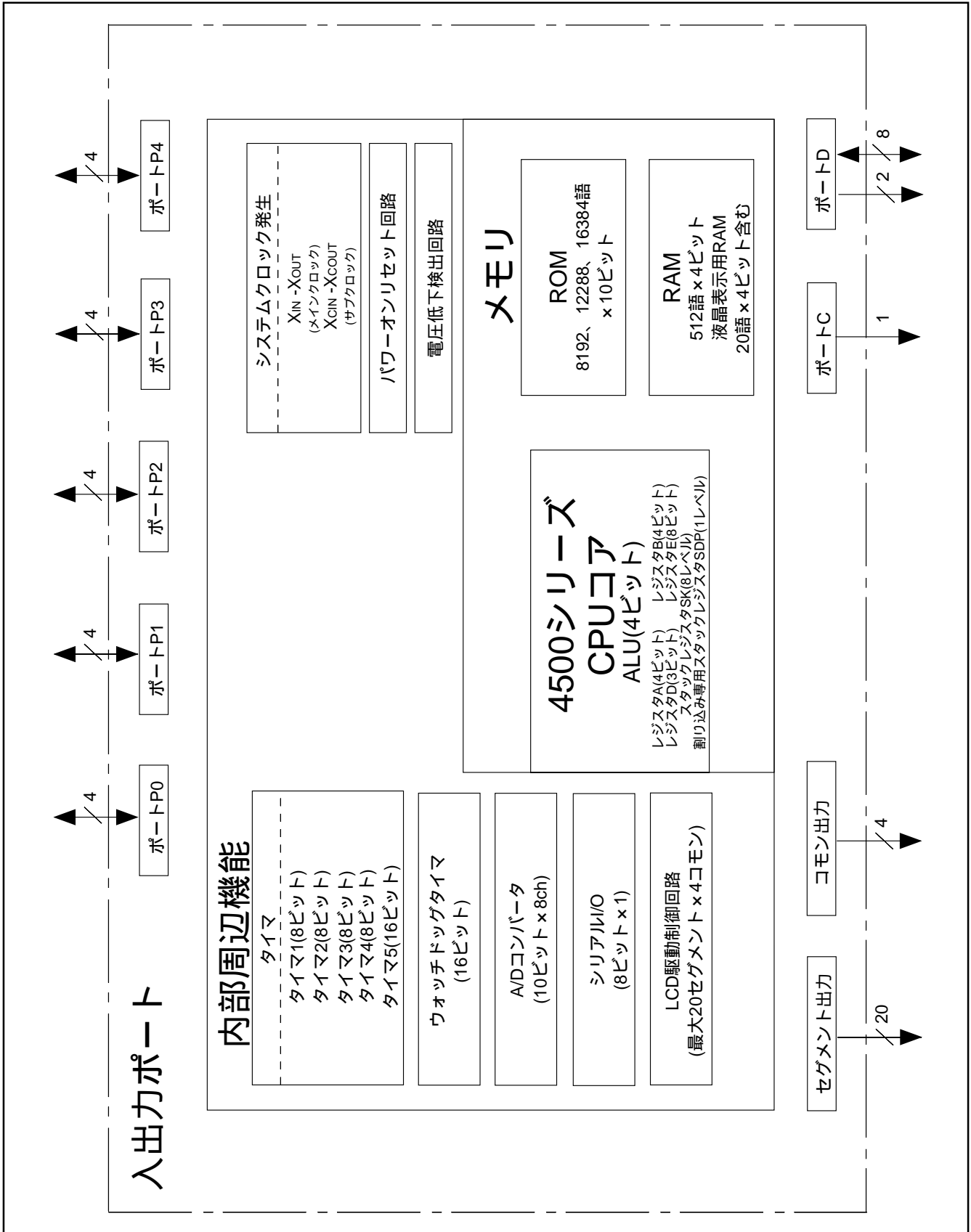
応 用

家電、民生機器、OA機器など

型 名	ROM(PROM)容量 ($\times 10$ ビット)	RAM容量 ($\times 4$ ビット)	パッケージ	ROM種類
M34524M8-XXXFP	8192語	512語	64P6N-A	マスクROM
M34524MC-XXXFP	12288語	512語	64P6N-A	マスクROM
M34524EDFP (注)	16384語	512語	64P6N-A	ワンタイムPROM

注：ブランク出荷品





機能ブロック図

性能概要

項 目		性 能	
基本命令数		159	
最短命令実行時間		0.5 μ s (発振周波数6MHz:高速スルーモード時)	
メモリ容量	ROM	M34524M8	8192語 × 10ビット
		M34524MC	12288語 × 10ビット
		M34524ED	16384語 × 10ビット
	RAM	512語 × 4ビット(液晶表示用RAM 20語 × 4ビットを含む)	
入出力ポート	D0 ~ D7	入出力 (入力はスキップ 判別)	1ビット × 8 出力形式がソフトウェア切り替え可能 ポートD4 ,D5 ,D6 ,D7 はそれぞれ SIN ,SOUT ,SCK ,CNTR0端子と兼用
	D8 ,D9	出力	1ビット × 2 ポートD8 ,D9 はそれぞれ INT0 ,INT1端子と兼用
	P00 ~ P03	入出力	4ビット × 1 プルアップ機能 ,キーオンウェイクアップ機能 ,出力形式がソフトウェア 切り替え可能
	P10 ~ P13	入出力	4ビット × 1 プルアップ機能 ,キーオンウェイクアップ機能 ,出力形式がソフトウェア 切り替え可能
	P20 ~ P23	入出力	4ビット × 1 ポートP20 ~ P23 はそれぞれ AIN0 ~ AIN3端子と兼用
	P30 ~ P33	入出力	4ビット × 1 ポートP30 ~ P33 はそれぞれ AIN4 ~ AIN7端子と兼用
	P40 ~ P43	入出力	4ビット × 1 出力形式がソフトウェア切り替え可能
	C	出力	1ビット × 1 ,CNTR1端子と兼用
タイマ	タイマ1	8ビットタイマ / イベントカウンタ ,リロードレジスタ付き	
	タイマ2	8ビットタイマ ,リロードレジスタ付き	
	タイマ3	8ビットタイマ / イベントカウンタ ,リロードレジスタ付き	
	タイマ4	8ビットタイマ ,リロードレジスタ2本付き	
	タイマ5	16ビットタイマ ,固定分周	
A/Dコンバータ		10ビット × 1 ,8ビットコンパレータ機能付き	
シリアルI/O		8ビット × 1	
LCD制御回路	選択バイアス値	1 / 2 ,1 / 3バイアス	
	選択時分割値	2 ,3 ,4時分割	
	コモン出力	4本	
	セグメント出力	20本	
	電源用内蔵抵抗	2r × 3 ,2r × 2 ,r × 3 ,r × 2 (ソフトウェア切り替え)	
割り込み	要因	9要因(外部 × 2 ,タイマ × 5 ,A/D ,シリアルI/O)	
	ネスティング	1レベル	
サブルーチンネスティング		8レベル	
素子構造		CMOSシリコンゲート	
パッケージ		64ピンプラスチックモールドQFP(64P6N)	
動作周囲温度		- 20 ~ 85	
電源電圧	マスクROM版	2 ~ 5.5V(動作源クロック ,動作モードおよび発振周波数により異なります)	
	ワンタイムPROM版	2.5 ~ 5.5V(動作源クロック ,動作モードおよび発振周波数により異なります)	
消費電流	CPU動作時	2.8mA (Ta = 25 ,VDD = 5V f(XIN) = 6MHz f(XCIN) = 32kHz f(STCK) = f(XIN))	
	時計動作モード時	20 μ A(Ta = 25 ,VDD = 5V f(XCIN) = 32kHz)	
	RAMバックアップ時	0.1 μ A(Ta = 25 ,VDD = 5V)	

端子の機能説明1

端子名	名称	入力 出力	機能
VDD	電源	-	正電源電圧供給端子です。
Vss	接地	-	GND端子です。
CNVss	CNVss	-	この端子はVssに接続し、必ず“L”(0V)を印加してください。
VDCE	電圧低下検出回路 イネーブル	入力	電圧低下検出回路の動作・停止を制御します。“H”レベルを入力すると動作状態、“L”レベルを入力すると停止状態になります。
XIN	メインクロック 入力	入力	メインクロック発生回路の入力/出力端子です。セラミック共振を使用する場合は、XIN端子とXOUT端子の間にセラミック共振子を接続して使用します。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています。RC発振を使用する場合はXIN端子に抵抗・コンデンサを接続し、XOUT端子を開放にして使用します。
XOUT	メインクロック 出力	出力	
XCIN	サブクロック 入力	入力	サブクロック発生回路の入力/出力端子です。XCIN端子とXCOUT端子の間に32kHzの水晶共振子を接続して使用します。XCIN端子とXCOUT端子の間には帰還抵抗が内蔵されています。
XCOUT	サブクロック 出力	出力	
RESET	リセット入出力	入出力	リセットパルスの入出力端子です。内蔵パワーオンリセット回路、ウォッチドッグタイマ、又は電圧低下検出回路によるリセット発生時に“L”レベルが出力されます。出力形式はNチャンネルオープンドレインです。
D0 ~ D7	入出力ポートD (入力はスキップ 判別)	入出力	各端子ごとに1ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ポートD4、D5、D6、D7は、それぞれSIN、SOUT、SCK、CNTR0端子と兼用です。
D8 , D9	出力ポートD	出力	各端子ごとに1ビットの出力機能を持っています。出力形式はNチャンネルオープンドレインです。ポートD8、D9は、それぞれINT0、INT1端子と兼用です。
P00 ~ P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びプルアップ機能を内蔵しています。
P10 ~ P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り換え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びプルアップ機能を内蔵しています。
P20 ~ P23	入出力ポートP2	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ポートP20 ~ P23は、それぞれAIN0 ~ AIN3端子と兼用です。
P30 ~ P33	入出力ポートP3	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ポートP30 ~ P33は、それぞれAIN4 ~ AIN7端子と兼用です。
P40 ~ P43	入出力ポートP4	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャンネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャンネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。
C	出力ポートC	出力	ポートとして1ビットの出力機能を持っています。出力形式はCMOSです。ポートCは、CNTR1端子と兼用です。

端子の機能説明2

端子名	名称	入力出力	機能
COM0 ~ COM3	コモン出力	出力	LCDコモン出力端子です。2時分割選択時はCOM0 ~ COM1を、3時分割選択時はCOM0 ~ COM2を、4時分割選択時はCOM0 ~ COM3を使用します。
SEG0 ~ SEG19	セグメント出力	出力	LCDセグメント出力端子です。SEG0 ~ SEG2端子は、それぞれVLC3 ~ VLC1端子と兼用です。
VLC3 ~ VLC1	LCD用電源	-	LCD用電源供給端子です。内部抵抗を使用する場合は、VLC3端子をVDD端子(輝度調節が必要な場合は抵抗を介してVDD端子)に接続します。外部電源を使用する場合は、0 VLC1 VLC2 VLC3 VDDの電圧を印加してください。VLC3 ~ VLC1端子は、それぞれSEG0 ~ SEG2端子と兼用です。
CNTR0 ,CNTR1	タイマ入出力	入出力	CNTR0端子はタイマ1のイベントカウント用クロックの入力機能とタイマ1あるいはタイマ2のアンダフローの2分周信号の出力機能を持っています。CNTR1端子はタイマ3のイベントカウント用クロックの入力機能とタイマ4で生成されるPWM信号の出力機能を持っています。CNTR0 ,CNTR1端子は、それぞれポートD7 ,Cと兼用です。
INT0 ,INT1	割り込み入力	入力	外部からの割り込みを受け付ける機能とソフトウェアで切り替え可能なキーオンウェイクアップ機能を持っています。INT0 ,INT1端子は、それぞれポートD8 ,D9と兼用です。
AIN0 ~ AIN7	アナログ入力	入力	A/D変換器のアナログ入力端子です。AIN0 ~ AIN7端子は、それぞれポートP20 ~ P23 ,P30 ~ P33と兼用です。
SCK	シリアルI/O データ入力	入出力	シリアルI/Oのデータ転送同期クロック入出力端子です。SCK端子は、ポートD6と兼用です。
SOUT	シリアルI/O データ出力	出力	シリアルI/Oのデータ出力端子です。SOUT端子は、ポートD5と兼用です。
SIN	シリアルI/O クロック入出力	入力	シリアルI/Oのデータ入力端子です。SIN端子は、ポートD4と兼用です。

マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
D4	SIN	SIN	D4	C	CNTR1	CNTR1	C
D5	SOUT	SOUT	D5	P20	AIN0	AIN0	P20
D6	SCK	SCK	D6	P21	AIN1	AIN1	P21
D7	CNTR0	CNTR0	D7	P22	AIN2	AIN2	P22
D8	INT0	INT0	D8	P23	AIN3	AIN3	P23
D9	INT1	INT1	D9	P30	AIN4	AIN4	P30
VLC3	SEG0	SEG0	VLC3	P31	AIN5	AIN5	P31
VLC2	SEG1	SEG1	VLC2	P32	AIN6	AIN6	P32
VLC1	SEG2	SEG2	VLC1	P33	AIN7	AIN7	P33

注1 上記以外の端子は単一機能です。

2. INT0 ,INT1端子を使用している場合でも、ポートD8 ,D9の出力機能は有効です。
3. SIN ,SOUT ,SCK端子を使用している場合でも、ポートD4 ,D5 ,D6の入力機能は有効です。
4. CNTR0端子の入力機能を使用している場合でも、ポートD7の入出力機能は有効です。
5. CNTR0端子の出力機能を使用している場合でも、ポートD7の入力機能は有効です。
6. CNTR1端子の出力機能を使用している場合でも、ポートCの "H"出力機能は有効です。

クロック及びサイクルの定義

動作源クロック

本製品の動作の源となるクロックです。本製品では以下のクロックが使用できます。

- ・外付けセラミック共振によるクロック($f(X_{IN})$)
- ・外付けRC発振によるクロック($f(X_{IN})$)
- ・外部入力によるクロック($f(X_{IN})$)
- ・内部発振器(オンチップオシレータ)によるクロック($f(RING)$)
- ・外付け水晶発振によるクロック($f(X_{CIN})$)

マシンサイクル

命令の実行に要する基準周期です。

インストラクションクロック(INSTCK)

CPUを制御する基準クロックです。

インストラクションクロック(INSTCK)は、システムクロック(STCK)を3分周した信号で、1周期で1マシンサイクルの期間を生成します。

システムクロック(STCK)

本製品を制御する基本クロックです。

システムクロック(STCK)はクロック制御レジスタMRの設定により、表UA-1のように選択できます。

表 UA-1 . システムクロックの選択

クロック制御レジスタMR				システムクロック	動作モード名
MR3	MR2	MR1	MR0		
0	0	0	0	$f(STCK) = f(X_{IN})$ または $f(RING)$	高速スルーモード
		x	1	$f(STCK) = f(X_{CIN})$	低速スルーモード
0	1	0	0	$f(STCK) = f(X_{IN})/2$ または $f(RING)/2$	高速 2分周モード
		x	1	$f(STCK) = f(X_{CIN})/2$	低速 2分周モード
1	0	0	0	$f(STCK) = f(X_{IN})/4$ または $f(RING)/4$	高速 4分周モード
		x	1	$f(STCK) = f(X_{CIN})/4$	低速 4分周モード
1	1	0	0	$f(STCK) = f(X_{IN})/8$ または $f(RING)/8$	高速 8分周モード
		x	1	$f(STCK) = f(X_{CIN})/8$	低速 8分周モード

注 . リセット解除後は $f(RING)/8$ が選択されます。

ポート機能一覧

ポート名	ポート名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特記事項
ポートD	D0 ~ D3 , D4/SIN , D5/SOUT , D6/SCK , D7/CNTR0	入出力 (8本)	Nチャンネル オープンドレイン / CMOS	1ビット	SD_RD SZD CLD	FR1 , FR2 J1 W6	出力形式選択機能付き (ソフトウェアで切り替え可能)
	D8/INT0 , D9/INT1	出力 (2本)	Nチャンネル オープンドレイン			I1 , J2 K2	キーオンウェイクアップ機能付き (ソフトウェアで切り替え可能)
ポートP0	P00 ~ P03	入出力 (4本)	Nチャンネル オープンドレイン / CMOS	4ビット	OP0A IAP0	FR0 PU0 K0	ブルアップ, キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP1	P10 ~ P13	入出力 (4本)	Nチャンネル オープンドレイン / CMOS	4ビット	OP1A IAP1	FR0 PU1 K1	ブルアップ, キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP2	P20/AIN0 , P21/AIN1 P22/AIN2 , P23/AIN3	入出力 (4本)	Nチャンネル オープンドレイン	4ビット	OP2A IAP2	Q2	
ポートP3	P30/AIN4 , P31/AIN5 P32/AIN6 , P33/AIN7	入出力 (4本)	Nチャンネル オープンドレイン	4ビット	OP3A IAP3	Q3	
ポートP4	P40 ~ P43	入出力 (4本)	Nチャンネル オープンドレイン / CMOS	4ビット	OP4A IAP4	FR3	出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートC	C/CNTR1	出力 (1本)	CMOS	1ビット	RCP SCP	W4	

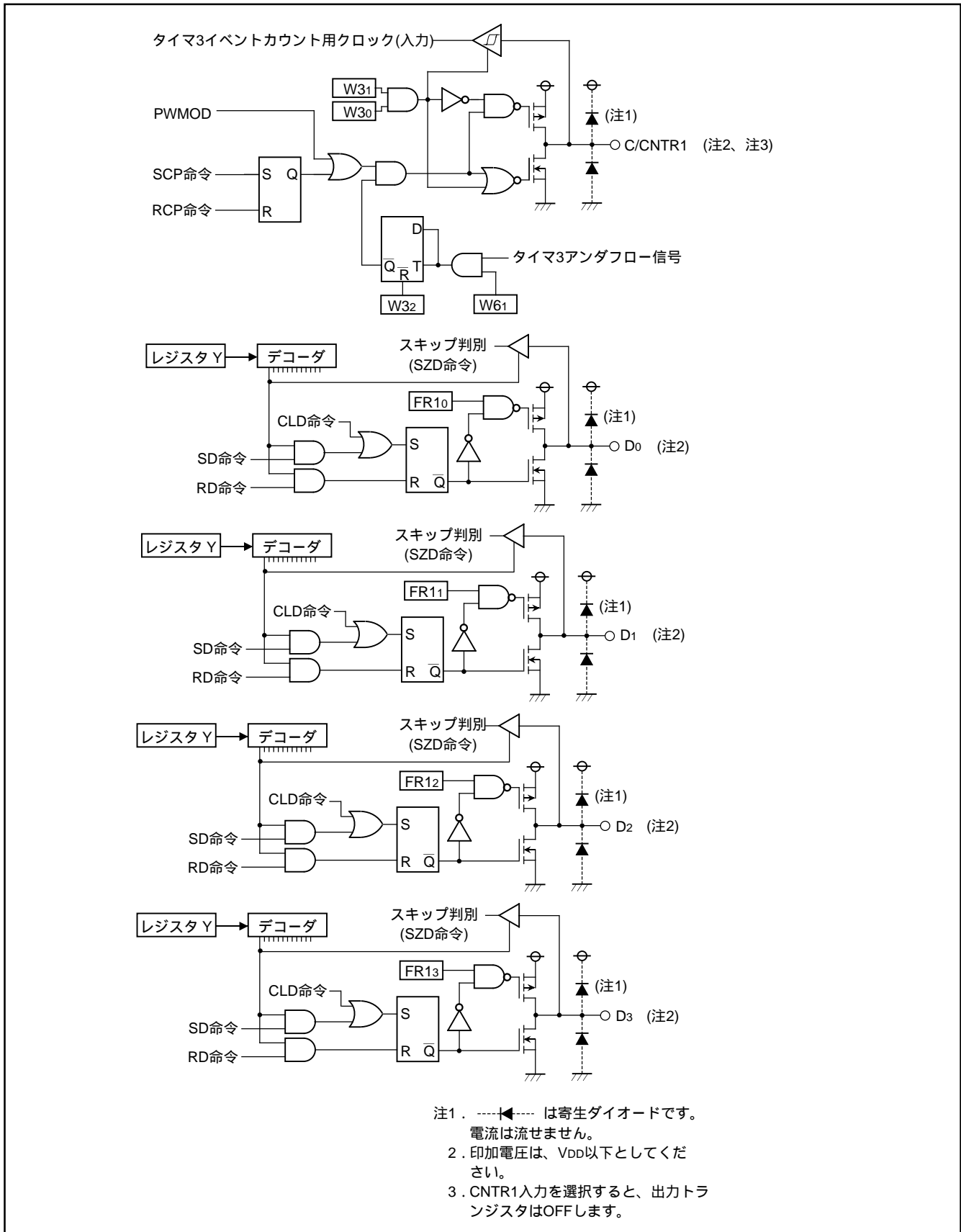
使用しない端子の処理

端子名	処理方法	使用条件
XIN	Vssに接続	内部発振器選択 (CMCK, CRCK命令未実行) (注1) システムクロックにサブクロック入力選択 (MR0 = 1) (注2)
XOUT	開放	内部発振器選択 (CMCK, CRCK命令未実行) (注1) RC発振器選択 (CRCK命令実行) メインクロックに外部クロック入力使用 (CMCK命令実行) (注3) システムクロックにサブクロック入力選択 (MR0 = 1) (注2)
XCIN	Vssに接続	サブクロック未使用
XCOUT	開放	サブクロック未使用
D0 ~ D3	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注4)
D4/SIN	開放	SIN端子非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D5/SOUT	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D6/SCK	開放	SCK端子非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D7/CNTR0	開放	タイマ1カウントソースにCNTR0入力非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D8/INT0	開放	出力ラッチに"0"を設定
	Vssに接続	
D9/INT1	開放	出力ラッチに"0"を設定
	Vssに接続	
C/CNTR1	開放	タイマ3カウントソースにCNTR1入力非選択
P00 ~ P03	開放	キーオンウェイクアップ機能非選択 (注4)
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注5) ブルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注4)
P10 ~ P13	開放	キーオンウェイクアップ機能非選択 (注4)
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注5) ブルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注4)
P20/AIN0 ~ P23/AIN3	開放	
	Vssに接続	
P30/AIN4 ~ P33/AIN7	開放	
	Vssに接続	
P40 ~ P43	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注4)
COM0 ~ COM3	開放	
VLc3/SEG0	開放	SEG0端子選択
VLc2/SEG1	開放	SEG1端子選択
VLc1/SEG2	開放	SEG2端子選択
SEG3 ~ SEG19	開放	

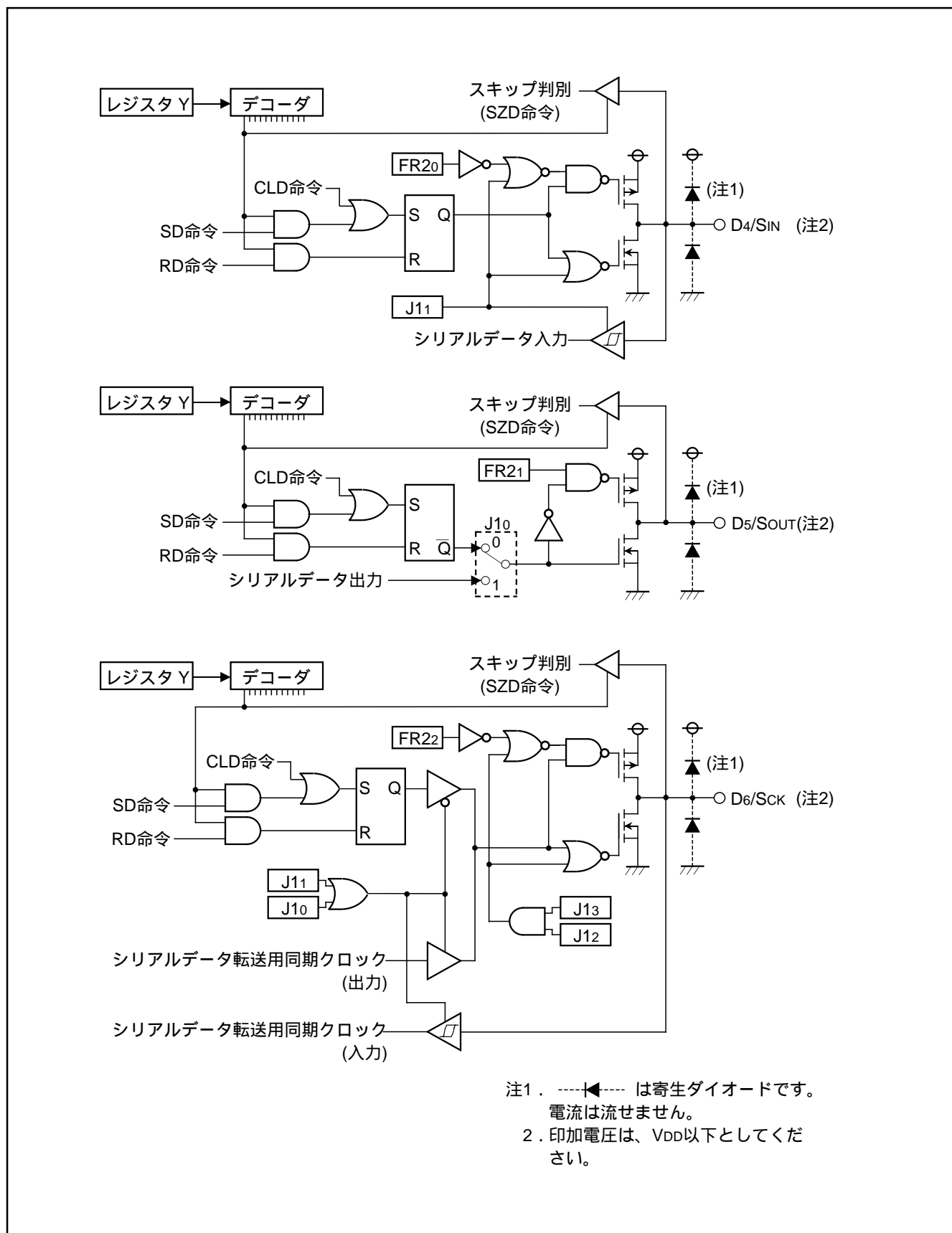
- 注1. CMCK命令及びCRCK命令を実行しない場合は、メインクロックに内部発振器(オンチップオシレータ)が選択された状態です。
 2. クロック制御レジスタMRのビット1(MR1)を"1"にセットしてシステムクロックにサブクロック(XCIN)入力を選択する(MR0 = 1)と、メインクロックは停止します。
 3. メインクロックに外部クロック入力を使用する場合は、CMCK命令を実行してセラミック発振回路を選択した状態にしてください。
 4. ポートD0 ~ D3, P40 ~ P43の出力形式選択と、ポートP00 ~ P03, P10 ~ P13のブルアップ機能及びキーオンウェイクアップ機能選択は、1ポート単位での制御です。各ポートに対応したレジスタのビットを設定してください。
 5. ポートP00 ~ P03, P10 ~ P13の出力形式選択は2ポート単位の制御です。2ポートのうち片方を使用しない場合は、開放にしてください。

(VDD端子及びVSS端子に接続する場合の注意事項)

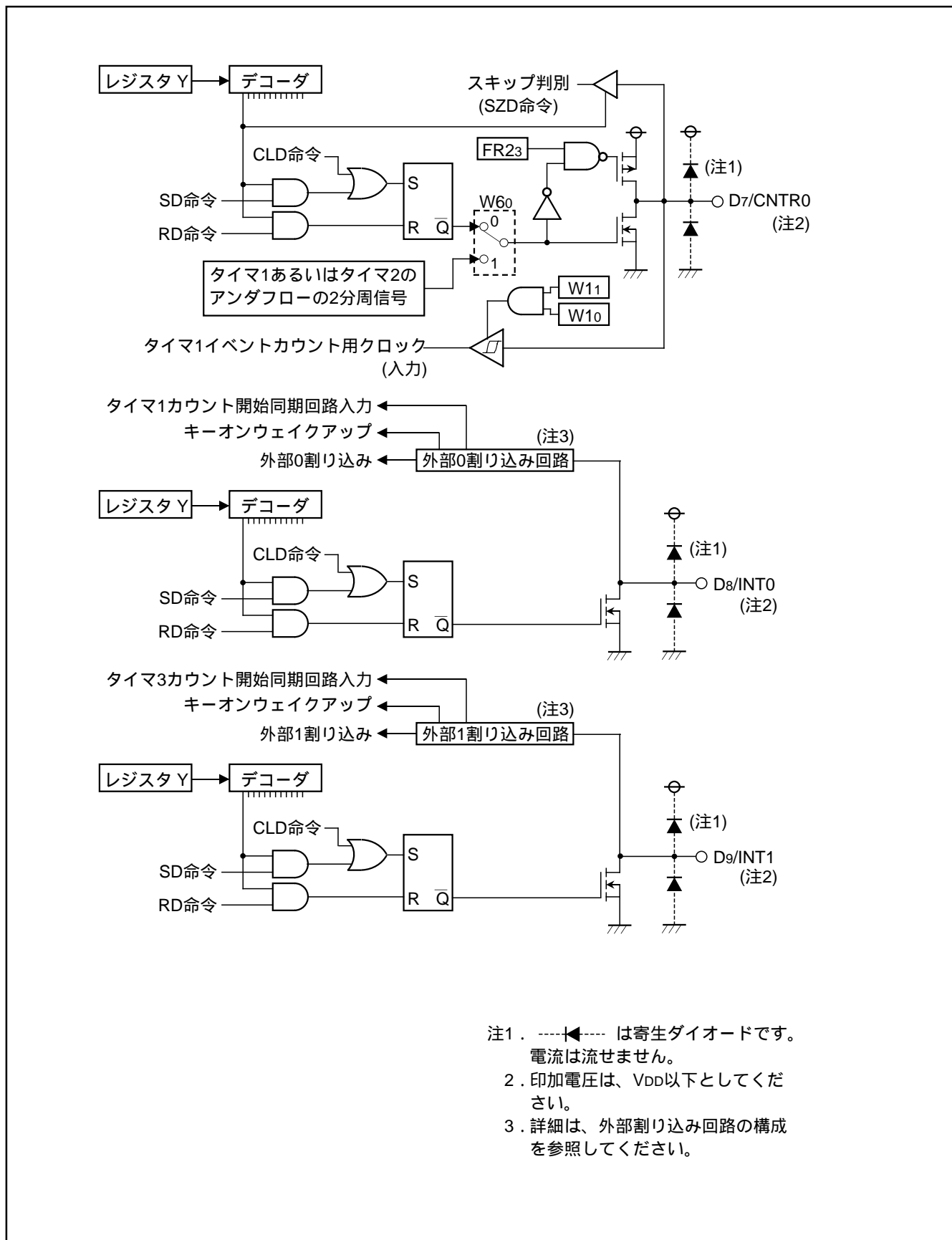
- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。



ポートブロック図(1)

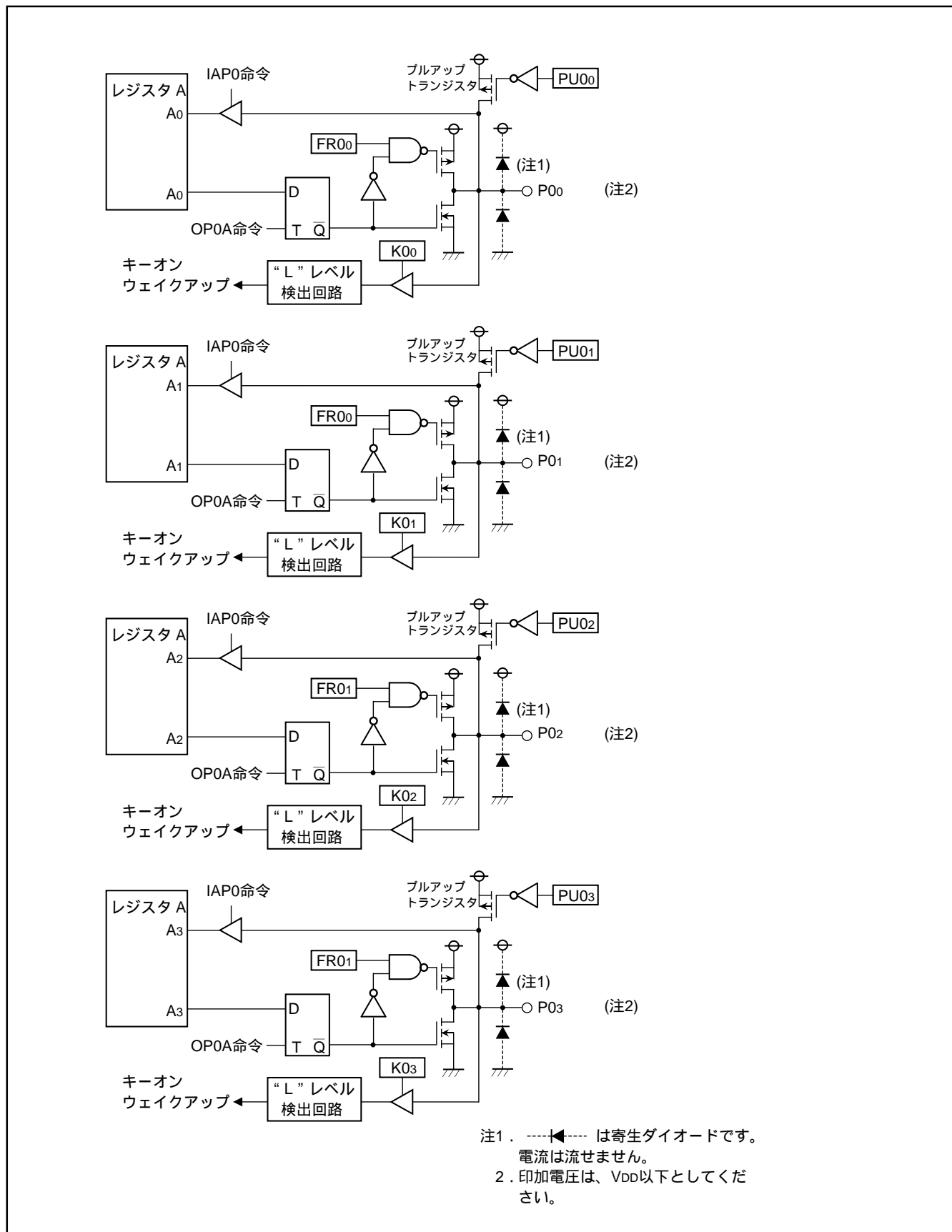


ポートブロック図(2)

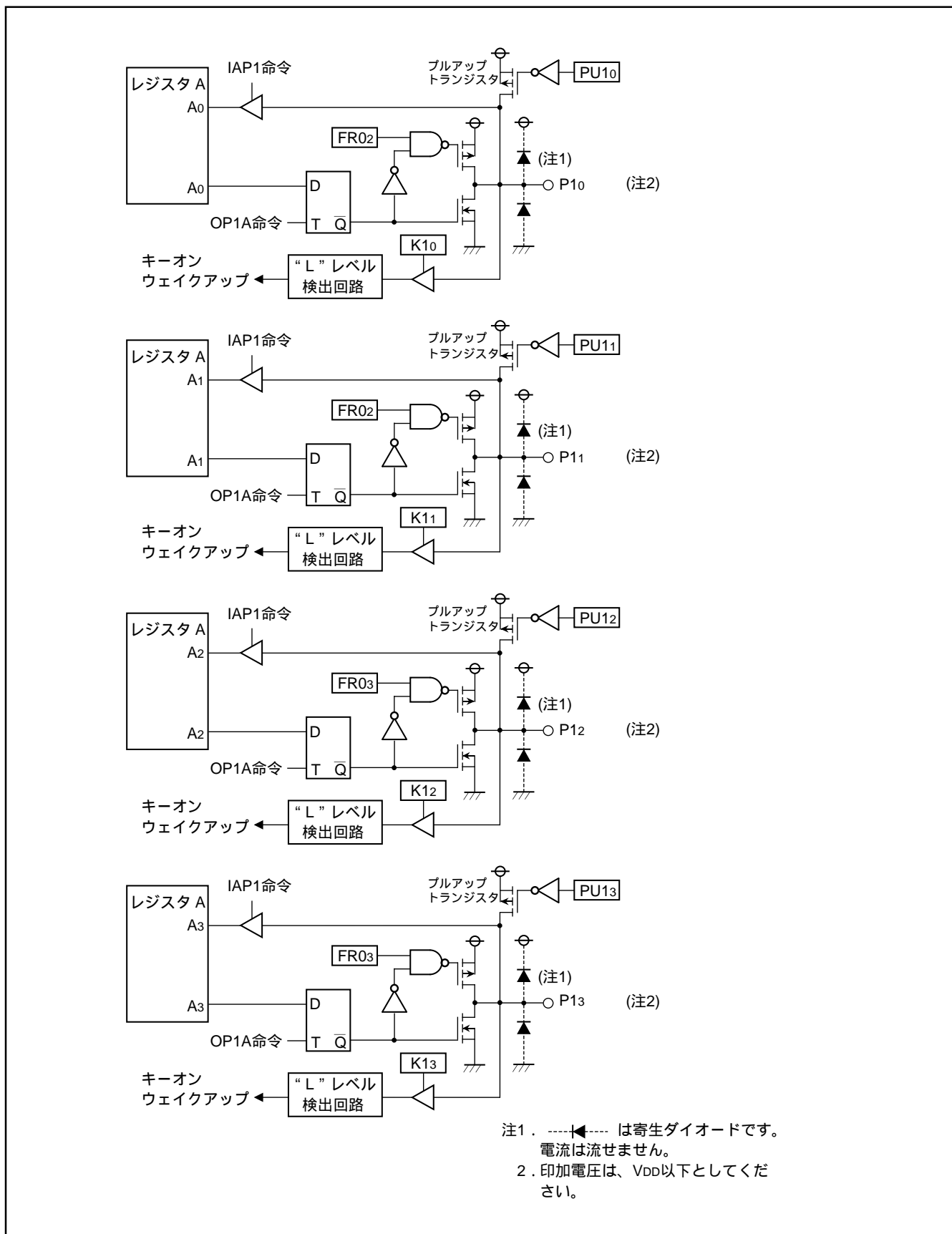


- 注1 . -----◀----- は寄生ダイオードです。
電流は流せません。
- 2 . 印加電圧は、V_{DD}以下としてください。
- 3 . 詳細は、外部割り込み回路の構成を参照してください。

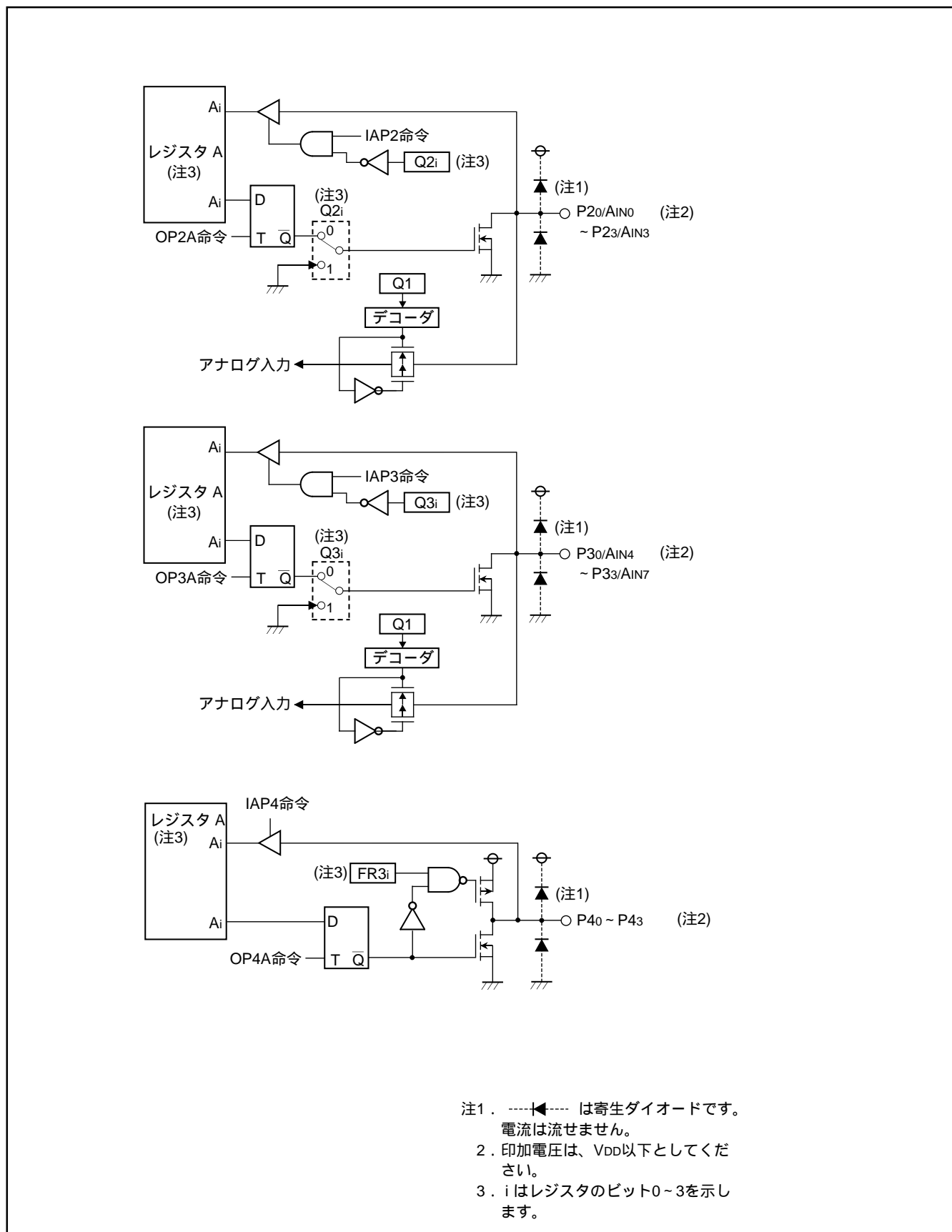
ポートブロック図(3)



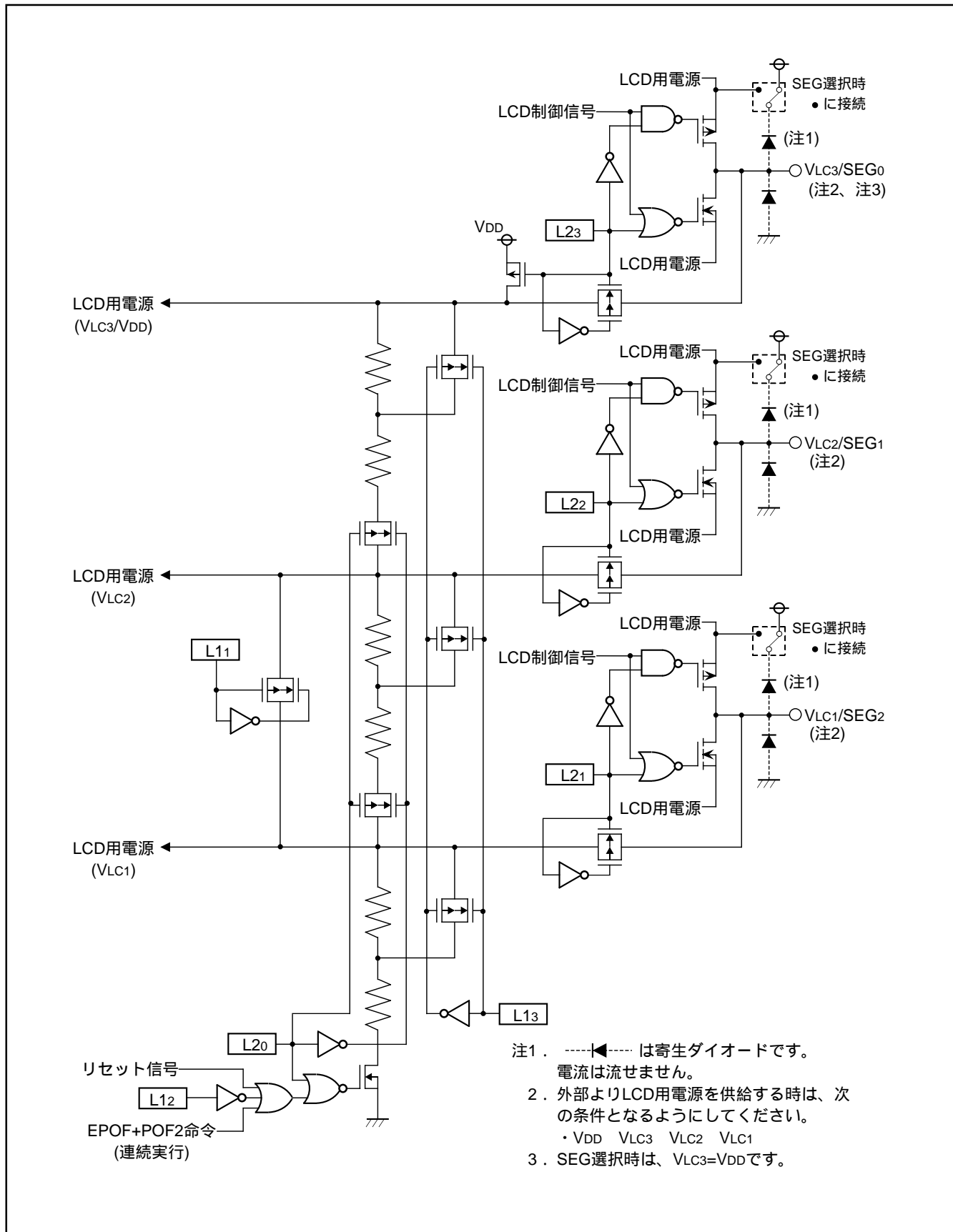
ポートブロック図(4)



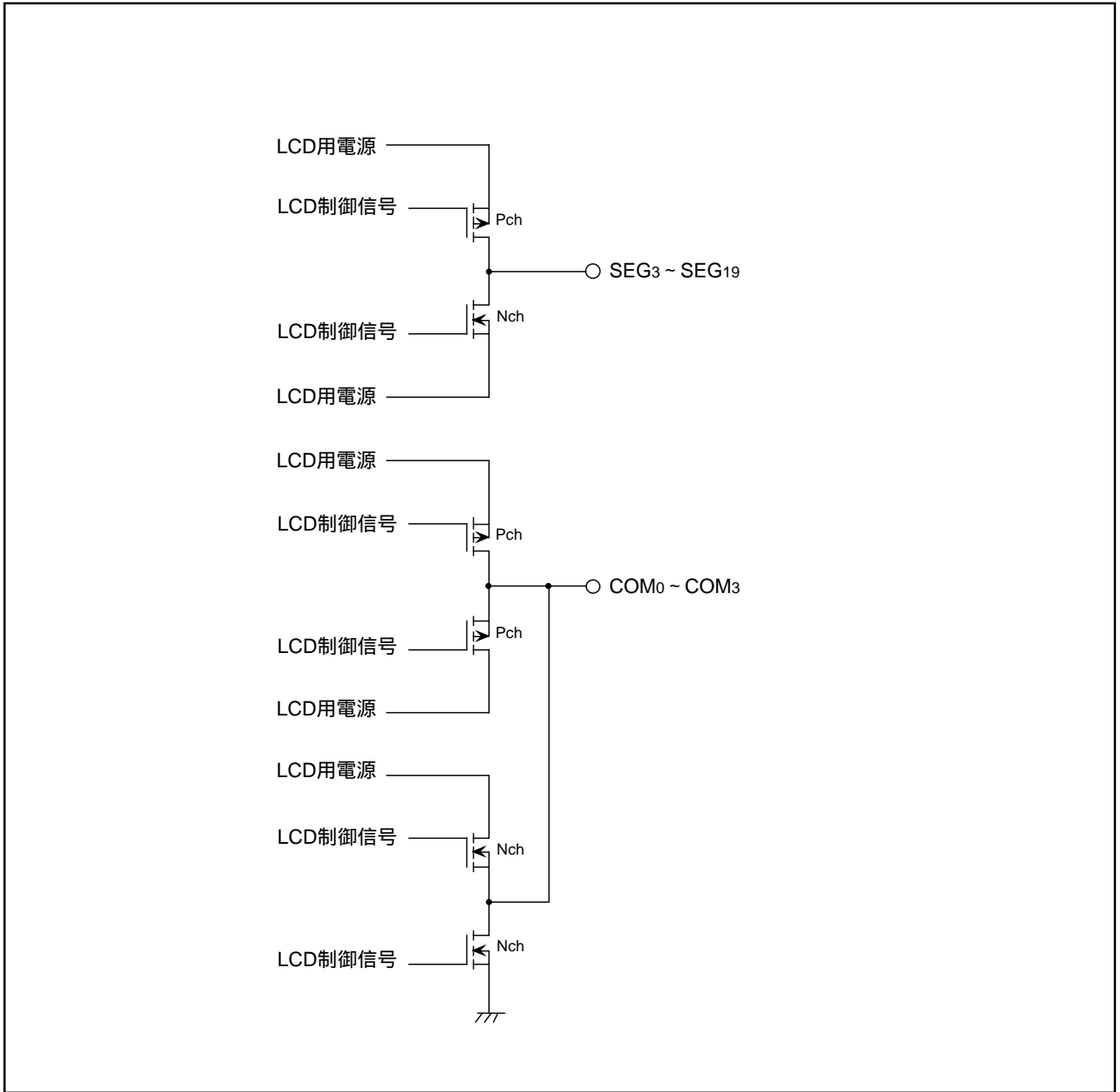
ポートブロック図(5)



ポートブロック図(6)



ポートブロック図(7)



ポートブロック図(8)

機能ブロック動作説明

CPU

(1)4ビット論理演算ユニット(ALU)

ALUは4ビットの演算 - 加算、比較、論理積、論理和、ビット処理など - を行うユニットです。

(2)レジスタA及びキャリフラグ(CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生するど“1”にセットされます(図BA-1)。

なお、A n命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます(図BA-2)。

フラグCYはSC命令で“1”にセットされ、RC命令で“0”にクリアされます。

(3)レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

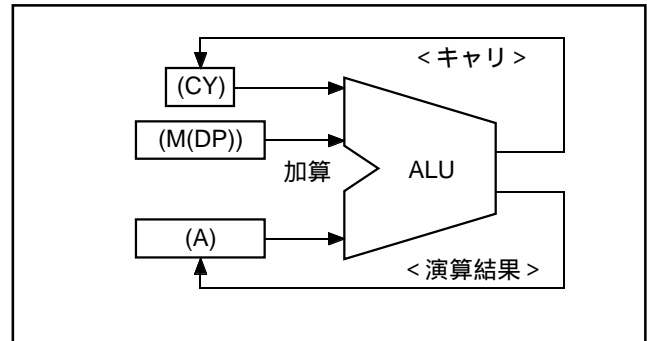
レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します(図BA-3)。

レジスタEはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。

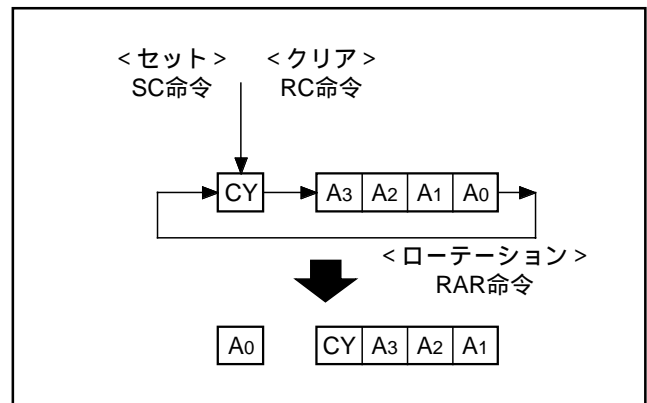
(4)レジスタD

レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP p命令、BLA p命令、及びBMLA p命令の実行時に指定ページ内のポインタとして使用します(図BA-4)。

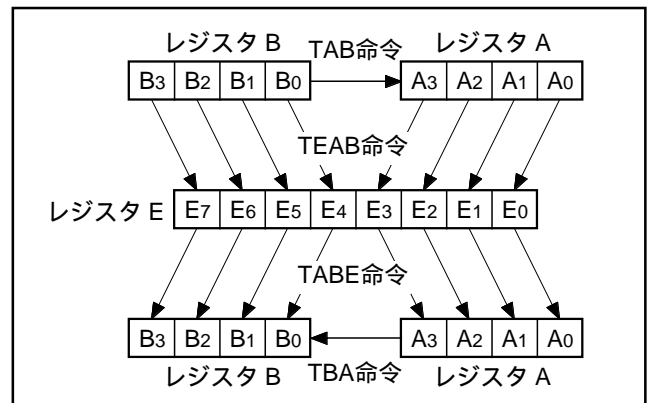
レジスタDはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。



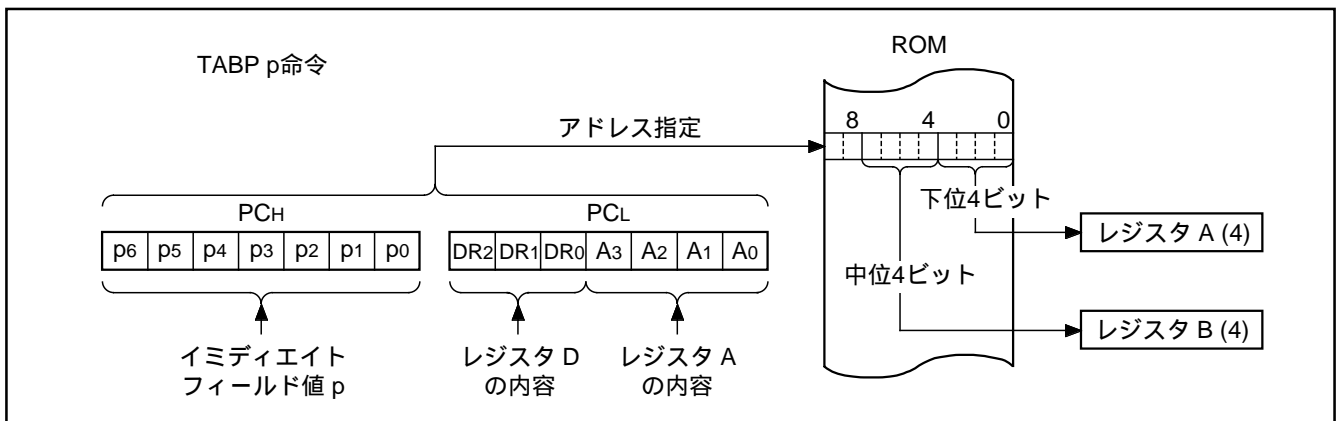
図BA-1 . AMC命令実行例



図BA-2 . RAR命令実行例



図BA-3 . レジスタA、BとレジスタE



図BA-4 . TABP p命令実行例

(5) スタックレジスタSK及びスタックポインタ(SP)

レジスタSKは、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令(TABP p)を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ(SP)によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図BA-5にレジスタSKの構成を、図BA-6にサブルーチン呼び出し時の動作例を示します。

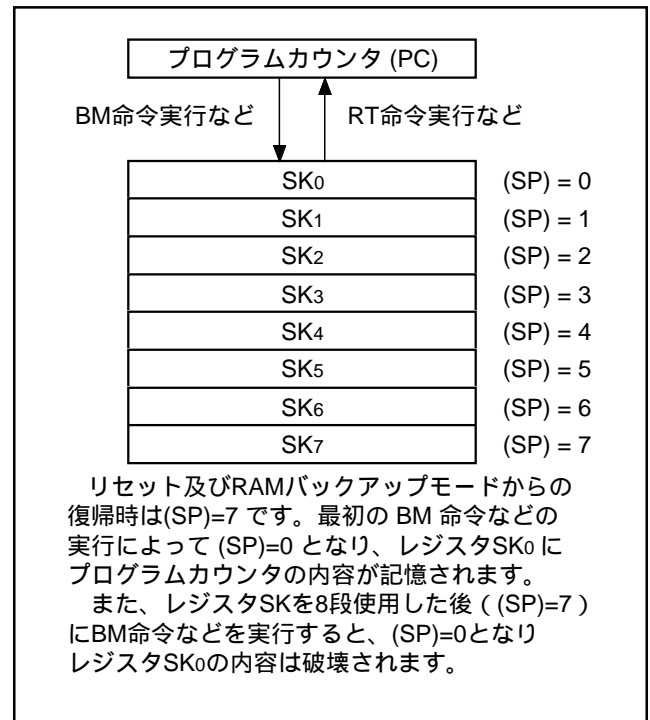
(6) 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

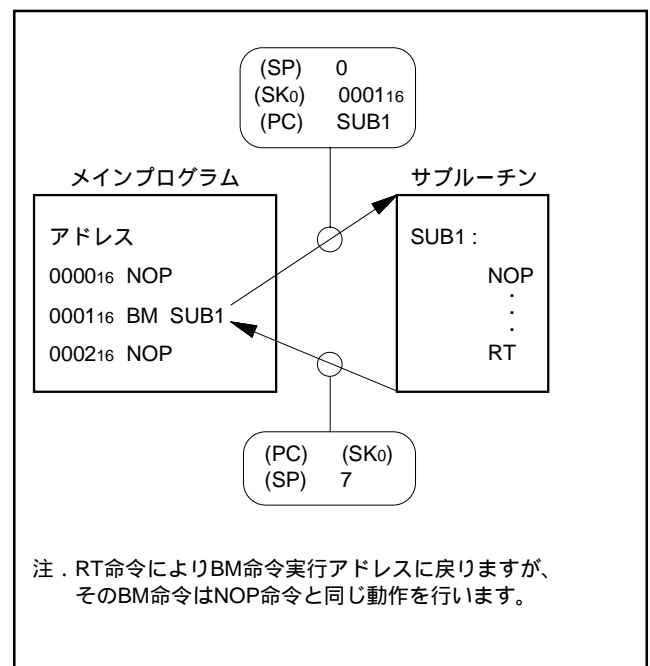
レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

(7) スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。



図BA-5. スタックレジスタSKの構成



図BA-6. サブルーチン呼び出し時の動作例

(8)プログラムカウンタ(PC)

プログラムカウンタはROMアドレス(ページ及び番地)を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を+1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令(TABP p)実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPCH(最上位ビット～ビット7)とページ内の番地を指定するPCL(ビット6～ビット0)に分かれており、各ページの最終番地(127番地)までくると次のページの0番地を指定します(図BA-7)。

なお、PCHが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(9)データポインタ(DP)

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています(図BA-8)。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

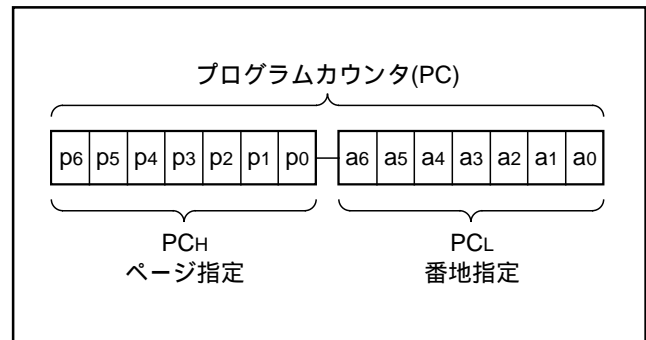
なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット(ピン位置)を設定し、SD、RD、SZD命令を実行してください。

図BA-9にSD命令実行例を示します。

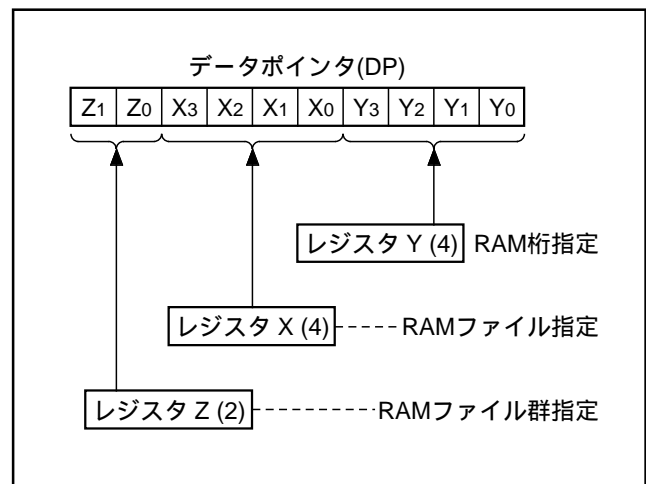
注意事項

データポインタのレジスタZは、リセット解除後は不定です。必ず初期設定を行ってください。

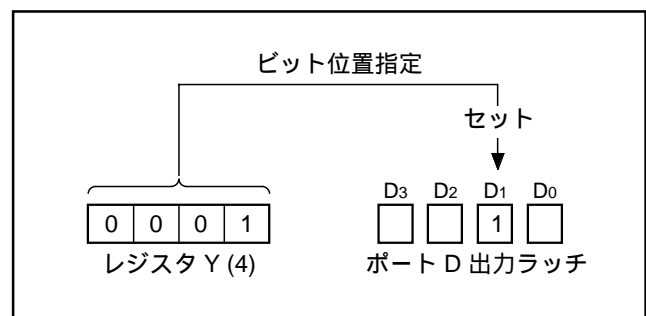
また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタへの再設定を行ってください。



図BA-7 . プログラムカウンタ(PC)の構成



図BA-8 . データポインタ(DP)の構成



図BA-9 . SD命令実行例

プログラムメモリ(ROM)

プログラムメモリは、1語が10ビットで構成されており、128語(0~127番地)ごとにページという単位で分けられています。

1ページ(0080₁₆~00FF₁₆)の先頭には割り込み番地が割り付けられています(図BC-2)。

割り込みが発生すると各割り込みに対応した番地(割り込み番地)がプログラムカウンタ(PC)に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

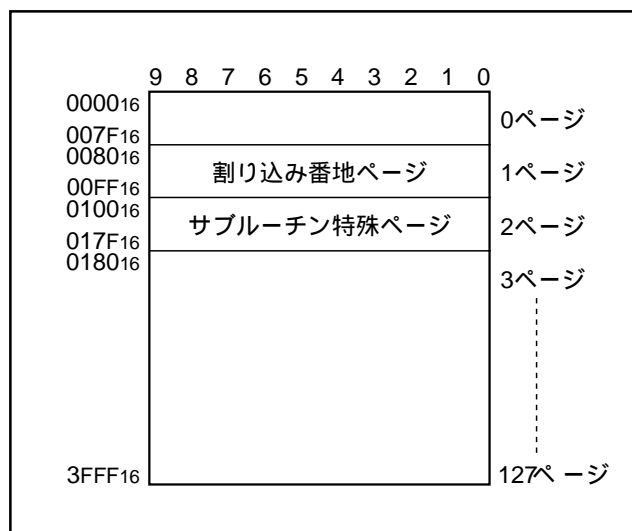
2ページ(0100₁₆~017F₁₆)はサブルーチン呼び出しのための特殊なページです(図BC-1)。このページに書き込まれたサブルーチンは、一語命令(BM命令)で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

また、すべてのアドレスのROMパターン(ビット7~0)をTABP p命令によりデータ領域として使用できます。

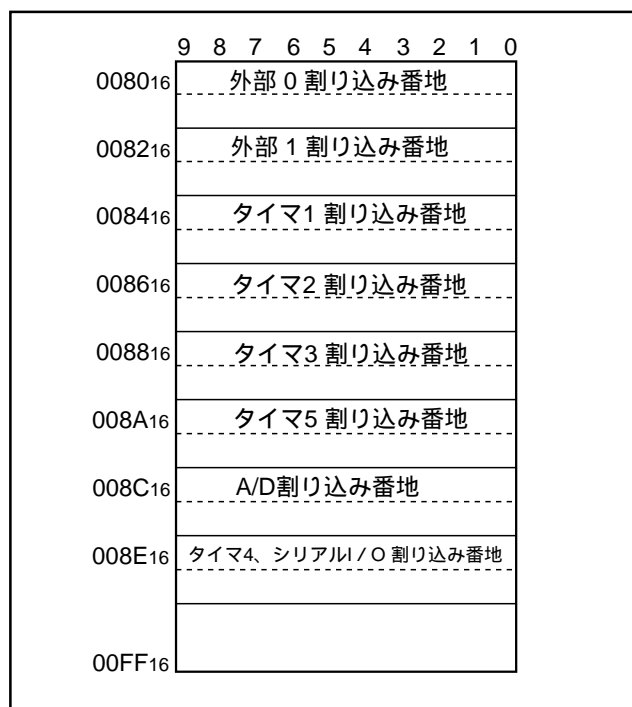
表BC-1 . ROM容量とページ数

型名	ROM (PROM)容量 (×10ビット)	ページ数
M34524M8	8192語	64(0~63)
M34524MC	12288語	96(0~95)
M34524ED	16384語	128(0~127)

注 . SBK命令実行後のTABP命令で64~127ページのデータ参照が可能になります。
RBK命令実行後のTABP命令で0~63ページのデータ参照が可能になります。



図BC-1 . M34524EDのROMマップ



図BC-2 . 割り込み番地ページ(0080₁₆~00FF₁₆)の構成

データメモリ(RAM)

RAMは1語が4ビットで構成されていますが、SB j、RB j、SZB j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行するときには、必ずデータポインタに値を設定してください(RAMバックアップからの復帰後も必ず設定してください)。なお、RAMには液晶表示に対応した領域が含まれています。表示するセグメントに対応したビットに“1”を書き込むとそのセグメントが自動的に点灯します。

表BD-1にRAM容量、図BD-1にRAMマップを示します。

表BD-1 . RAM容量

型 名	RAM容量
M34524M8	512語×4ビット(2048ビット)
M34524MC	
M34524ED	


注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタの再設定を行ってください。

RAM 512語×4ビット(2048ビット)

レジスタZ	0															1														
	レジスタX	0	1	2	3	...	12	13	14	15	0	1	2	...	11	12	13	14	15											
0																														
1																														
2																														
3																														
4																														
5																														
6																														
7																														
8															0	8	16													
9															1	9	17													
10															2	10	18													
11															3	11	19													
12															4	12														
13															5	13														
14															6	14														
15															7	15														

注.図中  部に書き込まれた数字は、対応するセグメント出力端子の番号を示します。

図BD-1 . RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス（割り込み番地）に分岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

割り込み許可フラグが許可状態（INTE = “1”）

割り込み可能ビットが可能状態（“1”）

割り込み起動条件が成立（要求フラグ = “1”）

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表DD-1に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

(1) 割り込み許可フラグ (INTE)

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは“1”にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは“0”にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に“0”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

(2) 割り込み可能ビット (V10 ~ V13, V20 ~ V23)

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表DD-2に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表DD-3に割り込み可能ビットの機能を示します。

(3) 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは“1”にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが“0”にクリアされます。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立すると“1”にセットされます。一度セットされた割り込み要求フラグは、割り込みの発生又はスキップ命令の実行により“0”になるまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグが“1”にセットされている場合、表DD-1に示す優先順位に従って割り込みが発生します。

表DD-1. 割り込み要因、割り込み番地、及び優先順位

優先順位	割り込み要因		割り込み番地
	割り込み名	起動条件	
1	外部0割り込み	INT0端子のレベル変化	1ページ0番地
2	外部1割り込み	INT1端子のレベル変化	1ページ2番地
3	タイマ1割り込み	タイマ1のアンダフロー	1ページ4番地
4	タイマ2割り込み	タイマ2のアンダフロー	1ページ6番地
5	タイマ3割り込み	タイマ3のアンダフロー	1ページ8番地
6	タイマ5割り込み	タイマ5のアンダフロー	1ページA番地
7	A/D割り込み	A/D変換終了	1ページC番地
8	タイマ4割り込み 又は シリアルI/O 割り込み（注）	タイマ4のアンダフロー又は シリアルI/O 送受信終了	1ページE番地

注. タイマ4、シリアルI/O割り込み要因選択ビット(I30)でタイマ4割り込み又はシリアルI/O割り込みのいずれかを選択できます。

表DD-2. 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み要求フラグ	スキップ命令	割り込み可能ビット
外部0割り込み	EXF0	SNZ0	V10
外部1割り込み	EXF1	SNZ1	V11
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
タイマ3割り込み	T3F	SNZT3	V20
タイマ5割り込み	T5F	SNZT5	V21
A/D割り込み	ADF	SNZAD	V22
タイマ4割り込み	T4F	SNZT4	V23
シリアルI/O割り込み	SIOF	SNZSI	V23

表DD-3. 割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可能	無効
0	禁止	有効

(4) 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります(図DD-2参照)。

プログラムカウンタ(PC)

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタSKに格納されます。

割り込み許可フラグ(INTE)

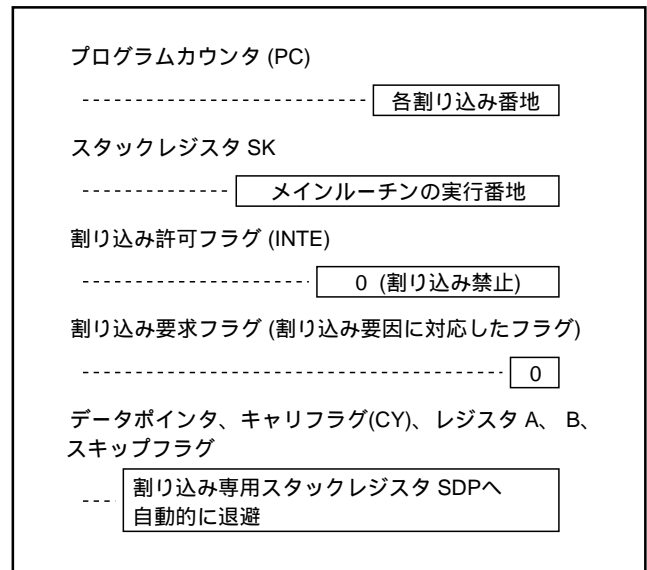
フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

割り込み要求フラグ

割り込み要因に対応した要求フラグだけが、“0”にクリアされます。

データポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPに退避されます。

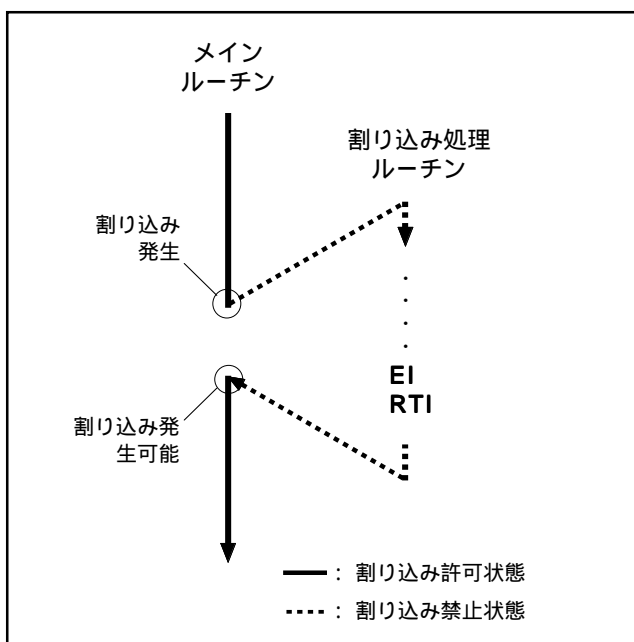


図DD-2 . 割り込み発生時の内部状態

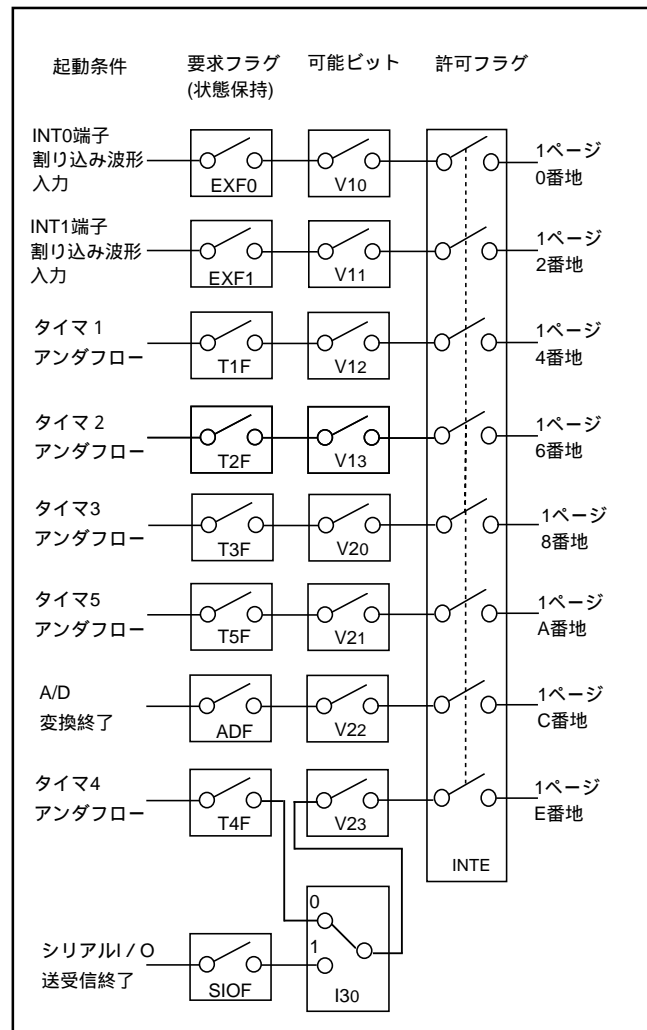
(5) 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI命令実行による割り込みの許可は、1命令経過の後(次命令の実行終了直後)に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります(図DD-1参照)。



図DD-1 . 割り込み処理プログラム例



図DD-3 . 割り込み系統図

(6) 割り込み制御レジスタ

割り込み制御レジスタV1

レジスタV1には、外部0、外部1、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

割り込み制御レジスタV2

レジスタV2には、タイマ3、タイマ5、A/D、タイマ4、シリアルI/O割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

割り込み制御レジスタI3

レジスタI3で、タイマ4割り込みまたはシリアルI/O割り込みのいずれかを選択します。レジスタI3の内容は、TI3A命令でレジスタAを介して設定してください。また、TAI3命令でレジスタI3の内容をレジスタAに転送できます。

表DD-4 . 割り込み制御レジスタ

割り込み制御レジスタ V1		リセット時 : 00002	パワーダウン時 : 00002	R / W TAV1 / TV1A
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効) (注2)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効) (注2)	
V11	外部1 割り込み可能ビット	0	発生禁止 (SNZ1 命令有効)	
		1	発生可能 (SNZ1 命令無効) (注2)	
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)	
		1	発生可能 (SNZ0 命令無効) (注2)	

割り込み制御レジスタ V2		リセット時 : 00002	パワーダウン時 : 00002	R / W TAV2 / TV2A
V23	タイマ4, シリアルI/O 割り込み可能ビット (注3)	0	発生禁止 (SNZT4, SNZSI 命令有効)	
		1	発生可能 (SNZT4, SNZSI 命令無効) (注2)	
V22	A/D 割り込み可能ビット	0	発生禁止 (SNZAD 命令有効)	
		1	発生可能 (SNZAD 命令無効) (注2)	
V21	タイマ5 割り込み可能ビット	0	発生禁止 (SNZT5 命令有効)	
		1	発生可能 (SNZT5 命令無効) (注2)	
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効) (注2)	

割り込み制御レジスタ I3		リセット時 : 02	パワーダウン時 : 状態保持	R / W TAI3 / TI3A
I30	タイマ4, シリアルI/O 割り込み要因選択ビット	0	タイマ4 割り込み有効, シリアルI/O 割り込み無効	
		1	シリアルI/O 割り込み有効, タイマ4 割り込み無効	

注1. "R"は読み出し可、"W"は書き込み可を表します。

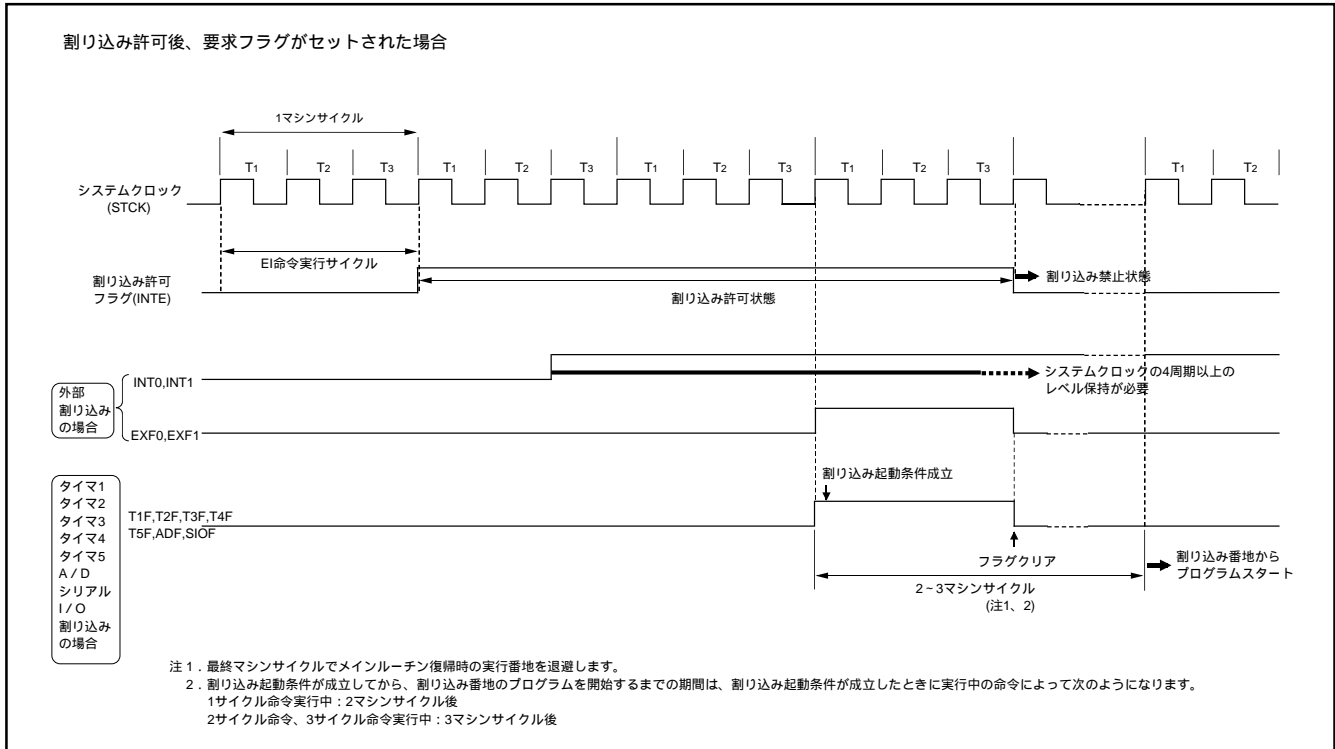
2. これらの命令は、NOP命令と等価となります。

3. タイマ4、シリアルI/O割り込み要因選択ビット(I30)でタイマ4割り込み又はシリアルI/O割り込みのいずれかを選択できます。

(7) 割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット(V10~V13,V20~V23) 各割り込み要求フラグが^{*}1'になったときに起動します。割り込み発生のタイミングは、上記3条件のすべてが成立したマシンサイクルを起点として2~3マシンサイクル後です。

割り込み条件が成立したときの命令が1サイクル命令の場合、割り込みの発生は2マシンサイクル後になります。2サイクル命令、3サイクル命令の場合は、3マシンサイクル後になります(図DD-4.参照)。



図DD-4. 割り込みシーケンス

外部割り込み

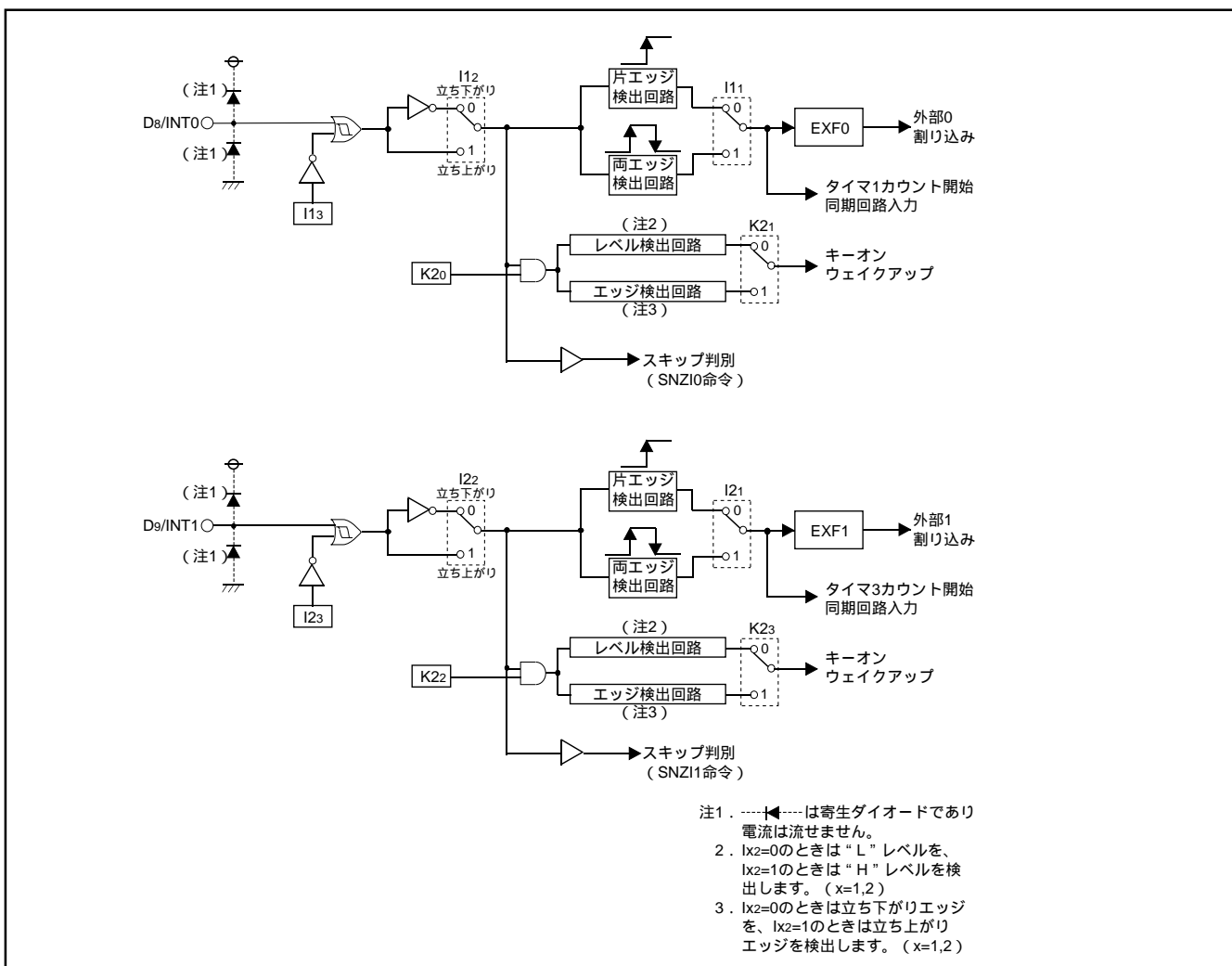
外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求を発生します(エッジ検出)。

本製品は、2本の外部割り込み機能(外部0,外部1)をもっています。

これらの割り込みは割り込み制御レジスタI1,I2で制御できます。

表DD-5 . 割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	D8/INT0	D8/INT0端子に次の波形が入力されたとき ・ 立ち下がり波形“H” “L” ・ 立ち上がり波形“L” “H” ・ 立ち下がり及び立ち上がりの両波形	I11 I12
外部1割り込み	D9/INT1	D9/INT1端子に次の波形が入力されたとき ・ 立ち下がり波形“H” “L” ・ 立ち上がり波形“L” “H” ・ 立ち下がり及び立ち上がりの両波形	I21 I22



図DD-5 . 外部割り込み回路の構成

(1) 外部0割り込み要求フラグ(EXF0)

フラグEXF0はD8/INT0端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF0の状態は、スキップ命令の実行(SNZ0命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

外部0割り込み起動条件

外部0割り込みの起動条件は、D8/INT0端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりとの両波形の3種から選択できます。以下に外部0割り込みの使用法の一例を示します。

割り込み制御レジスタI1のビット3を“1”にセットしINT0端子入力可能状態設定

割り込み制御レジスタI1のビット1,2で有効波形を選択
SNZ0命令を使用して、フラグEXF0を“0”にクリア
SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部0割り込み可能ビット(V10)及び割り込み許可フラグ(INTE)を共に“1”に設定

以上の操作により外部0割り込み発生許可状態になります。この状態でD8/INT0端子に有効波形を入力すると、フラグEXF0は“1”にセットされ、外部0割り込みが発生します。

(2) 外部1割り込み要求フラグ(EXF1)

フラグEXF1はD9/INT1端子に有効波形が入力されたとき“1”にセットされます。

外部1割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF1の状態は、スキップ命令の実行(SNZ1命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF1は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

外部1割り込み起動条件

外部1割り込みの起動条件は、D9/INT1端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりとの両波形の3種から選択できます。以下に外部1割り込みの使用法の一例を示します。

割り込み制御レジスタI2のビット3を“1”にセットし、INT1端子入力可能状態に設定

割り込み制御レジスタI2のビット1,2で有効波形を選択
SNZ1命令を使用して、フラグEXF1を“0”にクリア
SNZ1命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部1割り込み可能ビット(V11)及び割り込み許可フラグ(INTE)を共に“1”に設定

以上の操作により外部1割り込み発生許可状態になります。この状態でD9/INT1端子に有効波形を入力すると、フラグEXF1は“1”にセットされ、外部1割り込みが発生します。

(3)外部割り込み制御レジスタ

割り込み制御レジスタI1

レジスタI1は、外部0割り込みの有効波形を制御します。このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

割り込み制御レジスタI2

レジスタI2は、外部1割り込みの有効波形を制御します。このレジスタの内容は、TI2A命令でレジスタAを介して設定してください。また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表DD-6 . 外部割り込み制御レジスタ

割り込み制御レジスタ I1		リセット時：00002	パワーダウン時：状態保持	R / W TAI1 / TI1A
I13	INT0 端子 入力制御ビット（注2）	0	INT0 端子入力禁止	
		1	INT0 端子入力可能	
I12	INT0 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZIO 命令は “L” レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZIO 命令は “H” レベル認識）	
I11	INT0 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT0 端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

割り込み制御レジスタ I2		リセット時：00002	パワーダウン時：状態保持	R / W TAI2 / TI2A
I23	INT1 端子 入力制御ビット（注2）	0	INT1 端子入力禁止	
		1	INT1 端子入力可能	
I22	INT1 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZ11 命令は “L” レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZ11 命令は “H” レベル認識）	
I21	INT1 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I20	INT1 端子 タイマ3カウント開始同期回路選択ビット	0	タイマ3カウント開始同期回路非選択	
		1	タイマ3カウント開始同期回路選択	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらのビット（I12,I13,I22,I23）の内容を変更した際に、外部割り込み要求フラグ（EXF0,EXF1）がセットされる場合があります。

(4) 注意事項

レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT0端子の入力制御を行う際は次の点に注意してください。

レジスタI1のビット3の内容を変更する場合、D8/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-6)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上において(図DD-6)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI1A ; INT0端子入力制御変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

x : このビットはINT0端子の入力
    制御には関係しません。
    
```

図DD-6 . 外部0割り込みプログラム例1

レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を"0"にクリアし、INT0端子入力禁止の状態にパワーダウン機能を使用する際は、次の点に注意してください。

INT0端子入力を禁止する場合(レジスタI13="0")は、パワーダウンモードに移行する前にキーオンウェイクアップを無効(レジスタK20="0")にしてください(図DD-7)。

```

LA 0 ; (x x x 02)
TK2A ; INT0キーオンウェイクアップ無効・・・ ①
DI
EPOF
POF2 ; RAMバックアップ

x : このビットは本例では関係
    しません。
    
```

図DD-7 . 外部0割り込みプログラム例2

レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってD8/INT0端子の割り込み有効波形を変更する場合は、次の点に注意してください。

レジスタI1のビット2の内容を変更する場合、D8/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図DD-8)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上において(図DD-8)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI1A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

x : このビットはINT0端子の割り込み有効
    波形の設定には関係しません。
    
```

図DD-8 . 外部0割り込みプログラム例3

レジスタI2のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI2のビット3によってINT1端子の入力制御を行う際は次の点に注意してください。

レジスタI2のビット3の内容を変更する場合、D9/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が “1” にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を “0” にクリア(図DD-9)した後、レジスタI2のビット3の内容を変更してください。更に、一命令以上において(図DD-9)SNZ1命令を実行し、フラグEXF1を “0” にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-9)。

```

LA 4 ; (x x 0 x 2)
TV1A ; SNZ1命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI2A ; INT1端子入力制御変更
NOP ; ..... ②
SNZ1 ; SNZ1命令実行
      (フラグEXF1クリア)
NOP ; ..... ③

x : このビットはINT1端子の入力
    制御には関係しません。
    
```

図DD-9 . 外部1割り込みプログラム例1

レジスタI2のビット3に関する注意2

割り込み制御レジスタI2のビット3を “0” にクリアし、INT1端子入力禁止の状態のパワーダウン機能を使用する際は、次の点に注意してください。

INT1端子入力を禁止する場合(レジスタI13 “0”)は、パワーダウンモードに移行する前にキーオンウェイクアップを無効(レジスタK22 “0”)にしてください(図DD-10)。

```

LA 0 ; (x 0 x x 2)
TK2A ; INT1キーオンウェイクアップ無効・・・ ①
DI
EPOF
POF2 ; RAMバックアップ

x : このビットは本例では関係
    しません。
    
```

図DD-10 . 外部1割り込みプログラム例2

レジスタI2のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI2のビット2によってD9/INT1端子の割り込み有効波形を変更する場合は、次の点に注意してください。

レジスタI2のビット2の内容を変更する場合、D9/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が “1” にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を “0” にクリア(図DD-11)した後、レジスタI2のビット2の内容を変更してください。更に、一命令以上において(図DD-11)SNZ1命令を実行し、フラグEXF1を “0” にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-11)。

```

LA 4 ; (x x 0 x 2)
TV1A ; SNZ1命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI2A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ1 ; SNZ1命令実行
      (フラグEXF1クリア)
NOP ; ..... ③

x : このビットはINT1端子の割り込み有効
    波形の設定には関係しません。
    
```

図DD-11 . 外部1割り込みプログラム例3

タイマ

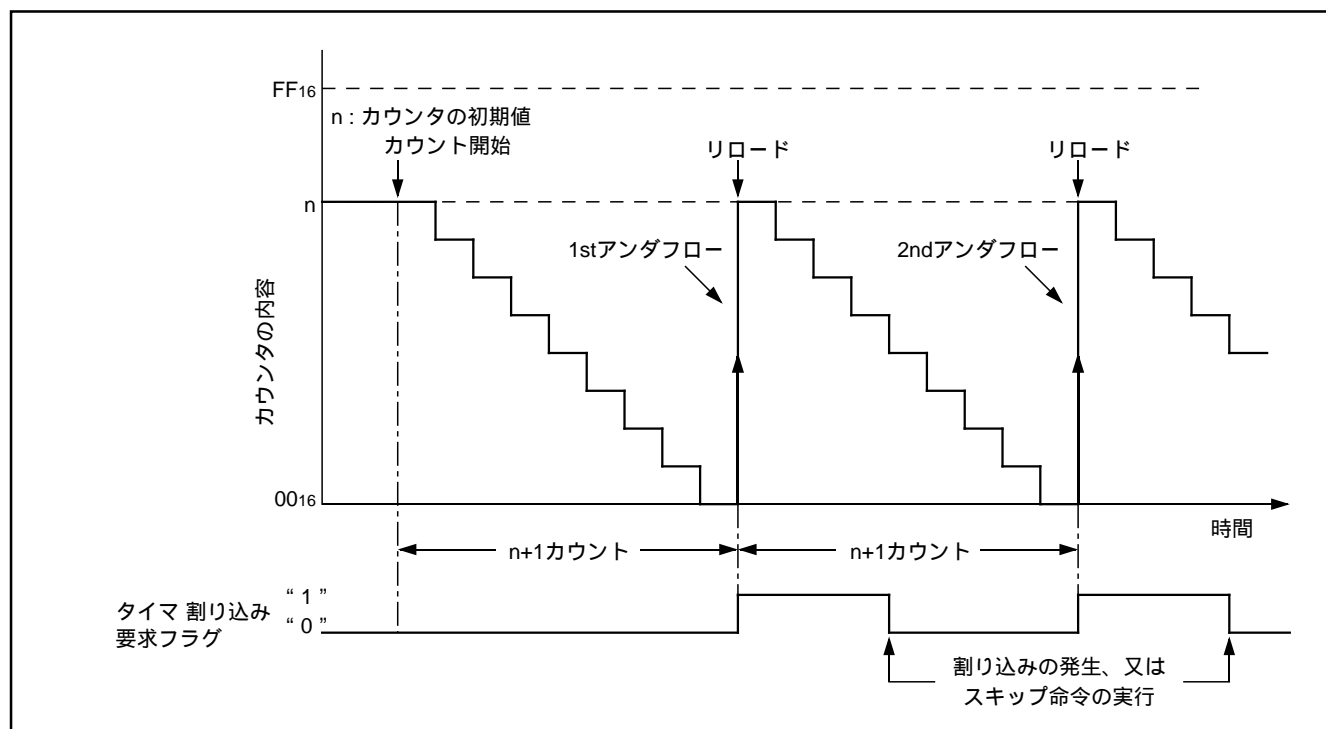
本製品が内蔵するタイマには、以下の種類があります。

プログラマブルタイマ

プログラマブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値 n からダウンカウントを開始し、アンダフローする($n+1$ カウントする)と、また新たにリロードレジスタからデータがリロードされカウントを続行します(オートリロード)機能。

固定分周タイマ

固定分周タイマは、分周比(n)が固定されているタイマでカウントパルスを n 回カウントするごとに割り込み要求フラグを"1"にセットします。



図FB-1. オートリロード機能

本製品のタイマは以下の回路で構成されています。

- プリスケアラ：8ビットプログラマブルタイマ
 - タイマ1：8ビットプログラマブルタイマ
 - タイマ2：8ビットプログラマブルタイマ
 - タイマ3：8ビットプログラマブルタイマ
 - タイマ4：8ビットプログラマブルタイマ
 - タイマ5：16ビット固定分周タイマ
 - タイマLC：4ビットプログラマブルタイマ
 - ウォッチドッグタイマ：16ビット固定分周タイマ
- (タイマ1、2、3、4、5は割り込み機能付き)

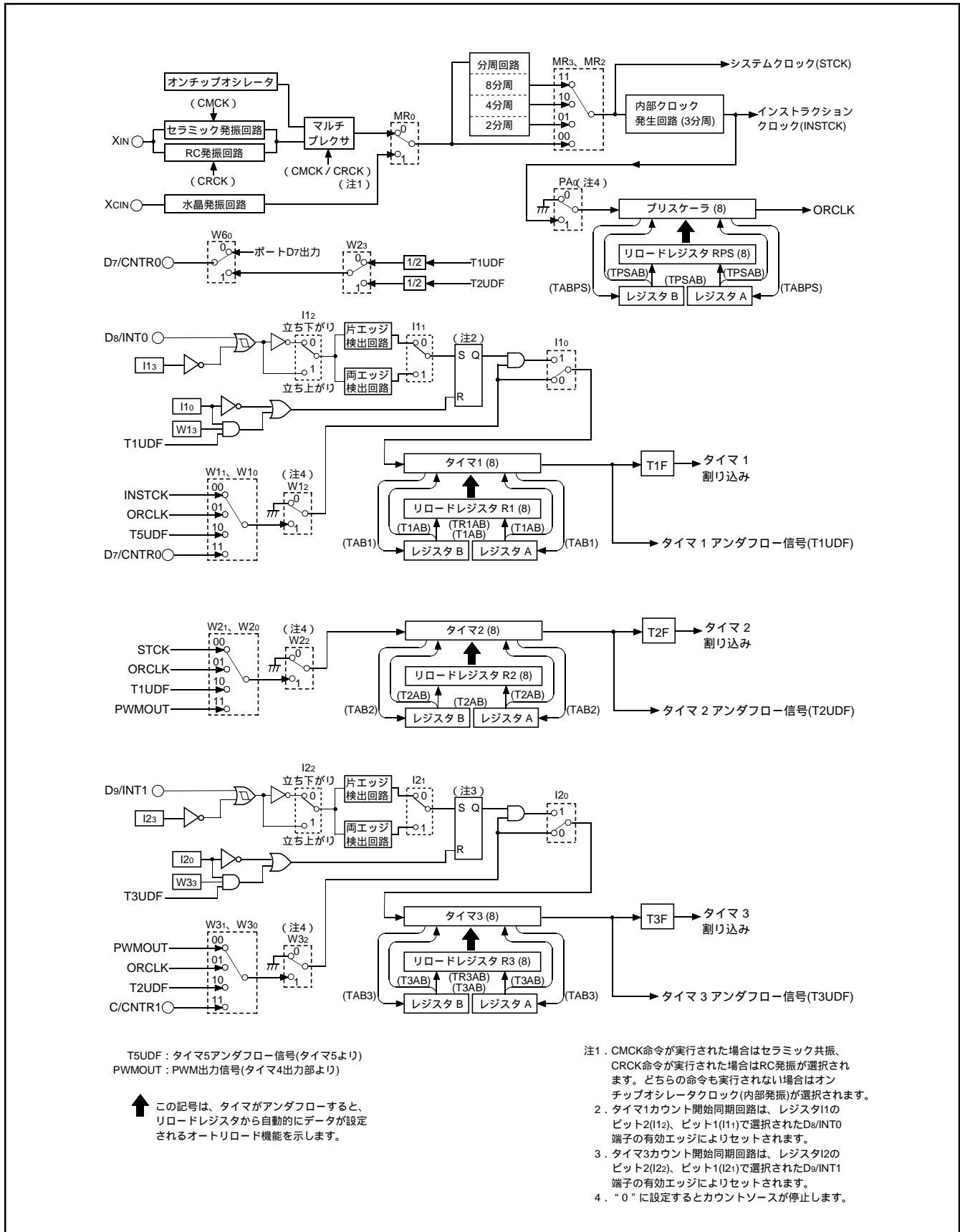
プリスケアラ、タイマ1、2、3、4、5、LCは、タイマ制御レジスタPA、W1～W6で制御できます。

ウォッチドッグタイマは、制御レジスタをもたないフリーカウンタです。

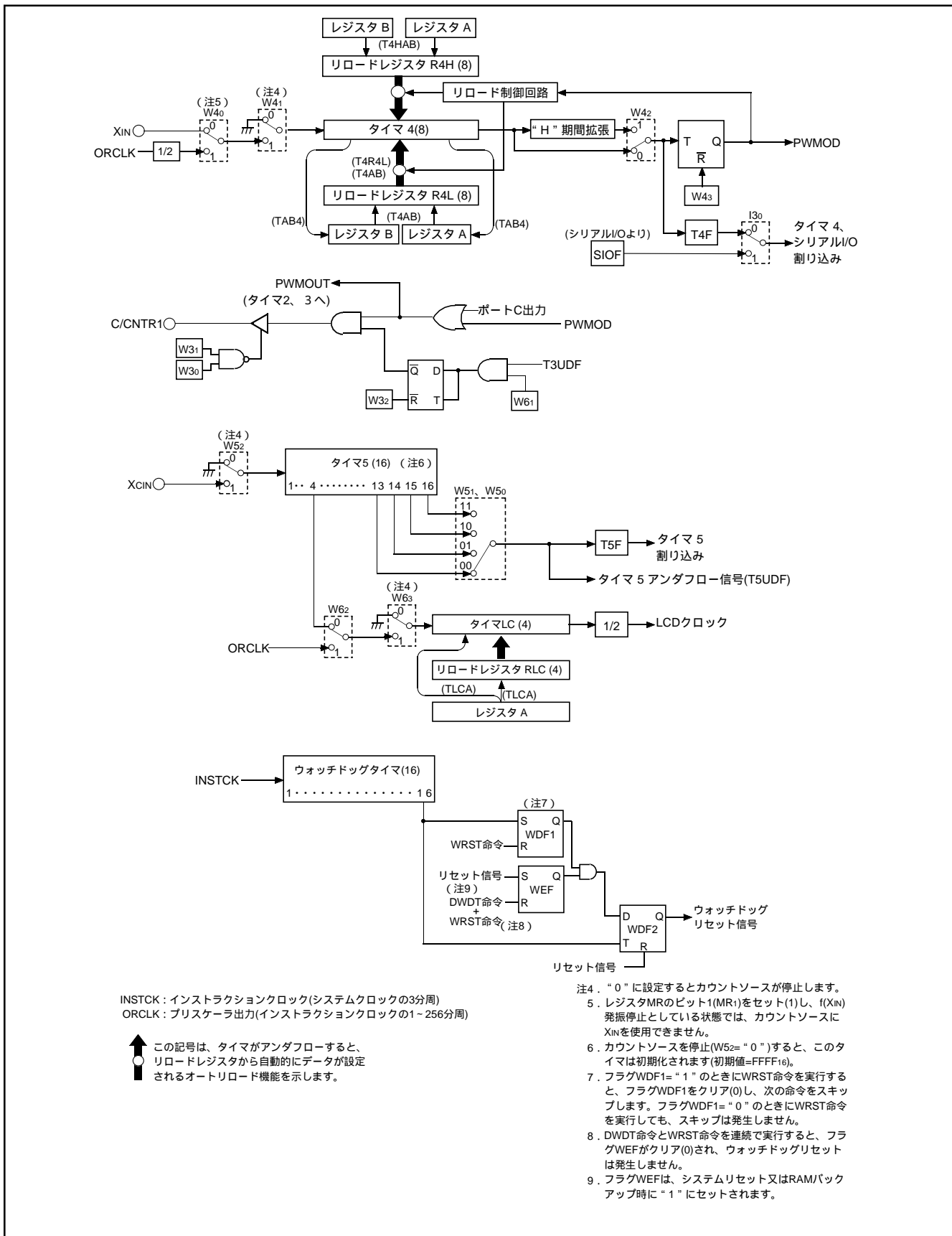
以下、各機能について説明します。

表FB-1. タイマの機能一覧

回路名	構成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケアラ	8ビットプログラマブル バイナリダウンカウンタ	・インストラクションクロック (INSTCK)	1 ~ 256	・タイマ1,2,3,4,LCカウントソース	PA
タイマ1	8ビットプログラマブル バイナリダウンカウンタ (INT0入力連動機能付き)	・インストラクションクロック (INSTCK) ・プリスケアラ出力(ORCLK) ・タイマ5アンダフロー(T5UDF) ・CNTR0入力	1 ~ 256	・タイマ2カウントソース ・CNTR0出力 ・タイマ1割り込み	W1 W2
タイマ2	8ビットプログラマブル バイナリダウンカウンタ	・システムクロック(STCK) ・プリスケアラ出力(ORCLK) ・タイマ1アンダフロー (T1UDF) ・PWM出力(PWMOUT)	1 ~ 256	・タイマ3カウントソース ・CNTR0出力 ・タイマ2割り込み	W2
タイマ3	8ビットプログラマブル バイナリダウンカウンタ (INT1入力連動機能付き)	・PWM出力(PWMOUT) ・プリスケアラ出力(ORCLK) ・タイマ2アンダフロー(T2UDF) ・CNTR1入力	1 ~ 256	・CNTR1出力制御 ・タイマ3割り込み	W3
タイマ4	8ビットプログラマブル バイナリダウンカウンタ (PWM出力機能付き)	・XIN入力 ・プリスケアラ出力(ORCLK)	1 ~ 256	・タイマ2,3カウントソース ・CNTR1出力 ・タイマ4割り込み	W4
タイマ5	16ビット固定分周	・XCIN入力	8192 16384 32768 65536	・タイマ1,LCカウントソース ・タイマ5割り込み	W5
タイマLC	4ビットプログラマブル バイナリダウンカウンタ	・タイマ5のビット4 ・プリスケアラ出力(ORCLK)	1 ~ 16	・LCDクロック	W6
ウォッチドッグ タイマ	16ビット固定分周	・インストラクションクロック (INSTCK)	65534	・システムリセット(2回カウント) ・WDFフラグ判定	



図FB-2 . タイマの構成



図FB-3. タイマの構成(2)

表FB-2. タイマ制御レジスタ

タイマ制御レジスタ PA		リセット時: 02		パワーダウン時: 02		W TPAA		
PA0	プリスケアラ制御ビット	0	停止 (状態保持)					
		1	動作					

タイマ制御レジスタ W1		リセット時: 00002		パワーダウン時: 状態保持		R / W TAW1 / TW1A			
W13	タイマ1 カウント自動停止回路選択ビット (注2)	0	タイマ1カウント自動停止回路非選択						
		1	タイマ1カウント自動停止回路選択						
W12	タイマ1制御ビット	0	停止 (状態保持)						
		1	動作						
W11	タイマ1カウントソース選択ビット	W11 W10		カウントソース					
		0 0		インストラクションクロック (INSTCK)					
0 1		プリスケアラ出力 (ORCLK)							
W10		1 0		タイマ5アンダフロー信号 (T5UDF)					
	1 1		CNTR0 入力						

タイマ制御レジスタ W2		リセット時: 00002		パワーダウン時: 状態保持		R / W TAW2 / TW2A			
W23	CNTR0 出力制御ビット	0	タイマ1アンダフロー信号の2分周出力						
		1	タイマ2アンダフロー信号の2分周出力						
W22	タイマ2制御ビット	0	停止 (状態保持)						
		1	動作						
W21	タイマ2カウントソース選択ビット	W21 W20		カウントソース					
		0 0		システムクロック (STCK)					
0 1		プリスケアラ出力 (ORCLK)							
W20		1 0		タイマ1アンダフロー信号 (T1UDF)					
	1 1		PWM 信号 (PWMOUT)						

タイマ制御レジスタ W3		リセット時: 00002		パワーダウン時: 状態保持		R / W TAW3 / TW3A			
W33	タイマ3 カウント自動停止回路選択ビット (注3)	0	タイマ3カウント自動停止回路非選択						
		1	タイマ3カウント自動停止回路選択						
W32	タイマ3制御ビット	0	停止 (状態保持)						
		1	動作						
W31	タイマ3カウントソース選択ビット (注4)	W31 W30		カウントソース					
		0 0		PWM 信号 (PWMOUT)					
0 1		プリスケアラ出力 (ORCLK)							
W30		1 0		タイマ2アンダフロー信号 (T2UDF)					
	1 1		CNTR1 入力						

注1. “R” は読み出し可、“W” は書き込み可を表します。

2. この機能はタイマ1カウント開始同期回路選択 (I10 = “1”) 時のみ有効です。

3. この機能はタイマ3カウント開始同期回路選択時 (I20 = “1”) 時のみ有効です。

4. タイマ3カウントソースにCNTR1入力を選択した場合は、ポートC出力は無効になります。

タイマ制御レジスタ W4		リセット時：0000 ₂	パワーダウン時：0000 ₂	R / W TAW4 / TW4A
W43	CNTR1 出力制御ビット	0	CNTR1 出力無効	
		1	CNTR1 出力有効	
W42	PWM 信号 “H” 期間拡張機能制御ビット	0	PWM 信号 “H” 期間拡張機能無効	
		1	PWM 信号 “H” 期間拡張機能有効	
W41	タイマ 4 制御ビット	0	停止（状態保持）	
		1	動作	
W40	タイマ 4 カウントソース選択ビット	0	XIN 入力	
		1	プリスケアラ出力（ORCLK）の 2 分周信号	

タイマ制御レジスタ W5		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW5 / TW5A
W53	使用しません	0	このビットに機能はありませんが R / W は可能です	
		1		
W52	タイマ 5 制御ビット	0	停止（初期状態）	
		1	動作	
W51	タイマ 5 カウント値選択ビット	W51 W50	カウント値	
		0 0	8192 カウントごとにアンダフロー発生	
0 1		16384 カウントごとにアンダフロー発生		
W50		1 0	32768 カウントごとにアンダフロー発生	
	1 1	65536 カウントごとにアンダフロー発生		

タイマ制御レジスタ W6		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW6 / TW6A
W63	タイマ LC 制御ビット	0	停止（状態保持）	
		1	動作	
W62	タイマ LC カウントソース選択ビット	0	タイマ 5 のビット 4（T54）	
		1	プリスケアラ出力（ORCLK）	
W61	CNTR1 出力自動制御回路選択ビット	0	CNTR1 出力自動制御回路非選択	
		1	CNTR1 出力自動制御回路選択	
W60	D7 / CNTR0 端子機能選択ビット（注 2）	0	D7 入出力 / CNTR0 入力	
		1	CNTR0 入出力 / D7 入力	

注 1.“R” は読み出し可、“W” は書き込み可を表します。

2. CNTR0 入力は、タイマ 1 カウントソースに CNTR0 入力を選択している場合にのみ有効です。

(1) タイマ関連の制御レジスタ

タイマ制御レジスタPA

レジスタPAは、プリスケアラのカウンタ動作を制御します。このレジスタの内容は、TPAA命令でレジスタAを介して設定してください。

タイマ制御レジスタW1

レジスタW1は、タイマ1のカウンタ自動停止回路の選択、カウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。またTAW1命令でレジスタW1の内容をレジスタAに転送できます。

タイマ制御レジスタW2

レジスタW2は、CNTR0出力の選択、タイマ2のカウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

タイマ制御レジスタW3

レジスタW3は、タイマ3のカウンタ自動停止回路の選択カウンタ動作及びカウンタソースを制御します。このレジスタの内容は、TW3A命令でレジスタAを介して設定してください。また、TAW3命令でレジスタW3の内容をレジスタAに転送できます。

タイマ制御レジスタW4

レジスタW4は、CNTR1出力、PWM出力のH'期間拡張、タイマ4のカウンタ動作及びカウンタソースを制御します。このレジスタの内容はTW4A命令でレジスタAを介して設定してください。また、TAW4命令でレジスタW4の内容をレジスタAに転送できます。

タイマ制御レジスタW5

レジスタW5は、タイマ5のカウンタ動作及びカウンタ値を制御します。このレジスタの内容はTW5A命令でレジスタAを介して設定してください。また、TAW5命令でレジスタW5の内容をレジスタAに転送できます。

タイマ制御レジスタW6

レジスタW6は、タイマLCの動作及びカウンタソース、CNTR1出力自動制御回路の選択及びD7/CNTR0端子の機能を制御します。このレジスタの内容はTW6A命令でレジスタAを介して設定してください。また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

(2) プリスケアラ

プリスケアラは8ビットのバイナリカウンタで、プリスケアラリロードレジスタRPSをもっています。プリスケアラとリロードレジスタRPSには、TPSAB命令で同時にデータを設定できます。プリスケアラからはTABPS命令でデータを読み出すことができます。

プリスケアラデータの設定または読み出しを行う場合はカウンタを停止させた後TPSAB命令またはTABPS命令を実行してください。

プリスケアラにデータを設定した後、レジスタPAのビット0を"1"にセットするとプリスケアラはカウンタ動作を開始します。

リロードレジスタRPSの設定値をnとするとプリスケアラはカウンタソースの信号をn+1分周します(n=0~255)。プリスケアラのカウンタソースはインストラクションクロック(INSTCK)です。

カウンタ開始後、プリスケアラはアンダフローする(プリスケアラの内容が"0"になった後、次のカウンタパルスが入力されると、新たにリロードレジスタRPSからデータをリロードしてカウンタを続行します(オートリロード機能)。プリスケアラの出力信号(ORCLK)はタイマ1、2、3、4、LCのカウンタソースに使用できます。

(3) タイマ1(割り込み機能付き)

タイマ1は8ビットのバイナリカウンタで、タイマ1リロードレジスタR1をもっています。タイマ1とリロードレジスタR1には、T1AB命令で同時にデータを設定できます。リロードレジスタR1にはTR1AB命令でデータを設定することができます。タイマ1からはTAB1命令でデータを読み出すことができます。

タイマ1データの設定または読み出しを行う場合は、カウントを停止させた後T1AB命令またはTAB1命令を実行してください。

タイマ1動作中にリロードレジスタR1にデータを設定する場合は、アンダフローと重ならないタイミングでTR1AB命令を実行してください。

タイマ1にデータを設定した後、レジスタW1のビット0,1でカウントソースを設定し、レジスタW1のビット2を“1”にセットすると、タイマ1はカウント動作を開始します。

リロードレジスタR1の設定値をnとすると、タイマ1はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ1はアンダフローする(タイマ1の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ1割り込み要求フラグ(T1F)を“1”にセットし、新たにリロードレジスタR1からデータをリロードしてカウントを続行します(オートリロード機能)。

割り込み制御レジスタI1のビット0を“1”にセットすると、INT0端子の入力をタイマ1カウント動作の開始トリガに使用できます。また、この時レジスタW1のビット3を“1”にセットすると、タイマ1アンダフローによる自動停止が行えます。

レジスタW2のビット3を“0”にクリアし、レジスタW6のビット0を“1”にセットすると、タイマ1アンダフローの2分周信号をCNTR0端子から出力できます。

(4) タイマ2(割り込み機能付き)

タイマ2は8ビットのバイナリカウンタで、タイマ2リロードレジスタR2をもっています。タイマ2とリロードレジスタR2には、T2AB命令で同時にデータを設定できます。タイマ2からはTAB2命令でデータを読み出すことができます。

タイマ2データの設定または読み出しを行う場合は、カウントを停止させた後T2AB命令またはTAB2命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0,1でカウントソースを設定し、レジスタW2のビット2を“1”にセットするとタイマ2はカウント動作を開始します。

リロードレジスタR2の設定値をnとすると、タイマ2はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ2はアンダフローする(タイマ2の内容が“0”になった後、次にカウントパルスが入力される)と、タイマ2割り込み要求フラグ(T2F)を“1”にセットし新たにリロードレジスタR2からデータをリロードしてカウントを続行します(オートリロード機能)。

レジスタW2のビット3を“1”にセットし、レジスタW6のビット0を“1”にセットすると、タイマ2アンダフローの2分周信号をCNTR0端子から出力できます。

(5) タイマ3(割り込み機能付き)

タイマ3は8ビットのバイナリカウンタで、タイマ3リロードレジスタR3をもっています。タイマ3とリロードレジスタR3には、T3AB命令で同時にデータを設定できます。リロードレジスタR3にはTR3AB命令でデータを設定することができます。タイマ3からはTAB3命令でデータを読み出すことができます。

タイマ3データの設定または読み出しを行う場合は、カウントを停止させた後T3AB命令またはTAB3命令を実行してください。

タイマ3動作中にリロードレジスタR3にデータ設定をする場合は、アンダフローと重ならないタイミングでTR3AB命令を実行してください。

タイマ3にデータを設定した後、レジスタW3のビット0, 1でカウントソースを設定し、レジスタW3のビット2を“1”にセットすると、タイマ3はカウント動作を開始します。

リロードレジスタR3の設定値をnとすると、タイマ3はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ3はアンダフローする(タイマ3の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ3割り込み要求フラグ(T3F)を“1”にセットし、新たにリロードレジスタR3からデータをリロードしてカウントを続行します(オートリロード機能)。

割り込み制御レジスタI2のビット0を“1”にセットすると、INT1端子の入力をタイマ3カウント動作の開始トリガに使用できます。また、この時のレジスタW3のビット3を“1”にセットすると、タイマ3アンダフローによる自動停止が行えます。

(6) タイマ4(割り込み機能付き)

タイマ4は8ビットのバイナリカウンタで、2つのタイマ4リロードレジスタR4L, R4Hをもっています。タイマ4とリロードレジスタR4Lには、T4AB命令で同時にデータを設定できます。リロードレジスタR4HにはT4HAB命令でデータを設定することができます。T4AB命令で設定したリロードレジスタR4Lの内容は、T4R4L命令でタイマ4に再設定できます。タイマ4からはTAB4命令でデータを読み出すことができます。

タイマ4データの設定または読み出しを行う場合は、カウントを停止させた後T4AB命令またはTAB4命令を実行してください。

タイマ4動作中にリロードレジスタR4Hにデータを設定する場合は、アンダフローと重ならないタイミングでT4HAB命令を実行してください。

タイマ4にデータを設定した後、レジスタW4のビット0でカウントソースを設定し、レジスタW4のビット1を“1”にセットすると、タイマ4はカウント動作を開始します。

リロードレジスタR4Lの設定値をnとすると、タイマ4はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ4はアンダフローする(タイマ4の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ4割り込み要求フラグ(T4F)を“1”にセットし、新たにリロードレジスタR4Lからデータをリロードしてカウントを続行します(オートリロード機能)。

レジスタW4のビット3を“1”にセットすると、タイマ4はアンダフローするごとにリロードレジスタR4L, R4Hから交互にデータをリロードし、リロードレジスタR4Lに設定した期間“L”、リロードレジスタR4Hに設定した期間“H”のPWM信号(PWMOUT)を生成してCNTR1端子出力します。

この時レジスタW4のビット2を“1”にセットすると、タイマ4のカウンタは、リロードレジスタR4Hに設定した期間(PWM信号“H”期間)がカウントソースの半周期分拡張されます。この場合、リロードレジスタR4Hの設定値をnとすると、タイマ4はカウントソースの信号をn+1.5分周します(n=1~255)。この機能を使用する場合は、リロードレジスタR4Hに“1”以上の値を設定してください。

レジスタW6のビット1を“1”にセットすると、タイマ3のアンダフローごとに、CNTR1端子へのPWM信号出力の有効/無効が交互に繰り返されます。ただし、タイマ3を停止(レジスタW3のビット2を“0”にクリア)するとこの機能は解除されます。

PWM信号が“H”の期間にレジスタW4のビット1を“0”にクリアした場合でも、タイマ4は次にアンダフローするまでは停止しません。

タイマ4を停止させる場合は、アンダフローと重ならないタイミングでレジスタW4のビット1を“0”にクリアしてください。

(7) タイマ5(割り込み機能付き)

タイマ5は16ビットのバイナリカウンタです。レジスタW5のビット0, 1でカウント値を設定し、レジスタW5のビット2を“1”にセットすると、タイマ5はカウント動作を開始します。

タイマ5のカウントソースはサブクロック入力(XCIN)です。

カウント開始後、タイマ5はアンダフローする(設定したカウント値がカウントされる)と、タイマ5割り込み要求フラグ(T5F)を“1”にセットし、カウントを続行します。

タイマ5のビット4はLCDクロック生成用タイマLCのカウントソースに使用できます。

レジスタW5のビット2を“0”にクリアすると、タイマ5は初期化され(FFFF₁₆)、カウントは停止します。

タイマ5は時計動作モード(POF命令実行)時に動作可能ですので、時計用カウンタとして使用できます。時計動作モード時タイマ5アンダフローが発生すると、パワーダウン状態から復帰します。

(8) タイマLC

タイマLCは4ビットのバイナリカウンタで、タイマLCリロードレジスタRLCをもっています。タイマLCとリロードレジスタRLCには、TLCA命令で同時にデータを設定できます。タイマLCからデータを読み出すことはできません。

タイマLCにデータを設定する場合は、カウントを停止させた後、TLCA命令を実行してください。

タイマLCにデータを設定した後、レジスタW6のビット2でカウントソースを設定し、レジスタW6のビット3を“1”にセットすると、タイマLCはカウント動作を開始します。

リロードレジスタRLCの設定値をnとすると、タイマLCはカウントソースの信号をn+1分周します(n=0~15)。

カウント開始後、タイマLCはアンダフローする(タイマLCの内容が“0”になった後、次のカウントパルスが入力される)と、新たにリロードレジスタRLCからデータをリロードしてカウントを続行します(オートリロード機能)。

タイマLCアンダフローの2分周信号はLCDクロックに使用されます。

(9) タイマ入出力端子(D7/CNTR0 , C/CNTR1)

CNTR0端子は、タイマ1のカウントソース入力機能と、タイマ1及びタイマ2のアンダフロー2分周信号の出力機能を持ちます。

CNTR1端子は、タイマ3のカウントソース入力機能と、タイマ4で生成されるPWM信号出力機能を持ちます。PWM信号をC/CNTR1端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

レジスタW6のビット0でD7/CNTR0端子機能選択を、レジスタW4のビット3でCNTR1出力信号選択を制御できます。

タイマ1のカウントソースとしてCNTR0入力を選択した場合、タイマ1はCNTR0入力の立ち上がり波形をカウントします。

タイマ3のカウントソースとしてCNTR1入力を選択した場合、タイマ3はCNTR1入力の立ち上がり波形をカウントします。また、CNTR1入力を選択した場合はポートCの出力は無効(ハイインピーダンス状態)になります。

(10) タイマ割り込み要求フラグ(T1F, T2F, T3F, T4F, T5F)

タイマ割り込み要求フラグは各タイマのアンダフロー時に“1”にセットされます。これらフラグの状態は、スキップ命令(SNZT1, SNZT2, SNZT3, SNZT4, SNZT5命令)の実行により確認できます。

割り込みとスキップ命令のどちらを使用するかは、レジスタV1, V2で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(11) カウント開始同期回路(タイマ1, タイマ3)

タイマ1, 3はそれぞれINT0, INT1端子の入力に同期してタイマカウント動作を開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタI1のビット0に“1”を設定すると機能が選択されてINT0端子の入力による制御が可能になります。

タイマ3のカウント開始同期回路は、レジスタI2のビット0に“1”を設定すると機能が選択されてINT1端子の入力による制御が可能になります。

タイマ1, 3それぞれのカウント開始同期回路を使用している場合、INT0, INT1端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。

カウント開始同期回路をセットするためのINT0, INT1端子入力の有効波形は、外部割り込みの起動条件と同じです。

なお、一度セットされたカウント開始同期回路は、レジスタI1, I2それぞれのビット0に“0”を設定するか、リセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合は、タイマ1, 3がアンダフローするとカウント開始同期回路がクリアされます(自動停止)。

(12) カウント自動停止回路(タイマ1, タイマ3)

タイマ1, 3はカウント開始同期回路を使用しているときに、それぞれタイマ1,3アンダフロー発生により自動的にカウントを停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW1のビット3を“1”にセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力が停止します。この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

タイマ3のカウント自動停止回路は、レジスタW3のビット3を“1”にセットすると有効になり、タイマ3がアンダフローするとカウント開始同期回路をクリアし、タイマ3へのカウントソース入力が停止します。この機能は、タイマ3カウント開始同期回路を選択している場合のみ有効です。

(13) 注意事項

タイマを使用する際は以下の点に注意してください。

プリスケアラに関する注意

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウントを停止させた後、データ読み出し命令(TABPS)を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウントを停止させた後、データ書き込み命令(TPSAB)を実行してください。

カウントソースに関する注意

タイマ1, 2, 3, 4, LCのカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

カウント値の読み出しに関する注意

タイマ1, 2, 3, 4からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1, TAB2, TAB3, TAB4)を実行してください。

タイマへのデータ書き込みに関する注意

タイマ1, 2, 3, 4, LCにデータ書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB, T2AB, T3AB, T4AB, TLCA)を実行してください。

リロードレジスタR1, R3, R4Hへの書き込みに関する注意

タイマ1, 3, 4動作中にタイマリロードレジスタR1, R3, R4Hにデータを書き込む場合は、必ずタイマ1, 3, 4アンダフローと重ならないタイミングでデータを書き込んでください。

タイマ4に関する注意

タイマ4を停止させる場合は、必ずタイマ4アンダフローと重ならないタイミングで停止させてください。

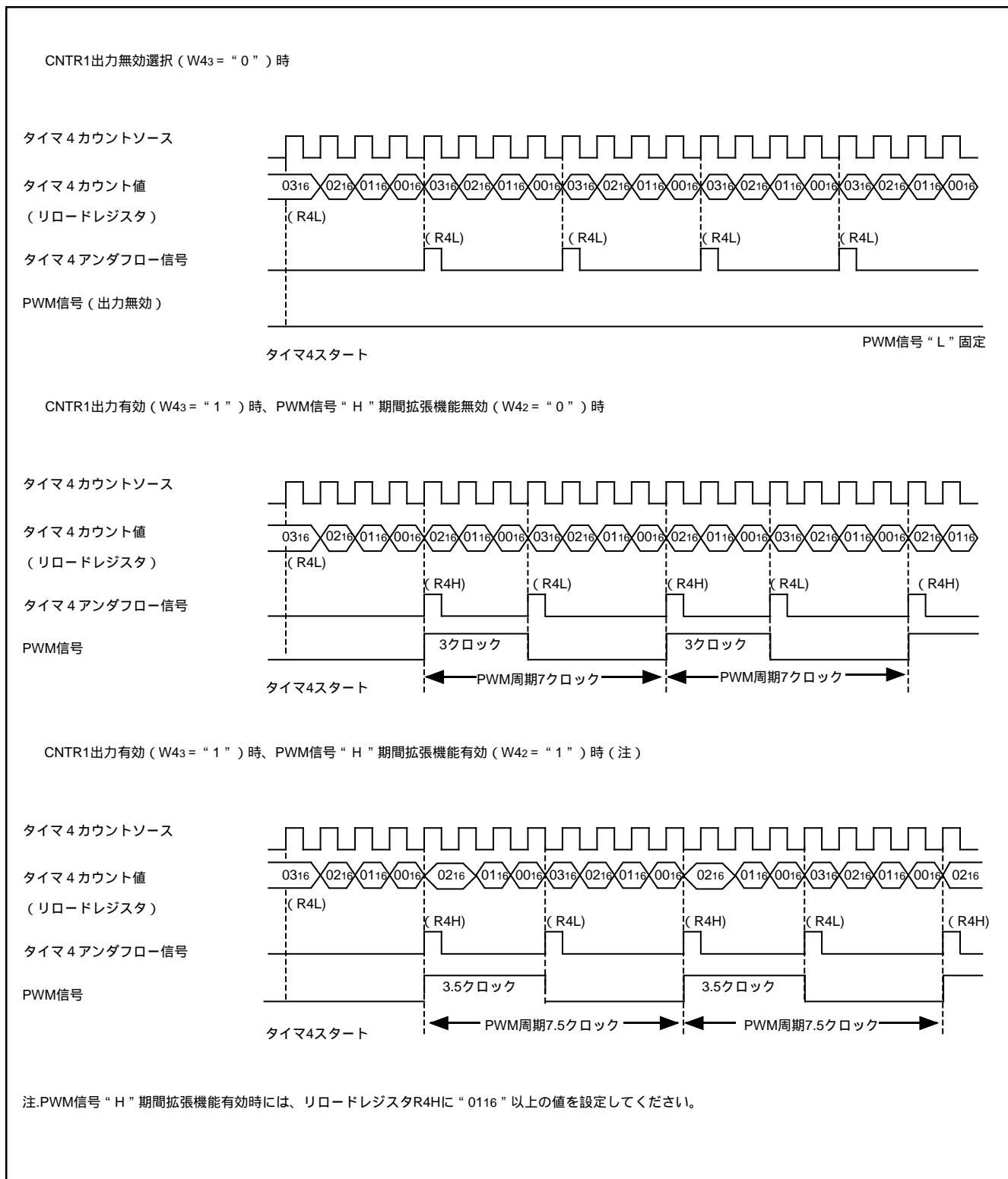
PWM信号の“H”期間拡張機能有効を選択している場合は、リロードレジスタR4Hに“1”以上の値を設定してください。

タイマ5に関する注意

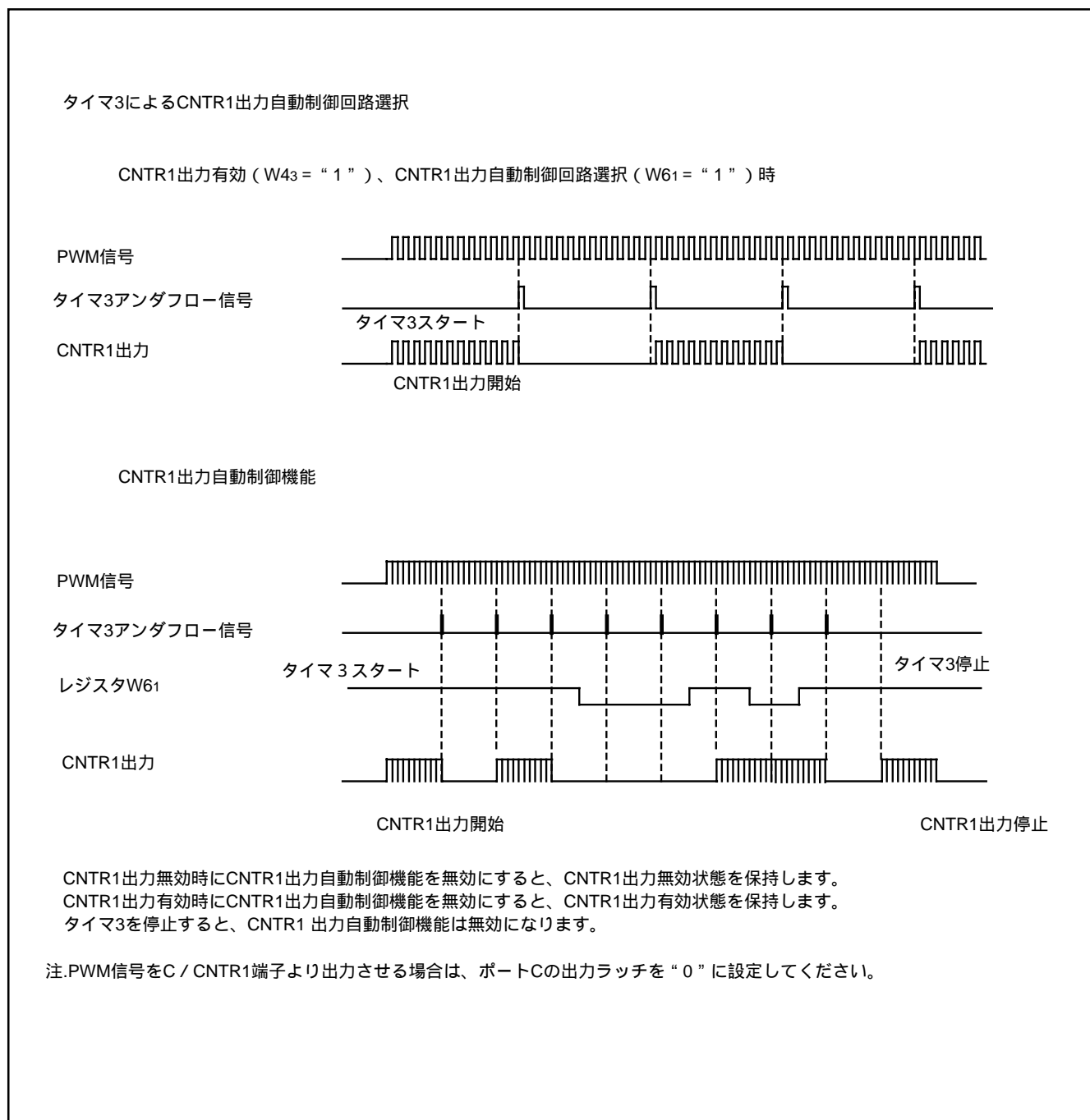
タイマ5のカウント値を切り替える場合は、まずタイマ5のカウントを停止させた後、カウント値を切り替えてください。

タイマ入出力端子に関する注意事項

PWM信号をC/CNTR1端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。



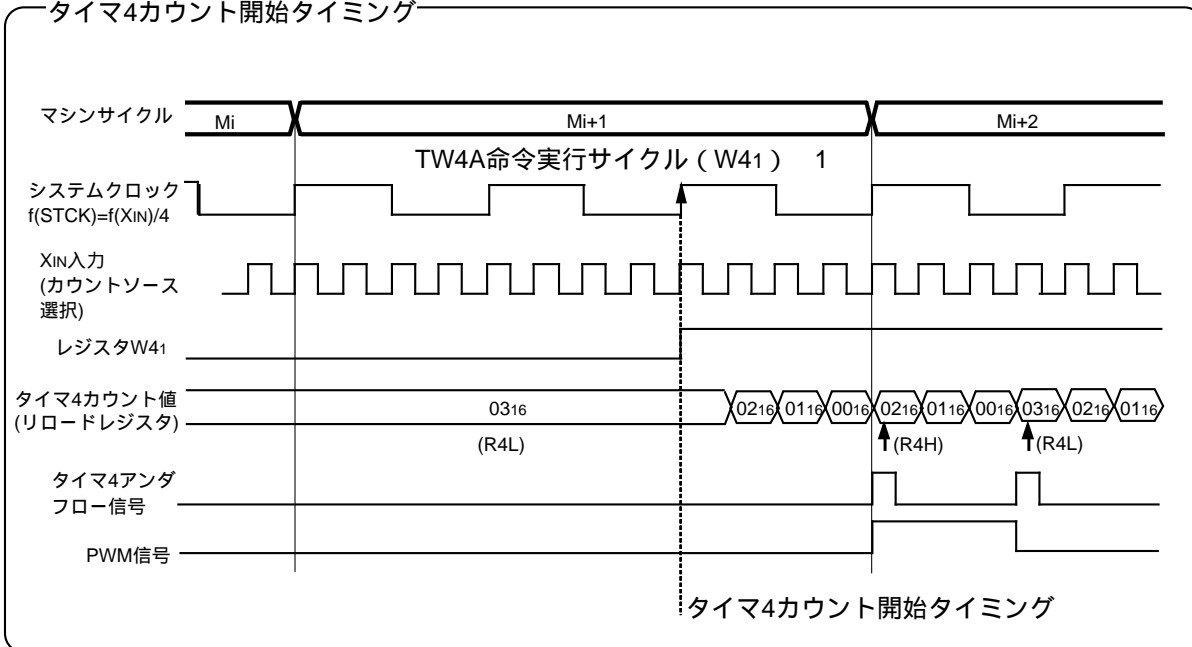
図FB-4.タイマ4の動作(リロードレジスタR4Lに"0316"、リロードレジスタR4Hに"0216"を設定した場合)



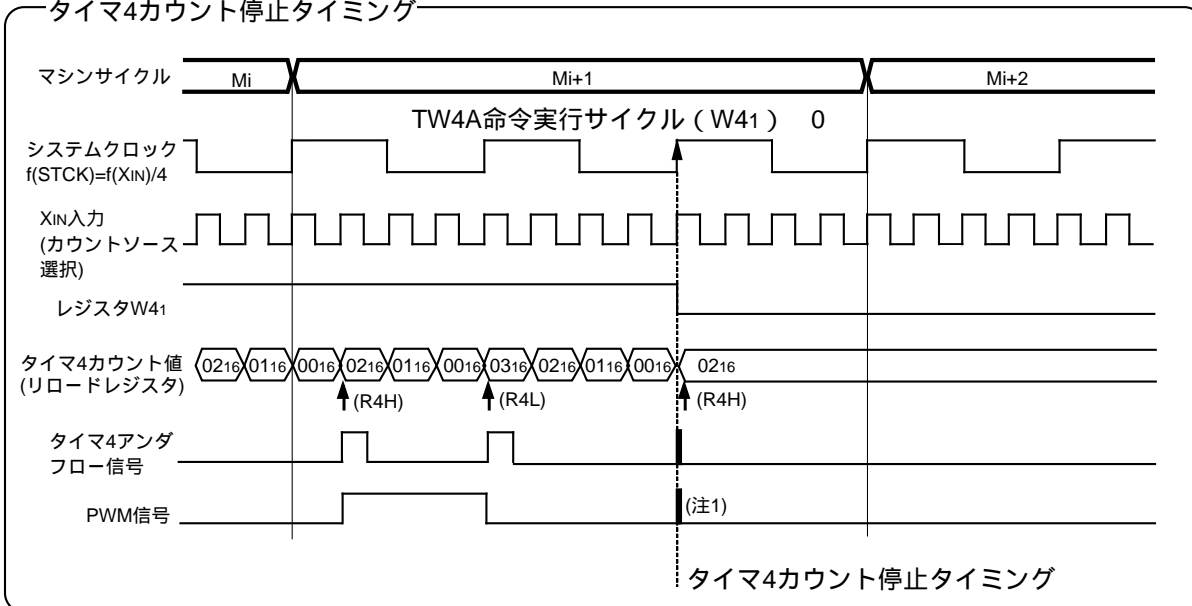
図FB-5.タイマ3によるCNTR1出力自動制御機能

CNTR1出力“H”期間の波形拡張機能無効(W42=“0”)、CNTR1出力有効(W43=“1”)、カウントソースXIN入力選択(W40=“0”)、リロードレジスタR4Lに“0316”、リロードレジスタR4Hに“0216”を設定した場合

タイマ4カウント開始タイミング



タイマ4カウント停止タイミング



- 注1. CNTR1出力有効時(W43=“1”)にタイマ4を停止する場合には、タイマ4カウント停止タイミングとタイマ4アンダフロー信号が重ならないタイミングで停止させてください。タイミングが重なると、CNTR1出力波形にハザードが発生する場合があります。
- 注2. CNTR1出力有効時、PWM信号の“H”期間中にタイマ4を停止した場合には、リロードレジスタR4Hで設定した“H”期間を出力した後に停止します。

図FB-6.タイマ4カウント開始 / 停止タイミング

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは、タイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF)、及びウォッチドッグタイマフラグ(WDF1,WDF2)により構成されています。

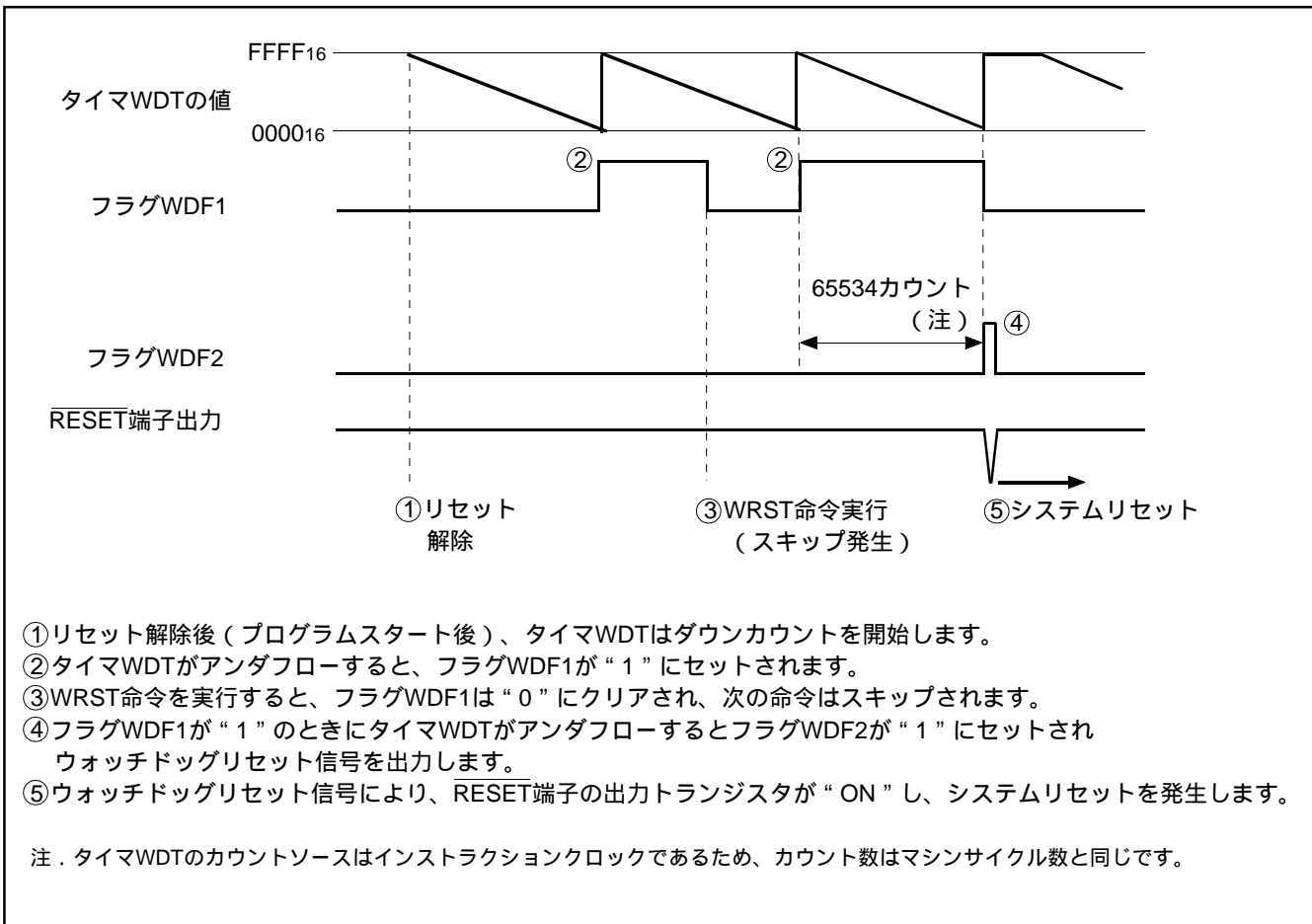
タイマWDTは、リセット解除直後に“FFFF₁₆”の値からインストラクションクロックをカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“0000₁₆”になった後、次のカウントパルスが入力されると、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットし、RESET端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを、使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を持続させるため、65534マシサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後フラグWEFが“1”にセットされ、ウォッチドッグタイマの機能が有効になります。DWDT命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。フラグWEFは、システムリセット又はRAMバックアップ時に“1”にセットされます。

WRST命令にはスキップ機能があり、フラグWDF1が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合でも使用できます。



図FB-7. ウォッチドッグタイマ機能の動作

ウォッチドッグタイマ機能を使用する場合はWRST命令によりフラグWDF1を65534マシンサイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合はDWD命令とWRST命令を連続して実行してください(図FB-8参照)。DWD命令のみではウォッチドッグタイマ機能は停止しません。

パワーダウン時、フラグWDF1及びタイマWDTの値は初期化されます。なお、ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください(図FB-9参照)。

パワーダウンからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウンから復帰する度にDWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

```
WRST ; フラグWDF1クリア
```

```
DI
DWD ; ウォッチドッグタイマ機能禁止許可
WRST ; フラグWDF1クリア
```

図FB-8.ウォッチドッグタイマ使用時、停止の時のプログラム例

```
WRST ; フラグWDF1クリア
NOP
DI ; 割り込み禁止
EPOF ; POF命令許可
POF
```

```
発振停止
```

図FB-9.ウォッチドッグタイマ使用時におけるモードへの移行プログラム例

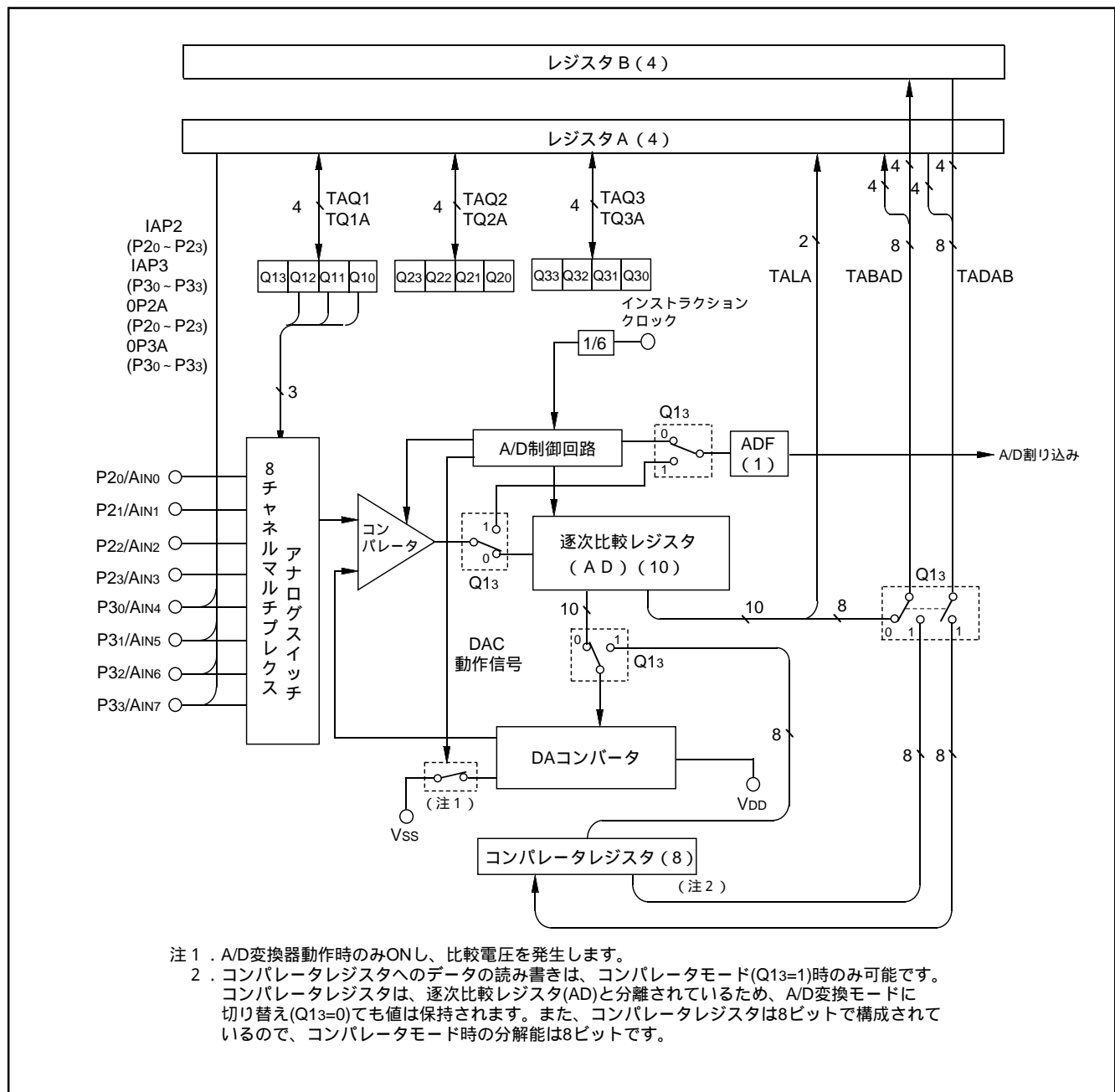
A/Dコンバータ(コンパレータ)

本製品は、10ビット逐次比較方式によるA/D変換器を内蔵しています。このA/D変換器の特性を表JA-1に示します。

また、このA/D変換器は、アナログ入力端子から入力されたアナログ電圧をあらかじめ設定した値と比較する8ビットのコンパレータとしても使用することができます。

表JA-1. A/D変換器の特性

項目	特性
変換形式	逐次比較方式
分解能	10ビット
相対精度	直線性誤差 : ±2LSB
	微分非直線性誤差 : ±0.9LSB
変換速度	31 μs (高速スルーモード、発振周波数6MHz時)
アナログ入力端子	8本



- 注1. A/D変換器動作時のみONし、比較電圧を発生します。
- 注2. コンパレータレジスタへのデータの読み書きは、コンパレータモード(Q13=1)時のみ可能です。コンパレータレジスタは、逐次比較レジスタ(AD)と分離されているため、A/D変換モードに切り替え(Q13=0)でも値は保持されます。また、コンパレータレジスタは8ビットで構成されているので、コンパレータモード時の分解能は8ビットです。

表JA-2. A/D制御レジスタ

A/D 制御レジスタ Q1		リセット時：00002		パワーダウン時：状態保持	R / W TAQ1 / TQ1A
Q13	A/D 動作モード選択ビット	0	A/D 変換モード		
		1	コンパレータモード		
Q12	アナログ入力端子選択ビット	Q12 Q11 Q10	アナログ入力端子		
		0 0 0	AIN0		
0 0 1		AIN1			
Q11		0 1 0	AIN2		
		0 1 1	AIN3		
Q10		1 0 0	AIN4		
		1 0 1	AIN5		
		1 1 0	AIN6		
		1 1 1	AIN7		

A/D 制御レジスタ Q2		リセット時：00002		パワーダウン時：状態保持	R / W TAQ2 / TQ2A
Q23	P23 / AIN3 端子機能選択ビット	0	P23		
		1	AIN3		
Q22	P22 / AIN2 端子機能選択ビット	0	P22		
		1	AIN2		
Q21	P21 / AIN1 端子機能選択ビット	0	P21		
		1	AIN1		
Q20	P20 / AIN0 端子機能選択ビット	0	P20		
		1	AIN0		

A/D 制御レジスタ Q3		リセット時：00002		パワーダウン時：状態保持	R / W TAQ3 / TQ3A
Q33	P33 / AIN7 端子機能選択ビット	0	P33		
		1	AIN7		
Q32	P32 / AIN6 端子機能選択ビット	0	P32		
		1	AIN6		
Q31	P31 / AIN5 端子機能選択ビット	0	P31		
		1	AIN5		
Q30	P30 / AIN4 端子機能選択ビット	0	P30		
		1	AIN4		

注：“R”は読み出し可、“W”は書き込み可を表します。

(1) A/D変換器関連の制御レジスタ

A/D制御レジスタQ1

レジスタQ1は、A/D動作モードの選択及びアナログ入力端子の選択を制御します。このレジスタの内容は、TQ1A命令でレジスタAを介して設定してください。また、TAQ1命令でレジスタQ1の内容をレジスタAに転送できます。

A/D制御レジスタQ2

レジスタQ2は、P20 / AIN0 ~ P23 / AIN3端子の機能選択を制御します。このレジスタの内容は、TQ2A命令でレジスタAを介して設定してください。また、TAQ2命令でレジスタQ2の内容をレジスタAに転送できます。

A/D制御レジスタQ3

レジスタQ3は、P30 / AIN4 ~ P33 / AIN7端子の機能選択を制御します。このレジスタの内容は、TQ3A命令でレジスタAを介して設定してください。また、TAQ3命令でレジスタQ3の内容をレジスタAに転送できます。

(2) A/D変換モード時の動作

このA/D変換器はレジスタQ1のビット3に“0”を設定することにより、A/D変換モードに設定されます。

(3) 逐次比較レジスタAD

レジスタADには、アナログ入力端子のA/D変換結果である10ビットのデジタルデータが格納されます。レジスタADの内容はTABAD命令により、上位8ビットがレジスタBとレジスタAに、下位2ビットはTALA命令によりレジスタAの上位2ビットに格納されます。ただしA/D変換中は、これらの命令を実行しないでください。

レジスタADの内容をnとしたとき、基準電圧V_{DD}から内蔵DAコンバータが発生する比較電圧V_{ref}の論理値を次式で求めることができます。

$$V_{\text{ref}} = \frac{V_{\text{DD}}}{1024} \times n$$

n: レジスタADの値(n=0 ~ 1023)

(4) A/D変換終了フラグ(ADF)

フラグADFはA/D変換が終了したとき“1”にセットされます。フラグADFの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令実行により次の命令をスキップしたときのいずれかで“0”にクリアされます。

(5) A/D変換開始命令(ADST命令)

ADST命令を実行するとA/D変換を開始します。変換結果は自動的にレジスタADに格納されます。

(6) A/D変換動作説明

A/D変換は、A/D変換開始命令(ADST命令)によって開始されます。A/D変換時の内部動作を以下に示します。

A/D変換が開始されると、まず逐次比較レジスタADが“000₁₆”にクリアされます。

次に、レジスタADの最上位ビットに“1”がセットされ、比較電圧V_{ref}とアナログ入力電圧V_{IN}との比較が行われます。

比較結果がV_{ref} < V_{IN}ならば、レジスタADの最上位ビットの値“1”をそのまま保持します。V_{ref} > V_{IN}ならば“0”にクリアします。

本製品は、以上の動作をレジスタADの最下位ビットまで行うことで、アナログ値をデジタル値に変換します。A/D変換は、開始後62マシンサイクル(f(X_{IN})=6MHz、高速スルーモード時31μs)で終了し、変換結果がレジスタADに格納されます。A/D変換終了と同時にA/D割り込み起動条件が成立し、A/D割り込み要求フラグ(ADF)が“1”にセットされます(図JA-2参照)。

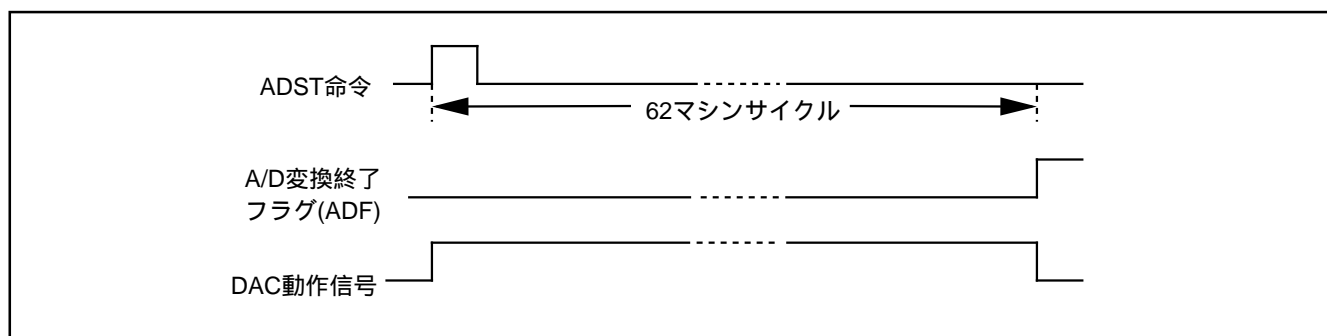
表JA-3. A/D変換中の逐次比較レジスタ(AD)の変化

	レジスタADの変化	比較電圧(V _{ref})値							
1回目比較	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">1</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="border: 1px dashed black; width: 20px;"></td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td></tr></table>	1	0	0		0	0	0	$\frac{V_{DD}}{2}$
1	0	0		0	0	0			
2回目比較	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">*1</td><td style="padding: 2px;">1</td><td style="padding: 2px;">0</td><td style="border: 1px dashed black; width: 20px;"></td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td></tr></table>	*1	1	0		0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4}$
*1	1	0		0	0	0			
3回目比較	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">*1</td><td style="padding: 2px;">*2</td><td style="padding: 2px;">1</td><td style="border: 1px dashed black; width: 20px;"></td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td></tr></table>	*1	*2	1		0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4} \pm \frac{V_{DD}}{8}$
*1	*2	1		0	0	0			
10回目の比較終了後	A/D変換結果 <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">*1</td><td style="padding: 2px;">*2</td><td style="padding: 2px;">*3</td><td style="border: 1px dashed black; width: 20px;"></td><td style="padding: 2px;">*8</td><td style="padding: 2px;">*9</td><td style="padding: 2px;">*A</td></tr></table>	*1	*2	*3		*8	*9	*A	$\frac{V_{DD}}{2} \pm \dots \pm \frac{V_{DD}}{1024}$
*1	*2	*3		*8	*9	*A			

*1 : 1回目の比較結果 *2 : 2回目の比較結果
*3 : 3回目の比較結果 *8 : 8回目の比較結果
*9 : 9回目の比較結果 *A : 10回目の比較結果

(7) A/D変換タイミングチャート

A/D変換タイミングチャートを図JA-2に示します。



図JA-2. A/D変換タイミングチャート

(8) A/D変換の使用方法

P30 / AIN4端子からのアナログ入力信号をA/D変換し、変換データの上位4ビットをRAMのM(Z,X,Y)=(0,0,0)番地、中位4ビットをM(Z,X,Y)=(0,0,1)番地、下位2ビットをM(Z,X,Y)=(0,0,2)番地、にそれぞれ格納する方法を例にA/D変換器の使用方法を説明します。この例ではA/D割り込みは使用していません。

A/D制御レジスタQ3のビット0でAIN4端子機能を選択した後、A/D制御レジスタQ1でAIN4端子を選択及びA/D変換モードに選択します(図JA-3参照)。

ADST命令を実行しA/D変換を開始します。

SNZAD命令でA/D変換終了フラグ(ADF)の状態を調べることにより、A/D変換の終了を認識します。

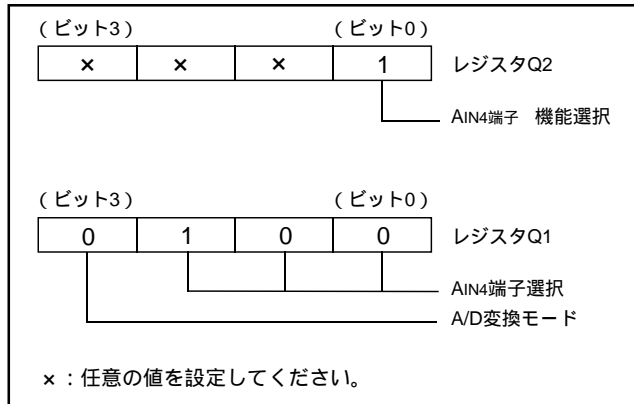
変換データの下位2ビットをレジスタAの上位2ビットに転送します(TALA命令)。

レジスタAの内容をM(Z,X,Y)=(0,0,2)に転送します。

変換データの上位8ビットをレジスタA、Bに転送します(TABAD命令)。

レジスタAの内容をM(Z,X,Y)=(0,0,1)に転送します。

レジスタBの内容をレジスタAに転送した後、M(Z,X,Y)=(0,0,0)に格納します。



図JA-3. レジスタ設定例

(9) コンパレータモード時の動作

このA/D変換器はA/D制御レジスタQ1のビット3に“1”を設定することにより、コンパレータモードに設定されます。

以下に、コンパレータモード時の動作について説明します。

(10) コンパレータレジスタ

コンパレータモード時、内蔵DAコンパレータには、比較電圧を設定するレジスタとしてコンパレータレジスタが接続されます。このコンパレータレジスタは8ビットで構成されており、TADAB命令によりコンパレータレジスタの上位4ビットにレジスタBの値が、下位4ビットにはレジスタAの値が格納されます。

A/D変換モードからコンパレータモードに動作モードを変更した場合、A/D変換結果(逐次比較レジスタAD)は不定になります。

一方、コンパレータレジスタは、レジスタADと分離されているため、コンパレータモードからA/D変換モードに動作モードを変更しても値は保持されます。またコンパレータレジスタの読み書きは、コンパレータモード時に限られます。

コンパレータレジスタの内容をnとしたとき、内蔵DAコンパレータが発生する比較電圧Vrefの論理値は次式で求めることができます。

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n : レジスタADの値(n:0 ~ 255)

(11) 比較結果格納フラグ(ADF)

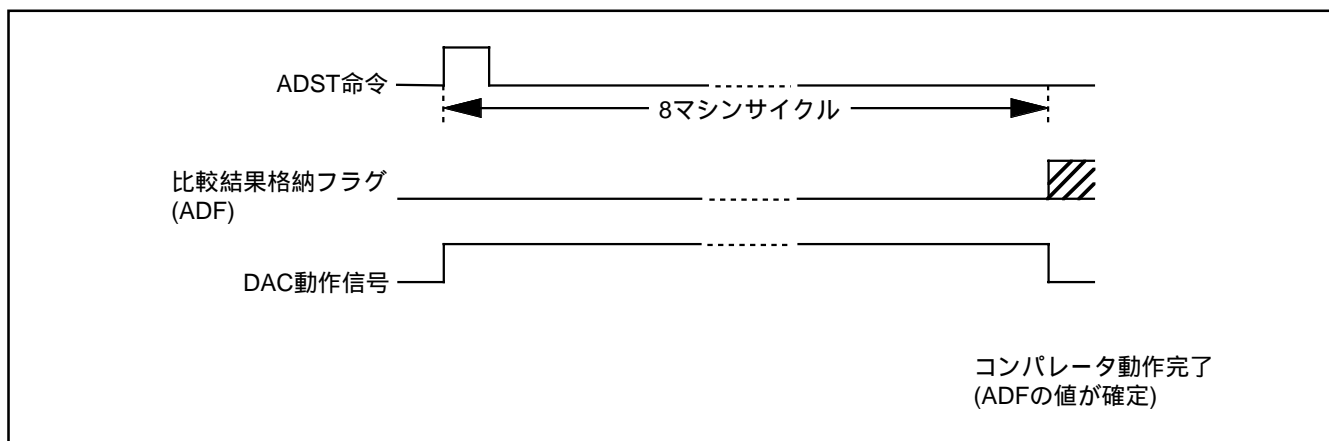
コンパレータモード時、A/D変換終了フラグ(ADF)は、アナログ入力電圧と比較電圧の比較結果を格納するフラグとなります。アナログ入力電圧が比較電圧よりも低い場合に、フラグADFは“1”にセットされます。このフラグの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらかを使用するかは割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(12) コンパレータ動作開始命令(ADST命令)

コンパレータモード時、ADST命令を実行するとコンパレータ動作を開始します。

コンパレータ動作は、動作開始後、8マシンサイクル($f_{XIN}=6\text{MHz}$ 、高速スルーモード時 $4\mu\text{s}$)で終了し、アナログ入力電圧が比較電圧よりも低い場合に、フラグADFが 1 にセットされます。



図JC-1. コンパレータ動作タイミングチャート

(13) 注意事項

TALA命令に関する注意

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを 0 にします。

A/D変換器の動作モードに関する注意

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

コンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が 0 になっている必要があります。

コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

(14) A/D変換精度の定義

A/D変換精度の定義について説明します(図JA-4参照)。

相対精度

ゼロトランジション電圧(V_{0T})

実際のA/D変換出力データが“0”から“1”に変化するときの
アナログ入力電圧

フルスケールトランジション電圧(V_{FST})

実際のA/D変換出力データが“1023”から“1022”に変化する
ときのアナログ入力電圧

直線性誤差

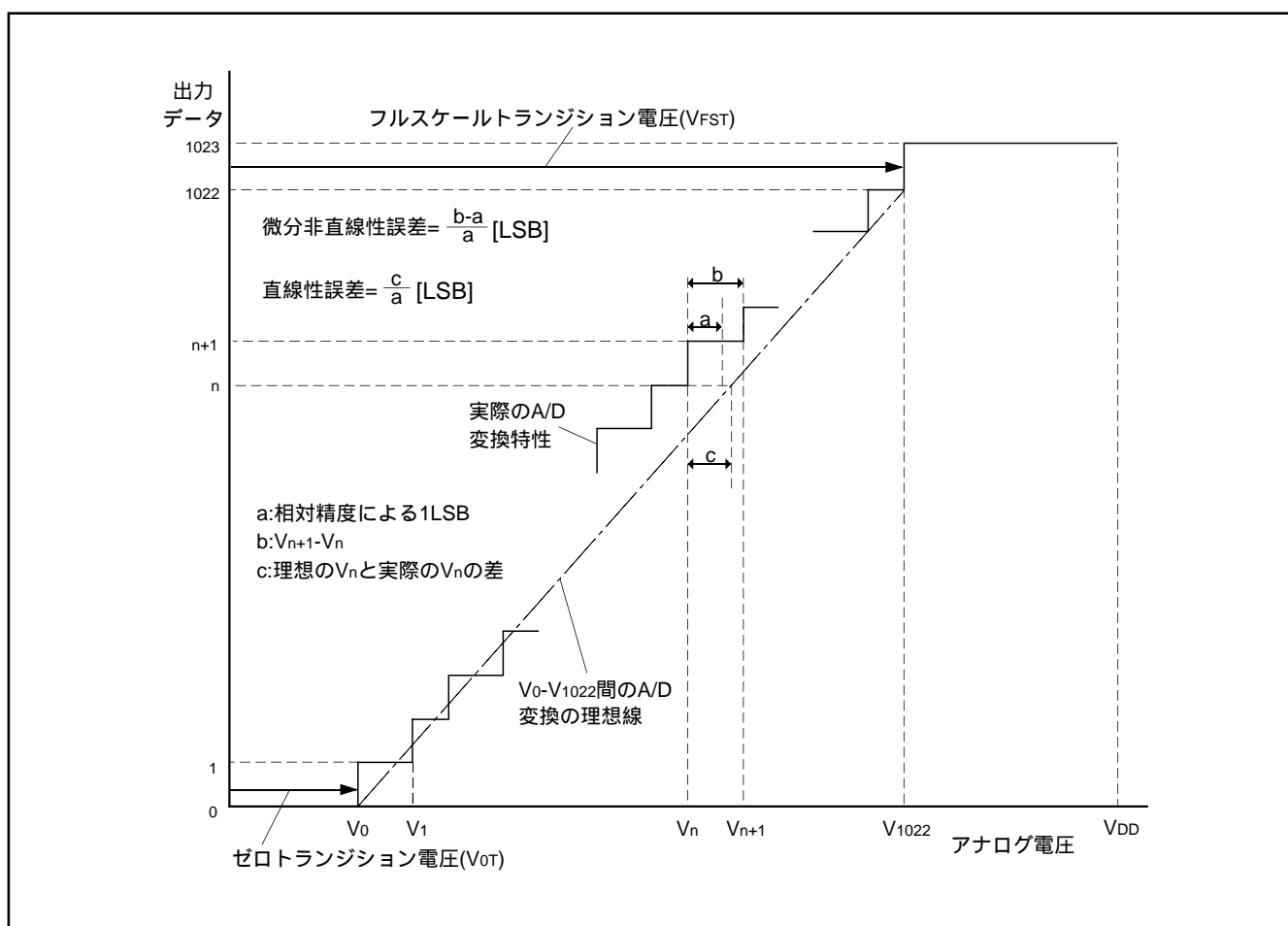
V_{0T}とV_{FST}を結ぶ直線と、V_{0T}からV_{FST}間の任意の変換値
との偏差

微分非直線性誤差

V_{0T}とV_{FST}間の任意の変換値を1LSB変化させるために必要
な入力電位差と、相対精度における1LSBとの偏差

絶対精度

0～V_{DD}間の理想特性と、実際のA/D変換特性との偏差



図JA-4. A/D変換精度の定義

V_n : 出力データが“n”から“n+1”に変化する
ときのアナログ入力電圧
(n=0～1022)

相対精度における1LSB $\frac{V_{FST}-V_{0T}}{1022}$ (V)

絶対精度における1LSB $\frac{V_{DD}}{1024}$ (V)

シリアルI/O

本製品はクロック同期形で8ビットデータを直列に送信及び受信できるシリアルI/Oを内蔵しています。

シリアルI/Oは、

- シリアルI/OレジスタSI
- シリアルI/O制御レジスタJ1
- シリアルI/O送受信終了フラグSIOF
- シリアルI/Oカウンタ

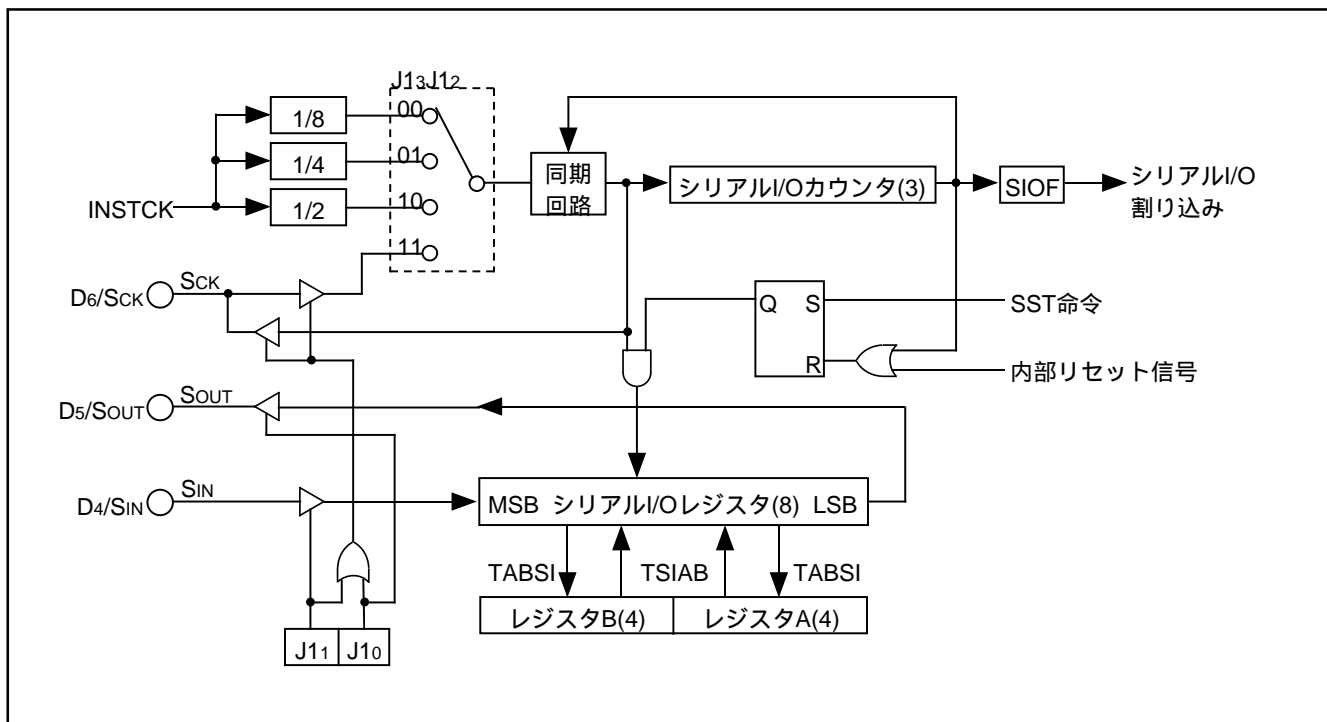
で構成されています。内部CPUとはレジスタA、レジスタBを介してデータの転送を行い、外部とはシリアルI/O入出力端子を介してデータの転送を行います。

シリアルI/O入出力の端子機能はレジスタJ1で設定できます。

表GA-1. シリアルI/O入出力端子

端子名	シリアルI/O 選択時の端子機能
D6/SCK	クロック入出力端子(SCK)
D5/SOUT	シリアルデータ出力端子(SOUT)
D4/SIN	シリアルデータ入力端子(SIN)

注. SCK, SOUT, SIN端子機能を使用している場合でも、D6, D5, D4端子の入力機能は有効です。

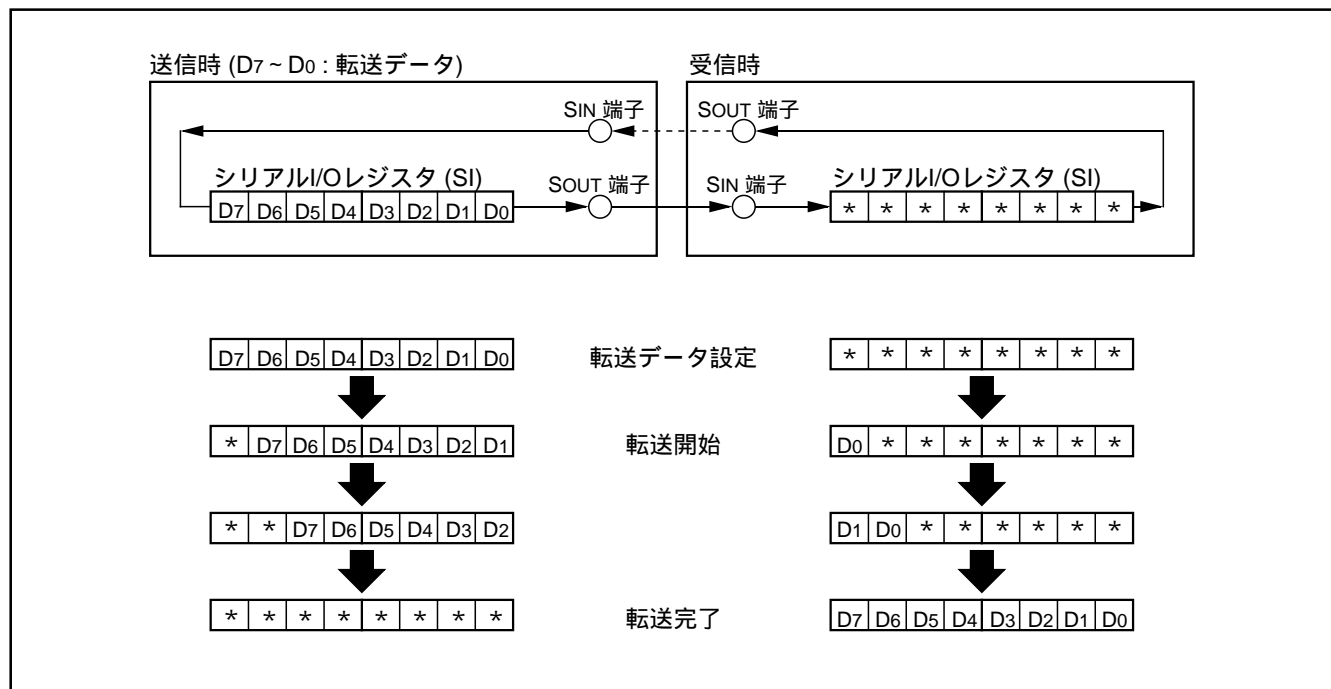


図GA-1. シリアルI/Oの構成

表GA-2. シリアルI/O制御レジスタ

シリアルI/O制御レジスタ J1		リセット時: 00002	パワーダウン時: 状態保持	R / W TAJ1 / TJ1A
J13	シリアルI/O 同期クロック選択ビット	同期クロック		
		J13 J12	00	インストラクションクロック (INSTCK) の8分周信号
			01	インストラクションクロック (INSTCK) の4分周信号
			10	インストラクションクロック (INSTCK) の2分周信号
		11	外部クロック (SCK 入力)	
J11	シリアルI/O ポート機能選択ビット	ポート機能		
		J11 J10	00	D6, D5, D4 選択 / SCK, SOUT, SIN 非選択
			01	SCK, SOUT, D4 選択 / D6, D5, SIN 非選択
			10	SCK, D5, SIN 選択 / D6, SOUT, D4 非選択
		11	SCK, SOUT, SIN 選択 / D6, D5, D4 非選択	

注. "R" は読み出し可, "W" は書き込み可を表します。



図GA-2. 送受信時のシリアルI/Oレジスタの状態

(1)シリアルI/OレジスタSI

レジスタSIは、8ビットのデータ転送用直並列変換レジスタです。

TSIAB命令でレジスタA、レジスタBを介してデータを設定できます。なお、レジスタAの内容は、レジスタSIの下位4ビットに、レジスタBの内容はレジスタSIの上位4ビットに転送されます。送信時はレジスタSIの最下位ビット(ビット0)からLSBファーストで1ビットずつデータを送り出し、受信時にはレジスタSIの最上位ビット(ビット7)からLSBファーストで1ビットずつデータを受け取ります。シリアルI/Oを使用せず、レジスタSIをワークレジスタとして使用する場合は、Sck端子を選択しないようにしてください。

(2)シリアルI/O送受信終了フラグ(SIOF)

フラグSIOFは、シリアルデータ送信又は受信が終了すると“1”にセットされます。フラグSIOFの状態は、スキップ命令の実行(SNZSI命令)により確認できます。割り込みとスキップ命令のどちらを使用するかは割り込み制御レジスタV2で選択してください。

フラグSIOFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(3)シリアルI/Oスタート命令(SST命令)

SST命令を実行すると、フラグSIOFを“0”にクリアした後、シリアルI/O送受信が開始されます。

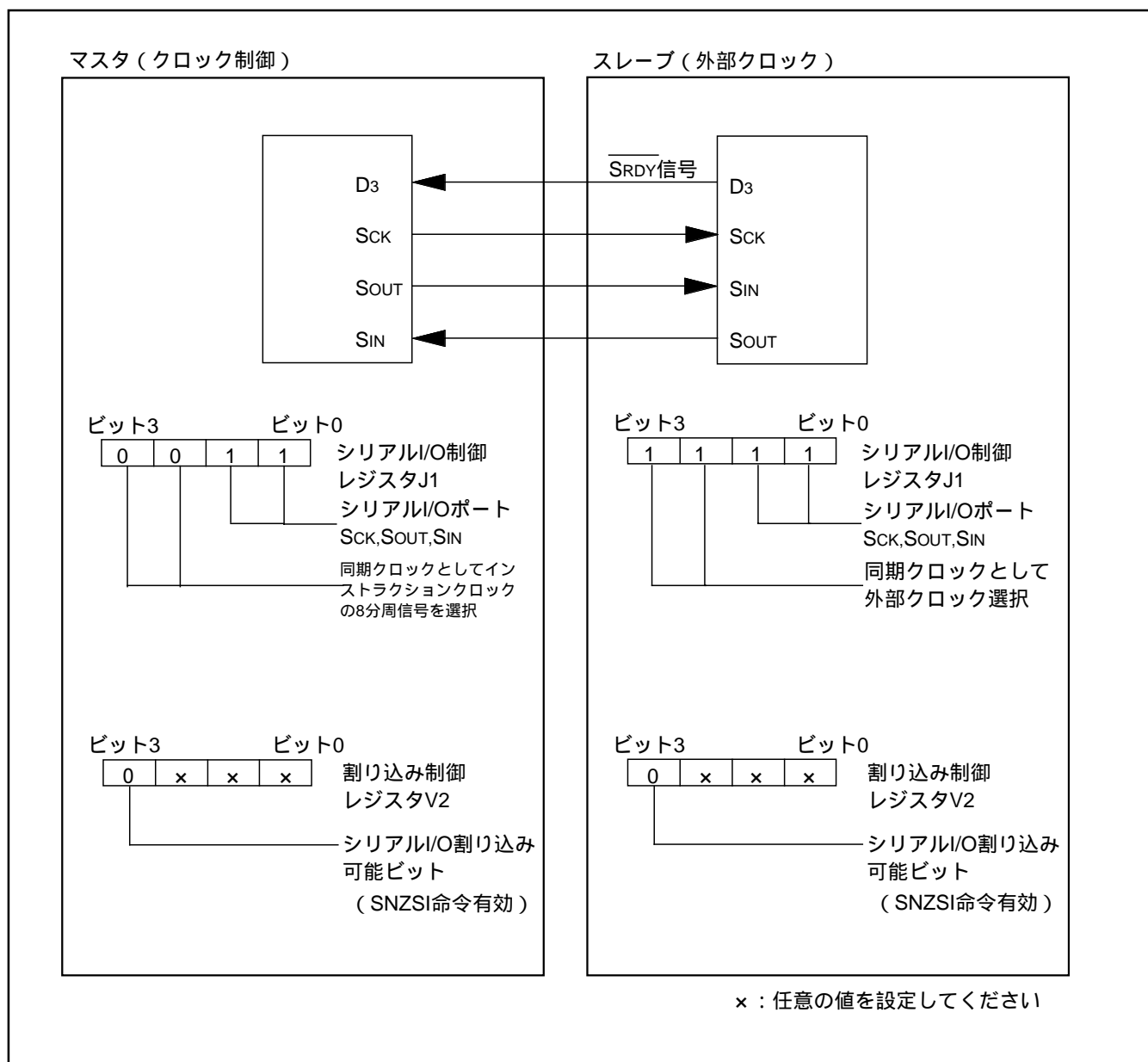
(4)シリアルI/O制御レジスタJ1

レジスタJ1は同期クロック、D6/Sck端子、D5/Sout端子、D4/Sin端子の機能を制御します。このレジスタの内容は、TJ1A命令でレジスタAを介して設定してください。またTAJ1命令でレジスタJ1の内容をレジスタAに転送できます。

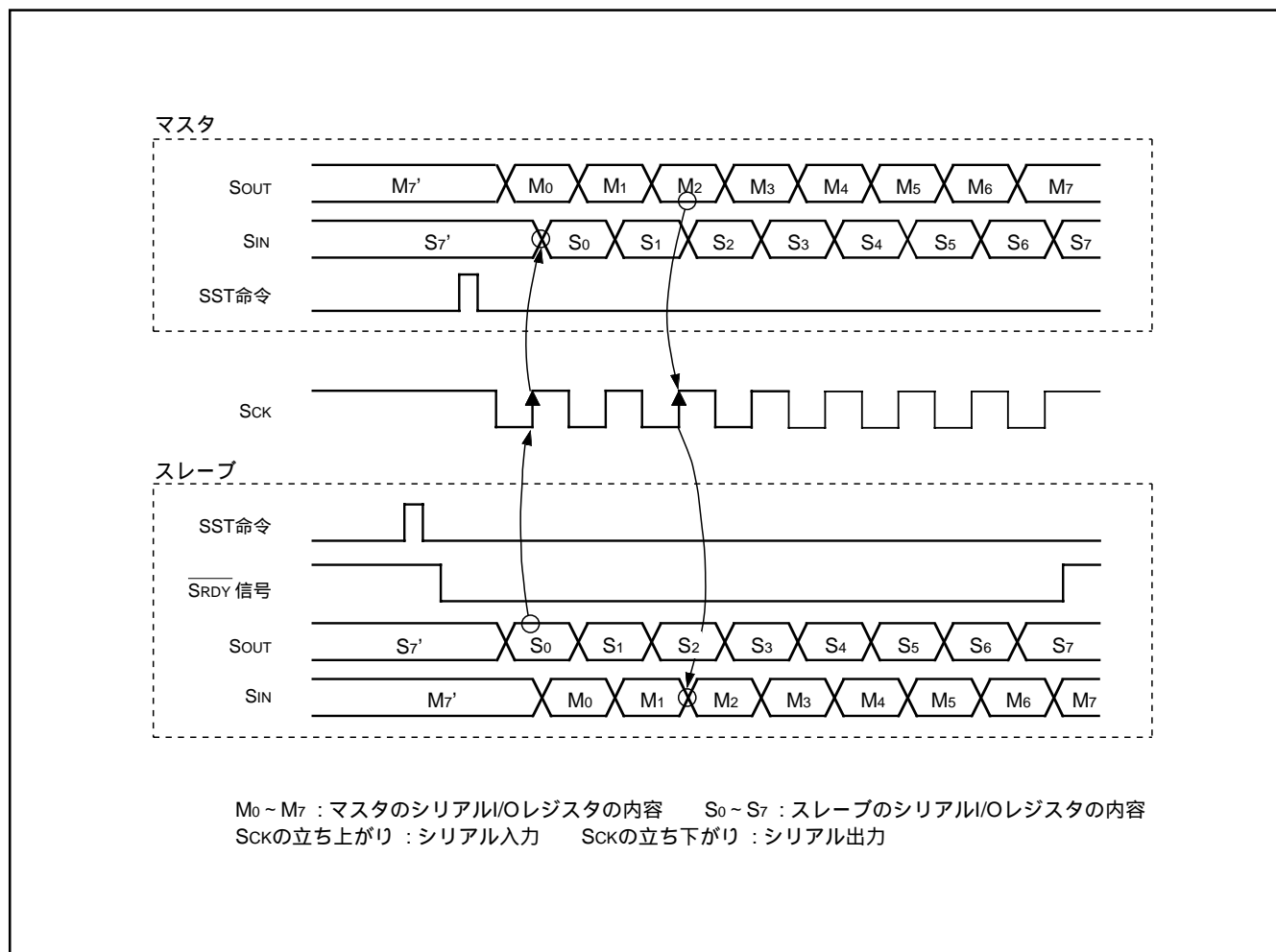
(5) シリアルI/Oの使用法

図GA-3の接続例でのデータ転送タイミング、データ転送処理シーケンスを示します。

この例ではシリアルI/O割り込みは使用していません。また、実配線では各端子間の配線は、抵抗を介してプルアップしてください。



図GA-3. シリアルI/Oの接続例



図GA-4. シリアルI/O転送のタイミング

表GA-3. マスタからスレーブへのデータ転送の処理シーケンス

マスタ(送信時)	スレーブ(受信時)
【初期設定】 ・図GA-3に示すようにシリアルI/O制御レジスタJ1及び割り込み制御レジスタV2を設定 ----- TJ1A,TV2A命令	【初期設定】 ・図GA-3に示すようにシリアルI/O制御レジスタJ1及び割り込み制御レジスタV2を設定 ----- TJ1A,TV2A命令
・受信可能信号(SRDY)を受けるポートを入力に設定 (この例では、ポートD ₃ を使用します。) ----- SD命令	・受信可能信号(SRDY)を受けるポートを設定し、“H”(受信不可)を出力 (この例では、ポートD ₃ を使用します。) ----- SD命令
*【送信可能状態】 ・シリアルI/OレジスタSIに送信データを格納 ----- TSIAB命令	*【受信可能状態】 ・シリアルI/O送受信終了フラグ(SIOF)を“0”にクリア ----- SST命令 ・ポートD ₃ から“L”(受信可能)を出力 ----- RD命令
【送信】 ・ポートD ₃ が“L”になったことを確認 ----- SZD命令 ・シリアル転送を開始 ----- SST命令 ・送信終了を確認 ----- SNZSI命令 ・ウェイト(連続転送時のタイミング)	【受信】 ・受信終了を確認 ----- SNZSI命令 ・ポートD ₃ から“H”を出力 ----- SD命令
	【データ処理】

以上の処理で1バイトのデータがシリアル転送されます。以後は、*以降の処理を繰り返すことにより、多数のデータを連続転送することができます。

同期クロックとして外部クロックを選択した場合、外部からクロックが入力される限りシリアル転送は実行されますので、外部でクロックを制御してください(内部クロック使用時のように転送終了時クロックは停止しません)。

ただし、シリアルI/O送受信終了フラグ(SIOF)はSST命令実行後、クロックを8回カウントしたとき“1”にセットされます。なお、外部クロックの初期レベルは必ず“H”にしてください。

液晶表示機能

本製品はLCD(液晶表示画素)コントローラ/ドライバを内蔵しています。

LCD用電源入力(VLC1~VLC3)端子に適切な電圧を印加し、タイマ制御レジスタ(W6) タイマLC, LCD制御レジスタ(L1, L2) LCD表示用RAMにデータを設定するとコントローラ/ドライバは自動的に表示データを読み出し、デューティ制御及びバイアス制御を行い、LCDを点灯します。

LCDの駆動には、コモン信号出力端子4本とセグメント信号出力端子20本が使用でき、最大80セグメント(1/4デューティ、1/3バイアス選択時)の表示制御ができます。

LCD用電源入力(VLC1~VLC3)端子はSEG0~SEG2端子と兼用です。SEG0~SEG2を選択した場合、LCD用電源に内部電源(VDD)を使用します。

(1)デューティ及びバイアス制御

LCD表示方式であるデューティとバイアスの組み合わせは次の3通りです。使用するLCDパネルに適應する表示方式を、LCD制御レジスタ(L1)のビット0,1で選択してください。

- 1/2デューティ、1/2バイアス
- 1/3デューティ、1/3バイアス
- 1/4デューティ、1/3バイアス

表LCD-1. デューティと最大表示画素数

デューティ	最大表示画素数	使用COM端子
1/2	40セグメント	COM0, COM1 (注)
1/3	60セグメント	COM0~COM2 (注)
1/4	80セグメント	COM0~COM3

注. 使用しないCOM端子は開放してください。

(2)LCDクロック制御

LCDクロックは、タイマLCカウントソース選択ビット(W62)、タイマLC制御ビット(W63)、タイマLCの設定値により決定します。したがって、LCDクロックの周波数(F)は次式で求めることができます。式下の番号()は図LCD-1に対応しています。

プリスケアラ出力(ORCLK)をタイマLCのカウントソースに設定した場合(W62="1")

$$F = \text{ORCLK} \times \frac{1}{LC+1} \times \frac{1}{2}$$

タイマ5のビット4(T54)をタイマLCのカウントソースに設定した場合(W62="0")

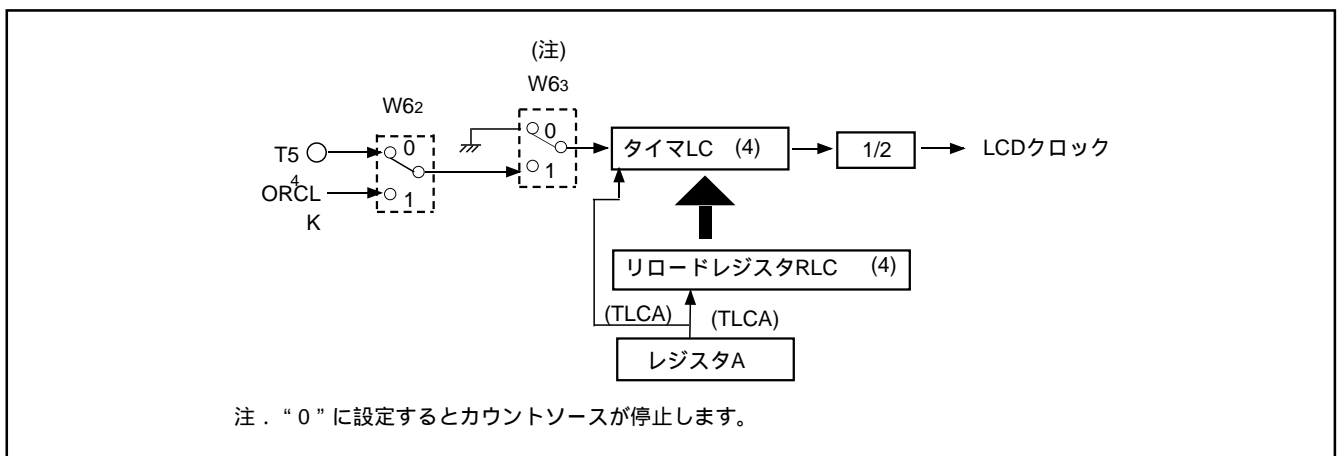
$$F = T54 \times \frac{1}{LC+1} \times \frac{1}{2}$$

[LC : 0 ~ 15]

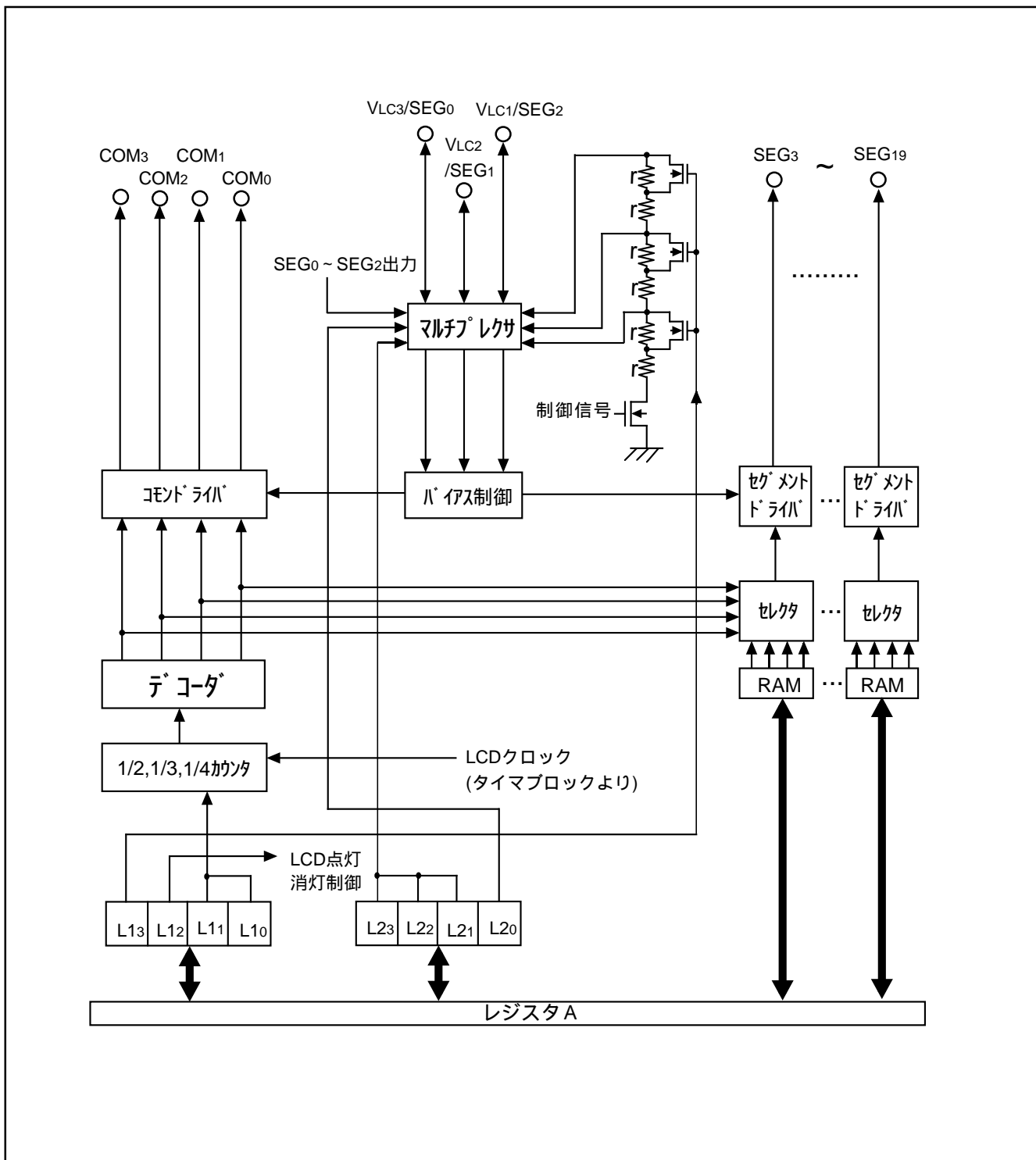
各表示方式におけるフレーム周波数は、次式で求めることができます。

$$\text{フレーム周波数} = \frac{F}{n} \text{ (Hz)} \quad \text{フレーム周期} = \frac{n}{F} \text{ (s)}$$

[F : LCDクロックの周波数
1/n : デューティ]



図LCD-1. LCDクロック制御回路の構成



図LCD-2 . LCDコントローラ/ドライバの構成

(3) LCD表示用RAM

RAMには液晶表示に対応した領域が含まれています。このLCD表示用RAMに“1”を書き込むと、そのビットに対応する表示画素が自動的に点灯します。

Z	1											
X	12				13				14			
Y ビット	3	2	1	0	3	2	1	0	3	2	1	0
8	SEG0	SEG0	SEG0	SEG0	SEG8	SEG8	SEG8	SEG8	SEG16	SEG16	SEG16	SEG16
9	SEG1	SEG1	SEG1	SEG1	SEG9	SEG9	SEG9	SEG9	SEG17	SEG17	SEG17	SEG17
10	SEG2	SEG2	SEG2	SEG2	SEG10	SEG10	SEG10	SEG10	SEG18	SEG18	SEG18	SEG18
11	SEG3	SEG3	SEG3	SEG3	SEG11	SEG11	SEG11	SEG11	SEG19	SEG19	SEG19	SEG19
12	SEG4	SEG4	SEG4	SEG4	SEG12	SEG12	SEG12	SEG12				
13	SEG5	SEG5	SEG5	SEG5	SEG13	SEG13	SEG13	SEG13	—	—	—	—
14	SEG6	SEG6	SEG6	SEG6	SEG14	SEG14	SEG14	SEG14				
15	SEG7	SEG7	SEG7	SEG7	SEG15	SEG15	SEG15	SEG15				
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

注. — は、LCD表示用RAMはありません。

図LCD-3 . LCD表示用RAMマップ

(4) LCD駆動波形

LCD表示用RAMデータが“1”であるビットに対応するコモン端子とセグメント端子の電位差が自動的に |V_{LC3}| になり、その交点の表示画素が点灯します。

リセットからの復帰時及びRAMバックアップモード時には、セグメント出力及びコモン出力端子はすべてV_{LC3}レベルとなり、表示画素は消灯します。

表LCD-2 . LCD制御レジスタ

LCD 制御レジスタ L1		リセット時 : 00002		パワーダウン時 : 状態保持	R / W TAL1 / TL1A
L13	LCD 電源用 内部分割抵抗選択ビット (注2)	0	2r × 3, 2r × 2		
		1	r × 3, r × 2		
L12	LCD 制御ビット	0	消灯		
		1	点灯		
L11	LCD デューティ, バイアス選択ビット	L11 L10	デューティ		バイアス
		0 0	使用禁止		使用禁止
0 1		1 / 2		1 / 2	
L10		1 0	1 / 3		1 / 3
	1 1	1 / 4		1 / 3	

LCD 制御レジスタ L2		リセット時 : 11112		パワーダウン時 : 状態保持	W TL2A
L23	V _{LC3} / SEG ₀ 端子機能選択ビット (注3)	0	SEG ₀		
		1	V _{LC3}		
L22	V _{LC2} / SEG ₁ 端子機能選択ビット (注4)	0	SEG ₁		
		1	V _{LC2}		
L21	V _{LC1} / SEG ₂ 端子機能選択ビット (注4)	0	SEG ₂		
		1	V _{LC1}		
L20	LCD 電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

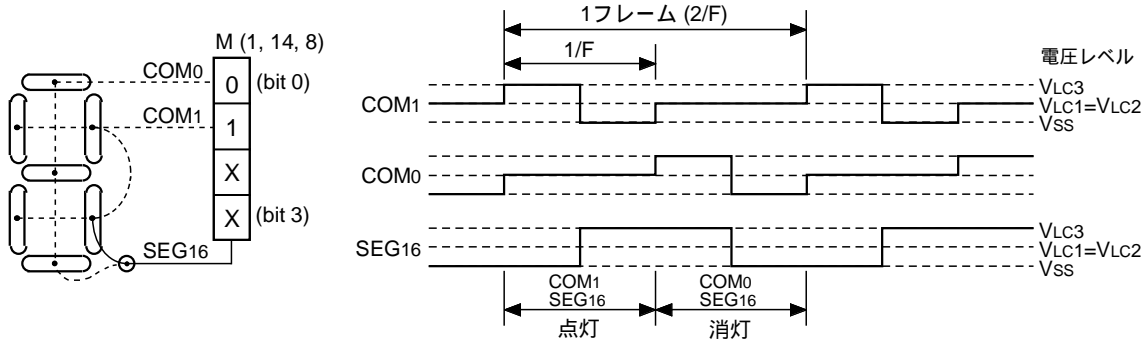
注1.“R”は読み出し可、“W”は書き込み可を表します。

2. 1 / 3 バイアス選択時は“×3”、1 / 2 バイアス選択時は“×2”の抵抗を使用します。

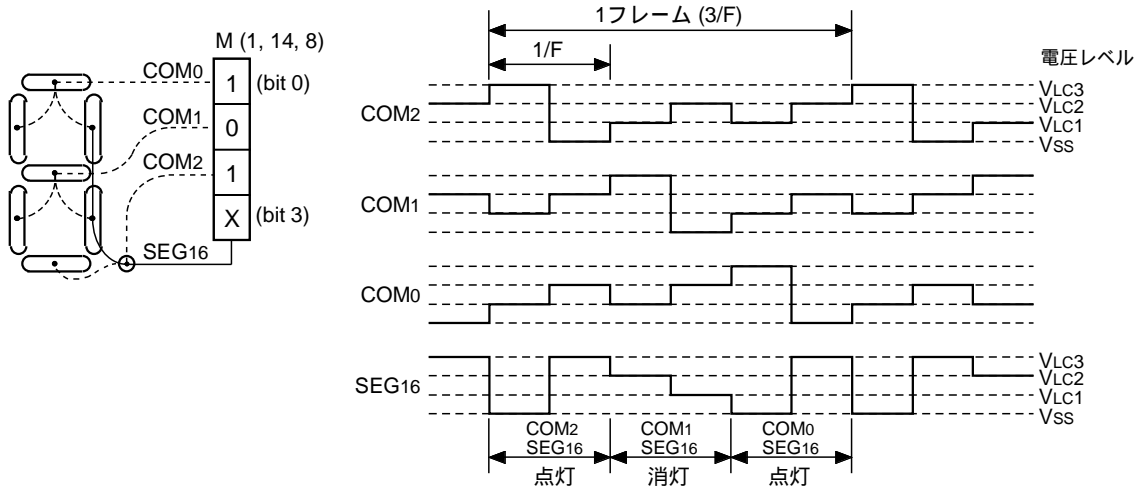
3. SEG₀ 端子を選択した場合は、V_{LC3} は内部でV_{DD}に接続されます。

4. SEG₁, SEG₂ 端子を選択した場合は、必ず内部分割抵抗を使用してください。

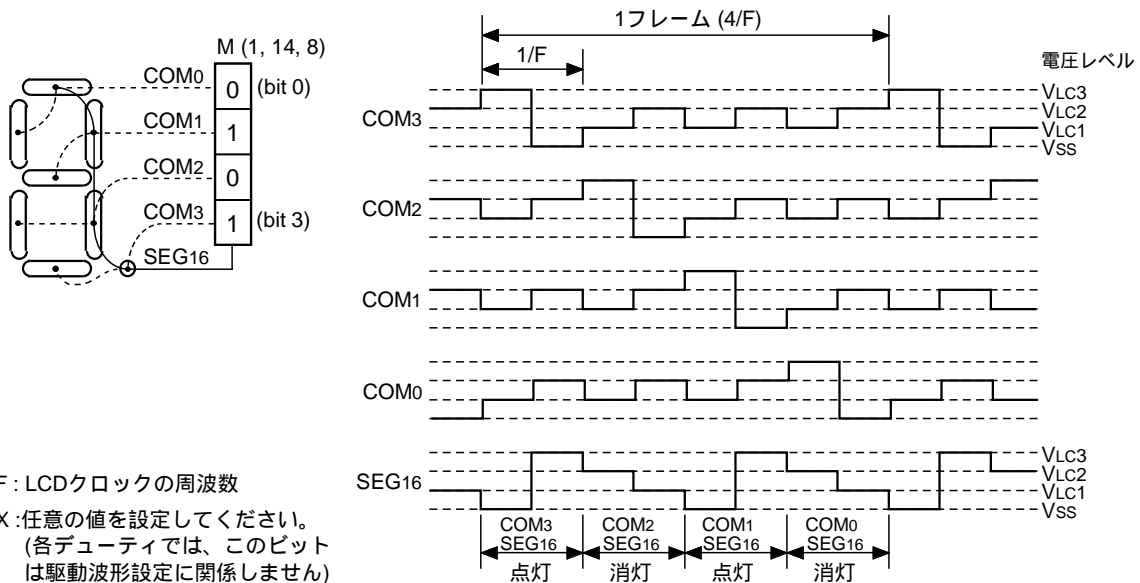
1/2デューティ、1/2バイアス：RAMのM (1, 14, 8) 番地に (XX10)₂ を書き込んだ時



1/3デューティ、1/3バイアス：RAMのM (1, 14, 8) 番地に (X101)₂ を書き込んだ時



1/4デューティ、1/3バイアス：RAMのM (1, 14, 8) 番地に (1010)₂ を書き込んだ時



F : LCDクロックの周波数
 X : 任意の値を設定してください。
 (各デューティでは、このビットは駆動波形設定に関係しません)

図LCD-4 . 駆動波形例

(5) LCD電源回路

内部分割抵抗

LCD電源回路は、使用するLCDパネルに適應する構成を選択してください。

LCD電源回路の構成は以下の設定により決定します。

レジスタL2のビット0で内部分割抵抗の制御を設定

レジスタL1のビット3で内部分割抵抗を選択

レジスタL1のビット0、1でバイアス条件を選択

本製品はLCD電源用の分割抵抗を内蔵しています。

レジスタL2のビット0を“0”に設定すると、内部分割抵抗が有効状態になります。ただし、レジスタL1のビット2を“0”に設定してLCDを消灯すると、内部分割抵抗は切り離されます。

内部分割抵抗には、同一値の抵抗(r)が6個用意されており、レジスタL1のビット3の設定値と使用するバイアス条件により、次のとおりに抵抗が使用されます。

- L13=“0”、1/3バイアス使用時： $2r \times 3 = 6r$
- L13=“0”、1/2バイアス使用時： $2r \times 2 = 4r$
- L13=“1”、1/3バイアス使用時： $r \times 3 = 3r$
- L13=“1”、1/2バイアス使用時： $r \times 2 = 2r$

VLC3 / SEG0端子

レジスタL2のビット3でVLC3 / SEG0端子機能の選択を制御できます。

VLC3端子機能を選択した場合は、外部よりVLC3 VDDの電圧を印加してください。

SEG0端子機能を選択した場合は、VLC3はVDDに内部で接続されます。

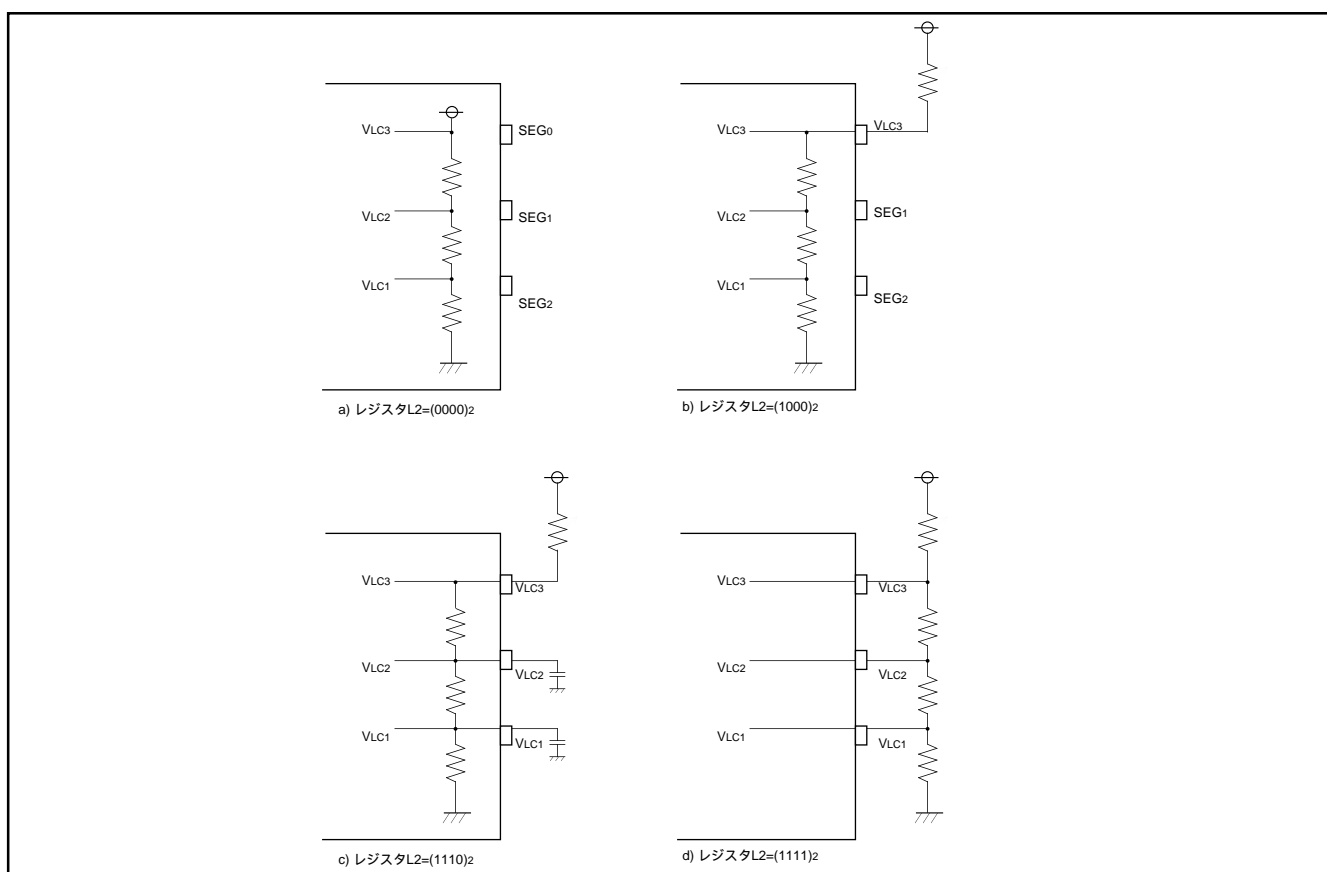
VLC2 / SEG1、VLC1 / SEG2端子

レジスタL2のビット2でVLC2 / SEG1端子機能の選択を、レジスタL2のビット1でVLC1 / SEG2端子機能の選択をそれぞれ制御できます。

VLC2、VLC1端子機能を選択した場合で、内部分割抵抗を使用しないときは、外部より0 VLC1 VLC2 VLC3の電圧をそれぞれ印加してください。1/2バイアス使用時はVLC2端子とVLC1端子とを短絡してください。

VLC2、VLC1端子機能を選択した場合で、内部分割抵抗を使用するときは、内部で生成した分圧値がVLC2、VLC1端子からそれぞれ出力されます。1/2バイアス使用時VLC2、VLC1端子は同電位になります。

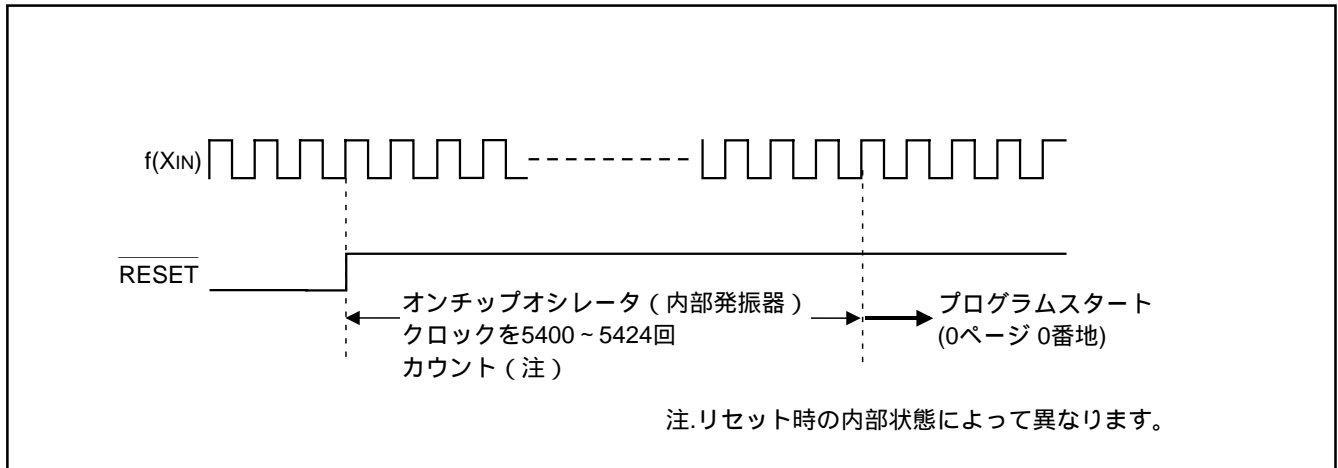
SEG1、SEG2端子機能を選択した場合は、必ず内部分割抵抗を使用してください。このとき、VLC2、VLC1は内部で生成された分圧値にそれぞれ接続されます。



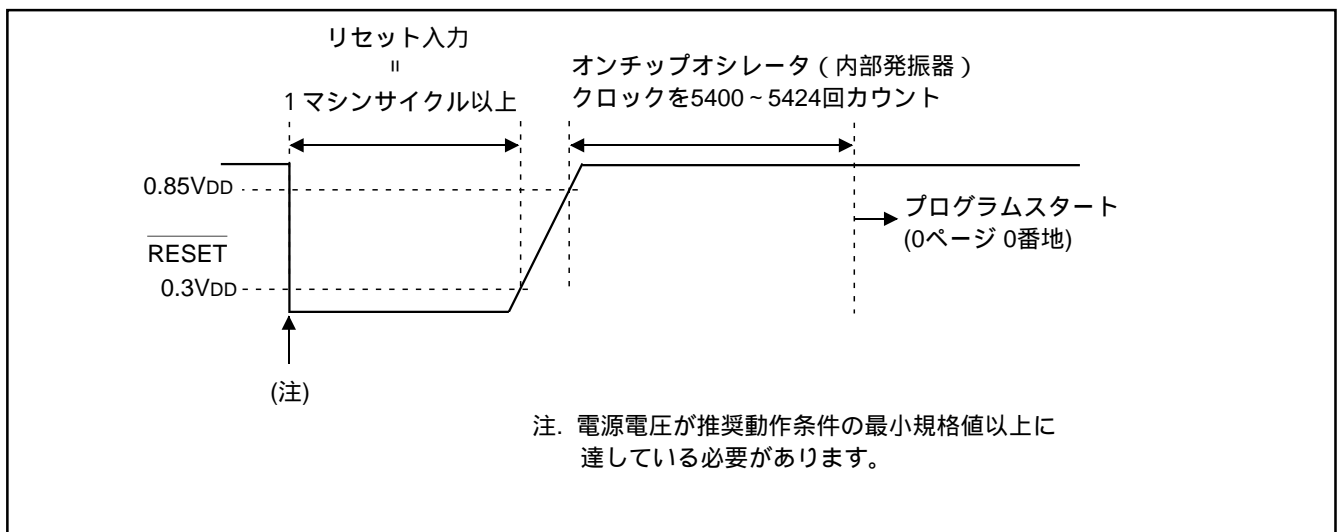
図LCD-5 . LCD電源回路例(1/3バイアス条件選択時)

リセット機能

電源電圧が推奨動作条件の最小規格値以上で、RESET端子に1マシンサイクル以上「L」レベルを印加すると、マイクロコンピュータがいかなる状態であってもシステムリセットが実行されます。その後、RESET端子に「H」レベルを印加すると、0ページの0番地からソフトウェアが開始されます。



図VB-1 . リセット解除のタイミング



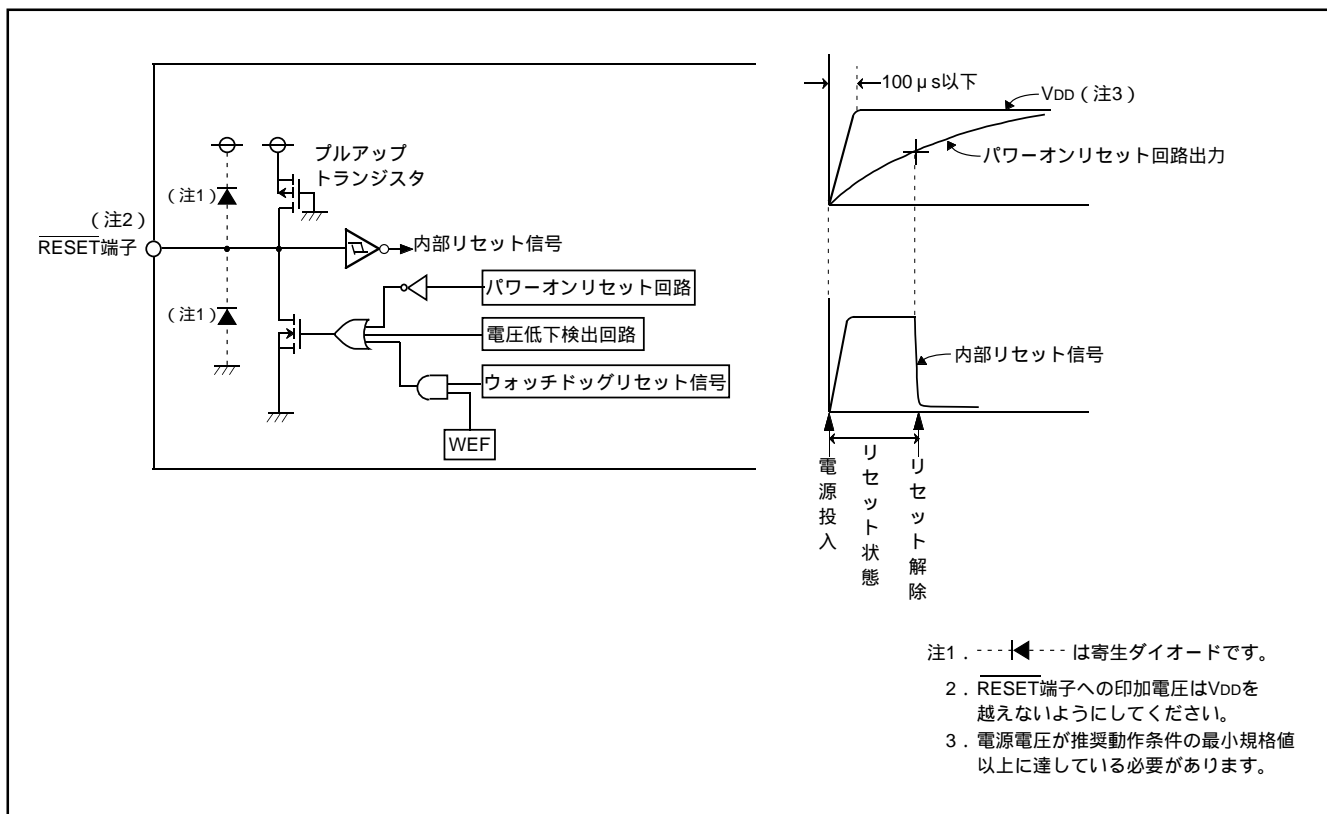
図VB-2 . RESET端子の入力波形とリセット動作

(1) パワーオンリセット

本製品は電源投入時に自動リセット(パワーオンリセット)をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μs以下に設定してください。

立ち上がり時間が100 μsを越える場合には、 $\overline{\text{RESET}}$ 端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。



図VB-3. $\overline{\text{RESET}}$ 端子周辺の構成とパワーオンリセット動作

表VB-1. リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0 ~ D3	D0 ~ D3	ハイインピーダンス状態 (注1、注2)
D4/SIN、D5/SOUT、D6/SCK	D4 ~ D6	ハイインピーダンス状態 (注1、注2)
D7/CNTR0	D7	ハイインピーダンス状態 (注1、注2)
D8/INT0、D9/INT1	D8、D9	ハイインピーダンス状態 (注1)
P00 ~ P03	P00 ~ P03	ハイインピーダンス状態 (注1、注2、注3)
P10 ~ P13	P10 ~ P13	ハイインピーダンス状態 (注1、注2、注3)
P20/AIN0 ~ P23/AIN3	P20 ~ P23	ハイインピーダンス状態 (注1)
P30/AIN4 ~ P33/AIN7	P30 ~ P33	ハイインピーダンス状態 (注1)
P40 ~ P43	P40 ~ P43	ハイインピーダンス状態 (注1、注2)
C/CNTR1	C	“L”(Vss)レベル

注1. 出力ラッチは“1”にセットされます。
 2. 出力形式は、Nチャンネルオープンドレインになります。
 3. プルアップトランジスタは、OFFします。

- プログラムカウンタ (PC)

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

0ページの0番地がセットされます。
- 割り込み許可フラグ (INTE)

0

 (割り込み禁止)
- パワーダウンフラグ (P)

0

- 外部0割り込み要求フラグ (EXF0)

0

- 外部1割り込み要求フラグ (EXF1)

0

- 割り込み制御レジスタ V1

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ V2

0	0	0	0
---	---	---	---

 (割り込み禁止)
- 割り込み制御レジスタ I1

0	0	0	0
---	---	---	---
- 割り込み制御レジスタ I2

0	0	0	0
---	---	---	---
- 割り込み制御レジスタ I3

0

- タイマ 1 割り込み要求フラグ (T1F)

0

- タイマ 2 割り込み要求フラグ (T2F)

0

- タイマ 3 割り込み要求フラグ (T3F)

0

- タイマ 4 割り込み要求フラグ (T4F)

0

- タイマ 5 割り込み要求フラグ (T5F)

0

- ウォッチドッグタイマフラグ (WDF1,WDF2).....

0

- ウォッチドッグタイマイネーブルフラグ (WEF).....

1

- タイマ制御レジスタ PA

0

 (プリスケアラ停止)
- タイマ制御レジスタ W1

0	0	0	0
---	---	---	---

 (タイマ 1停止)
- タイマ制御レジスタ W2

0	0	0	0
---	---	---	---

 (タイマ 2停止)
- タイマ制御レジスタ W3

0	0	0	0
---	---	---	---

 (タイマ 3停止)
- タイマ制御レジスタ W4

0	0	0	0
---	---	---	---

 (タイマ 4停止)
- タイマ制御レジスタ W5

0	0	0	0
---	---	---	---

 (タイマ 5停止)
- タイマ制御レジスタ W6

0	0	0	0
---	---	---	---

 (タイマ LC停止)
- クロック制御レジスタ MR

1	1	0	0
---	---	---	---
- シリアルI/O送受信終了フラグ (SIOF)

0

- シリアルI/Oモードレジスタ J1

0	0	0	0
---	---	---	---

 (外部クロック選択、
シリアルI/Oポート非選択)
- シリアルI/Oレジスタ SI

x	x	x	x	x	x	x	x
---	---	---	---	---	---	---	---

“ x ” は不定を表します。

図VB-4.リセット時の内部状態(1)

● A/D変換終了フラグ (ADF)	0
● A/D制御レジスタ Q1	0 0 0 0
● A/D制御レジスタ Q2	0 0 0 0
● A/D制御レジスタ Q3	0 0 0 0
● 逐次比較レジスタ AD	X X X X X X X X X X
● コンパレータレジスタ	X X X X X X X X
● LCD制御レジスタL1	0 0 0 0
● LCD制御レジスタL2	1 1 1 1
● キーオンウェイクアップ制御レジスタ K0 ..	0 0 0 0
● キーオンウェイクアップ制御レジスタ K1 ..	0 0 0 0
● キーオンウェイクアップ制御レジスタ K2 ..	0 0 0 0
● プルアップ制御レジスタ PU0	0 0 0 0
● プルアップ制御レジスタ PU1	0 0 0 0
● ポート出力形式制御レジスタFR0	0 0 0 0
● ポート出力形式制御レジスタFR1	0 0 0 0
● ポート出力形式制御レジスタFR2	0 0 0 0
● ポート出力形式制御レジスタFR3	0 0 0 0
● キャリフラグ (CY)	0
● レジスタ A	0 0 0 0
● レジスタ B	0 0 0 0
● レジスタ D	X X X
● レジスタ E	X X X X X X X X
● レジスタ X	0 0 0 0
● レジスタ Y	0 0 0 0
● レジスタ Z	X X
● スタックポインタ (SP)	1 1 1
● 動作源クロック	オンチップオシレータ (動作状態)
● セラミック発振回路	動作状態
● RC発振回路	停止状態
● 水晶発振回路	動作状態

“X” は不定を表します。

図VB-5 . リセット時の内部状態(2)

電圧低下検出回路

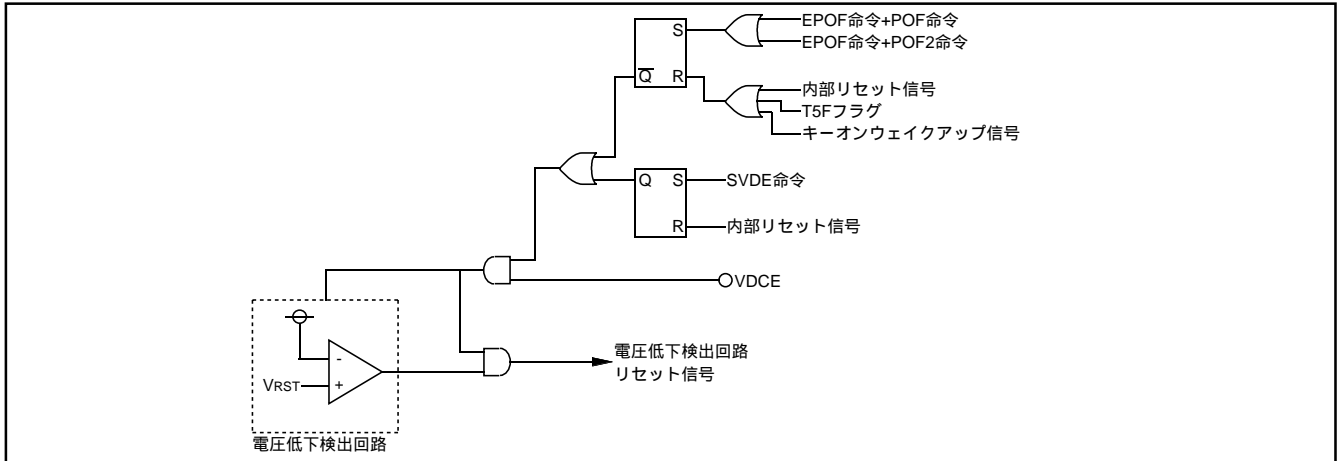
本製品には、電源電圧の低下を検出し電源電圧がある一定値以下になると、マイクロコンピュータにシステムリセットをかける電圧低下検出回路が内蔵されています。

VDCE端子が“H”の状態、CPU動作時に電圧低下検出回路が有効になります。

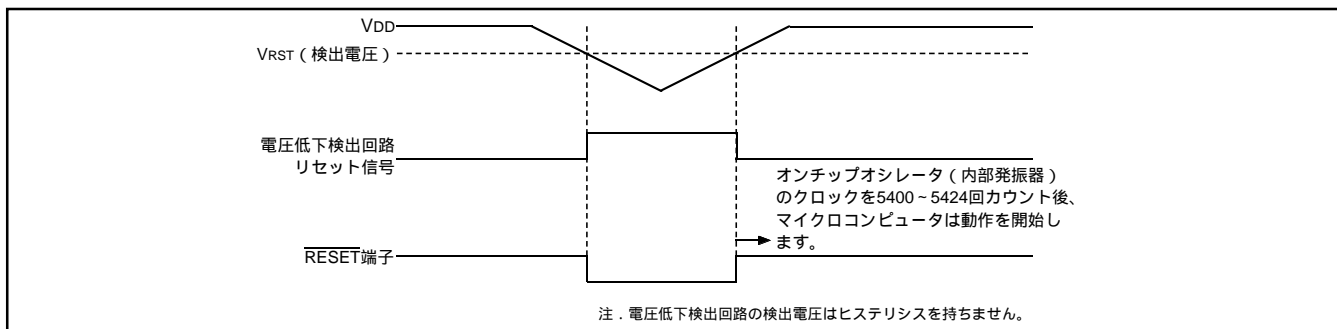
また、SVDE命令を実行するとパワーダウンモードに遷移後も電圧低下検出回路が有効になります。

SVDE命令の実行は一度だけ有効です。

SVDE命令の実行を解除するには、マイクロコンピュータをシステムリセットする必要があります。



図VC-1 . 電圧低下検出回路



図VC-2 . 電圧低下検出回路動作波形

表VC-1 . 電圧低下検出回路動作状態

VDCE端子	CPU動作時	パワーダウン時 (SVDE命令未実行)	パワーダウン時 (SVDE命令実行)
“L”	x	x	x
“H”		x	

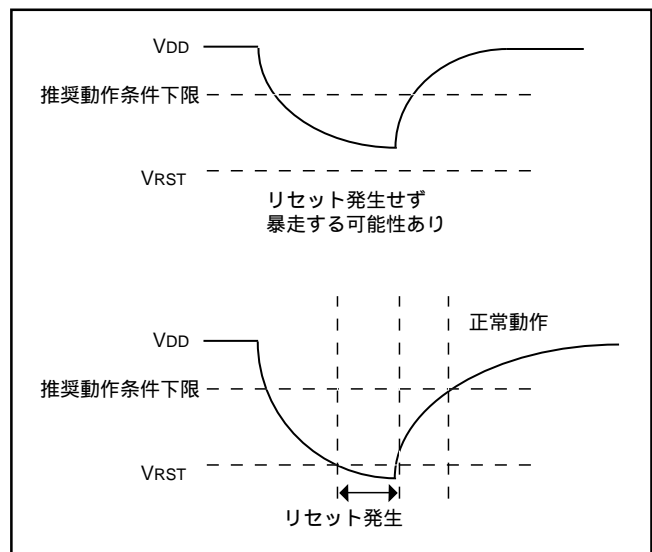
注 . “ ”は有効状態、“ x ”は無効状態を表します。

電圧低下検出回路を使用する場合の注意事項

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がVRST以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図VC-3)。

このような場合は、電源電圧を一旦VRST以下まで低下させ、その後再上昇するようなシステム設計をしてください。



図VC-3 . VDDとVRST

パワーダウン機能

本製品は、2種類のパワーダウン機能を持ち、EPOF命令直後にPOF命令あるいはPOF2命令を連続して実行することにより、それぞれ次のパワーダウン状態になります。

時計動作モード EPOF命令 + POF命令

RAMバックアップモード EPOF命令 + POF2命令

POF命令あるいはPOF2命令実行直前にEPOF命令が実行されない場合、これらの命令はNOP命令になります。

(1) 時計動作モード

時計動作モード時は、次の機能および状態が保持されます。

- RAM
- リセット回路
- サブクロック発振回路(XCIN - XCOUT)
- LCD表示機能
- タイマ5

(2) RAMバックアップモード

RAMバックアップモード時は、次の機能および状態が保持されます。

- RAM
- リセット回路

(3) ウォームスタート条件

- パワーダウン状態から復帰する場合、
- 外部ウェイクアップ信号入力
- タイマ5アンダフロー

のいずれかで、CPUは0ページの0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“1”です。

(4) コールドスタート条件

- RESET端子にリセットパルスを入力
- ウォッチドッグタイマによるリセットが発生
- 電圧低下検出回路によるリセットが発生

のいずれかで、CPUは0ページ0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“0”です。

(5) コールドスタートとウォームスタートの識別

ウォームスタートとコールドスタートとのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで認識できます。

また、時計動作モードからのウォームスタート条件は、タイマ5割り込み要求フラグ(T5F)の状態を調べることで認識できます。

表WD-1. パワーダウン時に保持される機能と状態

機 能	パワーダウンモード	
	時計動作	RAMバックアップ
プログラムカウンタ(PC) スタックポインタ(SP) (注2) キャリフラグ(CY) レジスタ A, B	×	×
RAMの内容		
割り込み制御レジスタ V1, V2	×	×
割り込み制御レジスタ I1 ~ I3		
発振回路の選択		
クロック制御レジスタ MR		
タイマ1~4機能	(注3)	(注3)
タイマ5機能		
タイマLC機能		(注3)
ウォッチドッグタイマ機能	×(注4)	×(注4)
タイマ制御レジスタ PA, W4	×	×
タイマ制御レジスタ W1 ~ W3, W5, W6		
シリアルI/O機能	×	×
シリアルI/O制御レジスタ J1		
A/D機能	×	×
A/D制御レジスタ Q1 ~ Q3		
LCD表示機能		(注5)
LCD制御レジスタ L1, L2		
電圧低下検出回路	(注6)	(注6)
ポートのレベル	(注7)	(注7)
キーオンウェイクアップ制御レジスタ K0 ~ K2		
ブルアップ制御レジスタ PU0, PU1		
ポート出力形式制御レジスタ FR0 ~ FR3		
外部割り込み要求フラグ EXF0, EXF1	×	×
タイマ割り込み要求フラグ T1F ~ T4F	(注3)	(注3)
タイマ割り込み要求フラグ T5F		
A/D変換終了フラグ ADF	×	×
シリアルI/O送受信終了フラグ SIOF	×	×
割り込み許可フラグ INTE	×	×
ウォッチドッグタイマフラグ WDF1, WDF2	×(注4)	×(注4)
ウォッチドッグタイマイネーブルフラグ WEF	×(注4)	×(注4)

注1. 表中、“ ”は保持可能、“×”は初期化を示します。上記以外のレジスタ及びフラグの内容はパワーダウン時には不定ですので、復帰後初期値を設定してください。

2. スタックポインタは、スタックレジスタの位置を示すもので、パワーダウン時には“7”に初期化されます。
3. タイマの状態は不定になります。
4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、パワーダウン状態にしてください。
5. LCDは消灯します。
6. 電圧低下検出回路は、VDCE端子が“H”の状態でもSVDE命令を実行すると、パワーダウン時に有効になります。
7. パワーダウン時、C/CNTR1端子は、“L”レベルを出力します。ただし、CNTR入力(W11, W10=“11”)を選択している場合は、入力可能状態を保持します(出力ハイインピーダンス)。その他のポートは出力レベルを保持します。

(6) 復帰信号

時計動作モードからの復帰は、外部ウェイクアップ信号又はタイマ5割り込み要求フラグ(T5F)で行います。RAMバックアップモードからの復帰は、発振が停止しているため外部ウェイクアップ信号で行います。表WD-2に復帰要因ごとに復帰条件を示します。

(7) キーオンウェイクアップ関連レジスタ

キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK1A命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

キーオンウェイクアップ制御レジスタ K2

レジスタK2は、INT0、INT1端子のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK2A命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

ブルアップ制御レジスタ PU0

レジスタPU0は、ポートP0のブルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A命令でレジスタAを介して設定してください。また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

ブルアップ制御レジスタ PU1

レジスタPU1は、ポートP1のブルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A命令でレジスタAを介して設定してください。また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

外部割り込み制御レジスタ I1

レジスタI1は、外部割り込みの有効波形、INT0端子の入力制御、復帰入力レベルを制御します。

このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

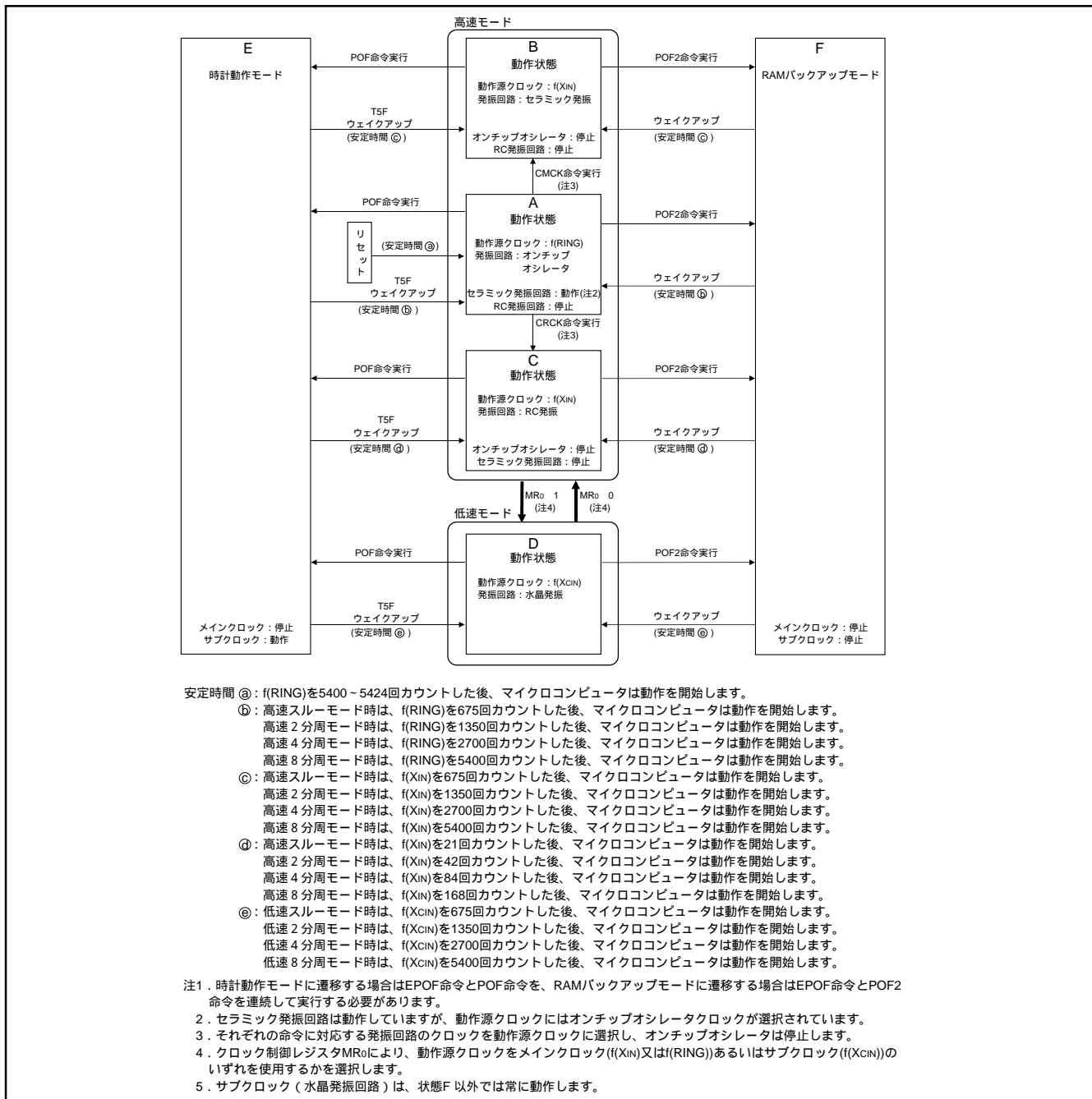
外部割り込み制御レジスタ I2

レジスタI2は、外部割り込みの有効波形、INT1端子の入力制御、復帰入力レベルを制御します。

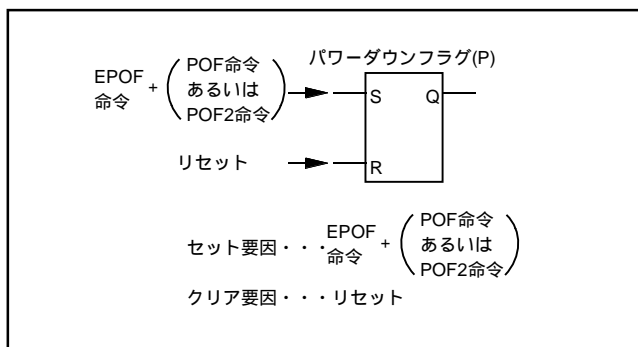
このレジスタの内容は、TI2A命令でレジスタAを介して設定してください。また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表WD-2. 復帰要因と復帰条件

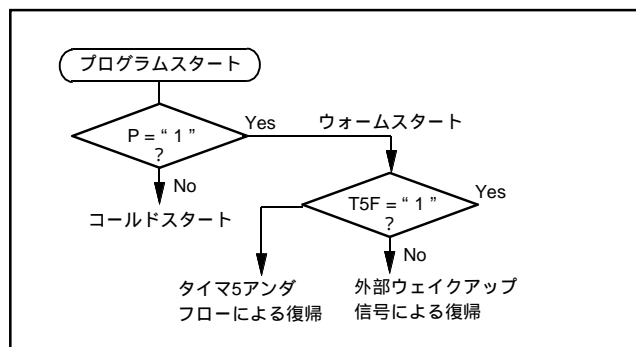
復帰要因		復帰条件	備考
外部ウェイクアップ信号	ポートP0 ₀ ~P0 ₃ ポートP1 ₀ ~P1 ₃	外部からの“L”レベル入力により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。パワーダウン状態に移移する前に、キーオンウェイクアップを使用するポートを“H”レベルにしてください。
	INT0端子 INT1端子	外部からの“H”レベルあるいは“L”レベル入力、又は立ち上がりエッジ(“L” “H”)あるいは立ち下がりエッジ(“H” “L”)により復帰します。復帰入力時は、割り込み要求フラグ(EXF0、EXF1)はセットされません。	パワーダウン状態に移移する前に、外部の状態に応じて割り込み制御レジスタI1、I2で復帰レベル(“H”レベル又は“L”レベル)を、キーオンウェイクアップ制御レジスタK2で復帰条件(レベル復帰又はエッジ復帰)を選択してください。
タイマ5 割り込み要求フラグ(T5F)		タイマ5がアンダフローし、割り込み要求フラグ(T5F)が“1”にセットされることにより復帰します。時計動作モード時に使用できます。	パワーダウン状態に移移する前に、SNZT5命令を実行してタイマ5割り込み要求フラグ(T5F)をクリアしてください。タイマ5割り込み要求フラグ(T5F)が“1”のときにパワーダウン状態に移移すると、復帰条件であると認識してすぐに復帰します。



図WD-1. 状態遷移図



図WD-2. パワーダウンフラグ(P)のセット要因とクリア要因



図WD-3. SNZP命令によるスタート識別例

表WD-3. キーオンウェイクアップ制御レジスタ、プルアップ制御レジスタ、割り込み制御レジスタ

キーオンウェイクアップ制御レジスタ K0		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK0 / TK0A
K03	ポート P03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K02	ポート P02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K01	ポート P01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K00	ポート P00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK1 / TK1A
K13	ポート P13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K12	ポート P12 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K11	ポート P11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K10	ポート P10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK2 / TK2A
K23	INT1 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K22	INT1 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K21	INT0 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K20	INT0 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注：“R”は読み出し可、“W”は書き込み可を表します。

ブルアップ制御レジスタ PU0		リセット時：0000z	パワーダウン時：状態保持	R / W TAPU0 / TPU0A
PU03	ポート P03 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU02	ポート P02 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU01	ポート P01 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU00	ポート P00 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

ブルアップ制御レジスタ PU1		リセット時：0000z	パワーダウン時：状態保持	R / W TAPU1 / TPU1A
PU13	ポート P13 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU12	ポート P12 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU11	ポート P11 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU10	ポート P10 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

割り込み制御レジスタ I1		リセット時：0000z	パワーダウン時：状態保持	R / W TAI1 / TI1A
I13	INT0 端子 入力制御ビット（注2）	0	INT0 端子入力禁止	
		1	INT0 端子入力可能	
I12	INT0 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZIO 命令は “L” レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZIO 命令は “H” レベル認識）	
I11	INT0 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT0 端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

割り込み制御レジスタ I2		リセット時：0000z	パワーダウン時：状態保持	R / W TAI2 / TI2A
I23	INT1 端子 入力制御ビット（注2）	0	INT1 端子入力禁止	
		1	INT1 端子入力可能	
I22	INT1 端子 割り込み有効波形 / 復帰レベル選択ビット（注2）	0	立ち下がり波形 / “L” レベル（SNZ11 命令は “L” レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZ11 命令は “H” レベル認識）	
I21	INT1 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I20	INT1 端子 タイマ3カウント開始同期回路選択ビット	0	タイマ3カウント開始同期回路非選択	
		1	タイマ3カウント開始同期回路選択	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらのビット（I12,I13,I22,I23）の内容を変更した際に、外部割り込み要求フラグ（EXF0,EXF1）がセットされる場合があります。

クロック制御

本製品のクロック制御回路は以下の回路により構成されています。

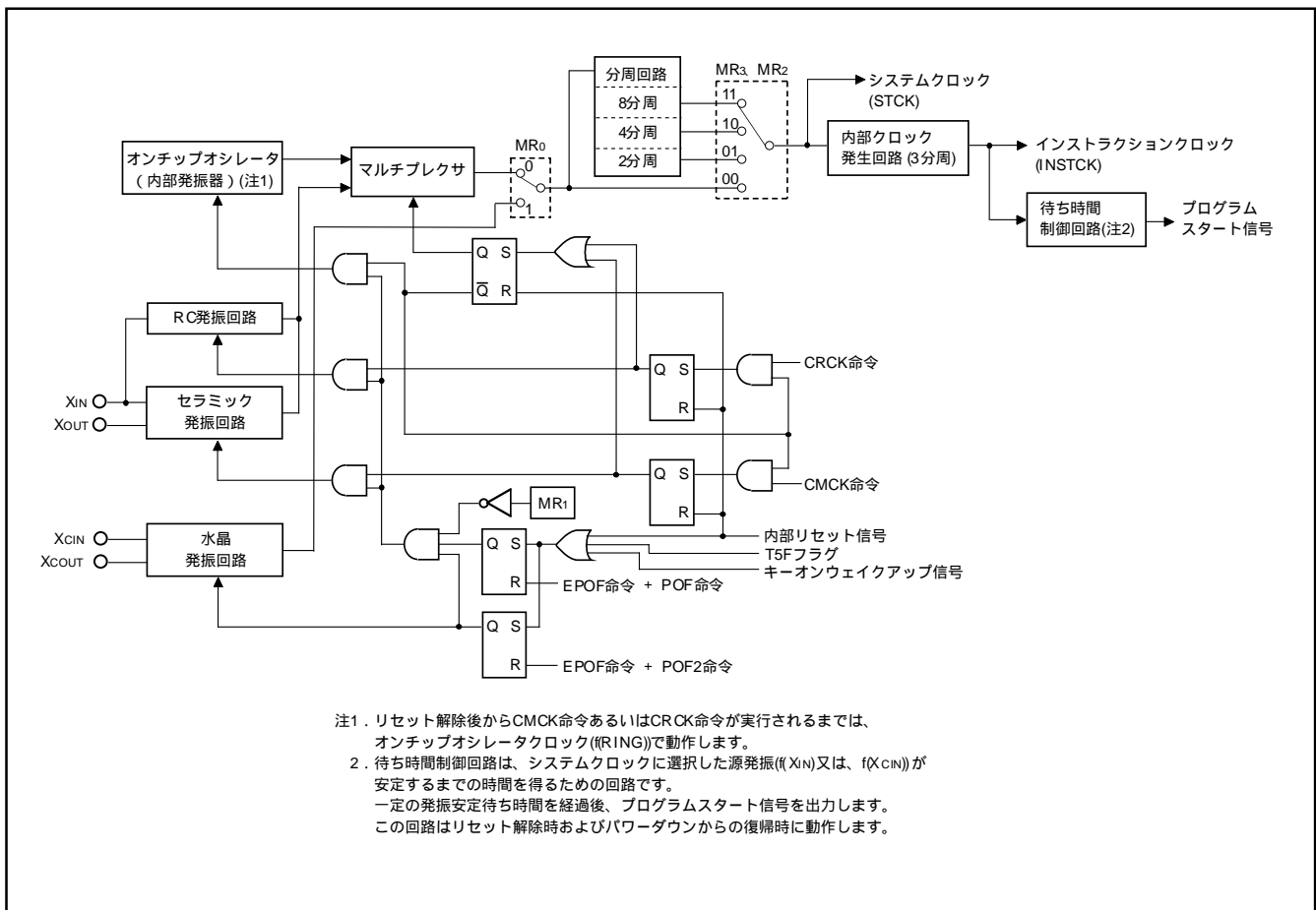
- オンチップオシレータ(内部発振器)
- セラミック発振回路
- RC発振回路
- 水晶発振回路
- マルチプレクサ(クロック選択回路)
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図WA-1にクロック制御回路の構成を示します。

本製品はリセット解除後、内部発振器であるオンチップオシレータクロック(f(RING))で動作します。

メインクロック(f(XIN))には、セラミック共振子あるいはRC発振が使用でき、このどちらを使用するかはそれぞれに対応する選択命令(CMCK, CRCK命令)により行います。サブクロック(f(XCIN))には、水晶発振子が使用できます。



図WA-1. クロック制御回路の構成

(1)メインクロック発生回路(f(XIN))

本製品のメインクロック(f(XIN))には、セラミック共振またはRC発振が使用できます。

リセット解除後、本製品は内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。

プログラムで、

- セラミック共振を使用する場合.....CMCK命令
- RC発振を使用する場合.....CRCK命令

を実行することで、それぞれの命令に対応した発振回路が有効になり、源発振が切り替わります。CMCK命令およびCRCK命令による発振回路選択は一度だけ有効です。CMCK命令およびCRCK命令のうち、先に実行された命令に対応する発振回路が有効になり、オンチップオシレータは停止します。

CMCK命令あるいはCRCK命令は、必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。また、CMCK命令あるいはCRCK命令がプログラムで一度も実行されない場合は、本製品はオンチップオシレータで動作します。

(2)オンチップオシレータ動作

メインクロック(f(XIN))にセラミック共振あるいはRC発振を使用せずオンチップオシレータで動作させる場合は、XIN端子をVssに接続し、XOUT端子は開放としてください(図WA-3)。

なお、オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

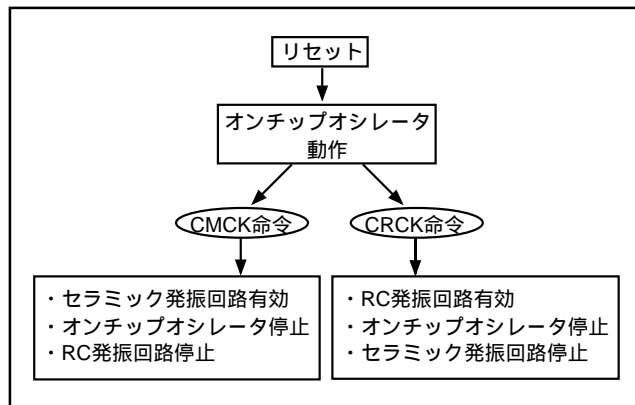
(3)セラミック共振子を使用する場合

メインクロック(f(XIN))にセラミック共振を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続し、プログラムではCMCK命令を実行してください。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています(図WA-4)。

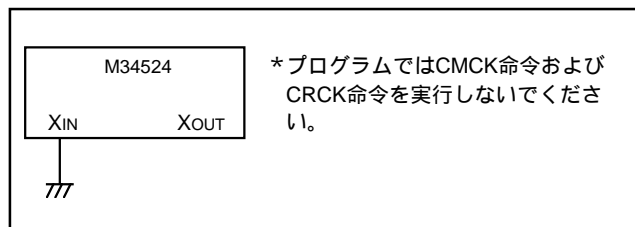
(4)RC発振を使用する場合

メインクロック(f(XIN))にRC発振を使用する場合は、XIN端子に抵抗R、コンデンサCの外付け回路を最短距離で接続し、XOUT端子は開放とし、プログラムではCRCK命令を実行してください(図WA-5)。

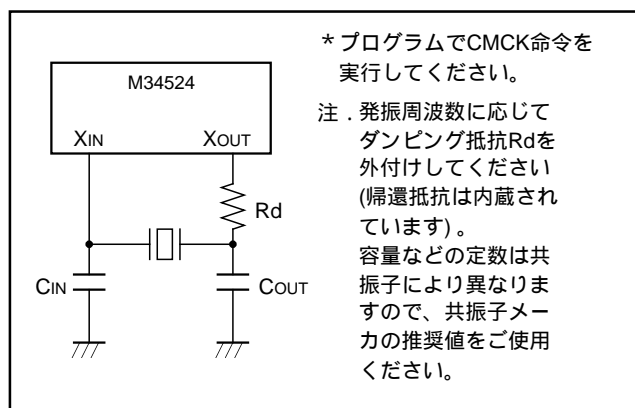
なお、RC発振用の抵抗RおよびコンデンサCの定数は、マイクロコンピュータのパラッキと抵抗およびコンデンサ自身のパラッキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。



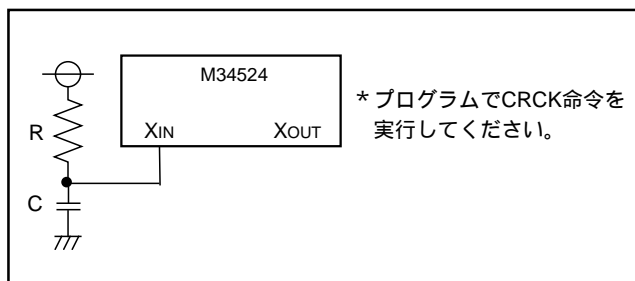
図WA-2 . セラミック共振 / RC発振への切り替え



図WA-3 . オンチップオシレータ動作時のXIN、XOUT端子の処理



図WA-4 . セラミック共振子外付け回路



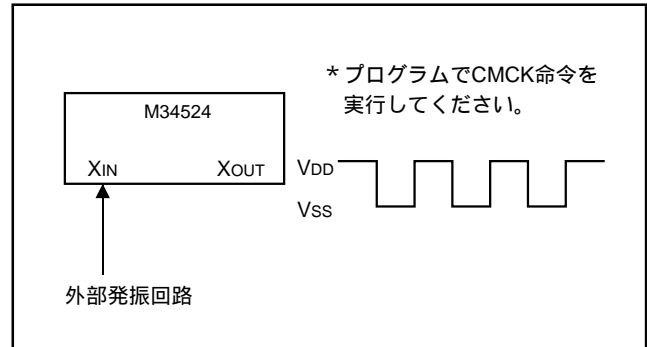
図WA-5 . RC発振外付け回路

(5) 外部クロックを使用する場合

メインクロック($f(XIN)$)に外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放とし、プログラムではCMCK命令を実行してください(図WA-6)。

なお、外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なりますので、注意してください(推奨動作条件参照)。

また、外部クロックを使用する際はパワーダウン機能(POF命令あるいはPOF2命令)を使用しないでください。



図WA-6. 外部クロック入力回路

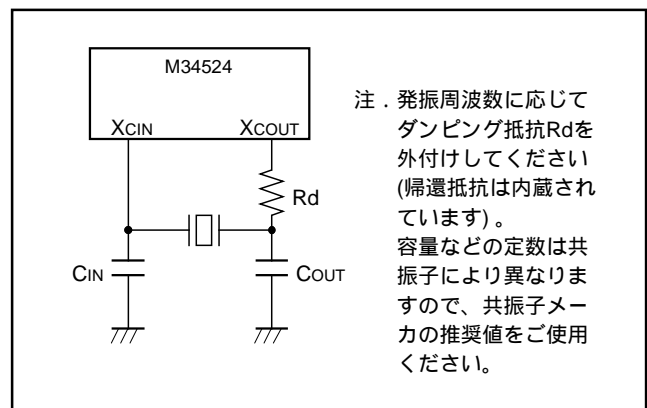
(6) サブクロック発生回路($f(XCIN)$)

サブクロック($f(XCIN)$)には、水晶発振を使用してください。XCIN端子とXCOUT端子に水晶発振子および外部回路を最短距離で接続してください。XCIN端子とXCOUT端子の間には帰還抵抗が内蔵されています(図WA-7)。

(7) クロック制御レジスタMR

レジスタMRはシステムクロックを制御します。このレジスタの内容は、TMRA命令でレジスタAを介して設定してください。

また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。



図WA-7. 水晶発振子外付け回路

表WA-1. クロック制御レジスタ

クロック制御レジスタ MR		リセット時: 11002	パワーダウン時: 状態保持	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3 MR2	動作モード	
		0 0	スルーモード(分周なし)	
0 1		2分周モード		
1 0		4分周モード		
MR2		1 1	8分周モード	
MR1	メインクロック発振回路制御ビット	0	メインクロック発振可能	
		1	メインクロック発振停止	
MR0	システムクロック選択ビット	0	メインクロック($f(XIN)$ 又は $f(RING)$)	
		1	サブクロック($f(XCIN)$)	

注. " R "は読み出し可、" W "は書き込み可を表します。

マスク化発注時に提示いただく資料

マスク化発注時には、次の資料をご提示ください。

- (1) マスク化確認書 1部
- (2) マスク化するデータ EPROMもしくは
フロッピーディスク
(EPROMの場合は、同一データのEPROMを3組準備してください。)
- (3) マーク指定書 1部

* マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ (<http://www.renesas.com/jp/rom>) を参照してください。

使用上の注意(まとめ)

(1)ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてVDD端子とVSS端子間にコンデンサ(≈0.1 μF)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版においては、CNVSS端子とVPP端子が兼用になっています。5k 程度の抵抗を極力CNVSS/VPP端子の近くに配置してVSS端子に接続してください。

(2)レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(3ビット)
- ・レジスタE(8ビット)

(3)レジスタの初期値2

次のレジスタは、パワーダウン時は不定です。パワーダウンからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(4ビット)
- ・レジスタY(4ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(4)スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP p)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを越えないように注意してください。

(5)プリスケアラ

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウンタを停止させた後、データ読み出し命令(TABPS)命令を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウンタを停止させた後、データ書き込み命令(TPSAB)を実行してください。

(6)タイマカウンソース

タイマ1, 2, 3, 4, LCのカウンソースを切り替える場合は、まず各タイマのカウンタを停止させた後、カウンソースを切り替えてください。

(7)タイマカウン値の読み出し

タイマ1, 2, 3, 4からデータを読み出す場合は、まず各タイマのカウンタを停止させた後、データ読み出し命令(TAB1, TAB2, TAB3, TAB4)を実行してください。

(8)タイマへのデータ書き込み

タイマ1, 2, 3, 4, LCにデータを書き込む場合は、まず各タイマのカウンタを停止させた後、データ書き込み命令(T1AB, T2AB, T3AB, T4AB, TLCA)を実行してください。

(9)リロードレジスタR1, R3, R4Hへの書き込み

タイマ1, 3, 4動作中にリロードレジスタR1, R3, R4Hにデータを書き込む場合は、必ずタイマ1, 3, 4アンダフローと重ならないタイミングでデータを書き込んでください。

(10)タイマ4

タイマ4を停止させる場合は、必ずタイマ4アンダフローと重ならないタイミングで停止させてください。

PWM信号の'H'期間拡張機能有効を選択している場合は、リロードレジスタR4Hに"1"以上の値を設定してください。

(11)タイマ5

タイマ5のカウンタ値を切り替える場合は、まずタイマ5のカウンタを停止させた後、カウンタ値を切り替えてください。

(12)タイマ入出力端子

PWM信号をC/CNTR1端子より出力させる場合は、ポートCの出力ラッチを"0"に設定してください。

(13)ウォッチドッグタイマ

ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行し、フラグWEFを"0"にクリアしてウォッチドッグタイマ機能を停止してください。

パワーダウン状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウン状態から復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください。

(14) D8 / INT0端子

レジスタ11のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタ11のビット3によってINT0端子の入力制御を行う際は次の点に注意してください。

レジスタ11のビット3の内容を変更する場合、D8/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が 1 にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を 0 にクリア(図DD-6)した後、レジスタ11のビット3の内容を変更してください。更に、一命令以上において(図DD-6)SNZ0命令を実行し、フラグEXF0を 0 にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI1A ; INT0端子入力制御変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③
    
```

x : このビットはINT0端子の入力制御には関係しません。

図DD-6 . 外部0割り込みプログラム例1

レジスタ11のビット3に関する注意2

割り込み制御レジスタ11のビット3を 0 にクリアし、INT0端子入力禁止の状態にパワーダウン機能を使用する際は、次の点に注意してください。

INT0端子入力を禁止する場合(レジスタ113= 0)は、パワーダウンモードに移行する前にキーオンウェイクアップを無効(レジスタK20= 0)にしてください(図DD-7)。

```

LA 0 ; (x x x 02)
TK2A ; INT0キーオンウェイクアップ無効・・・ ①
DI
EPOF
POF2 ; RAMバックアップ

x : このビットは本例では関係しません。
    
```

図DD-7 . 外部0割り込みプログラム例2

レジスタ11のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタ11のビット2によってD8/INT0端子の割り込み有効波形を変更する場合は、次の点に注意してください。

レジスタ11のビット2の内容を変更する場合、D8/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が 1 にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を 0 にクリア(図DD-8)した後、レジスタ11のビット2の内容を変更してください。更に、一命令以上において(図DD-8)SNZ0命令を実行し、フラグEXF0を 0 にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

```

LA 4 ; (x x x 02)
TV1A ; SNZ0命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI1A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ0 ; SNZ0命令実行
      (フラグEXF0クリア)
NOP ; ..... ③

x : このビットはINT0端子の割り込み有効波形の設定には関係しません。
    
```

図DD-8 . 外部0割り込みプログラム例3

(15) D9 / INT1端子

レジスタI2のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI2のビット3によってINT1端子の入力制御を行う際は次の点に注意してください。

レジスタI2のビット3の内容を変更する場合、D9/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を"0"にクリア(図DD-9)した後、レジスタI2のビット3の内容を変更してください。更に、一命令以上において(図DD-9)SNZ1命令を実行し、フラグEXF1を"0"にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-9)。

```

LA 4 ; (x x 0 x 2)
TV1A ; SNZ1命令有効・・・ ①
LA 8 ; (1 x x x 2)
TI2A ; INT1端子入力制御変更
NOP ; ..... ②
SNZ1 ; SNZ1命令実行
      (フラグEXF1クリア)
NOP ; ..... ③

x : このビットはINT1端子の入力
    制御には関係しません。
    
```

図DD-9 . 外部1割り込みプログラム例1

レジスタI2のビット3に関する注意2

割り込み制御レジスタI2のビット3を"0"にクリアし、INT1端子入力禁止の状態のパワーダウン機能を使用する際は、次の点に注意してください。

INT1端子入力を禁止する場合(レジスタI13="0")は、パワーダウンモードに移行する前にキーオンウェイクアップを無効(レジスタK2="0")にしてください(図DD-10)。

```

LA 0 ; (x 0 x x 2)
TK2A ; INT1キーオンウェイクアップ無効・・・ ①
DI
EPOF
POF2 ; RAMバックアップ

x : このビットは本例では関係
    しません。
    
```

図DD-10 . 外部1割り込みプログラム例2

レジスタI2のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI2のビット2によってD9/INT1端子の割り込み有効波形を変更する場合は、次の点に注意してください。

レジスタI2のビット2の内容を変更する場合、D9/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を"0"にクリア(図DD-11)した後、レジスタI2のビット2の内容を変更してください。更に、一命令以上において(図DD-11)SNZ1命令を実行し、フラグEXF1を"0"にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図DD-11)。

```

LA 4 ; (x x 0 x 2)
TV1A ; SNZ1命令有効・・・ ①
LA 12 ; (x 1 x x 2)
TI2A ; 割り込み有効波形変更
NOP ; ..... ②
SNZ1 ; SNZ1命令実行
      (フラグEXF1クリア)
NOP ; ..... ③

x : このビットはINT1端子の割り込み有効
    波形の設定には関係しません。
    
```

図DD-11 . 外部1割り込みプログラム例3

(16) マルチファンクション

INT0, INT1端子を使用している場合でも、ポートD8, D9の出力は機能しますので注意してください。

SIN, SOUT, SCK端子を使用している場合でも、ポートD4, D5, D6の入力は機能しますので注意してください。CNTR0端子の入力機能を使用している場合でも、ポートD7の入出力は機能しますので注意してください。CNTR0端子の出力機能を使用している場合でも、ポートD7の入力は機能しますので注意してください。CNTR1端子の出力機能を使用している場合でも、ポートCの" H "出力は機能しますので注意してください。

(17) POF命令、POF2命令

EPOF命令実行直後にPOF命令あるいはPOF2命令を実行するとパワーダウン状態になります。

POF命令あるいはPOF2命令単独では、パワーダウン状態にならないので注意してください。

また、EPOF命令とPOF命令あるいはPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

(18)プログラムカウンタ

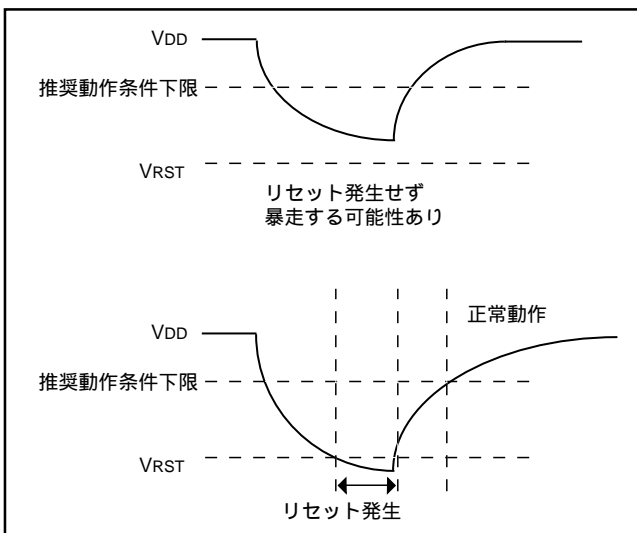
プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(19)電圧低下検出回路

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がVRST以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図VC-3)。

このような場合は、電源電圧を一旦VRST以下まで低下させ、その後再上昇するようなシステム設計をしてください。



図VC-3 . VDDとVRST

(20)パワーオンリセット

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから2.0V以上に立ち上がるまでの時間を100 μ s以下に設定してください。立ち上がり時間が100 μ sを越える場合には、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

(21)クロック制御

メインクロック(ϕ XIN)を選択する命令(CMCK, CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令あるいはCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された命令に対応する発振回路が有効になり、オンチップオシレータは停止します。

(22)オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、本製品はリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(23)外部クロック

メインクロック(ϕ XIN)に外部クロックを使用する際は、パワーダウンモード(POF命令あるいはPOF2命令)を使用しないでください。

(24)A/Dコンバータ1

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

コンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が“0”になっている必要があります。

コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

```

LA 8 ; (x0xx2)
TV2A ; SNZAD命令有効・・・①
LA 0 ; (0xxx2)
TQ1A ; A/D変換器の動作モードを
      コンパレータモードから
      A/D変換モードに変更

SNZAD
NOP

```

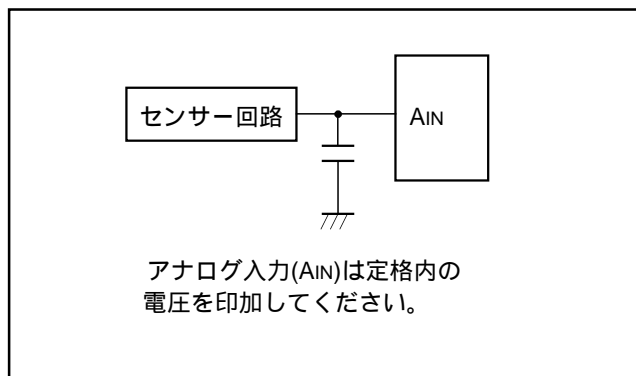
× : このビットはA/D変換器の動作モード変更には関係しません。

図XB-4 . A/D変換器の動作モードプログラム例

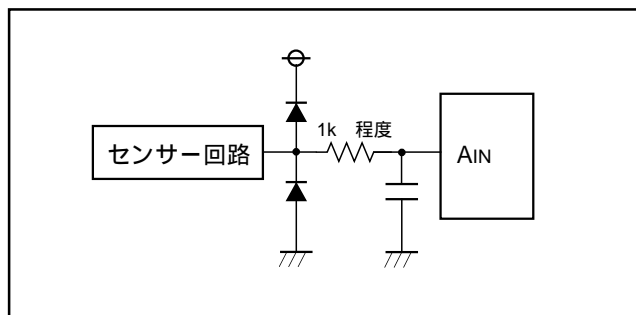
(25) A/Dコンバータ2

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、信号源インピーダンスの高い回路を用いて、アナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に、0.01~1 μ Fのコンデンサを付加してください(図XB-5を参照)。

また、やむをえずアナログ入力に定格以上の電圧がかかる場合は、図XB-6に示すように定格内の電圧になるように外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。



図XB-5 . アナログ入力外付け回路例1



図XB-6 . アナログ入力外付け回路例2

(26) マスクROM版とワンタイムPROM版の相違

マスクROM版とワンタイムPROM版とは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。

(27) 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

制御レジスタ一覧

割り込み制御レジスタ V1		リセット時：0000 ₂	パワーダウン時：0000 ₂	R / W TAV1 / TV1A
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効)	
V11	外部1 割り込み可能ビット	0	発生禁止 (SNZ1 命令有効)	
		1	発生可能 (SNZ1 命令無効)	
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)	
		1	発生可能 (SNZ0 命令無効)	

割り込み制御レジスタ V2		リセット時：0000 ₂	パワーダウン時：0000 ₂	R / W TAV2 / TV2A
V23	タイマ4, シリアルI/O 割り込み可能ビット	0	発生禁止 (SNZT4, SNZSI 命令有効)	
		1	発生可能 (SNZT4, SNZSI 命令無効)	
V22	A/D 割り込み可能ビット	0	発生禁止 (SNZAD 命令有効)	
		1	発生可能 (SNZAD 命令無効)	
V21	タイマ5 割り込み可能ビット	0	発生禁止 (SNZT5 命令有効)	
		1	発生可能 (SNZT5 命令無効)	
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効)	

割り込み制御レジスタ I1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAI1 / TI1A
I13	INT0 端子 入力制御ビット (注2)	0	INT0 端子入力禁止	
		1	INT0 端子入力可能	
I12	INT0 端子 割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “L” レベル (SNZIO 命令は “L” レベル認識)	
		1	立ち上がり波形 / “H” レベル (SNZIO 命令は “H” レベル認識)	
I11	INT0 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT0 端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

割り込み制御レジスタ I2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAI2 / TI2A
I23	INT1 端子 入力制御ビット (注2)	0	INT1 端子入力禁止	
		1	INT1 端子入力可能	
I22	INT1 端子 割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “L” レベル (SNZI1 命令は “L” レベル認識)	
		1	立ち上がり波形 / “H” レベル (SNZI1 命令は “H” レベル認識)	
I21	INT1 端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I20	INT1 端子 タイマ3カウント開始同期回路選択ビット	0	タイマ3カウント開始同期回路非選択	
		1	タイマ3カウント開始同期回路選択	

割り込み制御レジスタ I3		リセット時：0 ₂	パワーダウン時：状態保持	R / W TAI3 / TI3A
I30	タイマ4, シリアルI/O 割り込み要因選択ビット	0	タイマ4 割り込み有効, シリアルI/O 割り込み無効	
		1	シリアルI/O 割り込み有効, タイマ4 割り込み無効	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらのビット (I12, I13, I22, I23) の内容を変更した際に、外部割り込み要求フラグ (EXF0, EXF1) が “1” にセットされる場合があります。

クロック制御レジスタ MR		リセット時：1100 ₂	パワーダウン時：状態保持	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3 MR2	動作モード	
		0 0	スルーモード (分周なし)	
0 1		2分周モード		
MR2		1 0	4分周モード	
1 1		8分周モード		
MR1	メインクロック発振回路制御ビット	0	メインクロック発振可能	
		1	メインクロック発振停止	
MR0	システムクロック選択ビット	0	メインクロック (f(XIN) 又は f(RING))	
		1	サブクロック (f(XCIN))	

タイマ制御レジスタ PA		リセット時：0 ₂	パワーダウン時：0 ₂	W TPAA
PA0	プリスケアラ制御ビット	0	停止 (状態保持)	
		1	動作	

タイマ制御レジスタ W1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW1 / TW1A
W13	タイマ1 カウント自動停止回路選択ビット (注2)	0	タイマ1カウント自動停止回路非選択	
		1	タイマ1カウント自動停止回路選択	
W12	タイマ1制御ビット	0	停止 (状態保持)	
		1	動作	
W11	タイマ1カウントソース選択ビット	W11 W10	カウントソース	
		0 0	インストラクションクロック (INSTCK)	
0 1		プリスケアラ出力 (ORCLK)		
W10		1 0	タイマ5アンダフロー信号 (T5UDF)	
		1 1	CNTR0入力	

タイマ制御レジスタ W2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW2 / TW2A
W23	CNTR0出力制御ビット	0	タイマ1アンダフロー信号の2分周出力	
		1	タイマ2アンダフロー信号の2分周出力	
W22	タイマ2制御ビット	0	停止 (状態保持)	
		1	動作	
W21	タイマ2カウントソース選択ビット	W21 W20	カウントソース	
		0 0	システムクロック (STCK)	
0 1		プリスケアラ出力 (ORCLK)		
W20		1 0	タイマ1アンダフロー信号 (T1UDF)	
		1 1	PWM信号 (PWMOUT)	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2.この機能はタイマ1カウント開始同期回路選択 (I10 = “1”) 時にのみ有効です。

タイマ制御レジスタ W3		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW3 / TW3A
W33	タイマ3 カウント自動停止回路選択ビット（注2）	0	タイマ3カウント自動停止回路非選択	
		1	タイマ3カウント自動停止回路選択	
W32	タイマ3制御ビット	0	停止（状態保持）	
		1	動作	
W31	タイマ3カウントソース選択ビット（注3）	W31 W30	カウントソース	
		0 0	PWM 信号（PWMOUT）	
0 1		プリスケアラ出力（ORCLK）		
W30		1 0	タイマ2アンダフロー信号（T2UDF）	
	1 1	CNTR1 入力		

タイマ制御レジスタ W4		リセット時：0000 ₂	パワーダウン時：0000 ₂	R / W TAW4 / TW4A
W43	CNTR1 出力制御ビット	0	CNTR1 出力無効	
		1	CNTR1 出力有効	
W42	PWM 信号 “H” 期間拡張機能制御ビット	0	PWM 信号 “H” 期間拡張機能無効	
		1	PWM 信号 “H” 期間拡張機能有効	
W41	タイマ4制御ビット	0	停止（状態保持）	
		1	動作	
W40	タイマ4カウントソース選択ビット	0	XIN 入力	
		1	プリスケアラ出力（ORCLK）の2分周信号	

タイマ制御レジスタ W5		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW5 / TW5A
W53	使用しません	0	このビットに機能はありませんが R / W は可能です	
		1		
W52	タイマ5制御ビット	0	停止（初期状態）	
		1	動作	
W51	タイマ5カウント値選択ビット	W51 W50	カウント値	
		0 0	8192 カウントごとにアンダフロー発生	
0 1		16384 カウントごとにアンダフロー発生		
W50		1 0	32768 カウントごとにアンダフロー発生	
	1 1	65536 カウントごとにアンダフロー発生		

タイマ制御レジスタ W6		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAW6 / TW6A
W63	タイマ LC 制御ビット	0	停止（状態保持）	
		1	動作	
W62	タイマ LC カウントソース選択ビット	0	タイマ5のビット4（T54）	
		1	プリスケアラ出力（ORCLK）	
W61	CNTR1 出力自動制御回路選択ビット	0	CNTR1 出力自動制御回路非選択	
		1	CNTR1 出力自動制御回路選択	
W60	D7 / CNTR0 端子機能選択ビット（注4）	0	D7 入出力 / CNTR0 入力	
		1	CNTR0 入出力 / D7 入力	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. この機能はタイマ3カウント開始同期回路選択時（I20 = “1”）にのみ有効です。

3. タイマ3カウントソースにCNTR1入力を選択した場合は、ポートC出力は無効になります。

4. CNTR0入力は、タイマ1カウントソースにCNTR0入力を選択している場合にのみ有効です。

シリアルI/O制御レジスタ J1		リセット時：00002	パワーダウン時：状態保持	R / W TAJ1 / TJ1A
J13	シリアルI/O 同期クロック選択ビット	J13 J12	同期クロック	
		0 0	インストラクションクロック (INSTCK) の8分周信号	
0 1		インストラクションクロック (INSTCK) の4分周信号		
J12		1 0	インストラクションクロック (INSTCK) の2分周信号	
		1 1	外部クロック (SCK入力)	
J11	シリアルI/O ポート機能選択ビット	J11 J10	ポート機能	
		0 0	D6, D5, D4 選択 / SCK, SOUT, SIN 非選択	
0 1		SCK, SOUT, D4 選択 / D6, D5, SIN 非選択		
J10		1 0	SCK, D5, SIN 選択 / D6, SOUT, D4 非選択	
		1 1	SCK, SOUT, SIN 選択 / D6, D5, D4 非選択	

A/D制御レジスタ Q1		リセット時：00002	パワーダウン時：状態保持	R / W TAQ1 / TQ1A
Q13	A/D動作モード選択ビット	0	A/D変換モード	
		1	コンバータモード	
Q12	アナログ入力端子選択ビット	Q12 Q11 Q10	アナログ入力端子	
		0 0 0	AIN0	
		0 0 1	AIN1	
Q11		0 1 0	AIN2	
		0 1 1	AIN3	
Q10		1 0 0	AIN4	
		1 0 1	AIN5	
		1 1 0	AIN6	
		1 1 1	AIN7	

A/D制御レジスタ Q2		リセット時：00002	パワーダウン時：状態保持	R / W TAQ2 / TQ2A
Q23	P23 / AIN3 端子機能選択ビット	0	P23	
		1	AIN3	
Q22	P22 / AIN2 端子機能選択ビット	0	P22	
		1	AIN2	
Q21	P21 / AIN1 端子機能選択ビット	0	P21	
		1	AIN1	
Q20	P20 / AIN0 端子機能選択ビット	0	P20	
		1	AIN0	

A/D制御レジスタ Q3		リセット時：00002	パワーダウン時：状態保持	R / W TAQ3 / TQ3A
Q33	P33 / AIN7 端子機能選択ビット	0	P33	
		1	AIN7	
Q32	P32 / AIN6 端子機能選択ビット	0	P32	
		1	AIN6	
Q31	P31 / AIN5 端子機能選択ビット	0	P31	
		1	AIN5	
Q30	P30 / AIN4 端子機能選択ビット	0	P30	
		1	AIN4	

注：“R”は読み出し可、“W”は書き込み可を表します。

LCD 制御レジスタ L1		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAL1 / TL1A
L13	LCD 電源用 内部分割抵抗選択ビット（注2）	0	2r × 3, 2r × 2		
		1	r × 3, r × 2		
L12	LCD 制御ビット	0	消灯		
		1	点灯		
L11	LCD デューティ, バイアス選択ビット	L11 L10	デューティ		バイアス
		0 0	使用禁止		使用禁止
L10		0 1	1 / 2	1 / 2	
		1 0	1 / 3	1 / 3	
		1 1	1 / 4	1 / 3	

LCD 制御レジスタ L2		リセット時：1111 ₂		パワーダウン時：状態保持	W TL2A
L23	VLC3 / SEG0 端子機能選択ビット（注3）	0	SEG0		
		1	VLC3		
L22	VLC2 / SEG1 端子機能選択ビット（注4）	0	SEG1		
		1	VLC2		
L21	VLC1 / SEG2 端子機能選択ビット（注4）	0	SEG2		
		1	VLC1		
L20	LCD 電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

ブルアップ制御レジスタ PU0		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAPU0 / TPU0A
PU03	ポート P03 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU02	ポート P02 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU01	ポート P01 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU00	ポート P00 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		

ブルアップ制御レジスタ PU1		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAPU1 / TPU1A
PU13	ポート P13 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU12	ポート P12 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU11	ポート P11 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		
PU10	ポート P10 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF		
		1	ブルアップトランジスタ ON		

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. 1 / 3 バイアス選択時は“×3”、1 / 2 バイアス選択時は“×2”の抵抗を使用します。

3. SEG0 端子を選択した場合は、VLC3 は内部で VDD に接続されます。

4. SEG1, SEG2 端子を選択した場合は、必ず内部分割抵抗を使用してください。

ポート出力形式制御レジスタ FR0		リセット時：0000 ₂		パワーダウン時：状態保持	W TFR0A
FR03	ポート P12, P13 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR02	ポート P10, P11 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR01	ポート P02, P03 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR00	ポート P00, P01 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタ FR1		リセット時：0000 ₂		パワーダウン時：状態保持	W TFR1A
FR13	ポート D3 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR12	ポート D2 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR11	ポート D1 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR10	ポート D0 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタ FR2		リセット時：0000 ₂		パワーダウン時：状態保持	W TFR2A
FR23	D7 / CNTR0 端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR22	D6 / SCK 端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR21	D5 / SOUT 端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR20	D4 / SIN 端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタ FR3		リセット時：0000 ₂		パワーダウン時：状態保持	W TFR3A
FR33	ポート P43 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR32	ポート P42 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR31	ポート P41 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		
FR30	ポート P40 出力形式選択ビット	0	Nチャンネルオープンドレイン出力		
		1	CMOS出力		

注：“R”は読み出し可、“W”は書き込み可を表します。

キーオンウェイクアップ制御レジスタ K0		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAK0 / TK0A
K03	ポート P03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポート P02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポート P01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポート P00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタ K1		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAK1 / TK1A
K13	ポート P13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K12	ポート P12 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポート P11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポート P10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタ K2		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAK2 / TK2A
K23	INT1 端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K22	INT1 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	INT0 端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
K20	INT0 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

命令

4524グループは159種の命令を持っています。

命令記号一覧表、命令機能別索引、アルファベット順 機械語命令一覧、機能分類別 機械語命令一覧及び命令コード対応表について説明します。

命令記号一覧表

記号	内容	記号	内容
A	レジスタ A(4ビット)	PS	プリスケアラ
B	レジスタ B(4ビット)	T1	タイマ1
DR	レジスタ DR(3ビット)	T2	タイマ2
E	レジスタ E(8ビット)	T3	タイマ3
V1	割り込み制御レジスタ V1(4ビット)	T4	タイマ4
V2	割り込み制御レジスタ V2(4ビット)	T5	タイマ5
I1	割り込み制御レジスタ I1(4ビット)	TLC	タイマLC
I2	割り込み制御レジスタ I2(4ビット)	T1F	タイマ1割り込み要求フラグ
I3	割り込み制御レジスタ I3(1ビット)	T2F	タイマ2割り込み要求フラグ
MR	クロック制御レジスタ MR(4ビット)	T3F	タイマ3割り込み要求フラグ
PA	タイマ制御レジスタ PA(1ビット)	T4F	タイマ4割り込み要求フラグ
W1	タイマ制御レジスタ W1(4ビット)	T5F	タイマ5割り込み要求フラグ
W2	タイマ制御レジスタ W2(4ビット)	WDF1	ウォッチドッグタイマフラグ
W3	タイマ制御レジスタ W3(4ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
W4	タイマ制御レジスタ W4(4ビット)	INTE	割り込み許可フラグ
W5	タイマ制御レジスタ W5(4ビット)	EXF0	外部0割り込み要求フラグ
W6	タイマ制御レジスタ W6(4ビット)	EXF1	外部1割り込み要求フラグ
J1	シリアルI/O制御レジスタ J1(4ビット)	P	パワーダウンフラグ
Q1	A/D制御レジスタ Q1(4ビット)	ADF	A/D変換終了フラグ
Q2	A/D制御レジスタ Q2(4ビット)	SIOF	シリアルI/O送受信終了フラグ
Q3	A/D制御レジスタ Q3(4ビット)		
L1	LCD制御レジスタ L1(4ビット)	D	ポート D(10ビット)
L2	LCD制御レジスタ L2(4ビット)	P0	ポート P0(4ビット)
PU0	プルアップ制御レジスタ PU0(4ビット)	P1	ポート P1(4ビット)
PU1	プルアップ制御レジスタ PU1(4ビット)	P2	ポート P2(4ビット)
FR0	ポート出力形式制御レジスタ FR0(4ビット)	P3	ポート P3(4ビット)
FR1	ポート出力形式制御レジスタ FR1(4ビット)	P4	ポート P4(4ビット)
FR2	ポート出力形式制御レジスタ FR2(4ビット)	C	ポート C(1ビット)
FR3	ポート出力形式制御レジスタ FR3(4ビット)		
K0	キーオンウェイクアップ制御レジスタ K0(4ビット)	x	16進変数
K1	キーオンウェイクアップ制御レジスタ K1(4ビット)	y	16進変数
K2	キーオンウェイクアップ制御レジスタ K2(4ビット)	z	16進変数
X	レジスタ X(4ビット)	p	16進変数
Y	レジスタ Y(4ビット)	n	16進定数
Z	レジスタ Z(2ビット)	i	16進定数
DP	データポインタ(10ビット)	j	16進定数
	(レジスタX,Y,Zで構成)	A3 A2 A1 A0	16進変数 A の2進表記(他も同様)
PC	プログラムカウンタ(14ビット)		
PCH	プログラムカウンタの上位7ビット	()	データの移動する方向
PCL	プログラムカウンタの下位7ビット	-	レジスタ、メモリなどの内容
SK	スタックレジスタ(14ビット×8)	M(DP)	否定、命令実行後もフラグは不変
SP	スタックポインタ(3ビット)	a	データポインタで指定されたRAMの番地
CY	キャリフラグ	a6 a5 a4 a3 a2 a1 a0	番地を示すラベル
RPS	プリスケアラリロードレジスタ(8ビット)	p a	p6 p5 p4 p3 p2 p1 p0 ページ内の a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
R1	タイマ1リロードレジスタ(8ビット)	C+x	16進数 C + 16進数 x
R2	タイマ2リロードレジスタ(8ビット)		
R3	タイマ3リロードレジスタ(8ビット)		
R4L	タイマ4リロードレジスタ(8ビット)		
R4H	タイマ4リロードレジスタ(8ビット)	?	?の前に示された状態の判定
RLC	タイマLCリロードレジスタ(4ビット)		レジスタやメモリ間でのデータ交換

注. 命令実行によりスキップが生じた場合は、次の命令を無効にするのみで、プログラムカウンタの内容+2を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。ただし、TABP p、RT、RTS命令がスキップされた場合、サイクル数は“1”となります。

命令機能別索引

分類	命令記号	機能	掲載ページ	分類	命令記号	機能	掲載ページ	
レジスタ間転送命令	TAB	(A) (B)	115 ,136	演算命令	LA n	(A) n n=0~15	102 ,138	
	TBA	(B) (A)	125 ,136		TABP p	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2~DR0 A3~A0) (B) (ROM(PC)) ⁷⁻⁴ (A) (ROM(PC)) ³⁻⁰ (PC) (SK(SP)) (SP) (SP) - 1	117 ,138	
	TAY	(A) (Y)	124 ,136		AM	(A) (A) + (M(DP))	96 ,138	
	TYA	(Y) (A)	134 ,136		AMC	(A) (A) + (M(DP)) + (CY) (CY) Carry	96 ,138	
	TEAB	(E7~E4) (B) (E3~E0) (A)	125 ,136		A n	(A) (A) + n n=0~15	96 ,138	
	TABE	(B) (E7~E4) (A) (E3~E0)	116 ,136		AND	(A) (A) AND (M(DP))	97 ,138	
	TDA	(DR2~DR0) (A2~A0)	125 ,136		OR	(A) (A) OR (M(DP))	104 ,138	
	TAD	(A2~A0) (DR2~DR0) (A3) 0	117 ,136		SC	(CY) 1	108 ,138	
	TAZ	(A1 A0) (Z1 Z0) (A3 A2) 0	125 ,136		RC	(CY) 0	106 ,138	
	TAX	(A) (X)	124 ,136		SZC	(CY) = 0 ?	113 ,138	
TASP	(A2~A0) (SP2~SP0) (A3) 0	122 ,136	CMA	(A) (A)	99 ,138			
RAMアドレス命令	LXY x y	(X) x x=0~15 (Y) y y=0~15	102 ,136	RAR	<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>CY</td><td>A3A2A1A0</td></tr></table>	CY	A3A2A1A0	105 ,138
	CY	A3A2A1A0						
	LZ z	(Z) z z=0~3	103 ,136	ビット操作命令	SB j	(Mj(DP)) 1 j=0~3	107 ,138	
	INY	(Y) (Y) + 1	102 ,136		RB j	(Mj(DP)) 0 j=0~3	105 ,138	
DEY	(Y) (Y) - 1	99 ,136	SZB j		(Mj(DP)) = 0 ? j=0~3	113 ,138		
RAM・レジスタ間転送命令	TAM j	(A) (M(DP)) (X) (X) EXOR (j) j=0~15	120 ,136	比較命令	SEAM	(A) = (M(DP)) ?	109 ,138	
	XAM j	(A) (M(DP)) (X) (X) EXOR (j) j=0~15	135 ,136		SEA n	(A) = n ? n=0~15	109 ,138	
	XAMD j	(A) (M(DP)) (X) (X) EXOR (j) j=0~15 (Y) (Y) - 1	135 ,136	ブランチ命令	B a	(PCL) a6~a0	97 ,140	
	XAMI j	(A) (M(DP)) (X) (X) EXOR (j) j=0~15 (Y) (Y) + 1	135 ,136		BL p a	(PCH) p (PCL) a6~a0	97 ,140	
	TMA j	(M(DP)) (A) (X) (X) EXOR (j) j=0~15	129 ,136		BLA p	(PCH) p (PCL) (DR2~DR0 A3~A0)	97 ,140	

注 . M34524M8の場合 p = 0 ~ 63、M34524MCの場合 p = 0 ~ 95、M34524EDの場合 p = 0 ~ 127 です。

命令機能別索引(続き)

分類	命令記号	機能	掲載ページ	分類	命令記号	機能	掲載ページ
サブルーチン呼び出し命令	BM a	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a6 ~ a0	98 ,140	タイム 操作 命令	TPAA	(PA0) (A0)	130 ,142
	BML p a	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a6 ~ a0	98 ,140		TAW1	(A) (W1)	123 ,142
					TW1A	(W1) (A)	133 ,142
BMLA p	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0, A3 ~ A0)	98 ,140	TAW2		(A) (W2)	123 ,142	
			TW2A		(W2) (A)	133 ,142	
リターン命令	RTI	(PC) (SK(SP)) (SP) (SP) - 1	107 ,140		TAW3	(A) (W3)	123 ,142
					TW3A	(W3) (A)	133 ,142
					TAW4	(A) (W4)	123 ,142
RT	(PC) (SK(SP)) (SP) (SP) - 1	107 ,140	TW4A		(W4) (A)	133 ,142	
			TAW5		(A) (W5)	124 ,142	
			TW5A		(W5) (A)	134 ,142	
RTS	(PC) (SK(SP)) (SP) (SP) - 1	107 ,140	TAW6		(A) (W6)	124 ,142	
			TW6A		(W6) (A)	134 ,142	
			TABPS		(B) (TPS7 ~ TPS4) (A) (TPS3 ~ TPS0)	117 ,144	
割り込み制御命令	DI	(INTE) 0	100 ,140		TPSAB	(RPS7 ~ RPS4) (B) (TPS7 ~ TPS4) (B) (RPS3 ~ RPS0) (A) (TPS3 ~ TPS0) (A)	130 ,144
	EI	(INTE) 1	100 ,140		TAB1	(B) (T17 ~ T14) (A) (T13 ~ T10)	115 ,144
	SNZ0	V10 = 0: (EXF0) = 1 ? スキップ後 (EXF0) 0 V10 = 1: NOP	109 ,140		T1AB	(R17 ~ R14) (B) (T17 ~ T14) (B) (R13 ~ R10) (A) (T13 ~ T10) (A)	113 ,144
	SNZ1	V11 = 0: (EXF1) = 1 ? スキップ後 (EXF1) 0 V11 = 1: NOP	109 ,140		TAB2	(B) (T27 ~ T24) (A) (T23 ~ T20)	115 ,144
	SNZI0	I12 = 1: (INT0) = " H " ? I12 = 0: (INT0) = " L " ?	110 ,142		T2AB	(R27 ~ R24) (B) (T27 ~ T24) (B) (R23 ~ R20) (A) (T23 ~ T20) (A)	114 ,144
	SNZI1	I22 = 1: (INT1) = " H " ? I22 = 0: (INT1) = " L " ?	110 ,142		TAB3	(B) (T37 ~ T34) (A) (T33 ~ T30)	116 ,144
	TAV1	(A) (V1)	122 ,142		T3AB	(R37 ~ R34) (B) (T37 ~ T34) (B) (R33 ~ R30) (A) (T33 ~ T30) (A)	114 ,144
	TV1A	(V1) (A)	132 ,142				
	TAV2	(A) (V2)	122 ,142				
	TV2A	(V2) (A)	132 ,142				
	TAI1	(A) (I1)	118 ,142				
	TI1A	(I1) (A)	127 ,142				
	TAI2	(A) (I2)	118 ,142				
	TI2A	(I2) (A)	127 ,142				
	TAI3	(A0) (I30) (A3 ~ A1) 0	118 ,142				
	TI3A	(I30) (A0)	127 ,142				

注 . M34524M8の場合 p = 0 ~ 63、M34524MCの場合 p = 0 ~ 95、M34524EDの場合 p = 0 ~ 127 です。

命令機能別索引(続き)

分類	命令記号	機能	掲載ページ	分類	命令記号	機能	掲載ページ
タイム 操作命令	TAB4	(B) (T47 ~ T44) (A) (T43 ~ T40)	116 ,144	入出力命令	CLD	(D) 1	98 ,146
	T4AB	(R4L7 ~ R4L4) (B) (T47 ~ T44) (B) (R4L3 ~ R4L0) (A) (T43 ~ T40) (A)	114 ,144		RD	(D(Y)) 0 ,(Y) = 0 ~ 9	106 ,146
	T4HAB	(R4H7 ~ R4H4) (B) (R4H3 ~ R4H0) (A)	114 ,144		SD	(D(Y)) 1 ,(Y) = 0 ~ 9	108 ,146
	TR1AB	(R17 ~ R14) (B) (R13 ~ R10) (A)	131 ,144		SZD	(D(Y)) = 0 ? ,(Y) = 0 ~ 7	113 ,146
	TR3AB	(R37 ~ R34) (B) (R33 ~ R30) (A)	132 ,144		RCP	(C) 0	106 ,146
	T4R4L	(T47 ~ T44) (R4L7 ~ R4L4) (T43 ~ T40) (R4L3 ~ R4L0)	115 ,144		SCP	(C) 1	108 ,146
	TLCA	(LC) (A)	129 ,144		TAPU0	(A) (PU0)	121 ,146
	SNZT1	V12 = 0 : (T1F) = 1 ? スキップ後 (T1F) 0	111 ,146		TPU0A	(PU0) (A)	130 ,146
	SNZT2	V13 = 0 : (T2F) = 1 ? スキップ後 (T2F) 0	111 ,146		TAPU1	(A) (PU1)	121 ,146
	SNZT3	V20 = 0 : (T3F) = 1 ? スキップ後 (T3F) 0	111 ,146		TPU1A	(PU1) (A)	130 ,146
	SNZT4	V23 = 0 : (T4F) = 1 ? スキップ後 (T4F) 0	112 ,146		TAK0	(A) (K0)	119 ,148
	SNZT5	V21 = 0 : (T5F) = 1 ? スキップ後 (T5F) 0	112 ,146		TK0A	(K0) (A)	128 ,148
	入出力命令	IAP0	(A) (P0)		101 ,146	TAK1	(A) (K1)
OP0A		(P0) (A)	103 ,146	TK1A	(K1) (A)	128 ,148	
IAP1		(A) (P1)	101 ,146	TAK2	(A) (K2)	119 ,148	
OP1A		(P1) (A)	103 ,146	TK2A	(K2) (A)	128 ,148	
IAP2		(A) (P2)	101 ,146	TFR0A	(FR0) (A)	126 ,148	
OP2A		(P2) (A)	104 ,146	TFR1A	(FR1) (A)	126 ,148	
IAP3		(A) (P3)	101 ,146	TFR2A	(FR2) (A)	126 ,148	
OP3A		(P3) (A)	104 ,146	TFR3A	(FR3) (A)	126 ,148	
IAP4		(A) (P4)	102 ,146	クロック 制御命令	CMCK	セラミック共振回路選択	99 ,148
OP4A		(P4) (A)	104 ,146		CRCK	RC発振回路選択	99 ,148
					TAMR	(A) (MR)	120 ,148
				LCD 制御命令	TMRA	(MR) (A)	129 ,148
					TAL1	(A) (L1)	120 ,148
			TL1A		(L1) (A)	128 ,148	
				TL2A	(L2) (A)	129 ,148	

命令機能別索引(続き)

分類	命令記号	機能	掲載ページ	分類	命令記号	機能	掲載ページ
シリアルI/O命令	TABSI	(B) (SI7 ~ SI4) (A) (SI3 ~ SI0)	117 ,148	その他	NOP	(PC) (PC) + 1	103 ,150
	TSIAB	(SI7 ~ SI4) (B) (SI3 ~ SI0) (A)	132 ,148		POF	時計動作モードへ遷移	105 ,150
	SST	(SIOF) 0 シリアルI/Oスタート	112 ,148		POF2	RAMバックアップモードへ遷移	105 ,150
	SNZSI	V23 = 0 : (SIOF) = 1 ? スキップ後 (SIOF) 0	111 ,148		EPOF	POF命令 ,POF2命令有効	100 ,150
	TAJ1	(A) (J1)	119 ,148		SNZP	(P) = 1 ?	110 ,150
	TJ1A	(J1) (A)	127 ,148		WRST	(WDF1) = 1 ? スキップ後 (WDF1) 0	134 ,150
A/D変換命令	TABAD	A/D変換モード時; (B) (AD9 ~ AD6) (A) (AD5 ~ AD2) コンパレータモード時; (B) (AD7 ~ AD4) (A) (AD3 ~ AD0)	116 ,150		RBK*	TABP p命令実行時 P6 0	106 ,150
	TALA	(A3 ,A2) (AD1 ,AD0) (A1 ,A0) 0	120 ,150		SBK*	TABP p命令実行時 P6 1	108 ,150
	TADAB	(AD7 ~ AD4) (B) (AD3 ~ AD0) (A)	118 ,150		SVDE	パワーダウンモード時 電圧低下検出回路有効	112 ,150
	ADST	(ADF) 0 A/D変換スタート	96 ,150				
	SNZAD	V22 = 0 : (ADF) = 1 ? スキップ後 (ADF) 0	110 ,150				
	TAQ1	(A) (Q1)	121 ,150				
	TQ1A	(Q1) (A)	131 ,150				
	TAQ2	(A) (Q2)	121 ,150				
	TQ2A	(Q2) (A)	131 ,150				
	TAQ3	(A) (Q3)	122 ,150				
	TQ3A	(Q3) (A)	131 ,150				

注 . M34524M8では、*(RBK ,SBK命令)は使用できません。

[アルファベット順]機械語命令一覧

An (Add n and accumulator)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 0 0 0 1 1 0 n n n n ₂ D ₀ 0 6 n ₁₆	1	1	—	オーバーフロー = 0
機能 : (A) (A) + n n = 0 ~ 15	分類 : 演算命令 詳細説明 : レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。			

ADST (A/D conversion SStart)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 1 0 1 0 0 1 1 1 1 1 ₂ D ₀ 2 9 F ₁₆	1	1	—	-
機能 : (ADF) 0 Q13 = 0 : A/D変換開始 Q13 = 1 : コンパレータ動作開始	分類 : A/D変換命令 詳細説明 : A/D変換終了フラグ(ADF)をクリア(0)し、A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が ⁰ のとき)はA/D変換、コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が ¹ のとき)はコンパレータ動作を開始します。			

AM (Add accumulator and Memory)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 0 0 0 0 0 0 1 0 1 0 ₂ D ₀ 0 0 A ₁₆	1	1	—	-
機能 : (A) (A) + (M(DP))	分類 : 演算命令 詳細説明 : レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。			

AMC (Add accumulator, Memory and Carry)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 0 0 0 0 0 0 1 0 1 1 ₂ D ₀ 0 0 B ₁₆	1	1	0/1	-
機能 : (A) (A) + (M(DP)) + (CY) (CY) キャリ	分類 : 演算命令 詳細説明 : レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。			

AND (logical AND between accumulator and memory)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>1</td><td>8</td></tr></table> ₁₆	0	0	0	0	0	0	1	1	0	0	0	0	1	8	語数 1	サイクル数 1	フラグCY -	スキップ条件 -
0	0	0	0	0	0	1	1	0	0	0								
0	1	8																
機能 : (A) (A) AND (M(DP))	分類 : 演算命令 詳細説明 : レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。																	

B a (Branch to address a)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>1</td><td>1</td><td>a₆</td><td>a₅</td><td>a₄</td><td>a₃</td><td>a₂</td><td>a₁</td><td>a₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>⁸_{+a}</td><td>a</td></tr></table> ₁₆	0	1	1	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1	⁸ _{+a}	a	語数 1	サイクル数 1	フラグCY -	スキップ条件 -
0	1	1	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀								
1	⁸ _{+a}	a															
機能 : (PCL) a ₆ ~ a ₀	分類 : ブランチ命令 詳細説明 : ページ内ブランチ : 同一ページのa番地へブランチします。 留意点 : ブランチ先はこの命令の存在するページ内で指定してください。																

BL p,a (Branch Long to address a in page p)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>p₄</td><td>p₃</td><td>p₂</td><td>p₁</td><td>p₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>^E_{+p}</td><td>p</td></tr></table> ₁₆ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>p₆</td><td>p₅</td><td>a₆</td><td>a₅</td><td>a₄</td><td>a₃</td><td>a₂</td><td>a₁</td><td>a₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>²_{+p}</td><td>^p_{+a}</td><td>a</td></tr></table> ₁₆	0	0	1	1	1	p ₄	p ₃	p ₂	p ₁	p ₀	0	^E _{+p}	p	1	p ₆	p ₅	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	² _{+p}	^p _{+a}	a	語数 2	サイクル数 2	フラグCY -	スキップ条件 -
0	0	1	1	1	p ₄	p ₃	p ₂	p ₁	p ₀																					
0	^E _{+p}	p																												
1	p ₆	p ₅	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀																					
² _{+p}	^p _{+a}	a																												
機能 : (PCH) p (PCL) a ₆ ~ a ₀	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのa番地へブランチします。 留意点 : M34524M8の場合 p = 0 ~ 63、M34524MCの場合 p = 0 ~ 95、M34524EDの場合 p = 0 ~ 127です。																													

BLA p (Branch Long to address (D)+(A) in page p)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>1</td><td>0</td></tr></table> ₁₆ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>p₆</td><td>p₅</td><td>p₄</td><td>0</td><td>0</td><td>p₃</td><td>p₂</td><td>p₁</td><td>p₀</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>²_{+p}</td><td>p</td><td>p</td></tr></table> ₁₆	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	p ₆	p ₅	p ₄	0	0	p ₃	p ₂	p ₁	p ₀	² _{+p}	p	p	語数 2	サイクル数 2	フラグCY -	スキップ条件 -
0	0	0	0	0	0	1	0	0	0	0																					
0	1	0																													
1	p ₆	p ₅	p ₄	0	0	p ₃	p ₂	p ₁	p ₀																						
² _{+p}	p	p																													
機能 : (PCH) p (PCL) (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地へブランチします。 留意点 : M34524M8の場合 p = 0 ~ 63、M34524MCの場合 p = 0 ~ 95、M34524EDの場合 p = 0 ~ 127です。																														

BM a (Branch and Mark to address a in page 2)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ 0 1 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ 2 1 a a 16 D ₀	1	1	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a ₆ ~ a ₀	分類 : サブルーチン呼び出し命令 詳細説明 : 2ページのサブルーチン呼び出し : 2ページのa番地のサブルーチン呼び出します。 留意点 : 2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブルーチンネスタングは最大8レベルですので、スタックオーバーにならないよう注意してください。			

BML p,a (Branch and Mark Long to address a in page p)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ 0 0 1 1 0 p ₄ p ₃ p ₂ p ₁ p ₀ 2 0 c +p p 16 D ₀	2	2	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a ₆ ~ a ₀	分類 : サブルーチン呼び出し命令 詳細説明 : サブルーチン呼び出し : pページのa番地のサブルーチン呼び出します。 留意点 : M34524M8の場合 p = 0 ~ 63、M34524MCの場合 p = 0 ~ 95、M34524EDの場合 p = 0 ~ 127です。サブルーチンネスタングは最大8レベルですので、スタックオーバーにならないよう注意してください。			

BMLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ 0 0 0 0 1 1 0 0 0 0 2 0 3 0 16 D ₀	2	2	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)	分類 : サブルーチン呼び出し命令 詳細説明 : サブルーチン呼び出し : pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のサブルーチン呼び出します。 留意点 : M34524M8の場合 p = 0 ~ 63、M34524MCの場合 p = 0 ~ 95、M34524EDの場合 p = 0 ~ 127です。サブルーチンネスタングは最大8レベルですので、スタックオーバーにならないよう注意してください。			

CLD (Clear port D)

機械語	語数	サイクル数	フラグC Y	スキップ条件
D ₉ 0 0 0 0 0 1 0 0 0 1 2 0 1 1 16 D ₀	1	1	-	-
機能 : (D) 1	分類 : 入出力命令 詳細説明 : ポートDをすべてセット(1)します。			

CMA (CoMplement of Accumulator)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 0 0 0 0 0 1 1 1 0 0 ₂ 0 1 C ₁₆	1	1	-	-
機能 : (A) (A)	分類 : 演算命令 詳細説明 : レジスタAの内容の1の補数をレジスタAに格納します。			

CMCK (Clock select : ceraMic oscillation Clock)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 1 0 0 1 1 0 1 0 ₂ 2 9 A ₁₆	1	1	-	-
機能 : セラミック発振回路選択	分類 : その他 詳細説明 : セラミック共振回路を選択し、オンチップオシレータを停止します。			

CRCK (Clock select : Rc oscillation Clock)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 1 0 0 1 1 0 1 1 ₂ 2 9 B ₁₆	1	1	-	-
機能 : RC発振回路選択	分類 : その他 詳細説明 : RC発振回路を選択し、オンチップオシレータを停止します。			

DEY (DEcrement register Y)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 0 0 0 0 0 1 0 1 1 1 ₂ 0 1 7 ₁₆	1	1	-	(Y) = 15
機能 : (Y) (Y) - 1	分類 : RAMアドレス命令 詳細説明 : レジスタYの内容を - 1します。その結果、レジスタYの内容が " 15 "であれば、次の命令をスキップします。" 15 "以外ならば、そのまま次の命令を実行します。			

DI (Disable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 0 0	0 0 4	1	1	-	-
機能 : (INTE) 0		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。 留意点 : DI命令による割り込み禁止は、DI命令実行から1マシンサイクル後に行われます。			

DWDT (Disable WatchDog Timer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 1 1 0 0	2 9 C	1	1	-	-
機能 : ウォッチドッグタイマ機能停止許可		分類 : その他 詳細説明 : DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。			

EI (Enable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 0 1	0 0 5	1	1	-	-
機能 : (INTE) 1		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。 留意点 : EI命令による割り込み許可は、EI命令の実行から1マシンサイクル後に行われます。			

EPOF (Enable POF instruction)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 0 1 1	0 5 B	1	1	-	-
機能 : POF命令、POF2命令有効		分類 : その他 詳細説明 : EPOF命令を実行すると、直後のPOF命令あるいはPOF2命令が有効になります。			

IAP0 (Input Accumulator from port P0)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 1 0 0 0 0 0 2 2 6 0 16	1	1	-	-
機能 : (A) (P0)	分類 : 入出力命令 詳細説明 : ポートP0の入力を、レジスタAへ転送します。			

IAP1 (Input Accumulator from port P1)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 1 0 0 0 0 1 2 2 6 1 16	1	1	-	-
機能 : (A) (P1)	分類 : 入出力命令 詳細説明 : ポートP1の入力を、レジスタAへ転送します。			

IAP2 (Input Accumulator from port P2)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 1 0 0 0 1 0 2 2 6 2 16	1	1	-	-
機能 : (A) (P2)	分類 : 入出力命令 詳細説明 : ポートP2の入力を、レジスタAへ転送します。			

IAP3 (Input Accumulator from port P3)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 1 0 0 0 1 1 2 2 6 3 16	1	1	-	-
機能 : (A) (P3)	分類 : 入出力命令 詳細説明 : ポートP3の入力を、レジスタAへ転送します。			

IAP4 (Input Accumulator from port P4)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 1 0 0	2	1	1	-	-
2 6 4					
機能 : (A) (P4)		分類 : 入出力命令			
		詳細説明 : ポートP4の入力を、レジスタAへ転送します。			

INY (INcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 1 1	2	1	1	-	(Y) = 0
0 1 3					
機能 : (Y) (Y) + 1		分類 : RAMアドレス命令			
		詳細説明 : レジスタYの内容を +1します。その結果、レジスタYの内容が "0" であれば、次の命令をスキップします。"0" 以外ならば、そのまま次の命令を実行します。			

LA n (Load n in Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 1 n n n n	2	1	1	-	連続記述
0 7 n					
機能 : (A) n n = 0 ~ 15		分類 : 演算命令			
		詳細説明 : イミディエイトフィールドの値nをレジスタAにロードします。LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。			

LXY x,y (Load register X and Y with x and y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 1 x ₃ x ₂ x ₁ x ₀ y ₃ y ₂ y ₁ y ₀	2	1	1	-	連続記述
3 x y					
機能 : (X) x x = 0 ~ 15 (Y) y y = 0 ~ 15		分類 : RAMアドレス命令			
		詳細説明 : イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。			

LZ z (Load register Z with z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 1 0 z ₁ z ₀	z ₂	1	1	-	-
	0 4 ⁸ _{+z}				
機能 : (Z) z z = 0 ~ 3		分類 : RAMアドレス命令			
		詳細説明 : イミディエイトフィールドの値zをレジスタZへロードします。			

NOP (No OPeration)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 0 0 0	z ₂	1	1	-	-
	0 0 0				
機能 : (PC) (PC) + 1		分類 : その他			
		詳細説明 : ノーオペレーション : プログラムカウンタの値を+1します。他は変化しません。			

OP0A (Output port P0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 0 0 0 0 0	z ₂	1	1	-	-
	2 2 0				
機能 : (P0) (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、ポートP0へ出力します。			

OP1A (Output port P1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 0 0 0 1	z ₂	1	1	-	-
	2 2 1				
機能 : (P1) (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、ポートP1へ出力します。			

OP2A (Output port P2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 0 1 0	2 2 2	1	1	-	-
機能 : (P2) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP2へ出力します。			

OP3A (Output port P3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 0 1 1	2 2 3	1	1	-	-
機能 : (P3) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP3へ出力します。			

OP4A (Output port P4 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 1 0 0	2 2 4	1	1	-	-
機能 : (P4) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP4へ出力します。			

OR (logical OR between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 0 0 1	0 1 9	1	1	-	-
機能 : (A) (A) OR (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。			

POF (Power OFF1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 0 1 0	0 0 2	1	1	-	-
機能 : 時計動作モードへ遷移		分類 : その他 詳細説明 : EPOF命令実行直後にPOF命令を実行すると、本製品は時計動作モードになります。 留意点 : この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価となります。			

POF2 (Power OFF2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 0 0 0	0 0 8	1	1	-	-
機能 : RAMバックアップモードへ遷移		分類 : その他 詳細説明 : EPOF命令実行直後にPOF2命令を実行すると、本製品はRAMバックアップモードになります。 留意点 : この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価となります。			

RAR (Rotate Accumulator Right)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 0 1	0 1 D	1	1	0/1	-
機能 : CY A3A2A1A0		分類 : 演算命令 詳細説明 : キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。			

RB j (Reset Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 1 1 j j	0 4 ^C _{+j}	1	1	-	-
機能 : (Mj(DP)) 0 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。			

RBK (Reset Bank flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 0 0 0	0 4 0	1	1	-	-
機能 : TABP p命令実行時 P6 0		分類 : その他			
		詳細説明 : TABP p命令実行時に参照するデータ領域を0~63ページに設定します。この命令はTABP p命令に対してのみ有効です。			
		留意点 : M34524M8では、この命令は使用できません。			

RC (Reset Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 1 0	0 0 6	1	1	0	-
機能 : (CY) 0		分類 : 演算命令			
		詳細説明 : キャリフラグ(CY)をクリア(0)します。			

RCP (Reset Port C)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 1 0 0	2 8 C	1	1	-	-
機能 : (C) 0		分類 : 入出力命令			
		詳細説明 : ポートCをクリア(0)します。			

RD (Reset port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 0 0	0 1 4	1	1	-	-
機能 : (D(Y)) 0 (Y) = 0 ~ 9		分類 : 入出力命令			
		詳細説明 : ポートDのレジスタYの内容で指定されたポートをクリア(0)します。			

RT (ReTurn from subroutine)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 0 0	0 4 4	1	2	-	-
機能 : (PC) (SK(SP)) (SP) (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。			

RTI (ReTurn from Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 1 0	0 4 6	1	1	-	-
機能 : (PC) (SK(SP)) (SP) (SP) - 1		分類 : リターン命令 詳細説明 : 割り込み処理ルーチンからメインルーチンに戻ります。データポインタ(レジスタZ、X、Y)、キャリフラグ(CY)、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。			

RTS (ReTurn from subroutine and Skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 0 1	0 4 5	1	2	-	無条件スキップ
機能 : (PC) (SK(SP)) (SP) (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。			

SB j (Set Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 1 j j	0 5 $\begin{matrix} C \\ +j \end{matrix}$	1	1	-	-
機能 : (Mj(DP)) 1 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。			

SBK (Set Bank flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 0 0 1	0 4 1	1	1	-	-
機能 : TABP p命令実行時 P6 1		分類 : その他			
		<p>詳細説明 : TABP p命令実行時に参照するデータ領域を64 ~ 127ページに設定します。この命令はTABP p命令に対してのみ有効です。</p> <p>留意点 : M34524M8では、この命令は使用できません。 M34524MCでは、参照するデータ領域は64 ~ 95ページになります。</p>			

SC (Set Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 1 1	0 0 7	1	1	1	-
機能 : (CY) 1		分類 : 演算命令			
		<p>詳細説明 : キャリフラグ(CY)をセット(1)します。</p>			

SCP (Set Port C)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 1 0 1	2 8 D	1	1	-	-
機能 : (C) 1		分類 : 入出力命令			
		<p>詳細説明 : ポートCをセット(1)します。</p>			

SD (Set port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 0 1	0 1 5	1	1	-	-
機能 : (D(Y)) 1, (Y) = 0 ~ 9		分類 : 入出力命令			
		<p>詳細説明 : ポートDのレジスタYの内容で指定されたポートをセット(1)します。</p>			

SEA n (Skip Equal, Accumulator with immediate data n)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 0 1 0 0 1 0 1	2	0 2 5	16	2	2	-	(A) = n
0 0 0 1 1 1 n n n n	2	0 7 n	16	分類 : 比較命令			
機能 : (A) = n? n = 0 ~ 15							
詳細説明 : レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。							

SEAM (Skip Equal, Accumulator with Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 0 1 0 0 1 1 0	2	0 2 6	16	1	1	-	(A) = (M(DP))
機能 : (A) = (M(DP))?							
分類 : 比較命令							
詳細説明 : レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。							

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 0 1 1 1 0 0 0	2	0 3 8	16	1	1	-	V1 ₀ = 0 : (EXF0) = 1
機能 : V1 ₀ = 0 : (EXF0) = 1? スキップ後、(EXF0) 0 V1 ₀ = 1 : SNZ0 = NOP							
分類 : 割り込み制御命令							
詳細説明 : 割り込み制御レジスタV1のビット0(V1 ₀)の内容が* 0 *のときは、外部0割り込み要求フラグ(EXF0)が* 1 *であれば、次の命令をスキップし、その後フラグEXF0をクリア(0)します。* 0 *ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット0(V1 ₀)の内容が* 1 *のときは、この命令はNOP命令と等価となります。							

SNZ1 (Skip if Non Zero condition of external interrupt 1 request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件		
0 0 0 0 1 1 1 0 0 1	2	0 3 9	16	1	1	-	V1 ₁ = 0 : (EXF1) = 1
機能 : V1 ₁ = 0 : (EXF1) = 1? スキップ後、(EXF1) 0 V1 ₁ = 1 : SNZ1 = NOP							
分類 : 割り込み制御命令							
詳細説明 : 割り込み制御レジスタV1のビット1(V1 ₁)の内容が* 0 *のときは、外部1割り込み要求フラグ(EXF1)が* 1 *であれば、次の命令をスキップし、その後フラグEXF1をクリア(0)します。* 0 *ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット1(V1 ₁)の内容が* 1 *のときは、この命令はNOP命令と等価となります。							

SNZAD (Skip if Non Zero condition of A/D conversion completion flag)

機械語	語数	サイクル数	フラグCY	スキップ条件													
機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>8</td><td>7</td></tr></table> ₁₆	1	0	1	0	0	0	0	1	1	1	2	8	7	1	1	-	V2 ₂ = 0 : (ADF) = 1
1	0	1	0	0	0	0	1	1	1								
2	8	7															
機能 : V2 ₂ = 0 : (ADF) = 1 ? スキップ後、(ADF) = 0 V2 ₂ = 1 : SNZAD = NOP	分類 : A/D変換命令 詳細説明 : 割り込み制御レジスタV2のビット2(V2 ₂)の内容が [#] 0 "0"のときは、A/D変換終了フラグ(ADF)が [#] 1 "1"であれば、次の命令をスキップし、その後フラグADFをクリア(0)します。"0"ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット2(V2 ₂)の内容が [#] 1 "1"のときは、この命令はNOP命令と等価となります。																

SNZIO (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語	語数	サイクル数	フラグCY	スキップ条件													
機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>3</td><td>A</td></tr></table> ₁₆	0	0	0	0	1	1	1	0	1	0	0	3	A	1	1	-	I1 ₂ = 1 : (INT0) = "H" I1 ₂ = 0 : (INT0) = "L"
0	0	0	0	1	1	1	0	1	0								
0	3	A															
機能 : I1 ₂ = 1 : (INT0) = "H" ? I1 ₂ = 0 : (INT0) = "L" ?	分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1のビット2(I1 ₂)の内容が [#] 1 "1"のときは、INT0端子のレベルが [#] H "H"であれば次の命令をスキップします。 "L"ならば、そのまま次の命令を実行します。 割り込み制御レジスタI1のビット2(I1 ₂)の内容が [#] 0 "0"のときは、INT0端子のレベルが [#] L "L"であれば次の命令をスキップします。 "H"ならば、そのまま次の命令を実行します。																

SNZI1 (Skip if Non Zero condition of external Interrupt 1 input pin)

機械語	語数	サイクル数	フラグCY	スキップ条件													
機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>3</td><td>B</td></tr></table> ₁₆	0	0	0	0	1	1	1	0	1	1	0	3	B	1	1	-	I2 ₂ = 1 : (INT1) = "H" I2 ₂ = 0 : (INT1) = "L"
0	0	0	0	1	1	1	0	1	1								
0	3	B															
機能 : I2 ₂ = 1 : (INT1) = "H" ? I2 ₂ = 0 : (INT1) = "L" ?	分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI2のビット2(I2 ₂)の内容が [#] 1 "1"のときは、INT1端子のレベルが [#] H "H"であれば次の命令をスキップします。 "L"ならば、そのまま次の命令を実行します。 割り込み制御レジスタI2のビット2(I2 ₂)の内容が [#] 0 "0"のときは、INT1端子のレベルが [#] L "L"であれば次の命令をスキップします。 "H"ならば、そのまま次の命令を実行します。																

SNZP (Skip if Non Zero condition of Power down flag)

機械語	語数	サイクル数	フラグCY	スキップ条件													
機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>3</td></tr></table> ₁₆	0	0	0	0	0	0	0	0	1	1	0	0	3	1	1	-	(P) = 1
0	0	0	0	0	0	0	0	1	1								
0	0	3															
機能 : (P) = 1 ?	分類 : その他 詳細説明 : パワーダウンフラグ(P)の内容が [#] 1 "1"であれば、次の命令をスキップします。"0"ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。																

SNZSI (Skip if Non Zero condition of Serial I/o interrupt request flag)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>8</td><td>8</td></tr></table> ₁₆	1	0	1	0	0	0	1	0	0	0	2	8	8	語数 1	サイクル数 1	フラグCY -	スキップ条件 V23 = 0 : (SIOF) = 1
1	0	1	0	0	0	1	0	0	0								
2	8	8															
機能 : V23 = 0 : (SIOF) = 1 ? スキップ後、(SIOF) 0 V23 = 1 : SNZSI = NOP	分類 : シリアルI/O命令 詳細説明 : 割り込み制御レジスタV2のビット3(V23)の内容が* 0 'のときは、シリアルI/O割り込み要求フラグ(SIOF)が* 1 'であれば、次の命令をスキップし、その後フラグSIOFをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット3(V23)の内容が* 1 'のときは、この命令はNOP命令と等価となります。																

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>8</td><td>0</td></tr></table> ₁₆	1	0	1	0	0	0	0	0	0	0	2	8	0	語数 1	サイクル数 1	フラグCY -	スキップ条件 V12 = 0 : (T1F) = 1
1	0	1	0	0	0	0	0	0	0								
2	8	0															
機能 : V12 = 0 : (T1F) = 1 ? スキップ後、(T1F) 0 V12 = 1 : SNZT1 = NOP	分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット2(V12)の内容が* 0 'のときは、タイマ1割り込み要求フラグ(T1F)が* 1 'であれば、次の命令をスキップし、その後フラグT1Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V12)の内容が* 1 'のときは、この命令はNOP命令と等価となります。																

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>8</td><td>1</td></tr></table> ₁₆	1	0	1	0	0	0	0	0	0	1	2	8	1	語数 1	サイクル数 1	フラグCY -	スキップ条件 V13 = 0 : (T2F) = 1
1	0	1	0	0	0	0	0	0	1								
2	8	1															
機能 : V13 = 0 : (T2F) = 1 ? スキップ後、(T2F) 0 V13 = 1 : SNZT2 = NOP	分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット3(V13)の内容が* 0 'のときは、タイマ2割り込み要求フラグ(T2F)が* 1 'であれば、次の命令をスキップし、その後フラグT2Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V13)の内容が* 1 'のときは、この命令はNOP命令と等価となります。																

SNZT3 (Skip if Non Zero condition of Timer 3 interrupt request flag)

機械語 : D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr></table> D ₀ <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>2</td><td>8</td><td>2</td></tr></table> ₁₆	1	0	1	0	0	0	0	0	1	0	2	8	2	語数 1	サイクル数 1	フラグCY -	スキップ条件 V20 = 0 : (T3F) = 1
1	0	1	0	0	0	0	0	1	0								
2	8	2															
機能 : V20 = 0 : (T3F) = 1 ? スキップ後、(T3F) 0 V20 = 1 : SNZT3 = NOP	分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV2のビット0(V20)の内容が* 0 'のときは、タイマ3割り込み要求フラグ(T3F)が* 1 'であれば、次の命令をスキップし、その後フラグT3Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット0(V20)の内容が* 1 'のときは、この命令はNOP命令と等価となります。																

SNZT4 (Skip if Non Zero condition of Timer 4 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 0 1 1	2	1	1	-	V23 = 0 : (T4F) = 1
2 8 3		16			
機能 : V23 = 0 : (T4F) = 1 ? スキップ後、(T4F) 0 V23 = 1 : SNZT4 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV2のビット3(V23)の内容が [※] 0 のときは、タイマ4割り込み要求フラグ(T4F)が [※] 1 であれば、次の命令をスキップし、その後フラグT4Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット3(V23)の内容が [※] 1 のときは、この命令はNOP命令と等価となります。			

SNZT5 (Skip if Non Zero condition of Timer 5 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 1 0 0	2	1	1	-	V21 = 0 : (T5F) = 1
2 8 4		16			
機能 : V21 = 0 : (T5F) = 1 ? スキップ後、(T5F) 0 V21 = 1 : SNZT5 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV2のビット1(V21)の内容が [※] 0 のときは、タイマ5割り込み要求フラグ(T5F)が [※] 1 であれば、次の命令をスキップし、その後フラグT5Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット1(V21)の内容が [※] 1 のときは、この命令はNOP命令と等価となります。			

SST (Serial i/o transmission/reception SStart)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 1 0	2	1	1	-	-
2 9 E		16			
機能 : (SIOF) 0 シリアルI/O送受信開始		分類 : シリアルI/O命令 詳細説明 : シリアルI/O送受信終了フラグ(SIOF)をクリア(0)し、シリアルI/O送受信動作を開始します。			

SVDE (Set Voltage Detector Enable flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 0 0 1 1	2	1	1	-	-
2 9 3		16			
機能 : パワーダウンモード時:電圧低下検出回路有効		分類 : その他 詳細説明 : VDCE端子が [※] H のとき、パワーダウンモード(時計動作モード、RAMバックアップモード)時に電圧低下検出回路を有効にします。			

SZB j (Skip if Zero, Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 0	j j	1	1	-	(Mj(DP)) = 0 j = 0 ~ 3
	2				
	0 2 j				
	16				
機能 : (Mj(DP)) = 0 ? j = 0 ~ 3		分類 : ビット操作命令			
		詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値で指定されたビット)の内容が"0"であれば、次の命令をスキップします。"1"ならば、そのまま次の命令を実行します。			

SZC (Skip if Zero, Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 1 1 1		1	1	-	(CY) = 0
	2				
	0 2 F				
	16				
機能 : (CY) = 0 ?		分類 : 演算命令			
		詳細説明 : キャリフラグ(CY)の内容が"0"のとき、次の命令をスキップします。"1"ならば、そのまま次の命令を実行します。スキップ後もフラグCYは変化しません。			

SZD (Skip if Zero, port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 1 0 0		2	2	-	(D(Y)) = 0 (Y) = 0 ~ 7
	2				
	0 2 4				
	16				
	0 0 0 0 1 0 1 0 1 1				
	2				
	0 2 B				
	16				
機能 : (D(Y)) = 0 ? (Y) = 0 ~ 7		分類 : 入出力命令			
		詳細説明 : ポートDのレジスタYの内容で指定されたポートの内容が"0"であれば、次の命令をスキップします。"1"ならば、そのまま次の命令を実行します。			

T1AB (Transfer data to timer 1 and register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 0 0		1	1	-	-
	2				
	2 3 0				
	16				
機能 : (T17 ~ T14) (B) (R17 ~ R14) (B) (T13 ~ T10) (A) (R13 ~ R10) (A)		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をタイマ1とリロードレジスタR1の上位4ビットへ、レジスタAの内容をタイマ1とリロードレジスタR1の下位4ビットへ転送します。			

T2AB (Transfer data to timer 2 and register R2 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 0 1	2	1	1	-	-
		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をタイマ2とリロードレジスタR2の上位4ビットへ、レジスタAの内容をタイマ2とリロードレジスタR2の下位4ビットへ転送します。			
機能 : (T27 ~ T24) (B) (R27 ~ R24) (B) (T23 ~ T20) (A) (R23 ~ R20) (A)					

T3AB (Transfer data to timer 3 and register R3 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 1 0	2	1	1	-	-
		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をタイマ3とリロードレジスタR3の上位4ビットへ、レジスタAの内容をタイマ3とリロードレジスタR3の下位4ビットへ転送します。			
機能 : (T37 ~ T34) (B) (R37 ~ R34) (B) (T33 ~ T30) (A) (R33 ~ R30) (A)					

T4AB (Transfer data to timer 4 and register R4L from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 1 1	2	1	1	-	-
		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をタイマ4とリロードレジスタR4Lの上位4ビットへ、レジスタAの内容をタイマ4とリロードレジスタR4Lの下位4ビットへ転送します。			
機能 : (T47 ~ T44) (B) (R4L7 ~ R4L4) (B) (T43 ~ T40) (A) (R4L3 ~ R4L0) (A)					

T4HAB (Transfer data to register R4H from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 1 1 1	2	1	1	-	-
		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をタイマ4のリロードレジスタR4Hの上位4ビットへ、レジスタAの内容をタイマ4のリロードレジスタR4Hの下位4ビットへ転送します。			
機能 : (R4H7 ~ R4H4) (B) (R4H3 ~ R4H0) (A)					

T4R4L (Transfer data to timer 4 from register R4L)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 0 1 1 1	2 9 7	1	1	-	-
機能 : (T47 ~ T44) (R4L7 ~ R4L4) (T43 ~ T40) (R4L3 ~ R4L0)		分類 : タイマ操作命令 詳細説明 : リロードレジスタR4Lの内容を、タイマ4へ転送します。			

TAB (Transfer data to Accumulator from register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 1 0	0 1 E	1	1	-	-
機能 : (A) (B)		分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容を、レジスタAへ転送します。			

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 0 0 0	2 7 0	1	1	-	-
機能 : (B) (T17 ~ T14) (A) (T13 ~ T10)		分類 : タイマ操作命令 詳細説明 : タイマ1の上位4ビット(T17 ~ T14)の内容をレジスタBへ、タイマ1の下位4ビット(T13 ~ T10)の内容をレジスタAへ転送します。			

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 0 0 1	2 7 1	1	1	-	-
機能 : (B) (T27 ~ T24) (A) (T23 ~ T20)		分類 : タイマ操作命令 詳細説明 : タイマ2の上位4ビット(T27 ~ T24)の内容をレジスタBへ、タイマ2の下位4ビット(T23 ~ T20)の内容をレジスタAへ転送します。			

TAB3 (Transfer data to Accumulator and register B from timer 3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 0 1 0	2	1	1	-	-
		2 7 2 ₁₆			
機能 : (B) (T37 ~ T34) (A) (T33 ~ T30)		分類 : タイマ操作命令 詳細説明 : タイマ3の上位4ビット(T37 ~ T34)の内容をレジスタBへ、タイマ3の下位4ビット(T33 ~ T30)の内容をレジスタAへ転送します。			

TAB4 (Transfer data to Accumulator and register B from timer 4)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 0 1 1	2	1	1	-	-
		2 7 3 ₁₆			
機能 : (B) (T47 ~ T44) (A) (T43 ~ T40)		分類 : タイマ操作命令 詳細説明 : タイマ4の上位4ビット(T47 ~ T44)の内容をレジスタBへ、タイマ4の下位4ビット(T43 ~ T40)の内容をレジスタAへ転送します。			

TABAD (Transfer data to Accumulator and register B from register AD)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 1 0 0 1	2	1	1	-	-
		2 7 9 ₁₆			
機能 : A/D変換モード時(Q13 = 0) : (B) (AD9 ~ AD6) (A) (AD5 ~ AD2) コンパレータモード時(Q13 = 1) : (B) (AD7 ~ AD4) (A) (AD3 ~ AD0)		分類 : A/D変換命令 詳細説明 : A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が“0”のとき)は、レジスタADの上位4ビット(AD9 ~ AD6)をレジスタBへ、レジスタADの中位4ビット(AD5 ~ AD2)をレジスタAへ転送します。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が“1”のとき)は、レジスタADの中位4ビット(AD7 ~ AD4)をレジスタBへ、レジスタADの下位4ビット(AD3 ~ AD0)をレジスタAへ転送します。			

TABE (Transfer data to Accumulator and register B from register E)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 0 1 0	2	1	1	-	-
		0 2 A ₁₆			
機能 : (B) (E7 ~ E4) (A) (E3 ~ E0)		分類 : レジスタ間転送命令 詳細説明 : レジスタEの上位4ビット(E7 ~ E4)をレジスタBへ、レジスタEの下位4ビット(E3 ~ E0)をレジスタAへ転送します。			

TABP p (Transfer data to Accumulator and register B from Program memory in page p)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 0 0 1 0 p ₅ p ₄ p ₃ p ₂ p ₁ p ₀ D ₀ 0 ⁸ +p p ₁₆	1	3	-	-
機能 : (SP) (SP) + 1 (SK(SP)) (PC) (PC _H) p (PC _L) (DR ₂ ~ DR ₀ , A ₃ ~ A ₀) (B) (ROM(PC)) ₇ ~ 4 (A) (ROM(PC)) ₃ ~ 0 (PC) (SK(SP)) (SP) (SP) - 1	分類 : 演算命令 詳細説明 : p ページのレジスタDとレジスタAの内容で指定された (DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のROMパターンのうち、ビット7~4をレジスタBへ、ビット3~0をレジスタAへ転送します。この命令を実行するときは、スタックレジスタ(SK)を1段使用します。SBK命令実行後は64~127ページ、RBK命令実行後は0~63ページを指定します。リセット解除、パワーダウンからの復帰後は0~63ページを指定します。 留意点 : M34524M8の場合p=0~63、M34524MCの場合p=0~95、M34524EDの場合p=0~127です。TABP p命令実行時、スタックレジスタ(SK)を1段使用しますので、スタックオーバにならないよう注意してください。			

TABPS (Transfer data to Accumulator and register B from Pre-Scaler)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 1 0 0 1 1 1 0 1 0 1 D ₀ 2 2 7 5 ₁₆	1	1	-	-
機能 : (B) (TPS ₇ ~ TPS ₄) (A) (TPS ₃ ~ TPS ₀)	分類 : タイマ操作命令 詳細説明 : プリスケアラの上位4ビット(TPS ₇ ~ TPS ₄)の内容をレジスタBへ、プリスケアラの下位4ビット(TPS ₃ ~ TPS ₀)の内容をレジスタAへ転送します。			

TABSI (Transfer data to Accumulator and register B from register SI)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 1 0 0 1 1 1 1 0 0 0 D ₀ 2 2 7 8 ₁₆	1	1	-	-
機能 : (B) (SI ₇ ~ SI ₄) (A) (SI ₃ ~ SI ₀)	分類 : シリアルI/O命令 詳細説明 : レジスタSIの上位4ビット(SI ₇ ~ SI ₄)の内容をレジスタBへ、レジスタSIの下位4ビット(SI ₃ ~ SI ₀)の内容をレジスタAへ転送します。			

TAD (Transfer data to Accumulator from register D)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ 0 0 0 1 0 1 0 0 0 1 D ₀ 2 0 5 1 ₁₆	1	1	-	-
機能 : (A ₂ ~ A ₀) (DR ₂ ~ DR ₀) (A ₃) 0	分類 : レジスタ間転送命令 詳細説明 : レジスタDの内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。 留意点 : TAD命令実行時、レジスタAの最上位ビット(A ₃)には"0"が格納されます。			

TADAB (Transfer data to register AD from Accumulator from register B)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 0 1 1 1 0 0 1 ₂ 2 3 9 ₁₆	1	1	-	-
機能 : (AD ₇ ~ AD ₄) (B) (AD ₃ ~ AD ₀) (A)	分類 : A/D変換命令 詳細説明 : コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が“1”のとき)に、レジスタBの内容をコンパレータレジスタの上位4ビット(AD ₇ ~ AD ₄)へ、レジスタAの内容をコンパレータレジスタの下位4ビット(AD ₃ ~ AD ₀)へ転送します。 A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が“0”のとき)は、この命令はNOP命令と等価となります。			

TAI1 (Transfer data to Accumulator from register I1)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 0 1 0 0 1 1 ₂ 2 5 3 ₁₆	1	1	-	-
機能 : (A) (I1)	分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1の内容を、レジスタAへ転送します。			

TAI2 (Transfer data to Accumulator from register I2)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 0 1 0 1 0 0 ₂ 2 5 4 ₁₆	1	1	-	-
機能 : (A) (I2)	分類 : 割り込み命令 詳細説明 : 割り込み制御レジスタI2の内容を、レジスタAへ転送します。			

TAI3 (Transfer data to Accumulator from register I3)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 1 0 1 0 1 0 1 ₂ 2 5 5 ₁₆	1	1	-	-
機能 : (A ₀) (I3 ₀) (A ₃ ~ A ₁) 0	分類 : 割り込み命令 詳細説明 : 割り込み制御レジスタI3の内容を、レジスタAの最下位ビット(A ₀)へ転送します。 留意点 : TAI3命令実行時、レジスタAの上位3ビット(A ₃ ~ A ₁)には“0”が格納されます。			

TAJ1 (Transfer data to Accumulator from register J1)

機械語	語数	サイクル数	フラグCY	スキップ条件													
D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> </table> ₂ <table border="1" style="display: inline-table; vertical-align: middle; margin-left: 10px;"> <tr><td>2</td><td>4</td><td>2</td></tr> </table> ₁₆	1	0	0	1	0	0	0	0	1	0	2	4	2	1	1	-	-
1	0	0	1	0	0	0	0	1	0								
2	4	2															
機能 : (A) (J1)	分類 : シリアルI/O命令 詳細説明 : シリアルI/O制御レジスタJ1の内容を、レジスタAへ転送します。																

TAK0 (Transfer data to Accumulator from register K0)

機械語	語数	サイクル数	フラグCY	スキップ条件													
D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> </table> ₂ <table border="1" style="display: inline-table; vertical-align: middle; margin-left: 10px;"> <tr><td>2</td><td>5</td><td>6</td></tr> </table> ₁₆	1	0	0	1	0	1	0	1	1	0	2	5	6	1	1	-	-
1	0	0	1	0	1	0	1	1	0								
2	5	6															
機能 : (A) (K0)	分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。																

TAK1 (Transfer data to Accumulator from register K1)

機械語	語数	サイクル数	フラグCY	スキップ条件													
D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> </table> ₂ <table border="1" style="display: inline-table; vertical-align: middle; margin-left: 10px;"> <tr><td>2</td><td>5</td><td>9</td></tr> </table> ₁₆	1	0	0	1	0	1	1	0	0	1	2	5	9	1	1	-	-
1	0	0	1	0	1	1	0	0	1								
2	5	9															
機能 : (A) (K1)	分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。																

TAK2 (Transfer data to Accumulator from register K2)

機械語	語数	サイクル数	フラグCY	スキップ条件													
D ₉ <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td></tr> </table> ₂ <table border="1" style="display: inline-table; vertical-align: middle; margin-left: 10px;"> <tr><td>2</td><td>5</td><td>A</td></tr> </table> ₁₆	1	0	0	1	0	1	1	0	1	0	2	5	A	1	1	-	-
1	0	0	1	0	1	1	0	1	0								
2	5	A															
機能 : (A) (K2)	分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。																

TAL1 (Transfer data to Accumulator from register L1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
1 0 0 1 0 0 1 0 1 0	2	2 4 A	16	1	1	-	-
機能 : (A) (L1)		分類 : LCD制御命令					
		詳細説明 : LCD制御レジスタL1の内容を、レジスタAへ転送します。					

TALA (Transfer data to Accumulator from register LA)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
1 0 0 1 0 0 1 0 0 1	2	2 4 9	16	1	1	-	-
機能 : (A ₃ , A ₂) (AD ₁ , AD ₀) (A ₁ , A ₀) 0		分類 : A/D変換命令					
		詳細説明 : レジスタADの下位2ビット(AD ₁ , AD ₀)の内容を、レジスタAの上位2ビット(A ₃ , A ₂)へ転送します。					
		留意点 : TALA命令実行後、レジスタAの下位2ビット(A ₁ , A ₀)には'0'が格納されます。					

TAM j (Transfer data to Accumulator from Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
1 0 1 1 0 0 j j j j	2	2 C j	16	1	1	-	-
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令					
		詳細説明 : M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。					

TAMR (Transfer data to Accumulator from register MR)

機械語 : D ₉	D ₀	語数	サイクル数	フラグC Y	スキップ条件		
1 0 0 1 0 1 0 0 1 0	2	2 5 2	16	1	1	-	-
機能 : (A) (MR)		分類 : その他					
		詳細説明 : クロック制御レジスタMRの内容を、レジスタAへ転送します。					

TAPU0 (Transfer data to Accumulator from register PU0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 0 1 1 1	2	1	1	-	-
2 5 7		16			
機能 : (A) (PU0)		分類 : 入出力命令			
		詳細説明 : プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。			

TAPU1 (Transfer data to Accumulator from register PU1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 1 1 0	2	1	1	-	-
2 5 E		16			
機能 : (A) (PU1)		分類 : 入出力命令			
		詳細説明 : プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。			

TAQ1 (Transfer data to Accumulator from register Q1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 0 1 0 0	2	1	1	-	-
2 4 4		16			
機能 : (A) (Q1)		分類 : A/D変換命令			
		詳細説明 : A/D制御レジスタQ1の内容を、レジスタAへ転送します。			

TAQ2 (Transfer data to Accumulator from register Q2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 0 1 0 1	2	1	1	-	-
2 4 5		16			
機能 : (A) (Q2)		分類 : A/D変換命令			
		詳細説明 : A/D制御レジスタQ2の内容を、レジスタAへ転送します。			

TAQ3 (Transfer data to Accumulator from register Q3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 0 1 1 0	2	1	1	-	-
	2 4 6				
機能 : (A) (Q3)		分類 : A/D変換命令			
		詳細説明 : A/D制御レジスタQ3の内容を、レジスタAへ転送します。			

TASP (Transfer data to Accumulator from Stack Pointer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 0 0 0	2	1	1	-	-
	0 5 0				
機能 : (A ₂ ~ A ₀) (SP ₂ ~ SP ₀) (A ₃) 0		分類 : レジスタ間転送命令			
		詳細説明 : スタックポインタ(SP)の内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。			
		留意点 : TASP命令実行後、レジスタAの最上位ビット(A ₃)には「0」が格納されます。			

TAV1 (Transfer data to Accumulator from register V1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 1 0 0	2	1	1	-	-
	0 5 4				
機能 : (A) (V1)		分類 : 割り込み制御命令			
		詳細説明 : 割り込み制御レジスタV1の内容を、レジスタAへ転送します。			

TAV2 (Transfer data to Accumulator from register V2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 1 0 1	2	1	1	-	-
	0 5 5				
機能 : (A) (V2)		分類 : 割り込み制御命令			
		詳細説明 : 割り込み制御レジスタV2の内容を、レジスタAへ転送します。			

TAW1 (Transfer data to Accumulator from register W1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 0 1 1	2	1	1	-	-
2 4 B ₁₆					
機能 : (A) (W1)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW1の内容を、レジスタAへ転送します。			

TAW2 (Transfer data to Accumulator from register W2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 0 0	2	1	1	-	-
2 4 C ₁₆					
機能 : (A) (W2)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW2の内容を、レジスタAへ転送します。			

TAW3 (Transfer data to Accumulator from register W3)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 0 1	2	1	1	-	-
2 4 D ₁₆					
機能 : (A) (W3)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW3の内容を、レジスタAへ転送します。			

TAW4 (Transfer data to Accumulator from register W4)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 1 0	2	1	1	-	-
2 4 E ₁₆					
機能 : (A) (W4)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW4の内容を、レジスタAへ転送します。			

TAW5 (Transfer data to Accumulator from register W5)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 1 1	2	1	1	-	-
2 4 F ₁₆					
機能 : (A) (W5)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW5の内容を、レジスタAへ転送します。			

TAW6 (Transfer data to Accumulator from register W6)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 0 0 0 0	2	1	1	-	-
2 5 0 ₁₆					
機能 : (A) (W6)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW6の内容を、レジスタAへ転送します。			

TAX (Transfer data to Accumulator from register X)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 0 1 0	2	1	1	-	-
0 5 2 ₁₆					
機能 : (A) (X)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタXの内容を、レジスタAへ転送します。			

TAY (Transfer data to Accumulator from register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 1 1	2	1	1	-	-
0 1 F ₁₆					
機能 : (A) (Y)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタYの内容を、レジスタAへ転送します。			

TAZ (Transfer data to Accumulator from register Z)

機械語	語数	サイクル数	フラグC Y	スキップ条件
機械語 : D ₉ D₀ <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">1</div> 2 <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">5</div><div style="border: 1px solid black; padding: 2px;">3</div> 16 </div>	1	1	-	-
機能 : (A ₁ , A ₀) (Z ₁ , Z ₀) (A ₃ , A ₂) 0	分類 : レジスタ間転送命令 詳細説明 : レジスタZの内容を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。 留意点 : TAZ命令実行後、レジスタAの上位2ビット(A ₃ , A ₂)には'0'が格納されます。			

TBA (Transfer data to register B from Accumulator)

機械語	語数	サイクル数	フラグC Y	スキップ条件
機械語 : D ₉ D₀ <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div> 2 <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">E</div> 16 </div>	1	1	-	-
機能 : (B) (A)	分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタBへ転送します。			

TDA (Transfer data to register D from Accumulator)

機械語	語数	サイクル数	フラグC Y	スキップ条件
機械語 : D ₉ D₀ <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div> 2 <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">2</div><div style="border: 1px solid black; padding: 2px;">9</div> 16 </div>	1	1	-	-
機能 : (DR ₂ ~ DR ₀) (A ₂ ~ A ₀)	分類 : レジスタ間転送命令 詳細説明 : レジスタAの下位3ビット(A ₂ ~ A ₀)の内容を、レジスタDへ転送します。			

TEAB (Transfer data to register E from Accumulator and register B)

機械語	語数	サイクル数	フラグC Y	スキップ条件
機械語 : D ₉ D₀ <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">0</div> 2 <div style="border: 1px solid black; padding: 2px;">0</div><div style="border: 1px solid black; padding: 2px;">1</div><div style="border: 1px solid black; padding: 2px;">A</div> 16 </div>	1	1	-	-
機能 : (E ₇ ~ E ₄) (B) (E ₃ ~ E ₀) (A)	分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容をレジスタEの上位4ビット(E ₇ ~ E ₄)へ、レジスタAの内容をレジスタEの下位4ビット(E ₃ ~ E ₀)へ転送します。			

TFR0A (Transfer data to register FR0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 0	2 2 8	1	1	-	-
機能 : (FR0) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR0へ転送します。			

TFR1A (Transfer data to register FR1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 1	2 2 9	1	1	-	-
機能 : (FR1) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR1へ転送します。			

TFR2A (Transfer data to register FR2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 1 0	2 2 A	1	1	-	-
機能 : (FR2) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。			

TFR3A (Transfer data to register FR3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 1 1	2 2 B	1	1	-	-
機能 : (FR3) (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR3へ転送します。			

T11A (Transfer data to register I1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 1 1	2	1	1	-	-
2 1 7		16			
機能 : (I1) (A)		分類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を、割り込み制御レジスタI1へ転送します。			

T12A (Transfer data to register I2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 1 0 0 0	2	1	1	-	-
2 1 8		16			
機能 : (I2) (A)		分類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を、割り込み制御レジスタI2へ転送します。			

T13A (Transfer data to register I3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 1 0 1 0	2	1	1	-	-
2 1 A		16			
機能 : (I30) (A0)		分類 : 割り込み制御命令			
		詳細説明 : レジスタAの最下位ビット(A0)内容を、割り込み制御レジスタI3へ転送します。			

TJ1A (Transfer data to register J1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 0 0 1 0	2	1	1	-	-
2 0 2		16			
機能 : (J1) (A)		分類 : シリアルI/O命令			
		詳細説明 : レジスタAの内容を、シリアルI/O制御レジスタJ1へ転送します。			

TK0A (Transfer data to register K0 from Accumulator)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 0 0 1 1 0 1 1 ₂ 2 1 B ₁₆	1	1	-	-
機能 : (K0) (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。			

TK1A (Transfer data to register K1 from Accumulator)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 0 0 1 0 1 0 0 ₂ 2 1 4 ₁₆	1	1	-	-
機能 : (K1) (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。			

TK2A (Transfer data to register K2 from Accumulator)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 0 0 1 0 1 0 1 ₂ 2 1 5 ₁₆	1	1	-	-
機能 : (K2) (A)	分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。			

TL1A (Transfer data to register L1 from Accumulator)

機械語	語数	サイクル数	フラグCY	スキップ条件
D ₉ D ₀ 1 0 0 0 0 0 1 0 1 0 ₂ 2 0 A ₁₆	1	1	-	-
機能 : (L1) (A)	分類 : LCD制御命令 詳細説明 : レジスタAの内容を、LCD制御レジスタL1へ転送します。			

TL2A (Transfer data to register L2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 0 1 1	2	1	1	-	-
2 0 B		16			
機能 : (L2) (A)		分類 : LCD制御命令 詳細説明 : レジスタAの内容を、LCD制御レジスタL2へ転送します。			

TLCA (Transfer data to timer LC and register RLC from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 1 0 1	2	1	1	-	-
2 0 D		16			
機能 : (LC) (A) (RLC) (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマLCとリロードレジスタRLCへ転送します。			

TMA j (Transfer data to Memory from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 1 j j j j	2	1	1	-	-
2 B j		16			
機能 : (M(DP)) (A) (X) (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TMRA (Transfer data to register MR from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 1 0	2	1	1	-	-
2 1 6		16			
機能 : (MR) (A)		分類 : その他 詳細説明 : レジスタAの内容を、クロック制御レジスタMRへ転送します。			

TPAA (Transfer data to register PA from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件			
1 0 1 0 1 0 1 0 1 0	2	2	A A	16	1	1	-	-
機能 : (PA0) (A0)		分類 : タイマ操作命令				詳細説明 : レジスタAの最下位ビット(A0)内容を、タイマ制御レジスタPAへ転送します。		

TPSAB (Transfer data to Pre-Scaler from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件			
1 0 0 0 1 1 0 1 0 1	2	2	3 5	16	1	1	-	-
機能 : (RPS ₇ ~ RPS ₄) (B) (TPS ₇ ~ TPS ₄) (B) (RPS ₃ ~ RPS ₀) (A) (TPS ₃ ~ TPS ₀) (A)		分類 : タイマ操作命令				詳細説明 : レジスタBの内容をプリスケアラとリロードレジスタRPSの上位4ビットへ、レジスタAの内容をプリスケアラとリロードレジスタRPSの下位4ビットへ転送します。		

TPU0A (Transfer data to register PU0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件			
1 0 0 0 1 0 1 1 1 0 1	2	2	2 D	16	1	1	-	-
機能 : (PU0) (A)		分類 : 入出力命令				詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU0へ転送します。		

TPU1A (Transfer data to register PU1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件			
1 0 0 0 1 0 1 1 1 0	2	2	2 E	16	1	1	-	-
機能 : (PU1) (A)		分類 : 入出力命令				詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU1へ転送します。		

TQ1A (Transfer data to register Q1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 0 1 0 0	2	1	1	-	-
2 0 4		16			
機能 : (Q1) (A)		分類 : A/D変換命令			
		詳細説明 : レジスタAの内容を、A/D制御レジスタQ1へ転送します。			

TQ2A (Transfer data to register Q2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 0 1 0 1	2	1	1	-	-
2 0 5		16			
機能 : (Q2) (A)		分類 : A/D変換命令			
		詳細説明 : レジスタAの内容を、A/D制御レジスタQ2へ転送します。			

TQ3A (Transfer data to register Q3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 0 1 1 0	2	1	1	-	-
2 0 6		16			
機能 : (Q3) (A)		分類 : A/D変換命令			
		詳細説明 : レジスタAの内容を、A/D制御レジスタQ3へ転送します。			

TR1AB (Transfer data to register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 1 1 1 1	2	1	1	-	-
2 3 F		16			
機能 : (R17 ~ R14) (B) (R13 ~ R10) (A)		分類 : タイマ操作命令			
		詳細説明 : レジスタBの内容をリロードレジスタR1の上位4ビット(R17 ~ R14)へ、レジスタAの内容をリロードレジスタR1の下部4ビット(R13 ~ R10)へ転送します。			

TR3AB (Transfer data to register R3 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 1 0 1 1	2	1	1	-	-
2 3 B ₁₆					
機能 : (R37 ~ R34) (B) (R33 ~ R30) (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をリロードレジスタR3の上位4ビット(R37 ~ R34)へ、レジスタAの内容をリロードレジスタR3の下位4ビット(R33 ~ R30)へ転送します。			

TSIAB (Transfer data to register SI from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 1 0 0 0	2	1	1	-	-
2 3 8 ₁₆					
機能 : (SI7 ~ SI4) (B) (SI3 ~ SI0) (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をレジスタSIの上位4ビット(SI7 ~ SI4)へ、レジスタAの内容をレジスタSIの下位4ビット(SI3 ~ SI0)へ転送します。			

TV1A (Transfer data to register V1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 1 1 1 1	2	1	1	-	-
0 3 F ₁₆					
機能 : (V1) (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV1へ転送します。			

TV2A (Transfer data to register V2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 1 1 1 0	2	1	1	-	-
0 3 E ₁₆					
機能 : (V2) (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV2へ転送します。			

TW1A(Transfer data to register W1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件	
1 0 0 0 0 0 1 1 1 0	2	2 0 E	1	1	-	-
機能 : (W1) (A)		分類 : タイマ操作命令				
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW1へ転送します。				

TW2A(Transfer data to register W2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件	
1 0 0 0 0 0 1 1 1 1	2	2 0 F	1	1	-	-
機能 : (W2) (A)		分類 : タイマ操作命令				
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW2へ転送します。				

TW3A (Transfer data to register W3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件	
1 0 0 0 0 1 0 0 0 0	2	2 1 0	1	1	-	-
機能 : (W3) (A)		分類 : タイマ操作命令				
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW3へ転送します。				

TW4A (Transfer data to register W4 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件	
1 0 0 0 0 1 0 0 0 1	2	2 1 1	1	1	-	-
機能 : (W4) (A)		分類 : タイマ制御命令				
		詳細説明 : レジスタAの内容を、タイマ制御レジスタW4へ転送します。				

TW5A (Transfer data to register W5 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 0 1 0	2	1	1	-	-
		2 1 2			
機能 : (W5) (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW5へ転送します。			

TW6A (Transfer data to register W6 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 0 1 1	2	1	1	-	-
		2 1 3			
機能 : (W6) (A)		分類 : タイマ制御命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW6へ転送します。			

TYA (Transfer data to register Y from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 1 0 0	2	1	1	-	-
		0 0 C			
機能 : (Y) (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタYへ転送します。			

WRST(Watchdog timer ReSeT)

機械語 : D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 0 0 0 0 0	2	1	1	-	(WDF1) = 1
		2 A 0			
機能 : (WDF1) = 1 ? スキップ後、(WDF1) 0		分類 : その他 詳細説明 : ウォッチドッグタイマフラグ(WDF1)が“1”であれば、次の命令をスキップし、その後フラグWDF1をクリア(0)します。“0”ならば、そのまま次の命令を実行します。 また、DWD命令実行直後にWRST命令を実行するとウォッチドッグタイマ機能を停止します。			

XAM j (eXchange Accumulator and Memory data)

機械語	語数	サイクル数	フラグCY	スキップ条件
:D ₉ 1 0 1 1 0 1 j j j j :D ₀ 2 D j 16	1	1	-	-
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語	語数	サイクル数	フラグCY	スキップ条件
:D ₉ 1 0 1 1 1 1 j j j j :D ₀ 2 F j 16	1	1	-	(Y) = 15
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) - 1	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1し、その結果が " 15 "であれば、次の命令をスキップします。" 15 "以外ならば、そのまま次の命令を実行します。			

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

機械語	語数	サイクル数	フラグCY	スキップ条件
:D ₉ 1 0 1 1 1 0 j j j j :D ₀ 2 E j 16	1	1	-	(Y) = 0
機能 : (A) (M(DP)) (X) (X)EXOR(j) j = 0 ~ 15 (Y) (Y) + 1	分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を + 1し、その結果が " 0 "であれば、次の命令をスキップします。" 0 "以外ならば、そのまま次の命令を実行します。			

[機能分類別]機械語命令一覧表

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E7~E4) (B) (E3~E0) (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) (E7~E4) (A) (E3~E0)
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR2~DR0) (A2~A0)
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A2~A0) (DR2~DR0) (A3) 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A1, A0) (Z1, Z0) (A3, A2) 0
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) (X)
	TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A2~A0) (SP2~SP0) (A3) 0
RAMアドレス命令	LXY x, y	1	1	x3	x2	x1	x0	y3	y2	y1	y0	3 x y	1	1	(X) x, x = 0~15 (Y) y, y = 0~15
	LZ z	0	0	0	1	0	0	1	0	z1	z0	0 4 8 +z	1	1	(Z) z, z = 0~3
	INY	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) (Y) - 1
RAMレジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j=0~15
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j=0~15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j=0~15 (Y) (Y) - 1
	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) (M(DP)) (X) (X) EXOR (j) j=0~15 (Y) (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) (A) (X) (X) EXOR (j) j=0~15

スキップ条件	フラグ CY	詳細説明
-	-	レジスタBの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタBへ転送します。
-	-	レジスタYの内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、レジスタYへ転送します。
-	-	レジスタA及びレジスタBの内容を、レジスタEへ転送します。
-	-	レジスタEの内容を、レジスタA及びレジスタBへ転送します。
-	-	レジスタAの内容を、レジスタDへ転送します。
-	-	レジスタDの内容を、レジスタAへ転送します。
-	-	レジスタZの内容を、レジスタAへ転送します。
-	-	レジスタXの内容を、レジスタAへ転送します。
-	-	スタックポインタ(S P)の内容を、レジスタAへ転送します。
連続記述	-	イミディエイトフィールドの値xをレジスタXへロードし、イミディエイトフィールドの値yをレジスタYへロードします。 LXY命令を連続記述し、連続実行の場合は、最初に実行したLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。
-	-	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	-	レジスタYの内容を +1 します。その結果、レジスタYの内容が* 0 "であれば、次の命令をスキップします。
(Y) = 15	-	レジスタYの内容を - 1 します。その結果、レジスタYの内容が* 15 "であれば、次の命令をスキップします。
-	-	M(DP)の内容をレジスタAに転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
-	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1 し、その結果が* 15 "のとき、次の命令をスキップします。
(Y) = 0	-	M(DP)とレジスタAの内容を交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を + 1 し、その結果が* 0 "のとき、次の命令をスキップします。
-	-	レジスタAの内容をM(DP)に転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

分類	命令記号	命令コード											語数	サイクル数	機能				
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記							
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) n, n=0~15				
	TABP p	0	0	1	0	p5	p4	p3	p2	p1	p0	0 8 p +p	1	3	(SP) (SP)+1 (SK(SP)) (PC) (PCH) p (PCL) (DR2~DR0, A3~A0) (B) (ROM(PC))7~4 (A) (ROM(PC))3~0 (PC) (SK(SP)) (SP) (SP)-1				
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) (A) + (M(DP))				
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) (A) + (M(DP)) + (CY) (CY) キャリ				
	A n	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) (A) + n, n=0~15				
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) (A) AND (M(DP))				
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) (A) OR (M(DP))				
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) 1				
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) 0				
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY) = 0?				
	CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) $\overline{(A)}$				
	RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>CY</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td></tr></table>	CY	A3	A2	A1
CY	A3	A2	A1	A0															
操作命令	SB j	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(Mj(DP)) 1, j=0~3				
	RB j	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(Mj(DP)) 0, j=0~3				
	SZB j	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(Mj(DP)) = 0? j=0~3				
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A) = (M(DP))?				
	SEA n	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A) = n? n=0~15				
		0	0	0	1	1	1	n	n	n	n	0 7 n							

注 M34524M8の場合、p=0~63、M34524MCの場合、p=0~95、M34524EDの場合、p=0~127です。

スキップ条件	フラグCY	詳細説明
連続記述	-	イミディエイトフィールドの値nをレジスタAへロードします。 LA命令を連続記述し、連続実行の場合は、最初の実行したLA命令を除き、以下に連続記述されたLA命令はスキップされます。
-	-	pページのレジスタDとレジスタAで指定された(DR2 DR1 DR0 A3 A2 A1 A0)2番地のROMパターンのうち、ビット7~4をレジスタBに、ビット3~0をレジスタAへ転送します。 この命令を実行するときは、スタックを1段使用します。 SBK命令実行後は64~127ページ、RBK命令実行後は0~63ページを指定します。 リセット解除、パワーダウンからの復帰後は0~63ページを指定します。
-	-	レジスタAにM(DP)の内容を加え、結果をレジスタAに格納します。キャリフラグCYの内容は変化しません。
-	0/1	レジスタAにM(DP)の内容とキャリフラグCYの内容を加え、結果をレジスタAとキャリフラグCYに格納します。
オーバーフロー=0	-	レジスタAにイミディエイトフィールドの値nを加えます。キャリフラグCYの内容は変化しません。 演算の結果、オーバーフローしなければ次の命令をスキップします。
-	-	レジスタAとM(DP)の内容の論理積をとり、結果をレジスタAに格納します。
-	-	レジスタAとM(DP)の内容の論理和をとり、結果をレジスタAに格納します。
-	1	キャリフラグCYをセット(1)します。
-	0	キャリフラグCYをクリア(0)します。
(CY)=0	-	キャリフラグCYの内容が* 0 のとき、次の命令をスキップします。
-	-	レジスタAの内容の1の歩数をレジスタAに格納します。
-	0/1	キャリフラグを含め、レジスタAを右へ1ビットローテーションします。
-	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をセット(1)します。
-	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)をクリア(0)します。
(Mj(DP))=0 ただし、j=0~3	-	M(DP)の内容の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が* 0 のとき、次の命令をスキップします。
(A) = (M(DP))	-	レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。
(A) = n	-	レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。

分類	命令記号	命令コード										16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
ブランチ命令	B a	0	1	1	a6	a5	a4	a3	a2	a1	a0	1 8 a +a	1	1	(PCL) a6 ~ a0
	BL p a	0	0	1	1	1	p4	p3	p2	p1	p0	0 E p +p	2	2	(PCH) p (PCL) a6 ~ a0
		1	p6	p5	a6	a5	a4	a3	a2	a1	a0	2 p a +p +a			
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PCH) p (PCL) (DR2 ~ DR0 A3 ~ A0)
1		p6	p5	p4	0	0	p3	p2	p1	p0	2 p p +p				
サブルーチン呼び出し命令	BM a	0	1	0	a6	a5	a4	a3	a2	a1	a0	1 a a	1	1	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) 2 (PCL) a6 ~ a0
	BML p a	0	0	1	1	0	p4	p3	p2	p1	p0	0 C p +p	2	2	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) a6 ~ a0
		1	p6	p5	a6	a5	a4	a3	a2	a1	a0	2 p a +p +a			
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) (SP) + 1 (SK(SP)) (PC) (PCH) p (PCL) (DR2 ~ DR0 A3 ~ A0)
1		p6	p5	p4	0	0	p3	p2	p1	p0	2 p p +p				
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) (SK(SP)) (SP) (SP) - 1
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) (SK(SP)) (SP) (SP) - 1
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) (SK(SP)) (SP) (SP) - 1
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) 0
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) 1
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	V10=0:(EXF0)=1? スキップ後 (EXF0) 0 V10=1:NOP
	SNZ1	0	0	0	0	1	1	1	0	0	1	0 3 9	1	1	V11=0:(EXF1)=1? スキップ後 (EXF1) 0 V11=1:NOP

注 M34524M8の場合、p=0 ~ 63、M34524MCの場合、p=0 ~ 95、M34524EDの場合、p=0 ~ 127です。

スキップ条件	フラグCY	詳細説明
-	-	ページ内ブランチ:同一ページのa番地へブランチします。
-	-	ページ外ブランチ:pページのa番地へブランチします。
-	-	ページ外ブランチ:pページのレジスタD,レジスタAで指定された(DR2DR1DR0A3A2A1A0)2番地へブランチします。
-	-	2ページのサブルーチン呼び出し:2ページのa番地のサブルーチン呼び出します。
-	-	サブルーチン呼び出し:pページのa番地のサブルーチン呼び出します。
-	-	サブルーチン呼び出し:pページのレジスタD,レジスタAで指定された(DR2DR1DR0A3A2A1A0)2番地のサブルーチン呼び出します。
-	-	割り込み処理ルーチンからメインルーチンに戻ります。 データポインタ(X, Y, Z)、キャリフラグ、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。
-	-	サブルーチンから、このサブルーチン呼び出したルーチンに戻ります。
無条件スキップ	-	サブルーチンから、このサブルーチン呼び出したルーチンに戻り、次の命令を無条件にスキップします。
-	-	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
-	-	割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。
V10 = 0: (EXF0) = 1	-	割り込み制御レジスタV1のビット0(V10)の内容が* 0 *で、外部0割り込み要求フラグEXF0が* 1 *のとき、次の命令をスキップします。スキップ後、外部0割り込み要求フラグEXF0をクリア(0)します。
V11 = 0: (EXF1) = 1	-	割り込み制御レジスタV1のビット1(V11)の内容が* 0 *で、外部1割り込み要求フラグEXF1が* 1 *のとき、次の命令をスキップします。スキップ後、外部1割り込み要求フラグEXF1をクリア(0)します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
割り込み制御命令	SNZIO	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 1:(INT0) = " H "? I12 = 0:(INT0) = " L "?
	SNZI1	0	0	0	0	1	1	1	0	1	1	0 3 B	1	1	I22 = 1:(INT1) = " H "? I22 = 0:(INT1) = " L "?
	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) (V1)
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) (A)
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) (V2)
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) (A)
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) (I1)
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) (A)
	TAI2	1	0	0	1	0	1	0	1	0	0	2 5 4	1	1	(A) (I2)
	TI2A	1	0	0	0	0	1	1	0	0	0	2 1 8	1	1	(I2) (A)
	TAI3	1	0	0	1	0	1	0	1	0	1	2 5 5	1	1	(A0) (I30) (A3 ~ A1) 0
TI3A	1	0	0	0	0	1	1	0	1	0	2 1 A	1	1	(I30) (A0)	
タイマ操作命令	TPAA	1	0	1	0	1	0	1	0	1	0	2 A A	1	1	(PA0) (A0)
	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) (A)
	TAW3	1	0	0	1	0	0	1	1	0	1	2 4 D	1	1	(A) (W3)
	TW3A	1	0	0	0	0	1	0	0	0	0	2 1 0	1	1	(W3) (A)
	TAW4	1	0	0	1	0	0	1	1	1	0	2 4 E	1	1	(A) (W4)
	TW4A	1	0	0	0	0	1	0	0	0	1	2 1 1	1	1	(W4) (A)
	TAW5	1	0	0	1	0	0	1	1	1	1	2 4 F	1	1	(A) (W5)
	TW5A	1	0	0	0	0	1	0	0	1	0	2 1 2	1	1	(W5) (A)
	TAW6	1	0	0	1	0	1	0	0	0	0	2 5 0	1	1	(A) (W6)
TW6A	1	0	0	0	0	1	0	0	1	1	2 1 3	1	1	(W6) (A)	

スキップ条件	フラグ CY	詳細説明
I12 = 1: (INT0) = " H "	-	割り込み制御レジスタI1のビット2(I12)の内容が [#] 1 "で、INT0端子のレベルが H "のとき、次の命令をスキップします。
I12 = 0: (INT0) = " L "	-	割り込み制御レジスタI1のビット2(I12)の内容が [#] 0 "で、INT0端子のレベルが L "のとき、次の命令をスキップします。
I22 = 1: (INT1) = " H "	-	割り込み制御レジスタI2のビット2(I22)の内容が [#] 1 "で、INT1端子のレベルが H "のとき、次の命令をスキップします。
I22 = 0: (INT1) = " L "	-	割り込み制御レジスタI2のビット2(I22)の内容が [#] 1 "で、INT1端子のレベルが L "のとき、次の命令をスキップします。
-	-	割り込み制御レジスタV1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタV1へ転送します。
-	-	割り込み制御レジスタV2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタV2へ転送します。
-	-	割り込み制御レジスタI1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタI1へ転送します。
-	-	割り込み制御レジスタI2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、割り込み制御レジスタI2へ転送します。
-	-	割り込み制御レジスタI3の内容を、レジスタAの最下位ビット(A0)へ転送します。
-	-	レジスタAの最下位ビット(A0)の内容を、割り込み制御レジスタI3へ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタPAへ転送します。
-	-	タイマ制御レジスタW1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW1へ転送します。
-	-	タイマ制御レジスタW2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW2へ転送します。
-	-	タイマ制御レジスタW3の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW3へ転送します。
-	-	タイマ制御レジスタW4の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW4へ転送します。
-	-	タイマ制御レジスタW5の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW5へ転送します。
-	-	タイマ制御レジスタW6の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、タイマ制御レジスタW6へ転送します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
タイム操作命令	TABPS	1	0	0	1	1	1	0	1	0	1	2 7 5	1	1	(B) (TPS7 ~ TPS4) (A) (TPS3 ~ TPS0)
	TPSAB	1	0	0	0	1	1	0	1	0	1	2 3 5	1	1	(RPS7 ~ RPS4) (B) (TPS7 ~ TPS4) (B) (RPS3 ~ RPS0) (A) (TPS3 ~ TPS0) (A)
	TAB1	1	0	0	1	1	1	0	0	0	0	2 7 0	1	1	(B) (T17 ~ T14) (A) (T13 ~ T10)
	T1AB	1	0	0	0	1	1	0	0	0	0	2 3 0	1	1	(R17 ~ R14) (B) (T17 ~ T14) (B) (R13 ~ R10) (A) (T13 ~ T10) (A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2 7 1	1	1	(B) (T27 ~ T24) (A) (T23 ~ T20)
	T2AB	1	0	0	0	1	1	0	0	0	1	2 3 1	1	1	(R27 ~ R24) (B) (T27 ~ T24) (B) (R23 ~ R20) (A) (T23 ~ T20) (A)
	TAB3	1	0	0	1	1	1	0	0	1	0	2 7 2	1	1	(B) (T37 ~ T34) (A) (T33 ~ T30)
	T3AB	1	0	0	0	1	1	0	0	1	0	2 3 2	1	1	(R37 ~ R34) (B) (T37 ~ T34) (B) (R33 ~ R30) (A) (T33 ~ T30) (A)
	TAB4	1	0	0	1	1	1	0	0	1	1	2 7 3	1	1	(B) (T47 ~ T44) (A) (T43 ~ T40)
	T4AB	1	0	0	0	1	1	0	0	1	1	2 3 3	1	1	(R4L7 ~ R4L4) (B) (T47 ~ T44) (B) (R4L3 ~ R4L0) (A) (T43 ~ T40) (A)
	T4HAB	1	0	0	0	1	1	0	1	1	1	2 3 7	1	1	(R4H7 ~ R4H4) (B) (R4H3 ~ R4H0) (A)
	TR1AB	1	0	0	0	1	1	1	1	1	1	2 3 F	1	1	(R17 ~ R14) (B) (R13 ~ R10) (A)
	TR3AB	1	0	0	0	1	1	1	0	1	1	2 3 B	1	1	(R37 ~ R34) (B) (R33 ~ R30) (A)
	T4R4L	1	0	1	0	0	1	0	1	1	1	2 9 7	1	1	(T47 ~ T40) (R4L7 ~ R4L0)
	TLCA	1	0	0	0	0	0	1	1	0	1	2 0 D	1	1	(LC) (A) (RLC) (A)

スキップ条件	フラグ CY	詳細説明
-	-	プリスケアラの上位4ビットの内容を、レジスタBへ転送し、プリスケアラの下位4ビットの内容を、レジスタAへ転送します。
-	-	レジスタBの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの上位4ビットへ転送し、レジスタAの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの下位4ビットへ転送します。
-	-	タイマ1の上位4ビットの内容を、レジスタBへ転送し、タイマ1の下位4ビットの内容を、レジスタAへ転送します。
-	-	レジスタBの内容を、タイマ1及びタイマ1のリロードレジスタR1の上位4ビットへ転送し、レジスタAの内容を、タイマ1及びタイマ1のリロードレジスタR1の下位4ビットへ転送します。
-	-	タイマ2の上位4ビットの内容を、レジスタBへ転送し、タイマ2の下位4ビットの内容を、レジスタAへ転送します。
-	-	レジスタBの内容を、タイマ2及びタイマ2のリロードレジスタR2の上位4ビットへ転送し、レジスタAの内容を、タイマ2及びタイマ2のリロードレジスタR2の下位4ビットへ転送します。
-	-	タイマ3の上位4ビットの内容を、レジスタBへ転送し、タイマ3の下位4ビットの内容を、レジスタAへ転送します。
-	-	レジスタBの内容を、タイマ3及びタイマ3のリロードレジスタR3の上位4ビットへ転送し、レジスタAの内容を、タイマ3及びタイマ3のリロードレジスタR3の下位4ビットへ転送します。
-	-	タイマ4の上位4ビットの内容を、レジスタBへ転送し、タイマ4の下位4ビットの内容を、レジスタAへ転送します。
-	-	レジスタBの内容を、タイマ4及びタイマ4のリロードレジスタR4Lの上位4ビットへ転送し、レジスタAの内容を、タイマ4及びタイマ4のリロードレジスタR4Lの下位4ビットへ転送します。
-	-	レジスタBの内容を、タイマ4のリロードレジスタR4Hの上位4ビットへ転送し、レジスタAの内容を、タイマ4のリロードレジスタR4Hの下位4ビットへ転送します。
-	-	レジスタBの内容を、タイマ1のリロードレジスタR1の上位4ビットへ転送し、レジスタAの内容を、タイマ1のリロードレジスタR1の下位4ビットへ転送します。
-	-	レジスタBの内容を、タイマ3のリロードレジスタR3の上位4ビットへ転送し、レジスタAの内容を、タイマ3のリロードレジスタR3の下位4ビットへ転送します。
-	-	タイマ4のリロードレジスタR4Lの内容を、タイマ4へ転送します。
-	-	レジスタAの内容を、タイマLC及びタイマLCのリロードレジスタRLCへ転送します。

分類	命令記号	命令コード										語数	サイクル数	機能	
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				16進表記
タイム操作命令	SNZT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	V12=0:(T1F)=1? スキップ後 (T1F) 0 V12=1:NOP
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	V13=0:(T2F)=1? スキップ後 (T2F) 0 V13=1:NOP
	SNZT3	1	0	1	0	0	0	0	0	1	0	2 8 2	1	1	V20=0:(T3F)=1? スキップ後 (T3F) 0 V20=1:NOP
	SNZT4	1	0	1	0	0	0	0	0	1	1	2 8 3	1	1	V23=0:(T4F)=1? スキップ後 (T4F) 0 V23=1:NOP
	SNZT5	1	0	1	0	0	0	0	1	0	0	2 8 4	1	1	V21=0:(T5F)=1? スキップ後 (T5F) 0 V21=1:NOP
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) (P0)
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) (A)
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) (P1)
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) (A)
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A) (P2)
	OP2A	1	0	0	0	1	0	0	0	1	0	2 2 2	1	1	(P2) (A)
	IAP3	1	0	0	1	1	0	0	0	1	1	2 6 3	1	1	(A) (P3)
	OP3A	1	0	0	0	1	0	0	0	1	1	2 2 3	1	1	(P3) (A)
	IAP4	1	0	0	1	1	0	0	1	0	0	2 6 4	1	1	(A) (P4)
	OP4A	1	0	0	0	1	0	0	1	0	0	2 2 4	1	1	(P4) (A)
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) 1
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) 0 (Y)=0~9
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) 1 (Y)=0~9
	SZD	0	0	0	0	1	0	0	1	0	0	0 2 4	2	2	(D(Y))=0? (Y)=0~7
		0	0	0	0	1	0	1	0	1	1	0 2 B			
	RCP	1	0	1	0	0	0	1	1	0	0	2 8 C	1	1	(C) 0
	SCP	1	0	1	0	0	0	1	1	0	1	2 8 D	1	1	(C) 1
TAPU0	1	0	0	1	0	1	0	1	1	1	2 5 7	1	1	(A) (PU0)	
TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) (A)	
TAPU1	1	0	0	1	0	1	1	1	1	0	2 5 E	1	1	(A) (PU1)	
TPU1A	1	0	0	0	1	0	1	1	1	0	2 2 E	1	1	(PU1) (A)	

スキップ条件	フラグCY	詳細説明
V12 = 0: (T1F) = 1	-	割り込み制御レジスタV1のビット2(V12)の内容が 0 で、タイマ1割り込み要求フラグT1Fが 1 のとき、次の命令をスキップします。スキップ後、タイマ1割り込み要求フラグT1Fをクリア(0)します。
V13 = 0: (T2F) = 1	-	割り込み制御レジスタV1のビット3(V13)の内容が 0 で、タイマ2割り込み要求フラグT2Fが 1 のとき、次の命令をスキップします。スキップ後、タイマ2割り込み要求フラグT2Fをクリア(0)します。
V20 = 0: (T3F) = 1	-	割り込み制御レジスタV2のビット0(V20)の内容が 0 で、タイマ3割り込み要求フラグT3Fが 1 のとき、次の命令をスキップします。スキップ後、タイマ3割り込み要求フラグT3Fをクリア(0)します。
V23 = 0: (T4F) = 1	-	割り込み制御レジスタV2のビット3(V23)の内容が 0 で、タイマ4割り込み要求フラグT4Fが 1 のとき、次の命令をスキップします。スキップ後、タイマ4割り込み要求フラグT4Fをクリア(0)します。
V21 = 0: (T5F) = 1	-	割り込み制御レジスタV2のビット1(V21)の内容が 0 で、タイマ5割り込み要求フラグT5Fが 1 のとき、次の命令をスキップします。スキップ後、タイマ5割り込み要求フラグT5Fをクリア(0)します。
-	-	ポートP0の入力を、レジスタAへ転送します。
-	-	レジスタAの内容を、ポートP0へ出力します。
-	-	ポートP1の入力を、レジスタAへ転送します。
-	-	レジスタAの内容を、ポートP1へ出力します。
-	-	ポートP2の入力を、レジスタAへ転送します。
-	-	レジスタAの内容を、ポートP2へ出力します。
-	-	ポートP3の入力を、レジスタAへ転送します。
-	-	レジスタAの内容を、ポートP3へ出力します。
-	-	ポートP4の入力を、レジスタAへ転送します。
-	-	レジスタAの内容を、ポートP4へ出力します。
-	-	ポートDをすべてセット(1)します。
-	-	ポートDのレジスタYの内容で指定されたポートをクリア(0)します。
-	-	ポートDのレジスタYの内容で指定されたポートをセット(1)します。
(D(Y)) = 0 ただし、(Y) = 0~7	-	ポートDのレジスタYの内容で指定されたポートの内容が 0 のとき、次の命令をスキップします。
-	-	ポートCをクリア(0)します。
-	-	ポートCをセット(1)します。
-	-	プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、プルアップ制御レジスタPU0へ転送します。
-	-	プルアップ制御レジスタPU1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、プルアップ制御レジスタPU1へ転送します。

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
入出力命令	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) (K0)
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) (A)
	TAK1	1	0	0	1	0	1	1	0	0	1	2 5 9	1	1	(A) (K1)
	TK1A	1	0	0	0	0	1	0	1	0	0	2 1 4	1	1	(K1) (A)
	TAK2	1	0	0	1	0	1	1	0	1	0	2 5 A	1	1	(A) (K2)
	TK2A	1	0	0	0	0	1	0	1	0	1	2 1 5	1	1	(K2) (A)
	TFR0A	1	0	0	0	1	0	1	0	0	0	2 2 8	1	1	(FR0) (A)
	TFR1A	1	0	0	0	1	0	1	0	0	1	2 2 9	1	1	(FR1) (A)
	TFR2A	1	0	0	0	1	0	1	0	1	0	2 2 A	1	1	(FR2) (A)
	TFR3A	1	0	0	0	1	0	1	0	1	1	2 2 B	1	1	(FR3) (A)
LCD制御命令	TAL1	1	0	0	1	0	0	1	0	1	0	2 4 A	1	1	(A) (L1)
	TL1A	1	0	0	0	0	0	1	0	1	0	2 0 A	1	1	(L1) (A)
	TL2A	1	0	0	0	0	0	1	0	1	1	2 0 B	1	1	(L2) (A)
シリアルI/O命令	TABSI	1	0	0	1	1	1	1	0	0	0	2 7 8	1	1	(B) (SI7 ~ SI4) (A) (SI3 ~ SI0)
	TSIAB	1	0	0	0	1	1	1	0	0	0	2 3 8	1	1	(SI7 ~ SI4) (B) (SI3 ~ SI0) (A)
	SST	1	0	1	0	0	1	1	1	1	0	2 9 E	1	1	(SIOF) 0,シリアルI/Oスタート
	SNZSI	1	0	1	0	0	0	1	0	0	0	2 8 8	1	1	V23 = 0:(SIOF) = 1? スキップ後 (SIOF) 0 V23 = 1:NOP
	TAJ1	1	0	0	1	0	0	0	0	1	0	2 4 2	1	1	(A) (J1)
	TJ1A	1	0	0	0	0	0	0	0	1	0	2 0 2	1	1	(J1) (A)
クロック制御命令	CMCK	1	0	1	0	0	1	1	0	1	0	2 9 A	1	1	セラミック共振回路選択
	CRCK	1	0	1	0	0	1	1	0	1	1	2 9 B	1	1	RC共振回路選択
	TAMR	1	0	0	1	0	1	0	0	1	0	2 5 2	1	1	(A) (MR)
	TMRA	1	0	0	0	0	1	0	1	1	0	2 1 6	1	1	(MR) (A)

スキップ条件	フラグCY	詳細説明
-	-	<ul style="list-style-type: none"> - キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。 - レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。 - キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。 - レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。 - キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。 - レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR0へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR1へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。 - レジスタAの内容を、ポート出力形式制御レジスタFR3へ転送します。
-	-	<ul style="list-style-type: none"> - LCD制御レジスタL1の内容を、レジスタAへ転送します。 - レジスタAの内容を、LCD制御レジスタL1へ転送します。 - レジスタAの内容を、LCD制御レジスタL2へ転送します。
V23 = 0: (SIOF) = 1	-	<ul style="list-style-type: none"> - レジスタSIの上位4ビットの内容を、レジスタBへ転送し、レジスタSIの下部4ビットの内容を、レジスタAへ転送します。 - レジスタBの内容を、レジスタSIの上位4ビットへ転送し、レジスタAの内容を、レジスタSIの下部4ビットへ転送します。 - シリアルI/O送受信終了フラグSIOFをクリア(0)し、シリアルI/O送受信をスタートします。 - 割り込み制御レジスタV2のビット3(V23)の内容が[#]0[#]で、シリアルI/O送受信終了フラグSIOFが[#]1[#]のとき、次の命令をスキップします。スキップ後、シリアルI/O送受信終了フラグSIOFをクリア(0)します。 - シリアルI/O制御レジスタJ1の内容を、レジスタAへ転送します。 - レジスタAの内容を、シリアルI/O制御レジスタJ1へ転送します。
-	-	<ul style="list-style-type: none"> - メインクロックにセラミック共振回路を選択し、オンチップオシレータ(内部発振器)を停止します。 - メインクロックにRC発振回路を選択し、オンチップオシレータ(内部発振器)を停止します。 - クロック制御レジスタMRの内容を、レジスタAへ転送します。 - レジスタAの内容を、クロック制御レジスタMRへ転送します。

分類	命令記号	命令コード										語数	サイクル数	機能	
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				16進表記
A / D 変換命令	TABAD	1	0	0	1	1	1	1	0	0	1	2 7 9	1	1	Q13 = 0: (B) (AD9 ~ AD6) (A) (AD5 ~ AD2) Q13 = 1: (B) (AD7 ~ AD4) (A) (AD3 ~ AD0)
	TALA	1	0	0	1	0	0	1	0	0	1	2 4 9	1	1	(A3 A2) (AD1 ,AD0) (A1 A0) 0
	TADAB	1	0	0	0	1	1	1	0	0	1	2 3 9	1	1	(AD7 ~ AD4) (B) (AD3 ~ AD0) (A)
	ADST	1	0	1	0	0	1	1	1	1	1	2 9 F	1	1	(ADF) 0 A/D変換スタート
	SNZAD	1	0	1	0	0	0	0	1	1	1	2 8 7	1	1	V22 = 0: (ADF) = 1? スキップ後 (ADF) 0 V22 = 1: NOP
	TAQ1	1	0	0	1	0	0	0	1	0	0	2 4 4	1	1	(A) (Q1)
	TQ1A	1	0	0	0	0	0	0	1	0	0	2 0 4	1	1	(Q1) (A)
	TAQ2	1	0	0	1	0	0	0	1	0	1	2 4 5	1	1	(A) (Q2)
	TQ2A	1	0	0	0	0	0	0	1	0	1	2 0 5	1	1	(Q2) (A)
	TAQ3	1	0	0	1	0	0	0	1	1	0	2 4 6	1	1	(A) (Q3)
TQ3A	1	0	0	0	0	0	0	1	1	0	2 0 6	1	1	(Q3) (A)	
その他	NOP	0	0	0	0	0	0	0	0	0	0 0 0	1	1	(PC) (PC) + 1	
	POF	0	0	0	0	0	0	0	1	0	0 0 2	1	1	時計動作モードへ遷移	
	POF2	0	0	0	0	0	0	1	0	0	0 0 8	1	1	RAMバックアップモードへ遷移	
	EPOF	0	0	0	1	0	1	1	0	1	0 5 B	1	1	POF命令 ,POF2命令有効	
	SNZP	0	0	0	0	0	0	0	1	1	0 0 3	1	1	(P) = 1?	
	WRST	1	0	1	0	1	0	0	0	0	2 A 0	1	1	(WDF1) = 1? スキップ後 (WDF1) 0	
	DWDT	1	0	1	0	0	1	1	1	0	2 9 C	1	1	ウォッチドッグタイマ機能停止許可	
	RBK	0	0	0	1	0	0	0	0	0	0 4 0	1	1	TABP p命令実行時: p6 0	
SBK	0	0	0	1	0	0	0	0	1	0 4 1	1	1	TABP p命令実行時: p6 1		
SVDE	1	0	1	0	0	1	0	0	1	2 9 3	1	1	パワーダウン時: 電圧低下検出回路有効		

注 M34524M8では、RBK、SBK命令は使用できません。

M34524MCでは、SBK命令実行後、参照できるページは64 ~ 95ページになります。

スキップ条件	フラグCY	詳細説明
-	-	A/D変換モード(Q13 = 0)時は、レジスタADの上位4ビット(AD9 ~ AD6)の内容を、レジスタBへ転送し、レジスタADの中位4ビット(AD5 ~ AD2)の内容を、レジスタAへ転送します。 コンパレータモード(Q13 = 1)時は、レジスタADの中位4ビット(AD7 ~ AD4)の内容を、レジスタBへ転送し、レジスタADの下位4ビット(AD3 ~ AD0)の内容を、レジスタAへ転送します。
-	-	レジスタADの下位2ビット(AD1 AD0)の内容を、レジスタAの上位2ビット(A3 A2)へ転送します。
-	-	コンパレータモード(Q13 = 1)時に、レジスタBの内容を、レジスタADの上位4ビット(AD7 ~ AD4)へ転送し、レジスタAの内容を、レジスタADの下位4ビット(AD3 ~ AD0)へ転送します。
-	-	A/D変換終了フラグADFをクリア(0)し、A/D変換モード(Q13 = 0)時はA/D変換、コンパレータモード(Q13 = 1)時はコンパレータ動作をスタートします。
V22 = 0: (ADF) = 1	-	割り込み制御レジスタV2のビット2(V22)の内容が* 0 "で、A/D変換終了フラグADFが* 1 "のとき、次の命令をスキップします。スキップ後、A/D変換終了フラグADFをクリア(0)します。
-	-	A/D制御レジスタQ1の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、A/D制御レジスタQ1へ転送します。
-	-	A/D制御レジスタQ2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、A/D制御レジスタQ3へ転送します。
-	-	A/D制御レジスタQ2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容を、A/D制御レジスタQ3へ転送します。
-	-	ノーオペレーション: プログラムカウンタの値が +1される以外は変化しません。
-	-	EPOF命令との連続実行により、時計動作モードになります。
-	-	EPOF命令との連続実行により、RAMバックアップモードになります。
-	-	POF命令あるいはPOF2命令が有効になります。
(P) = 1	-	パワーダウンフラグPが* 1 "のとき、次の命令をスキップします。 スキップ後もパワーダウンフラグPの内容は変化しません。
(WDF1) = 1	-	ウォッチドッグタイマフラグWDF1が* 1 "のとき、次の命令をスキップします。 スキップ後、ウォッチドッグタイマフラグWDF1をクリア(0)します。 また、DWDT命令との連続実行により、ウォッチドッグタイマ機能を停止します。
-	-	WRST命令によるウォッチドッグタイマ機能停止が有効になります。
-	-	TABP p命令実行時に参照するデータ領域を0 ~ 63ページに設定します。 この命令は、TABP p命令に対してのみ有効です。
-	-	TABP p命令実行時に参照するデータ領域を64 ~ 127ページに設定します。 この命令は、TABP p命令に対してのみ有効です。
-	-	VDCE端子が* H "のとき、パワーダウン(時計動作モード RAMバックアップモード)時に電圧低下検出回路を有効にします。

命令コード対応表

D3~D0	16進表記	D9~D4																010000	011000
		000000	000001	000010	000011	000100	000101	000110	000111	001000	001001	001010	001011	001100	001101	001110	001111	010111	011111
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10~17	18~1F
0000	0	NOP	BLA	SZB 0	BMLA	RBK**	TASP	A 0	LA 0	TABP 0	TABP 16	TABP 32*	TABP 48*	BML	BML	BL	BL	BM	B
0001	1	-	CLD	SZB 1	-	SBK**	TAD	A 1	LA 1	TABP 1	TABP 17	TABP 33*	TABP 49*	BML	BML	BL	BL	BM	B
0010	2	POF	-	SZB 2	-	-	TAX	A 2	LA 2	TABP 2	TABP 18	TABP 34*	TABP 50*	BML	BML	BL	BL	BM	B
0011	3	SNZP	INY	SZB 3	-	-	TAZ	A 3	LA 3	TABP 3	TABP 19	TABP 35*	TABP 51*	BML	BML	BL	BL	BM	B
0100	4	DI	RD	SZD	-	RT	TAV1	A 4	LA 4	TABP 4	TABP 20	TABP 36*	TABP 52*	BML	BML	BL	BL	BM	B
0101	5	EI	SD	SEAn	-	RTS	TAV2	A 5	LA 5	TABP 5	TABP 21	TABP 37*	TABP 53*	BML	BML	BL	BL	BM	B
0110	6	RC	-	SEAM	-	RTI	-	A 6	LA 6	TABP 6	TABP 22	TABP 38*	TABP 54*	BML	BML	BL	BL	BM	B
0111	7	SC	DEY	-	-	-	-	A 7	LA 7	TABP 7	TABP 23	TABP 39*	TABP 55*	BML	BML	BL	BL	BM	B
1000	8	POF2	AND	-	SNZ0	LZ 0	-	A 8	LA 8	TABP 8	TABP 24	TABP 40*	TABP 56*	BML	BML	BL	BL	BM	B
1001	9	-	OR	TDA	SNZ1	LZ 1	-	A 9	LA 9	TABP 9	TABP 25	TABP 41*	TABP 57*	BML	BML	BL	BL	BM	B
1010	A	AM	TEAB	TABE	SNZI0	LZ 2	-	A 10	LA 10	TABP 10	TABP 26	TABP 42*	TABP 58*	BML	BML	BL	BL	BM	B
1011	B	AMC	-	-	SNZI1	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP 27	TABP 43*	TABP 59*	BML	BML	BL	BL	BM	B
1100	C	TYA	CMA	-	-	RB 0	SB 0	A 12	LA 12	TABP 12	TABP 28	TABP 44*	TABP 60*	BML	BML	BL	BL	BM	B
1101	D	-	RAR	-	-	RB 1	SB 1	A 13	LA 13	TABP 13	TABP 29	TABP 45*	TABP 61*	BML	BML	BL	BL	BM	B
1110	E	TBA	TAB	-	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP 30	TABP 46*	TABP 62*	BML	BML	BL	BL	BM	B
1111	F	-	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP 31	TABP 47*	TABP 63*	BML	BML	BL	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D3~D0は機械語コードの下位4ビットを示し、D9~D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注：“-”で示しているコードは使用しないでください。

	第2語		
BL	1p	paaa	aaaa
BML	1p	paaa	aaaa
BLA	1p	pp00	pppp
BMLA	1p	pp00	pppp
SEA	00	0111	nnnn
SZD	00	0010	1011

- ・ M34524M8では、*(SBK, RBK命令)は使用できません。
- ・ M34524MCでは、SBK命令実行後に*は使用できません。
- ・ M34524MC/EDのTABP命令は、SBK, RBK命令で参照するページを切り替えることができます。
- ・ M34524MCはSBK命令実行後、TABP命令で参照できるページは64~95になります。
- ・ M34524EDはSBK命令実行後、TABP命令で参照できるページは64~127になります。
(例：TABP 0 TABP 64)
- ・ RBK命令実行後、TABP命令で参照できるページは0~63になります。
- ・ SBK命令を実行しなければ、TABP命令で参照できるページは常に0~63になります。

命令コード対応表

D3~D0	16進表記	D9~D4	100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111	110000
		20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F	30~3F	
0000	0	-	TW3A	OP0A	T1AB	-	TAW6	IAP0	TAB1	SNZT1	-	WRST	TMA0	TAM0	XAM0	XAMI0	XAMD0	LXY	
0001	1	-	TW4A	OP1A	T2AB	-	-	IAP1	TAB2	SNZT2	-	-	TMA1	TAM1	XAM1	XAMI1	XAMD1	LXY	
0010	2	TJ1A	TW5A	OP2A	T3AB	TAJ1	TAMR	IAP2	TAB3	SNZT3	-	-	TMA2	TAM2	XAM2	XAMI2	XAMD2	LXY	
0011	3	-	TW6A	OP3A	T4AB	-	TAI1	IAP3	TAB4	SNZT4	SVDE	-	TMA3	TAM3	XAM3	XAMI3	XAMD3	LXY	
0100	4	TQ1A	TK1A	OP4A	-	TAQ1	TAI2	IAP4	-	SNZT5	-	-	TMA4	TAM4	XAM4	XAMI4	XAMD4	LXY	
0101	5	TQ2A	TK2A	-	TPSAB	TAQ2	TAI3	-	TABPS	-	-	-	TMA5	TAM5	XAM5	XAMI5	XAMD5	LXY	
0110	6	TQ3A	TMRA	-	-	TAQ3	TAK0	-	-	-	-	-	TMA6	TAM6	XAM6	XAMI6	XAMD6	LXY	
0111	7	-	TI1A	-	T4HAB	-	TAPU0	-	-	SNZAD	T4R4L	-	TMA7	TAM7	XAM7	XAMI7	XAMD7	LXY	
1000	8	-	TI2A	TFR0A	TSIAB	-	-	-	TABSI	SNZSI	-	-	TMA8	TAM8	XAM8	XAMI8	XAMD8	LXY	
1001	9	-	-	TFR1A	TADAB	TALA	TAK1	-	TABAD	-	-	-	TMA9	TAM9	XAM9	XAMI9	XAMD9	LXY	
1010	A	TL1A	TI3A	TFR2A	-	TAL1	TAK2	-	-	-	CMCK	TPAA	TMA10	TAM10	XAM10	XAMI10	XAMD10	LXY	
1011	B	TL2A	TK0A	TFR3A	TR3AB	TAW1	-	-	-	-	CRCK	-	TMA11	TAM11	XAM11	XAMI11	XAMD11	LXY	
1100	C	-	-	-	-	TAW2	-	-	-	RCP	DWDT	-	TMA12	TAM12	XAM12	XAMI12	XAMD12	LXY	
1101	D	TLCA	-	TPU0A	-	TAW3	-	-	-	SCP	-	-	TMA13	TAM13	XAM13	XAMI13	XAMD13	LXY	
1110	E	TW1A	-	TPU1A	-	TAW4	TAPU1	-	-	-	SST	-	TMA14	TAM14	XAM14	XAMI14	XAMD14	LXY	
1111	F	TW2A	-	-	TR1AB	TAW5	-	-	-	-	ADST	-	TMA15	TAM15	XAM15	XAMI15	XAMD15	LXY	

上表は機械語コードと機械語命令の対応表です。D3~D0は機械語コードの下位4ビットを示し、D9~D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注：“-”で示しているコードは使用しないでください。

	第2語
BL	1p paaa aaaa
BML	1p paaa aaaa
BLA	1p pp00 pppp
BMLA	1p pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

PROM内蔵版

マスクROM版に対して、PROMを内蔵しているマイクロコンピュータをPROM内蔵版といいます。またワンタイムPROMタイプのマイクロコンピュータ(ワンタイムPROM版)は、内蔵PROMへの書き込みが可能です。

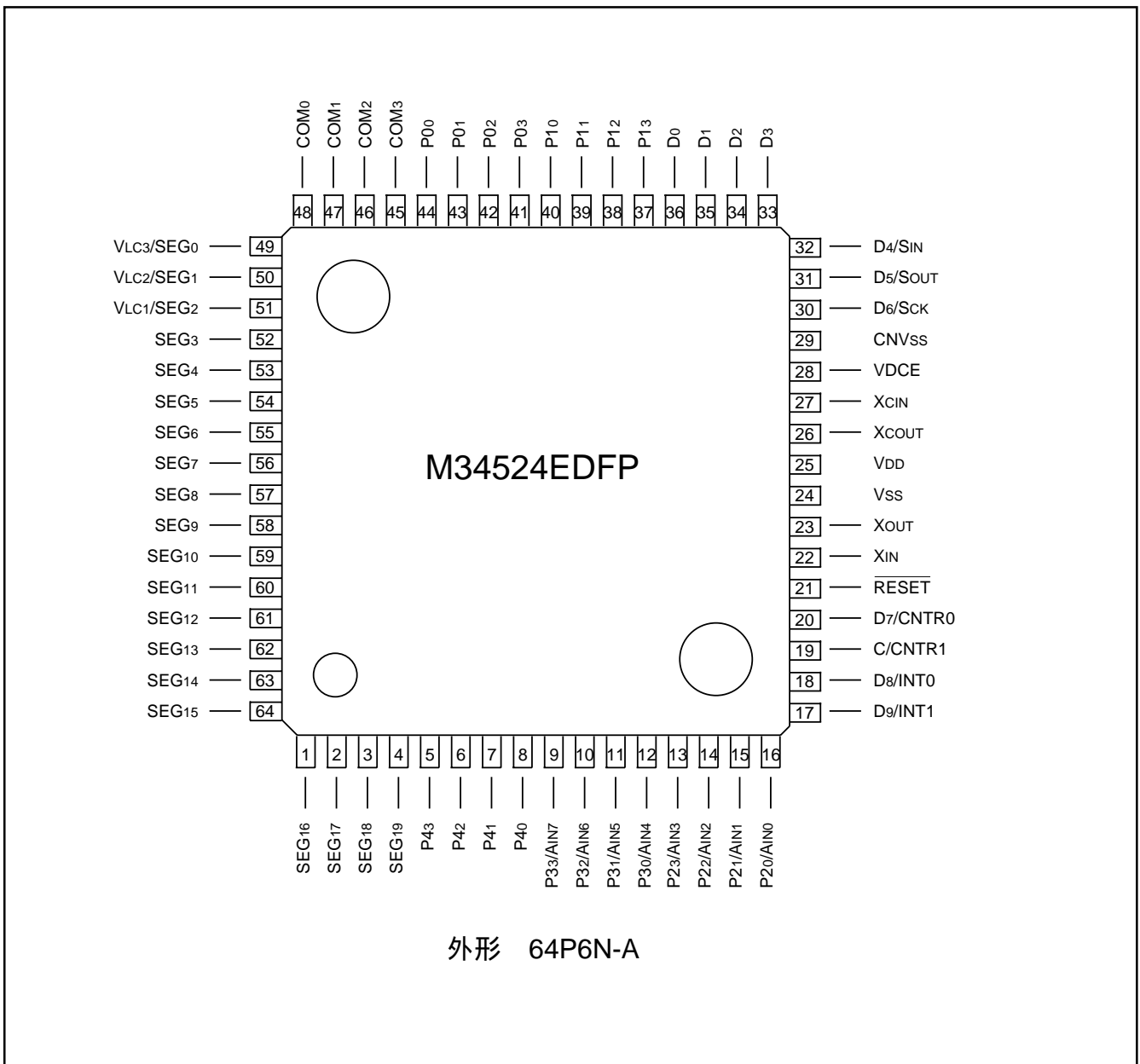
PROM内蔵版はマスクROM版と同等の機能の他に、内蔵PROM書き込みのためのPROMモードをもっています。

PROM内蔵版の型名一覧を表XA-1に、ピン接続図を図XA-1に示します。

なお、ワンタイムPROM版は、マスクROM版とピンコンパチブルです。

表XA-1 . PROM内蔵版の型名一覧

型名	PROM容量 (×10ビット)	RAM容量 (×4ビット)	パッケージ	備考
M34524EDFP	16384語	512語	64P6N-A	ワンタイムPROM版 [ブランク出荷品]



図XA-1 . 4524グループPROM内蔵版のピン接続図

(1) PROMモード

PROM内蔵版は、通常の動作モード以外にPROMモードをもちます。PROMモードは、内蔵PROMへの書き込み時及び内蔵PROMからの読み出し時に使用するモードです。

PROMモードでは、専用の書き込みアダプタと汎用のPROMライタを併用することにより、M5M27C256Kと同じ動作で内蔵PROMの書き込み、読み出しが行えます。表XA-2に専用書き込みアダプタ一覧を示します。なお、適応するPROMライタについては、巻末掲載のお問い合わせ先までご連絡ください。

内蔵PROMの書き込み、読み出し

書き込み電圧は12.5Vです。PROM内蔵版の内蔵PROMには、図XA-2に示す形式でプログラムを書き込んでください。

(2) 取り扱い上の注意

書き込みの際は高い電圧を使用しますので、過電圧がかからないように注意してください。特に電源の投入時はご注意ください。

ワнтаイムPROM版のブランク出荷品は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図XA-3に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

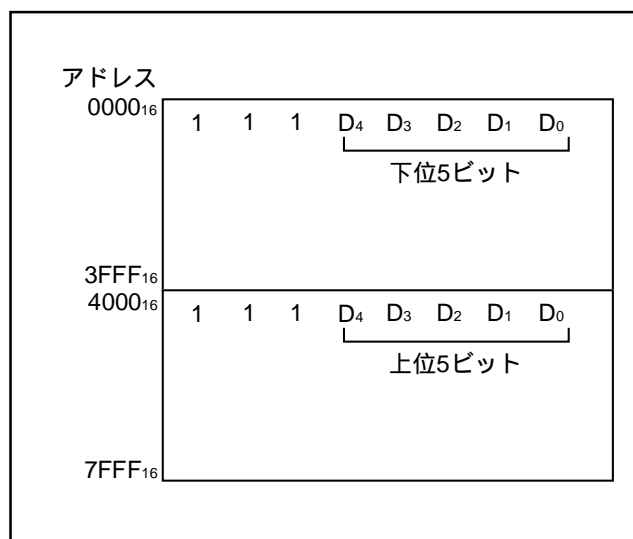
(3) マスクROM版とワнтаイムPROM版の相違

マスクROM版とワнтаイムPROM版とは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。

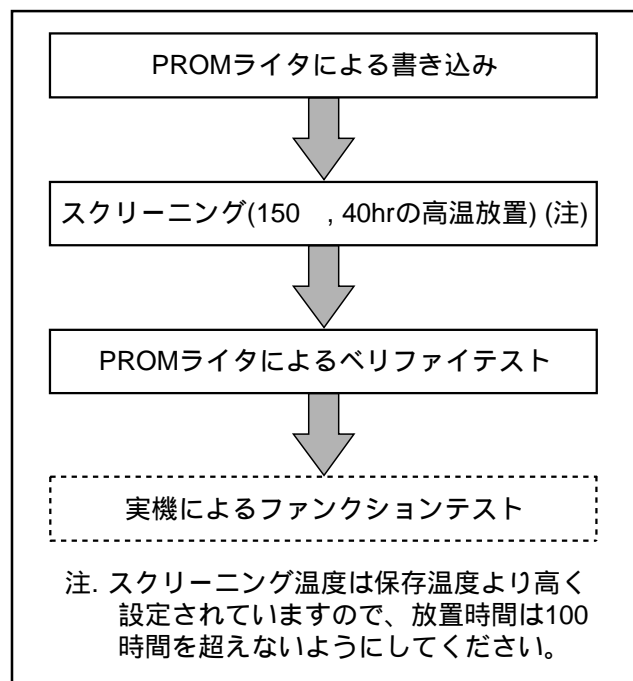
注. ブランク出荷品:工場出荷時にPROMの内容が書き込まれていないもの

表XA-2. 書き込みアダプタ一覧

マイクロコンピュータ型名	書き込みアダプタ型名
M34524EDFP	PCA7448



図XA-2. PROMメモリマップ



図XA-3. ブランク出荷品の書き込み及びテスト

MEMO

第2章

応用

- 2.1 入出力端子
- 2.2 割り込み
- 2.3 タイマ
- 2.4 A/Dコンバータ
- 2.5 シリアルI/O
- 2.6 液晶表示機能
- 2.7 リセット
- 2.8 電圧低下検出回路
- 2.9 パワーダウン機能
- 2.10 発振回路

2.1 入出力端子

4524グループは、28本の入出力端子と3本の出力端子をもっています。(ポートP2はアナログ入力端子AIN0～AIN3、ポートP3はアナログ入力端子AIN4～AIN7、ポートD4～D6はそれぞれシリアルI/O端子SIN、SOUT、SCK、ポートD7はCNTR0入出力端子、ポートD8はINT0入力端子、ポートD9はINT1入力端子、ポートCはCNTR1入出力端子と兼用)

この節では、各ポートの入出力機能、関連レジスタ、ポートごとの機能を用いた応用例、及び注意事項について説明します。

2.1.1 入出力ポート

(1) ポートP0

ポートP0は、ポートとして4ビットの入出力機能をもっています。

また、キーオンウェイクアップの機能をレジスタK0、プルアップトランジスタの機能をレジスタPU0の設定によりON/OFFできます。

ポートP0の入出力方法

入力方法

使用するポートに対応して、レジスタFR00、FR01を“0”、ポートP0i(i=0～3)の出力ラッチをOP0A命令で“1”に設定し、IAP0命令を実行すると、ポートP0の端子の状態がレジスタAに転送されます。

なお、レジスタFR00、FR01が“0”、出力ラッチが“0”の場合は、“L”レベルが入力されます。また、レジスタFR00、FR01が“1”の場合は、出力ラッチに設定されている値がポートに出力され、そのレベルが入力されます。

出力方法

OP0A命令によりレジスタAの内容が出力ラッチに設定され、ポートP0に出力されます。

出力形式は、レジスタFR00、FR01により、2ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

(2) ポートP1

ポートP1は、ポートとして4ビットの入出力機能をもっています。

また、キーオンウェイクアップの機能をレジスタK1、プルアップトランジスタの機能をレジスタPU1の設定によりON/OFFできます。

ポートP1の入出力方法

入力方法

使用するポートに対応して、レジスタFR02、FR03を“0”、ポートP1i(i=0～3)の出力ラッチをOP1A命令で“1”に設定し、IAP1命令を実行すると、ポートP1の端子の状態がレジスタAに転送されます。

なお、レジスタFR02、FR03が“0”、出力ラッチが“0”の場合は、“L”レベルが入力されます。また、レジスタFR02、FR03が“1”の場合は、出力ラッチに設定されている値がポートに出力され、そのレベルが入力されます。

出力方法

OP1A命令によりレジスタAの内容が出力ラッチに設定され、ポートP1に出力されます。

出力形式は、レジスタFR02、FR03により、2ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

(3) ポートP2

ポートP2は、ポートとして4ビットの入出力機能をもっています。ポートP20～P23はアナログ入力端子AIN0～AIN3と兼用です。

ポートP2の入出力方法

入力方法

使用するポートP2($i=0\sim 3$)の出力ラッチをOP2A命令で“1”に設定し、IAP2命令を実行すると、ポートP2の端子の状態がレジスタAに転送されます。

なお、出力ラッチが“0”の場合は、“L”レベルが入力されます。

出力方法

OP2A命令によりレジスタAの内容が出力ラッチに設定され、ポートP2に出力されます。

出力形式は、Nチャンネルオープンドレインです。

注． ポートP20～P23として使用する際は、レジスタQ2の対応するビットを“0”に設定してください。

(4) ポートP3

ポートP3は、ポートとして4ビットの入出力機能をもっています。ポートP30～P33はアナログ入力端子AIN4～AIN7と兼用です。

ポートP3の入出力方法

入力方法

使用するポートP3($i=0\sim 3$)の出力ラッチをOP3A命令で“1”に設定し、IAP3命令を実行すると、ポートP3の端子の状態がレジスタAに転送されます。

なお、出力ラッチが“0”の場合は、“L”レベルが入力されます。

出力方法

OP3A命令によりレジスタAの内容が出力ラッチに設定され、ポートP3に出力されます。

出力形式は、Nチャンネルオープンドレインです。

注． ポートP30～P33として使用する際は、レジスタQ3の対応するビットを“0”に設定してください。

(5) ポートP4

ポートP4は、ポートとして4ビットの入出力機能をもっています。

ポートP4の入出力方法

入力方法

使用するポートに対応して、レジスタFR3i(i=0~3)を“0”、ポートP4i(i=0~3)の出力ラッチをOP4A命令で“1”に設定し、IAP4命令を実行すると、ポートP4の端子の状態がレジスタAに転送されます。

なお、レジスタFR3iが“0”、出力ラッチが“0”の場合は、“L”レベルが入力されます。また、レジスタFR3iが“1”の場合は、出力ラッチに設定されている値がポートに出力され、そのレベルが入力されます。

出力方法

OP4A命令によりレジスタAの内容が出力ラッチに設定され、ポートP4に出力されます。

出力形式は、レジスタFR3により、1ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

(6) ポートD

ポートDは、8本のビット単位の入出力機能と2本のビット単位の出力機能をもっています。ポートD4~D6はそれぞれシリアルI/O端子SIN、SOUT、SCK、ポートD7はCNTR0入出力端子、ポートD8はINT0入力端子、ポートD9はINT1入力端子と兼用です。

また、INT0、INT1は、キーオンウェイクアップの機能をレジスタK20、K22の設定によりON/OFFできます。

ポートDの入出力方法

ポートDは、ビット単位で入出力制御を行います。したがって、ポートD0~D7で入出力、ポートD8、D9で出力を行う場合は、まずポートDの1本をデータポインタのレジスタYによって選択してください。

入力方法

使用するポートに対応して、レジスタFR1i、FR2i(i=0~3)を“0”、ポートDj(j=0~7)の出力ラッチをSD命令で“1”に設定してください。SZD命令を実行すると、レジスタYで指定されたポートの端子の状態が“0”であれば、次の命令をスキップします。“1”であれば次の命令を実行します。

なお、レジスタFR1i、FR2iが“0”、出力ラッチが“0”の場合は、“L”レベルが入力されます。また、レジスタFR1i、FR2iが“1”の場合は、出力ラッチに設定されている値がポートに出力され、そのレベルが入力されます。

出力方法

出力レベルをSD、CLD、RD命令で出力ラッチに設定してください。

SD命令を実行すると、端子の状態はハイインピーダンス又は“H”レベルになります。

CLD命令を実行すると、ポートDのすべての端子の状態がハイインピーダンス又は“H”レベルになります。

RD命令を実行すると、端子の状態は“L”レベルになります。

出力形式は、ポートD0~D7はレジスタFR1、FR2により、1ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。また、ポートD8、D9は、Nチャンネルオープンドレインです。

- 注1. SD、RD命令使用時は、レジスタYに“ 10102 ”以上を設定しないでください。
2. ポートD4はシリアルI/O端子SiNと兼用です。したがって、ポートD4として使用する際は、レジスタJ11、J10を“ 002 ”又は“ 012 ”に設定してください。
 3. ポートD5はシリアルI/O端子SoUTと兼用です。したがって、ポートD5として使用する際は、レジスタJ11、J10を“ 002 ”又は“ 102 ”に設定してください。
 4. ポートD6はシリアルI/O端子ScKと兼用です。したがって、ポートD6として使用する際は、レジスタJ11、J10を“ 002 ”に設定してください。また、レジスタJ13、J12を“ 002 ”、“ 012 ”又は“ 102 ”に設定してください。
 5. ポートD7はCNTR0と兼用です。したがって、ポートD7として使用する際は、レジスタW60を“ 0 ”に設定してください。

(7) ポートC

ポートCは、ポートとして1ビットの出力機能をもっています。ポートCはCNTR1入出力端子と兼用です。

ポートCの出力方法

出力方法

出力レベルをSCP、RCP命令で出力ラッチに設定してください。

SCP命令を実行すると、端子の状態は“ H ”レベルになります。

RCP命令を実行すると、端子の状態は“ L ”レベルになります。

出力形式はCMOSです。

- 注. ポートCはCNTR1と兼用です。したがって、ポートCとして使用する際は、レジスタW31、W30を“ 002 ”、“ 012 ”又は“ 102 ”に設定してください。また、レジスタW43、W61も“ 0 ”に設定してください。

2.1.2 関連レジスタ

(1) タイマ制御レジスタW3

表2.1.1にレジスタW3のビット構成を示します。
 レジスタW3への書き込みは、レジスタAに値を設定した後、TW3A命令で行います。
 また、TAW3命令でレジスタW3の内容をレジスタAに転送できます。

表2.1.1 タイマ制御レジスタW3のビット構成

タイマ制御レジスタW3		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
W33	タイマ3 カウント自動停止回路選択ビット（注2）	0	タイマ3カウント自動停止回路非選択		
		1	タイマ3カウント自動停止回路選択		
W32	タイマ3制御ビット	0	停止（状態保持）		
		1	動作		
W31	タイマ3 カウントソース選択ビット（注3）	W31W30	カウントソース		
		00	PWM信号（PWMOUT）		
W30		01	プリスケアラ出力（ORCLK）		
		10	タイマ2アンダフロー信号（T2UDF）		
		11	CNTR1入力		

- 注1．“R”は読み出し可、“W”は書き込み可を表します。
 2．この機能はタイマ3カウント開始同期回路選択時（I20=“1”）のみ有効です。
 3．タイマ3カウントソースにCNTR1入力を選択した場合は、ポートC出力は無効になります。
 4．■：ポートの設定時使用しないビットです。

(2) タイマ制御レジスタW4

表2.1.2にレジスタW4のビット構成を示します。
 レジスタW4への書き込みは、レジスタAに値を設定した後、TW4A命令で行います。
 また、TAW4命令でレジスタW4の内容をレジスタAに転送できます。

表2.1.2 タイマ制御レジスタW4のビット構成

タイマ制御レジスタW4		リセット時：0000 ₂		パワーダウン時 ：0000 ₂	R/W
W43	CNTR1出力制御ビット	0	CNTR1出力無効		
		1	CNTR1出力有効		
W42	PWM信号 “H”期間拡張機能制御ビット	0	PWM信号“H”期間拡張機能無効		
		1	PWM信号“H”期間拡張機能有効		
W41	タイマ4制御ビット	0	停止（状態保持）		
		1	動作		
W40	タイマ4 カウントソース選択ビット	0	XIN入力		
		1	プリスケアラ出力（ORCLK）の2分周信号		

- 注1．“R”は読み出し可、“W”は書き込み可を表します。
 2．■：ポートの設定時使用しないビットです。

(3) タイマ制御レジスタW6

表2.1.3にレジスタW6のビット構成を示します。

レジスタW6への書き込みは、レジスタAに値を設定した後、TW6A命令で行います。

また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

表2.1.3 タイマ制御レジスタW6のビット構成

タイマ制御レジスタW6		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
W63	タイマLC制御ビット	0	停止（状態保持）	
		1	動作	
W62	タイマLCカウントソース選択ビット	0	タイマ5のビット4（T5 ₄ ）	
		1	プリスケアラ出力（ORCLK）	
W61	CNTR1出力自動制御回路選択ビット	0	CNTR1出力自動制御回路非選択	
		1	CNTR1出力自動制御回路選択	
W60	D7/CNTR0端子機能選択ビット（注2）	0	D7入出力 / CNTR0入力	
		1	CNTR0入出力 / D7入力	

注1．“R”は読み出し可、“W”は書き込み可を表します。

2．CNTR0入力は、タイマ1カウントソースにCNTR0入力を選択している場合にのみ有効です。

3．■：ポートの設定時使用しないビットです。

(4) シリアルI/O制御レジスタJ1

表2.1.4にレジスタJ1のビット構成を示します。

レジスタJ1への書き込みは、レジスタAに値を設定した後、TJ1A命令で行います。

また、TAJ1命令でレジスタJ1の内容をレジスタAに転送できます。

表2.1.4 シリアルI/O制御レジスタJ1のビット構成

シリアルI/O制御レジスタJ1		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
J13	シリアルI/O 同期クロック選択ビット	J13J12	同期クロック	
		00	インストラクションクロック(INSTCK)の8分周信号	
		01	インストラクションクロック(INSTCK)の4分周信号	
		10	インストラクションクロック(INSTCK)の2分周信号	
J12		11	外部クロック（SCK入力）	
J11	シリアルI/O ポート機能選択ビット	J11J10	ポート機能	
		00	D6、D5、D4選択 / SCK、SOUT、SIN非選択	
		01	SCK、SOUT、D4選択 / D6、D5、SIN非選択	
J10		10	SCK、D5、SIN選択 / D6、SOUT、D4非選択	
		11	SCK、SOUT、SIN選択 / D6、D5、D4非選択	

注1．“R”は読み出し可、“W”は書き込み可を表します。

2．■：ポートの設定時使用しないビットです。

(5) A/D制御レジスタQ2

表2.1.5にレジスタQ2のビット構成を示します。
 レジスタQ2への書き込みは、レジスタAに値を設定した後、TQ2A命令で行います。
 また、TAQ2命令でレジスタQ2の内容をレジスタAに転送できます。

表2.1.5 A/D制御レジスタQ2のビット構成

A/D制御レジスタQ2		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
Q23	P23/AIN3端子機能選択ビット	0	P23	
		1	AIN3	
Q22	P22/AIN2端子機能選択ビット	0	P22	
		1	AIN2	
Q21	P21/AIN1端子機能選択ビット	0	P21	
		1	AIN1	
Q20	P20/AIN0端子機能選択ビット	0	P20	
		1	AIN0	

注1．“R”は読み出し可、“W”は書き込み可を表します。
 2．AIN0～AIN3の選択は、レジスタQ2を設定した後にレジスタQ1で行ってください。

(6) A/D制御レジスタQ3

表2.1.6にレジスタQ3のビット構成を示します。
 レジスタQ3への書き込みは、レジスタAに値を設定した後、TQ3A命令で行います。
 また、TAQ3命令でレジスタQ3の内容をレジスタAに転送できます。

表2.1.6 A/D制御レジスタQ3のビット構成

A/D制御レジスタQ3		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
Q33	P33/AIN7端子機能選択ビット	0	P33	
		1	AIN7	
Q32	P32/AIN6端子機能選択ビット	0	P32	
		1	AIN6	
Q31	P31/AIN5端子機能選択ビット	0	P31	
		1	AIN5	
Q30	P30/AIN4端子機能選択ビット	0	P30	
		1	AIN4	

注1．“R”は読み出し可、“W”は書き込み可を表します。
 2．AIN4～AIN7の選択は、レジスタQ3を設定した後にレジスタQ1で行ってください。

(7) プルアップ制御レジスタPU0

表2.1.7にレジスタPU0のビット構成を示します。

レジスタPU0への書き込みは、レジスタAに値を設定した後、TPU0A命令で行います。

また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

表2.1.7 プルアップ制御レジスタPU0のビット構成

プルアップ制御レジスタPU0		リセット時：00002		パワーダウン時 ：状態保持	R/W
PU03	ポートP03	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU02	ポートP02	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU01	ポートP01	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU00	ポートP00	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注．“ R ”は読み出し可、“ W ”は書き込み可を表します。

(8) プルアップ制御レジスタPU1

表2.1.8にレジスタPU1のビット構成を示します。

レジスタPU1への書き込みは、レジスタAに値を設定した後、TPU1A命令で行います。

また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

表2.1.8 プルアップ制御レジスタPU1のビット構成

プルアップ制御レジスタPU1		リセット時：00002		パワーダウン時 ：状態保持	R/W
PU13	ポートP13	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU12	ポートP12	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU11	ポートP11	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU10	ポートP10	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注．“ R ”は読み出し可、“ W ”は書き込み可を表します。

(9) ポート出力形式制御レジスタFR0

表2.1.9にレジスタFR0のビット構成を示します。

レジスタFR0への書き込みは、レジスタAに値を設定した後、TFR0A命令で行います。

表2.1.9 ポート出力形式制御レジスタFR0のビット構成

ポート出力形式制御レジスタFR0		リセット時：0000 ₂	パワーダウン時 ：状態保持	W
FR0 ₃	ポートP1 ₂ 、P1 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₂	ポートP1 ₀ 、P1 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₁	ポートP0 ₂ 、P0 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₀	ポートP0 ₀ 、P0 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注．“W”は書き込み可を表します。

(10) ポート出力形式制御レジスタFR1

表2.1.10にレジスタFR1のビット構成を示します。

レジスタFR1への書き込みは、レジスタAに値を設定した後、TFR1A命令で行います。

表2.1.10 ポート出力形式制御レジスタFR1のビット構成

ポート出力形式制御レジスタFR1		リセット時：0000 ₂	パワーダウン時 ：状態保持	W
FR1 ₃	ポートD ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₂	ポートD ₂ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₁	ポートD ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₀	ポートD ₀ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注．“W”は書き込み可を表します。

(11) ポート出力形式制御レジスタFR2

表2.1.11にレジスタFR2のビット構成を示します。

レジスタFR2への書き込みは、レジスタAに値を設定した後、TFR2A命令で行います。

表2.1.11 ポート出力形式制御レジスタFR2のビット構成

ポート出力形式制御レジスタFR2		リセット時：0000 ₂	パワーダウン時 ：状態保持	W
FR23	D7/CNTR0端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR22	D6/SCK端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR21	D5/SOUT端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR20	D4/SIN端子 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注．“W”は書き込み可を表します。

(12) ポート出力形式制御レジスタFR3

表2.1.12にレジスタFR3のビット構成を示します。

レジスタFR3への書き込みは、レジスタAに値を設定した後、TFR3A命令で行います。

表2.1.12 ポート出力形式制御レジスタFR3のビット構成

ポート出力形式制御レジスタFR3		リセット時：0000 ₂	パワーダウン時 ：状態保持	W
FR33	ポートP43 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR32	ポートP42 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR31	ポートP41 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR30	ポートP40 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注．“W”は書き込み可を表します。

(13) キーオンウェイクアップ制御レジスタK0

表2.1.13にレジスタK0のビット構成を示します。

レジスタK0への書き込みは、レジスタAに値を設定した後、TK0A命令で行います。

また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

表2.1.13 キーオンウェイクアップ制御レジスタK0のビット構成

キーオンウェイクアップ制御レジスタK0		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
K0 ₃	ポートP0 ₃	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K0 ₂	ポートP0 ₂	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K0 ₁	ポートP0 ₁	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K0 ₀	ポートP0 ₀	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

(14) キーオンウェイクアップ制御レジスタK1

表2.1.14にレジスタK1のビット構成を示します。

レジスタK1への書き込みは、レジスタAに値を設定した後、TK1A命令で行います。

また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

表2.1.14 キーオンウェイクアップ制御レジスタK1のビット構成

キーオンウェイクアップ制御レジスタK1		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
K1 ₃	ポートP1 ₃	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K1 ₂	ポートP1 ₂	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K1 ₁	ポートP1 ₁	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K1 ₀	ポートP1 ₀	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

(15) キーオンウェイクアップ制御レジスタK2

表2.1.15にレジスタK2のビット構成を示します。

レジスタK2への書き込みは、レジスタAに値を設定した後、TK2A命令で行います。

また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

表2.1.15 キーオンウェイクアップ制御レジスタK2のビット構成

キーオンウェイクアップ制御レジスタK2		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
K23	INT1端子	0	レベル復帰	
	復帰条件選択ビット	1	エッジ復帰	
K22	INT1端子	0	キーオンウェイクアップ無効	
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効	
K21	INT0端子	0	レベル復帰	
	復帰条件選択ビット	1	エッジ復帰	
K20	INT0端子	0	キーオンウェイクアップ無効	
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効	

注．“R”は読み出し可、“W”は書き込み可を表します。

2.1.3 ポートの応用例

(1) キースキャンによるキー入力

ポートDの出力形式にNチャンネルオープンドレイン出力を設定し、ポートP0内蔵のプルアップトランジスタを使用すると、キーのみの外付け回路でキーマトリクスを構成できます。

ポイント：外付け部品はキーのみです。

仕様：ポートDで“L”レベルを出力して、ポートP0で16キーを入力します。

図2.1.1にキーマトリクス回路例を、図2.1.2にキースキャン入力タイミングを示します。

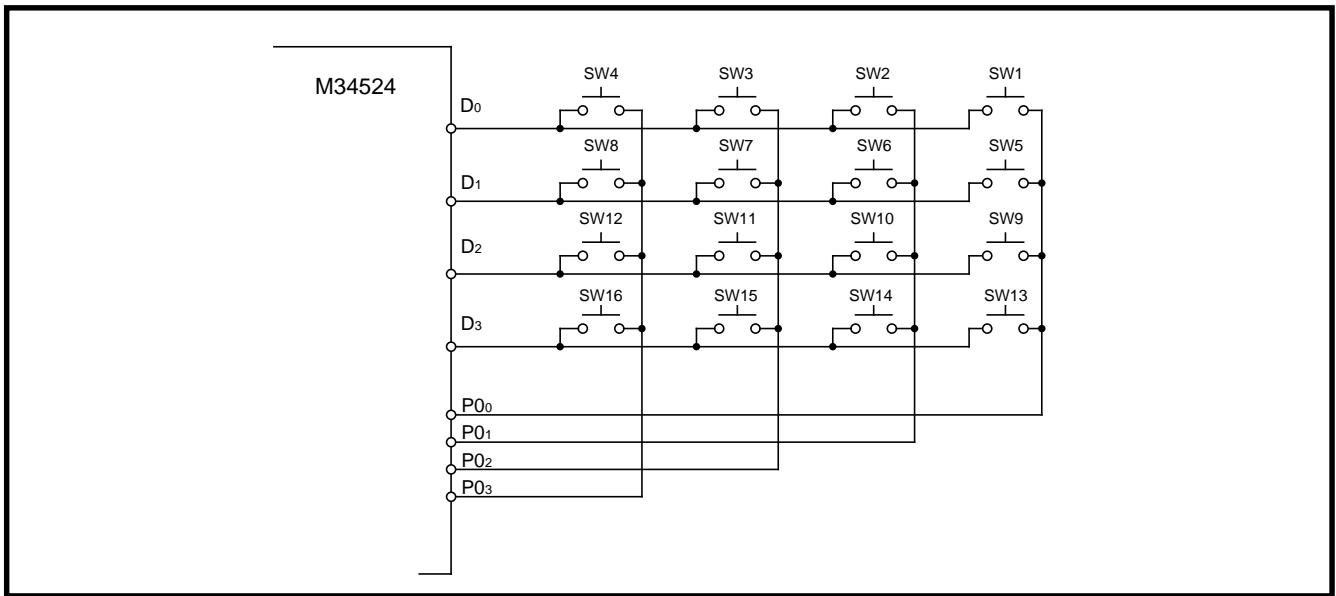
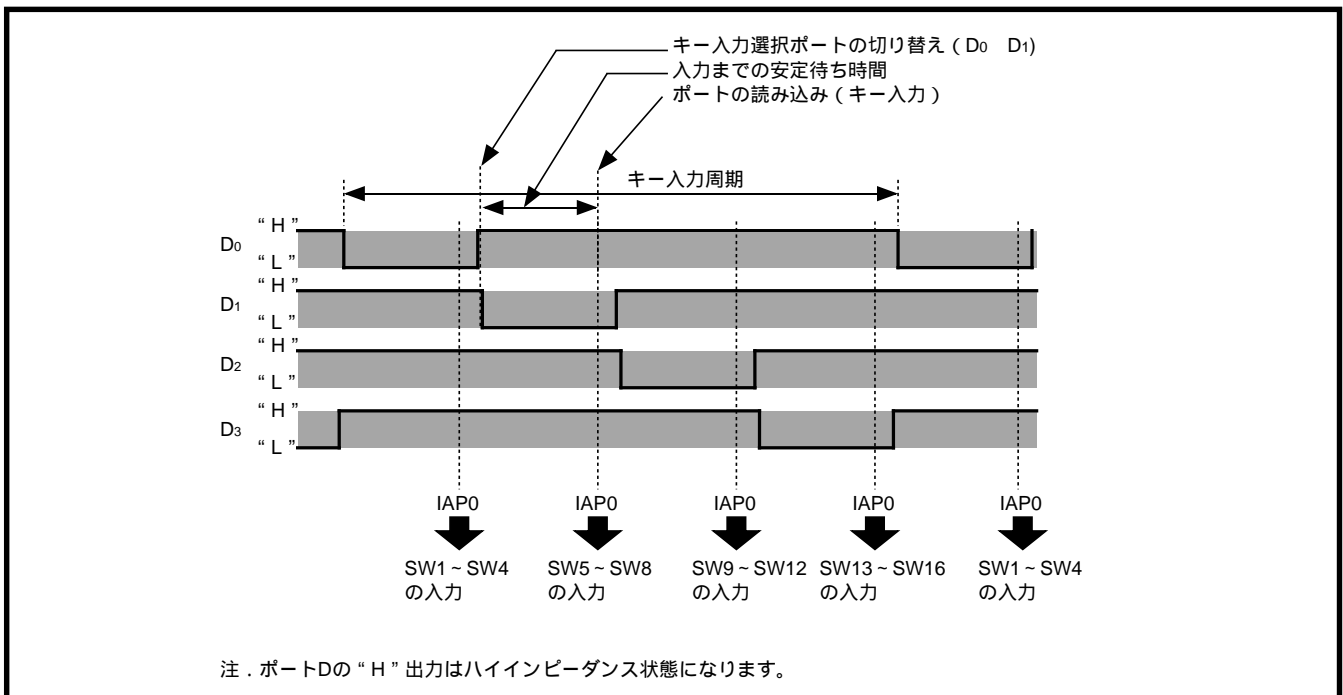


図2.1.1 キーマトリクス回路例



注：ポートDの“H”出力はハイインピーダンス状態になります。

図2.1.2 キースキャン入力タイミング

2.1.4 使用上の注意事項

(1) ポートP0、P1、P4、D0～D7を入力ポートとして使用する場合

使用するポートに対応したレジスタFR0i、FR1i、FR2i、FR3(i=0～3)を“0”、出力ラッチを“1”に設定した後で、入力命令を実行してください。

レジスタFR0i、FR1i、FR2i、FR3iが“0”、出力ラッチが“0”の場合は、“L”レベルが入力されます。また、レジスタFR0i、FR1i、FR2i、FR3iが“1”の場合は、出力ラッチに設定されている値がポートに出力され、そのレベルが入力されます。

(2) ポートP2、P3を入力ポートとして使用する場合

出力ラッチを“1”に設定した後で、入力命令を実行してください。

出力ラッチが“0”の場合は、“L”レベルが入力されます。

(3) ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてVDD端子とVSS端子間にバイパスコンデンサ(0.1μF程度)を最短距離、等幅、等配線長、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版において、CNVSS端子とVPP端子(書き込み電圧=12.5V)が兼用になっています。

5k程度の抵抗を極力CNVSS/VPP端子の近くに配置してVSS端子に接続してください。

(4) マルチファンクション端子

INT0、INT1端子を使用している場合でも、ポートD8、D9の出力は機能しますので注意してください。

SIN、SOUT、SCK端子を使用している場合でも、ポートD4、D5、D6の入力は機能しますので注意してください。

CNTR0端子の入力機能を使用している場合でも、ポートD7の入出力は機能しますので注意してください。

CNTR0端子の出力機能を使用している場合でも、ポートD7の入力は機能しますので注意してください。

CNTR1端子の出力機能を使用している場合でも、ポートCの“H”出力は機能しますので注意してください。

(5) 使用しない端子の処理方法

表2.1.16に使用しない端子の処理方法を示します。

(6) SD、RD、SZD命令

SD、RD命令使用時は、レジスタYに“1010₂”以上を設定しないでください。

SZD命令使用時は、レジスタYに“1000₂”以上を設定しないでください。

(7) D8/INT0端子

割り込み制御レジスタI1のビット3を“0”にし、INT0端子入力禁止の状態でもパワーダウン機能を使用する際は、次の点に注意してください。

INT0端子の入力を禁止する場合(レジスタI13=“0”)は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット0を“0”にして、キーオンウェイクアップを無効にしてください。

(8) D9/INT1端子

割り込み制御レジスタI2のビット3を“0”にし、INT1端子入力禁止の状態でもパワーダウン機能を使用する際は、次の点に注意してください。

INT1端子の入力を禁止する場合(レジスタI23=“0”)は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット2を“0”にして、キーオンウェイクアップを無効にしてください。

表2.1.16 使用しない端子の処理方法

端子名	処理方法	使用条件
XIN	Vssに接続	内部発振器選択(CMCK, CRCK命令未実行) (注1) システムクロックにサブクロック入力選択(MR0=1) (注2)
XOUT	開放	内部発振器選択(CMCK, CRCK命令未実行) (注1) RC発振器選択(CRCK命令実行) メインクロックに外部クロック入力使用(CMCK命令実行) (注3) システムクロックにサブクロック入力選択(MR0=1) (注2)
XcIN	Vssに接続	サブクロック未使用
XcOUT	開放	サブクロック未使用
D0 ~ D3	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注4)
D4/SIN	開放	SIN端子非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D5/SOUT	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D6/Sck	開放	Sck端子非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D7/CNTR0	開放	タイマ1カウントソースにCNTR0入力非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D8/INT0	開放	出力ラッチに"0"を設定
	Vssに接続	
D9/INT1	開放	出力ラッチに"0"を設定
	Vssに接続	
C/CNTR1	開放	タイマ3カウントソースにCNTR1入力非選択
P00 ~ P03	開放	キーオンウェイクアップ機能非選択 (注4)
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注5) プルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注4)
P10 ~ P13	開放	キーオンウェイクアップ機能非選択 (注4)
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注5) プルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注4)
P20/AIN0 ~ P23/AIN3	開放	
	Vssに接続	
P30/AIN4 ~ P33/AIN7	開放	
	Vssに接続	
P40 ~ P43	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注4)
COM0 ~ COM3	開放	
VLC3/SEG0	開放	SEG0端子選択
VLC2/SEG1	開放	SEG1端子選択
VLC1/SEG2	開放	SEG2端子選択
SEG3 ~ SEG19	開放	

- 注1. CMCK命令及びCRCK命令を実行しない場合は、メインクロックに内部発振器(オンチップオシレータ)が選択された状態です。
 2. クロック制御レジスタMRのビット1(MR1)を"1"にセットしてシステムクロックにサブクロック(XcIN)入力を選択する(MR0=1)と、メインクロックは停止します。
 3. メインクロックに外部クロック入力を使用する場合は、CMCK命令を実行してセラミック発振回路を選択した状態にしてください。
 4. ポートD0 ~ D3, P40 ~ P43の出力形式選択と、ポートP00 ~ P03, P10 ~ P13のプルアップ機能及びキーオンウェイクアップ機能選択は、1ポート単位での制御です。各ポートに対応したレジスタのビットを設定してください。
 5. ポートP00 ~ P03, P10 ~ P13の出力形式選択は2ポート単位の制御です。2ポートのうち片方を使用しない場合は、開放にしてください。

(VDD端子及びVSS端子に接続する際の注意事項)

- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。

2.2 割り込み

4524グループは、外部(INT0、INT1)、タイマ1、タイマ2、タイマ3、タイマ5、A/D、及びタイマ4又はシリアルI/Oの8要因の割り込みをもっています。

この節では、各割り込み機能、関連レジスタ、各割り込みの機能を用いた応用例、及び注意事項について説明します。

2.2.1 割り込み機能

(1) 外部0割り込み(INT0)

INT0端子の入力レベルの変化により割り込み要求を発生します。

また、割り込み制御レジスタI1のビット1、ビット2により割り込み有効波形を選択、ビット3によりINT0端子の入力制御が選択できます。

外部0割り込みINT0の処理方法

割り込みを使用する場合

割り込み制御レジスタV1のビット0を“ 1 ”に設定し、割り込み許可フラグINTEを“ 1 ”にセットすると割り込みの発生が可能になります。外部0割り込みが発生すると、割り込み処理は1ページ0番地から実行されます。

割り込みを使用しない場合

割り込み制御レジスタV1のビット0を“ 0 ”に設定すると割り込みが禁止され、SNZ0命令が有効になります。

(2) 外部1割り込み(INT1)

INT1端子の入力レベルの変化により割り込み要求を発生します。

また、割り込み制御レジスタI2のビット1、ビット2により割り込み有効波形を選択、ビット3によりINT1端子の入力制御が選択できます。

外部1割り込みINT1の処理方法

割り込みを使用する場合

割り込み制御レジスタV1のビット1を“ 1 ”に設定し、割り込み許可フラグINTEを“ 1 ”にセットすると割り込みの発生が可能になります。外部1割り込みが発生すると、割り込み処理は1ページ2番地から実行されます。

割り込みを使用しない場合

割り込み制御レジスタV1のビット1を“ 0 ”に設定すると割り込みが禁止され、SNZ1命令が有効になります。

(3) タイマ1割り込み

タイマ1のアンダフローにより割り込み要求を発生します。

タイマ1割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV1のビット2を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ1割り込みが発生すると、割り込み処理は1ページ4番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV1のビット2を“0”に設定すると割り込みが禁止され、SNZT1命令が有効になります。

(4) タイマ2割り込み

タイマ2のアンダフローにより割り込み要求を発生します。

タイマ2割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV1のビット3を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ2割り込みが発生すると、割り込み処理は1ページ6番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV1のビット3を“0”に設定すると割り込みが禁止され、SNZT2命令が有効になります。

(5) タイマ3割り込み

タイマ3のアンダフローにより割り込み要求を発生します。

タイマ3割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV2のビット0を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ3割り込みが発生すると、割り込み処理は1ページ8番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV2のビット0を“0”に設定すると割り込みが禁止され、SNZT3命令が有効になります。

(6) タイマ5割り込み

タイマ5のアンダフローにより割り込み要求を発生します。

タイマ5割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV2のビット1を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ5割り込みが発生すると、割り込み処理は1ページA番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV2のビット1を“0”に設定すると割り込みが禁止され、SNZT5命令が有効になります。

(7) A/D割り込み

A/D変換の終了により割り込み要求を発生します。

A/D割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV2のビット2を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。A/D割り込みが発生すると、割り込み処理は1ページC番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV2のビット2を“0”に設定すると割り込みが禁止され、SNZAD命令が有効になります。

(8) タイマ4割り込み

タイマ4のアンダフローにより割り込み要求を発生します。

ただし、タイマ4、シリアルI/O割り込み要因選択ビット(130)を“0”に設定してください。

タイマ4割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV2のビット3を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ4割り込みが発生すると、割り込み処理は1ページE番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV2のビット3を“0”に設定すると割り込みが禁止され、SNZT4命令が有効になります。

(9) シリアルI/O割り込み

シリアルI/Oの送受信終了により割り込み要求を発生します。

ただし、タイマ4、シリアルI/O割り込み要因選択ビット(I30)を“1”に設定してください。

シリアルI/O割り込みの処理方法

割り込みを使用する場合

割り込み制御レジスタV2のビット3を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。シリアルI/O割り込みが発生すると、割り込み処理は1ページE番地から実行します。

割り込みを使用しない場合

割り込み制御レジスタV2のビット3を“0”に設定すると割り込みが禁止され、SNZSI命令が有効になります。

2.2.2 関連レジスタ

(1) 割り込み許可フラグINTE

すべての割り込みの許可、禁止を制御します。

EI命令の実行によりフラグINTEは“1”にセットされ、すべての割り込みは許可されます。また、DI命令の実行によりフラグINTEは“0”にクリアされ、すべての割り込みは禁止されます。

フラグINTEが“1”の状態、いずれかの割り込みが発生するとフラグINTEは自動的に“0”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

注 EI命令実行による割り込みの許可は、命令実行後さらに1命令経過した後に行われます。

(2) 割り込み要求フラグ

各割り込み起動条件の成立を判断します。

各割り込み起動条件が成立すると、割り込み許可フラグ、割り込み可能ビットによって割り込み禁止状態に設定されていても、その割り込みに対応する割り込み要求フラグは“1”にセットされます。

割り込みの発生又はスキップ命令の実行によって割り込み要求フラグは“0”にクリアされます。

(3) 割り込み制御レジスタV1

表2.2.1にレジスタV1のビット構成を示します。

レジスタV1への書き込みは、レジスタAに値を設定した後、TV1A命令で行います。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

表2.2.1 割り込み制御レジスタV1のビット構成

割り込み制御レジスタV1		リセット時 : 0000 ₂	パワーダウン時 : 0000 ₂	R/W
V13	タイマ2 割り込み可能ビット	0	発生禁止 (SNZT2命令有効)	
		1	発生可能 (SNZT2命令無効) (注2)	
V12	タイマ1 割り込み可能ビット	0	発生禁止 (SNZT1命令有効)	
		1	発生可能 (SNZT1命令無効) (注2)	
V11	外部1 割り込み可能ビット	0	発生禁止 (SNZ1命令有効)	
		1	発生可能 (SNZ1命令無効) (注2)	
V10	外部0 割り込み可能ビット	0	発生禁止 (SNZ0命令有効)	
		1	発生可能 (SNZ0命令無効) (注2)	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらの命令は、NOP命令と等価となります。

(4) 割り込み制御レジスタV2

表2.2.2にレジスタV2のビット構成を示します。

レジスタV2への書き込みは、レジスタAに値を設定した後、TV2A命令で行います。

また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表2.2.2 割り込み制御レジスタV2のビット構成

割り込み制御レジスタV2		リセット時：0000 ₂	パワーダウン時 ：0000 ₂	R/W
V2 ₃	タイマ4、シリアルI/O 割り込み可能ビット（注2）	0	発生禁止（SNZT4、SNZSI命令有効）	
		1	発生可能（SNZT4、SNZSI命令無効）（注3）	
V2 ₂	A/D 割り込み可能ビット	0	発生禁止（SNZAD命令有効）	
		1	発生可能（SNZAD命令無効）（注3）	
V2 ₁	タイマ5 割り込み可能ビット	0	発生禁止（SNZT5命令有効）	
		1	発生可能（SNZT5命令無効）（注3）	
V2 ₀	タイマ3 割り込み可能ビット	0	発生禁止（SNZT3命令有効）	
		1	発生可能（SNZT3命令無効）（注3）	

注1.“R”は読み出し可、“W”は書き込み可を表します。

- タイマ4、シリアルI/O割り込み要因選択ビット(I30)でタイマ4割り込み又はシリアルI/O割り込みのいずれかを選択できます。
- これらの命令は、NOP命令と等価となります。

(5) 割り込み制御レジスタI1

表2.2.3にレジスタI1のビット構成を示します。

レジスタI1への書き込みは、レジスタAに値を設定した後、TI1A命令で行います。

また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表2.2.3 割り込み制御レジスタI1のビット構成

割り込み制御レジスタI1		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
I1 ₃	INT0端子入力制御ビット（注2）	0	INT0端子入力禁止	
		1	INT0端子入力可能	
I1 ₂	INT0端子 割り込み有効波形 / 復帰レベル選択ビット （注2）	0	立ち下がり波形 / “L” レベル（SNZIO命令はINT0端子の“L”レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZIO命令はINT0端子の“H”レベル認識）	
I1 ₁	INT0端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I1 ₀	INT0端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

注1.“R”は読み出し可、“W”は書き込み可を表します。

- レジスタI1のビット2、ビット3の内容を変更した際に、外部0割り込み要求フラグ(EXF0)が“1”にセットされる場合があります。レジスタV1のビット0が“0”の状態ではレジスタI1のビット2、ビット3を変更した後、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。

(6) 割り込み制御レジスタI2

表2.2.4にレジスタI2のビット構成を示します。

レジスタI2への書き込みは、レジスタAに値を設定した後、TI2A命令で行います。

また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表2.2.4 割り込み制御レジスタI2のビット構成

割り込み制御レジスタI2		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
I23	INT1端子入力制御ビット（注2）	0	INT1端子入力禁止	
		1	INT1端子入力可能	
I22	INT1端子 割り込み有効波形 / 復帰レベル選択ビット （注2）	0	立ち下がり波形 / “L” レベル（SNZ1命令はINT1端子の“L”レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZ1命令はINT1端子の“H”レベル認識）	
I21	INT1端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I20	INT1端子 タイマ3カウント開始同期回路選択ビット	0	タイマ3カウント開始同期回路非選択	
		1	タイマ3カウント開始同期回路選択	

注1. “R”は読み出し可、“W”は書き込み可を表します。

- レジスタI2のビット2、ビット3の内容を変更した際に、外部1割り込み要求フラグ(EXF1)が“1”にセットされる場合があります。レジスタV1のビット1が“0”の状態ではレジスタI2のビット2、ビット3を変更した後、1命令以上においてSNZ1命令を実行し、フラグEXF1を“0”にしてください。このとき、SNZ1命令によるスキップが発生することを考慮し、SNZ1命令の後にNOP命令を挿入してください。

(7) 割り込み制御レジスタI3

表2.2.5にレジスタI3のビット構成を示します。

レジスタI3への書き込みは、レジスタAに値を設定した後、TI3A命令で行います。

また、TAI3命令でレジスタI3の内容をレジスタAに転送できます。

表2.2.5 割り込み制御レジスタI3のビット構成

割り込み制御レジスタI3		リセット時：0 ₂	パワーダウン時 ：状態保持	R/W
I30	タイマ4、シリアルI/O 割り込み要因選択ビット	0	タイマ4割り込み有効、シリアルI/O割り込み無効	
		1	シリアルI/O割り込み有効、タイマ4割り込み無効	

注. “R”は読み出し可、“W”は書き込み可を表します。

2.2.3 割り込みの応用例

(1) 外部0割り込み

INT0端子は有効波形を選択できる外部割り込み端子で、立ち下がリエッジ(H L)、立ち上がりエッジ(L H)、又は両エッジ(H LとL H)を認識できます。

ポイント：立ち下がリエッジ(H L)、立ち上がりエッジ(L H)、又は両エッジ(H LとL H)をトリガとして外部0割り込みを使用できます。

仕様：外部信号の両エッジ(H LとL H)により外部0割り込みを発生させます。

図2.2.1に外部0割り込み動作例を、図2.2.2に外部0割り込み設定例を示します。

(2) 外部1割り込み

INT1端子は有効波形を選択できる外部割り込み端子で、立ち下がリエッジ(H L)、立ち上がりエッジ(L H)、又は両エッジ(H LとL H)を認識できます。

ポイント：立ち下がリエッジ(H L)、立ち上がりエッジ(L H)、又は両エッジ(H LとL H)をトリガとして外部1割り込みを使用できます。

仕様：外部信号の立ち下がリエッジ(H L)により外部1割り込みを発生させます。

図2.2.3に外部1割り込み動作例を、図2.2.4に外部1割り込み設定例を示します。

(3) タイマ1割り込み

タイマ1では、設定されたタイマ値による定周期割り込みを使用できます。

ポイント：タイマ1のアンダフロー信号による定周期割り込みを使用できます。

仕様：システムクロック周波数(=2.0MHz)をタイマ1で分周し、0.25msごとにタイマ1割り込みを発生させます。

図2.2.5にタイマ1定周期割り込み設定例を示します。

(4) タイマ2割り込み

タイマ2では、設定されたタイマ値による定周期割り込みを使用できます。

ポイント：タイマ2のアンダフロー信号による定周期割り込みを使用できます。

仕様：システムクロック周波数(=4.0MHz)をプリスケラとタイマ2で分周し、1msごとにタイマ2割り込みを発生させます。

図2.2.6にタイマ2定周期割り込み設定例を示します。

(5) タイマ3割り込み

タイマ3では、設定されたタイマ値による定周期割り込みを使用できます。

ポイント：タイマ3のアンダフロー信号による定周期割り込みを使用できます。

仕様：システムクロック周波数(=4.0MHz)をプリスケアラとタイマ3で分周し、1msごとにタイマ3割り込みを発生させます。

図2.2.7にタイマ3定周期割り込み設定例を示します。

(6) タイマ4割り込み

タイマ4では、設定されたタイマ値による定周期割り込みを使用できます。

ポイント：タイマ4のアンダフロー信号による定周期割り込みを使用できます。

仕様：システムクロック周波数(=4.0MHz)をプリスケアラとタイマ4で分周し、50msごとにタイマ4割り込みを発生させます。

図2.2.8にタイマ4定周期割り込み設定例を示します。

(7) タイマ5割り込み

タイマ5は、固定分周タイマのため、カウントソースを 2^{13} 、 2^{14} 、 2^{15} 又は 2^{16} 分周した定周期割り込みを使用できます。

ポイント：タイマ5のアンダフロー信号による定周期割り込みを使用できます。

仕様：サブクロック周波数($f(XCIN)=32.768kHz$)をタイマ5で分周し、500msごとにタイマ5割り込みを発生させます。

図2.2.9にタイマ5定周期割り込み設定例を示します。

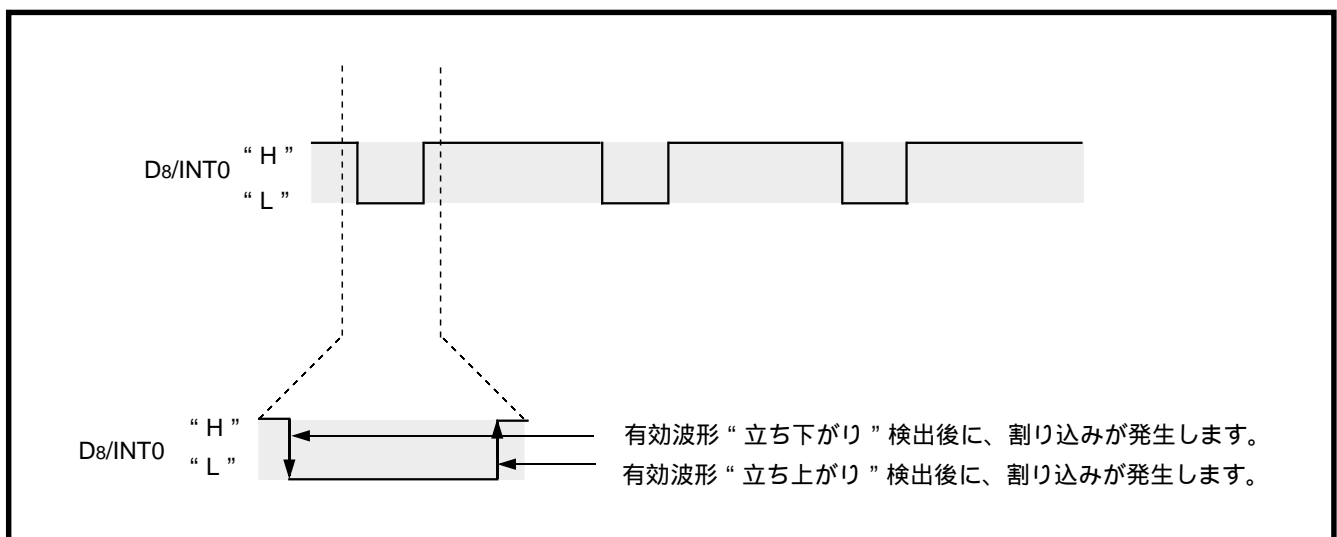


図2.2.1 外部0割り込み動作例

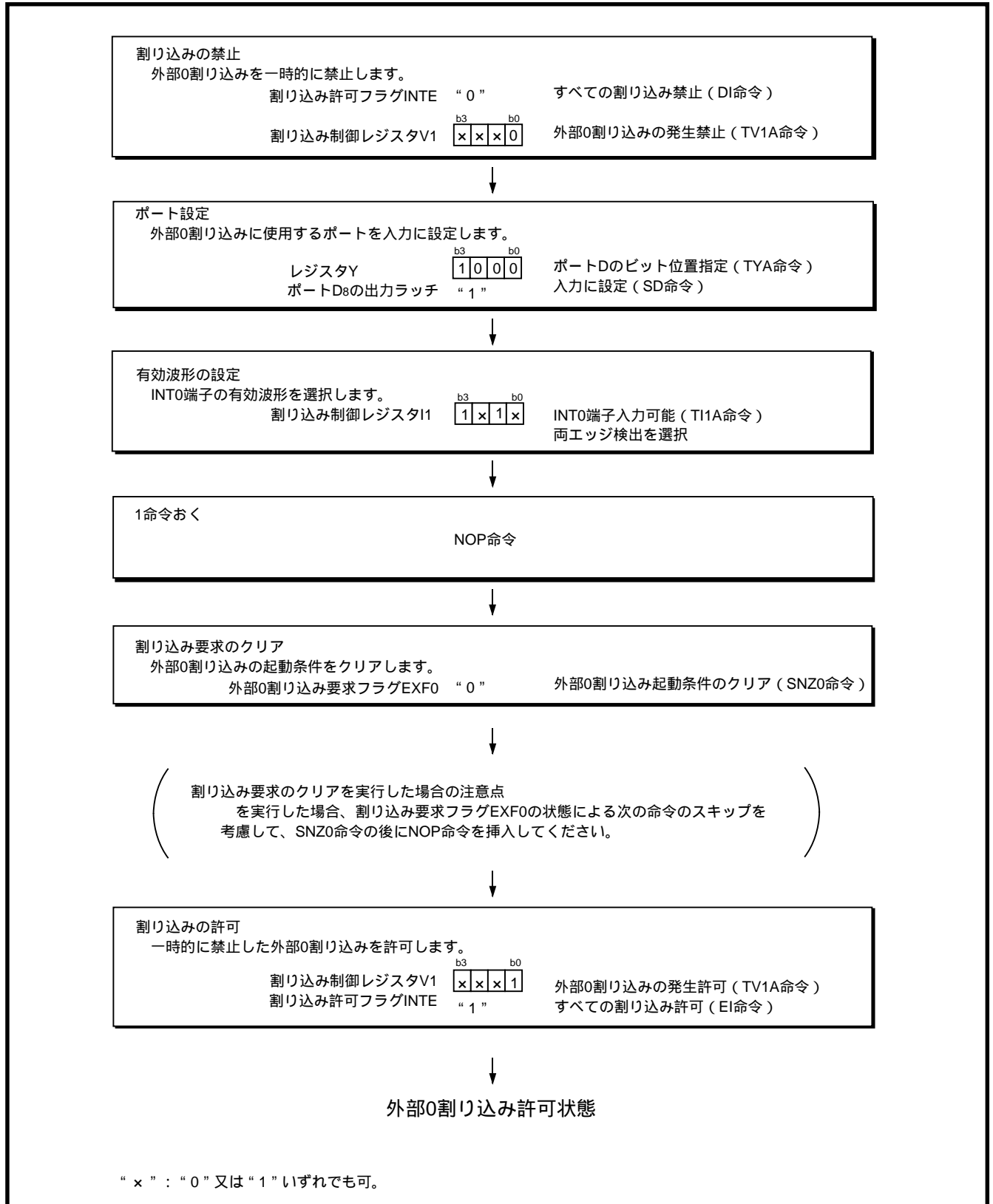


図2.2.2 外部0割り込み設定例

注 . 外部0割り込みの起動条件となる有効波形は、変化前後のレベルをそれぞれシステムクロックの4周期以上保持する必要があります。

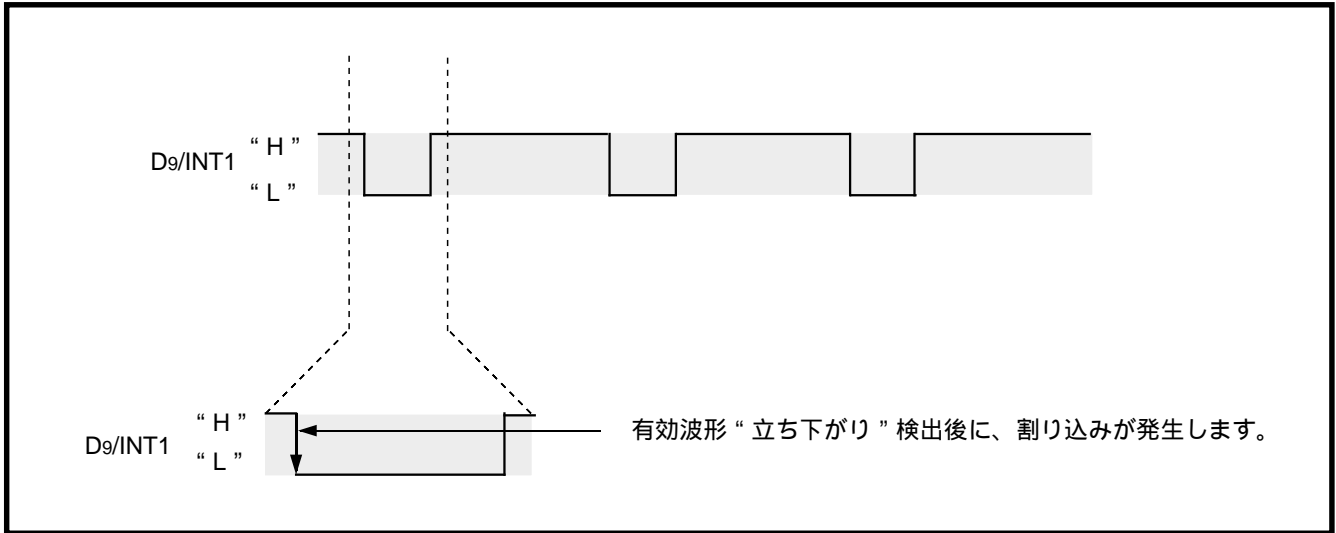


図2.2.3 外部1割り込み動作例

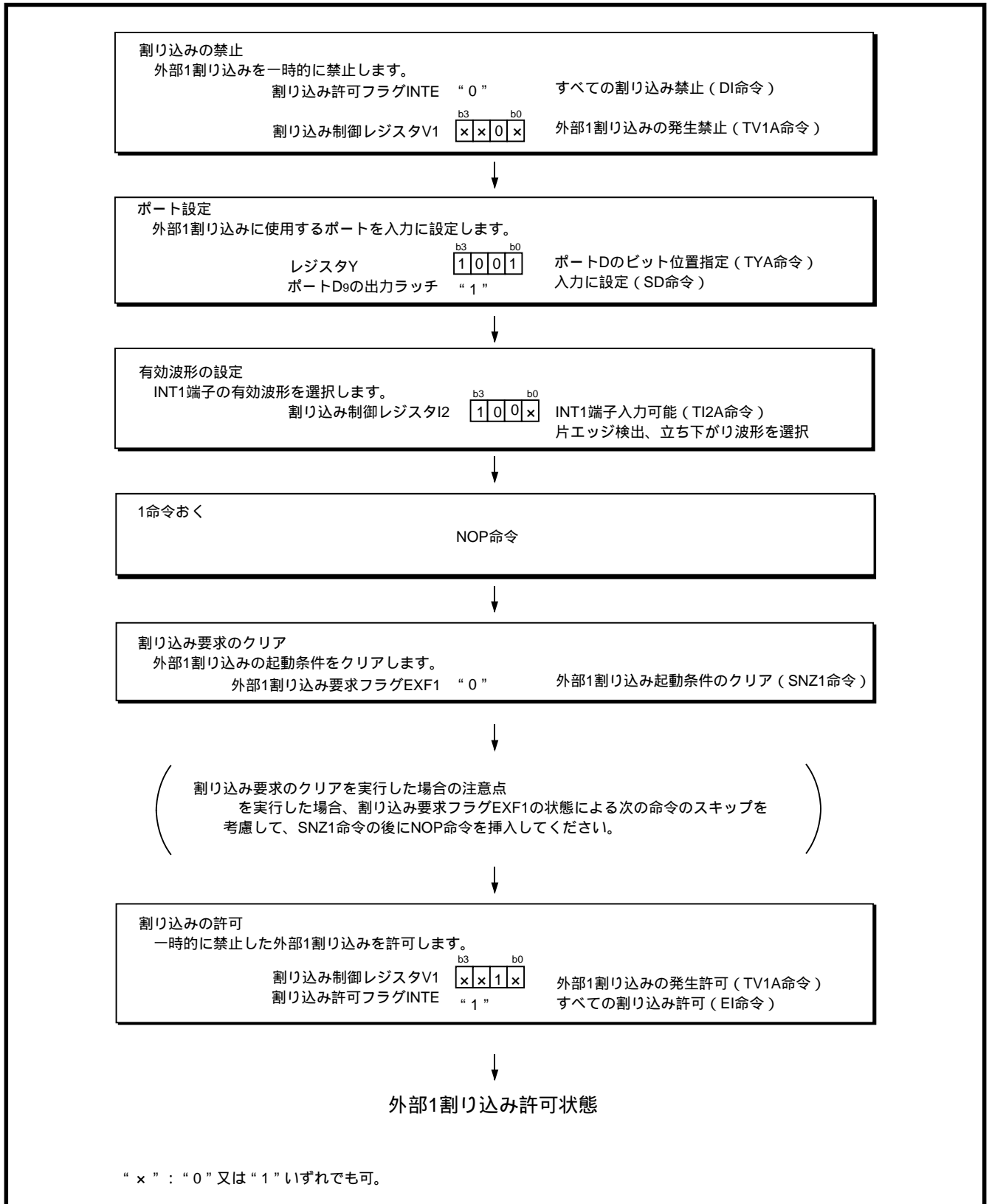


図2.2.4 外部1割り込み設定例

注 . 外部1割り込みの起動条件となる有効波形は、変化前後のレベルをそれぞれシステムクロックの4周期以上保持する必要があります。

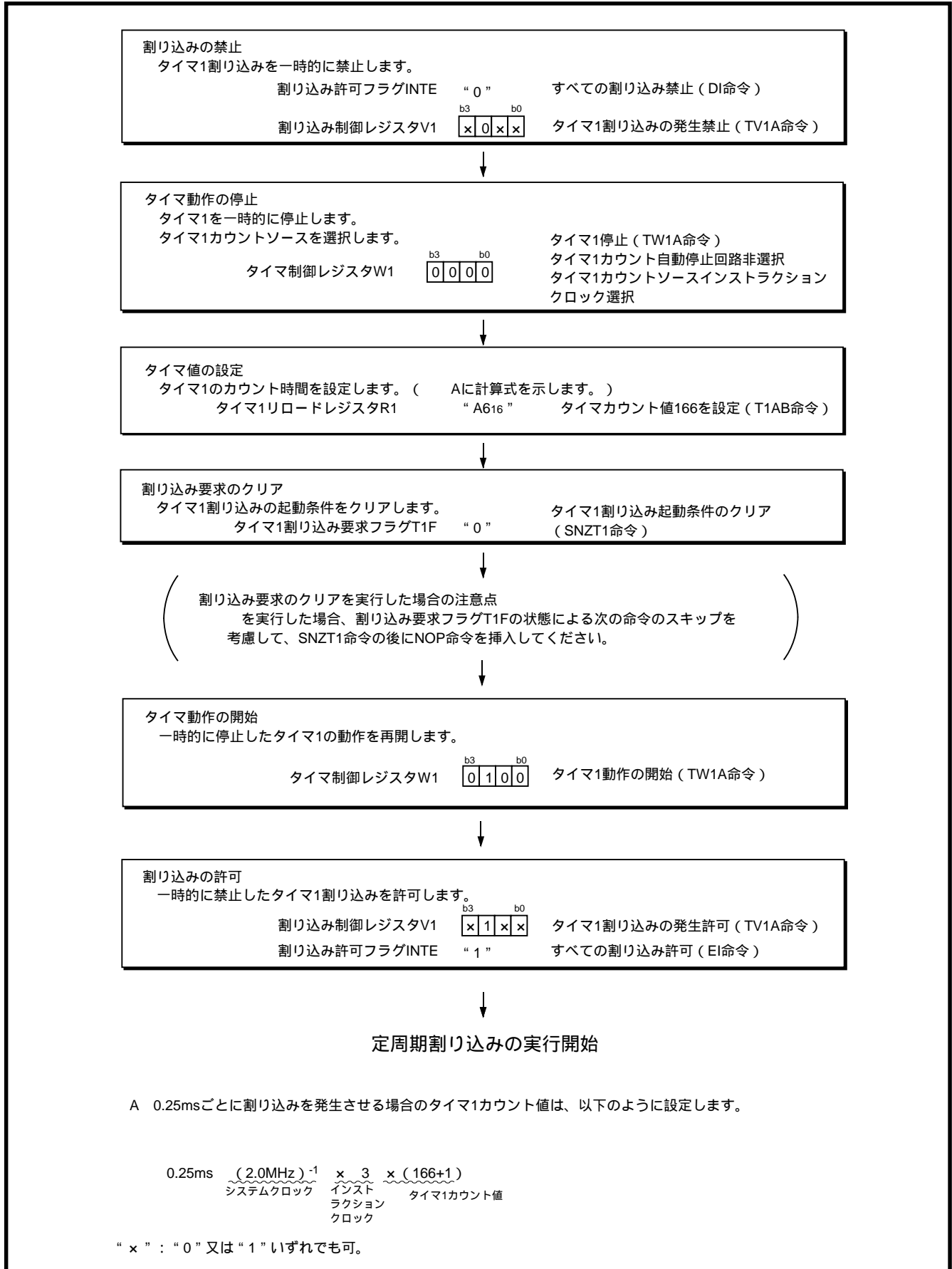


図2.2.5 タイマ1定周期割り込み設定例

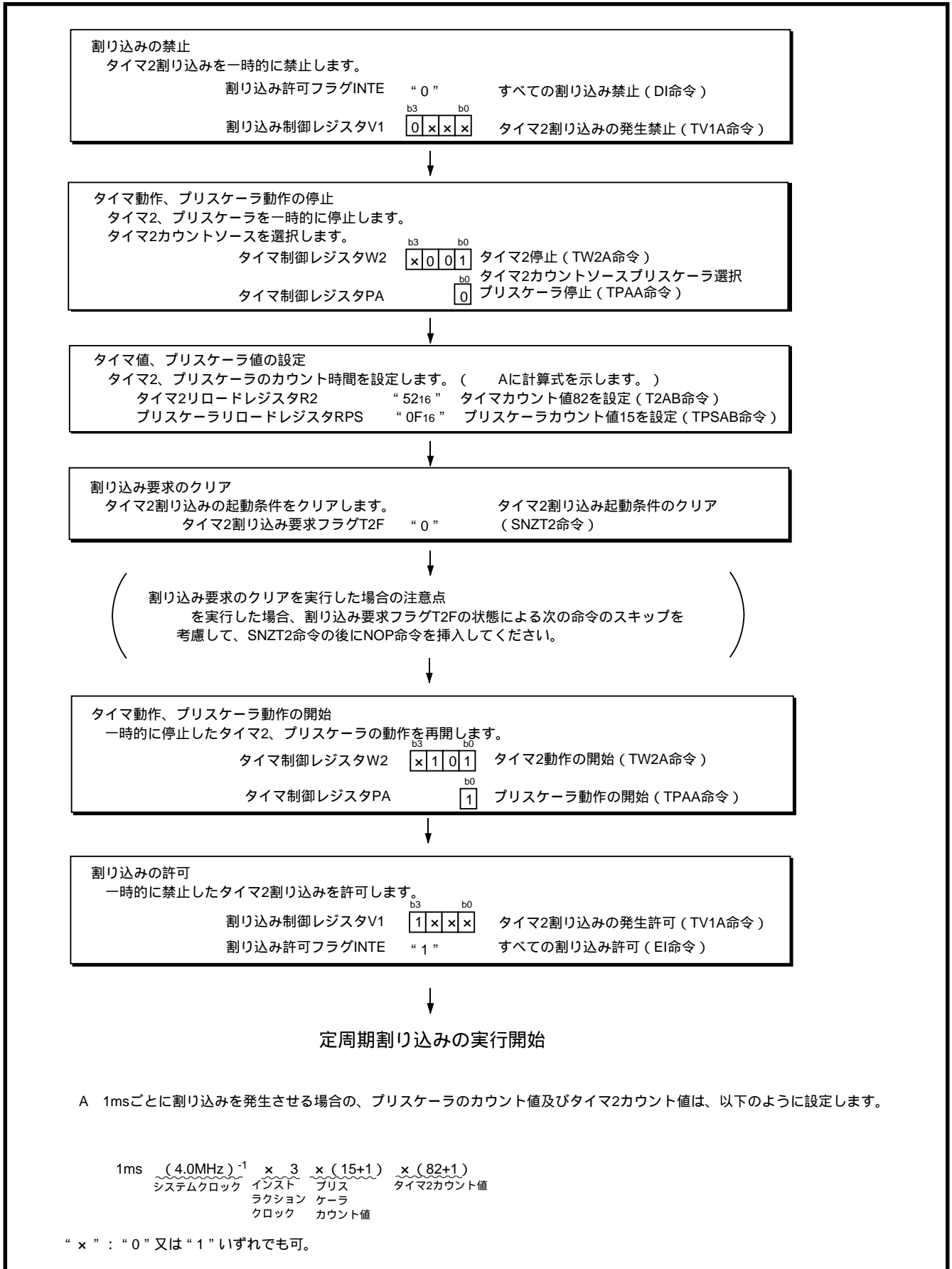


図2.2.6 タイマ2定周期割り込み設定例

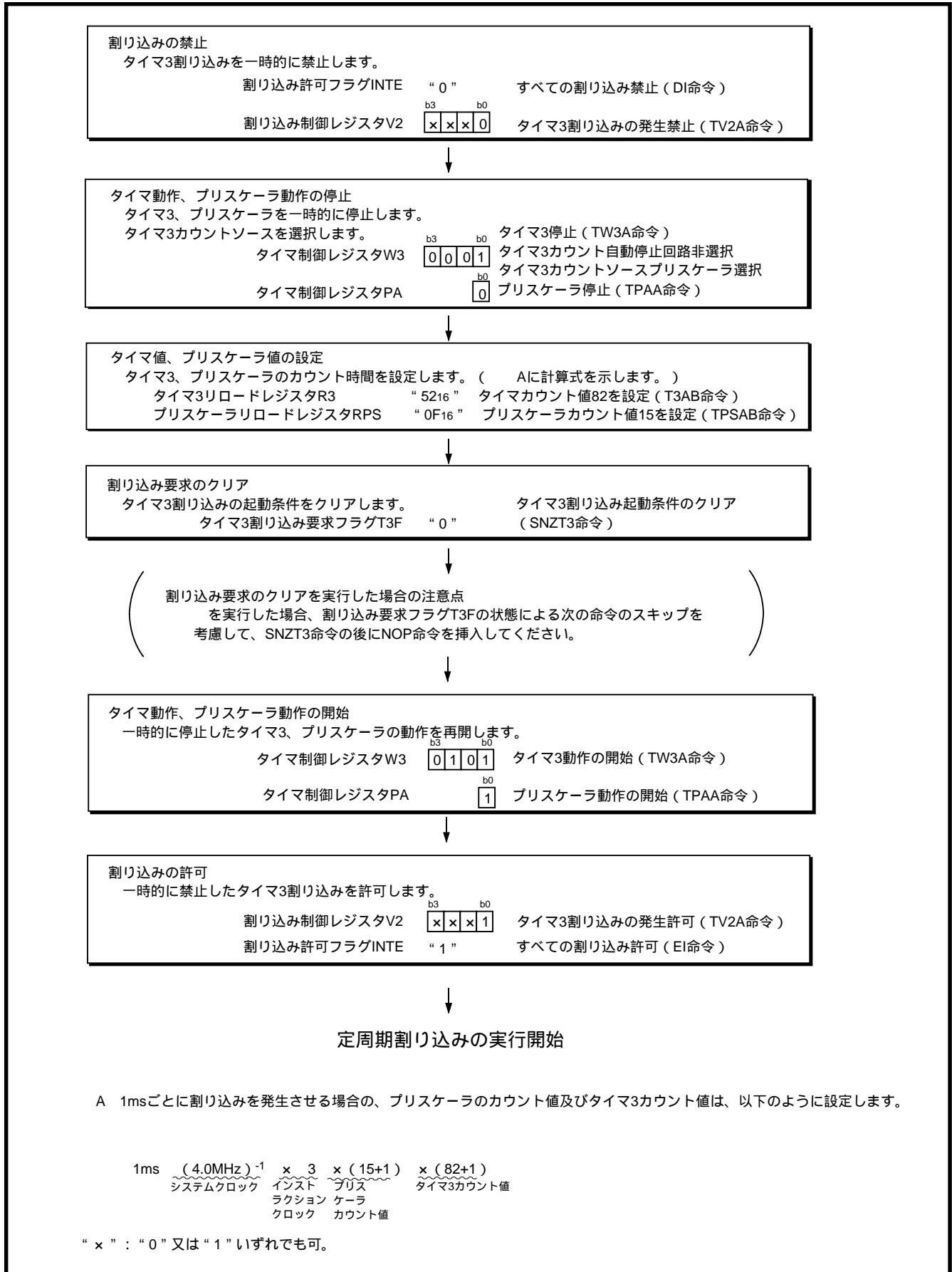


図2.2.7 タイマ3定周期割り込み設定例

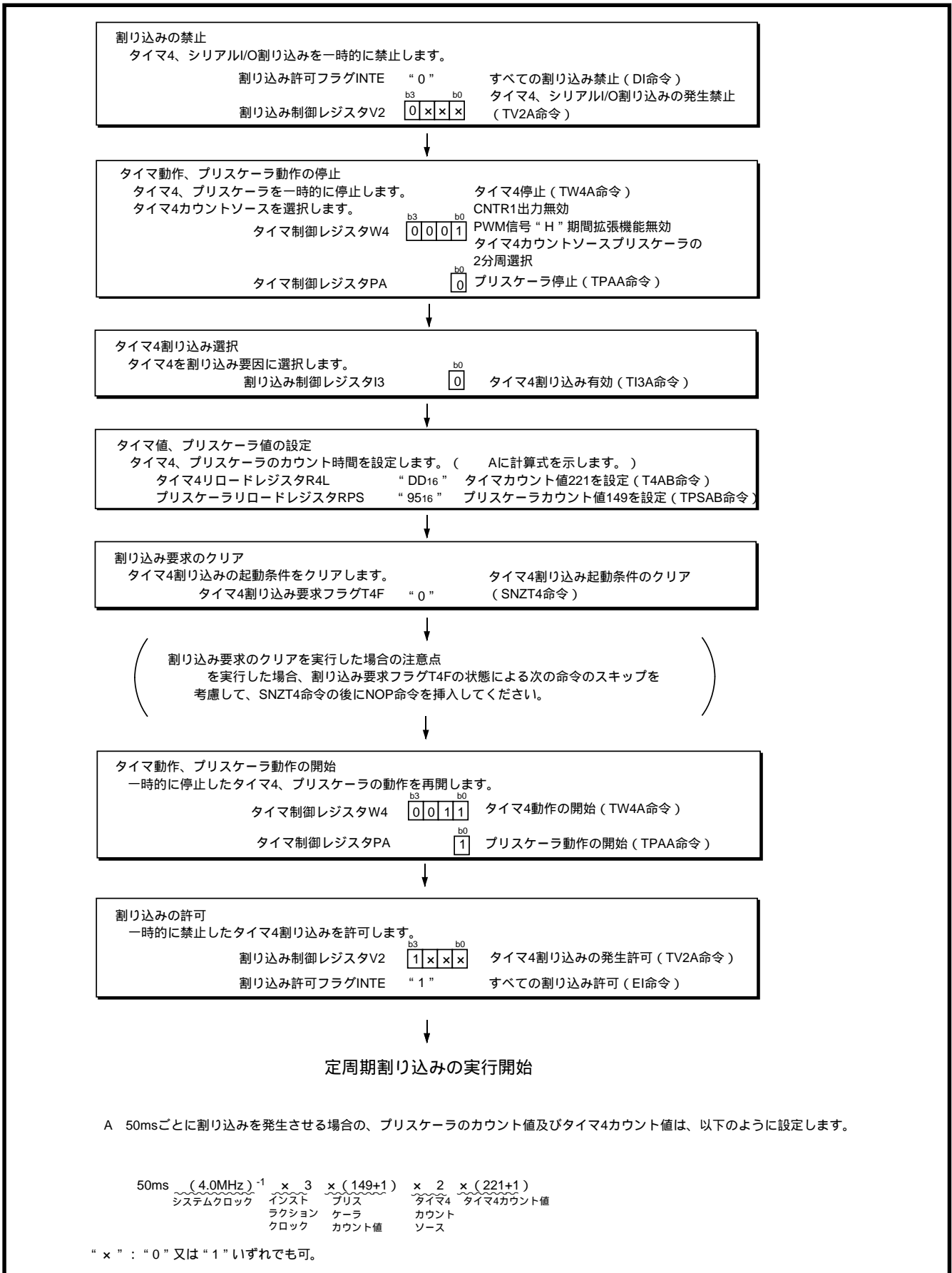


図2.2.8 タイマ4定周期割り込み設定例

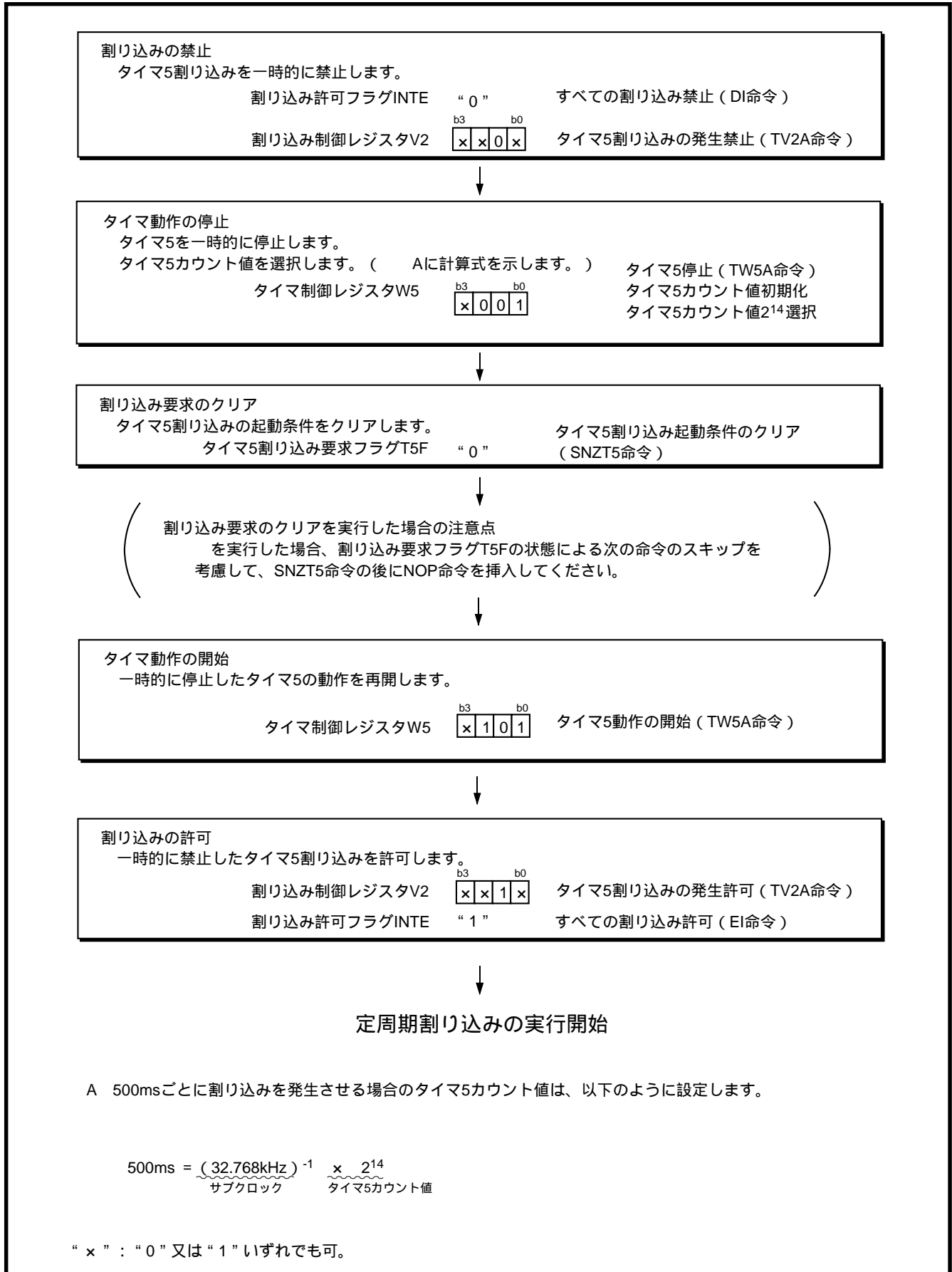


図2.2.9 タイマ5定周期割り込み設定例

2.2.4 使用上の注意事項

(1) INT0端子割り込み有効波形の設定

レジスタI1のビット2に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

D8/INT0端子の入力状態によっては、レジスタI1のビット2を変更した際に、フラグEXF0が“1”にセットされることがあります。

(2) INT0端子入力制御の設定

レジスタI1のビット3に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

D8/INT0端子の入力状態によっては、レジスタI1のビット3を変更した際に、フラグEXF0が“1”にセットされることがあります。

(3) INT1端子割り込み有効波形の設定

レジスタI2のビット2に値を設定した後は、1命令以上においてSNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。

D9/INT1端子の入力状態によっては、レジスタI2のビット2を変更した際に、フラグEXF1が“1”にセットされることがあります。

(4) INT1端子入力制御の設定

レジスタI2のビット3に値を設定した後は、1命令以上においてSNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。

D9/INT1端子の入力状態によっては、レジスタI2のビット3を変更した際に、フラグEXF1が“1”にセットされることがあります。

(5) 多重割り込み禁止

4524グループでは多重割り込みを使用できません。

(6) 割り込み処理実行時

割り込み発生と同時に割り込み許可フラグは“0”(割り込み禁止状態)となります。割り込みからの復帰と同時に割り込み許可にするには、EI、RTI命令を続けて記述してください。

(7) D8/INT0端子

外部割り込み入力端子INT0を使用する場合は、レジスタI1のビット3を“1”にしてください。その場合でも、ポートD8の出力は機能します。また、出力ポートD8として使用している場合でも、レジスタI1のビット3に“1”が設定されていると、有効波形(外部0割り込みの起動条件となる有効波形)の入力により、フラグEXF0は“1”になります。

(8) D9/INT1端子

外部割り込み入力端子INT1を使用する場合は、レジスタI2のビット3を“1”にしてください。その場合でも、ポートD9の出力は機能します。また、出力ポートD9として使用している場合でも、レジスタI2のビット3に“1”が設定されていると、有効波形(外部1割り込みの起動条件となる有効波形)の入力により、フラグEXF1は“1”になります。

(9) POF命令、POF2命令

EPOF命令実行直後にPOF命令又はPOF2命令を実行するとパワーダウン状態になります。

POF命令又はPOF2命令単独では、パワーダウン状態にならないので、注意してください。

また、EPOF命令と、POF命令又はPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

2.3 タイマ

4524グループは、リロードレジスタ付きの8ビットタイマを4本、4ビットタイマを1本、固定分周16ビットタイマを1本、ウォッチドッグタイマを1本もっています。

この節では、タイマ機能、関連レジスタ、タイマ機能を用いた応用例、及び注意事項について説明します。

2.3.1 タイマ機能

(1) タイマ1

タイマ動作

(D8/INT0入力からのタイマ1カウント動作開始トリガ機能付)

(2) タイマ2

タイマ動作

(3) タイマ3

タイマ動作

(D9/INT1入力からのタイマ3カウント動作開始トリガ機能付)

(4) タイマ4

タイマ動作

(PWM出力機能付)

(5) タイマ5 (16ビットタイマ)

タイマ動作

(時計動作モード(POF命令実行)からの復帰機能付)

(6) タイマLC

LCDクロックの生成

(7) ウォッチドッグタイマ

ウォッチドッグ機能

ウォッチドッグ機能は、暴走などによりプログラムが正常に実行されなかった場合に、リセット状態に復帰する手段を与えます。

リセット解除後動作を始め、タイマのカウント値がアンダフローするとフラグWDF1が“ 1 ”にセットされ、その後、タイマが65534カウントする間にWRST命令が実行されなければフラグWDF2に“ 1 ”がセットされ、マイコンをリセットします。

このウォッチドッグ機能を無効にするには、DWDT命令とWRST命令を連続実行します。WRST命令は、スキップ機能があり、フラグWDF1が“ 1 ”の時には“ 0 ”にしてスキップします。

2.3.2 関連レジスタ

(1) 割り込み制御レジスタV1

表2.3.1にレジスタV1のビット構成を示します。
 レジスタV1への書き込みは、レジスタAに値を設定した後、TV1A命令で行います。
 また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

表2.3.1 割り込み制御レジスタV1のビット構成

割り込み制御レジスタV1		リセット時：0000 ₂	パワーダウン時 ：0000 ₂	R/W
V13	タイマ2	0	発生禁止 (SNZT2命令有効)	
	割り込み可能ビット	1	発生可能 (SNZT2命令無効) (注2)	
V12	タイマ1	0	発生禁止 (SNZT1命令有効)	
	割り込み可能ビット	1	発生可能 (SNZT1命令無効) (注2)	
V11	外部1	0	発生禁止 (SNZ1命令有効)	
	割り込み可能ビット	1	発生可能 (SNZ1命令無効) (注2)	
V10	外部0	0	発生禁止 (SNZ0命令有効)	
	割り込み可能ビット	1	発生可能 (SNZ0命令無効) (注2)	

- 注1.“R”は読み出し可、“W”は書き込み可を表します。
 2. これらの命令は、NOP命令と等価となります。
 3. ■■■■：タイマ設定時使用しないビットです。

(2) 割り込み制御レジスタV2

表2.3.2にレジスタV2のビット構成を示します。
 レジスタV2への書き込みは、レジスタAに値を設定した後、TV2A命令で行います。
 また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表2.3.2 割り込み制御レジスタV2のビット構成

割り込み制御レジスタV2		リセット時：0000 ₂	パワーダウン時 ：0000 ₂	R/W
V23	タイマ4、シリアルI/O	0	発生禁止 (SNZT4、SNZSI命令有効)	
	割り込み可能ビット (注2)	1	発生可能 (SNZT4、SNZSI命令無効) (注3)	
V22	A/D	0	発生禁止 (SNZAD命令有効)	
	割り込み可能ビット	1	発生可能 (SNZAD命令無効) (注3)	
V21	タイマ5	0	発生禁止 (SNZT5命令有効)	
	割り込み可能ビット	1	発生可能 (SNZT5命令無効) (注3)	
V20	タイマ3	0	発生禁止 (SNZT3命令有効)	
	割り込み可能ビット	1	発生可能 (SNZT3命令無効) (注3)	

- 注1.“R”は読み出し可、“W”は書き込み可を表します。
 2. タイマ4、シリアルI/O割り込み要因選択ビット(I30)でタイマ4割り込み又はシリアルI/O割り込みのいずれかを選択できます。
 3. これらの命令は、NOP命令と等価となります。
 4. ■■■■：タイマ設定時使用しないビットです。

(3) 割り込み制御レジスタI3

表2.3.3にレジスタI3のビット構成を示します。

レジスタI3への書き込みは、レジスタAに値を設定した後、TI3A命令で行います。

また、TAI3命令でレジスタI3の内容をレジスタAに転送できます。

表2.3.3 割り込み制御レジスタI3のビット構成

割り込み制御レジスタI3		リセット時 : 02	パワーダウン時 : 状態保持	R/W
I30	タイマ4、シリアルI/O	0	タイマ4割り込み有効、シリアルI/O割り込み無効	
	割り込み要因選択ビット	1	シリアルI/O割り込み有効、タイマ4割り込み無効	

注 . “ R ”は読み出し可、“ W ”は書き込み可を表します。

(4) タイマ制御レジスタPA

表2.3.4にレジスタPAのビット構成を示します。

レジスタPAへの書き込みは、レジスタAに値を設定した後、TPAA命令で行います。

表2.3.4 タイマ制御レジスタPAのビット構成

タイマ制御レジスタPA		リセット時 : 02	パワーダウン時 : 02	W
PA0	プリスケアラ制御ビット	0	停止 (状態保持)	
		1	動作	

注 . “ W ”は書き込み可を表します。

(5) タイマ制御レジスタW1

表2.3.5にレジスタW1のビット構成を示します。

レジスタW1への書き込みは、レジスタAに値を設定した後、TW1A命令で行います。

また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

表2.3.5 タイマ制御レジスタW1のビット構成

タイマ制御レジスタW1		リセット時 : 00002	パワーダウン時 : 状態保持	R/W
W13	タイマ1 カウント自動停止回路選択ビット (注2)	0	タイマ1カウント自動停止回路非選択	
		1	タイマ1カウント自動停止回路選択	
W12	タイマ1制御ビット	0	停止 (状態保持)	
		1	動作	
W11	タイマ1 カウントソース選択ビット	W11W10		カウントソース
		00	インストラクシヨックロック (INSTCK)	
W10		01	プリスケアラ出力 (ORCLK)	
		10	タイマ5アンダフロー信号 (T5UDF)	
		11	CNTR0入力	

注1 . “ R ”は読み出し可、“ W ”は書き込み可を表します。

2 . この機能はタイマ1カウント開始同期回路選択時 (I10= “ 1 ”)のみ有効です。

(6) タイマ制御レジスタW2

表2.3.6にレジスタW2のビット構成を示します。
 レジスタW2への書き込みは、レジスタAに値を設定した後、TW2A命令で行います。
 また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

表2.3.6 タイマ制御レジスタW2のビット構成

タイマ制御レジスタW2		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
W23	CNTR0出力選択ビット	0	タイマ1アンダフロー信号の2分周出力	
		1	タイマ2アンダフロー信号の2分周出力	
W22	タイマ2制御ビット	0	停止（状態保持）	
		1	動作	
W21	タイマ2 カウントソース選択ビット	W21W20	カウントソース	
		00	システムクロック（STCK）	
W20	カウントソース選択ビット	01	プリスケアラ出力（ORCLK）	
		10	タイマ1アンダフロー信号（T1UDF）	
		11	PWM信号（PWMOUT）	

注：“R”は読み出し可、“W”は書き込み可を表します。

(7) タイマ制御レジスタW3

表2.3.7にレジスタW3のビット構成を示します。
 レジスタW3への書き込みは、レジスタAに値を設定した後、TW3A命令で行います。
 また、TAW3命令でレジスタW3の内容をレジスタAに転送できます。

表2.3.7 タイマ制御レジスタW3のビット構成

タイマ制御レジスタW3		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
W33	タイマ3 カウント自動停止回路選択ビット（注2）	0	タイマ3カウント自動停止回路非選択	
		1	タイマ3カウント自動停止回路選択	
W32	タイマ3制御ビット	0	停止（状態保持）	
		1	動作	
W31	タイマ3 カウントソース選択ビット（注3）	W31W30	カウントソース	
		00	PWM信号（PWMOUT）	
W30	カウントソース選択ビット（注3）	01	プリスケアラ出力（ORCLK）	
		10	タイマ2アンダフロー信号（T2UDF）	
		11	CNTR1入力	

注1：“R”は読み出し可、“W”は書き込み可を表します。

- 2. この機能はタイマ3カウント開始同期回路選択時（I20=“1”）のみ有効です。
- 3. タイマ3カウントソースにCNTR1入力を選択した場合は、ポートC出力は無効になります。

(8) タイマ制御レジスタW4

表2.3.8にレジスタW4のビット構成を示します。
 レジスタW4への書き込みは、レジスタAに値を設定した後、TW4A命令で行います。
 また、TAW4命令でレジスタW4の内容をレジスタAに転送できます。

表2.3.8 タイマ制御レジスタW4のビット構成

タイマ制御レジスタW4		リセット時：0000 ₂	パワーダウン時 ：0000 ₂	R/W
W43	CNTR1出力制御ビット	0	CNTR1出力無効	
		1	CNTR1出力有効	
W42	PWM信号 “H”期間拡張機能制御ビット	0	PWM信号“H”期間拡張機能無効	
		1	PWM信号“H”期間拡張機能有効	
W41	タイマ4制御ビット	0	停止（状態保持）	
		1	動作	
W40	タイマ4 カウントソース選択ビット	0	XIN入力	
		1	プリスケアラ出力（ORCLK）の2分周信号	

注：“R”は読み出し可、“W”は書き込み可を表します。

(9) タイマ制御レジスタW5

表2.3.9にレジスタW5のビット構成を示します。
 レジスタW5への書き込みは、レジスタAに値を設定した後、TW5A命令で行います。
 また、TAW5命令でレジスタW5の内容をレジスタAに転送できます。

表2.3.9 タイマ制御レジスタW5のビット構成

タイマ制御レジスタW5		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
W53	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		
W52	タイマ5制御ビット	0	停止（初期状態）	
		1	動作	
W51	タイマ5カウント値選択ビット	W51W50	カウントソース	
		00	8192カウントごとにアンダフロー発生	
01		16384カウントごとにアンダフロー発生		
10		32768カウントごとにアンダフロー発生		
W50		11	65536カウントごとにアンダフロー発生	

注1：“R”は読み出し可、“W”は書き込み可を表します。

2. ■：タイマ設定時使用しないビットです。

(10) タイマ制御レジスタW6

表2.3.10にレジスタW6のビット構成を示します。

レジスタW6への書き込みは、レジスタAに値を設定した後、TW6A命令で行います。

また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

表2.3.10 タイマ制御レジスタW6のビット構成

タイマ制御レジスタW6		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
W63	タイマLC制御ビット	0	停止（状態保持）	
		1	動作	
W62	タイマLCカウントソース選択ビット	0	タイマ5のビット4（T54）	
		1	プリスケアラ出力（ORCLK）	
W61	CNTR1出力自動制御回路選択ビット	0	CNTR1出力自動制御回路非選択	
		1	CNTR1出力自動制御回路選択	
W60	D7/CNTR0端子機能選択ビット（注2）	0	D7入出力 / CNTR0入力	
		1	CNTR0入出力 / D7入力	

注1．“R”は読み出し可、“W”は書き込み可を表します。

2．CNTR0入力は、タイマ1カウントソースにCNTR0入力を選択している場合にのみ有効です。

2.3.3 タイマの応用例

(1) タイマ動作：定周期測定

タイマ動作では、設定されたタイマカウント値による定周期時間を測定できます。

ポイント：タイマ1のアンダフロー信号による定周期時間を測定できます。

仕様：システムクロック周波数(=4.0MHz)をプリスケアラとタイマ1で分周し、3msごとにタイマ1割り込みを発生させます。

図2.3.4に定周期測定設定例を示します。

(2) CNTR0出力動作：ブザー出力

ポイント：タイマ2からの矩形波出力をブザー出力に応用できます。

仕様：システムクロック周波数(=4MHz)時、4kHzの矩形波をCNTR0端子から出力します。また、タイマ2割り込みを同時に発生させます。

図2.3.1に周辺回路例を、図2.3.5にCNTR0出力の設定例を示します。

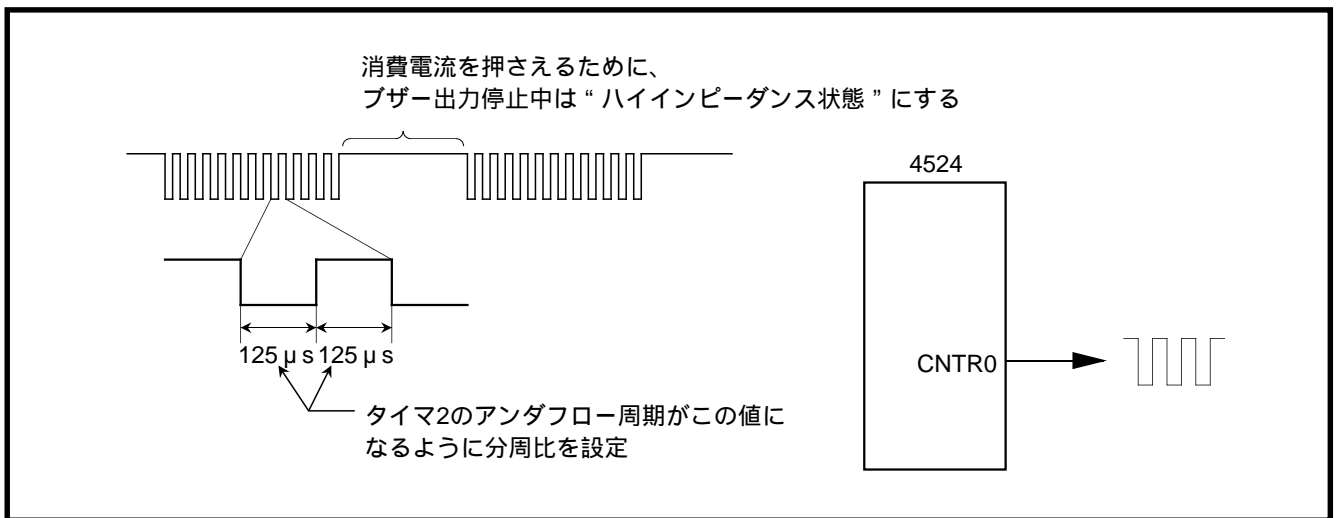


図2.3.1 周辺回路例

(3) CNTR0入力動作：イベントカウント

ポイント：CNTR0端子から入力される信号(立ち上がり波形)をイベントとしてカウント動作できます。

仕様：タイマ1のカウントソースとして外部からの低周波パルス CNTR0端子にを入力し、100回カウントごとにタイマ1割り込みを発生させます。

図2.3.6にCNTR0入力の設定例を示します。

(4) タイマ動作：外部入力によるタイマスタート

ポイント：外部入力により一定時間を測定できます。

仕様：INT1入力をトリガにしてタイマ3を動作させ、1ms後に割り込みを発生させます。

図2.3.7に外部入力によるタイマスタートの設定例を示します。

(5) CNTR1出力制御：PWM出力制御

ポイント：タイマ4により、CNTR1端子からPWM出力ができます。

仕様：メインクロック周波数($f(XIN)=4.0MHz$)をタイマ4で分周し、PWM周期を $1.875\mu s$ 、このうち、“H”期間を $0.875\mu s$ の波形をCNTR1端子から出力します。

図2.3.2にタイマ4の動作、図2.3.8にPWM出力制御の設定例を示します。

(6) タイマ動作：タイマ5による定周期カウンタ

タイマ動作では、設定されたタイマカウント値による定周期時間を測定できます。

ポイント：水晶発振子 $32.768kHz$ を使用することにより、正確な時間を測定することができ、精度の高い時計を作成できます。

仕様：サブクロック周波数($f(XCIN)=32.768kHz$)をタイマ5で分周し、 $250ms$ ごとにタイマ5割り込みを発生させます。

図2.3.9にタイマ5による定周期カウンタ設定例を示します。

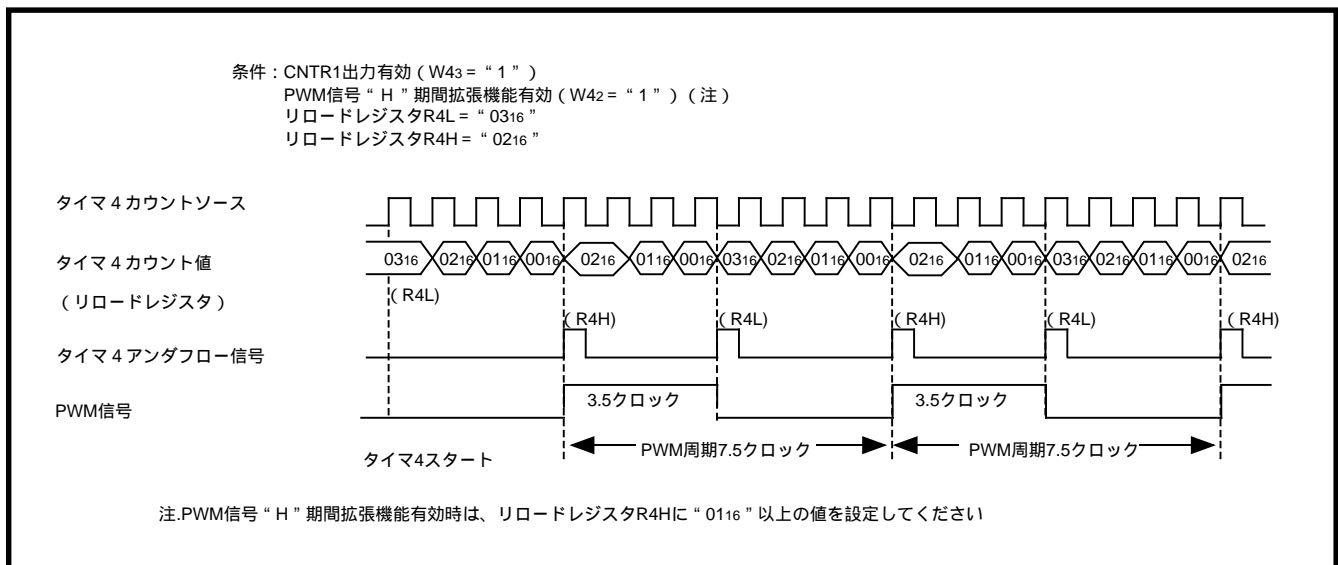


図2.3.2 タイマ4の動作

(7) ウォッチドッグタイマ

ウォッチドッグ機能は、暴走などによりプログラムが正常に実行されなかった場合に、リセット状態に復帰する手段を与えます。

ウォッチドッグ機能を有効にした場合、16ビットタイマの65534カウント以下の周期でWRST命令を必ず実行してください。(65534マシンサイクル以下の周期でWRST命令を実行)

ポイント : 正常動作時に16ビットタイマの65534カウント以内で必ずWRST命令を実行します。暴走した場合WRST命令が実行されなくなり、リセットが発生します。

仕様 : システムクロック周波数 $f(XIN)=4.0MHz$ を使用し、49ms以内にWRST命令実行により暴走を検知します。

図2.3.3にウォッチドッグタイマの機能を、図2.3.10にウォッチドッグタイマ使用例を示します。

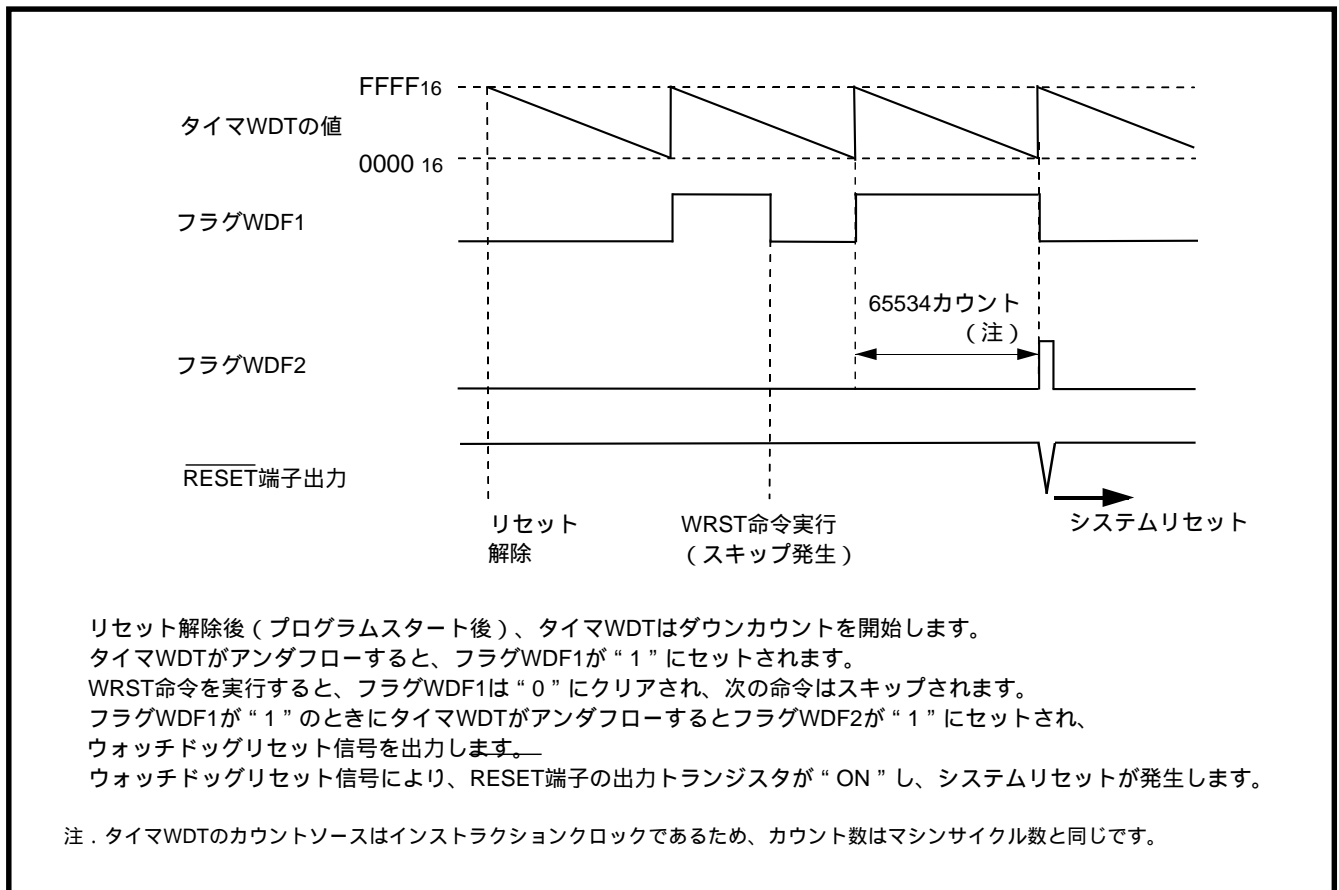


図2.3.3 ウォッチドッグタイマの機能

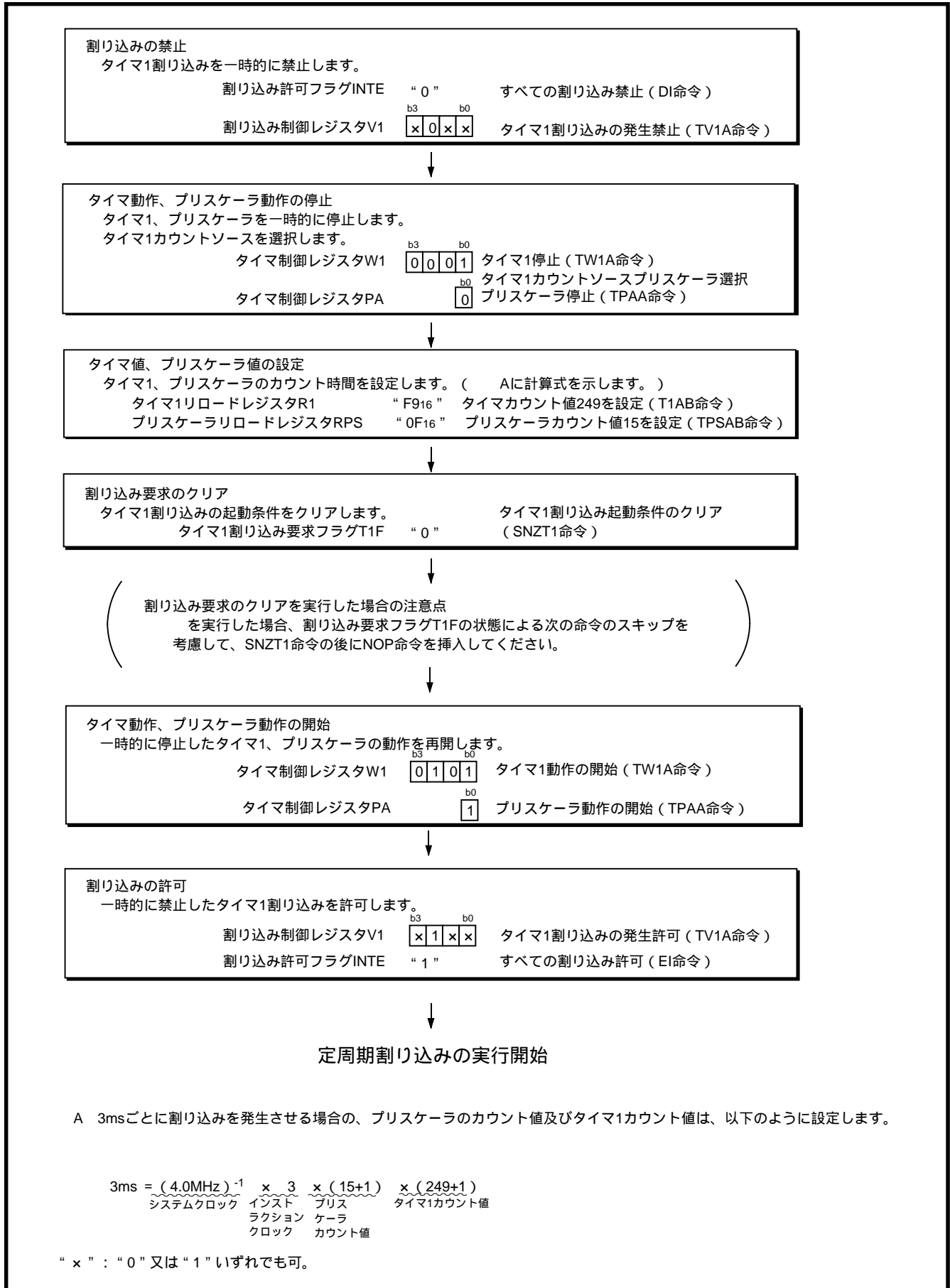


図2.3.4 定周期測定設定例

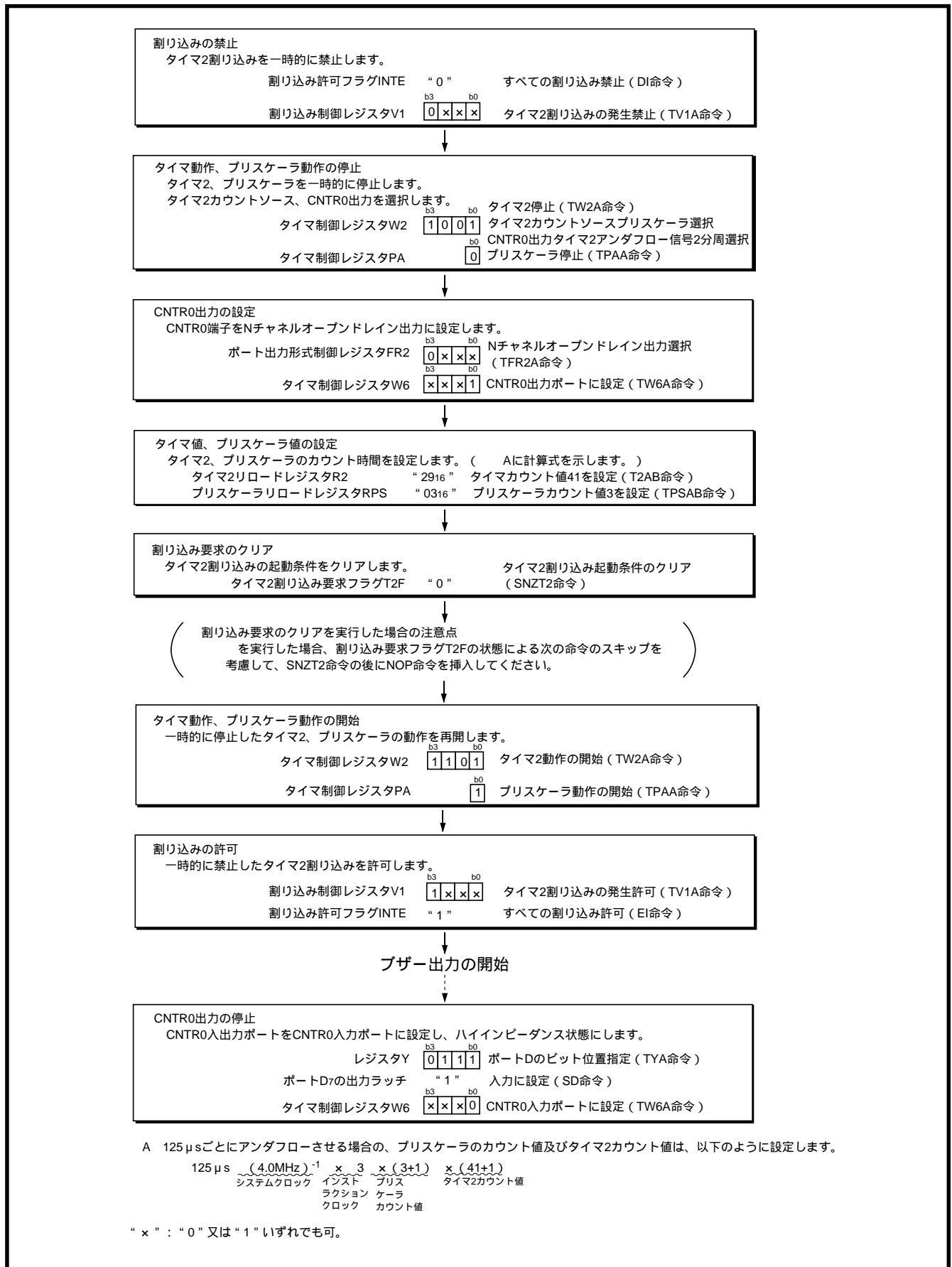


図2.3.5 CNTR0出力の設定例

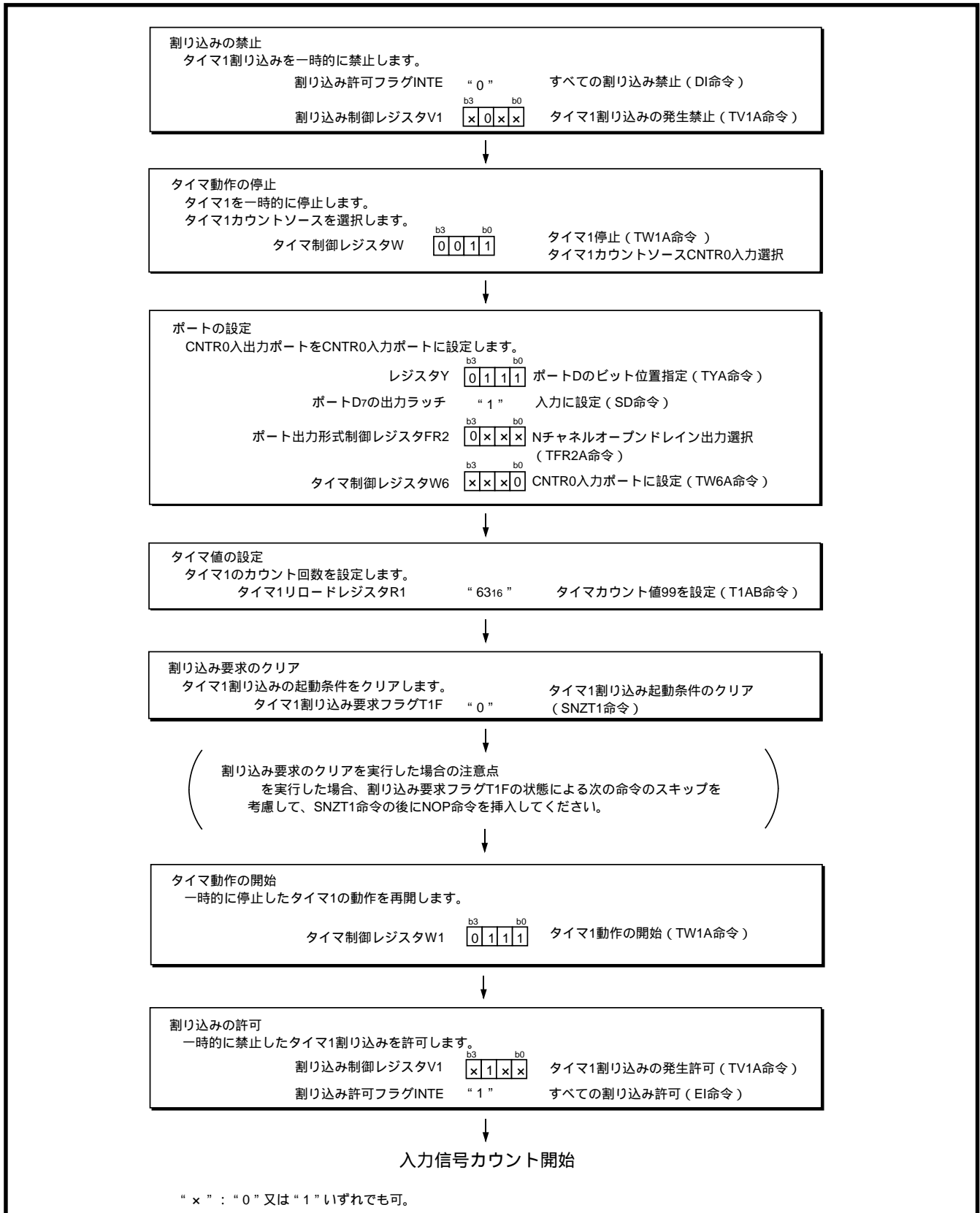


図2.3.6 CNTR0入力の設定例

ただし、CNTR0、CNTR1端子に入力するパルスのパルス幅には条件があります。タイマ外部入力周期条件は、「3.1 電気的特性」を参照してください。

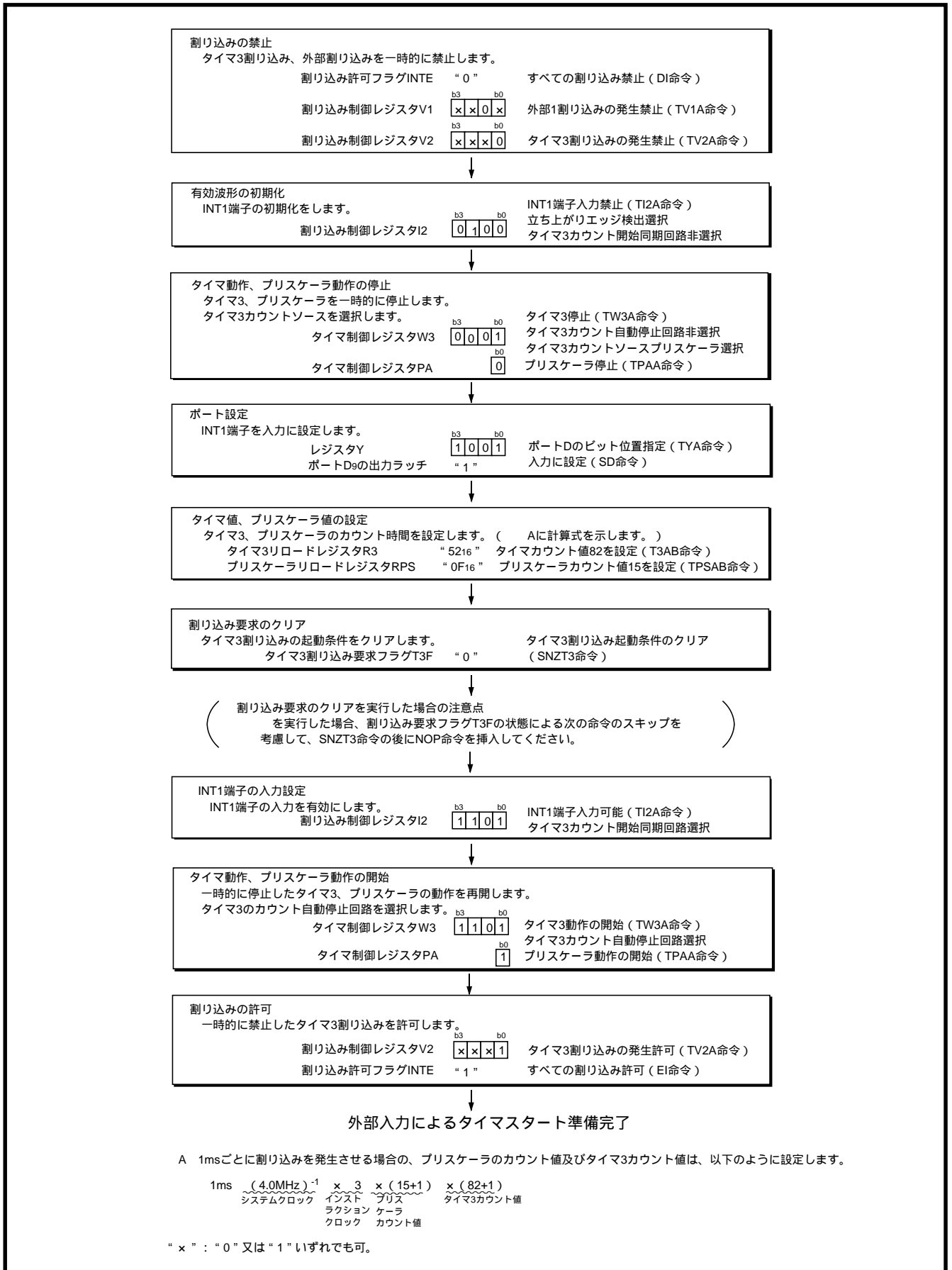


図2.3.7 外部入力によるタイマスタートの設定例

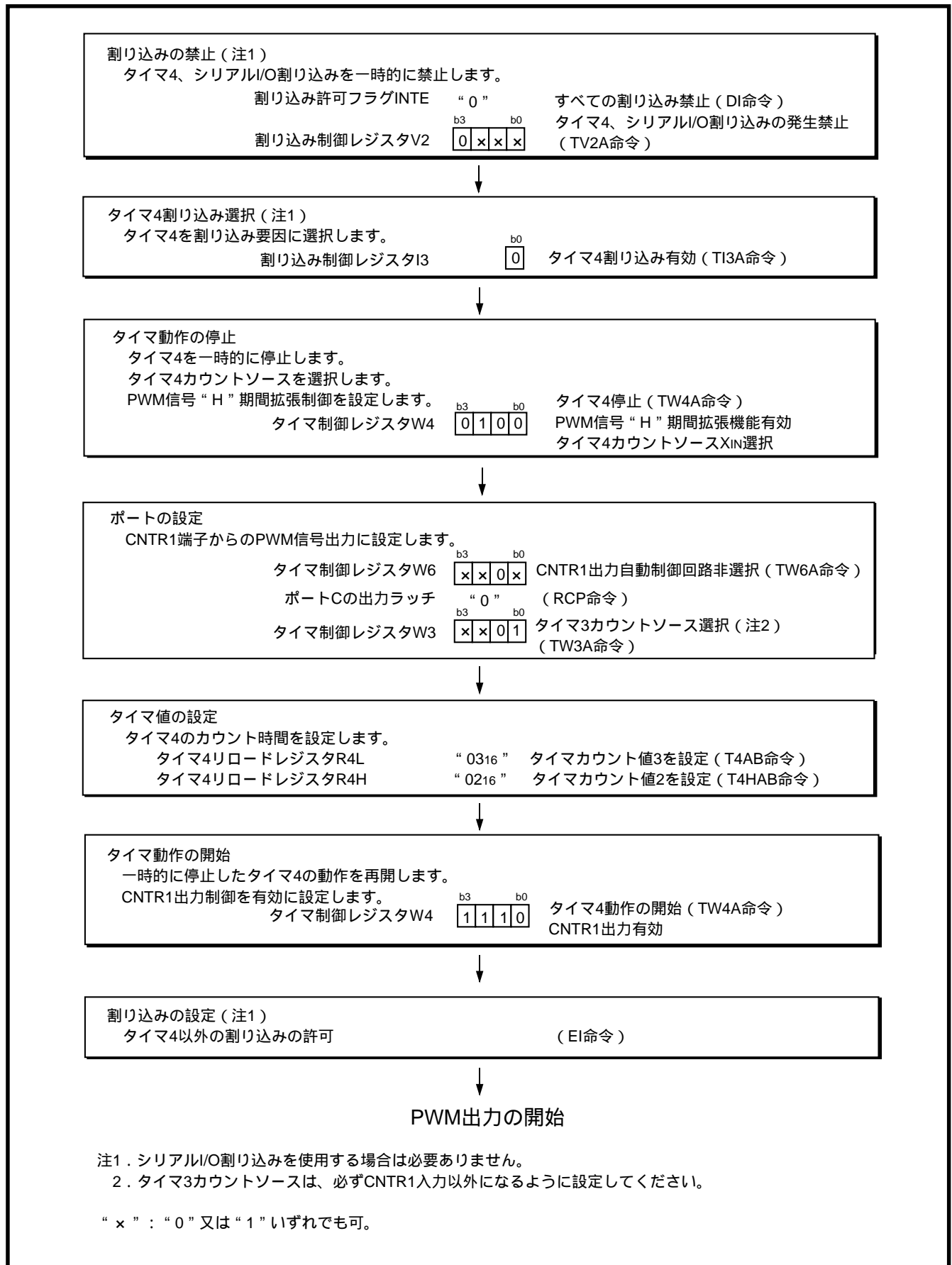


図2.3.8 PWM出力制御の設定例

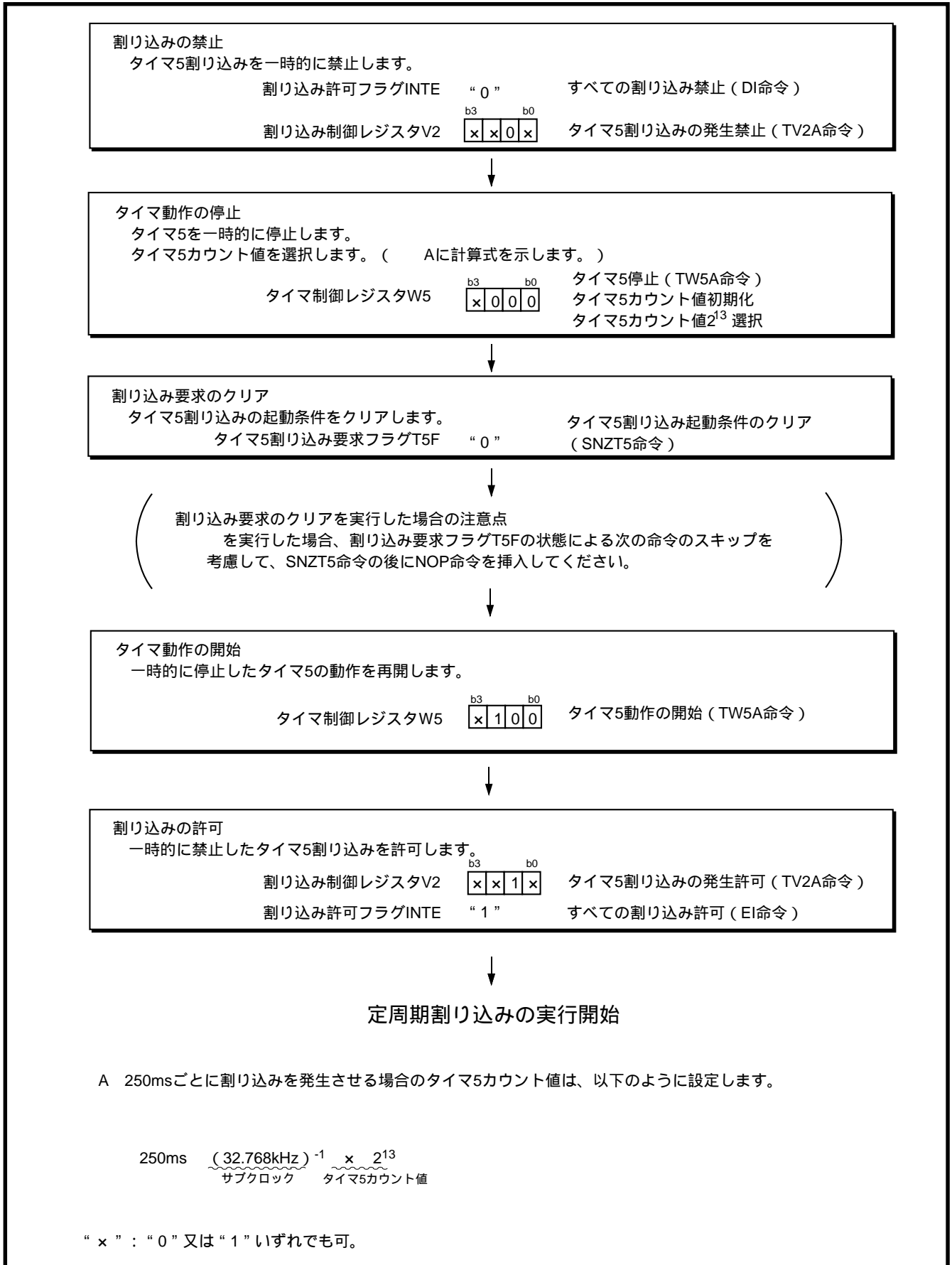


図2.3.9 タイマ5による定周期カウンタの設定例

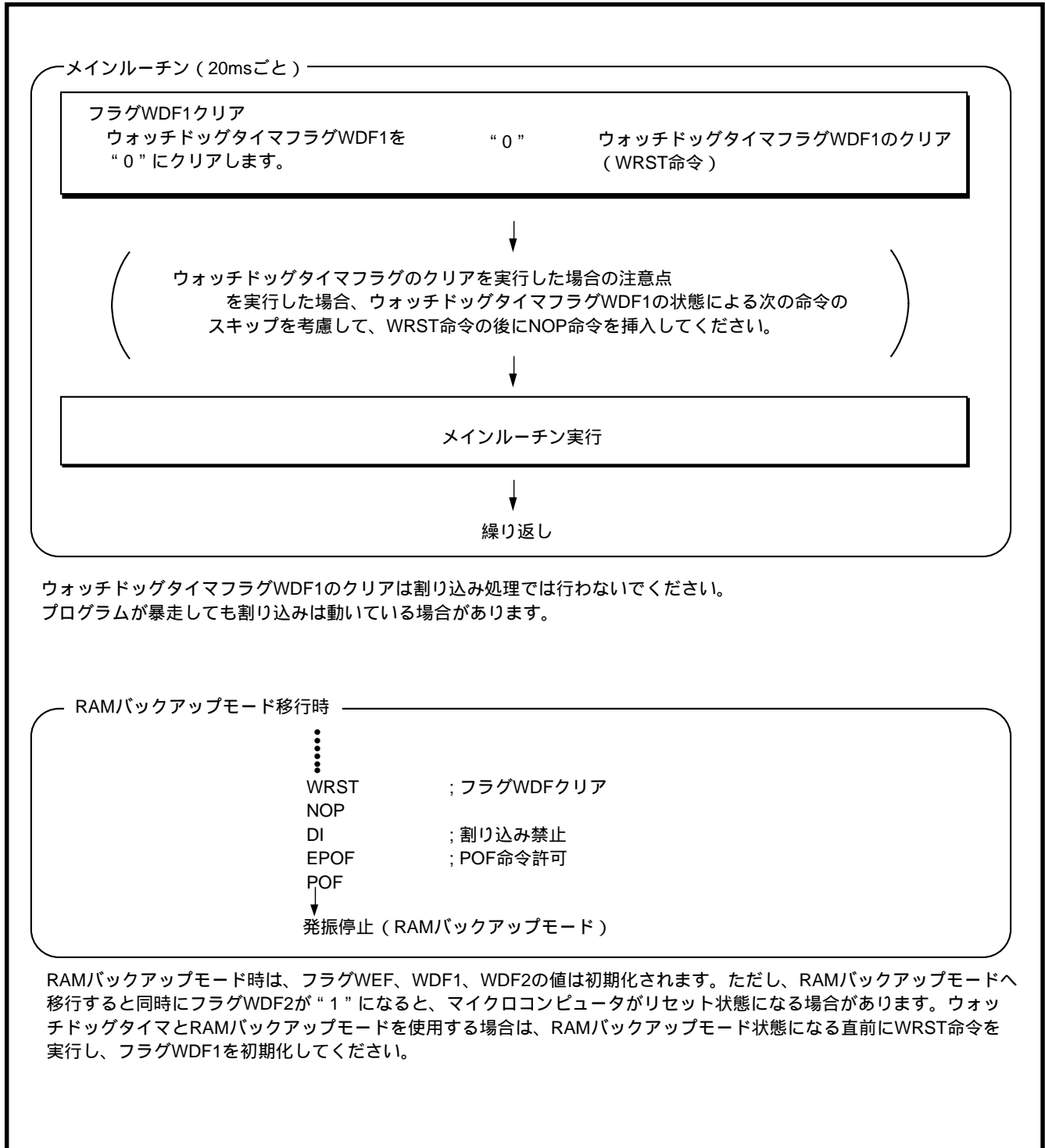


図2.3.10 ウォッチドッグタイマ使用例

2.3.4 使用上の注意事項

(1) プリスケーラ

プリスケーラからデータを読み出す場合は、まずプリスケーラのカウンタを停止させた後、データ読み出し命令(TABPS)を実行してください。

プリスケーラにデータを書き込む場合は、まずプリスケーラのカウンタを停止させた後、データ書き込み命令(TPSAB)を実行してください。

(2) カウントソース

タイマ1、2、3、4、LCのカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(3) カウント値の読み出し

タイマ1、2、3、4からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1、TAB2、TAB3、TAB4)を実行してください。

(4) タイマへのデータ書き込み

タイマ1、2、3、4、LCにデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T2AB、T3AB、T4AB、TLCA)を実行してください。

(5) リロードレジスタR1、R3、R4Hへの書き込み

タイマ1、3、4動作中にタイマリロードレジスタR1、R3、R4Hにデータを書き込む場合は、必ずタイマ1、3、4アンダフローと重ならないタイミングでデータを書き込んでください。

(6) タイマ4

タイマ4を停止させる場合は、必ずタイマ4アンダフローと重ならないタイミングで停止させてください。

PWM信号の“H”期間拡張機能有効を選択している場合は、リロードレジスタR4Hに“01₁₆”以上の値を設定してください。

(7) タイマ5

タイマ5のカウント値を切り替える場合は、まずタイマ5のカウントを停止させた後、カウント値を切り替えてください。

(8) タイマ入出力端子に関する注意

PWM信号をC/CNTR1端子から出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

(9) ウォッチドッグタイマ

ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行し、フラグWEFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。

パワーダウン状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウン状態から復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態にする直前にWRST命令を実行し、ウォッチドッグタイマフラグWDF1を初期化してください。

(10) CNTR0、CNTR1端子に入力するパルス幅

CNTR0、CNTR1端子に入力するパルス幅の規格値については、「3.1 電気的特性」を参照してください。

2.4 A/Dコンバータ

4524グループは10ビット逐次比較方式によるA/D変換器を8チャンネル内蔵しています。また、このA/D変換器は、アナログ入力端子から入力されたアナログ電圧をあらかじめ設定した値と比較できるコンパレータとしても使用できます。

この節では、関連レジスタ、A/D変換器の応用例、及び注意事項について説明します。

図2.4.1に、A/D変換器のブロック図を示します。

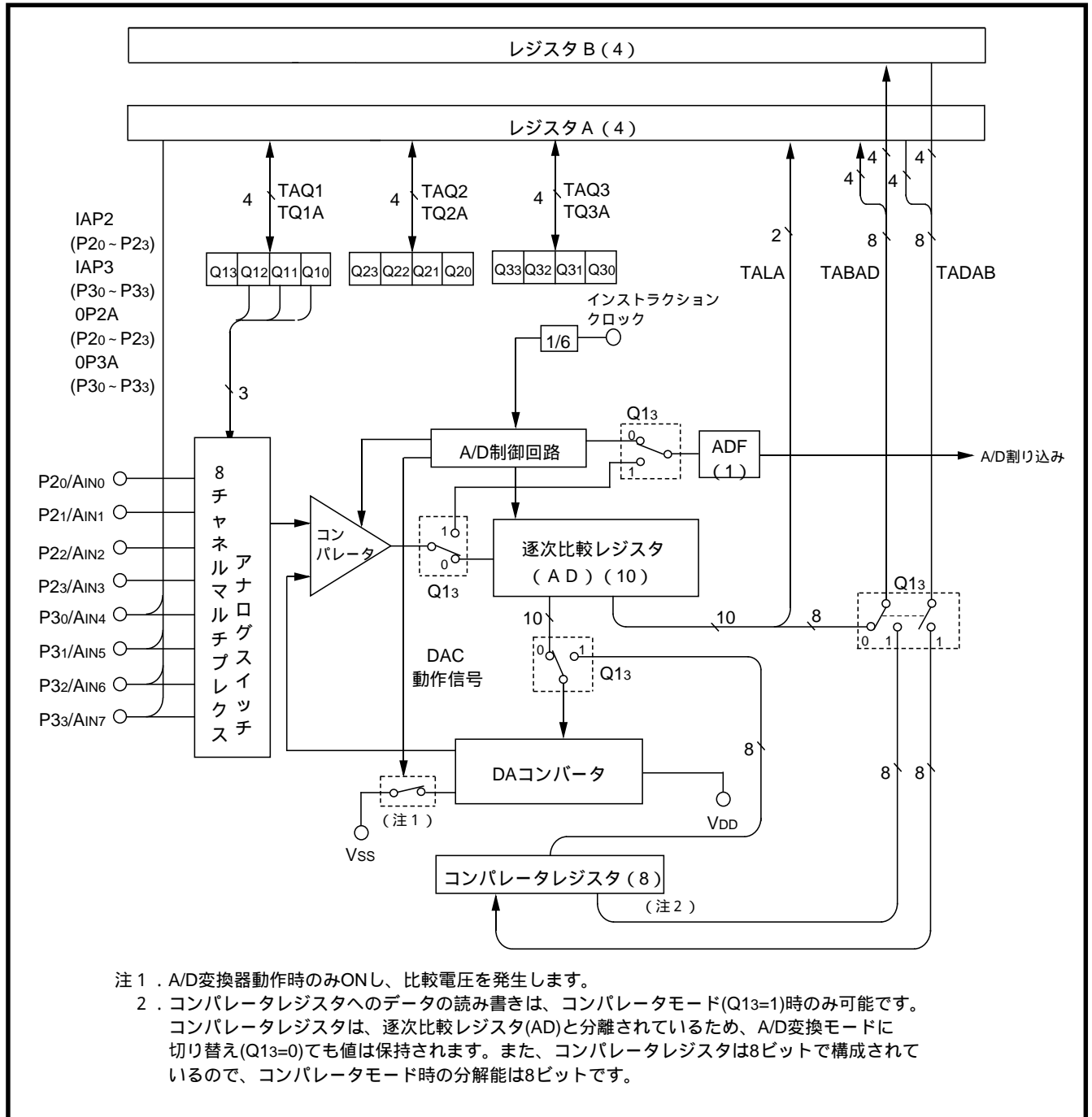


図2.4.1 A/D変換器の構成

2.4.1 関連レジスタ

(1) 割り込み制御レジスタV2

表2.4.1にレジスタV2のビット構成を示します。
 レジスタV2への書き込みは、レジスタAに値を設定した後、TV2A命令で行います。
 また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表2.4.1 割り込み制御レジスタV2のビット構成

割り込み制御レジスタV2		リセット時：00002	パワーダウン時 ：00002	R/W
V23	タイマ4、シリアルI/O 割り込み可能ビット（注2）	0	発生禁止（SNZT4、SNZSI命令有効）	
		1	発生可能（SNZT4、SNZSI命令無効）（注3）	
V22	A/D 割り込み可能ビット	0	発生禁止（SNZAD命令有効）	
		1	発生可能（SNZAD命令無効）（注3）	
V21	タイマ5 割り込み可能ビット	0	発生禁止（SNZT5命令有効）	
		1	発生可能（SNZT5命令無効）（注3）	
V20	タイマ3 割り込み可能ビット	0	発生禁止（SNZT3命令有効）	
		1	発生可能（SNZT3命令無効）（注3）	

- 注1.“R”は読み出し可、“W”は書き込み可を表します。
 2. タイマ4、シリアルI/O割り込み要因選択ビット(I30)でタイマ4割り込み又はシリアルI/O割り込みのいずれかを選択できます。
 3. これらの命令は、NOP命令と等価となります。
 4. ■■■■：A/D変換設定時使用しないビットです。

(2) A/D制御レジスタQ1

表2.4.2にレジスタQ1のビット構成を示します。
 レジスタQ1への書き込みは、レジスタAに値を設定した後、TQ1A命令で行います。
 また、TAQ1命令でレジスタQ1の内容をレジスタAに転送できます。

表2.4.2 A/D制御レジスタQ1のビット構成

A/D制御レジスタQ1		リセット時：00002	パワーダウン時 ：状態保持	R/W
Q13	A/D動作モード選択ビット	0	A/D変換モード	
		1	コンパレータモード	
Q12	アナログ入力端子選択ビット	Q12Q11Q10		アナログ入力端子
		000	AIN0	
001		AIN1		
Q11		010	AIN2	
		011	AIN3	
Q10		100	AIN4	
		101	AIN5	
		110	AIN6	
		111	AIN7	

- 注1.“R”は読み出し可、“W”は書き込み可を表します。
 2. AIN0～AIN7の選択は、レジスタQ2、Q3を設定した後に、レジスタQ1で行ってください。

(3) A/D制御レジスタQ2

表2.4.3にレジスタQ2のビット構成を示します。
 レジスタQ2への書き込みは、レジスタAに値を設定した後、TQ2A命令で行います。
 また、TAQ2命令でレジスタQ2の内容をレジスタAに転送できます。

表2.4.3 A/D制御レジスタQ2のビット構成

A/D制御レジスタQ2		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
Q23	P23/AIN3端子機能選択ビット	0	P23		
		1	AIN3		
Q22	P22/AIN2端子機能選択ビット	0	P22		
		1	AIN2		
Q21	P21/AIN1端子機能選択ビット	0	P21		
		1	AIN1		
Q20	P20/AIN0端子機能選択ビット	0	P20		
		1	AIN0		

注．“ R ”は読み出し可、“ W ”は書き込み可を表します。

(4) A/D制御レジスタQ3

表2.4.4にレジスタQ3のビット構成を示します。
 レジスタQ3への書き込みは、レジスタAに値を設定した後、TQ3A命令で行います。
 また、TAQ3命令でレジスタQ3の内容をレジスタAに転送できます。

表2.4.4 A/D制御レジスタQ3のビット構成

A/D制御レジスタQ3		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
Q33	P33/AIN7端子機能選択ビット	0	P33		
		1	AIN7		
Q32	P32/AIN6端子機能選択ビット	0	P32		
		1	AIN6		
Q31	P31/AIN5端子機能選択ビット	0	P31		
		1	AIN5		
Q30	P30/AIN4端子機能選択ビット	0	P30		
		1	AIN4		

注．“ R ”は読み出し可、“ W ”は書き込み可を表します。

2.4.2 A/Dコンバータの応用例

(1) A/D変換モード

ポイント：センサからのアナログ入力信号をデジタル値に変換できます。
 仕様：センサからのアナログ電圧値を10ビット逐次変換方式にてデジタル値に変換します。
 アナログ入力端子はAIN0端子を使用します。
 A/D変換モード設定例を図2.4.2に示します。

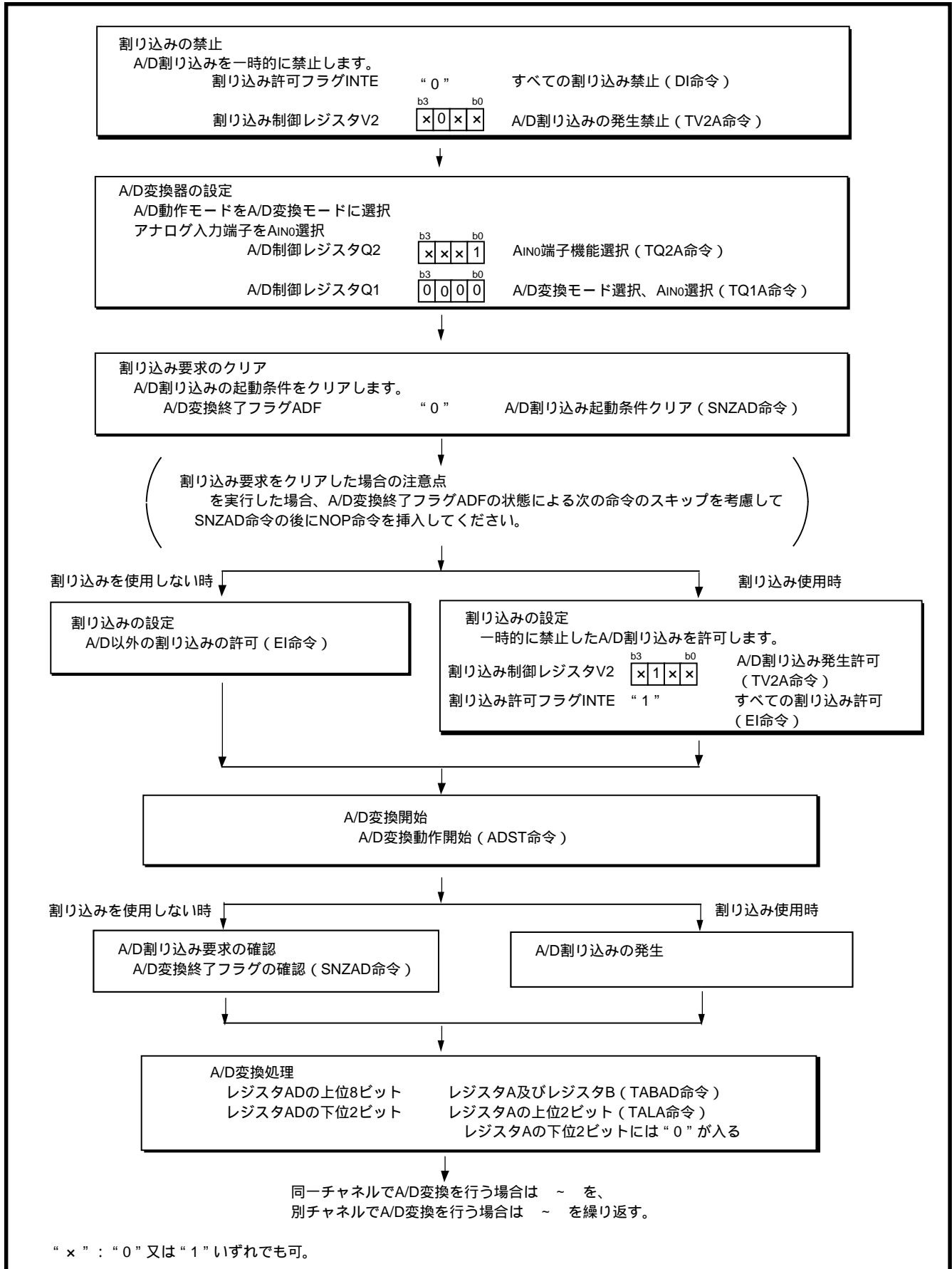


図2.4.2 A/D変換モードの設定例

2.4.3 使用上の注意事項

(1) A/D変換中に再度A/D変換を開始する場合

A/D変換を実行中にADST命令を実行し、A/D変換を再度行った場合、それまで入力していたデータを破棄して最初からA/D変換を行います。

(2) A/D変換器について1

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。

そのため、信号源インピーダンスの高い回路を用いてアナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。

十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に0.01 μ F ~ 1 μ Fのコンデンサを付加してください。

図2.4.3にアナログ入力外付け回路例1を示します。

また、やむをえずアナログ入力に定格値以上の電圧がかかる場合は、図2.4.4のアナログ入力外付け回路例2に示すように、定格内の電圧になるように外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。

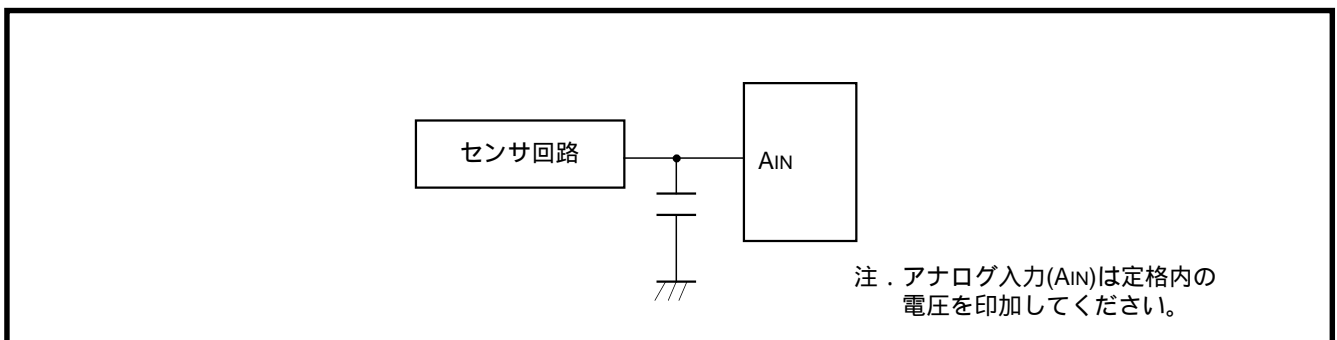


図2.4.3 アナログ入力外付け回路例1

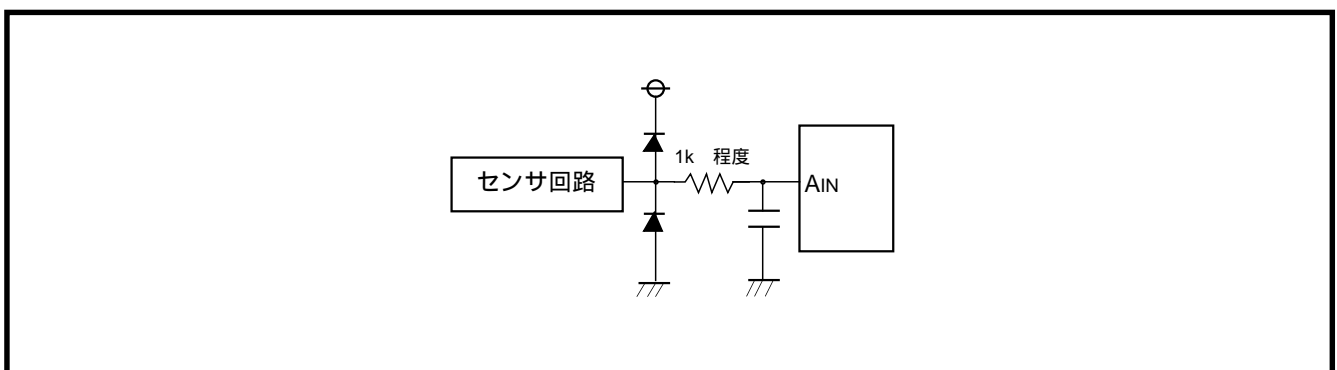


図2.4.4 アナログ入力外付け回路例2

(3) A/D変換器について2

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

(4) A/D変換器について3

レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更する場合は次の点に注意してください。

コンパレータモードからA/D変換モードに変更するためにはレジスタV2のビット2が[※]0(図2.4.5)になっている必要があります。

コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあるため、レジスタQ1のビット3に値を設定した後、SNZAD命令を実行しA/D変換終了フラグ(ADF)を[※]0にクリアしてください。

⋮

レジスタV2のビット2を[※]0に設定する・・・

A/D変換器の動作モードをコンパレータからA/D変換モードに変更

SNZAD命令実行によりA/D変換終了フラグ(ADF)を[※]0にクリアする

SNZAD命令実行によるスキップを考慮しNOP命令を挿入する

⋮

図2.4.5 A/D変換器の動作モードプログラム例

(5) A/D変換器をコンパレータモードで使用する場合

アナログ入力電圧と比較電圧を比較した結果、アナログ入力電圧が比較電圧よりも高い場合は、A/D変換終了フラグ(ADF)が[※]0のまま[※]1にセットされません。

この場合、A/D割り込みの使用を許可しているときでもA/D割り込みは発生しませんので、コンパレータ動作が完了するまでの時間を考慮し、ソフトウェアで判定してください。

コンパレータ動作は、8マシンサイクルで終了します。

(6) アナログ入力端子の選択に関する注意

P20/AIN0 ~ P23/AIN3端子、P30/AIN4 ~ P33/AIN7端子は、端子機能をアナログ入力に選択している場合、ポートP2、P3の入出力はできません。

(7) TALA命令

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。

(8) A/D変換器使用時の推奨動作条件

A/D変換器を使用する場合と使用しない場合では、電源電圧、システムクロック周波数の推奨動作条件が異なります。

表2.4.5にA/D変換器使用時の推奨動作条件を示します。

表2.4.5 推奨動作条件(A/D変換器使用時)

項目	条件	規格値			単位
		最小	標準	最大	
システムクロック周波数 (セラミック共振時)	VDD=4.0 ~ 5.5V (スルーモード)	0.1		6.0	MHz
	VDD=2.7 ~ 5.5V (スルーモード)	0.1		4.4	
	VDD=2.7 ~ 5.5V (2分周モード)	0.1		3.0	
	VDD=2.7 ~ 5.5V (4分周モード)	0.1		1.5	
	VDD=2.7 ~ 5.5V (8分周モード)	0.1		0.7	
システムクロック周波数 (RC発振時) (注)	VDD=2.7 ~ 5.5V (スルーモード)	0.1		4.4	MHz
	VDD=2.7 ~ 5.5V (2分周モード)	0.1		2.2	
	VDD=2.7 ~ 5.5V (4分周モード)	0.1		1.1	
	VDD=2.7 ~ 5.5V (8分周モード)	0.1		0.5	
システムクロック周波数 (セラミック共振回路選択、 外部クロック入力時)	VDD=4.0 ~ 5.5V (スルーモード)	0.1		4.8	MHz
	VDD=2.7 ~ 5.5V (スルーモード)	0.1		3.2	
	VDD=2.7 ~ 5.5V (2分周モード)	0.1		2.4	
	VDD=2.7 ~ 5.5V (4分周モード)	0.1		1.2	
	VDD=2.7 ~ 5.5V (8分周モード)	0.1		0.6	

注．RC発振時の発振周波数は外付けの抵抗、コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値、容量値)を設定してください。

2.5 シリアルI/O

4524グループは、クロック同期形で8ビットデータを直列に送信及び受信できるシリアルI/Oを内蔵しています。

この節では、シリアルI/O機能、関連レジスタ、シリアルI/Oの応用例、及び注意事項について説明します。

2.5.1 シリアルI/O

シリアルI/Oは、シリアルI/OレジスタSI、シリアルI/O制御レジスタJ1、シリアルI/O送受信終了フラグSIOF、シリアルI/Oカウンタで構成されています。

クロック同期形は、クロック制御回路によって発生したシフトクロックを同期クロックとして使用します。データの送受信動作は、このシフトクロックに同期して行われます。

送信動作では、シフトクロックの立ち下がりに同期してSOUT端子から1ビットずつデータが送信されます。

受信動作では、シフトクロックの立ち上がりに同期してSIN端子から1ビットずつデータが受信されます。

注. 4524グループは、LSBファーストでのみ送受信が行えます。

シフトクロック

同期クロックとして4524グループの内部クロックを使用する場合、送受信動作の開始によりシフトクロックパルスが8回SCK端子から出力されます。また、同期クロックとして外部クロックを使用する場合、SCK端子から入力されたクロックをシフトクロックとします。

データ転送速度(ボーレート)

データの転送速度は内部クロックを使用する場合、インストラクションクロックの2分周、4分周、又は8分周を選択できます。

外部クロックを使用する場合は、SCK端子に入力されるクロック周波数がデータ転送速度になります。

図2.5.1にシリアルI/Oのブロック図を示します。

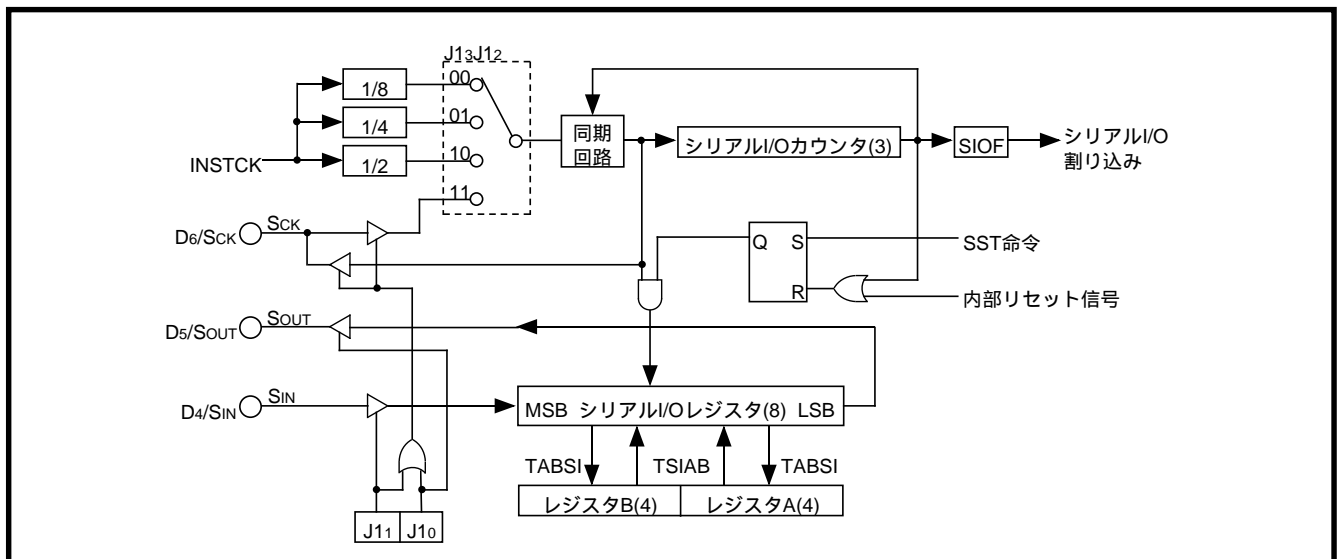


図2.5.1 シリアルI/Oの構成

2.5.2 関連レジスタ

(1) シリアルI/OレジスタSI

レジスタSIは、8ビットのデータ転送用直並列変換レジスタです。

レジスタSIへの書き込みは、レジスタAに下位4ビット、レジスタBに上位4ビットの値を設定した後、TSIAB命令で行います。

また、TABSI命令でレジスタSIの下位4ビットの内容をレジスタA、上位4ビットの内容をレジスタBに転送できます。

(2) シリアルI/O送受信終了フラグSIOF

フラグSIOFは、シリアルデータ送信、受信終了時に“1”がセットされます。

フラグSIOFの状態はSNZSI命令により確認できます。

(3) 割り込み制御レジスタV2

表2.5.1にレジスタV2のビット構成を示します。

レジスタV2への書き込みは、レジスタAに値を設定した後、TV2A命令で行います。

また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表2.5.1 割り込み制御レジスタV2のビット構成

割り込み制御レジスタV2		リセット時 : 0000 ₂	パワーダウン時 : 0000 ₂	R/W
V23	タイマ4、シリアルI/O 割り込み可能ビット (注2)	0	発生禁止 (SNZT4、SNZSI命令有効)	
		1	発生可能 (SNZT4、SNZSI命令無効) (注3)	
V22	A/D 割り込み可能ビット	0	発生禁止 (SNZAD命令有効)	
		1	発生可能 (SNZAD命令無効) (注3)	
V21	タイマ5 割り込み可能ビット	0	発生禁止 (SNZT5命令有効)	
		1	発生可能 (SNZT5命令無効) (注3)	
V20	タイマ3 割り込み可能ビット	0	発生禁止 (SNZT3命令有効)	
		1	発生可能 (SNZT3命令無効) (注3)	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. タイマ4、シリアルI/O割り込み要因選択ビット(I30)でタイマ4割り込み又はシリアルI/O割り込みのいずれかを選択できます。
3. これらの命令は、NOP命令と等価となります。
4. ■■■■ : シリアルI/Oの設定時使用しないビットです。

(4) 割り込み制御レジスタI3

表2.5.2にレジスタI3のビット構成を示します。

レジスタI3への書き込みは、レジスタAに値を設定した後、TI3A命令で行います。

また、TAI3命令でレジスタI3の内容をレジスタAに転送できます。

表2.5.2 割り込み制御レジスタI3のビット構成

割り込み制御レジスタI3		リセット時 : 02	パワーダウン時 : 状態保持	R/W
I30	タイマ4、シリアルI/O	0	タイマ4割り込み有効、シリアルI/O割り込み無効	
	割り込み要因選択ビット	1	シリアルI/O割り込み有効、タイマ4割り込み無効	

注：“R”は読み出し可、“W”は書き込み可を表します。

(5) シリアルI/O制御レジスタJ1

表2.5.3にレジスタJ1のビット構成を示します。

レジスタJ1への書き込みは、レジスタAに値を設定した後、TJ1A命令で行います。

また、TAJ1命令でレジスタJ1の内容をレジスタAに転送できます。

表2.5.3 シリアルI/O制御レジスタJ1のビット構成

シリアルI/O制御レジスタJ1		リセット時 : 00002	パワーダウン時 : 状態保持	R/W
J13	シリアルI/O 同期クロック選択ビット	J13J12	同期クロック	
		00	インストラクションクロック(INSTCK)の8分周信号	
		01	インストラクションクロック(INSTCK)の4分周信号	
		10	インストラクションクロック(INSTCK)の2分周信号	
J12		11	外部クロック (SCK入力)	
J11	シリアルI/O ポート機能選択ビット	J11J10	ポート機能	
		00	D6、D5、D4選択 / SCK、SOUT、SIN非選択	
		01	SCK、SOUT、D4選択 / D6、D5、SIN非選択	
J10		10	SCK、D5、SIN選択 / D6、SOUT、D4非選択	
		11	SCK、SOUT、SIN選択 / D6、D5、D4非選択	

注：“R”は読み出し可、“W”は書き込み可を表します。

2.5.3 動作説明

図2.5.2にシリアルI/O接続例、図2.5.3に送受信時のシリアルI/Oレジスタの状態、図2.5.4にシリアルI/O転送タイミングを示します。

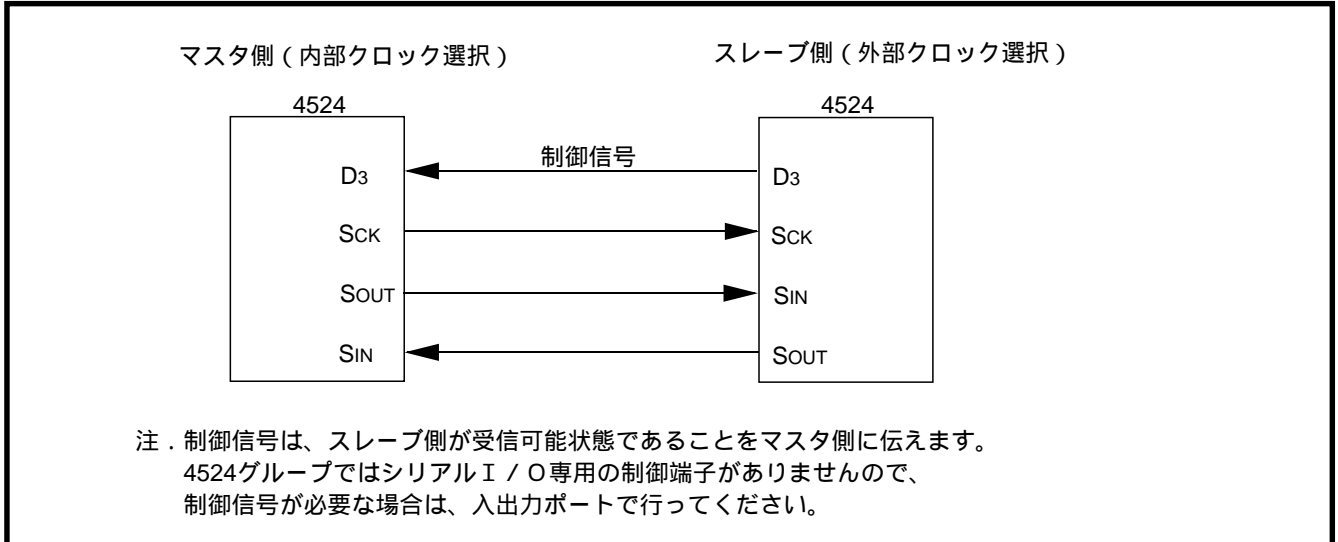


図2.5.2 シリアルI/O接続例

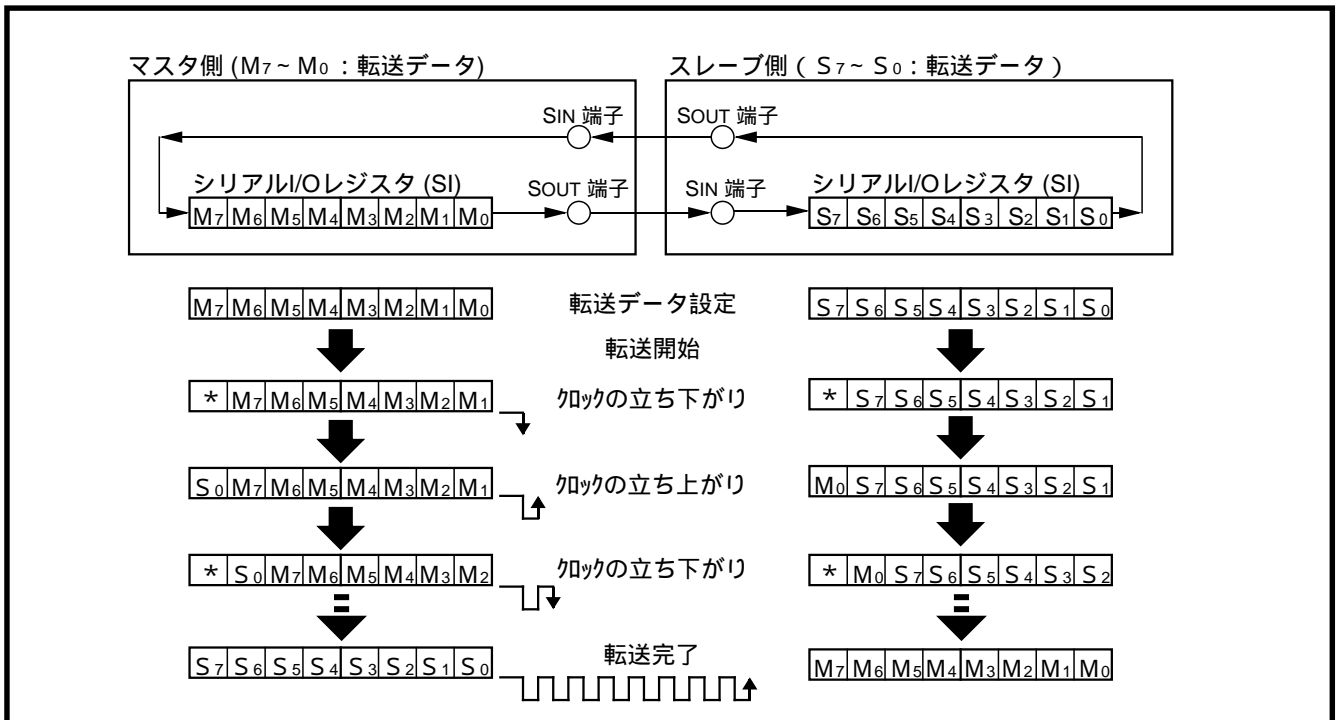


図2.5.3 送受信時のシリアルI/Oレジスタの状態

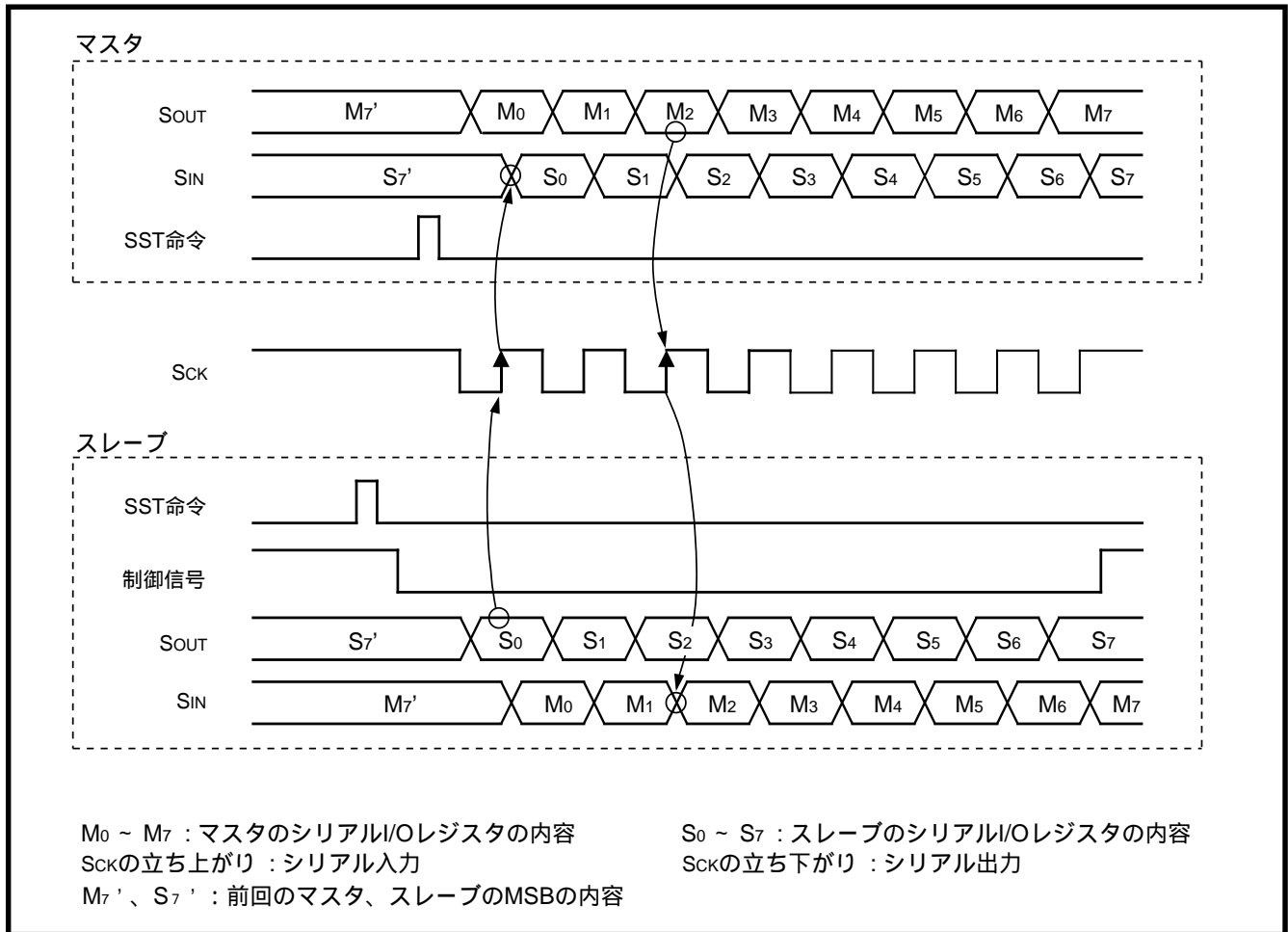


図2.5.4 シリアルI/O転送タイミング

図2.5.2で示した接続例をもとにマスタ側、及びスレーブ側の全二重通信動作を示します。

(1) マスタ側の送受信動作

TSIAB命令により送信データをシリアルI/Oレジスタ(SI)に書き込みます。

TSIAB命令を実行すると、シリアルI/Oレジスタ(SI)の下位にレジスタAの内容が、上位にレジスタBの内容が転送されます。

スレーブ側のマイクロコンピュータが送受信可能状態になることを確認します。

図2.5.2の接続例では、制御信号の入力レベルが“L”レベルであることを確認します。

SST命令でシリアル転送を開始します。

SST命令を実行すると、シリアルI/O送受信終了フラグ(SIOF)は“0”になります。

シフトクロックの立ち下がりに同期してSOUT端子から送信データが出力されます。

送信データは、シリアルI/Oレジスタ(SI)の最下位ビットから1ビットずつ出力され、1ビット出力されるたびにシリアルI/Oレジスタ(SI)の内容は最下位ビット方向へ1ビットシフトされます。

シフトクロックの立ち上がりに同期してSIN端子から受信データが入力されます。

受信データは、1ビットずつシリアルI/Oレジスタ(SI)の最上位ビットに入力されます。

送信データ、受信データの転送が完了すると、シリアルI/O割り込みの割り込み要求が発生し、フラグSIOFが“1”になります。

受信データは、シリアルI/O割り込み処理ルーチン内でデータを読み込むか、割り込みを使用しないでSNZSI命令で送受信終了を判断してデータを読み込みます。

また、フラグSIOFは、割り込みが発生したとき、又はSNZSI命令を実行したときに“0”になります。

注1. 多数のデータを連続して送受信する場合は、～を繰り返します。

2. マスタ側では、送信動作を開始後、制御信号が“H”になる前に、再び送信を開始しない設定にしてください。

(2) スレーブ側の送受信動作

TSIAB命令により送信データをシリアルI/Oレジスタ(SI)に書き込みます。

TSIAB命令を実行すると、シリアルI/Oレジスタ(SI)の下位にレジスタAの内容が、上位にレジスタBの内容が転送されます。このとき、SCK端子が“H”レベルになっている必要があります。

SST命令でシリアル転送を開始します。ただし、図2.5.2では外部クロックを選択しているので、クロックが入力されるまで転送を開始しません。

また、SST命令を実行すると、シリアルI/O送受信終了フラグ(SIOF)は“0”になります。

マスタ側のマイクロコンピュータに送受信可能状態であることを知らせます。

図2.5.2の接続例では、制御信号を“L”レベルを出力します。

シフトクロックの立ち下がりに同期してSOUT端子から送信データが出力されます。

送信データは、シリアルI/Oレジスタ(SI)の最下位ビットから1ビットずつ出力され、1ビット出力されるたびにシリアルI/Oレジスタ(SI)の内容は最下位ビット方向へ1ビットシフトされます。

シフトクロックの立ち上がりに同期してSIN端子から受信データが入力されます。

受信データは、1ビットずつシリアルI/Oレジスタ(SI)の最上位ビットに入力されます。

送信データ、受信データの転送が完了すると、シリアルI/O割り込みの割り込み要求が発生し、フラグSIOFが“1”になります。

受信データは、シリアルI/O割り込み処理ルーチン内でデータを読み込むか、割り込みを使用しないでSNZSI命令で送受信終了を判断してデータを読み込みます。

また、フラグSIOFは、割り込みが発生したとき、又はSNZSI命令を実行したときに“0”になります。

受信終了後に制御信号を“H”出力にします。

注、多数のデータを連続して送受信する場合は、～を繰り返します。

2.5.4 シリアルI/Oの応用例

(1) シリアルI/O

ポイント：周辺ICと通信ができます。

仕様：図2.5.2のシリアルI/O接続例とします。

図2.5.5にマスタ側シリアルI/Oの割り込みを使用しない設定例、図2.5.6にスレーブ側シリアルI/Oの割り込みを使用する設定例を示します。

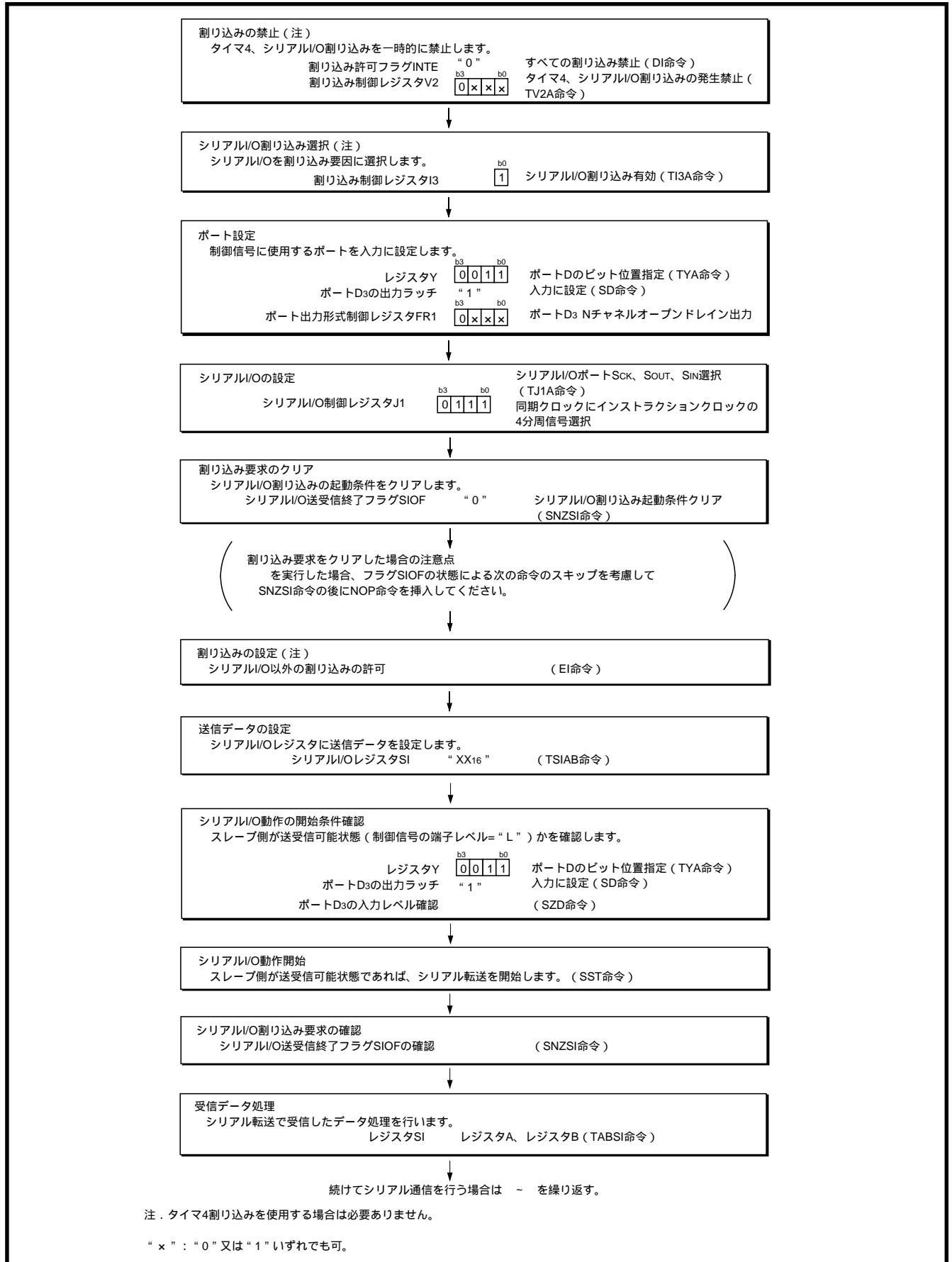


図2.5.5 マスタ側シリアルI/Oの割り込みを使用しない設定例

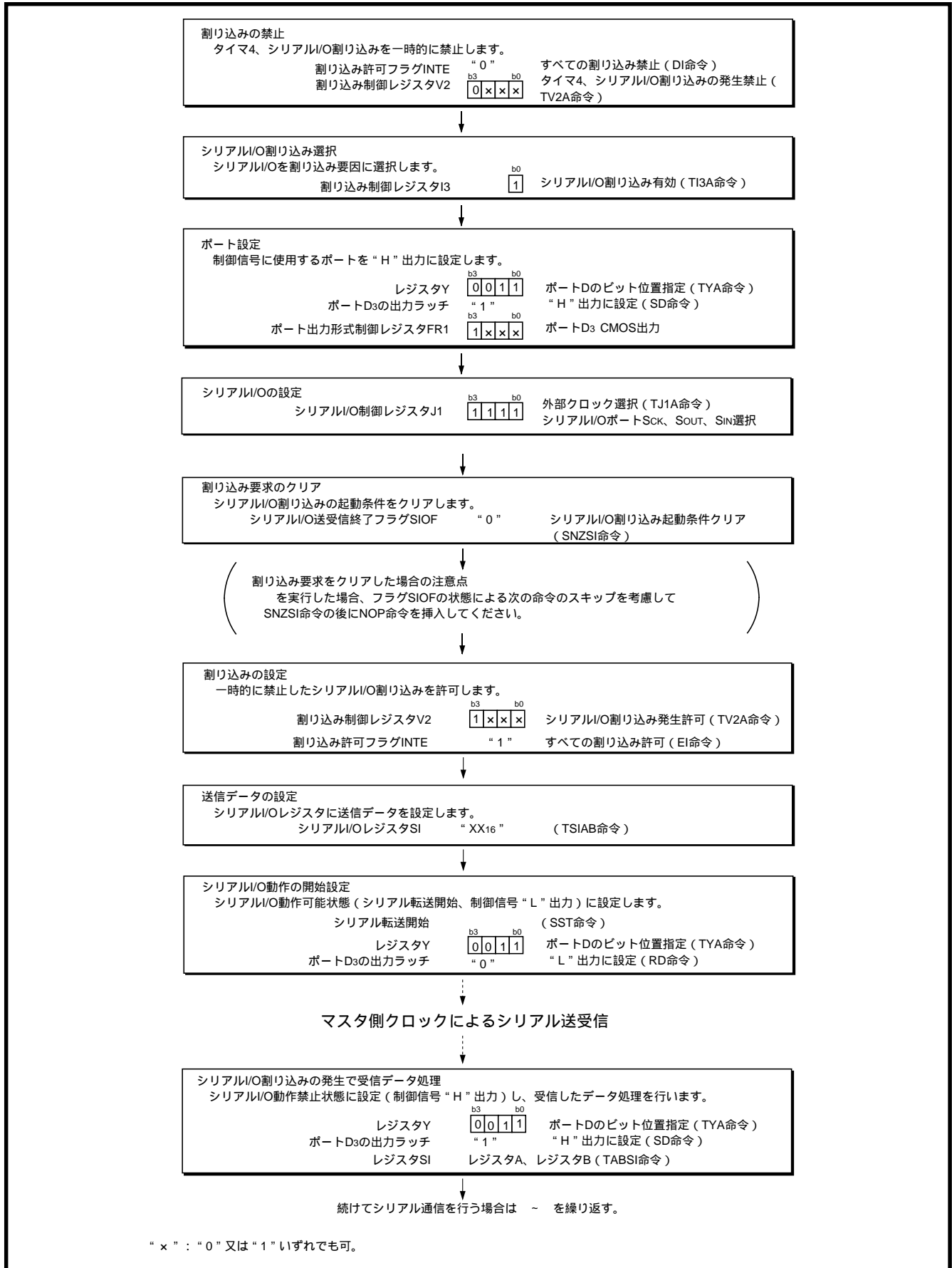


図2.5.6 スレーブ側シリアルI/Oの割り込みを使用する設定例

2.5.5 使用上の注意事項

(1) 同期クロックとして外部クロックを使用する場合

同期クロックとして外部クロックを選択した場合、内部でクロックの制御は行われません。

シリアル転送は外部からクロックが入力される限り継続します。外部からのクロックが9回以上入力され、シリアル転送が継続した場合、受信したデータがそのまま送信データとして転送されますので、外部でクロックの制御を行ってください。

また、シリアルI/O送受信終了フラグ(SIOF)は、クロックを8回カウントした時点で“1”にセットされます。

外部クロック端子への初期入力レベルは、必ず“H”レベルにしてください。

シリアルI/Oを外部クロックで使用する場合の規格値については、「3.1 電気的特性」を参照してください。

2.6 液晶表示機能

4524グループは、LCD(液晶表示画素)コントローラ/ドライバを内蔵しています。

LCDの駆動には、コモン信号出力端子4本とセグメント信号出力端子20本が使用でき、最大80セグメント(1/4デューティ、1/3バイアス選択時)の表示制御ができます。

この節では、動作説明、関連レジスタ、表示機能の応用例、及び注意事項について説明します。

2.6.1 動作説明

(1) LCDデューティ及びバイアス制御

LCD表示方式であるデューティとバイアスの組合せを表2.6.1に示します。使用するLCDパネルに適應する表示方式を、LCD制御レジスタL1のビット0、1で選択してください。

LCD電源用入力端子(VLC1~VLC3)はSEG0~SEG2端子と兼用です。SEG0~SEG2を選択した場合、LCD電源用に内部電源VDDを使用します(レジスタL2で選択)。

表2.6.1 デューティと最大画素数

デューティ	バイアス	最大画素数	使用COM端子
1/2	1/2	40セグメント	COM0、COM1(注)
1/3	1/3	60セグメント	COM0~COM2(注)
1/4	1/3	80セグメント	COM0~COM3

注．使用しないCOM端子は開放してください。

(2) LCD駆動タイミング

LCD駆動タイミングを生成するLCDクロックの周波数(F)及びフレーム周波数は下記の通りです。また、図2.6.1にLCDクロック制御回路の構成を示します。

プリスケアラ出力(ORCLK)をタイマLCのカウンタソースに設定した場合(W62="1")

$$F = \text{ORCLK} \times \frac{1}{\text{LC}+1} \times \frac{1}{2}$$

タイマ5のビット4(T54)をタイマLCのカウンタソースに設定した場合(W62="0")

$$F = T54 \times \frac{1}{\text{LC}+1} \times \frac{1}{2}$$

各表示方式におけるフレーム周波数は、次式で求めることができます。

$$\text{フレーム周波数} = \frac{F}{n} \text{ (Hz)} \quad \text{フレーム周期} = \frac{n}{F} \text{ (s)}$$

[F : LCDクロック周波数 1/n : デューティ]

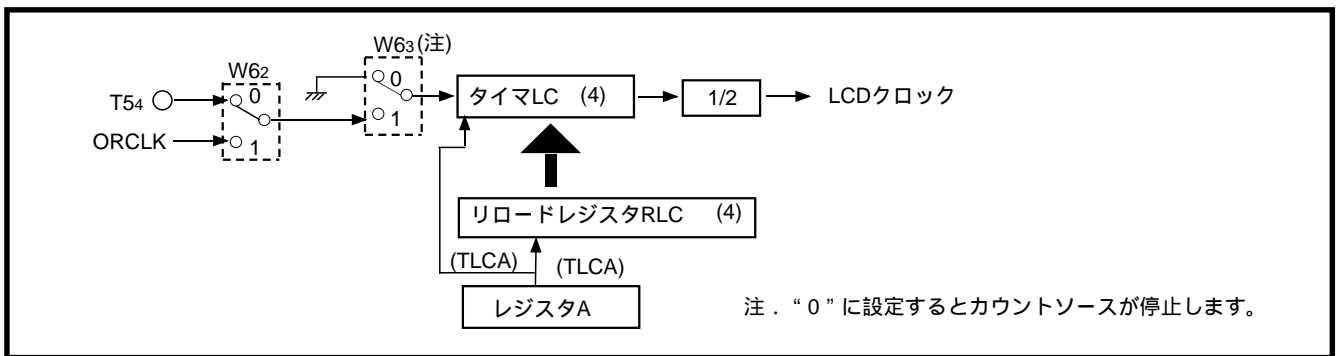


図2.6.1 LCDクロック制御回路の構成

(3) LCD表示方法

4524グループは、液晶表示に対応した領域としてLCD表示用RAMを用意しています。このLCD表示用RAMに“1”を書き込むと、そのビットに対応する表示画素が自動的に点灯します。図2.6.2にLCD表示用RAMマップを示します。

Z	1											
X	12				13				14			
Y	ビット											
	3	2	1	0	3	2	1	0	3	2	1	0
8	SEG0	SEG0	SEG0	SEG0	SEG8	SEG8	SEG8	SEG8	SEG16	SEG16	SEG16	SEG16
9	SEG1	SEG1	SEG1	SEG1	SEG9	SEG9	SEG9	SEG9	SEG17	SEG17	SEG17	SEG17
10	SEG2	SEG2	SEG2	SEG2	SEG10	SEG10	SEG10	SEG10	SEG18	SEG18	SEG18	SEG18
11	SEG3	SEG3	SEG3	SEG3	SEG11	SEG11	SEG11	SEG11	SEG19	SEG19	SEG19	SEG19
12	SEG4	SEG4	SEG4	SEG4	SEG12	SEG12	SEG12	SEG12				
13	SEG5	SEG5	SEG5	SEG5	SEG13	SEG13	SEG13	SEG13				
14	SEG6	SEG6	SEG6	SEG6	SEG14	SEG14	SEG14	SEG14				
15	SEG7	SEG7	SEG7	SEG7	SEG15	SEG15	SEG15	SEG15				
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

注. — は、LCD表示用RAMはありません。

図2.6.2 LCD表示用RAMマップ

2.6.2 関連レジスタ

(1) LCD制御レジスタL1

表2.6.2にレジスタL1のビット構成を示します。
 レジスタL1への書き込みは、レジスタAに値を設定した後、TL1A命令で行います。
 また、TAL1命令でレジスタL1の内容をレジスタAに転送できます。

表2.6.2 LCD制御レジスタL1のビット構成

LCD制御レジスタL1		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
L13	LCD電源用 内部分割抵抗選択ビット（注2）	0	2r × 3、2r × 2		
		1	r × 3、r × 2		
L12	LCD制御ビット	0	消灯		
		1	点灯		
L11	LCD デューティ、バイアス選択ビット	L11L10	デューティ	バイアス	
		00	使用禁止		
L10		01	1/2	1/2	
		10	1/3	1/3	
		11	1/4	1/3	

注1．“R”は読み出し可、“W”は書き込み可を表します。
 2．1/3バイアス選択時は“×3”、1/2バイアス選択時は“×2”の抵抗を使用します。

(2) LCD制御レジスタL2

表2.6.3にレジスタL2のビット構成を示します。
 レジスタL2への書き込みは、レジスタAに値を設定した後、TL2A命令で行います。

表2.6.3 LCD制御レジスタL2のビット構成

LCD制御レジスタL2		リセット時：1111 ₂		パワーダウン時 ：状態保持	W
L23	VLC3/SEG0端子機能選択ビット（注2）	0	SEG0		
		1	VLC3		
L22	VLC2/SEG1端子機能選択ビット（注3）	0	SEG1		
		1	VLC2		
L21	VLC1/SEG2端子機能選択ビット（注3）	0	SEG2		
		1	VLC1		
L20	LCD電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

注1．“W”は書き込み可を表します。
 2．SEG0端子を選択した場合は、VLC3は内部でVDDに接続されます。
 3．SEG1、SEG2端子を選択した場合は、必ず内部分割抵抗を使用してください。

(3) タイマ制御レジスタW6

表2.6.4にレジスタW6のビット構成を示します。

レジスタW6への書き込みは、レジスタAに値を設定した後、TW6A命令で行います。

また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

表2.6.4 タイマ制御レジスタW6のビット構成

タイマ制御レジスタW6		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
W63	タイマLC制御ビット	0	停止（状態保持）	
		1	動作	
W62	タイマLCカウントソース選択ビット	0	タイマ5のビット4（T54）	
		1	プリスケアラ出力（ORCLK）	
W61	CNTR1出力自動制御回路選択ビット	0	CNTR1出力自動制御回路非選択	
		1	CNTR1出力自動制御回路選択	
W60	D7/CNTR0端子機能選択ビット（注2）	0	D7入出力 / CNTR0入力	
		1	CNTR0入出力 / D7入力	

注1．“R”は読み出し可、“W”は書き込み可を表します。

2．CNTR0入力は、タイマ1カウントソースにCNTR0入力を選択している場合にのみ有効です。

3．■：LCDの設定時使用しないビットです。

2.6.3 液晶表示機能の応用例

(1) LCD表示

LCD表示機能は最大4コモン×20セグメントの80画素を表示できます。

ポイント：LCD表示機能を使用してLCDを容易に表示できます。

仕様：LCD表示パネル例のパネルを用いて1/4デューティ1/3バイアスのLCDを表示します。
 LCDのクロック源をタイマ5のビット4、タイマ5のクロック源をサブクロックf(XCIN)
 =32.768kHzとしてフレーム周波数を85.3Hzに設定します。

図2.6.3にLCD表示パネル例、図2.6.4にセグメント割り付け例、図2.6.5に表示用RAM配置例、図2.6.6に初期設定例を示します。

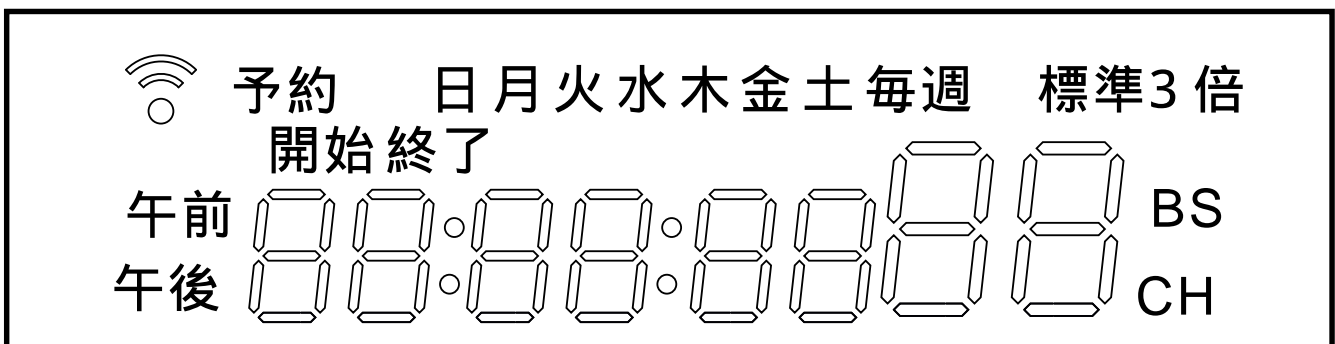


図2.6.3 LCD表示パネル例

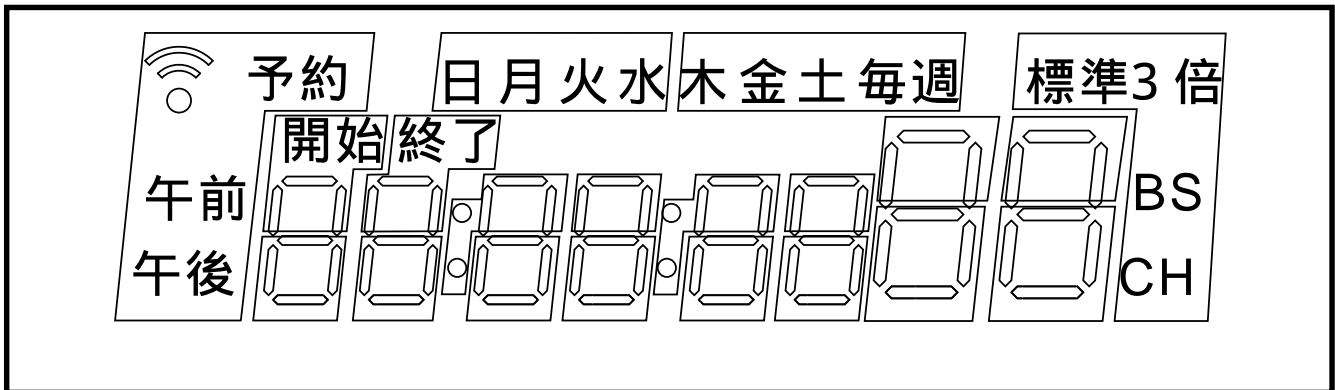


図2.6.4 セグメント割り付け例

Z	12				13				14			
X	3	2	1	0	3	2	1	0	3	2	1	0
8	-g	-e	-d	-c	開始	-f	-b	-a	水	火	月	日
9	-g	-e	-d	-c	終了	-f	-b	-a	毎週	土	金	木
10	-g	-f	-d	-c	:	-f	-b	-a	BS	CH	3倍	標準
11	-g	-e	-d	-c	未使用	-f	-b	-a	Wi-Fi	午後	午前	予約
12	-g	-e	-d	-c	:	-f	-b	-a				
13	-g	-e	-d	-c	未使用	-f	-b	-a				
14	-g	-e	-d	-c	未使用	-f	-b	-a				
15	-g	-e	-d	-c	未使用	-f	-b	-a				
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

注. — は、LCD表示用RAMはありません。

図2.6.5 LCD表示用RAM配置例

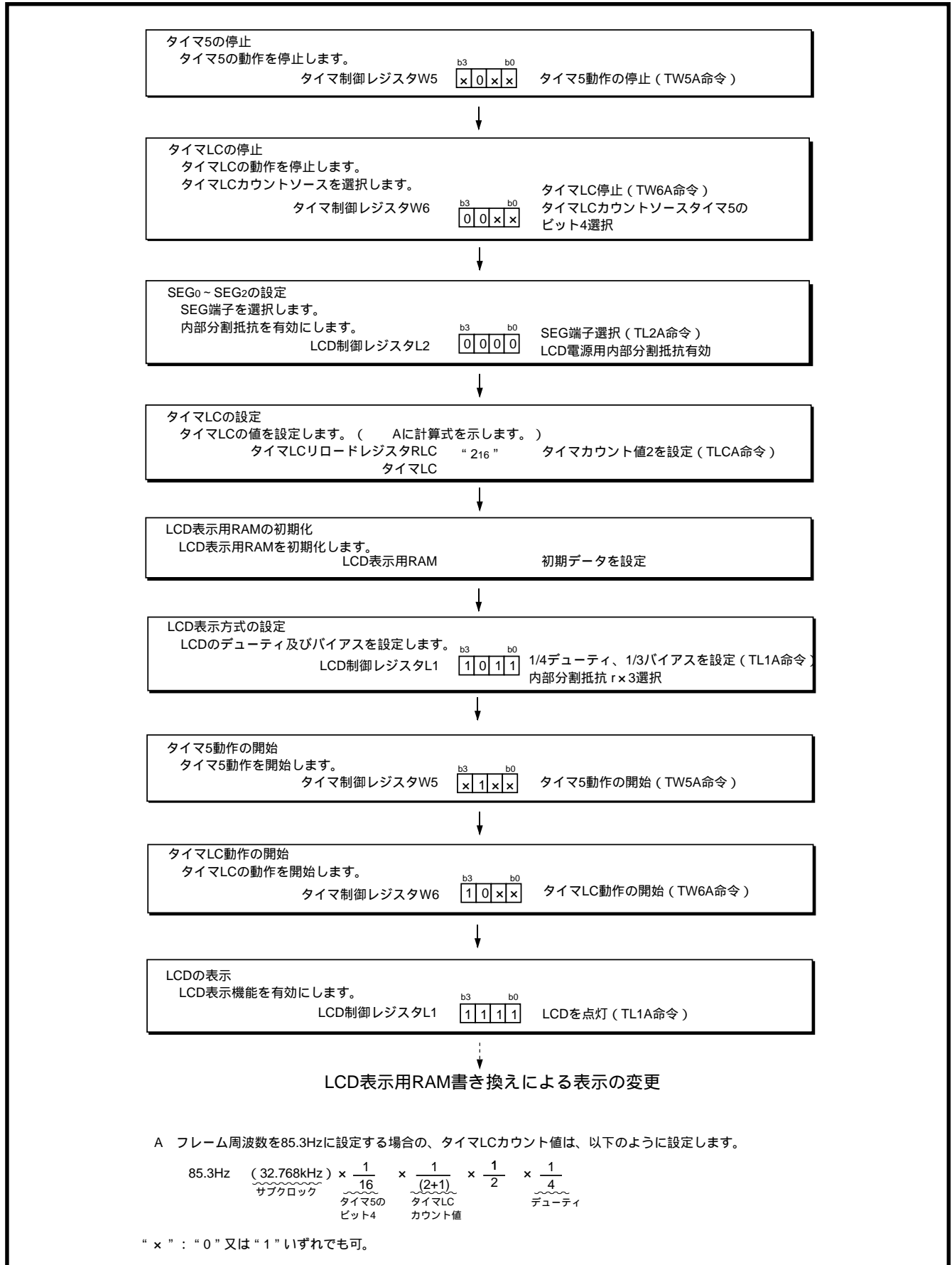


図2.6.6 初期設定例

2.6.4 使用上の注意事項

(1) タイマLCカウントソース

タイマLCのカウントソースを切り替える場合は、まず、タイマLCのカウントを停止させた後、カウントソースを切り替えて下さい。

(2) タイマLCへのデータ書き込み

タイマLCにデータを書き込む場合は、まず、タイマLCのカウントを停止させた後、データ書き込み命令(TLCA)を実行して下さい。

(3) VLC3/SEG0端子

VLC3端子機能を選択した場合は、外部からVLC3 VDDの電圧を印加して下さい。

(4) VLC2/SEG1端子、VLC1/SEG2端子

VLC2、VLC1端子機能を選択し、内部分割抵抗を使用しない場合
外部から0 VLC1 VLC2 VLC3の電圧をそれぞれ印加して下さい。
1/2パイアス使用時は、VLC2端子とVLC1端子を短絡して下さい。
SEG1、SEG2端子機能を選択した場合
必ず内部分割抵抗を使用して下さい。

(5) LCD電源回路

LCD電源回路は、使用するLCDパネルに適応する構成を選択し、表示状態を実システム上で評価して下さい。

2.7 リセット

電源電圧が推奨動作条件の最小規格値以上であり、RESET端子に1マシンサイクル以上“L”レベルを印加すると、4524グループはリセット状態になります。その後、RESET端子に“H”レベルを印加すると、内部の発振安定時間(オンチップオシレータ(内部発振器)クロックを5400~5424回カウント)経過後に、0ページの0番地からプログラムが開始します。図2.7.2にリセット解除後の発振安定時間を示します。

2.7.1 リセット回路

4524グループでは電圧低下検出回路が内蔵されています。

(1) パワーオンリセット

4524グループでは電源投入時に自動リセット(パワーオンリセット)をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100μs以下に設定してください。

立ち上がり時間が100μsを越える場合には、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

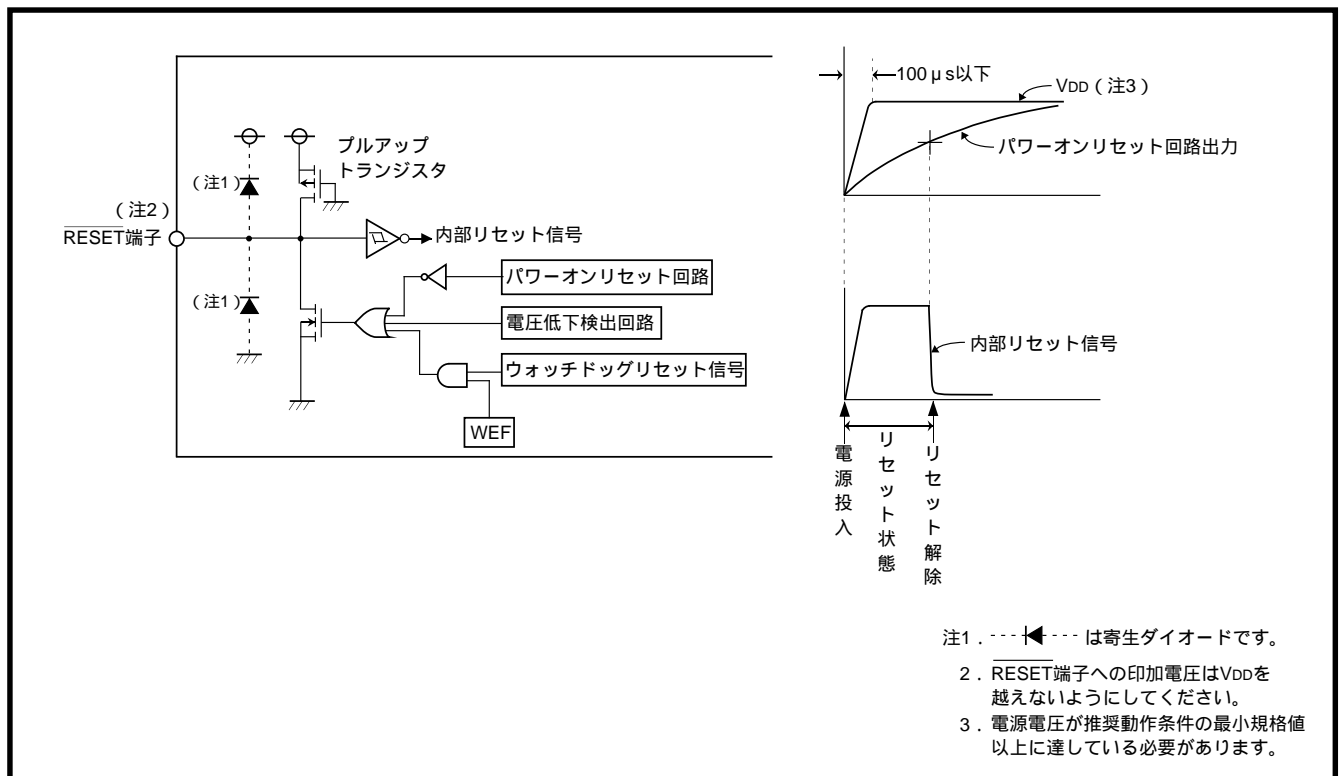


図2.7.1 RESET端子周辺の構成とパワーオンリセット動作

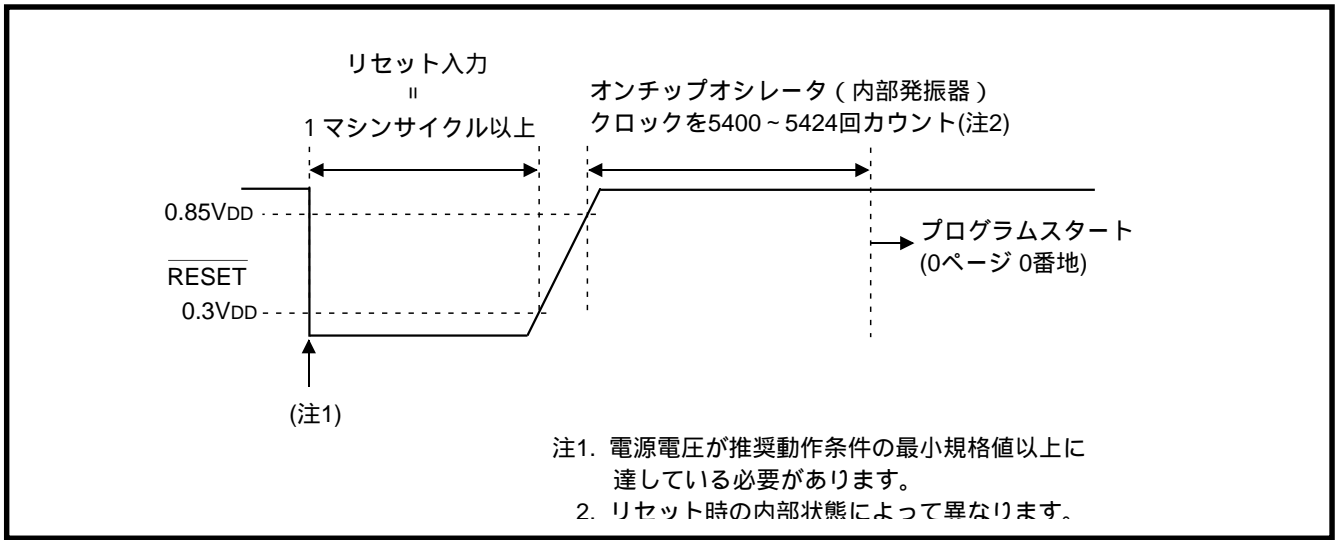


図2.7.2 リセット解除後の発振安定時間

2.7.2 リセット時の内部状態

図2.7.3、図2.7.4にリセット時の内部状態を示します。

図2.7.3、図2.7.4以外のタイマ、レジスタ、フラグ、RAM等の内容は不定になるため、初期値を設定してください。

● プログラムカウンタ (PC)	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
0ページの0番地がセットされます。		
● 割り込み許可フラグ (INTE)	0	(割り込み禁止)
● パワーダウンフラグ (P)	0	
● 外部0割り込み要求フラグ (EXF0)	0	
● 外部1割り込み要求フラグ (EXF1)	0	
● 割り込み制御レジスタ V1	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ V2	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ I1	0 0 0 0	
● 割り込み制御レジスタ I2	0 0 0 0	
● 割り込み制御レジスタ I3	0	
● タイマ 1 割り込み要求フラグ (T1F)	0	
● タイマ 2 割り込み要求フラグ (T2F)	0	
● タイマ 3 割り込み要求フラグ (T3F)	0	
● タイマ 4 割り込み要求フラグ (T4F)	0	
● タイマ 5 割り込み要求フラグ (T5F)	0	
● ウォッチドッグタイマフラグ (WDF1,WDF2)	0	
● ウォッチドッグタイマイネーブルフラグ (WEF)	1	
● タイマ制御レジスタ PA	0	(プリスケアラ停止)
● タイマ制御レジスタ W1	0 0 0 0	(タイマ 1停止)
● タイマ制御レジスタ W2	0 0 0 0	(タイマ 2停止)
● タイマ制御レジスタ W3	0 0 0 0	(タイマ 3停止)
● タイマ制御レジスタ W4	0 0 0 0	(タイマ 4停止)
● タイマ制御レジスタ W5	0 0 0 0	(タイマ 5停止)
● タイマ制御レジスタ W6	0 0 0 0	(タイマ LC停止)
● クロック制御レジスタ MR	1 1 0 0	
● シリアルI/O送受信終了フラグ (SIOF)	0	
● シリアルI/Oモードレジスタ J1	0 0 0 0	(外部クロック選択、 シリアルI/Oポート非選択)
● シリアルI/Oレジスタ SI	X X X X X X X X	
● A/D変換終了フラグ (ADF)	0	
● A/D制御レジスタ Q1	0 0 0 0	
● A/D制御レジスタ Q2	0 0 0 0	
● A/D制御レジスタ Q3	0 0 0 0	
● 逐次比較レジスタ AD	X X X X X X X X X X	
● コンパレータレジスタ	X X X X X X X X X X	

“ X ” は不定を表します。

図2.7.3 リセット時の内部状態(1)

● LCD制御レジスタL1	0	0	0	0
● LCD制御レジスタL2	1	1	1	1
● キーオンウェイクアップ制御レジスタ K0	0	0	0	0
● キーオンウェイクアップ制御レジスタ K1	0	0	0	0
● キーオンウェイクアップ制御レジスタ K2	0	0	0	0
● ブルアップ制御レジスタ PU0	0	0	0	0
● ブルアップ制御レジスタ PU1	0	0	0	0
● ポート出力形式制御レジスタFR0	0	0	0	0
● ポート出力形式制御レジスタFR1	0	0	0	0
● ポート出力形式制御レジスタFR2	0	0	0	0
● ポート出力形式制御レジスタFR3	0	0	0	0
● キャリフラグ (CY)	0			
● レジスタ A	0	0	0	0
● レジスタ B	0	0	0	0
● レジスタ D	X	X	X	
● レジスタ E	X	X	X	X
● レジスタ X	0	0	0	0
● レジスタ Y	0	0	0	0
● レジスタ Z	X	X		
● スタックポインタ (SP)	1	1	1	
● 動作源クロック	オンチップオシレータ (動作状態)			
● セラミック発振回路	動作状態			
● RC発振回路	停止状態			
● 水晶発振回路	動作状態			

“ X ” は不定を表します。

図2.7.4 リセット時の内部状態(2)

2.7.3 使用上の注意事項

(1) レジスタ初期化

次のレジスタは、リセット解除後不定です。必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(2) パワーオンリセット

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μs以下に設定してください。立ち上がり時間が100 μsを越える場合には、RESET端子とV_{ss}間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“ L ”レベルが入力されるようにしてください。

推奨動作条件については、「3.1 電気的特性」を参照してください。

2.8 電圧低下検出回路

4524グループは、電源電圧の低下を検出し電源電圧がある一定値以下になると、マイクロコンピュータにシステムリセットをかける電圧低下検出回路を内蔵しています。

図2.8.1に電圧低下検出回路、図2.8.2に電圧低下検出回路の動作波形例、表2.8.1に電圧低下検出回路動作状態を示します。

電圧低下検出回路のリセット電圧については、「3.1 電気的特性」を参照してください。

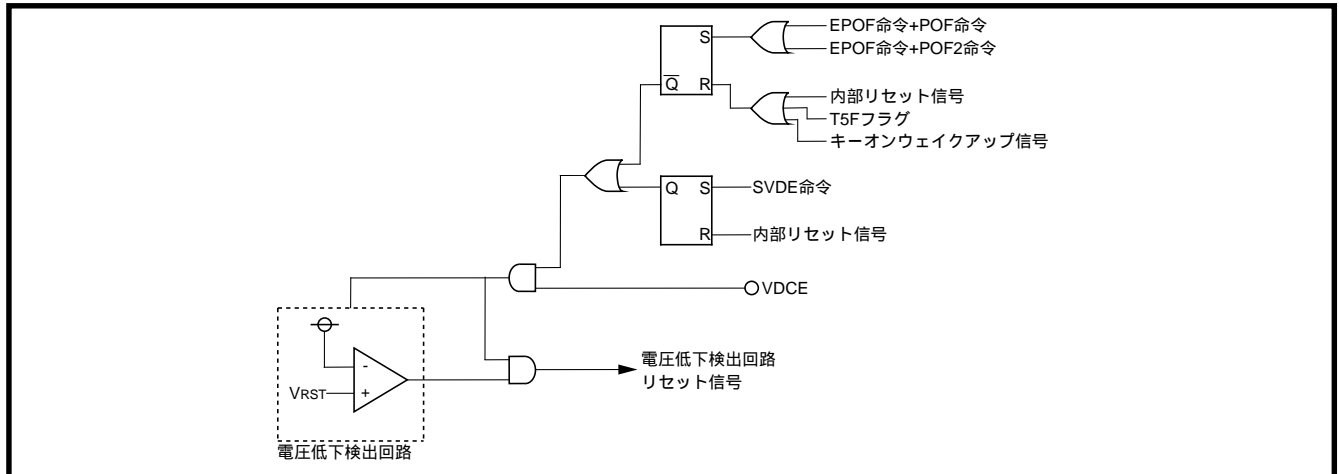


図2.8.1 電圧低下検出回路

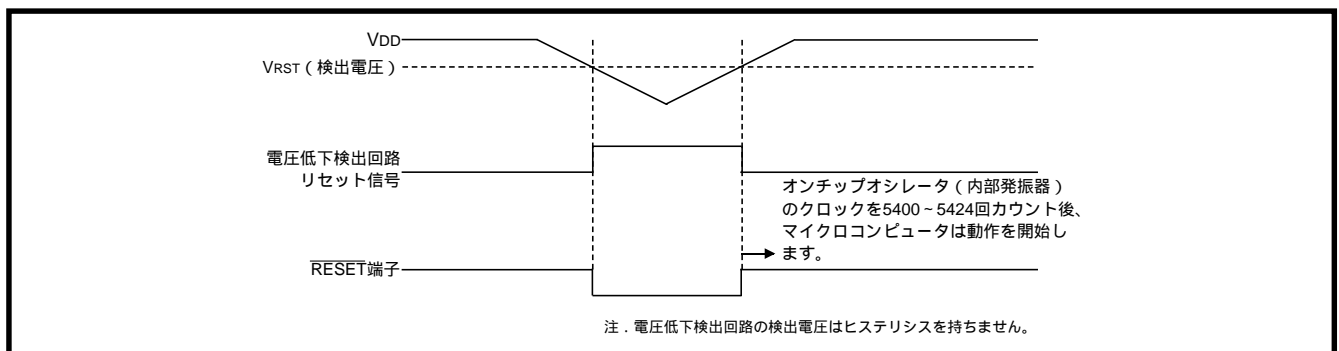


図2.8.2 電圧低下検出回路の動作波形例

表2.8.1 電圧低下検出回路動作状態

VDCE端子	CPU動作時	パワーダウン時 (SVDE命令未実行)	パワーダウン時 (SVDE命令実行)
“L”	x	x	x
“H”		x	

注：“ ”は有効状態、“x”は無効状態を表します。

電圧低下検出回路を使用する場合の注意事項

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限值より低く設定されています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限值以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がVRST以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図2.8.3)。

このような場合は、電源電圧を一旦VRST以下まで低下させ、その後再上昇するようなシステム設計をしてください。

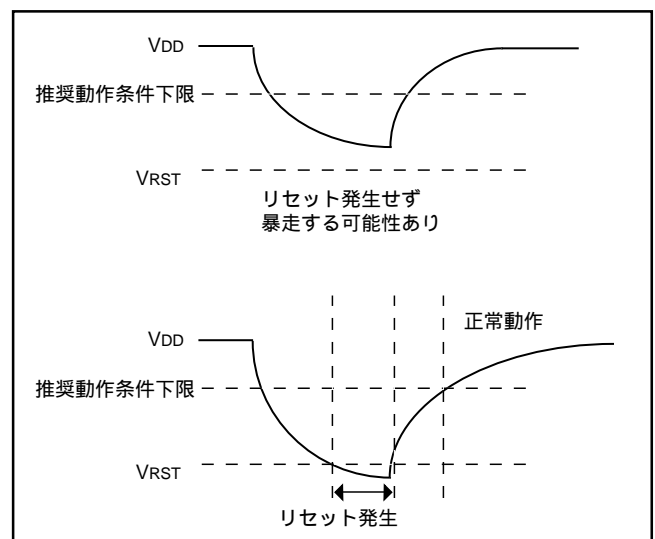


図2.8.3 VDDとVRST

2.9 パワーダウン機能

4524グループには、パワーダウン機能として時計動作モードとRAMバックアップモードがあります。この節では、状態遷移、各パワーダウン機能、関連レジスタ、パワーダウン機能の応用例を示します。図2.9.1に状態遷移図を示します。

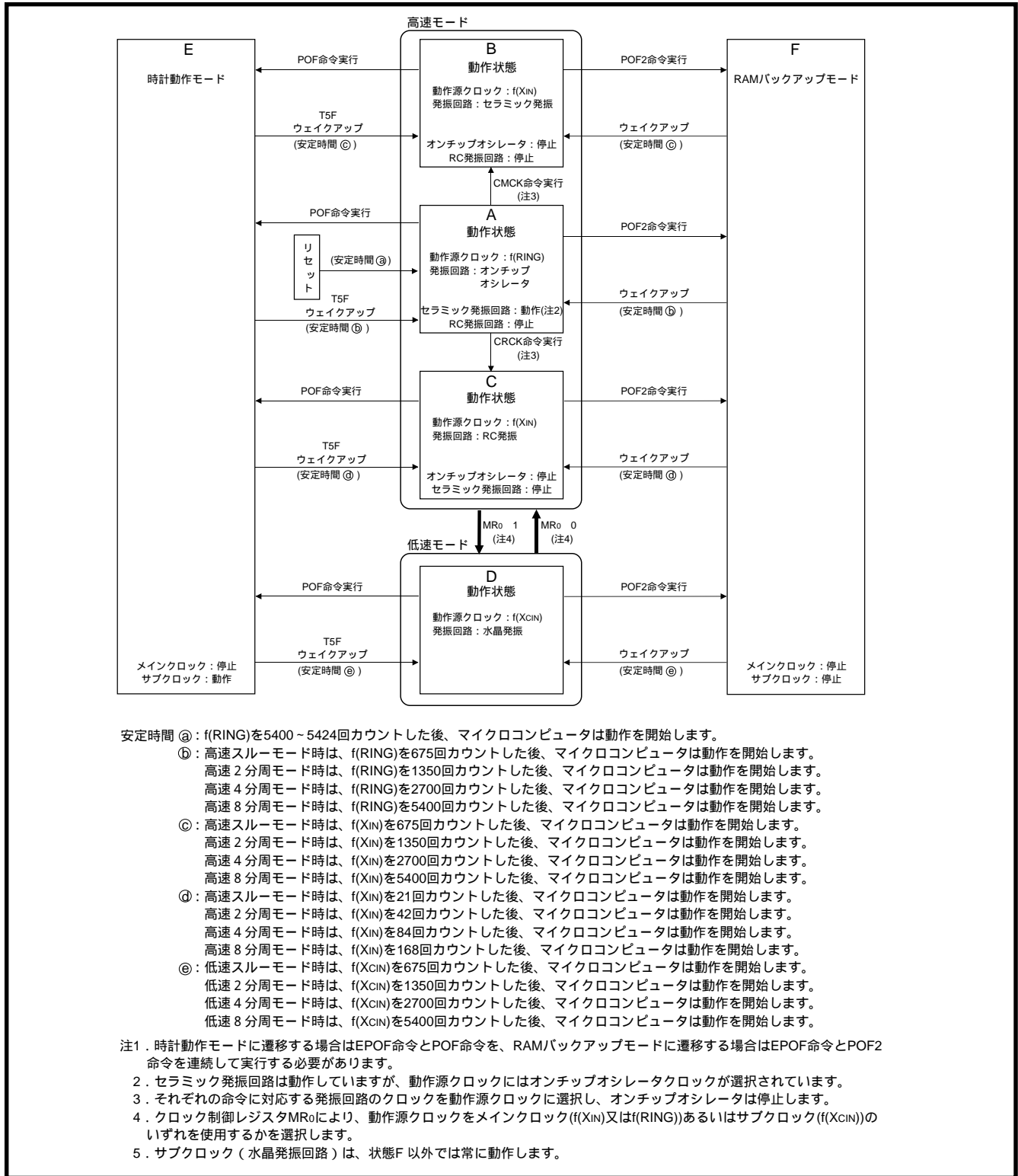


図2.9.1 状態遷移図

2.9.1 パワーダウン機能

EPOF命令実行直後に、POF命令又はPOF2命令を実行すると、パワーダウン状態になります。表2.9.1に各モード時の内部状態を示します。また、表2.9.2にこの状態からの復帰要因を示します。

(1) 時計動作モード

EPOF命令実行直後にPOF命令を実行すると、時計動作モードになります。このモードでは、RAM、リセット回路、サブクロック発振回路(XCIN-XCOUT)、LCD表示、タイマ5の機能及び状態を保持したままメインクロック発振(XIN-XOUT)及びシステムクロックを停止することにより、消費電流を低減できます。

(2) RAMバックアップモード

EPOF命令実行直後にPOF2命令を実行すると、RAMバックアップモードになります。RAM及びリセット回路の機能及び状態を保持したまま発振を停止するため、RAMのデータを失うことなく消費電流を低減できます。

表2.9.1 時計動作モード、RAMバックアップモード内部状態

機 能	時計動作モード	RAMバックアップモード
プログラムカウンタ(PC) スタックポインタ(SP) (注2) キャリフラグ(CY) レジスタ A, B	×	×
RAMの内容		
割り込み制御レジスタ V1, V2	×	×
割り込み制御レジスタ I1 ~ I3		
発振回路の選択		
クロック制御レジスタ MR		
タイマ1 ~ 4機能	(注3)	(注3)
タイマ5機能		
タイマLC機能		(注3)
ウォッチドッグタイマ機能	×(注4)	×(注4)
タイマ制御レジスタ PA, W4	×	×
タイマ制御レジスタ W1 ~ W3, W5, W6		
シリアルI/O機能	×	×
シリアルI/O制御レジスタ J1		
A/D機能	×	×
A/D制御レジスタ Q1 ~ Q3		
LCD表示機能		(注5)
LCD制御レジスタ L1, L2		
電圧低下検出回路	(注6)	(注6)
ポートのレベル	(注7)	(注7)
キーオンウェイクアップ制御レジスタ K0 ~ K2		
プルアップ制御レジスタ PU0, PU1		
ポート出力形式制御レジスタ FR0 ~ FR3		
外部割り込み要求フラグ EXF0, EXF1	×	×
タイマ割り込み要求フラグ T1F ~ T4F	(注3)	(注3)
タイマ割り込み要求フラグ T5F		
A/D変換終了フラグ ADF	×	×
シリアルI/O送信終了フラグ SIOF	×	×
割り込み許可フラグ INTE	×	×
ウォッチドッグタイマフラグ WDF1, WDF2	×(注4)	×(注4)
ウォッチドッグタイマイネーブルフラグ WEF	×(注4)	×(注4)

注1. 表中、“ ”は保持可能、“ × ”は初期化を示します。上記以外のレジスタ及びフラグの内容はパワーダウンモード時には不定ですので、復帰後初期値を設定してください。

2. スタックポインタはスタックレジスタの位置を示すもので、パワーダウンモード時には“ 7 ”に初期化されます。
3. タイマの状態は不定になります。
4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、パワーダウン状態にしてください。
5. LCDは消灯します。
6. 電圧低下検出回路は、VDCE端子が“ H ”の状態でSVDE命令を実行すると、パワーダウン時に有効になります。
7. パワーダウン時、C/CNTR1端子は、“ L ”レベルを出力します。ただし、CNTR入力(W1₁, W1₀=“ 11 ”)を選択している場合は、入力可能状態を保持します(出力ハイインピーダンス)。その他のポートは出力レベルを保持します。

表2.9.2 復帰要因

復帰要因	復帰条件	備考	
外部ウェイクアップ信号	ポート P0 ポート P1	外部からの“L”レベル入力により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。 パワーダウン状態に遷移する前に、キーオンウェイクアップを使用するポートを“H”レベルにしてください。
	INT0 端子 INT1 端子	外部からの“H”レベルあるいは“L”レベル入力、又は立ち上がりエッジ(“L” “H”)あるいは立ち下がりエッジ(“H” “L”)により復帰します。復帰入力時は、割り込み要求フラグ(EXF0、EXF1)は“1”になりません。	パワーダウン状態に遷移する前に、外部の状態に応じて割り込み制御レジスタ I1、I2 で復帰レベル(“H”レベル又は“L”レベル)を、キーオンウェイクアップ制御レジスタ K2 で復帰条件(レベル復帰又はエッジ復帰)を選択してください。
タイマ5 割り込み要求フラグ(T5F)	タイマ5がアンダフローし、割り込み要求フラグ(T5F)が“1”にセットされることにより復帰します。時計動作モード時に使用できます。	パワーダウン状態に遷移する前に、SNZT5命令を実行してタイマ5割り込み要求フラグ(T5F)を“0”にしてください。 タイマ5割り込み要求フラグ(T5F)が“1”のときにパワーダウン状態に遷移すると、復帰条件であると認識してすぐに復帰します。	

(3) スタート条件の識別

パワーダウンからの復帰、リセットからの復帰共に0ページ0番地から実行を開始します。

スタート条件(ウォームスタートかコールドスタート)はSNZP命令でパワーダウンフラグPの状態を調べることによって識別できます。また、ウォームスタート条件(タイマ5か外部ウェイクアップ信号)は、SNZT5命令でタイマ5割り込み要求フラグT5Fの状態を調べることによって識別できます。

表2.9.3に、スタート条件によるフラグの状態、図2.9.2にスタート条件識別方法例を示します。

表2.9.3 スタート条件によるフラグの状態

スタート条件		パワーダウンフラグP	タイマ5割り込み要求フラグT5F
ウォームスタート	外部ウェイクアップ信号入力	1	0
	タイマ5アンダフロー	1	1
コールドスタート (リセット)	RESET端子へのリセットパルス入力	0	0
	ウォッチドッグタイマによるリセット発生 電圧低下検出回路によるリセット発生		

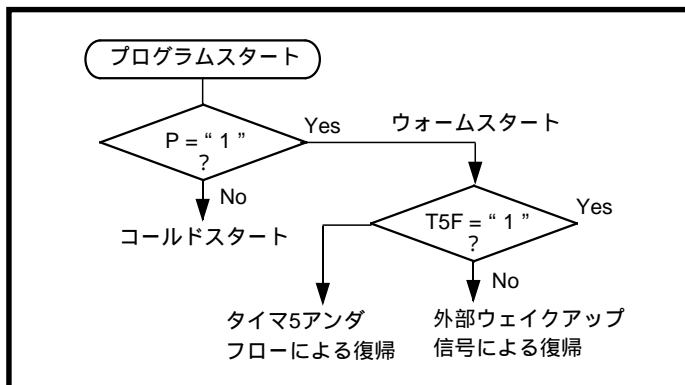


図2.9.2 スタート条件識別方法例

2.9.2 関連レジスタ

(1) 割り込み制御レジスタI1

表2.9.4にレジスタI1のビット構成を示します。

レジスタI1への書き込みは、レジスタAに値を設定した後、TI1A命令で行います。

また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表2.9.4 割り込み制御レジスタI1のビット構成

割り込み制御レジスタI1		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
I13	INT0端子入力制御ビット（注2）	0	INT0端子入力禁止	
		1	INT0端子入力可能	
I12	INT0端子 割り込み有効波形 / 復帰レベル選択ビット （注2）	0	立ち下がり波形 / “L” レベル（SNZIO命令はINT0端子の“L” レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZIO命令はINT0端子の“H” レベル認識）	
I11	INT0端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT0端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

注1．“R”は読み出し可、“W”は書き込み可を表します。

- レジスタI1のビット2、ビット3の内容を変更した際に、外部0割り込み要求フラグ(EXF0)が“1”にセットされる場合があります。レジスタV1のビット0が“0”の状態ではレジスタI1のビット2、ビット3を変更した後、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。
- ：パワーダウン設定時使用しないビットです。

(2) 割り込み制御レジスタI2

表2.9.5にレジスタI2のビット構成を示します。

レジスタI2への書き込みは、レジスタAに値を設定した後、TI2A命令で行います。

また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表2.9.5 割り込み制御レジスタI2のビット構成

割り込み制御レジスタI2		リセット時：0000 ₂	パワーダウン時 ：状態保持	R/W
I23	INT1端子入力制御ビット（注2）	0	INT1端子入力禁止	
		1	INT1端子入力可能	
I22	INT1端子 割り込み有効波形 / 復帰レベル選択ビット （注2）	0	立ち下がり波形 / “L” レベル（SNZI1命令はINT1端子の“L”レベル認識）	
		1	立ち上がり波形 / “H” レベル（SNZI1命令はINT1端子の“H”レベル認識）	
I21	INT1端子 エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I20	INT1端子 タイマ3カウント開始同期回路選択ビット	0	タイマ3カウント開始同期回路非選択	
		1	タイマ3カウント開始同期回路選択	

注1．“R”は読み出し可、“W”は書き込み可を表します。

- レジスタI2のビット2、ビット3の内容を変更した際に、外部1割り込み要求フラグ(EXF1)が“1”にセットされる場合があります。レジスタV1のビット1が“0”の状態ではレジスタI2のビット2、ビット3を変更した後、1命令以上においてSNZI1命令を実行し、フラグEXF1を“0”にしてください。このとき、SNZI1命令によるスキップが発生することを考慮し、SNZI1命令の後にNOP命令を挿入してください。
- ：パワーダウン設定時使用しないビットです。

(3) クロック制御レジスタMR

表2.9.6にレジスタMRのビット構成を示します。

レジスタMRへの書き込みは、レジスタAに値を設定した後、TMRA命令で行います。

また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

表2.9.6 クロック制御レジスタMRのビット構成

クロック制御レジスタMR		リセット時：1100 ₂	パワーダウン時 ：状態保持	R/W
MR3	動作モード選択ビット	MR3MR2	動作モード	
		00	スルーモード（分周なし）	
MR2		01	2分周モード	
		10	4分周モード	
MR1	メインクロック発振回路制御ビット	11	8分周モード	
		0	メインクロック発振可能	
MR0	システムクロック選択ビット	1	メインクロック発振停止	
		0	メインクロック（f(XIN)又はf(RING)）	
		1	サブクロック（f(XCIN)）	

注．“R”は読み出し可、“W”は書き込み可を表します。

(4) プルアップ制御レジスタPU0

表2.9.7にレジスタPU0のビット構成を示します。

レジスタPU0への書き込みは、レジスタAに値を設定した後、TPU0A命令で行います。

また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

表2.9.7 プルアップ制御レジスタPU0のビット構成

プルアップ制御レジスタPU0		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
PU0 ₃	ポートP0 ₃	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU0 ₂	ポートP0 ₂	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU0 ₁	ポートP0 ₁	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU0 ₀	ポートP0 ₀	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注：“R”は読み出し可、“W”は書き込み可を表します。

(5) プルアップ制御レジスタPU1

表2.9.8にレジスタPU1のビット構成を示します。

レジスタPU1への書き込みは、レジスタAに値を設定した後、TPU1A命令で行います。

また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

表2.9.8 プルアップ制御レジスタPU1のビット構成

プルアップ制御レジスタPU1		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
PU1 ₃	ポートP1 ₃	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU1 ₂	ポートP1 ₂	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU1 ₁	ポートP1 ₁	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU1 ₀	ポートP1 ₀	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注：“R”は読み出し可、“W”は書き込み可を表します。

(6) キーオンウェイクアップ制御レジスタK0

表2.9.9にレジスタK0のビット構成を示します。

レジスタK0への書き込みは、レジスタAに値を設定した後、TK0A命令で行います。

また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

表2.9.9 キーオンウェイクアップ制御レジスタK0のビット構成

キーオンウェイクアップ制御レジスタK0		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
K0 ₃	ポートP0 ₃	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K0 ₂	ポートP0 ₂	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K0 ₁	ポートP0 ₁	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K0 ₀	ポートP0 ₀	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

(7) キーオンウェイクアップ制御レジスタK1

表2.9.10にレジスタK1のビット構成を示します。

レジスタK1への書き込みは、レジスタAに値を設定した後、TK1A命令で行います。

また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

表2.9.10 キーオンウェイクアップ制御レジスタK1のビット構成

キーオンウェイクアップ制御レジスタK1		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
K1 ₃	ポートP1 ₃	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K1 ₂	ポートP1 ₂	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K1 ₁	ポートP1 ₁	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K1 ₀	ポートP1 ₀	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

(8) キーオンウェイクアップ制御レジスタK2

表2.9.11にレジスタK2のビット構成を示します。

レジスタK2への書き込みは、レジスタAに値を設定した後、TK2A命令で行います。

また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

表2.9.11 キーオンウェイクアップ制御レジスタK2のビット構成

キーオンウェイクアップ制御レジスタK2		リセット時：0000 ₂		パワーダウン時 ：状態保持	R/W
K23	INT1端子	0	レベル復帰		
	復帰条件選択ビット	1	エッジ復帰		
K22	INT1端子	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K21	INT0端子	0	レベル復帰		
	復帰条件選択ビット	1	エッジ復帰		
K20	INT0端子	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

2.9.3 パワーダウン機能応用例

(1) 時計表示

サブクロックに32.768kHz水晶発振子を用いてPOF命令を使用することにより、低消費電力で精度の高い時計を実現できます。

ポイント：POF命令使用により消費電力を低減できます。

仕様：LCDと32.768kHz水晶発振子を使用して時刻を表示します。

キー入力によりメインルーチンを実行します。

図2.9.3にプログラム設計例を示します。

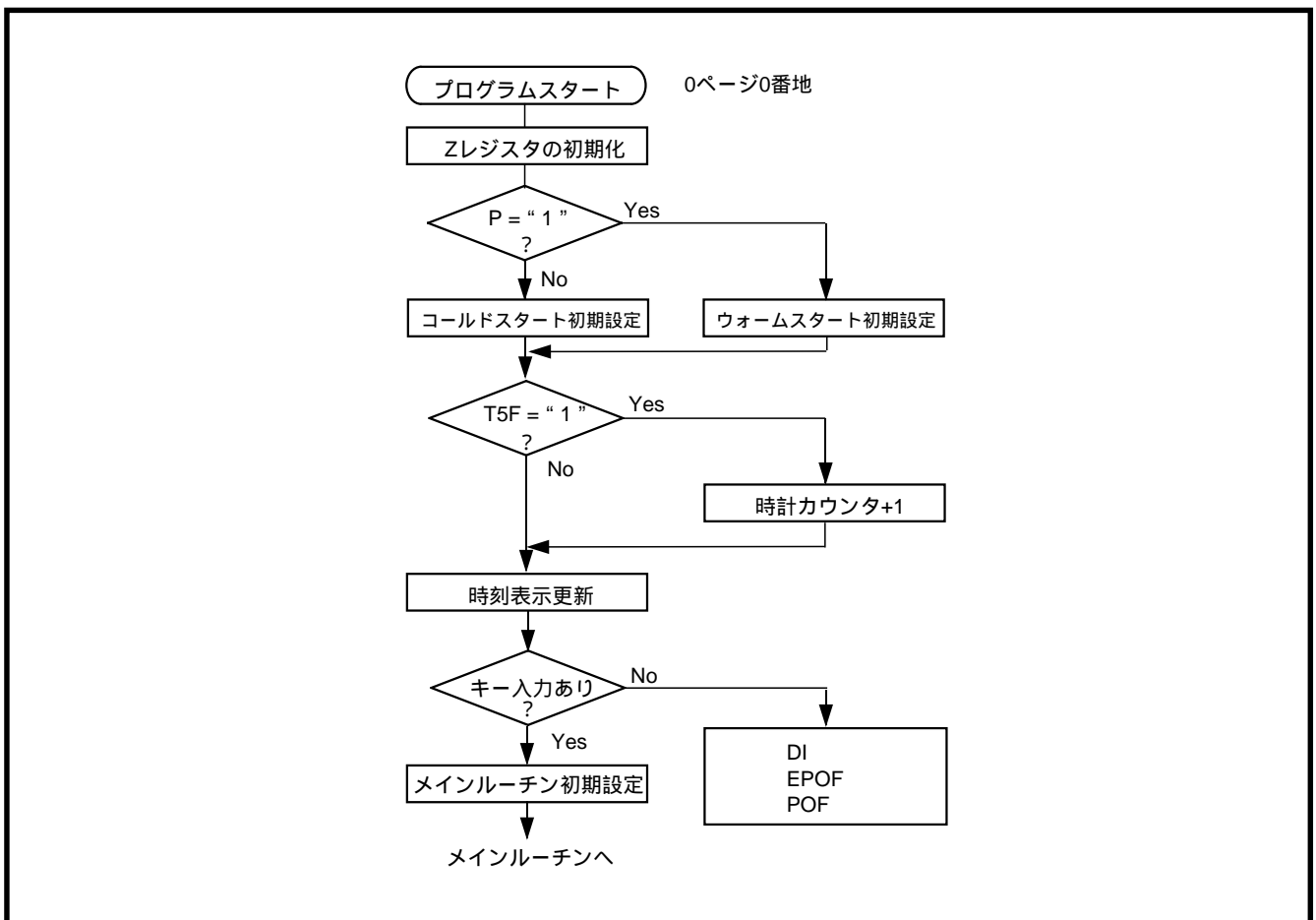


図2.9.3 プログラム設計例

2.9.4 使用上の注意事項

(1) POF命令、POF2命令

EPOF命令直後に、POF命令又はPOF2命令を実行すると、パワーダウン状態になります。

POF命令又はPOF2命令単独では、パワーダウン状態にならないので注意してください。

EPOF命令とPOF命令又はPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)に設定してください。

(2) キーオンウェイクアップを使用する場合

キーオンウェイクアップが有効になっているポート(レジスタK0、K1、K2で指定されたP0、P1、INT0、INT1)がすべて復帰条件を満たしていないことを確認後、POF命令又はPOF2命令を実行してください。

キーオンウェイクアップが有効になっているポートがひとつでも復帰条件を満たしている場合、POF命令又はPOF2命令を実行後、すぐにパワーダウン状態から復帰します。

(3) タイマ5割り込み要求フラグを使用する場合

タイマ5割り込み要求フラグT5F="1"の時にPOF命令及びPOF2命令を実行すると、すぐにパワーダウン状態から復帰します。

(4) パワーダウンからの復帰

パワーダウンからの復帰後、不定となるレジスタ及びフラグの設定を必ず行ってください。

次のレジスタは、パワーダウン時は不定です。パワーダウンからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(4ビット)
- ・レジスタY(4ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(5) ウォッチドッグタイマ

パワーダウン状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウン状態から復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態にする直前にWRST命令を実行し、ウォッチドッグタイマフラグWDF1を初期化してください。

(6) D8/INT0端子

割り込み制御レジスタI1のビット3を"0"にし、INT0端子入力禁止の状態でもパワーダウンを使用する際は、次の点に注意ください。

INT0端子の入力を禁止する場合(レジスタI13="0")は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット0を"0"にして、キーオンウェイクアップを無効にしてください。

(7) D9/INT1端子

割り込み制御レジスタI2のビット3を“0”にし、INT1端子入力禁止の状態のパワーダウンを使用する際は、次の点に注意ください。

INT1端子の入力を禁止する場合(レジスタI2₃=“0”)は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット2を“0”にして、キーオンウェイクアップを無効にしてください。

(8) 外部クロック

メインクロック(f(XIN))に外部クロックを使用する際は、パワーダウン機能(POF命令、POF2命令)を使用しないでください。

2.10 発振回路

4524グループは動作に必要なクロックを得るための発振回路を内蔵しています。

メインクロック($f(XIN)$)には、セラミック共振又はRC発振が使用できます。

リセット解除後、内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。

2.10.1 発振回路

(1) メインクロック発生回路($f(XIN)$)

メインクロック($f(XIN)$)には、セラミック共振又はRC発振が使用できます。

リセット解除後、4524グループは内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。プログラムでCMCK命令またはCRCK命令を実行することで、それぞれの命令に対応した発振回路が有効になり、源発振が切り替わります。CMCK命令及びCRCK命令による発振回路選択は一度だけ可能です。CMCK命令及びCRCK命令のうち、先に実行された命令に対応する発振回路が有効になり、もう一方の発振回路とオンチップオシレータは停止します。

CMCK命令又はCRCK命令は、必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。また、CMCK命令あるいはCRCK命令がプログラムで一度も実行されない場合は、4524グループはオンチップオシレータで動作します。

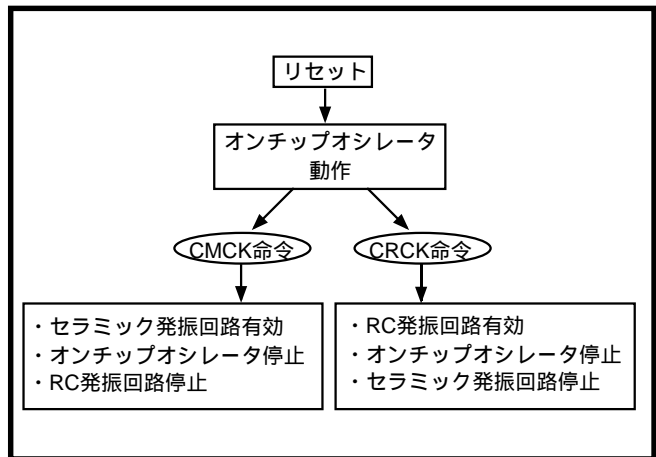


図2.10.1 セラミック共振 / RC発振への切り替え

(2) オンチップオシレータ動作

メインクロック($f(XIN)$)にセラミック共振又はRC発振を使用せず、オンチップオシレータで動作させる場合は、XIN端子をVSSに接続し、XOUT端子は開放してください(図2.10.2)。

なお、オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

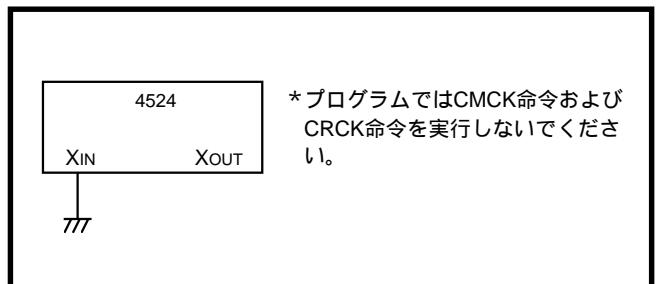


図2.10.2 オンチップオシレータ動作時のXIN、XOUT端子の処理

(3) セラミック共振子を使用する場合

メインクロック($f(XIN)$)にセラミック共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続し、プログラムではCMCK命令を実行してください。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています。

図2.10.3にセラミック共振子外付回路例を示します。

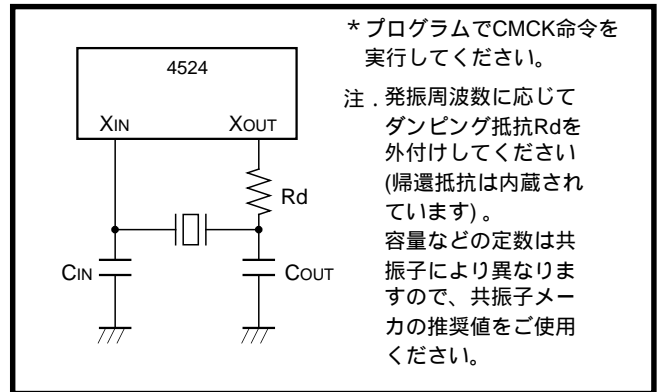


図2.10.3 セラミック共振子外付回路例

(4) RC発振を使用する場合

メインクロック($f(XIN)$)にRC発振を使用する場合は、XIN端子に抵抗R、コンデンサCの外付け回路を最短距離で接続し、XOUT端子は開放し、プログラムではCRCK命令を実行してください(図2.10.4)。

なお、RC発振用の抵抗RおよびコンデンサCの定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

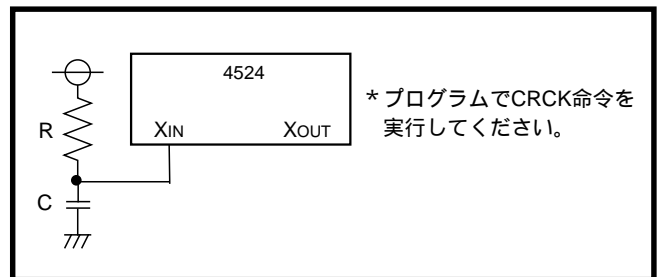


図2.10.4 RC発振外付け回路例

(5) 外部クロックを使用する場合

メインクロック($f(XIN)$)に外部クロックを使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放し、プログラムではCMCK命令を実行してください。(図2.10.5)

なお、外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なります。「3.1 電気的特性」を参照してください。

また、外部クロックを使用する際はパワーダウン機能(POF命令又はPOF2命令)を使用しないでください。

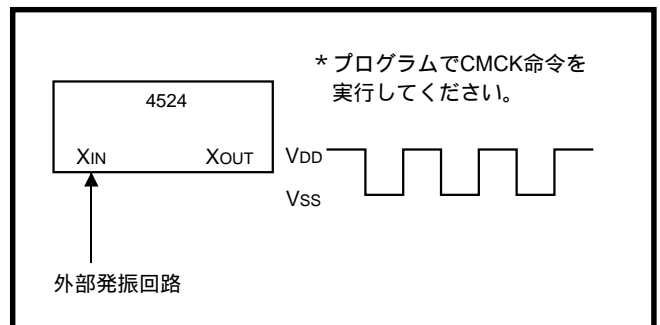


図2.10.5 外部クロック入力回路例

(6) サブクロック発生回路($f(XCIN)$)

サブクロック($f(XCIN)$)には、水晶発振を使用してください。XCIN端子とXCOUT端子に水晶共振子および外部回路を最短距離で接続してください。XCIN端子とXCOUT端子の間には帰還抵抗が内蔵されています。

図2.10.6に水晶共振子外付回路例を示します。

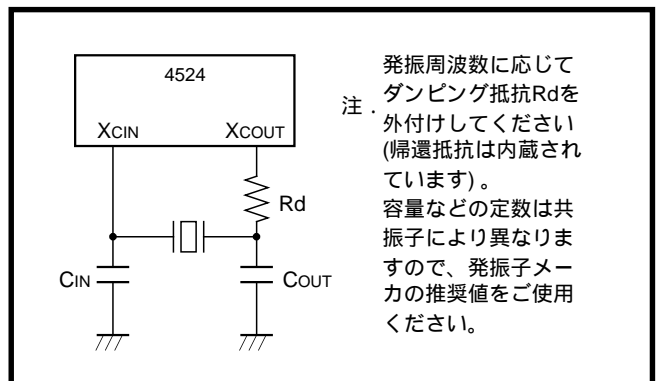


図2.10.6 水晶共振子外付け回路例

2.10.2 発振動作

システムクロックは、マイクロコンピュータ動作の基準クロックとして、CPU、周辺装置へ供給されます。4524グループは、オンチップオシレータ(内部発振器)、セラミック発振回路、又はRC発振回路から供給されるクロックを、レジスタMRでスルーモード($f(XIN)$)、2分周モード($f(XIN)/2$)、4分周モード($f(XIN)/4$)、又は8分周モード($f(XIN)/8$)から選択し使用します。

図2.10.7にクロック制御回路の構成を示します。

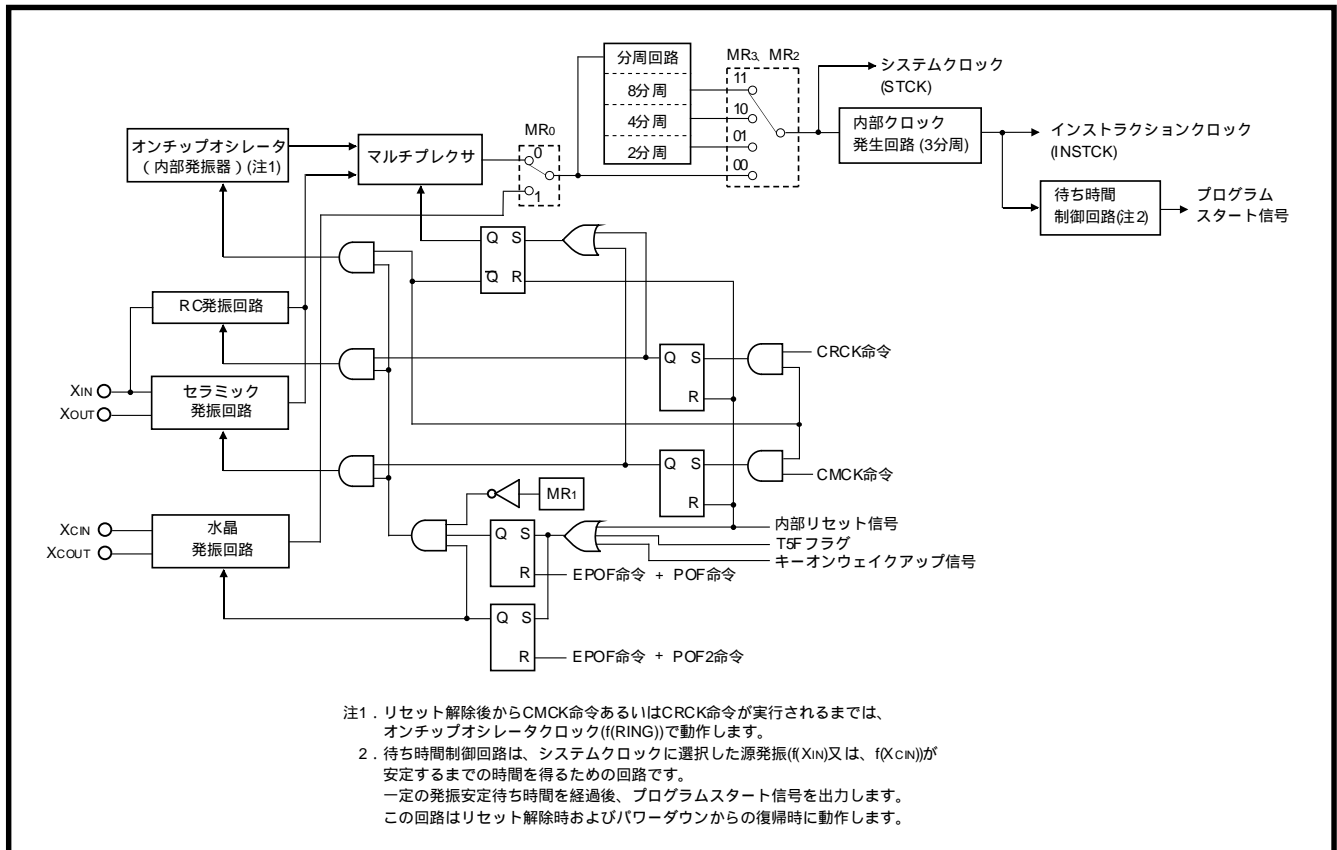


図2.10.7 クロック制御回路の構成

2.10.3 関連レジスタ

(1) クロック制御レジスタMR

表2.10.1にレジスタMRのビット構成を示します。

レジスタMRへの書き込みは、レジスタAに値を設定した後、TMRA命令で行います。

また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

表2.10.1 クロック制御レジスタMRのビット構成

クロック制御レジスタMR		リセット時：1100 ₂	パワーダウン時 ：状態保持	R/W
MR3	動作モード選択ビット	MR3MR2	動作モード	
		00	スルーモード（分周なし）	
01		2分周モード		
10		4分周モード		
MR2		11	8分周モード	
	メインクロック発振回路制御ビット	0	メインクロック発振可能	
1		メインクロック発振停止		
MR0	システムクロック選択ビット	0	メインクロック（f(XIN)又はf(RING)）	
		1	サブクロック（f(XCIN)）	

注：“R”は読み出し可、“W”は書き込み可を表します。

2.10.4 使用上の注意事項

(1) クロック制御

メインクロック(f(XIN))を選択する命令(CMCK命令、CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令あるいはCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された命令に対応する発振回路が有効になり、もう一方の発振回路、オンチップオシレータは停止します。

(2) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、4524グループはリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(3) 外部クロック

メインクロック(f(XIN))に外部クロックを使用する際は、パワーダウン機能(POF命令、POF2命令)を使用しないでください。

(4) 発振子に付ける部品の値

発振回路のコンデンサ、抵抗などの値は、取り付ける発振子や基板により異なります。このため発振子に取り付ける部品の値については発振子メーカーに問い合わせをご確認ください。

MEMO

第3章

付録

- 3.1 電気的特性
- 3.2 標準特性
- 3.3 使用上の注意(まとめ)
- 3.4 ノイズに関する注意事項
- 3.5 パッケージ寸法図

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項目	条件	定格値	単位
V _{DD}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧 P0, P1, P2, P3, P4, D0 ~ D7 RESET, X _{IN} , X _{CIN} , VDCE		- 0.3 ~ V _{DD} + 0.3	V
V _I	入力電圧 SCK, S _{IN} , CNTR0, CNTR1, INT0, INT1		- 0.3 ~ V _{DD} + 0.3	V
V _I	入力電圧 A _{IN0} ~ A _{IN7}		- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 P0, P1, P2, P3, P4, D0 ~ D9 RESET, SCK, S _{OUT} , CNTR0, CNTR1	出力トランジスタ遮断状態	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 C, X _{OUT} , X _{COUT}		- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 SEG0 ~ SEG19, COM0 ~ COM3		- 0.3 ~ V _{DD} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度		- 20 ~ 85	
T _{stg}	保存温度		- 40 ~ 125	

3.1.2 推奨動作条件

表3.1.2 推奨動作条件1(マスクROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2 \sim 5.5V$)(ワンタイムPROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記号	項目	条件		規格値			単位
				最小	標準	最大	
VDD	電源電圧 (セラミック共振使用時)	マスクROM版	f(STCK) 6MHz	4		5.5	V
			f(STCK) 4.4MHz	2.7		5.5	
			f(STCK) 2.2MHz	2		5.5	
		ワンタイムPROM版	f(STCK) 6MHz	4		5.5	
			f(STCK) 4.4MHz	2.7		5.5	
			f(STCK) 2.2MHz	2.5		5.5	
VDD	電源電圧 (RC共振使用時)	f(STCK) 4.4MHz	2.7		5.5	V	
VRAM	RAM保持電圧	RAMバックアップモード時	1.8			V	
VSS	電源電圧			0		V	
VLC3	LCD電源電圧 (注1)	マスクROM版	2		VDD	V	
		ワンタイムPROM版	2.5		VDD		
VIH	"H"入力電圧	P0, P1, P2, P3, P4, D0~D7, VDCE	0.8VDD		VDD	V	
VIH	"H"入力電圧	XIN, XCIN	0.7VDD		VDD	V	
VIH	"H"入力電圧	RESET	0.85VDD		VDD	V	
VIH	"H"入力電圧	SCK, SIN, CNTR0, CNTR1, INT0, INT1	0.8VDD		VDD	V	
VIL	"L"入力電圧	P0, P1, P2, P3, P4, D0~D7, VDCE	0		0.2VDD	V	
VIL	"L"入力電圧	XIN, XCIN	0		0.3VDD	V	
VIL	"L"入力電圧	RESET	0		0.3VDD	V	
VIL	"L"入力電圧	SCK, SIN, CNTR0, CNTR1, INT0, INT1	0		0.15VDD	V	
IOH(peak)	"H"レベル尖頭出力電流	P0, P1, P4, D0~D6 SCK, SOUT	VDD = 5V		-20	mA	
			VDD = 3V		-10		
IOH(peak)	"H"レベル尖頭出力電流	D7, C CNTR0, CNTR1	VDD = 5V		-30	mA	
			VDD = 3V		-15		
IOH(avg)	"H"レベル平均出力電流 (注2)	P0, P1, P4, D0~D6 SCK, SOUT	VDD = 5V		-10	mA	
			VDD = 3V		-5		
IOH(avg)	"H"レベル平均出力電流 (注2)	D7, C CNTR0, CNTR1	VDD = 5V		-20	mA	
			VDD = 3V		-10		
IOL(peak)	"L"レベル尖頭出力電流	P0, P1, P4	VDD = 5V		24	mA	
			VDD = 3V		12		
IOL(peak)	"L"レベル尖頭出力電流	D0~D9, C SCK, SOUT, CNTR0, CNTR1	VDD = 5V		24	mA	
			VDD = 3V		12		
IOL(peak)	"L"レベル尖頭出力電流	P2, P3, RESET	VDD = 5V		10	mA	
			VDD = 3V		4		
IOL(avg)	"L"レベル平均出力電流 (注2)	P0, P1, P4	VDD = 5V		12	mA	
			VDD = 3V		6		
IOL(avg)	"L"レベル平均出力電流 (注2)	D0~D9, C SCK, SOUT, CNTR0, CNTR1	VDD = 5V		15	mA	
			VDD = 3V		7		
IOL(avg)	"L"レベル平均出力電流 (注2)	P2, P3, RESET	VDD = 5V		5	mA	
			VDD = 3V		2		
IOH(avg)	"H"レベル総電流	P0, P1, D0~D6, SCK, SOUT			-60	mA	
		P4, D7, C, CNTR0, CNTR1			-60		
IOL(avg)	"L"レベル総電流	P0, P1, D0~D6, SCK, SOUT			80	mA	
		P2, P3, P4, D7~D9, C, RESET, CNTR0, CNTR1			80		

注1. 1/2バイアス使用時: $VLC1 = VLC2 = (1/2) \cdot VLC3$ 1/3バイアス使用時: $VLC1 = (1/3) \cdot VLC3$, $VLC2 = (2/3) \cdot VLC3$

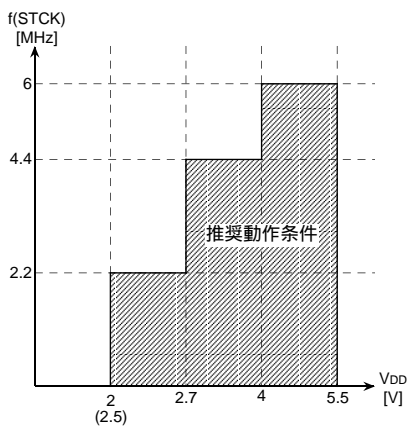
2. 平均出力電流は、100msの期間の平均値です。

表3.1.3 推奨動作条件 α マスクROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2 \sim 5.5V$)
 (ワンタイムPROM版 : 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

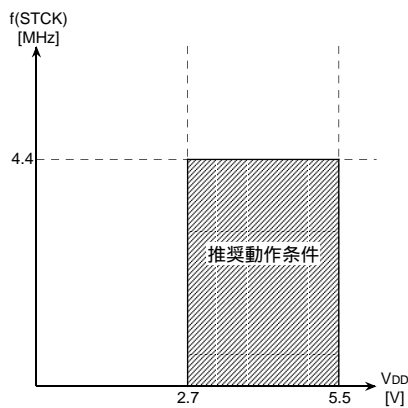
記号	項目	条件			規格値			単位	
					最小	標準	最大		
f(XIN)	発振周波数 (セラミック共振使用時)	マスクROM版	スルーモード	VDD = 4 ~ 5.5V			6	MHz	
				VDD = 2.7 ~ 5.5V			4.4		
				VDD = 2 ~ 5.5V			2.2		
			2分周モード	VDD = 2.7 ~ 5.5V			6		
				VDD = 2 ~ 5.5V			4.4		
				VDD = 2 ~ 5.5V			6		
		ワンタイムPROM版	スルーモード	VDD = 4 ~ 5.5V			6		
				VDD = 2.7 ~ 5.5V			4.4		
				VDD = 2.5 ~ 5.5V			2.2		
2分周モード	VDD = 2.7 ~ 5.5V			6					
		VDD = 2.5 ~ 5.5V			4.4				
					6				
f(XIN)	発振周波数 (RC発振使用時) (注)	VDD = 2.7 ~ 5.5V					4.4	MHz	
f(XIN)	発振周波数 (セラミック共振回路選択, 外部クロック使用時)	マスクROM版	スルーモード	VDD = 4 ~ 5.5V			4.8	MHz	
				VDD = 2.7 ~ 5.5V			3.2		
				VDD = 2 ~ 5.5V			1.6		
			2分周モード	VDD = 2.7 ~ 5.5V			4.8		
				VDD = 2 ~ 5.5V			3.2		
				VDD = 2 ~ 5.5V			4.8		
		ワンタイムPROM版	スルーモード	VDD = 4 ~ 5.5V			4.8		
				VDD = 2.7 ~ 5.5V			3.2		
				VDD = 2.5 ~ 5.5V			1.6		
			2分周モード	VDD = 2.7 ~ 5.5V			4.8		
					VDD = 2.5 ~ 5.5V				3.2
									4.8
f(XCIN)	発振周波数 (サブクロック)	水晶発振子					50	kHz	

注：RC発振使用時の発振周波数は、外付けの抵抗・コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値，容量値)を設定してください。

<システムクロック(STCK) 動作条件マップ>
 セラミック共振使用時



RC発振使用時



外部クロック使用時

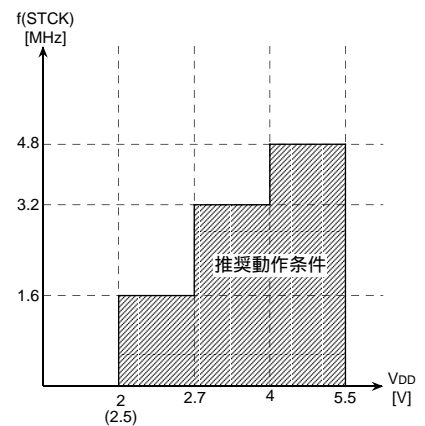


表3.1.4 推奨動作条件(マスクROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2 \sim 5.5V$)
(ワンタイムPROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記号	項目	条件		規格値			単位
				最小	標準	最大	
f(CNTR)	タイマ外部入力周波数	CNTR0, CNTR1				f(STCK)/6	Hz
tw(CNTR)	タイマ外部入力周期 (“H”及び“L”パルス幅)	CNTR0, CNTR1		3/f(STCK)			s
f(SCK)	シリアルI/O外部入力周波数	SCK				f(STCK)/6	Hz
tw(SCK)	シリアルI/O外部入力周期 (“H”及び“L”パルス幅)	SCK		3/f(STCK)			s
TPON	パワーオンリセット回路 有効電源立ち上がり時間	マスクROM版	$V_{DD} = 0 \sim 2V$			100	μs
		ワンタイムPROM版	$V_{DD} = 0 \sim 2.5V$			100	

3.1.3 電気的特性

表3.1.5 電気的特性1(マスクROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2 \sim 5.5V$)
 (ワンタイムPROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧 P0 ,P1 ,P4 ,D0 ~ D6 SCK ,SOUT	VDD = 5V	IOH = - 10mA	3			V
			IOH = - 3mA	4.1			
		VDD = 3V	IOH = - 5mA	2.1			
			IOH = - 1mA	2.4			
VOH	“H”出力電圧 D7 ,C CNTR0 ,CNTR1	VDD = 5V	IOH = - 20mA	3			V
			IOH = - 6mA	4.1			
		VDD = 3V	IOH = - 10mA	2.1			
			IOH = - 3mA	2.4			
VOL	“L”出力電圧 P0 ,P1 ,P4	VDD = 5V	IOL = 12mA			2	V
			IOL = 4mA			0.9	
		VDD = 3V	IOL = 6mA			0.9	
			IOL = 2mA			0.6	
VOL	“L”出力電圧 D0 ~ D9 ,C SCK ,SOUT ,CNTR0 ,CNTR1	VDD = 5V	IOL = 15mA			2	V
			IOL = 5mA			0.9	
		VDD = 3V	IOL = 9mA			1.4	
			IOL = 3mA			0.9	
VOL	“L”出力電圧 P2 ,P3 ,RESET	VDD = 5V	IOL = 5mA			2	V
			IOL = 1mA			0.6	
		VDD = 3V	IOL = 2mA			0.9	
IiH	“H”入力電流 P0 ,P1 ,P2 ,P3 ,P4 D0 ~ D7 ,VDCE ,RESET SCK ,SIN ,CNTR0 ,CNTR1 INT0 ,INT1	Vi = VDD				1	μA
IiL	“L”入力電流 P0 ,P1 ,P2 ,P3 ,P4 D0 ~ D7 ,VDCE SCK ,SIN ,CNTR0 ,CNTR1 INT0 ,INT1	Vi = 0V P0 ,P1ブルアップ非選択				- 1	μA

表3.1.6 電気的特性 χ (マスクROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2 \sim 5.5V$)
 (ワンタイムPROM版:指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 2.5 \sim 5.5V$)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
IDD	電源電流	CPU動作時 (セラミック共振使用時)	$V_{DD} = 5V$ $f(X_{IN}) = 6MHz$ $f(X_{CIN}) = 32kHz$	$f(STCK) = f(X_{IN})/8$	1.4	2.8	mA	
				$f(STCK) = f(X_{IN})/4$	1.6	3.2		
				$f(STCK) = f(X_{IN})/2$	2	4		
				$f(STCK) = f(X_{IN})$	2.8	5.6		
		$V_{DD} = 5V$ $f(X_{IN}) = 4MHz$ $f(X_{CIN}) = 32kHz$	$f(STCK) = f(X_{IN})/8$	1.1	2.2	mA		
			$f(STCK) = f(X_{IN})/4$	1.2	2.4			
			$f(STCK) = f(X_{IN})/2$	1.5	3			
			$f(STCK) = f(X_{IN})$	2	4			
		$V_{DD} = 3V$ $f(X_{IN}) = 4MHz$ $f(X_{CIN}) = 32kHz$	$f(STCK) = f(X_{IN})/8$	0.4	0.8	mA		
			$f(STCK) = f(X_{IN})/4$	0.5	1			
			$f(STCK) = f(X_{IN})/2$	0.6	1.2			
			$f(STCK) = f(X_{IN})$	0.8	1.6			
	CPU動作時 (水晶共振使用時)	$V_{DD} = 5V$ $f(X_{IN}) = 停止$ $f(X_{CIN}) = 32kHz$	$f(STCK) = f(X_{CIN})/8$	55	110	μA		
			$f(STCK) = f(X_{CIN})/4$	60	120			
			$f(STCK) = f(X_{CIN})/2$	65	130			
			$f(STCK) = f(X_{CIN})$	70	140			
$V_{DD} = 3V$ $f(X_{IN}) = 停止$ $f(X_{CIN}) = 32kHz$		$f(STCK) = f(X_{CIN})/8$	12	24	μA			
		$f(STCK) = f(X_{CIN})/4$	13	26				
		$f(STCK) = f(X_{CIN})/2$	14	28				
		$f(STCK) = f(X_{CIN})$	15	30				
時計動作モード時 (POF命令実行時)	$f(X_{CIN}) = 32kHz$	$V_{DD} = 5V$	20	60	μA			
		$V_{DD} = 3V$	5	15				
RAMバックアップモード時 (POF2命令実行時)	Ta = 25	$V_{DD} = 5V$	0.1	1	μA			
		$V_{DD} = 5V$		10				
		$V_{DD} = 3V$		6				
RPU	プルアップ抵抗	P0 ,P1 ,RESET	$V_I = 0V$	$V_{DD} = 5V$	30	60	125	k
				$V_{DD} = 3V$	50	120	250	
VT+ - VT-	ヒステリシス	SCK ,SIN ,CNTR0 ,CNTR1 INT0 ,INT1	$V_{DD} = 5V$		0.2		V	
			$V_{DD} = 3V$		0.2			
VT+ - VT-	ヒステリシス	RESET	$V_{DD} = 5V$		1		V	
			$V_{DD} = 3V$		0.4			
f(RING)	オンチップオシレータクロック周波数	$V_{DD} = 5V$	1	2	3	MHz		
		$V_{DD} = 3V$	0.5	1	1.8			
f(XIN)	周波数誤差 (RC共振使用時, 外付けR ,Cの誤差は 含まず) (注)	$V_{DD} = 5V \pm 10\%$,Ta = 25 中心				± 17	%	
		$V_{DD} = 5V \pm 10\%$,Ta = 25 中心				± 17		
RCOM	COM出力インピーダンス	$V_{DD} = 5V$		1.5	7.5	k		
		$V_{DD} = 3V$		2	10			
RSEG	SEG出力インピーダンス	$V_{DD} = 5V$		1.5	7.5	k		
		$V_{DD} = 3V$		2	10			
RVLC	LCD電源内蔵抵抗	分割抵抗 2r x 3 選択時	300	480	960	k		
		分割抵抗 2r x 2 選択時	200	320	640			
		分割抵抗 r x 3 選択時	150	240	480			
		分割抵抗 r x 2 選択時	100	160	320			

注. RC共振使用時は、外付けのコンデンサ(C)に33pFを使用してください。

3.1.4 A/Dコンバータ特性

表3.1.7 A/D変換器推奨動作条件 (コンパレータモードを含む。指定のない場合は、Ta = -20 ~ 85)

記号	項目	条件	規格値			単位
			最小	標準	最大	
VDD	電源電圧	Ta=25	2.7		5.5	V
		Ta = -20 ~ 85	3		5.5	
VIA	アナログ入力電圧		0		VDD	V
f(XIN)	発振周波数	VDD=2.7 ~ 5.5V	f(STCK) = f(XIN)/8	0.8		MHz
			f(STCK) = f(XIN)/4	0.4		
			f(STCK) = f(XIN)/2	0.2		
			f(STCK) = f(XIN)	0.1		

表3.1.8 A/D変換器特性 (指定のない場合は、Ta = -20 ~ 85)

記号	項目	条件	規格値			単位
			最小	標準	最大	
-	分解能				10	bits
-	直線性誤差	Ta = 25 , VDD = 2.7 ~ 5.5V			± 2.0	LSB
		Ta = -20 ~ 85 , VDD = 3 ~ 5.5V				
-	微分非直線性誤差	Ta = 25 , VDD = 2.7 ~ 5.5V			± 0.9	LSB
		Ta = -20 ~ 85 , VDD = 3 ~ 5.5V				
V0T	ゼロトランジション電圧	VDD = 5.12V	0	10	20	mV
		VDD = 3.072V	0	6	12	
VFST	フルスケールトランジション電圧	VDD = 5.12V	5110	5120	5130	mV
		VDD = 3.072V	3063	3069	3075	
IADD	A/D動作電流 (注1)	VDD = 5V		0.3	0.9	mA
		VDD = 3V		0.1	0.3	
TCONV	A/D変換時間	f(XIN) = 6MHz	f(STCK) = f(XIN)/8		248	μs
			f(STCK) = f(XIN)/4		124	
			f(STCK) = f(XIN)/2		62	
			f(STCK) = f(XIN)		31	
-	コンパレータ分解能				8	bits
-	コンパレータ誤差 (注2)	VDD = 5.12V			± 20	mV
		VDD = 3.072V			± 15	
-	コンパレータ比較時間	f(XIN) = 6MHz	f(STCK) = f(XIN)/8		32	μs
			f(STCK) = f(XIN)/4		16	
			f(STCK) = f(XIN)/2		8	
			f(STCK) = f(XIN)		4	

注1. A/D変換器使用時は、IDD(電源電流)にIADDが加算されます。

2. コンパレータモード時の理論値に対する誤差で、コンパレータレジスタの内容をnとした時、内蔵DAコンバータが発生する比較電圧Vrefの理論値は次式で求めることができます。

— 比較電圧Vrefの理論値 —

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n: レジスタADの値(n=0 ~ 255)

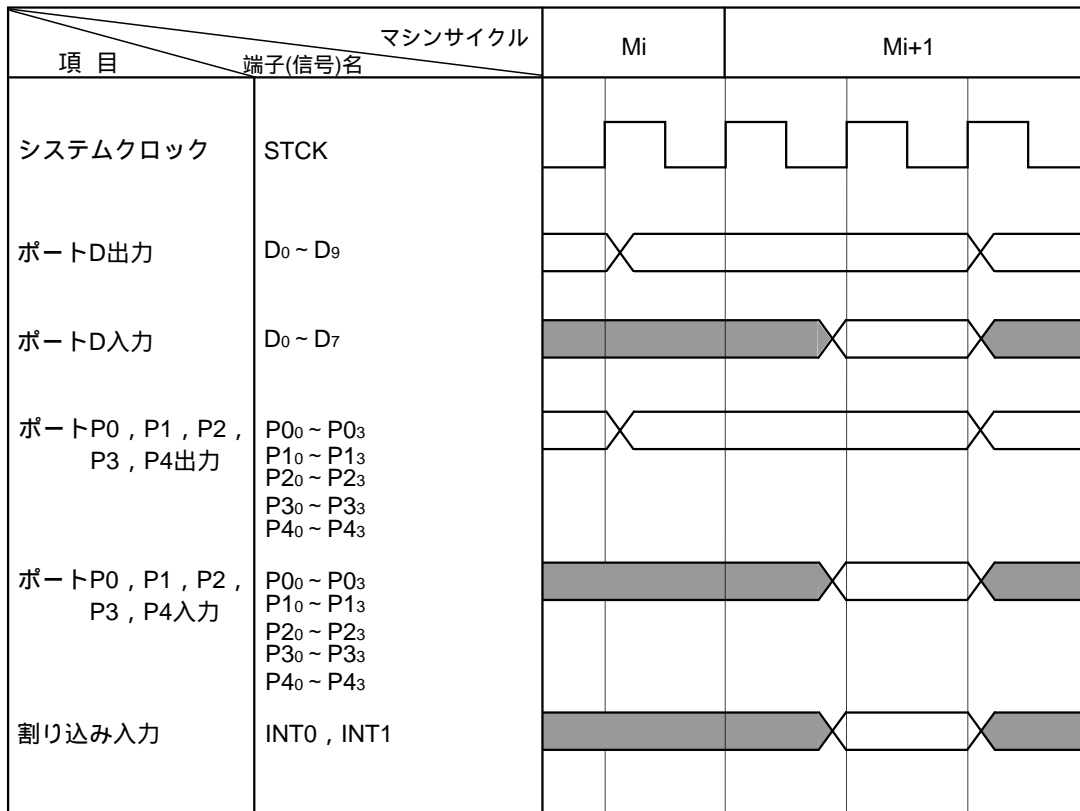
3.1.5 電圧低下検出回路特性

表3.1.9 電圧低下検出回路特性 (指定のない場合は、 $T_a = -20 \sim 85$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VRST	検出電圧 (注1)	Ta=25		3.3	3.5	3.7	V
				2.7		4.2	
IRST	動作電流	パワーダウン時 (注2)	VDD = 5V		50	100	μA
			VDD = 3V		30	60	
TRST	判定時間	VDD (VRST - 0.1V) (注3)			0.2	1.2	ms

- 注1. 検出電圧 (VRST)は、電源電圧 (VDD)を高い側から下げたときにリセットが発生する電圧です。
 2. SVDE命令実行後は、パワーダウンモード時に電圧低下検出回路が有効状態になります。
 3. 判定時間 (TRST)は、電源電圧 (VDD)を高い側から [VRST - 0.1V]に下げたときにリセットが発生するまでの時間です。

基本タイミング図



3.2 標準特性

本節では、4524グループの標準特性について説明します。
特に指定のない場合、マスクROM版の特性を示します。
なお、本特性データは一測定例であり、保証値を示すものではありません。
保証値に関しては、「3.1 電気的特性」を参照してください。

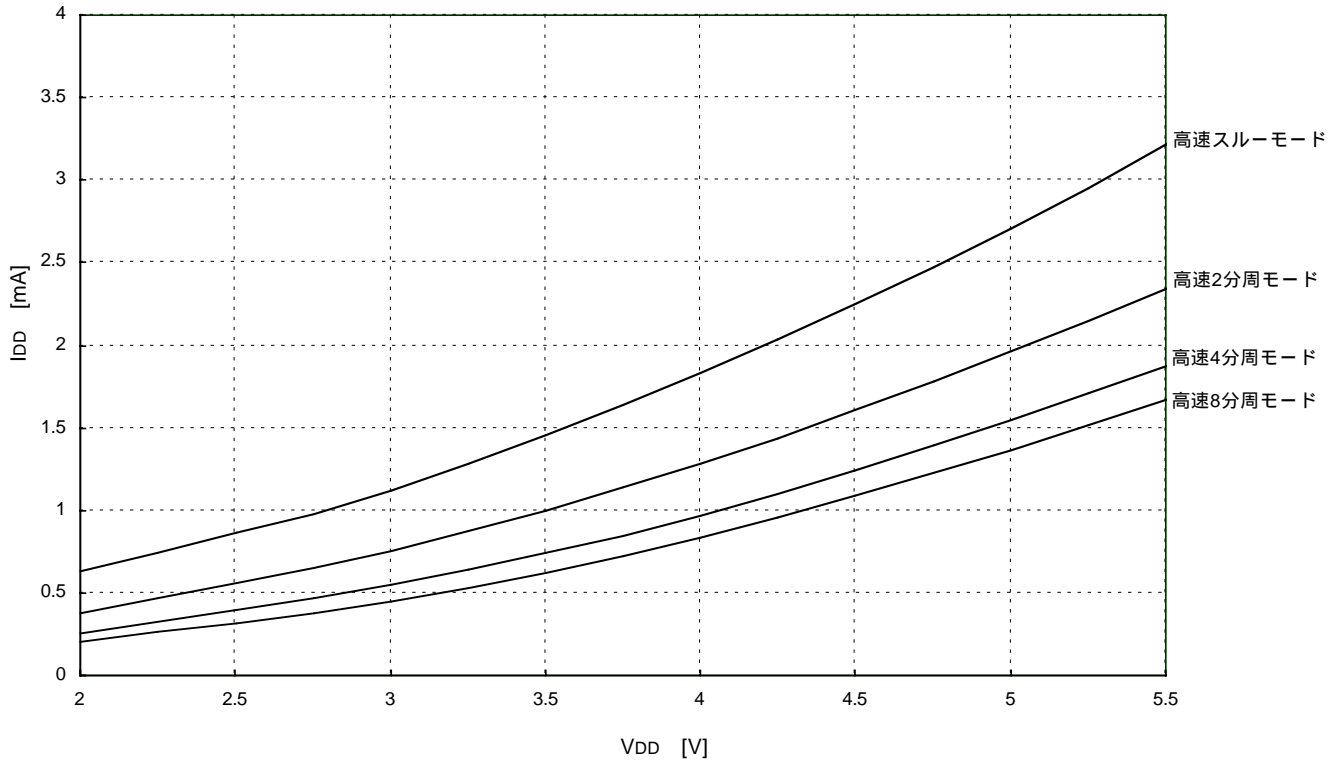
マスクROM版とワンタイムPROM版とでは、製造プロセス、内蔵ROM、及びレイアウトパターンの相違により、電気的特性の範囲内で特性が異なる場合があります。

また同一のROMタイプにおいても、サンプルによって、プロセスパラメータの変動により、電気的特性の範囲内で特性が異なる場合がありますので、ご注意ください。

3.2.1 電源電流特性

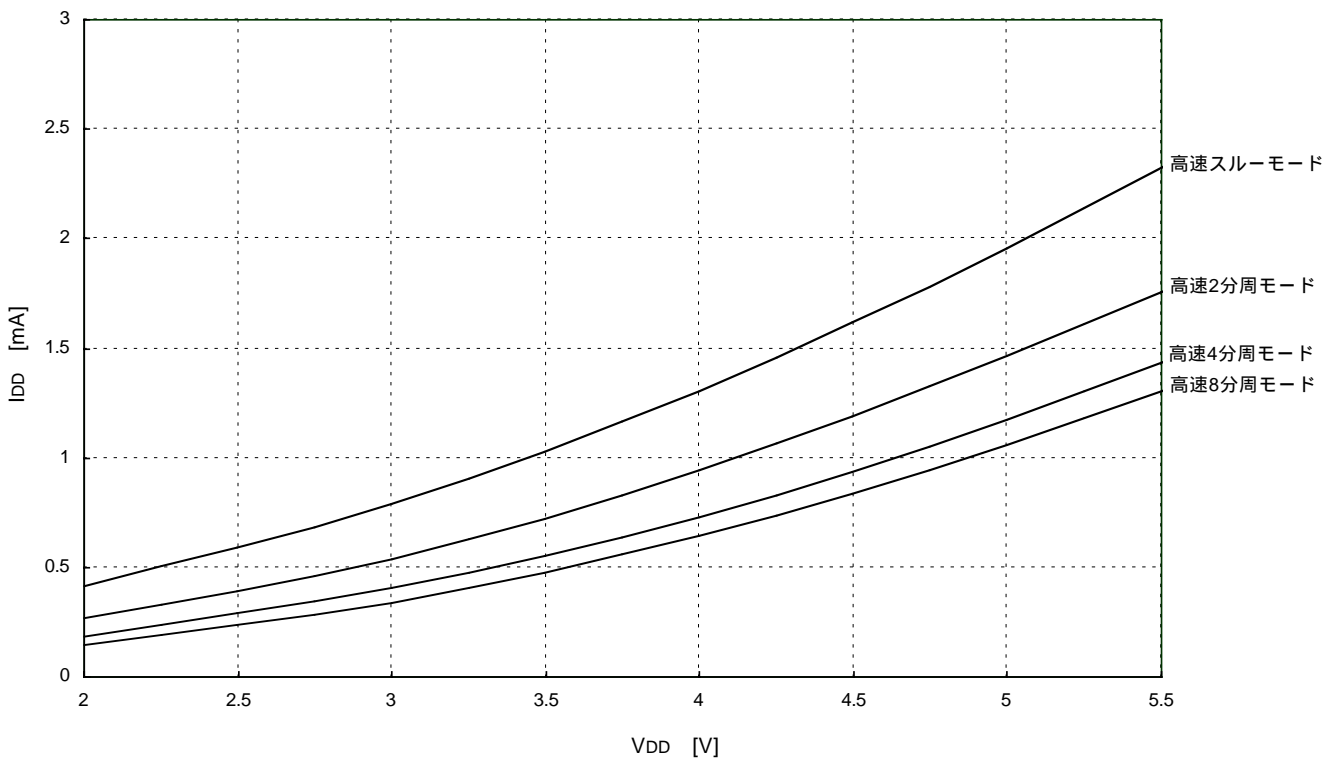
(1) 高速モード(セラミック共振): VDD-IDD

測定条件: f(XIN)=6MHz、f(XCIN)=停止、f(RING)=停止、Ta=25



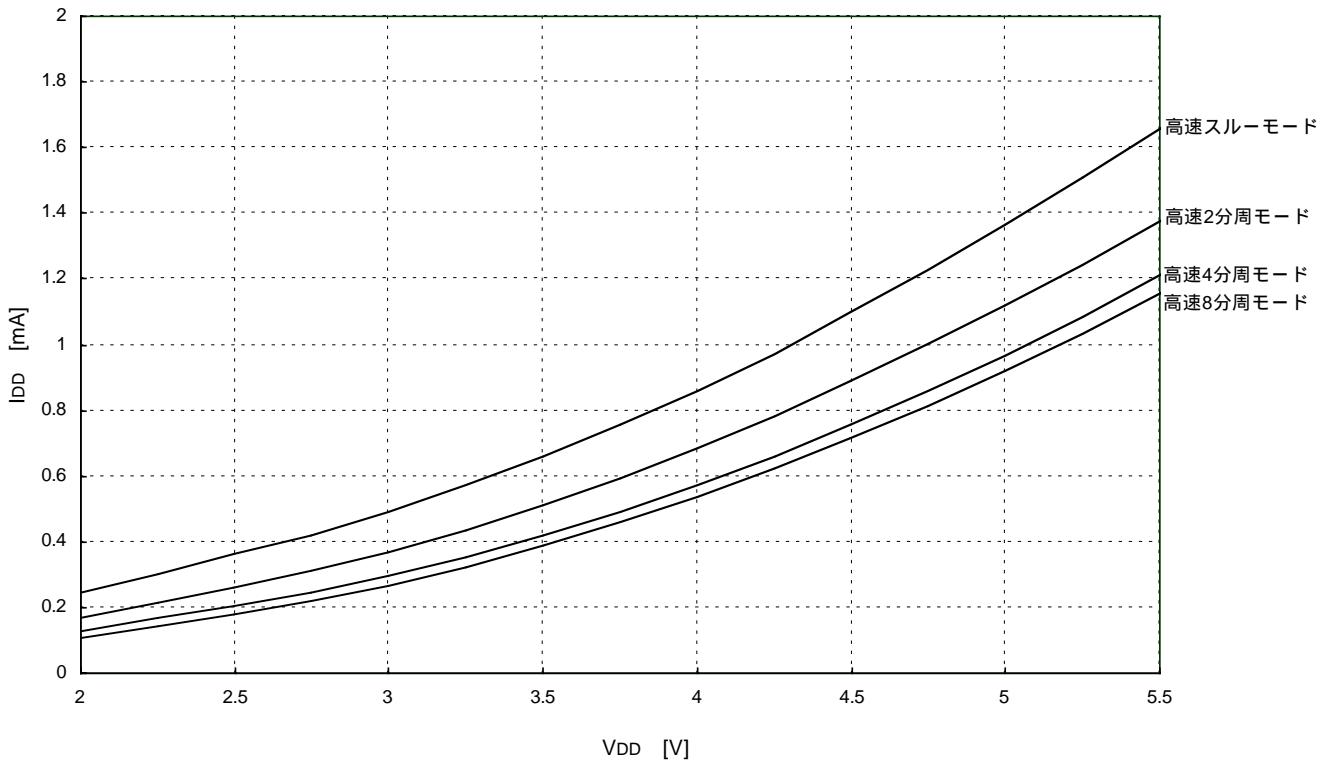
(2) 高速モード(セラミック共振): VDD-IDD

測定条件: f(XIN)=4MHz、f(XCIN)=停止、f(RING)=停止、Ta=25



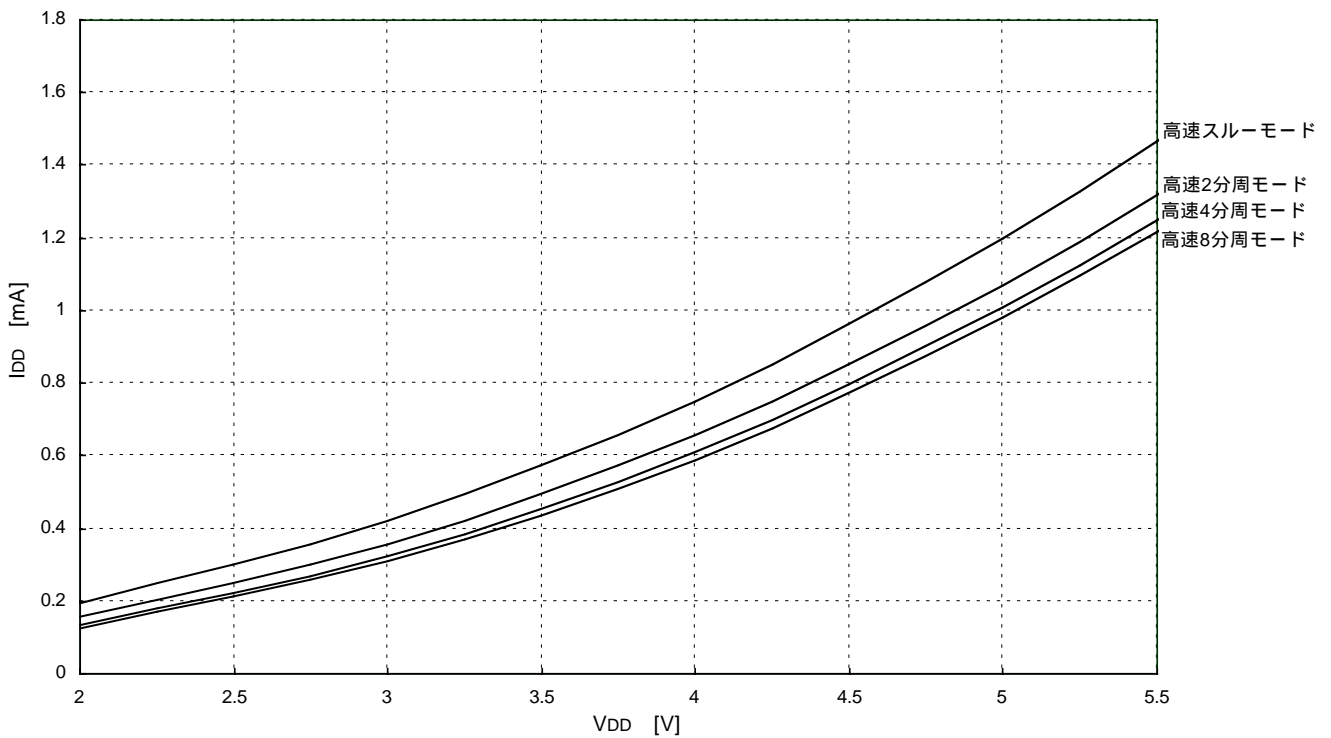
(3) 高速モード(セラミック共振): VDD-IDD

測定条件: $f(X_{IN})=2\text{MHz}$ 、 $f(X_{CIN})=\text{停止}$ 、 $f(\text{RING})=\text{停止}$ 、 $T_a=25$



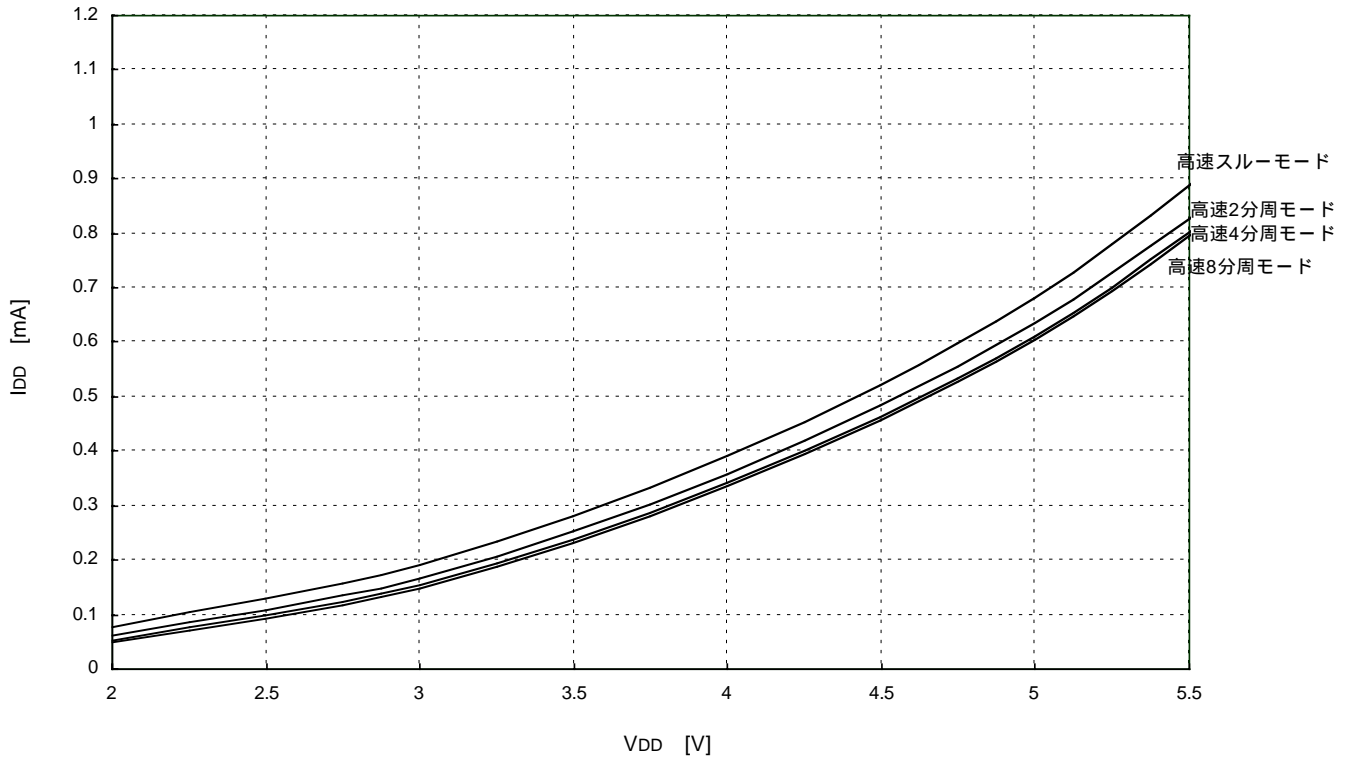
(4) 高速モード(セラミック共振): VDD-IDD

測定条件: $f(X_{IN})=1\text{MHz}$ 、 $f(X_{CIN})=\text{停止}$ 、 $f(\text{RING})=\text{停止}$ 、 $T_a=25$



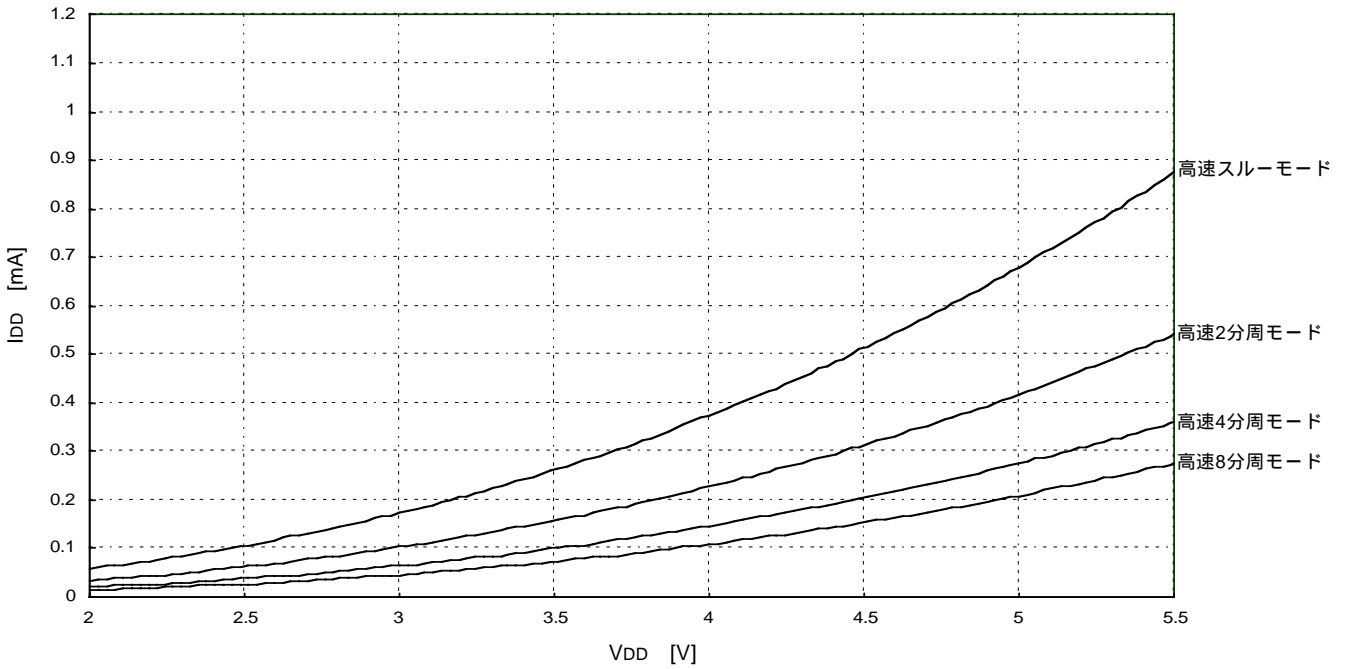
(5) 高速モード(セラミック共振): VDD-IDD

測定条件: $f(X_{IN})=400kHz$ 、 $f(X_{CIN})=停止$ 、 $f(RING)=停止$ 、 $T_a=25$



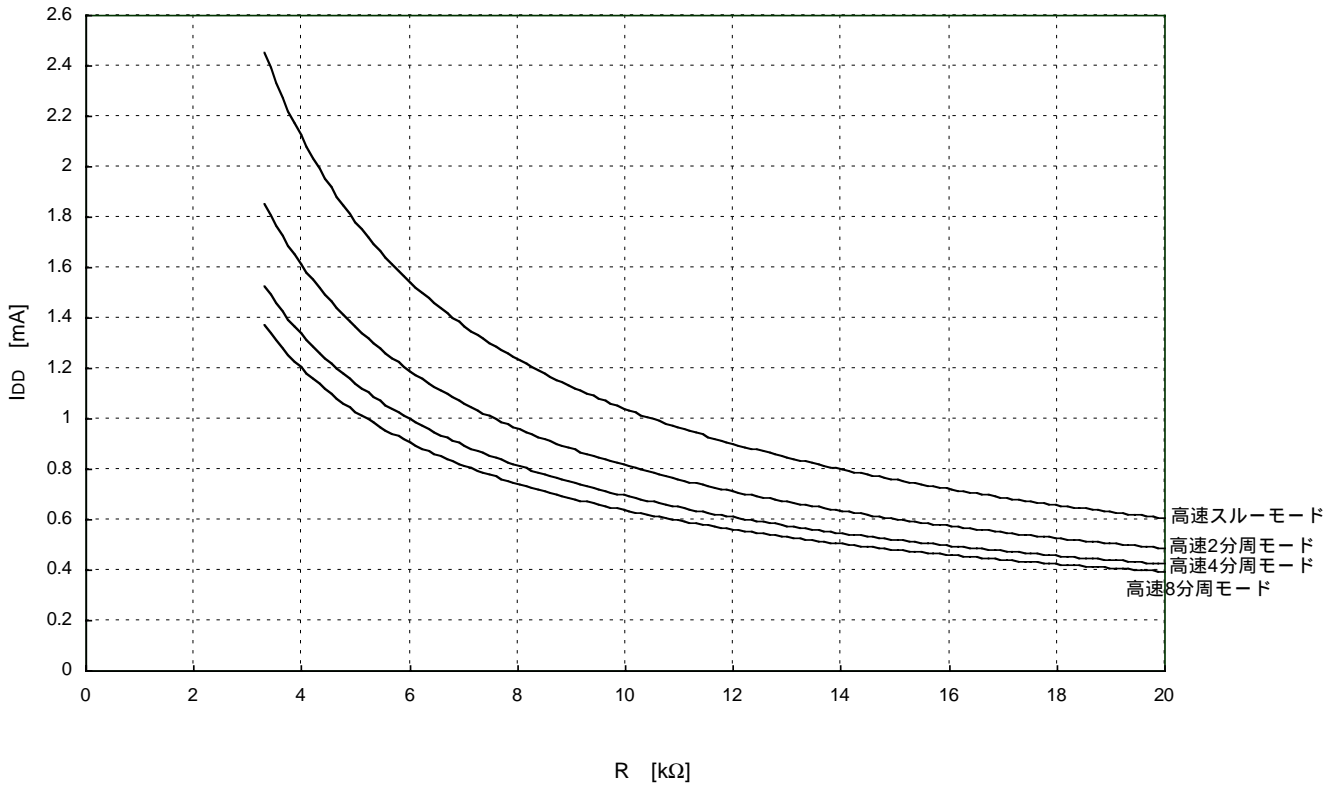
(6) 高速モード(オンチップオシレータ): VDD-IDD

測定条件: $f(X_{IN})=停止$ 、 $f(X_{CIN})=停止$ 、 $T_a=25$



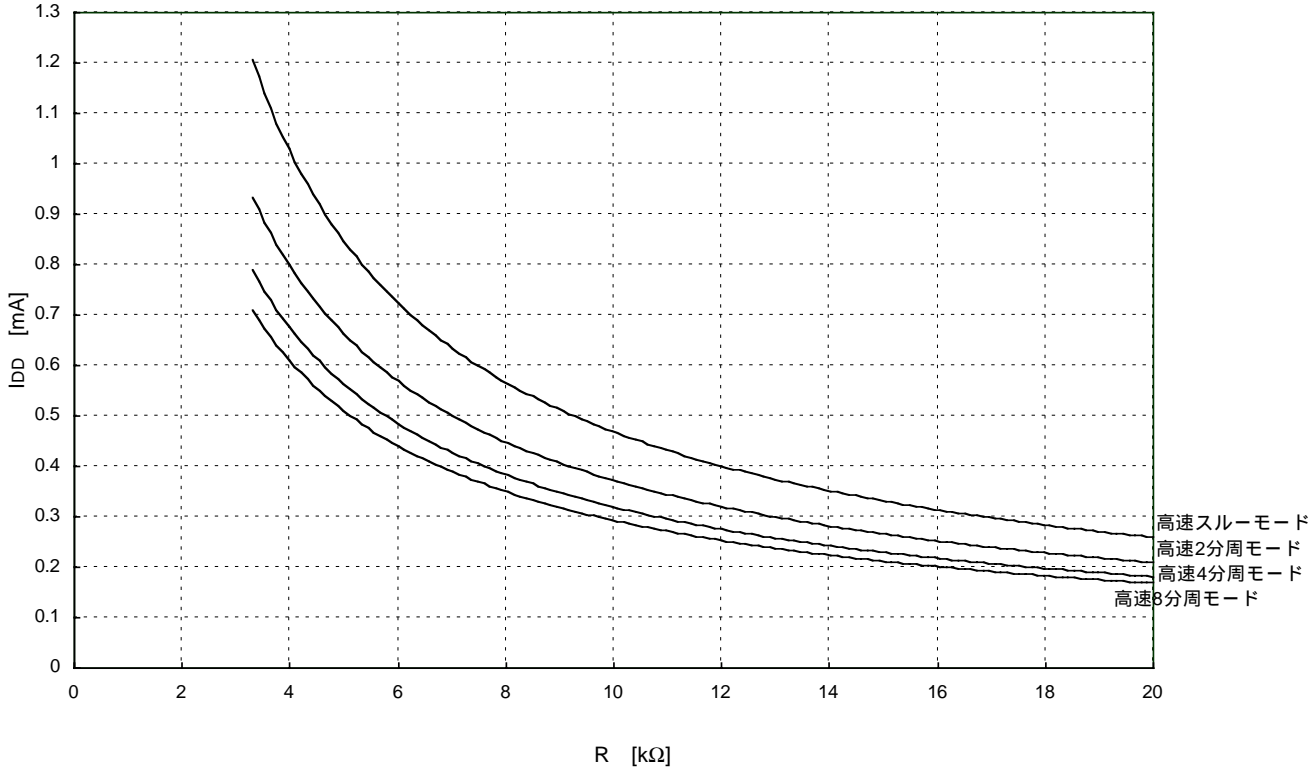
(7) 高速モード(RC発振): R-IDD

測定条件 : $V_{DD}=5.0V$ 、 $f(X_{CIN})=停止$ 、 $f(RING)=停止$ 、 $C=33pF$ 、 $T_a=25$



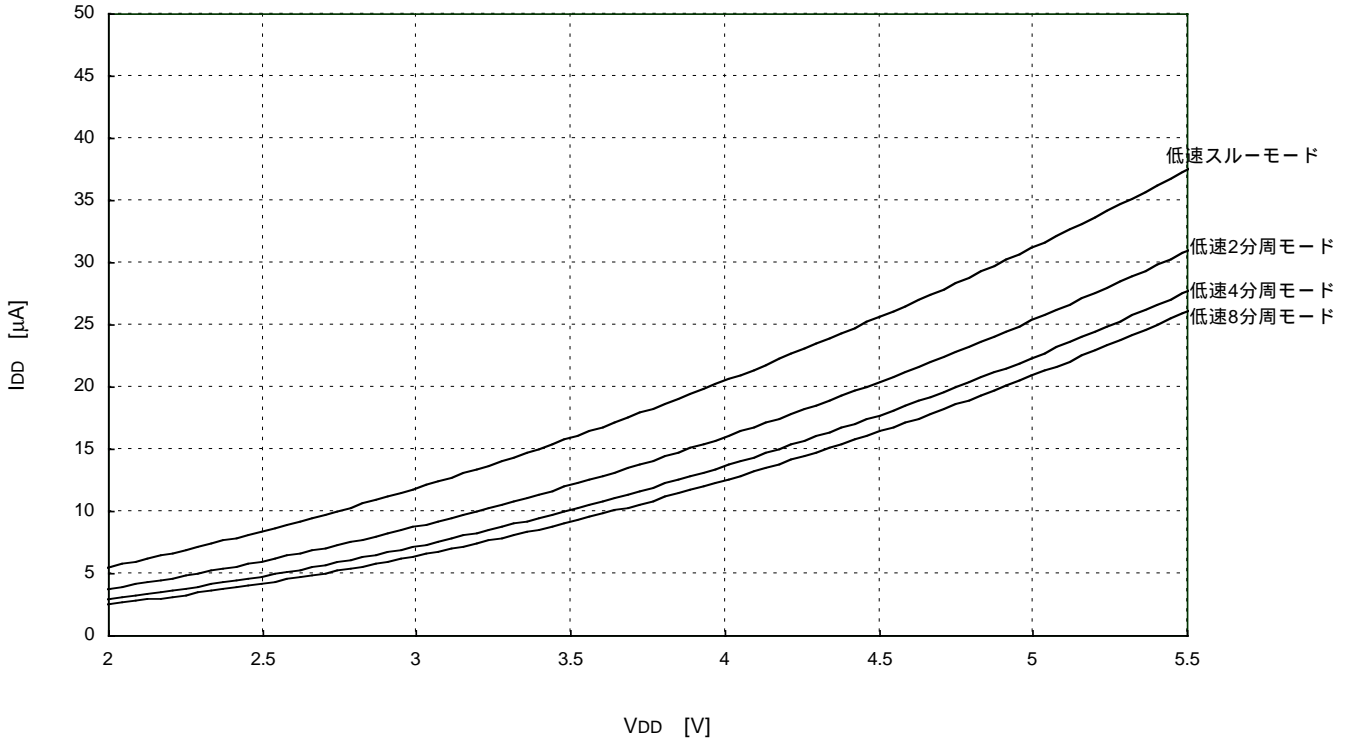
(8) 高速モード(RC発振): R-IDD

測定条件 : $V_{DD}=3.0V$ 、 $f(X_{CIN})=停止$ 、 $f(RING)=停止$ 、 $C=33pF$ 、 $T_a=25$



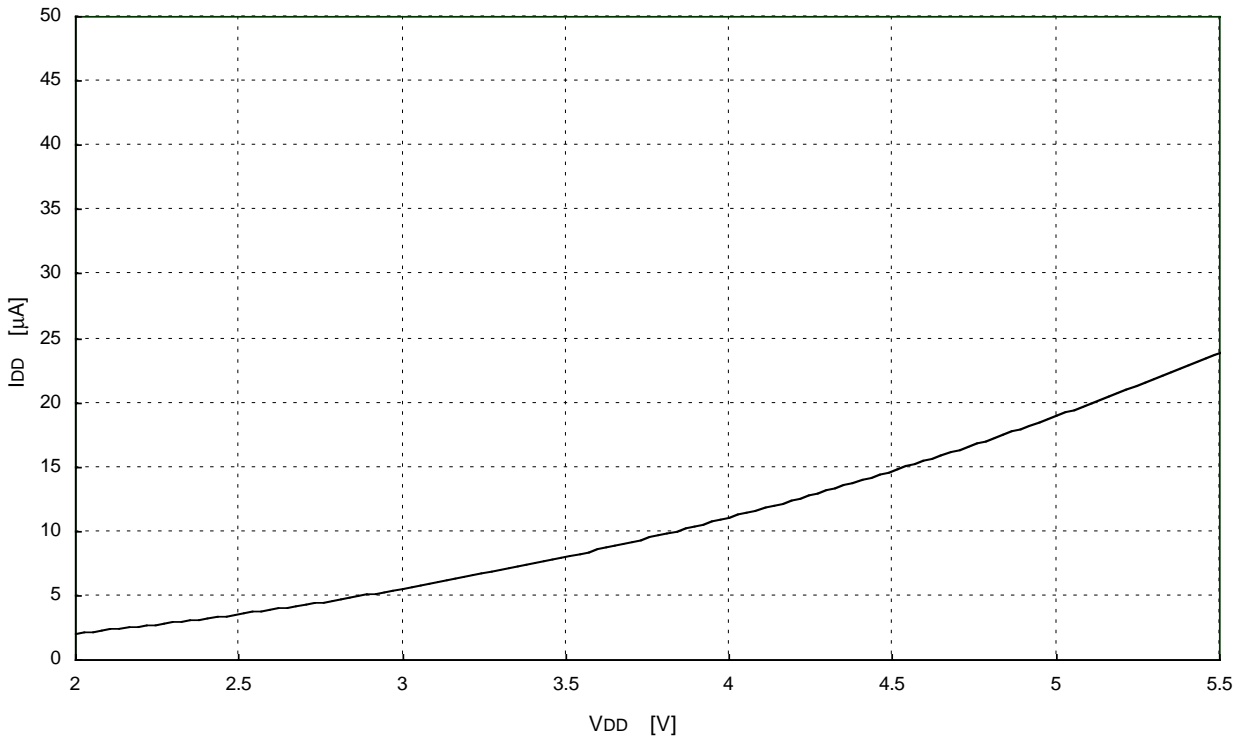
(9) 低速モード(水晶発振): VDD-I_{DD}

測定条件: f(X_{IN})=停止、f(X_{CIN})=32kHz、f(RING)=停止、T_a=25

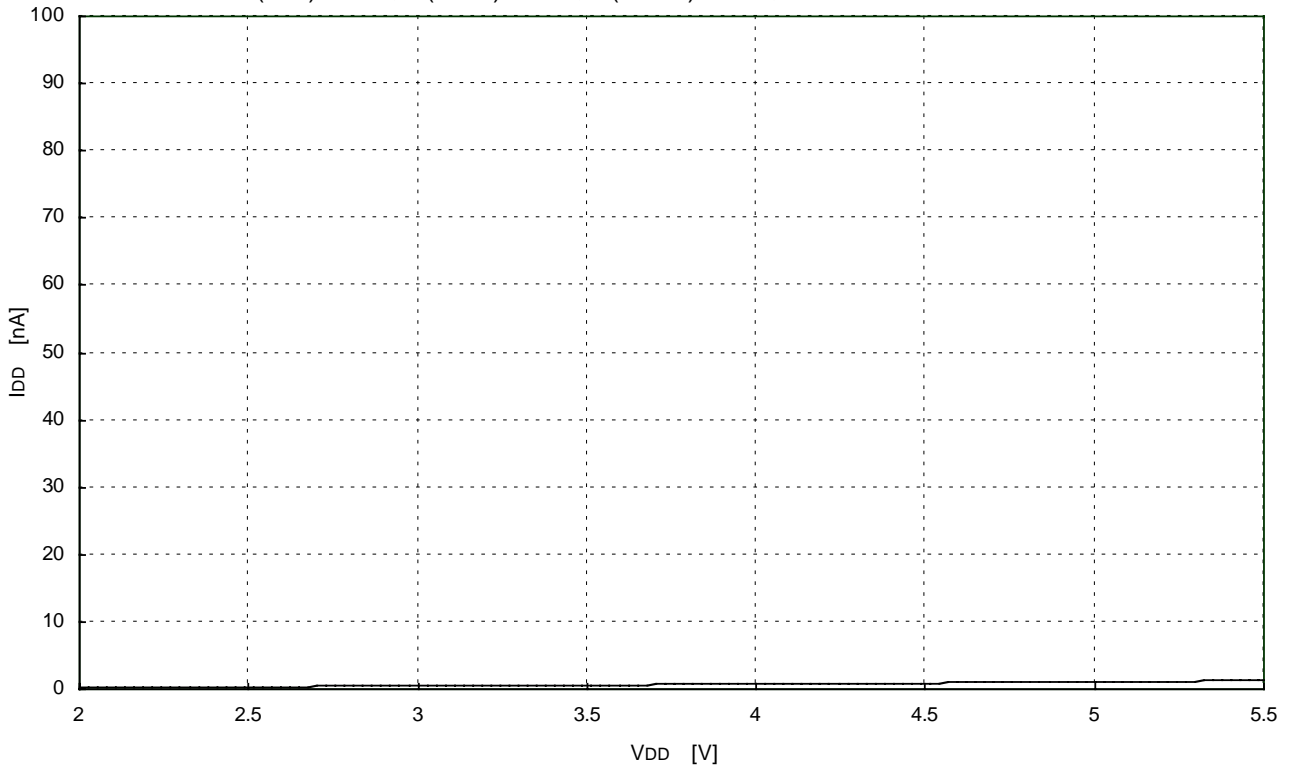


(10) 時計動作モード(POF命令実行時): VDD-I_{DD}

測定条件: f(X_{IN})=停止、f(X_{CIN})=32kHz、f(RING)=停止、T_a=25

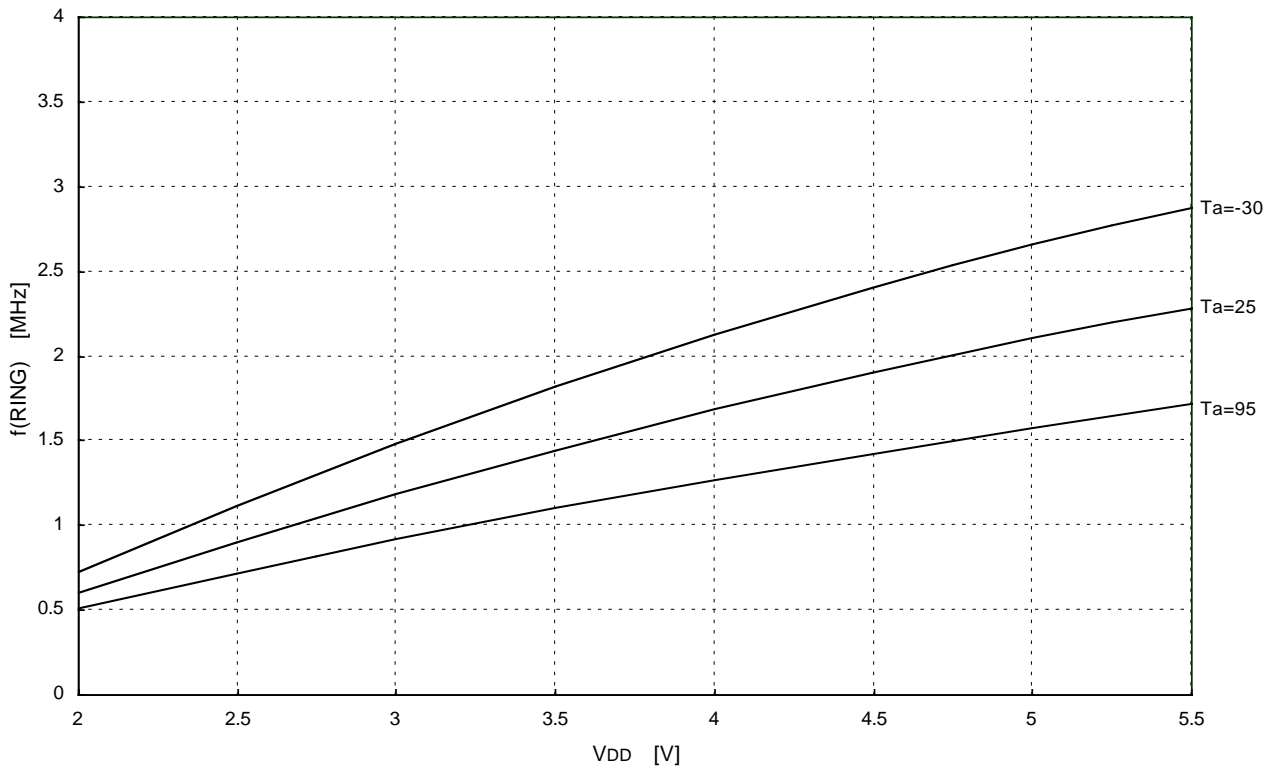


(11) RAMバックアップモード(POF2命令実行時): VDD-IDD

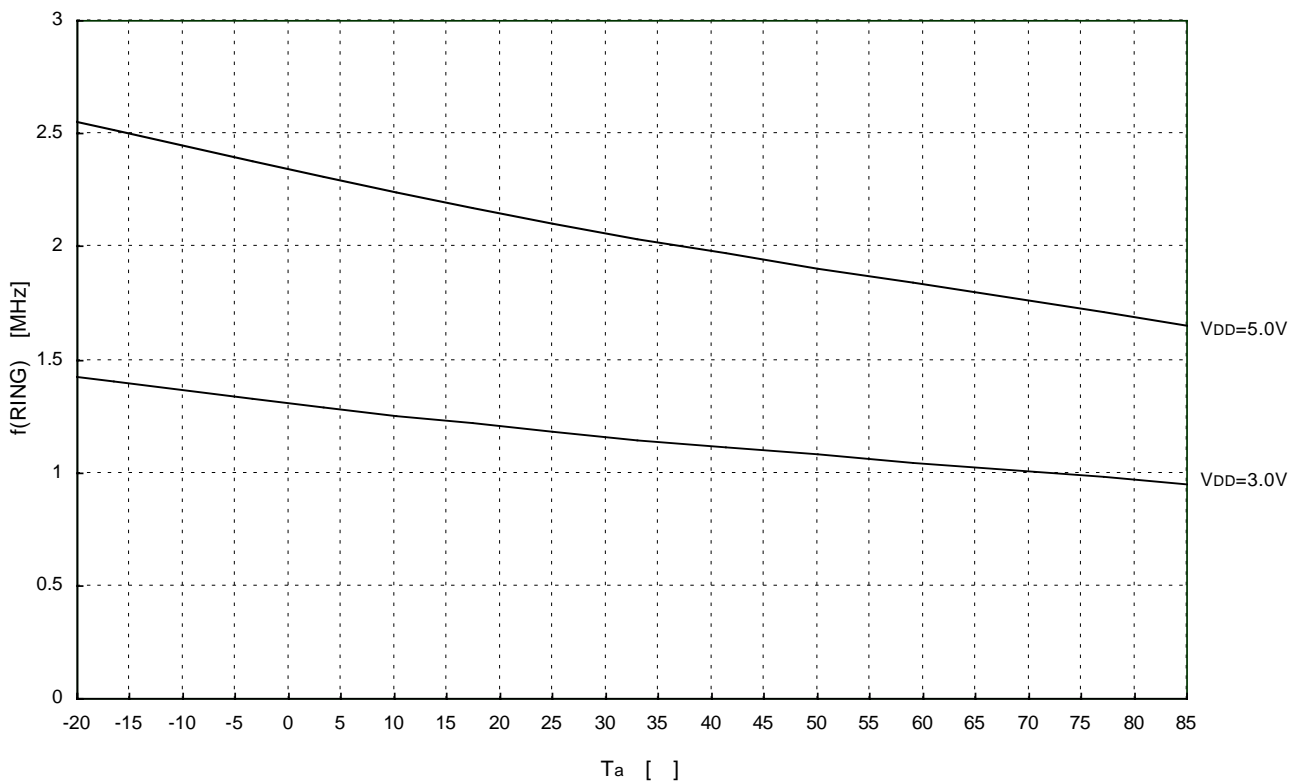
測定条件: $f(XIN)=$ 停止、 $f(XCIN)=$ 停止、 $f(RING)=$ 停止、 $T_a=25$ 

3.2.2 周波数特性

(1) オンチップオシレータ周波数特性 : VDD-f(RING)

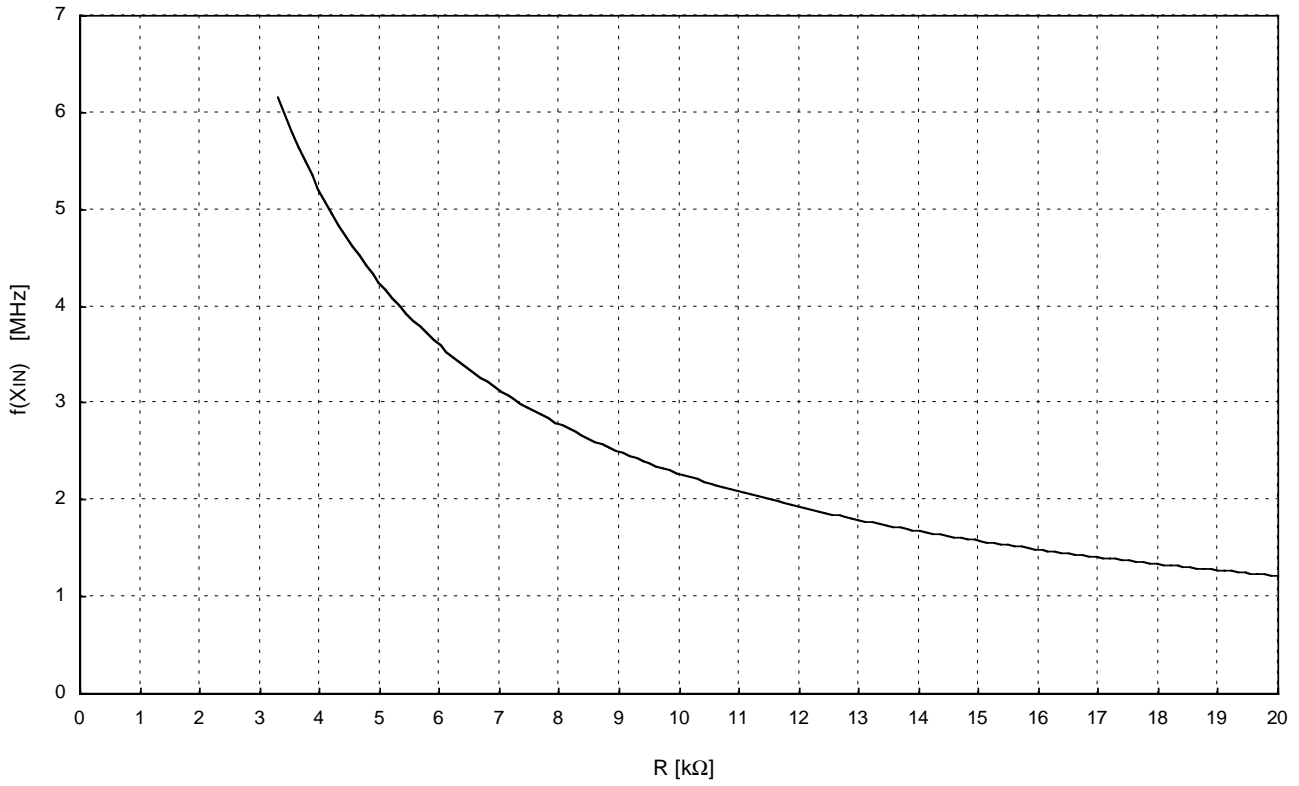


(2) オンチップオシレータ周波数特性 : Ta-f(RING)



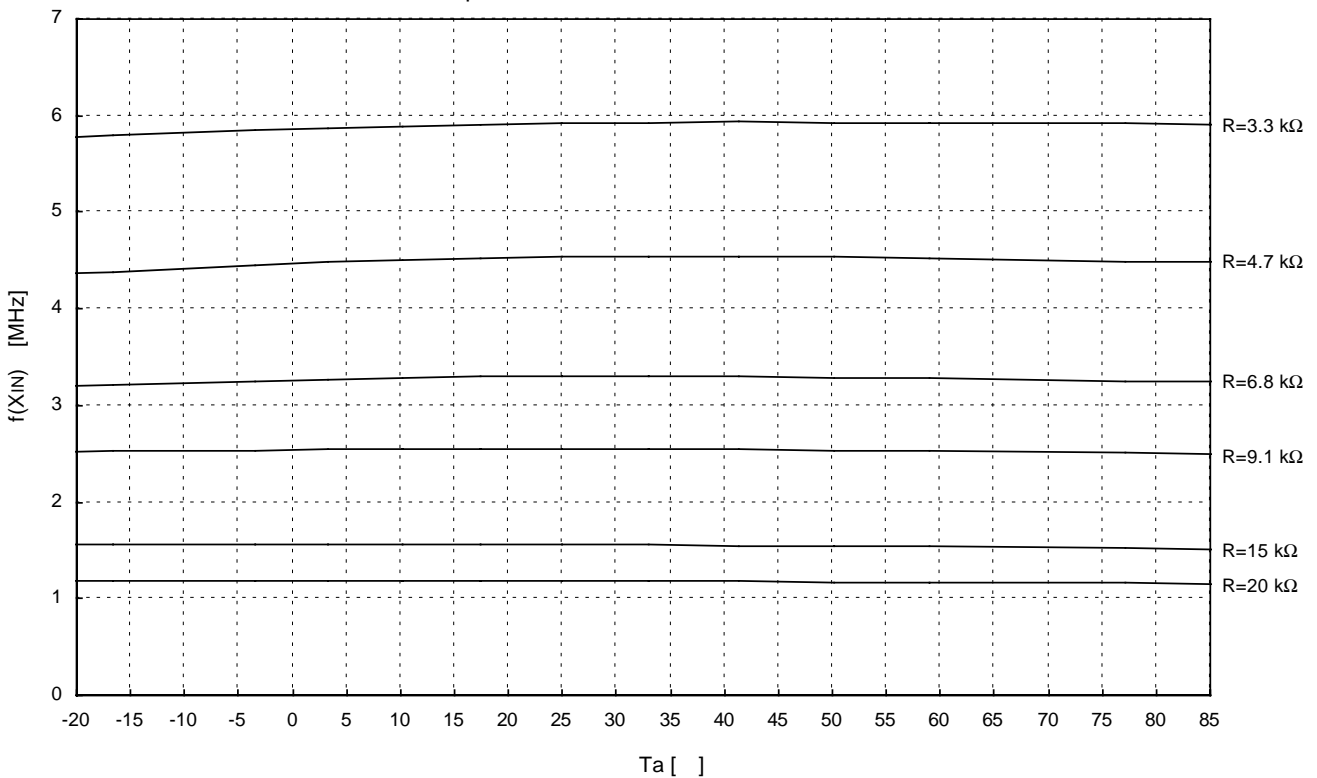
(3) RC発振周波数特性 : R-f(XIN)

測定条件 : VDD=5.0V、C=33pF、Ta=25



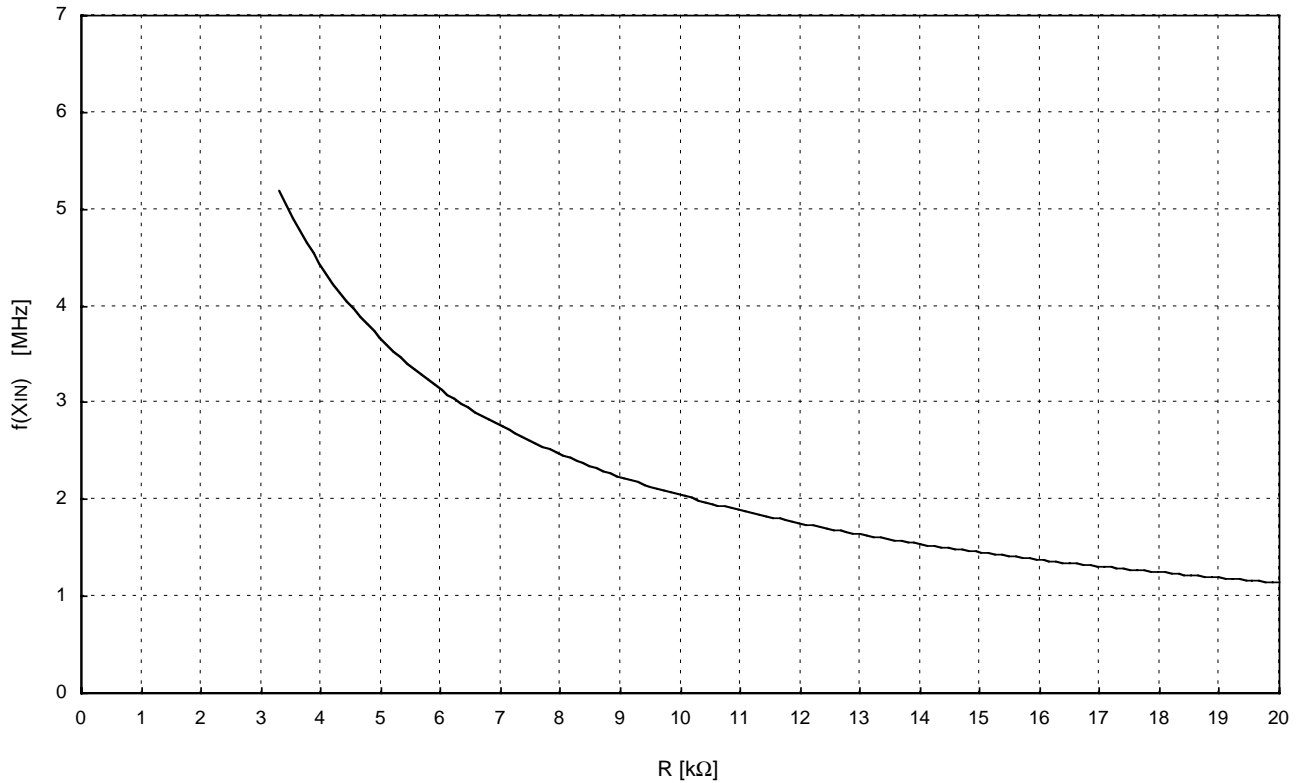
(4) RC発振周波数特性 : Ta-f(XIN)

測定条件 : VDD=5.0V、C=33pF



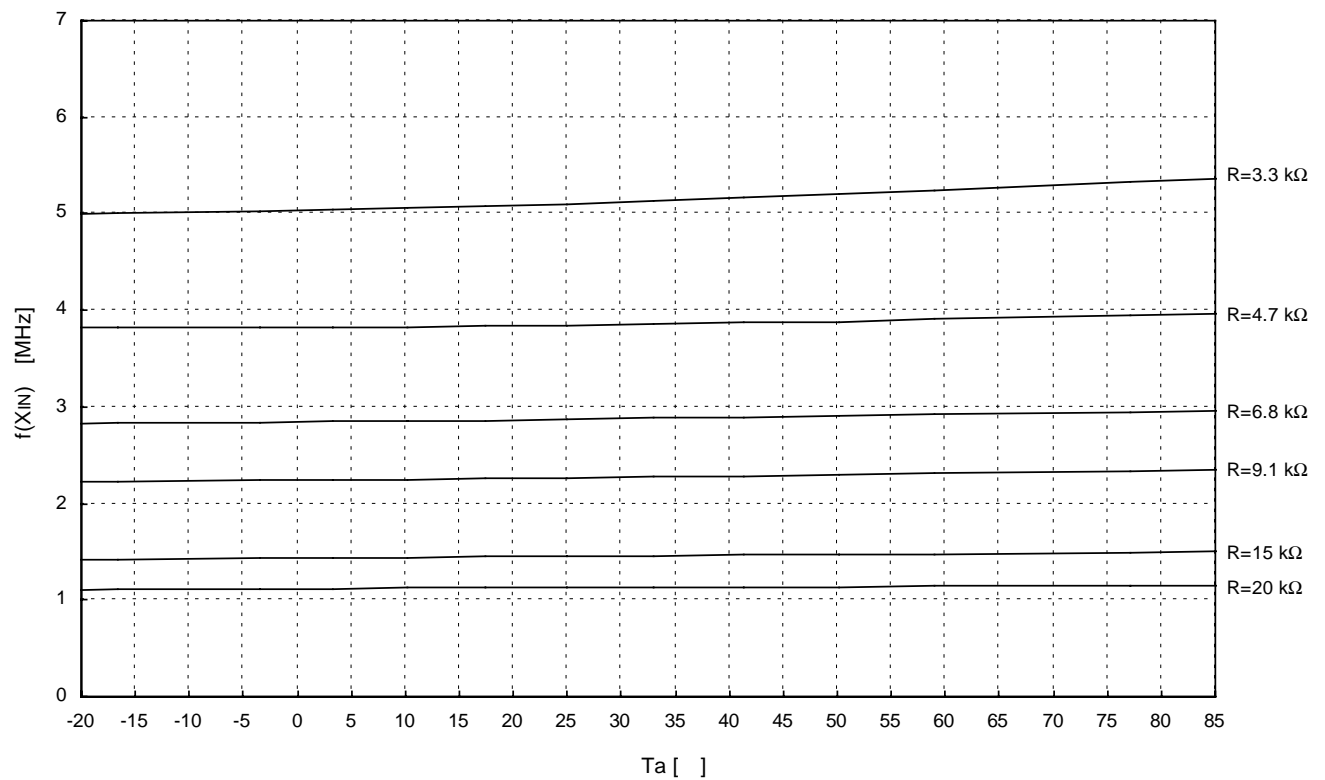
(5) RC発振周波数 : R-f(XIN)

測定条件 : VDD=3.0V、C=33pF、Ta=25



(6) RC発振周波数特性 : Ta-f(XIN)

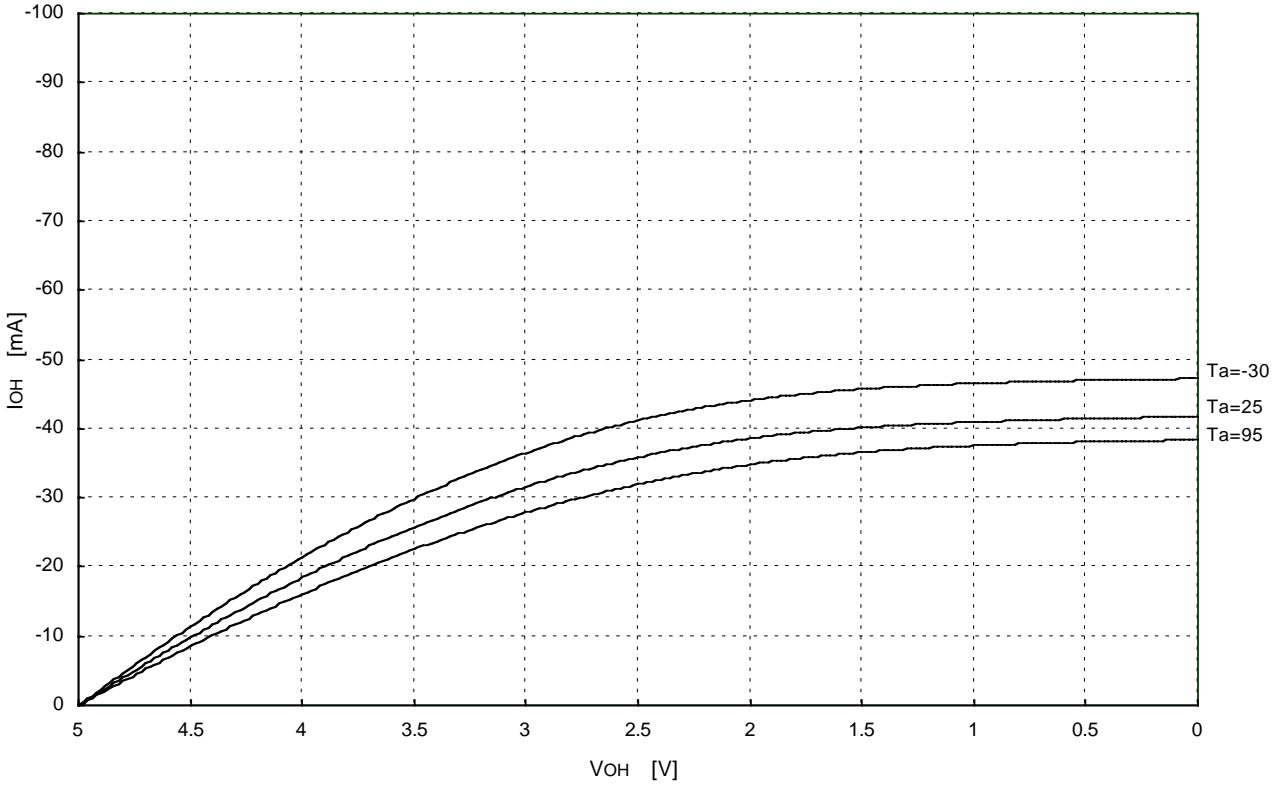
測定条件 : VDD=3.0V、C=33pF



3.2.3 ポート標準特性例(V_{DD}=5.0V)

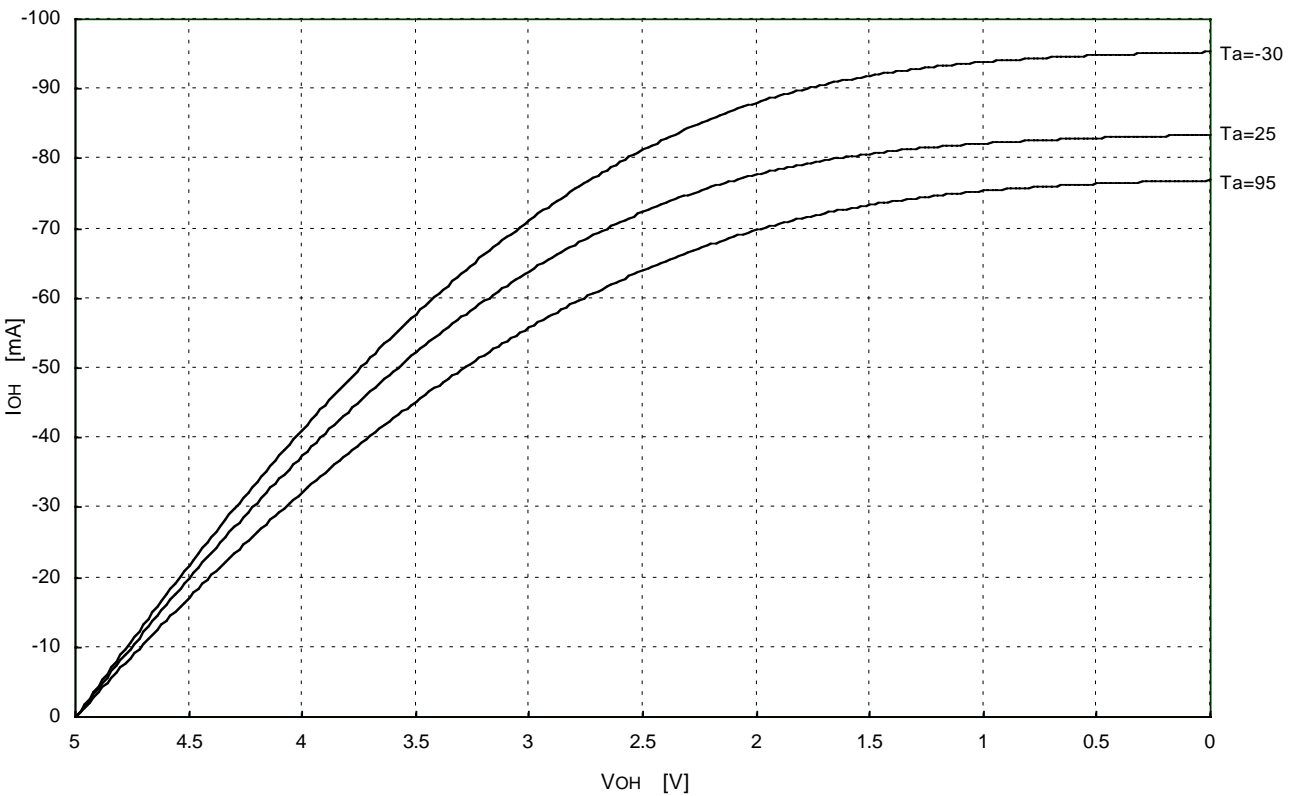
(1) P0、P1、P4、D0 ~ D6 : V_{OH}-I_{OH}

測定条件 : V_{DD}=5.0V



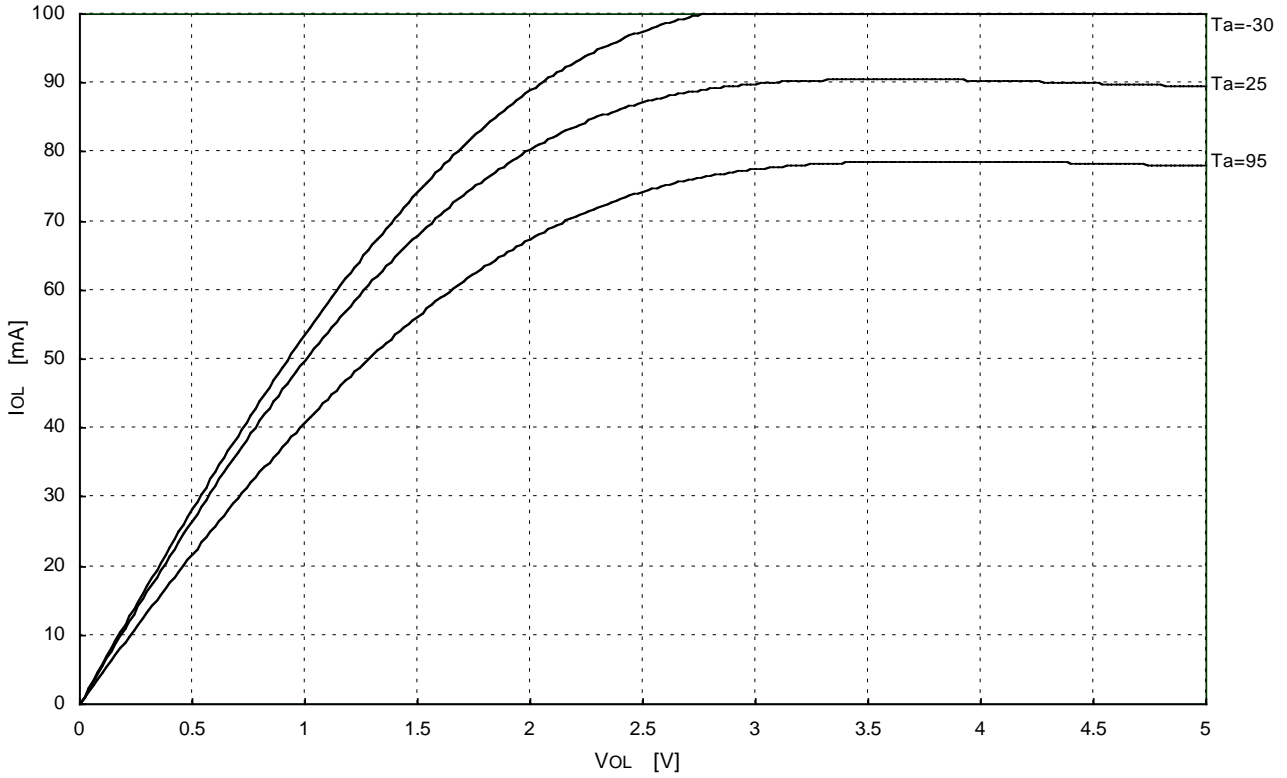
(2) D7、C : V_{OH}-I_{OH}

測定条件 : V_{DD}=5.0V



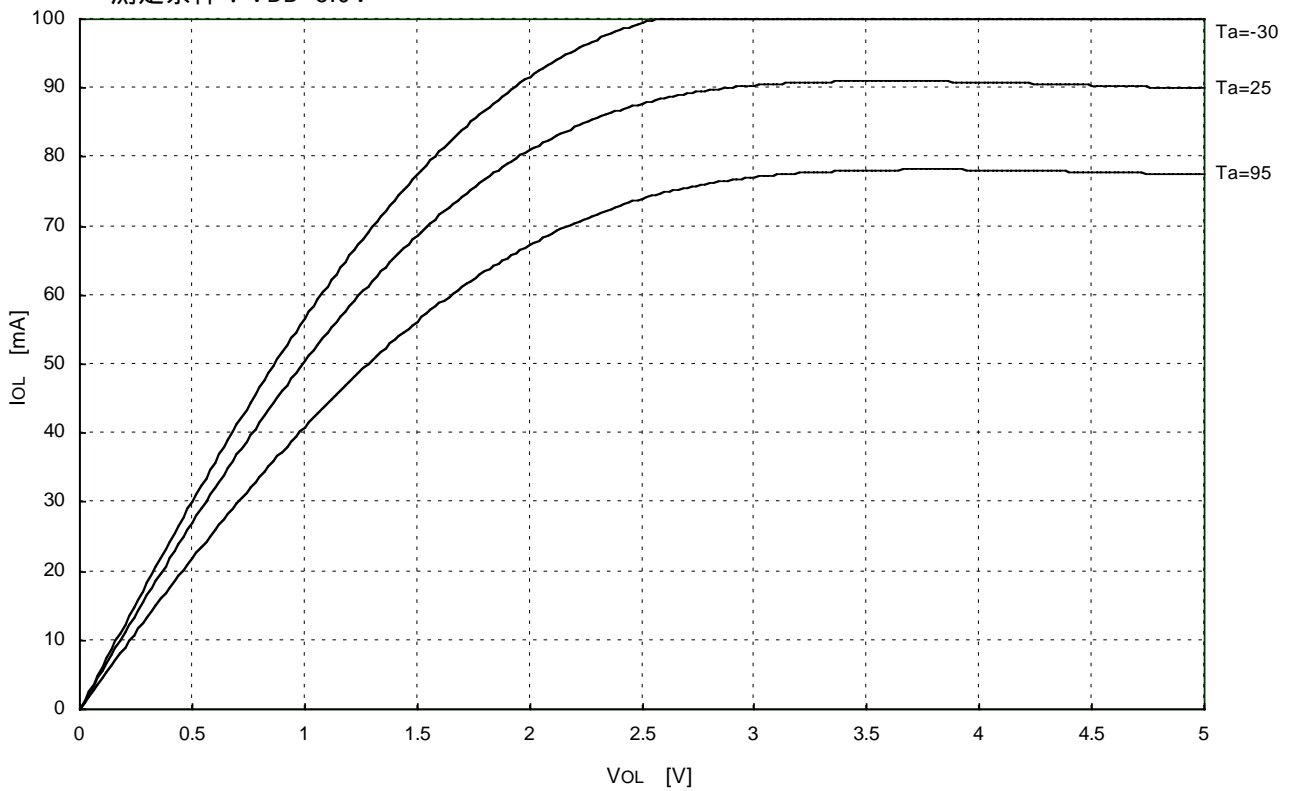
(3) P0、P1、P4 : VOL-IOL

測定条件 : VDD=5.0V



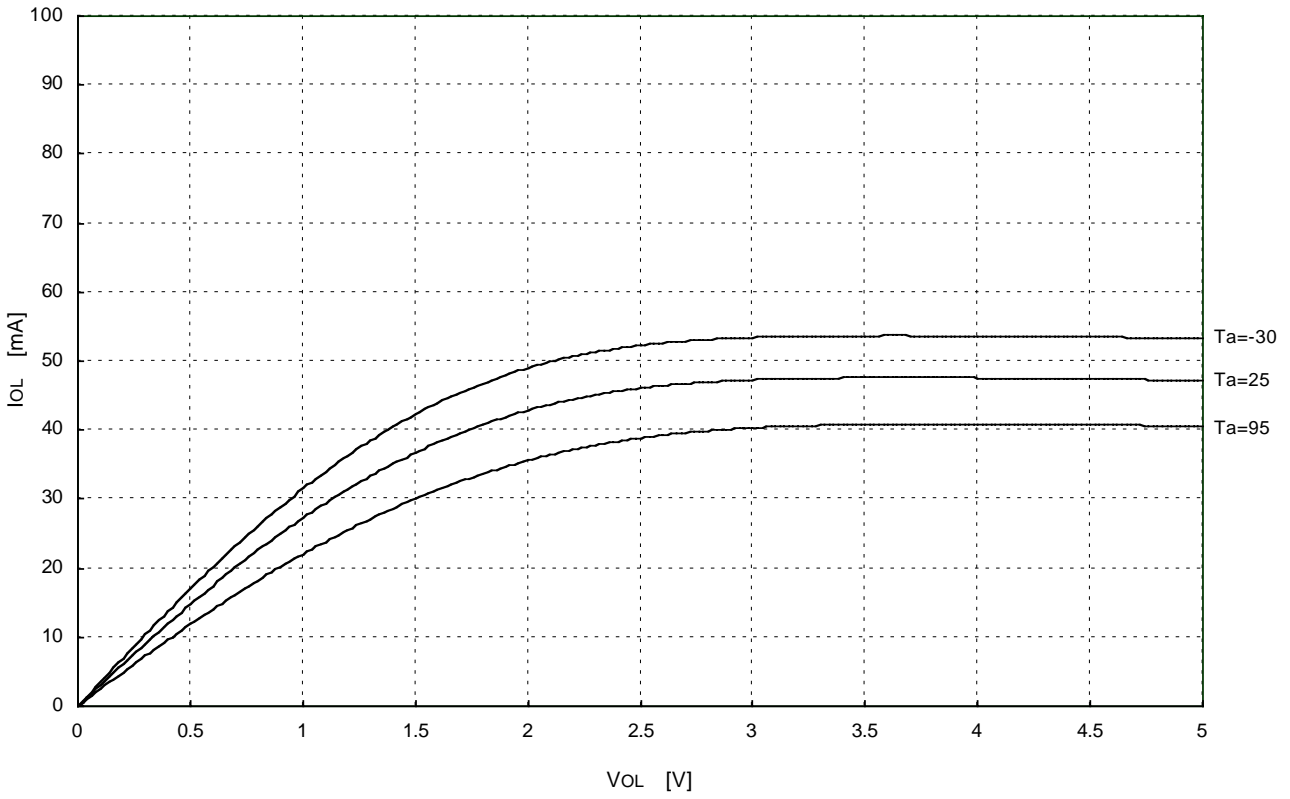
(4) D0 ~ D9、C : VOL-IOL

測定条件 : VDD=5.0V



(5) P2、P3、 $\overline{\text{RESET}}$: VoL-IoL

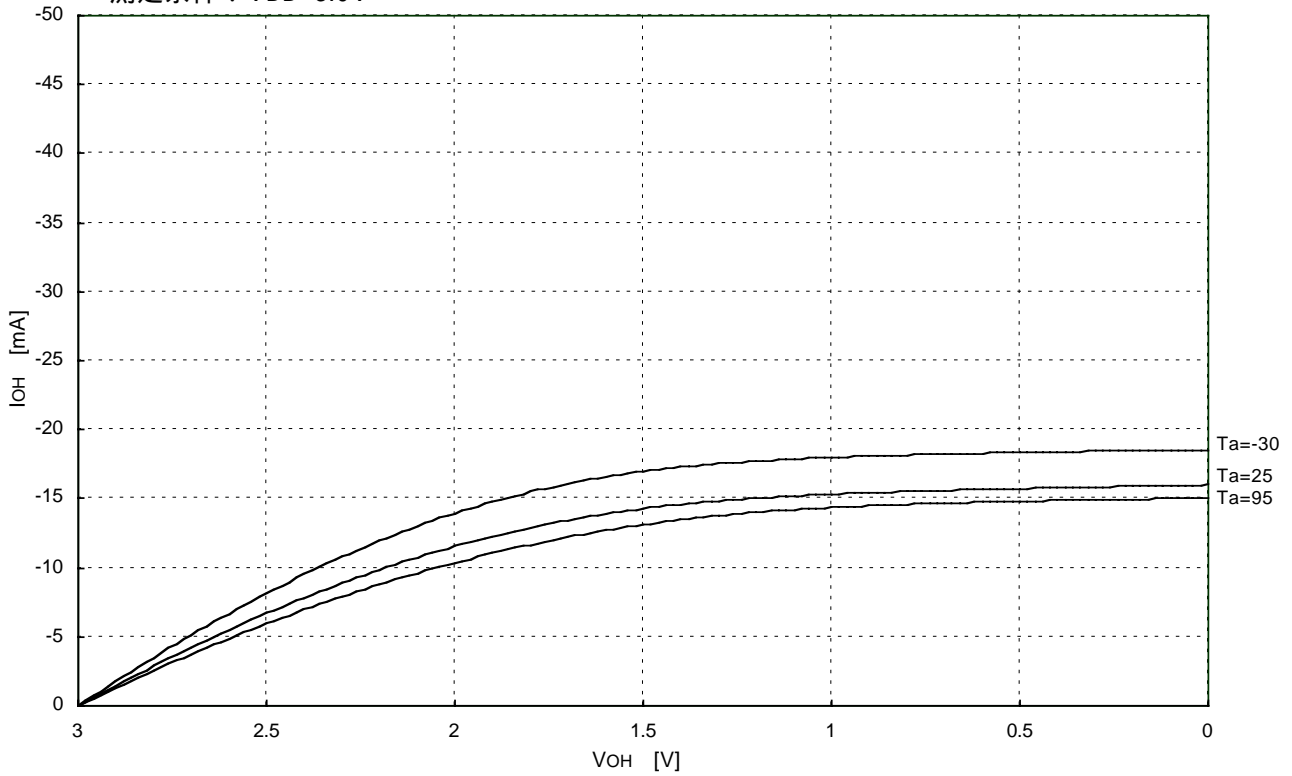
測定条件 : V_{DD}=5.0V



3.2.4 ポート標準特性例(V_{DD}=3.0V)

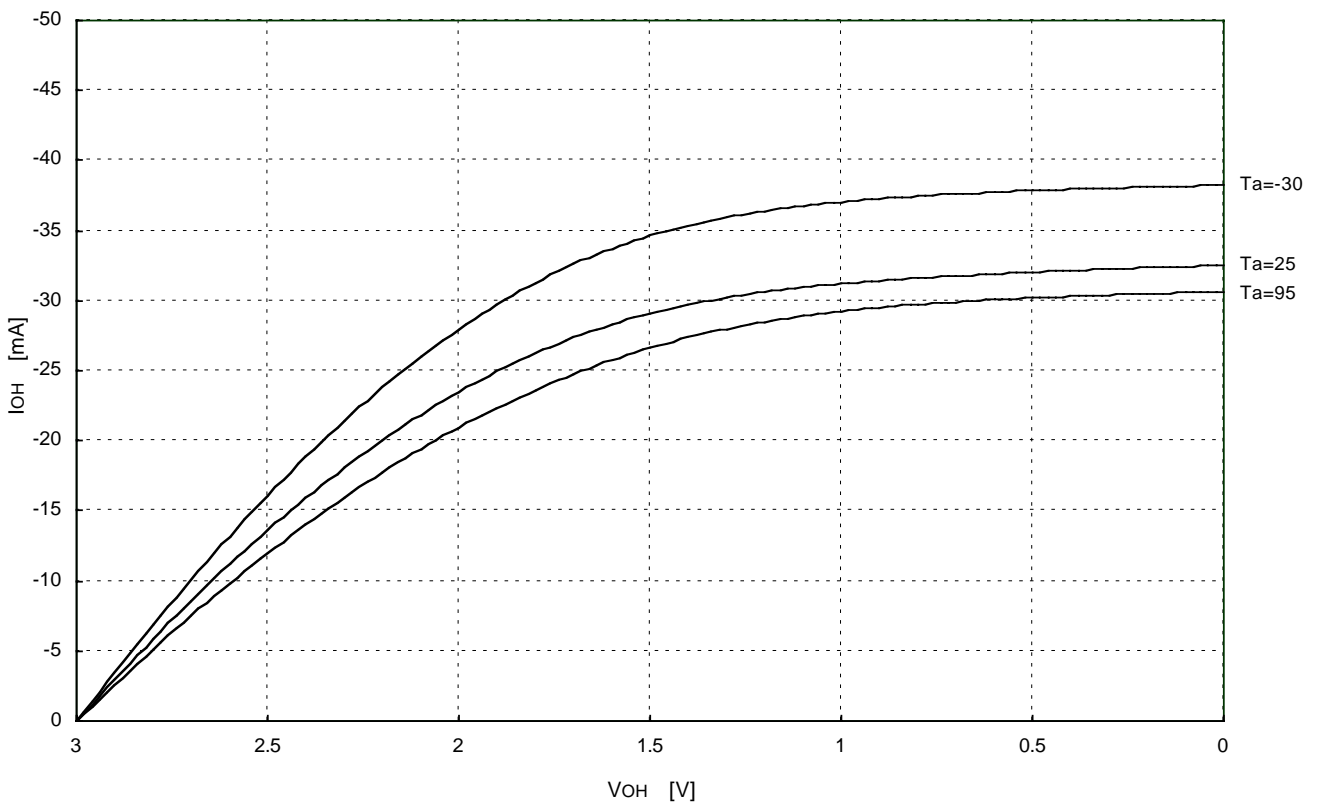
(1) P0、P1、P4、D0 ~ D6 : V_{OH}-I_{OH}

測定条件 : V_{DD}=3.0V



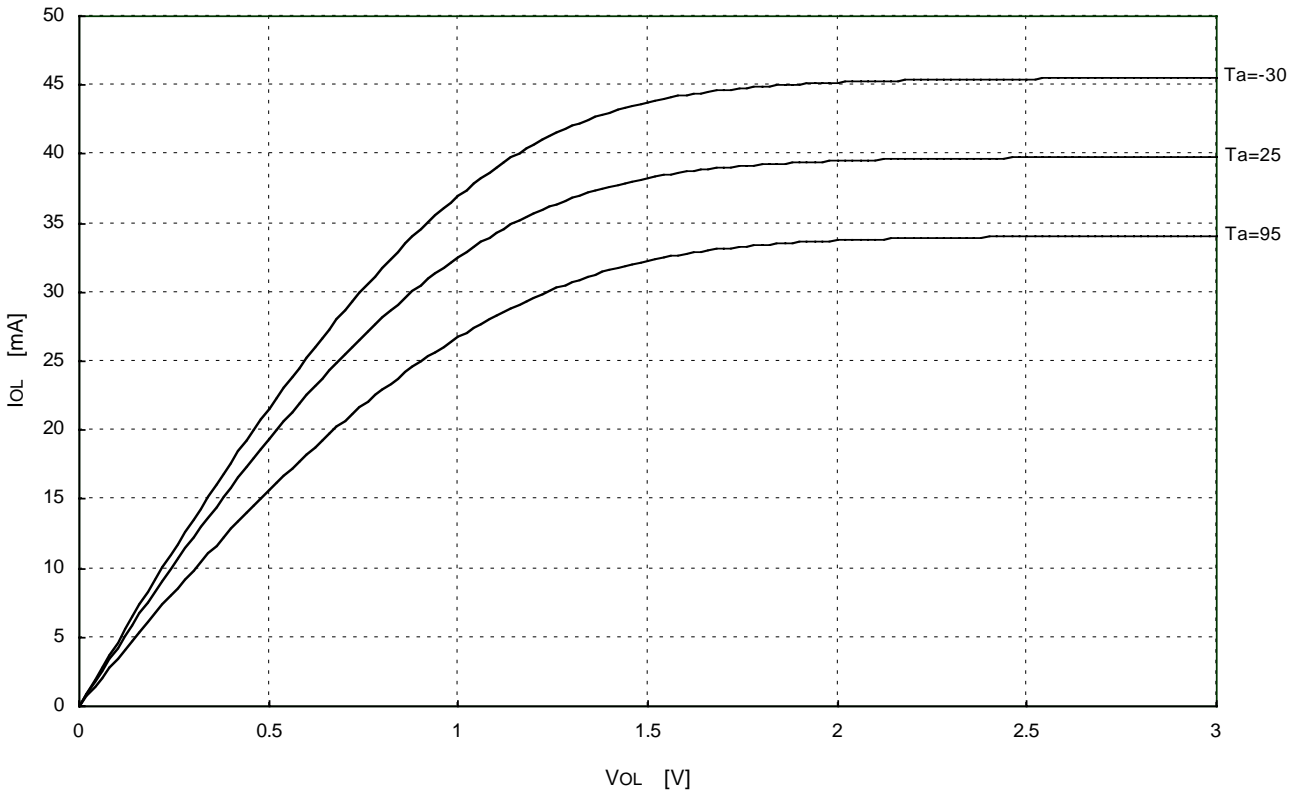
(2) D7、C : V_{OH}-I_{OH}

測定条件 : V_{DD}=3.0V



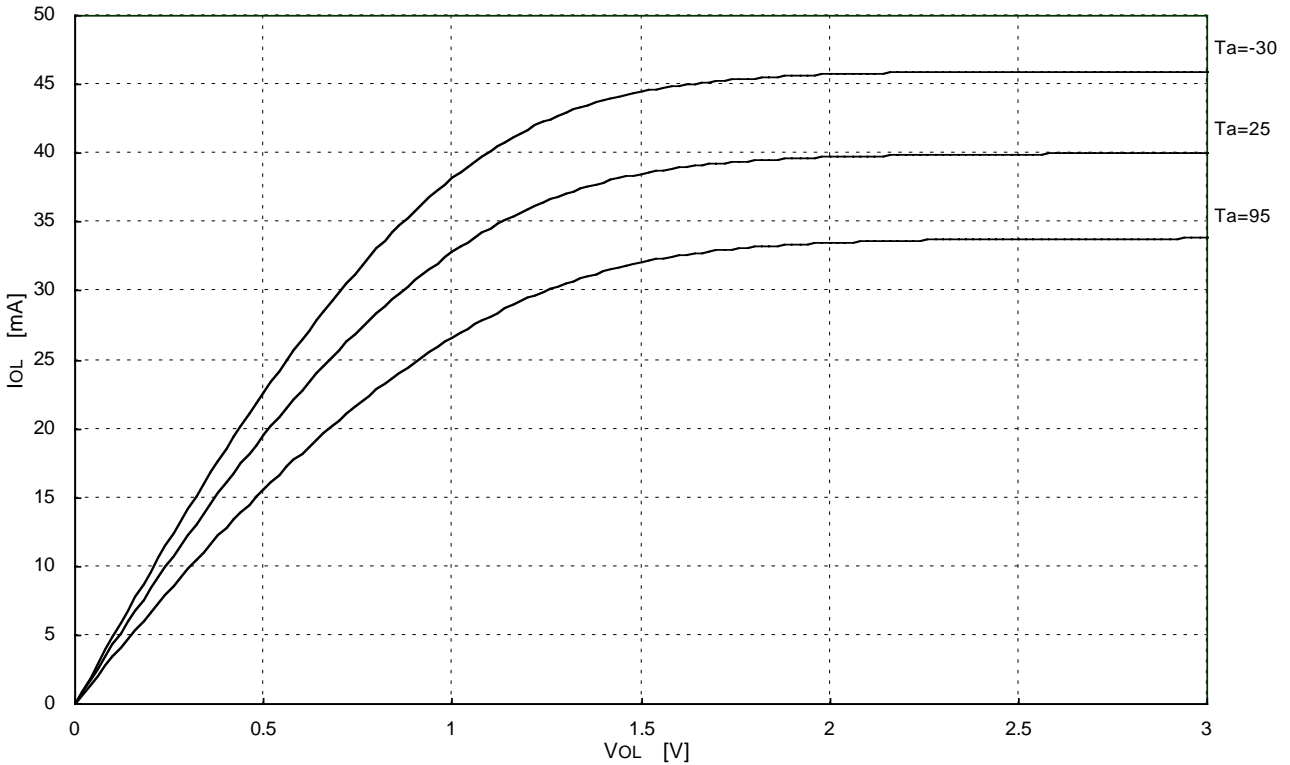
(3) P0、P1、P4 : VOL-IOL

測定条件 : VDD=3.0V



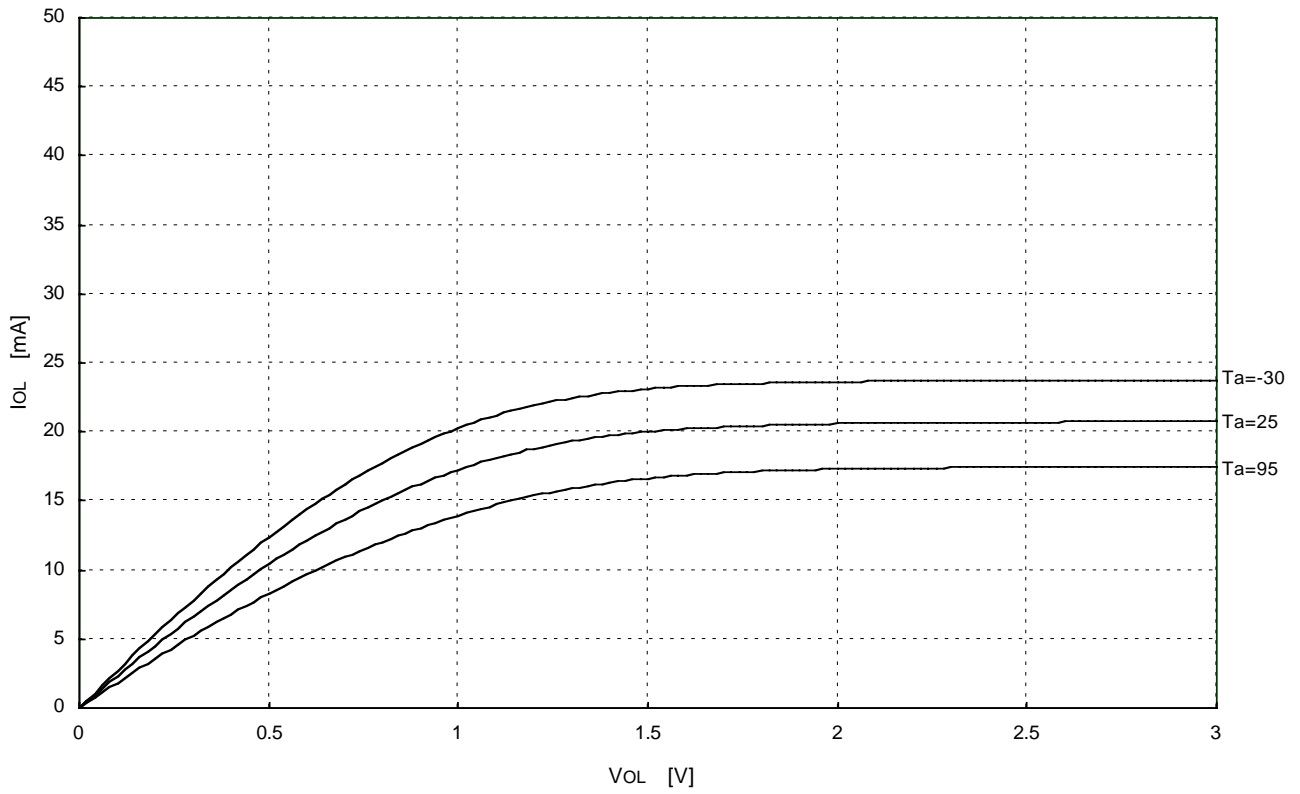
(4) D0 ~ D9, C : VOL-IOL

測定条件 : VDD=3.0V

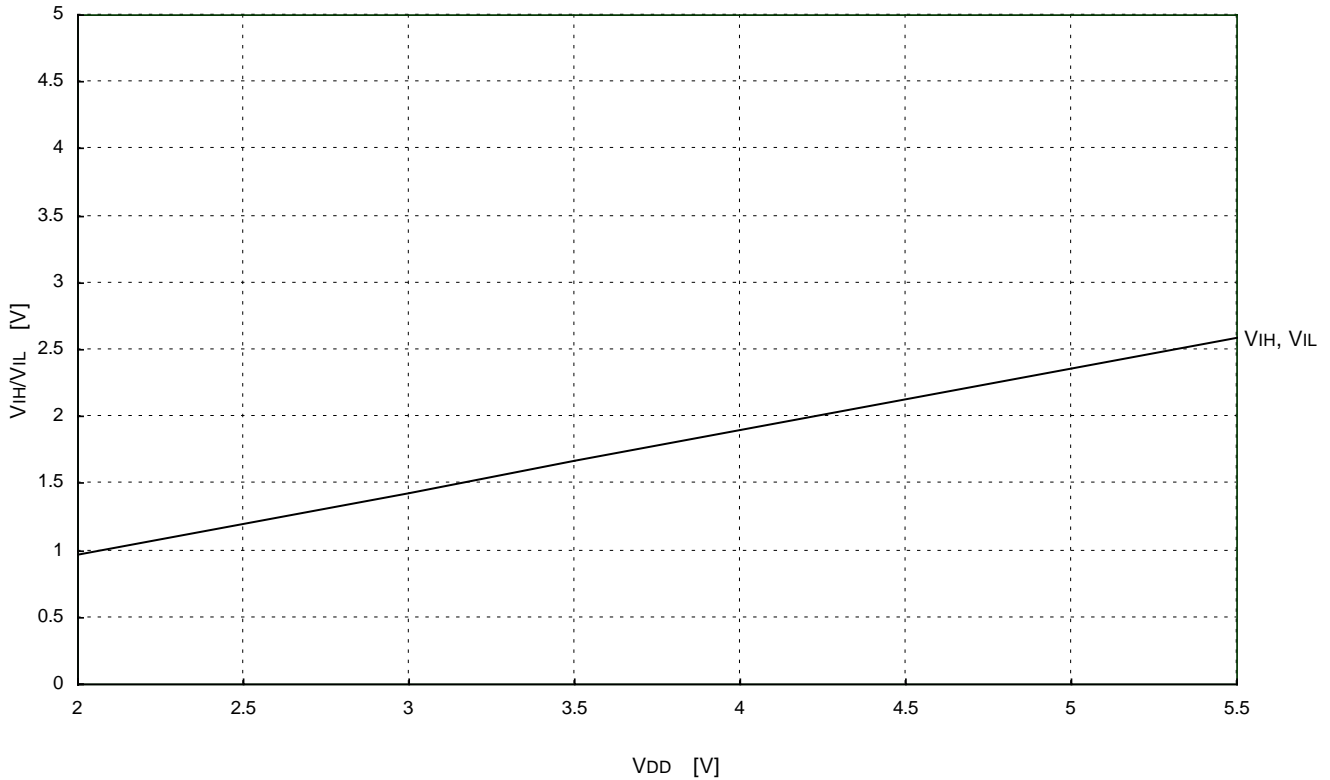
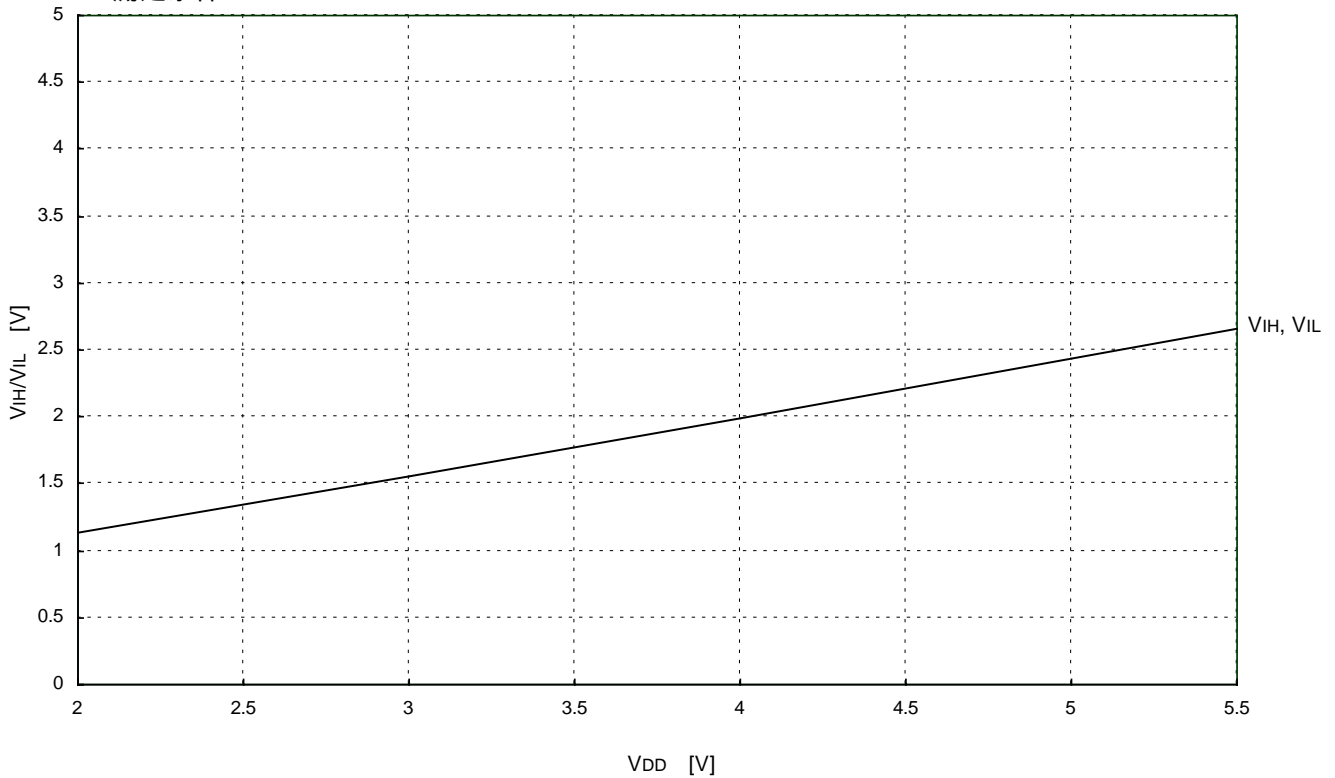


(5) P2、P3、 $\overline{\text{RESET}}$: VoL-IoL

測定条件 : VDD=3.0

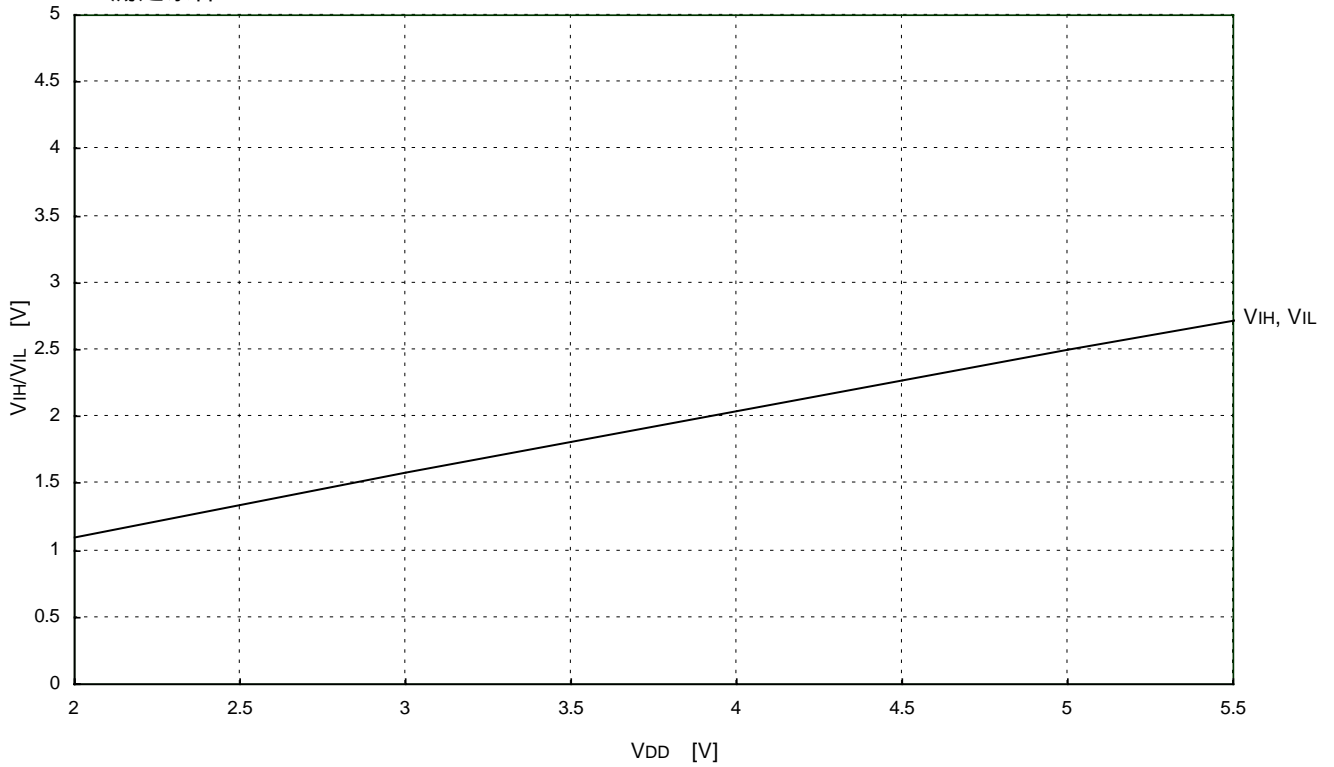


3.2.5 入力しきい値特性例

(1) ポートP0~P4、D0~D7、VDCE : VDD-V_{IH}、VDD-V_{IL}測定条件 : T_a=25(2) XIN : VDD-V_{IH}、VDD-V_{IL}測定条件 : T_a=25

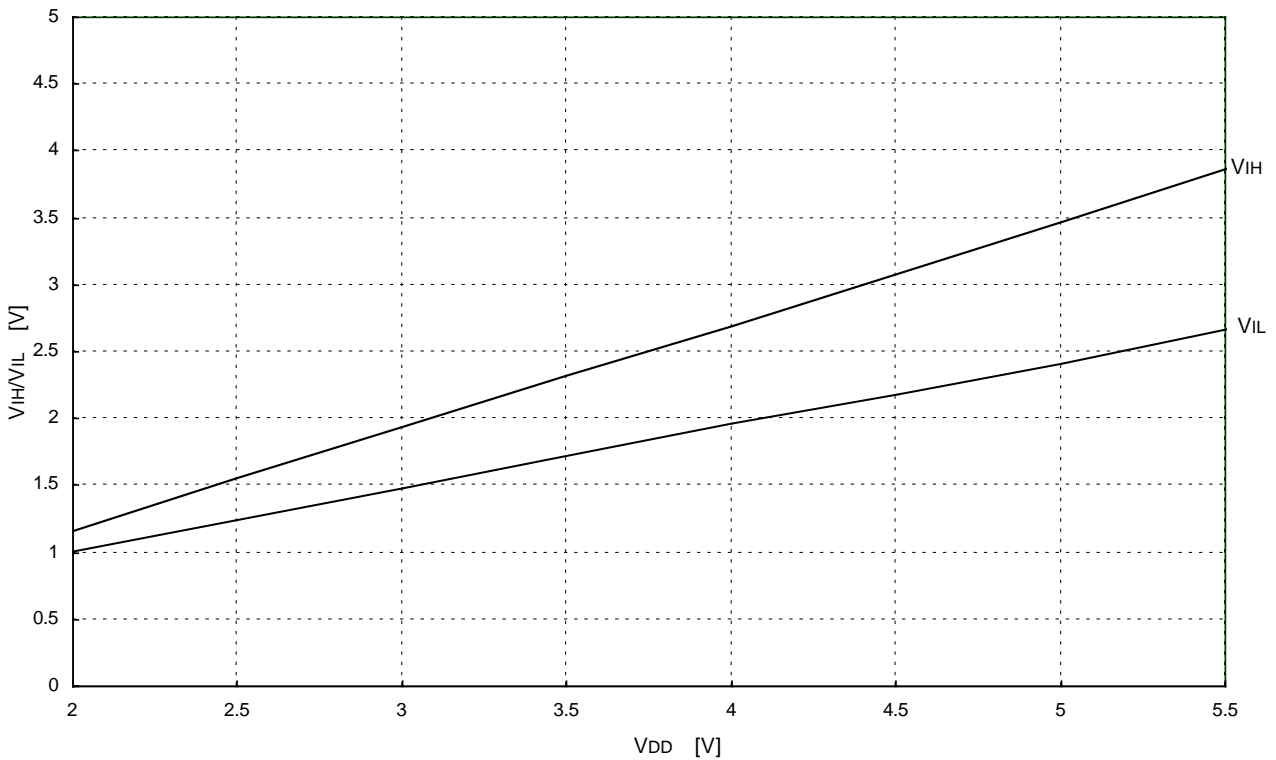
(3) XCIN : VDD-V_{IH}、VDD-V_{IL}

測定条件 : Ta=25



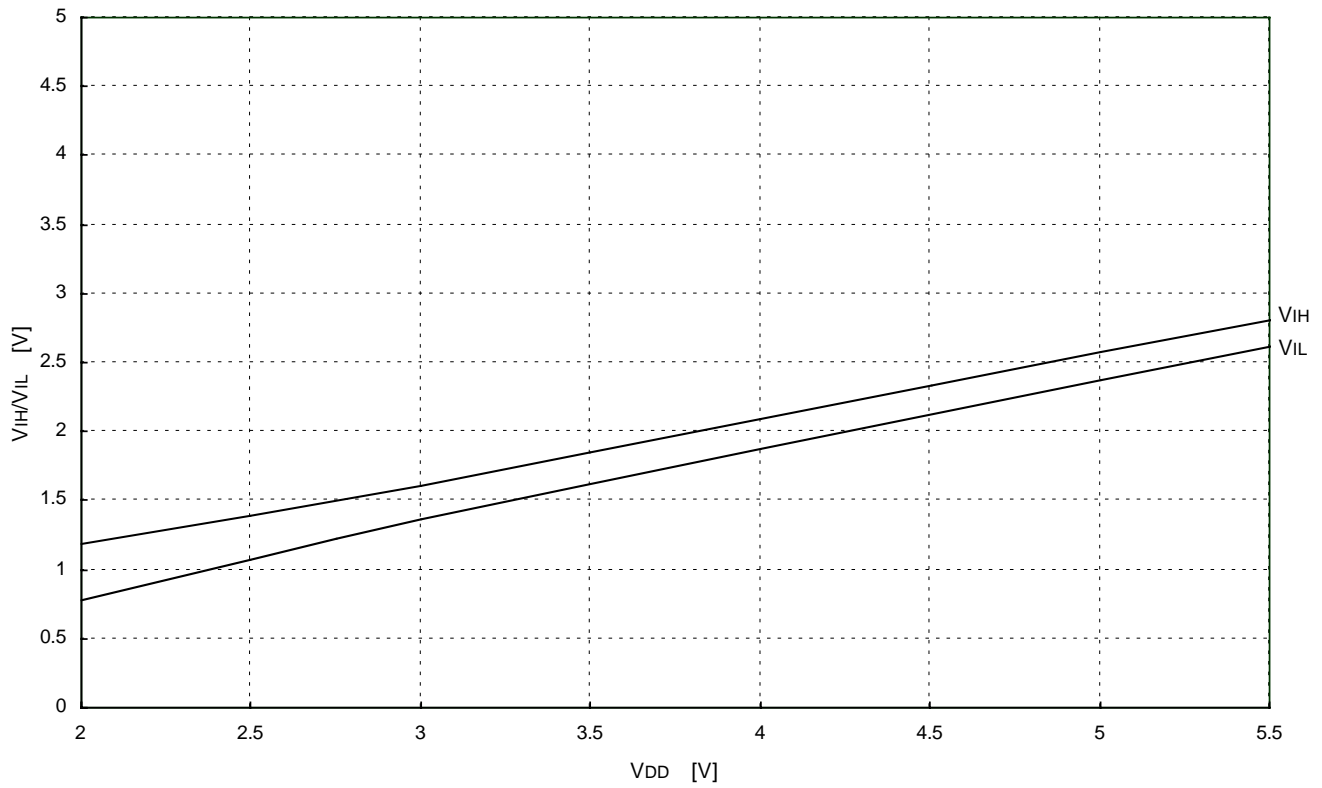
(4) RESET : VDD-V_{IH}、VDD-V_{IL}

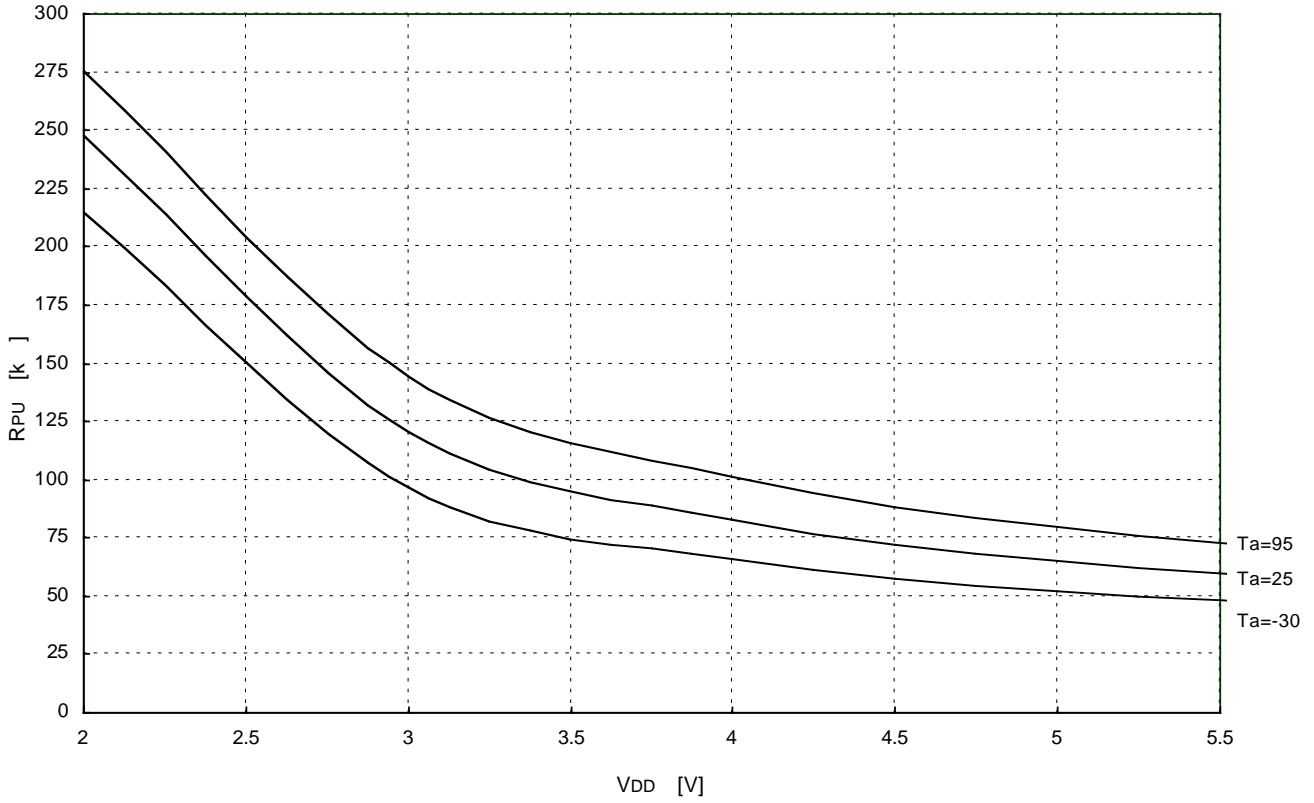
測定条件 : Ta=25



(5) SCK、SIN、CNTR0、CNTR1、INT0、INT1 : VDD-V_{IH}、VDD-V_{IL}

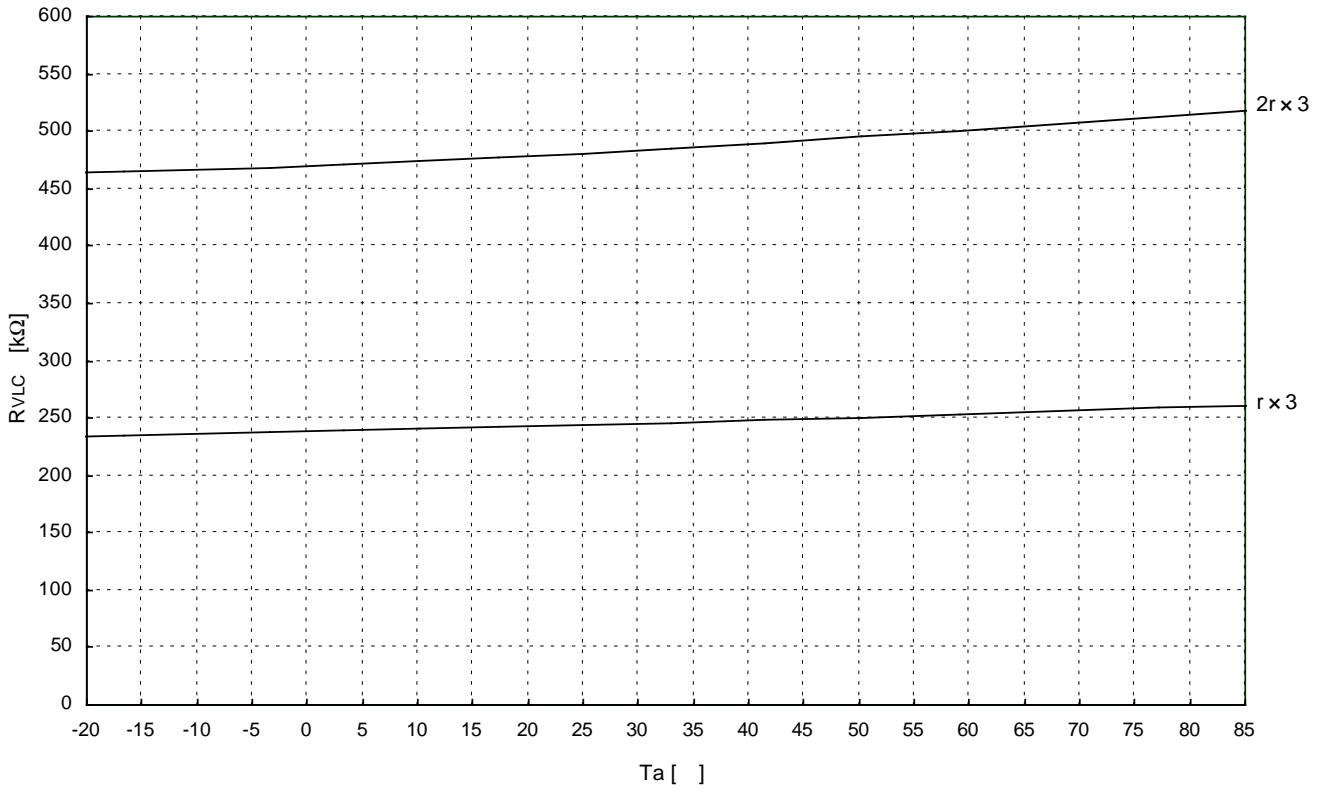
測定条件 : T_a=25



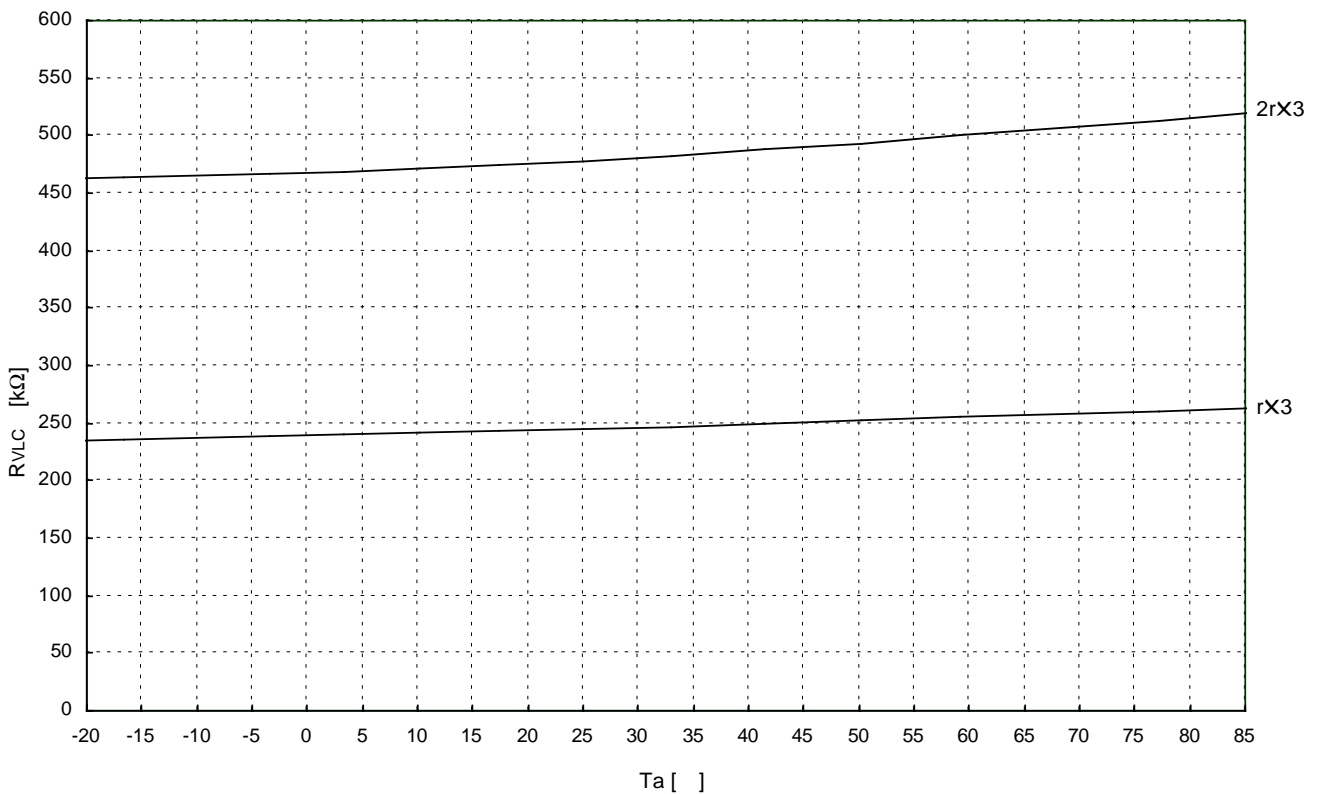
3.2.6 プルアップ抵抗 V_{DD} -RPU特性例(1) ポートP0、P1、RESET : V_{DD} -RPU測定条件 : $V_I=0V$ 

3.2.7 LCD電源内蔵抵抗 Ta-RVLC特性例

(1) VDD=5.0V : Ta-RVLC



(2) VDD=3.0V : Ta-RVLC



3.2.8 A/Dコンバータ標準特性例

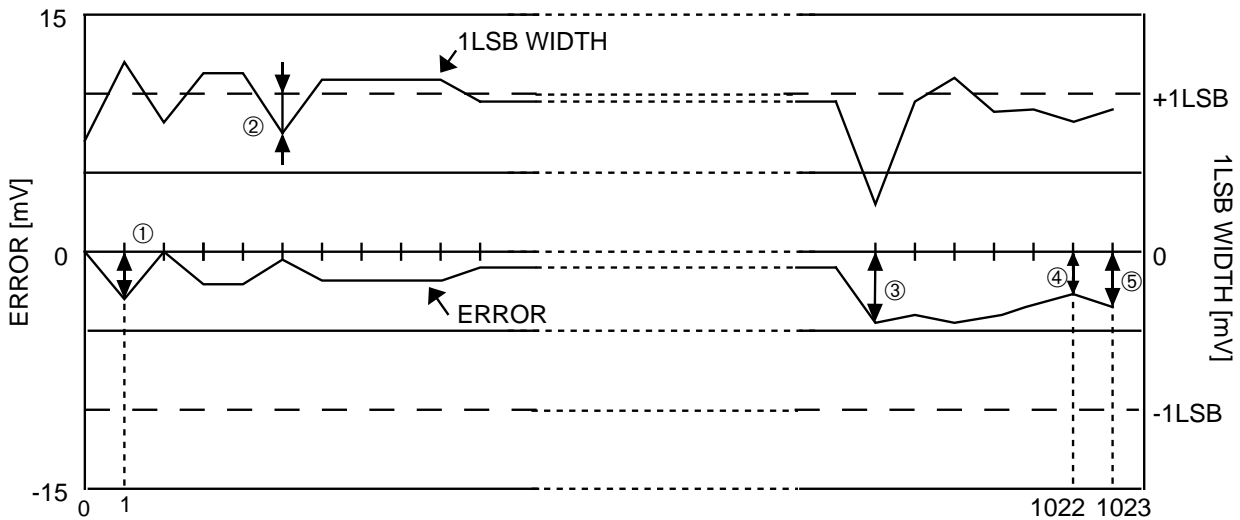


図3.2.1 A/D変換特性データ

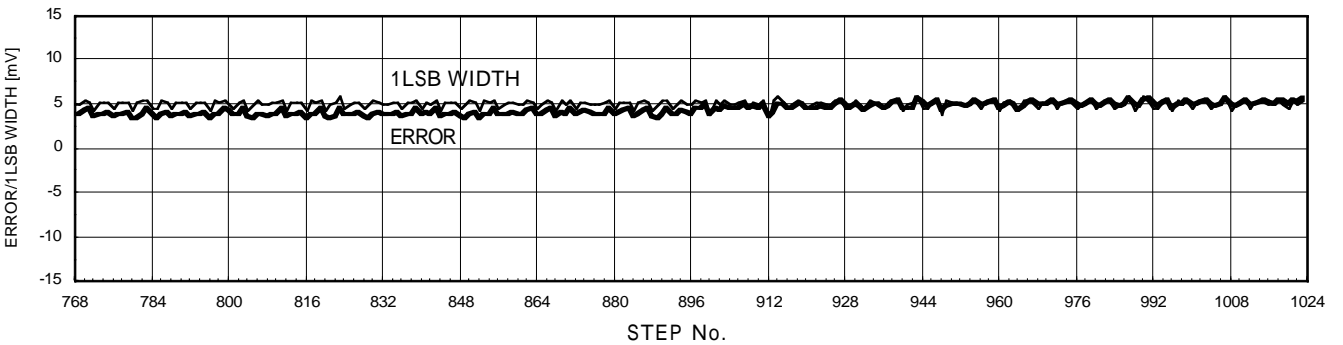
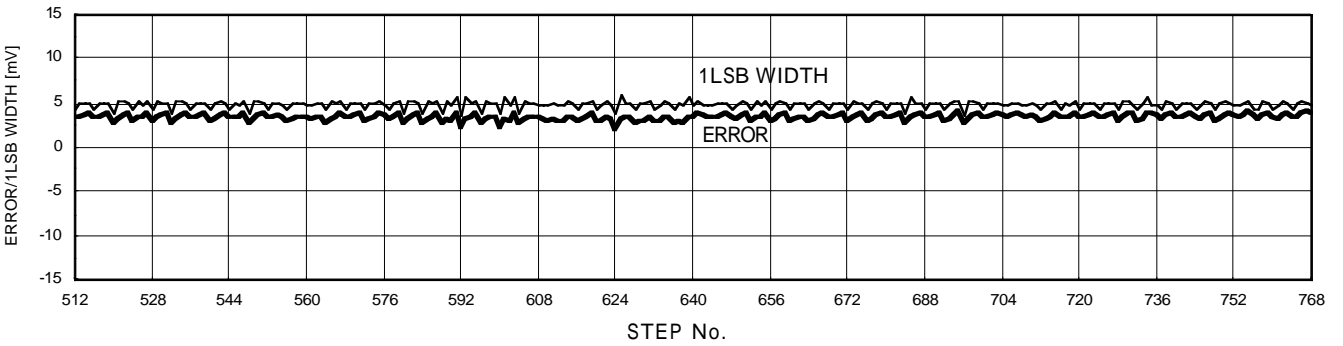
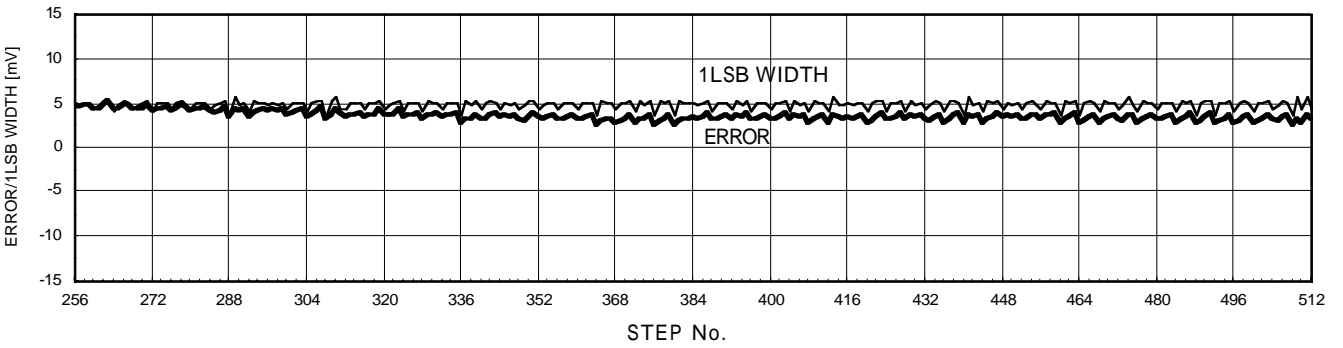
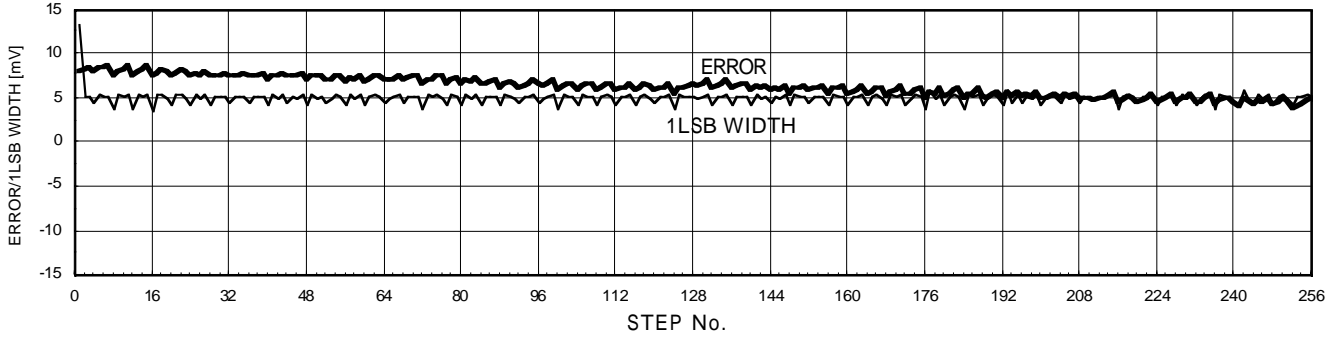
図3.2.1はA/D精度測定データを簡単に図示したものです。

- (1) 非直線性誤差 実際のA/D変換特性の $V_0 \sim V_{1022}$ 間の理想特性からの偏差で、図3.2.1では $(-)1\text{LSB}$ の値となります。
- (2) 微分非直線性誤差 出力データを“1”変化させるのに必要な入力電圧の $V_0 \sim V_{1022}$ 間の理想特性からの偏差で、図3.2.1では 1LSB の値となります。
- (3) ゼロトランジション誤差 出力データが“0”から“1”に変化するときの入力電圧の $0 \sim V_{DD}$ 間の理想特性からの偏差で、図3.2.1では 1LSB の値となります。
- (4) フルスケールトランジション誤差 出力データが“1022”から“1023”に変化するときの入力電圧の $0 \sim V_{DD}$ 間の理想特性からの偏差で、図3.2.1では 1LSB の値となります。
- (5) 絶対精度 実際のA/D変換特性の $0 \sim V_{DD}$ 間の理想特性からの偏差で、図3.2.1では $(-)1\text{LSB}$ 、 1LSB 、 1LSB の各ERRORの値となります。

A/D変換器の特性(保証値)は、「3.1 電気的特性」を参照してください。

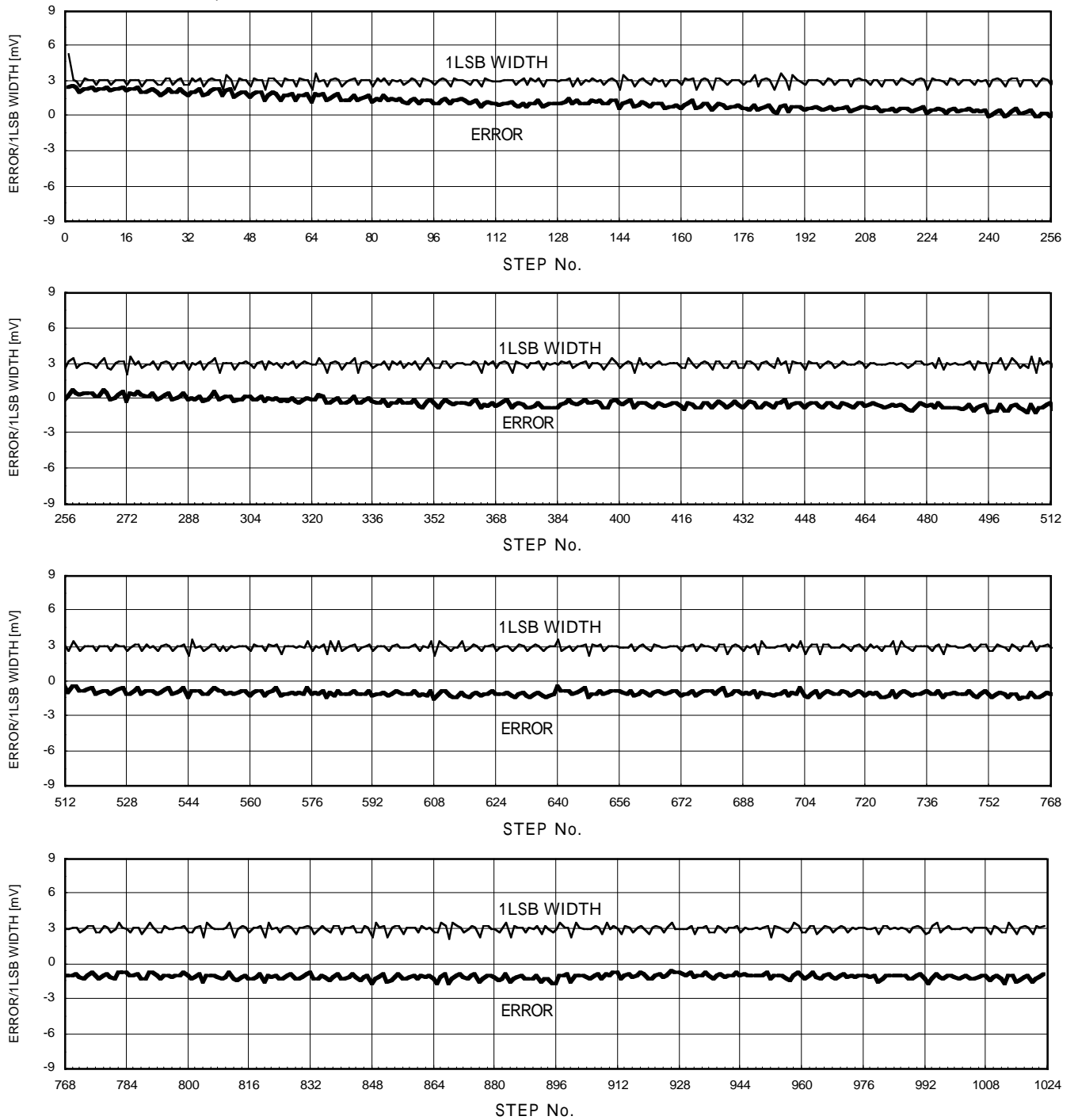
(1) $V_{DD}=5.12V$

測定条件 : $f(X_{IN})=4MHz$ 、高速スルーモード、 $T_a=25$

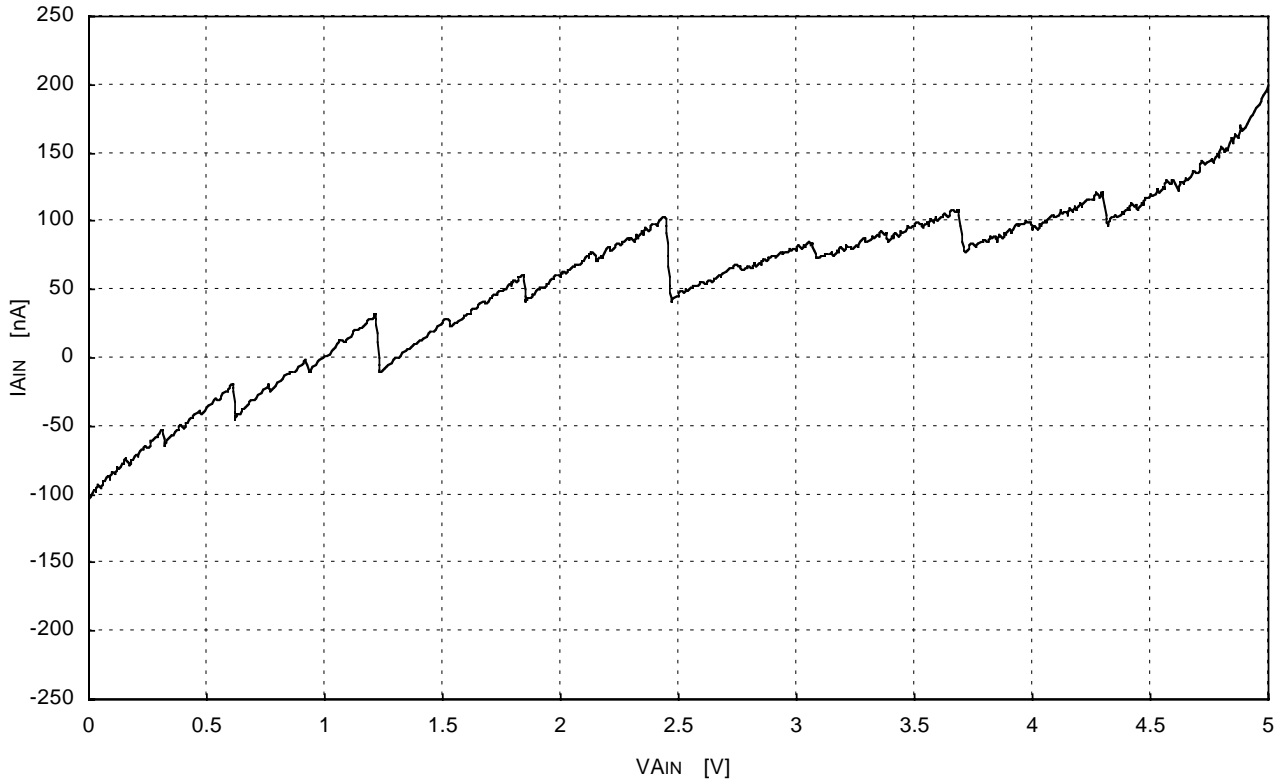
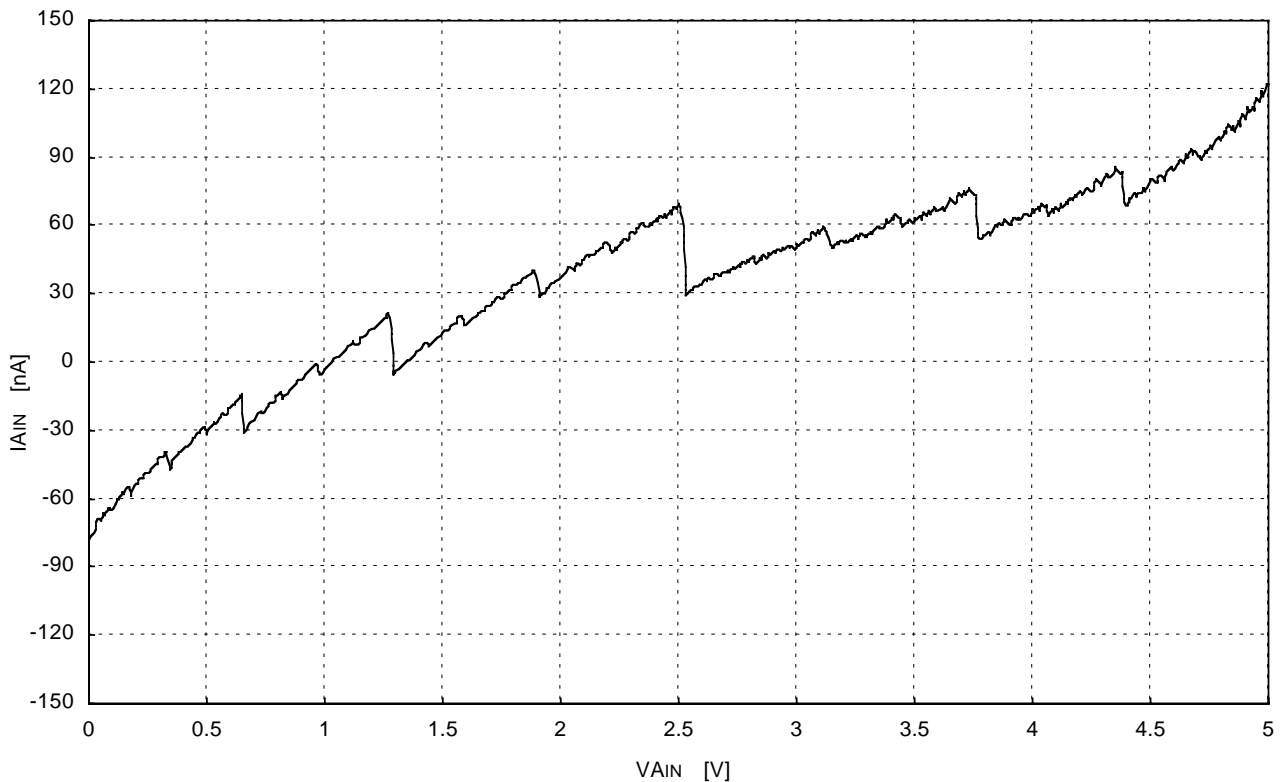


(2) $V_{DD}=3.072V$

測定条件： $f(X_{IN})=2MHz$ 、高速スルーモード、 $T_a=25$

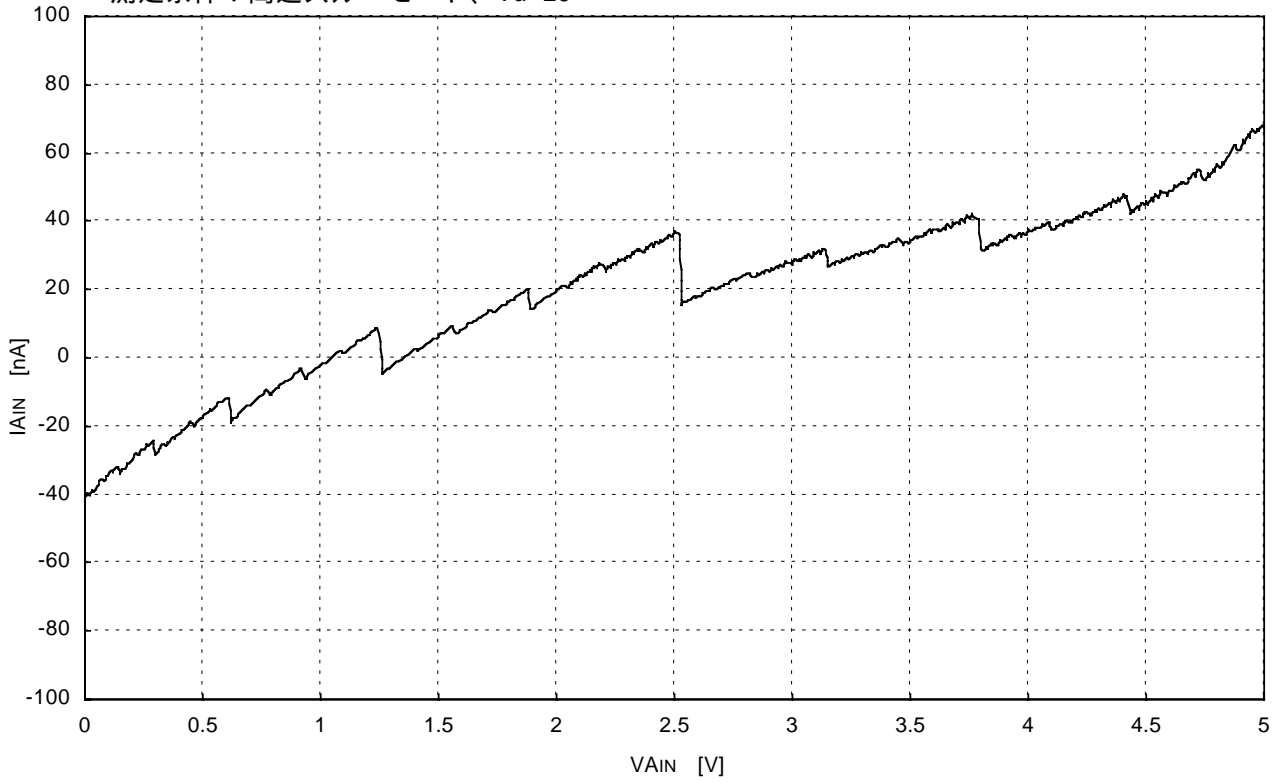


3.2.9 アナログ入力電流特性例

(1) $f(X_{IN})=6\text{MHz}$ 、 $V_{DD}=5.0\text{V}$: $V_{AIN}-I_{AIN}$ 測定条件：高速スルーモード、 $T_a=25$ (2) $f(X_{IN})=4\text{MHz}$ 、 $V_{DD}=5.0\text{V}$: $V_{AIN}-I_{AIN}$ 測定条件：高速スルーモード、 $T_a=25$ 

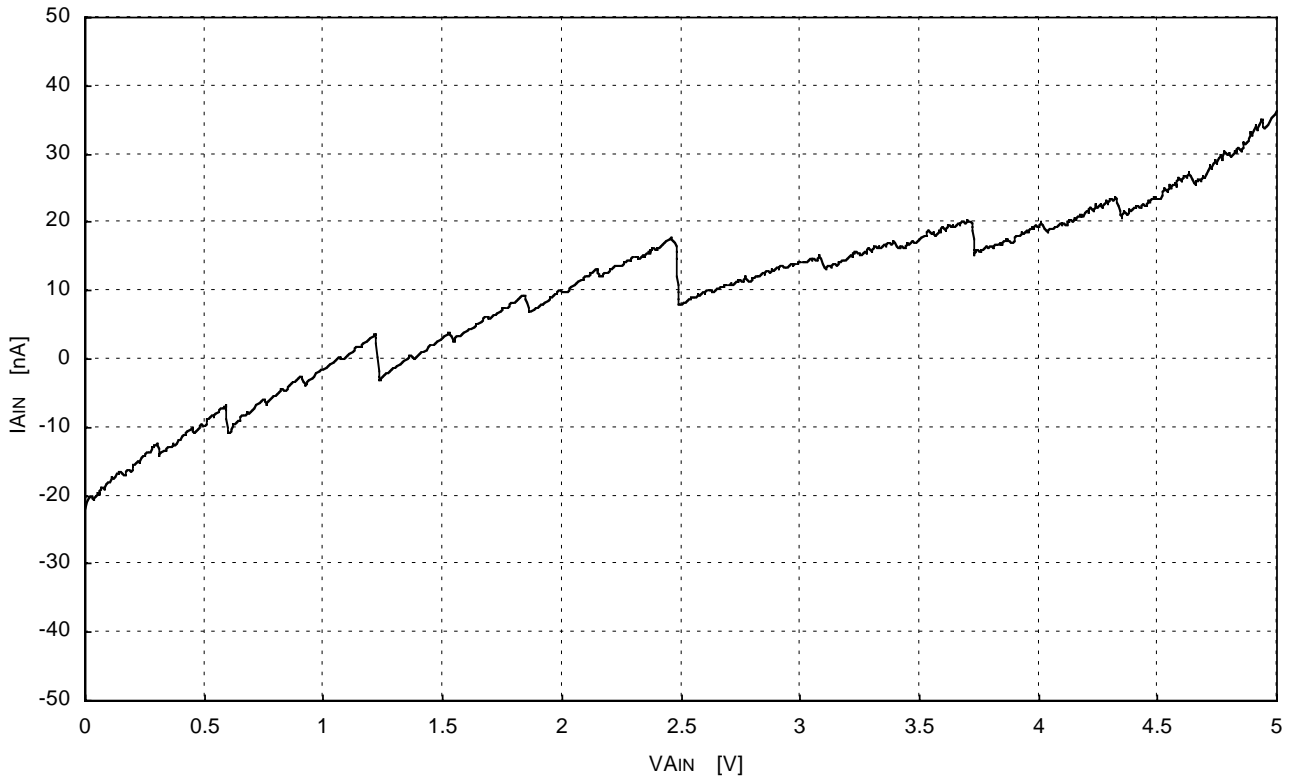
(3) $f(X_{IN})=2\text{MHz}$ 、 $V_{DD}=5.0\text{V}$: $V_{AIN}-I_{AIN}$

測定条件 : 高速スルーモード、 $T_a=25$



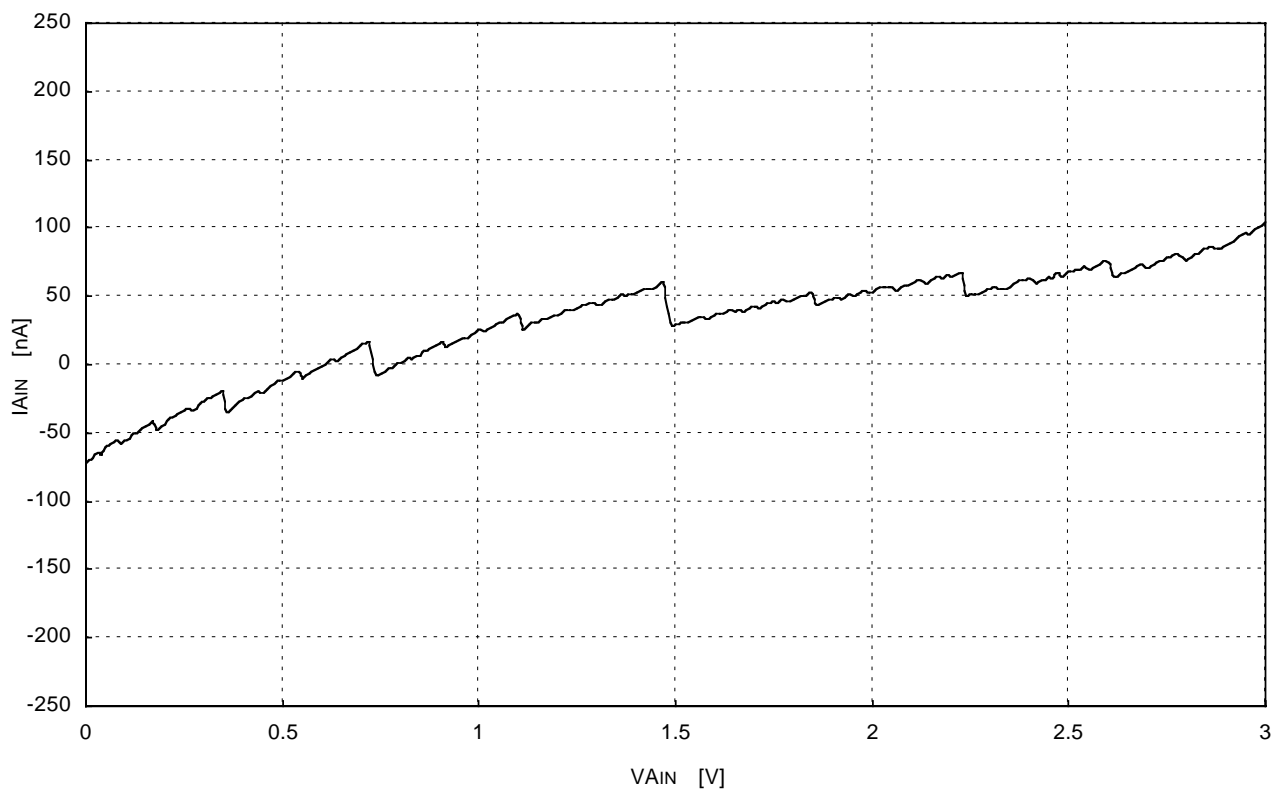
(4) $f(X_{IN})=1\text{MHz}$ 、 $V_{DD}=5.0\text{V}$: $V_{AIN}-I_{AIN}$

測定条件 : 高速スルーモード、 $T_a=25$



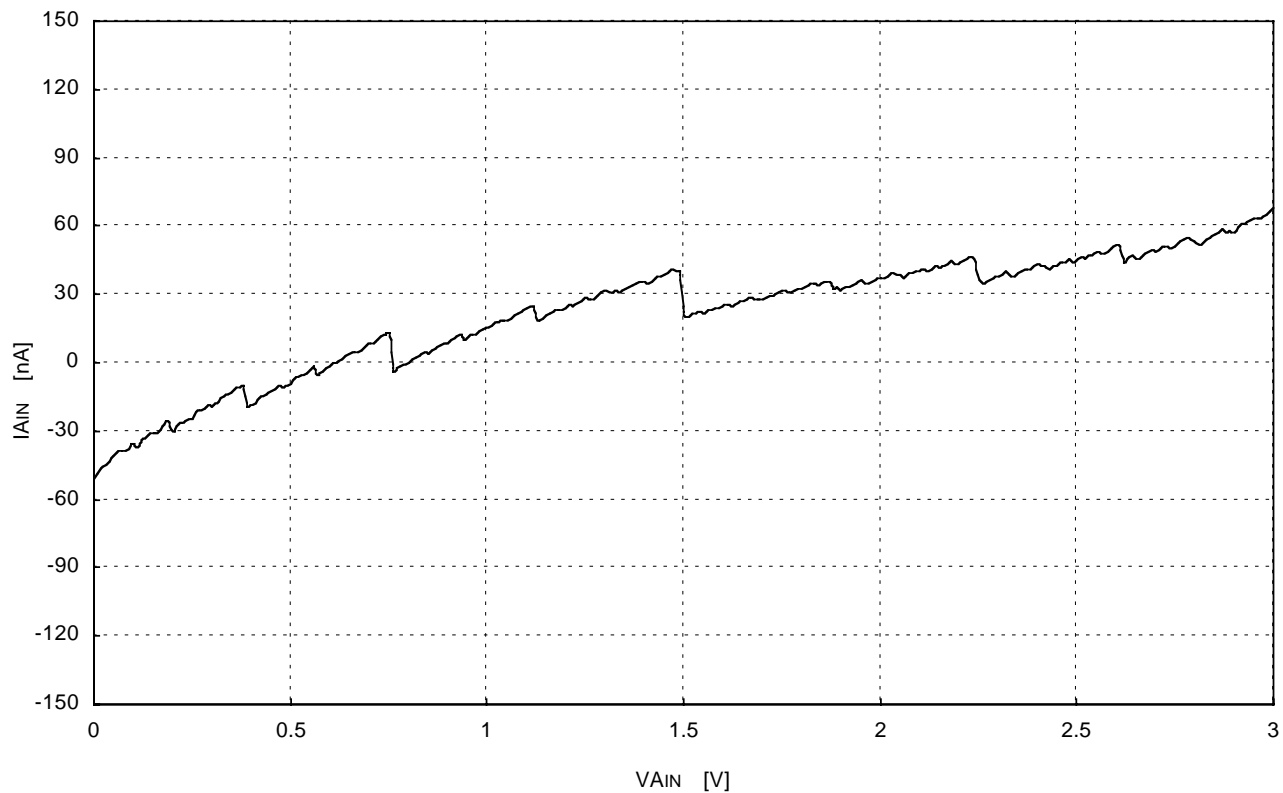
(5) $f(X_{IN})=6\text{MHz}$ 、 $V_{DD}=3.0\text{V}$: $V_{AIN}-I_{AIN}$

測定条件 : 高速スルーモード、 $T_a=25$



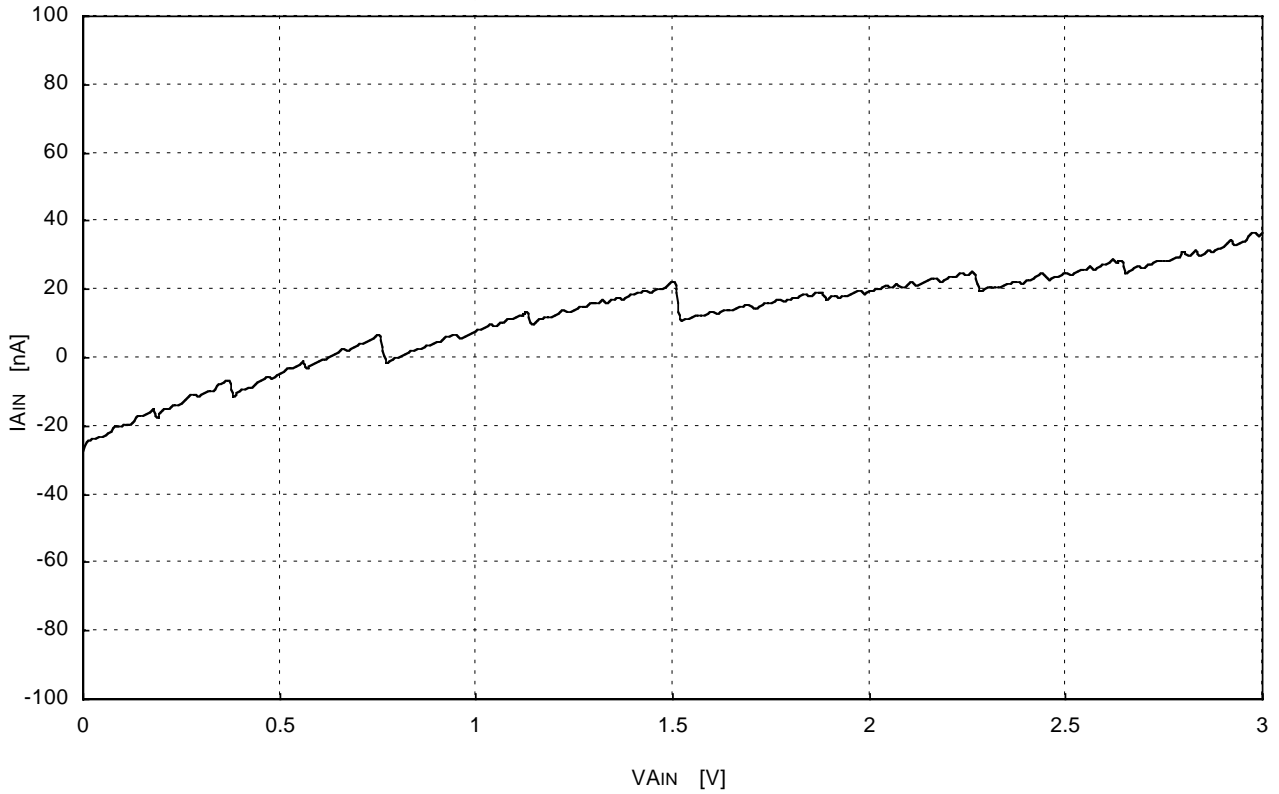
(6) $f(X_{IN})=4\text{MHz}$ 、 $V_{DD}=3.0\text{V}$: $V_{AIN}-I_{AIN}$

測定条件 : 高速スルーモード、 $T_a=25$



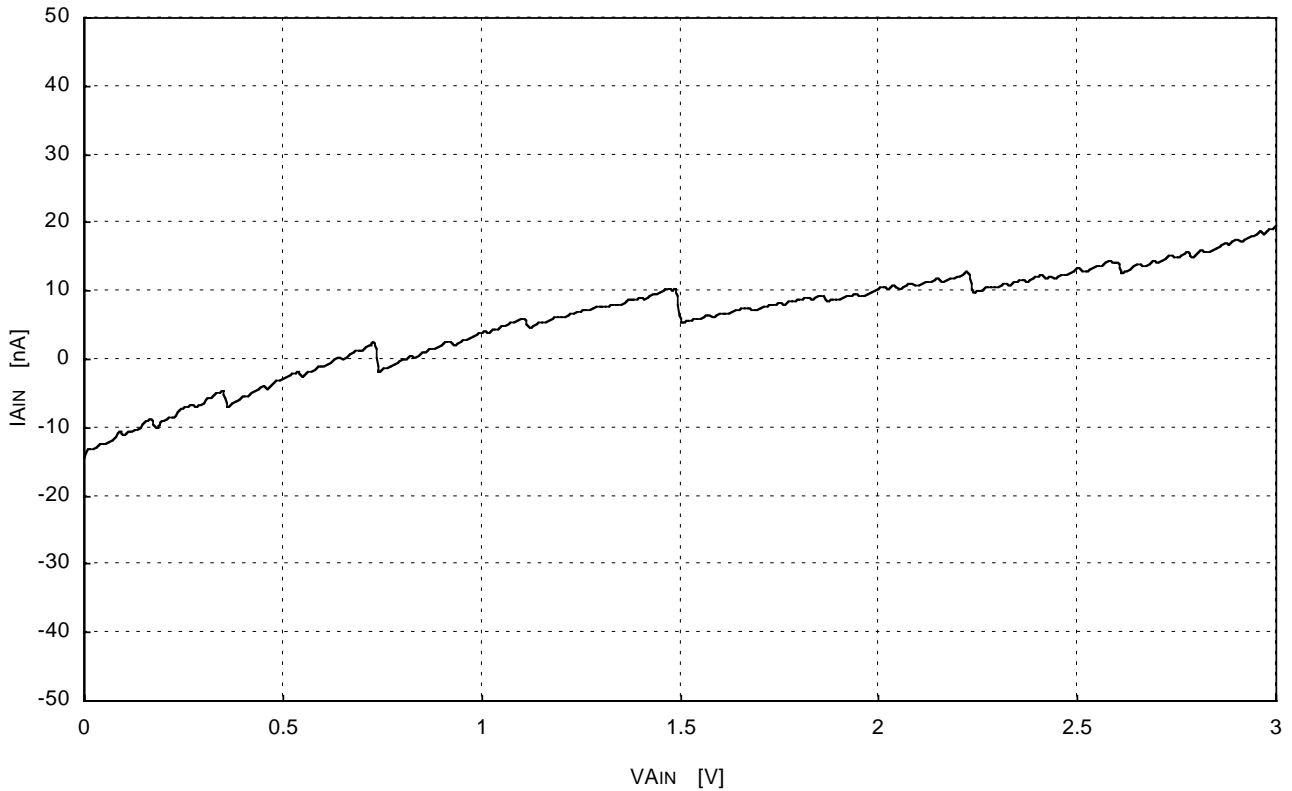
(7) $f(X_{IN})=2\text{MHz}$ 、 $V_{DD}=3.0\text{V}$: $V_{AIN}-I_{AIN}$

測定条件 : 高速スルーモード、 $T_a=25$

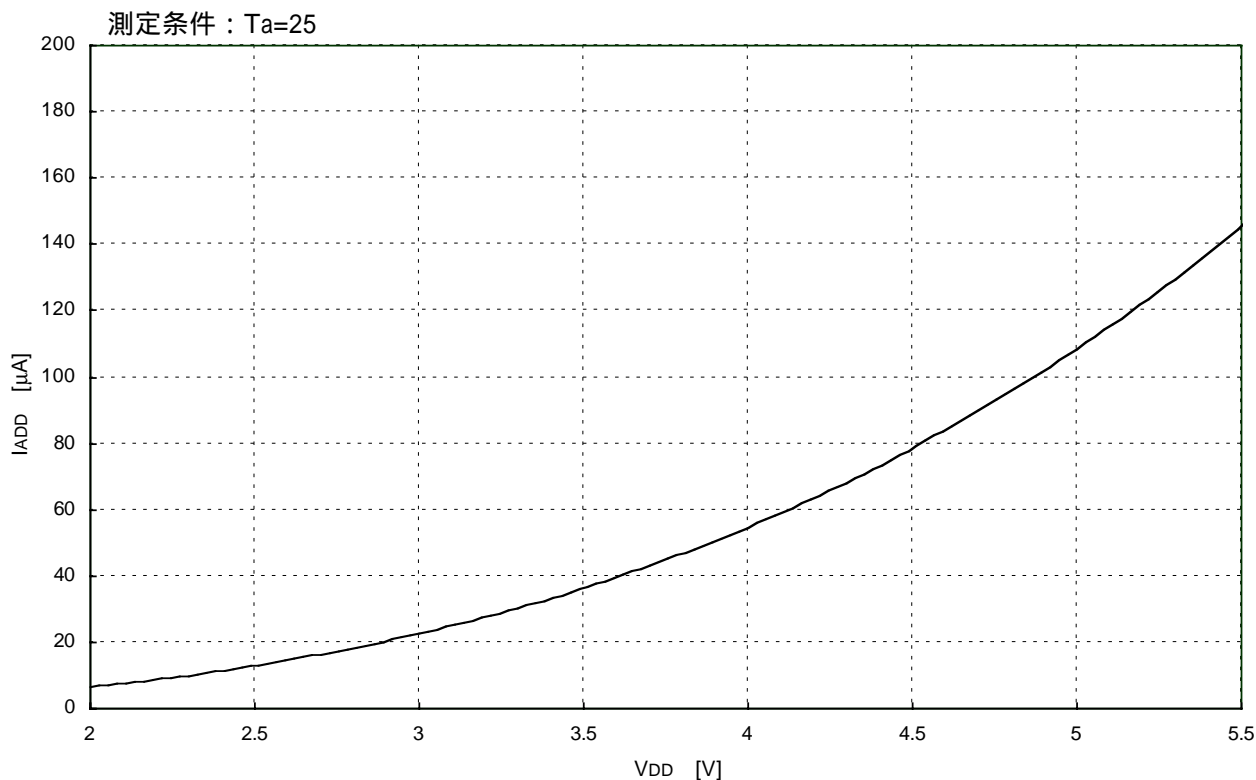


(8) $f(X_{IN})=1\text{MHz}$ 、 $V_{DD}=3.0\text{V}$: $V_{AIN}-I_{AIN}$

測定条件 : 高速スルーモード、 $T_a=25$

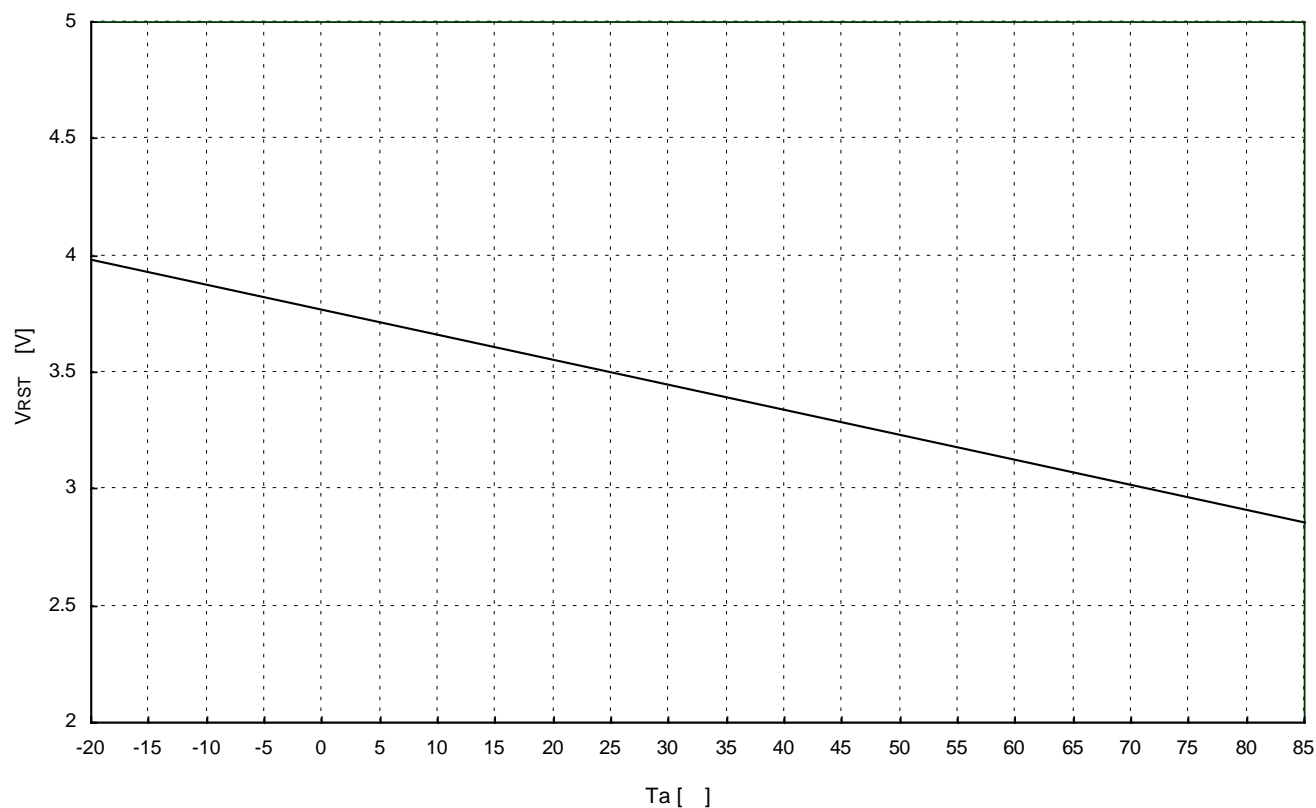


3.2.10 A/D動作電流(VDD-IADD)特性

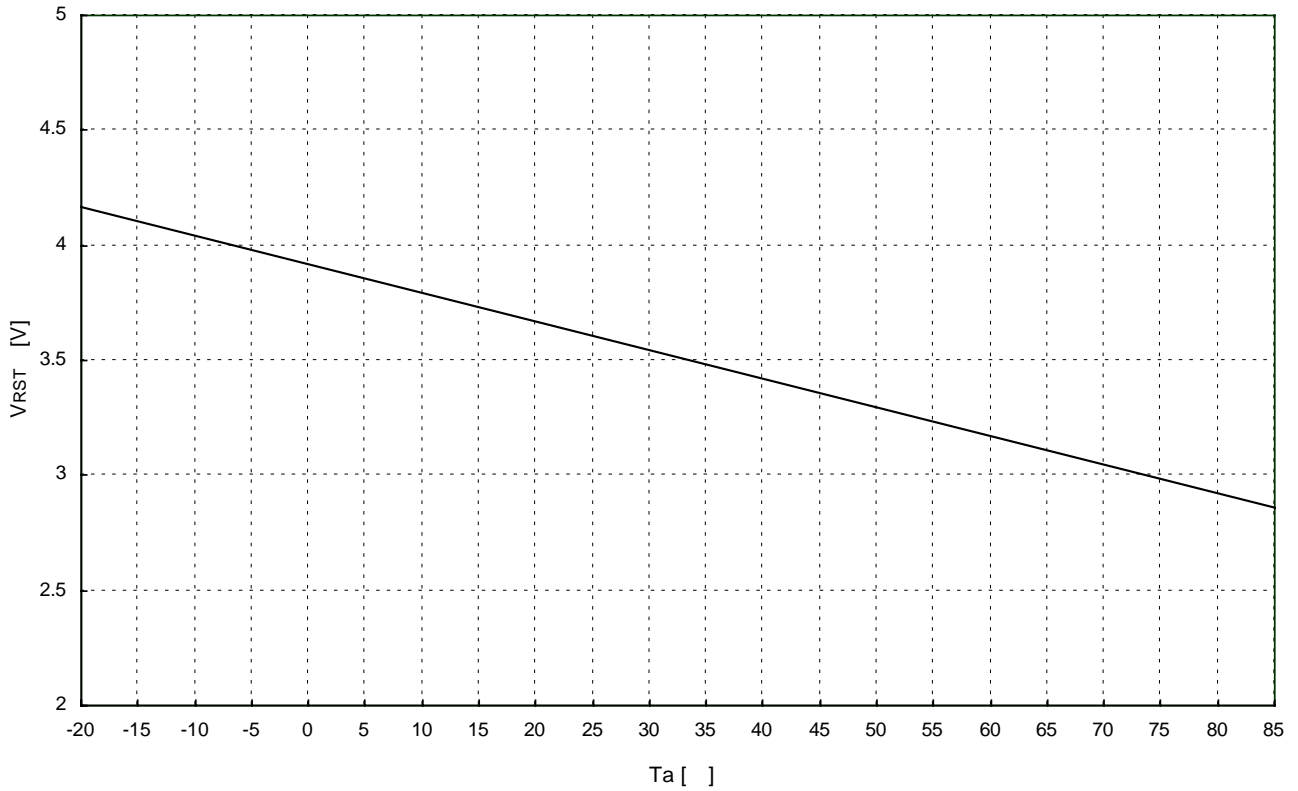


3.2.11 電圧低下検出回路特性例

(1) マスクROM版検出電圧 : Ta-VRST

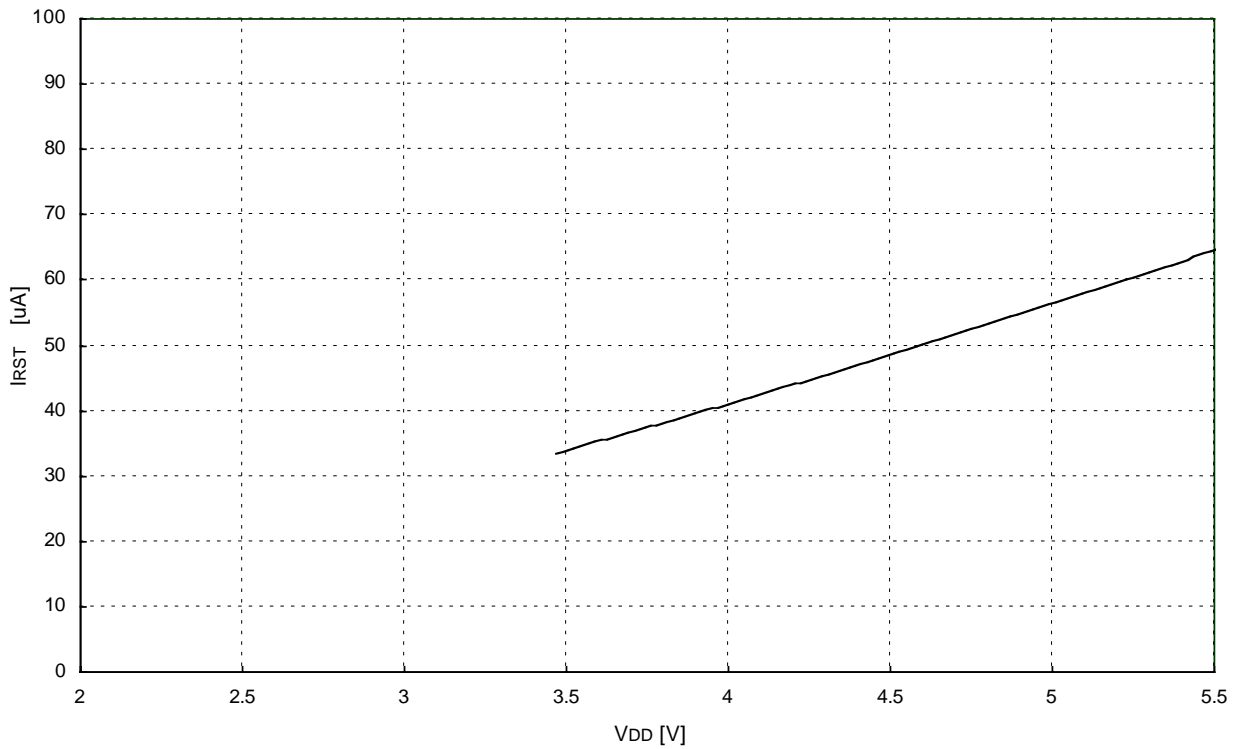


(2) ワンタイムΔPROM版検出電圧：Ta-VRST



(3) 動作電流：VDD-IRST

測定条件：Ta=25



3.3 使用上の注意(まとめ)

3.3.1 プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

3.3.2 スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。

しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP p)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを越えないように注意してください。

3.3.3 入出力端子に関する注意事項

(1) ポートP0、P1、P4、D0～D7を入力ポートとして使用する場合

使用するポートに対応したレジスタFR0i、FR1i、FR2i、FR3i(i=0～3)を“0”、出力ラッチを“1”に設定した後で、入力命令を実行してください。

レジスタFR0i、FR1i、FR2i、FR3iが“0”、出力ラッチが“0”の場合は、“L”レベルが入力されます。また、レジスタFR0i、FR1i、FR2i、FR3iが“1”の場合は、出力ラッチに設定されている値がポートに出力され、そのレベルが入力されます。

(2) ポートP2、P3を入力ポートとして使用する場合

出力ラッチを“1”に設定した後で、入力命令を実行してください。

出力ラッチが“0”の場合は、“L”レベルが入力されます。

(3) ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてV_{DD}端子とV_{SS}端子間にバイパスコンデンサ(0.1 μF程度)を最短距離、等幅、等配線長、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版において、CNV_{SS}端子とV_{PP}端子(書き込み電圧=12.5V)が兼用になっています。

5k程度の抵抗を極力CNV_{SS}/V_{PP}端子の近くに配置してV_{SS}端子に接続してください。

(4) マルチファンクション端子

INT0、INT1端子を使用している場合でも、ポートD8、D9の出力は機能しますので注意してください。

SIN、SOUT、SCK端子を使用している場合でも、ポートD4、D5、D6の入力は機能しますので注意してください。

CNTR0端子の入力機能を使用している場合でも、ポートD7の入出力は機能しますので注意してください。

CNTR0端子の出力機能を使用している場合でも、ポートD7の入力は機能しますので注意してください。

CNTR1端子の出力機能を使用している場合でも、ポートCの“H”出力は機能しますので注意してください。

(5) 使用しない端子の処理方法

表3.3.1に使用しない端子の処理方法を示します。

(6) SD、RD、SZD命令

SD、RD命令使用時は、レジスタYに“1010₂”以上を設定しないでください。

SZD命令使用時は、レジスタYに“1000₂”以上を設定しないでください。

(7) D₈/INT0端子

割り込み制御レジスタI1のビット3を“0”にし、INT0端子入力禁止の状態ではパワーダウン機能を使用する際は、次の点に注意してください。

INT0端子の入力を禁止する場合(レジスタI13=“0”)は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット0を“0”にして、キーオンウェイクアップを無効にしてください。

(8) D₉/INT1端子

割り込み制御レジスタI2のビット3を“0”にし、INT1端子入力禁止の状態ではパワーダウン機能を使用する際は、次の点に注意してください。

INT1端子の入力を禁止する場合(レジスタI23=“0”)は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット2を“0”にして、キーオンウェイクアップを無効にしてください。

表3.3.1 使用しない端子の処理方法

端子名	処理方法	使用条件
XIN	Vssに接続	内部発振器選択(CMCK, CRCK命令未実行) (注1) システムクロックにサブクロック入力選択(MR0 = 1) (注2)
XOUT	開放	内部発振器選択(CMCK, CRCK命令未実行) (注1) RC発振器選択(CRCK命令実行) メインクロックに外部クロック入力使用(CMCK命令実行) (注3) システムクロックにサブクロック入力選択(MR0 = 1) (注2)
XCIN	Vssに接続	サブクロック未使用
XCOUT	開放	サブクロック未使用
D0 ~ D3	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注4)
D4/SIN	開放	SIN端子非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D5/SOUT	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D6/SCK	開放	SCK端子非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D7/CNTR0	開放	タイマ1カウントソースにCNTR0入力非選択
	Vssに接続	出力形式にNチャンネルオープンドレイン選択
D8/INT0	開放	出力ラッチに“0”を設定
	Vssに接続	
D9/INT1	開放	出力ラッチに“0”を設定
	Vssに接続	
C/CNTR1	開放	タイマ3カウントソースにCNTR1入力非選択
P00 ~ P03	開放	キーオンウェイクアップ機能非選択 (注4)
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注5) プルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注4)
P10 ~ P13	開放	キーオンウェイクアップ機能非選択 (注4)
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注5) プルアップ機能非選択 (注4) キーオンウェイクアップ機能非選択 (注4)
P20/AIN0 ~ P23/AIN3	開放	
	Vssに接続	
P30/AIN4 ~ P33/AIN7	開放	
	Vssに接続	
P40 ~ P43	開放	
	Vssに接続	出力形式にNチャンネルオープンドレイン選択 (注4)
COM0 ~ COM3	開放	
VLc3/SEG0	開放	SEG0端子選択
VLc2/SEG1	開放	SEG1端子選択
VLc1/SEG2	開放	SEG2端子選択
SEG3 ~ SEG19	開放	

注1 .CMCK命令及びCRCK命令を実行しない場合は、メインクロックに内部発振器(オンチップオシレータ)が選択された状態です。

2. クロック制御レジスタMRのビット1(MR1)を“1”にセットしてシステムクロックにサブクロック(XCIN)入力を選択する(MR0 = 1)と、メインクロックは停止します。

3. メインクロックに外部クロック入力を使用する場合は、CMCK命令を実行してセラミック発振回路を選択した状態にしてください。

4. ポートD0 ~ D3、P40 ~ P43の出力形式選択と、ポートP00 ~ P03、P10 ~ P13のプルアップ機能及びキーオンウェイクアップ機能選択は、1ポート単位での制御です。各ポートに対応したレジスタのビットを設定してください。

5. ポートP00 ~ P03、P10 ~ P13の出力形式選択は2ポート単位の制御です。2ポートのうち片方を使用しない場合は、開放にしてください。

(VDD端子及びVss端子に接続する場合の注意事項)

・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。

3.3.4 割り込みに関する注意事項

(1) INT0端子割り込み有効波形の設定

レジスタI1のビット2に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

D8/INT0端子の入力状態によっては、レジスタI1のビット2を変更した際に、フラグEXF0が“1”にセットされることがあります。

(2) INT0端子入力制御の設定

レジスタI1のビット3に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

D8/INT0端子の入力状態によっては、レジスタI1のビット3を変更した際に、フラグEXF0が“1”にセットされることがあります。

(3) INT1端子割り込み有効波形の設定

レジスタI2のビット2に値を設定した後は、1命令以上においてSNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。

D9/INT1端子の入力状態によっては、レジスタI2のビット2を変更した際に、フラグEXF1が“1”にセットされることがあります。

(4) INT1端子入力制御の設定

レジスタI2のビット3に値を設定した後は、1命令以上においてSNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。

D9/INT1端子の入力状態によっては、レジスタI2のビット3を変更した際に、フラグEXF1が“1”にセットされることがあります。

(5) 多重割り込み禁止

4524グループでは多重割り込みを使用できません。

(6) 割り込み処理実行時

割り込み発生と同時に割り込み許可フラグは“0”(割り込み禁止状態)となります。割り込みからの復帰と同時に割り込み許可にするには、EI、RTI命令を続けて記述してください。

(7) D8/INT0端子

外部割り込み入力端子INT0を使用する場合は、レジスタI1のビット3を“1”にしてください。その場合でも、ポートD8の出力は機能します。また、出力ポートD8として使用している場合でも、レジスタI1のビット3に“1”が設定されていると、有効波形(外部0割り込みの起動条件となる有効波形)の入力により、フラグEXF0は“1”になります。

(8) D9/INT1端子

外部割り込み入力端子INT1を使用する場合は、レジスタI2のビット3を“1”にしてください。その場合でも、ポートD9の出力は機能します。また、出力ポートD9として使用している場合でも、レジスタI2のビット3に“1”が設定されていると、有効波形(外部1割り込みの起動条件となる有効波形)の入力により、フラグEXF1は“1”になります。

(9) POF命令、POF2命令

EPOF命令実行直後にPOF命令又はPOF2命令を実行するとパワーダウン状態になります。

POF命令又はPOF2命令単独では、パワーダウン状態にならないので、注意してください。

また、EPOF命令と、POF命令又はPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

3.3.5 タイマに関する注意事項

(1) プリスケアラ

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウントを停止させた後、データ読み出し命令(TABPS)を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウントを停止させた後、データ書き込み命令(TPSAB)を実行してください。

(2) カウントソース

タイマ1、2、3、4、LCのカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(3) カウント値の読み出し

タイマ1、2、3、4からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1、TAB2、TAB3、TAB4)を実行してください。

(4) タイマへのデータ書き込み

タイマ1、2、3、4、LCにデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T2AB、T3AB、T4AB、TLCA)を実行してください。

(5) リロードレジスタR1、R3、R4Hへの書き込み

タイマ1、3、4動作中にタイマリロードレジスタR1、R3、R4Hにデータを書き込む場合は、必ずタイマ1、3、4アンダフローと重ならないタイミングでデータを書き込んでください。

(6) タイマ4

タイマ4を停止させる場合は、必ずタイマ4アンダフローと重ならないタイミングで停止させてください。PWM信号の“H”期間拡張機能有効を選択している場合は、リロードレジスタR4Hに“0116”以上の値を設定してください。

(7) タイマ5

タイマ5のカウント値を切り替える場合は、まずタイマ5のカウントを停止させた後、カウント値を切り替えてください。

(8) タイマ入出力端子に関する注意

PWM信号をC/CNTR1端子から出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

(9) ウォッチドッグタイマ

ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行し、フラグWEFを'0'にクリアしてウォッチドッグタイマ機能を停止してください。

パワーダウン状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウン状態から復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態にする直前にWRST命令を実行し、ウォッチドッグタイマフラグWDF1を初期化してください。

(10) CNTR0、CNTR1端子に入力するパルス幅

CNTR0、CNTR1端子に入力するパルス幅の規格値については、「3.1 電気的特性」を参照してください。

3.3.6 A/Dコンバータに関する注意事項

(1) A/D変換中に再度A/D変換を開始する場合

A/D変換を実行中にADST命令を実行し、A/D変換を再度行った場合、それまで入力していたデータを破棄して最初からA/D変換を行います。

(2) A/D変換器について1

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。

そのため、信号源インピーダンスの高い回路を用いてアナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。

十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に0.01 μ F ~ 1 μ Fのコンデンサを付加してください。

図3.3.1にアナログ入力外付け回路例1を示します。

また、やむをえずアナログ入力に定格値以上の電圧がかかる場合は、図3.3.2のアナログ入力外付け回路例2に示すように、定格内の電圧になるように外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。

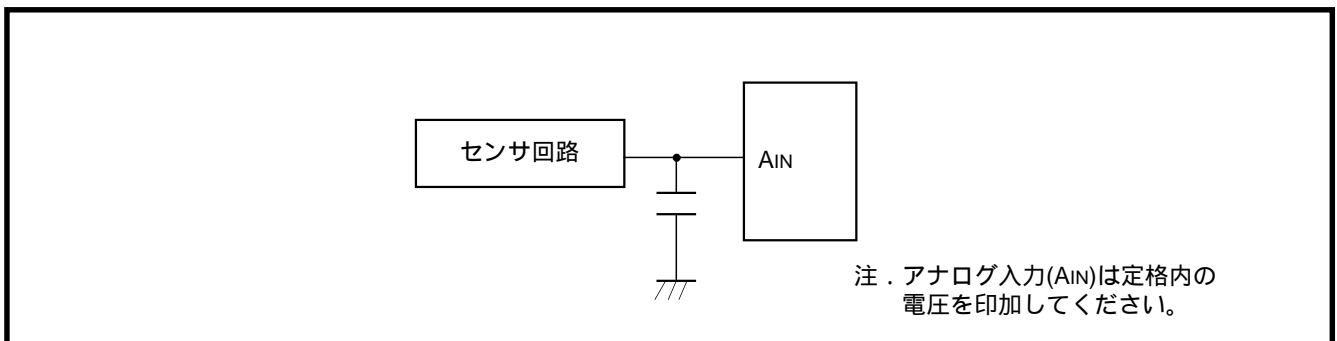


図3.3.1 アナログ入力外付け回路例1

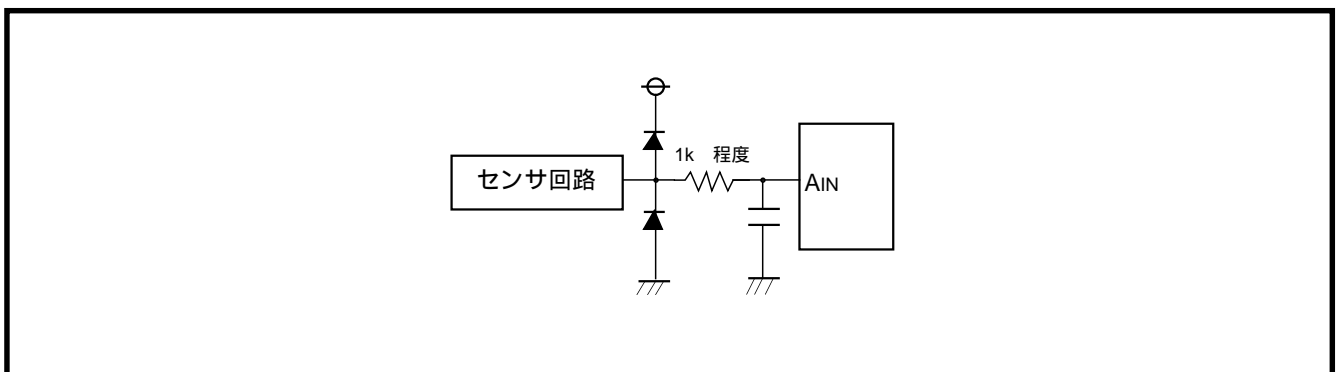


図3.3.2 アナログ入力外付け回路例2

(3) A/D変換器について2

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

(4) A/D変換器について3

レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更する場合は次の点に注意してください。

コンパレータモードからA/D変換モードに変更するためにはレジスタV2のビット2が 0 (図3.3.3)になっている必要があります。

コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあるため、レジスタQ1のビット3に値を設定した後、SNZAD命令を実行しA/D変換終了フラグ(ADF)を 0 にクリアしてください。

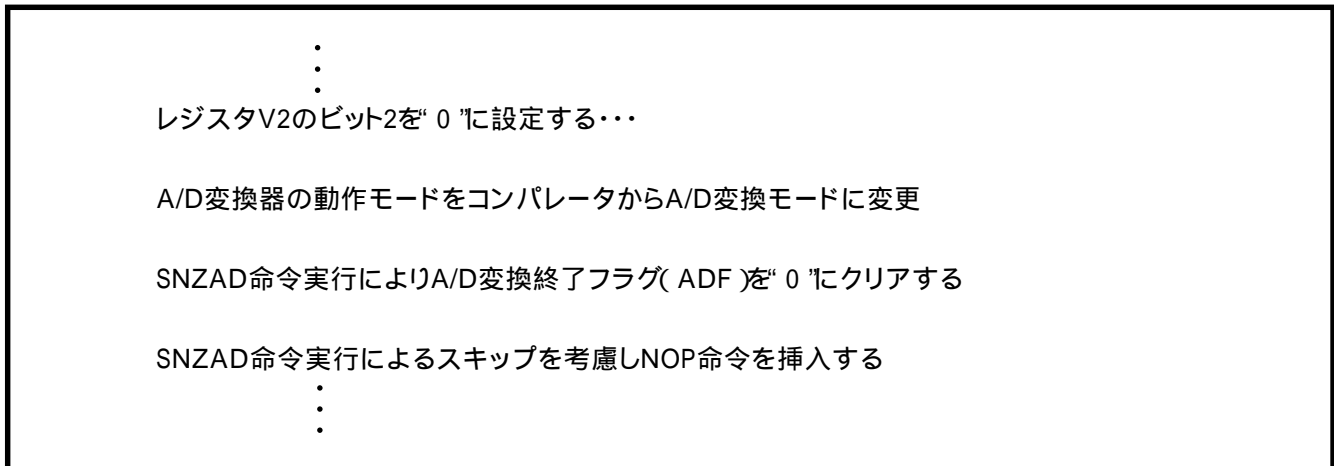


図3.3.3 A/D変換器の動作モードプログラム例

(5) A/D変換器をコンパレータモードで使用する場合

アナログ入力電圧と比較電圧を比較した結果、アナログ入力電圧が比較電圧よりも高い場合は、A/D変換終了フラグ(ADF)が 0 のまま 1 にセットされません。

この場合、A/D割り込みの使用を許可しているときでもA/D割り込みは発生しませんので、コンパレータ動作が完了するまでの時間を考慮し、ソフトウェアで判定してください。

コンパレータ動作は、8マシンサイクルで終了します。

(6) アナログ入力端子の選択に関する注意

P20/AIN0 ~ P23/AIN3端子、P30/AIN4 ~ P33/AIN7端子は、端子機能をアナログ入力に選択している場合、ポートP2、P3の入出力はできません。

(7) TALA命令

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。

(8) A/D変換器使用時の推奨動作条件

A/D変換器を使用する場合と使用しない場合では、電源電圧、システムクロック周波数の推奨動作条件が異なります。

表3.3.2にA/D変換器使用時の推奨動作条件を示します。

表3.3.2 推奨動作条件(A/D変換器使用時)

項目	条件	規格値			単位
		最小	標準	最大	
システムクロック周波数 (セラミック共振時)	VDD=4.0 ~ 5.5V (スルーモード)	0.1		6.0	MHz
	VDD=2.7 ~ 5.5V (スルーモード)	0.1		4.4	
	VDD=2.7 ~ 5.5V (2分周モード)	0.1		3.0	
	VDD=2.7 ~ 5.5V (4分周モード)	0.1		1.5	
	VDD=2.7 ~ 5.5V (8分周モード)	0.1		0.7	
システムクロック周波数 (RC発振時)注)	VDD=2.7 ~ 5.5V (スルーモード)	0.1		4.4	MHz
	VDD=2.7 ~ 5.5V (2分周モード)	0.1		2.2	
	VDD=2.7 ~ 5.5V (4分周モード)	0.1		1.1	
	VDD=2.7 ~ 5.5V (8分周モード)	0.1		0.5	
システムクロック周波数 (セラミック共振回路選択、 外部クロック入力時)	VDD=4.0 ~ 5.5V (スルーモード)	0.1		4.8	MHz
	VDD=2.7 ~ 5.5V (スルーモード)	0.1		3.2	
	VDD=2.7 ~ 5.5V (2分周モード)	0.1		2.4	
	VDD=2.7 ~ 5.5V (4分周モード)	0.1		1.2	
	VDD=2.7 ~ 5.5V (8分周モード)	0.1		0.6	

注 RC発振時の発振周波数は外付けの抵抗、コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値、容量値)を設定してください。

3.3.7 シリアルI/Oに関する注意事項

(1) 同期クロックとして外部クロックを使用する場合

同期クロックとして外部クロックを選択した場合、内部でクロックの制御は行われません。

シリアル転送は外部からクロックが入力される限り続きます。外部からのクロックが9回以上入力され、シリアル転送が継続した場合、受信したデータがそのまま送信データとして転送されますので、外部でクロックの制御を行ってください。

また、シリアルI/O送受信終了フラグ(SIOF)は、クロックを8回カウントした時点で“1”にセットされます。

外部クロック端子への初期入力レベルは、必ず“H”レベルにしてください。

シリアルI/Oを外部クロックで使用する場合の規格値については、「3.1 電気的特性」を参照してください。

3.3.8 液晶表示機能に関する注意事項

(1) タイマLCカウントソース

タイマLCのカウントソースを切り替える場合は、まず、タイマLCのカウントを停止させた後、カウントソースを切り替えて下さい。

(2) タイマLCへのデータ書き込み

タイマLCにデータを書き込む場合は、まず、タイマLCのカウントを停止させた後、データ書き込み命令 (TLCA) を実行して下さい。

(3) VLC3/SEG0端子

VLC3端子機能を選択した場合は、外部からVLC3 VDDの電圧を印加して下さい。

(4) VLC2/SEG1端子、VLC1/SEG2端子

VLC2、VLC1端子機能を選択し、内部分割抵抗を使用しない場合
外部から0 VLC1 VLC2 VLC3の電圧をそれぞれ印加して下さい。
1/2バイアス使用時は、VLC2端子とVLC1端子を短絡して下さい。
SEG1、SEG2端子機能を選択した場合
必ず内部分割抵抗を使用して下さい。

(5) LCD電源回路

LCD電源回路は、使用するLCDパネルに適応する構成を選択し、表示状態を実システム上で評価してください。

3.3.9 リセットに関する注意事項

(1) レジスタ初期化

次のレジスタは、リセット解除後不定です。必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(2) パワーオンリセット

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μ s以下に設定してください。立ち上がり時間が100 μ sを越える場合には、RESET端子とV_{SS}間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

推奨動作条件については、「3.1 電気的特性」を参照してください。

3.3.10 パワーダウン機能に関する注意事項

(1) POF命令、POF2命令

EPOF命令直後に、POF命令又はPOF2命令を実行すると、パワーダウン状態になります。POF命令又はPOF2命令単独では、パワーダウン状態にならないので注意してください。EPOF命令とPOF命令又はPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)に設定してください。

(2) キーオンウェイクアップを使用する場合

キーオンウェイクアップが有効になっているポート(レジスタK0、K1、K2で指定されたP0、P1、INT0、INT1)がすべて復帰条件を満たしていないことを確認後、POF命令又はPOF2命令を実行してください。

キーオンウェイクアップが有効になっているポートがひとつでも復帰条件を満たしている場合、POF命令又はPOF2命令を実行後、すぐにパワーダウン状態から復帰します。

(3) タイマ5割り込み要求フラグを使用する場合

タイマ5割り込み要求フラグT5F="1"の時にPOF命令及びPOF2命令を実行すると、すぐにパワーダウン状態から復帰します。

(4) パワーダウンからの復帰

パワーダウンからの復帰後、不定となるレジスタ及びフラグの設定を必ず行ってください。次のレジスタは、パワーダウンは不定です。パワーダウンモードからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(4ビット)
- ・レジスタY(4ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(5) ウォッチドッグタイマ

パワーダウン状態からの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、パワーダウン状態から復帰する度に、DWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウン状態にする直前にWRST命令を実行し、ウォッチドッグタイマフラグWDF1を初期化してください。

(6) D8/INT0端子

割り込み制御レジスタI1のビット3を"0"にし、INT0端子入力禁止の状態ではパワーダウンを使用する際は、次の点に注意ください。

INT0端子の入力を禁止する場合(レジスタI13="0")は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット0を"0"にして、キーオンウェイクアップを無効にしてください。

(7) D9/INT1端子

割り込み制御レジスタI2のビット3を"0"にし、INT1端子入力禁止の状態ではパワーダウンを使用する際は、次の点に注意ください。

INT1端子の入力を禁止する場合(レジスタI23="0")は、パワーダウン状態に移行する前にキーオンウェイクアップ制御レジスタK2のビット2を"0"にして、キーオンウェイクアップを無効にしてください。

(8) 外部クロック

メインクロック(f(XIN))に外部クロックを使用する際は、パワーダウン機能(POF命令、POF2命令)を使用しないでください。

3.3.11 発振回路に関する注意事項

(1) クロック制御

メインクロック($f(XIN)$)を選択する命令(CMCK命令、CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令あるいはCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された命令に対応する発振回路が有効になり、もう一方の発振回路、オンチップオシレータは停止します。

(2) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、4524グループはリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(3) 外部クロック

メインクロック($f(XIN)$)に外部クロックを使用する際は、パワーダウン機能(POF命令、POF2命令)を使用しないでください。

(4) 発振子に付ける部品の値

発振回路のコンデンサ、抵抗などの値は、取り付ける発振子や基板により異なります。このため発振子に取り付ける部品の値については発振子メーカーに問い合わせをご確認ください。

3.3.12 マスクROM版とワンタイムPROM版の相違

マスクROM版とワンタイムPROM版とでは、製造プロセス、内蔵ROM、およびレイアウトパターンの相違により、電气的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射などが異なる場合がありますので、切り替えを行う際は注意してください。

3.3.13 電圧低下検出回路に関する注意事項

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がVRST以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図3.3.4)。

このような場合は、電源電圧を一旦VRST以下まで低下させ、その後再上昇するようなシステム設計をしてください。

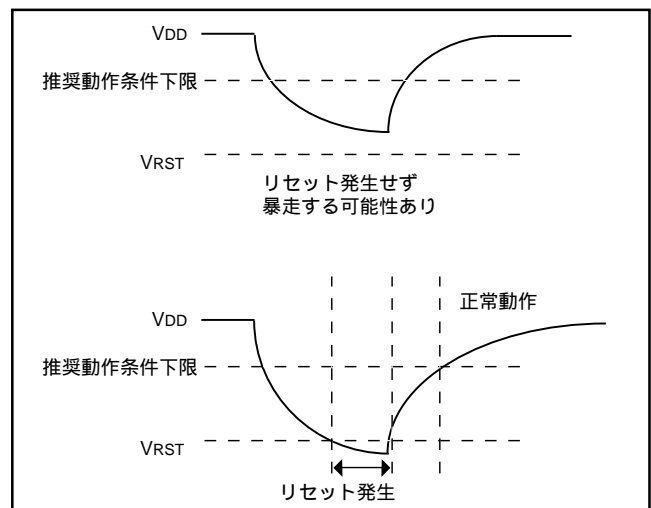


図3.3.4 VDDとVRST

3.3.14 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

3.4 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

3.4.1 配線長の短縮

基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。

総配線長が短い (mm単位) ほどノイズをマイコン内部に引き込む可能性は低くなります。

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

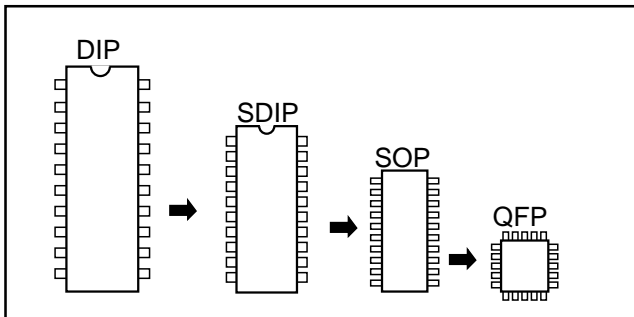


図3.4.1 パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い配線で接続してください。

理由

マイコンを正常にリセットするために、リセット端子に入力されるパルス幅は1マシンサイクル以上必要です。これより短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

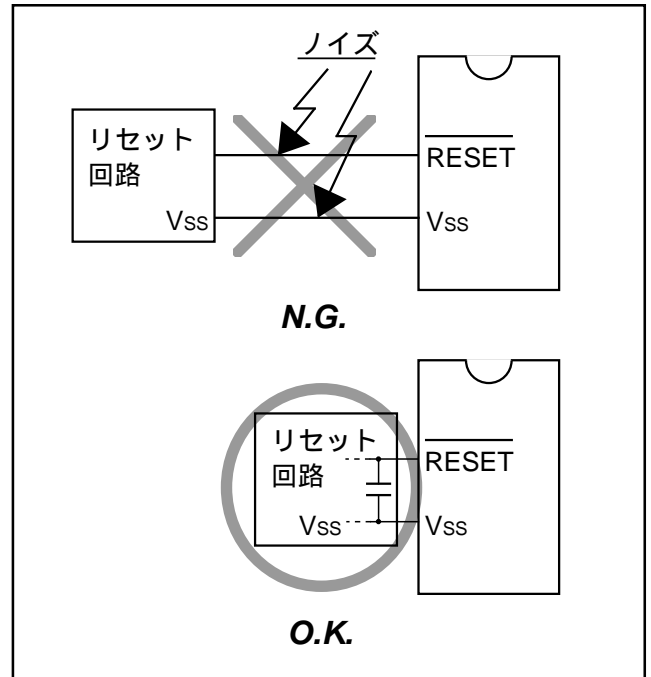


図3.4.2 リセット入力端子の配線

(3) クロック入出力端子の配線

- ・ クロック入出力端子に接続する配線は短くしてください。
- ・ 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短の配線で接続してください。
- ・ 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

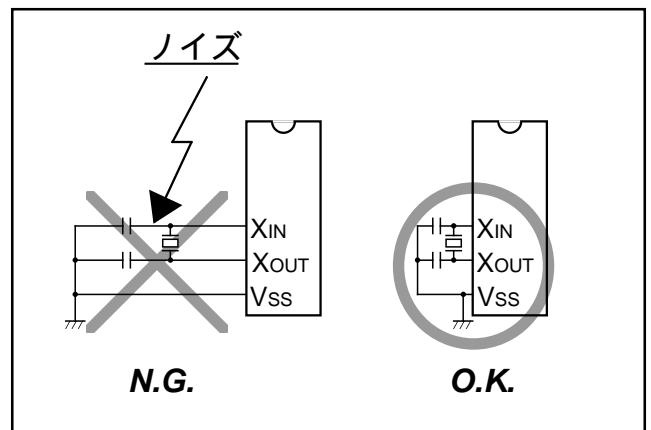


図3.4.3 クロック入出力端子の配線

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

理由

CNVss端子のレベルはマイコンの動作モードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

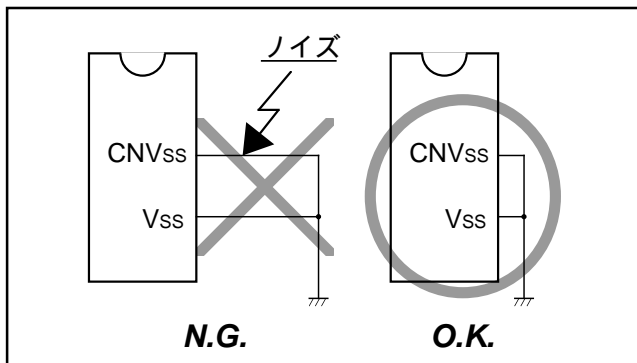


図3.4.4 CNVss端子の配線

(5) PROM内蔵版のVPP端子配線

4524グループのPROM内蔵版は、CNVss端子が内蔵PROMの電源入力端子VPPと兼用です。

VPP端子がCNVss端子と兼用のマイコン

VPP端子のできるだけ近くに5k程度の抵抗を直列に挿入し、Vss端子に接続してください。また、5k程度の抵抗を挿入しない場合は、VPP端子とVss端子の配線は最短にしてください(図3.4.5参照)。

注. 5k程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

PROM内蔵版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

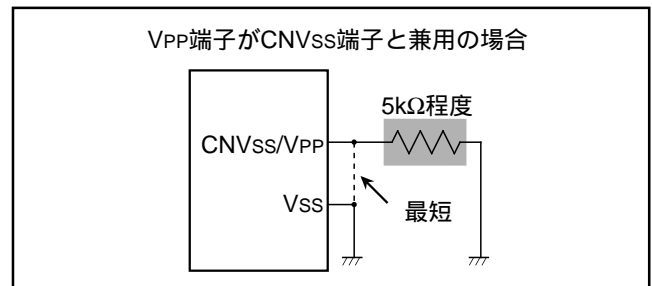


図3.4.5 PROM内蔵版のVPP端子の配線

3.4.2 Vss - VDDライン間へのバイパスコンデンサ挿入

Vss - VDDライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- Vss端子 - バイパスコンデンサ間の配線長とVDD端子 - バイパスコンデンサ間の配線長を等しくする
- Vss端子 - バイパスコンデンサ間の配線長とVDD端子 - バイパスコンデンサ間の配線長を最短とする
- Vssライン及びVDDラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由してVss端子及びVDD端子へ接続する

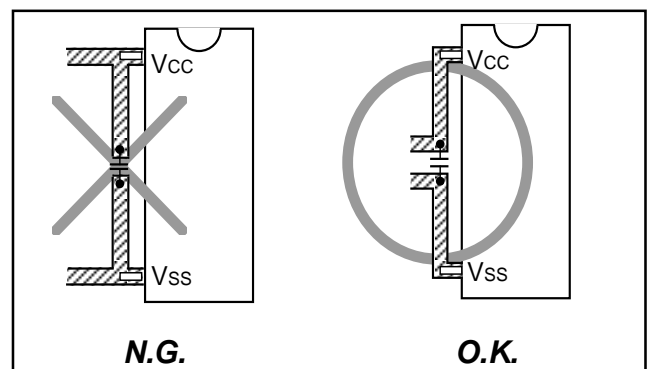


図3.4.6 Vss - VDDライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・ アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100 ~ 1K Ω 程度の抵抗を直列に接続してください。
- ・ アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

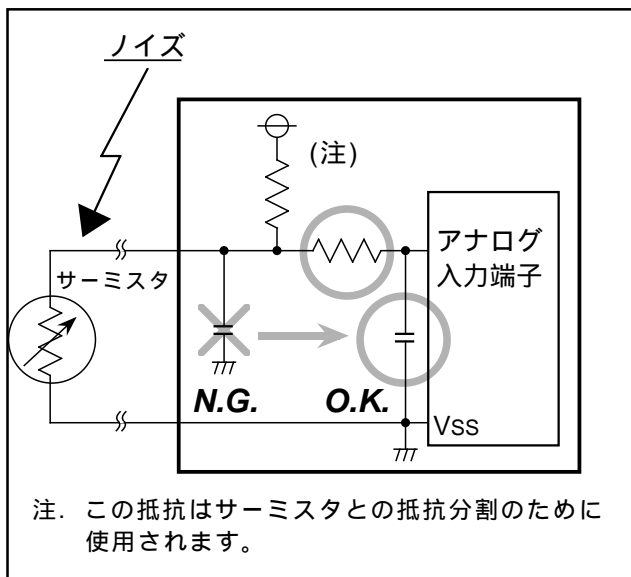


図3.4.7 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

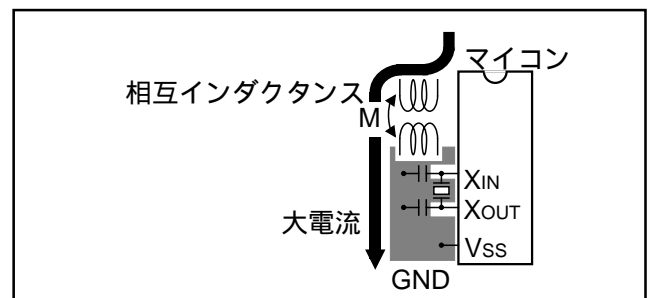


図3.4.8 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

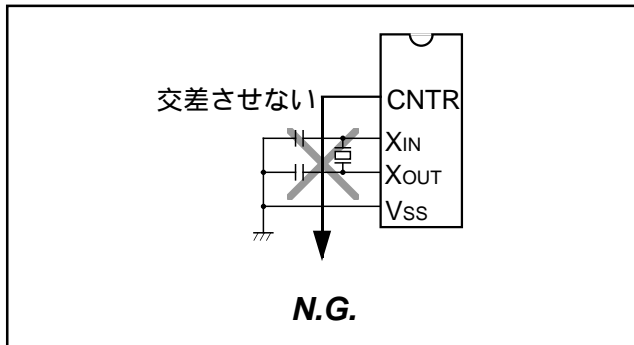


図3.4.9 高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子を実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

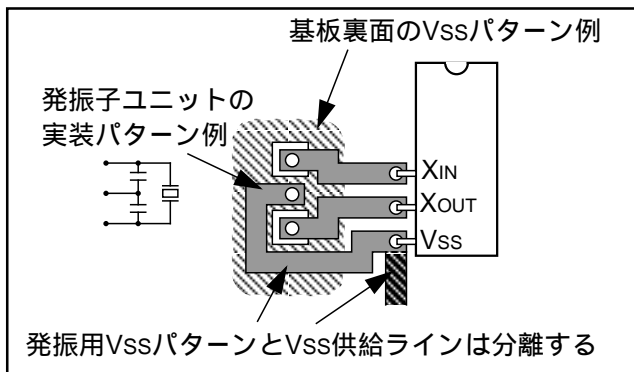


図3.4.10 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポート及び入出力ポートではノイズによって出力データが反転する可能性があるため、一定周期で出力ラッチの再書き込みを行ってください。
- ・一定周期でプルアップ制御レジスタの再書き込みを行ってください。

3.4.6 ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用し、暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。メインルーチンでは

RAMの1語をソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

N+1 メインルーチンの1周期中に
行われる割り込み処理の回数

メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。

割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

SWDTの内容を1回の割り込み処理で1減算します。

ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。

SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

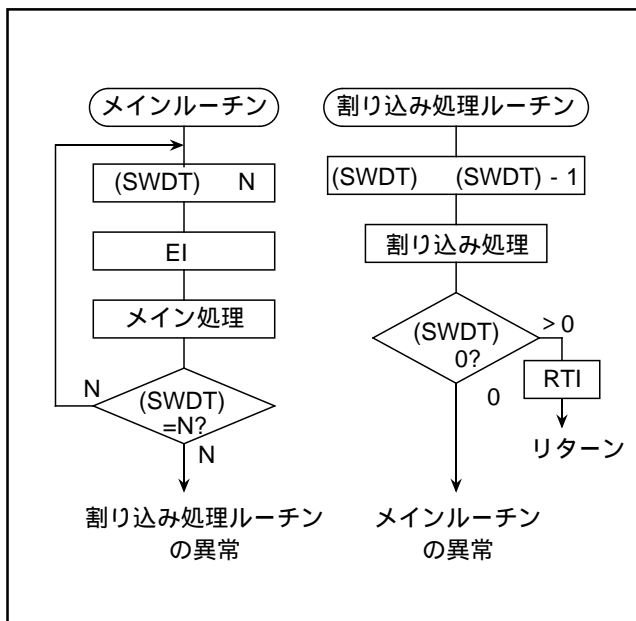


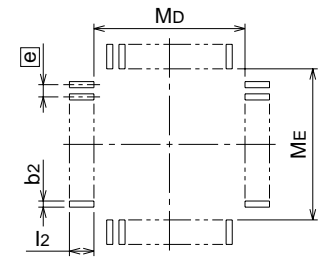
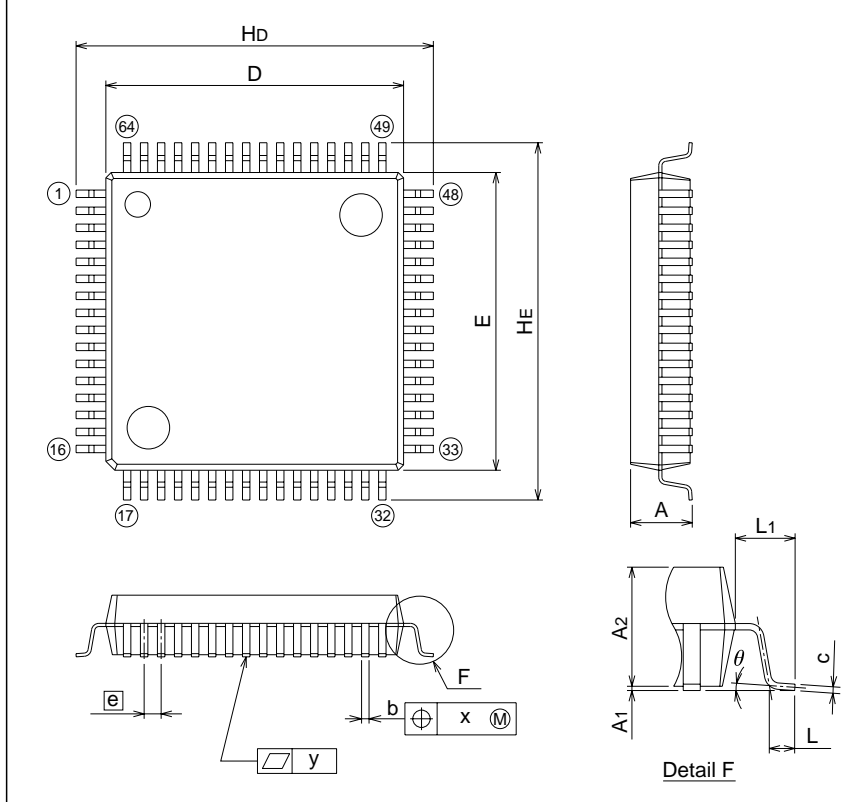
図3.4.11 ソフトウェアによるウォッチドッグタイマ

3.5 パッケージ寸法図

64P6N-A

Plastic 64pin 14X14mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP64-P-1414-0.80	-	1.11	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.3	0.35	0.45
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	13.8	14.0	14.2
e	-	0.8	-
HD	16.5	16.8	17.1
HE	16.5	16.8	17.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.2
y	-	-	0.1
theta	0°	-	10°
b2	-	0.5	-
l2	1.3	-	-
MD	-	14.6	-
ME	-	14.6	-

ルネサス4ビットCISCシングルチップマイクロコンピュータ
ユーザーズマニュアル
4524グループ

発行年月日 2003年5月15日 Rev. 1.00
2004年7月27日 Rev. 2.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

4524 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0029-0200Z