

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4507グループ

ユーザーズマニュアル

ルネサス4ビットCISCシングルチップマイクロコンピュータ 4500シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

- 第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

- 第2章「応 用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

- 第3章「付 録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項などを掲載しています。

＊ 発注の際に提出していただくマスク化確認書、ROM書き込み確認書、マーク指定書につきましては、「ルネサステクノロジホームページ[ROM発注](<http://www.renesas.com/jp/rom>)」を参照してください。

＊ 開発ツールにつきましては、「ルネサステクノロジ、4500シリーズ開発環境ページ(http://www.renesas.com/jpn/products/mpumcu/toolhp/mcu/4500_j.htm)」を参照してください。

目次

第1章 ハードウェア

概 要	1-2
特 長	1-2
応 用	1-2
ピン接続図(上面図)	1-2
機能ブロック図	1-3
性能概要	1-4
端子の機能説明	1-5
マルチファンクション一覧	1-5
クロック及びサイクルの定義	1-6
ポート機能一覧	1-7
使用しない端子の処理	1-8
ポートブロック図	1-91
機能ブロック動作説明	1-14
CPU	1-14
プログラムメモリ(ROM)	1-17
データメモリ(RAM)	1-18
割り込み機能	1-19
外部割り込み	1-23
タイマ	1-26
ウォッチドッグタイマ	1-31
A/Dコンバータ(コンパレータ)	1-33
リセット機能	1-38
RAMバックアップモード	1-41
クロック制御	1-46
マスク化発注時に提示いただく資料	1-48
使用上の注意(まとめ)	1-48
制御レジスタ一覧	1-52
命令	1-56
命令記号一覧表	1-56
命令機能別索引	1-57
[アルファベット順] 機械語命令一覧	1-60
[機能分類別] 機械語命令一覧	1-88
命令コード対応表	1-102
PROM内蔵版	1-104

第2章 応 用

2.1	入出力端子	2-2
2.1.1	入出力ポート	2-2
2.1.2	関連レジスタ	2-6
2.1.3	ポートの応用例	2-10
2.1.4	使用上の注意事項	2-11
2.2	割り込み	2-13
2.2.1	割り込み機能	2-13
2.2.2	関連レジスタ	2-15
2.2.3	割り込みの応用例	2-18
2.2.4	使用上の注意事項	2-23
2.3	タイマ	2-24
2.3.1	タイマ機能	2-24
2.3.2	関連レジスタ	2-25
2.3.3	タイマの応用例	2-28
2.3.4	使用上の注意事項	2-34
2.4	A/Dコンバータ	2-36
2.4.1	関連レジスタ	2-37
2.4.2	A/Dコンバータの応用例	2-37
2.4.3	使用上の注意事項	2-39
2.5	リセット	2-42
2.5.1	リセット回路	2-42
2.5.2	リセット時の内部状態	2-43
2.5.3	使用上の注意事項	2-44
2.6	RAMバックアップ	2-45
2.6.1	RAMバックアップモード	2-45
2.6.2	関連レジスタ	2-47
2.6.3	使用上の注意事項	2-51
2.7	発振回路	2-52
2.7.1	発振回路	2-52
2.7.2	発振動作	2-54
2.7.3	使用上の注意事項	2-55

第3章 付 録

3.1	電気的特性	3-2
3.1.1	絶対最大定格	3-2
3.1.2	推奨動作条件	3-3
3.1.3	電気的特性	3-6
3.1.4	A/Dコンバータ推奨動作条件	3-7
3.1.5	基本タイミング図	3-8
3.2	標準特性	3-9
3.2.1	VDD-I _{DD} 特性	3-9
3.2.2	周波数特性	3-13
3.2.3	V _{OL} -I _{OL} 特性(V _{DD} =5V)	3-15
3.2.4	V _{OL} -I _{OL} 特性(V _{DD} =3V)	3-18
3.2.5	入力しきい値(V _{IH} -V _{IL})特性 (Ta=25°C)	3-21
3.2.6	プルアップ抵抗(V _{DD} -R _{PU})特性 ポートP0~P3、D2/C、D3/K、 $\overline{\text{RESET}}$	3-24
3.2.7	アナログ入力電流特性 V _{AIN} -I _{AIN} 端子 (V _{DD} =5V、高速モード、Ta=25°C)	3-25
3.2.8	アナログ入力電流特性 V _{AIN} -I _{AIN} 端子 (V _{DD} =3V、高速モード、Ta=25°C)	3-27
3.2.9	AD変換器動作電流(V _{DD} -A _{IDD})特性 (Ta=25°C)	3-29
3.2.10	A/Dコンバータ標準特性	3-30
3.3	使用上の注意(まとめ)	3-33
3.3.1	プログラムカウンタ	3-33
3.3.2	スタックレジスタ(SK)	3-33
3.3.3	入出力端子に関する注意事項	3-33
3.3.4	割り込みに関する注意事項	3-36
3.3.5	タイマに関する注意事項	3-38
3.3.6	A/D変換に関する注意事項	3-39
3.3.7	リセットに関する注意事項	3-42
3.3.8	RAMバックアップに関する注意事項	3-42
3.3.9	発振制御に関する注意事項	3-43
3.3.10	ワンタイムPROM版/マスクROM版	3-43
3.3.11	電源電圧に関する注意事項	3-43
3.4	ノイズに関する注意事項	3-44
3.4.1	配線長の短縮	3-44
3.4.2	V _{SS} —V _{DD} ライン間へのバイパスコンデンサ挿入	3-45
3.4.3	アナログ入力端子の配線処理	3-46
3.4.4	発振子への配慮	3-46
3.4.5	入出力ポート処理	3-47
3.4.6	ソフトウェアによるウォッチドッグタイマ機能の実現	3-47
3.5	パッケージ寸法図	3-49

図目次

第1章 ハードウェア

4507グループピン接続図	1-2
機能ブロック図(4507グループ)	1-3
ポートブロック図(1)	1-9
ポートブロック図(2)	1-10
ポートブロック図(3)	1-11
図BA-1. AMC命令実行例	1-14
図BA-2. RAR命令実行例	1-14
図BA-3. レジスタA、BとレジスタE	1-14
図BA-4. TABP p命令実行例	1-14
図BA-5. スタックレジスタSKの構成	1-15
図BA-6. サブルーチン呼び出し時の動作例	1-15
図BA-7. プログラムカウンタ(PC)の構成	1-16
図BA-8. データポインタ(DP)の構成	1-16
図BA-9. SD命令実行例	1-16
図BC-1. M34507M4/M34507E4のROMマップ	1-17
図BC-2. 割り込み番地ページ(008016~00FF16)の構成	1-17
図BD-1. RAMマップ	1-18
図DD-1. 割り込み処理プログラム例	1-20
図DD-2. 割り込み発生時の内部状態	1-20
図DD-3. 割り込み系統図	1-20
図DD-4. 割り込みシーケンス	1-22
図DD-5. 外部割り込み回路の構成	1-23
図DD-6. 外部0割り込みプログラム例1	1-25
図DD-7. 外部0割り込みプログラム例2	1-25
図DD-8. 外部0割り込みプログラム例3	1-25
図FB-1. オートリロード機能	1-26
図FB-2. タイマの構成	1-27
図FB-3. CNTR入力時のカウントタイミング図	1-30
図FB-4. タイマカウント開始タイミングと動作開始時のカウント時間(T1、T2)	1-30
図FB-5. ウォッチドッグタイマ機能の動作	1-31
図FB-6. ウォッチドッグタイマ使用時、停止の時のプログラム例	1-32
図FB-7. ウォッチドッグタイマ使用時におけるRAMバックアップモードへの移行プログラム例	1-32
図JA-1. A/D変換器の構成	1-33
図VB-1. リセット解除のタイミング	1-38
図VB-2. RESET端子の入力波形とリセット動作	1-38
図VB-3. RESET端子周辺の構成とパワーオンリセット動作	1-39
図VB-4. リセット時の内部状態	1-40
図WD-1. 状態遷移図	1-43
図WD-2. パワーダウンフラグ(P)のセット要因とクリア要因	1-43
図WD-3. SNZP命令によるスタート識別例	1-43

図WA-1. クロック制御回路の構成	1-46
図WA-2. セラミック共振／RC発振への切り替え	1-47
図WA-3. オンチップオシレータ動作時のXIN、XOUT端子の処理	1-47
図WA-4. セラミック共振子外付け回路	1-47
図WA-5. RC発振外付け回路	1-47
図WA-6. 外部クロック入力回路	1-48
図FB-4. タイマカウント開始タイミングと動作開始時のカウント時間(T1、T2)	1-49
図XB-1. 外部0割り込みプログラム例1	1-50
図XB-2. 外部0割り込みプログラム例2	1-50
図XB-3. 外部0割り込みプログラム例3	1-50
図XB-4. A/D変換器の動作モードプログラム例	1-51
図XB-5. アナログ入力外付け回路例1	1-51
図XB-6. アナログ入力外付け回路例2	1-51
図XA-1. ブランク出荷品の書き込み及びテスト	1-104
図XA-2. PROM内蔵版ピン接続図・PROMモード時端子結線図	1-105

第2章 応 用

図2.1.1 キースキャンによるキー入力	2-10
図2.1.2 キースキャン入力タイミング	2-10
図2.2.1 INT割り込み動作例	2-19
図2.2.2 INT割り込み設定例	2-20
図2.2.3 タイマ1定周期割り込み設定例	2-21
図2.2.4 タイマ2定周期割り込み設定例	2-22
図2.3.1 周辺回路例	2-28
図2.3.2 ウォッチドッグタイマの機能	2-29
図2.3.3 定周期測定設定例	2-30
図2.3.4 CNTR出力の設定例	2-31
図2.3.5 CNTR入力の設定例	2-32
図2.3.6 外部入力によるタイマスタートの設定例	2-33
図2.3.7 ウォッチドッグタイマ使用例	2-34
図2.3.8 タイマカウント開始タイミングと動作開始時のカウント時間(T1、T2)	2-35
図2.4.1 A/D変換器の構成	2-36
図2.4.2 A/D変換モードの設定例	2-38
図2.4.3 アナログ入力外付け回路例1	2-39
図2.4.4 アナログ入力外付け回路例2	2-39
図2.4.5 A/D変換器の動作モードプログラム例	2-40
図2.5.1 RESET端子周辺の構成とパワーオンリセット動作	2-42
図2.5.2 リセット解除後の発振安定時間	2-42
図2.5.3 リセット時の内部状態(1)	2-43
図2.5.4 リセット時の内部状態(2)	2-44
図2.6.1 スタート識別例	2-46
図2.7.1 セラミック共振／RC発振への切り替え	2-52
図2.7.2 オンチップオシレータ動作時のXIN、XOUT端子の処理	2-53
図2.7.3 セラミック共振子外付け回路	2-53

図2.7.4	RC発振外付け回路	2-53
図2.7.5	クロック制御回路の構成	2-54

第3章 付 録

図3.2.1	A/D変換特性データ	3-30
図3.3.1	外部0割り込みプログラム例1	3-36
図3.3.2	外部0割り込みプログラム例2	3-37
図3.3.3	外部0割り込みプログラム例3	3-37
図3.3.4	タイマカウント開始タイミングと動作開始時のカウント時間(T1、T2)	3-38
図3.3.5	アナログ入力外付け回路例1	3-39
図3.3.6	アナログ入力外付け回路例2	3-39
図3.3.7	A/D変換器の動作モードプログラム例	3-40
図3.4.1	パッケージの選択	3-44
図3.4.2	リセット入力端子の配線	3-44
図3.4.3	クロック入出力端子の配線	3-44
図3.4.4	CNVss端子の配線	3-45
図3.4.5	PROM内蔵版のVpp端子の配線	3-45
図3.4.6	Vss-VDDライン間のバイパスコンデンサ	3-45
図3.4.7	アナログ信号線と抵抗及びコンデンサ	3-46
図3.4.8	大電流が流れる信号線の配線	3-46
図3.4.9	高速にレベル変化する信号線の配線	3-47
図3.4.10	発振子の裏面のVssパターン	3-47
図3.4.11	ソフトウェアによるウォッチドッグタイマ	3-48

表目次

第1章 ハードウェア

性能概要	1-4
端子の機能説明	1-5
マルチファンクション一覧	1-5
表 UA-1. システムクロックの選択	1-6
ポート機能一覧	1-7
使用しない端子の処理	1-8
表BC-1. ROM容量とページ数	1-17
表BD-1. RAM容量	1-18
表DD-1. 割り込み要因、割り込み番地、及び優先順位	1-19
表DD-2. 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット	1-19
表DD-3. 割り込み可能ビットの機能	1-19
表DD-4. 割り込み制御レジスタ	1-21
表DD-5. 割り込み起動条件	1-23
表DD-6. 外部割り込み制御レジスタ	1-24
表FB-1. タイマの機能一覧	1-26
表FB-2. タイマ制御レジスタ	1-28
表JA-1. A/D変換器の性能	1-33
表JA-2. A/D制御レジスタ	1-34
表VB-1. リセット時のポートの状態	1-39
表WD-1. RAMバックアップ時に保持される機能と状態	1-41
表WD-2. 復帰要因と復帰条件	1-42
表WD-3. キーオンウェイクアップ制御レジスタ、プルアップ制御レジスタ、割り込み制御レジスタ	1-44
表WA-1. クロック制御レジスタ	1-48
表XA-1. PROM内蔵版の型名一覧	1-104

第2章 応 用

表2.1.1 キーオンウェイクアップ制御レジスタK0のビット構成	2-6
表2.1.2 プルアップ制御レジスタPU0のビット構成	2-6
表2.1.3 キーオンウェイクアップ制御レジスタK1のビット構成	2-7
表2.1.4 プルアップ制御レジスタPU1のビット構成	2-7
表2.1.5 キーオンウェイクアップ制御レジスタK2のビット構成	2-8
表2.1.6 プルアップ制御レジスタPU2のビット構成	2-8
表2.1.7 タイマ制御レジスタW6のビット構成	2-9
表2.1.8 使用しない端子の処理方法	2-12
表2.2.1 割り込み制御レジスタV1のビット構成	2-15
表2.2.2 割り込み制御レジスタV2のビット構成	2-16
表2.2.3 割り込み制御レジスタI1のビット構成	2-17
表2.3.1 割り込み制御レジスタV1のビット構成	2-25
表2.3.2 タイマ制御レジスタW1のビット構成	2-26

表2.3.3	タイマ制御レジスタW2のビット構成	2-26
表2.3.4	タイマ制御レジスタW6のビット構成	2-27
表2.3.5	推奨動作条件(CNTR入力)	2-35
表2.4.1	A/D制御レジスタQ1	2-37
表2.4.2	推奨動作条件(A/D変換器使用時)	2-41
表2.6.1	RAMバックアップモード時に保持される機能と状態	2-45
表2.6.2	復帰条件	2-46
表2.6.3	スタート条件識別	2-46
表2.6.4	キーオンウェイクアップ制御レジスタK0	2-47
表2.6.5	キーオンウェイクアップ制御レジスタK1	2-47
表2.6.6	キーオンウェイクアップ制御レジスタK2	2-48
表2.6.7	プルアップ制御レジスタPU0	2-48
表2.6.8	プルアップ制御レジスタPU1	2-49
表2.6.9	プルアップ制御レジスタPU2	2-49
表2.6.10	割り込み制御レジスタI1	2-50
表2.7.1	電源電圧と発振周波数の最大値	2-53

第3章 付 録

表3.1.1	絶対最大定格	3-2
表3.1.2	推奨動作条件1(指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$ 、 $V_{DD} = 2.0 \sim 5.5\text{V}$)	3-3
表3.1.3	推奨動作条件2(指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$ 、 $V_{DD} = 2.0 \sim 5.5\text{V}$)	3-5
表3.1.4	電気的特性(指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$ 、 $V_{DD} = 2.0 \sim 5.5\text{V}$)	3-6
表3.1.5	A/Dコンバータ推奨動作条件 (コンパレータモードを含む。指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$) ...	3-7
表3.1.6	A/Dコンバータ特性 (指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$)	3-7
表3.3.1	使用しない端子の処理方法	3-35
表3.3.2	推奨動作条件(CNTR入力)	3-39
表3.3.3	推奨動作条件(A/D変換器使用時)	3-41

第1章

ハードウェア

概 要

特 長

応 用

ピン接続図

機能ブロック図

性能概要

端子の機能説明

機能ブロック動作説明

使用上の注意(まとめ)

制御レジスター一覧

命令

PROM内蔵版

概 要

4507グループはCMOSプロセスを用いて開発されたオリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、8ビットタイマ(リロードレジスタ付き)2本、割り込み機能、10ビットA/Dコンバータを内蔵しています。

4507グループは、内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

詳細については下記の表を参照してください。

特 長

- 最小命令実行時間 0.68 μ s
(発振周波数4.4MHz、高速モード時)
- 電源電圧 2.0~5.5V
(発振周波数及び動作モードにより異なります)

●タイマ

タイマ1 8ビット(リロードレジスタ付き)

タイマ2 8ビット(リロードレジスタ付き)

●割り込み機能 4要因

●キーオンウェイクアップ機能 12端子

●入出力ポート 18本

●A/Dコンバータ 10ビット逐次近似方式

●ウォッチドッグタイマ

●クロック発生回路(セラミック共振/RC発振)

●LED直接駆動可能(ポートD)

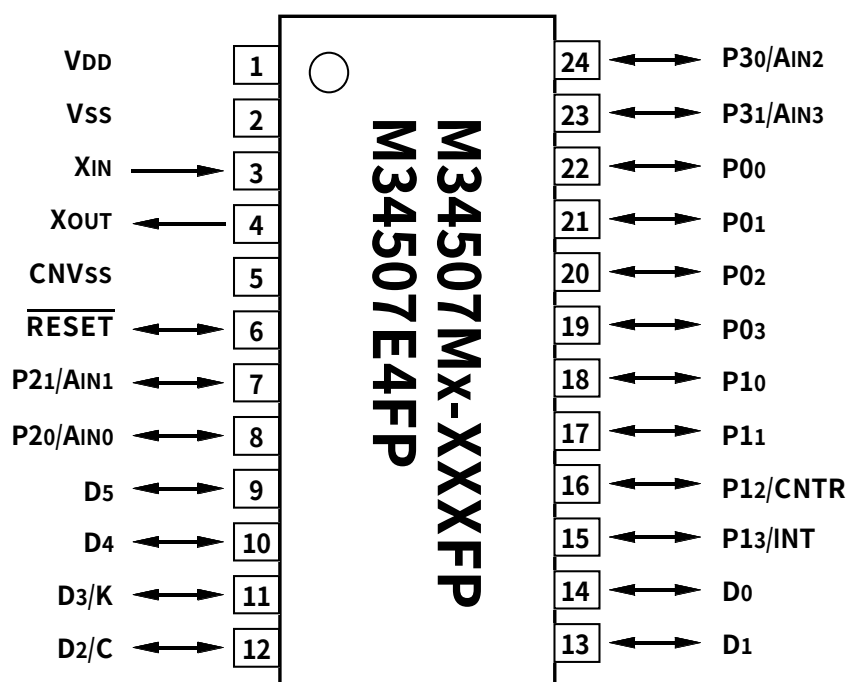
応 用

家電、民生機器、OA機器など

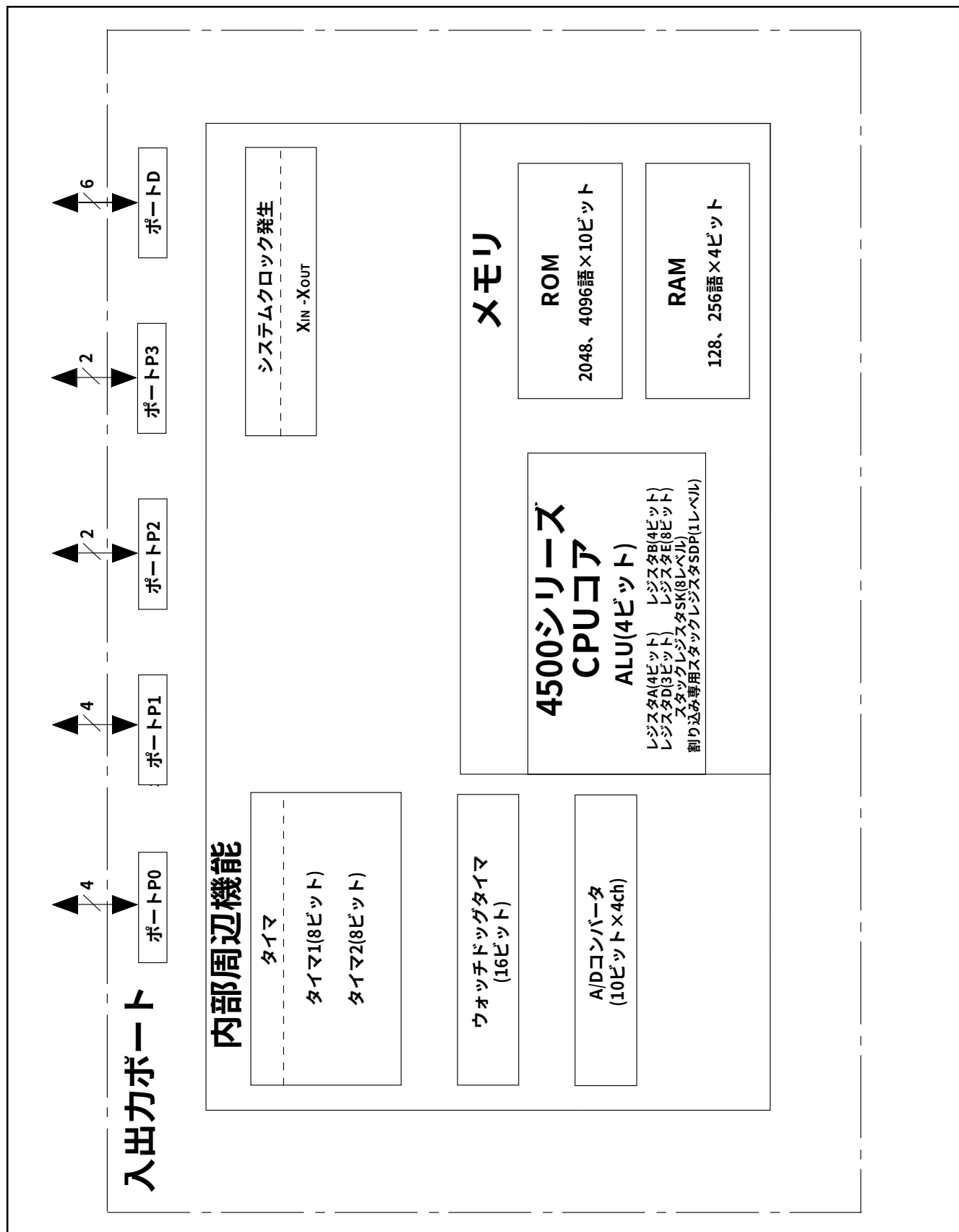
型 名	ROM(PROM)容量 ($\times 10$ ビット)	RAM容量 ($\times 4$ ビット)	パッケージ	ROM種類
M34507M2-XXXFP	2048語	128語	PRSP0024GA-A	マスクROM
M34507M4-XXXFP	4096語	256語	PRSP0024GA-A	マスクROM
M34507E4FP (注)	4096語	256語	PRSP0024GA-A	ワンタイムPROM

注. ブランク出荷品

4507グループピン接続図(上面図)



外形 PRSP0024GA-A (24P2Q-A)



機能ブロック図(4507グループ)

性能概要

項 目			性 能
基本命令数			112
最小命令実行時間			0.68 μs(発振周波数4.4MHz：高速モード時)
メモリ容量	ROM	M34507M2	2048語×10ビット
		M34507M4/E4	4096語×10ビット
	RAM	M34507M2	128語×4ビット
		M34507M4/E4	256語×4ビット
入出力ポート	D0～D5	入出力 (入力はスキップ判別)	1ビット×6 ポートD2、D3はプルアップ機能及びキーオンウェイクアップ機能がソフトウェア切り替え可能 ポートD2、D3はそれぞれポートC、Kと兼用
		P00～P03	入出力
	P10～P13	入出力	4ビット×1 プルアップ機能及びキーオンウェイクアップ機能がソフトウェア切り替え可能 ポートP12、P13はそれぞれCNTR、INT端子と兼用
	P20、P21	入出力	2ビット×1 プルアップ機能及びキーオンウェイクアップ機能がソフトウェア切り替え可能 ポートP20、P21はそれぞれAIN0、AIN1端子と兼用
	P30、P31	入出力	2ビット×1 ポートP30、P31はそれぞれAIN2、AIN3端子と兼用
	C	入出力ポートC	1ビット×1、ポートD2と兼用
	K	入出力ポートK	1ビット×1、ポートD3と兼用
	CNTR	タイマ入出力	1ビット×1、ポートP12と兼用
	INT	割り込み入力	1ビット×1、ポートP13と兼用
	AIN0、AIN1 AIN2、AIN3	アナログ入力	1ビット×4 AIN0、AIN1、AIN2、AIN3端子はそれぞれポートP20、P21、P30、P31と兼用
	タイマ	タイマ1	8ビットタイマ、リロードレジスタ付き
	タイマ2	8ビットタイマ／イベントカウンタ、リロードレジスタ付き	
A/Dコンバータ		10ビット×1、8ビットコンパレータ機能付き	
	アナログ入力	4チャンネル(AIN0～AIN3端子)	
割り込み	要因	4要因(外部、タイマ×2、A/D)	
	ネスティング	1レベル	
サブルーチンネスティング			8レベル
素子構造			CMOSシリコンゲート
パッケージ			24ピンプラスチックモールドSSOP(PRSP0024GA-A)
動作周囲温度			－20～85℃
電源電圧			2.0～5.5V (発振周波数及び動作モードにより異なります。推奨動作条件の項参照)
消費電流 (標準値)	動作時	1.7mA (Ta＝25℃、VDD＝5.0V、発振周波数4.0MHz、高速モード時、出力トランジスタ遮断状態)	
		0.5mA (Ta＝25℃、VDD＝3.0V、発振周波数2.0MHz、高速モード時、出力トランジスタ遮断状態)	
	RAMバックアップ時	0.1 μA(Ta＝25℃、VDD＝5.0V、出力トランジスタ遮断状態)	

端子の機能説明

端 子 名	名 称	入 力 出 力	機 能
VDD	電源	—	正電源電圧供給端子です。
VSS	接地	—	GND端子です。
CNVSS	CNVSS	—	この端子はVSSに接続し、必ず“L”(0V)を印加してください。
XIN	クロック入力	入力	クロック発生回路の入力／出力端子です。セラミック共振を使用する場合はXIN端子とXOUT端子の間にセラミック共振子を接続してください。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています。RC共振を使用する場合は、XIN端子に抵抗、コンデンサを接続し、XOUT端子を開放して使用します。
XOUT	クロック出力	出力	
RESET	リセット入出力	入出力	リセットパルスの入出力端子です。内蔵パワーオンリセット回路、又はウォッチドッグタイマによるリセット発生時に“L”レベルが出力されます。出力形式はNチャネルオープンドレインです。
D0～D5	入出力ポートD (入力はスキップ 判別)	入出力	各端子ごとに1ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。ポートD2、D3はソフトウェアで切り替え可能なキオンウェイクアップ機能及びブルアップ機能を内蔵しています。 ポートD2、D3はそれぞれポートC、Kと兼用です。
P00～P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。ソフトウェアで切り替え可能なキオンウェイクアップ機能、ブルアップ機能を内蔵しています。
P10～P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。ソフトウェアで切り替え可能なキオンウェイクアップ機能及びブルアップ機能を内蔵しています。 ポートP12、P13はそれぞれCNTR、INT端子と兼用です。
P20、P21	入出力ポートP2	入出力	ポートとして2ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。ソフトウェアで切り替え可能なキオンウェイクアップ機能及びブルアップ機能を内蔵しています。 ポートP20、P21はそれぞれAIN0、AIN1端子と兼用です。
P30、P31	入出力ポートP3	入出力	ポートとして2ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。 ポートP30、P31はそれぞれAIN2、AIN3端子と兼用です。
C	入出力ポートC	入出力	ポートとして1ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。ソフトウェアで切り替え可能なキオンウェイクアップ機能及びブルアップ機能を内蔵しています。 ポートCはポートD2と兼用です。
K	入出力ポートK	入出力	ポートとして1ビットの入出力機能を持っています。出力ラッチを“1”に設定すると入力可能状態になります。出力形式はNチャネルオープンドレインです。ソフトウェアで切り替え可能なキオンウェイクアップ機能及びブルアップ機能を内蔵しています。 ポートKはポートD3と兼用です。
CNTR	タイマ入出力	入出力	タイマ2のイベントカウント用クロックの入力機能と、タイマ1あるいはタイマ2のアンダフローの2分周信号の出力機能を持っています。この端子はポートP12と兼用です。
INT	割り込み入力	入力	外部からの割り込みを受け付ける機能と、ソフトウェアで切り替え可能なキオンウェイクアップ機能を持っています。この端子はポートP13と兼用です。
AIN0～AIN3	アナログ入力	入力	A/D変換器のアナログ入力端子です。AIN0、AIN1端子はそれぞれポートP20、P21と、AIN2、AIN3端子はそれぞれポートP30、P31と兼用です。

マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
D2	C	C	D2	P20	AIN0	AIN0	P20
D3	K	K	D3	P21	AIN1	AIN1	P21
P12	CNTR	CNTR	P12	P30	AIN2	AIN2	P30
P13	INT	INT	P13	P31	AIN3	AIN3	P31

注1. 上記以外の端子は単一機能です。

2. C、K、INT、CNTR(入力)を使用している場合でも、D2、D3、P13、P12の入出力機能は有効です。

3. CNTR(出力)を使用している場合でも、P12の入力は有効です。

4. AIN0、AIN1、AIN2、AIN3を使用している場合でも、P20、P21、P30、P31の入出力は有効です。

クロック及びサイクルの定義

●動作源クロック

本製品の動作の源となるクロックです。本製品では、外付けセラミック共振子、外付けRC発振又は外部クロック入力によるクロック($f(X_{IN})$)及び内部発振器であるオンチップオシレータのクロック($f(RING)$)が使用できます。

●システムクロック

本製品を制御する基本クロックです。
システムクロックはクロック制御レジスタMRのビット2、ビット3の設定により、表UA-1のように選択できます。

●マシンサイクル

命令の実行に要する基準周期です。

●インストラクションクロック

CPUを制御する基準クロックです。

インストラクションクロックはシステムクロックを3分周した信号で、1周期で1マシンサイクルの期間を生成します。

表 UA-1. システムクロックの選択

レジスタMR		システムクロック(注1)	動作モード名
MR3	MR2		
0	0	$f(X_{IN})$ 又は $f(RING)$	高速モード
0	1	$f(X_{IN})/2$ 又は $f(RING)/2$	中速モード
1	0	$f(X_{IN})/4$ 又は $f(RING)/4$	低速モード
1	1	$f(X_{IN})/8$ 又は $f(RING)/8$	デフォルトモード

注1. オンチップオシレータクロックは $f(RING)$ 、セラミック共振子、RC発振又は外部クロック入力によるクロックは $f(X_{IN})$ です。

2. リセット解除後及びRAMバックアップからの復帰後はデフォルトモードが選択されます。

ポート機能一覧

ポート名	端子名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特 記 事 項
ポートD	D0、D1、D4、D5	入出力 (6本)	Nチャネル オープン ドレイン	1ビット	SD、RD SZD、CLD SCP、RCP SNZCP IAK、OKA	PU2、K2	ブルアップ機能及び キーオンウェイクアップ機能付き (共にソフトウェアで切り替え可能)
	D2/C						
	D3/K						
ポートP0	P00、P01 P02、P03	入出力 (4本)	Nチャネル オープン ドレイン	4ビット	OP0A IAP0	PU0、K0	ブルアップ機能及び キーオンウェイクアップ機能付き (共にソフトウェアで切り替え可能)
ポートP1	P10、P11 P12/CNTR P13/INT	入出力 (4本)	Nチャネル オープン ドレイン	4ビット	OP1A IAP1	PU1、K1 W6、I1	ブルアップ機能及び キーオンウェイクアップ機能付き (共にソフトウェアで切り替え可能)
ポートP2	P20/AIN0 P21/AIN1	入出力 (2本)	Nチャネル オープン ドレイン	2ビット	OP2A IAP2	PU2、K2 Q1	ブルアップ機能及び キーオンウェイクアップ機能付き (共にソフトウェアで切り替え可能)
ポートP3	P30/AIN2 P31/AIN3	入出力 (2本)	Nチャネル オープン ドレイン	2ビット	OP3A IAP3	Q1	

使用しない端子の処理

端 子 名	処 理 方 法	使 用 条 件
XIN	Vssに接続	オンチップオシレータでの動作時(注1)
XOUT	開放	外部クロック使用時(CMCK命令でセラミック発振回路を選択)
		RC発振時(CRCK命令でRC発振回路を選択)
		オンチップオシレータでの動作時(注1)
D0、D1 D4、D5	開放(出力ラッチを“1”に設定)	
	開放(出力ラッチを“0”に設定)	
	Vssに接続	
D2/C D3/K	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	Vssに接続	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P00、P01 P02、P03	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	Vssに接続	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P10、P11 P12/CNTR	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	Vssに接続	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P13/INT	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択、INT端子入力禁止時(注4、5)
	開放(出力ラッチを“0”に設定)	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	Vssに接続	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P20/AIN0 P21/AIN1	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	Vssに接続	ブルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P30/AIN2 P31/AIN3	開放(出力ラッチを“1”に設定)	
	開放(出力ラッチを“0”に設定)	
	Vssに接続	

注1. プログラムでセラミック発振回路またはRC発振回路を選択しない場合は、オンチップオシレータ(内部発振器)で動作します。

2. ブルアップ機能を選択していると電源電流が増加します。ブルアップ機能は必ず非選択にしてください。

3. キーオンウェイクアップ機能を選択しているとRAMバックアップ状態へ移行してもすぐ復帰します。

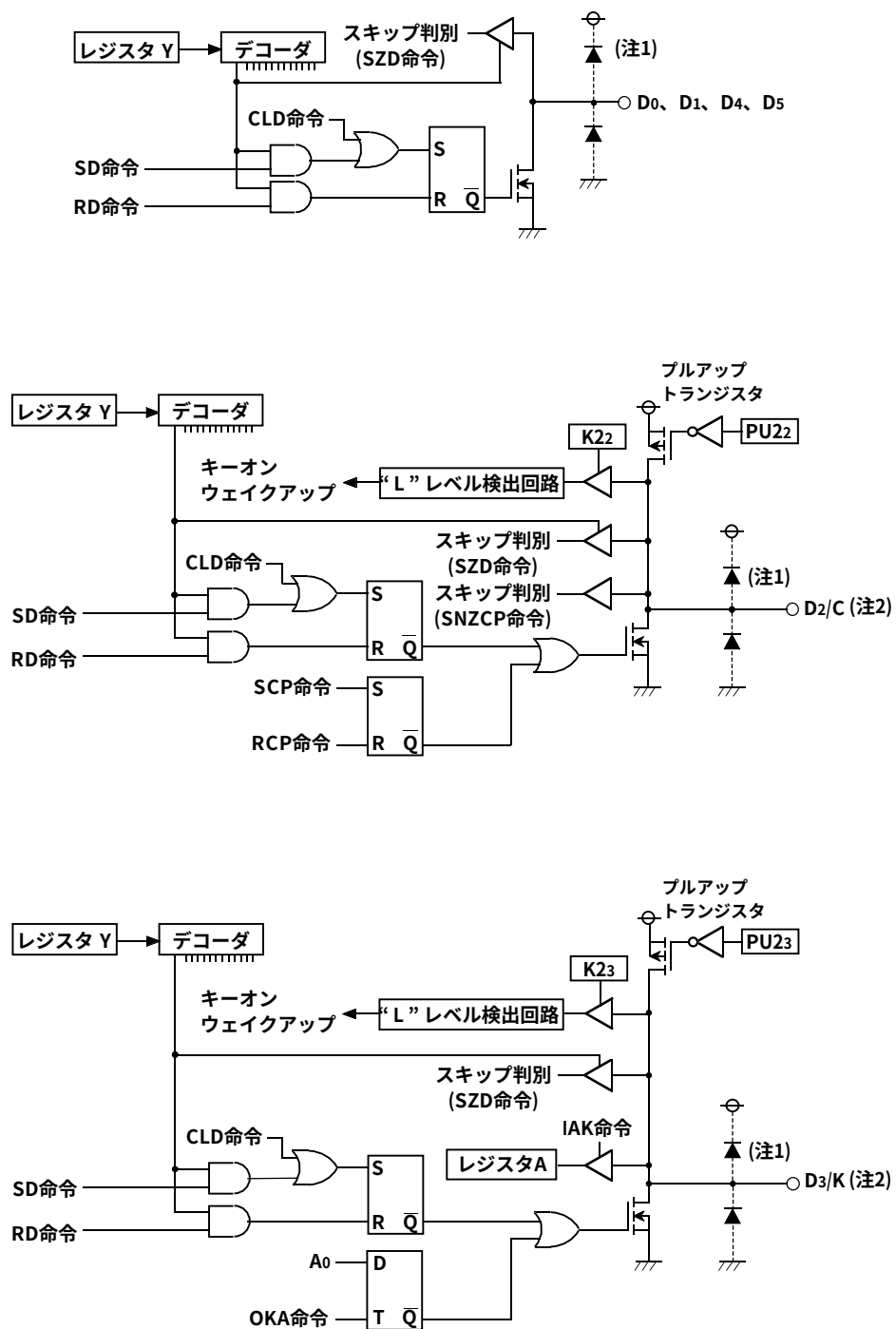
キーオンウェイクアップ機能は必ず非選択としてください。

4. 止むをえずキーオンウェイクアップ機能を選択する場合は、ブルアップ機能も併せて選択してください。

5. レジスタ11のビット3(I13)を“0”にクリアし、入力禁止としてください(リセット後:I13=“0”)。

(Vss端子に接続する場合の注意事項)

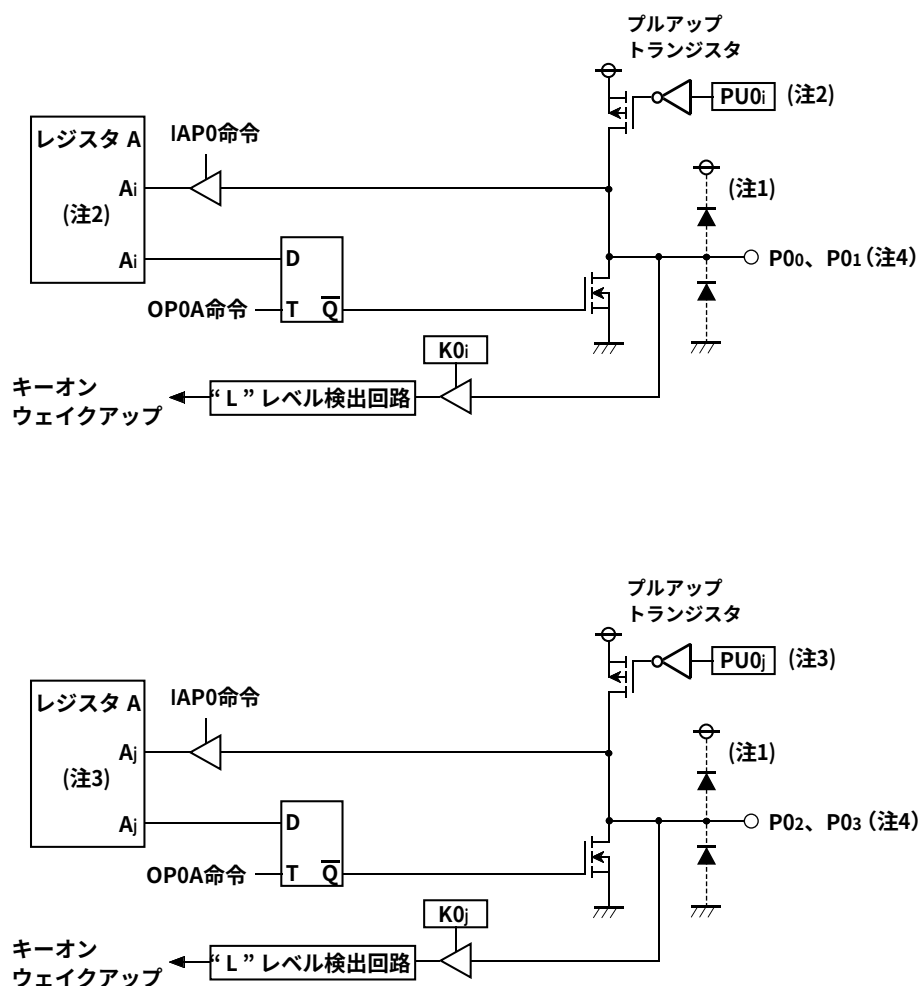
・使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。



注1. -----◀-----は寄生ダイオードで
あり電流は流せません。

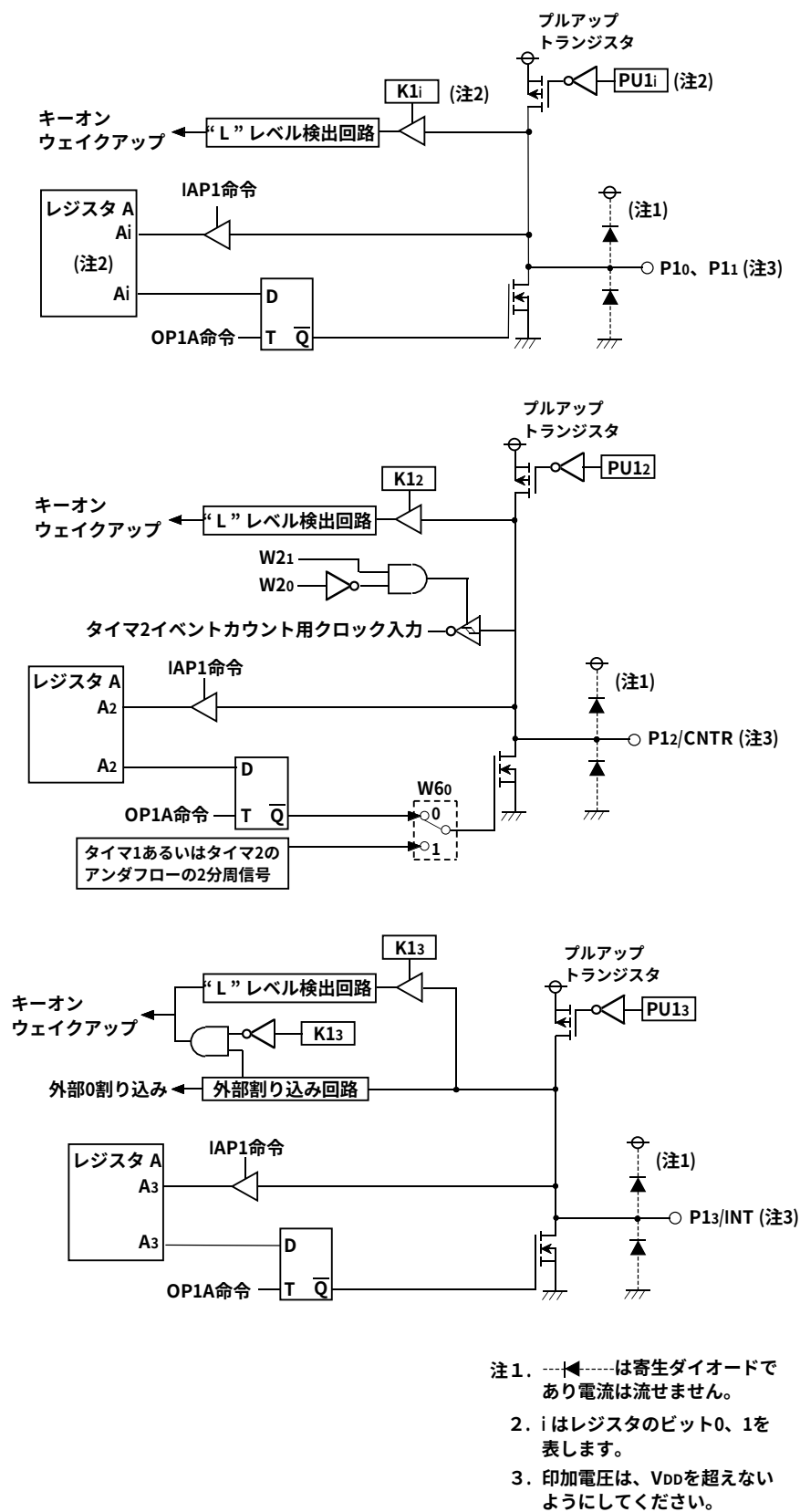
2. 印加電圧は、 V_{DD} を超えない
ようにしてください。

ポートブロック図(1)

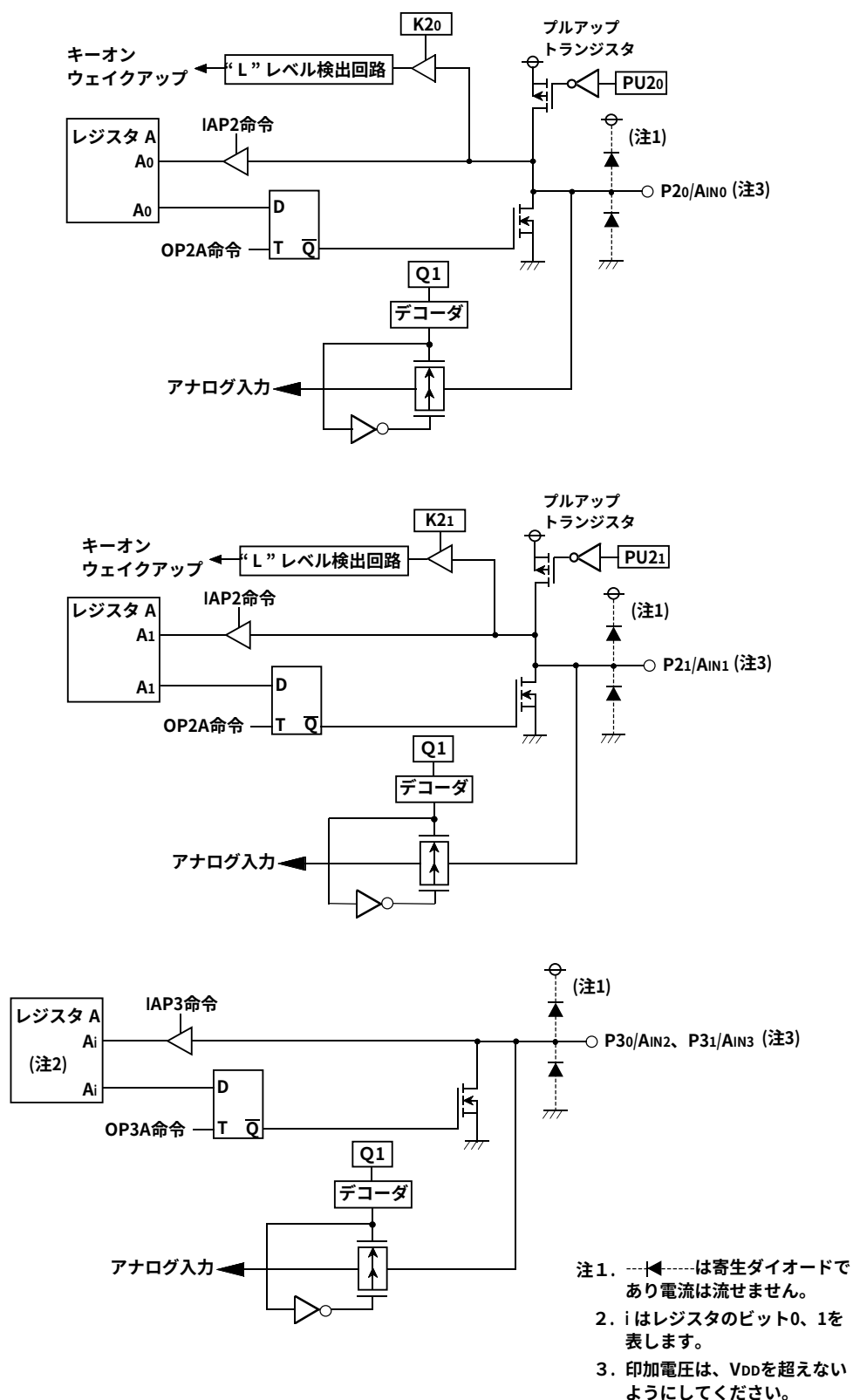


- 注1. $\text{---}\triangleleft\text{---}$ は寄生ダイオードであり電流は流せません。
- 注2. i はレジスタのビット0、1を表します。
- 注3. j はレジスタのビット2、3を表します。
- 注4. 印加電圧は、 V_{DD} を超えないようにしてください。

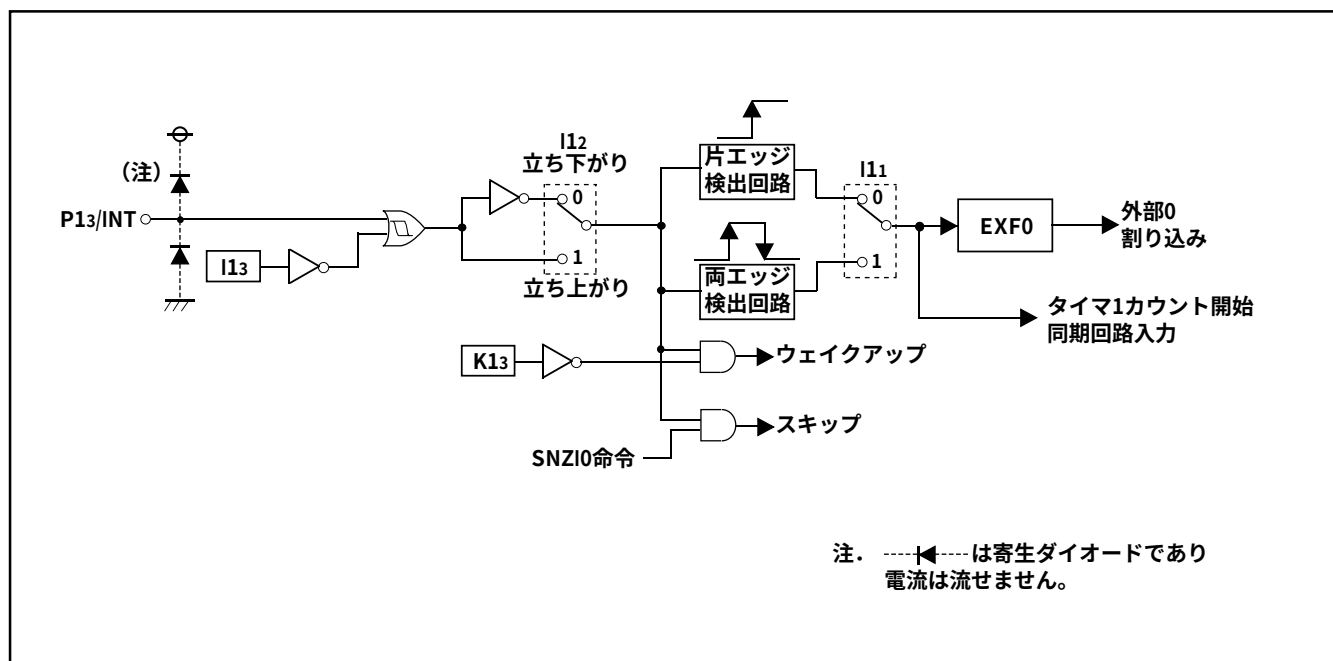
ポートブロック図(2)



ポートブロック図(3)



ポートブロック図(4)



外部割り込み回路の構成

機能ブロック動作説明

CPU

(1)4ビット論理演算ユニット(ALU)

ALUは4ビットの演算—加算、比較、論理積、論理和、ビット処理など—を行うユニットです。

(2)レジスタA及びキャリフラグ(CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると“1”にセットされます(図BA-1)。

なお、A n命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます(図BA-2)。

フラグCYはSC命令で“1”にセットされ、RC命令で“0”にクリアされます。

(3)レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

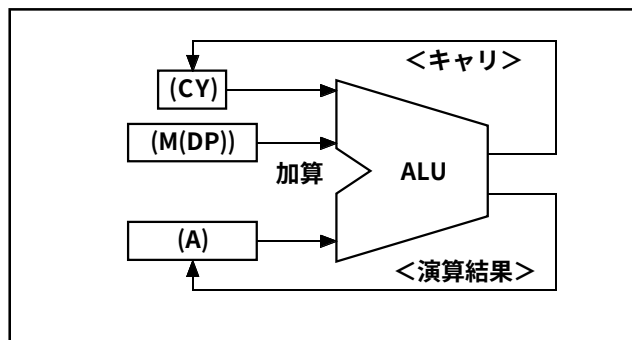
レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します(図BA-3)。

レジスタEはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。

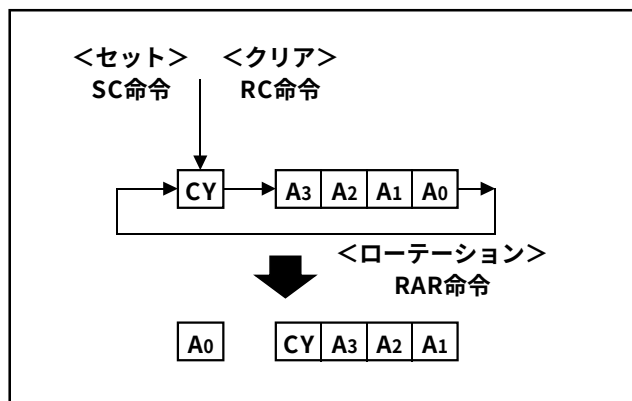
(4)レジスタD

レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP p命令、BLA p命令、及びBMLA p命令の実行時に指定ページ内のポインタとして使用します(図BA-4)。

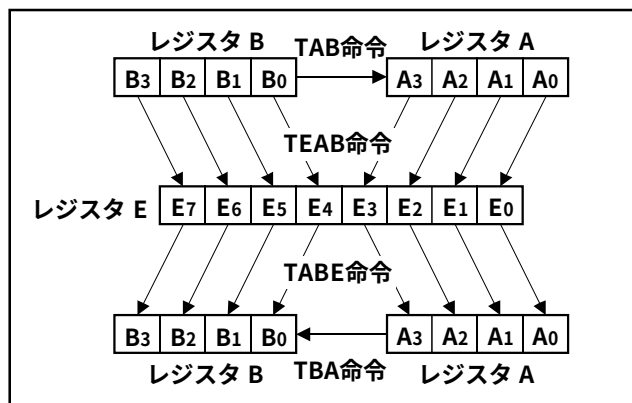
レジスタDはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。



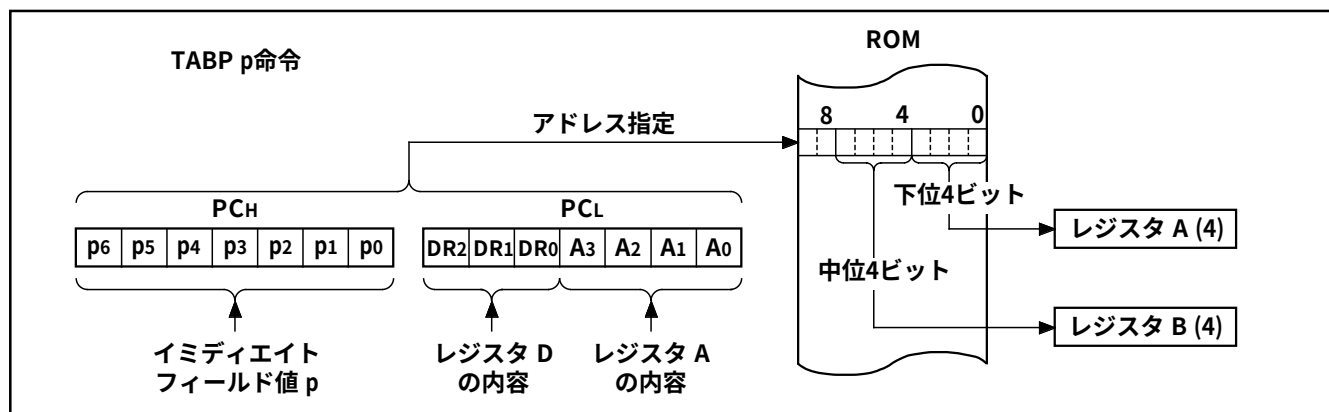
図BA-1. AMC命令実行例



図BA-2. RAR命令実行例



図BA-3. レジスタA、BとレジスタE



図BA-4. TABP p命令実行例

(5) スタックレジスタSK及びスタックポインタ(SP)

レジスタSKは、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令(TABP p)を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ(SP)によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図BA-5にレジスタSKの構成を、図BA-6にサブルーチン呼び出し時の動作例を示します。

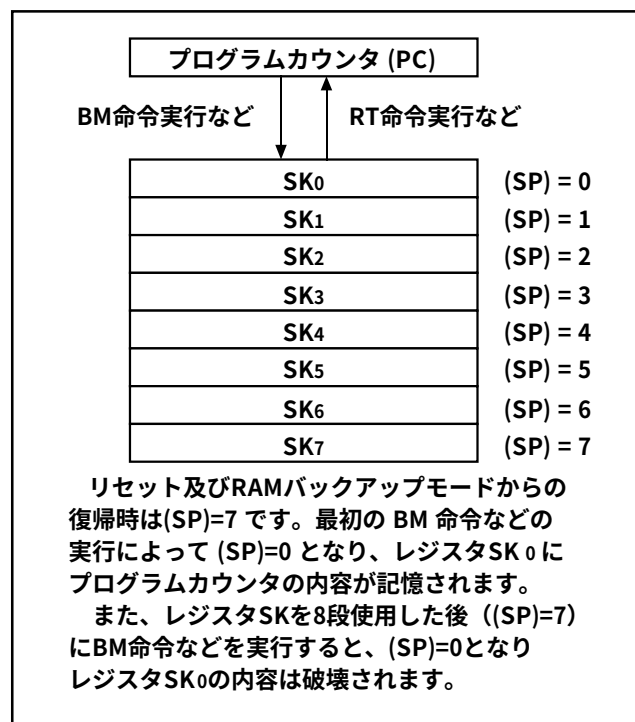
(6) 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

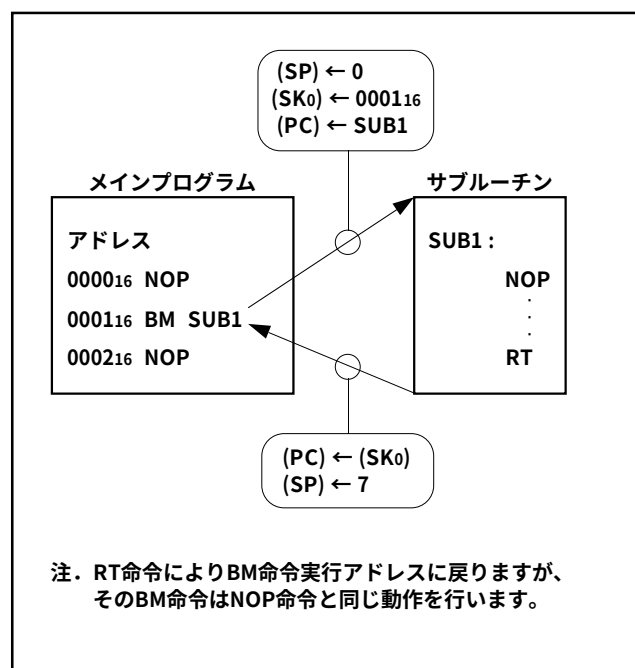
レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

(7) スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。



図BA-5. スタックレジスタSKの構成



図BA-6. サブルーチン呼び出し時の動作例

(8) プログラムカウンタ(PC)

プログラムカウンタはROMアドレス(ページ及び番地)を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を+1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令(TABP p)実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPCH(最上位ビット～ビット7)とページ内の番地を指定するPCL(ビット6～ビット0)に分かれており、各ページの最終番地(127番地)までくると次のページの0番地を指定します(図BA-7)。

なお、PCHが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(9) データポインタ(DP)

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています(図BA-8)。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

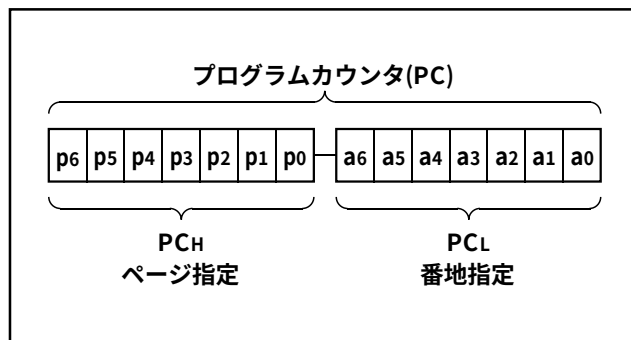
なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット(ピン位置)を設定し、SD、RD、SZD命令を実行してください。

図BA-9にSD命令実行例を示します。

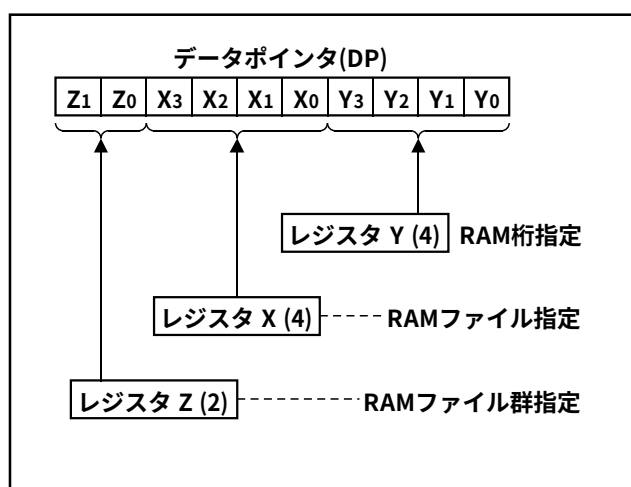
●注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

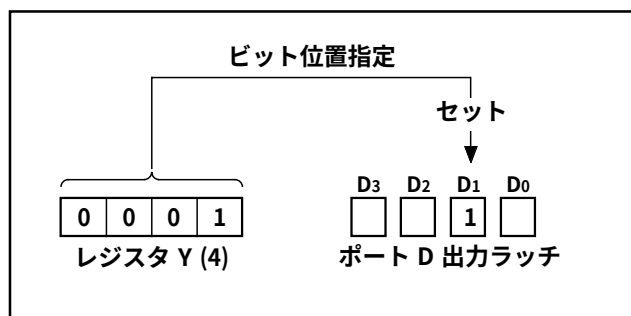
また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタへの再設定を行ってください。



図BA-7. プログラムカウンタ(PC)の構成



図BA-8. データポインタ(DP)の構成



図BA-9. SD命令実行例

プログラムメモリ (ROM)

プログラムメモリは、1語が10ビットで構成されており、128語(0～127番地)ごとにページという単位で分けられています。

1ページ(0080₁₆～00FF₁₆)の先頭には割り込み番地が割り付けられています(図BC-2)。

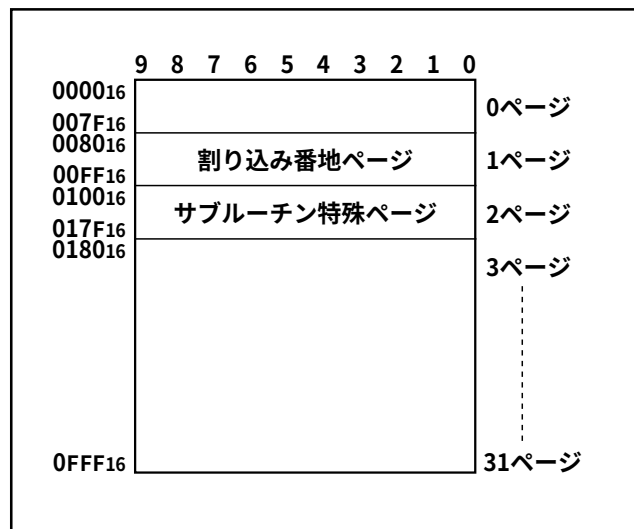
割り込みが発生すると各割り込みに対応した番地(割り込み番地)がプログラムカウンタ(PC)に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

2ページ(0100₁₆～017F₁₆)はサブルーチン呼び出しのための特殊なページです(図BC-1)。このページに書き込まれたサブルーチンは、一語命令(BM命令)で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

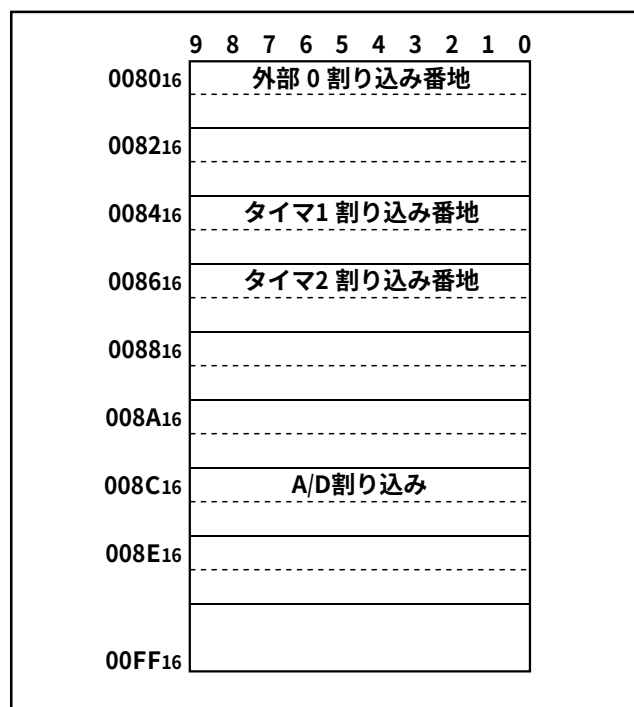
また、すべてのアドレスのROMパターン(ビット7～0)をTABP p命令によりデータ領域として使用できます。

表BC-1. ROM容量とページ数

型 名	ROM(PROM)容量 (×10ビット)	ページ数
M34507M2	2048語	16(0～15)
M34507M4	4096語	32(0～31)
M34507E4	4096語	32(0～31)



図BC-1. M34507M4/M34507E4のROMマップ



図BC-2. 割り込み番地ページ (0080₁₆～00FF₁₆)の構成

データメモリ (RAM)

RAMは1語が4ビットで構成されていますが、SB j、RB j、SZB j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行する際には、必ずデータポインタに値を設定してください (RAMバックアップからの復帰後も必ず設定してください)。

表BD-1にRAM容量、図BD-1にRAMマップを示します。

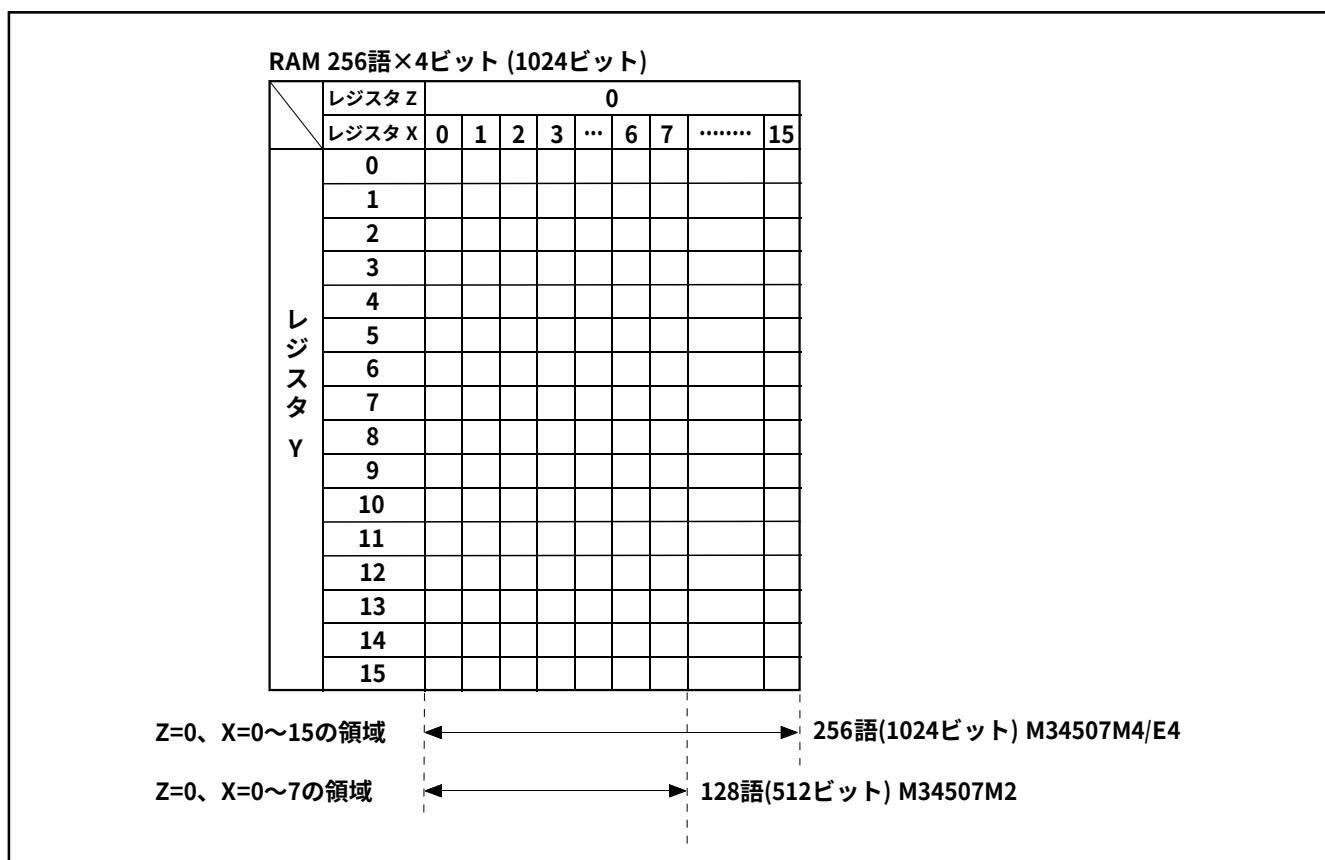
表BD-1. RAM容量

型 名	RAM容量
M34507M2	128語×4ビット(512ビット)
M34507M4	256語×4ビット(1024ビット)
M34507E4	256語×4ビット(1024ビット)

●注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタの再設定を行ってください。



図BD-1. RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス(割り込み番地)に分岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

- 割り込み許可フラグが許可状態(INTE=“1”)
- 割り込み可能ビットが可能状態(“1”)
- 割り込み起動条件が成立(要求フラグ=“1”)

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表DD-1に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

(1) 割り込み許可フラグ(INTE)

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは“1”にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは“0”にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に“0”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

(2) 割り込み可能ビット(V10、V12、V13、V22)

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表DD-2に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表DD-3に割り込み可能ビットの機能を示します。

(3) 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは“1”にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが“0”にクリアされます。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表DD-1に示す優先順位に従って割り込みが発生します。

表DD-1. 割り込み要因、割り込み番地、及び優先順位

優先 順位	割り込み要因		割り込み 番地
	割り込み名	起動条件	
1	外部0 割り込み	INT端子の レベル変化	1ページ 0番地
2	タイマ1 割り込み	タイマ1の アンダフロー	1ページ 4番地
3	タイマ2 割り込み	タイマ2の アンダフロー	1ページ 6番地
4	A/D 割り込み	A/D変換 終了	1ページ C番地

表DD-2. 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み 要求フラグ	割り込み 要求フラグ	割り込み 要求フラグ
外部0割り込み	EXF0	SNZ0	V10
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
A/D割り込み	ADF	SNZAD	V22

表DD-3. 割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可 能	無 効
0	禁 止	有 効

(4) 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります(図DD-2参照)。

●プログラムカウンタ(PC)

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタSKに格納されます。

●割り込み許可フラグ(INTE)

フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

●割り込み要求フラグ

割り込み要因に対応した要求フラグだけが、“0”にクリアされます。

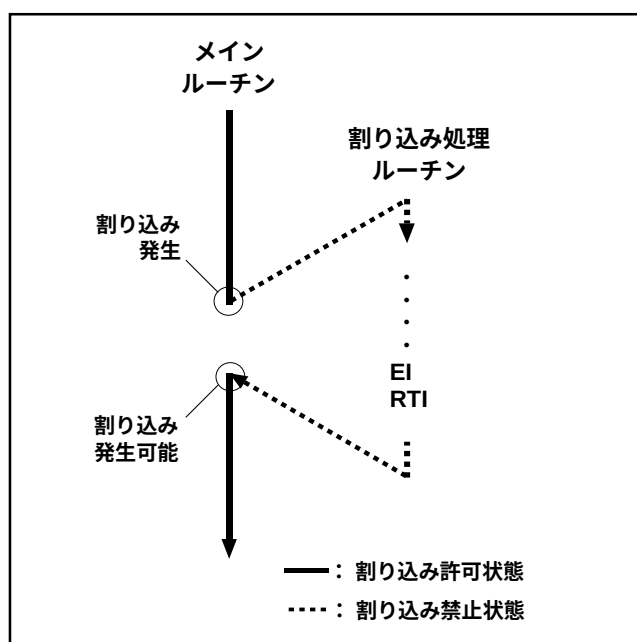
●データポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPに退避されます。

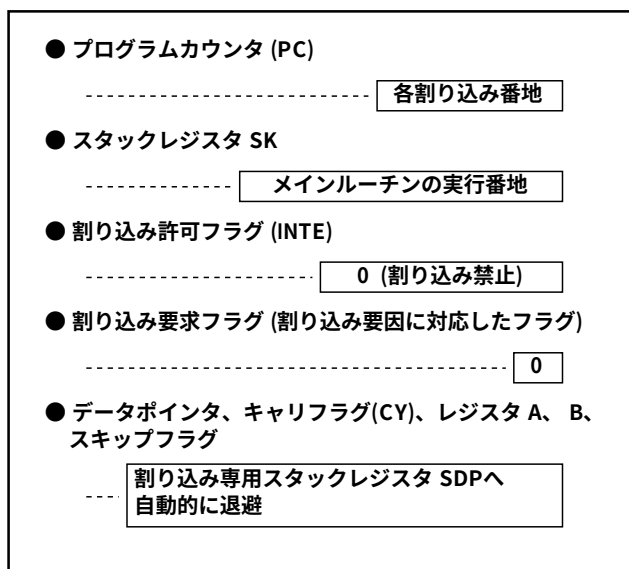
(5) 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

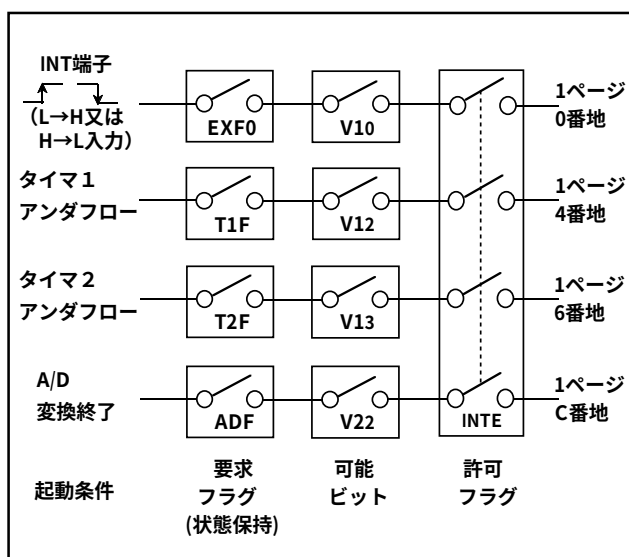
なお、EI命令実行による割り込みの許可は、1命令経過の後(次命令の実行終了直後)に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります(図DD-1参照)。



図DD-1. 割り込み処理プログラム例



図DD-2. 割り込み発生時の内部状態



図DD-3. 割り込み系統図

(6) 割り込み制御レジスタ**●割り込み制御レジスタV1**

レジスタV1には、外部0、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

●割り込み制御レジスタV2

レジスタV2には、A/D割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表DD-4. 割り込み制御レジスタ

割り込み制御レジスタV1		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R/W
V13	タイマ2割り込み可能ビット	0	発生禁止 (SNZT2命令有効)		
		1	発生可能 (SNZT2命令無効)(注2)		
V12	タイマ1割り込み可能ビット	0	発生禁止 (SNZT1命令有効)		
		1	発生可能 (SNZT1命令無効)(注2)		
V11	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V10	外部0割り込み可能ビット	0	発生禁止 (SNZ0命令有効)		
		1	発生可能 (SNZ0命令無効)(注2)		

割り込み制御レジスタV2		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R/W
V23	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V22	A/D割り込み可能ビット	0	発生禁止 (SNZAD命令有効)		
		1	発生可能 (SNZAD命令無効)(注2)		
V21	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V20	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			

注1: “R”は読み出し可、“W”は書き込み可を表します。

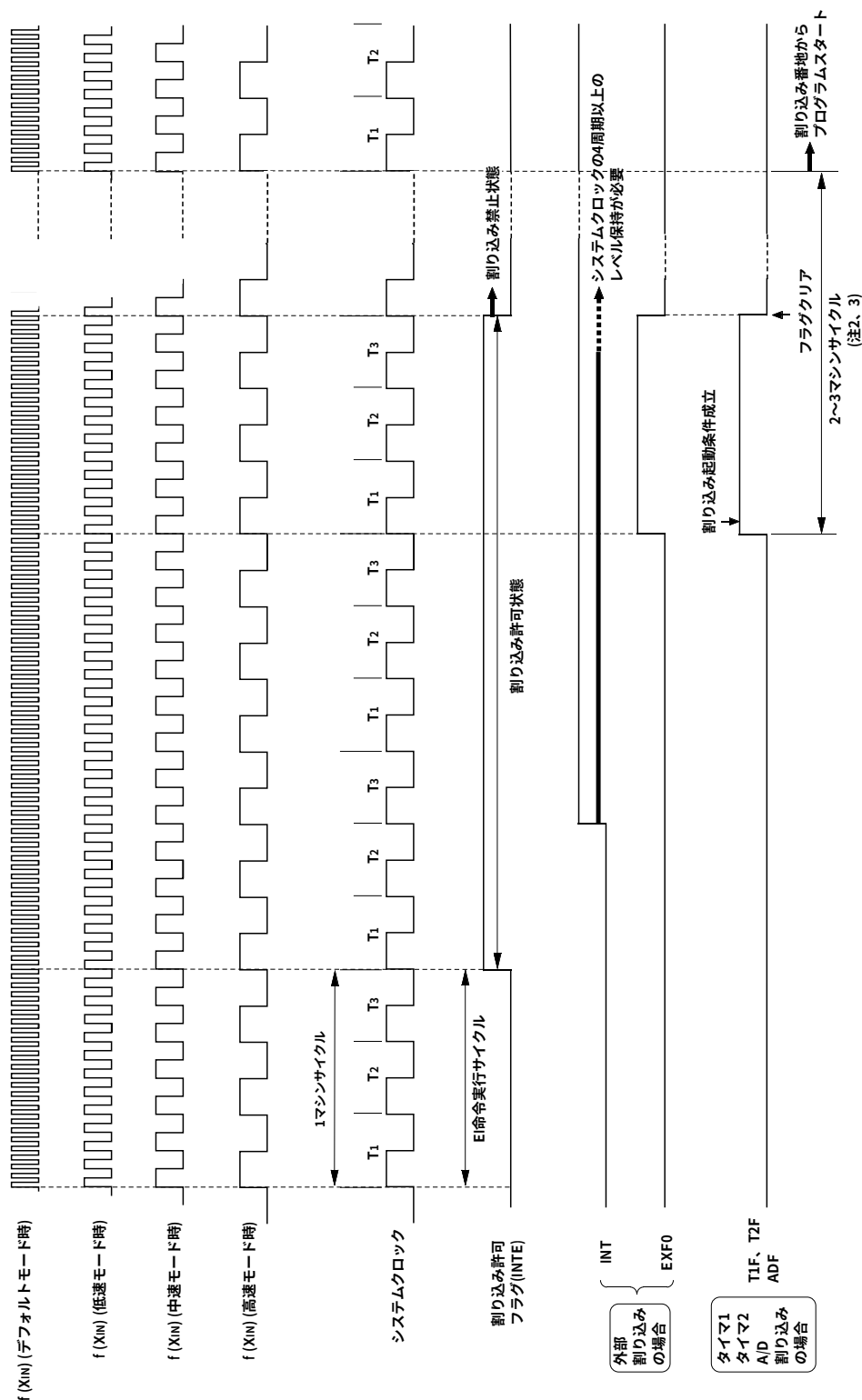
2. これらの命令は、NOP命令と等価となります。

(7) 割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット(V10、V12、V13、V22)、各割り込み要求フラグが“1”になったときに起動します。割り込み発生のタイミングは、上記3条件のすべてが成立したサイクルを起点として2～3マシンサイクル後です。

割り込みの発生が3マシンサイクル後になるのは、割り込み条件が成立したときの命令が1サイクル命令以外のときです(図DD-4参照)。

●割り込み許可後、要求フラグがセットされた場合 (注1)



注1. 本製品はリセット解除直後は、デフォルトモードで動作します (システムクロック=動作源クロックの8分周)。

注2. 最終サイクルでアドレスをスタックします。

注3. 割り込み起動条件が成立してから、割り込み起動条件が成立したときに実行中の命令によって異なります。

図DD-4. 割り込みシーケンス

外部割り込み

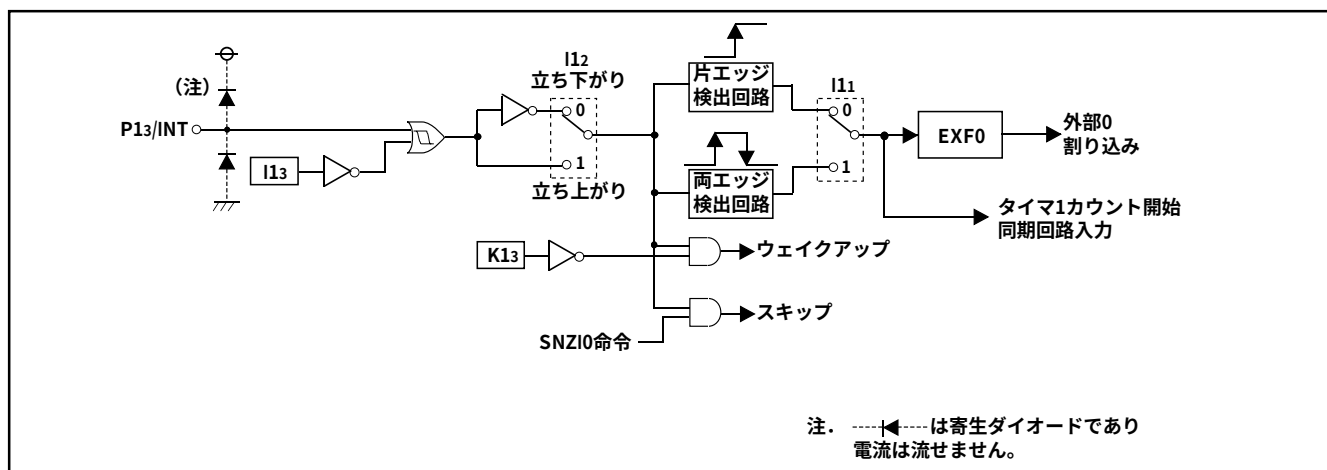
外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求が発生します(エッジ検出)。

本製品は、1本の外部割り込み機能をもっています。

この割り込みは割り込み制御レジスタI1で制御できます。

表DD-5. 割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	INT	INT端子に次の波形が入力されたとき ・立ち下がり波形(“H” $\rightarrow$ “L”) ・立ち上がり波形(“L” $\rightarrow$ “H”) ・立ち下がり及び立ち上がりの両波形	I11、I12



図DD-5. 外部割り込み回路の構成

(1) 外部0割り込み要求フラグ(EXF0)

フラグEXF0はINT端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF0の状態は、スキップ命令の実行(SNZ0命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

●外部0割り込み起動条件

外部0割り込みの起動条件は、INT端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部0割り込みの使用方法の一例を示します。

①割り込み制御レジスタI1のビット3(I13)を“1”にセットし、INT端子入力可能状態に設定

②割り込み制御レジスタI1のビット1(I11)、ビット2(I12)で有効波形を選択

③SNZ0命令を使用して、フラグEXF0を“0”にクリア

④SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入

⑤外部0割り込み可能ビット(V10)及び割り込み許可フラグ(INTE)を共に“1”にセット

以上の操作により外部0割り込み発生許可状態になります。この状態でINT端子に有効波形を入力すると、フラグEXF0が“1”にセットされ、外部0割り込みが発生します。

(2)外部割り込み制御レジスタ

●割り込み制御レジスタI1

レジスタI1は、外部0割り込みの有効波形を制御します。このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表DD-6. 外部割り込み制御レジスタ

割り込み制御レジスタI1		リセット時：00002		RAMバックアップ時：状態保持	R/W
I13	INT端子入力制御ビット(注2)	0	INT端子入力禁止		
		1	INT端子入力可能		
I12	INT端子割り込み有効波形／復帰レベル選択ビット(注2)	0	立ち下がり波形(SNZI0命令はINT端子の‘L’レベル認識)／‘L’レベル		
		1	立ち上がり波形(SNZI0命令はINT端子の‘H’レベル認識)／‘H’レベル		
I11	INT端子エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT端子タイマ1制御可能ビット	0	制御禁止		
		1	制御可能		

注1: ‘R’は読み出し可、‘W’は書き込み可を表します。

- レジスタI1のビット2(I12)、ビット3(I13)の内容を変更した際に、外部0割り込み要求フラグ(EXF0)がセットされる場合がありますので、レジスタV1のビット0(V10)が‘0’の状態ではSNZ0命令を実行し、フラグEXF0をクリアしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。

(3)注意事項**①レジスタIIのビット3に関する注意1**

ソフトウェアの途中で割り込み制御レジスタIIのビット3によってINT端子の入力制御を行う際は次の点に注意してください。

- レジスタIIのビット3の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図DD-6①)した後、レジスタIIのビット3の内容を変更してください。更に、一命令以上において(図DD-6②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6③)。

```

      ⋮
LA  4  ; (×××02)
TV1A  ; SNZ0命令有効・・・ ①
LA  8  ; (1×××2)
TI1A  ; INT端子入力制御変更
NOP    ; ..... ②
SNZ0   ; SNZ0命令実行
        (フラグEXF0クリア)
NOP    ; ..... ③
      ⋮

```

×：このビットはINT端子の入力制御には関係しません。

図DD-6. 外部0割り込みプログラム例1

②レジスタIIのビット3に関する注意2

割り込み制御レジスタIIのビット3を“0”にクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13≠0)は、RAMバックアップモードに移行する前にレジスタIIのビット2、ビット3をクリアする必要があります(図DD-7①)。

```

      ⋮
LA  0  ; (00××2)
TI1A  ; INT入力禁止・・・ ①
DI
EPOF
POF   ; RAMバックアップ
      ⋮

```

×：このビットは本例では関係しません。

図DD-7. 外部0割り込みプログラム例2

③レジスタIIのビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタIIのビット2によってP13/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタIIのビット2の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図DD-8①)した後、レジスタIIのビット2の内容を変更してください。更に、一命令以上において(図DD-8②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8③)。

```

      ⋮
LA  4  ; (×××02)
TV1A  ; SNZ0命令有効・・・ ①
LA  12 ; (×1××2)
TI1A  ; 割り込み有効波形変更
NOP    ; ..... ②
SNZ0   ; SNZ0命令実行
        (フラグEXF0クリア)
NOP    ; ..... ③
      ⋮

```

×：このビットはINT0端子の割り込み有効波形の設定には関係しません。

図DD-8. 外部0割り込みプログラム例3

タイマ

本製品が内蔵するタイマには、以下の種類があります。

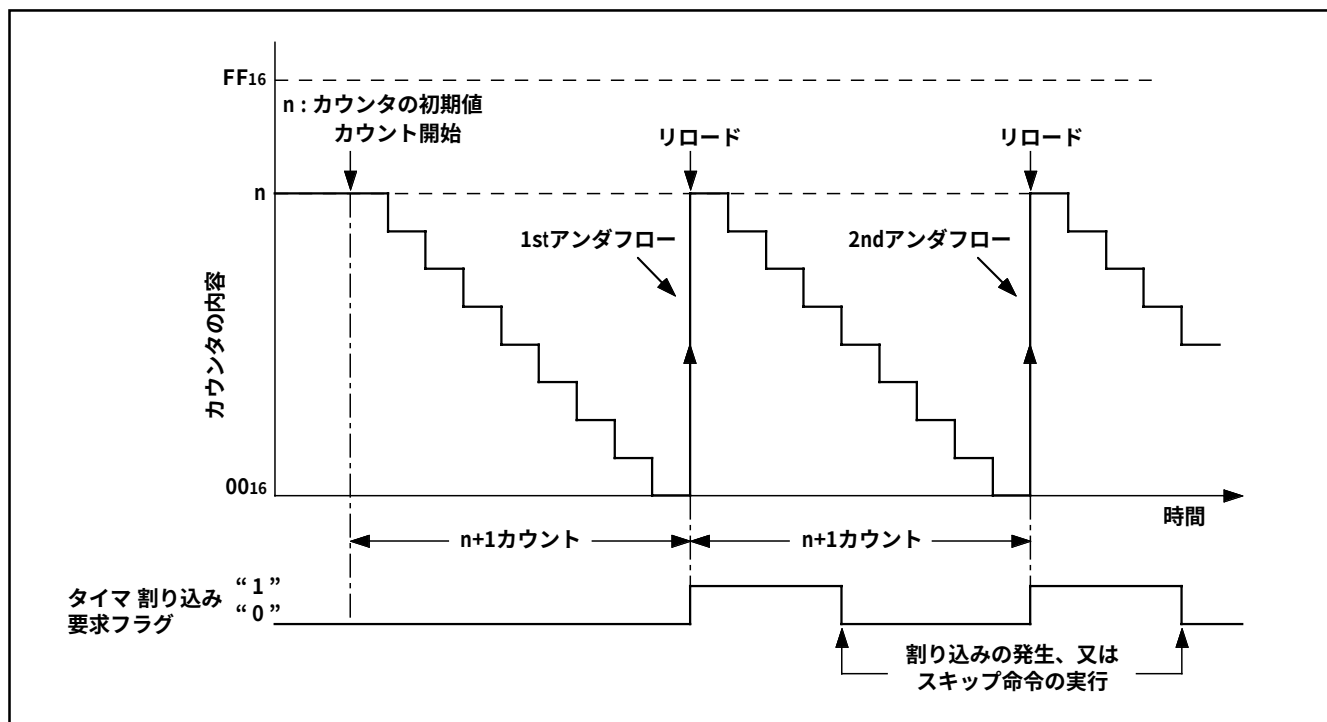
●プログラマブルタイマ

プログラマブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値 n からダウンカウントを開始し、アンダフローする($n+1$ カウントする)と割り込み要求フラグを“1”にセットし、また新たにリロードレ

ジスタからデータがリロードされカウントを続行します(オートリロード機能)。

●固定分周タイマ

固定分周タイマは、分周比(n)が固定されているタイマで、カウントパルスを n 回カウントするごとに割り込み要求フラグを“1”にセットします。



図FB-1. オートリロード機能

本製品のタイマは以下の回路で構成されています。

- プリスケアラ：分周器
- タイマ1：8ビットプログラマブルタイマ
- タイマ2：8ビットプログラマブルタイマ
(タイマ1、2は割り込み機能付き)
- 16ビットタイマ

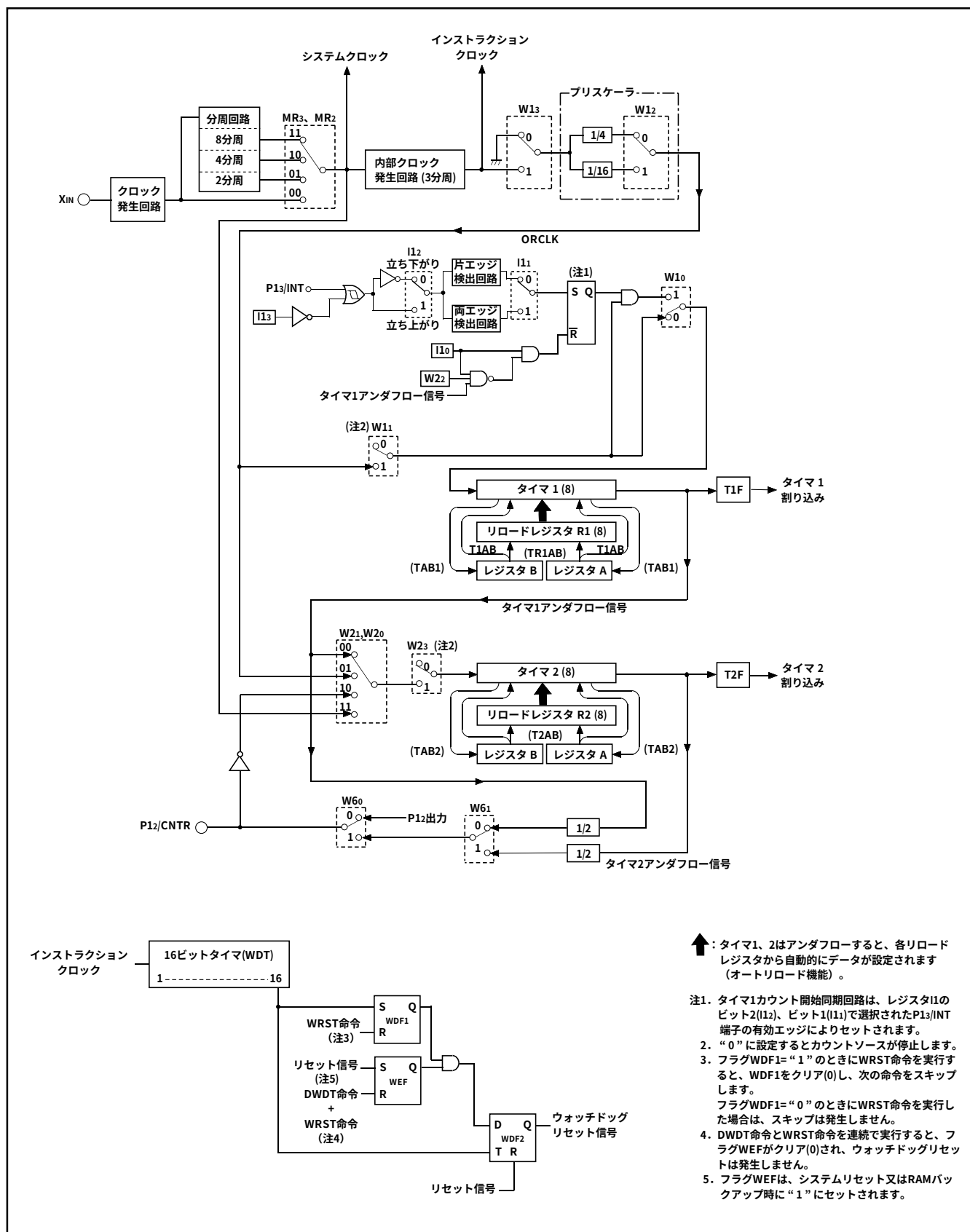
プリスケアラ、タイマ1、2は、タイマ制御レジスタW1、W2、W6で制御できます。

16ビットタイマは、制御レジスタをもたないフリーカウンタです。

以下、各機能について説明します。

表FB-1. タイマの機能一覧

回路名	構成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケアラ	分周器	・インストラクションクロック	4、16	・タイマ1、2カウントソース	W1
タイマ1	8ビットプログラマブルバイナリダウンカウンタ (INT入力に連動機能あり)	・プリスケアラ出力(ORCLK)	1~256	・タイマ2カウントソース ・CNTR出力 ・タイマ1割り込み	W1 W2 W6
タイマ2	8ビットプログラマブルバイナリダウンカウンタ	・タイマ1アンダフロー ・プリスケアラ出力(ORCLK) ・CNTR入力 ・システムクロック	1~256	・CNTR出力 ・タイマ2割り込み	W2 W6
16ビットタイマ	16ビット固定分周バイナリダウンカウンタ	・インストラクションクロック	65536	・ウォッチドッグタイマ (16ビット目出力を2回カウント)	



図FB-2. タイマの構成

表FB-2. タイマ制御レジスタ

タイマ制御レジスタW1		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R/W
W13	プリスケアラ制御ビット	0	停止(初期状態)		
		1	動作		
W12	プリスケアラ分周比選択ビット	0	インストラクションクロックを4分周		
		1	インストラクションクロックを16分周		
W11	タイマ1制御ビット	0	停止(状態保持)		
		1	動作		
W10	タイマ1 カウント開始同期回路制御ビット	0	カウント開始同期回路非選択		
		1	カウント開始同期回路選択		

タイマ制御レジスタW2		リセット時：0000 ₂		RAMバックアップ時：状態保持	R／W
W23	タイマ2制御ビット	0	停止(状態保持)		
		1	動作		
W22	タイマ1 カウント自動停止回路選択ビット(注2)	0	カウント自動停止回路非選択		
		1	カウント自動停止回路選択		
W21	タイマ2 カウントソース選択ビット	W21W20		カウントソース	
		00		タイマ1アンダフロー信号	
01		プリスケーラ出力(ORCLK)			
10		CNTR入力			
W20		11		システムクロック	

タイマ制御レジスタW6		リセット時：0000 ₂		RAMバックアップ時：状態保持	R/W
W63	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W62	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W61	CNTR出力選択ビット	0	タイマ1アンダフロー信号の2分周出力		
		1	タイマ2アンダフロー信号の2分周出力		
W60	P12/CNTR機能選択ビット	0	P12(入出力)/CNTR入力(注3)		
		1	P12(入力)/CNTR入出力(注3)		

注1.“R”は読み出し可、“W”は書き込み可を表します。

2.この機能はタイマ1カウント開始同期回路を選択している場合のみ有効です。

3.CNTR入力はタイマ2のカウントソースにCNTR入力を選択している場合のみ有効です。

(1) タイマ関連の制御レジスタ

●タイマ制御レジスタ W1

レジスタW1は、タイマ1のカウント動作、カウント開始同期回路の選択、プリスケアラの分周比及びカウント動作を制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

●タイマ制御レジスタ W2

レジスタW2は、タイマ1カウント自動停止回路の選択、タイマ2のカウントソース及びカウント動作を制御します。このレジスタの内容は、TW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

●タイマ制御レジスタ W6

レジスタW6は、P12/CNTR端子の機能及びCNTR出力の選択を制御します。このレジスタの内容はTW6A命令でレジスタAを介して設定してください。また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

(2) プリスケアラ

プリスケアラは分周比が選択できる分周器です。プリスケアラのカウントソースはインストラクションクロックです。

プリスケアラの分周比はタイマ制御レジスタW1のビット2で、動作の開始、停止はビット3で制御してください。レジスタW1のビット3を“0”にクリアするとプリスケアラは初期化され、出力信号(ORCLK)は停止します。

(3) タイマ1 (割り込み機能付き)

タイマ1は8ビットのバイナリダウンカウンタで、タイマ1リロードレジスタR1をもっています。タイマ1とリロードレジスタR1には、T1AB命令で同時にデータを設定できます。

タイマ1にデータを設定する場合はカウントを停止させた後、T1AB命令を実行してください。

また、リロードレジスタR1にはTR1AB命令でデータを書き込むことができます。TR1AB命令でリロードレジスタR1にデータを書き込んだ場合、アンダフロー後のカウントダウンは、リロードレジスタR1の設定値から開始します。

タイマ1にデータを設定した後、レジスタW1のビット1を“1”にセットすると、タイマ1はカウント動作を開始します。

ただし、レジスタW1のビット0を“1”にセットすると、INT端子の入力をタイマ1カウント動作の開始トリガに使用できます。また、この時レジスタW2のビット2を“1”にセットすると、タイマ1アンダフローによる自動停止が行えます。

タイマ1の設定値をnとすると、タイマ1はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ1はアンダフローする(タイマ1の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ1割り込み要求フラグ(T1F)を“1”にセットし、新たにリロードレジスタR1からデータをリロードしカウントを続行します(オートリロード機能)。

タイマ1からはTAB1命令で、データを読み出すことができます。データを読み出す場合は、カウントを停止させた後、TAB1命令を実行してください。

(4) タイマ2 (割り込み機能付き)

タイマ2は8ビットのバイナリダウンカウンタで、タイマ2リロードレジスタR2をもっています。タイマ2とリロードレジスタR2には、T2AB命令で同時にデータを設定できます。

タイマ2にデータを設定する場合は、カウントを停止させた後、T2AB命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0、1でカウントソースを選択し、レジスタW2のビット3を“1”にセットすると、タイマ2はカウント動作を開始します。

タイマ2の設定値をnとすると、タイマ2はカウントソースの信号をn+1分周します(n=0~255)。

カウント開始後、タイマ2はアンダフローする(タイマ2の内容が“0”になった後、次のカウントパルスが入力される)と、タイマ2割り込み要求フラグ(T2F)を“1”にセットし、新たにリロードレジスタR2からデータをリロードしカウントを続行します(オートリロード機能)。

タイマ2からはTAB2命令で、データを読み出すことができます。データを読み出す場合は、カウントを停止させた後、TAB2命令を実行してください。

(5) タイマ割り込み要求フラグ(T1F、T2F)

タイマ割り込み要求フラグは各タイマのアンダフロー時に“1”にセットされます。これらフラグの状態は、スキップ命令の実行(SNZT1、SNZT2命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかはレジスタV1で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(6) カウント開始同期回路(タイマ1)

タイマ1はINT端子の入力に同期して、タイマカウント動作を開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタW1のビット0を“1”にセットすると機能が選択され、レジスタI1のビット0を“1”にセットすると、INT端子の入力による制御が可能になります。カウント開始同期回路はINT端子のレベル変化(“H”→“L”又は“L”→“H”)によりセットされます。この有効波形はレジスタI1のビット1(I11)、ビット2(I12)で選択でき、

- I11=“0”のとき：片エッジに同期(立ち上がり又は立ち下がり)

- I11=“1”のとき：両エッジに同期(立ち上がりと立ち下がり両波形)

となります。レジスタI1=“0”(片エッジに同期)の場合は、立ち上がり波形、立ち下がり波形をレジスタI1のビット2(I12)で選択でき、

- I12=“0”のとき：立ち下がり波形

- I12=“1”のとき：立ち上がり波形

となります。

タイマ1のカウント開始同期回路を使用している場合、INT端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。なお、一度セットされたカウント開始同期回路は、レジスタI1の制御可能ビット(I10)を“0”にクリアするか、リセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合(レジスタW2=“1”)は、タイマ1がアンダフローするとカウント開始同期回路がクリアされます(自動停止)。

(7) カウント自動停止回路(タイマ1)

タイマ1はカウント開始同期回路を使用している時に、タイマ1のアンダフロー発生により自動的にタイマ1を停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW2のビット2に“1”をセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力停止します。

この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

(8) タイマ入出力端子(P12/CNTR)

CNTR端子は、タイマ2のカウントソース入力機能と、タイマ1及びタイマ2のアンダフロー分周信号の出力機能を持ちます。

レジスタW6のビット0でP12/CNTR端子の機能選択を制御できます。レジスタW6のビット1でCNTR出力信号の選択を制御できます。

タイマ2のカウントソースとしてCNTR入力を選択した場合、タイマ2は、CNTR入力の立ち下がり波形をカウントします。

(9) 注意事項

タイマを使用する際は、以下の点に注意してください。

●プリスケアラに関する注意

プリスケアラの分周比を切り替える場合は、必ずプリスケアラの動作を停止させた後、分周比を切り替えてください。

●カウントソースに関する注意

タイマ1、2のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

●カウント値の読み出しに関する注意

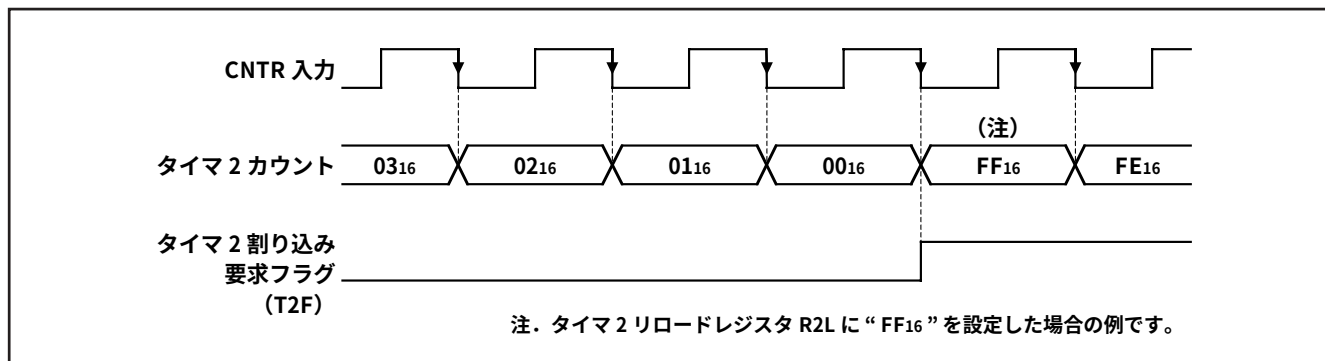
タイマ1、2からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1、TAB2)を実行してください。

●タイマへのデータ書き込みに関する注意

タイマ1、2にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T2AB)を実行してください。

●リロードレジスタR1への書き込みに関する注意

タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータを書き込んでください。



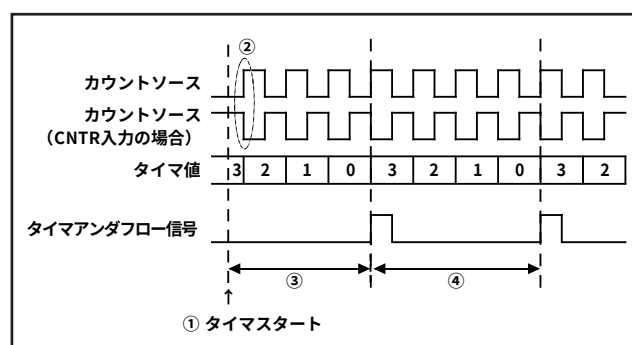
図FB-3. CNTR入力時のカウントタイミング図

●タイマ1、タイマ2のカウント開始タイミングと動作開始時のカウント時間に関する注意

タイマ1、タイマ2は動作開始(①)後、カウントソースの最初の立ち上がり(②)からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間(③)は、以降のアンダフロー間の時間(④)より短く(最大でカウントソースの一周期分)になります。

なお、タイマ2のカウントソースとしてCNTR入力を選択した場合、タイマ2はCNTR入力の立ち下がりに同期して動作します。



図FB-4. タイマカウント開始タイミングと動作開始時のカウント時間 (T1、T2)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマはタイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF)、及びウォッチドッグタイマフラグ(WDF1、WDF2)により構成されています。

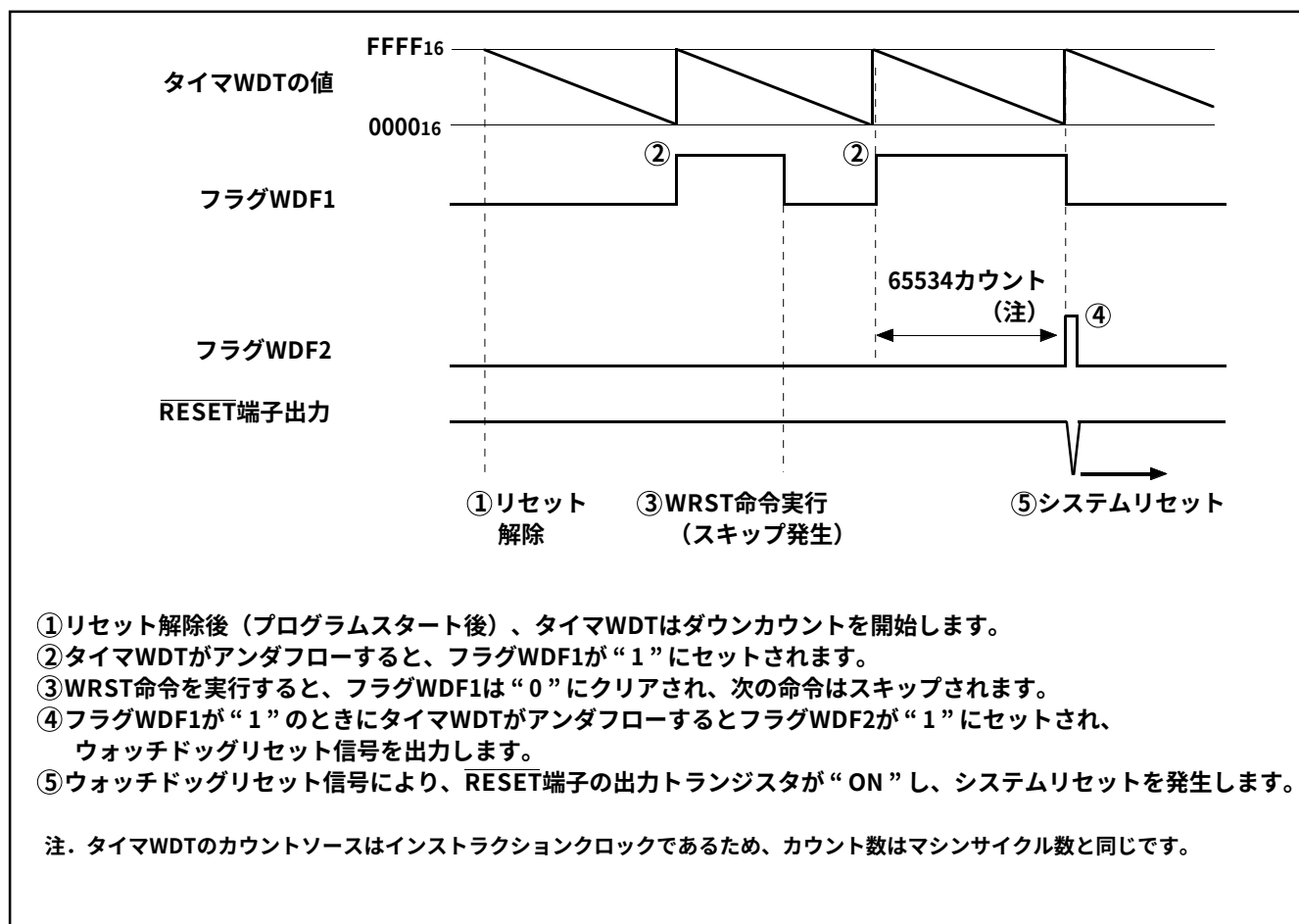
タイマWDTは、リセット解除直後に“FFFF₁₆”の値からインストラクションクロックをカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“FFFF₁₆”になった後、次のカウントパルスが入力されると、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットし、RESET端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を継続させるため、65534マシンサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後フラグWEFが“1”にセットされると、ウォッチドッグタイマの機能が有効になります。DWD命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。フラグWEFは、システムリセット又はRAMバックアップ時“1”にセットされます。

WRST命令にはスキップ機能があり、フラグWDF1が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合も使用できます。

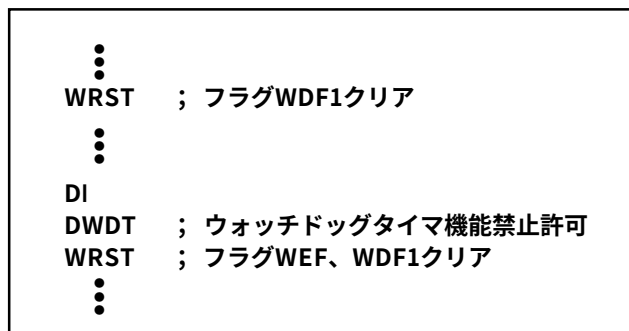


図FB-5. ウォッチドッグタイマ機能の動作

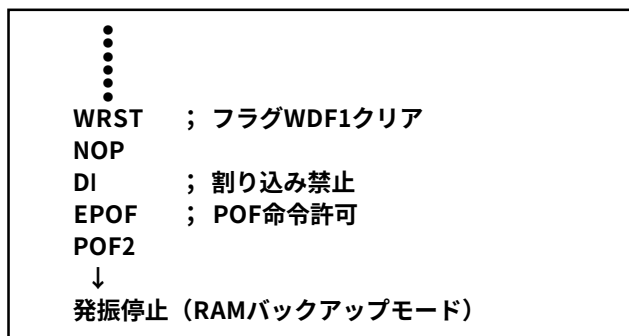
ウォッチドッグタイマ機能を使用する場合はWRST命令によりフラグWDF1を65534マシンサイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合はDWD命令とWRST命令を連続して実行してください(図FB-6参照)。DWD命令のみではウォッチドッグタイマ機能は停止しません。

RAMバックアップ時、フラグWDF1及びタイマWDTの値は初期化されます。なお、ウォッチドッグタイマ機能とRAMバックアップを併用する場合は、RAMバックアップ状態になる直前にWRST命令を実行し、フラグWDF1を初期化してください(図FB-7参照)。

RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度にDWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。



図FB-6. ウォッチドッグタイマ使用時、停止の時のプログラム例



図FB-7. ウォッチドッグタイマ使用時におけるRAMバックアップモードへの移行プログラム例

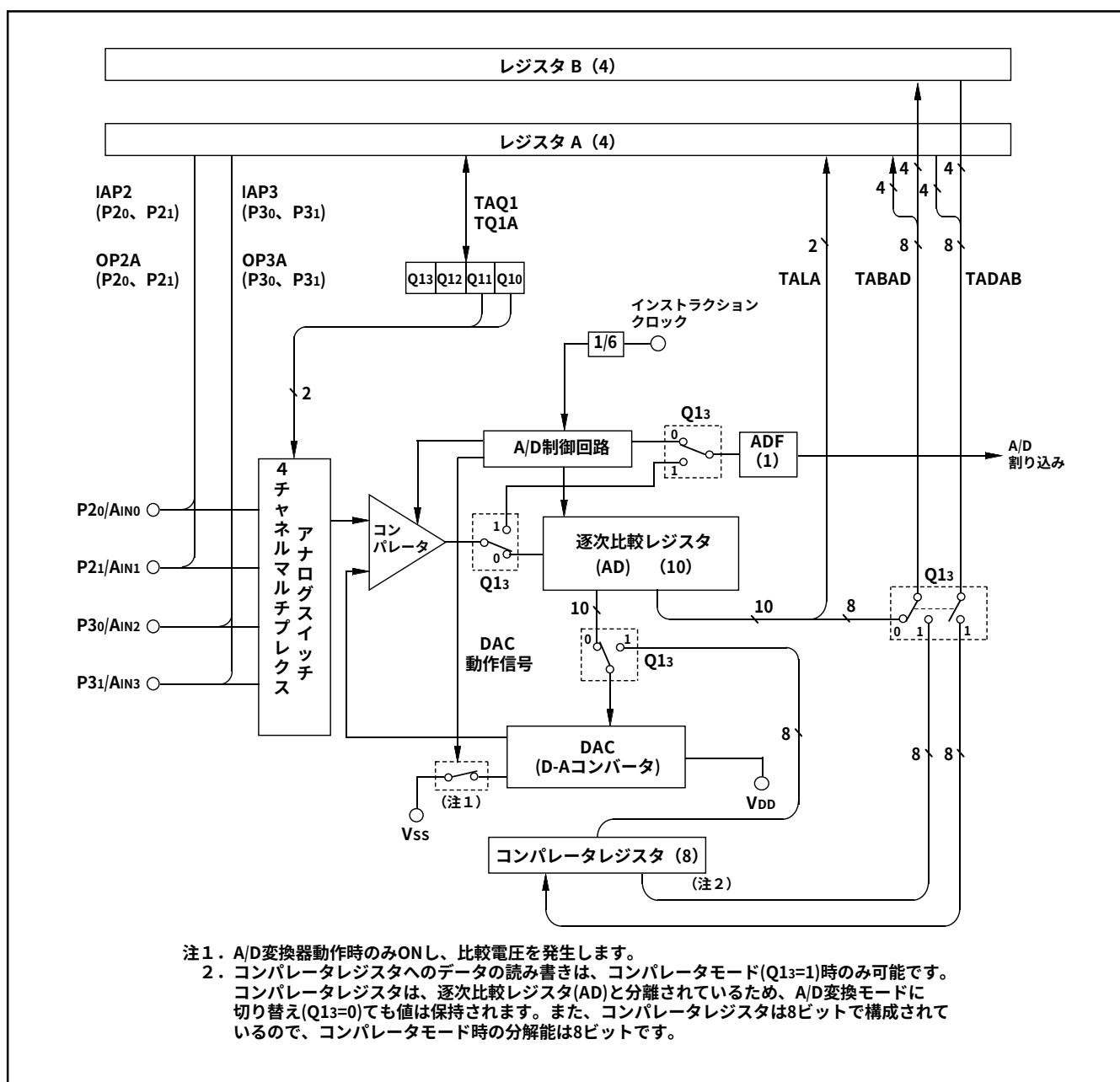
A/Dコンバータ(コンパレータ)

本製品は、10ビット逐次比較方式によるA/D変換器を内蔵しています。A/D変換器の性能を表JA-1に示します。

また、このA/D変換器はコンパレータモードに設定すると、アナログ入力端子から入力されたアナログ電圧をあらかじめ設定した値と比較する8ビットのコンパレータとしても使用できます。

表JA-1. A/D変換器の性能

項 目	特 性
変換形式	逐次比較方式
分解能	10ビット
相対精度	直線性誤差 : $\pm 2\text{LSB}$
	微分非直線性誤差 : $\pm 0.9\text{LSB}$
変換速度	46.5 μs (高速モード、発振周波数4.0MHz時)
アナログ入力端子	4本



図JA-1. A/D変換器の構成

表JA-2. A/D制御レジスタ

A/D制御レジスタQ1		リセット時：0000 ₂		RAMバックアップ時：状態保持	R／W
Q13	A/D動作モード制御ビット	0	A/D変換モード		
		1	コンパレータモード		
Q12	使用しません	0	このビットに機能はありませんがR／Wは可能です		
		1			
Q11	アナログ入力端子選択ビット	Q11Q10		選択される端子	
		00		AIN0	
01		AIN1			
Q10		10		AIN2	
		11		AIN3	

注：“R”は読み出し可、“W”は書き込み可を表します。

(1)A/D変換モード時の動作

このA/D変換器はレジスタQ1のビット3に“0”を設定することにより、A/D変換モードに設定されます。

(2)逐次比較レジスタAD

レジスタADには、アナログ入力端子のA/D変換結果である10ビットのデジタルデータが格納されます。レジスタADの内容はTABAD命令により、上位8ビットがレジスタBとレジスタAに、下位2ビットはTALA命令によりレジスタAの上位2ビットに格納されます。ただしA/D変換中は、これらの命令を実行しないでください。

レジスタADの内容をnとしたとき、基準電圧V_{DD}から内蔵DAコンバータが発生する比較電圧V_{ref}の論理値を次式で求めることができます。

$$V_{ref} = \frac{V_{DD}}{1024} \times n$$

n: レジスタADの値(n=0~1023)

(3)A/D変換終了フラグ(ADF)

フラグADFはA/D変換が終了したとき“1”にセットされます。フラグADFの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令実行により次の命令をスキップしたときのいずれかで“0”にクリアされます。

(4)A/D変換開始命令(ADST命令)

ADST命令を実行するとA/D変換を開始します。変換結果は自動的にレジスタADに格納されます。

(5)A/D制御レジスタ Q1

レジスタQ1はA/D変換器の動作モード及びアナログ入力端子を選択するためのレジスタです。

(6)A/D変換動作説明

A/D変換は、A/D変換開始命令(ADST命令)によって開始されます。A/D変換時の内部動作を以下に示します。

- ①A/D変換が開始されると、まず逐次比較レジスタADが“0001₆”にクリアされます。
- ②次に、レジスタADの最上位ビットに“1”がセットされ、比較電圧V_{ref}とアナログ入力電圧V_{IN}との比較が行われます。
- ③比較結果がV_{ref}<V_{IN}ならば、レジスタADの最上位ビットの値“1”をそのまま保持します。V_{ref}>V_{IN}ならば“0”にクリアします。

本製品は、以上の動作をレジスタADの最下位ビットまで行うことで、アナログ値をデジタル値に変換します。A/D変換は、開始後62マシンサイクル(f(XIN)=4.0MHz、高速モード時46.5μs)で終了し、変換結果がレジスタADに格納されます。A/D変換終了と同時にA/D割り込み起動条件が成立し、A/D割り込み要求フラグ(ADF)が“1”にセットされます(図JA-2参照)。

表JA-3. A/D変換中の逐次比較レジスタ(AD)の変化

	レジスタADの変化	比較電圧(Vref)値							
1回目 比較	<table><tr><td>1</td><td>0</td><td>0</td><td>-----</td><td>0</td><td>0</td><td>0</td></tr></table>	1	0	0	-----	0	0	0	$\frac{V_{DD}}{2}$
1	0	0	-----	0	0	0			
2回目 比較	<table><tr><td>*1</td><td>1</td><td>0</td><td>-----</td><td>0</td><td>0</td><td>0</td></tr></table>	*1	1	0	-----	0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4}$
*1	1	0	-----	0	0	0			
3回目 比較	<table><tr><td>*1</td><td>*2</td><td>1</td><td>-----</td><td>0</td><td>0</td><td>0</td></tr></table>	*1	*2	1	-----	0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4} \pm \frac{V_{DD}}{8}$
*1	*2	1	-----	0	0	0			
10回目 の比較 終了後	A/D変換結果 <table><tr><td>*1</td><td>*2</td><td>*3</td><td>-----</td><td>*8</td><td>*9</td><td>*A</td></tr></table>	*1	*2	*3	-----	*8	*9	*A	$\frac{V_{DD}}{2} \pm \text{-----} \pm \frac{V_{DD}}{1024}$
*1	*2	*3	-----	*8	*9	*A			

*1：1回目の比較結果

*2：2回目の比較結果

*3：3回目の比較結果

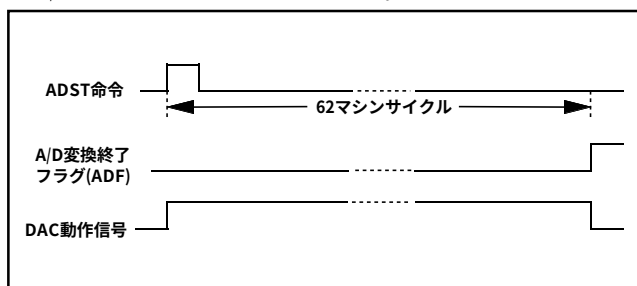
*8：8回目の比較結果

*9：9回目の比較結果

*A：10回目の比較結果

(7)A/D変換タイミングチャート

A/D変換タイミングチャートを図JA-2に示します。



図JA-2. A/D変換タイミングチャート

(8)A/D変換の使用方法

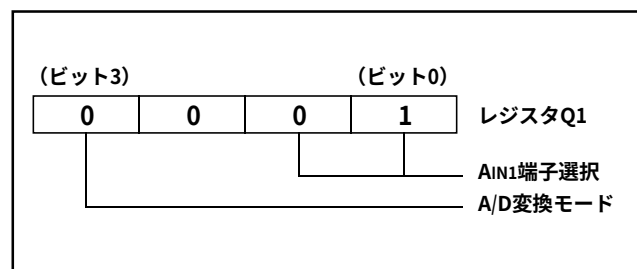
P21/AIN1端子からのアナログ入力信号をA/D変換し、変換データの上位4ビットをRAMのM(Z, X, Y)=(0, 0, 0)番地、中位4ビットをM(Z, X, Y)=(0, 0, 1)番地、下位2ビットをM(Z, X, Y)=(0, 0, 2)番地、にそれぞれ格納する方法を例にA/D変換器の使用方法を説明します。この例ではA/D割り込みは使用していません。

- ①A/D制御レジスタQ1でAIN1端子を選択及びA/D変換モードに選択します(図JA-3参照)。
- ②ADST命令を実行しA/D変換を開始します。
- ③SNZAD命令でA/D変換終了フラグ(ADF)の状態を調べることにより、A/D変換の終了を認識します。
- ④変換データの下位2ビットをレジスタAの上位2ビットに転送します(TALA命令)。
- ⑤レジスタAの内容をM(Z, X, Y)=(0, 0, 2)に転送します。

⑥変換データの上位8ビットをレジスタA、Bに転送します(TABAD命令)。

⑦レジスタAの内容をM(Z, X, Y)=(0, 0, 1)に転送します。

⑧レジスタBの内容をレジスタAに転送した後、M(Z, X, Y)=(0, 0, 0)に格納します。



図JA-3. レジスタ設定例

(9)コンパレータモード時の動作

このA/D変換器はA/D制御レジスタQ1のビット3に“1”を設定することにより、コンパレータモードに設定されます。

以下に、コンパレータモード時の動作について説明します。

(10)コンパレータレジスタ

コンパレータモード時、内蔵DAコンパレータには、比較電圧を設定するレジスタとしてコンパレータレジスタが接続されます。このコンパレータレジスタは8ビットで構成されており、TADAB命令によりコンパレータレジスタの上位4ビットにレジスタBの値が、下位4ビットにはレジスタAの値が格納されます。

A/D変換モードからコンパレータモードに動作モードを変更した場合、A/D変換結果(逐次比較レジスタAD)は不定になります。

一方、コンパレータレジスタは、レジスタADと分離されているため、コンパレータモードからA/D変換モードに動作モードを変更しても値は保持されます。またコンパレータレジスタの読み書きは、コンパレータモード時に限られます。

コンパレータレジスタの内容をnとしたとき、内蔵DAコンパレータが発生する比較電圧Vrefの論理値は次式で求めることができます。

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n: レジスタADの値(n:0~255)

(11)比較結果格納フラグ(ADF)

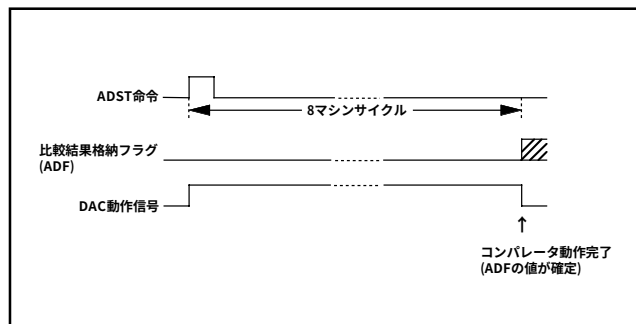
コンパレータモード時、A/D変換終了フラグ(ADF)は、アナログ入力電圧と比較電圧の比較結果を格納するフラグとなります。アナログ入力電圧が比較電圧よりも低い場合に、フラグADFが「1」にセットされます。このフラグの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらかを使用するかは割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで「0」にクリアされます。

(12)コンパレータ動作開始命令(ADST命令)

コンパレータモード時、ADST命令を実行するとコンパレータ動作を開始します。

コンパレータ動作は、動作開始後、8マシンサイクル($f_{XIN}=4.0\text{MHz}$ 、高速モード時 $6\mu\text{s}$)で終了し、アナログ入力電圧が比較電圧よりも低い場合に、フラグADFが「1」にセットされます。



図JC-1. コンパレータ動作タイミングチャート

(13)注意事項1

アナログ入力AIN0~AIN3とポートP2の機能を併用する場合、以下の点に注意してください。

●アナログ入力端子の選択に関する注意

P20/AIN0、P21/AIN1、P30/AIN2、P31/AIN3端子はアナログ入力として選択している場合でも、ポートP2、P3の入出力機能をもっています。

これらの端子を、アナログ入力とポート入出力との機能を混在して使用する場合は、アナログ入力として選択を行っている端子の出力は「1」になるようにしてください。

また、ポートの入力の場合は、アナログ入力として選択している端子の、ポートとしての入力は不定となります。

●TALA命令に関する注意

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを「0」にします。

(14)注意事項2

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。また、A/D制御レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更する場合は以下の点に注意してください。

- レジスタQ1のビット3によって、A/D変換器の動作モードをコンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が「0」になっている必要があります。
- A/D変換器の動作モードをコンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1のビット3に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

(15)A/D変換精度の定義

A/D変換精度の定義について説明します(図JA-4参照)。

●相対精度

①ゼロトランジション電圧(V_{0T})

実際のA/D変換出力データが“0”から“1”に変化する
ときのアナログ入力電圧

②フルスケールトランジション電圧(V_{FST})

実際のA/D変換出力データが“1023”から“1022”に変化
するときのアナログ入力電圧

③直線性誤差

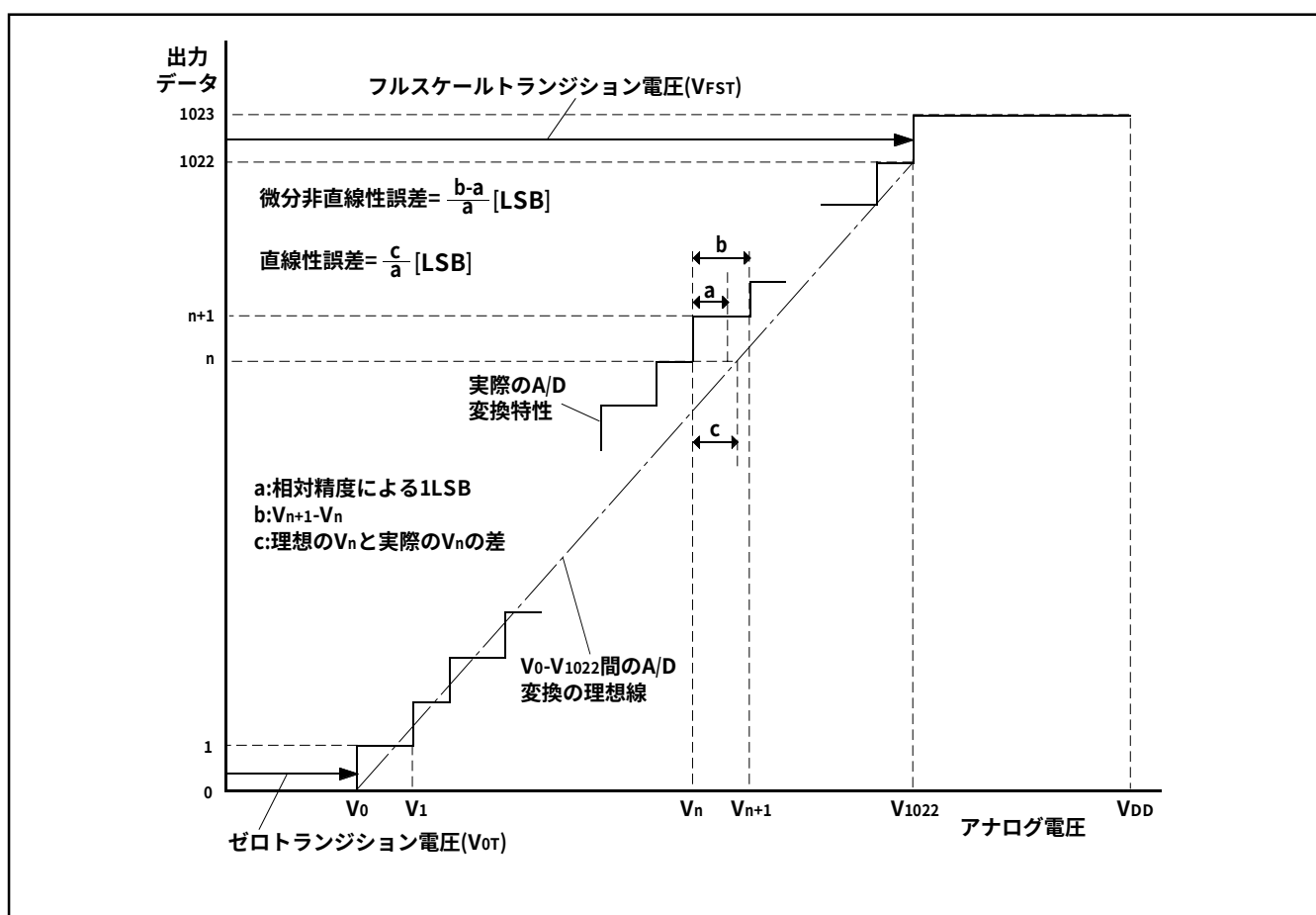
V_{0T} と V_{FST} を結ぶ直線と、 V_{0T} から V_{FST} 間の任意の変
換値との偏差

④微分非直線性誤差

V_{0T} と V_{FST} 間の任意の変換値を1LSB変化させるために
必要な入力電位差と、相対精度における1LSBとの偏差

●絶対精度

0～ V_{DD} 間の理想特性と、実際のA/D変換特性との偏差



図JA-4. A/D変換精度の定義

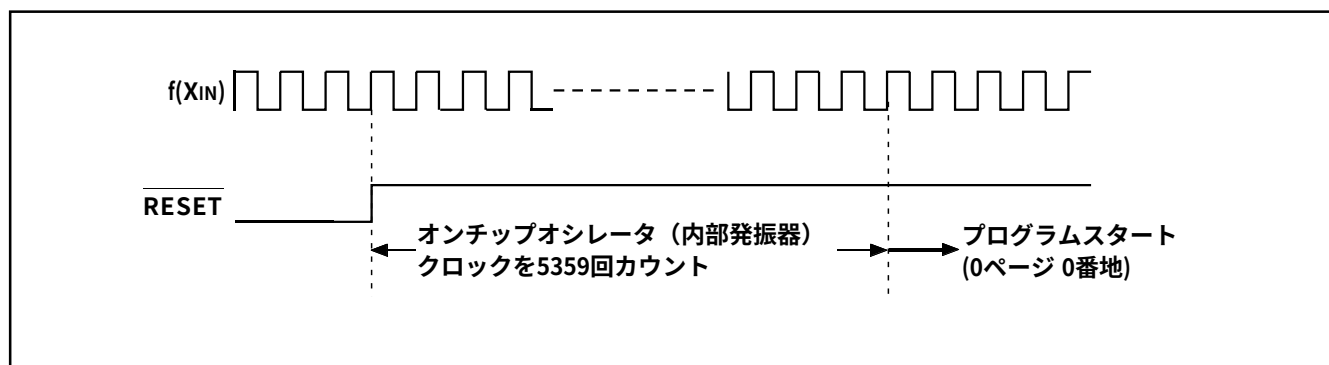
V_n : 出力データが“n”から“n+1”に変化する
ときのアナログ入力電圧
($n=0 \sim 1022$)

●相対精度における1LSB $\rightarrow \frac{V_{FST} - V_{0T}}{1022}$ (V)

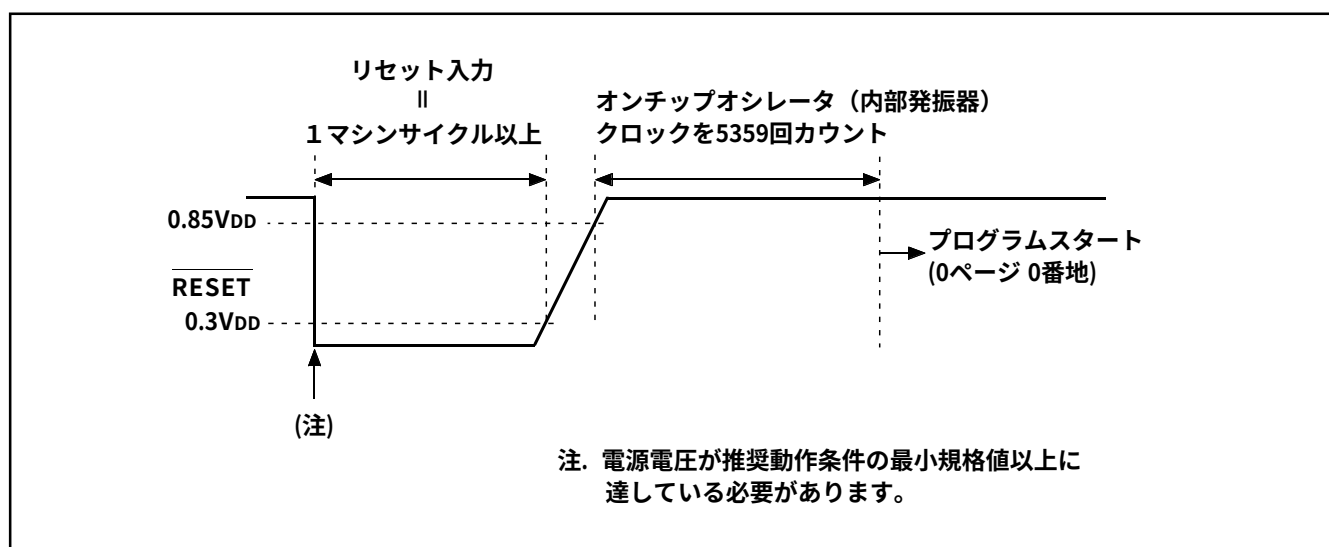
●絶対精度における1LSB $\rightarrow \frac{V_{DD}}{1024}$ (V)

リセット機能

電源電圧が推奨動作条件の最小規格値以上で、 $\overline{\text{RESET}}$ 端子に1マシンサイクル以上“L”レベルを印加すると、マイクロコンピュータがいかなる状態であってもシステムリセットが実行されます。その後、 $\overline{\text{RESET}}$ 端子に“H”レベルを印加すると、0ページの0番地からプログラムが開始されます。



図VB-1. リセット解除のタイミング

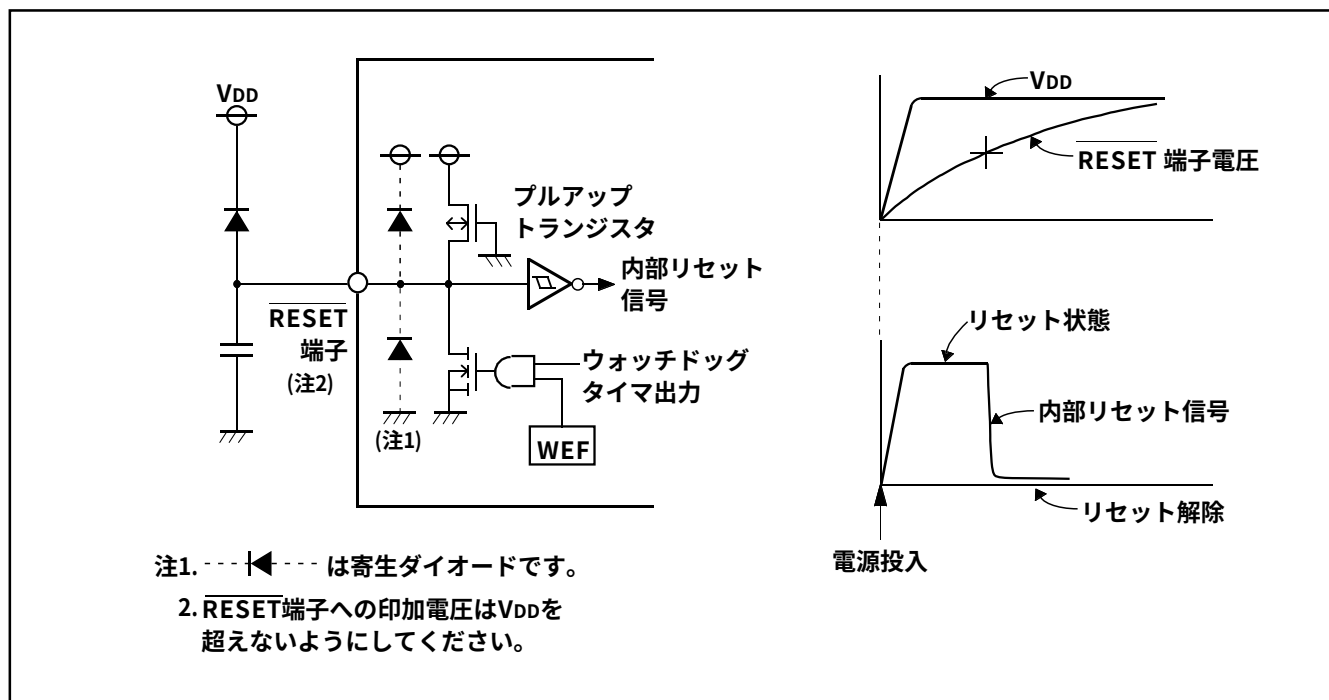


図VB-2. RESET端子の入力波形とリセット動作

(1) パワーオンリセット

$\overline{\text{RESET}}$ 端子にダイオード、及びコンデンサを接続することにより、電源投入時に自動リセット(パワーオンリセット)をかけることができます。

$\overline{\text{RESET}}$ 端子と外付け回路は、最短距離で接続してください。



図VB-3. RESET端子周辺の構成とパワーオンリセット動作

表VB-1. リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0、D1、D4、D5	D0、D1、D4、D5	ハイインピーダンス状態 (注1)
D2/C、D3/K	D2、D3	ハイインピーダンス状態 (注1、注2)
P00、P01 P02、P03	P00～P03	ハイインピーダンス状態 (注1、注2)
P10、P11 P12/CNTR、P13/INT	P10～P13	ハイインピーダンス状態 (注1、注2)
P20/AIN0、P21/AIN1	P20、P21	ハイインピーダンス状態 (注1、注2)
P30/AIN2、P31/AIN3	P30、P31	ハイインピーダンス状態 (注1)

注1. 出力ラッチは‘1’にセットされます。

2. プルアップトランジスタは、OFFLします。

(2) リセット時の内部状態

以下にリセット時の内部状態を示します(リセット解除直後も同状態です)。図VB-4以外のタイマ、レジスタ、フラグ、RAMなどの内容は不定になるため、初期設定が必要です。

● プログラムカウンタ (PC)	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0ページの0番地がセットされます。
● 割り込み許可フラグ (INTE)	0	(割り込み禁止)
● パワーダウンフラグ (P)	0	
● 外部0割り込み要求フラグ (EXF0)	0	
● 割り込み制御レジスタ V1	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ V2	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ I1	0 0 0 0	
● タイマ 1 割り込み要求フラグ (T1F)	0	
● タイマ 2 割り込み要求フラグ (T2F)	0	
● A/D変換終了フラグ (ADF)	0	
● ウォッチドッグタイマフラグ (WDF1,WDF2).....	0	
● ウォッチドッグタイマイネーブルフラグ (WEF).....	1	
● タイマ制御レジスタ W1	0 0 0 0	(プリスケアラ、タイマ 1停止)
● タイマ制御レジスタ W2	0 0 0 0	(タイマ 2停止)
● タイマ制御レジスタ W6	0 0 0 0	
● クロック制御レジスタ MR	1 1 0 0	
● キーオンウェイクアップ制御レジスタ K0	0 0 0 0	
● キーオンウェイクアップ制御レジスタ K1	0 0 0 0	
● キーオンウェイクアップ制御レジスタ K2	0 0 0 0	
● ブルアップ制御レジスタ PU0	0 0 0 0	
● ブルアップ制御レジスタ PU1	0 0 0 0	
● ブルアップ制御レジスタ PU2	0 0 0 0	
● A/D制御レジスタ Q1	0 0 0 0	
● キャリフラグ (CY).....	0	
● レジスタ A	0 0 0 0	
● レジスタ B	0 0 0 0	
● レジスタ D	× × ×	
● レジスタ E	× × × × × × × ×	
● レジスタ X	0 0 0 0	
● レジスタ Y	0 0 0 0	
● レジスタ Z	× ×	
● スタックポインタ (SP)	1 1 1	
● 動作源クロック.....	オンチップオシレータ	(動作状態)
● セラミック発振回路		動作状態
● RC発振回路		停止状態

“×” は不定を表します。

図VB-4. リセット時の内部状態

RAMバックアップモード

本製品は、RAMバックアップモードをもち、EPOF命令直後にPOF2命令を連続して実行することにより、RAMバックアップ状態になります。

POF2命令実行直前にEPOF命令が実行されない場合、POF2命令はNOP命令となります。

RAMバックアップ時には、RAM、リセット回路の機能、及び状態は保持したまま発振を停止するので、RAMのデータが失われることなく消費電流を低減できます。

表WD-1にRAMバックアップ時の内部状態、図WD-1に状態遷移図を示します。

(1) コールドスタートとウォームスタートの識別

ウォームスタート(RAMバックアップ状態からの復帰)とコールドスタート(通常のリセット状態からの復帰)とのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで認識できます。

(2) ウォームスタート条件

EPOF命令とPOF2命令を連続して実行し、RAMバックアップ状態となった後、外部ウェイクアップ信号が入力されると、CPUは0ページの0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“1”です。

(3) コールドスタート条件

- RESET端子にリセットパルスを入力
- ウォッチドッグタイマによるリセットが発生

のいずれかで、CPUは0ページ0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“0”です。

表WD-1. RAMバックアップ時に保持される機能と状態

機 能	RAMバックアップ
プログラムカウンタ(PC) レジスタA、B キャリフラグ スタックポインタ(注2)	×
RAMの内容	○
ポートのレベル	(注5)
選択された発振回路	○
タイマ制御レジスタW1	×
タイマ制御レジスタ W2、W6	○
クロック制御レジスタ MR	×
割り込み制御レジスタ V1、V2	×
割り込み制御レジスタ I1	○
タイマ1機能	×
タイマ2機能	(注3)
A/D機能	×
プルアップ制御レジスタ PU0～PU2	○
キーオンウェイクアップ制御レジスタ K0～K2	○
A/D制御レジスタ Q1	○
外部0割り込み要求フラグ(EXF0)	×
タイマ1割り込み要求フラグ(T1F)	×
タイマ2割り込み要求フラグ(T2F)	(注3)
A/D変換終了フラグ(ADF)	×
ウォッチドッグタイマフラグ(WDF1)	×(注4)
ウォッチドッグタイマイネーブルフラグ(WEF)	×
16ビットタイマ(WDT)	×(注4)
割り込み許可フラグ(INTE)	×

- 注1. 表中、“○”は保持可能“×”は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。
2. スタックポインタは、スタックレジスタの位置を示すもので、RAMバックアップ時には“7”に初期化されます。
3. タイマの状態は不定になります。
4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、POF2命令を実行してください。
5. D2/C端子において、RAMバックアップ時、ポートCの出力ラッチは“1”にセットされます。ただし、ポートD2の出力ラッチは保持されず。その他のポートは出力レベルを保持します。

(4) 復帰信号

RAMバックアップモードからの復帰は、発振が停止しているので外部ウェイクアップ信号で行います。表WD-2に復帰要因ごとに復帰条件を示します。

(5) キーオンウェイクアップ関連レジスタ

●キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK1A命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタ K2

レジスタK2は、ポートP2、D2/C、D3/Kのキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK2A命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

●プルアップ制御レジスタ PU0

レジスタPU0は、ポートP0のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A命令でレジスタAを介して設定してください。

●プルアップ制御レジスタ PU1

レジスタPU1は、ポートP1のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A命令でレジスタAを介して設定してください。

●プルアップ制御レジスタ PU2

レジスタPU2は、ポートP2、D2/C、D3/KのプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU2A命令でレジスタAを介して設定してください。

●外部割り込み制御レジスタ I1

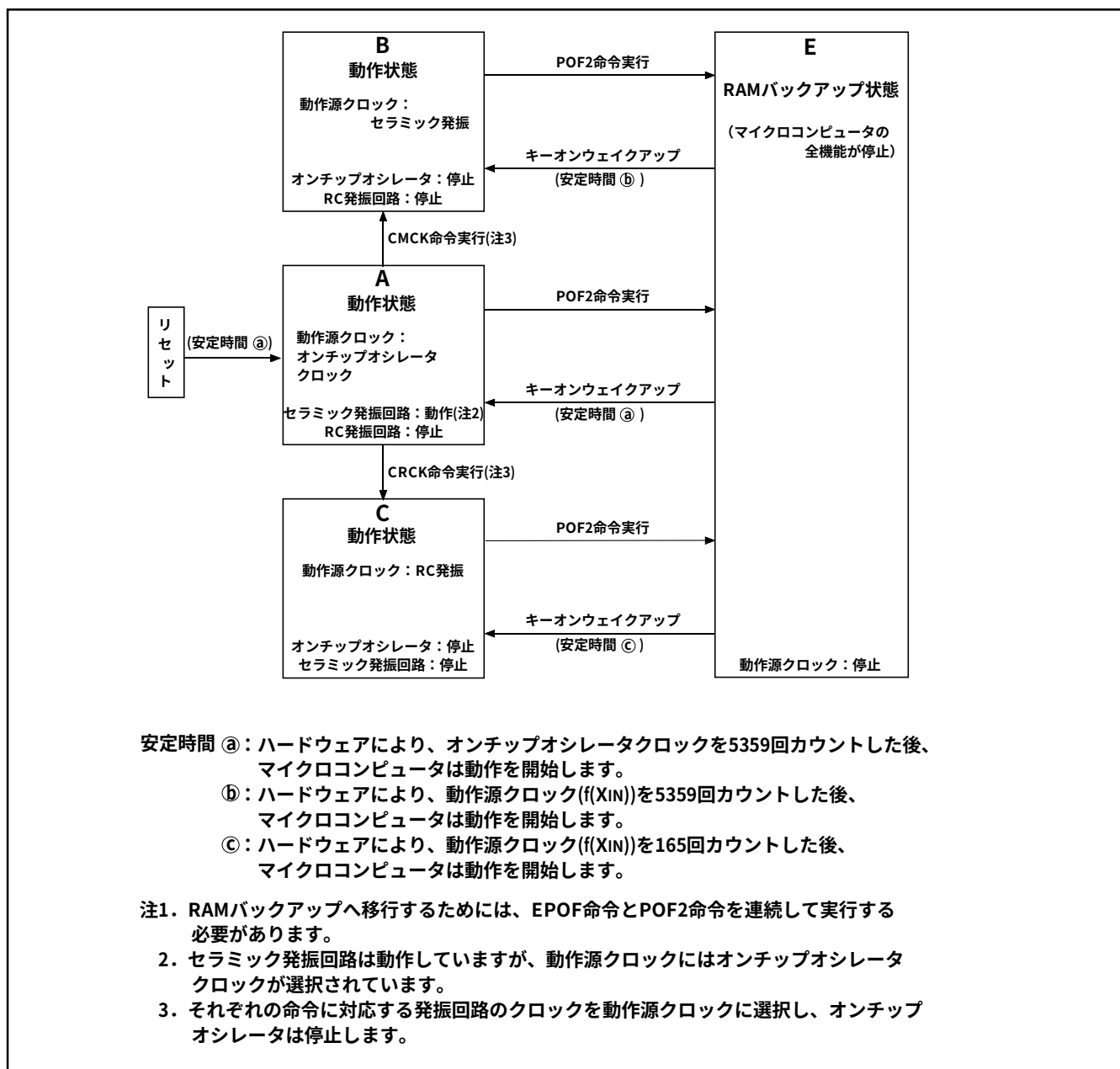
レジスタI1は、外部0割り込みの有効波形、INT端子の入力制御、復帰入力レベルを制御します。

このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

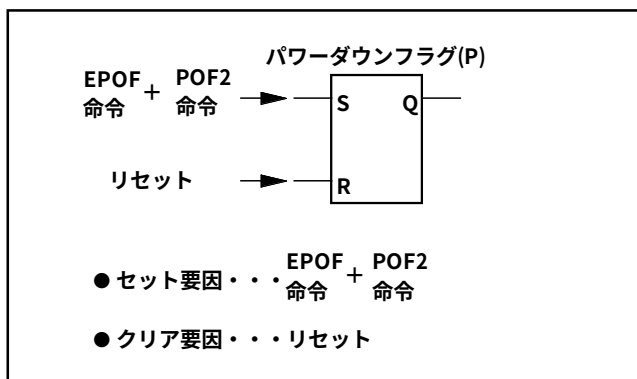
表WD-2. 復帰要因と復帰条件

復帰要因		復帰条件	備 考
外部ウェイクアップ信号	ポートP0 ポートP1(注) ポートP2 ポートD2/C、D3/K	外部からの‘L’レベル入力により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。RAMバックアップ状態に遷移する前に、キーオンウェイクアップを使用するポートを‘H’レベルにしてください。
	ポートP13/INT (注)	外部からの‘H’レベルあるいは‘L’レベル入力により復帰します。復帰レベルはレジスタI1のビット2(I12)により選択できます。復帰入力時は、割り込み要求フラグ(EXF0)はセットされません。	RAMバックアップ状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1のビット2で、復帰レベル(‘H’レベル又は‘L’レベル)を選択してください。

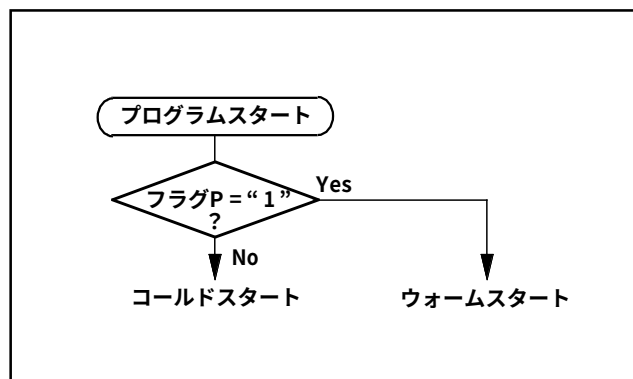
注. キーオンウェイクアップ制御レジスタK1のビット3(K13)が‘0’のときは、INT端子としてのキーオンウェイクアップ(‘H’又は‘L’レベル)、“1”のときはポートP13としてのキーオンウェイクアップ(‘L’レベル)になります。



図WD-1. 状態遷移図



図WD-2. パワーダウンフラグ(P)のセット要因とクリア要因



図WD-3. SNZP命令によるスタート識別例

表WD-3. キーオンウェイクアップ制御レジスタ、プルアップ制御レジスタ、割り込み制御レジスタ

キーオンウェイクアップ制御レジスタK0		リセット時：00002		RAMバックアップ時：状態保持	R/W
K03	ポートP03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポートP02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポートP01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポートP00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK1		リセット時：00002		RAMバックアップ時：状態保持	R/W
K13	ポートP13／INT キーオンウェイクアップ制御ビット	0	P13キーオンウェイクアップ無効／INT端子キーオンウェイクアップ有効		
		1	P13キーオンウェイクアップ有効／INT端子キーオンウェイクアップ無効		
K12	ポートP12／CNTR キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK2		リセット時：00002		RAMバックアップ時：状態保持	R/W
K23	ポートD3／K キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K22	ポートD2／C キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	ポートP21／Ain1 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K20	ポートP20／Ain0 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注.“ R ”は読み出し可、“ W ”は書き込み可を表します。

プルアップ制御レジスタPU0		リセット時：00002		RAMバックアップ時：状態保持	W
PU03	ポートP03 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU02	ポートP02 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU01	ポートP01 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU00	ポートP00 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

プルアップ制御レジスタPU1		リセット時：00002		RAMバックアップ時：状態保持	W
PU13	ポートP13／INT プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU12	ポートP12／CNTR プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU11	ポートP11 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU10	ポートP10 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

プルアップ制御レジスタPU2		リセット時：00002		RAMバックアップ時：状態保持	W
PU23	ポートD3／K プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU22	ポートD2／C プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU21	ポートP21／AIN1 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU20	ポートP20／AIN0 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

割り込み制御レジスタI1		リセット時：00002		RAMバックアップ時：状態保持	R／W
I13	INT端子入力制御ビット(注2)	0	INT端子入力禁止		
		1	INT端子入力可能		
I12	INT端子割り込み有効波形／復帰レベル 選択ビット(注2)	0	立ち下がり波形(SNZI0命令はINT端子の‘L’レベル認識)／‘L’レベル		
		1	立ち上がり波形(SNZI0命令はINT端子の‘H’レベル認識)／‘H’レベル		
I11	INT端子エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT端子タイマ1制御可能ビット	0	制御禁止		
		1	制御可能		

注1.“R”は読み出し可、“W”は書き込み可を表します。

2.レジスタI1のビット2(I12)、ビット3(I13)の内容を変更した際に、外部0割り込み要求フラグ(EXF0)がセットされる場合がありますので、レジスタV1のビット0(V10)が“0”の状態ではSNZ0命令を実行し、フラグEXF0をクリアしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。

クロック制御

本製品のクロック制御回路は以下の回路により構成されています。

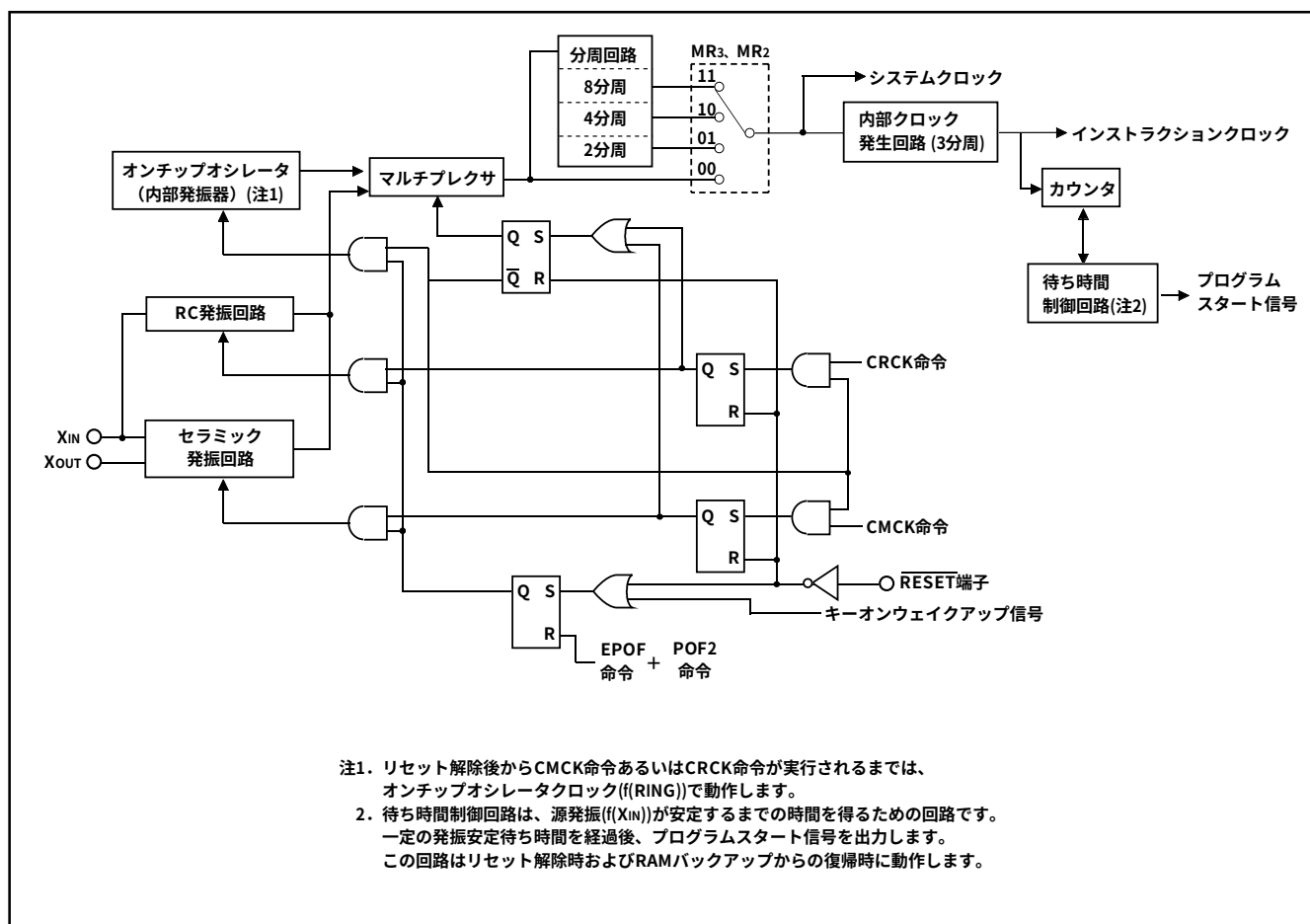
- オンチップオシレータ(内部発振器)
- セラミック発振回路
- RC発振回路
- マルチプレクサ(クロック選択回路)
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図WA-1にクロック制御回路の構成を示します。

本製品はリセット解除後、内部発振器であるオンチップオシレータクロック(f(RING))で動作します。

また、本製品の源発振(f(XIN))には、セラミック共振子あるいはRC発振が使用でき、このどちらを使用するかはそれぞれに対応する選択命令(CMCK命令、CRCK命令)により行います。



図WA-1. クロック制御回路の構成

(1)源発振($f(X_{IN})$)の選択

本製品の源発振($f(X_{IN})$)には、セラミック共振とRC発振が使用できます。

リセット解除後、本製品は内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。プログラムで、

- セラミック共振子を使用する場合.....CMCK命令
- RC発振を使用する場合.....CRCK命令

を実行することで、それぞれの命令に対応した発振回路が有効になり、源発振が切り替わります。CMCK命令およびCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された命令に対応する発振回路が有効になります。他の発振回路、オンチップオシレータは停止します。

CMCK命令あるいはCRCK命令は、必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。また、CMCK命令あるいはCRCK命令がプログラムで一度も実行されない場合は、本製品はオンチップオシレータで動作します。

(2)オンチップオシレータ動作

源発振($f(X_{IN})$)にセラミック共振子あるいはRC発振を使用せず、オンチップオシレータで動作させる場合は、 X_{IN} 端子をVSSに接続し、 X_{OUT} 端子は開放としてください(図WA-3)。

なお、オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

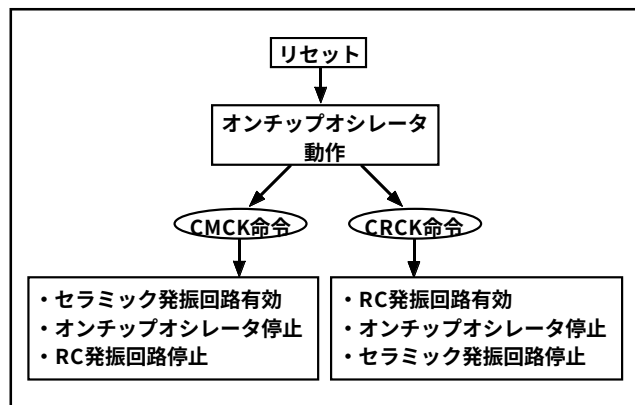
(3)セラミック共振子を使用する場合

源発振($f(X_{IN})$)にセラミック共振子を使用する場合は、 X_{IN} 端子と X_{OUT} 端子にセラミック共振子および外部回路を最短距離で接続し、プログラムではCMCK命令を実行してください。 X_{IN} 端子と X_{OUT} 端子の間には帰還抵抗が内蔵されています(図WA-4)。

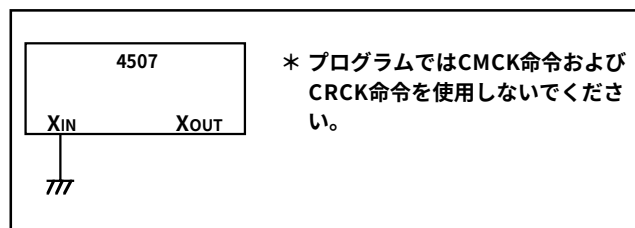
(4)RC発振を使用する場合

源発振($f(X_{IN})$)にRC発振を使用する場合は、 X_{IN} 端子に抵抗R、コンデンサCの外付け回路を最短距離で接続し、 X_{OUT} 端子は開放とし、プログラムではCRCK命令を実行してください(図WA-5)。

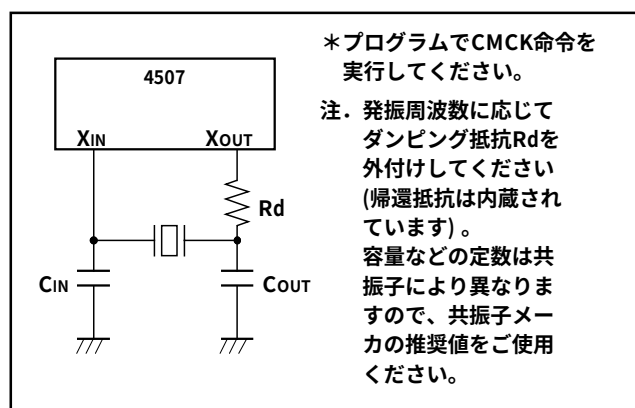
なお、RC発振用の抵抗RおよびコンデンサCの定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。



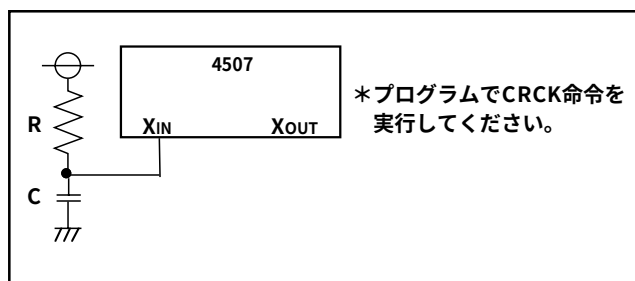
図WA-2. セラミック共振/RC発振への切り替え



図WA-3. オンチップオシレータ動作時の X_{IN} 、 X_{OUT} 端子の処理



図WA-4. セラミック共振子外付け回路



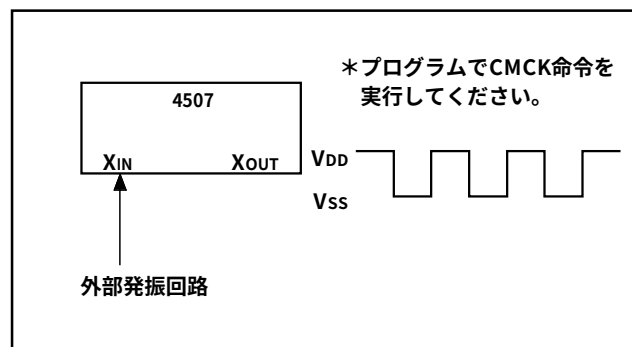
図WA-5. RC発振外付け回路

(5)外部クロックを使用する場合

源発振($f(X_{IN})$)に外部クロック信号を使用する場合は、 X_{IN} 端子にクロック発生源を接続し、 X_{OUT} 端子は開放とし、プログラムではCMCK命令を実行してください(図WA-6)。

なお、外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なりますので、注意してください(推奨動作条件参照)。

また、外部クロックを使用する際はRAMバックアップモード(POF2命令)を使用できませんので、注意してください。



図WA-6. 外部クロック入力回路

(6)クロック制御レジスタMR

レジスタMRはシステムクロックを制御します。このレジスタの内容は、TMRA命令でレジスタAを介して設定してください。また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

表WA-1. クロック制御レジスタ

クロック制御レジスタMR		リセット時：11002	RAMバックアップ時：11002	R/W
MR3	システムクロック選択ビット	MR3MR2	システムクロック	
		00	$f(X_{IN})$ (高速モード)	
		01	$f(X_{IN})/2$ (中速モード)	
		10	$f(X_{IN})/4$ (低速モード)	
MR2		11	$f(X_{IN})/8$ (デフォルトモード)	
MR1	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		
MR0	使用しません	0	このビットに機能はありませんがR/Wは可能です	
		1		

注：“R”は読み出し可、“W”は書き込み可を表します。

マスク化発注時に提示いただく資料

マスク化発注時には、次の資料をご提示ください。

- (1)マスク化確認書*
- (2)マーク指定書*
- (3)マスク化するデータ EPROMもしくは
フロッピーディスク
(EPROMの場合は、同一データのEPROMを3組準備してください。)

*マスク化確認書及びマーク指定書につきましては、
ルネサステクノロジホームページ
ROM発注(<http://www.renesas.com/jp/rom>)
を参照してください。

使用上の注意(まとめ)

(1)ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてVDD端子とVSS端子間にコンデンサ($\approx 0.1 \mu F$)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版においては、CNVSS端子とVPP端子が兼用になっています。5k Ω 程度の抵抗を極力CNVSS/VPP端子の近くに配置してVSS端子に接続してください。

(2)レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタE(8ビット)
- ・レジスタD(3ビット)

(3)レジスタの初期値2

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタD(3ビット)
- ・レジスタX(4ビット)
- ・レジスタE(8ビット)
- ・レジスタY(4ビット)

(4) スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを越えないように注意してください。

(5) プリスケアラ

プリスケアラの分周比を切り替える場合は、必ずプリスケアラの動作を停止させた後、分周比を切り替えてください。

(6) タイマカウントソース

タイマ1、2のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(7) タイマカウント値の読み出し

タイマ1、2からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1、TAB2)を実行してください。

(8) タイマへのデータ書き込み

タイマ1、2にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T2AB)を実行してください。

(9) リロードレジスタR1への書き込み

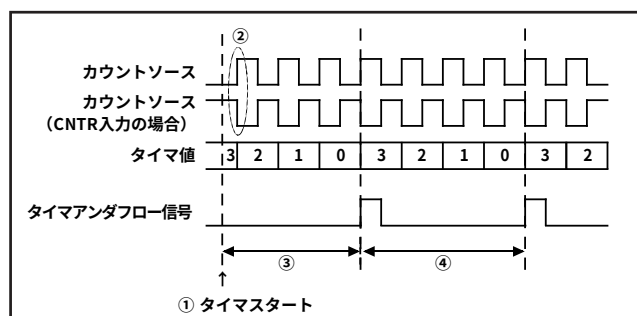
タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータを書き込んでください。

(10) タイマ1、タイマ2のカウント開始タイミングと動作開始時のカウント時間

タイマ1、タイマ2は動作開始(①)後、カウントソースの最初の立ち上がり(②)からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間(③)は、以降のアンダフロー間の時間(④)より短く(最大でカウントソースの一周期分)になります。

なお、タイマ2のカウントソースとしてCNTR入力を選択した場合、タイマ2はCNTR入力の立ち下がりに同期して動作します。



図FB-4. タイマカウント開始タイミングと動作開始時のカウント時間 (T1、T2)

(11) ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWD命令とWRST命令を連続して実行し、フラグWEFを「0」にクリアしてウォッチドッグタイマ機能を停止してください。
- RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度に、DWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

(12) マルチファンクション

- ポートC、K、INT入力、CNTR入力を使用している場合も、ポートD2、D3、P13、P12の入出力は機能しますので、注意してください。
- CNTR出力を使用している場合でも、ポートP12の入力は機能しますので注意してください。
- アナログ入力AIN0、AIN1、AIN2、AIN3を使用している場合でも、ポートP20、P21、P30、P31の入出力は機能しますので注意してください。

(13) POF2命令

EPOF命令実行直後にPOF2命令を実行するとRAMバックアップ状態になります。

POF2命令単独では、RAMバックアップ状態にならないので注意してください。

また、EPOF命令とPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)にしてください。

(14) プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(15) P13/INT端子**①レジスタIIのビット3に関する注意1**

ソフトウェアの途中で割り込み制御レジスタIIのビット3によってINT端子の入力制御を行う際は次の点に注意してください。

- レジスタIIのビット3の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図XB-1①)した後、レジスタIIのビット3の内容を変更してください。更に、一命令以上において(図XB-1②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図XB-1③)。

⋮	
LA 4	; (×××02)
TV1A	; SNZ0命令有効・・・ ①
LA 8	; (1×××2)
TI1A	; INT端子入力制御変更
NOP	; ②
SNZ0	; SNZ0命令実行 (フラグEXF0クリア)
NOP	; ③
⋮	

×：このビットはINT端子の入力制御には関係しません。

図XB-1. 外部0割り込みプログラム例1

②レジスタIIのビット3に関する注意2

割り込み制御レジスタIIのビット3を“0”にクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13が“0”)は、RAMバックアップモードに移行する前にレジスタIIのビット2、ビット3をクリアする必要があります(図XB-2①)。

⋮	
LA 0	; (00××2)
TI1A	; INT入力禁止・・・ ①
DI	
EPOF	
POF2	; RAMバックアップ
⋮	

×：このビットは本例では関係しません。

図XB-2. 外部0割り込みプログラム例2

③レジスタIIのビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタIIのビット2によってP13/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタIIのビット2の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図XB-3①)した後、レジスタIIのビット2の内容を変更してください。更に、一命令以上において(図XB-3②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図XB-3③)。

⋮	
LA 4	; (×××02)
TV1A	; SNZ0命令有効・・・ ①
LA 12	; (×1××2)
TI1A	; 割り込み有効波形変更
NOP	; ②
SNZ0	; SNZ0命令実行 (フラグEXF0クリア)
NOP	; ③
⋮	

×：このビットはINT端子の設定には関係しません。

図XB-3. 外部0割り込みプログラム例3

(16) クロック制御

源発振(f(XIN))を選択する命令(CMCK命令、CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令あるいはCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された発振回路が有効になります。他の発振回路、オンチップオシレータは停止します。

(17) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、本製品はリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(18)外部クロック

源発振($f(XIN)$)に外部クロックを使用する際は、RAMバックアップモード(POF2命令)を使用できませんので、注意してください。

(19)A/Dコンバータ1

アナログ入力 $AIN0 \sim AIN3$ とポートP2、P3の機能を併用する場合、以下の点に注意してください。

●アナログ入力端子の選択に関する注意

P20/ $AIN0$ 、P21/ $AIN1$ 、P30/ $AIN2$ 、P31/ $AIN3$ 端子はアナログ入力として選択している場合でも、ポートP2、P3の入出力機能をもっています。

これらの端子を、アナログ入力とポート入出力との機能を混在して使用する場合は、アナログ入力として選択を行っている端子の出力は“1”になるようにしてください。

また、ポートの入力の場合は、アナログ入力として選択している端子の、ポートとしての入力は不定となります。

●TALA命令に関する注意

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。

(20)A/Dコンバータ2

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。また、A/D制御レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更する場合は以下の点に注意してください。

●レジスタQ1のビット3によって、A/D変換器の動作モードをコンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が“0”(図XB-4①)になっている必要があります。

●A/D変換器の動作モードをコンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1のビット3に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

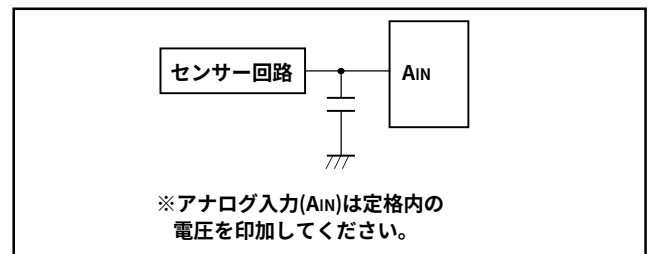
⋮	
LA 8	; ($0 \times \times 2$)
TV2A	; SNZAD命令有効・・・①
LA 0	; ($0 \times \times 2$)
TQ1A	; A/D変換器の動作モードを コンパレータモードから A/D変換モードに変更
SNZAD	
NOP	
⋮	
	×: このビットはA/D変換器の動作 モード変更には関係しません。

図XB-4. A/D変換器の動作モードプログラム例

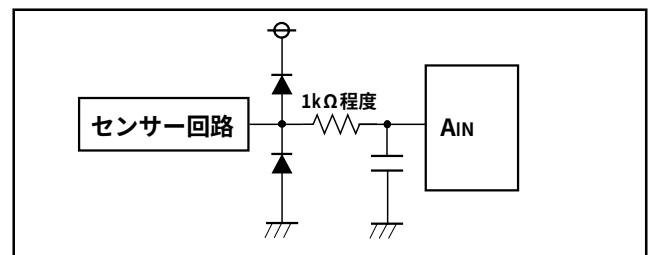
(21)A/Dコンバータ3

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、信号源インピーダンスの高い回路を用いて、アナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に、 $0.01 \sim 1 \mu F$ のコンデンサを付加してください(図XB-5を参照)。

また、やむをえずアナログ入力に定格以上の電圧がかかる場合は、図XB-6に示すように定格内の電圧になるように外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。



図XB-5. アナログ入力外付け回路例1



図XB-6. アナログ入力外付け回路例2

(22)ワンタイムPROM版/マスクROM版

ワンタイムPROM版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

(23)電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

制御レジスタ一覧

割り込み制御レジスタV1		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R/W
V13	タイマ2割り込み可能ビット	0	発生禁止(SNZT2命令有効)		
		1	発生可能(SNZT2命令無効)(注2)		
V12	タイマ1割り込み可能ビット	0	発生禁止(SNZT1命令有効)		
		1	発生可能(SNZT1命令無効)(注2)		
V11	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V10	外部0割り込み可能ビット	0	発生禁止(SNZ0命令有効)		
		1	発生可能(SNZ0命令無効)(注2)		

割り込み制御レジスタV2		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R/W
V23	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V22	A/D割り込み可能ビット	0	発生禁止(SNZAD命令有効)		
		1	発生可能(SNZAD命令無効)(注2)		
V21	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V20	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			

割り込み制御レジスタI1		リセット時：0000 ₂		RAMバックアップ時：状態保持	R/W
I13	INT端子入力制御ビット(注3)	0	INT端子入力禁止		
		1	INT端子入力可能		
I12	INT端子割り込み有効波形／復帰レベル選択ビット(注3)	0	立ち下がり波形(SNZI0命令はINT端子の‘L’レベル認識)／‘L’レベル		
		1	立ち上がり波形(SNZI0命令はINT端子の‘H’レベル認識)／‘H’レベル		
I11	INT端子エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT端子タイマ1制御可能ビット	0	制御禁止		
		1	制御可能		

クロック制御レジスタMR		リセット時：1100 ₂		RAMバックアップ時：1100 ₂	R／W
MR3	システムクロック選択ビット	MR3MR2		システムクロック	
		00		f(X _{IN}) (高速モード)	
		01		f(X _{IN})／2 (中速モード)	
MR2		10		f(X _{IN})／4 (低速モード)	
		11		f(X _{IN})／8 (デフォルトモード)	
MR1	使用しません	0	このビットに機能はありませんがR／Wは可能です		
		1			
MR0	使用しません	0	このビットに機能はありませんがR／Wは可能です		
		1			

注1.“R”は読み出し可、“W”は書き込み可を表します。

2. これらの命令は、NOP命令と等価となります。

3. レジスタI1のビット2(I12)、ビット3(I13)の内容を変更した際に、外部0割り込み要求フラグ(EXF0)がセットされる場合がありますので、レジスタV1のビット0(V10)が‘0’の状態ではSNZ0命令を実行し、フラグEXF0をクリアしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。

タイマ制御レジスタW1		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R/W
W13	プリスケアラ制御ビット	0	停止(初期状態)		
		1	動作		
W12	プリスケアラ分周比選択ビット	0	インストラクションクロックを4分周		
		1	インストラクションクロックを16分周		
W11	タイマ1制御ビット	0	停止(状態保持)		
		1	動作		
W10	タイマ1カウント開始同期回路制御ビット	0	カウント開始同期回路非選択		
		1	カウント開始同期回路選択		

タイマ制御レジスタW2		リセット時：0000 ₂		RAMバックアップ時：状態保持	R／W
W23	タイマ2制御ビット	0	停止(状態保持)		
		1	動作		
W22	タイマ1 カウント自動停止回路制御ビット　(注2)	0	カウント自動停止回路非選択		
		1	カウント自動停止回路選択		
W21	タイマ2カウントソース選択ビット	W21W20		カウントソース	
		00		タイマ1アンダフロー信号	
01		プリスケアラ出力(ORCLK)			
W20		10		CNTR入力	
		11		システムクロック	

タイマ制御レジスタW6		リセット時：0000 ₂		RAMバックアップ時：状態保持	R/W
W63	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W62	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W61	CNTR出力制御ビット	0	タイマ1アンダフロー信号の2分周出力		
		1	タイマ2アンダフロー信号の2分周出力		
W60	P12/CNTR機能選択ビット	0	P12(入出力)/CNTR入力(注3)		
		1	P12(入力)/CNTR入出力(注3)		

A/D制御レジスタQ1		リセット時：0000 ₂		RAMバックアップ時：状態保持	R／W
Q13	A/D動作モード制御ビット	0	A/D変換モード		
		1	コンパレータモード		
Q12	使用しません	0	このビットに機能はありませんがR／Wは可能です		
		1			
Q11	アナログ入力端子選択ビット	Q11Q10		選択される端子	
		00		AIN0	
01		AIN1			
Q10		10		AIN2	
		11		AIN3	

注1.“R”は読み出し可、“W”は書き込み可を表します。

2.この機能はタイマ1カウント開始同期回路を選択している場合のみ有効です。

3.CNTR入力はタイマ2のカウントソースにCNTR入力を選択している場合のみ有効です。

キーオンウェイクアップ制御レジスタK0		リセット時：00002		RAMバックアップ時：状態保持	R/W
K03	ポートP03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポートP02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポートP01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポートP00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK1		リセット時：00002		RAMバックアップ時：状態保持	R/W
K13	ポートP13/INT キーオンウェイクアップ制御ビット	0	P13キーオンウェイクアップ無効/INT端子キーオンウェイクアップ有効		
		1	P13キーオンウェイクアップ有効/INT端子キーオンウェイクアップ無効		
K12	ポートP12/CNTR キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK2		リセット時：00002		RAMバックアップ時：状態保持	R/W
K23	ポートD3/K キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K22	ポートD2/C キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	ポートP21/Ain1 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K20	ポートP20/Ain0 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

プルアップ制御レジスタPU0		リセット時：00002		RAMバックアップ時：状態保持	W
PU03	ポートP03 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU02	ポートP02 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU01	ポートP01 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU00	ポートP00 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

プルアップ制御レジスタPU1		リセット時：00002		RAMバックアップ時：状態保持	W
PU13	ポートP13／INT プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU12	ポートP12／CNTR プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU11	ポートP11 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU10	ポートP10 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

プルアップ制御レジスタPU2		リセット時：00002		RAMバックアップ時：状態保持	W
PU23	ポートD3／K プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU22	ポートD2／C プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU21	ポートP21／AIN1 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU20	ポートP20／AIN0 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

注. “R”は読み出し可、“W”は書き込み可を表します。

命令

4507グループは112種の命令を持っています。各命令について、以下の構成で説明します。

- (1)命令機能別索引
- (2)アルファベット順機械語命令一覧
- (3)機能分類別機械語命令一覧(2ページ見開き形式)
- (4)命令コード対応表

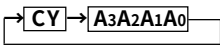
命令機能別索引及び機械語命令一覧では、以下の記号を用いています。

命令記号一覧表

記 号	内 容	記 号	内 容
A	レジスタ A (4ビット)	T1	タイマ 1
B	レジスタ B (4ビット)	T2	タイマ 2
DR	レジスタ D (3ビット)	T1F	タイマ 1 割り込み要求フラグ
E	レジスタ E (8ビット)	T2F	タイマ 2 割り込み要求フラグ
Q1	A/D制御レジスタ Q1 (4ビット)	ADF	A/D変換終了フラグ
V1	割り込み制御レジスタ V1 (4ビット)	WDF1	ウォッチドッグタイマフラグ
V2	割り込み制御レジスタ V2 (4ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
I1	割り込み制御レジスタ I1 (4ビット)	INTE	割り込み許可フラグ
W1	タイマ制御レジスタ W1 (4ビット)	EXF0	外部 0 割り込み要求フラグ
W2	タイマ制御レジスタ W2 (4ビット)	P	パワーダウンフラグ
W6	タイマ制御レジスタ W6 (4ビット)		
MR	クロック制御レジスタ MR (4ビット)	D	ポート D (6ビット)
K0	キーオンウェイクアップ制御レジスタ K0 (4ビット)	P0	ポート P0 (4ビット)
K1	キーオンウェイクアップ制御レジスタ K1 (4ビット)	P1	ポート P1 (4ビット)
K2	キーオンウェイクアップ制御レジスタ K2 (4ビット)	P2	ポート P2 (2ビット)
PU0	ブルアップ制御レジスタ PU0 (4ビット)	P3	ポート P3 (2ビット)
PU1	ブルアップ制御レジスタ PU1 (4ビット)	C	ポート C (1ビット)
PU2	ブルアップ制御レジスタ PU2 (4ビット)	K	ポート K (1ビット)
X	レジスタ X (4ビット)	x	16進変数
Y	レジスタ Y (4ビット)	y	16進変数
Z	レジスタ Z (2ビット)	z	16進変数
DP	データポインタ (10ビット) (レジスタ X、Y、Zで構成)	p	16進変数
PC	プログラムカウンタ(14ビット)	n	16進定数
PC _H	プログラムカウンタの上位7ビット	i	16進定数
PC _L	プログラムカウンタの下位7ビット	j	16進定数
SK	スタックレジスタ (14ビット × 8)	A3 A2 A1 A0	16進変数 A の2進表記 (他も同様)
SP	スタックポインタ (3ビット)	←	データの移動する方向
CY	キャリフラグ	()	レジスタ、メモリなどの内容
R1	タイマ 1 リロードレジスタ	—	否定、命令実行後もフラグは不変
R2	タイマ 2 リロードレジスタ	M (DP)	データポインタで指定されたRAMの番地
		a	a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
		p、a	p5 p4 p3 p2 p1 p0 ページ内の a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
		C	16進数 C + 16進数 x (他も同様)
		+	
		x	
		?	?の前に示された状態の判定
		← →	レジスタやメモリ間でのデータ交換

[命令スキップの方法] 4507グループのいくつかの命令は、次に記述された命令を実行しないスキップ機能を持っています。この命令スキップの方法は、スキップが生じた場合に次の命令を無効にするのみで、プログラムカウンタの内容+2を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。ただし、TABP p、RT、RTS命令がスキップされた場合、サイクル数は“1”となります。

命令機能別索引

分類	命令記号	機能	掲載 ページ	分類	命令記号	機能	掲載 ページ
レジスタ間転送命令	TAB	$(A) \leftarrow (B)$	75、88	演算命令	LA n	$(A) \leftarrow n \quad n = 0 \sim 15$	66、90
	TBA	$(B) \leftarrow (A)$	82、88		TABP p	$(SP) \leftarrow (SP) + 1$ $(SK(SP)) \leftarrow (PC)$ $(PC_H) \leftarrow p$ (注) $(PC_L) \leftarrow (DR_2 \sim DR_0, A_3 \sim A_0)$ $(B) \leftarrow (ROM(PC))_{7 \sim 4}$ $(A) \leftarrow (ROM(PC))_{3 \sim 0}$ $(PC) \leftarrow (SK(SP))$ $(SP) \leftarrow (SP) - 1$	77、90
	TAY	$(A) \leftarrow (Y)$	81、88		AM	$(A) \leftarrow (A) + (M(DP))$	60、90
	TYA	$(Y) \leftarrow (A)$	86、88		AMC	$(A) \leftarrow (A) + (M(DP)) + (CY)$ $(CY) \leftarrow \text{Carry}$	60、90
	TEAB	$(E_7 \sim E_4) \leftarrow (B)$ $(E_3 \sim E_0) \leftarrow (A)$	82、88		A n	$(A) \leftarrow (A) + n \quad n = 0 \sim 15$	60、90
	TABE	$(B) \leftarrow (E_7 \sim E_4)$ $(A) \leftarrow (E_3 \sim E_0)$	76、88		AND	$(A) \leftarrow (A) \text{AND}(M(DP))$	61、90
	TDA	$(DR_2 \sim DR_0) \leftarrow (A_2 \sim A_0)$	82、88		OR	$(A) \leftarrow (A) \text{OR}(M(DP))$	68、90
	TAD	$(A_2 \sim A_0) \leftarrow (DR_2 \sim DR_0)$ $(A_3) \leftarrow 0$	77、88		SC	$(CY) \leftarrow 1$	71、90
	TAZ	$(A_1, A_0) \leftarrow (Z_1, Z_0)$ $(A_3, A_2) \leftarrow 0$	81、88		RC	$(CY) \leftarrow 0$	69、90
	TAX	$(A) \leftarrow (X)$	81、88		SZC	$(CY) = 0 ?$	74、90
	TASP	$(A_2 \sim A_0) \leftarrow (SP_2 \sim SP_0)$ $(A_3) \leftarrow 0$	79、88		CMA	$(A) \leftarrow (\overline{A})$	63、90
RAMアドレス命令	LXY x、y	$(X) \leftarrow x \quad x = 0 \sim 15$ $(Y) \leftarrow y \quad y = 0 \sim 15$	66、88	ビット操作命令	RAR		69、90
	LZ z	$(Z) \leftarrow z \quad z = 0 \sim 3$	67、88		SB j	$(M_j(DP)) \leftarrow 1 \quad j = 0 \sim 3$	71、90
	INY	$(Y) \leftarrow (Y) + 1$	66、88		RB j	$(M_j(DP)) \leftarrow 0 \quad j = 0 \sim 3$	69、90
	DEY	$(Y) \leftarrow (Y) - 1$	63、88		SZB j	$(M_j(DP)) = 0 ? \quad j = 0 \sim 3$	74、90
RAM・レジスタ間転送命令	TAM j	$(A) \leftarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j) \quad j = 0 \sim 15$	79、88	比較命令	SEAM	$(A) = (M(DP)) ?$	72、92
	XAM j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j) \quad j = 0 \sim 15$	87、88		SEA n	$(A) = n ? \quad n = 0 \sim 15$	72、92
	XAMD j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j) \quad j = 0 \sim 15$ $(Y) \leftarrow (Y) - 1$	87、88	ブランチ命令	B a	$(PC_L) \leftarrow a_6 \sim a_0$	61、92
	XAMI j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j) \quad j = 0 \sim 15$ $(Y) \leftarrow (Y) + 1$	87、90		BL p、a	$(PC_H) \leftarrow p$ (注) $(PC_L) \leftarrow a_6 \sim a_0$	61、92
	TMA j	$(M(DP)) \leftarrow (A)$ $(X) \leftarrow (X) \text{EXOR}(j) \quad j = 0 \sim 15$	83、90		BLA p	$(PC_H) \leftarrow p$ (注) $(PC_L) \leftarrow (DR_2 \sim DR_0, A_3 \sim A_0)$	61、92

注. M34507M2の場合 p=0~15、
M34507M4/E4の場合 p=0~31です。

命令機能別索引(続き)

分類	命令記号	機能	掲載ページ	分類	命令記号	機能	掲載ページ
サブルーチン呼び出し命令	BM a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a6~a0	62、92	タイム 操作 命令	TAW1	(A) ← (W1)	80、94
	BML p、a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (注) (PCL) ← a6~a0	62、92		TW1A	(W1) ← (A)	86、94
	BMLA p	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (注) (PCL) ← (DR2~DR0、A3~A0)	62、92		TAW2	(A) ← (W2)	80、94
リターン命令	RTI	(PC) ← (SK(SP)) (SP) ← (SP) - 1	70、92		TW2A	(W2) ← (A)	86、94
	RT	(PC) ← (SK(SP)) (SP) ← (SP) - 1	70、92		TAW6	(A) ← (W6)	81、94
	RTS	(PC) ← (SK(SP)) (SP) ← (SP) - 1	71、92		TW6A	(W6) ← (A)	86、94
割り込み制御命令	DI	(INTE) ← 0	64、94		TAB1	(B) ← (T17~T14) (A) ← (T13~T10)	76、94
	EI	(INTE) ← 1	64、94		T1AB	(R17~R14) ← (B) (T17~T14) ← (B) (R13~R10) ← (A) (T13~T10) ← (A)	75、94
	SNZ0	V10 = 0 : (EXF0) = 1 ? スキップ後、(EXF0) ← 0 V10 = 1 : SNZ0 = NOP	72、94		TAB2	(B) ← (T27~T24) (A) ← (T23~T20)	76、94
	SNZI0	I12 = 1 : (INT) = "H" ? I12 = 0 : (INT) = "L" ?	73、94		T2AB	(R27~R24) ← (B) (T27~T24) ← (B) (R23~R20) ← (A) (T23~T20) ← (A)	75、96
	TAV1	(A) ← (V1)	80、94		TR1AB	(R17~R14) ← (B) (R13~R10) ← (A)	85、96
	TV1A	(V1) ← (A)	85、94		SNZT1	V12 = 0 : (T1F) = 1 ? スキップ後、(T1F) ← 0 V12 = 1 : SNZT1 = NOP	74、96
	TAV2	(A) ← (V2)	80、94		SNZT2	V13 = 0 : (T2F) = 1 ? スキップ後、(T2F) ← 0 V13 = 1 : SNZT2 = NOP	74、96
	TV2A	(V2) ← (A)	85、94	入出力命令	IAP0	(A) ← (P0)	65、96
	TAI1	(A) ← (I1)	77、94		OP0A	(P0) ← (A)	67、96
	TI1A	(I1) ← (A)	82、94		IAP1	(A) ← (P1)	65、96
					OP1A	(P1) ← (A)	68、96
					IAP2	(A1、A0) ← (P21、P20) (A3、A2) ← 0	65、96
					OP2A	(P2) ← (A)	68、96

注. M34507M2の場合 p=0~15、
M34507M4/E4の場合 p=0~31です。

命令機能別索引(続き)

分類	命令記号	機能	掲載 ページ	分類	命令記号	機能	掲載 ページ
入出力命令	IAP3	(A ₁ , A ₀) ← (P ₃₁ , P ₃₀) (A ₃ , A ₂) ← 0	66、96	A / D 変換命令	TABAD	A/D変換モード時 (Q ₁₃ =0) : (B) ← (AD ₉ ~AD ₆) (A) ← (AD ₅ ~AD ₂) コンパレータモード時 (Q ₁₃ =1) : (B) ← (AD ₇ ~AD ₄) (A) ← (AD ₃ ~AD ₀)	76、98
	OP3A	(P ₃) ← (A)	68、96		TALA	(A ₃ , A ₂) ← (AD ₁ , AD ₀) (A ₁ , A ₀) ← 0	78、98
	CLD	(D) ← 1	62、96		TADAB	(AD ₇ ~AD ₄) ← (B) (AD ₃ ~AD ₀) ← (A)	77、98
	RD	(D(Y)) ← 0 (Y) = 0~5	70、96		TAQ1	(A) ← (Q ₁)	79、98
	SD	(D(Y)) ← 1 (Y) = 0~5	72、96		TQ1A	(Q ₁) ← (A)	85、98
	SZD	(D(Y)) = 0 ? (Y) = 0~5	75、96		ADST	(ADF) ← 0、 Q ₁₃ = 0 : A/D変換開始 Q ₁₃ = 1 : コンパレータ動作開始	60、98
	SCP	(C) ← 1	71、98		SNZAD	V ₂₂ = 0 : (ADF) = 1 ? スキップ後、(ADF) ← 0 V ₂₂ = 1 : SNZAD = NOP	73、98
	RCP	(C) ← 0	70、98	その他	NOP	(PC) ← (PC) + 1	67、100
	SNZCP	(C) = 1 ?	73、98		POF2	RAMバックアップモードへ遷移	69、100
	IAK	(A ₀) ← (K) (A ₃ ~A ₁) ← 0	65、98		EPOF	POF2命令有効	64、100
	OKA	(K) ← (A ₀)	67、98		SNZP	(P) = 1 ?	73、100
	TK0A	(K ₀) ← (A)	83、98		DWDT	ウォッチドッグタイマ 機能停止許可	64、100
	TAK0	(A) ← (K ₀)	78、98		WRST	(WDF ₁) = 1 ? スキップ後、(WDF ₁) ← 0	87、100
	TK1A	(K ₁) ← (A)	83、98		CMCK	セラミック発振回路選択	63、100
	TAK1	(A) ← (K ₁)	78、98		CRCK	RC発振回路選択	63、100
	TK2A	(K ₂) ← (A)	83、98		TAMR	(A) ← (MR)	79、100
	TAK2	(A) ← (K ₂)	78、98		TMRA	(MR) ← (A)	84、100
	TPU0A	(PU ₀) ← (A)	84、98				
	TPU1A	(PU ₁) ← (A)	84、98				
	TPU2A	(PU ₂) ← (A)	84、98				

注. M34507M2の場合 p=0~15、
M34507M4/E4の場合 p=0~31です。

[アルファベット順]機械語命令一覧

A n (Add n and accumulator)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 1 1 0 n n n n ₂	0 6 n ₁₆	1	1	—	オーバーフロー = 0
機能: (A) ← (A) + n n = 0~15		分類: 演算命令 詳細説明: レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。			

ADST (A/D conversion SStart)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 1 1 1 1 ₂	2 9 F ₁₆	1	1	—	—
機能: (ADF) ← 0、 Q13 = 0: A/D変換開始 Q13 = 1: コンパレータ動作開始		分類: A/D変換命令 詳細説明: A/D変換終了フラグ(ADF)をクリア(0)し、A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が‘0’のときはA/D変換、コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が‘1’のときはコンパレータ動作を開始します。			

AM (Add accumulator and Memory)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 0 1 0 ₂	0 0 A ₁₆	1	1	—	—
機能: (A) ← (A) + (M(DP))		分類: 演算命令 詳細説明: レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。			

AMC (Add accumulator, Memory and Carry)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 0 1 1 ₂	0 0 B ₁₆	1	1	0/1	—
機能: (A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ		分類: 演算命令 詳細説明: レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。			

[アルファベット順]機械語命令一覧(続き)

AND (logical AND between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 0 0	0 1 8	1	1	—	—
機能 : (A) ← (A) AND (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。			

B a (Branch to address a)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 1 1 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀	1 8 a	1	1	—	—
機能 : (PCL) ← a ₆ ~a ₀		分類 : ブランチ命令 詳細説明 : ページ内ブランチ : 同一ページのa番地へブランチします。 留意点 : ブランチ先はこの命令の存在するページ内で指定してください。			

BL p,a (Branch Long to address a in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 1 1 1 p ₄ p ₃ p ₂ p ₁ p ₀	0 E _p p	2	2	—	—
1 0 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀	2 a a	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのa番地へブランチします。 留意点 : M34507M2の場合 p = 0~15 M34507M4/E4の場合 p = 0~31です。			
機能 : (PCH) ← p (PCL) ← a ₆ ~a ₀					

BLA p (Branch Long to address (D)+(A) in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 0 0	0 1 0	2	2	—	—
1 0 0 p ₄ 0 0 p ₃ p ₂ p ₁ p ₀	2 p p	分類 : ブランチ命令 詳細説明 : ページ外ブランチ : pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地へブランチします。 留意点 : M34507M2の場合 p = 0~15 M34507M4/E4の場合 p = 0~31です。			
機能 : (PCH) ← p (PCL) ← (DR ₂ ~DR ₀ , A ₃ ~A ₀)					

[アルファベット順]機械語命令一覧(続き)

BM a (Branch and Mark to address a in page 2)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 1 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ ₂	1 a a ₁₆	1	1	—	—
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a ₆ ~a ₀		分類: サブルーチン呼び出し命令 詳細説明: 2ページのサブルーチン呼び出し: 2ページのa番地のサブルーチン呼び出します。 留意点: 2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブルーチンネスタングは最大8レベルですので、スタックオーバにならないよう注意してください。			

BML p,a (Branch and Mark Long to address a in page p)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 1 1 0 p ₄ p ₃ p ₂ p ₁ p ₀ ₂	0 C _p p ₁₆	2	2	—	—
1 0 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ ₂	2 a a ₁₆	分類: サブルーチン呼び出し命令 詳細説明: サブルーチン呼び出し: pページのa番地のサブルーチン呼び出します。 留意点: M34507M2の場合 p = 0~15 M34507M4/E4の場合 p = 0~31です。 サブルーチンネスタングは最大8レベルですので、スタックオーバにならないよう注意してください。			
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a ₆ ~a ₀					

BMLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 0 0 0 0 ₂	0 3 0 ₁₆	2	2	—	—
1 0 0 p ₄ 0 0 p ₃ p ₂ p ₁ p ₀ ₂	2 p p ₁₆	分類: サブルーチン呼び出し命令 詳細説明: サブルーチン呼び出し: pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のサブルーチン呼び出します。 留意点: M34507M2の場合 p = 0~15 M34507M4/E4の場合 p = 0~31です。 サブルーチンネスタングは最大8レベルですので、スタックオーバにならないよう注意してください。			
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR ₂ ~DR ₀ , A ₃ ~A ₀)					

CLD (CLear port D)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 0 1 ₂	0 1 1 ₁₆	1	1	—	—
機能: (D) ← 1		分類: 入出力命令 詳細説明: ポートDをすべてセット(1)します。			

[アルファベット順]機械語命令一覧(続き)

CMA (CoMplement of Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 0 0 ₂	0 1 C ₁₆	1	1	—	—
機能 : (A) ← (A)		分類 : 演算命令			
		詳細説明 : レジスタAの内容の1の補数をレジスタAに格納します。			

CMCK (Clock select : ceraMic oscillation Clock)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 0 1 0 ₂	2 9 A ₁₆	1	1	—	—
機能 : セラミック発振回路選択		分類 : その他			
		詳細説明 : セラミック発振回路を選択し、オンチップオシレータを停止します。			

CRCK (Clock select : Rc oscillation Clock)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 0 1 1 ₂	2 9 B ₁₆	1	1	—	—
機能 : RC発振回路選択		分類 : その他			
		詳細説明 : RC発振回路を選択し、オンチップオシレータを停止します。			

DEY (DEcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 1 1 ₂	0 1 7 ₁₆	1	1	—	(Y) = 15
機能 : (Y) ← (Y) - 1		分類 : RAMアドレス命令			
		詳細説明 : レジスタYの内容を-1します。その結果、レジスタYの内容が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。			

[アルファベット順]機械語命令一覧(続き)

DI (Disable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 0 0	0 0 4	1	1	—	—
機能 : (INTE) ← 0		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。 留意点 : DI命令による割り込み禁止は、DI命令実行から1マシンサイクル後に行われます。			

DWDT (Disable WatchDog Timer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 0 0	2 9 C	1	1	—	—
機能 : ウォッチドッグタイマ機能停止許可		分類 : その他 詳細説明 : DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。			

EI (Enable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 0 1	0 0 5	1	1	—	—
機能 : (INTE) ← 1		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。 留意点 : EI命令による割り込み許可は、EI命令の実行から1マシンサイクル後に行われます。			

EPOF (Enable POF instruction)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 1 0 1 1	0 5 B	1	1	—	—
機能 : POF2命令有効		分類 : その他 詳細説明 : EPOF命令を実行すると、直後のPOF2命令が有効になります。			

[アルファベット順]機械語命令一覧(続き)

IAK (Input Accumulator from port K)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 1 1 1 1 ₂	2 6 F ₁₆	1	1	—	—
機能 : (A ₀) ← (K) (A ₃ ~A ₁) ← 0		分類 : 入出力命令 詳細説明 : ポートKの内容を、レジスタAの最下位ビット(A ₀)へ転送します。 留意点 : IAK命令実行後、レジスタAの上位3ビット(A ₃ ~A ₁)には‘0’が格納されます。			

IAP0 (Input Accumulator from port P0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 0 0 0 ₂	2 6 0 ₁₆	1	1	—	—
機能 : (A) ← (P0)		分類 : 入出力命令 詳細説明 : ポートP0の入力を、レジスタAへ転送します。			

IAP1 (Input Accumulator from port P1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 0 0 1 ₂	2 6 1 ₁₆	1	1	—	—
機能 : (A) ← (P1)		分類 : 入出力命令 詳細説明 : ポートP1の入力を、レジスタAへ転送します。			

IAP2 (Input Accumulator from port P2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 0 1 0 ₂	2 6 2 ₁₆	1	1	—	—
機能 : (A ₁ , A ₀) ← (P2 ₁ , P2 ₀) (A ₃ , A ₂) ← 0		分類 : 入出力命令 詳細説明 : ポートP2の入力を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。 留意点 : IAP2命令実行後、レジスタAの上位2ビット(A ₃ , A ₂)には‘0’が格納されます。			

[アルファベット順]機械語命令一覧(続き)

IAP3 (Input Accumulator from port P3)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 0 0 0 1 1 ₂	2 6 3 ₁₆	1	1	—	—
機能: (A ₁ , A ₀) ← (P ₃₁ , P ₃₀) (A ₃ , A ₂) ← 0		分類: 入出力命令 詳細説明: ポートP3の入力を、レジスタの下位2ビット(A ₁ , A ₀)へ転送します。 留意点: IAP3命令実行後、レジスタAの上位2ビット(A ₃ , A ₂)には“0”が格納されます。			

INY (INcrement register Y)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 1 1 ₂	0 1 3 ₁₆	1	1	—	(Y) = 0
機能: (Y) ← (Y) + 1		分類: RAMアドレス命令 詳細説明: レジスタYの内容を+1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。			

LA n (Load n in Accumulator)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 1 n n n n ₂	0 7 n ₁₆	1	1	—	連続記述
機能: (A) ← n n = 0~15		分類: 演算命令 詳細説明: イミディエイトフィールドの値nをレジスタAにロードします。LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。			

LXY x,y (Load register X and Y with x and y)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 1 x ₃ x ₂ x ₁ x ₀ y ₃ y ₂ y ₁ y ₀ ₂	3 x y ₁₆	1	1	—	連続記述
機能: (X) ← x x = 0~15 (Y) ← y y = 0~15		分類: RAMアドレス命令 詳細説明: イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。			

[アルファベット順]機械語命令一覧(続き)

LZ z (Load register Z with z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 1 0 z ₁ z ₀	0 4 ⁸ _{+z}	1	1	—	—
機能 : (Z) ← z z = 0~3		分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値zをレジスタZへロードします。			

NOP (No OPeration)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 0 0	0 0 0	1	1	—	—
機能 : (PC) ← (PC) + 1		分類 : その他 詳細説明 : ノーオペレーション : プログラムカウンタの値を+1します。他は変化しません。			

OKA (Output port K from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 1 1 1 1	2 1 F	1	1	—	—
機能 : (K) ← (A ₀)		分類 : 入出力命令 詳細説明 : レジスタAの最下位ビット(A ₀)の内容を、ポートKへ出力します。			

OP0A (Output port P0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 0 0 0 0	2 2 0	1	1	—	—
機能 : (P0) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP0へ出力します。			

[アルファベット順]機械語命令一覧(続き)

OP1A (Output port P1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 0 0 0 1	2 2 1	1	1	—	—
機能 : (P1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポートP1へ出力します。			

OP2A (Output port P2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 0 0 1 0	2 2 2	1	1	—	—
機能 : (P21、P20) ← (A1、A0)		分類 : 入出力命令 詳細説明 : レジスタAの下位2ビット(A1、A0)の内容を、ポートP2へ出力します。			

OP3A (Output port P3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 0 0 1 1	2 2 3	1	1	—	—
機能 : (P31、P30) ← (A1、A0)		分類 : 入出力命令 詳細説明 : レジスタAの下位2ビット(A1、A0)の内容を、ポートP3へ出力します。			

OR (logical OR between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 0 1	0 1 9	1	1	—	—
機能 : (A) ← (A) OR (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。			

[アルファベット順] 機械語命令一覧(続き)

RCP (Reset Port C)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 1 1 0 0 ₂	2 8 C ₁₆	1	1	—	—
機能 : (C) ← 0		分類 : 入出力命令 詳細説明 : ポートCをクリア(0)します。			

RD (Reset port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 0 0 ₂	0 1 4 ₁₆	1	1	—	—
機能 : (D(Y)) ← 0 (Y) = 0 ~ 5		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをクリア(0)します。 留意点 : ポートDはD ₀ ~D ₅ の6本ですので、(Y)=0~5の範囲で使用してください。 上記以外の値で使用した場合はNOP命令と等価となります。			

RT (ReTurn from subroutine)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 0 0 ₂	0 4 4 ₁₆	1	2	—	—
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを読んだルーチンに戻ります。			

RTI (ReTurn from Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 1 0 ₂	0 4 6 ₁₆	1	1	—	—
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : 割り込み処理ルーチンからメインルーチンに戻ります。データポインタ(レジスタZ、X、Y)、キャリフラグ(CY)、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。			

[アルファベット順]機械語命令一覧(続き)

RTS (ReTurn from subroutine and Skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 0 1 ₂	0 4 5 ₁₆	1	2	—	無条件スキップ
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。			

SB j (Set Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 1 1 j j ₂	0 5 C _{+j} ₁₆	1	1	—	—
機能 : (Mj(DP)) ← 1 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値で指定されたビット)の内容をセット(1)します。			

SC (Set Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 1 1 ₂	0 0 7 ₁₆	1	1	1	—
機能 : (CY) ← 1		分類 : 演算命令 詳細説明 : キャリフラグ(CY)をセット(1)します。			

SCP (Set Port C)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 1 1 0 1 ₂	2 8 D ₁₆	1	1	—	—
機能 : (C) ← 1		分類 : 入出力命令 詳細説明 : ポートCをセット(1)します。			

[アルファベット順] 機械語命令一覧(続き)

SD (Set port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 0 1	0 1 5	1	1	—	—
機能 : (D(Y)) ← 1 (Y) = 0~5		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをセット(1)します。 留意点 : ポートDはD ₀ ~D ₅ の6本ですので、(Y)=0~5の範囲で使用してください。 上記以外の値で使用了場合はNOP命令と等価となります。			

SEA n (Skip Equal, Accumulator with immediate data n)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 0 1	0 2 5	2	2	—	(A) = n
0 0 0 1 1 1 n n n n	0 7 n	分類 : 比較命令 詳細説明 : レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			
機能 : (A) = n ? n = 0 ~ 15					

SEAM (Skip Equal, Accumulator with Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 1 0	0 2 6	1	1	—	(A) = (M(DP))
機能 : (A) = (M(DP)) ?		分類 : 比較命令 詳細説明 : レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 0 0	0 3 8	1	1	—	V1 ₀ = 0 : (EXF0) = 1
機能 : V1 ₀ = 0 : (EXF0) = 1 ? スキップ後、(EXF0) ← 0 V1 ₀ = 1 : SNZ0 = NOP		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1のビット0(V1 ₀)の内容が‘0’のときは、外部0割り込み要求フラグ(EXF0)が‘1’であれば、次の命令をスキップし、その後フラグEXF0をクリア(0)します。‘0’ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット0(V1 ₀)の内容が‘1’のときは、この命令はNOP命令と等価となります。			

[アルファベット順]機械語命令一覧(続き)

SNZAD (Skip if Non Zero condition of A/D conversion completion flag)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 1 1 1	2 8 7	1	1	—	V2 ₂ = 0 : (ADF) = 1
機能: V2 ₂ = 0 : (ADF) = 1 ? スキップ後、(ADF) ← 0 V2 ₂ = 1 : SNZAD = NOP		分類: A/D変換命令 詳細説明: 割り込み制御レジスタV2のビット2(V2 ₂)の内容が“0”のときは、A/D変換終了フラグ(ADF)が“1”であれば、次の命令をスキップし、その後フラグADFをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット2(V2 ₂)の内容が“1”のときは、この命令はNOP命令と等価となります。			

SNZCP (Skip if Non Zero condition of Port C)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 1 0 0 1	2 8 9	1	1	—	(C) = 1
機能: (C) = 1 ?		分類: 入出力命令 詳細説明: ポートCの内容が“1”であれば、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。			

SNZIO (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 1 0	2 0 3 A	1	1	—	I1 ₂ = 1 : (INT) = “H” I1 ₂ = 0 : (INT) = “L”
機能: I1 ₂ = 1 : (INT) = “H” ? I1 ₂ = 0 : (INT) = “L” ?		分類: 割り込み制御命令 詳細説明: 割り込み制御レジスタI1のビット2(I1 ₂)の内容が“1”のときは、INT端子のレベルが“H”であれば次の命令をスキップします。“L”ならば、そのまま次の命令を実行します。 割り込み制御レジスタI1のビット2(I1 ₂)の内容が“0”のときは、INT端子のレベルが“L”であれば次の命令をスキップします。“H”ならば、そのまま次の命令を実行します。			

SNZP (Skip if Non Zero condition of Power down flag)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 1 1	2 0 0 3	1	1	—	(P) = 1
機能: (P) = 1 ?		分類: その他 詳細説明: パワーダウンフラグ(P)の内容が“1”であれば、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。			

[アルファベット順] 機械語命令一覧(続き)

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 0 0 0 0	0	1	1	—	V12 = 0 : (T1F) = 1
機能: V12 = 0 : (T1F) = 1 ? スキップ後、(T1F) ← 0 V12 = 1 : SNZT1 = NOP					
分類: タイマ操作命令 詳細説明: 割り込み制御レジスタV1のビット2(V12)の内容が“0”のときは、タイマ1割り込み要求フラグ(T1F)が“1”であれば、次の命令をスキップし、その後フラグT1Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V12)の内容が“1”のときは、この命令はNOP命令と等価となります。					

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 0 0 0 1	1	1	1	—	V13 = 0 : (T2F) = 1
機能: V13 = 0 : (T2F) = 1 ? スキップ後、(T2F) ← 0 V13 = 1 : SNZT2 = NOP					
分類: タイマ操作命令 詳細説明: 割り込み制御レジスタV1のビット3(V13)の内容が“0”のときは、タイマ2割り込み要求フラグ(T2F)が“1”であれば、次の命令をスキップし、その後フラグT2Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V13)の内容が“1”のときは、この命令はNOP命令と等価となります。					

SZB j (Skip if Zero, Bit)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 0 j j	j	1	1	—	(Mj(DP)) = 0 j = 0~3
機能: (Mj(DP)) = 0 ? j = 0 ~ 3					
分類: ビット操作命令 詳細説明: M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。					

SZC (Skip if Zero, Carry flag)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 1 1 1	1	1	1	—	(CY) = 0
機能: (CY) = 0 ?					
分類: 演算命令 詳細説明: キャリフラグ(CY)の内容が“0”のとき、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。スキップ後もフラグCYは変化しません。					

[アルファベット順]機械語命令一覧(続き)

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 0	0	1	1	—	—
2 7 0 ₁₆					
機能 : (B) ← (T17~T14) (A) ← (T13~T10)		分類 : タイマ操作命令 詳細説明 : タイマ1の上位4ビット(T17~T14)の内容をレジスタBへ、タイマ1の下位4ビット(T13~T10)の内容をレジスタAへ転送します。			

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 1	1	1	1	—	—
2 7 1 ₁₆					
機能 : (B) ← (T27~T24) (A) ← (T23~T20)		分類 : タイマ操作命令 詳細説明 : タイマ2の上位4ビット(T27~T24)の内容をレジスタBへ、タイマ2の下位4ビット(T23~T20)の内容をレジスタAへ転送します。			

TABAD (Transfer data to Accumulator and register B from register AD)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 1 0 0 1	1	1	1	—	—
2 7 9 ₁₆					
機能 : A/D 変換モード時(Q ₁₃ = 0) : (B) ← (AD ₉ ~AD ₆) (A) ← (AD ₅ ~AD ₂) コンパレータモード時(Q ₁₃ = 1) : (B) ← (AD ₇ ~AD ₄) (A) ← (AD ₃ ~AD ₀)		分類 : A/D変換命令 詳細説明 : A/D変換モード時(A/D制御レジスタQ1のビット3(Q ₁₃)の内容が“0”のときは、レジスタADの上位4ビット(AD ₉ ~AD ₆)をレジスタBへ、レジスタADの中位4ビット(AD ₅ ~AD ₂)をレジスタAへ転送します。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q ₁₃)の内容が“1”のときは、コンパレータレジスタの上位4ビット(AD ₇ ~AD ₄)をレジスタBへ、コンパレータレジスタの下位4ビット(AD ₃ ~AD ₀)をレジスタAへ転送します。			

TABE (Transfer data to Accumulator and register B from register E)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 1 0	0	1	1	—	—
0 2 A ₁₆					
機能 : (B) ← (E ₇ ~E ₄) (A) ← (E ₃ ~E ₀)		分類 : レジスタ間転送命令 詳細説明 : レジスタEの上位4ビット(E ₇ ~E ₄)をレジスタBへ、レジスタEの下位4ビット(E ₃ ~E ₀)をレジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TABP p (Transfer data to Accumulator and register B from Program memory in page p)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 1 0 0 p ₄ p ₃ p ₂ p ₁ p ₀ ₂ 0 ⁸ +p p ₁₆		1	3	—	—
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR ₂ ~DR ₀ , A ₃ ~A ₀) (B) ← (ROM(PC)) _{7~4} (A) ← (ROM(PC)) _{3~0} (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類: 演算命令 詳細説明: p ページのレジスタ D とレジスタ A の内容で指定された (DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地の ROM パターンのうち、ビット 7~4 をレジスタ B へ、ビット 3~0 をレジスタ A へ転送します。この命令を実行するときは、スタックレジスタ (SK) を 1 段使用します。 留意点: M34507M2 の場合 p=0~15 M34507M4/E4 の場合 p=0~31 です。 TABP p 命令実行時、スタックレジスタ (SK) を 1 段使用しますので、スタックオーバにならないよう注意してください。			

TAD (Transfer data to Accumulator from register D)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 0 1 ₂ 0 5 1 ₁₆		1	1	—	—
機能: (A ₂ ~A ₀) ← (DR ₂ ~DR ₀) (A ₃) ← 0		分類: レジスタ間転送命令 詳細説明: レジスタ D の内容を、レジスタ A の下位 3 ビット (A ₂ ~A ₀) へ転送します。 留意点: TAD 命令実行時、レジスタ A の最上位ビット (A ₃) には '0' が格納されます。			

TADAB (Transfer data to register AD from Accumulator from register B)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 0 0 1 ₂ 2 3 9 ₁₆		1	1	—	—
機能: (AD ₇ ~AD ₄) ← (B) (AD ₃ ~AD ₀) ← (A)		分類: A/D 変換命令 詳細説明: コンパレータモード時 (A/D 制御レジスタ Q1 のビット 3 (Q ₁₃) の内容が '1' のとき) に、レジスタ B の内容をコンパレータレジスタの上位 4 ビット (AD ₇ ~AD ₄) へ、レジスタ A の内容をコンパレータレジスタの下位 4 ビット (AD ₃ ~AD ₀) へ転送します。 A/D 変換モード時 (A/D 制御レジスタ Q1 のビット 3 (Q ₁₃) の内容が '0' のときは、この命令は NOP 命令と等価となります。			

TAI1 (Transfer data to Accumulator from register I1)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 1 ₂ 2 5 3 ₁₆		1	1	—	—
機能: (A) ← (I1)		分類: 割り込み制御命令 詳細説明: 割り込み制御レジスタ I1 の内容を、レジスタ A へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TAK0 (Transfer data to Accumulator from register K0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 1 0 ₂	2 5 6 ₁₆	1	1	—	—
機能 : (A) ← (K0)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。			

TAK1 (Transfer data to Accumulator from register K1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 0 0 1 ₂	2 5 9 ₁₆	1	1	—	—
機能 : (A) ← (K1)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。			

TAK2 (Transfer data to Accumulator from register K2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 0 1 0 ₂	2 5 A ₁₆	1	1	—	—
機能 : (A) ← (K2)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。			

TALA (Transfer data to Accumulator from register LA)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 0 1 ₂	2 4 9 ₁₆	1	1	—	—
機能 : (A ₃ , A ₂) ← (AD ₁ , AD ₀) (A ₁ , A ₀) ← 0		分類 : A/D変換命令 詳細説明 : レジスタADの下位2ビット(AD ₁ , AD ₀)の内容を、レジスタAの上位2ビット(A ₃ , A ₂)へ転送します。 留意点 : TALA命令実行後、レジスタAの下位2ビット(A ₁ , A ₀)には‘0’が格納されます。			

[アルファベット順]機械語命令一覧(続き)

TAM j (Transfer data to Accumulator from Memory)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 0 0 j j j j ₂	2 C j ₁₆	1	1	—	—
機能: (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0~15		分類: RAM・レジスタ間転送命令 詳細説明: M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。			

TAMR (Transfer data to Accumulator from register MR)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 0 ₂	2 5 2 ₁₆	1	1	—	—
機能: (A) ← (MR)		分類: その他 詳細説明: クロック制御レジスタMRの内容を、レジスタAへ転送します。			

TAQ1 (Transfer data to Accumulator from register Q1)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 1 0 0 ₂	2 4 4 ₁₆	1	1	—	—
機能: (A) ← (Q1)		分類: A/D変換命令 詳細説明: A/D制御レジスタQ1の内容を、レジスタAへ転送します。			

TASP (Transfer data to Accumulator from Stack Pointer)

機械語: D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 0 0 ₂	0 5 0 ₁₆	1	1	—	—
機能: (A ₂ ~ A ₀) ← (SP ₂ ~ SP ₀) (A ₃) ← 0		分類: レジスタ間転送命令 詳細説明: スタックポインタ(SP)の内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。 留意点: TASP命令実行後、レジスタAの最上位ビット(A ₃)には“0”が格納されます。			

[アルファベット順]機械語命令一覧(続き)

TAV1 (Transfer data to Accumulator from register V1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 0	0	1	1	—	—
₂ 0 5 4 ₁₆					
機能 : (A) ← (V1)		分類 : 割り込み制御命令			
		詳細説明 : 割り込み制御レジスタV1の内容を、レジスタAへ転送します。			

TAV2 (Transfer data to Accumulator from register V2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 1	1	1	1	—	—
₂ 0 5 5 ₁₆					
機能 : (A) ← (V2)		分類 : 割り込み制御命令			
		詳細説明 : 割り込み制御レジスタV2の内容を、レジスタAへ転送します。			

TAW1 (Transfer data to Accumulator from register W1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 1 1	1	1	1	—	—
₂ 2 4 B ₁₆					
機能 : (A) ← (W1)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW1の内容を、レジスタAへ転送します。			

TAW2 (Transfer data to Accumulator from register W2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 0 0	0	1	1	—	—
₂ 2 4 C ₁₆					
機能 : (A) ← (W2)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW2の内容を、レジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TAW6 (Transfer data to Accumulator from register W6)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 0 0	0	1	1	—	—
2 5 0 ₁₆					
機能 : (A) ← (W6)		分類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW6の内容を、レジスタAへ転送します。			

TAX (Transfer data to Accumulator from register X)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 0	0	1	1	—	—
0 5 2 ₁₆					
機能 : (A) ← (X)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタXの内容を、レジスタAへ転送します。			

TAY (Transfer data to Accumulator from register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 1 1	1	1	1	—	—
0 1 F ₁₆					
機能 : (A) ← (Y)		分類 : レジスタ間転送命令			
		詳細説明 : レジスタYの内容を、レジスタAへ転送します。			

TAZ (Transfer data to Accumulator from register Z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 1	1	1	1	—	—
0 5 3 ₁₆					
機能 : (A ₁ , A ₀) ← (Z ₁ , Z ₀) (A ₃ , A ₂) ← 0		分類 : レジスタ間転送命令			
		詳細説明 : レジスタZの内容を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。			
		留意点 : TAZ命令実行後、レジスタAの上位2ビット(A ₃ , A ₂)には‘0’が格納されます。			

[アルファベット順] 機械語命令一覧(続き)

TBA (Transfer data to register B from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 1 1 0	0 0 E	1	1	—	—
機能 : (B) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタBへ転送します。			

TDA (Transfer data to register D from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 0 1	0 2 9	1	1	—	—
機能 : (DR ₂ ~DR ₀) ← (A ₂ ~A ₀)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの下位3ビット(A ₂ ~A ₀)の内容を、レジスタDへ転送します。			

TEAB (Transfer data to register E from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 1 0	0 1 A	1	1	—	—
機能 : (E ₇ ~E ₄) ← (B) (E ₃ ~E ₀) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容をレジスタEの上位4ビット(E ₇ ~E ₄)へ、レジスタAの内容をレジスタEの下位4ビット(E ₃ ~E ₀)へ転送します。			

TI1A (Transfer data to register I1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 1 1	2 1 7	1	1	—	—
機能 : (I1) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタI1へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TK0A (Transfer data to register K0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 1 0 1 1 ₂	2 1 B ₁₆	1	1	—	—
機能 : (K0) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。			

TK1A (Transfer data to register K1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 0 0 ₂	2 1 4 ₁₆	1	1	—	—
機能 : (K1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。			

TK2A (Transfer data to register K2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 0 1 ₂	2 1 5 ₁₆	1	1	—	—
機能 : (K2) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。			

TMA j (Transfer data to Memory from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 1 j j j j ₂	2 B j ₁₆	1	1	—	—
機能 : (M(DP)) ← (A) (X) ← (X)EXOR(j) j = 0~15		分類 : RAM・レジスタ間転送命令 詳細説明 : レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

[アルファベット順]機械語命令一覧(続き)

TMRA (Transfer data to register MR from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 1 0 ₂	2 1 6 ₁₆	1	1	—	—
機能 : (MR) ← (A)		分類 : その他			
		詳細説明 : レジスタAの内容を、クロック制御レジスタMRへ転送します。			

TPU0A (Transfer data to register PU0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 1 0 1 ₂	2 2 D ₁₆	1	1	—	—
機能 : (PU0) ← (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU0へ転送します。			

TPU1A (Transfer data to register PU1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 1 1 0 ₂	2 2 E ₁₆	1	1	—	—
機能 : (PU1) ← (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU1へ転送します。			

TPU2A (Transfer data to register PU2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 1 1 1 ₂	2 2 F ₁₆	1	1	—	—
機能 : (PU2) ← (A)		分類 : 入出力命令			
		詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU2へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TQ1A (Transfer data to register Q1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 1 0 0	2 0 4	1	1	—	—
機能 : (Q1) ← (A)		分類 : A/D変換命令 詳細説明 : レジスタAの内容を、A/D制御レジスタQ1へ転送します。			

TR1AB (Transfer data to register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 1 1 1	2 3 F	1	1	—	—
機能 : (R17~R14) ← (B) (R13~R10) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をリロードレジスタR1の上位4ビット(R17~R14)へ、レジスタAの内容をリロードレジスタR1の下位4ビット(R13~R10)へ転送します。			

TV1A (Transfer data to register V1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 1 1 1	0 3 F	1	1	—	—
機能 : (V1) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV1へ転送します。			

TV2A (Transfer data to register V2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 1 1 0	0 3 E	1	1	—	—
機能 : (V2) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV2へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TW1A(Transfer data to register W1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 0 ₂	2 0 E ₁₆	1	1	—	—
機能 : (W1) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW1へ転送します。			

TW2A (Transfer data to register W2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 1 ₂	2 0 F ₁₆	1	1	—	—
機能 : (W2) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW2へ転送します。			

TW6A (Transfer data to register W6 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 0 1 1 ₂	2 1 3 ₁₆	1	1	—	—
機能 : (W6) ← (A)		分類 : タイマ制御命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW6へ転送します。			

TYA (Transfer data to register Y from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 1 0 0 ₂	0 0 C ₁₆	1	1	—	—
機能 : (Y) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタYへ転送します。			

[アルファベット順]機械語命令一覧(続き)

WRST(Watchdog timer ReSeT)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 0 0 0 0 0	2 A 0	1	1	—	(WDF1) = 1
機能 : (WDF1) = 1 ? スキップ後、(WDF1) ← 0		分類 : その他 詳細説明 : ウォッチドッグタイマフラグ(WDF1)が“1”であれば、次の命令をスキップし、その後フラグWDF1をクリア(0)します。“0”ならば、そのまま次の命令を実行します。 また、DWD命令実行直後にWRST命令を実行するとウォッチドッグタイマ機能を停止します。			

XAM j (eXchange Accumulator and Memory data)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 0 1 j j j j	2 D j	1	1	—	—
機能 : (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0~15		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。			

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 1 1 j j j j	2 F j	1	1	—	(Y) = 15
機能 : (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0~15 (Y) ← (Y) - 1		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を-1し、その結果が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。			

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

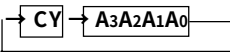
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 1 0 j j j j	2 E j	1	1	—	(Y) = 0
機能 : (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0~15 (Y) ← (Y) + 1		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値との排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を+1し、その結果が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。			

[機能分類別] 機械語命令一覧

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) ← (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) ← (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) ← (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) ← (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E7~E4) ← (B) (E3~E0) ← (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) ← (E7~E4) (A) ← (E3~E0)
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR2~DR0) ← (A2~A0)
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A2~A0) ← (DR2~DR0) (A3) ← 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A1, A0) ← (Z1, Z0) (A3, A2) ← 0
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) ← (X)
	TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A2~A0) ← (SP2~SP0) (A3) ← 0
RAMアドレス命令	LXY x, y	1	1	x3	x2	x1	x0	y3	y2	y1	y0	3 x y	1	1	(X) ← x x = 0~15 (Y) ← y y = 0~15
	LZ z	0	0	0	1	0	0	1	0	z1	z0	0 4 8 +z	1	1	(Z) ← z z = 0~3
	INY	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) ← (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) ← (Y) - 1
RAM・レジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0~15
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0~15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0~15 (Y) ← (Y) - 1

スキップ条件	フラグ CY	詳細説明
—	—	レジスタBの内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、レジスタBへ転送します。
—	—	レジスタYの内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、レジスタYへ転送します。
—	—	レジスタBの内容をレジスタEの上位4ビット(E7～E4)へ、レジスタAの内容をレジスタEの下位4ビット(E3～E0)をレジスタAへ転送します。
—	—	レジスタEの上位4ビット(E7～E4)をレジスタBへ、レジスタEの下位4ビット(E3～E0)をレジスタAへ転送します。
—	—	レジスタAの下位3ビット(A2～A0)の内容を、レジスタDへ転送します。
—	—	レジスタDの内容を、レジスタAの下位3ビット(A2～A0)へ転送します。
—	—	レジスタZの内容を、レジスタAの下位2ビット(A1、A0)へ転送します。
—	—	レジスタXの内容を、レジスタAへ転送します。
—	—	スタックポインタ(SP)の内容を、レジスタAの下位3ビット(A2～A0)へ転送します。
連続記述	—	イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。
—	—	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	—	レジスタYの内容を+1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。
(Y) = 15	—	レジスタYの内容を-1します。その結果、レジスタYの内容が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。
—	—	M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
—	—	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	—	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を-1し、その結果が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令をスキップします。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	16進表記			
RAM・レジスタ間転送命令	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0~15 (Y) ← (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) ← (A) (X) ← (X)EXOR(j) j = 0~15
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) ← n n = 0~15
	TABP p	0	0	1	0	0	p ₄	p ₃	p ₂	p ₁	p ₀	0 8 p +p	1	3	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (注) (PCL) ← (DR ₂ ~DR ₀ , A ₃ ~A ₀) (B) ← (ROM(PC)) _{7~4} (A) ← (ROM(PC)) _{3~0} (PC) ← (SK(SP)) (SP) ← (SP) - 1
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) ← (A) + (M(DP))
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ
	A n	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) ← (A) + n n = 0~15
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) ← (A)AND(M(DP))
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) ← (A)OR(M(DP))
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) ← 1
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) ← 0
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY) = 0 ?
	CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) ← (A)
	RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	
ビット操作命令	SB j	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(M _j (DP)) ← 1 j = 0~3
	RB j	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(M _j (DP)) ← 0 j = 0~3
	SZB j	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(M _j (DP)) = 0 ? j = 0~3

注. M34507M2の場合 p=0~15、
M34507M4/E4の場合 p=0~31です。

スキップ条件	フラグ CY	詳細説明
(Y) = 0	—	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を+1し、その結果が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。
—	—	レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
連続記述	—	イミディエイトフィールドの値nをレジスタAにロードします。 LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。
—	—	pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀)2番地のROMパターンのうち、ビット7～4をレジスタBへ、ビット3～0をレジスタAへ転送します。この命令を実行するときは、スタックレジスタ(SK)を1段使用します。
—	—	レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。
—	0/1	レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。
オーバーフロー = 0	—	レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。
—	—	レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。
—	—	レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。
—	1	キャリフラグ(CY)をセット(1)します。
—	0	キャリフラグ(CY)をクリア(0)します。
(CY) = 0	—	キャリフラグ(CY)の内容が“0”のとき、次の命令をスキップします。
—	—	レジスタAの内容の1の補数をレジスタAに格納します。
—	0/1	キャリフラグ(CY)を含め、レジスタAを右へ1ビットローテーションします。
—	—	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。
—	—	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。
(Mj(DP)) = 0 j = 0～3	—	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	16進表記			
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A) = (M(DP)) ?
	SEA n	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A) = n ? n = 0~15
		0	0	0	1	1	1	n	n	n	n	0 7 n			
ブランチ命令	B a	0	1	1	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1 8 a +a	1	1	(PCL) ← a ₆ ~a ₀
	BL p, a	0	0	1	1	1	p ₄	p ₃	p ₂	p ₁	p ₀	0 E p +p	2	2	(PCH) ← p (注) (PCL) ← a ₆ ~a ₀
		1	0	0	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	2 a a			
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PCH) ← p (注) (PCL) ← (DR ₂ ~DR ₀ , A ₃ ~A ₀)
		1	0	0	p ₄	0	0	p ₃	p ₂	p ₁	p ₀	2 p p			
サブルーチン呼び出し命令	BM a	0	1	0	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1 a a	1	1	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a ₆ ~a ₀
	BML p, a	0	0	1	1	0	p ₄	p ₃	p ₂	p ₁	p ₀	0 C p +p	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (注) (PCL) ← a ₆ ~a ₀
		1	0	0	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	2 a a			
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (注) (PCL) ← (DR ₂ ~DR ₀ , A ₃ ~A ₀)
		1	0	0	p ₄	0	0	p ₃	p ₂	p ₁	p ₀	2 p p			
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1

注. M34507M2 の場合 p=0~15、
M34507M4/E4 の場合 p=0~31 です。

スキップ条件	フラグ CY	詳細説明
(A) = (M(DP))	—	レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。
(A) = n	—	レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。
—	—	ページ内ブランチ:同一ページのa番地へブランチします。
—	—	ページ外ブランチ:pページのa番地へブランチします。
—	—	ページ外ブランチ:pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地へブランチします。
—	—	2ページのサブルーチン呼び出し:2ページのa番地のサブルーチンを呼び出します。
—	—	サブルーチン呼び出し:pページのa番地のサブルーチンを呼び出します。
—	—	サブルーチン呼び出し:pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のサブルーチンを呼び出します。
無条件スキップ	—	割り込み処理ルーチンからメインルーチンに戻ります。 データポインタ(レジスタZ、X、Y)、キャリフラグ(CY)、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。 サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。 サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード										16進表記	語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) ←0
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) ←1
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	V10 = 0 : (EXF0) = 1 ? スキップ後、(EXF0) ←0 V10 = 1 : SNZ0 = NOP
	SNZI0	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 1 : (INT) =“ H ”? I12 = 0 : (INT) =“ L ”?
	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) ← (V1)
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) ← (A)
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) ← (V2)
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) ← (A)
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) ← (I1)
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) ← (A)
タイム操作命令	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) ← (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) ← (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) ← (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) ← (A)
	TAW6	1	0	0	1	0	1	0	0	0	0	2 5 0	1	1	(A) ← (W6)
	TW6A	1	0	0	0	0	1	0	0	1	1	2 1 3	1	1	(W6) ← (A)
	TAB1	1	0	0	1	1	1	0	0	0	0	2 7 0	1	1	(B)←(T17~T14) (A)←(T13~T10)
	T1AB	1	0	0	0	1	1	0	0	0	0	2 3 0	1	1	(T17~T14)←(B) (R17~R14)←(B) (T13~T10)←(A) (R13~R10)←(A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2 7 1	1	1	(B)←(T27~T24) (A)←(T23~T20)

スキップ条件	フラグ CY	詳細説明
—	—	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
—	—	割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。
V10 = 0 : (EXF0) = 1	—	割り込み制御レジスタV1のビット0(V10)の内容が“0”のときは、外部0割り込み要求フラグ(EXF0)が“1”であれば、次の命令をスキップし、その後フラグEXF0をクリア(0)します。“0”ならば、そのまま次の命令を実行します。割り込み制御レジスタV1のビット0(V10)の内容が“1”のときは、この命令はNOP命令と等価となります。
I12 = 1 : (INT) = “H”	—	割り込み制御レジスタI1のビット2(I12)の内容が“1”のときは、INT端子のレベルが“H”であれば次の命令をスキップします。“L”ならば、そのまま次の命令を実行します。
I12 = 0 : (INT) = “L”	—	割り込み制御レジスタI1のビット2(I12)の内容が“0”のときは、INT端子のレベルが“L”であれば次の命令をスキップします。“H”ならば、そのまま次の命令を実行します。
—	—	割り込み制御レジスタV1の内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、割り込み制御レジスタV1へ転送します。
—	—	割り込み制御レジスタV2の内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、割り込み制御レジスタV2へ転送します。
—	—	割り込み制御レジスタI1の内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、割り込み制御レジスタI1へ転送します。
—	—	タイマ制御レジスタW1の内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、タイマ制御レジスタW1へ転送します。
—	—	タイマ制御レジスタW2の内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、タイマ制御レジスタW2へ転送します。
—	—	タイマ制御レジスタW6の内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、タイマ制御レジスタW6へ転送します。
—	—	タイマ1の上位4ビット(T17～T14)の内容をレジスタBへ、タイマ1の下位4ビット(T13～T10)の内容をレジスタAへ転送します。
—	—	レジスタBの内容をタイマ1とリロードレジスタR1の上位4ビットへ、レジスタAの内容をタイマ1とリロードレジスタR1の下位4ビットへ転送します。
—	—	タイマ2の上位4ビット(T27～T24)の内容をレジスタBへ、タイマ2の下位4ビット(T23～T20)の内容をレジスタAへ転送します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	16進表記			
タイム操作命令	T2AB	1	0	0	0	1	1	0	0	0	1	2 3 1	1	1	(T27~T24)←(B) (R27~R24)←(B) (T23~T20)←(A) (R23~R20)←(A)
	TR1AB	1	0	0	0	1	1	1	1	1	1	2 3 F	1	1	(R17~R14)←(B) (R13~R10)←(A)
	SNZT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	V12 = 0 : (T1F)=1 ? スキップ後、(T1F) ← 0 V12 = 1 : SNZT1 = NOP
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	V13 = 0 : (T2F)=1 ? スキップ後、(T2F) ← 0 V13 = 1 : SNZT2 = NOP
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) ← (P0)
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) ← (A)
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) ← (P1)
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) ← (A)
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A1, A0) ← (P21, P20) (A3, A2) ← 0
	OP2A	1	0	0	0	1	0	0	0	1	0	2 2 2	1	1	(P21, P20) ← (A1, A0)
	IAP3	1	0	0	1	1	0	0	0	1	1	2 6 3	1	1	(A1, A0) ← (P31, P30) (A3, A2) ← 0
	OP3A	1	0	0	0	1	0	0	0	1	1	2 2 3	1	1	(P31, P30) ← (A1, A0)
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) ← 1
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) ← 0 (Y) = 0~5
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) ← 1 (Y) = 0~5
	SZD	0	0	0	0	1	0	0	1	0	0	0 2 4	2	2	(D(Y)) = 1 ? (Y) = 0~5
		0	0	0	0	1	0	1	0	1	1	0 2 B			

スキップ条件	フラグ CY	詳細説明
—	—	レジスタBの内容をタイマ2とリロードレジスタR2の上位4ビットへ、レジスタAの内容をタイマ2とリロードレジスタR2の下位4ビットへ転送します。
—	—	レジスタBの内容をリロードレジスタR1の上位4ビット(R17～R13)へ、レジスタAの内容をリロードレジスタR1の下位4ビット(R13～R10)へ転送します。
V12 = 0 : (T1F) = 1	—	割り込み制御レジスタV1のビット2(V12)の内容が“0”のときは、タイマ1割り込み要求フラグ(T1F)が“1”であれば、次の命令をスキップし、その後フラグT1Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。割り込み制御レジスタV1のビット2(V12)の内容が“1”のときは、この命令はNOP命令と等価となります。
V13 = 0 : (T2F) = 1	—	割り込み制御レジスタV1のビット3(V13)の内容が“0”のときは、タイマ2割り込み要求フラグ(T2F)が“1”であれば、次の命令をスキップし、その後フラグT2Fをクリア(0)します。“0”ならば、そのまま次の命令を実行します。割り込み制御レジスタV1のビット3(V13)の内容が“1”のときは、この命令はNOP命令と等価となります。
—	—	ポートP0の入力を、レジスタAへ転送します。
—	—	レジスタAの内容を、ポートP0へ出力します。
—	—	ポートP1の入力を、レジスタAへ転送します。
—	—	レジスタAの内容を、ポートP1へ出力します。
—	—	ポートP2の入力を、レジスタAの下位2ビット(A1、A0)へ転送します。
—	—	レジスタAの下位2ビット(A1、A0)の内容を、ポートP2へ出力します。
—	—	ポートP3の入力を、レジスタAの下位2ビット(A1、A0)へ転送します。
—	—	レジスタAの下位2ビット(A1、A0)の内容を、ポートP3へ出力します。
—	—	ポートDをすべてセット(1)します。
—	—	ポートDのレジスタYの内容で指定されたポートをクリア(0)します。
—	—	ポートDのレジスタYの内容で指定されたポートをセット(1)します。
(D(Y)) = 0 (Y)=0～5	—	ポートDのレジスタYの内容で指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
入出力命令	SCP	1	0	1	0	0	0	1	1	0	1	2 8 D	1	1	(C) ← 1
	RCP	1	0	1	0	0	0	1	1	0	0	2 8 C	1	1	(C) ← 0
	SNZCP	1	0	1	0	0	0	1	0	0	1	2 8 9	1	1	(C) = 1 ?
	IAK	1	0	0	1	1	0	1	1	1	1	2 6 F	1	1	(A0) ← (K) (A3~A1) ← 0
	OKA	1	0	0	0	0	1	1	1	1	1	2 1 F	1	1	(K) ← (A0)
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) ← (A)
	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) ← (K0)
	TK1A	1	0	0	0	0	1	0	1	0	0	2 1 4	1	1	(K1) ← (A)
	TAK1	1	0	0	1	0	1	1	0	0	1	2 5 9	1	1	(A) ← (K1)
	TK2A	1	0	0	0	0	1	0	1	0	1	2 1 5	1	1	(K2) ← (A)
	TAK2	1	0	0	1	0	1	1	0	1	0	2 5 A	1	1	(A) ← (K2)
	TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) ← (A)
	TPU1A	1	0	0	0	1	0	1	1	1	0	2 2 E	1	1	(PU1) ← (A)
	TPU2A	1	0	0	0	1	0	1	1	1	1	2 2 F	1	1	(PU2) ← (A)
A/D変換命令	TABAD	1	0	0	1	1	1	1	0	0	1	2 7 9	1	1	A/D変換モード時(Q13=0) : (B) ← (AD9~AD6) (A) ← (AD5~AD2) コンパレータモード時(Q13=1) : (B) ← (AD7~AD4) (A) ← (AD3~AD0)
	TALA	1	0	0	1	0	0	1	0	0	1	2 4 9	1	1	(A3, A2) ← (AD1, AD0) (A1, A0) ← 0
	TADAB	1	0	0	0	1	1	1	0	0	1	2 3 9	1	1	(AD7~AD4) ← (B) (AD3~AD0) ← (A)
	TAQ1	1	0	0	1	0	0	0	1	0	0	2 4 4	1	1	(A) ← (Q1)
	TQ1A	1	0	0	0	0	0	0	1	0	0	2 0 4	1	1	(Q1) ← (A)
	ADST	1	0	1	0	0	1	1	1	1	1	2 9 F	1	1	(ADF) ← 0 Q13 = 0 : A/D変換開始 Q13 = 1 : コンパレータ動作開始
	SNZAD	1	0	1	0	0	0	0	1	1	1	2 8 7	1	1	V22 = 0 : (ADF) = 1 ? スキップ後、(ADF) ← 0 V22 = 1 : SNZAD = NOP

スキップ条件	フラグ CY	詳細説明
— — (C) = 1 — — — — — — — — — — — —	— — — — — — — — — — — — — —	ポートCをセット(1)します。 ポートCをクリア(0)します。 ポートCの内容が“1”であれば、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。 ポートKの内容を、レジスタAの最下位ビット(A0)へ転送します。 レジスタAの最下位ビット(A0)の内容を、ポートKへ出力します。 レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。 キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。 レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。 キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。 レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。 キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。 レジスタAの内容を、プルアップ制御レジスタPU0へ転送します。 レジスタAの内容を、プルアップ制御レジスタPU1へ転送します。 レジスタAの内容を、プルアップ制御レジスタPU2へ転送します。
— — — — — — — V22 = 0 : (ADF) = 1	— — — — — — — —	A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が“0”のときは)、レジスタADの上位4ビット(AD9～AD6)をレジスタBへ、レジスタADの中位4ビット(AD5～AD2)をレジスタAへ転送します。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が“1”のときは)、コンパレータレジスタの上位4ビット(AD7～AD4)をレジスタBへ、コンパレータレジスタの下位4ビット(AD3～AD0)をレジスタAへ転送します。 レジスタADの下位2ビット(AD1、AD0)の内容をレジスタAの上位2ビット(A3、A2)へ転送します。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が“1”のときに)、レジスタBの内容をコンパレータレジスタの上位4ビット(AD7～AD4)へ、レジスタAの内容をコンパレータレジスタの下位4ビット(AD3～AD0)へ転送します。A/D変換モード時(A/D制御レジスタのビット3(Q13)の内容が“0”のときは)、この命令はNOP命令と等価となります。 A/D制御レジスタQ1の内容を、レジスタAへ転送します。 レジスタAの内容を、A/D制御レジスタQ1へ転送します。 A/D変換終了フラグ(ADF)をクリア(0)し、A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が“0”のときは)A/D変換、コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が“1”のときは)コンパレータ動作を開始します。 割り込み制御レジスタV2のビット2(V22)の内容が“0”のときは、A/D変換終了フラグ(ADF)が“1”であれば、次の命令をスキップし、その後フラグADFをクリア(0)します。“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット2(V22)の内容が“1”のときは、この命令はNOP命令と等価となります。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
その他	NOP	0	0	0	0	0	0	0	0	0	0	0 0 0	1	1	(PC) ← (PC)+1
	POF2	0	0	0	0	0	0	1	0	0	0	0 0 8	1	1	RAMバックアップモードへ遷移
	EPOF	0	0	0	1	0	1	1	0	1	1	0 5 B	1	1	POF2命令有効
	SNZP	0	0	0	0	0	0	0	0	1	1	0 0 3	1	1	(P) = 1 ?
	DWDT	1	0	1	0	0	1	1	1	0	0	2 9 C	1	1	ウォッチドッグタイマ機能停止許可
	WRST	1	0	1	0	1	0	0	0	0	0	2 A 0	1	1	(WDF1) = 1 ? スキップ後、(WDF1) ← 0
	CMCK	1	0	1	0	0	1	1	0	1	0	2 9 A	1	1	セラミック発振回路選択
	CRCK	1	0	1	0	0	1	1	0	1	1	2 9 B	1	1	RC発振回路選択
	TAMR	1	0	0	1	0	1	0	0	1	0	2 5 2	1	1	(A) ← (MR)
	TMRA	1	0	0	0	0	1	0	1	1	0	2 1 6	1	1	(MR) ← (A)

スキップ条件	フ ラ グ CY	詳細説明
—	—	ノーオペレーション: プログラムカウンタの値を+1します。他は変化しません。
—	—	EPOF命令実行直後にPOF2命令を実行すると、本製品はRAMバックアップ状態になります。内部機能はすべて停止します。
—	—	EPOF命令を実行すると、直後のPOF2命令が有効になります。
(P) = 1	—	パワーダウンフラグ(P)の内容が“1”であれば、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。
—	—	DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。
(WDF1) = 1	—	ウォッチドッグタイマフラグ(WDF1)が“1”であれば、次の命令をスキップし、その後フラグWDF1をクリア(0)します。“0”ならば、そのまま次の命令を実行します。 また、DWDT命令実行直後にWRST命令を実行するとウォッチドッグタイマ機能を停止します。
—	—	セラミック発振回路を選択し、オンチップオシレータを停止します。
—	—	RC発振回路を選択し、オンチップオシレータを停止します。
—	—	クロック制御レジスタMRの内容を、レジスタAへ転送します。
—	—	レジスタAの内容を、クロック制御レジスタMRへ転送します。

命令コード対応表

D3~D0	16進表記	D9~D4																010000	011000
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10~17	18~1F
0000	0	NOP	BLA	SZB 0	BMLA	—	TASP	A 0	LA 0	TABP 0	TABP* 16	—	—	BML	BML*	BL	BL*	BM	B
0001	1	—	CLD	SZB 1	—	—	TAD	A 1	LA 1	TABP 1	TABP* 17	—	—	BML	BML*	BL	BL*	BM	B
0010	2	—	—	SZB 2	—	—	TAX	A 2	LA 2	TABP 2	TABP* 18	—	—	BML	BML*	BL	BL*	BM	B
0011	3	SNZP	INY	SZB 3	—	—	TAZ	A 3	LA 3	TABP 3	TABP* 19	—	—	BML	BML*	BL	BL*	BM	B
0100	4	DI	RD	SZD	—	RT	TAV1	A 4	LA 4	TABP 4	TABP* 20	—	—	BML	BML*	BL	BL*	BM	B
0101	5	EI	SD	SEAn	—	RTS	TAV2	A 5	LA 5	TABP 5	TABP* 21	—	—	BML	BML*	BL	BL*	BM	B
0110	6	RC	—	SEAM	—	RTI	—	A 6	LA 6	TABP 6	TABP* 22	—	—	BML	BML*	BL	BL*	BM	B
0111	7	SC	DEY	—	—	—	—	A 7	LA 7	TABP 7	TABP* 23	—	—	BML	BML*	BL	BL*	BM	B
1000	8	POF2	AND	—	SNZ0	LZ 0	—	A 8	LA 8	TABP 8	TABP* 24	—	—	BML	BML*	BL	BL*	BM	B
1001	9	—	OR	TDA	—	LZ 1	—	A 9	LA 9	TABP 9	TABP* 25	—	—	BML	BML*	BL	BL*	BM	B
1010	A	AM	TEAB	TABE	SNZI0	LZ 2	—	A 10	LA 10	TABP 10	TABP* 26	—	—	BML	BML*	BL	BL*	BM	B
1011	B	AMC	—	—	—	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP* 27	—	—	BML	BML*	BL	BL*	BM	B
1100	C	TYA	CMA	—	—	RB 0	SB 0	A 12	LA 12	TABP 12	TABP* 28	—	—	BML	BML*	BL	BL*	BM	B
1101	D	—	RAR	—	—	RB 1	SB 1	A 13	LA 13	TABP 13	TABP* 29	—	—	BML	BML*	BL	BL*	BM	B
1110	E	TBA	TAB	—	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP* 30	—	—	BML	BML*	BL	BL*	BM	B
1111	F	—	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP* 31	—	—	BML	BML*	BL	BL*	BM	B

上表は機械語コードと機械語命令の対応表です。D3~D0は機械語コードの下位4ビットを示し、D9~D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、2語命令の第2語目のコードを下表に示します。

注：“—”で示しているコードは使用しないでください。

第2語	
BL	10 0aaa aaaa
BML	10 0aaa aaaa
BLA	10 0p00 pppp
BMLA	10 0p00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

・ M34507M2-XXXXFPでは*は使用できません。

PROM内蔵版

マスクROM版に対して、PROMを内蔵しているマイクロコンピュータをPROM内蔵版といいます。またワンタイムPROMタイプのマイクロコンピュータ(ワンタイムPROM版)は、内蔵PROMへの書き込みが可能です。

PROM内蔵版はマスクROM版と同等の機能の他に、内蔵PROM書き込みのためのPROMモードをもっています。

PROM内蔵版の型名一覧を表XA-1に、PROMモード時の端子結線図を図XA-2に示します。

なお、ワンタイムPROM版は、マスクROM版とピンコンパチブルです。

表XA-1. PROM内蔵版の型名一覧

型 名	PROM容量 (×10ビット)	RAM容量 (×4ビット)	パッケージ	備 考
M34507E4FP	4096語	256語	PRSP0024GA-A	ワンタイムPROM版[ブランク出荷品]

(1)PROMモード

PROM内蔵版は、通常の動作モード以外にPROMモードをもちます。PROMモードは、内蔵PROMへの書き込み時及び内蔵PROMからの読み出し時に使用するモードです。

内蔵されているPROMへの操作(リード/プログラムなど)は、必要なコマンドコード、アドレス、データを少数のピンを使用してシリアル入出力で行います。PROMモードの選択は、図XA-2に示す結線をして電源(VDD)投入後、SDA(シリアルデータ入力ピン)、SCLK(シリアルクロック入力ピン)、PGM端子を「H」に設定し、その後VPP端子に12Vを印加することにより行います。

PROMモードには、リード/プログラム/プログラムベリファイの3つのソフトウェアコマンドを用意しています。

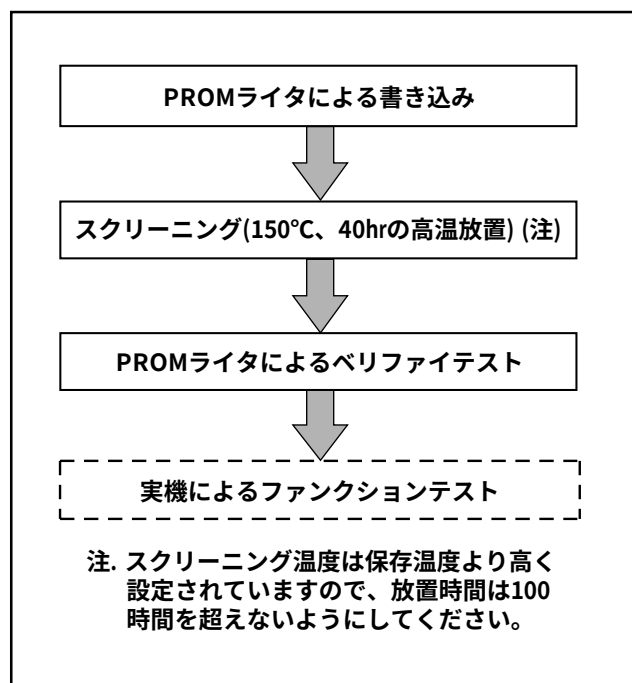
シリアル通信は、クロック同期式、LSBファーストです。シリアルリード/プログラムなどを行う際は、専用シリアルプログラマを使用してください。

なお、シングルチップマイクロコンピュータ用シリアルプログラマ(シリアルプログラマ本体及びコントロールソフトウェアなど)については、「ルネサスマイコン開発環境ページ(<http://www.renesas.com/jp/tools>)」を参照してください。

(2)取り扱い上の注意

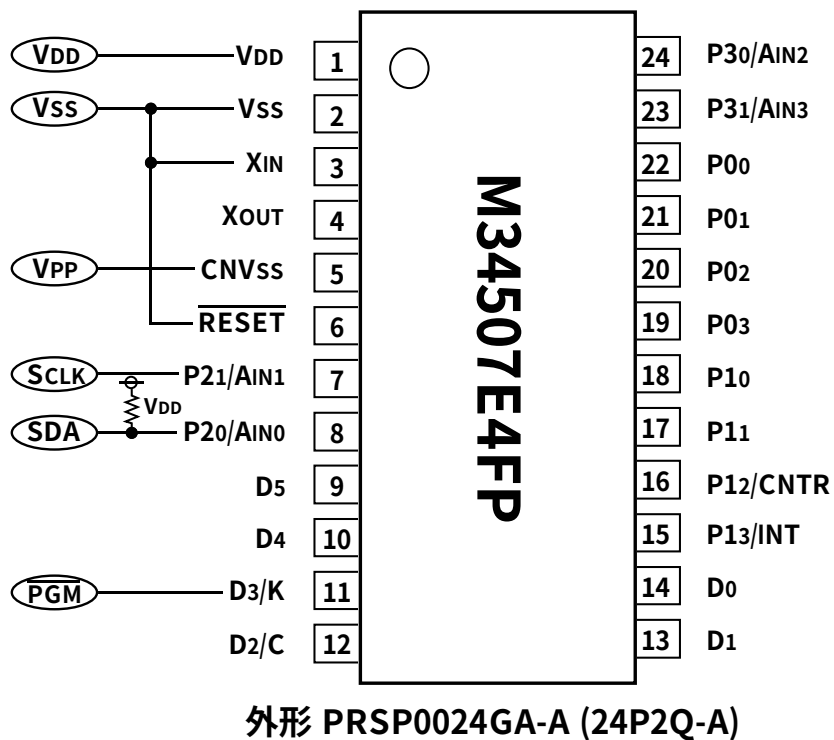
- ① 書き込みに際しては高い電圧を使用しますので、過電圧がかからないように注意してください。特に電源の投入時は注意してください。
- ② ワンタイムPROM版のブランク出荷品は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図XA-1に示すフローで書き込み、テストを行った後に使用されることを推奨いたします。

注.ブランク出荷品:工場出荷時にPROMの内容が書き込まれていないもの



図XA-1. ブランク出荷品の書き込み及びテスト

ピン接続図
(上面図)



図XA-2. PROM内蔵版ピン接続図・PROMモード時端子結線図

第2章

応 用

- 2.1 入出力端子
- 2.2 割り込み
- 2.3 タイマ
- 2.4 A/Dコンバータ
- 2.5 リセット
- 2.6 RAMバックアップ
- 2.7 発振回路

2.1 入出力端子

4507グループは、18本の入出力端子をもっています。(ポートP12はCNTR入出力端子、ポートP13はINT入力端子、ポートP2はアナログ入力端子AIN0、AIN1、ポートP3はアナログ入力端子AIN2、AIN3、ポートD2はC入出力端子、ポートD3はK入出力端子と兼用)。

この節では、各ポートの入出力機能、関連レジスタ、ポートごとの機能を用いた応用例、及び注意事項について説明します。

2.1.1 入出力ポート

(1) ポートP0

ポートP0は、ポートとして4ビットの入出力機能をもっています。

また、キーオンウェイクアップの機能をレジスタK0、プルアップトランジスタの機能をレジスタPU0の設定によりON/OFFできます。

■ポートP0の入出力方法

●入力方法

使用するポートP0i(i=0~3)の出力ラッチをOP0A 命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP0命令を実行すると、ポートP0の端子の状態はレジスタAに転送されます。

●出力方法

OP0A命令によりレジスタAの内容がポートP0に出力されます。

出力形式は、Nチャンネルオープンドレインです。

(2) ポートP1

ポートP1は、ポートとして4ビットの入出力機能をもっています。

また、キーオンウェイクアップの機能をレジスタK1、プルアップトランジスタの機能をレジスタPU1の設定によりON/OFFできます。

■ポートP1の入出力方法

●入力方法

使用するポートP1i(i=0~3)の出力ラッチをOP1A 命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP1命令を実行すると、ポートP1の端子の状態はレジスタAに転送されます。

●出力方法

OP1A命令によりレジスタAの内容がポートP1に出力されます。

出力形式は、Nチャンネルオープンドレインです。

注. ポートP12はCNTRと兼用です。したがって、ポートP12として使用する際は、タイマ制御レジスタW60を“0”に設定してください。

(3) ポートP2

ポートP2は、ポートとして2ビットの入出力機能をもっています。

また、キーオンウェイクアップの機能をレジスタK20、K21、プルアップトランジスタの機能をレジスタPU20、PU21の設定によりON/OFFできます。

■ポートP2の入出力方法

●入力方法

使用するポートP2i(i=0,1)の出力ラッチをOP2A 命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP2命令を実行すると、ポートP2の端子の状態はレジスタAに転送されます。

ただし、P2は2ビットのため、A2、A3には強制的に“0”が転送されます。

●出力方法

OP2A命令によりレジスタAの内容がポートP2に出力されます。

出力形式は、Nチャンネルオープンドレインです。

(4) ポートP3

ポートP3は、ポートとして2ビットの入出力機能をもっています。

■ポートP3の入出力方法

●入力方法

使用するポートP3i(i=0,1)の出力ラッチをOP3A命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP3命令を実行すると、ポートP3の端子の状態はレジスタAに転送されます。

ただし、P3は2ビットのため、A2、A3には強制的に“0”が転送されます。

●出力方法

OAP3命令によりレジスタAの内容がポートP3に出力されます。

出力形式は、Nチャンネルオープンドレインです。

(5) ポートD

ポートDは、6本のビット単位の入出力機能をもっています。

また、ポートD2、D3は、キーオンウェイクアップの機能をレジスタK22、K23、プルアップトランジスタの機能をレジスタPU22、PU23の設定によりON/OFFできます。

■ポートDの入出力方法

ポートDは、ビット単位で入出力制御を行います。したがって、ポートD0～D5で入出力を行う場合は、まずポートDの1本をデータポインタのレジスタYによって選択してください。

●入力方法

使用するポートDi(i=0～5)の出力ラッチをSD命令で“1”に設定してください。

出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

SZD命令を実行すると、レジスタYで指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”であれば次の命令を実行します。

●出力方法

出力レベルをSD、RD命令で出力ラッチに設定してください。

SD命令を実行すると、端子はハイインピーダンス状態になります。

CLD命令を実行すると、ポートDのすべての端子はハイインピーダンス状態になります。

RD命令を実行すると、端子の状態は“L”レベルになります。

出力形式は、Nチャンネルオープンドレインです。

注1. SD、RD命令使用時は、レジスタYに“01102”以上を設定しないでください。

2. ポートD2はCと兼用です。したがって、ポートD2として使用する際は、出力ラッチをSCP命令で“1”に設定してください。
3. ポートD3はKと兼用です。したがって、ポートD3として使用する際は、出力ラッチをOKA命令で“1”に設定してください。

(6) ポートC

ポートCは、ポートとして1ビットの入出力機能をもっています。

■ポートCの入出力方法

●入力方法

ポートCの出力ラッチをSCP命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

SNZCP命令を実行すると、ポートCの内容が“1”であれば、次の命令をスキップします。“0”であれば次の命令を実行します。

●出力方法

出力レベルをSCP、RCP命令で出力ラッチに設定してください。

SCP命令を実行すると、端子はハイインピーダンス状態になります。

RCP命令を実行すると、端子の状態は“L”レベルになります。

出力形式は、Nチャンネルオープンドレインです。

注. ポートCはD2と兼用です。したがって、ポートCとして使用する際は、ポートD2の出力ラッチをSD命令で“1”に設定してください。

(7) ポートK

ポートKは、ポートとして1ビットの入出力機能をもっています。

■ポートKの入出力方法

●入力方法

ポートKの出力ラッチをOKA命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAK命令を実行すると、ポートKの端子の状態はレジスタAに転送されます。

ただし、Kは1ビットのため、A1、A2、A3には強制的に“0”が転送されます。

●出力方法

OKA命令によりレジスタAの内容がポートKに出力されます。

出力形式は、Nチャンネルオープンドレインです。

注. ポートKはD3と兼用です。したがって、ポートKとして使用する際は、ポートD3の出力ラッチをSD命令で“1”に設定してください。

2.1.2 関連レジスタ

(1) キーオンウェイクアップ制御レジスタK0

ポートP00～P03のキーオンウェイクアップ機能を設定できます。

レジスタK0への書き込みは、レジスタAに値を設定した後、TK0A命令で行います。

また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

表2.1.1にレジスタK0のビット構成を示します。

表2.1.1 キーオンウェイクアップ制御レジスタK0のビット構成

キーオンウェイクアップ制御レジスタK0		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
K03	ポートP03	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K02	ポートP02	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K01	ポートP01	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K00	ポートP00	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注. “R”は読み出し可、“W”は書き込み可を表します。

(2) プルアップ制御レジスタPU0

ポートP00～P03のプルアップ機能を設定できます。

レジスタPU0への書き込みは、レジスタAに値を設定した後、TPU0A命令で行います。

表2.1.2にレジスタPU0のビット構成を示します。

表2.1.2 プルアップ制御レジスタPU0のビット構成

プルアップ制御レジスタPU0		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	W
PU03	ポートP03	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU02	ポートP02	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU01	ポートP01	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU00	ポートP00	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注. “W”は書き込み可を表します。

(3) キーオンウェイクアップ制御レジスタK1

ポートP10～P13のキーオンウェイクアップ機能を設定できます。

レジスタK1への書き込みは、レジスタAに値を設定した後、TK1A命令で行います。

また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

表2.1.3にレジスタK1のビット構成を示します。

表2.1.3 キーオンウェイクアップ制御レジスタK1のビット構成

キーオンウェイクアップ制御レジスタK1		リセット時：00002		RAMバックアップ時 ：状態保持	R/W
K13	ポートP13／INT キーオンウェイクアップ制御ビット	0	P13キーオンウェイクアップ°無効／INT端子キーオンウェイクアップ°有効		
		1	P13キーオンウェイクアップ°有効／INT端子キーオンウェイクアップ°無効		
K12	ポートP12／CNTR キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注. “ R ”は読み出し可、“ W ”は書き込み可を表します。

(4) プルアップ制御レジスタPU1

ポートP10～P13のプルアップ機能を設定できます。

レジスタPU1への書き込みは、レジスタAに値を設定した後、TPU1A命令で行います。

表2.1.4にレジスタPU1のビット構成を示します。

表2.1.4 プルアップ制御レジスタPU1のビット構成

プルアップ制御レジスタPU1		リセット時：00002		RAMバックアップ時 ：状態保持	W
PU13	ポートP13／INT プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU12	ポートP12／CNTR プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU11	ポートP11 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU10	ポートP10 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

注. “ W ”は書き込み可を表します。

(5) キーオンウェイクアップ制御レジスタK2

ポートP20、P21、D2/C、D3/Kのキーオンウェイクアップ機能を設定できます。
 レジスタK2への書き込みは、レジスタAに値を設定した後、TK2A命令で行います。
 また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。
 表2.1.5にレジスタK2のビット構成を示します。

表2.1.5 キーオンウェイクアップ制御レジスタK2のビット構成

キーオンウェイクアップ制御レジスタK2		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
K23	ポートD3/K	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K22	ポートD2/C	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K21	ポートP21/AIN1	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		
K20	ポートP20/AIN0	0	キーオンウェイクアップ無効		
	キーオンウェイクアップ制御ビット	1	キーオンウェイクアップ有効		

注. “R”は読み出し可、“W”は書き込み可を表します。

(6) プルアップ制御レジスタPU2

ポートP20、P21、D2/C、D3/Kのプルアップ機能を設定できます。
 レジスタPU2への書き込みは、レジスタAに値を設定した後、TPU2A命令で行います。
 表2.1.6にレジスタPU2のビット構成を示します。

表2.1.6 プルアップ制御レジスタPU2のビット構成

プルアップ制御レジスタPU2		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	W
PU23	ポートD3/K	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU22	ポートD2/C	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU21	ポートP21/AIN1	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU20	ポートP20/AIN0	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注. “W”は書き込み可を表します。

(7) タイマ制御レジスタW6

タイマ制御レジスタW6のビット0にP12/CNTR機能選択ビット、ビット1にCNTR出力制御ビットが割り付けられています。

レジスタW6への書き込みは、レジスタAに値を設定した後、TW6A命令で行います。

また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

表2.1.7にレジスタW6のビット構成を示します。

表2.1.7 タイマ制御レジスタW6のビット構成

タイマ制御レジスタW6		リセット時：00002		RAMバックアップ時 ：状態保持	R/W
W63	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W62	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W61	CNTR出力制御ビット	0	タイマ1アンダフロー信号の2分周出力		
		1	タイマ2アンダフロー信号の2分周出力		
W60	P12/CNTR機能選択ビット	0	P12(入出力)/CNTR入力		
		1	P12(入力)/CNTR入出力		

注1. “ R ”は読み出し可、“ W ”は書き込み可を表します。

2. ■■■ ：ポートの設定時使用しないビットです。

2.1.3 ポートの応用例

(1) キースキャンによるキー入力

ポートDの出力形式がNチャンネルオープンドレインで、ポートP0にプルアップトランジスタが内蔵されているため、キーのみの外付け回路でキーマトリクスを構成できます。

ポイント：外付け部品はキーのみです。

仕様：ポートDで“L”レベルを出力して、ポートP0で16キーを入力します。

図2.1.1にキースキャンによるキー入力を、図2.1.2にキー入力タイミングを示します。

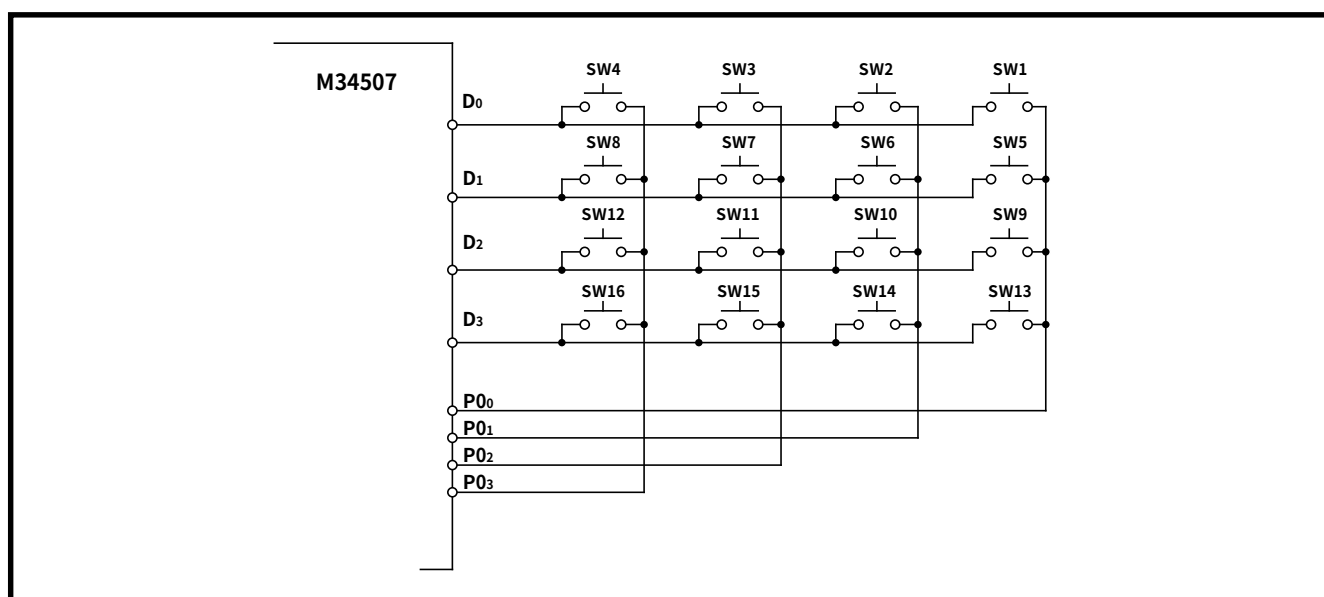


図2.1.1 キースキャンによるキー入力

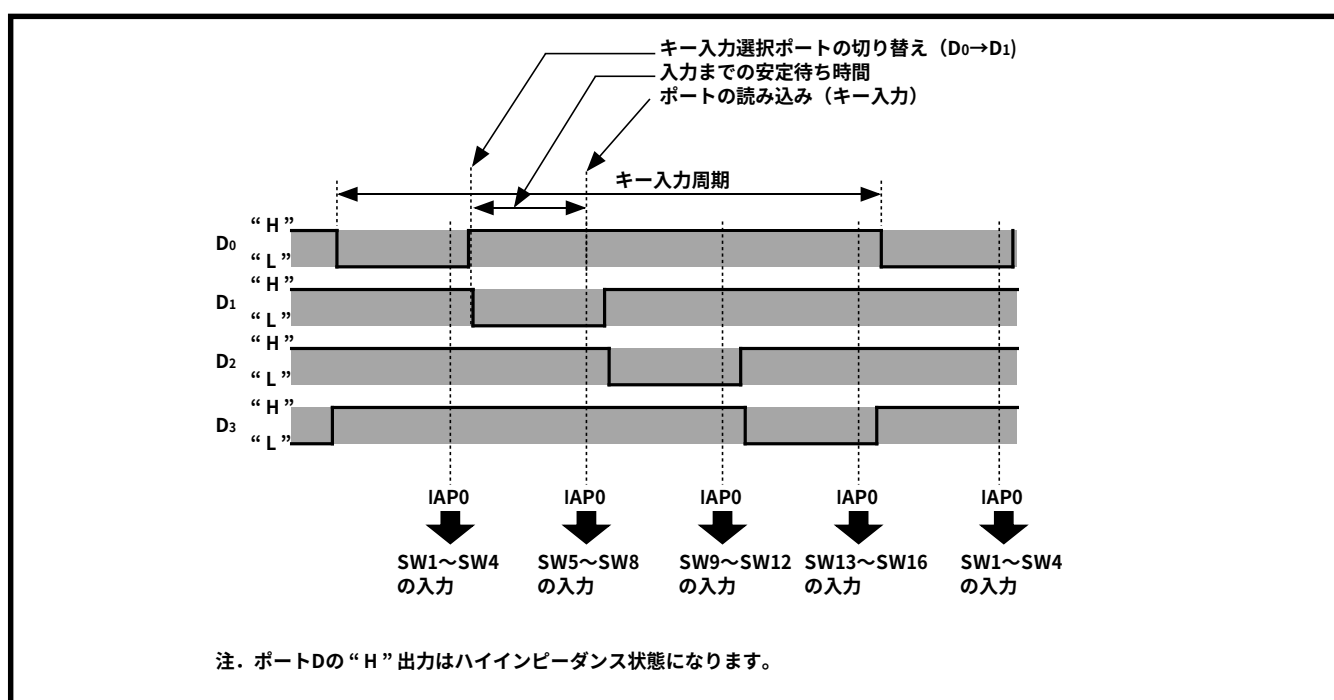


図2.1.2 キースキャン入力タイミング

2.1.4 使用上の注意事項

(1) 入出力ポートを入力ポートとして使用する場合

入力ポートとして使用する場合は、入力を行う前に必ず出力ラッチを“1”に設定した後で、ポートの内容を入力してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

(2) ノイズ、ラッチアップの対策

ノイズ及びラッチアップ対策としてVDD端子とVSS端子間にバイパスコンデンサ(0.1 μ F程度)を最短距離、等幅、等配線長、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM内蔵版において、CNVSS端子とVPP端子(書き込み電圧=12V)が兼用になっています。

5k Ω 程度の抵抗を極力CNVSS/VPP端子の近くに配置してVSS端子に接続してください。

(3) マルチファンクション端子

- ポートC、K、INT入力、CNTR入力を使用している場合も、ポートD2、D3、P13、P12の入出力は機能しますので、注意してください。
- CNTR出力を使用している場合でも、ポートP12の入力は機能しますので注意してください。
- アナログ入力AIN0、AIN1、AIN2、AIN3を使用している場合でも、ポートP20、P21、P30、P31の入出力は機能しますので注意してください。

(4) 使用しない端子の処理方法

表2.1.8に使用しない端子の処理方法を示します。

(5) SD、RD命令

SD、RD命令使用時は、レジスタYに“0110₂”以上を設定しないでください。

(6) アナログ入力端子

アナログ入力AIN0～AIN3とポートP2、P3の機能を併用する場合、以下の点に注意してください。

●アナログ入力端子の選択に関する注意

P20/AIN0端子、P21/AIN1端子、P30/AIN2端子、P31/AIN3端子は、アナログ入力として選択している場合でも、ポートP2、P3の入出力機能をもっています。

これらの端子を、アナログ入力とポート入出力との機能を混在して使用する場合は、アナログ入力として選択を行っている端子の出力は“1”になるようにしてください。

また、ポートの入力の場合は、アナログ入力として選択している端子の、ポートとしての入力は不定になります。

(7) P13/INT端子

割り込み制御レジスタI1のビット3をクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意ください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13=“0”)は、RAMバックアップモードに移行する前にレジスタI1のビット2、ビット3をクリアする必要があります。

表2.1.8 使用しない端子の処理方法

端子名	処理方法	使用条件
XIN	VSSに接続	オンチップオシレータでの動作時(注1)
XOUT	開放	外部クロック使用時(CMCK命令でセラミック発振回路を選択)
		RC発振時(CRCK命令でRC発振回路を選択)
		オンチップオシレータでの動作時(注1)
D0、D1 D4、D5	開放(出力ラッチを“1”に設定)	
	開放(出力ラッチを“0”に設定)	
	VSSに接続	
D2/C D3/K	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P00、P01 P02、P03	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P10、P11 P12/CNTR	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P13/INT	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択、INT端子入力禁止時(注4、5)
	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P20/AIN0 P21/AIN1	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P30/AIN2 P31/AIN3	開放(出力ラッチを“1”に設定)	
	開放(出力ラッチを“0”に設定)	
	VSSに接続	

注1. プログラムでセラミック発振回路またはRC発振回路を選択しない場合は、オンチップオシレータ(内部発振器)で動作します。

2. プルアップ機能を選択していると電源電流が増加します。プルアップ機能は必ず非選択にしてください。
3. キーオンウェイクアップ機能を選択しているとRAMバックアップ状態へ移行してもすぐ復帰します。
キーオンウェイクアップ機能は必ず非選択にしてください。
4. 止むをえずキーオンウェイクアップ機能を選択する場合は、プルアップ機能も併せて選択してください。
5. レジスタI1のビット3(I13)を“0”クリアし、入力禁止としてください(リセット後:I13=“0”)。

(VSS端子に接続する場合の注意事項)

- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。

2.2 割り込み

4507グループは、外部(INT)、タイマ1、タイマ2、A/Dの4要因の割り込みをもっています。

この節では、各割り込み機能、関連レジスタ、各割り込みの機能を用いた応用例、及び注意事項について説明します。

2.2.1 割り込み機能

(1) 外部0割り込み(INT)

INT端子の入力レベルの変化により割り込み要求を発生します。

また、割り込み制御レジスタI1のビット1、ビット2により割り込み有効波形を選択、ビット3によりINT端子の入力制御が選択できます。

■外部0割り込みINTの処理方法

●割り込みを使用する場合

割り込み制御レジスタV1のビット0を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。外部0割り込みが発生すると、割り込み処理は1ページ0番地から実行されます。

●割り込みを使用しない場合

割り込み制御レジスタV1のビット0を“0”に設定すると割り込みが禁止され、SNZ0命令が有効になります。

(2) タイマ1割り込み

タイマ1のアンダフローにより割り込み要求を発生します。

■タイマ1割り込みの処理方法

●割り込みを使用する場合

割り込み制御レジスタV1のビット2を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ1割り込みが発生すると、割り込み処理は1ページ4番地から実行します。

●割り込みを使用しない場合

割り込み制御レジスタV1のビット2を“0”に設定すると割り込みが禁止され、SNZT1命令が有効になります。

(3) タイマ2割り込み

タイマ2のアンダフローにより割り込みを発生します。

■タイマ2割り込みの処理方法

●割り込みを使用する場合

割り込み制御レジスタV1のビット3を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。タイマ2割り込みが発生すると、割り込み処理は1ページ6番地から実行します。

●割り込みを使用しない場合

割り込み制御レジスタV1のビット3を“0”に設定すると割り込みが禁止され、SNZT2命令が有効になります。

(4) A/D割り込み

A/D変換の終了により割り込みを発生します。

■A/D割り込みの処理方法

●割り込みを使用する場合

割り込み制御レジスタV2のビット2を“1”に設定し、割り込み許可フラグINTEを“1”にセットすると割り込みの発生が可能になります。A/D割り込みが発生すると、割り込み処理は1ページC番地から実行します。

●割り込みを使用しない場合

割り込み制御レジスタV2のビット2を“0”に設定すると割り込みが禁止され、SNZAD命令が有効になります。

2.2.2 関連レジスタ

(1) 割り込み許可フラグINTE

すべての割り込みの許可、禁止を制御します。

EI命令の実行によりフラグINTEが“1”にセットされ、すべての割り込みは許可されます。また、DI命令の実行によりフラグINTEが“0”にクリアされ、すべての割り込みは禁止されます。

いずれかの割り込みが発生するとフラグINTEは自動的に“0”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

注 EI命令実行による割り込みの許可は、命令実行後さらに1命令経過した後に行われます。

(2) 割り込み制御レジスタV1

ビット0に外部0割り込み可能ビット、ビット2にタイマ1割り込み可能ビット、ビット3にタイマ2割り込み可能ビットが割り付けられています。

レジスタV1への書き込みは、レジスタAに値を設定した後、TV1A命令で行います。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

表2.2.1にレジスタV1のビット構成を示します。

表2.2.1 割り込み制御レジスタV1のビット構成

割り込み制御レジスタV1		リセット時：0000 ₂		RAMバックアップ時 ：0000 ₂	R/W
V13	タイマ2 割り込み可能ビット	0	発生禁止（SNZT2命令有効）		
		1	発生可能（SNZT2命令無効）（注2）		
V12	タイマ1 割り込み可能ビット	0	発生禁止（SNZT1命令有効）		
		1	発生可能（SNZT1命令無効）（注2）		
V11	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V10	外部0 割り込み可能ビット	0	発生禁止（SNZ0命令有効）		
		1	発生可能（SNZ0命令無効）（注2）		

注1. “R”は読み出し可、“W”は書き込み可を表します。

2. これらの命令は、NOP命令と等価となります。

3. ■■■■：割り込み設定時使用しないビットです。

(3) 割り込み制御レジスタV2

ビット2にA/D割り込み可能ビットが割り付けられています。

レジスタV2への書き込みは、レジスタAに値を設定した後、TV2A命令で行います。

また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表2.2.2にレジスタV2のビット構成を示します。

表2.2.2 割り込み制御レジスタV2のビット構成

割り込み制御レジスタV2		リセット時：0000 ₂		RAMバックアップ時 ：0000 ₂	R/W
V23	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V22	A/D 割り込み可能ビット	0	発生禁止（SNZAD命令有効）		
		1	発生可能（SNZAD命令無効）（注2）		
V21	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V20	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			

注1. “ R ”は読み出し可、“ W ”は書き込み可を表します。

2. これらの命令は、NOP命令と等価となります。

3. ■■■■ ：割り込み設定時使用しないビットです。

(4) 割り込み要求フラグ

各割り込み起動条件の成立を判断します。

各割り込み起動条件が成立すると、割り込み許可フラグ、割り込み可能ビットによって割り込み禁止状態に設定されていても、その割り込みに対応する割り込み要求フラグは“ 1 ”にセットされます。

割り込みの発生又はスキップ命令の実行によって割り込み要求フラグは“ 0 ”にクリアされます。

(5) 割り込み制御レジスタI1

ビット0にINT端子タイマ1制御可能ビット、ビット1にINT端子エッジ検出回路制御ビット、ビット2にINT端子割り込み有効波形/復帰レベル選択ビット、ビット3にINT端子入力制御ビットが割り付けられています。

レジスタI1への書き込みは、レジスタAに値を設定した後、TI1A命令で行います。

また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表2.2.3にレジスタI1のビット構成を示します。

表2.2.3 割り込み制御レジスタI1のビット構成

割り込み制御レジスタI1		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
I13	INT端子入力制御ビット（注2）	0	INT端子入力禁止		
		1	INT端子入力可能		
I12	INT端子 割り込み有効 波形/復帰レベル選択ビット （注2）	0	立ち下がり波形（SNZI0命令はINT端子の“L”レベル認識）/“L”レベル		
		1	立ち上がり波形（SNZI0命令はINT端子の“H”レベル認識）/“H”レベル		
I11	INT端子 エッジ検出回路 制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT端子 タイマ1制御可能ビット	0	制御禁止		
		1	制御可能		

注1. “R”は読み出し可、“W”は書き込み可を表します。

- レジスタI1のビット2(I12)、ビット3(I13)の内容を変更した際に、外部0割り込み要求フラグ(EXF0)がセットされる場合がありますので、レジスタV1のビット0(V10)が“0”の状態にSNZ0命令を実行し、フラグEXF0をクリアしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。

2.2.3 割り込みの応用例

(1) INT割り込み

INT端子は有効波形を選択できる外部割り込み端子で、両エッジ変化(H→LとL→H)を認識できます(両エッジ検出選択時)。

ポイント：両方向のエッジ変化(H→LとL→H)をトリガとして外部割り込みを使用できます。
仕様：外部信号のエッジ変化(H→LとL→H)により割り込みを発生させます。

図2.2.1にINT割り込み動作例を、図2.2.2にINT割り込み設定例を示します。

(2) タイマ1割り込み

タイマ1では、設定されたタイマ値による定周期割り込みを使用できます。

ポイント：タイマ1のアンダフロー信号による定周期割り込みを使用できます。
仕様：システムクロック周波数(=4.0MHz)をプリスケアラとタイマ1で分周し、1msごとにタイマ1割り込みを発生させます。

図2.2.3にタイマ1定周期割り込み設定例を示します。

(3) タイマ2割り込み

タイマ2では、設定されたタイマ値による定周期割り込みを使用できます。

ポイント：タイマ2のアンダフロー信号による定周期割り込みを使用できます。
仕様：システムクロック周波数(=4.0MHz)をプリスケアラとタイマ2で分周し、1msごとにタイマ2割り込みを発生させます。

図2.2.4にタイマ2定周期割り込み設定例を示します。

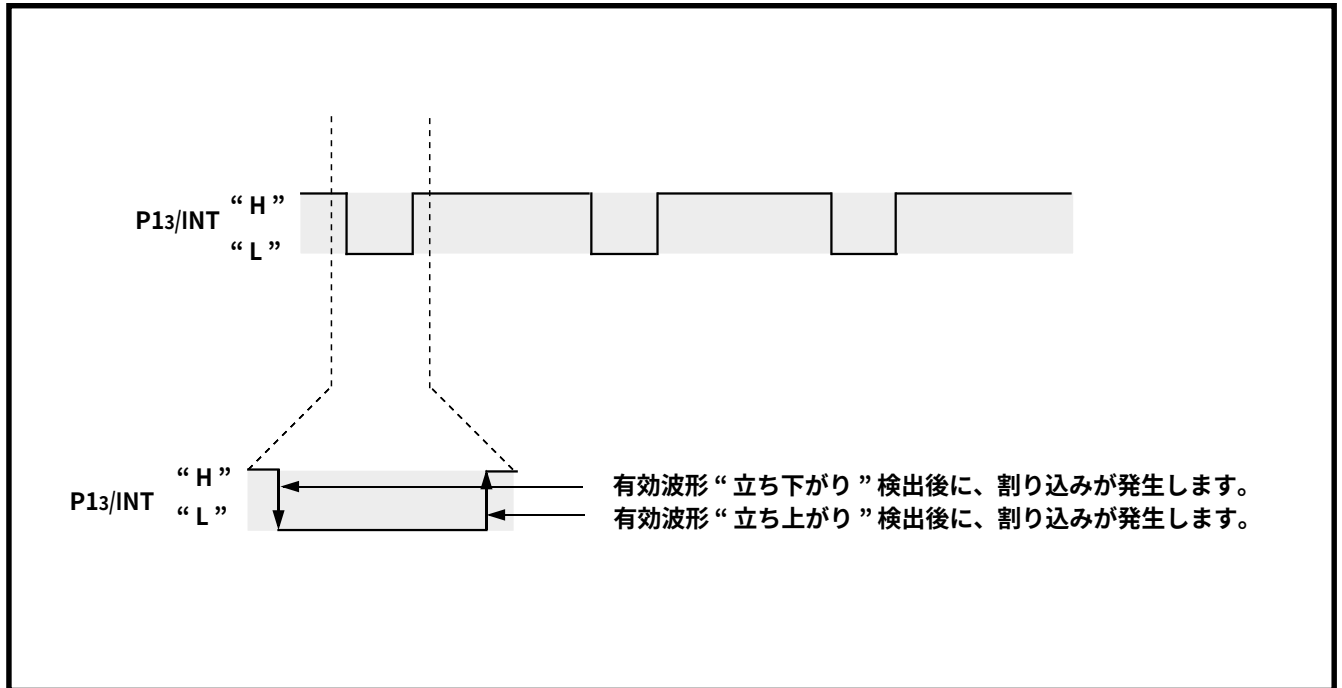


図2.2.1 INT割り込み動作例

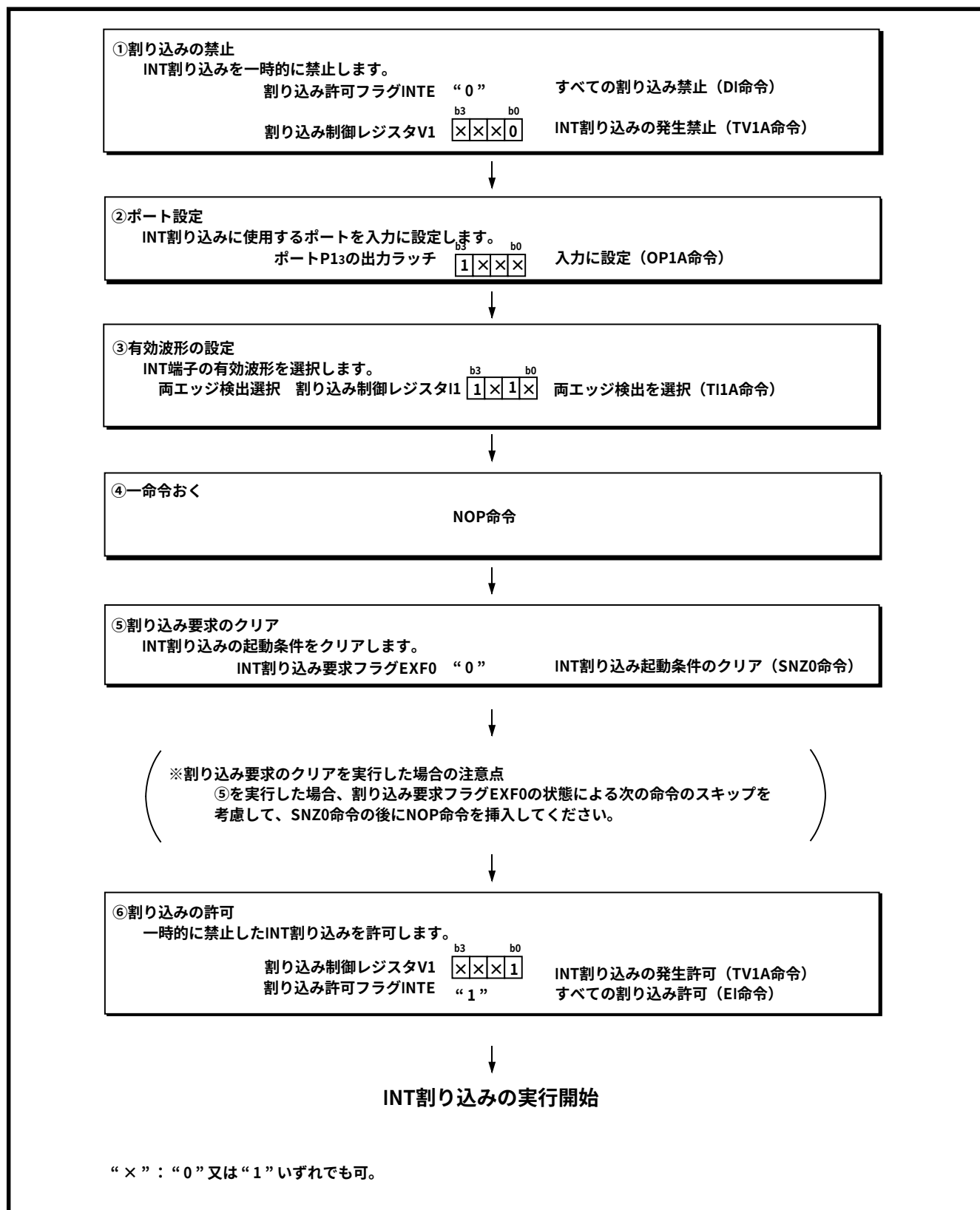
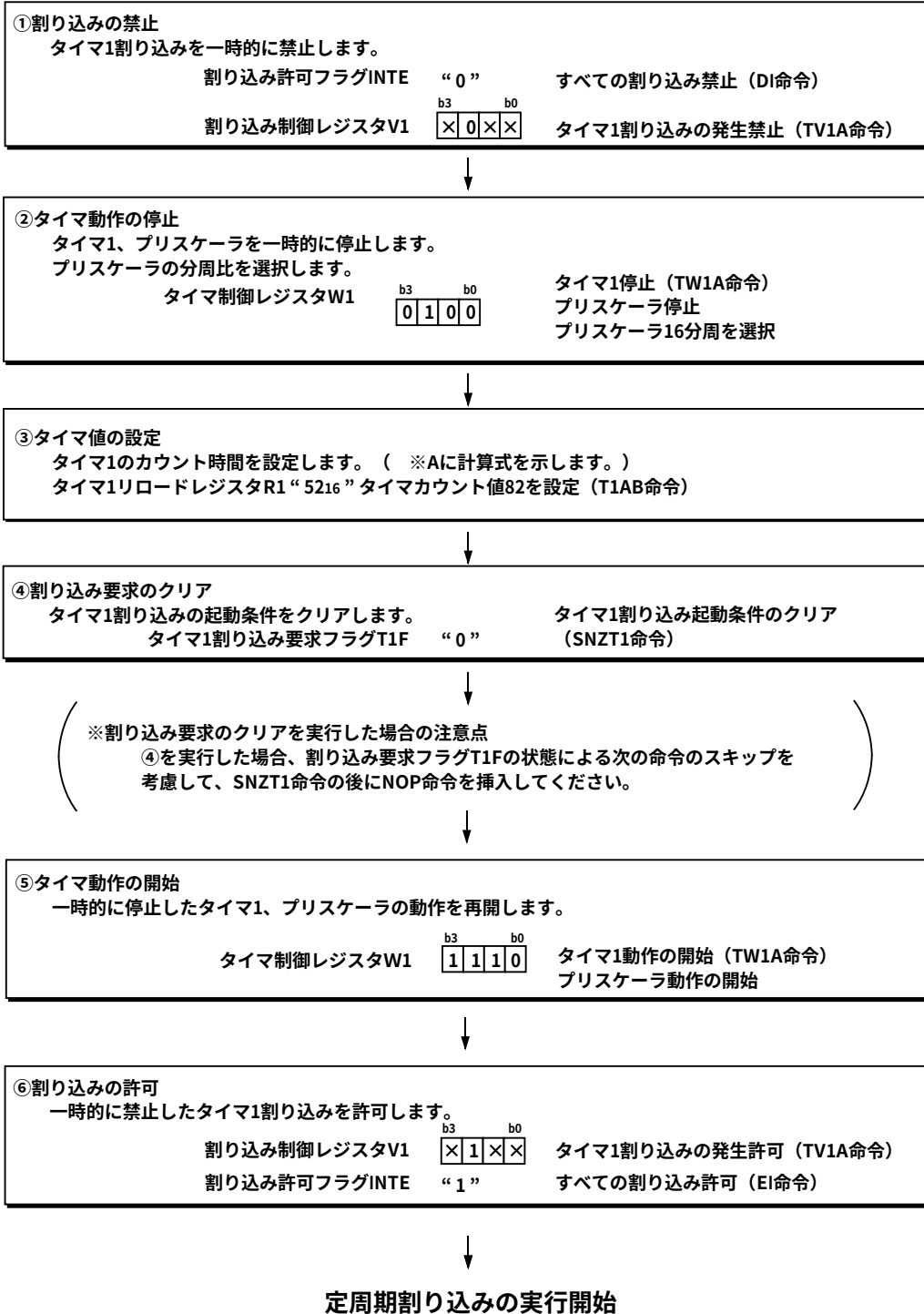


図2.2.2 INT割り込み設定例

注. INT割り込みの起動条件となる有効波形は、変化前後のレベルをそれぞれシステムクロックの4周期以上保持する必要があります。



※A 1msごとに割り込みを発生させる場合の、プリスケラの分周比及びタイマ1カウント値は、以下のように設定します。

$$1\text{ms} = \underbrace{(4.0\text{MHz})^{-1}}_{\text{システムクロック}} \times \underbrace{3}_{\text{インストラクションクロック}} \times \underbrace{16}_{\text{プリスケラ分周比}} \times \underbrace{(82+1)}_{\text{タイマ1カウント値}}$$

“×”：“0”又は“1”いずれでも可。

図2.2.3 タイマ1定周期割り込み設定例

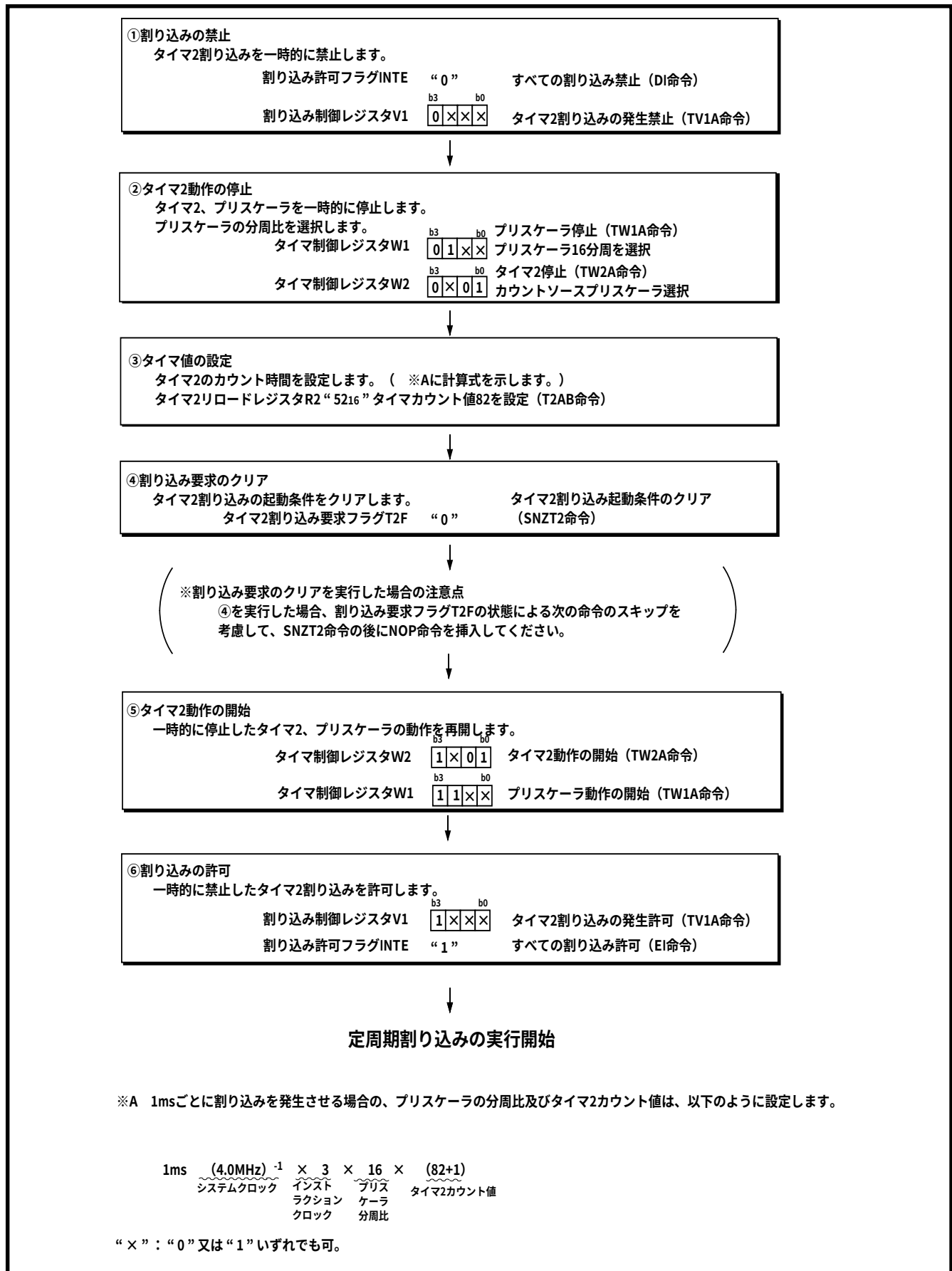


図2.2.4 タイマ2定周期割り込み設定例

2.2.4 使用上の注意事項

(1) INT割り込み有効波形の設定

レジスタI1のビット2に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

P13/INT端子の入力状態によっては、割り込み有効波形を変更した際に、フラグEXF0が“1”にセットされることがあります。

(2) INT端子入力制御の設定

レジスタI1のビット3に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

P13/INT端子の入力状態によっては、割り込み有効波形を変更した際に、フラグEXF0が“1”にセットされることがあります。

(3) 多重割り込み禁止

4507グループでは多重割り込みを使用できません。

(4) 割り込み処理実行時

割り込み発生と同時に割り込み許可フラグは“0”(割り込み禁止状態)となります。割り込みからの復帰と同時に割り込み許可にするには、EI、RTI命令を続けて記述してください。

(5) P13/INT端子

P13/INT端子は、出力ポートP13としての機能と外部割り込み入力端子INTとしての機能を選択する必要がありません。ただし、入出力ポートP13として使用している場合でも、有効波形(外部0割り込みの起動条件となる有効波形)が入力されると、フラグEXF0は“1”にセットされます。

(6) パワーダウン命令

EPOF命令を実行する前には、必ず割り込み禁止状態(DI命令実行)に設定してください。

2.3 タイマ

4507グループは、リロードレジスタ付きの8ビットタイマを2本、固定分周16ビットタイマ(ウォッチドッグタイマ機能付)を1本もっています。

この節では、タイマ機能、関連レジスタ、タイマ機能を用いた応用例、及び注意事項について説明します。

2.3.1 タイマ機能

(1) タイマ1

■タイマ動作

(P13/INT入力からのタイマ1カウント動作開始トリガ機能付)

(2) タイマ2

■タイマ動作

(3) 16ビットタイマ

■ウォッチドッグ機能

ウォッチドッグ機能は、暴走などによりプログラムが正常に実行されなかった場合に、リセット状態に復帰する手段を与えます。

リセット解除後動作を始め、タイマのカウント値がアンダフローするとフラグWDF1が“1”にセットされ、その後、タイマが65534カウントする間にWRST命令が実行されなければフラグWDF2に“1”がセットされ、マイコンをリセットします。

このウォッチドッグ機能を無効にするには、DWDT命令とWRST命令を連続実行します。WRST命令は、スキップ機能があり、フラグWDF1が“1”の時には“0”にしてスキップします。

2.3.2 関連レジスタ

(1) 割り込み制御レジスタV1

ビット0に外部0割り込み可能ビット、ビット2にタイマ1割り込み可能ビット、ビット3にタイマ2割り込み可能ビットが割り付けられています。

レジスタV1への書き込みは、レジスタAに値を設定した後、TV1A命令で行います。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

表2.3.1にレジスタV1のビット構成を示します。

表2.3.1 割り込み制御レジスタV1のビット構成

割り込み制御レジスタV1		リセット時：0000 ₂		RAMバックアップ時 ：0000 ₂	R/W
V13	タイマ2 割り込み可能ビット	0	発生禁止（SNZT2命令有効）		
		1	発生可能（SNZT2命令無効）（注2）		
V12	タイマ1 割り込み可能ビット	0	発生禁止（SNZT1命令有効）		
		1	発生可能（SNZT1命令無効）（注2）		
V11	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
V10	外部0 割り込み可能ビット	0	発生禁止（SNZ0命令有効）		
		1	発生可能（SNZ0命令無効）（注2）		

注1. “ R ”は読み出し可、“ W ”は書き込み可を表します。

2. これらの命令は、NOP命令と等価となります。

3. ：タイマ設定時使用しないビットです。

(2) タイマ制御レジスタW1

ビット0にタイマ1カウント開始同期回路制御ビット、ビット1にタイマ1制御ビット、ビット2にプリスケアラ分周比選択ビット、ビット3にプリスケアラ制御ビットが割り付けられています。

レジスタW1への書き込みは、レジスタAに値を設定した後、TW1A命令で行います。

また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

表2.3.2にレジスタW1のビット構成を示します。

表2.3.2 タイマ制御レジスタW1のビット構成

タイマ制御レジスタW1		リセット時：0000 ₂		RAMバックアップ時 ：0000 ₂	R/W
W13	プリスケアラ 制御ビット	0	停止（初期状態）		
		1	動作		
W12	プリスケアラ 分周比選択ビット	0	インストラクションクロックを4分周		
		1	インストラクションクロックを16分周		
W11	タイマ1 制御ビット	0	停止（状態保持）		
		1	動作		
W10	タイマ1カウント開始 同期回路制御ビット	0	カウント開始同期回路非選択		
		1	カウント開始同期回路選択		

注. “ R ”は読み出し可、“ W ”は書き込み可を表します。

(3) タイマ制御レジスタW2

ビット0とビット1にタイマ2カウントソース選択ビット、ビット2にタイマ1カウント自動停止回路制御ビット、ビット3にタイマ2制御ビットが割り付けられています。

レジスタW2への書き込みは、レジスタAに値を設定した後、TW2A命令で行います。

また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

表2.3.3にレジスタW2のビット構成を示します。

表2.3.3 タイマ制御レジスタW2のビット構成

タイマ制御レジスタW2		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
W23	タイマ2 制御ビット	0	停止（状態保持）		
		1	動作		
W22	タイマ1カウント 自動停止回路制御ビット（注2）	0	カウント自動停止回路非選択		
		1	カウント自動停止回路選択		
W21	タイマ2 カウントソース選択ビット	W21W20		カウントソース	
		00		タイマ1アンダフロー信号	
		01		プリスケアラ出力（ORCLK）	
		10		CNTR入力	
W20		11		システムクロック	

注1. “ R ”は読み出し可、“ W ”は書き込み可を表します。

2. この機能はタイマ1カウント開始同期回路を選択している場合のみ有効です。

(4) タイマ制御レジスタW6

タイマ制御レジスタW6のビット0にP12/CNTR機能選択ビット、ビット1にCNTR出力制御ビットが割り付けられています。

レジスタW6への書き込みは、レジスタAに値を設定した後、TW6A命令で行います。

また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

表2.3.4にレジスタW6のビット構成を示します。

表2.3.4 タイマ制御レジスタW6のビット構成

タイマ制御レジスタW6		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
W63	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W62	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1			
W61	CNTR出力制御ビット	0	タイマ1アンダフロー信号の2分周出力		
		1	タイマ2アンダフロー信号の2分周出力		
W60	P12/CNTR機能選択ビット	0	P12(入出力)/CNTR入力（注2）		
		1	P12(入力)/CNTR入出力（注2）		

注1. “R”は読み出し可、“W”は書き込み可を表します。

2. CNTR入力はタイマ2のカウントソースにCNTR入力を選択している場合のみ有効です。

3. ■■■：タイマ設定時使用しないビットです。

2.3.3 タイマの応用例

(1) タイマ動作：定周期測定

タイマ動作では、設定されたタイマカウント値による定周期時間を測定できます。

ポイント：タイマ1のアンダフロー信号による定周期時間を測定できます。

仕様：システムクロック周波数(f_{XIN})=4.0MHz)をプリスケアラとタイマ1で分周し、3msごとにタイマ1割り込みを発生させます。

図2.3.3に定周期測定設定例を示します。

(2) CNTR出力動作：圧電ブザー出力

ポイント：タイマ1からの矩形波出力を圧電ブザー出力に応用できます。

仕様：システムクロック周波数(f_{XIN})=4MHz時、4kHzの矩形波をCNTR端子から出力します。また、タイマ1割り込みを同時に発生させます。

図2.3.1に周辺回路例を、図2.3.4にCNTR出力の設定例を示します。

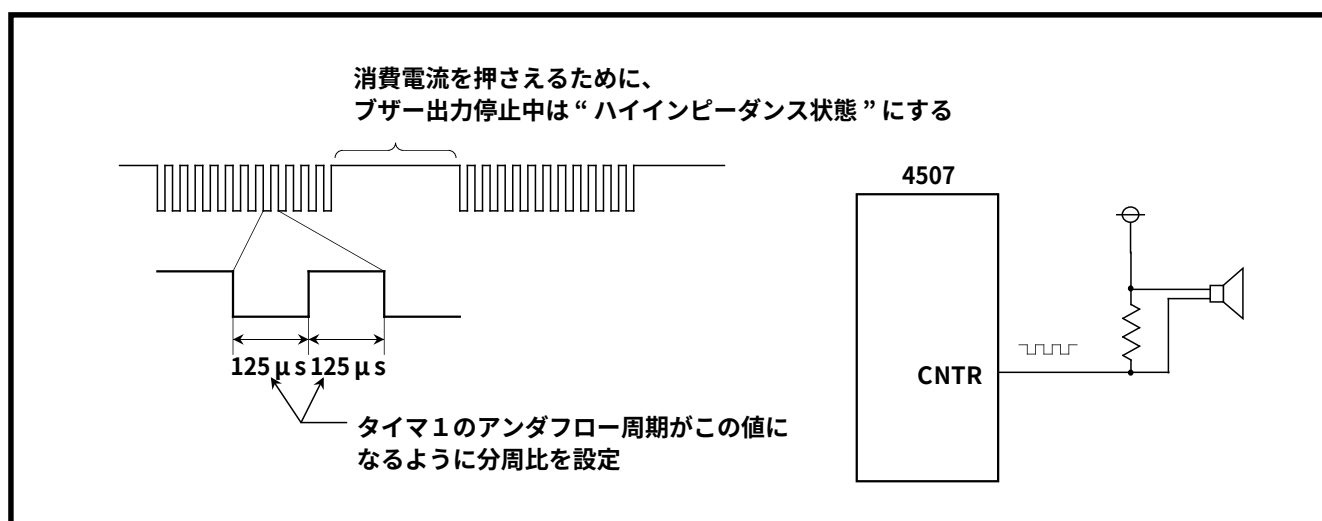


図2.3.1 周辺回路例

(3) CNTR入力動作：イベントカウント

ポイント：CNTR端子から入力される信号(立ち下がり波形)をイベントとしてカウント動作できます。

仕様：タイマ2のカウントソースとして外部からの低周波パルス CNTR端子に入力し、100回カウントごとにタイマ2割り込みを発生させます。

図2.3.5にCNTR入力の設定例を示します。

(4) タイマ動作：外部入力によるタイマスタート

ポイント：外部入力により一定時間を測定できます。

仕様：システムクロック周波数 $f(XIN)=4MHz$ で、INT入力をトリガにしてタイマ1を動作させ、1ms後に割り込みを発生させます。

図2.3.6に外部入力によるタイマスタートの設定例を示します。

(5) ウォッチドッグタイマ

ウォッチドッグ機能は、暴走などによりプログラムが正常に実行されなかった場合に、リセット状態に復帰する手段を与えます。

ウォッチドッグ機能を有効にした場合、16ビットタイマの65534カウント以下の周期でWRST命令を必ず実行してください。(65534マシンサイクル以下の周期でWRST命令を実行)

ポイント：正常動作時に16ビットタイマの65534カウント以内で必ずWRST命令を実行します。暴走した場合WRST命令が実行されなくなり、リセットが発生します。

仕様：システムクロック周波数 $f(XIN)=4.0MHz$ を使用し、49ms以内にWRST命令実行により暴走を検知します。

図2.3.2にウォッチドッグタイマの機能を、図2.3.7にウォッチドッグタイマ使用例を示します。

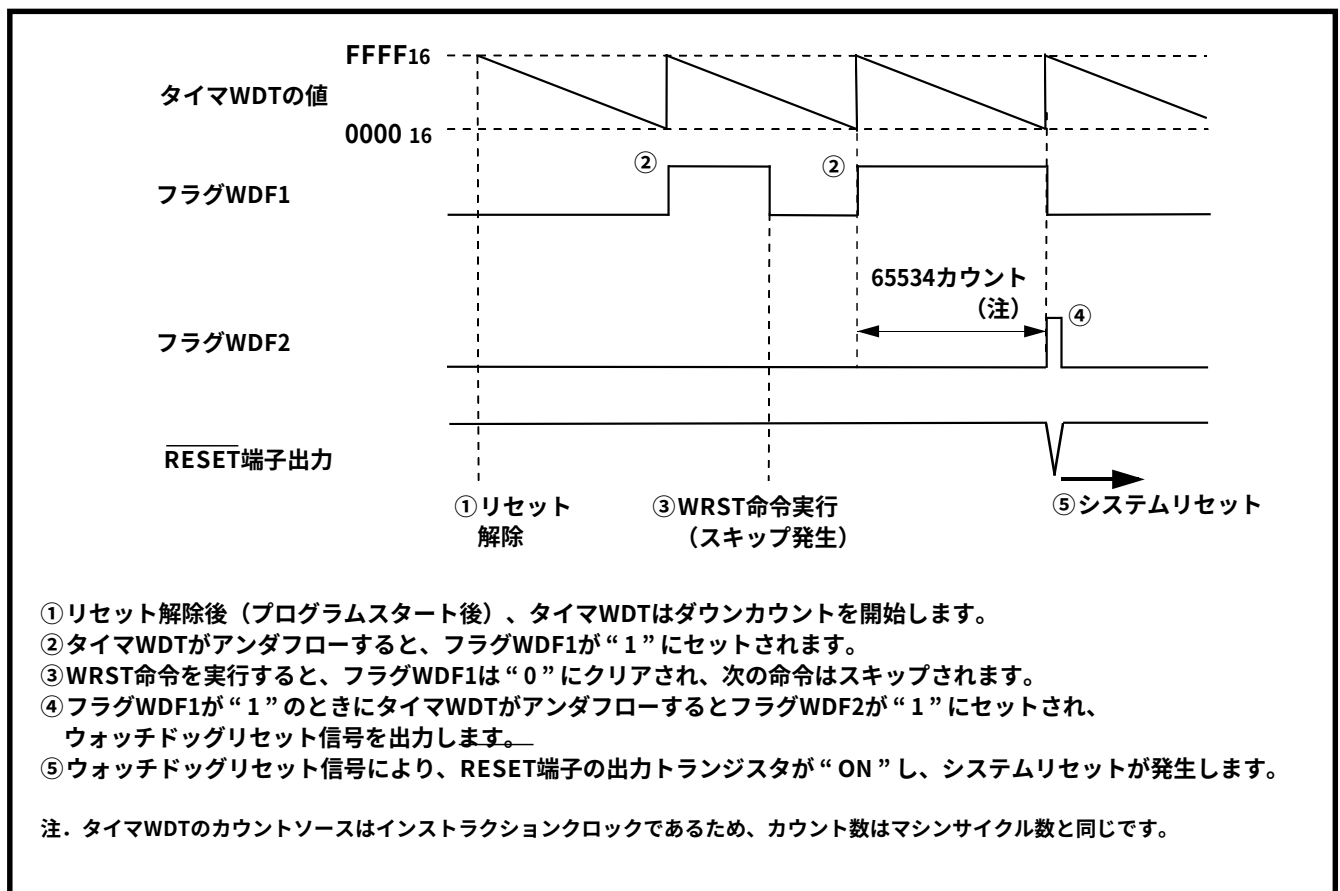
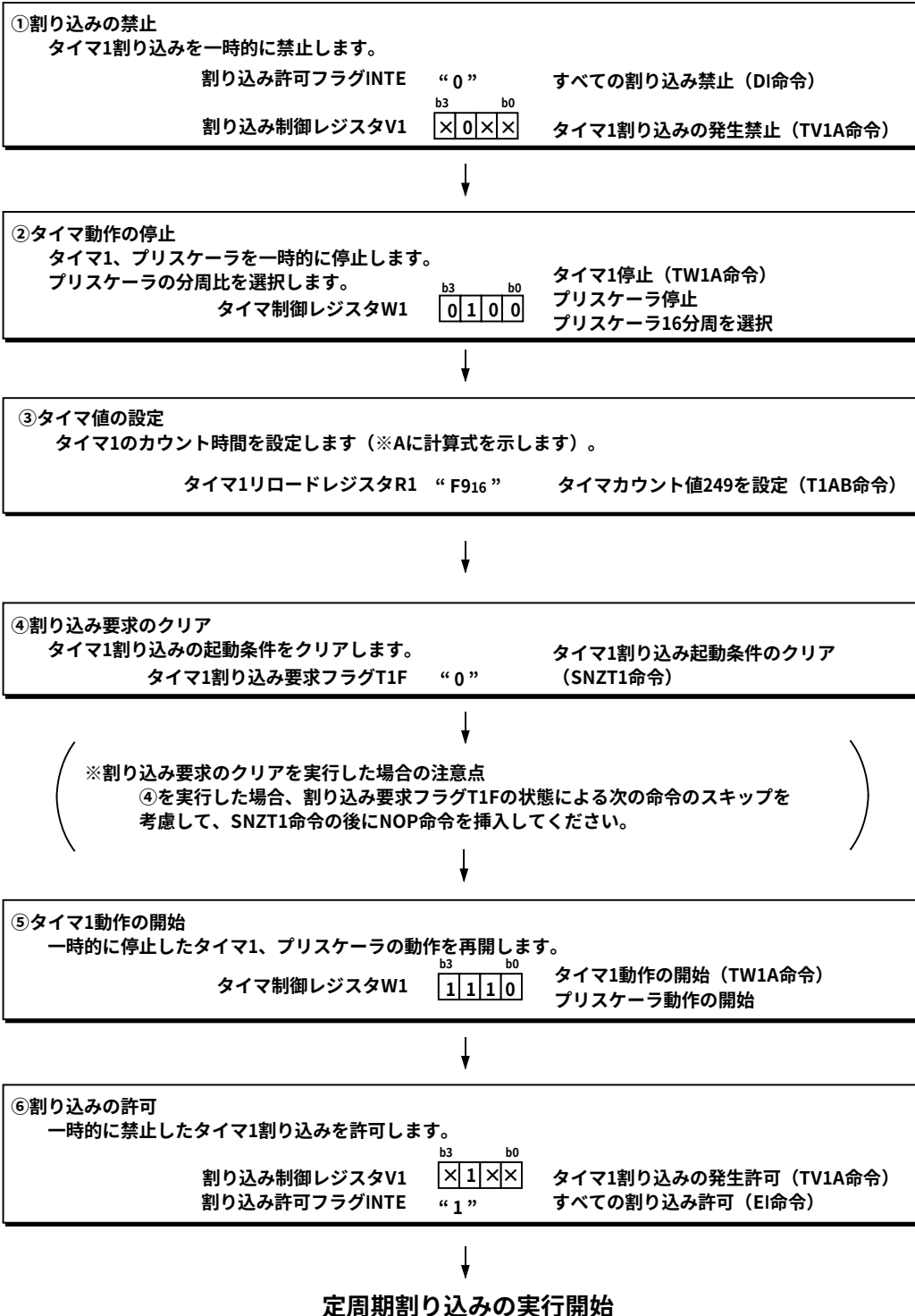


図2.3.2 ウォッチドッグタイマの機能



※A 3msごとに割り込みを発生させる場合の、プリスケアラの分周比及びタイマ1カウント値は、以下のように設定します。

$$3\text{ms} = \underbrace{(4.0\text{ MHz})^{-1}}_{\text{システムクロック}} \times \underbrace{3}_{\text{インストラクションクロック}} \times \underbrace{16}_{\text{プリスケアラ分周比}} \times \underbrace{(249 + 1)}_{\text{タイマ1カウント値}}$$

“×”：“0”又は“1”いずれでも可。

図2.3.3 定周期測定設定例

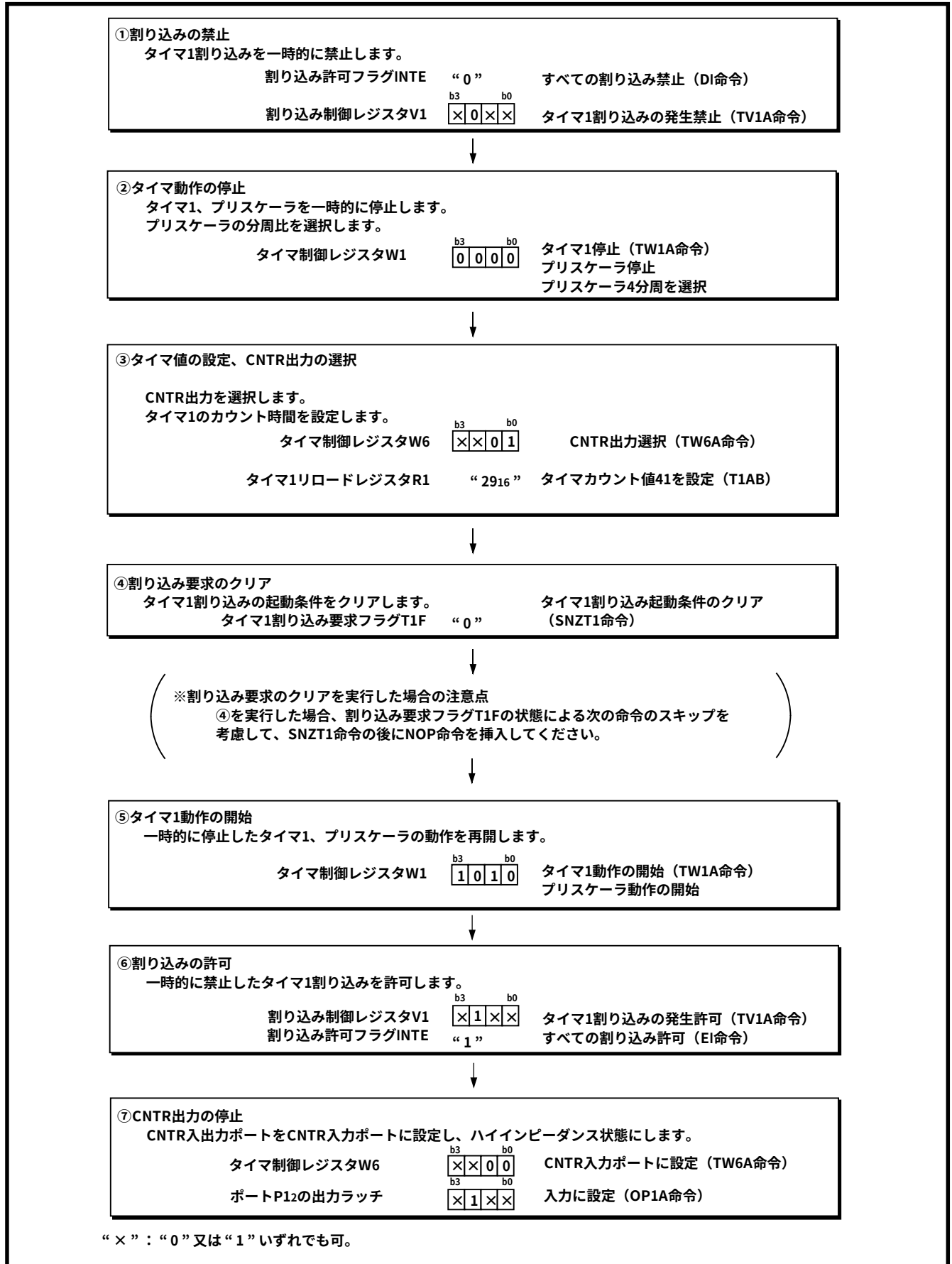


図2.3.4 CNTR出力の設定例

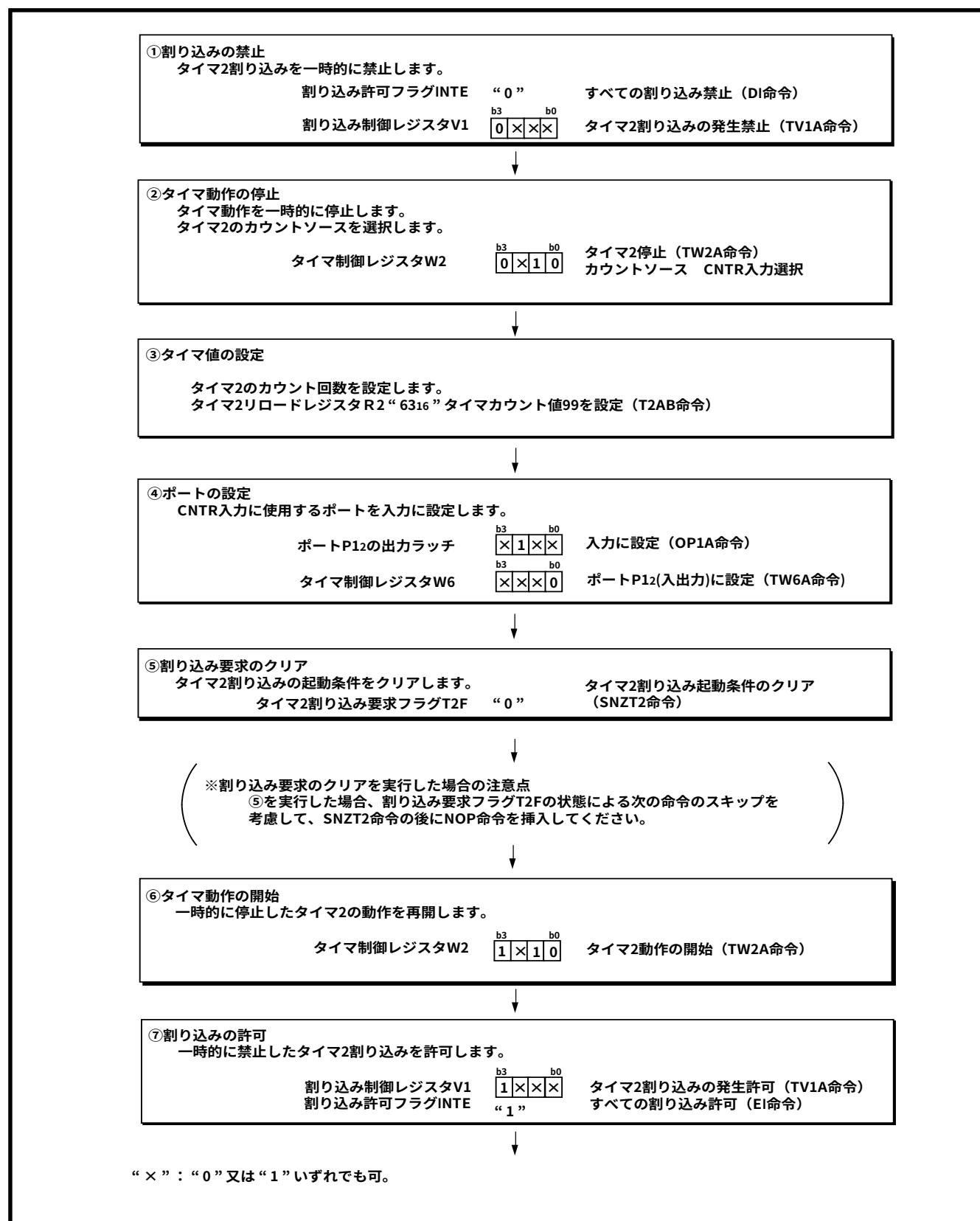


図2.3.5 CNTR入力の設定例

ただし、CNTR端子に入力するパルスのパルス幅には条件があります。タイマ推奨動作条件は、「2.3.4 使用上の注意事項」を参照してください。

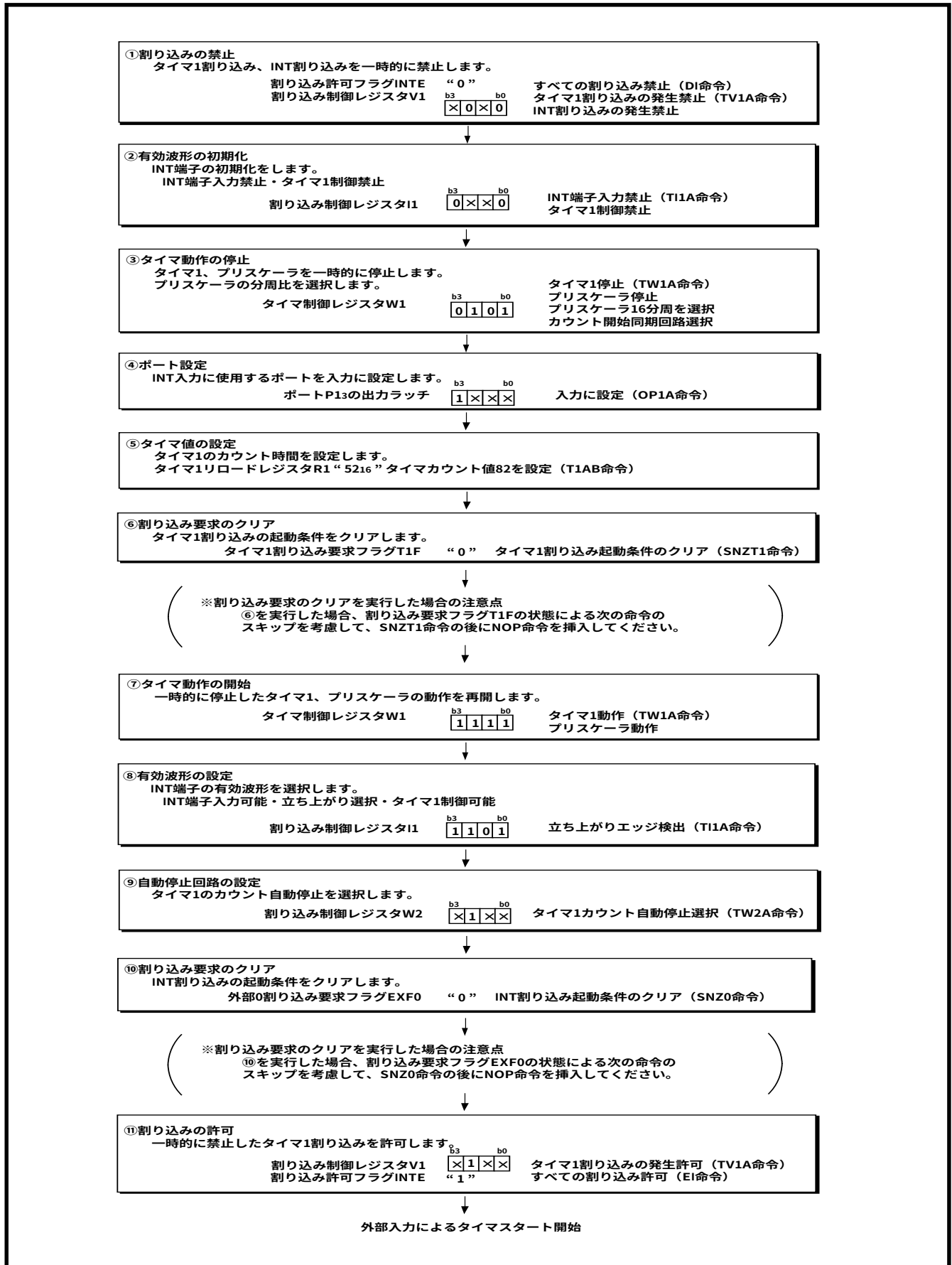


図2.3.6 外部入力によるタイマスタートの設定例

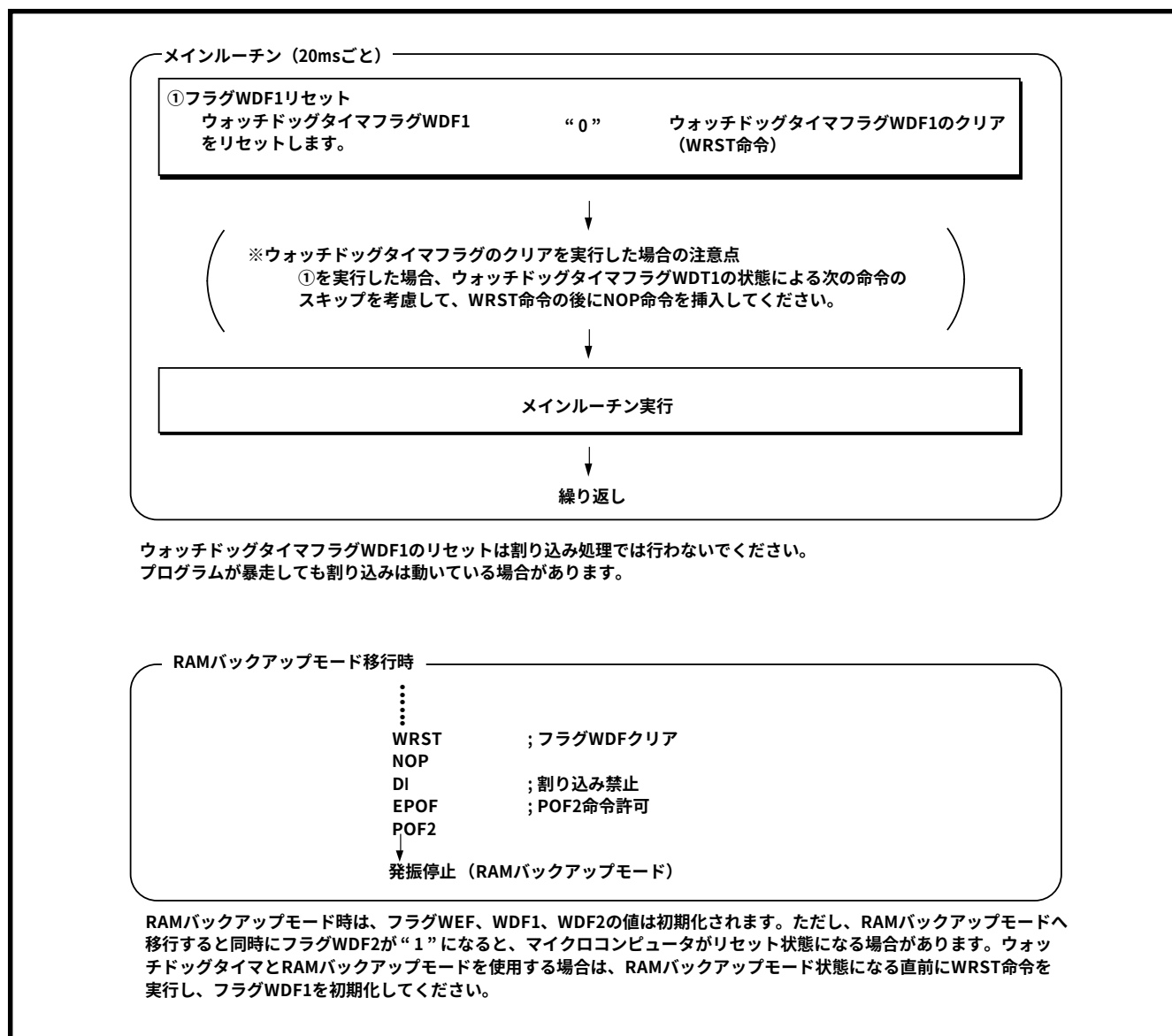


図2.3.7 ウォッチドッグタイマ使用例

2.3.4 使用上の注意事項

(1) プリスケアラ

プリスケアラの分周比を切り替える場合は、必ずプリスケアラの動作を停止させた後、分周比を切り替えてください。

(2) カウントソース

タイマ1、2のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(3) カウント値の読み出し

タイマ1、2からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1、TAB2)を実行してください。

(4) タイマへのデータ書き込み

タイマ1、2にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T2AB)を実行してください。

(5) リロードレジスタR1への書き込み

タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータを書き込んでください。

(6) タイマ1、タイマ2のカウント開始タイミングと動作開始時のカウント時間

タイマ1、タイマ2は動作開始①後、カウントソースの最初の立ち上がり②からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間③は、以降のアンダフロー間の時間④より短く(最大でカウントソースの一周期分)なります。

なお、タイマ2のカウントソースとしてCNTR入力を選択した場合、タイマ2はCNTR入力の立ち下がりに同期して動作します。

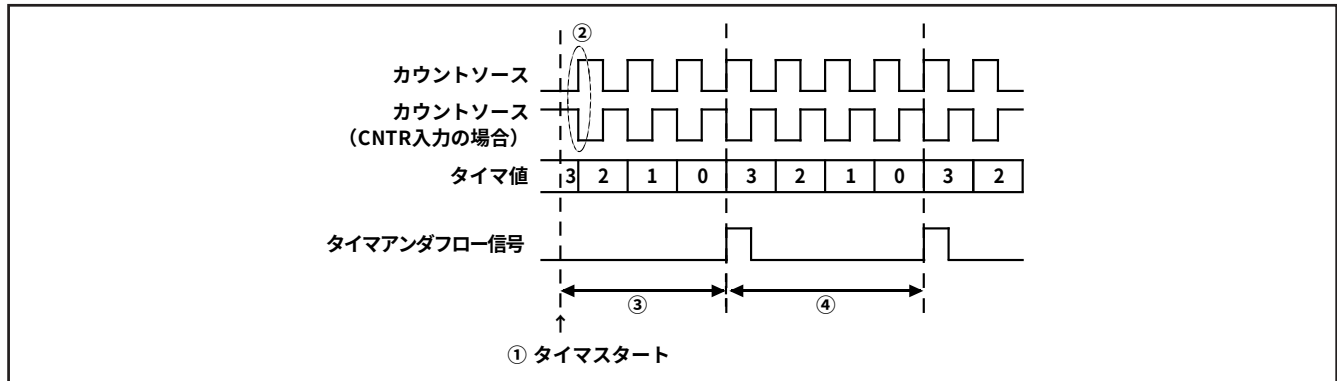


図2.3.8 タイマカウント開始タイミングと動作開始時のカウント時間 (T1、T2)

(7) ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行し、フラグWEFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。
- RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

(8) CNTR端子に入力するパルス幅

CNTR端子に入力するパルス幅の条件について表2.3.5に示します。

表2.3.5 推奨動作条件(CNTR入力)

項目	条件	規格値			単位
		最小	標準	最大	
タイマ外部入力周期 ("H"及び"L"のパルス幅)	高速モード	$3/f(XIN)$			s
	中速モード	$6/f(XIN)$			
	低速モード	$12/f(XIN)$			
	デフォルトモード	$24/f(XIN)$			

2.4 A/Dコンバータ

10ビット逐次比較方式によるA/D変換器を4507グループは4チャンネル内蔵しています。

また、このA/D変換器は、アナログ入力端子から入力されたアナログ電圧をあらかじめ設定した値と比較できるコンパレータとしても使用できます。

この節では、関連レジスタ、A/D変換器の応用例、及び注意事項について説明します。

図2.4.1に、A/D変換器のブロック図を示します。

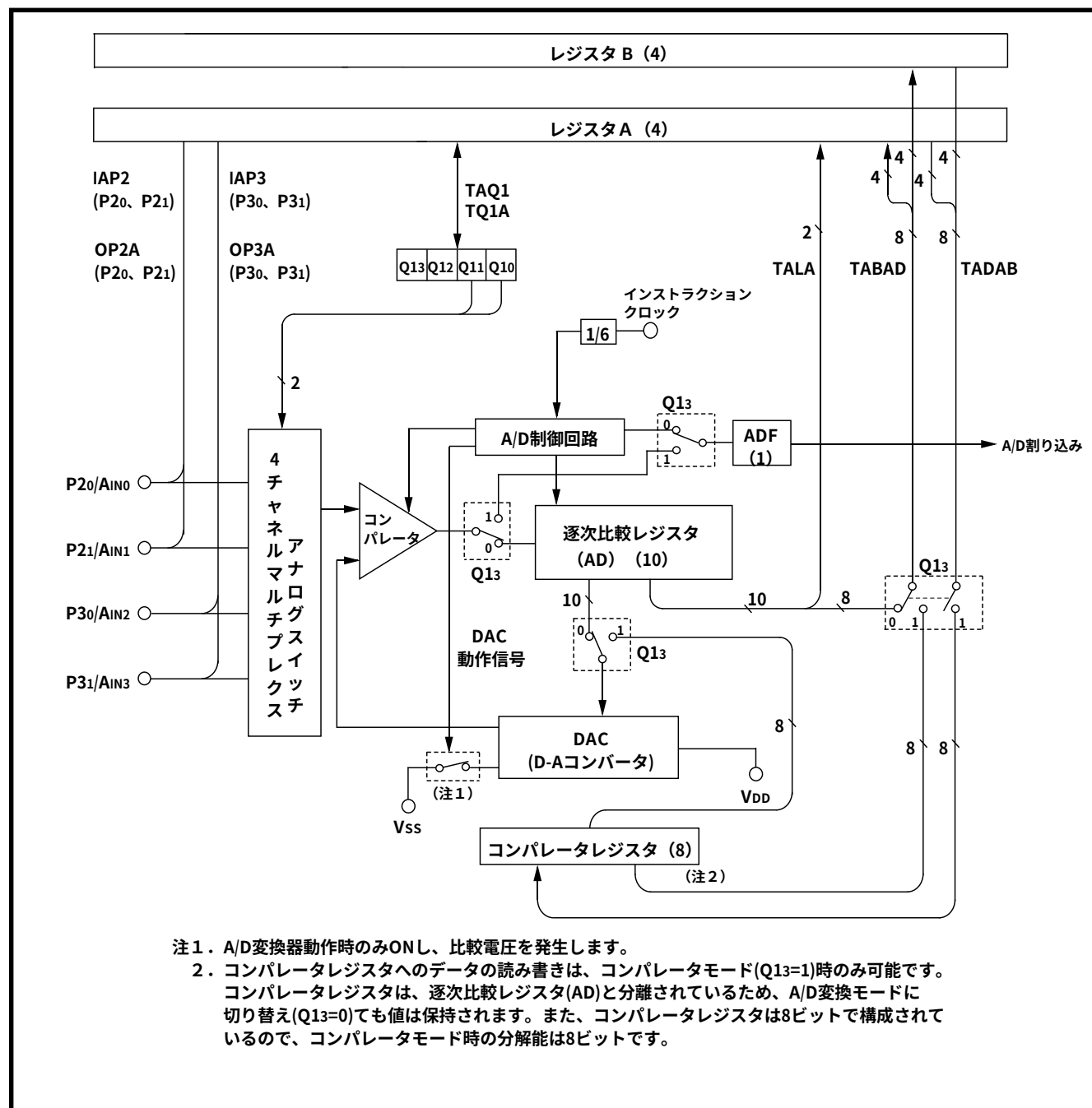


図2.4.1 A/D変換器の構成

2.4.1 関連レジスタ

(1) A/D制御レジスタQ1

レジスタQ1は、A/D動作モード制御ビット及びアナログ入力端子選択ビットで構成されています。

レジスタQ1への書き込みは、レジスタAに値を設定した後、TQ1A命令で行えます。また、TAQ1命令でレジスタQ1の内容をレジスタAに転送できます。

表2.4.1にA/D制御レジスタQ1のビット構成を示します。

表2.4.1 A/D制御レジスタQ1

A/D制御レジスタQ1		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
Q13	A/D動作モード制御ビット	0	A/D変換モード		
		1	コンパレータモード		
Q12	使用しません	0	このビットに機能はありませんがR/Wは可能です。		
		1			
Q11 Q10	アナログ入力端子 選択ビット	Q11Q10		選択される端子	
		0	0	AIN0	
		0	1	AIN1	
		1	0	AIN2	
		1	1	AIN3	

注1. “ R ”は読み出し可、“ W ”は書き込み可を示します。

2. : A/D変換設定時使用しないビットです。

2.4.2 A/D変換器の応用例

(1) A/D変換モード

ポイント：センサからのアナログ入力信号をデジタル値に変換できます。

仕様：センサからのアナログ電圧値を10ビット逐次変換方式にてデジタル値に変換します。
アナログ入力端子はAIN0端子を使用します。

A/D変換モード設定例を図2.4.2に示します。

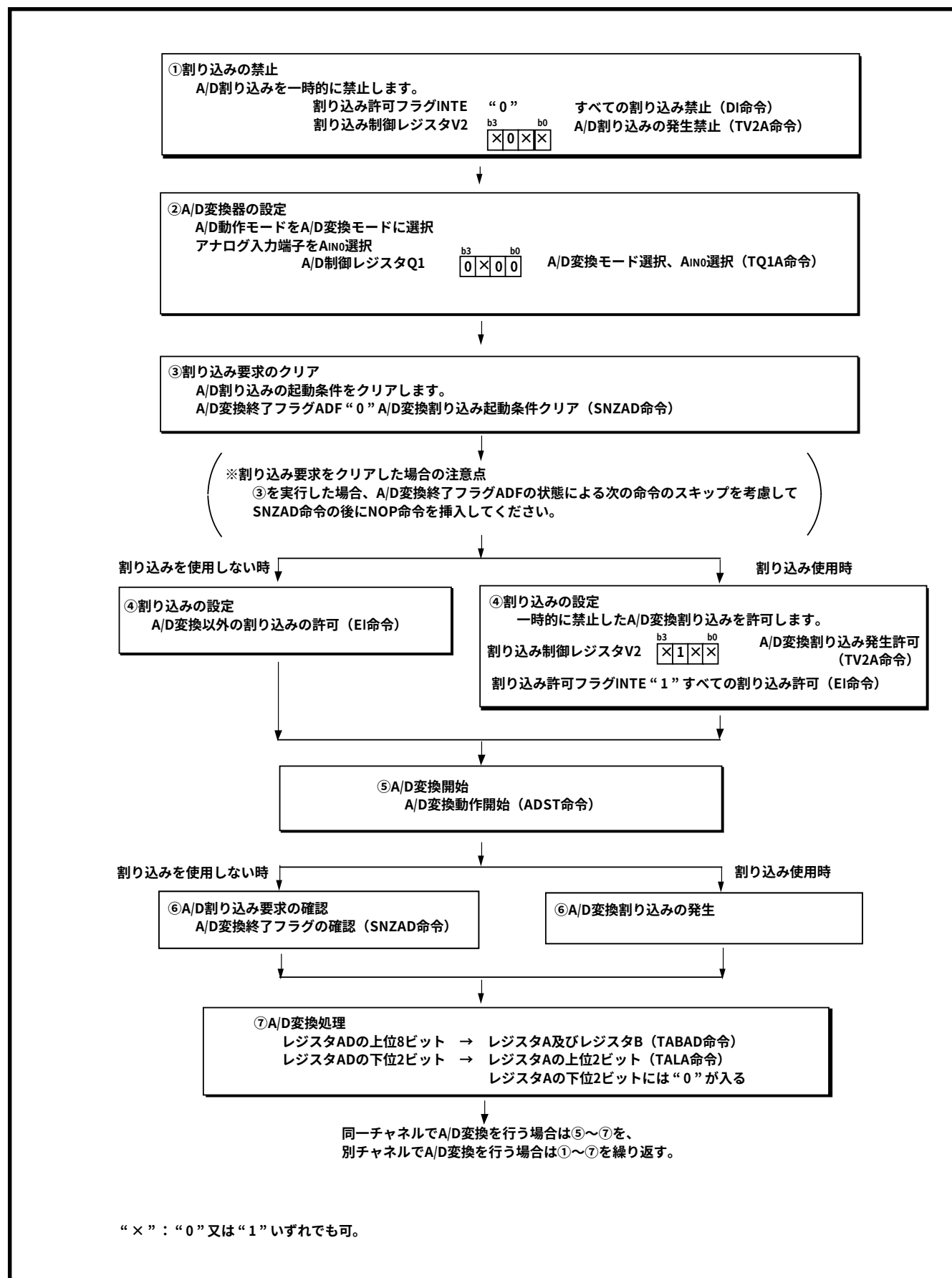


図2.4.2 A/D変換モードの設定例

2.4.3 使用上の注意事項

(1) A/D変換中に再度A/D変換を開始する場合

A/D変換を実行中にADST命令を実行し、A/D変換を再度行った場合、それまで入力していたデータを破棄して最初からA/D変換を行います。

(2) A/D変換器について1

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。

そのため、信号源インピーダンスの高い回路を用いてアナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。

十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に $0.01\mu\text{F}\sim 1\mu\text{F}$ のコンデンサを付加してください。

図2.4.3にアナログ入力外付け回路例1を示します。

また、やむをえずアナログ入力に定格値以上の電圧がかかる場合は、図2.4.4のアナログ入力外付け回路例2に示すように、定格内の電圧になるよう外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。

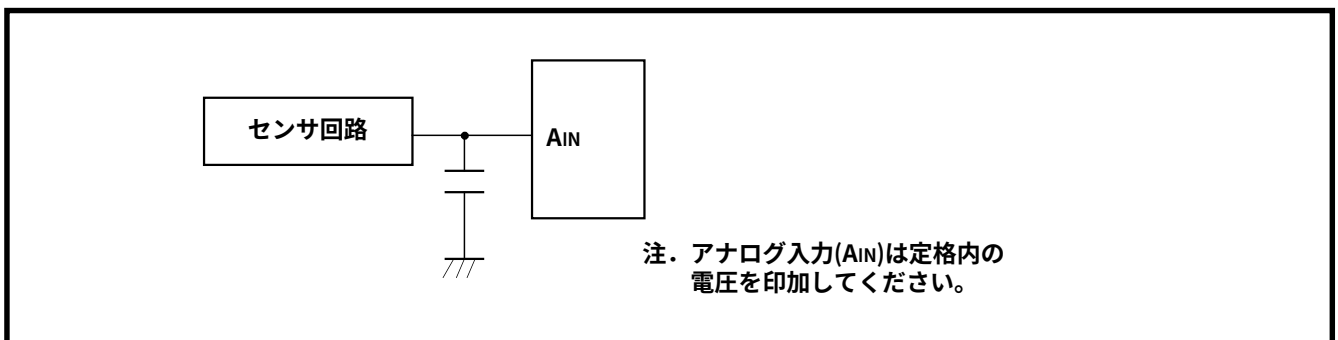


図2.4.3 アナログ入力外付け回路例1

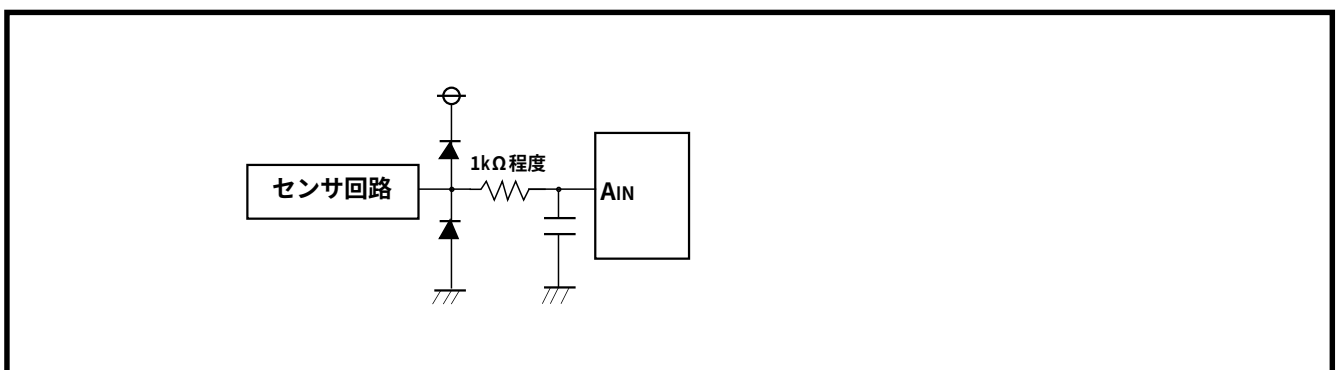


図2.4.4 アナログ入力外付け回路例2

(3) A/D変換器について2

レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更する場合は次の点に注意してください。

■レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更するためにはレジスタV2のビット2が“0”(図2.4.5①))になっている必要があります。

■A/D変換器の動作モードをコンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあるため、レジスタQ1のビット3に値を設定した後、SNZAD命令を実行しA/D変換終了フラグ(ADF)をクリアしてください。

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

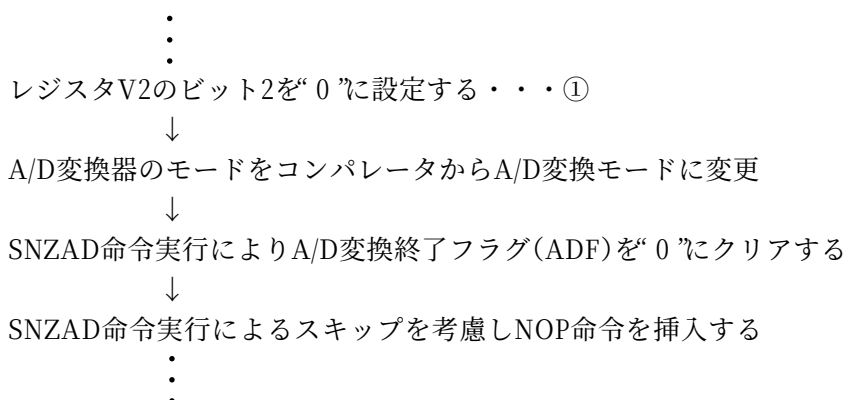


図2.4.5 A/D変換器の動作モードプログラム例

(4) A/D変換器をコンパレータモードで使用する場合

アナログ入力電圧と比較電圧を比較した結果、アナログ入力電圧が比較電圧よりも高い場合は、A/D変換終了フラグ(ADF)が“0”のままで“1”にセットされません。

この場合、A/D割り込みの使用を許可しているときでもA/D割り込みは発生しませんので、コンパレータ動作が完了するまでの時間を考慮し、ソフトウェアで判定してください。

コンパレータ動作は、8マシンサイクルで終了します。

(5) アナログ入力端子の選択に関する注意

P20/AIN0端子、P21/AIN1端子、P30/AIN2端子、P31/AIN3端子は、端子機能をアナログ入力に設定している場合でもポートP2、P3の入出力機能をもっています。

これらの端子を、アナログ入力端子とポート入出力との機能を混在して使用する場合は、アナログ入力として選択を行っている端子の出力は“1”になるようにしてください。

また、ポート入力の場合は、アナログ入力として選択している端子の、ポートとしての入力は不定となります。

(6) TALA命令

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。

(7) A/D変換器使用時の推奨動作条件

A/D変換器を使用する場合と通常時(A/D変換器を使用しない場合)では、電源電圧、システムクロック周波数の推奨動作条件が異なります。

表2.4.2にA/D変換器使用時の推奨動作条件を示します。

表2.4.2 推奨動作条件(A/D変換器使用時)

項目	条件	規格値			単位
		最小	標準	最大	
システムクロック周波数 (セラミック共振時)	VDD=2.7V～5.5V(高速モード)	0.1		4.4	MHz
	VDD=2.7V～5.5V(中速モード)	0.1		2.2	
	VDD=2.7V～5.5V(低速モード)	0.1		1.1	
	VDD=2.7V～5.5V(デフォルトモード)	0.1		0.5	
システムクロック周波数 (RC発振時) (注)	VDD=2.7V～5.5V(高速モード)	0.1		4.4	MHz
	VDD=2.7V～5.5V(中速モード)	0.1		2.2	
	VDD=2.7V～5.5V(低速モード)	0.1		1.1	
	VDD=2.7V～5.5V(デフォルトモード)	0.1		0.5	
システムクロック周波数 (セラミック共振回路選択、 外部クロック入力時)	VDD=2.7V～5.5V(高速モード)	デューティ 40～60%		3.2	MHz
	VDD=2.7V～5.5V(中速モード)			1.6	
	VDD=2.7V～5.5V(低速モード)			0.8	
	VDD=2.7V～5.5V(デフォルトモード)			0.4	

注. RC発振時の発振周波数は外付けの抵抗、コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値、容量値)を設定してください。

2.5 リセット

電源電圧が推奨動作条件の最小規格値以上であり、発振が安定している状態で $\overline{\text{RESET}}$ 端子に1マシンサイクル以上“L”レベルを印加すると、4507グループはリセット状態になります。その後、 $\overline{\text{RESET}}$ 端子に“H”レベルを印加すると、内部の発振安定時間(オンチップオシレータ(内部発振器)クロックを5359回カウント)経過後に、0ページの0番地からプログラムが開始します。図2.5.2にリセット解除後の発振安定時間を示します。

2.5.1 リセット回路

(1) パワーオンリセット

$\overline{\text{RESET}}$ 端子にダイオード、及びコンデンサを接続することにより、電源投入時に自動リセット(パワーオンリセット)をかけることができます。

$\overline{\text{RESET}}$ 端子と外付け回路は、最短距離で接続してください。

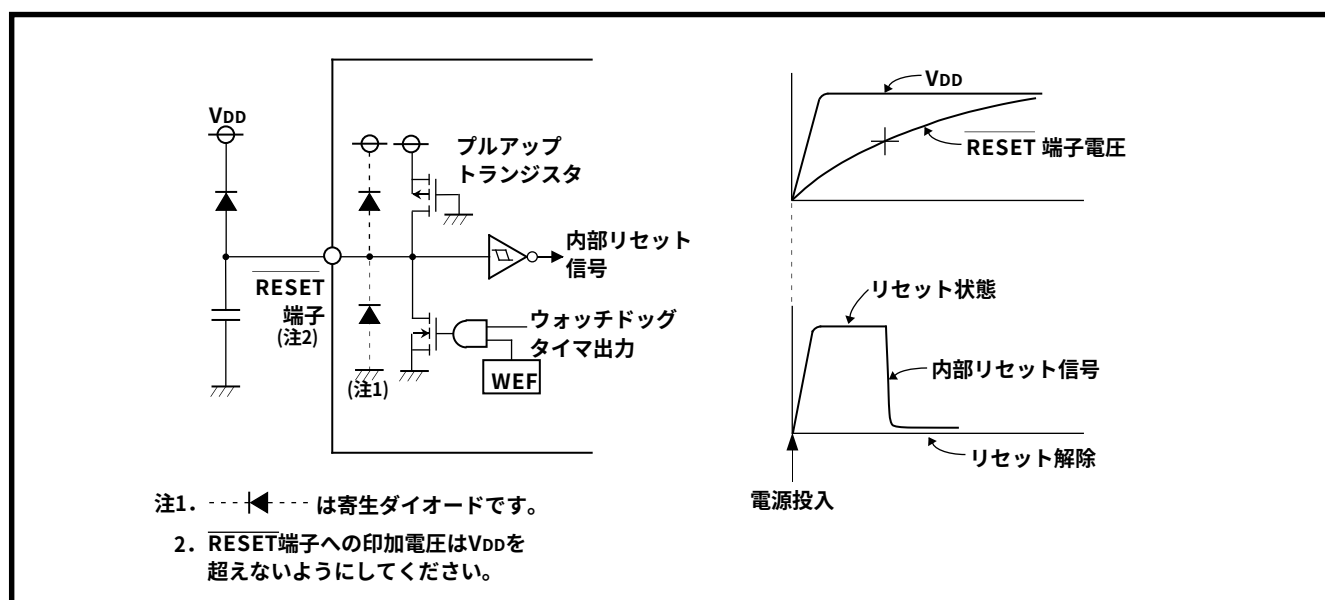


図2.5.1 RESET端子周辺の構成とパワーオンリセット動作

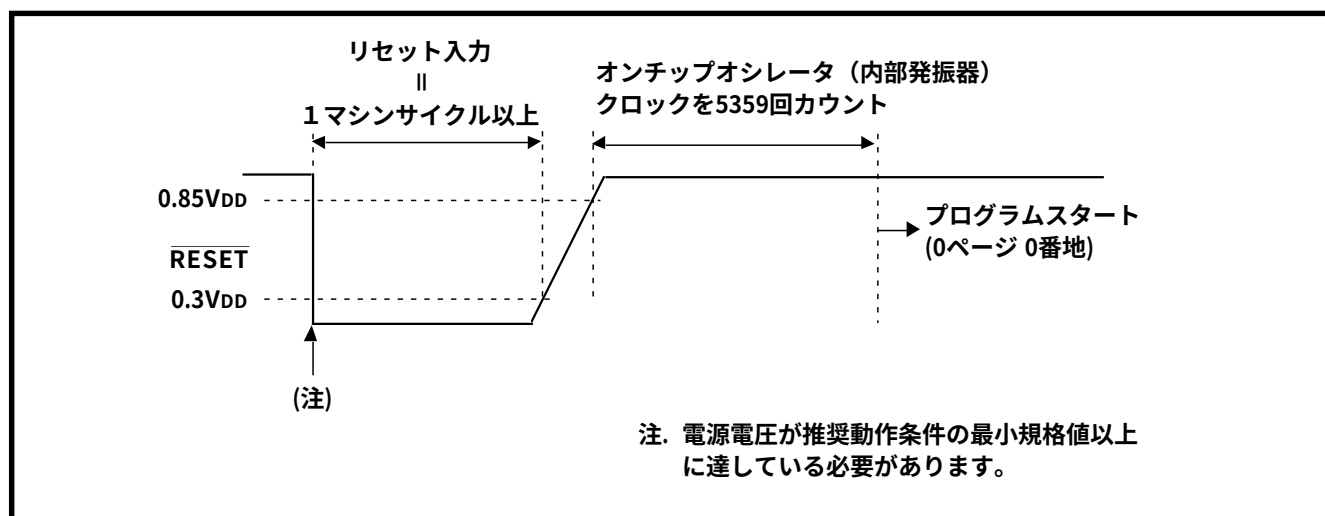


図2.5.2 リセット解除後の発振安定時間

2.5.2 リセット時の内部状態

図2.5.3、図2.5.4にリセット時の内部状態を示します。

図2.5.3、図2.5.4以外のタイマ、レジスタ、フラグ、RAM等の内容は不定になるため、初期値を設定してください。

● プログラムカウンタ (PC)	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
0ページの0番地がセットされます。		
● 割り込み許可フラグ (INTE)	0	(割り込み禁止)
● パワーダウンフラグ (P)	0	
● 外部0割り込み要求フラグ (EXF0)	0	
● 割り込み制御レジスタ V1	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ V2	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ I1	0 0 0 0	
● タイマ 1 割り込み要求フラグ (T1F)	0	
● タイマ 2 割り込み要求フラグ (T2F)	0	
● A/D変換終了フラグ (ADF)	0	
● ウォッチドッグタイマフラグ (WDF1,WDF2).....	0	
● ウォッチドッグタイマイネーブルフラグ (WEF)	1	
● タイマ制御レジスタ W1	0 0 0 0	(プリスケアラ、タイマ 1停止)
● タイマ制御レジスタ W2	0 0 0 0	(タイマ 2停止)
● タイマ制御レジスタ W6	0 0 0 0	
● クロック制御レジスタ MR	1 1 0 0	
● キーオンウェイクアップ制御レジスタ K0	0 0 0 0	
● キーオンウェイクアップ制御レジスタ K1	0 0 0 0	
● キーオンウェイクアップ制御レジスタ K2	0 0 0 0	
● プルアップ制御レジスタ PU0	0 0 0 0	
● プルアップ制御レジスタ PU1	0 0 0 0	
● プルアップ制御レジスタ PU2	0 0 0 0	
● A/D制御レジスタ Q1	0 0 0 0	

“×”は不定を表します。

図2.5.3 リセット時の内部状態(1)

● キャリフラグ (CY)	0
● レジスタ A	0 0 0 0
● レジスタ B	0 0 0 0
● レジスタ D	X X X
● レジスタ E	X X X X X X X X
● レジスタ X	0 0 0 0
● レジスタ Y	0 0 0 0
● レジスタ Z	X X
● スタックポインタ (SP)	1 1 1
● 動作源クロック	オンチップオシレータ (動作状態)
● セラミック発振回路	動作状態
● RC発振回路	停止状態

“X” は不定を表します。

図2.5.4 リセット時の内部状態(2)

2.5.3 使用上の注意事項

(1) レジスタ初期化

次のレジスタは、リセット解除後の初期設定が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

2.6 RAMバックアップ

2.6.1 RAMバックアップモード

EPOF命令実行直後に、POF2命令を連続して実行すると、RAMバックアップ状態になります。RAMバックアップモード時に保持される機能と状態を表2.6.1に示します。また、この状態からの復帰要因を表2.6.2に示します。

(1) RAMバックアップモード

RAM、リセット回路の機能及び状態を保持したまま発振を停止するため、RAMのデータを失うことなく消費電流を低減できます。

表2.6.1 RAMバックアップモード時に保持される機能と状態

機能	RAMバックアップ	機能	RAMバックアップ
プログラムカウンタ(PC)、レジスタA,B キャリフラグ、スタックポインタ(注2)	×	A/D機能	×
RAMの内容	○	プルアップ制御レジスタPU0～PU2	○
ポートのレベル	(注5)	キーオンウェイクアップ制御レジスタK0～K2	○
選択された発振回路	○	A/D制御レジスタQ1	○
タイマ制御レジスタW1	×	外部0割り込み要求フラグ(EXF0)	×
タイマ制御レジスタW2、W6	○	タイマ1割り込み要求フラグ(T1F)	×
クロック制御レジスタMR	×	タイマ2割り込み要求フラグ(T2F)	(注3)
割り込み制御レジスタV1、V2	×	A/D変換終了フラグ (ADF)	×
割り込み制御レジスタI1	○	ウォッチドッグタイマフラグ(WDF1)	×(注4)
タイマ1機能	×	ウォッチドッグタイマインベールフラグ(WEF)	×
タイマ2機能	(注3)	16ビットタイマ (WDT)	×(注4)
		割り込み許可フラグ(INTE)	×

注1. 表中、“○”は保持可能“×”は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。

- スタックポインタは、スタックレジスタの位置を示すもので、RAMバックアップ時には“7”に初期化されます。
- タイマの状態は不定になります。
- WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、POF2命令を実行してください。
- D2/C端子において、RAMバックアップ時、ポートCの出力ラッチは、“1”にセットされます。ただし、ポートD₂の出力ラッチは保持されます。その他のポートは出力レベルになります。

表2.6.2 復帰条件

復帰要因		復帰条件	備考
外部ウェイクアップ信号	ポートP0 ポートP1 (注) ポートP2 ポートD2/C ポートD3/K	外部からの“ L ”レベル入力により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。 RAMバックアップ状態に遷移する前に、キーオンウェイクアップ機能を使用するポートを“ H ”レベルにしてください。
	ポートP13/INT (注)	外部からの“ H ”レベルあるいは“ L ”レベル入力により復帰します。復帰レベルはレジスタI1(I12)により選択できます。復帰入力時は、割り込み要求フラグ(EXF0)はセットされません。	RAMバックアップ状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1のビット2で、復帰レベル(“ H ”レベル 又は “ L ”レベル)を選択してください。

注. キーオンウェイクアップ制御レジスタK1のビット3(K13)が“ 0 ”のときは、INT端子としてのキーオンウェイクアップ(“ H ”又は“ L ”レベル)、“ 1 ”のときはポートP13としてのキーオンウェイクアップ(“ L ”レベル)になります。

(2) スタート条件の識別

RAMバックアップからの復帰、リセットからの復帰共に0ページ0番地から実行を開始します。

スタート条件(ウォームスタートかコールドスタート)はSNZP命令でパワーダウンフラグ(P)の条件を調べることによって識別できます。

表2.6.3 スタート条件識別

復帰条件	パワーダウンフラグP
外部ウェイクアップ信号入力	1
リセット	0

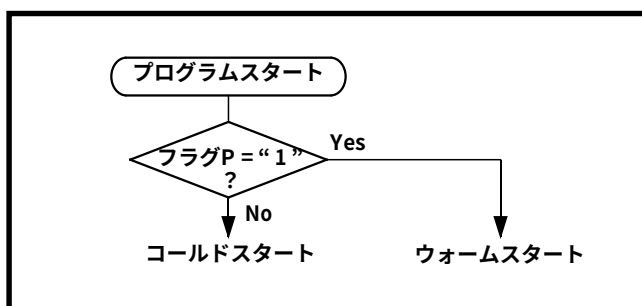


図2.6.1 スタート識別例

2.6.2 関連レジスタ

(1) キーオンウェイクアップ制御レジスタK0

ポートP00～P03のキーオンウェイクアップ機能を設定できます。
 レジスタK0への書き込みは、レジスタAに値を設定した後、TK0A命令で行います。
 また、TAK0命令でレジスタK0の内容を確認できます。
 表2.6.4にレジスタK0のビット構成を示します。

表2.6.4 キーオンウェイクアップ制御レジスタK0

キーオンウェイクアップ制御レジスタK0		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
K03	ポートP03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポートP02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポートP01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポートP00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注. “R”は読み出し可、“W”は書き込み可を示します。

(2) キーオンウェイクアップ制御レジスタK1

ポートP10～P13のキーオンウェイクアップ機能を設定できます。
 レジスタK1への書き込みは、レジスタAに値を設定した後、TK1A命令で行います。
 また、TAK1命令でレジスタK1の内容を確認できます。
 表2.6.5にレジスタK1のビット構成を示します。

表2.6.5 キーオンウェイクアップ制御レジスタK1

キーオンウェイクアップ制御レジスタK1		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
K13	ポートP13／INT キーオンウェイクアップ制御ビット	0	P13キーオンウェイクアップ°無効／INT端子キーオンウェイクアップ°有効		
		1	P13キーオンウェイクアップ°有効／INT端子キーオンウェイクアップ°無効		
K12	ポートP12／CNTR キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注. “R”は読み出し可、“W”は書き込み可を示します。

(3) キーオンウェイクアップ制御レジスタK2

ポートP20、P21、D2/C、D3/Kのキーオンウェイクアップ機能を設定できます。
 レジスタK2への書き込みは、レジスタAに値を設定した後、TK2A命令で行います。
 また、TAK2命令でレジスタK2の内容を確認できます。
 表2.6.6にレジスタK2のビット構成を示します。

表2.6.6 キーオンウェイクアップ制御レジスタK2

キーオンウェイクアップ制御レジスタK2		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
K23	ポートD3/K キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K22	ポートD2/C キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	ポートP21/AIN1 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K20	ポートP20/AIN0 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注. “R”は読み出し可、“W”は書き込み可を示します。

(4) プルアップ制御レジスタPU0

ポートP00～P03のプルアップ機能を設定できます。
 レジスタPU0への書き込みは、レジスタAに値を設定した後、TPU0A命令で行います。
 表2.6.7にレジスタPU0のビット構成を示します。

表2.6.7 プルアップ制御レジスタPU0

プルアップ制御レジスタPU0		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	W
PU03	ポートP03 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU02	ポートP02 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU01	ポートP01 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		
PU00	ポートP00 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF		
		1	プルアップトランジスタON		

注. “W”は書き込み可を示します。

(5) プルアップ制御レジスタPU1

ポートP10～P13のプルアップ機能を設定できます。

レジスタPU1への書き込みは、レジスタAに値を設定した後、TPU1A命令で行います。

表2.6.8にレジスタPU1のビット構成を示します。

表2.6.8 プルアップ制御レジスタPU1

プルアップ制御レジスタPU1		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	W
PU13	ポートP13／INT	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU12	ポートP12／CNTR	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU11	ポートP11	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU10	ポートP10	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注. “W”は書き込み可を示します。

(6) プルアップ制御レジスタPU2

ポートP20、P21、D2/C、D3/Kのプルアップ機能を設定できます。

レジスタPU2への書き込みは、レジスタAに値を設定した後、TPU2A命令で行います。

表2.6.9にレジスタPU2のビット構成を示します。

表2.6.9 プルアップ制御レジスタPU2

プルアップ制御レジスタPU2		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	W
PU23	ポートD3／K	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU22	ポートD2／C	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU21	ポートP21／AIN1	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		
PU20	ポートP20／AIN0	0	プルアップトランジスタOFF		
	プルアップトランジスタ制御ビット	1	プルアップトランジスタON		

注. “W”は書き込み可を示します。

(7) 割り込み制御レジスタI1

ビット3にINT端子入力制御ビット、ビット2にINT端子割り込み有効波形/復帰レベル選択ビット、ビット1にINT端子エッジ検出回路制御ビット、ビット0にINT端子タイマ1制御可能ビットが割り付けられています。

レジスタI1への書き込みは、レジスタAに値を設定した後、TI1A命令で行います。

また、TAI1命令でレジスタI1の内容を確認できます。

表2.6.10にレジスタI1のビット構成を示します。

表2.6.10 割り込み制御レジスタI1

割り込み制御レジスタI1		リセット時：0000 ₂		RAMバックアップ時 ：状態保持	R/W
I13	INT端子入力制御ビット(注2)	0	INT端子入力禁止		
		1	INT端子入力可能		
I12	INT端子 割り込み有効 波形/復帰レベル選択ビット (注2)	0	立ち下がり波形(SNZI0命令はINT端子の“ L ”レベル認識) /“ L ”レベル		
		1	立ち上がり波形(SNZI0命令はINT端子の“ H ”レベル認識) /“ H ”レベル		
I11	INT端子 エッジ検出回路 制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT端子 タイマ1制御可能ビット	0	制御禁止		
		1	制御可能		

注1. “ R ”は読み出し可、“ W ”は書き込み可を示します。

- レジスタI1のビット2(I12)、ビット3(I13)の内容を変更した際に、外部0割り込み要求フラグ(EXF0)がセットされる場合がありますので、レジスタV1のビット0(V10)が“ 0 ”の状態で一命令以上においてSNZ0命令を実行し、外部割り込み要求フラグ(EXF0)をクリアしてください。このとき、SNZ0命令によるスキップが発生することを考慮し、SNZ0命令の後にNOP命令を挿入してください。

2.6.3 使用上の注意事項

(1) キーオンウェイクアップを使用する場合

キーオンウェイクアップが有効になっているポート(レジスタK0、K1、K2で指定されたP0およびP1、D2/C、D3/K、P20/AIN0、P21/AIN1)はすべて“H”に設定後、POF2命令を実行してください。

キーオンウェイクアップが有効になっているポートがひとつでも“L”の状態にある場合、POF2命令を実行後、すぐにRAMバックアップから復帰されます。

(2) POF2命令

EPOF命令直後に、POF2命令を実行すると、RAMバックアップ状態になります。

POF2命令単独では、RAMバックアップ状態にならないので注意してください。

EPOF命令とPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)に設定してください。

(3) RAMバックアップからの復帰

RAMバックアップからの復帰後、不定となるレジスタ及びフラグの設定を必ず行ってください。

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(4ビット)
- ・レジスタY(4ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(4) ウォッチドッグタイマ

RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

(5) P13/INT端子

割り込み制御レジスタI1のビット3をクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意ください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13=“0”)は、RAMバックアップモードに移行する前にレジスタI1のビット2、ビット3をクリアする必要があります。

(6) 外部クロック

源発振(f(XIN))に外部クロックを使用する際は、RAMバックアップモード(POF2命令)を使用できませんので、注意してください。

2.7 発振回路

4507グループは動作に必要なクロックを得るための発振回路を内蔵しています。

源発振($f(XIN)$)には、セラミック共振とRC発振が使用できます。

リセット解除後、4507グループは内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。

2.7.1 発振回路

(1) $f(XIN)$ クロック発生回路

源発振($f(XIN)$)には、セラミック共振とRC発振が使用できます。

リセット解除後、4507グループは内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。プログラムでCMCK命令またはCRCK命令を実行することで、それぞれの命令に対応した発振回路が有効になり、源発振が切り替わります。CMCK命令及びCRCK命令による発振回路選択は一度だけ可能です。CMCK命令及びCRCK命令のうち、先に実行された命令に対応する発振回路が有効になります。他の発振回路、オンチップオシレータは停止します。

CMCK命令あるいはCRCK命令は、必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。また、CMCK命令あるいはCRCK命令がプログラムで一度も実行されない場合は、4507グループはオンチップオシレータで動作します。

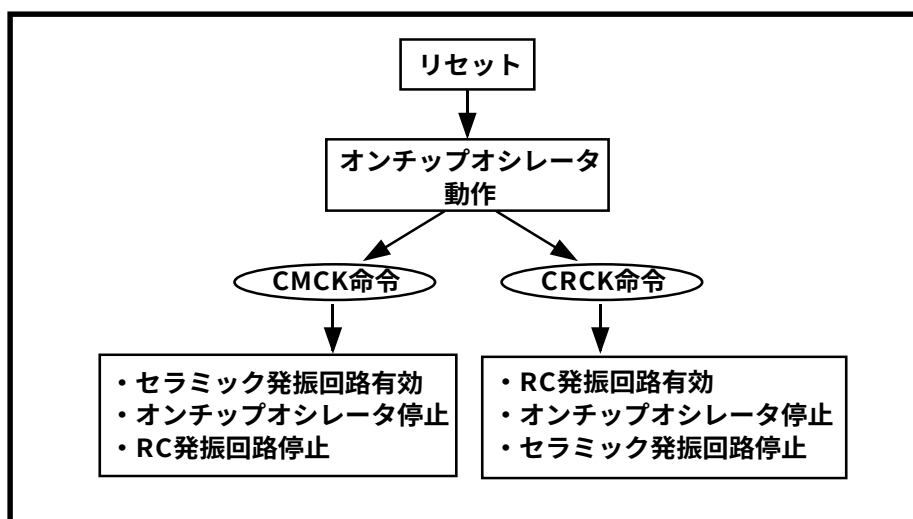


図2.7.1 セラミック共振／RC発振への切り替え

(2) オンチップオシレータ動作

源発振($f(XIN)$)にセラミック共振子あるいはRC発振を使用せず、オンチップオシレータで動作させる場合は、 XIN 端子を VSS に接続し、 $XOUT$ 端子は開放としてください(図2.7.2)。

なお、オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

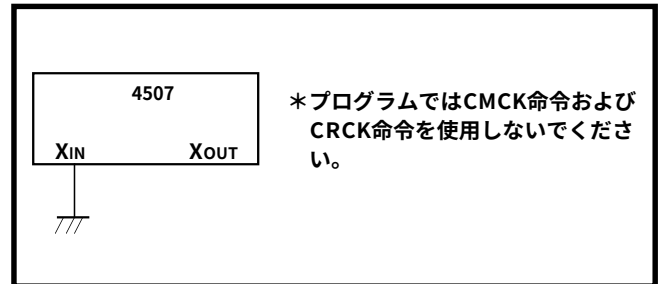


図2.7.2 オンチップオシレータ動作時の XIN 、 $XOUT$ 端子の処理

(3) セラミック共振子を使用する場合

源発振($f(XIN)$)にセラミック共振子を使用する場合は、 XIN 端子と $XOUT$ 端子にセラミック共振子および外部回路を最短距離で接続し、プログラムではCMCK命令を実行してください。 XIN 端子と $XOUT$ 端子の間には帰還抵抗が内蔵されています。

図2.7.3に外付けセラミック共振子による発振回路例を示します。

発振周波数の最大値は表2.7.1に示す値を越えないようにしてください。

表2.7.1 電源電圧と発振周波数の最大値

電源電圧	(システムクロック)	発振周波数
2.7~5.5V	($f(XIN)$)高速モード	4.4MHz
2.0~5.5V	($f(XIN)$)高速モード	2.2MHz
	($f(XIN)/2$)中速モード	4.4MHz
	($f(XIN)/4$)低速モード	
	($f(XIN)/8$)デフォルトモード	

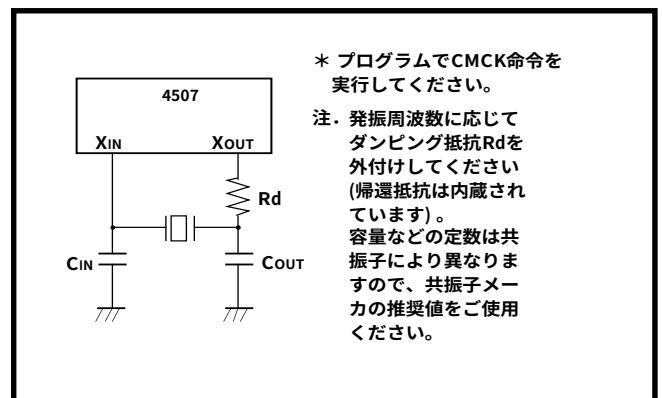


図2.7.3 セラミック共振子外付回路

(4) RC発振を使用する場合

源発振($f(XIN)$)にRC発振を使用する場合は、 XIN 端子に抵抗 R 、コンデンサ C の外付け回路を最短距離で接続し、 $XOUT$ 端子は開放とし、プログラムではCRCK命令を実行してください(図2.7.4)。

なお、RC発振用の抵抗 R およびコンデンサ C の定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

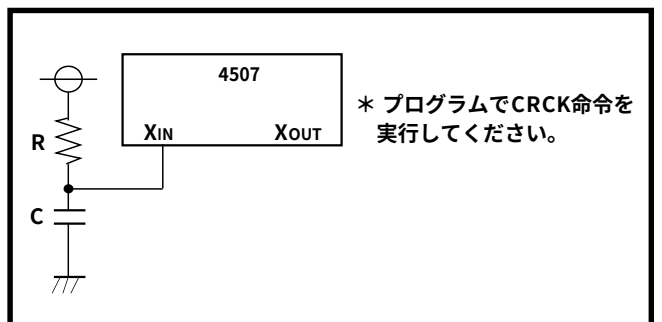


図2.7.4 RC発振外付け回路

2.7.2 発振動作

システムクロックは、マイクロコンピュータ動作の基準クロックとして、CPU、周辺装置へ供給されます。4507グループは、オンチップオシレータ(内部発振器)またはセラミック発振回路、RC発振回路から供給されるクロックを、レジスタMRで高速モード($f(XIN)$)、中速モード($f(XIN)/2$)、低速モード($f(XIN)/4$)、デフォルト($f(XIN)/8$)から選択し使用します。

図2.7.5にクロック制御回路の構成を示します。

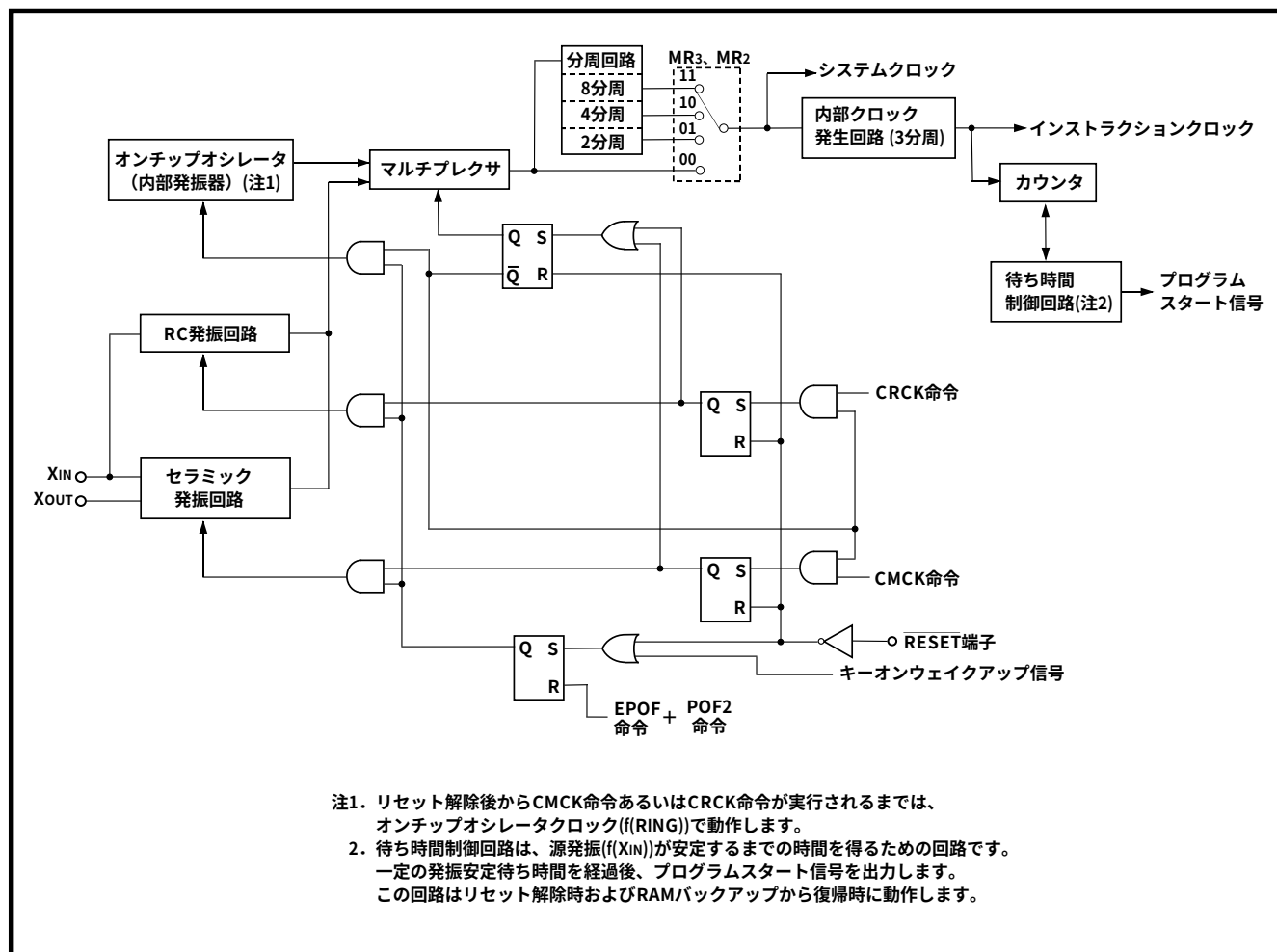


図2.7.5 クロック制御回路の構成

2.7.3 使用上の注意事項

(1) クロック制御

源発振($f(X_{IN})$)を選択する命令(CMCK命令、CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令あるいはCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された発振回路が有効になります。他の発振回路、オンチップオシレータは停止します。

(2) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、4507グループはリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(3) 外部クロック

源発振($f(X_{IN})$)に外部クロックを使用する際は、RAMバックアップモード(POF2命令)を使用できませんので、注意してください。

(4) 発振子に付ける部品の値

発振回路のコンデンサ、抵抗などの値は、取り付ける発振子や基板により異なります。このため発振子に取り付ける部品の値については発振子メーカーに問い合わせをご確認ください。

MEMO

第3章

付 録

- 3.1 電気的特性
- 3.2 標準特性
- 3.3 使用上の注意(まとめ)
- 3.4 ノイズに関する注意事項
- 3.5 パッケージ寸法図

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記 号	項 目	条 件	定 格 値	単位
V _{DD}	電源電圧		-0.3~6.5	V
V _I	入力電圧 P0、P1、P2、P3、D0、D1、D2/C、D3/K、D4、D5、 RESET、X _{IN}		-0.3~V _{DD} +0.3	V
V _I	入力電圧 A _{IN0} ~A _{IN3}		-0.3~V _{DD} +0.3	V
V _O	出力電圧 P0、P1、P2、P3、D0、D1、D2/C、D3/K、D4、D5、 RESET	出力トランジスタ遮断状態	-0.3~V _{DD} +0.3	V
V _O	出力電圧 X _{OUT}		-0.3~V _{DD} +0.3	V
P _d	消費電力	T _a =25°C	300	mW
T _{opr}	動作周囲温度		-20~85	°C
T _{stg}	保存温度		-40~125	°C

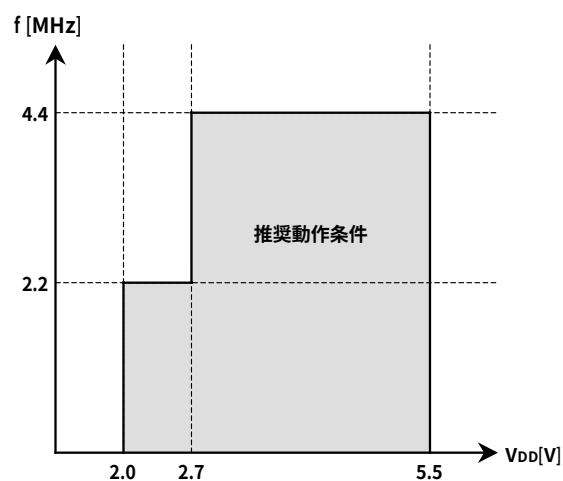
3.1.2 推奨動作条件

表3.1.2 推奨動作条件1(指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$ 、 $V_{DD} = 2.0 \sim 5.5\text{V}$)

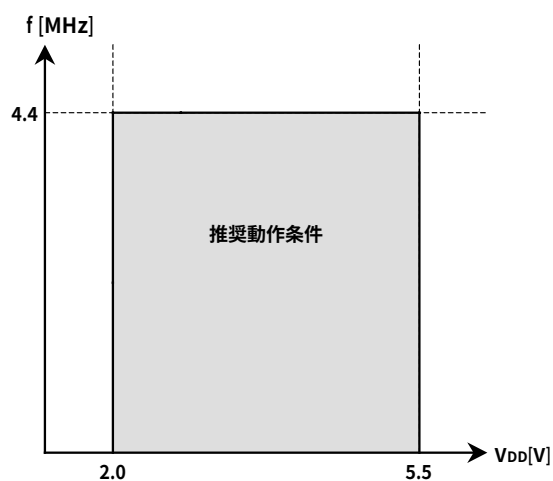
記 号	項 目	条 件		規 格 値			単位
				最 小	標 準	最 大	
V _{DD}	電源電圧 (セラミック共振使用時)	高速モード	$f(X_{IN}) \leq 4.4\text{MHz}$	2.7		5.5	V
		中速モード	$f(X_{IN}) \leq 4.4\text{MHz}$	2.0		5.5	
		低速モード					
		デフォルトモード					
V _{DD}	電源電圧 (RC共振使用時)	高速モード	$f(X_{IN}) \leq 4.4\text{MHz}$	2.7		5.5	V
		中速モード					
		低速モード					
		デフォルトモード					
V _{RAM}	RAM保持電圧	(RAMバックアップ時)		1.8			V
V _{SS}	電源電圧				0		V
V _{IH}	“H”入力電圧	P0、P1、P2、D0～D5、X _{IN}		0.8V _{DD}		V _{DD}	V
V _{IH}	“H”入力電圧	RESET		0.85V _{DD}		V _{DD}	V
V _{IH}	“H”入力電圧	C、K	V _{DD} =4.0～5.5V	0.5V _{DD}		V _{DD}	V
			V _{DD} =2.0～5.5V	0.7V _{DD}		V _{DD}	
V _{IH}	“H”入力電圧	CNTR、INT		0.85V _{DD}		V _{DD}	V
V _{IL}	“L”入力電圧	P0、P1、P2、D0～D5、X _{IN}		0		0.2V _{DD}	V
V _{IL}	“L”入力電圧	C、K		0		0.16V _{DD}	V
V _{IL}	“L”入力電圧	RESET		0		0.3V _{DD}	V
V _{IL}	“L”入力電圧	CNTR、INT		0		0.15V _{DD}	V
I _{OL} (peak)	“L”レベル尖頭出力電流	P2、P3、RESET	V _{DD} =5.0V			10	mA
			V _{DD} =3.0V			4.0	
I _{OL} (peak)	“L”レベル尖頭出力電流	D0、D1	V _{DD} =5.0V			40	mA
			V _{DD} =3.0V			30	
I _{OL} (peak)	“L”レベル尖頭出力電流	D2/C、D3/K、D4、D5	V _{DD} =5.0V			24	mA
			V _{DD} =3.0V			12	
I _{OL} (peak)	“L”レベル尖頭出力電流	P0、P1	V _{DD} =5.0V			24	mA
			V _{DD} =3.0V			12	
I _{OL} (avg)	“L”レベル平均出力電流	P2、P3、RESET(注)	V _{DD} =5.0V			5.0	mA
			V _{DD} =3.0V			2.0	
I _{OL} (avg)	“L”レベル平均出力電流	D0、D1(注)	V _{DD} =5.0V			30	mA
			V _{DD} =3.0V			15	
I _{OL} (avg)	“L”レベル平均出力電流	D2/C、D3/K、D4、D5(注)	V _{DD} =5.0V			15	mA
			V _{DD} =3.0V			7.0	
I _{OL} (avg)	“L”レベル平均出力電流	P0、P1(注)	V _{DD} =5.0V			12	mA
			V _{DD} =3.0V			6.0	
$\Sigma I_{OL}(\text{avg})$	“L”レベル総電流	P2、P3、D、RESET				80	mA
		P0、P1				80	

注．平均出力電流規格I_{OL}(avg)は100msの期間の平均値です。

セラミック共振回路、高速モード選択時



セラミック共振回路、高速モード以外選択時



RC 発振回路選択時

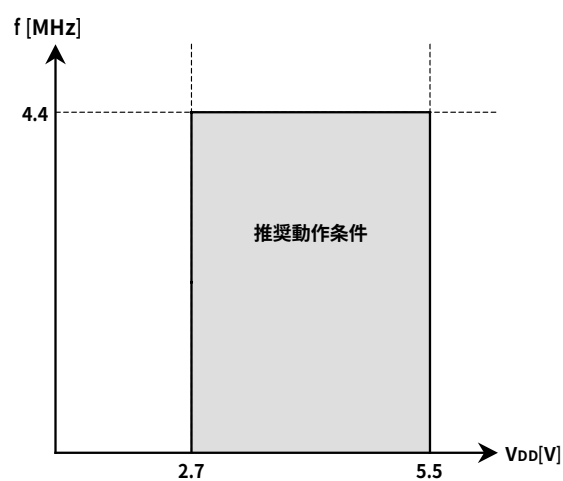
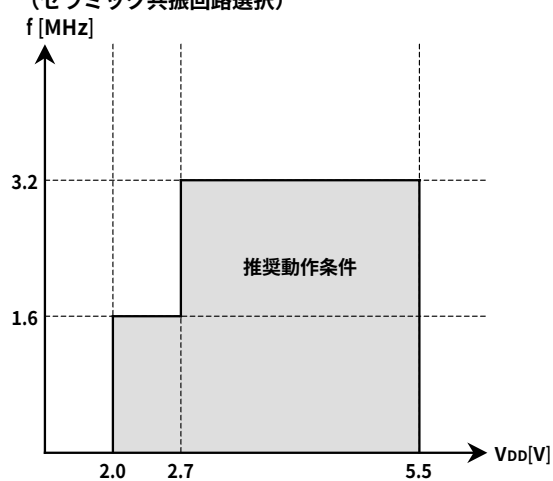
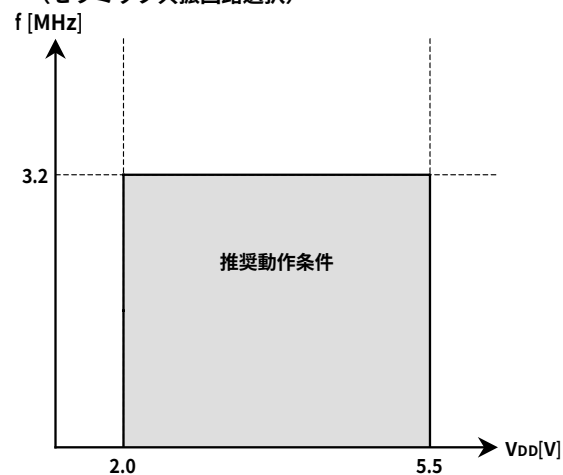
外部クロック入力、高速モード選択時
(セラミック共振回路選択)外部クロック入力、高速モード以外選択時
(セラミック共振回路選択)

表3.1.3 推奨動作条件2(指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$ 、 $V_{DD} = 2.0 \sim 5.5\text{V}$)

記 号	項 目	条 件		規 格 値			単位
				最 小	標 準	最 大	
f(XIN)	発振周波数 (セラミック共振時)	高速モード	VDD=2.7～5.5V			4.4	MHz
			VDD=2.0～5.5V			2.2	
		中速モード 低速モード デフォルトモード	VDD=2.0～5.5V			4.4	
f(XIN)	発振周波数 (RC発振時)(注)	高速モード 中速モード 低速モード デフォルトモード	VDD=2.7～5.5V			4.4	MHz
f(XIN)	発振周波数 (セラミック共振回路選択、 外部クロック入力時)	高速モード	VDD=2.7～5.5V			3.2	MHz
			VDD=2.0～5.5V			1.6	
		中速モード 低速モード デフォルトモード	VDD=2.0～5.5V			3.2	
Δf(XIN)	周波数誤差 (RC発振時、外付けR、Cの 誤差は含まず) 注. 外付けCは30pFを使用し、 外付けRを可変してください。	VDD=5.0V±10%、Ta=25°C中心で－20～85°C時				±17	%
		VDD=3.0V±10%、Ta=25°C中心で－20～85°C時				±17	
f (CNTR)	タイマ外部入力周波数	高速モード時				f(XIN)/6	Hz
		中速モード時				f(XIN)/12	
		低速モード時				f(XIN)/24	
		デフォルトモード時				f(XIN)/48	
tw(CNTR)	タイマ外部入力周期 (‘ H ’及び‘ L ’のパルス幅)	高速モード時	3/f(XIN)				s
		中速モード時	6/f(XIN)				
		低速モード時	12/f(XIN)				
		デフォルトモード時	24/f(XIN)				

注. RC発振時の発振周波数は外付けの抵抗、コンデンサ及びマイクロコンピュータのパラツキの影響を受けますので、最大のパラツキにおいても周波数規格を越えないように、外付け定数(抵抗値、容量値)を設定してください。

3.1.3 電気的特性

表3.1.4 電気的特性 (指定のない場合は、 $T_a = -20 \sim 85^\circ\text{C}$ 、 $V_{DD} = 2.0 \sim 5.5\text{V}$)

記 号	項 目	測 定 条 件	規 格 値			単位		
			最 小	標 準	最 大			
VOL	“L”出力電圧 P0、P1	VDD=5.0V	IOL=12mA		2.0	V		
			IOL=4.0mA		0.9			
		VDD=3.0V	IOL=6.0mA		0.9			
			IOL=2.0mA		0.6			
VOL	“L”出力電圧 P2、P3、RESET	VDD=5.0V	IOL=5.0mA		2.0	V		
			IOL=1.0mA		0.6			
		VDD=3.0V	IOL=2.0mA		0.9			
VOL	“L”出力電圧 D0、D1	VDD=5.0V	IOL=30mA		2.0	V		
			IOL=10mA		0.9			
		VDD=3.0V	IOL=15mA		2.0			
			IOL=5.0mA		0.9			
VOL	“L”出力電圧 D2/C、D3/K	VDD=5.0V	IOL=15mA		2.0	V		
			IOL=5.0mA		0.9			
		VDD=3.0V	IOL=9.0mA		2.0			
			IOL=3.0mA		0.9			
VOL	“L”出力電圧 D4、D5	VDD=5.0V	IOL=15mA		2.0	V		
			IOL=5.0mA		0.9			
		VDD=3.0V	IOL=9.0mA		2.0			
			IOL=3.0mA		0.9			
IIH	“H”入力電流 P0、P1、P2、P3 RESET	Vi=VDD			1.0	μA		
IIH	“H”入力電流 D0、D1、D2/C、D3/K、 D4、D5	Vi=VDD			1.0	μA		
IIL	“L”入力電流 P0、P1、P2、P3	Vi=0V、P0、P1、P2プルアップ非選択		−1.0		μA		
IIL	“L”入力電流 D0、D1、D2/C、 D3/K、D4、D5	Vi=0V、D2/C、D3/Kプルアップ非選択		−1.0		μA		
IDD	電源電流	CPU動作時 (注1)	VDD=5.0V f(XIN)=4.0MHz	高速モード時	1.7	5.0	mA	
				中速モード時	1.3	3.9		
				低速モード時	1.1	3.3		
				デフォルトモード時	1.0	3.0		
		VDD=3.0V f(XIN)=2.0MHz	高速モード時	0.5	1.5			
			中速モード時	0.4	1.2			
			低速モード時	0.35	1.1			
			デフォルトモード時	0.3	0.9			
	RAMバックアップ時 (POF2命令実行時)	Ta=25°C			0.1	1.0	μA	
		VDD=5.0V				10		
VDD=3.0V				6.0				
RPU	プルアップ 抵抗	P0、P1、P2、 D2/C、D3/K、RESET	Vi=0V	VDD=5.0V	30	60	150	kΩ
				VDD=3.0V	50	120	300	
VT+−VT-	ヒステリシス	INT、CNTR	VDD=5.0V			0.25		V
			VDD=3.0V			0.25		
VT+−VT-	ヒステリシス	RESET	VDD=5.0V			1.2		V
			VDD=3.0V			0.5		
f(RING)	オンチップオシレータクロック周波数 (注2)	VDD=5.0V		1.0	2.0	3.0	MHz	
		VDD=3.0V		0.5	1.0	1.8		

注1. A/D変換器を使用する場合は、A/D動作電流(I_{ADD})が加算されます。

2. オンチップオシレータでの動作時、システムクロック周波数はオンチップオシレータクロックをレジスタMRで選択している分周比で分周された周波数になります。

3.1.4 A/Dコンバータ推奨動作条件

表3.1.5 A/Dコンバータ推奨動作条件（コンパレータモードを含む。指定のない場合は、Ta=−20〜85℃）

記 号	項 目	条 件	規 格 値			単位
			最 小	標 準	最 大	
V _{DD}	電源電圧	Ta=25℃	2.7		5.5	V
		Ta=−20〜85℃	3.0		5.5	
V _{IA}	アナログ入力電圧		0		V _{DD} +2LSB	V
f(X _{IN})	発振周波数	V _{DD} =2.7〜5.5V	高速モード時			MHz
			中速モード時			
			低速モード時			
			デフォルトモード時			

表3.1.6 A/Dコンバータ特性（指定のない場合は、Ta=−20〜85℃）

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				10	bits
—	直線性誤差	Ta=25℃、V _{DD} =2.7〜5.5V			±2.0	LSB
		Ta=−25〜85℃、V _{DD} =3.0〜5.5V				
—	微分非直線性誤差	Ta=25℃、V _{DD} =2.7〜5.5V			±0.9	LSB
		Ta=−25〜85℃、V _{DD} =3.0〜5.5V				
V _{OT}	ゼロトランジション電圧	V _{DD} =5.12V	10	20	30	mV
		V _{DD} =3.072V	3	9	15	
V _{FST}	フルスケールトランジション電圧	V _{DD} =5.12V	5115	5125	5135	mV
		V _{DD} =3.072V	3063	3069	3075	
I _{ADD}	A/D動作電流(注1)	V _{DD} =5.0V		0.3	0.9	mA
		V _{DD} =3.0V		0.1	0.3	
T _{CONV}	A/D変換時間	f(X _{IN})=4.0MHz	高速モード時		46.5	μs
			中速モード時		93.0	
			低速モード時		186	
			デフォルトモード時		372	
—	コンパレータ分解能				8	bits
—	コンパレータ誤差(注2)	V _{DD} =5.12V			±20	mV
		V _{DD} =3.072V			±15	
—	コンパレータ比較時間	f(X _{IN})=4.0MHz	高速モード時		6.0	μs
			中速モード時		12	
			低速モード時		24	
			デフォルトモード時		48	

注1. A/D変換器使用時は、I_{DD}(電源電流)にI_{ADD}が加算されます。

2. コンパレータモード時の理論値に対する誤差で、コンパレータレジスタの内容をnとした時、内蔵DAコンバータが発生する比較電圧V_{ref}の理論値は次式で求めることができます。

比較電圧V_{ref}の理論値

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n: レジスタADの値(n=0〜255)

3.1.5 基本タイミング図

マシンスイクル		Mi		Mi+1	
項 目	端子名				
クロック	XIN：高速モード時 (システムクロック= $f(XIN)$)				
	XIN：中速モード時 (システムクロック= $f(XIN)/2$)				
	XIN：低速モード時 (システムクロック= $f(XIN)/4$)				
	XIN：デフォルトモード時 (システムクロック= $f(XIN)/8$)				
ポートD出力	D0、D1、D2/C、D3/K、 D4、D5				
ポートD入力	D0、D1、D2/C、D3/K、 D4、D5				
ポートP0、P1、P2、 P3出力	P00~P03 P10~P13 P20、P21 P30、P31				
ポートP0、P1、P2、 P3入力	P00~P03 P10~P13 P20、P21 P30、P31				
タイマ出力	CNTR				
タイマ入力	CNTR				
割り込み入力	INT				

3.2 標準特性

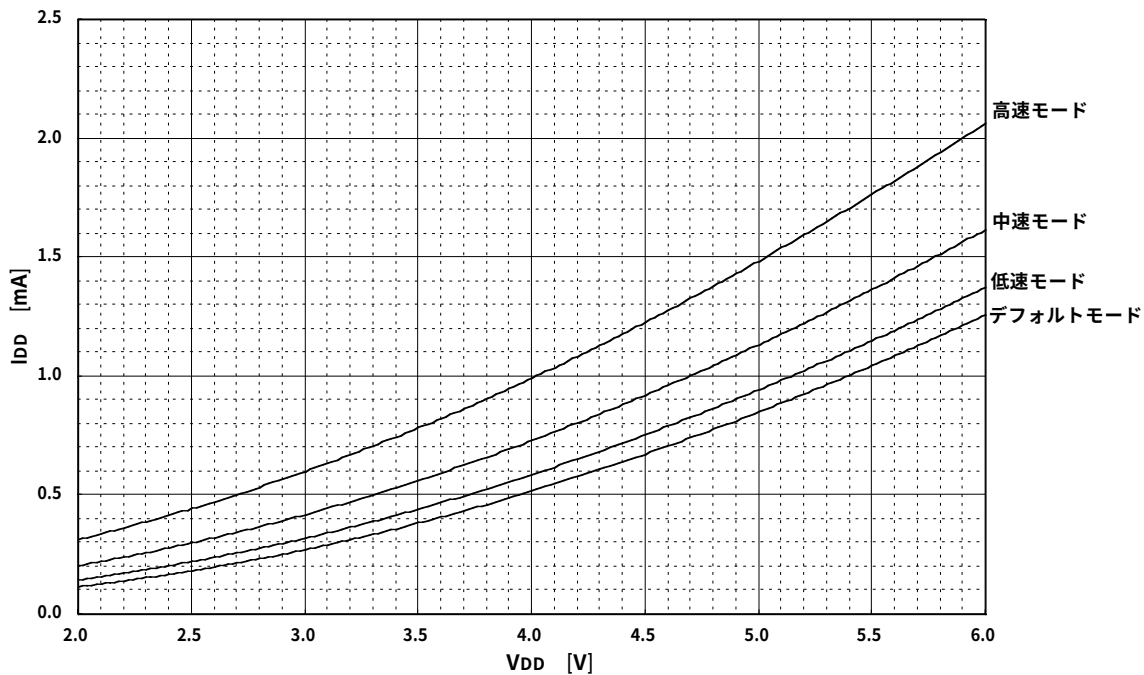
本節では、4507グループの標準特性について説明します。
特に指定のない場合、マスクROM版の特性を示します。
なお、本特性データは一測定例であり、保証値を示すものではありません。
保証値に関しては、「3.1 電気的特性」を参照してください。

マスクROM版とワンタイムPROM版とでは、製造プロセス、内蔵ROM、及びレイアウトパターンの相違により、電気的特性の範囲内で特性が異なる場合があります。

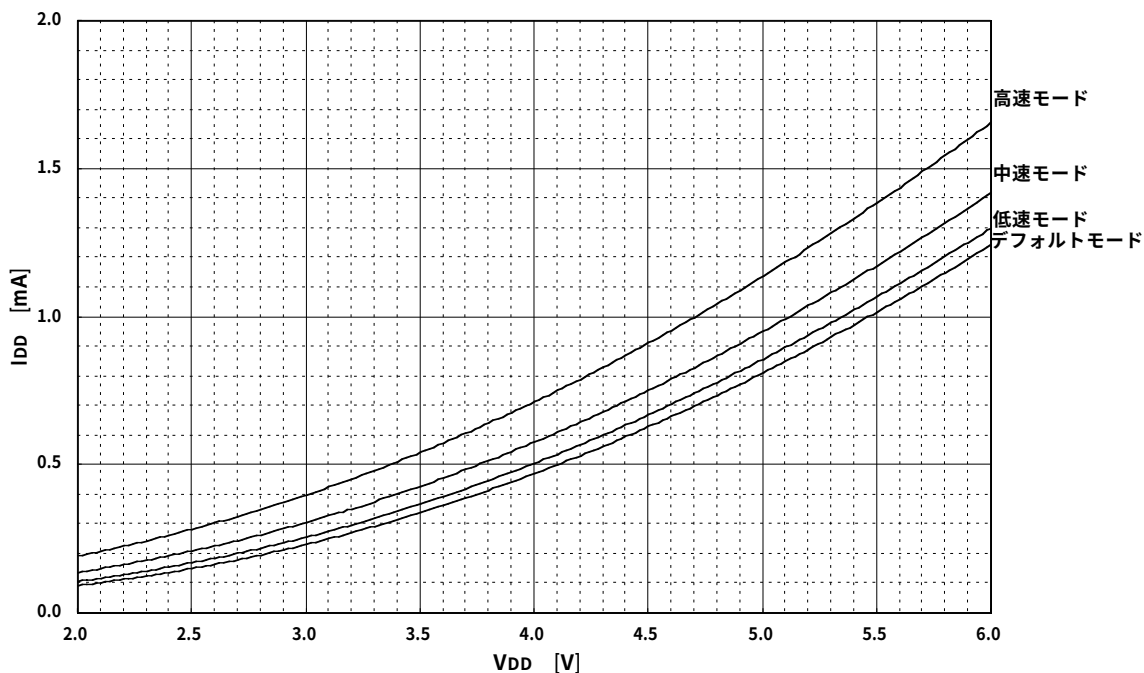
また同一のROMタイプにおいても、サンプルによって、プロセスパラメータの変動により、電気的特性の範囲内で特性が異なる場合がありますので、ご注意ください。

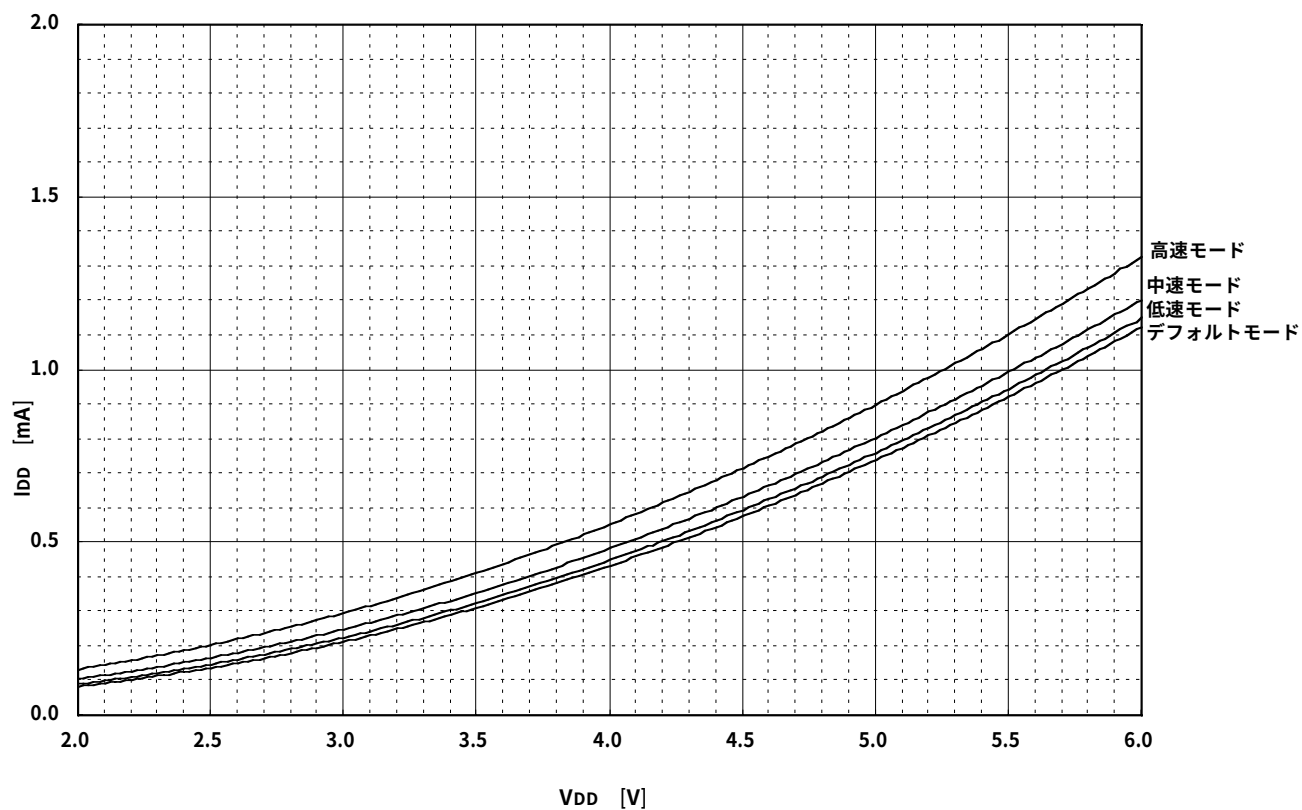
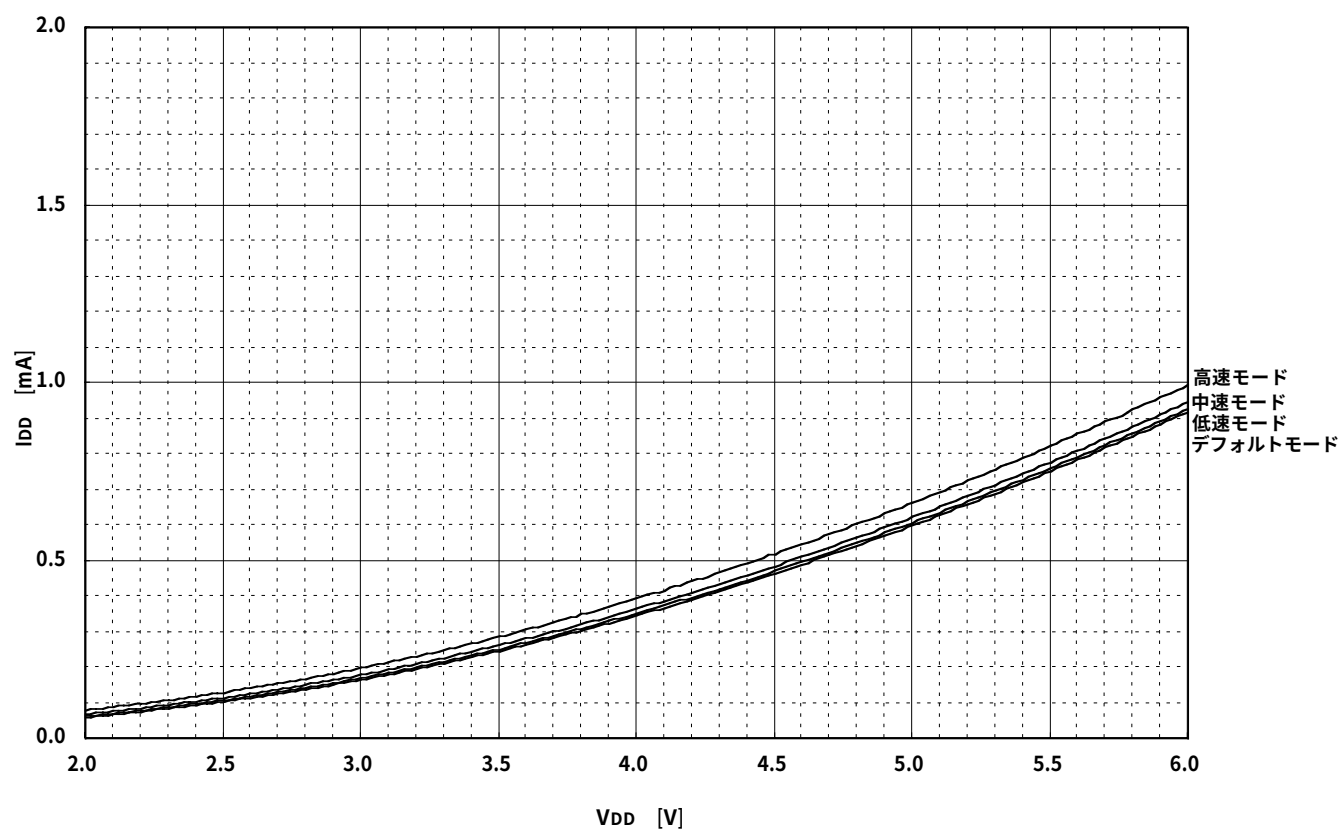
3.2.1 V_{DD}-I_{DD}特性

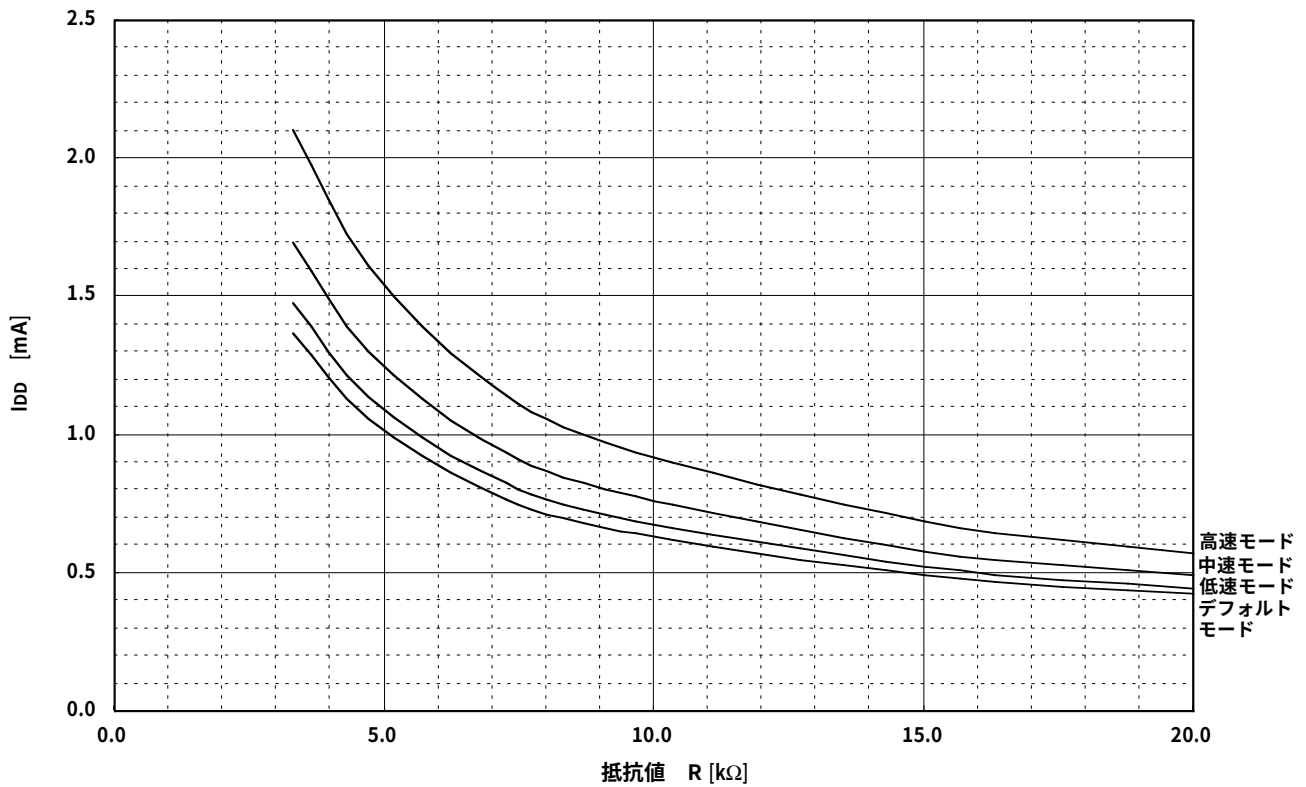
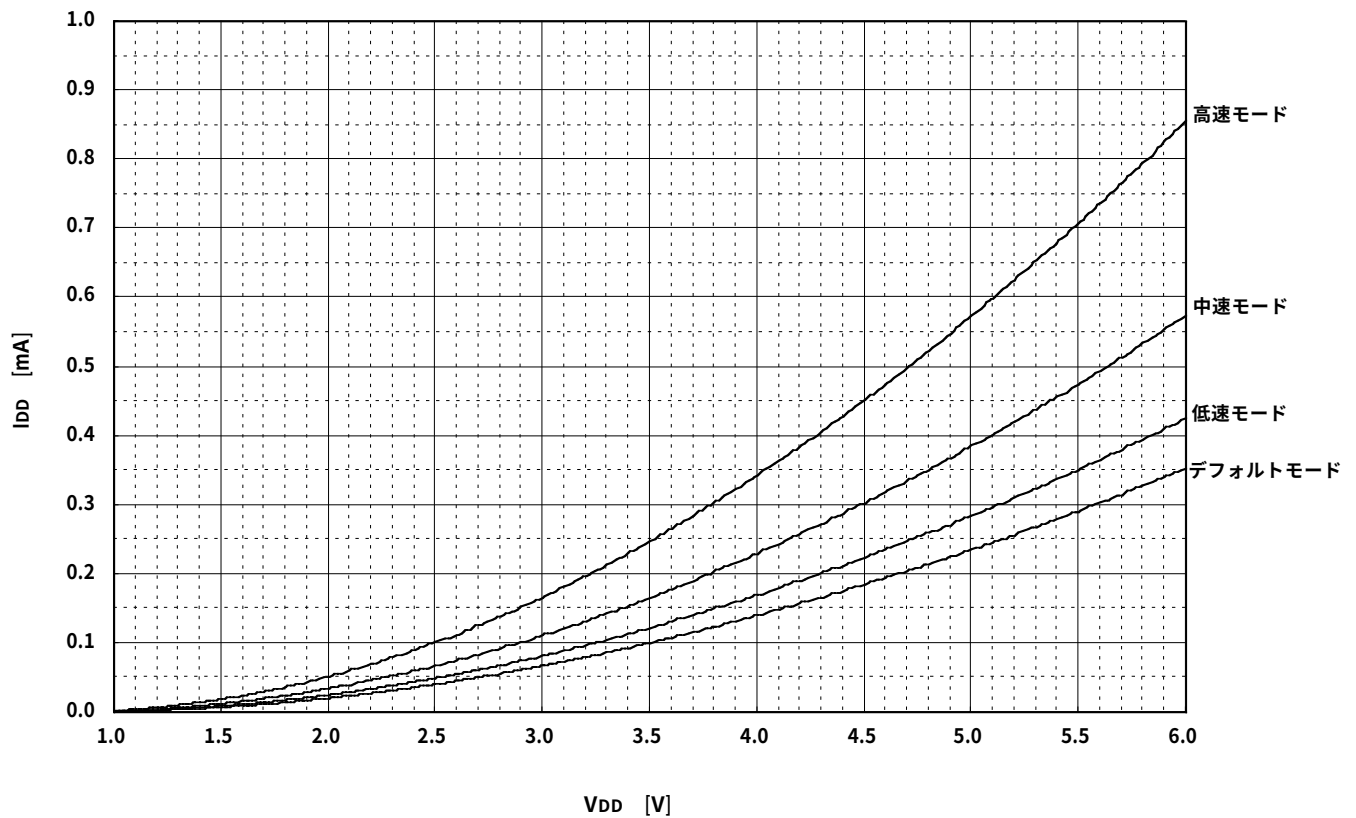
(1) V_{DD}-I_{DD}特性 (Ta=25°C、f(X_{IN})=4MHz、セラミック発振)

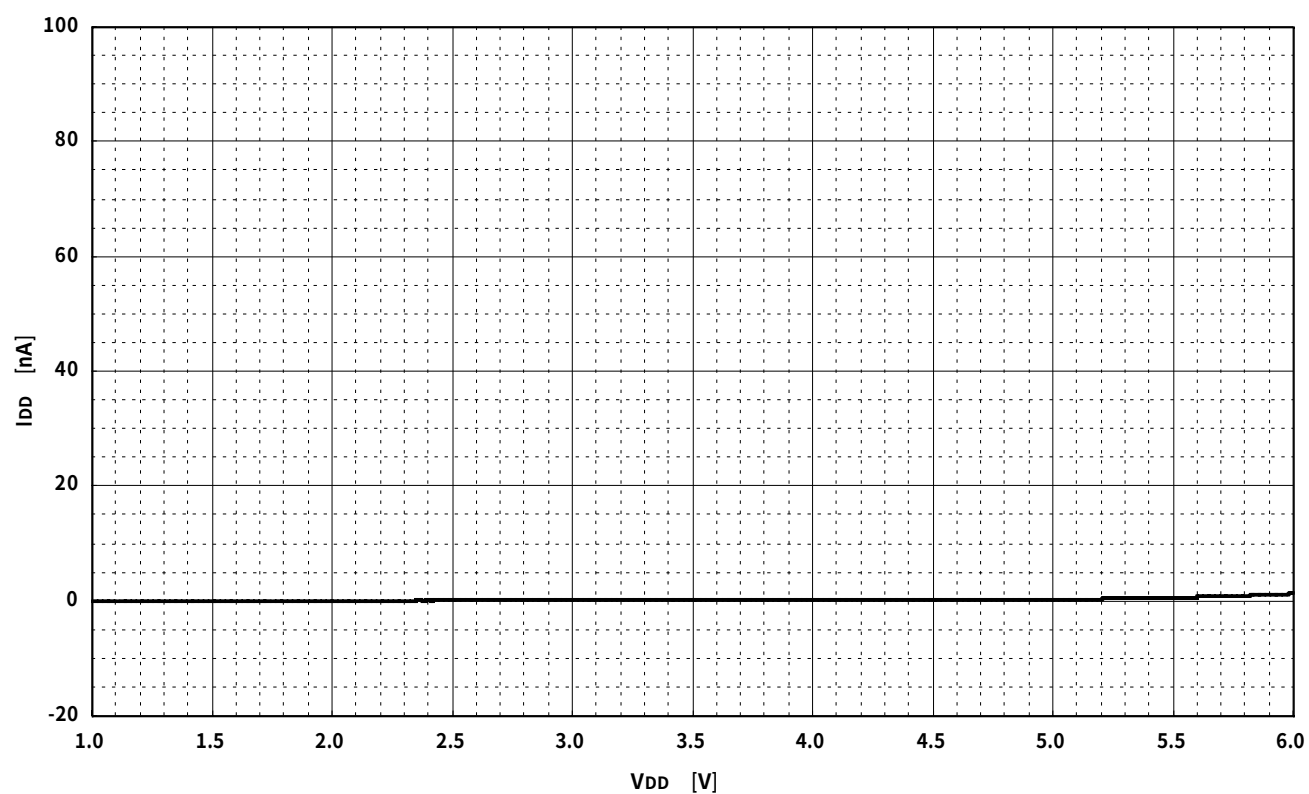


(2) V_{DD}-I_{DD}特性 (Ta=25°C、f(X_{IN})=2MHz、セラミック発振)

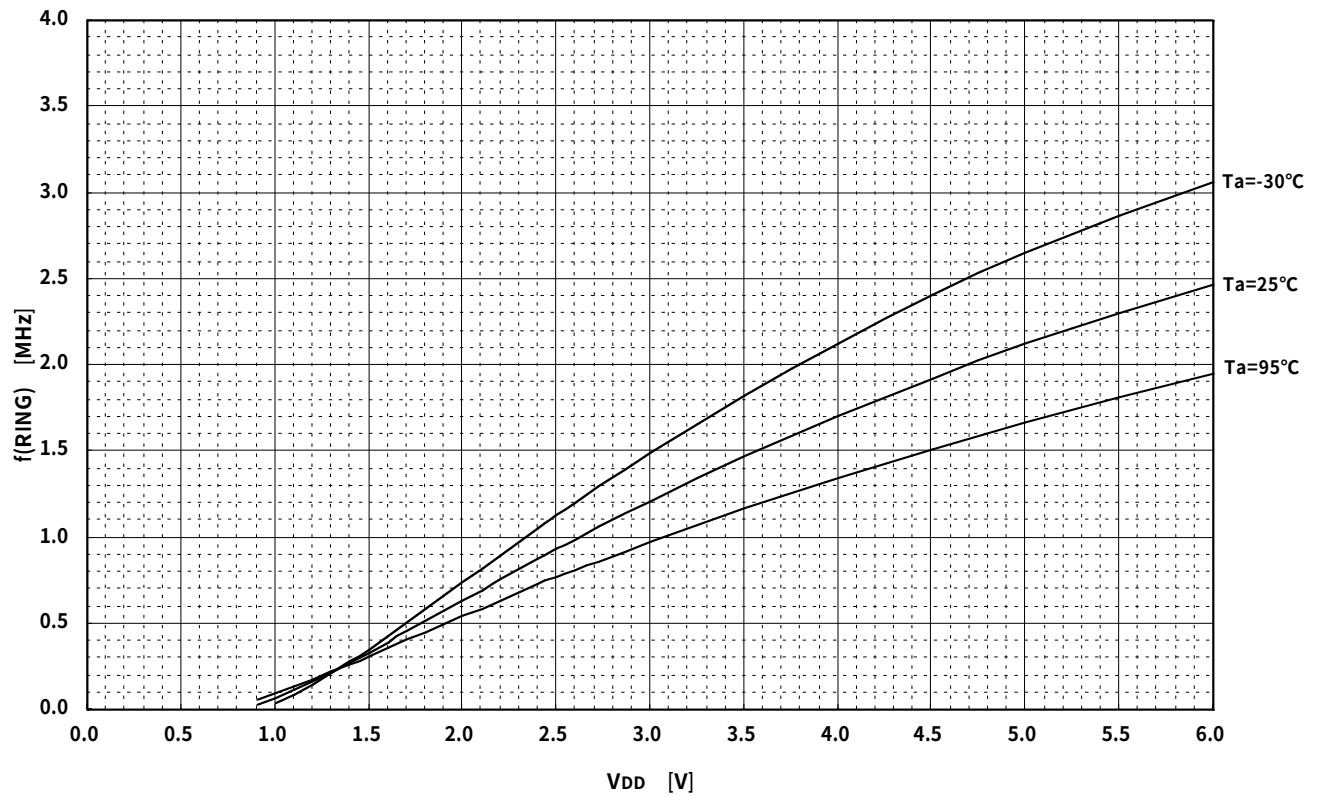
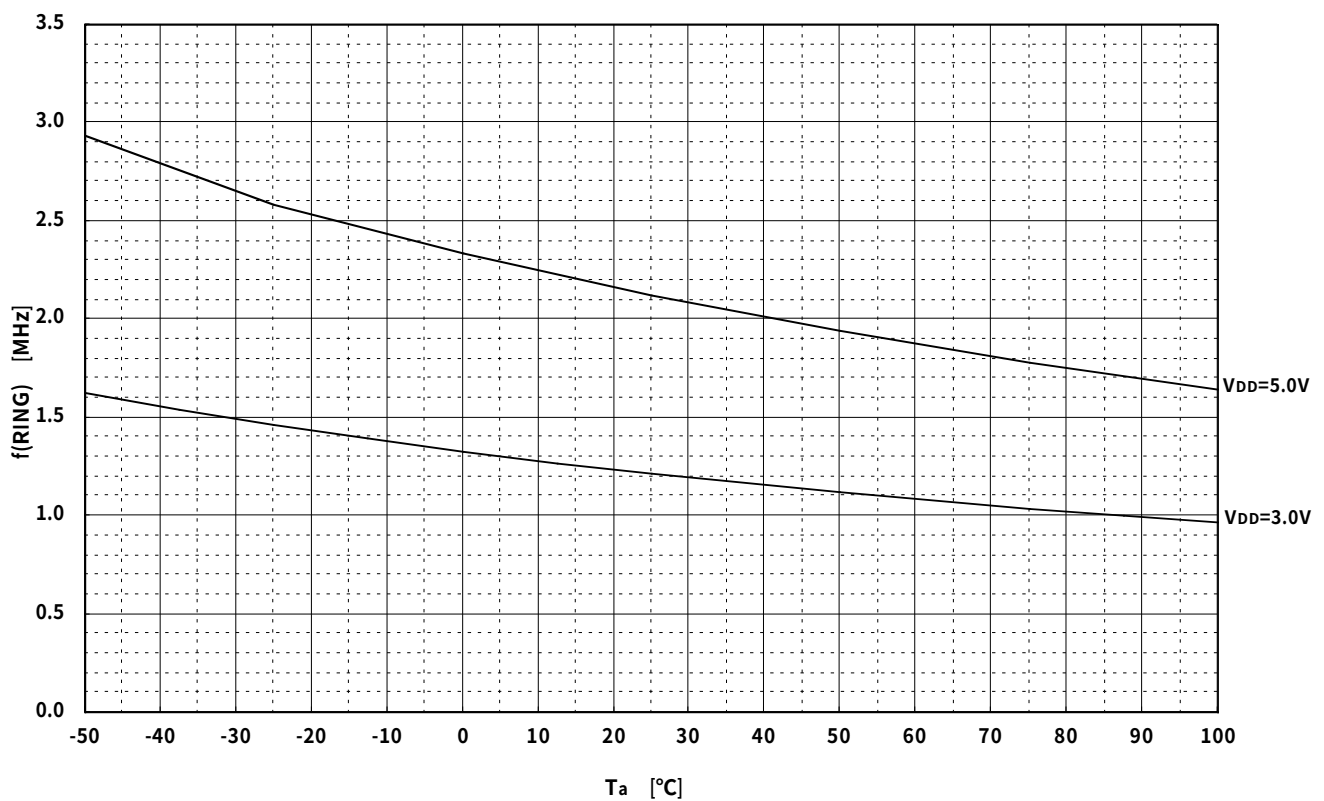


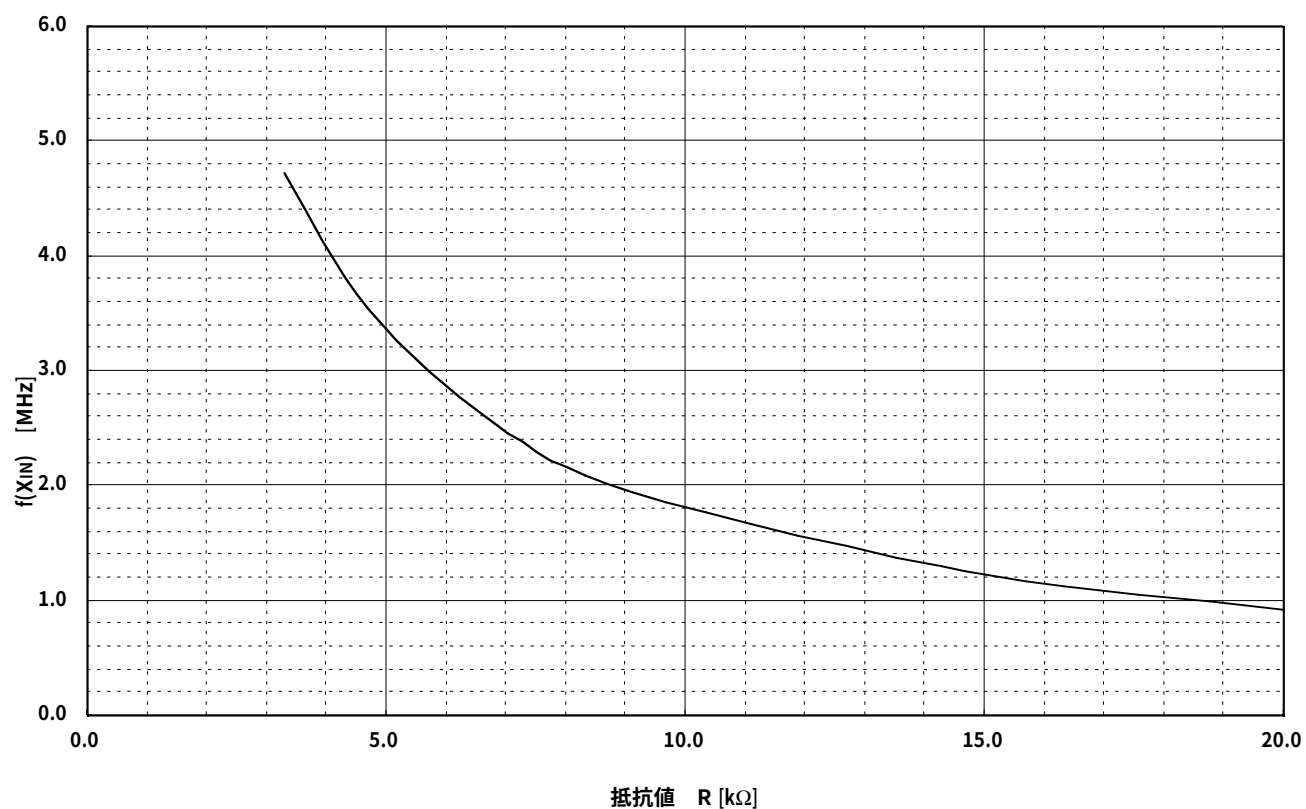
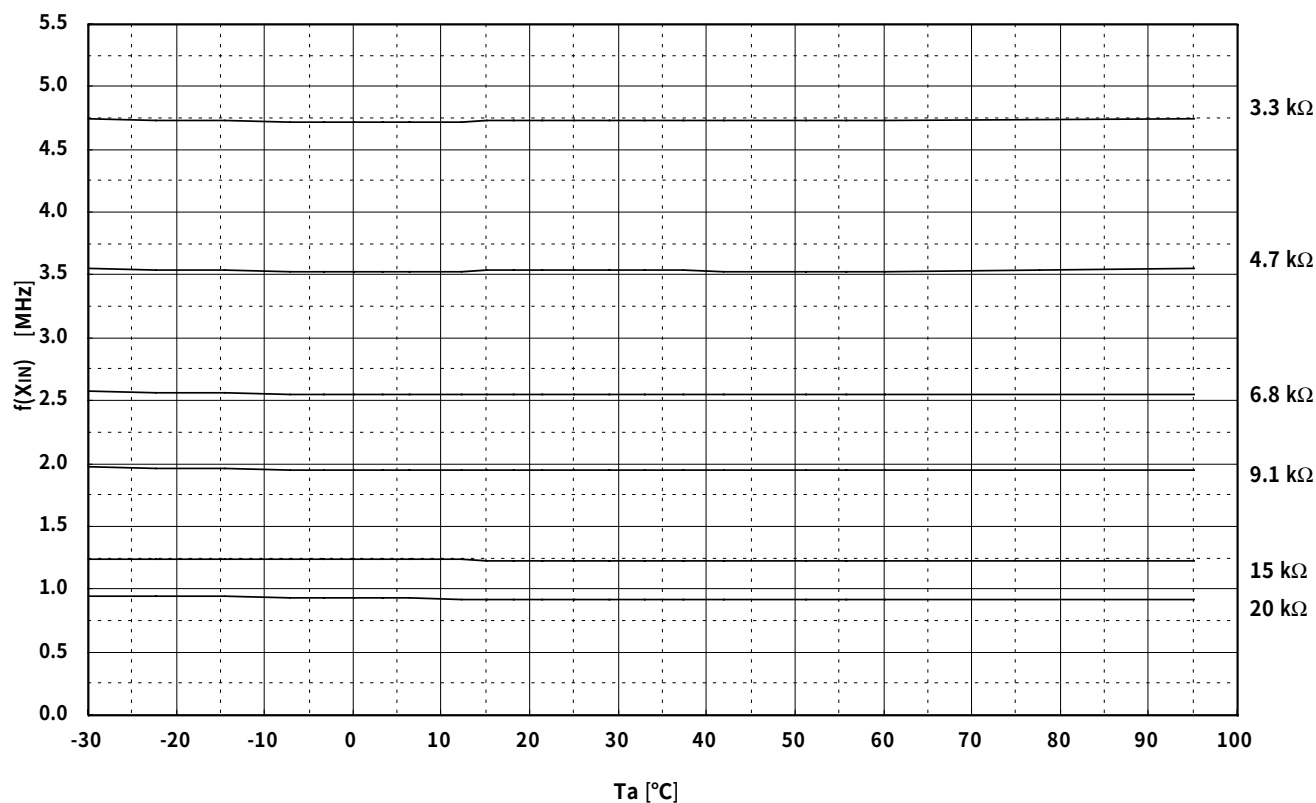
(3) V_{DD} - I_{DD} 特性 ($T_a=25^\circ\text{C}$ 、 $f(X_{IN})=1\text{MHz}$ 、セラミック発振)(4) V_{DD} - I_{DD} 特性 ($T_a=25^\circ\text{C}$ 、 $f(X_{IN})=400\text{kHz}$ 、セラミック発振)

(5) 電源電流(I_{DD})特性 ($T_a=25^\circ\text{C}$ 、RC発振、 $V_{DD}=5\text{V}$ 、 $C=33\text{pF}$)(6) V_{DD} - I_{DD} 特性 (オンチップオシレータ、 $T_a=25^\circ\text{C}$)

(7) V_{DD} - I_{DD} 特性(RAMバックアップ時、 $T_a=25^\circ\text{C}$)

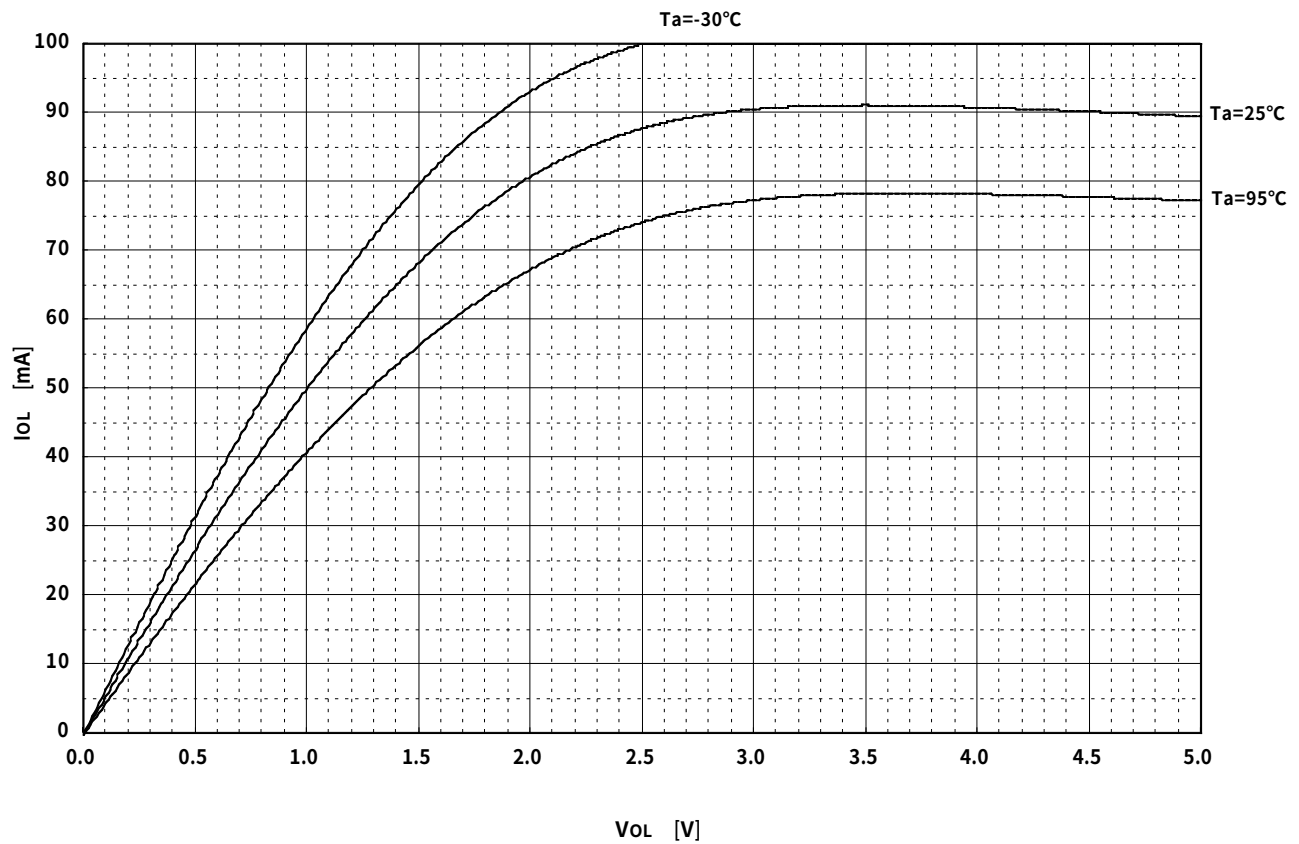
3.2.2 周波数特性

(1) オンチップオシレータ周波数 V_{DD} - $f(RING)$ 特性(2) オンチップオシレータ周波数 T_a - $f(RING)$ 特性

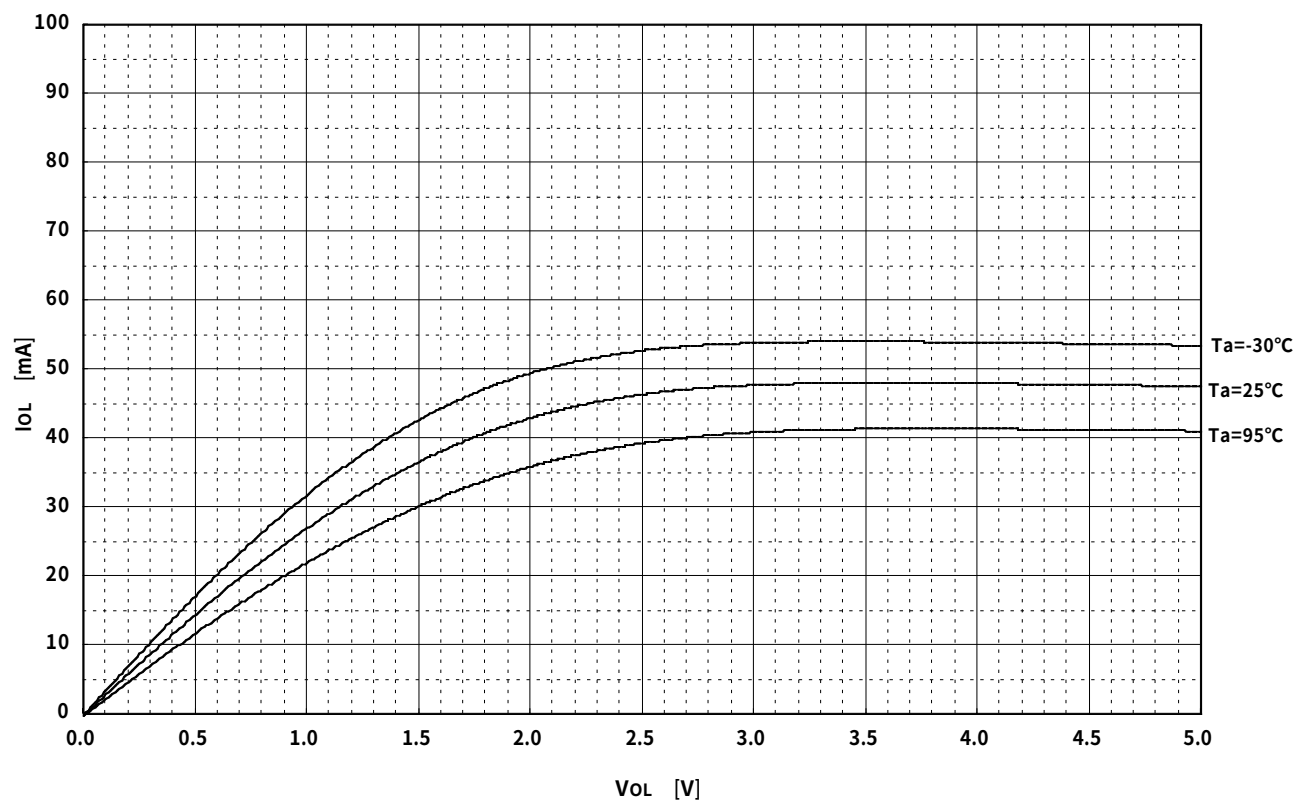
(3) RC発振周波数(R- $f(X_{IN})$)特性($V_{DD}=5.0V$ 、 $T_a=25^{\circ}C$ 、 $C=33pF$)(4) RC発振周波数(T_a - $f(X_{IN})$)特性($V_{DD}=5.0V$ 、 $C=33pF$)

3.2.3 VOL-IOL特性($V_{DD}=5V$)

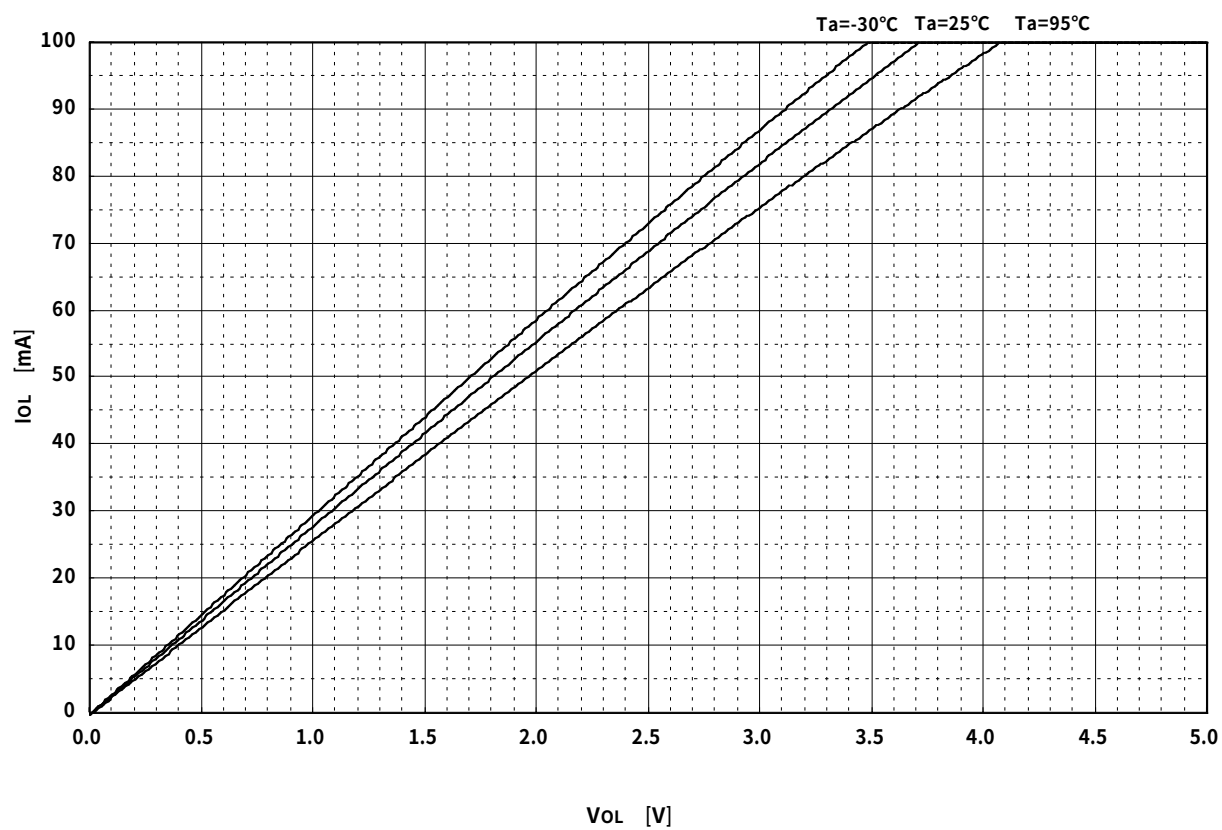
(1) ポートP0、P1



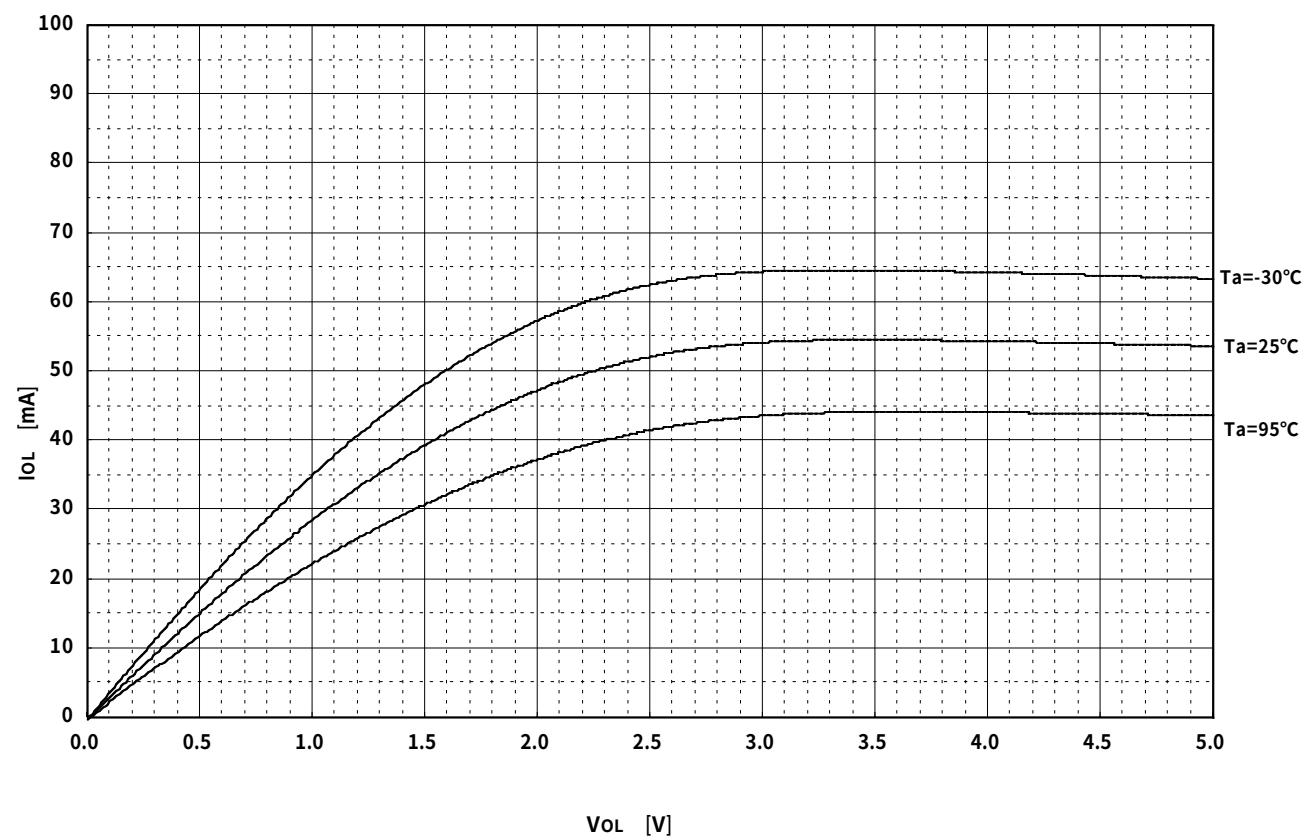
(2) ポートP2、RESET端子



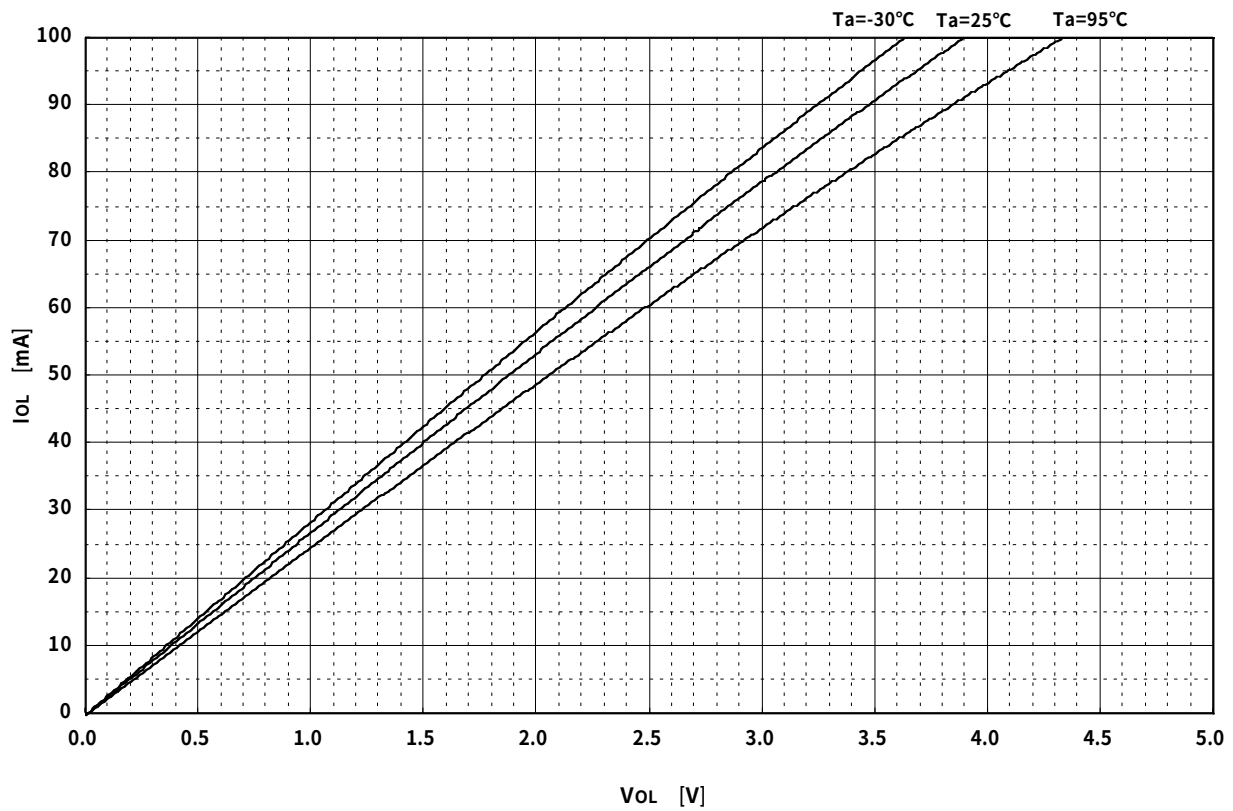
(3) ポートD0、D1端子



(4) ポートD2/C、D3/K端子

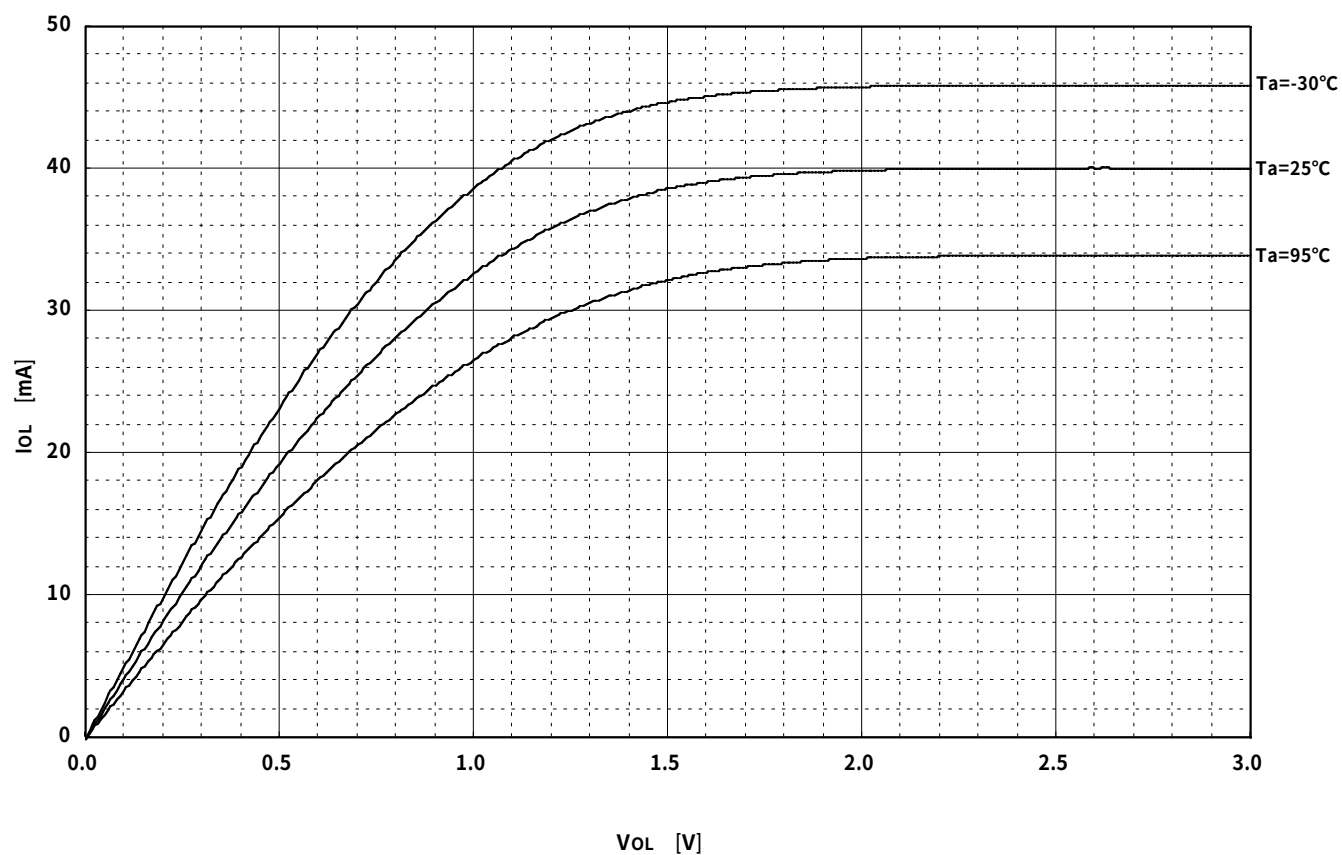


(5) ポートD4、D5端子

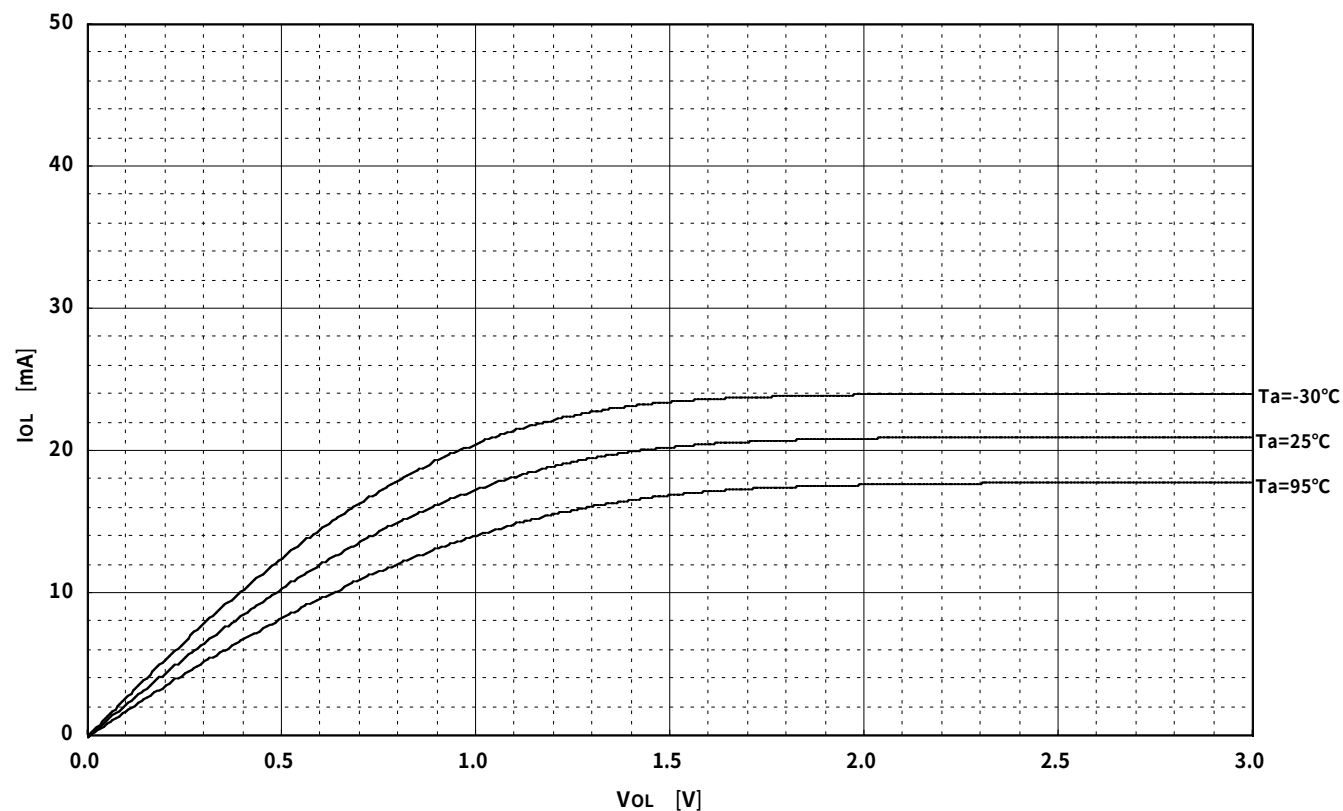


3.2.4 VOL-IOL特性($V_{DD}=3V$)

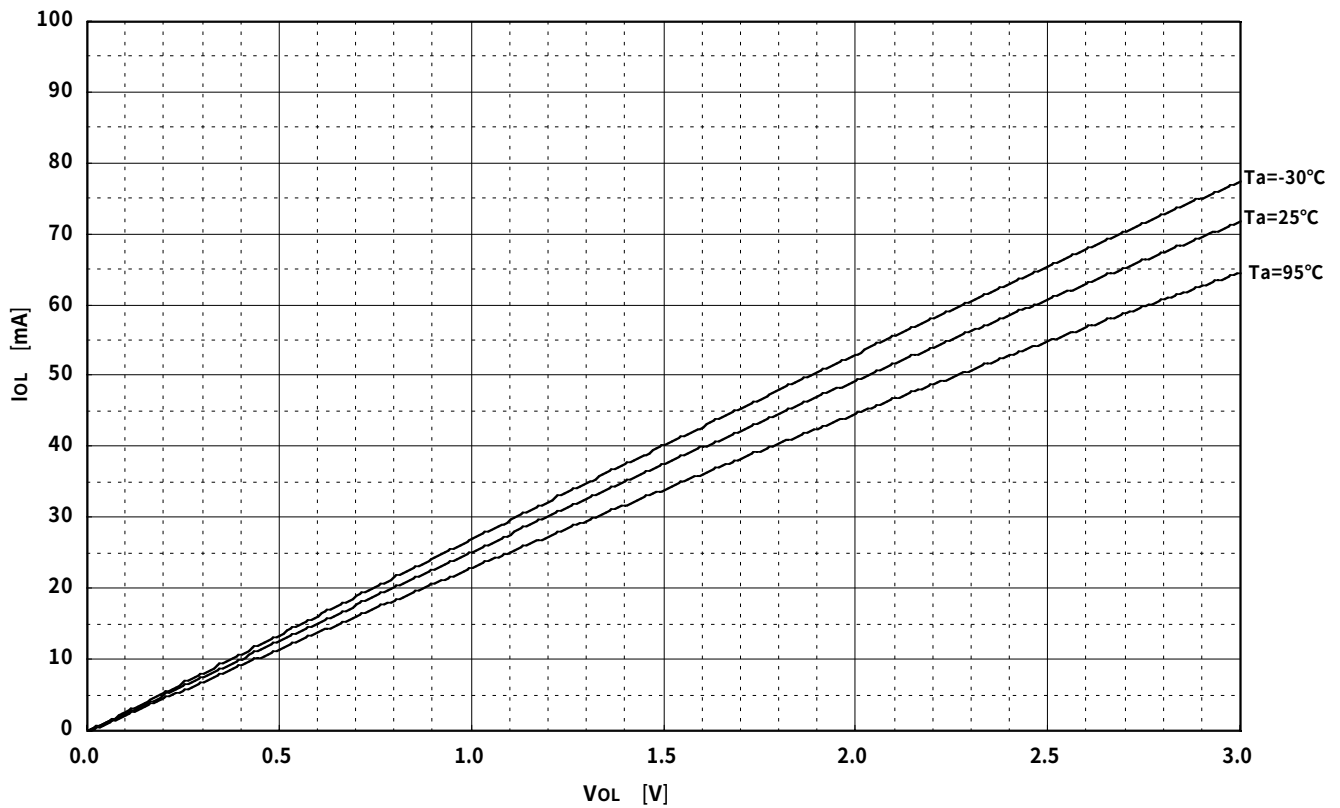
(1) ポートP0、P1



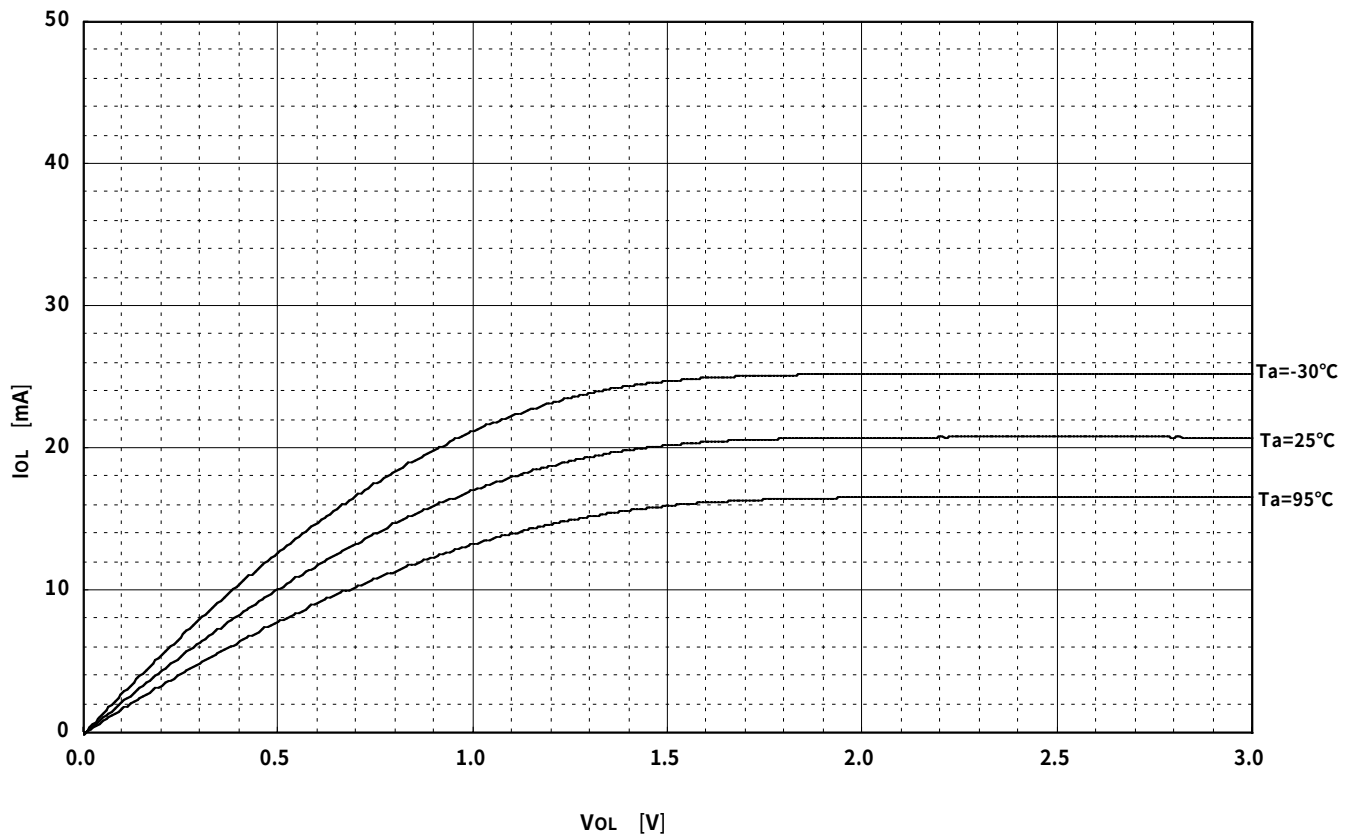
(2) ポートP2、RESET端子



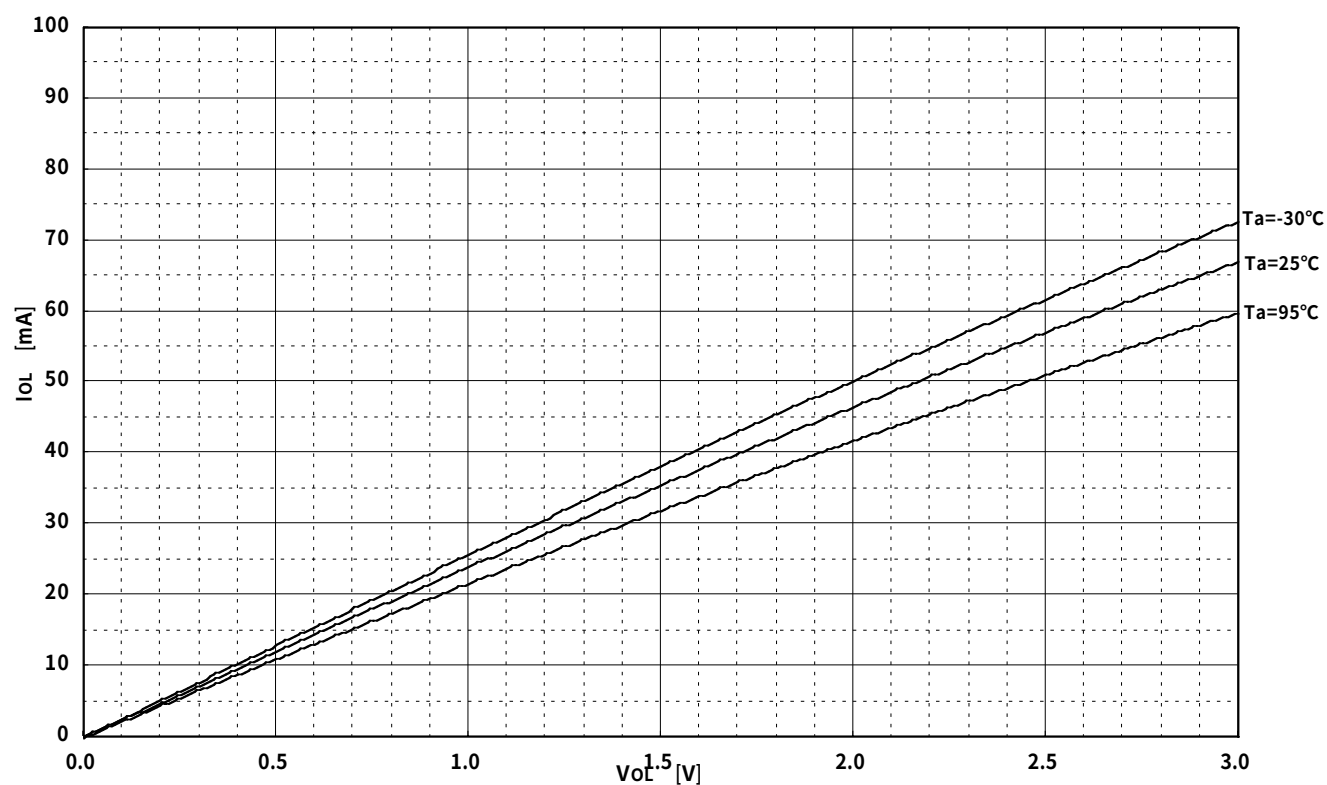
(3) ポートD0、D1端子



(4) ポートD2/C、D3/K端子

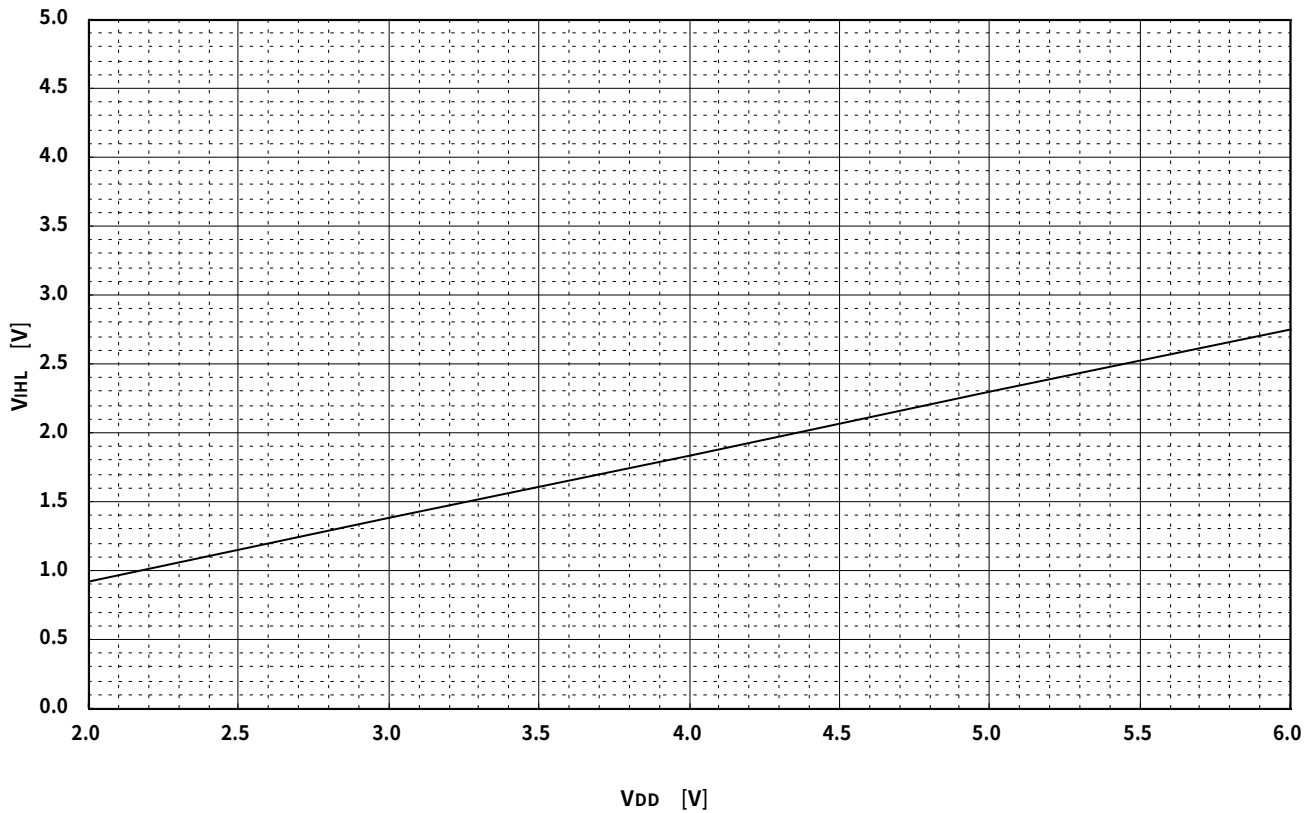


(5) ポートD4、D5端子

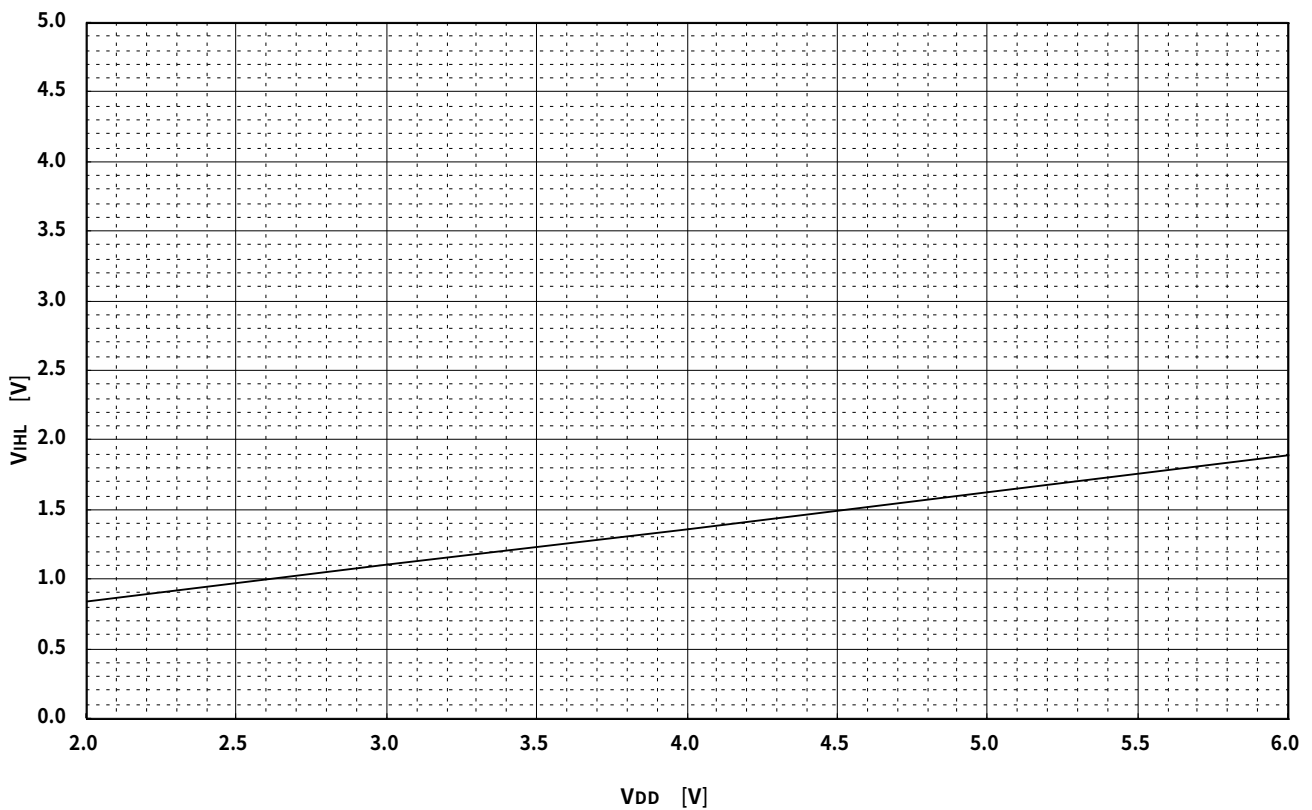


3.2.5 入力しきい値(V_{IH} - V_{IL})特性 ($T_a=25^{\circ}\text{C}$)

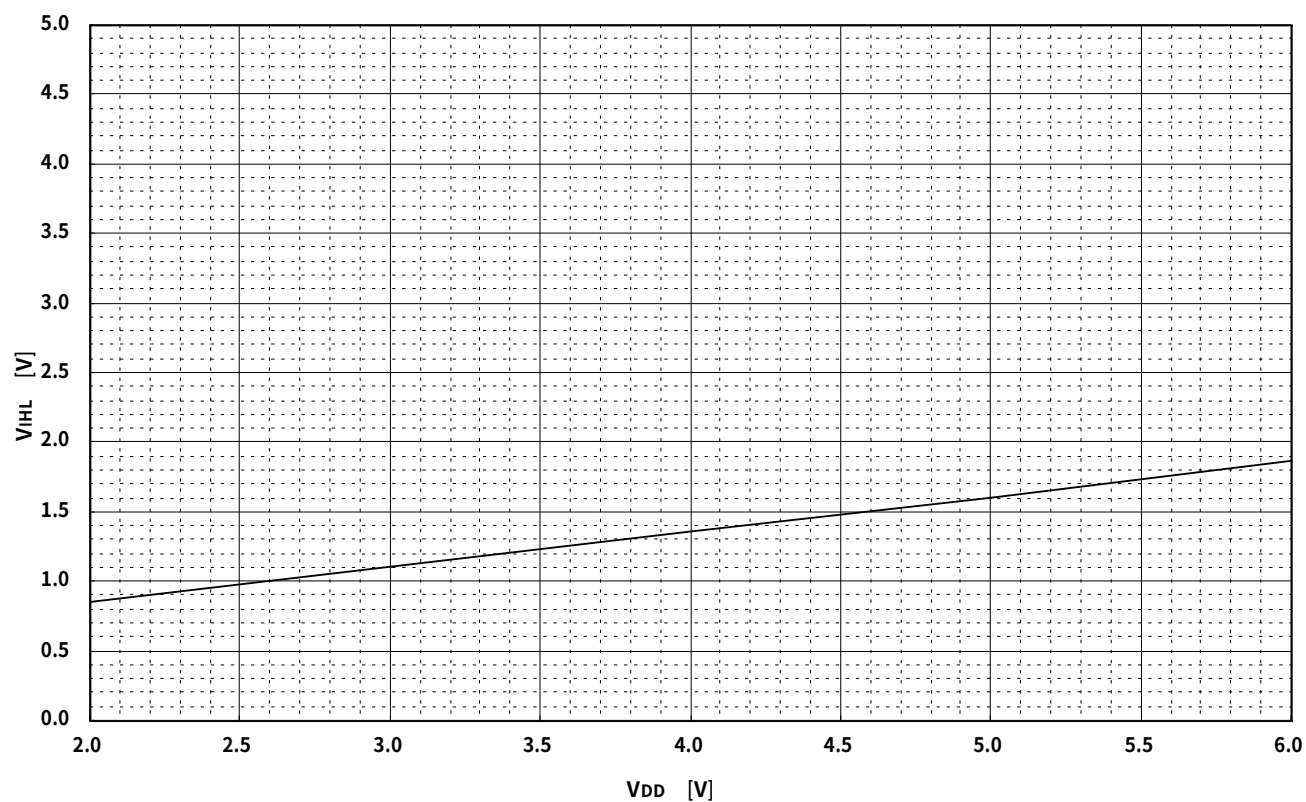
(1) ポートP0~P3、D2、D3端子



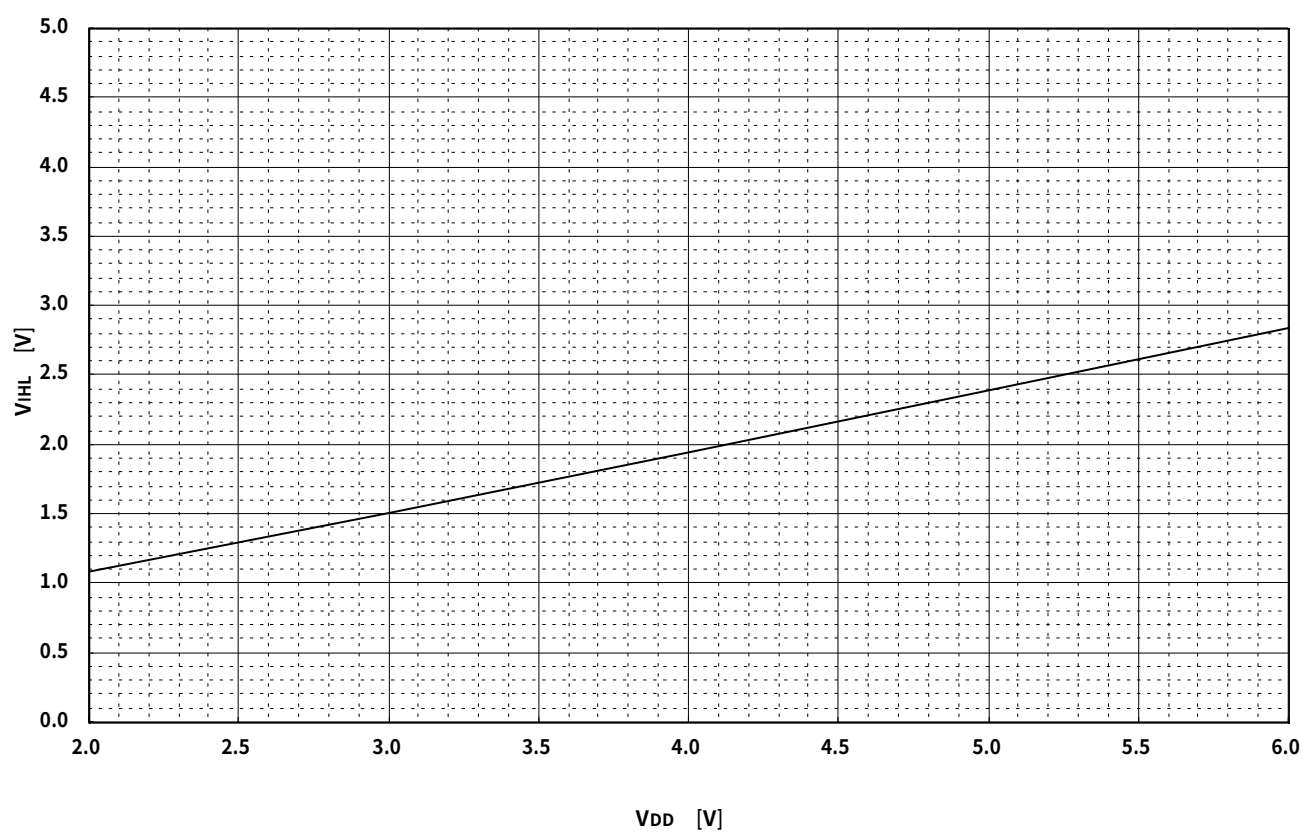
(2) ポートD0、D1端子



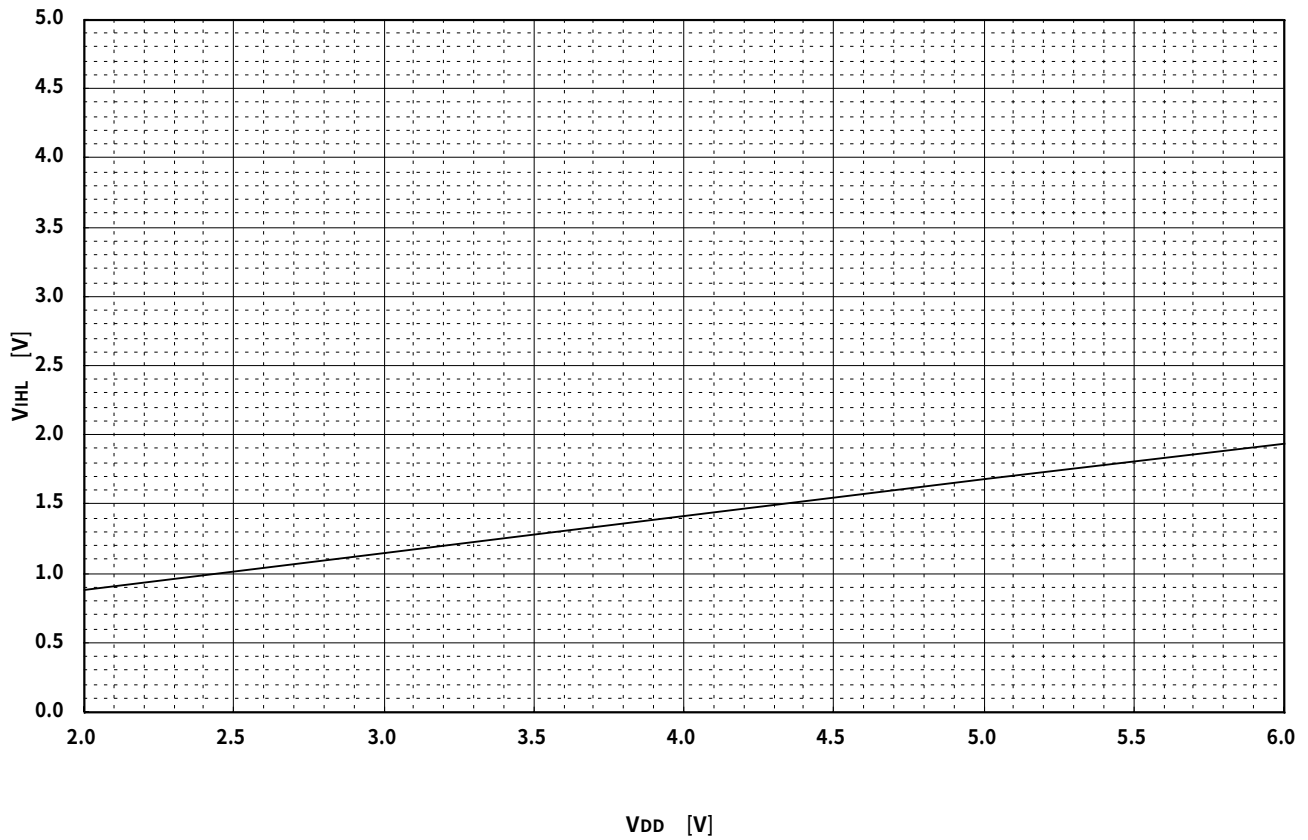
(3) ポートD4、D5端子



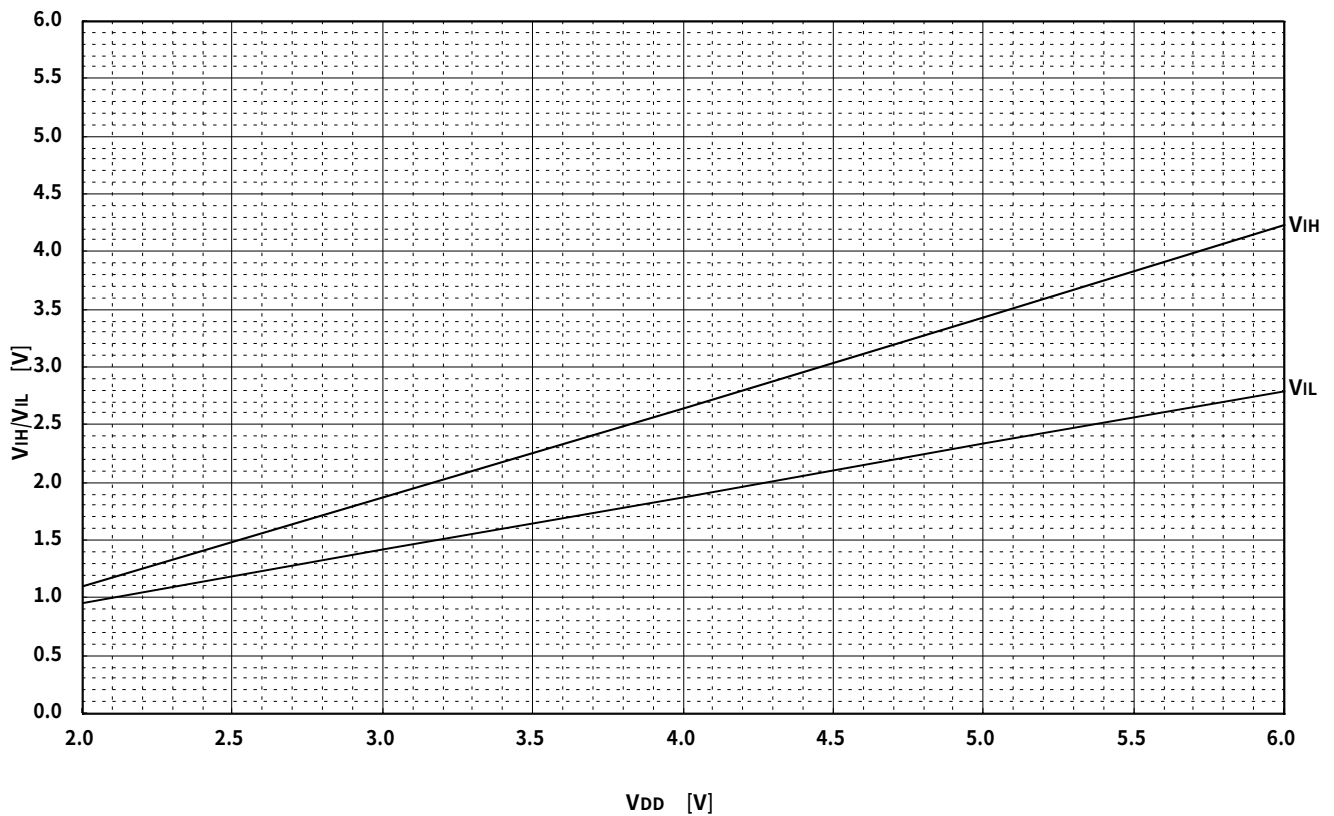
(4) XIN端子



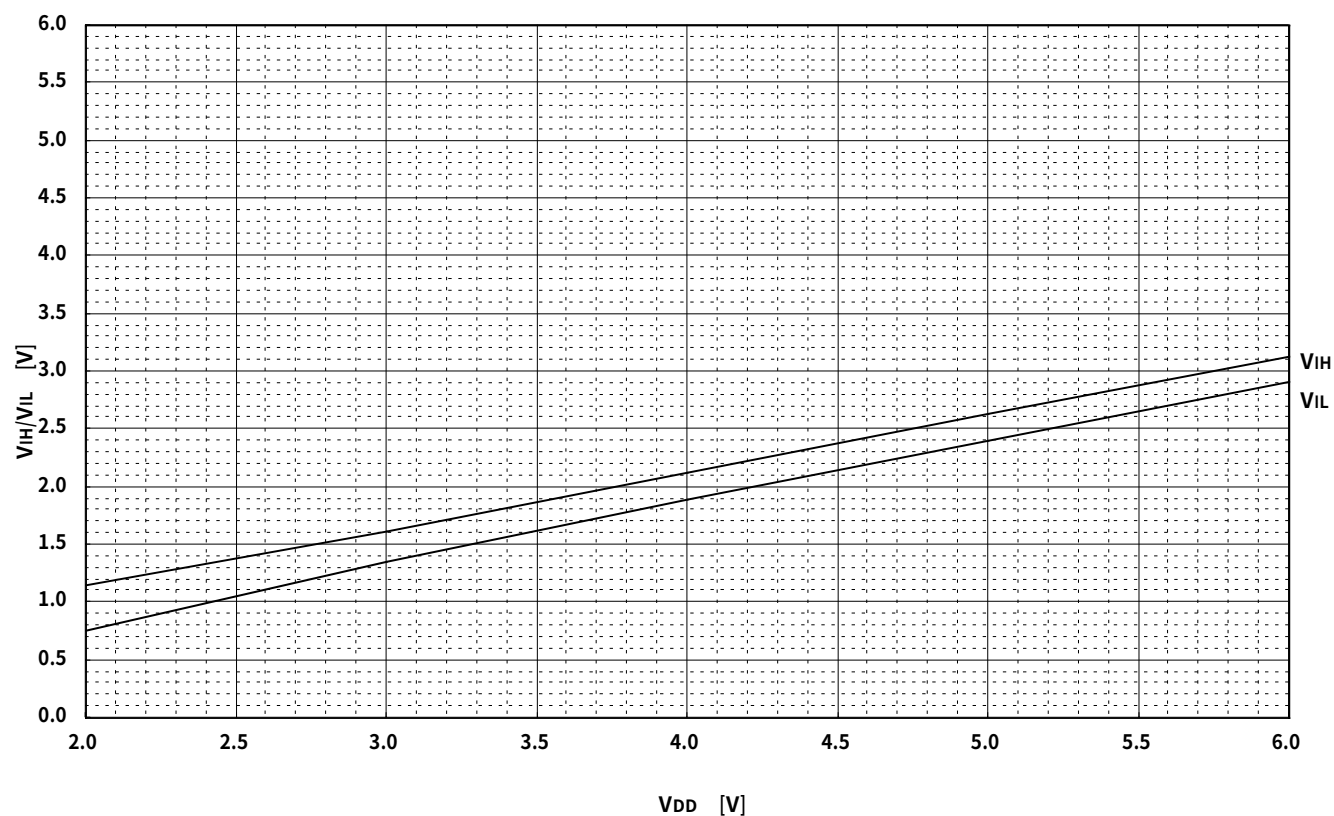
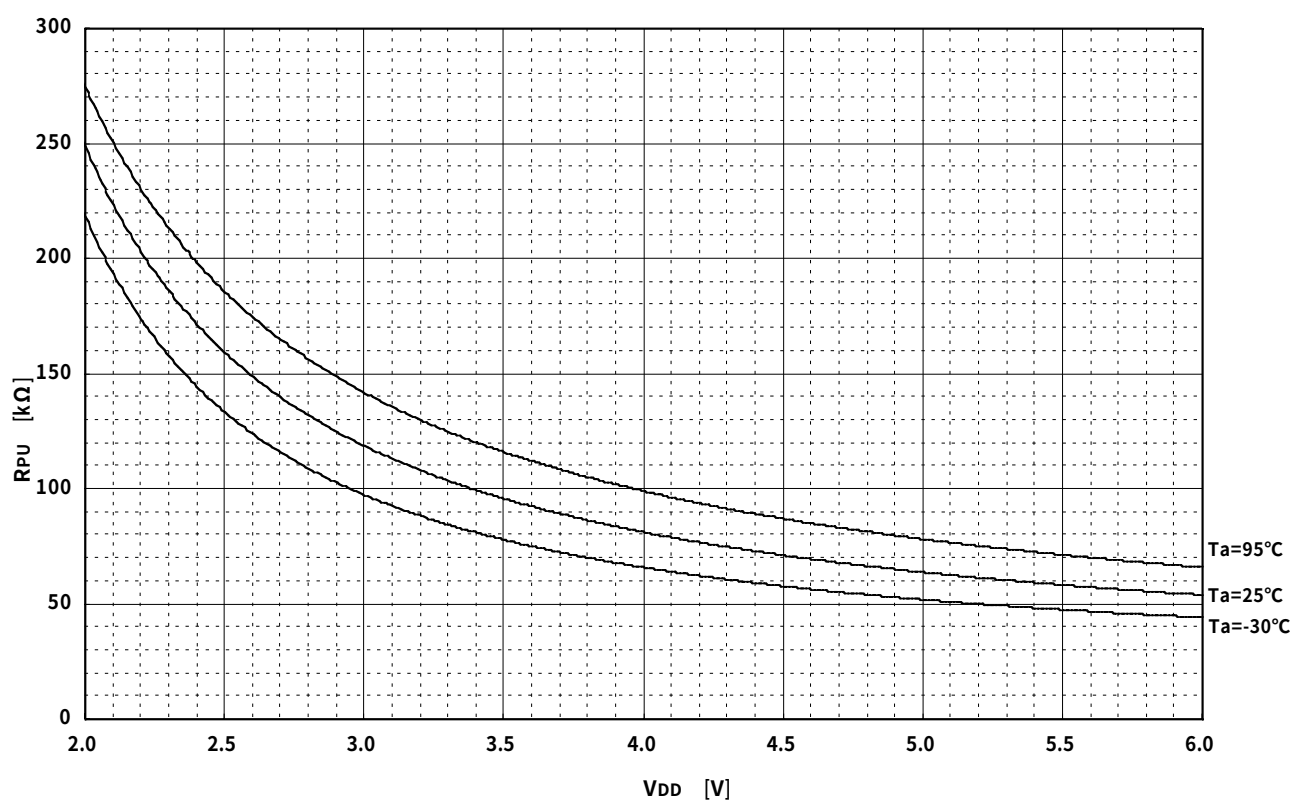
(5) ポートC、K



(6) RESET端子

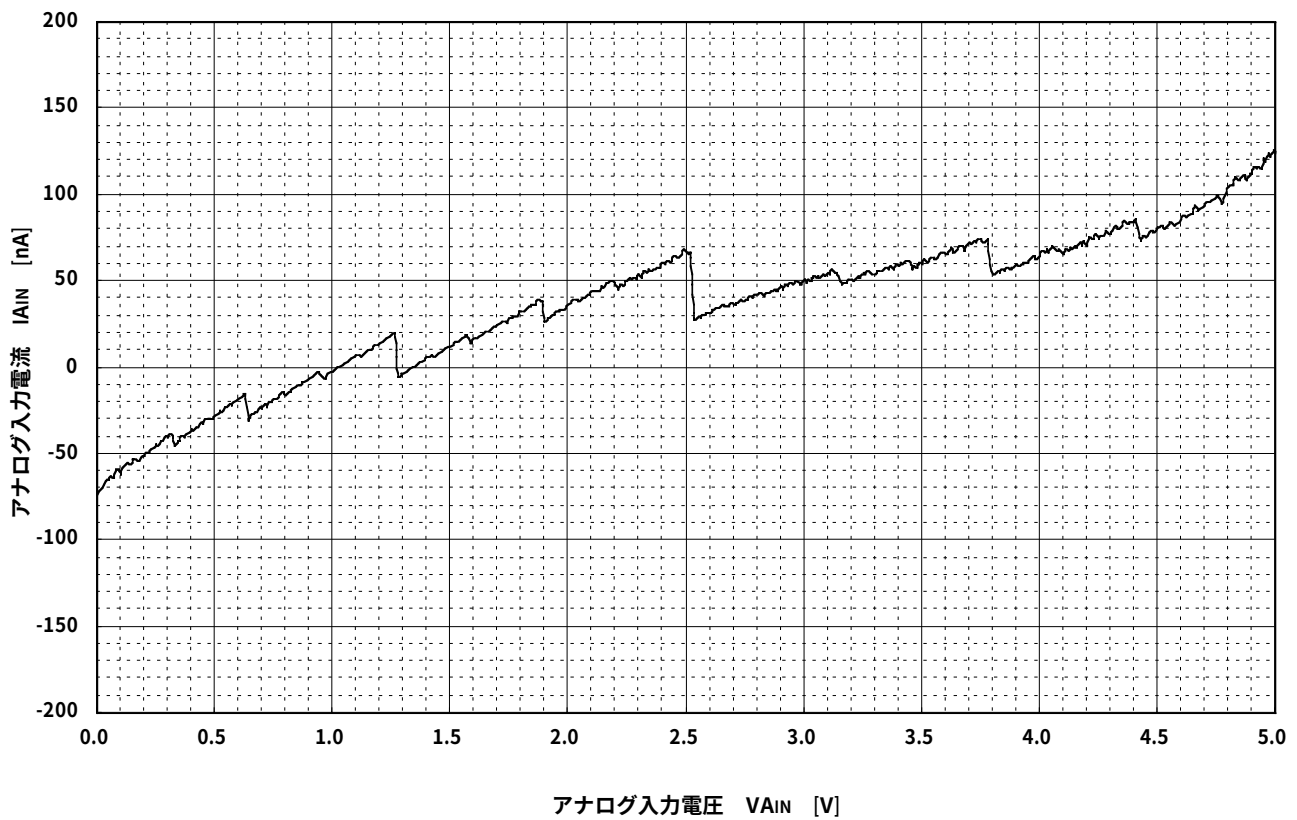


(7) INT、CNTR端子

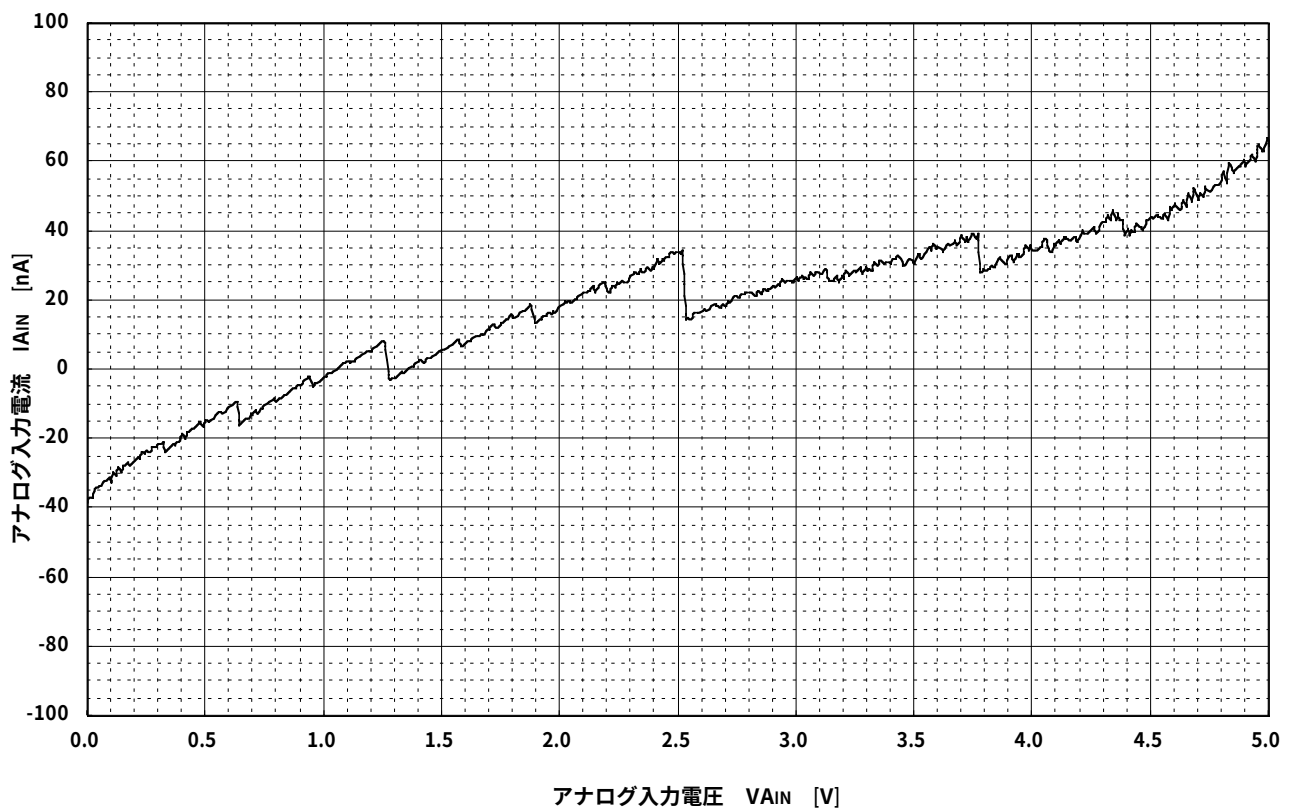
3.2.6 プルアップ抵抗(V_{DD} -RPU)特性 ポートP0~P3、D2/C、D3/K、 $\overline{\text{RESET}}$ 

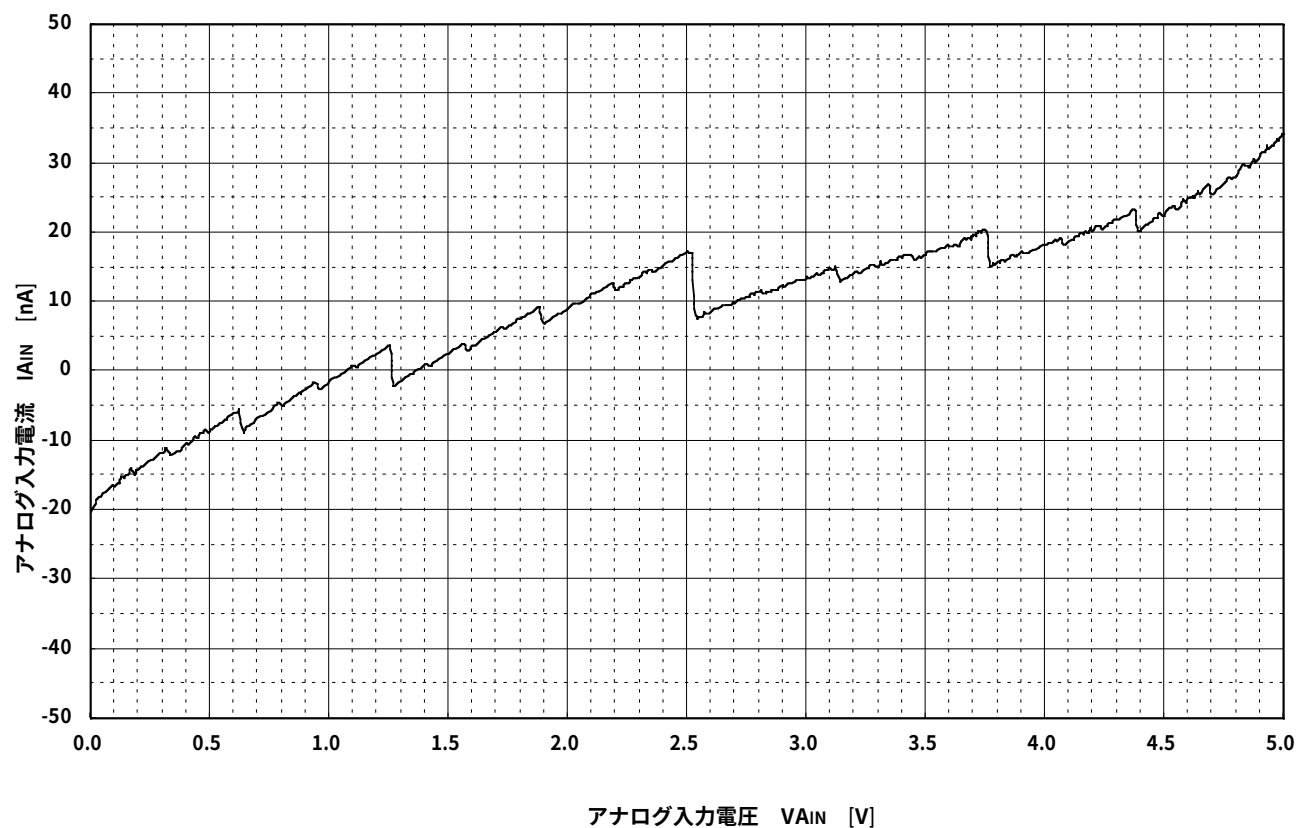
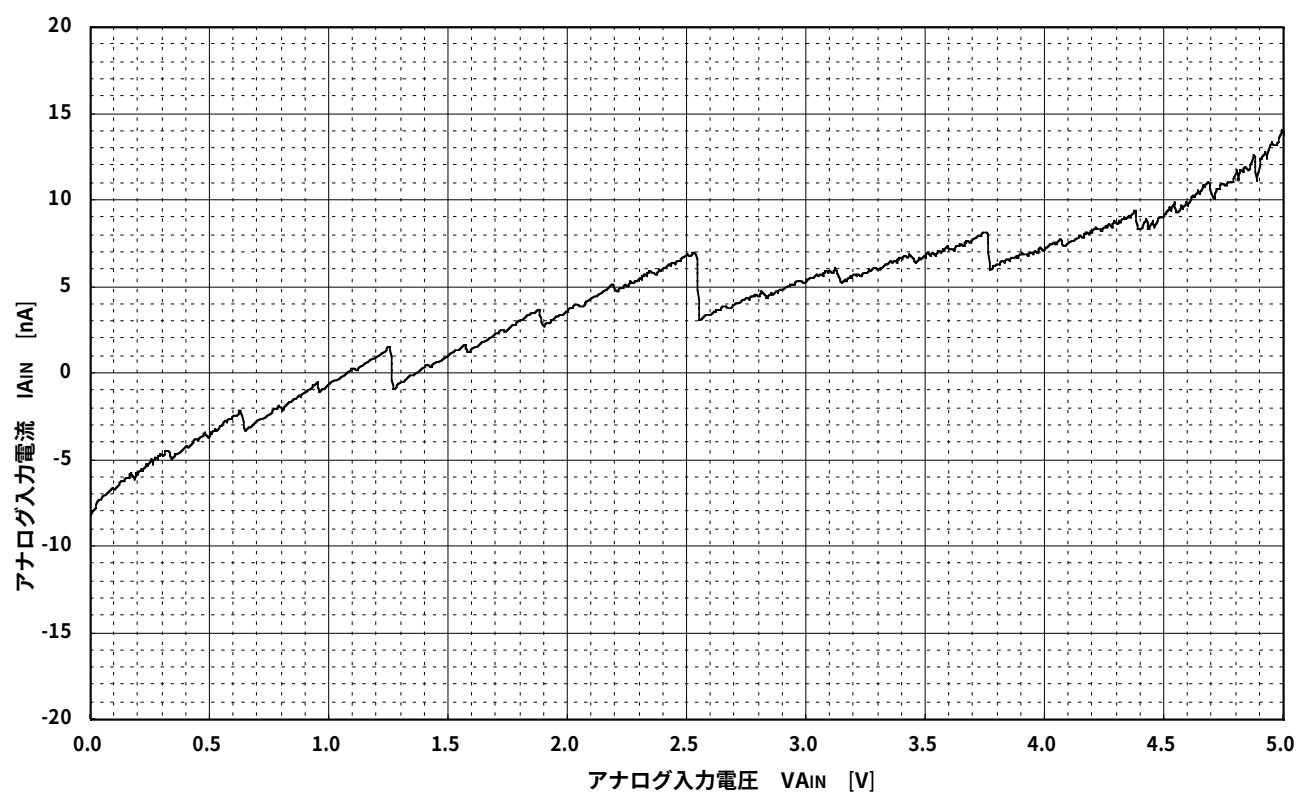
3.2.7 アナログ入力電流特性 V_{AIN} - I_{AIN} 端子 ($V_{DD}=5V$ 、高速モード、 $T_a=25^\circ C$)

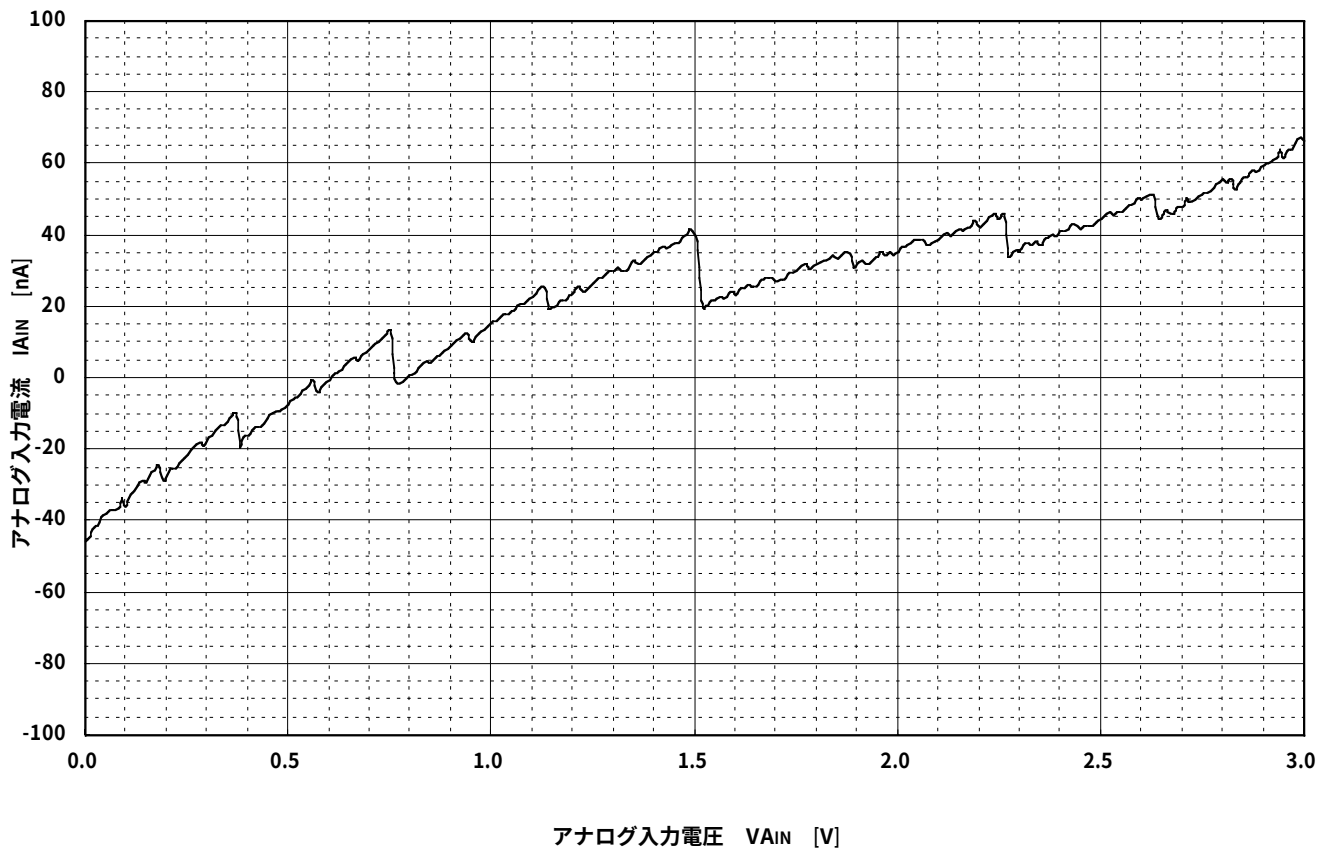
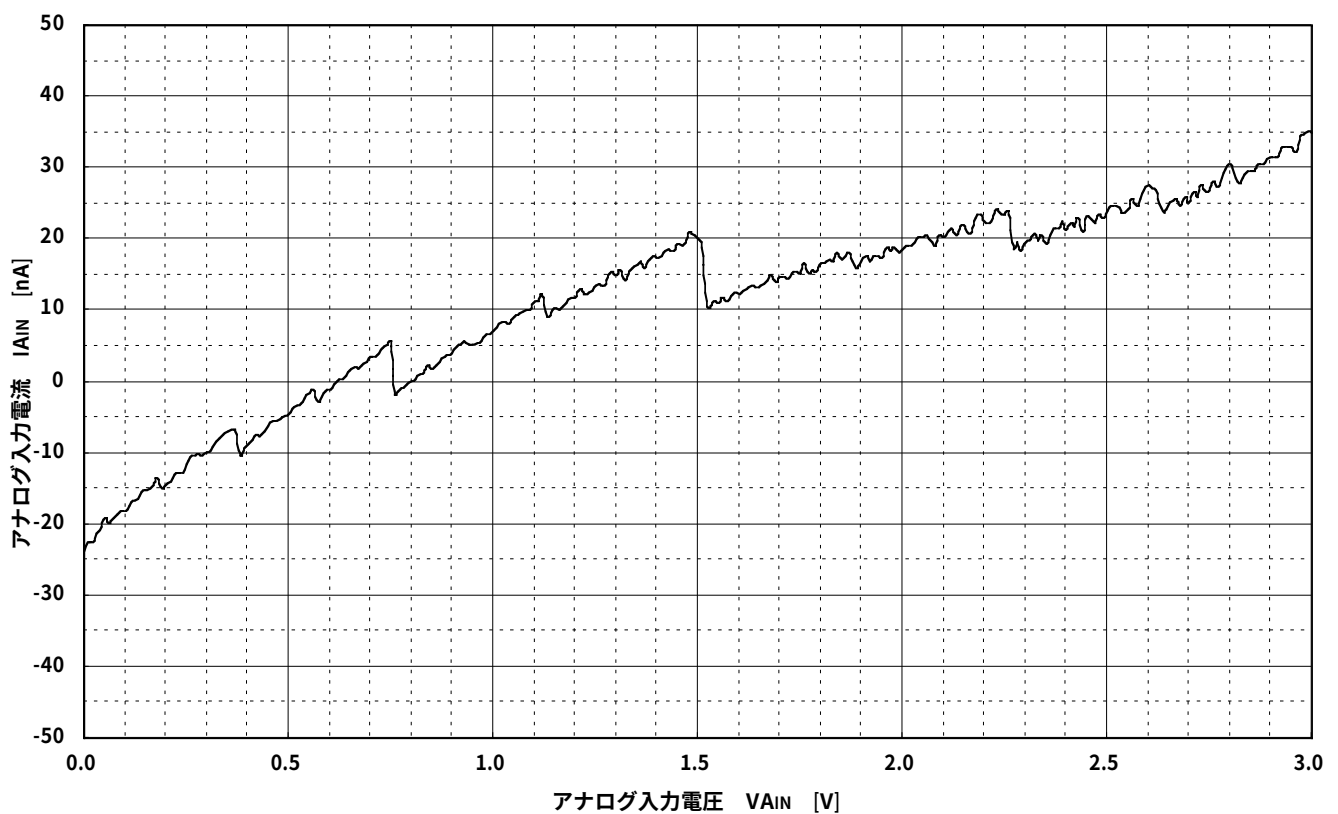
(1) $f(X_{IN})=4MHz$

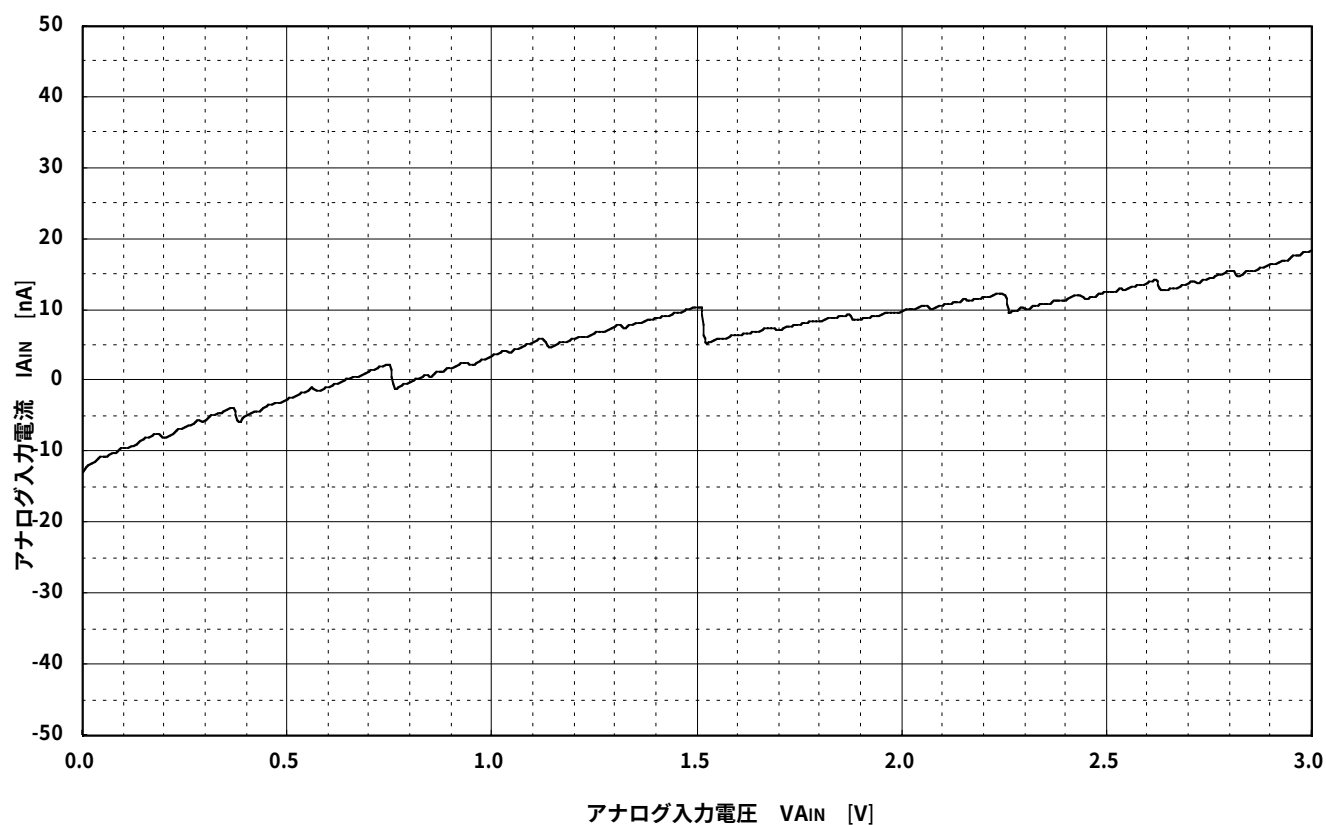
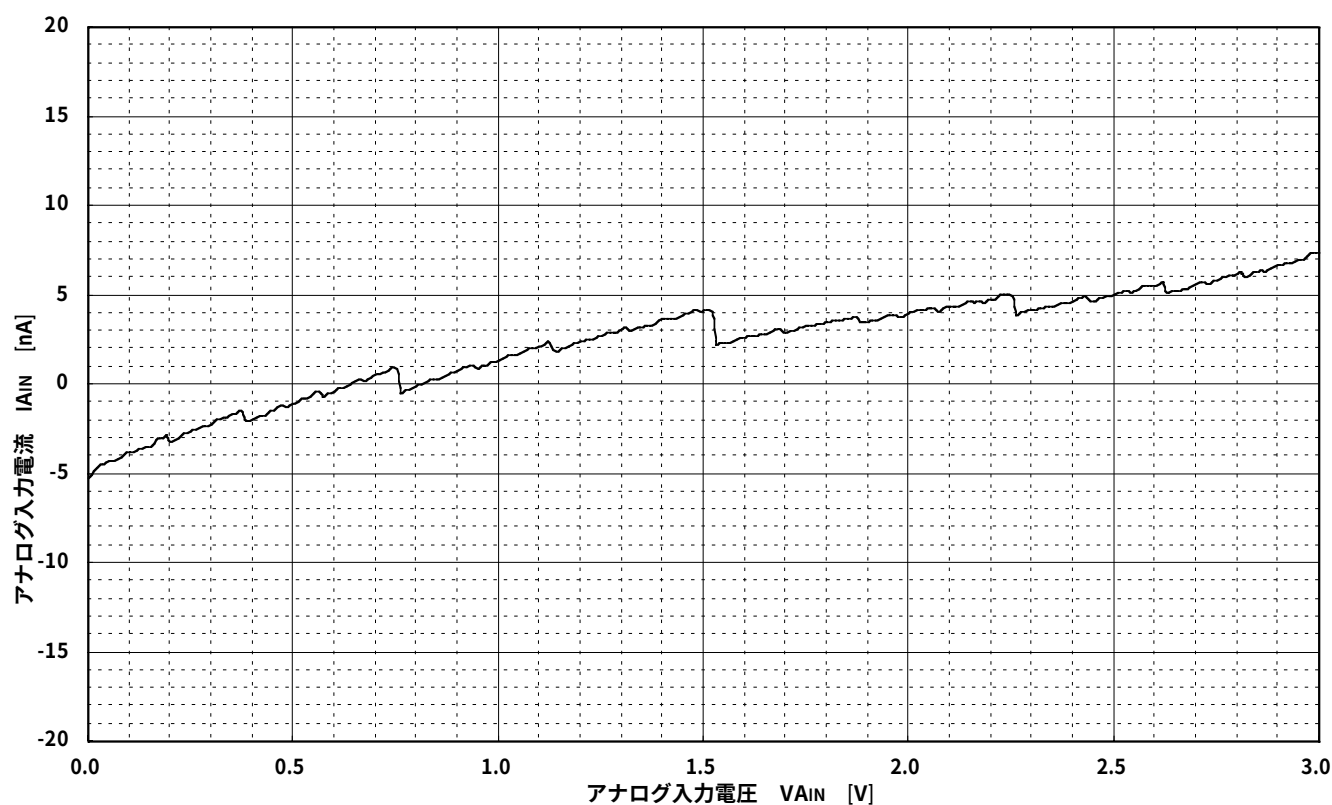


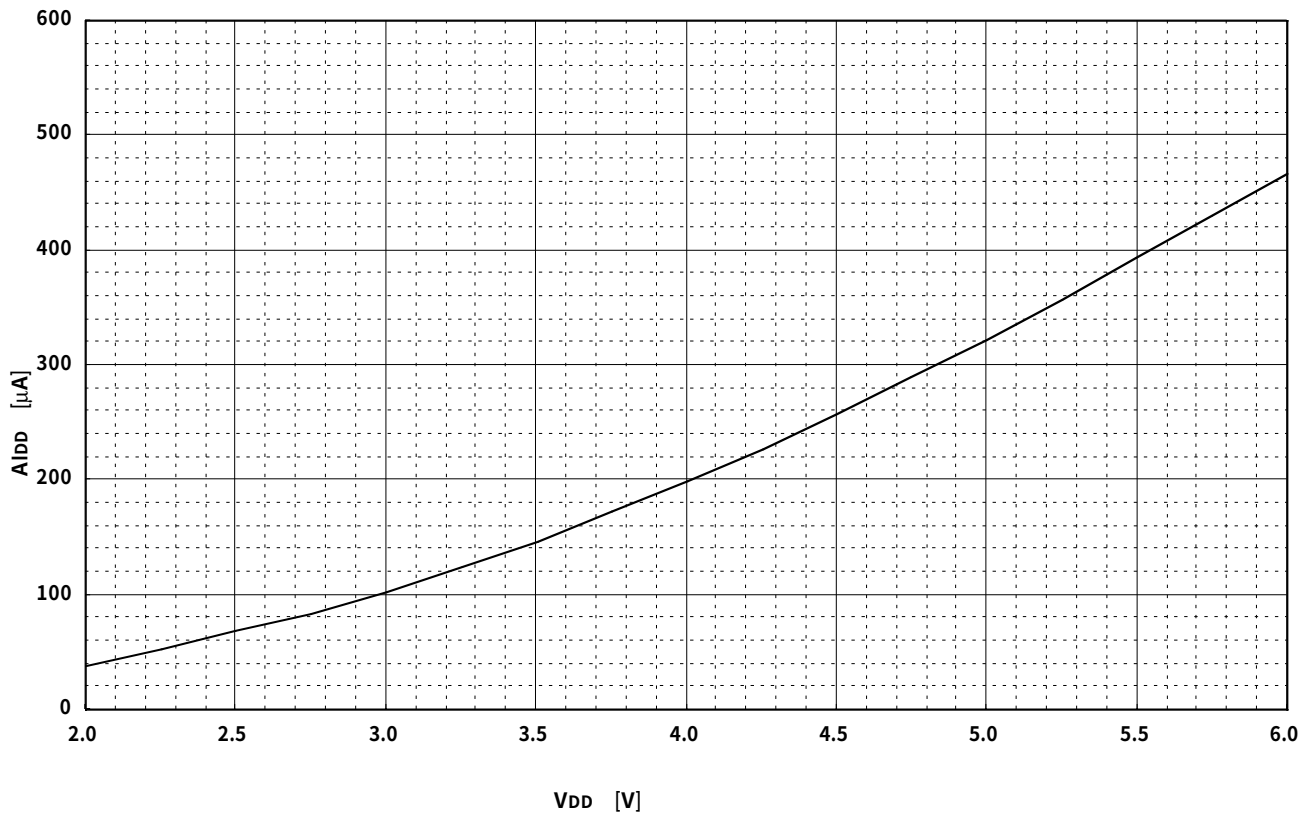
(2) $f(X_{IN})=2MHz$



(3) $f(X_{IN})=1\text{MHz}$ (4) $f(X_{IN})=400\text{kHz}$ 

3.2.8 アナログ入力電流特性 V_{AIN} - I_{AIN} 端子 ($V_{DD}=3V$ 、高速モード、 $T_a=25^{\circ}C$)(1) $f(X_{IN})=4MHz$ (2) $f(X_{IN})=2MHz$ 

(3) $f(X_{IN})=1\text{MHz}$ (4) $f(X_{IN})=400\text{kHz}$ 

3.2.9 AD変換器動作電流(V_{DD} - I_{DD})特性($T_a=25^{\circ}\text{C}$)

3.2.10 A/Dコンバータ標準特性

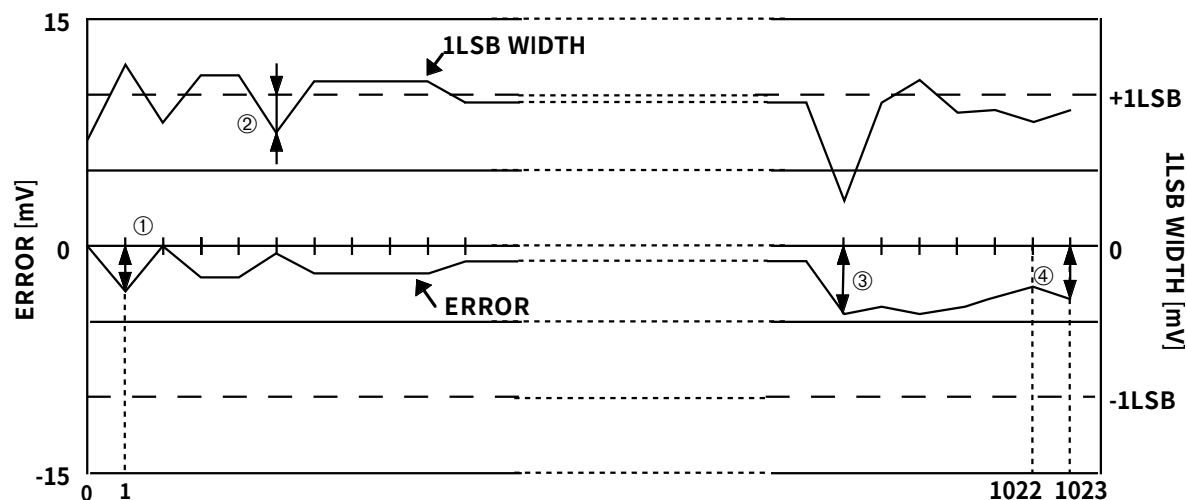


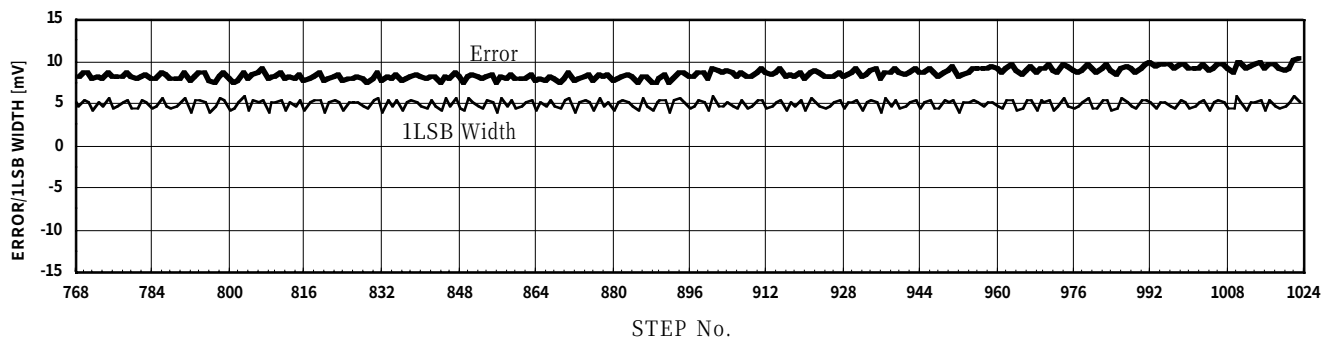
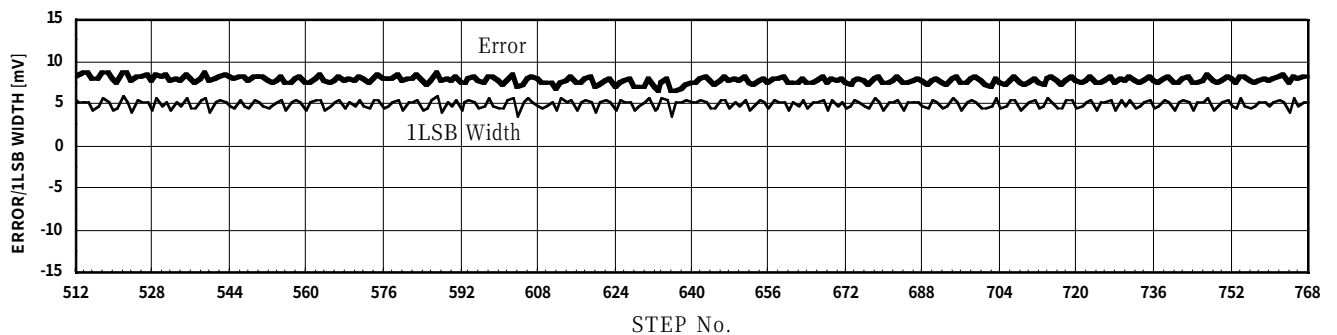
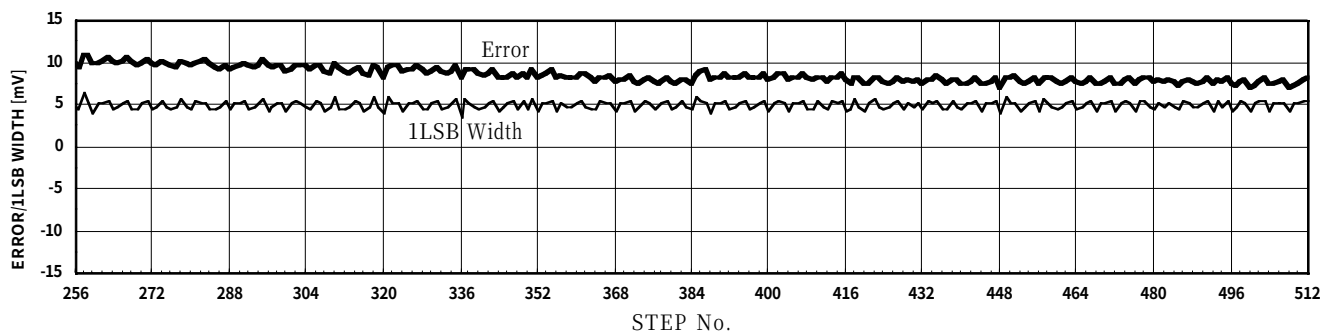
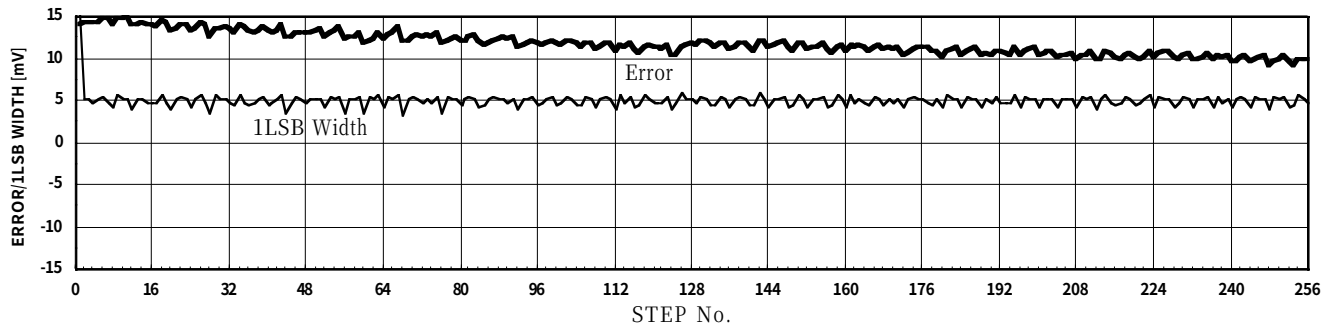
図3.2.1 A/D変換特性データ

図3.2.1はA/D精度測定データを簡単に図示したものです。

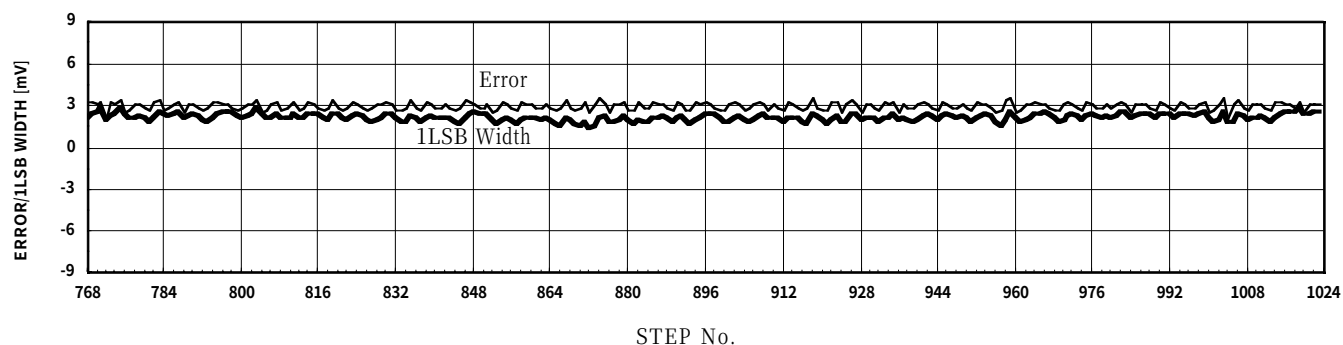
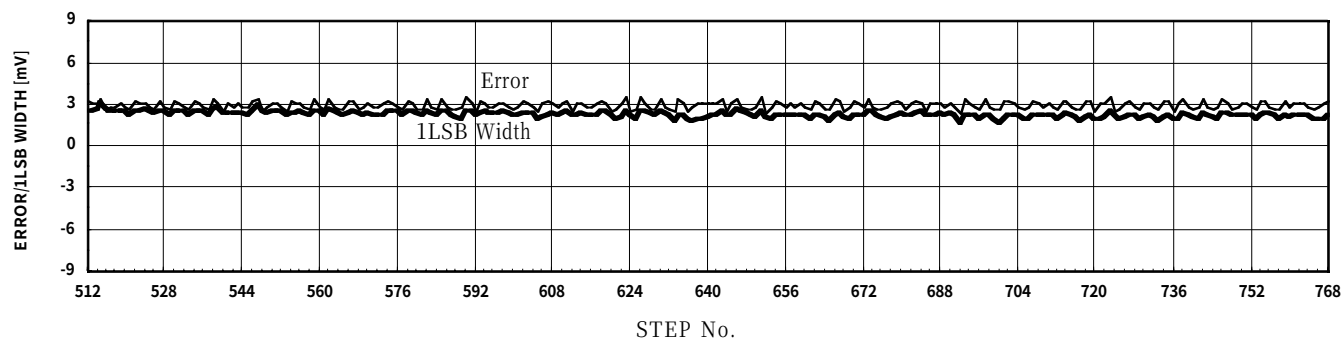
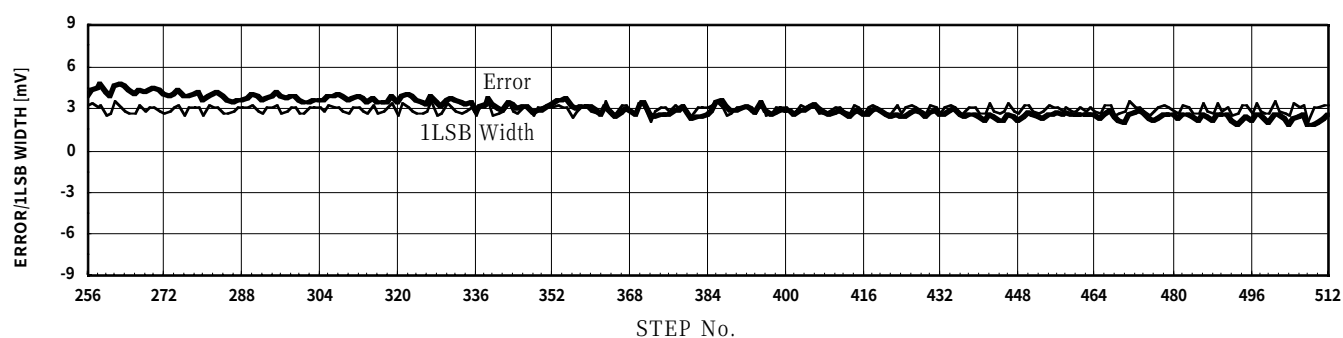
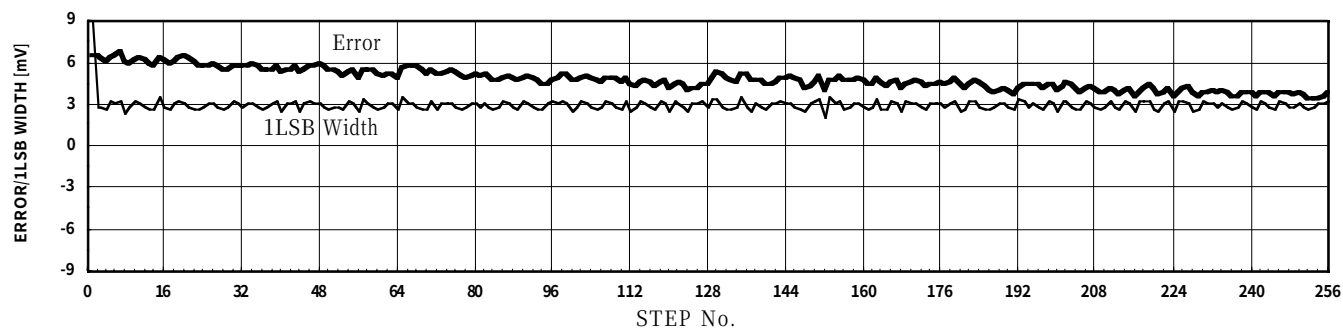
- (1) 非直線性誤差 実際のA/D変換特性の $V_0 \sim V_{1022}$ 間の理想特性からの偏差で、図3.2.1では $(④ - ①)/1\text{LSB}$ の値となります。
- (2) 微分非直線性誤差 出力データを“1”変化させるのに必要な入力電圧の $V_0 \sim V_{1022}$ 間の理想特性からの偏差で、図3.2.1では $②/1\text{LSB}$ の値となります。
- (3) ゼロトランジション誤差 出力データが“0”から“1”に変化するときの入力電圧の $0 \sim V_{DD}$ 間の理想特性からの偏差で、図3.2.1では①の値となります。
- (4) フルスケールトランジション誤差 出力データが“1022”から“1023”に変化するときの入力電圧の $0 \sim V_{DD}$ 間の理想特性からの偏差で、図3.2.1では④の値となります。
- (5) 絶対精度 実際のA/D変換特性の $0 \sim V_{DD}$ 間の理想特性からの偏差で、図3.2.1では①、③、④の各ERRORの値となります。

A/D変換器の特性(保証値)は、「3.1 電気的特性」を参照してください。

(1) $V_{DD}=5.12V$ 、 $X_{IN}=4MHz$ (高速モード)、 $T_a=25^{\circ}C$



(2) $V_{DD}=3.072V$ 、 $X_{IN}=2MHz$ (高速モード)、 $T_a=25^{\circ}C$



3.3 使用上の注意(まとめ)

3.3.1 プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

3.3.2 スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP p)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを越えないように注意してください。

3.3.3 入出力端子に関する注意事項

(1) 入出力ポートを入力ポートとして使用する場合

入力ポートとして使用する場合は、入力を行う前に必ず出力ラッチを“1”に設定した後で、ポートの内容を入力してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

(2) ノイズ、ラッチアップの対策について

ノイズ及びラッチアップ対策としてV_{DD}端子とV_{SS}端子間にバイパスコンデンサ(0.1 μF程度)を最短距離、等幅、等配線長、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM内蔵版において、CNV_{SS}端子とV_{PP}端子(書き込み電圧=12V)が兼用になっています。5kΩ程度の抵抗を極力CNV_{SS}/V_{PP}端子の近くに配置してV_{SS}端子に接続してください。

(3) マルチファンクション端子について

- ポートC、K、INT入力、CNTR入力を使用している場合も、ポートD2、D3、P13、P12の入出力は機能しますので、注意してください。
- CNTR出力を使用している場合でも、ポートP12の入力は機能しますので注意してください。
- アナログ入力AIN0、AIN1、AIN2、AIN3を使用している場合でも、ポートP20、P21、P30、P31の入出力は機能しますので注意してください。

(4) 使用しない端子の処理方法

表3.3.1に使用しない端子の処理方法を示します。

(5) SD、RD命令

SD、RD命令使用時は、レジスタYに“0110₂”以上を設定しないでください。

(6) アナログ入力端子

アナログ入力AIN0～AIN3とポートP2、P3の機能を併用する場合、以下の点に注意してください。

●アナログ入力端子の選択に関する注意

P20/AIN0端子、P21/AIN1端子、P30/AIN2端子、P31/AIN3端子は、アナログ入力として選択している場合でも、ポートP2、P3の入出力機能をもっています。

これらの端子を、アナログ入力とポート入出力との機能を混在して使用する場合は、アナログ入力として選択を行っている端子の出力は“1”になるようにしてください。

また、ポートの入力の場合は、アナログ入力として選択している端子の、ポートとしての入力は不定になります。

(7) P13/INT端子

割り込み制御レジスタI1のビット3をクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意ください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13=“0”)は、RAMバックアップモードに移行する前にレジスタI1のビット2、ビット3をクリアする必要があります。

表3.3.1 使用しない端子の処理方法

端子名	処理方法	使用条件
XIN	VSSに接続	オンチップオシレータでの動作時(注1)
XOUT	開放	外部クロック使用時(CMCK命令でセラミック発振回路を選択)
		RC発振時(CRCK命令でRC発振回路を選択)
		オンチップオシレータでの動作時(注1)
D0、D1	開放(出力ラッチを“1”に設定)	
D4、D5	開放(出力ラッチを“0”に設定)	
	VSSに接続	
D2/C	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
D3/K	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P00、P01	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
P02、P03	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P10、P11	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
P12/CNTR	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P13/INT	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択、INT端子入力禁止時(注4、5)
	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P20/AIN0	開放(出力ラッチを“1”に設定)	キーオンウェイクアップ機能非選択時(注4)
P21/AIN1	開放(出力ラッチを“0”に設定)	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
	VSSに接続	プルアップ機能非選択、 キーオンウェイクアップ機能非選択時(注2、3)
P30/AIN2	開放(出力ラッチを“1”に設定)	
P31/AIN3	開放(出力ラッチを“0”に設定)	
	VSSに接続	

注1. プログラムでセラミック発振回路またはRC発振回路を選択しない場合は、オンチップオシレータ(内部発振器)で動作します。

2. プルアップ機能を選択していると電源電流が増加します。プルアップ機能は必ず非選択にしてください。
3. キーオンウェイクアップ機能を選択しているとRAMバックアップ状態へ移行してもすぐ復帰します。
キーオンウェイクアップ機能は必ず非選択にしてください。
4. 止むをえずキーオンウェイクアップ機能を選択する場合は、プルアップ機能も併せて選択してください。
5. レジスタI1のビット3(I13)を“0”クリアし、入力禁止としてください(リセット後:I13≠“0”)。

(VSS端子に接続する場合の注意事項)

- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。

3.3.4 割り込みに関する注意事項

(1) INT割り込み有効波形の設定

レジスタI1のビット2に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

P13/INT端子の入力状態によっては、割り込み有効波形を変更した際に、フラグEXF0が“1”にセットされることがあります。

(2) INT端子入力制御の設定

レジスタI1のビット3に値を設定した後は、1命令以上においてSNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。

P13/INT端子の入力状態によっては、割り込み有効波形を変更した際に、フラグEXF0が“1”にセットされることがあります。

(3) 多重割り込み禁止

4507グループでは多重割り込みを使用できません。

(4) 割り込み処理実行時

割り込み発生と同時に割り込み許可フラグが“0”(割り込み禁止状態)となります。割り込みからの復帰と同時に割り込み許可にするには、EI、RTI命令を続けて記述してください。

(5) P13/INT端子

①レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT端子の入力制御を行う際は次の点に注意してください。

- レジスタI1のビット3の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図3.3.1①)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上において(図3.3.1②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図3.3.1③)。

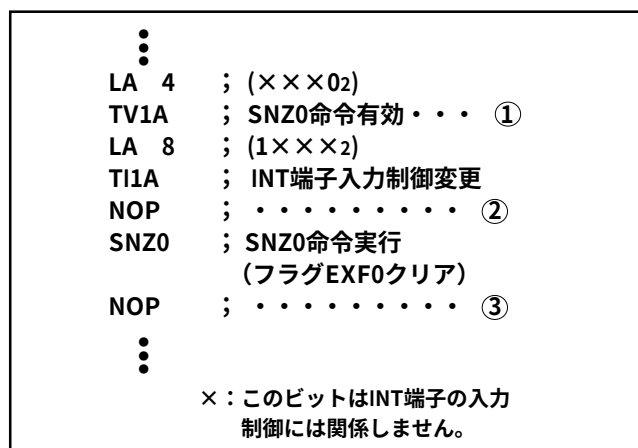


図3.3.1 外部0割り込みプログラム例1

②レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を“0”にクリアし、INT端子入力禁止の状態でのRAMバックアップを使用する際は、次の点に注意してください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13≠0)は、RAMバックアップモードに移行する前にレジスタI1のビット2、ビット3をクリアする必要があります(図3.3.2①)。

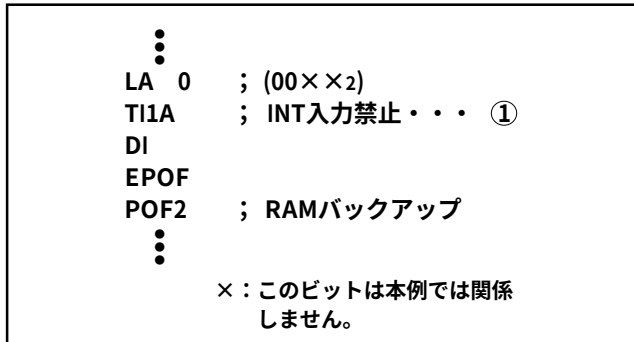


図3.3.2 外部0割り込みプログラム例2

③レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP13/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI1のビット2の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図3.3.3①)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上において(図3.3.3②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図3.3.3③)。

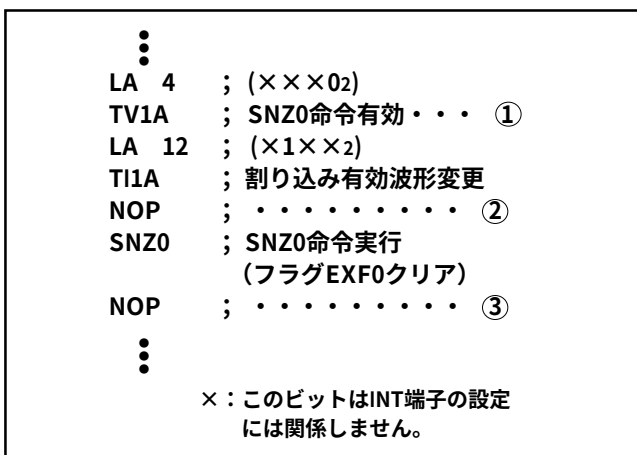


図3.3.3 外部0割り込みプログラム例3

(6) パワーダウン命令

EPOF命令を実行する前には、必ず割り込み禁止状態(DI命令実行)に設定してください。

3.3.5 タイマに関する注意事項

(1) プリスケアラ

プリスケアラの分周比を切り替える場合は、必ずプリスケアラの動作を停止させた後、分周比を切り替えてください。

(2) カウントソース

タイマ1、2のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(3) カウント値の読み出し

タイマ1、2からデータを読み出す場合は、まず各タイマのカウンタを停止させた後、データ読み出し命令(TAB1、TAB2)を実行してください。

(4) タイマへのデータ書き込み

タイマ1、2にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T2AB)を実行してください。

(5) リロードレジスタR1への書き込み

タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータを書き込んでください。

(6) タイマ1、タイマ2のカウント開始タイミングと動作開始時のカウント時間

タイマ1、タイマ2は動作開始(①)後、カウントソースの最初の立ち上がり(②)からカウントを開始します。タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間(③)は、以降のアンダフロー間の時間(④)より短く(最大でカウントソースの一周期分)になります。なお、タイマ2のカウントソースとしてCNTR入力を選択した場合、タイマ2はCNTR入力の立ち下がりに同期して動作します。

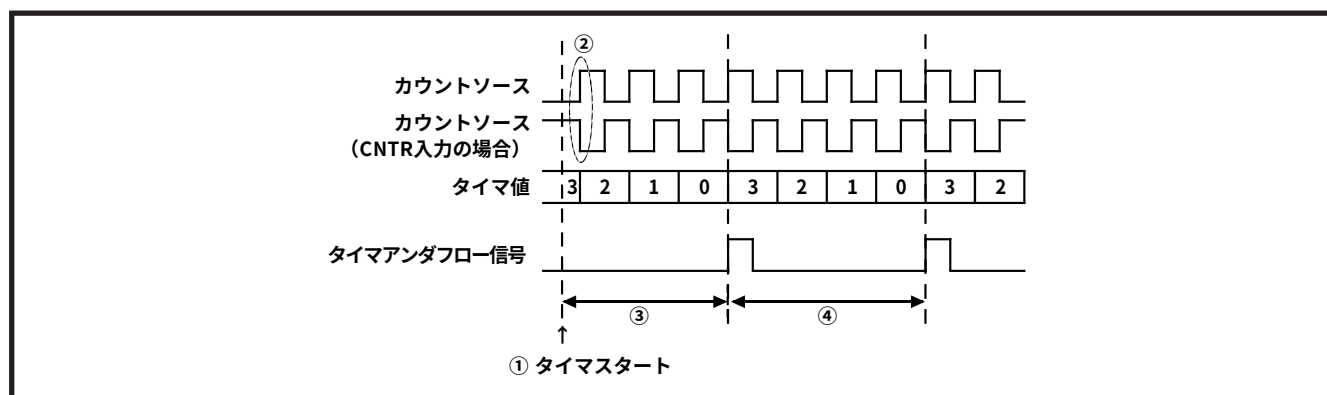


図3.3.4 タイマカウント開始タイミングと動作開始時のカウント時間 (T1、T2)

(7) ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWD命令とWRST命令を連続して実行し、フラグWEFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。
- RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度に、DWD命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

(8) CNTR端子に入力するパルス幅

CNTR端子に入力するパルス幅の条件について表3.3.2に示します。

表3.3.2 推奨動作条件(CNTR入力)

項目	条件	規格値			単位
		最小	標準	最大	
タイマ外部入力周期 ("H"及び"L"のパルス幅)	高速モード	$3/f(XIN)$			s
	中速モード	$6/f(XIN)$			
	低速モード	$12/f(XIN)$			
	デフォルトモード	$24/f(XIN)$			

3.3.6 A/D変換に関する注意事項

(1) A/D変換中に再度A/D変換を開始する場合

A/D変換を実行中にADST命令を実行し、A/D変換を再度行った場合、それまで入力していたデータを破棄して最初からA/D変換を行います。

(2) A/D変換器について1

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。

そのため、信号源インピーダンスの高い回路を用いてアナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。

十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に $0.01\mu\text{F}$ ~ $1\mu\text{F}$ のコンデンサを付加してください。

図3.3.4にアナログ入力外付け回路例1を示します。

また、やむをえずアナログ入力に定格値以上の電圧がかかる場合は、図3.3.5のアナログ入力外付け回路例2に示すように、定格内の電圧になるよう外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。

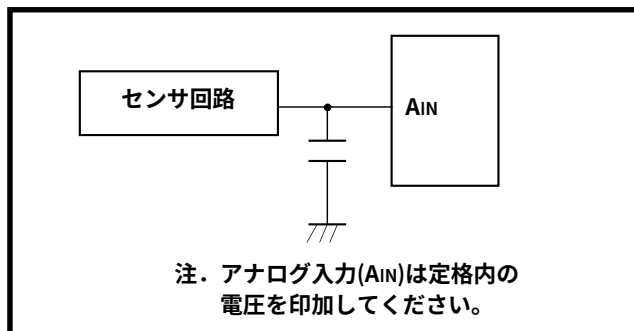


図3.3.5 アナログ入力外付け回路例1

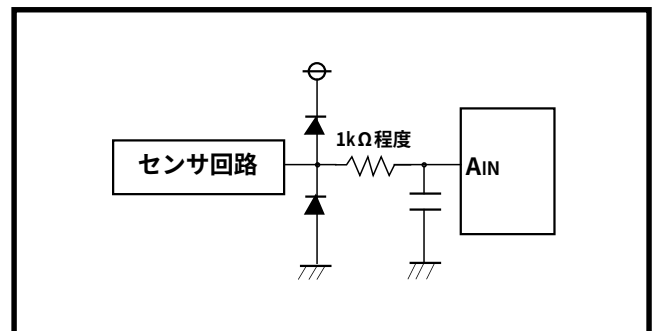


図3.3.6 アナログ入力外付け回路例2

(3) A/D変換器について2

レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更する場合は次の点に注意してください。

■レジスタQ1のビット3によってA/D変換器の動作モードをコンパレータモードからA/D変換モードに変更するためにはレジスタV2のビット2が“0”(図3.3.6①)になっている必要があります。

■A/D変換器の動作モードをコンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあるため、レジスタQ1のビット3に値を設定した後、SNZAD命令を実行しA/D変換終了フラグ(ADF)をクリアしてください。

A/D変換器の動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/D変換器の動作モードを変更しないでください。

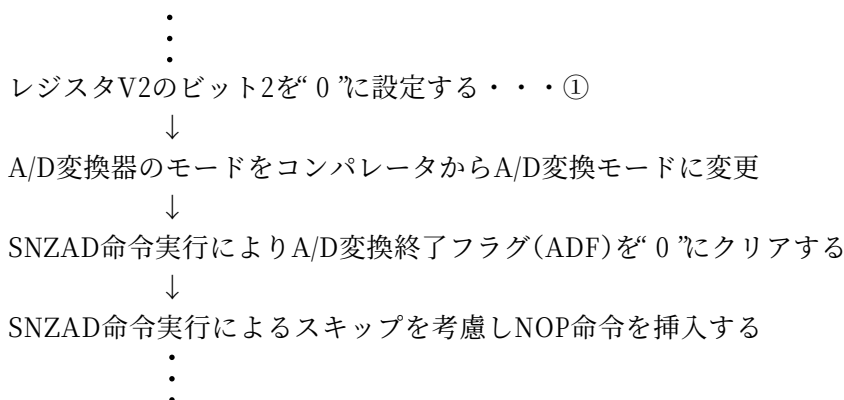


図3.3.7 A/D変換器の動作モードプログラム例

(4) A/D変換器をコンパレータモードで使用する場合

アナログ入力電圧と比較電圧を比較した結果、アナログ入力電圧が比較電圧よりも高い場合は、A/D変換終了フラグ(ADF)が“0”のまま“1”にセットされません。

この場合、A/D割り込みの使用を許可しているときでもA/D割り込みは発生しませんので、コンパレータ動作が完了するまでの時間を考慮し、ソフトウェアで判定してください。

コンパレータ動作は、8マシンサイクルで終了します。

(5) アナログ入力端子の選択

P20/AIN0端子、P21/AIN1端子、P30/AIN2端子、P31/AIN3端子は、端子機能をアナログ入力に設定している場合でもポートP2、P3の入出力機能をもっています。

これらの端子を、アナログ入力端子とポート入出力との機能を混在して使用する場合は、アナログ入力として選択を行っている端子の出力は“1”になるようにしてください。

また、ポート入力の場合は、アナログ入力として選択している端子の、ポートとしての入力は不定となります。

(6) TALA命令

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。

(7) A/D変換器使用時の推奨動作条件

A/D変換器を使用する場合と通常時(A/D変換器を使用しない場合)では、電源電圧、システムクロック周波数の推奨動作条件が異なります。

表3.3.3にA/D変換器使用時の推奨動作条件を示します。

表3.3.3 推奨動作条件(A/D変換器使用時)

項目	条件	規格値			単位
		最小	標準	最大	
システムクロック周波数 (セラミック共振時)	VDD=2.7V～5.5V(高速モード)	0.1		4.4	MHz
	VDD=2.7V～5.5V(中速モード)	0.1		2.2	
	VDD=2.7V～5.5V(低速モード)	0.1		1.1	
	VDD=2.7V～5.5V(デフォルトモード)	0.1		0.5	
システムクロック周波数 (RC発振時) (注)	VDD=2.7V～5.5V(高速モード)	0.1		4.4	MHz
	VDD=2.7V～5.5V(中速モード)	0.1		2.2	
	VDD=2.7V～5.5V(低速モード)	0.1		1.1	
	VDD=2.7V～5.5V(デフォルトモード)	0.1		0.5	
システムクロック周波数 (セラミック共振回路選択、 外部クロック入力時)	VDD=2.7V～5.5V(高速モード)	デューティ 40～60%	0.1	3.2	MHz
	VDD=2.7V～5.5V(中速モード)		0.1	1.6	
	VDD=2.7V～5.5V(低速モード)		0.1	0.8	
	VDD=2.7V～5.5V(デフォルトモード)		0.1	0.4	

注．RC発振時の発振周波数は外付けの抵抗、コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を越えないように、外付け定数(抵抗値、容量値)を設定してください。

3.3.7 リセットに関する注意事項

(1) レジスタ初期化

次のレジスタは、リセット解除後の初期設定が不定です。リセット解除後、必ず初期設定を行ってください。

- レジスタZ(2ビット)
- レジスタD(3ビット)
- レジスタE(8ビット)

3.3.8 RAMバックアップに関する注意事項

(1) キーオンウェイクアップを使用する場合

キーオンウェイクアップが有効になっているポート(レジスタK0、K1、K2で指定されたP0およびP1、D2/C、D3/K、P20/AIN0、P21/AIN1)はすべて“H”に設定後、POF2命令を実行してください。

キーオンウェイクアップが有効になっているポートがひとつでも“L”の状態にある場合、POF2命令を実行後、直ぐにRAMバックアップから復帰されます。

(2) POF2命令

EPOF命令直後に、POF2命令を実行すると、RAMバックアップ状態になります。

POF2命令単独では、RAMバックアップ状態にならないので注意してください。

EPOF命令とPOF2命令を連続して実行する前には、必ず割り込み禁止状態(DI命令実行)に設定してください。

(3) RAMバックアップからの復帰

RAMバックアップからの復帰後、不定となるレジスタ及びフラグの設定を必ず行ってください。

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- レジスタZ(2ビット)
- レジスタX(4ビット)
- レジスタY(4ビット)
- レジスタD(3ビット)
- レジスタE(8ビット)

(4) ウォッチドッグタイマ

RAMバックアップからの復帰後、ウォッチドッグタイマ機能は有効となります。ウォッチドッグタイマ機能を使用しない場合は、RAMバックアップから復帰する度に、DWDT命令とWRST命令を連続して実行し、ウォッチドッグタイマ機能を停止してください。

(5) P13/INT端子

割り込み制御レジスタI1のビット3をクリアし、INT端子入力禁止の状態ではRAMバックアップを使用の際は、次の点に注意ください。

- ポートP13のキーオンウェイクアップを使用しない場合(レジスタK13=“0”)は、RAMバックアップモードに移行する前にレジスタI1のビット2、ビット3をクリアする必要があります。

(6) 外部クロック

源発振($f(XIN)$)に外部クロックを使用する際は、RAMバックアップモード(POF2命令)を使用できませんので、注意してください。

3.3.9 発振制御に関する注意事項

(1) クロック制御

源発振($f(XIN)$)を選択する命令(CMCK命令、CRCK命令)は必ずプログラムの初期設定ルーチンで実行してください(0ページ0番地で実行することを推奨します)。

CMCK命令あるいはCRCK命令による発振回路選択は一度だけ可能です。CMCK命令およびCRCK命令のうち、先に実行された発振回路が有効になります。他の発振回路、オンチップオシレータは停止します。

(2) オンチップオシレータ

オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。

応用製品設計の際には、この周波数変動に対し十分なマージンを得られるよう、注意してください。

また、4507グループはリセット解除後の発振安定待ち時間を、オンチップオシレータクロックより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(3) 外部クロック

源発振($f(XIN)$)に外部クロックを使用する際は、RAMバックアップモード(POF2命令)を使用できませんので、注意してください。

(4) 発振子に付ける部品の値

発振回路のコンデンサ、抵抗などの値は、取り付ける発振子や基板により異なります。このため発振子に取り付ける部品の値については発振子メーカーに問い合わせをご確認ください。

3.3.10 ワンタイムPROM版/マスクROM版

ワンタイムPROM版およびマスクROM版は、製造プロセス、内臓ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

3.3.11 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

3.4 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

3.4.1 配線長の短縮

基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。

総配線長が短い(mm単位)ほどノイズをマイコン内部に引き込む可能性は低くなります。

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

●理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

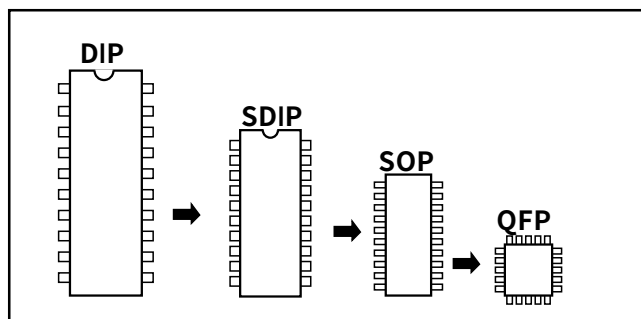


図3.4.1 パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い配線で接続してください。

●理由

マイコンを正常にリセットするために、リセット端子に入力されるパルス幅は1マシンサイクル以上が必要です。これより短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

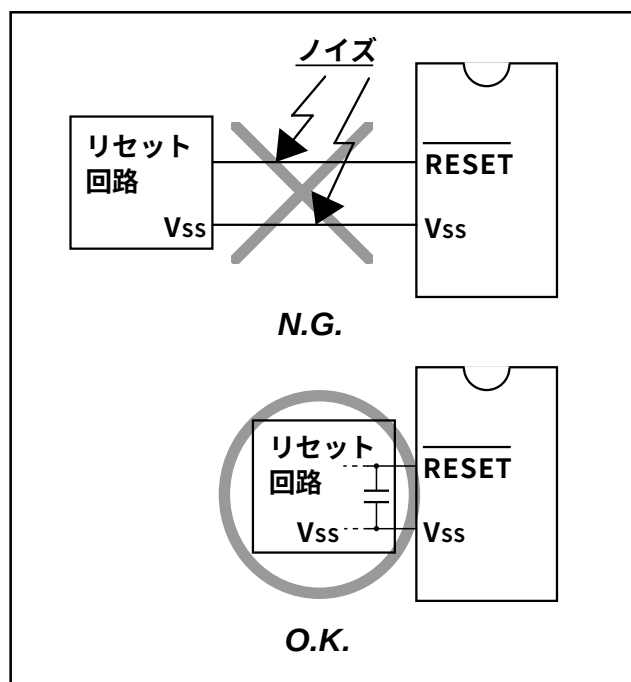


図3.4.2 リセット入力端子の配線

(3) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

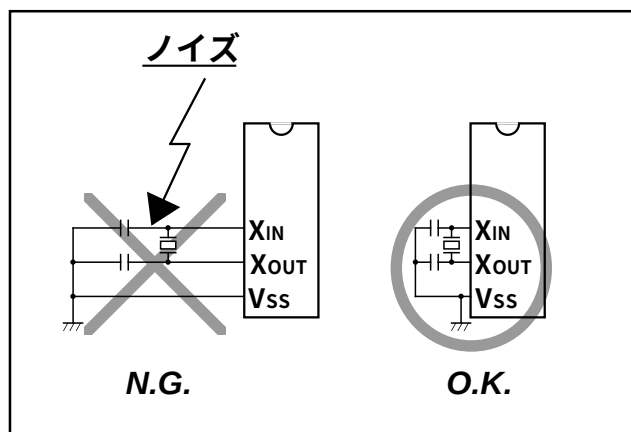


図3.4.3 クロック入出力端子の配線

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

●理由

CNVss端子のレベルはマイコンの動作モードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

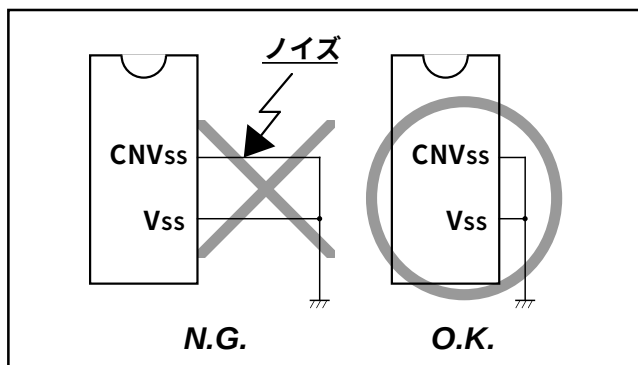


図3.4.4 CNVss端子の配線

(5) PROM内蔵版のVpp端子配線

4507グループのPROM内蔵版は、CNVss端子が内蔵PROMの電源入力端子Vppと兼用です。

●Vpp端子がCNVss端子と兼用のマイコン

Vpp端子のできるだけ近くに5kΩ程度の抵抗を直列に挿入し、Vss端子に接続してください。また、5kΩ程度の抵抗を挿入しない場合は、Vpp端子とVss端子の配線は最短にしてください（図3.4.5参照）。

注. 5kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

●理由

PROM内蔵版マイコンのVpp端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVpp端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。Vpp端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

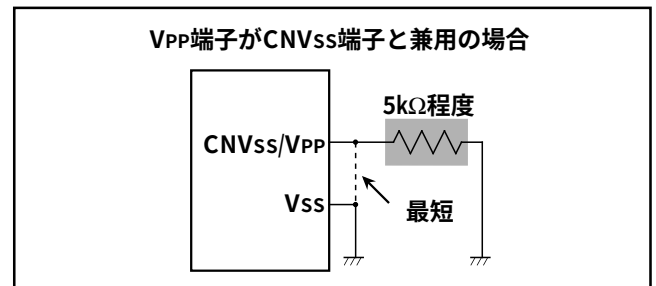


図3.4.5 PROM内蔵版のVpp端子の配線

3.4.2 Vss—VDDライン間へのバイパスコンデンサ挿入

Vss—VDDライン間に0.1 μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子—バイパスコンデンサ間の配線長とVDD端子—バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子—バイパスコンデンサ間の配線長とVDD端子—バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVDDラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVDD端子へ接続する

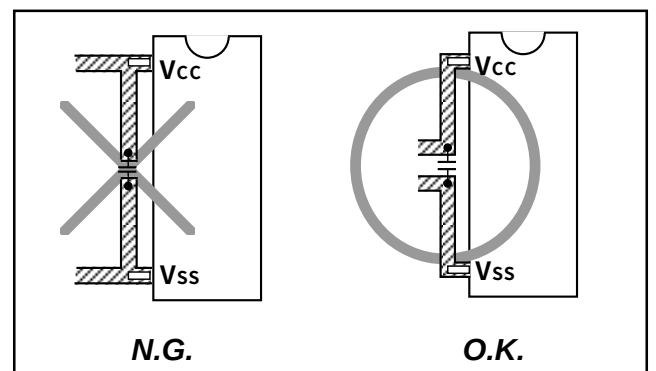


図3.4.6 Vss—VDDライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・ アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1K Ω 程度の抵抗を直列に接続してください。
- ・ アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子ーコンデンサ間の配線及びVss端子ーコンデンサ間の配線長を等しくしてください。

●理由

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

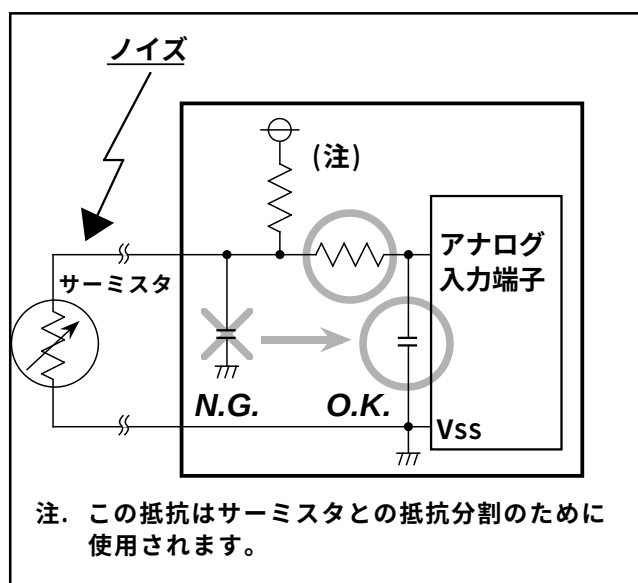


図3.4.7 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

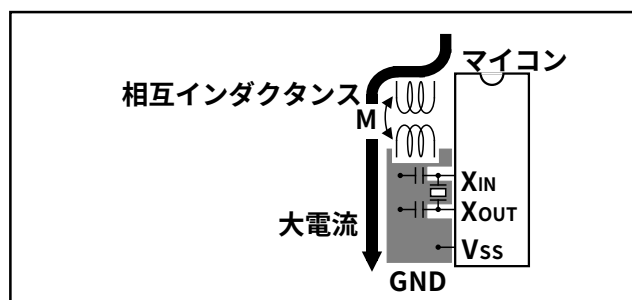


図3.4.8 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

●理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

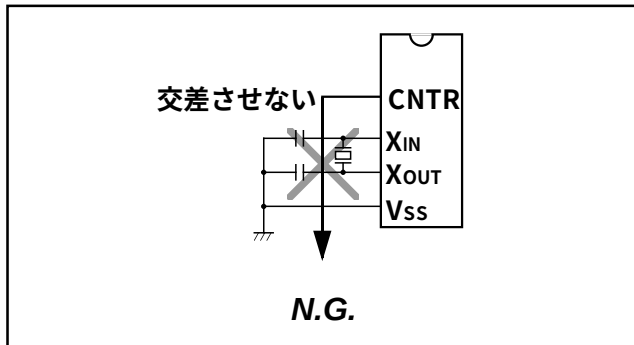


図3.4.9 高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

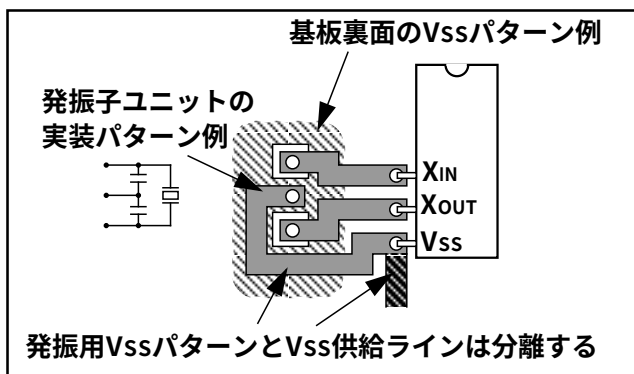


図3.4.10 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

〈ハードウェア面〉

- ・入出力ポートに100Ω以上の抵抗を直列に挿入してください。

〈ソフトウェア面〉

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポート及び入出力ポートではノイズによって出力データが反転する可能性があるため、一定周期で出力ラッチの再書き込みを行ってください。
- ・一定周期でプルアップ制御レジスタの再書き込みを行ってください。

3.4.6 ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

〈メインルーチンでは〉

- RAMの1語をソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$$N+1 \geq \begin{array}{l} \text{メインルーチンの1周期中に} \\ \text{行われる割り込み処理の回数} \end{array}$$

メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

〈割り込み処理ルーチンでは〉

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

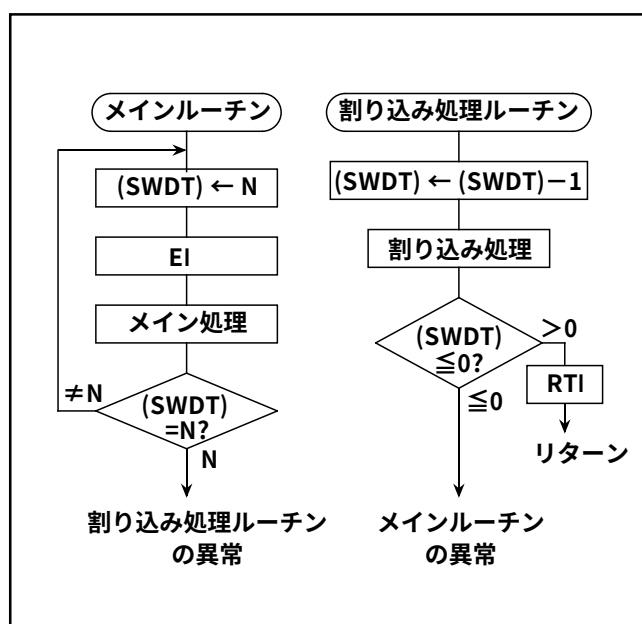
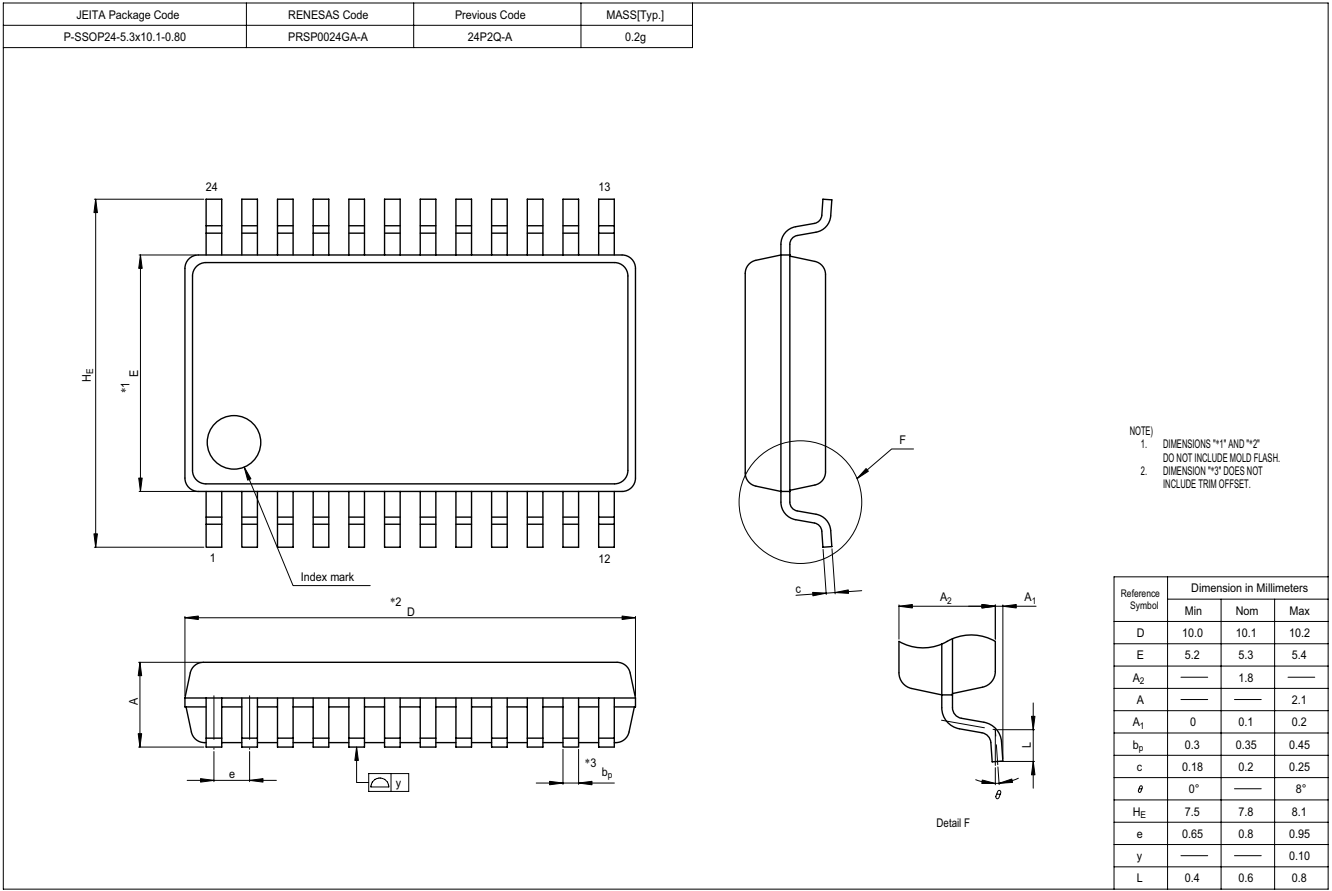


図3.4.11 ソフトウェアによるウォッチドッグタイマ

3.5 パッケージ寸法図



**ルネサス4ビットCISCシングルチップマイクロコンピュータ
ユーザーズマニュアル
4507グループ**

発行年月日 2002年5月9日 Rev. 1.00
 2005年1月31日 Rev. 2.01

発行 株式会社 ルネサス テクノロジ 営業企画統括部
 〒100-0004 東京都千代田区大手町2-6-2

4507 グループ ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0209-0201