

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

38K0グループ

ユーザーズマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ
740ファミリ / 38000シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

1.構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

第2章「応用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧などを掲載しています。

2.レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

ビット数

b7 b6 b5 b4 b3 b2 b1 b0

0

CPUモードレジスタ (CPUM) 【3B16番地】

b	ビット名	機能	リセット時	R	W
0	プロセッサモードレジスタ	<small>b1b0</small> 00: シングルチップモード 01: } 使用禁止 10: } 11: }	0		
1			0		
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0		
3	このビットには何も配置されていません。書き込みは不可で、読み出した場合、その内容は“0”です。		0		x
4			0		x
5	このビットは“0”に固定してください。		1		
6	メインクロック(X _{IN} -X _{OUT})停止ビット	0: 発振 1: 停止	*		
7	内部システムクロック選択ビット	0: X _{IN} -X _{OUT} 選択(高速モード) 1: X _{CEIN} -X _{CEOUT} 選択(低速モード)	*		

■: 何も配置されていないビット ■: 当該機能の制御では使用されないビット

注1. リセット解除直後の内容
 0・・・リセット解除時“0”
 1・・・リセット解除時“1”
 不定・・・リセット解除時不定
 *・・・リセット解除時オプションによって決められた内容

注2. ビットの属性・・・・・・・・・・制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R・・・読み出し
読み出し可能
 x・・・読み出し不可能

W・・・書き込み
書き込み可能
 x・・・書き込み不可能
 *・・・“0”書き込み

3.補足事項

ソフトウェアにつきましては、「740ファミリソフトウェアマニュアル」を参照してください。
 開発ツールにつきましては、ルネサステクノロジホームページ(<http://www.renesas.com/>)「開発環境」を参照してください。

目次

第1章 ハードウェア

概要	2
特長	2
ピン接続	2
機能ブロック	3
端子の機能説明	4
グループ展開	5
メモリの種類	5
メモリ容量	5
パッケージ	5
機能ブロック動作説明	6
中央演算処理装置(CPU)	6
メモリ	10
入出力ポート	12
割り込み	16
タイマ	19
シリアルインタフェース	21
USB機能	25
外部バスインタフェース	47
マルチチャンネルRAM	66
A/D変換器	68
ウォッチドッグタイマ	70
リセット回路	71
PLL回路(周波数シンセサイザ)	72
クロック発生回路	74
フラッシュメモリ版	77
プログラミング上の注意事項	102
使用上の注意事項	104
マスク化発注時の提出資料	104
補足説明	105
A/D変換器	105

第2章 応用

2.1	入出力ポート	2
2.1.1	メモリ配置図	2
2.1.2	関連レジスタ	3
2.1.3	未使用端子の処理	5
2.1.4	入出力ポートに関する注意事項	6
2.1.5	未使用端子の処理に関する注意事項	7
2.2	割り込み	8
2.2.1	メモリ配置図	8
2.2.2	関連レジスタ	9
2.2.3	割り込み要因	12
2.2.4	割り込み動作	13
2.2.5	割り込み制御	16
2.2.6	INT割り込み	19
2.2.7	キー入力割り込み	20
2.2.8	割り込みに関する注意事項	22
2.3	タイマ	24
2.3.1	メモリ配置図	24
2.3.2	関連レジスタ	24
2.3.3	タイマの応用例	29
2.3.4	タイマに関する注意事項	40
2.4	シリアルI/O	41
2.4.1	メモリ配置図	41
2.4.2	関連レジスタ	42
2.4.3	シリアルI/Oの接続例	46
2.4.4	シリアルI/O転送データフォーマット	48
2.4.5	シリアルI/Oの応用例	49
2.4.6	シリアルI/Oに関する注意事項	67
2.5	USB機能	70
2.6	外部バスインタフェース(EXB)	71
2.7	A/D変換器	72
2.7.1	メモリ配置図	72
2.7.2	関連レジスタ	72
2.7.3	A/D変換応用例	75
2.7.4	A/D変換器に関する注意事項	77
2.8	ウォッチドッグタイマ	78
2.8.1	メモリ配置図	78
2.8.2	関連レジスタ	78
2.8.3	ウォッチドッグタイマの応用	80
2.8.4	ウォッチドッグタイマに関する注意事項	81
2.9	リセット	82
2.9.1	リセットICを用いた接続例	82

2.10	周波数シンセサイザ(PLL)	84
2.10.1	メモリ配置図	84
2.10.2	関連レジスタ	84
2.10.3	機能説明	86
2.11	クロック発生回路	90
2.11.1	メモリ配置図	90
2.11.2	関連レジスタ	90
2.11.3	発振制御	92
2.12	スタンバイ機能	95
2.12.1	メモリ配置	95
2.12.2	関連レジスタ	95
2.12.3	ストップモード	96
2.12.4	ウェイトモード	100
2.12.5	スタンバイ機能に関する注意事項	102
2.13	フラッシュメモリ	103
2.13.1	概要	103
2.13.2	メモリ配置	103
2.13.3	関連レジスタ	104
2.13.4	パラレル入出力モード	105
2.13.5	標準シリアル入出力モード	105
2.13.6	CPU書き換えモード	106
2.13.7	フラッシュメモリモードの応用例	107
2.13.8	CPU書き換えモードに関する注意事項	112

第3章 付 録

3.1	電気的特性	2
3.1.1	絶対最大定格	2
3.1.2	推奨動作条件(L仕様)	3
3.1.3	電気的特性(L仕様)	6
3.1.4	A/D変換器特性(L仕様)	8
3.1.5	タイミング必要条件(L仕様)	9
3.1.6	スイッチング特性(L仕様)	12
3.2	使用上の注意事項	21
3.2.1	入出力ポートに関する注意事項	21
3.2.2	未使用端子の処理に関する注意事項	22
3.2.3	割り込みに関する注意事項	23
3.2.4	タイマに関する注意事項	24
3.2.5	シリアルI/Oに関する注意事項	25
3.2.6	USBに関する注意事項	27
3.2.7	A/D変換器に関する注意事項	28
3.2.8	ウォッチドッグタイマに関する注意事項	28
3.2.9	リセット端子に関する注意事項	29

3.2.10	PLLに関する注意事項	29
3.2.11	スタンバイ機能に関する注意事項	29
3.2.12	フラッシュメモリ版のCPU書き換えモードに関する注意事項	30
3.2.13	プログラム作成に関する注意事項	31
3.2.14	フラッシュメモリ版に関する注意事項	33
3.2.15	フラッシュメモリ版 / マスクROM版の相異点に関する注意事項	33
3.3	ノイズに関する注意事項	34
3.3.1	配線長の短縮	34
3.3.2	V _{SS} -V _{CC} ライン間へのバイパスコンデンサ挿入	36
3.3.3	アナログ入力端子の配線処理	37
3.3.4	発振子への配慮	38
3.3.5	入出力ポート処理	39
3.3.6	ソフトウェアによる監視タイマ機能の実現	40
3.4	レジスタ一覧	41
3.5	パッケージ寸法図	74
3.6	機械語命令一覧表	76
3.7	命令コード一覧表	86
3.8	SFRメモリマップ	87
3.9	ピン接続図	88

図目次

第1章 ハードウェア

図1 38K0グループのピン接続図	2
図2 38K0グループ機能ブロック図(64ピン)	3
図3 ROM/RAM展開計画	5
図4 740ファミリ CPUの構成	6
図5 スタックへの退避及び復帰動作	7
図6 CPUモードレジスタの構成	9
図7 メモリ配置図	10
図8 SFR(スペシャルファンクションレジスタ)メモリマップ	11
図9 ポートブロック図(1)	13
図10 ポートブロック図(2)	14
図11 ポート入出力関連レジスタの構成	15
図12 割り込み制御図	17
図13 割り込み関係レジスタの構成(1)	17
図14 キー入力割り込み使用時の結線例とポートP0のブロック図	18
図15 タイマXモードレジスタの構成	19
図16 タイマX, タイマ1及びタイマ2のブロック図	20
図17 クロック同期形シリアルI/Oブロック図	21
図18 クロック同期形シリアルI/O動作図	21
図19 UART形シリアルI/Oブロック図	22
図20 UART形シリアルI/O動作図	22
図21 シリアルI/O関係レジスタの構成	24
図22 USB機能	25
図23 USBファンクション制御回路ブロック図	26
図24 USBポート周辺回路(D0+, D0-, USBV _{REF} , TrON)のブロック図(4.0V V _{CC} 5.25Vのとき)	27
図25 USBポート周辺回路(D0+, D0-, USBV _{REF} , TrON)のブロック図(3.0V V _{CC} 4.0Vのとき)	27
図26 バッファ領域先頭アドレス設定例	28
図27 割り込み要因別バッファ領域オフセットアドレス設定例	28
図28 USBデバイス割り込み制御図	30
図29 USBレジスタ一覧	31
図30 USB制御レジスタ(USBCON)	32
図31 USBファンクション / ハブ許可レジスタ(USBAE)	32
図32 USBファンクションアドレスレジスタ(USBA0)	32
図33 フレームナンバ下位レジスタ(FNUML)	33
図34 フレームナンバ上位レジスタ(FNUMH)	33
図35 USB割り込み要因許可レジスタ(USBICON)	33
図36 USB割り込み要因レジスタ(USBIREQ)	34
図37 エンドポイントインデックスレジスタ(USBINDEX)	34
図38 EP00ステージレジスタ(EP00STG)	35
図39 EP00制御レジスタ1(EP00CON1)	35
図40 EP00制御レジスタ2(EP00CON2)	35

図41 EP00制御レジスタ3(EP00CON3)	36
図42 EP00割り込み要因レジスタ(EP00REQ)	36
図43 EP00バイト数レジスタ(EP00BYT)	37
図44 EP00バッファ領域設定レジスタ(EP00BUF)	37
図45 EP01設定レジスタ(EP01CFG)	38
図46 EP01制御レジスタ1(EP01CON1)	38
図47 EP01制御レジスタ2(EP01CON2)	39
図48 EP01制御レジスタ3(EP01CON3)	39
図49 EP01割り込み要因レジスタ(EP01REQ)	39
図50 EP01バイト数レジスタ0(EP01BYT0)	40
図51 EP01バイト数レジスタ1(EP01BYT1)	40
図52 EP01MAXパケットサイズレジスタ(EP01MAX)	40
図53 EP01バッファ領域設定レジスタ(EP01BUF)	40
図54 EP02設定レジスタ(EP02CFG)	41
図55 EP02制御レジスタ1(EP02CON1)	41
図56 EP02制御レジスタ2(EP02CON2)	41
図57 EP02制御レジスタ3(EP02CON3)	42
図58 EP02割り込み要因レジスタ(EP02REQ)	42
図59 EP02バイト数レジスタ0(EP02BYT0)	42
図60 EP02バイト数レジスタ1(EP02BYT1)	43
図61 EP02MAXパケットサイズレジスタ(EP02MAX)	43
図62 EP02バッファ領域設定レジスタ(EP02BUF)	43
図63 EP03設定レジスタ(EP03CFG)	44
図64 EP03制御レジスタ1(EP03CON1)	44
図65 EP03制御レジスタ2(EP03CON2)	44
図66 EP03制御レジスタ3(EP03CON3)	45
図67 EP03割り込み要因レジスタ(EP03REQ)	45
図68 EP03バイト数レジスタ0(EP03BYT0)	45
図69 EP03バイト数レジスタ1(EP03BYT1)	46
図70 EP03MAXパケットサイズレジスタ(EP03MAX)	46
図71 EP03バッファ領域設定レジスタ(EP03BUF)	46
図72 外部バスインタフェース	47
図73 メモリチャネルのデータ転送タイミング	47
図74 外部バスインタフェース(EXB)の端子図	48
図75 外部バスインタフェース(EXB)ブロック図	49
図76 EXBレジスタマップ(1)	53
図77 EXBレジスタマップ(2)	53
図78 EXB割り込み要因許可レジスタ(EXBICON)	54
図79 EXB割り込み要因レジスタ(EXBIREQ)	54
図80 EXBインデックスレジスタ(EXBINDEX)	55
図81 レジスタウインドウ1(EXBREG1)	55
図82 レジスタウインドウ2(EXBREG2)	55
図83 インデックス00[low]	56
図84 インデックス00[high]	56

図85 .インデックス01[low]	57
図86 .インデックス02[low]	57
図87 .インデックス03[low]	57
図88 .インデックス03[high]	57
図89 .インデックス04[low]	58
図90 .インデックス04[high]	58
図91 .CPUチャンネル受信動作	59
図92 .CPUチャンネル送信動作	60
図93 .メモリチャンネル受信動作(1)	61
図94 .メモリチャンネル受信動作(2)	62
図95 .メモリチャンネル受信動作(3)	63
図96 .メモリチャンネル送信動作(1)	64
図97 .メモリチャンネル送信動作(2)	65
図98 .マルチチャンネルRAMタイミング図(ノーウエイト時)	66
図99 .マルチチャンネルRAMタイミング図(ワンウエイト時)	66
図100 .マルチチャンネルRAMの動作例	67
図101 .AD制御レジスタの構成	68
図102 .10ビットA/Dモードの読み出し構成	68
図103 .A/D変換器ブロック図	69
図104 .ウオッチドッグタイマのブロック図	70
図105 .ウオッチドッグタイマ制御レジスタの構成	70
図106 .リセット回路例	71
図107 .リセットシーケンス	71
図108 .PLL回路ブロック図	72
図109 .PLL制御レジスタの構成	73
図110 .セラミック共振子又は水晶発振子外付け回路	75
図111 .外部クロック入力回路	75
図112 .MISRGの構成	75
図113 .システムクロック発生回路ブロック図(シングルチップモード)	75
図114 .システムクロック状態遷移図	76
図115 .内蔵フラッシュメモリのブロック図	78
図116 .フラッシュメモリ制御レジスタの構成	80
図117 .CPU書き換えモードの設定/解除フローチャート	80
図118 .プログラムコマンドフローチャート	82
図119 .イレースフローチャート	83
図120 .フルステータスチェックフローチャート及び各エラー発生時の対処方法	85
図121 .ROMコードプロテクト制御レジスタの構成	86
図122 .IDコードの格納アドレス	87
図123 .標準シリアル入出力モード時の端子結線図	91
図124 .ページリードコマンド時のタイミング	93
図125 .リードステータスレジスタコマンド時のタイミング	93
図126 .クリアステータスレジスタ時のタイミング	94
図127 .ページプログラムコマンド時のタイミング	94
図128 .イレース全ブロックコマンド時のタイミング	95
図129 .ダウンロード機能のタイミング	95
図130 .バージョン情報出力機能のタイミング	96

図131 .ブートROM領域出力機能のタイミング	96
図132 .IDチェック機能のタイミング	97
図133 .IDコードの格納アドレス	97
図134 .フルステータスチェックフローチャート及び各エラー発生時の対処方法	100
図135 標準シリアル入出力モード時の応用回路例	101
図136 A/D変換精度の定義	103
図137 A/D変換器等価回路	106
図138 A/D変換タイミングチャート	106

第2章 応用

図2.1.1 入出力ポート関連レジスタのメモリ配置	2
図2.1.2 ポートPiの構成(i = 0 ~ 6)	3
図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 6)	3
図2.1.4 ポートP0プルアップ制御レジスタの構成	4
図2.1.5 ポートP5プルアップ制御レジスタの構成	4
図2.2.1 割り込み関連レジスタのメモリ配置	8
図2.2.2 割り込み要求レジスタ1の構成	9
図2.2.3 割り込み要求レジスタ2の構成	9
図2.2.4 割り込み制御レジスタ1の構成	10
図2.2.5 割り込み制御レジスタ2の構成	10
図2.2.6 割り込みエッジ選択レジスタの構成	11
図2.2.7 割り込み動作図	13
図2.2.8 割り込み要求受付時のスタックポインタとプログラムカウンタの変化	14
図2.2.9 割り込み処理ルーチンを実行するまでの時間	15
図2.2.10 割り込み要求受付後のタイミング	15
図2.2.11 割り込み制御図	16
図2.2.12 多重割り込みの例	18
図2.2.13 キー入力割り込み使用時の結線例とポートP0のブロック図	20
図2.2.14 キー入力割り込み関連レジスタの設定(図2.2.13に対応)	21
図2.2.15 関連レジスタの設定変更手順	22
図2.2.16 割り込み要求ビットの判定手順	23
図2.3.1 タイマ関連レジスタのメモリ配置	24
図2.3.2 プリスケアラ12、プリスケアラXの構成	24
図2.3.3 タイマ1の構成	25
図2.3.4 タイマ2、タイマXの構成	25
図2.3.5 タイマXモードレジスタの構成	26
図2.3.6 割り込み要求レジスタ1の構成	27
図2.3.7 割り込み要求レジスタ2の構成	27
図2.3.8 割り込み制御レジスタ1の構成	28
図2.3.9 割り込み制御レジスタ2の構成	28
図2.3.10 タイマの接続と分周比の設定	30
図2.3.11 関連レジスタの設定	30
図2.3.12 制御手順	31

図2.3.13	周辺回路例	32
図2.3.14	タイマの接続と分周比の設定	32
図2.3.15	関連レジスタの設定	33
図2.3.16	制御手順	33
図2.3.17	入力パルス有効又は無効の判定方法	34
図2.3.18	関連レジスタの設定	35
図2.3.19	制御手順	36
図2.3.20	タイマの接続と分周比の設定	37
図2.3.21	関連レジスタの設定	38
図2.3.22	制御手順	39
図2.4.1	シリアルI/O関連レジスタのメモリ配置	41
図2.4.2	送信/受信バッファレジスタの構成	42
図2.4.3	シリアルI/Oステータスレジスタの構成	42
図2.4.4	シリアルI/O制御レジスタの構成	43
図2.4.5	UART制御レジスタの構成	43
図2.4.6	ポーレートジェネレータの構成	44
図2.4.7	割り込みエッジ選択レジスタの構成	44
図2.4.8	割り込み要求レジスタ2の構成	45
図2.4.9	割り込み制御レジスタ2の構成	45
図2.4.10	シリアルI/Oの接続例1	46
図2.4.11	シリアルI/Oの接続例2	47
図2.4.12	シリアルI/O転送データフォーマット	48
図2.4.13	接続図	49
図2.4.14	タイミング図	49
図2.4.15	送信側関連レジスタの設定	50
図2.4.16	受信側関連レジスタの設定	51
図2.4.17	送信側の制御手順	52
図2.4.18	受信側の制御手順	53
図2.4.19	接続図	54
図2.4.20	タイミング図	54
図2.4.21	シリアルI/O関連レジスタの設定	55
図2.4.22	シリアルI/O送信データの設定	55
図2.4.23	シリアルI/O制御手順	56
図2.4.24	接続図	57
図2.4.25	タイミング図	58
図2.4.26	関連レジスタの設定	58
図2.4.27	マスタ側の制御手順	59
図2.4.28	スレーブ側の制御手順	60
図2.4.29	接続図	61
図2.4.30	タイミング図	61
図2.4.31	送信側関連レジスタの設定	63
図2.4.32	受信側関連レジスタの設定	64
図2.4.33	送信側の制御手順	65
図2.4.34	受信側の制御手順	66
図2.4.35	シリアルI/O制御レジスタの再設定手順	69

図2.7.1	A/D変換器関連レジスタのメモリ配置	72
図2.7.2	AD制御レジスタの構成	72
図2.7.3	AD変換レジスタ1の構成	73
図2.7.4	AD変換レジスタ2の構成	73
図2.7.5	割り込み要求レジスタ2の構成	74
図2.7.6	割り込み制御レジスタ2の構成	74
図2.7.7	接続図	75
図2.7.8	関連レジスタの設定	75
図2.7.9	制御手順(8ビット読み出し時)	76
図2.7.10	制御手順(10ビット読み出し時)	76
図2.8.1	ウォッチドッグタイマ関連レジスタのメモリ配置	78
図2.8.2	ウォッチドッグタイマ制御レジスタの構成	78
図2.8.3	CPUモードレジスタの構成	79
図2.8.4	ウォッチドッグタイマの接続と分周比の設定	80
図2.8.5	関連レジスタの初期設定	81
図2.8.6	制御手順	81
図2.9.1	パワーオンリセット回路例	82
図2.9.2	RAMバックアップシステム	82
図2.10.1	PLL関連レジスタのメモリ配置	84
図2.10.2	USB制御レジスタの構成	84
図2.10.3	CPUモードレジスタの構成	85
図2.10.4	PLL制御レジスタの構成	85
図2.10.5	PLL回路ブロック図	86
図2.10.6	PLL関連レジスタの設定例(ハードウェアリセット時)	87
図2.10.7	PLL関連レジスタの設定例(ストップモード時)	88
図2.10.8	PLL関連レジスタの設定例(ストップモード復帰時)	89
図2.11.1	クロック発生回路関連レジスタのメモリ配置	90
図2.11.2	USB制御レジスタの構成	90
図2.11.3	CPUモードレジスタの構成	91
図2.11.4	PLL制御レジスタの構成	91
図2.11.5	関連レジスタ設定方法	92
図2.11.6	関連レジスタ設定方法	94
図2.12.1	スタンバイ機能関連レジスタのメモリ配置	95
図2.12.2	MISRGの構成	95
図2.12.3	リセット入力による復帰時の発振安定時間	97
図2.12.4	INT ₀ 割り込み要求の発生による復帰時の実行シーケンス例	99
図2.12.5	リセット入力時間	101
図2.13.1	38K0グループフラッシュメモリ版のメモリ配置	103
図2.13.2	フラッシュ関連レジスタのメモリ配置	104
図2.13.3	フラッシュメモリ制御レジスタの構成	104
図2.13.4	標準シリアル入出力モードによる内蔵フラッシュメモリ書き換え例	107
図2.13.5	標準シリアル入出力モード時の基板上的端子処理例(1)	108
図2.13.6	標準シリアル入出力モード時の基板上的端子処理例(2)	108
図2.13.7	標準シリアル入出力モード時の基板上的端子処理例(3)	109
図2.13.8	CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例	110
図2.13.9	CPU書き換えモードの設定 / 解除フローチャート	111

第3章 付 録

図3.1.1	出力スイッチング特性測定回路図	12
図3.1.2	USB出力スイッチング特性測定回路図1(D0-)	14
図3.1.3	USB出力スイッチング特性測定回路図2(D0+)	14
図3.1.4	タイミング図(1)	15
図3.1.5	タイミング図(2)	16
図3.1.6	タイミング図(3)	17
図3.1.7	タイミング図(4)	18
図3.1.8	タイミング図(5)	19
図3.1.9	タイミング図(6)	20
図3.2.1	関連レジスタの設定変更手順	23
図3.2.2	割り込み要求ビットの判定手順	24
図3.2.3	シリアルI/O制御レジスタの再設定手順	26
図3.2.4	プロセッサステータスレジスタのフラグの初期化	31
図3.2.5	PLP命令実行時の手順	31
図3.2.6	PHP命令実行後のスタックメモリの内容	31
図3.2.7	10進演算時のステータスフラグ	32
図3.3.1	パッケージの選択	34
図3.3.2	リセット入力端子の配線	34
図3.3.3	クロック入出力端子の配線	35
図3.3.4	CNVSS端子の配線	35
図3.3.5	フラッシュ版のVPP端子の配線	36
図3.3.6	V _{SS} - V _{CC} ライン間のバイパスコンデンサ	36
図3.3.7	アナログ信号線と抵抗及びコンデンサ	37
図3.3.8	大電流が流れる信号線の配線	38
図3.3.9	リセット入力端子の配線	39
図3.3.10	発振子の裏面のVSSパターン	39
図3.3.11	入出力ポート処理	39
図3.3.12	ソフトウェアによる監視タイマ	40
図3.4.1	ポートPiの構成	41
図3.4.2	ポートPi方向レジスタの構成	41
図3.4.3	USB制御レジスタ(USBCON)の構成	42
図3.4.4	USBファンクション許可レジスタ(USBAE)の構成	42
図3.4.5	USBファンクションアドレスレジスタ(USBA0)の構成	42
図3.4.6	フレームナンバ下位レジスタ(FNUML)の構成	43
図3.4.7	フレームナンバ上位レジスタ(FNUMH)の構成	43
図3.4.8	USB割り込み要因許可レジスタ(USBICON)の構成	43
図3.4.9	USB割り込み要因レジスタ(USBIREQ)の構成	44
図3.4.10	エンドポイントインデックスレジスタ(USBINDEX)の構成	44
図3.4.11	EP00ステージレジスタ(EP00STG)の構成	45
図3.4.12	EP01設定レジスタ(EP01CFG)の構成	45
図3.4.13	EP02設定レジスタ(EP02CFG)の構成	46
図3.4.14	EP03設定レジスタ(EP03CFG)の構成	46
図3.4.15	EP00制御レジスタ1(EP00CON1)の構成	47

図3.4.16	EP01制御レジスタ1(EP01CON1)の構成	47
図3.4.17	EP02制御レジスタ1(EP02CON1)の構成	47
図3.4.18	EP03制御レジスタ1(EP03CON1)の構成	48
図3.4.19	EP00制御レジスタ2(EP00CON2)の構成	48
図3.4.20	EP01制御レジスタ2(EP01CON2)の構成	48
図3.4.21	EP02制御レジスタ2(EP02CON2)の構成	48
図3.4.22	EP03制御レジスタ2(EP03CON2)の構成	49
図3.4.23	EP00制御レジスタ3(EP00CON3)の構成	49
図3.4.24	EP01制御レジスタ3(EP01CON3)の構成	49
図3.4.25	EP02制御レジスタ3(EP02CON3)の構成	50
図3.4.26	EP03制御レジスタ3(EP03CON3)の構成	50
図3.4.27	EP00割り込み要因レジスタ(EP00REQ)の構成	51
図3.4.28	EP01割り込み要因レジスタ(EP01REQ)の構成	52
図3.4.29	EP02割り込み要因レジスタ(EP02REQ)の構成	52
図3.4.30	EP03割り込み要因レジスタ(EP03REQ)の構成	53
図3.4.31	EP00バイト数レジスタ(EP00BYT)の構成	53
図3.4.32	EP01バイト数レジスタ0(EP01BYT0)の構成	53
図3.4.33	EP02バイト数レジスタ0(EP02BYT0)の構成	54
図3.4.34	EP03バイト数レジスタ0(EP03BYT0)の構成	54
図3.4.35	EP01バイト数レジスタ1(EP01BYT1)の構成	54
図3.4.36	EP02バイト数レジスタ1(EP02BYT1)の構成	55
図3.4.37	EP03バイト数レジスタ1(EP03BYT1)の構成	55
図3.4.38	プリスケラ12、プリスケラXの構成	56
図3.4.39	タイマ1の構成	56
図3.4.40	タイマ2、タイマXの構成	56
図3.4.41	タイマXモードレジスタの構成	57
図3.4.42	送信/受信バッファレジスタの構成	57
図3.4.44	EXB割り込み要因許可レジスタ(EXBICON)の構成	58
図3.4.43	シリアルI/Oステータスレジスタの構成	58
図3.4.45	EXB割り込み要因レジスタ(EXBIREQ)の構成	59
図3.4.46	EXBインデックスレジスタ(EXBINDEX)の構成	59
図3.4.47	レジスタウインドウ1(EXBREG1)の構成	60
図3.4.48	インデックス00[low]の構成	60
図3.4.49	インデックス01[low]の構成	60
図3.4.50	インデックス02[low]の構成	61
図3.4.51	インデックス03[low]の構成	61
図3.4.52	インデックス04[low]の構成	61
図3.4.53	レジスタウインドウ2(EXBREG2)の構成	61
図3.4.54	インデックス00[high]の構成	62
図3.4.55	インデックス03[high]の構成	62
図3.4.56	インデックス04[high]の構成	62
図3.4.57	AD制御レジスタの構成	63
図3.4.58	AD変換レジスタ1の構成	63
図3.4.59	AD変換レジスタ2の構成	64
図3.4.60	ウォッチドッグタイマ制御レジスタの構成	64

図3.4.61	CPUモードレジスタの構成	65
図3.4.62	割り込み要求レジスタ1の構成	65
図3.4.63	割り込み要求レジスタ2の構成	66
図3.4.64	割り込み制御レジスタ1の構成	66
図3.4.65	割り込み制御レジスタ2の構成	67
図3.4.66	シリアルI/O制御レジスタの構成	67
図3.4.67	UART制御レジスタの構成	68
図3.4.68	ポーレートジェネレータの構成	68
図3.4.69	EP01MAXパケットサイズレジスタ(EP01MAX)の構成	68
図3.4.70	EP02MAXパケットサイズレジスタ(EP02MAX)の構成	69
図3.4.71	EP03MAXパケットサイズレジスタ(EP03MAX)の構成	69
図3.4.72	EP00バッファ領域設定レジスタ(EP00BUF)の構成	69
図3.4.73	EP01バッファ領域設定レジスタ(EP01BUF)の構成	69
図3.4.74	EP02バッファ領域設定レジスタ(EP02BUF)の構成	70
図3.4.75	EP03バッファ領域設定レジスタ(EP03BUF)の構成	70
図3.4.76	ポート0プルアップ制御レジスタの構成	71
図3.4.77	ポート5プルアップ制御レジスタの構成	71
図3.4.78	割り込みエッジ選択レジスタの構成	72
図3.4.79	PLL制御レジスタの構成	72
図3.4.80	MISRGの構成	73
図3.4.81	フラッシュメモリ制御レジスタの構成	73

表目次

第1章 ハードウェア

表1 38K0グループ端子の機能説明	4
表2 38K0グループ(L仕様)サポート製品一覧	5
表3 .アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令	7
表4 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令	8
表5 入出力ポートの機能一覧	12
表6 .割り込みベクトル番地と優先順位	16
表7 .USB割り込み要因一覧	29
表8 38K0グループ(フラッシュメモリ版)の性能概要	77
表9 .ソフトウェアコマンド一覧表(CPU書き換えモード)	82
表10 .ステータスレジスタの各ビットの定義	84
表11 .端子の機能説明(標準シリアル入出力モード)	90
表12 .ソフトウェアコマンド一覧表(標準シリアル入出力モード)	92
表13 .ステータスレジスタ(SRD)	98
表14 .ステータスレジスタ1(SRD1)	99
表15 .VrefとA/D変換器の基準電圧VREFの関係式	105
表16 .A/D変換中のAD変換レジスタの変化	105

第2章 応用

表2.1.1 未使用端子の処理	5
表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位	12
表2.2.2 各割り込み要因に対する割り込み制御ビット一覧	17
表2.3.1 CNTR0極性切り替えビットの機能	26
表2.4.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例	62
表2.10.1 PLL動作モード選択ビットの設定例	86
表2.10.2 USBクロック分周比選択ビットの設定例	87
表2.11.1 メインクロック $f(X_{IN})$ による内部クロック $f()$ の生成例	92
表2.11.2 f_{SYN} による内部クロック $f()$ の生成例	93
表2.12.1 ストップモード時の状態	96
表2.12.2 ウェイトモード時の状態	100
表2.13.1 .パラレル書き込み時のプログラマ設定	105
表2.13.2 .シリアル書き込み時のフラッシュライタとの接続例(4線式)	105
表2.13.3 .標準シリアル入出力モードの設定条件	107

第3章 付 録

表3.1.1	絶対最大定格	2
表3.1.2	推奨動作条件(1)	3
表3.1.3	推奨動作条件(2)	4
表3.1.4	推奨動作条件(3)	5
表3.1.5	電気的特性(1)	6
表3.1.6	電気的特性(2)	7
表3.1.7	A/D変換器特性(1)	8
表3.1.8	タイミング必要条件(1)	9
表3.1.9	タイミング必要条件(2)	9
表3.1.10	外部バスインタフェース(EXB)のタイミング必要条件(1)	10
表3.1.11	外部バスインタフェース(EXB)のタイミング必要条件(2)	11
表3.1.12	スイッチング特性(1)	12
表3.1.13	スイッチング特性(2)	12
表3.1.14	外部バスインタフェース(EXB)のスイッチング特性(1)	13
表3.1.15	外部バスインタフェース(EXB)のスイッチング特性(2)	13
表3.1.16	スイッチング特性(USBポート)	14

第 1 章

ハードウェア

概要

特長

ピン接続

機能ブロック

端子の機能説明

グループ展開

機能ブロック動作説明

プログラミング上の注意事項

使用上の注意事項

マスク化発注時の提出資料

補足説明

概要

38K0グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。USB、8ビットバスインタフェース、シリアルインタフェース、8ビットタイマ、A/D変換器を内蔵しており、パソコン周辺入出力機器に最適です。

38K0グループには、メモリの種類、容量、パッケージの異なる複数の品種があります。詳細についてはグループ展開の項を参照してください。

特長

- 基本機械語命令 71
- 命令実行時間 0.25 μ s
(最短命令、システムクロック*8MHz時)
- システムクロック* : USB機能以外の内部回路への基準周波数
- メモリ容量 ROM 16 ~ 32Kバイト
RAM 1024 ~ 2048バイト
- プログラマブル入出力ポート 48本
- ソフトウェアプルアップ抵抗 内蔵
- 割り込み 15要因15ベクタ
- USB機能(Full-Speed USB2.0仕様) 4エンドポイント
- 外部バスインタフェース 8ビット×1チャンネル
- タイマ 8ビット×3
- ウォッチドッグタイマ 16ビット×1

● シリアルインタフェース

シリアルI/O (UART又はクロック同期形) 8ビット×1

- A/D変換器 10ビット×8チャンネル
(8ビット読み出し可能)

- LED直接駆動ポート 4本

- クロック発生回路 内蔵
(セラミック共振子又は水晶共振子外付け)

● 電源電圧 (L仕様)

システムクロック / 内部クロック分周モード

12MHz/2分周モード(6MHz)時 4.00 ~ 5.25V

8MHz/スルーモード(8MHz)時 4.00 ~ 5.25V

6MHz/スルーモード(6MHz)時 3.00 ~ 5.25V

● 消費電力

電源電圧5V時 125mW(標準)
(システムクロック8MHz、スルーモード時)

電源電圧3.3V時 30mW(標準)
(システムクロック6MHz、スルーモード時)

- 動作周囲温度 -20 ~ 85

● パッケージ

FP PLQP0064GA-A(64ピン 14 × 14mm LQFP)

HP PLQP0064KB-A(64ピン 10 × 10mm LQFP)

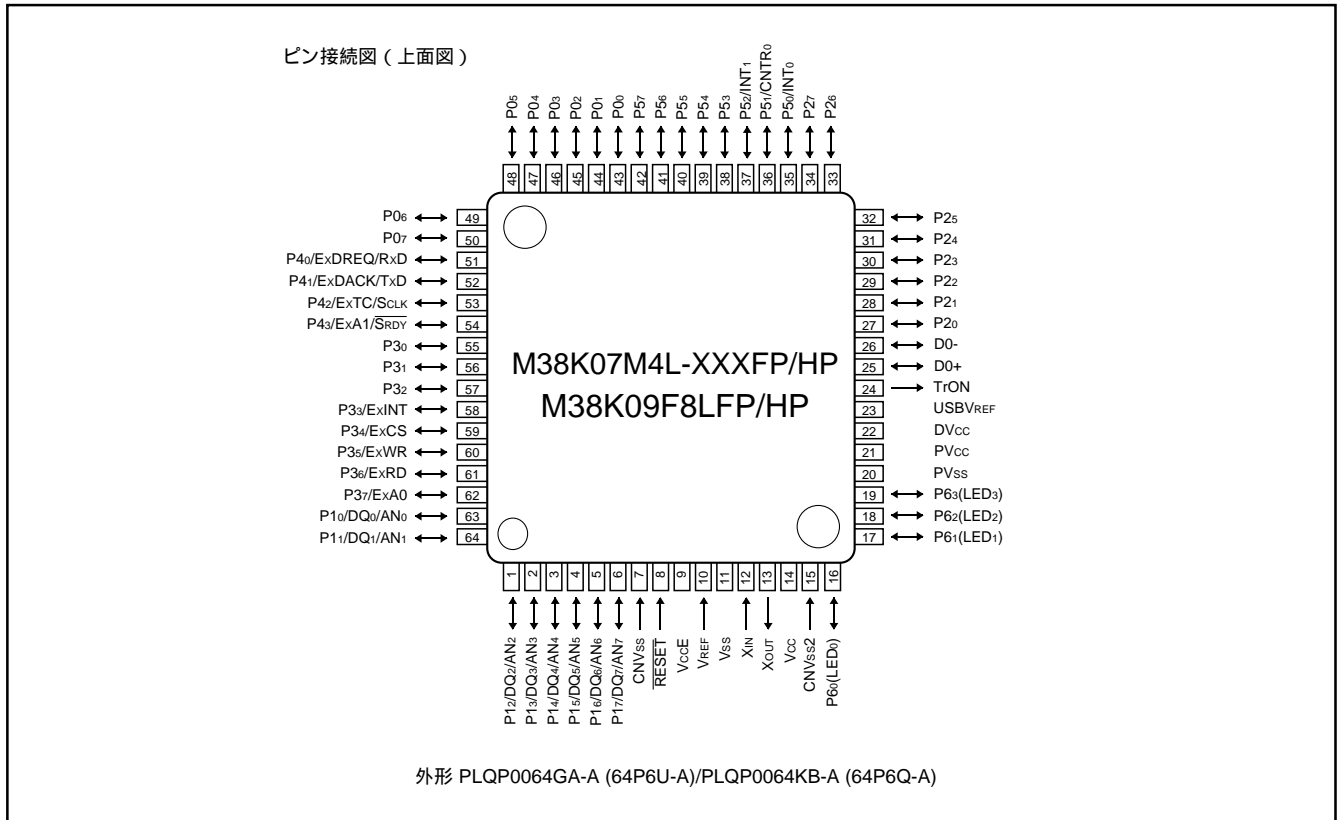


図1 . 38K0グループのピン接続図

機能ブロック

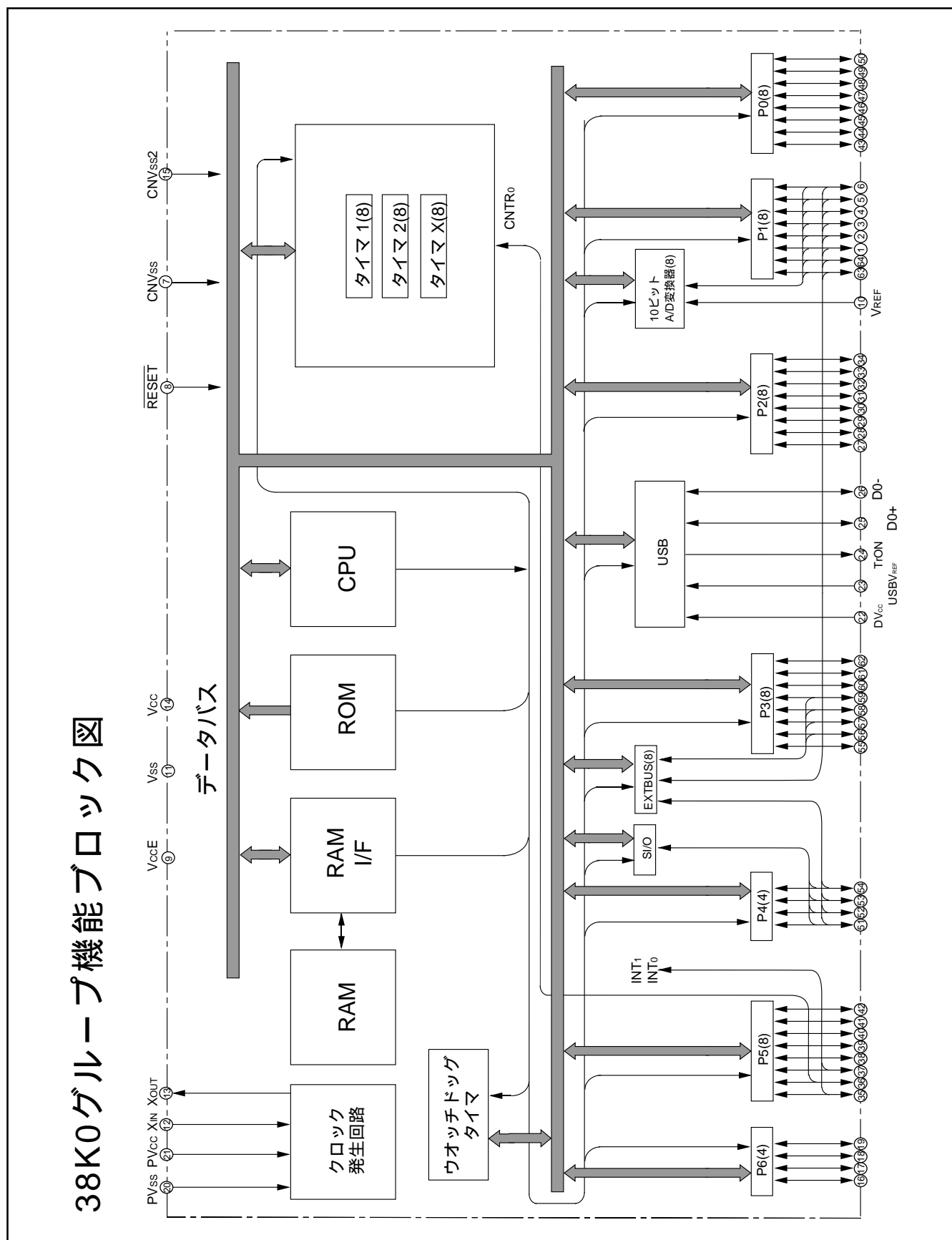


図2 . 38K0グループ機能ブロック図(64ピン)

端子の機能説明

表1 . 38K0グループ端子の機能説明

端子名	名称	機能	ポート以外の機能
VCC、VSS	電源	Vccに3.0～5.25V(L仕様)、Vssに0Vを印加します。	
VCC_E	アナログ電源	P1、P3、P4ポート及びアナログ回路の電源端子です。Vccに接続してください。	
CNVSS	CNVSS	チップの動作モードを制御する端子です。Vssに接続してください。フラッシュメモリモードでは、VPP電源入力端子になります。	
CNVSS2	CNVSS2	チップの動作モードを制御する端子です。Vssに接続してください。	
VREF	基準電圧入力	A/D変換器の基準電圧入力端子です。	
DVCC PVCC、PVSS	アナログ電源	アナログ回路の電源端子です。 DVCC、PVCC端子はVcc、PVSS端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力		
USBVREF	USB基準電源	USB用ポート回路の電源端子です。 Vcc=4.0～5.25Vの時は、内蔵USB基準電圧回路を使用してください。 Vcc=3.6～4.0Vの時は、内蔵USB基準電圧回路は使用できません。外部より3.3V電源をこの端子に供給してください。 Vcc=3.0～3.6Vの時は、内蔵USB基準電圧回路は使用できません。Vccに接続してください。	
TrON	USB基準電圧出力	D0+を1.5k の外付け抵抗でプルアップするための出力端子です。	
D0+、D0-	USBアップストリーム入出力	USBアップストリーム入出力ポートです。USB入力レベルで、出力形式はUSB出力レベルです。	
P00～P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウエイクアップ割り込み入力)端子
P10/DQ0/AN0～ P17/DQ7/AN7	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	A/D変換器入力端子 外部バスインタフェース機能端子
P20～P27	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	
P30～P32 P33/ExINT P34/ExCS P35/ExWR P36/ExRD P37/ExA0	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	外部バスインタフェース機能端子
P40/ExDREQ/RxD P41/ExDACK/TxD P42/ExTC/SCLK P43/ExA1/SRDY	入出力ポートP4	4ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアルI/O機能端子 外部バスインタフェース機能端子
P50/INT0 P51/CNTR0 P52/INT1 P53～P57	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	割り込み入力端子 タイマX機能端子 割り込み入力端子
P60～P63	入出力ポートP6	4ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。LED駆動用の大電流出力が可能です。	

グループ展開

38K0グループは次のような展開を計画しています。

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

メモリ容量

フラッシュメモリ容量 32Kバイト

マスクROM容量 16Kバイト

RAM容量 1024～2048バイト

パッケージ

PLQP0064GA-A

..... 0.8mmピッチプラスチックモールドLQFP

PLQP0064KB-A

..... 0.5mmピッチプラスチックモールドLQFP

100D0M 0.65mmピッチセラミックPIGGY BACK

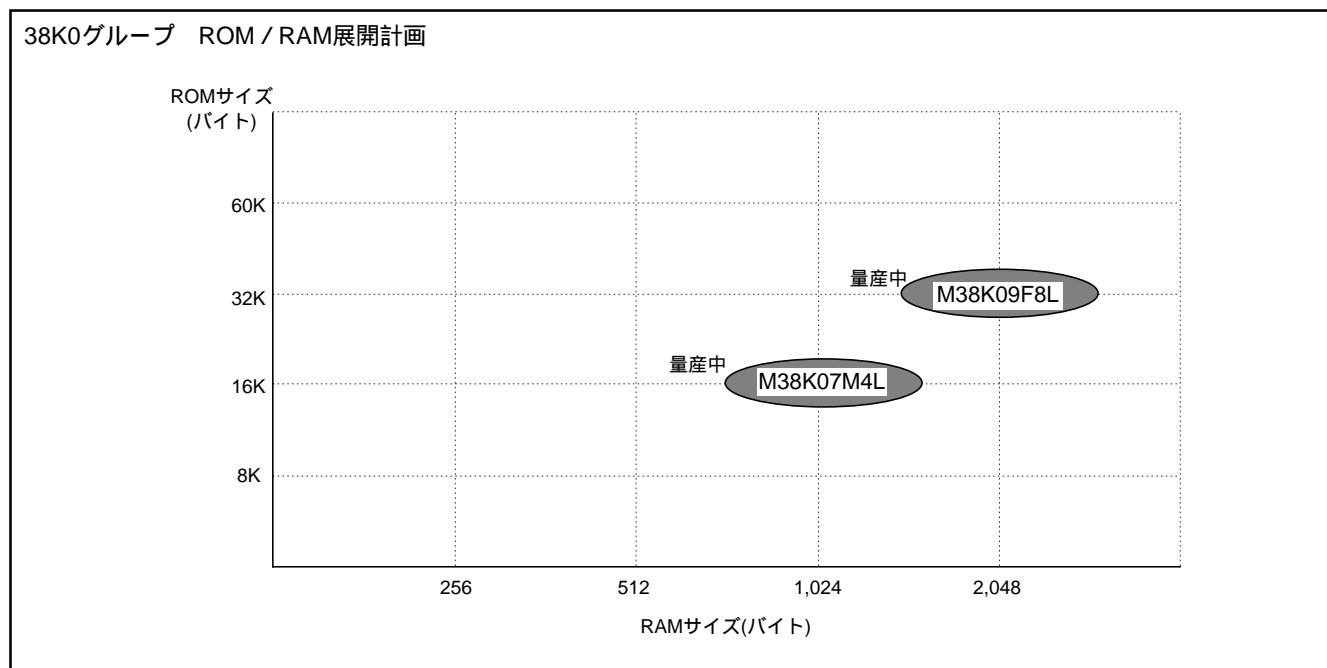


図3 . ROM/RAM展開計画

現在サポートを計画している製品を下記に示します。

表2 . 38K0グループ(L仕様)サポート製品一覧

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38K07M4L-XXXFP	16384	1024	PLQP0064GA-A	マスクROM版
M38K07M4L-XXXHP	(16254)		PLQP0064KB-A	
M38K09F8LFP	32768	2048	PLQP0064GA-A	フラッシュメモリ版
M38K09F8LHP	(32638)		PLQP0064KB-A	
M38K09RFS	—————	2048	100D0	

機能ブロック動作説明

中央演算処理装置(CPU)

38K0グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算装置(CPU)には6個のレジスタがあります。図4にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図5に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

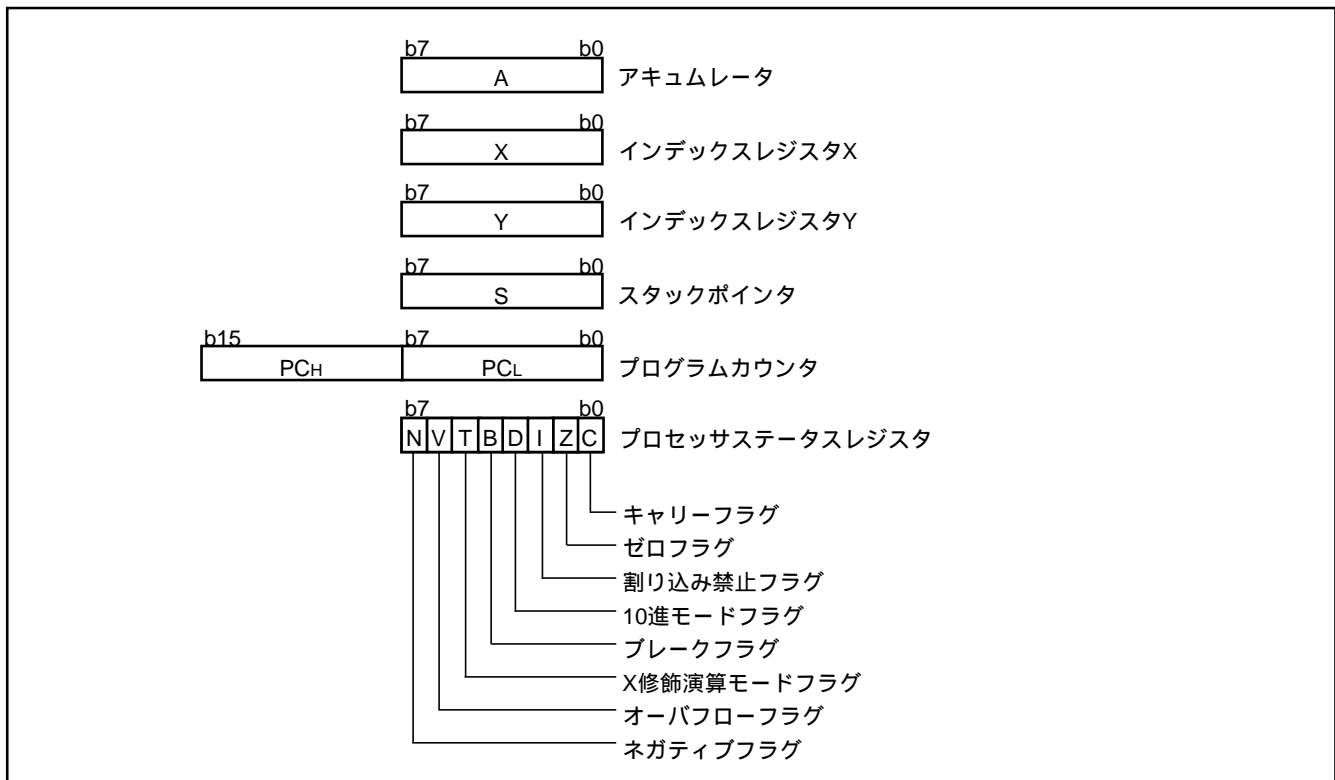


図4. 740ファミリCPUの構成

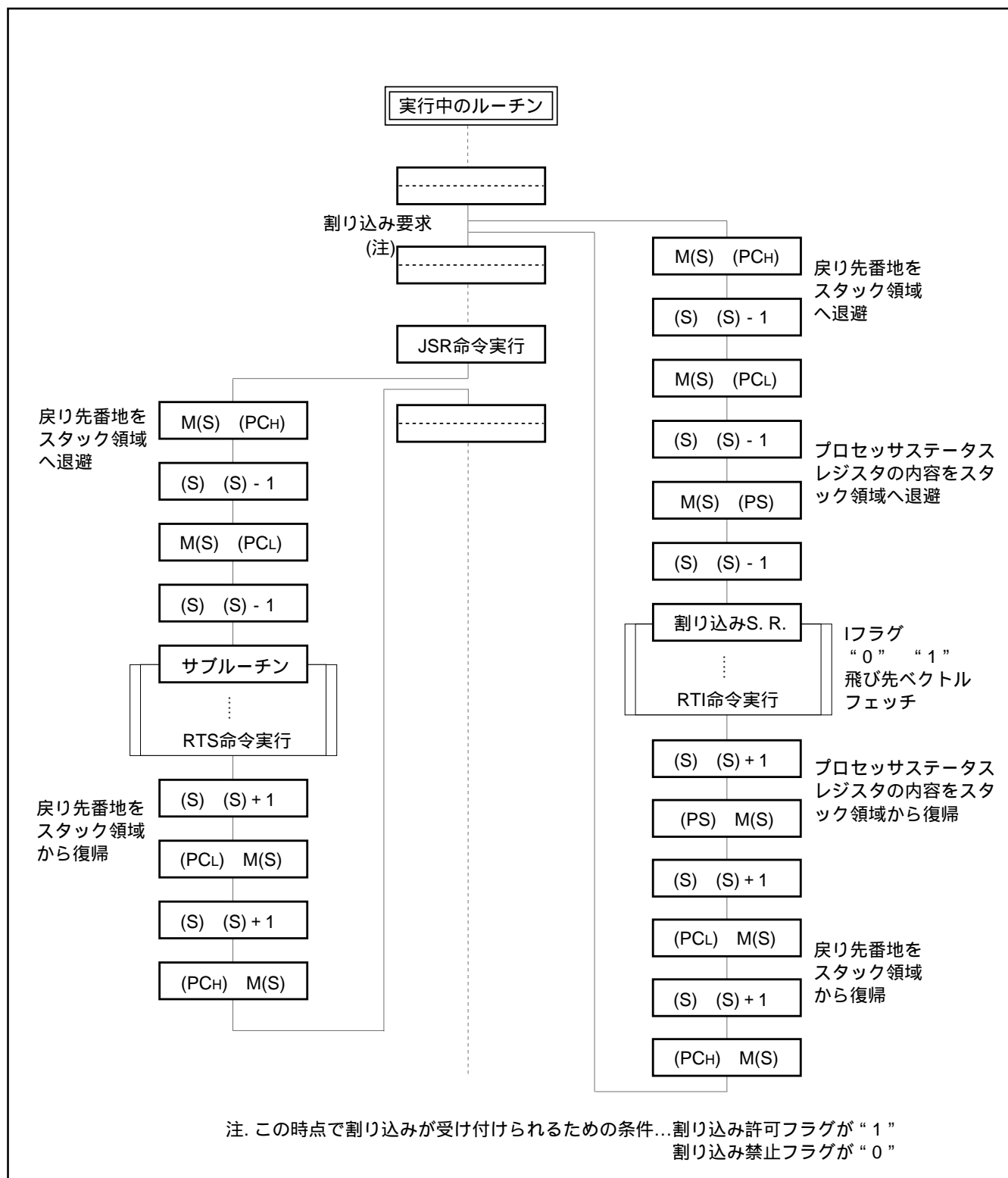


図5. スタックへの退避及び復帰動作

表3. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はポローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】

CPUモードレジスタには、スタックページの選択ビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

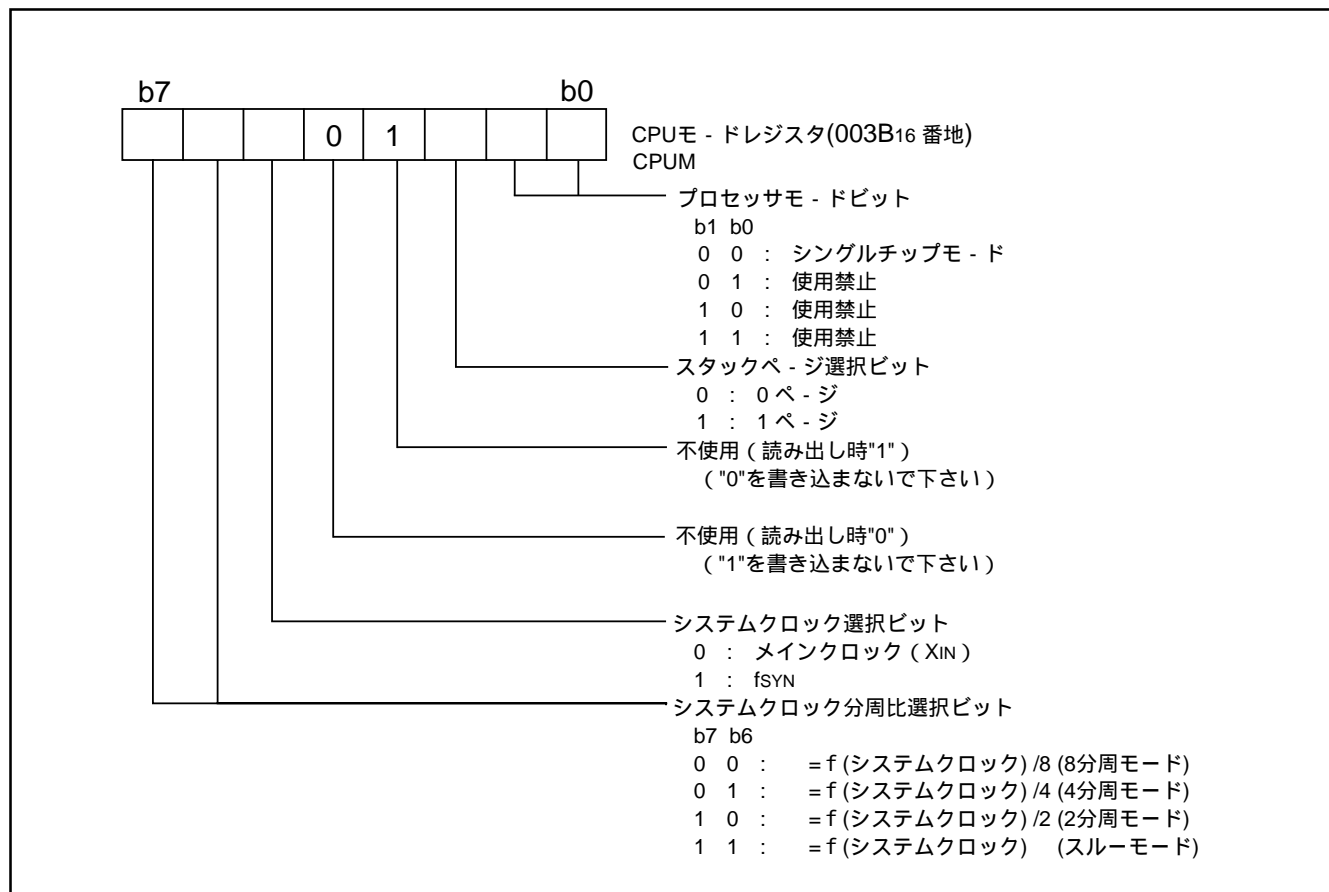


図6 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。フラッシュメモリ版では、予約ROM領域のプログラム/イレーズが可能です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

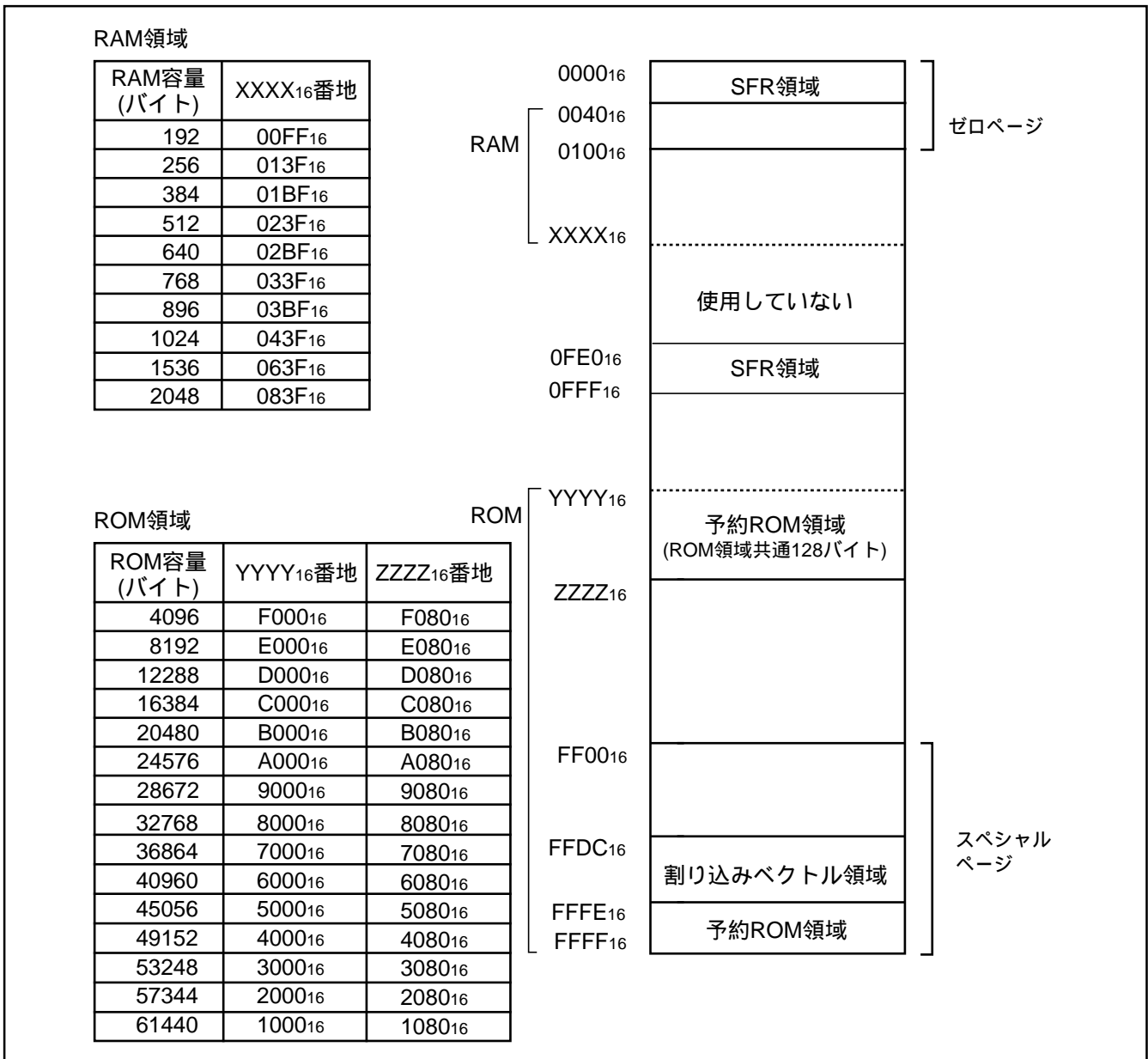


図7. メモリ配置図

000016	ポートP0(P0)	002016	プリスケアラ12(PRE12)
000116	ポートP0方向レジスタ(P0D)	002116	タイマ1(T1)
000216	ポートP1(P1)	002216	タイマ2(T2)
000316	ポートP1方向レジスタ(P1D)	002316	タイマXモードレジスタ(TM)
000416	ポートP2(P2)	002416	プリスケアラX(PREX)
000516	ポートP2方向レジスタ(P2D)	002516	タイマX(TX)
000616	ポートP3(P3)	002616	送信/受信バッファレジスタ(TB/RB)
000716	ポートP3方向レジスタ(P3D)	002716	シリアルI/Oステータスレジスタ(SIOSTS)
000816	ポートP4(P4)	002816	予約領域
000916	ポートP4方向レジスタ(P4D)	002916	予約領域
000A16	ポートP5(P5)	002A16	予約領域
000B16	ポートP5方向レジスタ(P5D)	002B16	予約領域
000C16	ポートP6(P6)	002C16	予約領域
000D16	ポートP6方向レジスタ(P6D)	002D16	予約領域
000E16	予約領域	002E16	予約領域
000F16	予約領域	002F16	予約領域
001016	USB制御レジスタ(USBCON)	003016	EXB割り込み要因許可レジスタ(EXBICON)
001116	USBファンクション許可レジスタ(USBAE)	003116	EXB割り込み要因レジスタ(EXBIREQ)
001216	USBファンクションアドレスレジスタ(USBA0)	003216	予約領域
001316		003316	EXBインデックスレジスタ(EXBINDEX)
001416	フレームナンバ下位レジスタ(FNUML)	003416	EXBフィールドレジスタ1(EXBREG1)
001516	フレームナンバ上位レジスタ(FNUMH)	003516	EXBフィールドレジスタ2(EXBREG2)
001616	USB割り込み要因許可レジスタ(USBICON)	003616	AD制御レジスタ(ADCON)
001716	USB割り込み要因レジスタ(USBIREQ)	003716	AD変換レジスタ1(AD1)
001816	エンドポイントインデックスレジスタ(USBINDEX)	003816	AD変換レジスタ2(AD2)
001916	エンドポイントフィールドレジスタ1(EPXXREG1)	003916	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A16	エンドポイントフィールドレジスタ2(EPXXREG2)	003A16	予約領域
001B16	エンドポイントフィールドレジスタ3(EPXXREG3)	003B16	CPUモードレジスタ(CPUM)
001C16	エンドポイントフィールドレジスタ4(EPXXREG4)	003C16	割り込み要求レジスタ1(IREQ1)
001D16	エンドポイントフィールドレジスタ5(EPXXREG5)	003D16	割り込み要求レジスタ2(IREQ2)
001E16	エンドポイントフィールドレジスタ6(EPXXREG6)	003E16	割り込み制御レジスタ1(ICON1)
001F16	エンドポイントフィールドレジスタ7(EPXXREG7)	003F16	割り込み制御レジスタ2(ICON2)
0FE016	シリアルI/O制御レジスタ(SIOCON)	0FF016	ポートP0プルアップ制御レジスタ(PULL0)
0FE116	UART制御レジスタ(UARTCON)	0FF116	予約領域
0FE216	ポーレートジェネレータ(BRG)	0FF216	ポートP5プルアップ制御レジスタ(PULL5)
0FE316	予約領域	0FF316	割り込みエッジ選択レジスタ(INTEDGE)
0FE416	予約領域	0FF416	予約領域
0FE516	予約領域	0FF516	予約領域
0FE616	予約領域	0FF616	予約領域
0FE716	予約領域	0FF716	予約領域
0FE816	予約領域	0FF816	PLL制御レジスタ(PLLCON)
0FE916	予約領域	0FF916	予約領域
0FEA16	予約領域	0FFA16	予約領域
0FEB16	予約領域	0FFB16	MISRG
0FEC16	エンドポイントフィールドレジスタ8(EPXXREG8)	0FFC16	予約領域
0FED16	エンドポイントフィールドレジスタ9(EPXXREG9)	0FFD16	予約領域
0FEE16	予約領域	0FFE16	フラッシュメモリ制御レジスタ(FMCR)
0FEF16	予約領域	0FFF16	予約領域

注．予約領域は書き込み及び読み出しを行わないでください。

図8. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができません。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表5．入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00 ~ P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キーオンウェイクアップ	ポートP0プルアップ 制御レジスタ	(1)
P10 ~ P17	ポートP1		CMOS入力レベル CMOS3ステート出力 (電源はVCCE)	A/D変換器入力 外部バスインタフェース機能 入出力	AD制御レジスタ EXB制御レジスタ	(2)
P20 ~ P27	ポートP2		CMOS入力レベル CMOS3ステート出力	—	—	(3)
P30 ~ P32	ポートP3		CMOS入力レベル CMOS3ステート出力 (電源はVCCE)	—	—	(4)
P33/ExINT				外部バスインタフェース機能出力	EXB制御レジスタ	(5)
P34/ExCS P35/ExWR P36/ExRD P37/ExA0				外部バスインタフェース機能入力	EXB制御レジスタ	(6)
P40/RxD/ ExDREQ	ポートP4		CMOS入力レベル CMOS3ステート出力 (電源はVCCE)	シリアルI/O入力 外部バスインタフェース機能出力	シリアルI/O制御レジスタ EXB制御レジスタ	(7)
P41/TxD/ ExDACK				シリアルI/O出力 外部バスインタフェース機能入力	シリアルI/O制御レジスタ EXB制御レジスタ	(8)
P42/SCLK /ExTC				シリアルI/O入出力 外部バスインタフェース機能入力	シリアルI/O制御レジスタ EXB制御レジスタ	(9)
P43/SRDY /ExA1				シリアルI/O出力 外部バスインタフェース機能入力	シリアルI/O制御レジスタ EXB制御レジスタ	(10)
P50/INT0 P52/INT1	ポートP5		CMOS入力レベル CMOS3ステート出力	外部割り込み入力	ポートP5プルアップ 制御レジスタ 割り込みエッジ選択 レジスタ	(11)
P51/CNTR0				タイマX機能入出力	タイマXモードレジスタ	(12)
P53 ~ P57				—	—	(13)
P60 ~ P63	ポートP6			—	—	(14)

注.STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

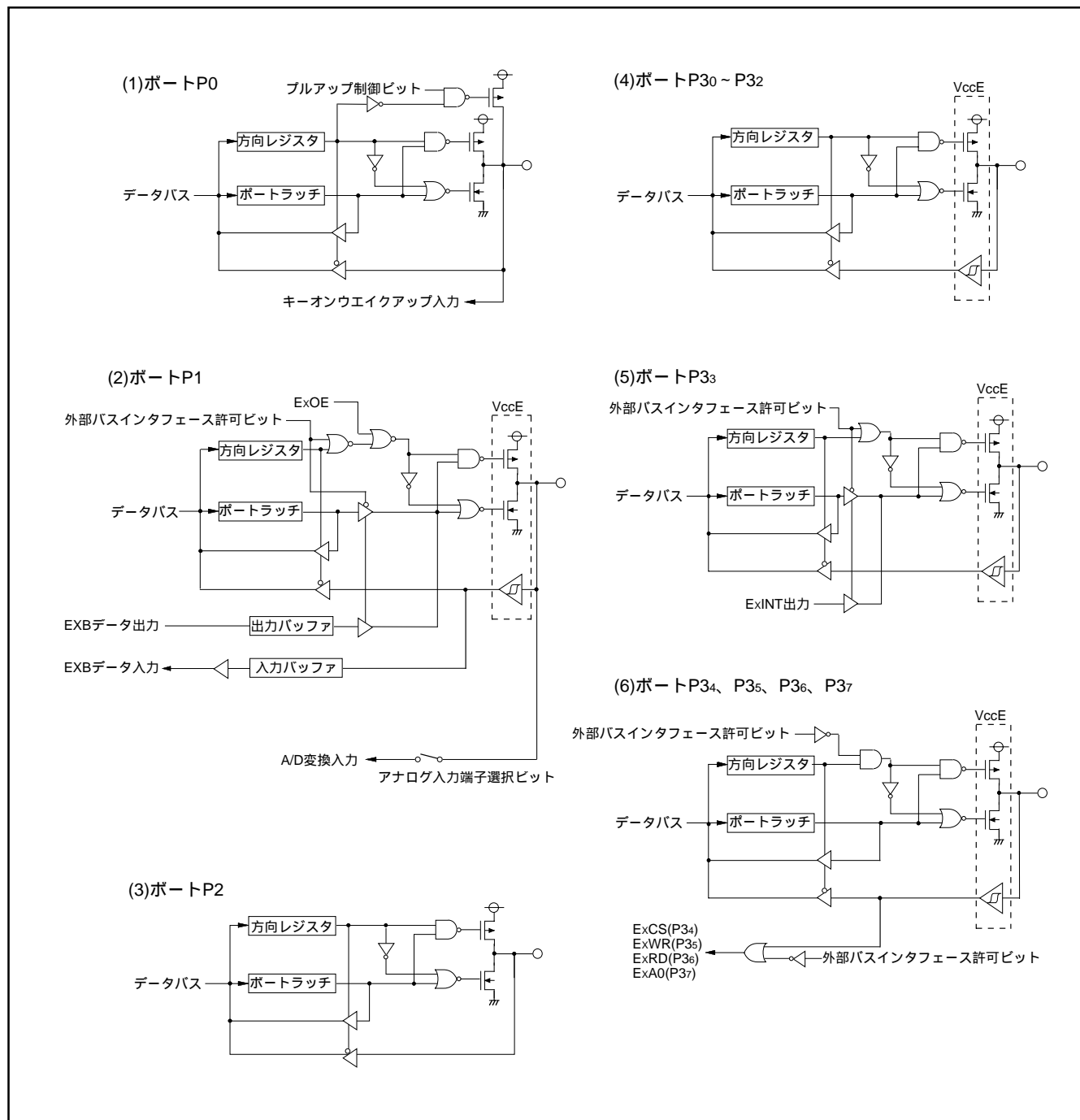


図9 . ポートブロック図(1)

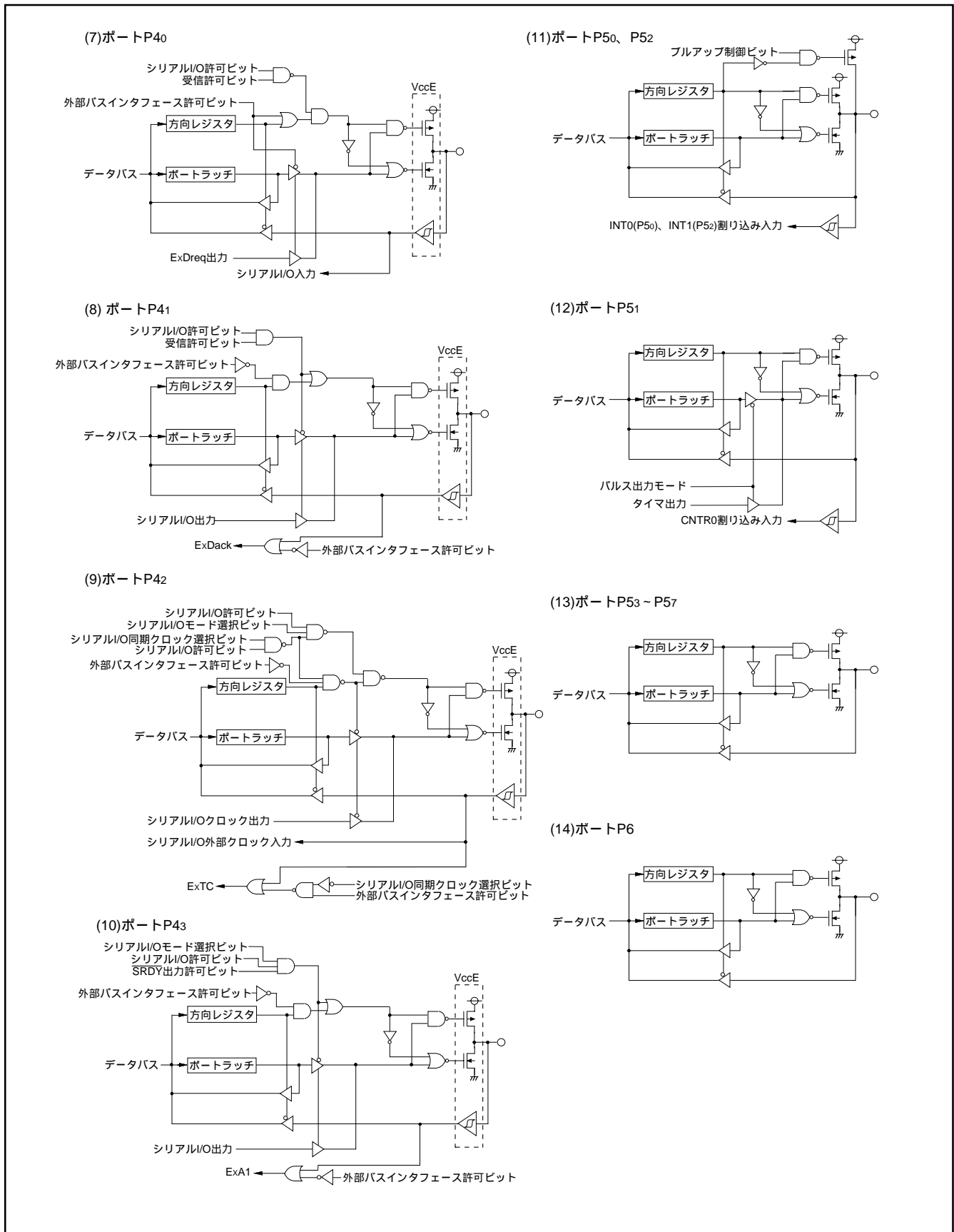


図10 . ポートブロック図(2)

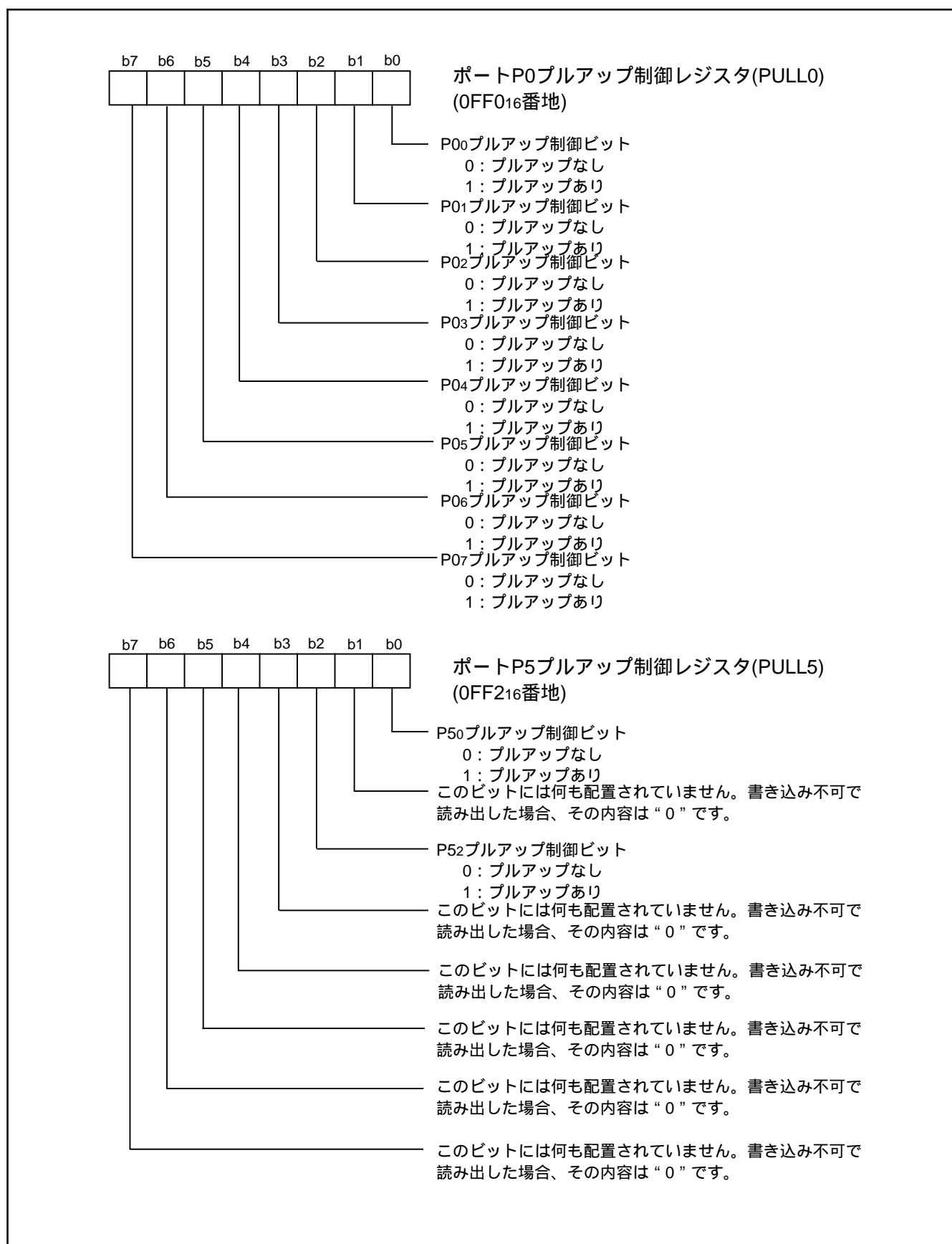


図11 . ポート入出力関連レジスタの構成

割り込み

割り込みはベクトル割り込みで、外部4要因、内部10要因、ソフトウェア1要因の15要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(0FF316番地)、
タイマXモードレジスタ(002316番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定して下さい。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)を設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

表6．割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件
		上位	下位	
リセット(注2)	1	FFFD16	FFFC16	リセット時
USBバスリセット	2	FFFB16	FFFA16	USBバスリセット信号(2.5 μs間のSE0)検出時
USB SOF	3	FFF916	FFF816	USB SOF信号検出時
USBデバイス	4	FFF716	FFF616	レジューム信号(KステートもしくはSE0)検出時又はサスペンド信号(3ms間のバスアイドル)検出時又はトランザクション終了時
外部バス	5	FFF516	FFF416	受信又は送信終了時又はDMA転送完了時
INT0	6	FFF316	FFF216	INT0入力の立ち上がり又は立ち下がりエッジ検出時
タイマX	7	FFF116	FFF016	タイマXアンダーフロー時
タイマ1	8	FFEF16	FFEE16	タイマ1アンダーフロー時
タイマ2	9	FFED16	FFEC16	タイマ2アンダーフロー時
INT1	10	FFE916	FFE816	INT1入力の立ち上がり又は立ち下がりエッジ検出時
(注3)		FFE716	FFE616	(注4)
シリアルI/O受信	11	FFE516	FFE416	シリアルI/Oデータ受信終了時
シリアルI/O送信	12	FFE316	FFE216	シリアルI/Oデータ送信終了時
CNTR0	13	FFE116	FFE016	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時
キーオンウエイクアップ	14	FFDF16	FFDE16	ポートP0(入力時)の入力論理レベルの論理積の立ち下がり時
A/D変換	15	FFDD16	FFDC16	A/D変換終了時
BRK命令	16			BRK命令実行時

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

3. このベクトル番地には、何も配置されていません。

4. 何も要求は発生しません。割り込み制御レジスタ(003F16番地)のビット1は、“0”に固定して下さい。

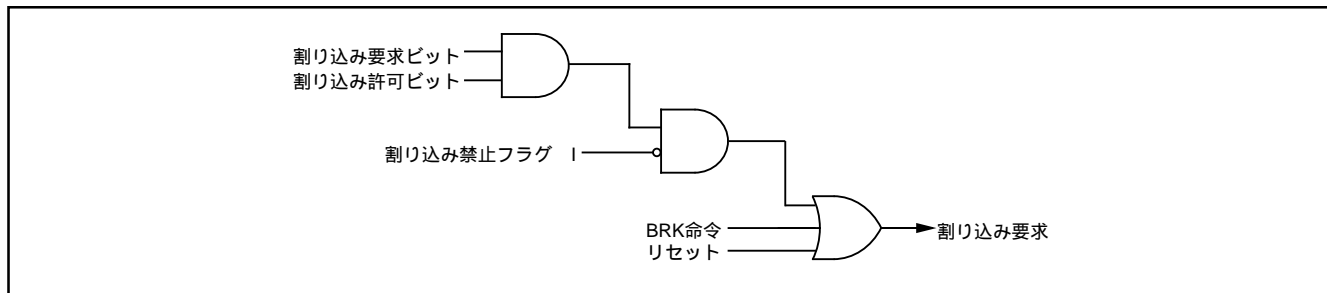


図12. 割り込み制御図

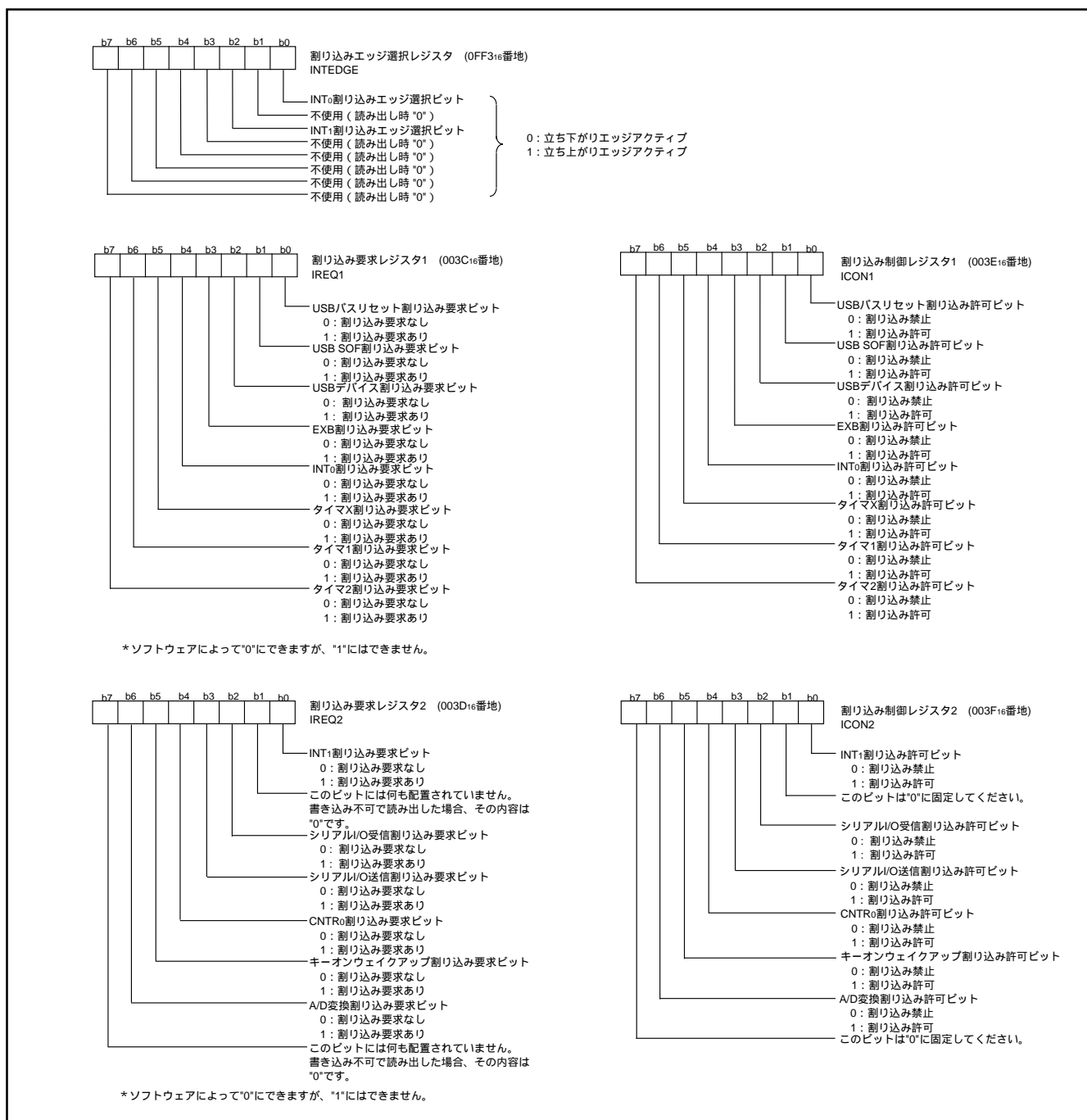


図13. 割り込み関係レジスタの構成(1)

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求が

発生します。図14はキー入力割り込みを用いた一例で、ポートP0₀ ~ P0₃を入力とするアクティブ L のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

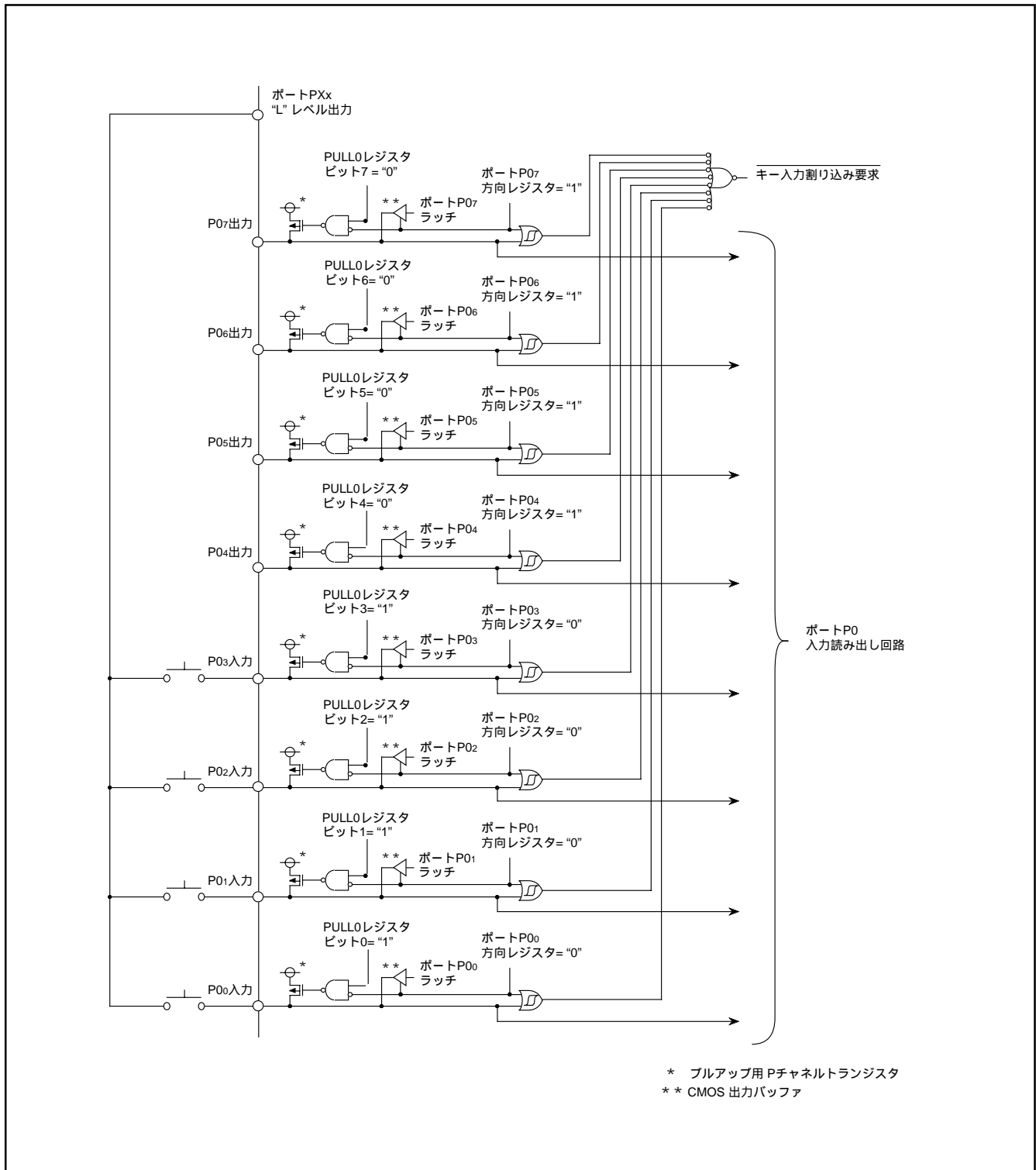


図14 . キー入力割り込み使用時の結線例とポートP0のブロック図

タイマ

タイマはタイマX、タイマ1及びタイマ2の3本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が 0016_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1_{16} にセットされます。

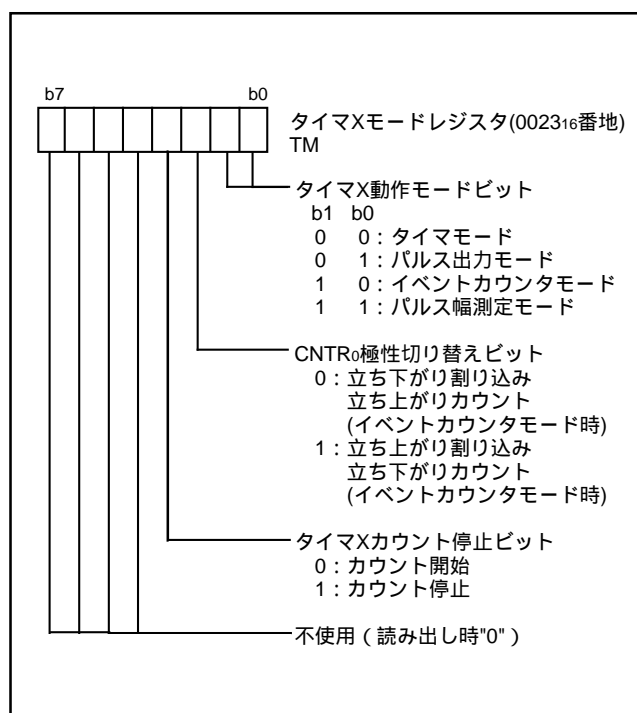


図15. タイマXモードレジスタの構成

●タイマ1、タイマ2

プリスケアラ12は、常にシステムクロックを16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX

タイマXはタイマXモードレジスタを設定することにより、4つの動作モードを選択することができます。

(1)タイマモード

システムクロックを16分周した信号をカウントします。

(2)パルス出力モード

システムクロックを16分周した信号をカウントし、タイマの内容が 0016_{16} になるたびに極性の反転する出力をCNTR₀端子より出力します。CNTR₀極性切り替えビットが 0_{16} のときは、CNTR₀端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP5₁の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR₀端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR₀極性切り替えビットが 0_{16} のときは、CNTR₀端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR₀極性切り替えビットが 0_{16} のときは、CNTR₀端子が“H”の期間、システムクロックを16分周した信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマXカウント停止ビットを 1_{16} に設定することによりカウントを停止することが可能です。また、タイマがオーバフローするたびに割り込み要求ビットをセットします。

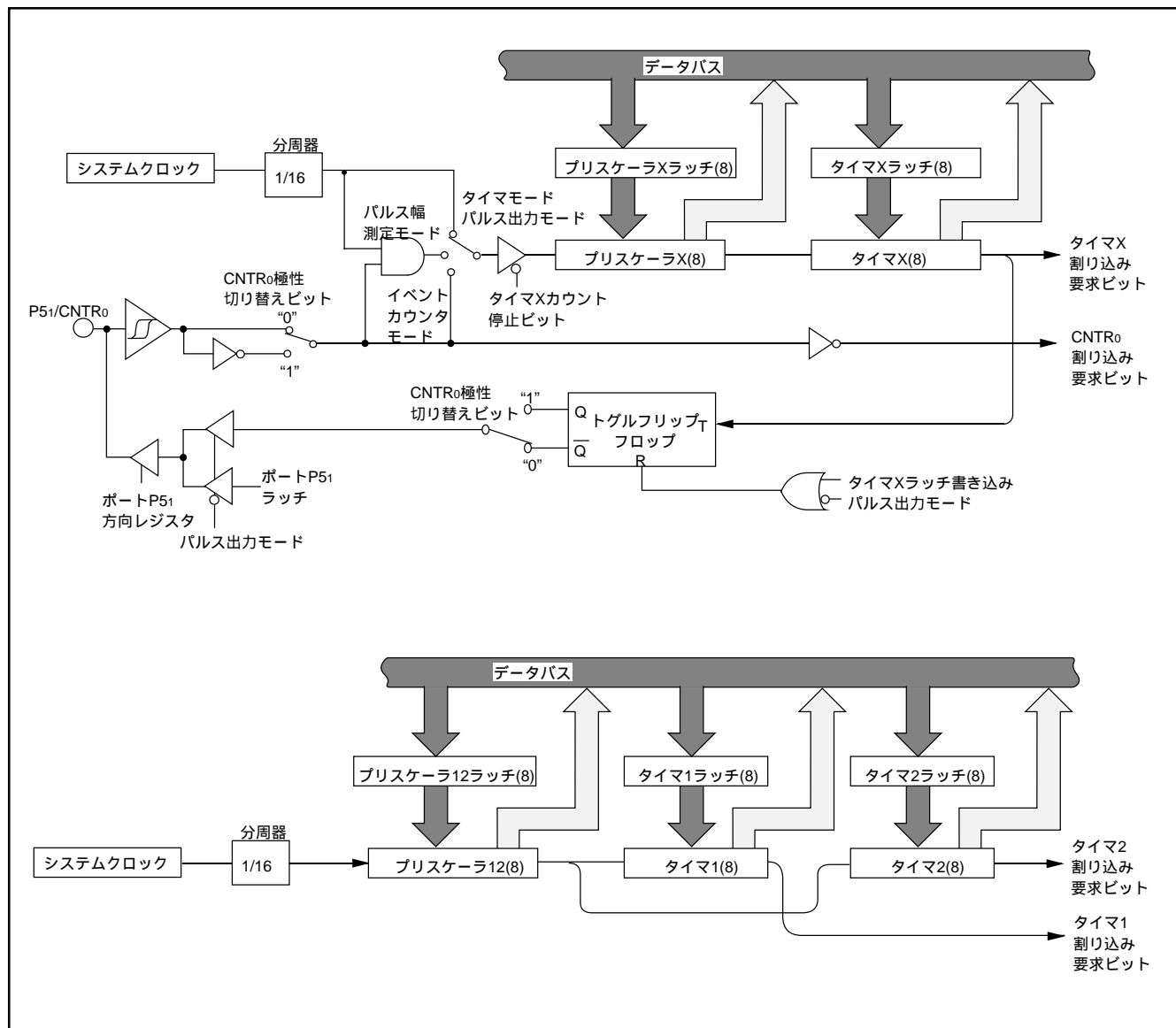


図16 . タイマX , タイマ1及びタイマ2のブロック図

シリアルインタフェース

●シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(0FE016番地のビット6)を"1"にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

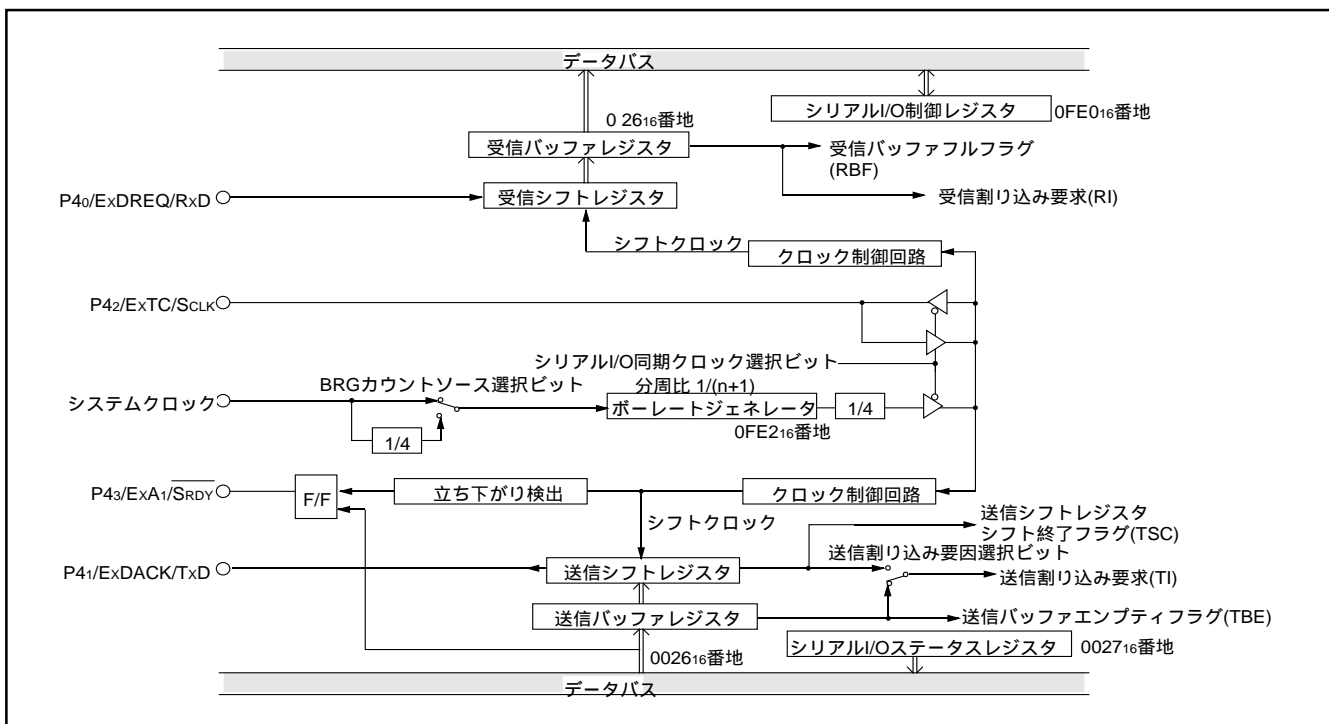


図17. クロック同期形シリアルI/Oブロック図

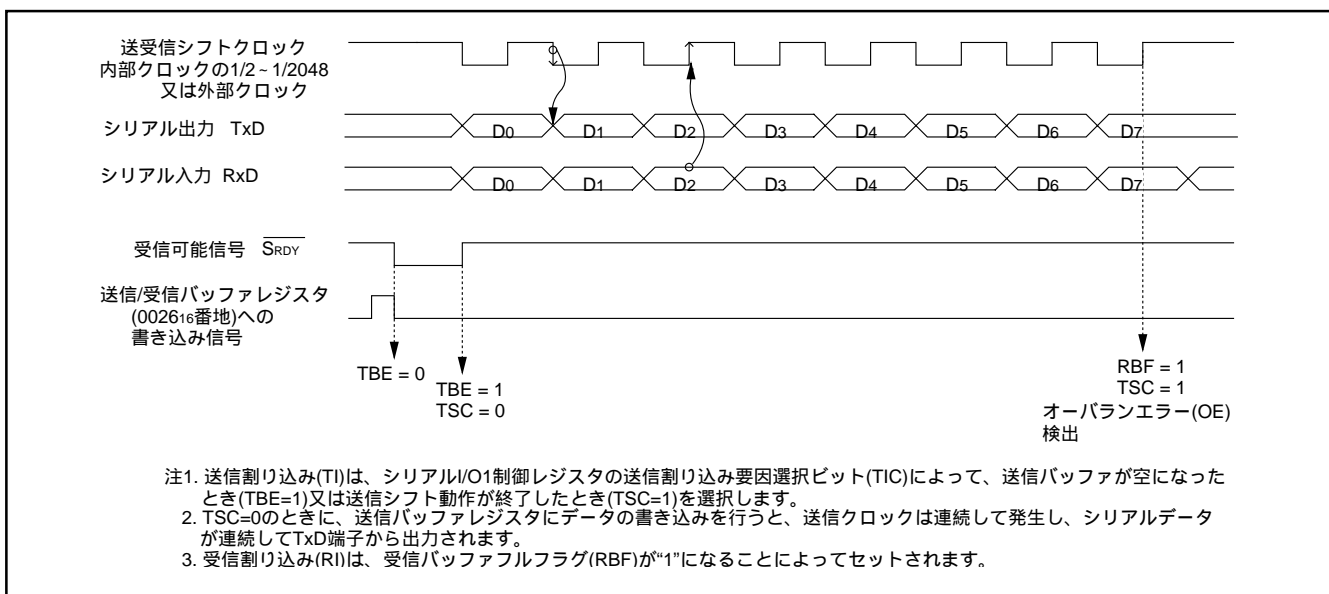


図18. クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビットを“0”にすることによってUARTが選択されます。

38K0グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38K0グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレ

ジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

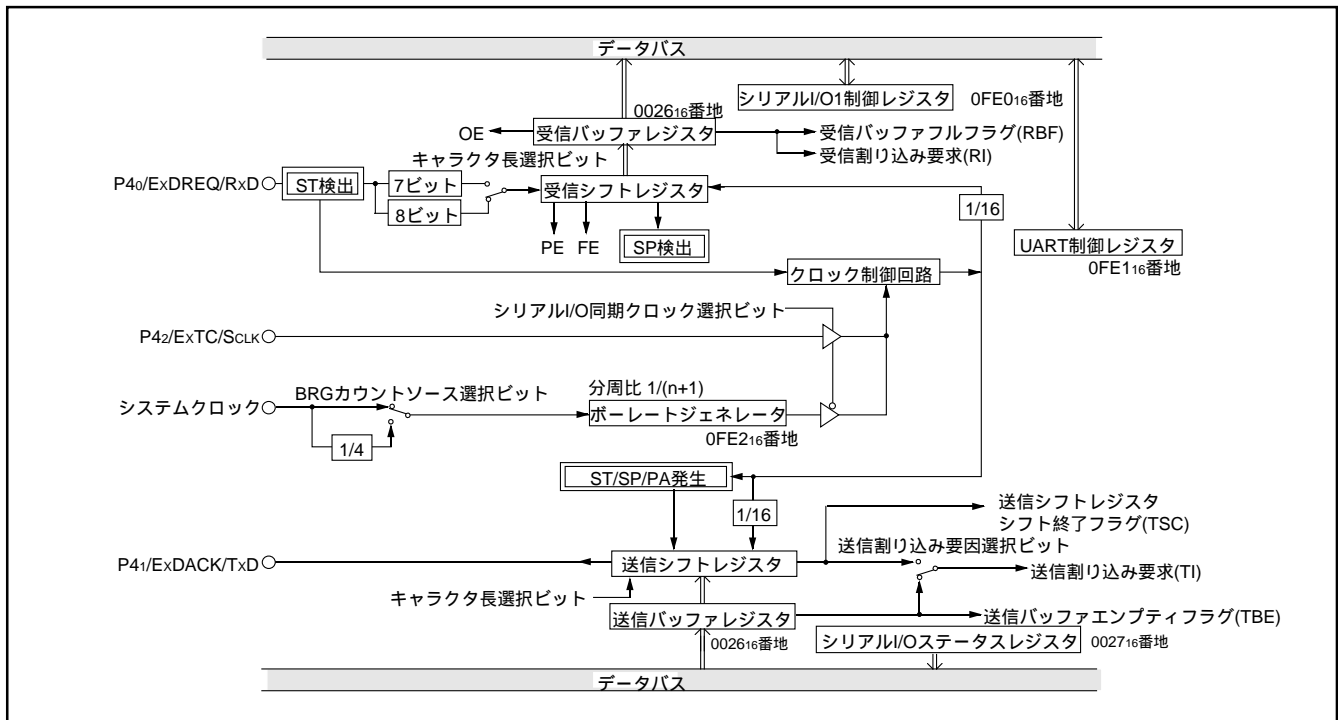


図19. UART形シリアルI/Oブロック図

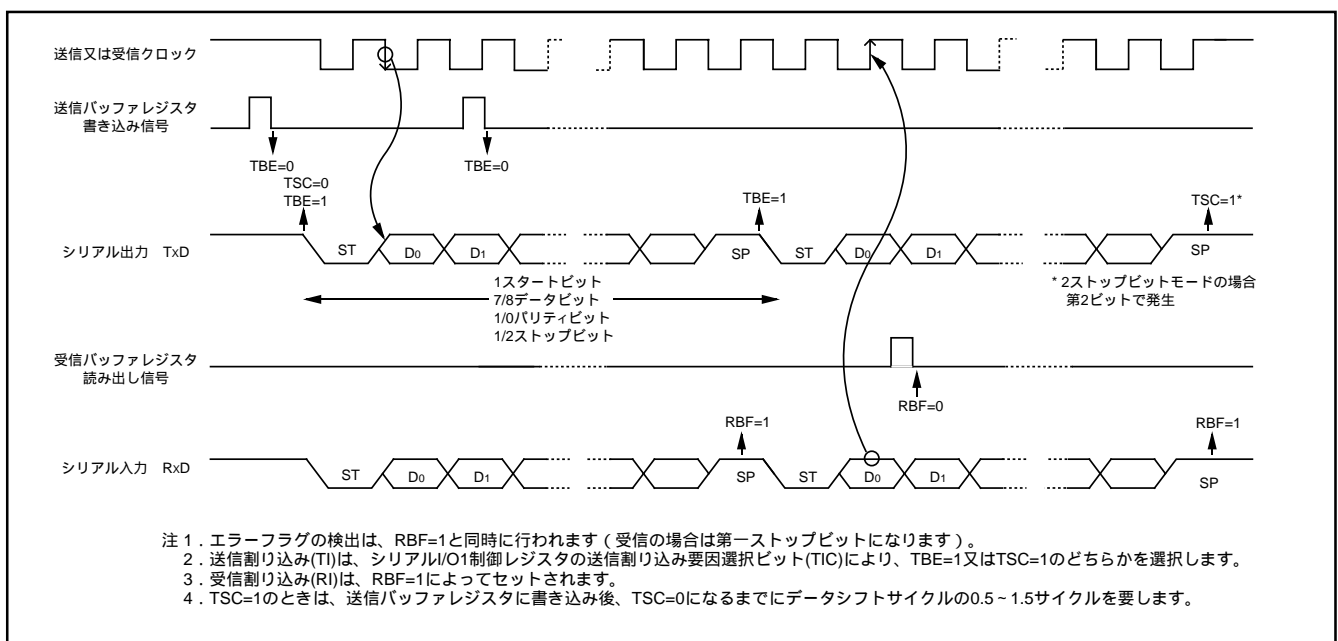


図20. UART形シリアルI/O動作図

【シリアルI/O制御レジスタ】SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御レジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P4/EXDACK/TxD端子の出力形式などを設定します。

【シリアルI/Oステータスレジスタ】SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと0にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に0を書き込むとエラーフラグを含む全てのステータスフラグが0にクリアされます。

このレジスタのビット0～6はリセット時0に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを1にしたときビット2とビット0は1になります。

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは0となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/Oの送信許可ビットを1にしたとき、シリアルI/O送信割り込み要求ビットが1になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを0(禁止)にする。

送信許可ビットを1にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを0にする。

シリアルI/O送信割り込み許可ビットを1(許可)にする。

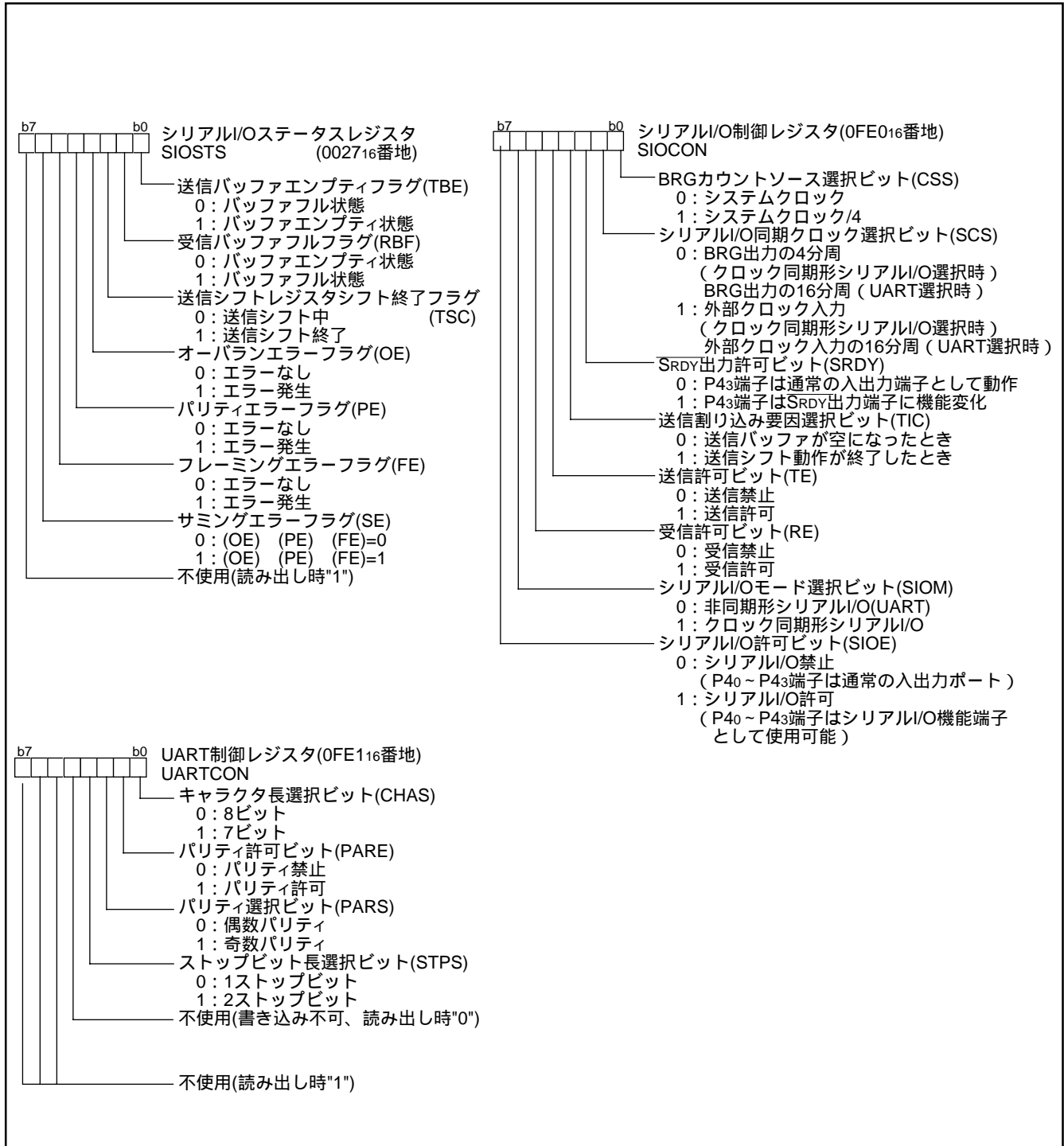


図21 . シリアルI/O関係レジスタの構成

USB機能

38K0グループはUSBファンクション制御回路を内蔵しています。USBファンクション制御回路を使用することにより、ホストコンピュータとの通信を効率よく行います。この回路はUSB2.0仕様のUSBフルスピード転送モード(12Mbps、USB1.1仕様と同等)に準拠しています。さらにUSB仕様で定義されている4種類の転送タイプすべてに対応しています。

38K0グループのUSBファンクション制御回路は、4つのエンドポイントを搭載しており、転送タイプを設定できます。(エンドポイント0はコントロール転送に固定、エンドポイント1~3はインタラプト転送、バルク転送、アイソクロナス転送に設定可能)

コントロール転送のステージ管理やトランザクションの packets 管理に必要となる、データ送受信のタイミング、エラー検出、エラーに対するリトライなどをハードウェアで自動処理するため、プログラム作成やタイミング設計を容易に行うことができます。またそれぞれのエンドポイントは、データ転送条件をプログラマブルに設定でき、USBの各種デバイスクラスの転送システムに対応することができます。

各エンドポイント用のデータバッファは、マルチチャネルRAMの任意の領域に設定できます。そのため再バッファリングが不要でデータ加工が容易になり、メモリを効率よく使用できます。データ送受信は制御回路から直接データバッファに行われる(ダイレクトRAMアクセス方式)ため、CPU負荷が軽減されパフォーマンスを落とさずにデータ転送を行うことができます。さらにダブルバッファ構成を設定することで通信ロスを最小限にし、データのスループットを向上できます。(最大64バイト×2本)

その他特殊信号処理として、USBバスリセット信号、レジューム信号、サスペンド信号、SOF信号の各検出機能及びリモートウェイクアップ信号送信機能を搭載しています。

データ転送完了時や特殊信号受信時はCPUに対して割り込みを発生します。(3ベクタ、18要因)

このように必要かつ十分なハードウェアを搭載しており、あらゆるUSBアプリケーションに適用できます。

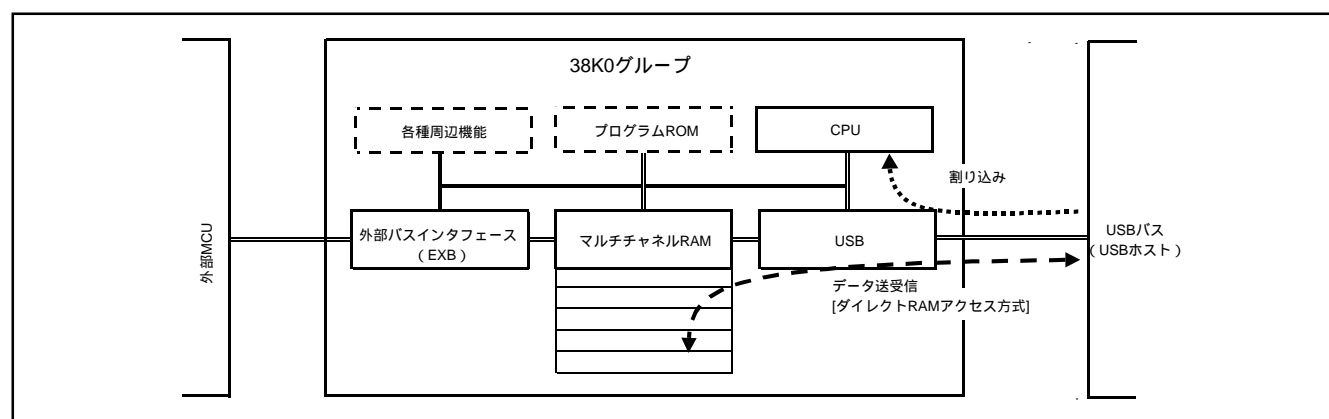


図22. USB機能

USBのデータ転送

USBフルスピード転送モードでは12Mbpsで通信されます。よって通常は1.5Mバイト/秒でバイトデータが扱われます。

ただしUSBの通信データはその内容に依存してビットスタフティング処理が発生する場合があります。1バイトのデータを通常8ビット、最長10ビットで取り扱うことがあります。

またUSBは非同期通信のため、内部のUSB基準クロック長が位相調整のために伸縮する場合があります。

そのため、USBファンクション制御回路からマルチチャネルRAMへのアクセスタイミングは内部クロックの周期により以下のように考えられます。

=8MHzの場合、通常のデータ転送では5又は6サイクルごとにマルチチャネルRAMへのアクセスが発生します。

ビットスタフティング処理が発生した場合は最大7サイクル

のアクセス間隔となる場合があります。

さらにEXB機能と併用時は最大1クロックの待ち時間が発生するため、最小で4サイクル、最大で8サイクルのアクセス間隔となる場合があります。

=6MHzの場合、通常のデータ転送では4サイクルごとにマルチチャネルRAMへのアクセスが発生します。

内部USB基準クロックの位相調整が発生した場合は、3~5サイクルごとにマルチチャネルRAMへのアクセスが発生します。

ビットスタフティング処理が発生した場合は最大6サイクルのアクセス間隔となる場合があります。

さらにEXB機能と併用時は最大1クロックの待ち時間が発生するため、最小で2サイクル、最大で7サイクルのアクセス間隔となる場合があります。

USBファンクション制御回路ブロック図

USBファンクション制御回路のブロック図を図23に示します。

USBファンクション制御回路は、次で構成されています。

- (1)シリアルインタフェースエンジン部(SIE)
- (2)デバイスコントロール部(DCU)
- (3)内部メモリインタフェース部(MIF)
- (4)CPUインタフェース部(CIF)

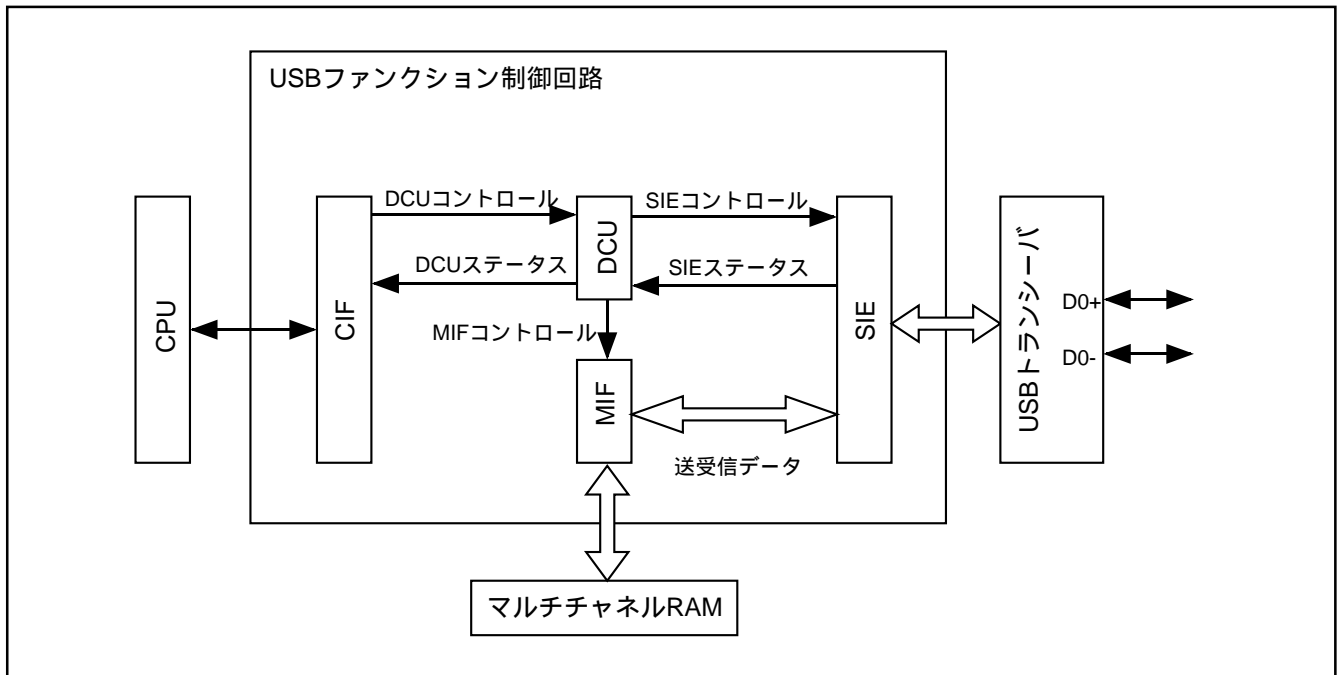


図23 . USBファンクション制御回路ブロック図

(1)シリアルインタフェースエンジン部(SIE)

シリアルインタフェースエンジン部(SIE)は、以下に示すUSBの下位プロトコル(パケット、トランザクション)の処理を行います。

- ・受信データ / 受信クロックの抽出、送信クロックの生成
- ・送受信データのシリアル / パラレル変換
- ・NRZI(Non Return Zero Invert)エンコード / デコード
- ・ビットスタッフィング / ビットアンスタッフィング
- ・SYNC(Synchronization pattern)検出、EOP(End of Packet)検出
- ・USBアドレス検出、エンドポイント検出
- ・CRC(Cyclic Redundancy Check)ジェネレータ / チェッカ

(2)デバイスコントロール部(DCU)

デバイスコントロール部(DCU)は、以下に示すUSBの上位プロトコル(アドレス / エンドポイント、コントロール転送シーケンス)の処理を行います。

- ・エンドポイントごとの状態制御
- ・コントロール転送シーケンス制御
- ・内部メモリインタフェース回路の状態管理

(3)内部メモリインタフェース部(MIF)

内部メモリインタフェース部(MIF)は、DCUの状態管理の元で、SIEとマルチチャネルRAM間のデータ送受信を制御します。

(4)CPUインタフェース部(CIF)

CPUインタフェース部(CIF)は、以下に示す処理を行います。

- ・レジスタによるモード設定、DCUコントロール信号生成、DCUステータス信号読み出し
- ・割り込み信号の生成
- ・内部バスインタフェース制御

USBポートの周辺回路設定

USBポートの周辺回路は、USB制御レジスタ[0010₁₆番地]で設定できます。

図24、図25にブロック図を示します。

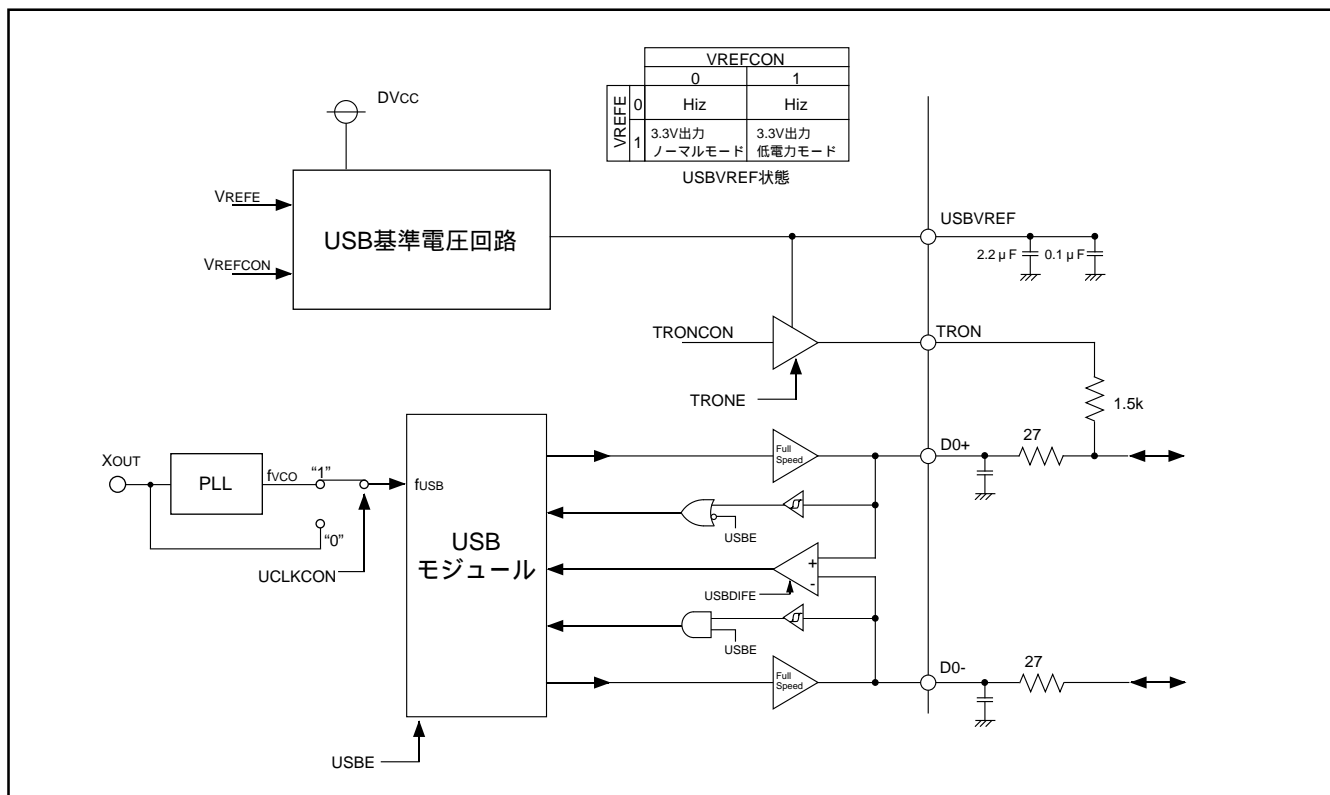


図24 . USBポート周辺回路(D0+, D0-, USBVREF , TrON)のブロック図(4.0V Vcc 5.25Vのとき)

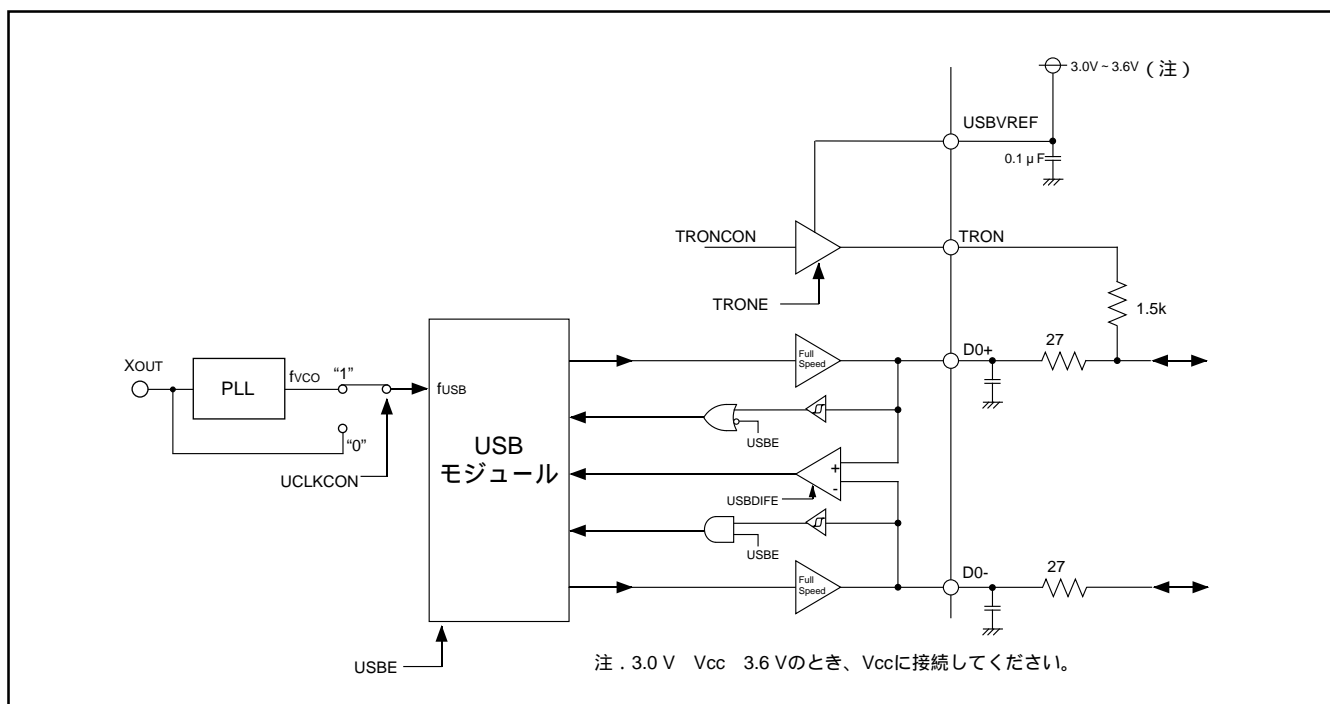


図25 . USBポート周辺回路(D0+, D0-, USBVREF , TrON)のブロック図(3.0V Vcc 4.0Vのとき)

エンドポイントのバッファ領域設定

USBデータ送受信時のバッファ領域は、エンドポイントごとにマルチチャンネルRAMの任意の領域を設定できます。

バッファ領域先頭アドレス

バッファ領域設定レジスタ[0FED₁₆番地]で領域の先頭アドレスを設定します(32バイト単位)。エンドポイントごとに設定できます。ただしRAM領域のみ使用できます。

- (00h[0000₁₆番地]、01h[0020₁₆番地]：使用禁止)
- (02h[0040₁₆番地]～1Fh[03E0₁₆番地]：使用可能)

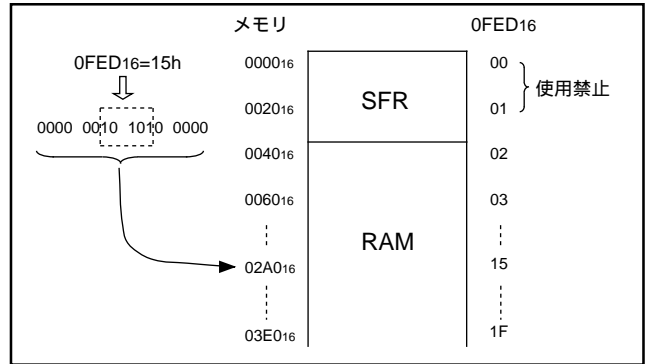


図26 . バッファ領域先頭アドレス設定例

割り込み要因別バッファ領域オフセットアドレス

各エンドポイントで割り込み要因レジスタ[001D₁₆番地]の要因ごとに先頭番地にオフセットが発生します。バッファ領域設定レジスタで指定された先頭番地をオフセット00h番地として、以下エンドポイント別に詳細を示します。

(1)エンドポイント00の場合

エンドポイント00のバッファアクセスに関する割り込み要因は2種類あります。それぞれのオフセットアドレスは以下の通りです。

- ・BSRDY00(SETUPバッファレディ割り込み)
オフセットアドレス 00h
- ・BRDY00(OUTまたはINバッファレディ割り込み)
オフセットアドレス 08h

(2)エンドポイント01の場合

エンドポイント01の割り込み要因別バッファ領域オフセットアドレスはEP01設定レジスタ[0019₁₆番地]の設定モードにより異なります。

シングルバッファモード(DBLB01=0)時

エンドポイント01のバッファアクセスに関する割り込み要因は1種類のみです。オフセットアドレスは以下の通りです。

- ・B0RDY01(バッファ0レディ割り込み)
オフセットアドレス 00h

ダブルバッファモード(DBLB01=1)時

エンドポイント01のバッファアクセスに関する割り込み要因は2種類あります。それぞれのオフセットアドレスは以下の通りです。

- ・B0RDY01(バッファ0レディ割り込み)
オフセットアドレス 00h
- ・B1RDY01(バッファ1レディ割り込み)

ダブルバッファ先頭アドレス設定ビット(BSIZ01)により異なります。

- オフセットアドレス 08h(BSIZ01=00の時)
- オフセットアドレス 10h(BSIZ01=01の時)
- オフセットアドレス 40h(BSIZ01=10の時)
- オフセットアドレス 80h(BSIZ01=11の時)

(3)エンドポイント02,03の場合

エンドポイント01の場合と同様です。

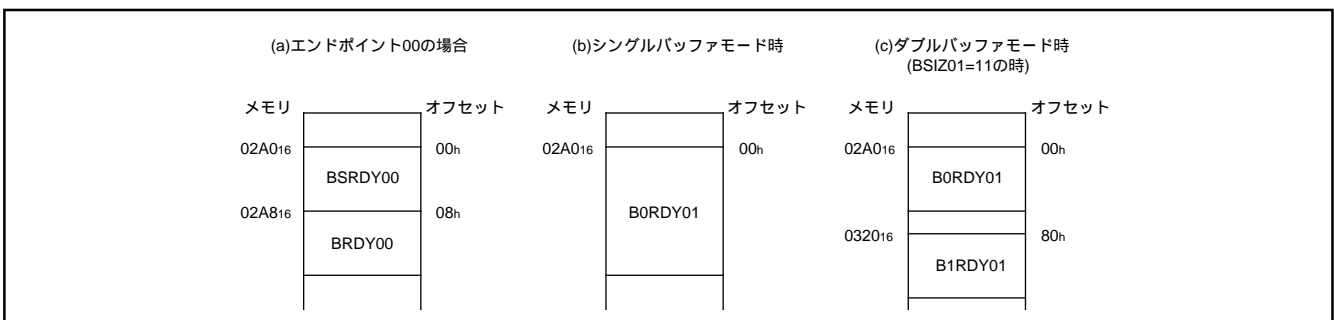


図27 . 割り込み要因別バッファ領域オフセットアドレス設定例

注意事項

使用できるRAM領域は0040₁₆～03FF₁₆番地です。

オフセットアドレスや送受信するデータ量を考慮して、バッファ領域先頭アドレスを設定してください。

特にダブルバッファモード設定時や64バイト長のデータを取り扱う場合は注意してください。

USB割り込み機能

USBファンクション制御回路には3つの割り込み要求があります。さらにUSBデバイス割り込み要求には16要因あり、各割り込み要因レジスタでその要因を判別できます。

USB割り込み要因一覧を表7に示します。

表7. USB割り込み要因一覧

割り込み要求ビット [IREQ1:003C16番地]	USB割り込み要因ビット [USBIREQ:001716番地]	割り込み要因
USBバスリセット	-	USBバスリセット信号検出時 ・USBモジュール動作許可後(USBE=1)、D0+/D0-ポートに2.5 μ s間のSE0状態を検出すると発生。 (fUSB=48MHz時の120クロック長に相当)
USB SOF	-	SOFパケット受信時 ・USBモジュール動作許可後(USBE=1)、D0+/D0-ポートにSOFパケットを検出すると発生。 SOFパケット後のフレームタイム値やCRC値に依存しない。 (通常 fUSB=48MHz時のみ検出可能)
USBデバイス	EP00	エンドポイント00データ転送完了時 ・バッファレディ(読み出し/書き込み可能状態) ・コントロール転送完了 ・ステータスステージ遷移 ・SETUPバッファレディ(読み出し可能状態) ・コントロール転送エラー
	EP01	エンドポイント01データ転送完了時 ・バッファ0レディ(読み出し/書き込み可能状態) ・バッファ1レディ(読み出し/書き込み可能状態) ・転送エラー
	EP02	エンドポイント02データ転送完了時 ・バッファ0レディ(読み出し/書き込み可能状態) ・バッファ1レディ(読み出し/書き込み可能状態) ・転送エラー
	EP03	エンドポイント03データ転送完了時 ・バッファ0レディ(読み出し/書き込み可能状態) ・バッファ1レディ(読み出し/書き込み可能状態) ・転送エラー
	SUS	サスペンド信号検出時 ・USBモジュール動作許可後(USBE=1)、D0+/D0-ポートに3ms間のJ状態を検出すると発生。 (fUSB=48MHz時の144,000クロック長に相当)
	RSM	レジューム信号検出時 ・USBモジュール動作許可後(USBE=1)かつレジューム割り込み許可後(RSME=1)、D0-ポートのバス状態変化(J状態 SE0またはK状態)を検出すると発生する。

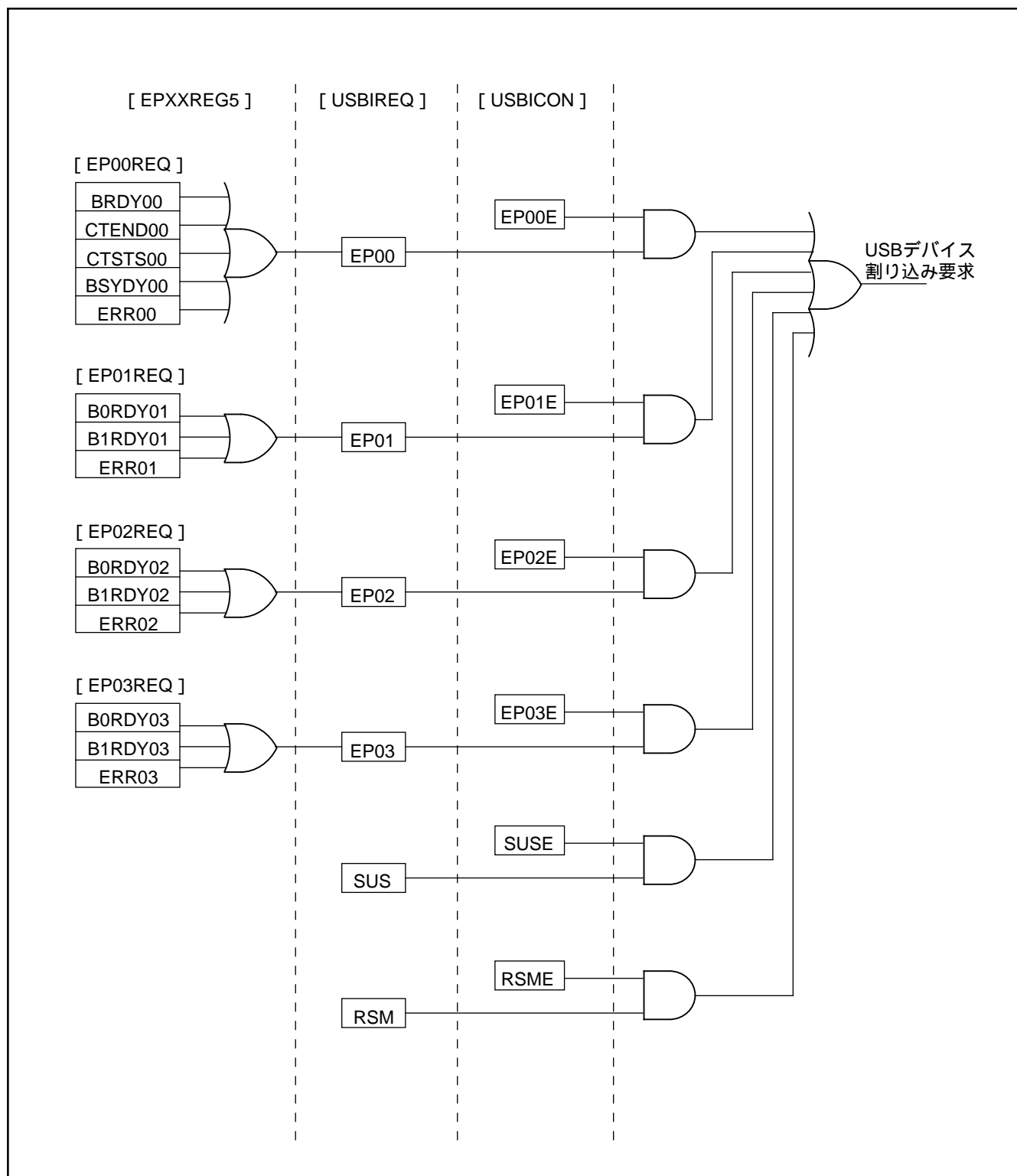


図28 . USBデバイス割り込み制御図

USBレジスタ一覧

USBレジスタ一覧を下記に示します。

番地	レジスタ名	SYMBOL	USB SFR							
			bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0010 ₁₆	USB制御レジスタ	USBCON	USBE	UCLKCON	USBDIFE	VREFE	VREFCON	TRONE	TRONCON	WKUP
0011 ₁₆	USBファンクション許可レジスタ	USBAE								AD0E
0012 ₁₆	USBファンクションアドレスレジスタ	USBA0	USBADD0[6:0]							
0013 ₁₆										
0014 ₁₆	フレームナンバ下位レジスタ	FNUML	FNUM[7:0]							
0015 ₁₆	フレームナンバ上位レジスタ	FNUMH	FNUM[10:8]							
0016 ₁₆	USB割り込み要因許可レジスタ	USBIICON	RSM	SUSE			EP03E	EP02E	EP01E	EP00E
0017 ₁₆	USB割り込み要因レジスタ	USBIREQ	RSM	SUS			EP03	EP02	EP01	EP00
0018 ₁₆	エンドポイントインテックスレジスタ	USBINDEX							EPIDX[1:0]	
0019 ₁₆	エンドポイントフィールドレジスタ1	EPXXREG1								
001A ₁₆	エンドポイントフィールドレジスタ2	EPXXREG2								
001B ₁₆	エンドポイントフィールドレジスタ3	EPXXREG3								
001C ₁₆	エンドポイントフィールドレジスタ4	EPXXREG4								
001D ₁₆	エンドポイントフィールドレジスタ5	EPXXREG5								
001E ₁₆	エンドポイントフィールドレジスタ6	EPXXREG6								
001F ₁₆	エンドポイントフィールドレジスタ7	EPXXREG7								
0FEC ₁₆	エンドポイントフィールドレジスタ8	EPXXREG8								
0FED ₁₆	エンドポイントフィールドレジスタ9	EPXXREG9								

(1) エンドポイント00

0019 ₁₆	EP00ステータスレジスタ	EP00STG								SETUP00
001A ₁₆	EP00制御レジスタ1	EP00CON1								PID00[1:0]
001B ₁₆	EP00制御レジスタ2	EP00CON2								BVAL00
001C ₁₆	EP00制御レジスタ3	EP00CON3								CTENDE00
001D ₁₆	EP00割り込み要因レジスタ	EP00REQ				ERR00	BSRDY00	CTSTS00	CTEND00	BRDY00
001E ₁₆	EP00バイト数レジスタ	EP00BYT							B1RDY00[3:0]	
001F ₁₆										
0FEC ₁₆										
0FED ₁₆	EP00バッファ領域設定レジスタ	EP00BUF							BADD00[4:0]	

(2) エンドポイント01

0019 ₁₆	EP01設定レジスタ	EP01CFG	TYP01[1:0]		DIR01	ITMD01	SQCL01	DBLB01	BSIZ01[1:0]	
001A ₁₆	EP01制御レジスタ1	EP01CON1							PID01[1:0]	
001B ₁₆	EP01制御レジスタ2	EP01CON2								B0VAL01
001C ₁₆	EP01制御レジスタ3	EP01CON3								B1VAL01
001D ₁₆	EP01割り込み要因レジスタ	EP01REQ					ERR01	B1RDY01	B0RDY01	
001E ₁₆	EP01バイト数レジスタ0	EP01BYT0					B0BYT01[6:0]			
001F ₁₆	EP01バイト数レジスタ1	EP01BYT1					B1BYT01[6:0]			
0FEC ₁₆	EP01MAX/パケットサイズレジスタ	EP01MAX					MXPS01[6:0]			
0FED ₁₆	EP01バッファ領域設定レジスタ	EP01BUF						BADD01[4:0]		

(3) エンドポイント02

0019 ₁₆	EP02設定レジスタ	EP02CFG	TYP02[1:0]		DIR02	ITMD02	SQCL02	DBLB02	BSIZ02[1:0]	
001A ₁₆	EP02制御レジスタ1	EP02CON1							PID02[1:0]	
001B ₁₆	EP02制御レジスタ2	EP02CON2								B0VAL02
001C ₁₆	EP02制御レジスタ3	EP02CON3								B1VAL02
001D ₁₆	EP02割り込み要因レジスタ	EP02REQ					ERR02	B1RDY02	B0RDY02	
001E ₁₆	EP02バイト数レジスタ0	EP02BYT0					B0BYT02[6:0]			
001F ₁₆	EP02バイト数レジスタ1	EP02BYT1					B1BYT02[6:0]			
0FEC ₁₆	EP02MAX/パケットサイズレジスタ	EP02MAX					MXPS02[6:0]			
0FED ₁₆	EP02バッファ領域設定レジスタ	EP02BUF						BADD02[4:0]		

(4) エンドポイント03

0019 ₁₆	EP03設定レジスタ	EP03CFG	TYP03[1:0]		DIR03	ITMD03	SQCL03	DBLB03	BSIZ03[1:0]	
001A ₁₆	EP03制御レジスタ1	EP03CON1							PID03[1:0]	
001B ₁₆	EP03制御レジスタ2	EP03CON2								B0VAL03
001C ₁₆	EP03制御レジスタ3	EP03CON3								B1VAL03
001D ₁₆	EP03割り込み要因レジスタ	EP03REQ					ERR03	B1RDY03	B0RDY03	
001E ₁₆	EP03バイト数レジスタ0	EP03BYT0					B0BYT03[6:0]			
001F ₁₆	EP03バイト数レジスタ1	EP03BYT1					B1BYT03[6:0]			
0FEC ₁₆	EP03MAX/パケットサイズレジスタ	EP03MAX					MXPS03[6:0]			
0FED ₁₆	EP03バッファ領域設定レジスタ	EP03BUF						BADD03[4:0]		

☒ : 不使用

図29 . USBレジスタ一覧

USB関連レジスタ

USB関連レジスタを下記に示します。

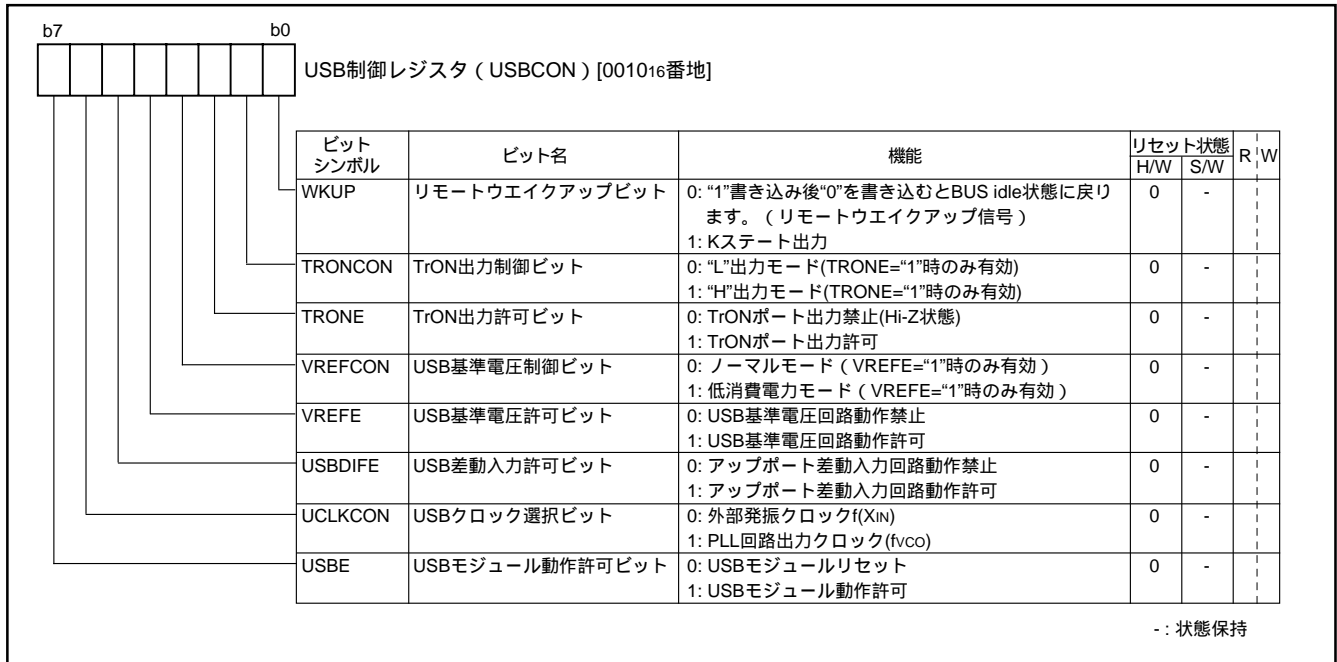


図30 . USB制御レジスタ(USBCON)

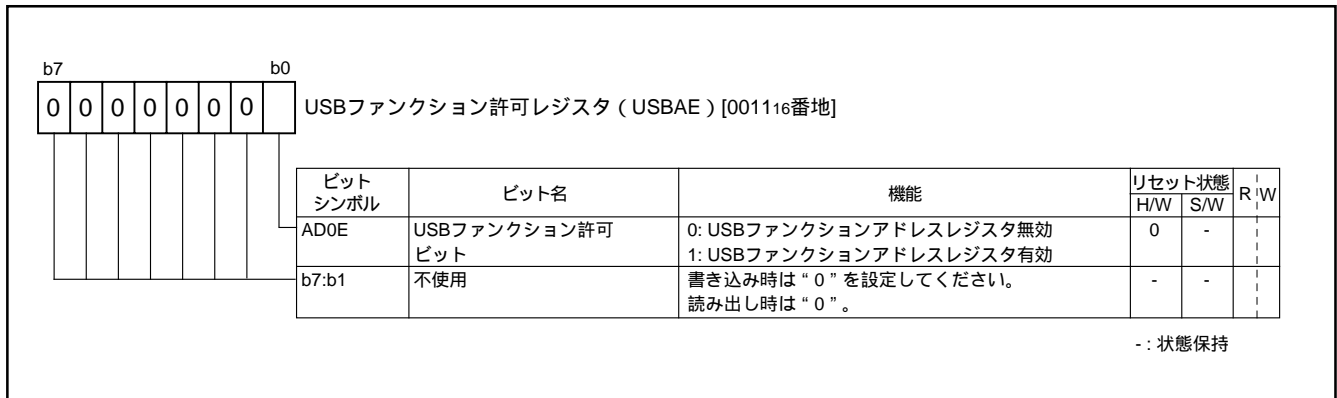


図31 . USBファンクション許可レジスタ(USBAE)

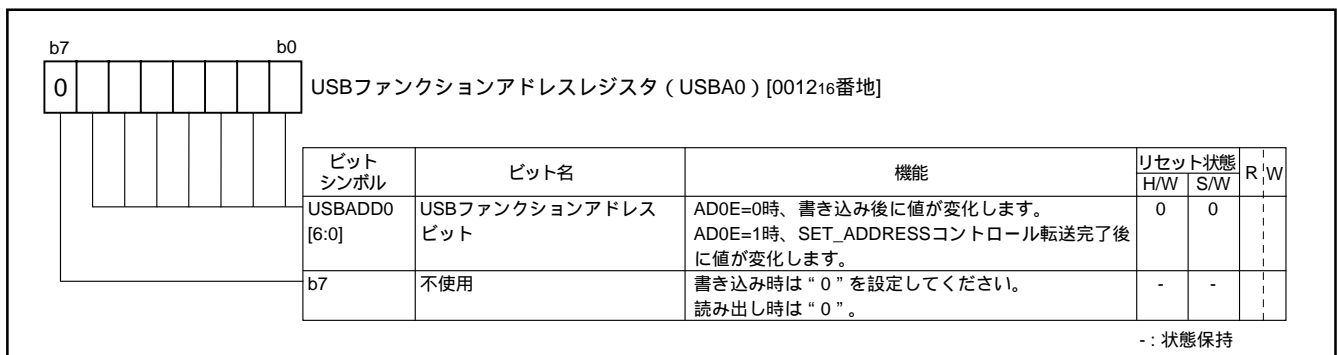


図32 . USBファンクションアドレスレジスタ(USBA0)

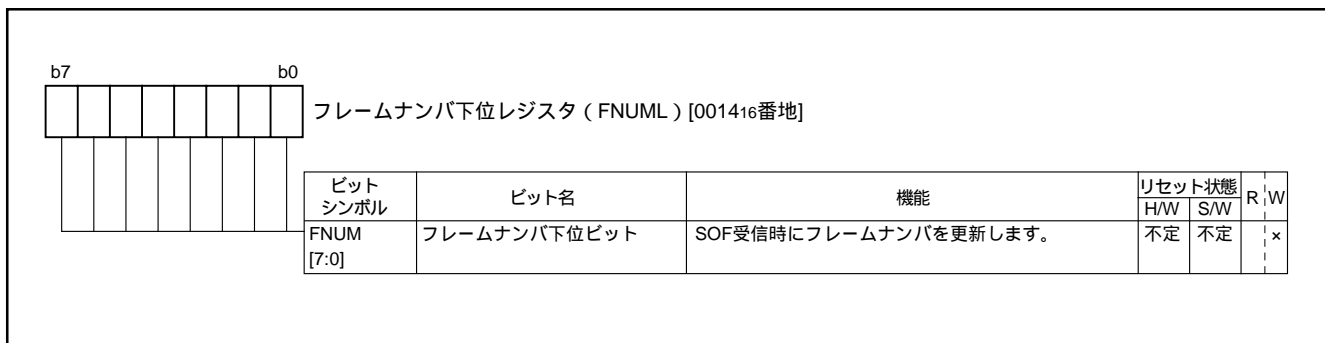


図33 . フレームナンバ下位レジスタ(FNUML)

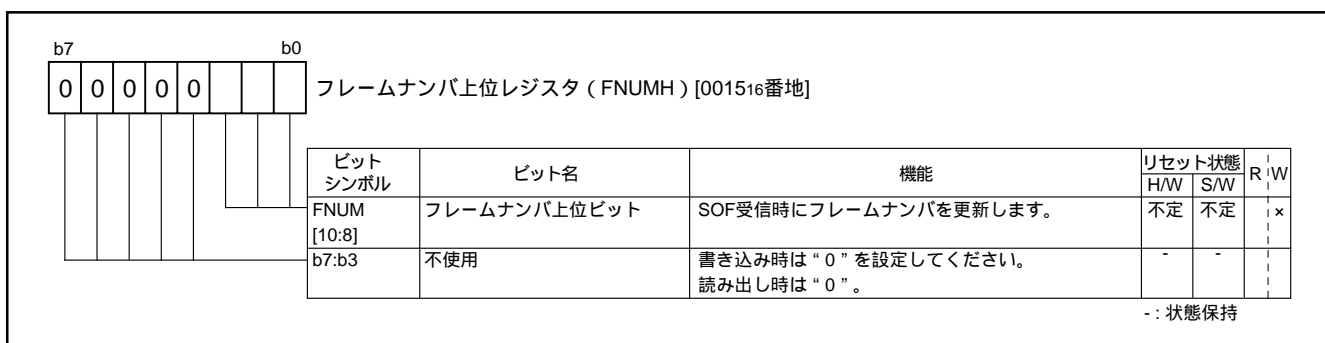


図34 . フレームナンバ上位レジスタ(FNUMH)



図35 . USB割り込み要因許可レジスタ(USBICON)

USB割り込み要因レジスタ (USBIREQ) [0017₁₆番地]

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
EP00	USBファンクション/エンドポイント0割り込みビット	EP00割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP00割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
EP01	USBファンクション/エンドポイント1割り込みビット	EP01割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP01割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
EP02	USBファンクション/エンドポイント2割り込みビット	EP02割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP02割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
EP03	USBファンクション/エンドポイント3割り込みビット	EP03割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP03割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
b5:b4	不使用	書き込み時は“0”を設定してください。読み出し時は“0”。	-	-		
SUS	サスペンド割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBクロック(f _{usb})が48MHzのとき、3ms以上の“J”を検出すると、“1”にセットされます。ソフトウェアによって“0”にできますが、“1”にはできません。	0	0		
RSM	レジューム割り込みビット	レジューム割り込み許可フラグをクリアすると、要因フラグがクリアされます。書き込みを行ってもフラグは変化しません。レジューム割り込み許可フラグがセット状態でUSBbusの状態が変化(“J” “K”またはSE0)すると、“1”にセットされます。内部クロックが停止状態でも“1”にセットされます。	0	0		x

図36 . USB割り込み要因レジスタ(USBIREQ)

エンドポイントインデックスレジスタ (USBINDEX) [0018₁₆番地]

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
EPIDX [1:0]	エンドポイントインデックスビット	b1 b0 0 0: エンドポイント0 0 1: エンドポイント1 1 0: エンドポイント2 1 1: エンドポイント3	0	-		
b7:b2	不使用	書き込み時は“0”を設定してください。読み出し時は“0”。	-	-		

-: 状態保持

図37 . エンドポイントインデックスレジスタ(USBINDEX)

(1) エンドポイント00

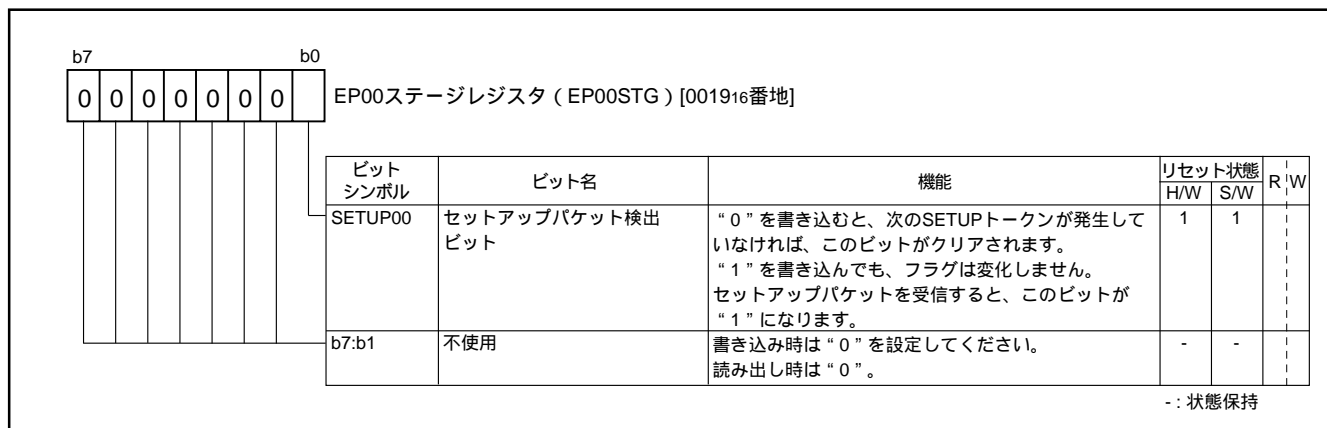


図38 . EP00ステージレジスタ(EP00STG)



図39 . EP00制御レジスタ1(EP00CON1)

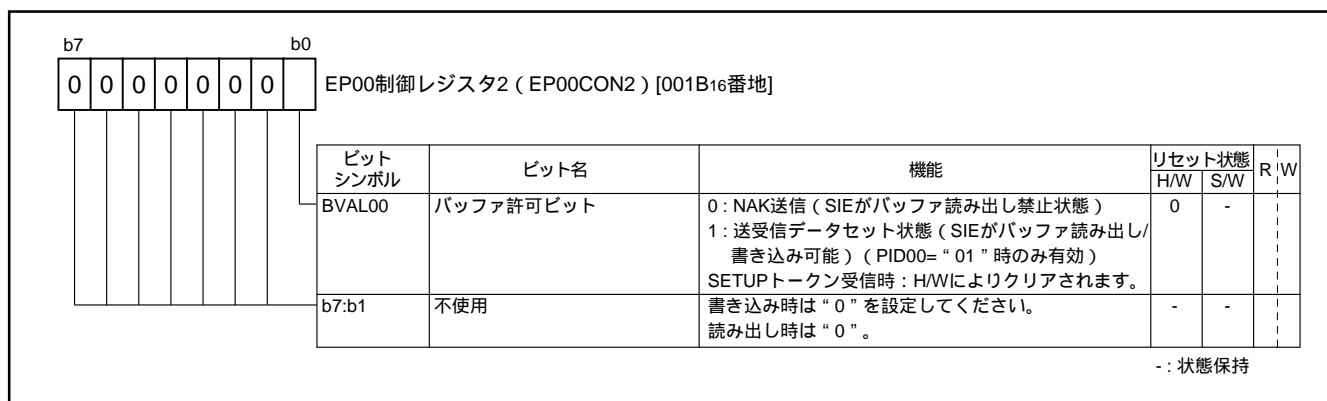


図40 . EP00制御レジスタ2(EP00CON2)

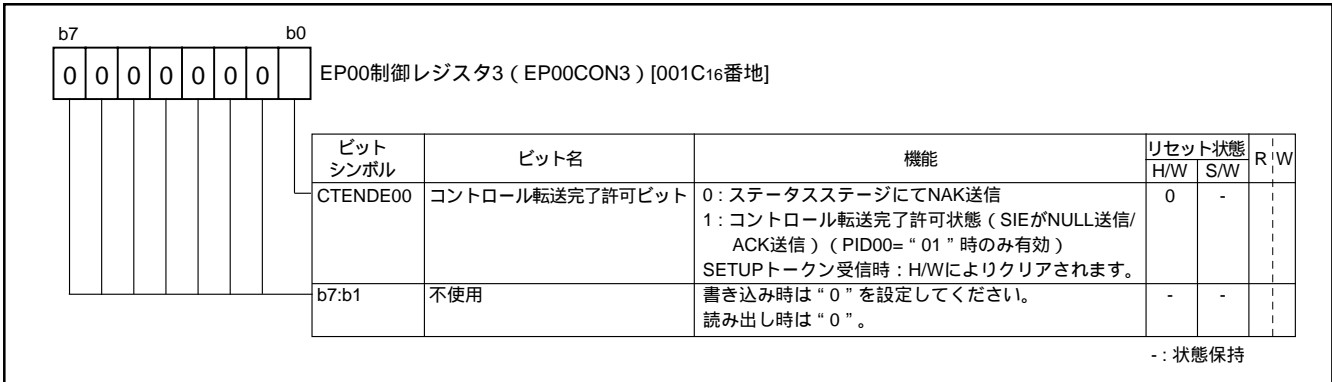


図41 . EP00制御レジスタ3(EP00CON3)

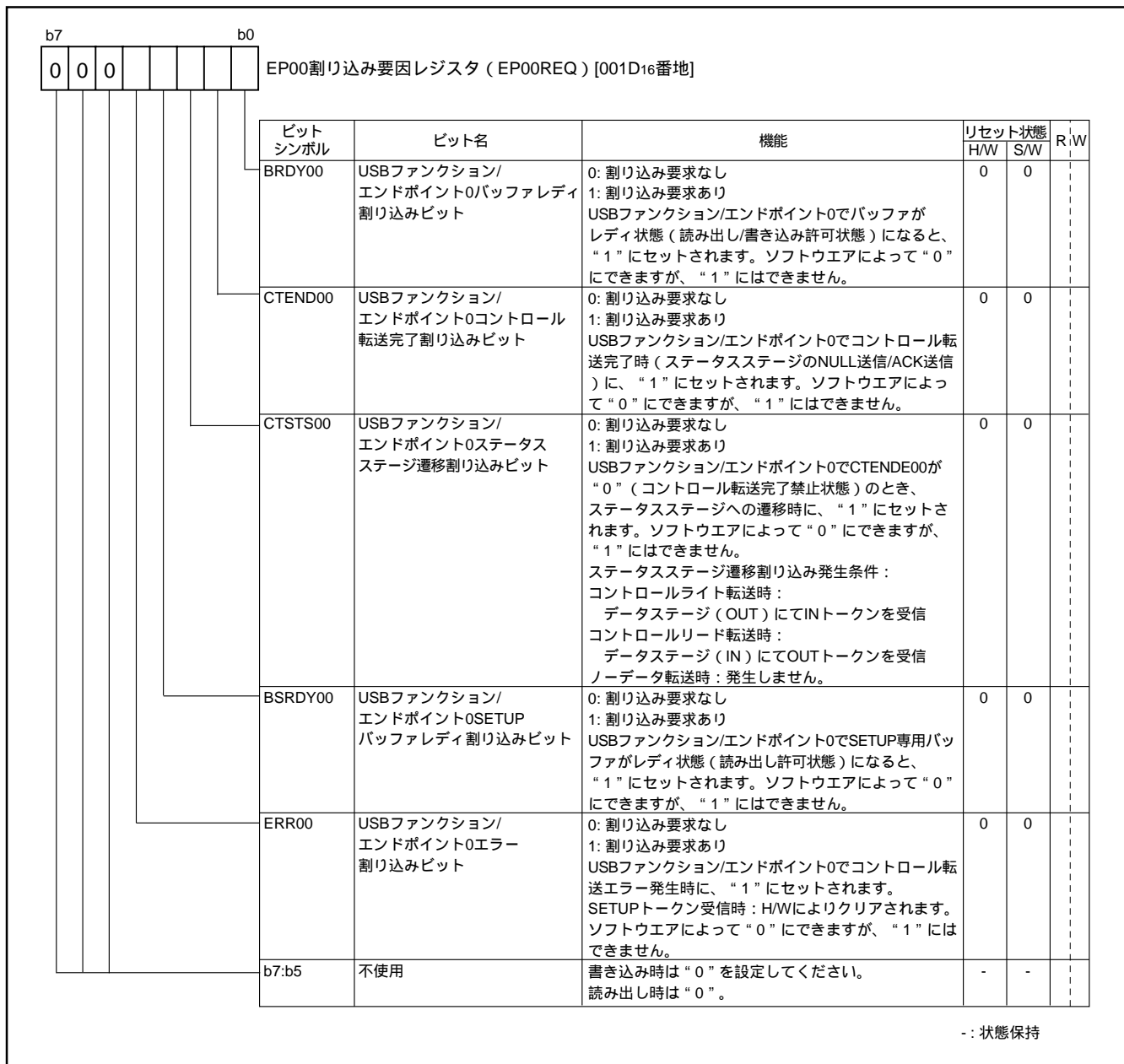


図42 . EP00割り込み要因レジスタ(EP00REQ)

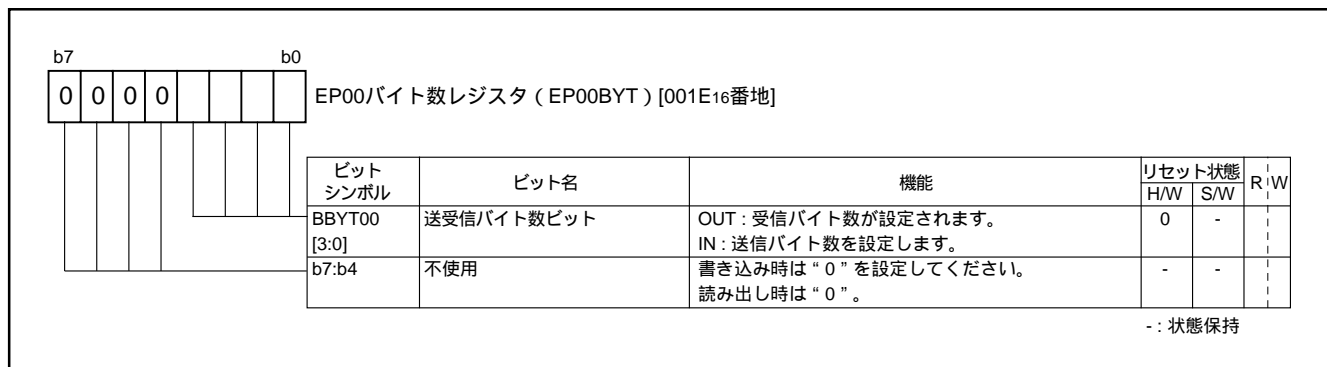


図43 . EP00バイト数レジスタ(EP00BYT)

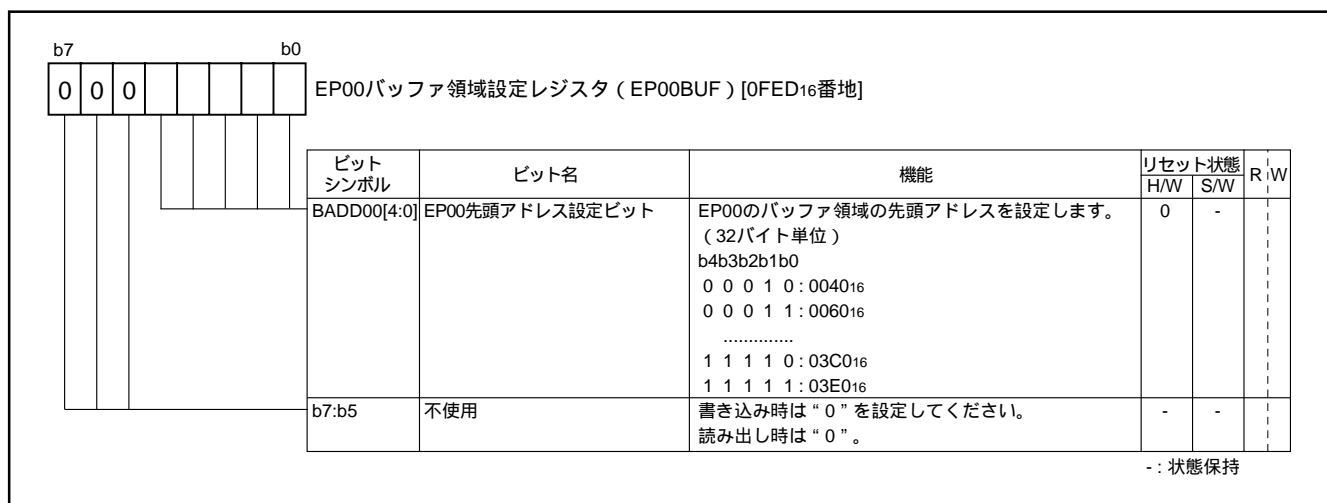


図44 . EP00バッファ領域設定レジスタ(EP00BUF)

(2) エンドポイント01



図45 . EP01設定レジスタ(EP01CFG)

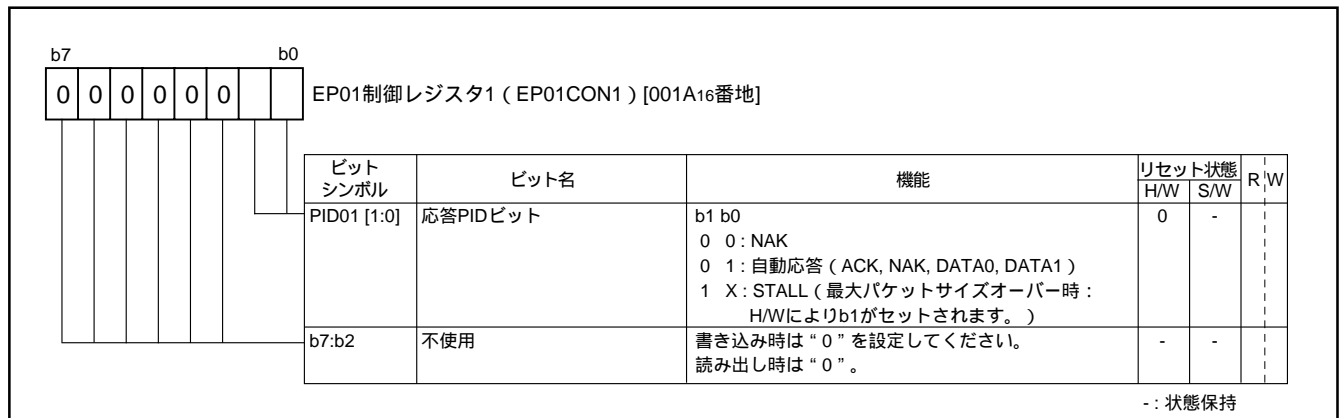


図46 . EP01制御レジスタ1(EP01CON1)

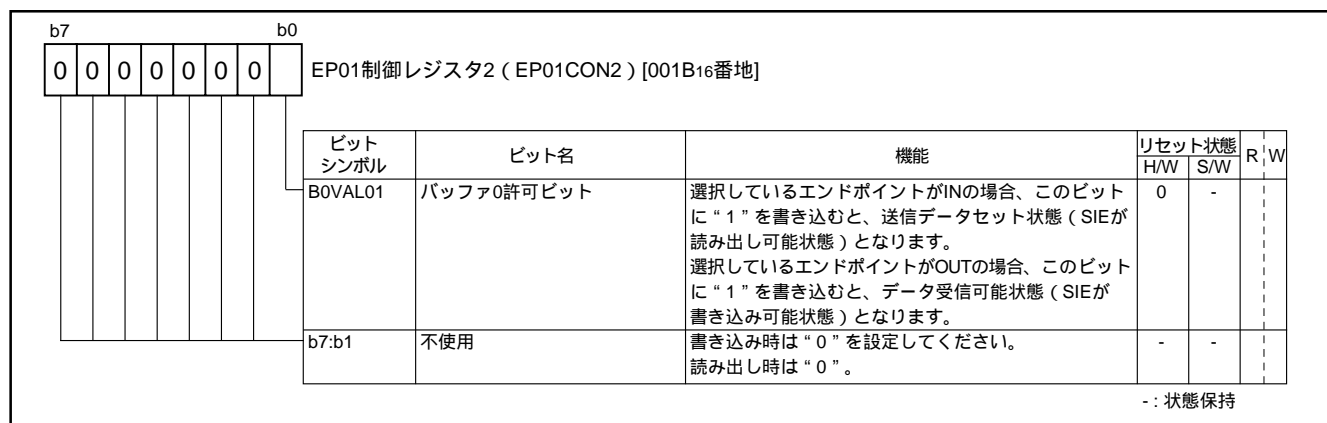


図47 . EP01制御レジスタ2(EP01CON2)

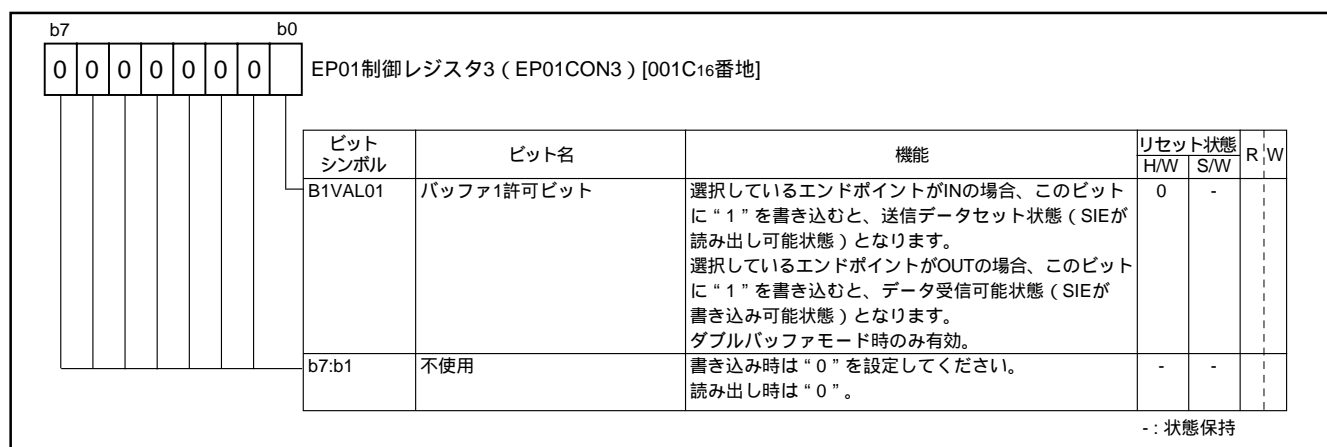


図48 . EP01制御レジスタ3(EP01CON3)

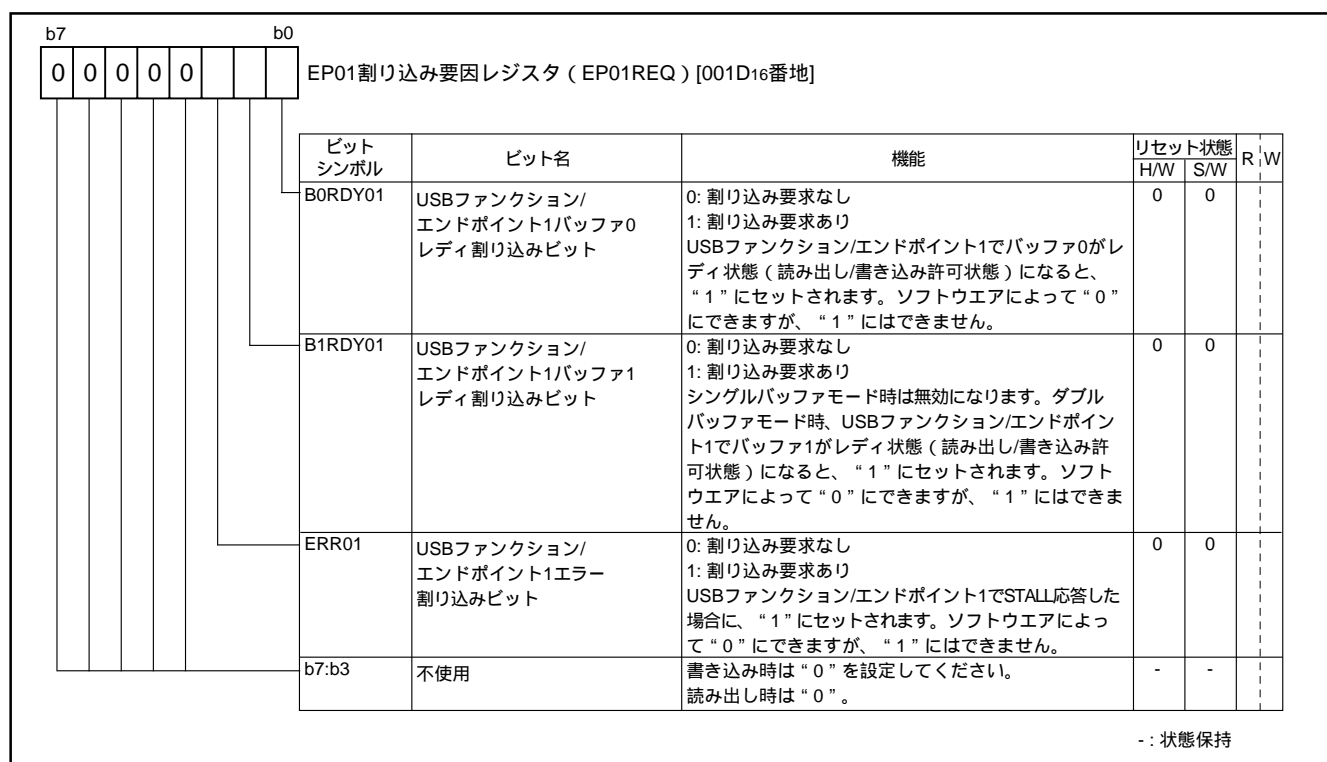


図49 . EP01割り込み要因レジスタ(EP01REQ)

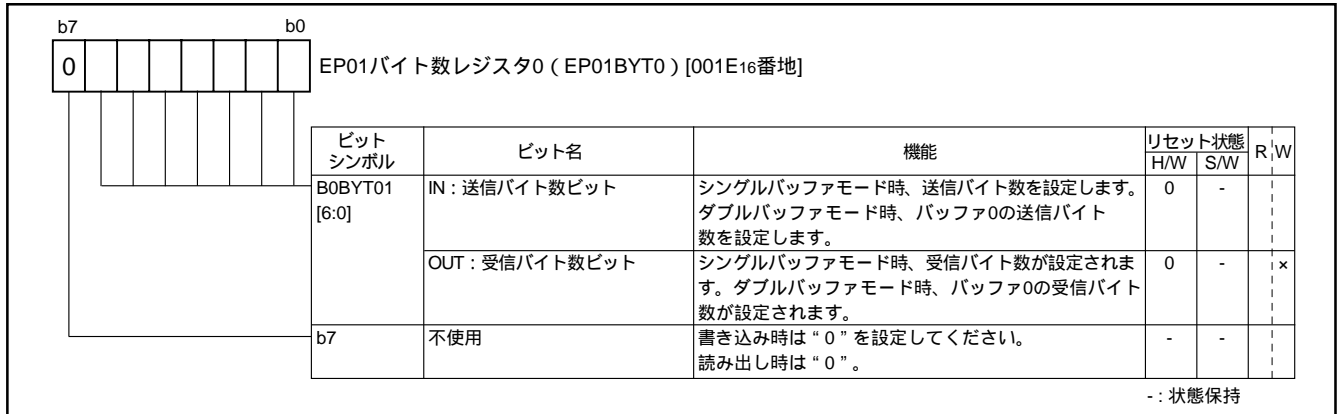


図50 . EP01バイト数レジスタ0(EP01BYT0)

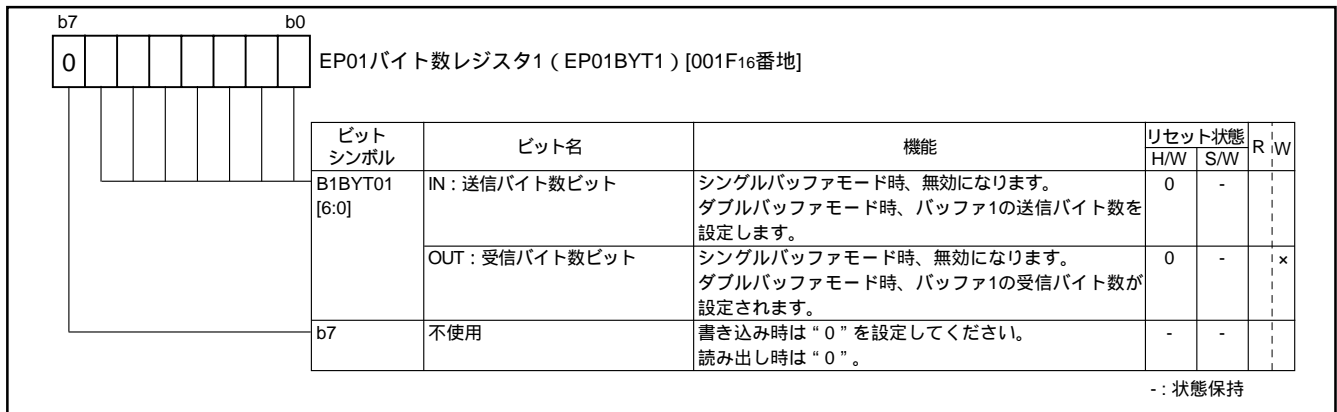


図51 . EP01バイト数レジスタ1(EP01BYT1)

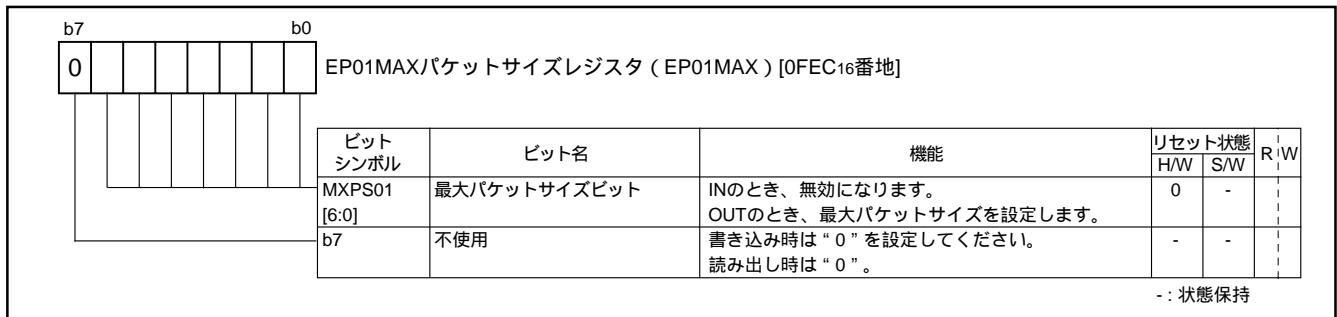


図52 . EP01MAXパケットサイズレジスタ(EP01MAX)

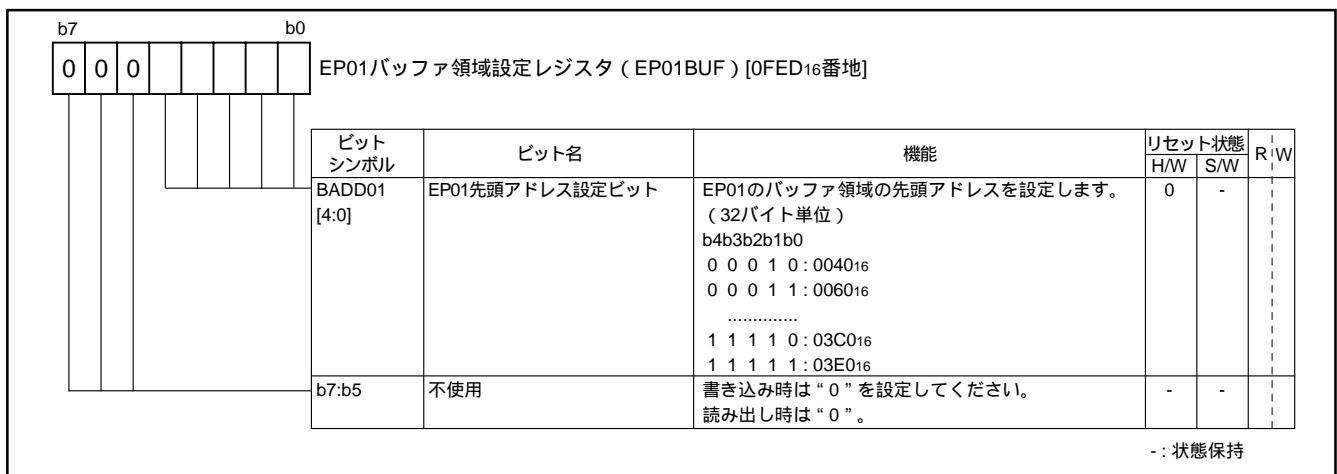


図53 . EP01バッファ領域設定レジスタ(EP01BUF)

(3) エンドポイント02

b7		b0		EP02設定レジスタ (EP02CFG) [0019 ₁₆ 番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
BSIZ02 [1:0]	ダブルバッファ先頭アドレス設定ビット	ダブルバッファモード時にバッファ1領域の先頭アドレスをバッファ0の先頭アドレスからの相対値で設定します。 b1b0 0 0= 8Byte 0 1=16Byte 1 0=64Byte 1 1=128Byte	0	-			
DBLB02	バッファモード設定ビット	0: シングルバッファモード 1: ダブルバッファモード	0	-			
SQCL02	シーケンストグルビットクリアビット	0: トグルビットのクリア禁止 1: トグルビットがクリアされ、次のデータPIDがDATA0になります。 読み出し時は常に“0”を示します。	0	-			
ITMD02	インタラプトグルモード設定ビット	0: ノーマルモード 1: 連続トグルモード (インタラプトIN転送時のみ有効)	0	-			
DIR02	転送方向ビット	0: OUT (ホストからのデータを受信) 1: IN (ホストヘデータを送信)	0	-			
TYPO2 [1:0]	転送タイプビット	b7b6 0 0: 転送禁止 0 1: バルク転送 1 0: インタラプト転送 1 1: アイソクロナス転送	0	-			

--: 状態保持

図54 . EP02設定レジスタ(EP02CFG)

b7		b0		EP02制御レジスタ1 (EP02CON1) [001A ₁₆ 番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
PID02 [1:0]	応答PIDビット	b1 b0 0 0: NAK 0 1: 自動応答 (ACK, NAK, DATA0, DATA1) 1 X: STALL (最大パケットサイズオーバー時: H/Wによりb1がセットされます。)	0	-			
b7:b2	不使用	書き込み時は“0”を設定してください。 読み出し時は“0”。	-	-			

--: 状態保持

図55 . EP02制御レジスタ1(EP02CON1)

b7		b0		EP02制御レジスタ2 (EP02CON2) [001B ₁₆ 番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
B0VAL02	バッファ0許可ビット	選択しているエンドポイントがINの場合、このビットに“1”を書き込むと、送信データセット状態 (SIEが読み出し可能状態) となります。 選択しているエンドポイントがOUTの場合、このビットに“1”を書き込むと、データ受信可能状態 (SIEが書き込み可能状態) となります。	0	-			
b7:b1	不使用	書き込み時は“0”を設定してください。 読み出し時は“0”。	-	-			

--: 状態保持

図56 . EP02制御レジスタ2(EP02CON2)

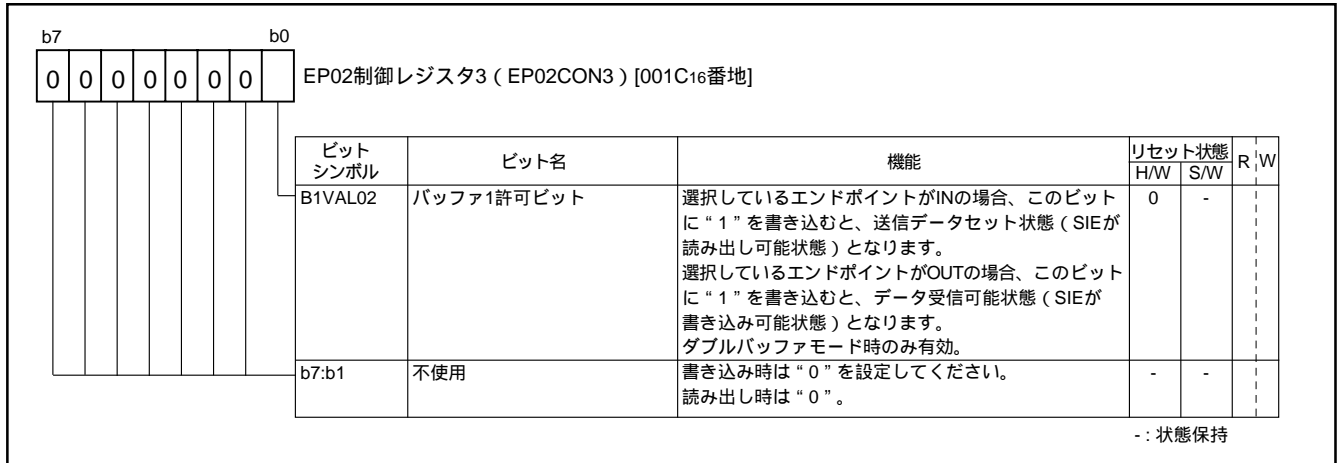


図57 . EP02制御レジスタ3(EP02CON3)

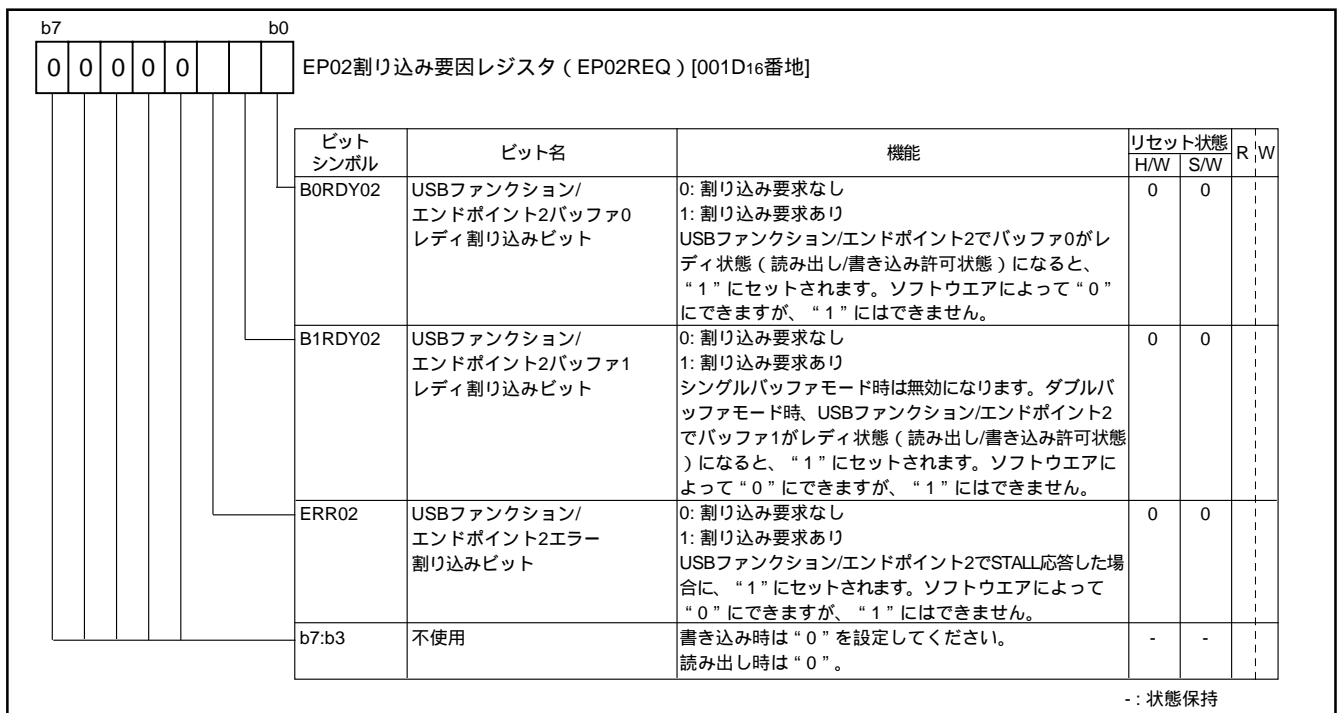


図58 . EP02割り込み要因レジスタ(EP02REQ)

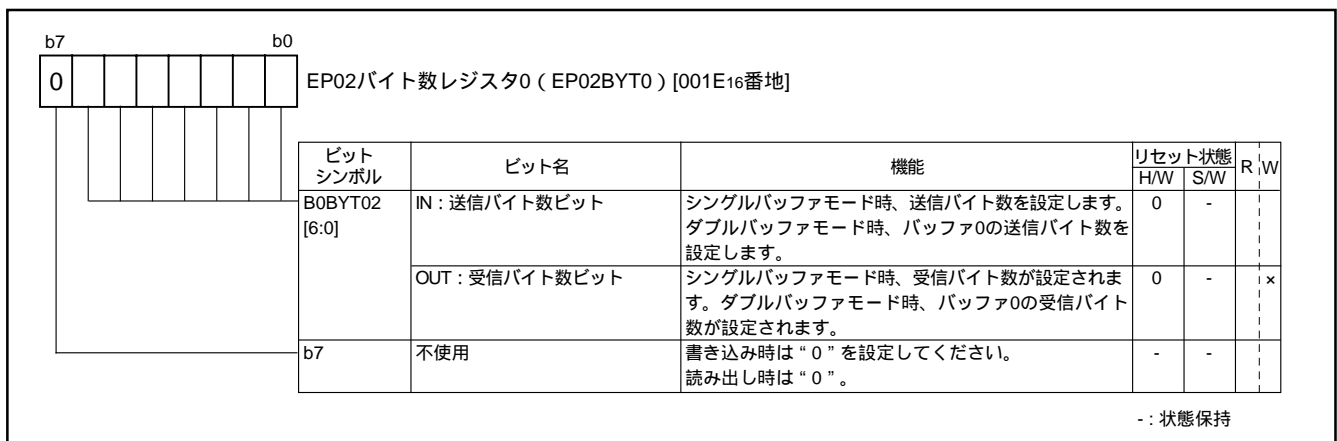


図59 . EP02バイト数レジスタ0(EP02BYT0)

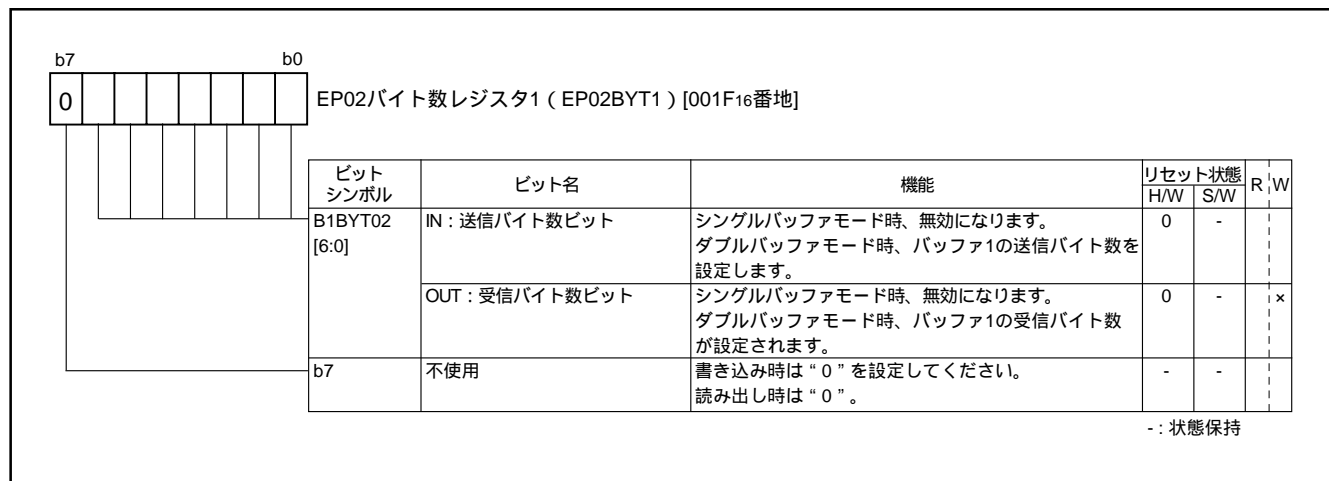


図60 . EP02バイト数レジスタ1(EP02BYT1)

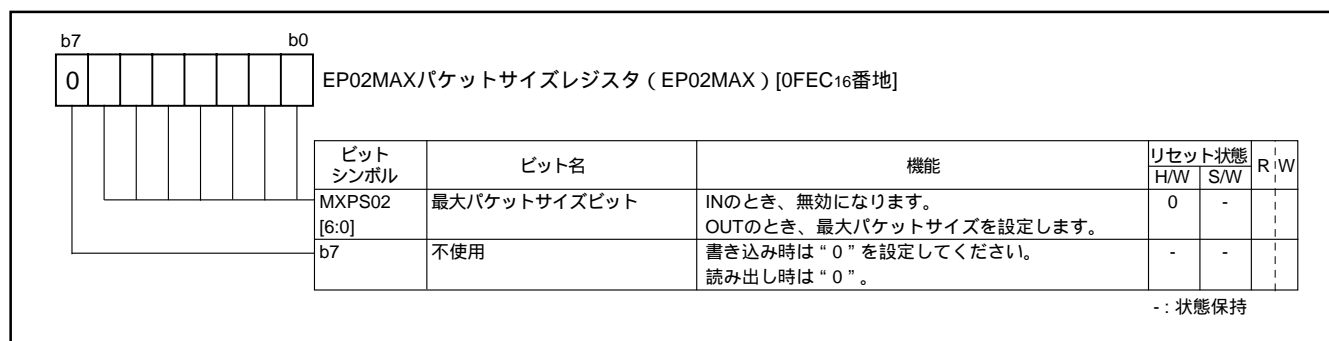


図61 . EP02MAXパケットサイズレジスタ(EP02MAX)

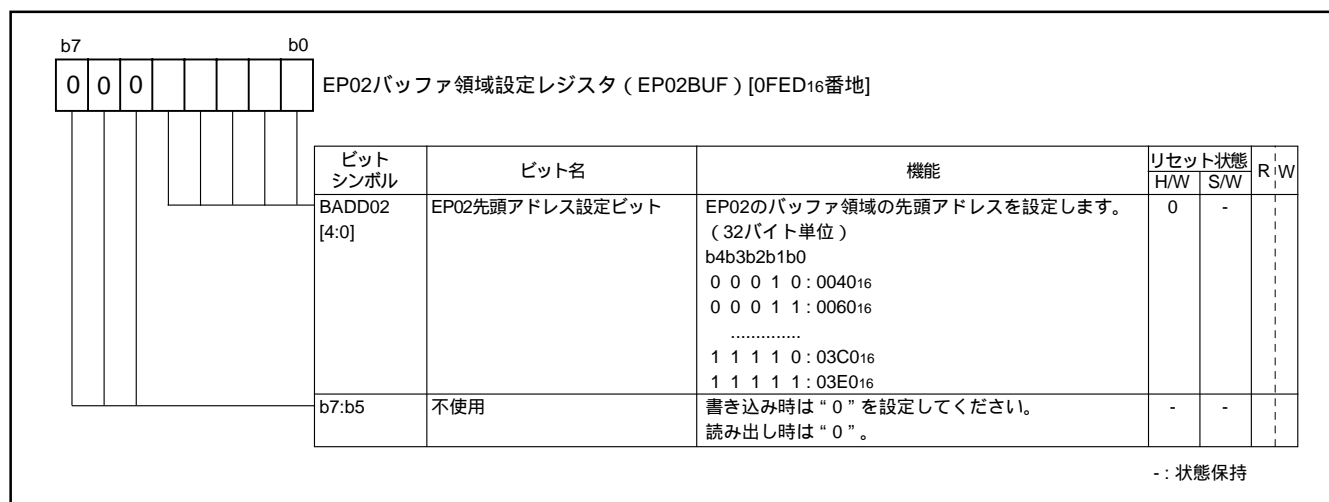


図62 . EP02バッファ領域設定レジスタ(EP02BUF)

(4) エンドポイント03

b7		b0		EP03設定レジスタ (EP03CFG) [0019 ₁₆ 番地]			
ビット シンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
BSIZ03 [1:0]	ダブルバッファ先頭アドレス 設定ビット	ダブルバッファモード時にバッファ1領域の先頭アドレス をバッファ0の先頭アドレスからの相対値で設定しま す。 b1b0 0 0= 8Byte 0 1=16Byte 1 0=64Byte 1 1=128Byte	0	-			
DBLB03	バッファモード設定ビット	0: シングルバッファモード 1: ダブルバッファモード	0	-			
SQCL03	シーケンストグルビットクリア ビット	0: トグルビットのクリア禁止 1: トグルビットがクリアされ、次のデータPIDがDATA0 になります。 読み出し時は常に "0" を示します。	0	-			
ITMD03	インタラプトグルモード設定 ビット	0: ノーマルモード 1: 連続トグルモード (インタラプトIN転送時のみ有効)	0	-			
DIR03	転送方向ビット	0: OUT (ホストからのデータを受信) 1: IN (ホストへデータを送信)	0	-			
TYP03 [1:0]	転送タイプビット	b7b6 0 0: 転送禁止 0 1: バルク転送 1 0: インタラプト転送 1 1: アイソクロナス転送	0	-			

-: 状態保持

図63 . EP03設定レジスタ(EP03CFG)

b7		b0		EP03制御レジスタ1 (EP03CON1) [001A ₁₆ 番地]			
ビット シンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
PID03 [1:0]	応答PIDビット	b1 b0 0 0: NAK 0 1: 自動応答 (ACK, NAK, DATA0, DATA1) 1 X: STALL (最大パッケージサイズオーバー時: H/Wによりb1がセットされます。)	0	-			
b7:b2	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-			

-: 状態保持

図64 . EP03制御レジスタ1(EP03CON1)

b7		b0		EP03制御レジスタ2 (EP03CON2) [001B ₁₆ 番地]			
ビット シンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
B0VAL03	バッファ0許可ビット	選択しているエンドポイントがINの場合、このビット に "1" を書き込むと、送信データセット状態 (SIEが 読み出し可能状態) となります。 選択しているエンドポイントがOUTの場合、このビット に "1" を書き込むと、データ受信可能状態 (SIEが 書き込み可能状態) となります。	0	-			
b7:b1	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-			

-: 状態保持

図65 . EP03制御レジスタ2(EP03CON2)

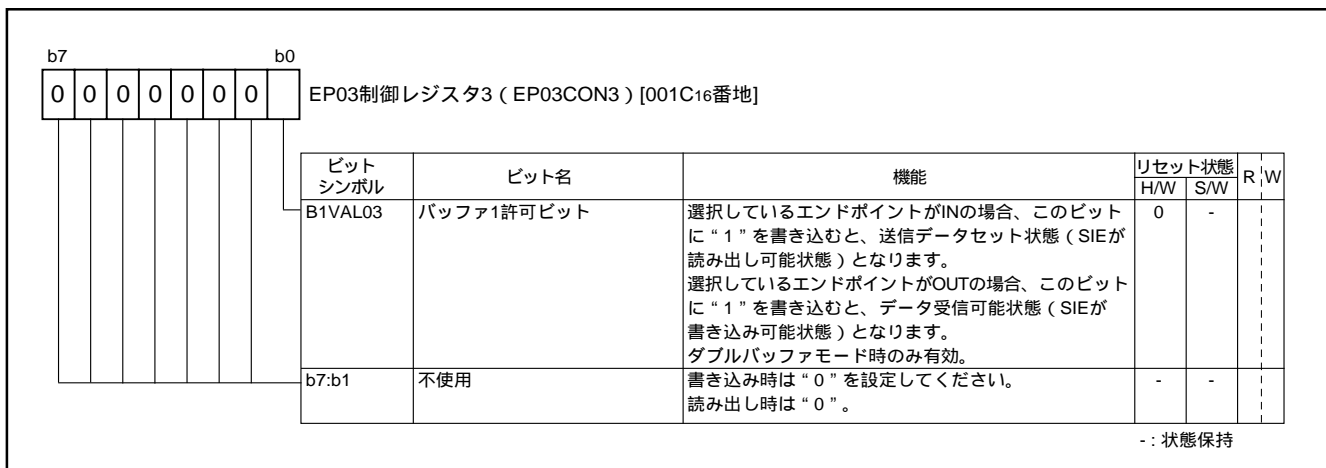


図66 . EP03制御レジスタ3(EP03CON3)

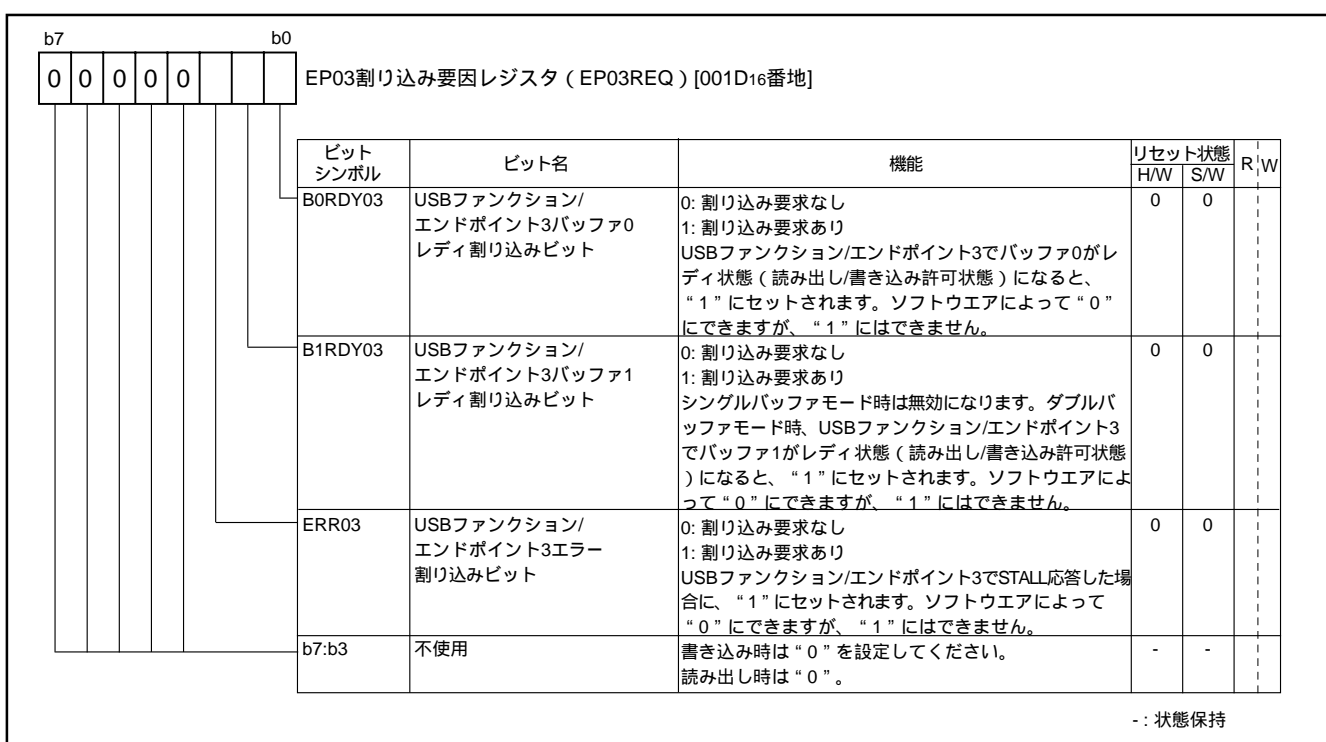


図67 . EP03割り込み要因レジスタ(EP03REQ)

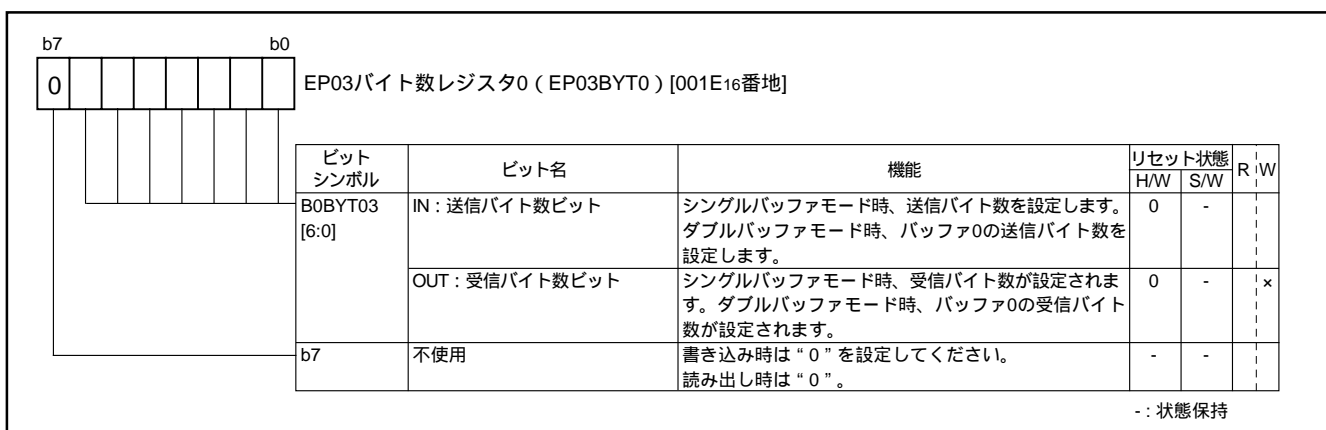


図68 . EP03バイト数レジスタ0(EP03BYT0)

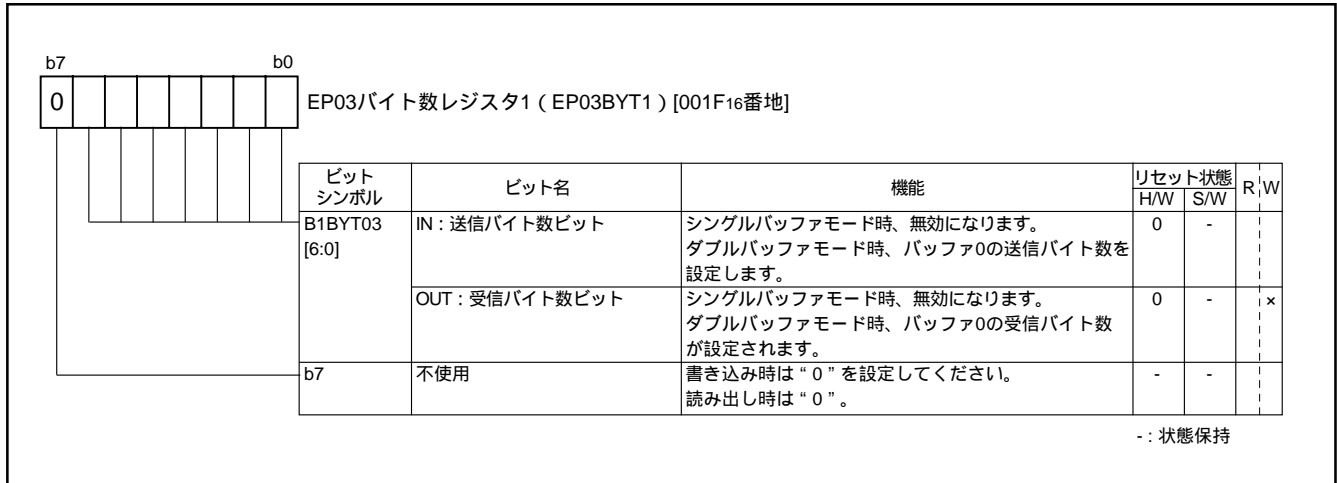


図69 . EP03バイト数レジスタ1(EP03BYT1)

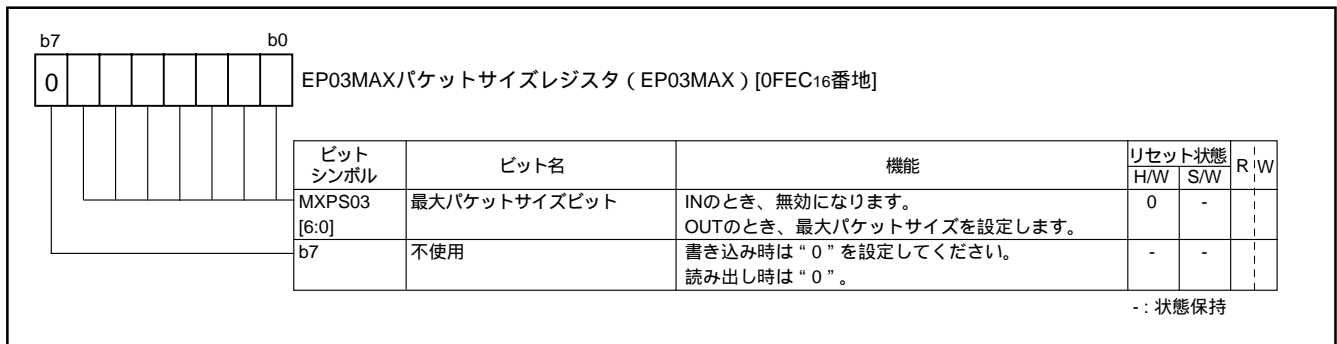


図70 . EP03MAXパケットサイズレジスタ(EP03MAX)

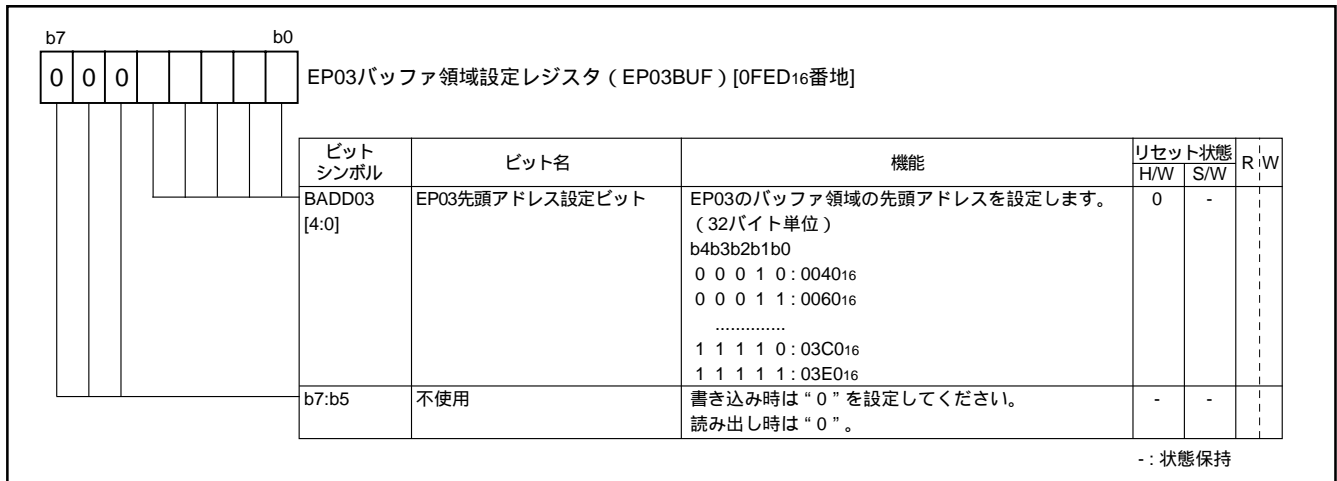


図71 . EP03バッファ領域設定レジスタ(EP03BUF)

外部バスインタフェース

外部バスインタフェース(EXB)は、外部MCUと38K0グループのCPUまたはメモリ(マルチチャンネルRAM)間のデータ転送を制御します。

外部バスインタフェースを下記に示します。

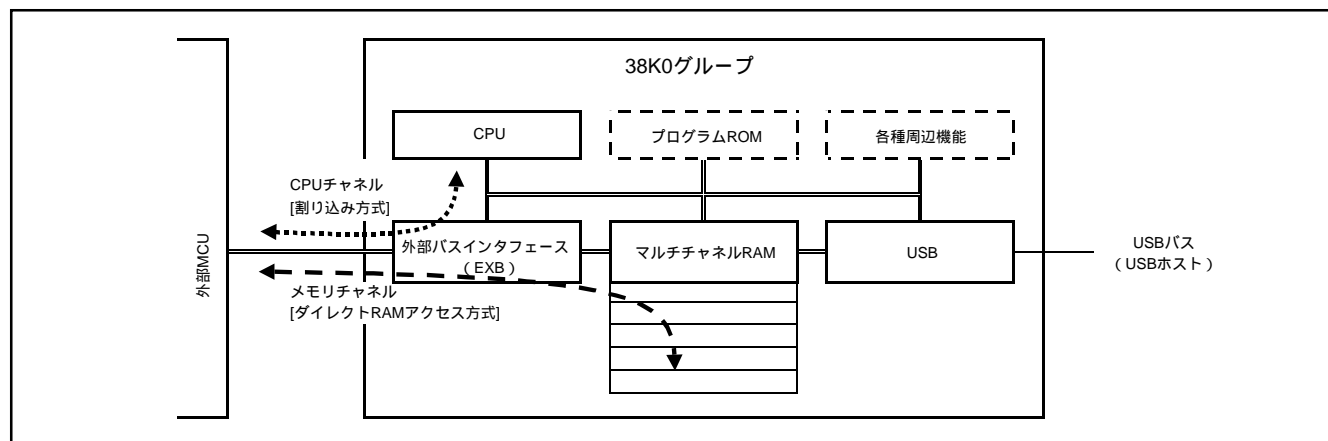


図72. 外部バスインタフェース

CPUチャンネル

外部MCUと38K0グループCPU間の、割り込み処理によるデータ転送経路です。

メモリチャンネル

外部MCUと38K0グループメモリ(マルチチャンネルRAM)間の、メモリチャンネルコントローラのダイレクトRAMアクセスによるデータ転送経路です。

メモリチャンネルのデータ転送

メモリチャンネル動作モードレジスタのバーストビットでバーストモードを選択すると、最も高速にデータ転送することができます。

外部バスインタフェースは、外部のリード信号/ライト信号の立ち上がりを検出してから内部クロックで同期化した後、2クロックで送受信バッファとマルチチャンネルRAMの間のデータ転送を完了します。

ただし、USB動作時は、マルチチャンネルRAMへのアクセスはUSBが優先されるため、最大で2クロックの待ち時間が発生します。

このため、外部MCUバス側で、下記のタイミングを満たす

アクセス間隔を設定する必要があります。

=8MHzの場合、最大で約2Mバイト/秒のデータ転送が可能です。USBから同時にアクセスがある場合は、約1.3Mバイト/秒です。

=6MHzの場合、データ転送は最大で約1.5Mバイト/秒、USBから同時にアクセスがある場合は、約1Mバイト/秒です。

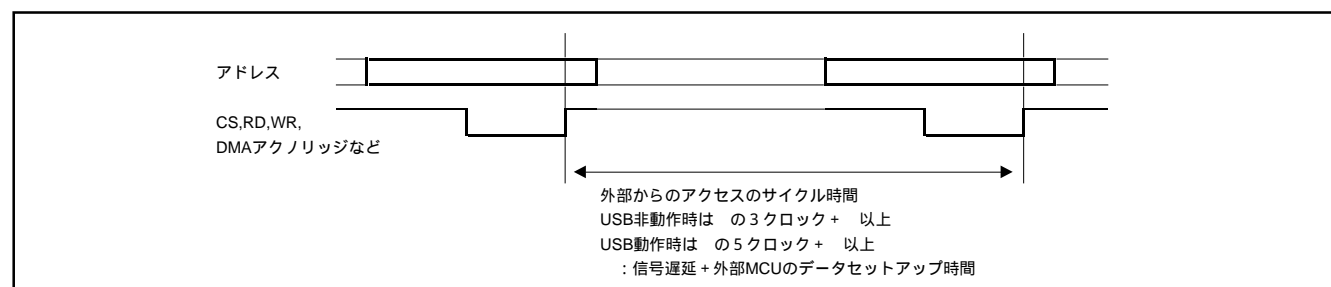


図73. メモリチャンネルのデータ転送タイミング

EXB端子図

外部バスインタフェース(EXB)の端子を下記に示します。

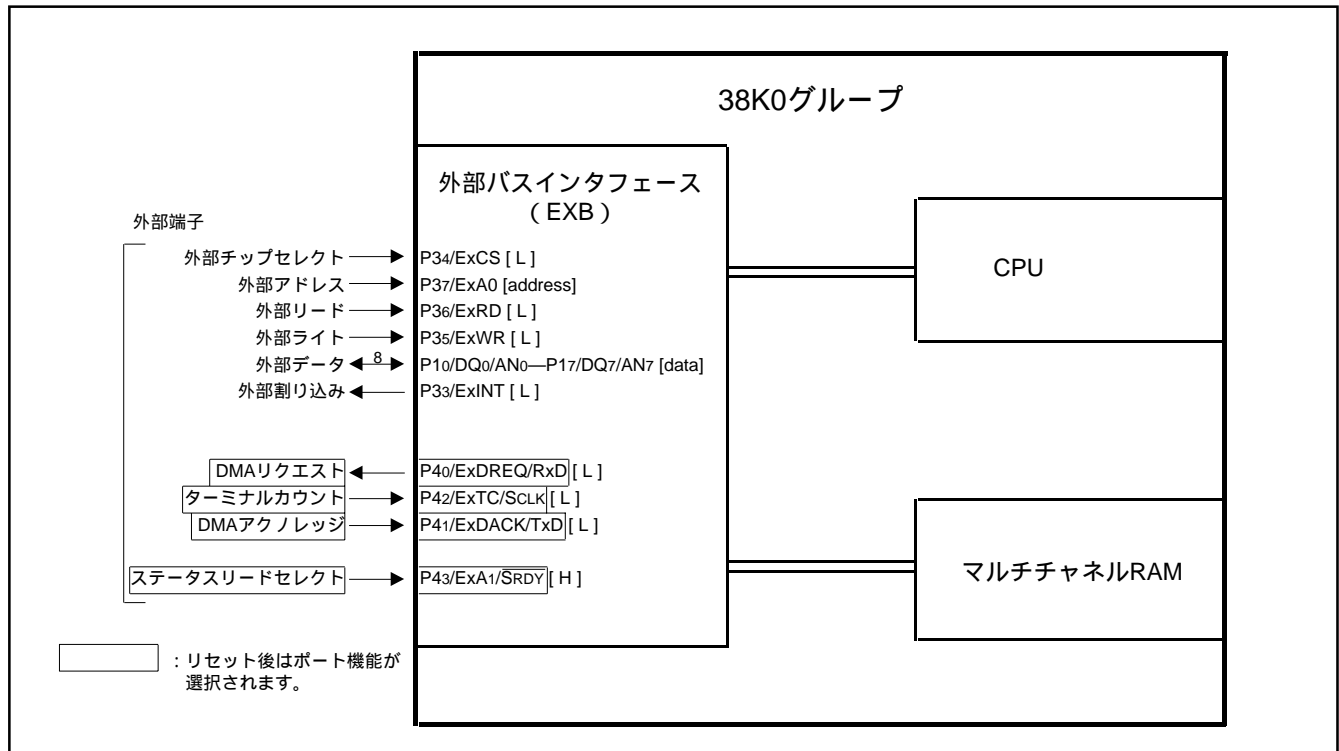


図74 . 外部バスインタフェース(EXB)の端子図

38K0グループは、以下の信号によって外部MCUとデータの送受信ができます。

- ・制御入力信号 4本(ExCS・ExA0・ExRD・ExWR)
- ・データ入出力信号 8本(DQ0 ~ DQ7)
- ・割り込み出力信号 1本(ExINT)

また、DMAインタフェース信号と、38K0グループのバスファステータスリードセレクト信号を、プログラムにより1本単位で設定できます。

- ・制御入力信号 3本(ExTC・ExDACK・ExA1)
- ・割り込み出力信号 1本(ExDREQ)

EXBブロック図

外部バスインタフェース(EXB)のブロック図を下記に示します。

外部バスインタフェース(EXB)は、次で構成されています。

- (1)外部I/Oインタフェース部
- (2)CPUインタフェース部
- (3)内部メモリインタフェース部
- (4)送受信データバッファ部

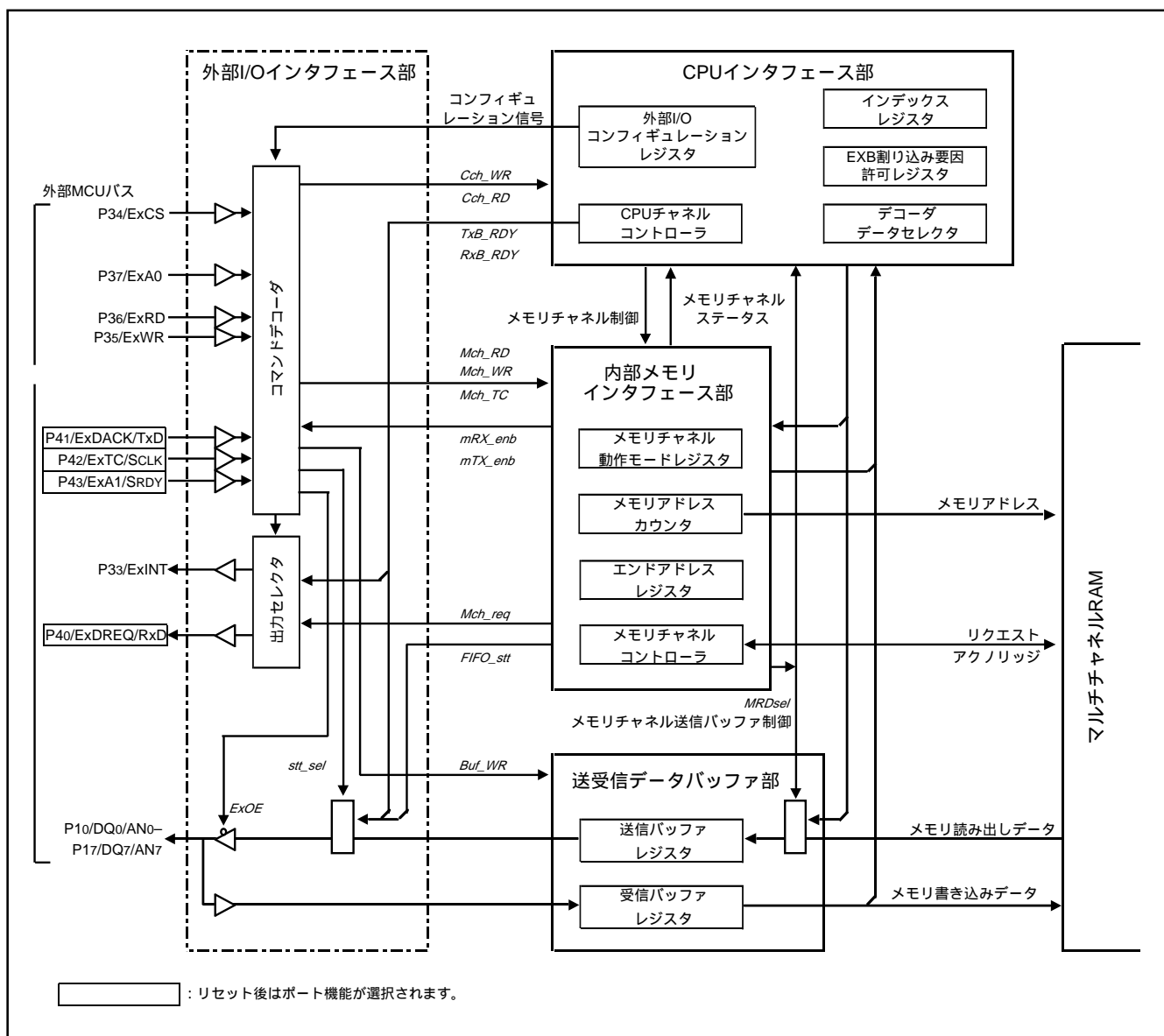


図75 . 外部バスインタフェース(EXB)ブロック図

(1)外部I/Oインタフェース部

外部I/Oインタフェース部は、コマンドデコーダ及び出力セクタで構成されています。

コマンドデコーダは、各ユニットに対して次の信号を生成します。

CPUインタフェース部

- ・CPUチャンネルリード(Cch_RD)
- ・CPUチャンネルライト(Cch_WR)

内部メモリインタフェース部

- ・メモリチャンネルリード(Mch_RD)
- ・メモリチャンネルライト(Mch_WR)
- ・メモリチャンネルターミナルカウント(Mch_TC)

送受信データバッファ部

- ・バッファライト(Buf_WR)

外部I/Oインタフェース内部

- ・ステータスセレクト(stt_sel)
- ・アウトプットイネーブル(ExOE)

CPUチャンネルへのアクセスは、外部信号の設定のみで制御します。

メモリチャンネルへのアクセスは、外部I/Oコンフィギュレーションレジスタの値と、内部メモリインタフェース部の状態(mRX_enb、mTX_enb信号)で制御します。

出力セクタは、P33/ExINT端子とP40/ExDREQ/RxD端子に割り当てる信号を、CPUチャンネルの状態(TxB_RDYとRxD_RDY)と、メモリチャンネルの状態(Mch_req)から選択する機能を持ちます。

(2)CPUインタフェース部

CPUインタフェース部は、CPUチャンネルのデコーダ/データセクタ、CPU書き込みレジスタ及びCPUチャンネルコントローラで構成されています。

CPUチャンネルのデコーダ/データセクタ

CPUレジスタへの書き込みは、アドレスデコード信号とライト信号で、レジスタごとのライト信号を生成して行います。

CPUレジスタの読み出しは、モジュールセレクト信号とリード信号で内部データバスのアウトプットイネーブル信号を生成し、アドレスデコード信号でレジスタごとのセレクト信号を生成して行います。

CPU書き込みレジスタ

CPU書き込みレジスタは、以下の3つです。

- ・EXB割り込み要因許可レジスタ
- ・インデックスレジスタ
- ・外部I/Oコンフィギュレーションレジスタ

EXB割り込み要因レジスタは、読み出し専用です。CPUチャンネルコントローラのステータス信号と、内部メモリインタフェース部のメモリチャンネルコントローラのステータス信号を生成します。

CPUチャンネルコントローラ

CPUチャンネルコントローラは、EXB割り込み要因許可レジスタのビット0とビット1(RXB_ENB、TXB_ENB)で、次の信号を生成します。

- ・メモリチャンネル送信バッファ制御信号(MRD_sel) : 内部メモリインタフェース部で生成されます。
- ・CPUチャンネルコマンド信号(Cch_RD、Cch_WR) : 外部I/Oインタフェース部で生成されます。
- ・RxB_RDY/RxB_full、TxB_RDY/TxB_empty信号 : CPUチャンネルからのリード・ライト信号で生成されます。

(3)内部メモリインタフェース部

内部メモリインタフェース部は、CPUレジスタ及びメモリチャンネルコントローラで構成されています。

CPUレジスタ

CPUレジスタは、次で構成されています。

- ・メモリチャンネル動作モードレジスタ
- ・メモリアドレスカウンタ
- ・エンドアドレスレジスタ

メモリアドレスカウンタは、EXB割り込み要因許可レジスタのメモリチャンネル動作許可ビット(MC_ENB)が 0 のとき、CPUからスタートアドレスを設定することができます。このビットが 1 のとき、CPUからの書き込みは無効で、外部バスからのアクセスごとにカウントアップ動作を行います。

メモリチャンネルコントローラ

メモリチャンネルコントローラは、次で構成されています。

- ・メインシーケンサ
- ・内部メモリリクエスト信号生成回路
- ・外部メモリチャンネルリクエスト信号生成回路
- ・アドレスエンド検出回路
- ・ターミナルエンド入力処理回路

(4)送受信データバッファ部

送受信データバッファ部は、8ビットの送信バッファレジスタ(TXBUF)及び8ビットの受信バッファレジスタ(RXBUF)で構成されています。

外部MCUバスとのデータ転送には、CPUチャンネルでもメモリチャンネルでも、同じ送信バッファレジスタ/受信バッファレジスタを使用します。

(5)外部端子

外部バスインタフェースは、外部MCUバスと接続するために以下の端子を持っています。

チップセレクト	P34/ExCS
アドレス	P37/ExA0
データ	P10/DQ0/AN0 ~ P17/DQ7/AN7
リード	P36/ExRD
ライト	P35/ExWR
割り込み要求	P33/ExINT

また、外部DMACと接続するために次の端子を持ちます。各端子ごとに、通常のポート機能またはDMAインタフェース端子機能をプログラムにより選択できます。

DMAリクエスト	P40/ExDREQ/RxD
DMAアクノリッジ	P41/ExDACK/TxD
ターミナルカウント	P42/ExTC/SCLK

また、外部MCUバスからデータバッファの準備状況を確認するために、ステータスリード選択端子(P43/ExA1/SRDY端子)を持ちます。この端子は、リセット後はポート機能が選択されますが、プログラムによりステータスリード選択機能を設定できます。

ステータスリード選択	P43/ExA1/SRDY
------------	---------------

- ・CPUチャンネル：38K0グループCPUとの交信

外部MCUバスからアドレス信号ExA0="H"で読み出し/書き込みを行うと、割り込みを発生して38K0グループCPUにアクセスを知らせます。

38K0グループCPUは割り込み要因を判別し、外部MCUバスとデータの送受信を行います。

- ・メモリチャンネル：38K0グループメモリ(マルチチャンネルRAM)との交信

外部MCUバスからアドレス信号ExA0="L"で読み出し/書き込みを行うと、マルチチャンネルRAMに対してアクセスが行われます。このとき、マルチチャンネルRAMの番地は外部バスインタフェースで生成され、1回のアクセスが終わるたびにインクリメントされます。このため、FIFOアクセスが行われます。

(ExCS="L")かつ(ExA0="L")の代わりに、DACK="L"で読み出し/書き込みを行っても、マルチチャンネルRAMにFIFOアクセスできます。

FIFOアクセスのスタートアドレスとエンドアドレスは、あらかじめCPUで設定しておく必要があります。

- ・ P33/ExINT端子

この端子は、次の信号のいずれかを選択できます。

TxB_RDY(送信バッファレディ)出力、

RxB_RDY(受信バッファレディ)出力、

Mch_req(メモリチャンネルリクエスト)出力

通常は、TxB_RDYまたはRxB_RDYが選択されます。

メモリチャンネルリクエストは、メモリチャンネルへのアクセス要求信号です。

小規模なシステムでは、割り込みプログラムで内部メモリとのデータ転送処理を行う場合があります。38K0グループでは、このような環境に対応して、割り込み端子に割り付ける割り込み要因を、プログラムによって自動的に切り替える機能を持ちます。

- ・ P40/ExDREQ/RxD端子

この端子は、初期状態ではポートに設定されています。プログラムによって次の信号のどちらかを設定できます。

- ・ RxB_RDY(受信バッファレディ)出力

- ・ Mch_req(メモリチャンネルリクエスト)出力

通常は、DMACのMch_reqが選択されます。

メモリチャンネルリクエスト信号は、メモリチャンネル動作モードレジスタのバーストビット(BURST)によって信号の出方が異なります。バーストビットが 0 の場合、この信号は、1バイトの転送ごとにパルス出力されます(図93, 96)。バーストビットが 1 の場合、この信号は、メモリアドレスカウンタがスタートアドレスからエンドアドレスまでカウントしている期間、連続して出力されます(図94, 97)。

- ・ P41/ExDACK/TxD端子

この端子は、初期状態ではポートに設定されています。プログラムによってDMAアクノリッジ信号を設定できます。

DMAアクノリッジ信号DACK= L は、(CS= L)かつ(A0= L)と同じ状態であり、この期間に設定されるリード信号またはライト信号の立ち上がりで、マルチチャンネルRAMへのアクセスを開始します。

注 . DMAアクノリッジ信号と同時に、チップセレクト信号が設定される場合(DACK= L 、かつCS= L)には、アドレス信号A0も L にしてください。A0= H の場合、メモリチャンネルとCPUチャンネルの両方が起動し、不具合を生じる可能性があります。

- ・ P42/ExTC/SCLK端子

この端子は、初期状態ではポートに設定されています。プログラムによってターミナルカウント信号を設定できます。

外部MCUバスからメモリチャンネル動作書き込みが行われている期間に、あるバスサイクルでターミナルカウント信号が設定されると、38K0グループはそのバスサイクルを最終データの書き込みサイクルと判定し、メモリアドレスカウンタがエンドアドレスに達していない場合でも、メモリチャンネルステータスピットを 11 にし、割り込みを発生してメモリチャンネル動作を終了します。

CPUは、メモリアドレスカウンタの値を読むことによって、データが書き込まれた最終番地を知ることができます(図95)。

EXBレジスタ一覧

EXBのレジスタマップを下記に示します。

番地	レジスタ名	SYMBOL	EXB SFR							
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
003016	EXB割り込み要因許可レジスタ	EXBICON	X				MC_ENB		TXB_ENB	RXB_ENB
003116	EXB割り込み要因レジスタ	EXBIREQ	X				MC_STS[1:0]		TXB_EMPTY	RXB_FULL
003316	インデックスレジスタ	EXBINDEX	0	0	0	0	0	INDEX[2:0]		
003416	レジスタウィンドウ1 (low)	EXBREG1	LOW_WIN[7:0]							
003516	レジスタウィンドウ2 (high)	EXBREG2	HIGH_WIN[7:0]							

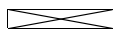
 : 不使用
 0: "0" 固定

図76 . EXBレジスタマップ(1)

- ・ EXB割り込み要因許可レジスタ
外部MCUバスからのアクセスと内部割り込みを許可/禁止するレジスタです。
- ・ EXB割り込み要因レジスタ
CPUチャネルの送受信バッファレジスタの状態と、メモリチャネルの状態を示します。
バッファステータスリードセレクト信号(A1端子≠H)によって、外部MCUバスからも同じ値を読み出せます。
- ・ インデックスレジスタ/レジスタウィンドウ1, 2
003416番地と003516番地をレジスタウィンドウとし、003316番地のインデックスレジスタの値によって、アクセスするレジスタを切り替えます。

インデックス	low high	レジスタ名	SYMBOL	EXB SFR							
				bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0016	low	外部I/Oコンフィギュレーションレジスタ	EXBCFGL	X			A1_CTR	INT_CTR[2:0]		EXB_CTR	
	high		EXBCFGH	X			TC_CTR	DAK_CTR[1:0]	DRQ_CTR[1:0]		
0116	low	送受信バッファレジスタ	RXBUF/TXBUF	CPU読み出し時=RXBUF[7:0] CPU書き込み時=TXBUF[7:0]							
	high		-	X							
0216	low	メモリチャネル動作モードレジスタ	MCHMOD	X				BURST	MC_DIR[1:0]		
	high		-	X							
0316	low	メモリアドレスカウンタ	MEMADL	IM_A[7:0]							
	high		MEMADH	0	0	0	0	0	IM_A[10:8]		
0416	low	エンドアドレスレジスタ	ENDADL	END_A[7:0]							
	high		ENDADH	0	0	0	0	0	END_A[10:8]		

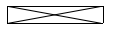
 : 不使用
 0: "0" 固定

図77 . EXBレジスタマップ(2)

- ・ 外部I/Oコンフィギュレーションレジスタ
各端子ごとの機能を選択するレジスタです。
- ・ 送受信バッファレジスタ
受信バッファレジスタ(RXBUF)と送信バッファレジスタ(TXBUF)で構成されています。
- ・ メモリチャネル動作モードレジスタ
メモリチャネルの動作モードを設定するレジスタです。
- ・ メモリアドレスカウンタ
FIFOアクセスするスタートアドレスを設定するレジスタです。このレジスタは外部MCUバスからのアクセスによってインクリメントします。
- ・ エンドアドレスレジスタ
FIFOアクセスするエンドアドレスを設定するレジスタです。

EXB関連レジスタ

EXB関連レジスタを下記に示します。

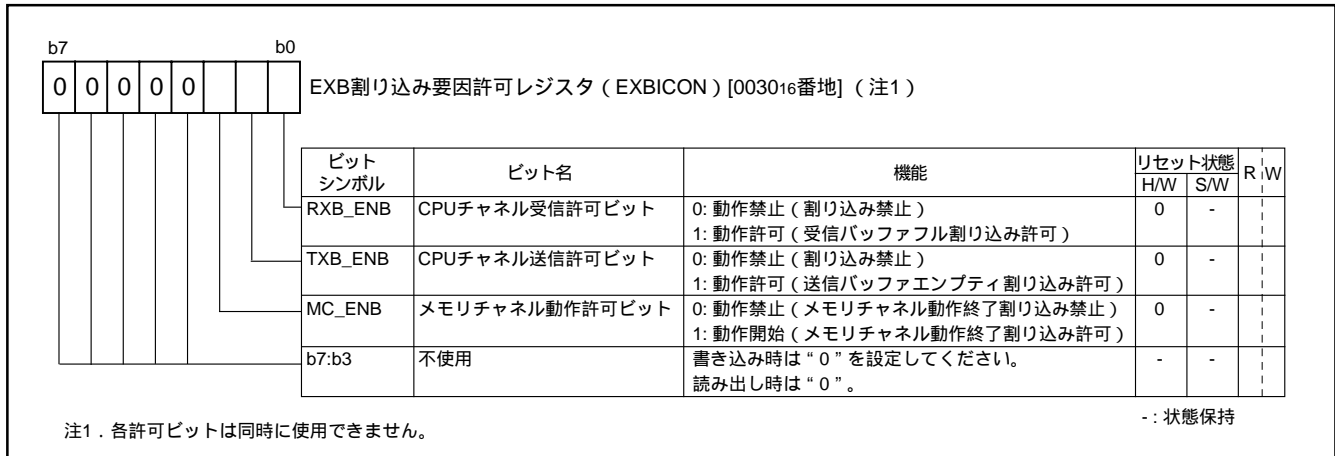


図78. EXB割り込み要因許可レジスタ(EXBICON)

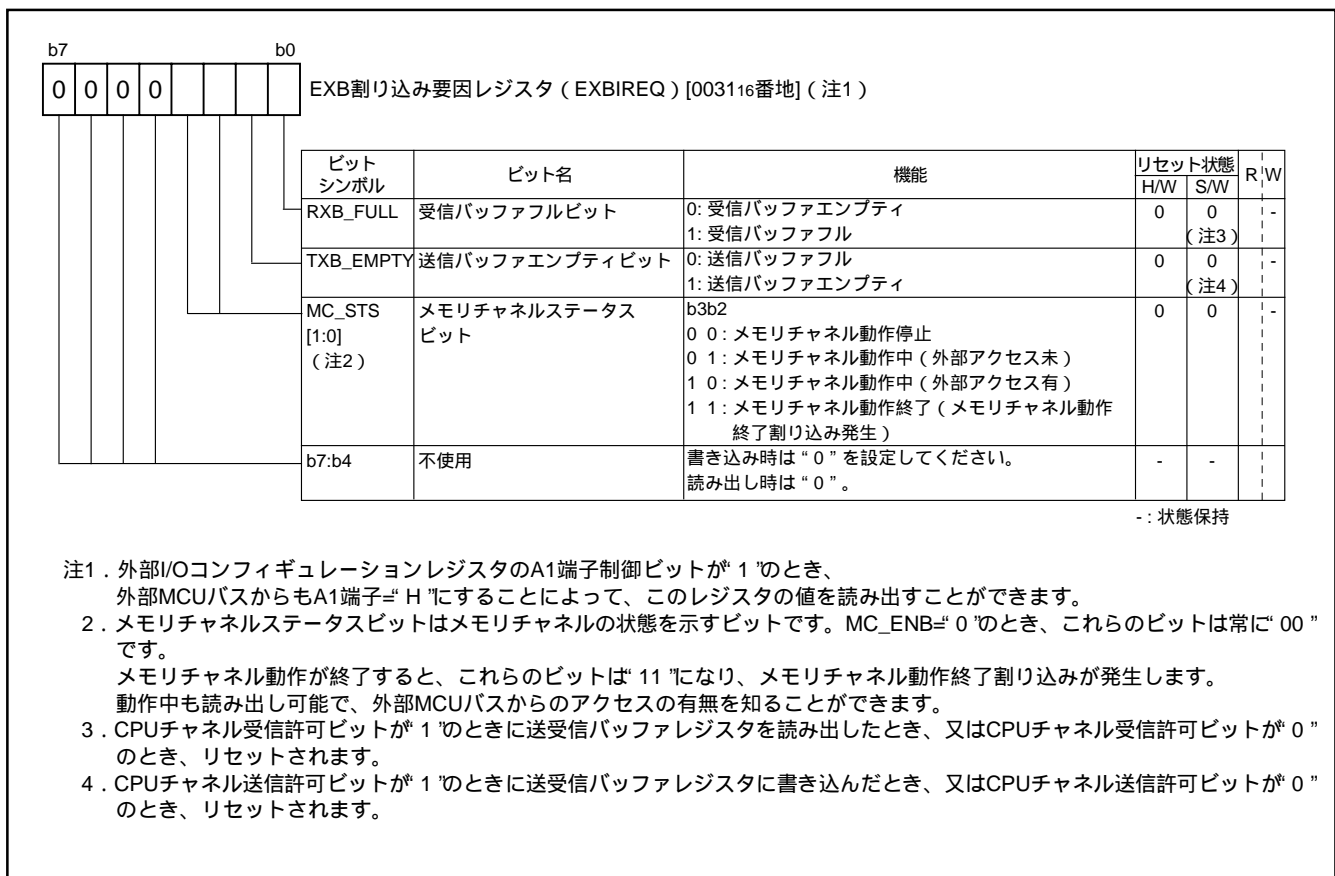


図79. EXB割り込み要因レジスタ(EXBIREQ)

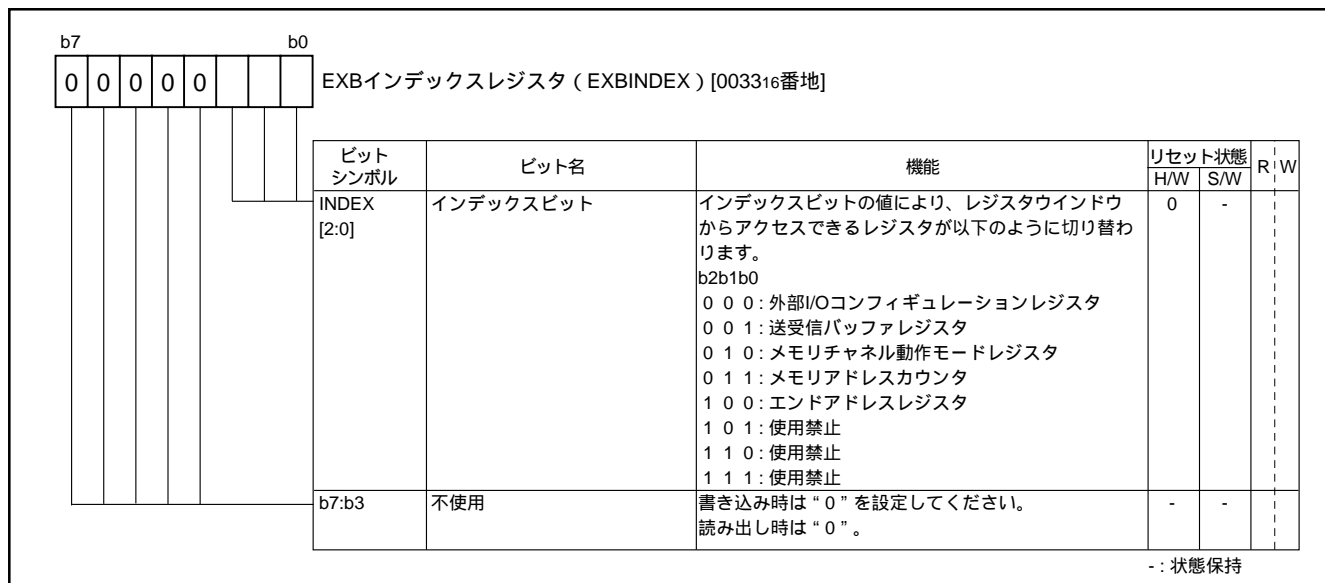


図80 . EXBインデックスレジスタ(EXBINDEX)

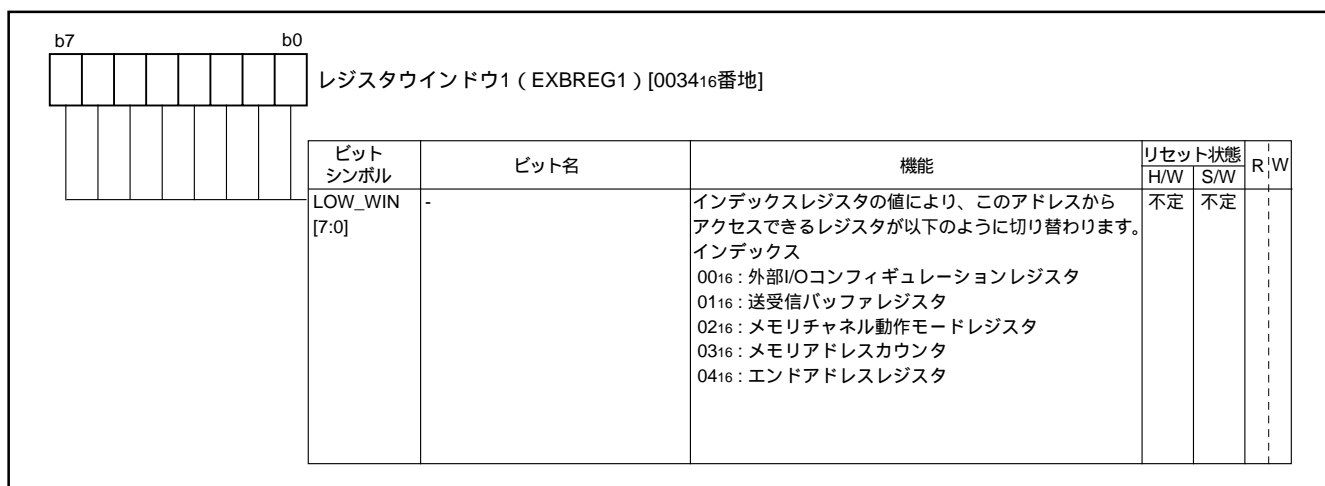


図81 . レジスタウインドウ1(EXBREG1)

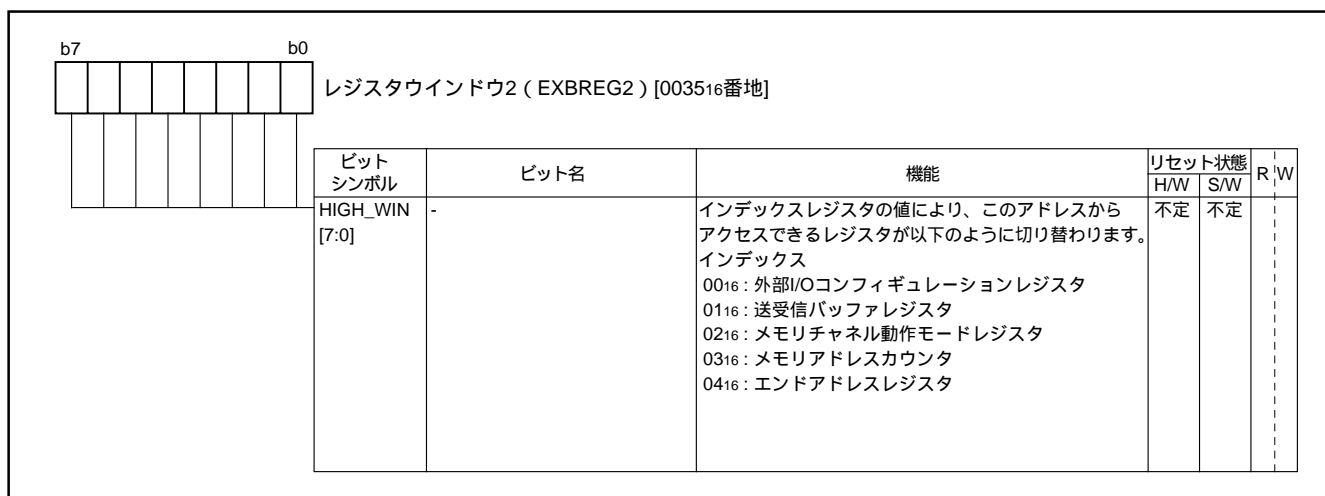


図82 . レジスタウインドウ2(EXBREG2)

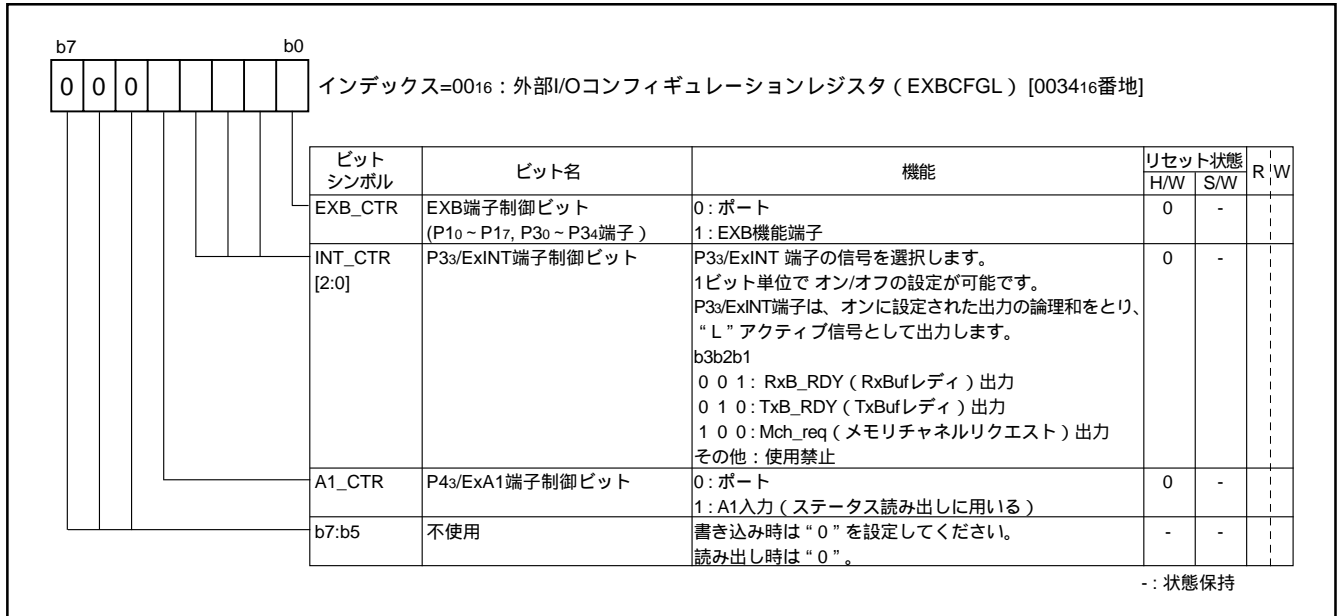


図83 . インデックス00[low]

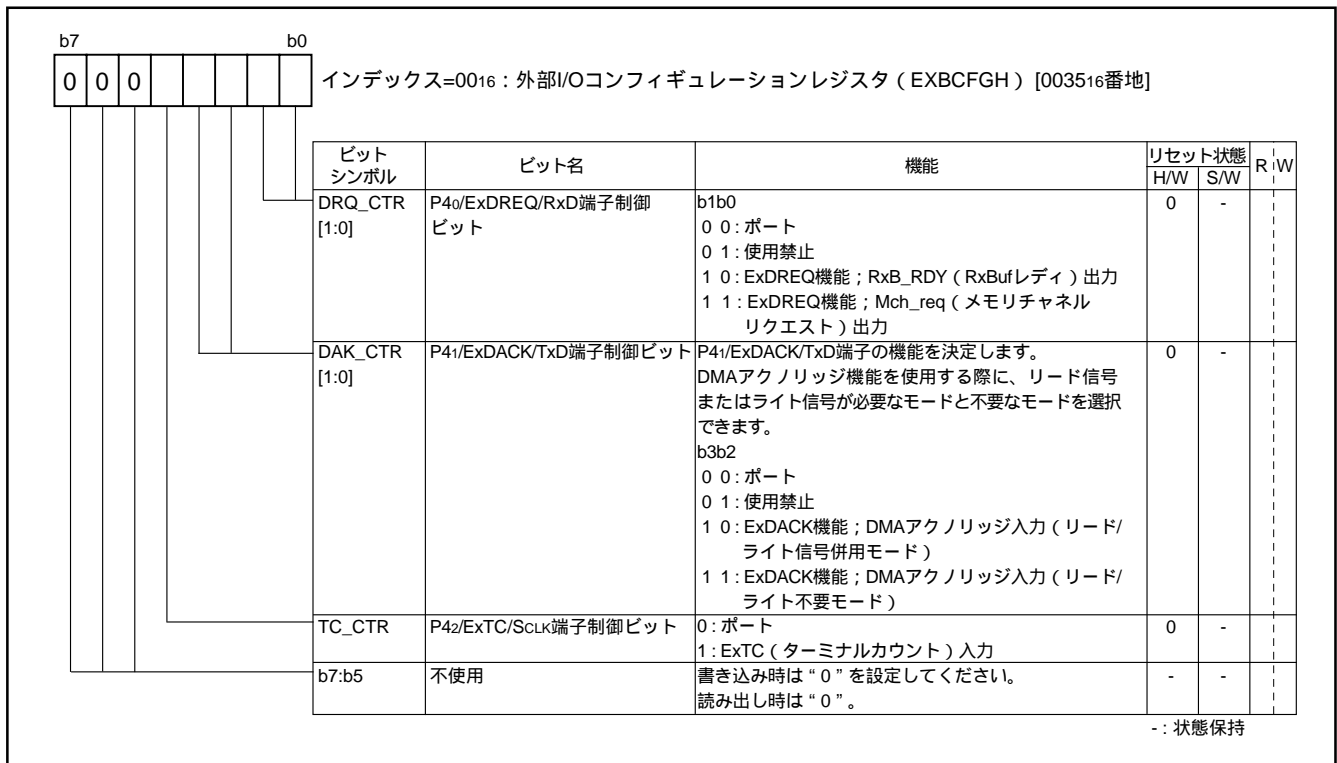


図84 . インデックス00[high]

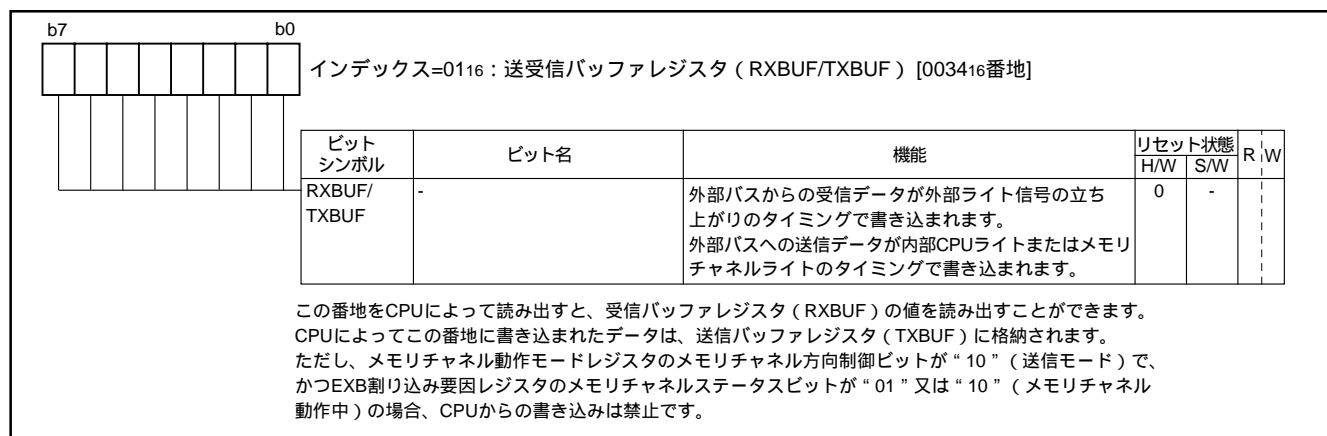


図85 . インデックス01[low]

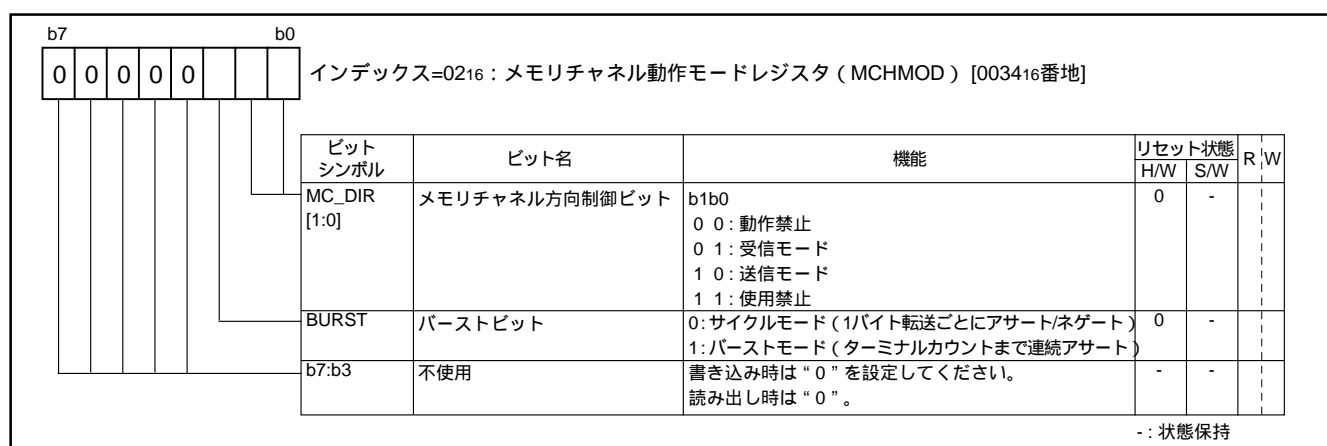


図86 . インデックス02[low]

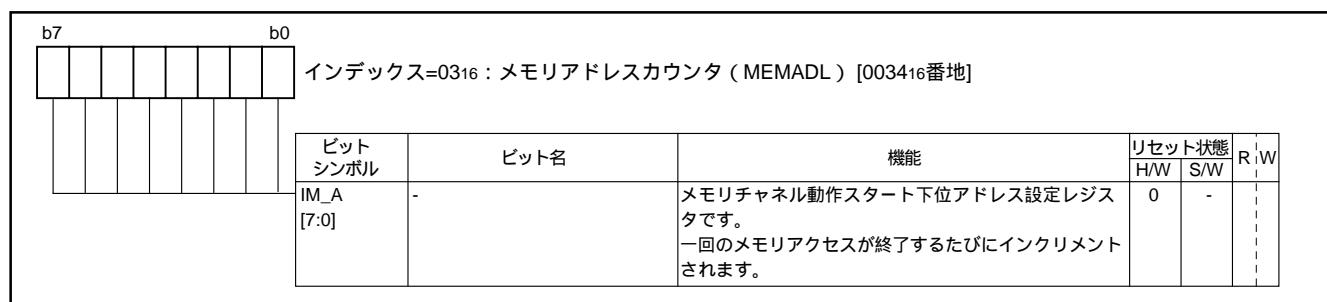


図87 . インデックス03[low]

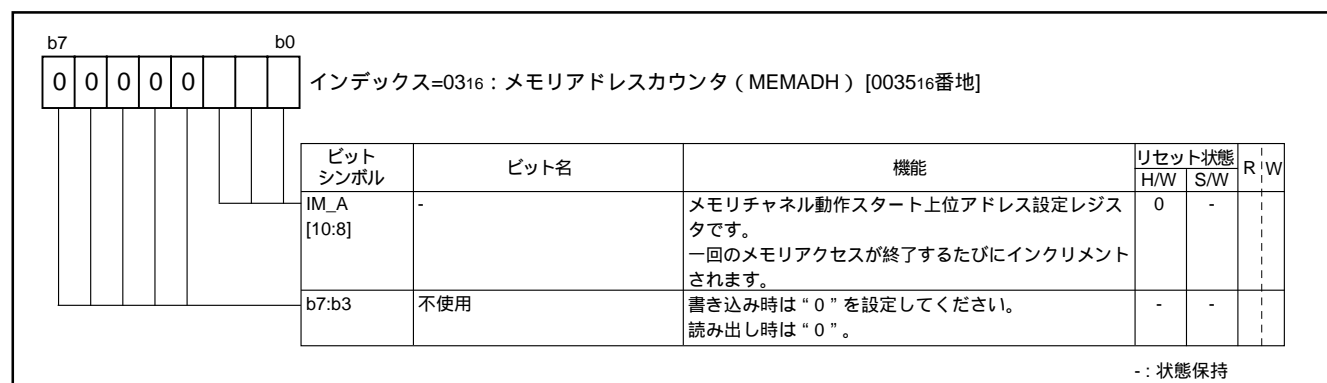


図88 . インデックス03[high]

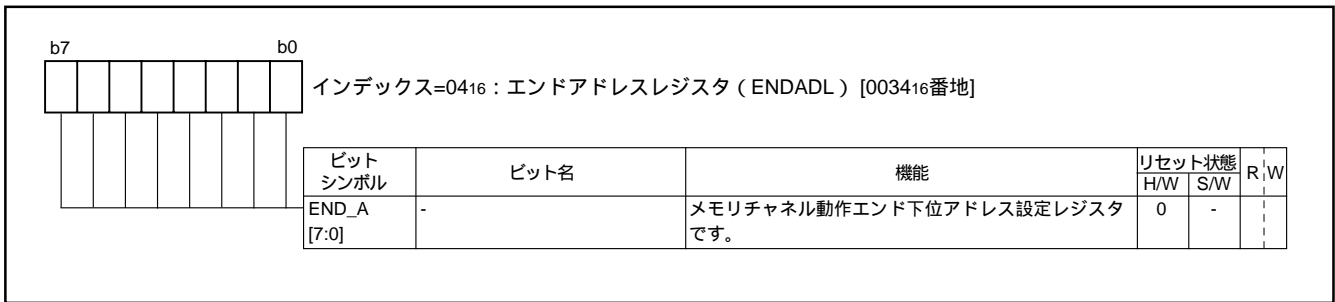


図89 . インデックス04[low]

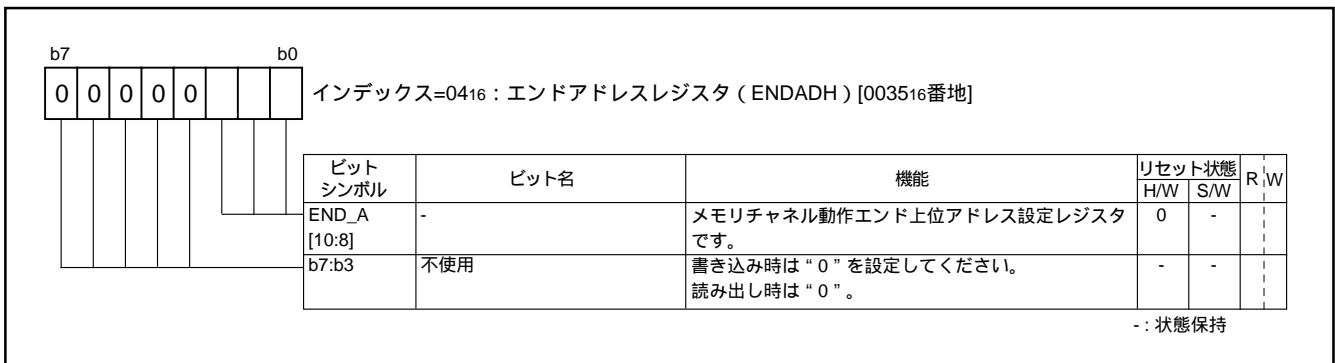


図90 . インデックス04[high]

EXB動作タイミング図

(1)CPUチャンネル受信動作

CPUチャンネル受信動作を下記に示します。

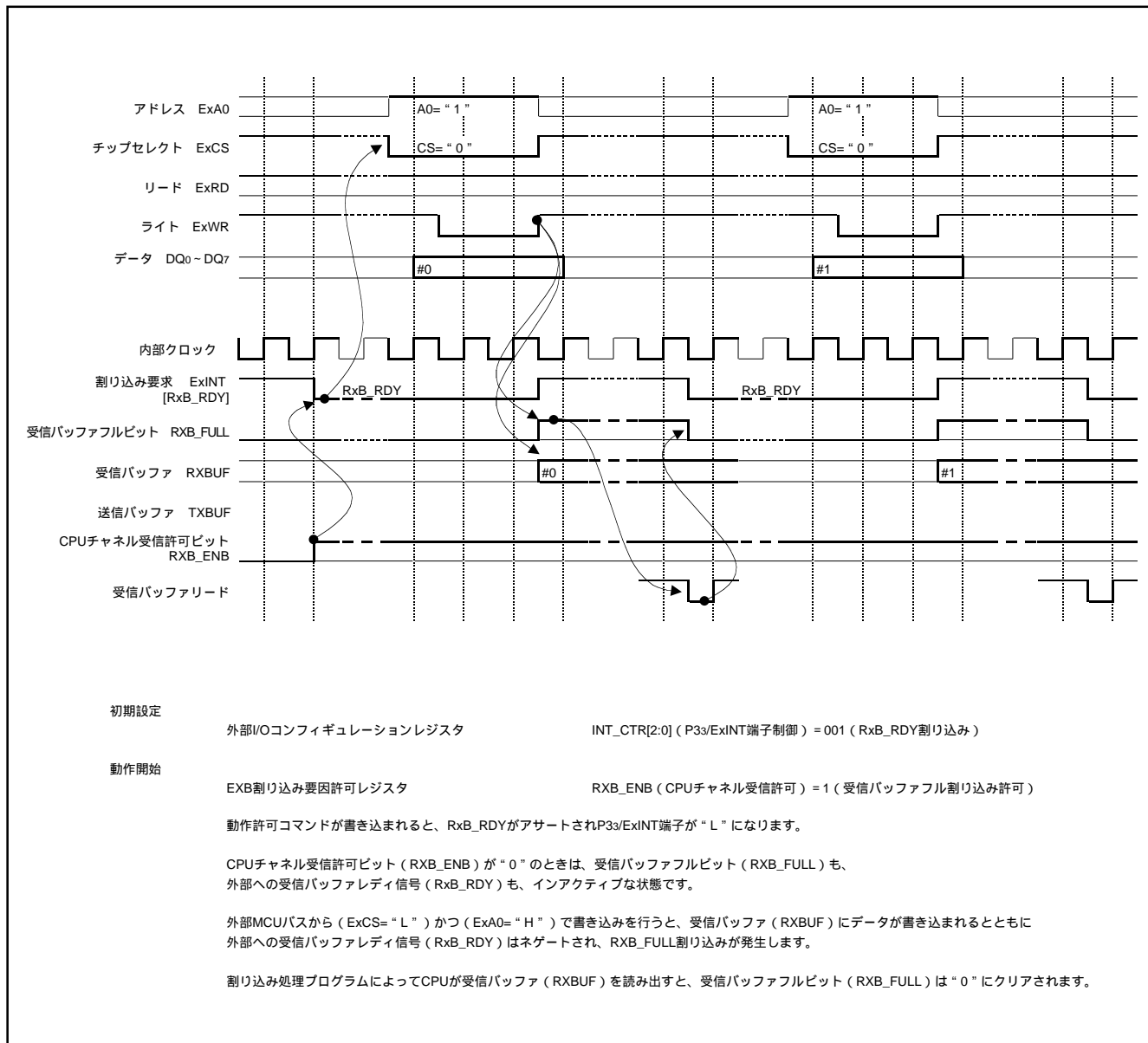


図91 . CPUチャンネル受信動作

(2)CPUチャンネル送信動作

CPUチャンネル送信動作を下記に示します。

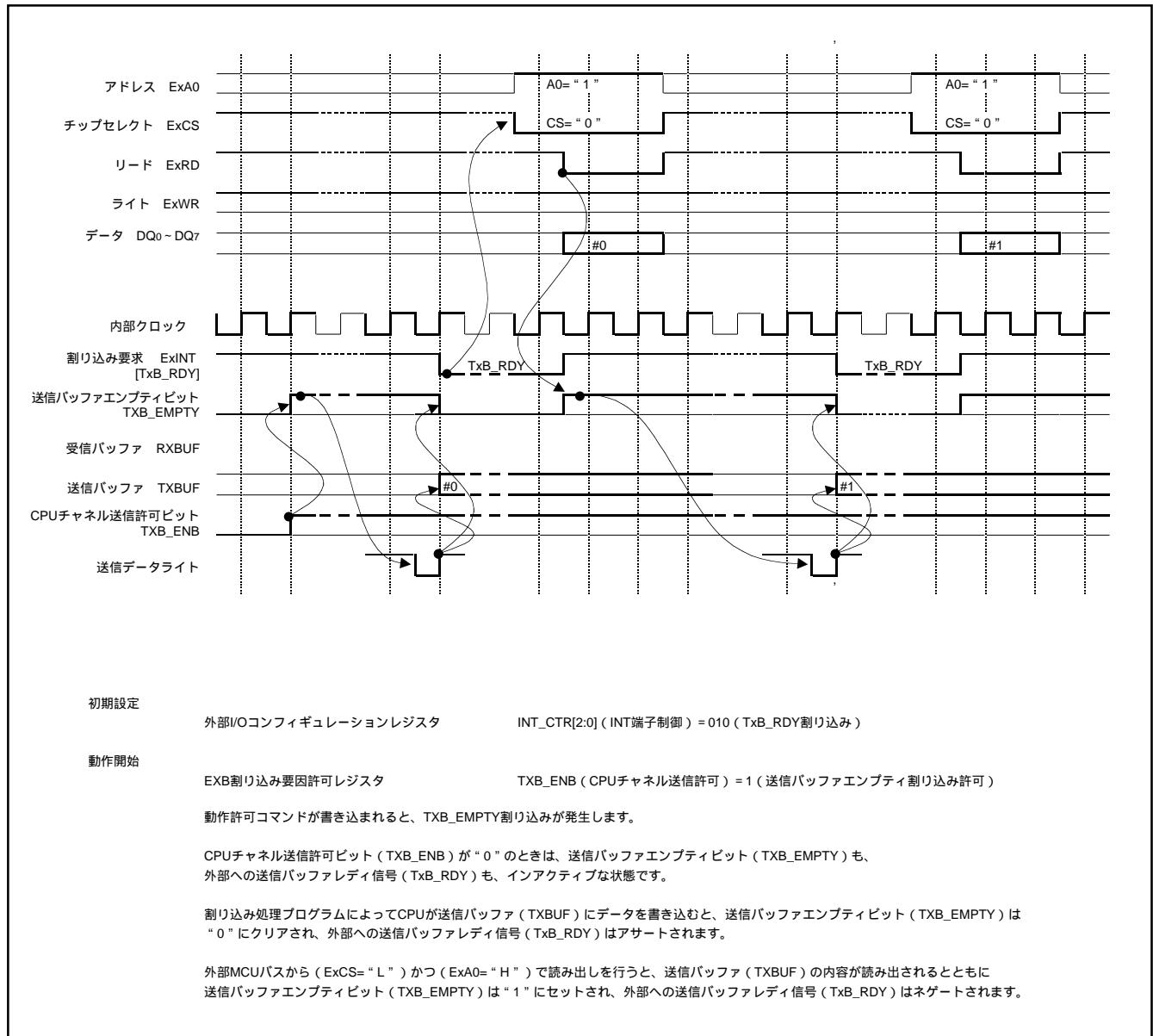


図92 . CPUチャンネル送信動作

(3)メモリチャネル受信動作(1) - サイクルモード
メモリチャネル受信動作(1)を下記に示します。

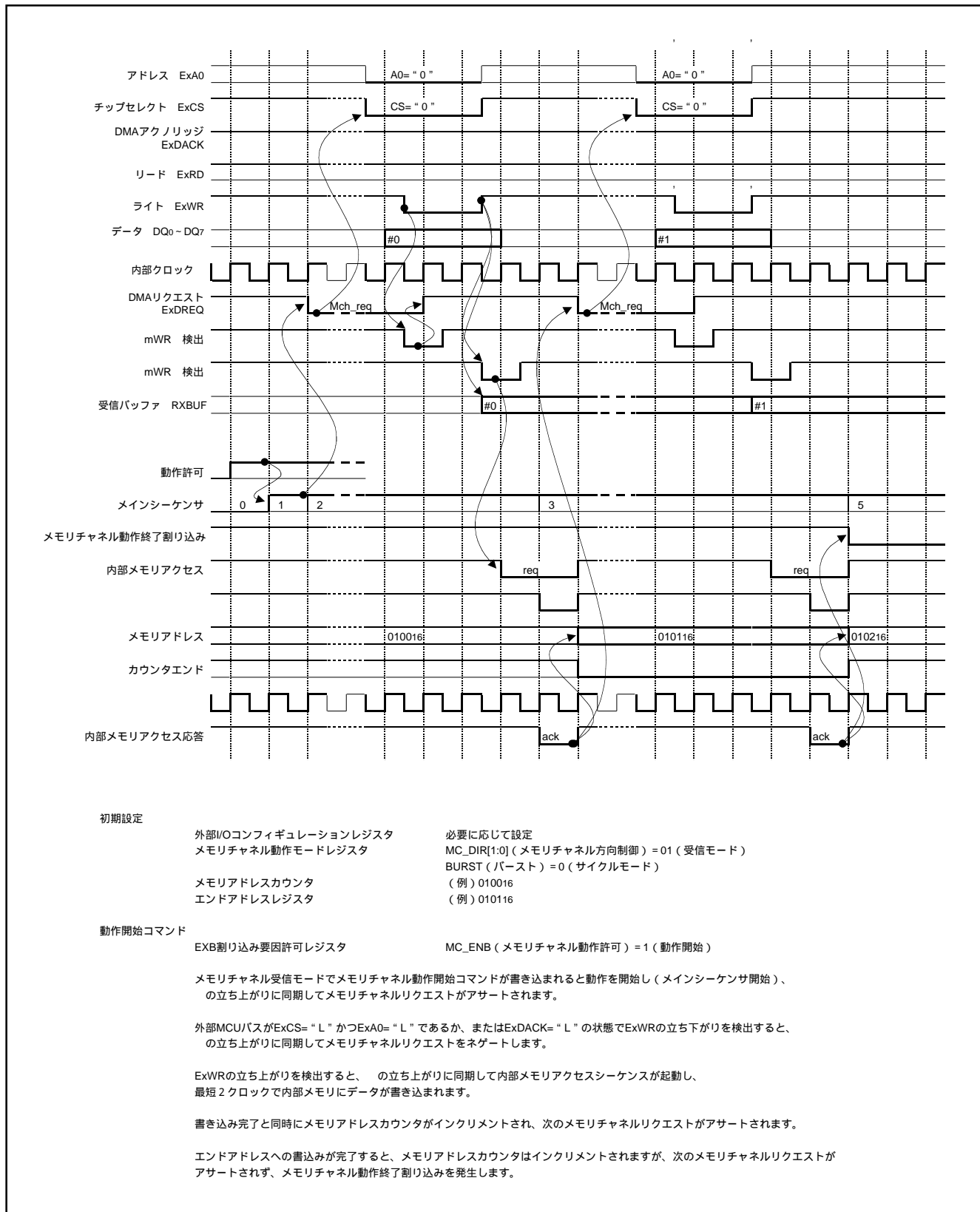


図93. メモリチャネル受信動作(1)

(4)メモリチャネル受信動作(2) - バーストモード
メモリチャネル受信動作(2)を下記に示します。

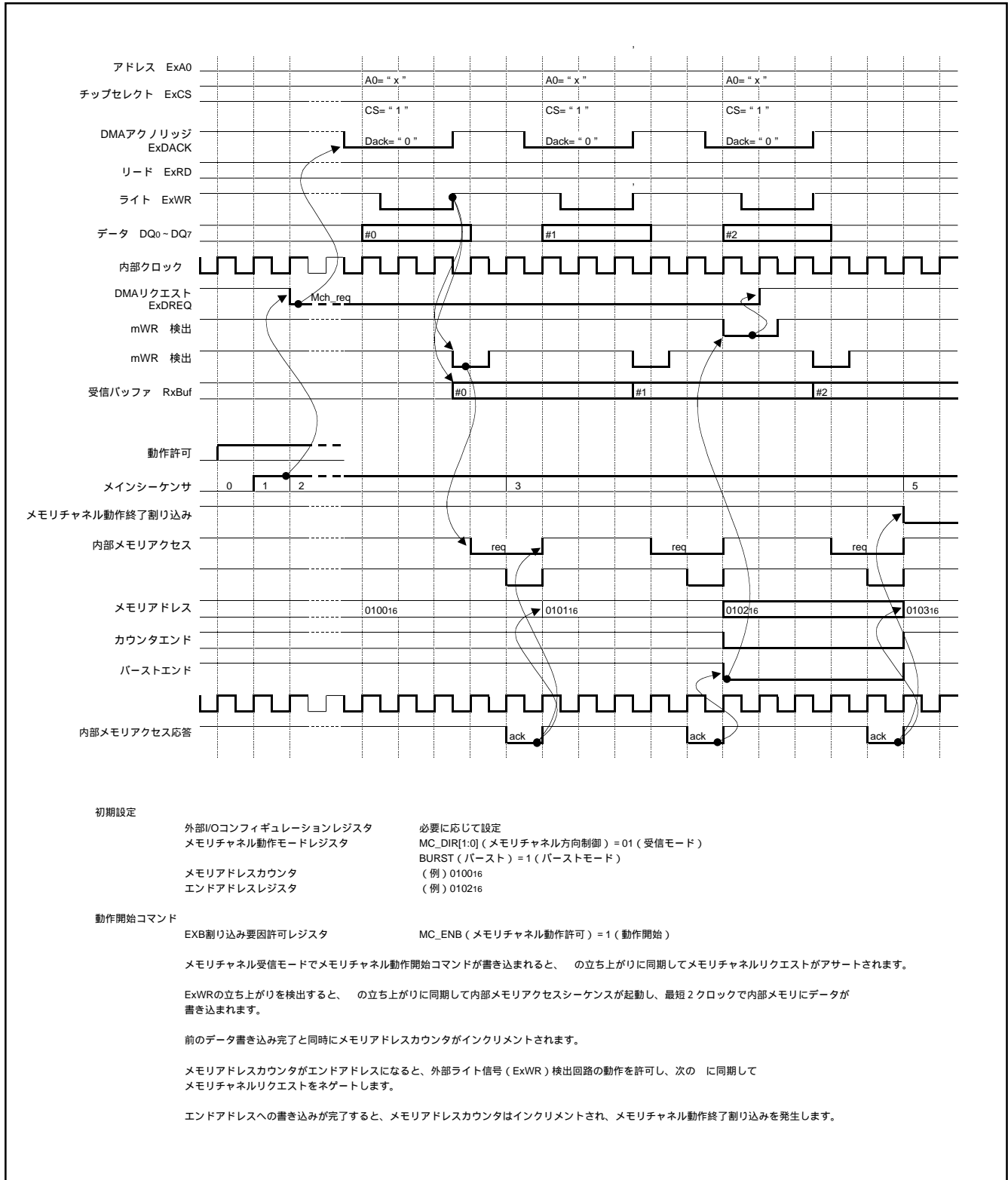


図94 . メモリチャネル受信動作(2)

(5)メモリチャネル受信動作(3) - バーストモード(ターミナル
カウント)

メモリチャネル受信動作(3)を下記に示します。

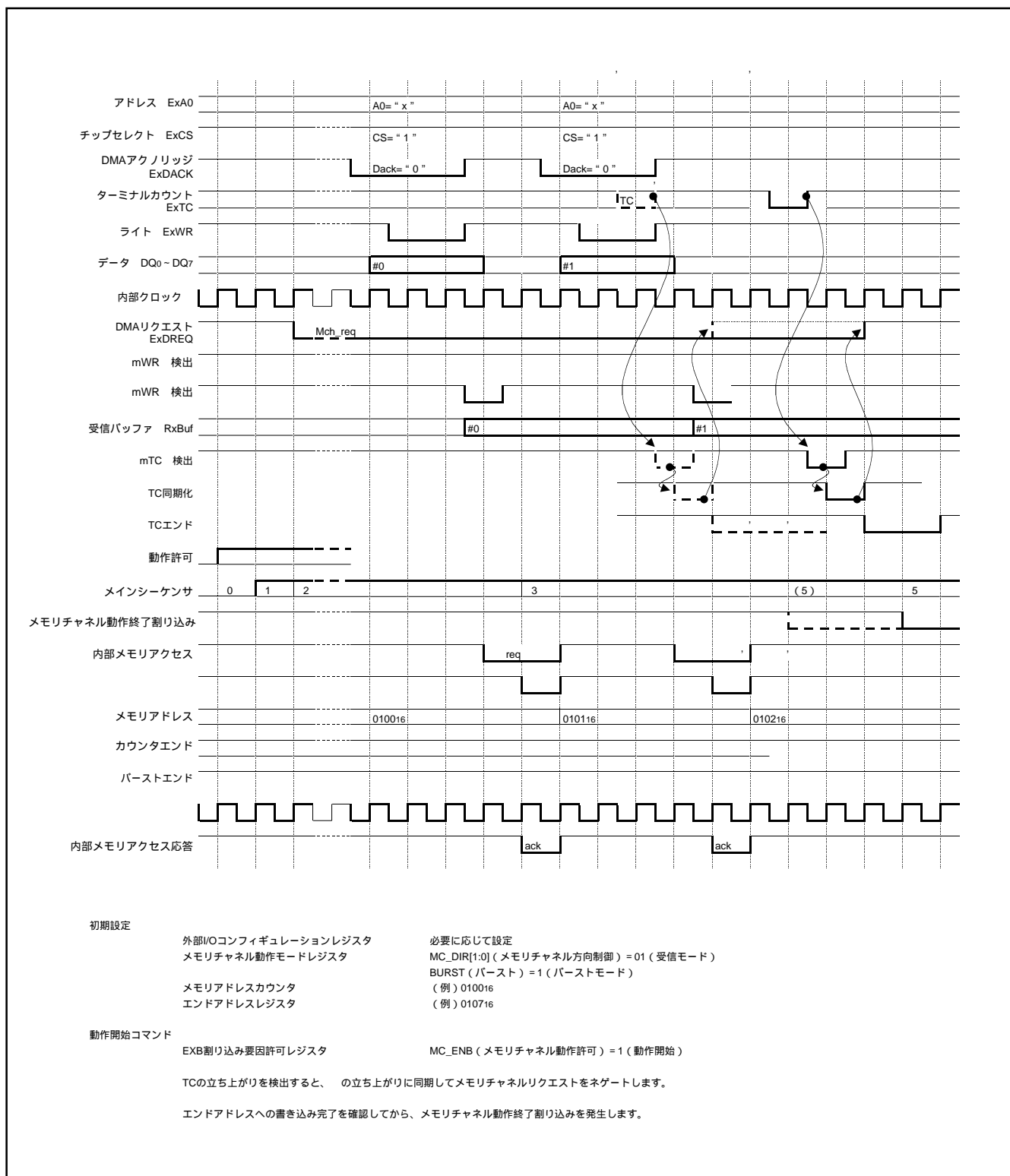


図95 . メモリチャネル受信動作(3)

(6)メモリチャネル送信動作(1) - サイクルモード
メモリチャネル送信動作(1)を下記に示します。

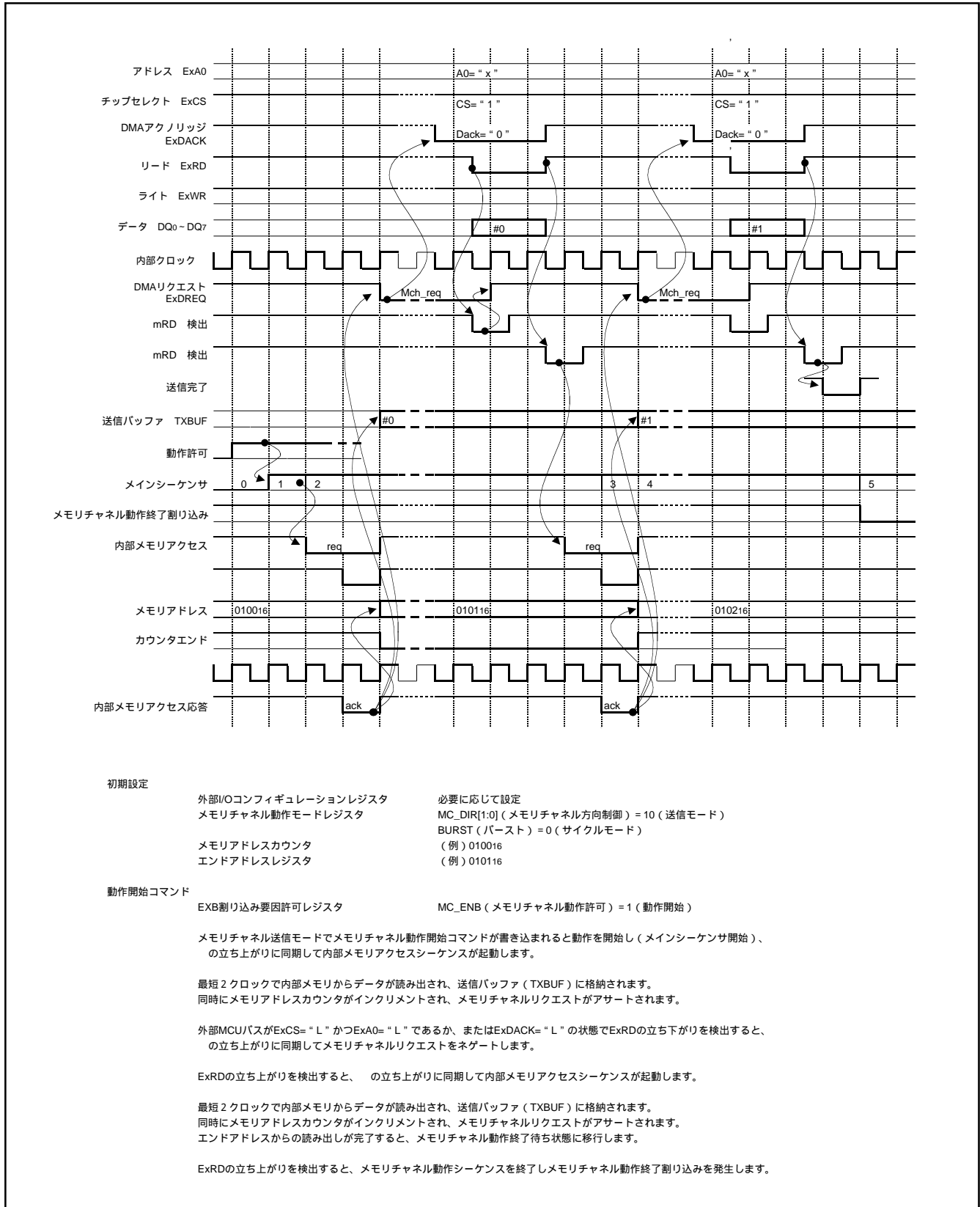


図96 . メモリチャネル送信動作(1)

(7)メモリチャネル送信動作(2) - バーストモード
メモリチャネル送信動作(2)を下記に示します。

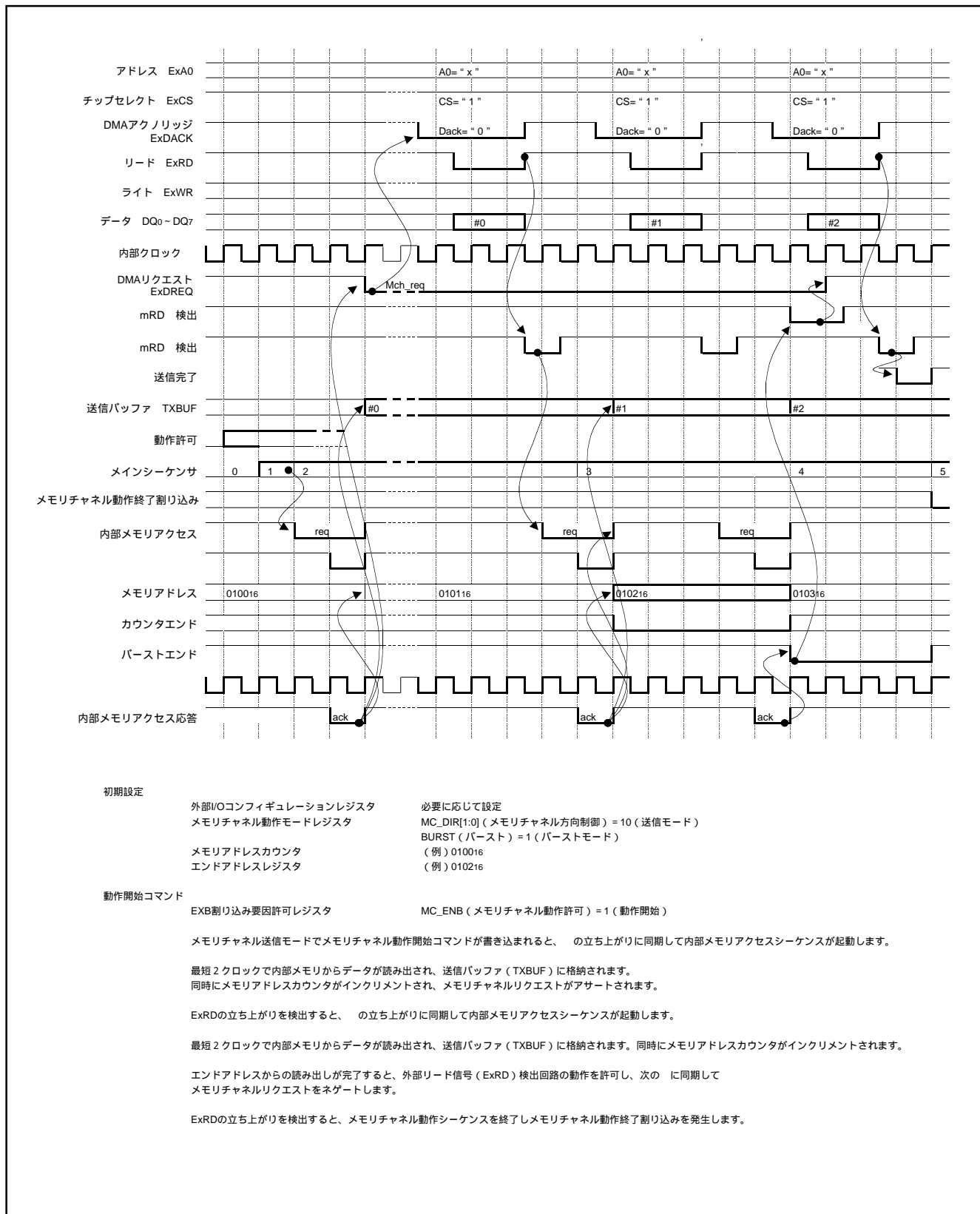


図97. メモリチャネル送信動作(2)

マルチチャネルRAM

38K0グループは、通常のRAMの代わりに、小規模なロジック回路(RAM I/F)を付加したマルチチャネルRAMを内蔵しています。

マルチチャネルRAMは、CPUチャネル以外にUSBチャネルとEXBチャネルを持ちます。

マルチチャネルRAMは、 に同期して、CPU,USB,EXBからのアクセスを制御します。USBの転送レートは約1.5Mバイト/秒で、 =8MHzでは約5.3クロックごとに、 =6 MHzでは約4クロックごとに、マルチチャネルRAMにアクセスしま

す。USBとEXB間では、USBからのアクセスが優先されます。

CPUとのアクセス制御には、38000CPUのワンウェイト機能(ONW機能)を内部で用いています。USBまたはEXBからアクセス要求を受け取ると、マルチチャネルRAMはONW信号を出力してCPUを1クロックウェイトさせ、その間にUSBまたはEXBのアクセスを実行します。

CPUがRAM領域を読み出し又は書き込み状態であるときマルチチャネルRAMがONW信号を出力しているとき、CPUのリードサイクル又はライトサイクルが の1周期分延長されます。

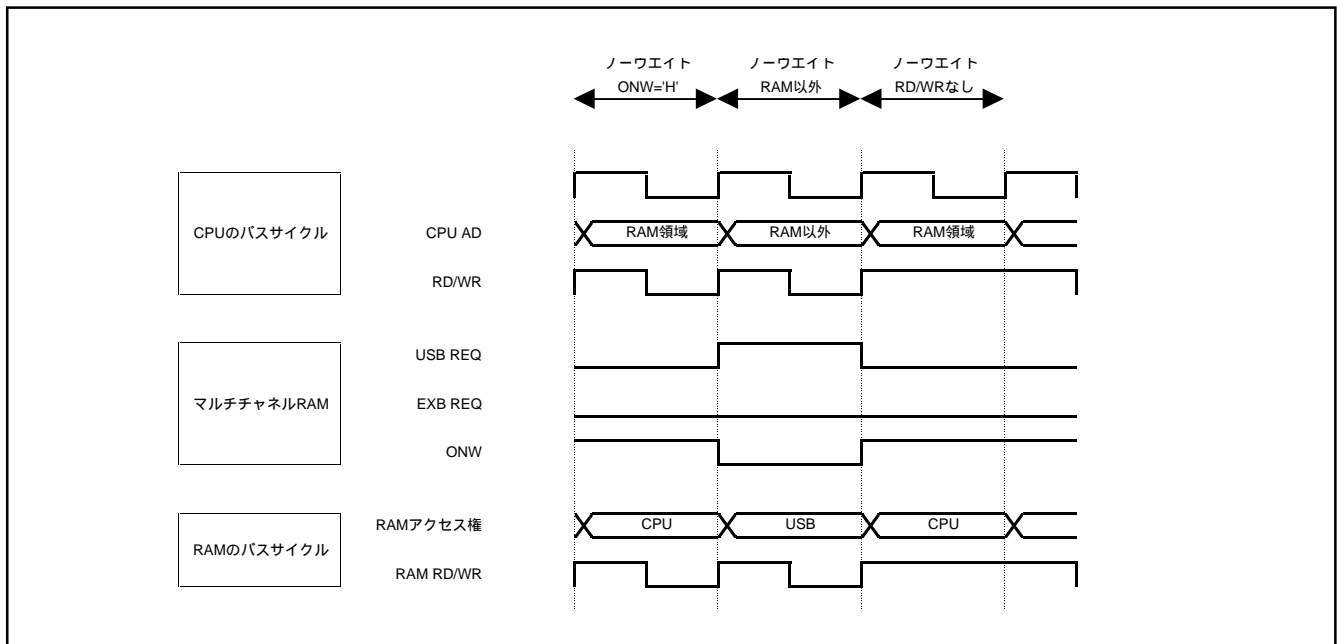


図98 . マルチチャネルRAMタイミング図(ノーウェイト時)

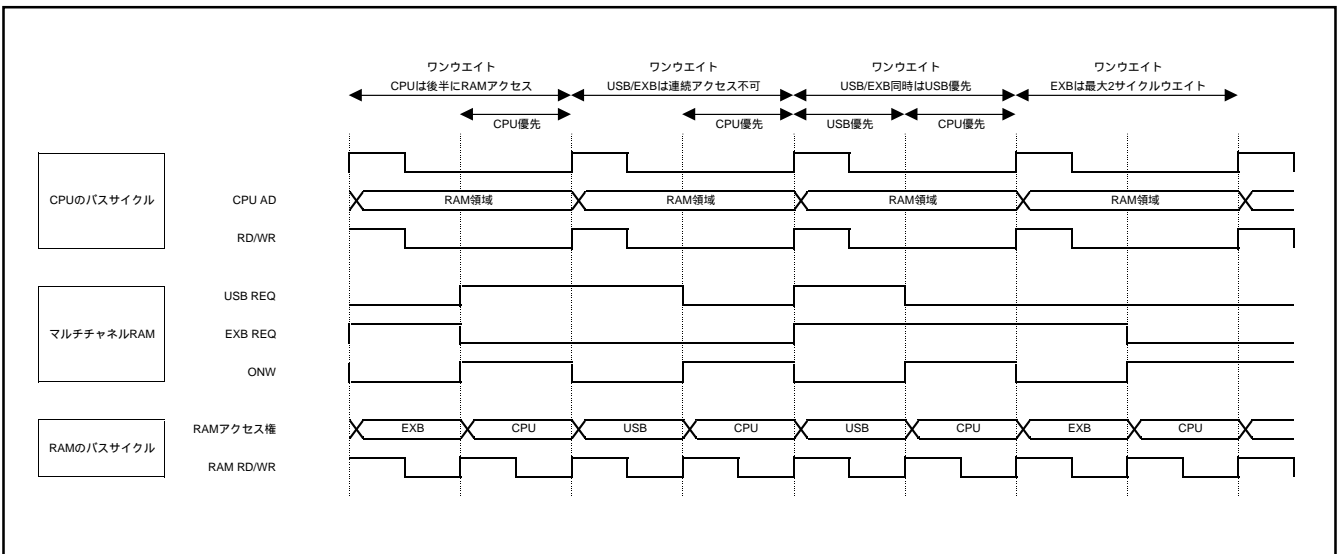


図99 . マルチチャネルRAMタイミング図(ワンウェイト時)

マルチチャンネルRAMの動作例

マルチチャンネルRAMの動作例を下記に示します。

この例は、外部MCUが38K0グループを周辺LSI(USBコントローラ)として使う場合を示しています。

外部MCUが、USBバスから受信したデータを読み出す場合の動作を以下に示します。

USBが受信したデータをマルチチャンネルRAMに書き込み

ます。

受信完了がCPUに伝えられます。

CPUによって外部バスインタフェースが起動します。

- 1 外部バスインタフェースは、マルチチャンネルRAMから読み出したデータを内部のデータバッファにセットします。
- 2 外部MCUは、外部バスインタフェース内部のデータバッファを読み出します。
- 3 この動作を受信バイト数分繰り返し、データ転送を完了します。

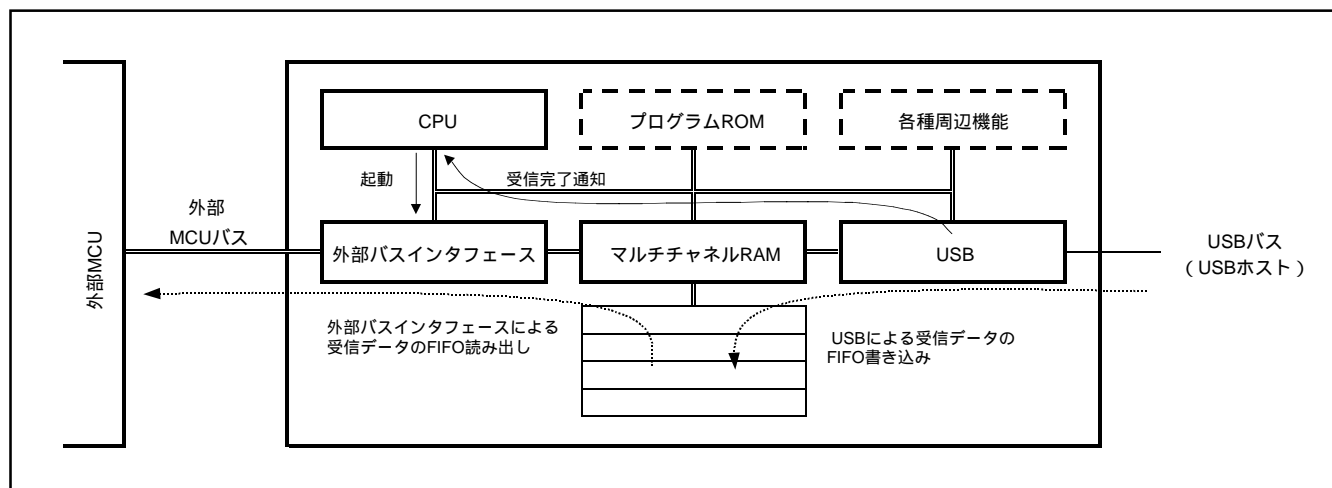


図100 . マルチチャンネルRAMの動作例

A/D変換器

【AD変換レジスタ1, 2】AD1, AD2

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

AD変換レジスタ2のビット7は、“0”に設定してください。図102のようにA/D変換終了後にAD変換レジスタ1, 2を読み出す順序を選ぶことで、10ビット読み出しあるいは8ビット読み出しを行うことも可能です。

AD変換レジスタ1は、リセット、A/D変換開始あるいはAD変換レジスタ1読み出しが発生した後MSB寄りの8ビット読み出しになり、AD変換レジスタ2読み出しが発生した後LSB寄りの8ビット読み出しになります。

【AD制御レジスタ】ADCON

A/D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS}とV_{REF}間の電圧を1024分割し分圧を出力します。各モードでの比較電圧V_{ref}はV_{REF}を下記のとおり分圧して入力電圧との逐次比較を行います。

10ビット読み出し

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

8ビット読み出し

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

【チャンネルセクタ】

ポートP17/AN7～P10/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタ1, 2に格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はシステムクロックを500kHz以上にしてください。

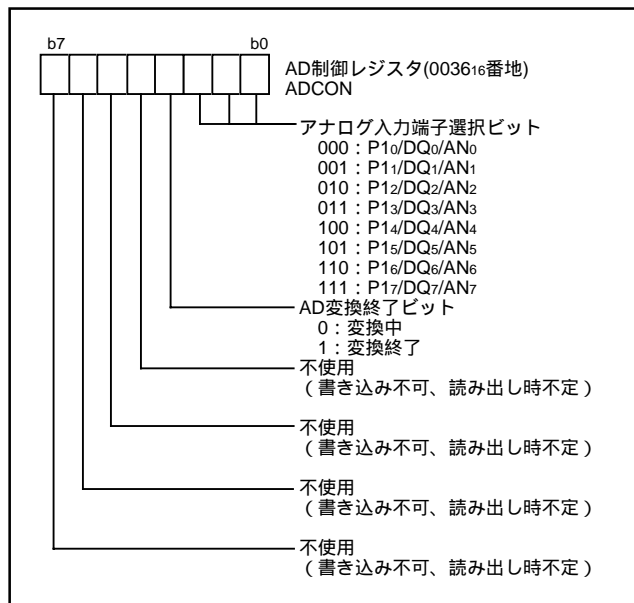


図101 . AD制御レジスタの構成

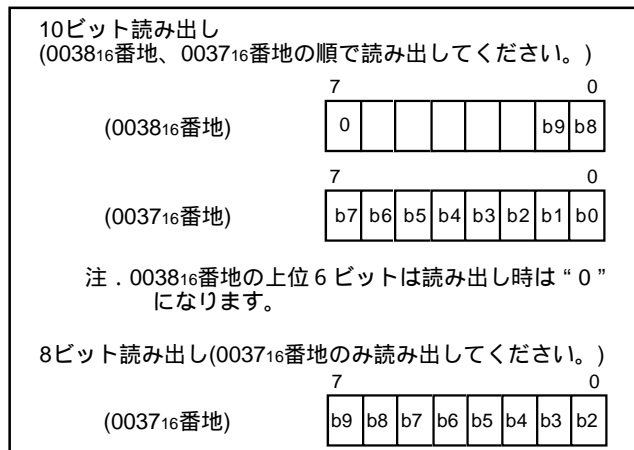


図102 . 10ビットA/Dモードの読み出し構成

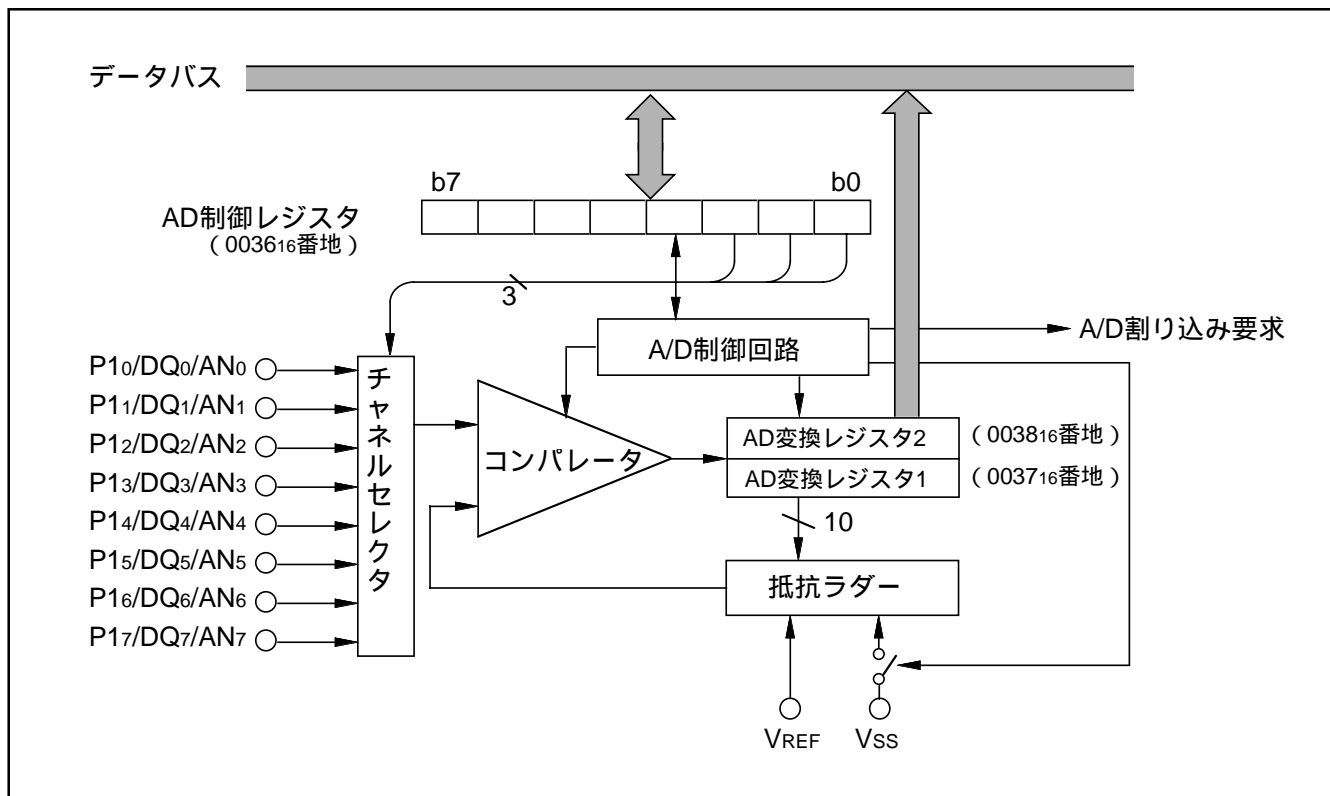


図103 . A/D変換器ブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット(ビット0~5)、STP命令禁止ビット(ビット6)、ウォッチドッグタイマHカウントソース選択ビット(ビット7)の値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、

ウォッチドッグタイマLは“FF₁₆”に設定されます。

- ・ウォッチドッグタイマHカウントソース選択ビットの動作
ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間はシステムクロック=8MHz時131.072msになります。

このビットが“1”の場合、カウントソースはシステムクロックの16分周信号となります。この場合の検出時間はシステムクロック=8MHz時512μsになります。

このビットはリセット後“0”になります。

- ・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

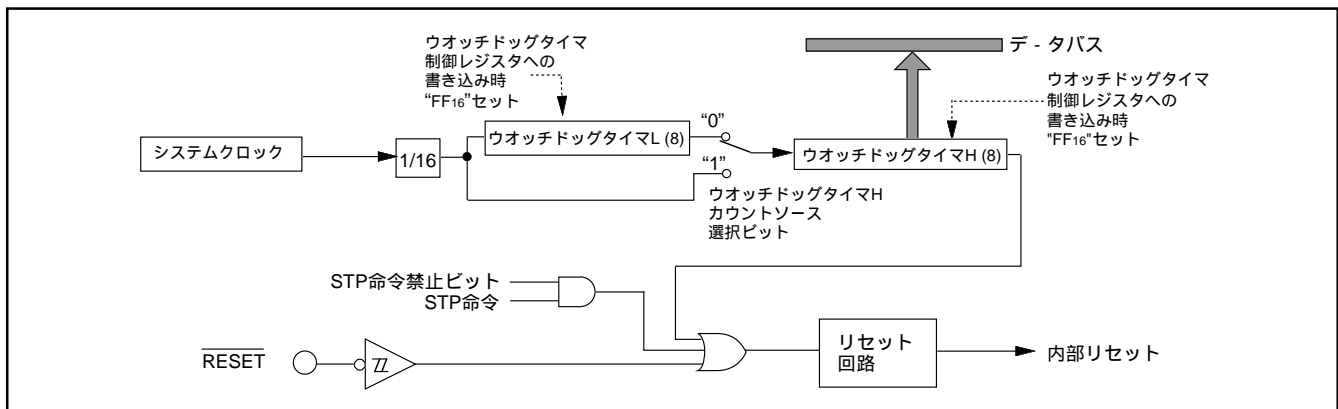


図104 . ウォッチドッグタイマのブロック図

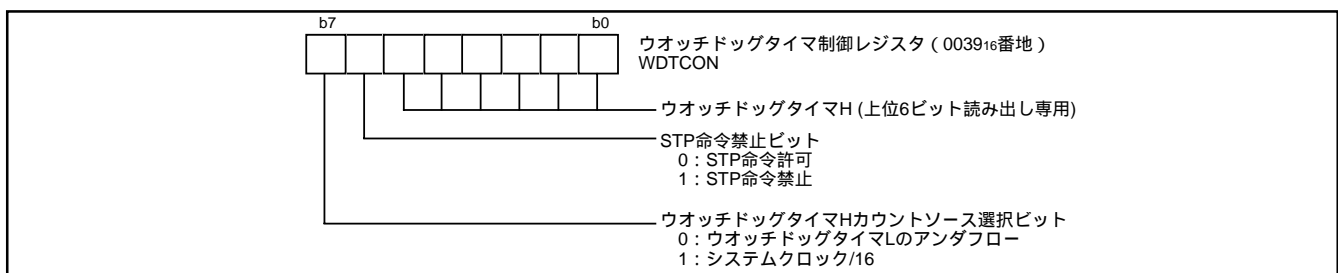


図105 . ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が3.0~5.25V(L仕様)にあり、XINが安定発振しているとき、RESET端子をXINの16サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が3.0V(L仕様)を通過する時点で0.6V(L仕様)以下になるようにしてください。

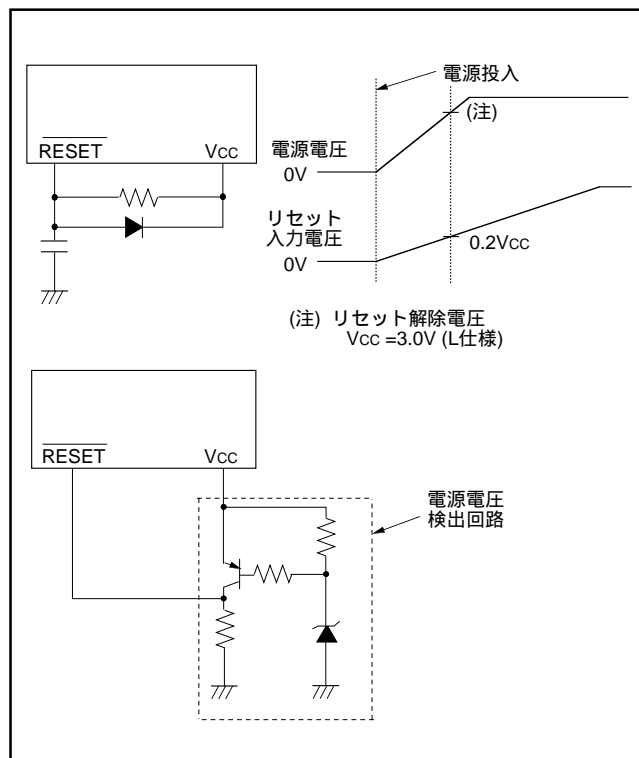


図106 . リセット回路例

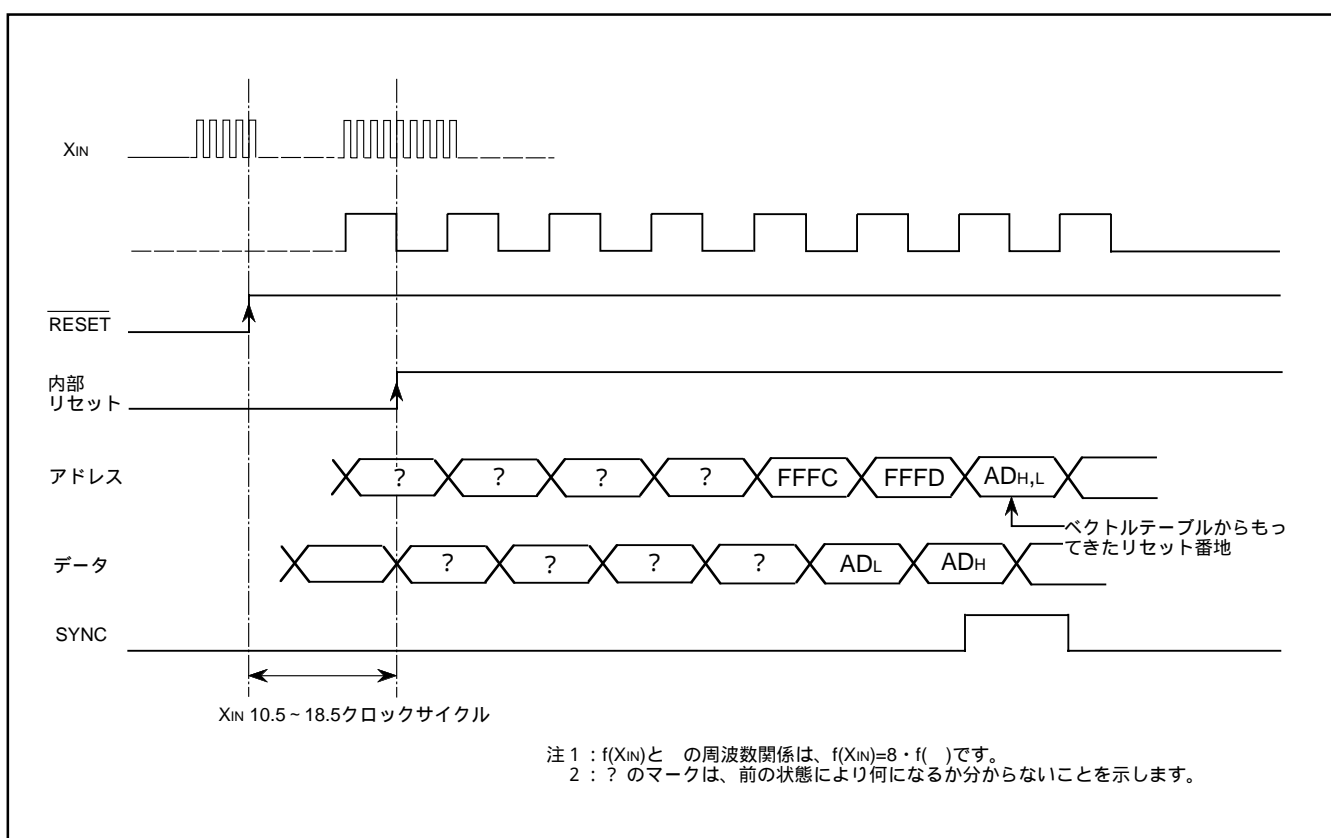


図107 . リセットシーケンス

PLL回路(周波数シンセサイザ)

PLL回路は、 $f(XIN)$ (外部入力基準クロック)から f_{USB} (USBクロック)及び f_{SYN} (f_{USB} 分周クロック)に必要な f_{VCO} (PLL出力クロック)を生成します。下記にPLL回路ブロック図を示します。

基準クロック入力として外部より6MHz又は12MHzを入力することが可能です。USB機能を用いる場合は、 f_{VCO} が48MHzになるようにPLL動作モード選択ビットを設定する必要があります。

PLL回路は、PLL動作許可ビットを許可することで動作します。USBブロックへ f_{VCO} を供給する場合、PLLの発振安定時間(1ms以内)を待った後にUSBクロック選択ビットを f_{VCO} に設定してください。

f_{SYN} にはUSBクロック分周比選択ビットの設定に応じて、 f_{USB} クロックの分周クロックが供給されます。システムクロックとして用いる場合6MHz又は8MHz又は12MHzになるように設定する必要があります。(f_{USB} が48MHzの時にのみ使用してください。)

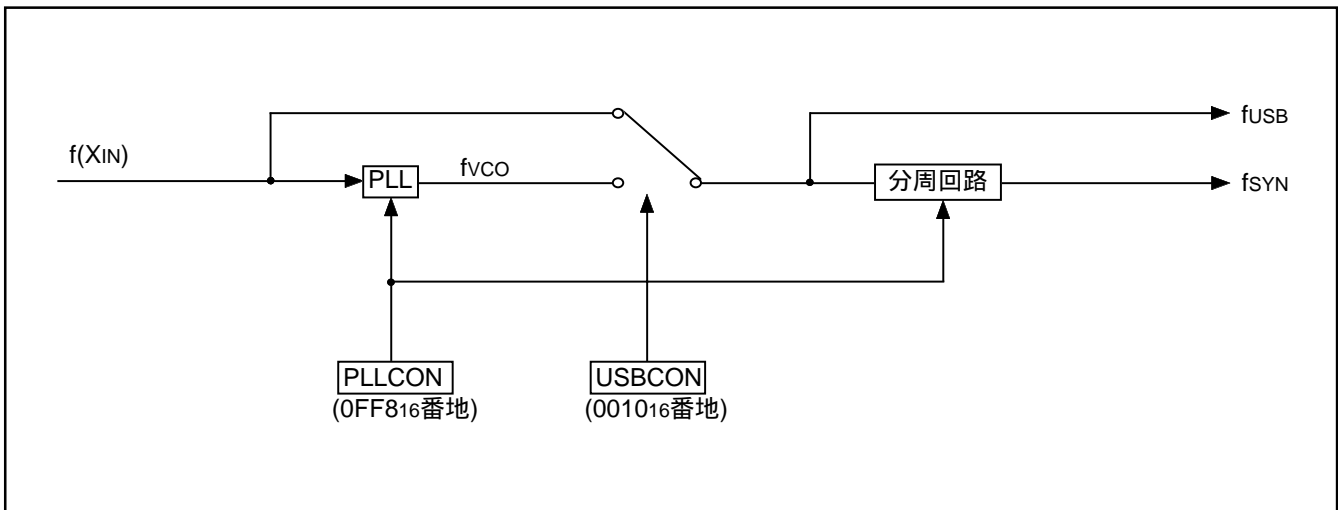


図108 . PLL回路ブロック図

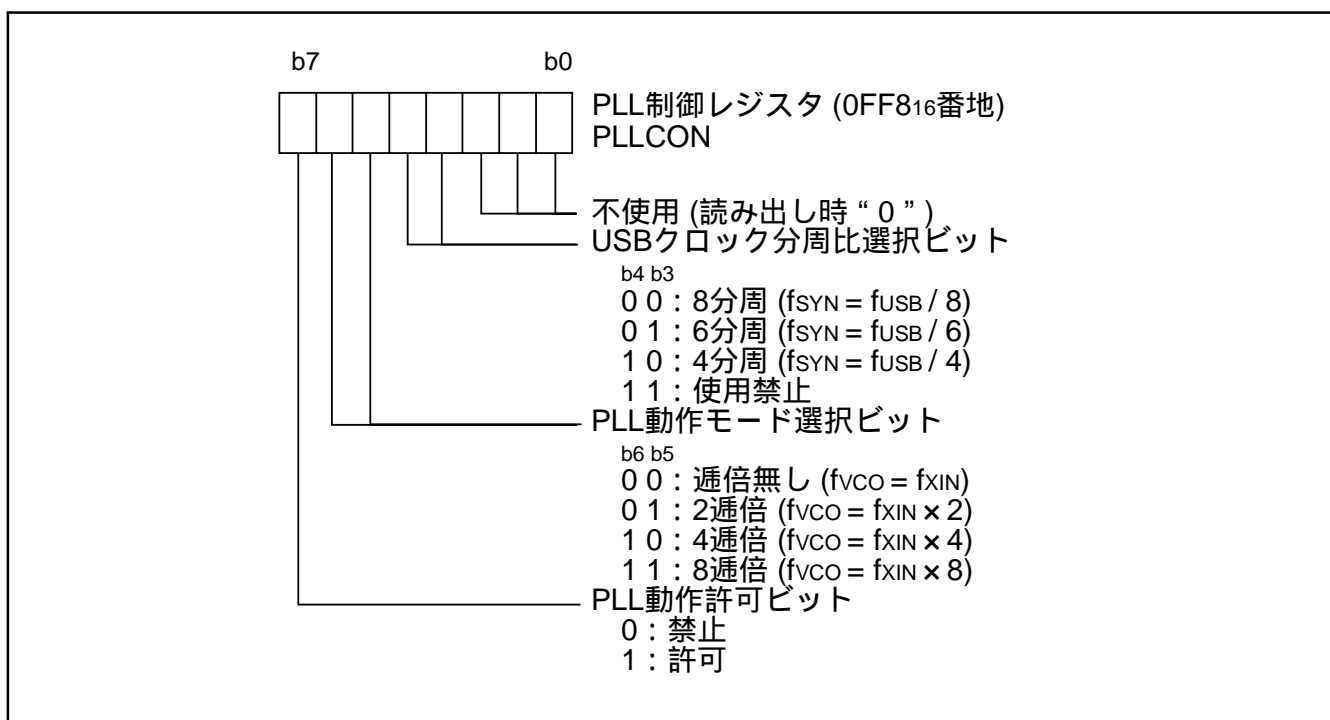


図109 . PLL制御レジスタの構成

クロック発生回路

X_{IN}とX_{OUT}の間に共振子を接続することにより発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカー推奨値をご使用下さい。X_{IN}とX_{OUT}端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。

周波数制御

内部のシステムクロックとして、f_{SYN}及びf(X_{IN})から選択できます。更にシステムクロック分周比選択ビットにより、内部クロックの周波数を選択できます。

(1) f_{SYN}クロック

PLL回路により生成します。f(X_{IN})またはf_{VCO}を入力クロックとして選択できます。内部のシステムクロックとして用いる場合、使用上の制限があります。[PLL回路]項を参照してください。

(2) f(X_{IN})クロック

X_{IN}端子に加わった周波数が内部のシステムクロック周波数になります。

発振制御

(1) ストップモード

STP命令を実行すると内部クロックが \bar{H} の状態では停止し、X_{IN}の発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが $\bar{0}$ のとき、タイマ1には、“01₁₆”、プリスケアラ12には、“FF₁₆”が設定されます。一方、STP命令解除後発振安定時間設定ビットが $\bar{1}$ のときは、タイマ1、プリスケアラ12には何も設定されませんのでご使用になる発振子の発振安定時間にあった待ち時間を設定して下さい。プリスケアラ12の入力にはX_{IN}の16分周が強制的に接続されます。発振は外部割り込み(USBレジューム割り込み含む)が受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで \bar{H} のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に \bar{L} レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが \bar{H} の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを $\bar{1}$ にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はX_{IN}を16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを $\bar{0}$ にしてください。

注意事項

STP命令解除後発振安定時間設定ビットを $\bar{1}$ で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

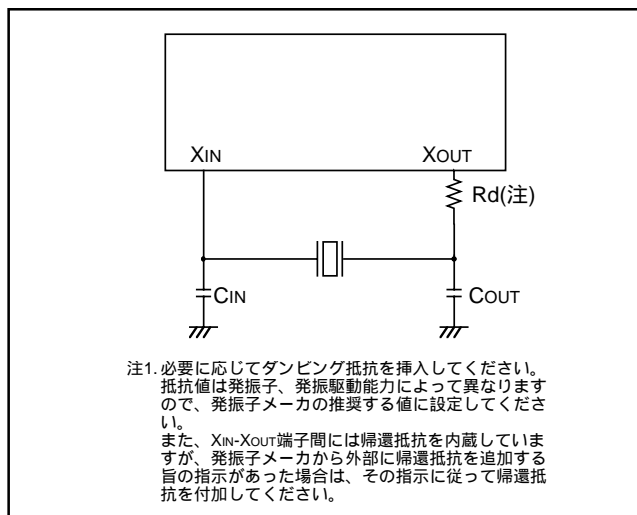


図 110 . セラミック共振子又は水晶発振子外付け回路

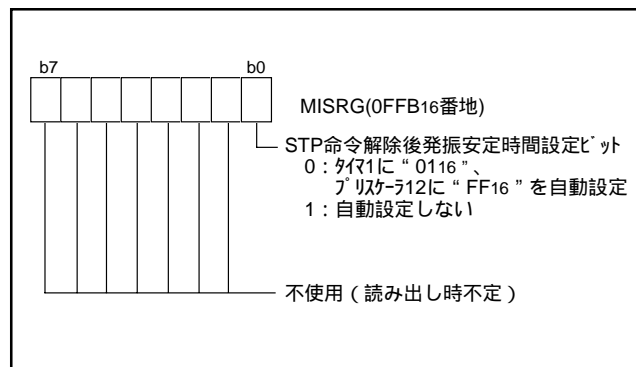


図 112 . MISRG の構成

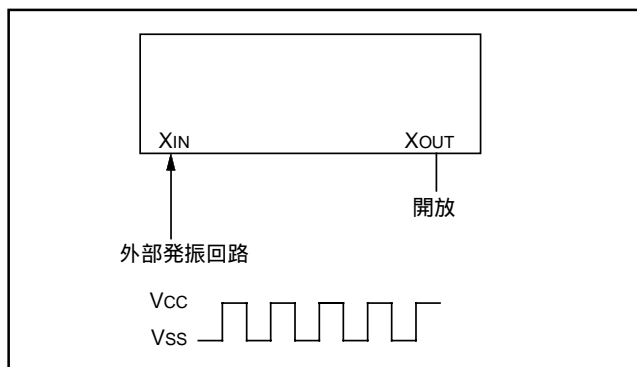


図 111 . 外部クロック入力回路

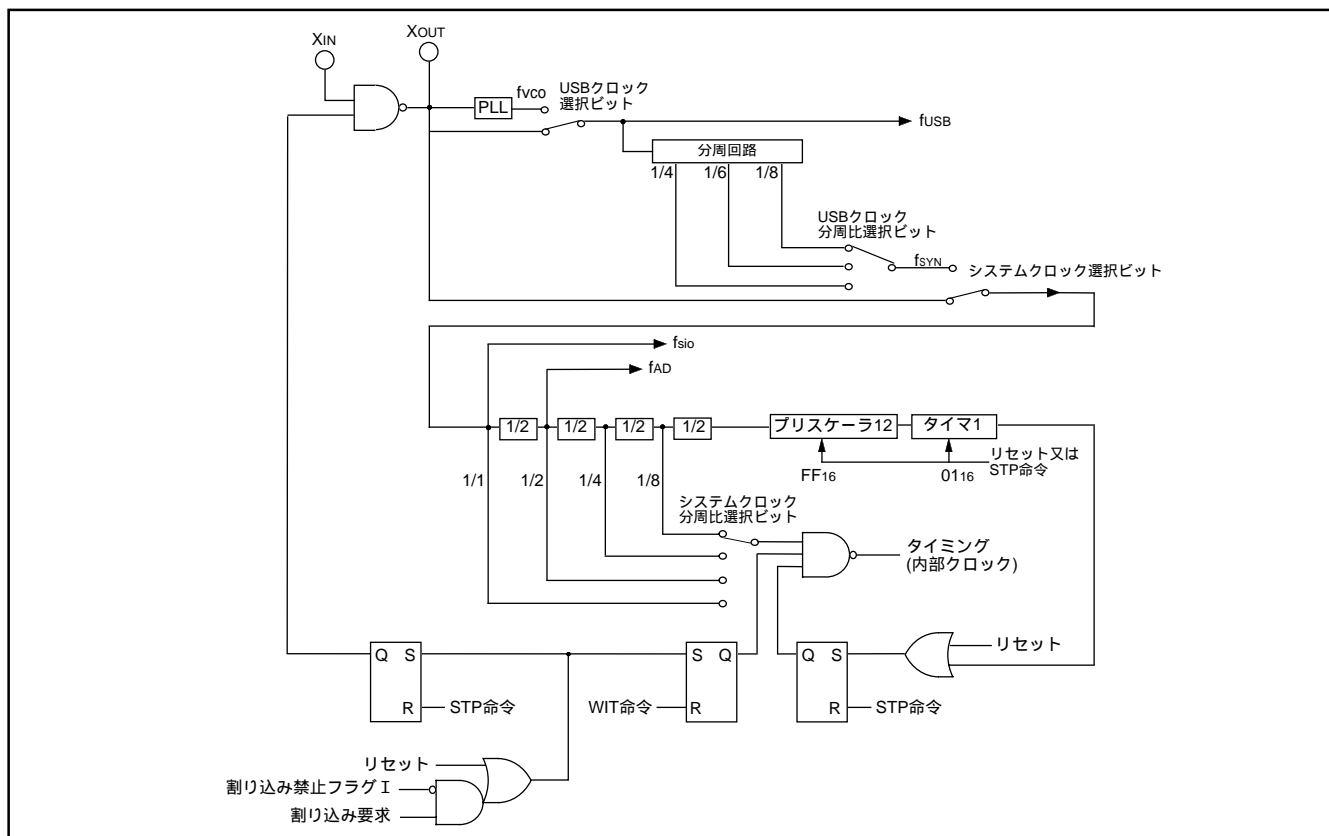
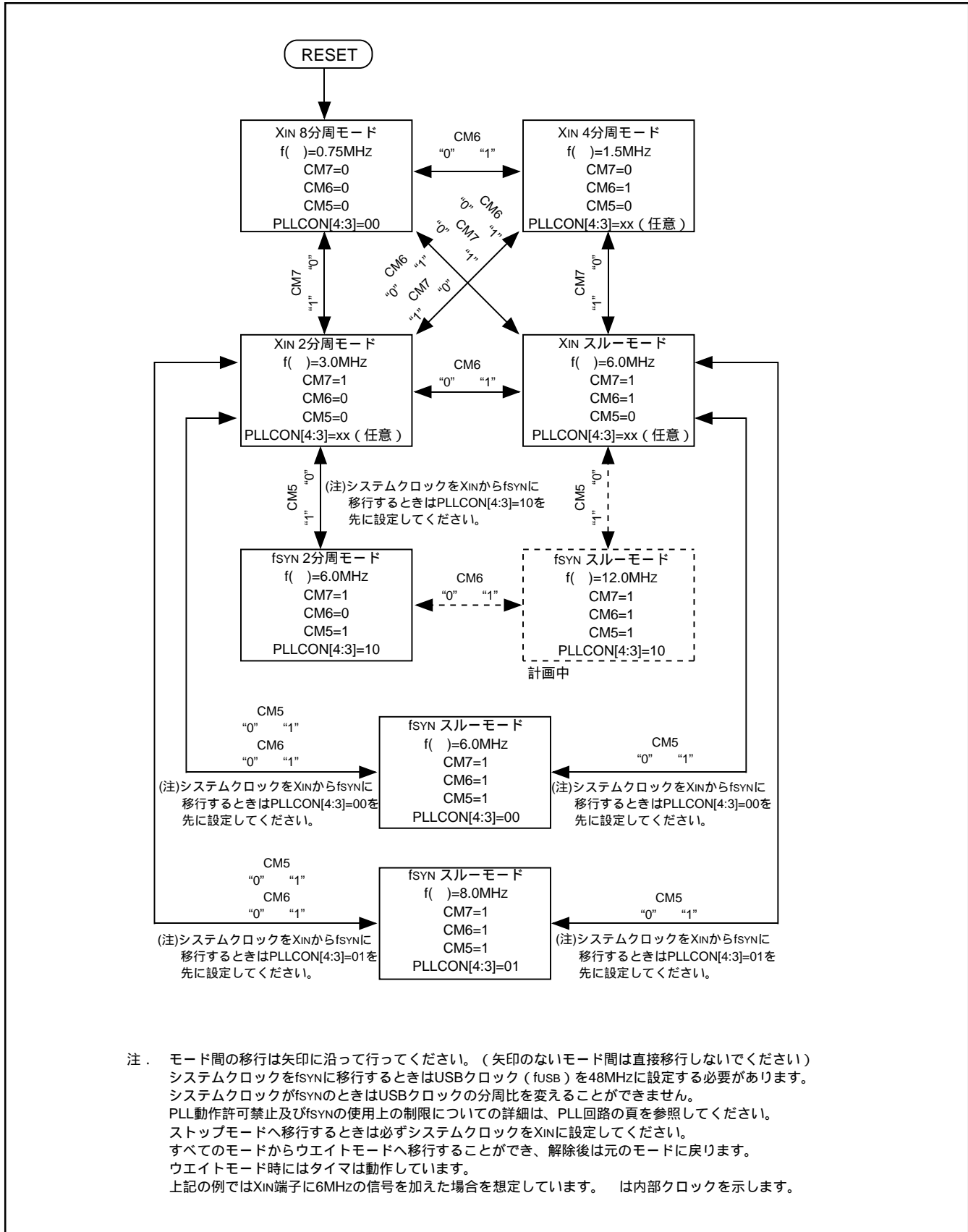


図 113 . システムクロック発生回路ブロック図(シングルチップモード)



注 . モード間の移行は矢印に沿って行ってください。(矢印のないモード間は直接移行しないでください)
 システムクロックをfsYNに移行するときはUSBクロック (fUSB) を48MHzに設定する必要があります。
 システムクロックがfsYNのときはUSBクロックの分周比を変えることができません。
 PLL動作許可禁止及びfsYNの使用上の制限についての詳細は、PLL回路の頁を参照してください。
 ストップモードへ移行するときは必ずシステムクロックをXINに設定してください。
 すべてのモードからウエイトモードへ移行することができ、解除後は元のモードに戻ります。
 ウエイトモード時にはタイマは動作しています。
 上記の例ではXIN端子に6MHzの信号を加えた場合を想定しています。 は内部クロックを示します。

図 114. システムクロック状態遷移図

フラッシュメモリ版

38K0グループ(フラッシュメモリ版)は、Vccが4.5～5.25Vのとき単一電源又はVccが3.0～4.5Vのとき2電源での書き換えが可能なNEW DINOR(Divided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。

性能概要

表8に38K0グループ(フラッシュメモリ版)の性能概要を示します。

図115に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

表 8. 38K0 グループ(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧(Vcc)		Vcc=3.00～5.25V(L仕様) (注1)
		Vcc=3.00～4.00V(L仕様) (注2)
プログラム/イレーズ電圧(Vpp)		4.5～5.25V
フラッシュメモリの動作モード		3モード CPU書き換えモード(中央演算処理装置(CPU)を用いてフラッシュメモリを操作する) パラレル入出力モード(外部のライターを用いてフラッシュメモリの操作を行う) (注3) 標準シリアル入出力モード(外部のライターを用いてフラッシュメモリの操作を行う) (注3)
消去ブロック分割	ユーザROM領域	1分割(32Kバイト)
	ブートROM領域	1分割(4Kバイト) (注4)
プログラム方式		バイト単位
イレーズ方式		一括消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1. プログラム/イレーズ時の電源電圧は、VCC=4.00～5.25Vで書き込んでください。

注2. プログラム/イレーズ時の電源電圧は、VCC=3.00～5.25Vで書き込んでください。

注3. パラレル入出力モード及び標準シリアル入出力モードは、38K0グループ(フラッシュメモリ版)をサポートしている専用の外部装置(フラッシュライター)をご使用ください。

注4. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リードプログラム、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは図115に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、そのメモリ上で実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります)。

ブートROM領域は図115に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合は、通常のマコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P16(CE)端子を“H”、CNVss端子を“H”としてリセットを解除した場合は、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

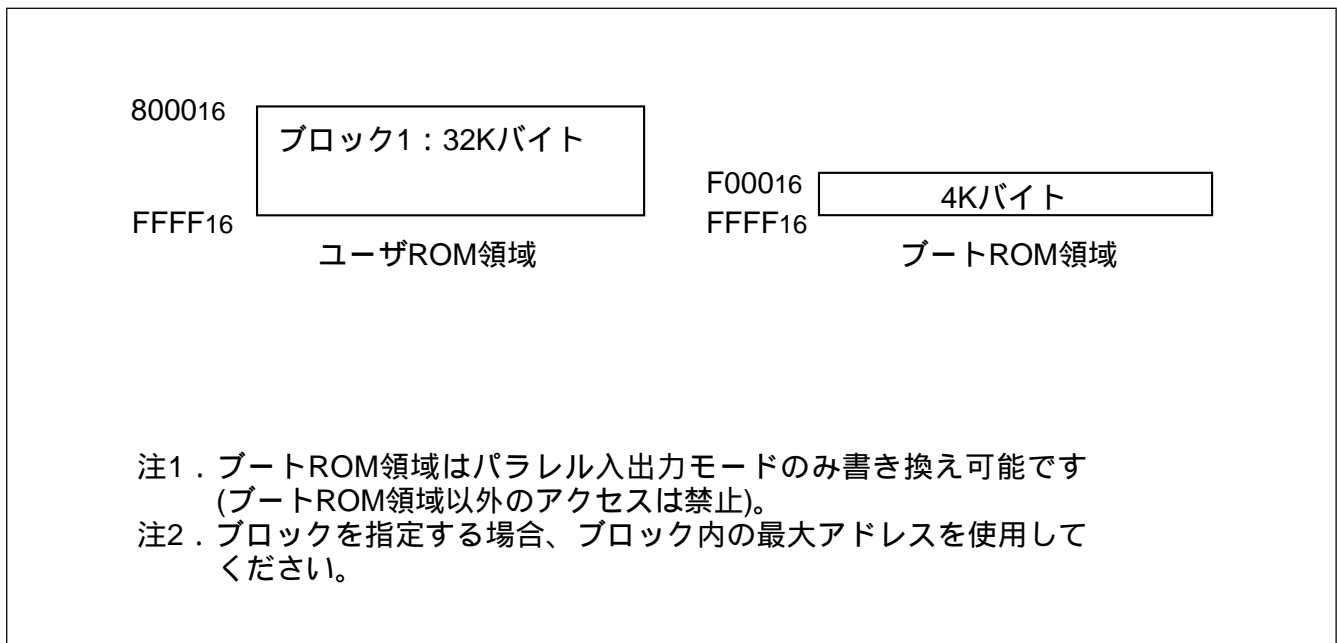


図 115. 内蔵フラッシュメモリのブロック図

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード又はブートモードで実行できます。CPU書き換えモードでは、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードはCPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リードなどの操作を行います。この制御プログラムは、あらかじめ、内蔵フラッシュメモリ以外のメモリ(内部RAMなど)に転送後、そのメモリ上で実行させる必要がありますので注意してください。

CPU書き換えモードには、CNVss端子に4.50~5.25Vを印加し、CPU書き換えモード選択ビット(0FFE16番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了などの状態はステータスレジスタを読み出すことでチェックできます。

図116にフラッシュメモリ制御レジスタを示します。

フラッシュメモリ制御レジスタのビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズの動作中には“0”(ビジー)、これ以外のときには“1”(レディー)となります(パラレル入出力モードのRY/BY端子と同等の機能)。

フラッシュメモリ制御レジスタのビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外のメモリへ転送した制御プログラムで行ってください。このビットに“1”を設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタのビット2はCPU書き換えモードエントリフラグです。CPU書き換えモード時、このビットは“1”になりますので、このビットを読み出すことによりCPU書き換えモードにエントリしていることを確認できます。

フラッシュメモリ制御レジスタのビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットが実行されます。リセットを解除するためには、次に“0”を書き込む必要があります。

フラッシュメモリ制御レジスタのビット4はユーザROM領域/ブートROM領域選択ビットで、“1”を設定することでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビット4の書き換えは内蔵フラッシュメモリ以外のメモリの領域で行ってください。

図117にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

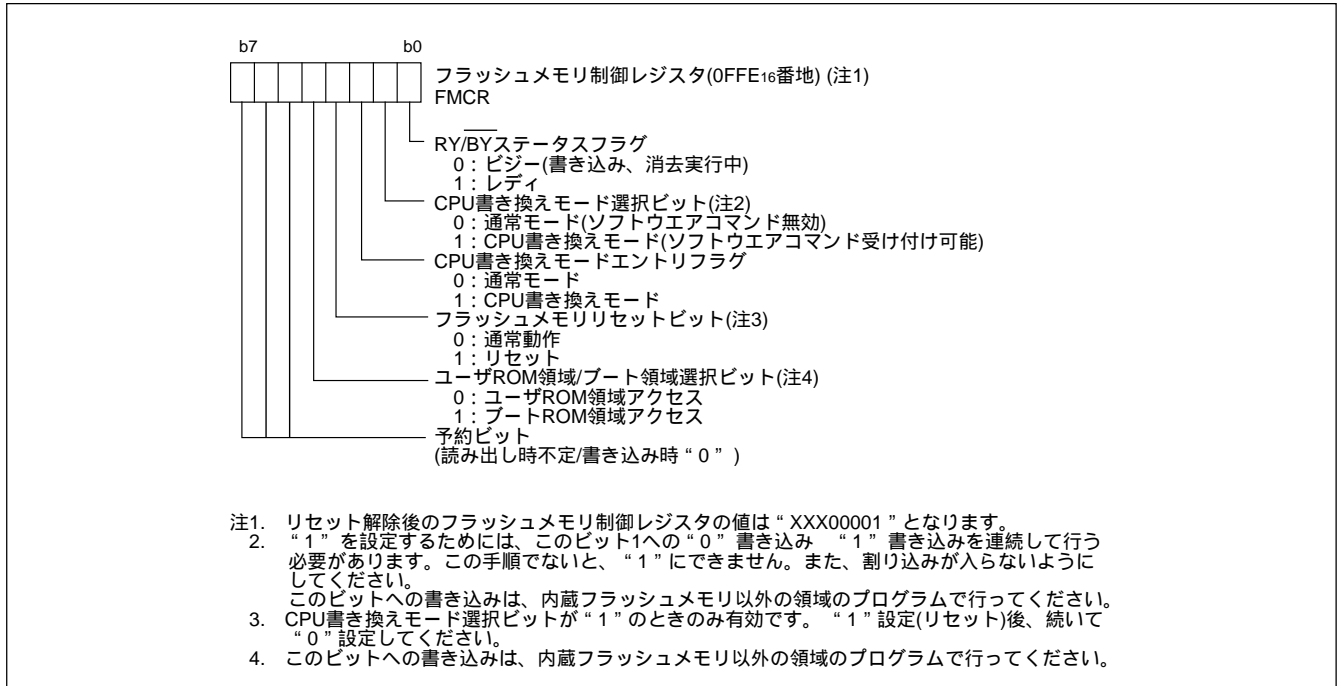


図 116. フラッシュメモリ制御レジスタの構成

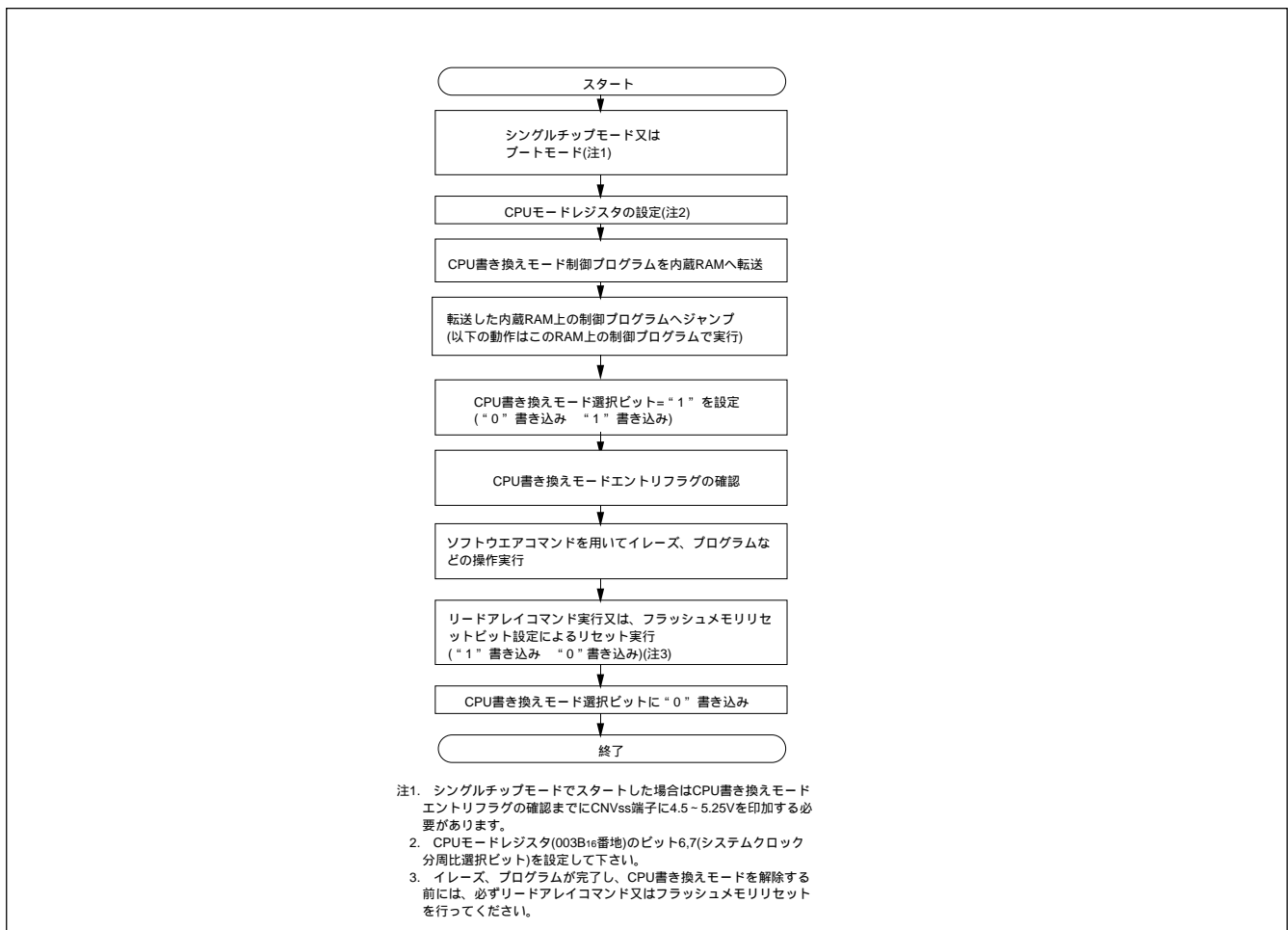


図 117. CPU 書き換えモードの設定 / 解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)CPU書き換えモード中は、システムクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロック を1.5MHz以下にしてください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダーフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFF_{C16}、FFF_{D16}番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表9にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラムなどを指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0~D7)へ読み出されます。リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタは次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4,SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルで“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードになります。続いて第2バスサイクルで、プログラムするアドレスとデータをライトすると、フラッシュメモリの制御回路はプログラムを実行(データのプログラムとベリファイ動作)します。

プログラム終了は、ステータスレジスタのリード又はRY/BYステータスフラグのリードにより確認できます。プログラム開始とともに自動的にリードステータスレジスタモード

となり、ステータスの内容がデータバス(DB0~DB7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまでは、継続されます。

フラッシュメモリ制御レジスタのRY/BYステータスフラグはプログラム期間中は“0”、終了後は“1”となります。

プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

図118にプログラムコマンドフローチャート例を示します。

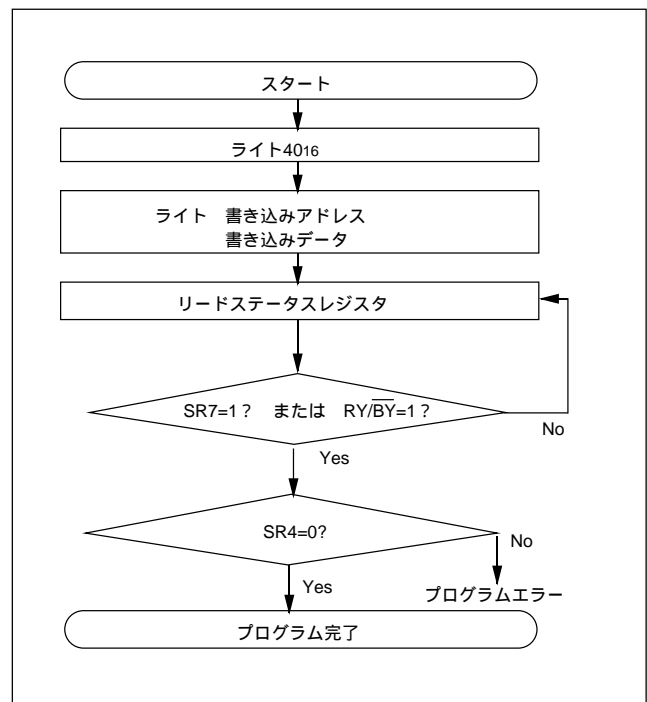


図118. プログラムコマンドフローチャート

表9. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(D0~D7)	モード	アドレス	データ(D0~D7)
リードアレイ	1	ライト	x(注1)	FF16			
リードステータスレジスタ	2	ライト	x	7016	リード	x	SRD(注2)
クリアステータスレジスタ	1	ライト	x	5016			
プログラム	2	ライト	x	4016	ライト	WA(注3)	WD(注3)
イレーズ全ブロック	2	ライト	x	2016	ライト	x	2016
ブロックイレーズ	2	ライト	x	2016	ライト	BA(注4)	D016

注1. XはユーザROM領域の任意のアドレス

2. SRD=ステータスレジスタデータ

3. WA=ライトアドレス

WD=ライトデータ

4. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

イレーズ全ブロックコマンド(2016/2016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ 2016 ”を入力するとイレーズ全ブロック動作(イレーズとイレーズベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“ 0 ”、終了後は“ 1 ”となります。

イレーズ全ブロック終了後、ステータスレジスタを読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズコマンド(2016/D016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ D016 ”とブロックアドレスをライトすると指定されたブロックに対し、ブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

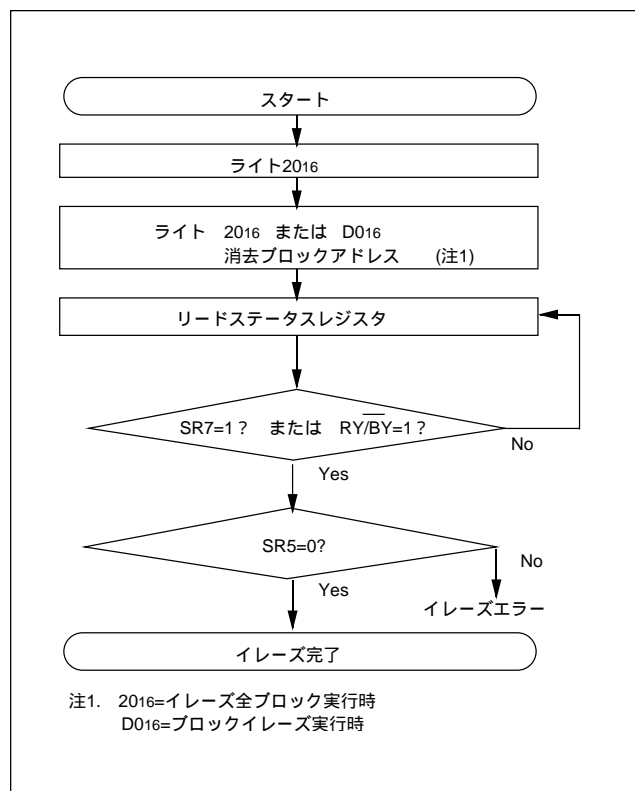


図 119. イレーズフローチャート

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了時等の状態を示すレジスタです。このレジスタの内容は以下の条件のとき読み出すことができます。

- (1) リードステータスコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき。
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF₁₆)入力までの期間に、ユーザROM領域の任意のアドレスを読み出したとき。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

リセット解除後、ステータスレジスタは“ 80₁₆ ”になります。

各ビットの意味を以下に示します。

シーケンサステータス(SR7)

電源投入後、シーケンサステータスは“ 1 ”(レディ) にセットされています。

シーケンサステータスはフラッシュメモリの動作状況を知らせるものです。プログラムやイレーズ動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”(レディ)にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせる

ものです。プログラムエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

プログラムステータス、イレーズステータス(SR5,SR4)のいずれかが“ 1 ”のとき、プログラムコマンド、イレーズ全ブロックコマンド及びブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンド(50₁₆)を実行し、ステータスをクリアする必要があります。

表 10. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図120にフルステータスチェック及び各エラー発生時の対処方法を示します。

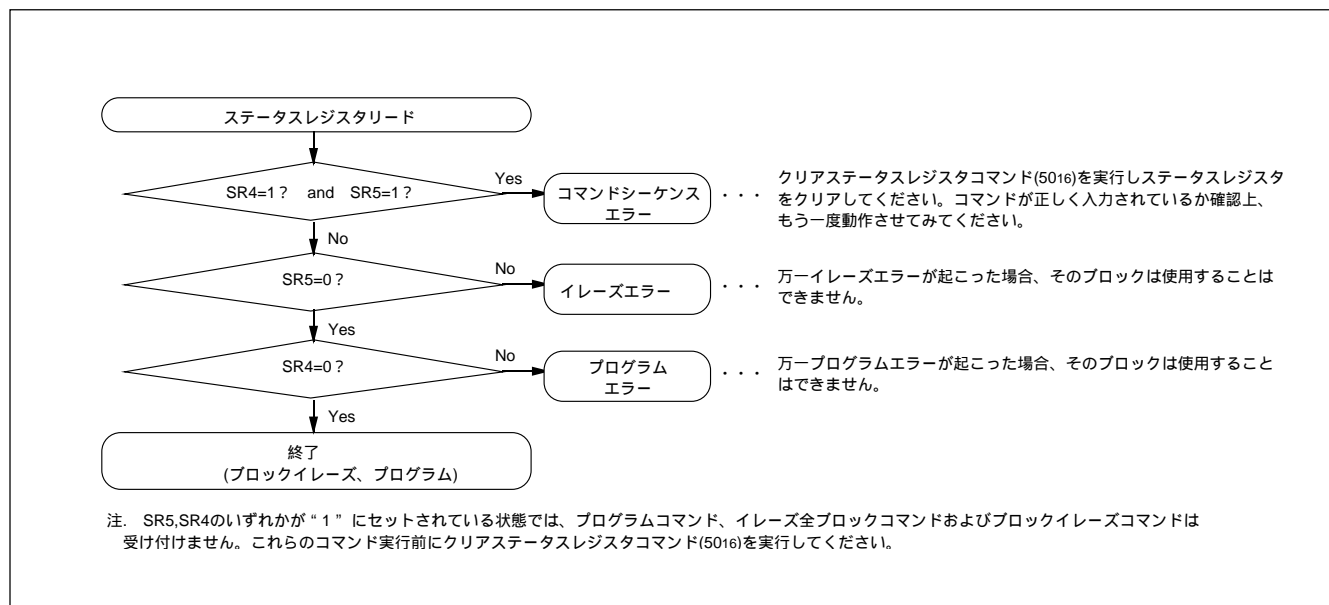


図 120. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御レジスタ(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御レジスタ(FFDB₁₆番地)の構成を図121に示します(この番地は、ユーザROM領域に存在します)。

2ビットで構成されるROMコードプロテクトビット内どちらか一方、又は両方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2のレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2を共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード又はCPU書き換えモードで書き換えてください。

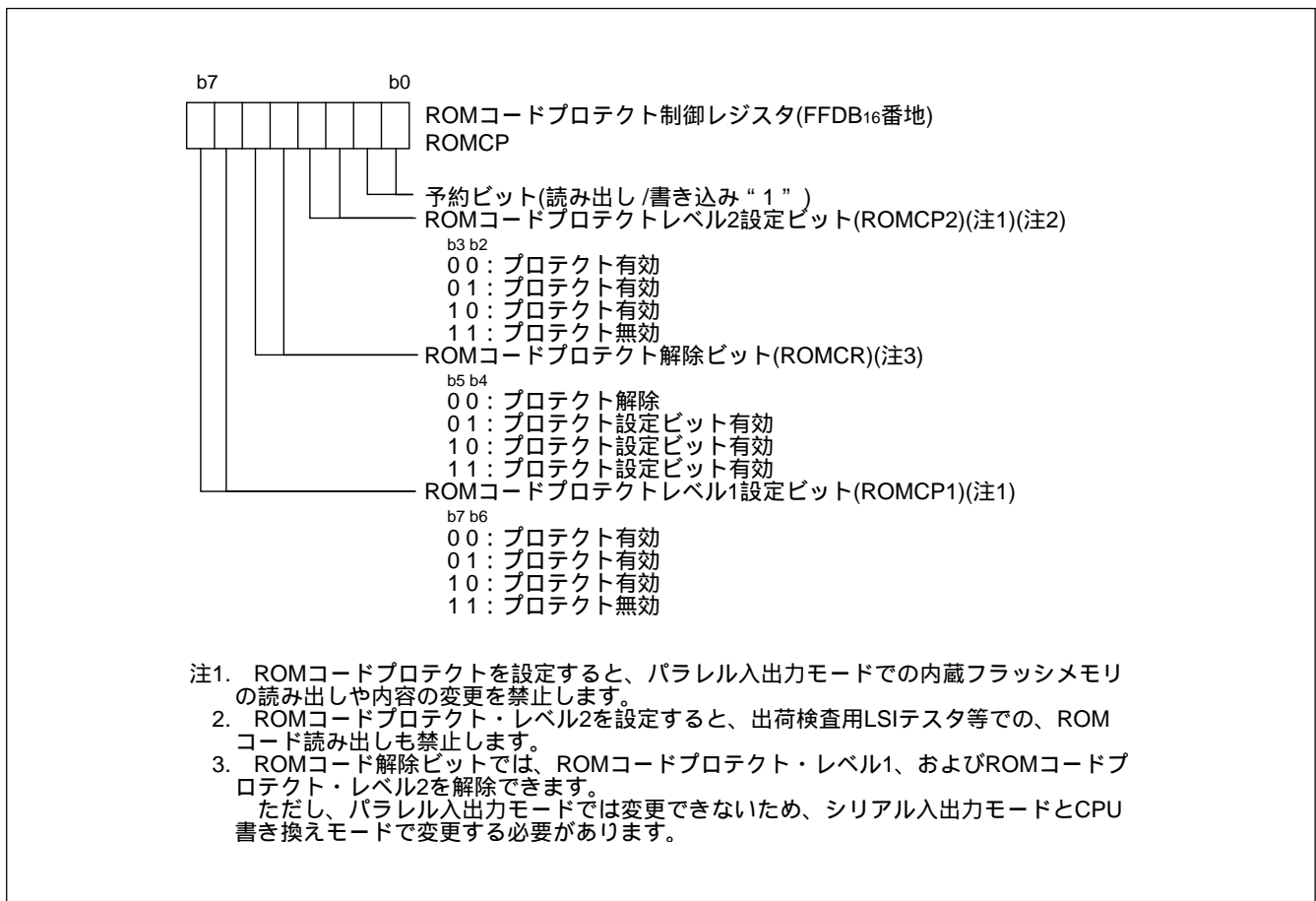


図 121. ROMコードプロテクト制御レジスタの構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。IDコードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4₁₆～FFDA₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んで下さい。

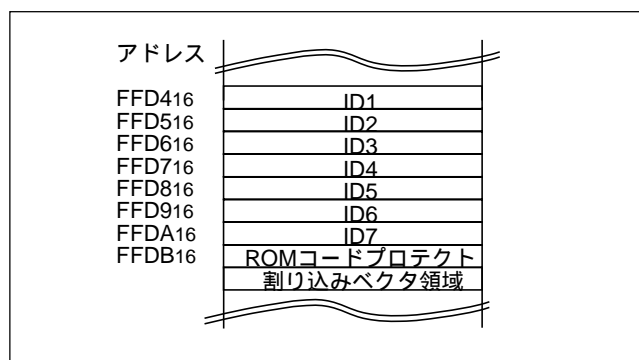


図 122. ID コードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズ等)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

38K0グループ(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)をご使用ください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図115に示すユーザROM領域及びブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲以内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは、4Kバイト単位の1ブロックのみです。

ブートROM領域は、マイコン出荷時に標準シリアル入出力モードの制御のソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P16(CE)端子を“H”、P42(SCLK)端子を“H”、CNVSS(VPP)端子を“H”(VPP端子として外部からVPP=4.5~5.25Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVSSは“L”に設定してください。)

この制御プログラムはルネサステクノロジからの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図123に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/Oの端子SCLK、RxD、TxD、SRDY(BUSY)の4本を使って行います。

SCLK端子は転送クロックの入力端子で、外部から転送クロックを転送します。TxD端子はCMOS出力です。SRDY(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図115に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/Oを用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス及びプログラムデータは、SCLK端子に入力する転送クロック立ち上がりに同期して、RxD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち上がりに同期して、TxD端子から外部に出力します。

TxD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、SRDY(BUSY)端子が“H”となります。したがって、次の転送は、必ずSRDY(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表11. 端子の機能説明(標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC,VSS	電源		VCC端子には3.00 ~ 5.25V(L仕様)を、VSSには0Vを印加してください。
VCC_E	電源		VCCに接続してください。
CNVSS	VPP	入力	VPP(VPP=4.50 ~ 5.25V)に接続してください。
CNVSS2	CNVSS2	入力	VSSに接続してください。
VREF	基準電圧入力	入力	未使用時はVCCに接続してください。
DVCC,PVCC	アナログ電源		VCCに接続してください。
PVSS	アナログ電源		VSSに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが“L”の間 の20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	クロック発生回路の入出力端子です。XIN端子とXOUT端子の間には、セラミック発振子又は水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放にしてください。
XOUT	クロック出力	出力	
USBVREF	USB基準電源		未使用時はVCCに接続してください。
TrON	USB基準電圧出力	出力	未使用時は開放してください。
D0+,D0-	USBアップストリーム入出力	入出力	未使用時は“L”を入力してください。
P0 ~ P07	入力ポートP0	入力	“H”を入力、“L”を入力、又は開放にしてください。
P10 ~ P15	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放にしてください。
P16	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放にしてください。RESET解除時のみ“H”を入力してください。
P17	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放にしてください。
P20 ~ P27	入力ポートP2	入力	“H”を入力、“L”を入力、又は開放にしてください。
P30 ~ P37	入力ポートP3	入力	“H”を入力、“L”を入力、又は開放にしてください。
P40	RxD入力	入力	シリアルデータの入力端子です。
P41	TxD出力	出力	シリアルデータの出力端子です。
P42	SCLK入力	入力	シリアルクロックの入力端子です。RESET解除時のみ“H”を入力してください。
P43	BUSY出力	出力	BUSY信号の出力端子です。
P50 ~ P57	入力ポートP5	入力	“H”を入力、“L”を入力、又は開放にしてください。
P60 ~ P63	入力ポートP6	入力	“H”を入力、“L”を入力、又は開放にしてください。

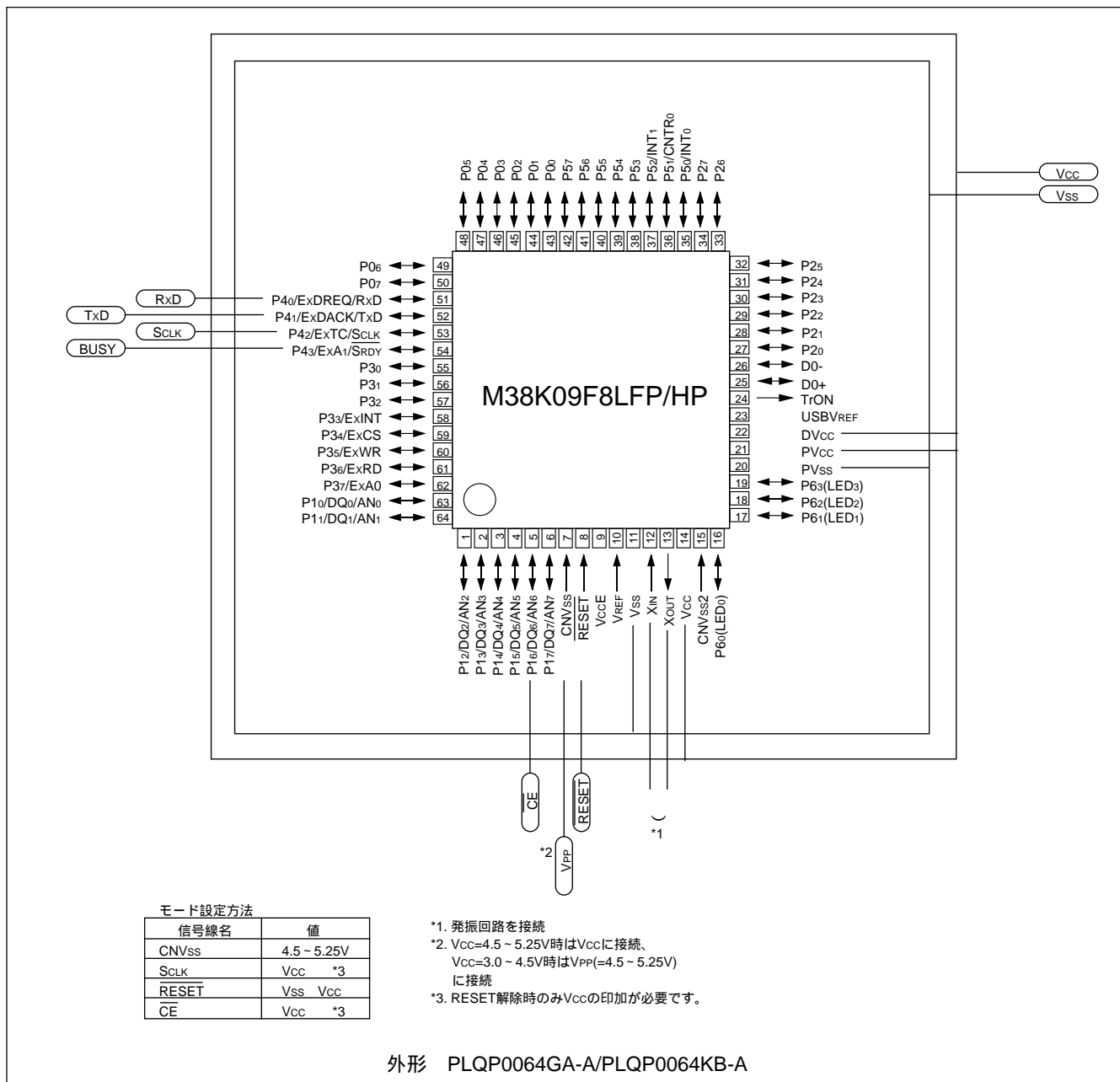


図 123. 標準シリアル入出力モード時の端子結線図

ソフトウェアコマンド

表12にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RXD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェアコマンドは、基本的にはパラレル入出力モードのものと同じですが、ブロックイレーズ機能を削除し、IDチェック機能、ダウンロード機能、バージョン情報出力機能、ブートROM領域出力機能の4コマンドを追加しています。

表 12. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259バイト データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~ 259バイト データ入力	受付不可
3	イレーズ全ブロック	A7 ₁₆	D0 ₁₆						受付不可
4	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	50 ₁₆							受付不可
6	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
7	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~ 必要回数		受付不可
8	バージョン情報出力機能	FB ₁₆	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	~ 9バイト バージョンデータ出力	受付可
9	ブートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259バイト データ出力	受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送

それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送です。

2. SRDはステータスレジスタデータ、SRD1はステータスレジスタ1データです。

3. ブランク品に対しては全コマンドの受け付け可能です。

4. アドレス下位はA₀ ~ A₇、アドレス中位はA₈ ~ A₁₅、アドレス上位はA₁₆ ~ A₂₃です。アドレス上位(A₁₆ ~ A₂₃)は常に"00₁₆"です。

以下に各ソフトウェアコマンドの内容を説明します。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ FF₁₆ ”を入力してください。
- (2) 2,3バイト目の転送でアドレスA₈ ~ A₂₃を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈ ~ A₂₃で指定したページ(256 バイト)のデータ(D₀ ~ D₇)を最小のアドレスから順番に出力します。

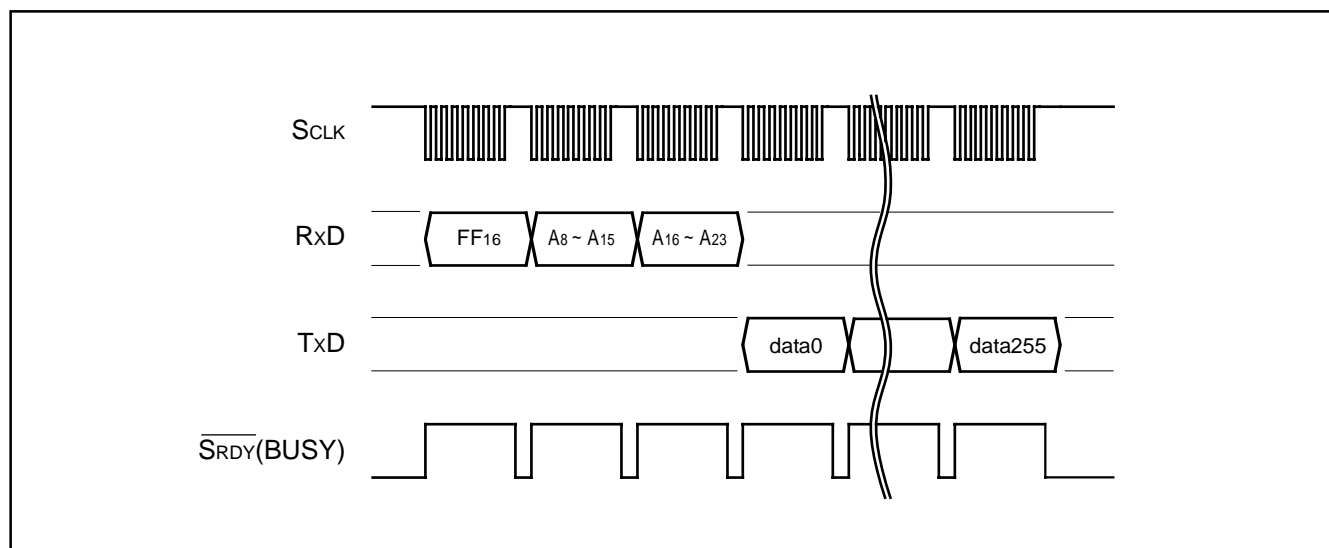


図 124. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70₁₆ ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

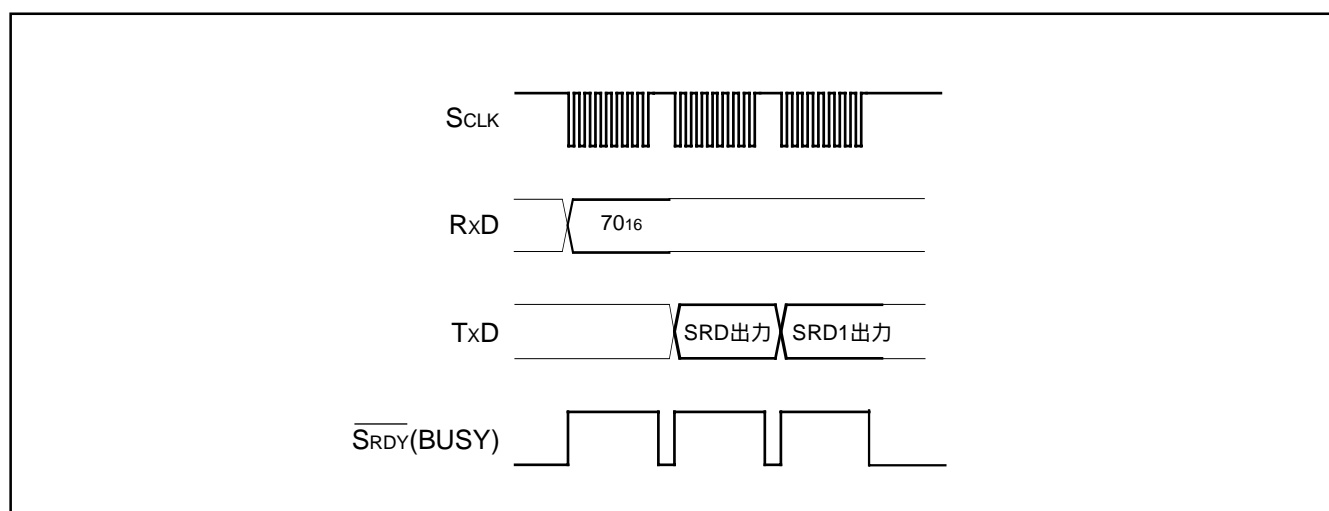


図 125. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード[※] 50₁₆を入力すると、上

記のビットをクリアします。クリアステータスレジスタが終了すると、 $\overline{\text{SRDY}}$ (BUSY)信号は“H”から“L”に変化します。

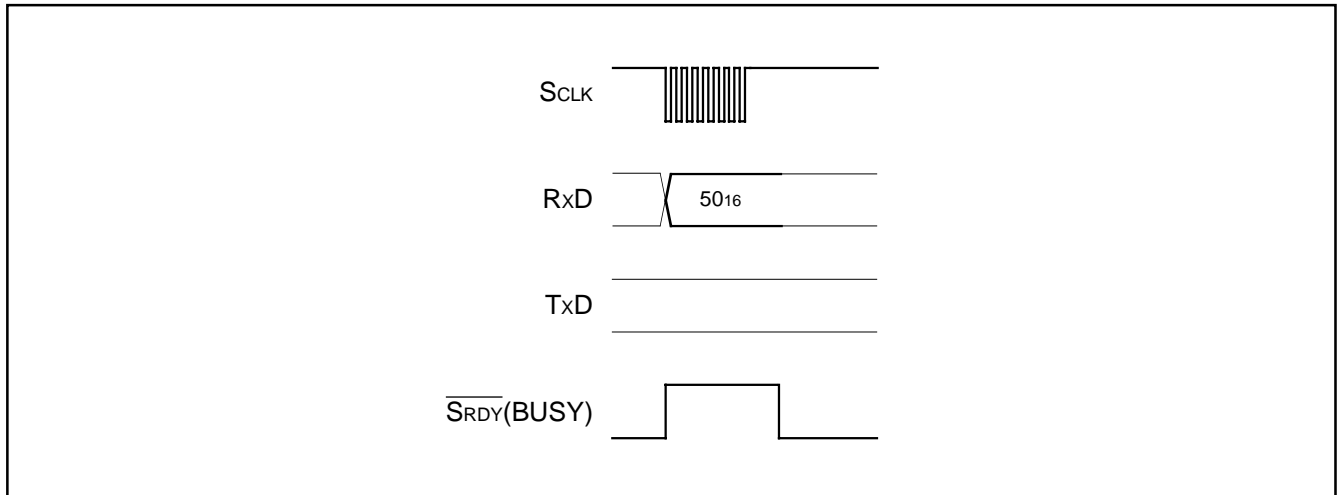


図 126. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード[※] 41₁₆を入力してください。
- (2) 2,3バイト目の転送でアドレスA8~A23を入力してください。

- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。次の256バイトの受信準備が完了すれば $\overline{\text{SRDY}}$ (BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくは ステータスレジスタの節を参照してください。

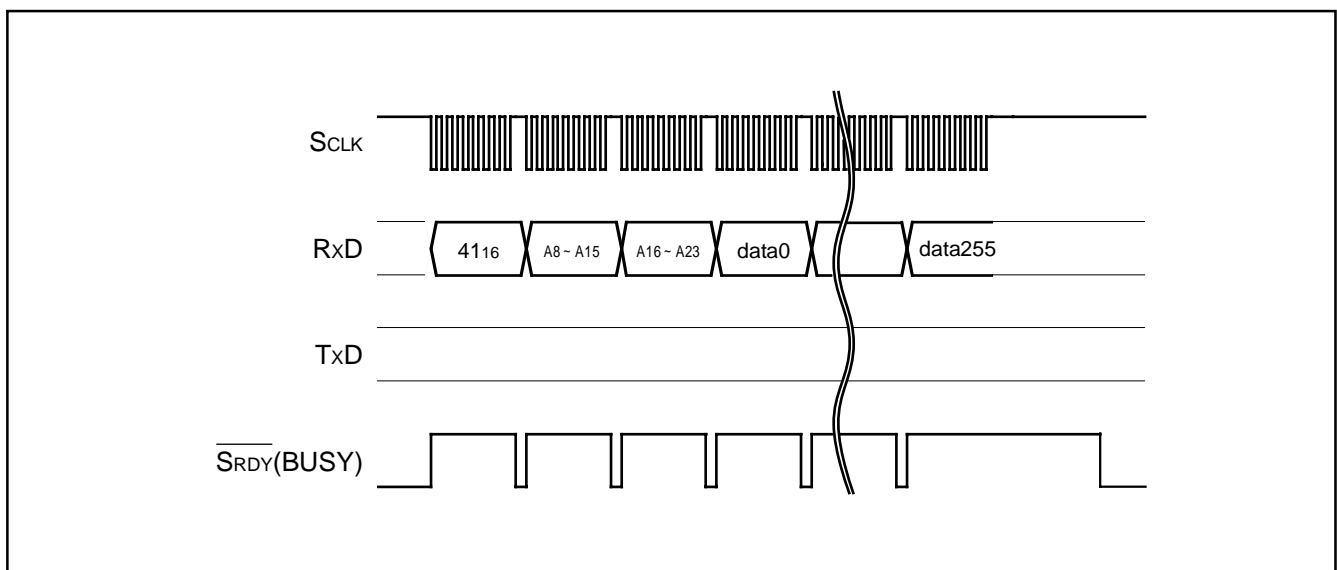


図 127. ページプログラムコマンド時のタイミング

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ A716 ”を入力してください。

(2) 2バイト目の転送で確認コマンド“ D016 ”を入力すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了するとSRDY(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

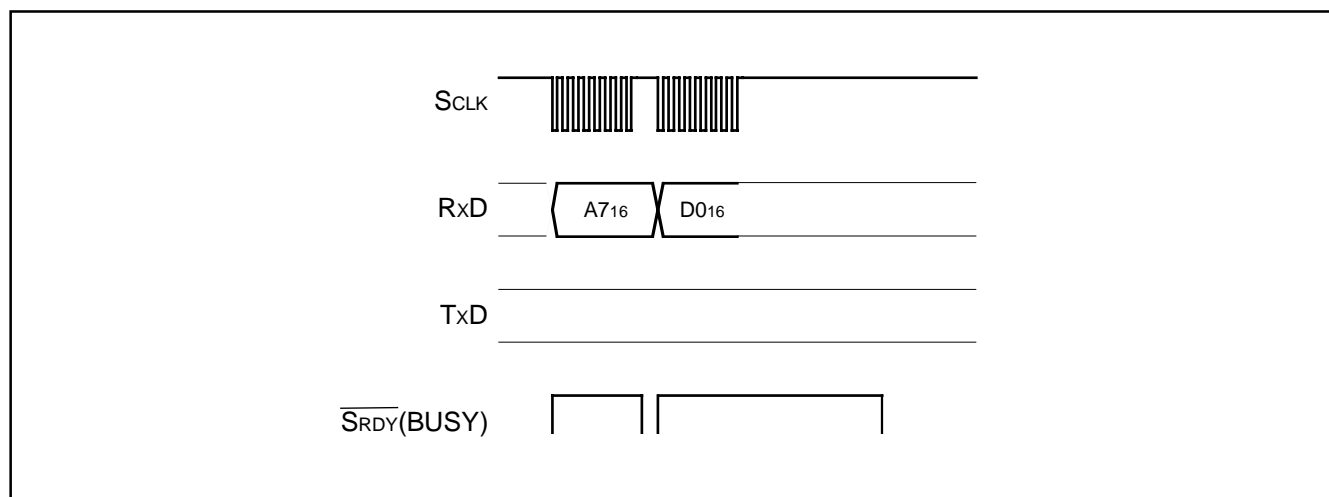


図 128. イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1) 1バイト目の転送でコマンドコード“ FA16 ”を入力してください。

(2) 2バイト目、3バイト目の転送で、プログラムのサイズを入力してください。

(3) 4バイト目の転送でチェックサムを入力してください。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4) 5バイト目以降実行プログラムを入力してください。全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

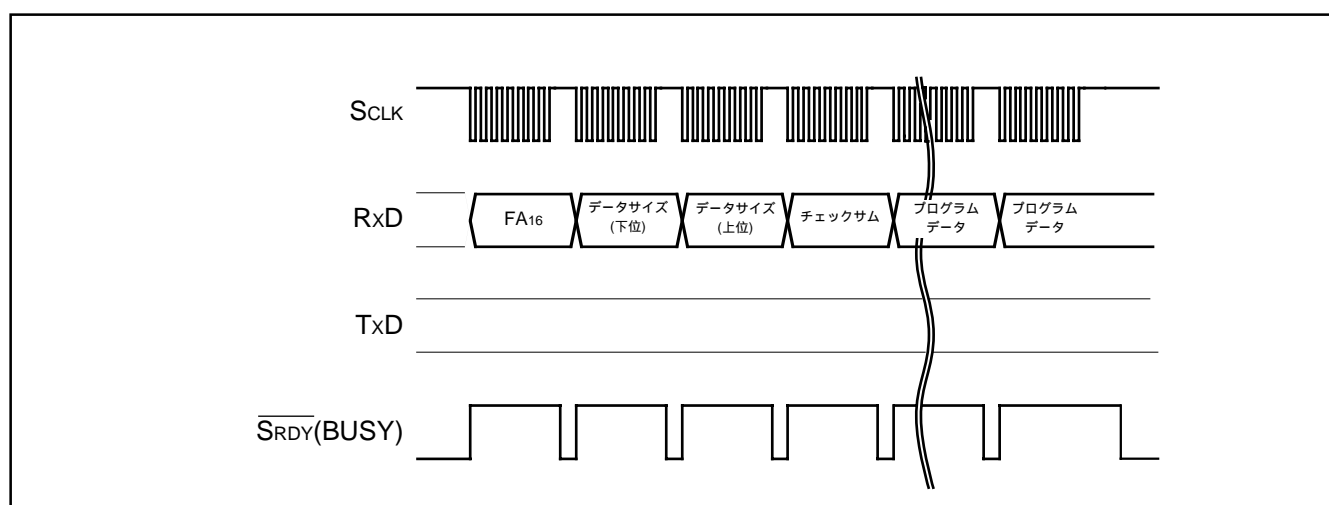


図 129. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を入力してください。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

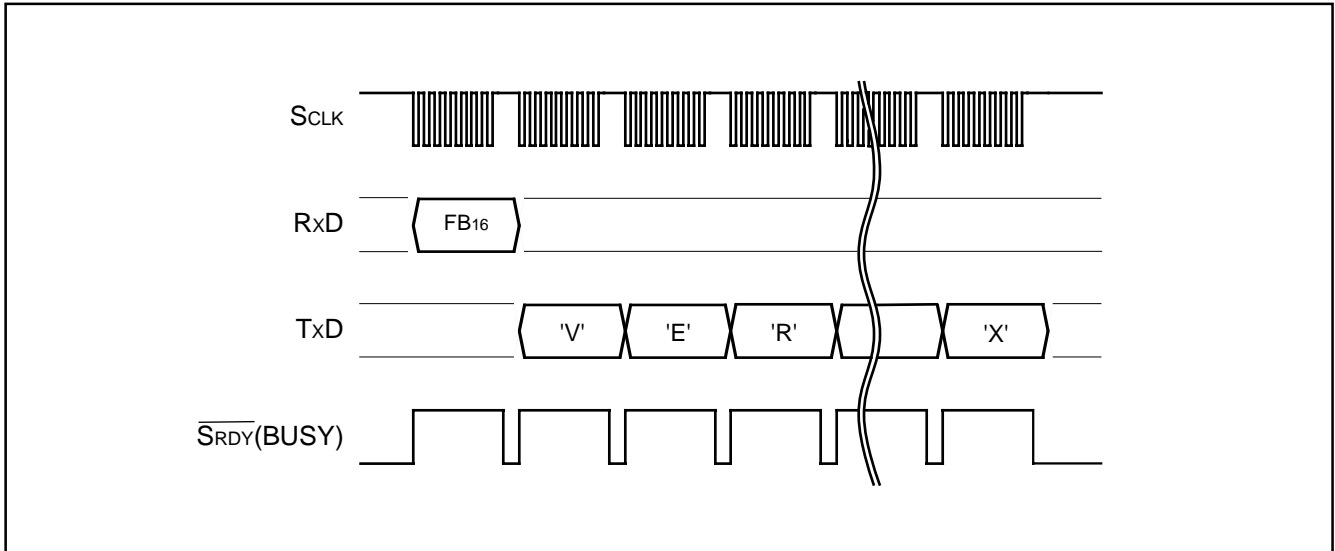


図 130. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を入力してください。

- (2) 2,3バイトの転送でアドレスA8～A23を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

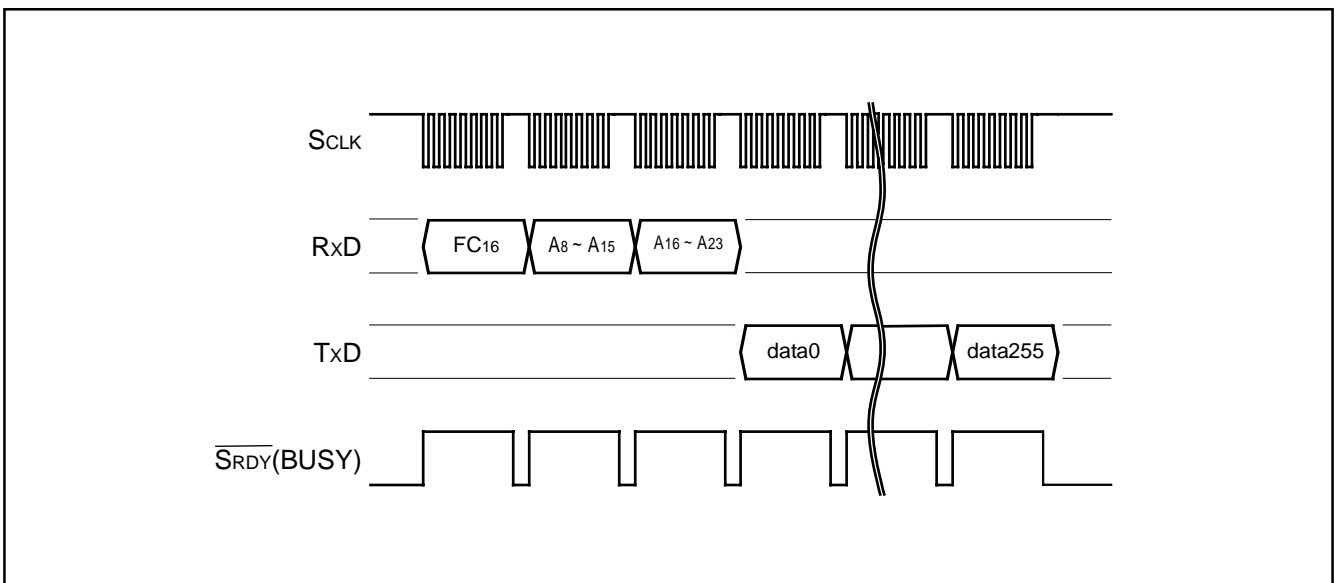


図 131. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード^{*} F516^{*}を入力してください。
- (2) 2バイト目、3バイト、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA0~A7、A8~A15、A16~A23(“0016”)を入力してください。

- (3) 5バイト目にIDコードのデータ数を入力してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から入力してください。

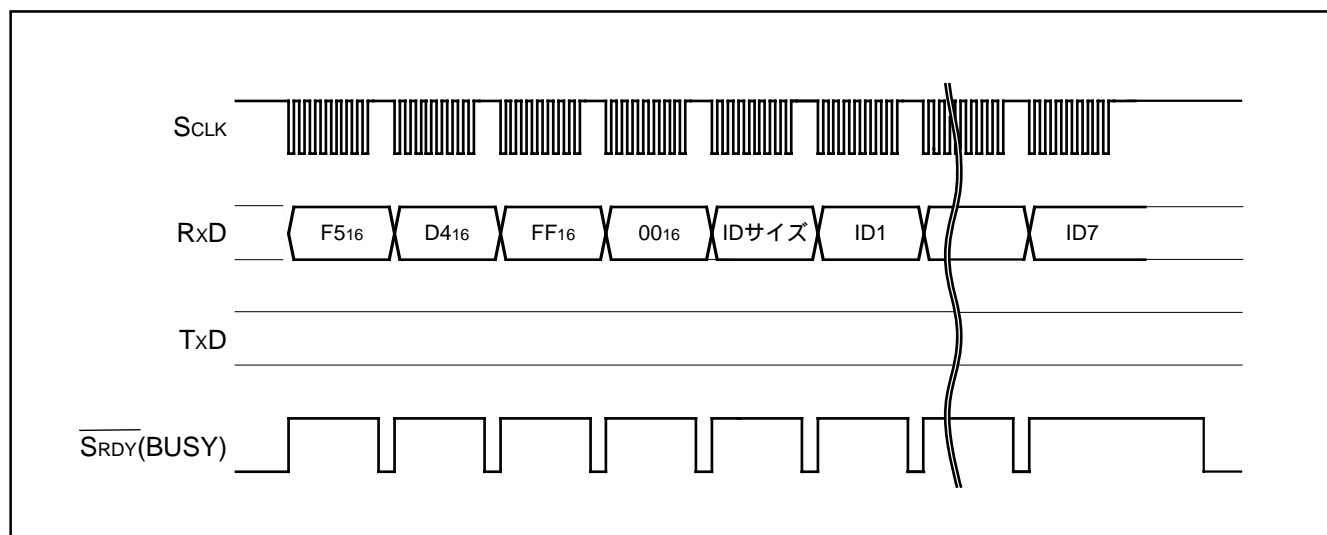


図 132. ID チェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受

け付けません。IDコードは各8ビットのデータで、その領域はFFD416~FFDA16番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

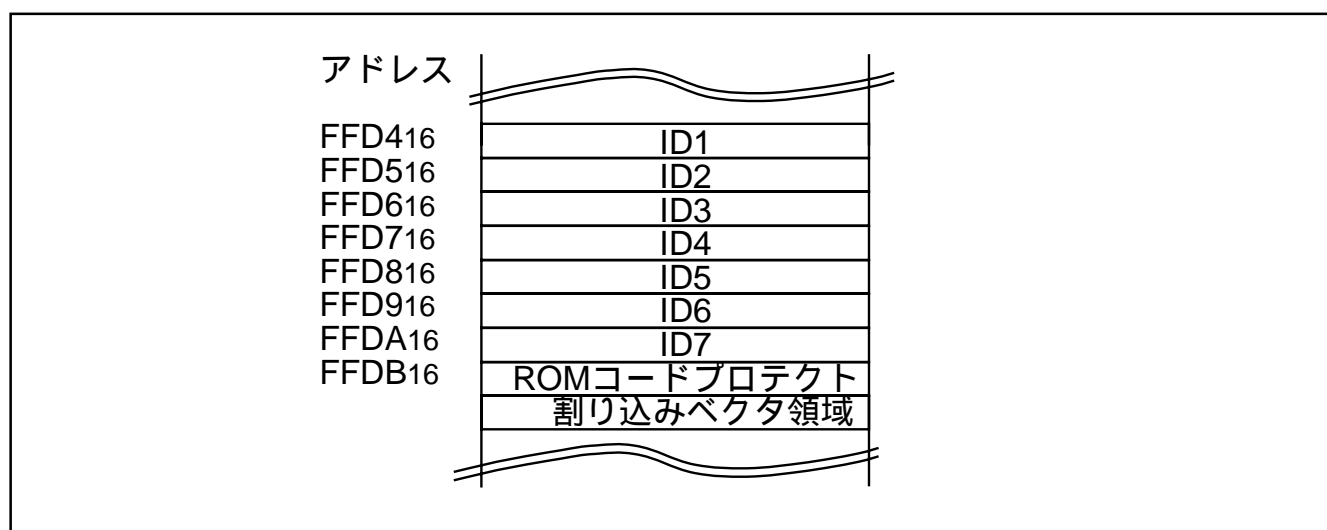


図 133. ID コードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表13に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表 13. ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1”(レディ)にセットされる。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされません。プログラムステータスはクリアされると“0”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライト

したときクリアされます。

ステータスレジスタを表14に各ビットの定義を以下に示します。

電源投入時'00₁₆'になります。フラグの状態はリセットしても保持されます。

表 14. ステータスレジスタ 1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図134にフルス

テータスチェックフローチャート及び各エラー発生時の対処方法を示します。

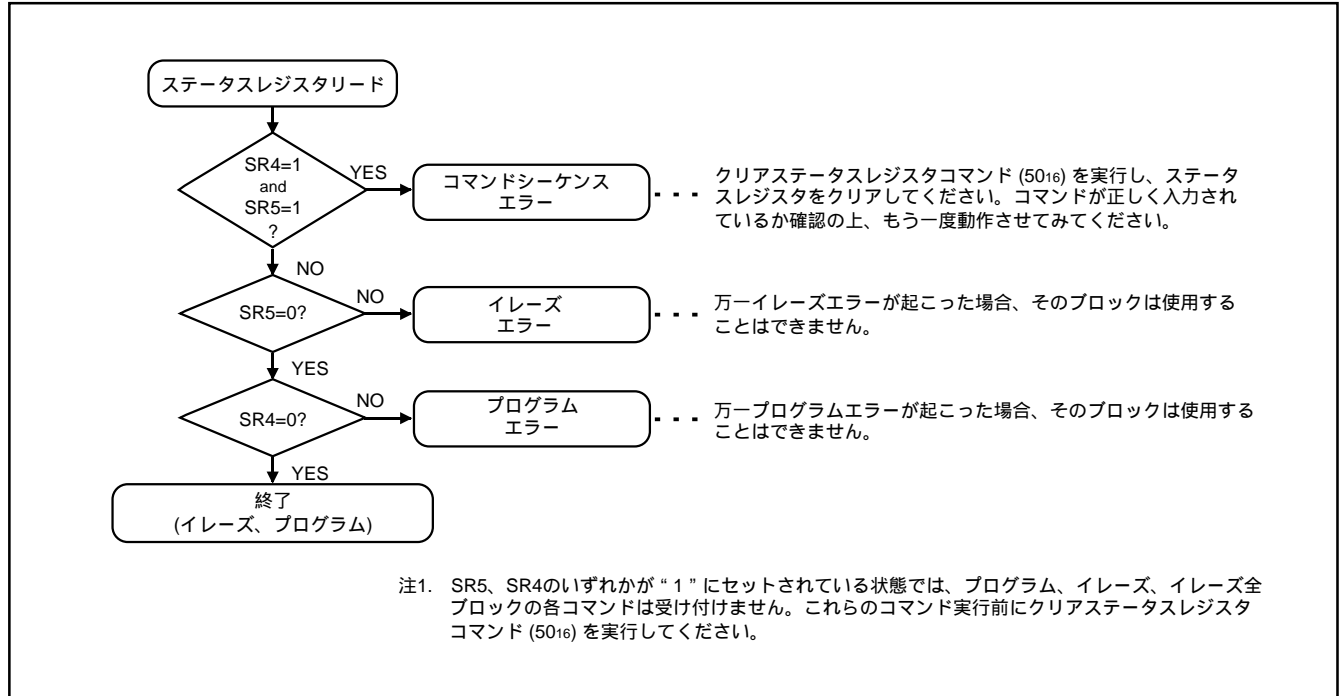


図134. フルステータスチェックフローチャート及び各エラー発生時の対処方法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路例を示します。ライターによって制御するピン等が異なりますので、詳細はライターのマニュアルを参考にしてください。

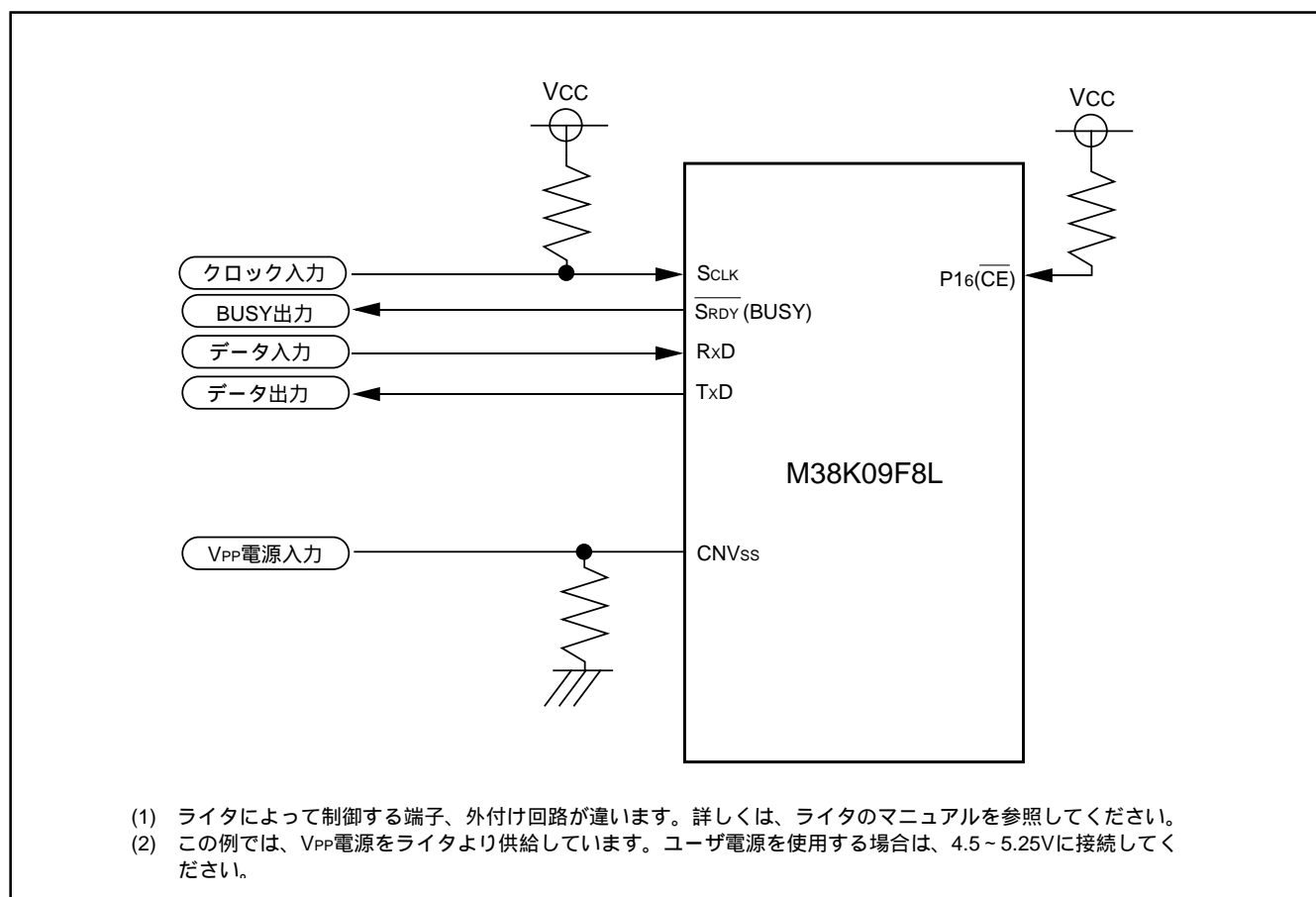


図 135. 標準シリアル入出力モード時の応用回路例

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが「1」であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを「1」に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

- ・タイマラッチに値n(0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・タイマXのカウントソースを切り替える場合は、必ずタイマXのカウントを停止させた状態で行ってください。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが「1」の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中はシステムクロックを500kHz以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。

ただし、USB機能またはEXB機能を使用時に、マルチチャネルRAMによりワンウェイトが発生した場合、内部クロックの周期は2倍になります。

A/D変換精度の定義に関するもの

A/D変換精度の定義を以下に説明します。

相対精度

ゼロトランジション電圧(V0T)

実際のA/D変換出力データが“ 0 ”から“ 1 ”に変化する
ときのアナログ入力電圧

フルスケールトランジション電圧(VFST)

実際のA/D変換出力データが“ 1023 ”から“ 1022 ”に変化
するときのアナログ入力電圧

直線性誤差

V0TとVFSTを結ぶ直線と、V0TからVFST間の任意の変換値との偏差

微分非直線性誤差

V0TとVFST間の任意の変換値を1LSB変化させるために必要な入力電位差と、相対精度における1LSBとの偏差

絶対精度

0 ~ VDD間の理想特性と、実際のA/D変換特性との偏差

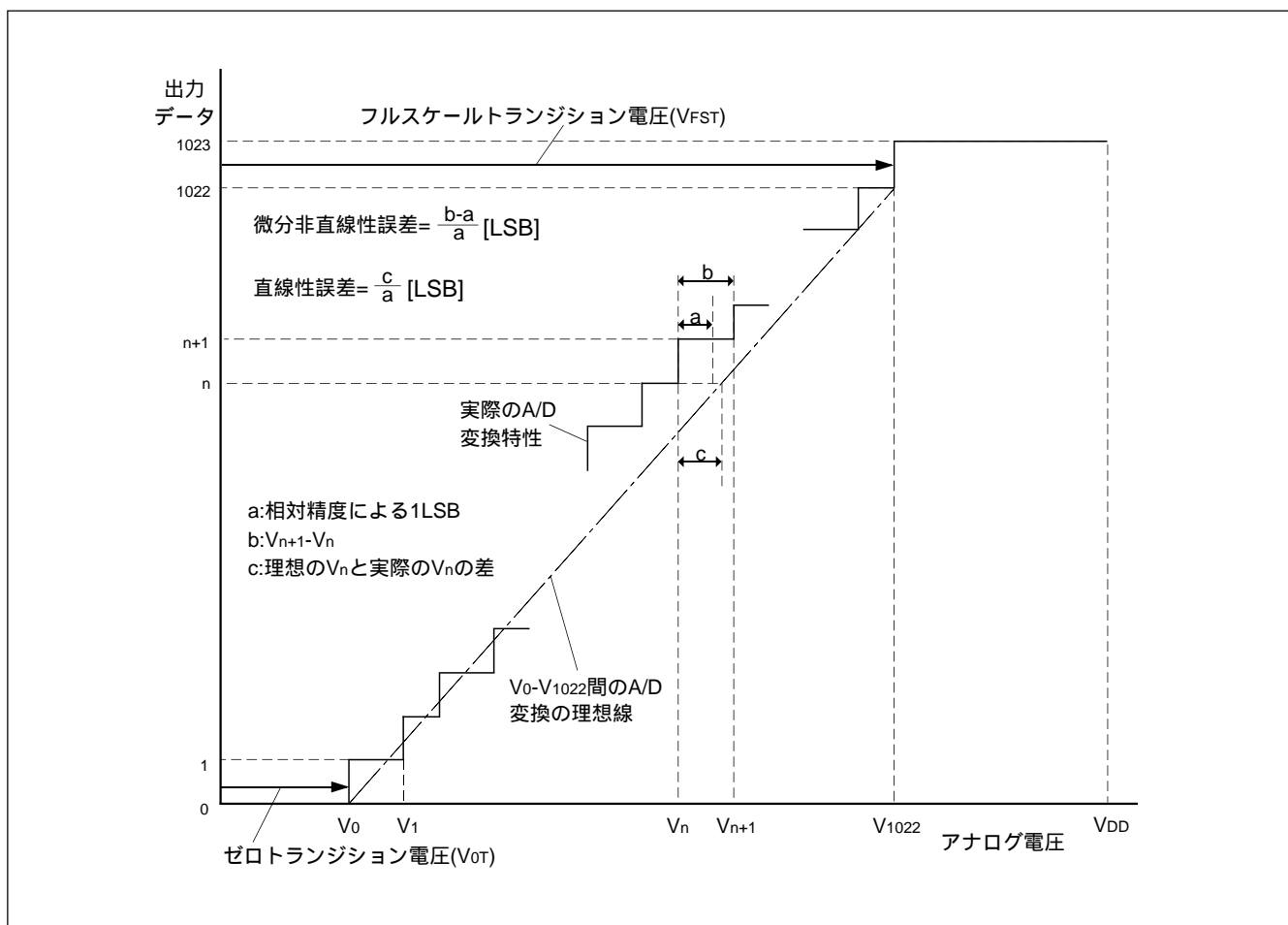


図 136. A/D 変換精度の定義

Vn : A/D変換出力データが“ n ”から“ n+1 ”に変化する
ときのA/D入力電圧 (n=0 ~ 1022)

相対精度における1LSB $\frac{VFST-V0T}{1022}$ (V)

絶対精度における1LSB $\frac{VDD}{1024}$ (V)

使用上の注意事項

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

電源端子の取扱いに関する注意事項(ノイズ対策)

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(VCC端子)とGND端子(VSS端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。

バイパスコンデンサは1.0 μ Fの電解系又はセラミック系コンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間で最短距離で付加して下さるようお願いいたします。

USBポート端子(D0+,D0-)の取扱いに関する注意事項

USB仕様では、ドライバインピーダンス28~44 Ω が規定されています。この規格を満足するために、USBポート端子に直列抵抗(推奨値27 Ω)を接続してください。また必要に応じてUSBポート端子とVSS端子の間にコンデンサを接続してください。これらのコンデンサはリングングを抑えるため、もしくは立ち上がり、立ち下がり時間及びクロスオーバーポイントを調整するためのものです。周辺素子の数値と構成は実装プリント基板の特性インピーダンス、レイアウトの違いにより調整が必要となりますので、使用システムで十分に評価、波形観測のうえ、接続の有無と抵抗値・コンデンサ数値をご調整願います。

USB D+/D-ラインには他の信号を交差しないよう配置してください。GND面を拡大し、USBラインを保護してください。USBコネクタについては、USB規格を満足した製品を使用してください。

USBVREF端子の取扱いに関する注意事項(ノイズ対策)

USBVREF端子とVSS端子との間にコンデンサを接続してください。コンデンサの容量は2.2 μ F(電解系コンデンサ)と0.1 μ F(セラミック系コンデンサ)を並列に接続してください。

VCC=3.0~3.6V動作時、USBポート回路へ電源供給のために、USBVREF端子はVCC端子へ直接接続してください。また、この場合、USB基準電圧回路を禁止にしてください(USB制御レジスタのビット4を「0」にしてください)。この時、バスパワー電源を使用する場合は、外部にDC-DCコンバータを外付けする必要があります。

VCC=4.00~5.25V動作時、外付けDC-DCコンバータをUSBVREF端子に接続しないでください。内蔵のUSB基準電圧回路をご使用ください。

USB通信に関する注意事項

通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。

フラッシュメモリ版に関する注意事項(ノイズ対策)

CNVSS端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVSS端子の配線は1~10k Ω の抵抗を介してVSS又はVCCに接続くださるようお願いいたします。なお、マスクROM版のCNVSS端子の配線が抵抗を介して接続されていても、動作上支障はありません。

フラッシュメモリ版/マスクROM版の相異点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版を使用して実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書*
- ・マーク指定書*
- ・ROMのデータ ----- EPROM 3セット又はフロッピーディスク

*マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://www.renesas.com>)「ROM発注」を参照してください。

補足説明

A/D変換器

A/D変換器は、A/D変換終了ビットを“0”にすることによって開始されます。

A/D変換中の内部動作を以下に示します。

1. A/D変換が開始されると、AD変換レジスタは“0016”になります。
2. AD変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
3. 比較の結果がVref < VINならば、AD変換レジスタの最上位ビットを“1”の状態に保持します。Vref > VINならば最上位ビットを“0”にします。

A/D変換器は、以上の動作をAD変換レジスタの最下位ビットまで行うことによって、アナログ値をデジタル値に変換します。A/D変換は、開始後122クロックサイクル(システムクロック = 8 MHz、スルーモードのとき、15.25 μs)で終了し、変換結果がAD変換レジスタに格納されます。A/D変換終了と同時にA/D変換割り込み要求が発生し、AD変換割り込み要求ビットが“1”になります。

表15. VrefとA/D変換器の基準電圧VREFの関係式

n = 0の時	Vref = 0
n = 1 ~ 1023の時	$Vref = \frac{VREF}{1024} \times n$

n: AD変換レジスタの値(10進表記)

表16. A/D変換中のAD変換レジスタの変化

	AD変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{VREF}{2}$
2回目比較	*1 1 0 0 0 0 0 0 0 0	$\frac{VREF}{2} \pm \frac{VREF}{4}$
3回目比較	*1 *2 1 0 0 0 0 0 0 0	$\frac{VREF}{2} \pm \frac{VREF}{4} \pm \frac{VREF}{8}$
⋮	⋮	⋮
10回目の比較終了後	A/D変換結果 *1 *2 *3 *4 *5 *6 *7 *8 *9 *10	$\frac{VREF}{2} \pm \frac{VREF}{4} \pm \dots \pm \frac{VREF}{1024}$

*1 ~ *10: 1 ~ 10回目の比較結果

A/D変換器の等価回路を図137、A/D変換タイミングチャートを図138に示します。

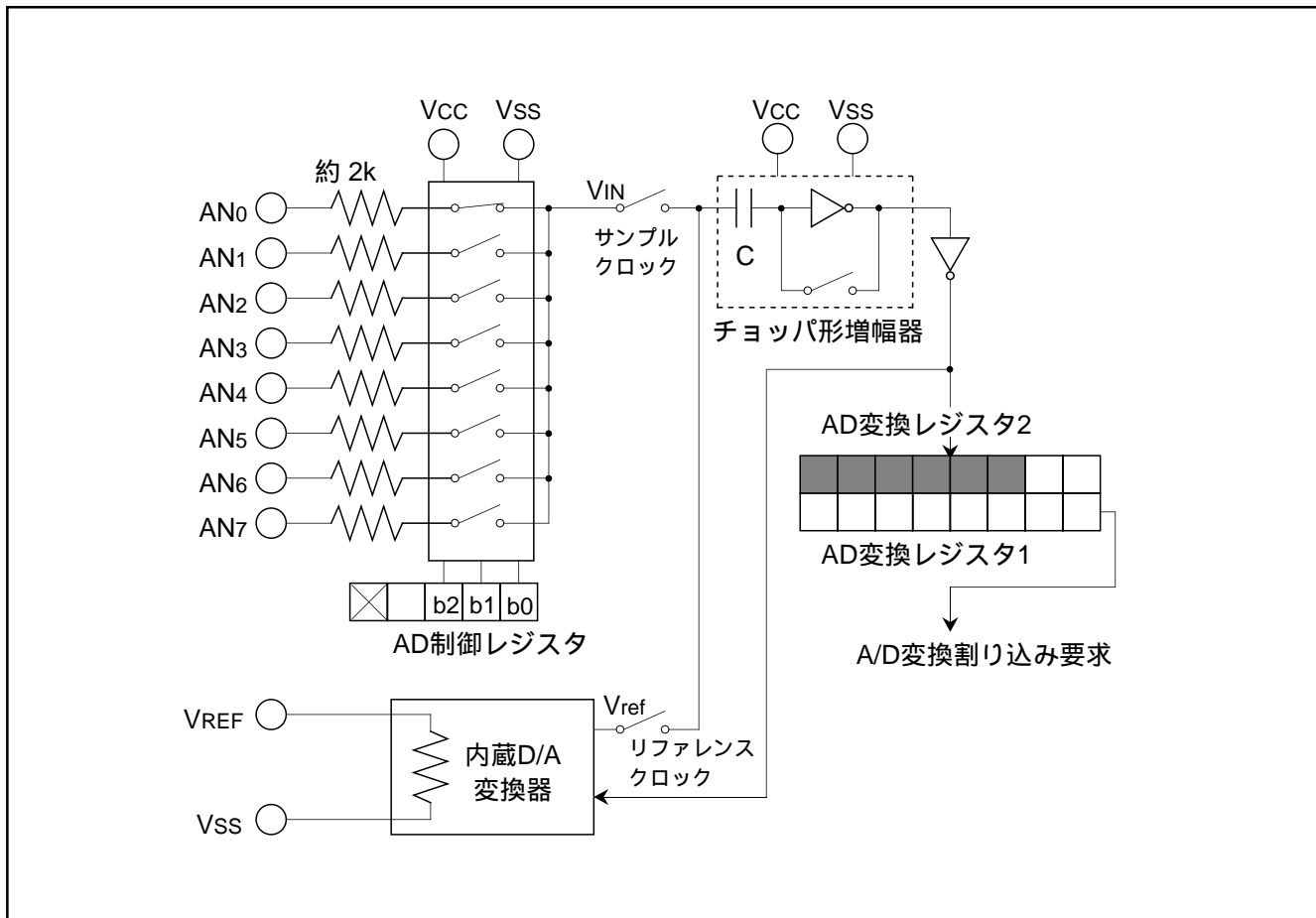


図137. A/D変換器等価回路

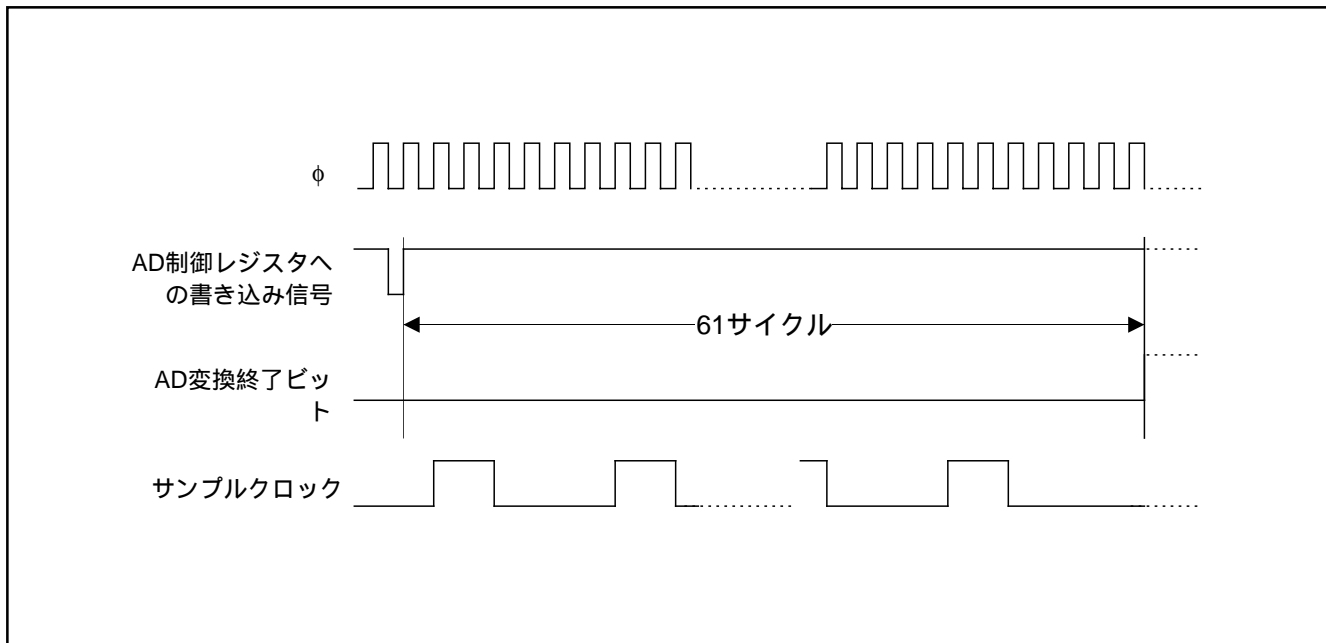


図138. A/D変換タイミングチャート

第 2 章

応 用

- 2.1 入出力ポート
- 2.2 割り込み
- 2.3 タイマ
- 2.4 シリアルI/O
- 2.5 USB機能
- 2.6 外部バスインタフェース(EXB)
- 2.7 A/D変換器
- 2.8 ウォッチドッグタイマ
- 2.9 リセット
- 2.10 周波数シンセサイザ(PLL)
- 2.11 クロック発生回路
- 2.12 スタンバイ機能
- 2.13 フラッシュメモリ

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

0000 ₁₆	ポートP0 (P0)
0001 ₁₆	ポートP0方向レジスタ (P0D)
0002 ₁₆	ポートP1 (P1)
0003 ₁₆	ポートP1方向レジスタ (P1D)
0004 ₁₆	ポートP2 (P2)
0005 ₁₆	ポートP2方向レジスタ (P2D)
0006 ₁₆	ポートP3 (P3)
0007 ₁₆	ポートP3方向レジスタ (P3D)
0008 ₁₆	ポートP4 (P4)
0009 ₁₆	ポートP4方向レジスタ (P4D)
000A ₁₆	ポートP5 (P5)
000B ₁₆	ポートP5方向レジスタ (P5D)
000C ₁₆	ポートP6 (P6)
000D ₁₆	ポートP6方向レジスタ (P6D)
≈	≈
0FF0 ₁₆	ポートP0プルアップ制御レジスタ(PULL0)
≈	≈
0FF2 ₁₆	ポートP5プルアップ制御レジスタ(PULL5)

図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

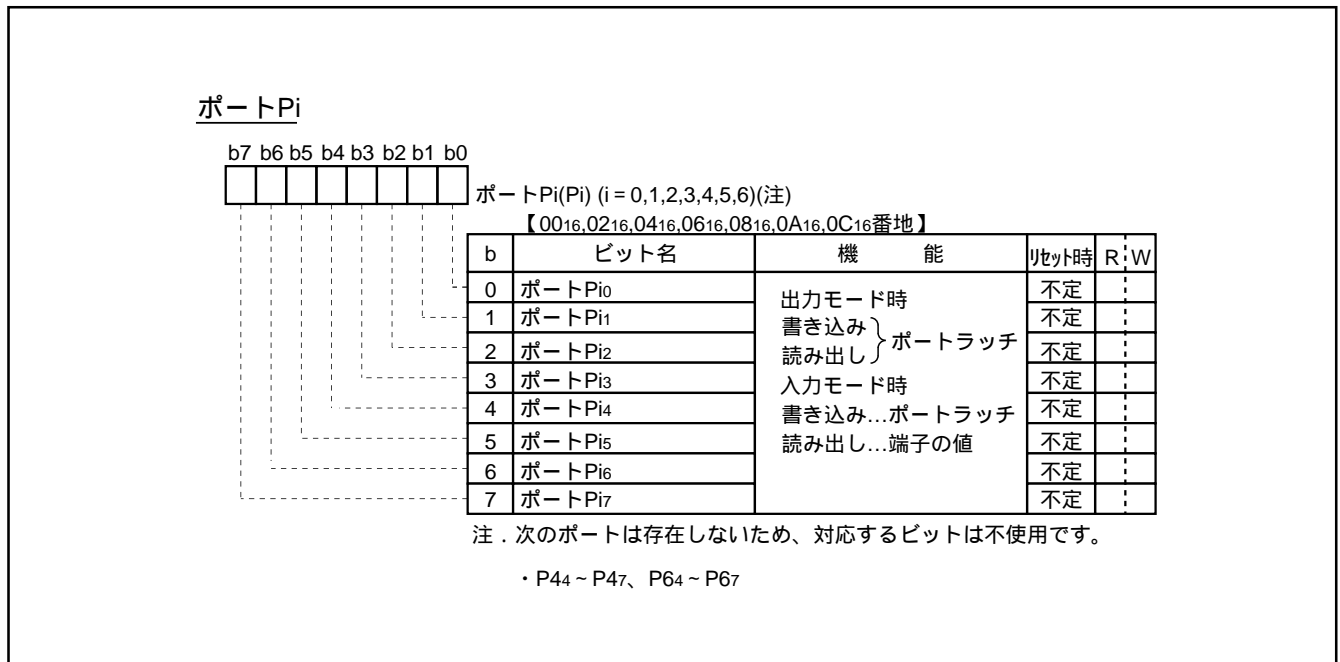


図2.1.2 ポートPiの構成(i = 0 ~ 6)

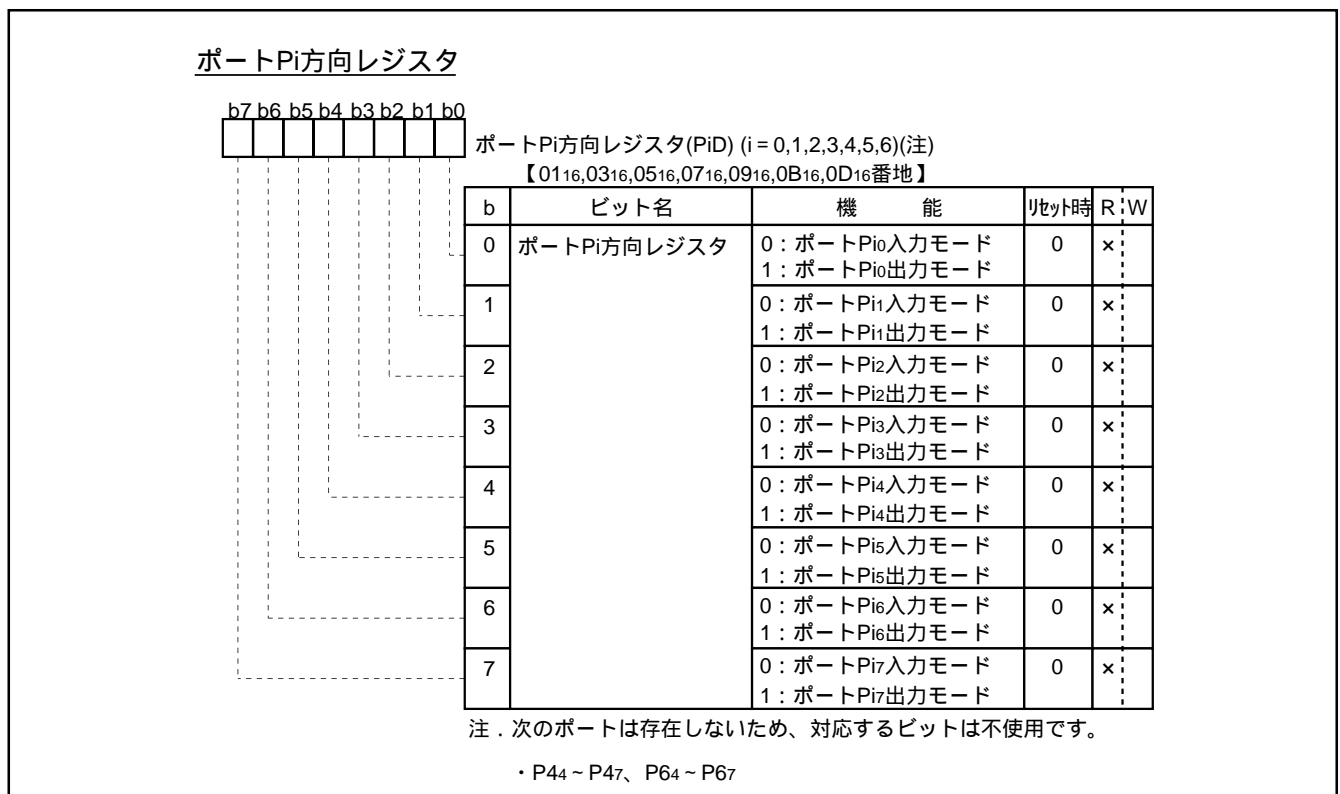


図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 6)

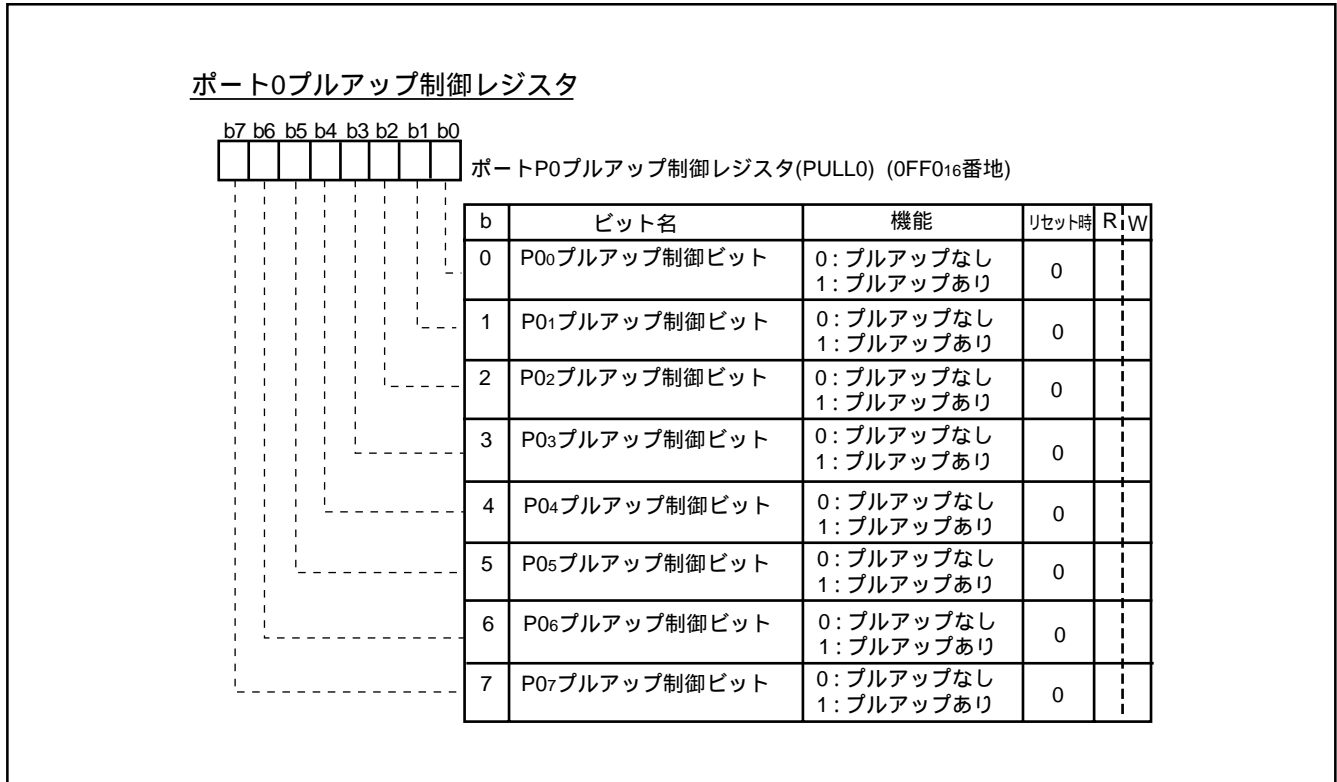


図2.1.4 ポートP0プルアップ制御レジスタの構成

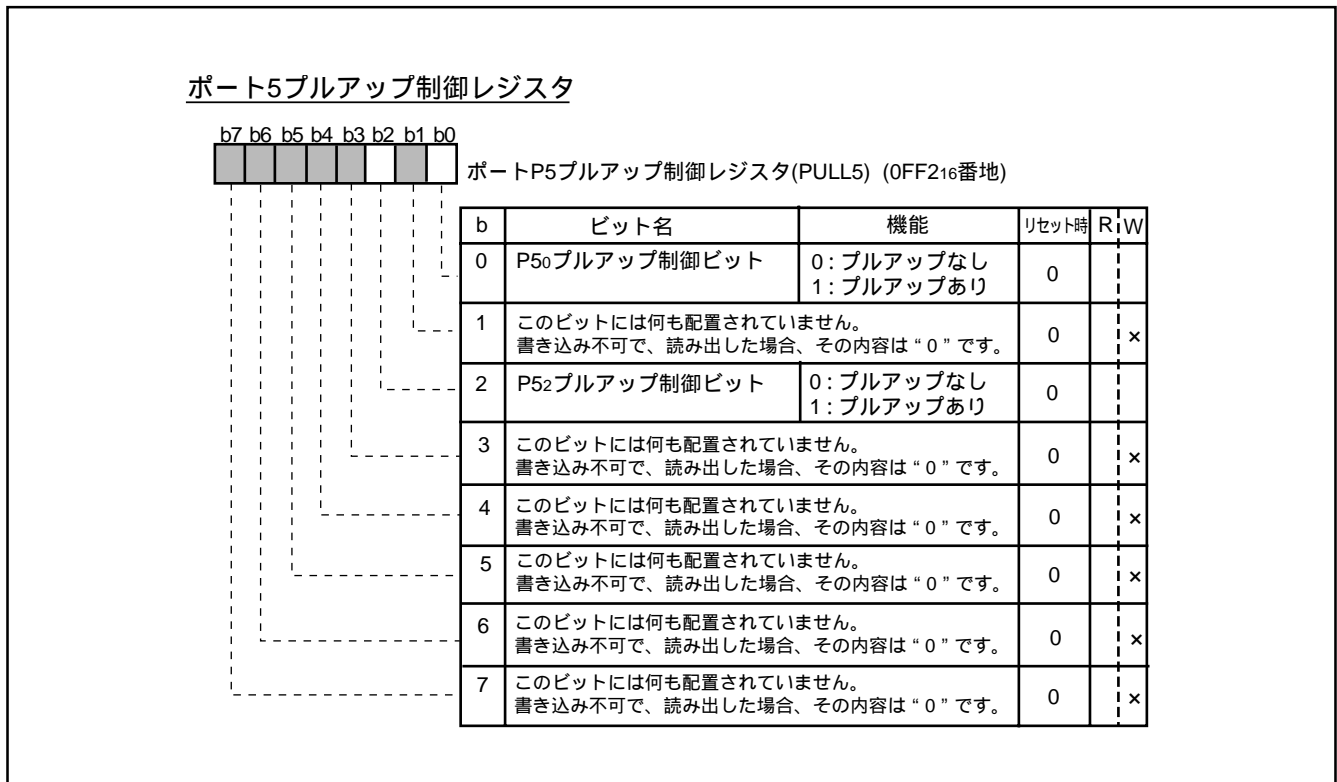


図2.1.5 ポートP5プルアップ制御レジスタの構成

2.1.3 未使用端子の処理

表2.1.1 未使用端子の処理

端子/ポート名	処理方法
P0、P1、P2、P3、 P4、P5、P6	・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介してVcc又はVss接続 ・出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
XOUT端子	開放(外部クロック使用時のみ)
USBVREF	Vccに接続
TrON	開放
D0+、D0-	各端子ごとに1k ~ 10k の抵抗を介してVssに接続

2.1.4 入出力ポートに関する注意事項

(1) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・ 入力に設定されているビット：

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

- ・ 出力に設定されているビット：

ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・ 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・ 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*ビット処理命令：SEB命令、CLB命令

2.1.5 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2) 処理上の留意事項

入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

2.2 割り込み

本節では割り込みに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

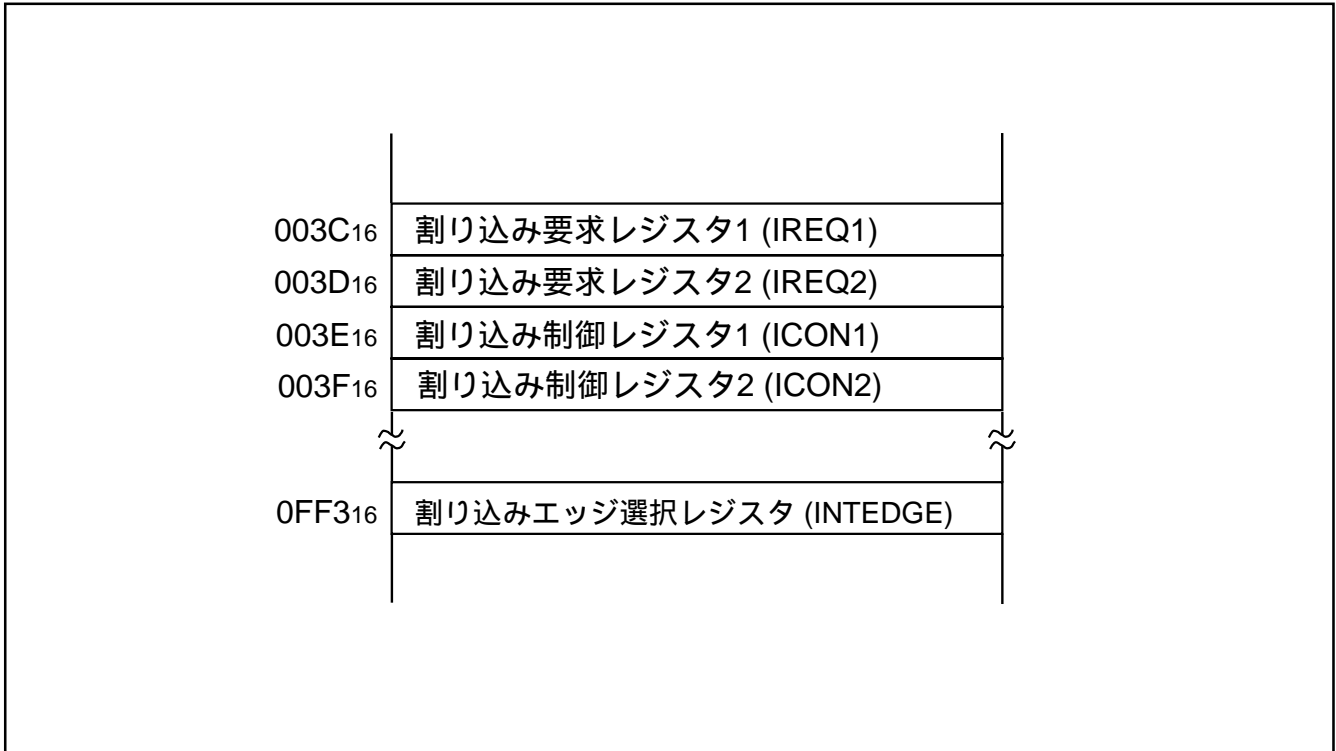


図2.2.1 割り込み関連レジスタのメモリ配置

2.2.2 関連レジスタ

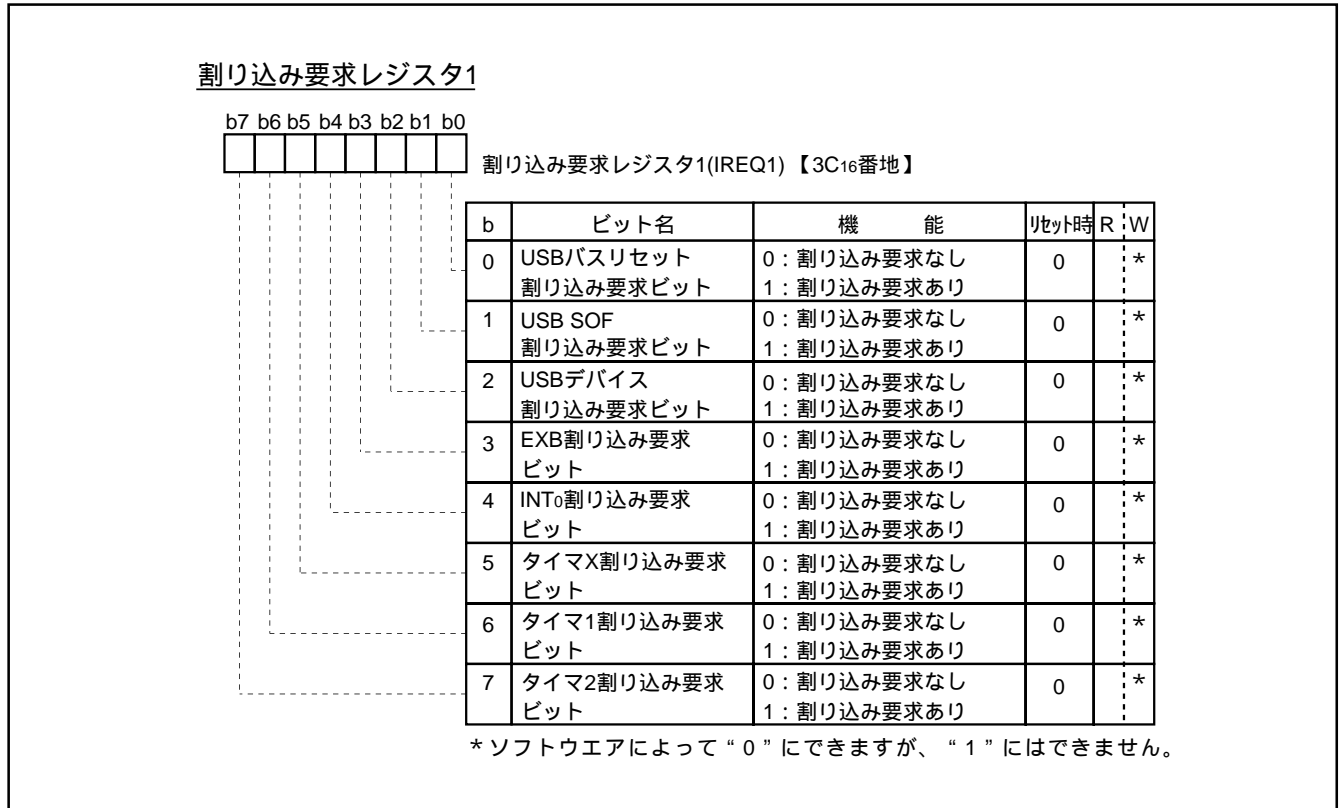


図2.2.2 割り込み要求レジスタ1の構成

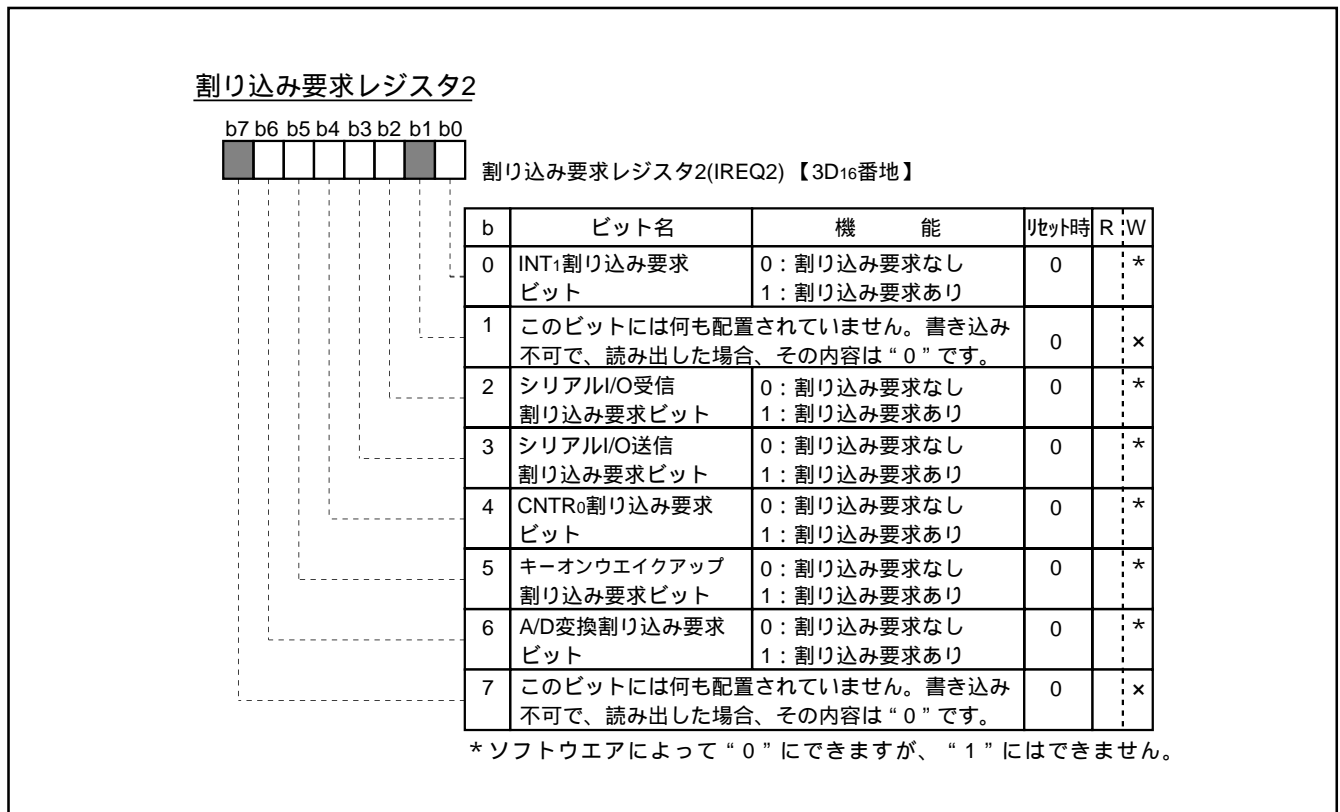


図2.2.3 割り込み要求レジスタ2の構成

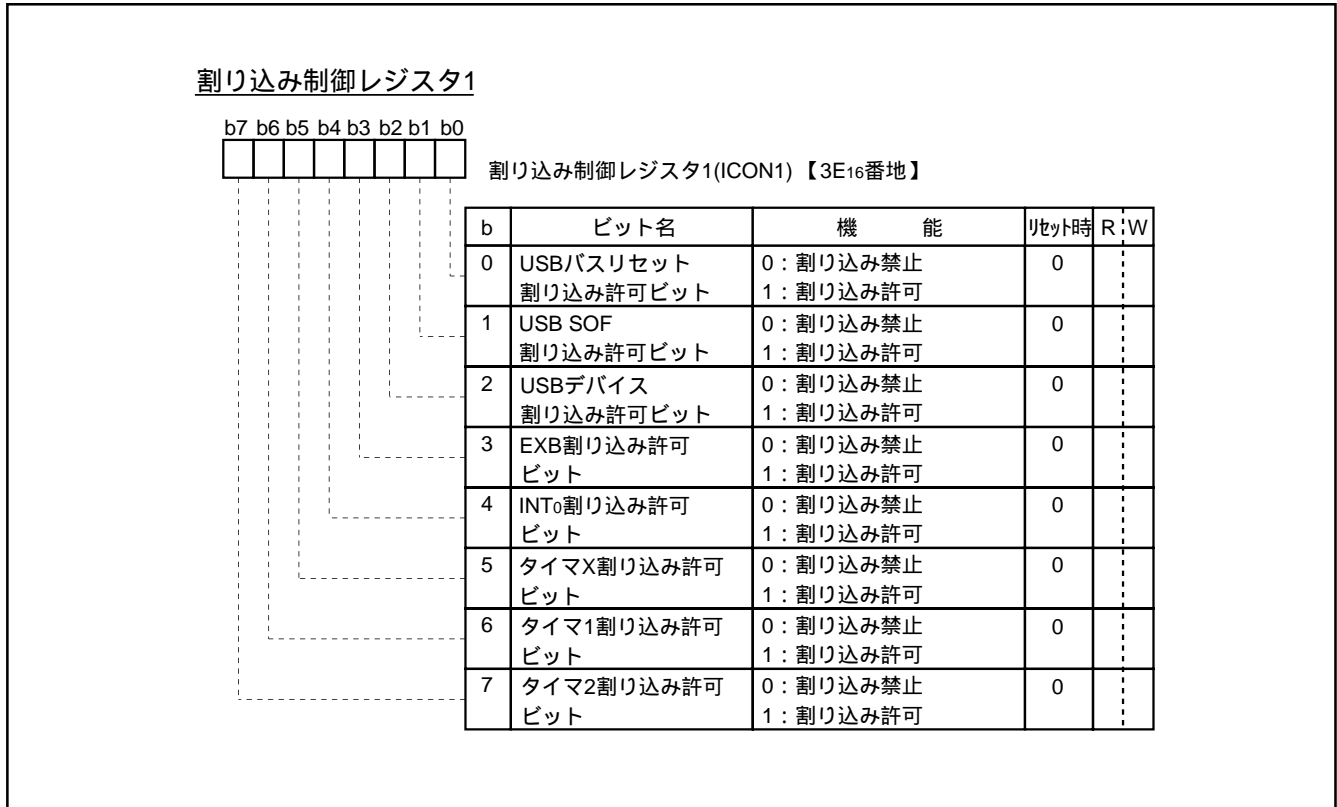


図2.2.4 割り込み制御レジスタ1の構成

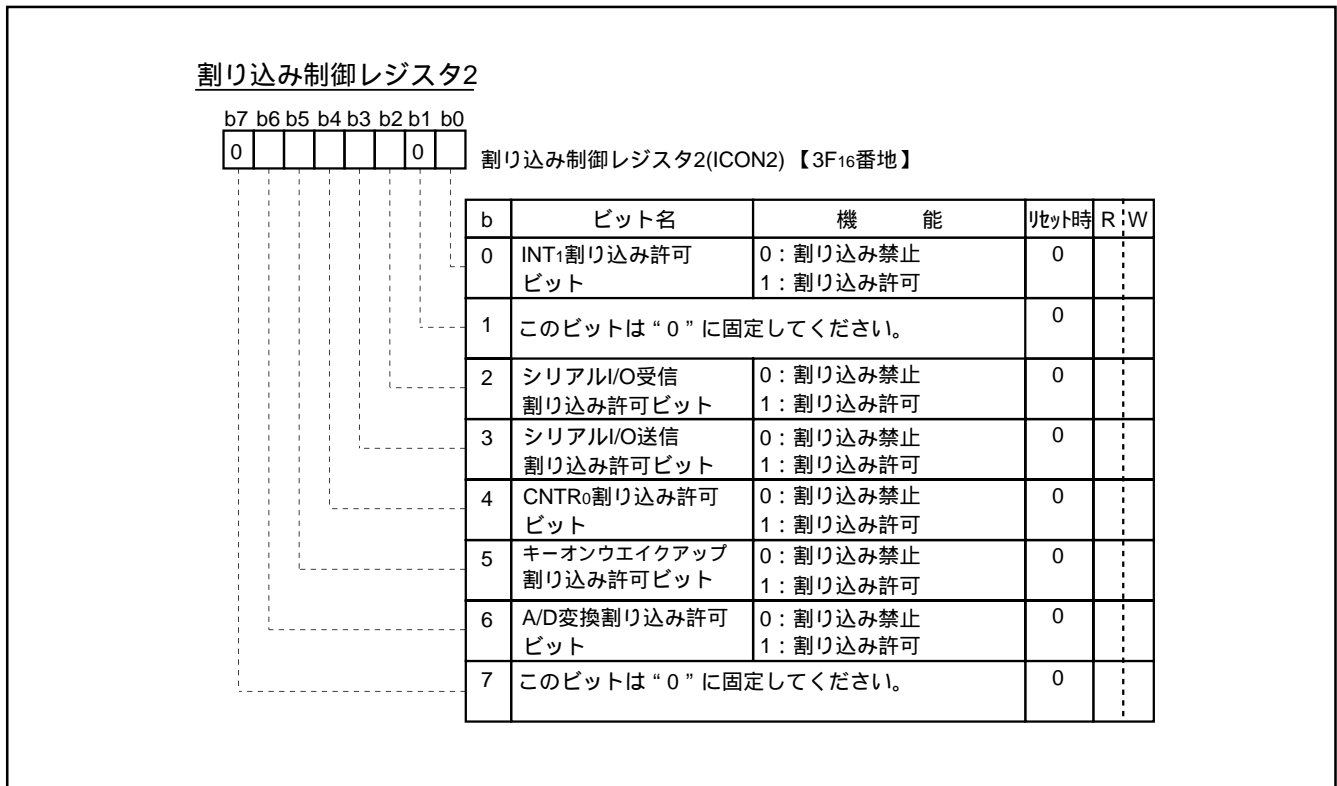


図2.2.5 割り込み制御レジスタ2の構成

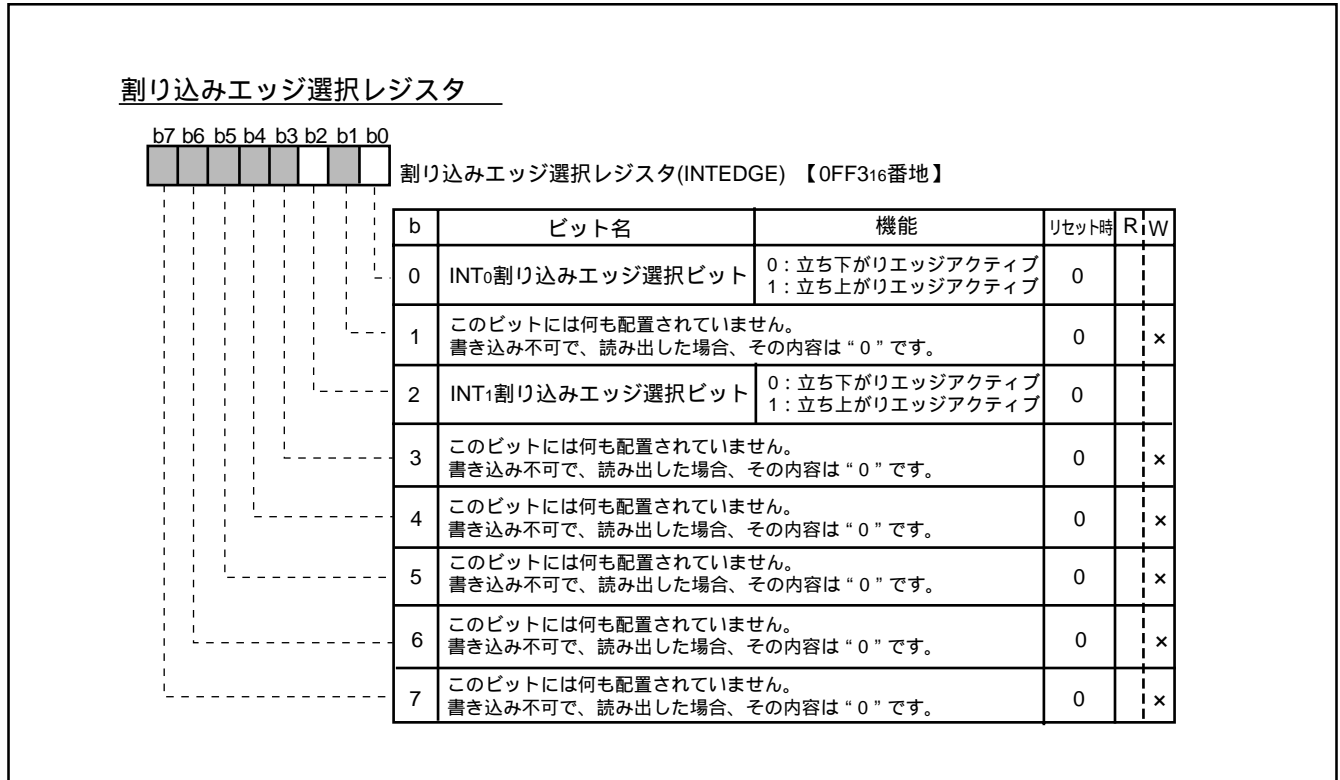


図2.2.6 割り込みエッジ選択レジスタの構成

2.2.3 割り込み要因

38K0グループでは、15要因で割り込みをかけることができます。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって、多様な優先処理をソフトウェアで行うことが可能です。割り込み要因とベクトル番地(注1)、割り込み優先順位は表2.2.1を参照してください。

表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位

優先順位	割り込み要因	ベクトル番地(注1)		備考
		上位	下位	
1	リセット(注2)	FFFD ₁₆	FFFC ₁₆	ノンマスクابل
2	USBバスリセット	FFFB ₁₆	FFFA ₁₆	USBモード時有効
3	USB SOF	FFF9 ₁₆	FFF8 ₁₆	USBモード時有効
4	USBデバイス	FFF7 ₁₆	FFF6 ₁₆	USBモード時有効
5	外部バス	FFF5 ₁₆	FFF4 ₁₆	外部バス選択時のみ有効
6	INT ₀	FFF3 ₁₆	FFF2 ₁₆	外部割り込み(極性プログラマブル)
7	タイマX	FFF1 ₁₆	FFF0 ₁₆	
8	タイマ1	FFEF ₁₆	FFEE ₁₆	STP解除タイマアンダフロー
9	タイマ2	FFED ₁₆	FFEC ₁₆	
10	INT ₁	FFE _B ₁₆	FFE _A ₁₆	外部割り込み(極性プログラマブル)
(注3)		FFE9 ₁₆	FFE8 ₁₆	(注4)
11	シリアルI/O受信	FFE7 ₁₆	FFE6 ₁₆	シリアルI/O選択時のみ有効
12	シリアルI/O送信	FFE5 ₁₆	FFE4 ₁₆	シリアルI/O選択時のみ有効
13	CNTR ₀	FFE3 ₁₆	FFE2 ₁₆	外部割り込み(極性プログラマブル)
14	キーオンウエイクアップ	FFE1 ₁₆	FFE0 ₁₆	外部割り込み(極性プログラマブル)
15	A/D変換	FFDF ₁₆	FFDE ₁₆	
16	BRK命令	FFDD ₁₆	FFDC ₁₆	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

3. このベクトル番地には、何も配置されていません。

4. 何も要求は発生しません。割り込み制御レジスタ2(003F₁₆番地)のビット1は、“0”に固定してください。

2.2.4 割り込み動作

割り込み要求が受け付けられると、次に示すレジスタの割り込み要求受付直前の状態が① ② ③と順次、自動的にスタック領域に退避されます。

- ①プログラムカウンタ上位(PCH)
- ②プログラムカウンタ下位(PCL)
- ③プロセッサステータスレジスタ(PS)

上記のレジスタが退避された後、受け付けられた割り込みの飛び先番地へ分岐します。割り込み処理ルーチンの最後でRTI命令を実行すると、スタック領域に退避されていた上記レジスタの内容が③ ② ①と順次それぞれのレジスタに復帰し、割り込み要求受付前の処理が継続されます。

図2.2.7に割り込み動作図を示します。

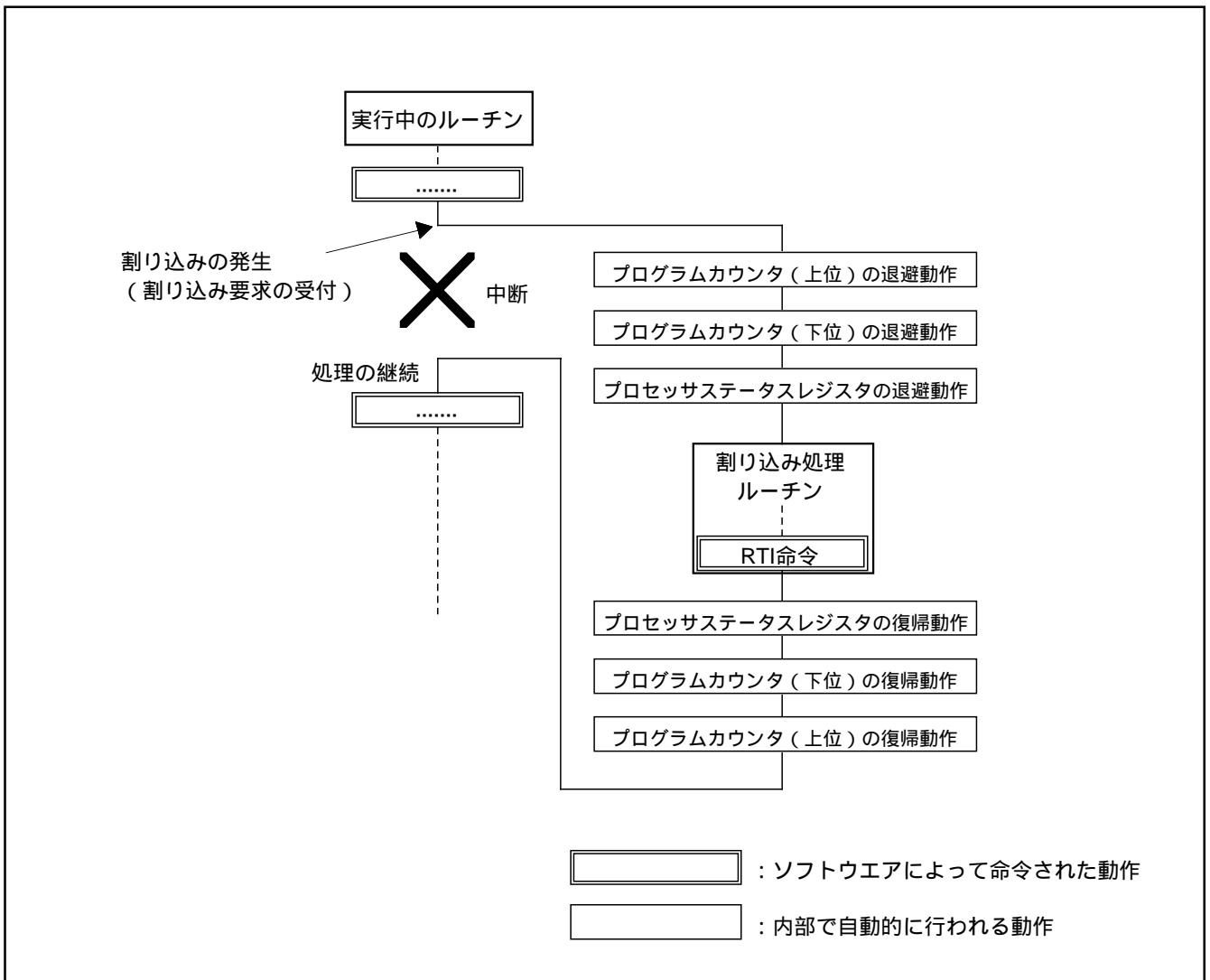


図2.2.7 割り込み動作図

(1) 割り込み要求受付時の処理

割り込み要求を受け付けると以下の動作が自動的に行われます。

- ①現在実行中の処理が中断されます。
- ②プログラムカウンタ、及びプロセッサステータスレジスタの内容がスタック領域へ退避されます。
図2.2.8に割り込み要求受付時のスタックポインタとプログラムカウンタの変化を示します。
- ③退避と同時に、割り込みベクトル領域に格納されている、発生した割り込みの飛び先番地(割り込み処理ルーチンの先頭番地)がプログラムカウンタに設定され、割り込み処理ルーチンが実行されます。
- ④割り込み処理ルーチンに入ると、対応する割り込み要求ビットが自動的に“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止されます。

したがって、割り込み処理ルーチンを実行するためには、飛び先番地を各割り込みに対応したベクトル領域内に設定しておく必要があります。

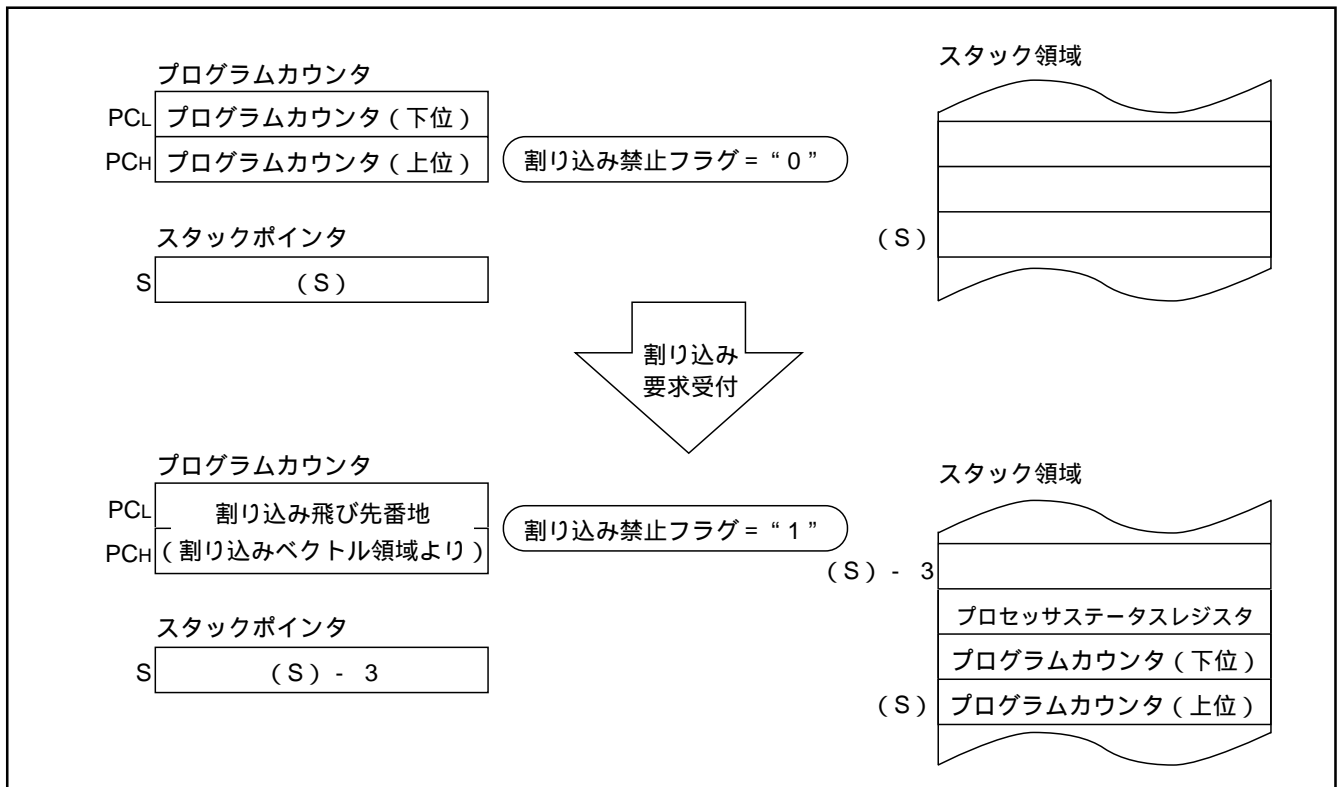


図2.2.8 割り込み要求受付時のスタックポインタとプログラムカウンタの変化

(2) 割り込み要求受付後のタイミング

割り込み処理ルーチンは、現在実行中の命令終了後のマシンサイクルから始まります。図2.2.9に割り込み処理ルーチンを実行するまでの時間、図2.2.10に割り込み要求受付後のタイミングを示します。

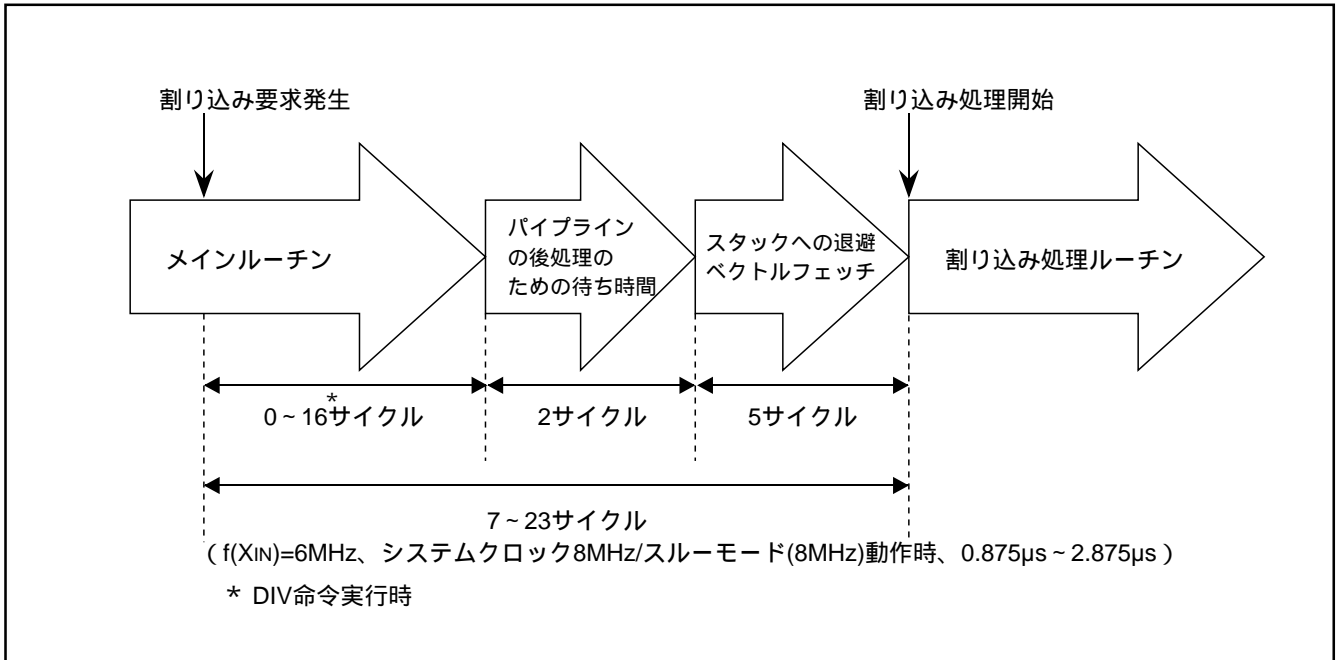


図2.2.9 割り込み処理ルーチンを実行するまでの時間

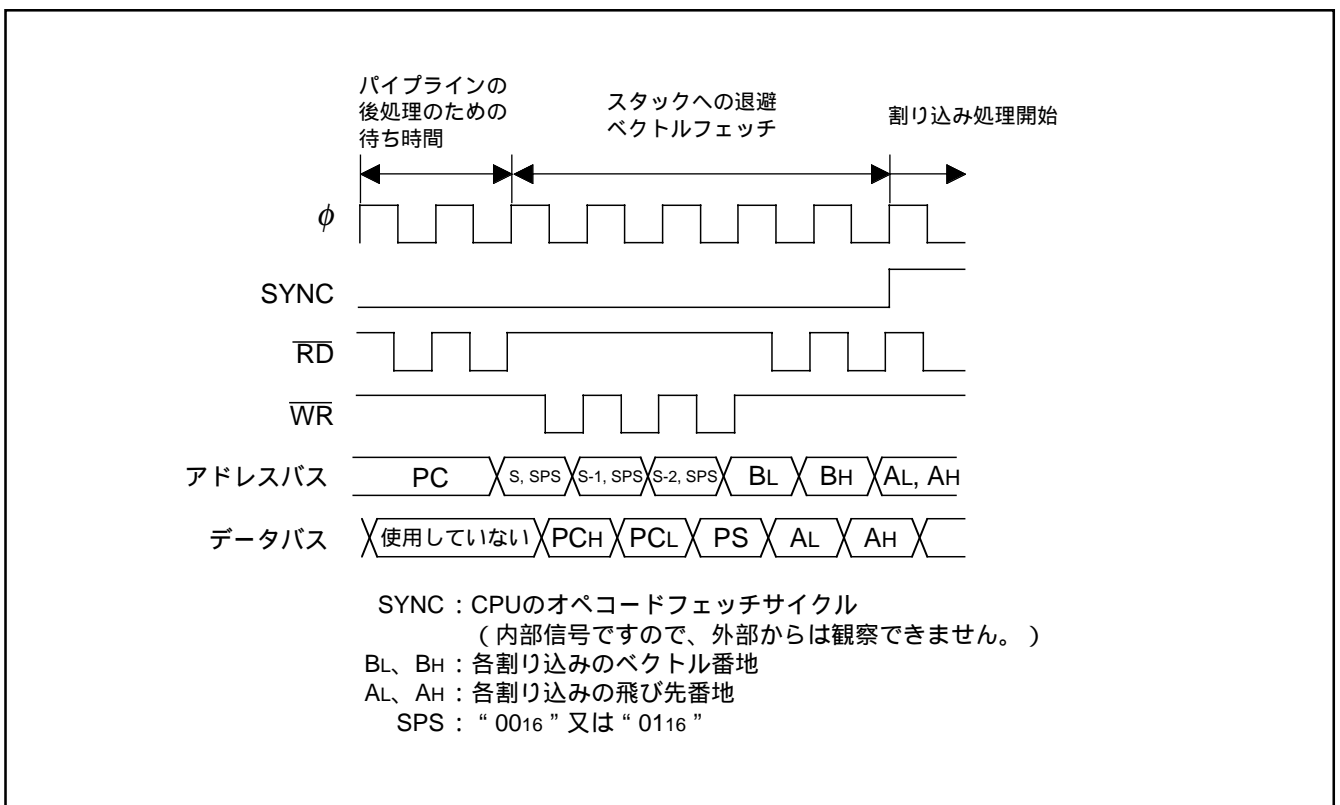


図2.2.10 割り込み要求受付後のタイミング

2.2.5 割り込み制御

BRK命令を除く割り込みは、割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグによって割り込み要求の受付を制御できます。この節ではBRK命令を除く割り込みの制御について説明します。図2.2.11に割り込み制御図を示します。

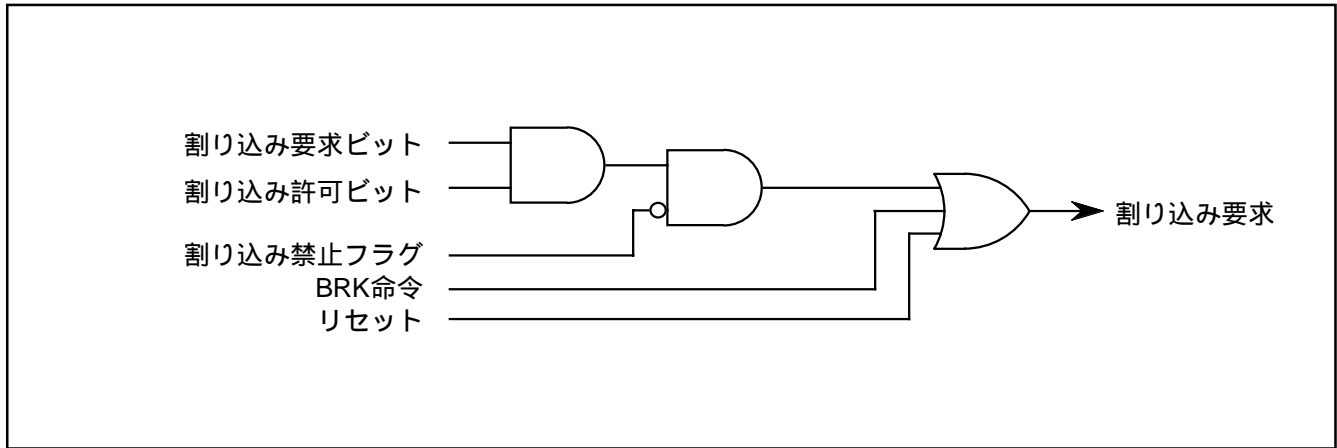


図2.2.11 割り込み制御図

割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグは独立して機能し、お互いに影響を与えることはありません。割り込み要求は以下の条件をすべて満たされると受け付けられます。

- 割り込み要求ビット……“ 1 ”
- 割り込み許可ビット……“ 1 ”
- 割り込み禁止フラグ……“ 0 ”

割り込みの優先順位は、ハードウェアで決められていますが、上記のビット及びフラグを用いることによって、多様な優先処理がソフトウェアで行うことができます。表2.2.2に各割り込み要因に対する割り込み制御ビット一覧を示します。

(1) 割り込み要求ビット

割り込み要求ビットは、割り込み要求レジスタ1(3C16番地)、割り込み要求レジスタ2(3D16番地)に割り当てられています。

割り込み要求が発生すると、対応する割り込み要求ビットが“ 1 ”になります。“ 1 ”にセットされた割り込み要求ビットは、割り込み要求が受け付けられるまで“ 1 ”の状態を保持されます。割り込み要求が受け付けられると、自動的に“ 0 ”になります。

割り込み要求ビットは、ソフトウェアで“ 0 ”にできますが、ソフトウェアで“ 1 ”にすることはできません。

(2) 割り込み許可ビット

割り込み許可ビットは、割り込み制御レジスタ1(3E16番地)及び割り込み制御レジスタ2(3F16番地)に割り当てられています。

割り込み許可ビットは、対応する割り込み要求の受付を制御するビットです。

このビットが“0”のとき、対応する割り込み要求が禁止されます。このビットが“0”の状態でも割り込み要求が発生すると、対応する割り込み要求ビットが“1”になるだけで、その割り込み要求は受け付けられません。この場合、ソフトウェアで割り込み要求ビットを“0”にするまで、割り込み要求ビットは“1”のままです。

このビットが“1”のとき、対応する割り込み要求が許可されます。このビットが“1”の状態でも割り込み要求が発生すると、その割り込み要求が受け付けられます(割り込み禁止フラグ=“0”の場合)。

割り込み許可ビットはソフトウェアで“0”、又は“1”にすることができます。

(3) 割り込み禁止フラグ

割り込み禁止フラグは、プロセッサステータスレジスタのb2に割り当てられています。割り込み禁止フラグは、BRK命令を除く割り込み要求の受付を制御するフラグです。

このフラグが“1”のとき、割り込み要求の受付が禁止されます。“0”のとき、割り込み要求の受付が許可されます。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み処理ルーチンへの分岐時、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込み処理ルーチン内でCLI命令を用いて、このフラグを“0”にしてください。図2.2.12に多重割り込みの例を示します。

表2.2.2 各割り込み要因に対する割り込み制御ビット一覧

割り込み要因	割り込み許可ビット		割り込み要求ビット	
	番地	ビット	番地	ビット
USBバスリセット	003E16	b0	003C16	b0
USB SOF	003E16	b1	003C16	b1
USBデバイス	003E16	b2	003C16	b2
EXB	003E16	b3	003C16	b3
INT0	003E16	b4	003C16	b4
タイマX	003E16	b5	003C16	b5
タイマ1	003E16	b6	003C16	b6
タイマ2	003E16	b7	003C16	b7
INT1	003F16	b0	003D16	b0
シリアルI/O受信	003F16	b2	003D16	b2
シリアルI/O送信	003F16	b3	003D16	b3
CNTR0	003F16	b4	003D16	b4
キーオンウエイクアップ	003F16	b5	003D16	b5
A/D変換	003F16	b6	003D16	b6

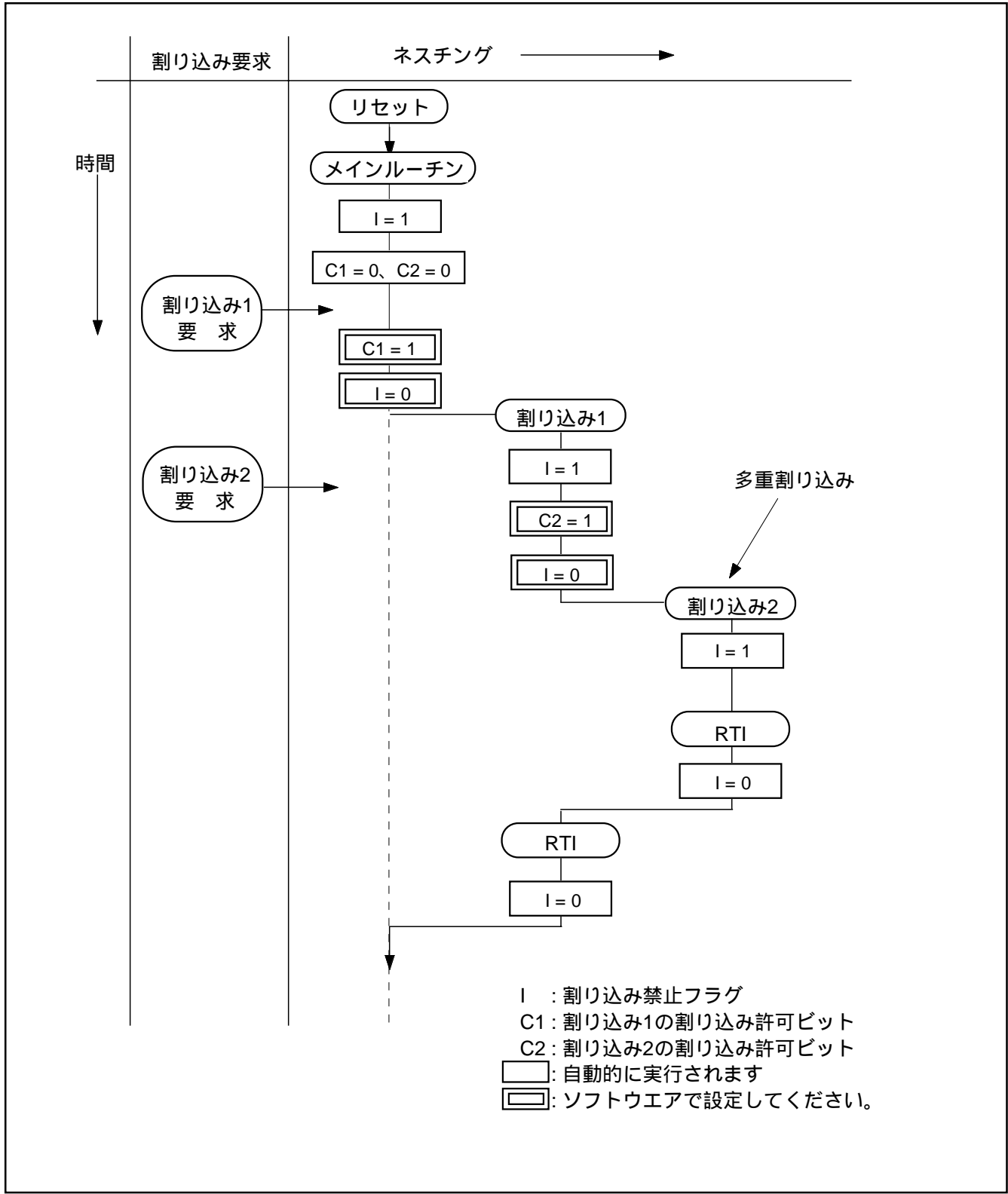


図2.2.12 多重割り込みの例

2.2.6 INT割り込み

INT割り込みは、各INT端子(INT₀、INT₁)のレベル変化を検出して、割り込み要求が発生します。

(1) 有効エッジの選択

INT₀、INT₁は有効エッジとして、立ち下がりエッジ、又は立ち上がりエッジのどちらを検出するかを、割り込みエッジ選択レジスタによってそれぞれ選択できます。“0”にすると対応する端子の立ち下がりエッジ、“1”にすると対応する端子の立ち上がりエッジが検出されます。

2.2.7 キー入力割り込み

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると、割り込み要求が発生します。

(1) キー入力割り込み使用時の結線例

キー入力割り込みを使用する場合、ポートP0を入力とする“L”レベル有効のキーマトリクスを構成してください。図2.2.13にキー入力割り込み使用時の結線例と、ポートP0のブロック図を示します。図2.2.13の結線例ではポートP0₀ ~ P0₃のいずれかに対応するキーを押すと、キー入力割り込み要求が発生します。

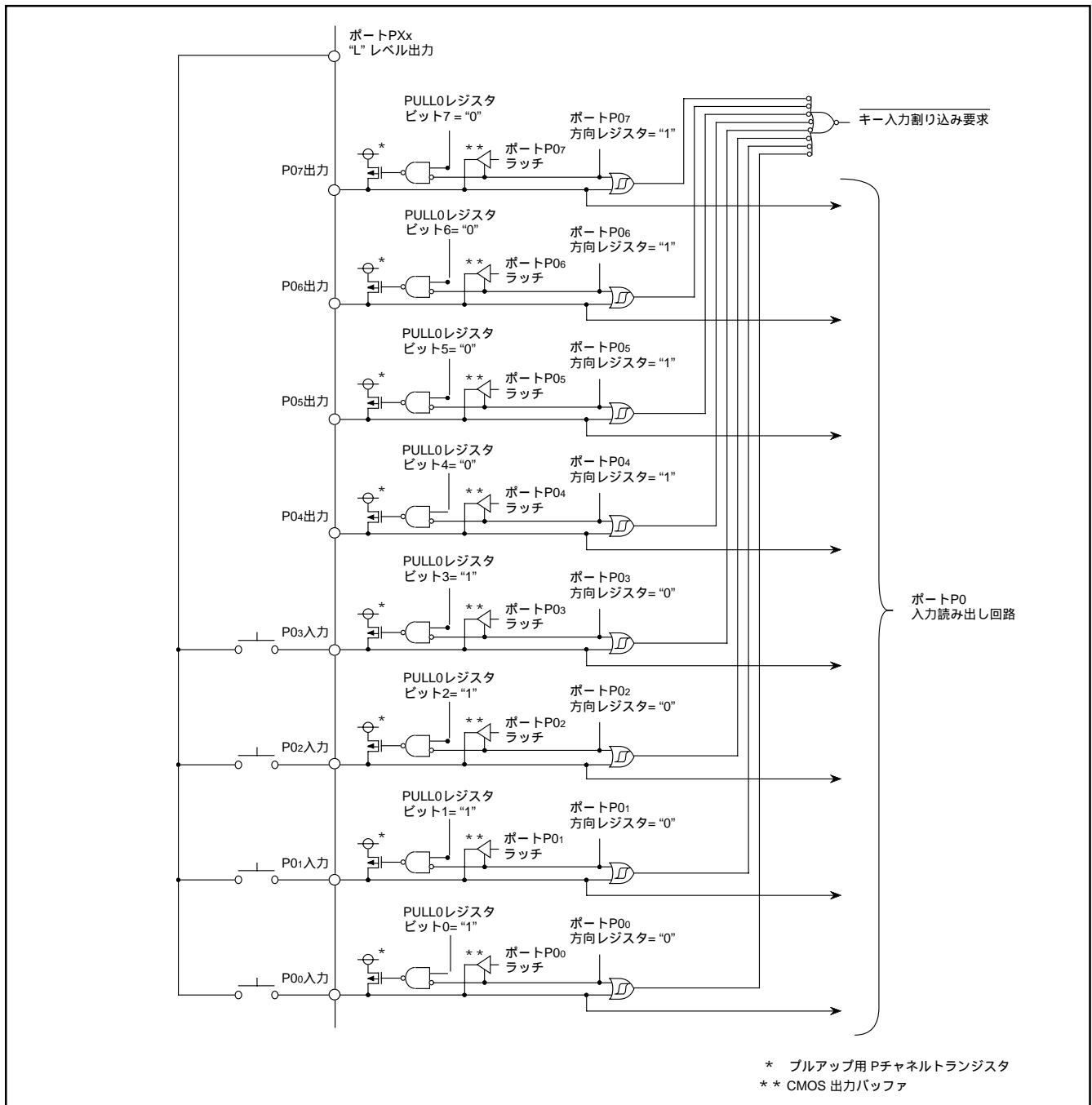


図2.2.13 キー入力割り込み使用時の結線例とポートP0のブロック図

(2) 関連レジスタ設定方法

関連レジスタの設定(図2.2.13に対応)を図2.2.14に示します。

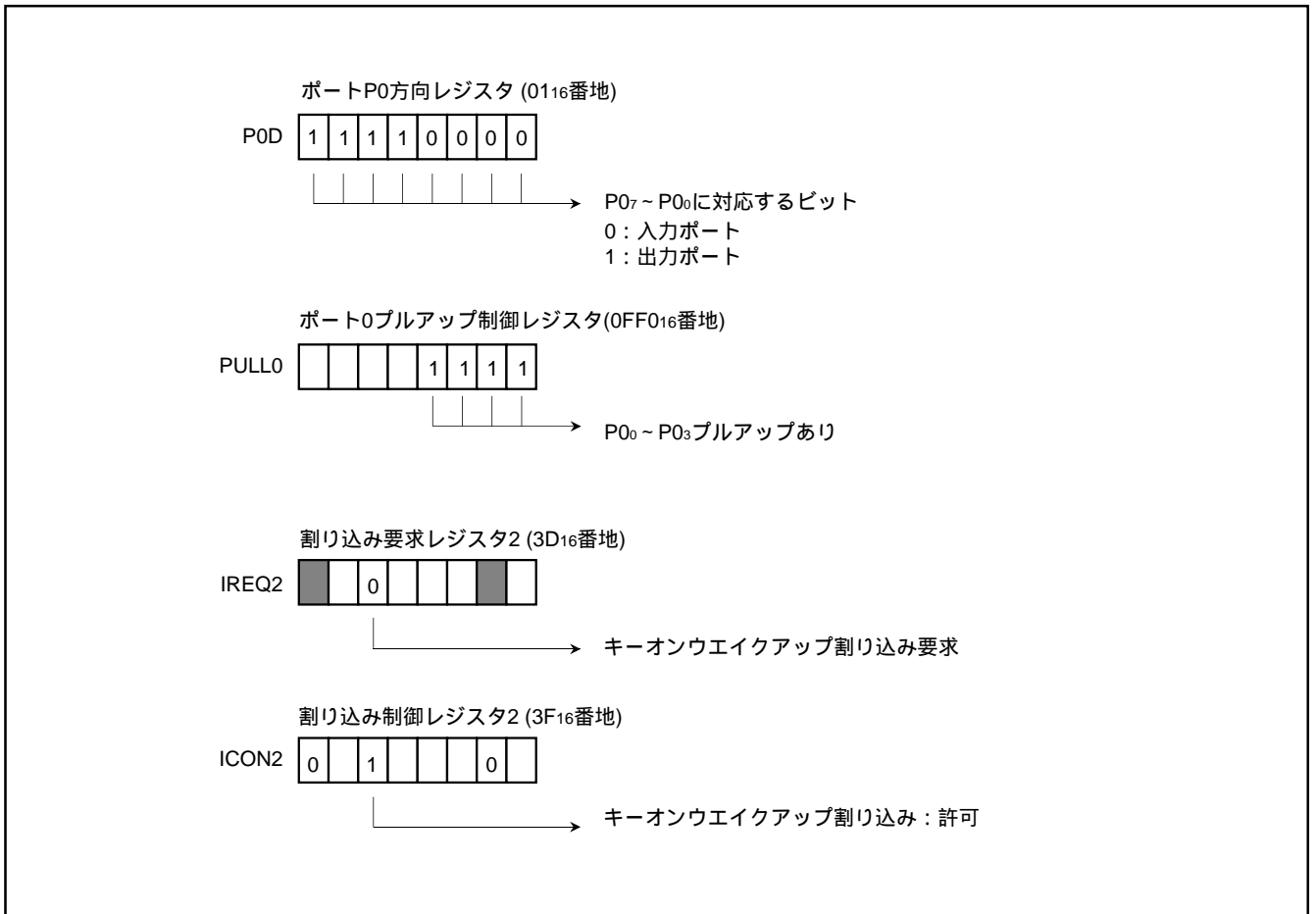


図2.2.14 キー入力割り込み関連レジスタの設定(図2.2.13に対応)

2.2.8 割り込みに関する注意事項

(1) 関連レジスタの設定変更

割り込みエッジ選択レジスタ(0FF3₁₆番地)及びタイマXモードレジスタ(23₁₆番地)の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

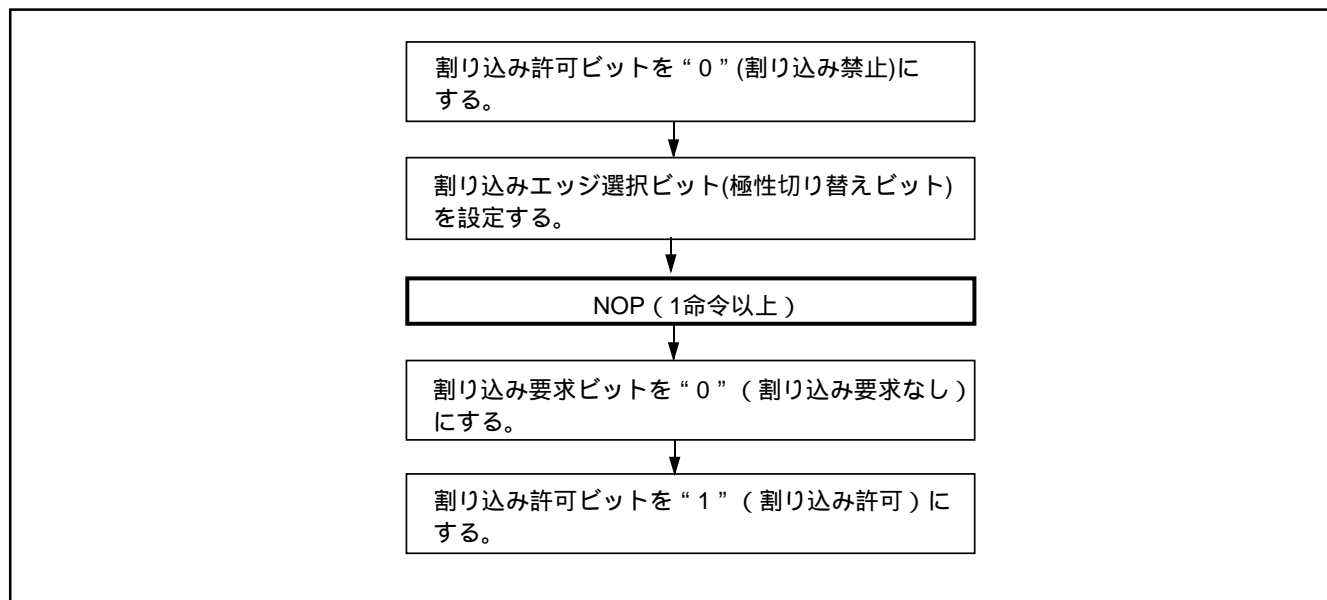


図2.2.15 関連レジスタの設定変更手順

理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
 対象レジスタ：割り込みエッジ選択レジスタ(0FF3₁₆番地)
 タイマXモードレジスタ(23₁₆番地)

(2) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

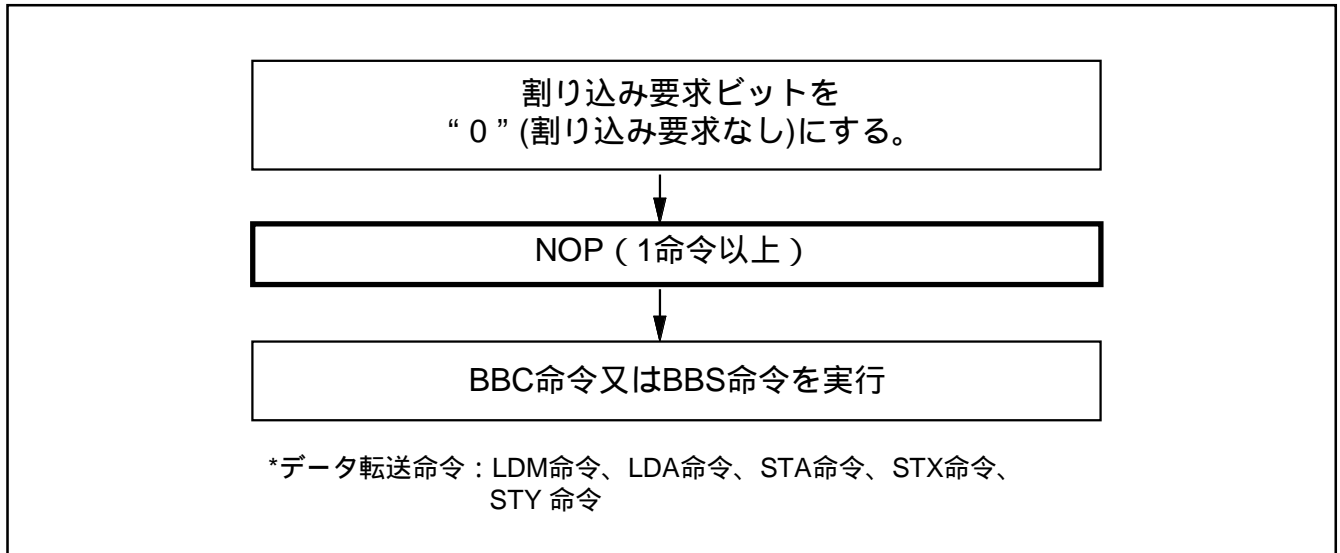


図2.2.16 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

2.3 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図



図2.3.1 タイマ関連レジスタのメモリ配置

2.3.2 関連レジスタ

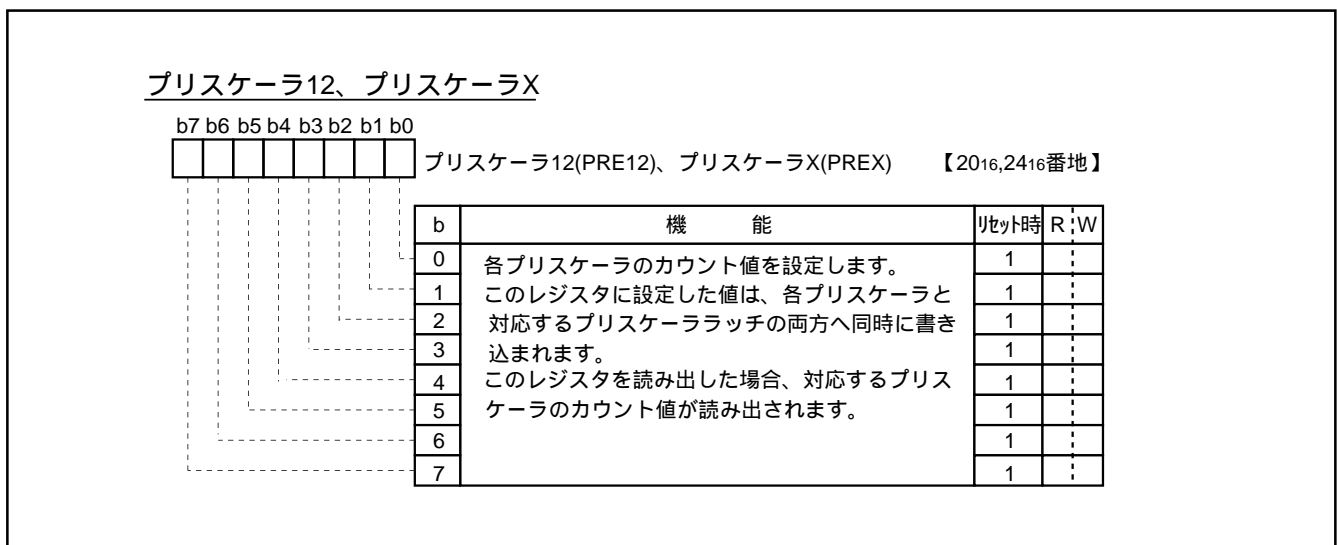


図2.3.2 プリスケーラ12、プリスケラXの構成

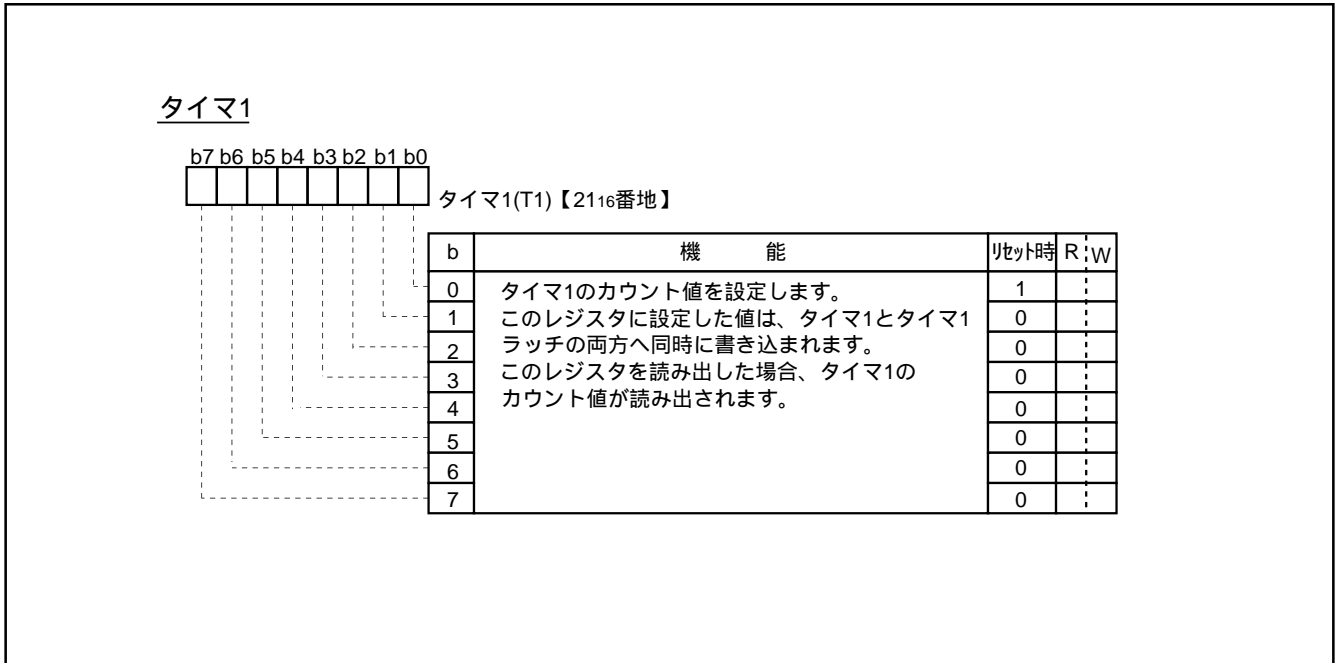


図2.3.3 タイマ1の構成

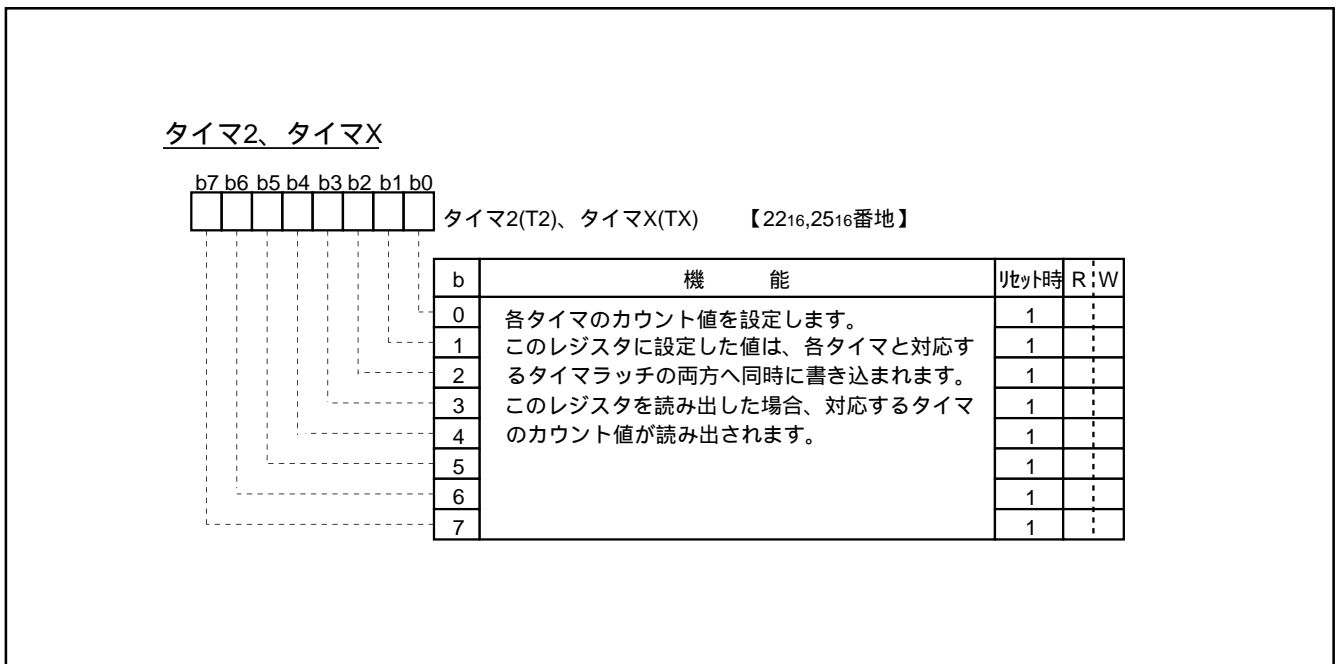


図2.3.4 タイマ2、タイマXの構成

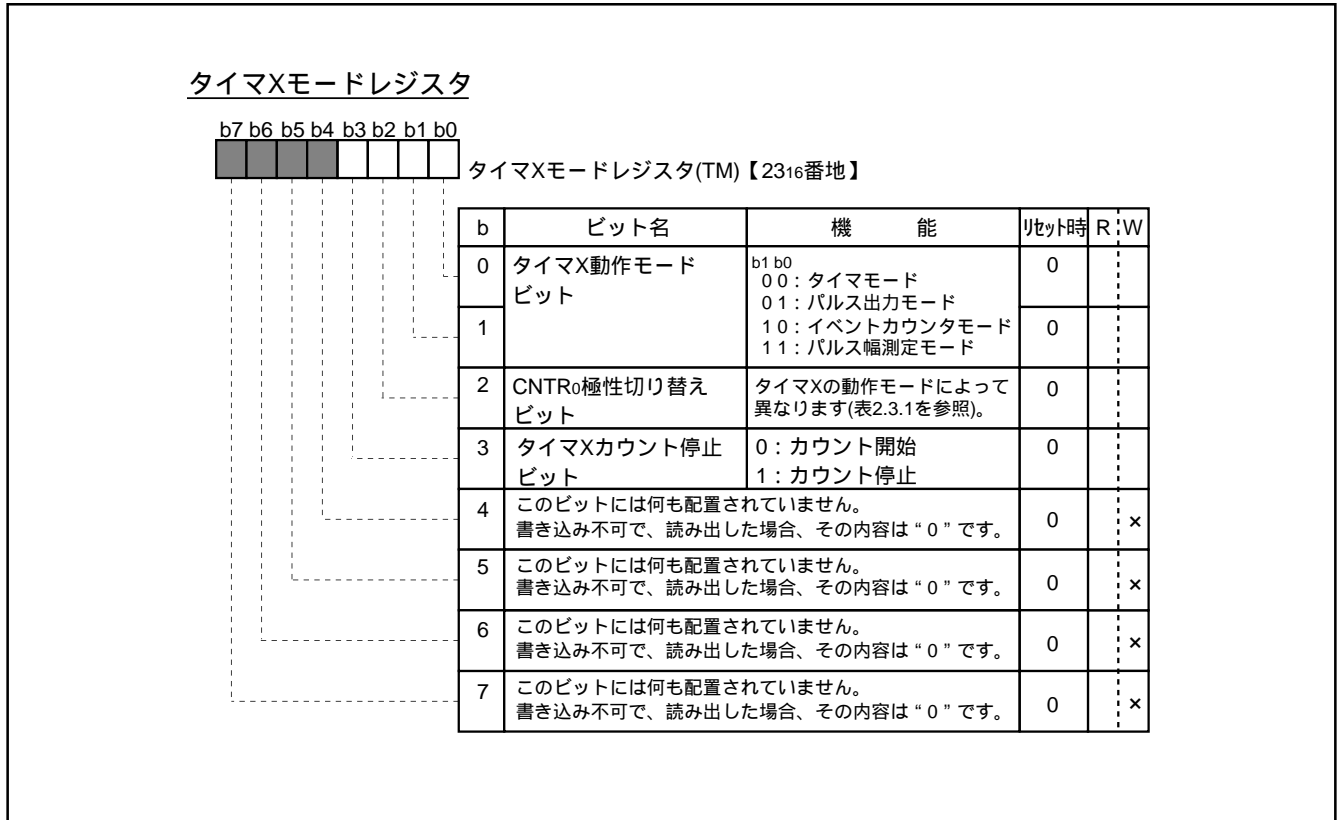


図2.3.5 タイマXモードレジスタの構成

表2.3.1 CNTR0極性切り替えビットの機能

タイマXの 動作モード	CNTR0極性切り替えビット (2316番地のビット2)の内容	
タイマモード	“ 0 ”	・ CNTR0割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“ 1 ”	・ CNTR0割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“ 0 ”	・ パルス出力開始: “ H ”レベルから ・ CNTR0割り込み要求の発生: 立ち下がりエッジ
	“ 1 ”	・ パルス出力開始: “ L ”レベルから ・ CNTR0割り込み要求の発生: 立ち上がりエッジ
イベントカウ ンタモード	“ 0 ”	・ タイマX: 立ち上がりエッジをカウント ・ CNTR0割り込み要求の発生: 立ち下がりエッジ
	“ 1 ”	・ タイマX: 立ち下がりエッジをカウント ・ CNTR0割り込み要求の発生: 立ち上がりエッジ
パルス幅測定 モード	“ 0 ”	・ タイマX: “ H ”レベル幅を測定 ・ CNTR0割り込み要求の発生: 立ち下がりエッジ
	“ 1 ”	・ タイマX: “ L ”レベル幅を測定 ・ CNTR0割り込み要求の発生: 立ち上がりエッジ

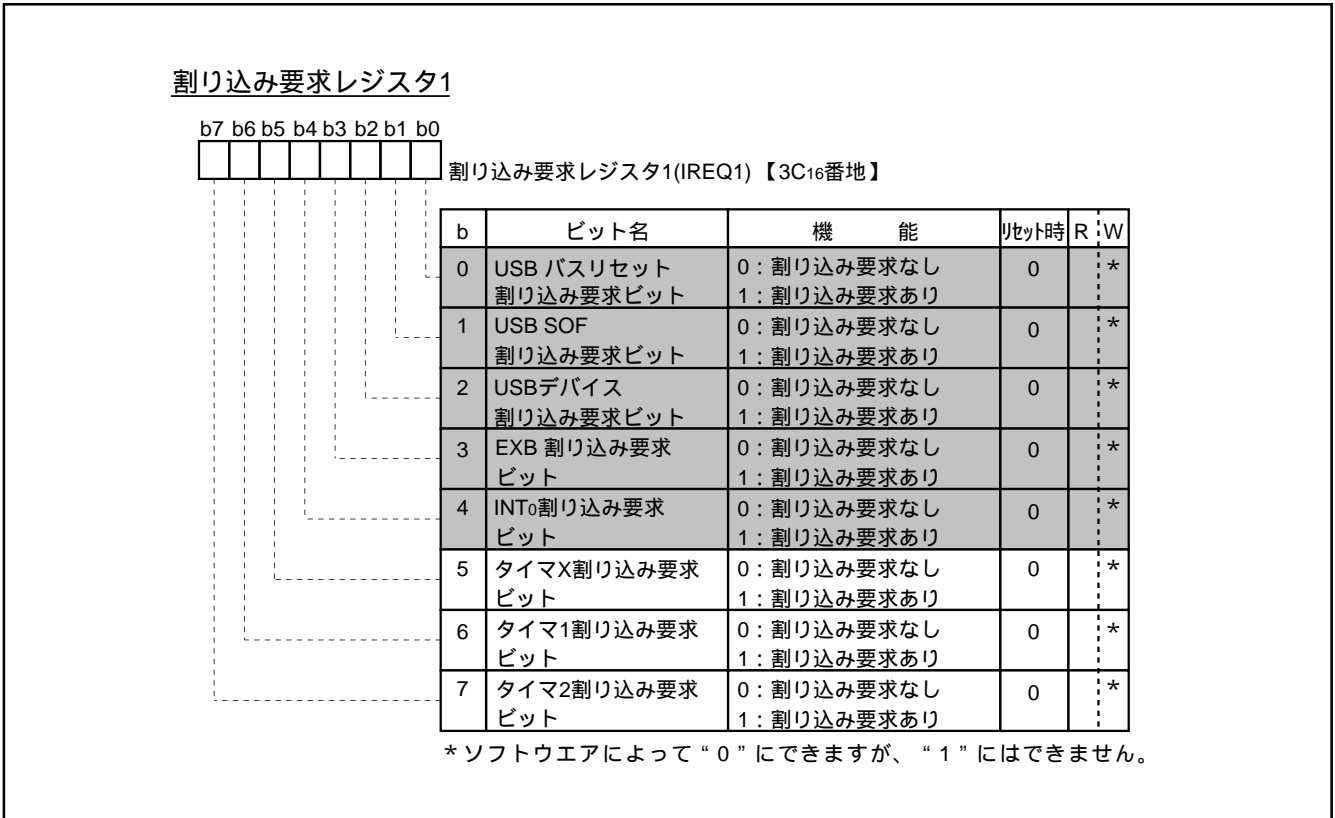


図2.3.6 割り込み要求レジスタ1の構成

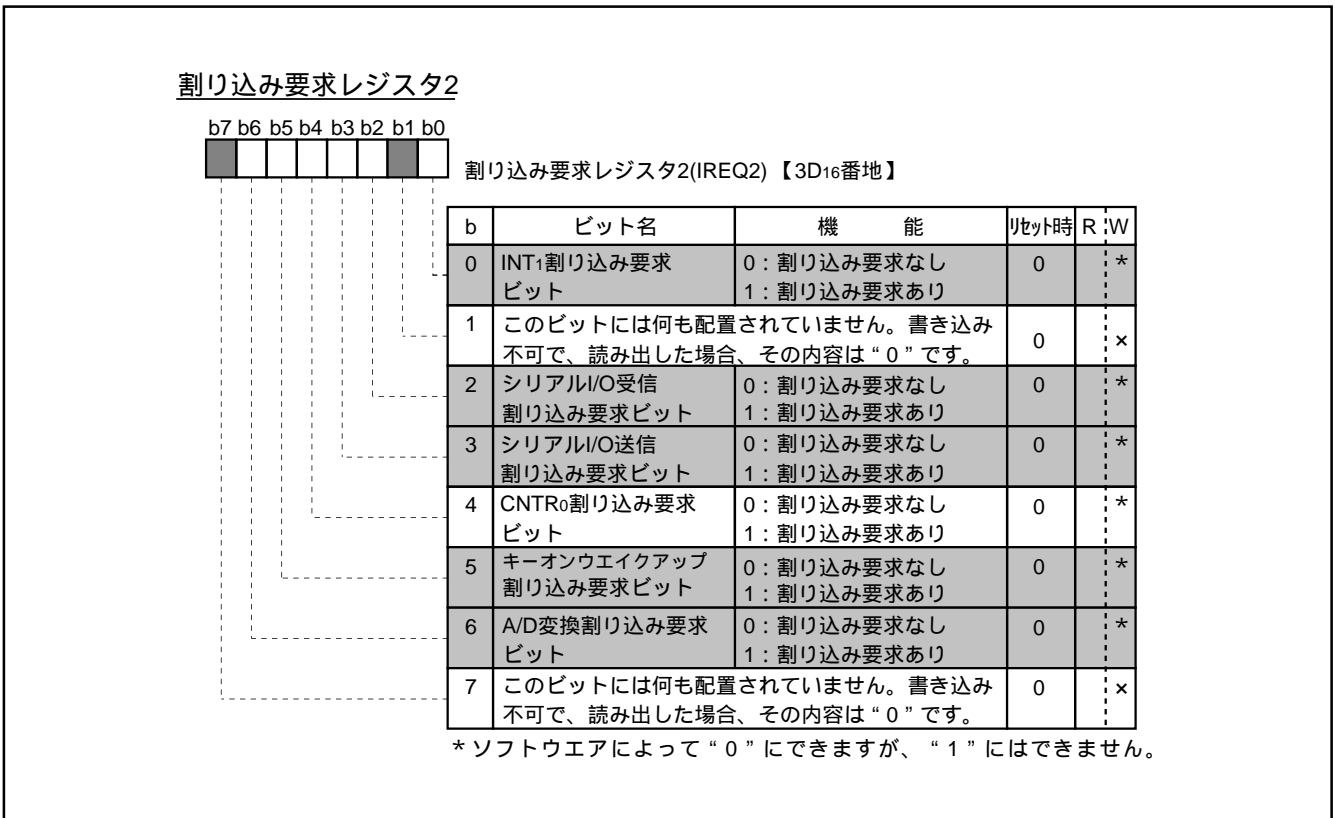


図2.3.7 割り込み要求レジスタ2の構成

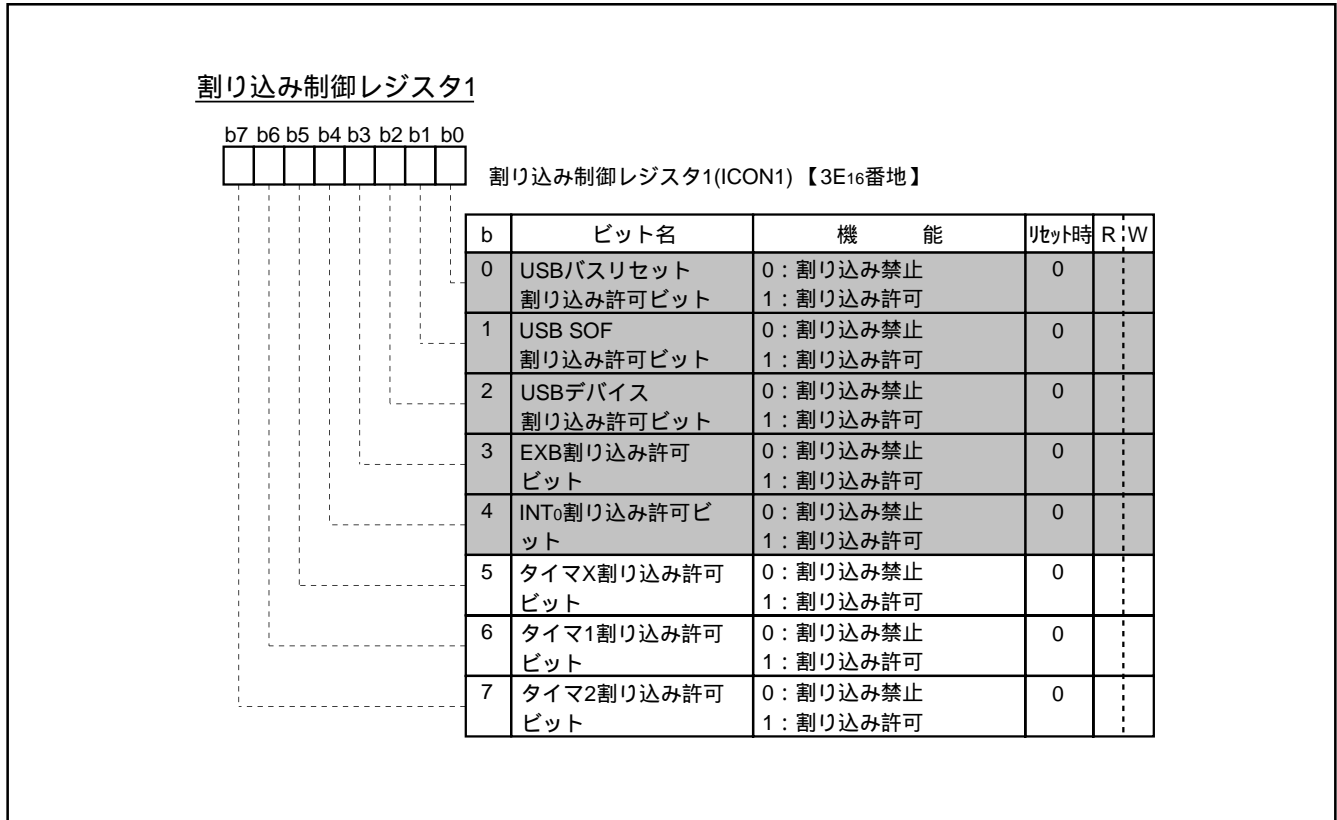


図2.3.8 割り込み制御レジスタ1の構成

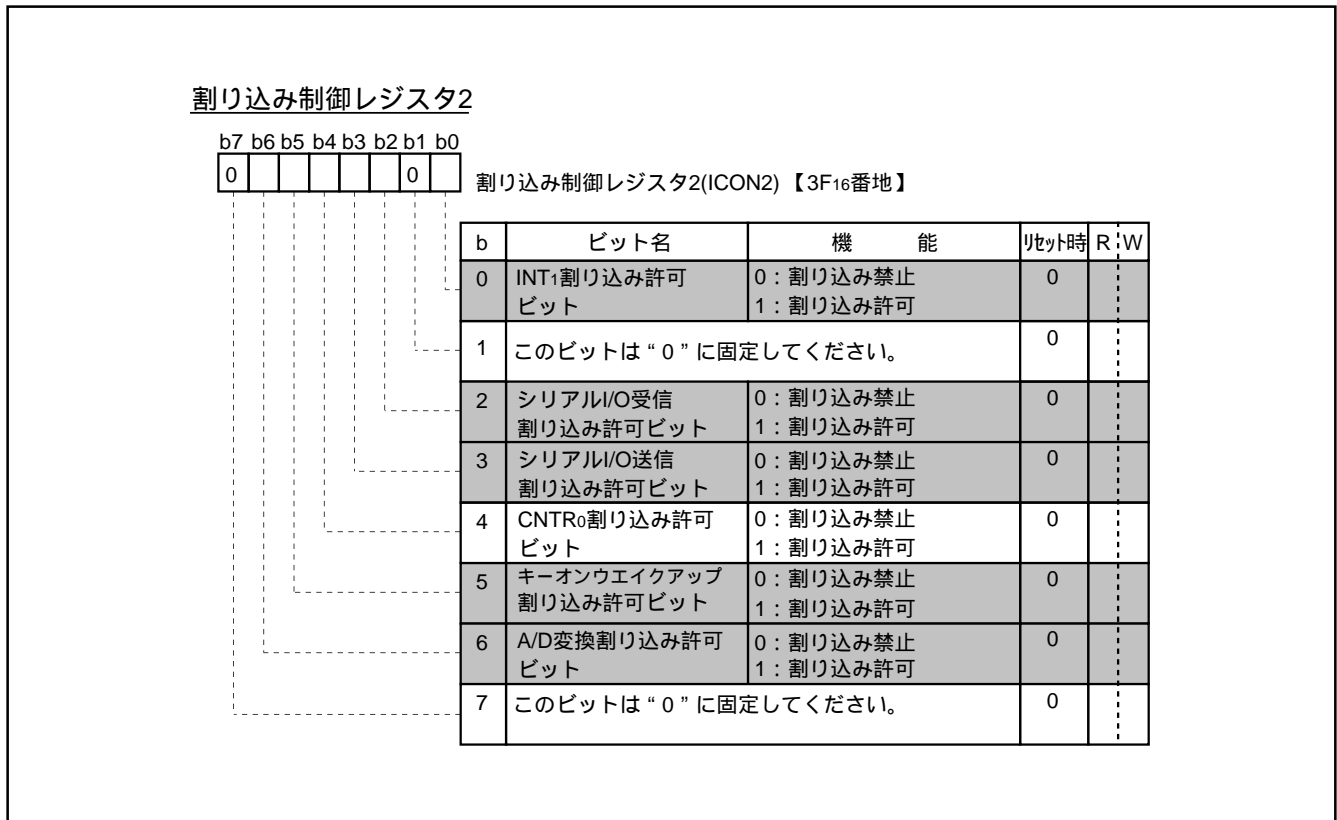


図2.3.9 割り込み制御レジスタ2の構成

2.3.3 タイマの応用例

(1) 基本的な機能と用途

[機能1] イベント間隔の管理(タイマX、タイマ1、タイマ2)

タイマにカウント値を設定すると、一定時間後に各タイマの割り込み要求が発生します。

用途

- ・出力信号のタイミング生成
- ・ウェイト時間の生成

[機能2] 周期的な動作の管理(タイマX、タイマ1、タイマ2)

タイマがアンダフローするごとに、自動的に各タイマラッチの値を対応するタイマに書き込み、周期的に各タイマの割り込み要求が発生します。

用途

- ・周期的な割り込みの発生
- ・時計機能(10msの測定) 応用例1
- ・メインルーチンの周期管理

[機能3] 方形波の出力(タイマX)

タイマがアンダフローするごとに、CNTR端子の出力レベルを反転します(パルス出力モード)。

用途

- ・圧電ブザー出力 応用例2
- ・リモコン搬送波の発生

[機能4] 外部パルスのカウント(タイマX)

タイマのカウントソースとして、CNTR端子に入力される外部パルスをカウントします(イベントカウンタモード)。

用途

- ・周波数の測定 応用例3
- ・外部パルスの分周
- ・外部パルスをカウントソースとする周期の割り込み発生(リールパルスのカウント)

[機能5] 外部パルス幅の測定(タイマX)

CNTR端子に入力される外部パルスの“H”レベル幅又は“L”レベル幅を測定します(パルス幅測定モード)。

用途

- ・外部パルスの周波数の測定(モータのFGパルス(注)のパルス幅測定) 応用例4
- ・外部パルスのデューティの測定(周波数が固定されている場合)

注. FGパルス：モータの速度制御を行うためモータの速度を検出するパルス

(2) タイマの応用例1：時計機能(10 msの測定)

ポイント：クロックをタイマで分周し、10 msごとに時計をカウントアップします。

仕様：・クロック $f(X_{IN}) = 6\text{MHz}$ をタイマで分周。

・タイマX割り込み(約10 msごとに発生)処理ルーチンで、時計をカウントアップ。

タイマの接続と分周比の設定を図2.3.10、関連レジスタの設定を図2.3.11、制御手順を図2.3.12に示します。

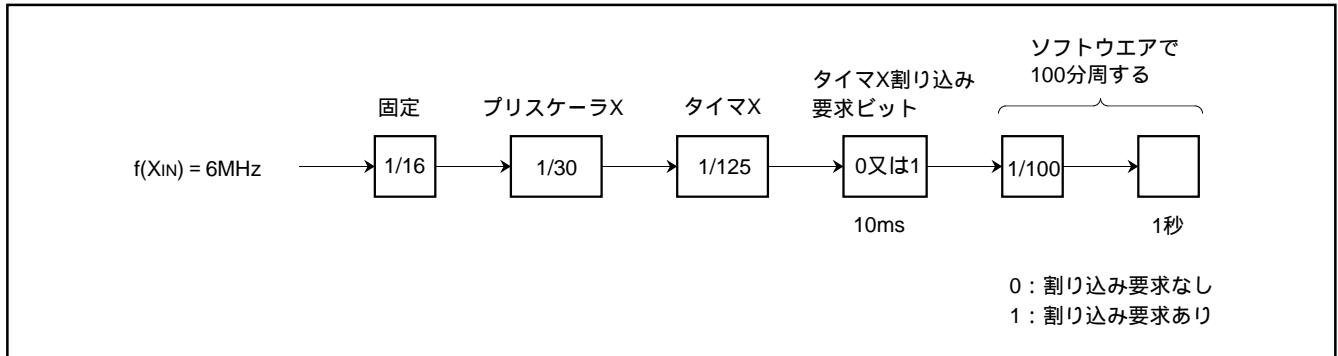


図2.3.10 タイマの接続と分周比の設定

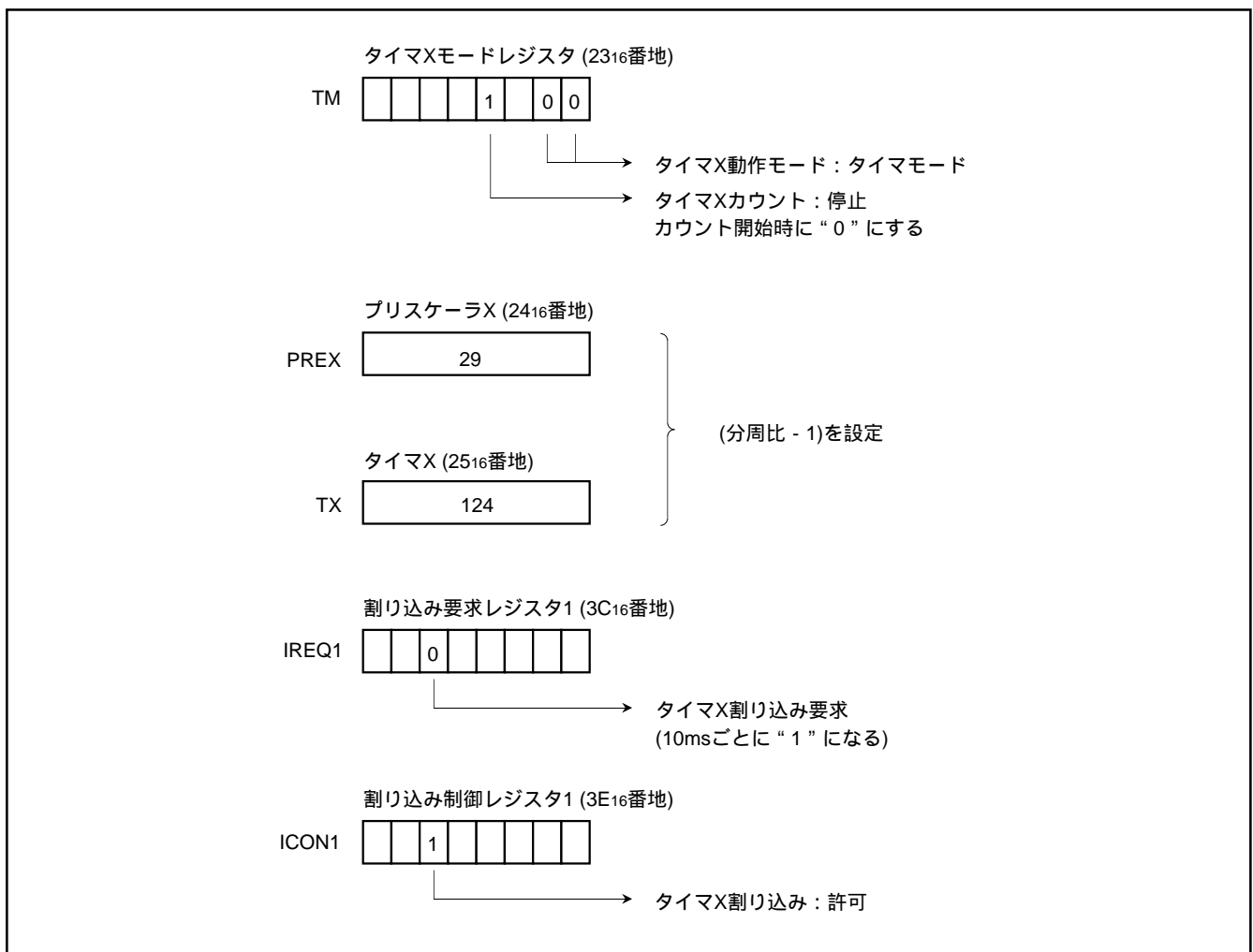


図2.3.11 関連レジスタの設定

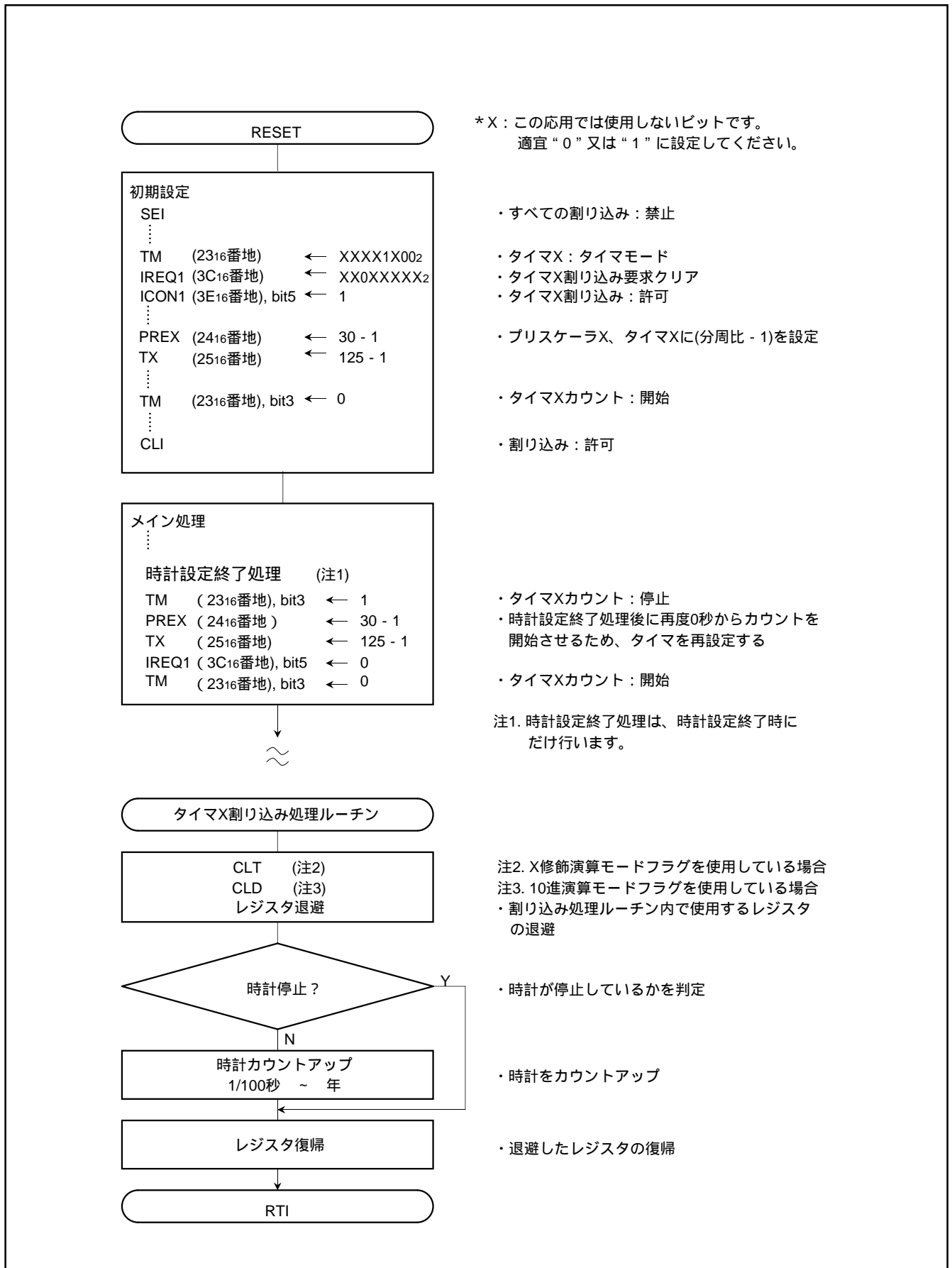


図2.3.12 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

仕様：・クロック $f(XIN) = 6\text{MHz}$ を約 2kHz (2038Hz)まで分周した方形波を、P51/CNTR0端子から出力。

・圧電ブザー出力停止中はP51/CNTR0端子のレベルを“H”に固定。

周辺回路例を図2.3.13、タイマの接続と分周比の設定を図2.3.14に示します。また、関連レジスタの設定を図2.3.15、制御手順を図2.3.16に示します。

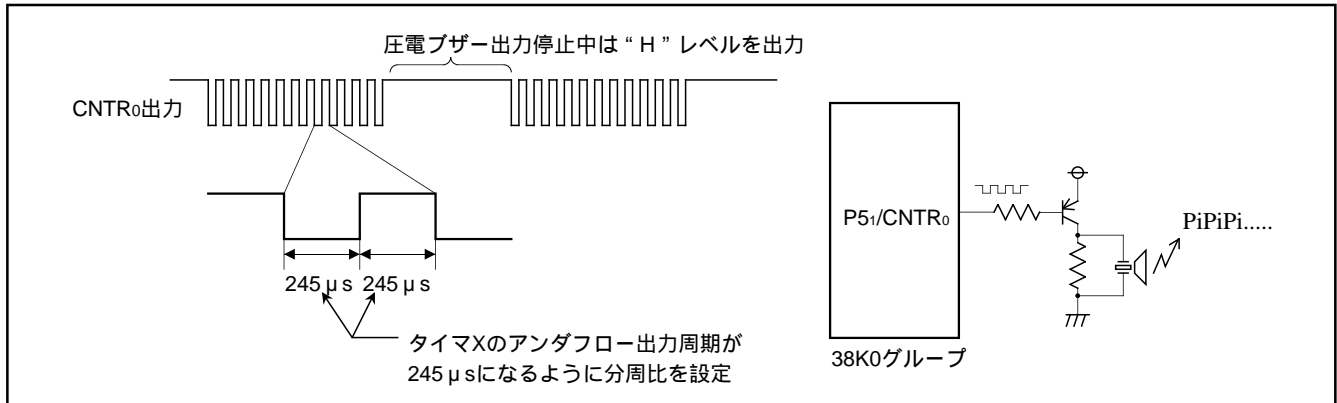


図2.3.13 周辺回路例

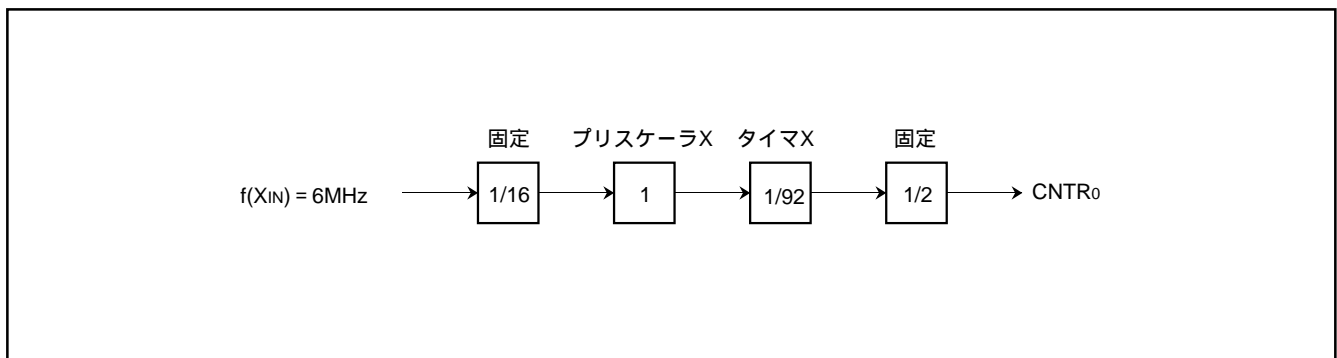


図2.3.14 タイマの接続と分周比の設定

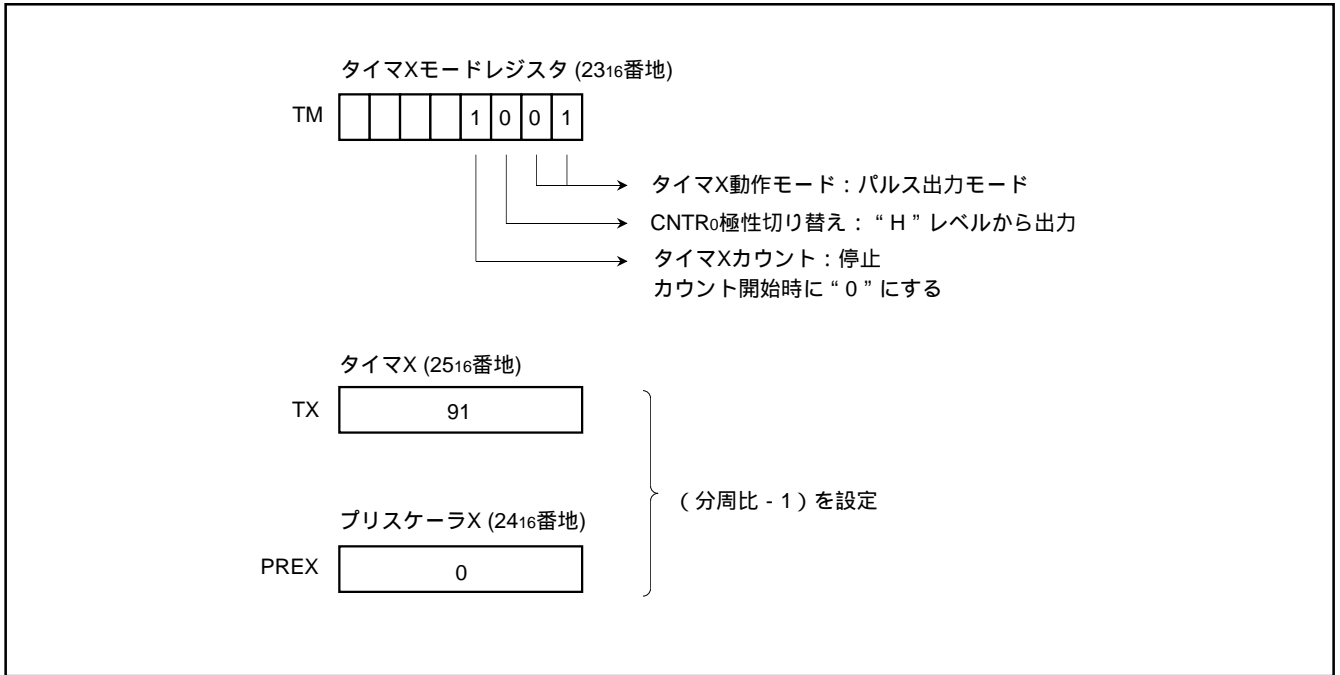


図2.3.15 関連レジスタの設定

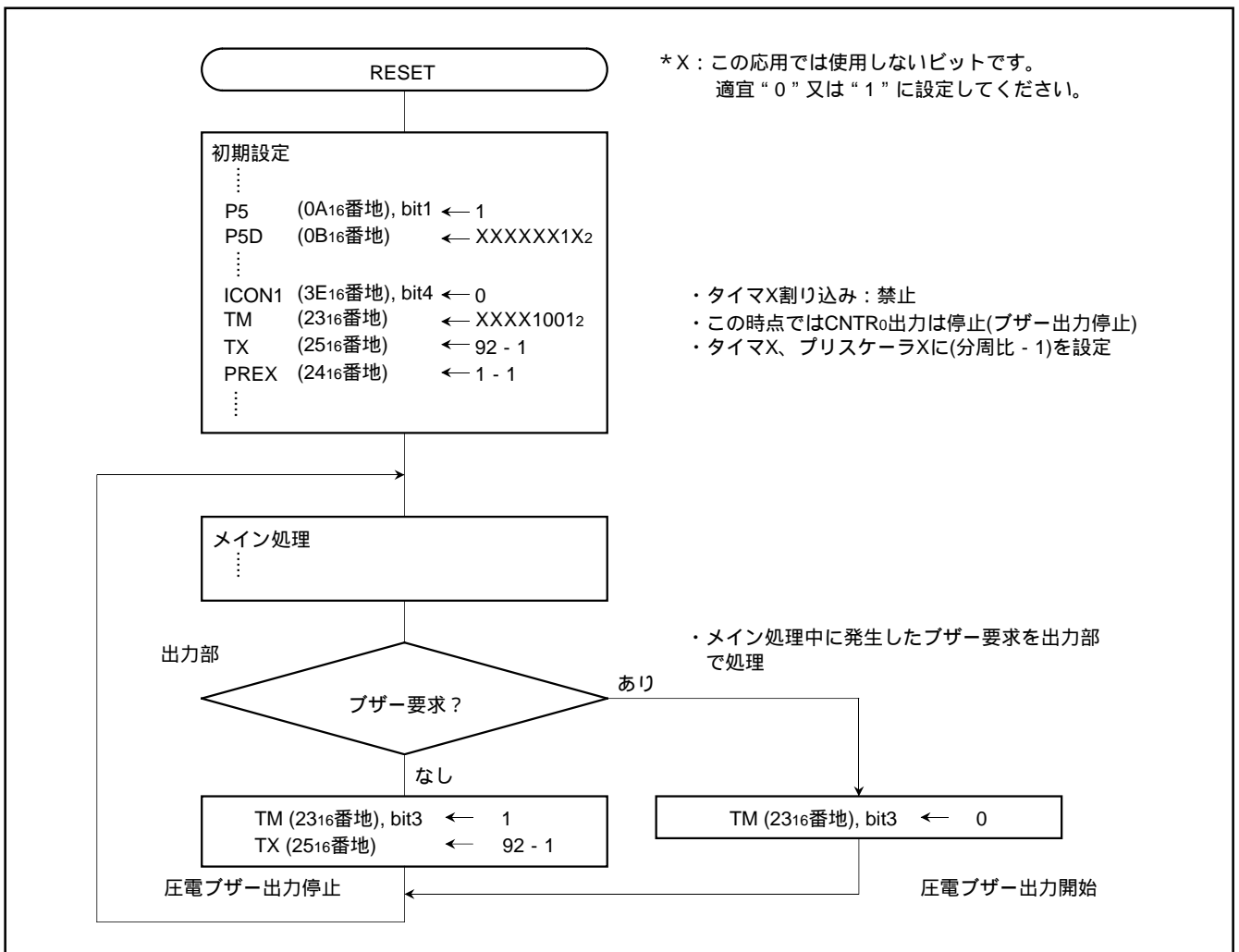


図2.3.16 制御手順

(4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P51/CNTR0端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕様：・ P51/CNTR0端子にパルスを入力し、タイマXでカウント。

- ・ 約2 ms(タイマ1割り込み間隔)ごとにカウント値を読み出し、28～40カウントの場合を有効と判断。
- ・ タイマがダウンカウンタであるため、227～215(注)とカウント値を比較。

注. 227～215 = 255(カウンタの初期値) - 28～40(有効カウント数)

入力パルスの有効又は無効の判定方法を図2.3.17、関連レジスタの設定を図2.3.18、制御手順を図2.3.19に示します。

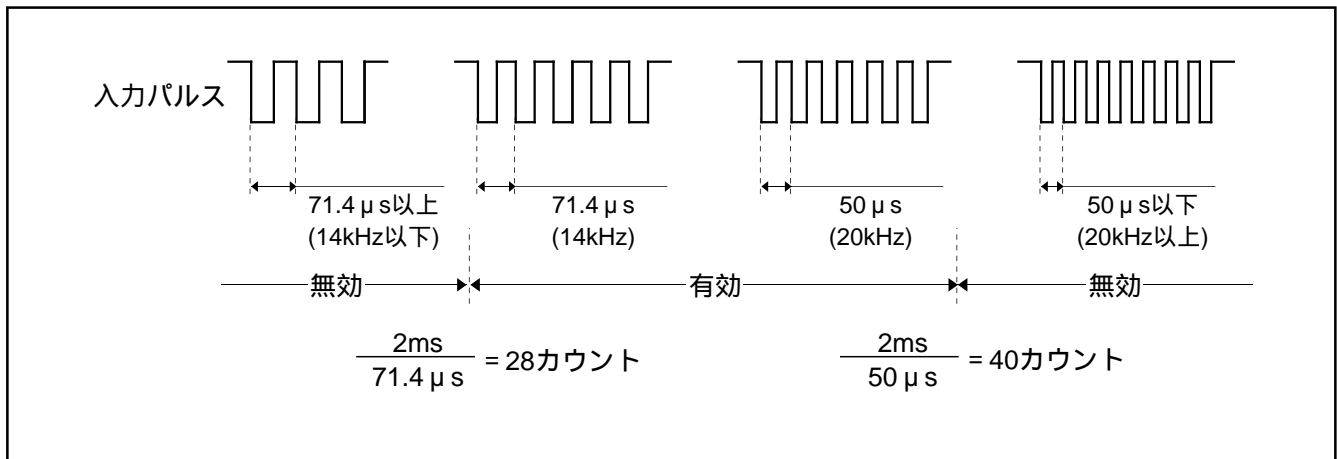


図2.3.17 入力パルス有効又は無効の判定方法

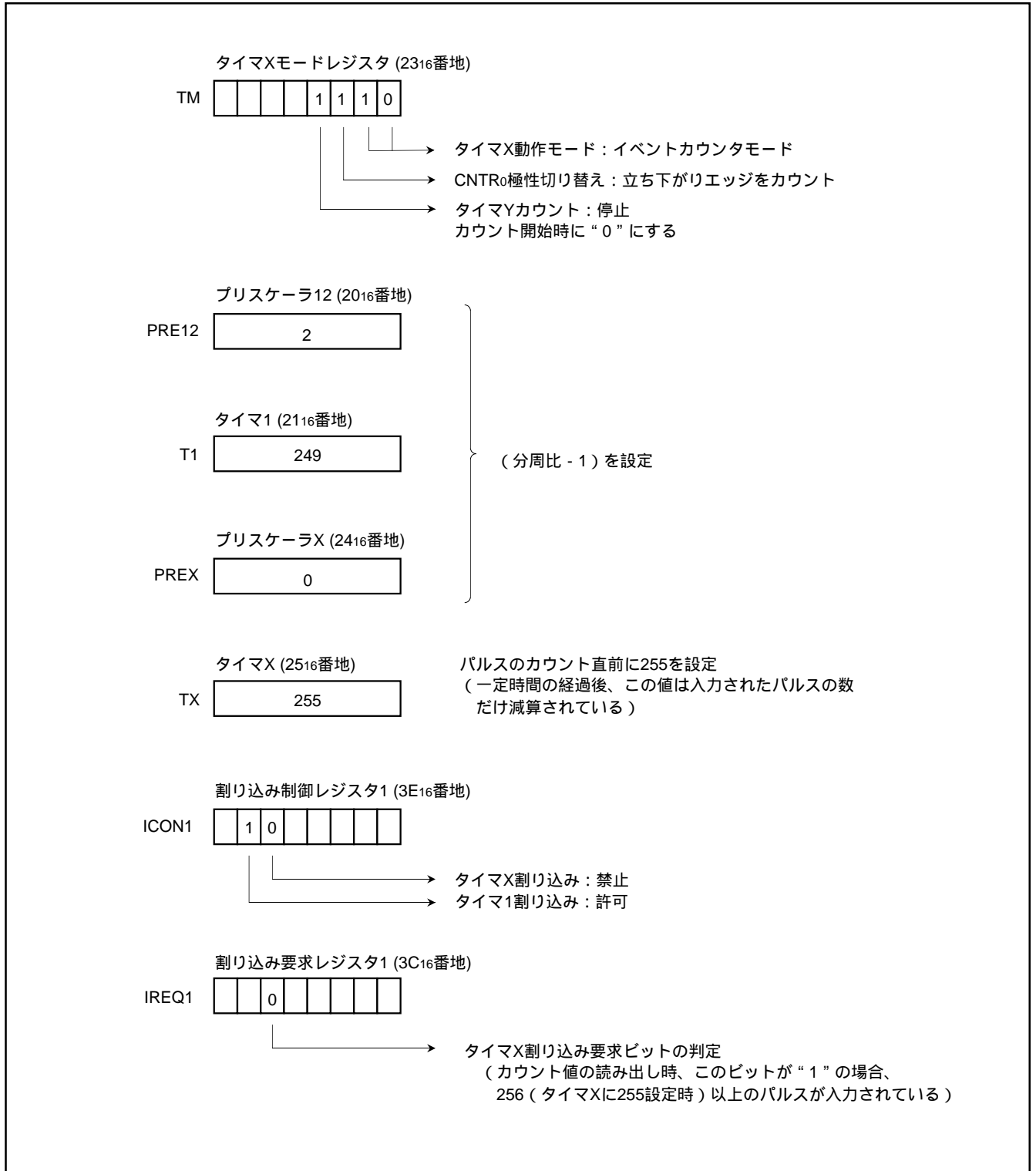


図2.3.18 関連レジスタの設定

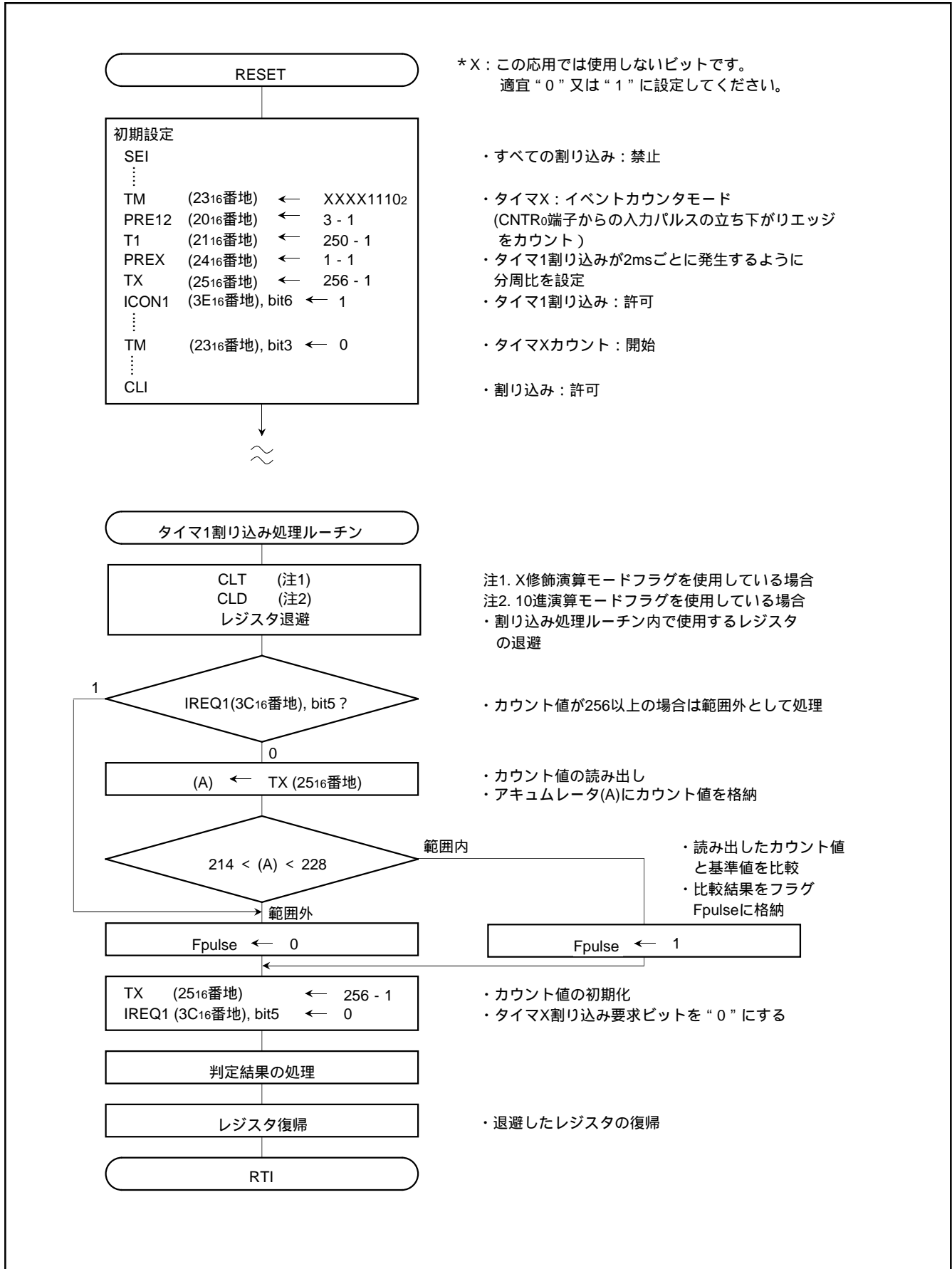


図2.3.19 制御手順

(5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：P51/CNTR0端子に入力されるパルスの“H”レベル幅をタイマXでカウントします。アンダフローはタイマX割り込みで検出され、入力パルスの“H”レベルの終了はCNTR0割り込みで検出されます。

仕様：P51/CNTR0端子から入力されるFGパルスの“H”レベル幅をタイマXでカウント。

例：6MHzの場合、16分周された2.67 μsがカウントソースとなる。FFFF₁₆ ~ 0000₁₆の範囲で約175msまで測定可能。

タイマの接続と分周比の設定を図2.3.20、関連レジスタの設定を図2.3.21、制御手順を図2.3.22に示します。

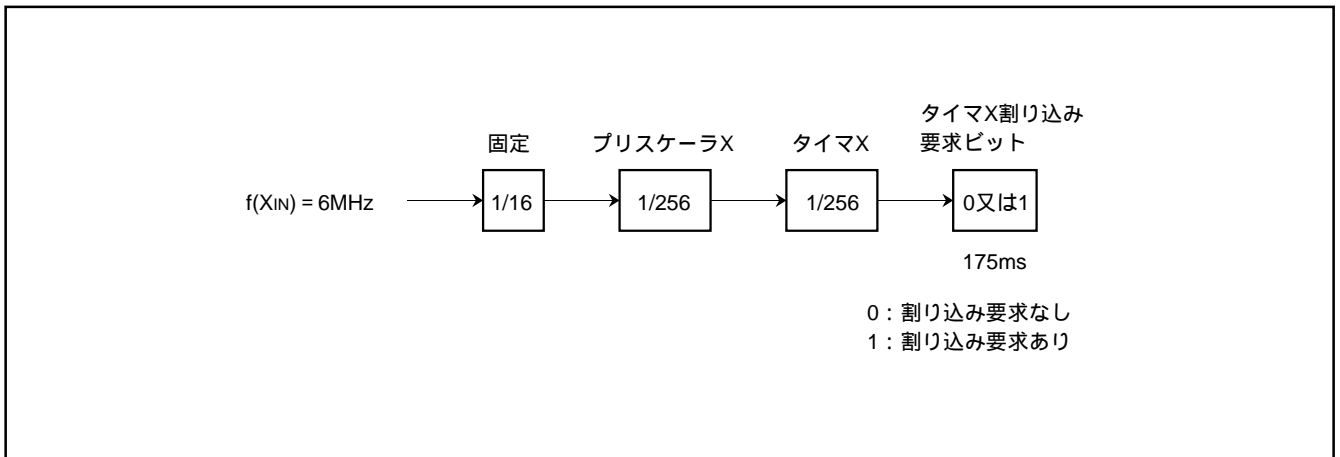


図2.3.20 タイマの接続と分周比の設定

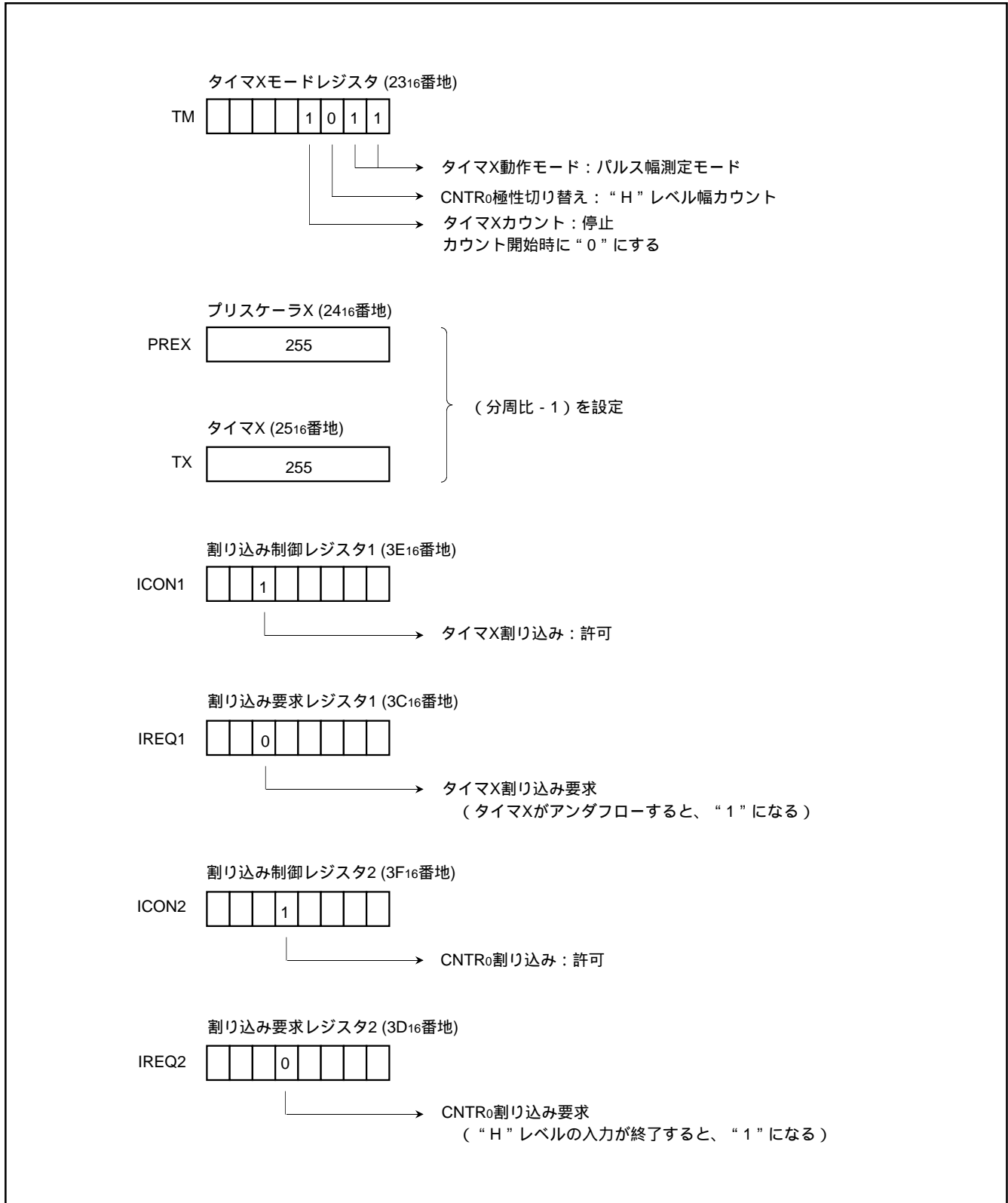


図2.3.21 関連レジスタの設定

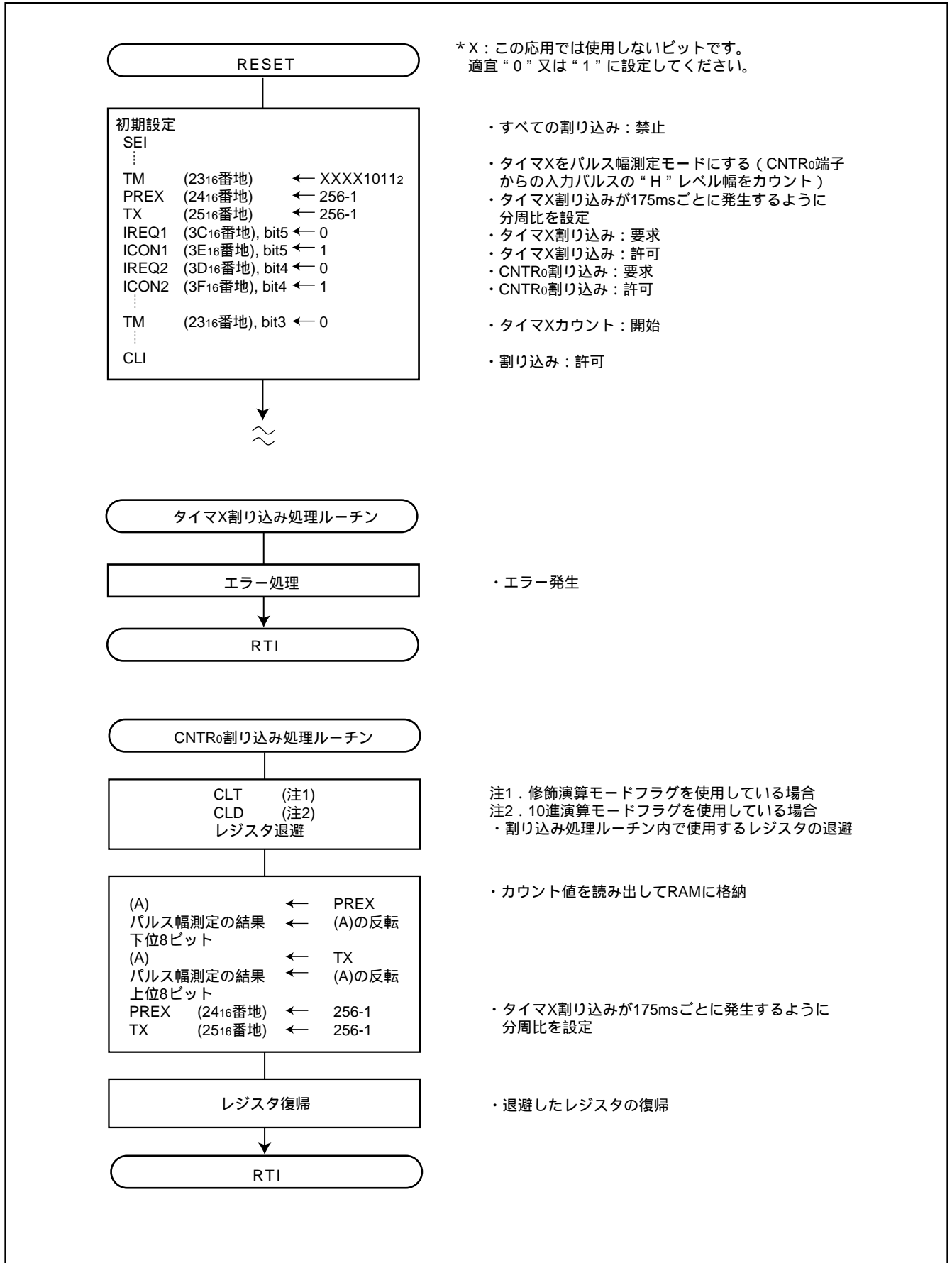


図2.3.22 制御手順

2.3.4 タイマに関する注意事項

タイマラッチに値n(“ 0 ”~“ 255 ”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

タイマ12カウントソースビット及びタイマXカウントソースビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

2.4 シリアルI/O

本節ではシリアルI/Oに関するレジスタの設定方法、注意事項などを説明します。

2.4.1 メモリ配置図



図2.4.1 シリアルI/O関連レジスタのメモリ配置

2.4.2 関連レジスタ

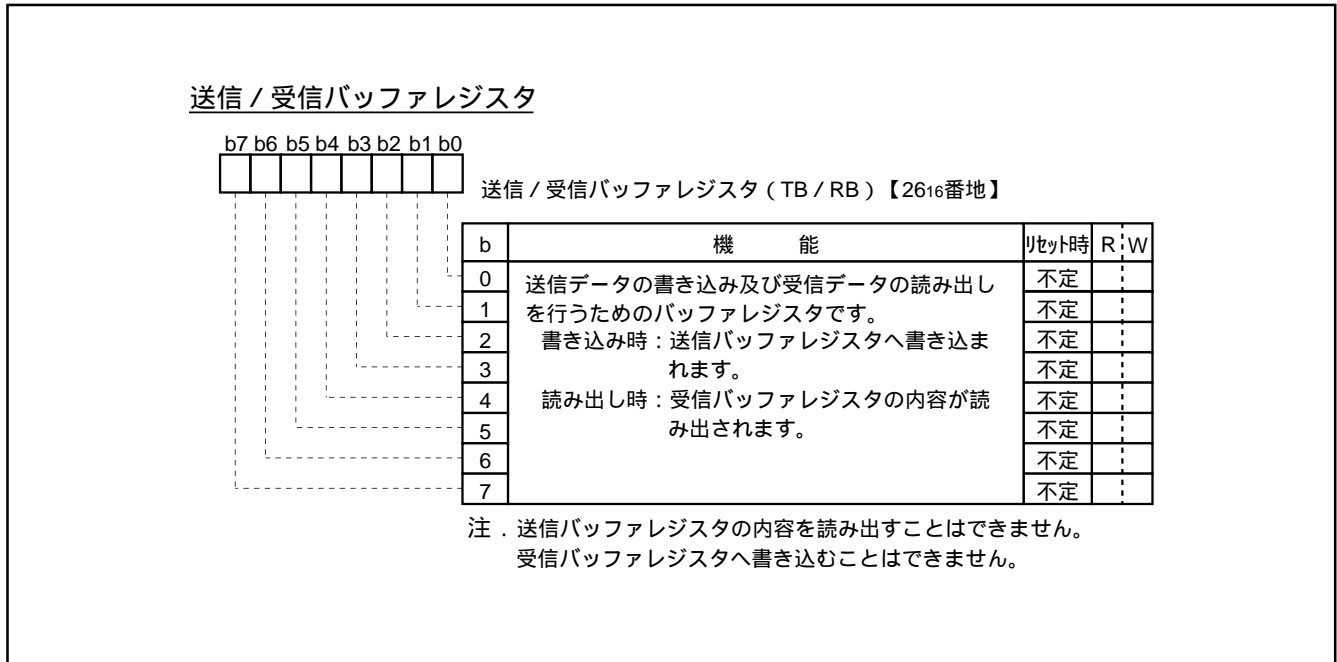


図2.4.2 送信/受信バッファレジスタの構成

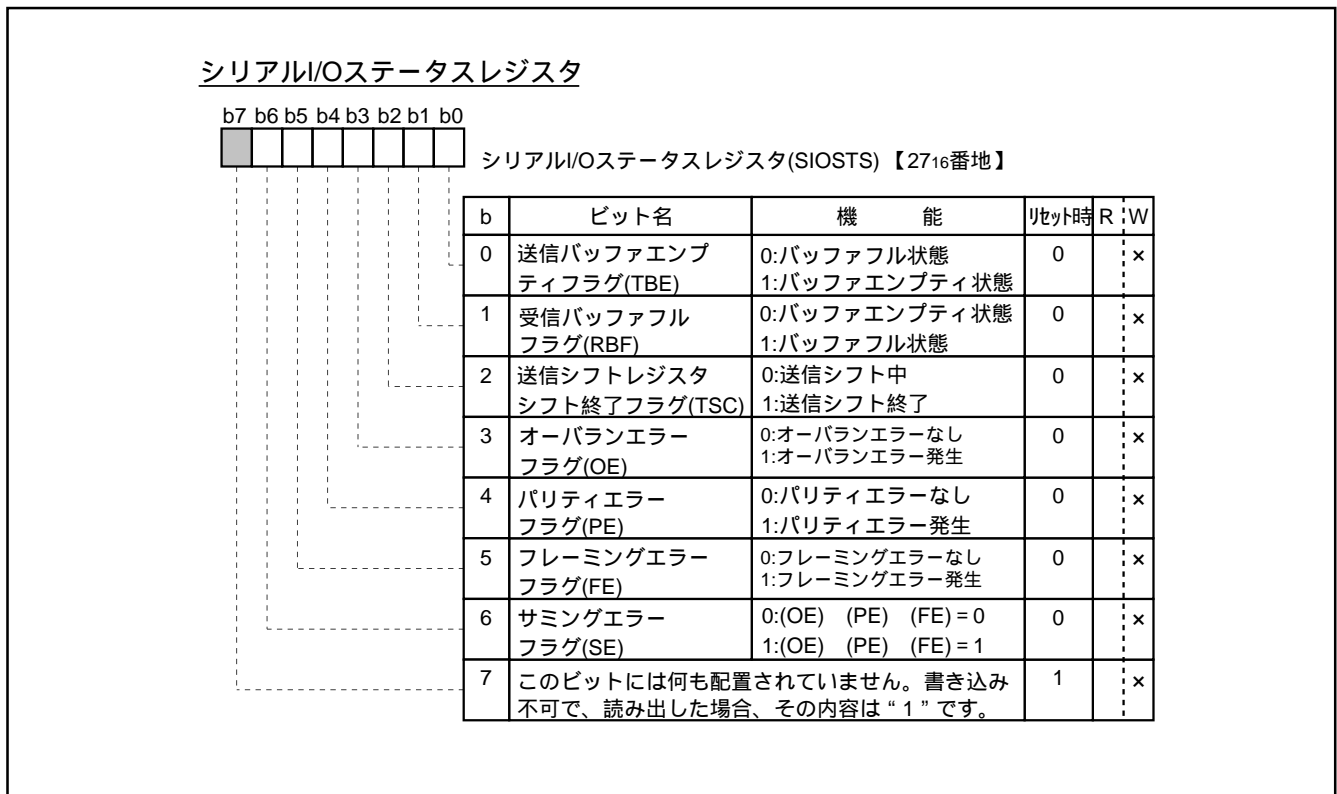


図2.4.3 シリアルI/Oステータスレジスタの構成

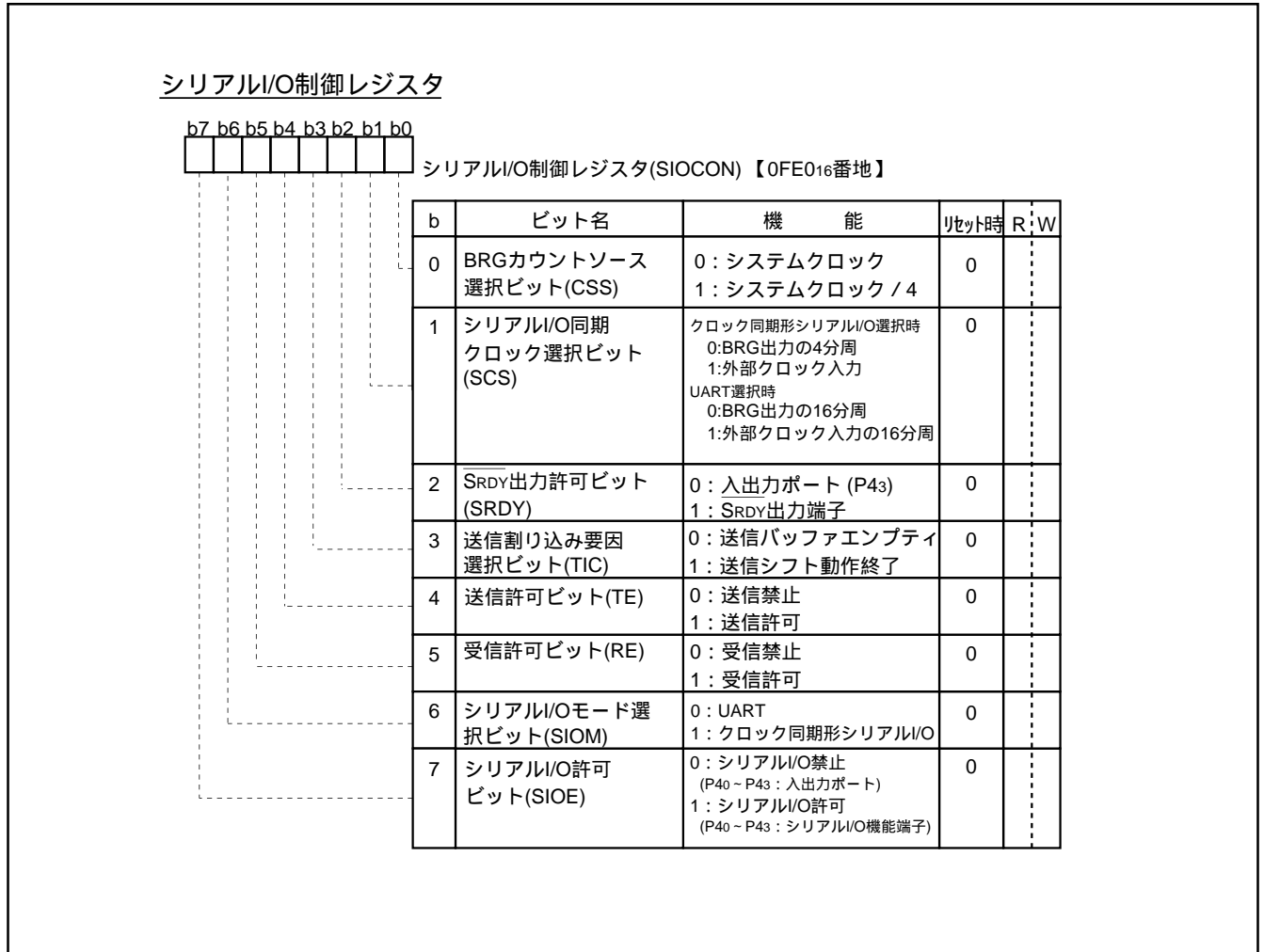


図2.4.4 シリアルI/O制御レジスタの構成

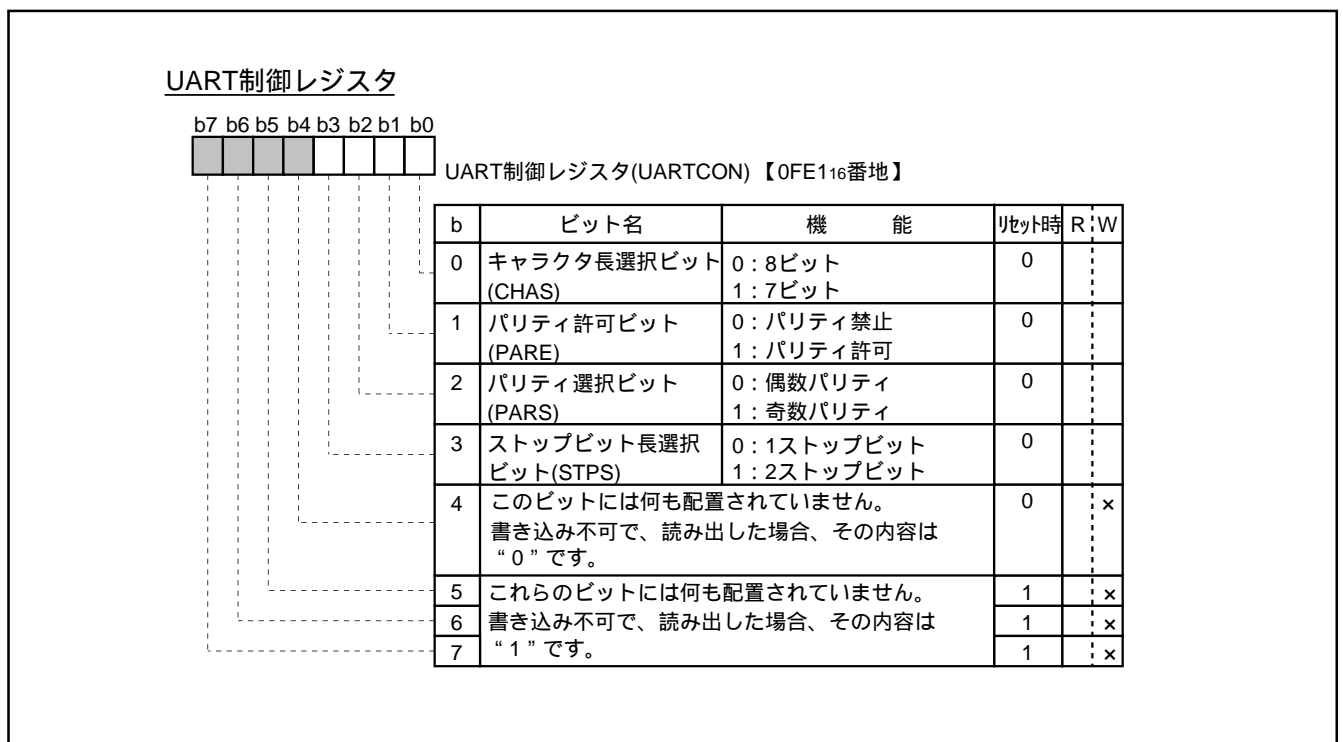


図2.4.5 UART制御レジスタの構成

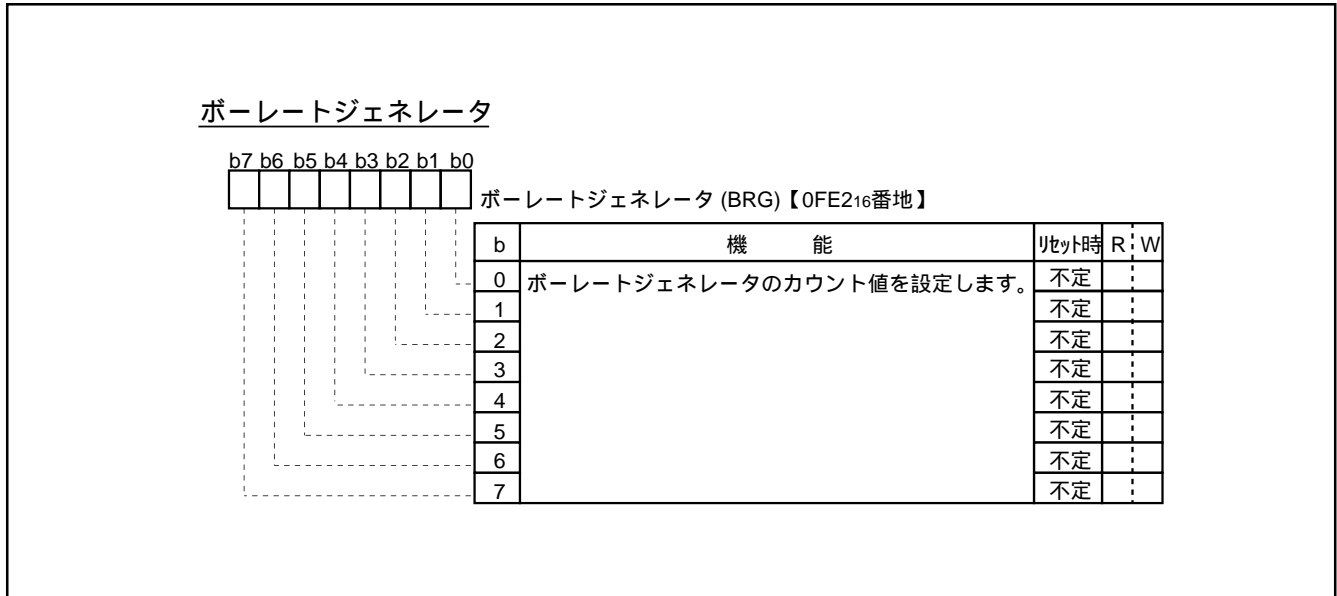


図2.4.6 ポーレートジェネレータの構成

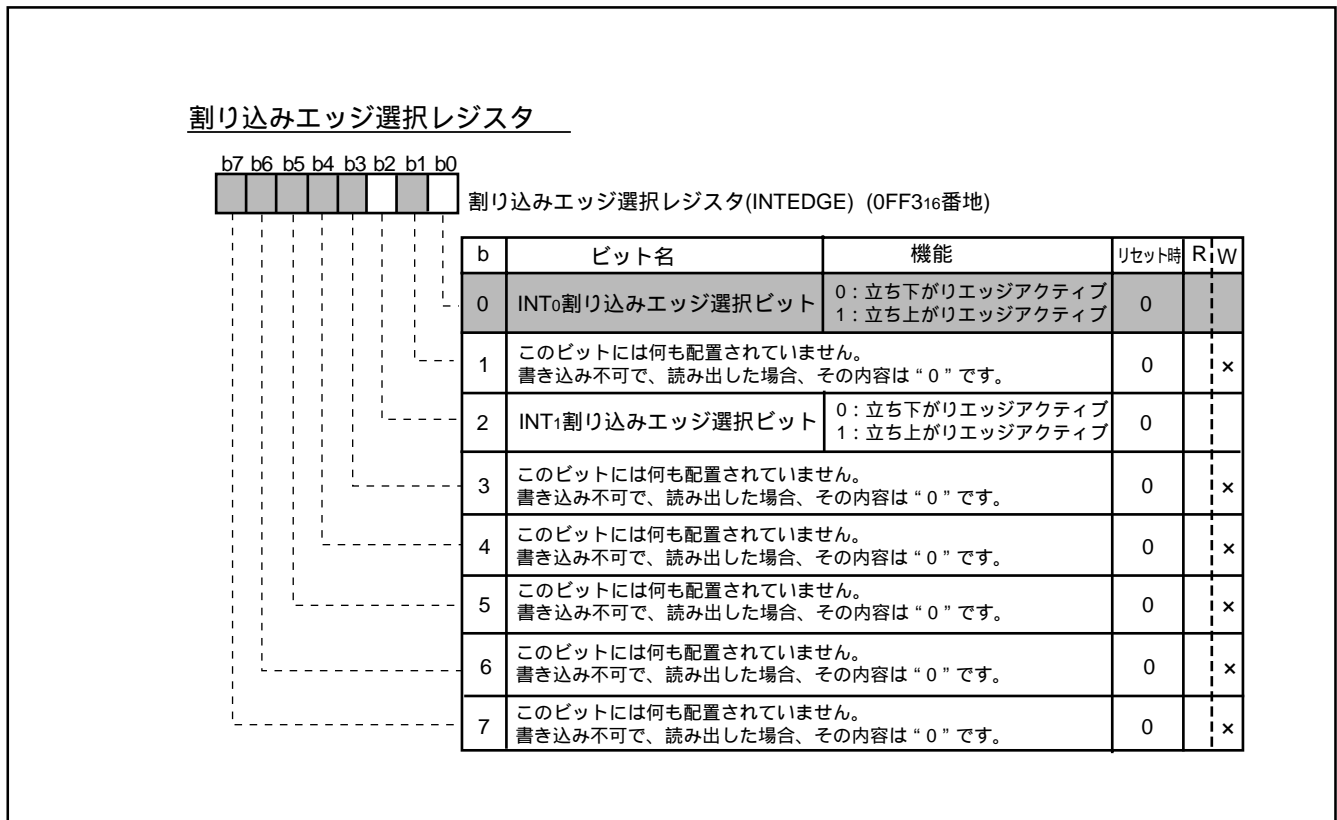


図2.4.7 割り込みエッジ選択レジスタの構成

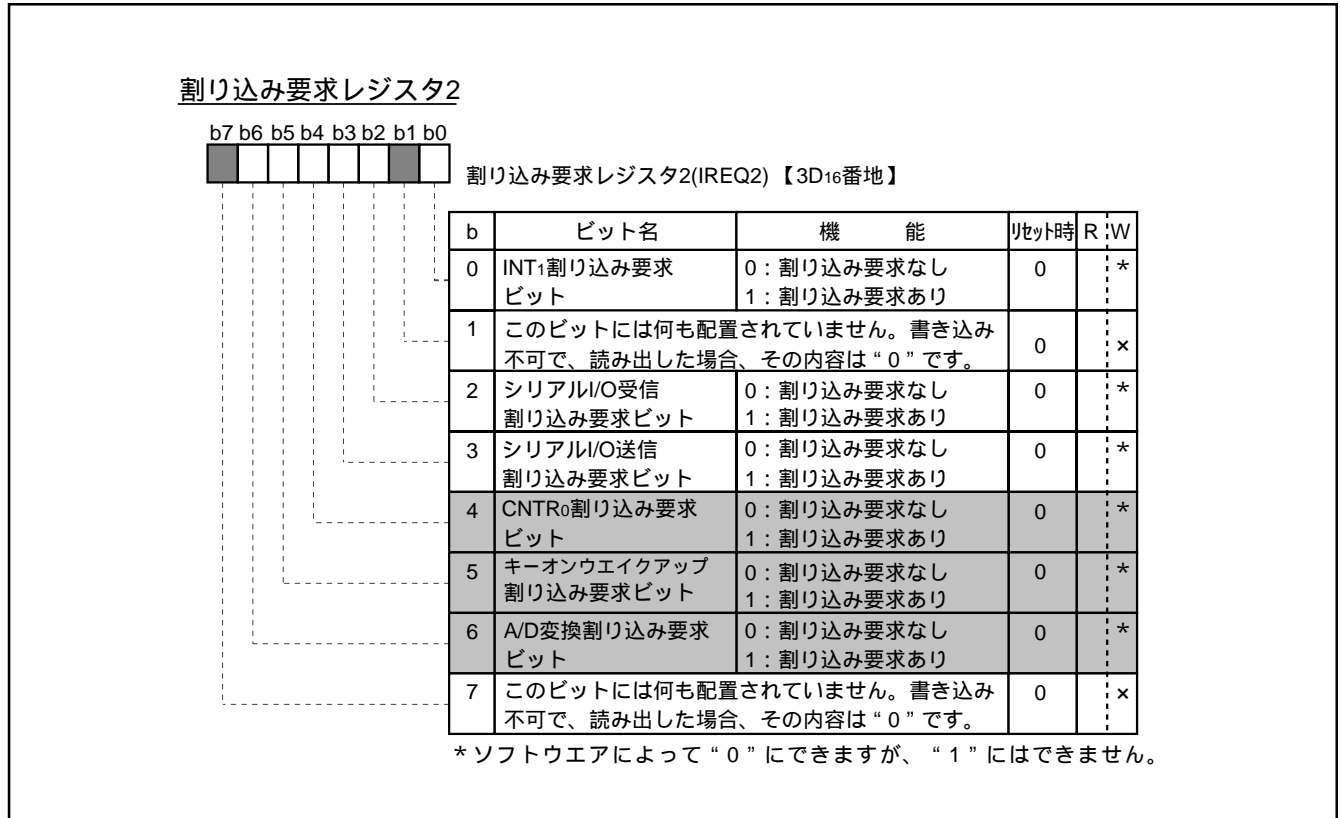


図2.4.8 割り込み要求レジスタ2の構成

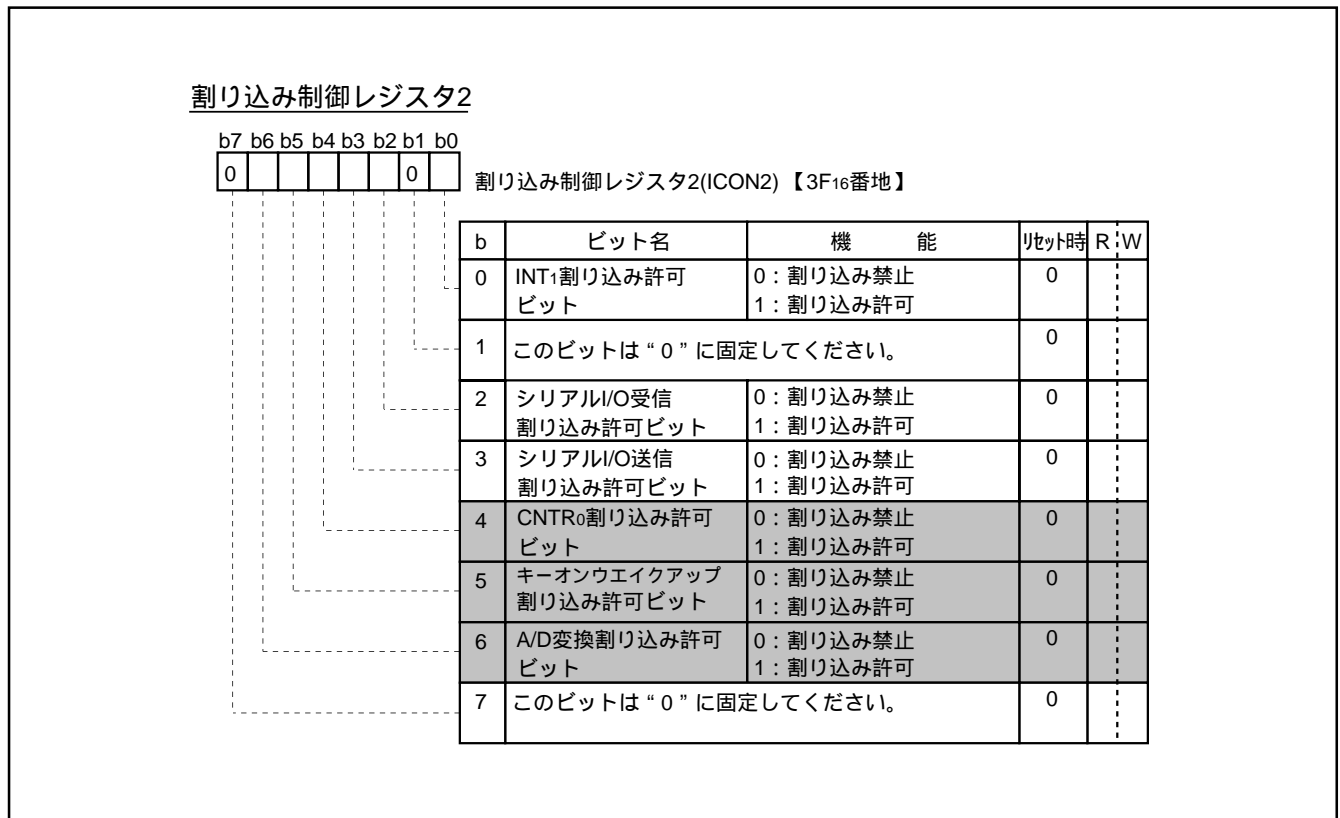


図2.4.9 割り込み制御レジスタ2の構成

2.4.3 シリアルI/Oの接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.4.10に示します。
いずれもクロック同期形シリアルI/Oモードを使用した接続例です。

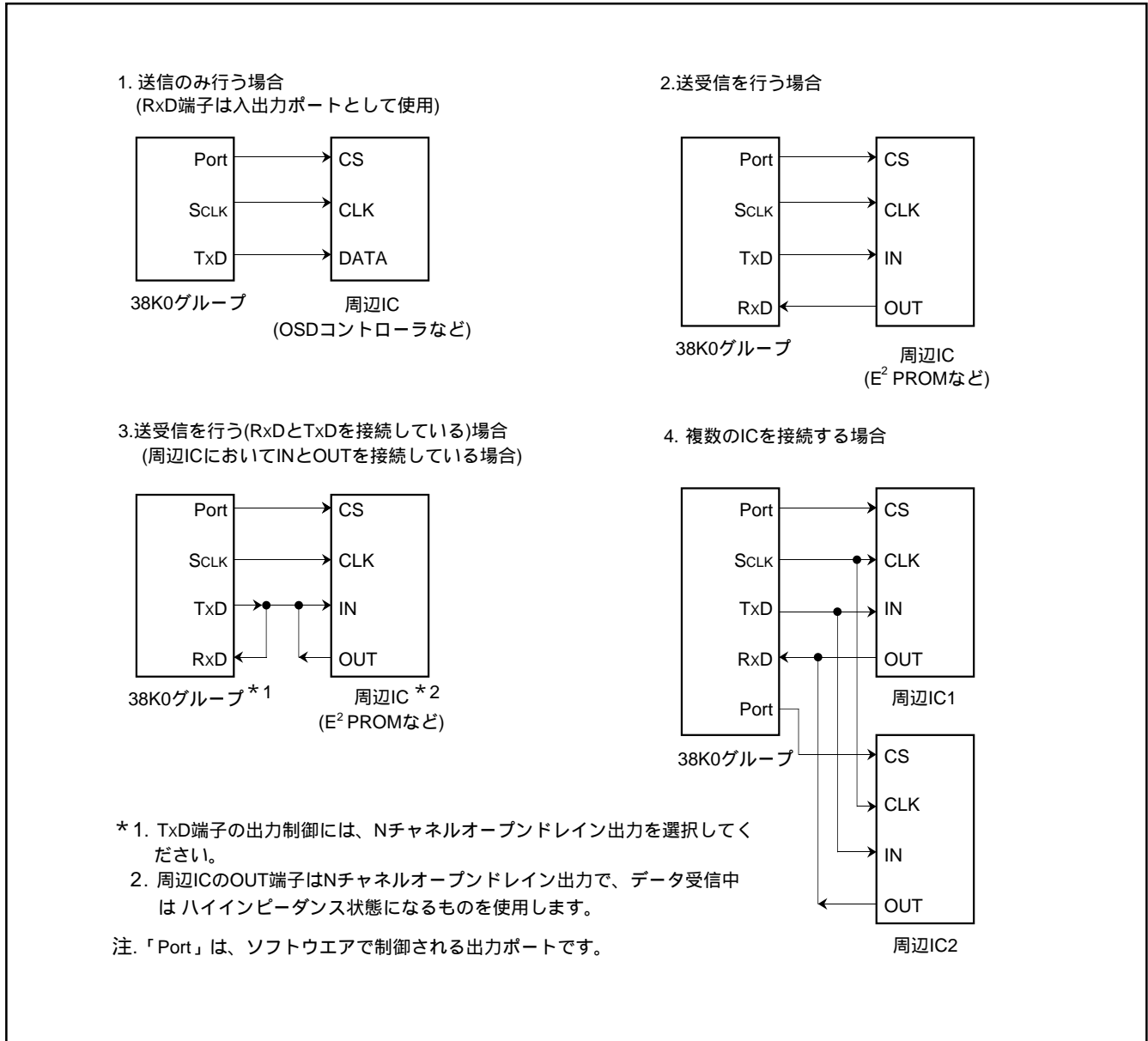


図2.4.10 シリアルI/Oの接続例1

(2) マイコンとの接続

他のマイコンとの接続例を図2.4.11に示します。

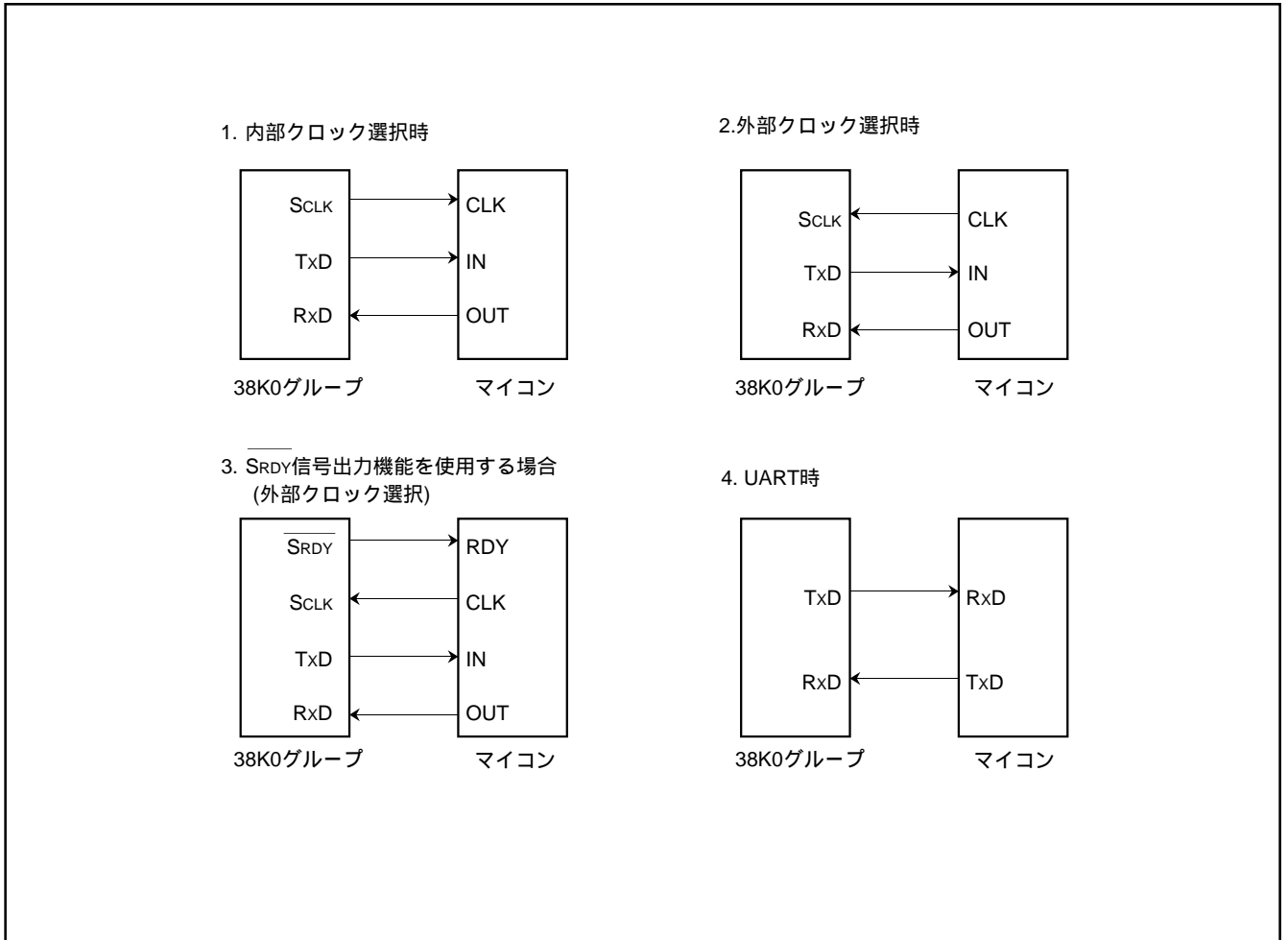


図2.4.11 シリアルI/Oの接続例2

2.4.4 シリアルI/O転送データフォーマット

シリアルI/Oはクロック同期形、非同期形(UART)が選択できます。
シリアルI/O転送データフォーマットを図2.4.12に示します。

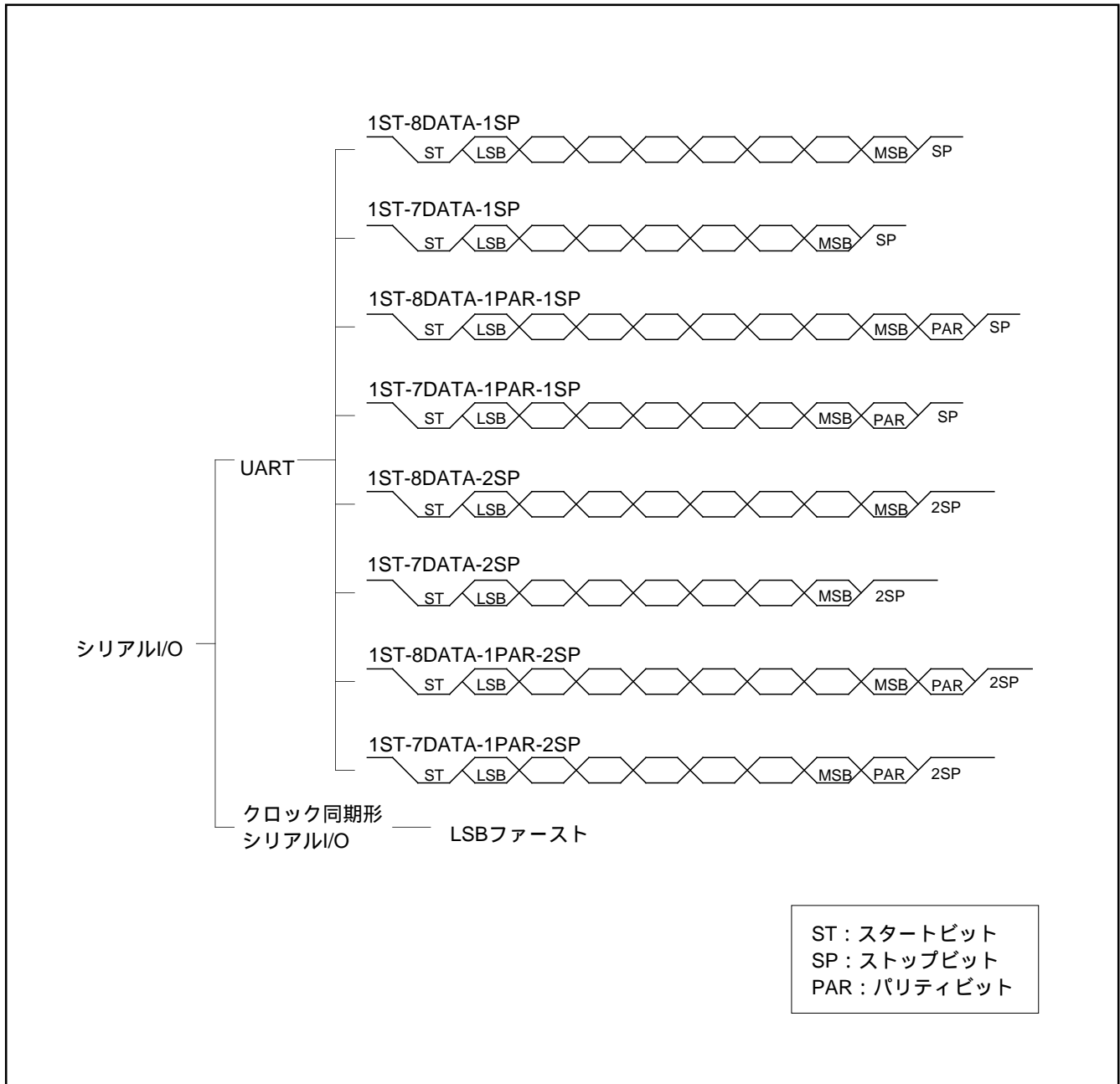


図2.4.12 シリアルI/O転送データフォーマット

2.4.5 シリアルI/Oの応用例

(1) クロック同期形シリアルI/Oを使用した通信(送信/受信)

ポイント：クロック同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、 $\overline{\text{SRDY}}$ 信号を使用します。

接続図を図2.4.13、タイミング図を図2.4.14、送信側関連レジスタの設定を図2.4.15、受信側関連レジスタの設定を図2.4.16に示します。

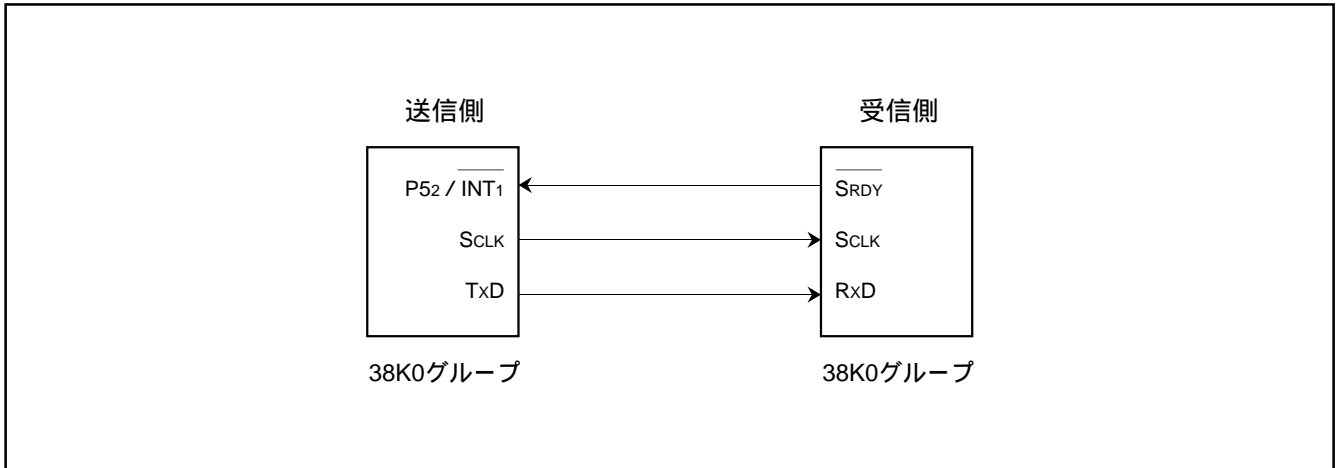


図2.4.13 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/Oを選択)を使用。
 - ・同期クロック周波数：125 kHz ($f(\text{XIN}) = 6 \text{ MHz}$ の48分周)
 - ・ $\overline{\text{SRDY}}$ (受信可能信号)を使用。
 - ・2 ms間隔(タイマにより生成)で受信側から $\overline{\text{SRDY}}$ 信号を出力し、2バイトのデータ送信側から受信側へ転送。

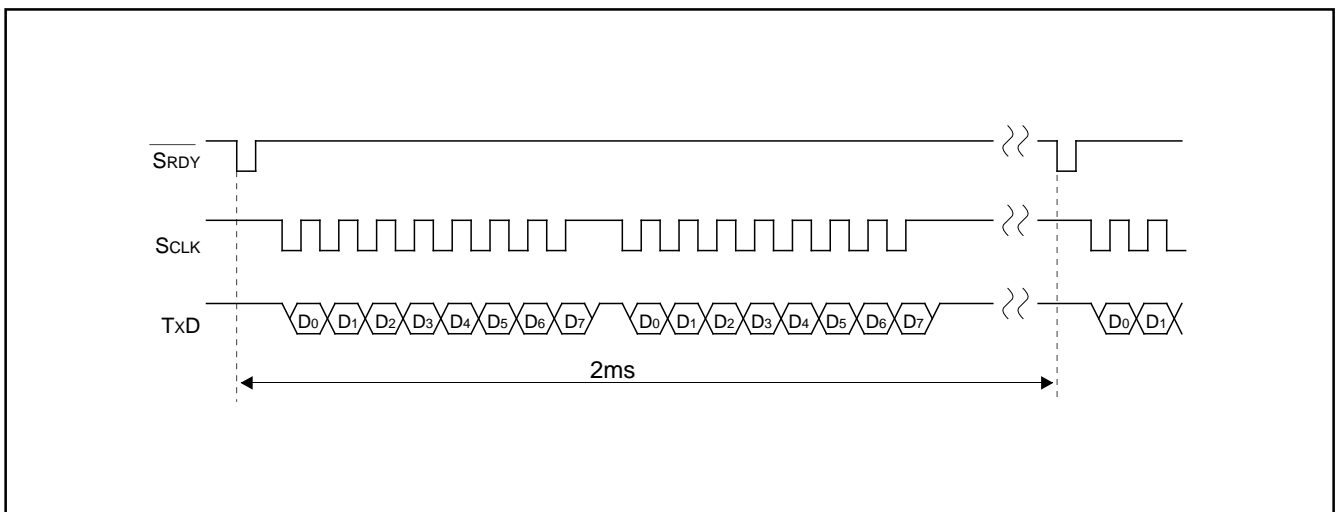


図2.4.14 タイミング図

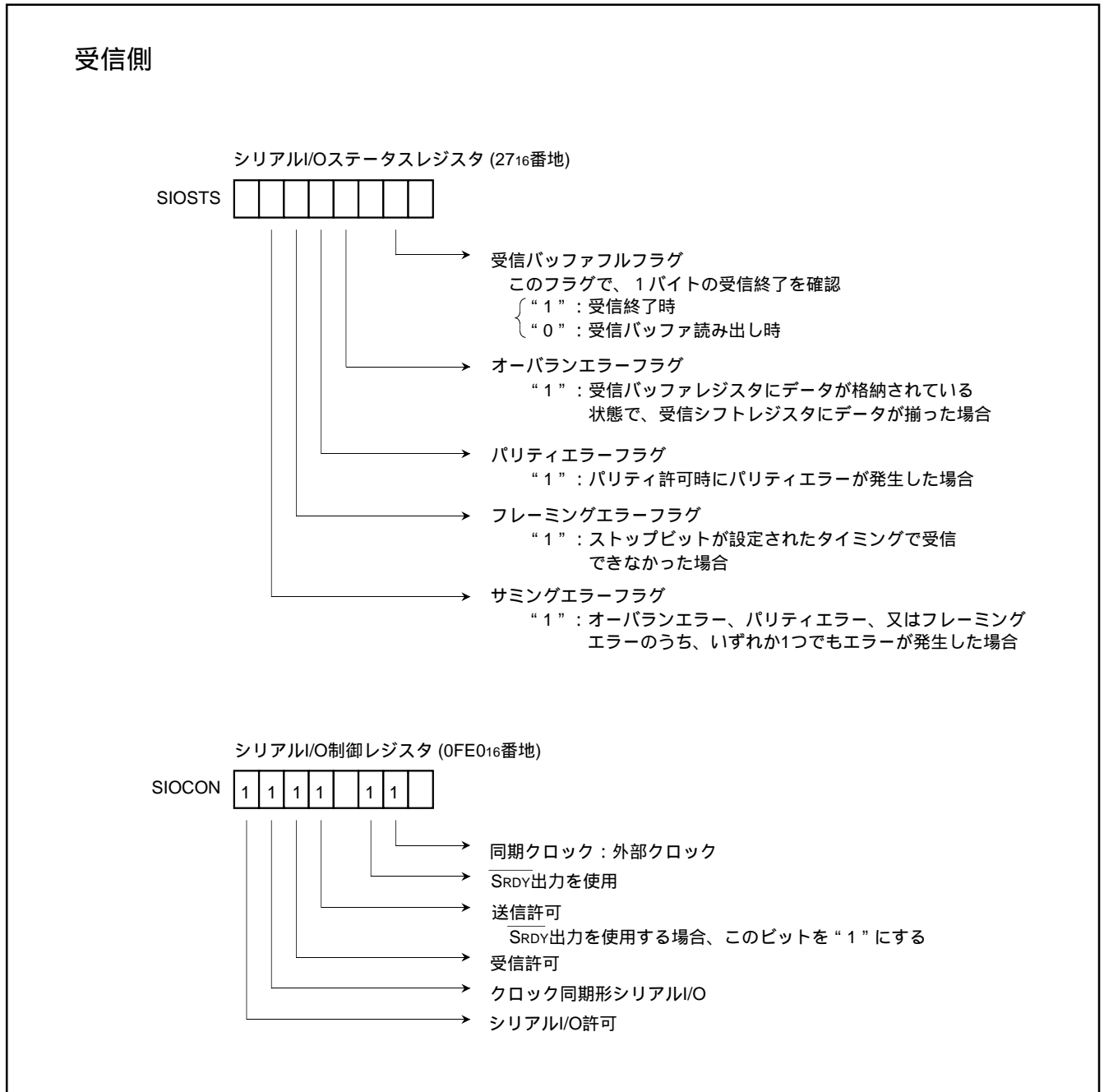


図2.4.16 受信側関連レジスタの設定

図2.4.17に送信側の制御手順、図2.4.18に受信側の制御手順を示します。

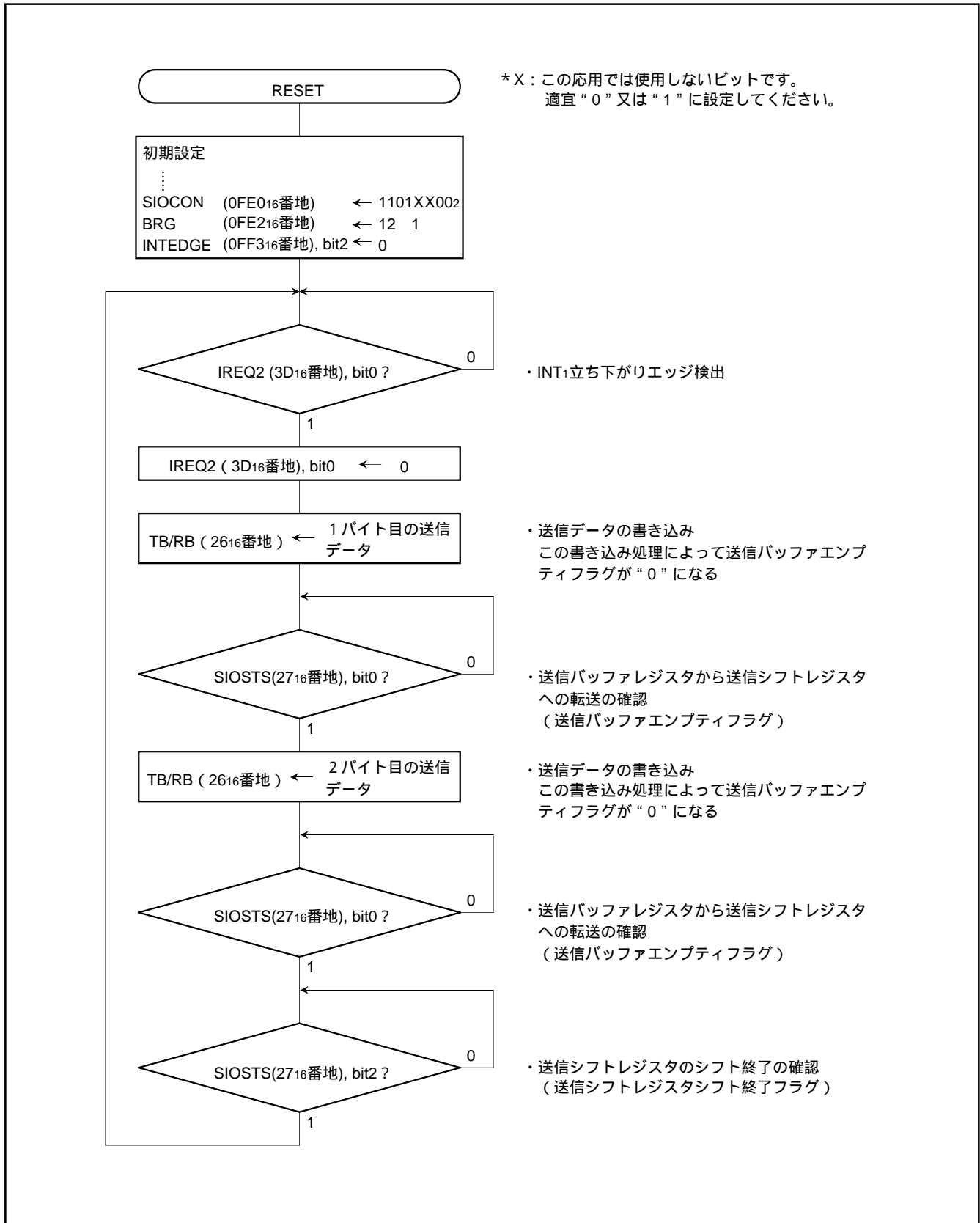


図2.4.17 送信側の制御手順

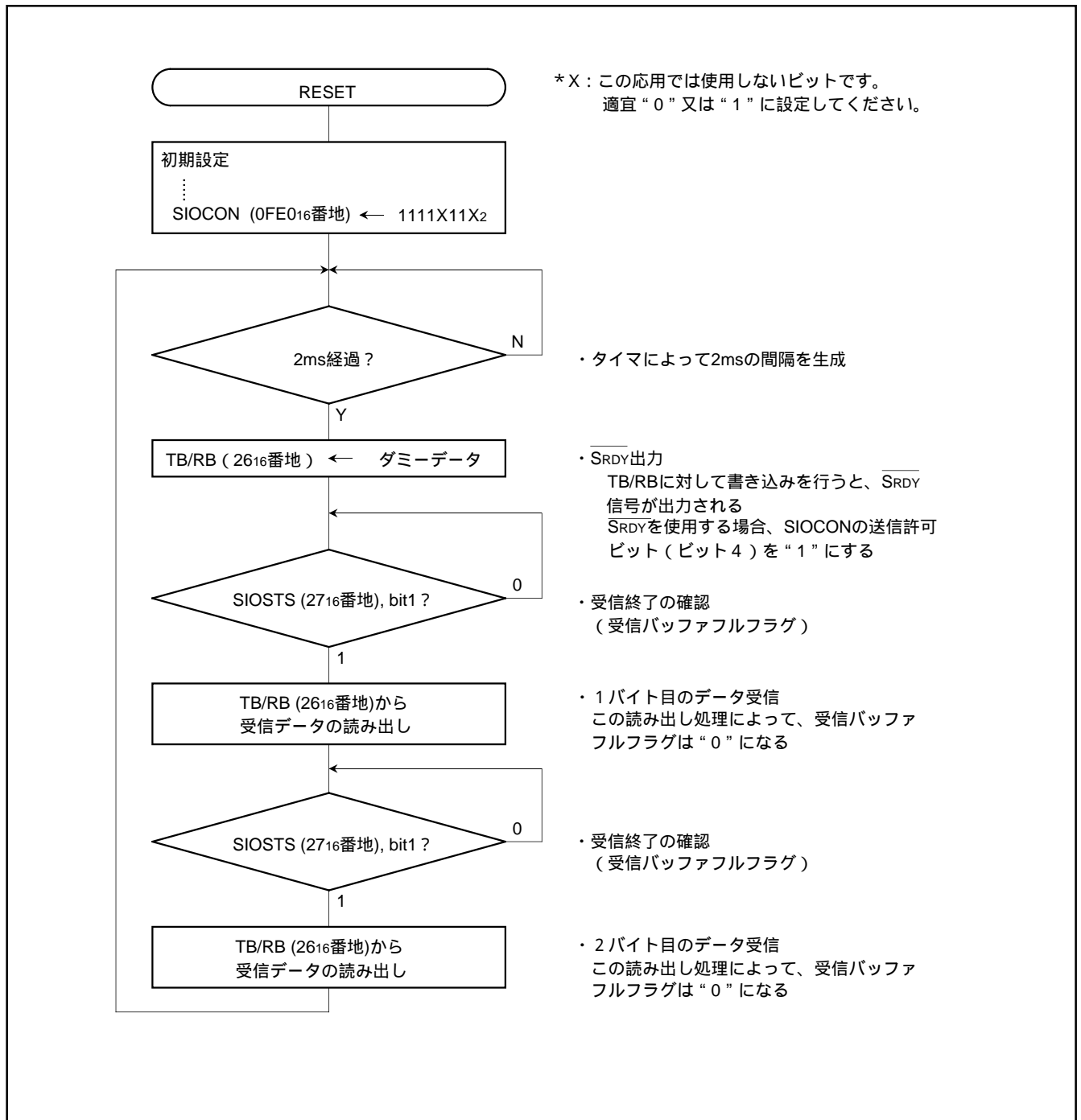


図2.4.18 受信側の制御手順

(2) シリアルデータ出力(周辺I/Cの制御)

ポイント：クロック同期形シリアルI/Oを使用して4バイトデータの送受信を行います。
 ポートP53を使用して、周辺ICに対するCS信号を出力します。

シリアルI/Oを使用した例を示します。接続図を図2.4.19、タイミング図を図2.4.20に示します。

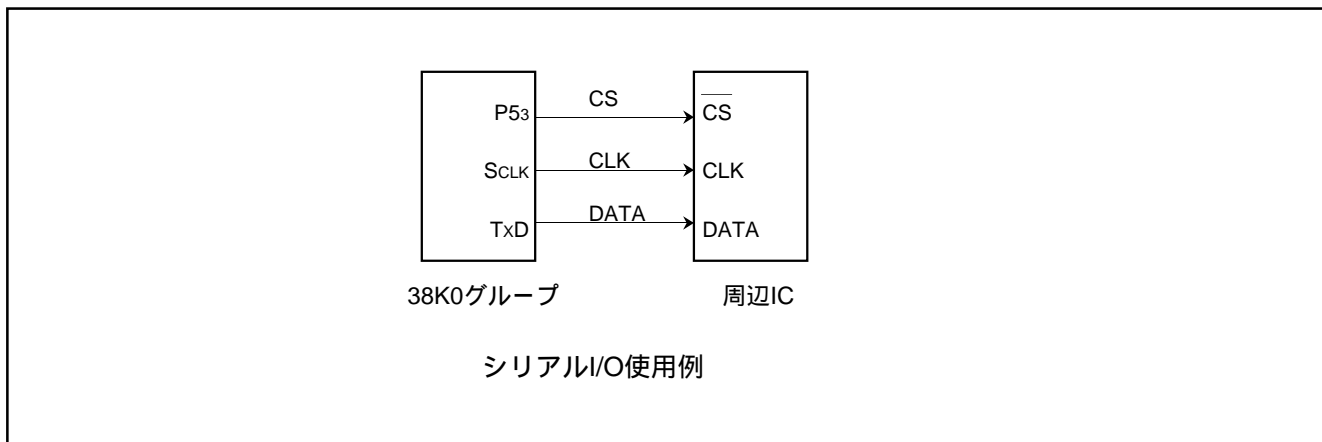


図2.4.19 接続図

- 仕様：
- ・クロック同期形シリアルI/Oを使用。
 - ・同期クロック周波数：125 kHz ($f(XIN) = 6 \text{ MHz}$ の48分周)
 - ・転送方向：LSBファースト
 - ・シリアルI/O割り込みは使用しない。
 - ・ポートP53を周辺ICのCS端子(“L”アクティブ)に接続して、送信を制御(ポートP53の出力レベルはソフトウェアで制御)。

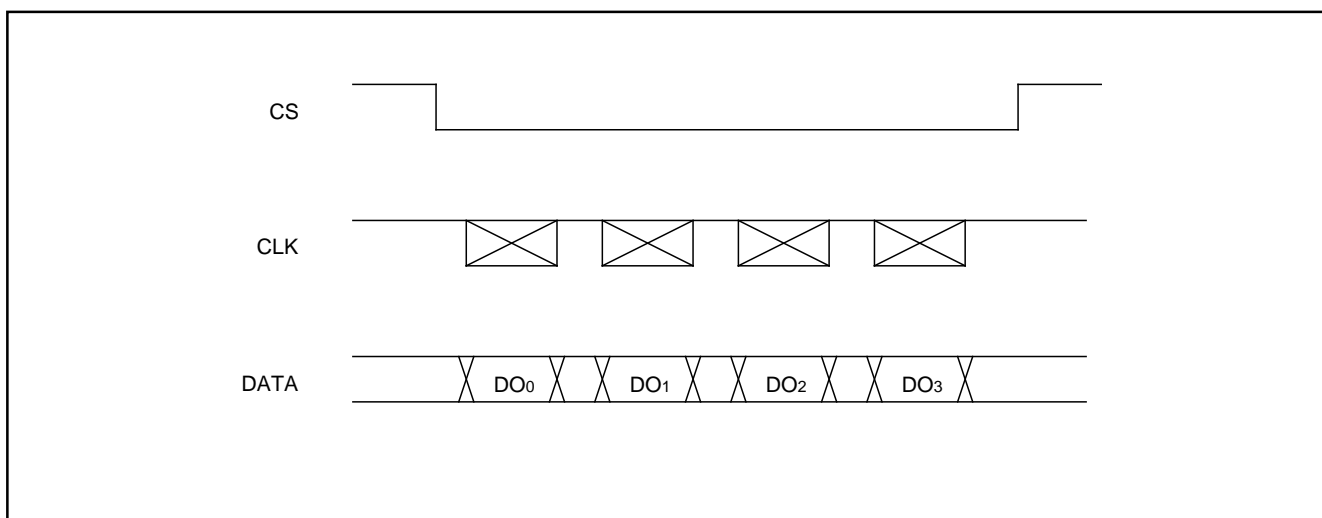


図2.4.20 タイミング図

図2.4.21にシリアルI/O関連レジスタの設定、図2.4.22にシリアルI/O送信データの設定を示します。

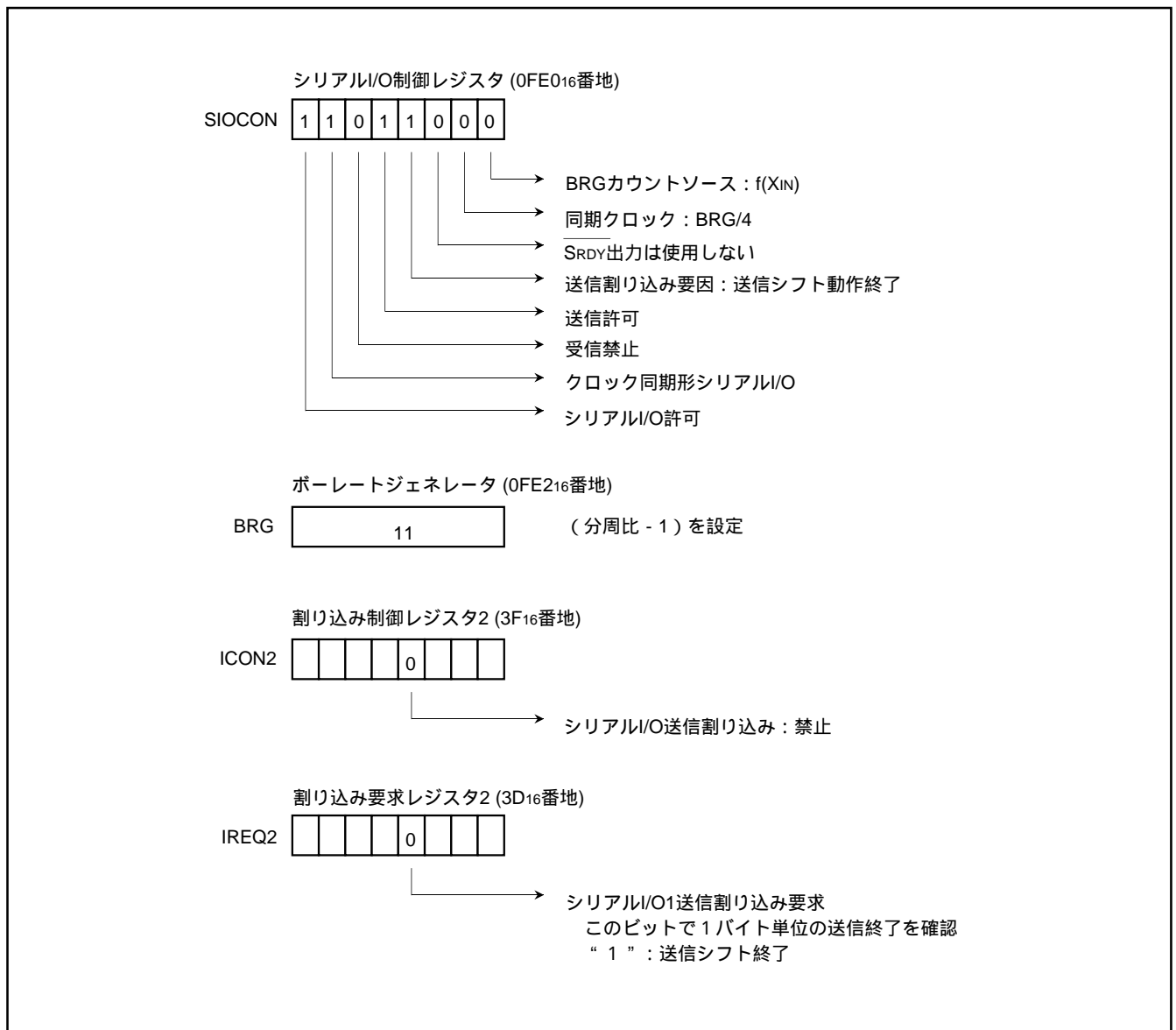


図2.4.21 シリアルI/O関連レジスタの設定

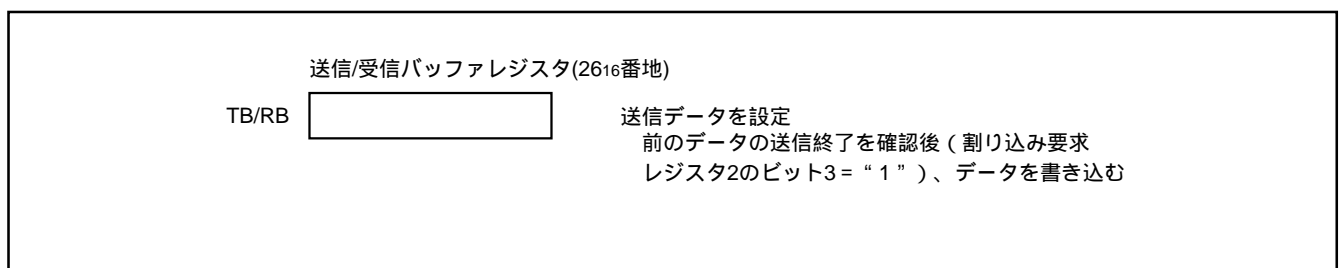


図2.4.22 シリアルI/O送信データの設定

図2.4.21に示すようにレジスタを設定し、送信バッファレジスタにデータを書き込むことによって、シリアルI/Oは1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつ受信バッファレジスタに書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.23にシリアルI/O制御手順を示します。

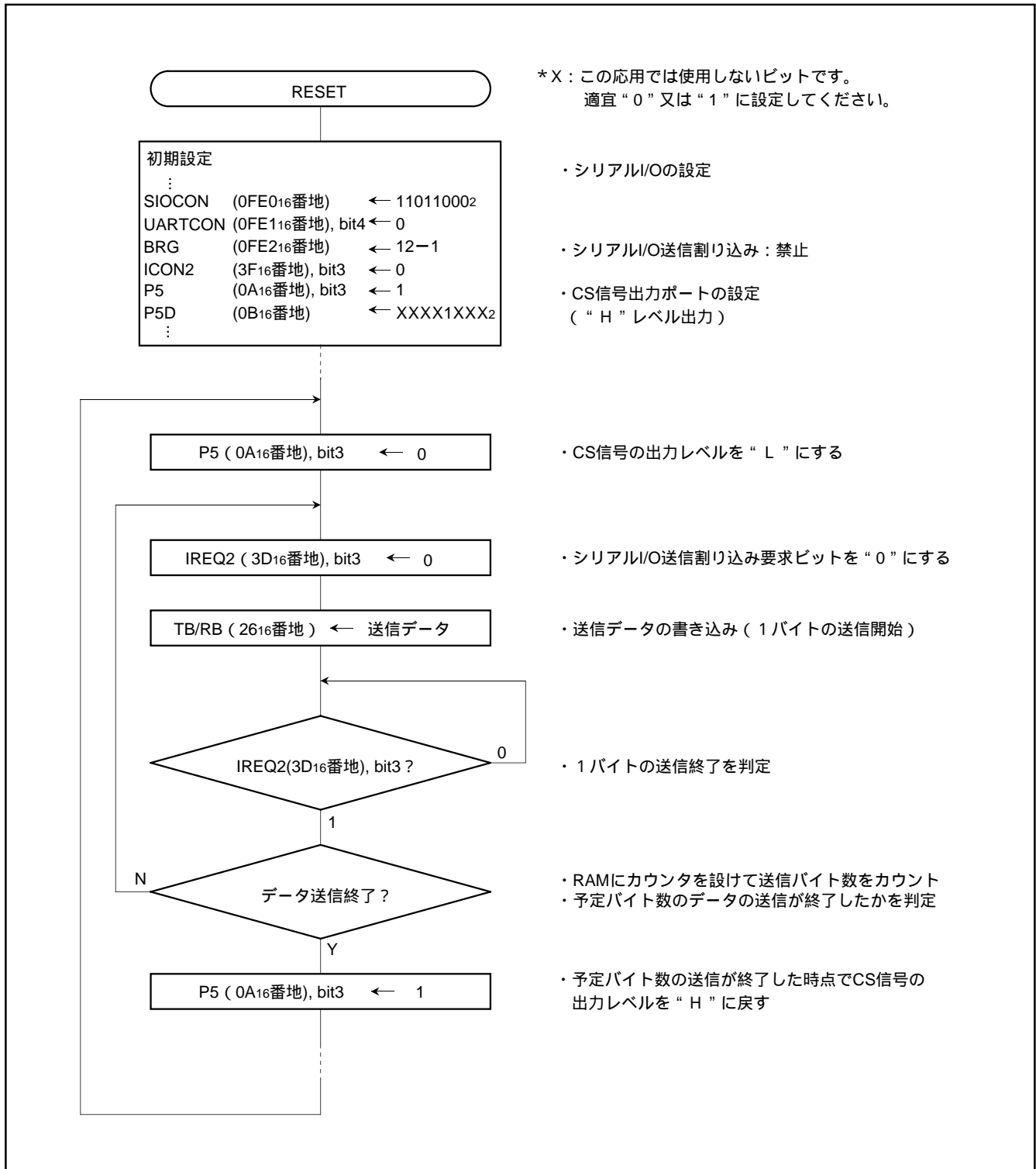


図2.4.23 シリアルI/O制御手順

(3) 2つのマイコン間におけるブロックデータ(決められたバイト数のデータ)の周期的な送受信

ポイント：クロック同期形シリアルI/Oを用いて通信を行う場合、同期クロックに含まれたノイズによって送信側と受信側でクロックとデータ間の同期がずれることがあります。そのずれを補正する「頭合わせ」を利用し、常に正常な動作を行います。この例ではブロックの間隔を利用して頭合わせを行っています。

図2.4.24に接続図を示します。

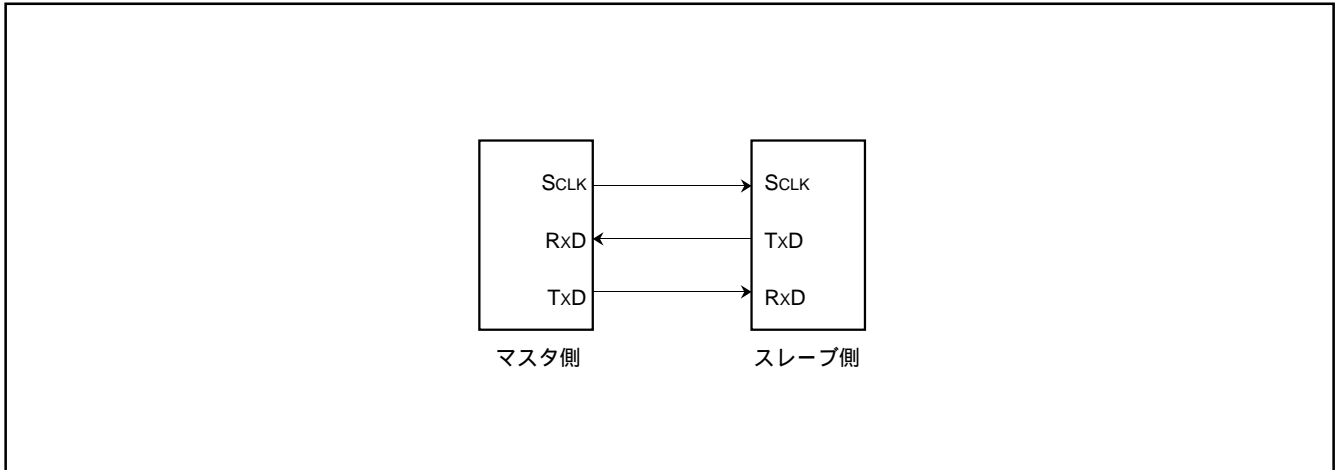


図2.4.24 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/O選択)を使用。
 - ・同期クロック周波数：125kHz ($f(X_{IN}) = 6\text{MHz}$ の48分周)
 - ・バイト周期：488 μs
 - ・送受信バイト数：8バイト/各ブロック
 - ・ブロックの転送周期：16 ms
 - ・ブロックの転送期間：3.5 ms
 - ・ブロック間隔：12.5 ms
 - ・頭合わせ時間：8 ms

仕様の制限事項：

- ・「バイト周期 - 1バイトの転送時間」の時間内で受信データの読み込みと次の送信データの設定が行えること。
- 注.この例ではシリアルI/O受信割り込み要求発生から次の同期クロックの入力までの時間は431 μs 。
- ・「頭合わせ時間 < ブロック間隔」であること。

通信は図2.4.25に示すタイミングで行います。スレーブ側では一定時間(頭合わせ時間)以上同期クロックが入力されていない場合、次に入力されたクロックをブロックの初め(頭)として処理します。

1ブロック(8バイト)受信後に入力されたクロックは無視されます。図2.4.26に関連レジスタの設定を示します。

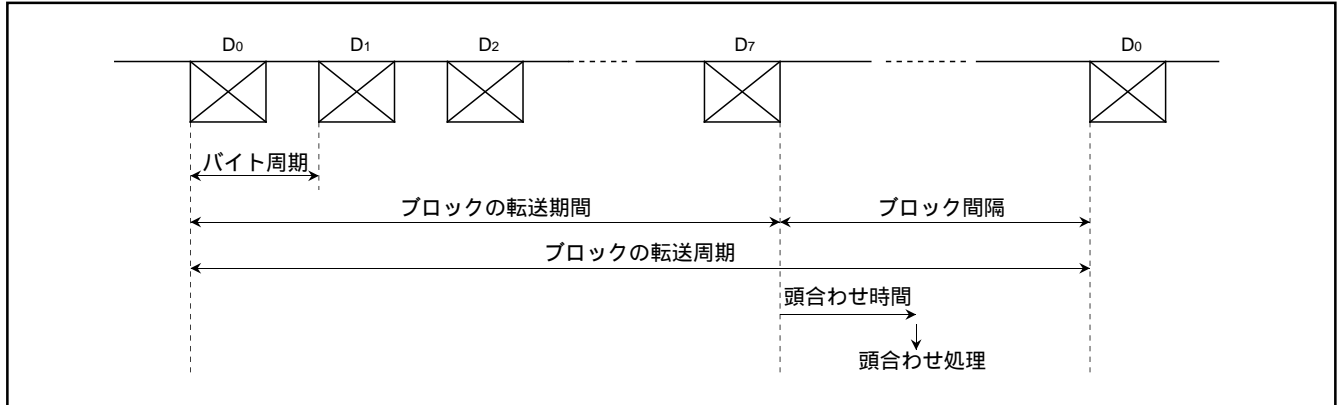


図2.4.25 タイミング図

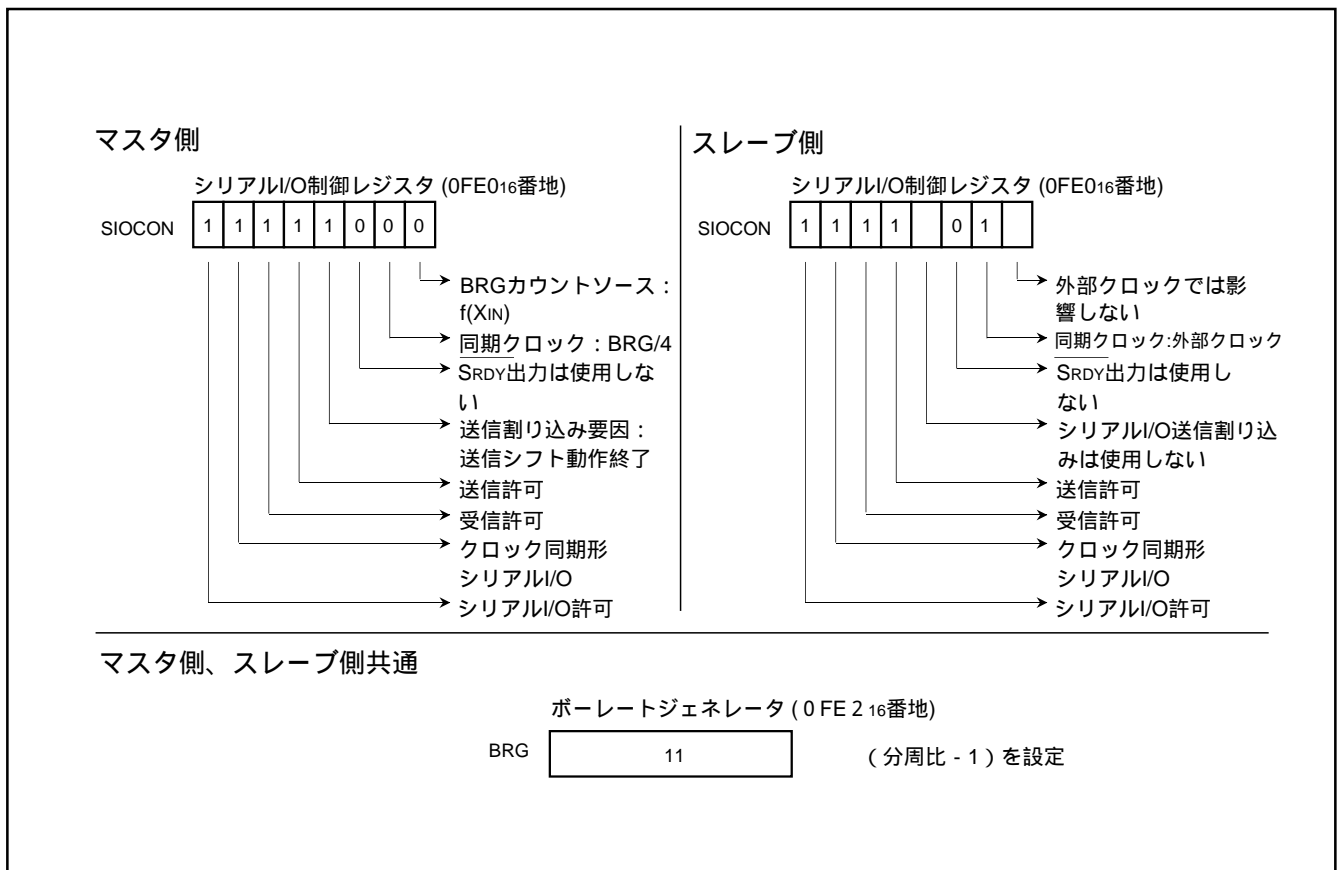


図2.4.26 関連レジスタの設定

ソフトウェアによる制御：

マスタ側の制御

図2.4.26に示す関連レジスタの設定終了後、マスタ側は送信バッファレジスタに送信データを書き込むことによって1バイトデータの送受信を開始します。

図2.4.25に示すタイミングで通信を行うためには、送信データの書き込みはタイミングを測って行い、以下に示すいずれかの場合に受信データを読み出してください。

- ・シリアルI/O送信割り込み要求ビットが「1」の場合
- ・次の送信データを送信バッファレジスタに書き込む前

タイマ割り込みを用いた場合のマスタ側の制御を図2.4.27に示します。

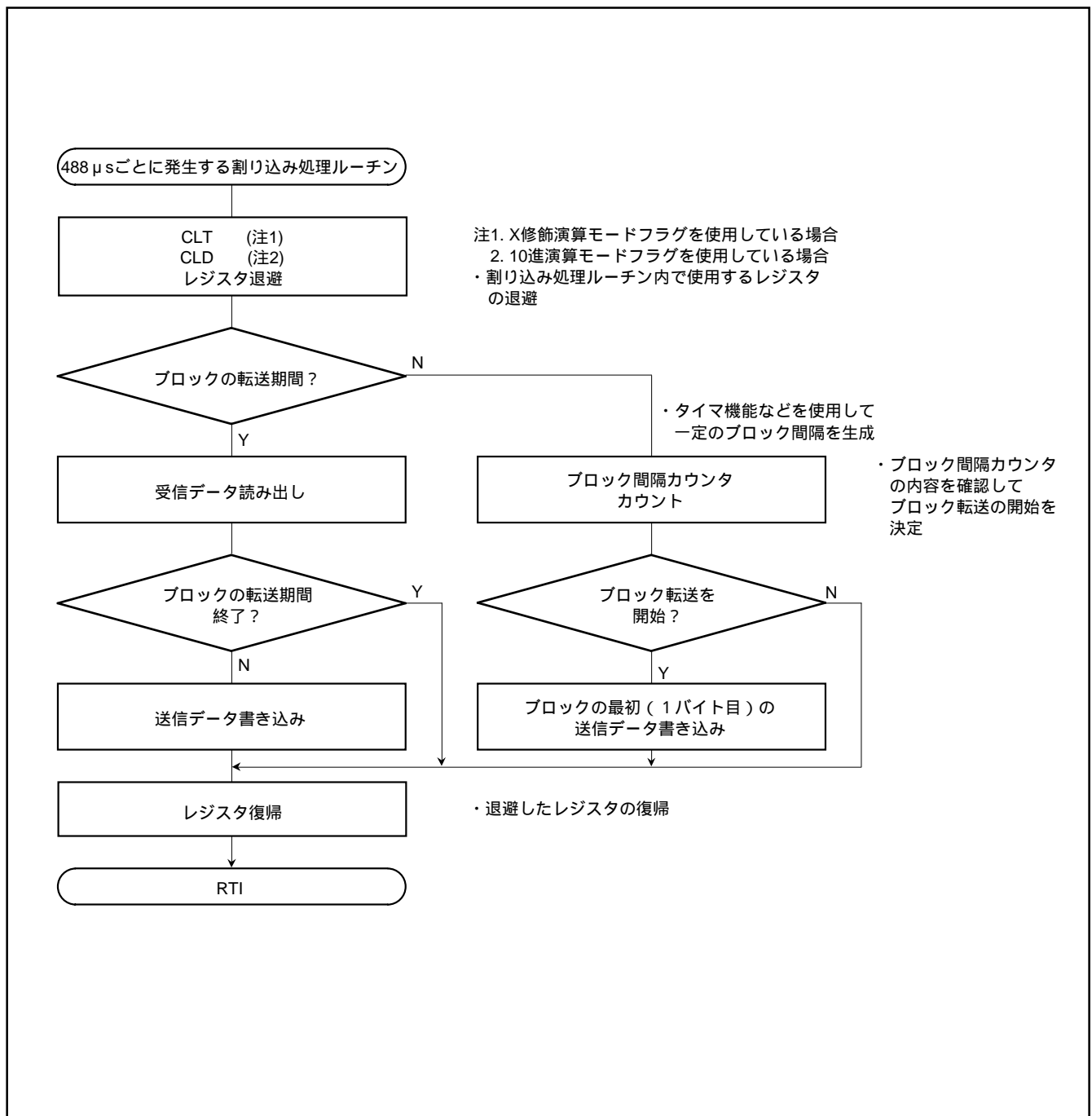


図2.4.27 マスタ側の制御手順

スレーブ側の制御

図2.4.26に示す関連レジスタの設定終了後、スレーブ側は常に同期クロックを受け付けられる状態になり、8ビットの同期クロックを受信するごとにシリアルI/O受信割り込みが発生します。

シリアルI/O受信割り込み処理ルーチンでは、受信データを読み出した後、次に送信するデータを送信バッファレジスタに書き込みます。

ただし、一定時間(頭合わせ時間)以上、シリアルI/O受信割り込みが発生しない場合は、以下の処理が行われます。

1. ブロックの1バイト目の送信データを送信バッファレジスタに書き込む
2. 次に受信するデータをブロックの第1バイト目の受信データとして処理する

シリアルI/O受信割り込みといずれかのタイマ割り込み(頭合わせ用)を使用したスレーブ側の制御を図2.4.28に示します。

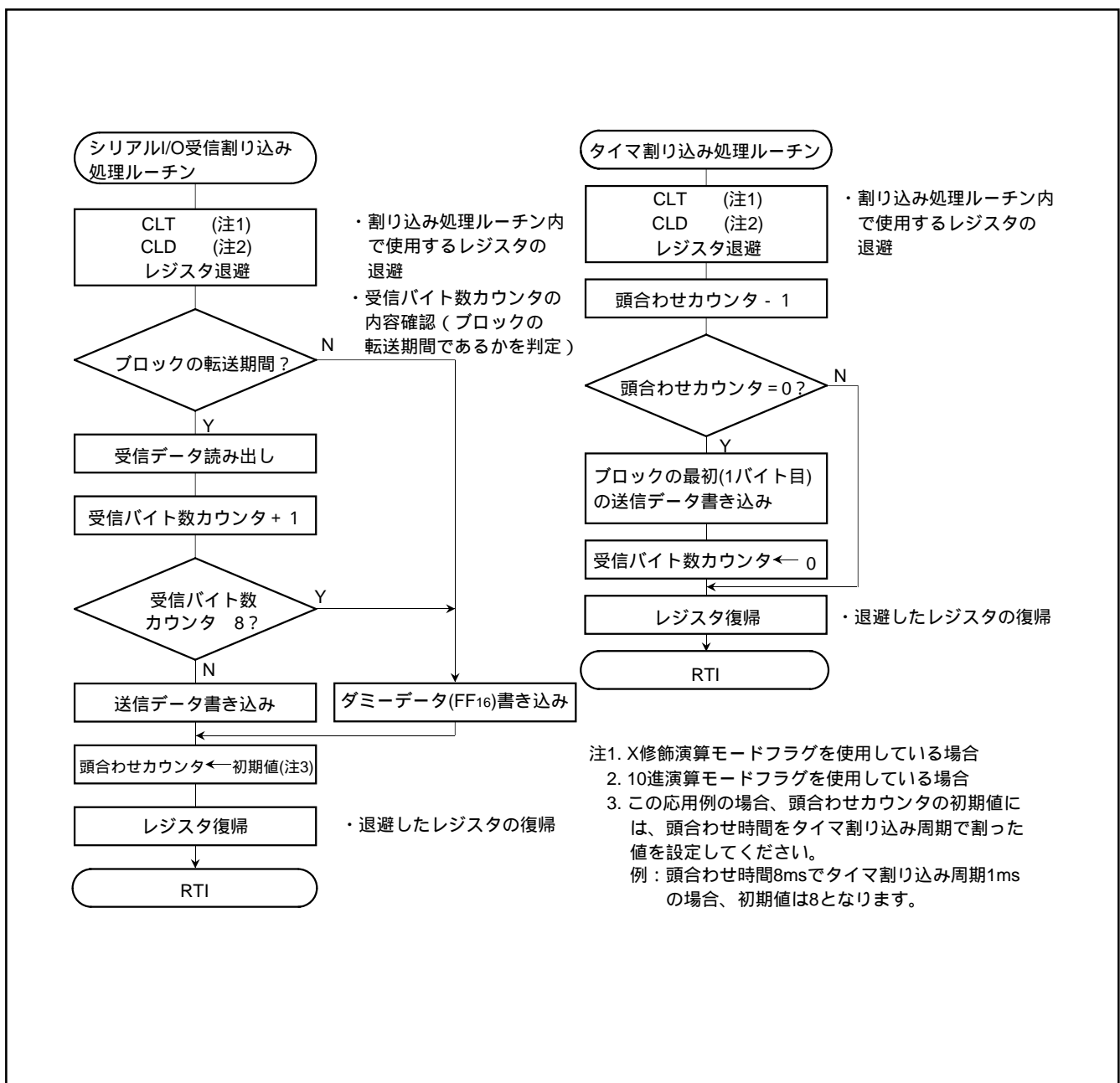


図2.4.28 スレーブ側の制御手順

(4) 非同期形シリアルI/O(UART)を使用した通信(送信/受信)

ポイント：クロック非同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、ポートP20を使用します。

接続図を図2.4.29、タイミング図を図2.4.30に示します。

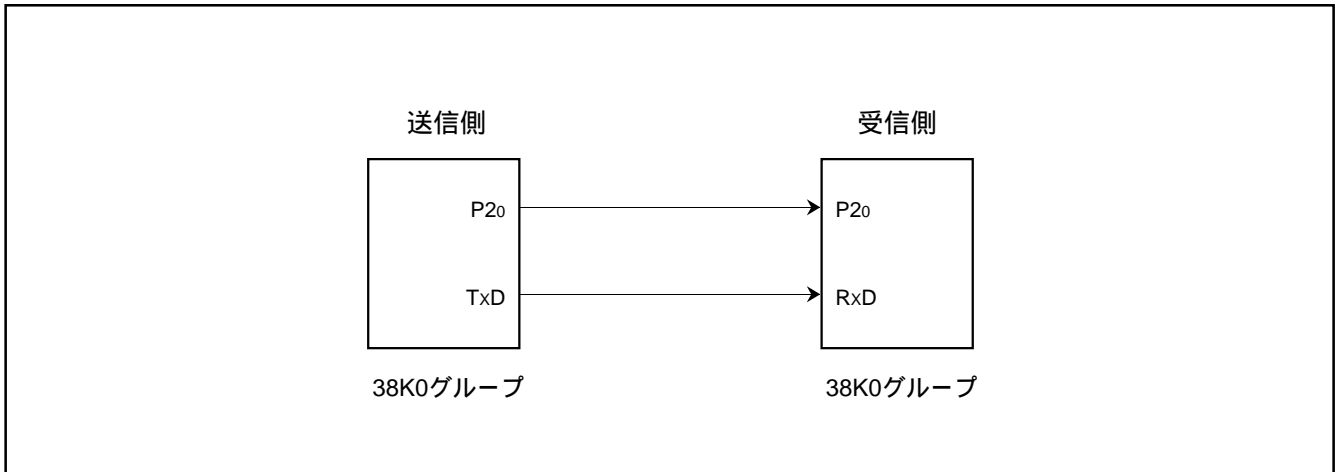


図2.4.29 接続図

- 仕様：
- ・シリアルI/O(UART選択)を使用。
 - ・転送ビットレート：9600 bps ($f(XIN) = 6 \text{ MHz}$ の624分周)
 - ・ポートP20を使用する通信制御(ポートP20の出力レベルはソフトウェアで制御する)。
 - ・10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送。

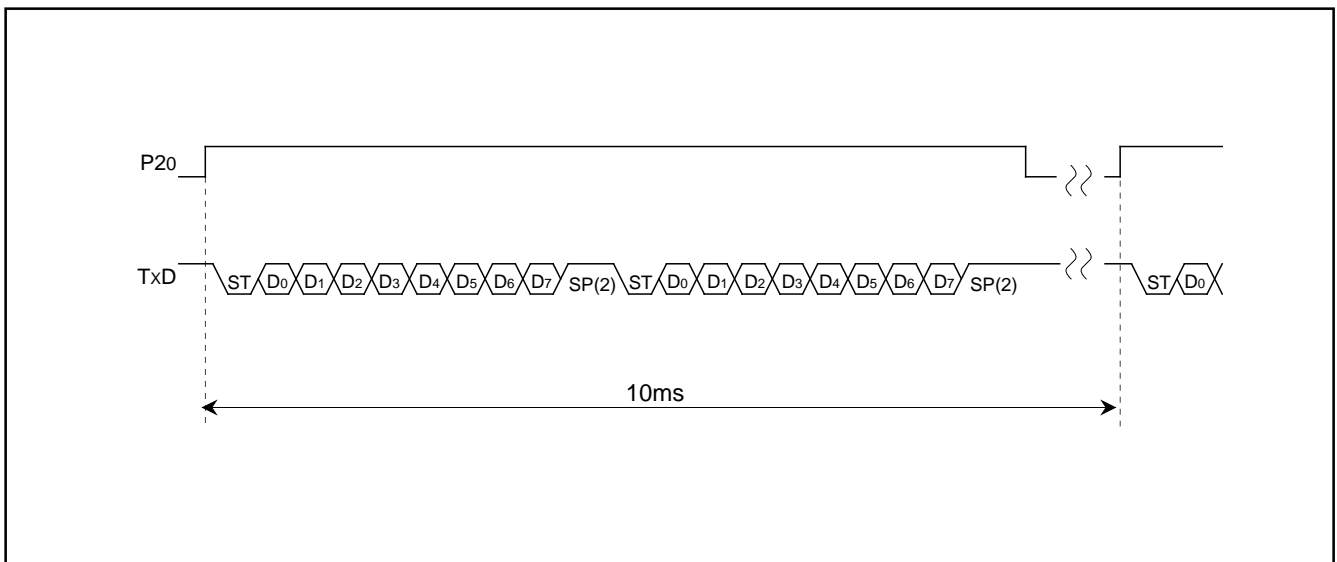


図2.4.30 タイミング図

表2.4.1にボーレートジェネレータの設定値と転送ビットレート選択例、図2.4.31に送信側関連レジスタの設定、図2.4.32に受信側関連レジスタの設定を示します。

表2.4.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

転送ビットレート (bps) (注2)	BRGカウント ソース (注1)	f(XIN)=6MHz時	f(XIN)=8MHz時
		BRG設定値(注3)	BRG設定値(注3)
600	f(XIN)/4	155	207
1200	f(XIN)/4	77	103
2400	f(XIN)	155	207
4800	f(XIN)	77	103
9600	f(XIN)	38	51
14400	f(XIN)	25	34
19200	f(XIN)	19	25
38400	f(XIN)	9	12
57600	f(XIN)	-	8

注1．BRGカウントソースはシリアルI/O制御レジスタ(0FE0₁₆番地)のビット0で選択します。

2．転送ビットレートの算出式

$$\text{転送ビットレート(bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O制御レジスタのビット0 = “ 0 ”の場合、m = 1

シリアルI/O制御レジスタのビット0 = “ 1 ”の場合、m = 4

3．誤差の少ない設定値例を記載しています。

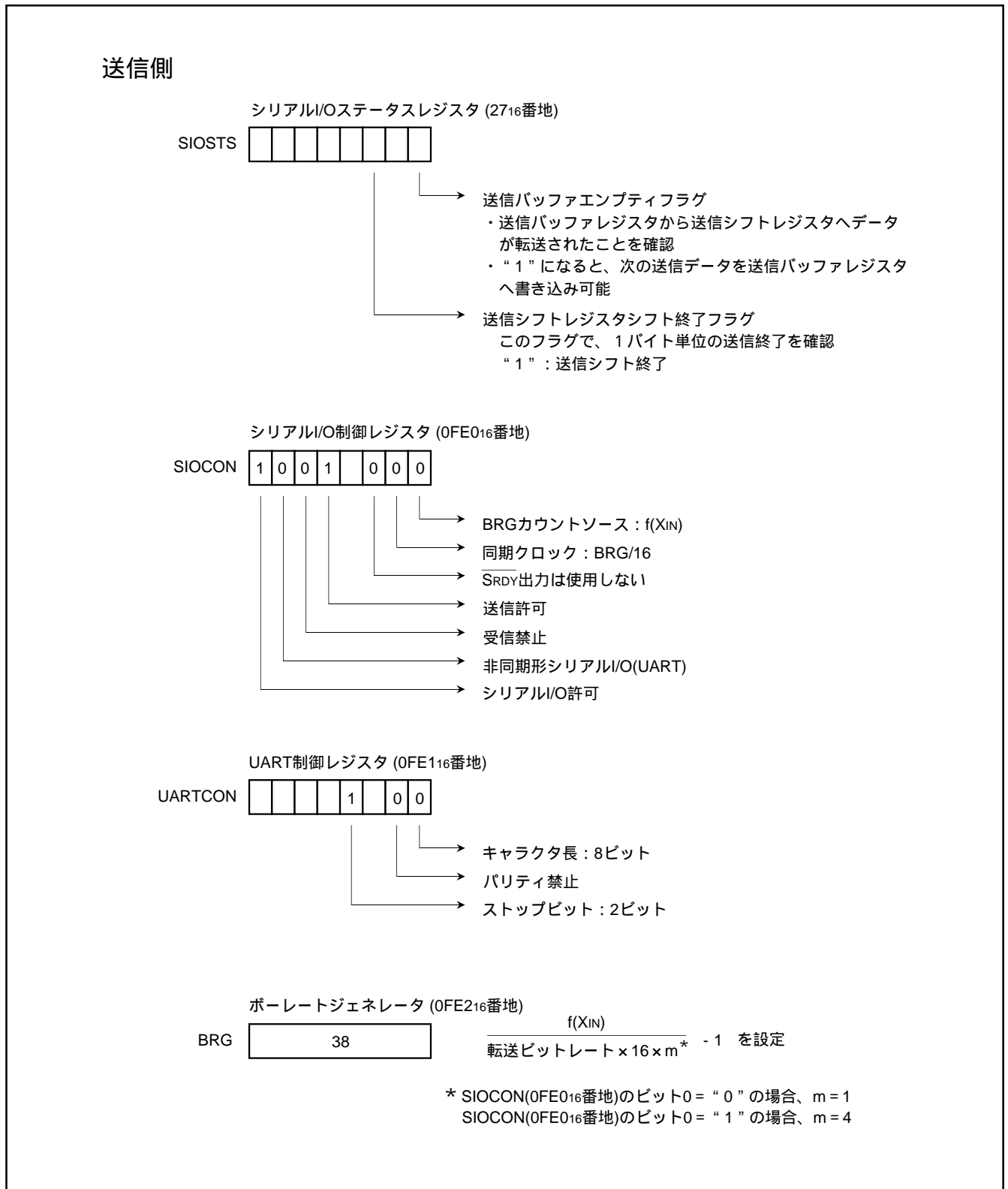


図2.4.31 送信側関連レジスタの設定

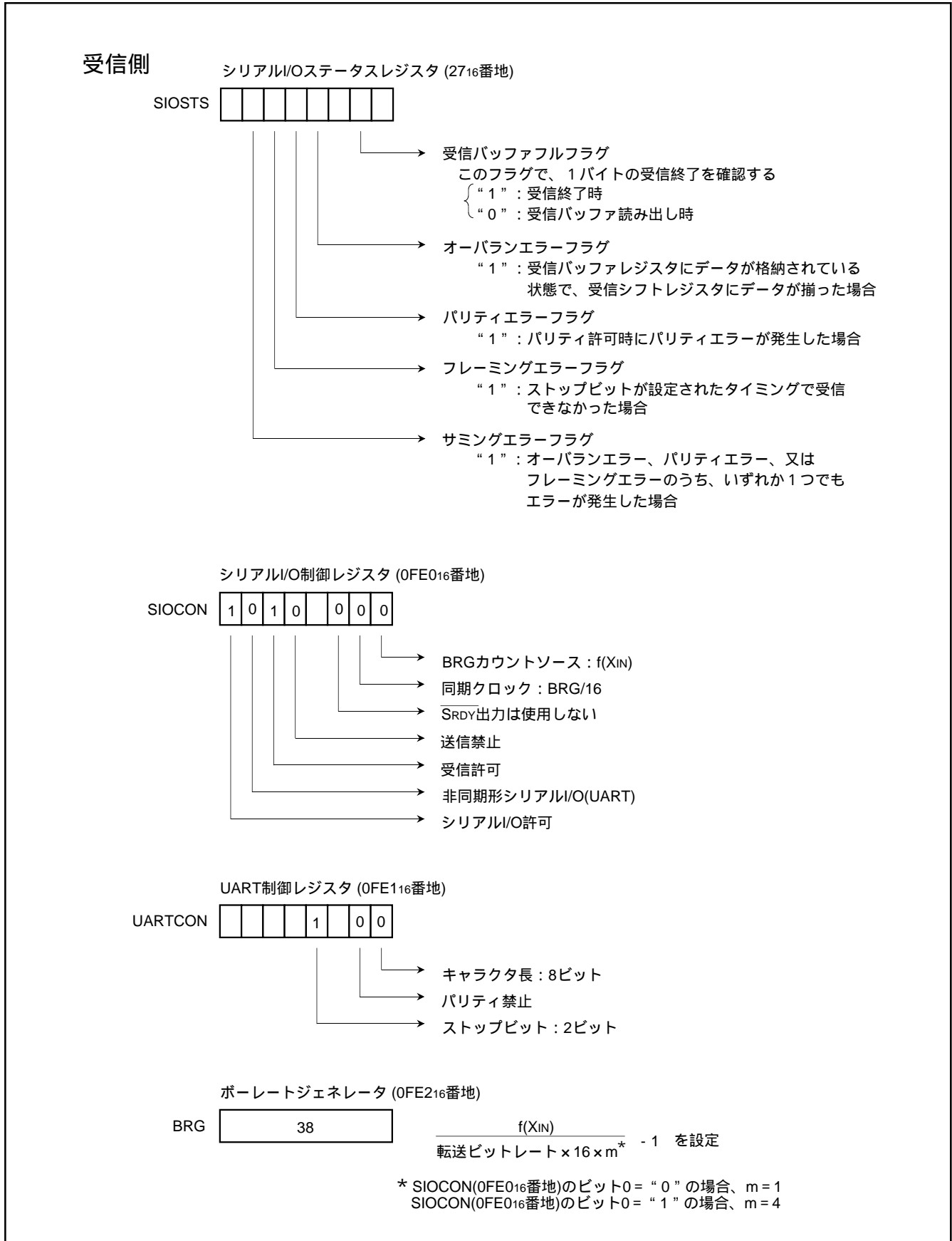


図2.4.32 受信側関連レジスタの設定

図2.4.33に送信側の制御手順、図2.4.34に受信側の制御手順を示します。

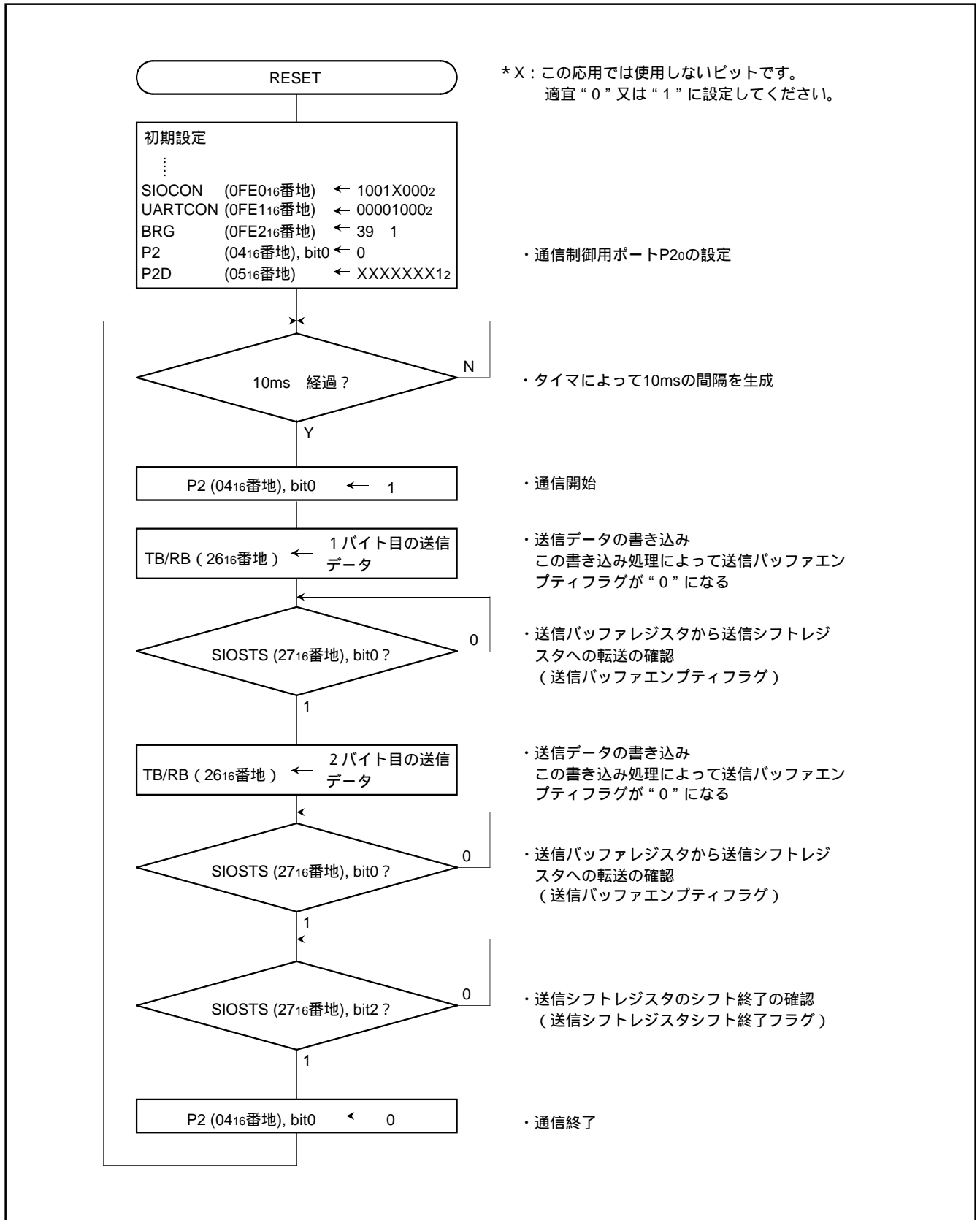


図2.4.33 送信側の制御手順

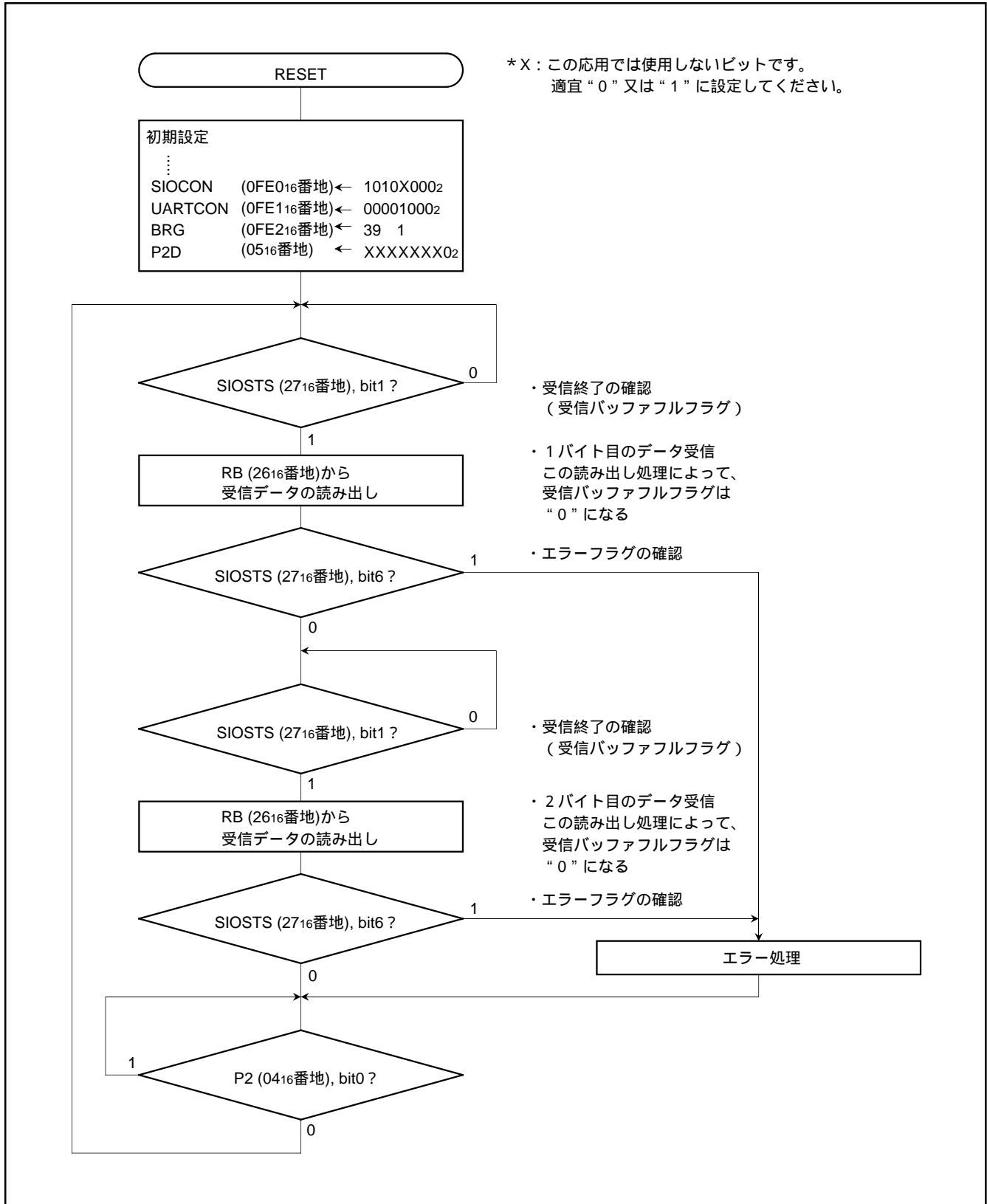


図2.4.34 受信側の制御手順

2.4.6 シリアルI/Oに関する注意事項

(1) クロック同期形の選択時(シリアルI/O)

送信動作の停止

シリアルI/O許可ビット及び送信許可ビットを“0”(シリアルI/O禁止及び送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O許可ビットを“0”(シリアルI/O禁止)にしてください。

送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また(1)の 送信動作の停止 と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(2) 非同期形の選択時(シリアルI/O)

送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側のSRDY出力(シリアルI/O)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O制御レジスタの再設定(シリアルI/O)

シリアルI/O制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

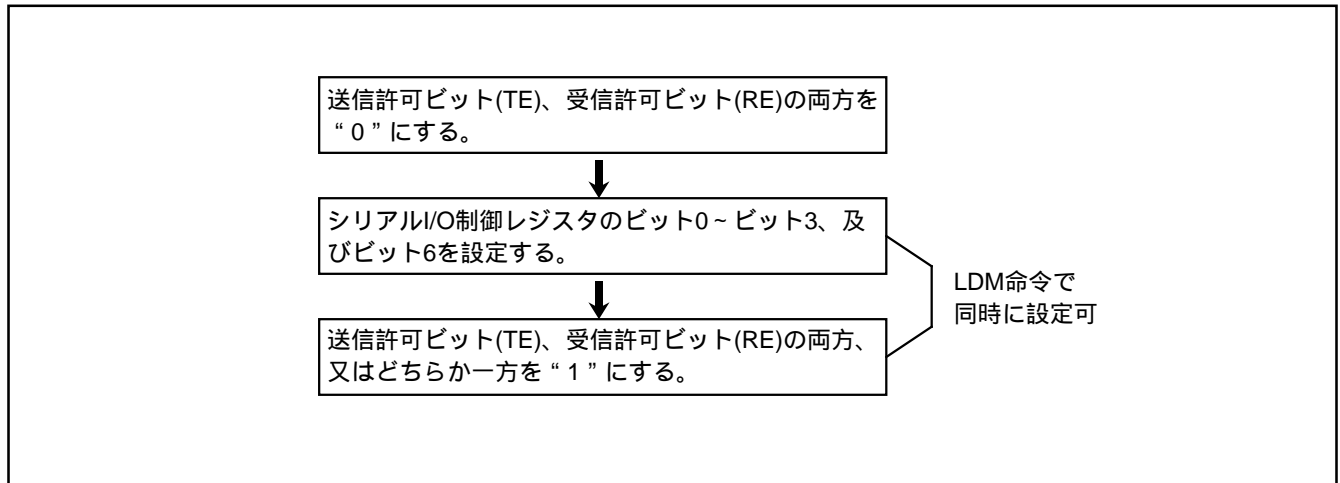


図2.4.35 シリアルI/O制御レジスタの再設定手順

(5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れで“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(6) 外部クロック選択時の送信制御(シリアルI/O)

データ送信時、同期クロックとして外部クロックを選択している場合、SCLKが“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLKが“H”の状態で行ってください。

(7) 送信許可ビットセット時の送信割り込み要求(シリアルI/O)

送信割り込みを使用する場合は、以下の手順で送信割り込み許可ビットを許可状態にしてください。

CLB命令により、割り込み許可ビットを“0”(禁止状態)にする。

シリアルI/Oの送受信準備を行う。

一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

割り込み許可ビットを“1”(許可状態)にする。

理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンプティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

2.5 USB機能

USB機能の応用を詳細に説明した「応用技術資料(アプリケーションノート)」を用意しています。
次のWebサイトから入手してください。

ルネサステクノロジホームページ

USB デバイス

(<http://japan.renesas.com/usb>)

2.6 外部バスインタフェース(EXB)

外部バスインタフェース(EXB)の応用を詳細に説明した「応用技術資料(アプリケーションノート)」を用意しています。

次のWebサイトから入手してください。

ルネサステクノロジホームページ

USB デバイス

(<http://japan.renesas.com/usb>)

2.7 A/D変換器

本節ではA/D変換器に関するレジスタの設定方法、注意事項などを説明します。

2.7.1 メモリ配置図

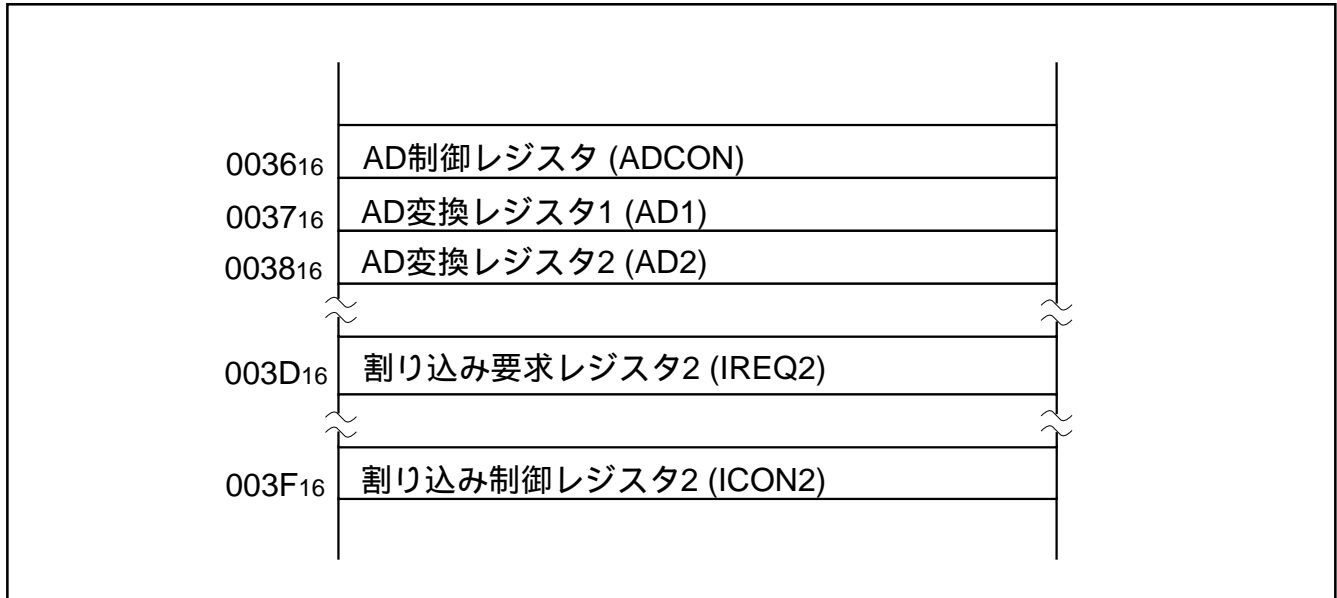


図2.7.1 A/D変換器関連レジスタのメモリ配置

2.7.2 関連レジスタ

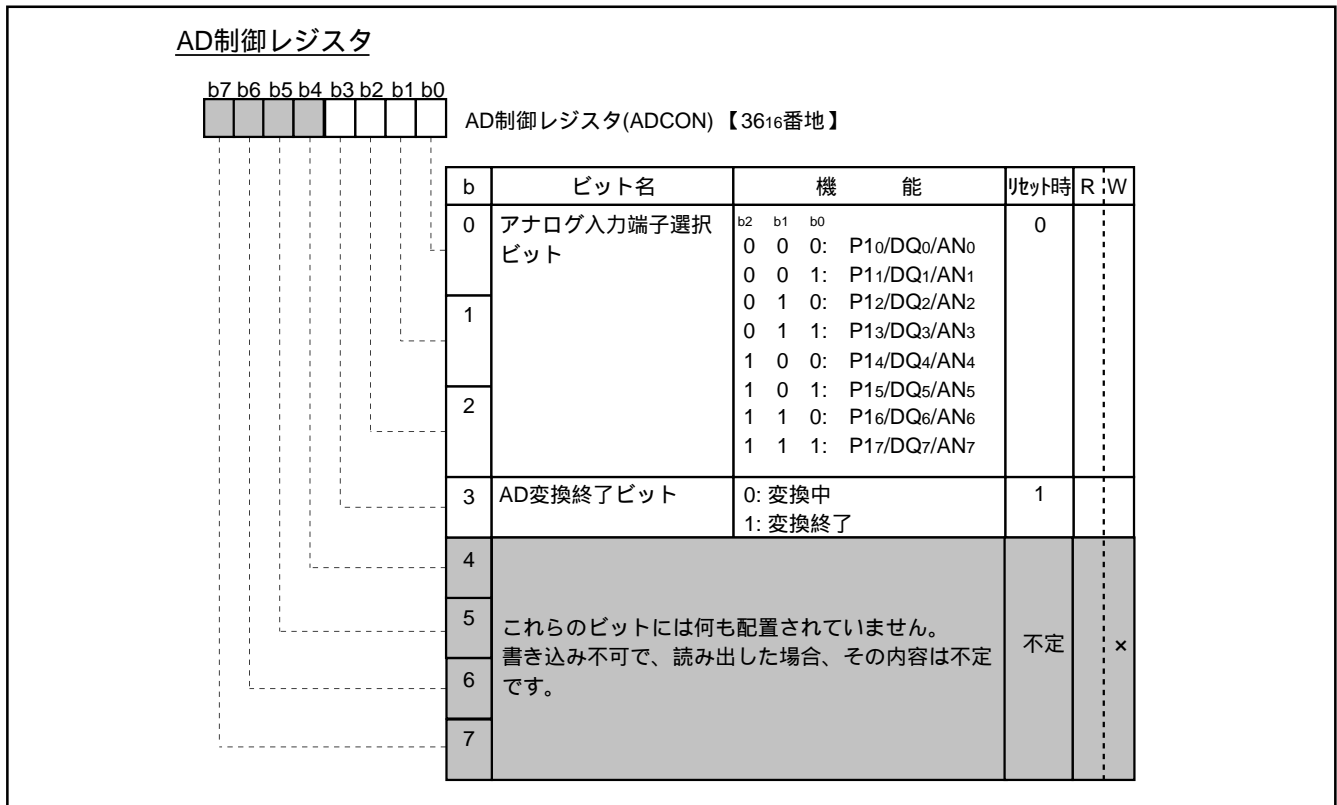


図2.7.2 AD制御レジスタの構成

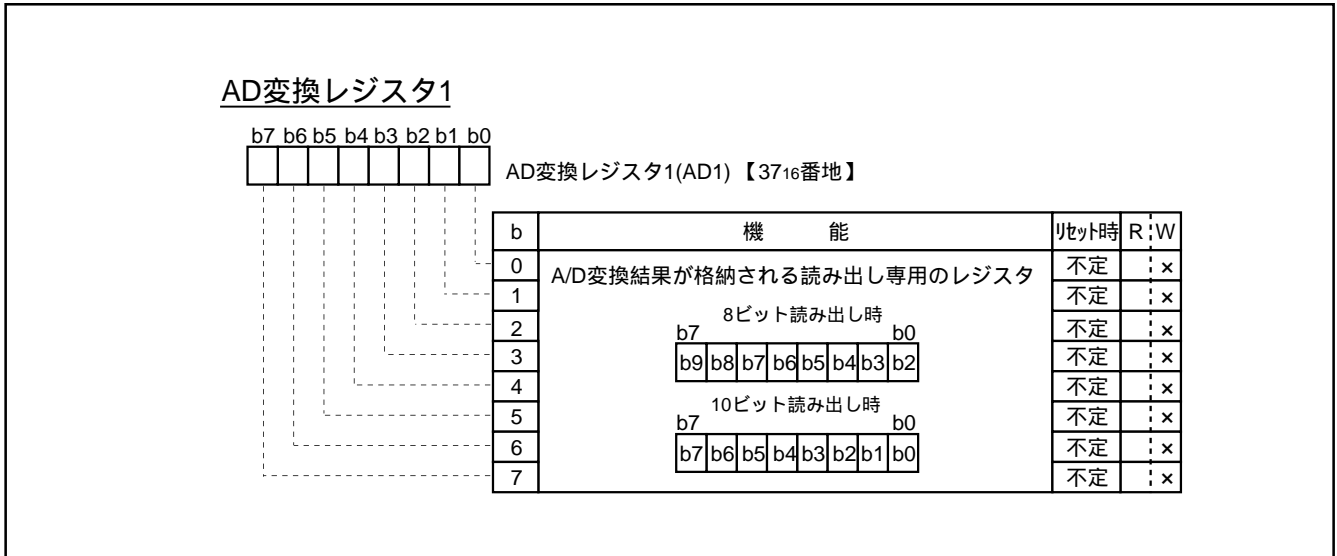


図2.7.3 AD変換レジスタ1の構成

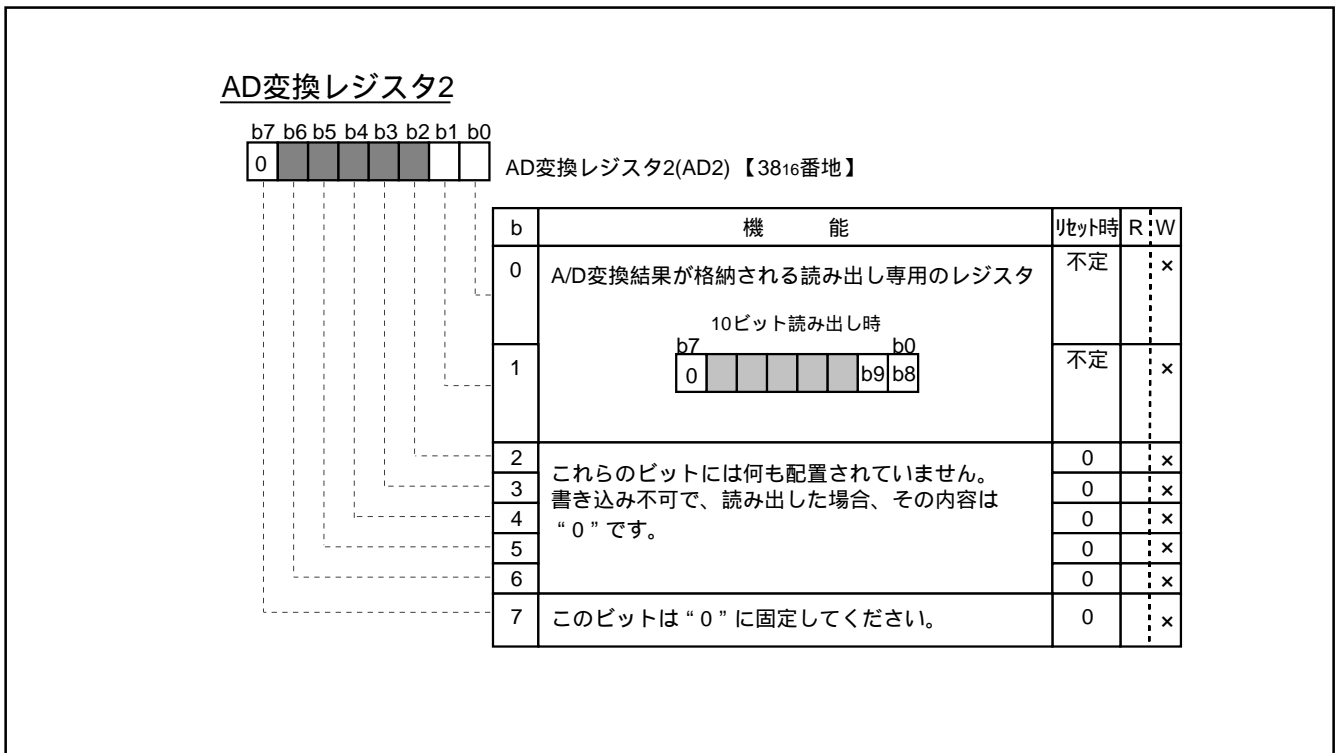


図2.7.4 AD変換レジスタ2の構成

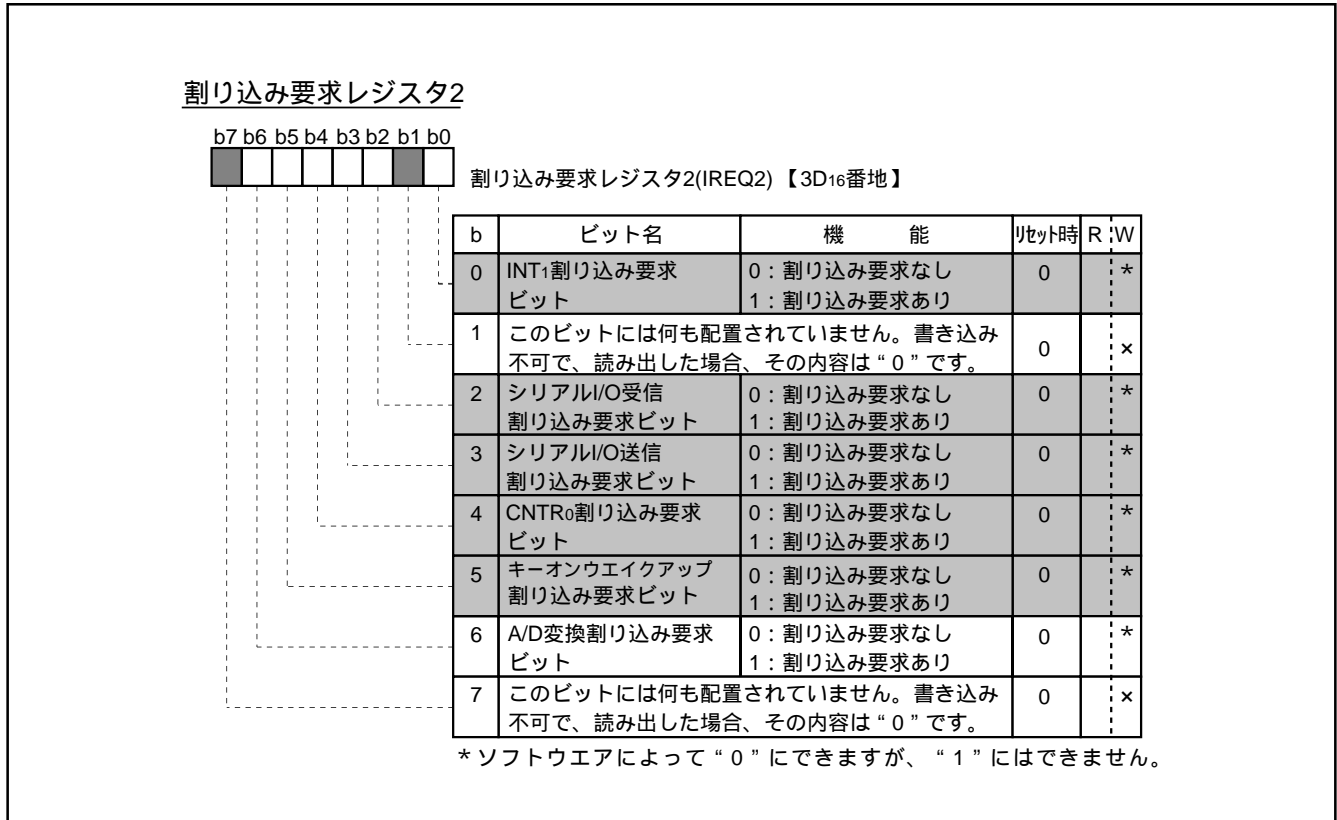


図2.7.5 割り込み要求レジスタ2の構成

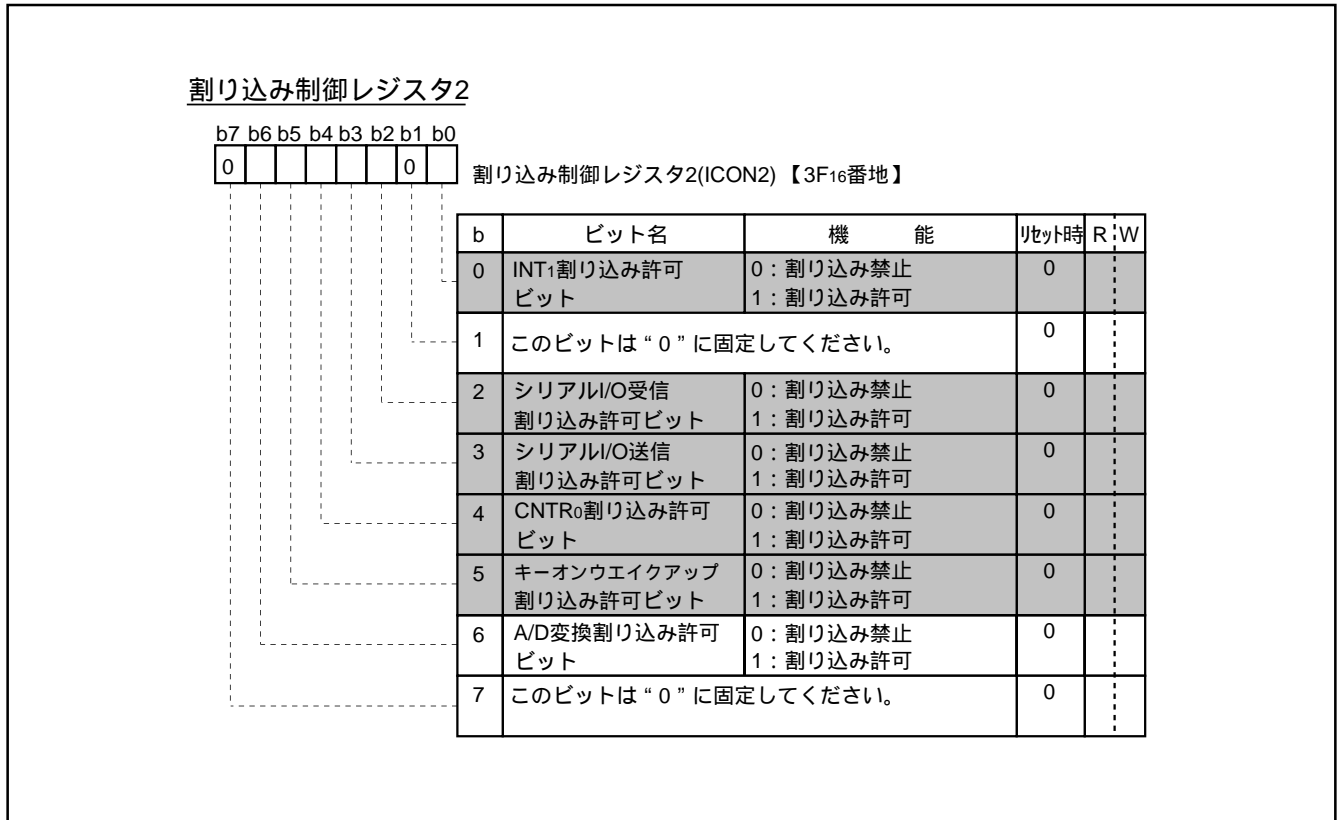


図2.7.6 割り込み制御レジスタ2の構成

2.7.3 A/D変換応用例

(1) アナログ信号の読み込み

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.7.7、関連レジスタの設定を図2.7.8に示します。

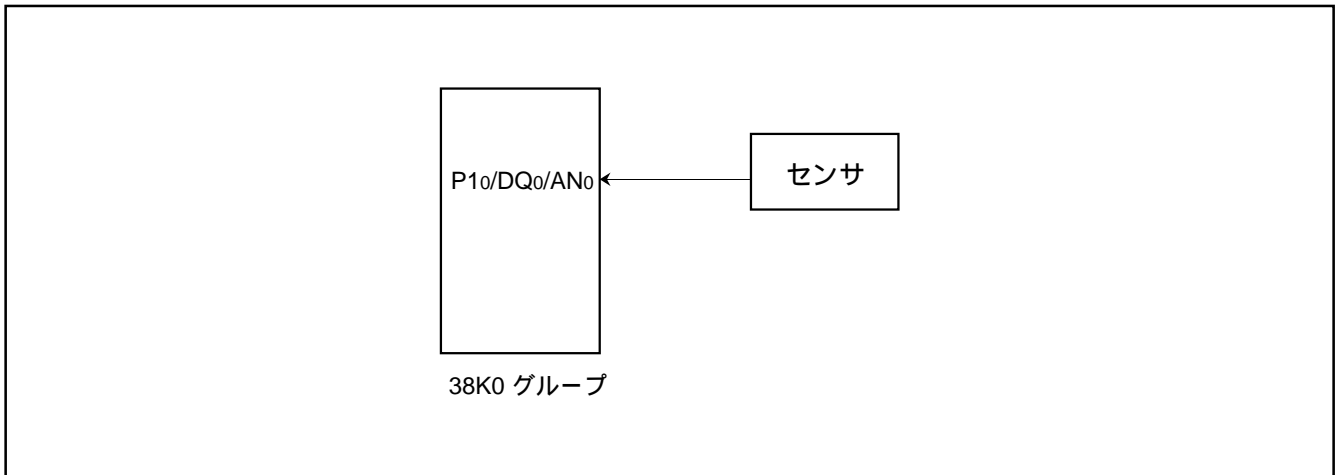


図2.7.7 接続図

- 仕 様：
- ・センサからアナログ入力電圧をデジタル値に変換。
 - ・アナログ入力端子にはP10/DQ0/AN0端子を使用。

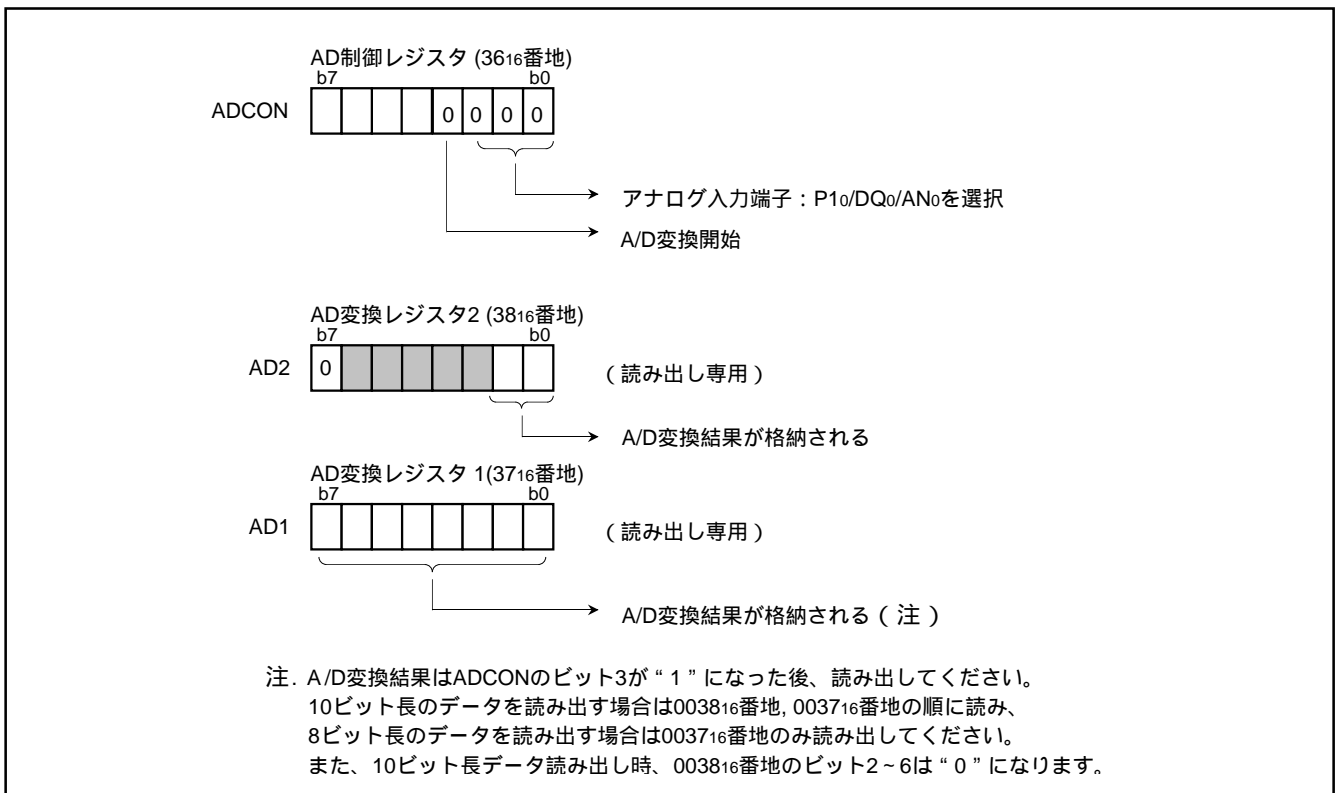


図2.7.8 関連レジスタの設定

図2.7.8に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.7.9に8ビット読み出し時の制御手順を、図2.7.10に10ビット読み出し時の制御手順を示します。

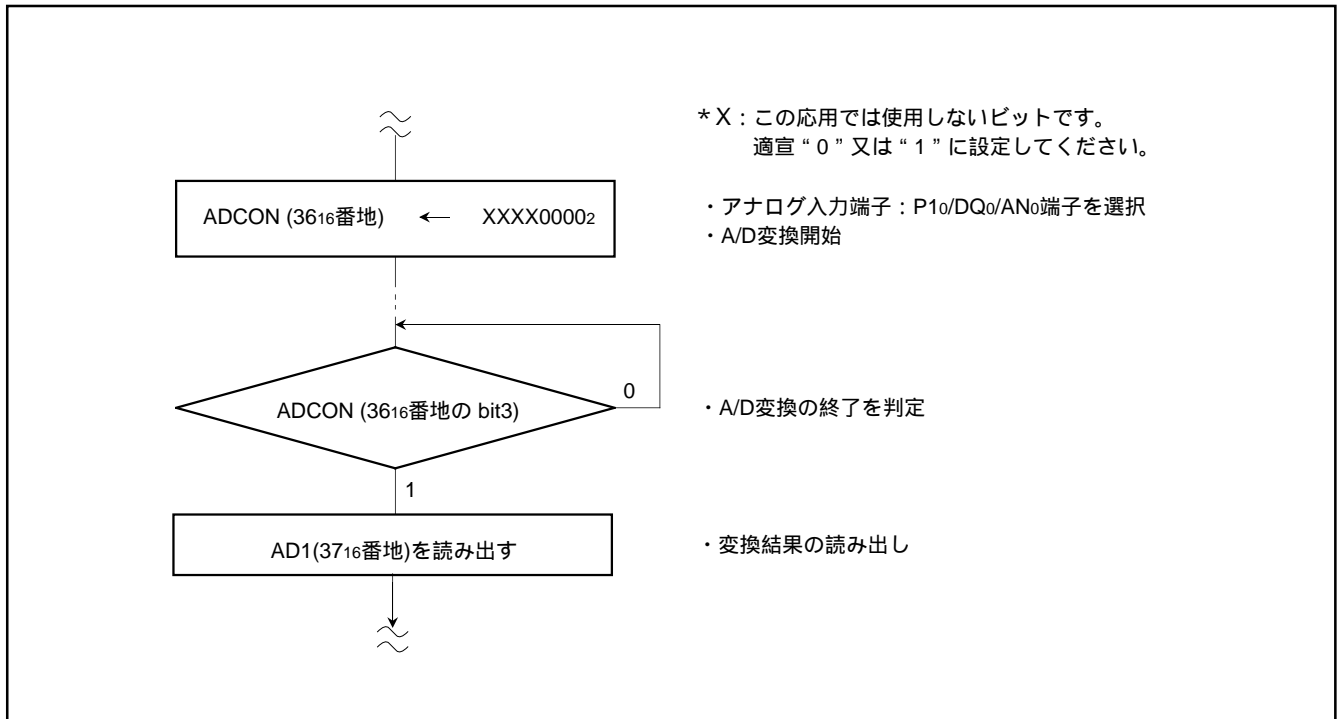


図2.7.9 制御手順(8ビット読み出し時)

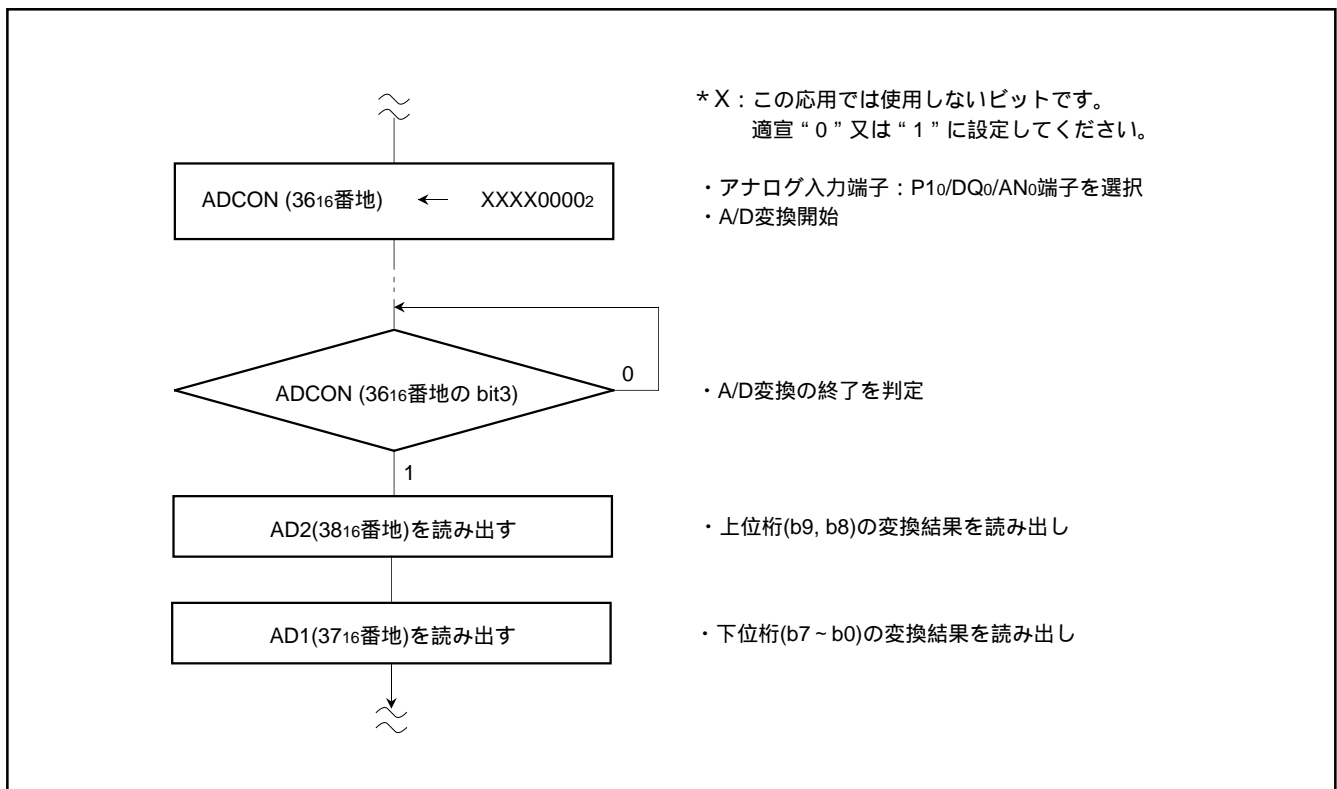


図2.7.10 制御手順(10ビット読み出し時)

2.7.4 A/D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\mu\text{F}$ ~ $1\mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

(2) A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・ $f(\text{XIN})$ は500kHz以上にしてください。
- ・ STP命令を実行しないでください。

2.8 ウォッチドッグタイマ

本節ではウォッチドッグタイマに関するレジスタの設定方法、制御手順などを説明します。

2.8.1 メモリ配置図

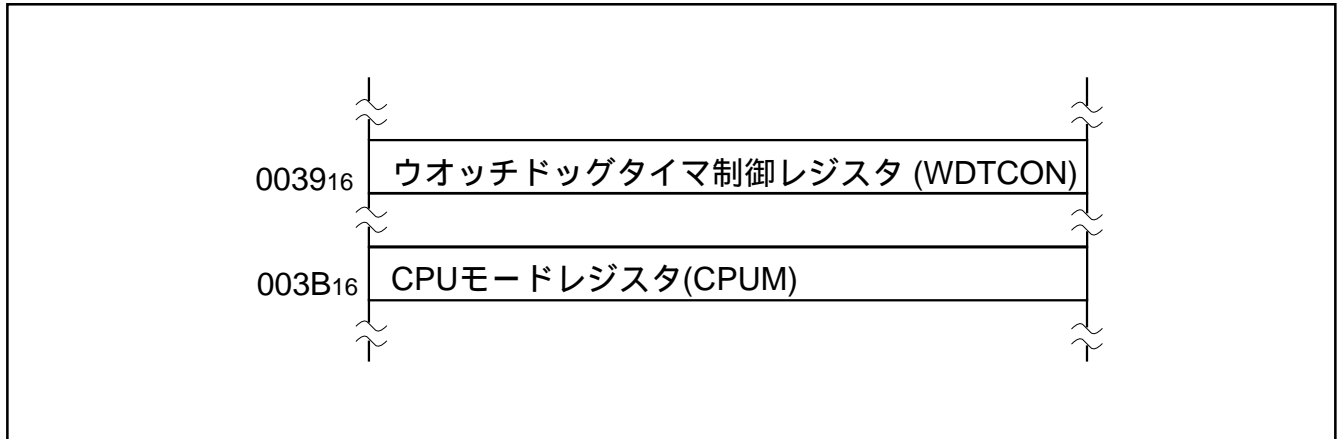


図2.8.1 ウォッチドッグタイマ関連レジスタのメモリ配置

2.8.2 関連レジスタ

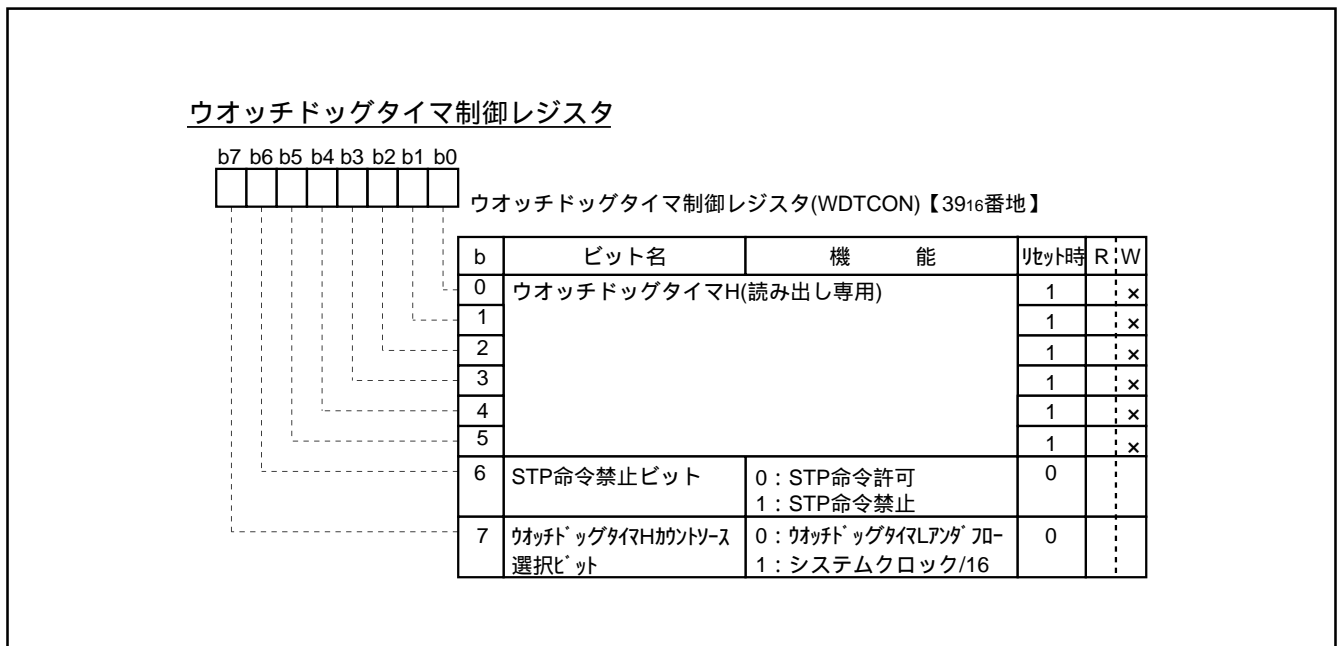


図2.8.2 ウォッチドッグタイマ制御レジスタの構成

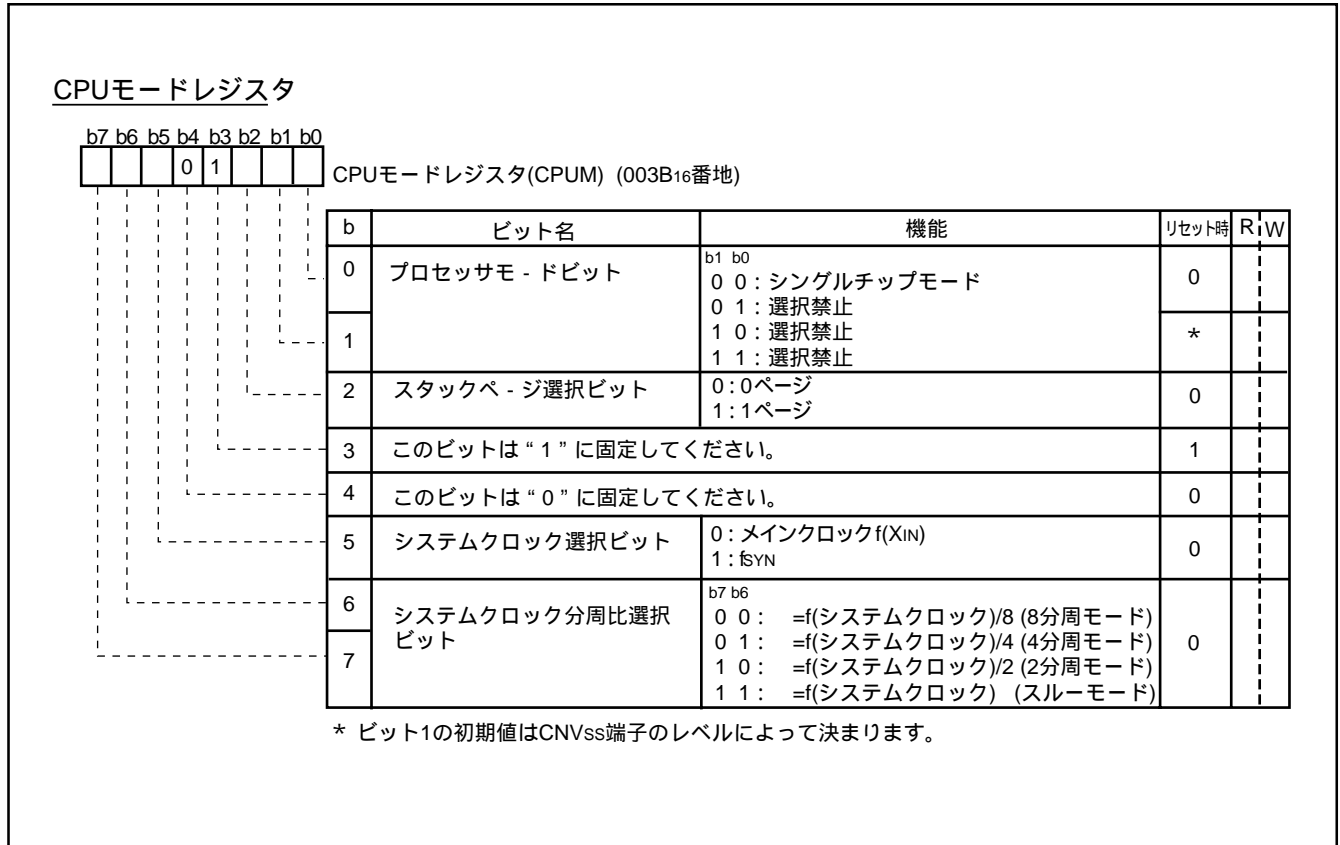


図2.8.3 CPUモードレジスタの構成

2.8.3 ウォッチドッグタイマの応用

(1) ウォッチドッグタイマの応用例：暴走検出

ポイント：プログラムが暴走した場合に、内部暴走検知タイマでマイコンをリセット状態に復帰させる手段を与えます。

仕様：

- ・ウォッチドッグタイマHのアンダフローによって、プログラムの異常と判断し、マイコンをリセット状態に復帰
- ・ウォッチドッグタイマがアンダフローする前に、メインルーチン内で1サイクルごとにウォッチドッグタイマ制御レジスタのビット7へ“0”を設定
- ・システムクロック分周比はスルーモードを使用
- ・ウォッチドッグタイマHのカウントソースにはウォッチドッグタイマLのアンダフローを接続

ウォッチドッグタイマの接続と分周比の設定を図2.8.4、関連レジスタの設定を図2.8.5、及び制御手順を図2.8.6に示します。

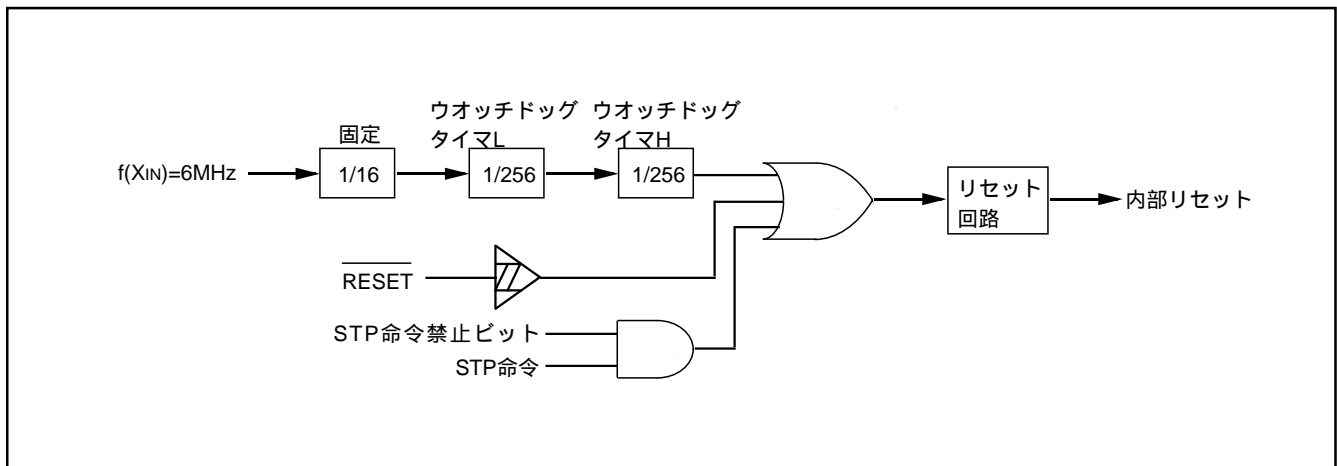


図2.8.4 ウォッチドッグタイマの接続と分周比の設定

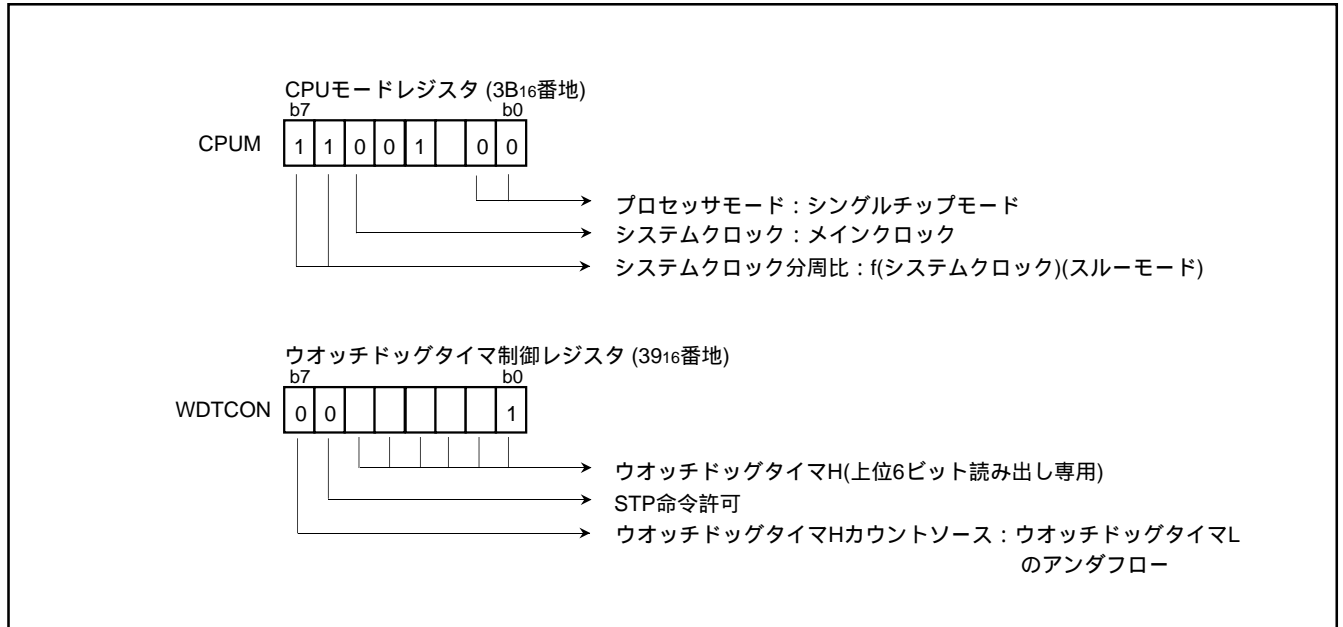


図2.8.5 関連レジスタの初期設定

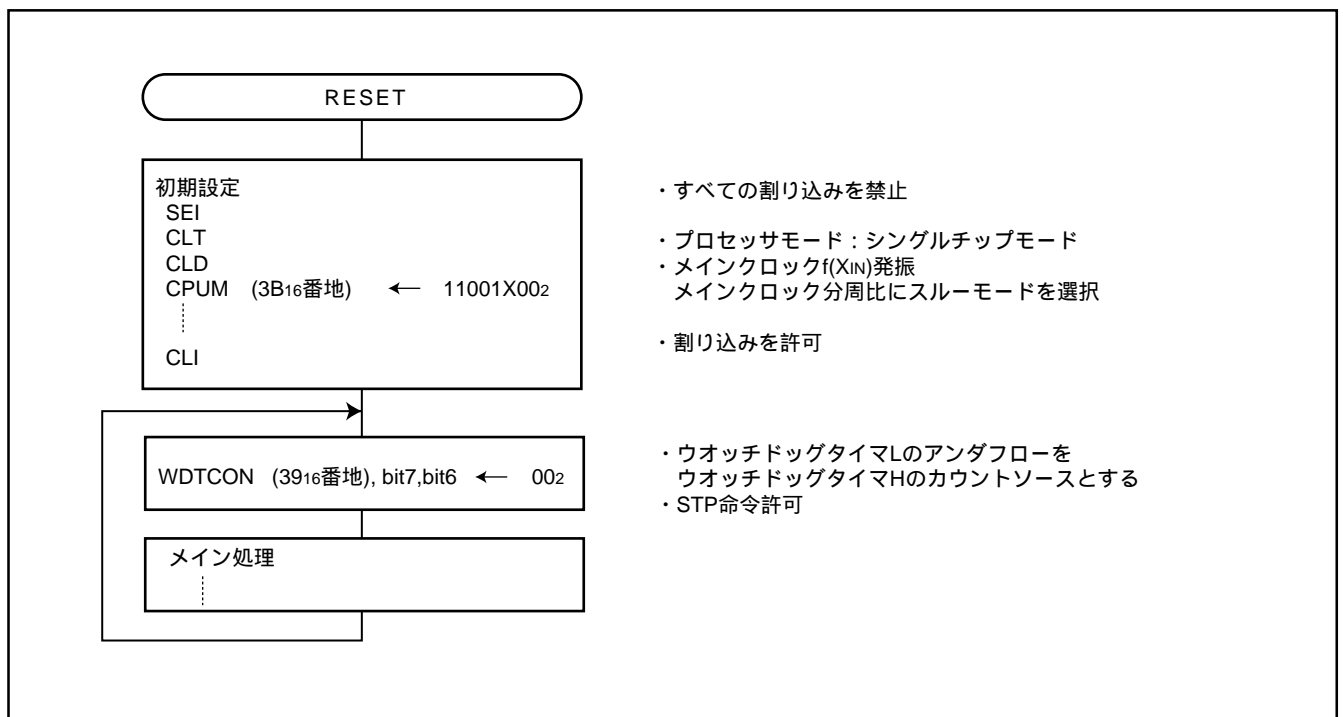


図2.8.6 制御手順

2.8.4 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。

ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えることはできません。

2.9 リセット

2.9.1 リセットICを用いた接続例

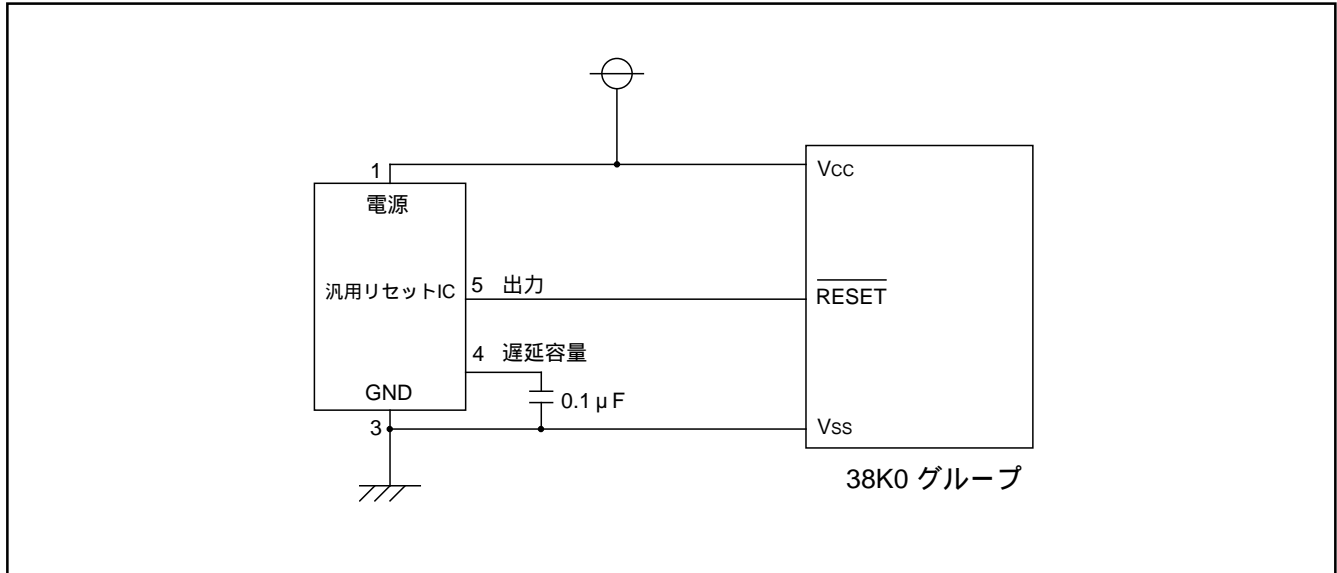


図2.9.1 パワーオンリセット回路例

INT割り込みでシステム電源の低下を検出することによって、RAMバックアップモードに切り替えるシステム例を図2.9.2に示します。

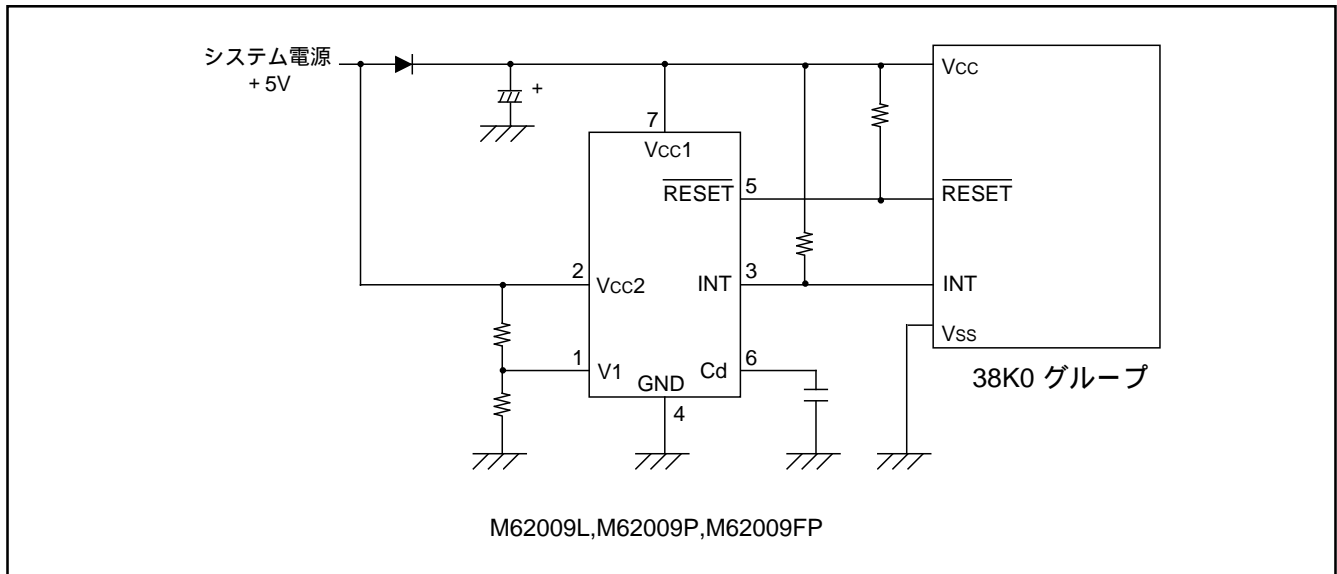


図2.9.2 RAMバックアップシステム

2.9.2 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

2.10 周波数シンセサイザ(PLL)

本節では周波数シンセサイザ(PLL回路)に関するレジスタの設定方法、注意事項などを説明します。

2.10.1 メモリ配置図

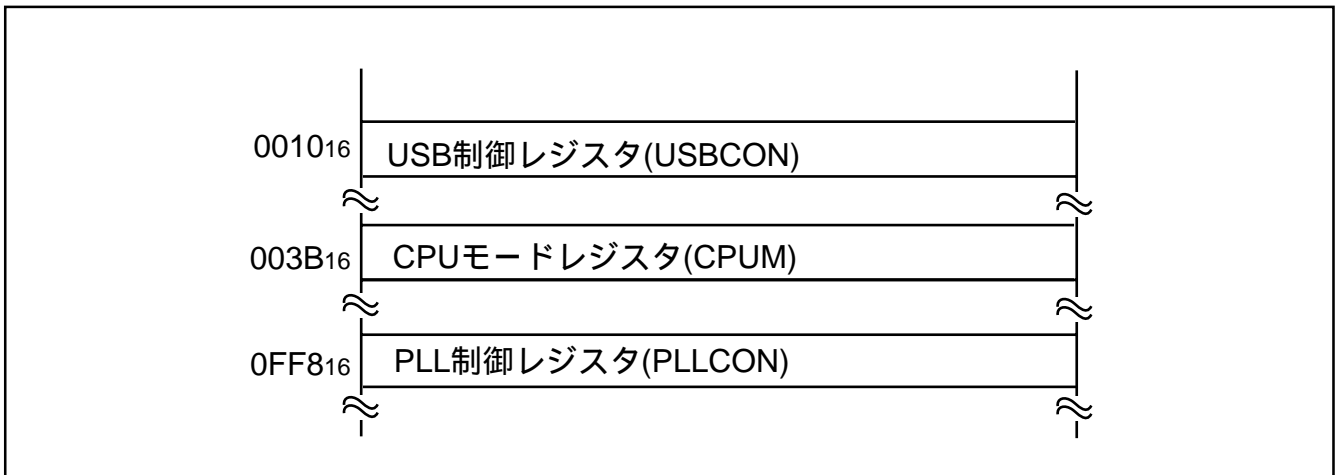


図2.10.1 PLL関連レジスタのメモリ配置

2.10.2 関連レジスタ

USB制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

USB制御レジスタ(USBCON) (10₁₆番地)

b	ビット名	機能	リセット時	R	W
0	リモートウエイクアップビット	0: “1”書き込み後“1”を書き込むとBUS idle状態に戻ります。 (リモートウエイクアップ信号) 1: Kステート出力	0		
1	TrON 出力制御ビット	0: “L”出力モード(TRONE=“1”時のみ有効) 1: “H”出力モード(TRONE=“1”時のみ有効)	0		
2	TrON 出力許可ビット	0: TrONポート出力禁止(Hi Z状態) 1: TrONポート出力許可	0		
3	USB 基準電圧制御ビット	0: ノーマルモード(VREFE=“1”時のみ有効) 1: 低消費電力モード(VREFE=“1”時のみ有効)	0		
4	USB 基準電圧許可ビット	0: USB基準電圧回路動作禁止 1: USB基準電圧回路動作許可	0		
5	USB 差動入力許可ビット	0: アップポート差動入力回路動作禁止 1: アップポート差動入力回路動作許可	0		
6	USB クロック選択ビット	0: 外部発振クロック(f _{XN}) 1: PLL回路出力クロック(f _{CO})	0		
7	USB モジュール動作許可ビット	0: USBモジュールリセット 1: USBモジュール動作許可	0		

図2.10.2 USB制御レジスタの構成

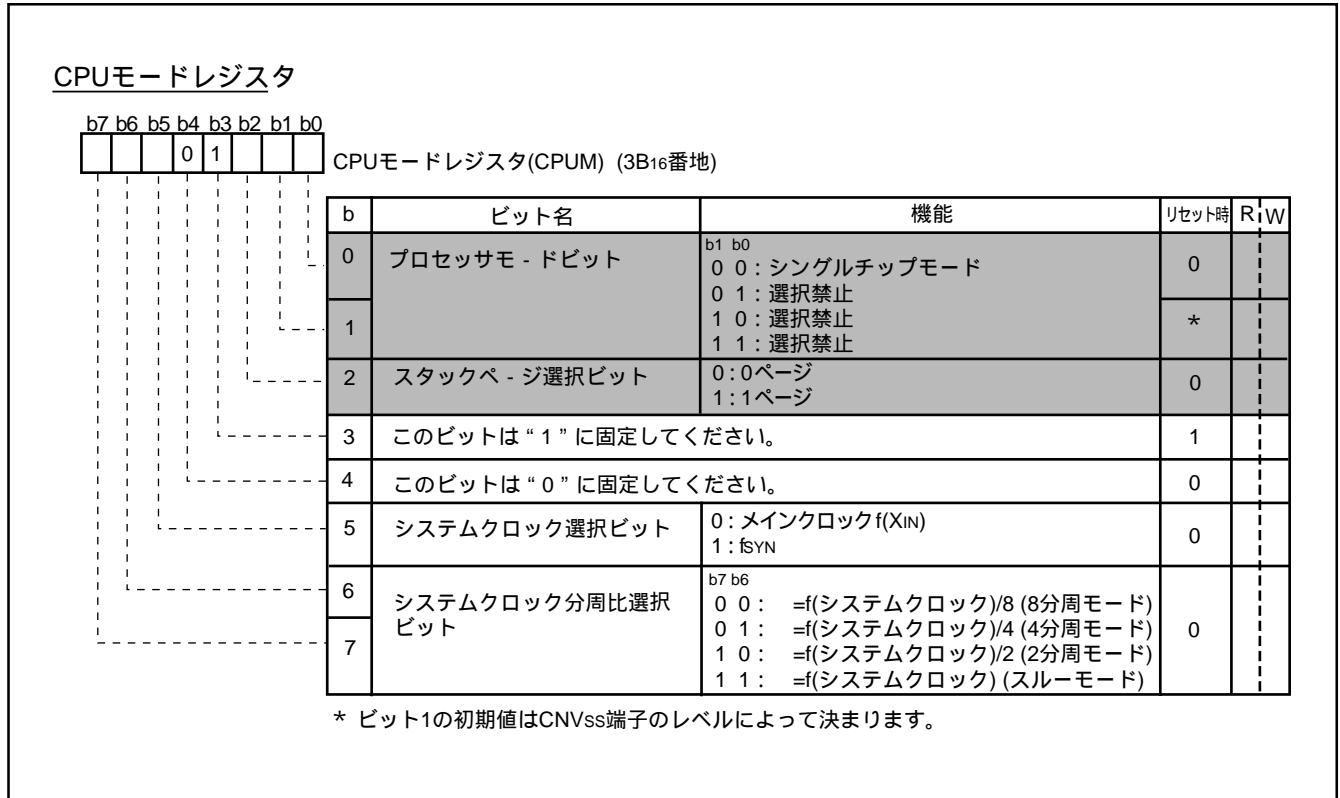


図2.10.3 CPUモードレジスタの構成

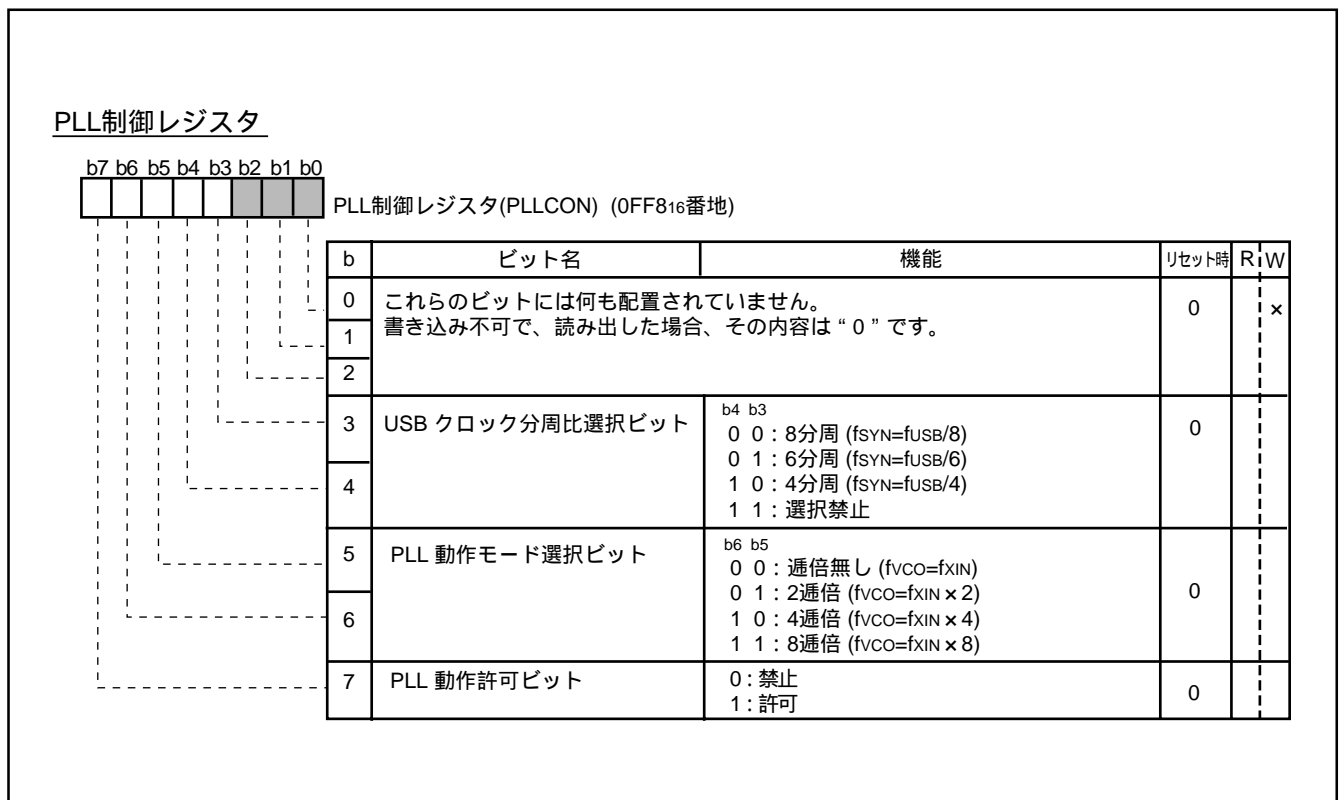


図2.10.4 PLL制御レジスタの構成

2.10.3 機能説明

PLL回路は、外部入力基準クロックf(XIN)の倍数である48MHzクロックを生成します。USB機能を用いる場合、48MHzのクロックが必要ですので、PLL制御レジスタ(0FF816番地)のPLL動作許可ビットを“1”(許可)に設定し、48MHzのPLL出力クロック(fvco)をUSBファンクション制御ユニットへ出力します。図2.10.5にPLL回路ブロック図を示します。

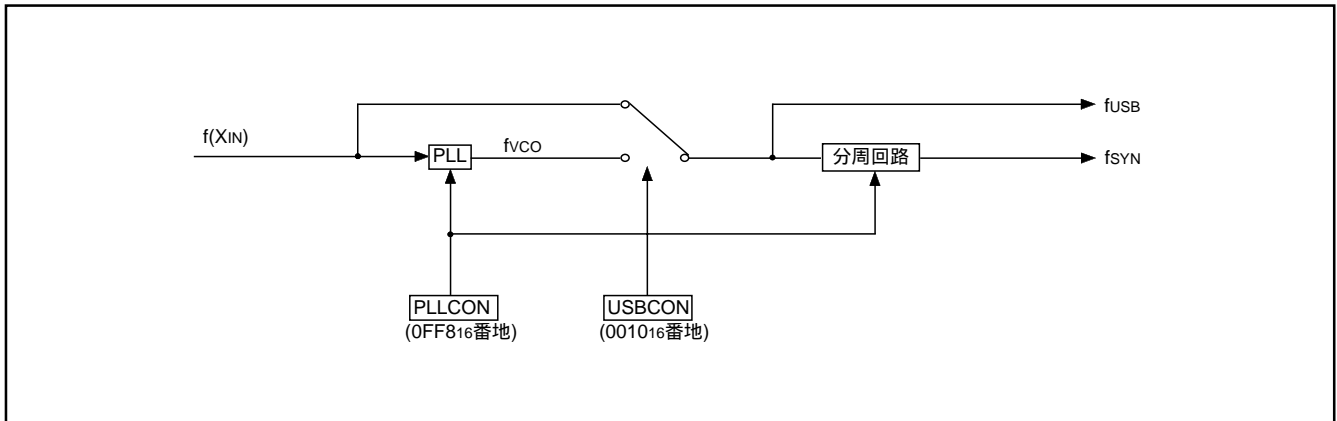


図2.10.5 PLL回路ブロック図

fvco(PLL出力クロック)

PLLに入力されたクロックを、PLL制御レジスタのPLL動作モード選択ビット(0FF816番地のビット6、5)に設定した内容にて逡倍し、fvcoを生成します。

$$fvco = f(XIN) \times n \quad n: \text{PLL動作モード選択ビットの内容}$$

fvcoの値が48MHzになるようにPLL動作モード選択ビットの値を設定してください。PLL動作許可ビットが“0”(禁止)のとき、fvcoは“L”を保持します(PLL動作モード選択ビットが“002”以外の場合)。表2.10.1にPLL動作モード選択ビットの設定例を示します。

表2.10.1 PLL動作モード選択ビットの設定例

f(XIN)	PLL動作モード選択ビット (PLL制御レジスタのビット6、5)	fvco
6MHz	11	48MHz
12MHz	10	48MHz

なお、PLL動作モード選択ビットに“002”を設定した場合、PLLの動作/禁止に関係なく、PLLに入力されるクロックがそのままfvcoになります。

fUSB(USBクロック)

fUSBには、USB制御レジスタのUSBクロック選択ビット(001016番地のビット6)にて、f(XIN)(メインクロック)又はfvco(PLL出力クロック)を選択、供給します。fvcoをfUSBへ供給する場合、PLL動作許可ビットを“1”(許可)に設定した後、USBクロック選択ビットを“1”(USBクロック)に設定してください。

f_{SYN}(f_{USB}分周クロック)

PLL制御レジスタのUSBクロック分周比選択ビット(0FF8₁₆番地のビット4、3)に設定した内容によりf_{USB}を分周し、f_{SYN}を生成します。

$$f_{SYN} = f_{USB} / n \quad n: \text{USBクロック分周比選択ビットの内容}$$

f_{SYN}の値が6MHz、8MHz、又は12MHzになるようにUSBクロック分周比選択ビットの値を設定してください。内部システムクロックとしてf_{SYN}を用いる場合、CPUモードレジスタのシステムクロック選択ビット(003B₁₆番地のビット5)を“1”(f_{SYN})に設定してください。表2.10.2にUSBクロック分周比選択ビットの設定例を示します。

表2.10.2 USBクロック分周比選択ビットの設定例

f _{USB}	USBクロック分周比選択ビット (PLL制御レジスタのビット4、3)	f _{SYN}
48MHz	00	6MHz
	01	8MHz
	10	12MHz

ハードウェアリセット時のPLL回路起動手順

ハードウェアリセット時のPLL関連レジスタの設定例を図2.10.6に示します。

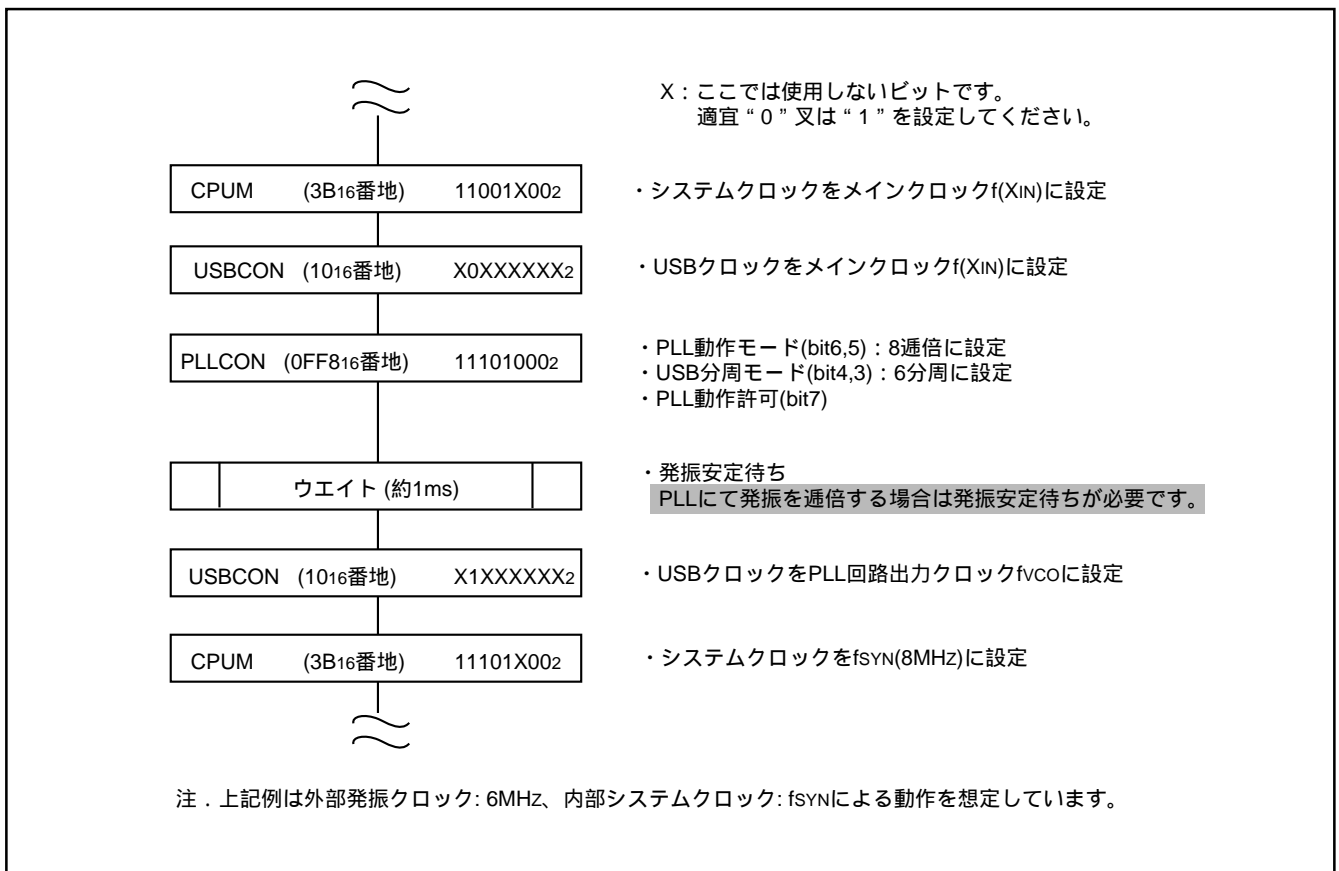


図2.10.6 PLL関連レジスタの設定例(ハードウェアリセット時)

ストップモード時のPLL回路停止及び復帰手順

ストップモード時におけるPLL回路停止手順を図2.10.7に示します。

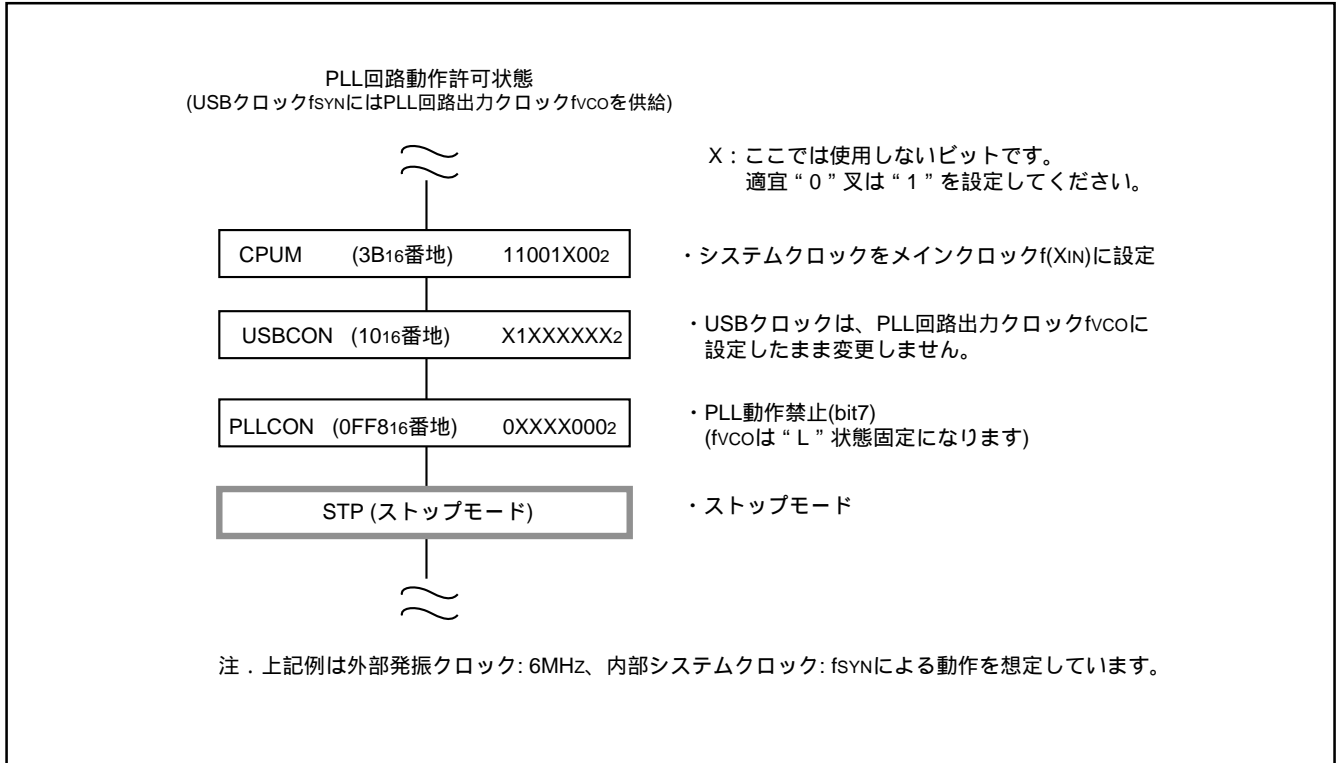


図2.10.7 PLL関連レジスタの設定例(ストップモード時)

ストップモード復帰時のPLL回路復帰手順を図2.10.8に示します。

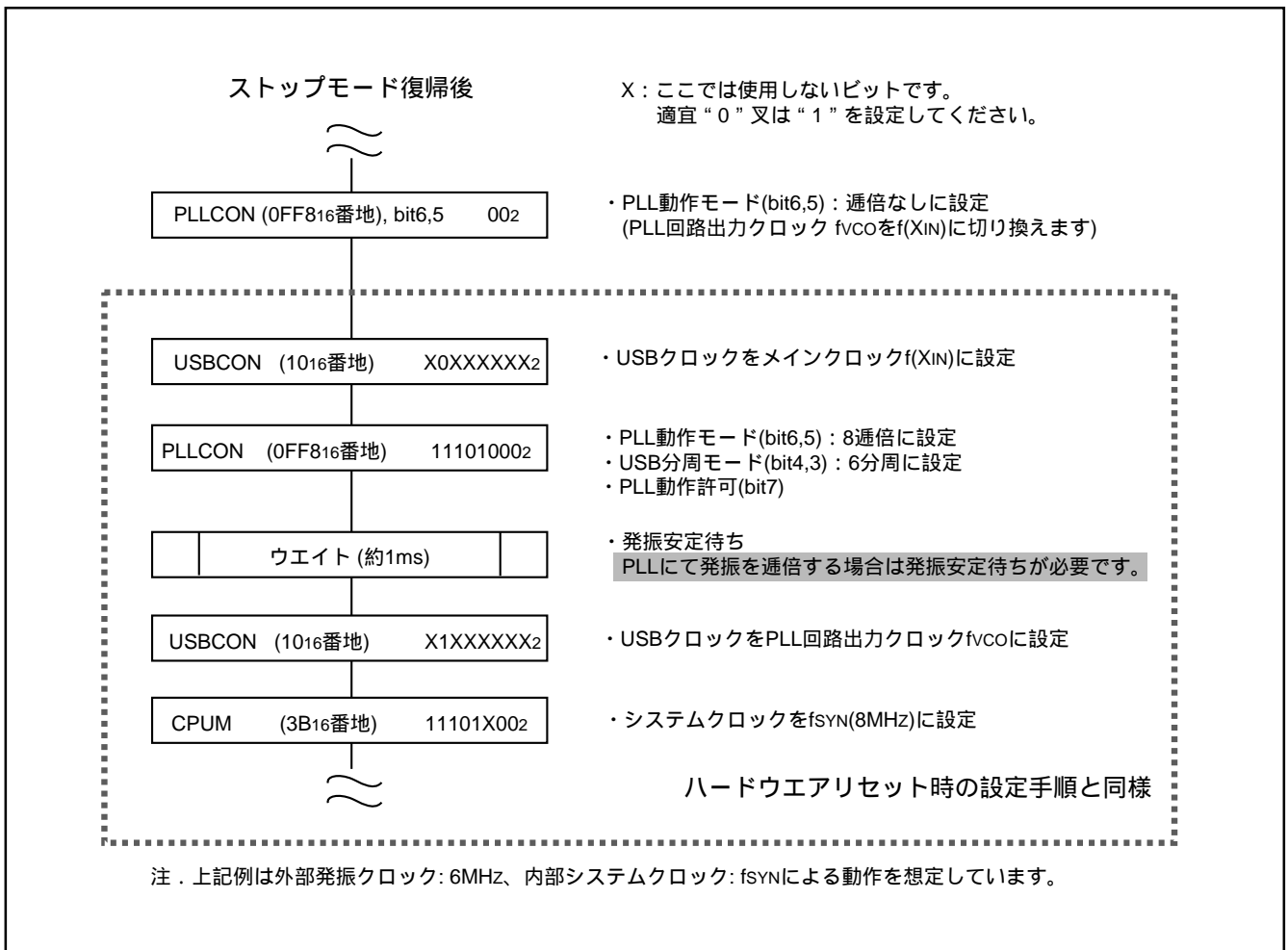


図2.10.8 PLL関連レジスタの設定例(ストップモード復帰時)

2.10.4 PLLに関する注意事項

基準クロック(f(XIN))入力として接続可能な外部発振子は、6MHz又は12MHzになります。また、基準クロック(f(XIN))入力は、より高周波のものを使用することを推奨します。

PLL動作禁止状態(リセット時は禁止)から許可する際には、USBクロックは、USB制御レジスタのUSBクロック選択ビット(UCLKCON)を“0”(f(XIN))に設定し、メインクロック(f(XIN))にて動作させてください。

PLL動作許可ビットを“1”(許可)に設定した後、fVCOをfUSBへ供給する場合、クロックによる不安定な動作を避けるため、発振安定時間(1ms以内)待ち、USB制御レジスタのUSBクロック選択ビットを“1”(USBクロック)に設定してください。

内部システムクロックとしてfSYN選択時は、fUSBが48MHzの時のみ使用してください。

内部システムクロックとしてfSYN選択時は、STP命令実行前に、システムクロック選択ビットをメインクロック(f(XIN))に変更してください。これは、ストップモード時、低消費電力を実現するため、PLL動作を禁止してfUSBを停止させる必要があり、さらに、ストップモード復帰時の発振安定待ち用に使用するタイマ1への入力カウントソースが必要なためです。

2.11 クロック発生回路

本節ではクロック発生回路に関するレジスタの設定方法、注意事項などを説明します。

2.11.1 メモリ配置図

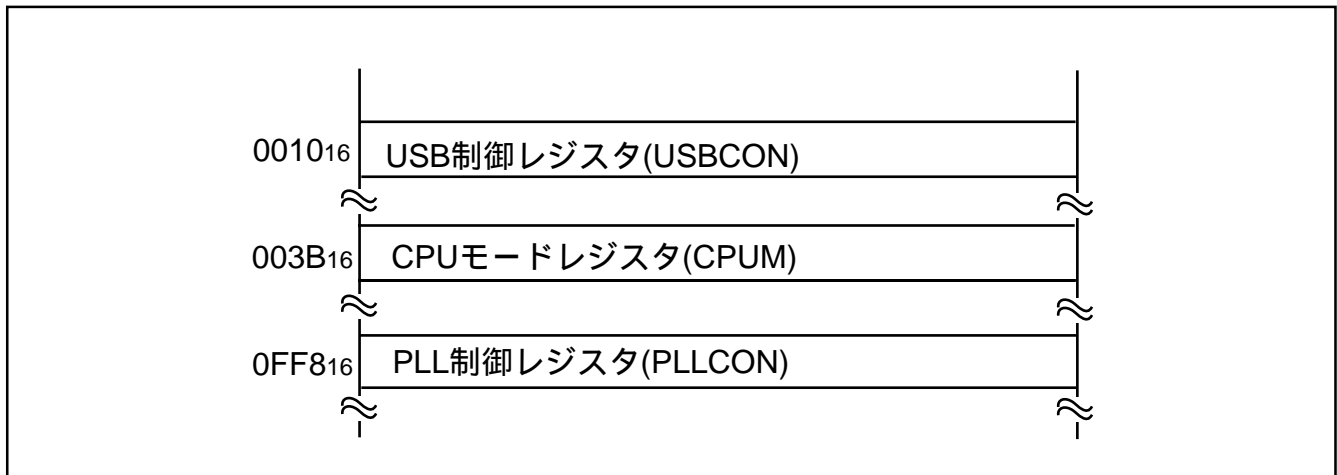


図2.11.1 クロック発生回路関連レジスタのメモリ配置

2.11.2 関連レジスタ

USB制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

USB制御レジスタ(USBCON) (10₁₆番地)

b	ビット名	機能	リセット時	R	W
0	リモートウエイクアップビット	0: “1”書き込み後“1”を書き込むとBUS idle状態に戻ります。 (リモートウエイクアップ信号) 1: Kステート出力	0		
1	TrON出力制御ビット	0: “L”出力モード(TRONE=“1”時のみ有効) 1: “H”出力モード(TRONE=“1”時のみ有効)	0		
2	TrON出力許可ビット	0: TrONポート出力禁止(Hi Z状態) 1: TrONポート出力許可	0		
3	USB基準電圧制御ビット	0: ノーマルモード(VREFE=“1”時のみ有効) 1: 低消費電力モード(VREFE=“1”時のみ有効)	0		
4	USB基準電圧許可ビット	0: USB基準電圧回路動作禁止 1: USB基準電圧回路動作許可	0		
5	USB差動入力許可ビット	0: アップポート差動入力回路動作禁止 1: アップポート差動入力回路動作許可	0		
6	USBクロック選択ビット	0: 外部発振クロック(f _{XN}) 1: PLL回路出力クロック(f _{CO})	0		
7	USBモジュール動作許可ビット	0: USBモジュールリセット 1: USBモジュール動作許可	0		

図2.11.2 USB制御レジスタの構成

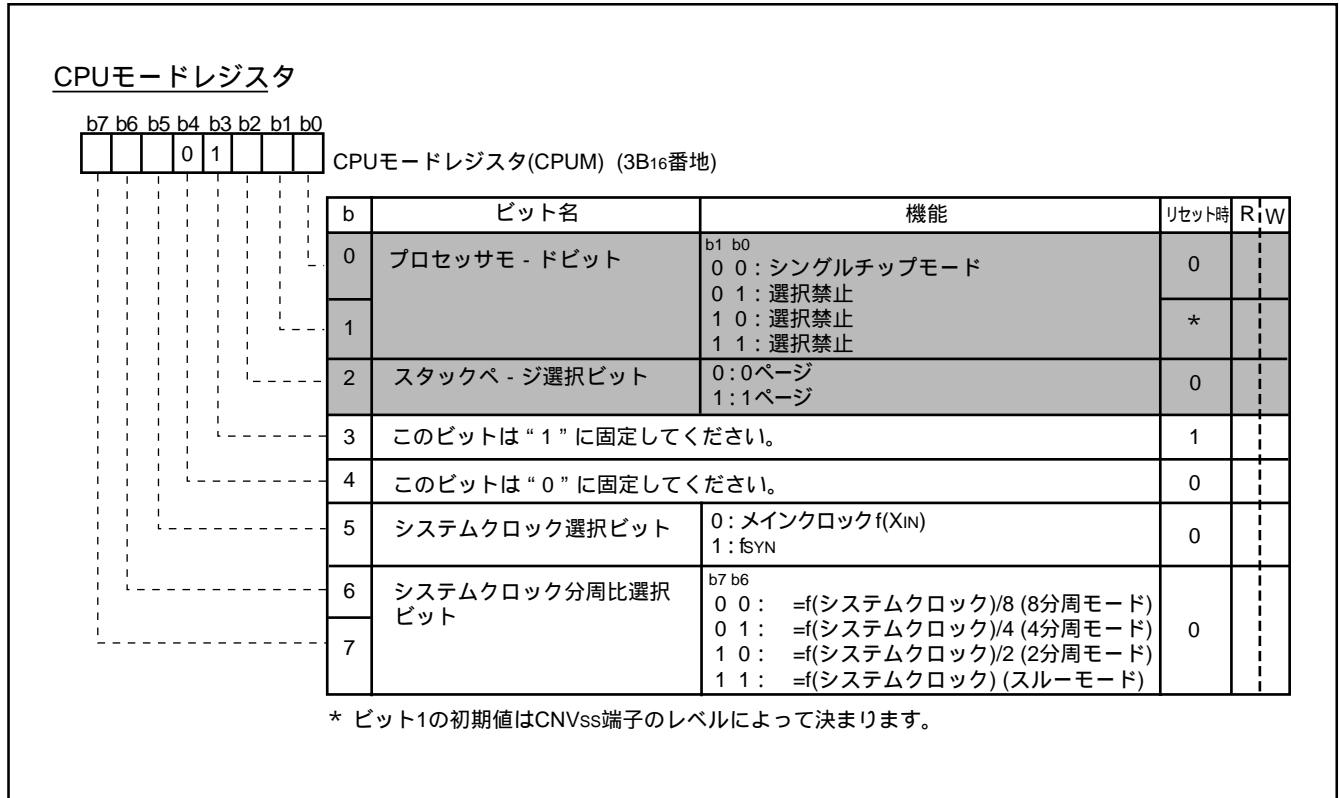


図2.11.3 CPUモードレジスタの構成

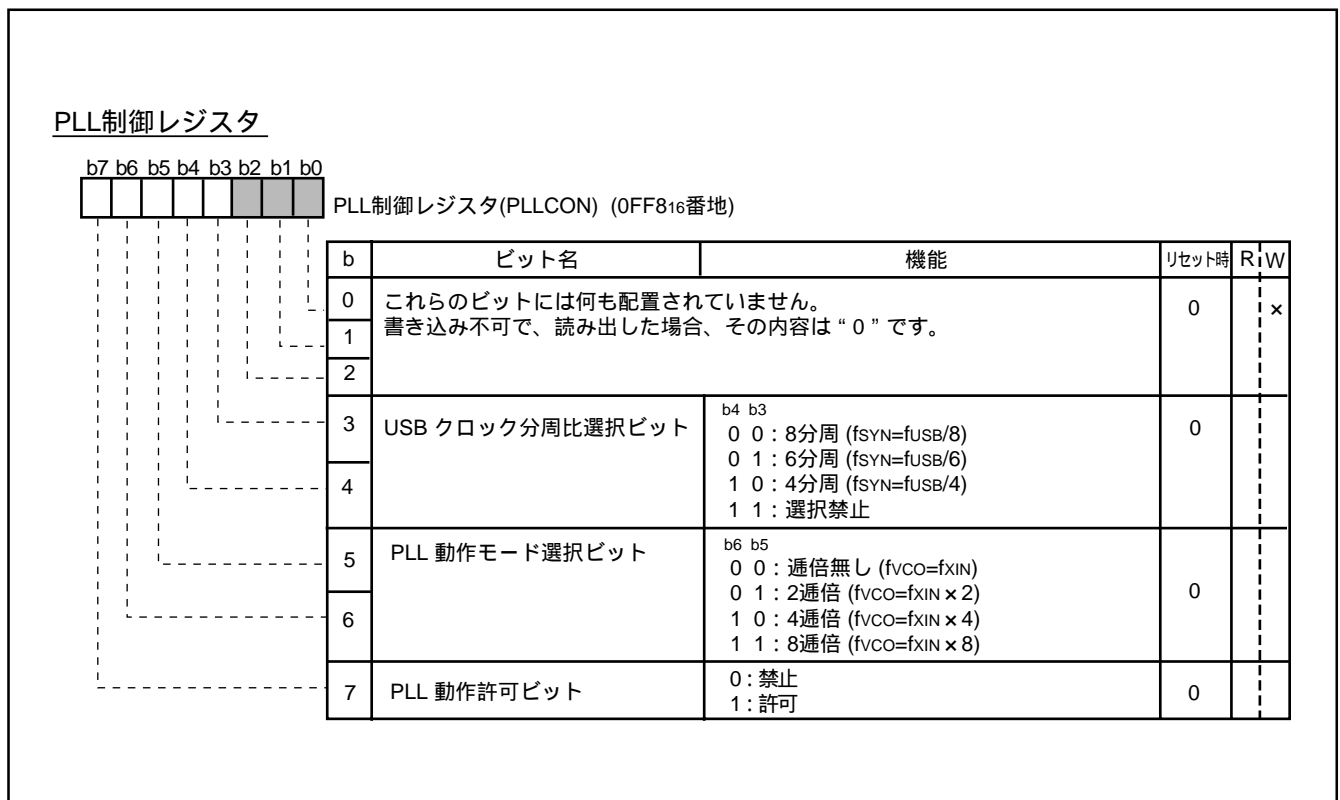


図2.11.4 PLL制御レジスタの構成

2.11.3 発振制御

内部システムクロックは、システムクロック選択ビットにより次の2種類から選択できます。

- メインクロック $f(XIN)$
- f_{SYN} (f_{USB} 分周クロック)

内部クロック は、システムクロック分周比選択ビットにより次の種類から選択できます。

- $f(XIN)$ 、又は $f_{SYN}/8$ (8分周モード)
- $f(XIN)$ 、又は $f_{SYN}/4$ (4分周モード)
- $f(XIN)$ 、又は $f_{SYN}/2$ (2分周モード)
- $f(XIN)$ 、又は f_{SYN} (スルーモード)

(1) メインクロック $f(XIN)$ による内部クロック $f()$ の生成

表2.11.1にメインクロック $f(XIN)$ による内部クロック $f()$ の生成例、図2.11.5に関連レジスタの設定方法を示します。

表2.11.1 メインクロック $f(XIN)$ による内部クロック $f()$ の生成例

システムクロック	システムクロック分周比選択ビット*	$f()$	電源電圧 $V_{CC}[V]$
6MHz	00	0.75MHz	3.00 ~ 5.25
	01	1.5MHz	
	10	3MHz	
	11	6MHz	
8MHz	00	1MHz	4.00 ~ 5.25
	01	2MHz	
	10	4MHz	
	11	8MHz	
12MHz	00	1.5MHz	4.00 ~ 5.25
	01	3MHz	
	10	6MHz	

* : CPUモードレジスタ(ビット7、6)

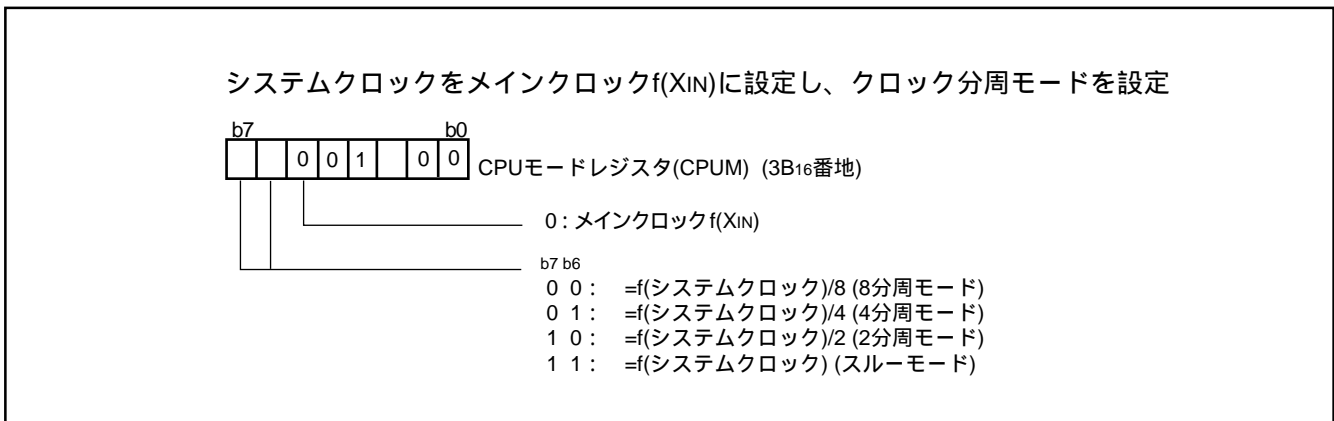


図2.11.5 関連レジスタ設定方法

(2) f_{SYN} (f_{USB}分周クロック)による内部クロックf()の生成

表2.11.2にf_{SYN}による内部クロックf()の生成例、図2.11.6に関連レジスタの設定方法を示します。

表2.11.2 f_{SYN}による内部クロックf()の生成例

f _{USB}	USBクロック 分周比選択ビット (*1)	f _{SYN}	システムクロック 分周比選択ビット (*2)	f()	電源電圧 V _{CC} [V}
48MHz	00	6MHz	00	0.75MHz	3.00 ~ 5.25
			01	1.5MHz	
			10	3MHz	
			11	6MHz	
	01	8MHz	00	1MHz	4.00 ~ 5.25
			01	2MHz	
			10	4MHz	
			11	8MHz	
	11	12MHz	00	1.5MHz	
			01	3MHz	
			10	6MHz	

*1 : PLL制御レジスタ(ビット4、3)

*2 : CPUモードレジスタ(ビット7、6)

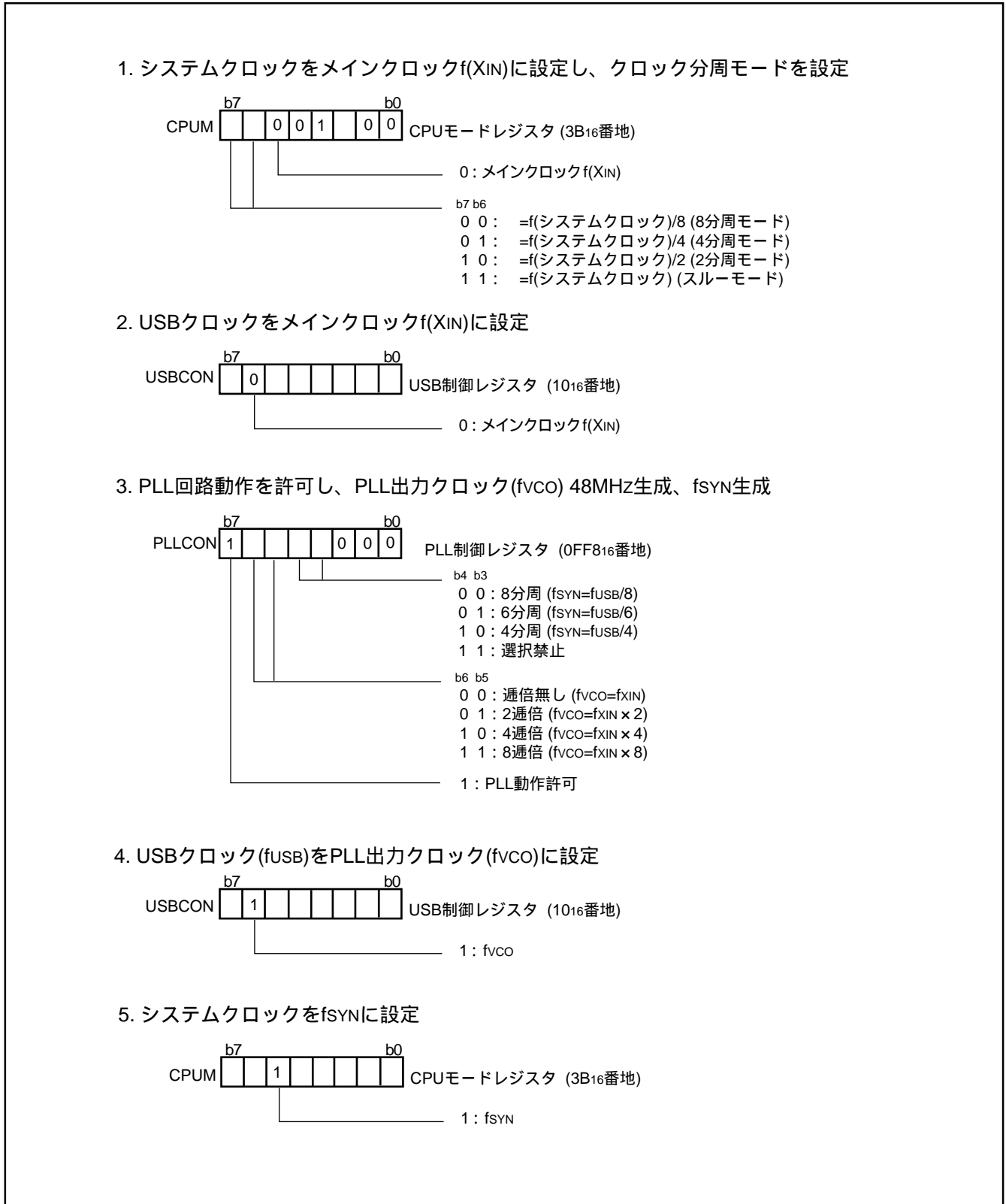


図2.11.6 関連レジスタ設定方法

注 . 内部システムクロックとして fSYNを用いる場合、f(XIN)から fUSB(USBクロック)の生成方法、及びPLL回路に関する注意事項は、「2.10 周波数シンセサイザ(PLL)」を参照してください。

2.12 スタンバイ機能

38K0グループはソフトウェアでCPUの動作を停止させ、低消費電力でCPUを待機させるスタンバイ機能を持ちます。

スタンバイ機能には次の2種類があります。

- STP命令によるストップモード
- WIT命令によるウエイトモード

2.12.1 メモリ配置

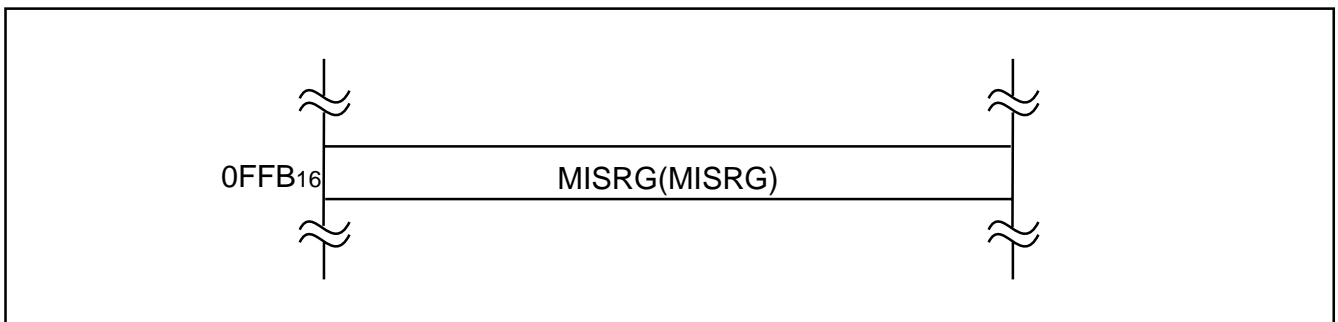


図2.12.1 スタンバイ機能関連レジスタのメモリ配置

2.12.2 関連レジスタ

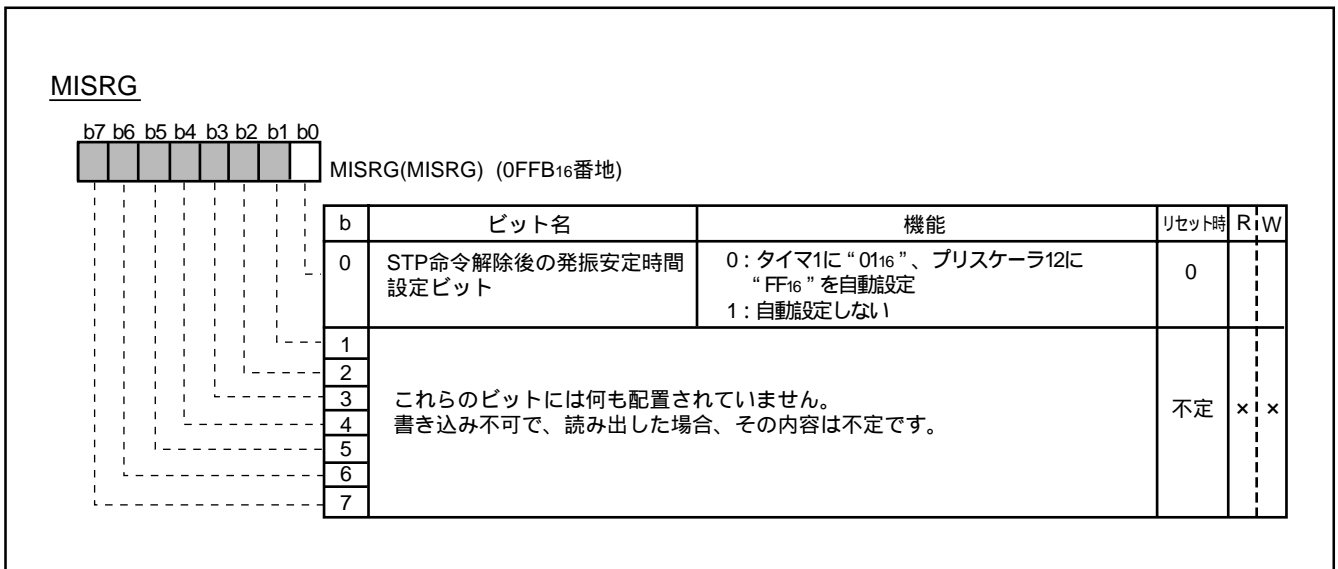


図2.12.2 MISRGの構成

2.12.3 ストップモード

STP命令の実行によって、ストップモードの状態になります。ストップモードではメインクロック(XIN-XOUT)の発振が停止し、内部クロック ϕ は“H”レベルで停止します。

CPUは停止し、周辺機能の動作も停止します。その結果、消費電力の低減を実現できます。

(1) ストップモード時の状態

ストップモード時の状態を表2.12.1に示します。

表2.12.1 ストップモード時の状態

項目	ストップモード時の状態
発振	停止
CPU	停止
内部クロック ϕ	“H”レベルで停止
入出力ポートP0～P6	STP命令実行時の状態を保持
タイマ	停止(タイマ1、2、X) ただし、タイマXではイベントカウンタモードが使用できます。
ウォッチドッグタイマ	停止
シリアルI/O	停止 ただし、外部クロックモードで動作します。
USB機能	停止
外部バスインタフェース	停止
A/D変換器	停止
コンパレータ	停止

(2) ストップモードの解除

ストップモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ストップモードからの復帰処理が異なります。

リセット入力による復帰

ストップモード中にRESET端子の入力レベルを“L”にすると、ストップモードは解除されます。すべてのポートが状態となり、メインクロック(XIN-XOUT)のストップモードが解除されると、発振が開始します。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。発振が安定するまでRESET端子の入力レベルを“L”にしておく必要があります。

安定発振しているときに、RESET端子をXINの16サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5～18.5サイクル後に解除されます。

図2.12.3にリセット入力による復帰時の発振安定時間を示します。

リセット入力によるストップモードの解除では、STP命令実行前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

リセットについては「2.9 リセット」を参照してください。

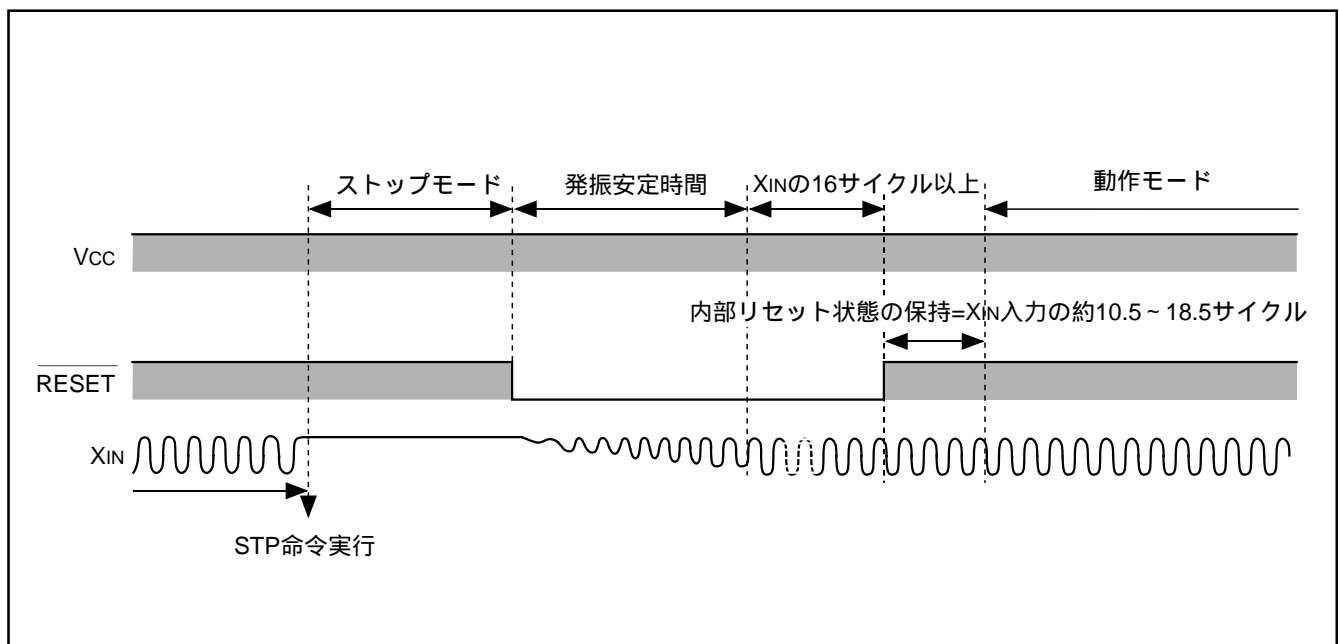


図2.12.3 リセット入力による復帰時の発振安定時間

割り込みによる復帰

ストップモード中に割り込み要求が発生すると、ストップモードは解除され、発振が再開します。復帰に使用できる割り込み要因は、下記のとおりです。

- ・ INT0、INT1
- ・ CNTR0
- ・ 外部クロック使用のシリアルI/O
- ・ 外部クロック使用のタイマX
- ・ キー入力(キーオンウエイクアップ)
- ・ USB機能(レジューム)

ただし、上記の割り込み要因をストップモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、STP命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 "(許可)
- ②タイマ1の割り込み許可ビット=" 0 "(禁止)
- ③復帰に用いる割り込み要因の割り込み要求ビット=" 0 "(要求なし)
- ④復帰に用いる割り込み要因の割り込み許可ビット=" 1 "(許可)

割り込みについては、「2.2 割り込み」を参照してください。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。割り込みによる復帰時には、プリスケータ12、タイマ1*1がCPUへの内部クロック ϕ の供給を待機する時間を生成します*2。この待機する時間で、システムクロック側の発振安定時間を確保します。CPUへの内部クロック ϕ の供給は、タイマ1のアンダフロー時から開始されます。

図2.12.4にINT0割り込み要求の発生による復帰時の実行シーケンス例を示します。

*1：STP命令解除後発振安定時間設定ビット(0FFB16番地のビット0)が" 0 "のときにSTP命令を実行すると、プリスケータ12のカウンタ/ラッチに" FF16 "が、タイマ1のカウンタ/ラッチに" 0116 "が自動的に設定されます。STP命令解除後発振安定時間設定ビットが" 1 "のときは自動設定が行われませんので、STP命令実行前に発振安定時間に適した値を任意にプリスケータ12、タイマ1に設定できます。

*2：発振開始直後からカウントソースはプリスケータ12カウンタへ供給され、カウント動作が開始します。

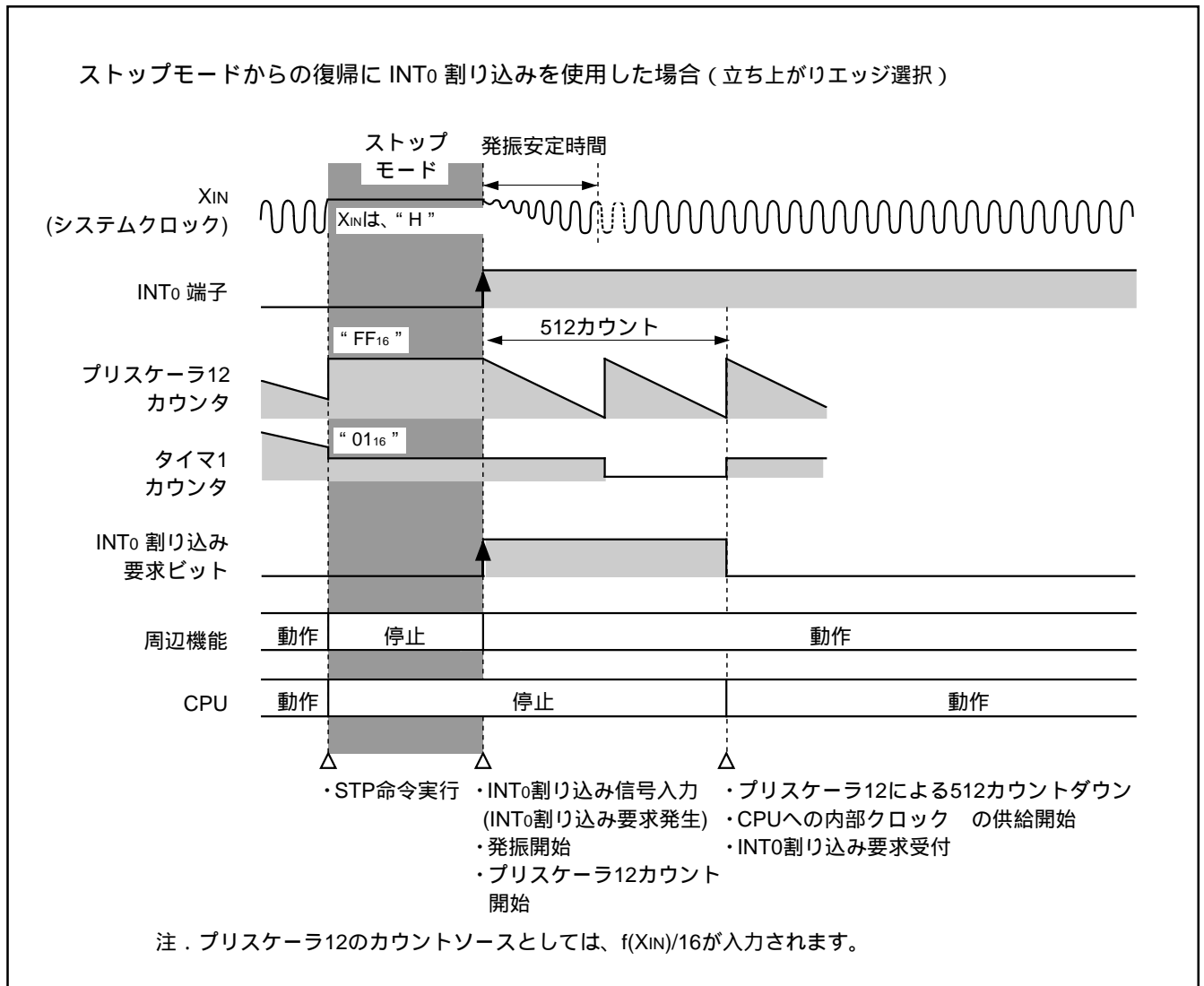


図2.12.4 INT0割り込み要求の発生による復帰時の実行シーケンス例

(3) ストップモード使用上の注意事項

レジスタ設定

ストップモードからの復帰時、プリスケータ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後発振安定時間設定ビットが 0 のとき)

復帰後のクロック

メインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。

2.12.4 ウェイトモード

WIT命令の実行によって、ウェイトモードの状態になります。ウェイトモードでは発振は継続しますが、内部クロックφは“H”レベルで停止します。

CPUは停止しますが、大部分の周辺機能は動作します。

(1) ウェイトモード時の状態

周辺機能へのクロックは供給され続けています。ウェイトモード時の状態を表2.12.2に示します。

表2.12.2 ウェイトモード時の状態

項目	ウェイトモード時の状態
発振	動作
CPU	停止
内部クロックφ	“H”レベルで停止
入出力ポートP0～P6	WIT命令実行時の状態を保持
タイマ	動作
ウォッチドッグタイマ	動作
シリアルI/O	動作
USB機能	動作
外部バスインタフェース	停止
A/D変換器	動作
コンパレータ	動作

(2) ウェイトモードの解除

ウェイトモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ウェイトモードからの復帰処理が異なります。

ウェイトモードでは発振は継続されていますので、ウェイトモードが解除されるとただちに命令を実行できます。

リセット入力による復帰

ウェイトモード中にRESET端子の入力レベルを“L”にすると、ウェイトモードは解除されます。

ウェイトモードが解除されると、すべてのポートが入力状態になり、CPUへの内部クロックφの供給が開始します。RESET端子をXINの16サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5～18.5サイクル後に解除されます。

ウェイトモードの解除では、リセット前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

図2.12.5にリセット入力時間を示します。

リセットについては「2.9 リセット」を参照してください。

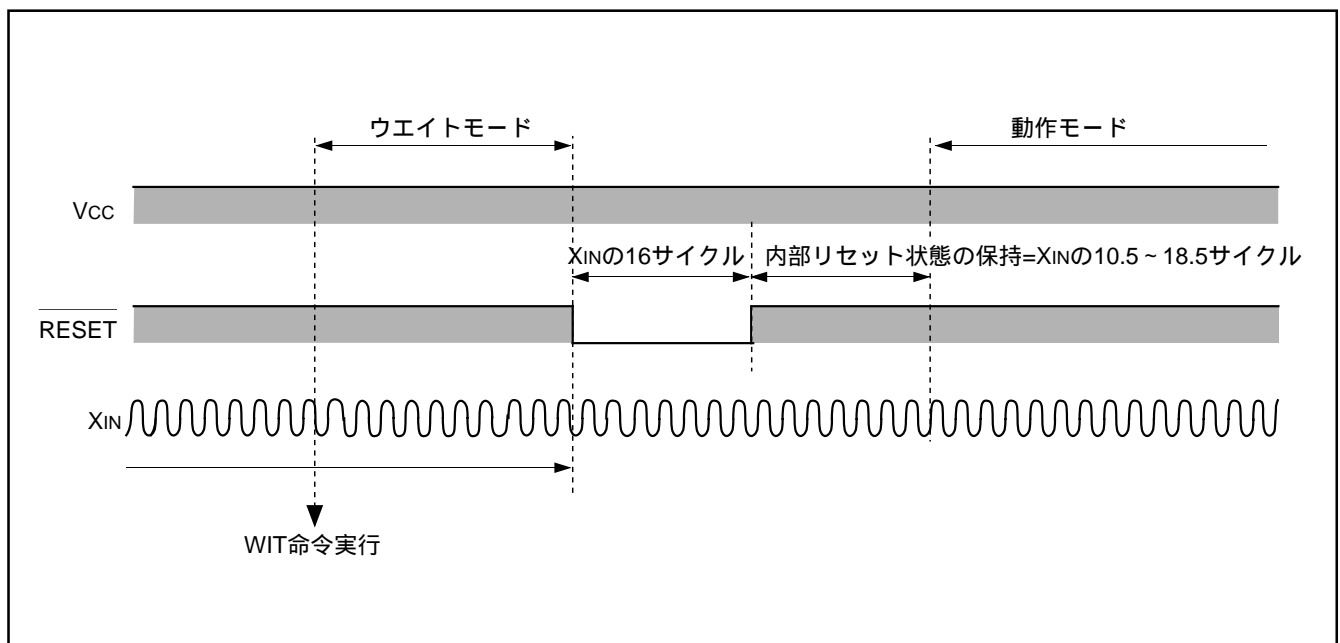


図2.12.5 リセット入力時間

割り込みによる復帰

ウェイトモード中に割り込み要求が発生すると、ウェイトモードは解除され、CPUへの内部クロックの供給が開始します。同時に復帰に使用した割り込み要因の要求が受け付けられて、その割り込み処理ルーチンが実行されます。

ただし、割り込み要因をウェイトモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、WIT命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 "(許可)
- ②復帰に用いる割り込み要因の割り込み要求ビット=" 0 "(要求なし)
- ③復帰に用いる割り込み要因の割り込み許可ビット=" 1 "(許可)

割り込みについては、「2.2 割り込み」を参照してください。

2.12.5 スタンバイ機能に関する注意事項

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

2.13 フラッシュメモリ

本節ではフラッシュメモリに関するレジスタの設定方法、注意事項などを説明します。

2.13.1 概要

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ただし、SFR領域の一部がマスクROM版と異なります(「2.13.2 メモリ配置」参照)。

フラッシュメモリ版では、パラレル入出力モード、標準シリアル入出力モード、及びCPU書き換えモードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

2.13.2 メモリ配置

38K0グループ フラッシュメモリ版は、32Kバイトのフラッシュメモリを内蔵しています。

図2.13.1にフラッシュメモリ版のメモリ配置を示します。

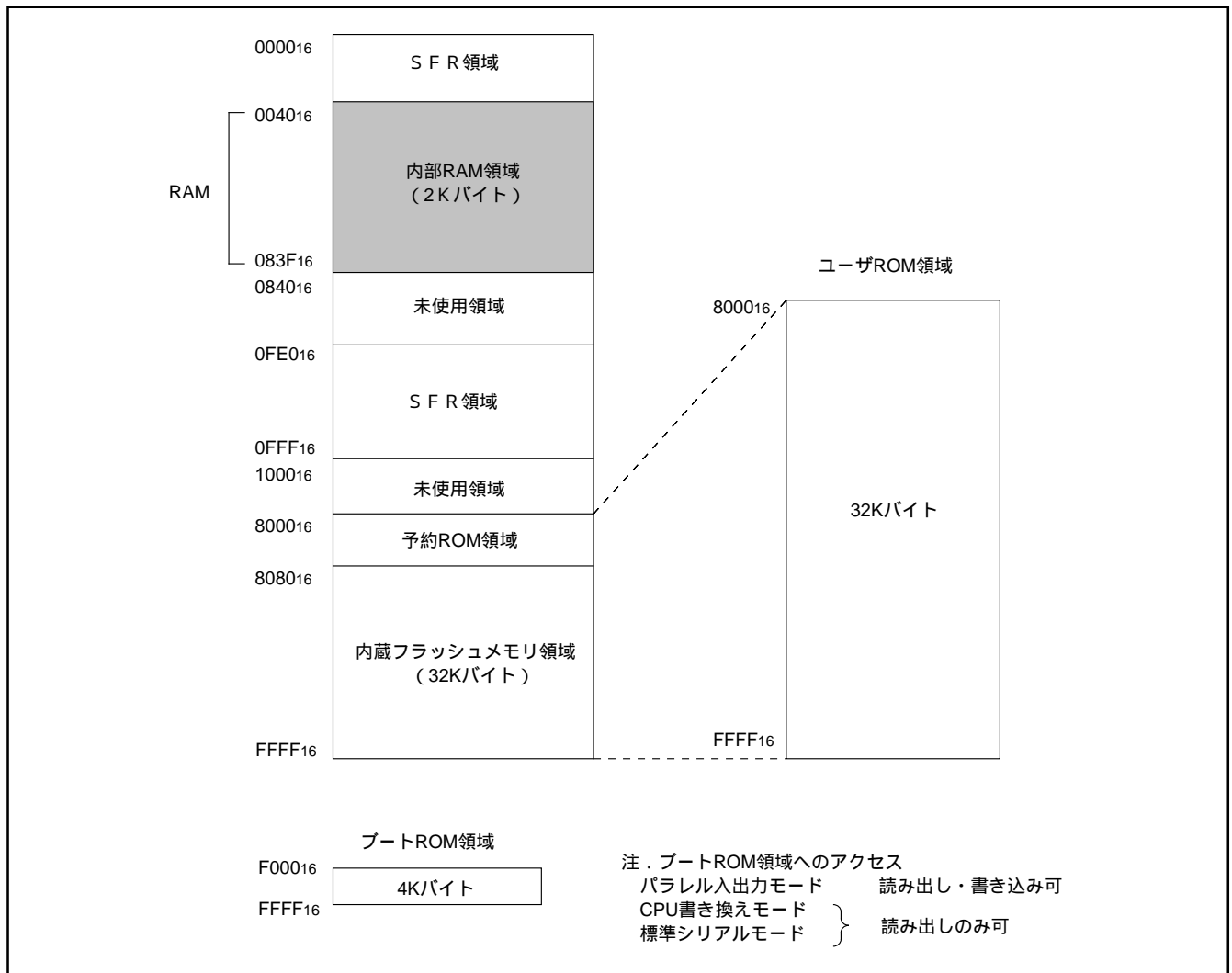


図2.13.1 38K0グループフラッシュメモリ版のメモリ配置

2.13.3 関連レジスタ

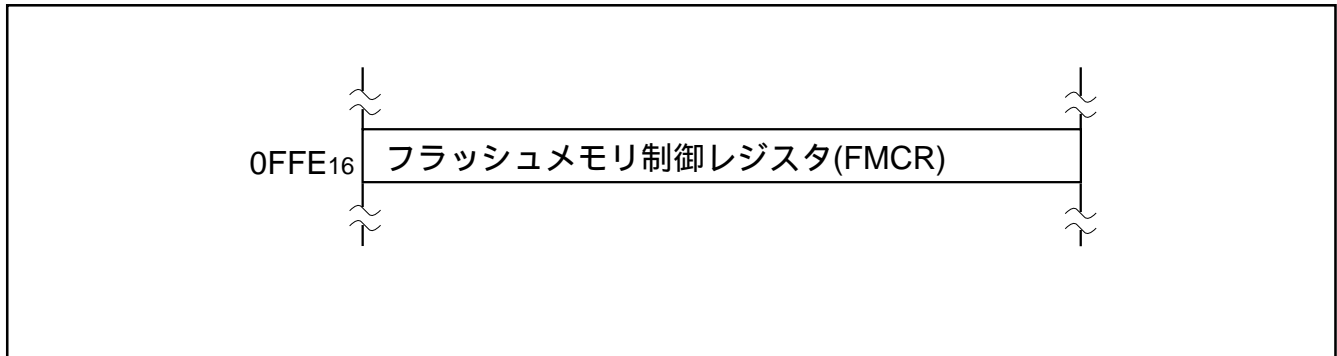


図2.13.2 フラッシュ関連レジスタのメモリ配置

フラッシュメモリ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

フラッシュメモリ制御レジスタ(FMCR) 【0FFE₁₆番地】(注1)

b	ビット名	機能	リセット時	R/W
0	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ	1	x
1	CPU書き換えモード 選択ビット(注2)	0: 通常モード (ソフトウェアコマンド無効) 1: CPU書き換えモード (ソフトウェアコマンド受付可能)	0	x
2	CPU書き換えモード エントリフラグ	0: 通常モード 1: CPU書き換えモード	0	x
3	フラッシュメモリ リセットビット(注3)	0: 通常動作 1: リセット	0	x
4	ユーザROM領域/ブート領域 選択ビット(注4)	0: ユーザROM領域アクセス 1: ブートROM領域アクセス	0	x
5	これらのビットには何も配置されていません。			
6	書き込む場合、“0”を書き込んでください。		x	x
7	読み出した場合、その内容は不定です。			

注1. リセット解除後のフラッシュメモリ制御レジスタの値は“XXX00001”となります。
 2. “1”を設定するためには、このビット1への“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込みが入らないようにしてください。このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。
 3. CPU書き換えモード選択ビットが“1”のときのみ有効です。“1”設定(リセット)後、続いて“0”設定してください。
 4. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

図2.13.3 フラッシュメモリ制御レジスタの構成

2.13.4 パラレル入出力モード

パラレル入出力モードは、フラッシュライタ MFW-1を使用することによって、内蔵フラッシュメモリ領域へのプログラム/イレーズを行うことができます。プログラム/イレーズのメモリ領域は、ブートROM領域：0F000₁₆～0FFFF₁₆番地、ユーザROM領域：08000₁₆～0FFFF₁₆番地となります。特にイレーズを行うときにメモリ領域の設定を間違えると、製品の永久的なダメージにつながりますので注意が必要です。

表2.13.1にパラレル入出力モードでプログラムを行う場合のプログラムの設定を示します。

・MFW-1：(株)サニー技研社製

表2.13.1 パラレル書き込み時のプログラマ設定

品種名	パラレルアダプタ	ブートROM領域	ユーザROM領域
M38K09F8HP/LHP	MFW-S18	0F000 ₁₆ ～0FFFF ₁₆	08000 ₁₆ ～0FFFF ₁₆
M38K09F8FP/LFP	MFW-S19		

2.13.5 標準シリアル入出力モード

シリアル入出力モードで書き込みを行う場合の、フラッシュライタ(MFW-1)とマイコンの端子接続例(4線式)について表2.13.2に示します。

・MFW-1：(株)サニー技研社製

表2.13.2 シリアル書き込み時のフラッシュライタとの接続例(4線式)

機能	MFW-1		38K09F8FP/HP 38K09F8LFP/LHP	
	信号名	MFW-1側 コネクタ PIN No.	端子名	ピン番号
転送クロック入力	CLK	3	P42/ExTC/SCLK	53
シリアルデータ入力	RxD	10	P40/ExDREQ/RxD	51
シリアルデータ出力	TxD	4	P41/ExDACK/TxD	52
送受信許可出力	BUSY	2	P43/ExA1/SRDY	54
VPP入力	CNVss	1	CNVss	7
リセット入力	RESET	8	$\overline{\text{RESET}}$	8
ターゲットボード 電源モニタ入力	Vcc (注2)	1	Vcc, PVcc, DVcc (注2)	14, 21, 22
GND	GND (注1)	7	Vss, PVss (注1)	11, 20

注1. シリアルプログラムを接続するときには、最初にGND同士を接続してGNDレベルを合わせるようにしてください。

2. MFW-1のVcc電源は、ターゲット基板から供給します。ただし、シリアル書き込み時、MFW-1の消費電流は最大200mAですので、ターゲット基板側の電流容量が足りない場合は、ACアダプタを接続してMFW-1に電源を供給してください。

2.13.6 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがってROMライターなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換えプログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリからの読み出しができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域(内部RAM領域など)に転送した後、その領域上で実行してください。

CPU書き換えモードでは、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドが使用できます。各コマンドの詳細については「1章 フラッシュメモリモード(CPU書き換えモード)」を参照してください。

(1) CPU書き換えモード設定/解除方法

内蔵フラッシュメモリの書き換えモードでの操作手順を示します。

制御例については「2.13.7 (2)CPU書き換えモード時の制御例」を参照してください。

< 開始手順 >

CNVSS/VPP端子に4.50 ~ 5.25Vを印加する。(ブートROM領域へエントリの場合)

リセットを解除する。

CPUモードレジスタのビット6,7(メインクロック分周比選択ビット)を設定する。

CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御してください)。

CNVSS/VPP端子に4.50 ~ 5.25Vを印加する。(シングルチップモードの場合)

CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を設定する。

CPU書き換えモードエントリフラグ(0FFE₁₆番地のビット2)を読み出し、CPU書き換えモードが“1”になっていることを確認する。

ソフトウェアコマンドを用いて、フラッシュメモリの操作を実施する。

注. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

< 解除手順 >

読み出しコマンドを実行又は、フラッシュメモリリセットビット(0FFE₁₆番地のビット3)設定によるセットを実行する。

CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)を“0”に設定する。

2.13.7 フラッシュメモリモードの応用例

標準シリアル入出力モード使用時のシステム基板上での制御端子処理例、及びCPU書き換えモード時の制御例について示します。

(1) 標準シリアル入出力モード使用時のシステム基板上での制御端子処理例

図2.13.4に示すように、標準シリアル入出力モードでは、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリの内容を書き換えることができます。標準シリアル入出力モード時、制御端子となるP40/ExDREQ/RxD、P41/ExDACK/TxD、P42/ExTC/SCLK、P43/ExA1/SRDY、P16、CNVss、及びRESET端子の処理例を以下に示します。

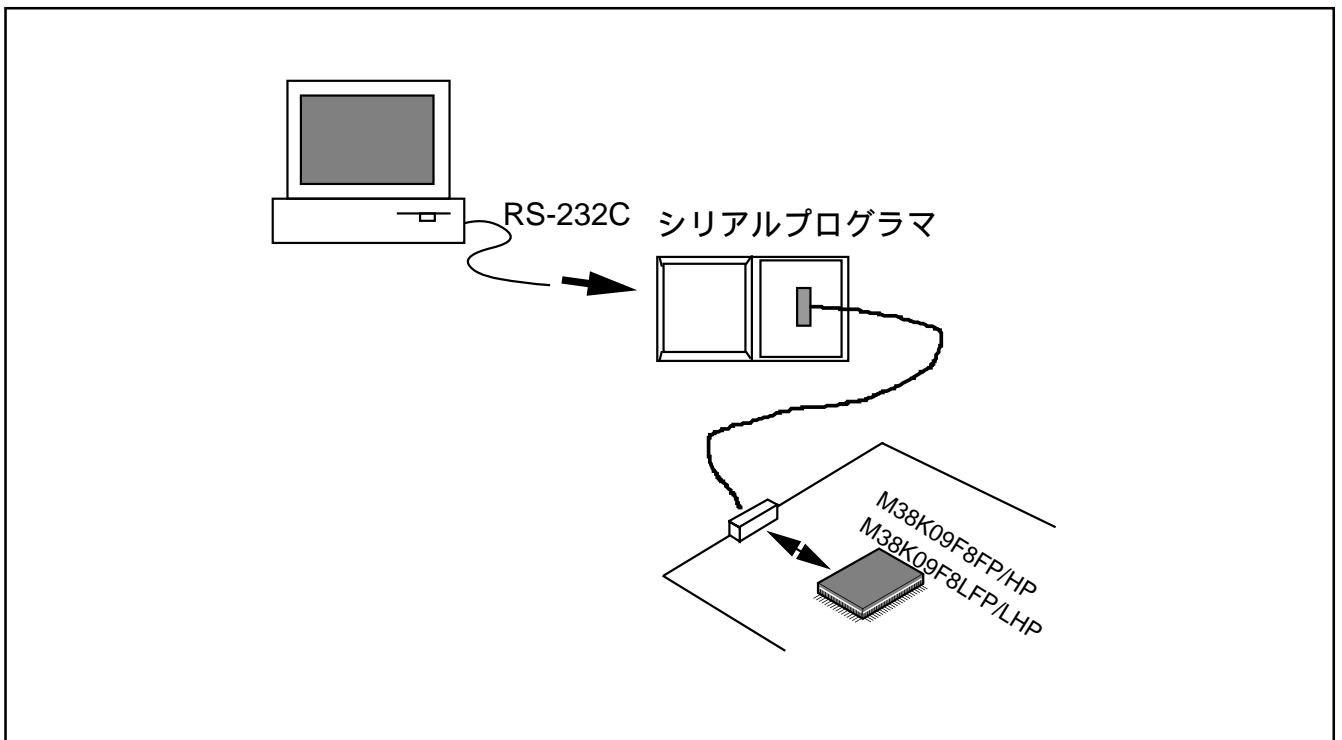


図2.13.4 標準シリアル入出力モードによる内蔵フラッシュメモリ書き換え例

標準シリアル入出力モードの設定条件を表2.13.3に示します。

表2.13.3 標準シリアル入出力モードの設定条件

M38K09F8FP/HP M38K09F8LFP/LHP		値
端子名	ピン番号	
CNVss/VPP (注)	7	4.50 ~ 5.25V
P16	5	VCC
P42/ExTC/SCLK	53	VCC
RESET	8	Vss VCCエッジ

注．CNVss/VPPは書き込み電圧であり、VCCとは異なります。

制御信号がユーザシステム回路に影響しない場合

標準シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されていない、あるいはユーザシステム回路に影響しない場合は、図2.13.5に示すように結線できます。

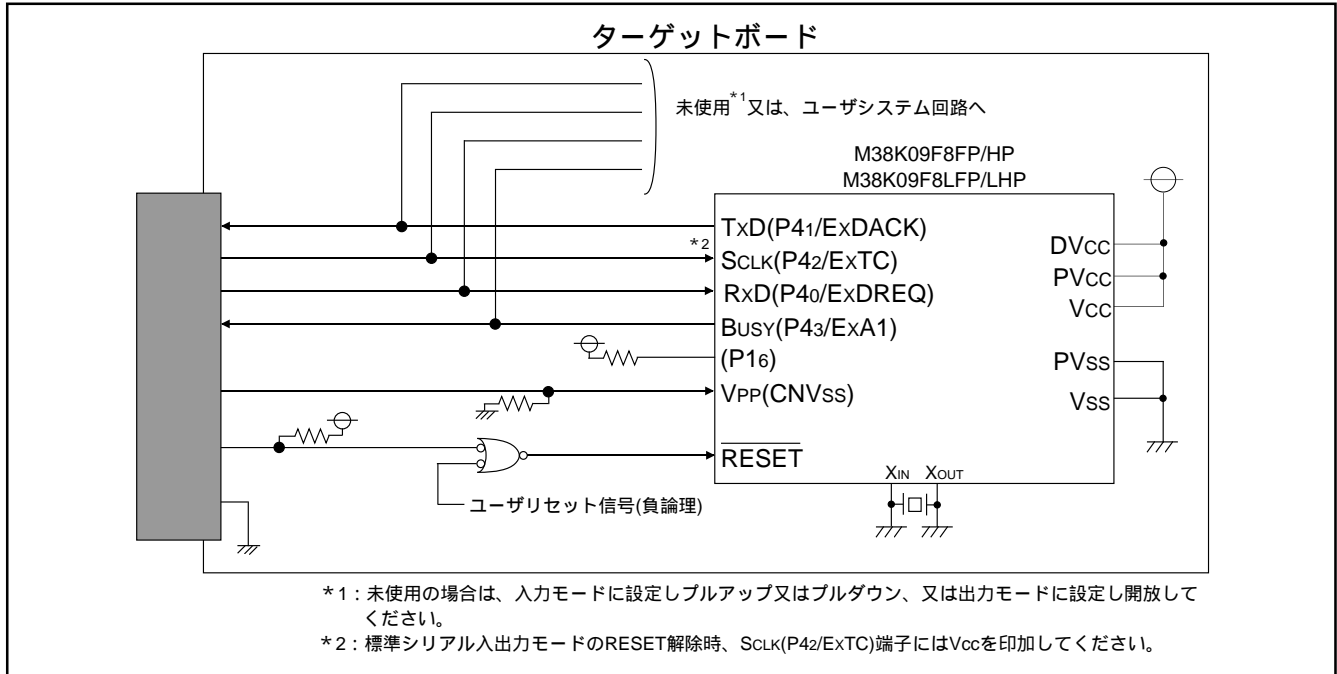


図2.13.5 標準シリアル入出力モード時の基板上の端子処理例(1)

制御信号がユーザシステム回路に影響する場合

図2.13.6は標準シリアル入出力モード時、ジャンプスイッチによりユーザシステム回路へ供給される制御信号を遮断する例です。

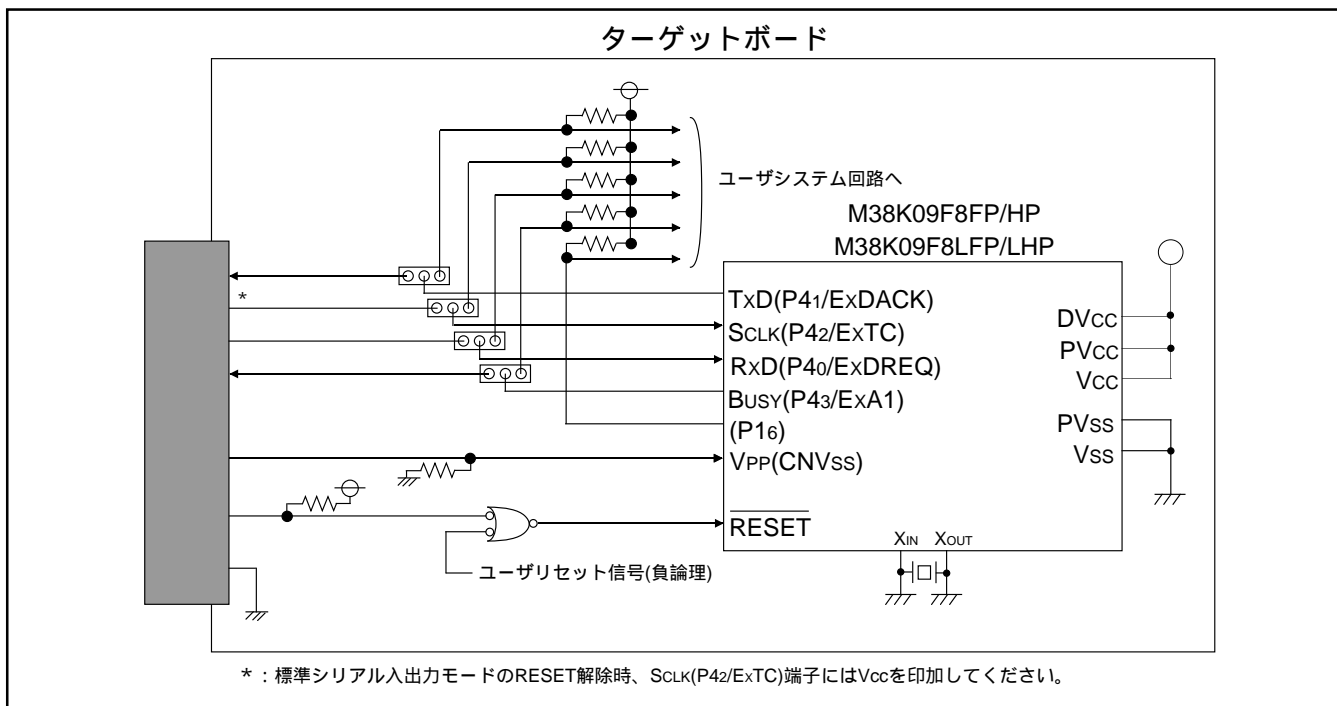


図2.13.6 標準シリアル入出力モード時の基板上の端子処理例(2)

制御信号がユーザシステム回路に影響する場合

図2.13.7は標準シリアル入出力モード時、アナログスイッチ(74HC4066)によりユーザシステム回路へ供給される制御信号を遮断する例です。

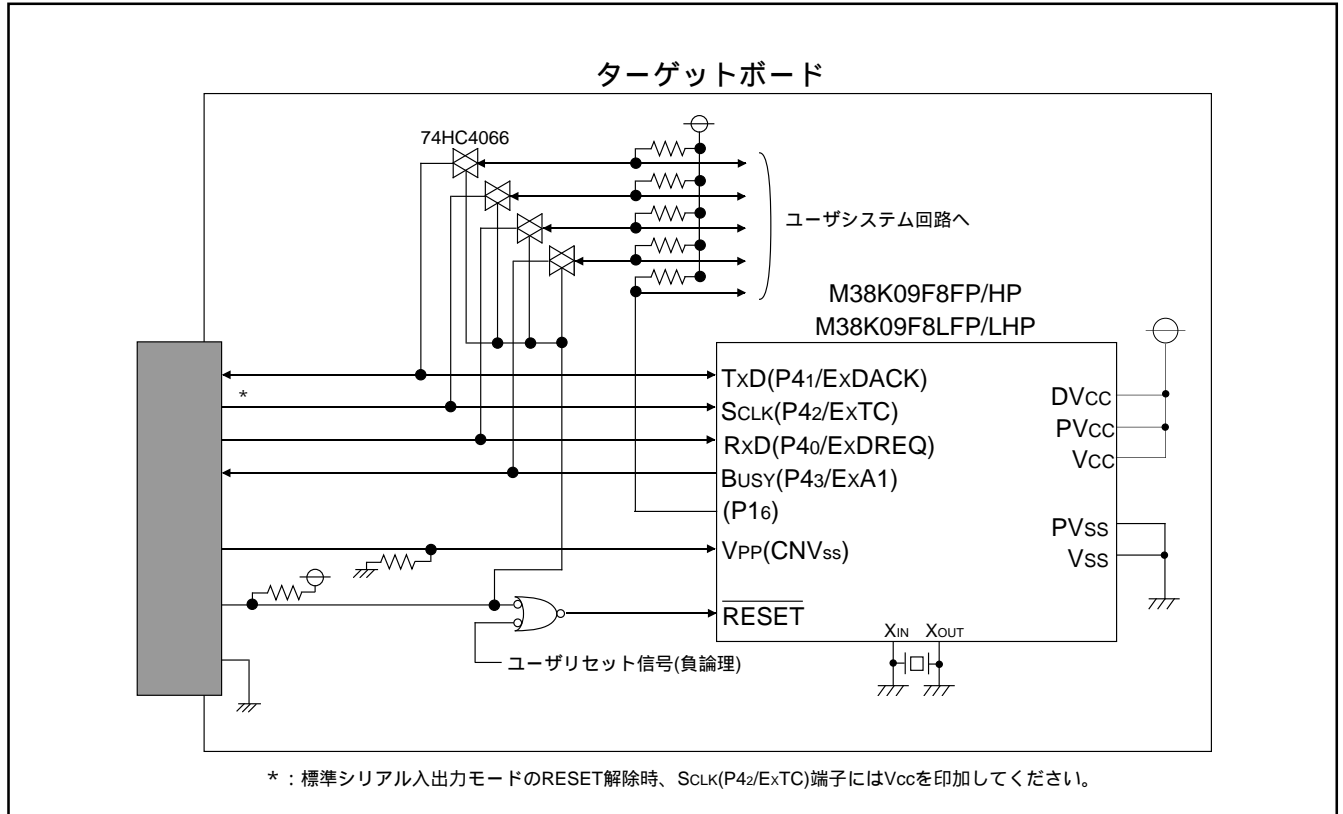


図2.13.7 標準シリアル入出力モード時の基板上の端子処理例(3)

(2) CPU書き換えモード時の制御例

この例では、シリアルI/Oを用いてデータを受信し、そのデータをCPU書き換えモードで内蔵フラッシュメモリへ書き込みます。

図2.13.8にCPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例、図2.13.9にCPU書き換えモードの設定 / 解除のフローチャートを示します。

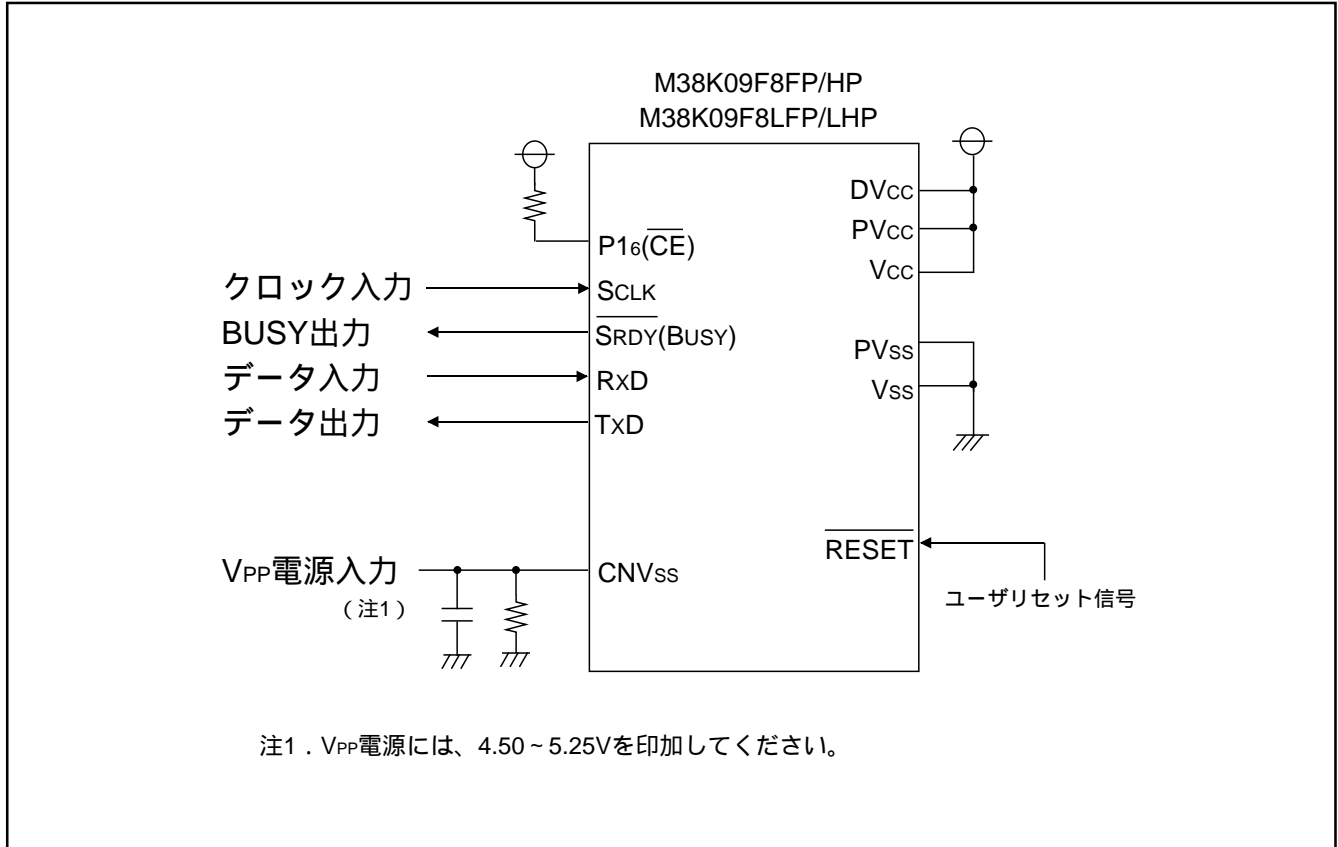


図2.13.8 CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例

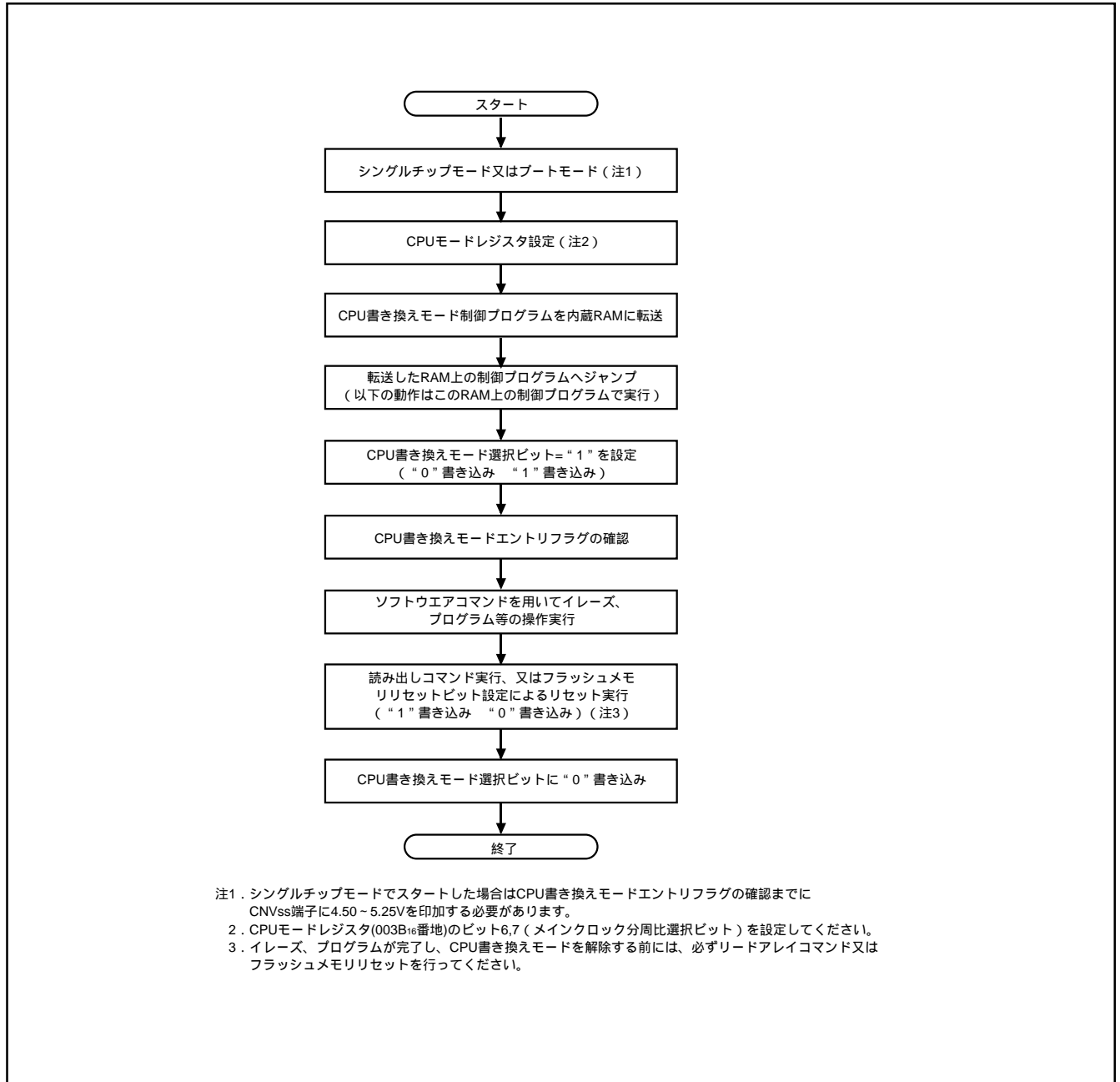


図2.13.9 CPU書き換えモードの設定 / 解除フローチャート

2.13.8 CPU書き換えモードに関する注意事項

(1) 動作速度

CPU書き換えモード中は、システムクロック分周比選択ビット(003B₁₆番地のビット6、7)によって、内部クロック が1.5MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

第 3 章

付 録

- 3.1 電気的特性
- 3.2 使用上の注意事項
- 3.3 ノイズに関する注意事項
- 3.4 制御レジスタ一覧
- 3.5 パッケージ寸法図
- 3.6 機械語命令一覧表
- 3.7 命令コード一覧表
- 3.8 SFRメモリマップ
- 3.9 ピン接続図

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する 出力トランジスタは遮断状態	-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧 V _{CC} E, V _{REF} , PV _{CC} , DV _{CC} , USBV _{REF}		-0.3 ~ V _{CC} +0.3	V
V _I	入力電圧 P00-P07, P10-P17, P20-P27, P30-P37, P40-P43, P50-P57, P60-P63		-0.3 ~ V _{CC} +0.3	V
V _I	入力電圧 RESE _T , X _{IN} , CNV _{SS} 2		-0.3 ~ V _{CC} +0.3	V
V _I	入力電圧 CNV _{SS}		マスク版CNV _{SS} : -0.3 ~ V _{CC} +0.3	V
			フラッシュメモリ版CNV _{SS} : -0.3 ~ 6.5	V
V _I	入力電圧 D0+, D0-		-0.5 ~ 3.8	V
V _O	出力電圧 P00-P07, P10-P17, P20-P27, P30-P37, P40-P43, P50-P57, P60-P63, X _{OUT}		-0.3 ~ V _{CC} +0.3	V
V _O	出力電圧 D0+, D0-, TrON		-0.5 ~ 3.8	V
P _d	消費電力(注)		T _a =25	500
T _{opr}	動作周囲温度	マイコン動作時	-20 ~ 85	
		フラッシュメモリモード時 (フラッシュメモリ版のみ)	25 ± 5	
T _{stg}	保存温度		-40 ~ 125	

注：最大消費電力は、チップの消費電力だけでなくパッケージの熱消費特性に依存します。

3.1.2 推奨動作条件(L仕様)

表3.1.2 推奨動作条件(1)

(指定のない場合は $V_{CC}=3.00 \sim 5.25V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
Vcc	電源電圧 Vcc	システムクロック 12MHz時 (2,4,8分周モード)	4.00	5.00	5.25	V
		システムクロック 8MHz時	4.00	5.00	5.25	V
		システムクロック 6MHz時	3.00	5.00	5.25	V
AVcc	アナログ電源電圧 PVcc, DVcc		Vcc		V	
AVcc	アナログ電源電圧 VccE		Vcc		V	
VREF	アナログ基準電圧 VREF	2.0		Vcc	V	
VREF	アナログ基準電圧 USBVREF	VCC=3.6 ~ 4.0V	3.0		3.6	V
		VCC=3.0 ~ 3.6V	3.0		Vcc	V
Vss	電源電圧 Vss		0		V	
AVss	アナログ電源電圧 PVss		0		V	
V _{IH}	“H”入力電圧 P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63	0.8Vcc		Vcc	V	
V _{IH}	“H”入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	0.8VccE		VccE	V	
V _{IH}	“H”入力電圧 RESET, X _{IN} , CNVss, CNVss2	0.8Vcc		Vcc	V	
V _{IH}	“H”入力電圧 D0+, D0-	2.0		3.6	V	
V _{IL}	“L”入力電圧 P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63	0		0.2Vcc	V	
V _{IL}	“L”入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	0		0.2VccE	V	
V _{IL}	“L”入力電圧 RESET, X _{IN} , CNVss, CNVss2	0		0.2Vcc	V	
V _{IL}	“L”入力電圧 D0+, D0-	0		0.8	V	

表3.1.3 推奨動作条件(2)

(指定のない場合は $V_{CC}=3.00 \sim 5.25V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
I_{OH} (peak)	“H”出力総尖頭電流(注) P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63			-80	mA
I_{OH} (peak)	“H”出力総尖頭電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			-80	mA
I_{OL} (peak)	“L”出力総尖頭電流(注) P00 ~ P07, P20 ~ P27, P50 ~ P57			80	mA
I_{OL} (peak)	“L”出力総尖頭電流(注) P60 ~ P63			80	mA
I_{OL} (peak)	“L”出力総尖頭電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			80	mA
I_{OH} (avg)	“H”出力総平均電流(注) P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63			-40	mA
I_{OH} (avg)	“H”出力総平均電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			-40	mA
I_{OL} (avg)	“L”出力総平均電流(注) P00 ~ P07, P20 ~ P27, P50 ~ P57			40	mA
I_{OL} (avg)	“L”出力総平均電流(注) P60 ~ P63			40	mA
I_{OL} (avg)	“L”出力総平均電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			40	mA

注．出力総電流は該当するポート全てに流れる電流の絶対値の総和です。総平均電流は100msの期間内での電流の絶対値の平均値で、総尖頭電流は総和のピーク値です。

表3.1.4 推奨動作条件(3)

(指定のない場合はVCC=3.00~5.25V, VSS=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力総尖頭電流(注1) P0 ₀ ~P0 ₇ , P2 ₀ ~P2 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₃			-10	mA
I _{OH} (peak)	“H”出力総尖頭電流(注1) P1 ₀ ~P1 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₃			-10	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P0 ₀ ~P0 ₇ , P2 ₀ ~P2 ₇ , P5 ₀ ~P5 ₇			10	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P6 ₀ ~P6 ₃			20	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P1 ₀ ~P1 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₃			10	mA
I _{OH} (avg)	“H”出力平均電流(注2) P0 ₀ ~P0 ₇ , P2 ₀ ~P2 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₃			-5	mA
I _{OH} (avg)	“H”出力平均電流(注2) P1 ₀ ~P1 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₃			-5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P0 ₀ ~P0 ₇ , P2 ₀ ~P2 ₇ , P5 ₀ ~P5 ₇			5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P6 ₀ ~P6 ₃			10	mA
I _{OL} (avg)	“L”出力平均電流(注2) P1 ₀ ~P1 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₃			5	mA
f(XIN)	メインクロック入力発振周波数(注3)	VCC=4.00~5.25V	6	12	MHz
		VCC=3.00~4.00V	6	6	MHz
f(XIN) 又は f(SYN)	システムクロック周波数	VCC=4.00~5.25V	6	12	MHz
		VCC=3.00~4.00V	6	6	MHz
f()	周波数	VCC=4.00~5.25V		8	MHz
		VCC=3.00~4.00V		6	MHz

- 注1. 出力尖頭電流は1ポートごとに流れる電流の絶対値のピーク値を規定します。
 2. 出力平均電流I_{OL}(avg), I_{OH}(avg)は100msの期間での電流の絶対値の平均値です。
 3. 発振周波数はデューティ50%の場合です。6MHz又は12MHzのみ選択可能です。

3.1.3 電気的特性(L仕様)

表3.1.5 電気的特性(1)

(指定のない場合はVcc=3.00 ~ 5.25V, Vss=0V, Ta= -20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63	IOH=-10mA(Vcc=4.00 ~ 5.25V)	Vcc-2.0			V
		IOH=-1mA	Vcc-1.0			V
VOH	“H”出力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	IOH=-10mA(VccE=4.00 ~ 5.25V)	VccE-2.0			V
		IOH=-1mA	VccE-1.0			V
VOH	“H”出力電圧 D0+, D0-	15k ± 5%抵抗を介して0Vで プルダウン。	2.8		3.6	V
VOL	“L”出力電圧 P00 ~ P07, P20 ~ P27, P50 ~ P57	IOL=10mA(Vcc=4.00 ~ 5.25V)			2.0	V
		IOL=1mA			1.0	V
VOL	“L”出力電圧 P60 ~ P63	IOL=20mA(Vcc=4.00 ~ 5.25V)			2.0	V
		IOL=1mA			1.0	V
VOL	“L”出力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	IOL=10mA(VccE=4.00 ~ 5.25V)			2.0	V
		IOL=1mA			1.0	V
VOL	“L”出力電圧 D0+, D0-	1.5k ± 5%抵抗を介して3.6Vで プルアップ。	0		0.3	V
VT+-VT-	ヒステリシス CNTR0, INT0, INT1			0.6		V
VT+-VT-	ヒステリシス P10/DQ0 ~ P17/DQ7, P30 ~ P32, P33/EXINT, P34/EXCS, P35/EXWR, P36/EXRD, P37/EXA0, P40/EXDREQ/RxD, P41/EXDACK/TxD, P42/EXTC/SCLK, P43/EXA1/SRDY			0.6		V
VT+-VT-	ヒステリシス D0+,D0-			0.25		V
VT+-VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63	Vi=Vcc(プルアップトランジスタ OFF)			5.0	μA
IiH	“H”入力電流 P10 ~ P17, P30 ~ P37, P40 ~ P43	Vi=VccE			5.0	μA
IiH	“H”入力電流 RESET, CNVss	Vi=Vcc			5.0	μA
IiH	“H”入力電流 XIN	Vi=Vcc		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P20 ~ P27, P50 ~ P57, P60 ~ P63	Vi=Vss(プルアップトランジスタ OFF)			-5.0	μA
IiL	“L”入力電流 P10 ~ P17, P30 ~ P37, P40 ~ P43	Vi=Vss			-5.0	μA
IiL	“L”入力電流 RESET, CNVss, CNVss2	Vi=Vss			-5.0	μA
IiL	“L”入力電流 XIN	Vi=Vss		-4.0		μA
IiL	“L”入力電流 P00 ~ P07, P50, P52(プルアップ時)	Vi=Vss(Vcc=4.00 ~ 5.25V)	-20.0	-60.0	-120.0	μA
		Vi=Vss	-10.0			μA
V _{RAM}	RAM保持電圧	クロック停止時	2.00		5.25	V

表3.1.6 電気的特性(2)

(指定のない場合はVcc=3.00~5.25V, Vss=0V, Ta= -20~85)

記号	項目	測定条件			規格値			単位
					最小	標準	最大	
Icc	電源電流 (出力トランジスタは遮断状態)	通常モード時 (注1)	VCC= 4.00~5.25V	f(XIN)=システムクロック=12MHz =6MHz USB基準電圧回路動作許可状態		21.0	60	mA
				f(XIN)=12MHz システムクロック= =8MHz USB基準電圧回路動作許可状態		22.5	60	mA
				f(XIN)=6MHz システムクロック= =8MHz USB基準電圧回路動作許可状態		22.0	60	mA
				f(XIN)=システムクロック= =6MHz USB基準電圧回路動作許可状態		21.0	60	mA
			VCC= 3.00~4.00V	f(XIN)=システムクロック= =6MHz USB基準電圧回路動作禁止状態			35	mA
			VCC= 3.00~3.60V	f(XIN)=システムクロック= =6MHz USB基準電圧回路動作禁止状態		9.0	30	mA
		ウェイトモード時 (注2)	VCC= 4.00~5.25V	f(XIN)=12MHz システムクロック= =8MHz USB基準電圧回路動作許可状態		6.0		mA
				f(XIN)=システムクロック= =6MHz USB基準電圧回路動作禁止状態		2.0		mA
		ストップモード時 (注3)	VCC= 4.00~5.25V	USB基準電圧回路動作許可状態 低消費電力モード		125.0	250	uA
				USB基準電圧回路動作禁止状態 Ta=25		0.1		uA
				USB基準電圧回路動作禁止状態 Ta=85			10	uA

測定条件：

注1. シングルチップモード動作時

XIN端子からクロック入力(XOUT発振器は停止)

PLL回路動作、fUSB=48MHz

USB差動入力回路は全て許可状態

入出力端子開放

CPU動作、タイマ動作、USB送信状態

2. WIT命令実行時

XIN端子からクロック入力(XOUT発振器は停止)

PLL回路動作、fUSB=48MHz

USB差動入力回路は全て許可状態

入出力端子開放

CPU停止、タイマ動作、USB受信状態

3. STP命令実行時

発振は停止

USB差動入力回路は全て禁止状態

入出力端子開放

3.1.4 A/D変換器特性(L仕様)

表3.1.7 A/D変換器特性(1)

(指定のない場合は、 $V_{CC}=3.00\sim 5.25V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
——	分解能				10	bits	
——	直線性誤差	$T_a = 25$			± 3	LSB	
——	微分非直線性誤差	$T_a = 25$			± 1.5	LSB	
VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV	
VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV	
tCONV	変換時間				122	tc(XIN)又はfsYN	
RLADDER	ラダー抵抗			35		k	
IVREF	基準電源入力電流	A/D変換動作時	$V_{REF} = 5.0V$	50	150	200	μA
		A/D変換停止時	$V_{REF} = 5.0V$			5	μA
Ii(AD)	A/Dポート入力電流				5.0	μA	

3.1.5 タイミング必要条件(L仕様)

表3.1.8 タイミング必要条件(1)

(指定のない場合は、V_{CC}=4.00~5.25V, V_{SS}=0V, T_a= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力 L パルス幅	2			μs
tC(XIN)	メインクロック入力サイクル時間	83			ns
tWH(XIN)	メインクロック入力 H パルス幅	35			ns
tWL(XIN)	メインクロック入力 L パルス幅	35			ns
tC(CNTR)	CNTR ₀ 入力サイクル時間	200			ns
tWH(CNTR)	CNTR ₀ 入力 H パルス幅	80			ns
tWL(CNTR)	CNTR ₀ 入力 L パルス幅	80			ns
tWH(INT)	INT ₀ , INT ₁ , 入力 H パルス幅	80			ns
tWL(INT)	INT ₀ , INT ₁ , 入力 L パルス幅	80			ns
tC(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/Oクロック入力 H パルス幅 (注)	370			ns
tWL(SCLK)	シリアル/Oクロック入力 L パルス幅 (注)	370			ns
tSU(RxD-SCLK)	シリアル/O入力セットアップ時間	220			ns
tH(SCLK-RxD)	シリアル/O入力ホールド時間	100			ns

注 . 0FE016番地のビット6が 1 (クロック同期式モード)の場合です。0FE016番地のビット6が 0 (非同期式モード)の場合、規格値は1/4になります。

表3.1.9 タイミング必要条件(2)

(指定のない場合は、V_{CC}=3.00~4.00V, V_{SS}=0V, T_a= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力 L パルス幅	2			μs
tC(XIN)	メインクロック入力サイクル時間	166			ns
tWH(XIN)	メインクロック入力 H パルス幅	70			ns
tWL(XIN)	メインクロック入力 L パルス幅	70			ns
tC(CNTR)	CNTR ₀ 入力サイクル時間	500			ns
tWH(CNTR)	CNTR ₀ 入力 H パルス幅	230			ns
tWL(CNTR)	CNTR ₀ 入力 L パルス幅	230			ns
tWH(INT)	INT ₀ , INT ₁ , 入力 H パルス幅	230			ns
tWL(INT)	INT ₀ , INT ₁ , 入力 L パルス幅	230			ns
tC(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	2000			ns
tWH(SCLK)	シリアル/Oクロック入力 H パルス幅 (注)	950			ns
tWL(SCLK)	シリアル/Oクロック入力 L パルス幅 (注)	950			ns
tSU(RxD-SCLK)	シリアル/O入力セットアップ時間	400			ns
tH(SCLK-RxD)	シリアル/O入力ホールド時間	200			ns

注 . 0FE016番地のビット6が 1 (クロック同期式モード)の場合です。0FE016番地のビット6が 0 (非同期式モード)の場合、規格値は1/4になります。

表3.1.10 外部バスインタフェース(EXB)のタイミング必要条件(1)
(指定のない場合は、Vcc=4.00~5.25V, Vss=0V, Ta=-20~85)

記号	項目	規格値			単位
		最小	標準	最大	
tsu(S-R)	ExCSセットアップ時間(リード時)	0			ns
tsu(S-W)	ExCSセットアップ時間(ライト時)	0			ns
th(R-S)	ExCSホールド時間(リード時)	0			ns
th(W-S)	ExCSホールド時間(ライト時)	0			ns
tsu(A-R)	ExA0, ExA1セットアップ時間(リード時)	10			ns
tsu(A-W)	ExA0, ExA1セットアップ時間(ライト時)	10			ns
th(R-A)	ExA0, ExA1ホールド時間(リード時)	0			ns
th(W-A)	ExA0, ExA1ホールド時間(ライト時)	0			ns
tsu(ACK-R)	ExDACKセットアップ時間(リード時)	10			ns
tsu(ACK-W)	ExDACKセットアップ時間(ライト時)	10			ns
th(R-ACK)	ExDACKホールド時間(リード時)	0			ns
th(W-ACK)	ExDACKホールド時間(ライト時)	0			ns
tWH(R)	リード“H”パルス幅	80			ns
tWL(R)	リード“L”パルス幅	80			ns
tWH(W)	ライト“H”パルス幅	80			ns
tWL(W)	ライト“L”パルス幅	80			ns
tWH(ACK)	ExDACK“H”パルス幅	120			ns
tWL(ACK)	ExDACK“L”パルス幅	120			ns
tsu(D-W)	ライト前データ入力セットアップ時間	40			ns
th(W-D)	ライト後データ入力ホールド時間	0			ns
tsu(D-ACK)	ExDACK前データ入力セットアップ時間	60			ns
th(ACK-W)	ExDACK後データ入力ホールド時間	5			ns
tc()	CPUクロックサイクル時間	125			ns
tW(cycle)	パーストモード アクセスサイクル時間	USB非動作時	tc()×3+10		ns
		USB動作時	tc()×5+10		ns

表3.1.11 外部バスインタフェース(EXB)のタイミング必要条件(2)
(指定のない場合は、 $V_{CC}=3.00\sim 4.00V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tsu(S-R)	ExCSセットアップ時間(リード時)	0			ns
tsu(S-W)	ExCSセットアップ時間(ライト時)	0			ns
th(R-S)	ExCSホールド時間(リード時)	0			ns
th(W-S)	ExCSホールド時間(ライト時)	0			ns
tsu(A-R)	ExA0, ExA1セットアップ時間(リード時)	30			ns
tsu(A-W)	ExA0, ExA1セットアップ時間(ライト時)	30			ns
th(R-A)	ExA0, ExA1ホールド時間(リード時)	0			ns
th(W-A)	ExA0, ExA1ホールド時間(ライト時)	0			ns
tsu(ACK-R)	ExDACKセットアップ時間(リード時)	30			ns
tsu(ACK-W)	ExDACKセットアップ時間(ライト時)	30			ns
th(R-ACK)	ExDACKホールド時間(リード時)	0			ns
th(W-ACK)	ExDACKホールド時間(ライト時)	0			ns
tWH(R)	リード“H”パルス幅	120			ns
tWL(R)	リード“L”パルス幅	120			ns
tWH(W)	ライト“H”パルス幅	120			ns
tWL(W)	ライト“L”パルス幅	120			ns
tWH(ACK)	ExDACK“H”パルス幅	160			ns
tWL(ACK)	ExDACK“L”パルス幅	160			ns
tsu(D-W)	ライト前データ入力セットアップ時間	60			ns
th(W-D)	ライト後データ入力ホールド時間	0			ns
tsu(D-ACK)	ExDACK前データ入力セットアップ時間	80			ns
th(ACK-W)	ExDACK後データ入力ホールド時間	10			ns
tc()	CPUクロックサイクル時間	166			ns
tW(cycle)	パーストモード アクセスサイクル時間	USB非動作時	tc() × 3+30		ns
		USB動作時	tc() × 5+30		ns

3.1.6 スイッチング特性(L仕様)

表3.1.12 スイッチング特性(1)

(指定のない場合は、 $V_{CC}=4.00 \sim 5.25V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK)	シリアル/Oクロック出力 H パルス幅	tc(SCLK)/2-30			ns
tWL(SCLK)	シリアル/Oクロック出力 L パルス幅	tc(SCLK)/2-30			ns
td(SCLK-TxD)	シリアル/O出力遅延時間			140	ns
tV(SCLK-TxD)	シリアル/O出力有効時間	-30			ns
tr(SCLK)	シリアル/Oクロック出力立ち上がり時間			30	ns
tf(SCLK)	シリアル/Oクロック出力立ち下がり時間			30	ns
tr(CMOS)	CMOS出力立ち上がり時間 (注)			30	ns
tf(CMOS)	CMOS出力立ち下がり時間 (注)			30	ns

注 . XOUT , D0+ , D0-を除きます。

表3.1.13 スイッチング特性(2)

(指定のない場合は、 $V_{CC}=3.00 \sim 4.00V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK)	シリアル/Oクロック出力 H パルス幅	tc(SCLK)/2-50			ns
tWL(SCLK)	シリアル/Oクロック出力 L パルス幅	tc(SCLK)/2-50			ns
td(SCLK-TxD)	シリアル/O出力遅延時間			350	ns
tV(SCLK-TxD)	シリアル/O出力有効時間	-30			ns
tr(SCLK)	シリアル/Oクロック出力立ち上がり時間			50	ns
tf(SCLK)	シリアル/Oクロック出力立ち下がり時間			50	ns
tr(CMOS)	CMOS出力立ち上がり時間 (注)			50	ns
tf(CMOS)	CMOS出力立ち下がり時間 (注)			50	ns

注 . XOUT , D0+ , D0-を除きます。

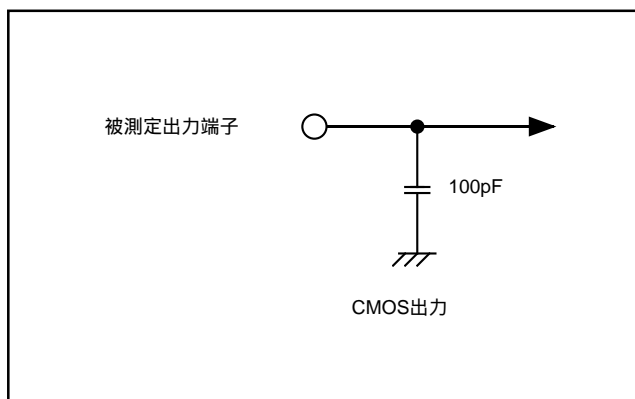


図3.1.1 出力スイッチング特性測定回路図

表3.1.14 外部バスインタフェース(EXB)のスイッチング特性(1)
(指定のない場合は、Vcc=4.00~5.25V,Vss=0V,Ta=-20~85)

記号	項目	規格値			単位
		最小	標準	最大	
ta(R-D)	リード後データ出力イネーブル時間			60	ns
tv(R-D)	リード後データ出力ディスイネーブル時間	0			ns
ta(ACK-D)	ExDACK後データ出力イネーブル時間			80	ns
tv(ACK-D)	ExDACK後データ出力ディスイネーブル時間	0			ns
td(R-Mdis)	サイクルモード リード後Mch_reqディスイネーブル出力遅延時間			tc()+10	ns
td(W-Mdis)	サイクルモード ライト後Mch_reqディスイネーブル出力遅延時間			tc()+10	ns
td(R-Men)	サイクルモード リード後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+10	ns
		USB動作時		tc()×5+10	ns
td(W-Men)	サイクルモード ライト後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+10	ns
		USB動作時		tc()×5+10	ns

表3.1.15 外部バスインタフェース(EXB)のスイッチング特性(2)
(指定のない場合は、Vcc=3.00~4.00V,Vss=0V,Ta=-20~85)

記号	項目	規格値			単位
		最小	標準	最大	
ta(R-D)	リード後データ出力イネーブル時間			80	ns
tv(R-D)	リード後データ出力ディスイネーブル時間	0			ns
ta(ACK-D)	ExDACK後データ出力イネーブル時間			120	ns
tv(ACK-D)	ExDACK後データ出力ディスイネーブル時間	0			ns
td(R-Mdis)	サイクルモード リード後Mch_reqディスイネーブル出力遅延時間			tc()+30	ns
td(W-Mdis)	サイクルモード ライト後Mch_reqディスイネーブル出力遅延時間			tc()+30	ns
td(R-Men)	サイクルモード リード後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+30	ns
		USB動作時		tc()×5+30	ns
td(W-Men)	サイクルモード ライト後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+30	ns
		USB動作時		tc()×5+30	ns

表3.1.16 スイッチング特性(USBポート)

(指定のない場合は、 $V_{CC}=3.00\sim 5.25V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tfr(D+/D-)	USBフルスピード出力立ち上がり時間	CL=50pF	4	20	ns
tff(D+/D-)	USBフルスピード出力立ち上がり時間	CL=50pF	4	20	ns
tfrfm(D+/D-)	USBフルスピードポート 立ち上がり / 立ち下がり時間比	tfr(D+/D-)/tff(D+/D-)	90	111.11	%
vcrs(D+/D-)	USB出力信号クロスオーバー電圧		1.3	2.0	V

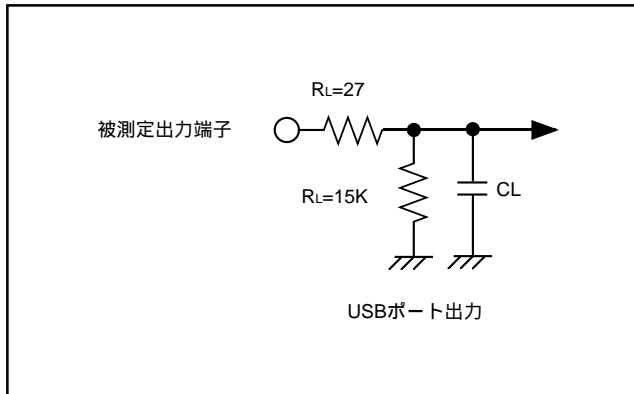


図3.1.2 USB出力スイッチング特性測定回路図1 (D0-)

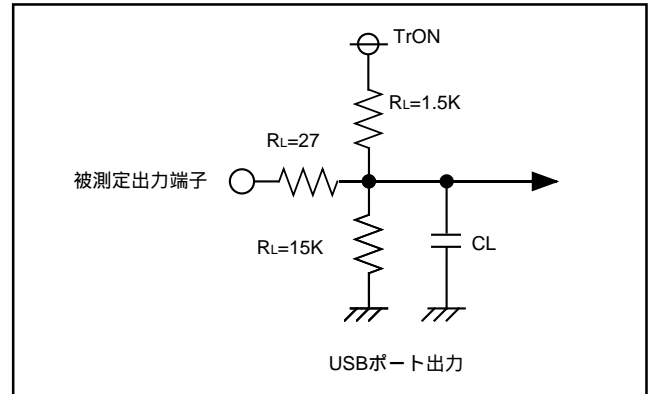


図3.1.3 USB出力スイッチング特性測定回路図2 (D0+)

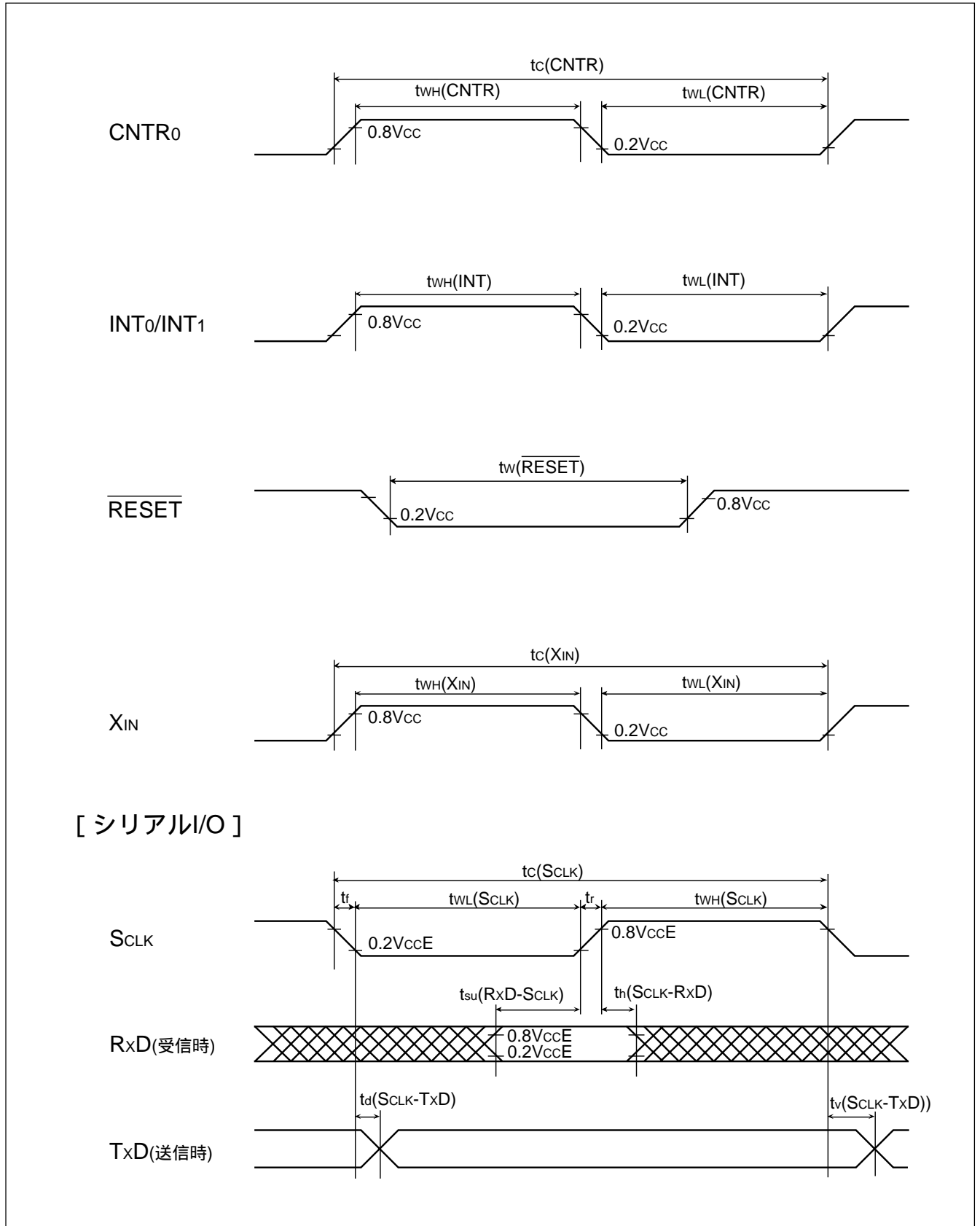
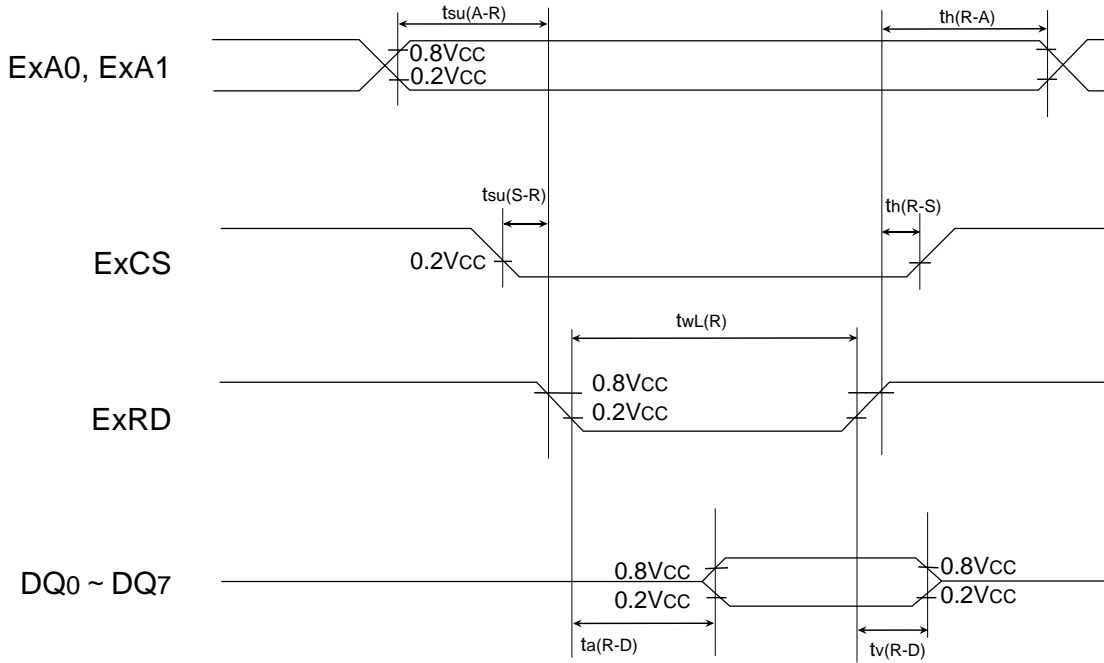


図3.1.4 タイミング図(1)

タイミング図

[EXB 《CPUチャンネルモード》]

《読み出し》



《書き込み》

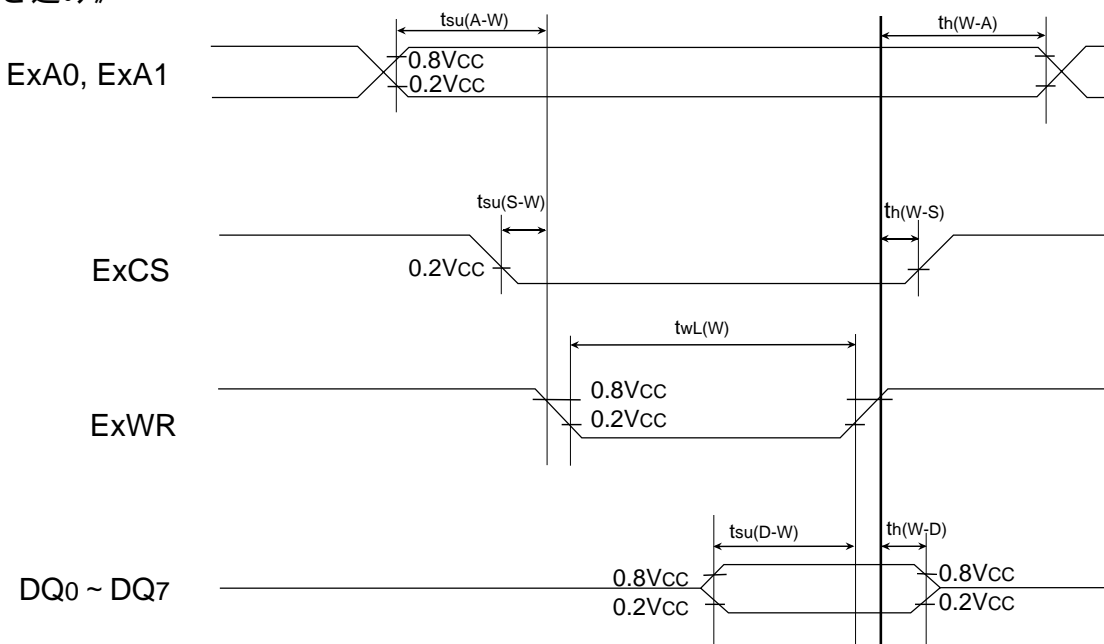
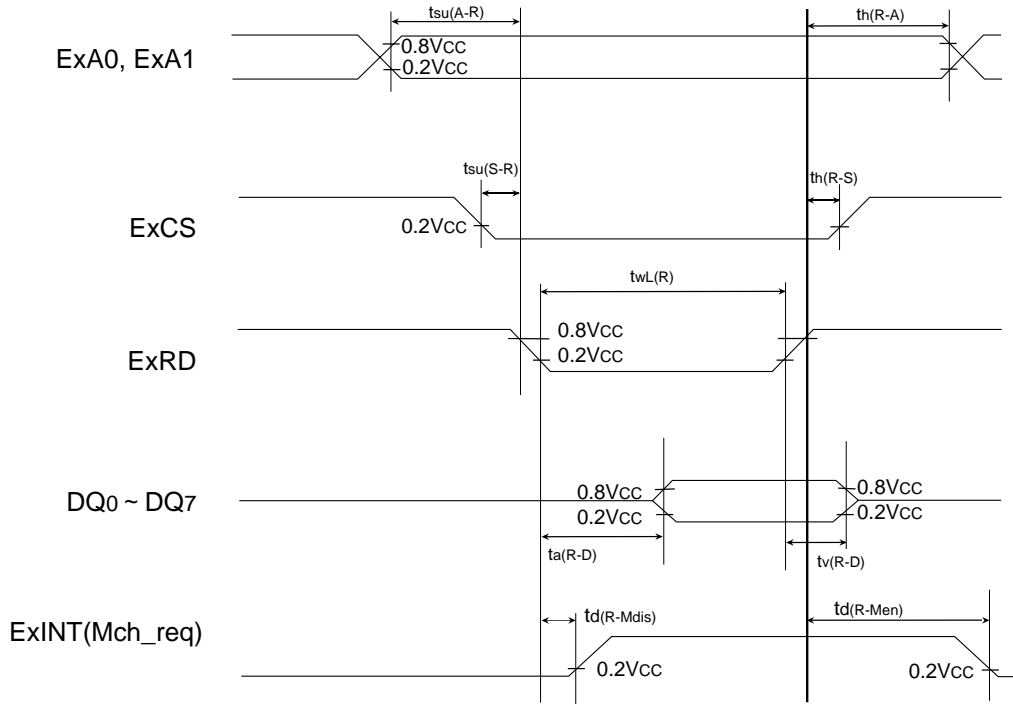


図3.1.5 タイミング図(2)

タイミング図

[EXB 《メモリチャンネルモード、標準端子機能》]

《読み出し》



《書き込み》

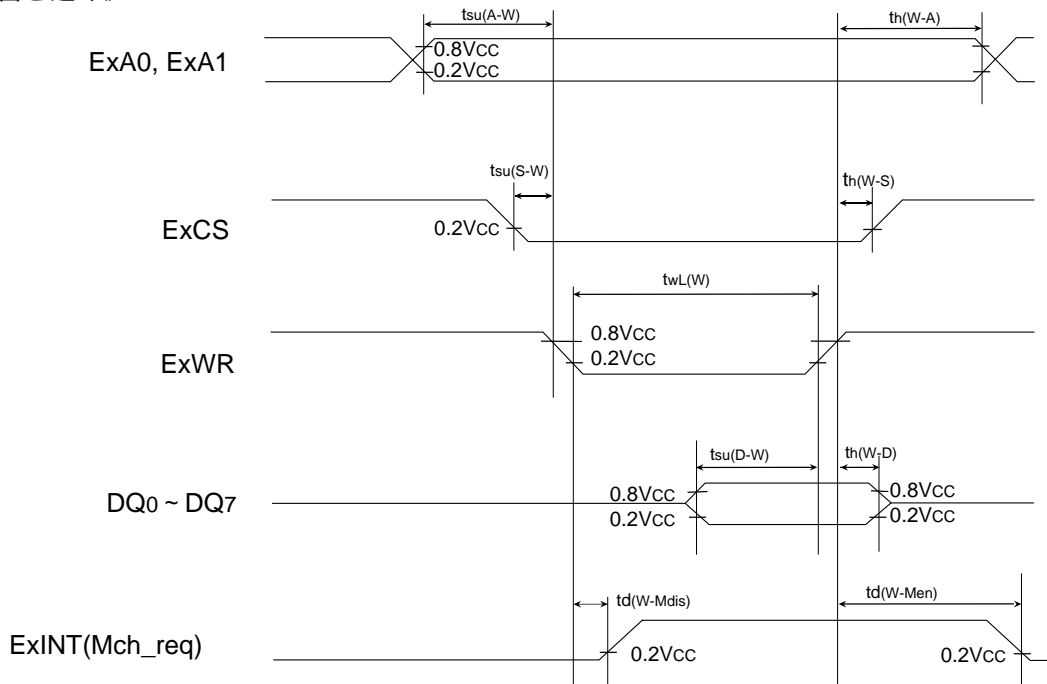
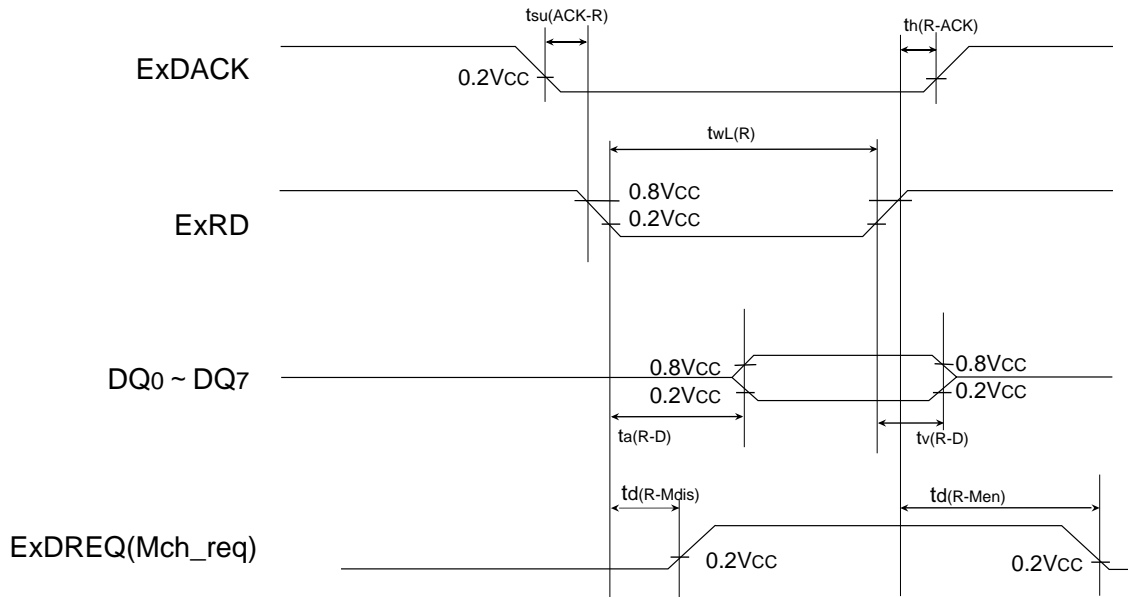


図3.1.6 タイミング図(3)

タイミング図

[EXB 《メモリチャンネルモード、DMAインタフェース端子機能、リード/ライト信号併用モード》]

《読み出し》



《書き込み》

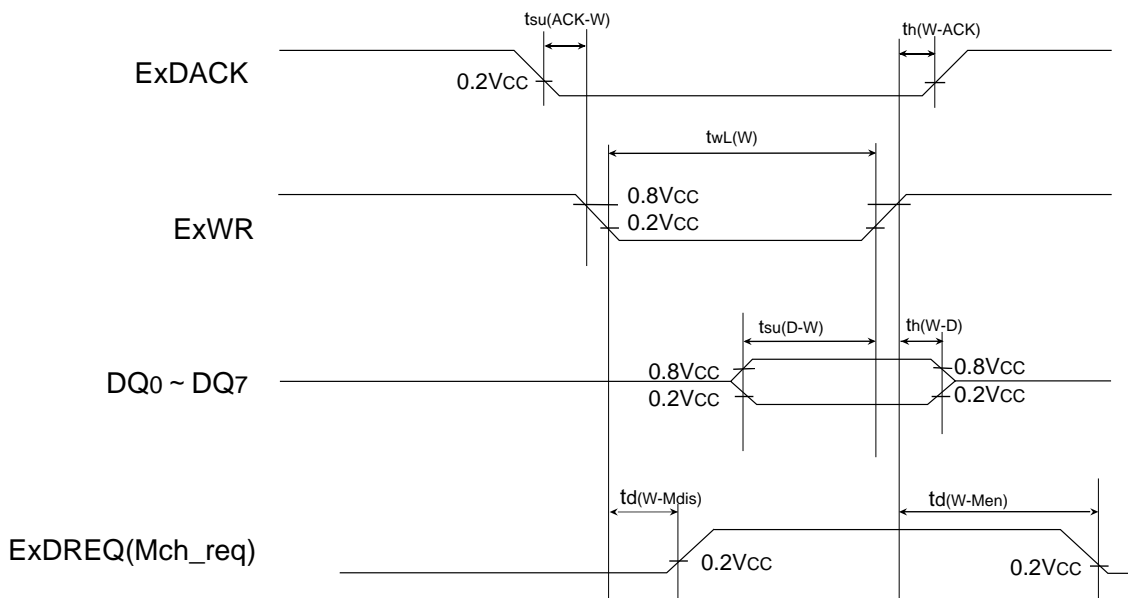
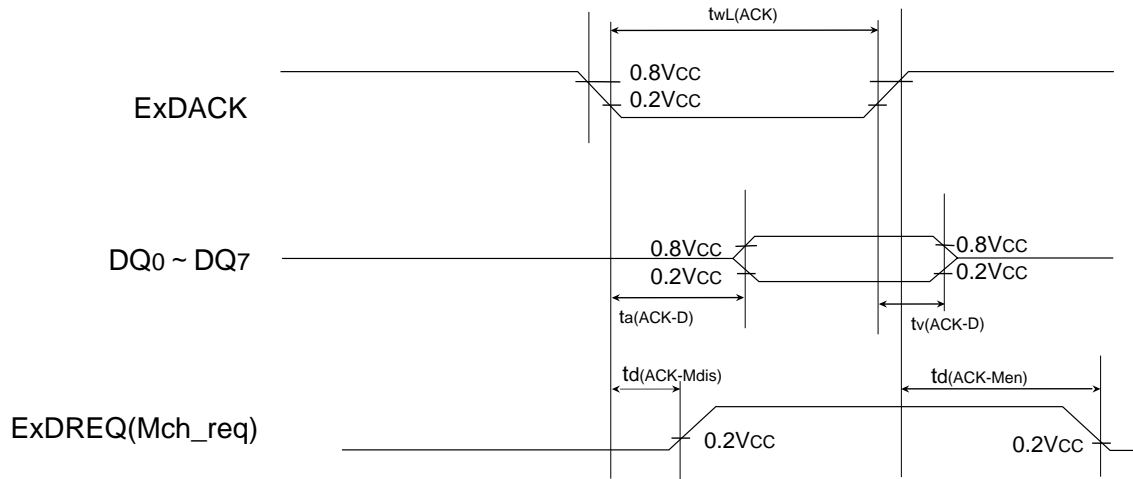


図3.1.7 タイミング図(4)

タイミング図

[EXB 《メモリチャンネルモード、DMAインタフェース端子機能、リード/ライト信号不要モード》]

《読み出し》



《書き込み》

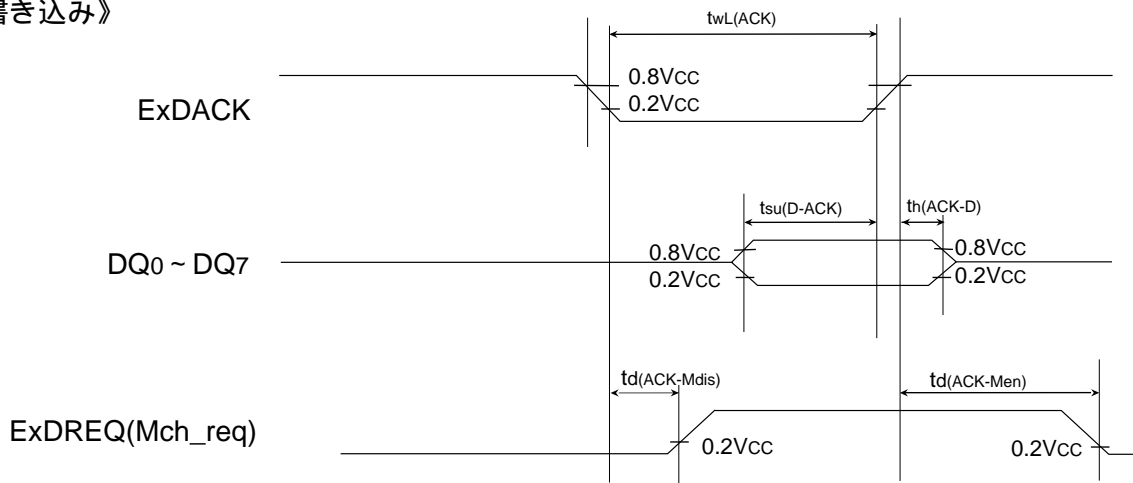
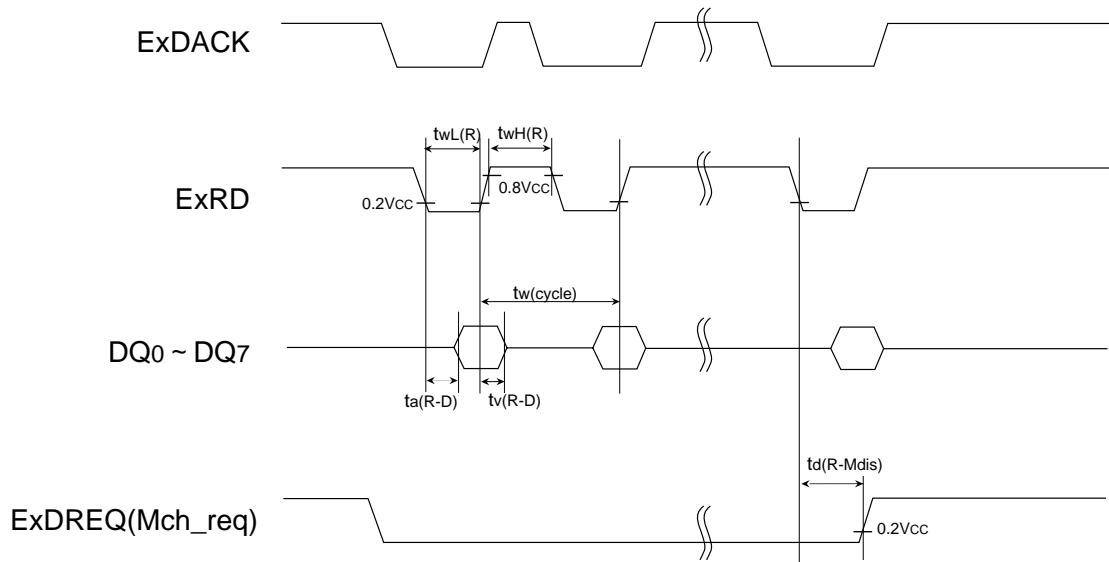


図3.1.8 タイミング図(5)

タイミング図

[EXB 《メモリチャンネルモード、バースト転送》]

《読み出し》



《書き込み》

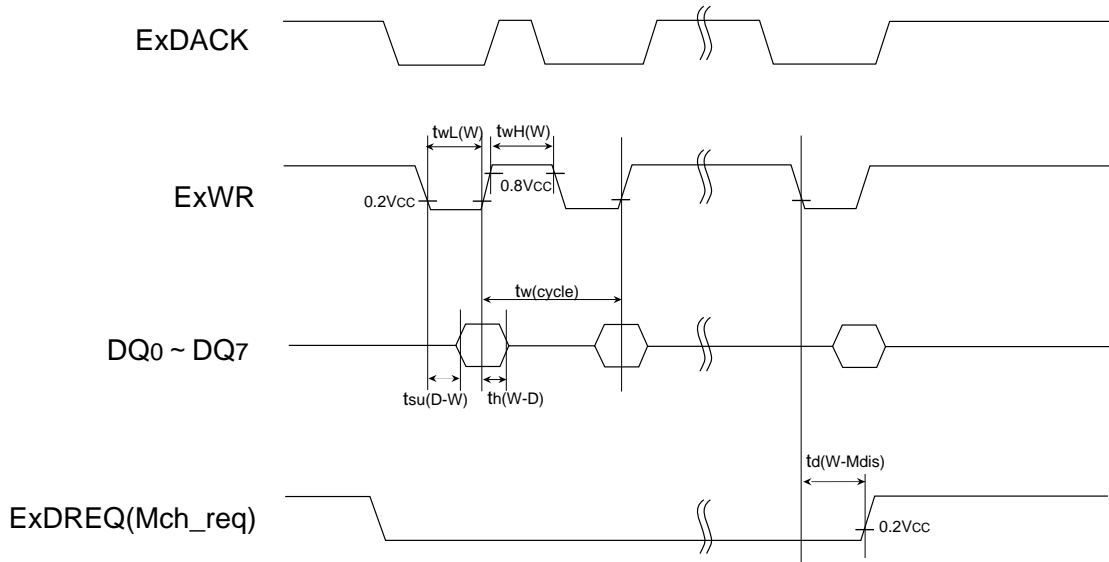


図3.1.9 タイミング図(6)

3.2 使用上の注意事項

3.2.1 入出力ポートに関する注意事項

(1) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・ 入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・ 出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・ 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・ 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*ビット処理命令：SEB命令、CLB命令

3.2.2 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2) 処理上の留意事項

入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

3.2.3 割り込みに関する注意事項

(1) 関連レジスタの設定変更

割り込みエッジ選択レジスタ(0FF3₁₆番地)及びタイマXモードレジスタ(23₁₆番地)の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

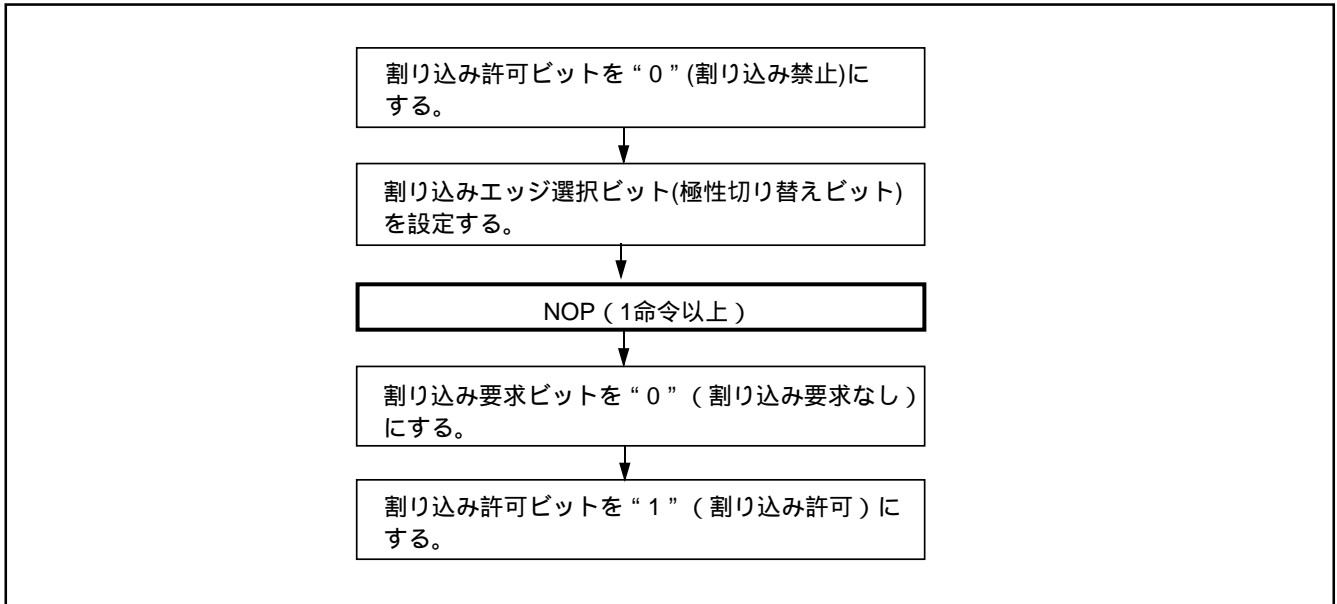


図3.2.1 関連レジスタの設定変更手順

理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(0FF3₁₆番地)
タイマXモードレジスタ(23₁₆番地)

(2) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

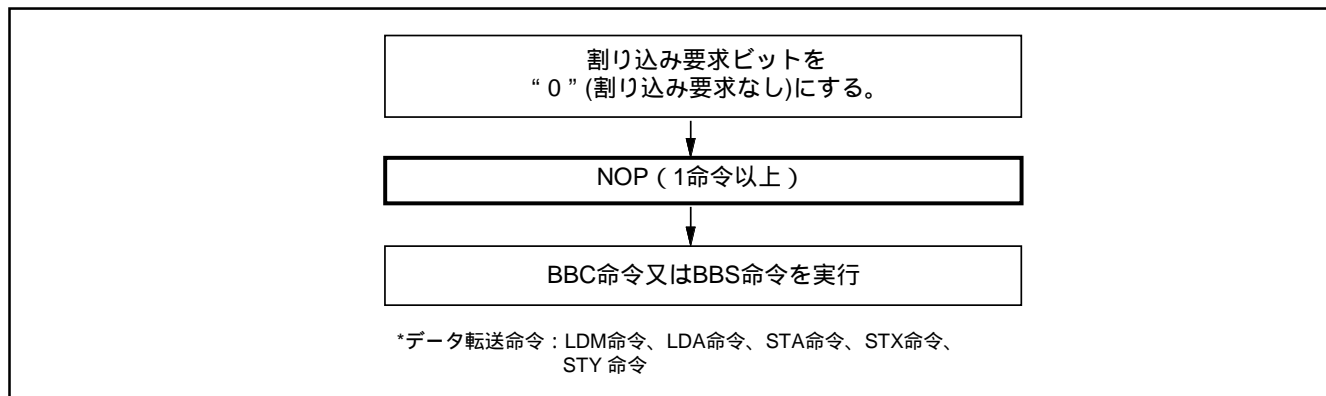


図3.2.2 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

3.2.4 タイマに関する注意事項

タイマラッチに値n(“0”~“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

3.2.5 シリアルI/Oに関する注意事項

(1) クロック同期形の選択時(シリアルI/O)

送信動作の停止

シリアルI/O許可ビット及び送信許可ビットを“0”(シリアルI/O及び送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O許可ビットを“0”(シリアルI/O禁止)にしてください。

送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また(1)の 送信動作の停止 と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(2) 非同期形の選択時(シリアルI/O)

送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側のSRDY出力(シリアルI/O)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O制御レジスタの再設定(シリアルI/O)

シリアルI/O制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

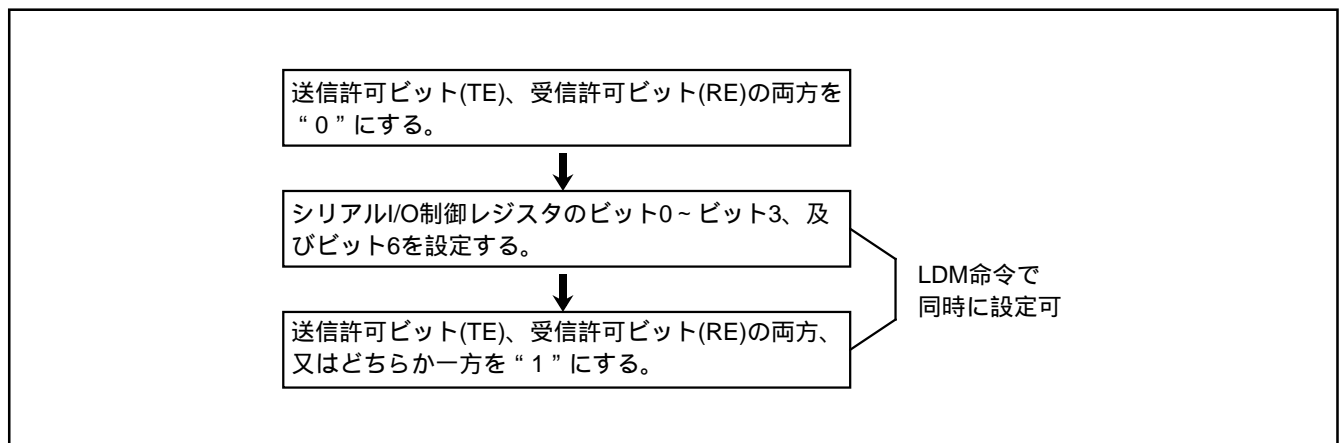


図3.2.3 シリアルI/O制御レジスタの再設定手順

(5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(6) 外部クロック選択時の送信制御(シリアルI/O)

データ送信時、同期クロックとして外部クロックを選択している場合、SCLKが“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLKが“H”の状態で行ってください。

(7) 送信許可ビットセット時の送信割り込み要求(シリアルI/O)

送信割り込みを使用する場合は、以下の手順で送信割り込み許可ビットを許可状態にしてください。

CLB命令により、割り込み許可ビットを“0”(禁止状態)にする。

シリアルI/Oの送受信準備を行う。

一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

割り込み許可ビットを“1”(許可状態)にする。

理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンプティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

3.2.6 USBに関する注意事項

(1) USBポート端子(D0+,D0-)の取扱いに関する注意事項

USB仕様では、ドライバインピーダンス28~44Ωが規定されています。この規格を満足するために、USBポート端子に直列抵抗(推奨値27Ω)を接続してください。また必要に応じてUSBポート端子とVss端子の間にコンデンサを接続してください。これらのコンデンサはリングングを抑えるため、もしくは立ち上がり、立ち下がり時間及びクロスオーバーポイントを調整するためのものです。周辺素子の数値と構成は実装プリント基板の特性インピーダンス、レイアウトの違いにより調整が必要となりますので、使用システムで十分に評価、波形観測のうえ、接続の有無と抵抗値・コンデンサ数値をご調整願います。

USB D+/D-ラインには他の信号を交差しないよう配置してください。GND面を拡大し、USBラインを保護してください。USBコネクタについては、USB規格を満足した製品を使用してください。

(2) USBV_{REF}端子の取扱いに関する注意事項(ノイズ対策)

USBV_{REF}端子とV_{SS}端子との間にコンデンサを接続してください。コンデンサの容量は2.2 μ F(電解系コンデンサ)と0.1 μ F(セラミック系コンデンサ)を並列に接続してください。

V_{CC}=3.0~3.6V動作時、USBポート回路へ電源供給のために、USBV_{REF}端子はV_{CC}端子へ直接接続してください。また、この場合、USB基準電圧回路を禁止にしてください(USB制御レジスタのビット4を“0”にしてください)。この時、バスパワー電源を使用する場合は、外部にDC-DCコンバータを外付けする必要があります。

V_{CC}=4.00~5.25V動作時、外付けDC-DCコンバータをUSBV_{REF}端子に接続しないでください。内蔵のUSB基準電圧回路をご使用ください。

(3) USB通信に関する注意事項

通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。

3.2.7 A/D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、0.01 μ F~1 μ Fの外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

(2) A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・ f(X_{IN})は500kHz以上にしてください。
- ・ STP命令を実行しないでください。

3.2.8 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。

ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えることはできません。

3.2.9 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

3.2.10 PLLに関する注意事項

基準クロック($f(\text{XIN})$)入力として接続可能な外部発振子は、6MHz又は12MHzになります。また、基準クロック($f(\text{XIN})$)入力は、より高周波のものを使用することを推奨します。

PLL動作禁止状態(リセット時は禁止)から許可する際には、USBクロックは、USB制御レジスタのUSBクロック選択ビット(UCLKCON)を“0”(f(XIN))に設定し、メインクロック(f(XIN))にて動作させてください。

PLL動作許可ビットを“1”(許可)に設定した後、fVCOをfUSBへ供給する場合、クロックによる不安定な動作を避けるため、発振安定時間(1ms以内)待ち、USB制御レジスタのUSBクロック選択ビットを“1”(USBクロック)に設定してください。

内部システムクロックとしてfsYN選択時は、fUSBが48MHzの時のみ使用してください。

内部システムクロックとしてfsYN選択時は、STP命令実行前に、システムクロック選択ビットをメインクロック(f(XIN))に変更してください。これは、ストップモード時、低消費電力を実現するため、PLL動作を禁止してfUSBを停止させる必要があり、さらに、ストップモード復帰時の発振安定待ち用に使用するタイマ1への入力カウントソースが必要なためです。

3.2.11 スタンバイ機能に関する注意事項

(1) ストップモード使用上の注意事項

レジスタ設定

ストップモードからの復帰時、プリスケラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後発振安定時間設定ビットが“0”のとき)

復帰後のクロック

メインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。

(2) スタンバイ機能に関する注意事項

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウエイトモード

3.2.12 フラッシュメモリ版のCPU書き換えモードに関する注意事項

(1) 動作速度

CPU書き換えモード中は、システムクロック分周比選択ビット(003B16番地のビット6、7)によって、内部クロック が1.5MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウオッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNVss=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

3.2.13 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

理由

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

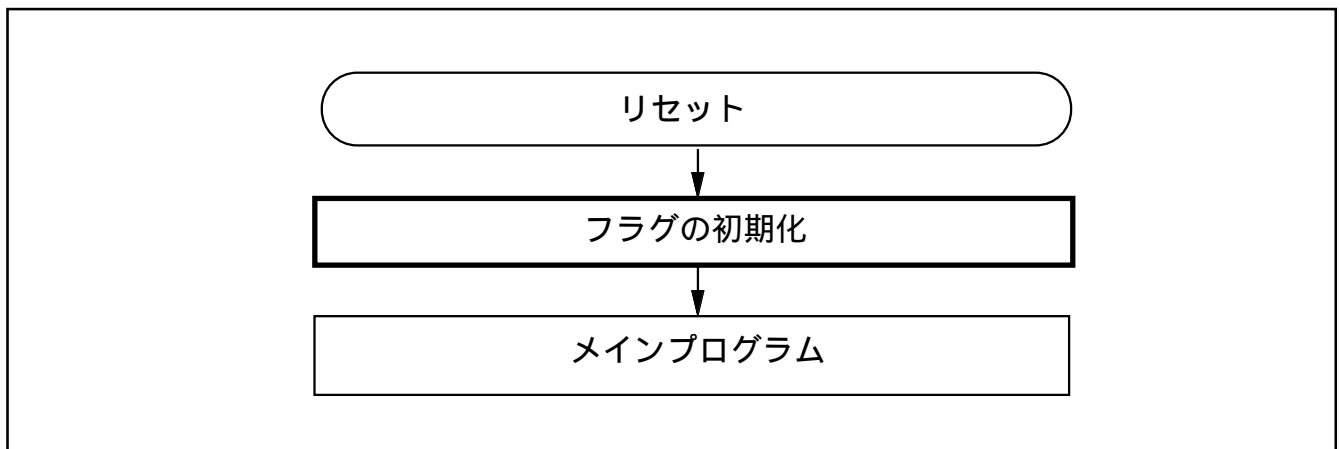


図3.2.4 プロセッサステータスレジスタのフラグの初期化

プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

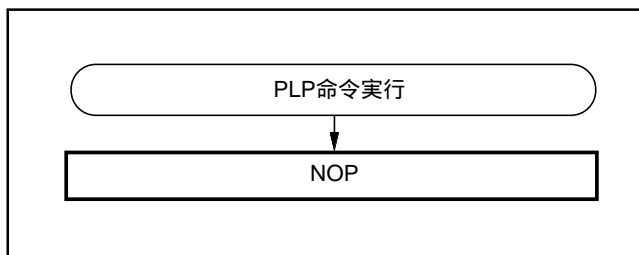


図3.2.5 PLP命令実行時の手順

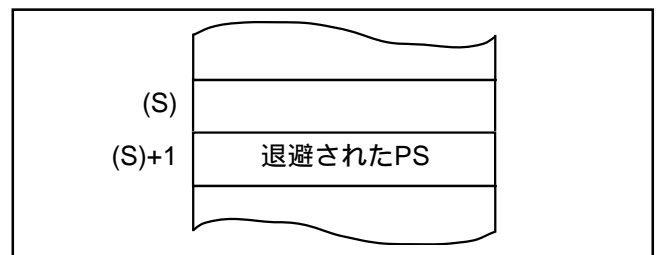


図3.2.6 PHP命令実行後のスタックメモリの内容

(2) BRK命令

割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に“1”
- ・Iフラグを“1”にして割り込みを禁止

(3) 10進演算

10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリー)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

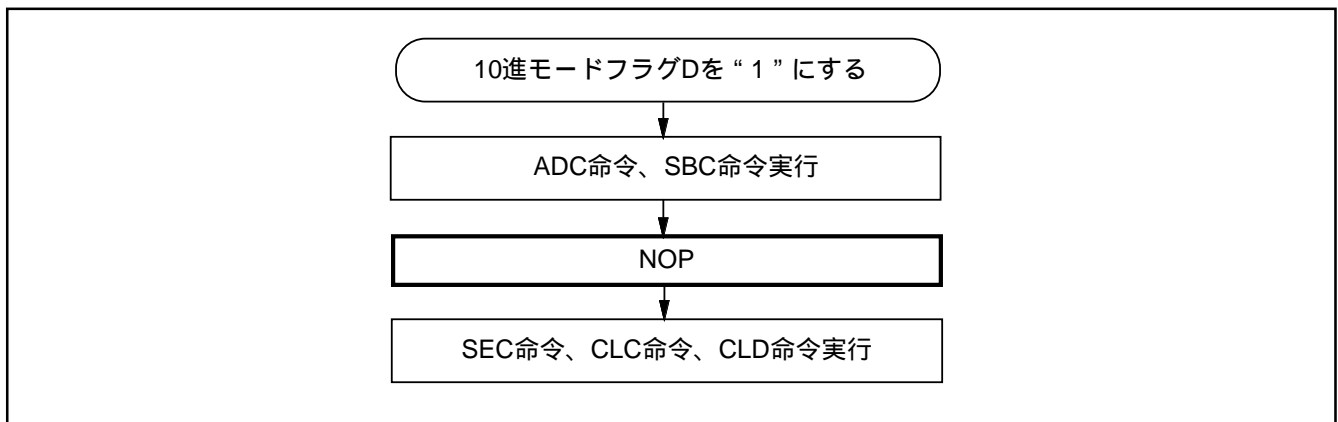


図3.2.7 10進演算時のステータスフラグ

(4) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

(5) 乗除算命令

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

(6) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(7) 命令の実行時間

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではX_{IN}周期の2倍です。

3.2.14 フラッシュメモリ版に関する注意事項

CNV_{SS}端子は、プログラマブル電源端子(V_{PP}端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNV_{SS}端子の配線は1~10kΩの抵抗を介してV_{SS}又はV_{CC}に接続くださるようお願いいたします。なお、マスクROM版のCNV_{SS}端子の配線が抵抗を介して接続されていても、動作上支障はありません。

3.2.15 フラッシュメモリ版/マスクROM版の相異点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版を使用して実施したシステム評価試験と同等の試験を実施してください。

3.3 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論的に有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

3.3.1 配線長の短縮

基板の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短い(mm単位)ほどノイズをマイコン内部に引き込む可能性は低くなります。

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

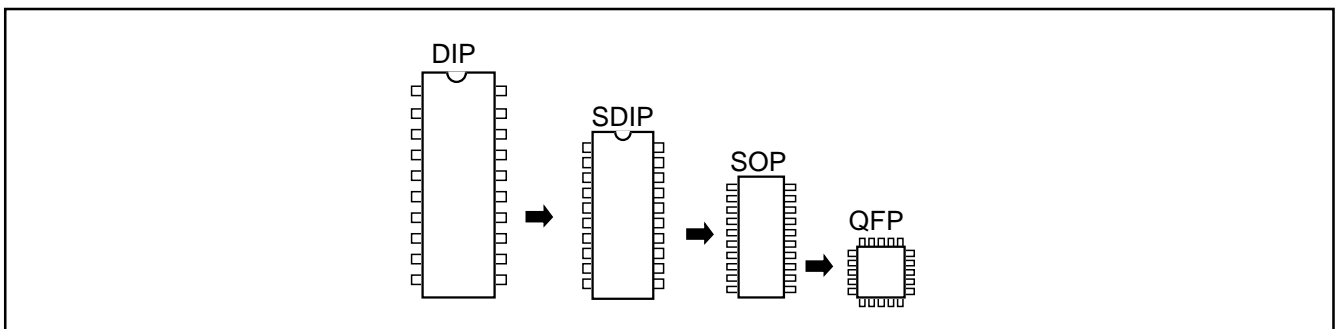


図3.3.1 パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

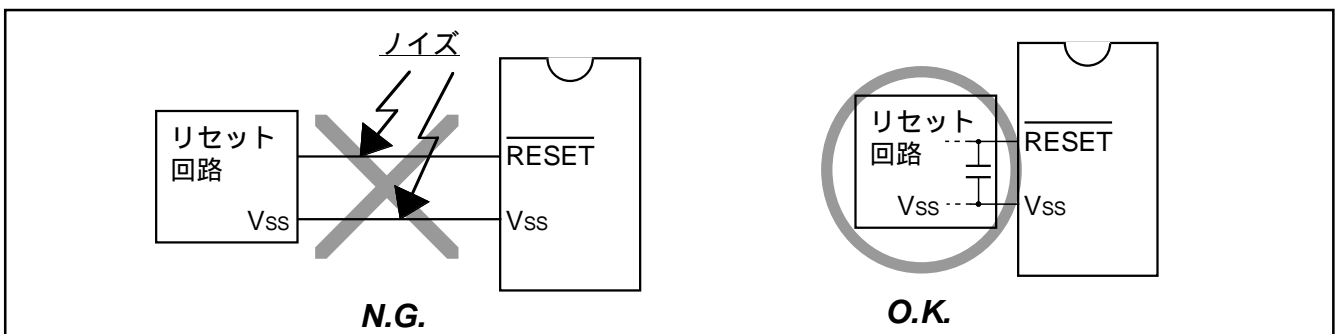


図3.3.2 リセット入力端子の配線

(3) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

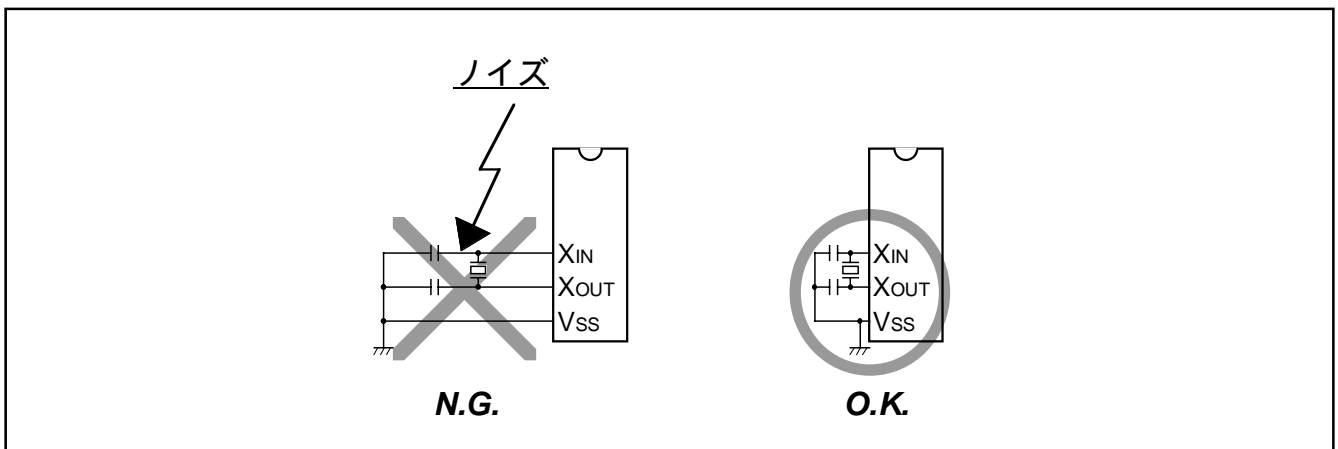


図3.3.3 クロック入出力端子の配線

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

理由

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

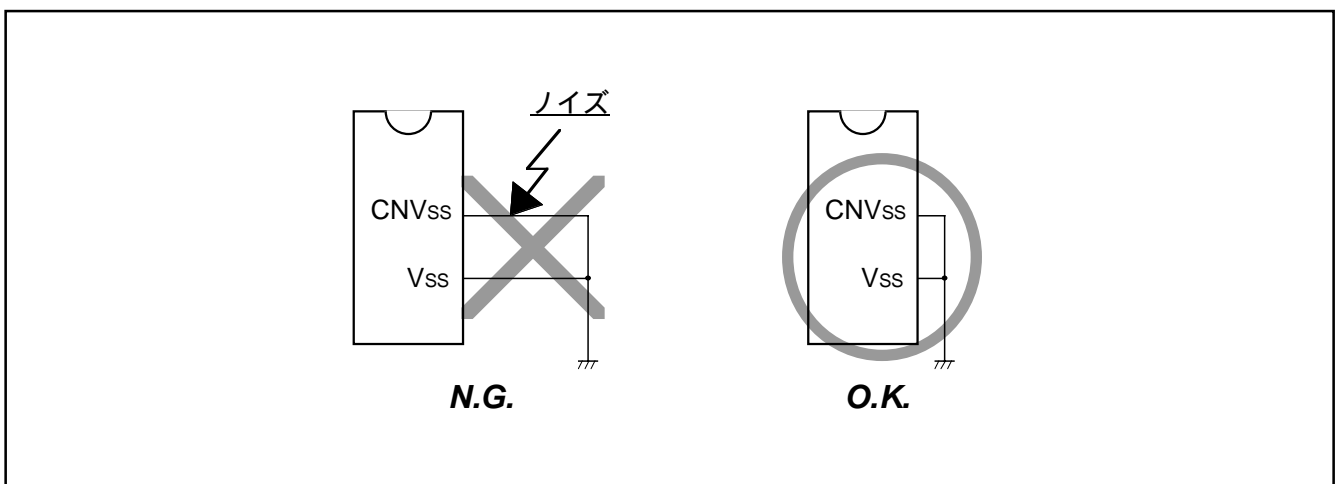


図3.3.4 CNVss端子の配線

(5) フラッシュ版のVPP端子配線

VPP端子のできるだけ近くに5k 程度の抵抗を直列に挿入し、Vss端子に接続してください。また、5k 程度の抵抗を挿入しない場合は、VPP端子とVss端子の配線は最短にしてください。

注. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

フラッシュ版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵フラッシュメモリへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵フラッシュメモリから異常な命令コード、データが読み出され、暴走の原因となります。

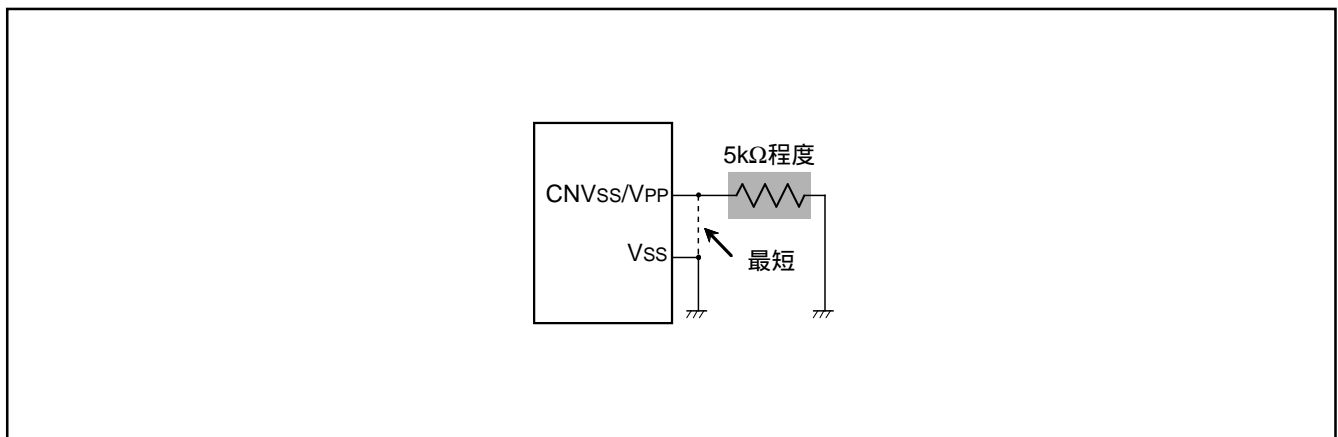


図3.3.5 フラッシュ版のVPP端子の配線

3.3.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

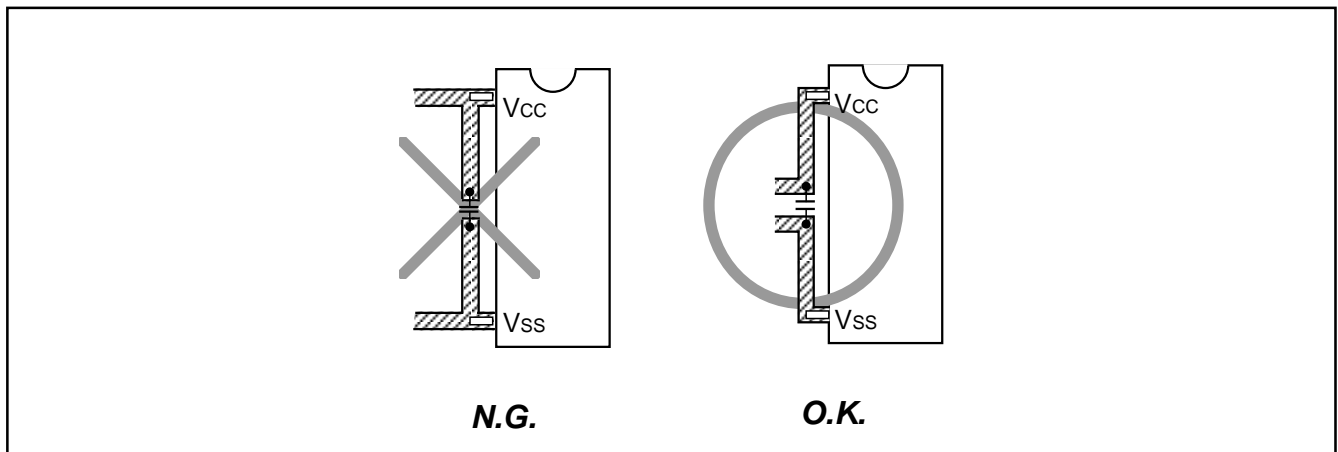


図3.3.6 Vss - Vccライン間のバイパスコンデンサ

3.3.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

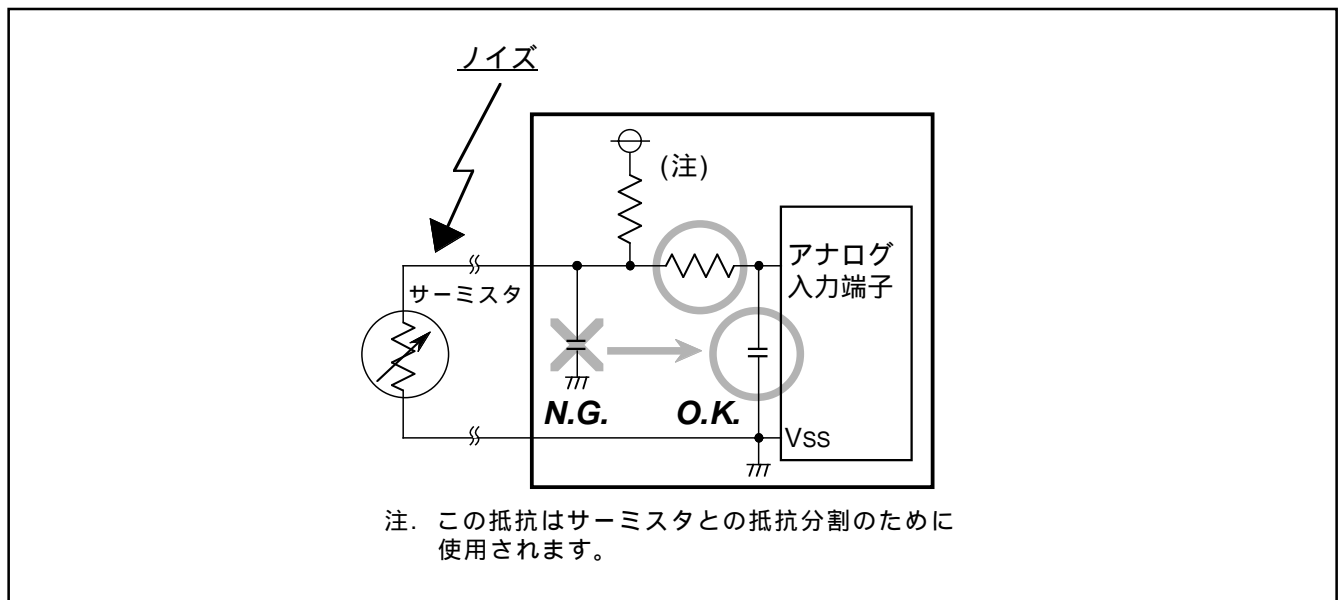


図3.3.7 アナログ信号線と抵抗及びコンデンサ

3.3.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

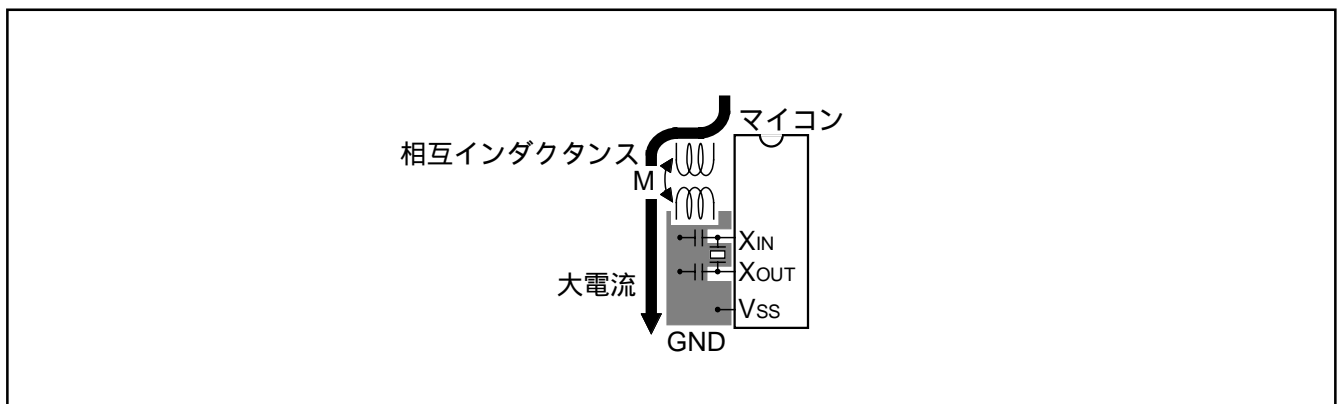


図3.3.8 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

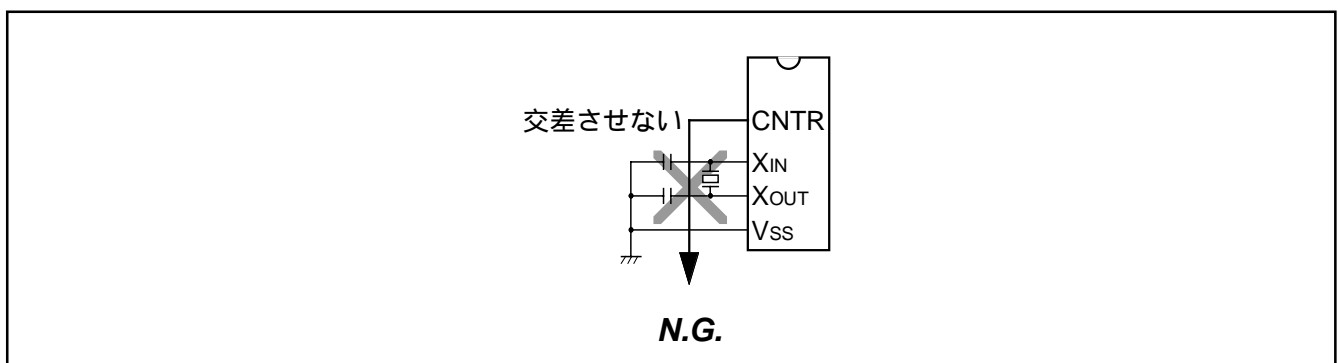


図3.3.9 リセット入力端子の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

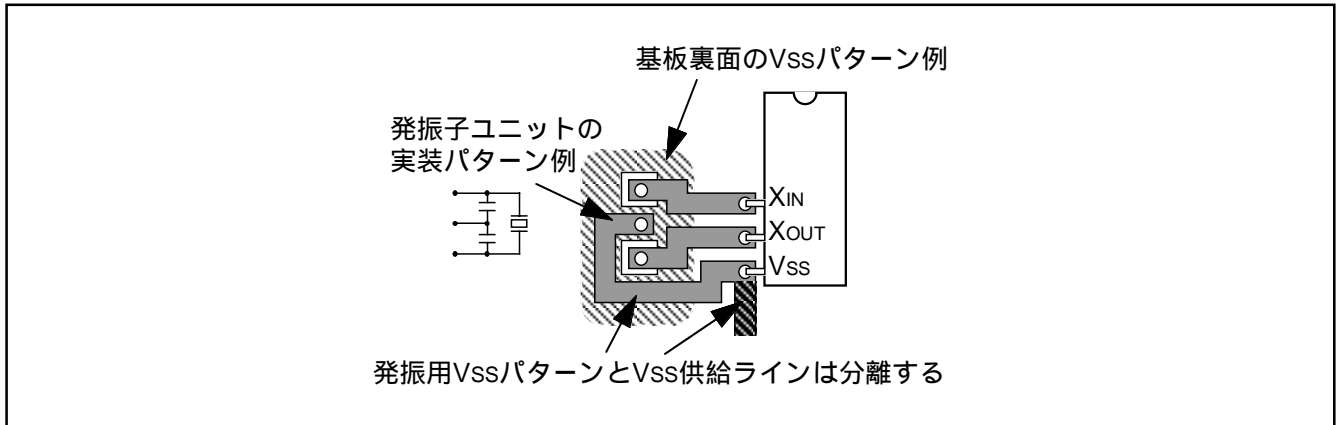


図3.3.10 発振子の裏面のVssパターン

3.3.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタ(内蔵する品種のみ)の再書き込みを行ってください。

注. 一定周期で方向レジスタをに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。

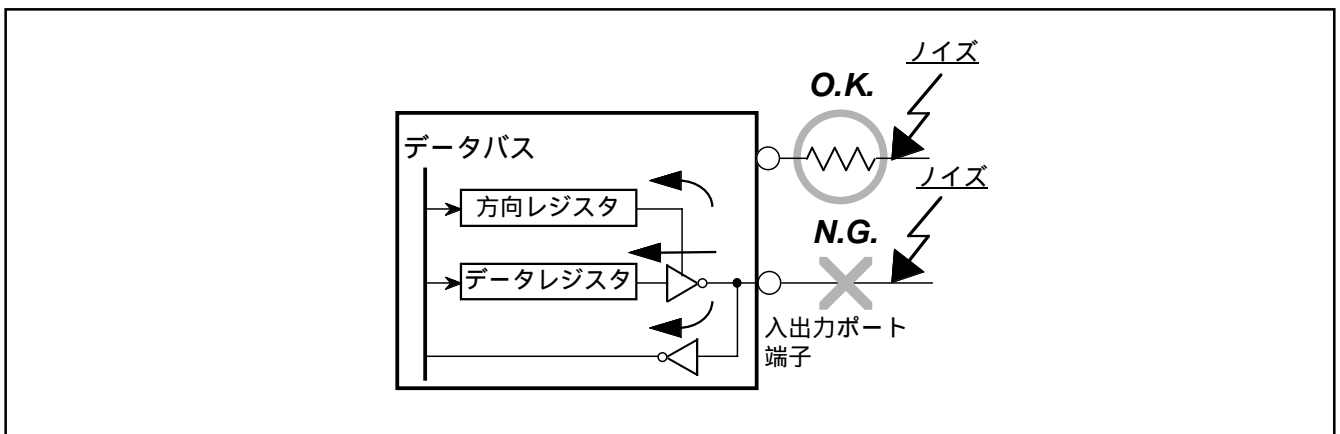


図3.3.11 入出力ポート処理

3.3.6 ソフトウェアによる監視タイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによる監視タイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアの監視タイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによる監視タイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェア監視タイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

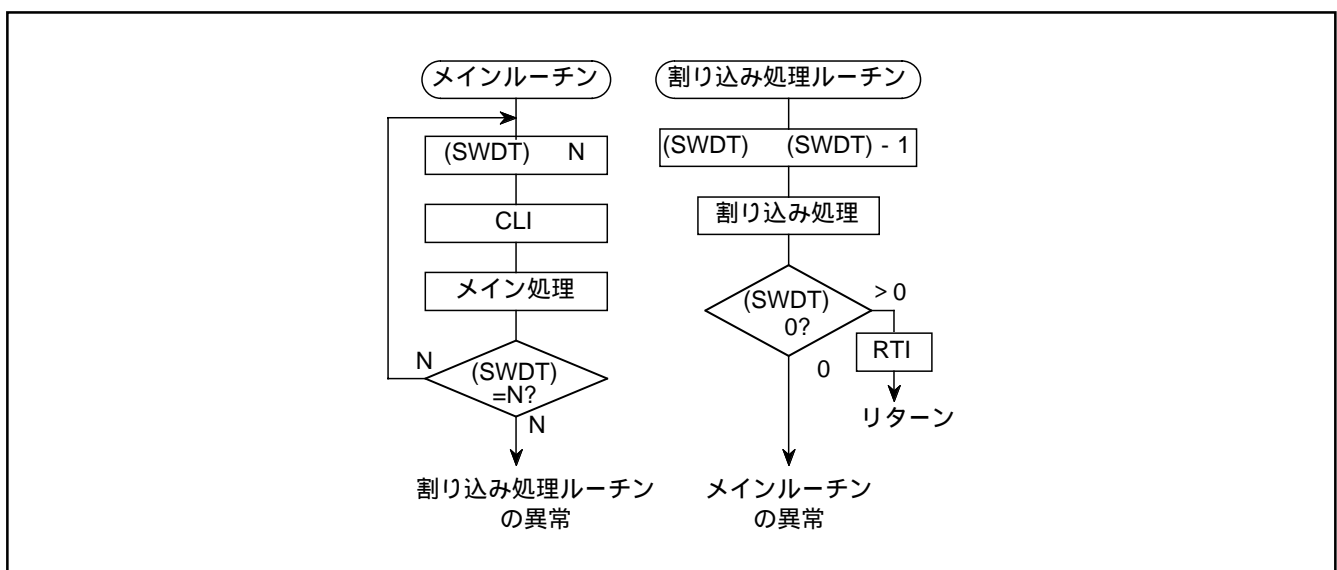


図3.3.12 ソフトウェアによる監視タイマ

3.4 レジスタ一覧

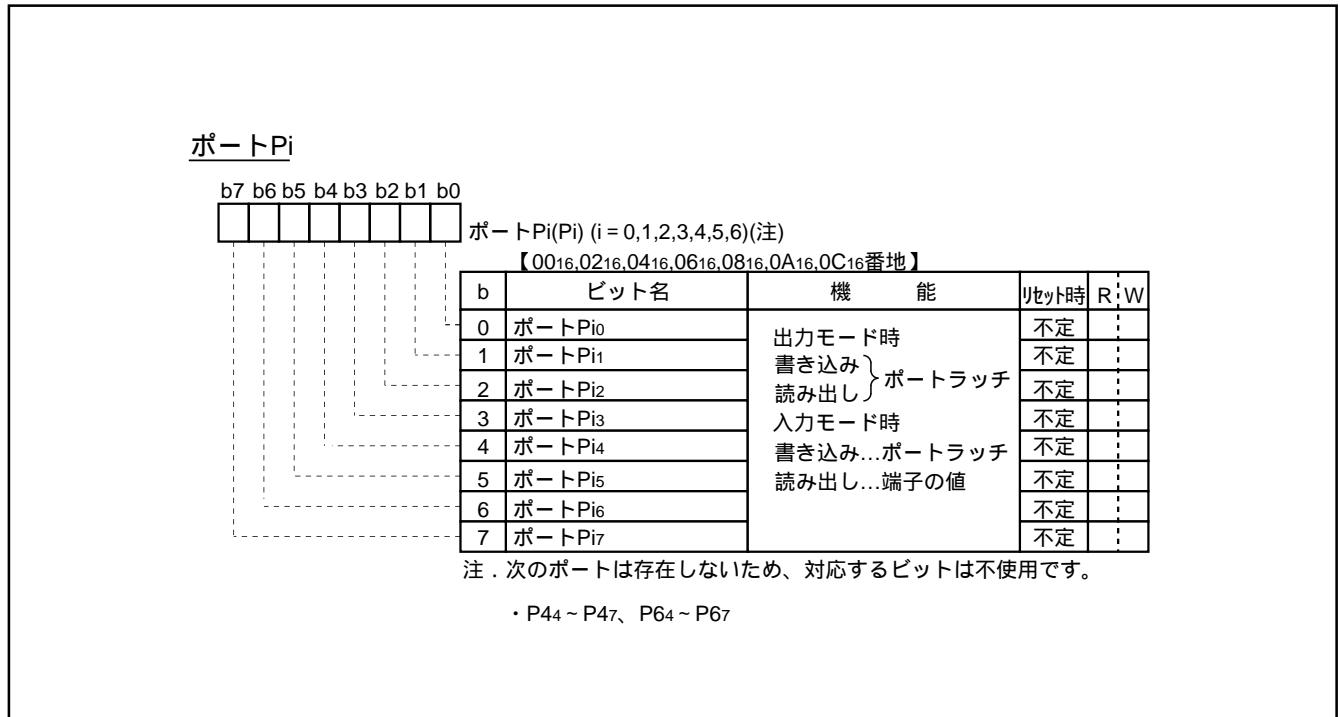


図3.4.1 ポートPiの構成

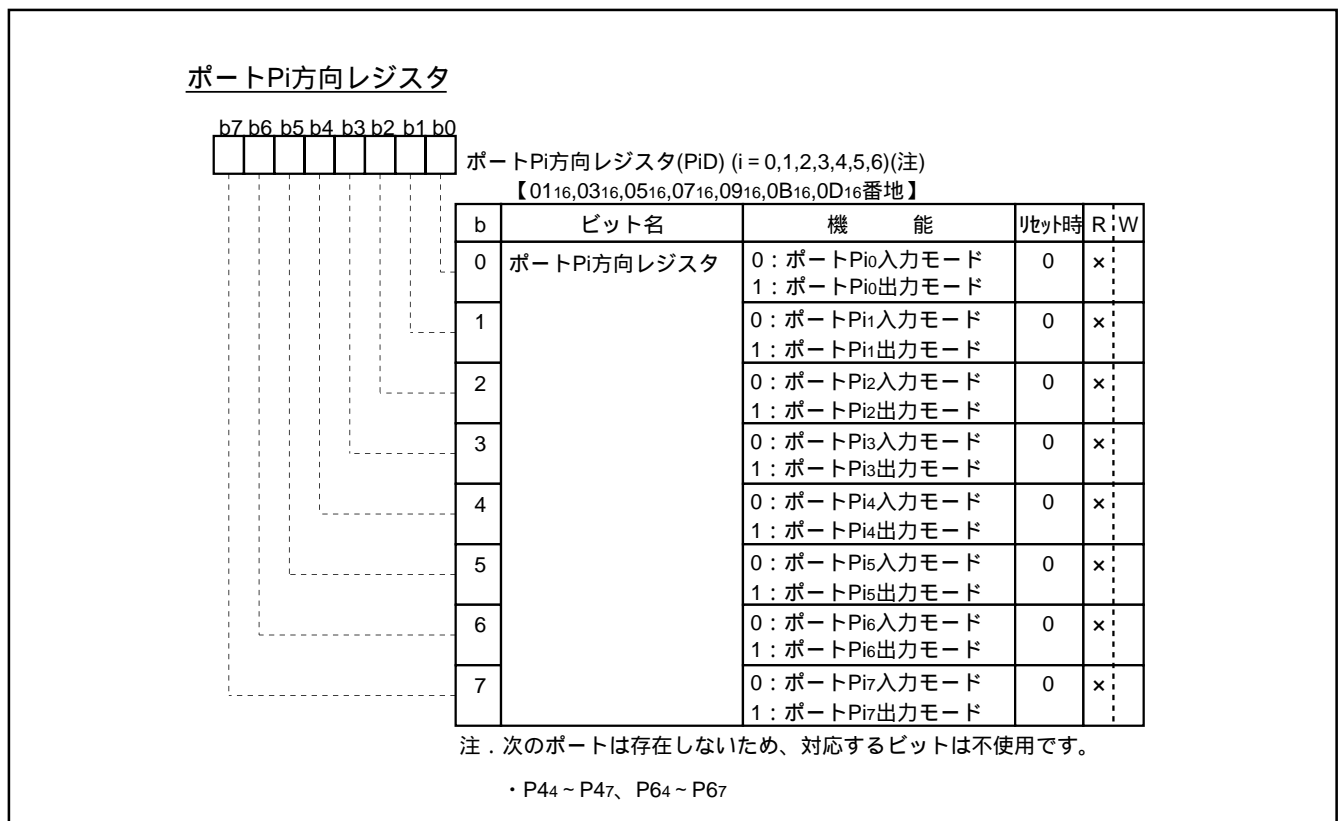


図3.4.2 ポートPi方向レジスタの構成



図3.4.3 USB制御レジスタ(USBCON)の構成

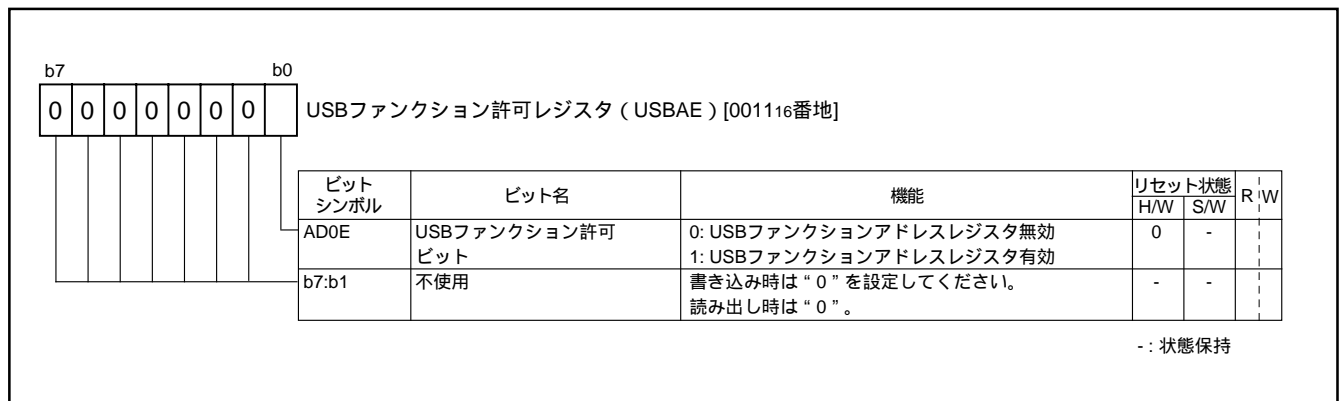


図3.4.4 USBファンクション許可レジスタ(USBAE)の構成

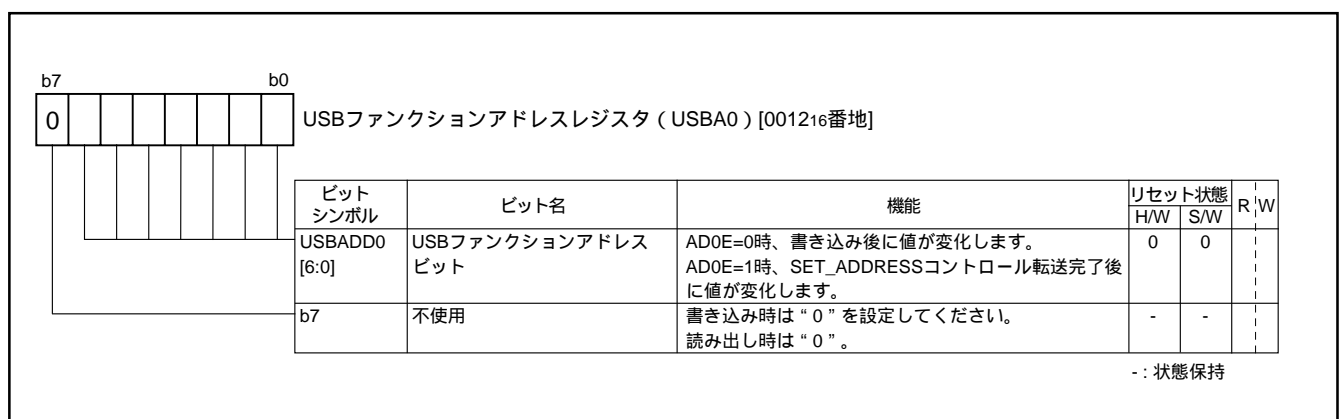


図3.4.5 USBファンクションアドレスレジスタ(USBA0)の構成

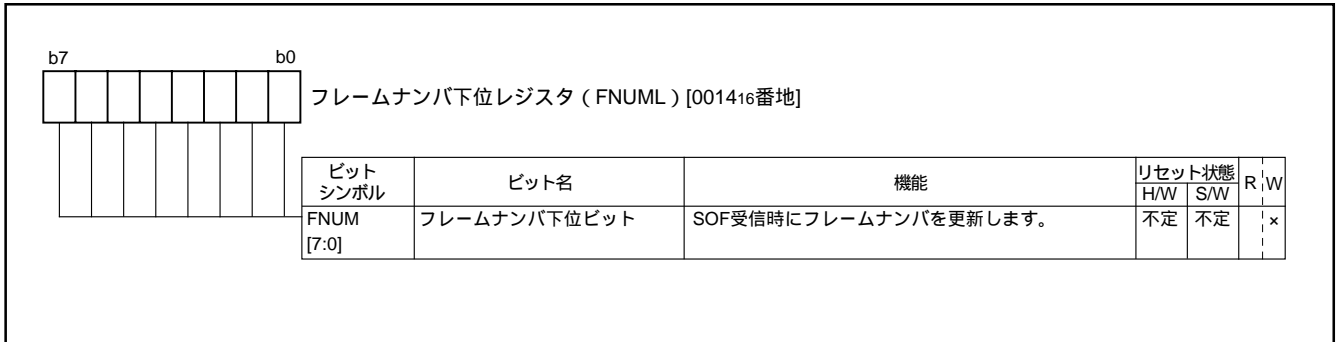


図3.4.6 フレームナンバ下位レジスタ(FNUML)の構成

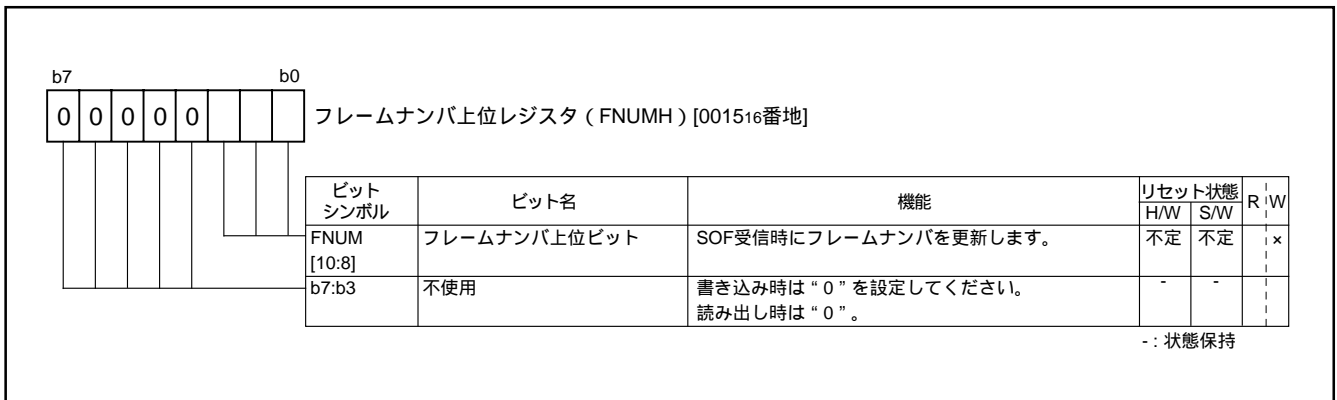


図3.4.7 フレームナンバ上位レジスタ(FNUMH)の構成

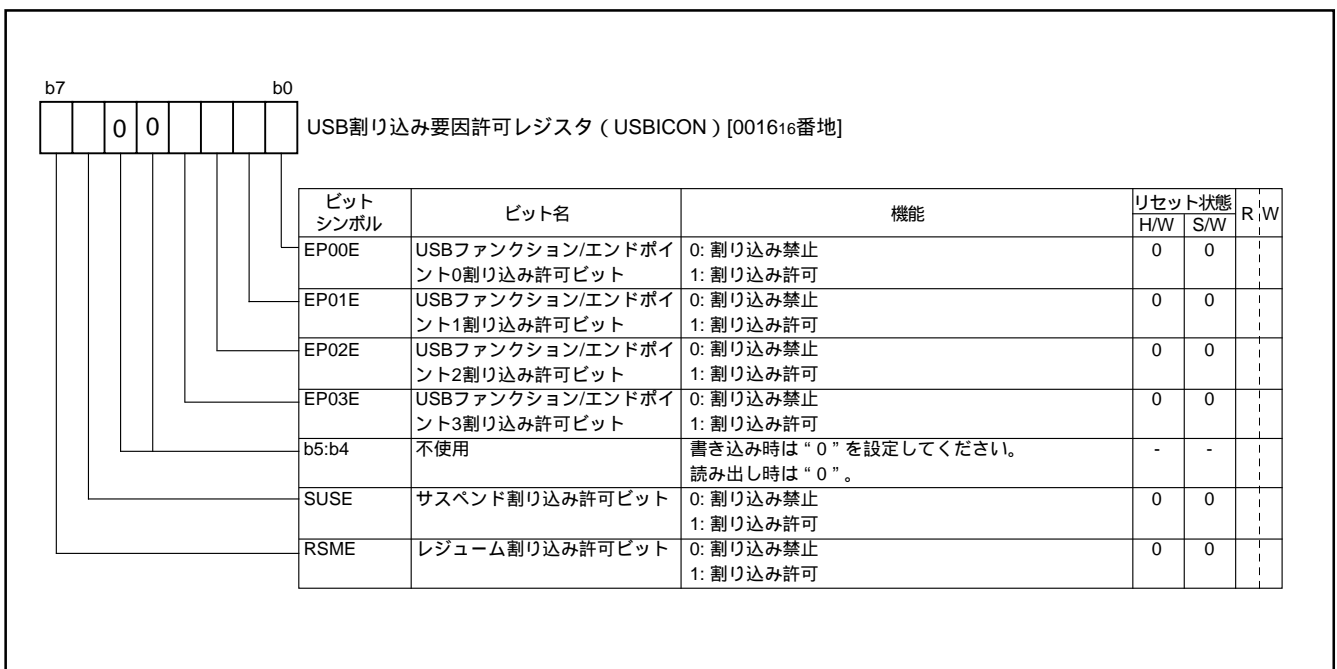


図3.4.8 USB割り込み要因許可レジスタ(USBICON)の構成

USB割り込み要因レジスタ (USBIREQ) [0017₁₆番地]

ビット シンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
EP00	USBファンクション/エンド ポイント0割り込みビット	EP00割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。 書き込みを行ってもフラグは変化しません。 EP00割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
EP01	USBファンクション/エンド ポイント1割り込みビット	EP01割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。 書き込みを行ってもフラグは変化しません。 EP01割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
EP02	USBファンクション/エンド ポイント2割り込みビット	EP02割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。 書き込みを行ってもフラグは変化しません。 EP02割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
EP03	USBファンクション/エンド ポイント3割り込みビット	EP03割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。 書き込みを行ってもフラグは変化しません。 EP03割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0		x
b5:b4	不使用	書き込み時は“0”を設定してください。 読み出し時は“0”。	-	-		
SUS	サスペンド割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBクロック(fusb)が48MHzのとき、3ms以上の“J”を検出すると、“1”にセットされます。 ソフトウェアによって“0”にできますが、“1”にはできません。	0	0		
RSM	レジューム割り込みビット	レジューム割り込み許可フラグをクリアすると、要因フラグがクリアされます。 書き込みを行ってもフラグは変化しません。 レジューム割り込み許可フラグがセット状態でUSBbusの状態が変化(“J” “K”またはSEO)すると、“1”にセットされます。 内部クロックが停止状態でも“1”にセットされます。	0	0		x

図3.4.9 USB割り込み要因レジスタ(USBIREQ)の構成

エンドポイントインデックスレジスタ (USBINDEX) [0018₁₆番地]

ビット シンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
EPIDX [1:0]	エンドポイントインデックス ビット	b1 b0 0 0: エンドポイント0 0 1: エンドポイント1 1 0: エンドポイント2 1 1: エンドポイント3	0	-		
b7:b2	不使用	書き込み時は“0”を設定してください。 読み出し時は“0”。	-	-		

-: 状態保持

図3.4.10 エンドポイントインデックスレジスタ(USBINDEX)の構成

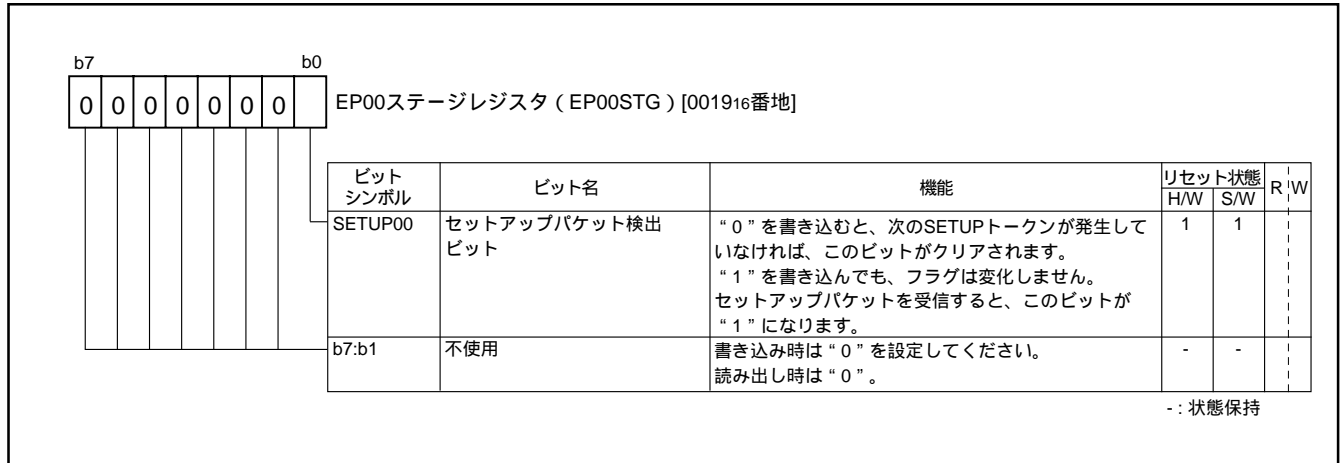


図3.4.11 EP00ステージレジスタ(EP00STG)の構成



図3.4.12 EP01設定レジスタ(EP01CFG)の構成

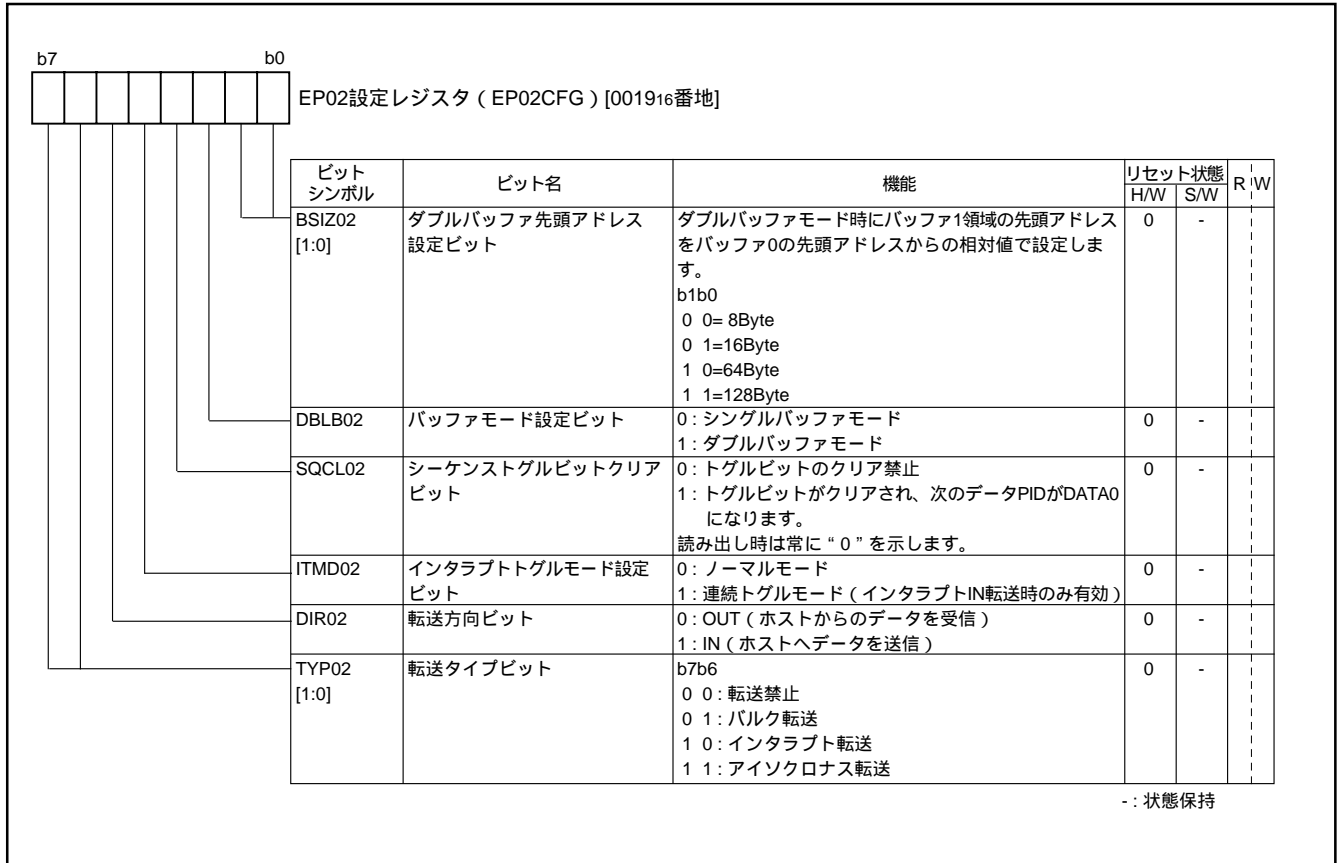


図3.4.13 EP02設定レジスタ(EP02CFG)の構成



図3.4.14 EP03設定レジスタ(EP03CFG)の構成

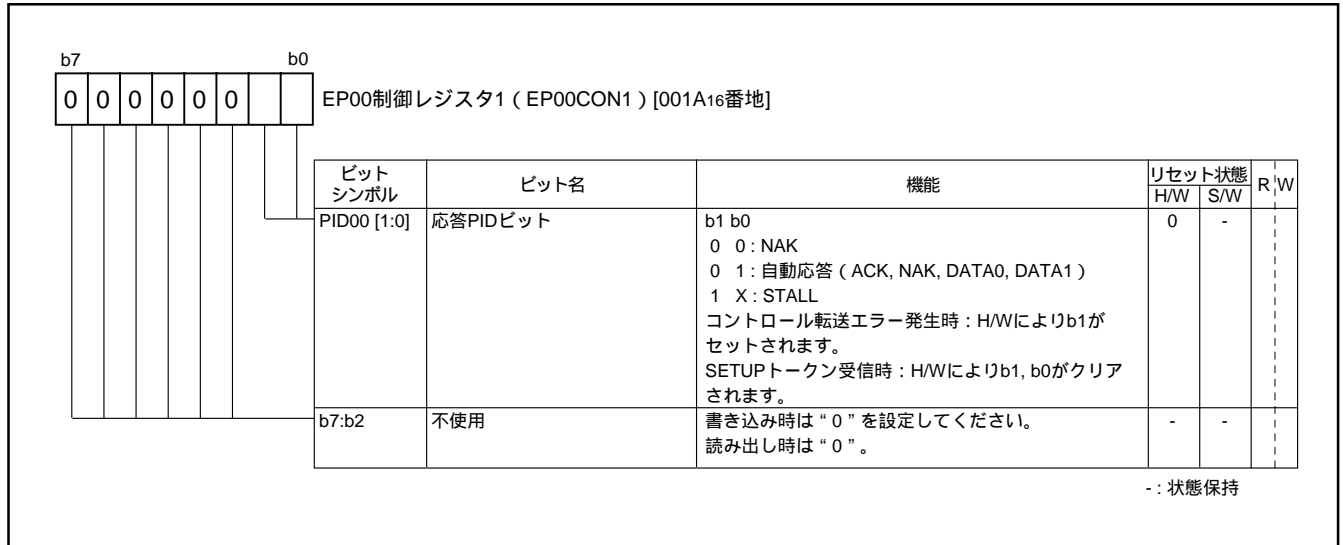


図3.4.15 EP00制御レジスタ1(EP00CON1)の構成



図3.4.16 EP01制御レジスタ1(EP01CON1)の構成



図3.4.17 EP02制御レジスタ1(EP02CON1)の構成



図3.4.18 EP03制御レジスタ1(EP03CON1)の構成

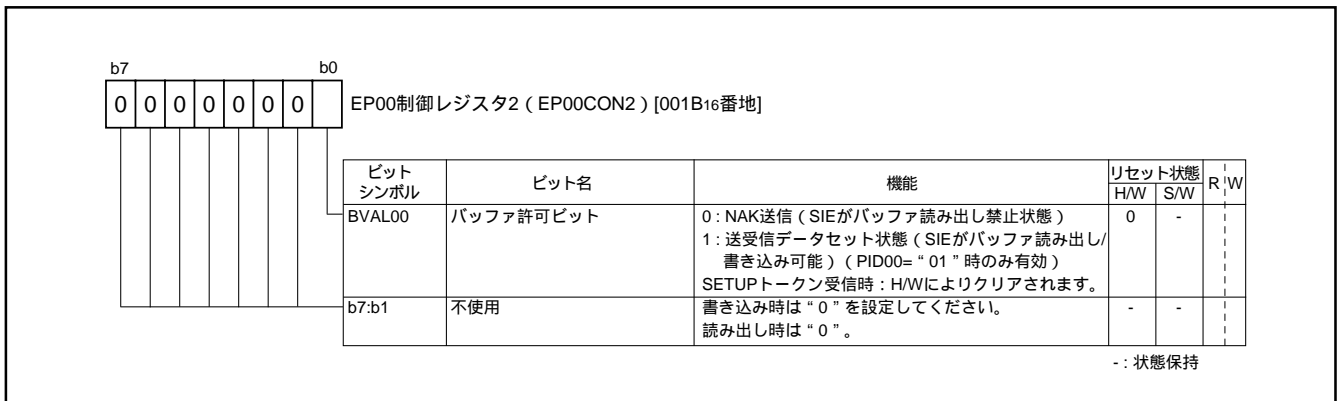


図3.4.19 EP00制御レジスタ2(EP00CON2)の構成

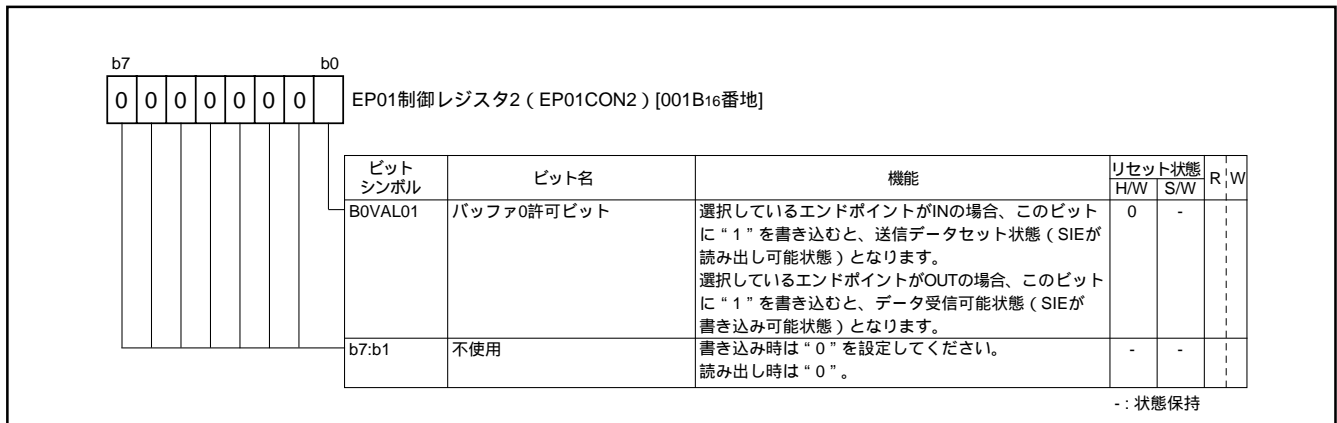


図3.4.20 EP01制御レジスタ2(EP01CON2)の構成

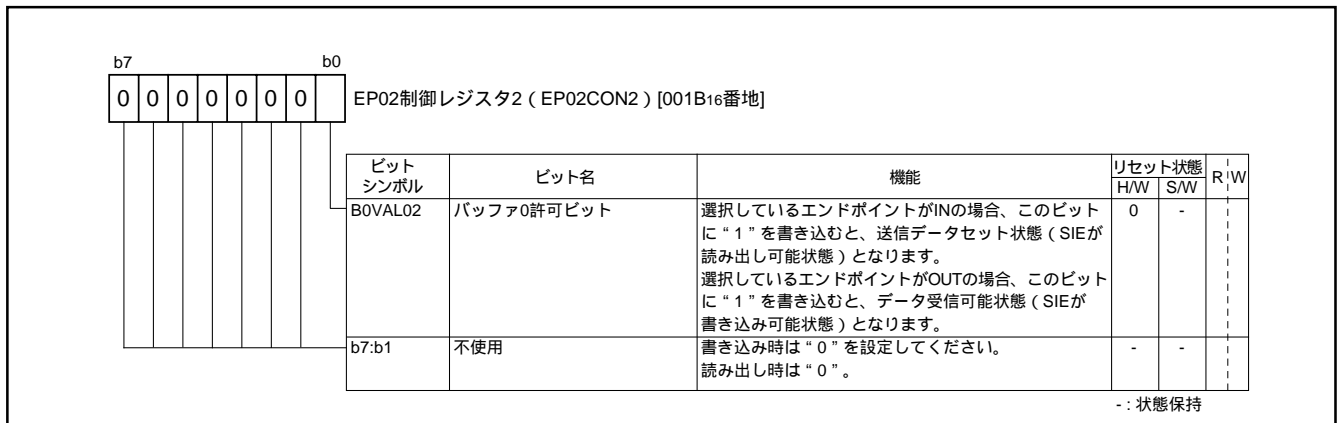


図3.4.21 EP02制御レジスタ2(EP02CON2)の構成

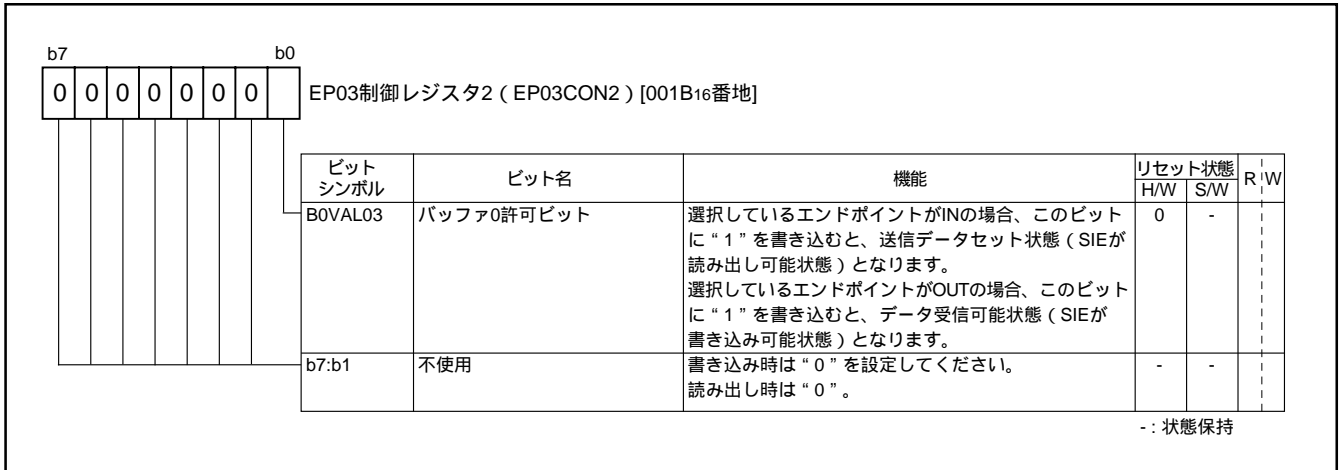


図3.4.22 EP03制御レジスタ2(EP03CON2)の構成

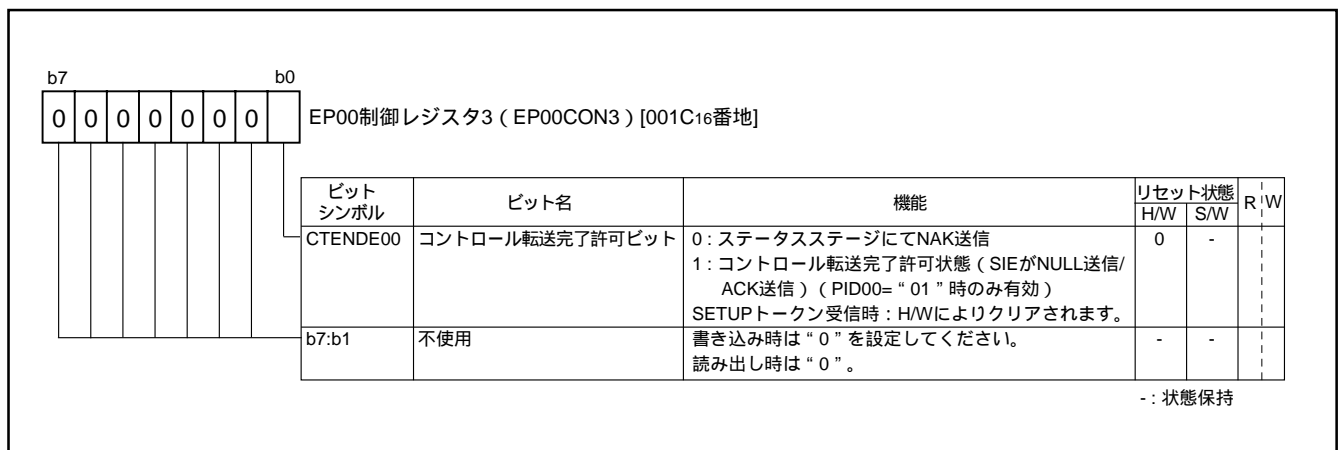


図3.4.23 EP00制御レジスタ3(EP00CON3)の構成

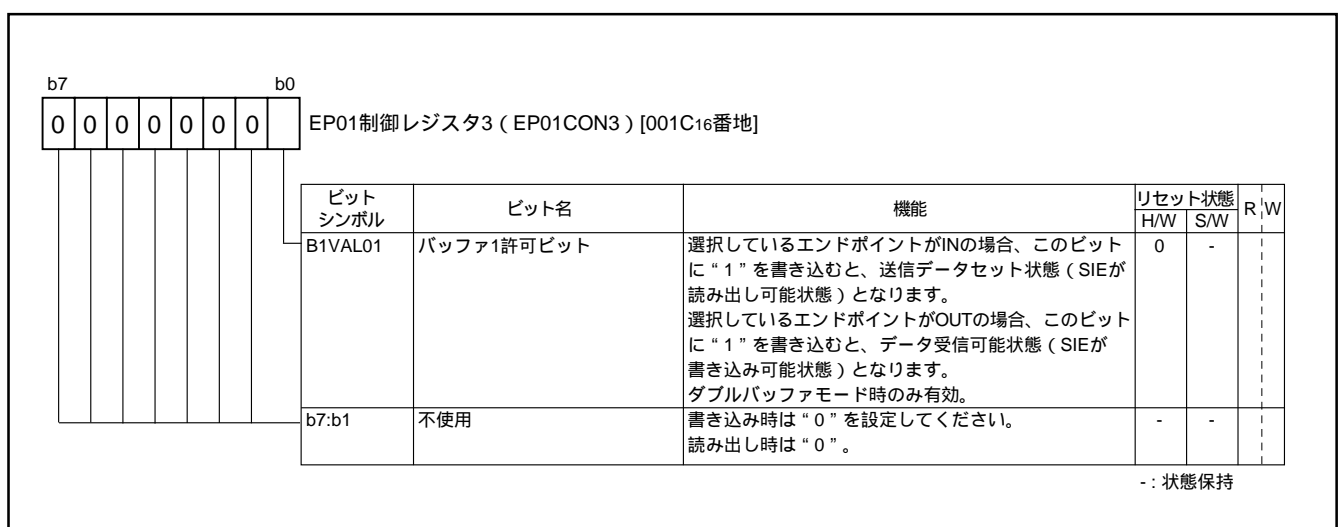


図3.4.24 EP01制御レジスタ3(EP01CON3)の構成

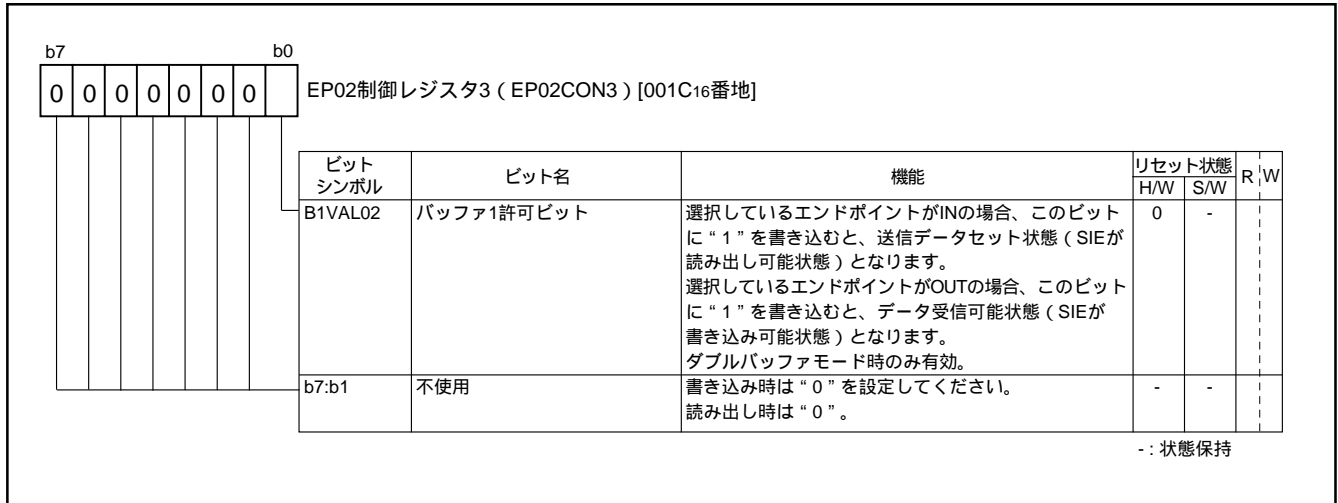


図3.4.25 EP02制御レジスタ3(EP02CON3)の構成

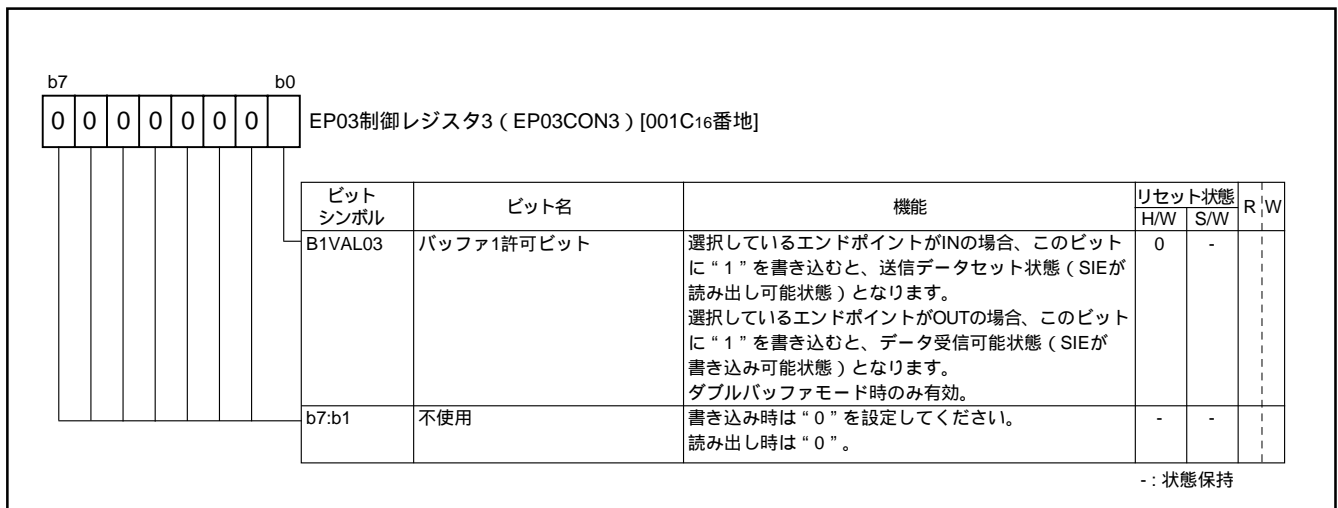


図3.4.26 EP03制御レジスタ3(EP03CON3)の構成

b7		b0		EP00割り込み要因レジスタ (EP00REQ) [001D ₁₆ 番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
BRDY00	USBファンクション/ エンドポイント0バッファレディ 割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBファンクション/エンドポイント0でバッファが レディ状態 (読み出し/書き込み許可状態) になると、 “1” にセットされます。ソフトウェアによって “0” にできますが、“1” にはできません。	0	0			
CTEND00	USBファンクション/ エンドポイント0コントロール 転送完了割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBファンクション/エンドポイント0でコントロール転 送完了時 (ステータスステージのNULL送信/ACK送信) に、“1” にセットされます。ソフトウェアによっ て “0” にできますが、“1” にはできません。	0	0			
CTSTS00	USBファンクション/ エンドポイント0ステータス ステージ遷移割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBファンクション/エンドポイント0でCTENDE00が “0” (コントロール転送完了禁止状態) のとき、 ステータスステージへの遷移時に、“1” にセットさ れます。ソフトウェアによって “0” にできますが、 “1” にはできません。 ステータスステージ遷移割り込み発生条件： コントロールライト転送時： データステージ (OUT) にてINトークンを受信 コントロールリード転送時： データステージ (IN) にてOUTトークンを受信 ノーデータ転送時：発生しません。	0	0			
BSRDY00	USBファンクション/ エンドポイント0SETUP バッファレディ割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBファンクション/エンドポイント0でSETUP専用バッ ファがレディ状態 (読み出し許可状態) になると、 “1” にセットされます。ソフトウェアによって “0” にできますが、“1” にはできません。	0	0			
ERR00	USBファンクション/ エンドポイント0エラー 割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBファンクション/エンドポイント0でコントロール転 送エラー発生時に、“1” にセットされます。 SETUPトークン受信時：H/Wによりクリアされます。 ソフトウェアによって “0” にできますが、“1” には できません。	0	0			
b7:b5	不使用	書き込み時は “0” を設定してください。 読み出し時は “0”。	-	-			

-: 状態保持

図3.4.27 EP00割り込み要因レジスタ(EP00REQ)の構成

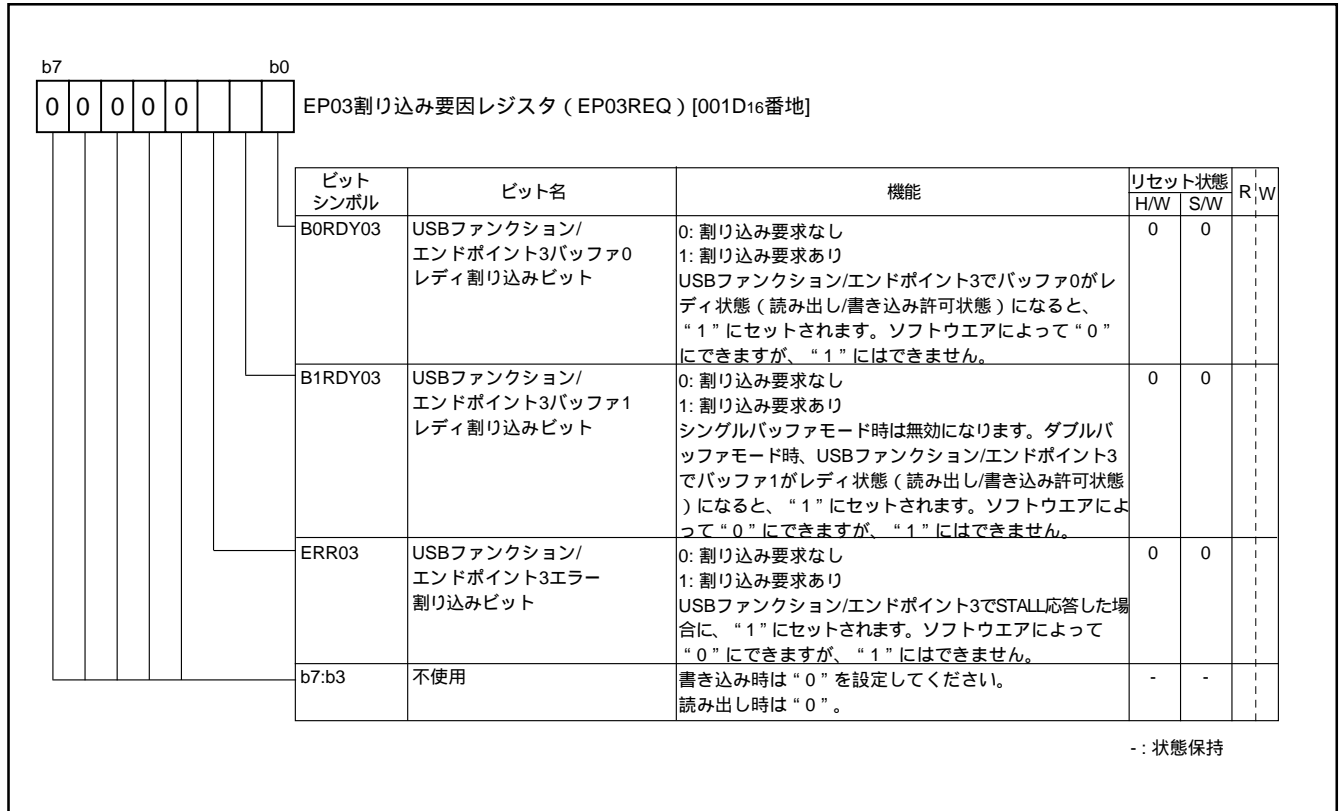


図3.4.30 EP03割り込み要因レジスタ(EP03REQ)の構成

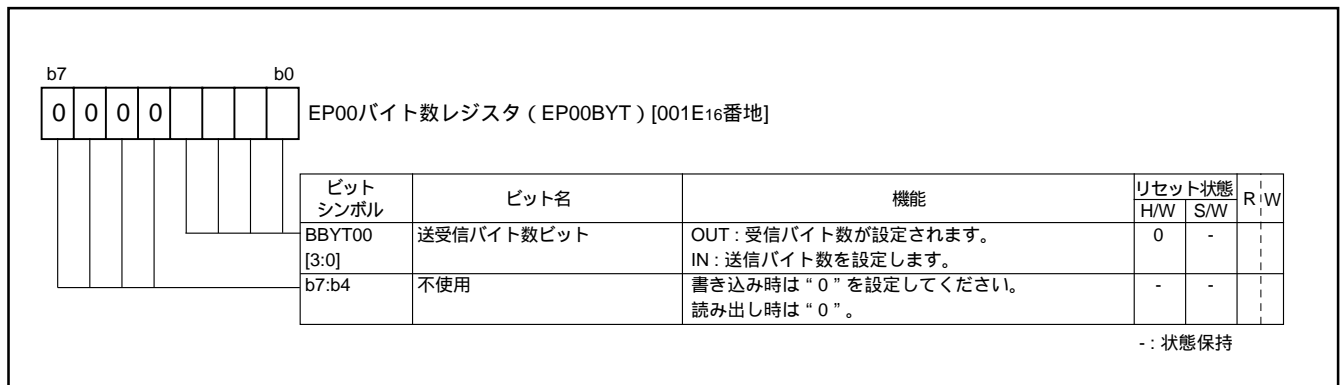


図3.4.31 EP00バイト数レジスタ(EP00BYT)の構成

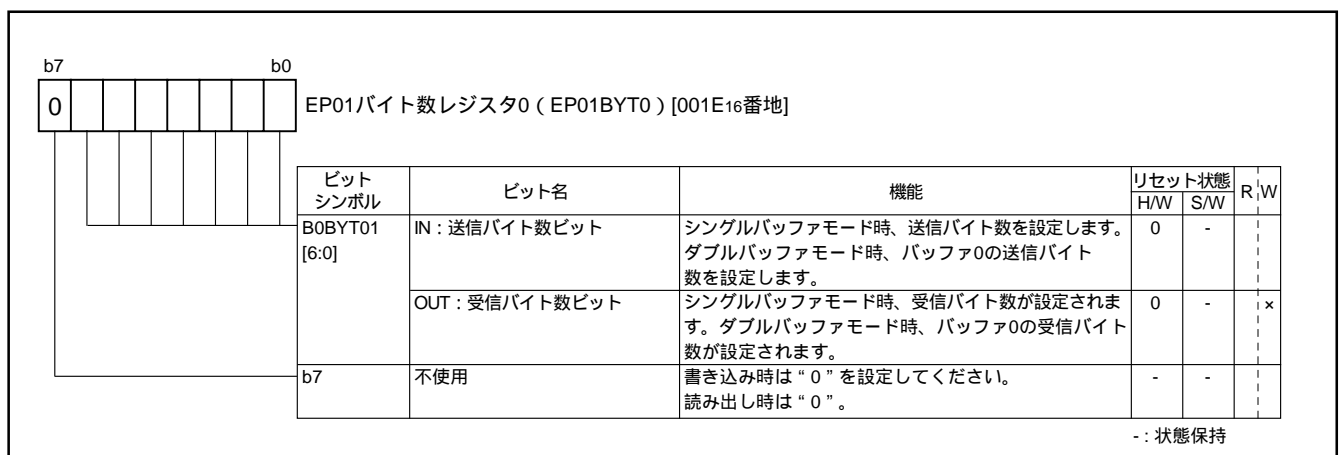


図3.4.32 EP01バイト数レジスタ0(EP01BYT0)の構成

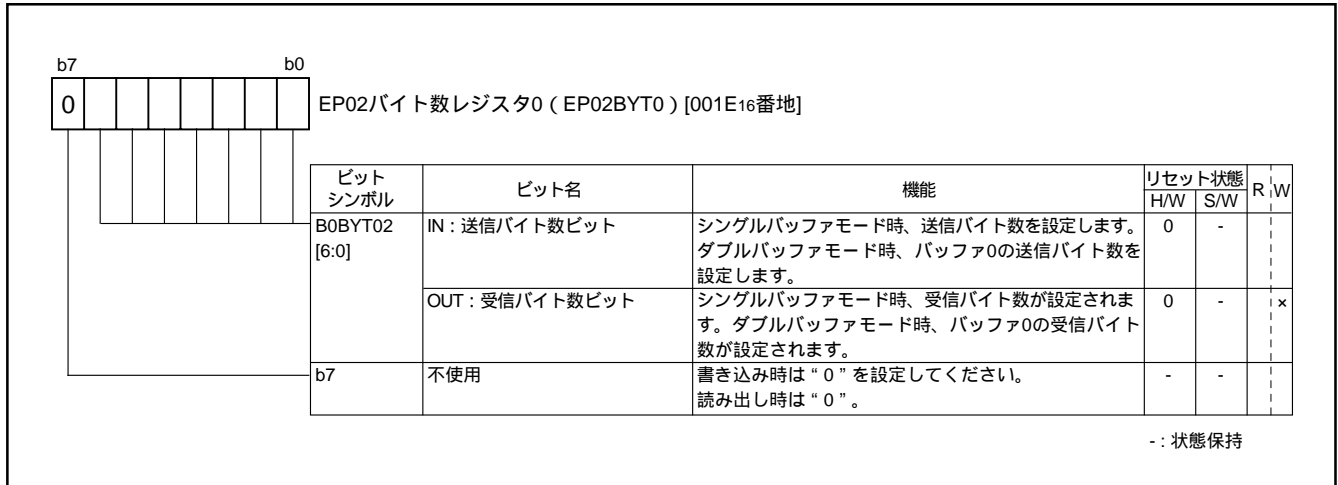


図3.4.33 EP02バイト数レジスタ0(EP02BYT0)の構成

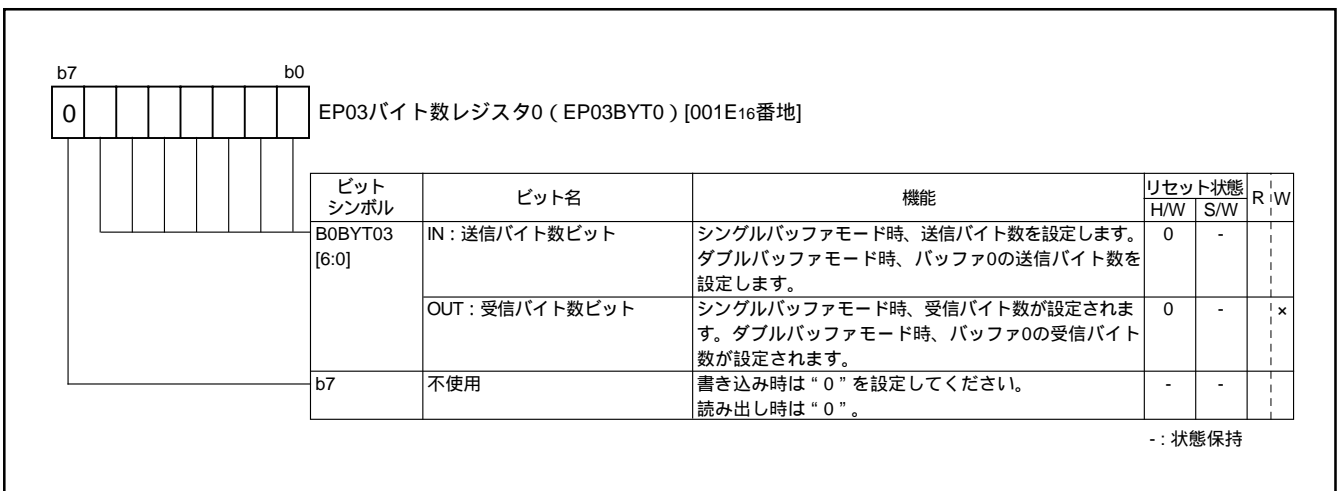


図3.4.34 EP03バイト数レジスタ0(EP03BYT0)の構成

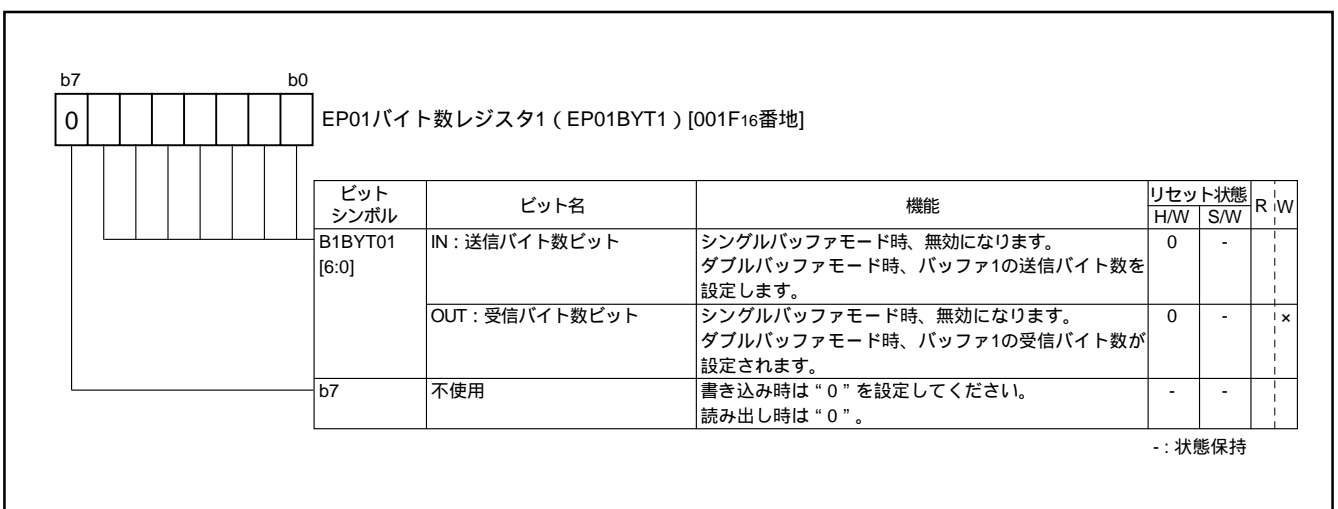


図3.4.35 EP01バイト数レジスタ1(EP01BYT1)の構成



図3.4.36 EP02バイト数レジスタ1(EP02BYT1)の構成



図3.4.37 EP03バイト数レジスタ1(EP03BYT1)の構成

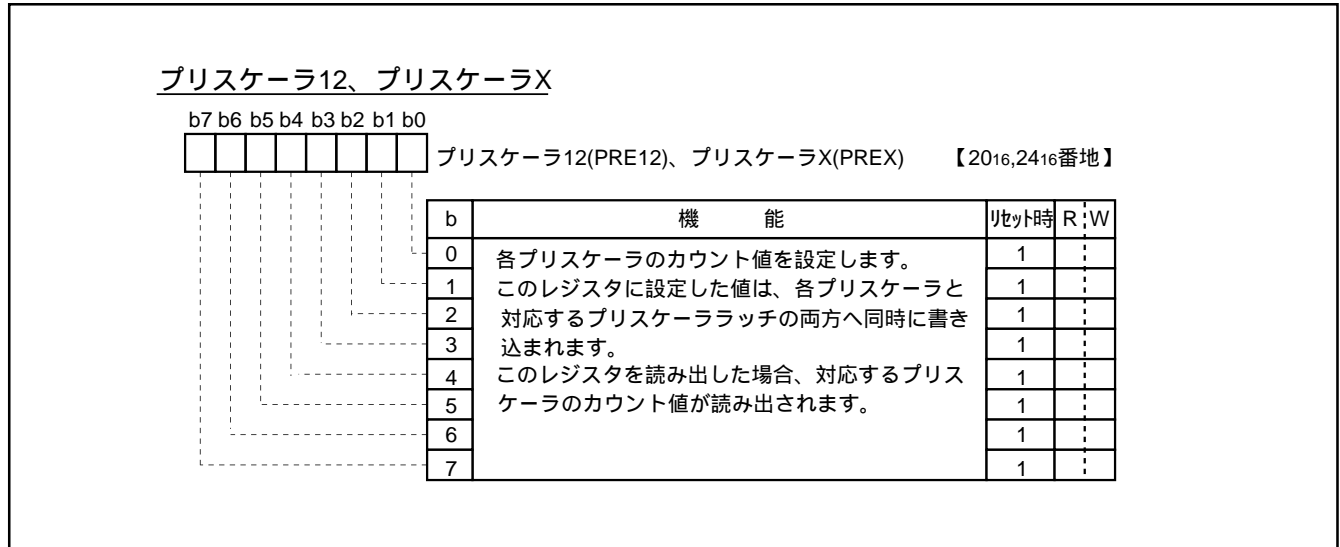


図3.4.38 プリスケータ12、プリスケータXの構成

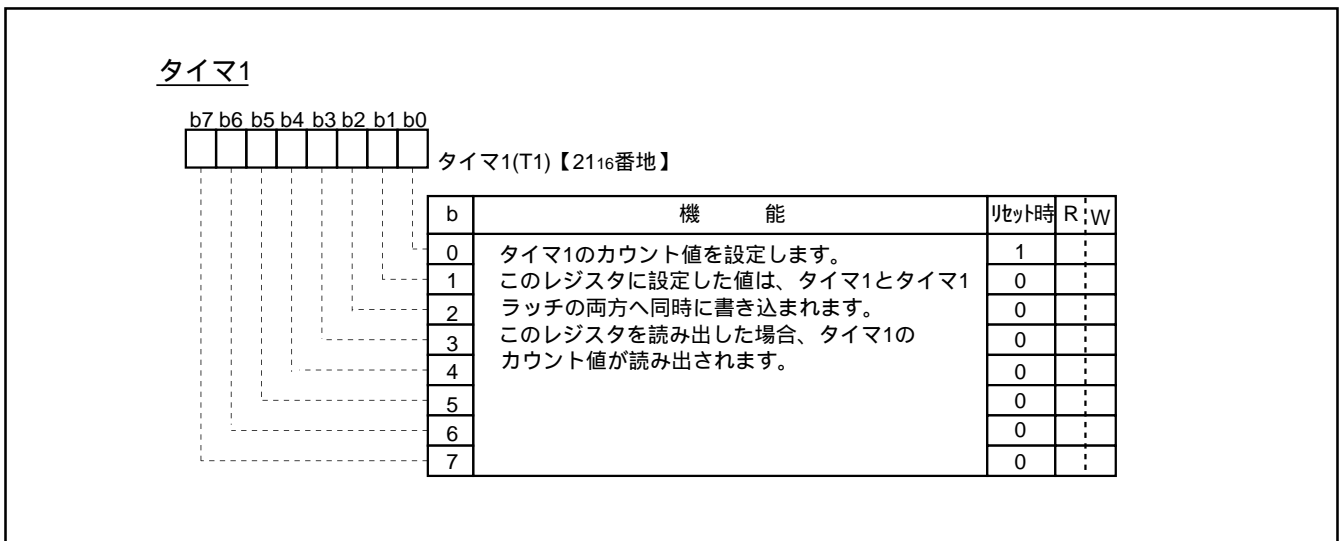


図3.4.39 タイマ1の構成

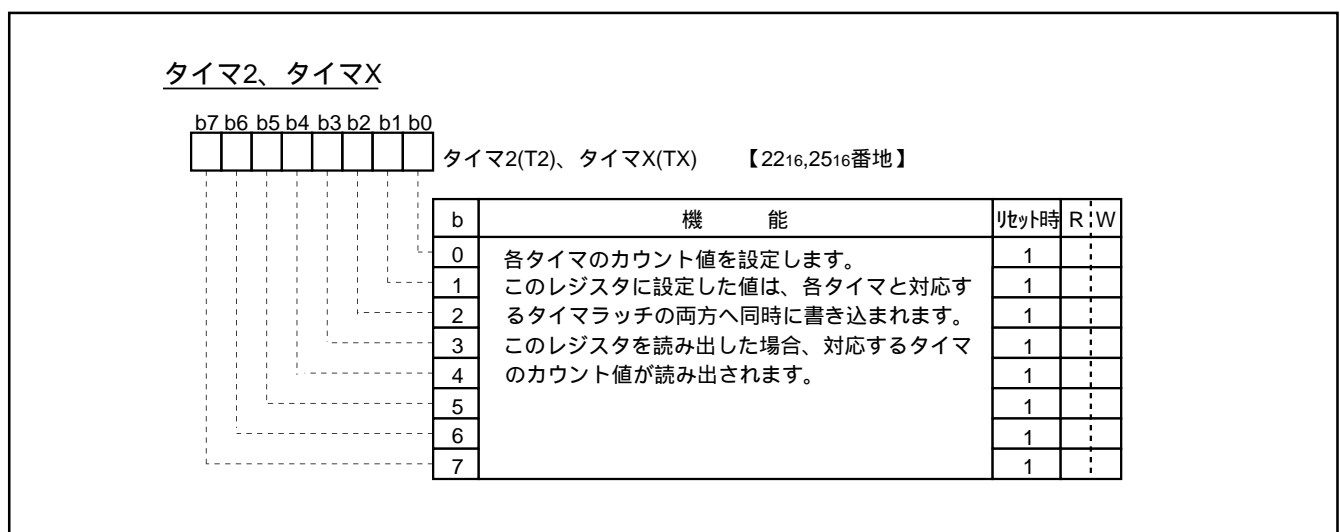


図3.4.40 タイマ2、タイマXの構成

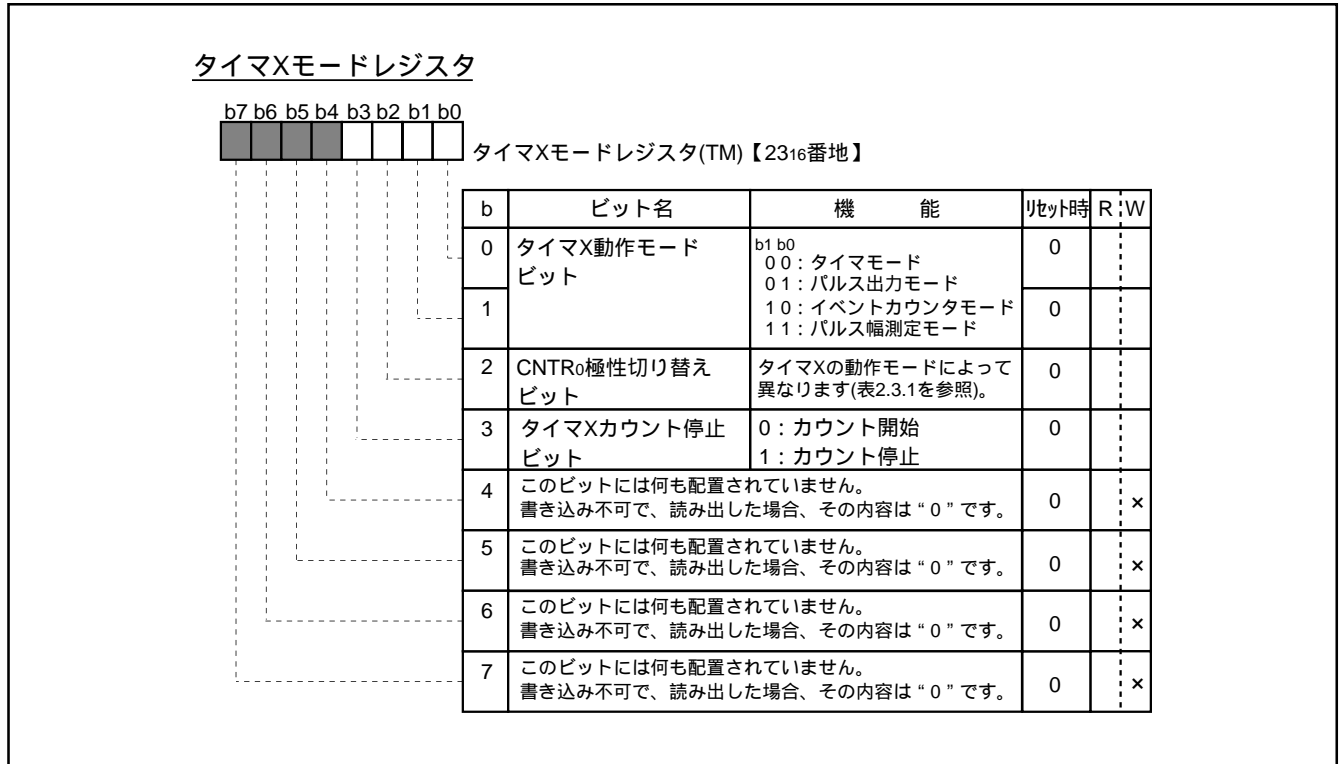


図3.4.41 タイマXモードレジスタの構成

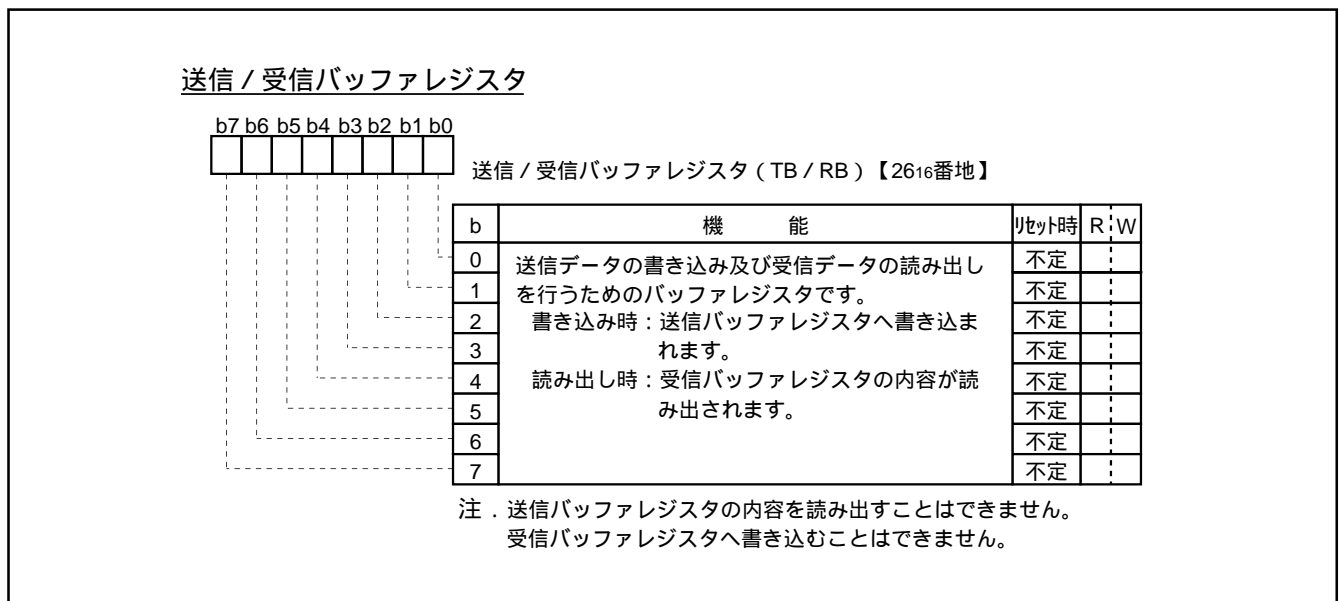


図3.4.42 送信/受信バッファレジスタの構成

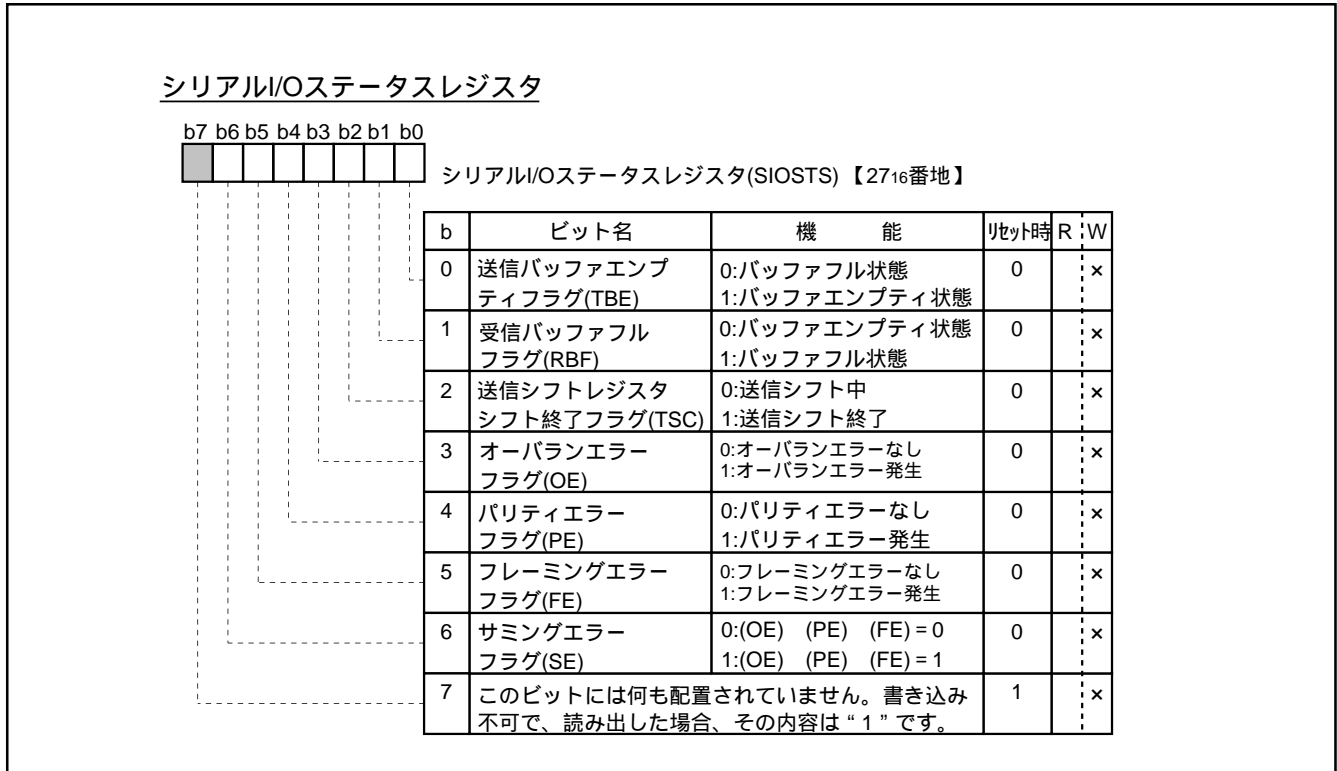


図3.4.43 シリアルI/Oステータスレジスタの構成

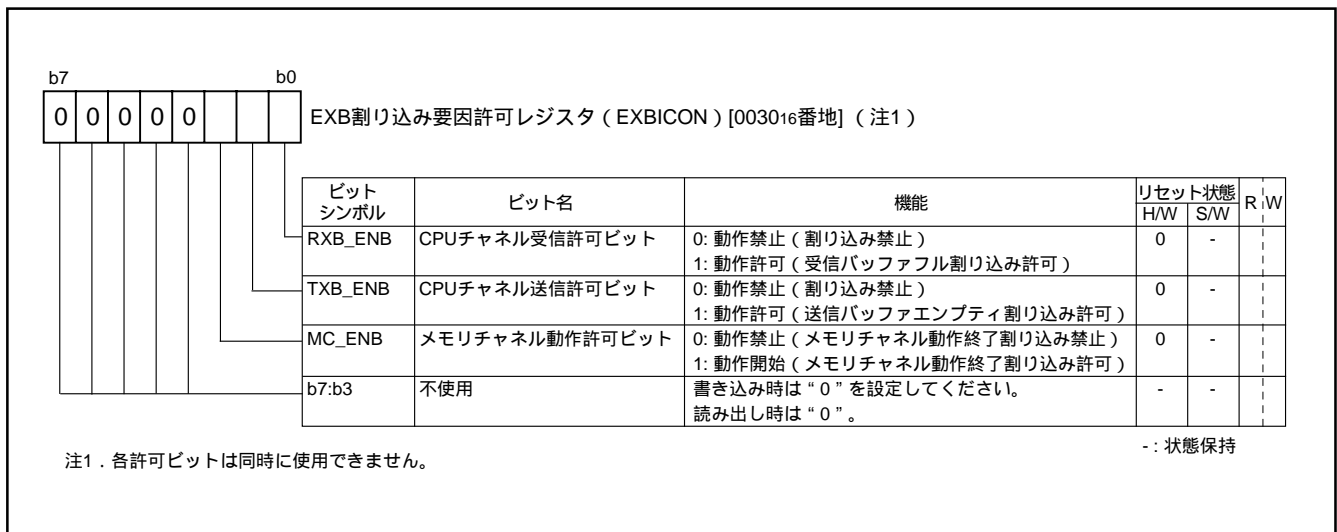


図3.4.44 EXB割り込み要因許可レジスタ(EXBICON)の構成

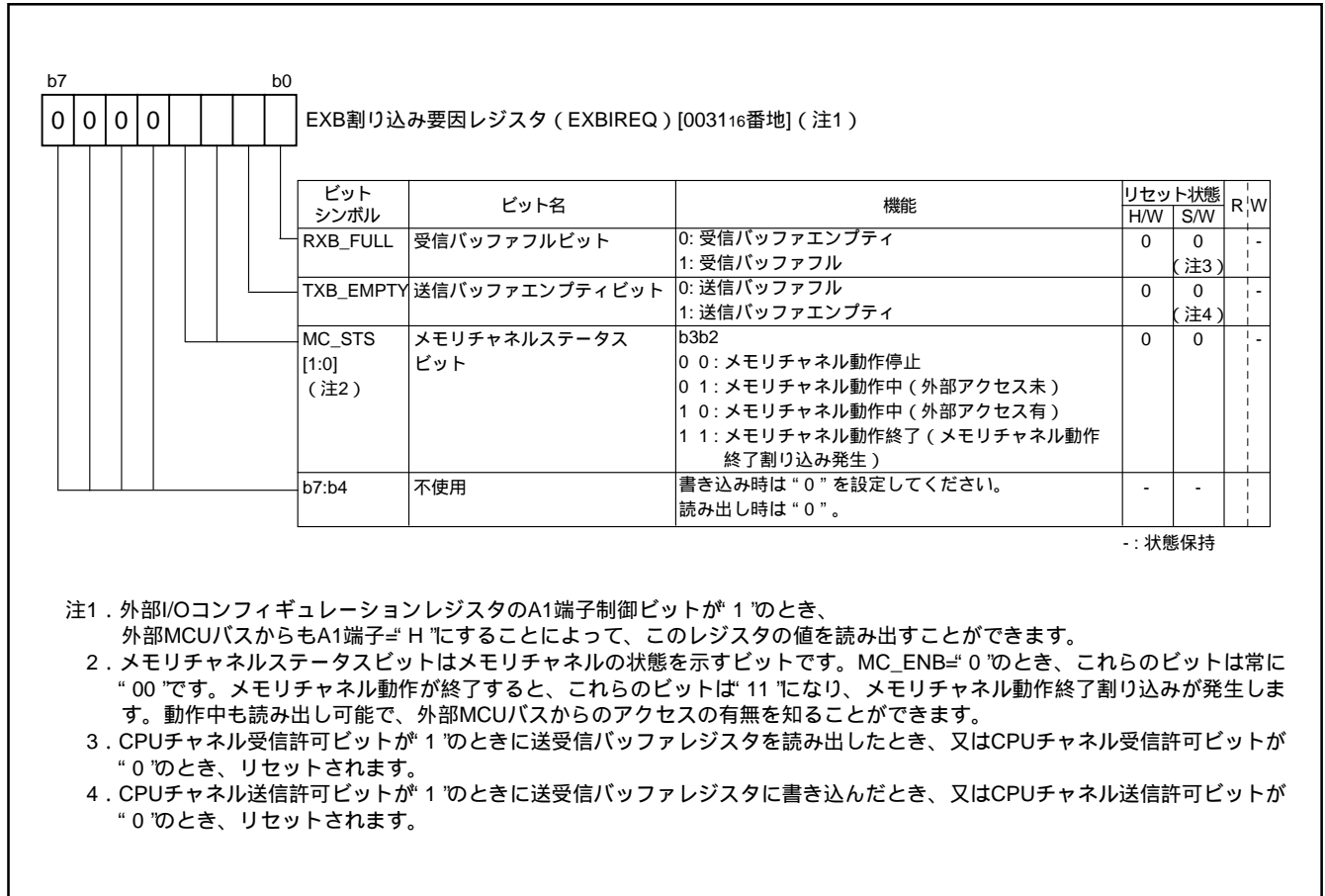


図3.4.45 EXB割り込み要因レジスタ(EXBIREQ)の構成

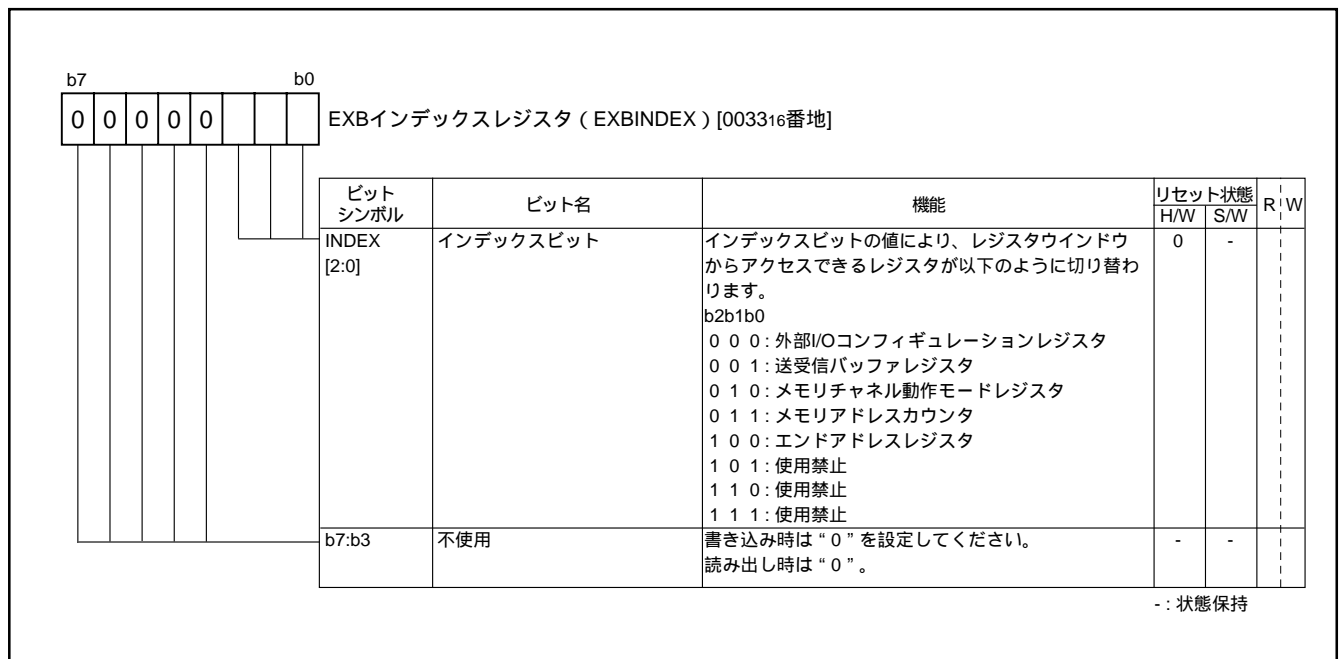


図3.4.46 EXBインデックスレジスタ(EXBINDEX)の構成

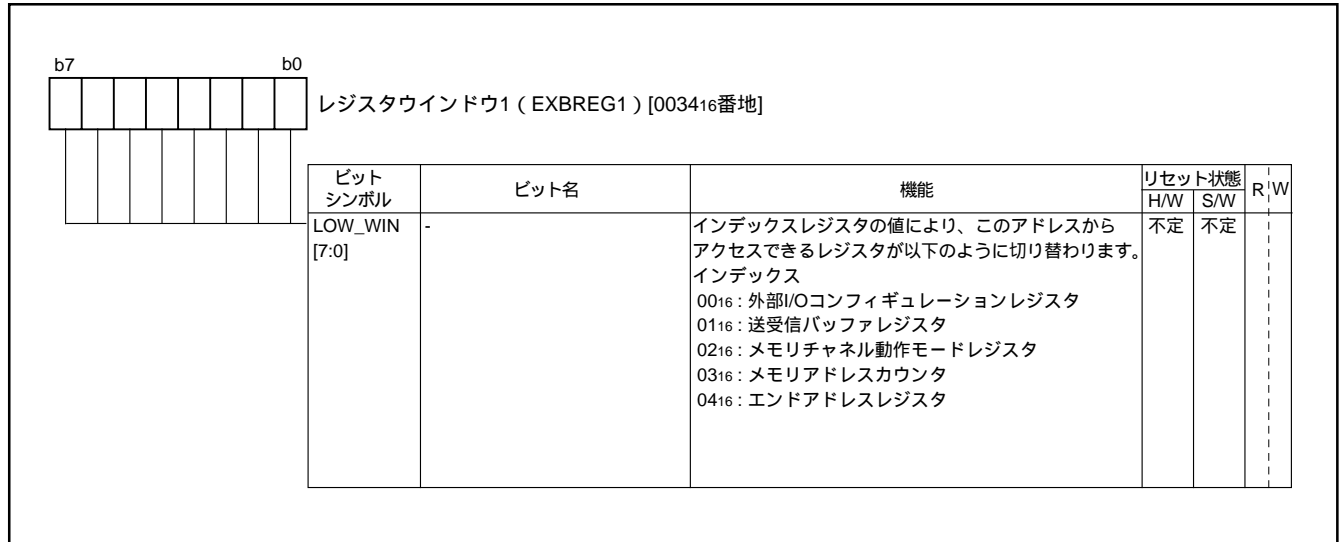


図3.4.47 レジスタウインドウ1(EXBREG1)の構成

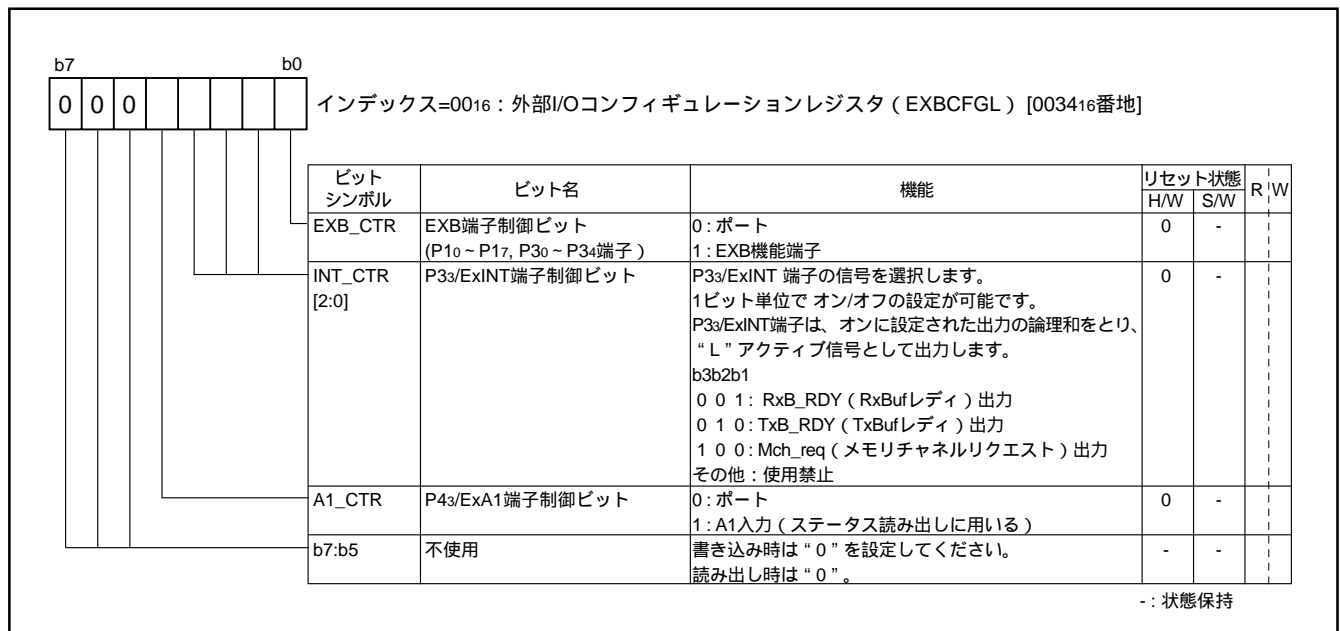


図3.4.48 インデックス00[low]の構成

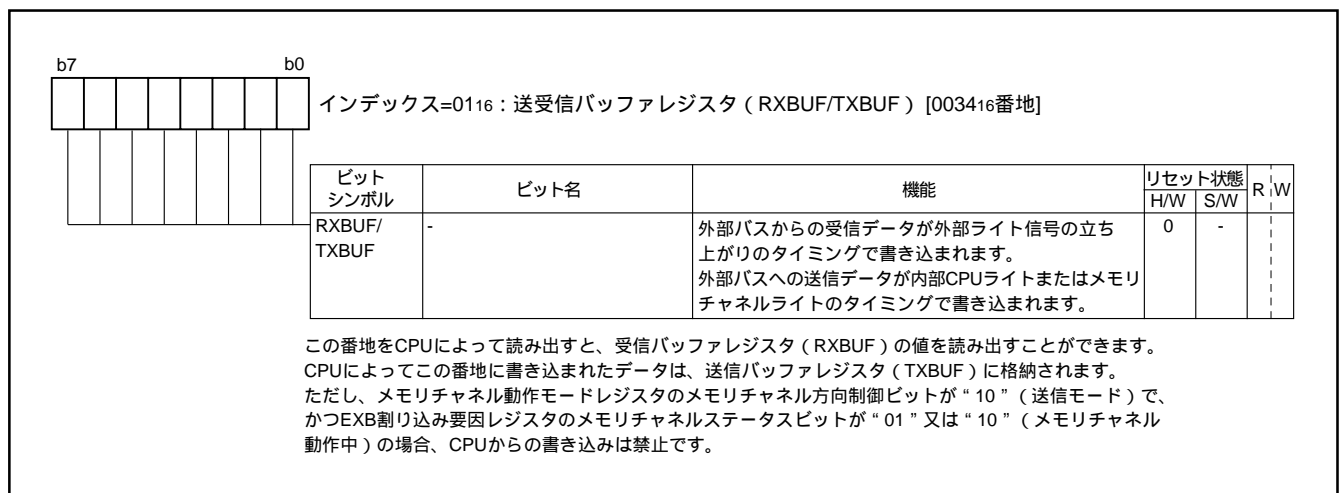


図3.4.49 インデックス01[low]の構成

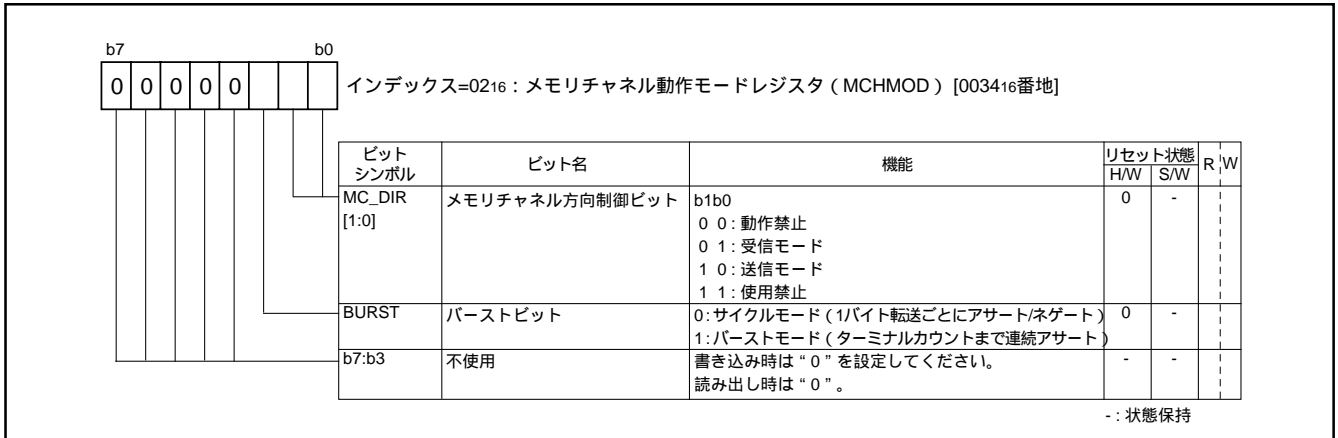


図3.4.50 インデックス02[low]の構成

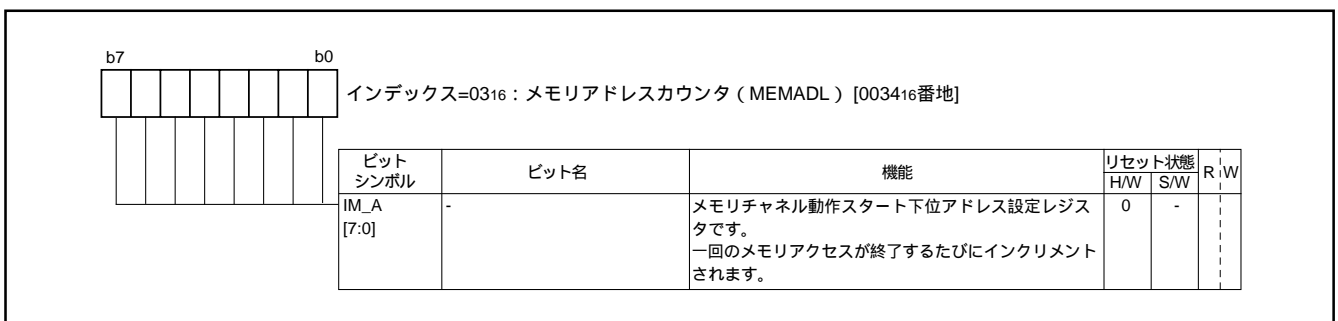


図3.4.51 インデックス03[low]の構成

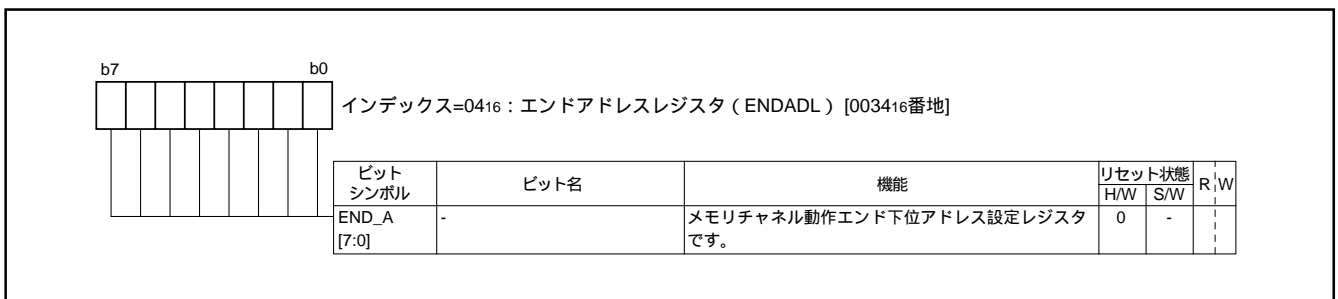


図3.4.52 インデックス04[low]の構成

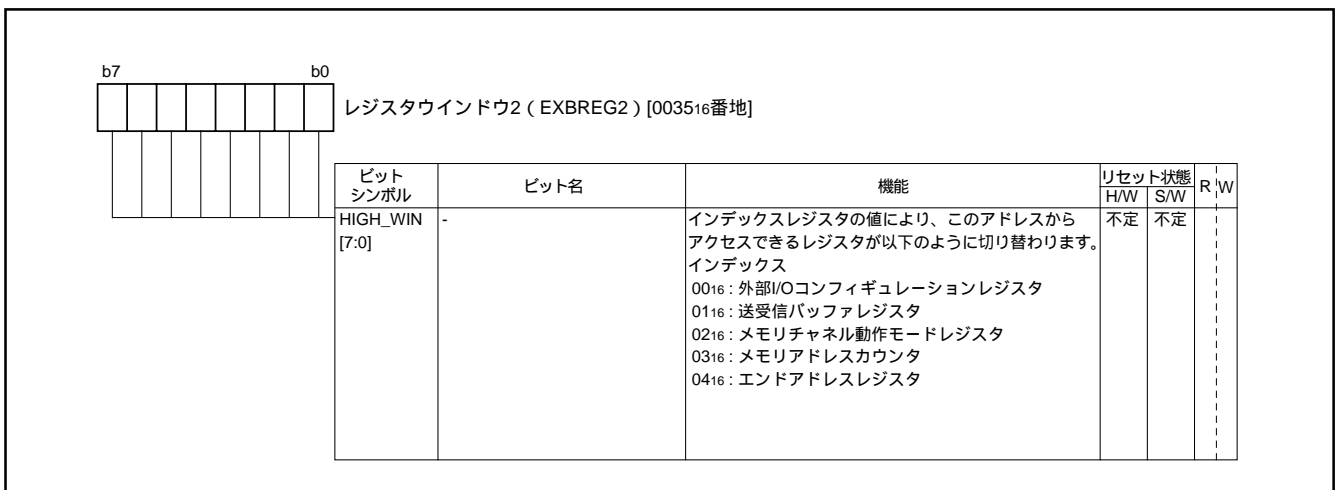


図3.4.53 レジスタウインドウ2(EXBREG2)の構成

b7		b0		インデックス=00 ₁₆ : 外部I/Oコンフィギュレーションレジスタ (EXBCFGH) [0035 ₁₆ 番地]	
0	0	0			
ビットシンボル	ビット名	機能	リセット状態		R W
H/W	S/W				
DRQ_CTR [1:0]	P40/ExDREQ/RxD端子制御ビット	b1b0 0 0 : ポート 0 1 : 使用禁止 1 0 : ExDREQ機能 ; RxB_RDY (RxBufレディ) 出力 1 1 : ExDREQ機能 ; Mch_req (メモリチャネルリクエスト) 出力	0	-	
DAK_CTR [1:0]	P41/ExDACK/TxD端子制御ビット	P41/ExDACK/TxD端子の機能を決定します。 DMAアクリッジ機能を使用する際に、リード信号またはライト信号が必要なモードと不要なモードを選択できます。 b3b2 0 0 : ポート 0 1 : 使用禁止 1 0 : ExDACK機能 ; DMAアクリッジ入力 (リード/ライト信号併用モード) 1 1 : ExDACK機能 ; DMAアクリッジ入力 (リード/ライト不要モード)	0	-	
TC_CTR	P42/ExTC/Sclk端子制御ビット	0 : ポート 1 : ExTC (ターミナルカウント) 入力	0	-	
b7:b5	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-	

- : 状態保持

図3.4.54 インデックス00[high]の構成

b7		b0		インデックス=03 ₁₆ : メモリアドレスカウンタ (MEMADH) [0035 ₁₆ 番地]	
0	0	0	0	0	
ビットシンボル	ビット名	機能	リセット状態		R W
H/W	S/W				
IM_A [10:8]	-	メモリチャネル動作スタート上位アドレス設定レジスタです。 一回のメモリアクセスが終了するたびにインクリメントされます。	0	-	
b7:b3	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-	

- : 状態保持

図3.4.55 インデックス03[high]の構成

b7		b0		インデックス=04 ₁₆ : エンドアドレスレジスタ (ENDADH) [0035 ₁₆ 番地]	
0	0	0	0	0	
ビットシンボル	ビット名	機能	リセット状態		R W
H/W	S/W				
END_A [10:8]	-	メモリチャネル動作エンド上位アドレス設定レジスタです。	0	-	
b7:b3	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-	

- : 状態保持

図3.4.56 インデックス04[high]の構成

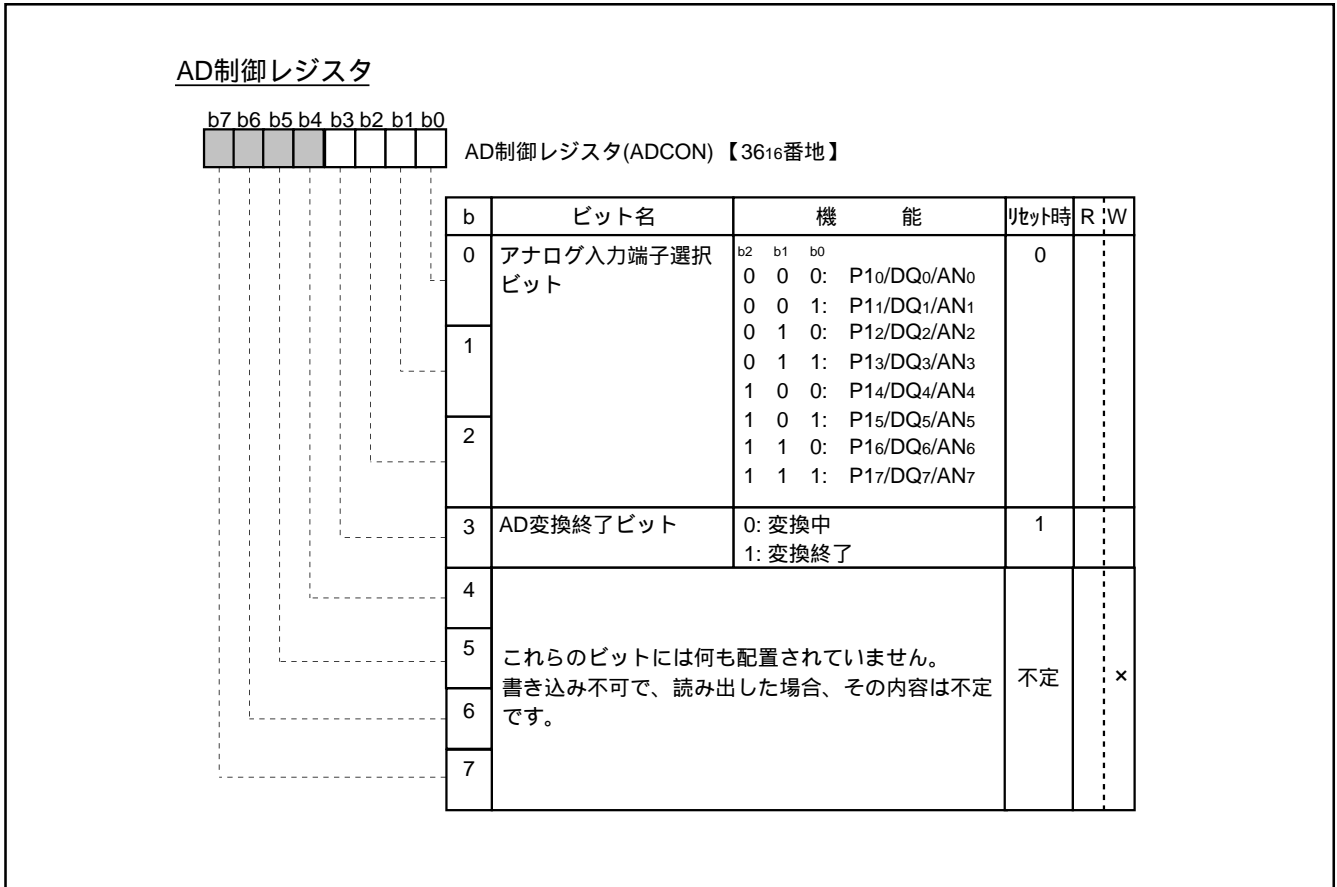


図3.4.57 AD制御レジスタの構成

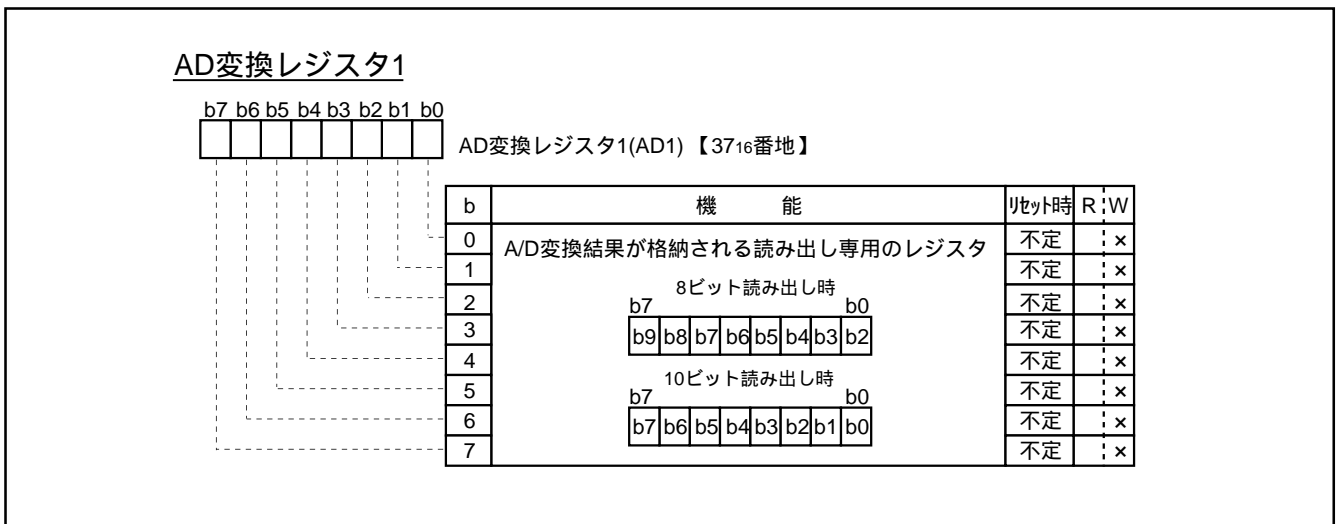


図3.4.58 AD変換レジスタ1の構成

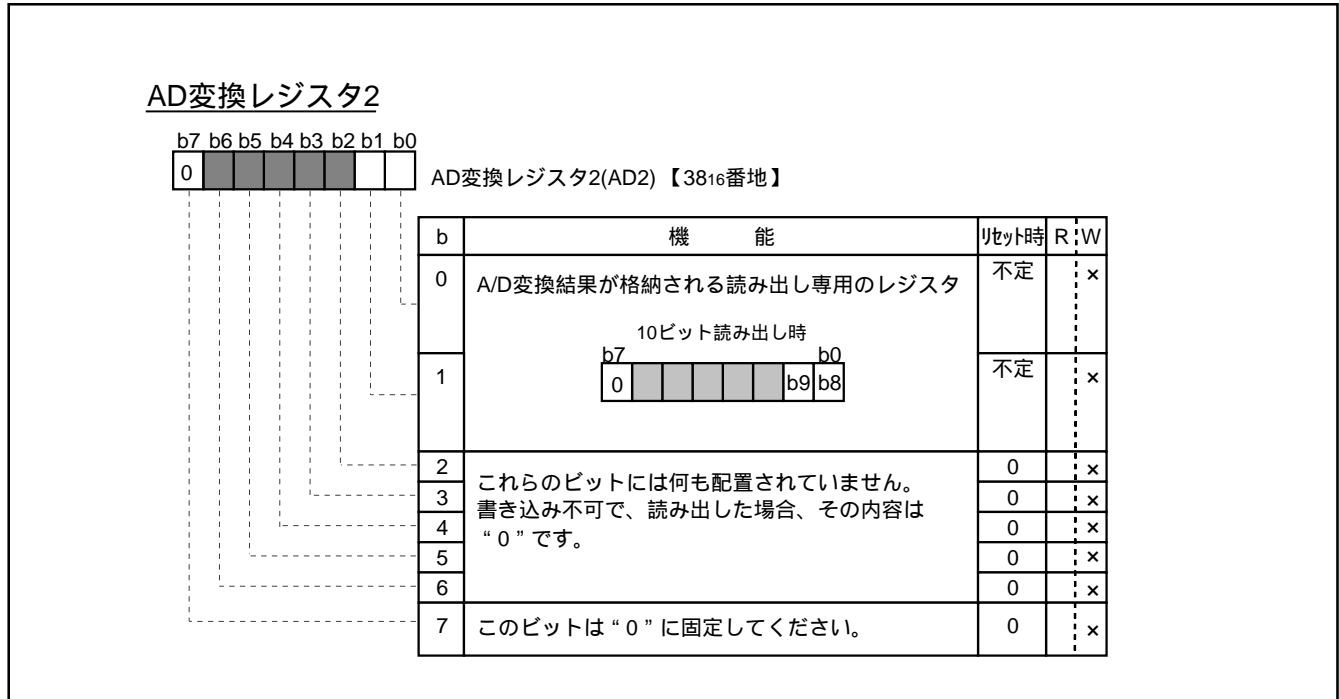


図3.4.59 AD変換レジスタ2の構成

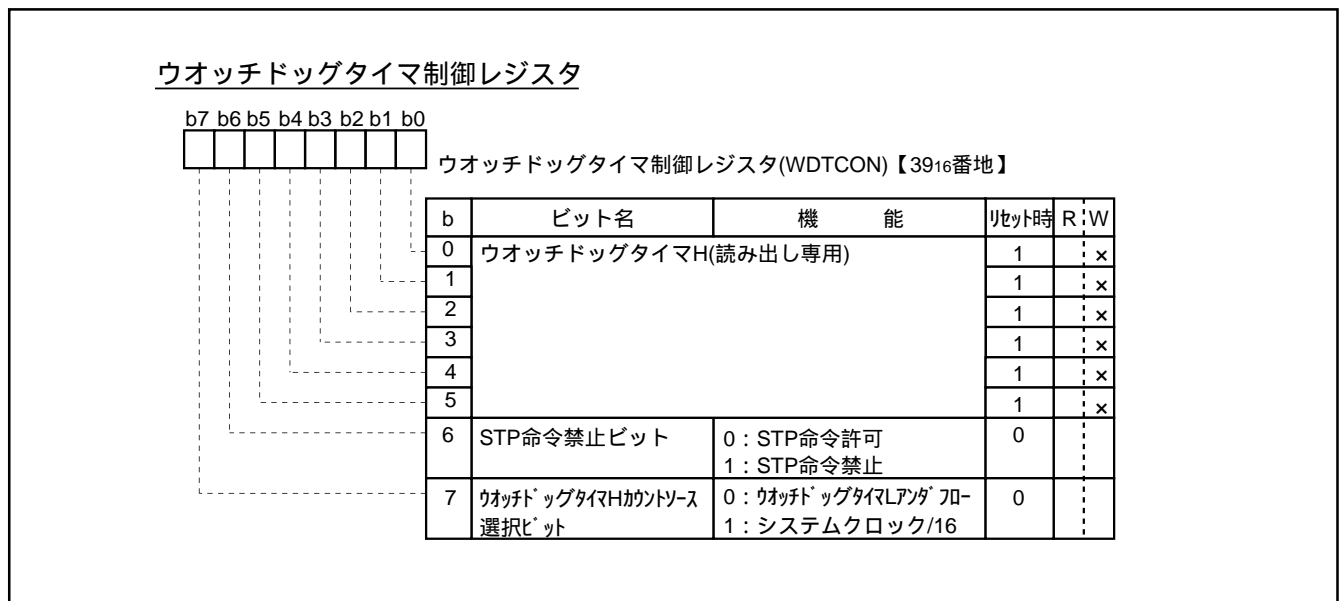


図3.4.60 ウォッチドッグタイマ制御レジスタの構成

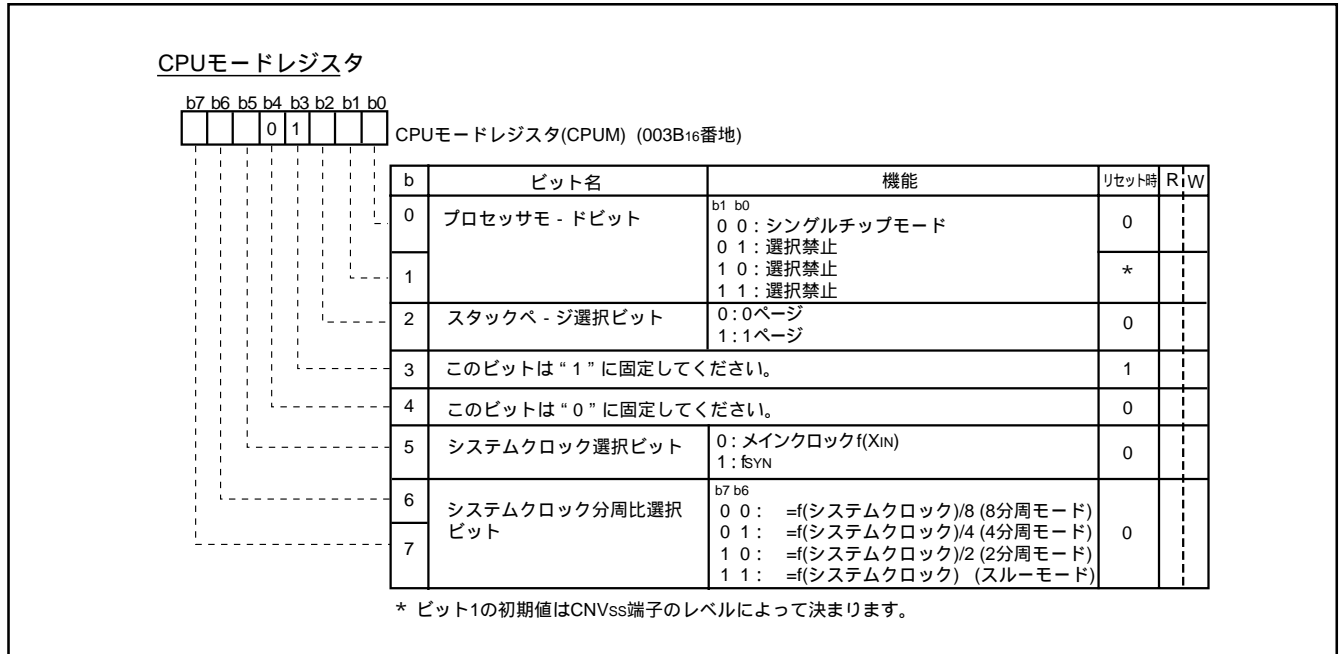


図3.4.61 CPUモードレジスタの構成

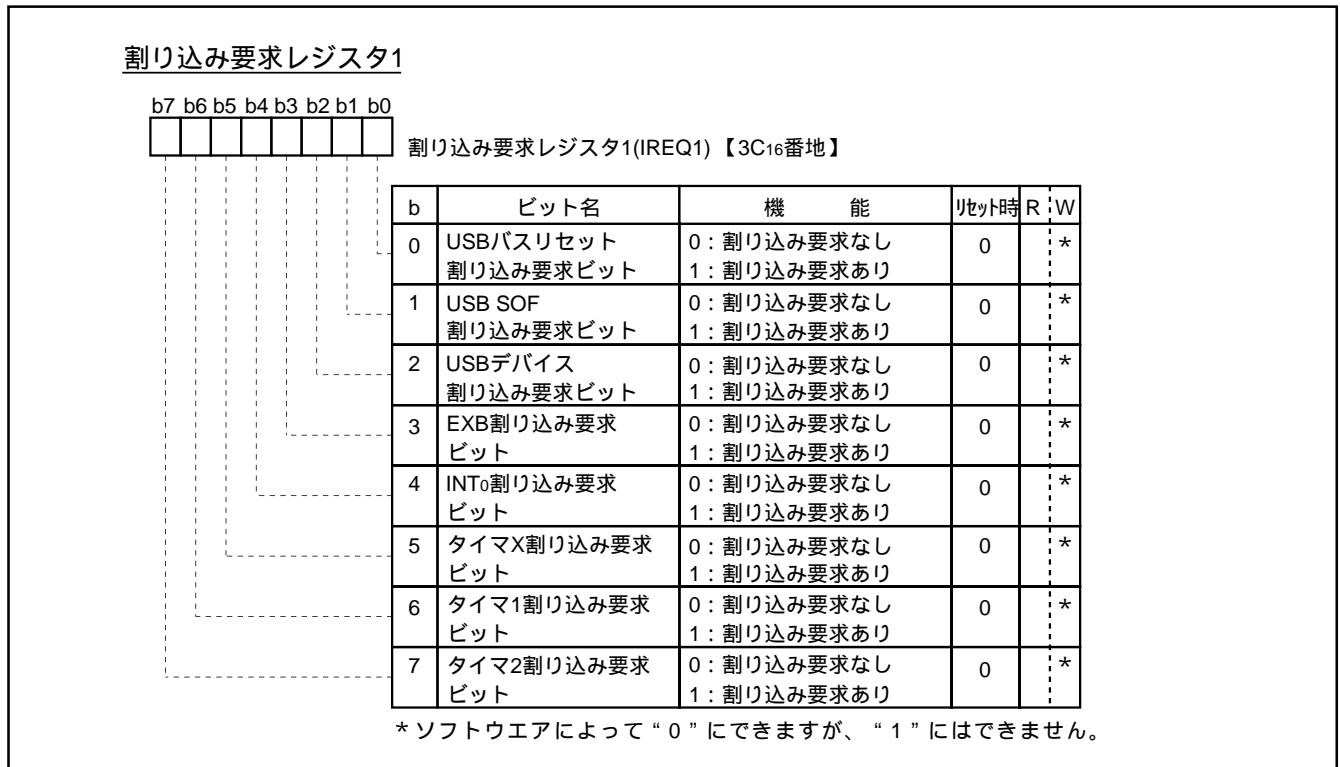


図3.4.62 割り込み要求レジスタ1の構成

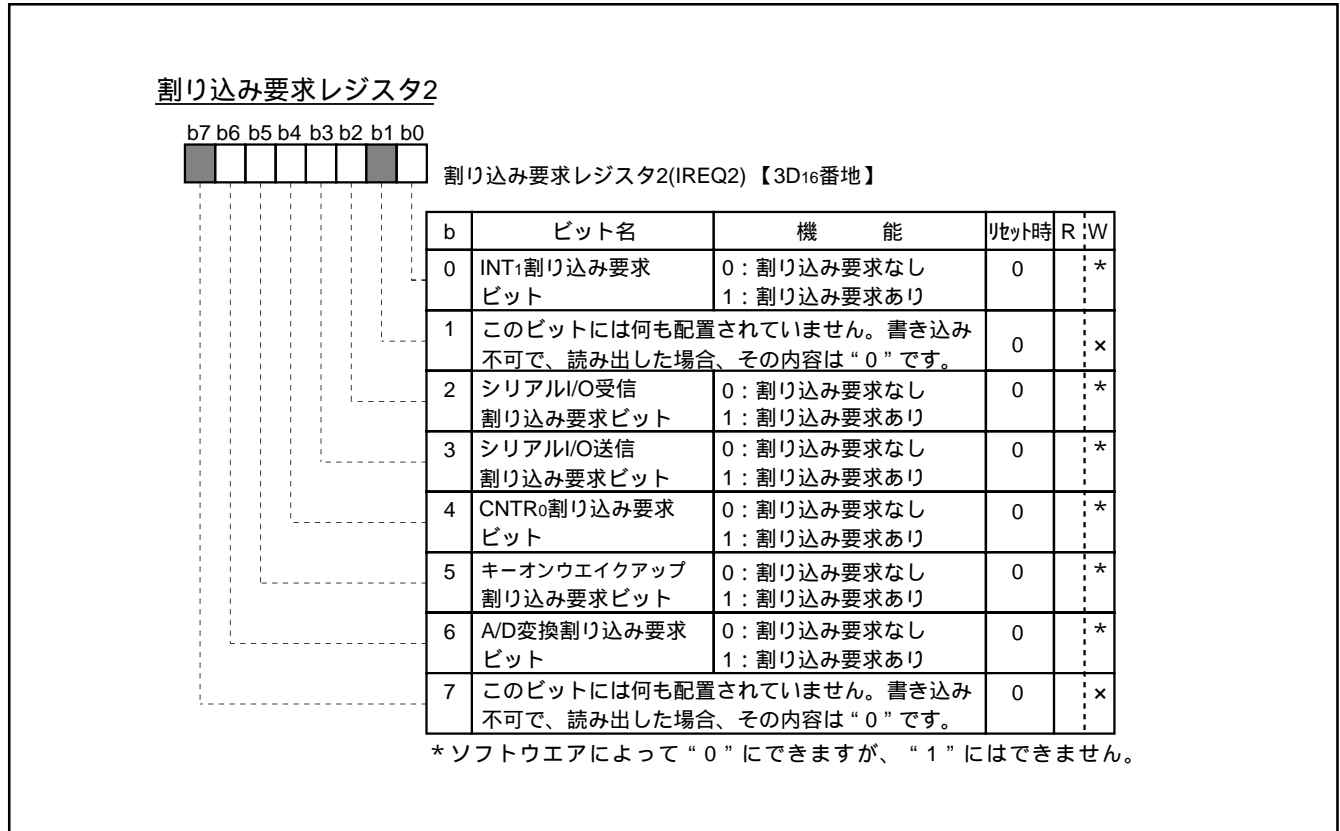


図3.4.63 割り込み要求レジスタ2の構成

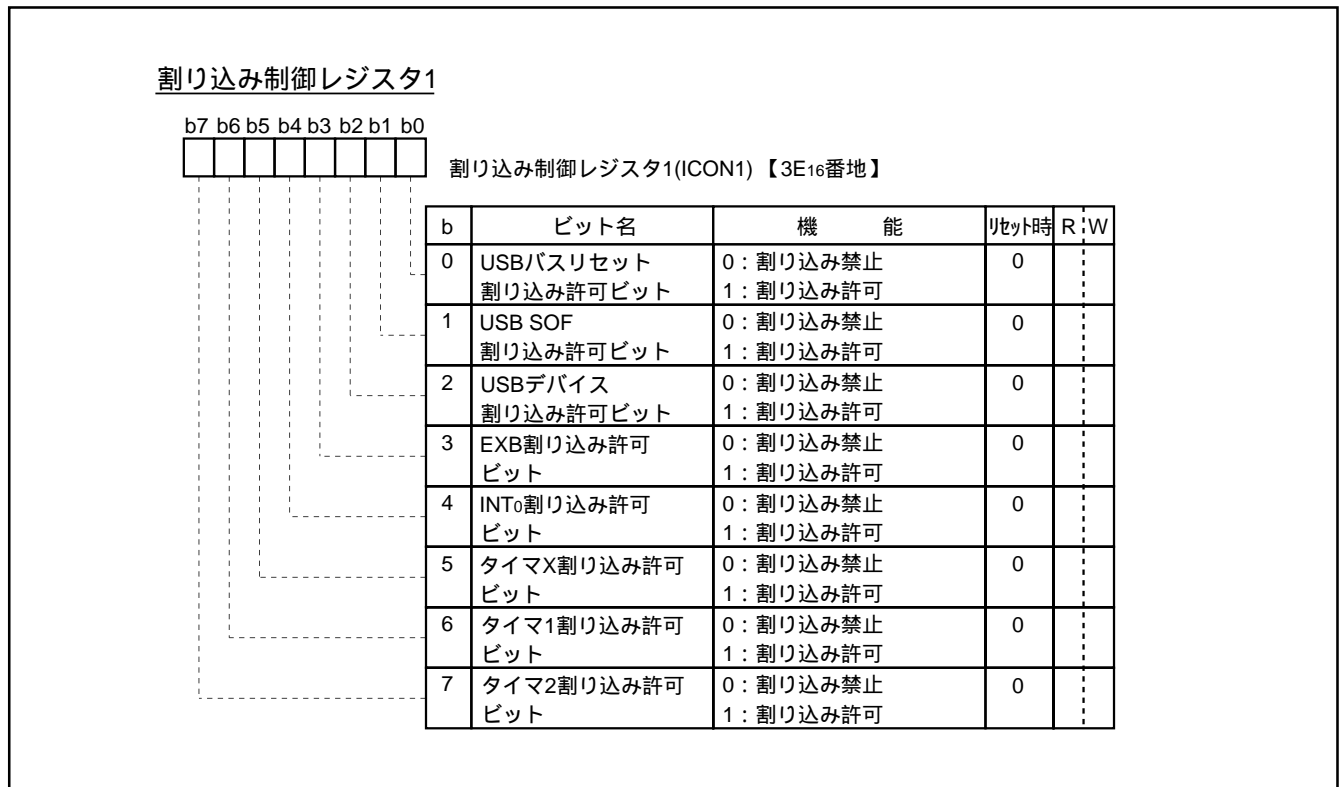
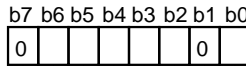


図3.4.64 割り込み制御レジスタ1の構成

割り込み制御レジスタ2

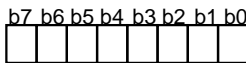


割り込み制御レジスタ2(ICON2)【3F16番地】

b	ビット名	機 能	リセット時	R/W
0	INT1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
1	このビットは“0”に固定してください。		0	
2	シリアルI/O受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
3	シリアルI/O送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
4	CNTR0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
5	キーオンウエイクアップ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
6	A/D変換割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
7	このビットは“0”に固定してください。		0	

図3.4.65 割り込み制御レジスタ2の構成

シリアルI/O制御レジスタ



シリアルI/O制御レジスタ(SIOCON)【0FE016番地】

b	ビット名	機 能	リセット時	R/W
0	BRGカウントソース選択ビット(CSS)	0: システムクロック 1: システムクロック / 4	0	
1	シリアルI/O同期クロック選択ビット(SCS)	クロック同期形シリアルI/O選択時 0: BRG出力の4分周 1: 外部クロック入力 UART選択時 0: BRG出力の16分周 1: 外部クロック入力16分周	0	
2	SRDY出力許可ビット(SRDY)	0: 入出力ポート (P43) 1: SRDY出力端子	0	
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファエンプティ 1: 送信シフト動作終了	0	
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	
6	シリアルI/Oモード選択ビット(SIOM)	0: UART 1: クロック同期形シリアルI/O	0	
7	シリアルI/O許可ビット(SIOE)	0: シリアルI/O禁止 (P40 ~ P43: 入出力ポート) 1: シリアルI/O許可 (P40 ~ P43: シリアルI/O機能端子)	0	

図3.4.66 シリアルI/O制御レジスタの構成

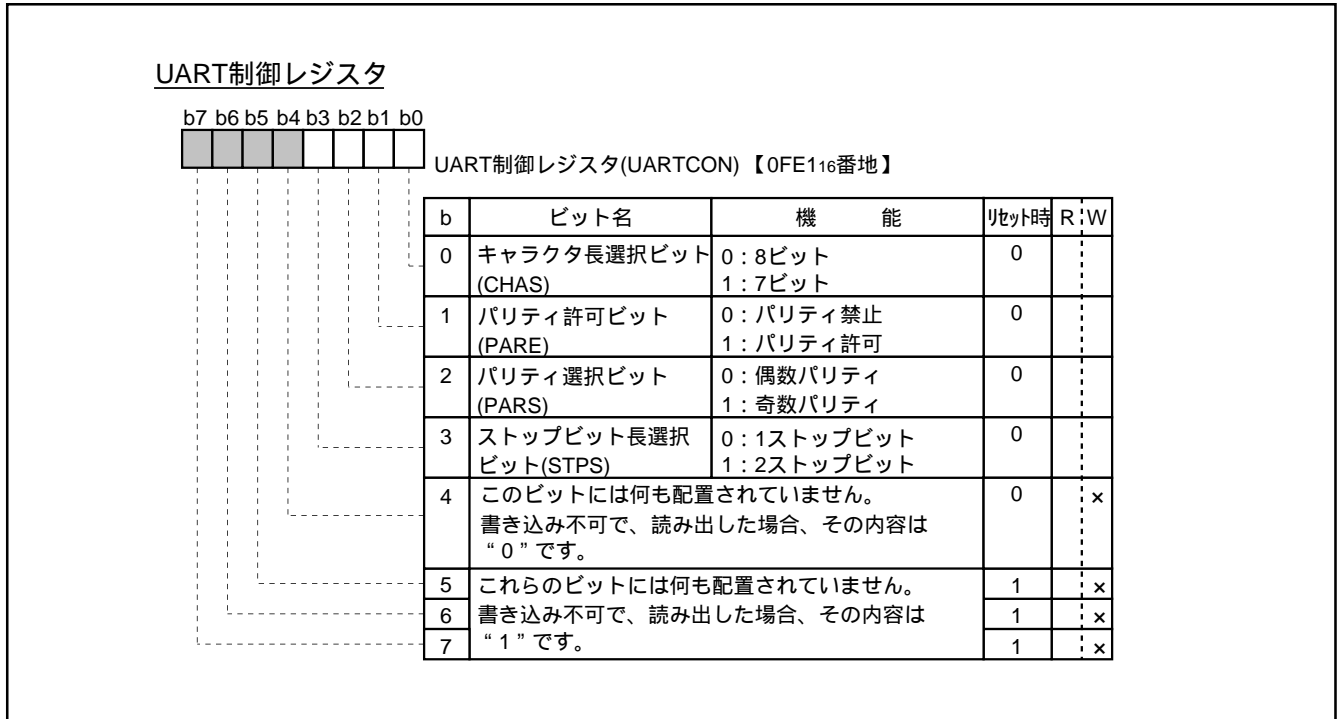


図3.4.67 UART制御レジスタの構成

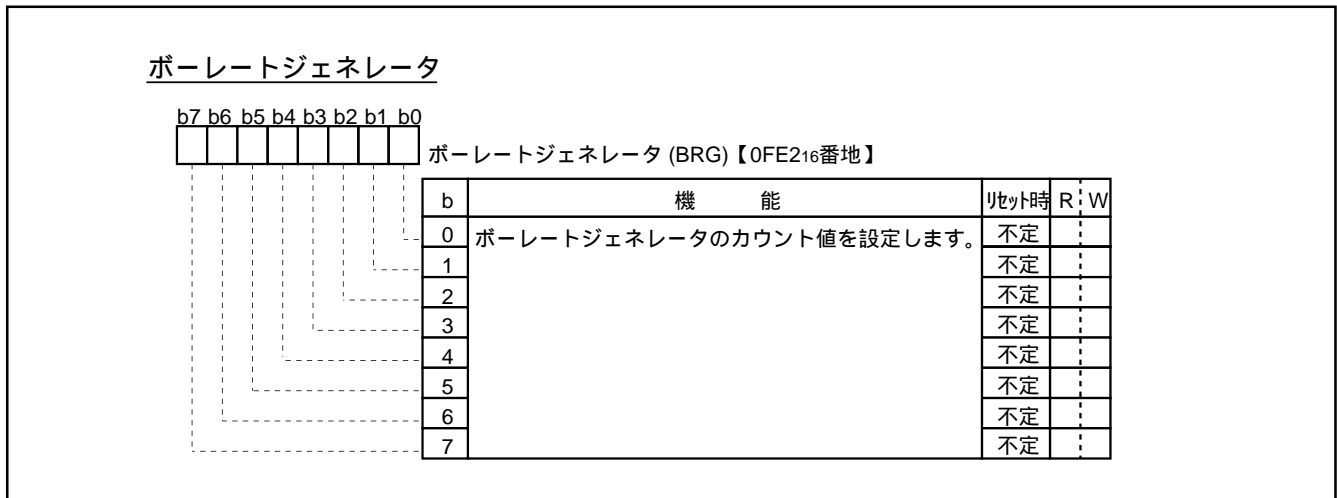


図3.4.68 ボーレートジェネレータの構成

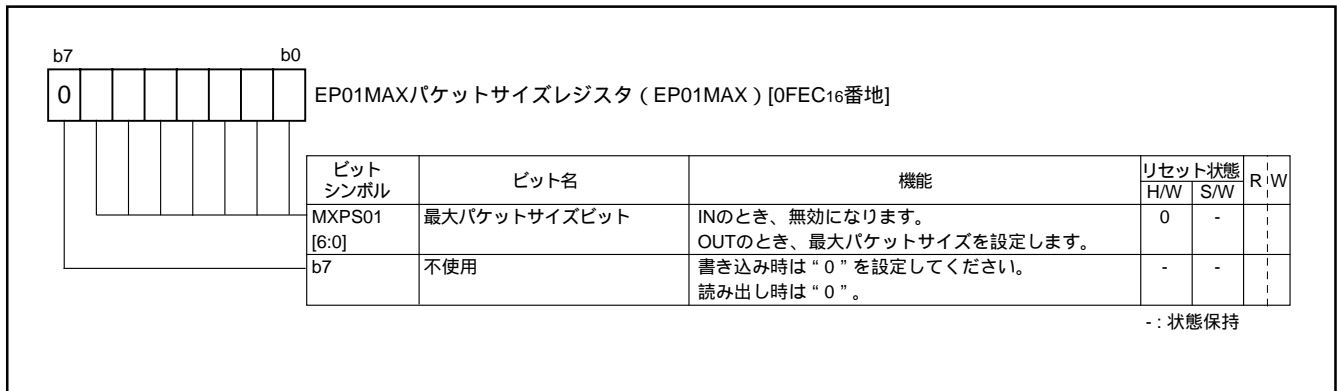


図3.4.69 EP01MAXパケットサイズレジスタ(EP01MAX)の構成

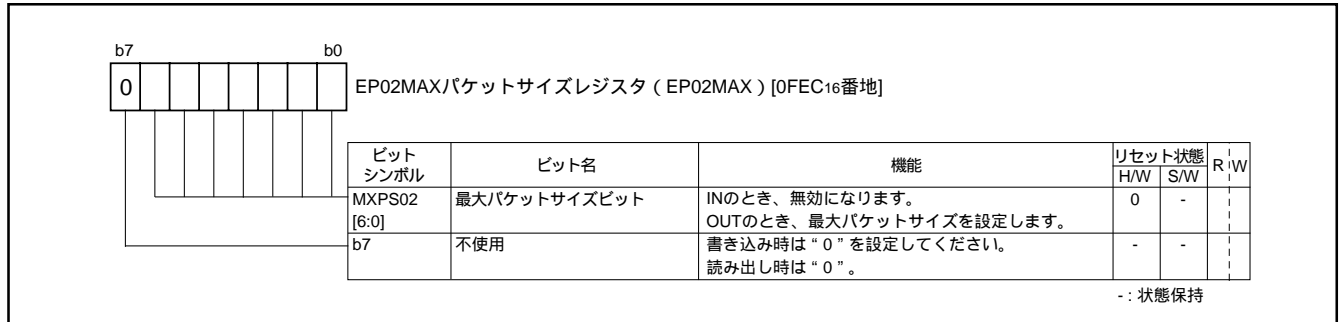


図3.4.70 EP02MAXパケットサイズレジスタ(EP02MAX)の構成

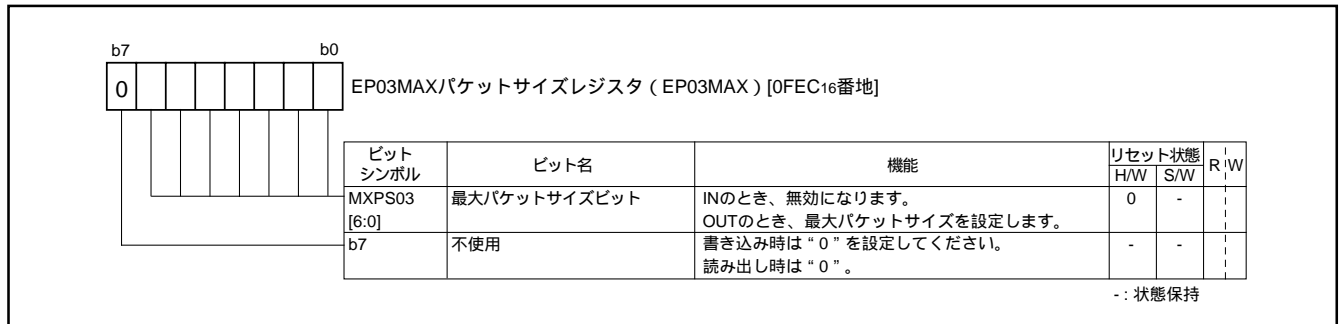


図3.4.71 EP03MAXパケットサイズレジスタ(EP03MAX)の構成

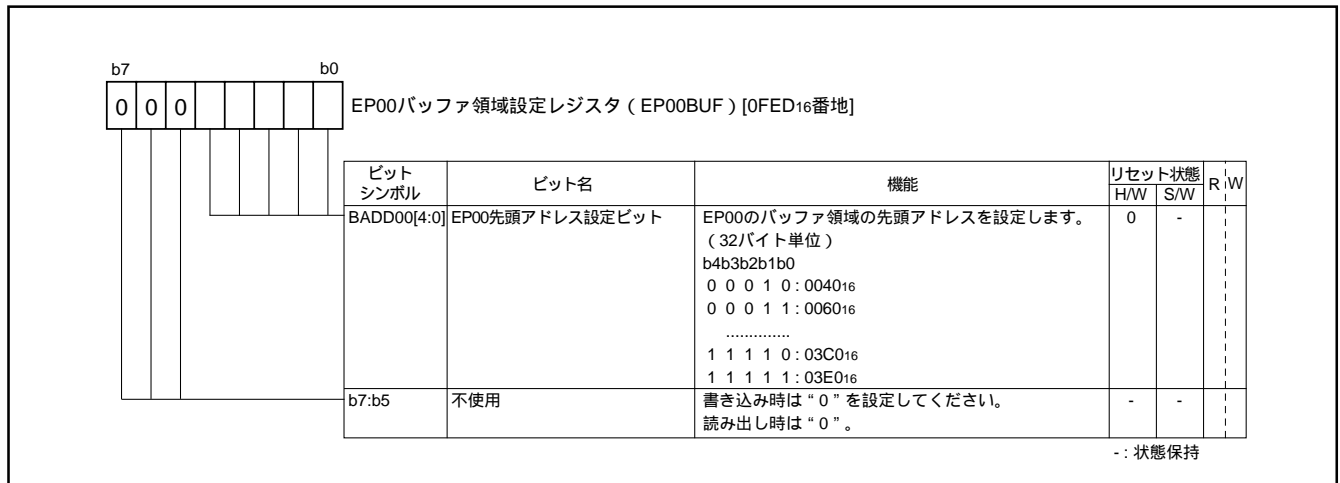


図3.4.72 EP00バッファ領域設定レジスタ(EP00BUF)の構成



図3.4.73 EP01バッファ領域設定レジスタ(EP01BUF)の構成

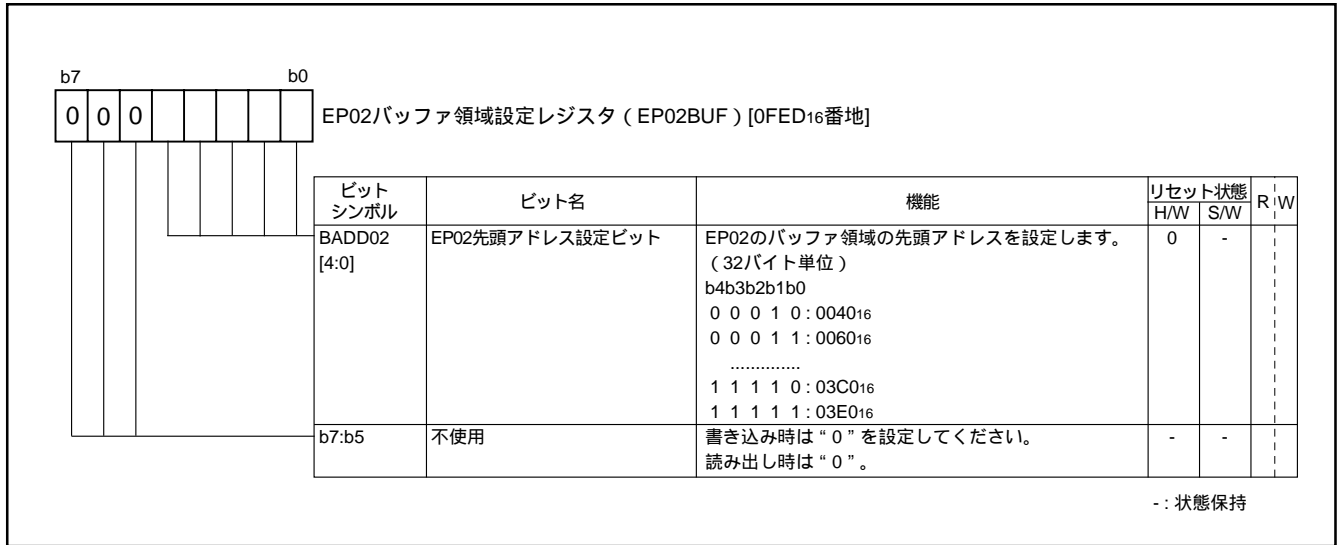


図3.4.74 EP02バッファ領域設定レジスタ(EP02BUF)の構成

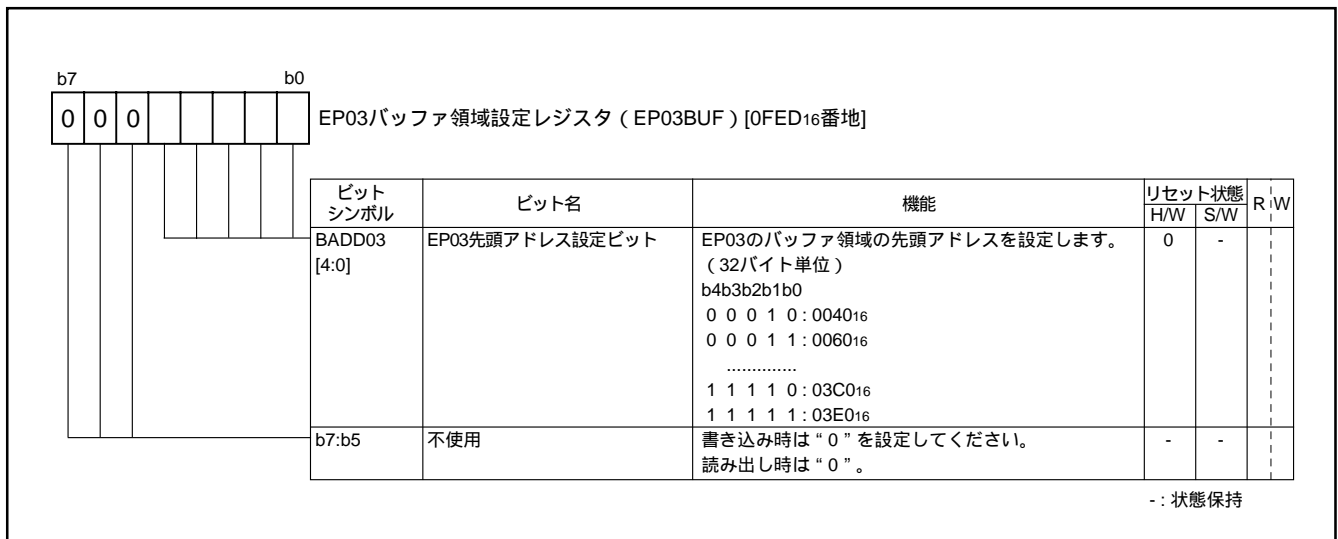


図3.4.75 EP03バッファ領域設定レジスタ(EP03BUF)の構成

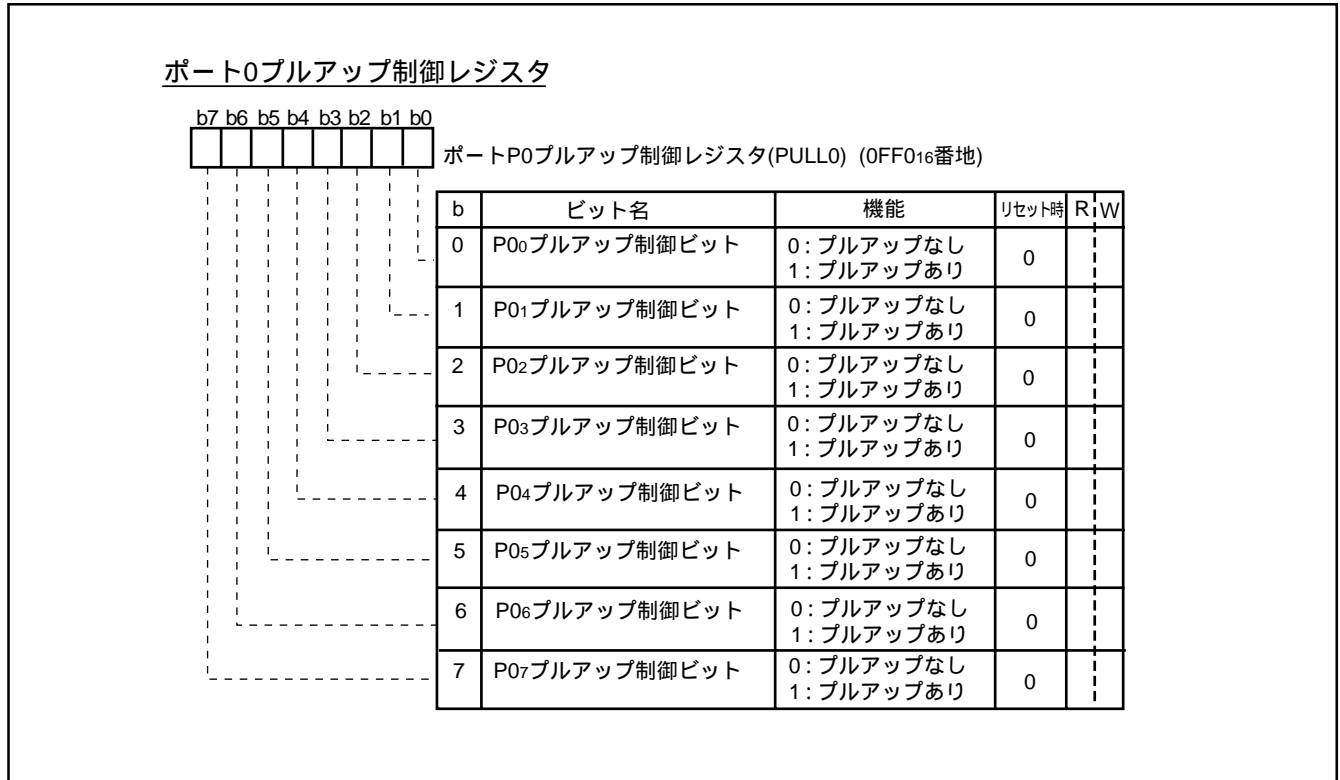


図3.4.76 ポート0プルアップ制御レジスタの構成

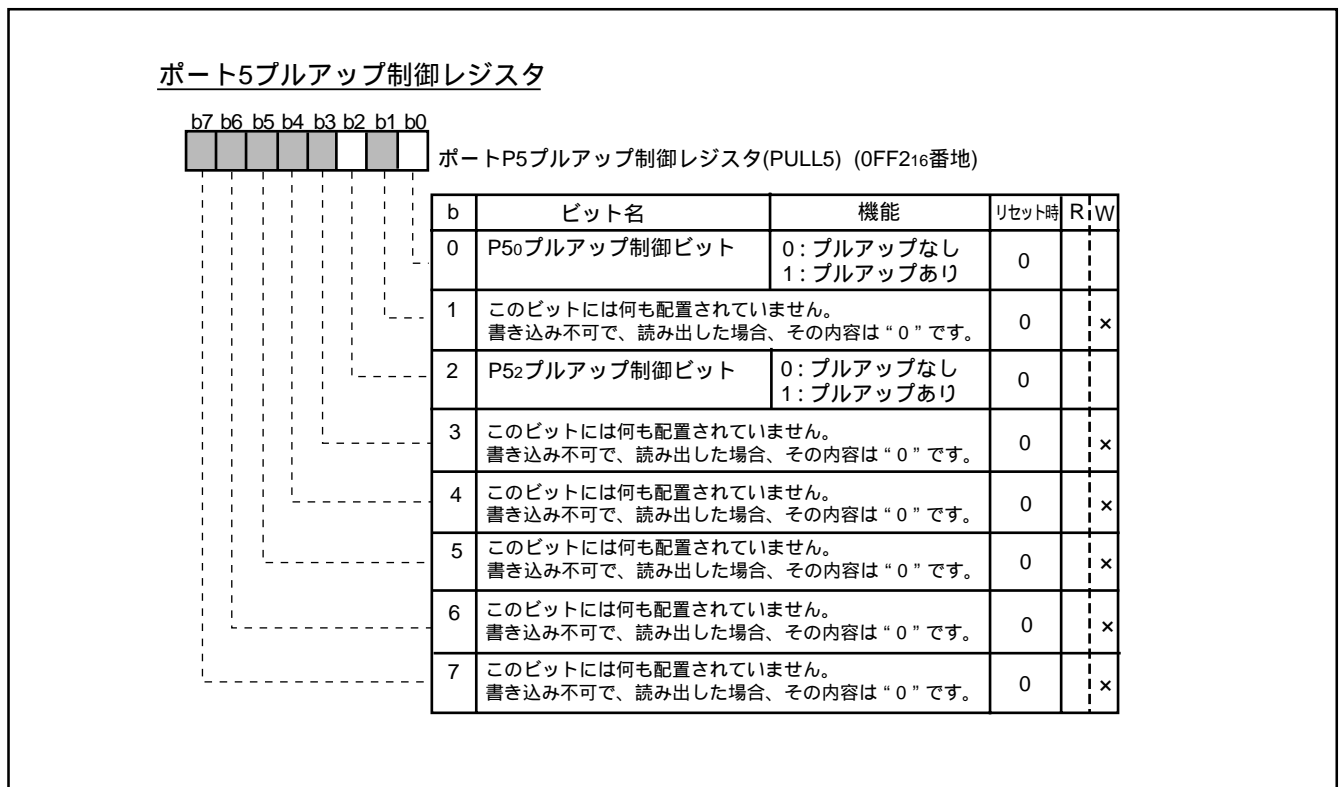


図3.4.77 ポート5プルアップ制御レジスタの構成

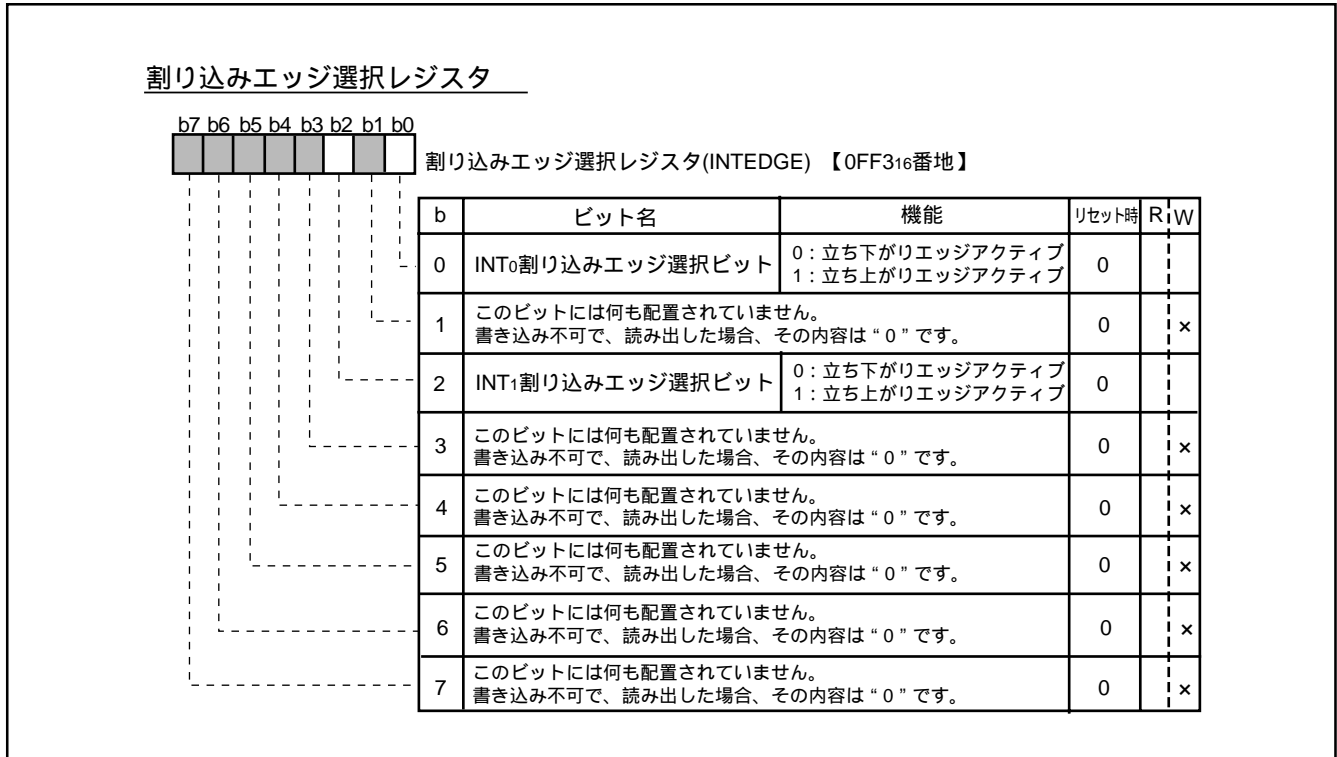


図3.4.78 割り込みエッジ選択レジスタの構成

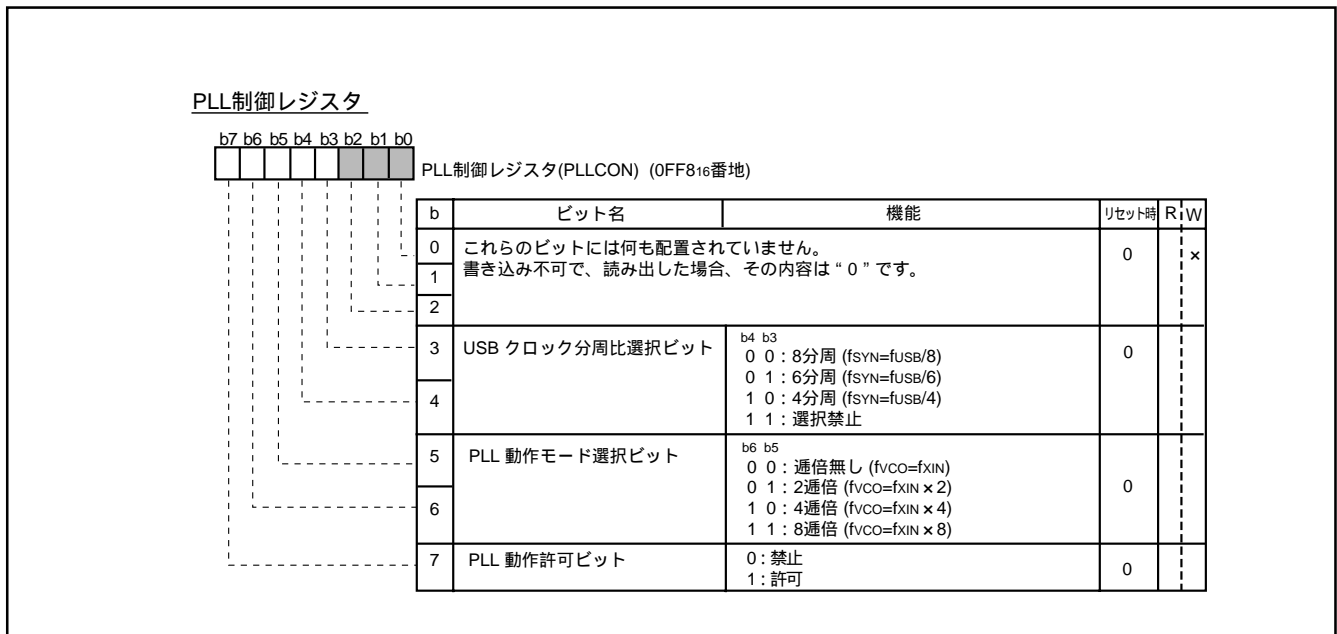


図3.4.79 PLL制御レジスタの構成

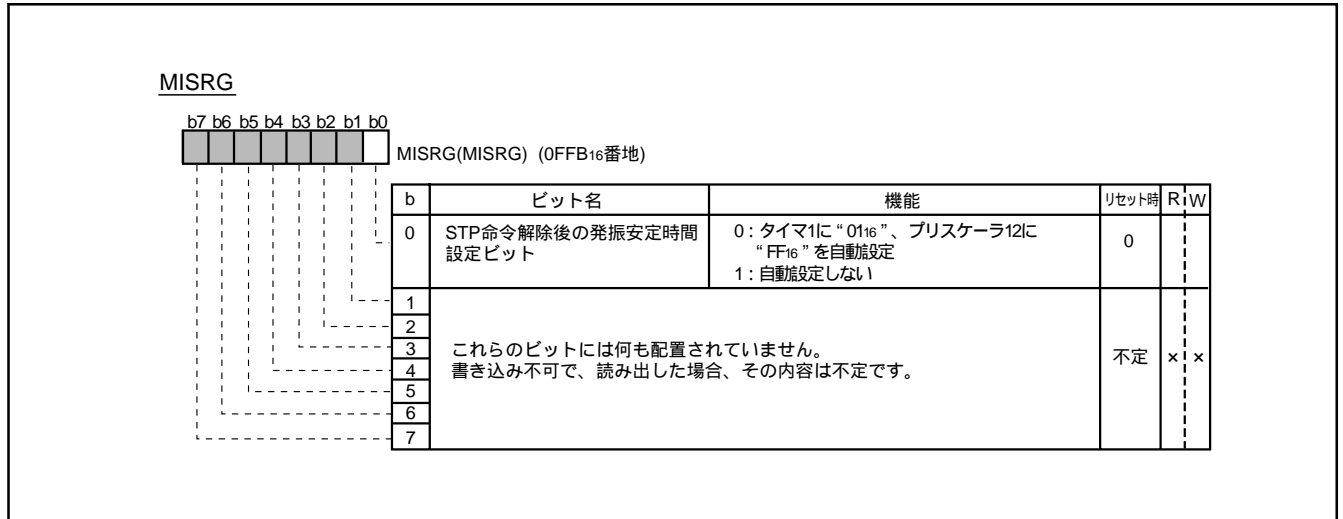


図3.4.80 MISRGの構成

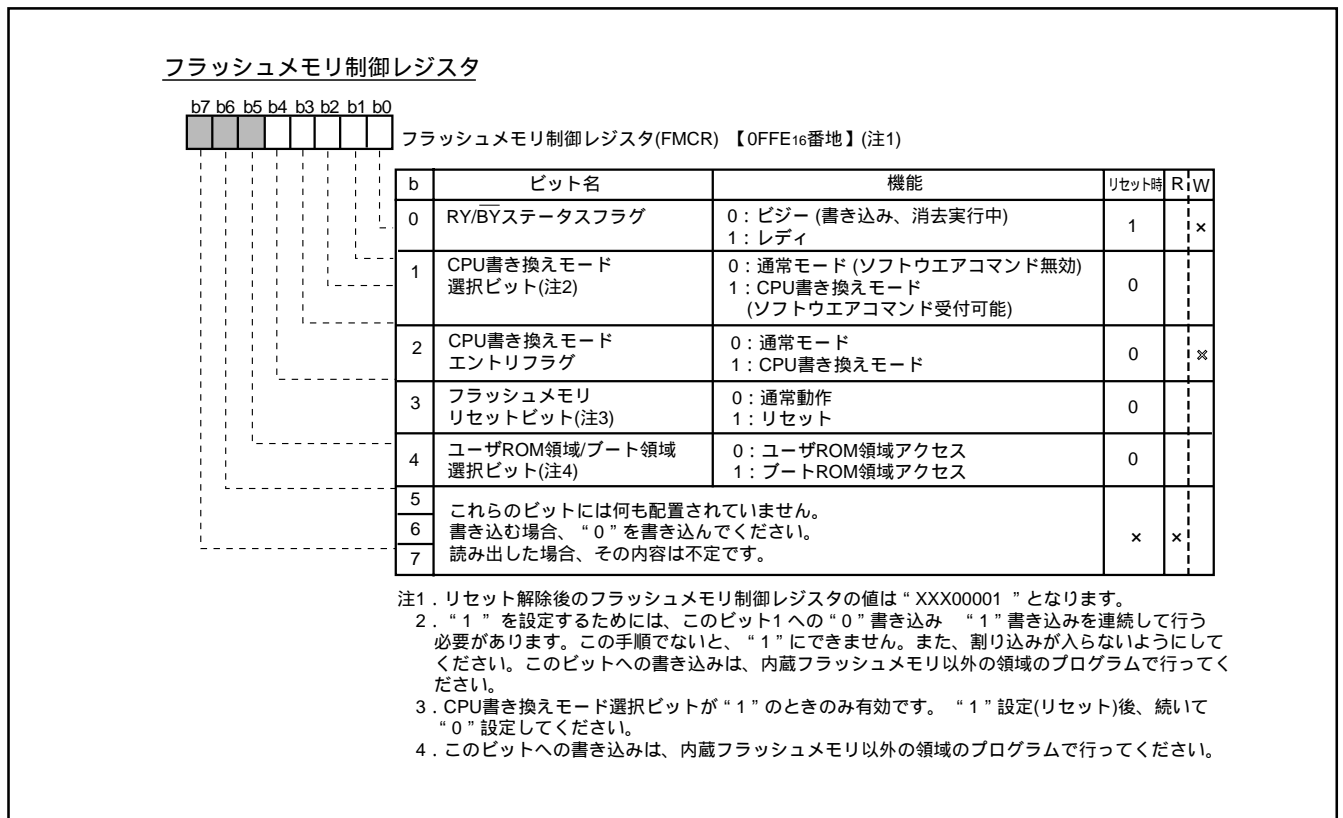
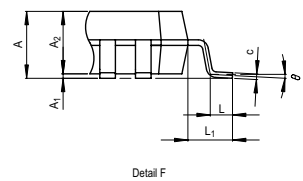
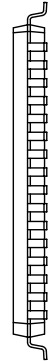
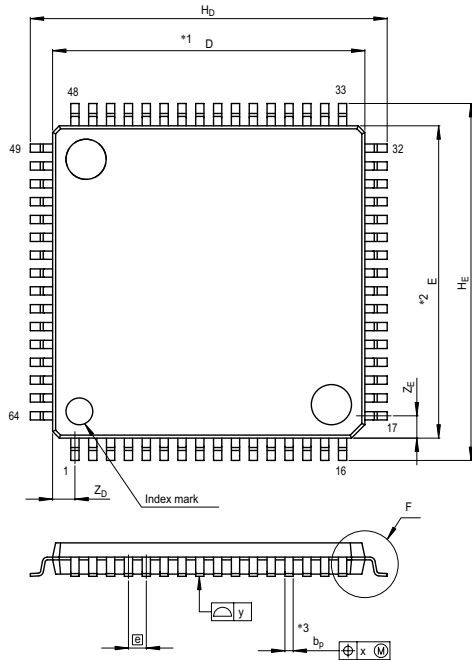


図3.4.81 フラッシュメモリ制御レジスタの構成

3.5 パッケージ寸法図

PLQP0064GA-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-14x14-0.80	PLQP0064GA-A	64P6U-A	0.7g

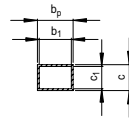
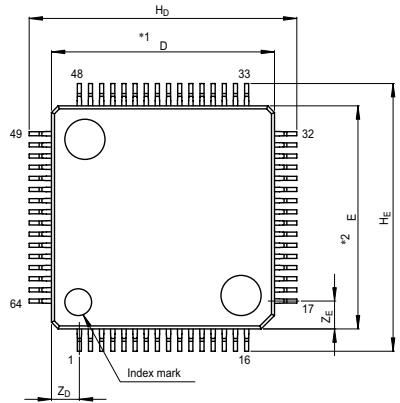


NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

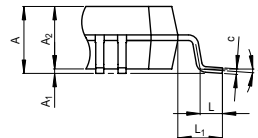
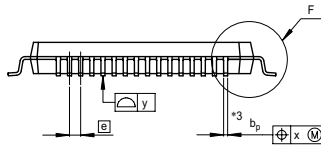
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0	0.1	0.2
b _p	0.32	0.37	0.42
b ₁	—	0.35	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
ⓐ	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z _D	—	1.0	—
Z _E	—	1.0	—
L	0.3	0.5	0.7
L ₁	—	1.0	—

PLQP0064KB-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g



Terminal cross section

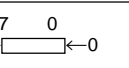


Detail F

NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	0.1	0.15
b _p	0.15	0.20	0.25
b ₁	—	0.18	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z _D	—	1.25	—
Z _E	—	1.25	—
L	0.35	0.5	0.65
L ₁	—	1.0	—

3.6 機械語命令一覧表

命令記号	機能	詳細説明	アドレッシングモード																				
			IMP			IMM			A			BIT, A, R			ZP			BIT, ZP, R					
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#			
ADC (注1) (注5)	T = 0のとき A ← A + M + C T = 1のとき M(X) ← M(X) + M + C	Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				69	2	2										65	3	2			
AND (注1)	T = 0のとき A ← A ∧ M T = 1のとき M(X) ← M(X) ∧ M	Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				29	2	2										25	3	2			
ASL		A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。							0A	2	1							06	5	2			
BBC (注4)	Ai又はMi = 0?	M又はAの指定されたビットをテストします。そのビットが0であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが1であれば、そのまま、次へ進みます。										13 20i	4	2							17 20i	5	3
BBS (注4)	Ai又はMi = 1?	M又はAの指定されたビットをテストします。そのビットが1であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが0であれば、そのまま、次へ進みます。										03 20i	4	2							07 20i	5	3
BCC (注4)	C = 0?	Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが1のとき、そのまま、次へ進みます。																			90	2	2
BCS (注4)	C = 1?	Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが0のとき、そのまま、次へ進みます。																			B0	2	2
BEQ (注4)	Z = 1?	Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが0のとき、そのまま、次へ進みます。																			F0	2	2
BIT	A ∧ M	AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。																24	3	2			
BMI (注4)	N = 1?	Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが0のとき、そのまま、次へ進みます。																			30	2	2
BNE (注4)	Z = 0?	Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが1のとき、そのまま、次へ進みます。																			D0	2	2
BPL (注4)	N = 0?	Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが1のとき、そのまま、次へ進みます。																			10	2	2
BRA	PC ← PC ± オフセット	指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。																			80	4	2
BRK	B ← 1 (PC) ← (PC) + 2 M(S) ← PCH S ← S - 1 M(S) ← PCL S ← S - 1 M(S) ← PS S ← S - 1 I ← 1 PCL ← ADL PCH ← ADH	BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス(BADRS)をPCに格納します。	00	7	1																		

アドレッシングモード														プロセッサステータスレジスタ																																			
ZP, X			ZP, Y			ABS			ABS, X			ABS, Y			IND			ZP, IND			IND, X			IND, Y			REL			SP			7	6	5	4	3	2	1	0									
OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	N	V	T	B	D	I	Z	C
75	4	2				6D	4	3	7D	5	3	79	5	3										61	6	2	71	6	2										N	V	Z	C			
35	4	2				2D	4	3	3D	5	3	39	5	3										21	6	2	31	6	2							N	Z	.						
16	6	2				0E	6	3	1E	7	3																						N	Z	C									
																																									
																																									
																																									
																																				M7	M6	Z	.						
																																									
																																									
																																									
																																									

3.7 命令コード一覧表

D7~D4 \ D3~D0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	-	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	-	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	-	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	-	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	-	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	-	BBC 2, A	-	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	-	CLB 2, A	-	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	MUL ZP, X	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	-	BBC 3, A	-	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	-	CLB 3, A	-	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	-	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	-	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	-	STA ABS, X	-	CLB 4, ZP
1010	A	LDY IMM	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY IMM	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	-	BBC 6, A	-	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	-	CLB 6, A	-	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX IMM	SBC IND, X	DIV ZP, X	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	-	BBC 7, A	-	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	-	CLB 7, A	-	SBC ABS, X	INC ABS, X	CLB 7, ZP

■ 3バイト命令

□ 2バイト命令

□ 1バイト命令

3.8 SFRメモリマップ

0000 ₁₆	ポートP0(P0)
0001 ₁₆	ポートP0方向レジスタ(P0D)
0002 ₁₆	ポートP1(P1)
0003 ₁₆	ポートP1方向レジスタ(P1D)
0004 ₁₆	ポートP2(P2)
0005 ₁₆	ポートP2方向レジスタ(P2D)
0006 ₁₆	ポートP3(P3)
0007 ₁₆	ポートP3方向レジスタ(P3D)
0008 ₁₆	ポートP4(P4)
0009 ₁₆	ポートP4方向レジスタ(P4D)
000A ₁₆	ポートP5(P5)
000B ₁₆	ポートP5方向レジスタ(P5D)
000C ₁₆	ポートP6(P6)
000D ₁₆	ポートP6方向レジスタ(P6D)
000E ₁₆	予約領域
000F ₁₆	予約領域
0010 ₁₆	USB制御レジスタ(USBCON)
0011 ₁₆	USBファンクション許可レジスタ(USBAE)
0012 ₁₆	USBファンクションアドレスレジスタ(USBA0)
0013 ₁₆	
0014 ₁₆	フレームナンバ下位レジスタ(FNUML)
0015 ₁₆	フレームナンバ上位レジスタ(FNUMH)
0016 ₁₆	USB割り込み要因許可レジスタ(USBICON)
0017 ₁₆	USB割り込み要因レジスタ(USBIREQ)
0018 ₁₆	エンドポイントインデックスレジスタ(USBINDEX)
0019 ₁₆	エンドポイントフィールドレジスタ1(EPXXREG1)
001A ₁₆	エンドポイントフィールドレジスタ2(EPXXREG2)
001B ₁₆	エンドポイントフィールドレジスタ3(EPXXREG3)
001C ₁₆	エンドポイントフィールドレジスタ4(EPXXREG4)
001D ₁₆	エンドポイントフィールドレジスタ5(EPXXREG5)
001E ₁₆	エンドポイントフィールドレジスタ6(EPXXREG6)
001F ₁₆	エンドポイントフィールドレジスタ7(EPXXREG7)

0020 ₁₆	プリスケアラ12(PRE12)
0021 ₁₆	タイマ1(T1)
0022 ₁₆	タイマ2(T2)
0023 ₁₆	タイマXモードレジスタ(TM)
0024 ₁₆	プリスケアラX(PREX)
0025 ₁₆	タイマX(TX)
0026 ₁₆	送信/受信バッファレジスタ(TB/RB)
0027 ₁₆	シリアルI/Oステータスレジスタ(SIOSTS)
0028 ₁₆	予約領域
0029 ₁₆	予約領域
002A ₁₆	予約領域
002B ₁₆	予約領域
002C ₁₆	予約領域
002D ₁₆	予約領域
002E ₁₆	予約領域
002F ₁₆	予約領域
0030 ₁₆	EXB割り込み要因許可レジスタ(EXBICON)
0031 ₁₆	EXB割り込み要因レジスタ(EXBIREQ)
0032 ₁₆	予約領域
0033 ₁₆	EXBインデックスレジスタ(EXBINDEX)
0034 ₁₆	EXBフィールドレジスタ1(EXBREG1)
0035 ₁₆	EXBフィールドレジスタ2(EXBREG2)
0036 ₁₆	AD制御レジスタ(ADCON)
0037 ₁₆	AD変換レジスタ1(AD1)
0038 ₁₆	AD変換レジスタ2(AD2)
0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
003A ₁₆	予約領域
003B ₁₆	CPUモードレジスタ(CPUM)
003C ₁₆	割り込み要求レジスタ1(IREQ1)
003D ₁₆	割り込み要求レジスタ2(IREQ2)
003E ₁₆	割り込み制御レジスタ1(ICON1)
003F ₁₆	割り込み制御レジスタ2(ICON2)

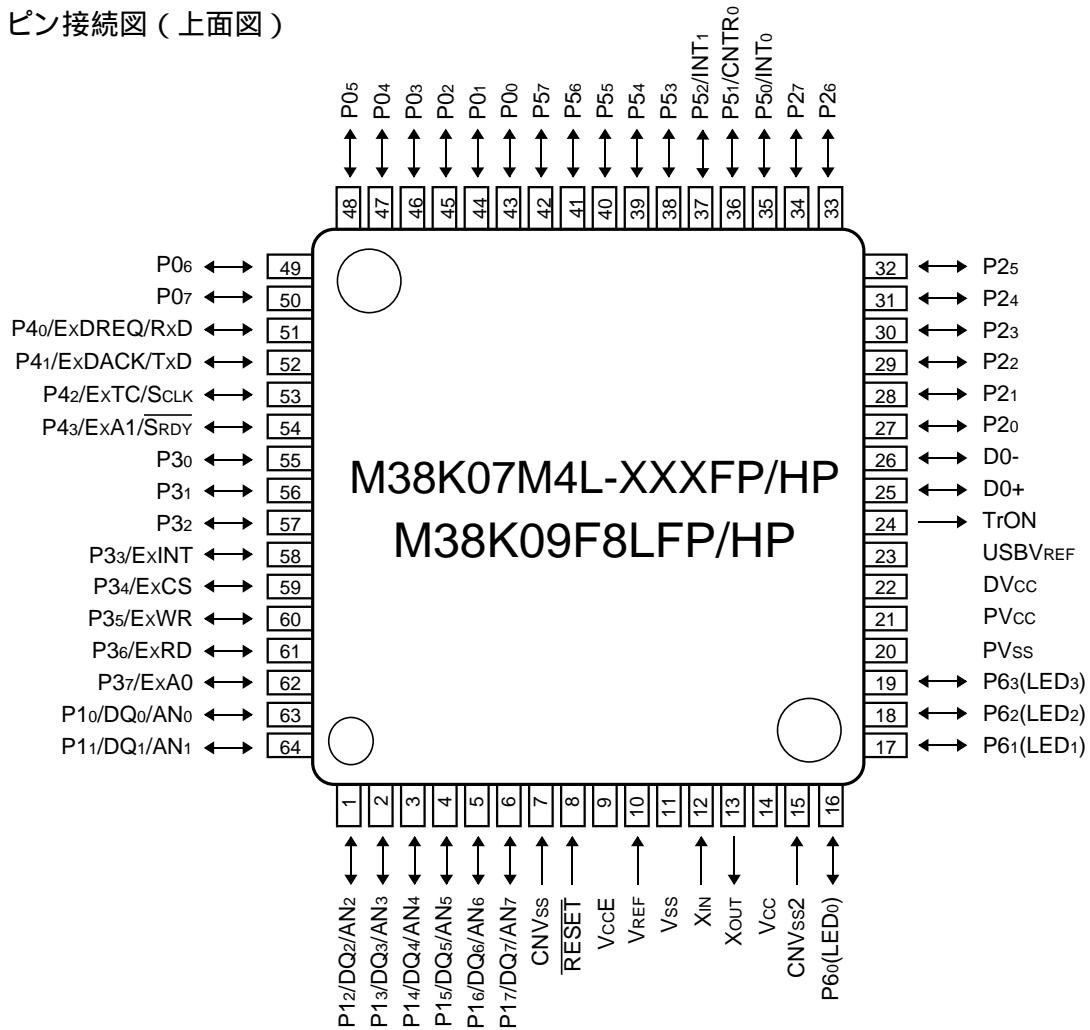
0FE0 ₁₆	シリアルI/O制御レジスタ(SIOCON)
0FE1 ₁₆	UART制御レジスタ(UARTCON)
0FE2 ₁₆	ポーレートジェネレータ(BRG)
0FE3 ₁₆	予約領域
0FE4 ₁₆	予約領域
0FE5 ₁₆	予約領域
0FE6 ₁₆	予約領域
0FE7 ₁₆	予約領域
0FE8 ₁₆	予約領域
0FE9 ₁₆	予約領域
0FEA ₁₆	予約領域
0FEB ₁₆	予約領域
0FEC ₁₆	エンドポイントフィールドレジスタ8(EPXXREG8)
0FED ₁₆	エンドポイントフィールドレジスタ9(EPXXREG9)
0FEE ₁₆	予約領域
0FEF ₁₆	予約領域

0FF0 ₁₆	ポートP0プルアップ制御レジスタ(PULL0)
0FF1 ₁₆	予約領域
0FF2 ₁₆	ポートP5プルアップ制御レジスタ(PULL5)
0FF3 ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
0FF4 ₁₆	予約領域
0FF5 ₁₆	予約領域
0FF6 ₁₆	予約領域
0FF7 ₁₆	予約領域
0FF8 ₁₆	PLL制御レジスタ(PLLCON)
0FF9 ₁₆	予約領域
0FFA ₁₆	予約領域
0FFB ₁₆	MISRG
0FFC ₁₆	予約領域
0FFD ₁₆	予約領域
0FFE ₁₆	フラッシュメモリ制御レジスタ(FMCR)
0FFF ₁₆	予約領域

注 . 予約領域は書き込み及び読み出しを行わないでください。

3.9 ピン接続図

ピン接続図（上面図）



外形 PLQP0064GA-A/PLQP0064KB-A

改訂履歴

38K0 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	02/12/09	-	PDF ファイル初版発行
2.0	06/10/05	- - 1章 2 1章 71 1章 74 1章 75 1章 104 2章 92 2章 93 3章 30 3章 38 3章 84,85	型名 64P6U-A PLQP0064GA-A、64P6Q-A PLQP0064KB-A に変更 38K0 グループ(標準品) 削除 電源電圧 「12MHz/スルーモード、、、4.50 ~ 5.25V」 削除 図 106 変更 クロック発生回路 「XIN - XOUT 端子間には帰還抵抗が内蔵されて、、、省略することができます。」「XIN - XOUT 端子間には帰還抵抗を内蔵して、、、なることがあります。」「 図110 図変更、注意追記 図113 変更 電源電圧に関する注意事項、USB 通信に関する注意事項を追記 表2.11.1 変更 表2.11.2 変更 3.2 標準特性例 削除 (3) USB 通信に関する注意事項を追記 3.6 パッケージ寸法図 変更

ルネサス8ビットシングルチップマイクロコンピュータ
ユーザーズマニュアル
38K0グループ

発行年月日 2002年12月9日 Rev. 1.00
2006年10月5日 Rev. 2.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

38K0 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0367-0200