

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

EOL announced

38B7 グループ

ユーザーズマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ
740ファミリ / 38000シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりますと、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴

38B7 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	00/05/18		PDF ファイル初版発行
1.1	00/10/03	1-77 3-2	表中：マスクオプション B ~ G 指定不可の表示、注 4 追加 絶対最大定格： VEE VCC - 45 ~ VCC + 0.3 VI VCC - 45 ~ VCC + 0.3 VO VCC - 45 ~ VCC + 0.3
1.2	01/11/30	1-2 1-2 1-7 1-8 1-77	概要の文章を一部削除 特長の発振周波数を変更 図 3 形名とメモリサイズ・パッケージの一部を変更 図 4 ROM 及び RAM 展開計画の一部を変更 プルダウン抵抗のマスクオプションを削除 Rev.1.1 の 3.6 節 マスク化確認書を削除 Rev.1.1 の 3.7 節 マーク指定書を削除 マスク化確認書及びマーク指定書につきましては、三菱マイコン技術情報ホームページ (http://www.infocom.maec.co.jp) を参照してください。
1.3	03/01/29	1-21 1-41 1-76 2-50 2-75 2-76 2-80 2-84 2-90 2-100 2-108 2-123 2-146 2-147 2-150 2-151 2-155 2-156 2-156 2-157 2-169 2-169 2-169 3-11 3-15 3-16 3-22 3-25	割り込みの 注意事項を変更 シリアル I/O2 の 注意事項を追加 フラッシュメモリ版 / マスク ROM 版の相違点に関する注意事項を追加 図 2.3.24 送信側関連レジスタの設定の一部を変更 図 2.3.56 送信側の制御手順の一部を変更 図 2.3.57 受信側の制御手順の一部を変更 図 2.3.61 接続の一部を変更 (7) 自動転送シリアル I/O モードにおいての文章を一部削除 図 2.4.7 Toff2 時間設定レジスタの構成の一部を変更 図 2.4.20 制御手順の注の一部を削除 図 2.4.25 制御手順の注の一部を削除 図 2.4.41 関連レジスタの設定の一部を変更 図 2.8.10 関連レジスタの設定の一部を変更 図 2.8.11 制御手順の一部を変更 図 2.9.3 CPU モードレジスタの構成の一部を変更 (1) 暴走検出の文章を一部変更 図 2.11.2 RAM バックアップシステム例の一部を変更 2.11.3 RESET 端子の状態が “L” 期間の各ポートの状態の項題を変更 表 2.11.1 RESET 端子の状態が “L” 期間の端子状態の注を削除 図 2.12.1 CPU モードレジスタの構成の一部を変更 2.13.4 パラレル入出力モードの文章を一部変更 表 2.13.1 パラレル書き込み時の EPROM プログラム設定を一部変更 2.13.5 シリアル入出力モードの文章を一部変更 図 3.2.2 電源電流特性例 (ウエイトモード時) の一部を変更 3.2.3 A-D 変換標準特性の文章を一部変更 (1) 関連レジスタの設定変更のサブ項題、文章、及び図を変更 (8) シリアル I/O2 送信割り込み使用時の設定手順のサブ項題及び文章を変更 3.3.11 RESET 端子の状態が “L” 期間の各ポートの状態の項題を変更

EOL announced

はじめに

このたび、CMOS 8ビットシングルチップマイクロコンピュータ38B7グループのユーザーズマニュアルを作成いたしましたので、ご案内申し上げます。

このユーザーズマニュアルは、ユーザの皆様が38B7グループの機能や特長などをよく理解していただき、その機能を最大限に活かしていただくために作成いたしました。ハードウェアに関する仕様説明から応用までを詳細に説明しておりますので、ご活用ください。

ソフトウェアにつきましては、「740ファミリソフトウェアマニュアル」を参照してください。

開発ツールにつきましては、「三菱開発サポートツールホームページ(<http://www.tool-spt.maec.co.jp/>)」を参照してください。

EOL annotation

1. 構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

第2章「応用」

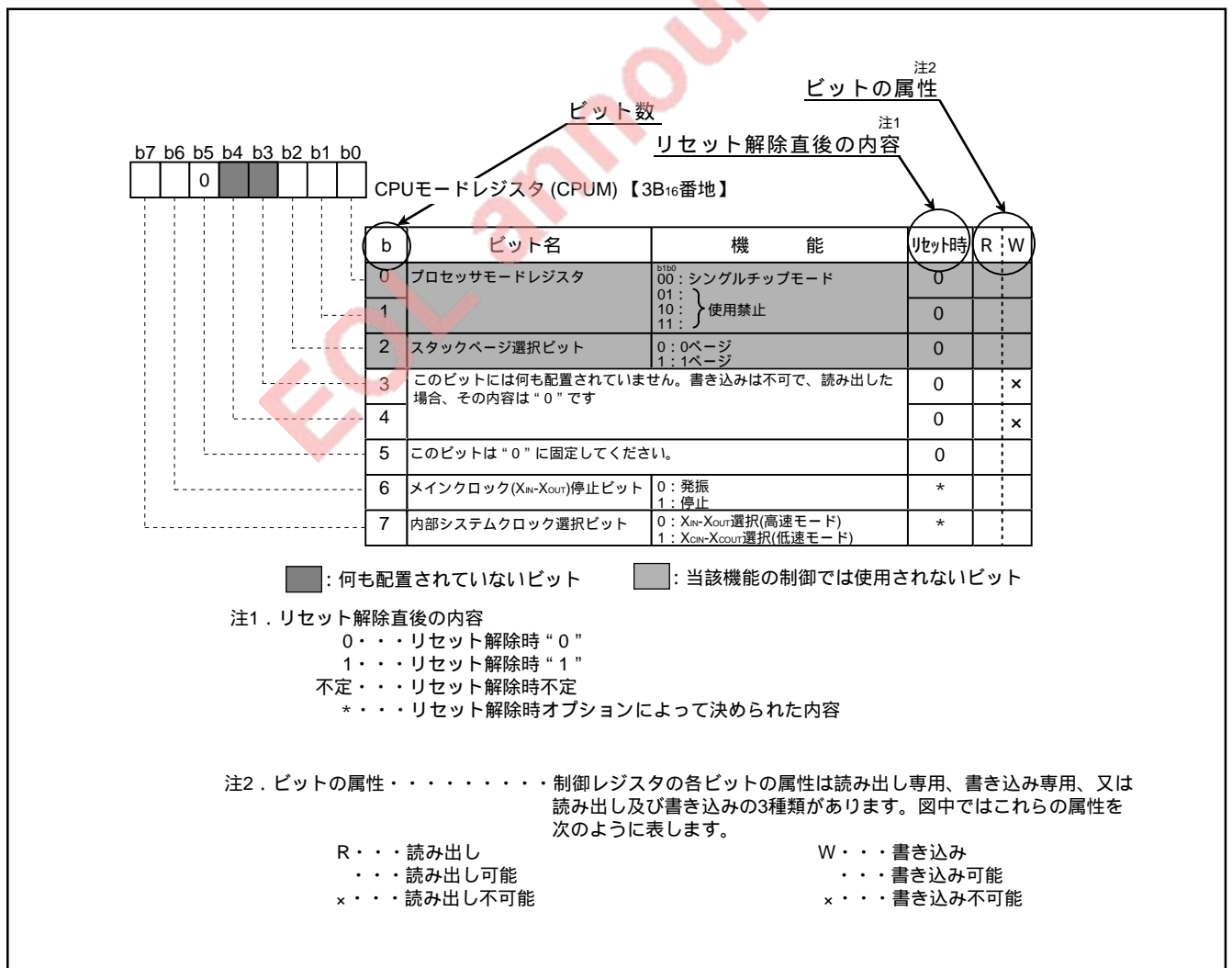
各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧、発注の際に提出していただくマスク化確認書(マスクROM版)、マーク指定書などを掲載しています。

2. レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



目次

第1章 ハードウェア

概要	1-2
特長	1-2
応用	1-2
ピン接続図	1-3
機能ブロック図	1-4
端子の機能説明	1-5
形名とメモリサイズ・パッケージ	1-7
グループ展開	1-8
メモリの種類	1-8
メモリ容量	1-8
パッケージ	1-8
機能ブロック動作説明	1-9
中央演算処理装置(CPU)	1-9
メモリ	1-13
入出力ポート	1-15
割り込み	1-21
タイマ	1-24
シリアルI/O	1-29
FLDコントローラ	1-44
A-D変換器	1-61
D-A変換器	1-62
PWM	1-63
割り込み間隔判定機能	1-66
ウォッチドッグタイマ	1-68
ブザー出力回路	1-69
リセット回路	1-70
クロック発生回路	1-72
プログラミング上の注意事項	1-75
使用上の注意事項	1-76
マスク化発注時の提出資料	1-76
消費電力の計算方法	1-77
フラッシュメモリモード	1-80
フラッシュメモリモード-1(平行入出力モード)	1-80
フラッシュメモリモード-2(シリアル入出力モード)	1-90
フラッシュメモリモード-3(CPU書き換えモード)	1-97

第2章 応用

2.1	入出力ポート	2-2
2.1.1	メモリ配置図	2-2
2.1.2	関連レジスタ	2-3
2.1.3	未使用端子の処理	2-8
2.1.4	入出力端子に関する注意事項	2-9
2.1.5	未使用端子の処理に関する注意事項	2-10
2.2	タイマ	2-11
2.2.1	メモリ配置図	2-11
2.2.2	関連レジスタ	2-12
2.2.3	タイマの応用例	2-19
2.3	シリアルI/O	2-35
2.3.1	メモリ配置図	2-35
2.3.2	関連レジスタ	2-36
2.3.3	シリアルI/O1の接続例	2-46
2.3.4	シリアルI/O1モード	2-48
2.3.5	シリアルI/O1の応用例	2-49
2.3.6	シリアルI/O2の接続例	2-55
2.3.7	シリアルI/O2モード	2-57
2.3.8	シリアルI/O2の応用例	2-58
2.3.9	シリアルI/O3の接続例	2-77
2.3.10	シリアルI/O3モード	2-79
2.3.11	シリアルI/O3の応用例	2-80
2.3.12	シリアルI/O1に関する注意事項	2-83
2.3.13	シリアルI/O2に関する注意事項	2-85
2.4	FLDコントローラ	2-87
2.4.1	メモリ配置図	2-87
2.4.2	関連レジスタ	2-88
2.4.3	FLDコントローラの応用例	2-95
2.4.4	FLDコントローラの注意事項	2-126
2.5	A-D変換器	2-127
2.5.1	メモリ配置図	2-127
2.5.2	関連レジスタ	2-127
2.5.3	A-D変換器の応用例	2-131
2.5.4	A-D変換器に関する使用上の注意事項	2-133
2.6	D-A変換器	2-134
2.6.1	メモリ配置図	2-134
2.6.2	関連レジスタ	2-134
2.6.3	D-A変換器の応用例	2-136
2.6.4	D-A変換器に関する使用上の注意事項	2-137
2.7	PWM	2-138

2.7.1	メモリ配置図	2-138
2.7.2	関連レジスタ	2-138
2.7.3	PWMの応用例	2-140
2.7.4	PWMの注意事項	2-141
2.8	割り込み間隔判定機能	2-142
2.8.1	メモリ配置図	2-142
2.8.2	関連レジスタ	2-142
2.8.3	割り込み間隔判定機能の応用例	2-145
2.9	ウォッチドッグタイマ	2-149
2.9.1	メモリ配置図	2-149
2.9.2	関連レジスタ	2-149
2.9.3	ウォッチドッグタイマの応用例	2-151
2.9.4	ウォッチドッグタイマに関する注意事項	2-152
2.10	ブザー出力回路	2-153
2.10.1	メモリ配置図	2-153
2.10.2	関連レジスタ	2-153
2.10.3	ブザー出力回路の応用例	2-154
2.11	リセット回路	2-155
2.11.1	リセットICを用いた接続例	2-155
2.11.2	リセット回路に関する注意事項	2-156
2.11.3	RESET端子の状態が「L」期間の各ポート状態	2-156
2.12	クロック発生回路	2-157
2.12.1	関連レジスタ	2-157
2.12.2	クロック発生回路の応用例	2-158
2.13	フラッシュメモリ	2-166
2.13.1	概要	2-166
2.13.2	メモリ配置図	2-166
2.13.3	関連レジスタ	2-167
2.13.4	パラレル入出力モード	2-169
2.13.5	シリアル入出力モード	2-169
2.13.6	CPU書き換えモード	2-170
2.13.7	フラッシュメモリモードの応用例	2-172
2.13.8	CPU書き換えモードに関する注意事項	2-181
2.13.9	フラッシュメモリ版に関する注意事項	2-181

第3章 付録

3.1	電気的特性	3-2
3.1.1	絶対最大定格	3-2
3.1.2	推奨動作条件	3-3
3.1.3	電気的特性	3-5
3.1.4	A-D変換器特性	3-7
3.1.5	D-A変換器特性	3-7
3.1.6	タイミング必要条件	3-8

3.2	標準特性例	3-11
3.2.1	電源電流特性例	3-11
3.2.2	ポート標準特性	3-12
3.2.3	A-D変換標準特性	3-15
3.3	使用上の注意事項	3-16
3.3.1	割り込みに関する注意事項	3-16
3.3.2	入出力端子に関する注意事項	3-18
3.3.3	シリアルI/O1に関する注意事項	3-19
3.3.4	シリアルI/O2に関する注意事項	3-21
3.3.5	FLDコントローラの注意事項	3-23
3.3.6	A-D変換器に関する注意事項	3-23
3.3.7	D-A変換器に関する注意事項	3-23
3.3.8	PWMに関する注意事項	3-24
3.3.9	ウォッチドッグタイマに関する注意事項	3-24
3.3.10	リセット回路に関する注意事項	3-24
3.3.11	RESET端子の状態がL'期間の各ポート状態	3-25
3.3.12	プログラム作成に関する注意事項	3-25
3.3.13	CPU書き換えモードに関する注意事項	3-26
3.3.14	フラッシュメモリ版に関する注意事項	3-27
3.3.15	未使用端子の処理に関する注意事項	3-27
3.4	ノイズに関する注意事項	3-28
3.4.1	配線長の短縮	3-28
3.4.2	Vss - Vccライン間へのバイパスコンデンサ挿入	3-30
3.4.3	アナログ入力端子の配線処理	3-31
3.4.4	発振子への配慮	3-32
3.4.5	入出力ポート処理	3-33
3.4.6	ソフトウェアによる監視タイマ機能の実現	3-34
3.5	制御レジスタ一覧	3-35
3.6	パッケージ寸法図	3-66
3.7	命令コード一覧表	3-67
3.8	機械語命令一覧表	3-68
3.9	M35501FP	3-78
3.10	SFRメモリマップ	3-90
3.11	ピン接続図	3-91

図目次

第1章 ハードウェア

図1 . M38B79MFH-XXXXFPのピン接続図	1-3
図2 . 機能ブロック図	1-4
図3 . 形名とメモリサイズ・パッケージ	1-7
図4 . ROM及びRAM展開計画	1-8
図5 . 740ファミリCPUの構成	1-9
図6 . スタックへの退避及び復帰動作	1-10
図7 . CPUモードレジスタの構成	1-12
図8 . メモリ配置図	1-13
図9 . SFR(スペシャルファンクションレジスタ)メモリマップ	1-14
図10 . プルアップ制御レジスタPULL1、PULL2の構成	1-15
図11 . ポートのブロック図(1)	1-18
図12 . ポートのブロック図(2)	1-19
図13 . ポートのブロック図(3)	1-20
図14 . 割り込み制御図	1-23
図15 . 割り込み関係レジスタの構成	1-23
図16 . タイマ関係レジスタの構成	1-24
図17 . タイマのブロック図	1-25
図18 . タイマ6PWM ₁ モードのタイミング図	1-26
図19 . タイマXのブロック図	1-28
図20 . タイマXモードレジスタの構成	1-28
図21 . シリアルI/O1のブロック図	1-29
図22 . シリアルI/O1制御レジスタ1、2の構成	1-30
図23 . シリアルI/O1制御レジスタ3の構成	1-31
図24 . シリアルI/O1自動転送データポインタの構成	1-33
図25 . 自動転送シリアルI/Oの動作	1-33
図26 . S _{STB1} 出力の動作	1-34
図27 . S _{BUSY1} 入力の動作(内部同期クロック)	1-34
図28 . S _{BUSY1} 入力の動作(外部同期クロック)	1-34
図29 . S _{BUSY1} 出力の動作(内部同期クロック、8ビットシリアルI/O)	1-35
図30 . S _{BUSY1} 出力の動作(外部同期クロック、8ビットシリアルI/O)	1-35
図31 . 自動転送シリアルI/OモードにおけるS _{BUSY1} 出力の動作 (内部同期クロック、S _{BUSY1} 出力機能は1バイトごと)	1-35
図32 . S _{RDY1} 出力の動作	1-36
図33 . S _{RDY1} 入力の動作(内部同期クロック)	1-36
図34 . シリアルI/O1を相互接続した場合のハンドシェイク動作(1)	1-37
図35 . シリアルI/O1を相互接続した場合のハンドシェイク動作(2)	1-37
図36 . クロック同期形シリアルI/O2ブロック図	1-38
図37 . クロック同期形シリアルI/O2動作図	1-38
図38 . UART形シリアルI/O2ブロック図	1-39
図39 . UART形シリアルI/O2動作図	1-39

図40．シリアルI/O2関係レジスタの構成	1-41
図41．シリアルI/O3ブロック図	1-42
図42．シリアルI/O3制御レジスタの構成	1-43
図43．シリアルI/O3タイミング(LSBファーストの場合)	1-43
図44．FLD制御回路ブロック図	1-45
図45．FLDC関連レジスタ(1)	1-46
図46．FLDC関連レジスタ(2)	1-47
図47．FLDC関連レジスタ(3)	1-48
図48．FLDC関連レジスタ(4)	1-49
図49．セグメント/ディジットの設定例	1-50
図50．FLD自動表示RAMの配置図	1-51
図51．16タイミング・通常モード、RAM配置図と使用領域の例	1-52
図52．16タイミング・階調表示モード、RAM配置図と使用領域の例	1-53
図53．32タイミングモード、RAM配置図と使用領域の例	1-54
図54．FLD、ディジット出力タイミング	1-55
図55．ディジット割り込み時のタイミング	1-56
図56．FLDブランキング割り込み時のタイミング	1-57
図57．P64～P67FLD出力波形	1-58
図58．Toff区間有無機能選択時の出力波形	1-59
図59．ディジット波形出力機能	1-60
図60．A-D制御レジスタの構成	1-61
図61．A-D変換器ブロック図	1-61
図62．D-A変換器ブロック図	1-62
図63．D-A変換器等価接続回路図	1-62
図64．PWM回路ブロック図	1-63
図65．PWMタイミング図	1-64
図66．PWM制御レジスタの構成	1-65
図67．14ビットPWMタイミング図	1-65
図68．割り込み間隔判定回路ブロック図	1-66
図69．割り込み間隔判定制御レジスタの構成	1-67
図70．割り込み間隔判定動作例(立ち上がりエッジアクティブ時)	1-67
図71．割り込み間隔判定動作例(両エッジアクティブ時)	1-67
図72．ウオッチドッグタイマのブロック図	1-68
図73．ウオッチドッグタイマ制御レジスタの構成	1-68
図74．ブザー出力回路のブロック図	1-69
図75．ブザー出力制御レジスタの構成	1-69
図76．リセット回路例	1-70
図77．リセットシーケンス	1-70
図78．リセット時の内部状態	1-71
図79．セラミック共振子外付け回路	1-72
図80．外部クロック入力回路	1-72
図81．クロック発生回路ブロック図	1-73
図82．システムクロックの状態遷移	1-74
図83．ディジットのタイミング波形(1)	1-78

図84 . デジットのタイミング波形(2).....	1-79
図85 . パラレル入出力モード時の端子結線図(M38B79FF).....	1-82
図86 . リードタイミング.....	1-83
図87 . リード時のタイミング.....	1-84
図88 . プログラム時のタイミング (ベリファイデータの出力タイミングは、リード時と同じです。).....	1-85
図89 . イレーズ時のタイミング (ベリファイデータの出力タイミングは、リード時と同じです。).....	1-86
図90 . プログラム、イレーズアルゴリズムフローチャート.....	1-88
図91 . シリアル入出力モード時の端子結線図(M38B79FF).....	1-90
図92 . リード時のタイミング.....	1-92
図93 . プログラム時のタイミング.....	1-93
図94 . プログラムベリファイ時のタイミング.....	1-93
図95 . イレーズ時のタイミング.....	1-94
図96 . イレーズベリファイ時のタイミング.....	1-94
図97 . エラーチェック時のタイミング.....	1-95
図98 . フラッシュメモリ制御レジスタの構成.....	1-97
図99 . フラッシュコマンドレジスタのビット構成.....	1-98
図100 . CPU書き換えモードでのCPUモードレジスタのビット構成.....	1-98
図101 . CPU書き換えモードでのプログラム、イレーズ実行時フローチャート.....	1-100

第2章 応用

図2.1.1 入出力ポート関連レジスタのメモリ配置.....	2-2
図2.1.2 ポートPiの構成(i = 0 ~ 7, 9, A).....	2-3
図2.1.3 ポートP8の構成.....	2-3
図2.1.4 ポートPBの構成.....	2-4
図2.1.5 ポートPi方向レジスタの構成(i = 1, 3 ~ 7, 9, A).....	2-4
図2.1.6 ポートP8方向レジスタの構成.....	2-5
図2.1.7 ポートPB方向レジスタの構成.....	2-5
図2.1.8 プルアップ制御レジスタ1の構成.....	2-6
図2.1.9 プルアップ制御レジスタ2の構成.....	2-6
図2.1.10 プルアップ制御レジスタ3の構成.....	2-7
図2.2.1 タイマ関連レジスタのメモリ配置.....	2-11
図2.2.2 タイマ(i=1, 3 ~ 6)の構成.....	2-12
図2.2.3 タイマ2の構成.....	2-12
図2.2.4 タイマ6PWMレジスタの構成.....	2-13
図2.2.5 タイマ12モードレジスタの構成.....	2-13
図2.2.6 タイマ34モードレジスタの構成.....	2-14
図2.2.7 タイマ56モードレジスタの構成.....	2-14
図2.2.8 タイマX(下位、上位)の構成.....	2-15
図2.2.9 タイマXモードレジスタ1の構成.....	2-15
図2.2.10 タイマXモードレジスタ2の構成.....	2-16
図2.2.11 割り込み要求レジスタ1の構成.....	2-17
図2.2.12 割り込み要求レジスタ2の構成.....	2-17

図2.2.13	割り込み制御レジスタ1の構成	2-18
図2.2.14	割り込み制御レジスタ2の構成	2-18
図2.2.15	タイマの接続と分周比の設定	2-20
図2.2.16	関連レジスタの設定	2-21
図2.2.17	制御手順	2-22
図2.2.18	周辺回路例	2-23
図2.2.19	タイマの接続と分周比の設定	2-23
図2.2.20	関連レジスタの設定	2-24
図2.2.21	制御手順	2-24
図2.2.22	入力パルス有効又は無効の判定方法	2-25
図2.2.23	関連レジスタの設定	2-26
図2.2.24	制御手順	2-27
図2.2.25	タイマの接続と分周比の設定	2-28
図2.2.26	関連レジスタの設定	2-29
図2.2.27	制御手順	2-30
図2.2.28	タイマの接続とタイマX/RTP設定値テーブル例	2-32
図2.2.29	RTP出力例	2-32
図2.2.30	関連レジスタの設定	2-33
図2.2.31	制御手順	2-34
図2.3.1	シリアルI/O関連レジスタのメモリ配置	2-35
図2.3.2	シリアルI/O1自動転送データポインタの構成	2-36
図2.3.3	シリアルI/O1制御レジスタ1の構成	2-36
図2.3.4	シリアルI/O1制御レジスタ2の構成	2-37
図2.3.5	シリアルI/O1レジスタ/転送カウンタの構成	2-38
図2.3.6	シリアルI/O1制御レジスタ3の構成	2-38
図2.3.7	ボーレートジェネレータの構成	2-39
図2.3.8	UART制御レジスタの構成	2-39
図2.3.9	シリアルI/O2制御レジスタの構成	2-40
図2.3.10	シリアルI/O2ステータスレジスタの構成	2-41
図2.3.11	シリアルI/O2送信/受信バッファレジスタの構成	2-41
図2.3.12	シリアルI/O3制御レジスタの構成	2-42
図2.3.13	シリアルI/O3レジスタの構成	2-42
図2.3.14	割り込み要因切り替えレジスタの構成	2-43
図2.3.15	割り込み要求レジスタ1の構成	2-43
図2.3.16	割り込み要求レジスタ2の構成	2-44
図2.3.17	割り込み制御レジスタ1の構成	2-44
図2.3.18	割り込み制御レジスタ2の構成	2-45
図2.3.19	シリアルI/O1の接続例(1)	2-46
図2.3.20	シリアルI/O1の接続例(2)	2-47
図2.3.21	シリアルI/O1のモード	2-48
図2.3.22	接続図	2-49
図2.3.23	タイミング図	2-49
図2.3.24	送信側関連レジスタの設定	2-50
図2.3.25	送信データの設定	2-50
図2.3.26	制御手順	2-51
図2.3.27	接続図	2-52

図2.3.28	シリアルデータ送受信タイミング図	2-52
図2.3.29	関連レジスタの設定	2-53
図2.3.30	制御手順	2-54
図2.3.31	シリアル/O2の接続例(1)	2-55
図2.3.32	シリアル/O2の接続例(2)	2-56
図2.3.33	シリアル/O2のモード	2-57
図2.3.34	シリアル/O2の転送データフォーマット	2-57
図2.3.35	接続図	2-58
図2.3.36	タイミング図	2-58
図2.3.37	送信側関連レジスタの設定	2-59
図2.3.38	受信側関連レジスタの設定	2-60
図2.3.39	送信側制御手順	2-61
図2.3.40	受信側制御手順	2-62
図2.3.41	接続図	2-63
図2.3.42	タイミング図	2-63
図2.3.43	関連レジスタの設定	2-64
図2.3.44	送信データの設定	2-64
図2.3.45	制御手順	2-65
図2.3.46	接続図	2-66
図2.3.47	タイミング図	2-67
図2.3.48	マスタ側の関連レジスタの設定	2-68
図2.3.49	スレーブ側の関連レジスタの設定	2-68
図2.3.50	マスタ側の制御手順	2-69
図2.3.51	スレーブ側の制御手順	2-70
図2.3.52	接続図	2-71
図2.3.53	タイミング図	2-71
図2.3.54	送信側関連レジスタの設定	2-73
図2.3.55	受信側関連レジスタの設定	2-74
図2.3.56	送信側の制御手順	2-75
図2.3.57	受信側の制御手順	2-76
図2.3.58	シリアル/O3の接続例(1)	2-77
図2.3.59	シリアル/O3の接続例(2)	2-78
図2.3.60	シリアル/O3のモード	2-79
図2.3.61	接続図	2-80
図2.3.62	タイミング図	2-80
図2.3.63	送信側関連レジスタの設定	2-81
図2.3.64	送信データの設定	2-81
図2.3.65	制御手順	2-82
図2.4.1	FLDコントローラ関連レジスタのメモリ配置	2-87
図2.4.2	ポートP0ディジット出力設定切り替えレジスタの構成	2-88
図2.4.3	ポートP2ディジット出力設定切り替えレジスタの構成	2-88
図2.4.4	FLDCモードレジスタの構成	2-89
図2.4.5	Tdisp時間設定レジスタの構成	2-89
図2.4.6	Toff1時間設定レジスタの構成	2-90
図2.4.7	Toff2時間設定レジスタの構成	2-90
図2.4.8	FLDデータポインタ/FLDデータポインタリロードレジスタの構成	2-91

図2.4.9	ポートP4FLD / ポート切り替えレジスタの構成	2-91
図2.4.10	ポートP5FLD / ポート切り替えレジスタの構成	2-92
図2.4.11	ポートP6FLD / ポート切り替えレジスタの構成	2-92
図2.4.12	FLD出力制御レジスタの構成	2-93
図2.4.13	割り込み要求レジスタ2の構成	2-93
図2.4.14	割り込み制御レジスタ2の構成	2-94
図2.4.15	接続図	2-95
図2.4.16	FLD自動表示モードとセグメントを利用したキースキャンのタイミング図	2-95
図2.4.17	FLD0(P2 ₀) ~ FLD7(P2 ₇)のTscan部分の拡大図	2-95
図2.4.18	関連レジスタの設定	2-96
図2.4.19	FLDディジット割り付け例	2-99
図2.4.20	制御手順	2-100
図2.4.21	接続図	2-102
図2.4.22	FLD自動表示モードとディジットを利用したキースキャンのタイミング図	2-103
図2.4.23	関連レジスタの設定	2-104
図2.4.24	FLDディジット割り付け例	2-107
図2.4.25	制御手順	2-108
図2.4.26	接続図	2-110
図2.4.27	ソフトウェアによるFLD表示タイミング図	2-110
図2.4.28	P2 ₀ ~ P2 ₇ のキースキャン部分の拡大図	2-110
図2.4.29	関連レジスタの設定	2-111
図2.4.30	FLDディジット割り付け例	2-112
図2.4.31	制御手順	2-113
図2.4.32	接続図	2-114
図2.4.33	38B7及びM35501FPのタイミング図	2-115
図2.4.34	ディジット及びセグメント出力のタイミング図(拡大)	2-115
図2.4.35	関連レジスタの設定	2-116
図2.4.36	FLDディジット割り付け例	2-119
図2.4.37	制御手順	2-119
図2.4.38	接続図	2-120
図2.4.39	38B7及びM35501FPのタイミング図(正常時)	2-121
図2.4.40	38B7及びM35501FPのタイミング図(異常時)	2-121
図2.4.41	関連レジスタの設定	2-122
図2.4.42	制御手順	2-124
図2.5.1	A-D変換器関連レジスタのメモリ配置	2-127
図2.5.2	AD/DA制御レジスタの構成	2-127
図2.5.3	A-D変換レジスタ(下位)の構成	2-128
図2.5.4	A-D変換レジスタ(上位)の構成	2-128
図2.5.5	割り込み要因切り替えレジスタの構成	2-129
図2.5.6	割り込み要求レジスタ2の構成	2-130
図2.5.7	割り込み制御レジスタ2の構成	2-130
図2.5.8	接続図	2-131
図2.5.9	関連レジスタの設定	2-131
図2.5.10	制御手順	2-132
図2.6.1	D-A変換器関連レジスタのメモリ配置	2-134
図2.6.2	D-A変換レジスタの構成	2-134

図2.6.3	AD/DA制御レジスタの構成	2-135
図2.6.4	接続図	2-136
図2.6.5	関連レジスタの設定	2-136
図2.6.6	制御手順	2-137
図2.7.1	PWM関連レジスタのメモリ配置	2-138
図2.7.2	PWMレジスタ(上位)の構成	2-138
図2.7.3	PWMレジスタ(下位)の構成	2-139
図2.7.4	PWM制御レジスタの構成	2-139
図2.7.5	接続図	2-140
図2.7.6	関連レジスタの設定	2-140
図2.7.7	制御手順	2-141
図2.7.8	PWM ₀ 出力	2-141
図2.8.1	割り込み間隔判定機能関連レジスタのメモリ配置	2-142
図2.8.2	割り込み間隔判定レジスタの構成	2-142
図2.8.3	割り込み間隔判定制御レジスタの構成	2-143
図2.8.4	割り込みエッジ選択レジスタの構成	2-143
図2.8.5	割り込み要求レジスタ1の構成	2-144
図2.8.6	割り込み制御レジスタ1の構成	2-144
図2.8.7	接続図	2-145
図2.8.8	機能ブロック図	2-145
図2.8.9	データ判定のタイミング図	2-145
図2.8.10	関連レジスタの設定	2-146
図2.8.11	制御手順	2-147
図2.8.12	リモコンデータ受信(タイマ2割り込み)	2-148
図2.9.1	ウォッチドッグタイマ関連レジスタのメモリ配置	2-149
図2.9.2	ウォッチドッグタイマ制御レジスタの構成	2-149
図2.9.3	CPUモードレジスタの構成	2-150
図2.9.4	ウォッチドッグタイマの接続と分周比の設定	2-151
図2.9.5	関連レジスタの設定	2-152
図2.9.6	制御手順	2-152
図2.10.1	ブザー出力回路関連レジスタのメモリ配置	2-153
図2.10.2	ブザー出力制御レジスタの構成	2-153
図2.10.3	ブザー出力回路の接続と分周比の設定	2-154
図2.10.4	関連レジスタの設定	2-154
図2.10.5	制御手順	2-154
図2.11.1	パワーオンリセット回路例	2-155
図2.11.2	RAMバックアップシステム例	2-155
図2.12.1	CPUモードレジスタの構成	2-157
図2.12.2	接続図	2-158
図2.12.3	停電時の状態遷移図	2-158
図2.12.4	関連レジスタの設定	2-159
図2.12.5	制御手順	2-160
図2.12.6	時計カウンタの構成	2-161
図2.12.7	関連レジスタの初期設定	2-162

図2.12.8	関連レジスタの停電検出後の設定	2-163
図2.12.9	制御手順	2-164
図2.13.1	38B7グループフラッシュメモリ版のメモリ配置	2-166
図2.13.2	フラッシュ関連レジスタのメモリ配置	2-167
図2.13.3	フラッシュメモリ制御レジスタの構成	2-167
図2.13.4	フラッシュコマンドレジスタの構成	2-168
図2.13.5	CPU書き換えモードでのCPUモードレジスタの構成	2-168
図2.13.6	シリアル入出力モードによる内蔵フラッシュメモリ書き換え例	2-172
図2.13.7	シリアル入出力モード時の基盤上の端子処理例(1)	2-173
図2.13.8	シリアル入出力モード時の基盤上の端子処理例(2)	2-173
図2.13.9	シリアル入出力モード時の基盤上の端子処理例(3)	2-174
図2.13.10	CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例	2-175
図2.13.11	CPU書き換えモード制御プログラム(1)例	2-176
図2.13.12	CPU書き換えモード制御プログラム(2)例	2-177
図2.13.13	CPU書き換えモード制御プログラム(3)例	2-178
図2.13.14	CPU書き換えモード制御プログラム(4)例	2-179
図2.13.15	Vpp制御回路例(1)	2-180
図2.13.16	Vpp制御回路例(2)	2-180

第3章 付録

図3.1.1	出力スイッチング特性測定回路図	3-9
図3.1.2	タイミング図	3-10
図3.2.1	電源電流特性例	3-11
図3.2.2	電源電流特性例(ウェイトモード時)	3-11
図3.2.3	高耐圧Pチャンネルオープンドレイン出力ポートの標準特性(25)	3-12
図3.2.4	高耐圧Pチャンネルオープンドレイン出力ポートの標準特性(90)	3-12
図3.2.5	Pチャンネルドライブ時のCMOS出力ポートの標準特性(25)	3-13
図3.2.6	Pチャンネルドライブ時のCMOS出力ポートの標準特性(90)	3-13
図3.2.7	Nチャンネルドライブ時のCMOS出力ポートの標準特性(25)	3-14
図3.2.8	Nチャンネルドライブ時のCMOS出力ポートの標準特性(90)	3-14
図3.2.9	A-D変換標準特性	3-15
図3.3.1	関連レジスタの設定手順	3-16
図3.3.2	割り込み要求ビットの判定手順	3-17
図3.3.3	割り込み制御レジスタ2の構成	3-17
図3.3.4	PWM ₀ 出力	3-24
図3.3.5	プロセッサステータスレジスタのフラグの初期化	3-25
図3.3.6	PLP命令実行時の手順	3-25
図3.3.7	PHP命令実行後のスタックメモリの内容	3-25
図3.3.8	10進演算時のステータスフラグ	3-26
図3.4.1	リセット入力端子の配線	3-28
図3.4.2	クロック入出力端子の配線	3-29
図3.4.3	CNVss端子の配線	3-29
図3.4.4	フラッシュメモリのVpp端子の配線	3-30
図3.4.5	Vss-Vccライン間のバイパスコンデンサ	3-30

図3.4.6	アナログ信号線と抵抗及びコンデンサ	3-31
図3.4.7	大電流が流れる信号線の配線	3-32
図3.4.8	リセット入力端子の配線	3-32
図3.4.9	発振子の裏面のVssパターン	3-33
図3.4.10	Vss - Vccライン間のバイパスコンデンサ	3-33
図3.4.11	ソフトウェアによる監視タイマ	3-34
図3.5.1	ポートPiの構成(i=1,3~7,9,A)	3-35
図3.5.2	ポートP8の構成	3-35
図3.5.3	ポートPBの構成	3-36
図3.5.4	ポートPi方向レジスタの構成(i=1,3~7,9,A)	3-36
図3.5.5	ポートP8方向レジスタの構成	3-37
図3.5.6	ポートPB方向レジスタの構成	3-37
図3.5.7	シリアル/O1自動転送データポインタの構成	3-38
図3.5.8	シリアル/O1制御レジスタ1の構成	3-38
図3.5.9	シリアル/O1制御レジスタ2の構成	3-39
図3.5.10	シリアル/O1レジスタ/転送カウンタの構成	3-40
図3.5.11	シリアル/O1制御レジスタ3の構成	3-40
図3.5.12	シリアル/O2制御レジスタの構成	3-41
図3.5.13	シリアル/O2ステータスレジスタの構成	3-41
図3.5.14	シリアル/O2送信/受信バッファレジスタの構成	3-42
図3.5.15	タイマiの構成	3-42
図3.5.16	タイマ2の構成	3-42
図3.5.17	PWM制御レジスタの構成	3-43
図3.5.18	タイマ6PWMレジスタの構成	3-43
図3.5.19	タイマ12モードレジスタの構成	3-44
図3.5.20	タイマ34モードレジスタの構成	3-44
図3.5.21	タイマ56モードレジスタの構成	3-45
図3.5.22	D-A変換レジスタの構成	3-45
図3.5.23	タイマX(下位、上位)の構成	3-46
図3.5.24	タイマXモードレジスタ1の構成	3-46
図3.5.25	タイマXモードレジスタ2の構成	3-47
図3.5.26	割り込み間隔制御レジスタの構成	3-47
図3.5.27	割り込み間隔判定制御レジスタの構成	3-47
図3.5.28	AD/DA制御レジスタの構成	3-48
図3.5.29	A-D変換レジスタ(下位)の構成	3-48
図3.5.30	A-D変換レジスタ(上位)の構成	3-49
図3.5.31	PWMレジスタ(上位)の構成	3-49
図3.5.32	PWMレジスタ(下位)の構成	3-49
図3.5.33	ポーレートジェネレータの構成	3-50
図3.5.34	UART制御レジスタの構成	3-50
図3.5.35	割り込み要因切り替えレジスタの構成	3-51
図3.5.36	割り込みエッジ選択レジスタの構成	3-51
図3.5.37	CPUモードレジスタの構成	3-52
図3.5.38	割り込み要求レジスタ1の構成	3-53
図3.5.39	割り込み要求レジスタ2の構成	3-53

図3.5.40	割り込み制御レジスタ1の構成	3-54
図3.5.41	割り込み制御レジスタ2の構成	3-54
図3.5.42	シリアルI/O3制御レジスタの構成	3-55
図3.5.43	シリアルI/O3レジスタの構成	3-55
図3.5.44	ウオッチドッグタイマ制御レジスタの構成	3-56
図3.5.45	プルアップ制御レジスタ3の構成	3-56
図3.5.46	プルアップ制御レジスタ1の構成	3-57
図3.5.47	プルアップ制御レジスタ2の構成	3-57
図3.5.48	ポートP0ディジット出力設定切り替えレジスタの構成	3-58
図3.5.49	ポートP2ディジット出力設定切り替えレジスタの構成	3-58
図3.5.50	FLDCモードレジスタの構成	3-59
図3.5.51	Tdisp時間設定レジスタの構成	3-59
図3.5.52	Toff1時間設定レジスタの構成	3-60
図3.5.53	Toff2時間設定レジスタの構成	3-60
図3.5.54	FLDデータポインタ / FLDデータポインタリロードレジスタの構成	3-61
図3.5.55	ポートP4FLD/ポート切り替えレジスタの構成	3-61
図3.5.56	ポートP5FLD/ポート切り替えレジスタの構成	3-62
図3.5.57	ポートP6FLD/ポート切り替えレジスタの構成	3-62
図3.5.58	FLD出力制御レジスタの構成	3-63
図3.5.59	ブザー出力制御レジスタの構成	3-63
図3.5.60	フラッシュメモリ制御レジスタの構成	3-64
図3.5.61	フラッシュコマンドレジスタの構成	3-64
図3.9.1	M35501FPのピン接続図	3-78
図3.9.2	機能ブロック図	3-79
図3.9.3	ポートのブロック図	3-80
図3.9.4	ディジット数の設定	3-81
図3.9.5	16ディジットモード出力波形	3-82
図3.9.6	任意ディジットモード出力波形	3-82
図3.9.7	17ディジット以上選択の接続例	3-83
図3.9.8	17ディジット以上モード出力波形	3-83
図3.9.9	38B7グループとの接続例(ディジット数1~16)	3-84
図3.9.10	38B7グループとの接続例(ディジット数17~32)	3-84
図3.9.11	リセット信号入力時のディジット出力波形	3-85
図3.9.12	パワーオンリセット回路	3-86
図3.9.13	タイミング図	3-89

表目次

第1章 ハードウェア

表1. 端子の機能説明(1)	1-5
表2. 端子の機能説明(2)	1-6
表3. サポート製品一覧	1-8
表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令	1-10
表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令	1-11
表6. 入出力ポートの機能一覧(1)	1-16
表7. 入出力ポートの機能一覧(2)	1-17
表8. 割り込みベクトル番地と優先順位	1-22
表9. FLDコントローラの概略仕様	1-44
表10. FLD自動表示モード時の端子	1-50
表11. 下位6ビットのデータとADDビットがセットされる区間の関係	1-64
表12. パラレル入出力モード時の端子対応	1-80
表13. 制御入力と各状態の対応	1-80
表14. 端子の機能説明(フラッシュメモリパラレル入出力モード)	1-81
表15. ソフトウェアコマンド一覧表(パラレル入出力モード)	1-83
表16. 直流電気的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=5V \pm 10\%$)	1-89
表17. リードオンリーモード	1-89
表18. リード/ライトモード	1-89
表19. 端子の機能説明(フラッシュメモリシリアル入出力モード)	1-91
表20. ソフトウェアコマンド一覧表(シリアル入出力モード)	1-92
表21. 交流電気的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=5V \pm 10\%$ 、 $V_{pp}=11.7 \sim 12.6V$ 、 $f(XIN)=4MHz$)	1-96

第2章 応用

表2.1.1 未使用端子の処理	2-8
表2.3.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例	2-72
表2.3.2 シリアル/O1制御レジスタ3 SIO1CON3(001C ₁₆ 番地)の設定例(内部クロック選択時)	2-84
表2.3.3 シリアル/O1制御レジスタ3 SIO1CON3(001C ₁₆ 番地)の設定例(外部クロック選択時)	2-84
表2.4.1 FLD自動表示RAMマップ	2-98
表2.4.2 FLD自動表示RAMマップ例	2-99
表2.4.3 FLD自動表示RAMマップ	2-106
表2.4.4 FLD自動表示RAMマップ例	2-107
表2.4.5 FLD表示RAMマップ例	2-112
表2.4.6 FLD自動表示RAMマップ	2-118
表2.11.1 RESET端子の状態が L 期間の端子状態	2-156
表2.13.1 パラレル書き込み時のEPROMプログラマ設定	2-169
表2.13.2 シリアル書き込み時のプログラマとの接続	2-169

第3章 付録

表3.1.1	絶対最大定格	3-2
表3.1.2	推奨動作条件(1).....	3-3
表3.1.3	推奨動作条件(2).....	3-4
表3.1.4	電気的特性(1).....	3-5
表3.1.5	電気的特性(2).....	3-6
表3.1.6	A-D変換器特性	3-7
表3.1.7	D-A変換器特性	3-7
表3.1.8	タイミング必要条件.....	3-8
表3.1.9	スイッチング条件	3-9
表3.3.1	内部クロック選択時.....	3-20
表3.3.2	外部クロック選択時.....	3-20
表3.3.3	RESET端子の状態が [※] L'期間の端子状態.....	3-25
表3.9.1	端子の機能説明	3-79

EOL announced

第 1 章 ハードウェア

概要
特長
応用
ピン接続図
機能ブロック図
端子の機能説明
形名とメモリサイズ・パッケージ
グループ展開
機能ブロック動作説明
プログラミング上の注意事項
使用上の注意事項
マスク化発注時の提出資料
消費電力の計算方法
フラッシュメモリモード

概要

38B7グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

8ビットタイマ6本、16ビットタイマ1本、蛍光表示管自動表示回路、16チャンネル10ビットA-D変換器、自動転送機能付きシリアルI/Oなど多くの付加機能を備えており、主に音響機器や家電製品の制御に適しています。

特長

マイコンモード

基本機械語命令	71
命令実行時間	0.48 μ s
(最短命令、発振周波数4.2MHz時)	
メモリ容量 ROM	60Kバイト
RAM	2048バイト
プログラブル入出力ポート	75本
高耐圧出力ポート	52本
ソフトウエアブルアップ抵抗内蔵	
(P64 ~ P67, P7, P80 ~ P83, P9, PA, PB)	
割り込み	22要因、16ベクタ
タイマ	8ビット \times 6、16ビット \times 1
シリアルI/O1	クック同期形8ビット \times 1
(最大256 μ s自動転送機能付き)	
シリアルI/O2	8ビット \times 1
(UART又はクック同期形)	
シリアルI/O3	クック同期形8ビット \times 1
PWM	14ビット \times 1
8ビット \times 1(タイマ6と兼用)	
A-D変換器	10ビット \times 16チャンネル
D-A変換器	1チャンネル
蛍光表示管表示機能	制御端子合計56本
割り込み間隔判定機能	1本
(低速モード時も動作可)	
ウォッチドッグタイマ	16ビット \times 1
ブザー出力	1本
クロック発生回路	2回路内蔵
(セラミック共振子又は水晶共振子外付け)	
電源電圧	
高速モード時	4.0 ~ 5.5V
(発振周波数4.2MHz、高速モード選択時)	
中速モード時	2.7 ~ 5.5V(*)
(発振周波数4.2MHz、中速モード選択時)	
低速モード時	2.7 ~ 5.5V(*)
(発振周波数32kHz)	
(*) : フラッシュメモリ版は4.0 ~ 5.5Vです)	
消費電力 高速モード時	35mW
(発振周波数4.2MHz時)	
低速モード時	60 μ W
(発振周波数32kHz、電源電圧3V時)	
動作周囲温度	- 20 ~ 85

フラッシュメモリモード

電源電圧(プログラム/イレーズ時).....	V _{CC} =5V \pm 10%
プログラム/イレーズ電圧	V _{PP} =11.7 ~ 12.6V
プログラム	バイト単位
イレーズ	
一括消去	パラレル/シリアル入出力モード
ブロック消去	CPU書き換えモード
ソフトウエアコマンドによるプログラム/イレーズ制御	
プログラム/イレーズ回数	100回
動作周囲温度(プログラム/イレーズ時).....	常温

注意事項

1. フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。
2. フラッシュメモリ版の電源電圧範囲はV_{CC}=4.0 ~ 5.5Vです。

応用

音響機器、VTR、家電製品など

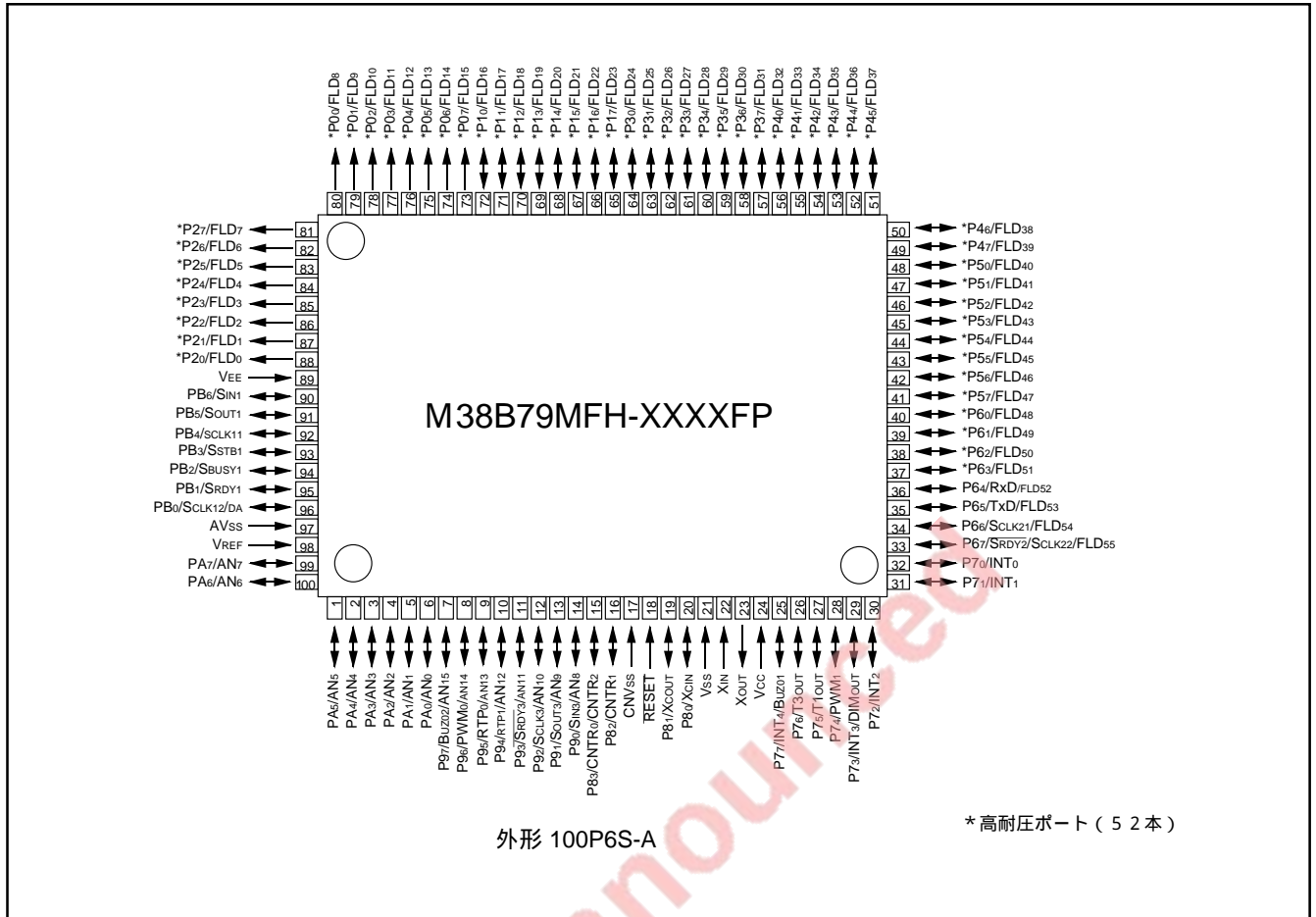


図1 . M38B79MFH-XXXXFPのピン接続図

機能ブロック図

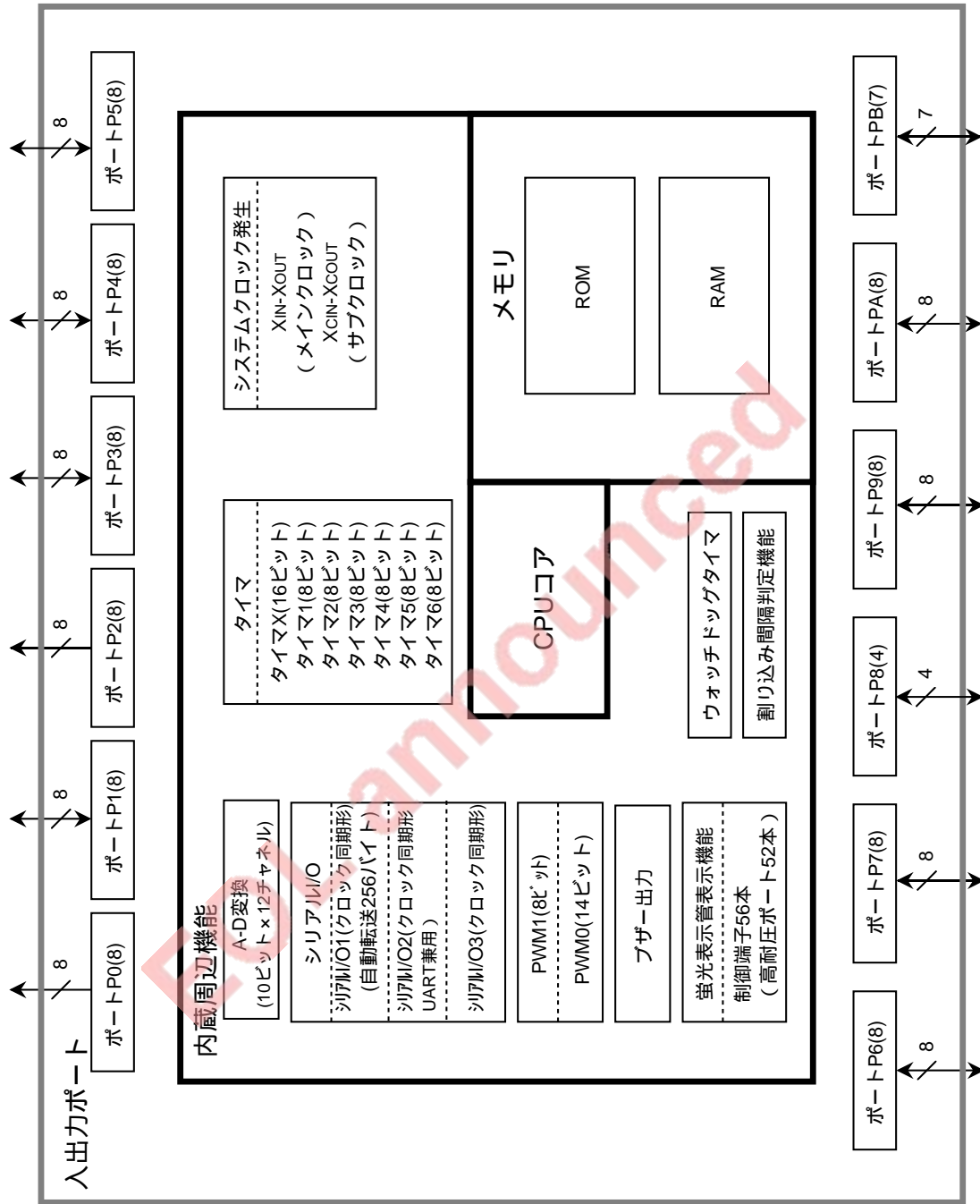


図2. 機能ブロック図

端子の機能説明

表1. 端子の機能説明(1)

端子名	名称	機能	
			ポート以外の機能
VCC、VSS	電源入力	Vccに4.0~5.5V、Vssに0Vを印加します。	
CNVSS	CNVSS	Vssに接続して下さい。 フラッシュメモリモードでは、VPP電源入力端子になります。	
VEE	プルアップ電源入力	ポートP0、P1、P2、P3のプルアップ抵抗に供給する電圧を印加します。	
VREF	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AVSS	アナログ電源入力	A-D変換器のアナログ電源入力端子です。この端子はVssに接続してください	
RESET	リセット入力	アクティブ“L”のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
P00/FLD8 - P07/FLD15	出力ポートP0	8ビットの出力ポートで、出力形式は高耐圧Pチャネルオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時には“VEEレベル”になります。	FLD自動表示端子
P10/FLD16 - P17/FLD23	入出力ポートP1	8ビットの入出力ポートです。 プログラムによりビット単位で入出力の指定が可能です。 リセット時には入力モードになります。 低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時には“VEEレベル”になります。	FLD自動表示端子
P20/FLD0 - P27/FLD7	出力ポートP2	P0とほぼ同等の機能を持った8ビット出力ポートです。 出力形式は高耐圧Pチャネルオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時には“VEEレベル”になります。	FLD自動表示端子
P30/FLD24 - P37/FLD31	入出力ポートP3	P1とほぼ同等の機能を持った8ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時には“VEEレベル”になります。	FLD自動表示端子
P40/FLD32 - P47/FLD39	入出力ポートP4	P1とほぼ同等の機能を持った8ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵していません。	FLD自動表示端子
P50/FLD40 - P57/FLD47	入出力ポートP5	P1とほぼ同等の機能を持った8ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵していません。	FLD自動表示端子
P60/FLD48 - P63/FLD51	入出力ポートP6	P1とほぼ同等の機能を持った4ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵していません。	FLD自動表示端子
P64/RxD/FLD52 P65/TxD/FLD53 P66/SCLK21/FLD54 P67/SRDY2/SCLK22/FLD55		4ビット入出力ポートです。入力ポートは低電圧入力レベル、RxD、SCLK21、SCLK22はCMOS入力レベルです。 出力形式はCMOS3ステートです。	FLD自動表示端子 シリアル/O2の機能端子

表2. 端子の機能説明(2)

端子名	名称	機能	ポート以外の機能
P70/INT0 P71/INT1 P72/INT2	入出力ポートP7	8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	割り込み入力端子
P73/INT3/DIMOUT			割り込み入力端子 ディマ-信号出力端子
P74/PWM1			PWM出力端子
P75/T1OUT P76/T3OUT			タイマ出力端子
P77/INT4/BUZ01			割り込み入力端子 ブザー-出力端子
P80/XCIN P81/XCOUT	入出力ポートP8	P7とほぼ同等の機能を持った4ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	ラック発生回路の入出力端子 (共振子を接続します。)
P82/CNTR1 P83/CNTR0/CNTR2			タイマ入力端子 タイマ出力端子
P90/SIN3/AN8 P91/SOUT3/AN9 P92/SCLK3/AN10 P93/SRDY3/AN11	入出力ポートP9	P7とほぼ同等の機能を持った8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアル/O3の機能端子 A-D変換器の入力端子
P94/RTP1/AN12 P95/RTP0/AN13			リアルタイムポート出力 A-D変換器の入力端子
P96/PWM0/AN14			14ビットPWM出力 A-D変換器の入力端子
P97/BUZ02/AN15			ブザー-出力端子 A-D変換器の入力端子
PA0/AN0 ~ PA7/AN7	入出力ポートPA	P7とほぼ同等の機能を持った8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器の入力端子
PB0/SCLK12/DA	入出力ポートPB	P7とほぼ同等の機能を持った7ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアル/O1の機能端子 D-A変換器の出力端子
PB1/SRDY1 PB2/SBUSY1 PB3/SSTB1 PB4/SCLK11 PB5/SOUT1 PB6/SIN1			シリアル/O1の機能端子

形名とメモリサイズ・パッケージ

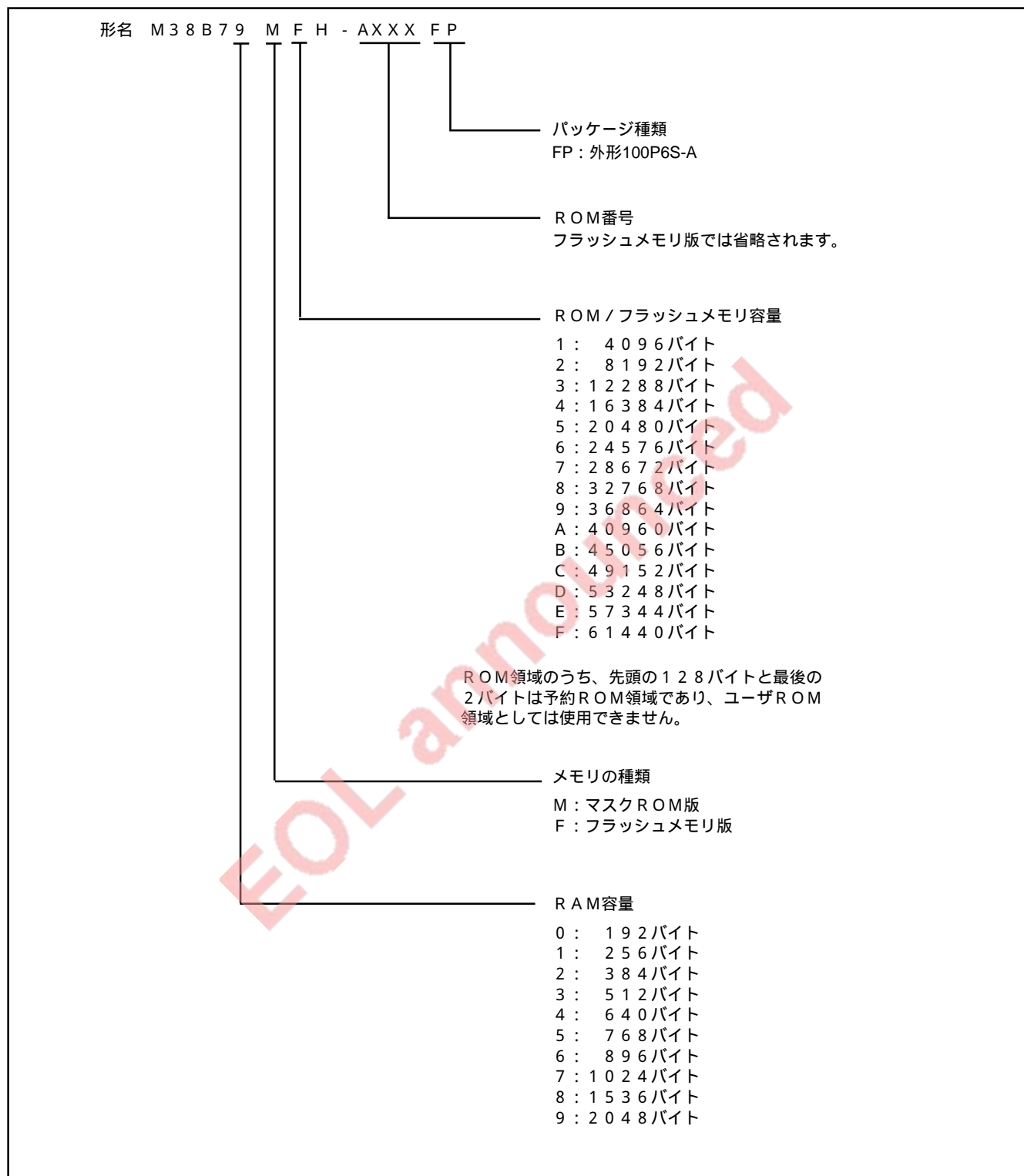


図3. 形名とメモリサイズ・パッケージ

グループ展開

38B7グループは次のような展開を計画しています。

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

メモリ容量

フラッシュメモリ容量 60Kバイト

マスクROM容量 60Kバイト

RAM容量 2048バイト

パッケージ

100P6S-A プラスチックモールドQFP



図4．ROM及びRAM展開計画

現在サポートを行っている製品を下記に示します。

表3．サポート製品一覧

2001年11月現在

製品形名	ROM容量(バイト) ()内は1-ザ ROM容量	RAM容量 (バイト)	パッケージ	備考
M38B79MFH-XXXXFP	61440 (61310)	2048	100P6S-A	マスクROM版
M38B79FFFP				フラッシュメモリ版

機能ブロック動作説明

中央演算処理装置(CPU)

38B7グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

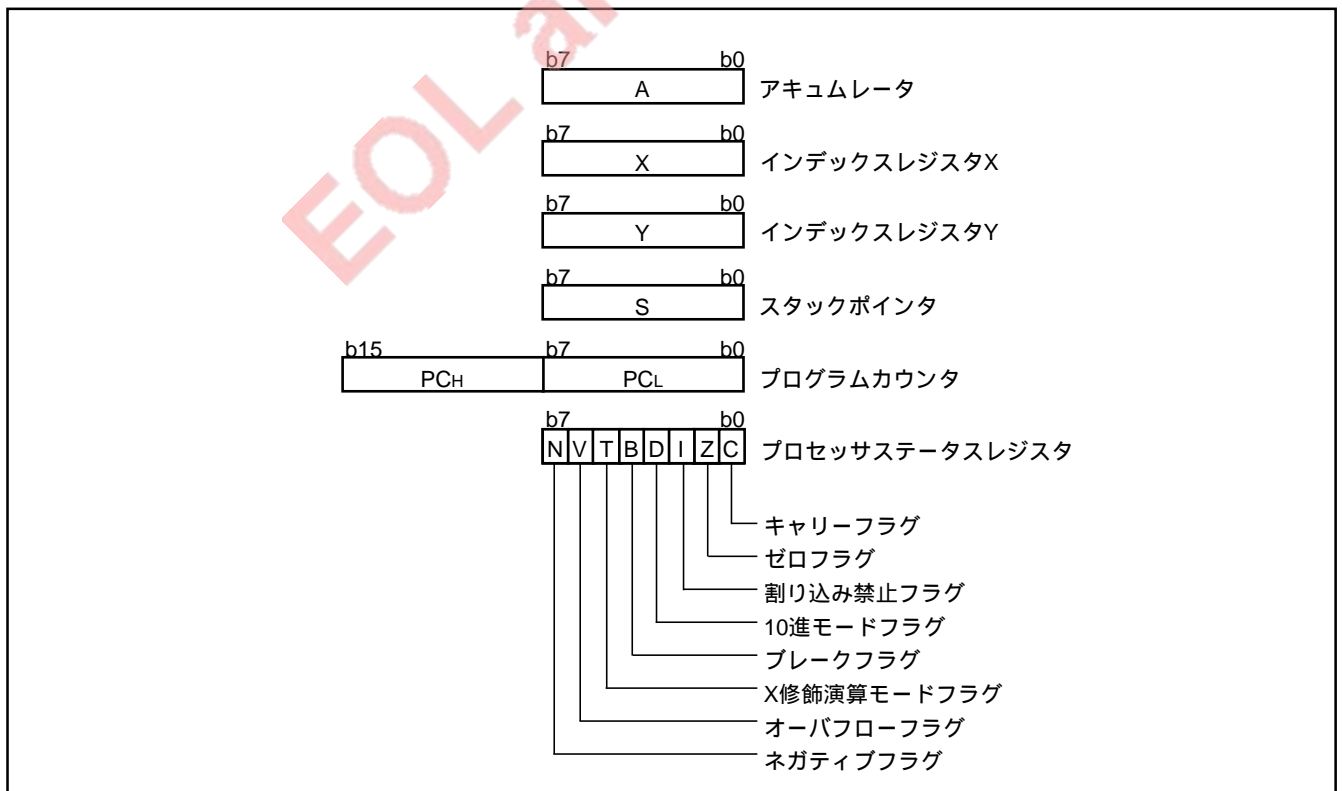


図5. 740ファミリ CPUの構成

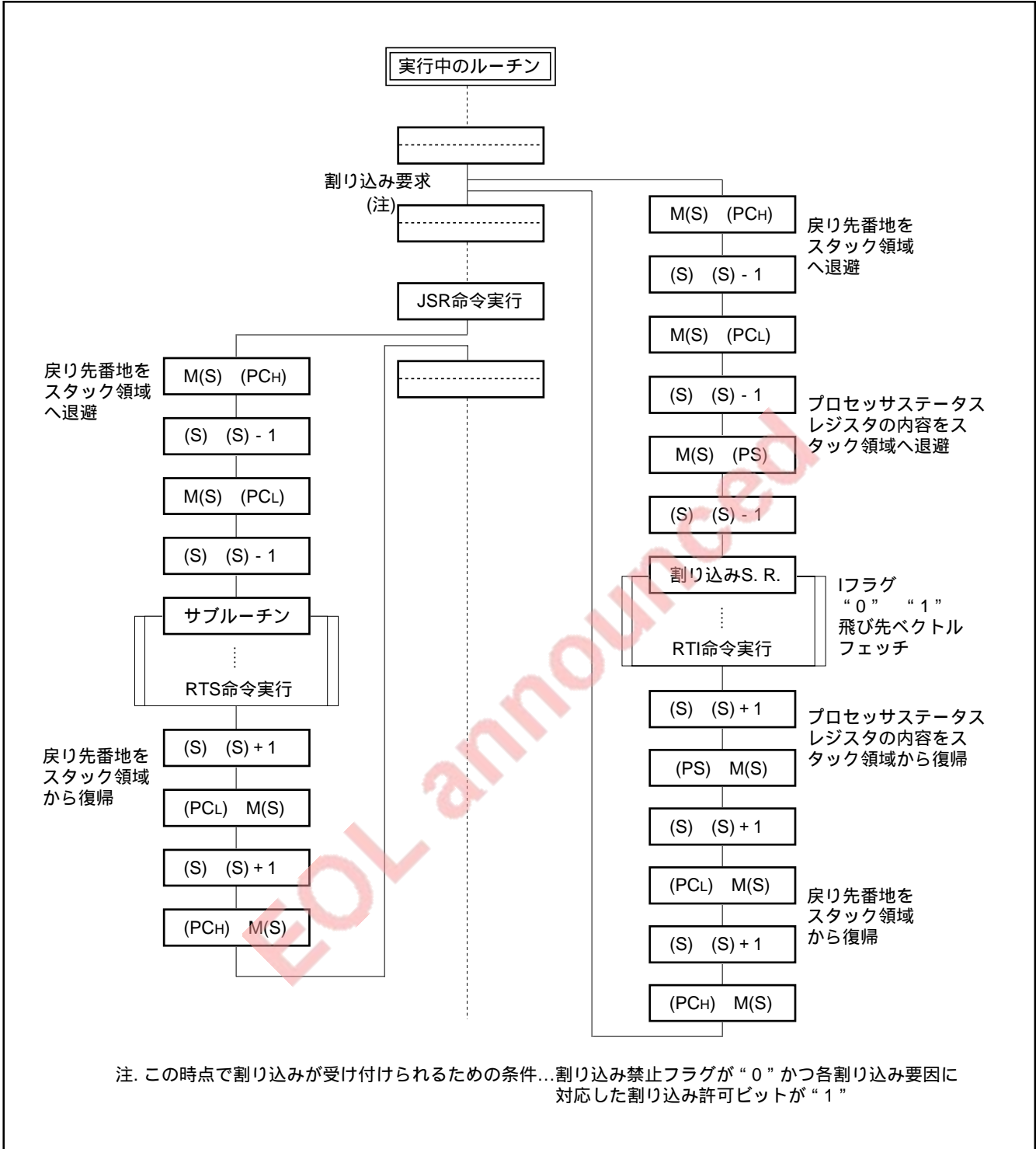


図6. スタックへの退避及び復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はポローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

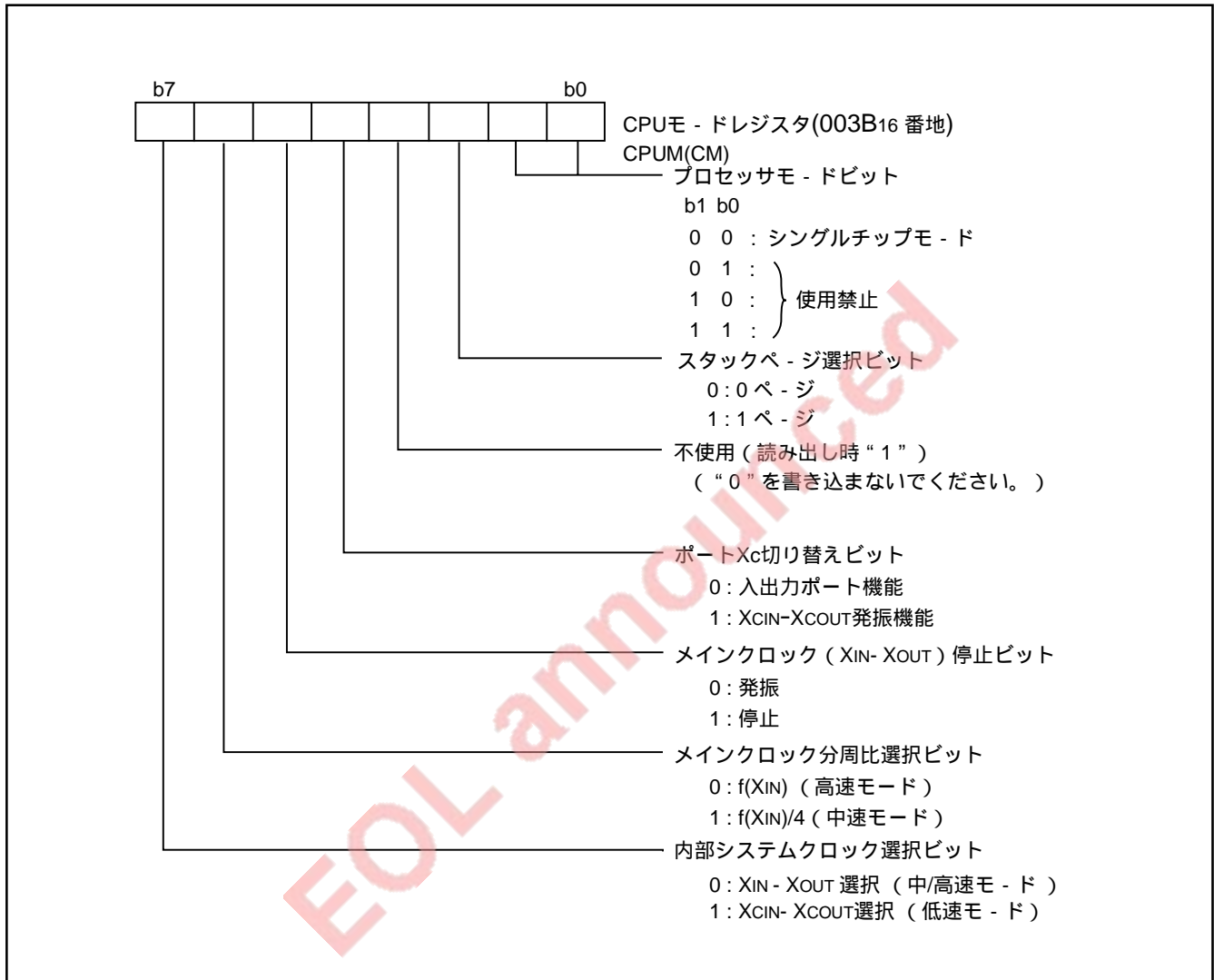


図7 . CPUモードレジスタの構成

メモリ

SFR領域

入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

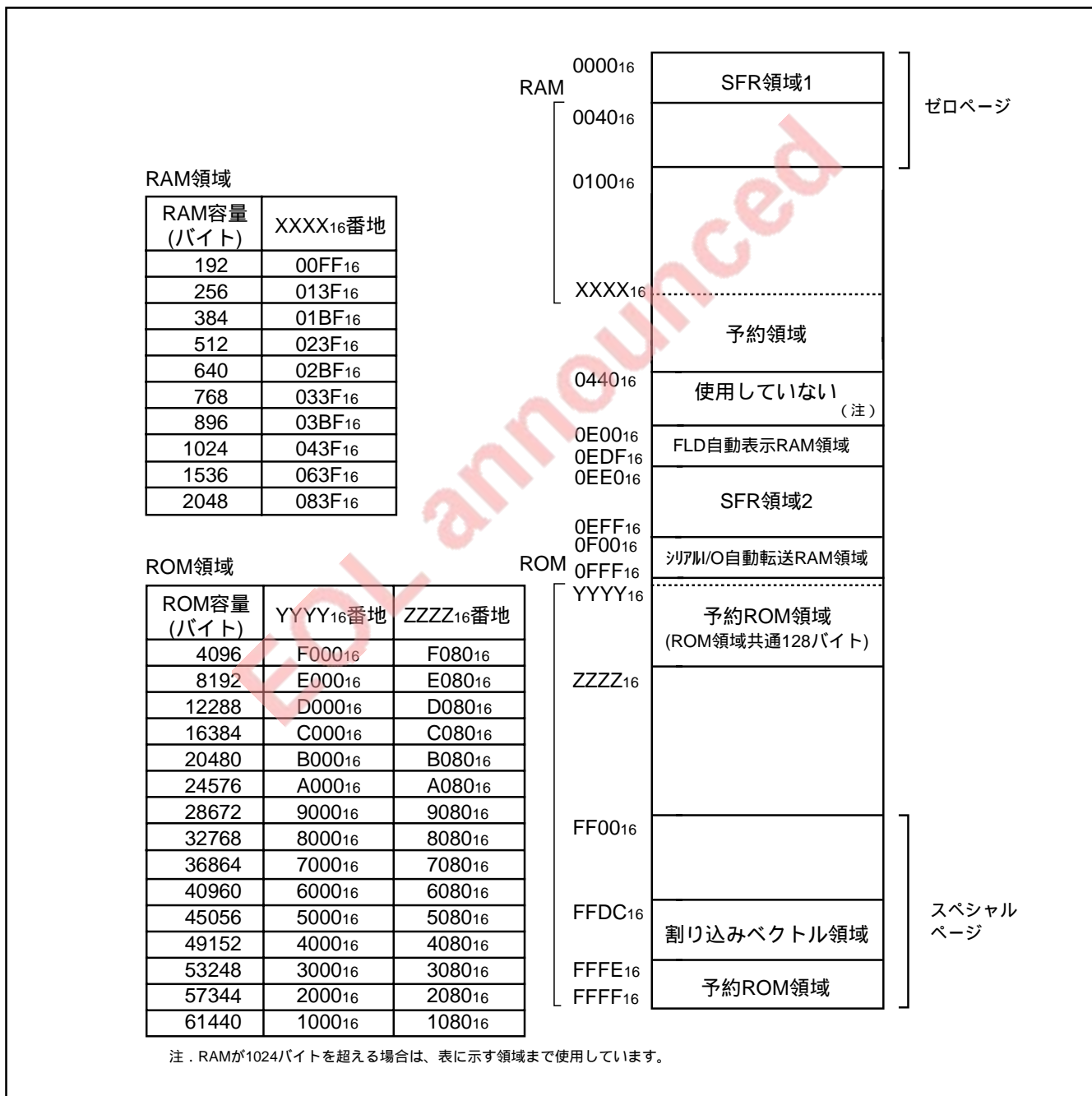


図8．メモリ配置

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマ1(T1)
0001 ₁₆		0021 ₁₆	タイマ2(T2)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ3(T3)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマ4(T4)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	タイマ5(T5)
0005 ₁₆		0025 ₁₆	タイマ6(T6)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	PWM制御レジスタ(PWMCON)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマ6PWMレジスタ(T6PWM)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマ12モードレジスタ(T12M)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ34モードレジスタ(T34M)
000A ₁₆	ポートP5(P5)	002A ₁₆	タイマ56モードレジスタ(T56M)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	D-A変換レジスタ(DA)
000C ₁₆	ポートP6(P6)	002C ₁₆	タイマX(下位)(TXL)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	タイマX(上位)(TXH)
000E ₁₆	ポートP7(P7)	002E ₁₆	タイマXモードレジスタ1(TXM1)
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	タイマXモードレジスタ2(TXM2)
0010 ₁₆	ポートP8(P8)	0030 ₁₆	割り込み間隔判定レジスタ(IID)
0011 ₁₆	ポートP8方向レジスタ(P8D)	0031 ₁₆	割り込み間隔判定制御レジスタ(IIDCON)
0012 ₁₆	ポートP9(P9)	0032 ₁₆	AD/DA制御レジスタ(ADCON)
0013 ₁₆	ポートP9方向レジスタ(P9D)	0033 ₁₆	A-D変換レジスタ(下位)(ADL)
0014 ₁₆	ポートPA(PA)	0034 ₁₆	A-D変換レジスタ(上位)(ADH)
0015 ₁₆	ポートPA方向レジスタ(PAD)	0035 ₁₆	PWMレジスタ(上位)(PWMH)
0016 ₁₆	ポートPB(PB)	0036 ₁₆	PWMレジスタ(下位)(PWML)
0017 ₁₆	ポートPB方向レジスタ(PBD)	0037 ₁₆	ポーレートジェネレータ(BRG)
0018 ₁₆	シリアル/O1自動転送データポインタ(SIO1DP)	0038 ₁₆	UART制御レジスタ(UARTCON)
0019 ₁₆	シリアル/O1制御レジスタ1(SIO1CON1)	0039 ₁₆	割り込み要因切り替えレジスタ (IFR)
001A ₁₆	シリアル/O1制御レジスタ2(SIO1CON2)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	シリアル/O1レジスタ/転送カウンタ(SIO1)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	シリアル/O1制御レジスタ3(SIO1CON3)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアル/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	シリアル/O2ステータスレジスタ(SIO2STS)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアル/O2送信/受信バッファレジスタ(TB/RB)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0EEC ₁₆	シリアル/O3制御レジスタ(SIO3CON)	0EF6 ₁₆	Toff1時間設定レジスタ(TOFF1)
0EED ₁₆	シリアル/O3レジスタ(SIO3)	0EF7 ₁₆	Toff2時間設定レジスタ(TOFF2)
0EEE ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)	0EF8 ₁₆	FLDデータポインタ(FLDDP)
0EEF ₁₆	プルアップ制御レジスタ3(PULL3)	0EF9 ₁₆	ポートP4FLD/ポート切り替えレジスタ(P4FPR)
0EF0 ₁₆	プルアップ制御レジスタ1(PULL1)	0EFA ₁₆	ポートP5FLD/ポート切り替えレジスタ(P5FPR)
0EF1 ₁₆	プルアップ制御レジスタ2(PULL2)	0EFB ₁₆	ポートP6FLD/ポート切り替えレジスタ(P6FPR)
0EF2 ₁₆	P0デビット出力設定切り替えレジスタ(P0DOR)	0EFC ₁₆	FLD出力制御レジスタ(FLDCON)
0EF3 ₁₆	P2デビット出力設定切り替えレジスタ(P2DOR)	0EFD ₁₆	ブザー出力制御レジスタ(BUZCON)
0EF4 ₁₆	FLDCモードレジスタ(FLDM)	0EFE ₁₆	フラッシュメモリ制御レジスタ(FCON) (注)
0EF5 ₁₆	Tdisp時間設定レジスタ(TDISP)	0EFF ₁₆	フラッシュコマンドレジスタ(FCMD) (注)

注．フラッシュメモリ版のみ存在。

図9．SFR(スペシャルファンクションレジスタ)メモリマップ

1

入出力ポート

方向レジスタ

入出力ポート P 1、P 3、P 4、P 5、P 6、P 7、P 8、P 9、P A、P B は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポート、“0”にクリアすると入力ポートとなります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

高耐圧出力ポート

高耐圧出力ポート P 0、P 1、P 2、P 3、P 4、P 5、P 6 0 ~ P 6 3 は高耐圧 P チャネルオープンドレイン出力で、

耐圧は $V_{CC} - 45V$ あります。P 0、P 1、P 2、P 3 は V_{EE} を負電源とするプルダウン抵抗を内蔵しています。ポートラッチはリセット時、P チャネル出力トランジスタ遮断状態ですので、プルダウン抵抗を介して V_{EE} レベル(“L”)になります。

F L D C モードレジスタ(0EF4₁₆番地)のビット7に“1”を書き込むと、高耐圧 P チャネルトランジスタを駆動するインバータの駆動能力を弱めて高耐圧ポートの出力の立ち上がり波形をなまらせることができます。リセット時は F L D C モードレジスタのビット7は“0”(駆動能力は強い)になっています。

プルアップ制御レジスタ

ポート P 6 4 ~ P 6 7、P 7、P 8 0 ~ P 8 3、P 9、P A、P B は、プログラマブルプルアップ抵抗を内蔵しています。各プルアップ制御レジスタの対応するビットが“1”でかつ対応するポートの方向レジスタが入力モードに設定されている場合のみ、プルアップ抵抗が有効です。

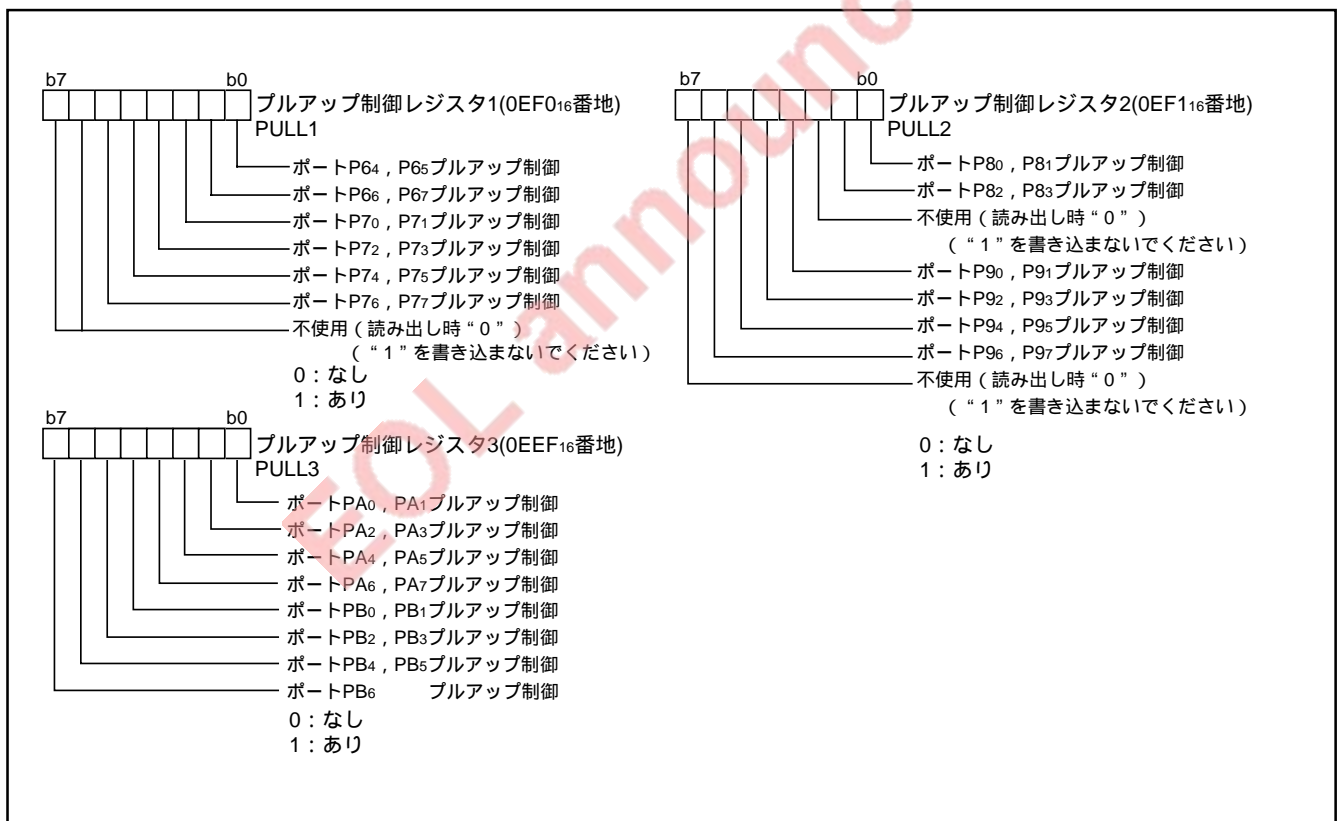


図10. プルアップ制御レジスタPULL1、PULL2、PULL3の構成

表6. 入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連する SFR	図番
P00/FLD8 ~ P07/FLD15	ホトP0	出力	高耐圧Pチャネルオープンドレイン出力 プルダウン抵抗内蔵	FLD自動表示機能	FLDCFドレジスタ P0デバッグ出力設定 切り替えレジスタ	1
P10/FLD16 ~ P17/FLD23	ホトP1	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープンドレイン出力 プルダウン抵抗内蔵		FLDCFドレジスタ	2
P20/FLD0 ~ P27/FLD7	ホトP2	出力	高耐圧Pチャネルオープンドレイン出力 プルダウン抵抗内蔵	FLD自動表示機能	FLDCFドレジスタ P2デバッグ出力設定 切り替えレジスタ	1
P30/FLD24 ~ P37/FLD31	ホトP3	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープンドレイン出力 プルダウン抵抗内蔵		FLDCFドレジスタ	2
P40/FLD32 ~ P47/FLD39	ホトP4	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープンドレイン出力	FLD自動表示機能	FLDCFドレジスタ ホトP4FLD/ホト切り 替えレジスタ	2
P50/FLD40 ~ P57/FLD47	ホトP5	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープンドレイン出力		FLDCFドレジスタ ホトP5FLD/ホト切り 替えレジスタ	2
P60/FLD48 ~ P63/FLD51	ホトP6	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープンドレイン出力	FLD自動表示機能 シリアル/O2機能入出力	FLDCFドレジスタ ホトP6FLD/ホト切り 替えレジスタ	2
P64/RxD / FLD52	ホトP7	入出力 ビット単位	低電圧入力レベル (ポート入力) CMOS入力レベル (RxD, SCLK21, SCLK22) CMOS3ステート出力		FLDCFドレジスタ シリアル/O2制御レジスタ UART制御レジスタ	3
P65/TxD / FLD53 P66/SCLK21 / FLD54					4	
P67/SRDY2 / SCLK22/FLD55					5	
P70/INT0 P71/INT1	ホトP7	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	外部割り込み入力	割り込みエッジ選択レジスタ	6
P72/INT2					割り込みエッジ選択レジスタ 割り込み間隔判定 制御レジスタ	
P73/INT3/DIMOUT				外部割り込み入力 タイマ-信号出力	割り込みエッジ選択レジスタ FLD出力制御レジスタ	7
P74/PWM1				PWM出力	タイマ56Eドレジスタ	8
P75/T1OUT				タイマ出力	タイマ12Eドレジスタ	
P76/T3OUT				タイマ出力	タイマ34Eドレジスタ	
P77/INT4/BUZ01					ブザー出力 外部割り込み入力	ブザー出力制御レジスタ 割り込みエッジ選択レジスタ
P80/XCIN	ホトP8	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	サブクック発生回路 入出力	CPUEドレジスタ	10
P81/XCOUT						11
P82/CNTR1				外部割込入力	割り込みエッジ選択レジスタ	6
P83/CNTR0 /CNTR2						12

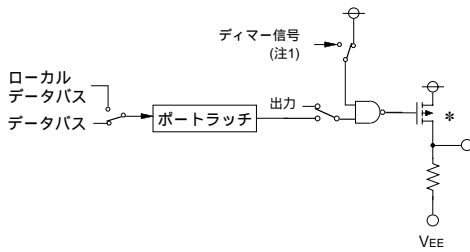
表7. 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P90/SIN3/AN8	ポートP9	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O3機能入出力 A-D変換入力	シリアル/O3制御レジスタ AD/DA制御レジスタ	6
P91/SOUT3/AN9 P92/SCLK3/ AN10						13
P93/SRDY3/ AN11						14
P94/RTP1/AN12 P95/RTP0/AN13				リアルタイムポート出力 A-D変換入力	タイムアウトレジスタ2 AD/DA制御レジスタ	15
P96/PWM0/ AN14				PWM信号出力 A-D変換入力	PWM制御レジスタ AD/DA制御レジスタ	16
P97/BUZ02/ AN15				ブザー出力 A-D変換入力	ブザー出力制御レジスタ AD/DA制御レジスタ	16
PA0/AN0 - PA7/AN7	ポートPA	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力	AD/DA制御レジスタ	17
PB0/SCLK12/DA	ポートPB	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O1機能入出力 D-A変換出力	シリアル/O1制御レジスタ1,2 AD/DA制御レジスタ	18
PB1/SRDY1				シリアル/O1機能入出力	シリアル/O1制御レジスタ1,2	19
PB2/SBUSY1						18
PB3/SSTB1						20
PB4/SCLK11 PB5/SOUT1						21
PB6/SIN1						6

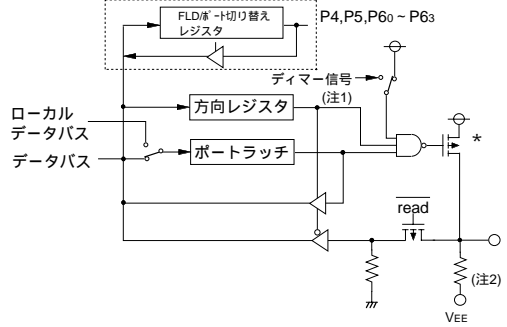
注1. STP命令実行中は各端子の入力レベルを0VあるいはVccにしてください。電位が不安定な場合、入力段のゲートに貫通電源電流が流れ、電源電流が増加します。

2. ダブルファンクションポートを機能入力端子として使用方法については、関連する頁を参照して下さい。

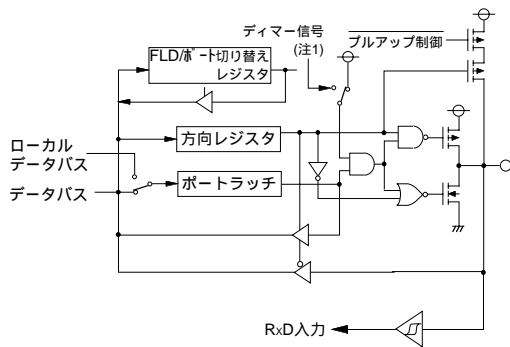
(1)ポートP0, P2



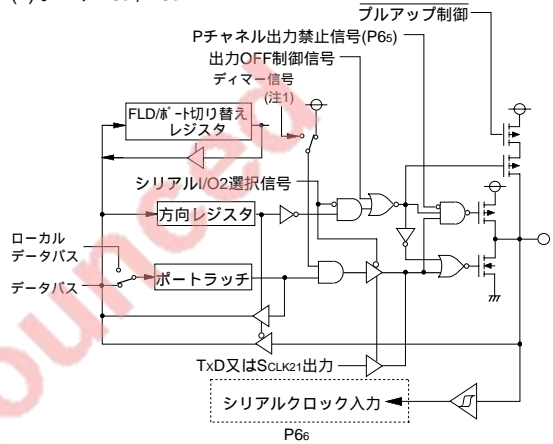
(2)ポートP1, P3, P4, P5, P60 ~ P63



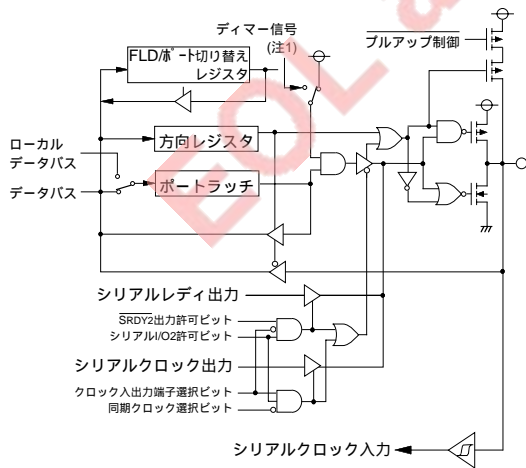
(3)ポートP64



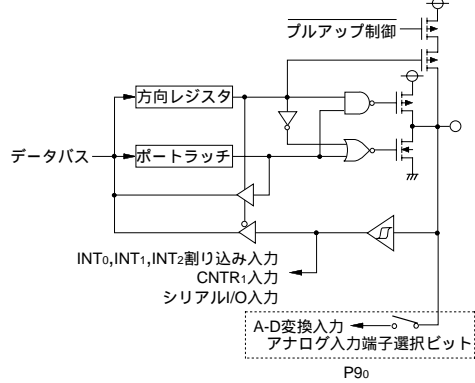
(4)ポートP65, P66



(5)ポートP67



(6)ポートP70 ~ P72, P82, P90, PB6



* 高耐圧Pチャネルトランジスタ
注1. デイマー信号はToff時間を設定する信号です。
注2. P4, P5, P60 ~ P63はブルダウン抵抗を内蔵していません。

図11. ポートのブロック図(1)

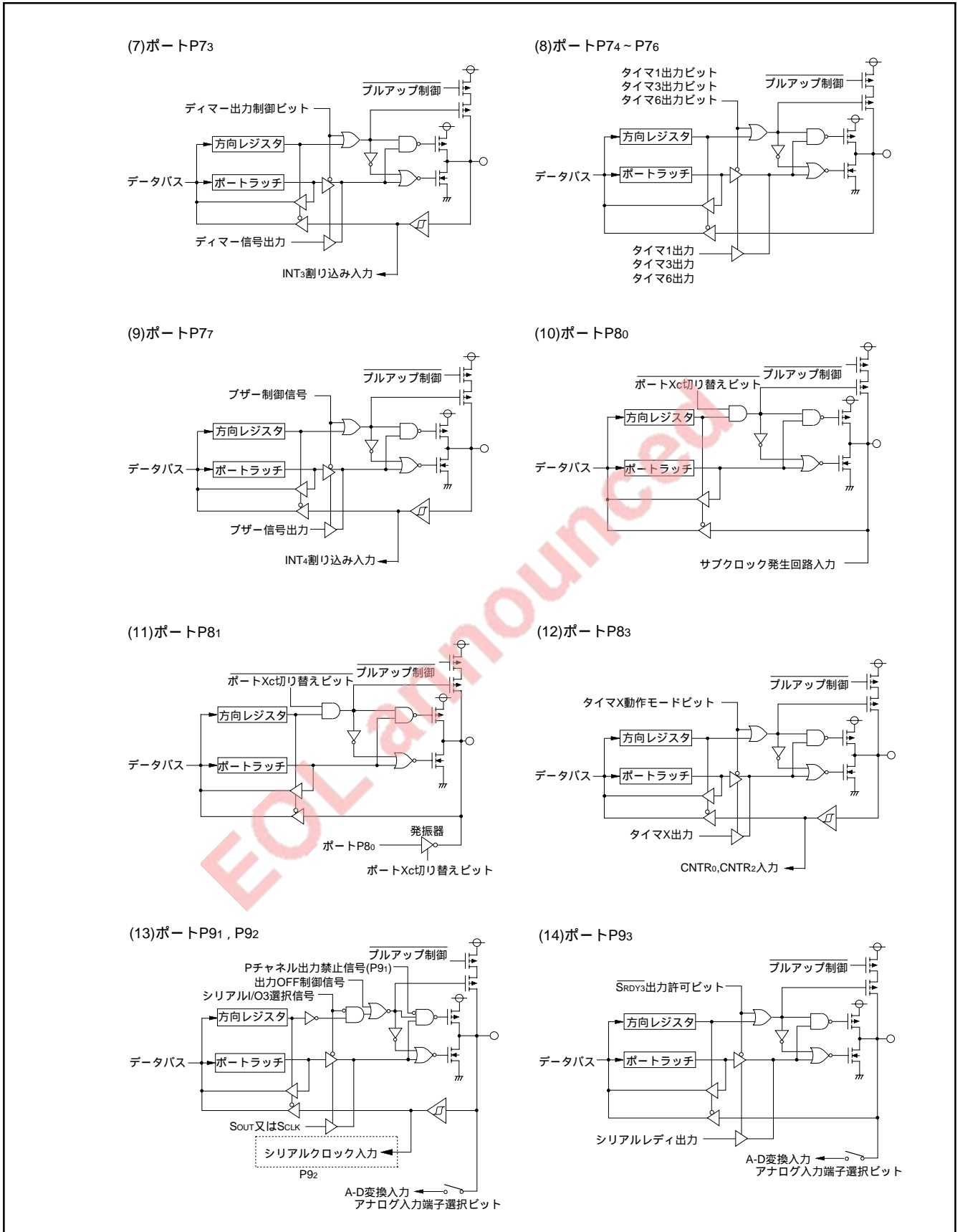
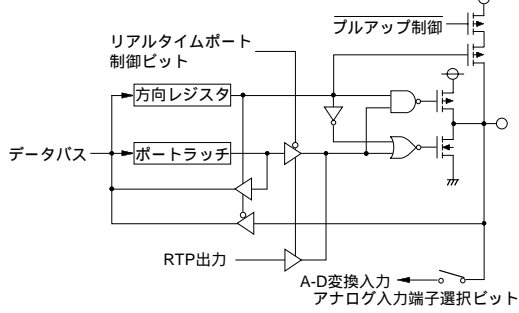
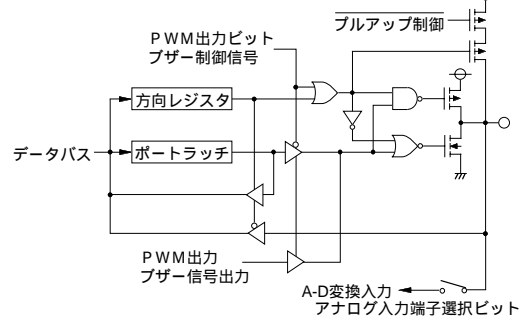


図12. ポートのブロック図(2)

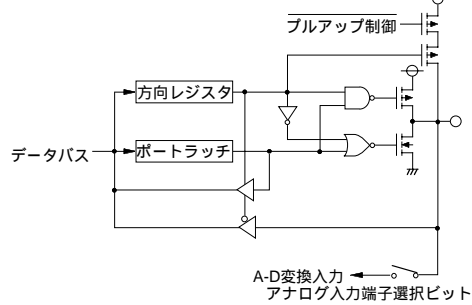
(15)ポートP94, P95



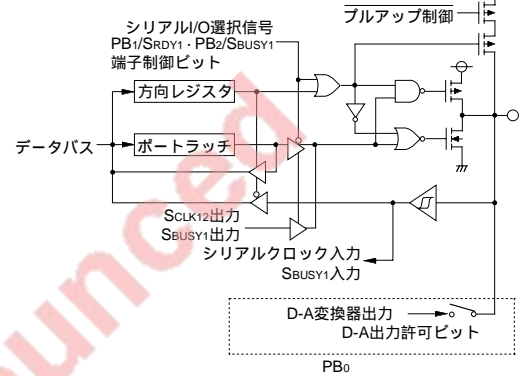
(16)ポートP96, P97



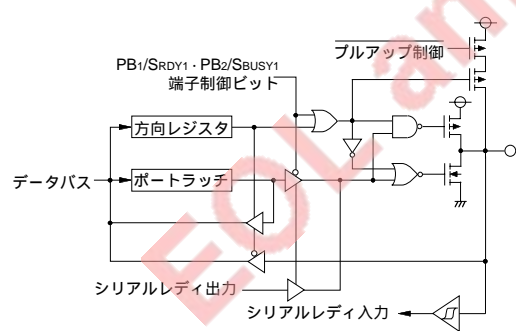
(17)ポートPA



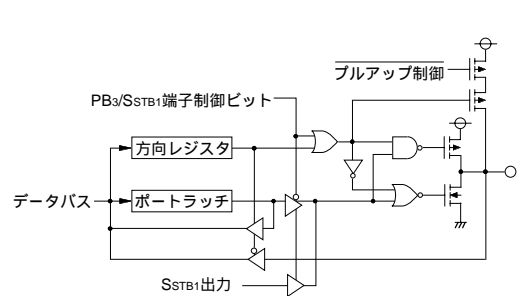
(18)ポートPB0, PB2



(19)ポートPB1



(20)ポートPB3



(21)ポートPB4, PB5

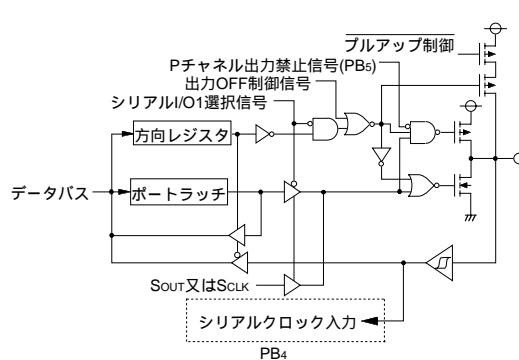


図13. ポートのブロック図(3)

1

割り込み

割り込みはベクトル割り込みで、外部5要因、内部16要因、ソフトウェア1要因の22要因のうち16要因から発生することが可能です。

(1) 割り込み制御

B R K 命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとB R K命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

(2) 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

(3) 割り込み動作

以下の割り込み要因は、割り込み要因切り替えレジスタ(0039₁₆番地)によりいずれかを選択することができます。

1. INT₁あるいはシリアルI/O3
2. INT₃あるいはシリアルI/O2送信
3. INT₄あるいはA - D変換

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)
- ・同一割り込みベクトルに複数の割り込み要因を切り替える際
対象レジスタ：割り込み要因切り替えレジスタ(39₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- ①該当する割り込み許可ビットを“0”(禁止)にする。
- ②割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因選択ビットを設定する。
- ③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- ④該当する割り込み許可ビットを“1”(許可)にする。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスカブル
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がリエッジ検出時	INT ₁ 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
シリアル/O ₃				データ転送終了時	シリアル/O ₃ 選択時有効
INT ₂	4	FFF7 ₁₆	FFF6 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
リモコン/カウンタオーバーフロー				8ビットカウンタオーバーフロー時	割り込み間隔判定動作時有効
シリアル/O ₁	5	FFF5 ₁₆	FFF4 ₁₆	シリアル/O ₁ データ転送終了時	シリアル/O通常モード選択時のみ有効
シリアル/O自動転送				シリアル/O最終データ転送終了時	シリアル/O自動転送モード選択時のみ有効
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマ1	7	FFF1 ₁₆	FFF0 ₁₆	タイマ1アンダフロー時	
タイマ2	8	FFEF ₁₆	FFEE ₁₆	タイマ2アンダフロー時	STP解除タイマングロー
タイマ3	9	FFED ₁₆	FFEC ₁₆	タイマ3アンダフロー時	
タイマ4	10	FFEB ₁₆	FFEA ₁₆	タイマ4アンダフロー時	
タイマ5	11	FFE9 ₁₆	FFE8 ₁₆	タイマ5アンダフロー時	
タイマ6	12	FFE7 ₁₆	FFE6 ₁₆	タイマ6アンダフロー時	
シリアル/O ₂ 受信	13	FFE5 ₁₆	FFE4 ₁₆	シリアル/O ₂ データ受信完了時	
INT ₃	14	FFE3 ₁₆	FFE2 ₁₆	INT ₃ 入力の立ち上がり又は立ち下がリエッジ検出時	INT ₃ 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
シリアル/O ₂ 送信				シリアル/O ₂ データ送信完了時	
INT ₄	15	FFE1 ₁₆	FFE0 ₁₆	INT ₄ 入力の立ち上がり又は立ち下がリエッジ検出時	INT ₄ 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
A-D変換				A-D変換終了時	A-D変換割り込み選択時有効
FLD ₇ ランキング	16	FFDF ₁₆	FFDE ₁₆	ランキング期間開始直前の最終タイミングの立ち下がり時	FLD ₇ ランキング割り込み選択時のみ有効
FLD ₇ レジット				レジット(各タイミング)の立ち上がり時	FLD ₇ レジット割り込み選択時のみ有効
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1.ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
2.リセットは最上位の優先順位を持つ割り込みとして処理されます。

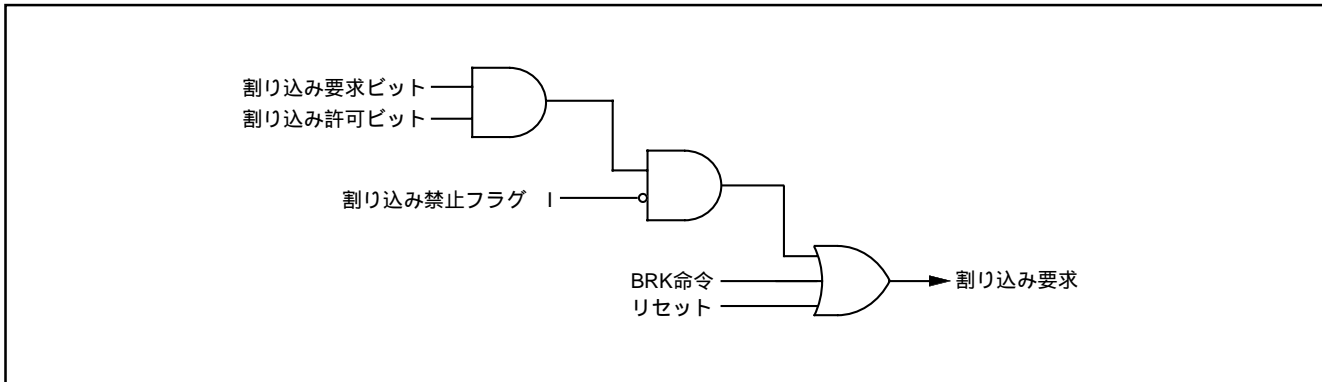


図14. 割り込み制御図

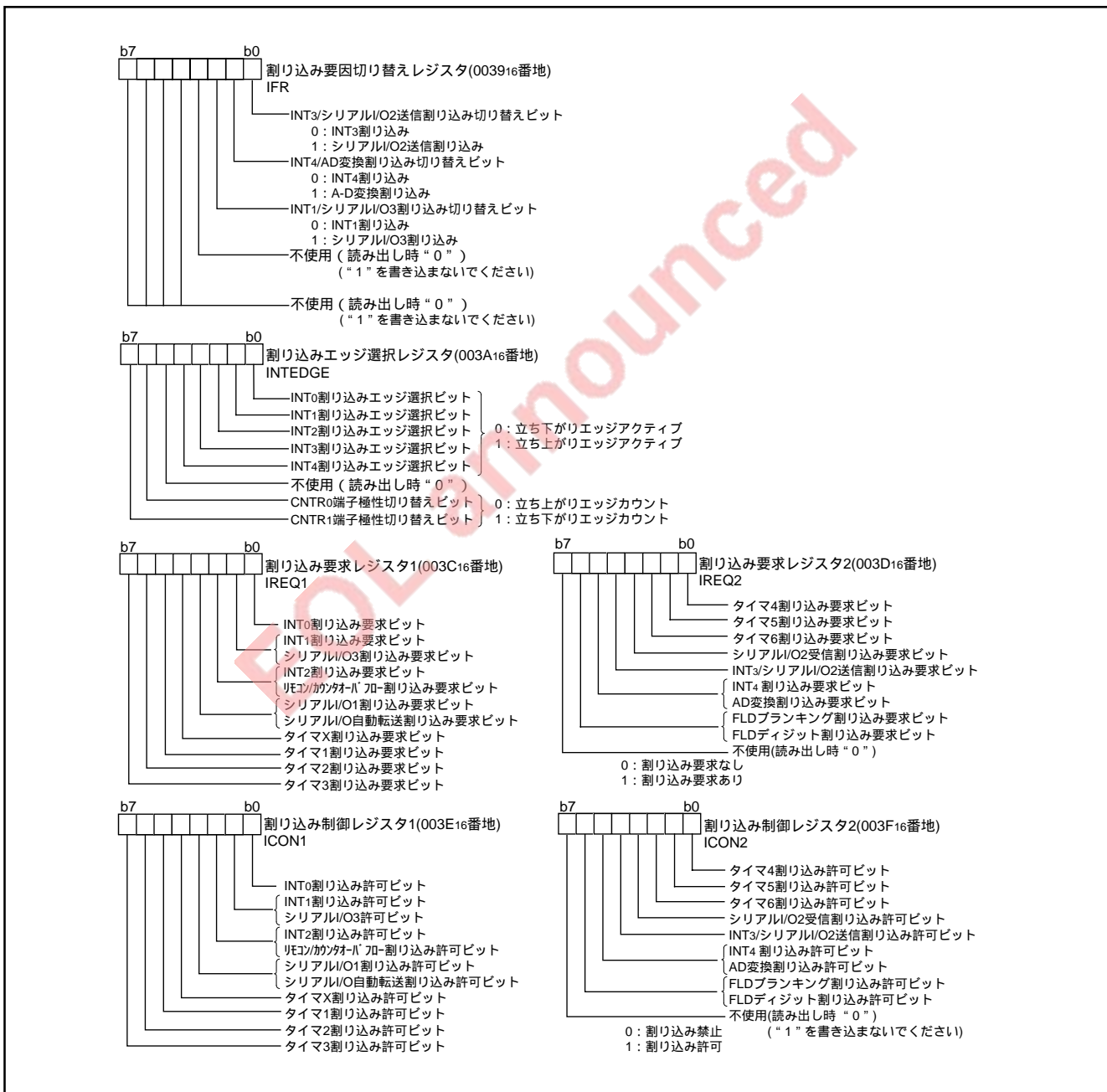


図15. 割り込み関係レジスタの構成

タイマ

8ビットタイマ

タイマ1からタイマ6は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式で、タイマの内容が 00_{16} になった次のカウントパルスで、タイマラッチの内容が再びタイマにロードされます。この時同時に各タイマに対応する割り込み要求ビットが 1 にセットされます。

また、各タイマの停止ビットを 1 にセットすることによりカウントを停止することが可能です。なお、内部システムクロックはCPUモードレジスタにより高速モードと低速モードが選択でき、これと同時にタイマの内部カウントソースの源発振も $f(XIN)$ と $f(XCIN)$ が切り替わります。

タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ1の2分周した方形波をP75/T10OUT端子から出力することができます。外部クロックCNT R0は割り込みエッジ選択レジスタにより、立ち上がり/立ち下がりエッジを切り替えることができます。

リセット入力時及びSTP命令実行時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に FF_{16} 、タイマ2に 01_{16} がセットされます。

タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3の2分周した方形波をP76/T30OUT端子から出力することができます。外部クロックCNT R1は割り込みエッジ選択レジスタにより、立ち上がり/立ち下がりエッジを切り替えることができます。

タイマ5、タイマ6

タイマ5、タイマ6はタイマ56モードレジスタを設定することによりカウントソースを選択することができます。また、このレジスタによりタイマ6の2分周した方形波をP74/PWM1端子から出力することができます。

タイマ6 PWM1モード

タイマ56モードレジスタを設定することにより、“H”区間のデューティ $n/(n+m)$ のPWM方形波をP74/PWM1端子から出力することができます(図18参照)。ここで n はタイマ6ラッチ(0025₁₆番地)の値であり、 m はタイマ6 PWMレジスタ(0027₁₆番地)の値です。 n が 0 の場合は、PWM出力はすべて“L”、 m が 0 の場合は、PWM出力はすべて“H”とな

ります($n=0$ 優先)。PWMモード時の割り込みは、PWM出力の立ち上がりエッジのタイミングで発生します。

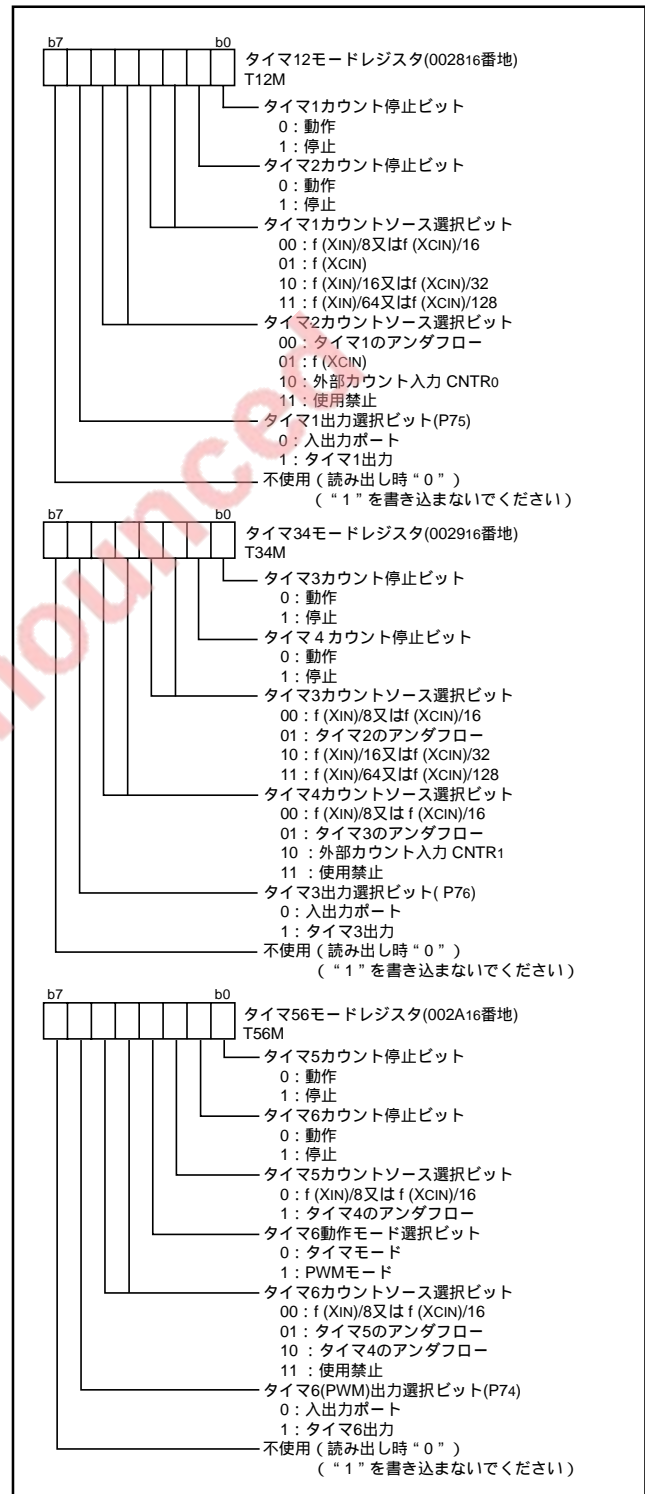


図16. タイマ関係レジスタの構成

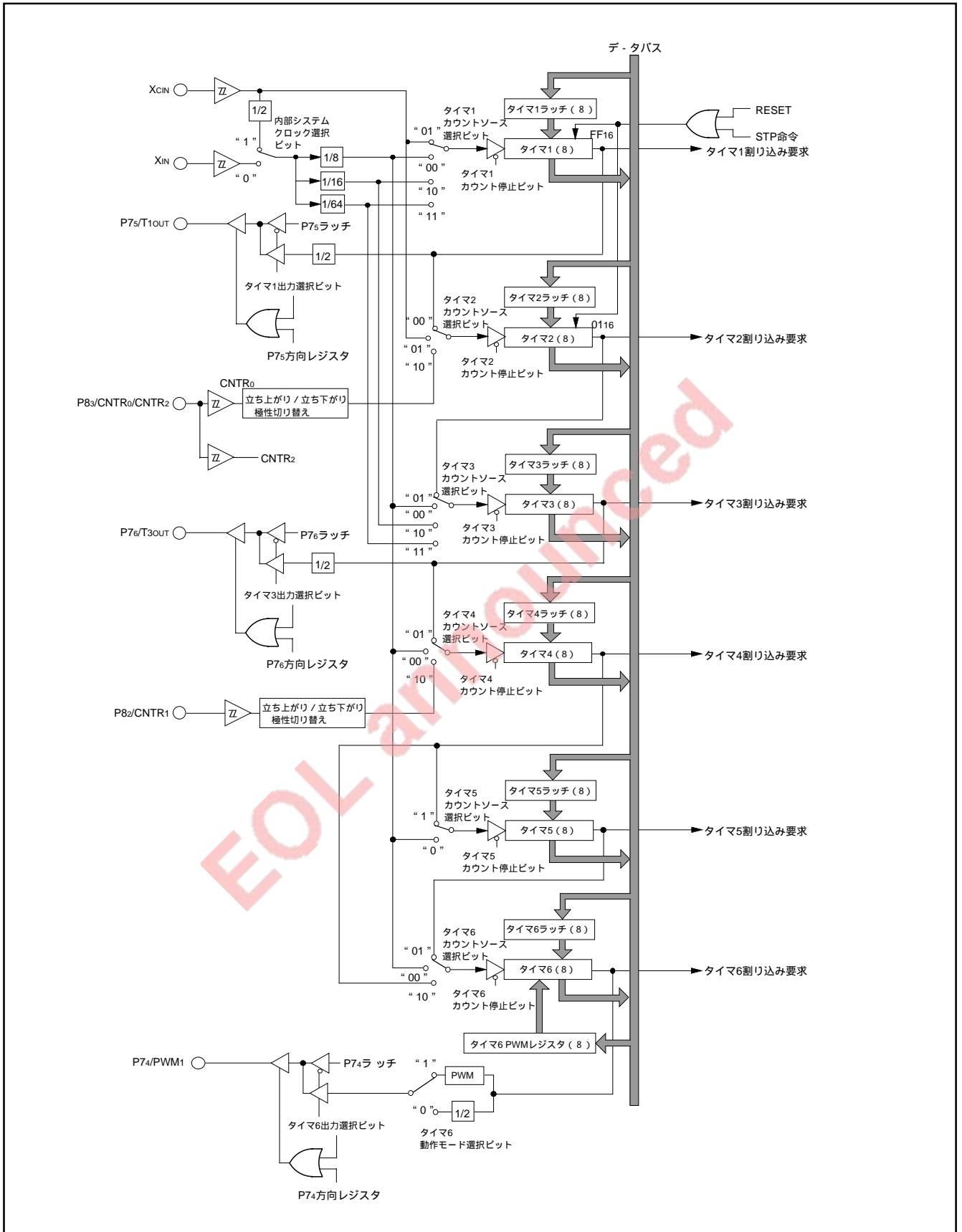


図17. タイマのブロック図

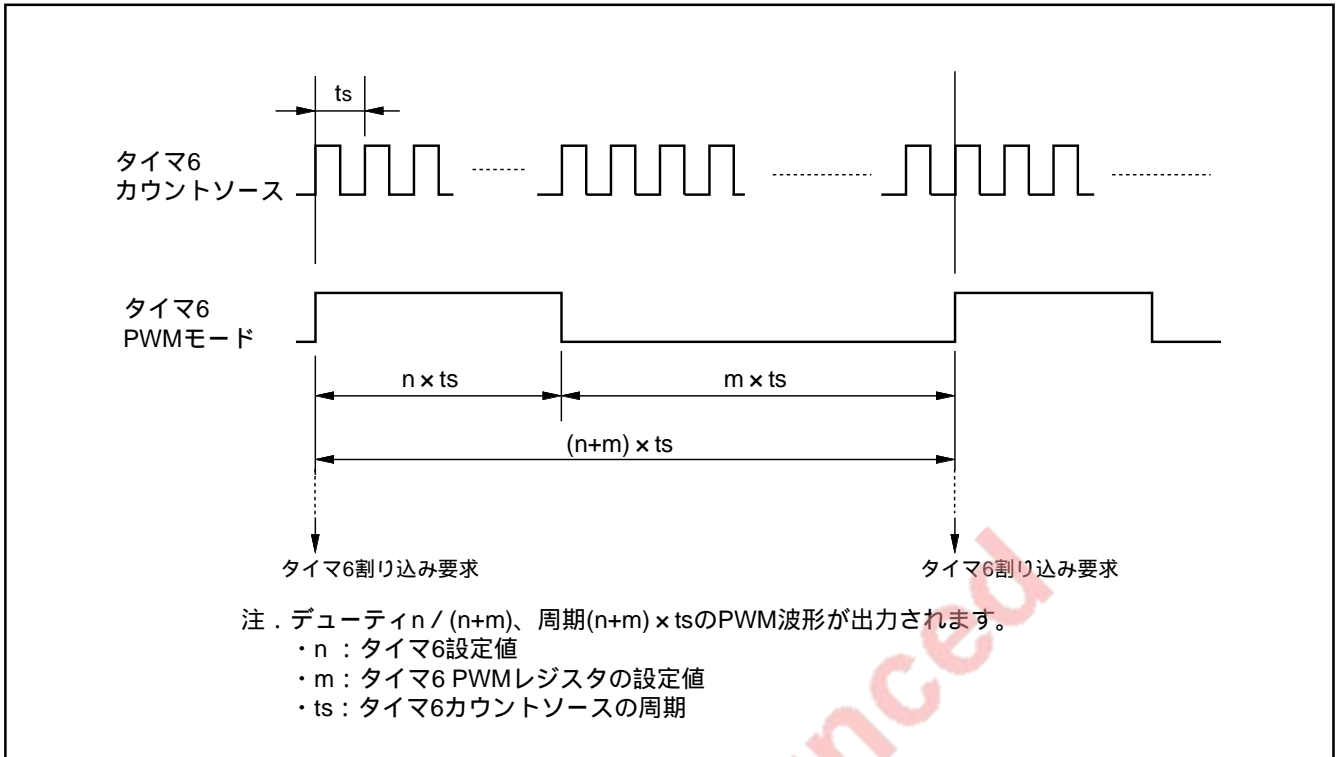


図18 . タイマ6 PWM1モードのタイミング図

1

16ビットタイマ

タイマXは16ビットタイマでタイマXモードレジスタ1、2により4つの動作モードを選択することができます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

タイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。タイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

タイマX

タイマXはカウントダウン方式で、タイマの内容が“0000₁₆”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマXに対応する割り込み要求ビットが“1”にセットされます。

(1)タイマモード

タイマXモードレジスタ1を設定することにより、カウントソースを選択することができます。

(2)パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNT R2端子より出力することを除けば、タイマモードと同じ動作をします。このモードではCNT R2端子と共用のポートを出力に設定してください。

(3)イベントカウンタモード

CNT R2端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNT R2端子と共用のポートを入力に設定してください。

(4)パルス幅測定モード

タイマXモードレジスタ1を設定することにより、カウントソースを選択することができます。CNT R2極性切り替えビットが“0”の場合はCNT R2端子の入力が“H”の期間カウントします。“1”の場合はCNT R2端子の入力が“L”の期間カウントします。このモードではCNT R2端子と共用のポートを入力に設定してください。

注意事項

・タイマX書き込み制御

ラッチのみ書き込む場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみ書き込む場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには上位側カウンタに望ましくない値が設定されることがあります。

・リアルタイムポート制御

リアルタイムポート機能有効時はタイマXがアンダフローするたびにリアルタイムポート用データがそれぞれポートP94、P95から出力されます。(ただし、リアルタイムポート制御ビットを“0”から“1”に変えたときにはタイマXの動きにかかわらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、その変更された値は次のタイマXのアンダフローで出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

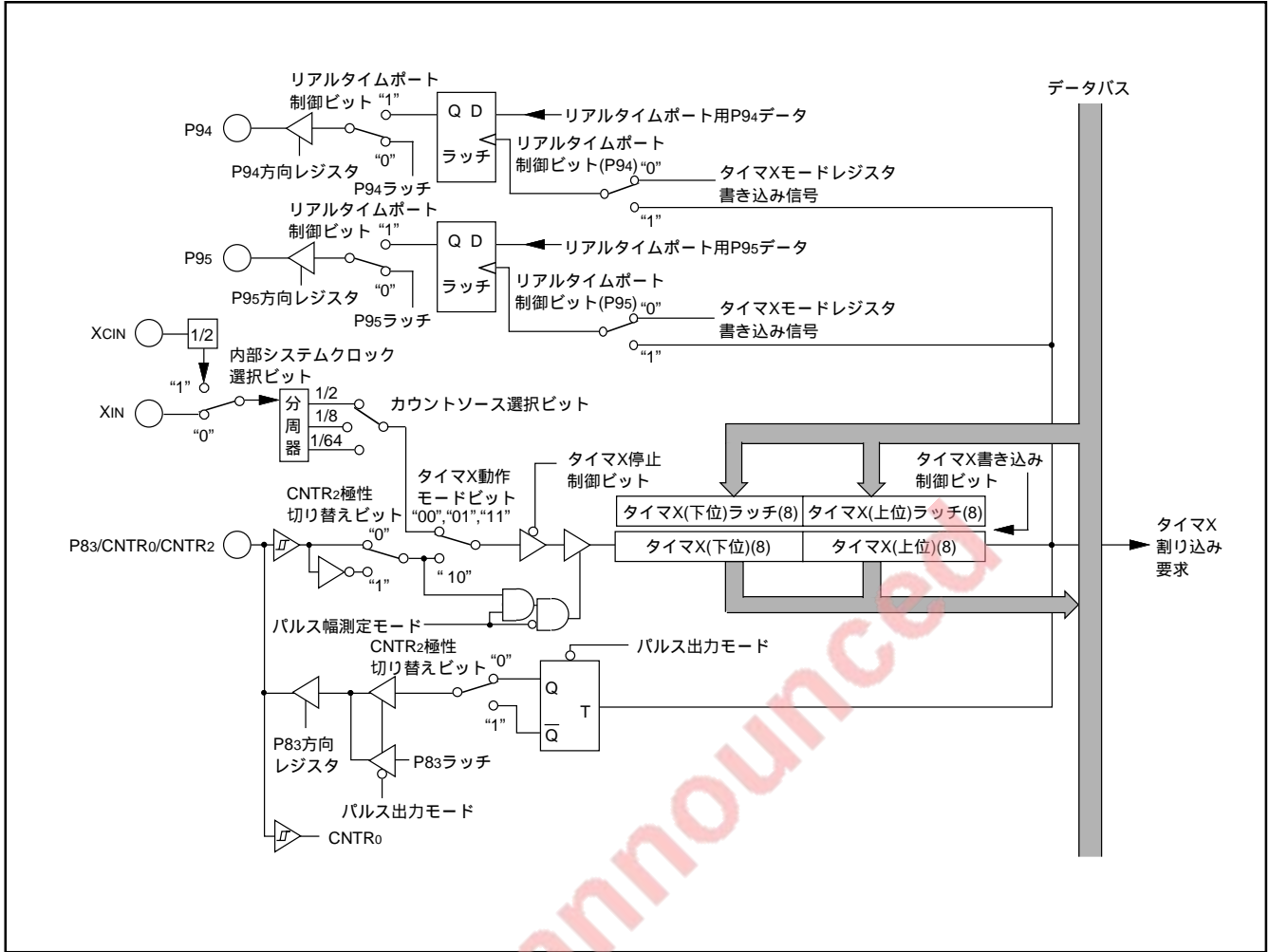


図19. タイマXのブロック図

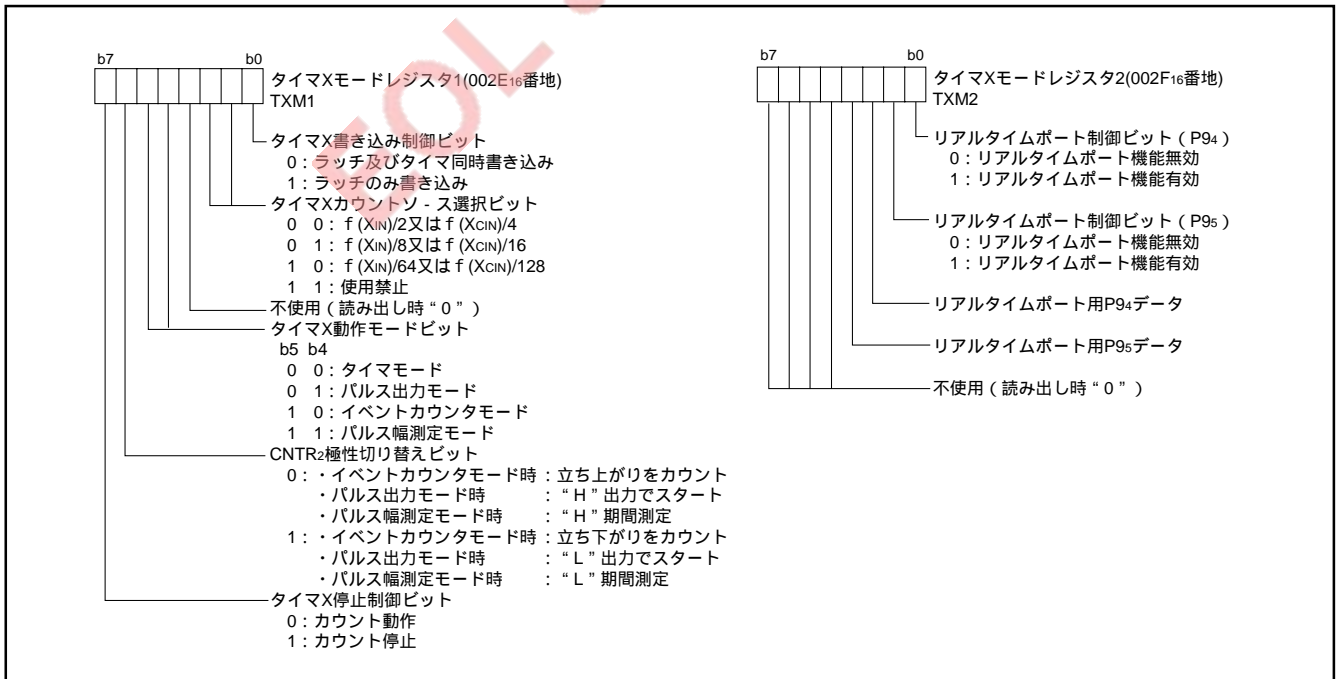


図20. タイマXモードレジスタの構成

シリアルI/O

シリアルI/O 1

シリアルI/O 1は、クロック同期形のシリアルI/Oで、通常モードと自動転送モードを有しています。自動転送モードでは、最大256バイトのシリアルI/O自動転送RAM

(0F0016 ~ 0FFF16番地)を介して、シリアル転送を行います。PB1/SRDY1、PB2/SBUSY1、PB3/SSTB1の各端子は、ハンドシェイク入出力信号としての機能を持ち、アクティブ論理の正反選択も行うことができます。

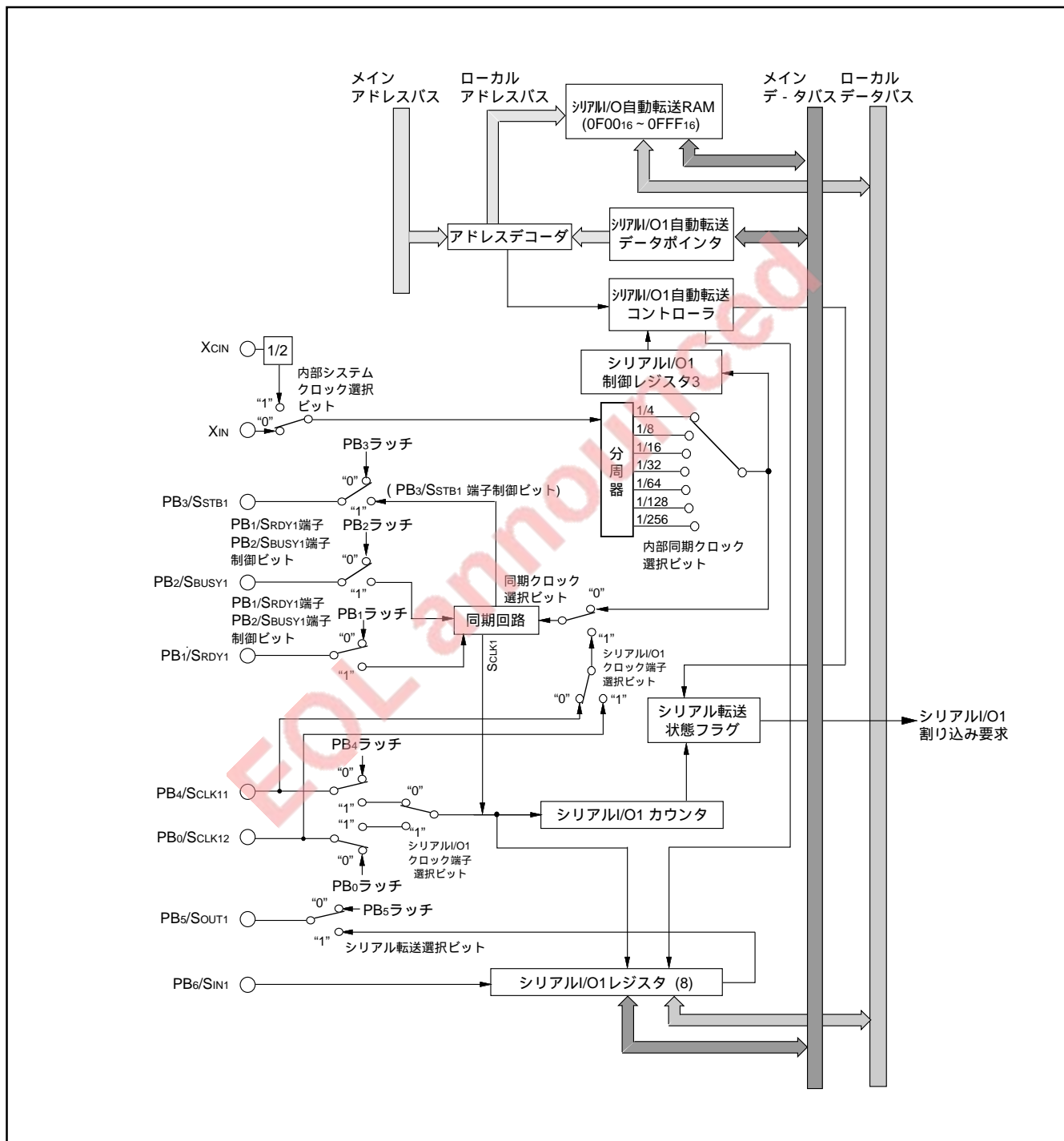


図21 . シリアルI/O 1のブロック図

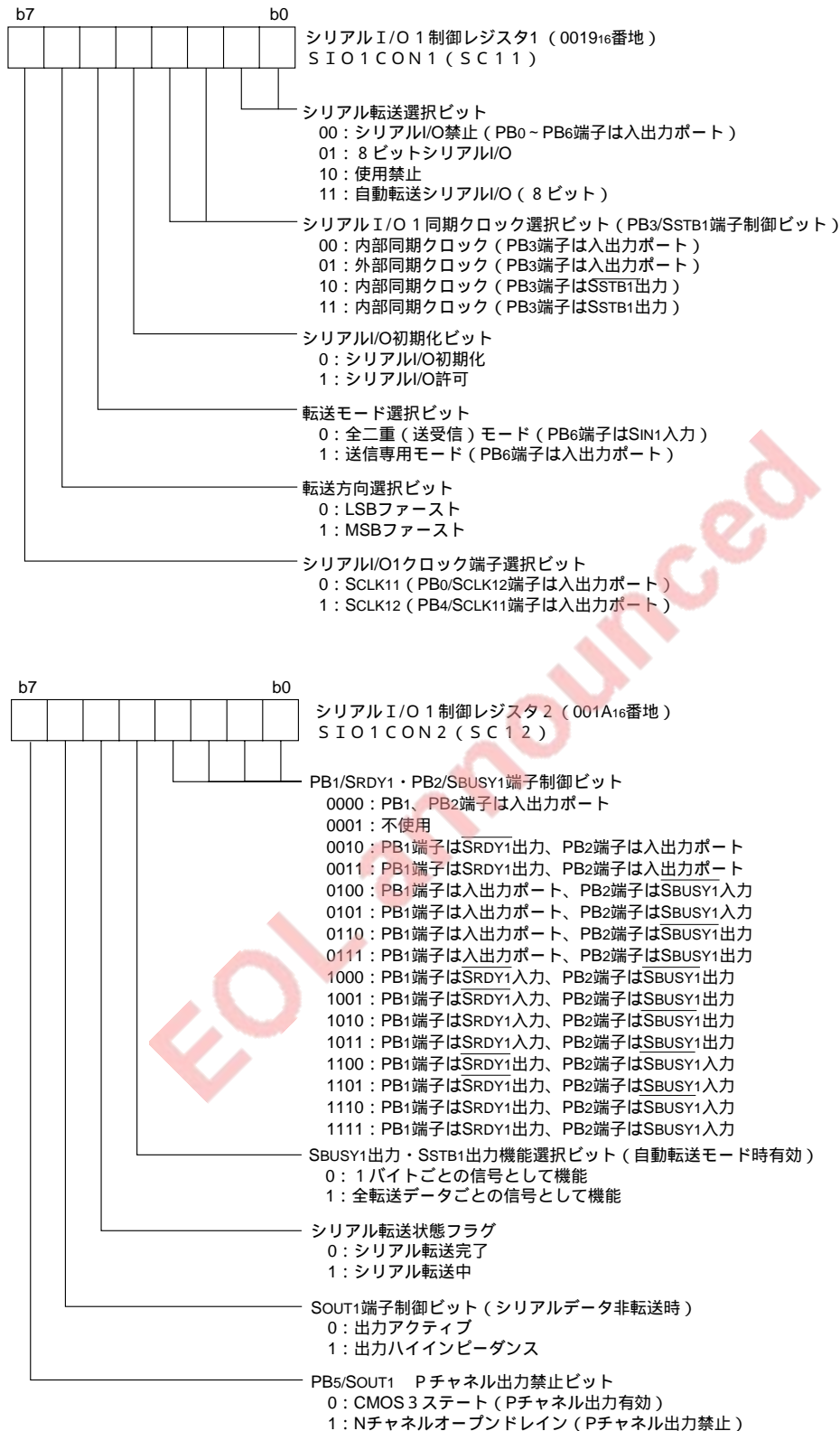


図22. シリアル I / O 1 制御レジスタ1、2の構成

1

(1) シリアル I/O 1 の動作

シリアル転送を行うための同期クロックは、シリアル I/O 1 制御レジスタ 1 のシリアル I/O 1 同期クロック選択ビット(0019₁₆番地のb2,b3)により、内部同期クロックもしくは外部同期クロックの選択ができます。

内部同期クロックは、専用の分周器を内蔵しており、シリアル I/O 1 制御レジスタ 3 の内部同期クロック選択ビット(001C₁₆番地のb5,b6,b7)によって、7通りのクロックを選択することができます。

P B1/SRDY1, P B2/SBUSY1, P B3/SSTB1の各端子は、シリアル I/O 1 制御レジスタ 1 のシリアル I/O 1 同期クロック選択ビット(0019₁₆番地のb2,b3)及びシリアル I/O 1 制御レジスタ 2 の P B1/SRDY1・P B2/SBUSY1端子制御ビット(001A₁₆番地のb0~b3)により、入出力ポートあるいはハンドシェイク入出力信号を選択します。

出力端子となる SOUT1については、シリアル I/O 1 制御レジスタ 2 の P B5/SOUT1Pチャネル出力禁止ビット(001A₁₆番地のb7)により、CMOS出力あるいはNチャネルオープンドレイン出力を選択します。

シリアル非転送時の SOUT1端子の状態は、シリアル I/O 1 制御レジスタ 2 の SOUT1端子制御ビット(001A₁₆番地のb6)により、出力アクティブあるいはハイインピーダンスを選択することができます。ただし、外部同期クロックを選択した場合、SOUT1端子をハイインピーダンスの状態にするためには、以下の設定を行ってください。転送終了後 SCLK1入力が“H”のとき、SOUT1端子制御ビットを“1”に設定してくださ

い。

次のシリアル転送が始まり、SCLK1が“L”になると、SOUT1端子制御ビットは、自動的に“0”にリセットされ、出力アクティブの状態になります。

内部同期クロック、外部同期クロックにかかわらず、シリアル転送には、全二重モードと送信専用モードがあり、シリアル I/O 1 制御レジスタ 1 の転送モード選択ビット(0019₁₆番地のb5)により設定します。

シリアル転送ビット列の入出力順序については、シリアル I/O 1 制御レジスタ 1 の転送方向選択ビット(0019₁₆番地のb6)により、LSBファーストあるいはMSBファーストを選択します。

シリアル I/O 1 を使用するには、以上のビット設定が完了した後、まずシリアル I/O 1 制御レジスタ 1 のシリアル転送選択ビット(0019₁₆番地のb0,b1)により、8ビットシリアル I/O、自動転送シリアル I/Oのいずれかを選択します。次にシリアル I/O 1 制御レジスタ 1 のシリアル I/O 初期化ビット(0019₁₆番地のb4)を“1”に設定します(シリアル I/O 許可)。

内部同期クロック、外部同期クロックにかかわらず、転送中にシリアル転送を中止する場合は、シリアル I/O 初期化ビット(b4)を“0”にリセットしてください。

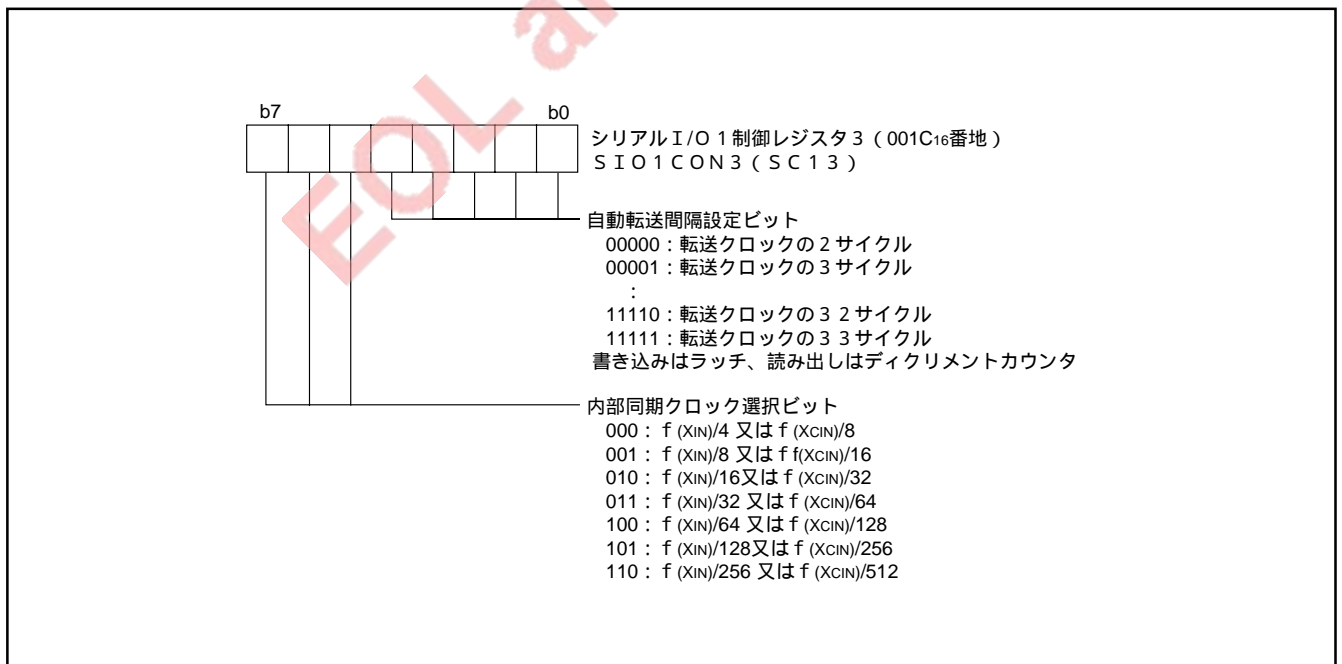


図23. シリアル I/O 1 制御レジスタ 3 の構成

(2) 8ビットシリアルI/Oモード

001B₁₆番地はシリアルI/O 1レジスタとなります。内部同期クロックを選択した場合、8ビットシリアルI/Oのシリアル転送の開始はシリアルI/O 1レジスタ(001B₁₆番地)への書き込み信号により行われます。

シリアルI/O 1制御レジスタ2のシリアル転送状態フラグ(001A₁₆番地のb5)は、シリアルI/O 1のシフトレジスタのステータスを示し、転送開始のトリガとなるシリアルI/O 1レジスタの書き込みによって“1”にセットされ、8ビットの転送終了後“0”にリセットされると同時にシリアルI/O 1割り込み要求が発生します。

外部同期クロックを選択した場合、転送クロックが、SCLK₁に入力されている間、シリアルI/O 1レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。

(3) 自動転送シリアルI/Oモード

シリアルI/O 1レジスタの書き込み及び読み出しは、シリアルI/O 1自動転送コントローラが制御しますので、001B₁₆番地の機能は転送カウンタ(バイト単位)となります。

シリアルI/O自動転送RAM(0F00₁₆~0FFF₁₆番地)を介して、シリアル転送を行うため、転送前にシリアルI/O 1自動転送データポインタ(0018₁₆番地)の設定が必要となります。自動転送データポインタ設定ビットは、シリアル転送を行う先頭データの格納番地の下位8ビットを入力します。

内部同期クロックを選択して、

ハンドシェイク信号を使用しない場合

ハンドシェイク信号のSRDY₁出力、SBUSY₁出力、SSTB₁出力を、それぞれ単独使用の場合

ハンドシェイク信号のSRDY₁出力とSSTB₁出力、あるいはSBUSY₁出力とSSTB₁出力を組み合わせる場合

は、1バイトデータごとの転送間隔をシリアルI/O 1制御レジスタ3の自動転送間隔設定ビット(001C₁₆番地のb0~b4)により設定することができます。設定値は転送クロックの2~33サイクルのいずれか32通りの値を選択することができます。

ここで、自動転送間隔設定が有効であるときにSBUSY₁出力を使用して、かつ、シリアルI/O 1制御レジスタ2のSBUSY₁出力・SSTB₁出力機能選択ビット(001A₁₆番地のb4)を全転送データごとの信号として選択する場合には、最初のデータの送受信開始前と最終データの送受信終了後に転送間隔が入ります。SSTB₁出力を使用する場合は、SBUSY₁出力・SSTB₁出力機能選択ビット(b4)の内容にかかわらず、1バイトデータごとの転送間隔が設定値より2サイクル長くなります。さらに、SBUSY₁出力とSSTB₁出力を組み合わせ、全転送データごとの信号として使用する場合には、最終データの送受信終了後の転送間隔も設定値より2サイクル長

くなります。

外部同期クロックを選択した場合は、自動転送間隔設定はできません。

以上のビット設定が完了した後、内部同期クロックを選択している場合は、転送バイト数の1減じた値を転送カウンタ(001B₁₆番地)に書き込むと自動シリアル転送を開始します。外部同期クロックを選択している場合は、転送バイト数の1減じた値を転送カウンタに書き込み、内部システムクロックの5サイクル以上空けた後、SCLK₁に転送クロックを入力してください。また、1バイトデータ転送ごとの転送間隔は、1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

内部同期クロック、外部同期クロックにかかわらず、自動転送データポインタ及び転送カウンタは、1バイトごとのデータ受信が完了して自動転送RAMに書き込みの後、ディクリメントされます。シリアル転送状態フラグ(001A₁₆番地のb5)は、転送開始のトリガとなる転送カウンタの書き込みによって“1”にセットされ、最終データが自動転送RAMに書き込まれた後、“0”にリセットされます。それと同時にシリアルI/O 1割り込み要求が発生します。

自動転送データポインタ設定ビット(b0~b7)と自動転送間隔設定ビット(b0~b4)に書き込まれた値はラッチに保持されています。転送カウンタにデータを書き込むと自動転送データポインタ設定ビット(b0~b7)と自動転送間隔設定ビット(b0~b4)のラッチに保持されていた値がディクリメントカウンタに転送されます。

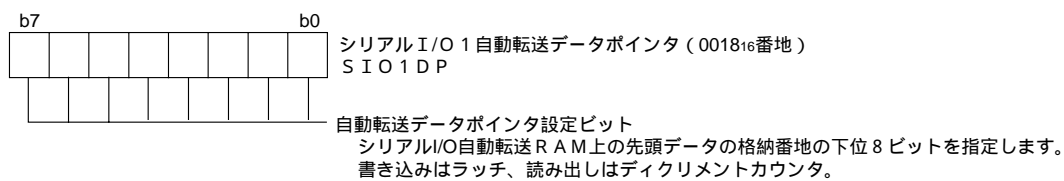


図24. シリアルI/O1自動転送データポインタの構成

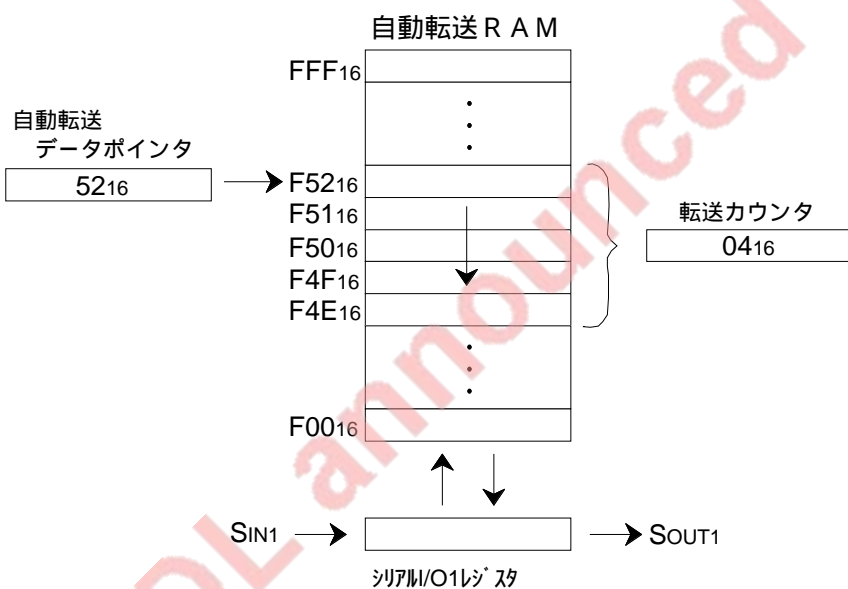


図25. 自動転送シリアルI/Oの動作

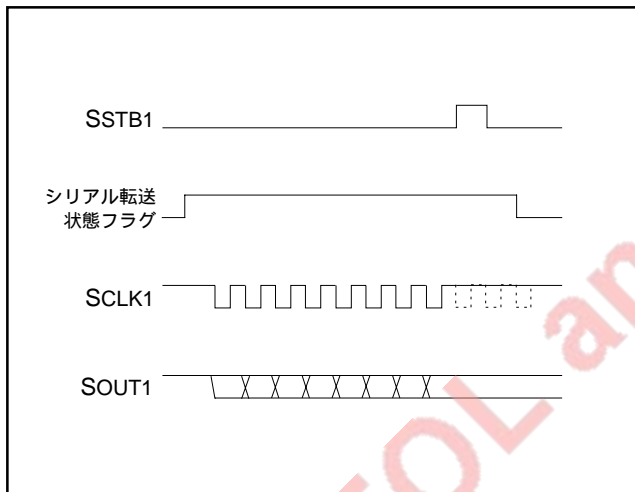
(4) ハンドシェーク信号

S_{STB1}出力信号

S_{STB1}出力は、シリアル転送先に送受信終了を伝える信号です。S_{STB1}出力信号を使用できるのは、内部同期クロックを選択した場合に限られます。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした状態では、S_{STB1}出力は“L”、 \bar{S}_{STB1} 出力は“H”となります。

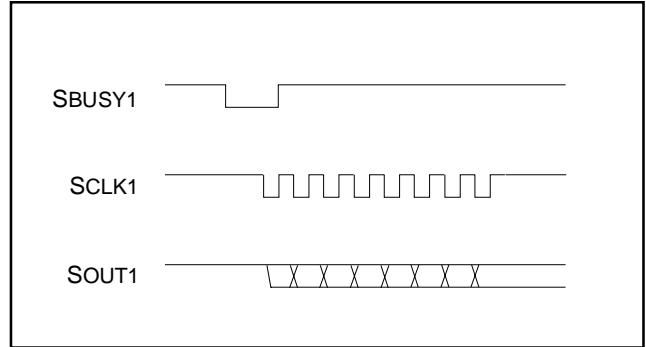
送受信動作が終了してシリアルI/OレジスタのデータをS_{OUT1}から全て出力した時、転送クロックの1サイクルの間、S_{STB1}出力が“H”、 \bar{S}_{STB1} 出力が“L”となるパルスを出した後、S_{STB1}出力は“L”、 \bar{S}_{STB1} 出力は“H”となる初期状態に戻ります。さらに1サイクル後に、シリアル転送状態フラグ(b5)が“0”にリセットされます。

自動転送シリアルI/Oモードでは、シリアルI/O制御レジスタ2のS_{BUSY1}出力・S_{STB1}出力機能選択ビット(001A16番地のb4)によって、S_{STB1}出力を1バイトデータの転送終了ごとにアクティブにするか、あるいは全データを転送終了後にアクティブにするかを選ぶことができます。

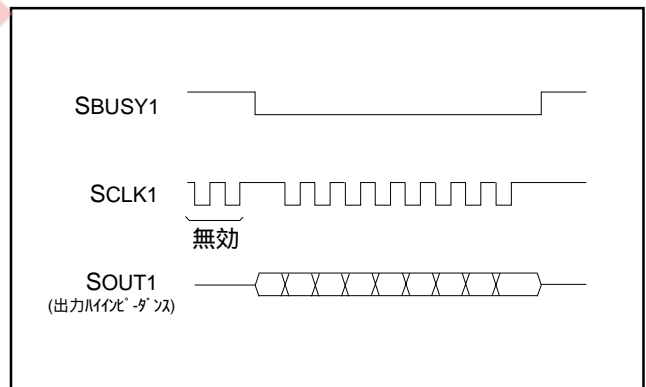
図26 . S_{STB1}出力の動作S_{BUSY1}入力信号

S_{BUSY1}入力は、シリアル転送先から送受信の停止を要求される信号です。

内部同期クロックを選択した場合、転送が停止している初期状態は、S_{BUSY1}入力が“H”、 \bar{S}_{BUSY1} 入力が“L”を入力してください。送受信動作の開始は、転送クロックの1.5サイクル以上の間、S_{BUSY1}入力が“L”、 \bar{S}_{BUSY1} 入力が“H”となるレベルの信号を入力すると、S_{CLK1}出力から転送クロックが出力します。送受信動作が開始した後、S_{BUSY1}入力が“H”、 \bar{S}_{BUSY1} 入力が“L”を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、S_{CLK1}出力からの転送クロックも停止しません。8ビットシリアルI/Oは8ビット、自動転送シリアルI/Oは8ビットがハンドシェークの単位となります。

図27 . S_{BUSY1}入力の動作(内部同期クロック)

外部同期クロックを選択した場合、転送が停止している初期状態は、S_{BUSY1}入力が“H”、 \bar{S}_{BUSY1} 入力が“L”を入力してください。この時S_{CLK1}に入力される転送クロックは無効となります。シリアル転送は、S_{BUSY1}入力が“L”、 \bar{S}_{BUSY1} 入力が“H”となるレベルの信号を入力している間、S_{CLK1}に入力される転送クロックが有効となり、送受信動作可能となります。これらの動作においてS_{BUSY1}入力及び \bar{S}_{BUSY1} 入力の入力値を変更する場合は、S_{CLK1}入力が“H”状態の時に行ってください。また、S_{OUT1}端子制御ビット(b6)により、S_{OUT1}の出力ハイインピーダンスを選択している場合、S_{BUSY1}入力が“L”、 \bar{S}_{BUSY1} 入力が“H”となるレベルを入力している間、S_{OUT1}は出力アクティブとなりS_{CLK1}への転送クロック入力によってシリアル転送が可能となります。

図28 . S_{BUSY1}入力の動作(外部同期クロック)S_{BUSY1}出力信号

S_{BUSY1}出力は、シリアル転送先に送受信の停止を要求する信号です。内部同期クロック、外部同期クロックにかかわらず、自動転送シリアルI/Oモードでは、S_{BUSY1}出力・S_{STB1}出力機能選択ビット(b4)によって、S_{BUSY1}出力を1バイトデータの転送ごとにアクティブにするか、あるいは全データ転送の間アクティブにするかを選ぶことができます。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした状態では、S_{BUSY1}出力は“H”、 \bar{S}_{BUSY1} 出力は“L”となります。

1

内部同期クロックを選択した場合、8ビットシリアルI/Oモード及び自動転送シリアルI/Oモード(SBUSY1出力機能は1バイトごと)では、送受信動作を開始する時、SCLK1出力からの転送クロックが“L”となるタイミングの0.5サイクル(転送クロック)前に、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。自動転送シリアルI/Oモード(SBUSY1出力機能は全転送データごと)では、シリアルI/O1レジスタ(001B16番地)に最初の送信データが書き込まれた時、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。

外部同期クロックを選択した場合は、シリアルI/Oの転送モードにかかわらず、送信動作を開始するためにシリアル

I/O1レジスタに送信データが書き込まれた時、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。

送受信動作の終了時には、内部同期クロック、外部同期クロックにかかわらず、シリアル転送状態フラグが“0”にリセットされるタイミングで、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”となる初期状態に戻ります。さらに自動転送シリアルI/Oモード(SBUSY1出力機能は1バイトごと)では、1バイトの受信データが自動転送RAMに書き込まれるたびに、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”になります。

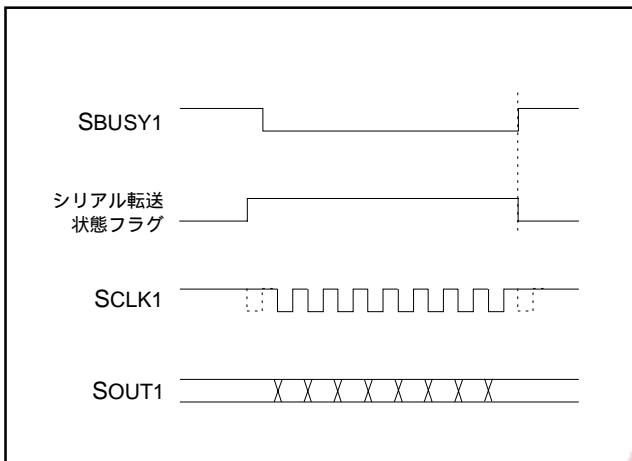


図29 . SBUSY1出力の動作
(内部同期クロック、8ビットシリアルI/O)

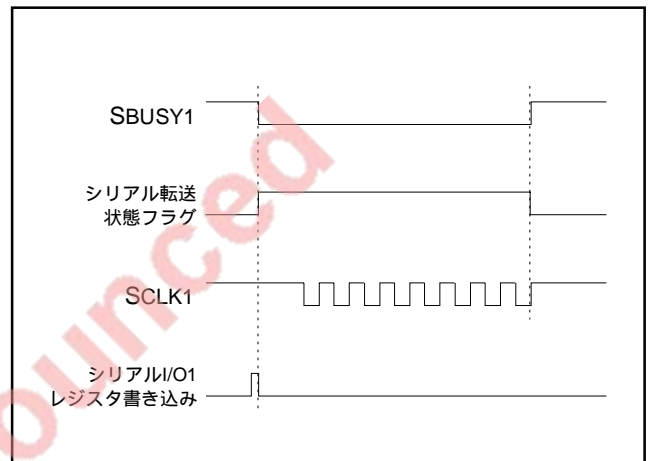


図30 . SBUSY1出力の動作
(外部同期クロック、8ビットシリアルI/O)

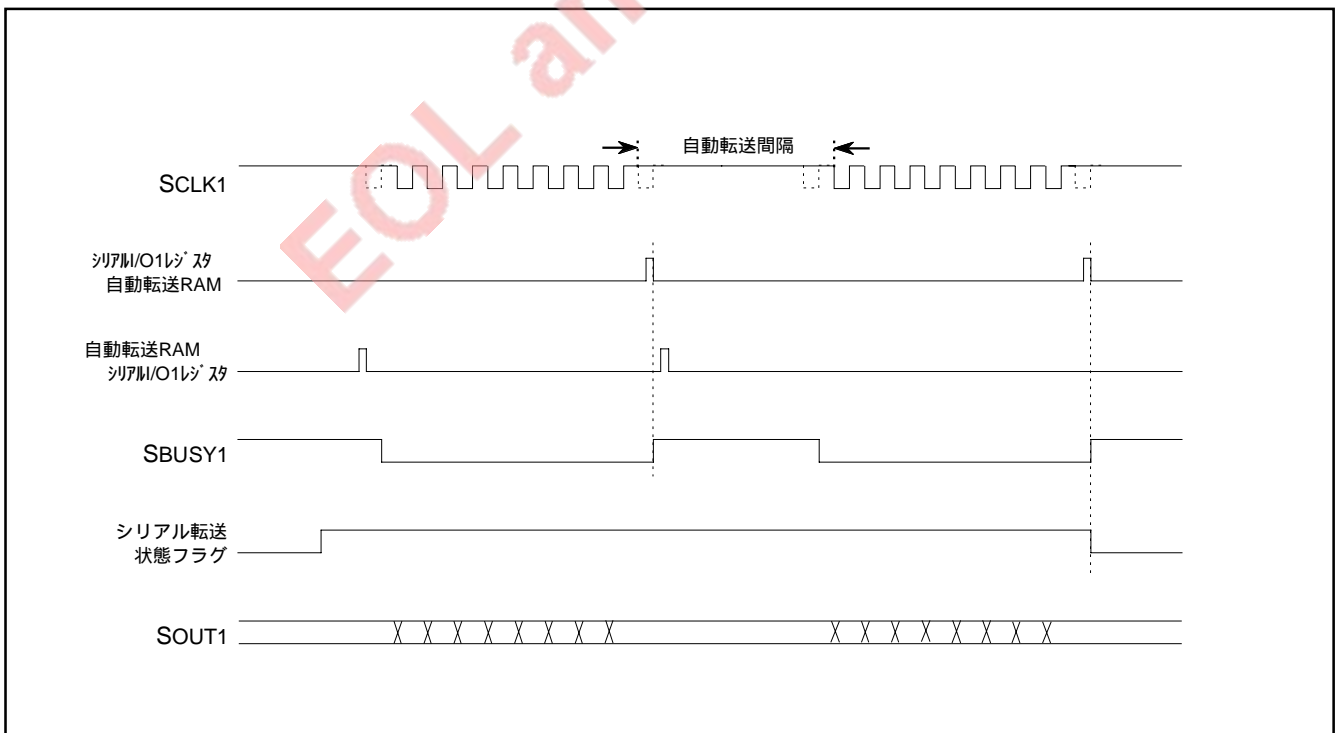


図31 . 自動転送シリアルI/OモードにおけるSBUSY1出力の動作
(内部同期クロック、SBUSY1出力機能は1バイトごと)

SRDY1出力信号

SRDY1出力は、シリアル転送先に送受信準備ができたことを伝える送受信可能信号です。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした場合、SRDY1出力は“L”、 $\overline{\text{SRDY1}}$ 出力は“H”となります。シリアルI/O 1レジスタ(001B16番地)に送信データが格納され送受信動作の準備が完了した場合、SRDY1出力は“H”、 $\overline{\text{SRDY1}}$ 出力は“L”となります。送受信動作が始まり転送クロックが“L”となる場合、SRDY1出力は“L”、 $\overline{\text{SRDY1}}$ 出力は“H”となります。

SRDY1入力信号

SRDY1入力信号は、SRDY1入力及びSBUSY1出力の使用時のみ有効となります。SRDY1入力は、シリアル転送先から送受信の準備完了を示す信号を受け取る信号です。

内部同期クロックを選択した場合、転送が停止している初期状態は、SRDY1入力が“L”、 $\overline{\text{SRDY1}}$ 入力が“H”を入力してください。転送クロックの1.5サイクル以上の間、SRDY1入力が“H”、 $\overline{\text{SRDY1}}$ 入力が“L”となるレベルの信号を入力すると、SCLK1出力から転送クロックが出力され、送受信動作が開始します。送受信動作が開始した後、SRDY1入力が“L”、 $\overline{\text{SRDY1}}$ 入力が“H”を入力した場合、送受信動作は直ちに停止しません。所定のビット数の送受信動作が完了後、SCLK1出力からの転送クロックは停止します。8ビットシリアルI/O及び、自動転送シリアルI/Oはそれぞれ8ビットがハンドシェイクの単位となります。

外部同期クロックを選択した場合、SRDY1入力は、SBUSY1信号を出力させるためのトリガの1つとなります。

送受信動作を開始(SBUSY1出力が“L”、 $\overline{\text{SBUSY1}}$ 出力が“H”の状態)させるためには、SRDY1入力が“H”、 $\overline{\text{SRDY1}}$ 入力が“L”を入力し、かつ、シリアルI/O 1レジスタに送信データを書き込まなければなりません。

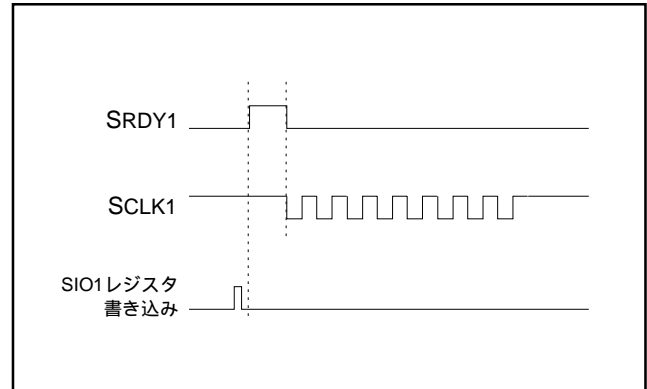


図32. SRDY1出力の動作

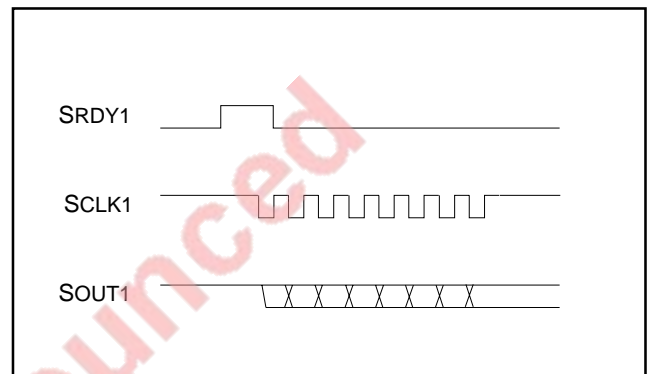


図33. SRDY1入力の動作(内部同期クロック)

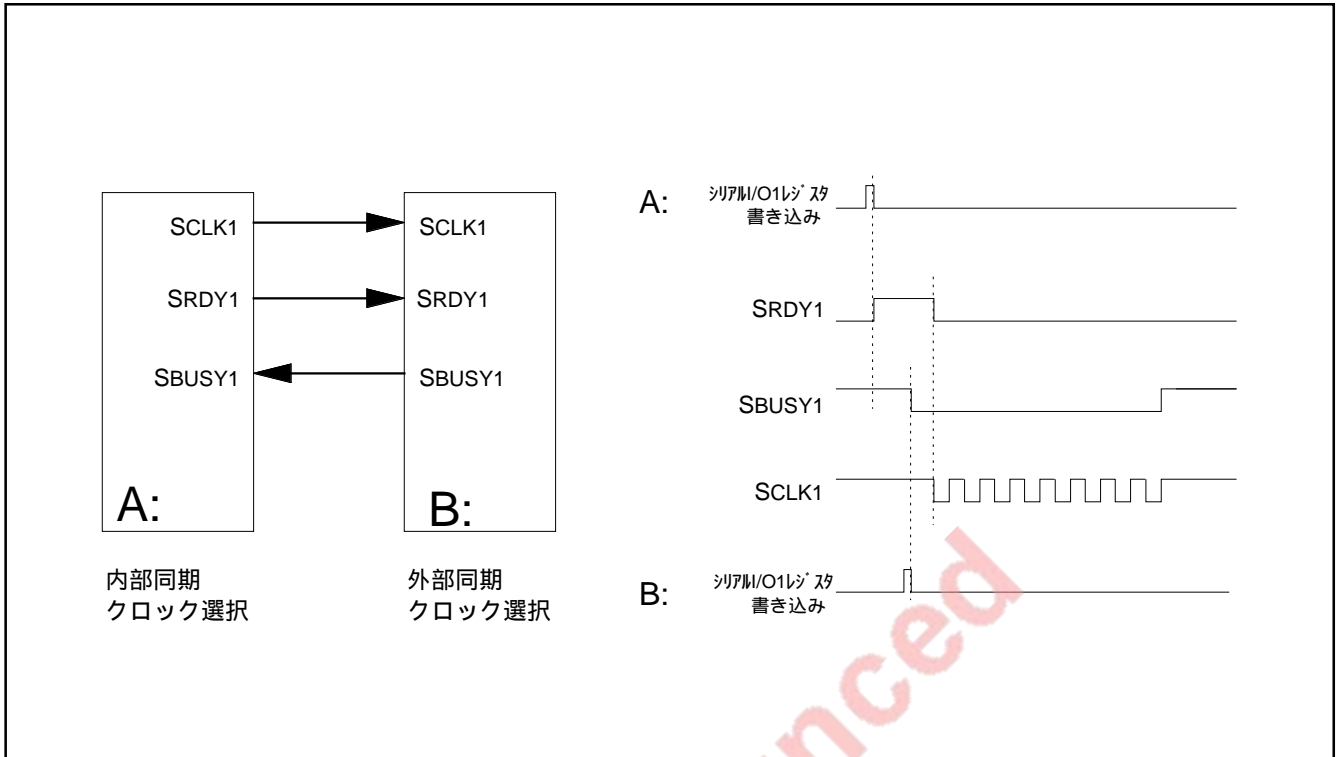


図34. シリアル I / O 1 を相互接続した場合のハンドシェーク動作(1)

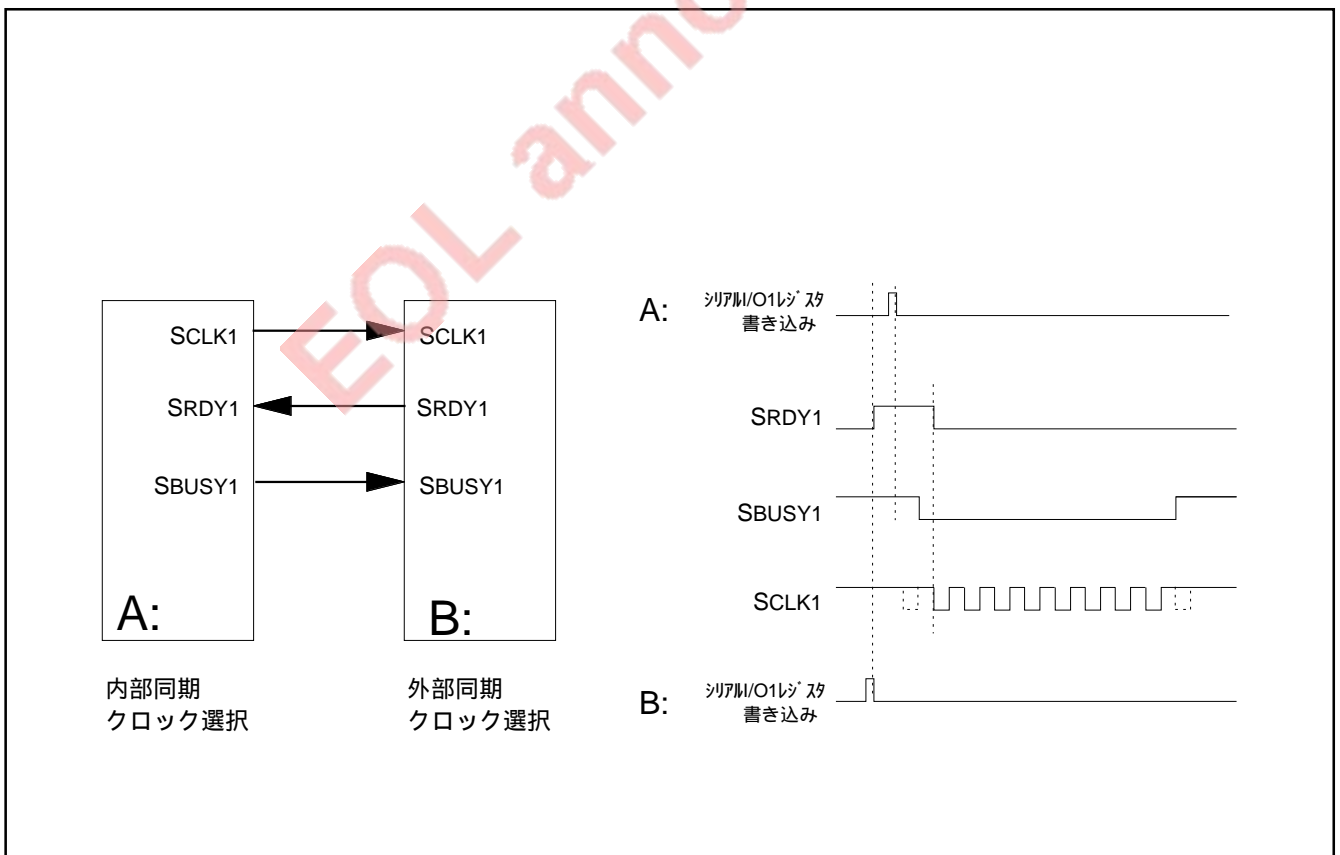


図35. シリアル I / O 1 を相互接続した場合のハンドシェーク動作(2)

シリアル I/O 2

シリアル I/O 2 はクロック同期形、非同期形 (UART) のどちらでも動作可能です。また、シリアル I/O 2 動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアル I/O モード

シリアル I/O 2 制御レジスタのシリアル I/O 2 モード選択ビット(001D16番地のb6)を“1”にすることによってクロック

同期形シリアル I/O が選択されます。

クロック同期形シリアル I/O では、シリアル I/O 2 の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

クロック入出力端子として P 6 7 (SCLK22) を選択した場合、SRDY2 出力機能は無効となります。また、P 6 6 (SCLK21) は入出力ポートとなります。

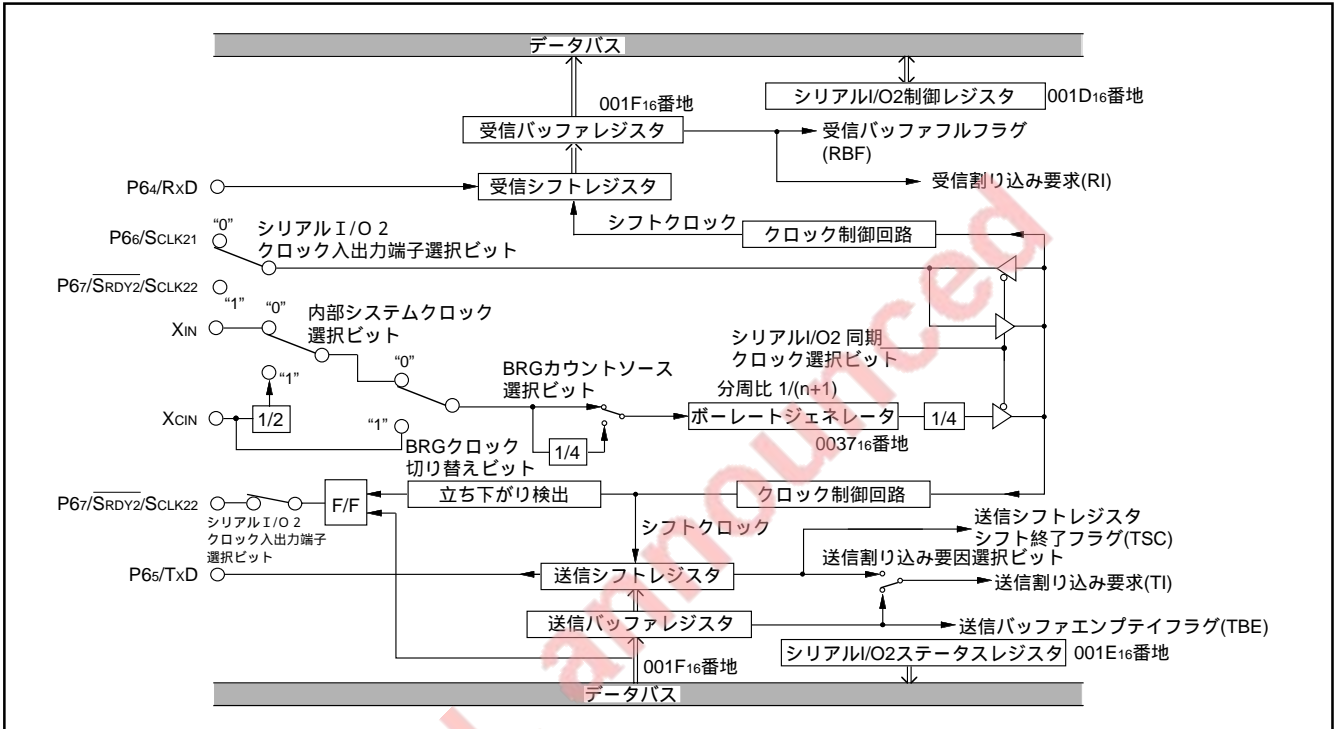
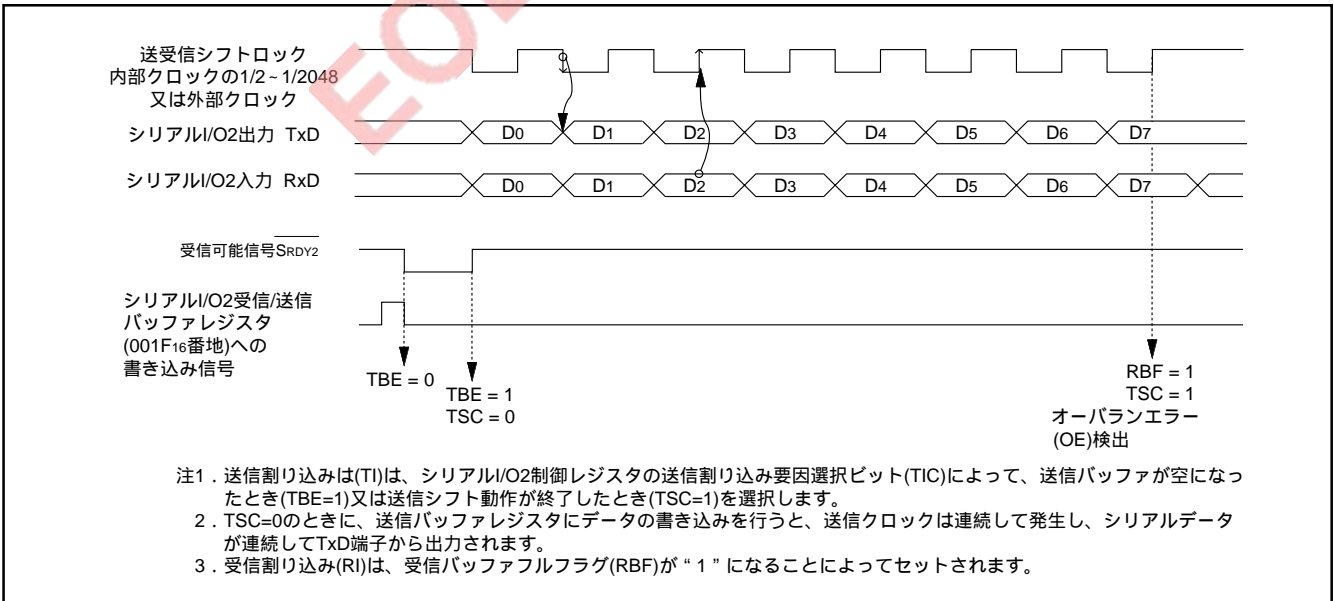


図36. クロック同期形シリアル I/O 2 ブロック図



- 注1. 送信割り込みは(TI)は、シリアル I/O 2 制御レジスタの送信割り込み要因選択ビット(TIC)によって、送信バッファが空になったとき(TBE=1)又は送信シフト動作が終了したとき(TSC=1)を選択します。
 2. TSC=0のときに、送信バッファレジスタにデータの書き込みを行うと、送信クロックは連続して発生し、シリアルデータが連続してTxD端子から出力されます。
 3. 受信割り込み(RI)は、受信バッファフルフラグ(RBF)が“1”になることによってセットされます。

図37. クロック同期形シリアル I/O 2 動作図

(2) 非同期形シリアル I/O (UART) モード

シリアル I/O 2 制御レジスタのシリアル I/O 2 モード選択ビット (001D16番地の b6) を "0" にすることによって UART が選択されます。

38B7グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38B7グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています (メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

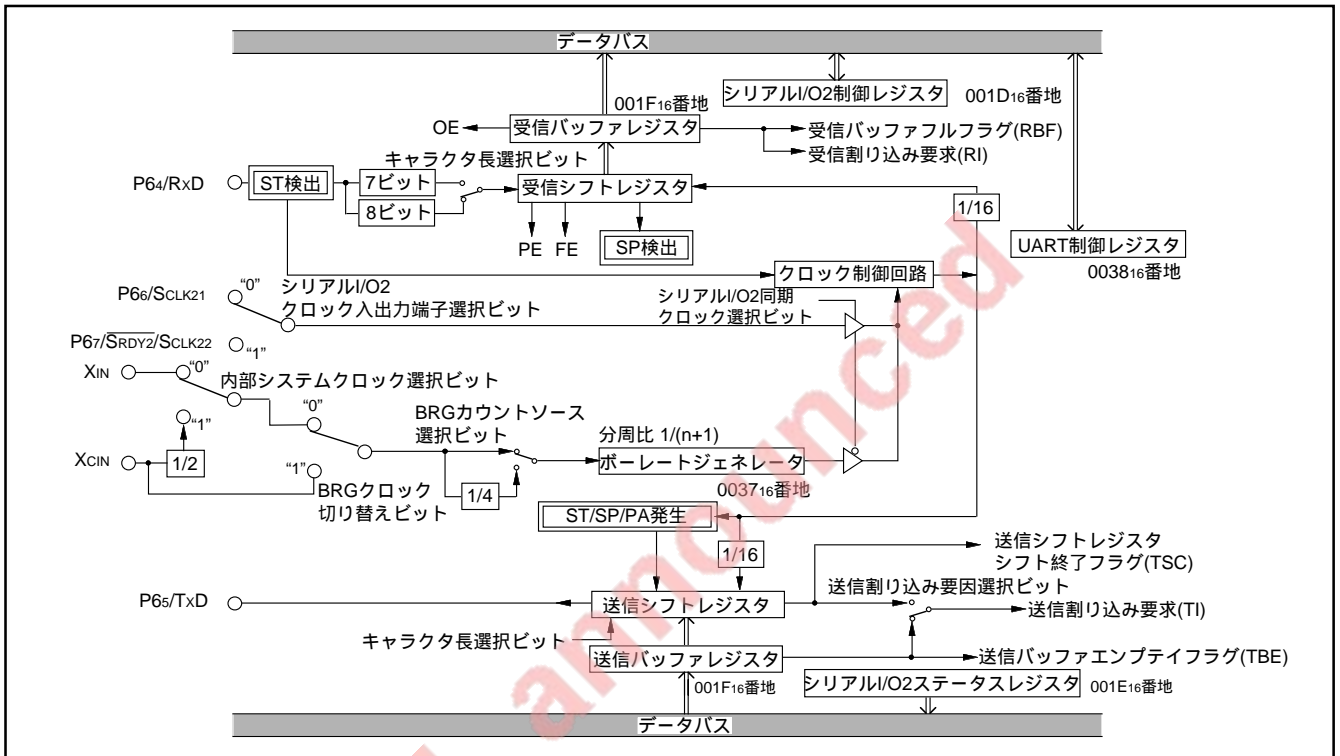


図38. UART形シリアル I/O 2 ブロック図

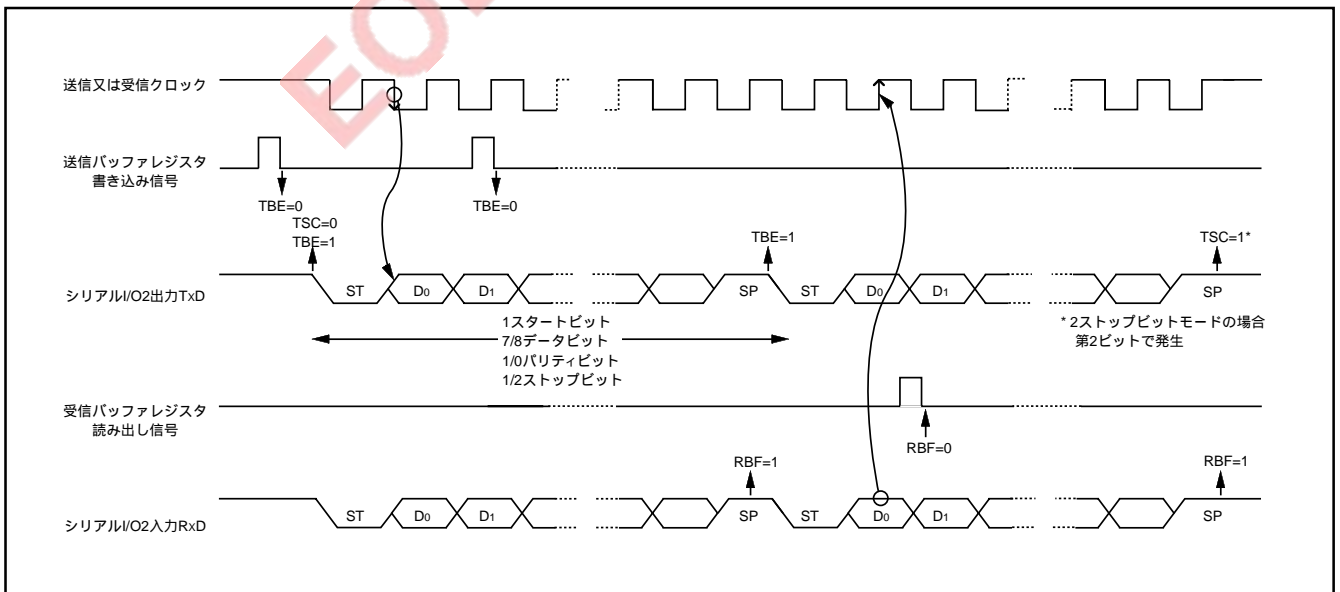


図39. UART形シリアル I/O 2 動作図

【シリアル I/O 2 制御レジスタ】SIO2CON

シリアル I/O 2 制御レジスタはシリアル I/O 2 の各種制御を行う 8 ビットの選択ビットで構成されています。

【UART 制御レジスタ】UARTCON

UART 選択時有効な 4 ビットの制御ビットと 3 ビットの常に有効な制御ビットより構成された 7 ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P65/TxD端子の出力形式などを設定します。

【シリアル I/O 2 ステータスレジスタ】SIO2STS

シリアル I/O 2 の動作状態を示すフラグ及び各種エラーフラグで構成された 7 ビットの読み出し専用レジスタです。ビット 4 ~ 6 の 3 ビットは UART モード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと 0 にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアル I/O 2 ステータスレジスタへの書き込みですべてのエラーフラグ (OE、PE、FE、SE) がクリアされます。また、シリアル I/O 2 許可ビット (SIOE) に 0 を書き込むとエラーフラグを含む全てのステータスフラグが 0 にクリアされます。

このレジスタのすべてのビットはリセット時 0 に初期化されますが、シリアル I/O 2 制御レジスタの送信許可ビットを 1 にしたときビット 2 とビット 0 は 1 になります。

【シリアル I/O 2 送信/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が 7 ビットの場合、受信バッファレジスタに格納される受信データの MSB は 0 となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った 8 ビットのカウンタで、値 n を設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

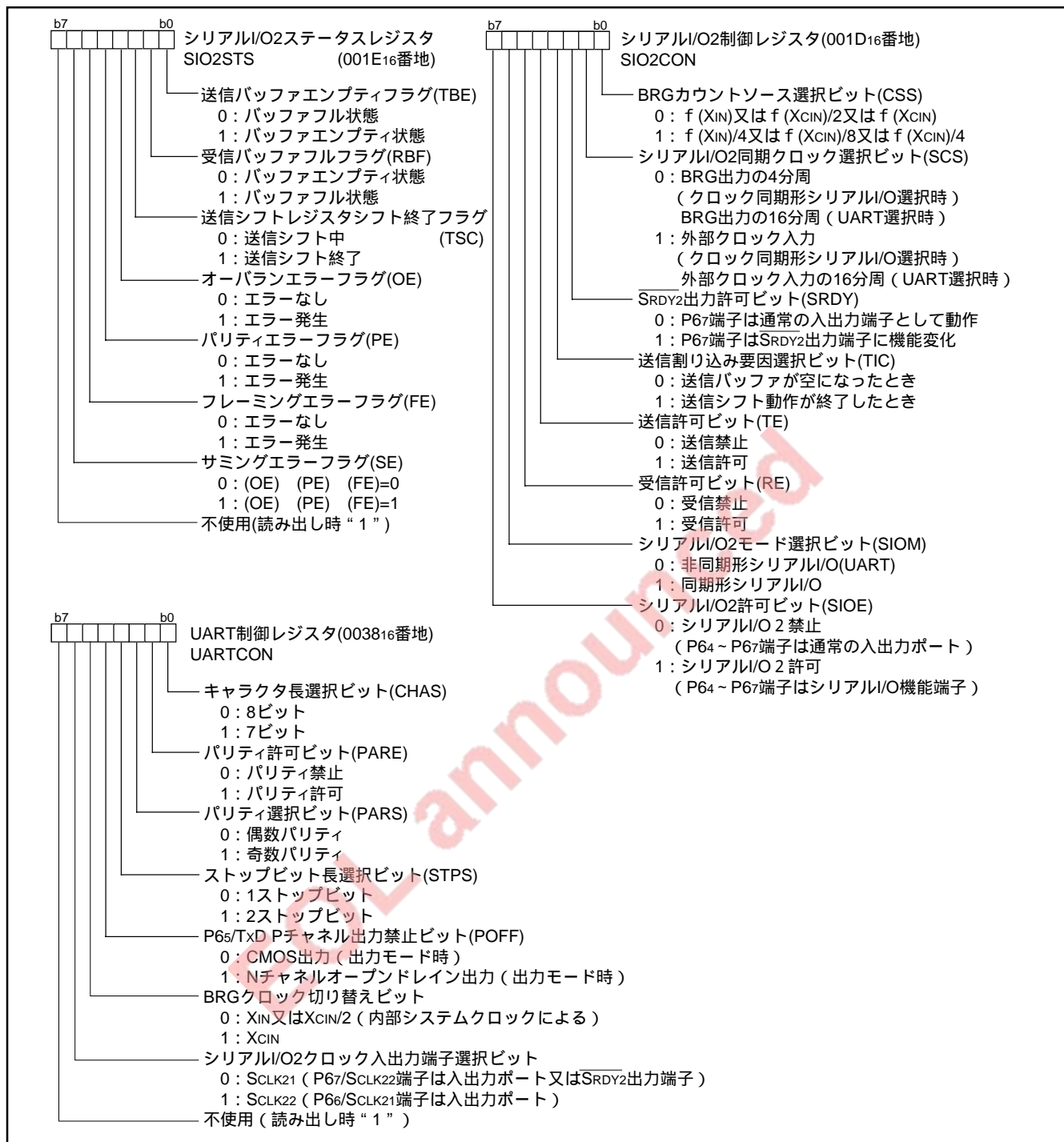


図40. シリアルI/O 2関係レジスタの構成

注意事項

シリアルI/O2の送信許可ビットを"1"にしたとき、シリアルI/O2送信割り込み要求ビットが"1"になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- ①シリアルI/O2送信割り込み許可ビットを"0" (禁止)にする。
- ②送信許可ビットを"1"にする。
- ③一命令以上おいてから、シリアルI/O2送信割り込み要求ビットを"0"にする。
- ④シリアルI/O2送信割り込み許可ビットを"1" (許可)にする。

シリアルI/O3

シリアルI/O3は8ビットのクロック同期形シリアルI/Oとして動作します。

シリアルI/Oの入出力は、すべて入出力ポートP9と共用になっており、シリアルI/O3制御レジスタ(0EEC16番地)により設定します。

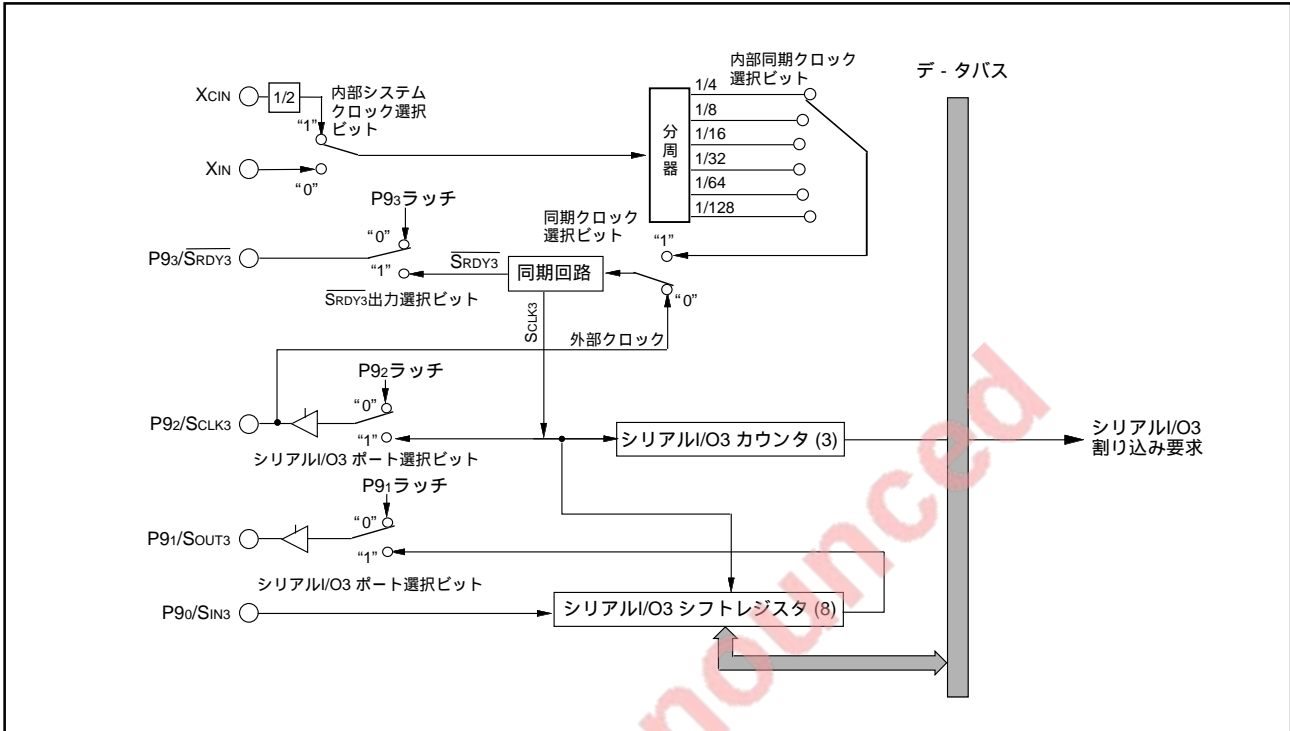


図41. シリアルI/O3ブロック図

【シリアルI/O制御レジスタ3】SIO3CON

シリアルI/O制御レジスタ3は8ビットのレジスタで、シリアルI/O3の各種制御を行う選択ビットで構成されています。

・シリアルI/O3の動作

シリアルI/O3送受信を行うための同期クロックとして、内部クロックと外部クロックを選択できます。内部クロックとして専用の分周器を内蔵しており、6通りのクロックを選択できます。

内部クロックを選択した場合、転送の開始は、シリアルI/O3レジスタ(0EED16番地)への書き込み信号により行われます。8ビットの転送終了後、SOUT3端子は、ハイインピーダンス状態になります。

外部クロックを選択した場合は、送受信クロックが入力されている間、シリアルI/O3レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。また、データ転送完了後のSOUT3端子ハイインピーダンスの機能はありません。

内部クロック、外部クロックに関わらず、8ビットの転送後割り込み要求ビットがセットされます。

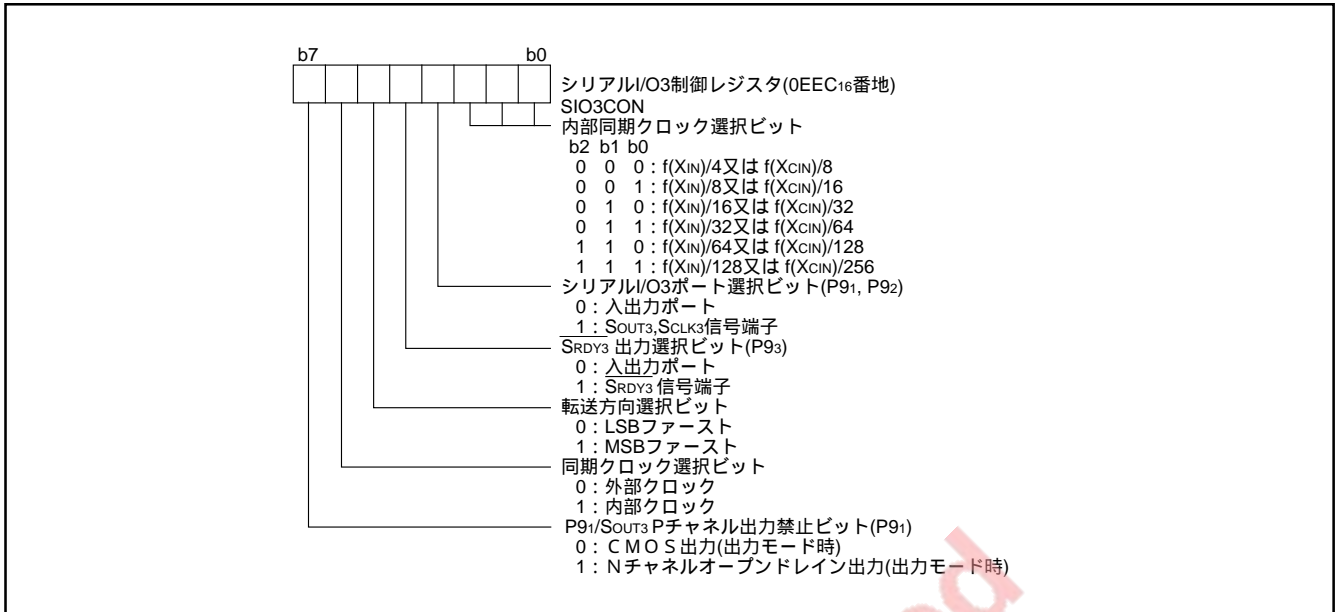


図42 . シリアル/O3制御レジスタの構成

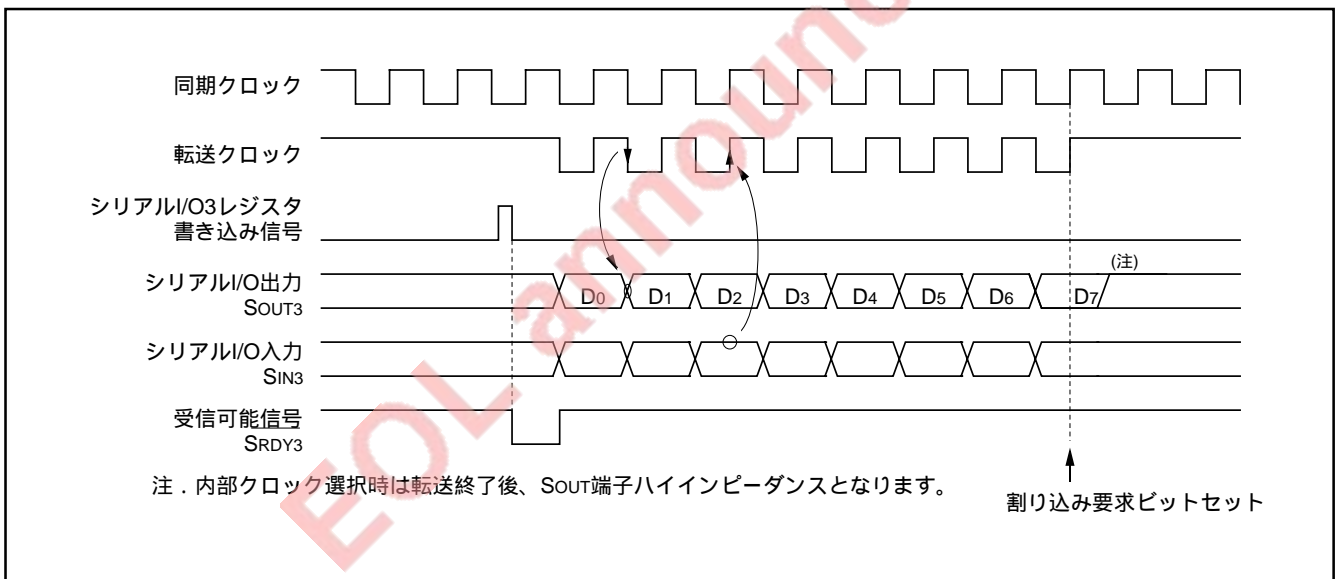


図43 . シリアル/O3タイミング(LSBファーストの場合)

FLDコントローラ

38B7グループはFLD(蛍光表示管)の駆動および制御回路を持っています。

表9にFLDコントローラの概略仕様を示します。

表9 . FLDコントローラの概略仕様

項目		仕様
FLDコントローラ 用ポート	高耐圧ポート	52本(内20本は通常ポートと切り替え可)
	CMOSポート	4本(4本とも通常ポートと切り替え可) (外付けにドライバーが必要)
表示画素数		FLD出力を使用した場合 28セグメント×28ディジット(セグメント+ディジット 56) ディジット出力を使用した場合 40セグメント×16ディジット (セグメント数 40、ディジット数 16) M35501を接続した場合 56セグメント×(M35501接続数)ディジット (セグメント数 56、ディジット数 M35501の数×16) P64～P67拡張を使用した場合 52セグメント×16ディジット (セグメント数 52、ディジット数 16)
周期		4.0 μ s ~ 1024 μ s (カウントソース XIN/16, 4MHz時) 16.0 μ s ~ 4096 μ s (カウントソース XIN/64, 4MHz時)
ディマー時間		4.0 μ s ~ 1024 μ s (カウントソース XIN/16, 4MHz時) 16.0 μ s ~ 4096 μ s (カウントソース XIN/64, 4MHz時)
割り込み		ディジット割り込み FLDブランキング割り込み
キースキャン		ディジットを使用するキースキャン セグメントを使用するキースキャン
拡張機能		ディジット波出力機能 自動的にディジットの波形を出力する機能です M35501接続機能 DIMOUT(P73)の出力をM35501のCLKとして使用することにより、簡単にディジット数を増やすことができます Toff区間有無機能 接続した出力が同じであれば、Toff1区間が発生しない機能です 階調表示機能 セグメント毎に暗表示と明表示が設定できる機能です P64～P67拡張機能 4本のポートに4 16デコーダをつけて16本のディジット出力を行う機能です

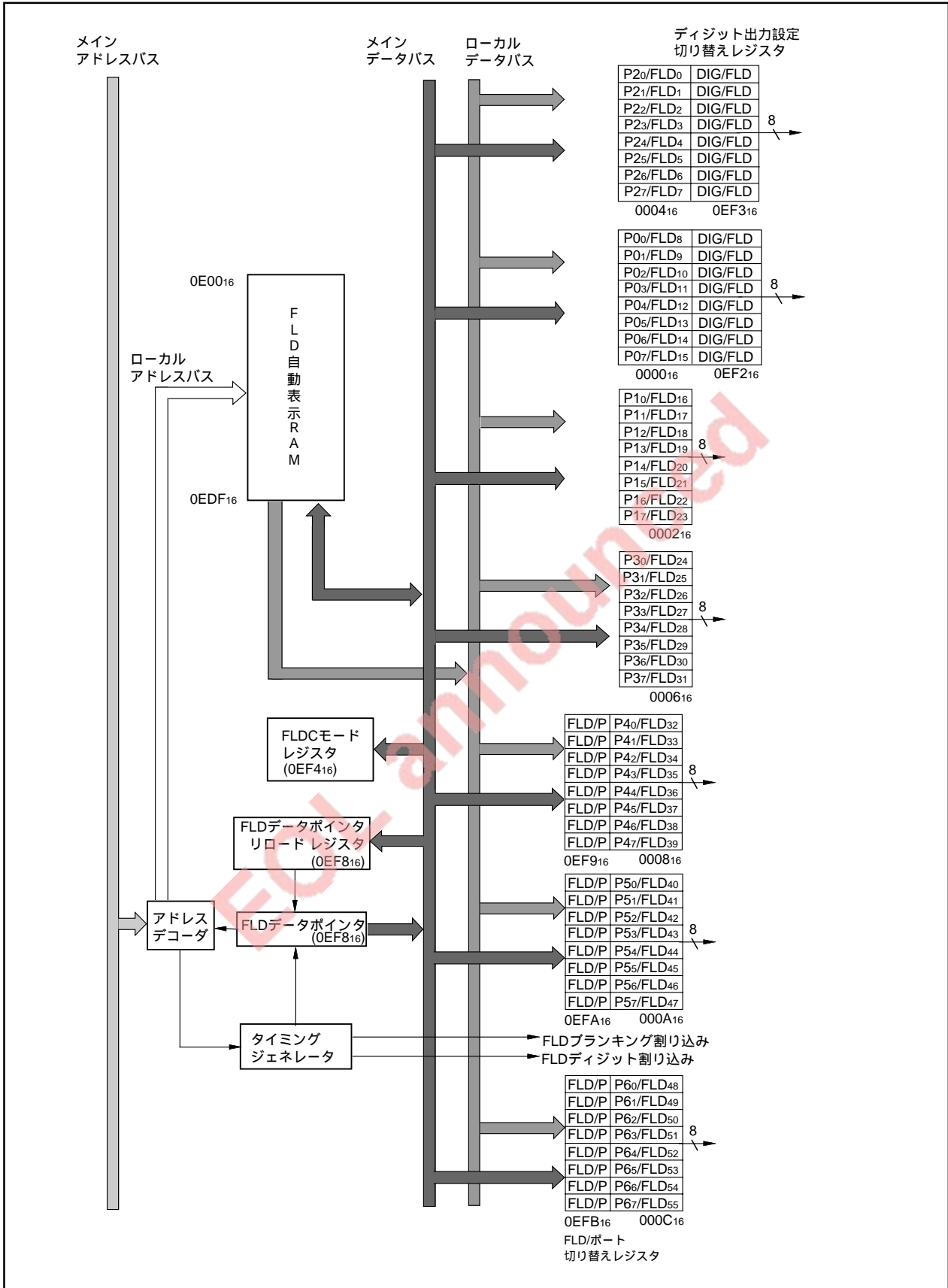
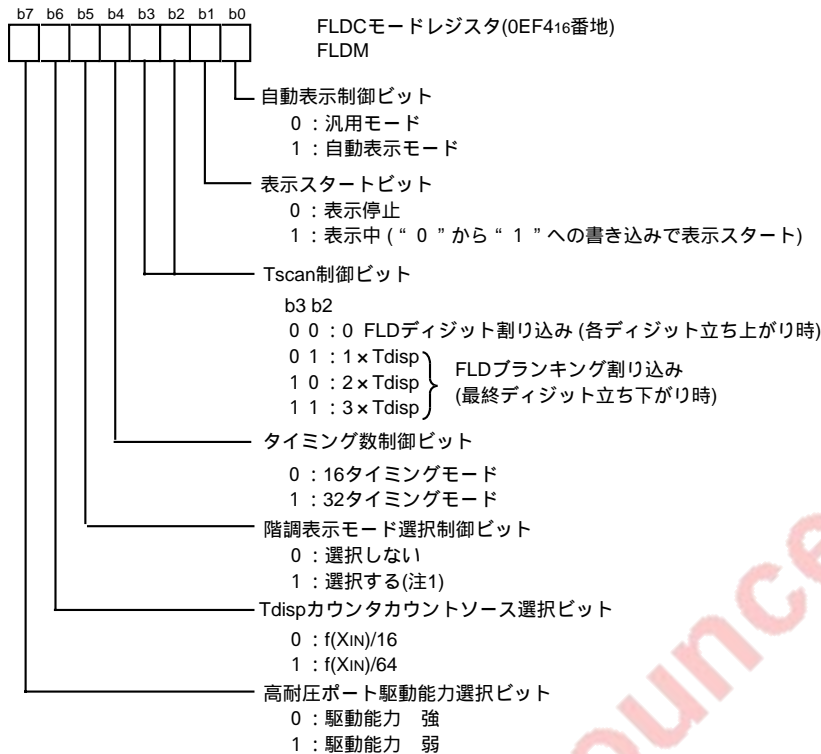


図44 . FLD制御回路ブロック図



注1. 階調表示モードを選択する場合、タイミング数は最大16タイミングとなります。
(必ずタイミング数制御ビットを“0”にしてください。)

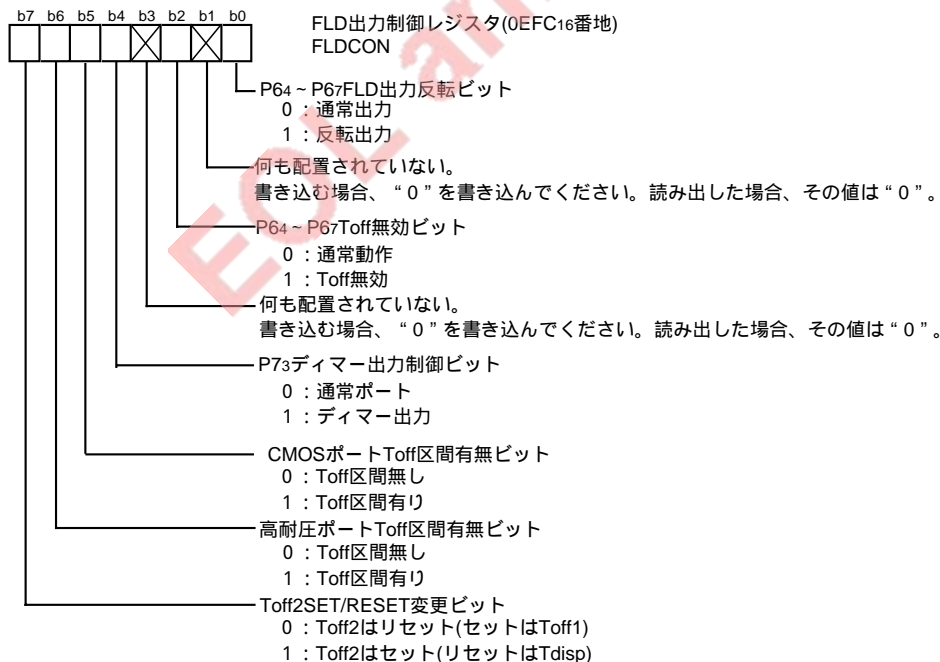


図45 . FLDC関連レジスタ(1)

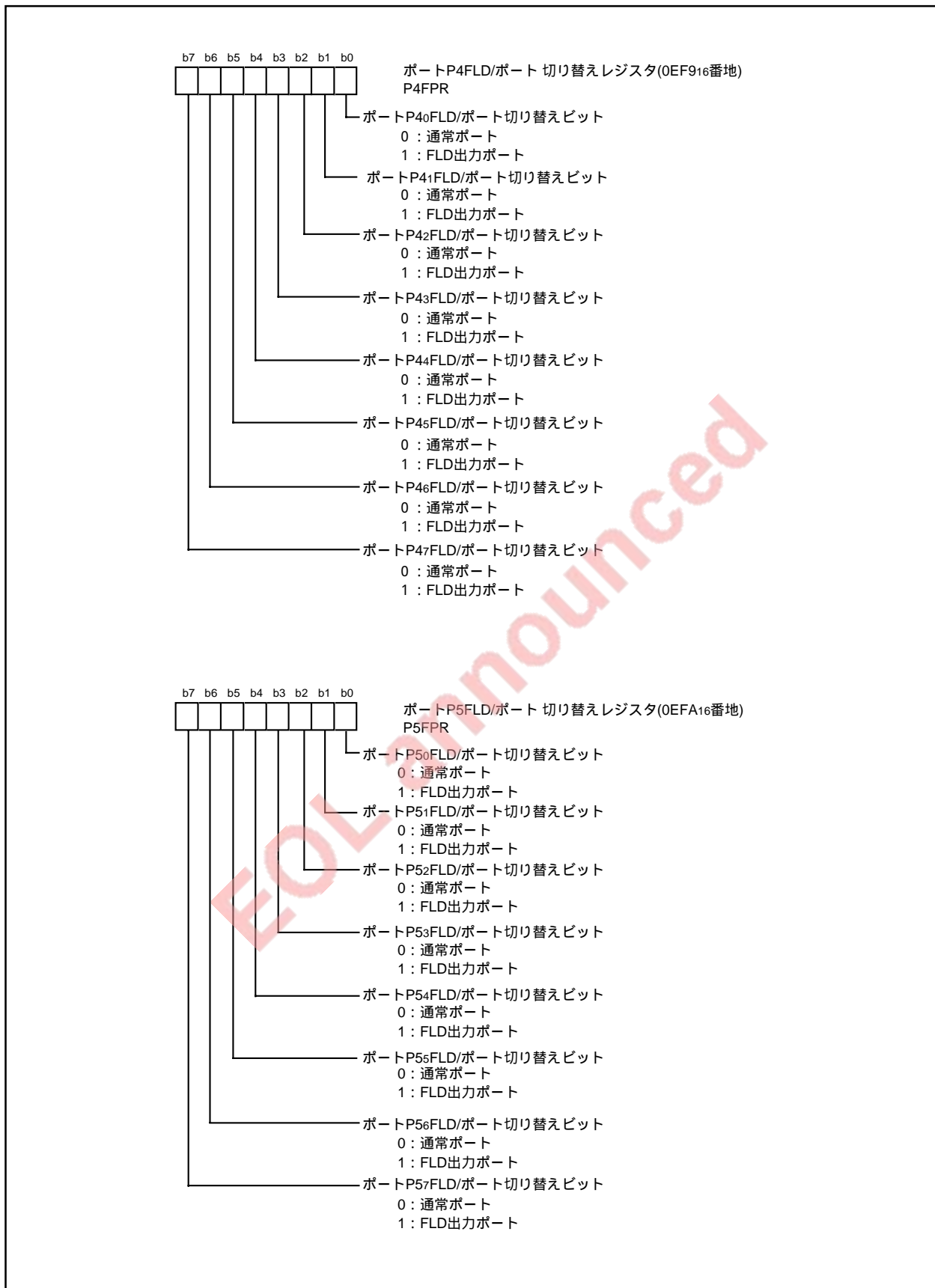


図46 . FLDC関連レジスタ(2)

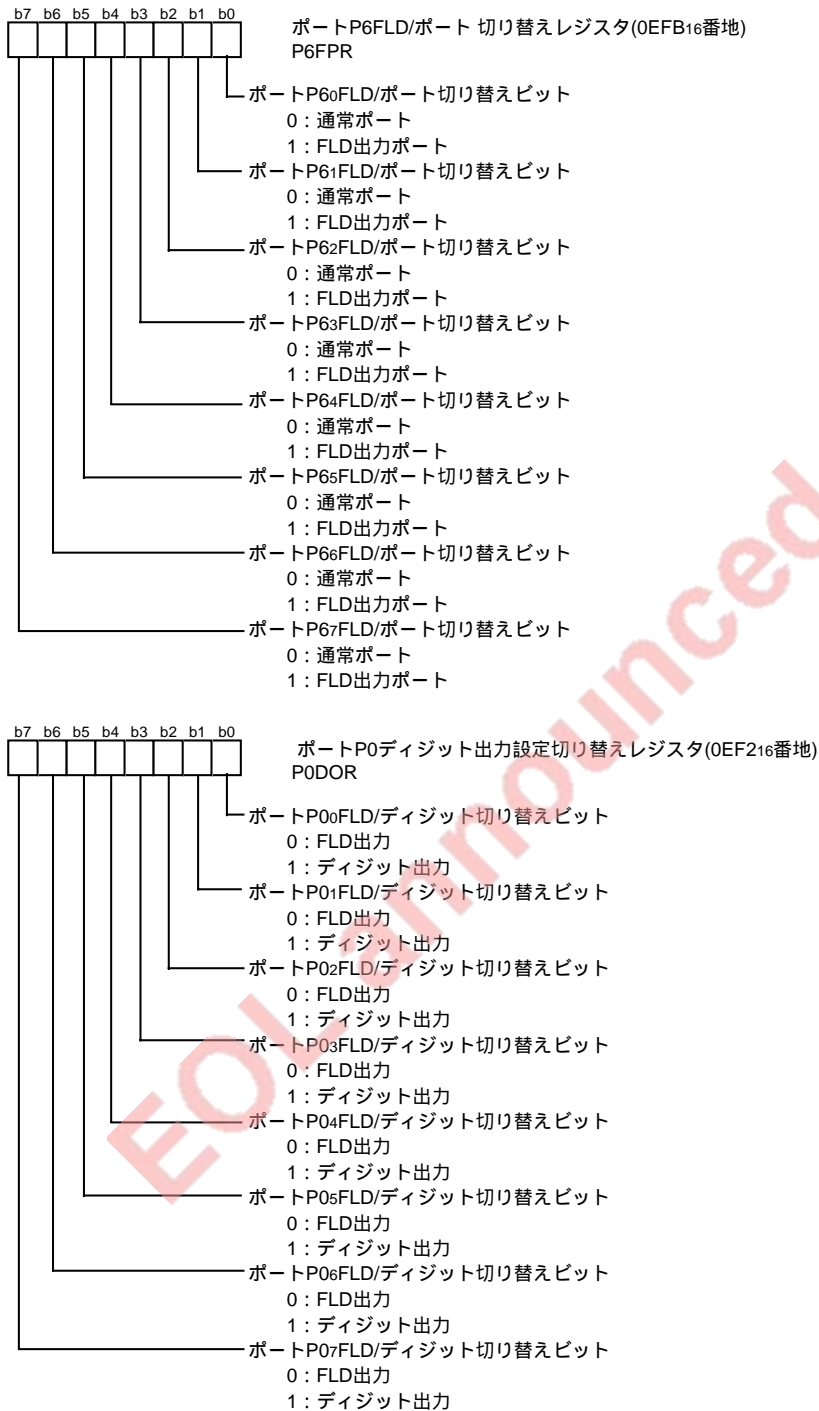


図47 . FLDC関連レジスタ(3)

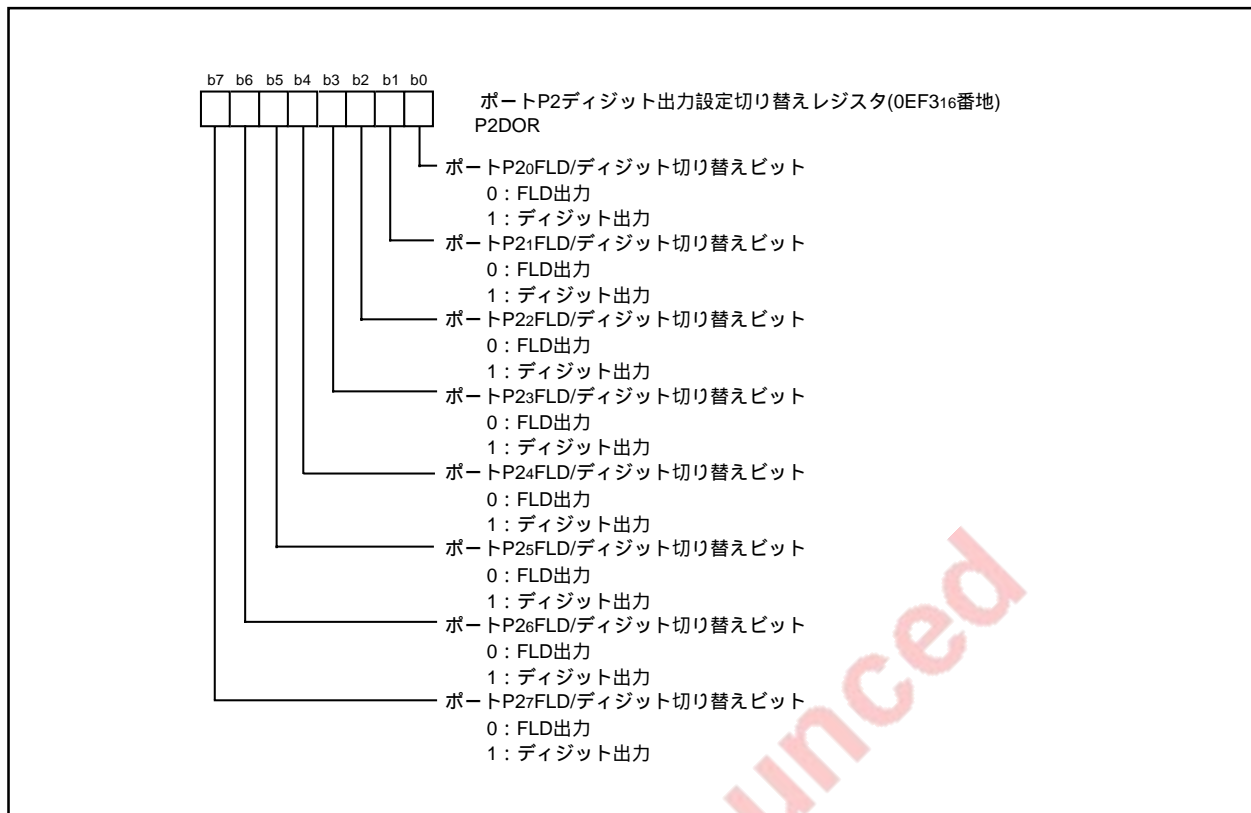


図48 . FLDC関連レジスタ(4)

FLD自動表示用端子

P0～P6がFLDの自動表示出力可能な端子です。自動表示制御ビット(0EF416番地のビット0)に“1”を書き込むことにより動作を開始します。RAMの内容をタイミング毎にポートから出力するFLD出力またはディジットのタイミングでポートを“H”にするディジット出力の機能を持っています。セグメントにはFLD出力、ディジットにはディジット出力またはFLD出力

を使用してFLDを表示することができます。ディジットにFLD出力を使用する場合は、あらかじめRAMにディジット表示パターンを書き込んでください。必要なセグメントおよびディジットの本数以外は、汎用ポートとして使用することもできます。各ポートの設定を下記に示します。

表10. FLD自動表示モード時の端子

ポート名	自動表示用端子名	設定方法
P0、P2	FLD0～FLD15	ディジット出力設定切り替えレジスタ(0EF216番地、0EF316番地)によりビットごとに、FLDポート(“0”)またはディジットポート(“1”)に設定できます。ディジットポートに設定するとディジット波形出力機能が有効となり、FLD自動表示RAMの値に関係なくディジット波形を出力することができます。
P1、P3	FLD16～FLD31	自動表示制御ビット(0EF416番地のビット0)に“1”を書き込むことによりFLD専用ポートになります。
P4、P5、P60～P63	FLD32～FLD51	FLD/ポート切り替えレジスタ(0EF916～0EFB16番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。
P64～P67	FLD52～FLD55	FLD/ポート切り替えレジスタ(0EFB16番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。また、FLD出力制御レジスタ(0EFC16番地)により、各種の出力波形を選択することが可能です。ポートの出力形式はCMOS出力形式であり、表示端子として使用する場合、外付けのドライバが必要となります。



図49. セグメント/ディジットの設定例

FLD自動表示RAM

FLD自動表示RAMは、0E00₁₆～0EDF₁₆番地の224バイトを使用します。FLDはタイミング数および階調表示の有無により16タイミング通常モード、16タイミング・階調表示モード、32タイミングモードの3つのモードがあります。自動表示RAMはそれぞれ以下のようになります。

(1) 16タイミング・通常モード

表示タイミングが16以下のときに使用するモードです。0E70₁₆～0EDF₁₆番地の112バイトをFLD表示データ格納領域として使用します。0E00₁₆～0E6F₁₆番地は自動表示RAMとして使用しませんので、通常のRAMとして使用できます。

(2) 16タイミング・階調表示モード

表示タイミングが16以下で、セグメント毎に明暗を付けることができるモードです。0E00₁₆～0EDF₁₆番地の224バイトを使用します。0E70₁₆～0EDF₁₆番地の112バイトはFLD表示データ格納領域として使用し、0E00₁₆～0E6F₁₆番地の112バイトは階調表示制御データ格納領域として使用します。

(3) 32タイミングモード

表示タイミングが16より大きい場合使用するモードです。最大32タイミングまで使用することができます。0E00₁₆～0EDF₁₆番地の224バイトをFLD表示データ格納領域として使用します。

FLDデータポインタ(0EF8₁₆番地)は表示タイミング数をカウントするレジスタです。リロードレジスタを持っており、アンダフロ-するとリロードレジスタの値をリロードしてカウントを続けます。FLDデータポインタには、タイミング数-1の値を設定してください。この番地にデータを書き込むとFLDデータポインタリロードレジスタにデータが書き込まれ、データを読み出すとFLDデータポインタの値が読み出されます。

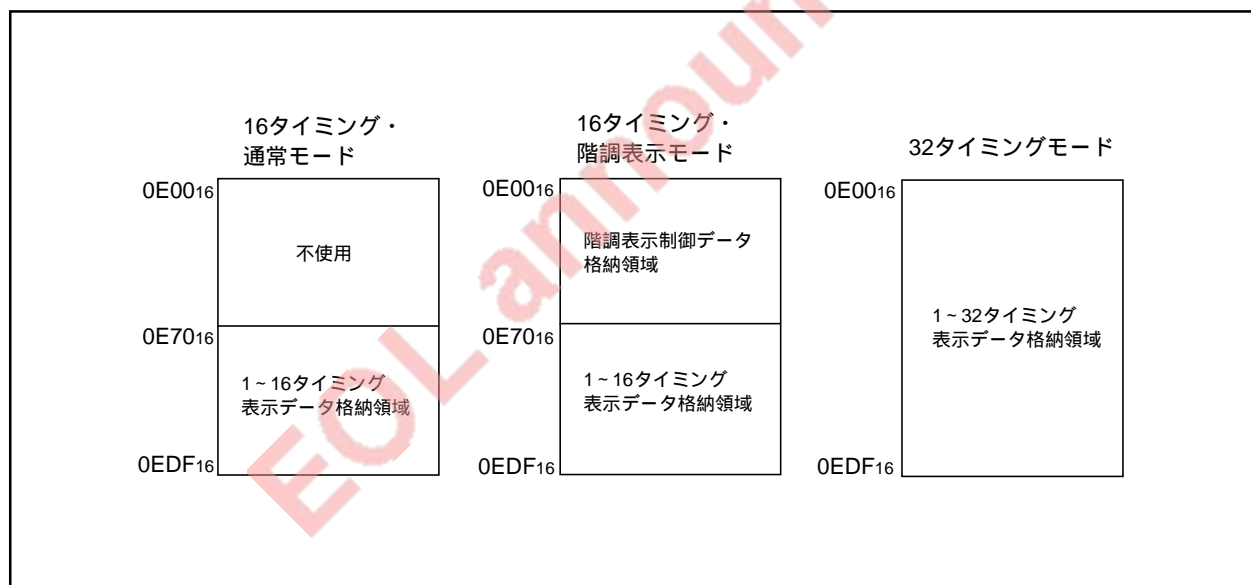


図50 . FLD自動表示RAMの配置図

データの設定

(1) 16タイミング・通常モード

FLD自動表示RAMは、0E70₁₆～0EDF₁₆番地の領域を使用します。データを格納する場合は、FLDポートP6、P5、P4、P3、P1、P0、P2の最終データがそれぞれ0E70₁₆番地、0E80₁₆番地、0E90₁₆番地、0EA0₁₆番地、0EB0₁₆番地、0EC0₁₆番地及び0ED0₁₆番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP6、P5、P4、P3、P1、P0、P2の先頭データを格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数 - 1)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数 - 1)の値を設定してください。

(2) 16タイミング・階調表示モード

表示データの設定は、16タイミング通常モードと同一です。階調表示制御データは、各タイミング、端子の表示データ格納アドレスから0070₁₆を引いたアドレスに配置されており、“0”で明表示を、“1”で暗表示を行います。

(3) 32タイミングモード

FLD自動表示RAMは、0E00₁₆～0EDF₁₆番地の領域を使用します。データを格納する場合は、FLDポートP6、P5、P4、P3、P1、P0、P2の最終データがそれぞれ0E00₁₆番地、0E20₁₆番地、0E40₁₆番地、0E60₁₆番地、0E80₁₆番地、0EA0₁₆番地及び0EC0₁₆番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP6、P5、P4、P3、P1、P0、P2の先頭データの格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数 - 1)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数 - 1)の値を設定してください。

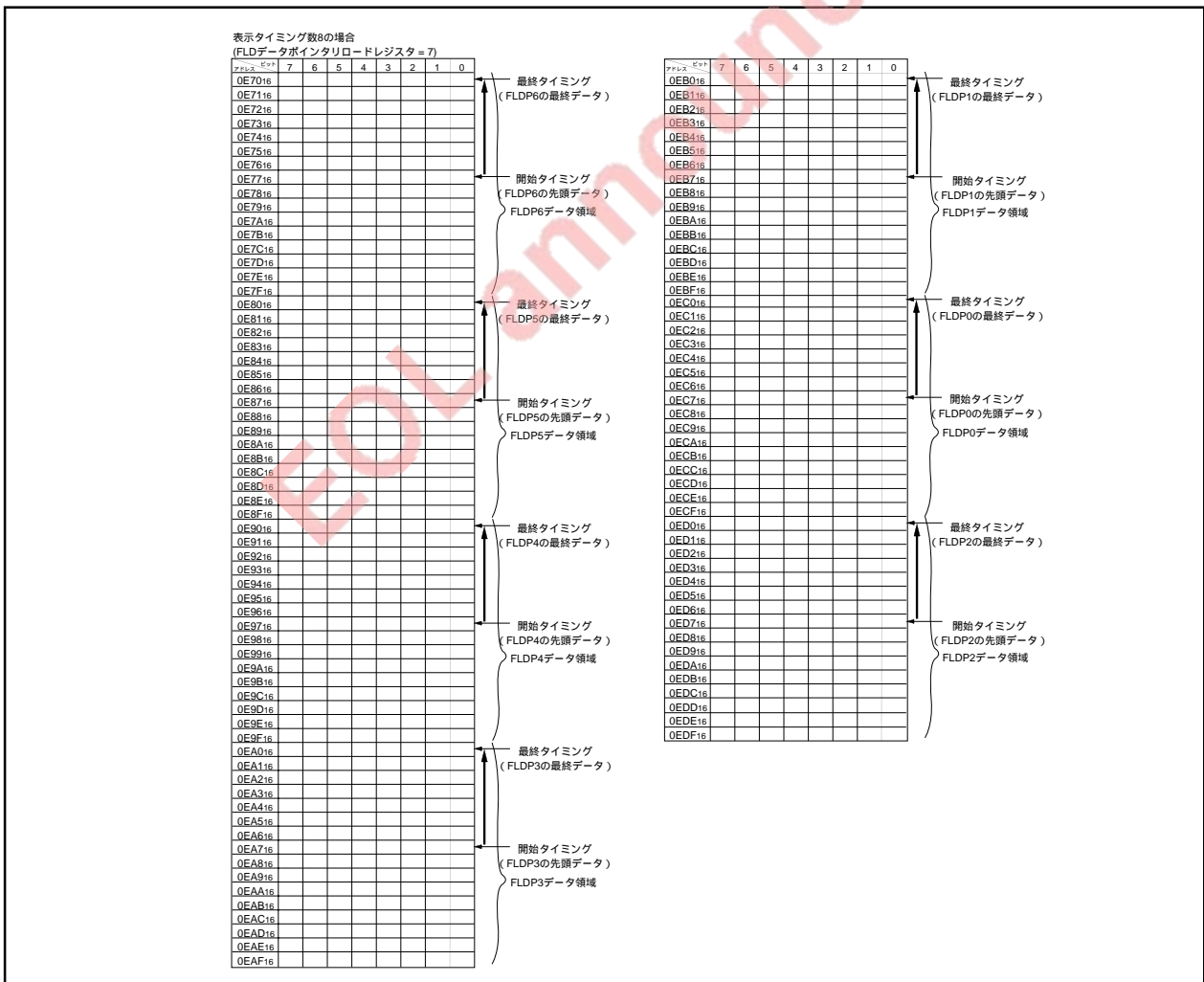


図51 . 16タイミング・通常モード、RAM配置図と使用領域の例

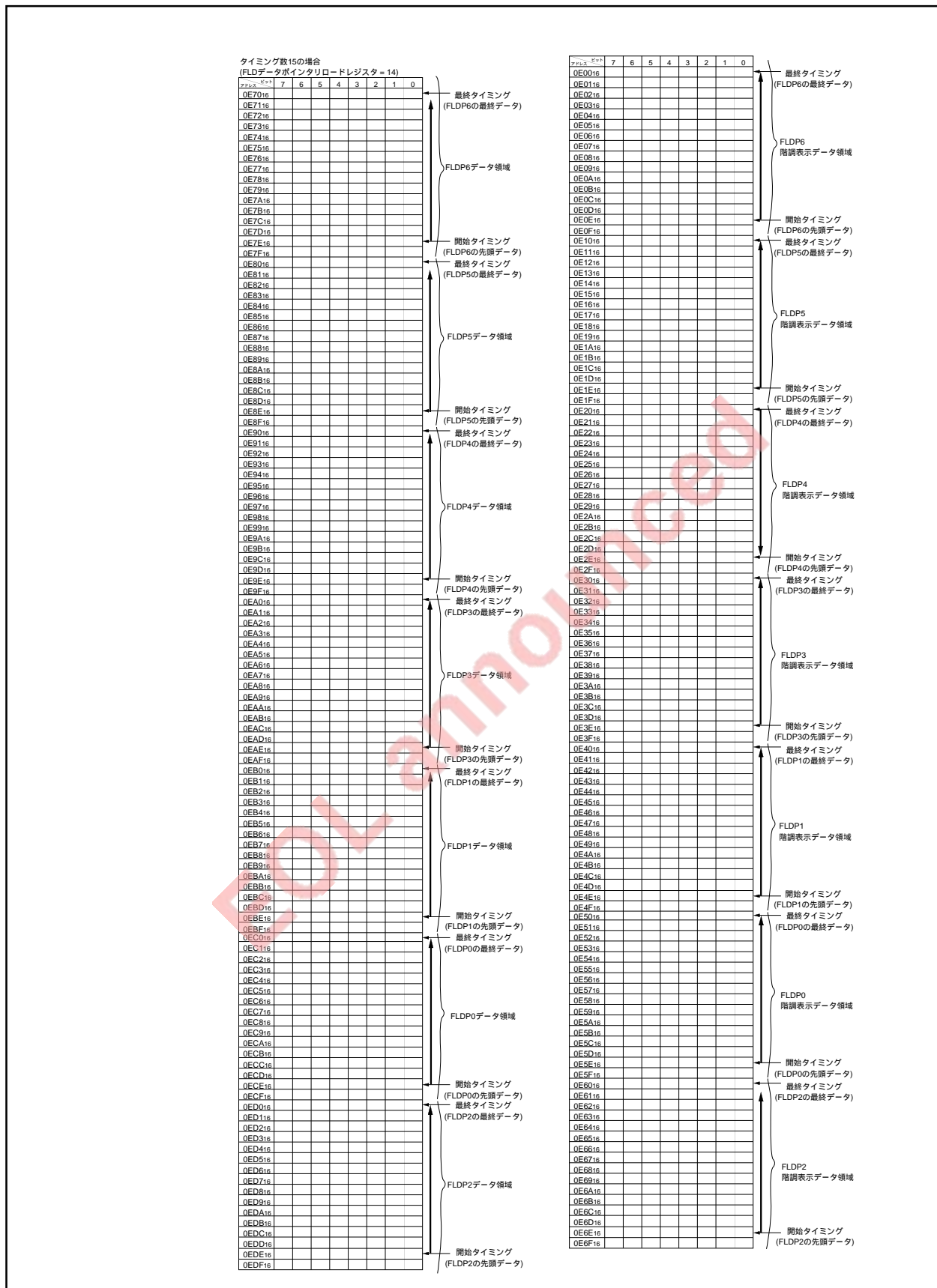


図52 . 16タイミング・階調表示モード、RAM配置図と使用領域の例

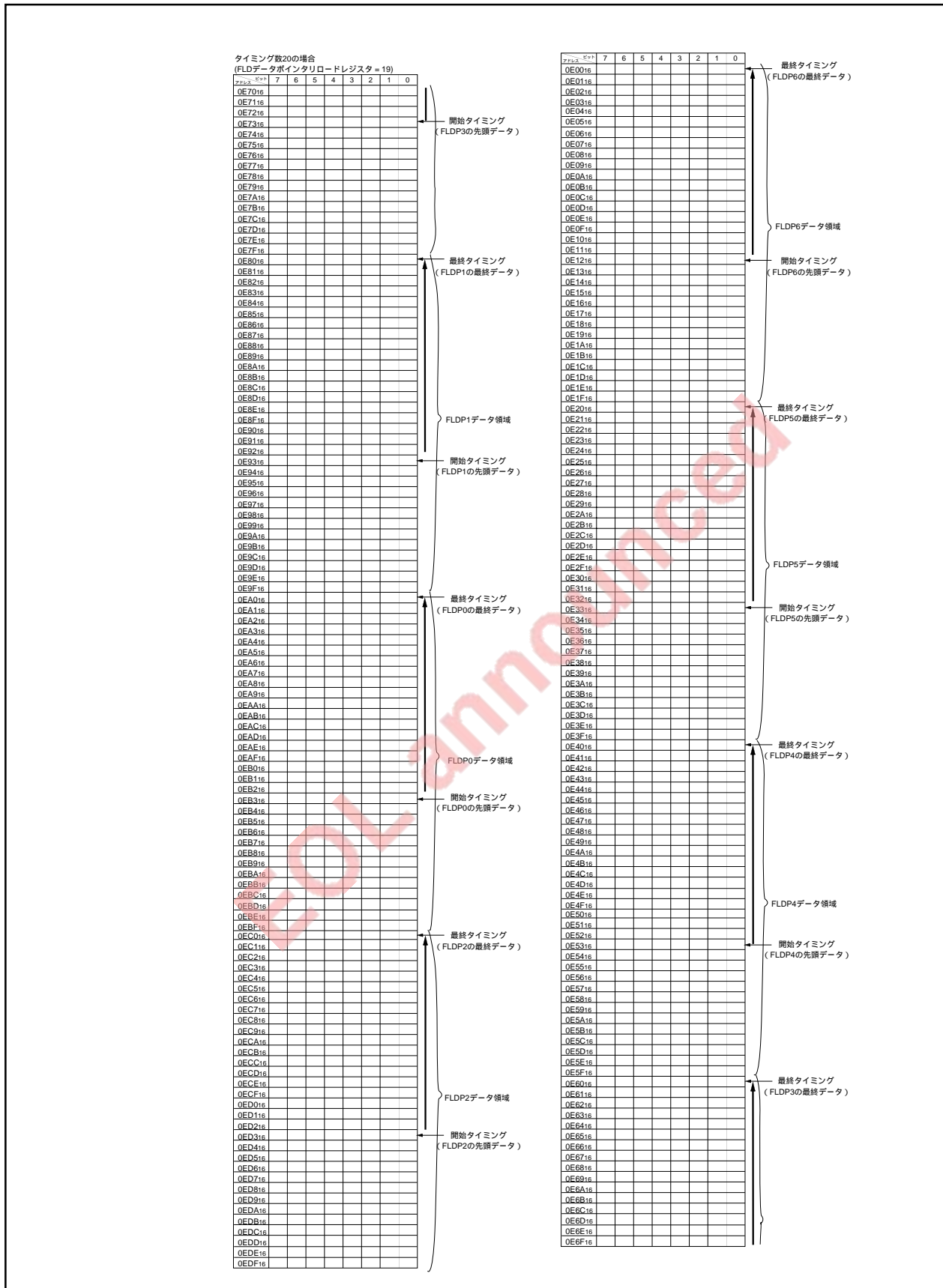


図53 . 32タイミングモード、RAM配置図と使用領域の例

タイミングの設定

各種タイミングは、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタにより設定を行います。

(1) Tdisp時間の設定

Tdisp時間は、表示タイミングの長さです。階調表示無しモードでは、FLD表示出力期間とToff1時間で構成されています。階調表示有りモードでは、表示出力期間とToff1時間、更に暗表示の為に「L」出力期間で構成されています。FLDCモードレジスタのTdispカウンタカウントソース選択ビットおよびTdisp時間設定レジスタによりTdisp時間の設定を行います。Tdisp時間設定レジスタの値をnとすると、Tdisp時間は $Tdisp = (n+1) \times t$ (t: カウンタソース)で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが「0」でTdisp時間設定レジスタが200(C816)の場合、Tdisp時間は $Tdisp = (200 + 1) \times 4.0 \mu s$ (XIN = 4MHz時) = 804 μs となります。なお、Tdisp時間設定レジスタを読み出した場合、カウント中の値が読み出されます。

(2) Toff1時間の設定

Toff1時間は、FLDにじみ防止およびディマー表示の為に無出力(「L」出力)時間です。Toff1時間設定レジスタによりToff1時間の設定を行います。Toff1には、Tdisp、Toff2より小さな値を設定してください。Toff1時間設定レジスタの値をn1とすると、Toff1時間は $Toff1 = n1 \times t$ で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが「0」でToff1時間設定レジスタの値が30(1E16)の場合、 $Toff1 = 30 \times 4.0 \mu s$ (XIN = 4MHz時) = 120 μs となります。

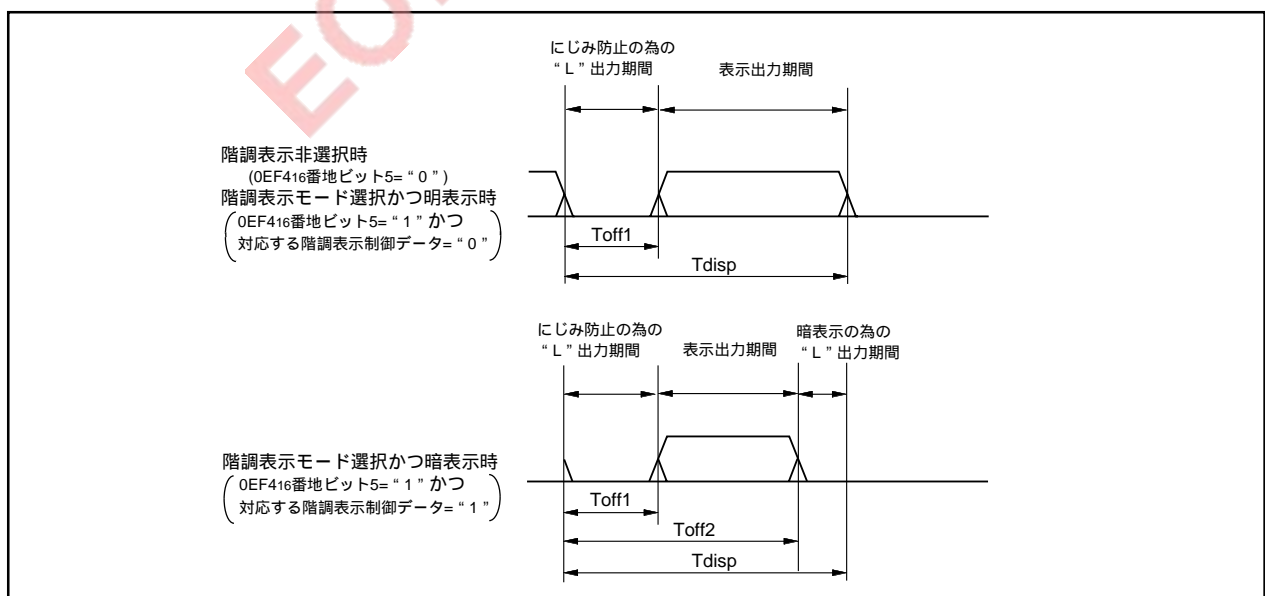
Toff1時間設定レジスタ(0EF616番地)には0316以上の値を設定してください。

(3) Toff2時間の設定

Toff2時間は、暗表示を行う為の時間です。明表示ではFLD表示出力は、TdispをカウントしているカウンタがアンダフローするまでFLD表示出力を行います。しかし、暗表示では、Toff2をカウントしているカウンタがアンダフローすると「L」出力(off出力)になります。Toff2時間の設定は階調表示モードでかつ階調表示制御RAMの値が「1」のFLDポートにのみ有効となります。

Toff2時間はToff2時間設定レジスタにより行います。Toff2には、Tdispより小さくToff1より大きな値を設定してください。Toff2時間設定レジスタの値をn2とすると、Toff2時間は $Toff2 = n2 \times t$ で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが「0」でToff2時間設定レジスタの値が180(B416)の場合、 $Toff2 = 180 \times 4.0 \mu s$ (XIN = 4MHz時) = 720 μs となります。

FLD出力制御レジスタ(0EFC16番地)のビット7を「1」にした場合は、Toff2時間設定レジスタ(0EF716番地)には0316以上の値を設定してください。



FLD自動表示機能の開始

自動表示制御ビット(0EF416番地のビット0)を“1”、表示スタートビット(0EF416番地のビット1)を“1”にすると自動表示が開始します。各ポートの自動表示RAMの先頭番地から(FLDデータポインタ(0EF816番地) - 1)番地離れたRAMの内容を各ポートに出力します。FLDデータポインタ(0EF816番地)は、Tdisp間隔でカウントダウンします。カウントした結果、“FF16”になると、リロードしカウントを続けます。表示スタートビット(0EF416番地のビット1)を“1”にする前に、FLD/ポート切り替えレジスタ、ディジット出力設定切り替えレジスタ、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタ、FLDデータポインタを設定してください。

FLD自動表示中、表示スタートビット(0EF416番地のビット1)は“1”が保持されています。表示スタートビット(0EF416番地のビット1)に“0”を書き込むことによって、FLD自動表示を中断させることができます。

キースキャンと割り込み

割り込みは、FLDディジット割り込みとFLDブランキング割り込みをTscan制御ビット(0EF416番地のビット2、3)で選択できます。

FLDディジット割り込みは、各タイミングのToff1時間終了時(ディジットの立ち上がり)に発生する割り込みです。各FLDディジット割り込みでFLDのディジットを利用したキースキャンができます。

FLDディジット割り込みによってキースキャンを行う場合、以下の手順で行ってください。

割り込みが発生毎にポートの値を読みます。

最後のディジットの割り込みで、キーが確定します。

出力されているディジット位置は、FLDデータポインタ(0EF816番地)を読み出すことで判定できます。

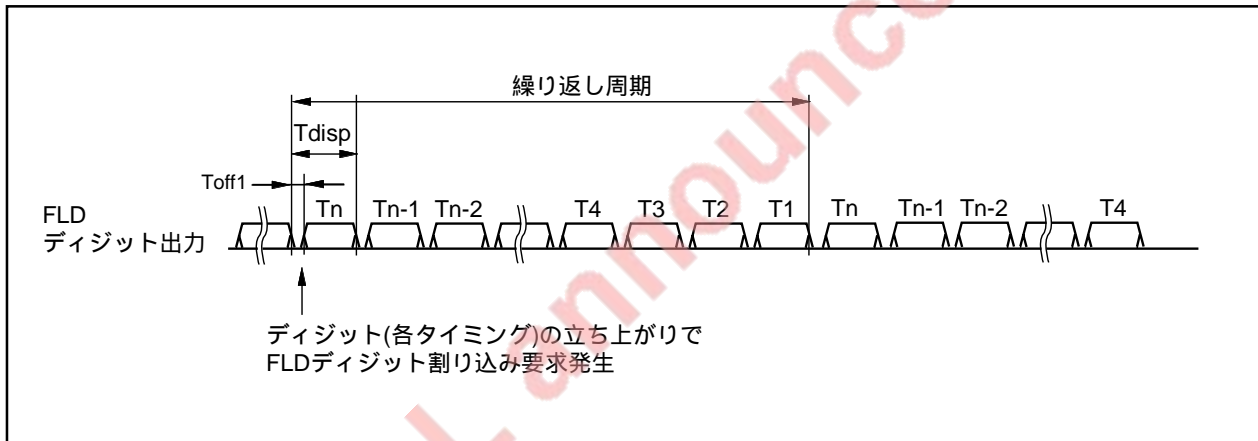


図55. ディジット割り込み時のタイミング

FLDブランキング割り込みは、FLDデータポインタ(0EF816番地)が FF16 になると、発生する割り込みです。割り込み発生後設定によって、 $1 \times T_{disp}$ 、 $2 \times T_{disp}$ 、 $3 \times T_{disp}$ の間、FLD自動表示出力が止まります。その間、FLDのセグメントを利用したキースキャンができます。

キースキャン用ブランキング時間 T_{scan} の間にセグメントによってキースキャンを行う場合、以下の手順で行ってください。

自動表示制御ビット(0EF416番地のビット0)に“0”を書き込む。

セグメントに対応するポートのうち、キースキャンに使用するポートを出力ポートにする。

キースキャンを実行する。

自動表示制御ビット(0EF416番地のビット0)に“1”を書き込む。

～ の手順でキースキャンを行う場合の注意事項を以下に示します。

1. 表示スタートビット(0EF416番地のビット1)に“0”を書き込まないでください。
2. デジタルに対応するポートに“1”を書き込まないでください。

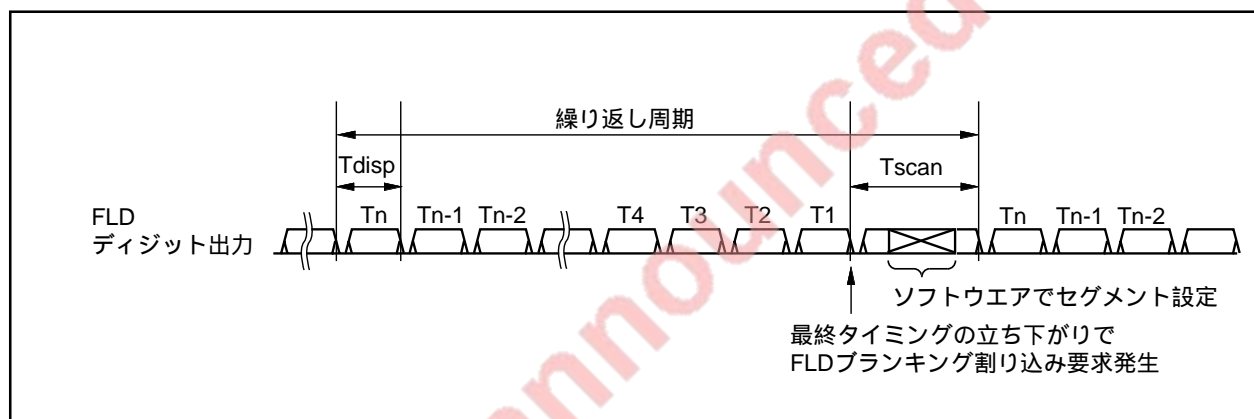


図56 . FLDブランキング割り込み時のタイミング

P64～P67拡張機能

P64～P67は、CMOS出力形式のポートです。このポートに4-bit 16-bitデコーダ接続することによりFLDのデジタル出力を16本追加することができます。P64～P67は、4bit 16bitデコーダに接続するための機能を持っています

(1) P64～P67Toff無効機能

Toff1時間とToff2時間を無効にして、Tdispの間、表示データを出力します。(図57参照)。P64～P67Toff無効ビット(0EFC16番地のビット2)を“1”にすることにより設定できます。

(2) デイマー信号出力機能

DIMOUT(P73)からデイマー信号作成用の信号を出力することができます。この信号でデコーダを制御することによりデイマー機能を実現することができます。(図57参照)。P73デイマー出力制御ビット(0EFC16番地のビット4)を“1”にすることにより設定できます。

これはToff区間有効機能とは異なり、すべての表示データで無効にします。

(3) P64～P67FLD出力反転ビット

P64～P67はFLD出力の極性を反転する機能を備えています。外付けドライバを使用する場合など極性の合わせ込みに使用できます。

FLD出力制御レジスタ(0EFC16番地)のビット0を“1”にすることにより出力極性を反転することができます。

注：階調表示モードかつ暗表示時は、P64～P67Toff無効機能は無効となります。

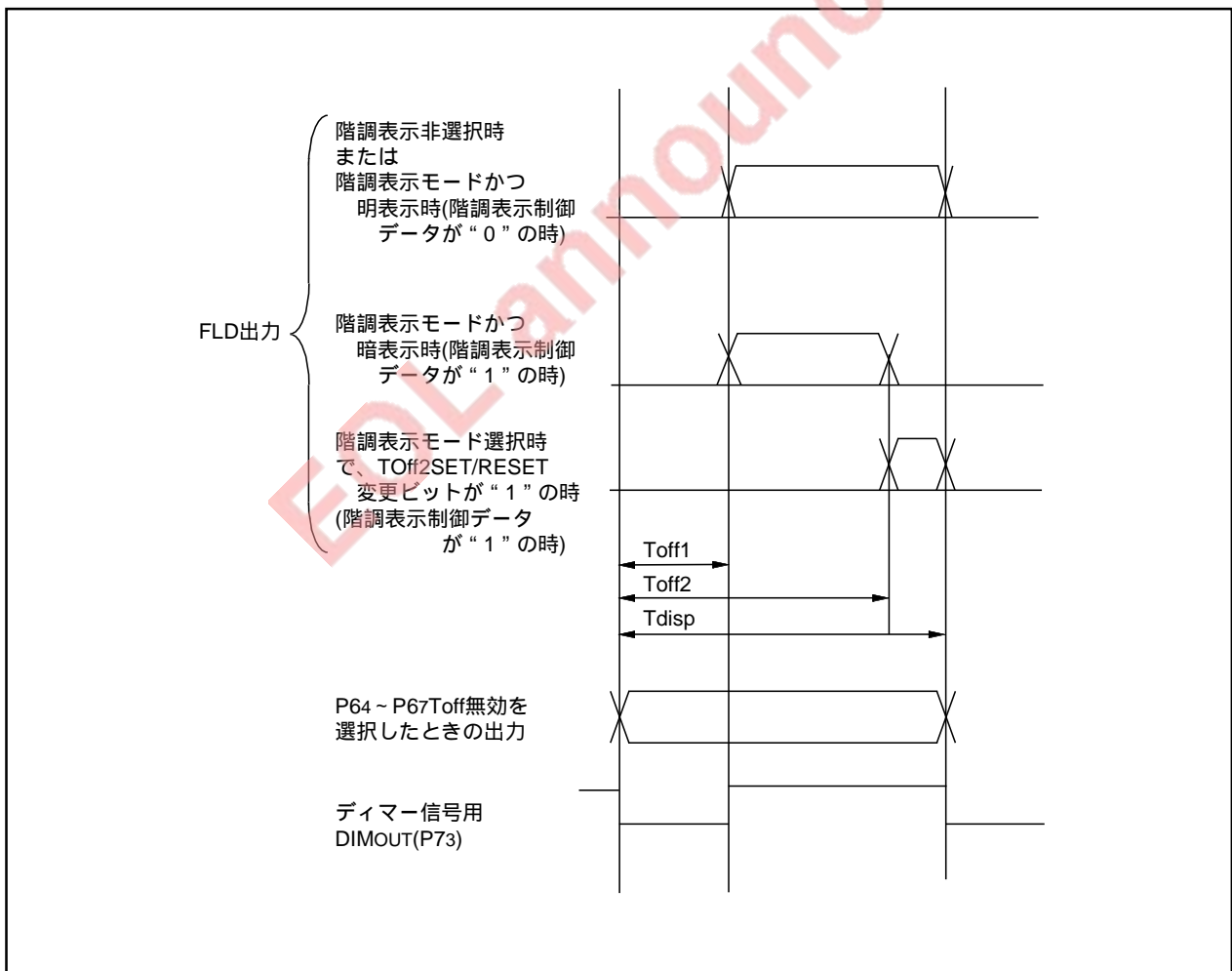


図57 . P64～P67FLD出力波形

Toff区間有無機能

FLD端子間の容量結合によりポートのスイッチング毎に発生する不要なノイズを軽減するための機能です。各FLDポートに連続したデータを出力した場合、連続した部分のToff1区間は発生しません。(図58参照)

Toff1区間を必要とする場合は、CMOSポートToff区間有無ビット(0EFC16番地のビット5)、高耐圧ポートToff区間有無ビット(0EFC16番地のビット6)を“1”に設定してください。高耐圧ポートToff区間有無ビットを“1”に設定すると、高耐圧ポート(P2、P0、P1、P3、P4、P5、P63~P60)52本のToff1時間を発生し、CMOSポートToff区間有無ビットに“1”を設定すると、CMOSポート(P64~P67)4本のToff1時間が発生します。

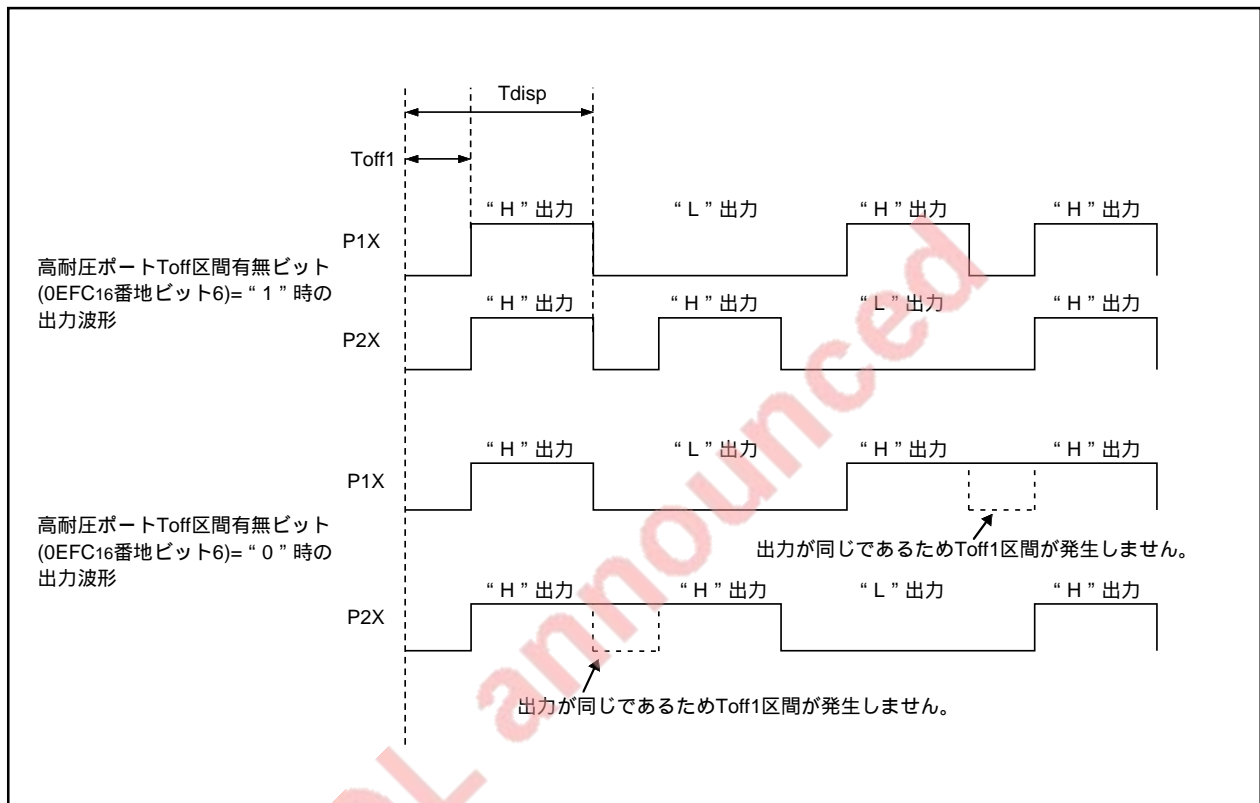


図58 . Toff区間有無機能選択時の出力波形

Toff2 SET/RESET変更ビット

階調モードのときは、Toff2時間設定レジスタ(TOFF2)で設定された値が有効となります。初期状態のFLD出力制御レジスタ(0EFC16番地のビット7)が“0”のとき、FLD出力ポートにはTOFF1に設定された時間でRAMデータが出力(SET)され、TOFF2に設定された時間で“0”(RESET)になります。また、ビット7が“1”のときは、TOFF2に設定された時間でRAMデータが出力(SET)され、Tdisp時間の終わりで“0”(RESET)になります。

注：階調表示モードかつ暗表示時は、Toff区間有無機能は無効となります。

デジット波形出力機能

P00～P07、P20～P27は、デジット出力設定切り替えレジスタによってデジット波形を出力することができます。P20からタイミング数と同じ数だけ、デジット出力設定切り替えレジスタに連続して「1」を書き込んでください。デジット出力を選択したポートに対するFLD自動表示RAMの内容は無効となり、自動的に図59に示した波形が出力されます。出力タイミングは、Tdisp時間とToff1時間で構成され、Toff2時間は存在しません。FLD自動表示RAMの内容が無効になるため、同一番地のFLD自動表示RAMにセグメントデータとデジットデータが混在する場合でも、容易にセグメントデータを変更することができます。

本機能は、16タイミングモード通常モード、16タイミング階調表示モードで有効で、タイミング数(FLDデータポインタリロードレジスタの設定値+1)を越えて設定した場合、越えたポートの出力は、「L」になります。

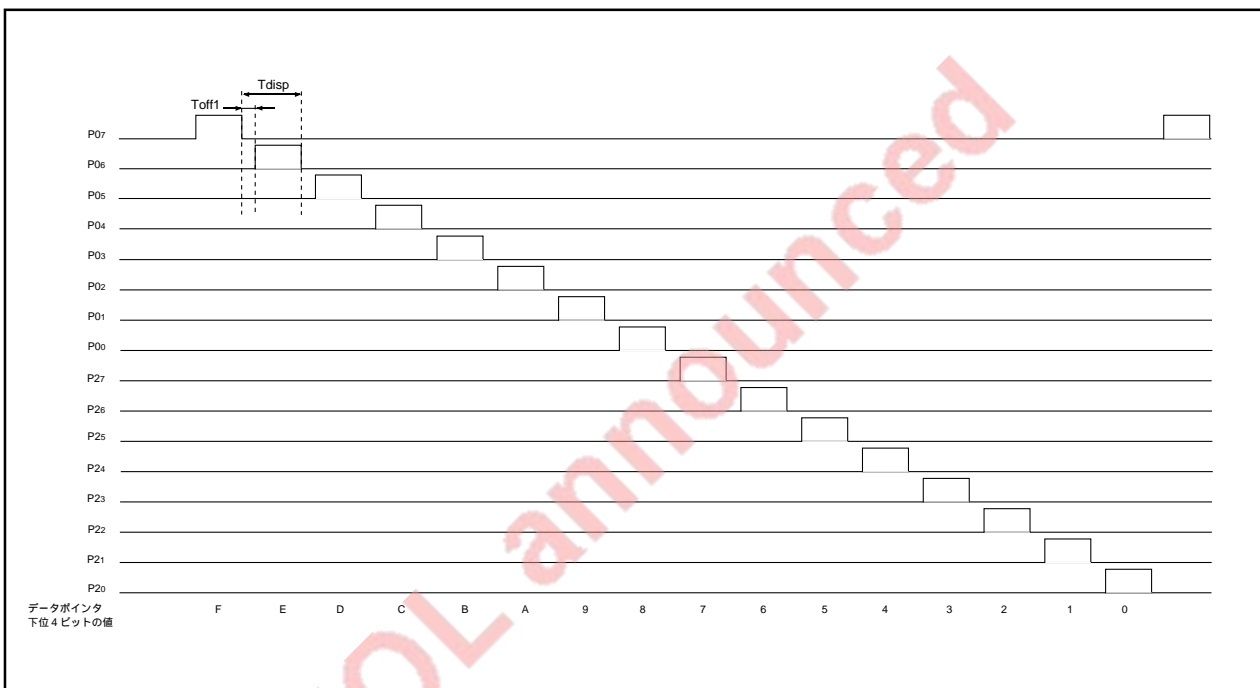


図59．デジット波形出力機能

A-D変換器

38B7グループは、10ビットの逐次比較方式のA-D変換器を持っています。

【A-D変換レジスタ】ADH,ADL

A-D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがA-D変換レジスタ(上位)(0034₁₆番地)に、下位2ビットがA-D変換レジスタ(下位)(0033₁₆番地)のビット7及びビット6に格納されます。

A-D変換中は、このレジスタを読み出さないでください。

【AD/DA制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット3～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFとの間の電圧を1024分割し、分圧を出力します。

【チャンネルセクタ】

ポートPA7/AN7～PA0/AN0、P97/BUZ02/AN15～P90/SIN3/AN8より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットは“1”にセットされます。コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を250kHz以上にしてください。また、CPUモードレジスタ(003B₁₆番地)のビット7は“0”にして使用して下さい。

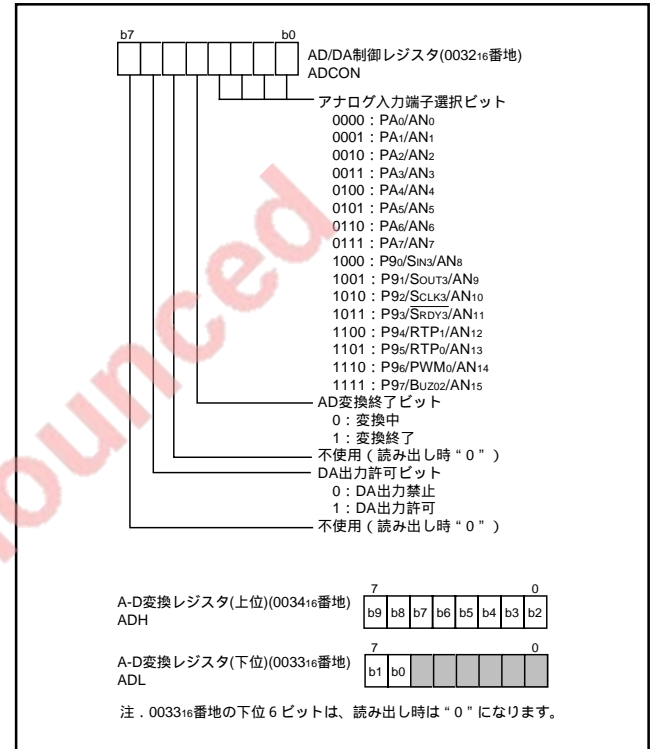


図60. A-D制御レジスタの構成

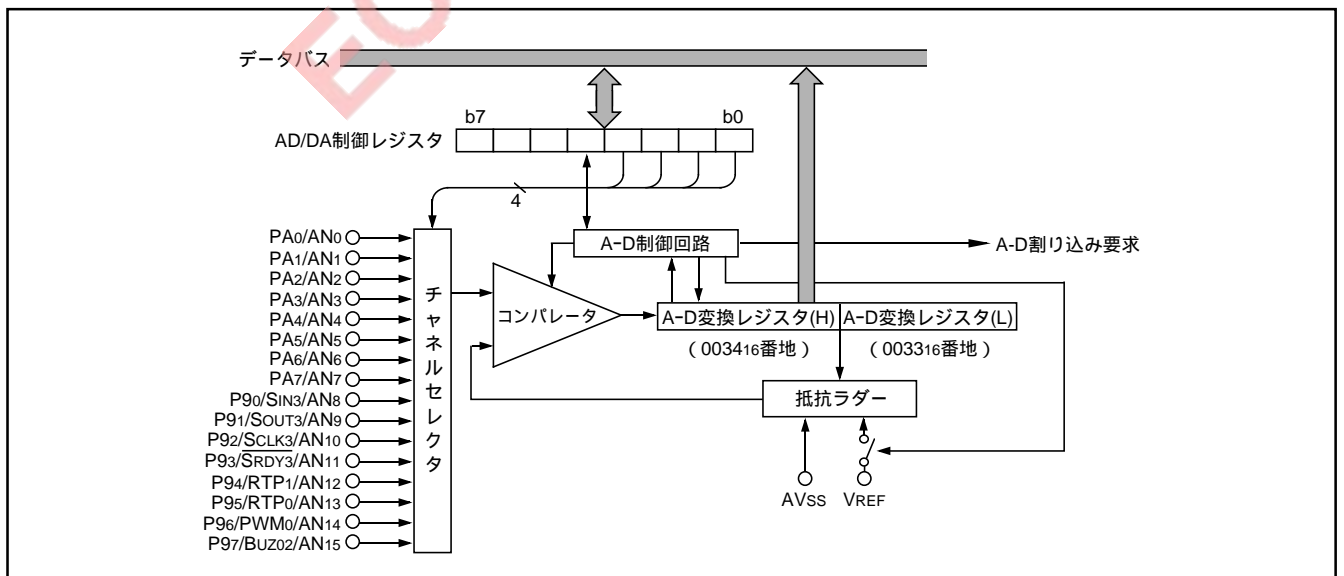


図61. A-D変換器ブロック図

D-A変換器

D-A変換器は分解能8ビットで、1チャンネル内蔵しています。

D-A変換はD-A変換レジスタに値を設定することによって行われます。D-A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA端子から出力されます。このとき、PB0/DAの方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

* VREFは基準電圧

D-A変換レジスタはリセット時‘0016’にクリアされます。また、DA出力許可ビットも、リセット時‘0’にクリアされ、PB0/DA端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。また、D-A変換器を使用する場合はVccを3.0V以上にしてください。

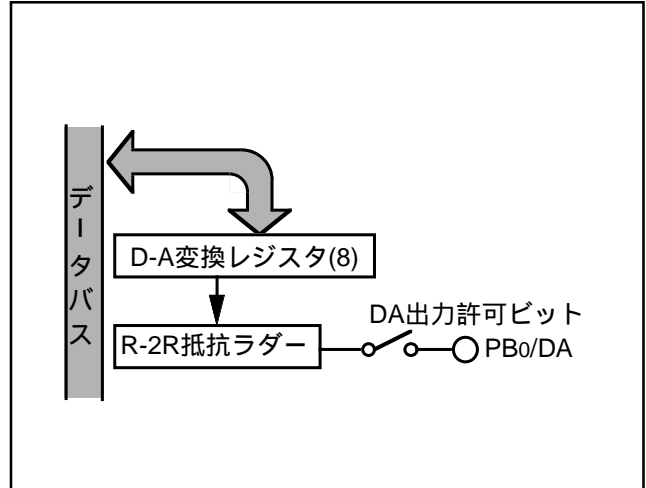


図62 . D-A変換器のブロック図

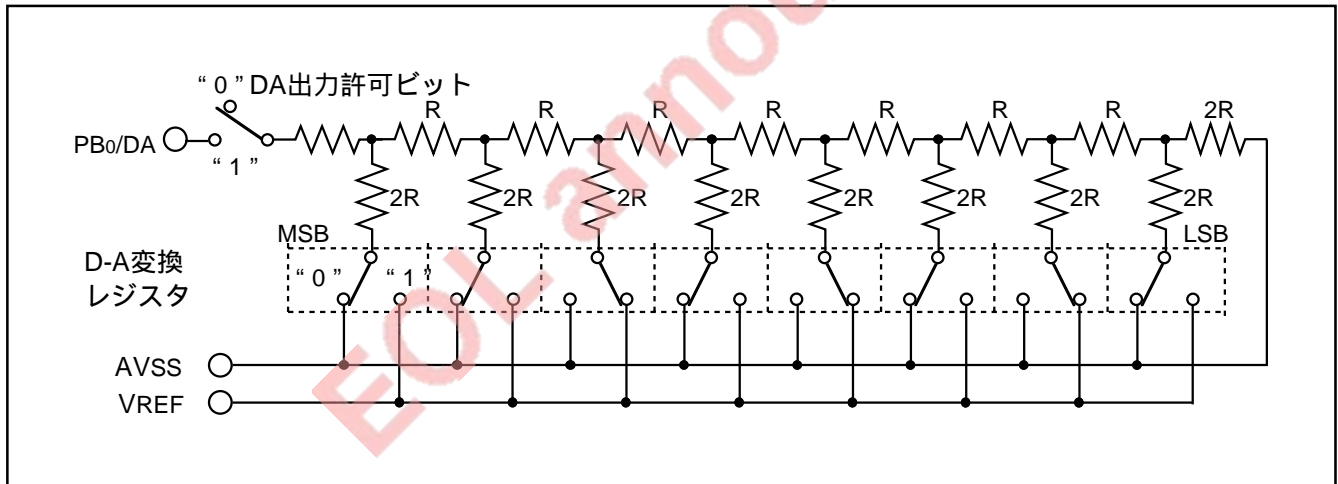


図63 . D-A変換器等価接続回路図

PWM (PWM:Pulse Width Modulation)

PWM出力回路は14ビットの分解能を持ち、最小分解ビット幅250ns(クロック周波数XIN = 4MHzの場合。以降の説明でも、XIN = 4MHzの場合について述べます。)を繰り返し

周期4096μsです。PWMのタイミング発生部はクロック入力XINの周波数を基本として、PWMの制御信号を供給します。

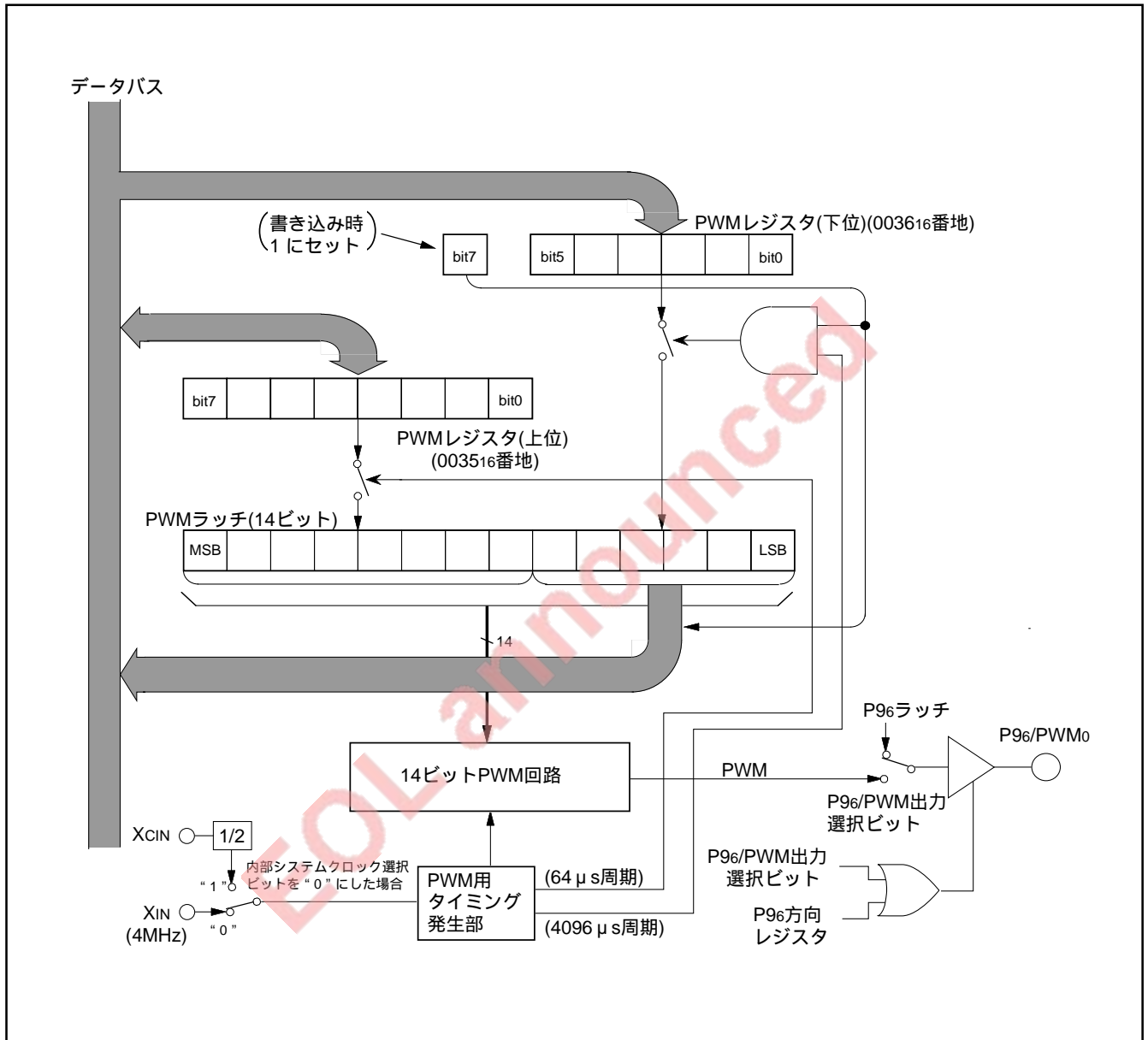


図64 . PWM回路ブロック図

(1) データの設定

PWMの出力端子はポートP96と共用しています。PWM制御レジスタ(002616番地)のビット0を“1”にセットすることにより、P96はPWM出力端子になります。出力データは上位8ビットをPWMレジスタ(上位(003516番地))に、下位6ビットをPWMレジスタ(下位(003616番地))にセットします。

(2) PWMの動作

14ビットPWMはPWMラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータNによって小区間 $t = 256 \times 64 \mu s$ (は最小分解ビット幅250ns)ごとに、Nの長さの“H”区間を出力します。また、小区間の最終ビットはPWMLのデータ内容により“H”又は“L”が決定される、ADDビットとなっています。ADDビットは、表11のルールに従って“H”又は“L”が決定されます。すなわち、PWMの繰り返し周期 $T = 64 t$ の中で、表11に示す小区間 t_m のみ他の区間に比べて最小分解幅 だけ、“H”区間が長くなります。

例えば、14ビットのデータで上位8ビットが“0316”、下位6ビットが“0516”の時は $t_8, t_{24}, t_{32}, t_{40}, t_{56}$ の小区間では4、他の t_m の区間では3の長さの“H”が出力されます。

このようにすると、各小区間の“H”レベルの時間は、上位8ビットで設定した長さとなるか、その値プラス になるため、ほぼ等しくなりこの小区間周期 $t (= 64 \mu s, \text{約} 15.6kHz)$ が近似的に繰り返し周期になります。

(3) レジスタからラッチへの転送

PWMLに書き込まれたデータはPWMの繰り返し周期(4096 μs)ごとにPWMラッチに転送されます。また、PWMHに書き込まれたデータは小区間周期(64 μs)ごとにPWMラッチに転送されます。PWM出力端子に出力される信号は、このラッチの内容に対応したものです。また、PWMLを読み込んだ場合もラッチの内容が読み込まれます。ただしPWMLのビット7はPWMLからPWMラッチへの転送完了を示します。ビット7が0ならば転送済みであり、1ならば未転送を示します。

表11. 下位6ビットのデータとADDビットがセットされる区間の関係

下位6ビットのデータ LSB	他の $t_m (m = 0 \sim 63)$ より だけ長い区間
0 0 0 0 0 0	なし
0 0 0 0 0 1	$m=32$
0 0 0 0 1 0	$m=16,48$
0 0 0 1 0 0	$m=8,24,40,56$
0 0 1 0 0 0	$m=4,12,20,28,36,44,52,60$
0 1 0 0 0 0	$m=2,6,10,14,18,22,26,30,34,38,42,46,50,54,58,62$
1 0 0 0 0 0	$m=1,3,5,7, \dots, 57,59,61,63$

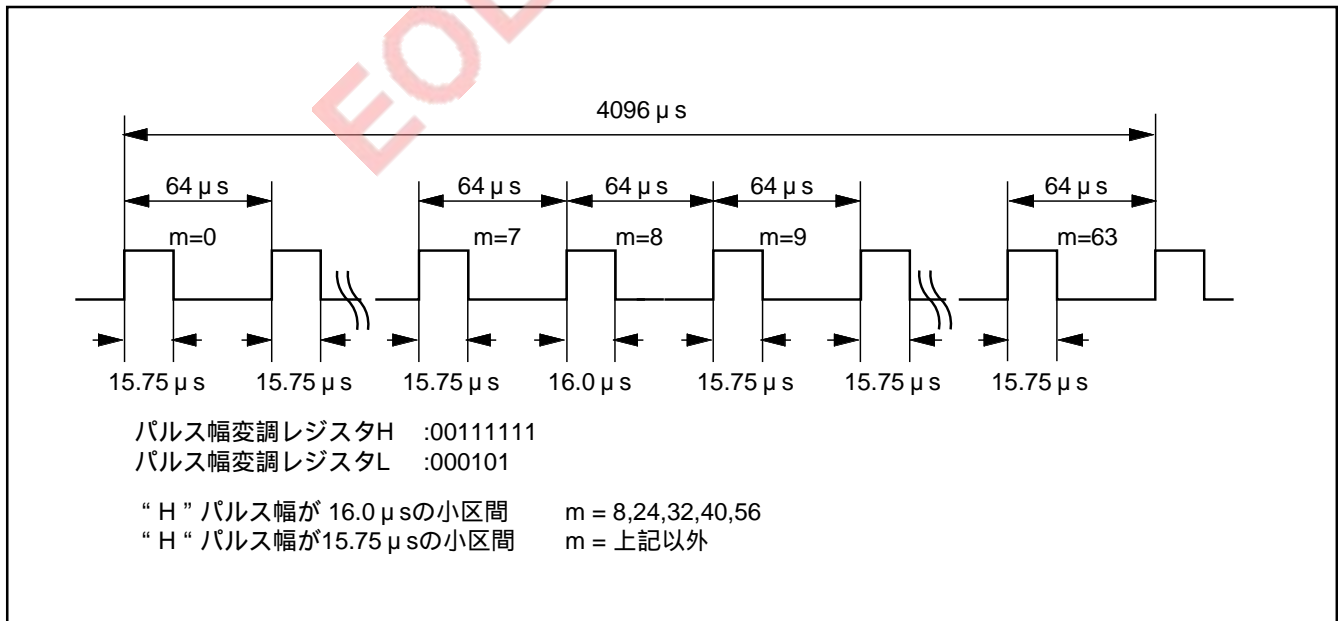


図65. PWMタイミング図

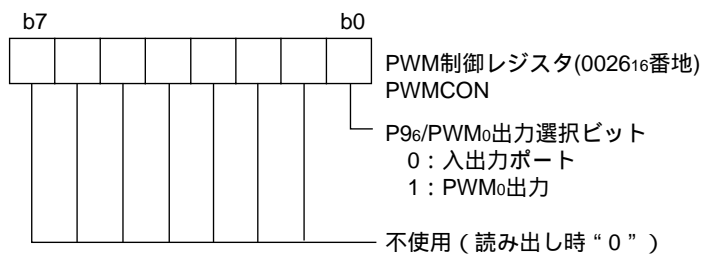


図66 . P W M制御レジスタの構成

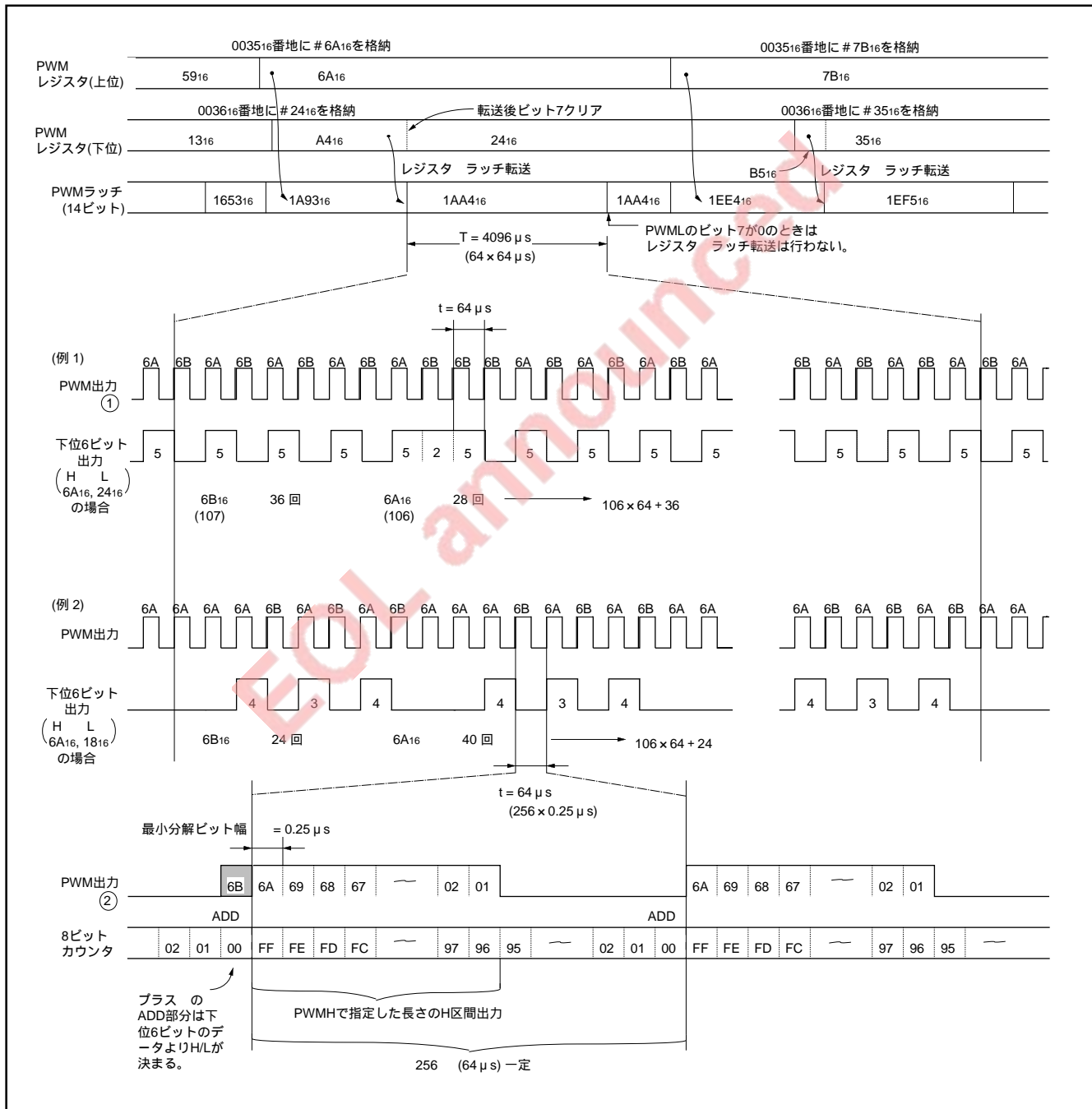


図67 . 1 4ビットPWMタイミング図

割り込み間隔判定機能

38B7グループは割り込み間隔判定回路を内蔵しています。

割り込み間隔判定回路は8ビットバイナリアップカウンタを持ち、P72 /INT2端子の入力信号の立ち上がり(又は立ち下がり)から次の立ち上がり(又は立ち下がり)までの時間を判定します。

割り込み間隔判定の動作を以下に示します。

割り込み制御レジスタ 1(003E16番地)のビット2の設定によりINT2割り込みの受け付けを可能にし、割り込みエッジ選択レジスタ(003A16番地)のビット2の設定により、立ち下がり間隔又は立ち上がり間隔を選択します。

次に割り込み間隔判定動作をするように割り込み間隔判定制御レジスタ(003116番地)のビット0を“1”に設定します。

割り込み間隔判定制御レジスタのビット1により8ビットバイナリアップカウンタのサンプルクロックを選択します。

INT2端子に設定した極性の信号(立ち上がり又は立ち下がり)が入力されると、8ビットバイナリアップカウンタは選択したカウンタサンプルクロックのカウンタアップを開始します。

設定した極性の信号が再度入力されると、8ビットバイナリアップカウンタの値は割り込み間隔判定レジスタ(003016番地)に転送され、リモコン割り込み要求が発生します。その直後8ビットバイナリアップカウンタはクリア(0016)されます。この後も8ビットバイナリアップカウンタは“0016”から再びカウンタアップを続けます。

8ビットバイナリアップカウンタはカウンタ値が“FF16”になるとカウンタアップを停止し、次のカウンタサンプルクロック入力と同時に“FF16”を割り込み間隔判定レジスタにセットし、カウンタオーバーフロー割り込み要求を発生します。

ノイズフィルタ

P72 /INT2端子にはノイズフィルタが内蔵されています。

ノイズフィルタの動作を以下に示します。

割り込み間隔判定制御レジスタのビット2、3により入力信号のサンプルクロックを選択します。ノイズ除去を使用しない場合には、“0016”をセットしてください。

P72 /INT2入力信号は選択されたクロックによりサンプリングされます。3回連続して同じレベルの信号がサンプリングされた場合、割り込み信号と認識して内部に割り込み要求を行います。

割り込み間隔判定制御レジスタのビット4を“1”にセットすると割り込み信号の立ち上がりエッジと立ち下がりエッジの両方で割り込み要求を発生することが可能です。

ノイズフィルタを使用する場合にはINT2端子に入力する信号の最小パルス幅はサンプルクロックの3周期分以上にしてください。

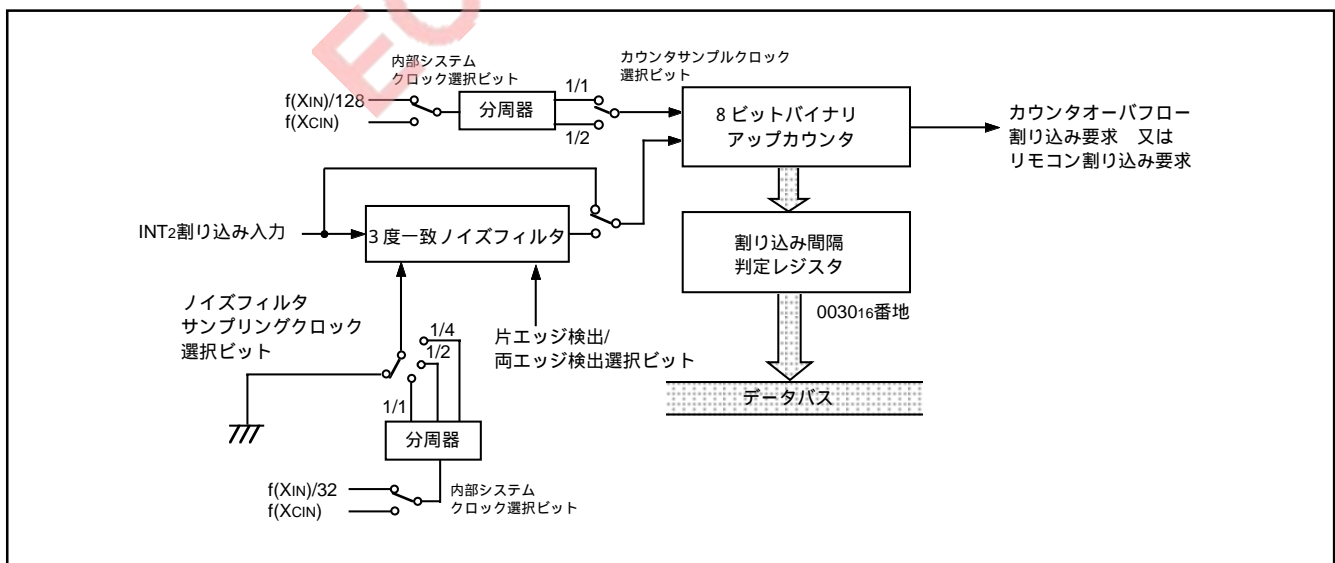


図68. 割り込み間隔判定回路ブロック図

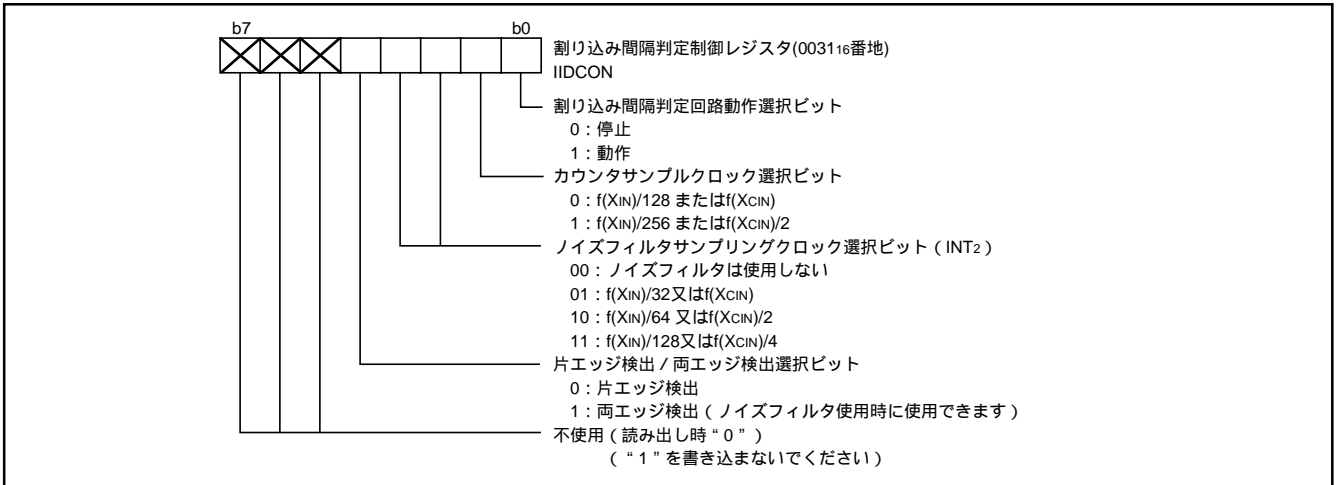


図69. 割り込み間隔判定制御レジスタの構成

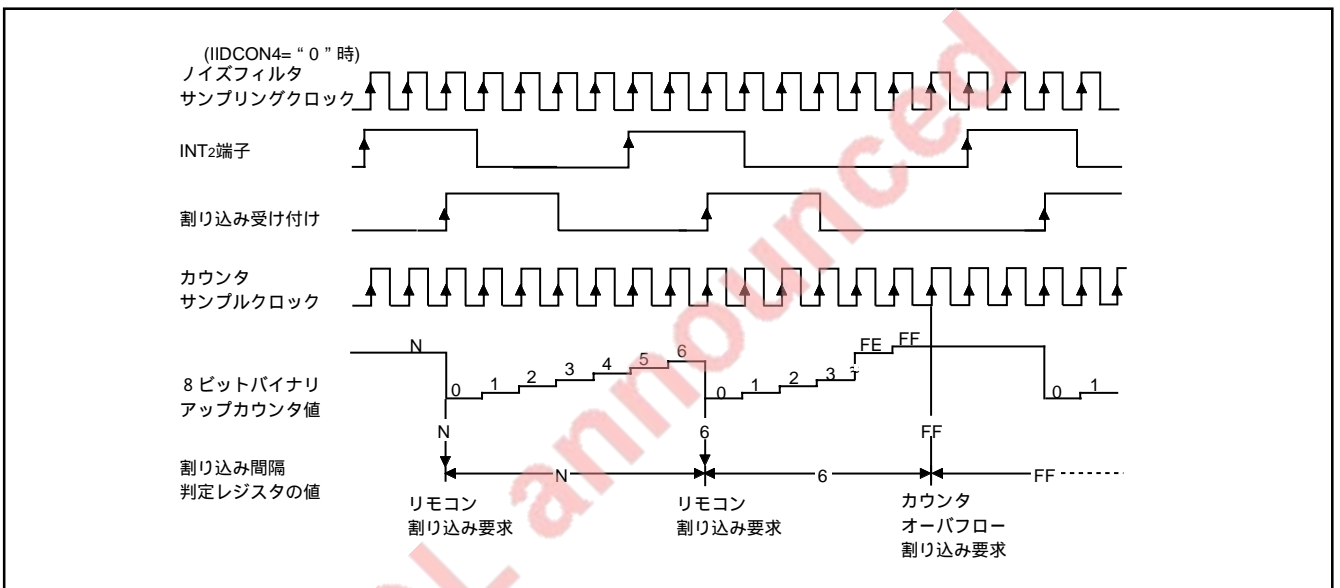


図70. 割り込み間隔判定動作例 (立ち上がりエッジアクティブ時)

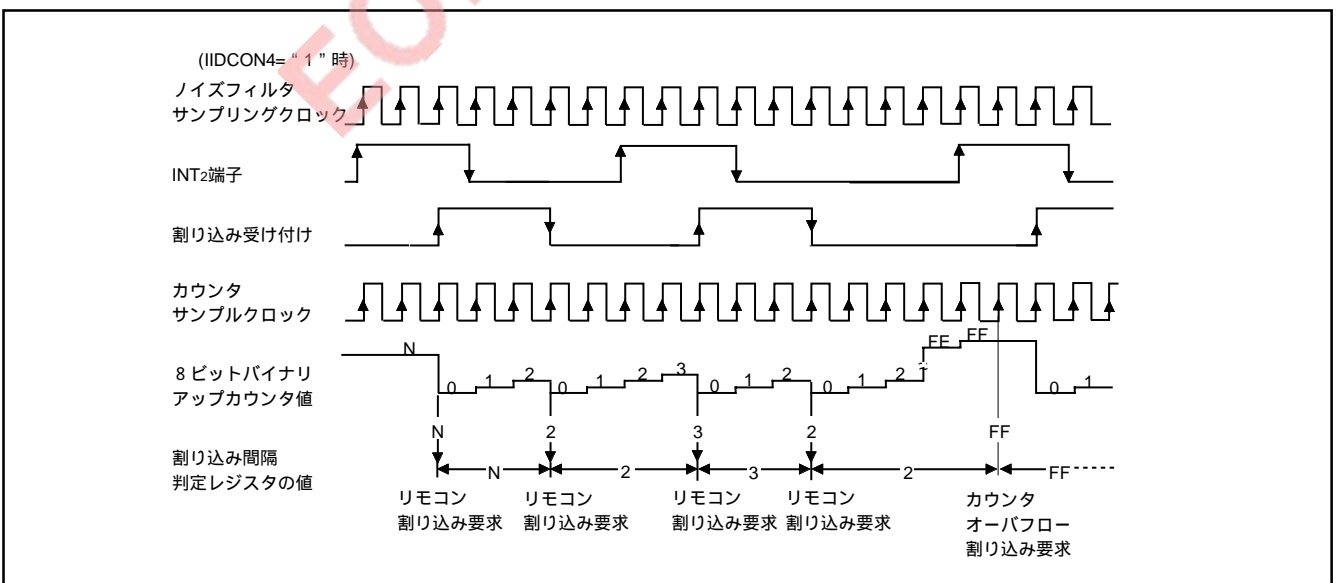


図71. 割り込み間隔判定動作例 (両エッジアクティブ時)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマLと、8ビットのウォッチドッグタイマHで構成されます。

ウォッチドッグタイマの基本動作

リセット後、ウォッチドッグタイマ制御レジスタ(0EEE16番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0EEE16番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0EEE16番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0EEE16番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読まれます。

(1)ウォッチドッグタイマの初期値

リセット時、又はウォッチドッグタイマ制御レジスタ(0EEE16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”に設定されます。

(2)ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0EEE16番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが0の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間はf(XIN)=4MHz時131.072ms、f(XCIN)=32kHz時32.768sになります。

このビットが1の場合、カウントソースはf(XIN)の8分周信号又はf(XCIN)の16分周信号となります。この場合の検出時間はf(XIN)=4MHz時512μs、f(XCIN)=32kHz時128msになります。

このビットはリセット後“0”になります。

(3)STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0EEE16番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが0の場合、STP命令は許可です。

このビットが1の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”になるとプログラムで“0”に書き換えることはできなくなります。このビットはリセット後“0”になります。

注意事項

ストップモードを解除する時、ストップ解除の待ち時間の間もウォッチドッグタイマはカウント動作します。STP命令実行前に一旦ウォッチドッグタイマ制御レジスタ(0EEE16番地)に書き込みを行うなど、ストップ解除の待ち時間の間にウォッチドッグタイマHがアンダフローしないように注意してください。

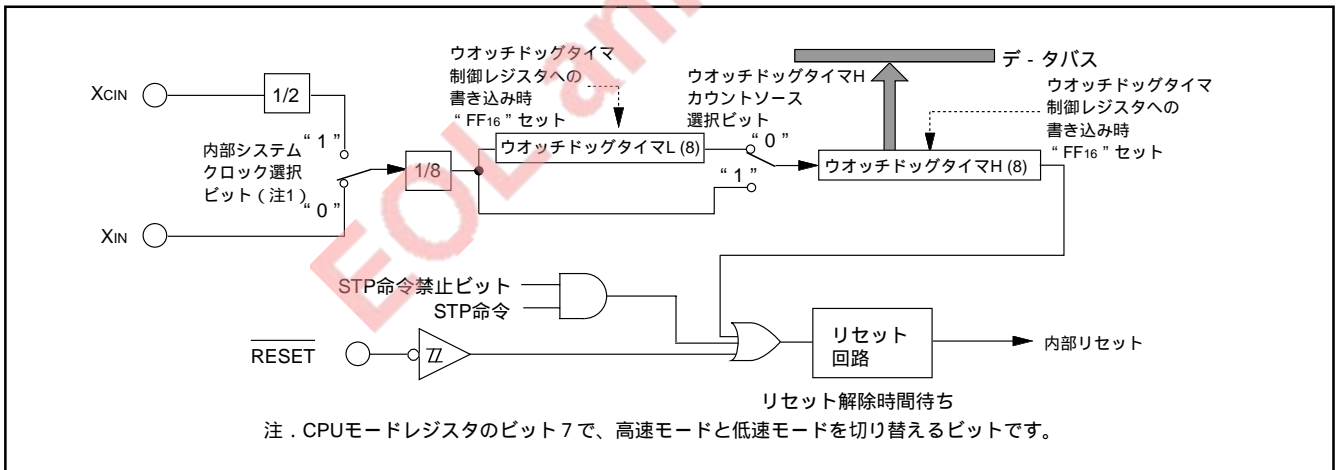


図72. ウォッチドッグタイマのブロック図

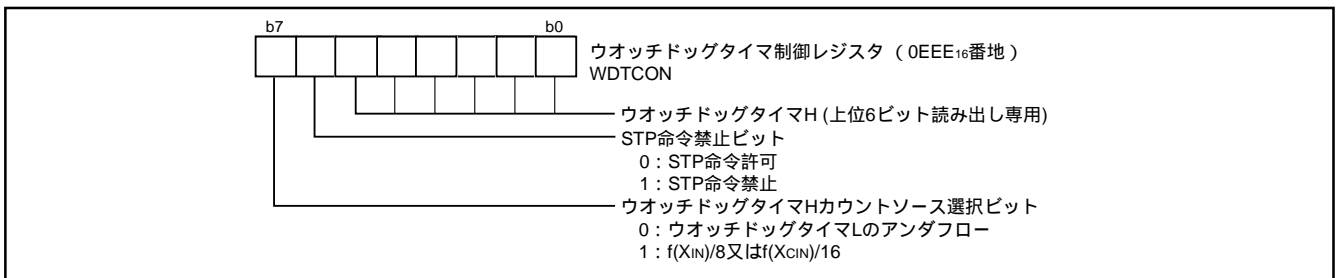


図73. ウォッチドッグタイマ制御レジスタの構成

1

ブザー出力回路

38B7グループはブザー出力回路を内蔵しています。ブザー出力制御レジスタにより、1kHz、2kHz、4kHz (XIN = 4.19MHz時)の周波数を選択することができます。また、出力ポート選択ビットにより、P77/BUZ01又はP97/BUZ02/AN15をブザー出力ポートとして選択することができます。

ブザー出力ON/OFFビットによりブザー出力を制御します。

注：低速モードの場合には、ブザー出力はOFFとなります。

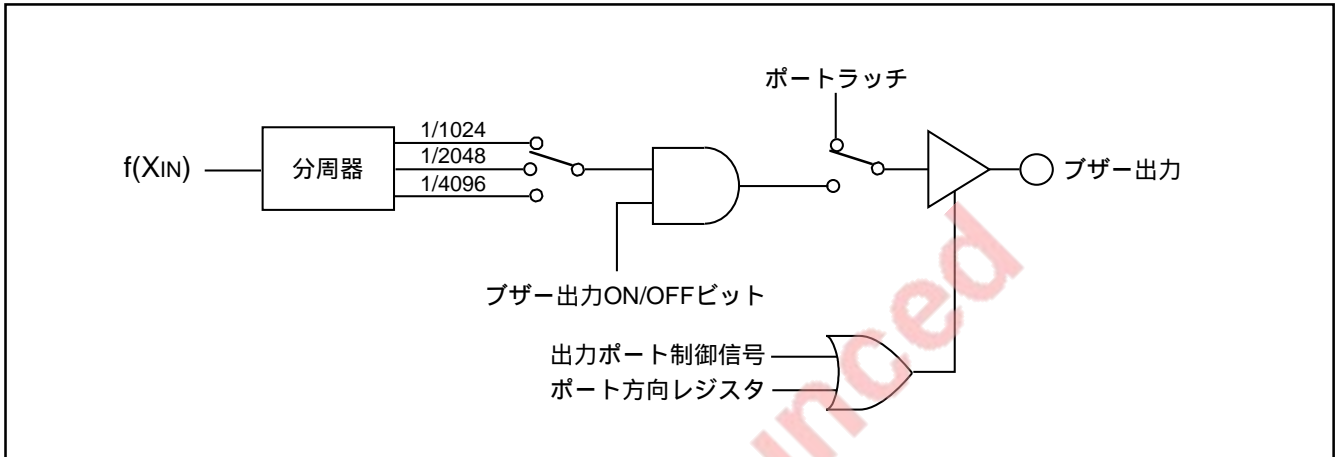


図74．ブザー出力回路のブロック図

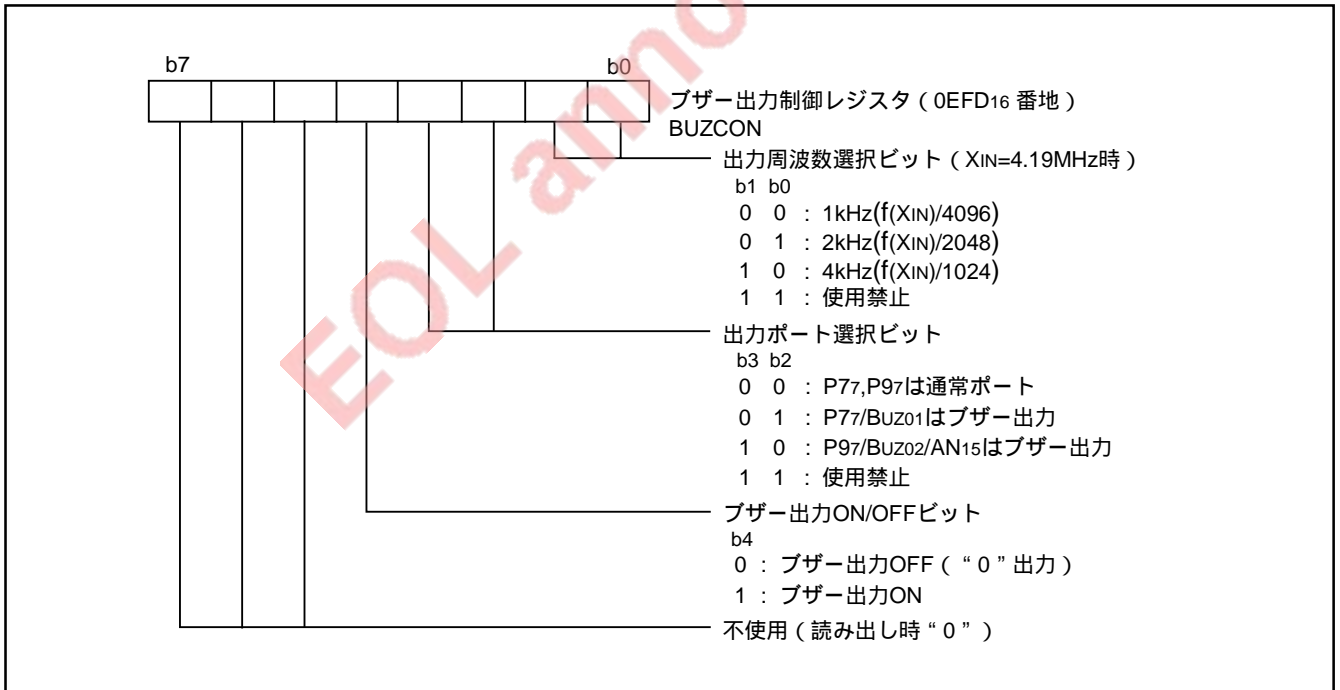


図75ブザー出力制御レジスタの構成

リセット回路

38B7グループのリセットシーケンスは、電源電圧が2.7～5.5Vにあり、XINの発振振幅が安定しているとき、RESET端子を2μs以上Lレベルに保った後Hレベルに戻すとリセット解除されます。そして、FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、Vcc = 2.7Vを通過する時点で0.54V以下にしてください。

なお、高速モードへの切り替えは電源電圧4.0～5.5Vの範囲で行ってください。

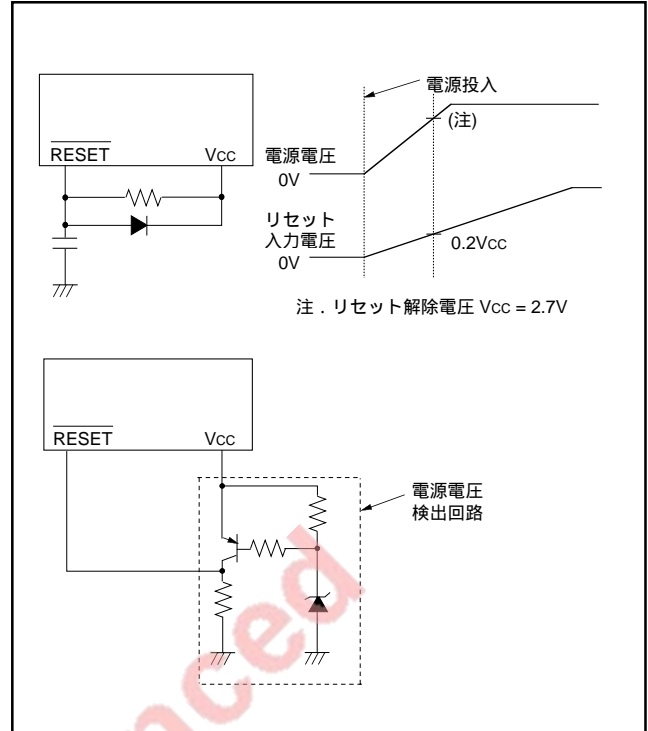


図76 . リセット回路例

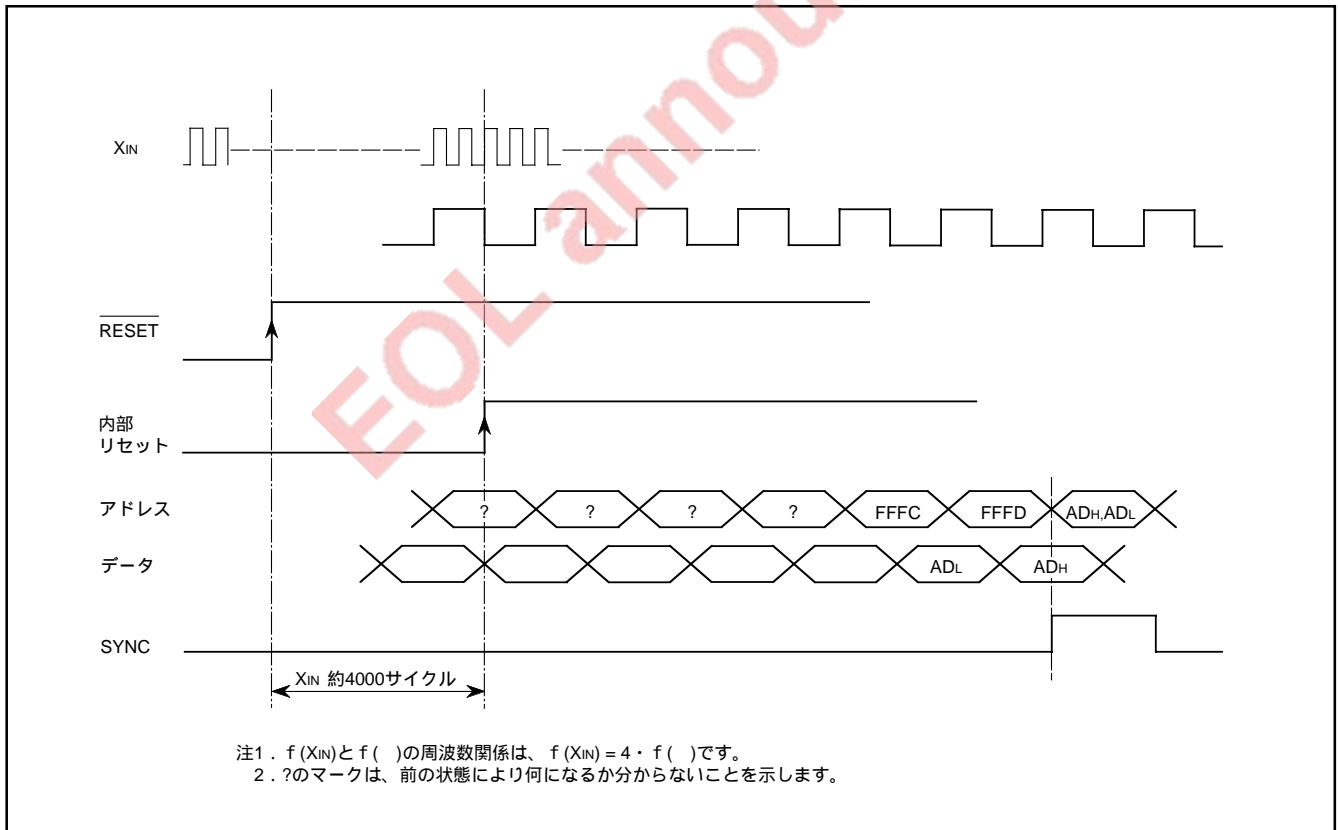


図77 . リセットシーケンス

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(38) D-A変換レジスタ	002B ₁₆	00 ₁₆
(2) ポートP1	0002 ₁₆	00 ₁₆	(39) タイマX (下位)	002C ₁₆	FF ₁₆
(3) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(40) タイマX (上位)	002D ₁₆	FF ₁₆
(4) ポートP2	0004 ₁₆	00 ₁₆	(41) タイマXモードレジスタ1	002E ₁₆	00 ₁₆
(5) ポートP3	0006 ₁₆	00 ₁₆	(42) タイマXモードレジスタ2	002F ₁₆	00 ₁₆
(6) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(43) 割り込み間隔判定レジスタ	0030 ₁₆	00 ₁₆
(7) ポートP4	0008 ₁₆	00 ₁₆	(44) 割り込み間隔判定制御レジスタ	0031 ₁₆	00 ₁₆
(8) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(45) AD/DA制御レジスタ	0032 ₁₆	10 ₁₆
(9) ポートP5	000A ₁₆	00 ₁₆	(46) UART制御レジスタ	0038 ₁₆	80 ₁₆
(10) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(47) 割り込み要因切り替えレジスタ	0039 ₁₆	00 ₁₆
(11) ポートP6	000C ₁₆	00 ₁₆	(48) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(12) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(49) CPUモードレジスタ	003B ₁₆	0100110000
(13) ポートP7	000E ₁₆	00 ₁₆	(50) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(14) ポートP7方向レジスタ	000F ₁₆	00 ₁₆	(51) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(15) ポートP8	0010 ₁₆	00 ₁₆	(52) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(16) ポートP8方向レジスタ	0011 ₁₆	00 ₁₆	(53) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(17) ポートP9	0012 ₁₆	00 ₁₆	(54) シリアル/O3制御レジスタ	0EEC ₁₆	00 ₁₆
(18) ポートP9方向レジスタ	0013 ₁₆	00 ₁₆	(55) ウォッチドッグタイマ制御レジスタ	0EEE ₁₆	3F ₁₆
(19) ポートPA	0014 ₁₆	00 ₁₆	(56) ブルアップ制御レジスタ3	0EEF ₁₆	00 ₁₆
(20) ポートPA方向レジスタ	0015 ₁₆	00 ₁₆	(57) ブルアップ制御レジスタ1	0EF0 ₁₆	00 ₁₆
(21) ポートPB	0016 ₁₆	00 ₁₆	(58) ブルアップ制御レジスタ2	0EF1 ₁₆	00 ₁₆
(22) ポートPB方向レジスタ	0017 ₁₆	00 ₁₆	(59) ポートP0デビット出力設定切り替えレジスタ	0EF2 ₁₆	00 ₁₆
(23) シリアル/O1制御レジスタ1	0019 ₁₆	00 ₁₆	(60) ポートP2デビット出力設定切り替えレジスタ	0EF3 ₁₆	00 ₁₆
(24) シリアル/O1制御レジスタ2	001A ₁₆	00 ₁₆	(61) FLDCモードレジスタ	0EF4 ₁₆	00 ₁₆
(25) シリアル/O1制御レジスタ3	001C ₁₆	00 ₁₆	(62) Tdisp時間設定レジスタ	0EF5 ₁₆	00 ₁₆
(26) シリアル/O2制御レジスタ	001D ₁₆	00 ₁₆	(63) Toff1時間設定レジスタ	0EF6 ₁₆	FF ₁₆
(27) シリアル/O2ステータスレジスタ	001E ₁₆	80 ₁₆	(64) Toff2時間設定レジスタ	0EF7 ₁₆	FF ₁₆
(28) タイマ1	0020 ₁₆	FF ₁₆	(65) ポートP4FLD/ポート切り替えレジスタ	0EF9 ₁₆	00 ₁₆
(29) タイマ2	0021 ₁₆	01 ₁₆	(66) ポートP5FLD/ポート切り替えレジスタ	0EFA ₁₆	00 ₁₆
(30) タイマ3	0022 ₁₆	FF ₁₆	(67) ポートP6FLD/ポート切り替えレジスタ	0EFB ₁₆	00 ₁₆
(31) タイマ4	0023 ₁₆	FF ₁₆	(68) FLD出力制御レジスタ	0EFC ₁₆	00 ₁₆
(32) タイマ5	0024 ₁₆	FF ₁₆	(69) ブザー出力制御レジスタ	0EFD ₁₆	00 ₁₆
(33) タイマ6	0025 ₁₆	FF ₁₆	(70) フラッシュメモリ制御レジスタ	0EFE ₁₆	00 ₁₆
(34) PWM制御レジスタ	0026 ₁₆	00 ₁₆	(71) フラッシュコマンドレジスタ	0EFF ₁₆	00 ₁₆
(35) タイマ12モードレジスタ	0028 ₁₆	00 ₁₆	(72) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(36) タイマ34モードレジスタ	0029 ₁₆	00 ₁₆	(73) プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
(37) タイマ56モードレジスタ	002A ₁₆	00 ₁₆		(PC _L)	FFFC ₁₆ 番地の内容

注．x：不定です。

上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図78．リセット時の内部状態

クロック発生回路

38B7グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

周波数制御

(1) 中速モード

XIN端子に加わった周波数の4分周したものが内部システムクロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数が内部システムクロックとなります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部システムクロックになります。

注：中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間はプログラムで生成する必要があります。

発振制御

(1) ストップモード

STOP命令を実行すると内部システムクロックが“H”の状態に停止し、XIN及びXCINの発振が停止します。このとき、タイマ1には“FF16”、タイマ2には“0116”がセットされ、タイマ1の入力にはXINの8分周又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはすべて“0”にクリアされます。STOP命令実行前にタイマ1、タイマ2の割り込みの許可ビットを禁止状態(“0”)に設定してください。

発振はリセット又は外部割り込みが受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部システムクロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WAIT命令を実行すると内部システムクロックのみが“H”の状態に停止します。このときXIN及びXCINはWAIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

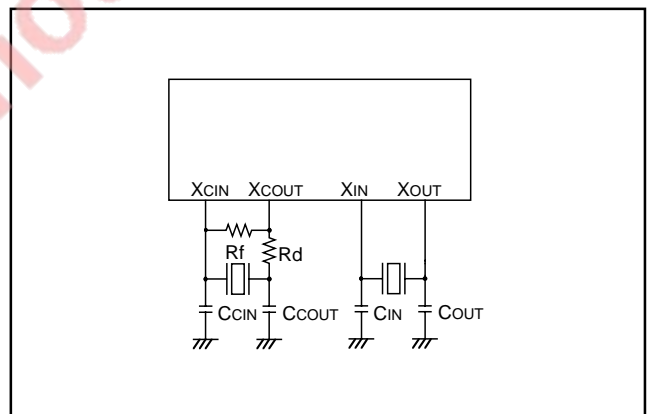


図79．セラミック共振子外付け回路

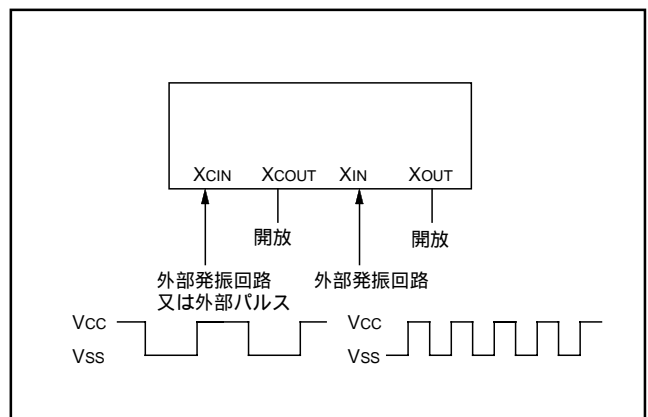


図80．外部クロック入力回路

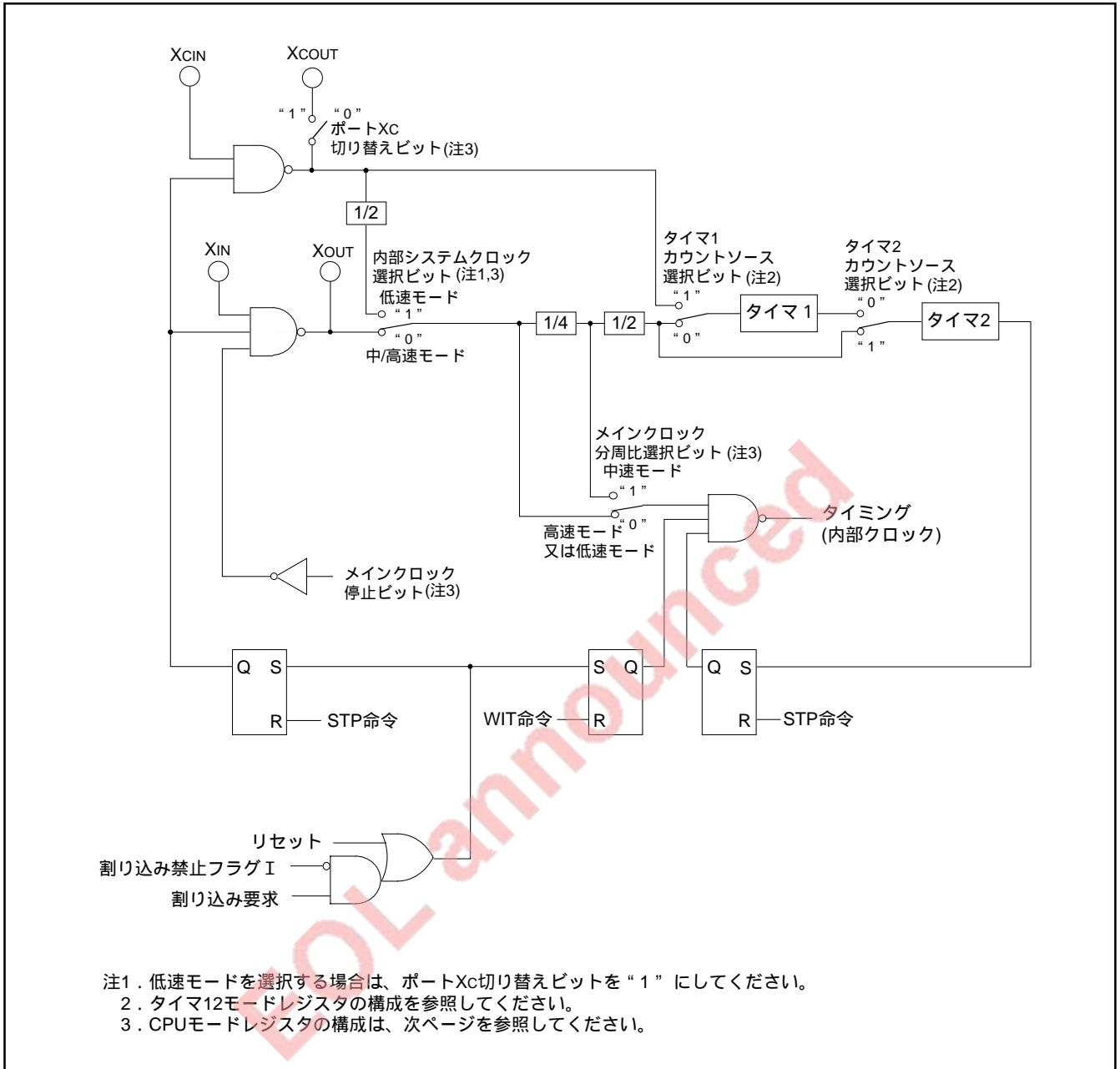


図81. クロック発生回路ブロック図

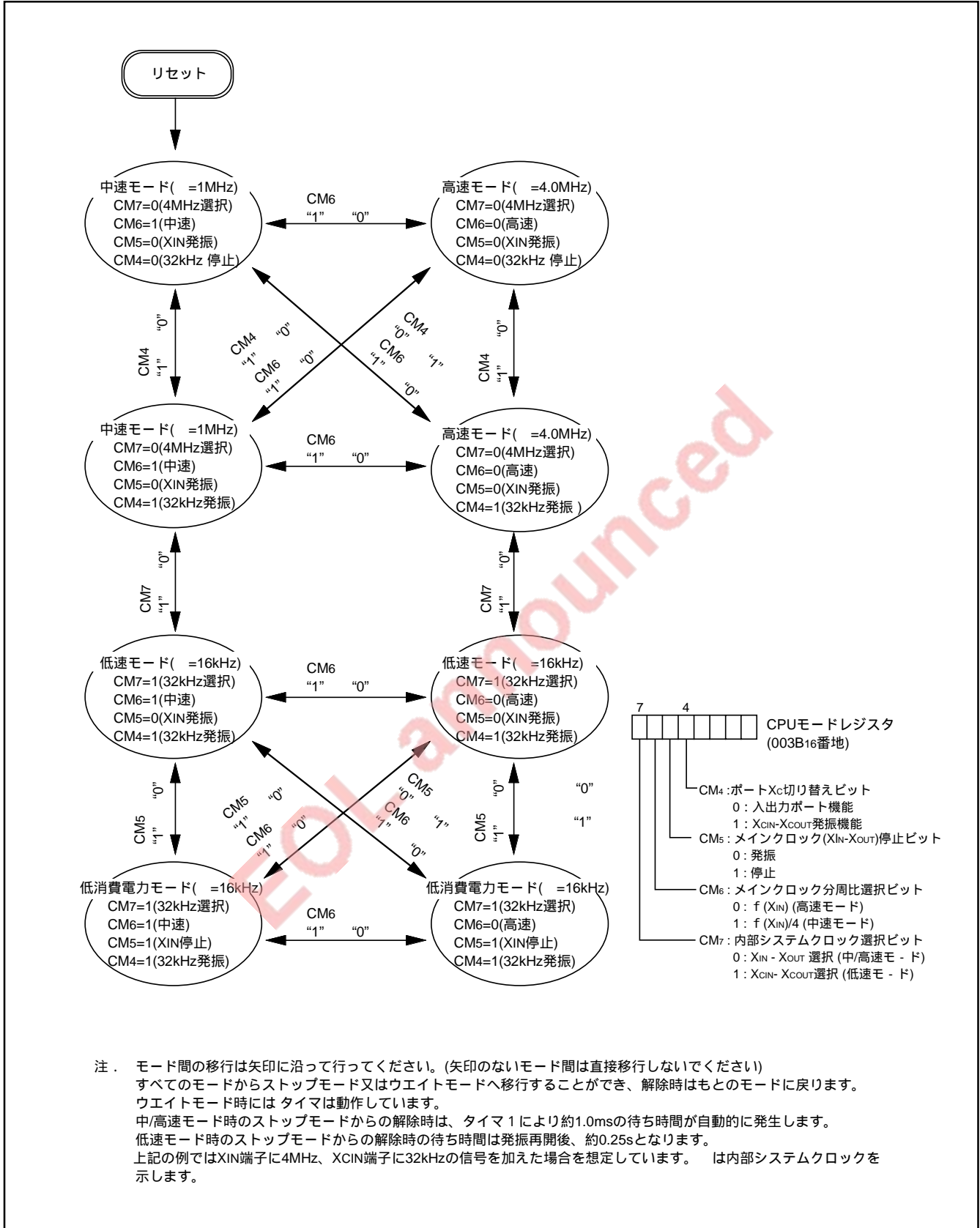


図82 . システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが「1」であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを「1」にセットして、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値n(0~255)を書き込んだ場合の分周比は、1/(n+1)です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが「1」の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用して下さい。

シリアルI/Oに関するもの

- ・外部クロック使用時は、外部クロック入力端子に“H”を入力し、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。
- ・内部クロック使用時は、同期クロックを内部クロックに設定してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

シリアルI/O1の自動転送シリアルI/Oモード使用時、シリアル自動転送間隔設定を以下のとおりにしてください。

なお、設定が以下のとおりでない場合は、シリアルデータが正しく送信/受信できないこともありますので、ご注意ください。

自動転送シリアルI/Oに関するもの

- ・1バイトデータ転送ごとの自動転送間隔を、以下のように設定してください。
 - (1)FLDコントローラ未使用時
 - 1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの5サイクル以上空けてください。
 - (2)FLDコントローラ使用時
 - (a)階調表示未使用時
 - 1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの17サイクル以上空けてください。
 - (b)階調表示使用時
 - 1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの27サイクル以上空けてください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換実行中はf(XIN)を250kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

1 プログラミング上の注意事項 / 使用上の注意事項 / マスク化発注時の提出資料

D-A変換器に関するもの

D-A変換器精度はVccが4.0V以下で異なります。D-A変換器を使用する場合はVccを4.0V以上にすることを推奨します。また、D-A変換器を使用しない場合、D-A変換レジスタの設定値は、すべて“0016”にしてください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部システムクロックの周期をかけることによって得られます。内部システムクロックの周期は、XINの周期と同じです(高速モード時)。

STP命令解除時に関するもの

STP命令解除時には、タイマ12モードレジスタは全ビットクリアされます。

使用上の注意事項

電源端子の取り扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波数特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01~0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間に最短距離で付加してくださるようお願いいたします。

フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続されています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10k Ω の抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

フラッシュメモリ版 / マスクROM版の相違点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1)マスク化確認書
- (2)マーク指定書
- (3)ROMのデータ EPROM 3セット
又は フロッピーディスク 1枚

消費電力の計算方法

(マイコンの規格より決まる定数)

- ・高耐圧ポートの V_{OH} 出力の降下電圧
2V(最大); 電流値=18mA時
- ・抵抗値 48k(最小)
- ・内部回路の消費電力(CPU, ROM, RAMなど)=5V
×15mA=75mW

(ご使用条件により決まる定数)

- ・ V_{EE} 端子への印加電圧 $V_{CC} - 45V$
- ・タイミング数 a , 実ディジット数 b 本, セグメント数 c 本
- ・ T_{disp} 時間に対する T_{off} 時間の比 $1/16$
- ・繰り返し周期中に実点灯するセグメント数 d
- ・繰り返し周期中の総セグメント数 $e (= a \times c)$
- ・内蔵抵抗の合計本数 (ディジット用 f 本, セグメント用 g 本)
- ・ディジット端子電流値 h (mA)
- ・セグメント端子電流値 i (mA)

(1)ディジット端子の消費電力

$$\{ h \times b \times (1 - T_{off} / T_{disp}) \times \text{電圧} \} / a$$

(2)セグメント端子の消費電力

$$\{ i \times d \times (1 - T_{off} / T_{disp}) \times \text{電圧} \} / a$$

(3)プルダウン抵抗の消費電力(ディジット)

$$\{ \text{ディジット1本当りの消費電力} \times (b \times f / b) \times (1 - T_{off} / T_{disp}) \} / a$$

(4)プルダウン抵抗の消費電力(セグメント)

$$\{ \text{セグメント1本当りの消費電力} \times (d \times g / c) \times (1 - T_{off} / T_{disp}) \} / a$$

(5)内部回路の消費電力(CPU, ROM, RAM など。)

$$= 190mW$$

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{X \text{ mW}}}$$

消費電力の計算例 1

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧
2V(最大); 電流値 = 18mA時
- ・抵抗値 $43V / 900 \mu A = 48k$ (最小)
- ・内部回路の消費電力(CPU, ROM, RAMなど) = $5V \times 15mA = 75mW$

(ご使用条件により決まる定数)

- ・VEE端子への印加電圧 $V_{CC} - 45V$
- ・タイミング数 17, 実デジタル数 16本, セグメント数 20本
- ・Tdisp時間に対するToff時間の比 1/16
- ・繰り返し周期中に実点灯するセグメント数 31
- ・繰り返し周期中の総セグメント数 $340 (= 17 \times 20)$
- ・内蔵抵抗の合計本数 (デジタル用 16本, セグメント用 20本)
- ・デジタル端子電流値 18(mA)
- ・セグメント端子電流値 3(mA)

(1) デジタル端子の消費電力

$$\{18 \times 16 \times (1 - 1/16) \times 2\} / 17 = 31.77mW$$

(2) セグメント端子の消費電力

$$\{3 \times 31 \times (1 - 1/16) \times 2\} / 17 = 10.26mW$$

(3) プルダウン抵抗の消費電力(デジタル)

$$(45 - 2)^2 / 48 \times (16 \times 16 / 16) \times (1 - 1/16) / 17 = 33.99mW$$

(4) プルダウン抵抗の消費電力(セグメント)

$$(45 - 2)^2 / 48 \times (31 \times 20 / 20) \times (1 - 1/16) / 17 = 65.86mW$$

(5) 内部回路の消費電力(CPU, ROM, RAM など。)

$$= 75mW$$

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{217mW}}$$

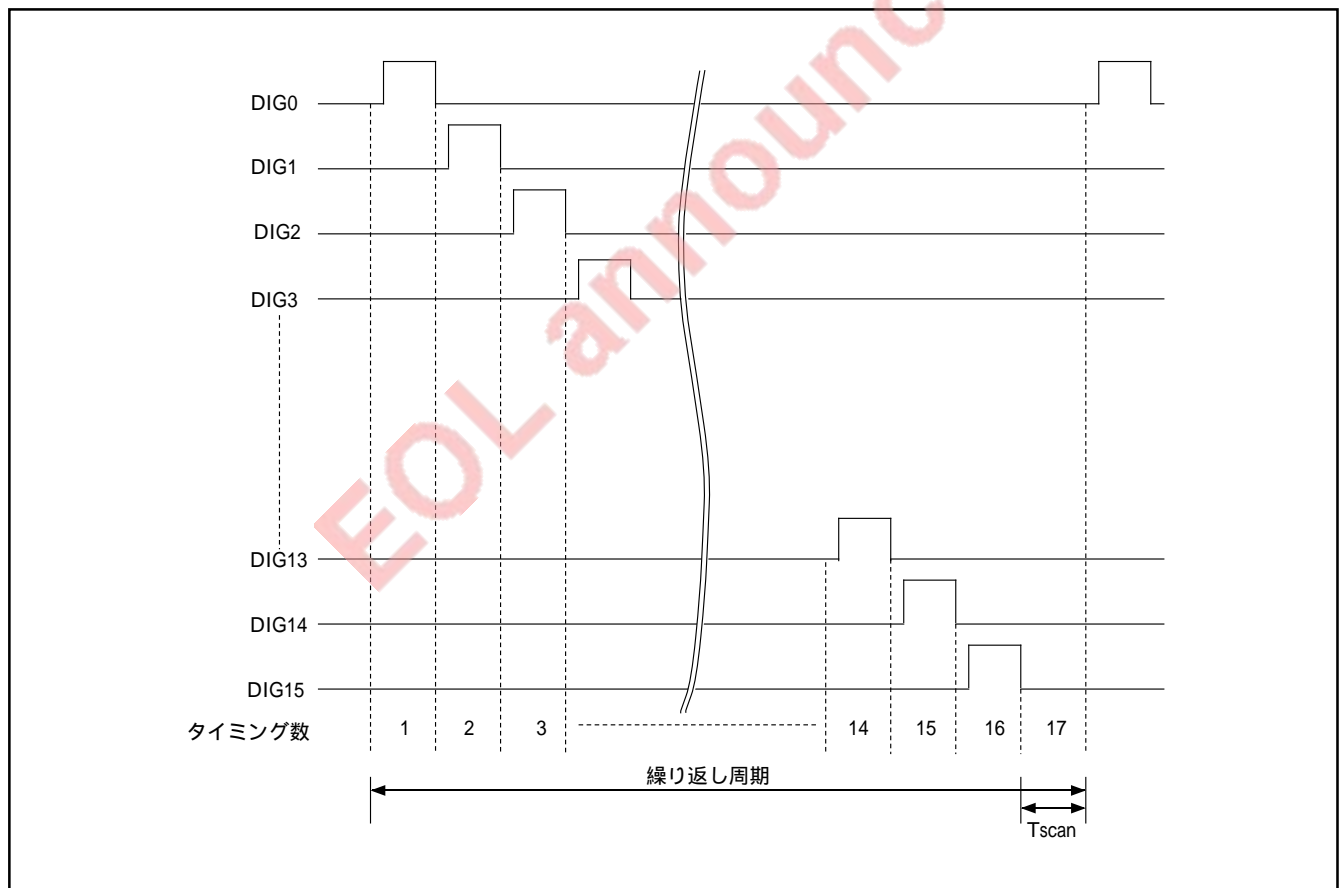


図83. デジタルのタイミング波形(1)

消費電力の計算例2 (2本以上のディジットが同時にONする場合)

(マイコンの規格より決まる定数)

- ・高耐圧ポートの V_{OH} 出力の降下電圧 2V(最大); 電流値 = 18mA時
- ・抵抗値 $43V / 900 \mu A = 48k$ (最小)
- ・内部回路の消費電力(CPU, ROM, RAMなど) = $5V \times 15mA = 75mW$

(ご使用条件により決まる定数)

- ・ V_{EE} 端子への印加電圧 $V_{CC} - 45V$
- ・タイミング数 11, 実ディジット数 12本, セグメント数 24本
- ・ T_{disp} 時間に対する T_{off} 時間の比 1/16
- ・繰り返し周期中に実点灯するセグメント数 114
- ・繰り返し周期中の総セグメント数264 (= 11 × 24)
- ・内蔵抵抗の合計本数 (ディジット用 10本, セグメント用 22本)
- ・ディジット端子電流値 18(mA)
- ・セグメント端子電流値 3(mA)

(1)ディジット端子の消費電力

$$\{18 \times 12 \times (1 - 1/16) \times 2\} / 11 = 36.82mW$$

(2)セグメント端子の消費電力

$$\{3 \times 114 \times (1 - 1/16) \times 2\} / 11 = 58.30mW$$

(3)プルダウン抵抗の消費電力(ディジット)

$$(45 - 2)^2 / 48 \times (12 \times 10 / 12) \times (1 - 1/16) / 11 = 32.84mW$$

(4)プルダウン抵抗の消費電力(セグメント)

$$(45 - 2)^2 / 48 \times (114 \times 22 / 24) \times (1 - 1/16) / 11 = 343.08mW$$

(5)内部回路の消費電力(CPU, ROM, RAM など。)

$$= 75mW$$

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{547mW}}$$

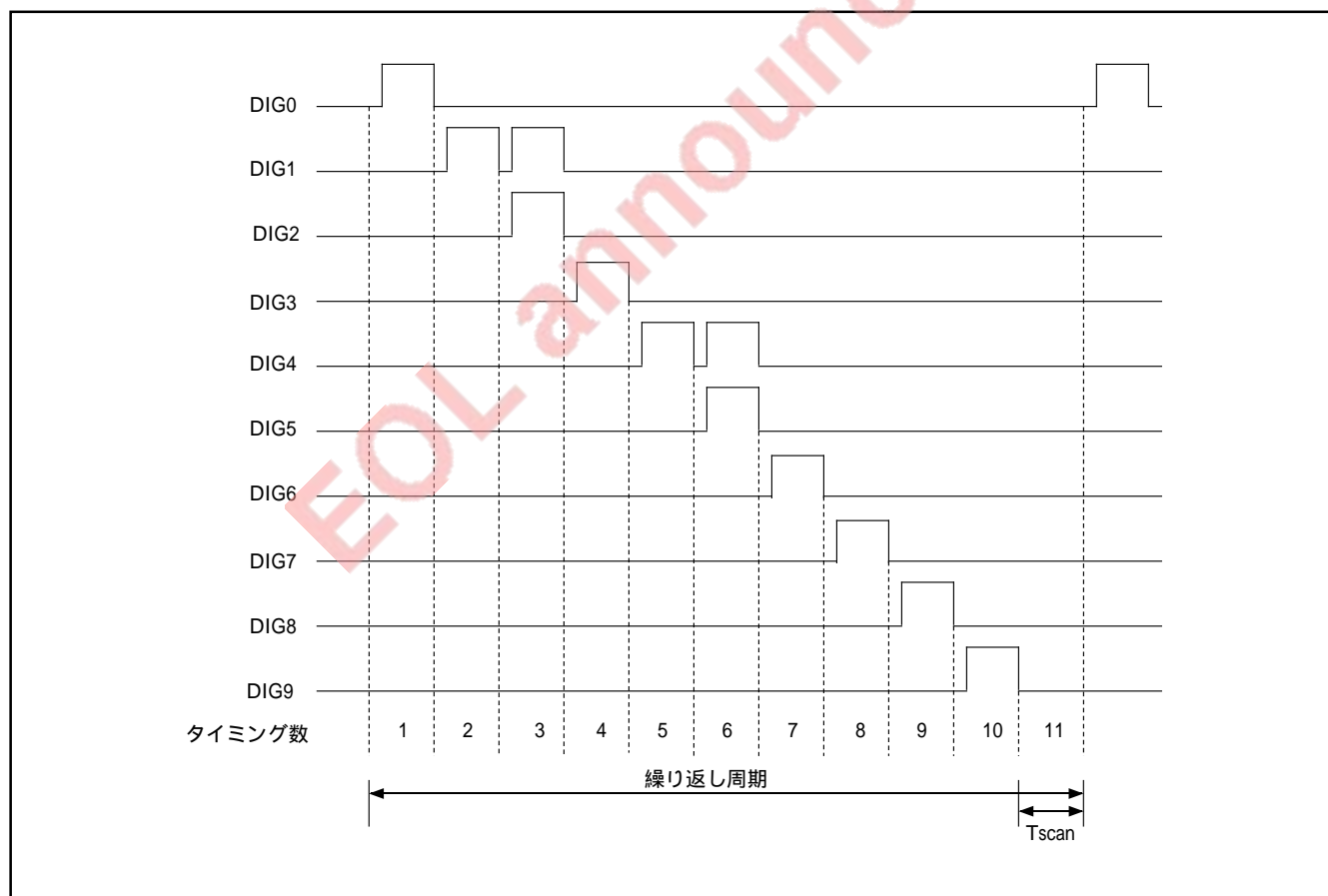


図84. ディジットのタイミング波形(2)

フラッシュメモリモード

M38B79FFは、通常の動作モード(マイコンモード)以外に、内蔵するフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードを持っています。

フラッシュメモリモードとして、外部のライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、シリアル入出力モード及び、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を選択できます。

以下それぞれのフラッシュメモリモードについて説明します。

(1)フラッシュメモリモード・1(パラレル入出力モード)

図85に示す結線を行い、VCC, VPP端子に電源を投入すると、パラレル入出力モードが選択されます。このモードでは、M38B79FFは当社製CMOSフラッシュメモリM5M28F101相当の動作を行います。ただし、M38B79FFの内蔵メモリ容量は60Kバイトですので、プログラムは01000₁₆~0FFFF₁₆番地に対して行い、00000₁₆~00FFF₁₆番地及び10000₁₆~1FFFF₁₆番地のデータは必ず“FF₁₆”にしてください。また、アドレス入力(A₉)に高電圧を印加してデバイス識別コードを読み出す機能は内蔵していません。汎用PROMライタ使用時のプログラム条件の設定などは、誤りのないように行ってください。

パラレル入出力モード時の端子対応を表12に示します。

表12. パラレル入出力モード時の端子対応

	M38B79FF	M5M28F101
VCC	VCC	VCC
VPP	CNVSS	VPP
VSS	VSS	VSS
アドレス入力	ポートP0, P1, P31	A0 ~ A16
データ入出力	ポートP2	D0 ~ D7
CE	P36	CE
OE	P37	OE
WE	P33	WE

表13. 制御入力と各状態の対応

モード	状態	端子名	CE	OE	WE	VPP	データ入出力
リードオンリー	リード		V _{IL}	V _{IL}	V _{IH}	V _{PLL}	出力
	出力ディスエーブル		V _{IL}	V _{IH}	V _{IH}	V _{PLL}	フローティング
	スタンバイ		V _{IH}	X	X	V _{PLL}	フローティング
リード/ライト	リード		V _{IL}	V _{IL}	V _{IH}	V _{PPH}	出力
	出力ディスエーブル		V _{IL}	V _{IH}	V _{IH}	V _{PPH}	フローティング
	スタンバイ		V _{IH}	X	X	V _{PPH}	フローティング
	ライト		V _{IL}	V _{IH}	V _{IL}	V _{PPH}	入力

注: Xは、V_{IL}又はV_{IH}のどちらでもよい。

機能概要(パラレル入出力モード)

パラレル入出力モードでは、VPP端子の印加電圧によってリードオンリーモードとリード/ライトモード(ソフトウェアコマンドコントロールモード)の2種類の動作モードが設定できます。VPP = V_{PLL}に設定するとリードオンリーモードが選択され、 \overline{CE} , \overline{OE} , \overline{WE} 端子の入力によって、リード、出力ディスエーブル、スタンバイの3状態に設定することができます。また、VPP = V_{PPH}に設定するとリード/ライトモードが選択され、 \overline{CE} , \overline{OE} , \overline{WE} 端子の入力によって、リード、出力ディスエーブル、スタンバイ、ライトの4状態に設定することができます。 \overline{CE} , \overline{OE} , \overline{WE} 端子の入力と各状態の対応を表13に示します。

・リード

\overline{CE} 端子を“L”, \overline{OE} 端子を“L”, \overline{WE} 端子を“H”にするとリード状態になり、アドレス入力端子(A₀ ~ A₁₆)に入力されるアドレスに対応するメモリの内容がデータ入出力端子(D₀ ~ D₇)から出力されます。

・出力ディスエーブル

\overline{CE} 端子を“L”, \overline{WE} 端子を“H”, \overline{OE} 端子を“H”にすると出力ディスエーブル状態になり、データ入出力端子はフローティング状態になります。

・スタンバイ

\overline{CE} 端子を“H”にするとスタンバイ状態になり、電源電流が極めて少ないパワーダウン状態になります。また、データ入出力端子はフローティング状態になります。

・ライト

VPP端子を“H”(VPP = V_{PPH})とし、 \overline{CE} 端子が“L”, \overline{OE} 端子が“H”のときに、 \overline{WE} 端子を“L”にするとライト状態になります。ライト状態では、データ入出力端子からのソフトウェアコマンドの入力が可能になり、このソフトウェアコマンドの内容によってプログラム、イレーズなどの操作が選択できます。

表14. 端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCCに5 V ± 10%, VSSに0 Vを印加します。
CNVSS	VPP入力	入 力	リードオンリーモード時は5 V ± 10%を, リード/ライトモード時は11.7 V ~ 12.6 Vを印加します。
RESET	リセット入力	入 力	VSSに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		VSSに接続してください。
VREF	基準電圧入力	入 力	VSSに接続してください。
P00 ~ P07	アドレス入力 A0 ~ A7	入 力	アドレスA0 ~ A7の入力端子です。
P10 ~ P17	アドレス入力 A8 ~ A15	入 力	アドレスA8 ~ A15の入力端子です。
P20 ~ P27	データ入出力 D0 ~ D7	入出力	データD0 ~ D7の入出力端子です。 6.8 k の抵抗を介して、Vssにプルダウンしてください。
P30 ~ P37	制御入力	入 力	P37, P36, P33はそれぞれOE, CE, WEの入力端子、P31はアドレスA16の入力端子となります。 P30, P32はVssに接続して下さい。P34, P35は“H”を入力、“L”を入力又は開放してください。
P40 ~ P47	入力ポート P4	入 力	“H”を入力、“L”を入力、又は開放してください。
P50 ~ P57	入力ポート P5	入 力	“H”を入力、“L”を入力、又は開放してください。
P60 ~ P67	入力ポート P6	入 力	P64, P66はVssに接続してください。P60 ~ P63, P65, P67は“H”を入力、“L”を入力又は開放にしてください。
P70 ~ P77	入力ポート P7	入 力	“H”を入力、“L”を入力、又は開放してください。
P80 ~ P83	入力ポート P8	入 力	“H”を入力、“L”を入力、又は開放してください。
P90 ~ P97	入力ポート P9	入 力	“H”を入力、“L”を入力、又は開放してください。
PA0 ~ PA7	入力ポート PA	入 力	“H”を入力、“L”を入力、又は開放してください。
PB0 ~ PB6	入力ポート PB	入 力	“H”を入力、“L”を入力、又は開放してください。
VEE	プルダウン 電源入力		開放して下さい。

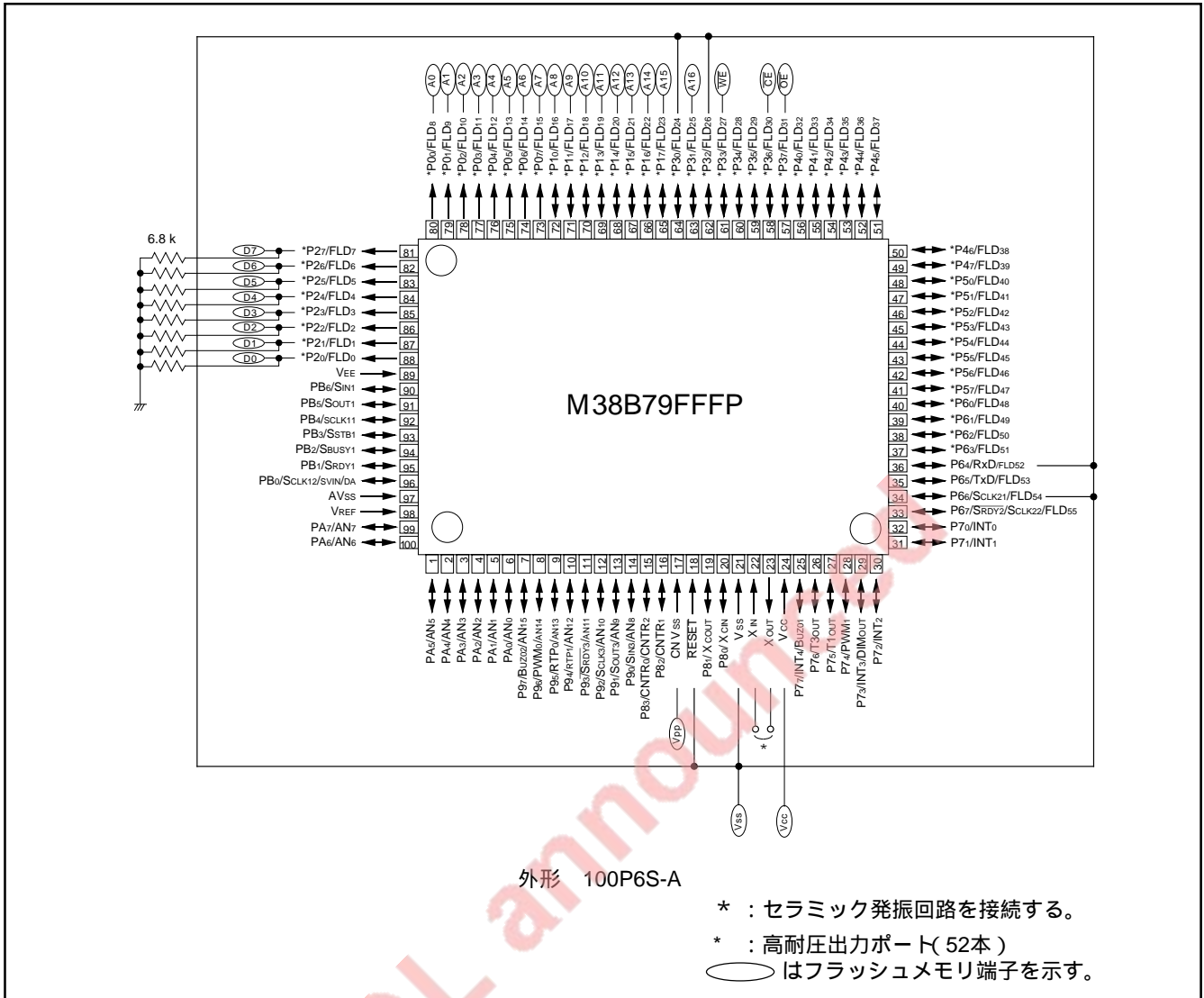


図85 . パラレル入出力モード時の端子結線図(M38B79FF)

リードオンリーモード

VPP端子にVPPHを印加するとリードオンリーモードになります。このモードでは図86に示すタイミングで読み出しを行います。

アドレス及び、制御信号を入力すると指定したアドレスの内容がデータ入出力端子から外部に出力されます。このモードでは読み出し以外の操作はできません。

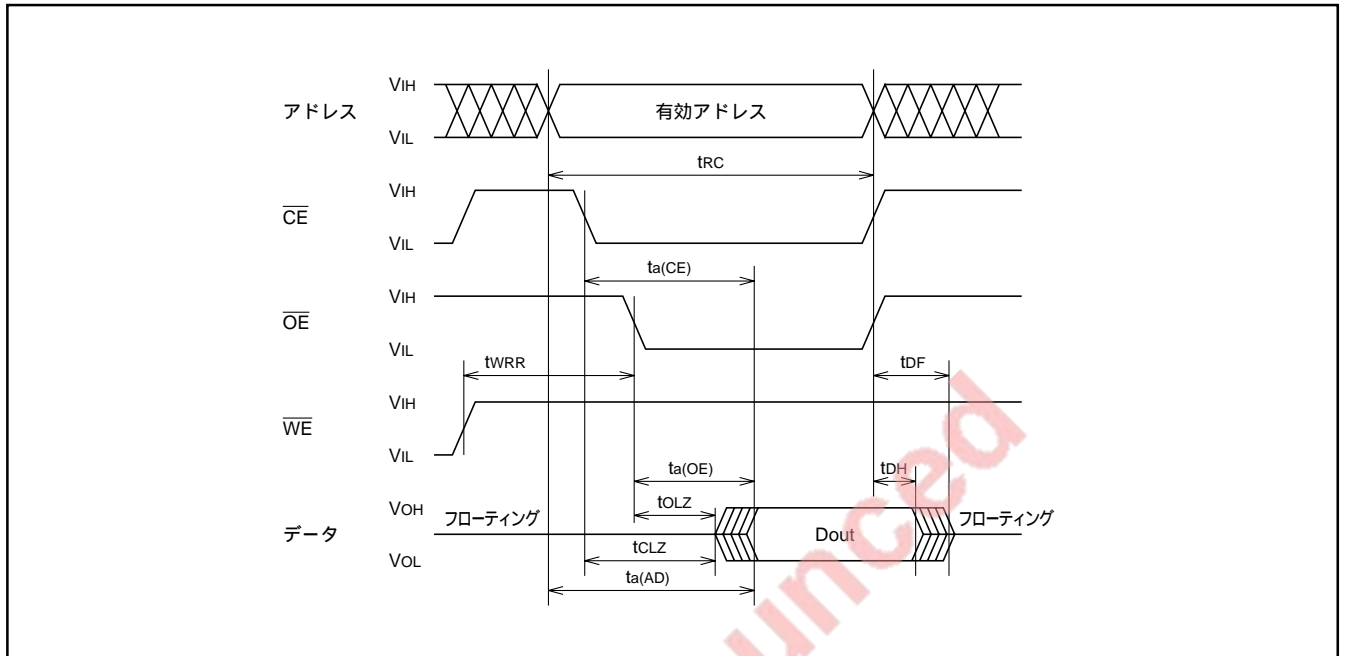


図86．リードタイミング

リード/ライトモード

VPP端子にVPPHを印加するとリード/ライトモードになります。このモードでは、最初にフラッシュメモリに対して行う操作(リード、プログラム、イレースなど)を選択するためのソフトウェアコマンドを入力し(第一サイクルと称す)、続いてそのコマンドを実行するために必要な情報(アドレス、データなど)及び制御信号を入力する(第二サイクルと称す)と指定した操作が実行されます。表15にソフトウェアコマン

ドと第一、第二サイクルにおける入出力情報を示します。入力したアドレスはWE入力の立ち下がりエッジで、ソフトウェアコマンドなどの入力データはWE入力の立ち上がりエッジで内部にラッチされます。

以下に、各ソフトウェアコマンドについて説明します。信号入出力のタイミングについては図87～図89を参照してください。

表15．ソフトウェアコマンド一覧表(パラレル入出力モード)

項目	第一サイクル		第二サイクル	
	アドレス入力	データ入力	アドレス入力	データ入出力
リード	X	0016	リードアドレス	リードデータ(出力)
プログラム	X	4016	プログラムアドレス	プログラムデータ(入力)
プログラムベリファイ	X	C016	X	ベリファイデータ(出力)
イレース	X	2016	X	2016(入力)
イレースベリファイ	ベリファイアドレス	A016	X	ベリファイデータ(出力)
リセット	X	FF16	X	FF16(入力)
デバイス識別	X	9016	ADI	DD(出力)

注．ADI=デバイス識別アドレス：製造メーカーコード 0000016, デバイスコード 0000116
DDI=デバイス識別データ：製造メーカーコード 1C16, デバイスコード D016
Xは、VIL又はVIHのどちらでもよい。

・リードコマンド

第一サイクルでコマンドコード“00₁₆”を入力するとリードモードになります。コマンドコードは \overline{WE} 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで読み出しを行うアドレスを入力し、図87に示すタイミングで制御信号を入力すると、指定したアドレスの内容がデータ入出力端子から外部に出力されます。

リードモードは、コマンドラッチに他のコマンドがラッチされるまで保持されます。したがって、1度リードモードに設定した後は、アドレス入力を変化させて第二サイクルだけを実行すると、メモリの内容を次々に読み出すことができます。なお、リードコマンド以外のコマンドは実行する度に、再度コマンドコードから入力する必要があります。電源投入後はコマンドラッチの内容は00₁₆になっています。

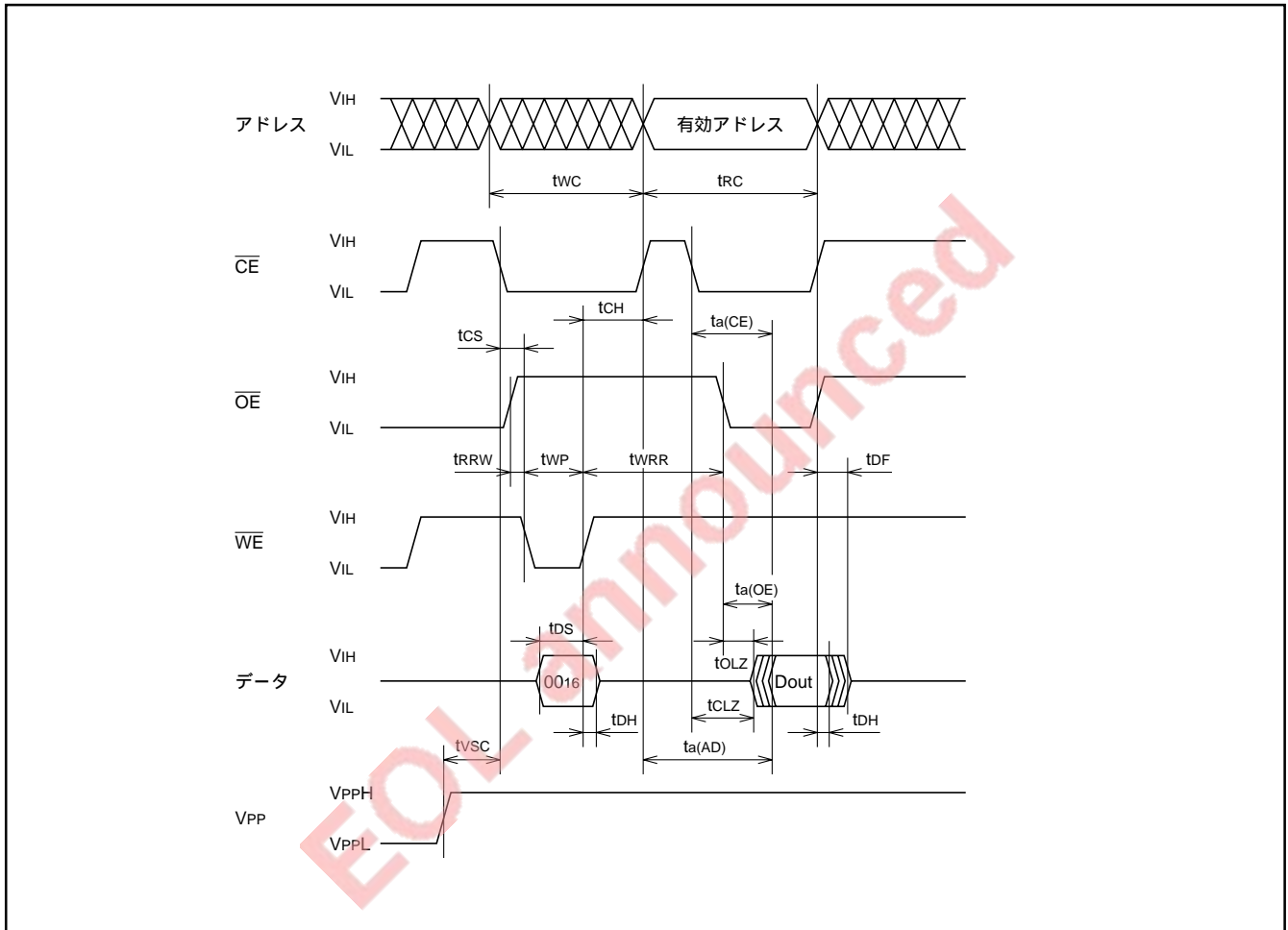


図87 . リード時のタイミング

・プログラムコマンド

第一サイクルでコマンドコード“4016”を入力するとプログラムモードになります。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルでプログラムするアドレスとデータを入力すると、アドレスはWE入力の立ち下がり、データは立ち上がりで内部にラッチされます。プログラムは、第二サイクルのWE入力の立ち上がりによって開始され、内蔵タイマで測定して10μs以内に終了します。プログラムはバイト単位で行われます。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図90を参照してください。

・プログラムベリファイコマンド

第一サイクルでコマンドコード“C016”を入力するとプログラムベリファイモードになります。このコマンドはプログラムコマンド実行後に、プログラムされたデータをベリファイするために用います。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで図88に示すタイミングで制御信号を入力すると、プログラムされたアドレスの内容が外部に出力されます。アドレスはプログラムコマンド実行時のアドレスを内部でラッチしていますので、第二サイクルにおいて入力する必要はありません。

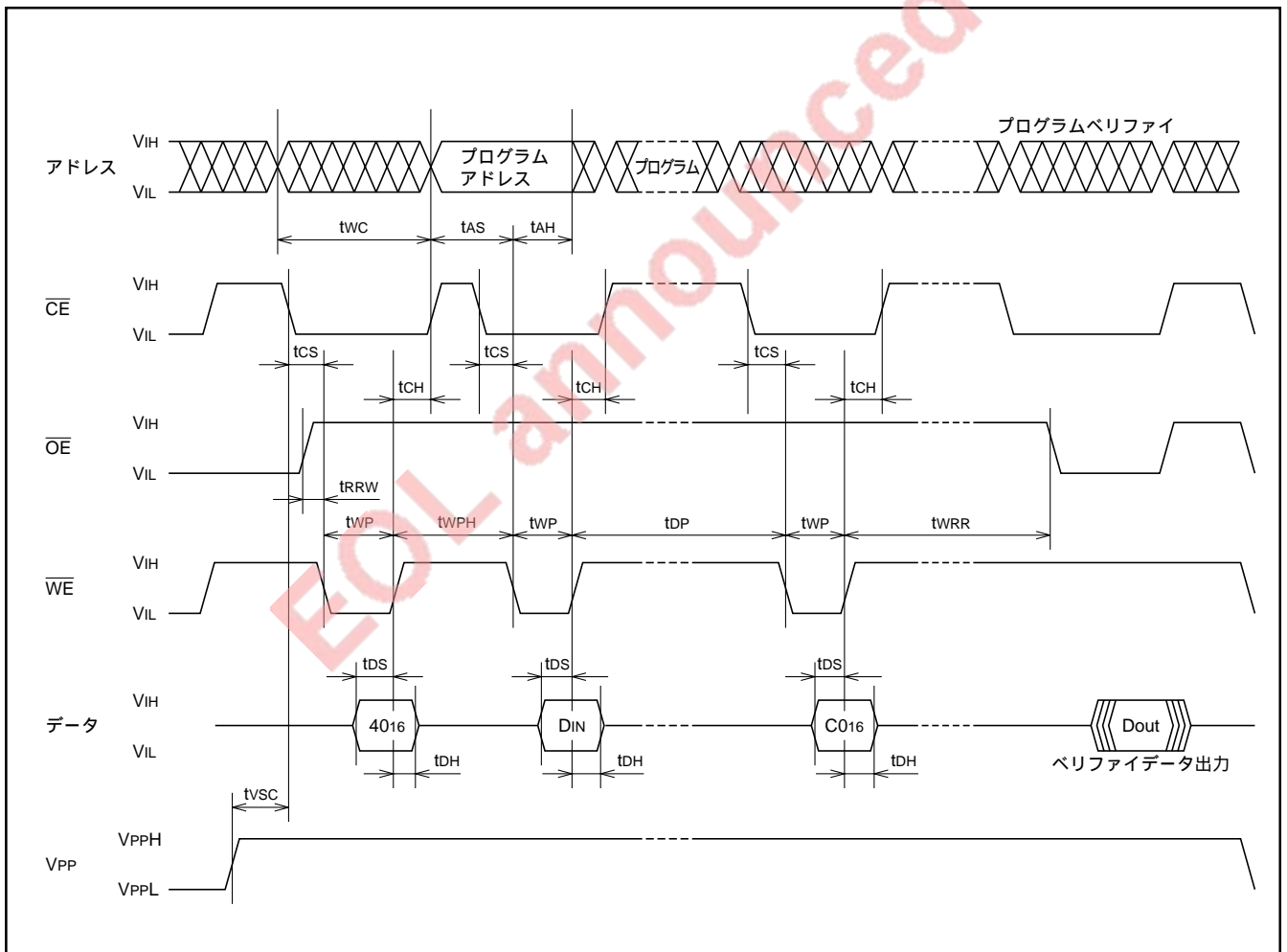


図88 . プログラム時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・イレーズコマンド

第一サイクルでコマンドコード“2016”を入力した後、再度第二サイクルでコマンドコード“2016”を入力するとイレーズコマンドが実行されます。コマンドコードは、第一及び第二サイクルの \overline{WE} 入力の立ち上がりで内部のコマンドラッチにラッチされます。イレーズは、第二サイクルの \overline{WE} 入力の立ち上がりによって開始され、内蔵タイマで測定して9.5ms以内にメモリの内容は一括消去されます。なお、イレーズコマンドの実行前には、すべてのメモリにデータ“0016”を書き込む必要があります。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図90を参照してください。

・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。第一サイクルでベリファイするアドレスとコマンドコード“A016”を入力するとイレーズベリファイモードになります。アドレスは \overline{WE} 入力の立ち下がり、コマンドコードは立ち上がりで内部にラッチされます。第二サイクルで図89に示すタイミングで制御信号を入力すると、指定したアドレスの内容が外部に出力されます。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“0016”を書き込む必要はありません。

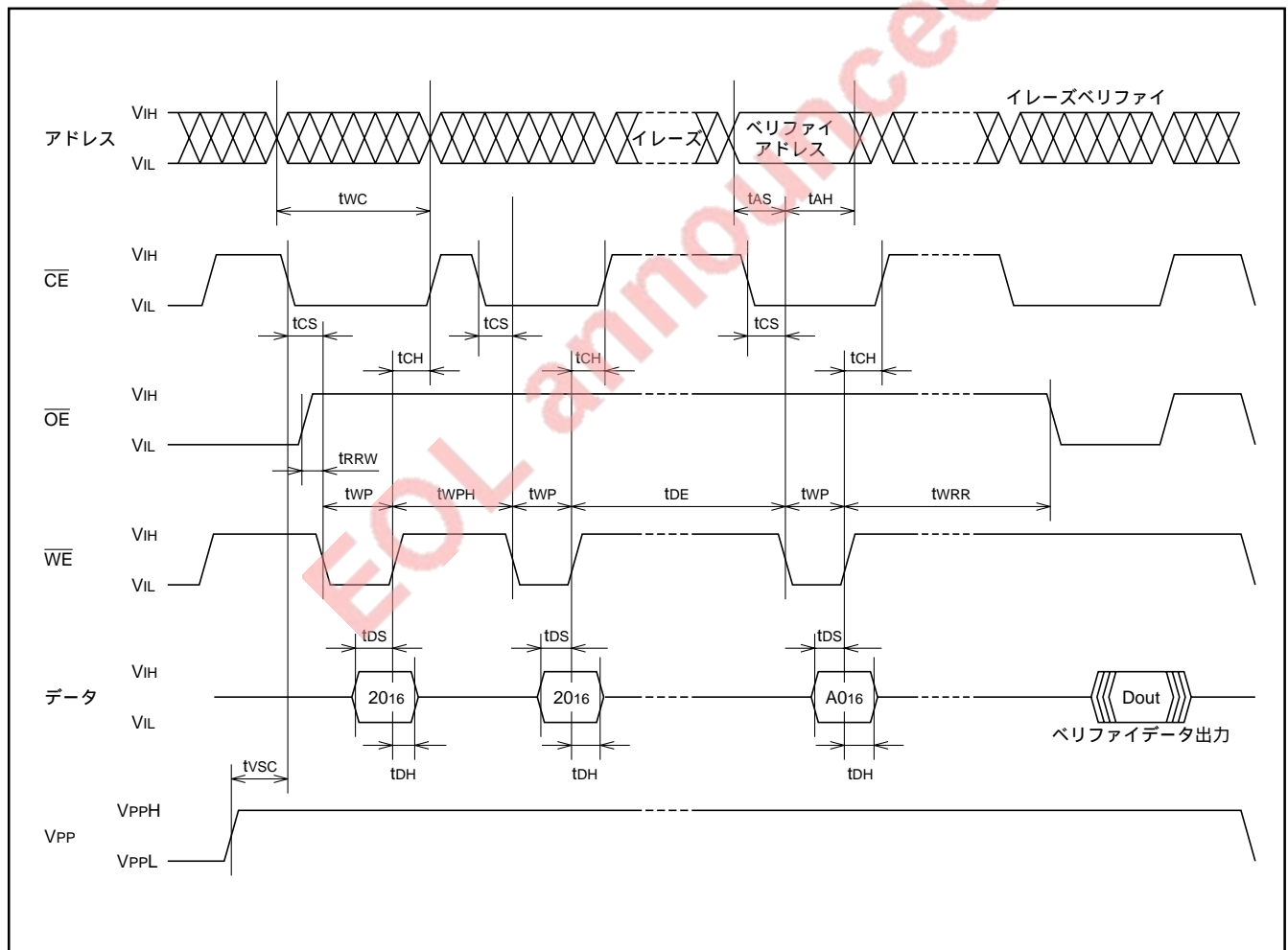


図89．イレーズ時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

- ・リセットコマンド

リセットコマンドはイレース又はプログラムコマンドを安全に中止するための手段です。第一サイクルでイレース又はプログラムコマンドコードを入力した後、第二サイクルでコマンドコード“FF₁₆”を入力し、再度第三サイクルでコマンドコード“FF₁₆”を入力すると、イレース又はプログラムコマンドは無効になり(リセットされ)、リードモードになります。リセットコマンドを実行しても、メモリの内容は変わりません。

- ・デバイス識別コードコマンド

第一サイクルでコマンドコード“90₁₆”を入力すると、デバイス識別コードを読み出すことができます。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。この場合、第二サイクルでアドレス入力端子に“00000₁₆”を入力すると製造メーカーコード“1C₁₆”(三菱)が“00001₁₆”を入力するとデバイスコード“D0₁₆”(1Mビットフラッシュメモリ)が読み出されます。

入出力タイミングは、リード時のタイミングと同じです。

EOL announced

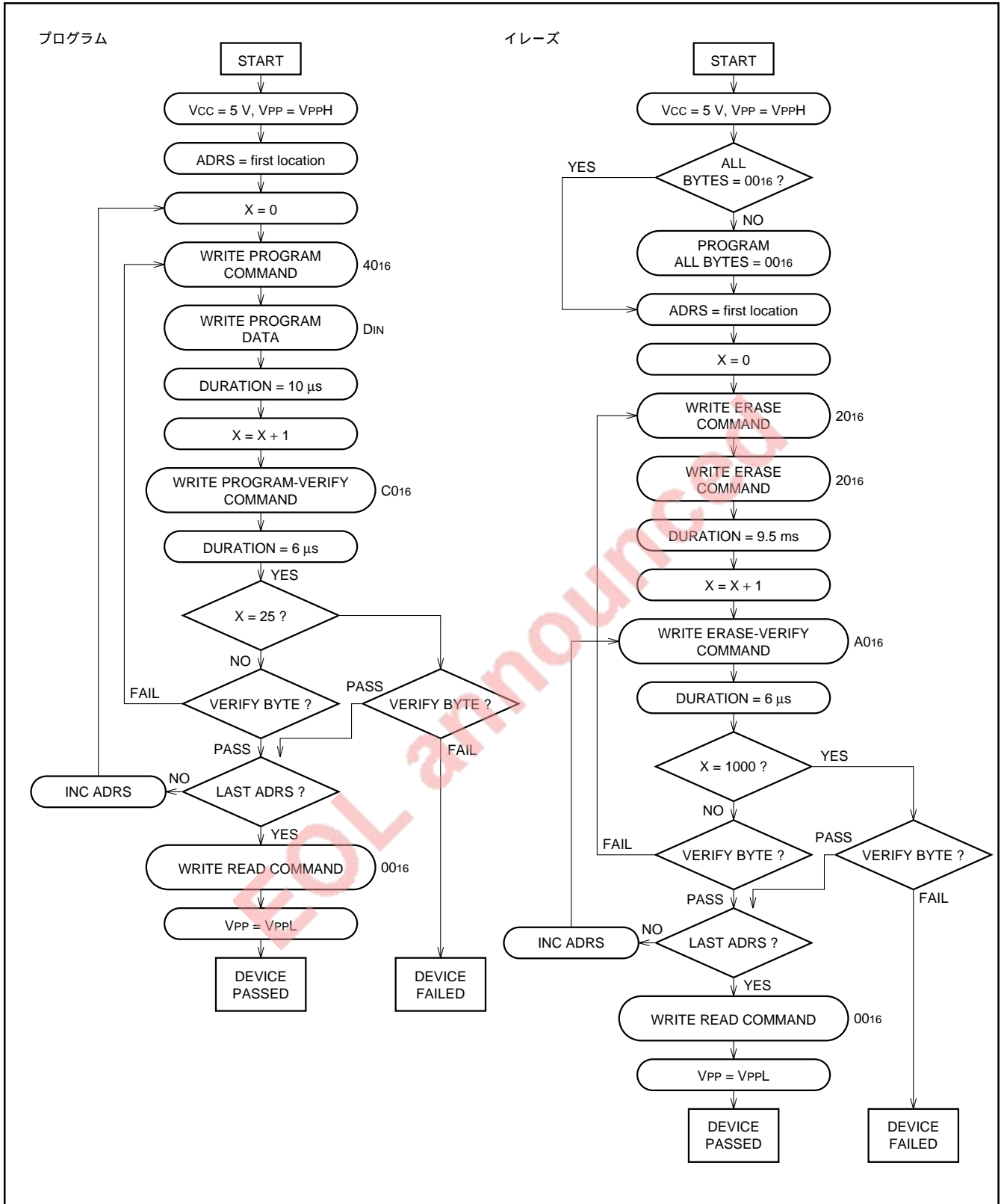


図90 . プログラム, イレーズアルゴリズムフローチャート

表16. 直流電気的特性 (指定のない場合は, $T_a = 25$, $V_{CC} = 5V \pm 10\%$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ISB1	V _{CC} 電源電流 (スタンバイ時)	V _{CC} = 5.5V, $\overline{CE} = V_{IH}$			1	mA
ISB2		V _{CC} = 5.5V, $\overline{CE} = V_{CC} \pm 0.2V$			100	μA
ICC1	V _{CC} 電源電流 (リード時)	V _{CC} = 5.5V, $\overline{CE} = V_{IL}$, t _{RC} = 150ns, I _{OUT} = 0mA			15	mA
ICC2	V _{CC} 電源電流 (プログラム時)	V _{PP} = V _{PPH}			15	mA
ICC3	V _{CC} 電源電流 (イレーズ時)	V _{PP} = V _{PPH}			15	mA
IPP1	V _{PP} 電源電流 (リード時)	0 V _{PP} V _{CC}			10	μA
		V _{CC} < V _{PP} V _{CC} + 1.0V			100	μA
		V _{PP} = V _{PPH}			100	μA
IPP2	V _{PP} 電源電流 (プログラム時)	V _{PP} = V _{PPH}			30	mA
IPP3	V _{PP} 電源電流 (イレーズ時)	V _{PP} = V _{PPH}			30	mA
V _{IL}	"L"入力電圧		0		0.2V _{CC}	V
V _{IH}	"H"入力電圧		0.52V _{CC}		V _{CC}	V
VOH1	"H"出力電圧	I _{OH} = - 400 μA	2.4			V
VOH2		I _{OH} = - 100 μA	V _{CC} - 0.4			V
V _{PPL}	V _{PP} 電源電圧 (リードオンリー)		V _{CC}		V _{CC} + 1.0	V
V _{PPH}	V _{PP} 電源電圧 (リード/ライト)		11.7	12.0	12.6	V

交流電気的特性 (指定のない場合は, $T_a = 25$, $V_{CC} = 5V \pm 10\%$)

表17. リードオンリーモード

記号	項目	規格値		単位
		最小	最大	
t _{RC}	リードサイクル時間	500		ns
t _{α AD)}	アドレスアクセス時間		500	ns
t _{α CE)}	CEアクセス時間		500	ns
t _{α OE)}	OEアクセス時間		200	ns
t _{CLZ}	CE後出力イネーブル時間	0		ns
t _{OLZ}	OE後出力イネーブル時間	0		ns
t _{DF}	OE後出力フローティング時間		70	ns
t _{DH}	CE, OE, アドレス後出力有効時間	0		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs

表18. リード/ライトモード

記号	項目	規格値		単位
		最小	最大	
t _{WC}	ライトサイクル時間	300		ns
t _{AS}	アドレスセットアップ時間	0		ns
t _{AH}	アドレスホールド時間	120		ns
t _{DS}	データセットアップ時間	100		ns
t _{DH}	データホールド時間	20		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs
t _{RRW}	ライト前リードリカバリー時間	0		μs
t _{CS}	\overline{CE} セットアップ時間	40		ns
t _{CH}	\overline{CE} ホールド時間	0		ns
t _{WP}	ライトパルス幅	120		ns
t _{WPH}	ライトパルス待機時間	40		ns
t _{DP}	プログラム時間	10		μs
t _{DE}	イレーズ時間	9.5		ms
t _{VSC}	V _{PP} セットアップ時間	1		μs

注. リード/ライトモード時のリードタイミングは, リードオンリーモード時と同じです。

(2)フラッシュメモリモード・2(シリアル入出力モード)

M38B79FFFは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データを、少数の端子を使用してシリアルに入出力する機能(シリアル入出力モード)を持っています。シリアル入出力モードは、図91に示す結線を行い、VCC端子に電源を投入した後、SDA(シリアルデータ入出力)、SCLK(シリアルクロック入力)及びOE端子を“H”にし、その後VPP

端子にVPPHを印加することによって選択されます。

シリアル入出力モードでは、リード、プログラム、プログラムベリファイ、イレース、イレースベリファイ、エラーチェックの6つのソフトウェアコマンドが使用できます。

シリアル入出力は、クロック同期式、LSBファーストで行います。

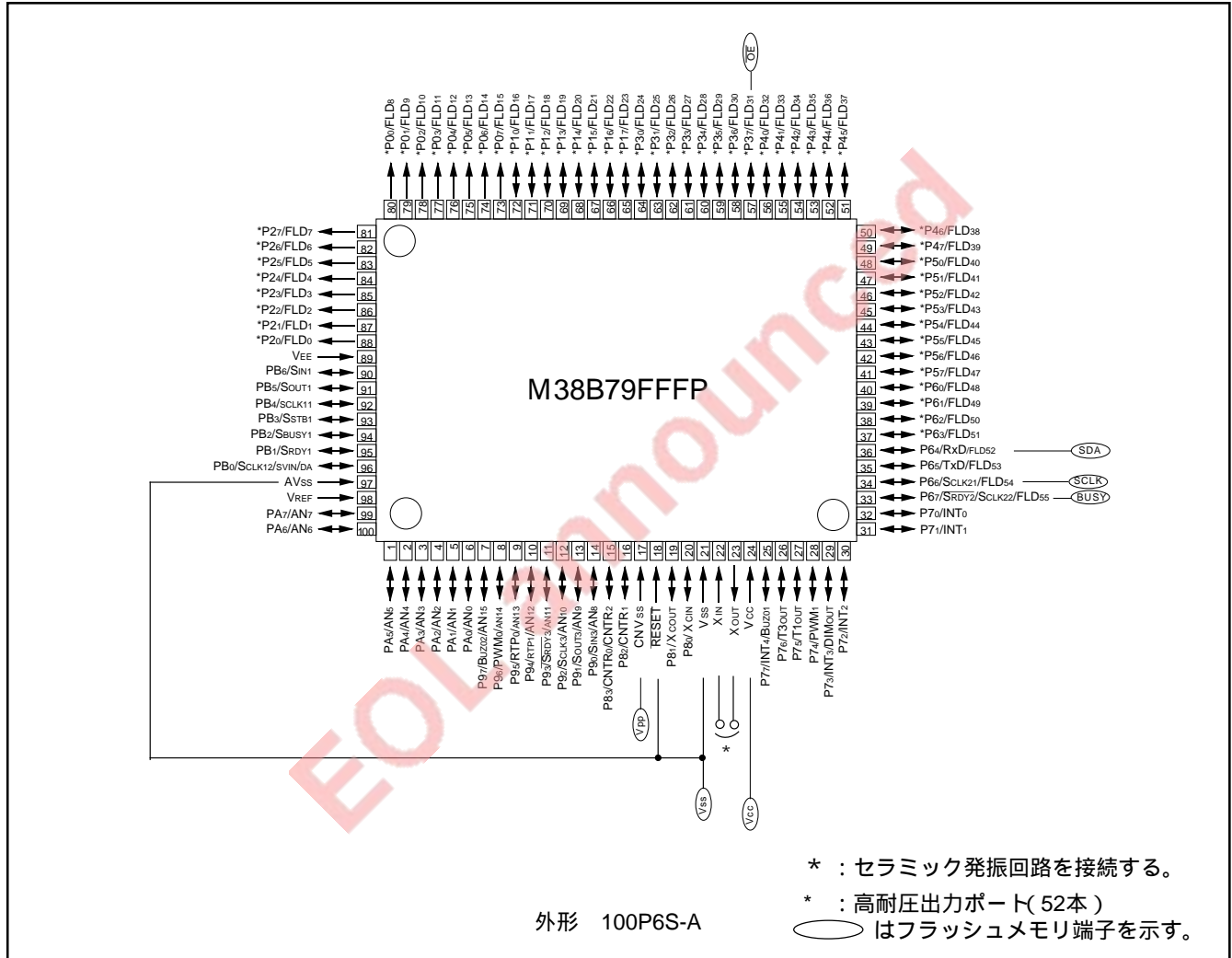


図91 . シリアル入出力モード時の端子結線図(M38B79FF)

表19. 端子の機能説明(フラッシュメモリシリアル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		Vccに5V ± 10%, Vssに0Vを印加します。
CNVSS	VPP入力	入力	11.7 V ~ 12.6 Vを印加します。
RESET	リセット入力	入力	Vssに接続してください。
XIN	クロック入力	入力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		Vssに接続してください。
VREF	基準電圧入力	入力	Vss ~ Vcc間の任意のレベルを入力してください。
P00 ~ P07	入力ポート P0	入力	"H"を入力,"L"を入力,又は開放してください。
P10 ~ P17	入力ポート P1	入力	"H"を入力,"L"を入力,又は開放してください。
P20 ~ P27	入力ポート P2	入力	"H"を入力,"L"を入力,又は開放してください。
P30 ~ P36	入力ポート P3	入力	"H"を入力,"L"を入力,又は開放してください。
P37	制御入力	入力	OE入力端子です。
P40 ~ P47	入力ポート P4	入力	"H"を入力,"L"を入力,又は開放してください。
P50 ~ P57	入力ポート P5	入力	"H"を入力,"L"を入力,又は開放してください。
P60 ~ P63, P65	入力ポート P6	入力	P60 ~ P63, P65は"H"を入力,"L"を入力,又は開放してください。
P64	SDA入出力	入出力	シリアルデータの入出力端子です。
P66	SCLK入力	入力	シリアルクロックの入力端子です。
P67	BUSY出力	出力	BUSY信号の出力端子です。
P70 ~ P77	入力ポート P7	入力	"H"を入力,"L"を入力,又は開放してください。
P80 ~ P83	入力ポート P8	入力	"H"を入力,"L"を入力,又は開放してください。
P90 ~ P97	入力ポート P9	入力	"H"を入力,"L"を入力,又は開放してください。
PA0 ~ PA7	入力ポート PA	入力	"H"を入力,"L"を入力,又は開放してください。
PB0 ~ PB6	入力ポート PB	入力	"H"を入力,"L"を入力,又は開放してください。
VEE	プルダウン 電源入力		開放して下さい。

●機能概要(シリアル入出力モード)

シリアル入出力モードでは、クロック同期式シリアル入出力形式でデータ転送を行います。入力データはシリアルクロックの立ち上がりに同期してSDA端子から内部に読み込まれ、出力データはシリアルクロックの立ち下がりに同期して、SDA端子から出力されます。転送は8ビット単位で行わ

れます。

最初の転送では、コマンドコードを入力します。その後、コマンドの内容に対応して、アドレス入力、データ入出力を行います。表20にシリアル入出力モードにおけるソフトウェアコマンドを示します。以下に、各ソフトウェアコマンドについて説明します。

表20. ソフトウェアコマンド一覧表(シリアル入出力モード)

コマンド	転送回数	第一回 コマンドコード入力	第二回	第三回	第四回
リード		00 ₁₆	リードアドレスL(入力)	リードアドレスH(入力)	リードデータ(出力)
プログラム		40 ₁₆	プログラムアドレスL(入力)	プログラムアドレスH(入力)	プログラムデータ(入力)
プログラムベリファイ		C0 ₁₆	ベリファイデータ(出力)		
イレース		20 ₁₆	20 ₁₆ (入力)		
イレースベリファイ		A0 ₁₆	ベリファイアドレスL(入力)	ベリファイアドレスH(入力)	ベリファイデータ(出力)
エラーチェック		80 ₁₆	エラーコード(出力)		

・リードコマンド

第一回目の転送でコマンドコード“00₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次に \overline{OE} 端子を“L”にすると、指定したアドレスの内容

がリードされ、内部のデータラッチにラッチされます。 \overline{OE} 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているリードデータがSDA端子からシリアルに出力されます。

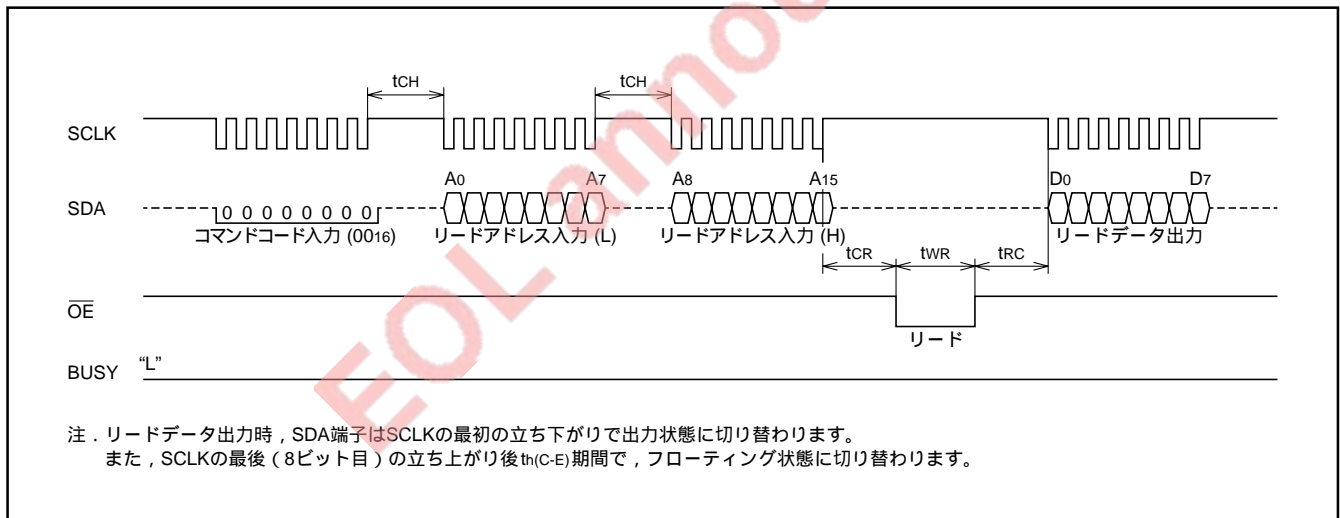


図92. リード時のタイミング

・プログラムコマンド

第一回目の転送でコマンドコード“4016”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビット、及びプログラムデータを入力します。プログラムは、プログラムデータ転送時のシリアルクロックの最後の立ち上がり後開始されます。プログラム実施期間中は、BUSY端子の出力が

“H”になります。内蔵タイマで測定して10 μ s以内にプログラムは終了し、BUSY端子の出力は“L”になります。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図90を参照してください。

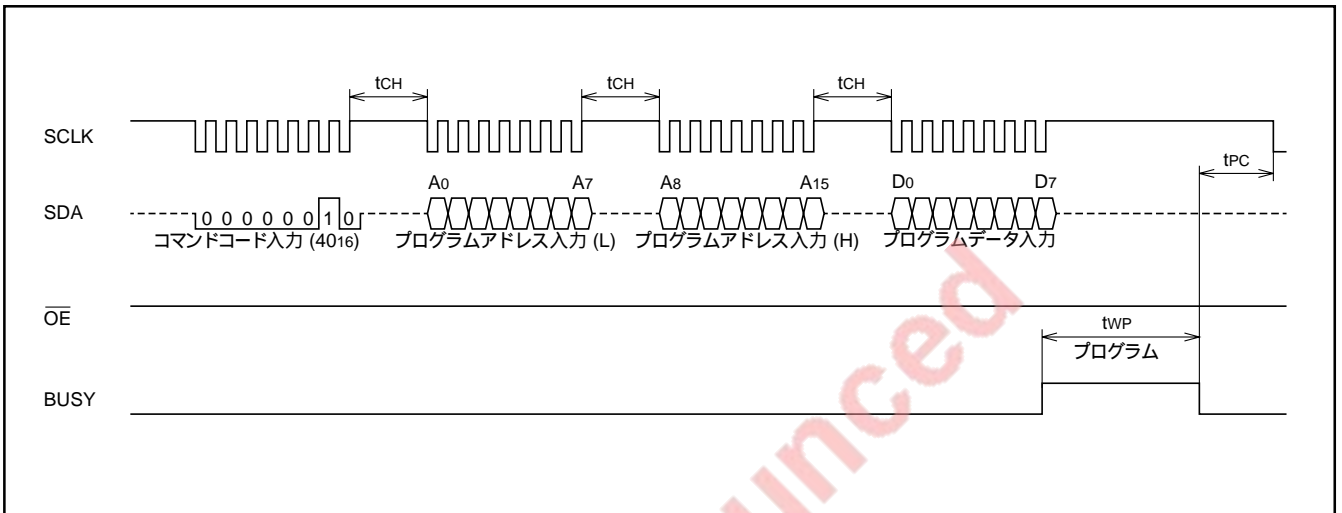
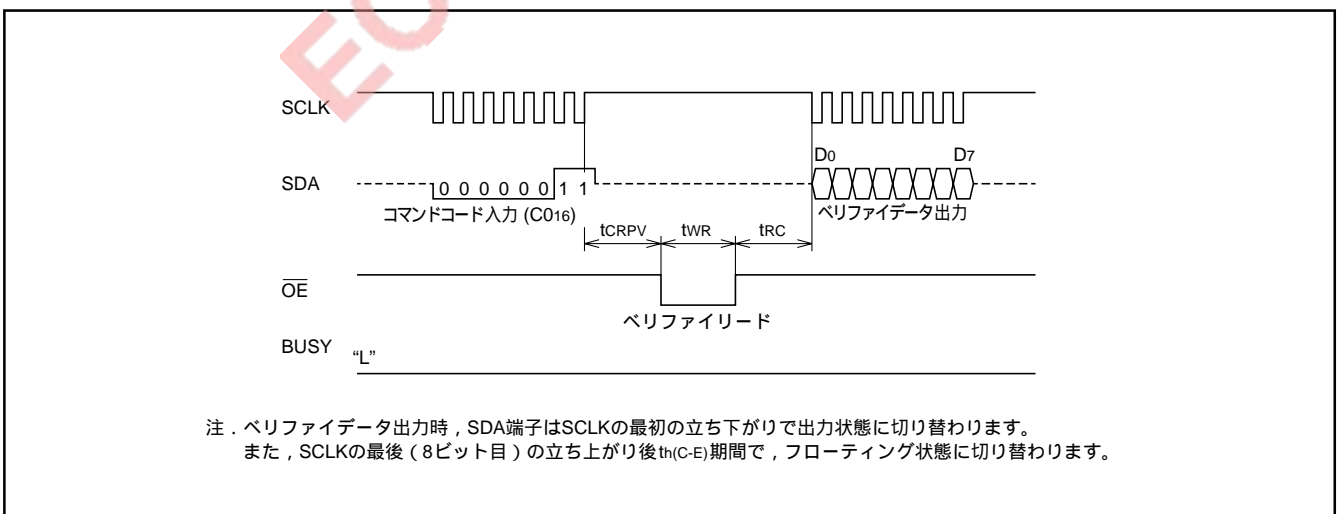


図93. プログラム時のタイミング

・プログラムベリファイコマンド

第一回目の転送でコマンドコード“C016”を入力します。続いて、 \overline{OE} 端子を“L”にすると、プログラムされたアドレスの内容がベリファイリードされ、内部のデータラッチにラッチ

されます。 \overline{OE} 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。



注. ベリファイデータ出力時、SDA端子はSCLKの最初の立ち下がりで出力状態に切り替わります。また、SCLKの最後(8ビット目)の立ち上がり後 $t_{(C-E)}$ 期間で、フローティング状態に切り替わります。

図94. プログラムベリファイ時のタイミング

・イレーズコマンド

第一回目の転送で、コマンドコード“ 20₁₆ ”を入力した後、再度第二回目の転送でコマンドコード“ 20₁₆ ”を入力すると、イレーズコマンドが実行されます。イレーズはシリアルクロックの最後の立ち上がり後開始されます。イレーズ期間中は、BUSY端子の出力が“ H ”になります。内蔵タイマーで測定して9.5ms以内にイレーズは終了し、BUSY端子の出力は“ L ”

になります。

なお、イレーズコマンドの実行前には、すべてのメモリにデータ“ 00₁₆ ”を書き込む必要があります。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズコマンドのフローチャートは図90を参照してください。

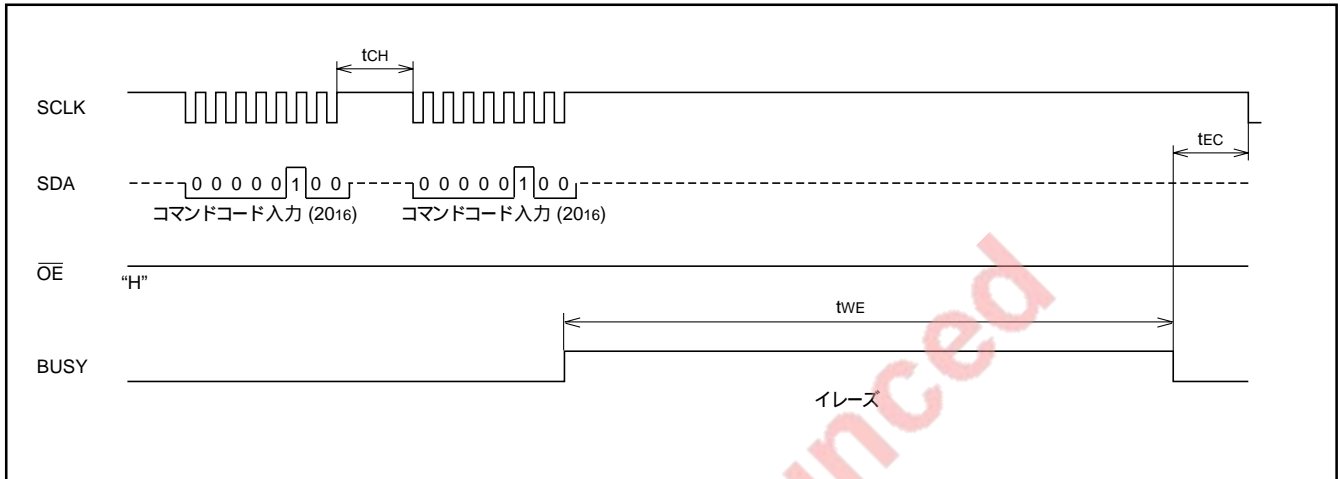


図95 . イレーズ時のタイミング

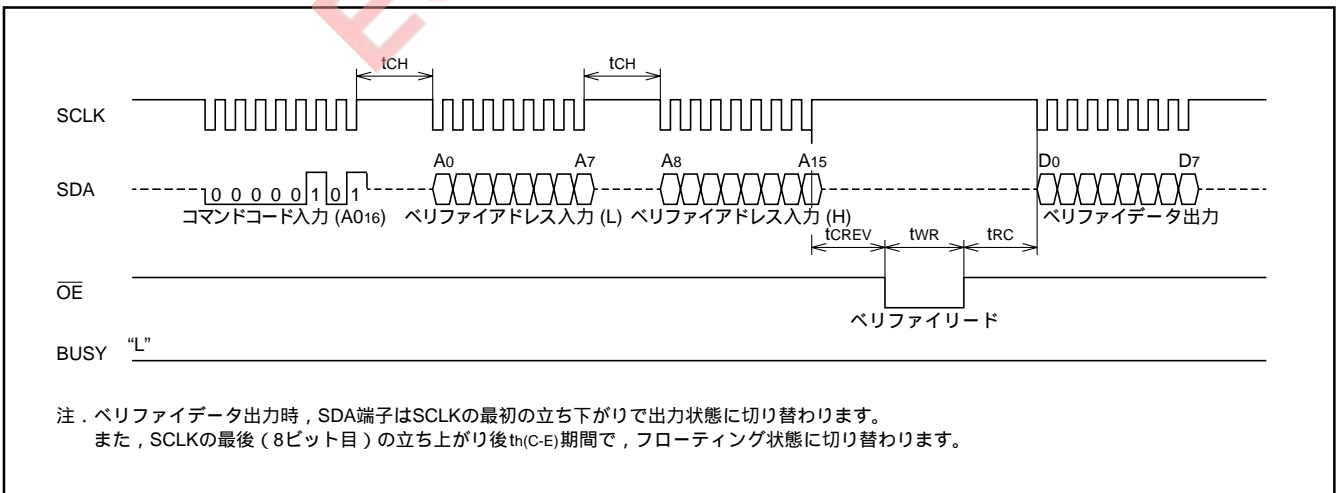
・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。

第一回目の転送で、コマンドコード“ A0₁₆ ”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次にOE端子を“ L ”にすると、指定したアドレスの内容がベリファイリードされ、内部のデータラッチにラッチさ

れます。OE端子を“ H ”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“ 00₁₆ ”を書き込む必要はありません。



注 . ベリファイデータ出力時、SDA端子はSCLKの最初の立ち下がりて出力状態に切り替わります。また、SCLKの最後（8ビット目）の立ち上がり後 t_{h(C-E)} 期間で、フローティング状態に切り替わります。

図96 . イレーズベリファイ時のタイミング

・エラーチェックコマンド

第一回目の転送でコマンドコード“8016”を入力すると、次のシリアルクロックの立ち下がりから、SDA端子はエラー情報を出力します。8ビットのエラー情報のうち、最下位ビットが“1”のときはコマンドエラーが発生したことを示しています。コマンドエラーは、表20に示すコマンド以外のコマンドコードが入力されたことを意味します。

シリアル通信回路は、書き込み、消去の誤りを防止するために、コマンドエラーが発生すると、対応するエラーフラグをセットした後、動作を停止し、その後はシリアルクロック及びデータを受け付けません(エラーチェックコマンドも受

け付けられません)。したがって、エラーチェックコマンドを実行する場合は、VPP端子の入力を1度V_{PPL}レベルに下げ、再度シリアル入出力モードを解除した後、再度シリアル入出力モードに設定してください。この操作によってシリアル通信回路はリセットされ、コマンド受付が可能になります。このとき、エラーフラグだけはクリアされませんので、リセット後、最初にエラーチェックコマンドを実行することによって、リセット前のエラーについて知ることができます。なお、エラーフラグは、エラーチェックコマンドを実行することによりクリアされます。電源投入後はエラーフラグは不定ですので、必ずエラーチェックコマンドを実行してください。

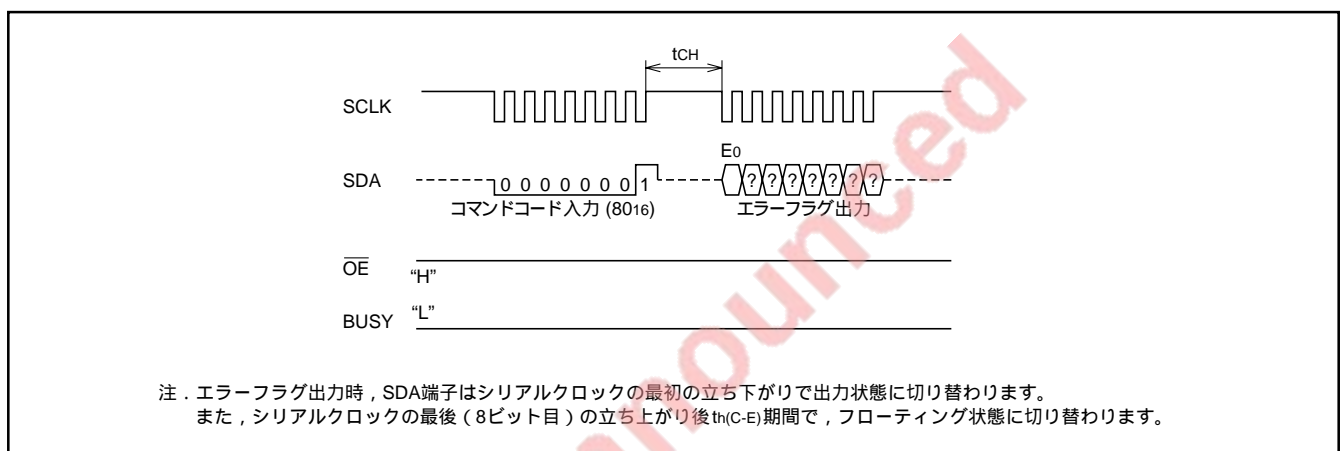


図97．エラーチェック時のタイミング

直流電気的特性 (Ta = 25 , VCC = 5V ± 10%, VPP = 11.7 ~ 12.6V)

リード、プログラム、イレーズ時のICC, IPP関連規格は、パラレル入出力モードと同じです。

SCLK, SDA, BUSY, OE端子のVIH, VIL, VOH, VOL, IiH, IiL規格はマイコンモードに準じます。

表21 . 交流電気的特性 (指定のない場合は, Ta = 25 , VCC = 5V ± 10%, VPP = 11.7 ~ 12.6V, f (XIN) = 4MHz)

記号	項目	規格値		単位
		最小	最大	
tCH	シリアル転送間隔時間	625(注1)		ns
tCR	転送後リード待ち時間	625(注1)		ns
tWR	リードパルス幅	500(注2)		ns
tRC	リード後転送待ち時間	625(注1)		ns
tCRPV	プログラムベリファイ前待ち時間	6		μs
tWP	プログラム時間		10	μs
tPC	プログラム後転送待ち時間	625(注1)		ns
tCREV	イレーズベリファイ前待ち時間	6		μs
tWE	イレーズ時間		9.5	ms
tEC	イレーズ後転送待ち時間	625(注1)		ns
tα(CK)	SCLK入力サイクル時間	250		ns
tW(CKH)	SCLK " H " パルス幅	100		ns
tW(CKL)	SCLK " L " パルス幅	100		ns
tr(CK)	SCLK立ち上がり時間	20		ns
tf(CK)	SCLK立ち下がり時間	20		ns
tα(C-Q)	SDA出力遅延時間	0	90	ns
th(C-Q)	SDA出力ホールド時間	0		ns
th(C-E)	SDA出力ホールド時間 (8ビット目のみ)	187.5(注3)	312.5(注4)	ns
tsu(D-C)	SDA入力セットアップ時間	30		ns
th(C-D)	SDA入力ホールド時間	90		ns

注1 . f (XIN) 4MHzの場合は, 式 (1) を使用して最小値を計算してください。

$$\text{式 (1) : } \frac{2500}{f(XIN)} \times 10^6$$

2 . f (XIN) 4MHzの場合は, 式 (2) を使用して最小値を計算してください。

$$\text{式 (2) : } \frac{2000}{f(XIN)} \times 10^6$$

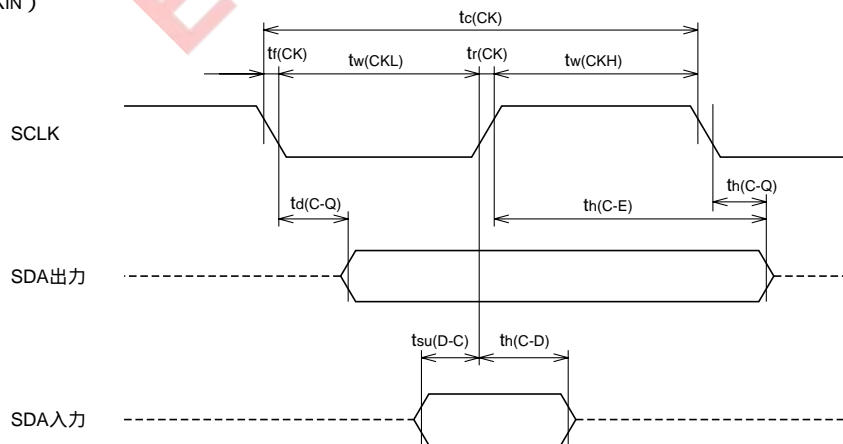
3 . f (XIN) 4MHzの場合は, 式 (3) を使用して最小値を計算してください。

$$\text{式 (3) : } \frac{750}{f(XIN)} \times 10^6$$

4 . f (XIN) 4MHzの場合は, 式 (4) を使用して最大値を計算してください。

$$\text{式 (4) : } \frac{1250}{f(XIN)} \times 10^6$$

タイミング図



測定条件

- 出力タイミング電圧 : VOL = 0.8V, VOH = 2.0Vで判定
- 入力タイミング電圧 : VIL = 0.2VCC, VIH = 0.8VCCで判定

(3)フラッシュメモリモード - 3(CPU書き換えモード)

M38B79FFは、中央演算処理装置(CPU)により、内蔵するフラッシュメモリの操作を行うCPU書き換えモードを持っています。

CPU書き換えモードでは、以下に示すフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。

また、CPU書き換えモードでは、CNV_{ss}端子をV_{PP}電源端子として使用します。この端子には、外部からV_{PPH}の電源電圧を印加する必要があります。

機能概要(CPU書き換えモード)

図98、図99にそれぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタのビット構成を示します。

フラッシュメモリ制御レジスタのビット0は、CPU書き換えモード選択ビットで、このビットを“1”とした後、CNV_{ss}/V_{PP}端子にV_{PPH}を印加すると、CPU書き換えモードになります。CPU書き換えモードが成立したかどうかは、ビット2のCPU書き換えモードモニタフラグを読み出すことで判定できます。

ビット1は、イレーズ、プログラム実行中に“1”となるビジーフラグです。イレーズ、プログラムの各コマンドを実行後、このフラグをチェックすることで、これらの動作が完了

したかどうかを判定できます。

ビット4,5は、イレーズ、プログラム領域選択ビットでイレーズ、プログラムする領域を指定します。このビットで領域を指定した後、イレーズコマンドを実行すると、指定した領域のみイレーズされます。また、指定した領域のみプログラムが可能で、それ以外の領域にはプログラムできません。

図100にCPU書き換えモードでのCPUモードレジスタのビット構成を示します。

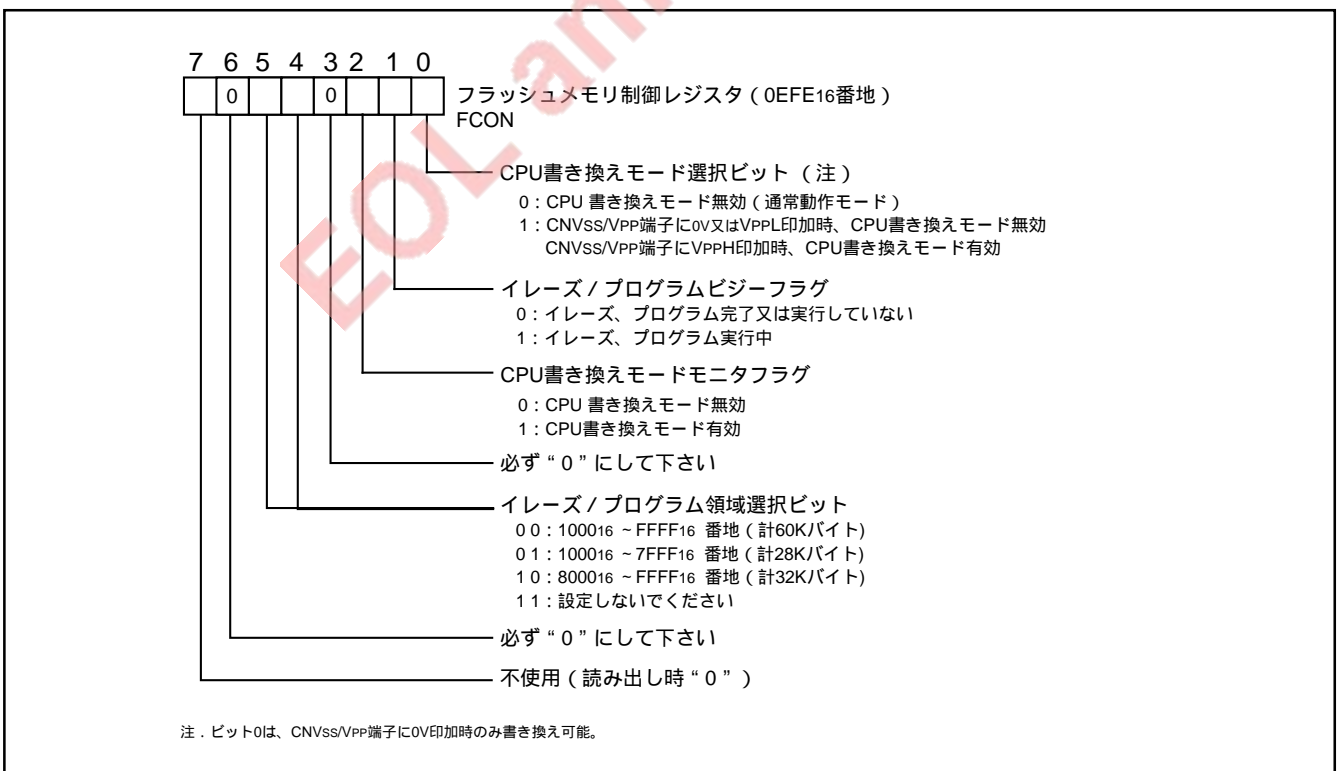


図98. フラッシュメモリ制御レジスタの構成

CPU書き換えモードの操作手順

以下にCPU書き換えモードでの操作手順を示します。

< 開始手順 >

CNV_{SS}/V_{PP}端子に0Vを印加し、リセット解除する。
CPUモードレジスタを設定する(図100参照)。
CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御する)。
CPU書き換えモード選択ビットに“1”を設定する。
CNV_{SS}/V_{PP}端子にV_{PPH}を印加する。
CNV_{SS}/V_{PP}端子が12Vになるまで待つ。
CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。
フラッシュコマンドレジスタへのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

(注)これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

< 解除手順 >

CNV_{SS}/V_{PP}端子に0Vを印加する。
CNV_{SS}/V_{PP}端子が0Vになるまで待つ。
CPU書き換えモード選択ビットに“0”を設定する。

以下に各ソフトウェアコマンドについて説明します。

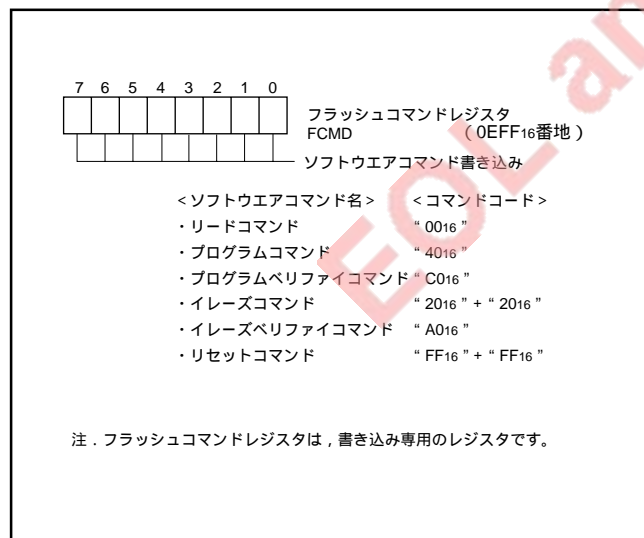


図99. フラッシュコマンドレジスタのビット構成

・リードコマンド

フラッシュコマンドレジスタに“00₁₆”を書き込むとリードモードになります。この状態でフラッシュメモリを(例えばLDA命令等で)読み出すと対応する番地の内容が読み出せます。

リードモードは、コマンドレジスタに他のコマンドコードを書き込むまで維持されるので、一旦リードモードに設定した後は、連続してフラッシュメモリの内容を読み出すことができます。なお、リセット後及びリセットコマンド実行後はリードモードに設定されています。

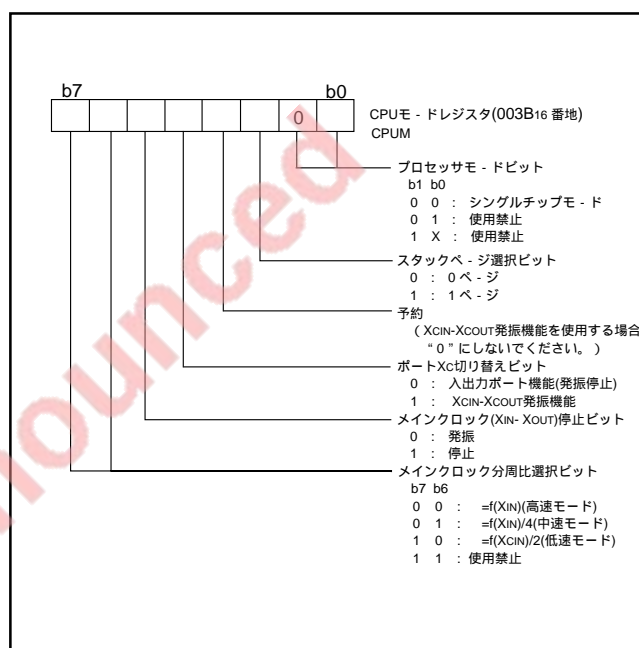


図100. CPU書き換えモードでのCPUモードレジスタのビット構成

・プログラムコマンド

フラッシュコマンドレジスタに“40₁₆”を書き込むとプログラムモードになります。続いてプログラムしたい番地にバイトデータを書き込む命令(例えばSTA命令)を実行すると、フラッシュメモリの制御回路はプログラムを実行します。プログラムを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完了すると“0”になります。したがって、書き込み命令実行後CPUはこのビットをポーリングすることによりプログラムの完了を知ることができます。

なお、プログラムする領域は、事前にイレーズ、プログラム領域選択ビットで指定しておく必要があります。

また、プログラム中は、ウォッチドッグタイマは、“FFFF₁₆”がセットされた状態で停止します。

(注)書き込みは、一回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図101を参照してください。

・プログラムベリファイコマンド

フラッシュコマンドレジスタに“C0₁₆”を書き込むとプログラムベリファイモードになります。続いてベリファイする番地(すなわち先にプログラムした番地)からバイトデータを読み出す命令(例えばLDA命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUでこの読み出されたデータと先のプログラムコマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度プログラムプログラムベリファイを実行する必要があります。

・イレーズコマンド

フラッシュコマンドレジスタに“20₁₆”を続けて2回書き込むと、フラッシュメモリの制御回路は、事前にイレーズ、プログラム領域選択ビットで指定した領域についてイレーズを実行します。イレーズを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完

了すると“0”になります。したがって、CPUはこのビットをポーリングすることによりイレーズの完了を知ることができます。

なお、イレーズコマンドの実行前には、必ず全てのイレーズ対象領域にデータ“00₁₆”をプログラム及びプログラムベリファイコマンドによって書き込んでおく必要があります。

また、イレーズ中は、ウォッチドッグタイマは、“FFFF₁₆”がセットされた状態で停止します。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図101を参照してください。

・イレーズベリファイコマンド

フラッシュコマンドレジスタに“A0₁₆”を書き込むとイレーズベリファイモードになります。続いてベリファイする番地に対してバイトリードする命令(例えばLDA命令)を実行すると、その番地の内容が読み出されます。

CPUは、イレーズした全領域に対し、1番地ずつ順次イレーズベリファイしていく必要があります。途中“FF₁₆”でない(消去されていない)番地を発見したらイレーズベリファイをそこで中断し、再度イレーズイレーズベリファイを実行する必要があります。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズイレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00₁₆”を書き込む必要はありません。

・リセットコマンド

リセットコマンドはプログラム、イレーズコマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタに“40₁₆”、“20₁₆”を書き込んだ後、続いてコマンドレジスタに“FF₁₆”を2回連続して書き込むと、プログラム、イレーズコマンドは無効になり(リセット)、リードモードになります。リセットコマンドを実行してもメモリの内容は変わりません。

直流電気的特性

注：フラッシュメモリ部の特性は、パラレル入出力モードの規格に準じます。

交流電気的特性

注：マイコンモードの規格に準じます。

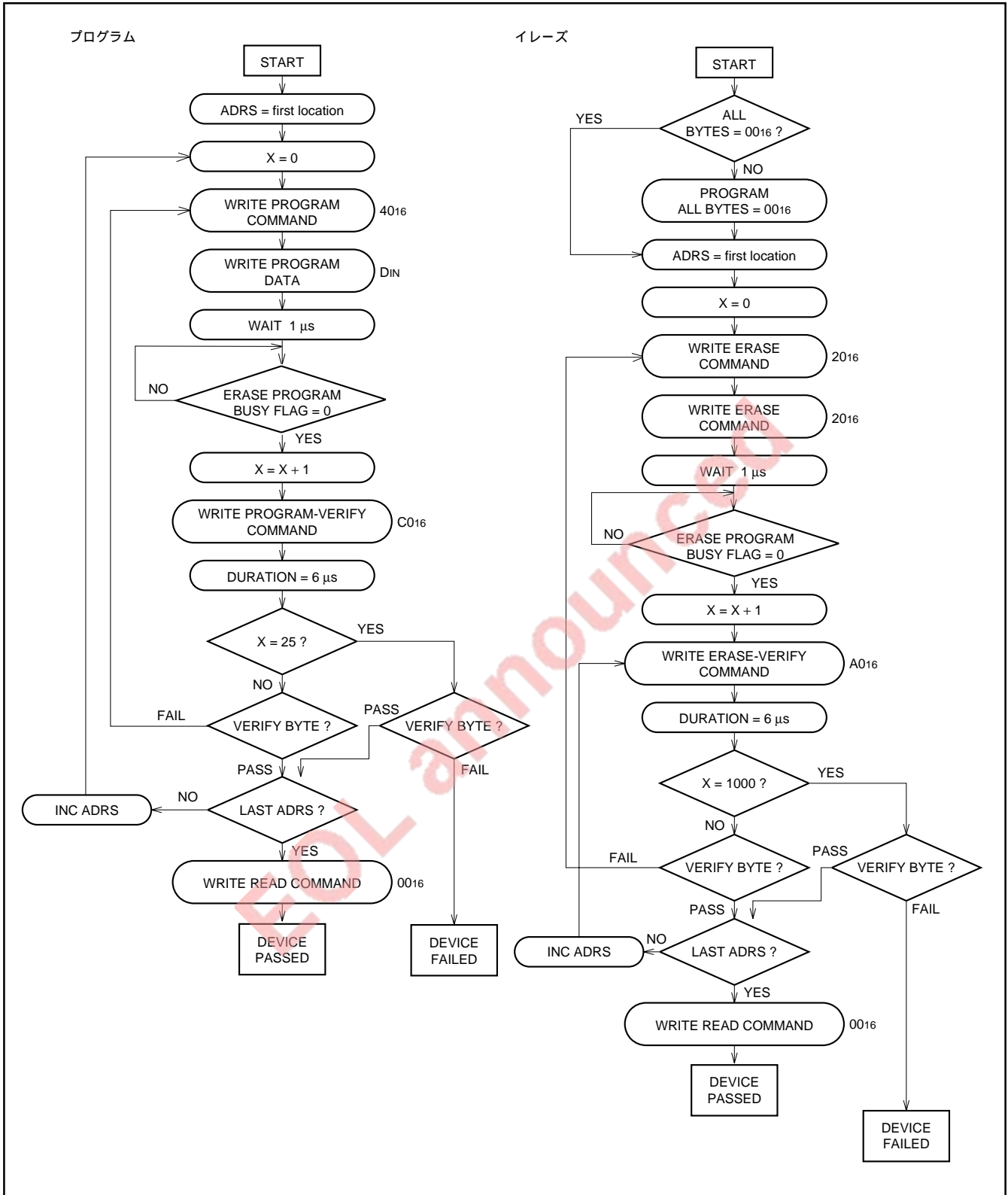


図101 . CPU書き換えモードでのプログラム、イレーズ実行時フローチャート

第 2 章 応 用

- 2.1 入出力ポート
- 2.2 タイマ
- 2.3 シリアルI/O
- 2.4 FLDコントローラ
- 2.5 A-D変換器
- 2.6 D-A変換器
- 2.7 PWM
- 2.8 割り込み間隔判定機能
- 2.9 ウォッチドッグタイマ
- 2.10 ブザー出力回路
- 2.11 リセット回路
- 2.12 クロック発生回路
- 2.13 フラッシュメモリ

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

0000 ₁₆	ポートP0 (P0)
0001 ₁₆	
0002 ₁₆	ポートP1 (P1)
0003 ₁₆	ポートP1方向レジスタ (P1D)
0004 ₁₆	ポートP2 (P2)
0005 ₁₆	
0006 ₁₆	ポートP3 (P3)
0007 ₁₆	ポートP3方向レジスタ (P3D)
0008 ₁₆	ポートP4 (P4)
0009 ₁₆	ポートP4方向レジスタ (P4D)
000A ₁₆	ポートP5 (P5)
000B ₁₆	ポートP5方向レジスタ (P5D)
000C ₁₆	ポートP6 (P6)
000D ₁₆	ポートP6方向レジスタ (P6D)
000E ₁₆	ポートP7 (P7)
000F ₁₆	ポートP7方向レジスタ (P7D)
0010 ₁₆	ポートP8 (P8)
0011 ₁₆	ポートP8方向レジスタ (P8D)
0012 ₁₆	ポートP9 (P9)
0013 ₁₆	ポートP9方向レジスタ (P9D)
0014 ₁₆	ポートPA (PA)
0015 ₁₆	ポートPA方向レジスタ (PAD)
0016 ₁₆	ポートPB (PB)
0017 ₁₆	ポートPB方向レジスタ (PBD)
	⋮
0EEF ₁₆	プルアップ制御レジスタ3 (PULL3)
0EF0 ₁₆	プルアップ制御レジスタ1 (PULL1)
0EF1 ₁₆	プルアップ制御レジスタ2 (PULL2)
	⋮

図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

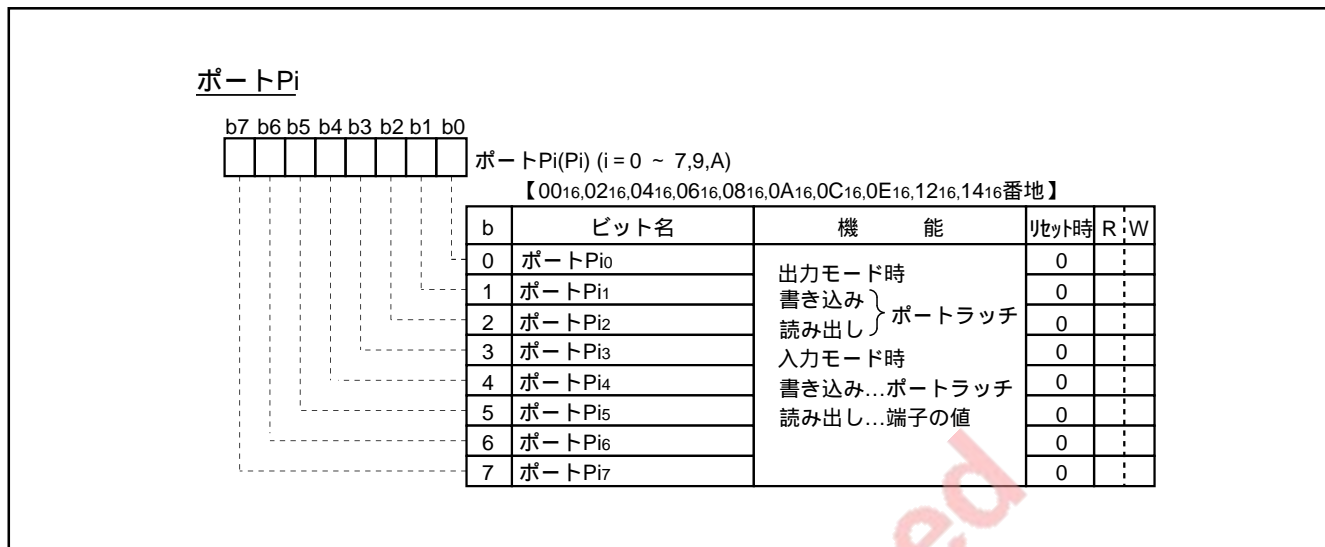


図2.1.2 ポートPiの構成(i = 0 ~ 7,9,A)

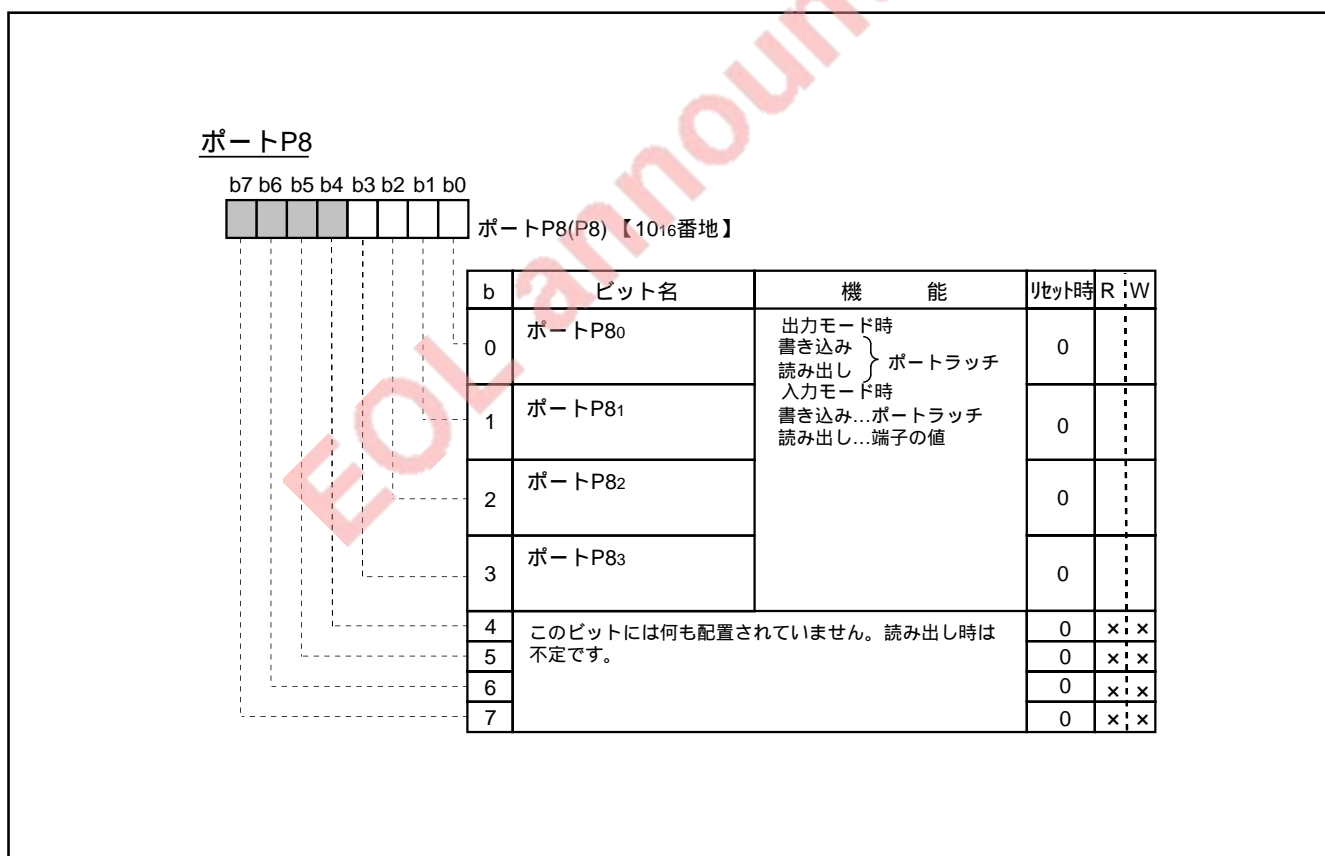


図2.1.3 ポートP8の構成

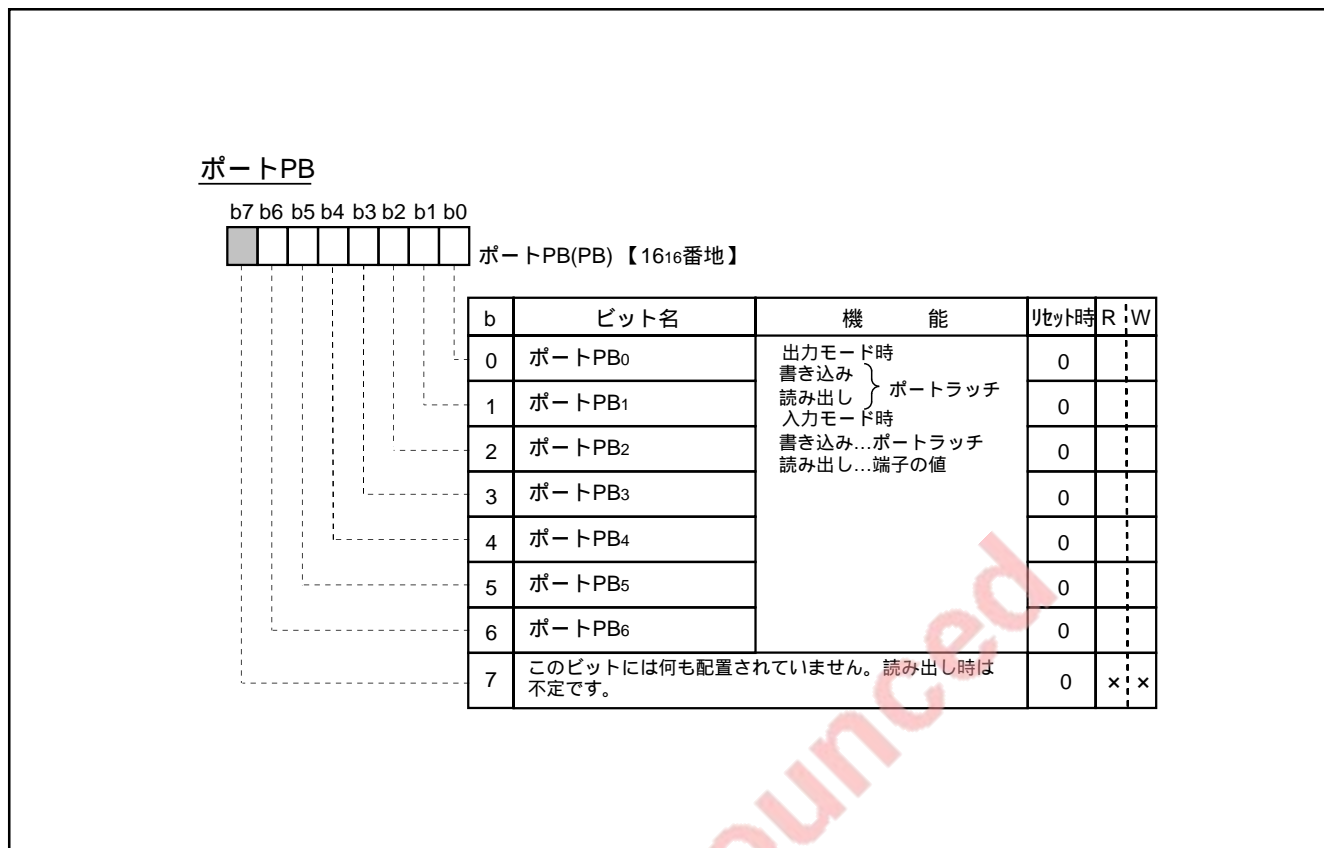


図2.1.4 ポートPBの構成

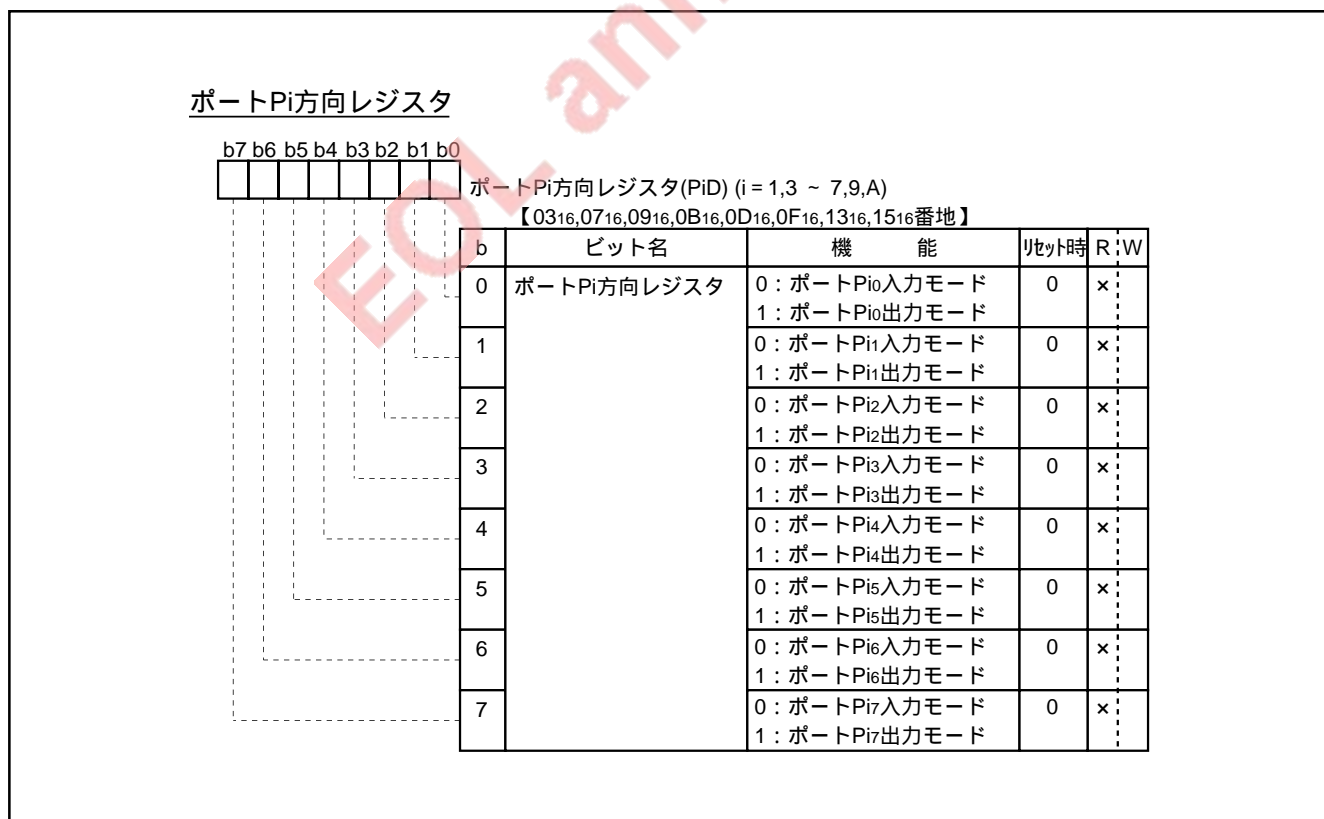


図2.1.5 ポートPi方向レジスタの構成(i = 1,3 ~ 7,9,A)

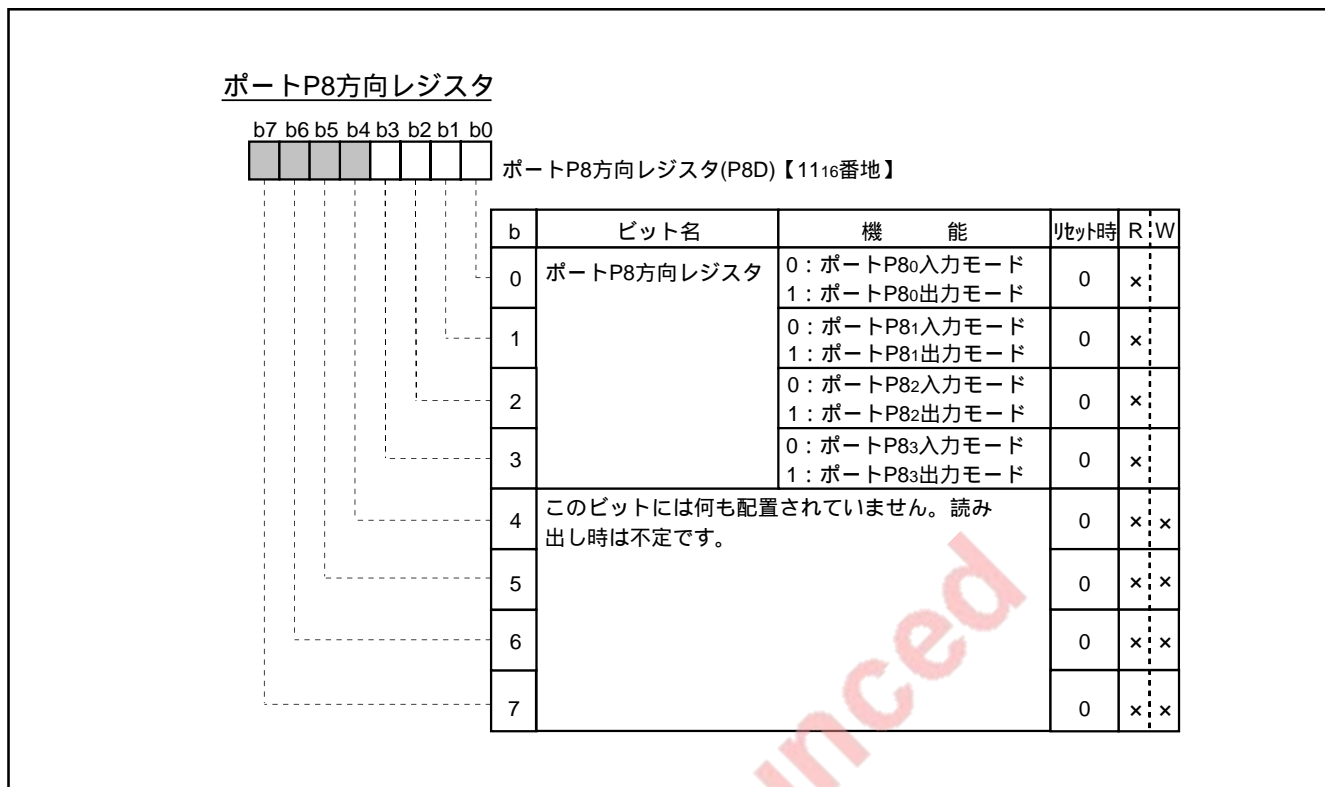


図2.1.6 ポートP8方向レジスタの構成

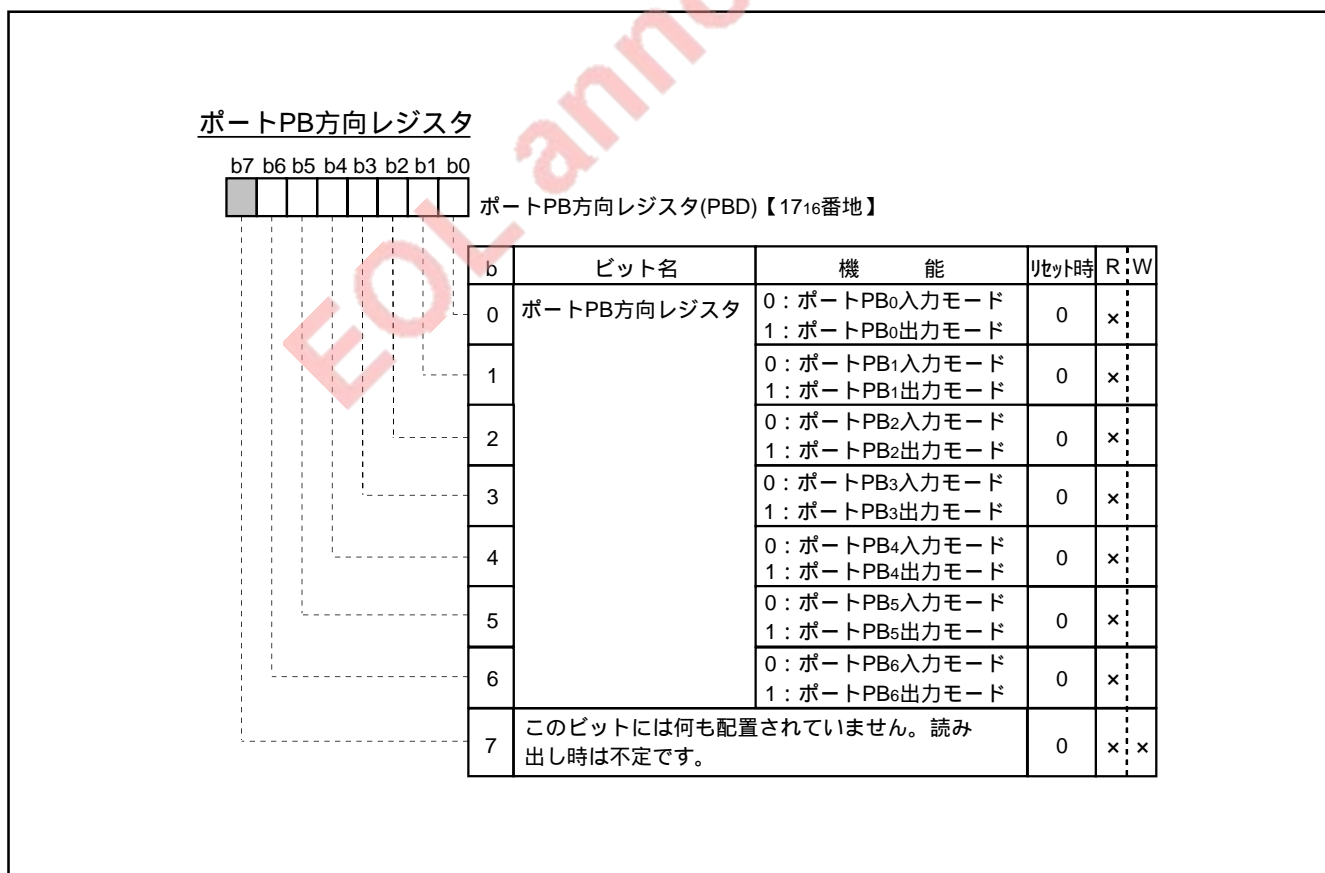


図2.1.7 ポートPB方向レジスタの構成

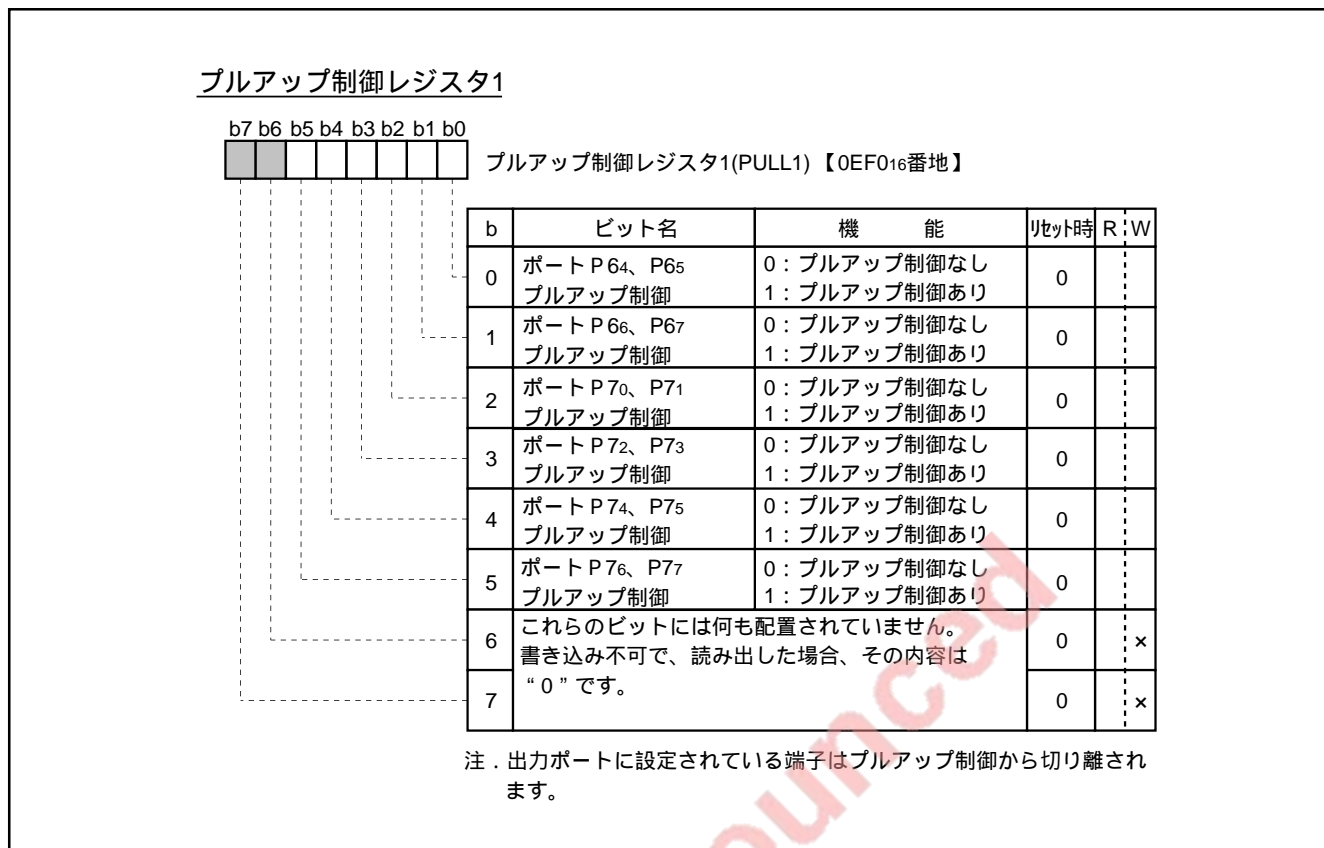


図2.1.8 プルアップ制御レジスタ1の構成

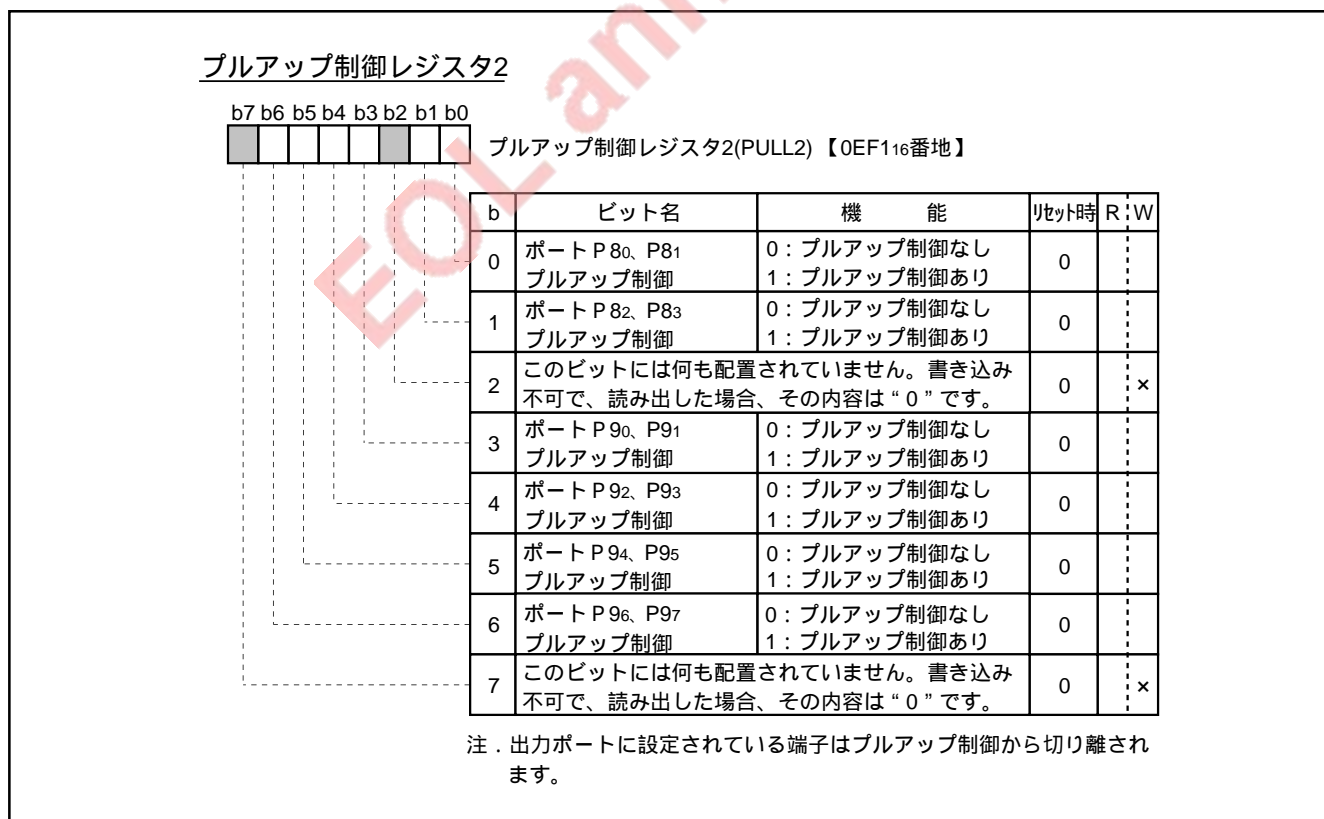


図2.1.9 プルアップ制御レジスタ2の構成

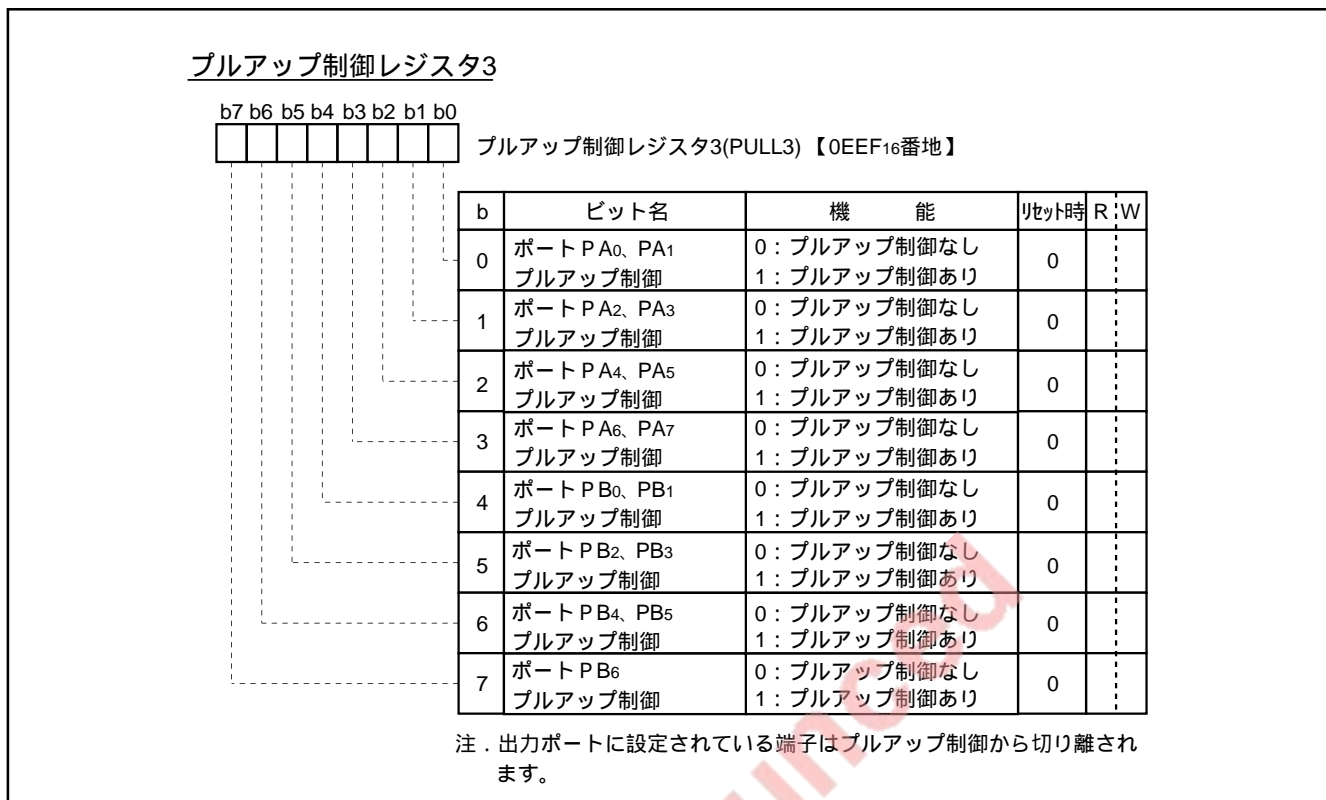


図2.1.10 プルアップ制御レジスタ3の構成

2.1.3 未使用端子の処理

表2.1.1 未使用端子の処理

端子/ポート名	処理方法
P0,P2	“ H ”出力状態で開放
P1,P3~P5,P6 ₀ ~P6 ₃	<ul style="list-style-type: none"> ・入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続 ・出力モードに設定し、“ H ”出力状態で開放
P6 ₄ ~P6 ₇ ,P7,P8 ₀ ~P8 ₃ , P9,PA,PB ₀ ~PB ₆	<ul style="list-style-type: none"> ・入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続 ・出力モードに設定し、“ L ”又は“ H ”出力状態で開放
VREF端子	開放
XOUT端子	開放(外部クロック使用時のみ)
AVss端子	Vss(GND)に接続
VEE端子	Vss(GND)に接続
CNVss端子	1 k ~ 10 k の抵抗を介してVssに接続

EOL announced

2.1.4 入出力端子に関する注意事項

(1) スタンバイ状態におけるポートの入力レベルを固定

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。抵抗値を決定する際は、以下の2点に注意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、オプションとして内蔵されているプルアップ抵抗を使用する場合は電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する
- ・出力ポートに設定している場合：外部に電流が流出しないようにする

^{*1}スタンバイ状態：STP命令実行によるストップモード

WIT命令実行によるウエイトモード

理由

入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令^{*2}を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
 - ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
 - ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

^{*2}ビット処理命令：SEB命令、CLB命令

(3) プルアップ/プルダウン制御について

プルアップ/プルダウン抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ/プルダウン制御は無効となります(プルアップ及びプルダウンできません)。

理由

プルアップ/プルダウン制御は各方向レジスタが入力モードに設定されている場合のみ有効です。

2.1.5 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

出力専用ポート

開放してください。

入力専用ポート

各端子ごとに1~10k の抵抗を介して、Vcc又はVssに接続してください。

また、電圧レベルが動作モードに影響を与える端子(INT端子など)は、モードを検討の上Vcc又はVssを選択してください。

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。

出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

(2) 処理上の留意事項

入力ポート及び入出力ポート

入力モードで開放しないでください。

理由

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

2.2 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

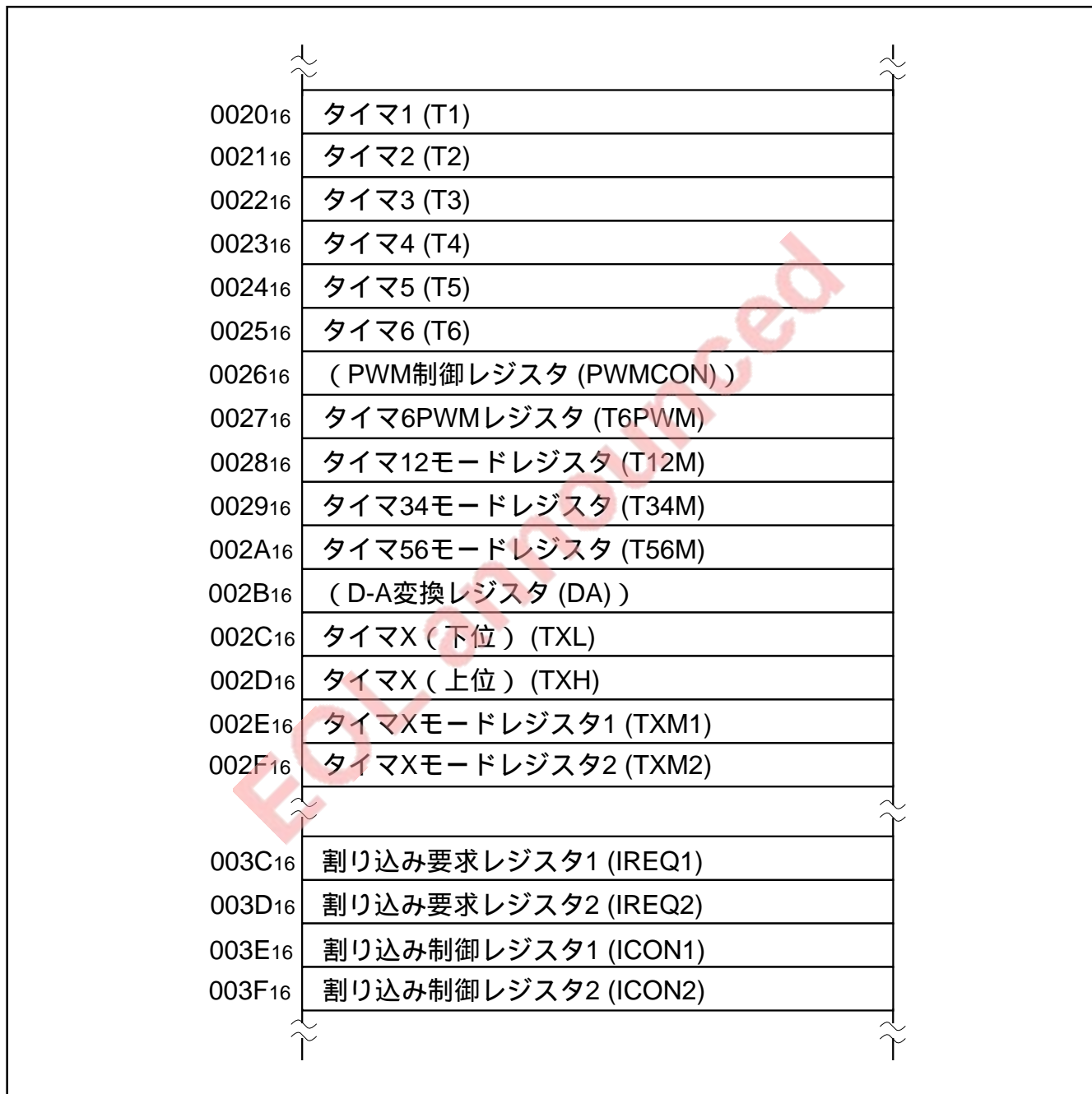


図2.2.1 タイマ関連レジスタのメモリ配置

2.2.2 関連レジスタ

(1) 8ビットタイマ

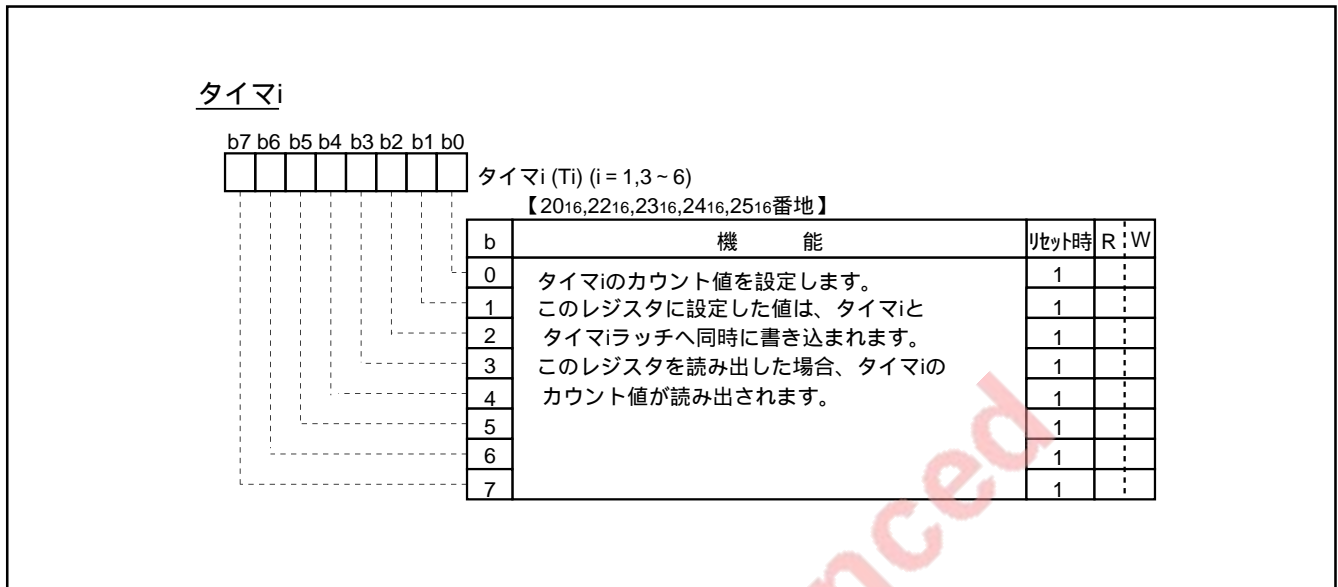
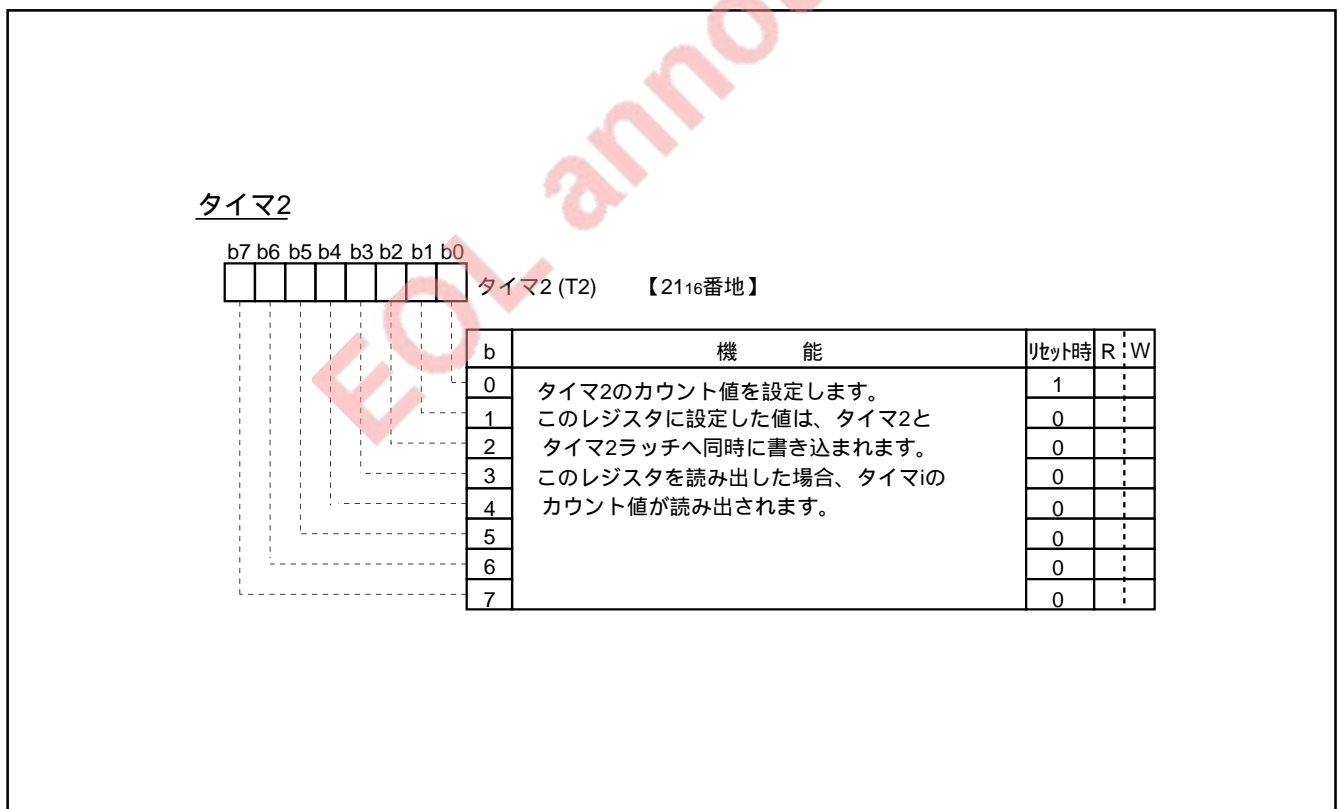
図2.2.2 タイマ($i=1, 3 \sim 6$)の構成

図2.2.3 タイマ2の構成

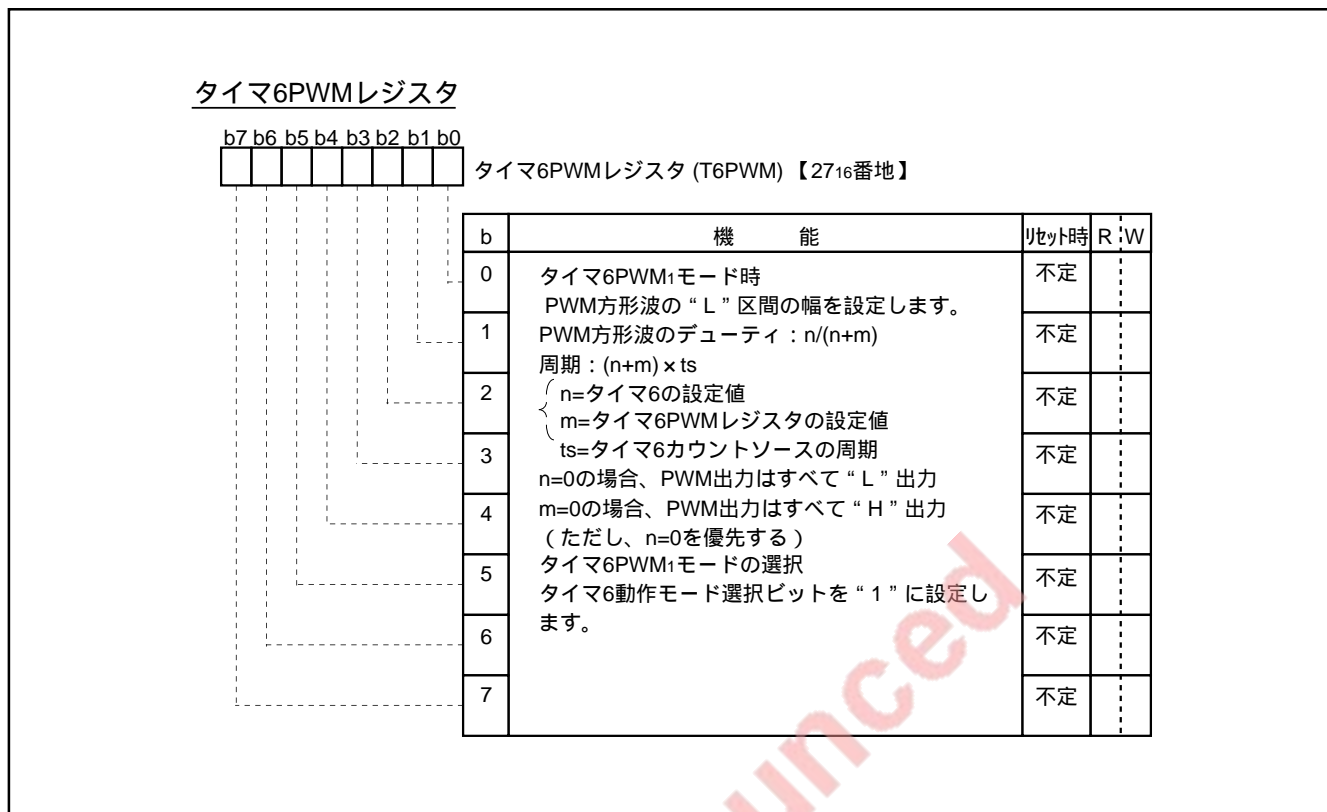


図2.2.4 タイマ6PWMレジスタの構成

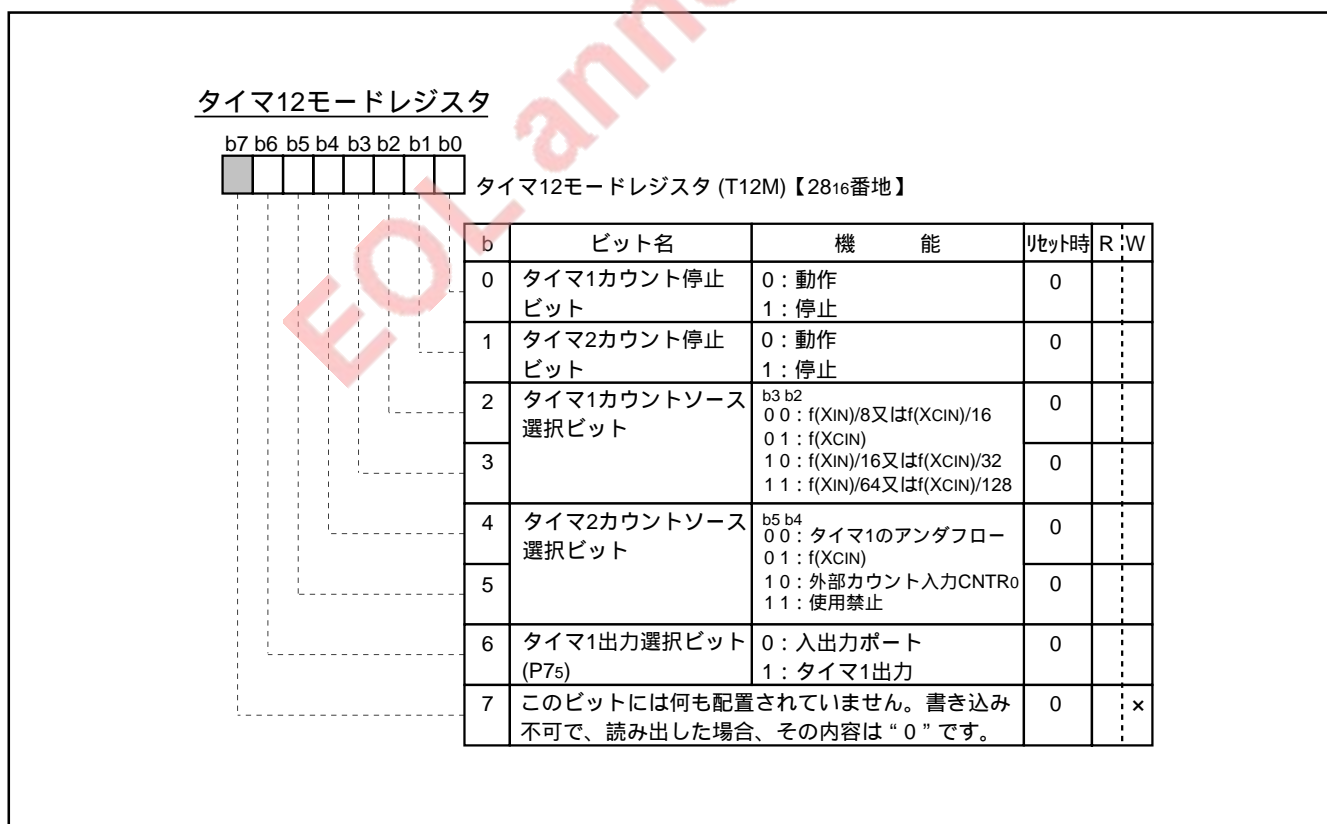


図2.2.5 タイマ12モードレジスタの構成

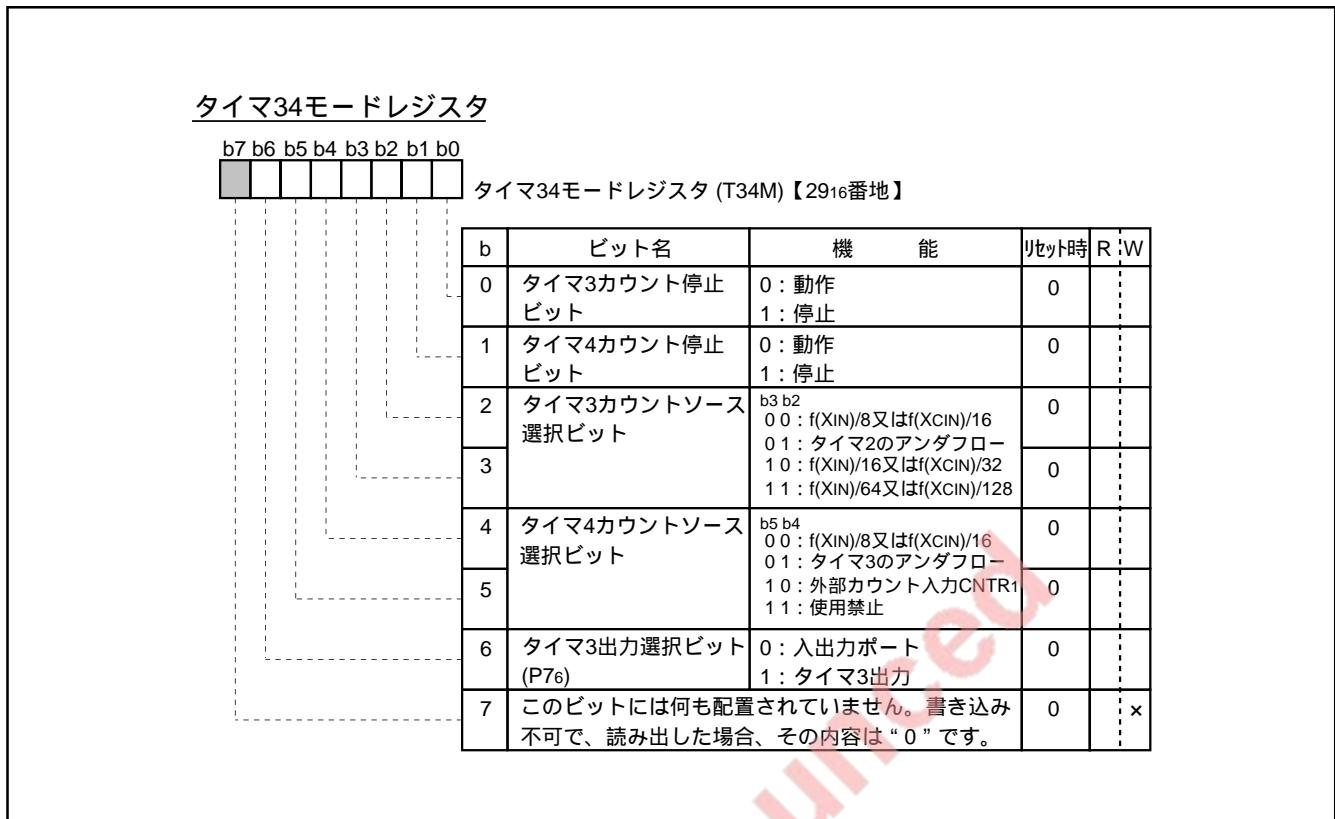


図2.2.6 タイマ34モードレジスタの構成

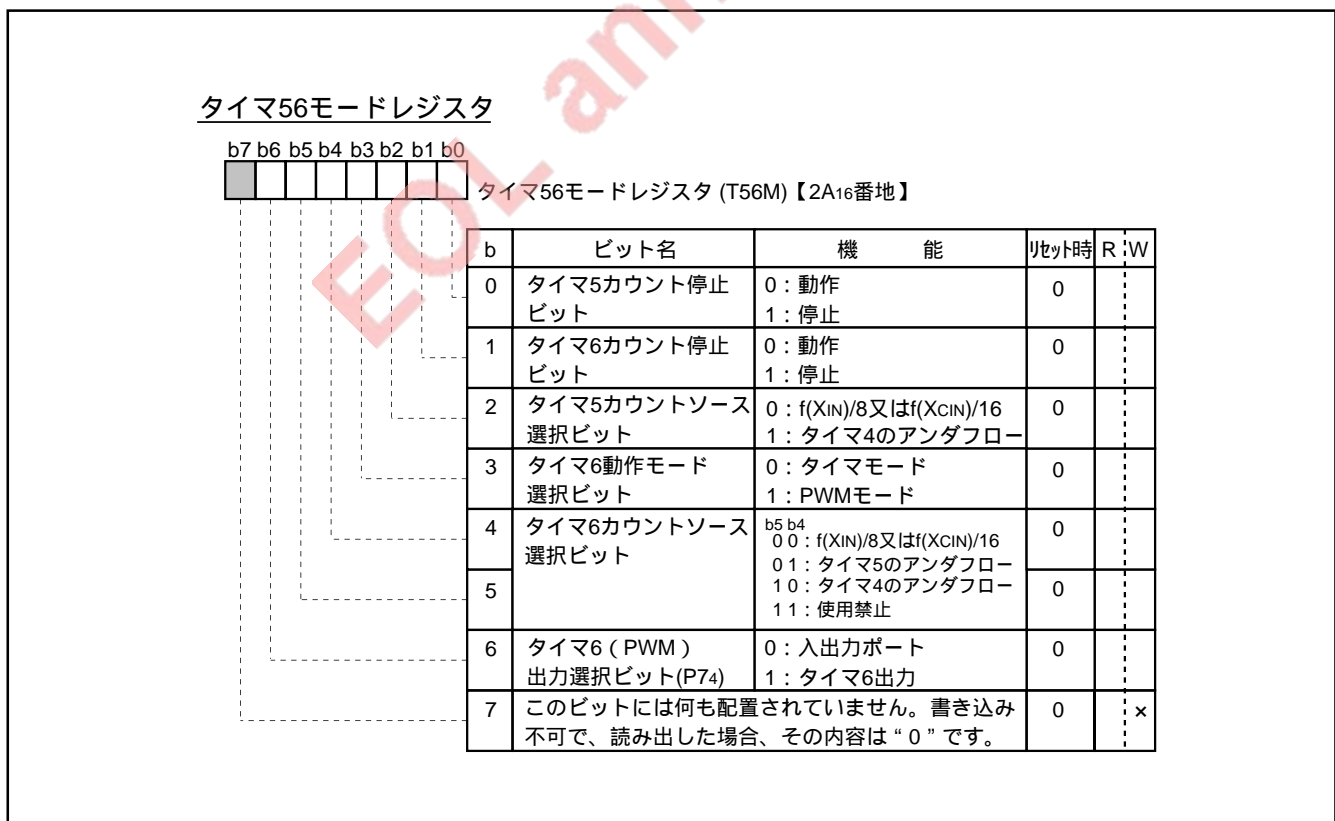


図2.2.7 タイマ56モードレジスタの構成

(2) 16ビットタイマ

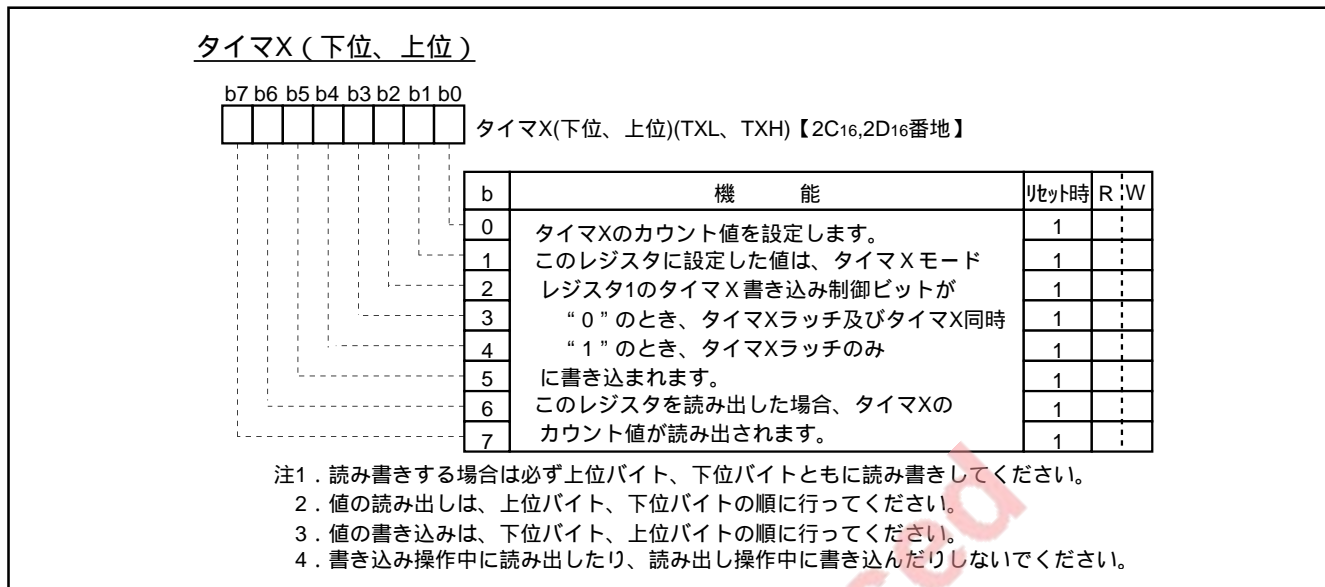


図2.2.8 タイマX(下位、上位)の構成

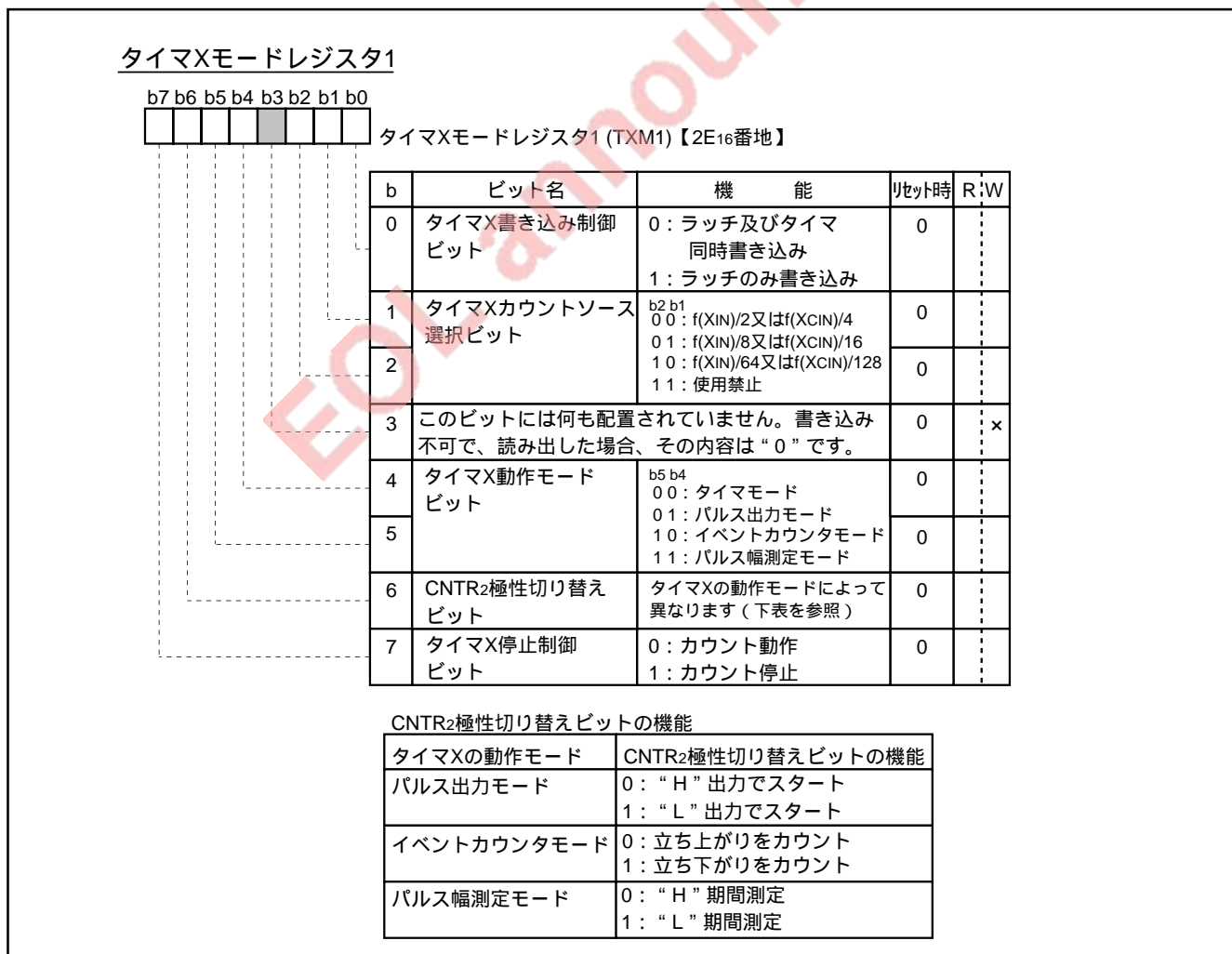


図2.2.9 タイマXモードレジスタ1の構成

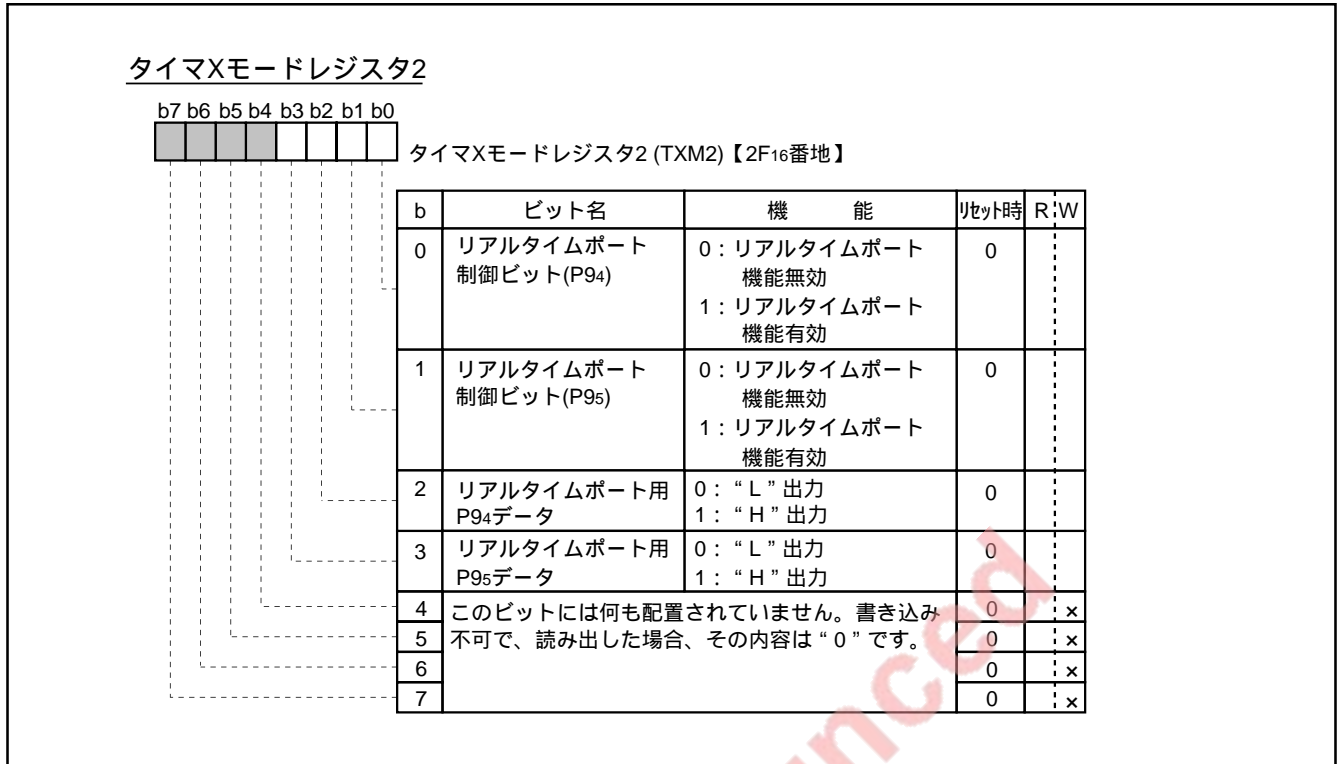


図2.2.10 タイマXモードレジスタ2の構成

(3) 8ビットタイマ、16ビットタイマ

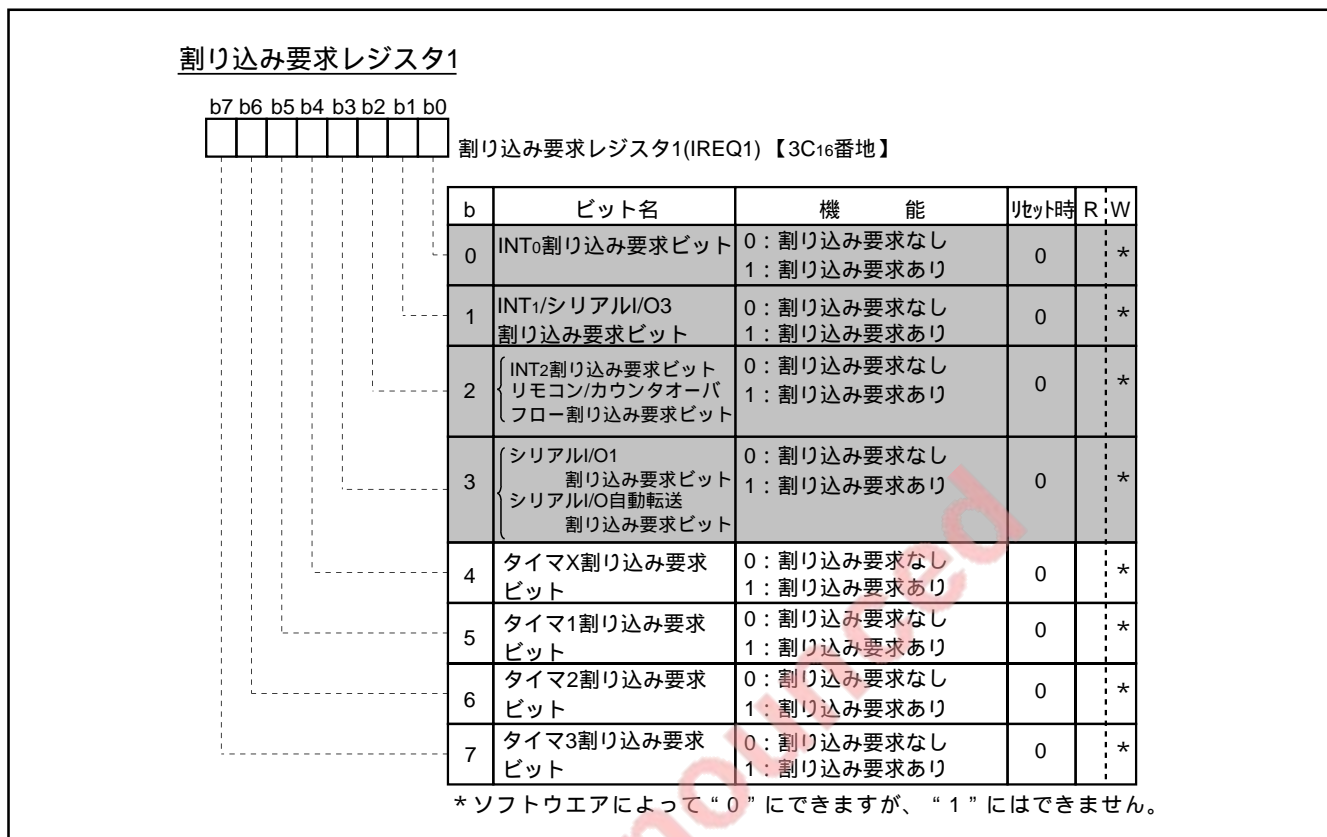


図2.2.11 割り込み要求レジスタ1の構成

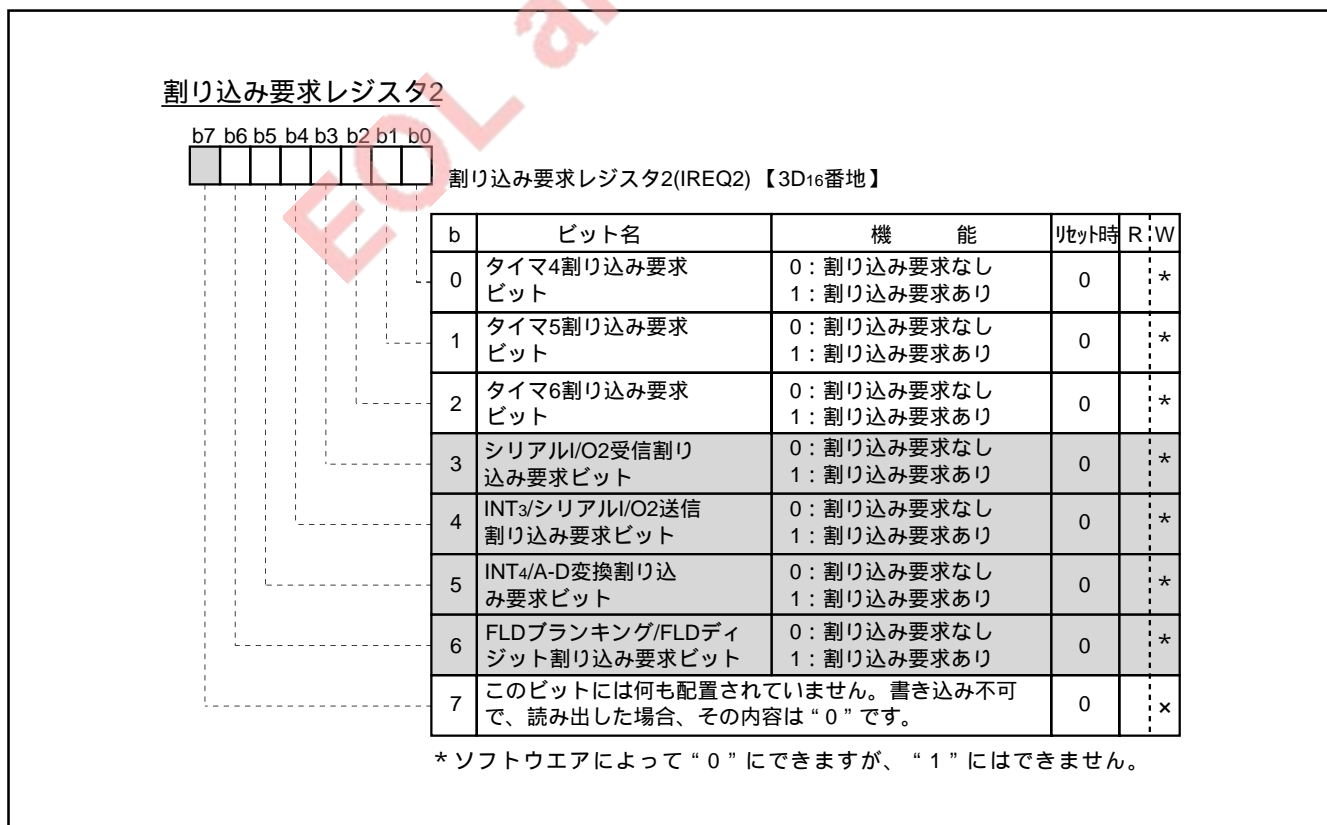


図2.2.12 割り込み要求レジスタ2の構成

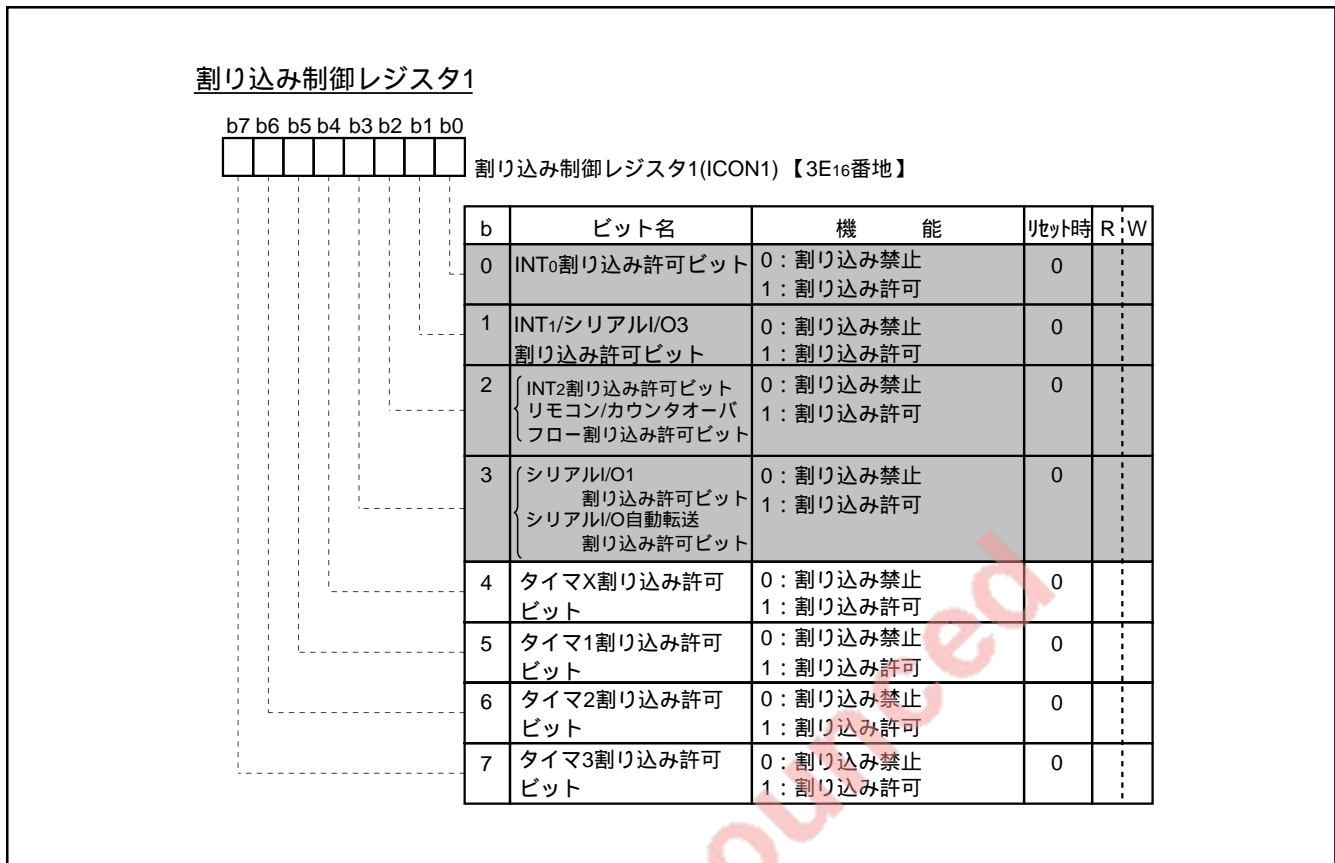


図2.2.13 割り込み制御レジスタ1の構成

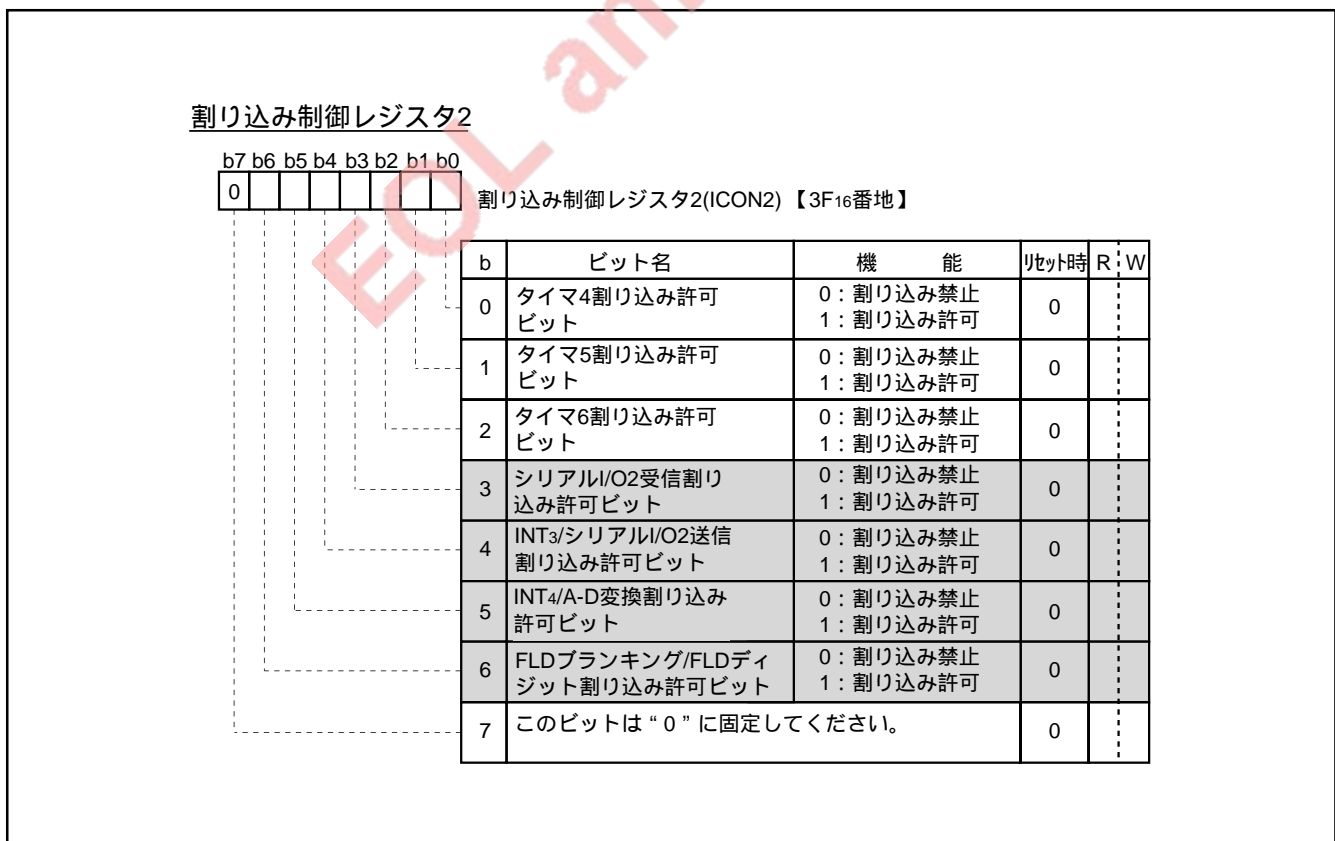


図2.2.14 割り込み制御レジスタ2の構成

2.2.3 タイマの応用例

(1) 基本的な機能と用途

[機能1] イベント間隔の管理(タイマ1~6、タイマX:タイマモード)

タイマにカウント値を設定すると、一定時間後に各タイマの割り込み要求が発生します。

- 用途
- ・出力信号のタイミング生成
 - ・ウェイト時間の生成

[機能2] 周期的な動作の管理(タイマ1~6、タイマX:タイマモード)

タイマがアンダフローするごとに、自動的に各タイマラッチの値を対応するタイマに書き込み、周期的に各タイマの割り込み要求が発生します。

- 用途
- ・周期的な割り込みの発生
 - ・時計機能(1秒の測定) 応用例1
 - ・メインルーチンの周期管理

[機能3] 方形波の出力(タイマ1、3、6、タイマX:パルス出力モード)

タイマがアンダフローするごとに、それぞれT1OUT、T3OUT、PWM1、CNTR2端子の出力レベルを反転します。

- 用途
- ・圧電ブザー出力 応用例2
 - ・リモコン搬送波の発生

[機能4] 外部パルスのカウント(タイマ2、4、タイマX:イベントカウンタモード)

タイマのカウントソースとして、それぞれCNTR0、CNTR1、CNTR2端子に入力される外部パルスをカウントします。

- 用途
- ・周波数の測定 応用例3
 - ・外部パルスの分周
 - ・外部パルスをカウントソースとする周期の割り込み発生(リールパルスのカウント)

[機能5] PWM信号の出力(タイマ6)

“H”区間、“L”区間を個別に指定して、P74/PWM1端子から繰り返しパルスを出力します。

- 用途
- ・電子ボリュームの制御

[機能6] 外部パルス幅の測定(タイマX:パルス幅測定モード)

CNTR2端子に入力される外部パルスの“H”レベル幅又は“L”レベル幅を測定します。

- 用途
- ・外部パルスの周波数の測定(モータのFGパルス(注)のパルス幅測定) 応用例4
 - ・外部パルスのデューティの測定(周波数が固定されている場合)

注. FGパルス:モータの速度制御を行うためモータの速度を検出するパルス

[機能7] リアルタイムポート制御(タイマX:リアルタイムポート機能)

タイマがアンダフローするごとに、リアルタイム用データがP94、P95各端子から出力します。

- 用途
- ・ステッピングモータ制御 応用例5

(2) タイマの応用例1：時計機能(1秒の測定)

ポイント：クロックをタイマで分周し、1秒ごとに時計をカウントアップします。

仕様：・クロック $f(X_{IN}) = 4.19 \text{ MHz}$ (2^{22}Hz)をタイマで分周。

- ・メインルーチンでタイマ3割り込み要求ビットをチェックし、割り込み要求があれば時計をカウントアップ。
- ・並行して他の割り込みを行うため、 $244 \mu\text{s}$ ごとにタイマ1割り込みを発生。

タイマの接続と分周比の設定を図2.2.15、関連レジスタの設定を図2.2.16、制御手順を図2.2.17に示します。

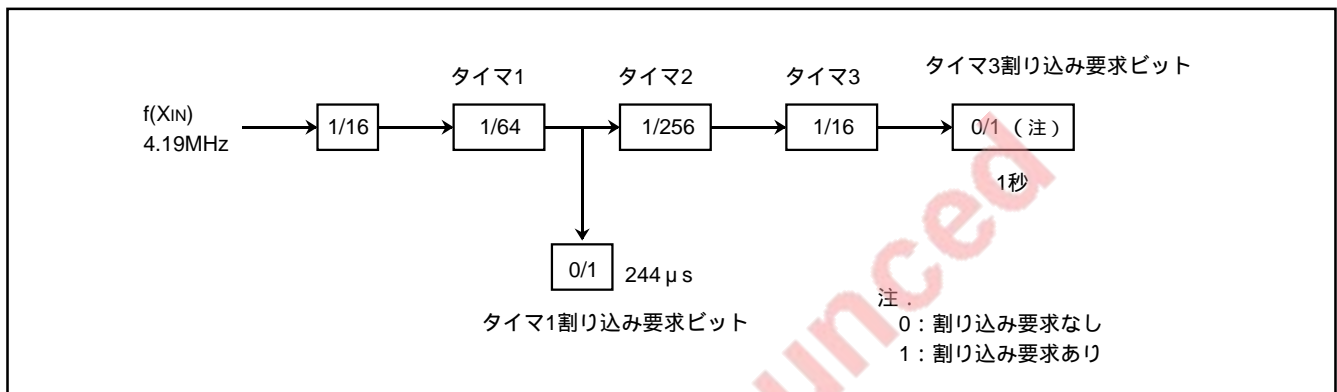


図2.2.15 タイマの接続と分周比の設定

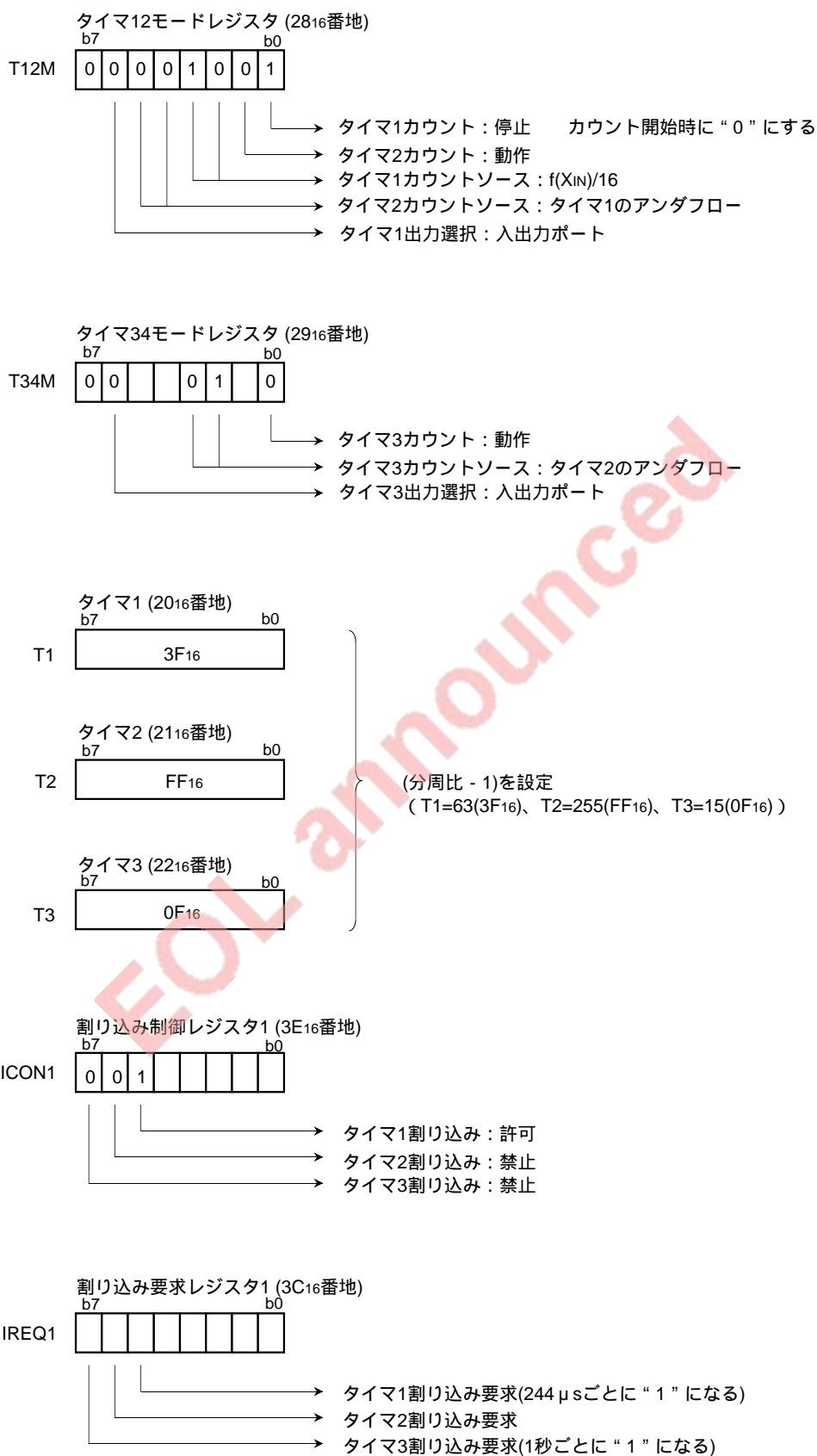


図2.2.16 関連レジスタの設定

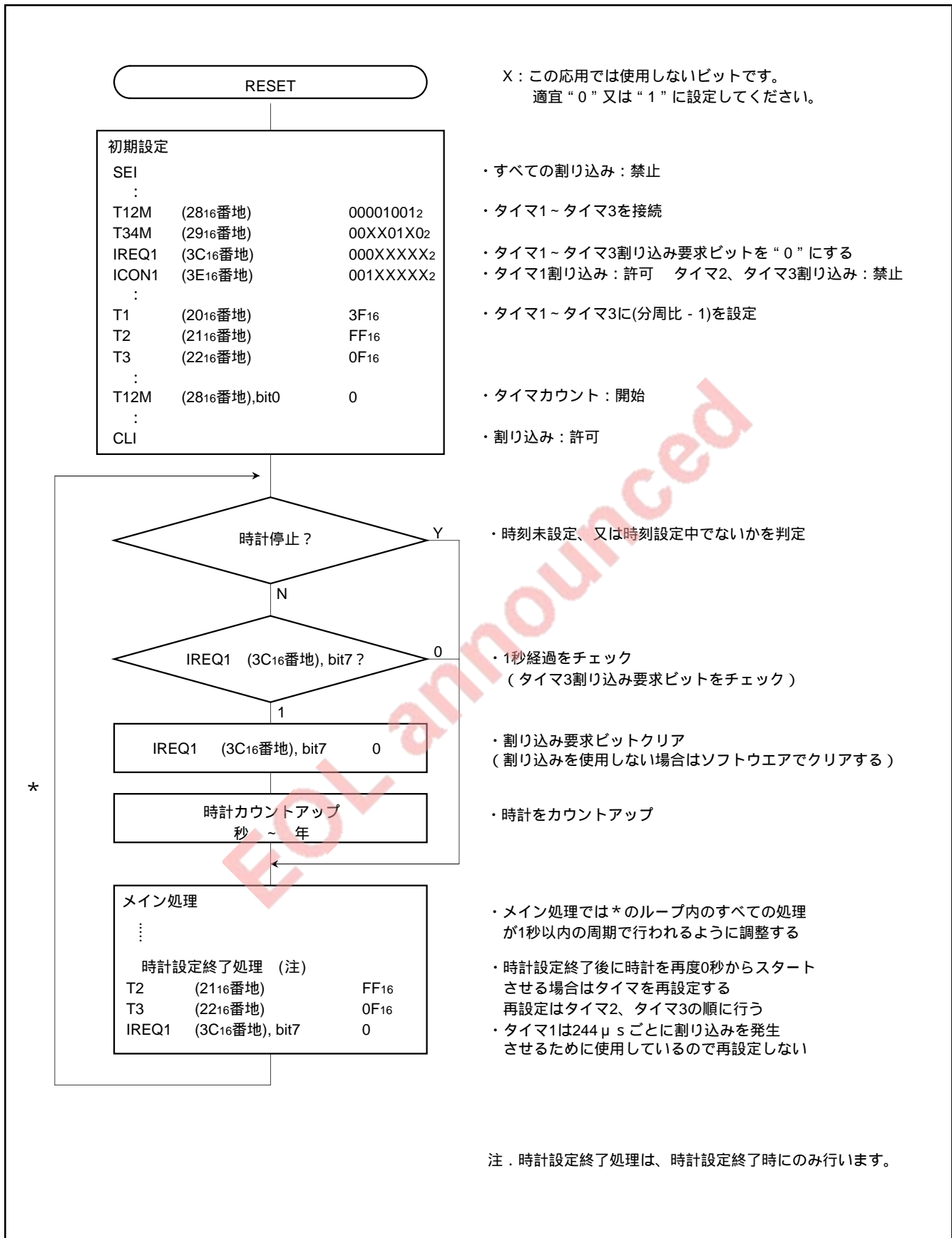


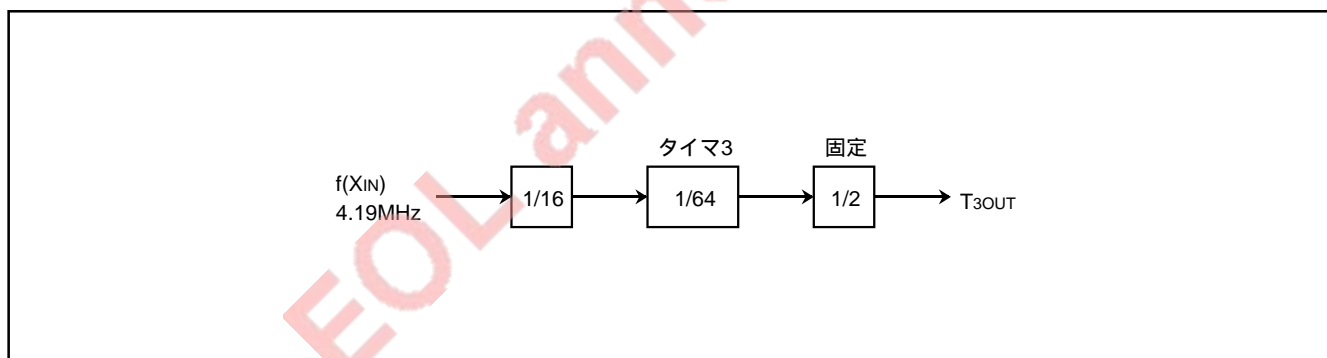
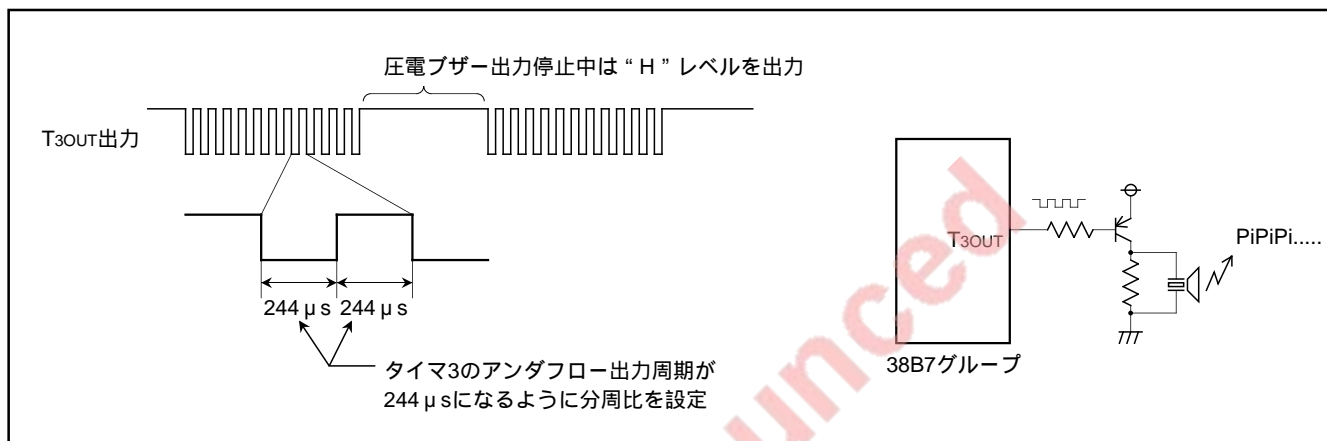
図2.2.17 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

- 仕様：・クロック $f(X_{IN}) = 4.19 \text{ MHz}$ (2^{22}Hz)を約 2kHz (2048Hz)まで分周した方形波を、P76/T3OUT端子から出力。
 ・圧電ブザー出力停止中はP76/T3OUT端子のレベルを“H”に固定。

周辺回路例を図2.2.18、タイマの接続と分周比の設定を図2.2.19に示します。また、関連レジスタの設定を図2.2.20、制御手順を図2.2.21に示します。



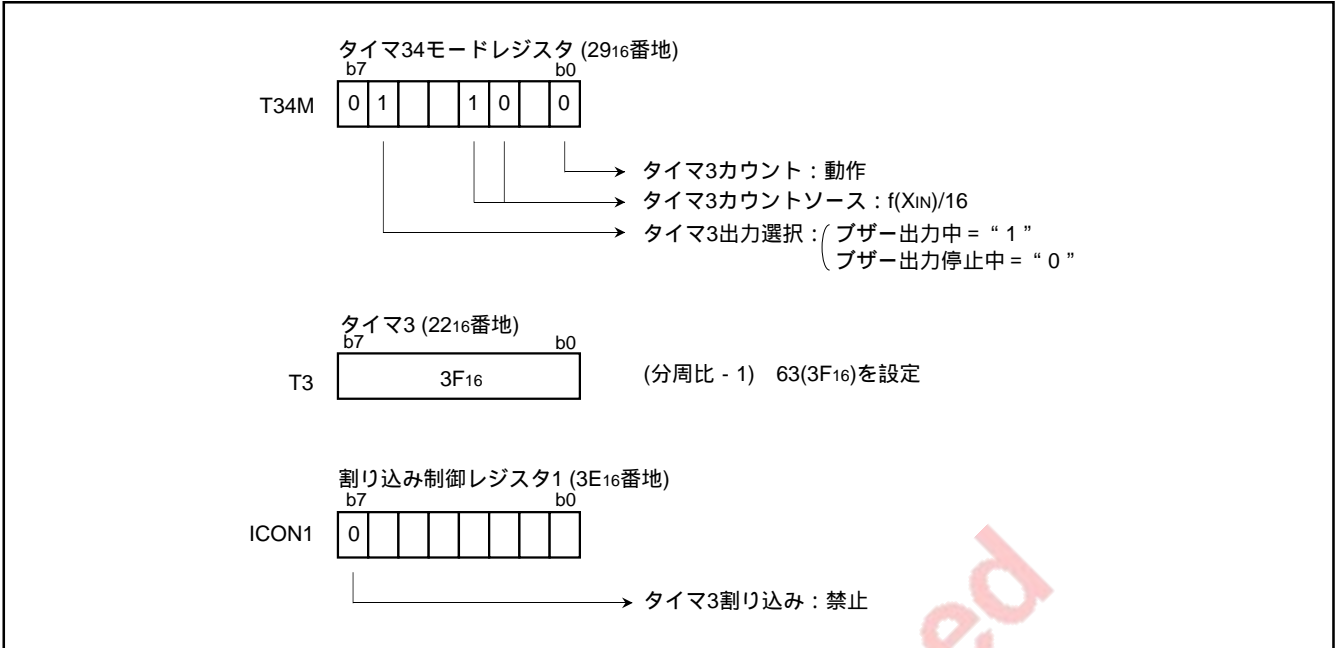


図2.2.20 関連レジスタの設定

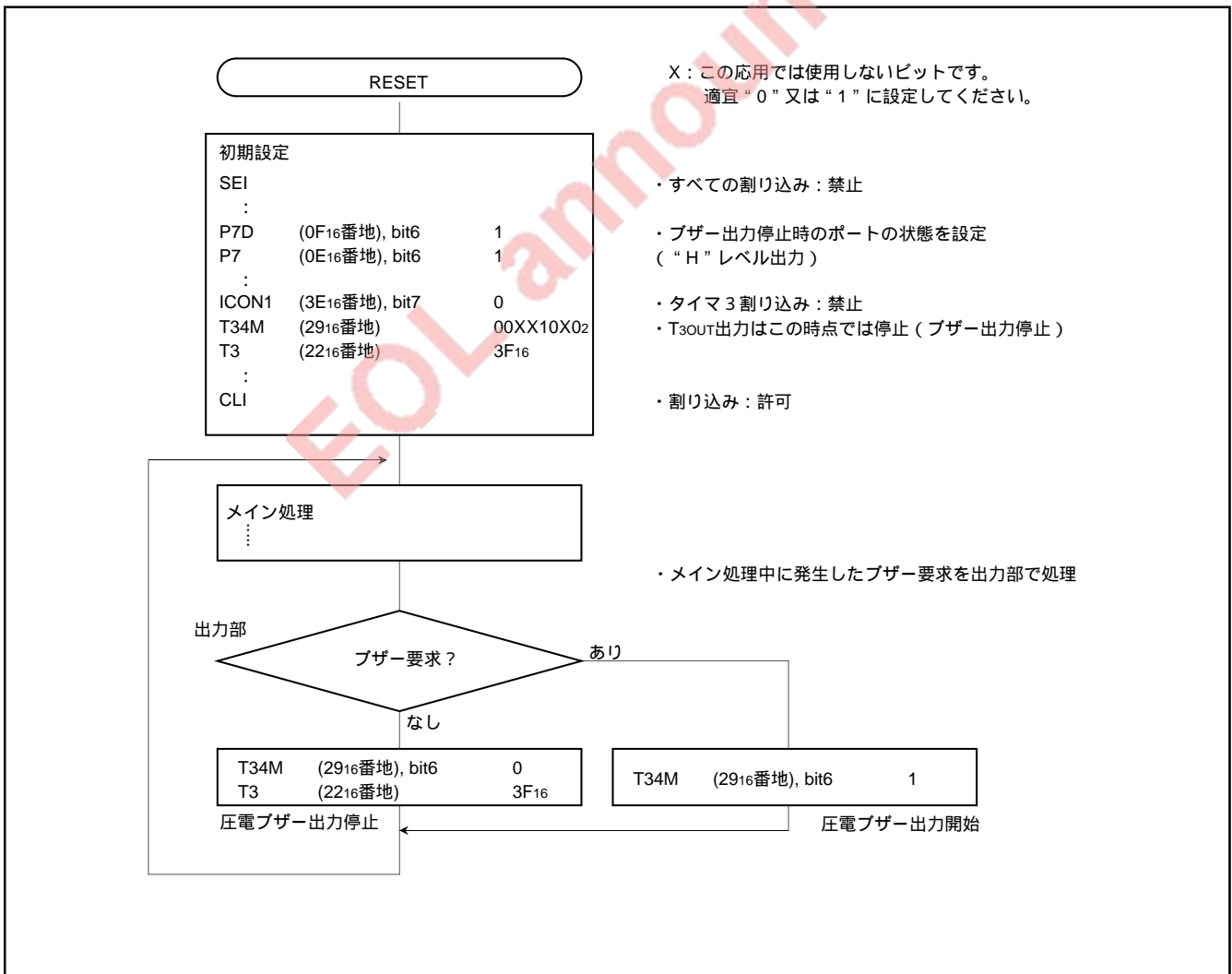


図2.2.21 制御手順

(4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P82/CNTR1端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕様：・ P82/CNTR1端子にパルスを入力し、タイマ4でカウント。(注1)
 ・ 約2ms(タイマ1割り込み間隔)ごとにタイマ4のカウント値を読み出し、28～40カウントの場合を有効と判断。
 ・ タイマがダウンカウンタであるため、227～215(注2)とカウント値を比較。

注1．マスクオプションタイプPの場合は、CNTR0端子、タイマ2を使用してください。

2． $227 \sim 215 = 255(\text{カウンタの初期値}) - 28 \sim 40(\text{有効カウント数})$

入力パルスの有効又は無効の判定方法を図2.2.22、関連レジスタの設定を図2.2.23、制御手順を図2.2.24に示します。

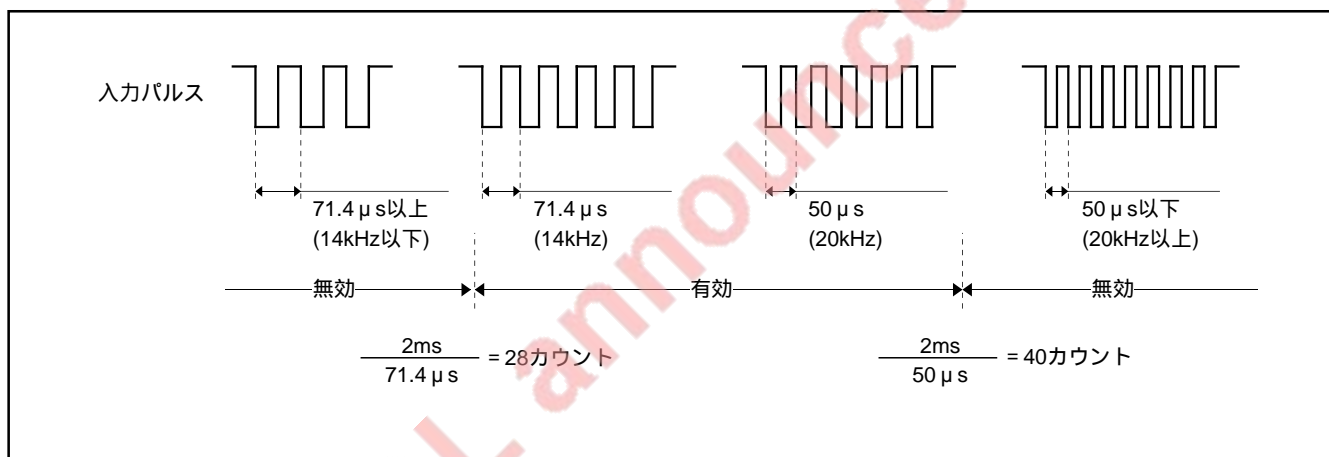


図2.2.22 入力パルス有効又は無効の判定方法

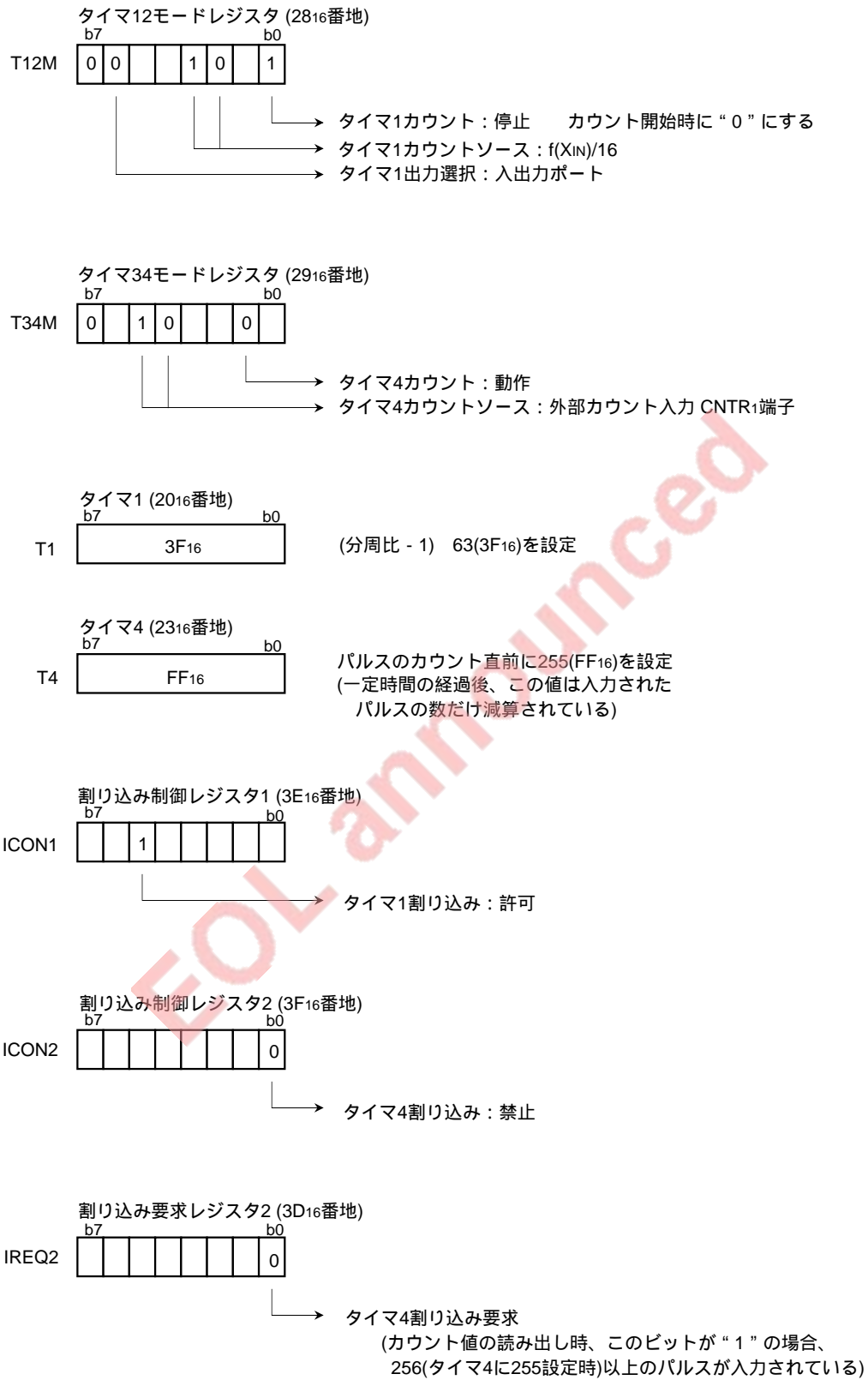


図2.2.23 関連レジスタの設定

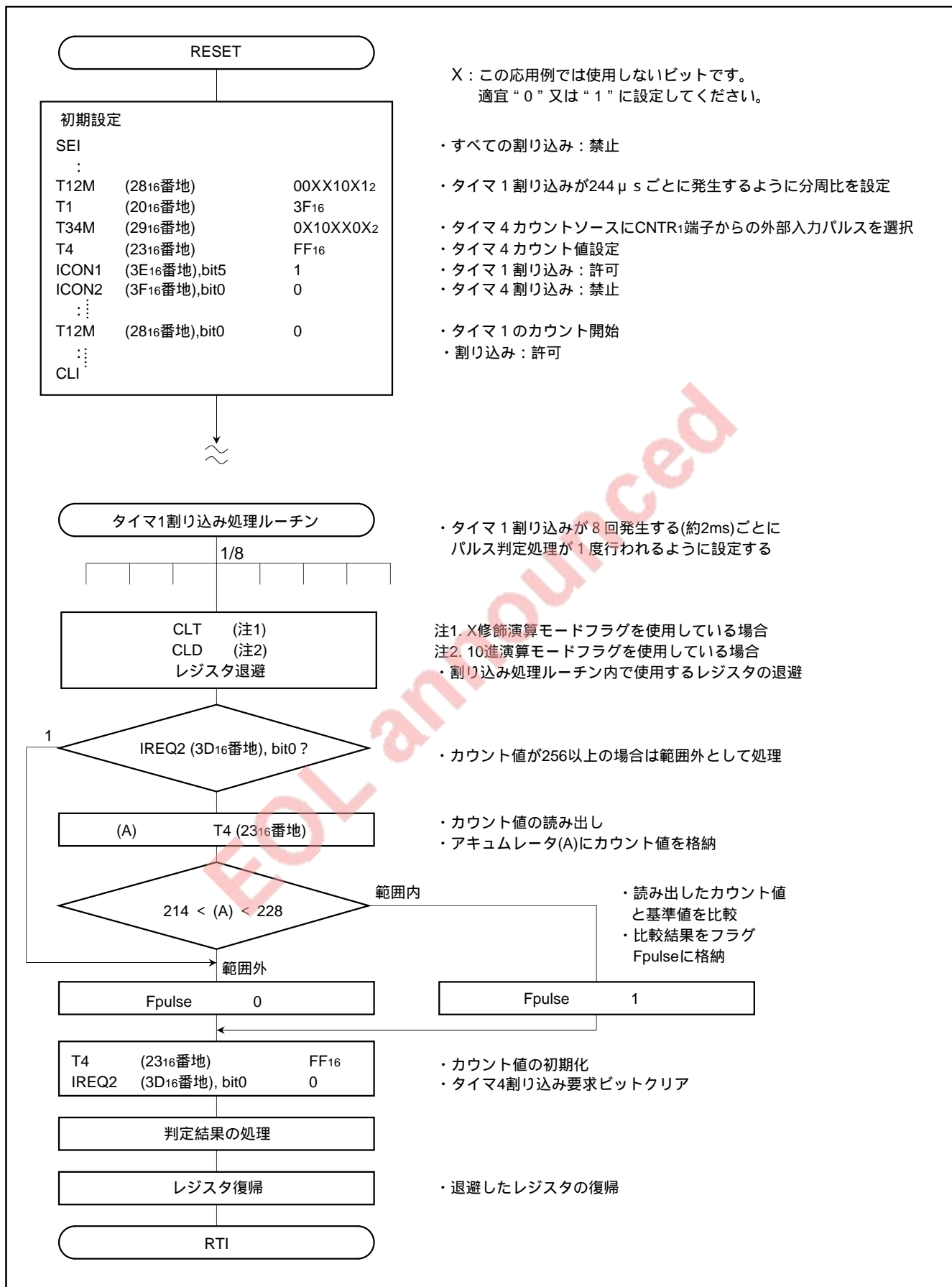


図2.2.24 制御手順

(5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：P83/CNTR0/CNTR2端子に入力されるパルスの“H”レベル幅をタイマXでカウントします。
アンダフローはタイマX割り込みで検出され、入力パルスの“H”レベルの終了はP83/CNTR0/CNTR2端子への入力をカウントソースとしたタイマ2割り込みで検出されます。

仕様：P83/CNTR0/CNTR2端子に入力されるFGパルスの“H”レベル幅をタイマXでカウント

例： $f(X_{IN})=4.19\text{ MHz}$ の場合、64分周された $15.2\text{ }\mu\text{s}$ がカウントソースとなる。

FFFF₁₆ ~ 0000₁₆の範囲で1sまで測定可能。

タイマの接続と分周比の設定を図2.2.25、関連レジスタの設定を図2.2.26、制御手順を図2.2.27に示します。

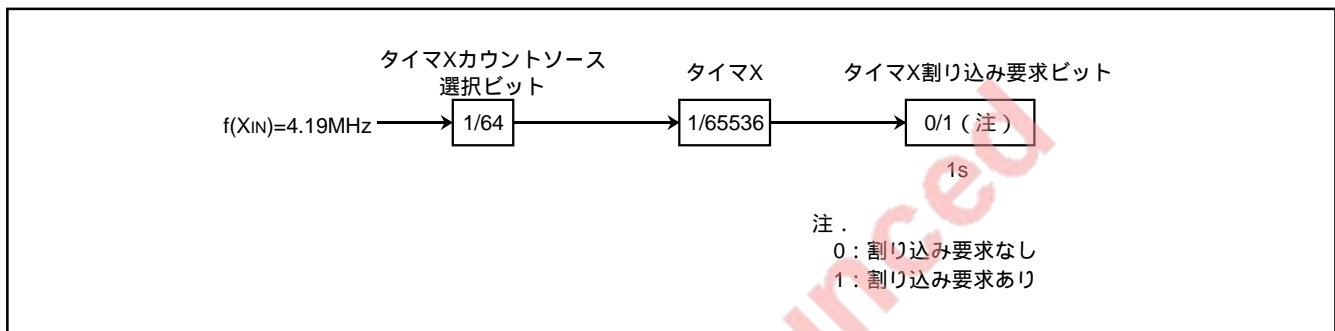


図2.2.25 タイマの接続と分周比の設定

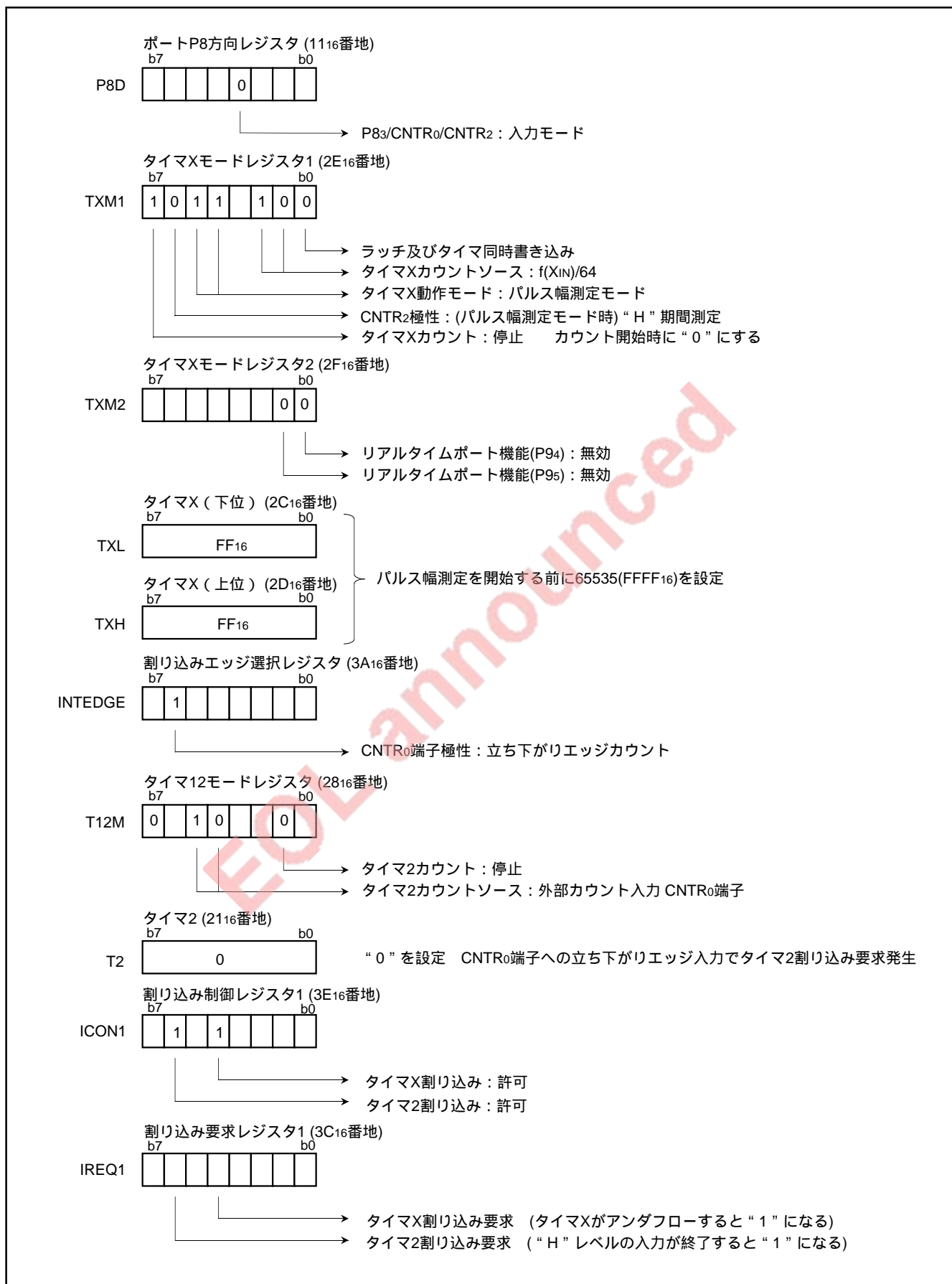


図2.2.26 関連レジスタの設定

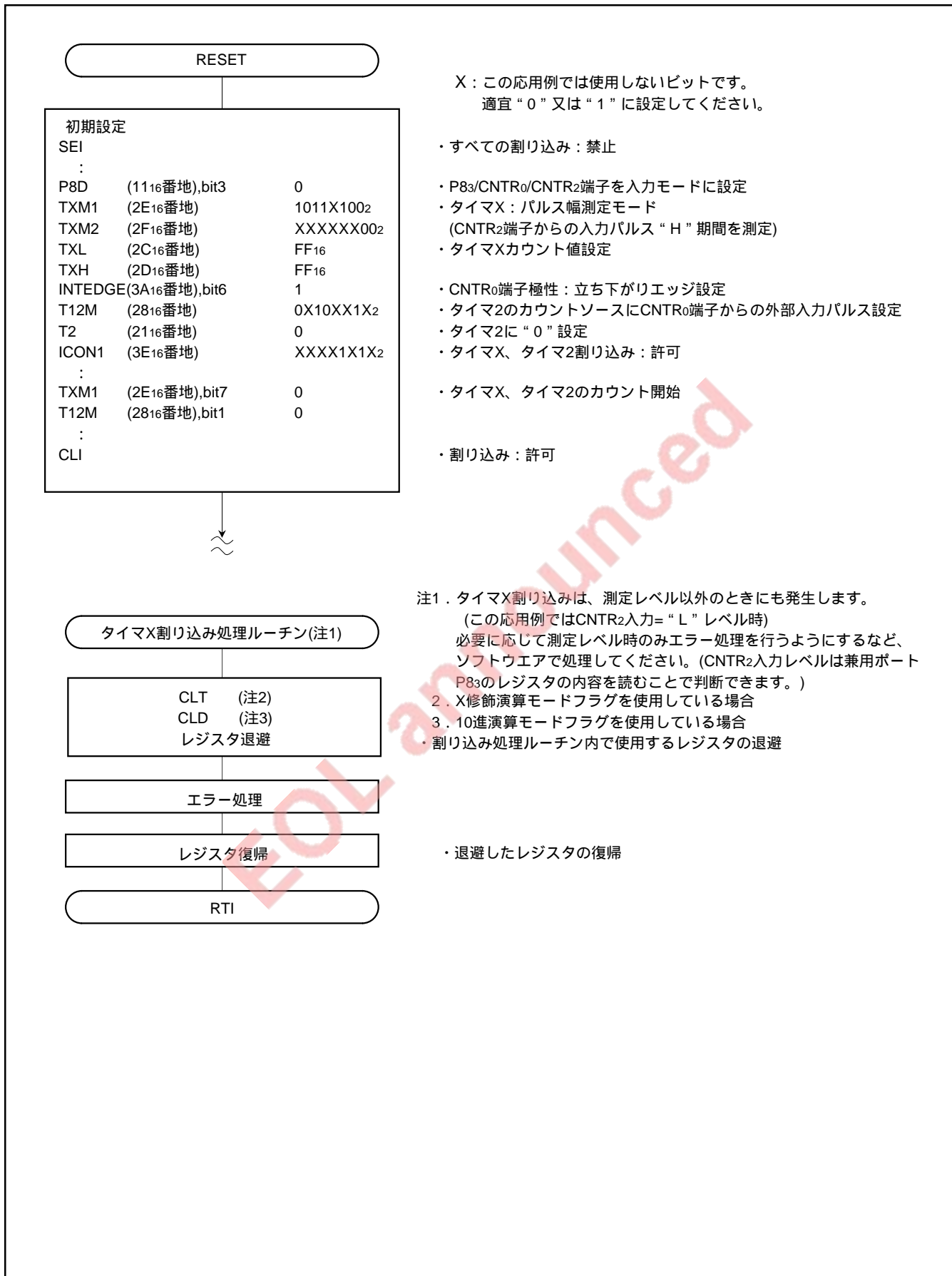
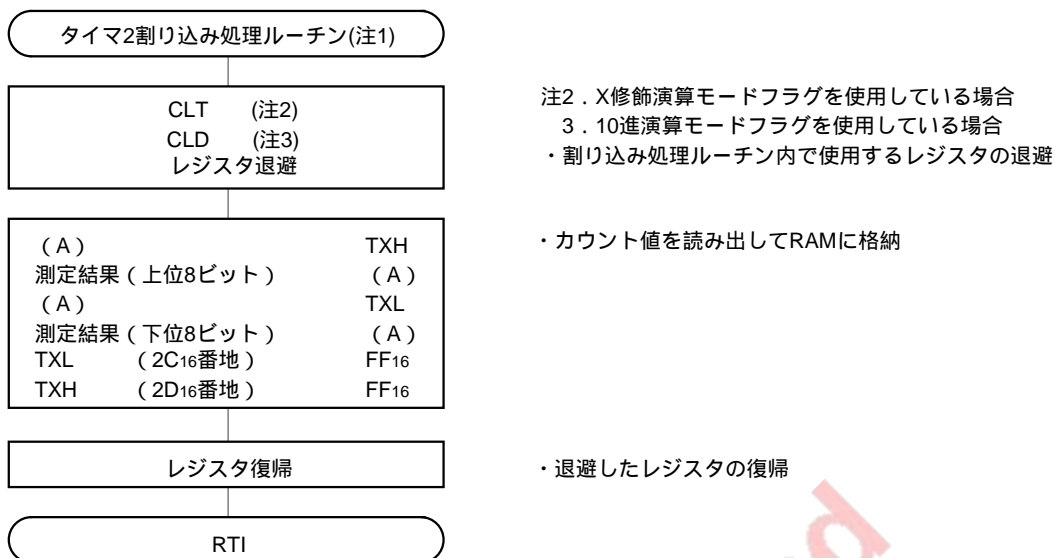
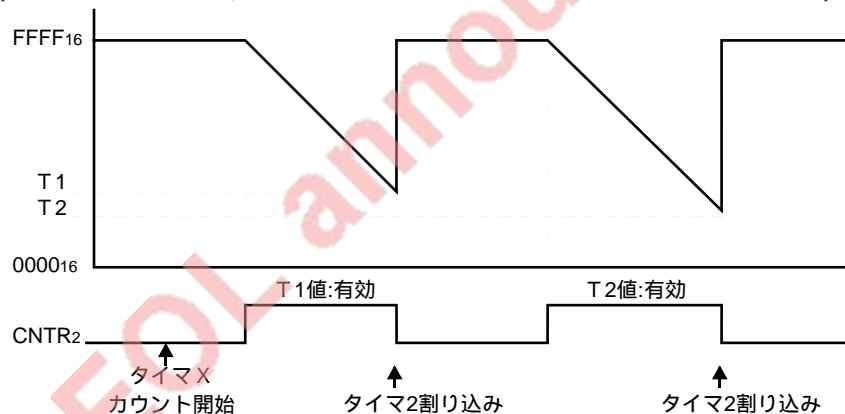


図2.2.27 制御手順

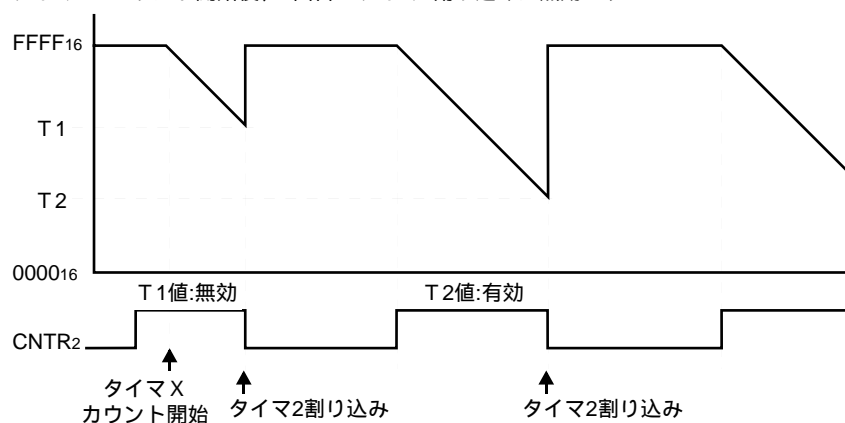


注1 . 下図に示すように、タイマXのカウントを開始するタイミングによって、1回目の測定値が無効となる場合があります。必要に応じてソフトウェアで処理してください。

[例1] ・ CNTR2入力レベルが“L”のときにタイマXのカウントを開始させる
 (CNTR2の入力レベルは、兼用ポートP83のレジスタの内容を読むことで判断できます)



[例2] ・ CNTR2入力レベルが“H”のときにタイマXのカウントを開始した場合
 タイマXのカウント開始後、1回目のタイマ2割り込みは無効とする



(6) タイマの応用例5：ステッピングモータ制御

ポイント：リアルタイム出力ポートを使用して、ステッピングモータの回転を制御します。

仕様：・リアルタイム出力ポートを2本使用し、モータを制御

・ $f(XIN)=4.19\text{MHz}$ の8分周をカウントソースとする

・ タイマX及びリアルタイム出力の値はタイマX割り込みルーチンで更新

タイマの接続とタイマX/RTP設定値テーブル例を図2.2.28、RTP出力例を図2.2.29、関連レジスタの設定を図2.2.30、制御手順を図2.2.31に示します。

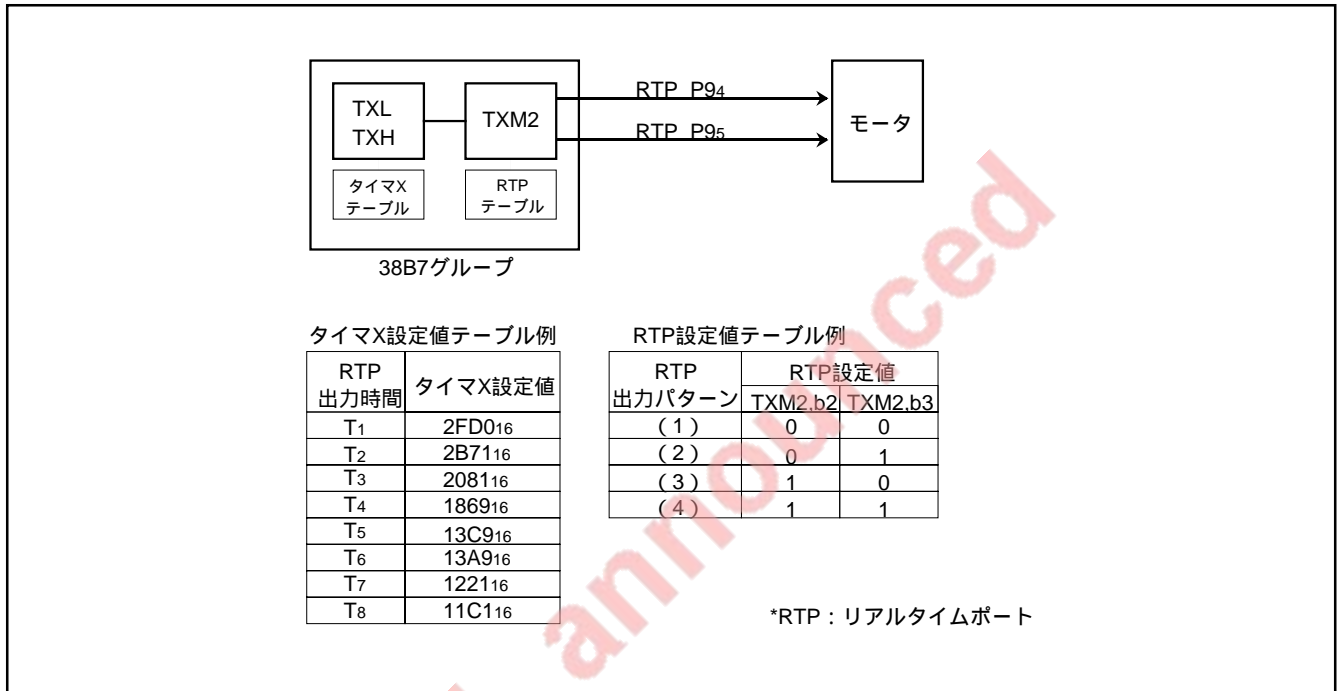


図2.2.28 タイマの接続とタイマX/RTP設定値テーブル例

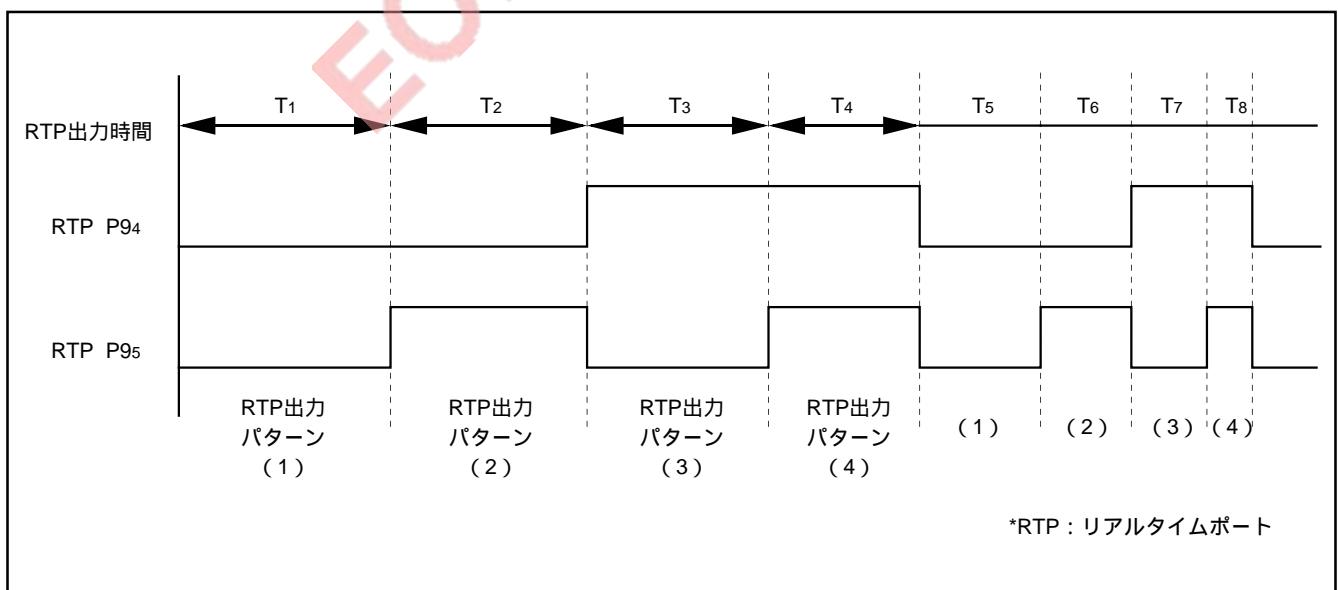


図2.2.29 RTP出力例

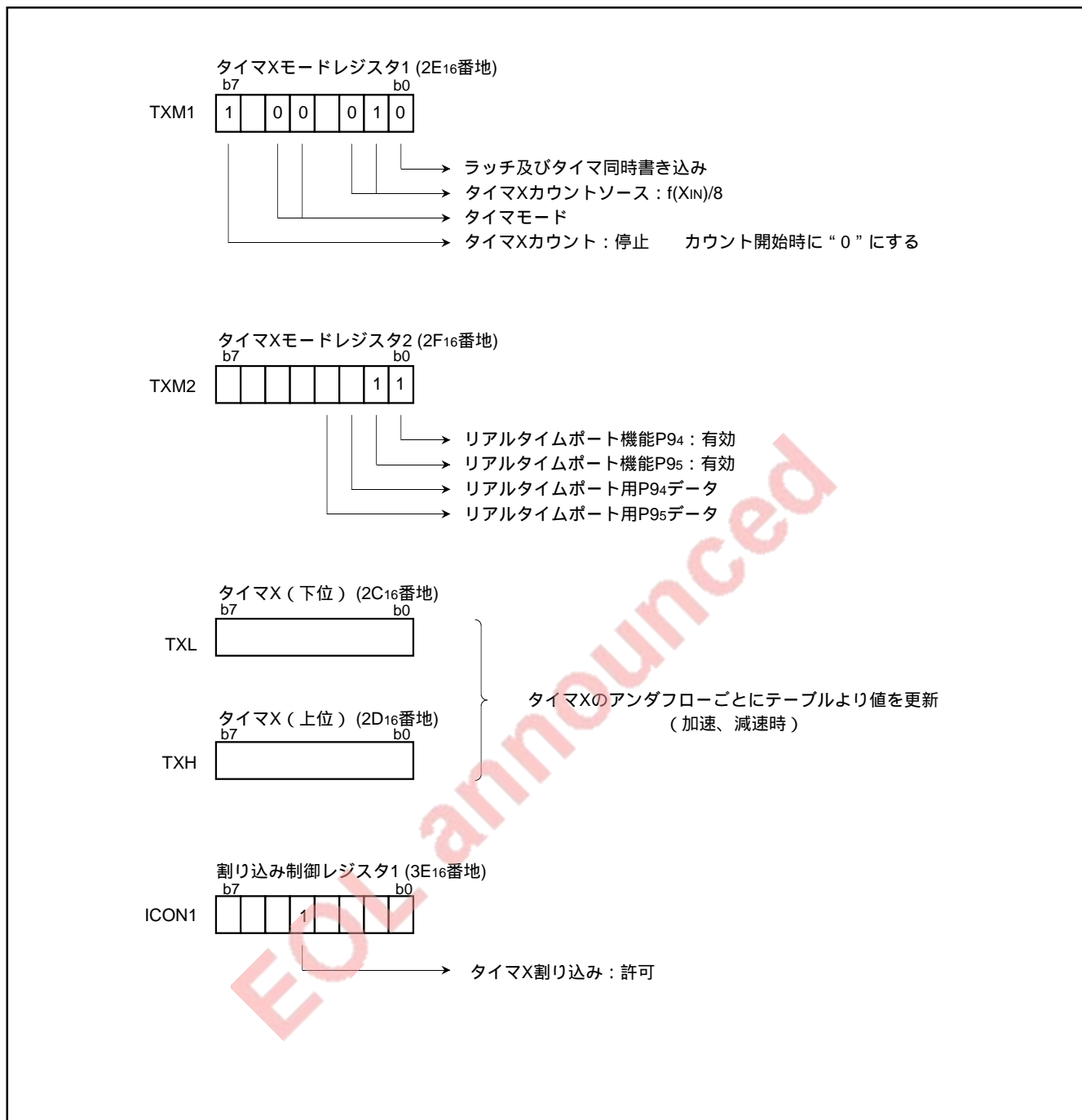


図2.2.30 関連レジスタの設定

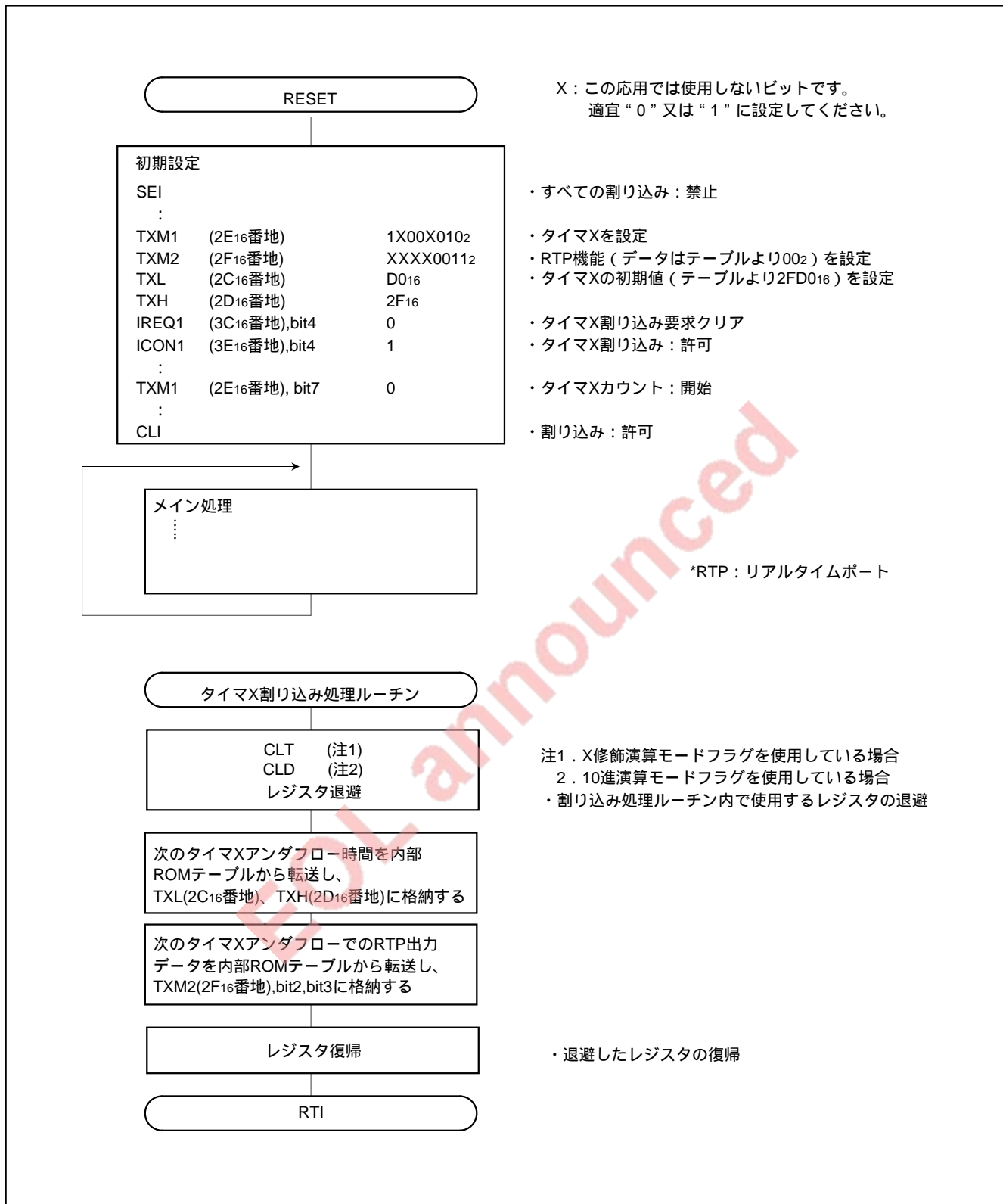


図2.2.31 制御手順

2

2.3 シリアルI/O

本節ではシリアルI/Oに関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図

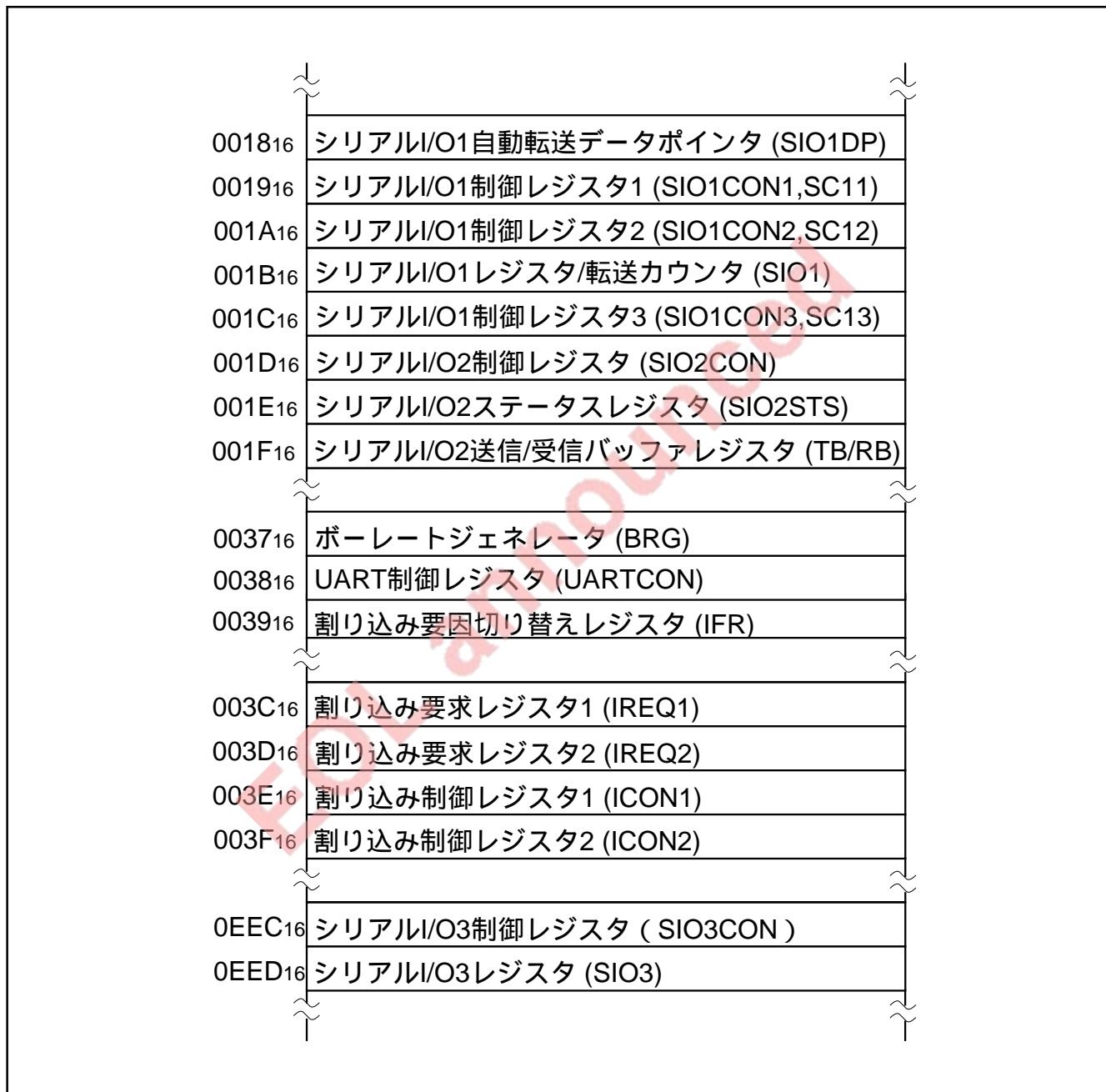


図2.3.1 シリアルI/O関連レジスタのメモリ配置

2.3.2 関連レジスタ

(1) シリアル I/O1

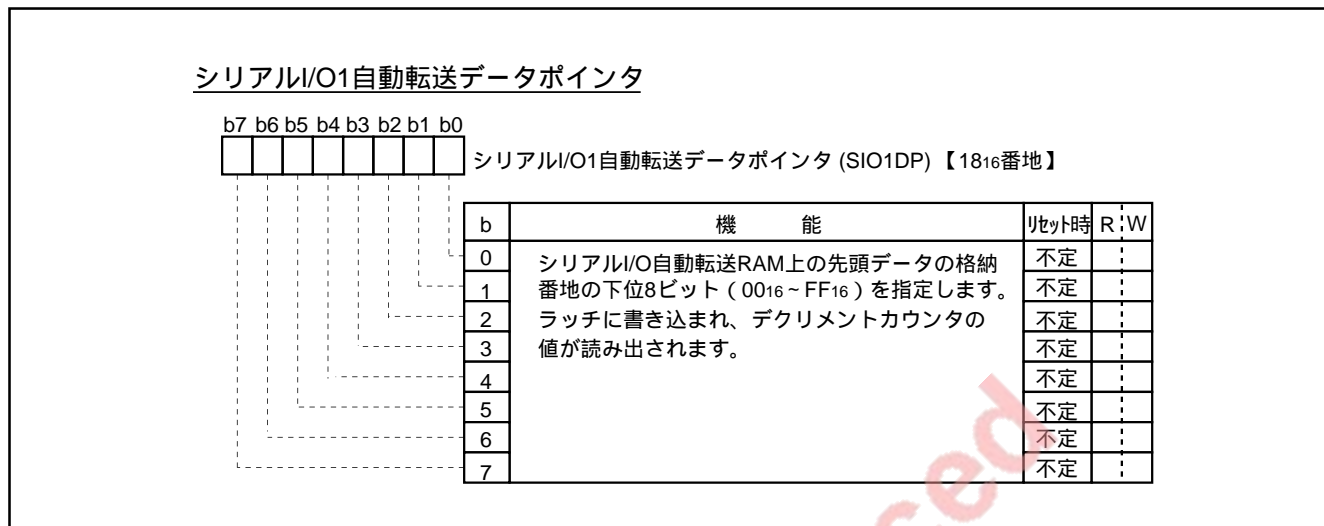


図2.3.2 シリアル I/O1 自動転送データポインタの構成

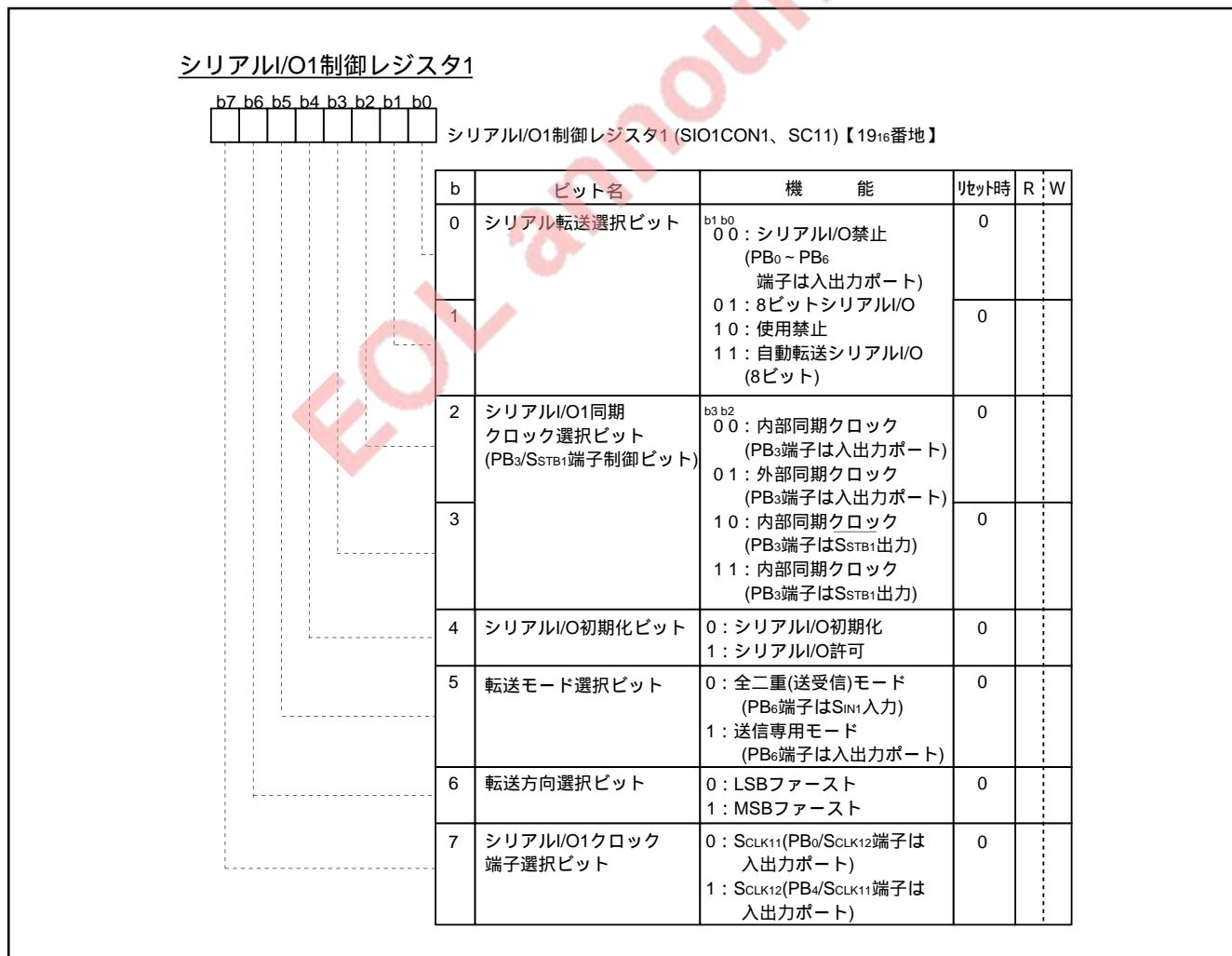
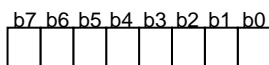


図2.3.3 シリアル I/O1 制御レジスタ1の構成

シリアルI/O制御レジスタ2



シリアルI/O制御レジスタ2 (SIO1CON2、SC12)【1A₁₆番地】

b	ビット名	機能	リセット時	R	W
0	PB ₁ /SRDY ₁ ・PB ₂ /SBUSY ₁ 端子制御ビット	b ₃ b ₂ b ₁ b ₀ 0000: PB ₁ , PB ₂ 端子は入出力ポート 0001: 不使用 0010: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子は入出力ポート 0011: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子は入出力ポート 0100: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 入力 0101: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 入力 0110: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 出力 0111: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 出力 1000: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1001: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1010: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1011: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1100: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力 1101: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力 1110: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力 1111: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力	0		
1			0		
2			0		
3			0		
4	SBUSY ₁ 出力・SSTB ₁ 出力機能選択ビット (シリアルI/O1自動転送モード時のみ有効)	0: 1バイトごとの信号として機能 1: 全転送データごとの信号として機能	0		
5	シリアル転送状態フラグ	0: シリアル転送完了 1: シリアル転送中	0		x
6	SOUT ₁ 端子制御ビット (シリアルデータ非転送時)	0: 出力アクティブ 1: 出力ハイインピーダンス	0		
7	PB ₅ /SOUT ₁ Pチャンネル出力禁止ビット	0: CMOS3ステート (Pチャンネル出力有効) 1: Nチャンネルオープンドレイン (Pチャンネル出力禁止)	0		

図2.3.4 シリアルI/O制御レジスタ2の構成

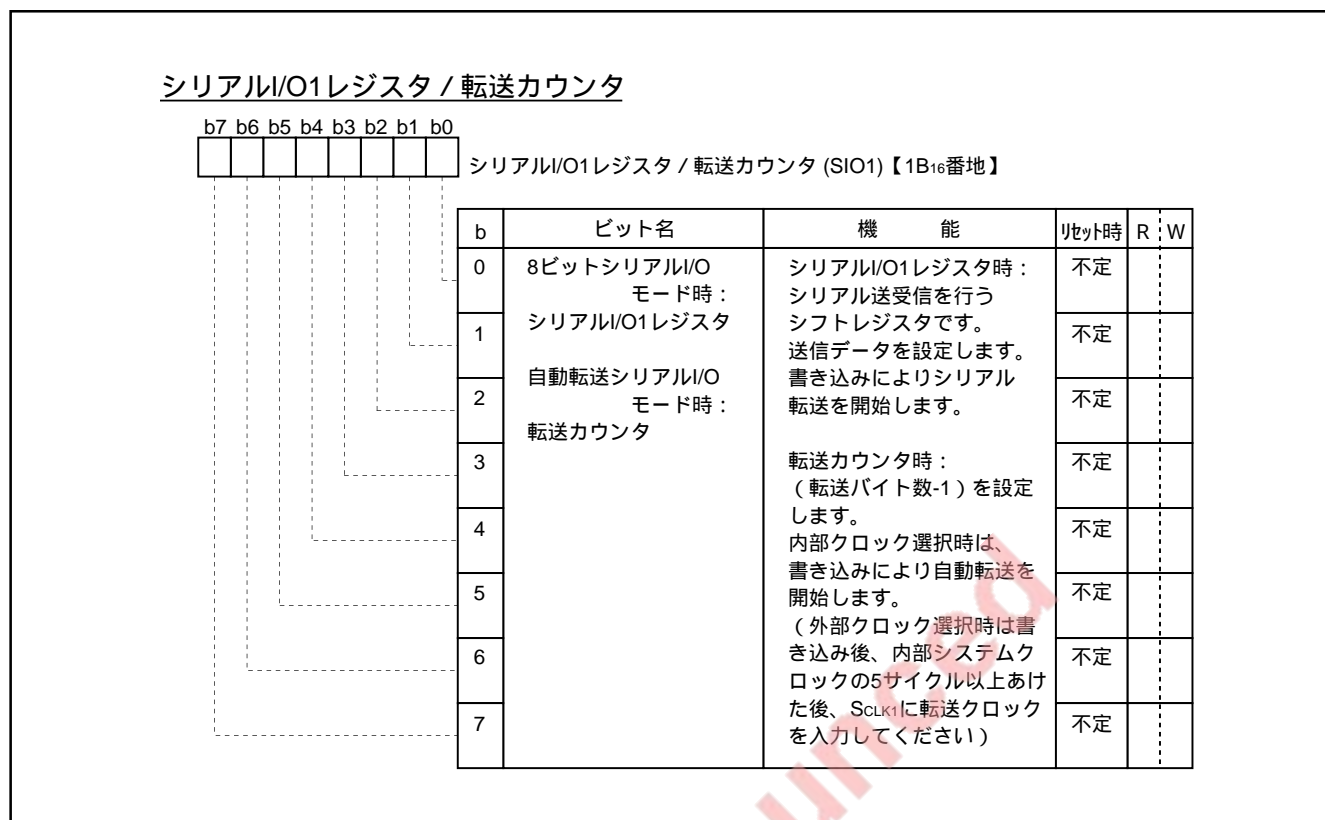


図2.3.5 シリアルI/Oレジスタ/転送カウンタの構成

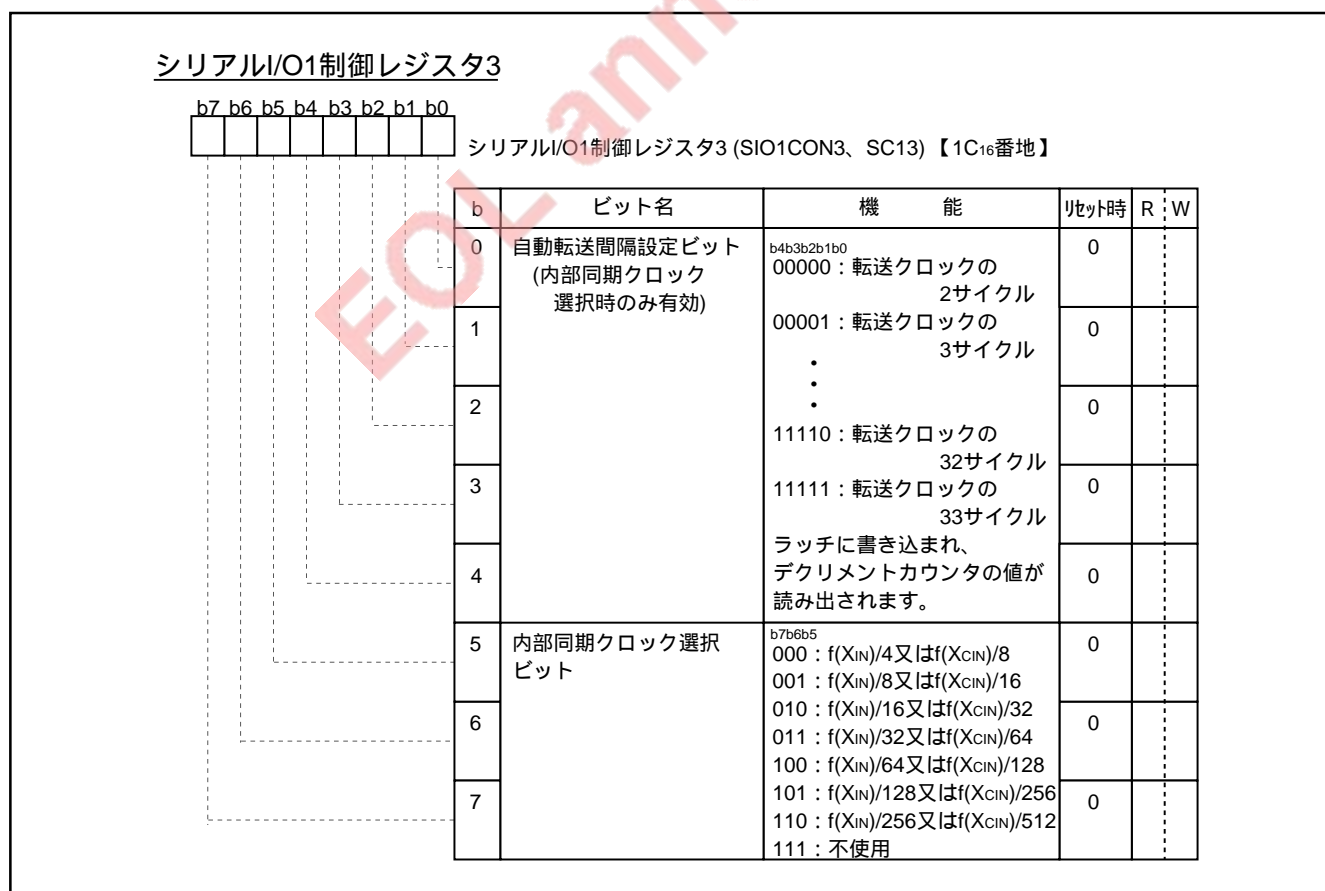


図2.3.6 シリアルI/O制御レジスタ3の構成

(2) シリアルI/O2

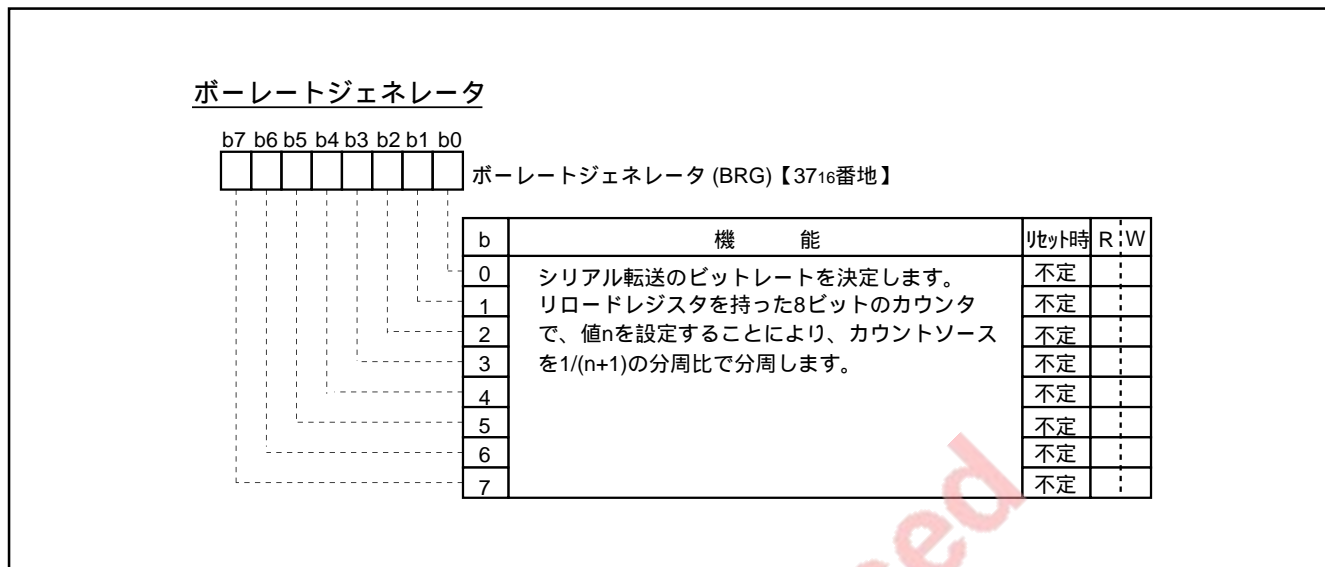


図2.3.7 ボーレートジェネレータの構成

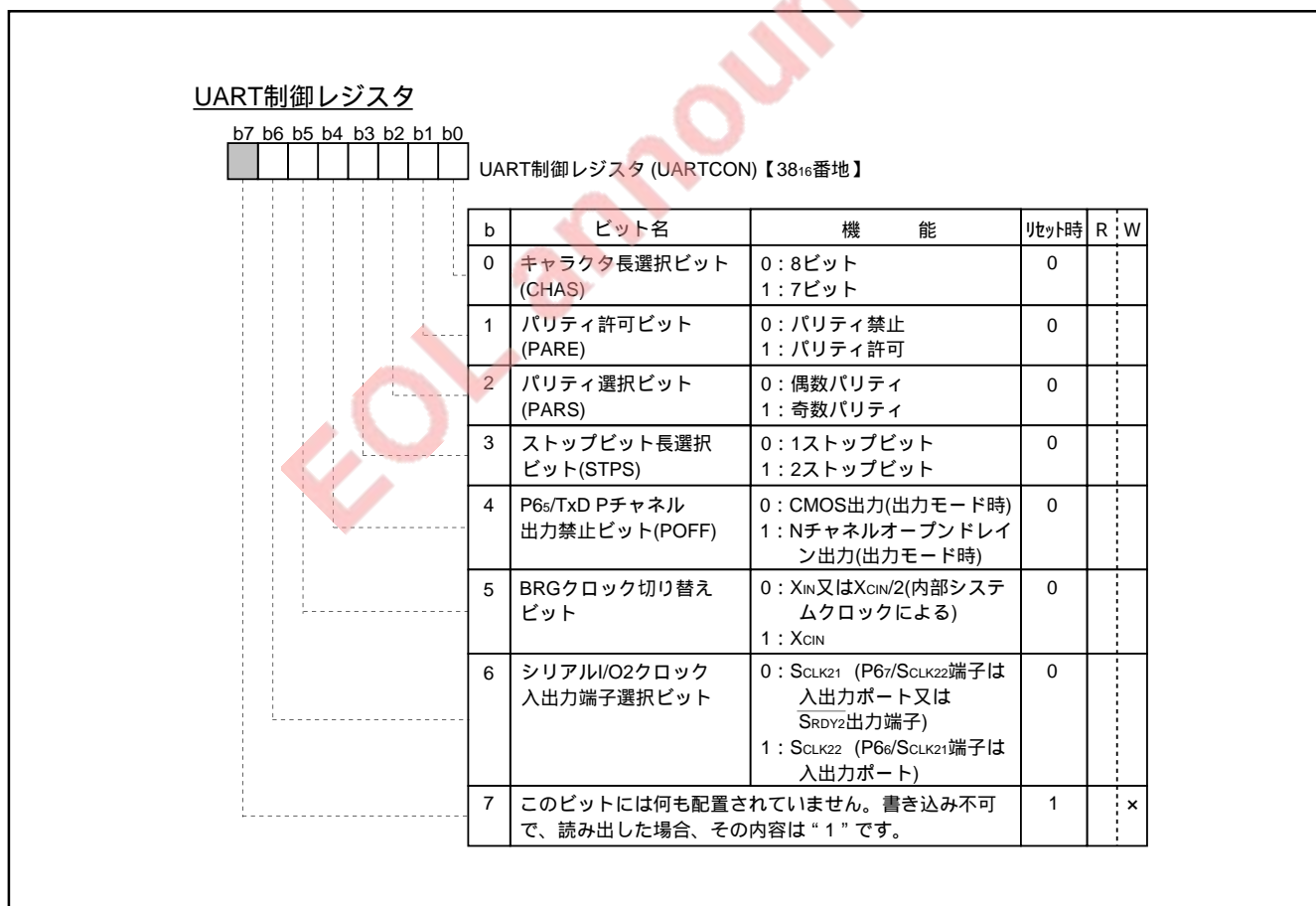
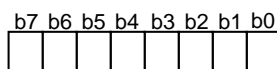


図2.3.8 UART制御レジスタの構成

シリアルI/O2制御レジスタ

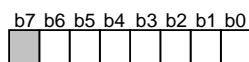


シリアルI/O2制御レジスタ (SIO2CON) 【1D₁₆番地】

b	ビット名	機能	リセット時	R	W
0	BRGカウントソース選択ビット(CSS)	0 : $f(X_{IN})$ 又は $f(X_{CIN})/2$ 又は $f(X_{CIN})$ 1 : $f(X_{IN})/4$ 又は $f(X_{CIN})/8$ 又は $f(X_{CIN})/4$	0		
1	シリアルI/O2同期クロック選択ビット(SCS)	0 : BRG出力の4分周 (クロック同期形シリアルI/O選択時) BRG出力の16分周 (UART選択時) 1 : 外部クロック入力 (クロック同期形シリアルI/O選択時) 外部クロック入力の16分周 (UART選択時)	0		
2	SRDY ₂ 出力許可ビット(SRDY)	0 : P6 ₇ 端子は通常の入出力端子として動作 1 : P6 ₇ 端子はSRDY ₂ 出力端子に機能変化	0		
3	送信割り込み要因選択ビット(TIC)	0 : 送信バッファが空になったとき 1 : 送信シフト動作が終了したとき	0		
4	送信許可ビット(TE)	0 : 送信禁止 1 : 送信許可	0		
5	受信許可ビット(RE)	0 : 受信禁止 1 : 受信許可	0		
6	シリアルI/O2モード選択ビット(SIOM)	0 : 非同期形シリアルI/O (UART) 1 : 同期形シリアルI/O	0		
7	シリアルI/O2許可ビット(SIOE)	0 : シリアルI/O2禁止 (P6 ₄ ~ P6 ₇ 端子は通常の入出力ポート) 1 : シリアルI/O2許可 (P6 ₄ ~ P6 ₇ 端子はシリアルI/O機能端子)	0		

図2.3.9 シリアルI/O2制御レジスタの構成

シリアルI/O2ステータスレジスタ

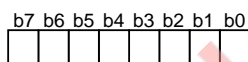


シリアルI/O2ステータスレジスタ (SIO2STS) 【1E16番地】

b	ビット名	機 能	ビット時	R	W
0	送信バッファエンプティフラグ(TBE)	0: バッファフル状態 1: バッファエンプティ状態	0		
1	受信バッファフルフラグ(RBF)	0: バッファエンプティ状態 1: バッファフル状態	0		
2	送信シフトレジスタシフト終了フラグ(TSC)	0: 送信シフト中 1: 送信シフト終了	0		
3	オーバランエラーフラグ(OE)	0: エラーなし 1: エラー発生	0		
4	パリティエラーフラグ(PE)	0: エラーなし 1: エラー発生	0		
5	フレーミングエラーフラグ(FE)	0: エラーなし 1: エラー発生	0		
6	サミングエラーフラグ(SE)	0: (OE) (PE) (FE)=0 1: (OE) (PE) (FE)=1	0		
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1		x

図2.3.10 シリアルI/O2ステータスレジスタの構成

シリアルI/O2送信 / 受信バッファレジスタ



シリアルI/O2送信 / 受信バッファレジスタ (TB/RB) 【1F16番地】

b	機 能	ビット時	R	W
0	送信データの書き込み及び受信データの読み出しを行うためのバッファレジスタです。	不定		
1	書き込み時: 送信バッファレジスタへ書き込まれます。なお、受信バッファレジスタへ書き込むことはできません。	不定		
2		不定		
3	読み出し時: 受信バッファレジスタの内容が読み出されます。キャラクタ長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。なお、送信バッファレジスタの内容を読み出すことはできません。	不定		
4		不定		
5		不定		
6		不定		
7		不定		

図2.3.11 シリアルI/O2送信/受信バッファレジスタの構成

(3) シリアル/O3

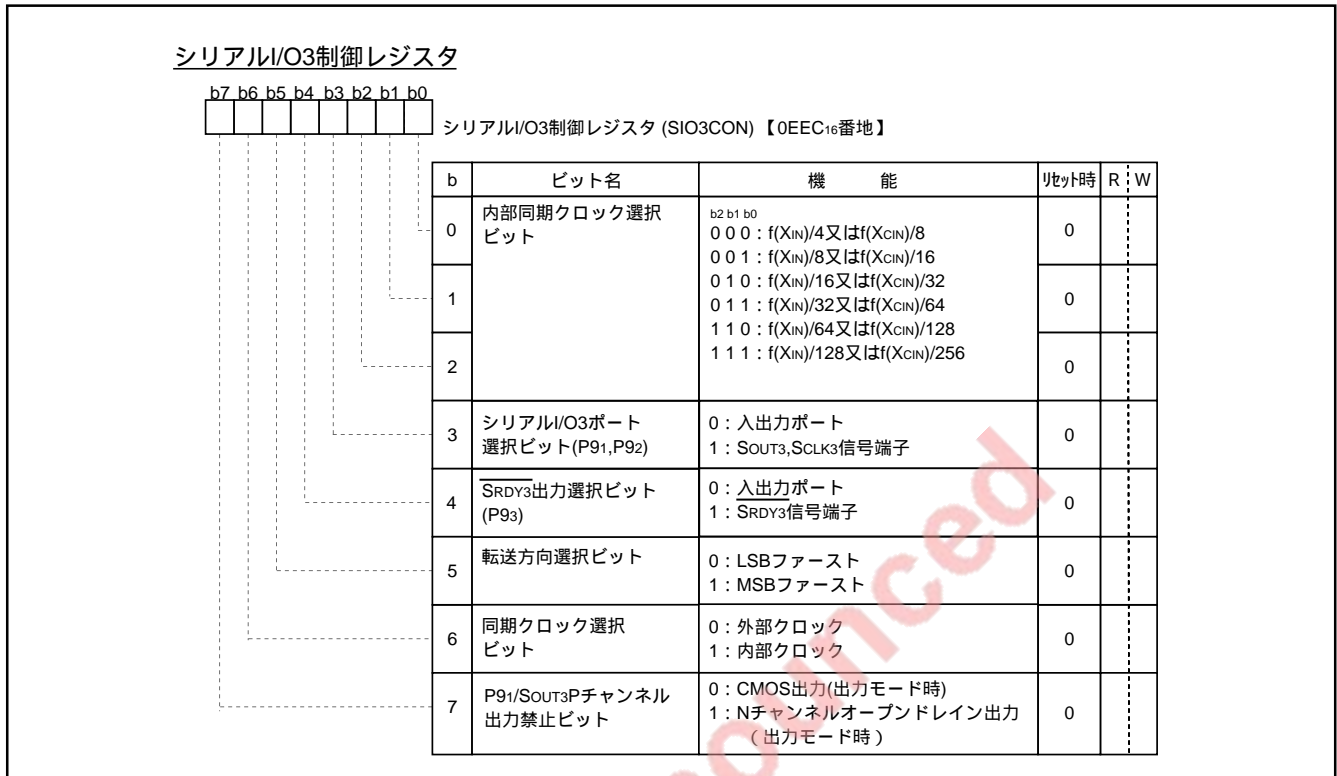


図2.3.12 シリアル/O3制御レジスタの構成

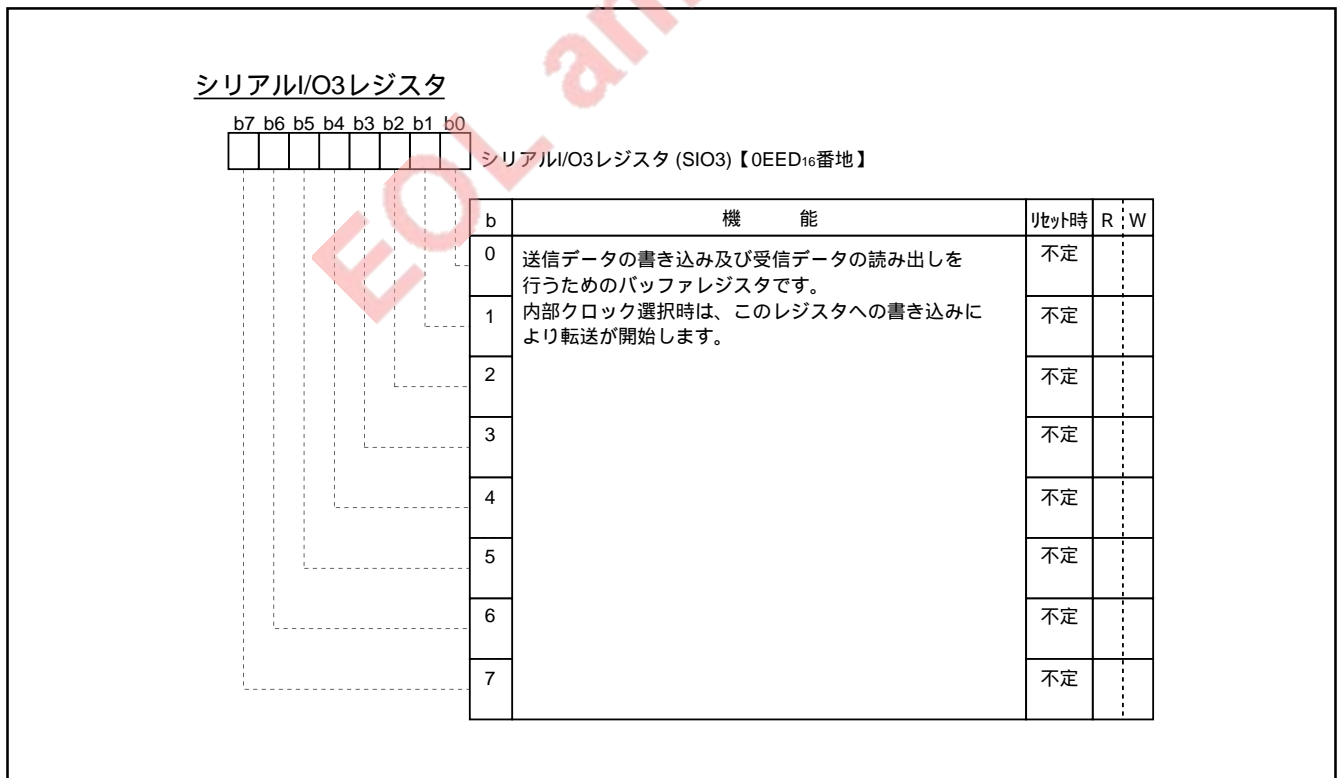


図2.3.13 シリアル/O3レジスタの構成

(4) シリアルI/O1、シリアルI/O2

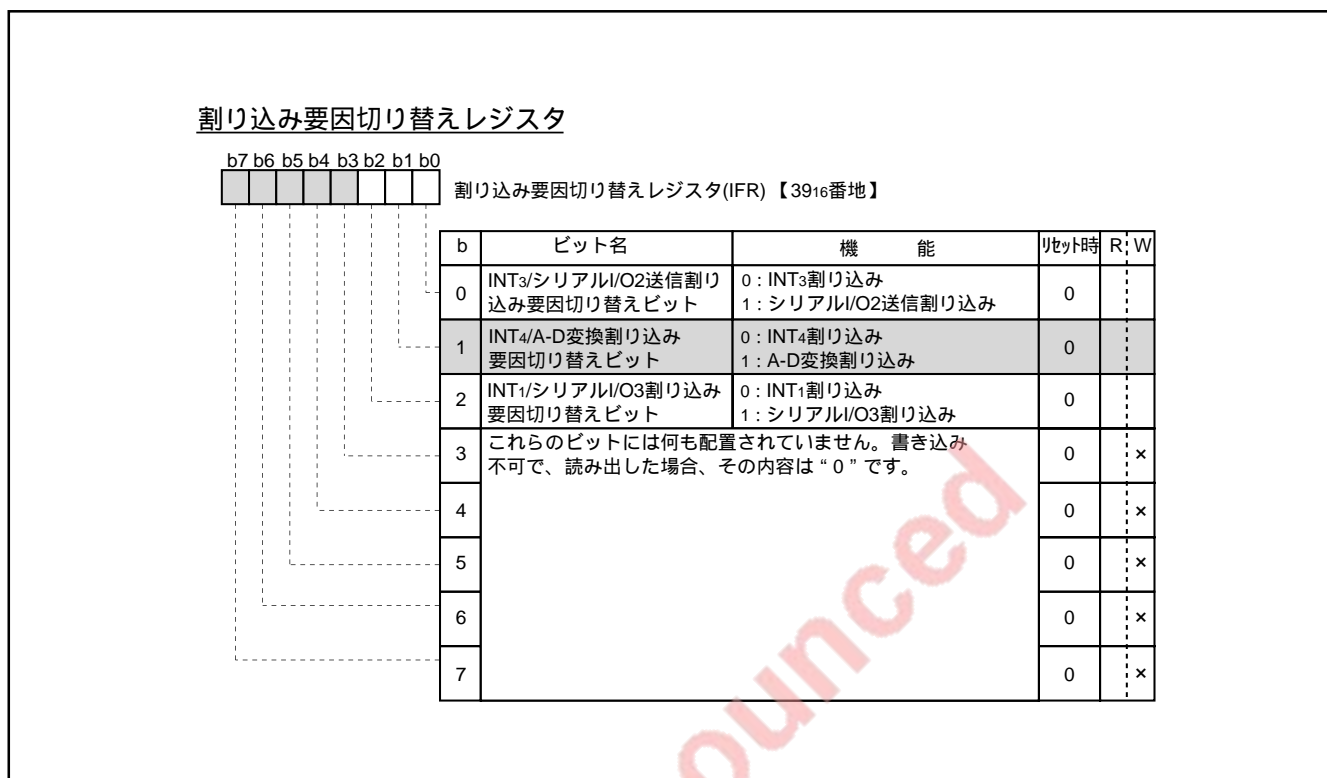


図2.3.14 割り込み要因切り替えレジスタの構成

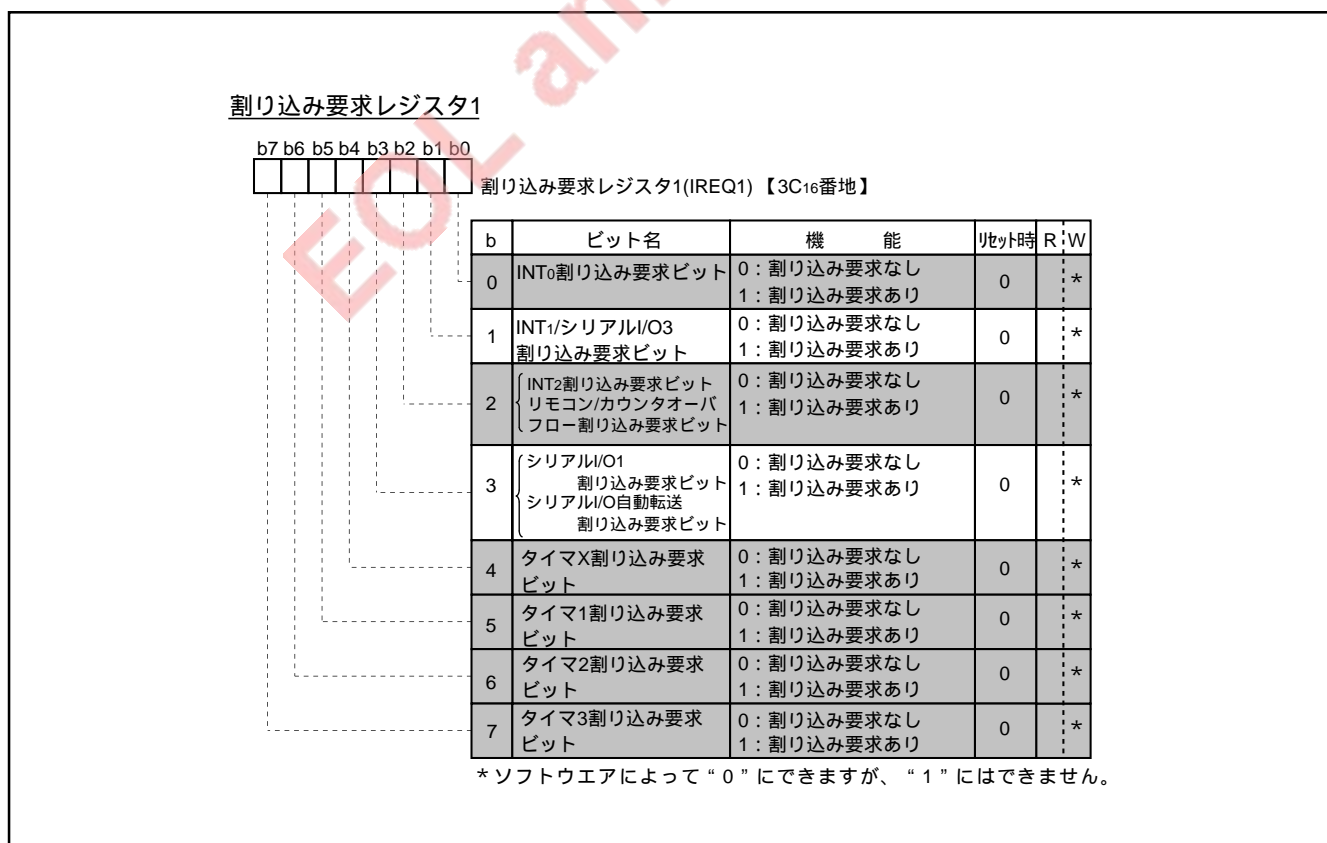
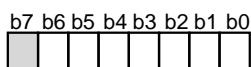


図2.3.15 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



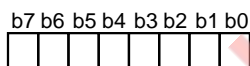
割り込み要求レジスタ2(IREQ2)【3D16番地】

b	ビット名	機能	レジタ時	R/W
0	タイマ4割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	タイマ5割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	タイマ6割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	シリアル/O2受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	INT3/シリアル/O2送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	INT4/A-D変換割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	FLDブランキング/FLDディジット割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.3.16 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

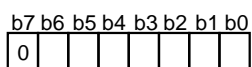


割り込み制御レジスタ1(ICON1)【3E16番地】

b	ビット名	機能	レジタ時	R/W
0	INT0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
1	INT1/シリアル/O3割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
2	INT2割り込み許可ビット リモコン/カウンタオーバーフロー割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
3		シリアル/O1割り込み許可ビット シリアル/O自動転送割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0
4	タイマX割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
5	タイマ1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
6	タイマ2割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
7	タイマ3割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	

図2.3.17 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



割り込み制御レジスタ2(ICON2)【3F16番地】

b	ビット名	機能	ビット時	R	W
0	タイマ4割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
1	タイマ5割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
2	タイマ6割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
3	シリアルI/O2受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
4	INT3/シリアルI/O2送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
5	INT4/A-D変換割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
6	FLDブランキング/FLDディジット割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0		
7	このビットは“0”に固定してください。		0		

図2.3.18 割り込み制御レジスタ2の構成

EOL announcement

2.3.3 シリアルI/O1の接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.3.19に示します。
いずれの応用例においても、自動転送機能を使用できます。

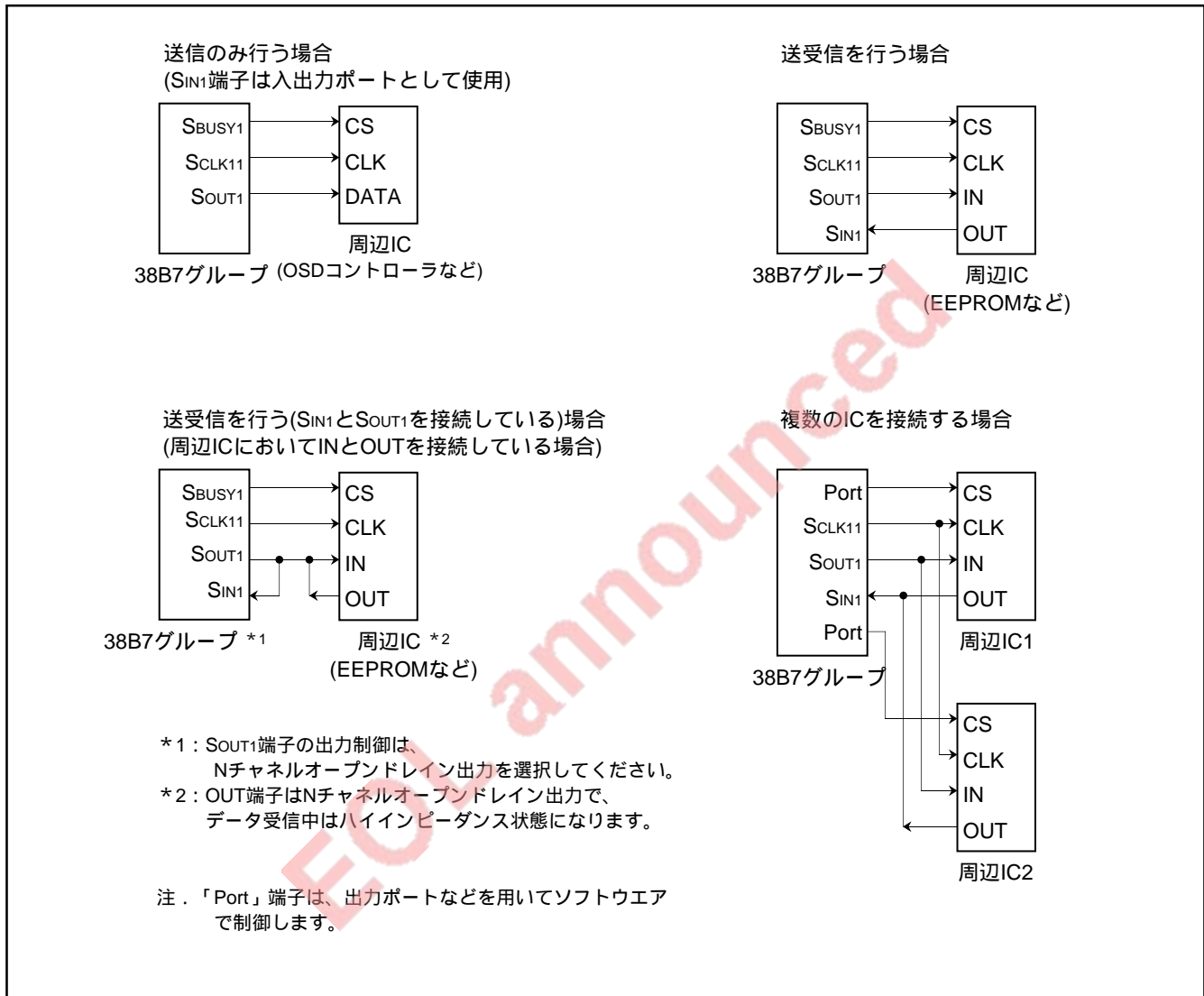


図2.3.19 シリアルI/O1の接続例(1)

(2) マイコンとの接続

他のマイコンとの接続例を図2.3.20に示します。

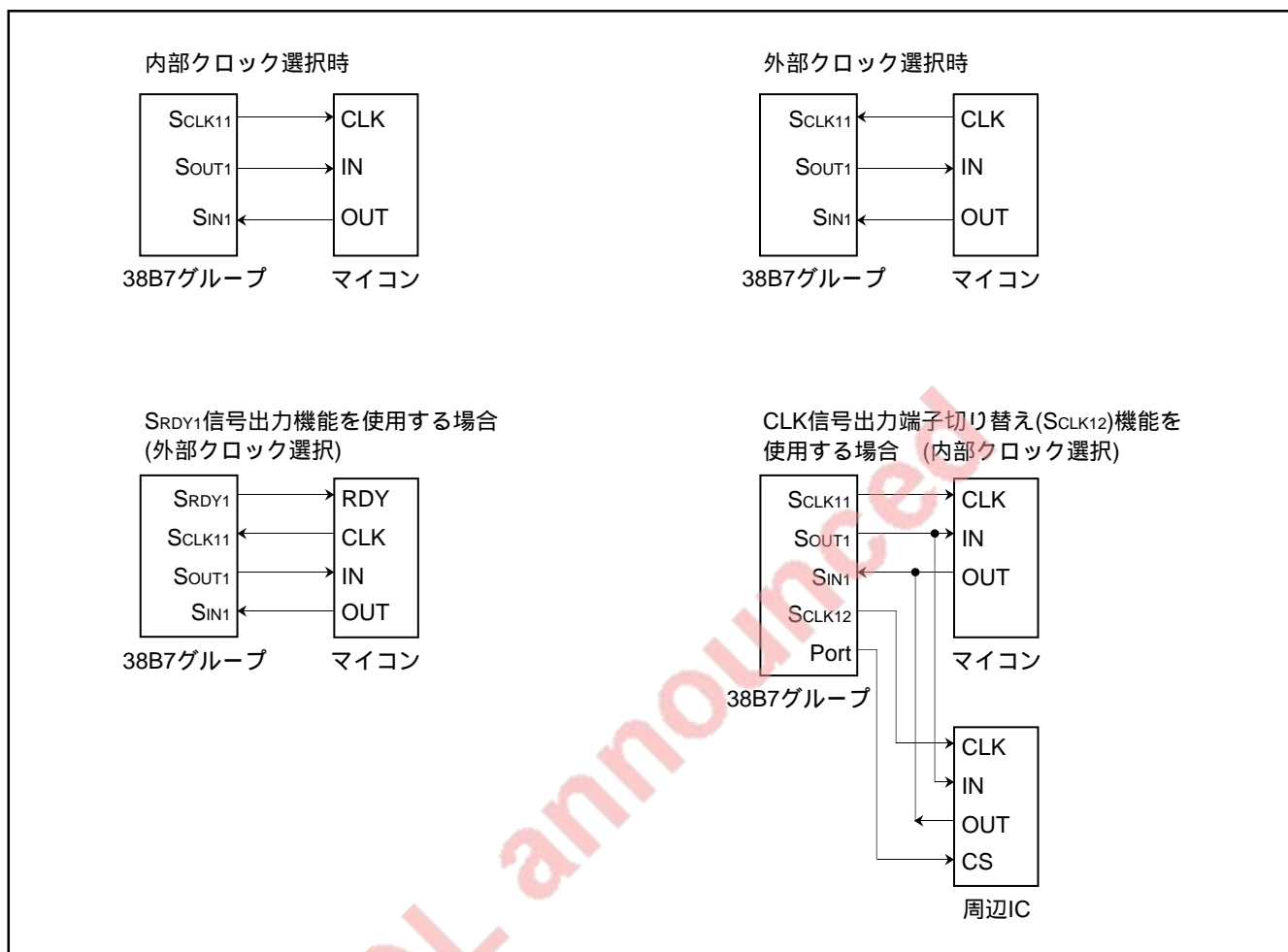


図2.3.20 シリアルI/O1の接続例(2)

2.3.4 シリアル I/O1モード

シリアル I/O1のモードを図2.3.21に示します。

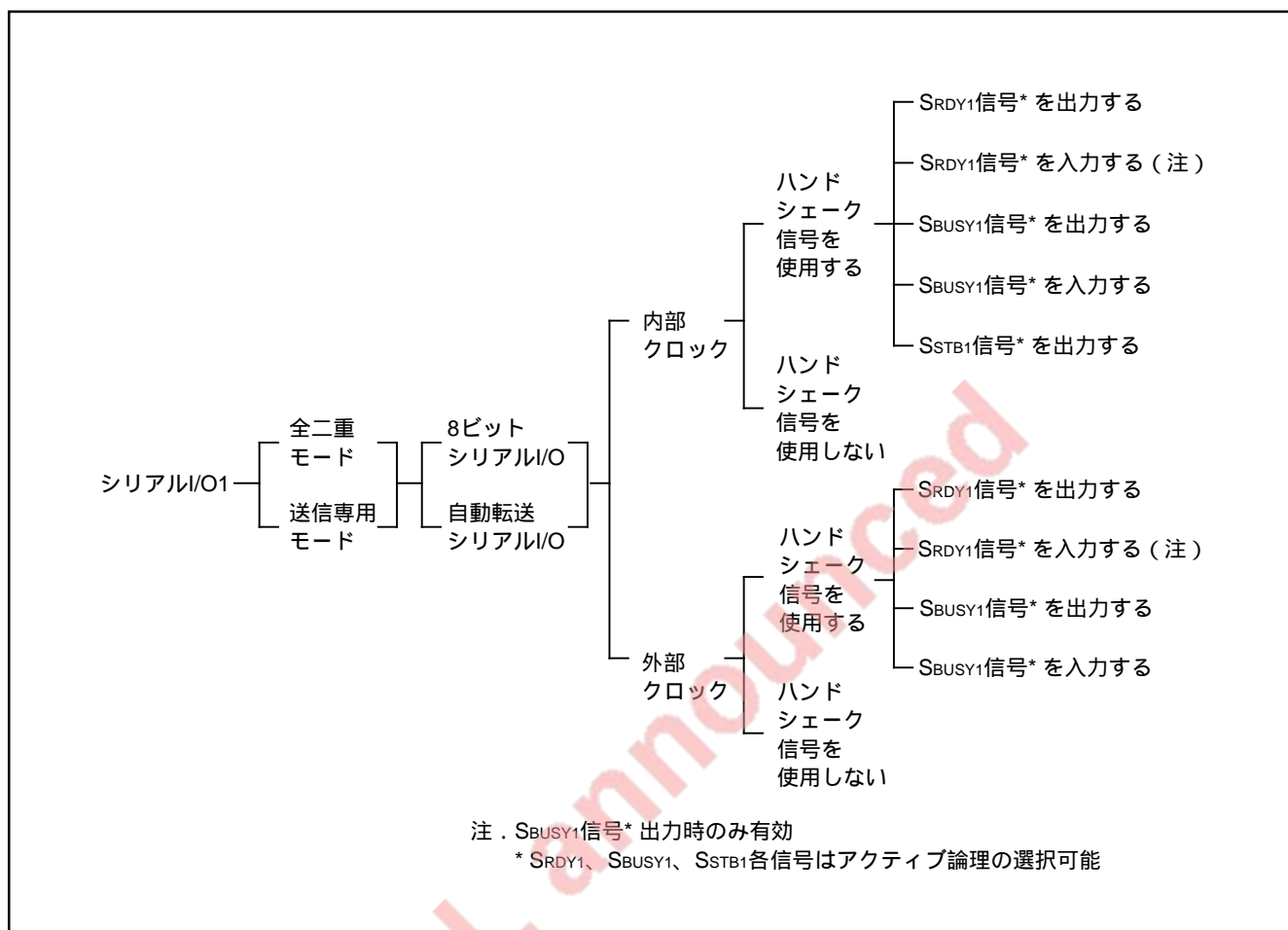


図2.3.21 シリアル I/O1のモード

2.3.5 シリアルI/O1の応用例

(1) シリアルデータの出力(周辺ICの制御)

ポイント：ポートを周辺ICの \overline{CS} 端子に接続し、シリアル送信を行います。

接続図を図2.3.22、タイミング図を図2.3.23に示します。

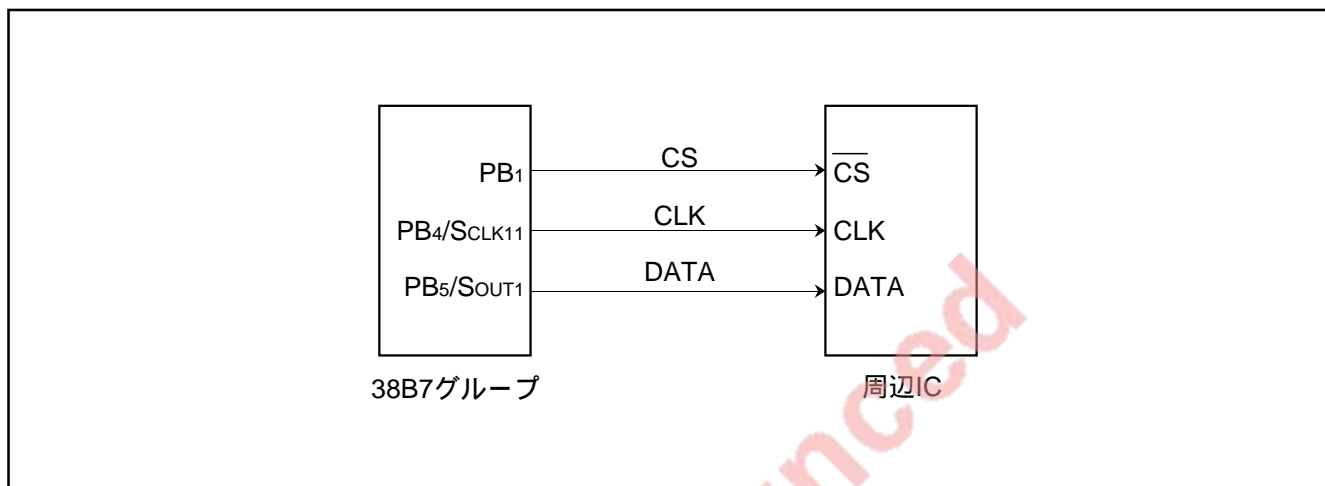


図2.3.22 接続図

- 仕様：
- ・シリアルI/O1を使用(自動転送機能は使用しない)
 - ・同期クロック周波数：131 kHz ($f(XIN) = 4.19 \text{ MHz}$ の32分周)
 - ・転送方向：LSBファースト
 - ・シリアルI/O1割り込みは使用しない
 - ・ポートPB1を周辺ICの \overline{CS} 端子("L"アクティブ)に接続して、送信を制御(ポートPB1の出力レベルはソフトウェアで制御する)

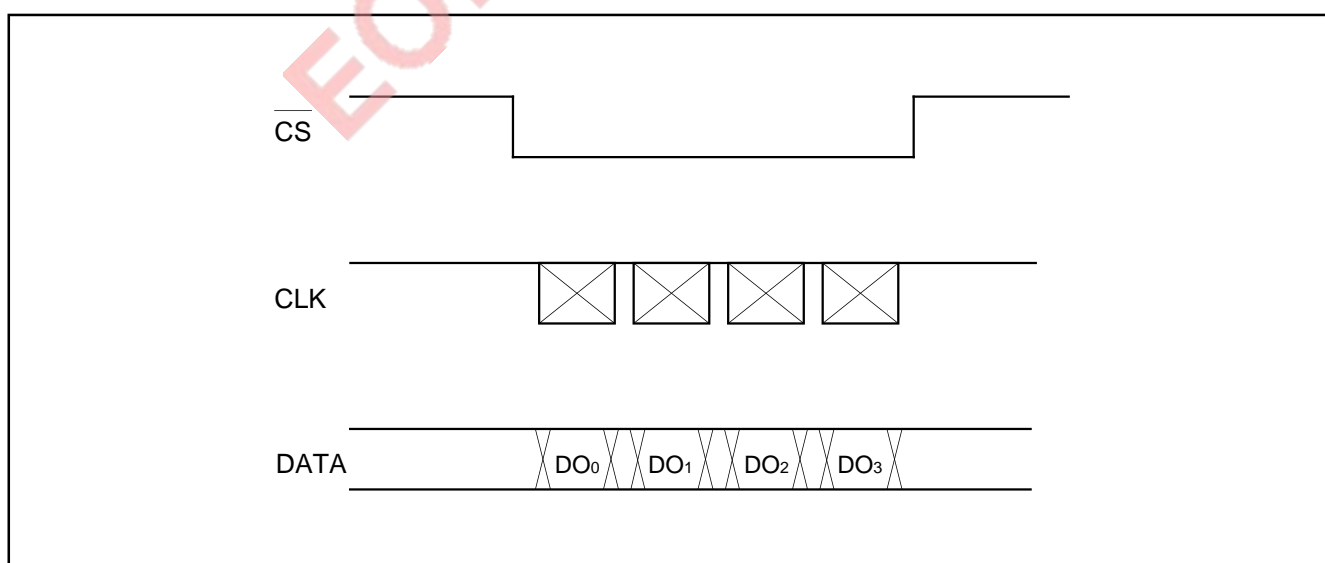


図2.3.23 タイミング図

図2.3.24に関連レジスタの設定、図2.3.25に送信データの設定を示します。

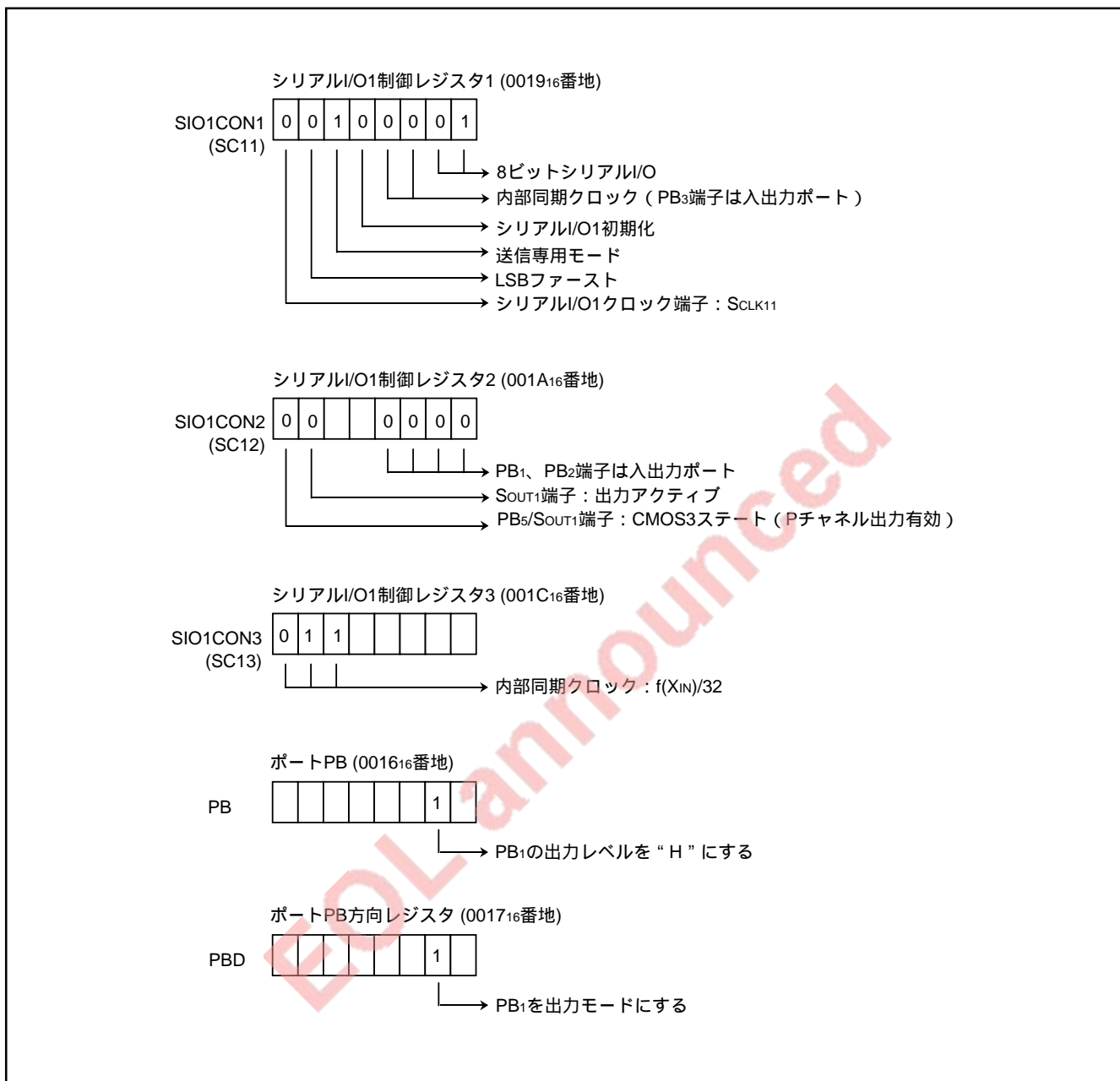


図2.3.24 送信側関連レジスタの設定

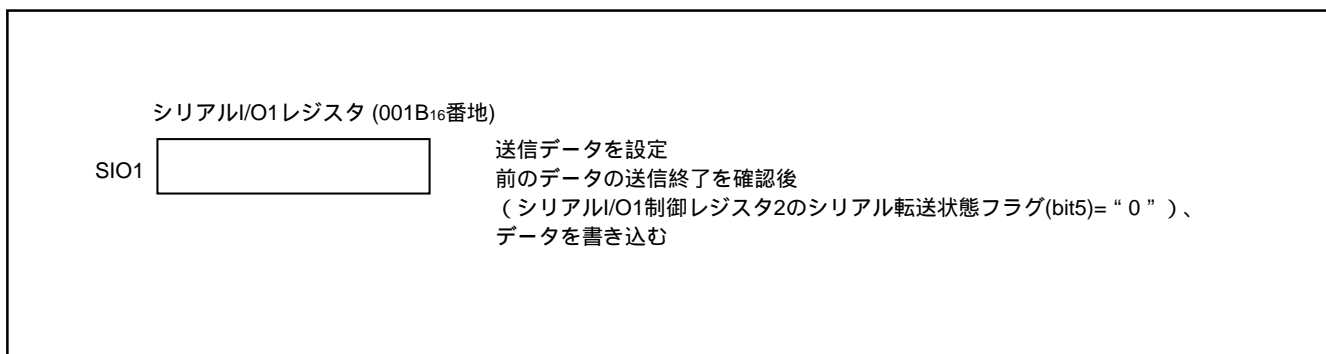


図2.3.25 送信データの設定

制御手順：

シリアルI/O1は図2.3.24に示すレジスタ設定によって、シリアルI/O1レジスタにデータを書き込むだけで、1バイトの送信を行える状態になります。

したがって、CS信号を“L”にした後、送信データを1バイトごとにシリアルI/O1レジスタに書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻します。

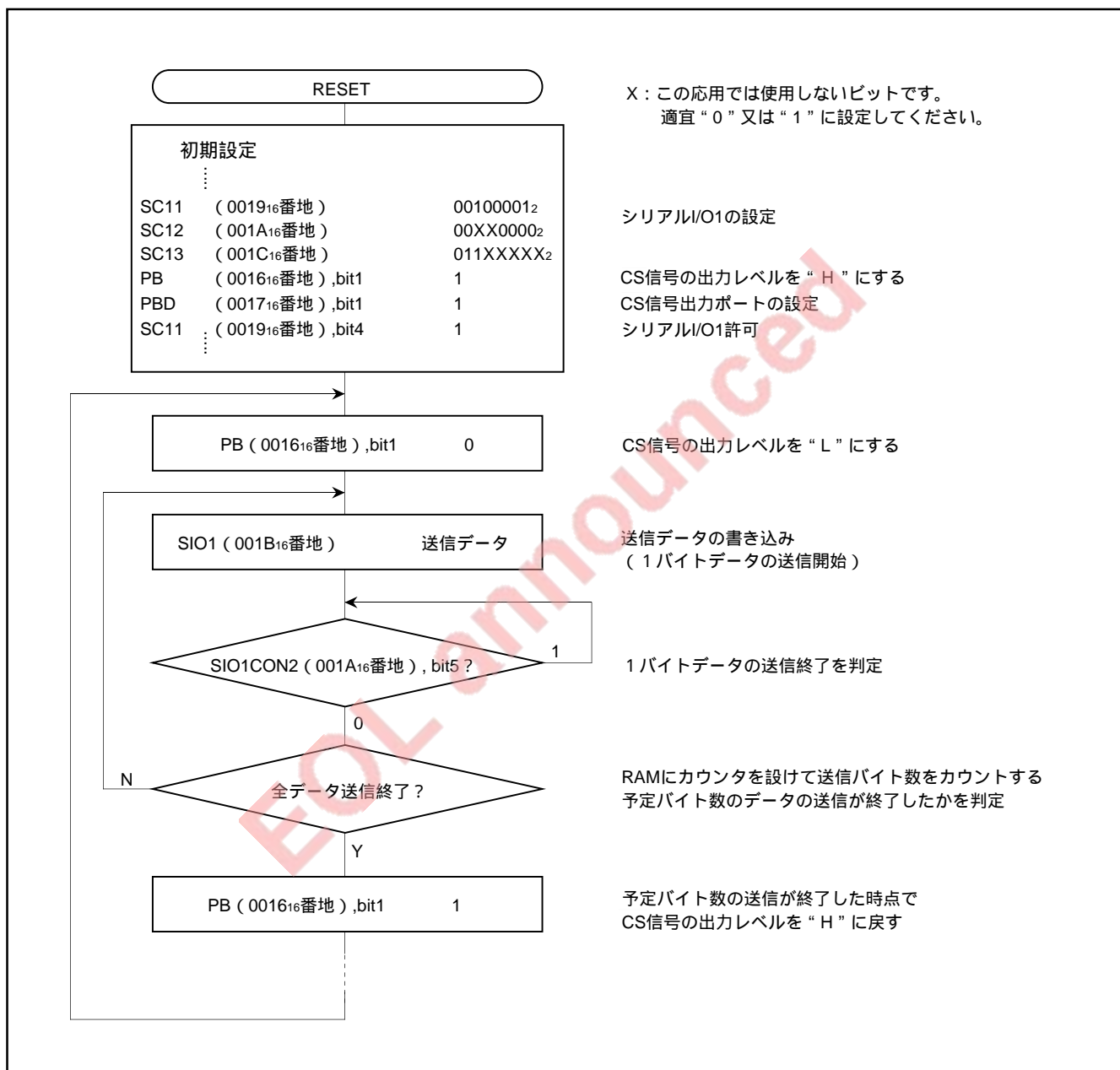


図2.3.26 制御手順

(2) 自動転送を利用した送受信

ポイント：シリアル自動転送機能を使い、シリアル送受信制御を行います。

接続図を図2.3.27、シリアルデータ送受信タイミング図を図2.3.28に示します。

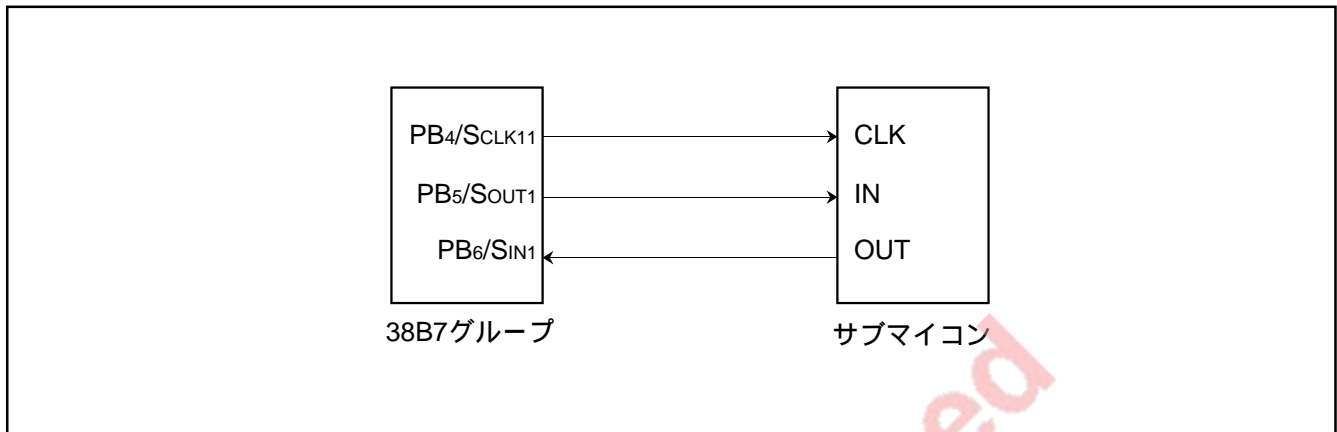


図2.3.27 接続図

- 仕様：
- ・シリアルI/Oを使用(自動転送機能を使用する)
 - ・同期クロック周波数：131 kHz ($f(XIN) = 4.19 \text{ MHz}$ の32分周)
 - ・転送方向：LSBファースト
 - ・送受信バイト数：各8バイト/ブロック
 - ・1バイトごとの転送間隔：244 μs (転送クロックの32サイクル)
 - ・シリアルI/O自動転送割り込みは使用しない

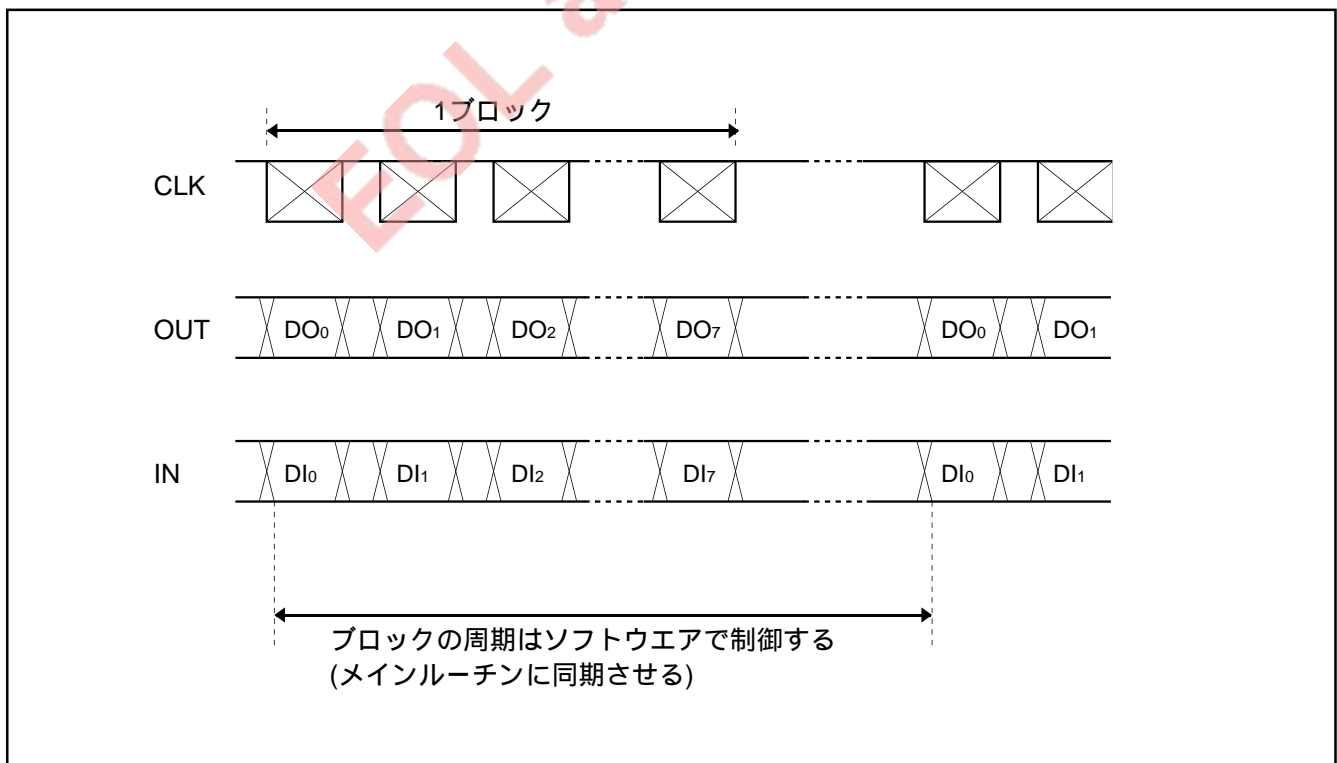


図2.3.28 シリアルデータ送受信タイミング図

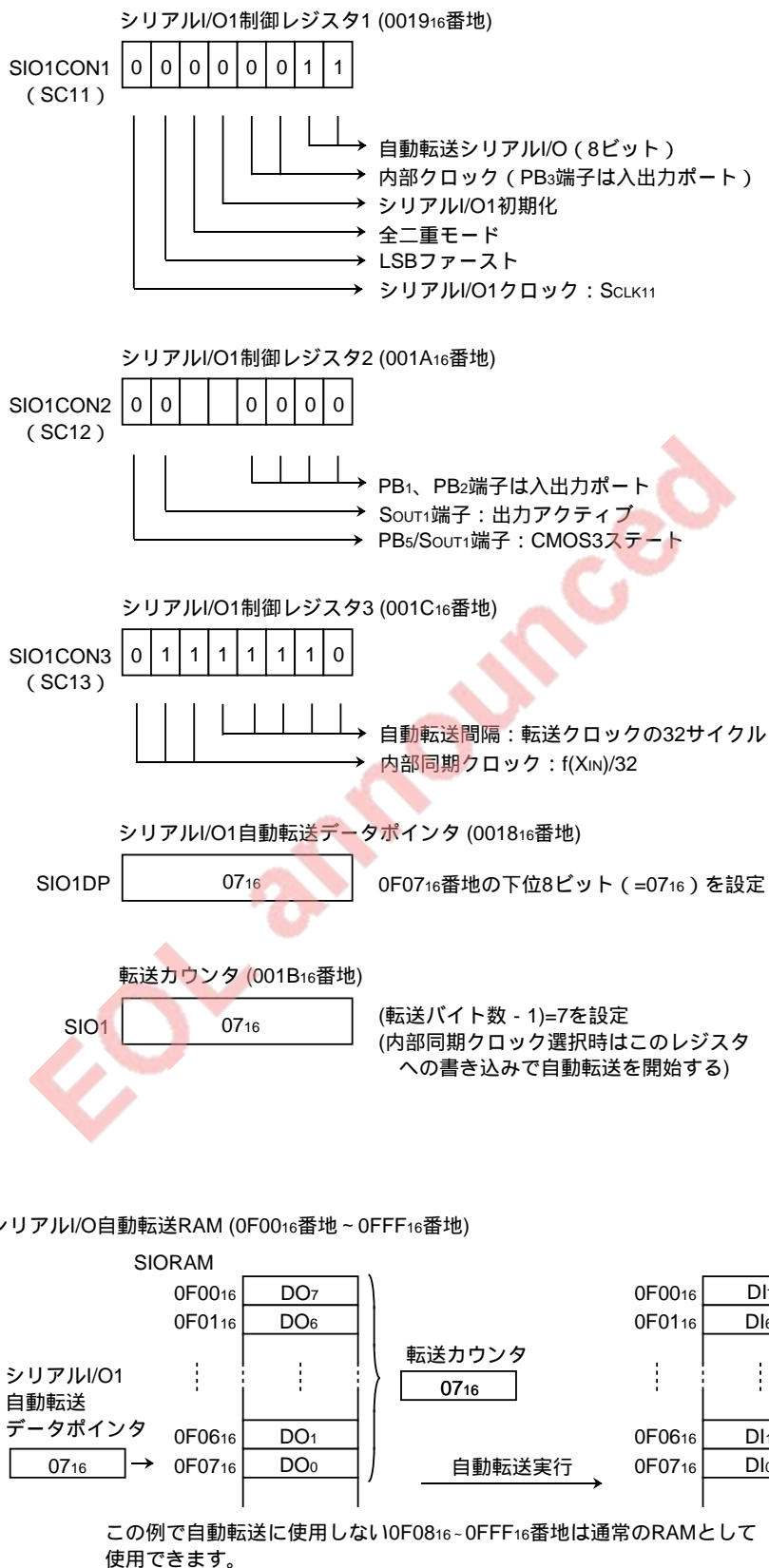


図2.3.29 関連レジスタの設定

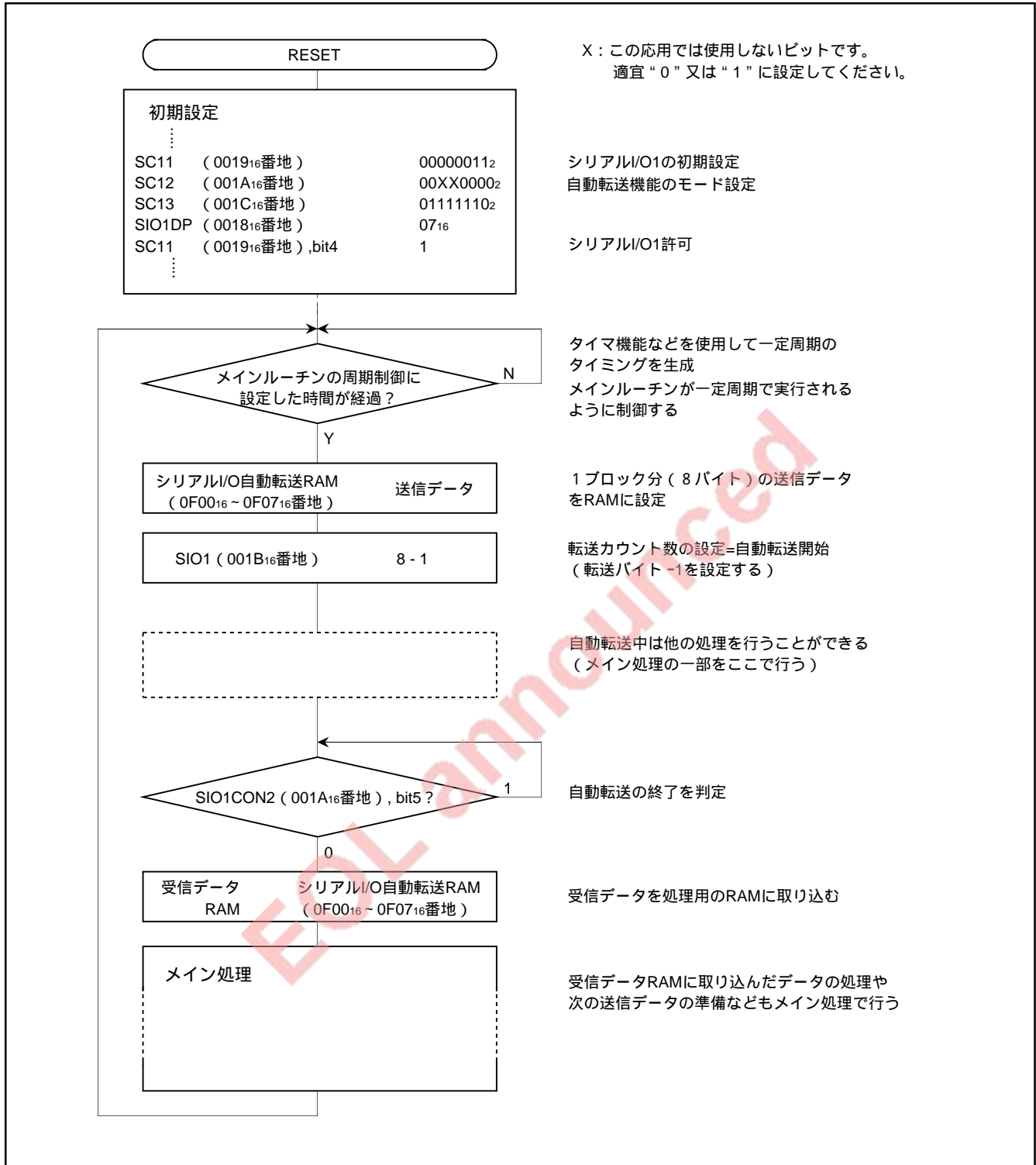


図2.3.30 制御手順

2.3.6 シリアルI/O2の接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.3.31に示します。

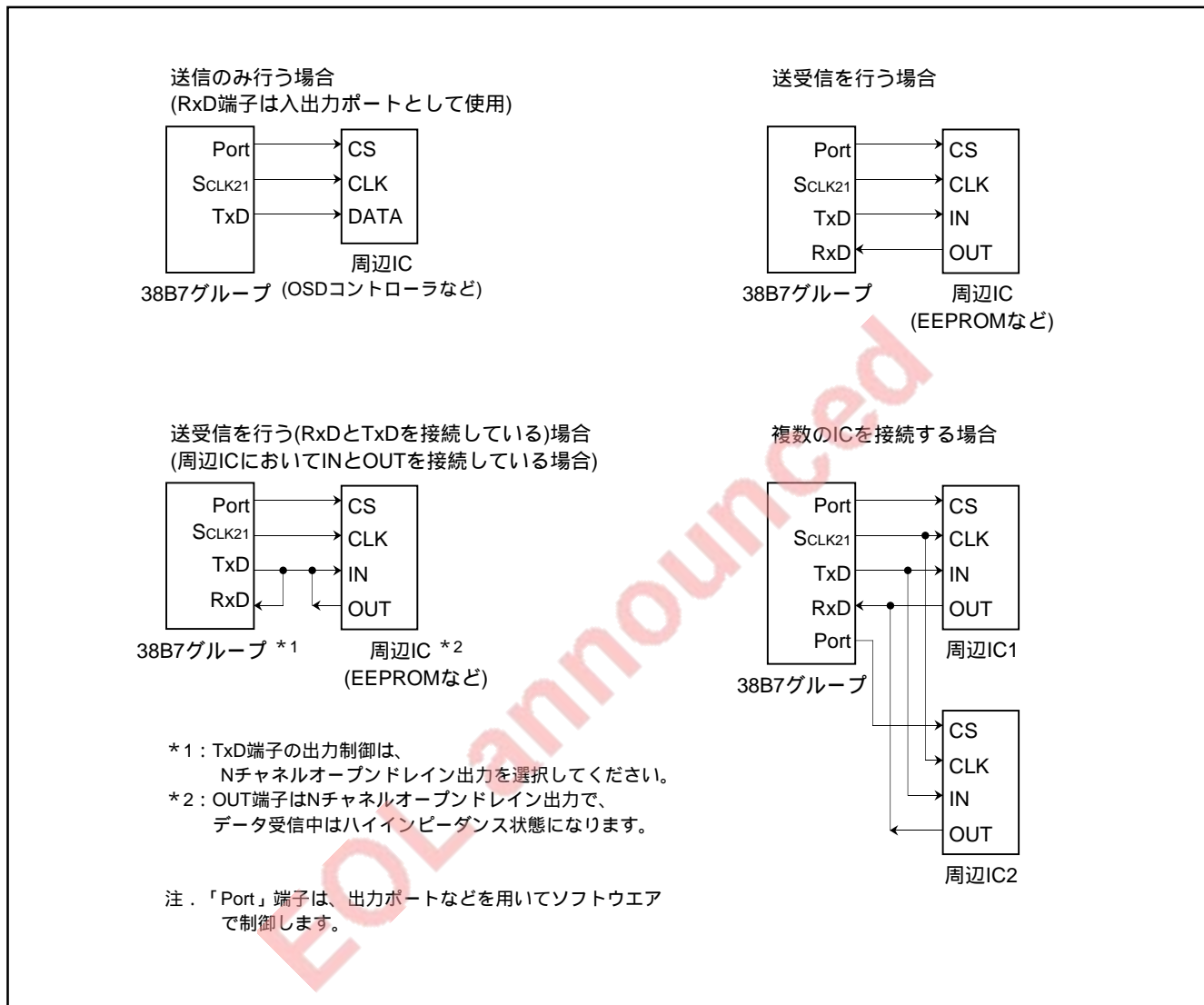


図2.3.31 シリアルI/O2の接続例(1)

(2) マイコンとの接続

他のマイコンとの接続例を図2.3.32に示します。

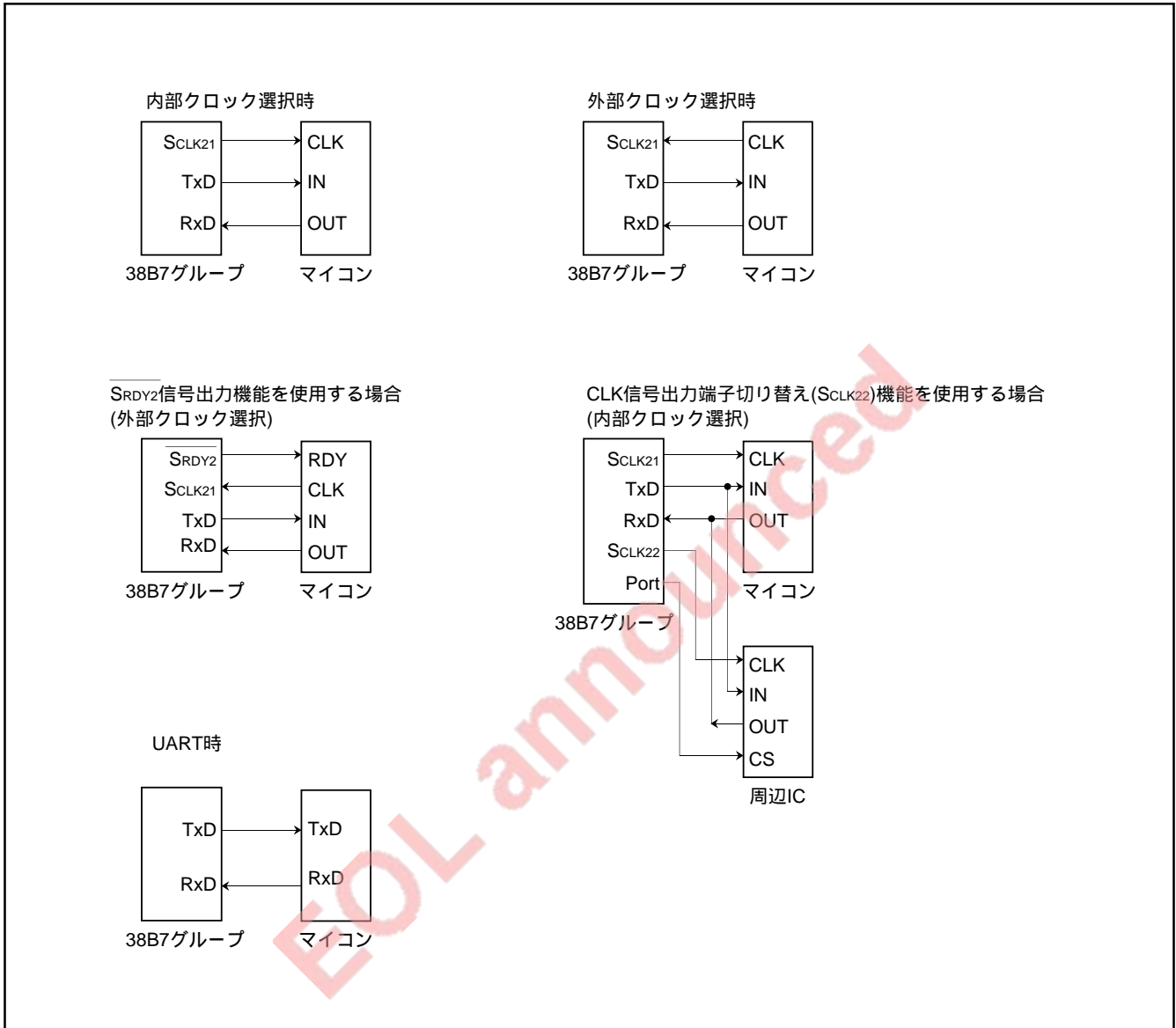


図2.3.32 シリアルI/O2の接続例(2)

2.3.7 シリアルI/O2モード

シリアルI/O2はクロック同期形、非同期形(UART)が選択できます。

シリアルI/O2のモードを図2.3.33に、転送データフォーマットを図2.3.34に示します。

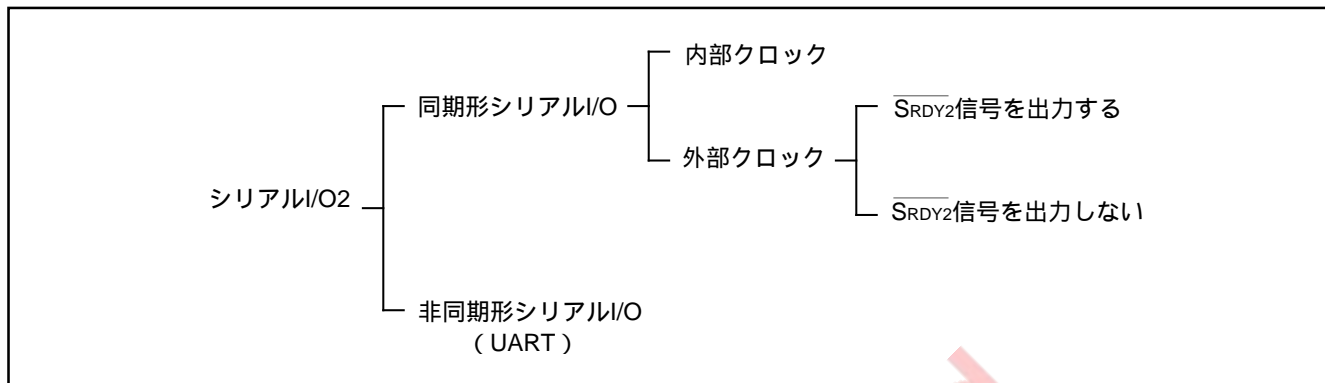


図2.3.33 シリアルI/O2のモード

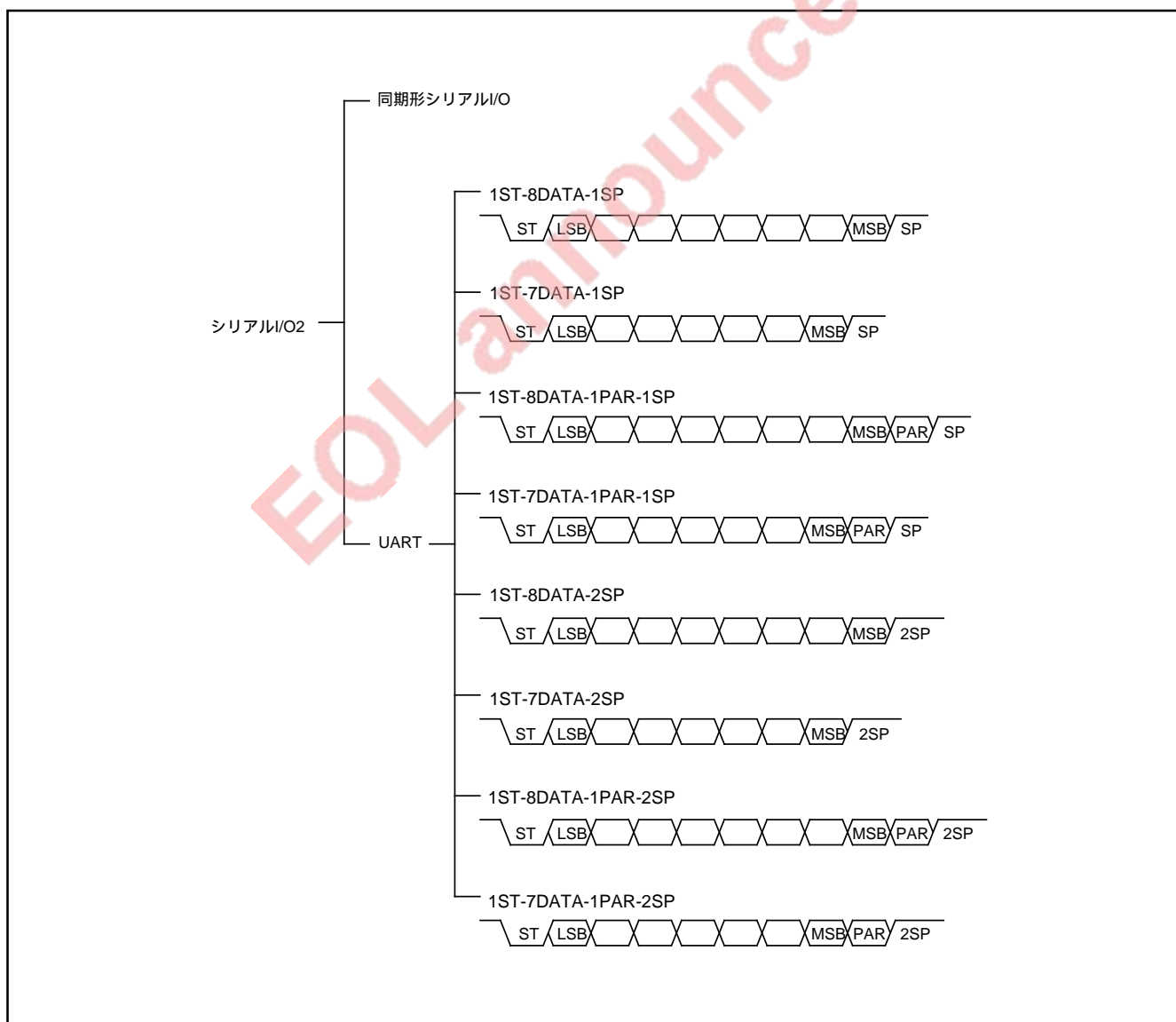


図2.3.34 シリアルI/O2の転送データフォーマット

2.3.8 シリアル I/O2の応用例

(1) クロック同期形シリアル I/Oを使用した通信(送信/受信)

ポイント：同期形シリアル I/Oを使用して2バイトデータの送受信を行います。
通信制御には、 $\overline{\text{SRDY2}}$ 信号を使用します。

接続図を図2.3.35、タイミング図を図2.3.36に示します。

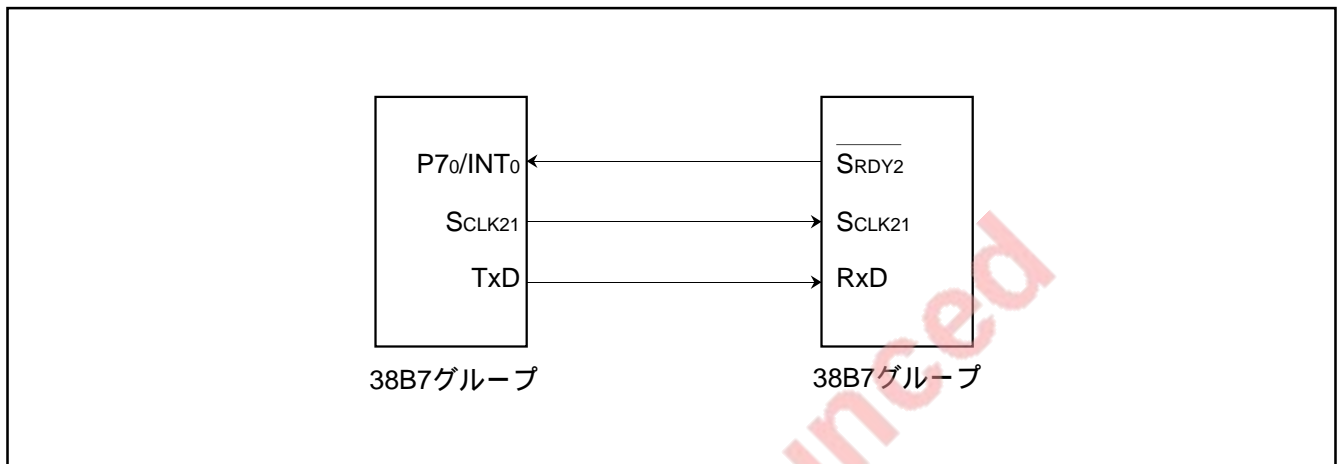


図2.3.35 接続図

- 仕様：
- ・シリアル I/O2 (クロック同期形シリアル I/O)を使用
 - ・同期クロック周波数：125kHz ($f(\text{XIN}) = 4\text{MHz}$ の32分周)
 - ・ $\overline{\text{SRDY2}}$ (受信可能) 信号を使用
 - ・2ms間隔(タイマにより生成)で、受信側から $\overline{\text{SRDY2}}$ 信号を出力し、2バイトのデータを送信側から受信側へ転送

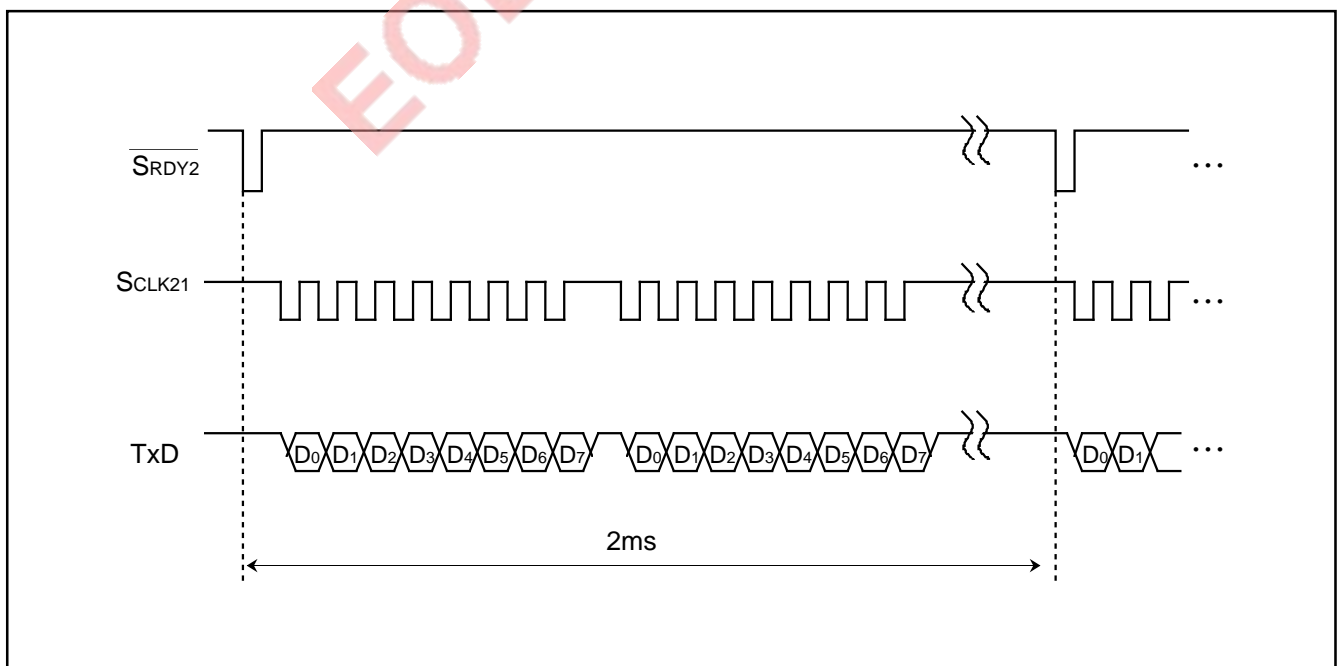


図2.3.36 タイミング図

図2.3.37に送信側関連レジスタの設定、図2.3.38に受信側関連レジスタの設定を示します。

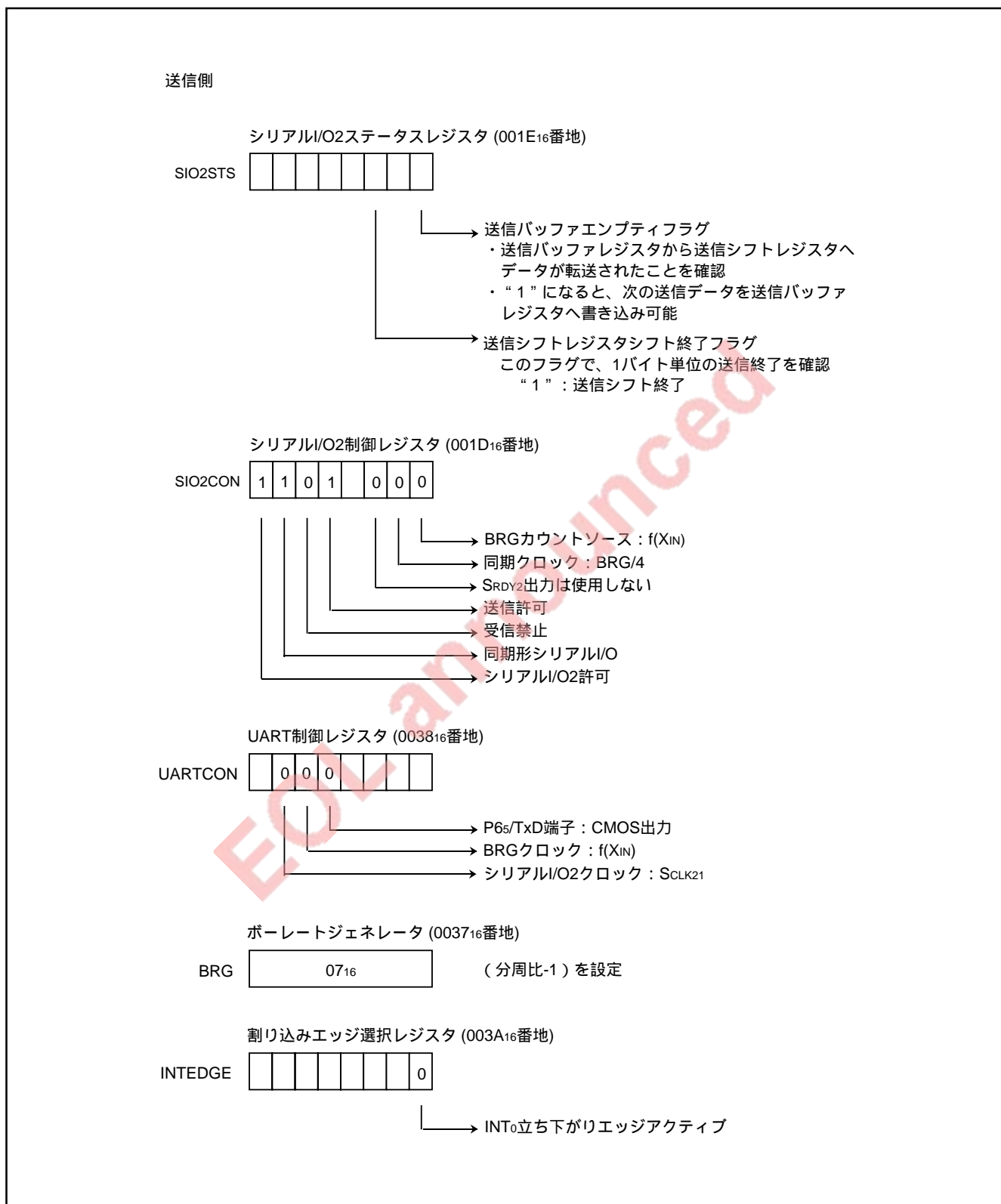


図2.3.37 送信側関連レジスタの設定

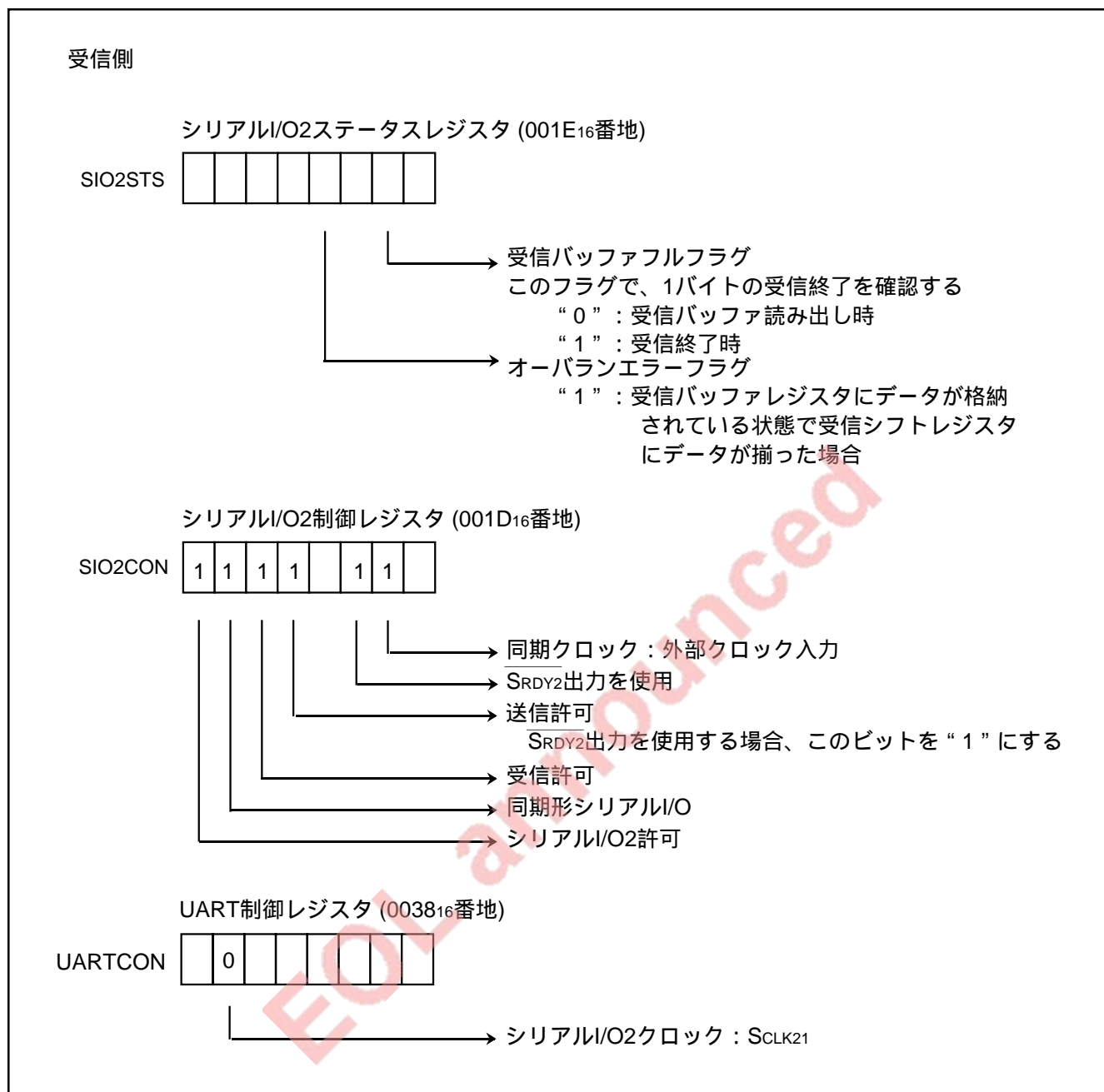


図2.3.38 受信側関連レジスタの設定

制御手順：

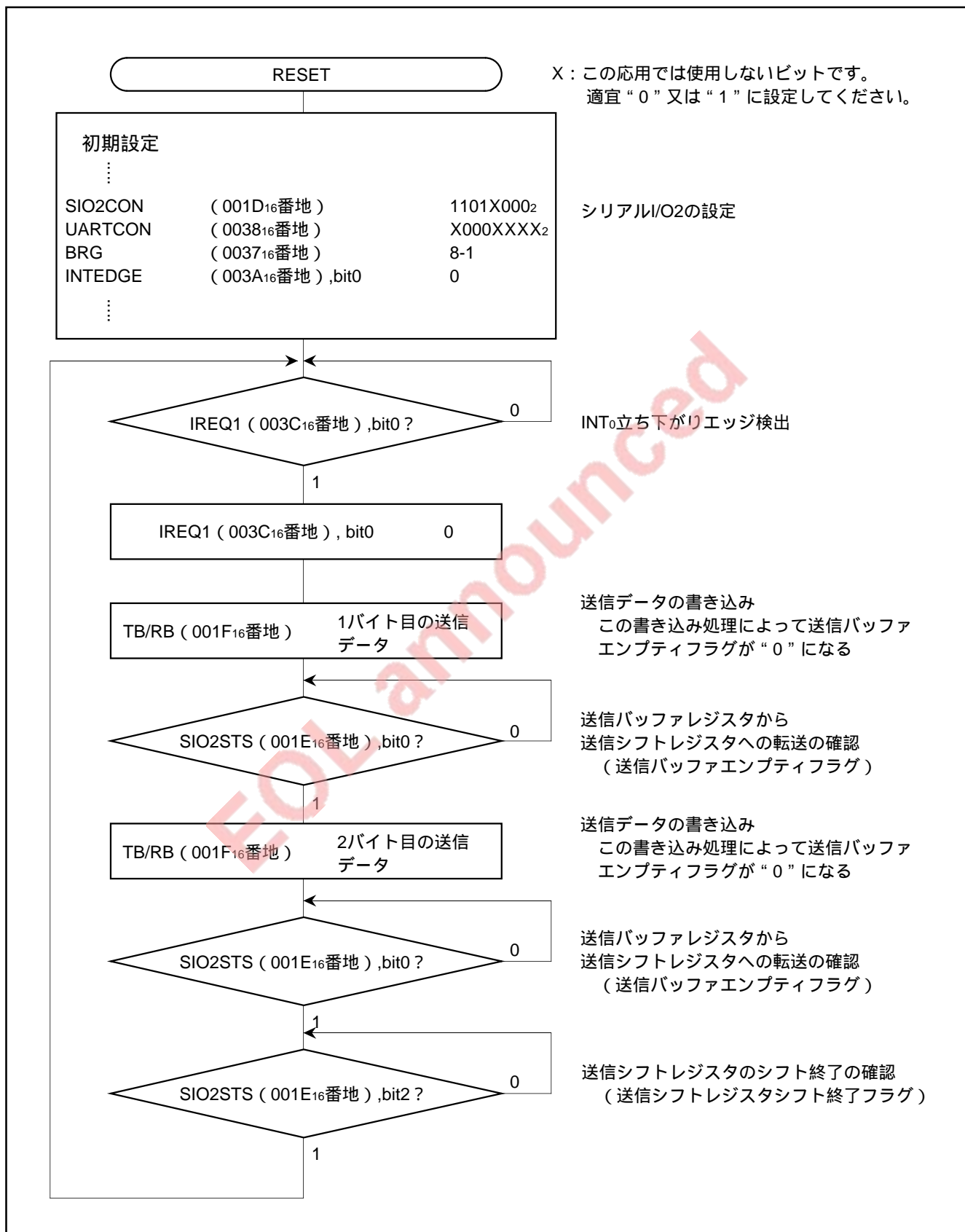


図2.3.39 送信側制御手順

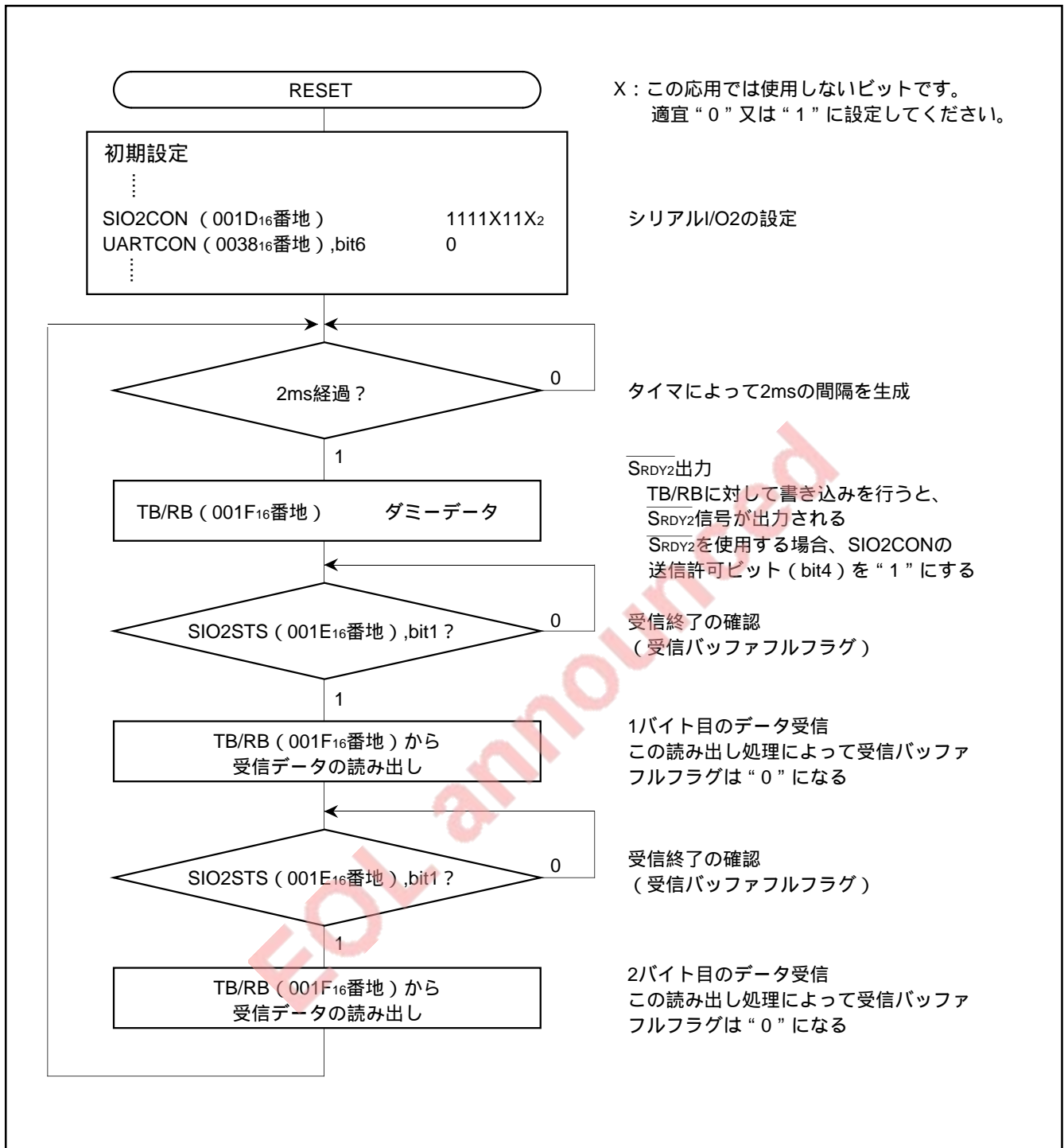


図2.3.40 受信側制御手順

(2) シリアルデータの出力(周辺ICの制御)

ポイント：クロック同期形シリアルI/Oを使用してシリアル送信制御を行います。
 通信制御は、ポートP77を周辺ICのCS端子に接続して行います。

接続図を図2.3.41、タイミング図を図2.3.42に示します。

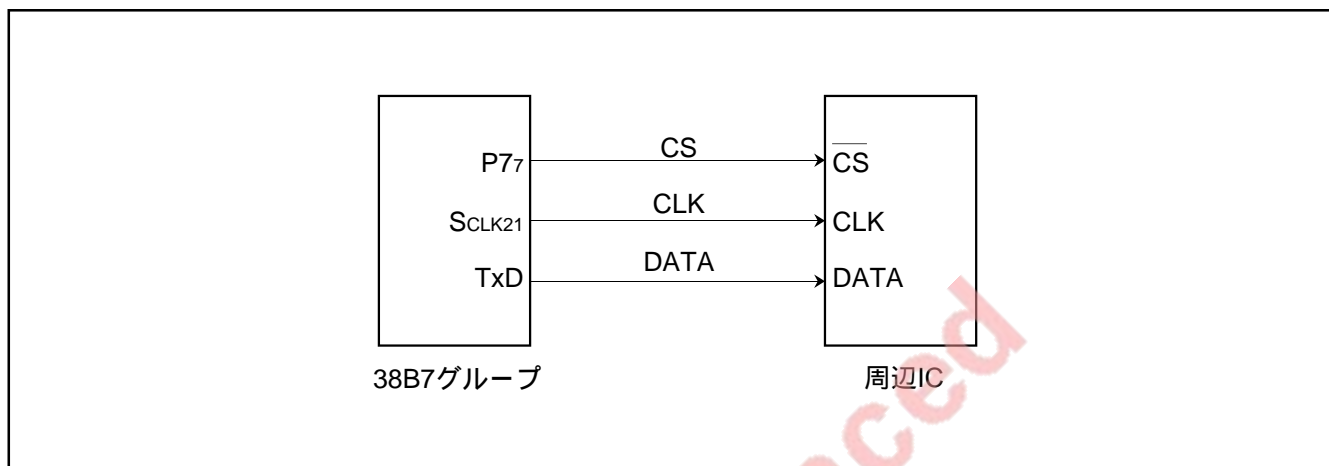


図2.3.41 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/O)を使用
 - ・同期クロック周波数：125kHz ($f(XIN) = 4\text{MHz}$ の32分周)
 - ・転送方向：LSBファースト
 - ・シリアルI/O2送信、及び受信割り込みは使用しない
 - ・ポートP77を周辺ICのCS端子(“ Lアクティブ ”)に接続して送信を制御 (ポートP77の出力レベルはソフトウェアで制御する)

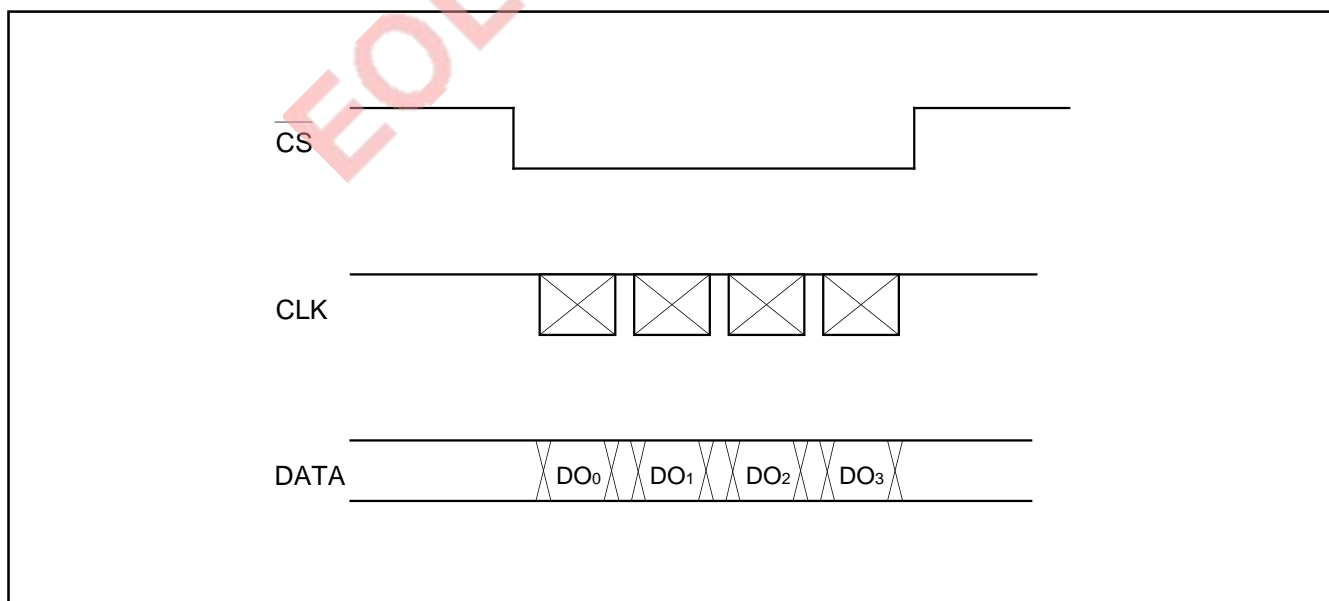


図2.3.42 タイミング図

図2.3.43に関連レジスタの設定、図2.3.44に送信データの設定を示します。

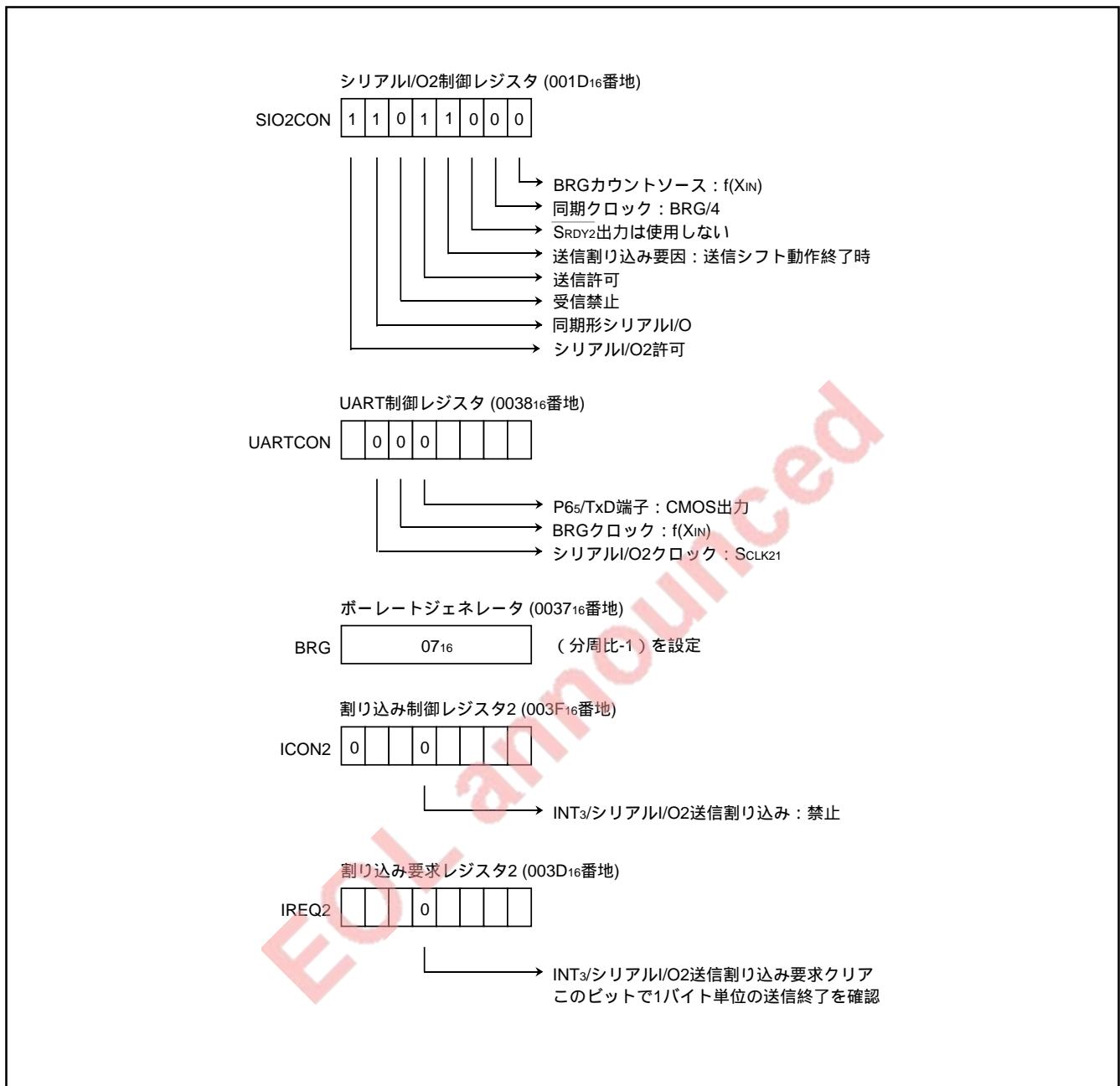


図2.3.43 関連レジスタの設定

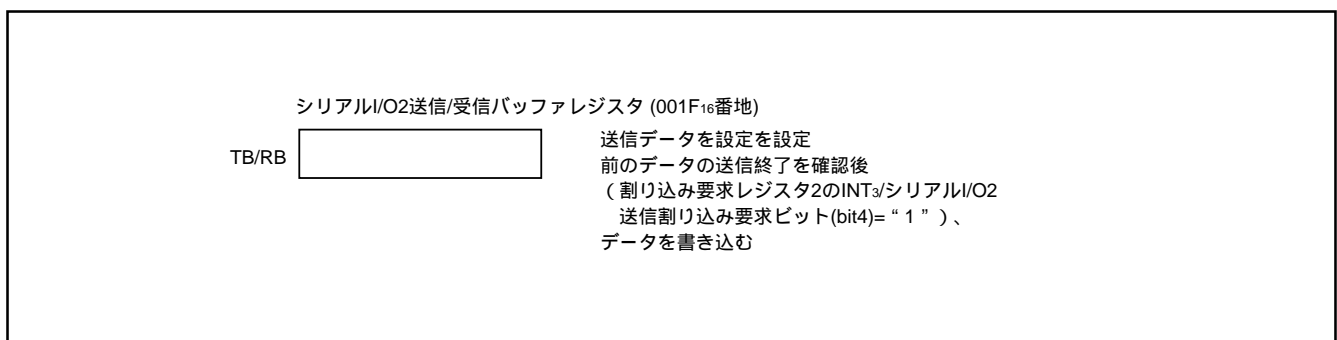


図2.3.44 送信データの設定

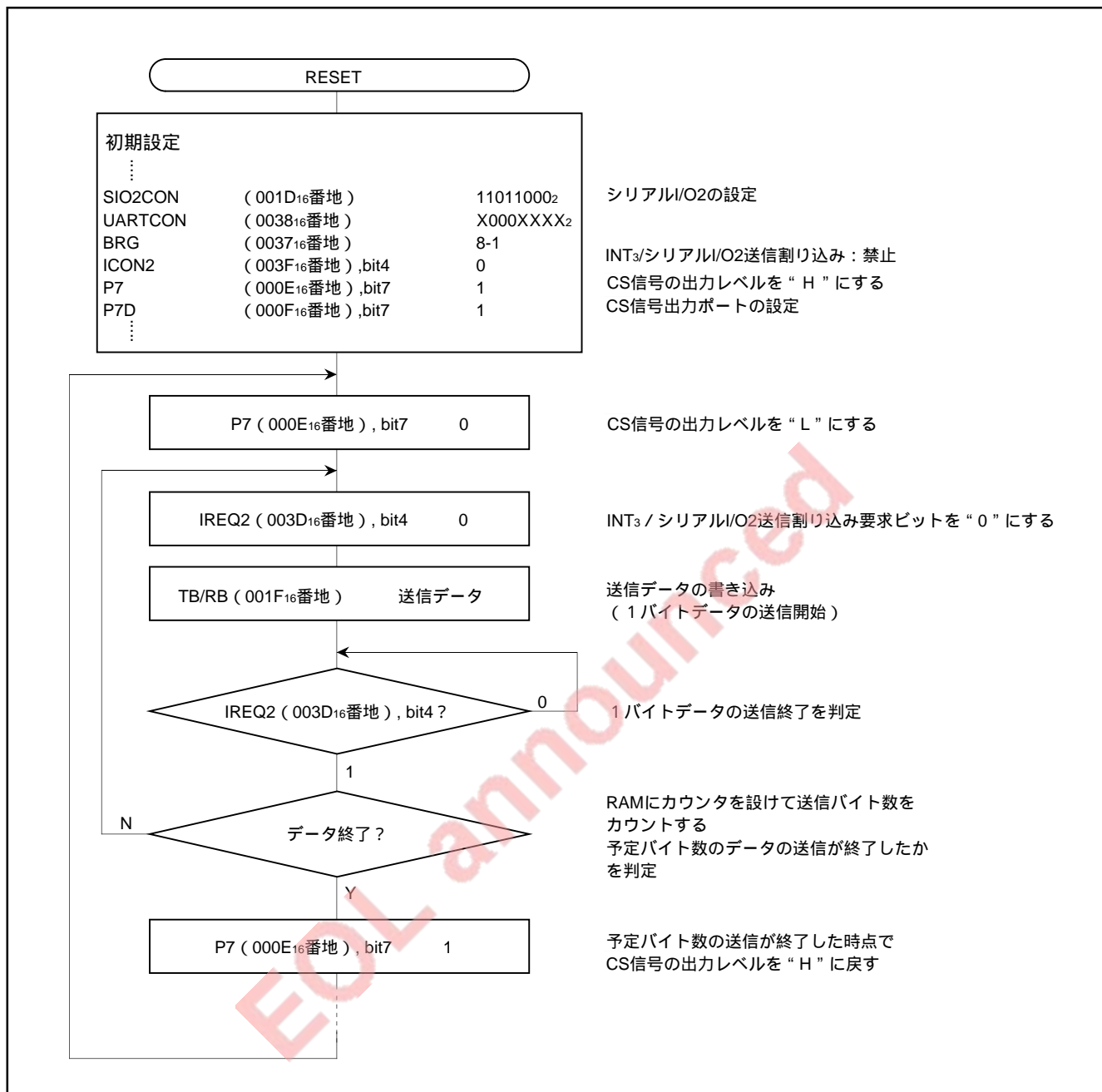


図2.3.45 制御手順

(3) 2つのマイコンにおける周期的なブロックデータ(決められたバイト数のデータ)の送受信

ポイント：クロック同期形シリアルI/Oを用いて通信を行う場合、同期クロックに含まれたノイズによって送信側と受信側でクロックとデータの関係がずれることがあり、常にこれを補正する必要があります。

これを「頭あわせ」と呼び、この例ではブロックの間隔を利用して頭あわせを行っています。

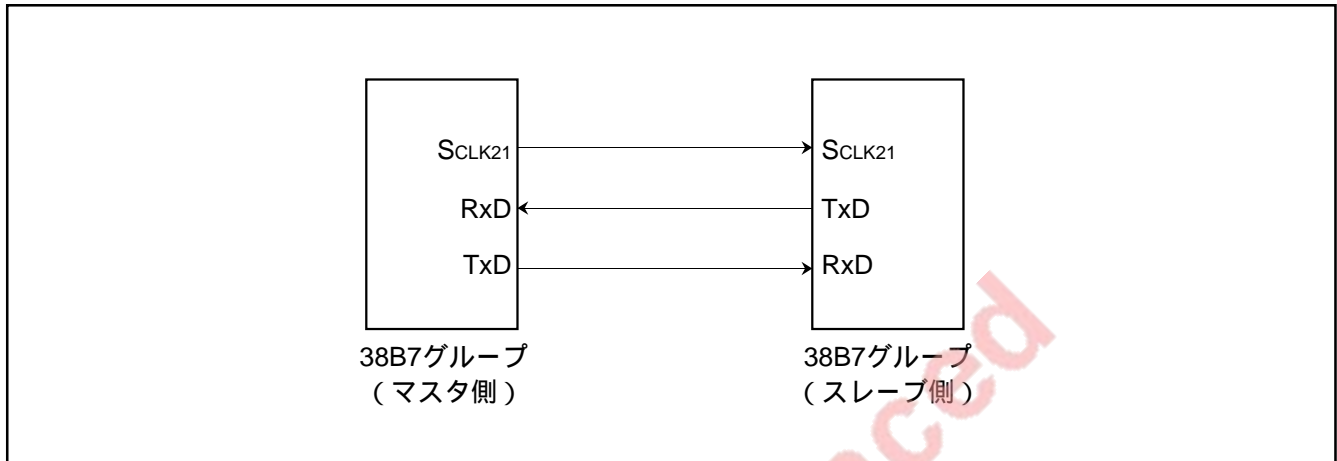


図2.3.46 接続図

- 仕様：
- ・同期クロック周波数：131kHz ($f(XIN) = 4.19\text{MHz}$ の32分周)
 - ・バイト周期：488 μs
 - ・送受信バイト数：各8バイト/ブロック
 - ・ブロックの転送周期：16ms、ブロックの転送期間：3.5ms、ブロック間隔：12.5ms
 - ・頭合わせ時間：8ms
 - ・転送方向：LSBファースト

仕様の制限事項

- (1) 「バイト周期-1バイトの転送時間」の時間内で受信データの取り込みと次の送信データの設定が行えること
(この例ではシリアルI/O2割り込み要求発生から次の同期クロック発生までの時間は431 μs)
- (2) 「頭合わせ時間 < ブロック時間」であること

通信は図2.3.47のタイミングで行います。スレーブ側では一定時間(頭合わせ時間)以上同期クロックが入力されない場合、次に入力されたクロックをブロックのはじめ(頭)として処理します。

1ブロック(8バイト)受信後、更にクロックが入力された場合、そのクロックは無視されます。

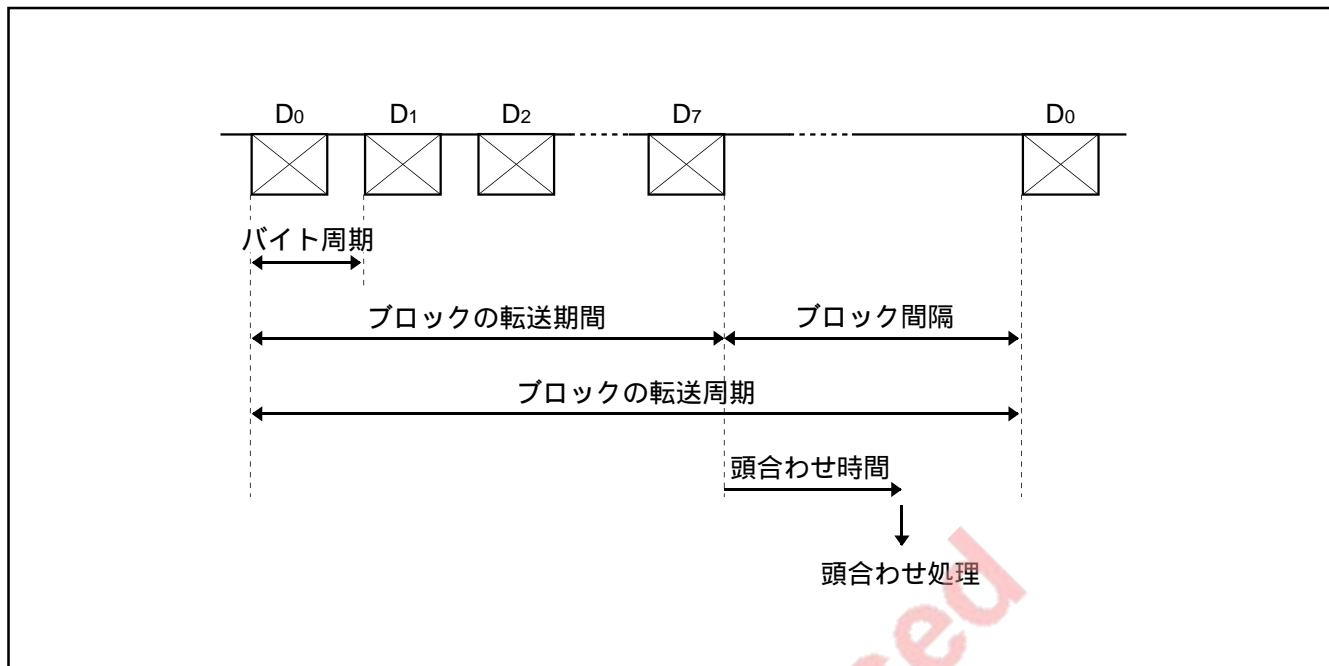


図2.3.47 タイミング図

EOL announced

図2.3.48にマスタ側、図2.3.49にスレーブ側の関連レジスタの設定を示します。

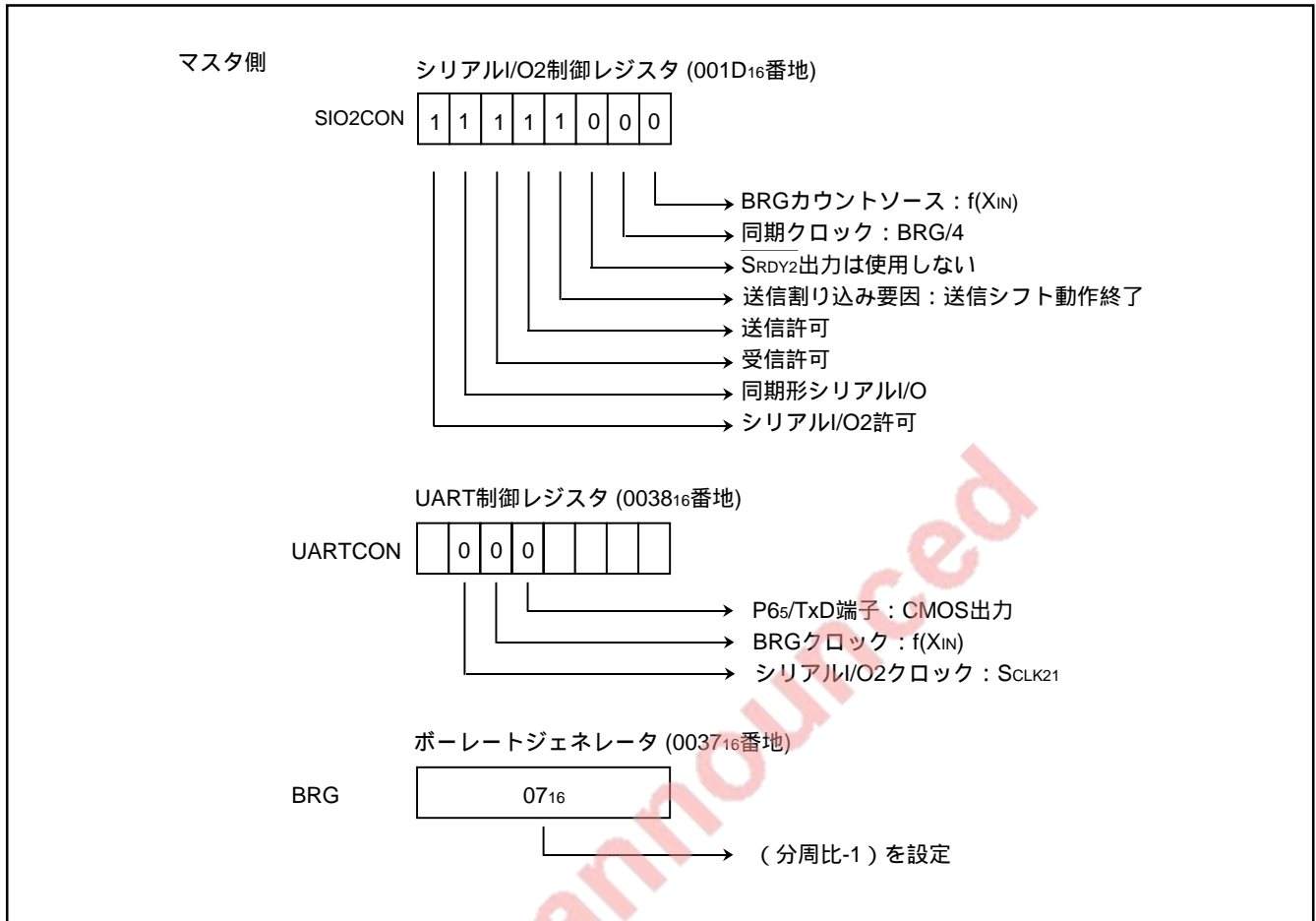


図2.3.48 マスタ側の関連レジスタの設定

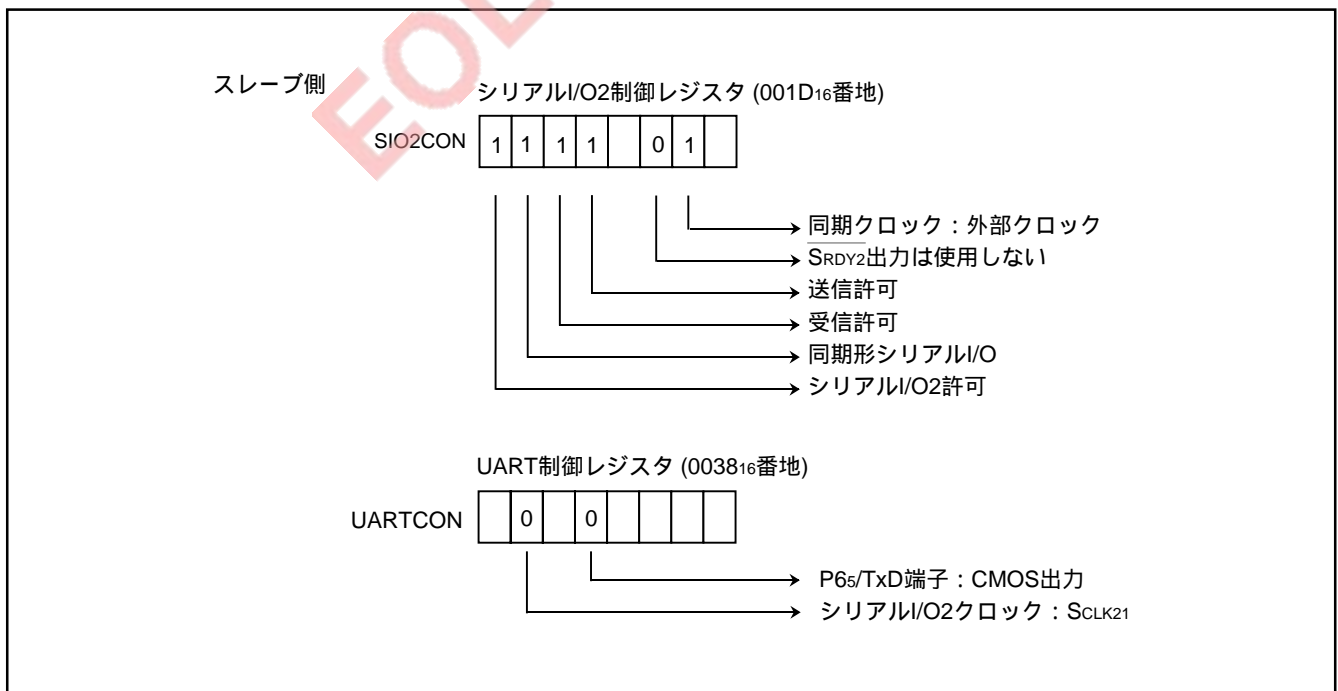


図2.3.49 スレーブ側の関連レジスタの設定

ソフトウェアによる制御：

マスタ側の制御

図2.3.48に示す関連レジスタの設定終了後、マスタ側はシリアルI/O2送信バッファレジスタに送信データを書き込むことによって1バイトデータの送受信を開始します。

したがって、図2.3.47に示すタイミングで通信を行うために送信データの書き込みはタイミングを測って行い、以下に示すいずれかの場合に受信データを読み出します。

- ・シリアルI/O2送信割り込み要求ビットが“1”の場合
- ・次の送信データをシリアルI/O2送信バッファレジスタに書き込む前

タイマ割り込みを用いた場合のマスタ側の制御手順を図2.3.50に示します。

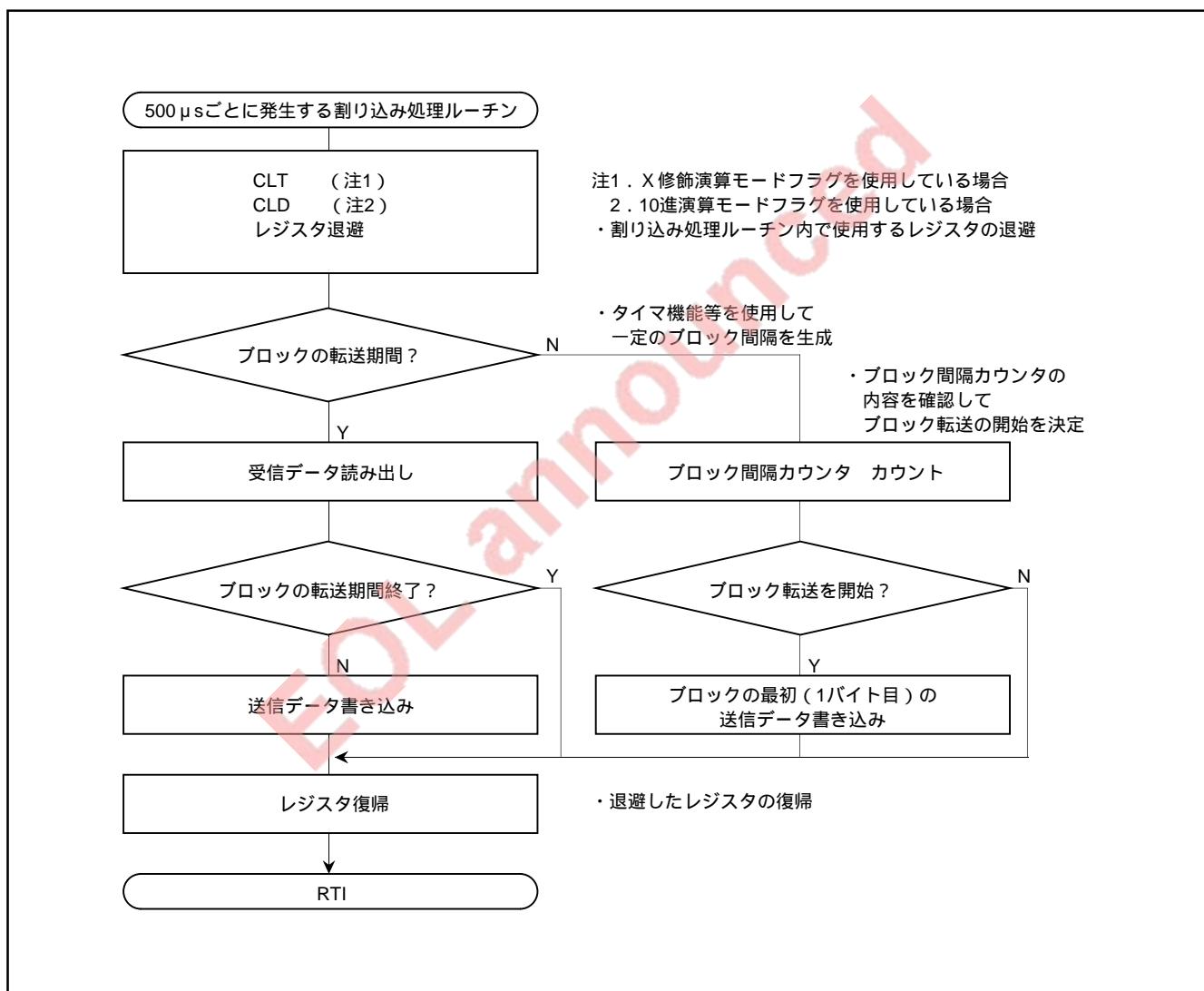


図2.3.50 マスタ側の制御手順

スレーブ側の制御

図2.3.49に示す関連レジスタの設定終了後、スレーブ側は常に同期クロックを受け付けられる状態になり、8ビットの同期クロックを受信するごとにシリアルI/O2受信割り込みが発生します。シリアルI/O2受信割り込み処理ルーチンでは受信データを読み出した後、次に送信するデータを送信バッファに書き込みます。

ただし、一定時間(頭合わせ時間)以上、シリアルI/O2受信割り込みが発生しない場合は、以下の処理が行われます。

1. ブロックの1バイト目の送信データを送信バッファレジスタに書き込む
2. 次に受信するデータをブロックの第1バイト目の受信データとして処理する

シリアルI/O2受信割り込みとタイマ割り込み(頭合わせ用)を用いたスレーブ側の制御手順を図2.3.51に示します。

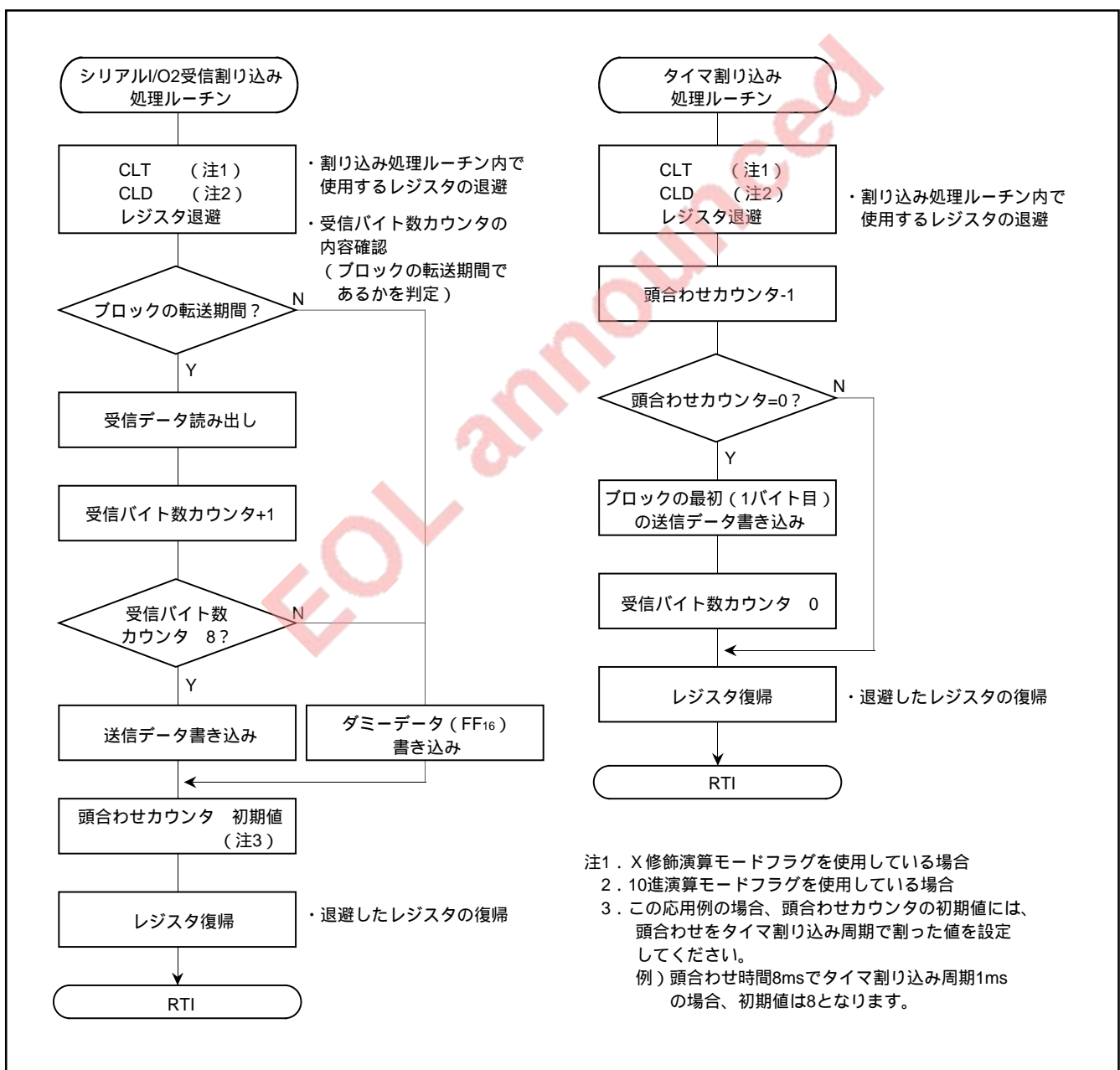


図2.3.51 スレーブ側の制御手順

(4) 非同期形シリアルI/O(UART)を使用した通信(送信 / 受信)

ポイント：非同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、ポートP76を使用します。

図2.3.52に接続図、図2.3.53にタイミング図を示します。

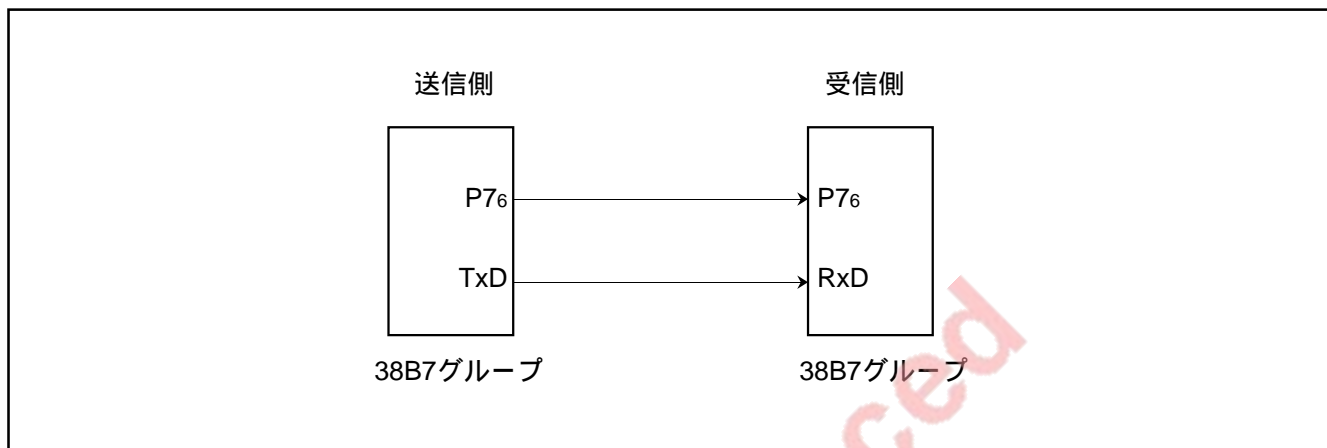


図2.3.52 接続図

- 仕様：
- ・シリアルI/O(UART)を使用
 - ・転送ビットレート：9600bps($f(X_{IN})=3.6864\text{MHz}$ の384分周)
 - ・データフォーマットは1ST-8DATA-2STとする
 - ・ポートP76を使用する通信制御
(ポートP76の出力レベルはソフトウェアで制御する)
 - ・10ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送

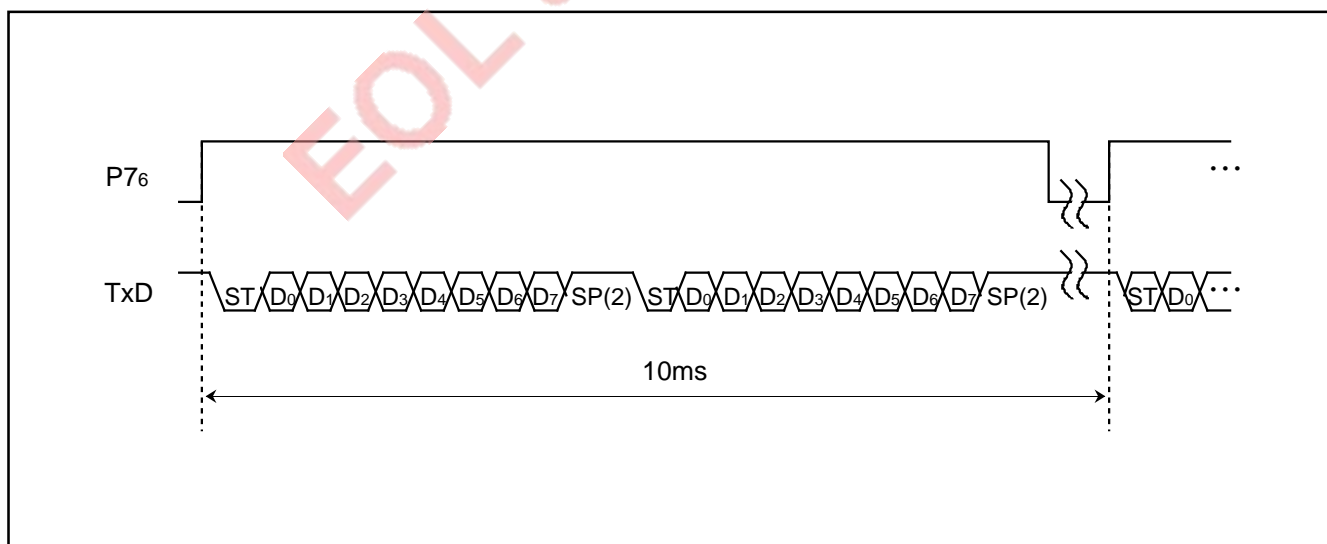


図2.3.53 タイミング図

表2.3.1にボーレートジェネレータの設定値と転送ビットレート選択例を示します。

表2.3.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

転送ビット レート(bps) (注1)	f(XIN)=3.6864MHz			f(XIN)=4MHz		
	BRGカウント ソース(注2)	BRG 設定値	実時間	BRGカウント ソース(注2)	BRG 設定値	実時間
600	f(XIN)/4	95(5F ₁₆)	600.00	f(XIN)/4	103(67 ₁₆)	600.96
1200	f(XIN)/4	47(2F ₁₆)	1200.00	f(XIN)/4	51(33 ₁₆)	1201.92
2400	f(XIN)/4	23(17 ₁₆)	2400.00	f(XIN)/4	25(19 ₁₆)	2403.85
4800	f(XIN)/4	11(0B ₁₆)	4800.00	f(XIN)/4	12(0C ₁₆)	4807.69
9600	f(XIN)/4	5(05 ₁₆)	9600.00	f(XIN)	25(19 ₁₆)	9615.38
19200	f(XIN)/4	2(02 ₁₆)	19200.00	f(XIN)	12(0C ₁₆)	19230.77
38400	f(XIN)	5(05 ₁₆)	38400.00	f(XIN)	5(05 ₁₆)	41666.67
76800	f(XIN)	2(02 ₁₆)	76800.00	f(XIN)	2(02 ₁₆)	83333.33
31250				f(XIN)	7(07 ₁₆)	31250.00
62500				f(XIN)	3(03 ₁₆)	62500.00

注1. 転送ビットレートの算出式

$$\text{転送ビットレート(bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O2制御レジスタのビット0 = " 0 "の場合、m = 1

シリアルI/O2制御レジスタのビット0 = " 1 "の場合、m = 4

2. BRGカウントソースはシリアルI/O2制御レジスタ(001D₁₆番地)のビット0で選択します。

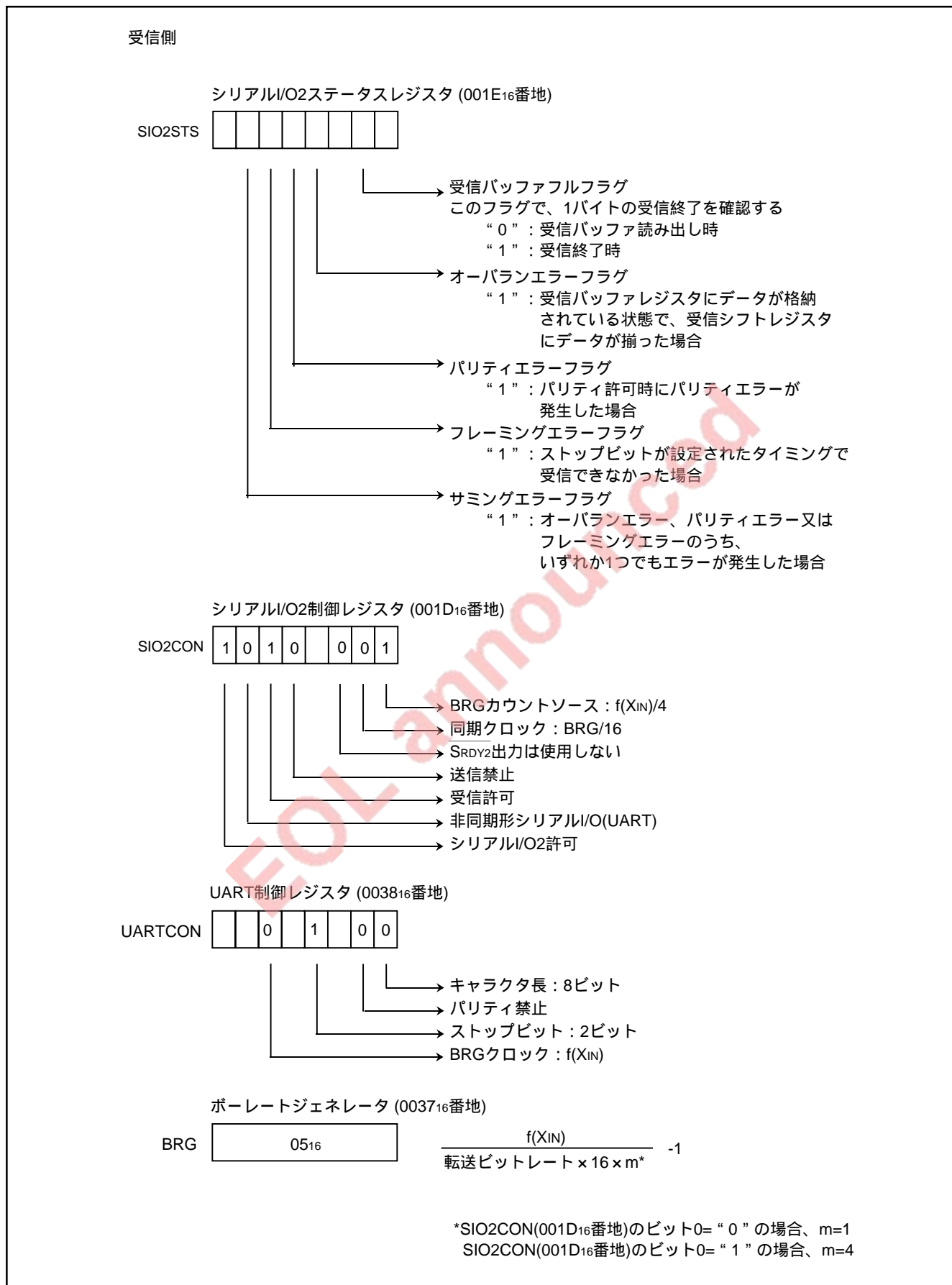


図2.3.55 受信側関連レジスタの設定

図2.3.56に送信側の制御手順、図2.3.57に受信側の制御手順を示します。

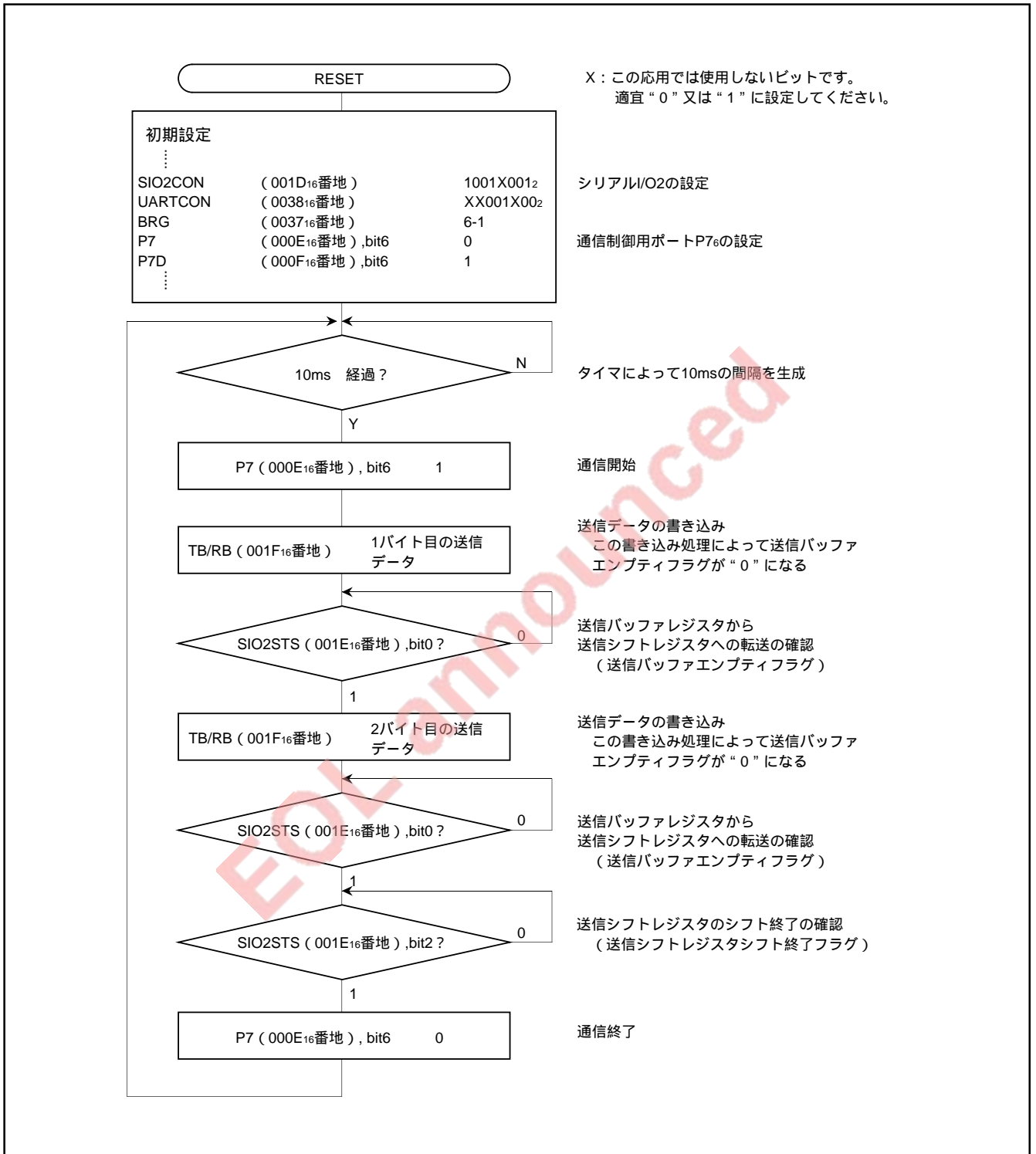


図2.3.56 送信側の制御手順

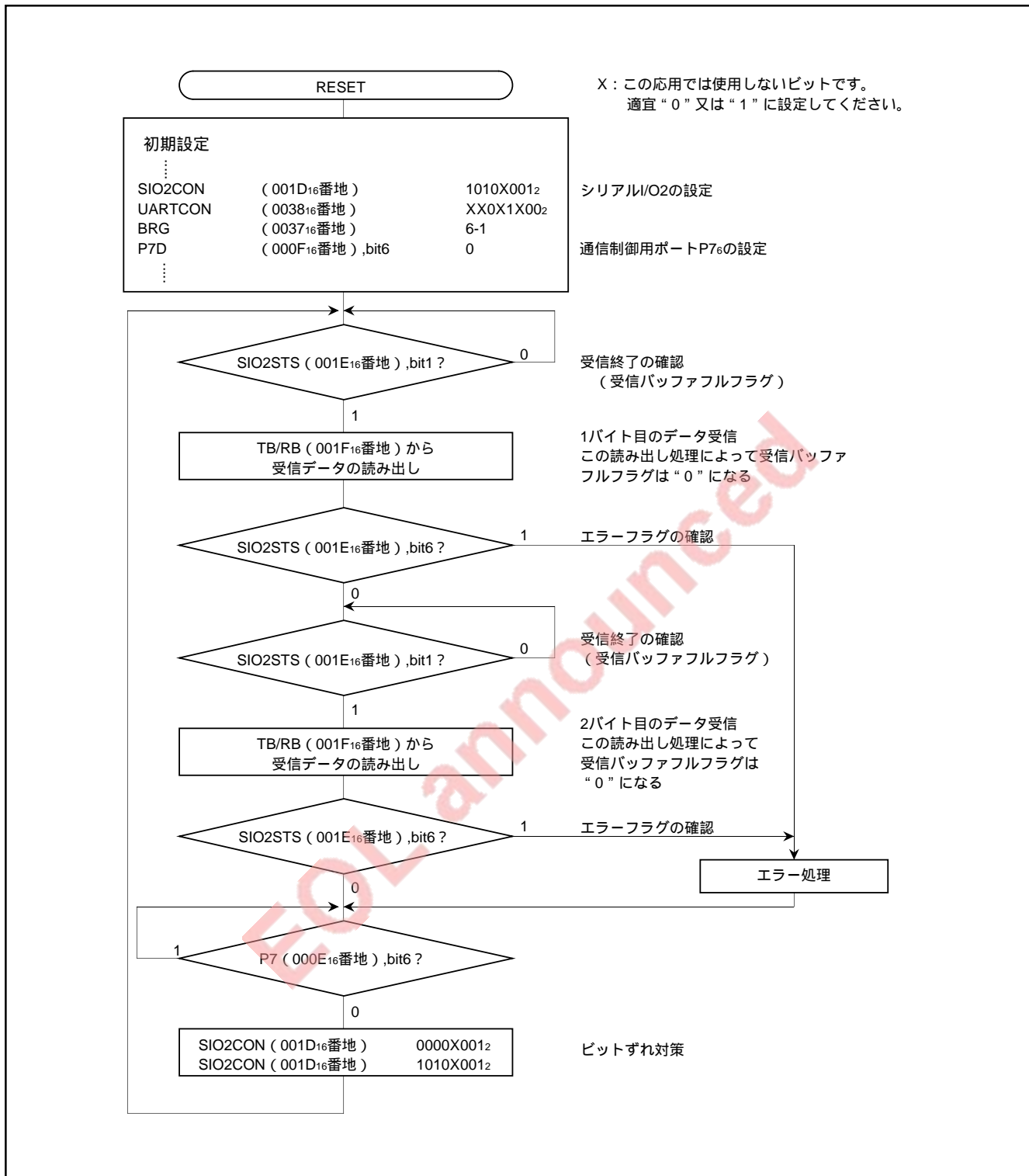


図2.3.57 受信側の制御手順

2.3.9 シリアルI/O3の接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.3.58に示します。

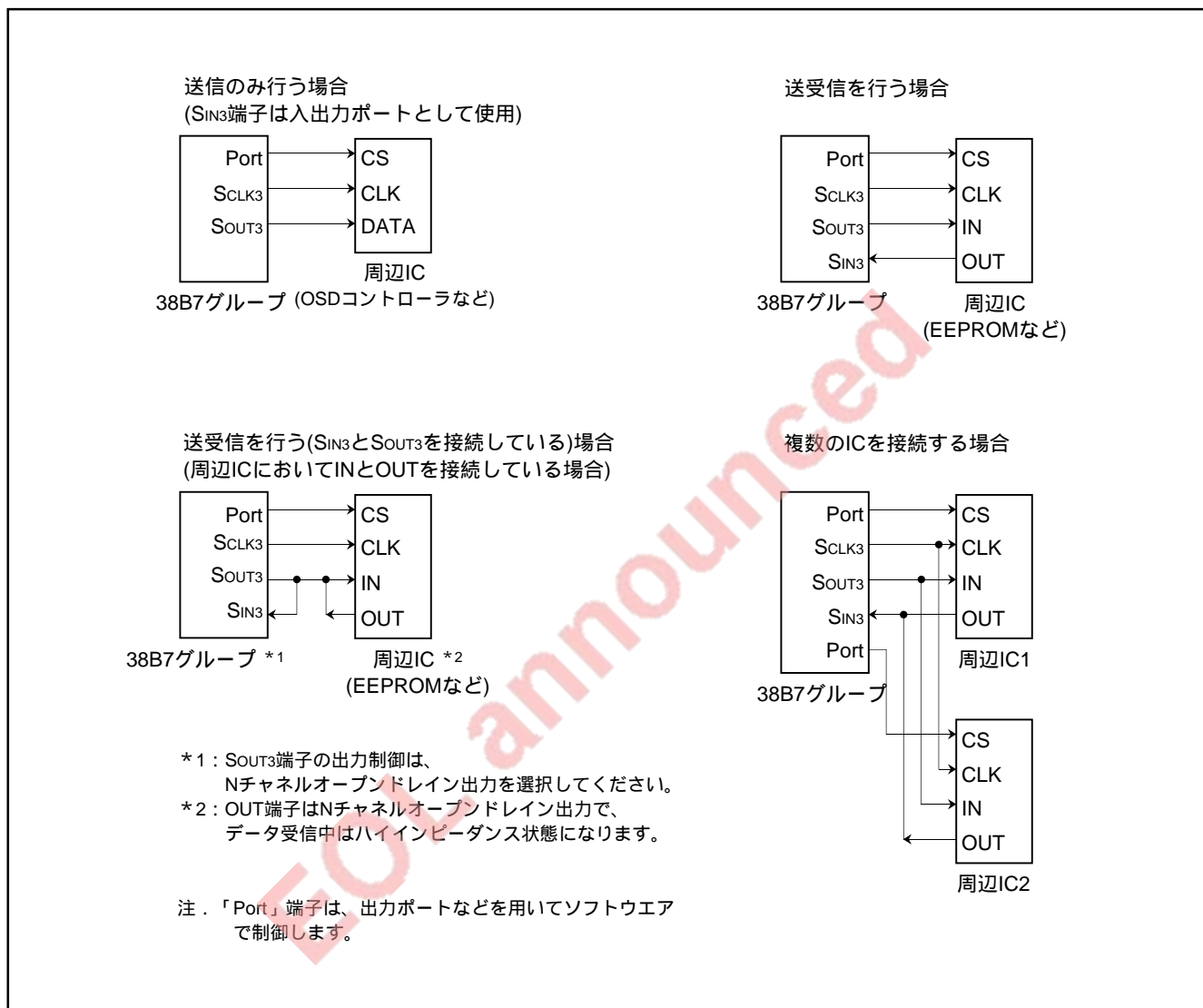


図2.3.58 シリアルI/O3の接続例(1)

(2) マイコンとの接続

他のマイコンとの接続例を図2.3.59に示します。

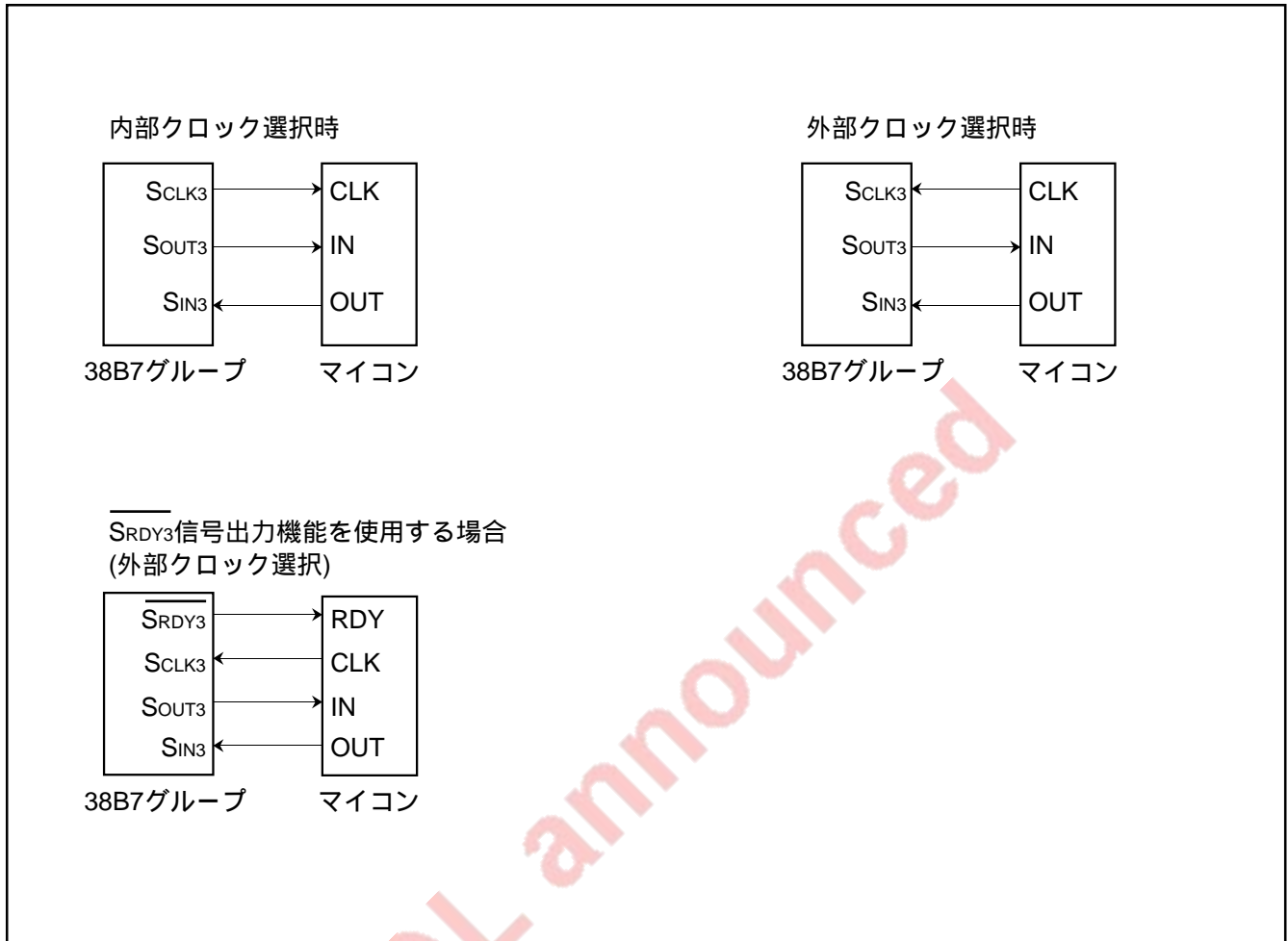


図2.3.59 シリアルI/O3の接続例(2)

2.3.10 シリアルI/O3モード

シリアルI/O3のモードを図2.3.60に示します。

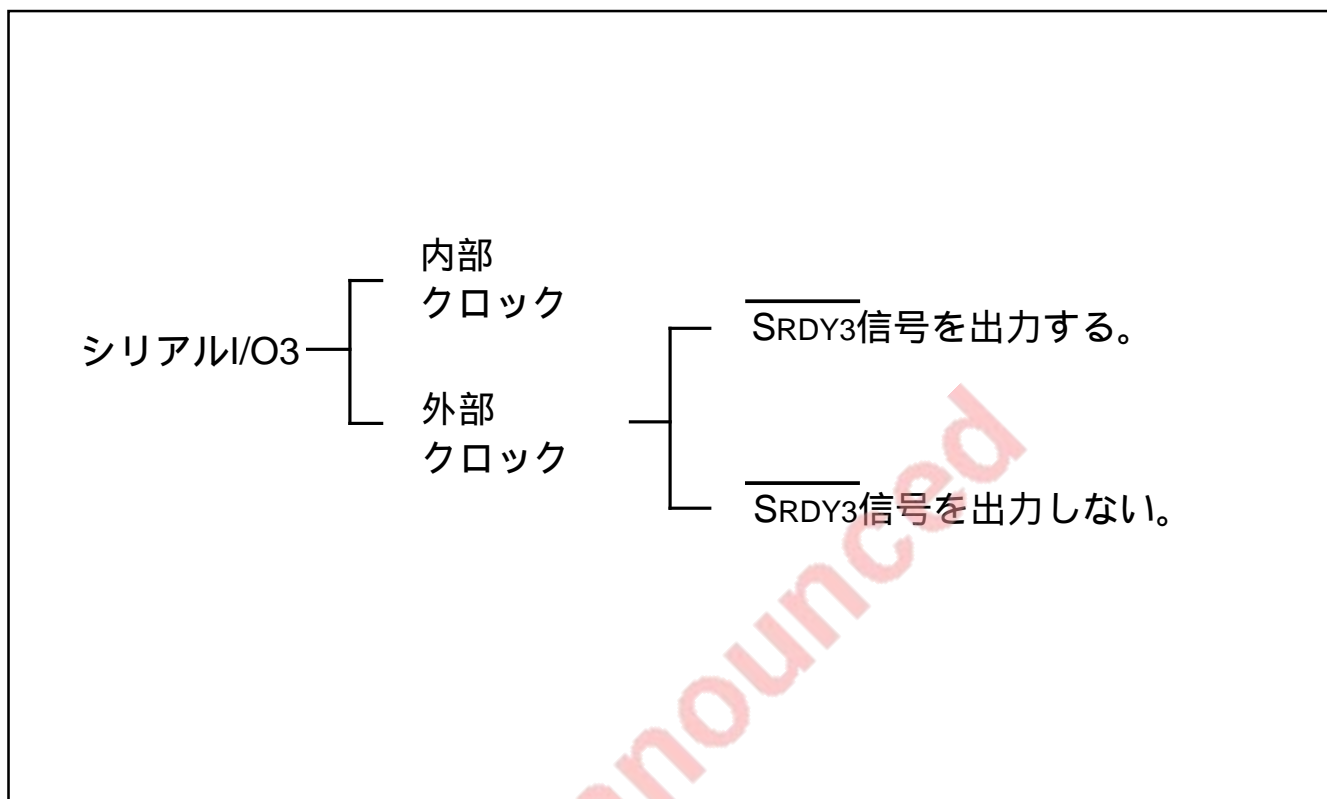


図2.3.60 シリアルI/O3のモード

EOL announced

2.3.11 シリアルI/O3の応用例

(1) シリアルデータの出力(周辺ICの制御)

ポイント：ポートを周辺ICのCS端子に接続し、シリアル送信を行います。

接続図を図2.3.61、タイミング図を図2.3.62に示します。

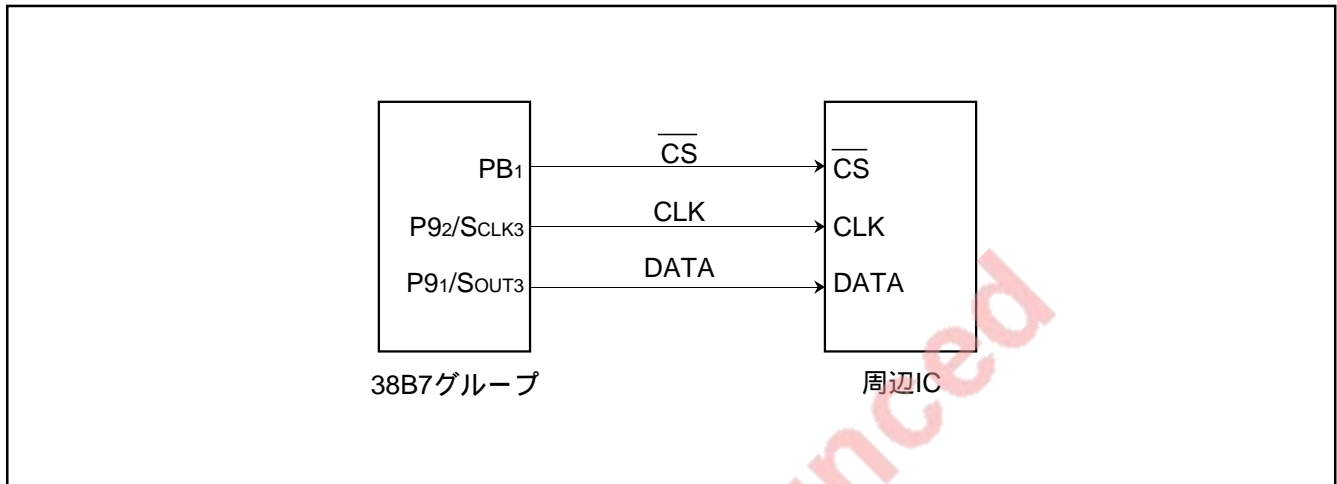


図2.3.61 接続図

仕様：・シリアルI/O3を使用

- ・同期クロック周波数：131 kHz ($f(XIN) = 4.19 \text{ MHz}$ の32分周)
- ・転送方向：LSBファースト
- ・シリアルI/O3割り込みは使用しない
- ・ポートPB1を周辺ICのCS端子("L"アクティブ)に接続して、送信を制御
(ポートPB1の出力レベルはソフトウェアで制御する)

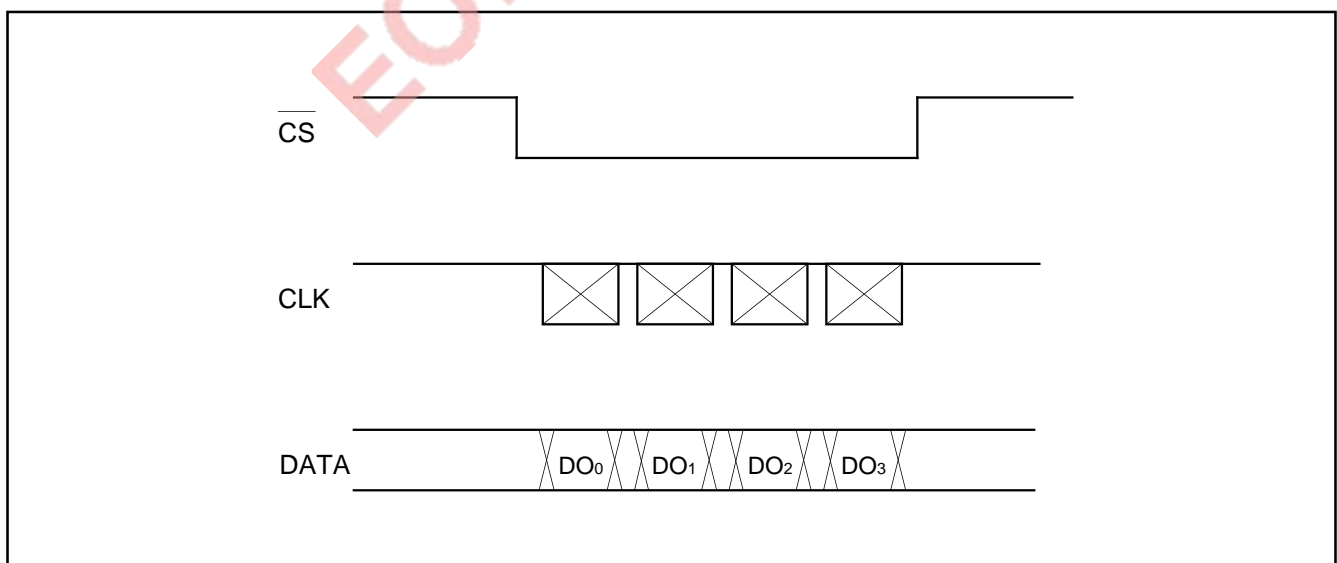


図2.3.62 タイミング図

制御手順：

シリアルI/O3は図2.3.65に示すレジスタ設定によって、シリアルI/O3レジスタにデータを書き込むだけで、1バイトの送信を行える状態になります。

したがって、CS信号を“L”にした後、送信データを1バイトごとにシリアルI/O3レジスタに書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻します。

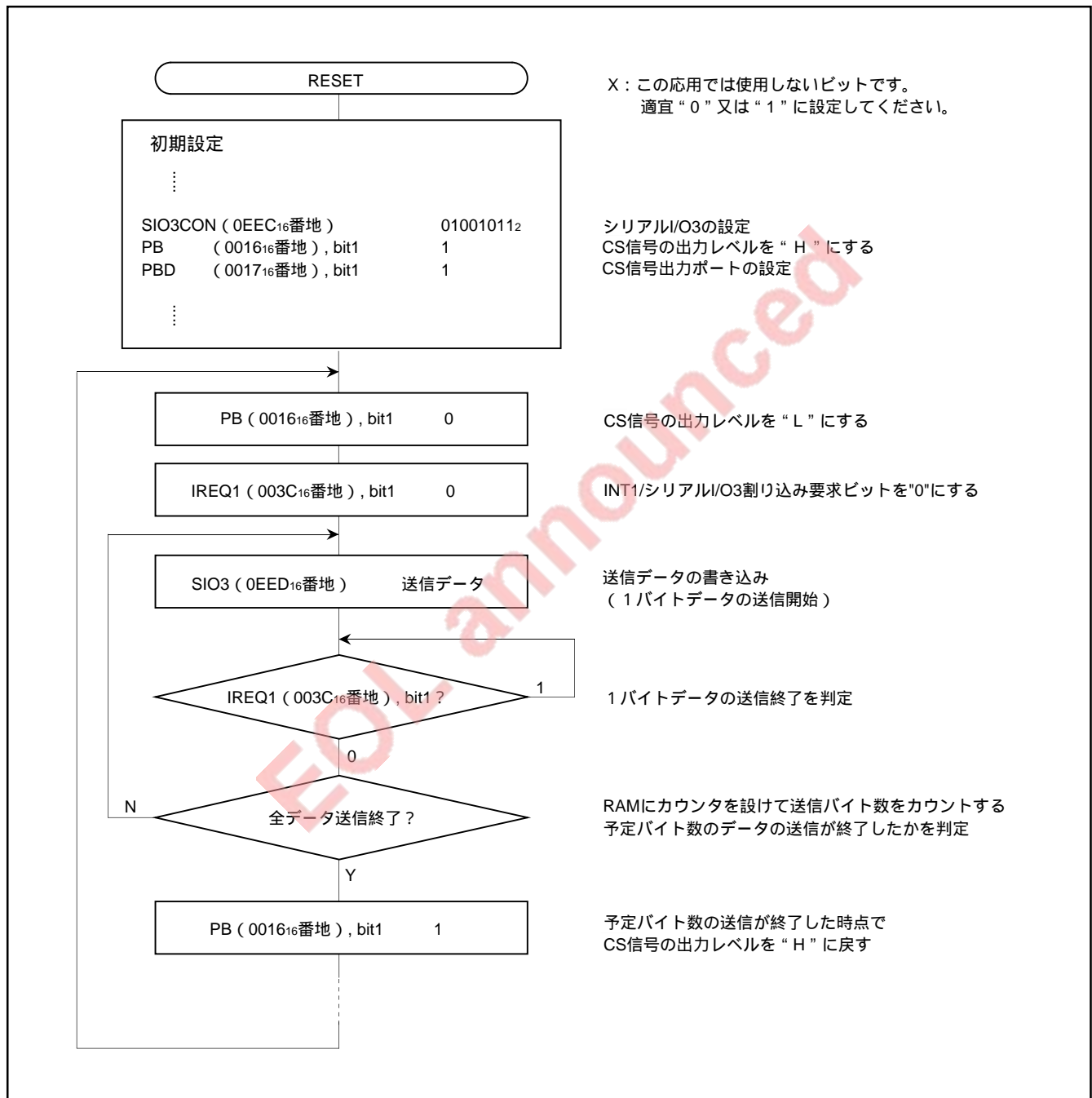


図2.3.65 制御手順

2.3.12 シリアルI/O1に関する注意事項

(1) クロック

内部クロック使用時は、同期クロックを内部クロックに設定してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

外部クロック使用時は、外部クロック入力端子に“H”を入力してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

(2) シリアルI/O1割り込みを使用する場合

割り込みを許可する前に、割り込み要求レジスタ1のビット3をソフトウェアで“0”にしてください。

(3) SOUT1端子の状態

シリアル非転送時のSOUT1端子の状態は、シリアルI/O1制御レジスタ2のSOUT1端子制御ビットで出力アクティブ、ハイインピーダンスのどちらかを選択できます。外部同期クロックを選択した場合、SOUT1端子をハイインピーダンスの状態に設定するためには、転送終了後シリアルI/O1クロック入力が“H”のときに、SOUT1端子制御ビットを“1”にしてください。

(4) シリアルI/O初期化ビット

転送中にシリアル転送を停止する場合は、シリアルI/O1制御レジスタ1のシリアルI/O初期化ビットを“0”にしてください。

シリアルI/O初期化ビットを“1”にすると、シリアルI/O1が許可されますが、各レジスタは初期化されません。各レジスタはプログラムにて設定してください。

(5) ハンドシェイク信号

SBUSY1入力信号

初期状態ではSBUSY1入力を“H”、 $\overline{\text{SBUSY1}}$ 入力を“L”にしてください。

外部同期クロックを選択した場合、SBUSY1入力及び $\overline{\text{SBUSY1}}$ 入力の変更は、シリアルI/O1クロック入力が“H”の状態で行ってください。

SRDY1入力・出力信号

内部同期クロック選択時、初期状態ではSRDY1入力を“L”、 $\overline{\text{SRDY1}}$ 入力を“H”にしてください。

(6) 8ビットシリアルI/Oモードにおいて

外部同期クロックを選択した場合、転送クロックがシリアルI/O1クロック端子に入力されている間、シリアルI/O1レジスタの値はシフトされ続けますので、外部で制御してください。

(7) 自動転送シリアルI/Oモードにおいて

自動転送間隔の設定

SBUSY1出力を使用して、かつシリアルI/O1制御レジスタ2のSBUSY1出力・SSTB1出力機能選択ビットを全転送データごとの信号として選択する場合には、最初のデータの送受信開始前と最終データの送受信終了後にも、転送間隔のサイクルが入ります。したがって、SBUSY1出力・SSTB1出力機能選択ビットの設定内容に関係なく、1バイトごとの転送間隔がシリアルI/O1制御レジスタ3の自動転送間隔設定ビットの設定内容より2サイクル長くなります。

SSTB1出力を使用する場合には、SBUSY1出力・SSTB1出力機能選択ビットの設定内容に関係なく、1バイトごとの転送間隔がシリアルI/O1制御レジスタ3の自動転送間隔設定ビットの設定内容より2サイクル長くなります。

さらに、SBUSY1出力とSSTB1出力を組み合わせ、全転送データごとの信号として使用する場合には、最終データの送受信終了後の転送間隔も、自動転送間隔設定ビットの設定内容より2サイクル長くなります。

外部クロックを選択している場合、自動転送間隔設定は無効となります。

1バイトデータ転送ごとの自動転送間隔は以下のように設定してください。

(1)FLDコントローラ未使用時

1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

(2)FLDコントローラ使用時

(a)FLD階調表示未使用時

1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの17サイクル以上空けてください。

(b)FLD階調表示使用時

1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの27サイクル以上空けてください。

以下にシリアルI/O1制御レジスタ3(001C16番地)の設定例を示します。

表2.3.2 シリアルI/O1制御レジスタ3 SIO1CON3(001C16番地)の設定例(内部クロック選択時)

シリアルI/O1制御レジスタ3 SIO1CON3 (001C16番地)	FLDコントローラ未使用時	FLD階調表示モード未使用時	FLD階調表示モード使用時
内部同期クロック選択ビット	自動転送間隔設定ビット		
000 : f(XIN)/4	0000: 転送クロックの2サイクル	使用可	使用禁止
	0001: 転送クロックの3サイクル	使用可	使用禁止
	0010: 転送クロックの4サイクル	使用可	使用禁止
	0011: 転送クロックの5サイクル	使用可	使用可
001 : f(XIN)/8	0000: 転送クロックの2サイクル	使用可	使用禁止
	0001: 転送クロックの3サイクル	使用可	使用可
010 : f(XIN)/16	0000: 転送クロックの2サイクル	使用可	使用可

表2.3.3 シリアルI/O1制御レジスタ3 SIO1CON3(001C16番地)の設定例(外部クロック選択時)

シリアルI/O1制御レジスタ3 SIO1CON3 (001C16番地)	FLDコントローラ未使用時	FLD階調表示モード未使用時	FLD階調表示モード使用時
自動転送間隔設定ビット			
転送クロックのnサイクル	転送クロックXnサイクル 内部システム5サイクル	転送クロックXnサイクル 内部システム17サイクル	転送クロックXnサイクル 内部システム27サイクル

シリアルI/O1転送カウンタの設定について

シリアルI/O1転送カウンタには、転送データのバイト数から1減算した値を書き込んでください。外部クロック選択時は、シリアルI/O1レジスタ / 転送カウンタに値を書き込んだ後、内部システムクロックの5サイクル以上のウェイト時間をあけた後、シリアルI/O1クロック端子に転送クロックを入力してください。

シリアルI/O初期化ビットについて

動作中にシリアルI/O初期化ビットに“0”を書き込むと、シリアルI/O自動転送割り込み要求が発生します。プログラムで割り込み許可ビットを禁止にするなど、適切な処理を行ってください。

2.3.13 シリアルI/O2に関する注意事項

(1) 送信動作の停止

同期形 / 非同期形の切り替えが可能なシリアルI/O2では、以下の場合、送信許可ビットを“0”(送信禁止)にしてください。

- ・クロック同期形シリアルI/Oモードのデータ送信時、送信動作を停止する場合
- ・UARTモードのデータ送信時、送信動作を停止する場合
- ・UARTモードのデータ送受信時、送信動作だけを停止する場合

<理由>

シリアルI/O2許可ビットだけを“0”(シリアルI/O2禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK21、SCLK22、 $\bar{S}RD\bar{Y}2$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O2許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2) クロック同期形シリアルI/Oモードの送受信動作の停止

同期形 / 非同期形の切り替えが可能なシリアルI/O2では、以下の場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

- ・クロック同期形シリアルI/Oモードのデータ送受信時、送信動作及び受信動作を停止する場合
(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため送信許可ビットだけを“0”(送信禁止)にしても、送信回路は停止しない構成になっています。また、(1)と同様に、シリアルI/O2許可ビットを“0”(シリアルI/O2禁止)にしても送信回路を初期化できません。

(3) 受信動作の停止

同期形 / 非同期形の切り替えが可能なシリアルI/O2では、以下の場合、受信許可ビットを“0”(受信禁止)又はシリアルI/O2許可ビットを“0”(シリアルI/O2禁止)にしてください。

- ・クロック同期形シリアルI/Oモードのデータ受信時、受信動作を停止する場合
- また、以下の場合受信許可ビットを“0”(受信禁止)にしてください。
- ・UARTモードのデータ受信時、受信動作を停止する場合
 - ・UARTモードのデータ送受信時、受信動作だけを停止する場合

(4) シリアルI/O2制御レジスタの再設定

シリアルI/O2制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

送信許可ビット(TE)、受信許可ビット(RE)の両方を“0”にする。

シリアルI/O2制御レジスタのビット0~ビット3、及びビット6を設定する。

送信許可ビット(TE)、受信許可ビット(RE)の両方を“1”にする。

LDM命令で
同時に設定可

(5) 受信側の $\overline{\text{SRDY}}_2$ 出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}_2$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}_2$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(6) 送信シフトレジスタ終了フラグを使用したデータ送信制御

送信シフトレジスタ終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信する場合、この遅れに注意してください。

(7) 外部クロック使用時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、シリアルI/O2クロック入力が“H”の状態では送信許可ビットを“1”(送信許可)にしてください。また、送信バッファレジスタへの書き込みもシリアルI/O2クロック入力“H”の状態で行ってください。

(8) シリアルI/O2送信割り込み使用時の設定手順

シリアルI/O2送信割り込みを使用する場合、設定に同期した割り込み発生が不要であれば、以下の手順で設定してください。

- ①シリアルI/O2送信割り込み許可ビット(割り込み制御レジスタ2(3F₁₆番地)のビット4)を“0”(禁止)にする。
- ②送信許可ビット(シリアルI/O2制御レジスタ(1D₁₆番地)のビット4)を“1”にする。
- ③一命令以上においてからシリアルI/O2送信割り込み要求ビット(割り込み要求レジスタ2(3D₁₆番地)のビット4)を“0”(割り込み要求なし)にする。
- ④シリアルI/O2送信割り込み許可ビットを“1”(許可)にする。

(9) TxD端子の使用

UART制御レジスタのP6₅/TxDPチャンネル出力禁止ビットは、通常ポートで使用時及びTxD端子として使用時のどちらも有効です。ただし、P6₅/TxD端子をNチャンネルオープンドレイン出力で使用する場合も、V_{CC}+0.3V以上の電圧を印加することはできません。

また、シリアルI/O2では、送信終了後、TxD端子が最終ビットをラッチし、出力し続けます。

(10) 送信データの書き込み

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、送信バッファレジスタへ送信データを書き込んでください。

2.4 FLDコントローラ

本節ではFLDコントローラに関するレジスタの設定方法、注意事項などを説明します。

2.4.1 メモリ配置図

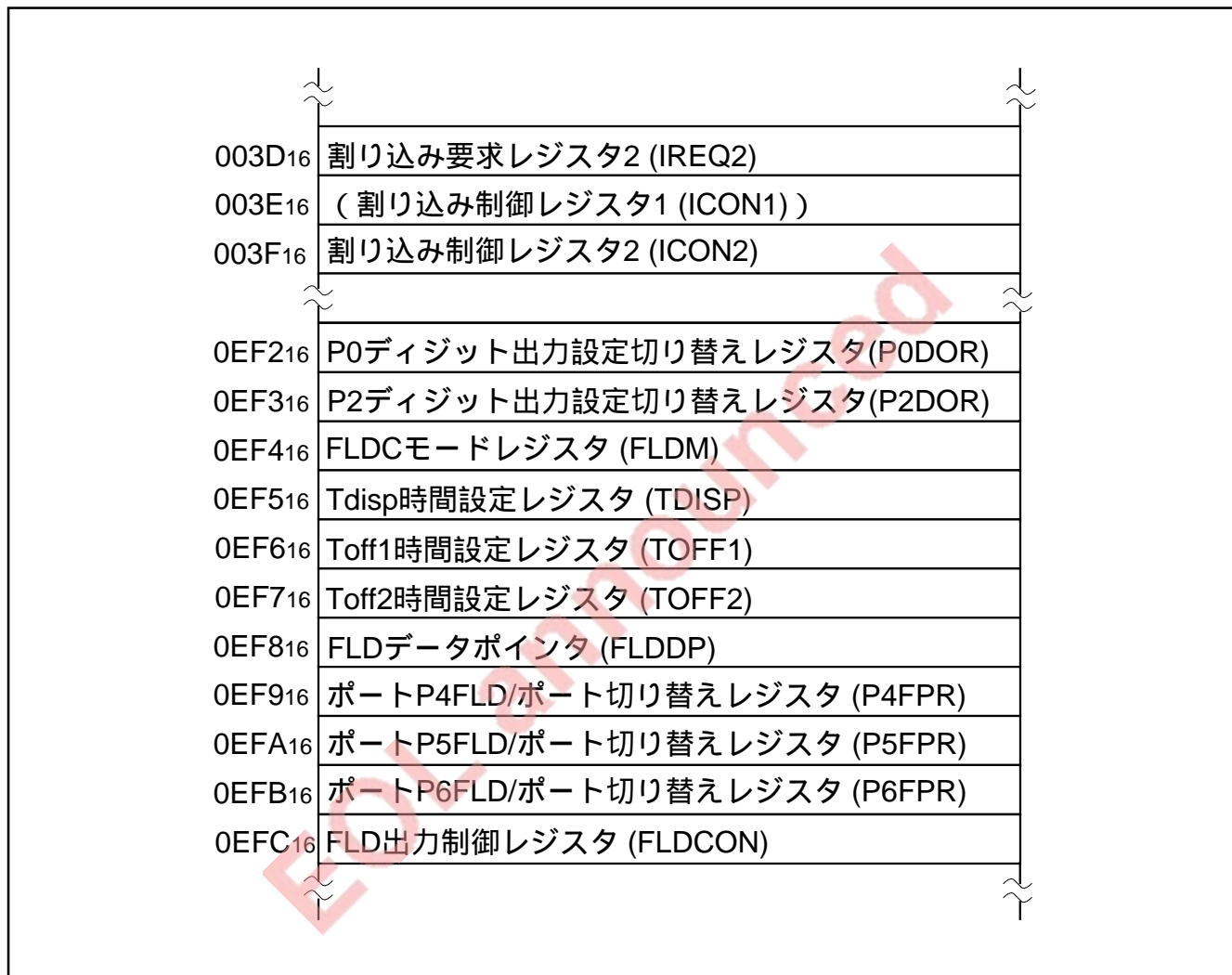


図2.4.1 FLDコントローラ関連レジスタのメモリ配置

2.4.2 関連レジスタ

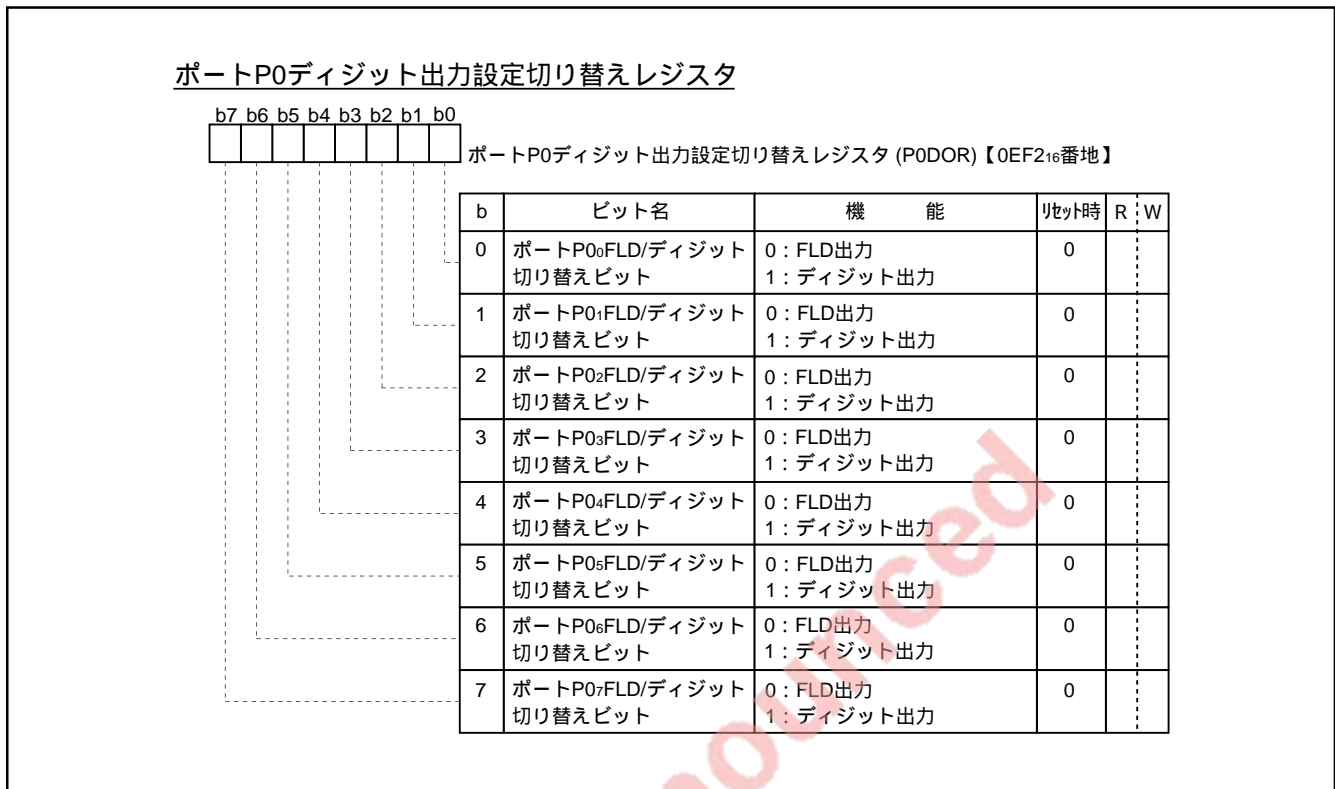


図2.4.2 ポートP0ディジット出力設定切り替えレジスタの構成

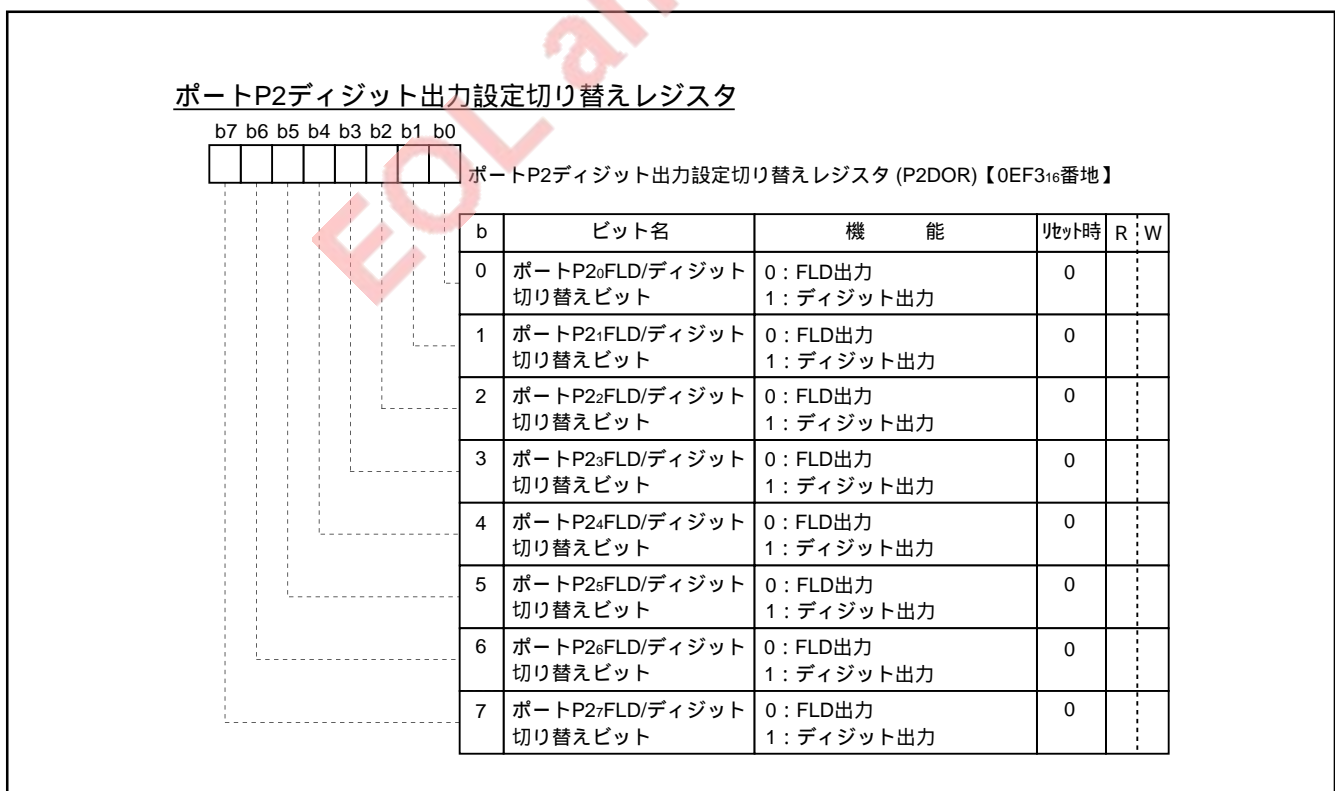


図2.4.3 ポートP2ディジット出力設定切り替えレジスタの構成

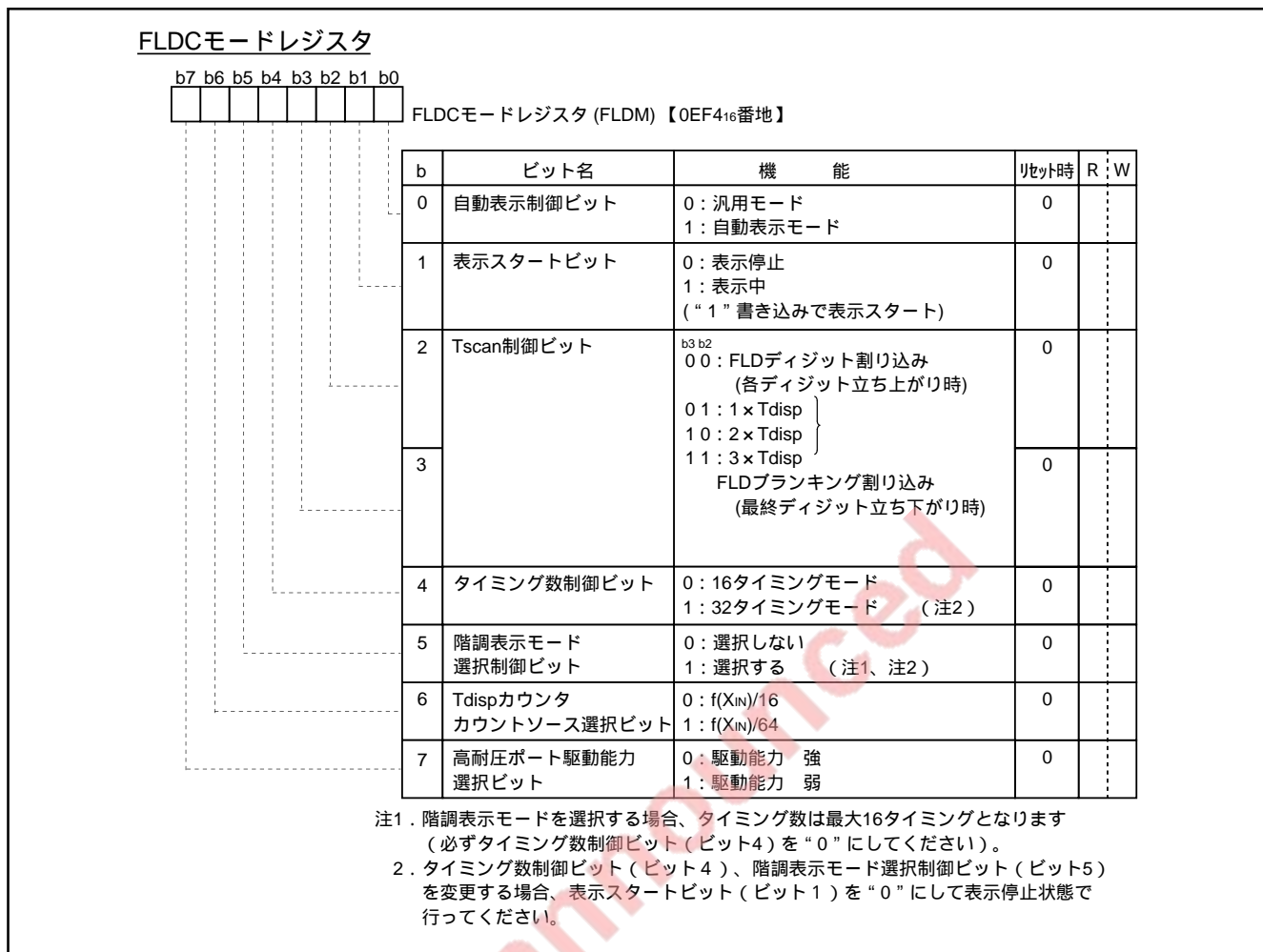


図2.4.4 FLDCモードレジスタの構成

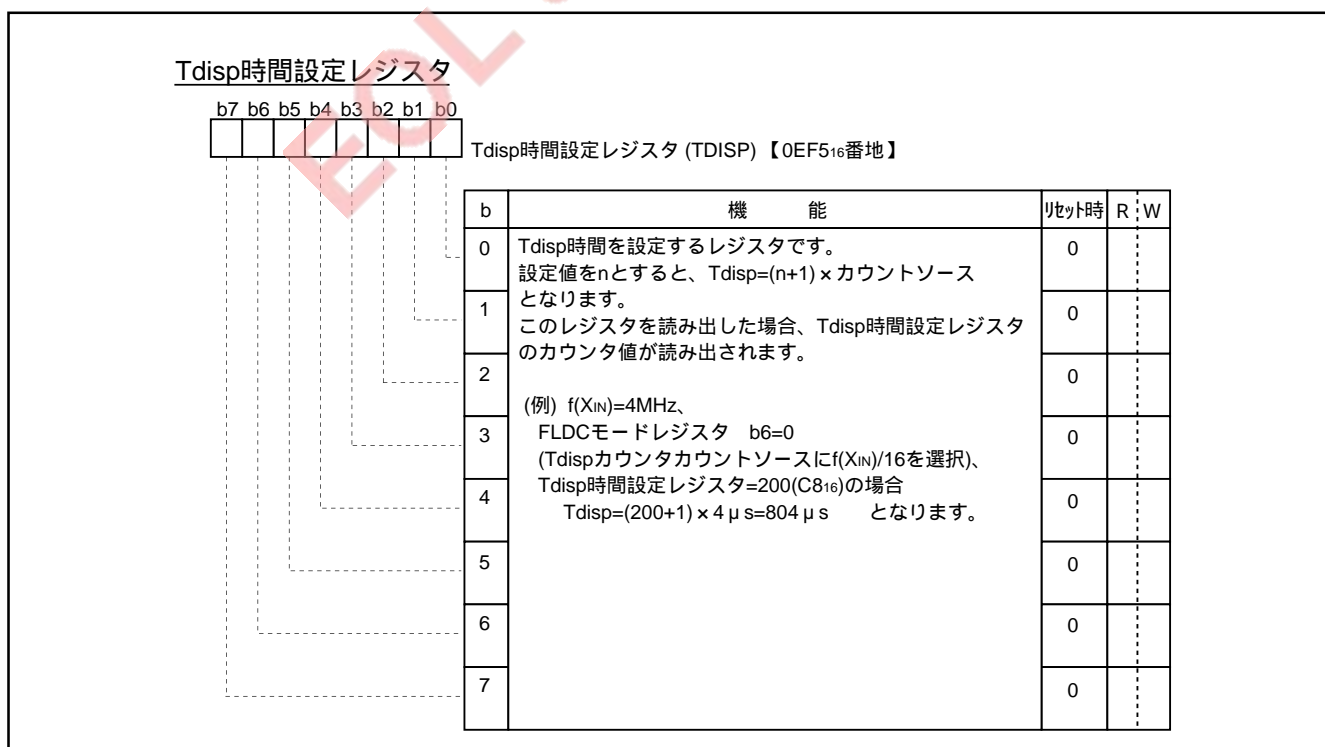


図2.4.5 Tdisp時間設定レジスタの構成

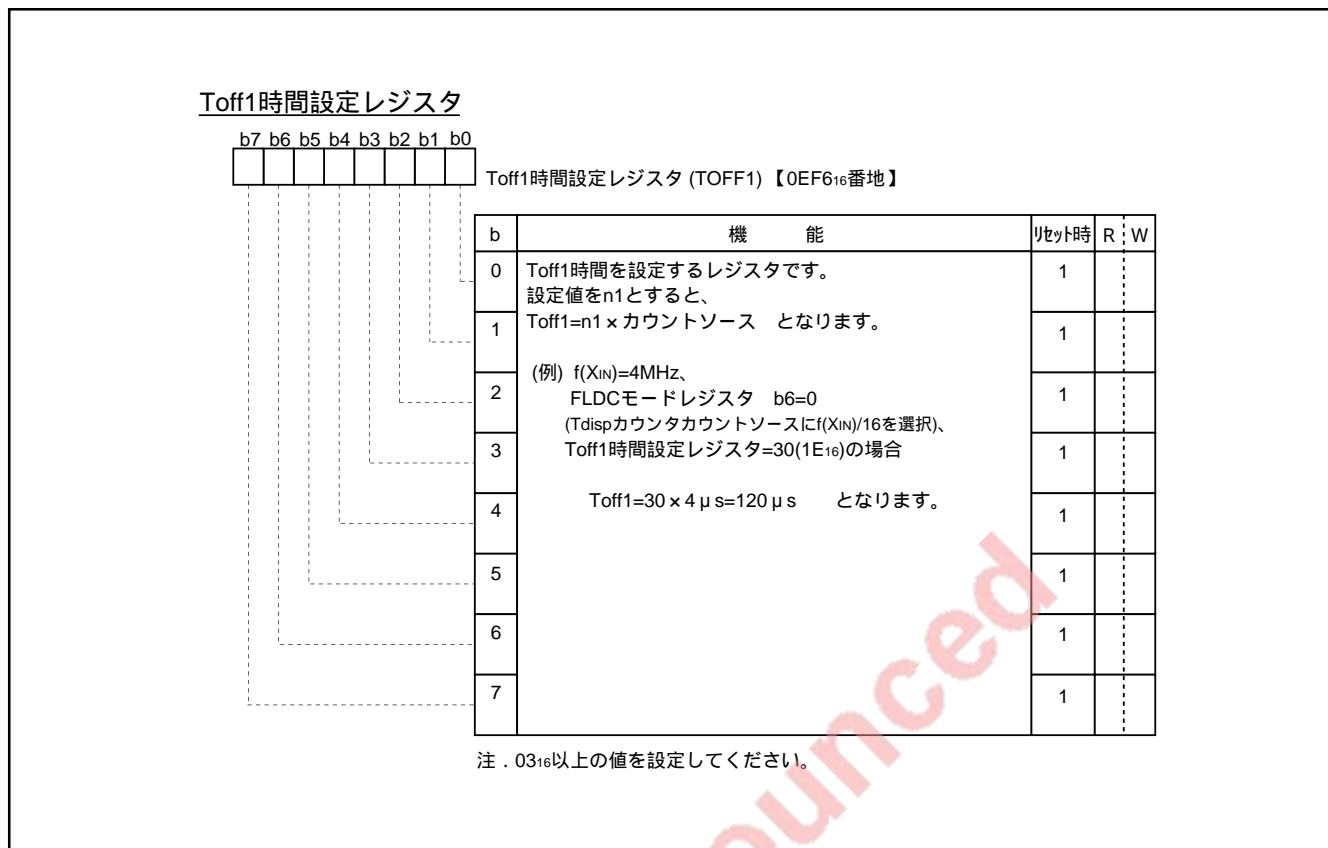


図2.4.6 Toff1時間設定レジスタの構成

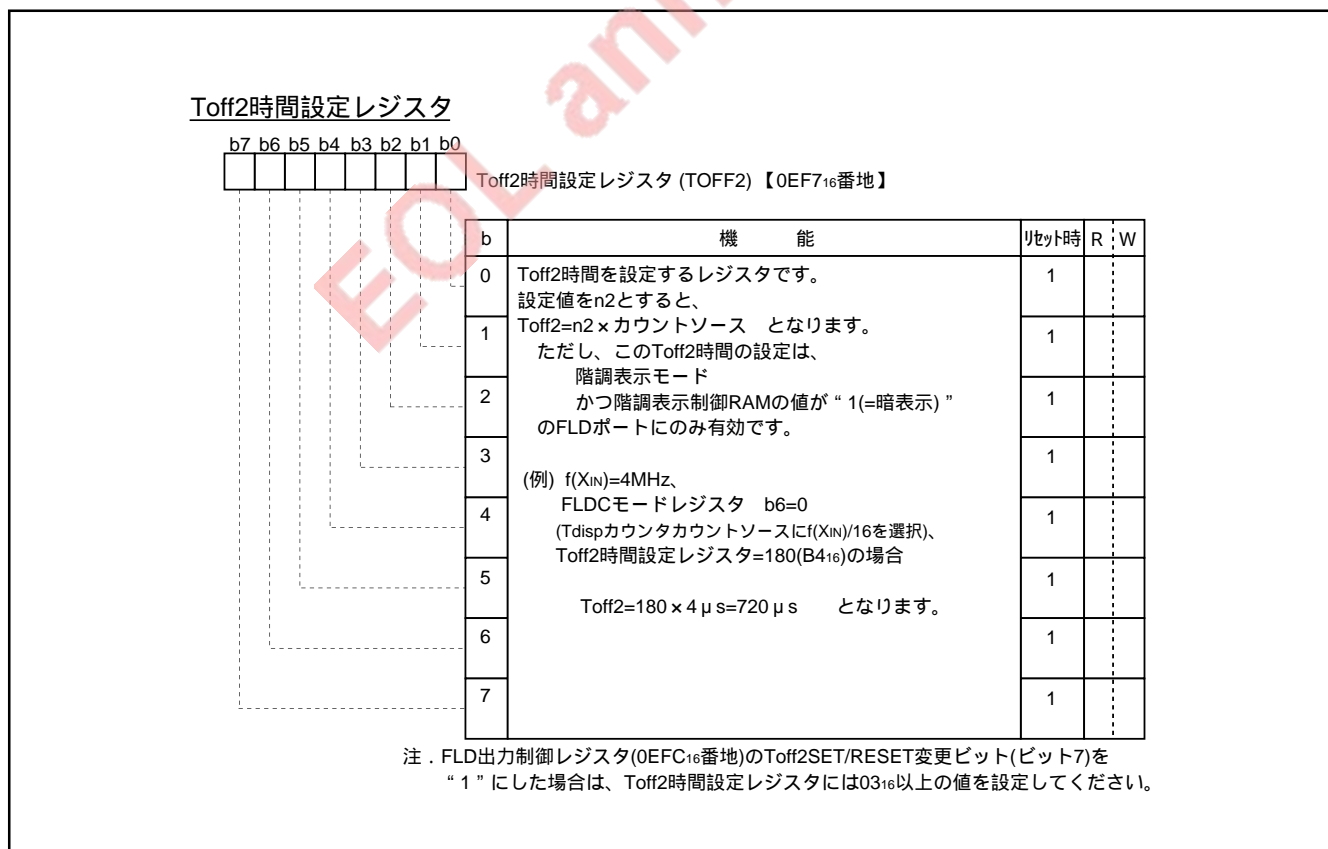


図2.4.7 Toff2時間設定レジスタの構成

FLDデータポインタ / FLDデータポインタリロードレジスタ

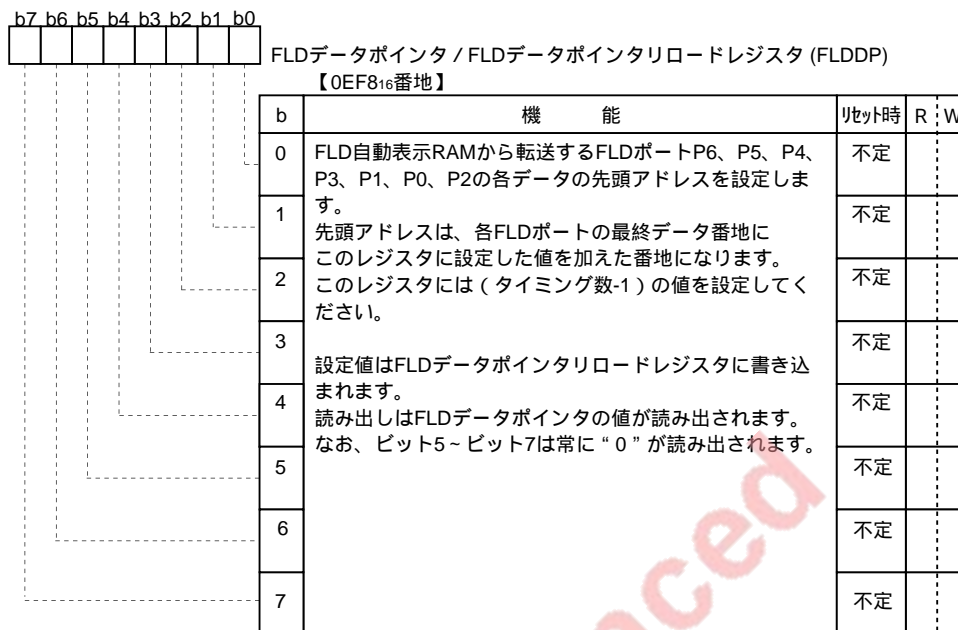


図2.4.8 FLDデータポインタ / FLDデータポインタリロードレジスタの構成

ポートP4FLD/ポート切り替えレジスタ

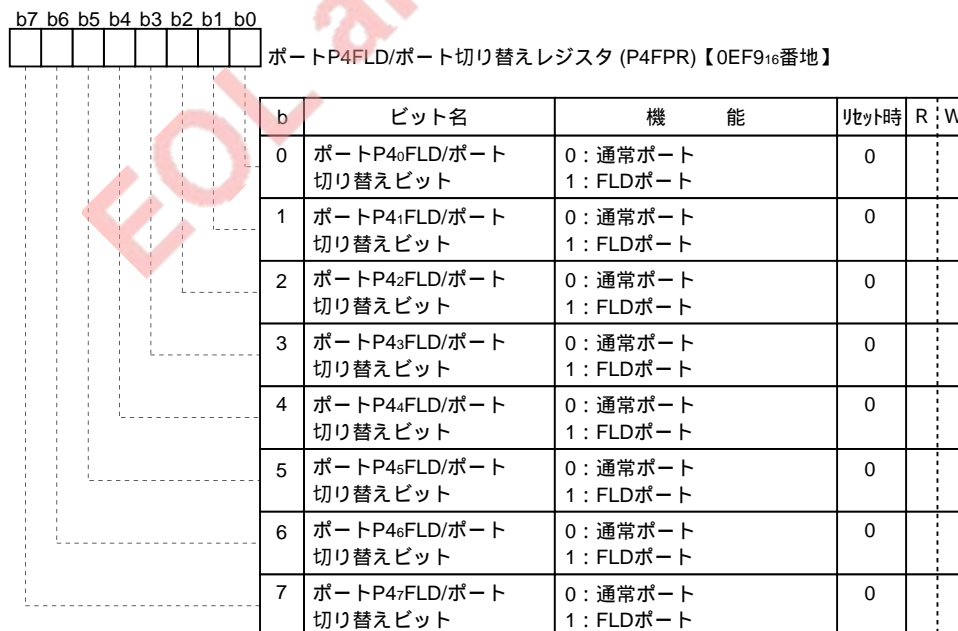
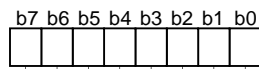


図2.4.9 ポートP4FLD / ポート切り替えレジスタの構成

ポートP5FLD/ポート切り替えレジスタ

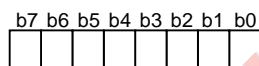


ポートP5FLD/ポート切り替えレジスタ (P5FPR) 【0EFA₁₆番地】

b	ビット名	機能	リセット時	R	W
0	ポートP5 ₀ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
1	ポートP5 ₁ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
2	ポートP5 ₂ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
3	ポートP5 ₃ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
4	ポートP5 ₄ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
5	ポートP5 ₅ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
6	ポートP5 ₆ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
7	ポートP5 ₇ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		

図2.4.10 ポートP5FLD / ポート切り替えレジスタの構成

ポートP6FLD/ポート切り替えレジスタ



ポートP6FLD/ポート切り替えレジスタ (P6FPR) 【0EFB₁₆番地】

b	ビット名	機能	リセット時	R	W
0	ポートP6 ₀ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
1	ポートP6 ₁ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
2	ポートP6 ₂ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
3	ポートP6 ₃ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
4	ポートP6 ₄ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
5	ポートP6 ₅ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
6	ポートP6 ₆ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
7	ポートP6 ₇ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		

図2.4.11 ポートP6FLD / ポート切り替えレジスタの構成

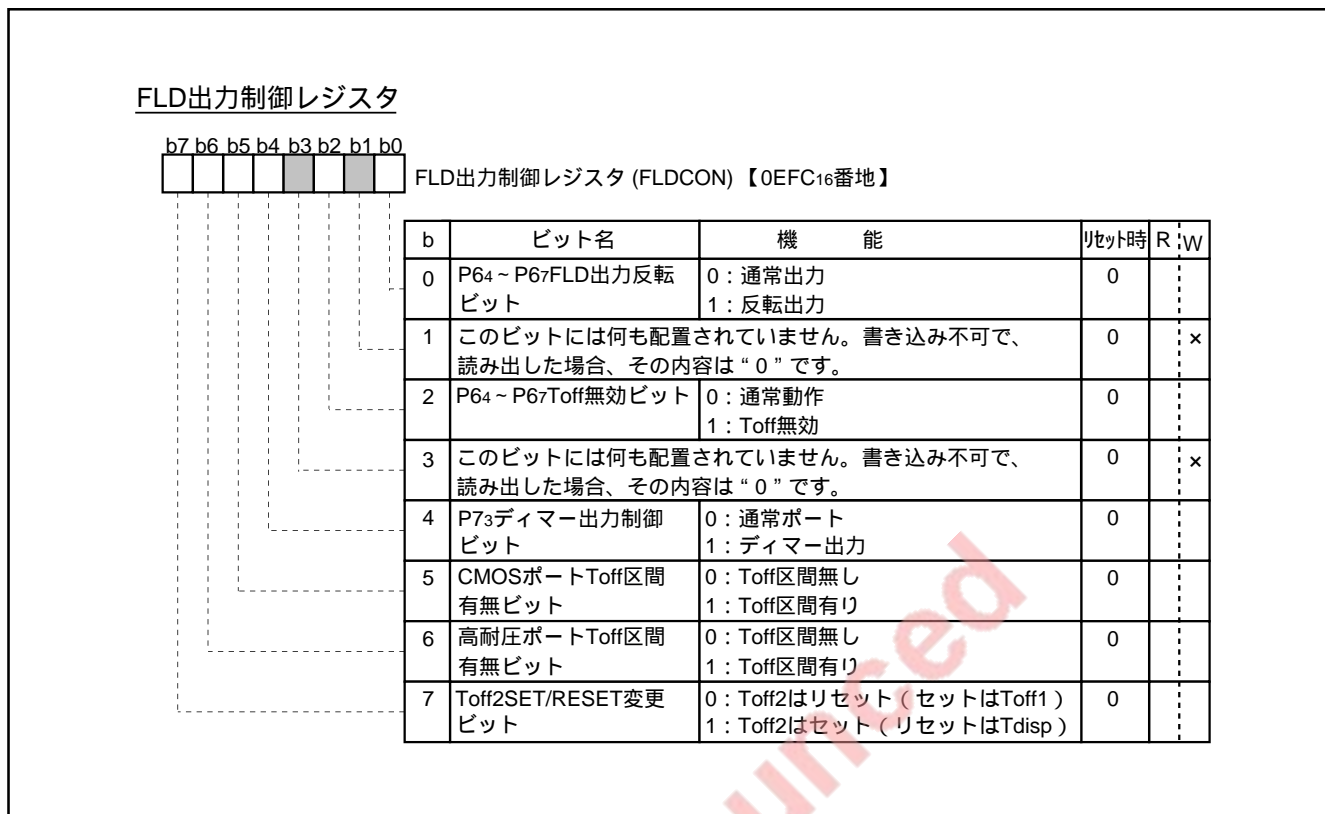


図2.4.12 FLD出力制御レジスタの構成

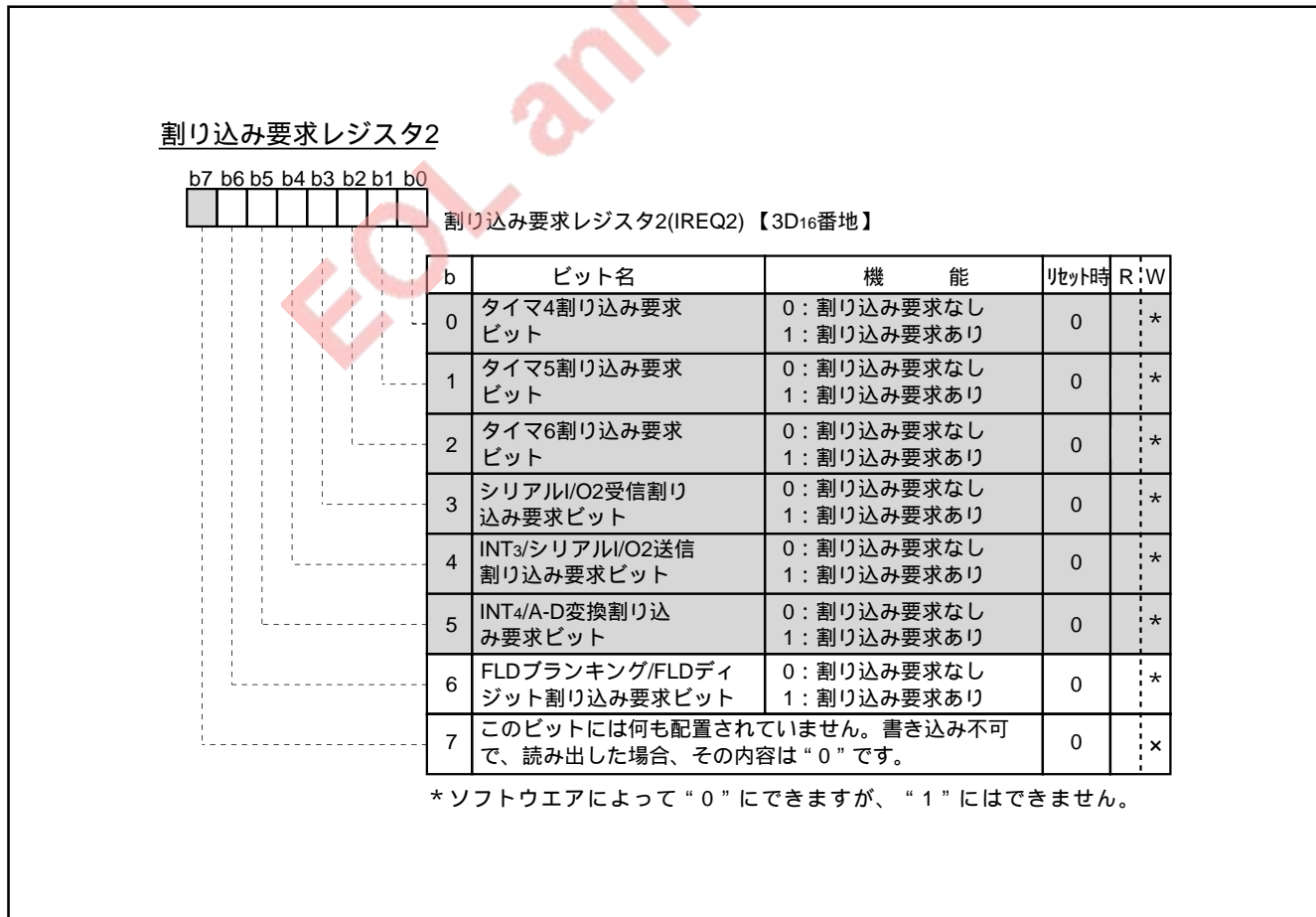


図2.4.13 割り込み要求レジスタ2の構成

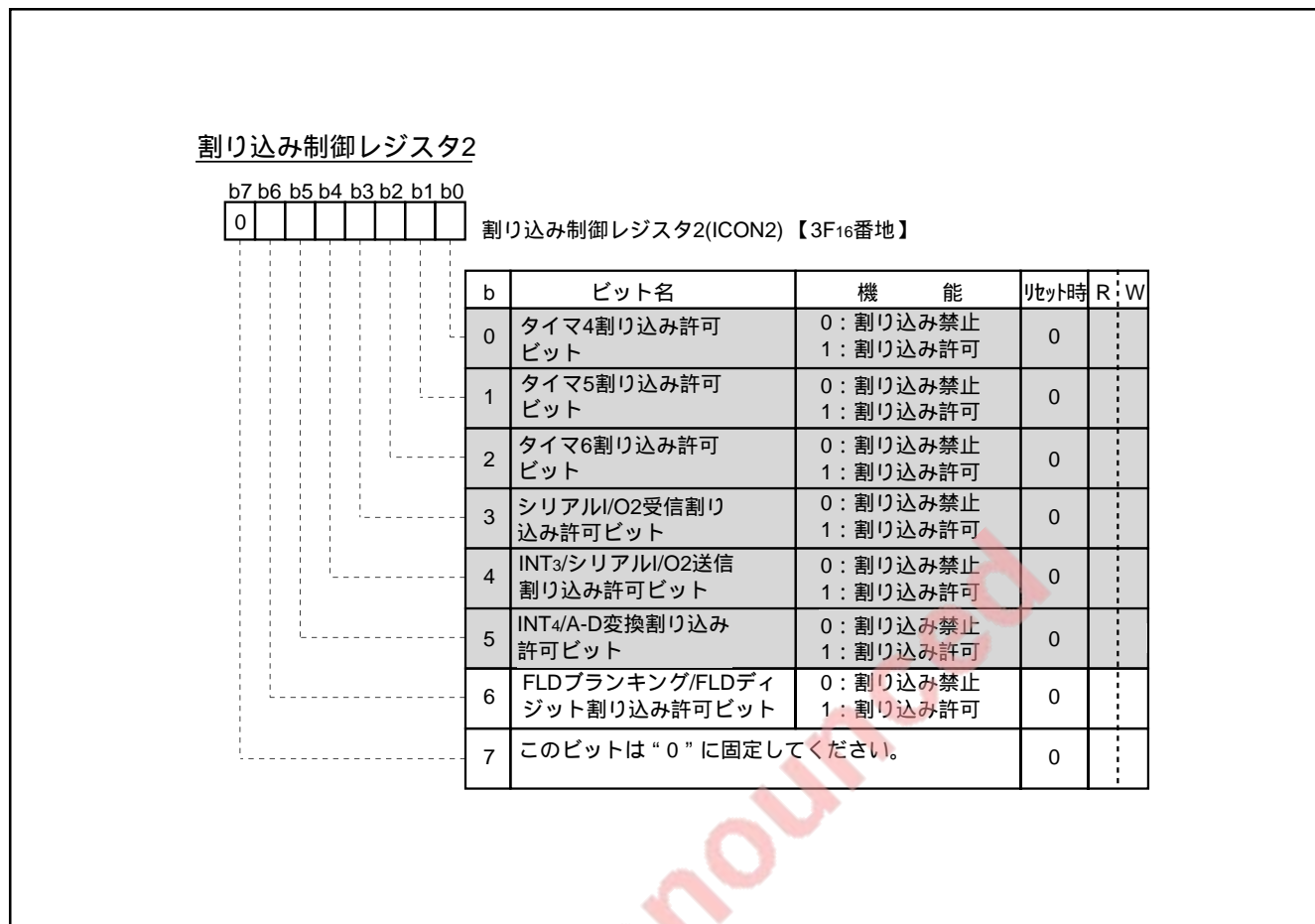


図2.4.14 割り込み制御レジスタ2の構成

2.4.3 FLDコントローラの応用例

(1) FLD自動表示とセグメントを利用したキースキャン

ポイント：FLD自動表示モードを使用し、セグメント端子でソフトウェアによるキー読み込みを行います。

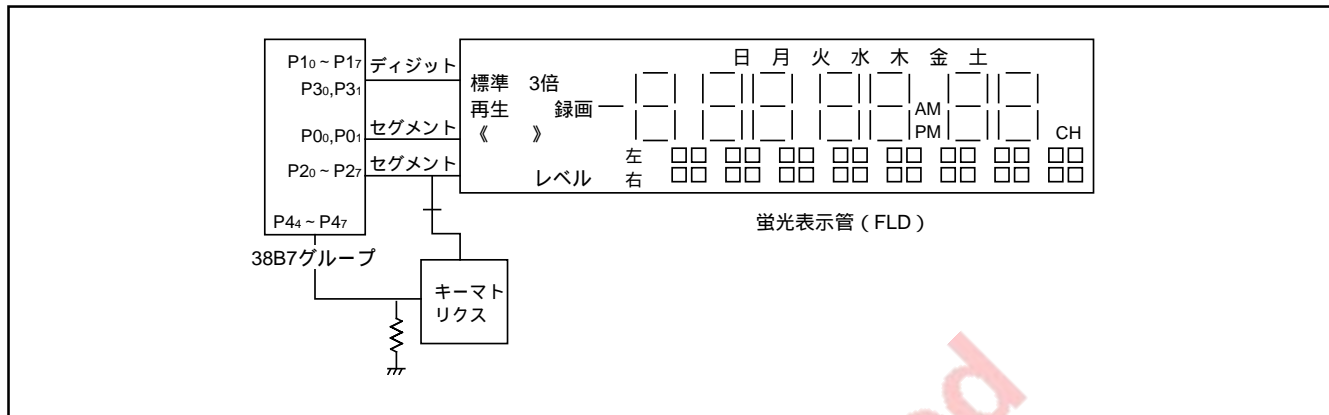


図2.4.15 接続図

仕様： デジタル10本、セグメント10本(うち8本キースキャン)の合計20本のFLDポートを使用
 FLD自動表示モードを使用
 階調表示モード、16タイミングモードにて表示
 $T_{off1}=40\ \mu s$ 、 $T_{off2}=64\ \mu s$ 、 $T_{disp}=204\ \mu s$ 、 $T_{scan}=3 \times T_{disp}=612\ \mu s$ 、 $f(XIN)=4MHz$
 FLDブランキング割り込みを使用

図2.4.16にキースキャンのタイミング図を、図2.4.17にTscan部分の拡大図を示します。セグメント端子を出力ポートに切り替えた後、ソフトウェアで図2.4.17に示す波形を生成しキースキャンを行います。

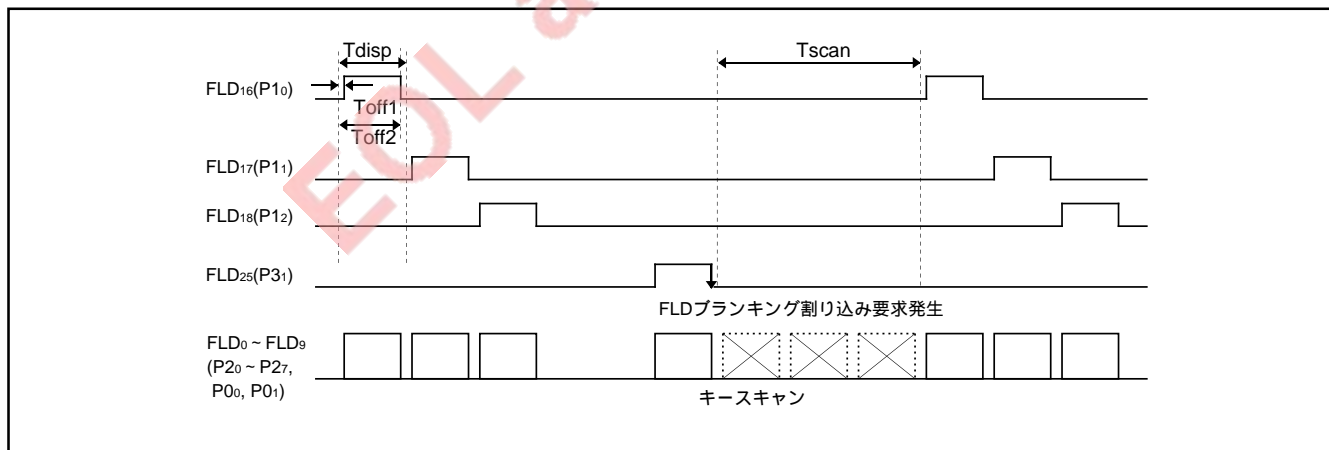


図2.4.16 FLD自動表示モードとセグメントを利用したキースキャンのタイミング図

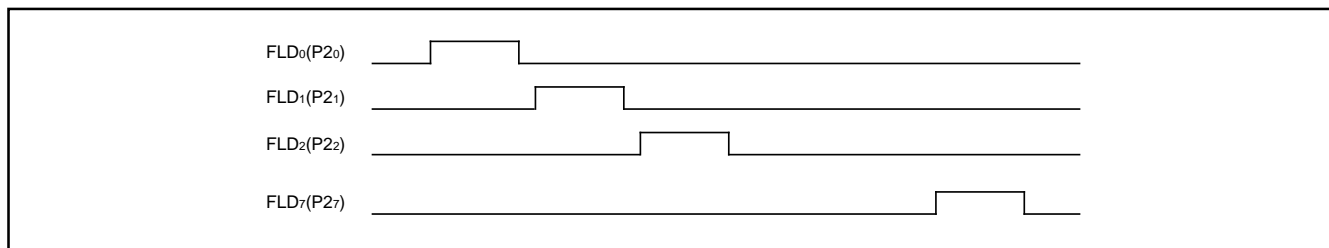


図2.4.17 FLD0(P20) ~ FLD7(P27)のTscan部分の拡大図

図2.4.18に関連レジスタの設定を示します。

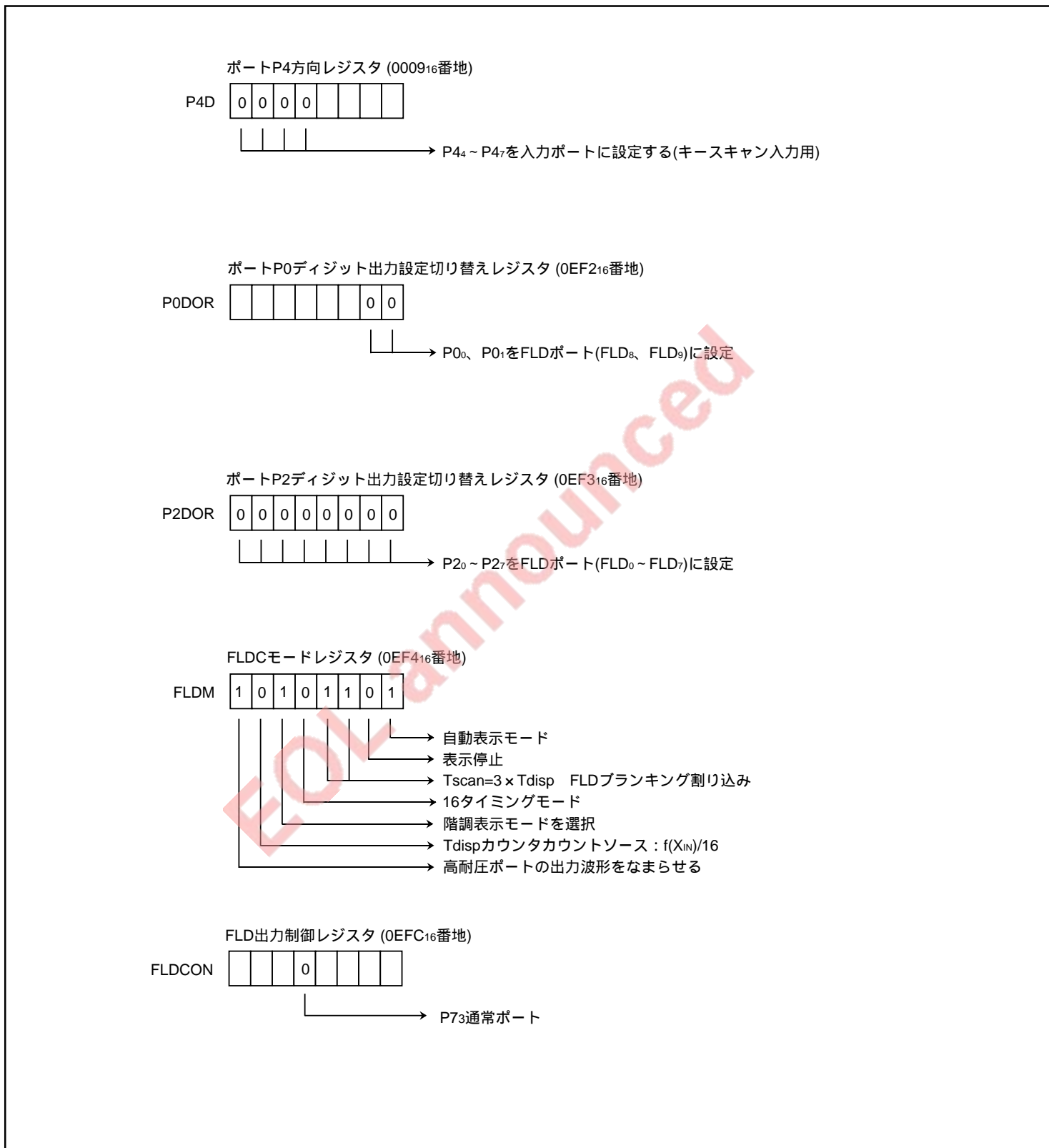


図2.4.18 関連レジスタの設定

Tdisp時間設定レジスタ (0EF5₁₆番地)
 TDISP

32 ₁₆

 50(32₁₆)設定 (50+1) × カウントソース=204 μs
 カウントソース=f(X_{IN})/16 =4 μs f(X_{IN})=4MHz時

Toff1時間設定レジスタ (0EF6₁₆番地)
 TOFF1

0A ₁₆

 10(0A₁₆)設定 10 × カウントソース =40 μs
 カウントソース=f(X_{IN})/16 =4 μs f(X_{IN})=4MHz時

Toff2時間設定レジスタ (0EF7₁₆番地)
 TOFF2

10 ₁₆

 16(10₁₆)設定 16 × カウントソース=64 μs
 カウントソース=f(X_{IN})/16 =4 μs f(X_{IN})=4MHz時

(注) 階調表示モードを選択した場合は設定してください。

FLDデータポインタ (0EF8₁₆番地)
 FLDDP

0	0	0	0	1	0	0	1
---	---	---	---	---	---	---	---

 ↓
 → {(ディジットの本数) - 1}の値=9を設定

割り込み要求レジスタ2 (003D₁₆番地)
 IREQ2

0							
---	--	--	--	--	--	--	--

 ↓
 → FLDブランキング割り込み要求ビットをクリア

割り込み制御レジスタ2 (003F₁₆番地)
 ICON2

0	1						
---	---	--	--	--	--	--	--

 ↓
 → FLDブランキング割り込み：許可

FLDCモードレジスタ (0EF4₁₆番地)
 FLDM

1	0	1	0	1	1	1	1
---	---	---	---	---	---	---	---

 ↓
 → 表示開始

FLD自動表示RAMの設定：

表2.4.1 FLD自動表示RAMマップ

1～16タイミング表示データ格納領域

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0EA0 ₁₆							FLD ₂₅	FLD ₂₄
0EA1 ₁₆							FLD ₂₅	FLD ₂₄
0EA2 ₁₆							FLD ₂₅	FLD ₂₄
0EA3 ₁₆							FLD ₂₅	FLD ₂₄
0EA4 ₁₆							FLD ₂₅	FLD ₂₄
0EA5 ₁₆							FLD ₂₅	FLD ₂₄
0EA6 ₁₆							FLD ₂₅	FLD ₂₄
0EA7 ₁₆							FLD ₂₅	FLD ₂₄
0EA8 ₁₆							FLD ₂₅	FLD ₂₄
0EA9 ₁₆							FLD ₂₅	FLD ₂₄
0EAA ₁₆								
0EAB ₁₆								
0EAC ₁₆								
0EAD ₁₆								
0EAE ₁₆								
0EAF ₁₆								
0EB0 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB1 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB2 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB3 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB4 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB5 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB6 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB7 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB8 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB9 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EBA ₁₆								
0EBB ₁₆								
0EBC ₁₆								
0EBD ₁₆								
0EBE ₁₆								
0EBF ₁₆								
0EC0 ₁₆							FLD ₉	FLD ₈
0EC1 ₁₆							FLD ₉	FLD ₈
0EC2 ₁₆							FLD ₉	FLD ₈
0EC3 ₁₆							FLD ₉	FLD ₈
0EC4 ₁₆							FLD ₉	FLD ₈
0EC5 ₁₆							FLD ₉	FLD ₈
0EC6 ₁₆							FLD ₉	FLD ₈
0EC7 ₁₆							FLD ₉	FLD ₈
0EC8 ₁₆							FLD ₉	FLD ₈
0EC9 ₁₆							FLD ₉	FLD ₈
0ECA ₁₆								
0ECB ₁₆								
0ECC ₁₆								
0ECD ₁₆								
0ECE ₁₆								
0ECF ₁₆								
0ED0 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED1 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED2 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED3 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED4 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED5 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED6 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED7 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED8 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED9 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀

階調表示制御データ格納領域

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0E30 ₁₆							FLD ₂₅	FLD ₂₄
0E31 ₁₆							FLD ₂₅	FLD ₂₄
0E32 ₁₆							FLD ₂₅	FLD ₂₄
0E33 ₁₆							FLD ₂₅	FLD ₂₄
0E34 ₁₆							FLD ₂₅	FLD ₂₄
0E35 ₁₆							FLD ₂₅	FLD ₂₄
0E36 ₁₆							FLD ₂₅	FLD ₂₄
0E37 ₁₆							FLD ₂₅	FLD ₂₄
0E38 ₁₆							FLD ₂₅	FLD ₂₄
0E39 ₁₆							FLD ₂₅	FLD ₂₄
0E3A ₁₆								
0E3B ₁₆								
0E3C ₁₆								
0E3D ₁₆								
0E3E ₁₆								
0E3F ₁₆								
0E40 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E41 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E42 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E43 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E44 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E45 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E46 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E47 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E48 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E49 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E4A ₁₆								
0E4B ₁₆								
0E4C ₁₆								
0E4D ₁₆								
0E4E ₁₆								
0E4F ₁₆								
0E50 ₁₆							FLD ₉	FLD ₈
0E51 ₁₆							FLD ₉	FLD ₈
0E52 ₁₆							FLD ₉	FLD ₈
0E53 ₁₆							FLD ₉	FLD ₈
0E54 ₁₆							FLD ₉	FLD ₈
0E55 ₁₆							FLD ₉	FLD ₈
0E56 ₁₆							FLD ₉	FLD ₈
0E57 ₁₆							FLD ₉	FLD ₈
0E58 ₁₆							FLD ₉	FLD ₈
0E59 ₁₆							FLD ₉	FLD ₈
0E5A ₁₆								
0E5B ₁₆								
0E5C ₁₆								
0E5D ₁₆								
0E5E ₁₆								
0E5F ₁₆								
0E60 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E61 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E62 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E63 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E64 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E65 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E66 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E67 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E68 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E69 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀

対応する
ディジット端子

FLD₂₅ (P₃₁)
FLD₂₄ (P₃₀)
FLD₂₃ (P₁₇)
FLD₂₂ (P₁₆)
FLD₂₁ (P₁₅)
FLD₂₀ (P₁₄)
FLD₁₉ (P₁₃)
FLD₁₈ (P₁₂)
FLD₁₇ (P₁₁)
FLD₁₆ (P₁₀)

FLD₂₅ (P₃₁)
FLD₂₄ (P₃₀)
FLD₂₃ (P₁₇)
FLD₂₂ (P₁₆)
FLD₂₁ (P₁₅)
FLD₂₀ (P₁₄)
FLD₁₉ (P₁₃)
FLD₁₈ (P₁₂)
FLD₁₇ (P₁₁)
FLD₁₆ (P₁₀)

- セグメントデータを設定するために使用する領域
- ディジットデータを設定するために使用する領域
- 通常通りRAMとして使用できる領域

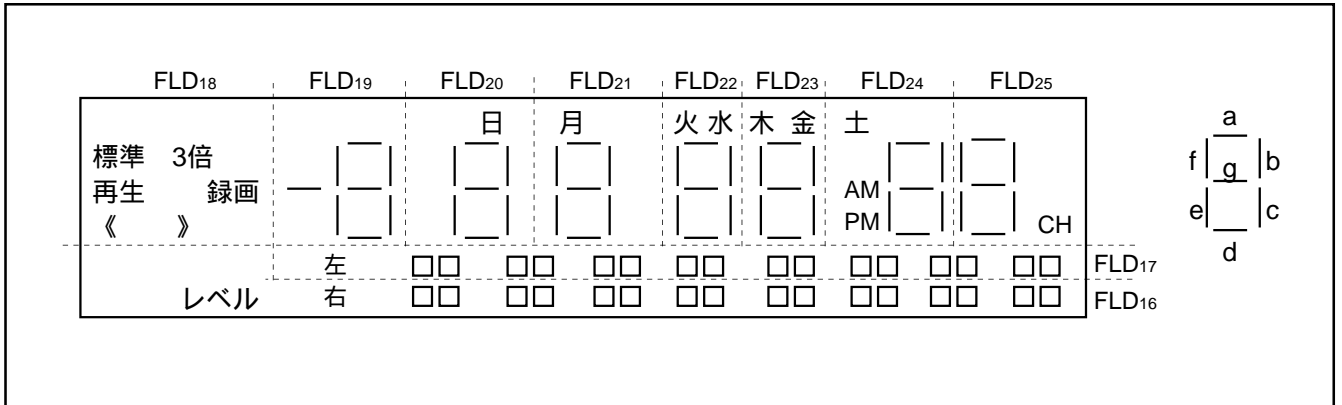


図2.4.19 FLDディジット割り付け例

表2.4.2 FLD自動表示RAMマップ例

1～16タイミング表示データ格納領域								階調表示制御データ格納領域								対応する ディジット端子		
番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2		ビット1	ビット0
0EC0 ₁₆									0E50 ₁₆									FLD25 (P3 ₁)
0EC1 ₁₆								PM	AM	0E51 ₁₆						PM	AM	FLD24 (P3 ₀)
0EC2 ₁₆										0E52 ₁₆								FLD23 (P1 ₇)
0EC3 ₁₆										0E53 ₁₆								FLD22 (P1 ₆)
0EC4 ₁₆										0E54 ₁₆								FLD21 (P1 ₅)
0EC5 ₁₆										0E55 ₁₆								FLD20 (P1 ₄)
0EC6 ₁₆										0E56 ₁₆								FLD19 (P1 ₃)
0EC7 ₁₆										0E57 ₁₆								FLD18 (P1 ₂)
0EC8 ₁₆										0E58 ₁₆								FLD17 (P1 ₁)
0EC9 ₁₆								左	右	0E59 ₁₆								FLD16 (P1 ₀)
0ECA ₁₆								レ	ベ	0E5A ₁₆								
0ECB ₁₆										0E5B ₁₆								
0ECC ₁₆										0E5C ₁₆								
0ECD ₁₆										0E5D ₁₆								
0ECE ₁₆										0E5E ₁₆								
0ECF ₁₆										0E5F ₁₆								
0ED0 ₁₆	CH	g	f	e	d	c	b	a	0E60 ₁₆	CH	g	f	e	d	c	b	a	FLD25 (P3 ₁)
0ED1 ₁₆	土	g	f	e	d	c	b	a	0E61 ₁₆	土	g	f	e	d	c	b	a	FLD24 (P3 ₀)
0ED2 ₁₆	金	g	f	e	d	c	b	a	0E62 ₁₆	金	g	f	e	d	c	b	a	FLD23 (P1 ₇)
0ED3 ₁₆	水	g	f	e	d	c	b	a	0E63 ₁₆	水	g	f	e	d	c	b	a	FLD22 (P1 ₆)
0ED4 ₁₆	月	g	f	e	d	c	b	a	0E64 ₁₆	月	g	f	e	d	c	b	a	FLD21 (P1 ₅)
0ED5 ₁₆	日	g	f	e	d	c	b	a	0E65 ₁₆	日	g	f	e	d	c	b	a	FLD20 (P1 ₄)
0ED6 ₁₆	-	g	f	e	d	c	b	a	0E66 ₁₆	-	g	f	e	d	c	b	a	FLD19 (P1 ₃)
0ED7 ₁₆	《	》			再生	録画	標準	3倍	0E67 ₁₆	《	》			再生	録画	標準	3倍	FLD18 (P1 ₂)
0ED8 ₁₆									0E68 ₁₆									FLD17 (P1 ₁)
0ED9 ₁₆									0E69 ₁₆									FLD16 (P1 ₀)

未使用

制御手順：

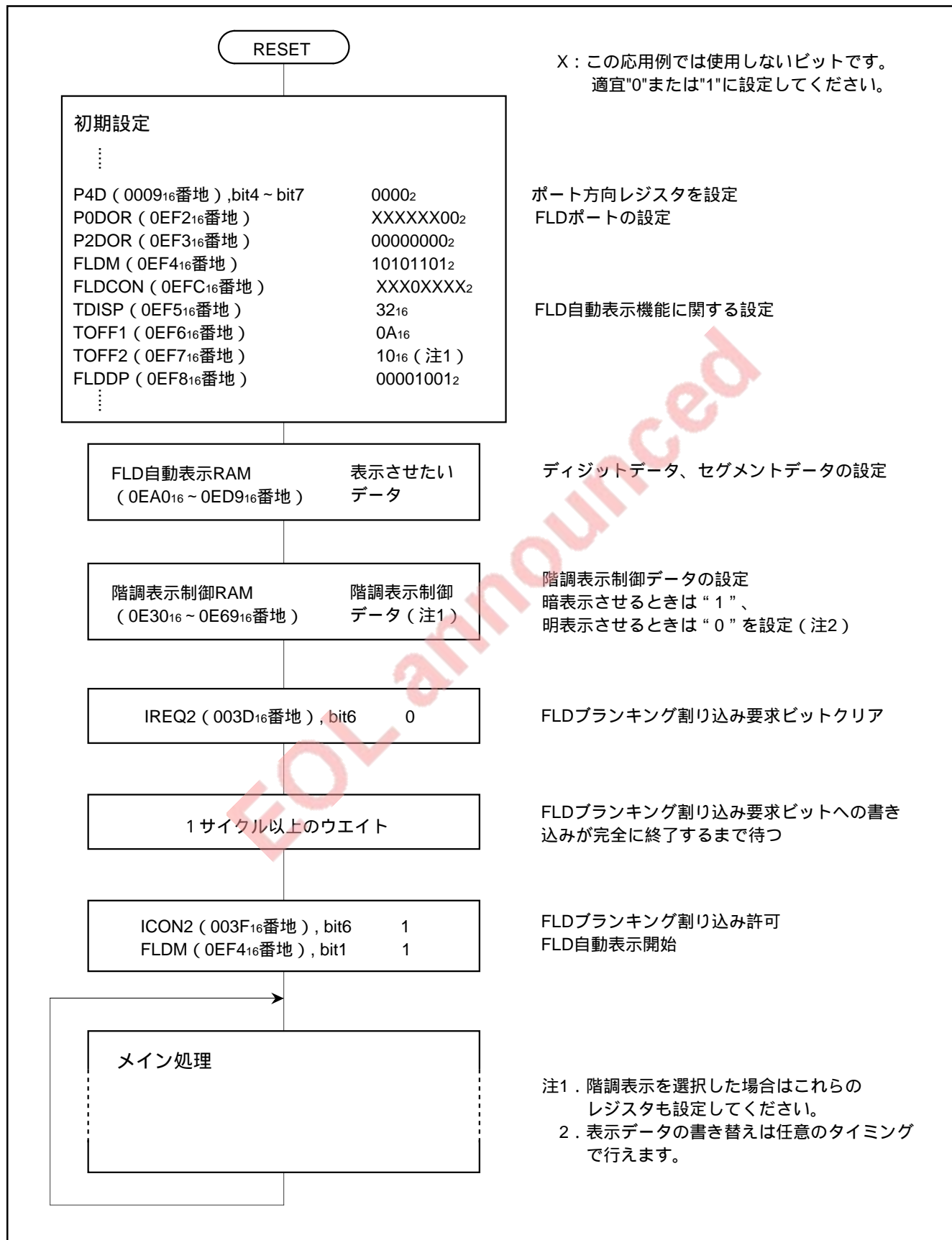


図2.4.20 制御手順

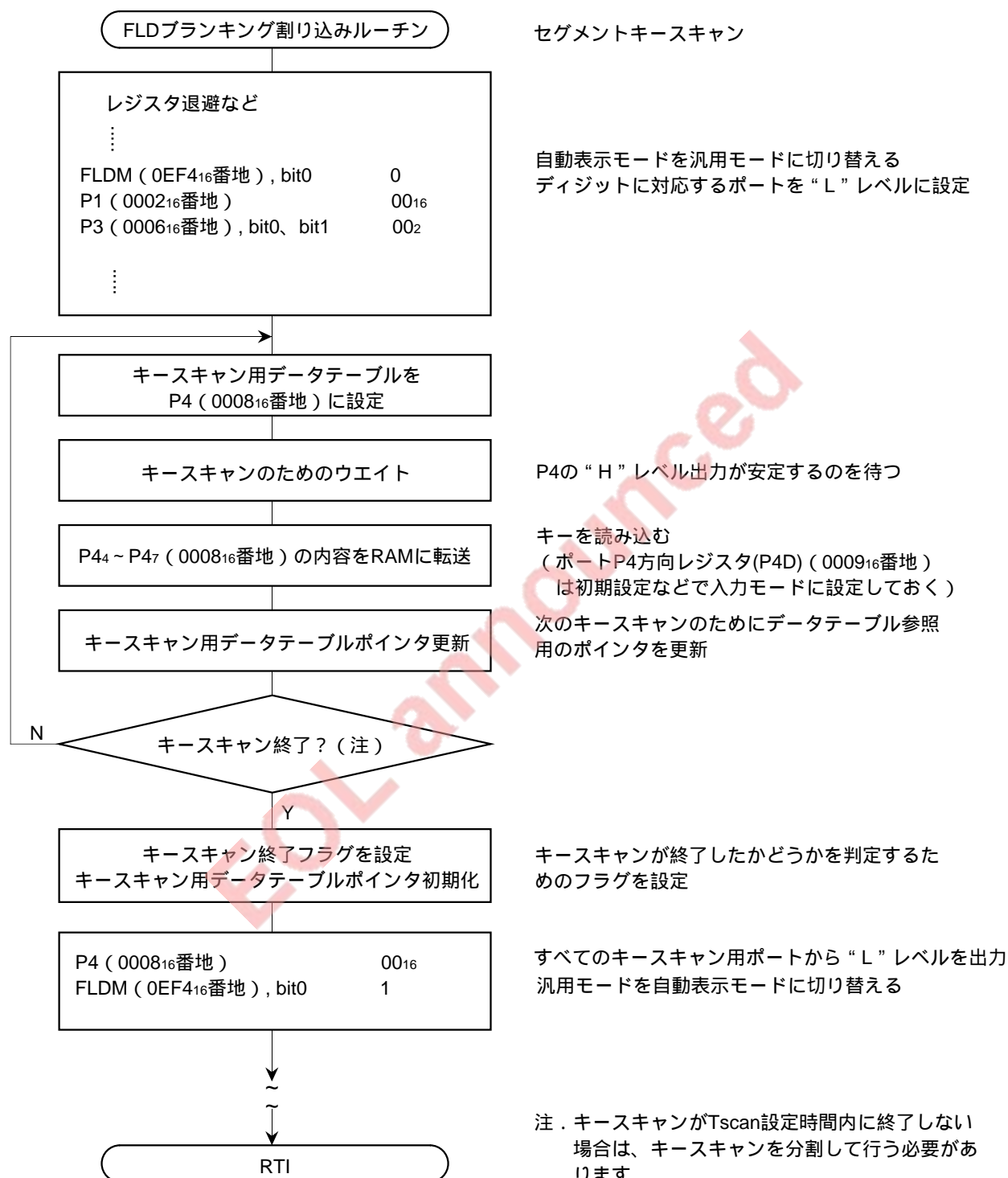


図2.4.22にキースキャンのタイミング図を示します。

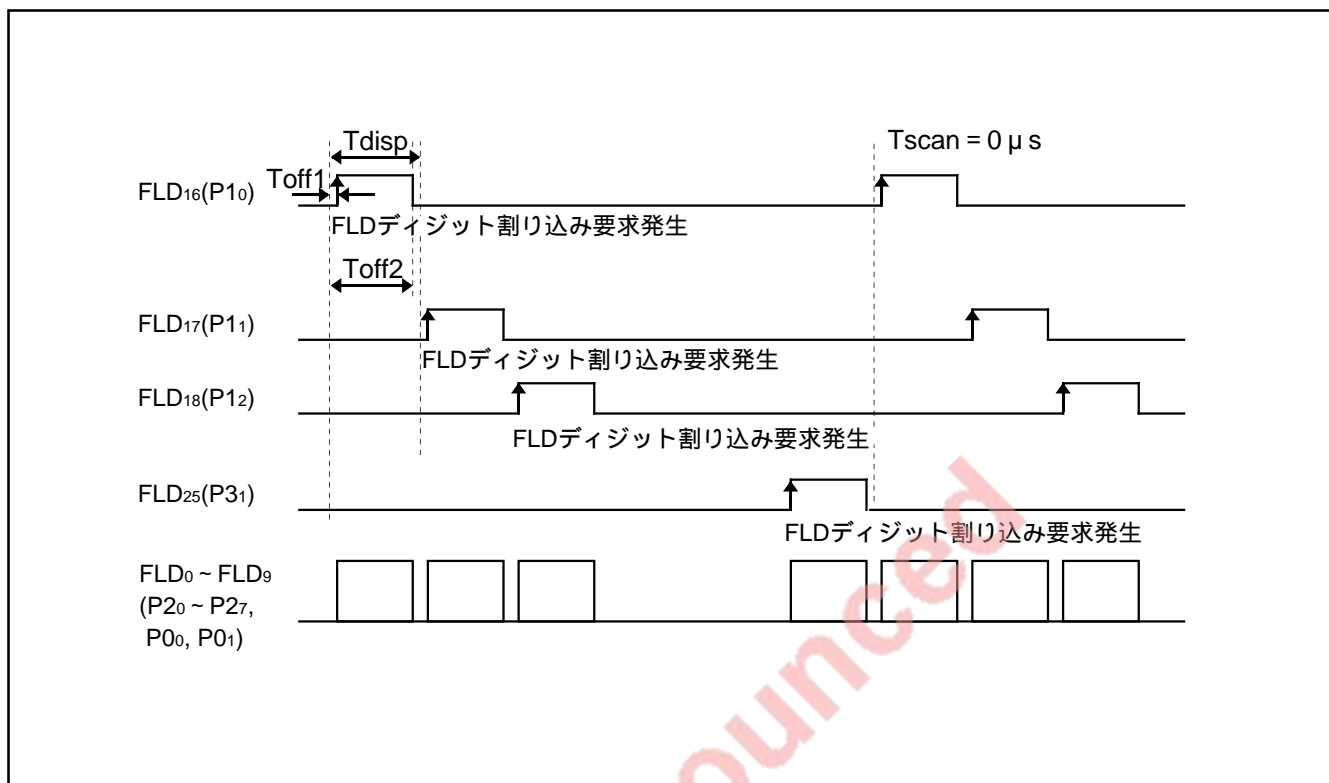


図2.4.22 FLD自動表示モードとディジットを利用したキースキャンのタイミング図

EOL announced

図2.4.23に関連レジスタの設定を示します。

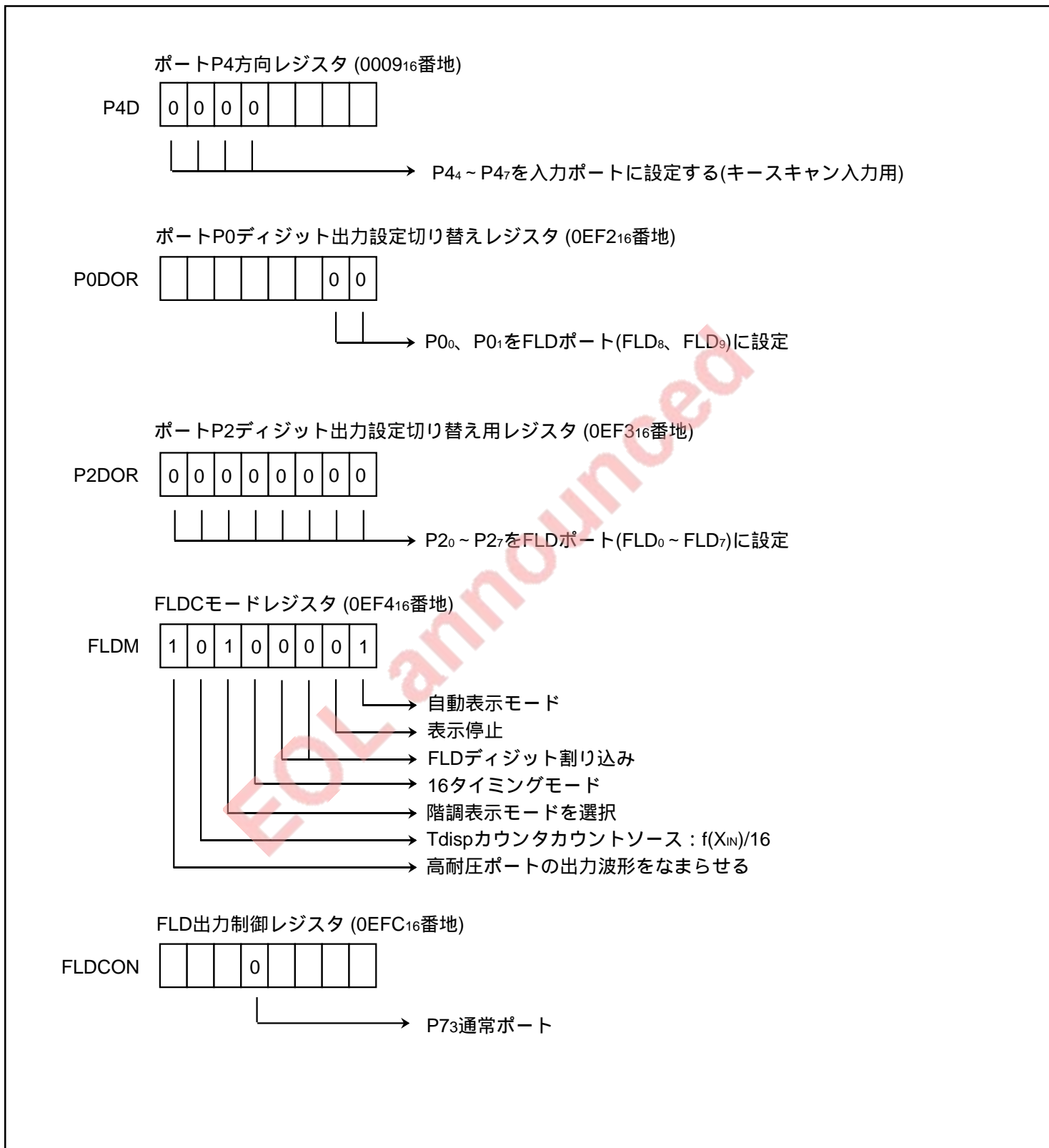


図2.4.23 関連レジスタの設定

Tdisp時間設定レジスタ (0EF5₁₆番地)

TDISP

32 ₁₆

 50(32₁₆)設定 (50+1) × カウントソース = 204 μs
 カウントソース = $f(X_{IN})/16 = 4 \mu s$ $f(X_{IN})=4MHz$ 時

Toff1時間設定レジスタ (0EF6₁₆番地)

TOFF1

0A ₁₆

 10(0A₁₆)設定 10 × カウントソース = 40 μs
 カウントソース = $f(X_{IN})/16 = 4 \mu s$ $f(X_{IN})=4MHz$ 時

Toff2時間設定レジスタ (0EF7₁₆番地)

TOFF2

10 ₁₆


 16(10₁₆)設定 16 × カウントソース = 64 μs
 カウントソース = $f(X_{IN})/16 = 4 \mu s$ $f(X_{IN})=4MHz$ 時

(注) 階調表示モードを選択した場合は設定してください。

FLDデータポインタ (0EF8₁₆番地)

FLDDP

0	0	0	0	1	0	0	1
---	---	---	---	---	---	---	---

 → {(ディジットの本数) - 1}の値=9を設定

割り込み要求レジスタ2 (003D₁₆番地)

IREQ2


0							
---	--	--	--	--	--	--	--

 → FLDディジット割り込み要求ビットをクリア

割り込み制御レジスタ2 (003F₁₆番地)

ICON2


0	1						
---	---	--	--	--	--	--	--

 → FLDディジット割り込み：許可

FLDCモードレジスタ (0EF4₁₆番地)

FLDM

1	0	1	0	0	0	1	1
---	---	---	---	---	---	---	---

 → 表示開始

FLD自動表示RAMの設定：

表2.4.3 FLD自動表示RAMマップ

1～16タイミング表示データ格納領域

階調表示制御データ格納領域




対応する
ディジット端子

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0EA0 ₁₆							FLD ₂₅	FLD ₂₄
0EA1 ₁₆							FLD ₂₅	FLD ₂₄
0EA2 ₁₆							FLD ₂₅	FLD ₂₄
0EA3 ₁₆							FLD ₂₅	FLD ₂₄
0EA4 ₁₆							FLD ₂₅	FLD ₂₄
0EA5 ₁₆							FLD ₂₅	FLD ₂₄
0EA6 ₁₆							FLD ₂₅	FLD ₂₄
0EA7 ₁₆							FLD ₂₅	FLD ₂₄
0EA8 ₁₆							FLD ₂₅	FLD ₂₄
0EA9 ₁₆							FLD ₂₅	FLD ₂₄
0EAA ₁₆								
0EAB ₁₆								
0EAC ₁₆								
0EAD ₁₆								
0EAE ₁₆								
0EAF ₁₆								
0EB0 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB1 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB2 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB3 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB4 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB5 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB6 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB7 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB8 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB9 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EBA ₁₆								
0EBB ₁₆								
0EBC ₁₆								
0EBD ₁₆								
0EBE ₁₆								
0EBF ₁₆								
0EC0 ₁₆							FLD ₉	FLD ₈
0EC1 ₁₆							FLD ₉	FLD ₈
0EC2 ₁₆							FLD ₉	FLD ₈
0EC3 ₁₆							FLD ₉	FLD ₈
0EC4 ₁₆							FLD ₉	FLD ₈
0EC5 ₁₆							FLD ₉	FLD ₈
0EC6 ₁₆							FLD ₉	FLD ₈
0EC7 ₁₆							FLD ₉	FLD ₈
0EC8 ₁₆							FLD ₉	FLD ₈
0EC9 ₁₆							FLD ₉	FLD ₈
0ECA ₁₆								
0ECB ₁₆								
0ECC ₁₆								
0ECD ₁₆								
0ECE ₁₆								
0ECF ₁₆								
0ED0 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED1 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED2 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED3 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED4 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED5 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED6 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED7 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED8 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED9 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0E30 ₁₆							FLD ₂₅	FLD ₂₄
0E31 ₁₆							FLD ₂₅	FLD ₂₄
0E32 ₁₆							FLD ₂₅	FLD ₂₄
0E33 ₁₆							FLD ₂₅	FLD ₂₄
0E34 ₁₆							FLD ₂₅	FLD ₂₄
0E35 ₁₆							FLD ₂₅	FLD ₂₄
0E36 ₁₆							FLD ₂₅	FLD ₂₄
0E37 ₁₆							FLD ₂₅	FLD ₂₄
0E38 ₁₆							FLD ₂₅	FLD ₂₄
0E39 ₁₆							FLD ₂₅	FLD ₂₄
0E3A ₁₆								
0E3B ₁₆								
0E3C ₁₆								
0E3D ₁₆								
0E3E ₁₆								
0E3F ₁₆								
0E40 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E41 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E42 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E43 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E44 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E45 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E46 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E47 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E48 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E49 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E4A ₁₆								
0E4B ₁₆								
0E4C ₁₆								
0E4D ₁₆								
0E4E ₁₆								
0E4F ₁₆								
0E50 ₁₆							FLD ₉	FLD ₈
0E51 ₁₆							FLD ₉	FLD ₈
0E52 ₁₆							FLD ₉	FLD ₈
0E53 ₁₆							FLD ₉	FLD ₈
0E54 ₁₆							FLD ₉	FLD ₈
0E55 ₁₆							FLD ₉	FLD ₈
0E56 ₁₆							FLD ₉	FLD ₈
0E57 ₁₆							FLD ₉	FLD ₈
0E58 ₁₆							FLD ₉	FLD ₈
0E59 ₁₆							FLD ₉	FLD ₈
0E5A ₁₆								
0E5B ₁₆								
0E5C ₁₆								
0E5D ₁₆								
0E5E ₁₆								
0E5F ₁₆								
0E60 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E61 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E62 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E63 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E64 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E65 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E66 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E67 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E68 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E69 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀

FLD₂₅ (P₃₁)
 FLD₂₄ (P₃₀)
 FLD₂₃ (P₁₇)
 FLD₂₂ (P₁₆)
 FLD₂₁ (P₁₅)
 FLD₂₀ (P₁₄)
 FLD₁₉ (P₁₃)
 FLD₁₈ (P₁₂)
 FLD₁₇ (P₁₁)
 FLD₁₆ (P₁₀)

FLD₂₅ (P₃₁)
 FLD₂₄ (P₃₀)
 FLD₂₃ (P₁₇)
 FLD₂₂ (P₁₆)
 FLD₂₁ (P₁₅)
 FLD₂₀ (P₁₄)
 FLD₁₉ (P₁₃)
 FLD₁₈ (P₁₂)
 FLD₁₇ (P₁₁)
 FLD₁₆ (P₁₀)

-  セグメントデータを設定するために使用する領域
-  デジットデータを設定するために使用する領域
-  通常通りRAMとして使用できる領域

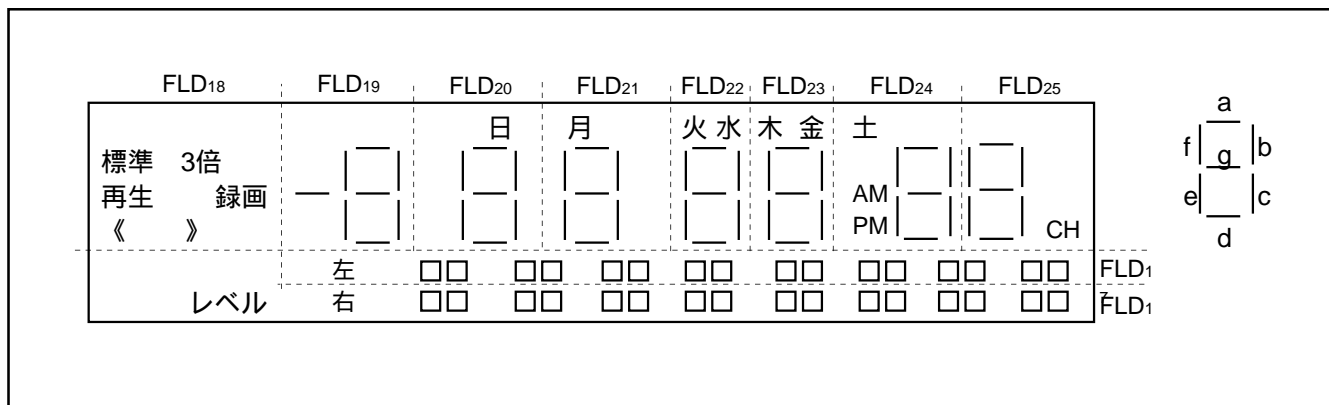


図2.4.24 FLDディジット割り付け例

表2.4.4 FLD自動表示RAMマップ例

1～16タイミング表示データ格納領域								階調表示制御データ格納領域								対応する ディジット端子		
番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2		ビット1	ビット0
0EC0 ₁₆									0E50 ₁₆									FLD25 (P3 ₁)
0EC1 ₁₆								PM	AM	0E51 ₁₆						PM	AM	FLD24 (P3 ₀)
0EC2 ₁₆										0E52 ₁₆								FLD23 (P1 ₇)
0EC3 ₁₆										0E53 ₁₆								FLD22 (P1 ₆)
0EC4 ₁₆										0E54 ₁₆								FLD21 (P1 ₅)
0EC5 ₁₆										0E55 ₁₆								FLD20 (P1 ₄)
0EC6 ₁₆										0E56 ₁₆								FLD19 (P1 ₃)
0EC7 ₁₆										0E57 ₁₆								FLD18 (P1 ₂)
0EC8 ₁₆								左		0E58 ₁₆						左		FLD17 (P1 ₁)
0EC9 ₁₆								右	レベル	0E59 ₁₆						右	レベル	FLD16 (P1 ₀)
0ECA ₁₆										0E5A ₁₆								
0ECB ₁₆										0E5B ₁₆								
0ECC ₁₆										0E5C ₁₆								
0ECD ₁₆										0E5D ₁₆								
0ECE ₁₆										0E5E ₁₆								
0ECF ₁₆										0E5F ₁₆								
0ED0 ₁₆	CH	g	f	e	d	c	b	a	0E60 ₁₆	CH	g	f	e	d	c	b	a	FLD25 (P3 ₁)
0ED1 ₁₆	土	g	f	e	d	c	b	a	0E61 ₁₆	土	g	f	e	d	c	b	a	FLD24 (P3 ₀)
0ED2 ₁₆	金	g	f	e	d	c	b	a	0E62 ₁₆	金	g	f	e	d	c	b	a	FLD23 (P1 ₇)
0ED3 ₁₆	水	g	f	e	d	c	b	a	0E63 ₁₆	水	g	f	e	d	c	b	a	FLD22 (P1 ₆)
0ED4 ₁₆	月	g	f	e	d	c	b	a	0E64 ₁₆	月	g	f	e	d	c	b	a	FLD21 (P1 ₅)
0ED5 ₁₆	日	g	f	e	d	c	b	a	0E65 ₁₆	日	g	f	e	d	c	b	a	FLD20 (P1 ₄)
0ED6 ₁₆	-	g	f	e	d	c	b	a	0E66 ₁₆	-	g	f	e	d	c	b	a	FLD19 (P1 ₃)
0ED7 ₁₆	《	》			再生	録画	標準	3倍	0E67 ₁₆	《	》			再生	録画	標準	3倍	FLD18 (P1 ₂)
0ED8 ₁₆									0E68 ₁₆									FLD17 (P1 ₁)
0ED9 ₁₆									0E69 ₁₆									FLD16 (P1 ₀)

未使用

制御手順：

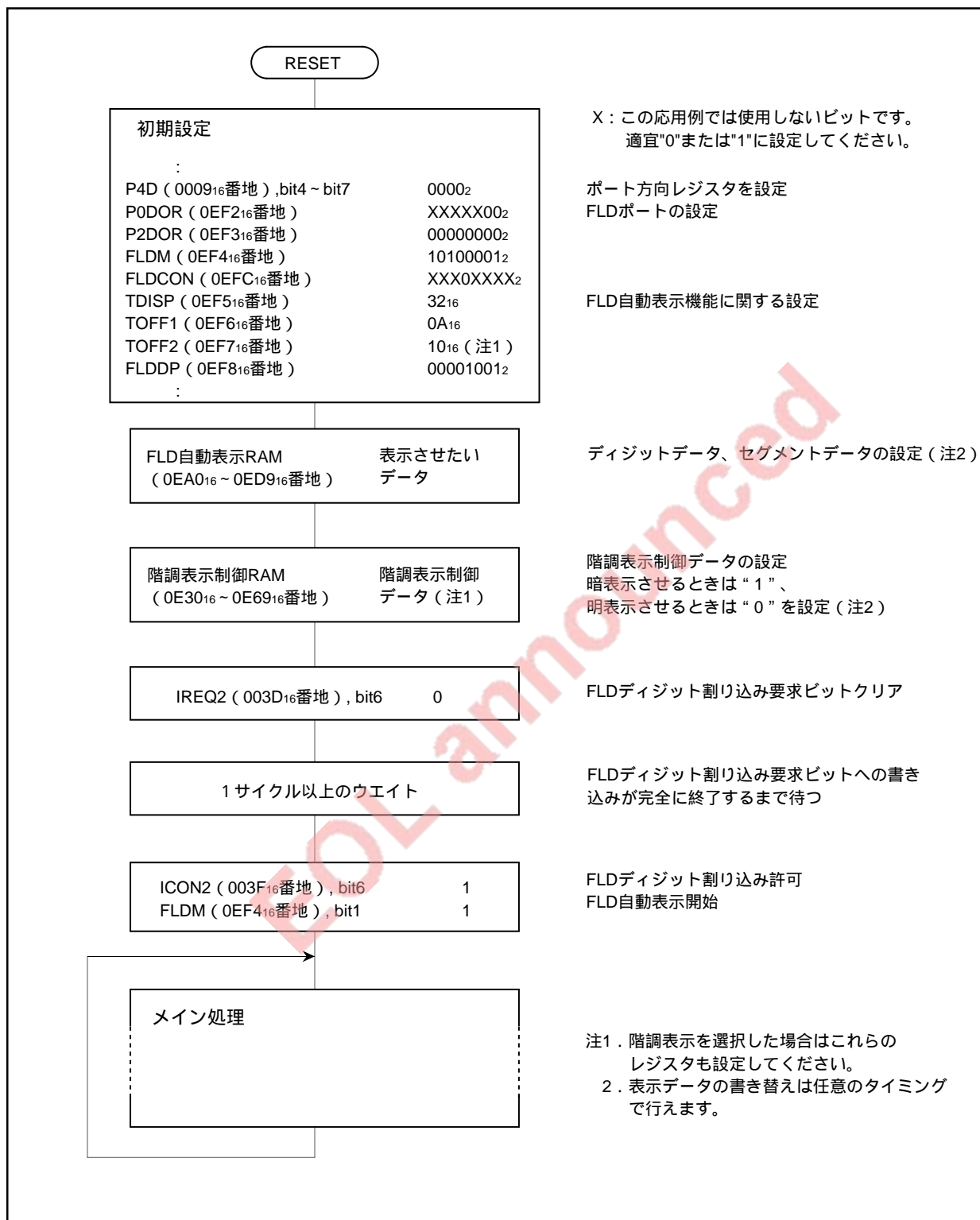
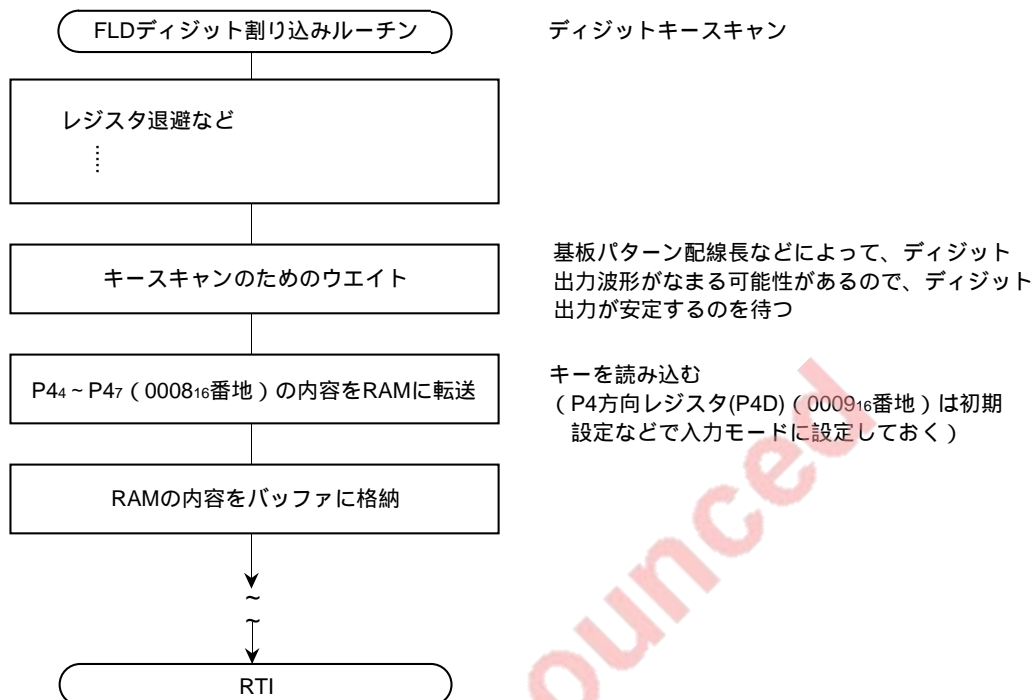


図2.4.25 制御手順



(3) ソフトウェアによるFLD表示(FLDコントローラを使用しない例)

ポイント：タイマ割り込みを用いて、FLD表示とキー読み込みを行います。

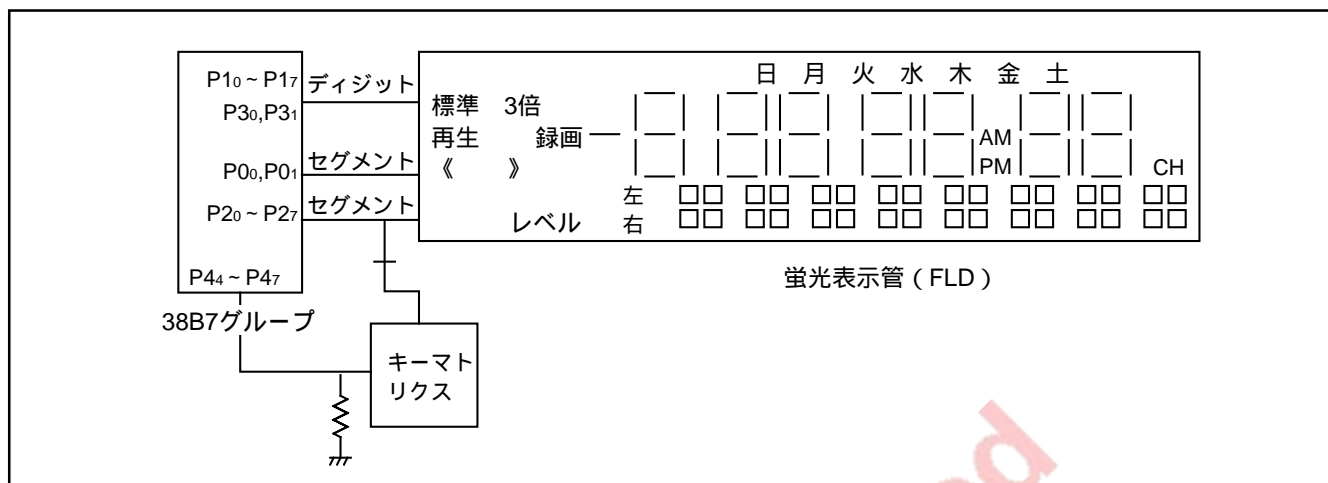


図2.4.26 接続図

仕様： デジット10本、セグメント10本(うち8本キースキャン)を使用
 ソフトウェアで表示制御を行う
 タイマ1割り込みを使用

図2.4.27にソフトウェアによるFLD表示タイミング図を、図2.4.28にP20~P27のキースキャン部分の拡大図を示します。ソフトウェアで図2.4.28に示す波形を作りキースキャンを行います。

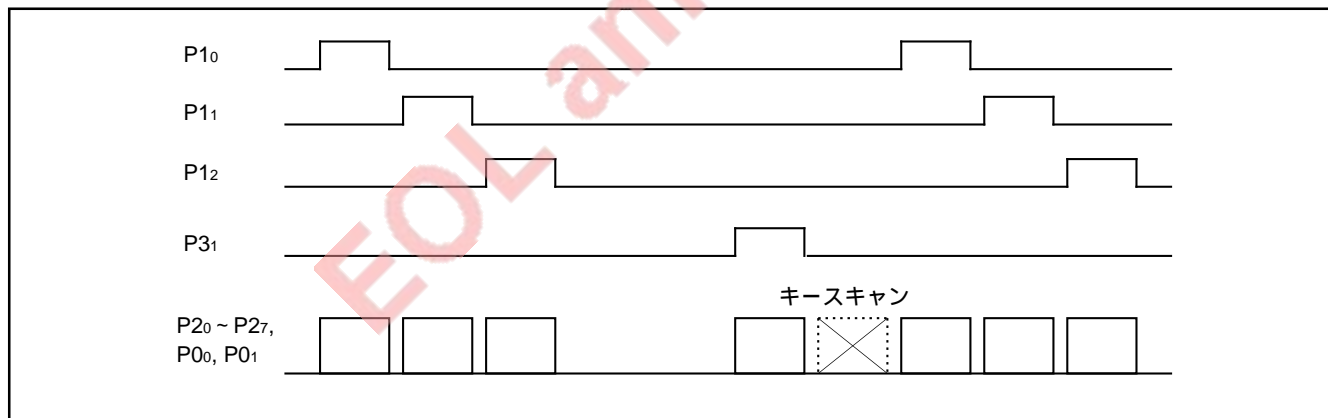


図2.4.27 ソフトウェアによるFLD表示タイミング図

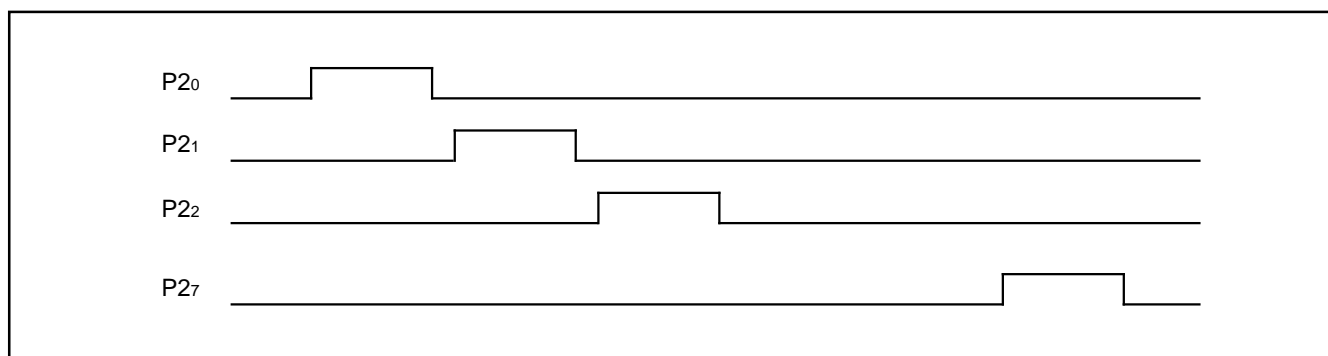


図2.4.28 P20~P27のキースキャン部分の拡大図

図2.4.29に関連レジスタの設定を示します。

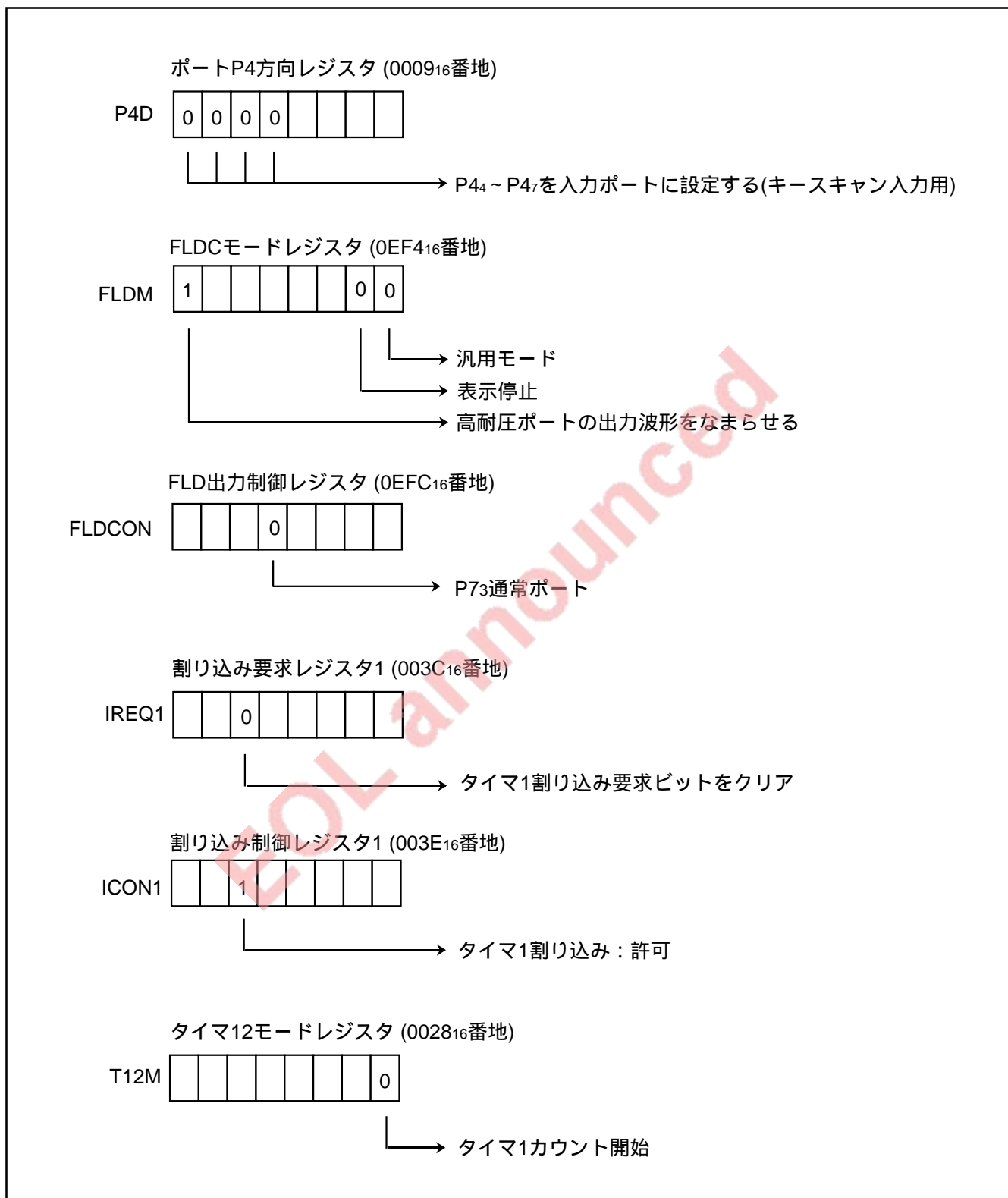


図2.4.29 関連レジスタの設定

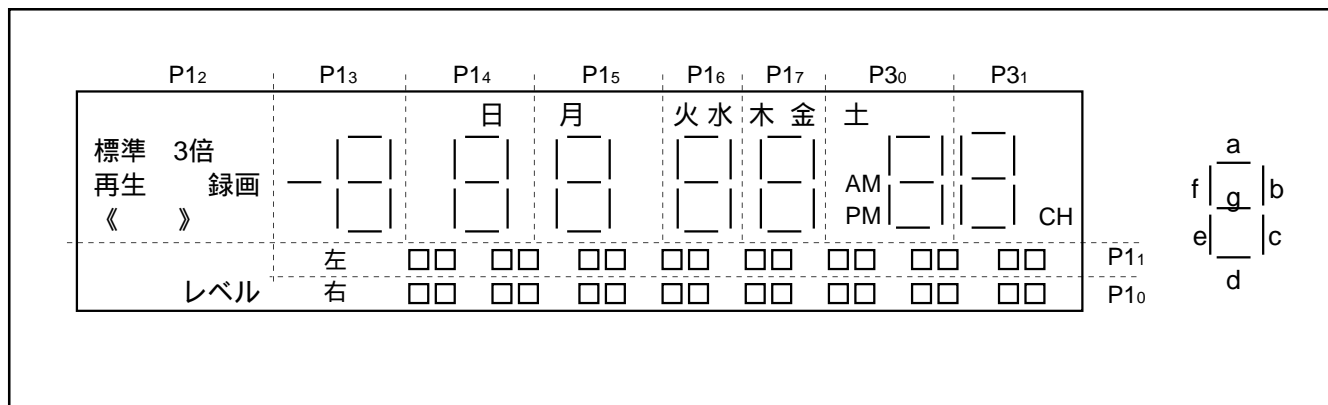


図2.4.30 FLDディジット割り付け例

表2.4.5 FLD表示RAMマップ例

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0EC0 ₁₆								
0EC1 ₁₆							PM	AM
0EC2 ₁₆								木
0EC3 ₁₆								火
0EC4 ₁₆								:
0EC5 ₁₆								:
0EC6 ₁₆								
0EC7 ₁₆								
0EC8 ₁₆							左	
0EC9 ₁₆							右	レベル
0ECA ₁₆								
0ECB ₁₆								
0ECC ₁₆								
0ECD ₁₆								
0ECE ₁₆								
0ECF ₁₆								
0ED0 ₁₆	CH	g	f	e	d	c	b	a
0ED1 ₁₆	土	g	f	e	d	c	b	a
0ED2 ₁₆	金	g	f	e	d	c	b	a
0ED3 ₁₆	水	g	f	e	d	c	b	a
0ED4 ₁₆	月	g	f	e	d	c	b	a
0ED5 ₁₆	日	g	f	e	d	c	b	a
0ED6 ₁₆	-	g	f	e	d	c	b	a
0ED7 ₁₆		《	》		再生	録画	標準	3倍
0ED8 ₁₆								
0ED9 ₁₆								

対応する
ディジット端子

- P31
- P30
- P17
- P16
- P15
- P14
- P13
- P12
- P11
- P10

- P31
- P30
- P17
- P16
- P15
- P14
- P13
- P12
- P11
- P10

未使用

(FLDコントローラを使用しないため、自動表示は行われません。)

制御手順：

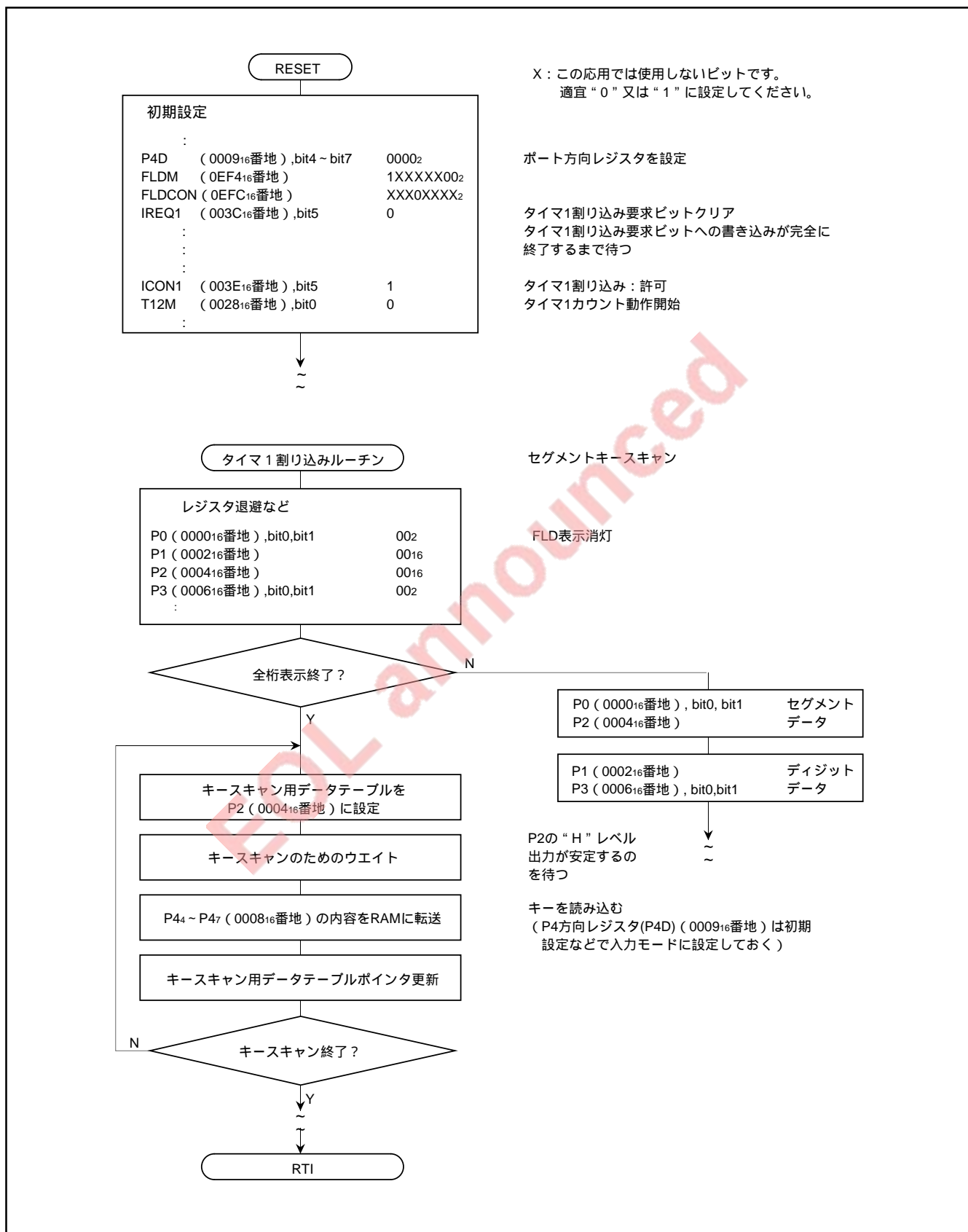


図2.4.31 制御手順

(4) デジットエキスパンダ(M35501FP*)との組み合わせで表示する(基本的な組み合わせ)

*M35501FPについては「3.12 M35501FP」を参照してください。

ポイント：デジットエキスパンダ(M35501FP)を用いて表示数の多い蛍光表示管(36セグメント×16デジット)を表示します。

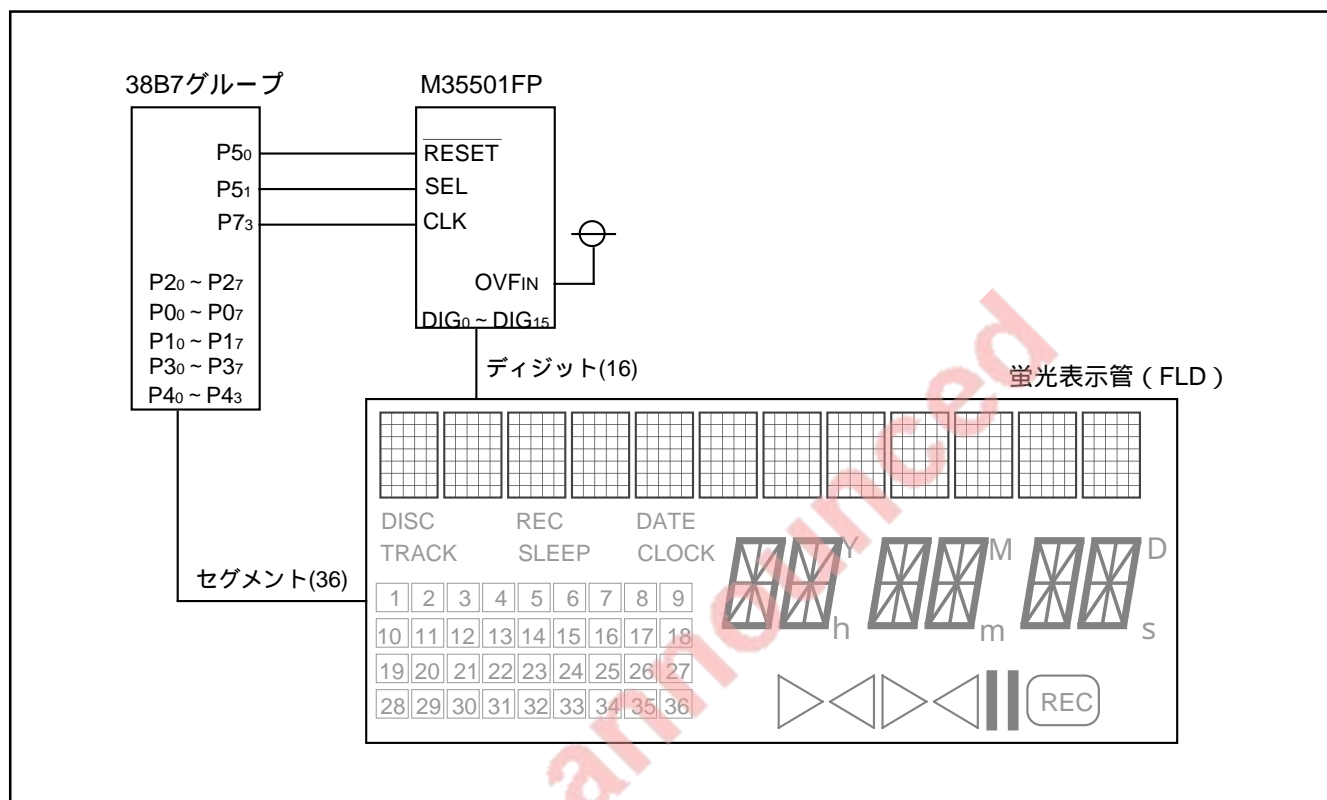


図2.4.32 接続図

- 仕様： M35501FPを使用(M35501FP:デジット16本、38B7:セグメント36本)
- M35501FPのRESET、SELにはそれぞれ38B7のP50、P51より信号を供給
- M35501FPのCLK端子へはディマ-出力端子P73より信号を供給
- 38B7のFLD自動表示モードを使用
- 階調表示モード、16タイミングモードにて表示
- Toff1=40 μs、Toff2=64 μs、Tdisp=204 μs、f(XIN)=4MHz

図2.4.33に38B7及びM35501FPのタイミング図を、図2.4.34にデジット及びセグメント出力のタイミング図(拡大)を示します。

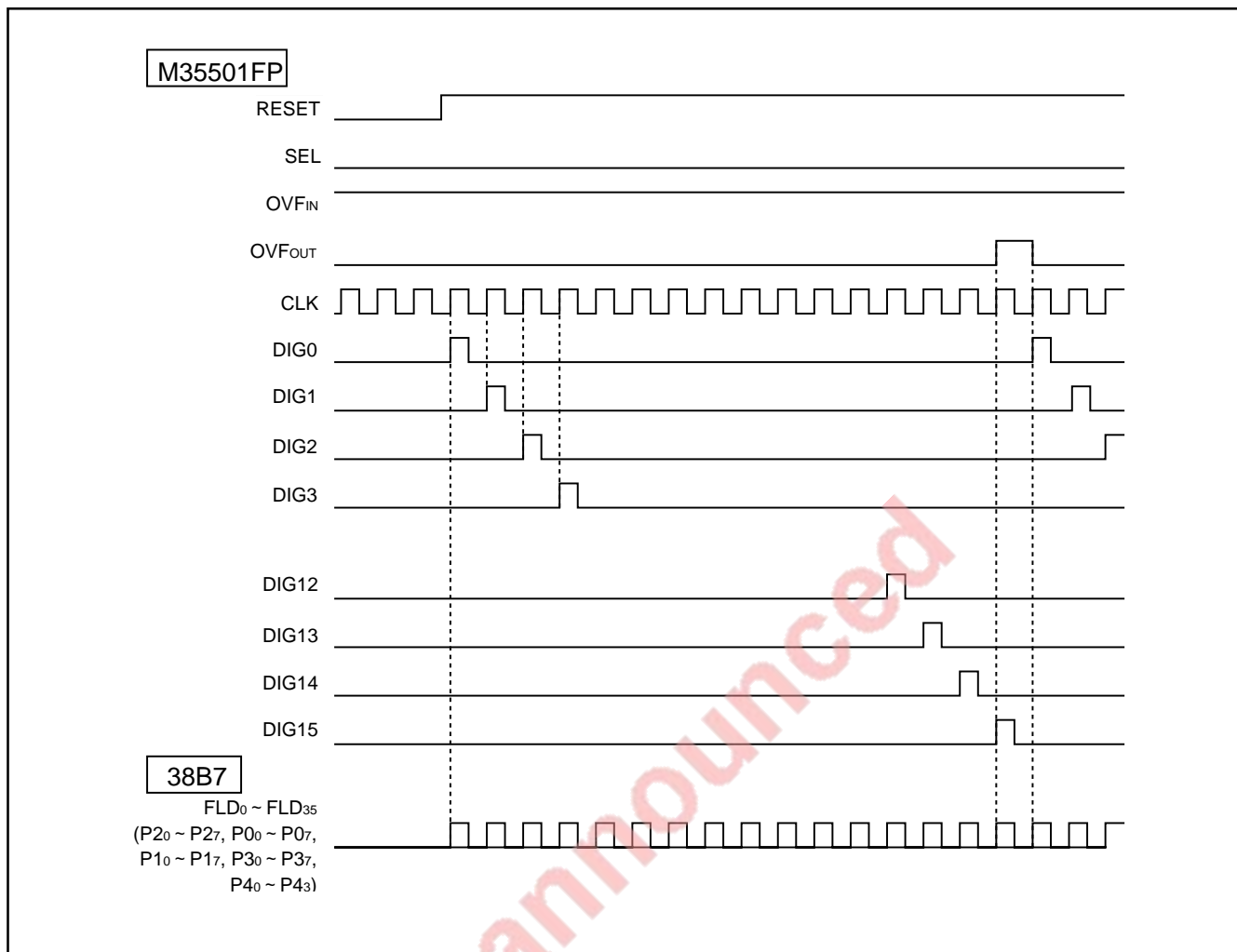


図2.4.33 38B7及びM35501FPのタイミング図

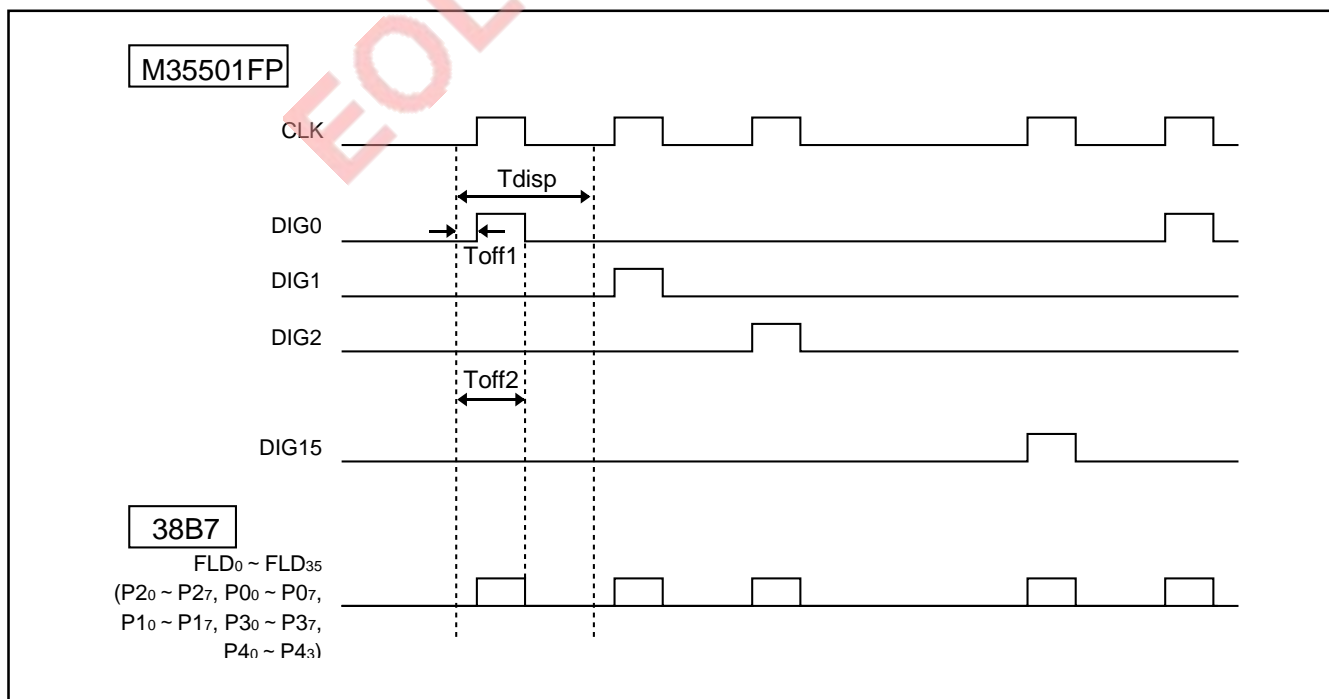


図2.4.34 デジタル及びセグメント出力のタイミング図(拡大)

関連レジスタの設定を図2.4.35に示します。

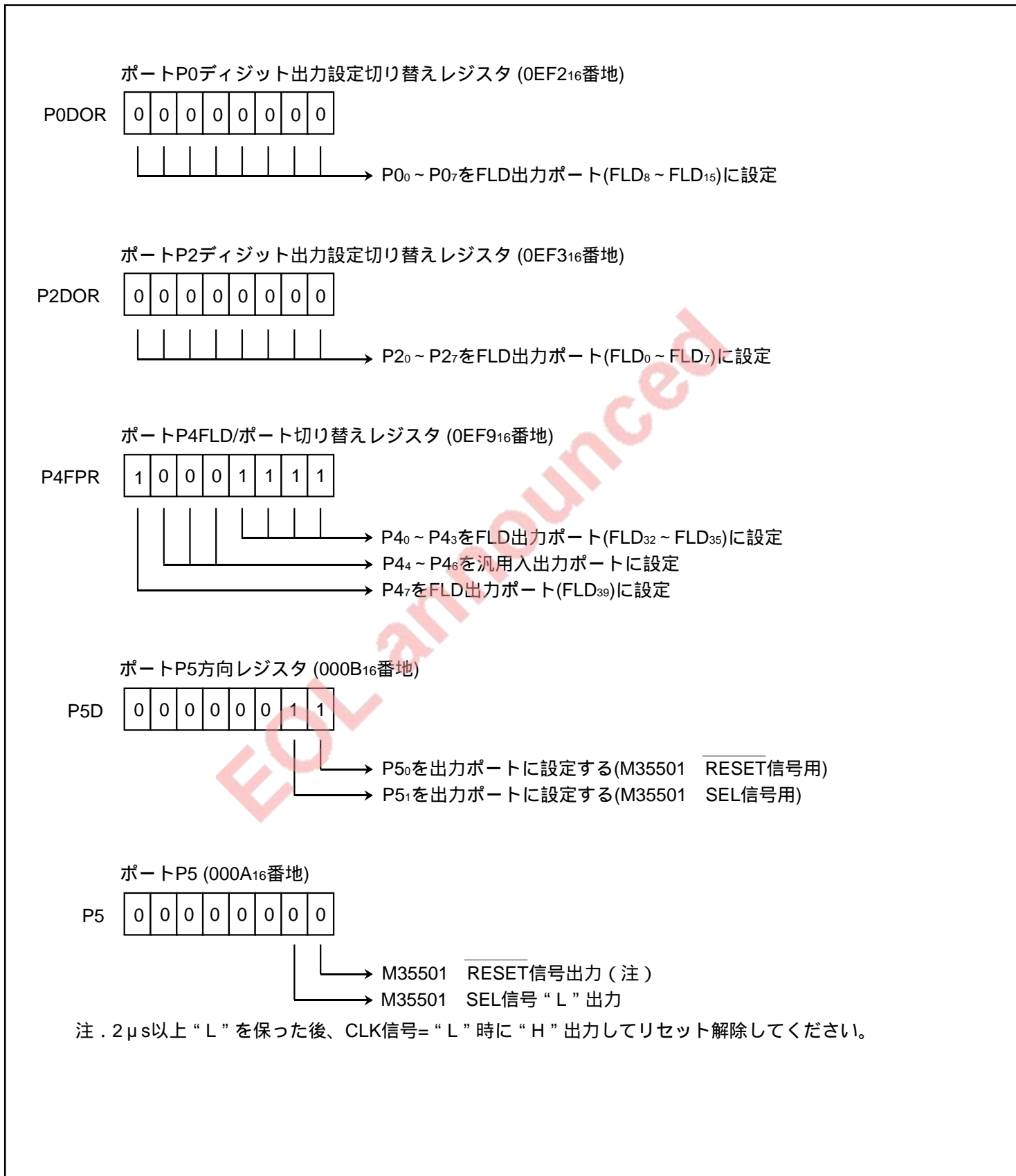
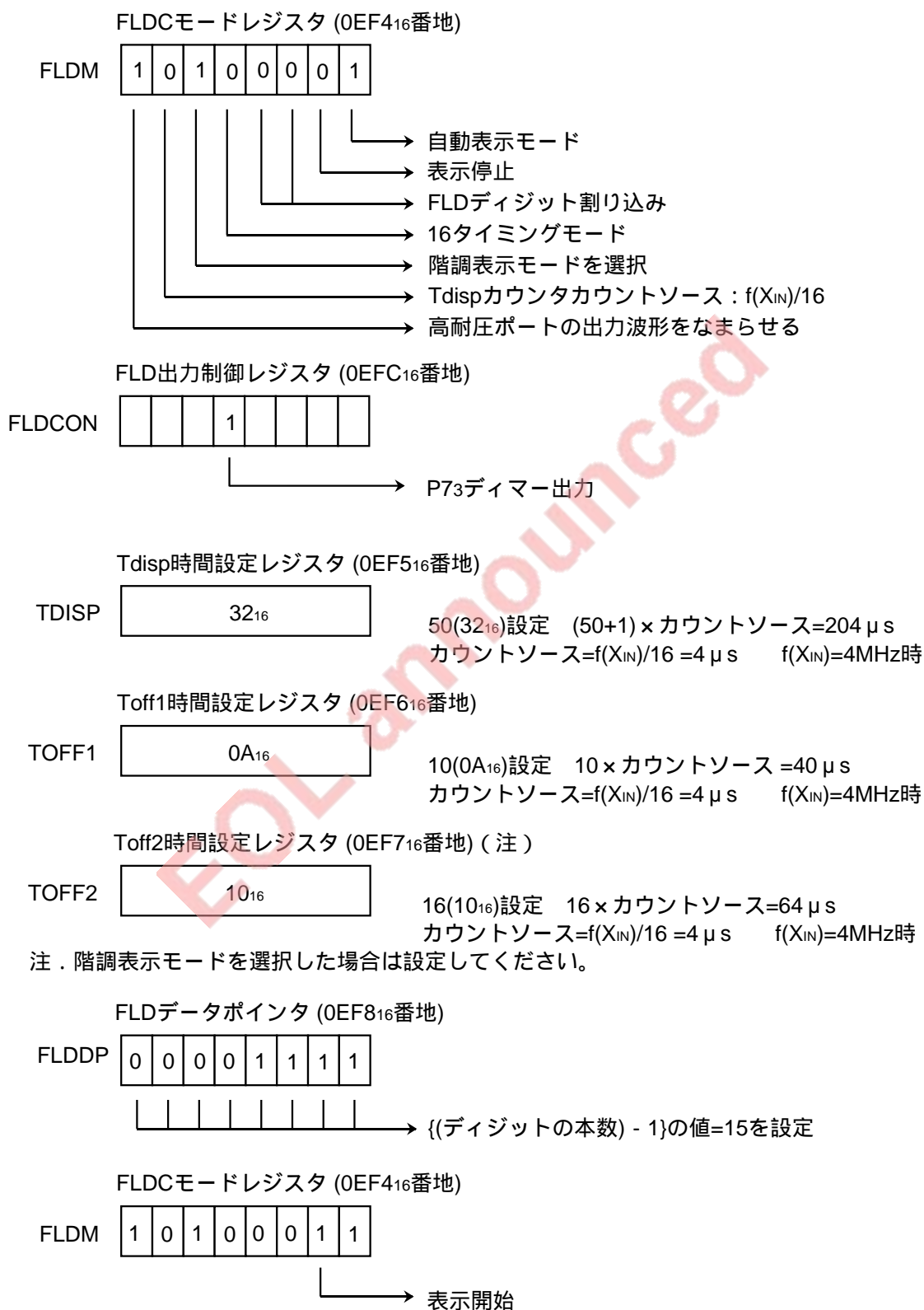


図2.4.35 関連レジスタの設定



FLD自動表示RAMの設定：

表2.4.6 FLD自動表示RAMマップ

1～16タイミング表示データ格納領域



階調表示制御データ格納領域

対応するM35501FP
のディジット端子

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0E90 ₁₆	1				FLD ₃₅	FLD ₃₄	FLD ₃₃	FLD ₃₂
0E91 ₁₆	1							
0E92 ₁₆	1							
0E93 ₁₆	1							
0E94 ₁₆	1							
0E95 ₁₆	1							
0E96 ₁₆	1							
0E97 ₁₆	1							
0E98 ₁₆	1							
0E99 ₁₆	1							
0E9A ₁₆	1							
0E9B ₁₆	1							
0E9C ₁₆	1							
0E9D ₁₆	1							
0E9E ₁₆	1							
0E9F ₁₆	1							
0EA0 ₁₆	FLD ₃₁	FLD ₃₀	FLD ₂₉	FLD ₂₈	FLD ₂₇	FLD ₂₆	FLD ₂₅	FLD ₂₄
0EA1 ₁₆								
0EA2 ₁₆								
0EA3 ₁₆								
0EA4 ₁₆								
0EA5 ₁₆								
0EA6 ₁₆								
0EA7 ₁₆								
0EA8 ₁₆								
0EA9 ₁₆								
0EAA ₁₆								
0EAB ₁₆								
0EAC ₁₆								
0EAD ₁₆								
0EAE ₁₆								
0EAF ₁₆								
0EB0 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0EB1 ₁₆								
0EB2 ₁₆								
0EB3 ₁₆								
0EB4 ₁₆								
0EB5 ₁₆								
0EB6 ₁₆								
0EB7 ₁₆								
0EB8 ₁₆								
0EB9 ₁₆								
0EBA ₁₆								
0EBB ₁₆								
0EBC ₁₆								
0EBD ₁₆								
0EBE ₁₆								
0EBF ₁₆								
0EC0 ₁₆	FLD ₁₅	FLD ₁₄	FLD ₁₃	FLD ₁₂	FLD ₁₁	FLD ₁₀	FLD ₉	FLD ₈
0EC1 ₁₆								
0EC2 ₁₆								
0EC3 ₁₆								
0EC4 ₁₆								
0EC5 ₁₆								
0EC6 ₁₆								
0EC7 ₁₆								
0EC8 ₁₆								
0EC9 ₁₆								
0ECA ₁₆								
0ECB ₁₆								
0ECC ₁₆								
0ECD ₁₆								
0ECE ₁₆								
0ECF ₁₆								
0ED0 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0ED1 ₁₆								
0ED2 ₁₆								
0ED3 ₁₆								
0ED4 ₁₆								
0ED5 ₁₆								
0ED6 ₁₆								
0ED7 ₁₆								
0ED8 ₁₆								
0ED9 ₁₆								
0EDA ₁₆								
0EDB ₁₆								
0EDC ₁₆								
0EDD ₁₆								
0EDE ₁₆								
0EDF ₁₆								

番地	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0E20 ₁₆	1				FLD ₃₅	FLD ₃₄	FLD ₃₃	FLD ₃₂
0E21 ₁₆	1							
0E22 ₁₆	1							
0E23 ₁₆	1							
0E24 ₁₆	1							
0E25 ₁₆	1							
0E26 ₁₆	1							
0E27 ₁₆	1							
0E28 ₁₆	1							
0E29 ₁₆	1							
0E2A ₁₆	1							
0E2B ₁₆	1							
0E2C ₁₆	1							
0E2D ₁₆	1							
0E2E ₁₆	1							
0E2F ₁₆	1							
0E30 ₁₆	FLD ₃₁	FLD ₃₀	FLD ₂₉	FLD ₂₈	FLD ₂₇	FLD ₂₆	FLD ₂₅	FLD ₂₄
0E31 ₁₆								
0E32 ₁₆								
0E33 ₁₆								
0E34 ₁₆								
0E35 ₁₆								
0E36 ₁₆								
0E37 ₁₆								
0E38 ₁₆								
0E39 ₁₆								
0E3A ₁₆								
0E3B ₁₆								
0E3C ₁₆								
0E3D ₁₆								
0E3E ₁₆								
0E3F ₁₆								
0E40 ₁₆	FLD ₂₃	FLD ₂₂	FLD ₂₁	FLD ₂₀	FLD ₁₉	FLD ₁₈	FLD ₁₇	FLD ₁₆
0E41 ₁₆								
0E42 ₁₆								
0E43 ₁₆								
0E44 ₁₆								
0E45 ₁₆								
0E46 ₁₆								
0E47 ₁₆								
0E48 ₁₆								
0E49 ₁₆								
0E4A ₁₆								
0E4B ₁₆								
0E4C ₁₆								
0E4D ₁₆								
0E4E ₁₆								
0E4F ₁₆								
0E50 ₁₆	FLD ₁₅	FLD ₁₄	FLD ₁₃	FLD ₁₂	FLD ₁₁	FLD ₁₀	FLD ₉	FLD ₈
0E51 ₁₆								
0E52 ₁₆								
0E53 ₁₆								
0E54 ₁₆								
0E55 ₁₆								
0E56 ₁₆								
0E57 ₁₆								
0E58 ₁₆								
0E59 ₁₆								
0E5A ₁₆								
0E5B ₁₆								
0E5C ₁₆								
0E5D ₁₆								
0E5E ₁₆								
0E5F ₁₆								
0E60 ₁₆	FLD ₇	FLD ₆	FLD ₅	FLD ₄	FLD ₃	FLD ₂	FLD ₁	FLD ₀
0E61 ₁₆								
0E62 ₁₆								
0E63 ₁₆								
0E64 ₁₆								
0E65 ₁₆								
0E66 ₁₆								
0E67 ₁₆								
0E68 ₁₆								
0E69 ₁₆								
0E6A ₁₆								
0E6B ₁₆								
0E6C ₁₆								
0E6D ₁₆								
0E6E ₁₆								
0E6F ₁₆								

DIG₁₅
DIG₁₄
DIG₁₃
DIG₁₂
DIG₁₁
DIG₁₀
DIG₉
DIG₈
DIG₇
DIG₆
DIG₅
DIG₄
DIG₃
DIG₂
DIG₁
DIG₀
DIG₁₅
DIG₁₄
DIG₁₃
DIG₁₂
DIG₁₁
DIG₁₀
DIG₉
DIG₈
DIG₇
DIG₆
DIG₅
DIG₄
DIG₃
DIG₂
DIG₁
DIG₀
DIG₁₅
DIG₁₄
DIG₁₃
DIG₁₂
DIG₁₁
DIG₁₀
DIG₉
DIG₈
DIG₇
DIG₆
DIG₅
DIG₄
DIG₃
DIG₂
DIG₁
DIG₀
DIG₁₅
DIG₁₄
DIG₁₃
DIG₁₂
DIG₁₁
DIG₁₀
DIG₉
DIG₈
DIG₇
DIG₆
DIG₅
DIG₄
DIG₃
DIG₂
DIG₁
DIG₀
DIG₁₅
DIG₁₄
DIG₁₃
DIG₁₂
DIG₁₁
DIG₁₀
DIG₉
DIG₈
DIG₇
DIG₆
DIG₅
DIG₄
DIG₃
DIG₂
DIG₁
DIG₀

 M35501FPへのCLK信号設定領域
 未使用

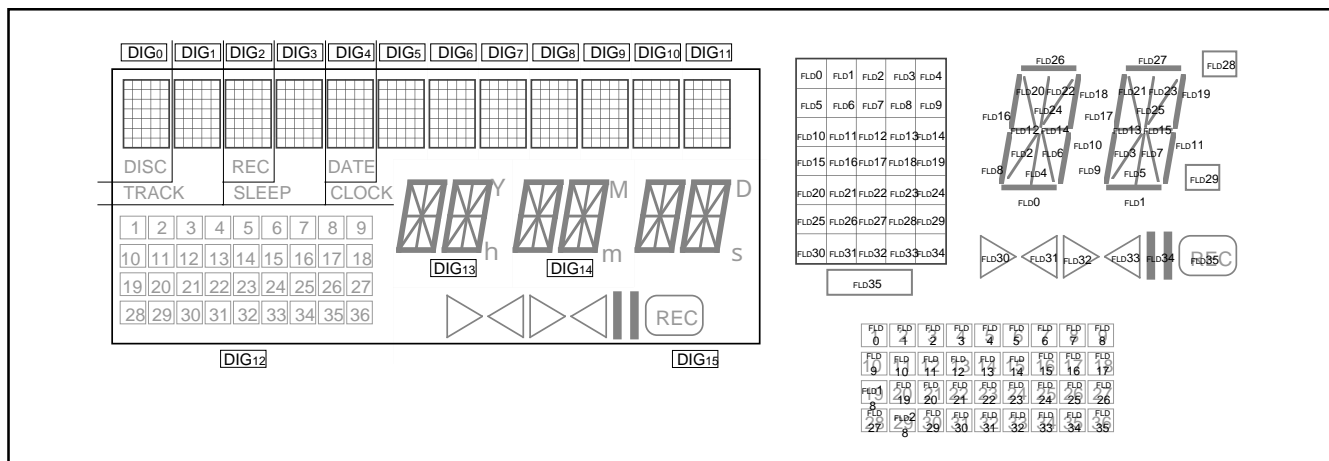


図2.4.36 FLDディジット割り付け例

制御手順：

図2.4.37制御手順を示します。

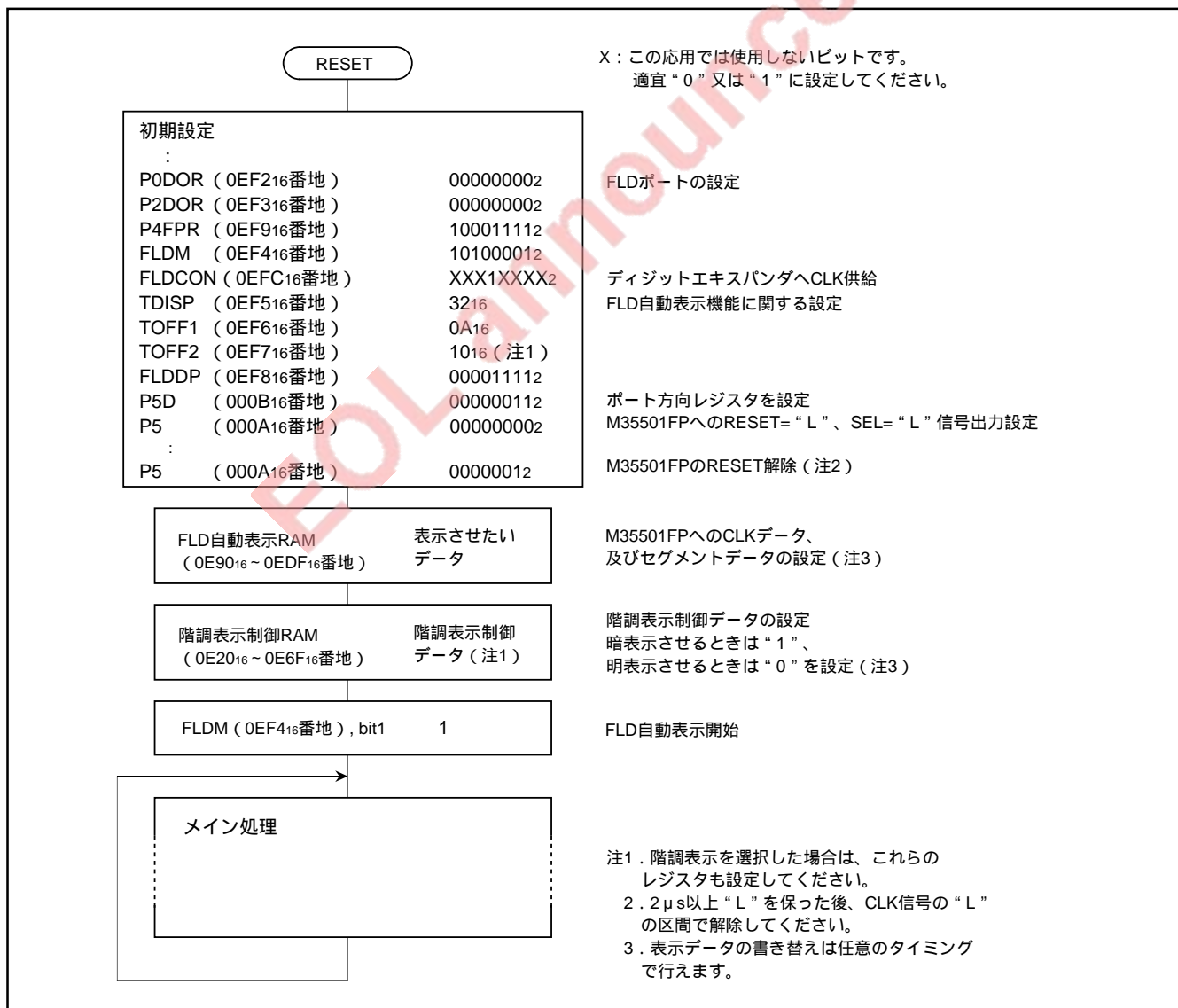


図2.4.37 制御手順

(5) デジタルエキスパンダ(M35501FP*)との組み合わせで表示する(桁ずれ防止を考慮した例)

*M35501FPについては「3.12 M35501FP」を参照してください。

ポイント：デジタルエキスパンダ(M35501FP)を用いて表示する(4)の場合、38B7とM35501FP間の信号にノイズなどが生じると表示の桁ずれが起こる場合があります。M35501FPのOVF_{OUT}出力を利用してこの桁ずれを防止します。

M35501FPのOVF_{OUT}端子はオーバフロー信号を出力する端子です。オーバフロー信号は、M35501FPの最終デジタル出力のクロックに同期して“H”出力する信号で、正常時には一定間隔で出力します。この信号の出力周期を測定することで異常を検出し、桁ずれを防止します。

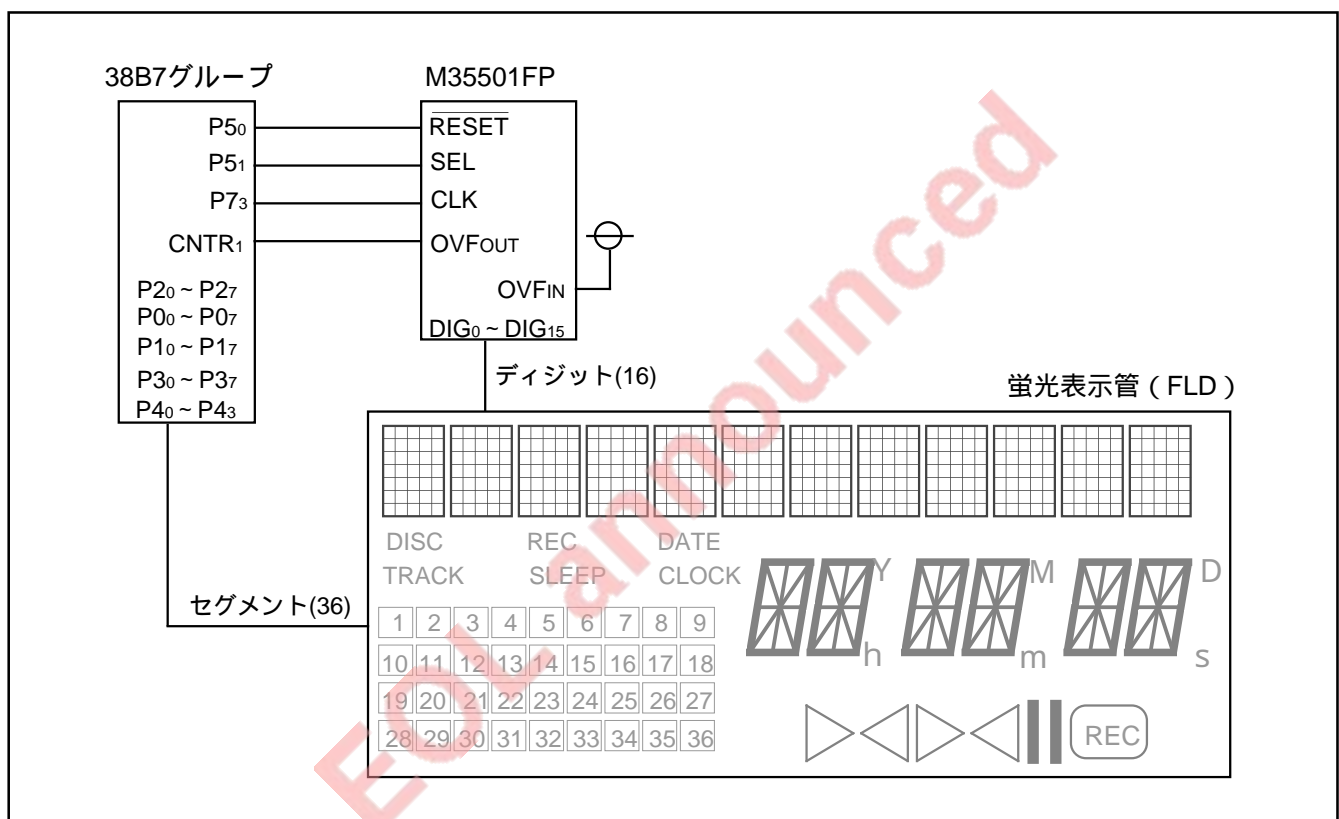


図2.4.38 接続図

- 仕様： M35501FPを使用(M35501FP:デジタル16本、38B7:セグメント36本)
M35501FPのRESET、SELにはそれぞれ38B7のP50、P51から信号を供給
M35501FPのCLK端子へはディマー出力端子P73より信号を供給
38B7のFLD自動表示モードを使用
階調表示モード、16タイミングモードにて表示
 $T_{off1}=40\ \mu s$ 、 $T_{off2}=64\ \mu s$ 、 $T_{disp}=204\ \mu s$ 、 $f(XIN)=4MHz$
- 桁ずれ対策 M35501FPのOVF_{OUT}出力を38B7のCNTR1端子に入力
38B7のタイマ4でCNTR1端子への入力をカウントソースとしてカウントする
FLD表示周期($T_{disp}(204\ \mu s) \times 16桁=3.264ms$)ごとにタイマ6割り込みを発生させ、
タイマ4の値を確認し、異常時にはM35501FPをリセットする

図2.4.39に38B7及びM35501FPのタイミング図(正常時)を、図2.4.40に38B7及びM35501FPのタイミング図(異常時)を示します。

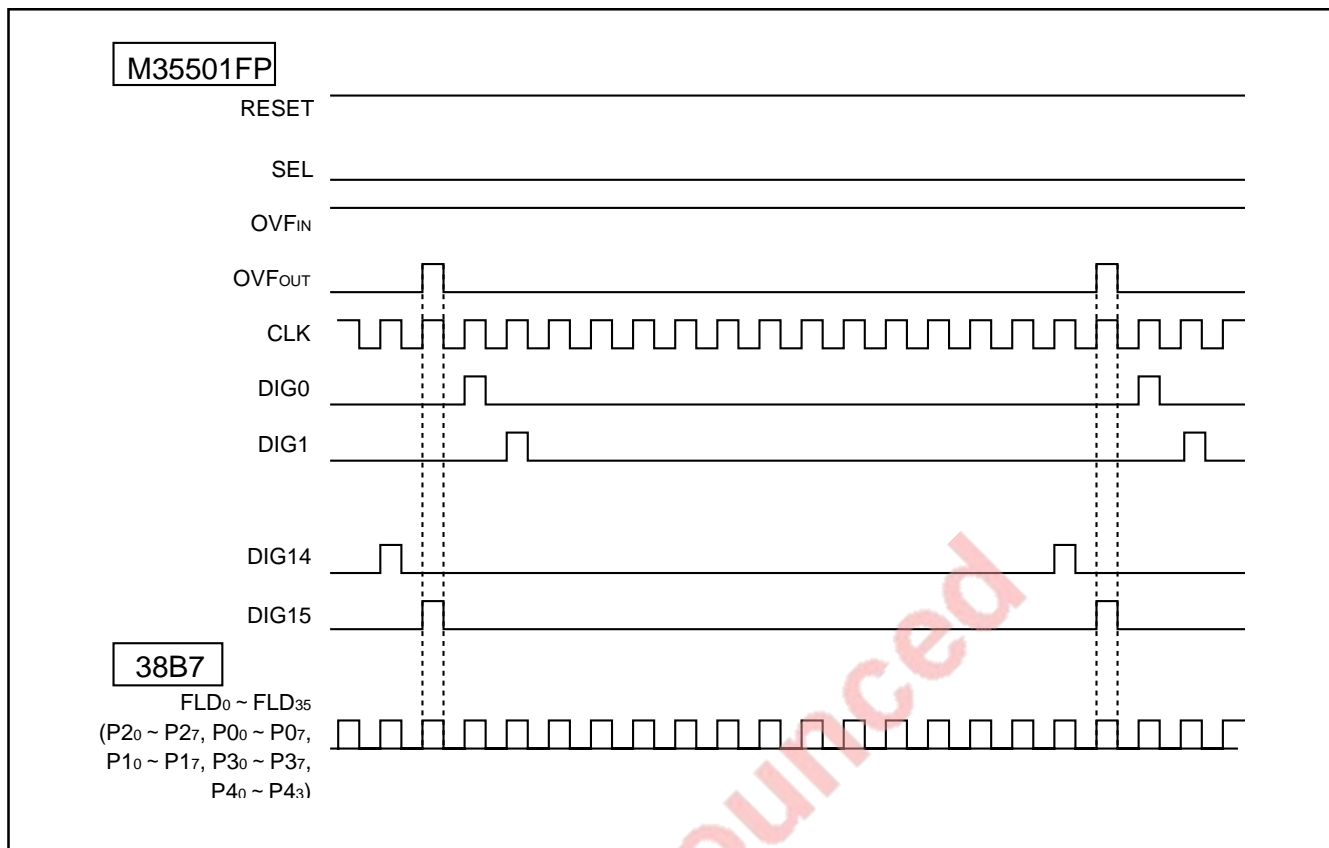


図2.4.39 38B7及びM35501FPのタイミング図(正常時)

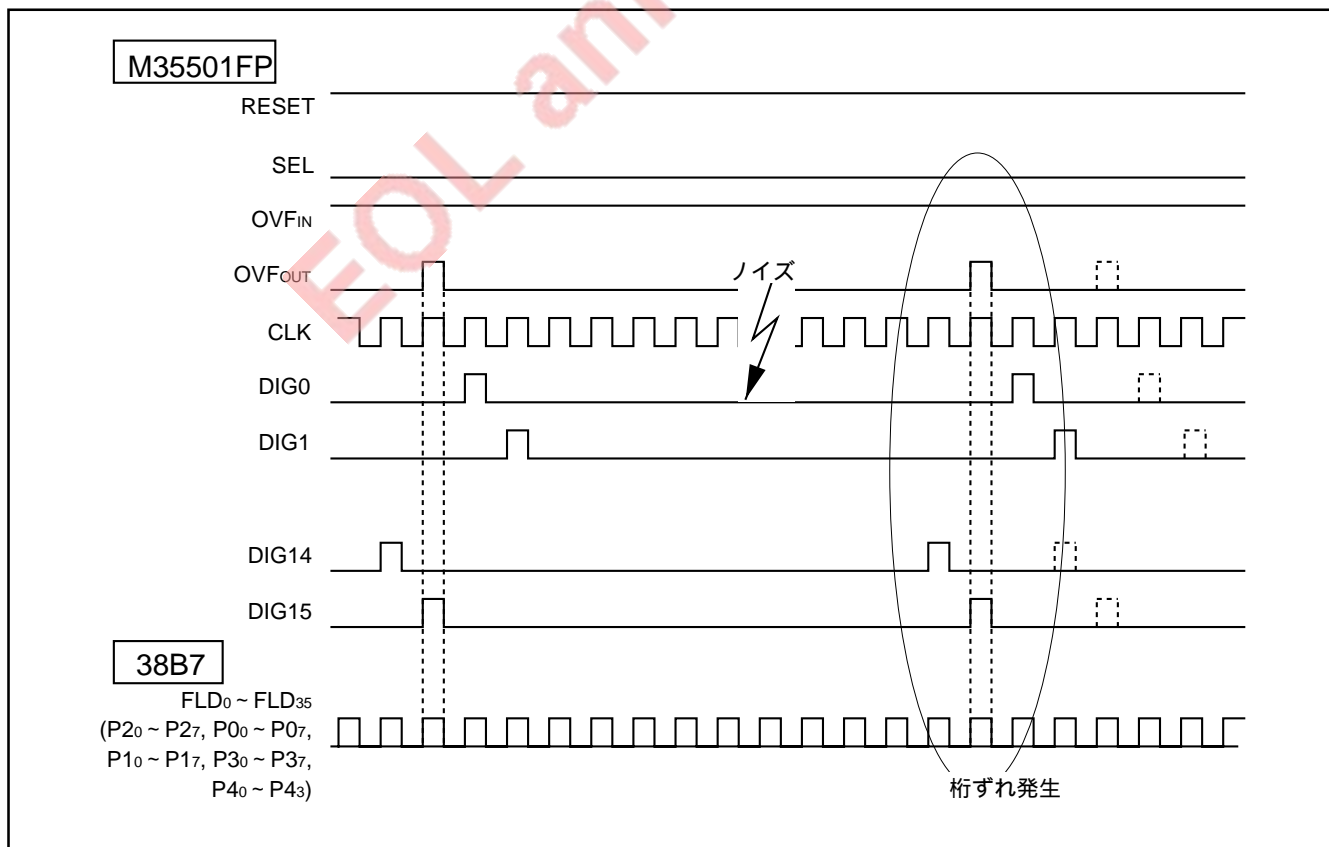


図2.4.40 38B7及びM35501FPのタイミング図(異常時)

関連レジスタの設定を図2.4.41に示します。

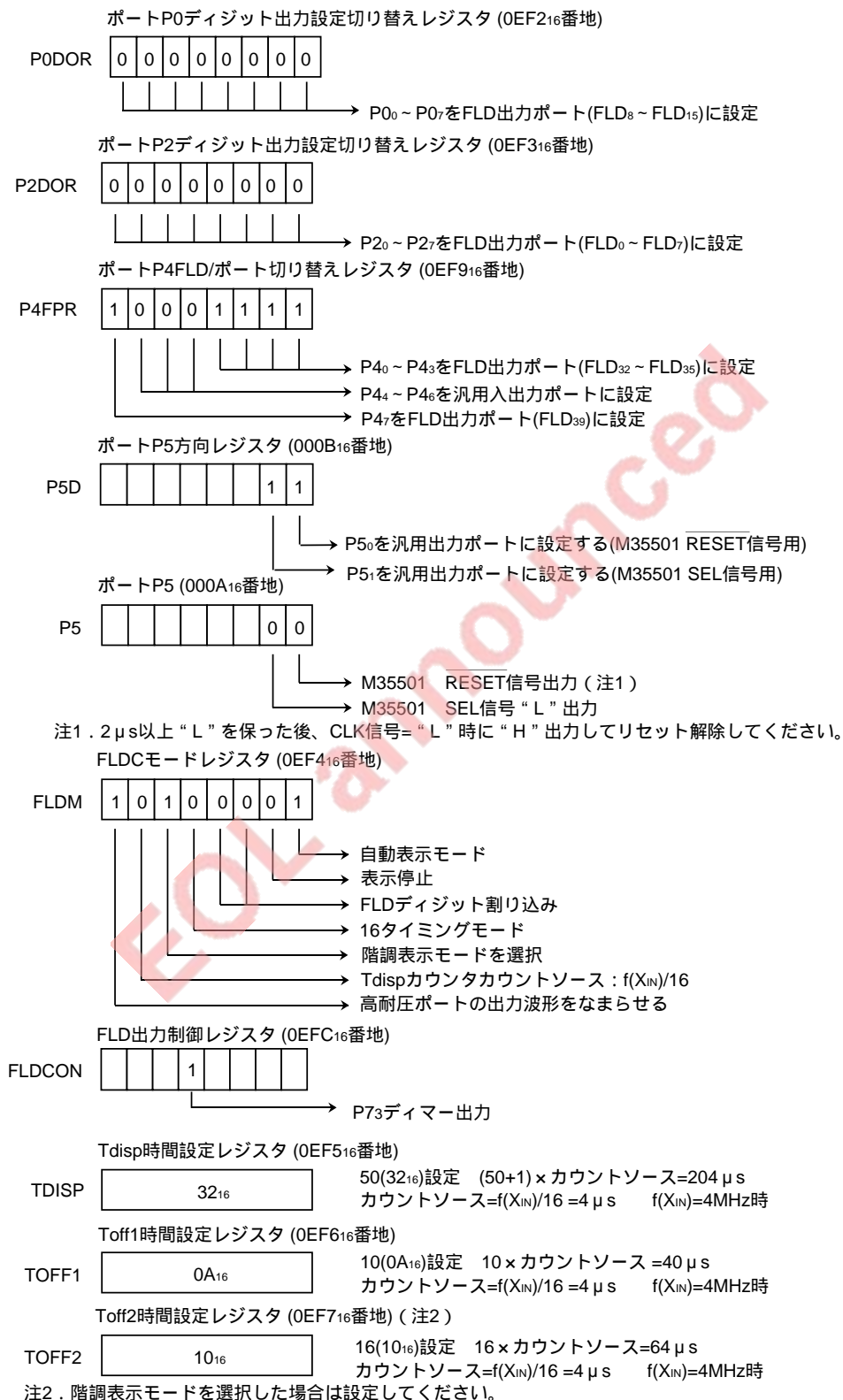
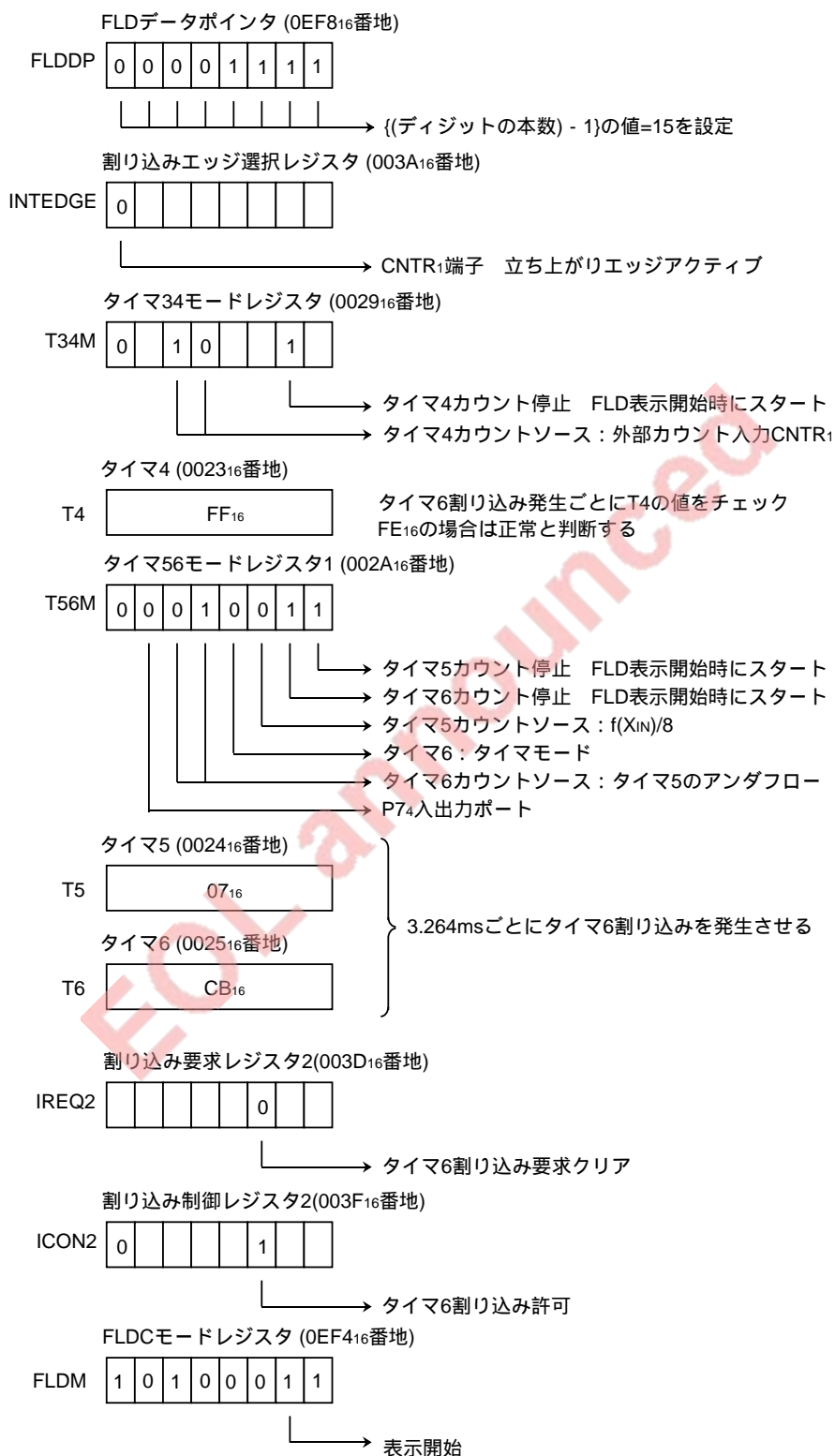


図2.4.41 関連レジスタの設定



制御手順：

制御手順を図2.4.42に示します。

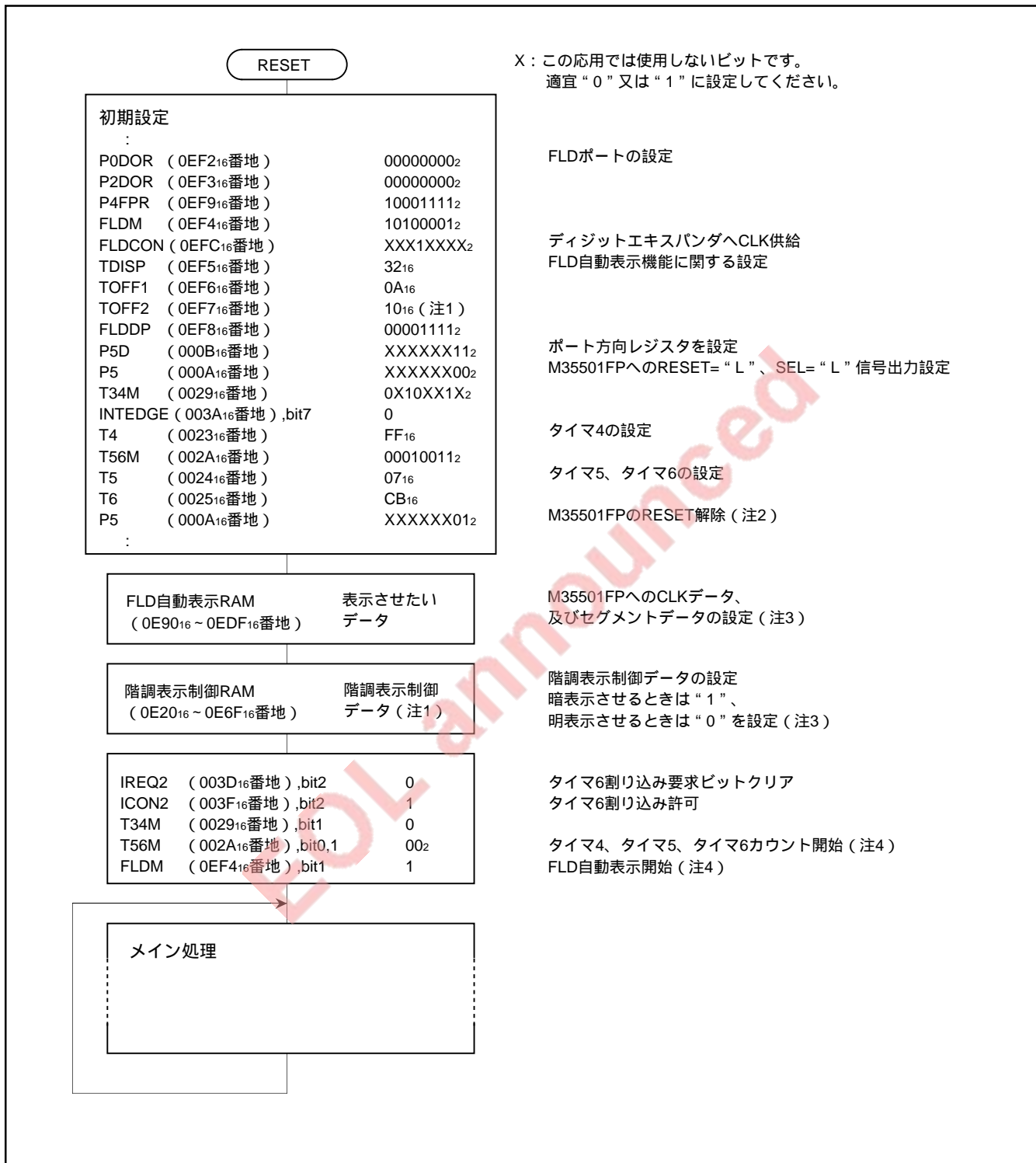
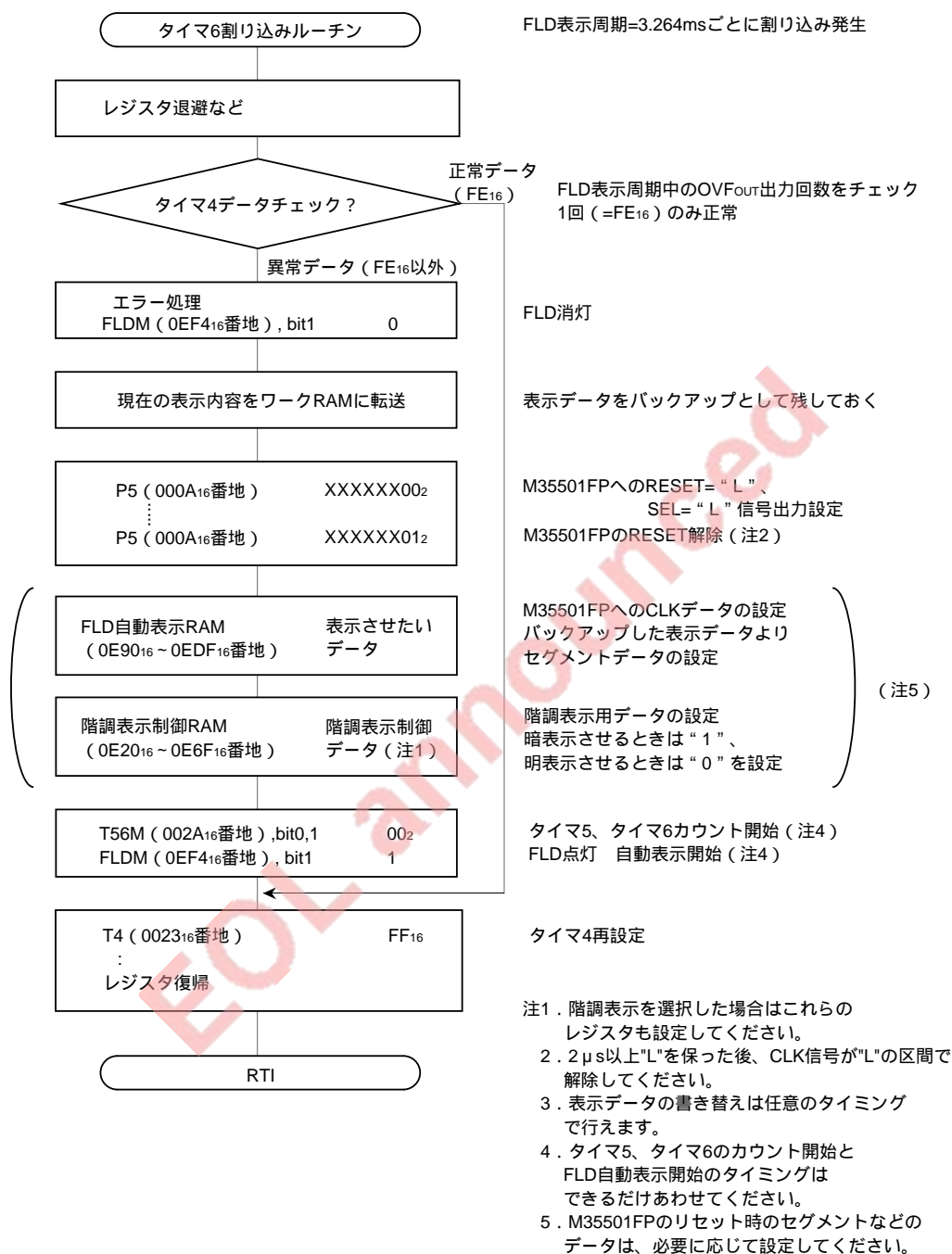


図2.4.42 制御手順



2.4.4 FLDコントローラの注意事項

Toff1時間設定レジスタへは03₁₆以上の値を設定してください。

階調表示モードで表示する場合は、タイミング数制御ビットで16タイミングモードを選択 (FLDCモードレジスタ(0EF4₁₆番地)のビット4=0)してください。

EOL announced

2.5 A-D変換器

本節ではA-D変換器に関するレジスタの設定方法、注意事項などを説明します。

2.5.1 メモリ配置図



図2.5.1 A-D変換器関連レジスタのメモリ配置

2.5.2 関連レジスタ

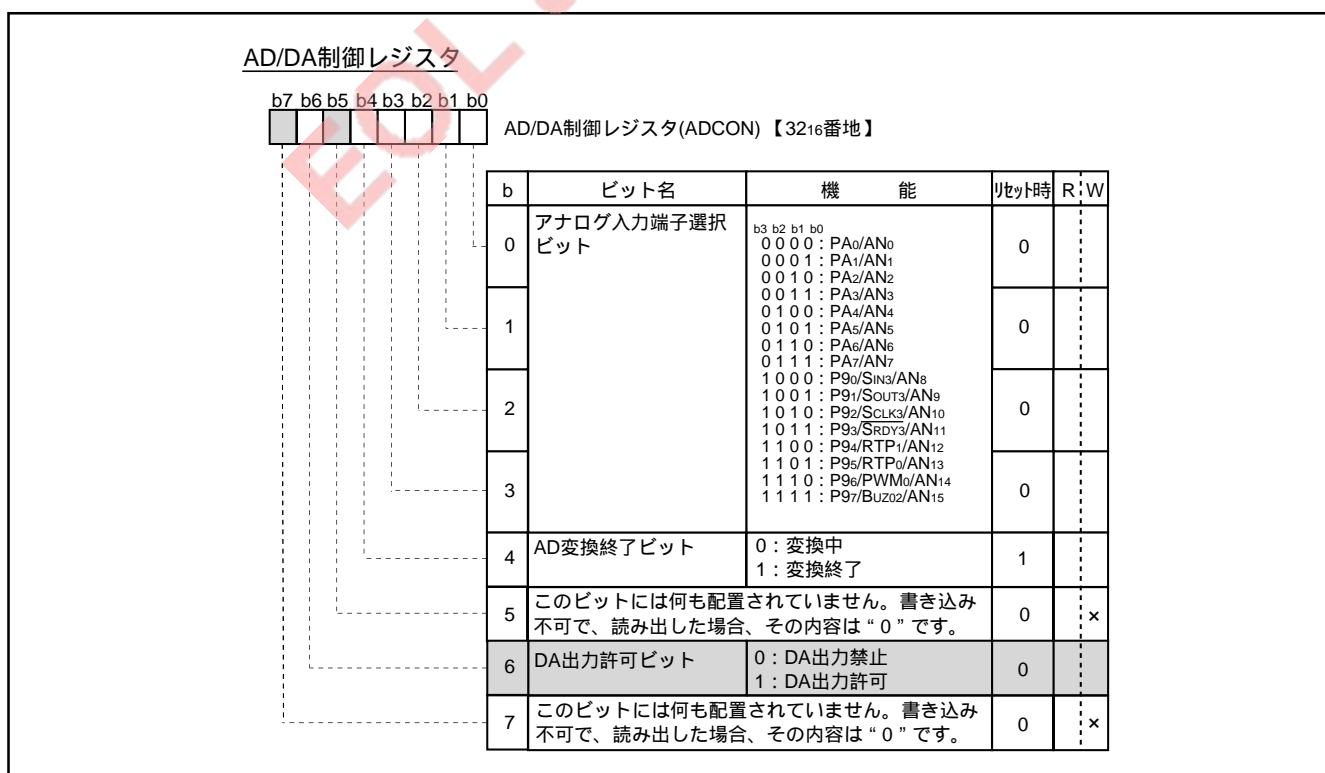


図2.5.2 AD/DA制御レジスタの構成

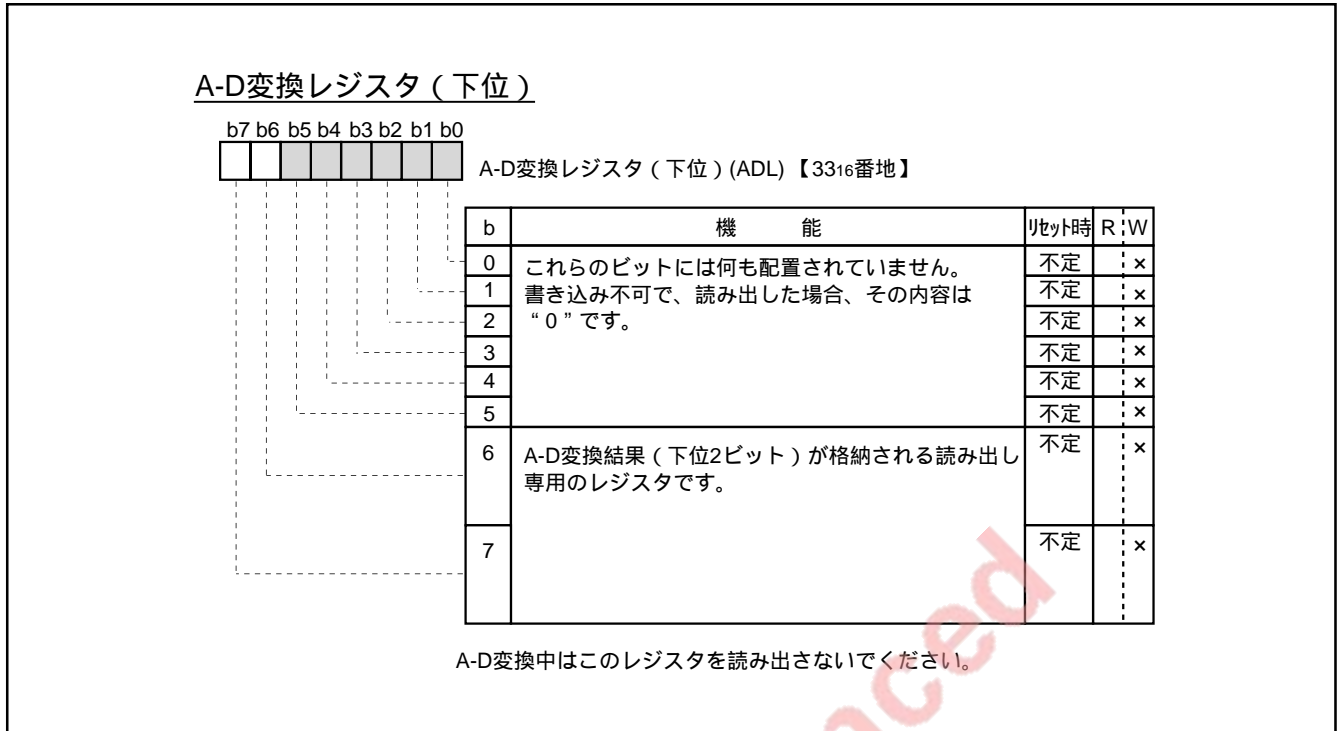


図2.5.3 A-D変換レジスタ(下位)の構成

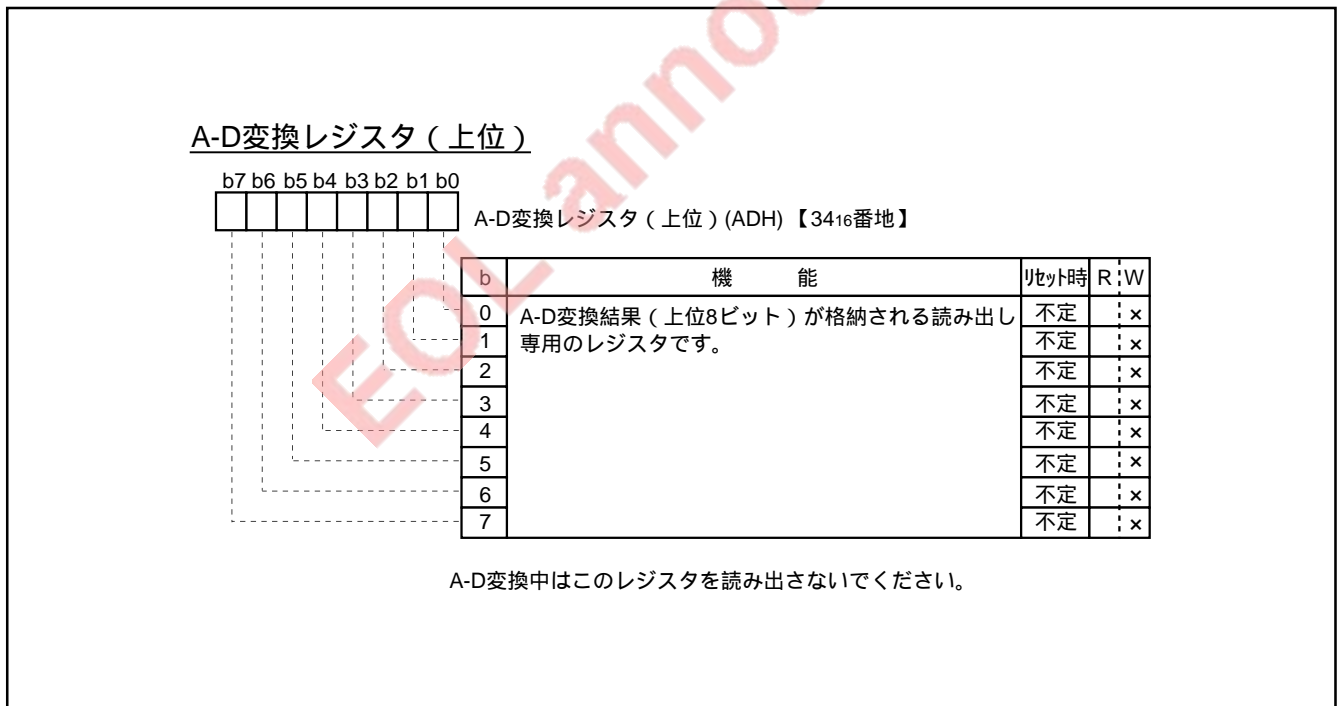
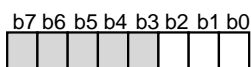


図2.5.4 A-D変換レジスタ(上位)の構成

割り込み要因切り替えレジスタ



割り込み要因切り替えレジスタ(IFR)【39₁₆番地】

b	ビット名	機能	リセット時	R	W
0	INT ₃ /シリアル/O ₂ 送信割り込み要因切り替えビット	0 : INT ₃ 割り込み 1 : シリアル/O ₂ 送信割り込み	0		
1	INT ₄ /A-D変換割り込み要因切り替えビット	0 : INT ₄ 割り込み 1 : A-D変換割り込み	0		
2	INT ₁ /シリアル/O ₃ 割り込み要因切り替えビット	0 : INT ₁ 割り込み 1 : シリアル/O ₃ 割り込み	0		
3	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		×
4			0		×
5			0		×
6			0		×
7			0		×

図2.5.5 割り込み要因切り替えレジスタの構成

EOL announced

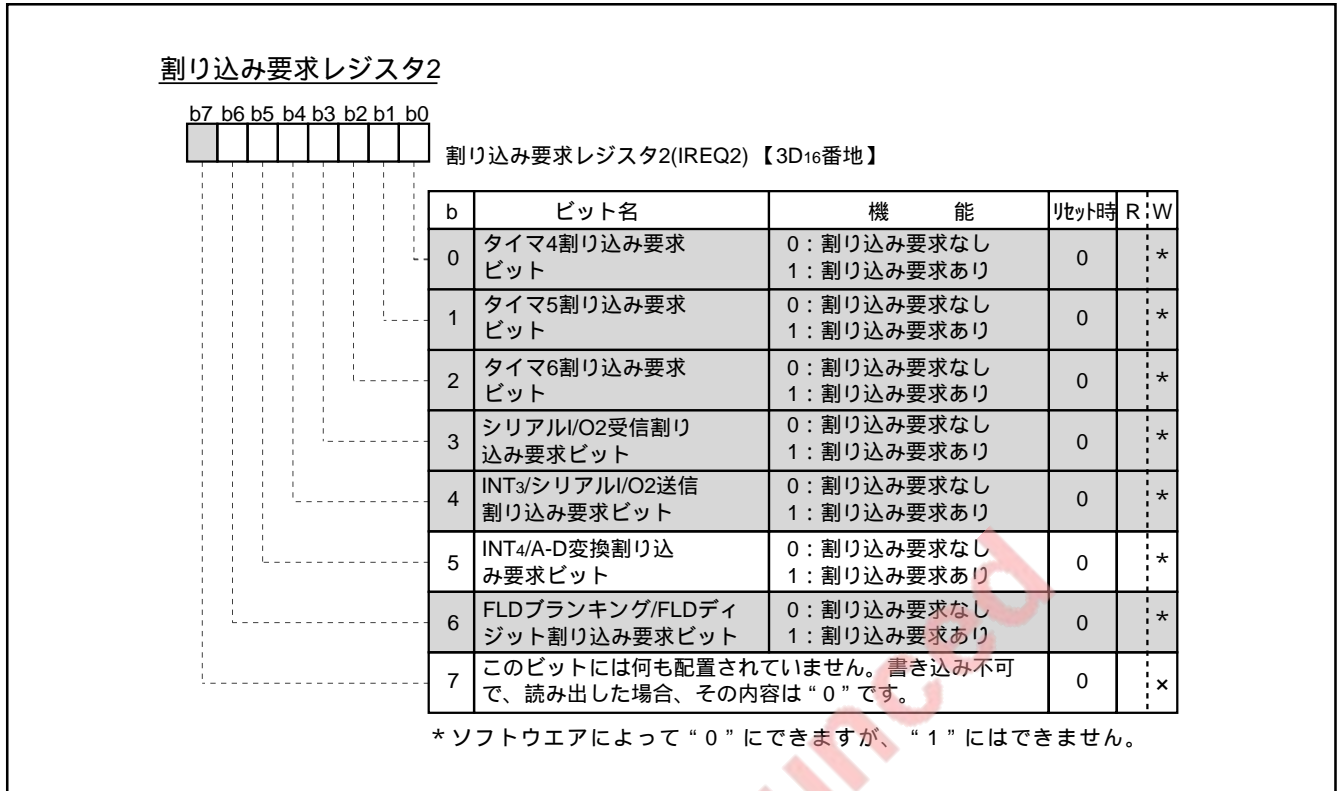


図2.5.6 割り込み要求レジスタ2の構成

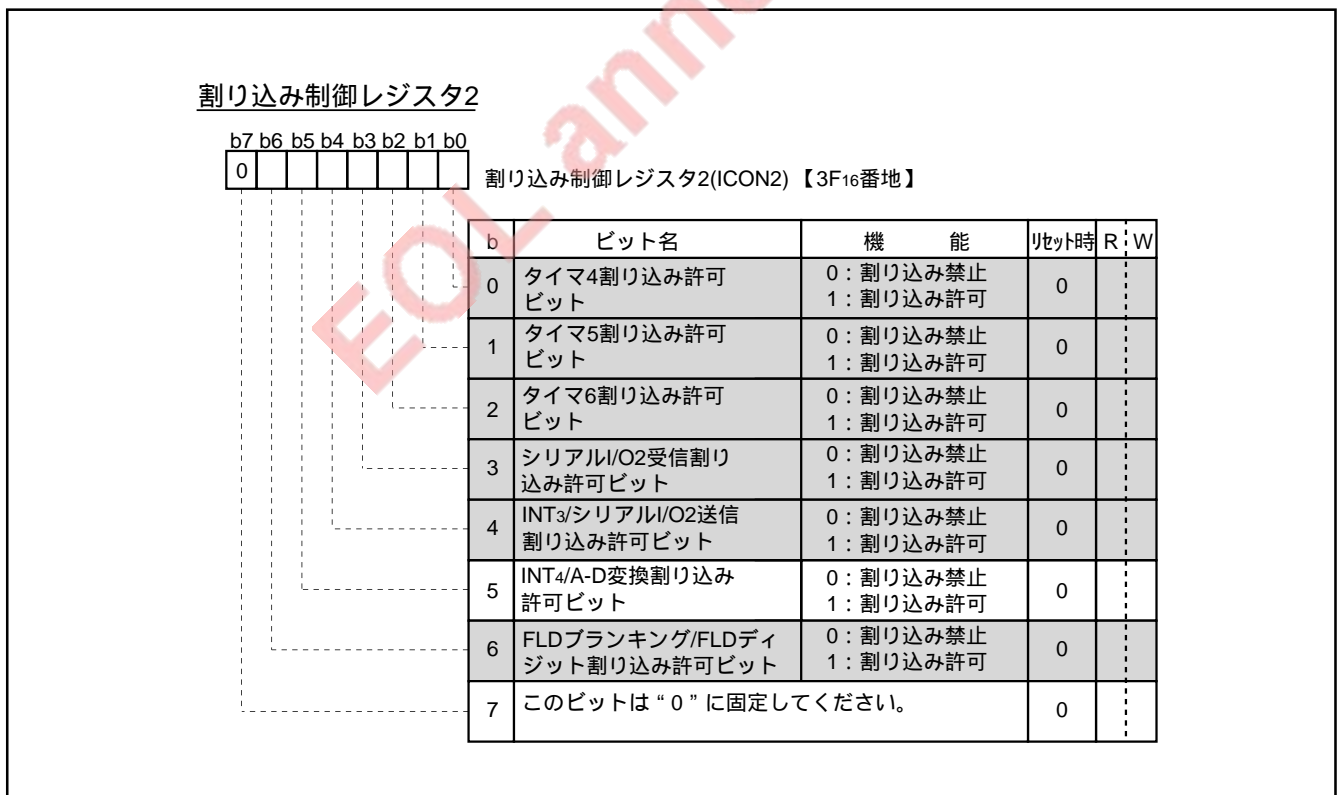


図2.5.7 割り込み制御レジスタ2の構成

2.5.3 A-D変換器の応用例

(1) アナログ信号の読み込み

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.5.8、関連レジスタの設定を図2.5.9に示します。

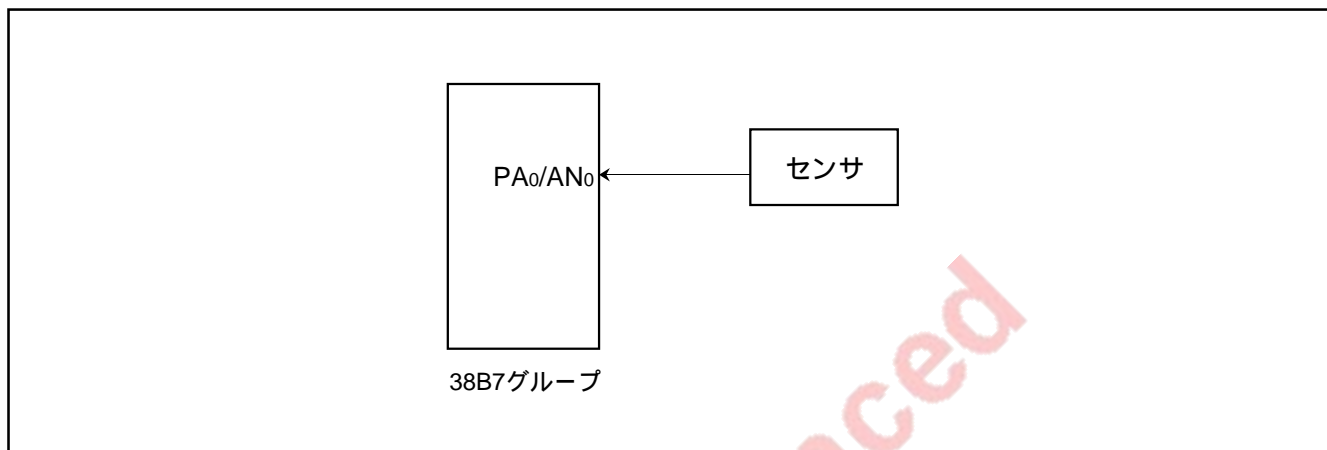


図2.5.8 接続図

- 仕様：
- ・センサからのアナログ入力電圧をデジタル値に変換。
 - ・アナログ入力値にはPA0/AN0端子を使用。

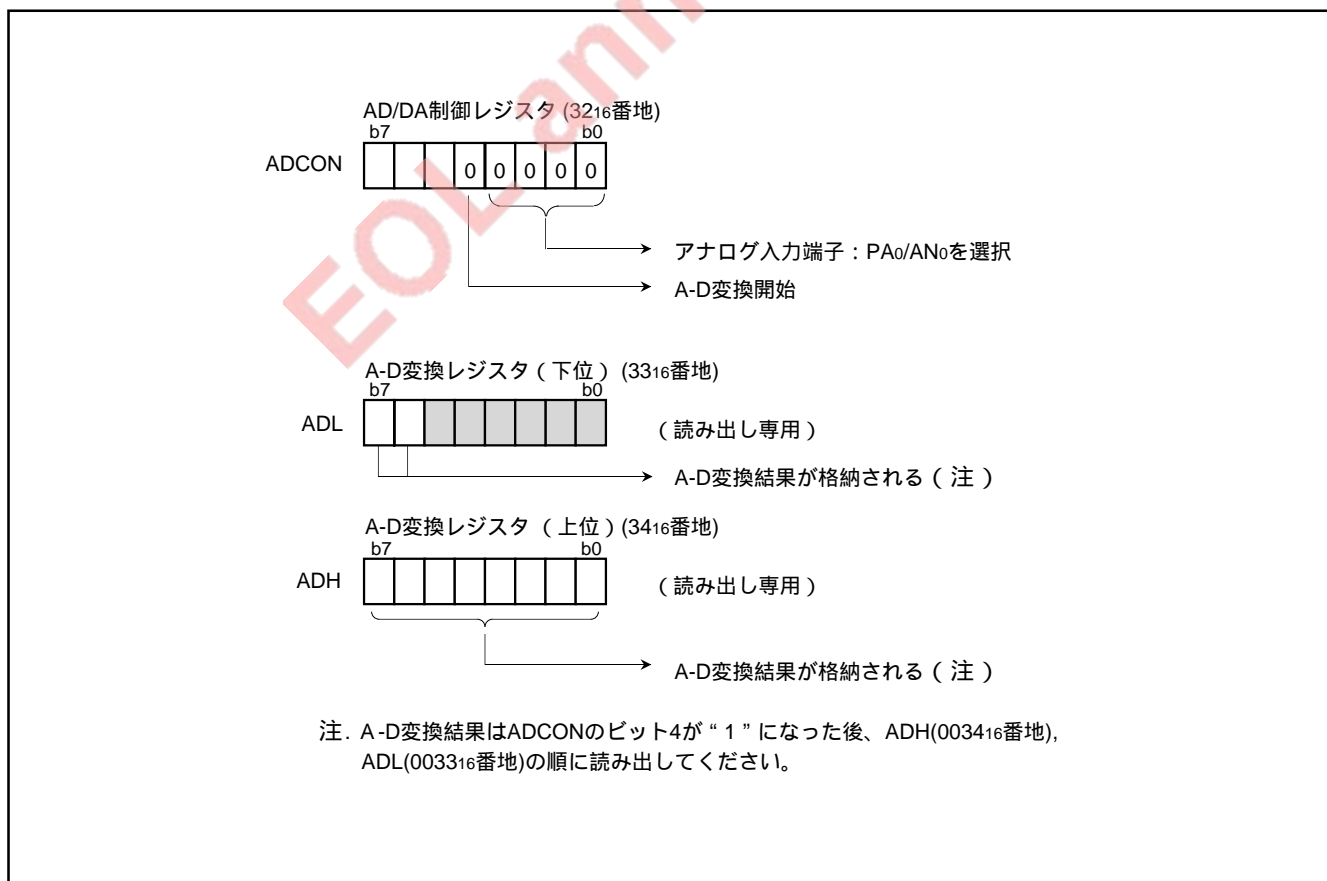


図2.5.9 関連レジスタの設定

図2.5.9に示す関連レジスタの設定を行うと、センサからアナログ入力信号をデジタル値に変換します。図2.5.10に制御手順を示します。

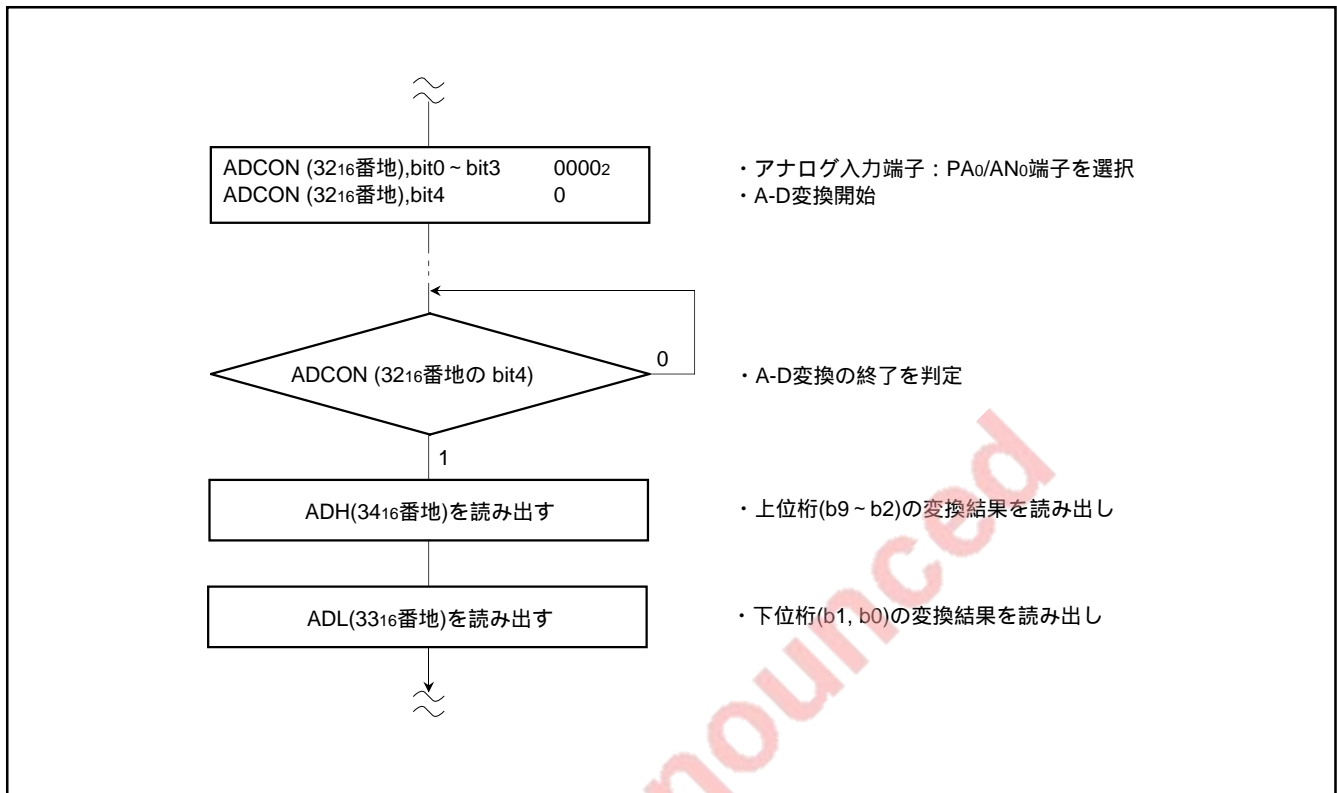


図2.5.10 制御手順

2.5.4 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\ \mu\text{F}$ ~ $1\ \mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザーサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA-D変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、A-D変換器用電源端子AVssは以下のように処理してください。

- ・ AVss : Vssに接続

理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は以下の2点に留意してください。

- ・ $f(\text{XIN})$ は250kHz以上にしてください。
- ・ STP命令、WIT命令を実行しないでください。

2.6 D-A変換器

本節ではD-A変換器に関するレジスタの設定方法、注意事項などを説明します。

2.6.1 メモリ配置図

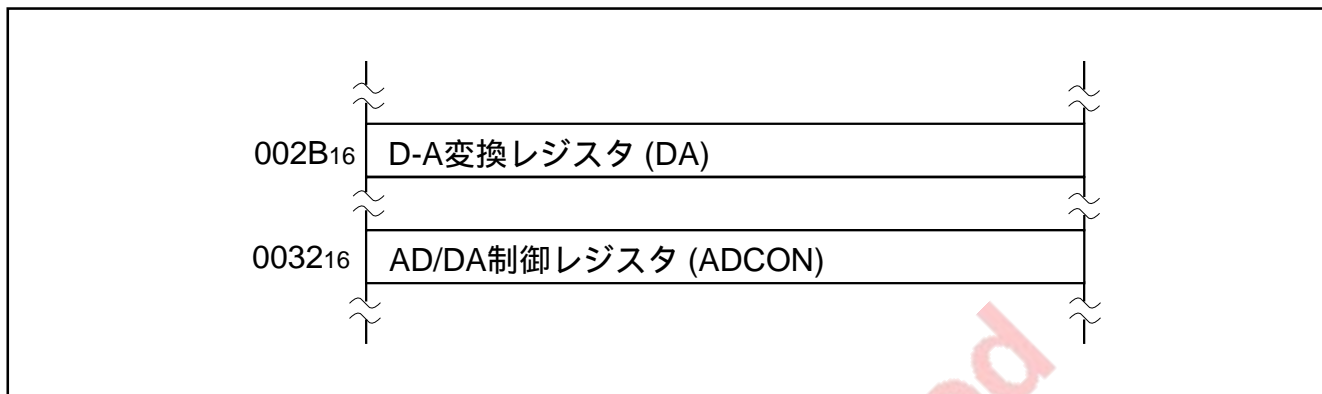


図2.6.1 D-A変換器関連レジスタのメモリ配置

2.6.2 関連レジスタ

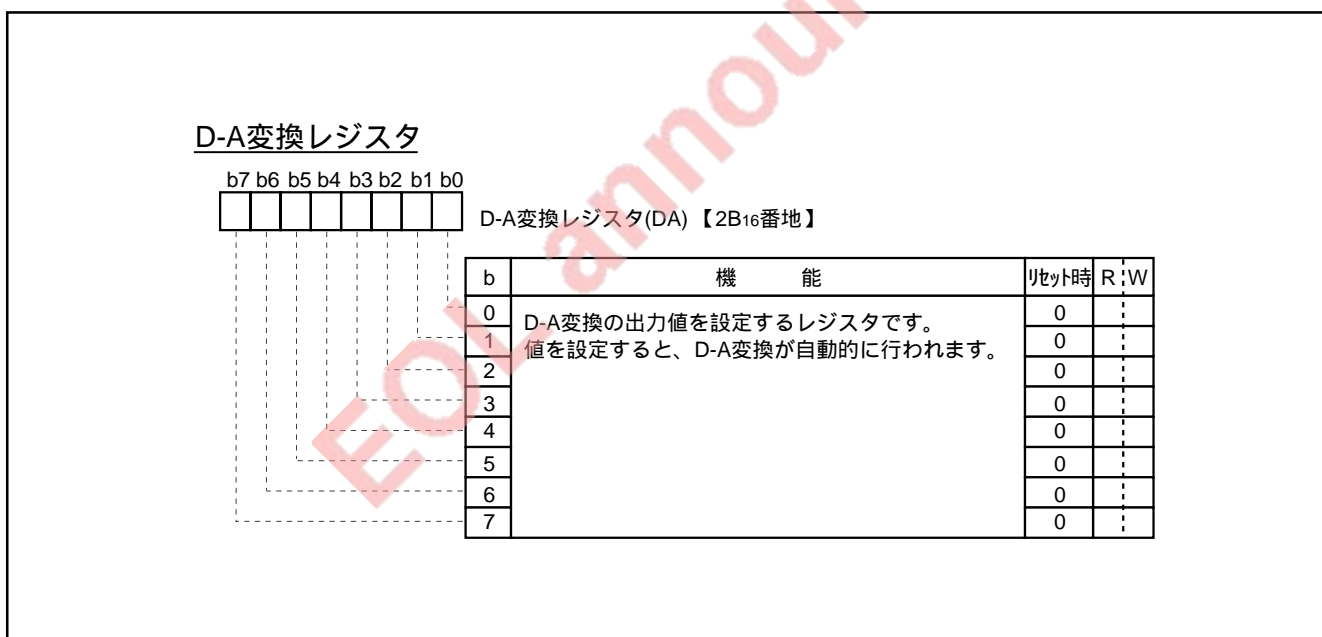


図2.6.2 D-A変換レジスタの構成

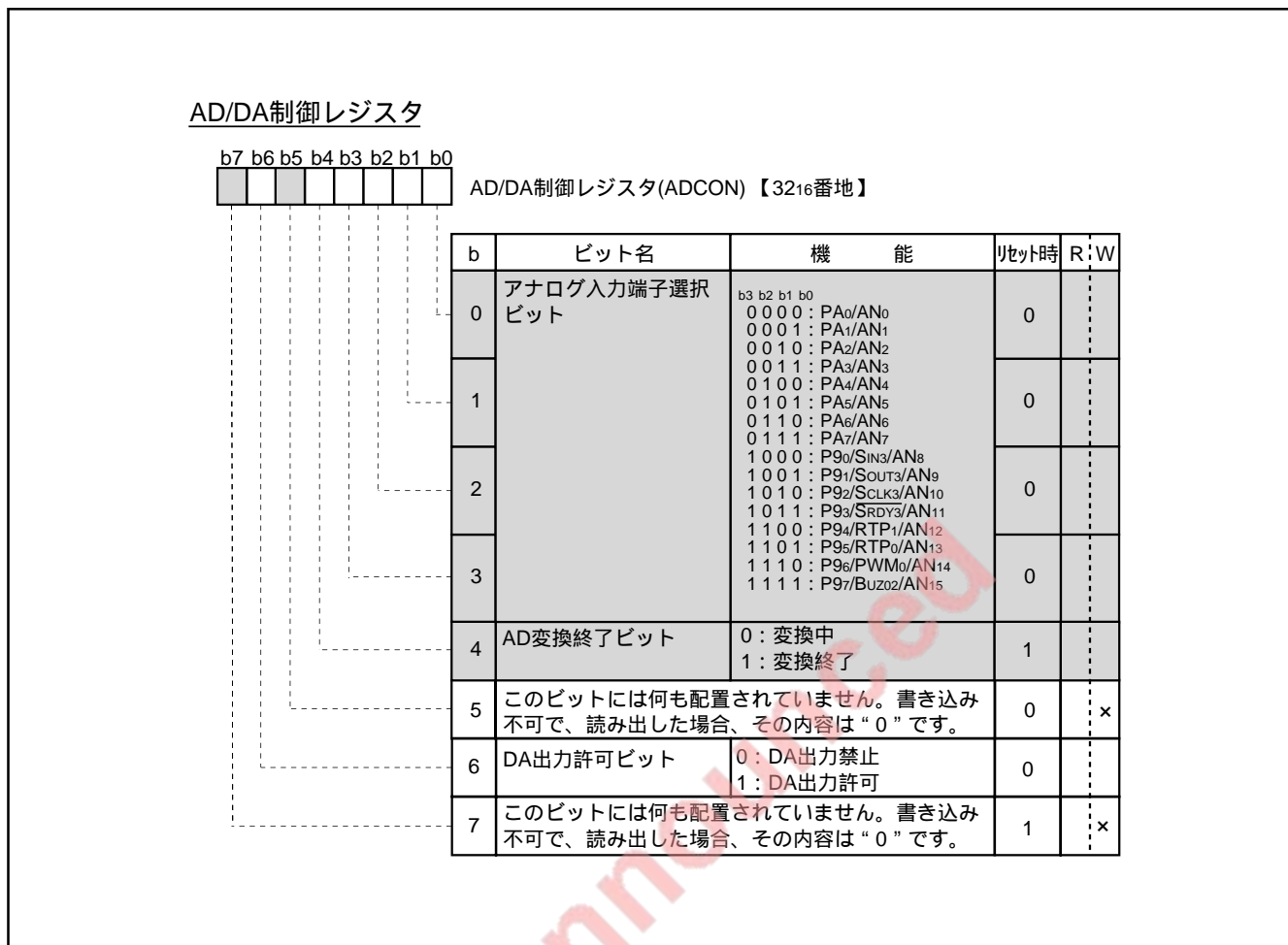


図2.6.3 AD/DA制御レジスタの構成

2.6.3 D-A変換器の応用例

ポイント：デジタル値をアナログ出力電圧に変換します。

接続図を図2.6.4、関連レジスタの設定を図2.6.5に示します。

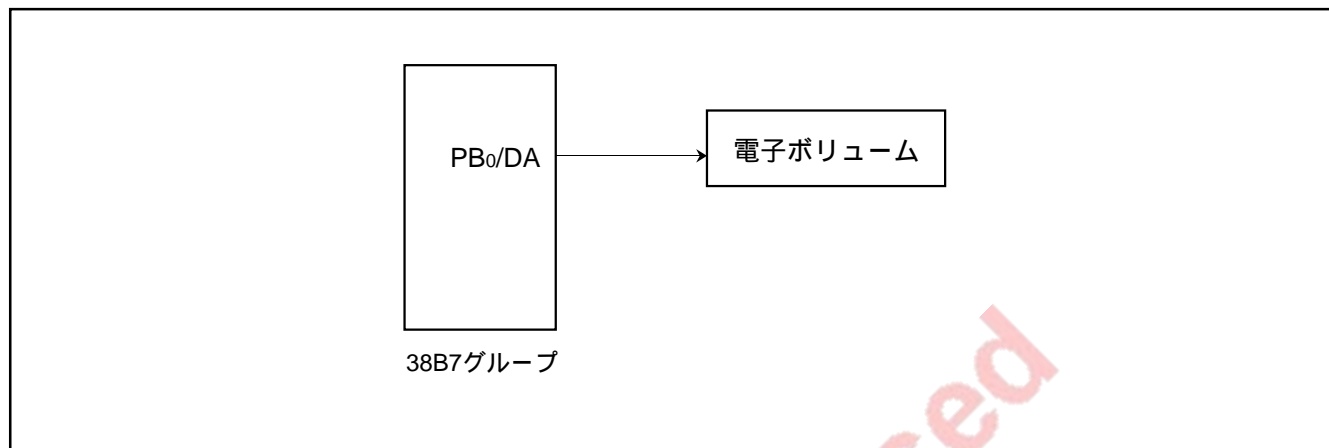


図2.6.4 接続図

仕様：・デジタル値をアナログ出力値に変換。

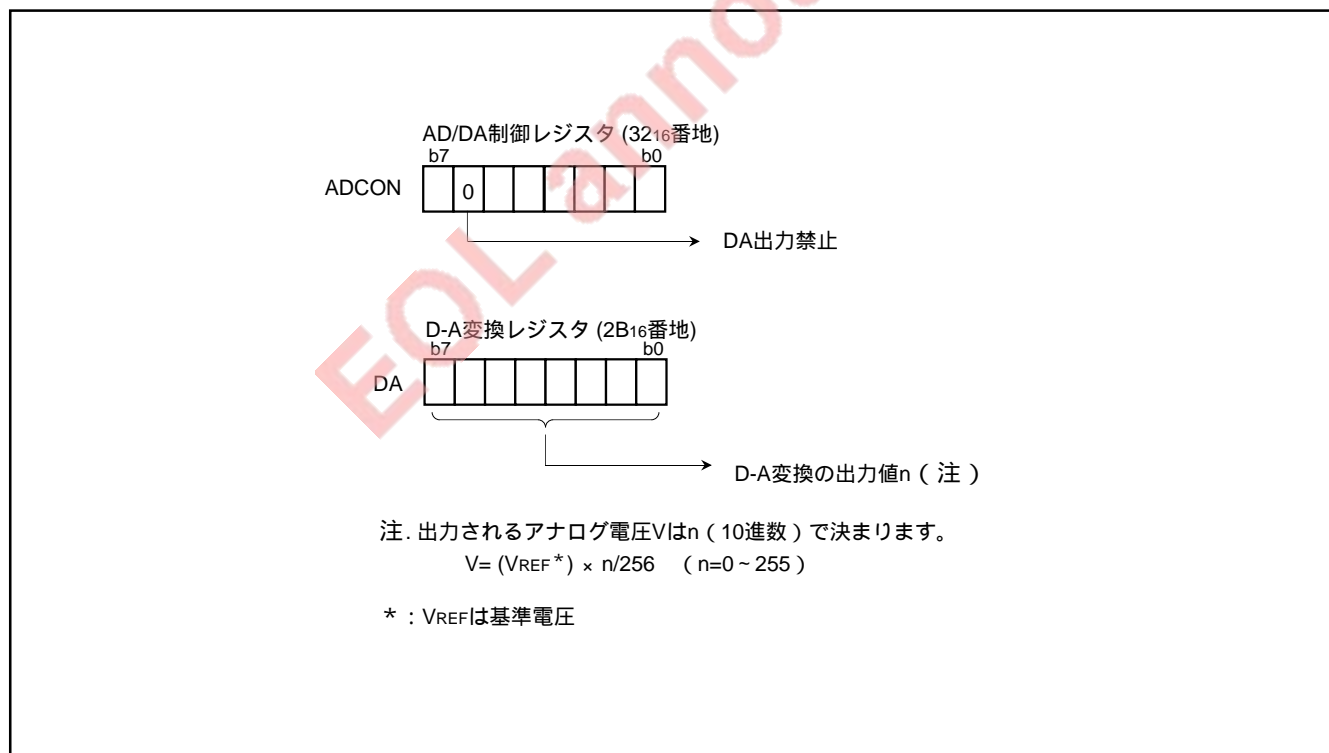


図2.6.5 関連レジスタの設定

図2.6.5に示す関連レジスタの設定を行うとD-A変換が開始されます。図2.6.6に制御手順を示します。

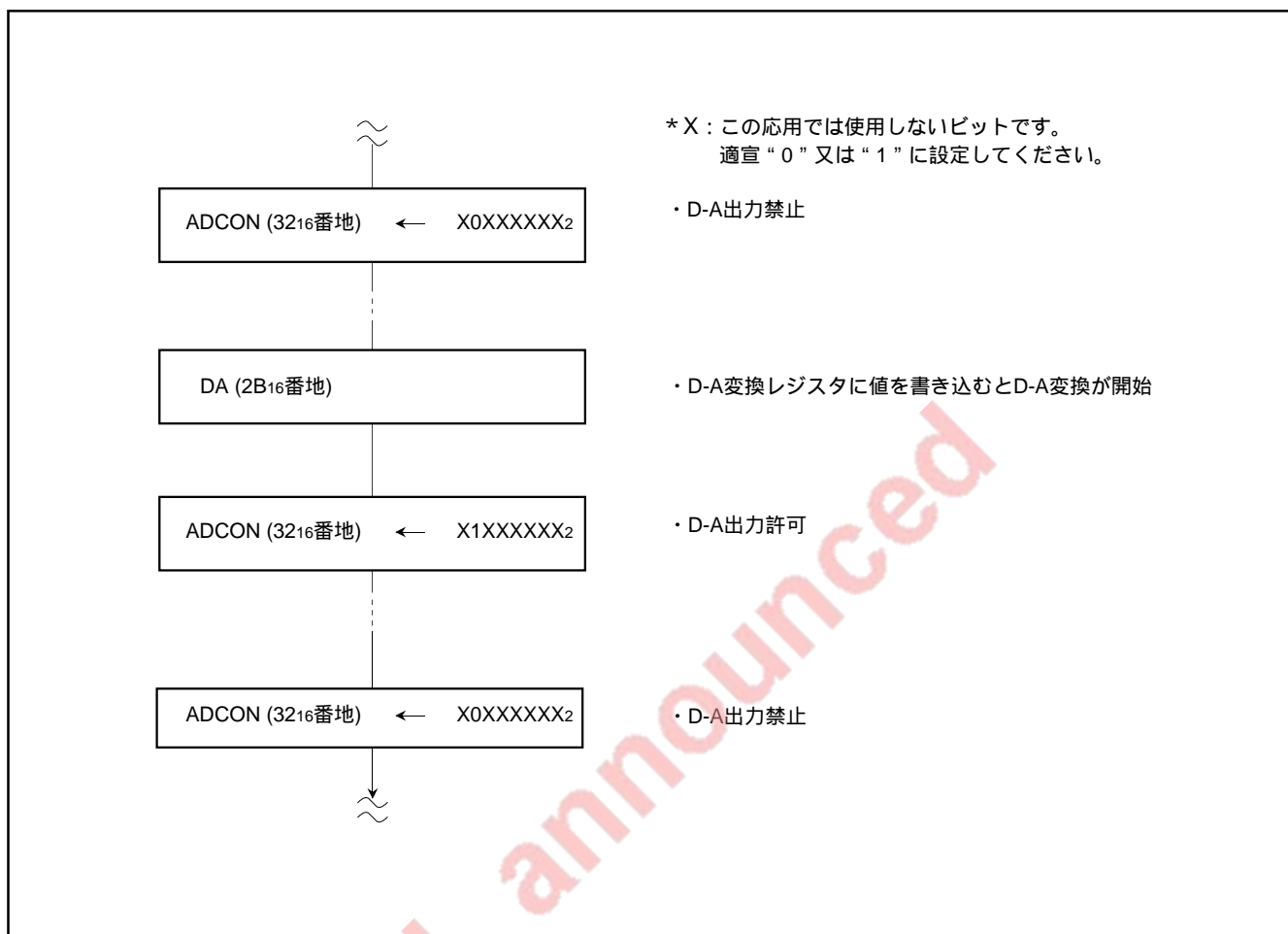


図2.6.6 制御手順

2.6.4 D-A変換器に関する注意事項

(1) リセット時の端子状態

リセット時PB0/DA端子はハイインピーダンス状態になります。

(2) 低インピーダンスとの接続

DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファ接続してください。

(3) 使用電圧

D-A変換器はVcc 3.0Vで使用してください。

2.7 PWM

本節ではPWMに関するレジスタの設定方法、注意事項などを説明します。

2.7.1 メモリ配置図

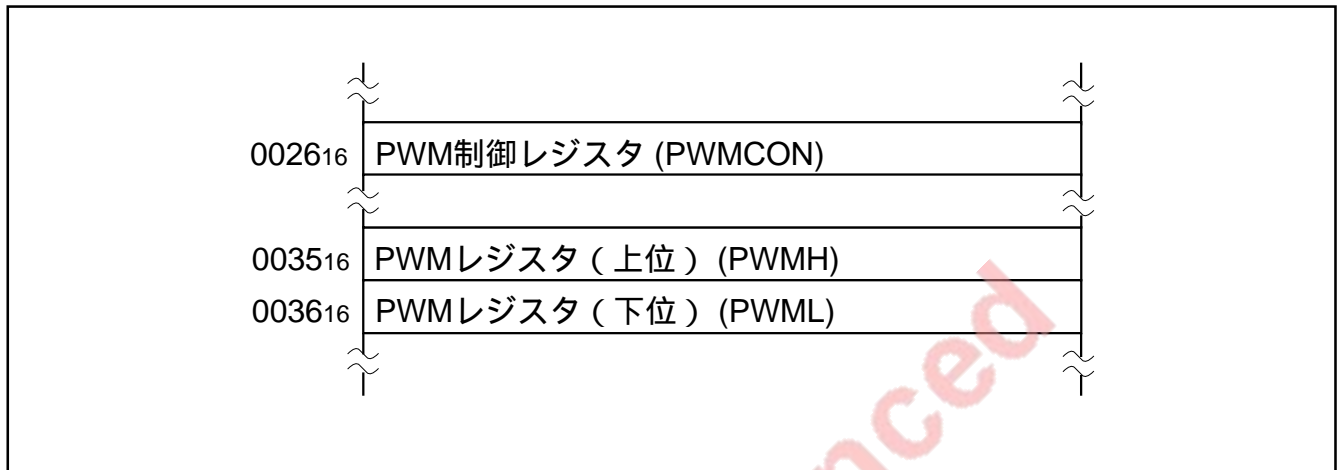


図2.7.1 PWM関連レジスタのメモリ配置

2.7.2 関連レジスタ

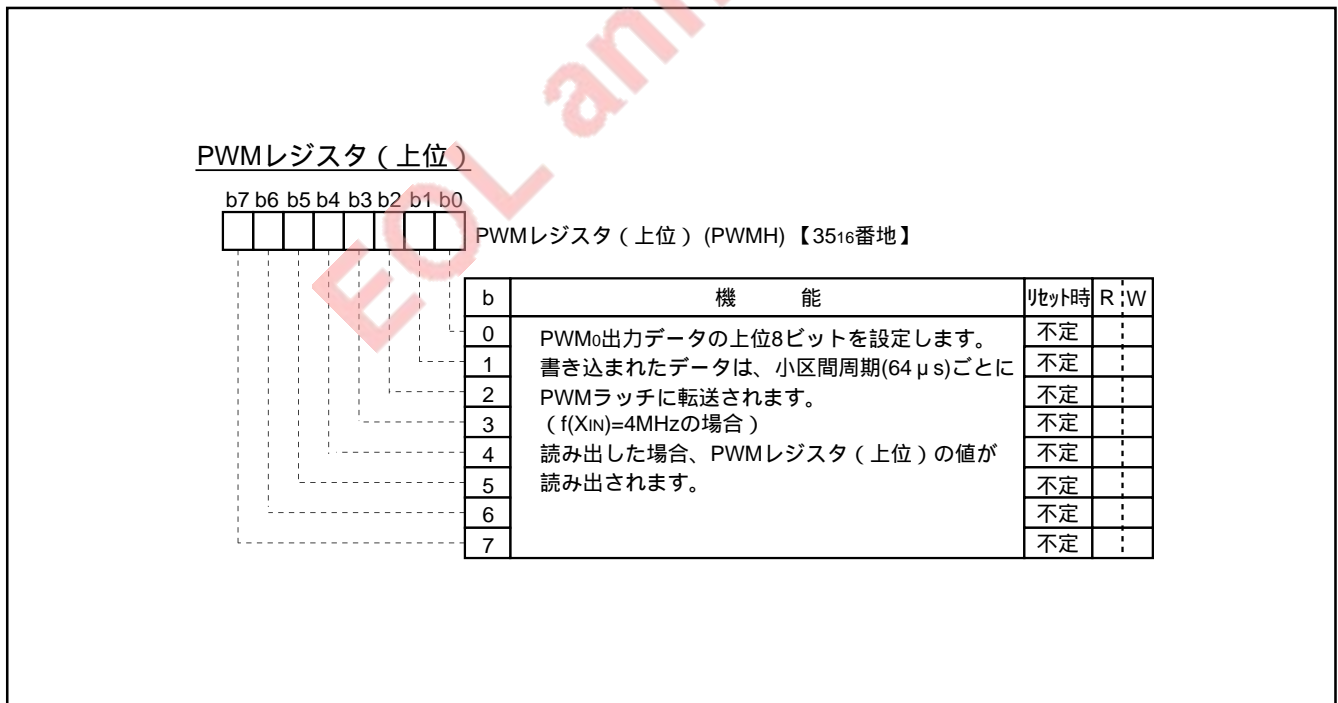


図2.7.2 PWMレジスタ(上位)の構成

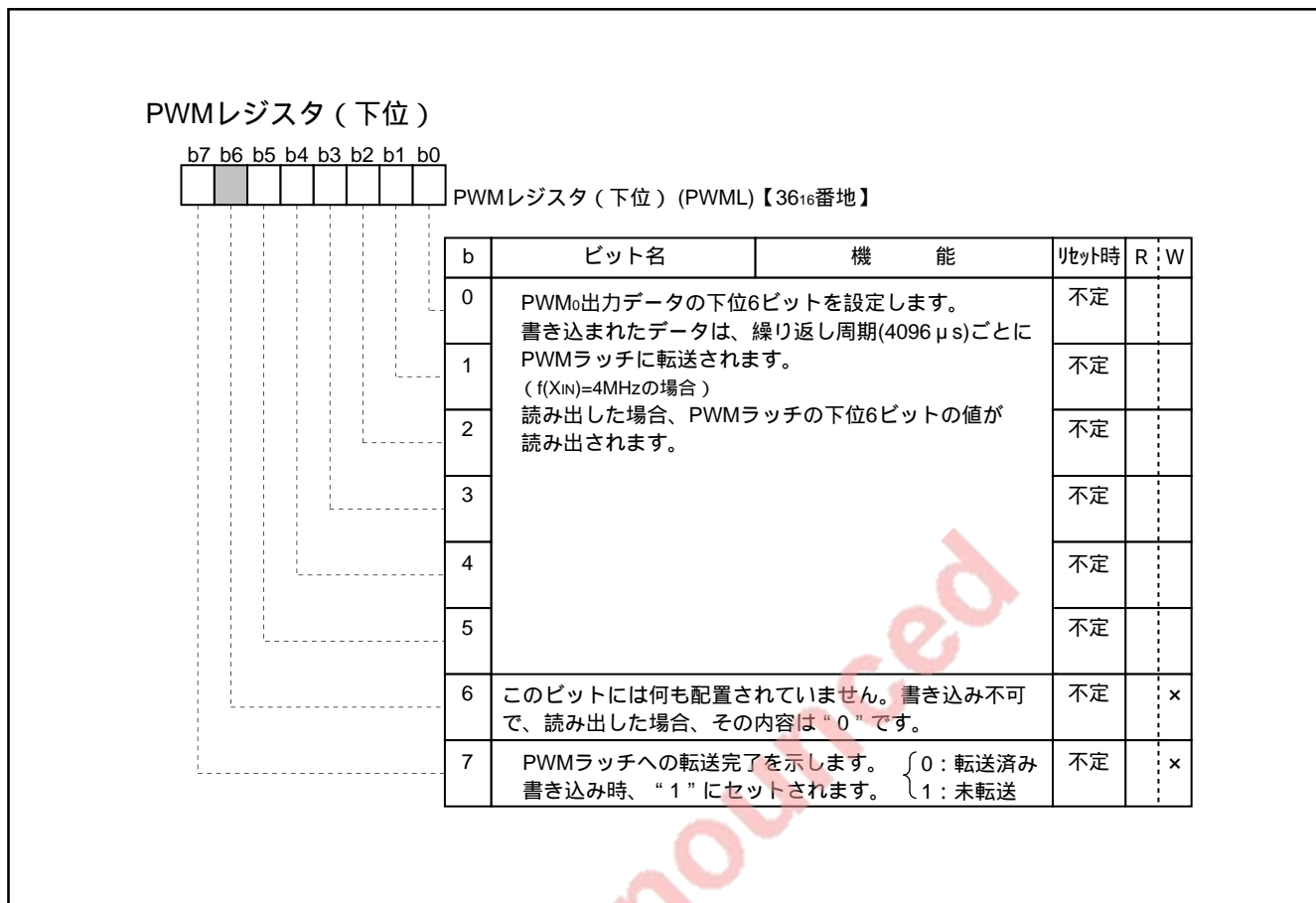


図2.7.3 PWMレジスタ(下位)の構成

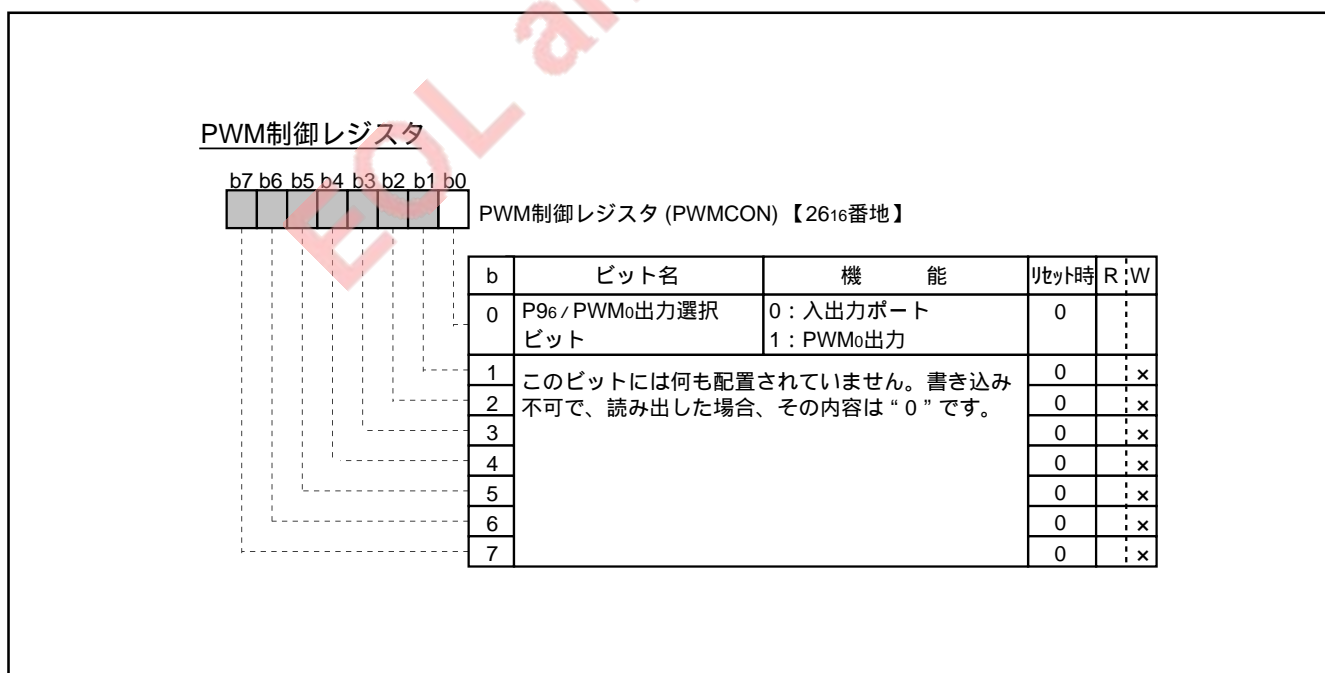


図2.7.4 PWM制御レジスタの構成

2.7.3 PWMの応用例

(1) VSチューナーの制御

図2.7.5に接続図、図2.7.6に関連レジスタの設定を示します。

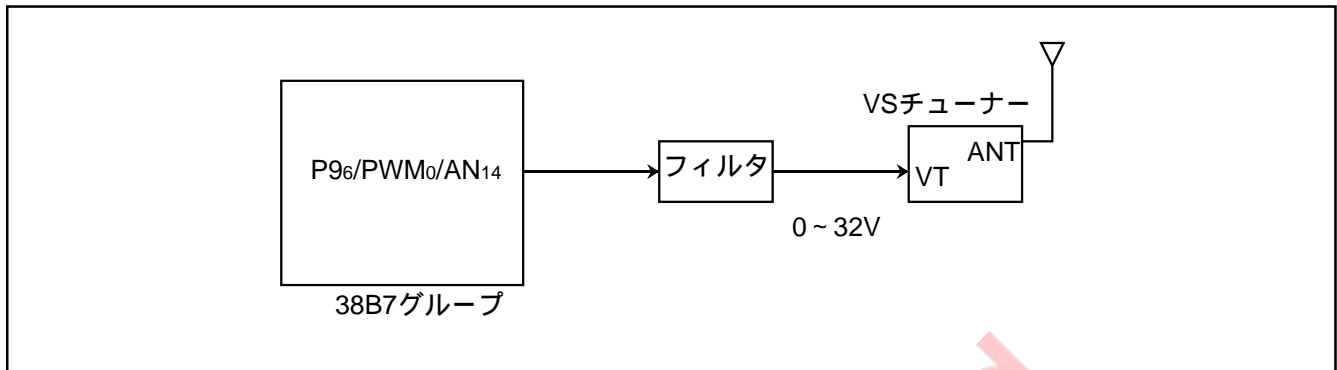


図2.7.5 接続図

仕様： 14ビット分解能のPWM0出力機能を使用して、VSチューナーを制御する
 $f(X_{IN})=4\text{MHz}$

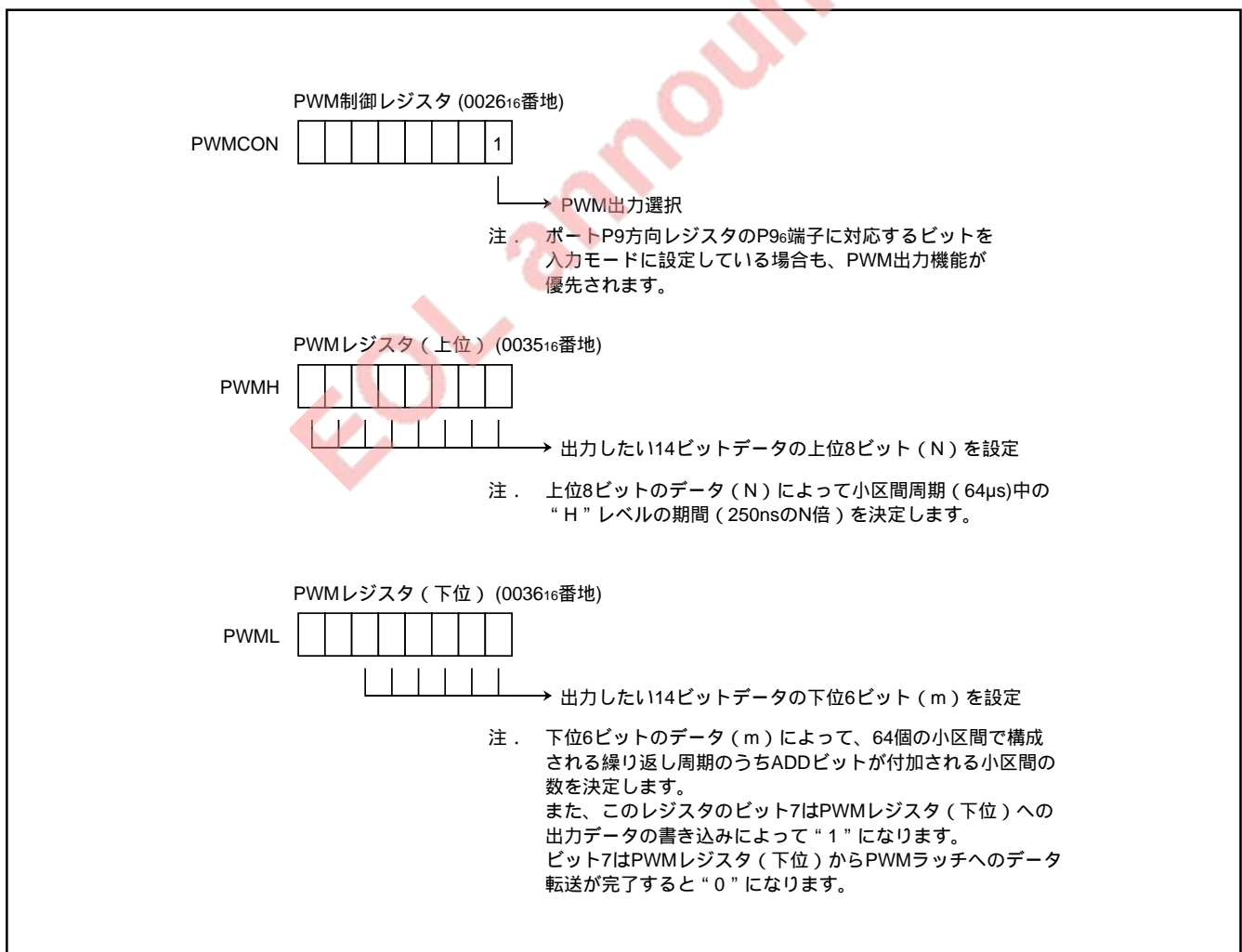


図2.7.6 関連レジスタの設定

制御手順：

図2.7.6に示した関連レジスタの設定を行うとPWM波形が外部に出力されます。このPWM₀出力をローパスフィルタで積分して直流信号に変換し、VSチューナーの制御に使用します。

図2.7.7に制御手順を示します。

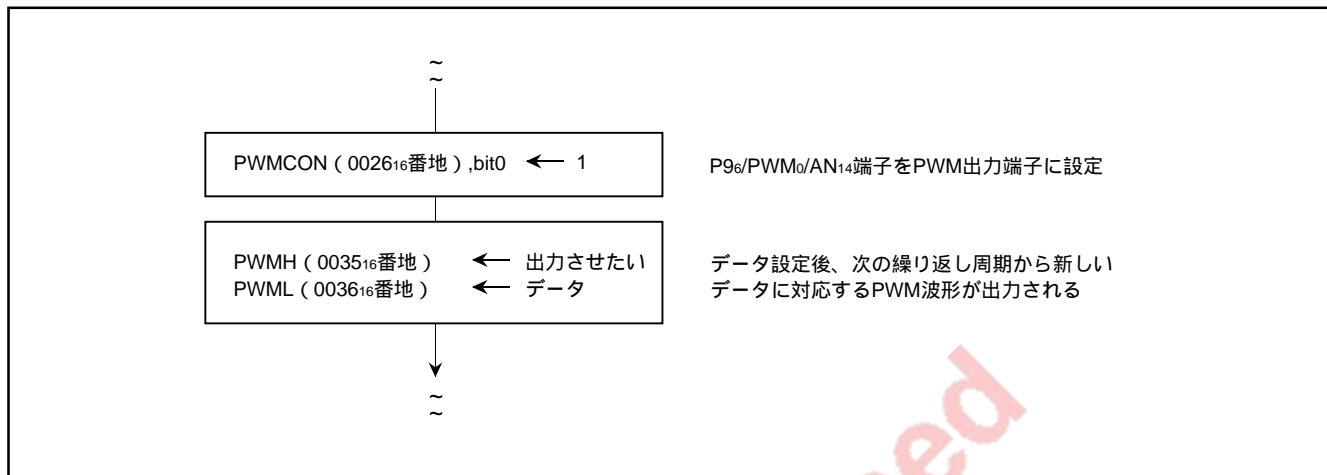


図2.7.7 制御手順

2.7.4 PWMの注意事項

PWM₀出力では“L”レベルの期間が先に出力されます。

PWMレジスタ(下位)及びPWMレジスタ(上位)にデータを設定後、次の繰り返し周期から新しいデータに対応するPWM波形が出力されます。

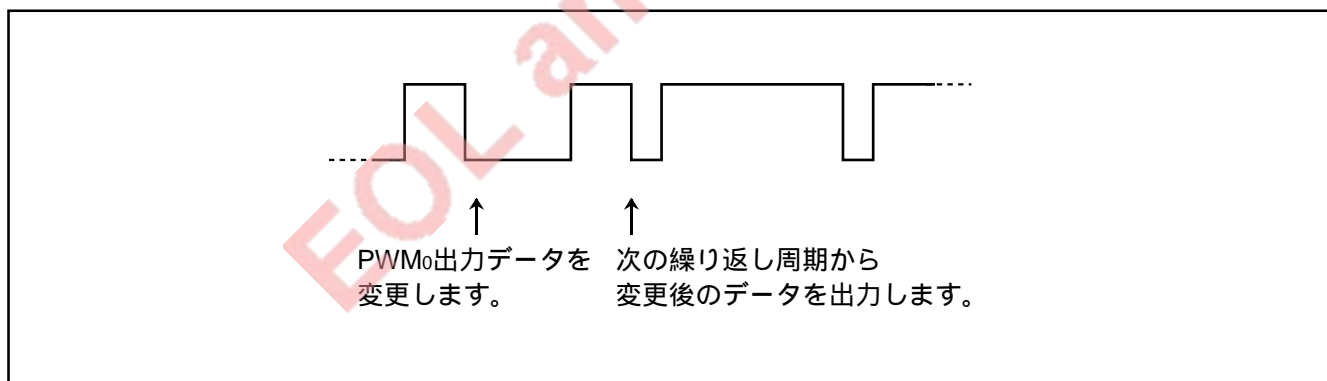


図2.7.8 PWM₀出力

2.8 割り込み間隔判定機能

本節では割り込み間隔判定機能に関するレジスタの設定方法、注意事項などを説明します。

2.8.1 メモリ配置図



図2.8.1 割り込み間隔判定機能関連レジスタのメモリ配置

2.8.2 関連レジスタ

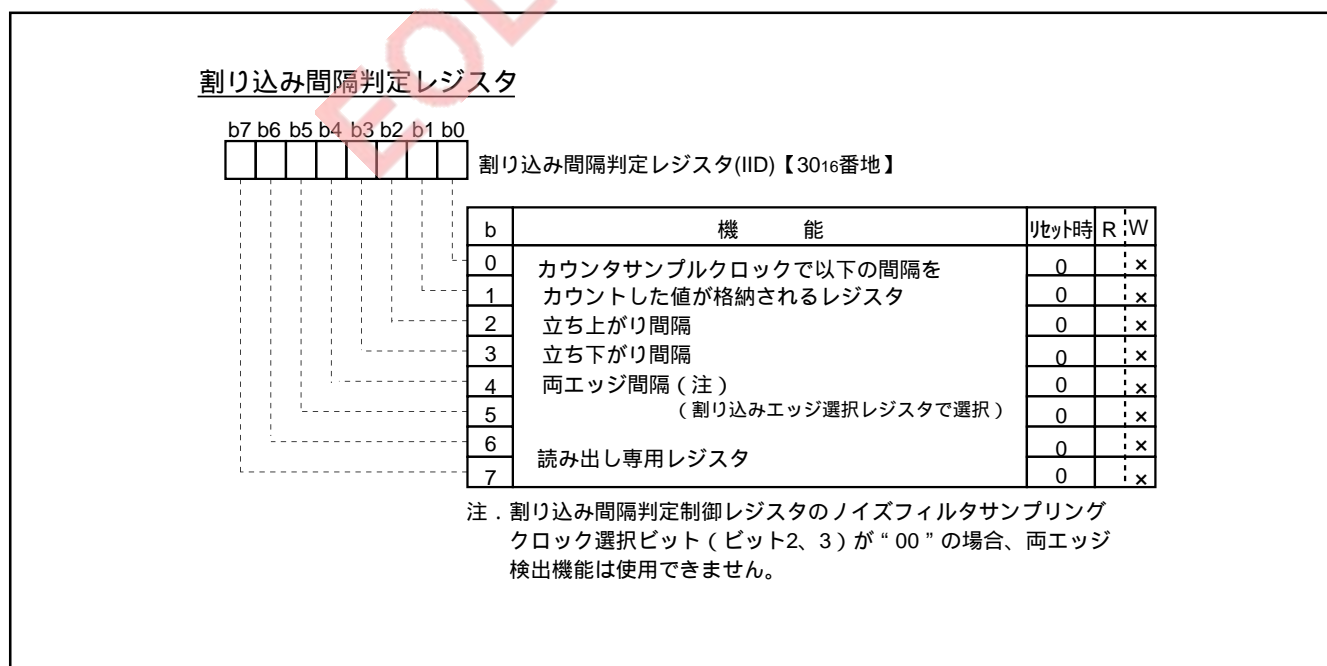


図2.8.2 割り込み間隔判定レジスタの構成

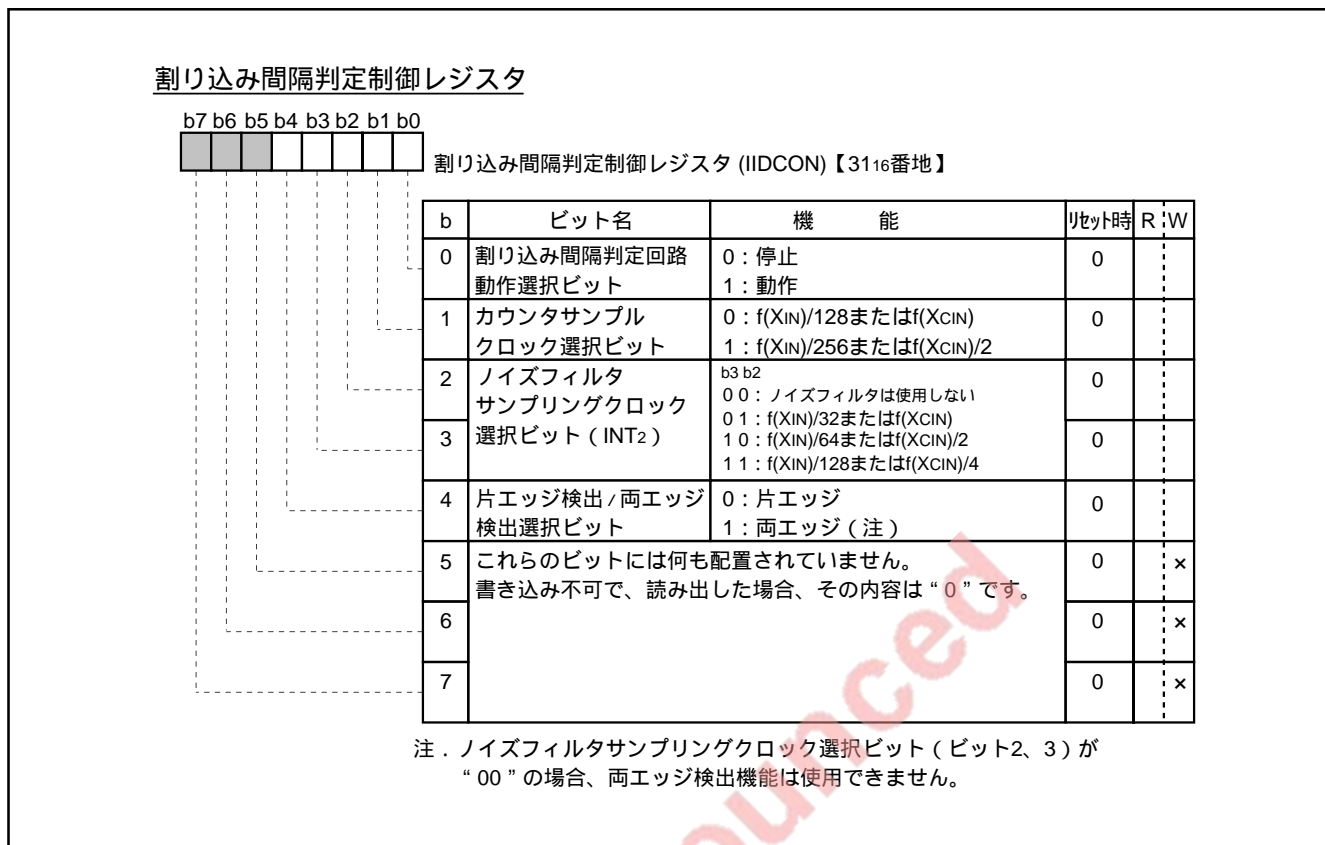


図2.8.3 割り込み間隔判定制御レジスタの構成

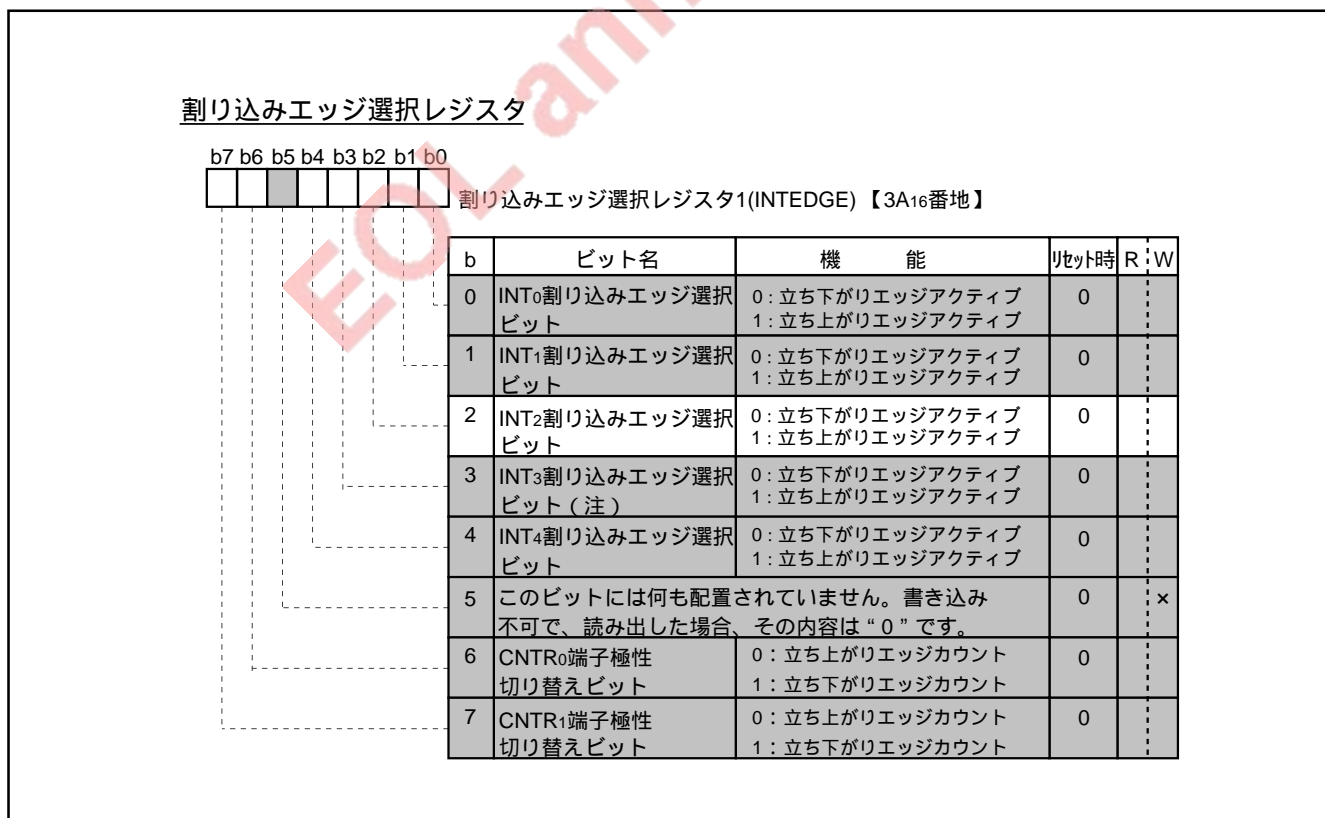


図2.8.4 割り込みエッジ選択レジスタの構成

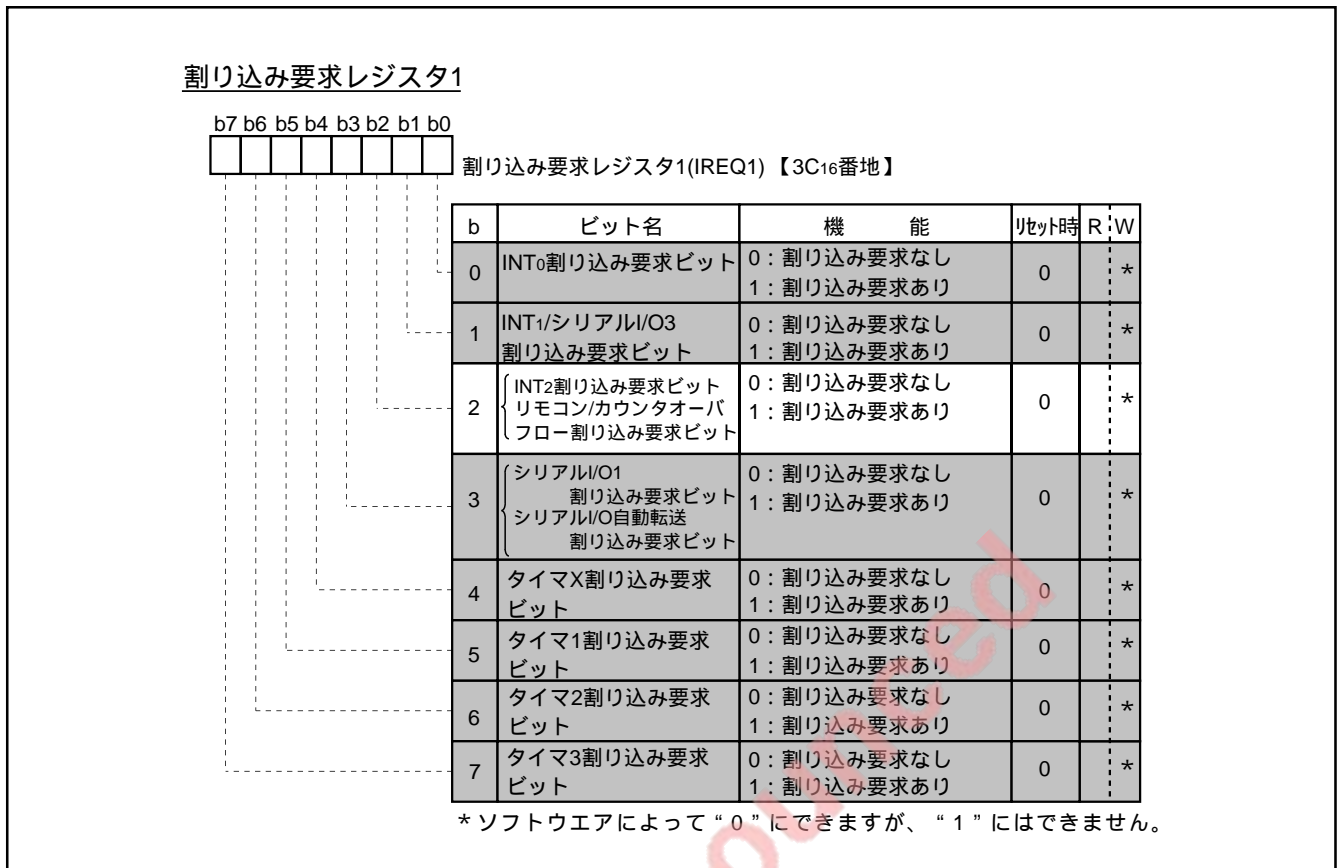


図2.8.5 割り込み要求レジスタ1の構成

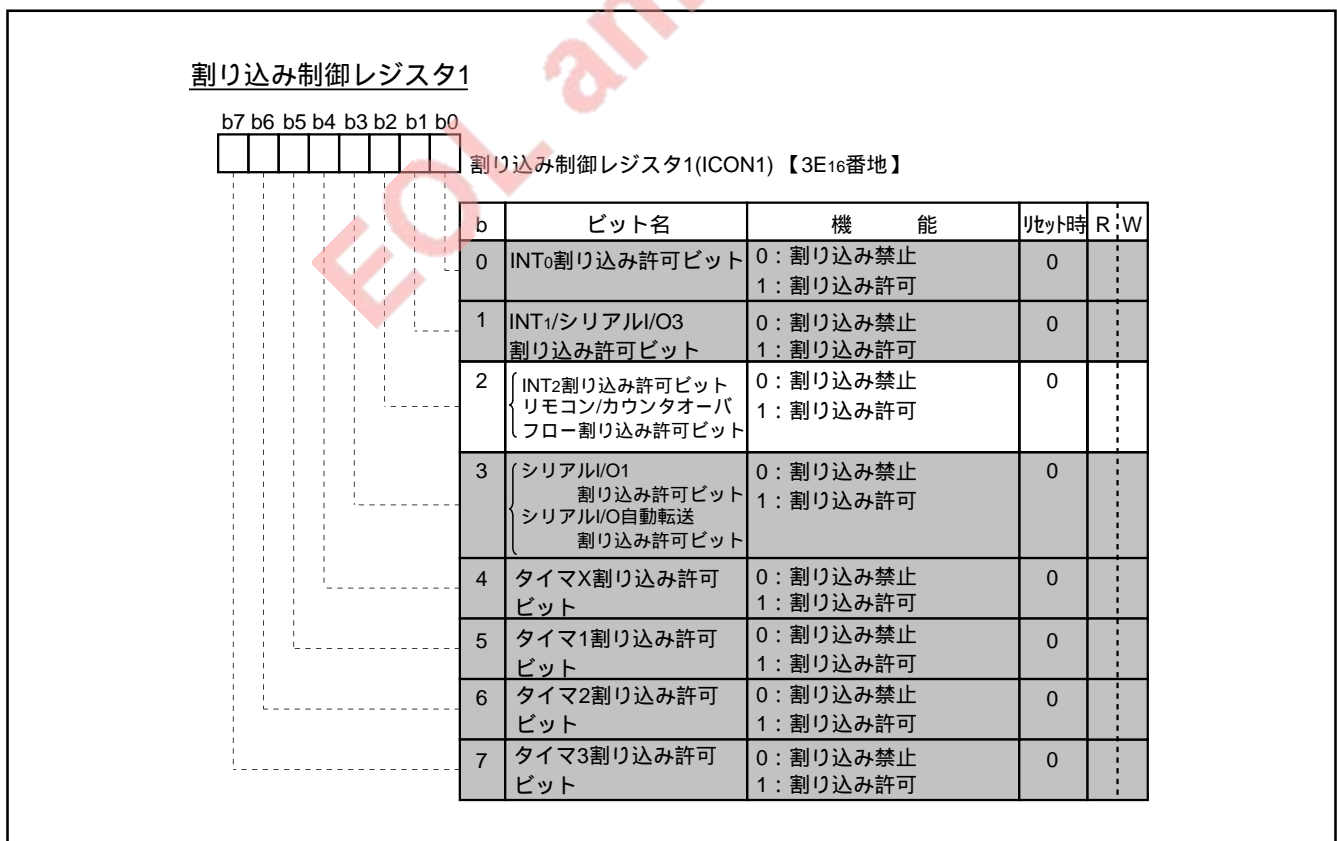


図2.8.6 割り込み制御レジスタ1の構成

2.8.3 割り込み間隔判定機能の応用例

(1) リモコン信号受信

ポイント：ノイズフィルタを使用した割り込み間隔判定機能とタイマ割り込みによって、リモコン信号を読み込みます。

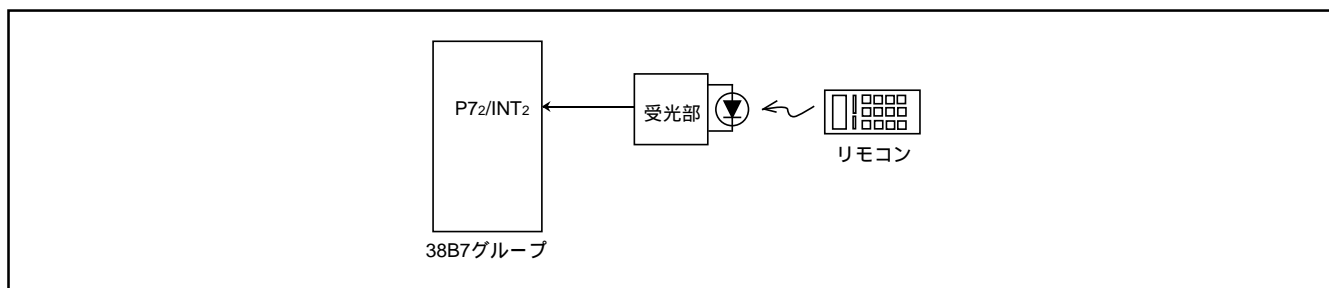


図2.8.7 接続図

仕様： 片エッジ間隔を測定
 ノイズフィルタを利用
 タイマ2割り込み(488 μs周期)内でリモコン割り込み要求を確認
 f(XIN)=4MHz、高速モードで動作

図2.8.8に機能ブロック図、図2.8.9にデータ判定のタイミング図を示します。

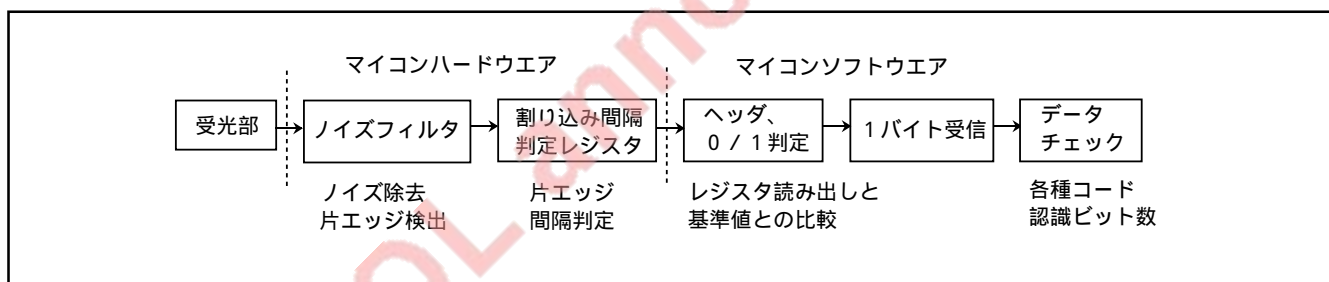


図2.8.8 機能ブロック図

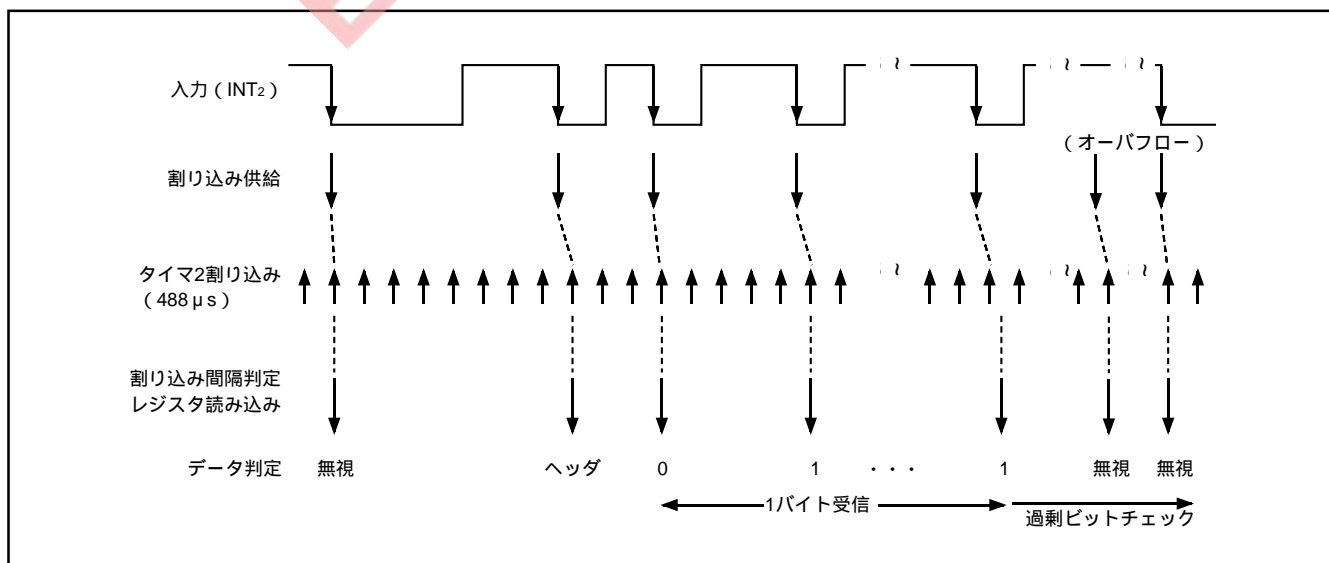


図2.8.9 データ判定のタイミング図

図2.8.10に関連レジスタの設定を示します。

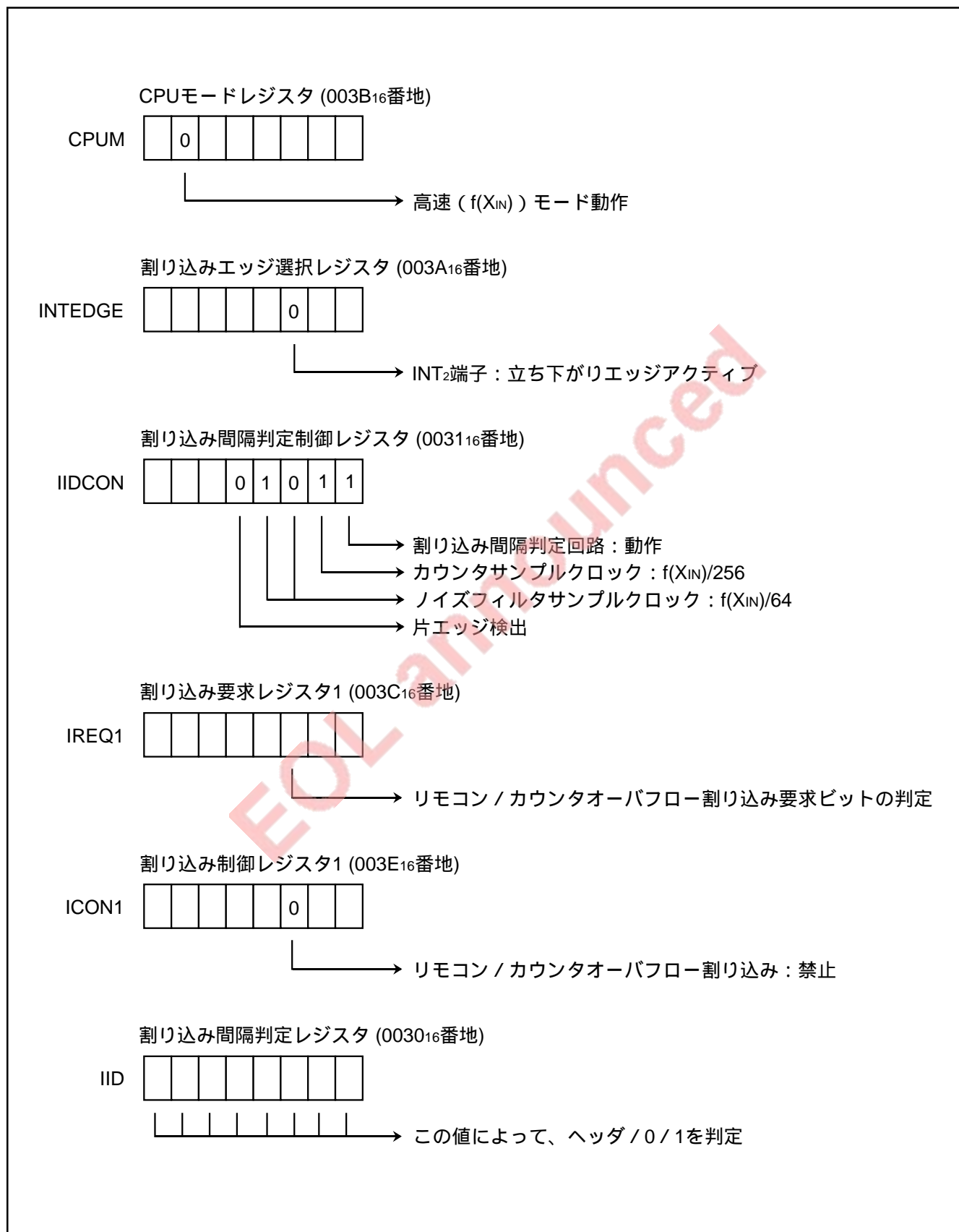


図2.8.10 関連レジスタの設定

制御手順：

図2.8.10に示すレジスタ設定を行うことによって、リモコン信号受信が可能です。
 図2.8.11に制御手順、図2.8.12にリモコンデータ受信(タイマ2割り込み)を示します。

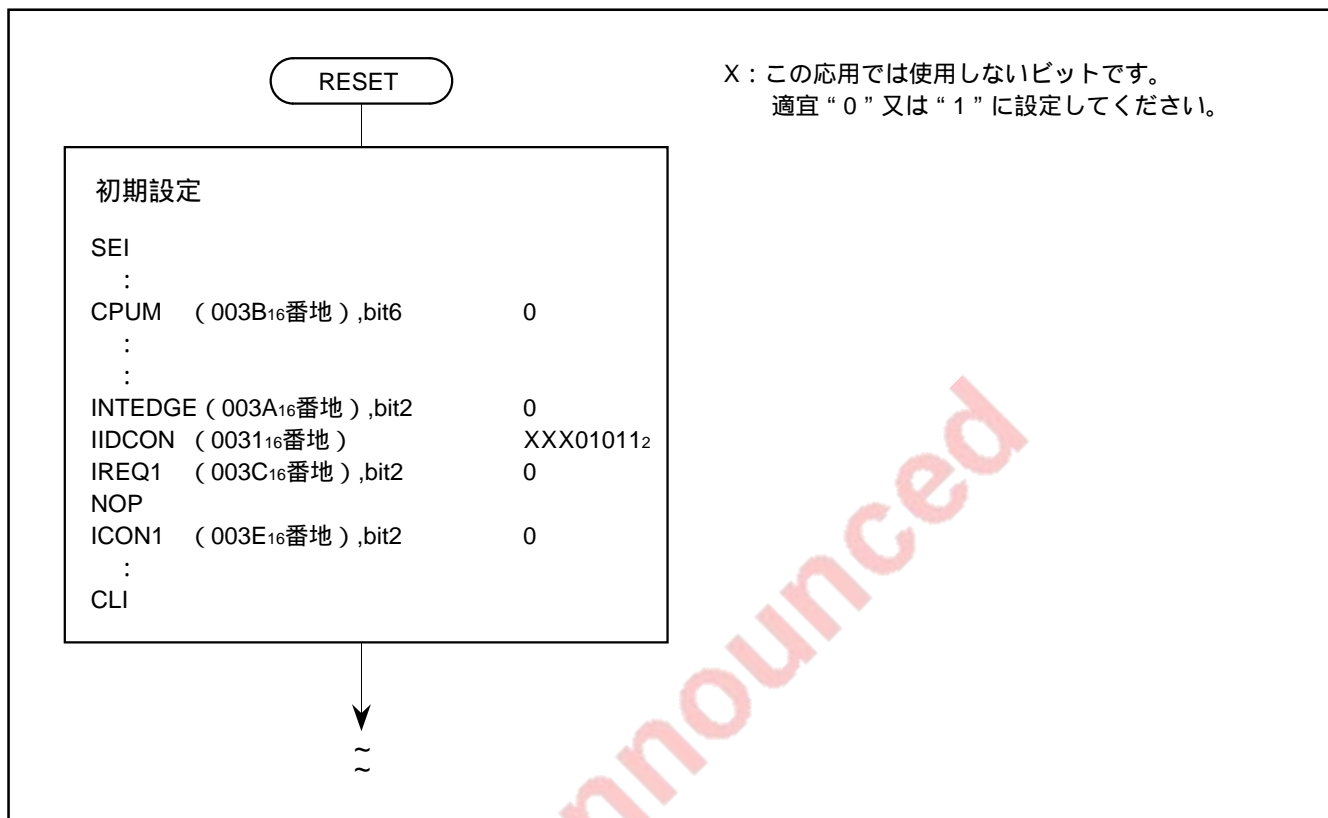


図2.8.11 制御手順

EOL announced

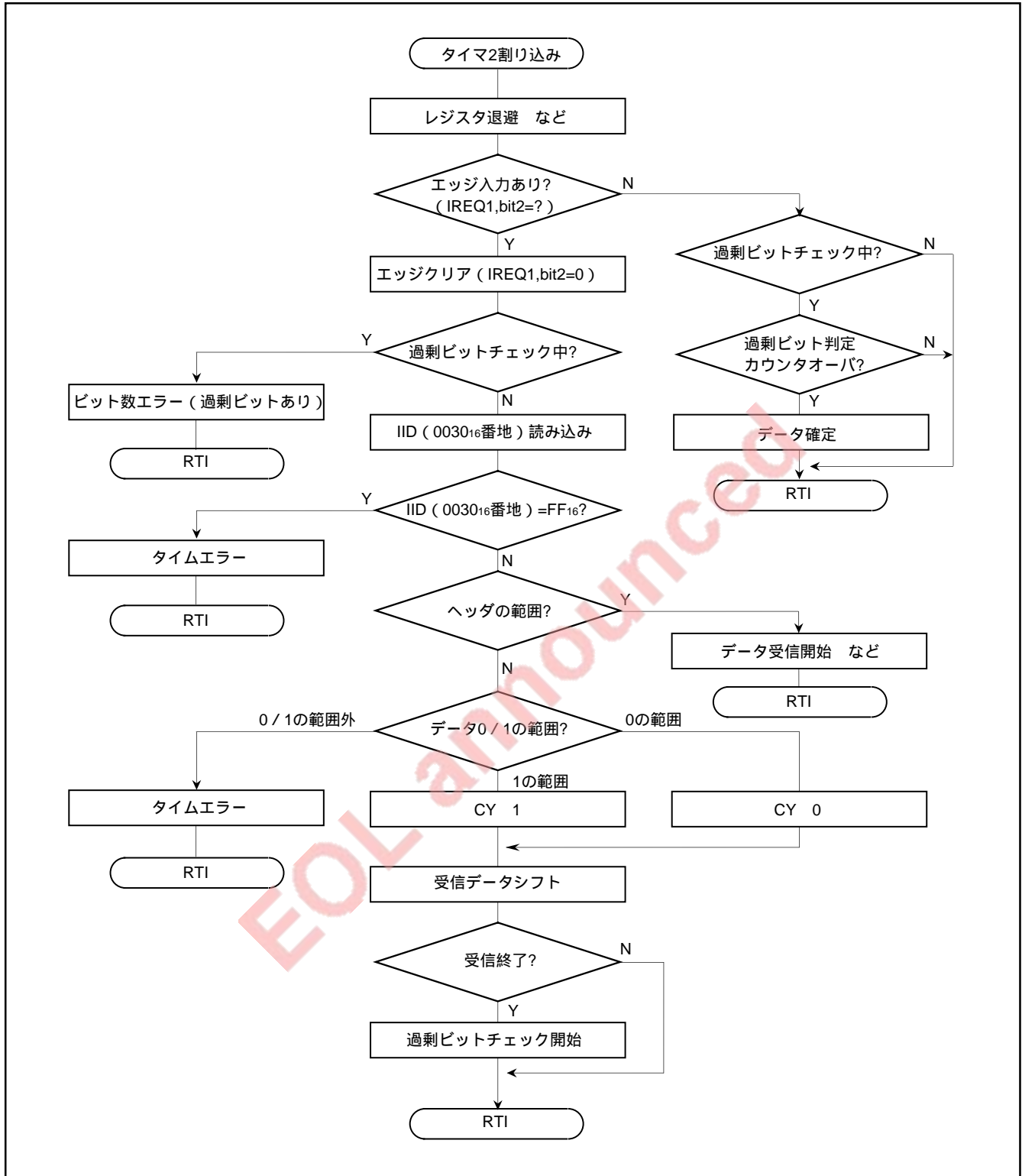


図2.8.12 リモコンデータ受信(タイマ2割り込み)

2.9 ウォッチドッグタイマ

本節ではウォッチドッグタイマに関するレジスタの設定方法、制御手順などを説明します。

2.9.1 メモリ配置図

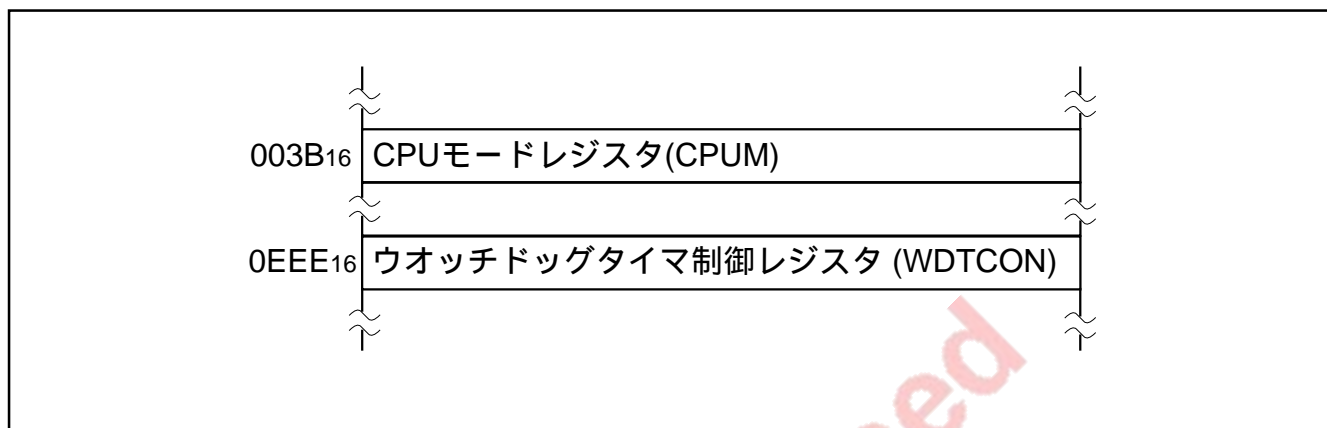


図2.9.1 ウォッチドッグタイマ関連レジスタのメモリ配置

2.9.2 関連レジスタ

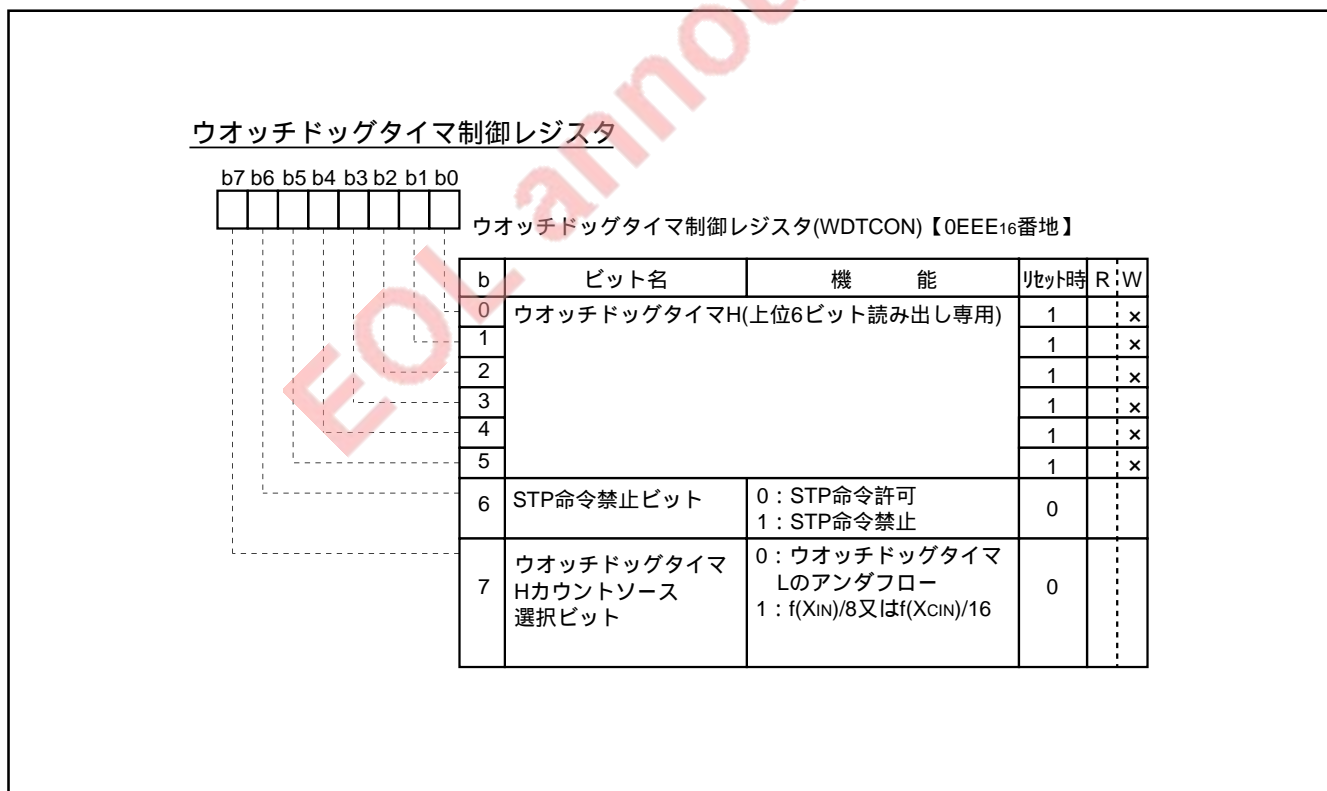


図2.9.2 ウォッチドッグタイマ制御レジスタの構成

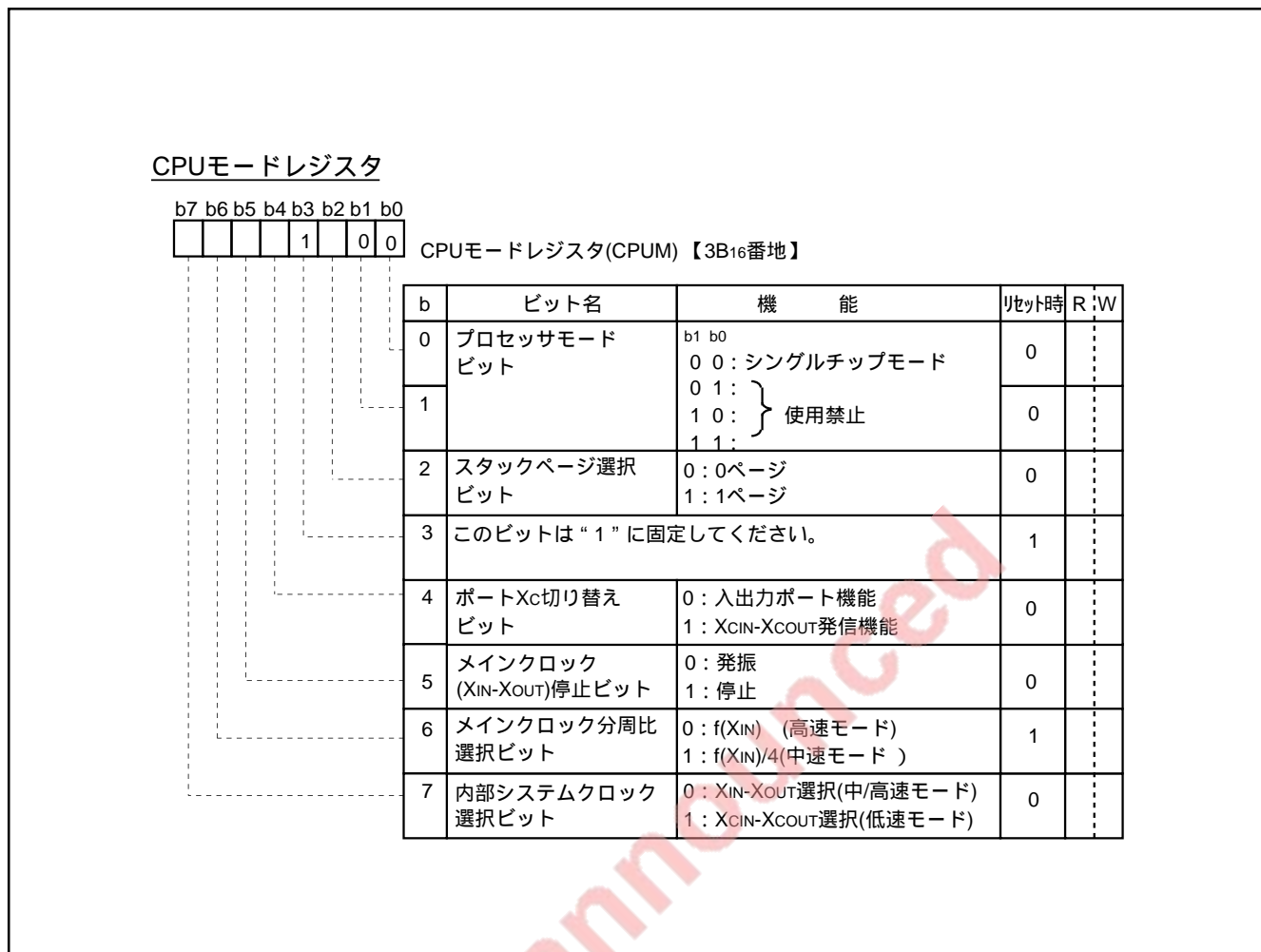


図2.9.3 CPUモードレジスタの構成

2.9.3 ウォッチドッグタイマの応用

(1) 暴走検出

ポイント：プログラムが暴走した場合に、内部暴走検知タイマでマイコンをリセット状態に復帰させる手段を与えます。

仕様：

- ・ウォッチドッグタイマHのアンダフローによって、プログラムの異常と判断し、マイコンをリセット状態に復帰
- ・ウォッチドッグタイマがアンダフローする前に、メインルーチン内で1周期ごとにウォッチドッグタイマ制御レジスタのビット7へ“0”を設定
- ・メインクロック分周比は高速モードを使用
- ・ウォッチドッグタイマHのカウントソースにはウォッチドッグタイマLのアンダフローを接続

ウォッチドッグタイマの接続と分周比の設定を図2.9.4、関連レジスタの設定を図2.9.5、及び制御手順を図2.9.6に示します。

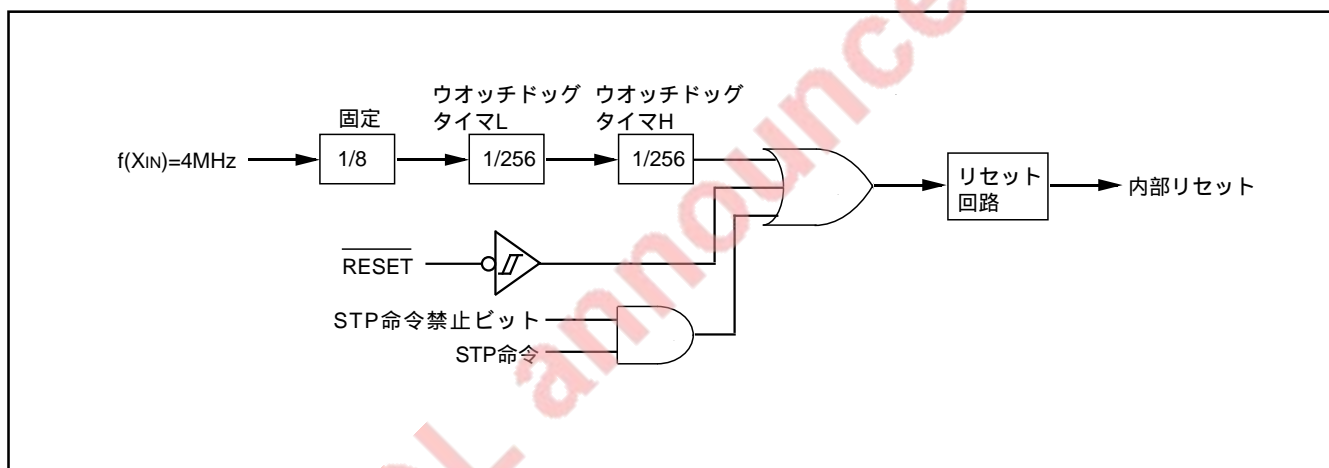


図2.9.4 ウォッチドッグタイマの接続と分周比の設定

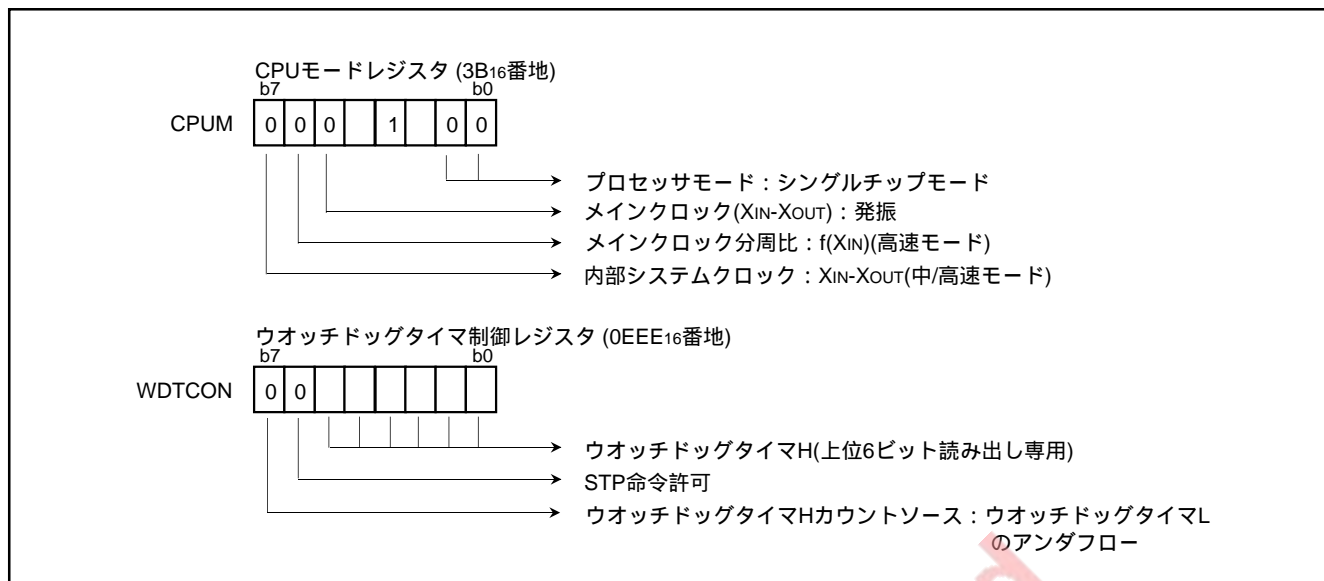


図2.9.5 関連レジスタの初期設定

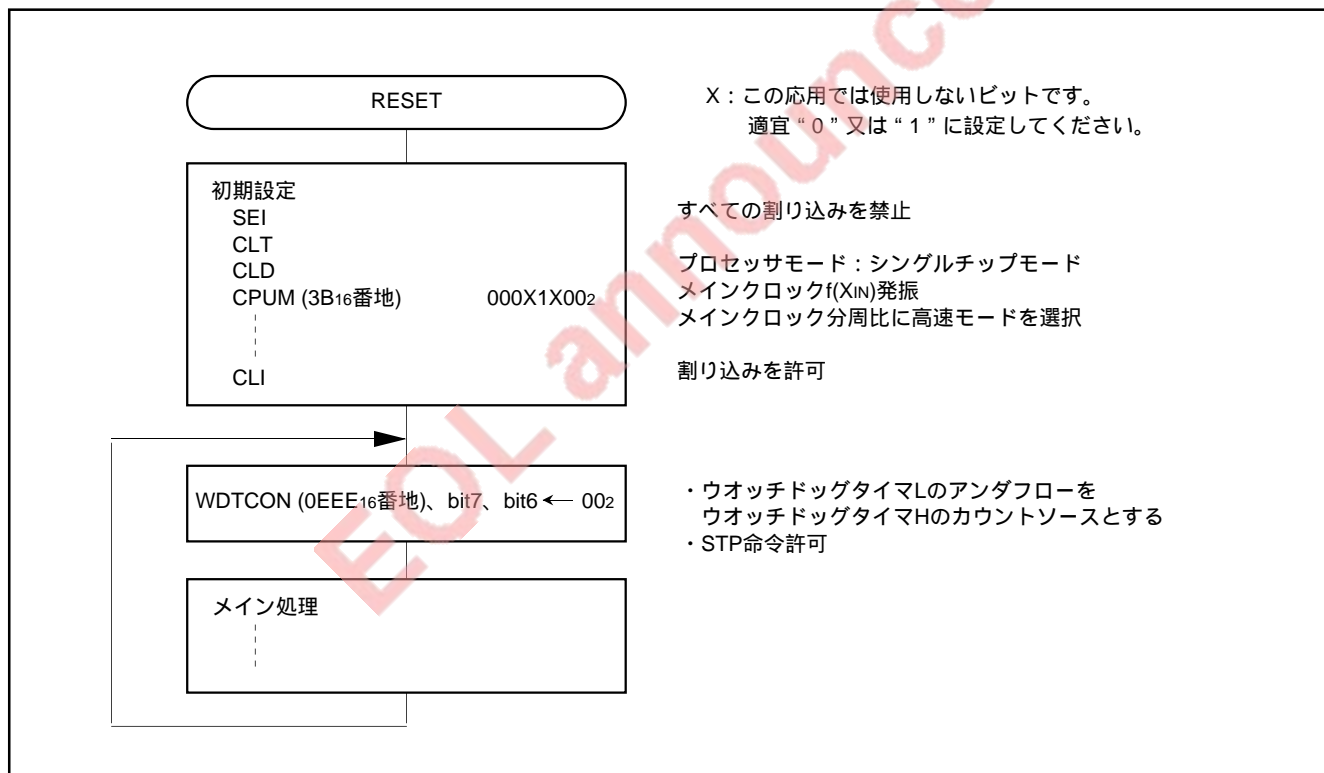


図2.9.6 制御手順

2.9.4 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えことはできません。

2.10 ブザー出力回路

ブザー出力回路では、出力周波数を1kHz、2kHz、4kHz($f(X_{IN})=4.19\text{MHz}$ 時)から、出力ポートはBuz01、Buz02端子から選択できます。

本節ではブザー出力回路に関するレジスタの設定方法、注意事項などを説明します。

2.10.1 メモリ配置図

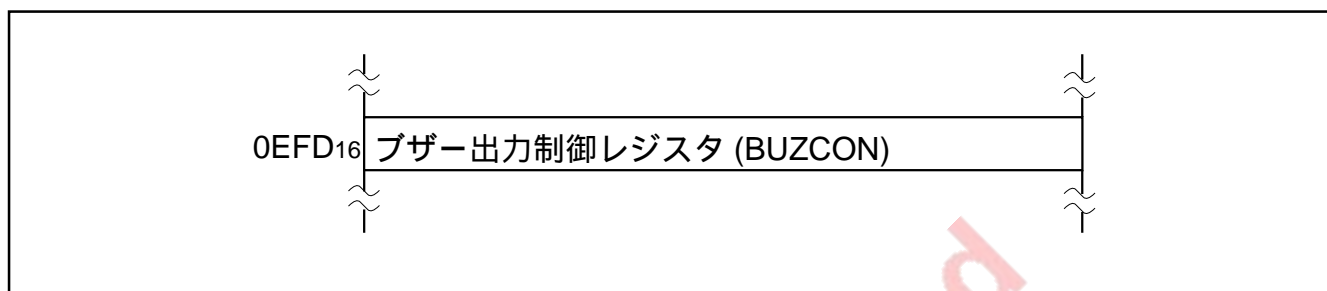


図2.10.1 ブザー出力回路関連レジスタのメモリ配置

2.10.2 関連レジスタ

ブザー出力回路はブザー出力制御レジスタのブザー出力ON/OFFビット(ビット4)を設定することによりブザー出力を開始します。

図2.10.2にブザー出力制御レジスタの構成を示します。

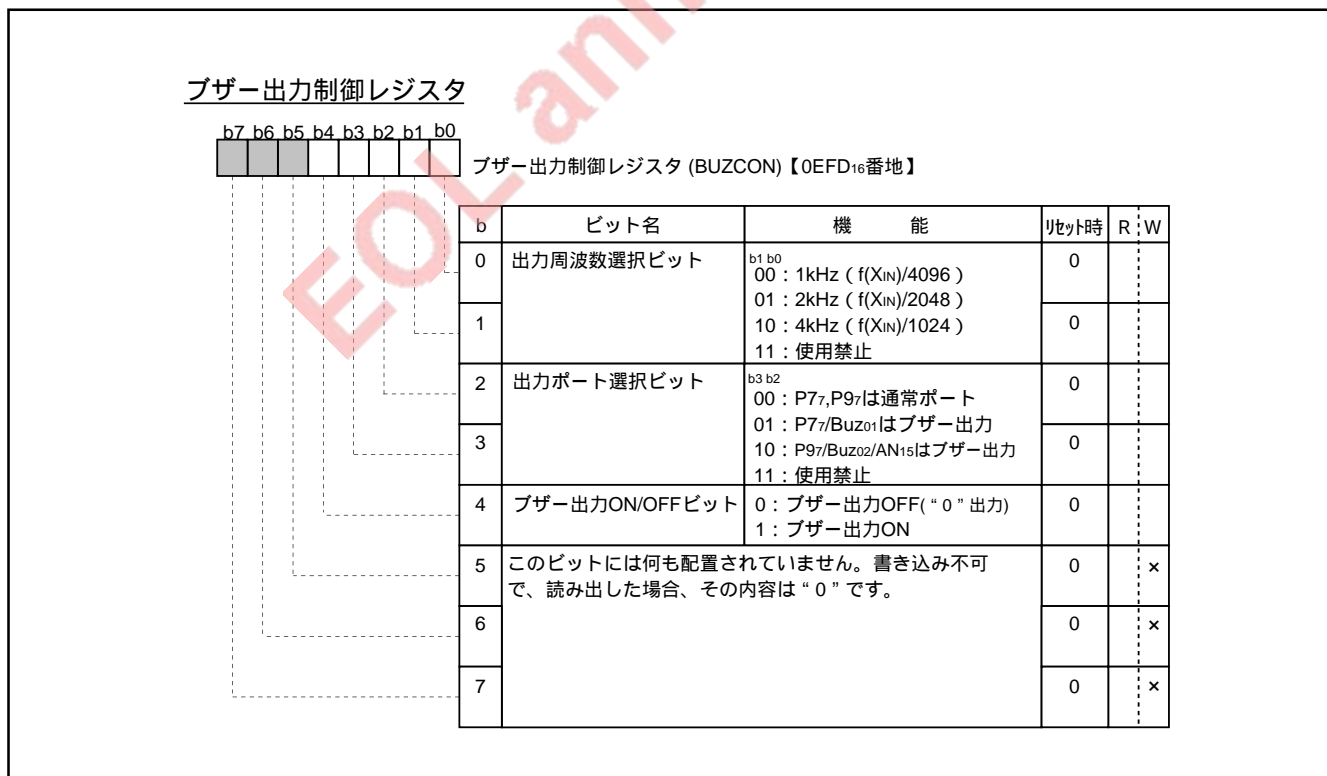


図2.10.2 ブザー出力制御レジスタの構成

2.10.3 ブザー出力回路の応用例

ポイント：ブザー出力回路を使用してブザー出力を行います。
 仕様： $f(X_{IN})=4.19\text{MHz}$ 、ブザー出力周波数は4kHzとする
 Buz01端子よりブザー出力

図2.10.3にブザー出力回路の接続と分周比の設定、図2.10.4に関連レジスタの設定、図2.10.5に制御手順を示します。

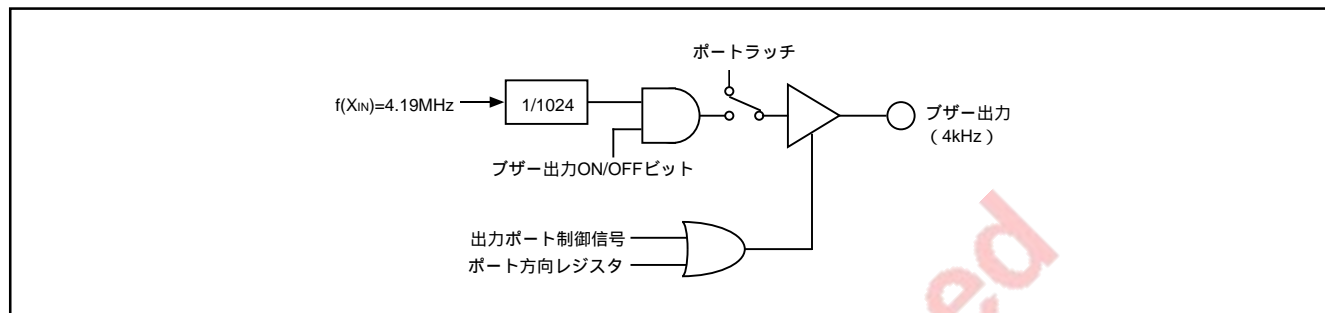


図2.10.3 ブザー出力回路の接続と分周比の設定

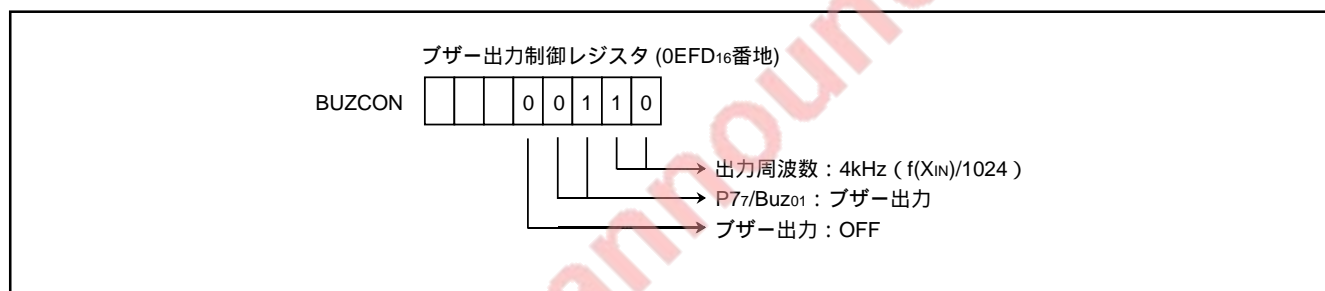


図2.10.4 関連レジスタの設定

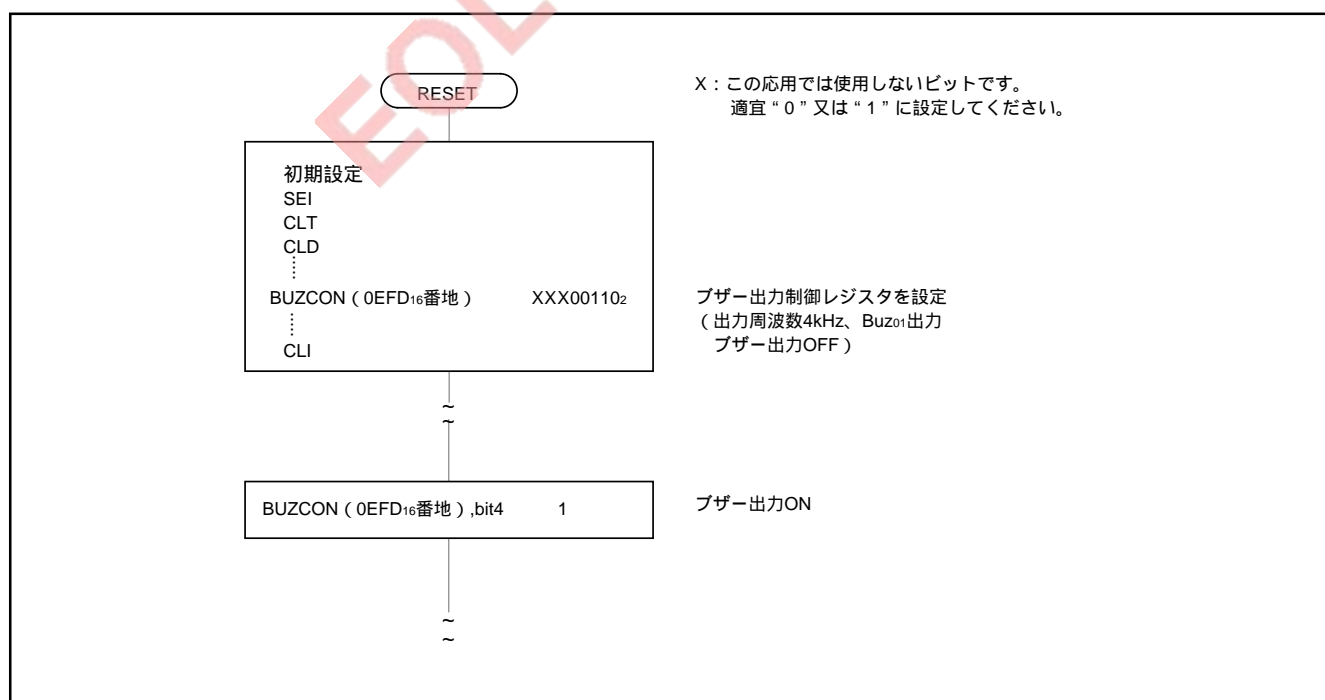


図2.10.5 制御手順

2.11 リセット回路

電源電圧が2.7～5.5Vの範囲にあり水晶発振子などが安定発振しているとき、 $\overline{\text{RESET}}$ 端子を2 μs 以上“L”レベルに保った後“H”レベルに戻すとリセット解除され、FFF0番地の内容を上位アドレス、FFF0番地の内容を下位アドレスとする番地から、中速モードでプログラムスタートします。

2.11.1 リセットICを用いた接続例

図2.11.1にパワーオンリセット回路例、図2.11.2にINT割り込みでシステム電源の低下を検出することで、RAMバックアップモードに切り替えるシステム例を示します。

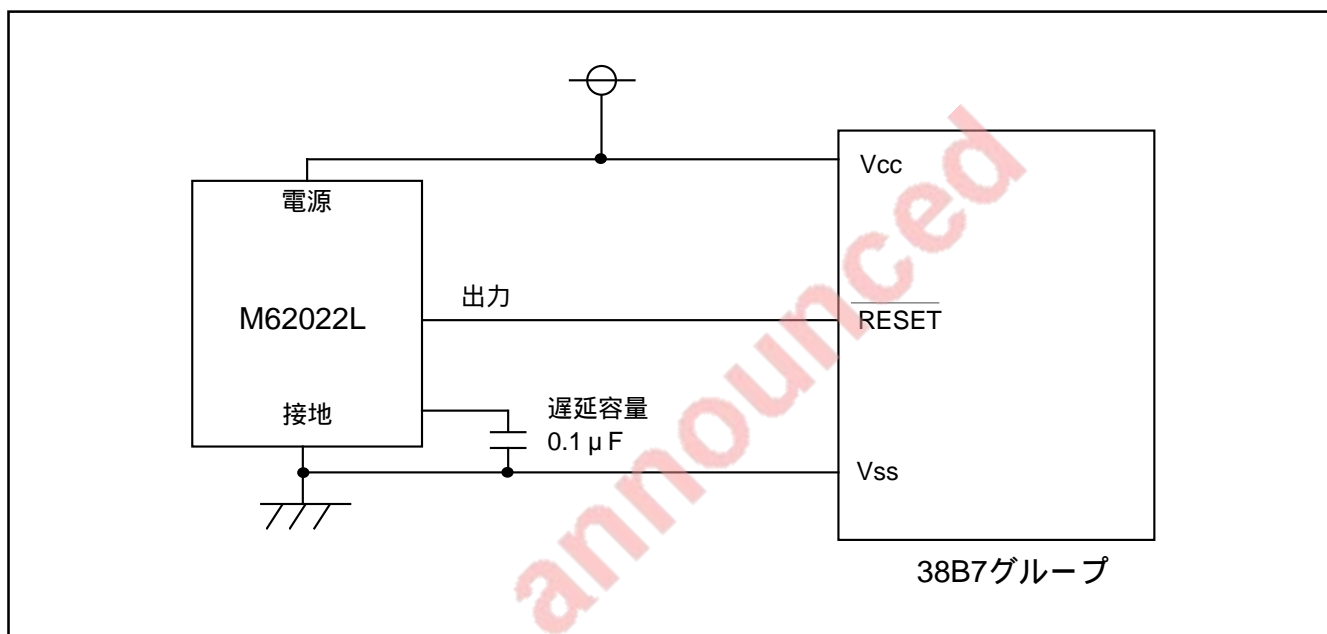


図2.11.1 パワーオンリセット回路例

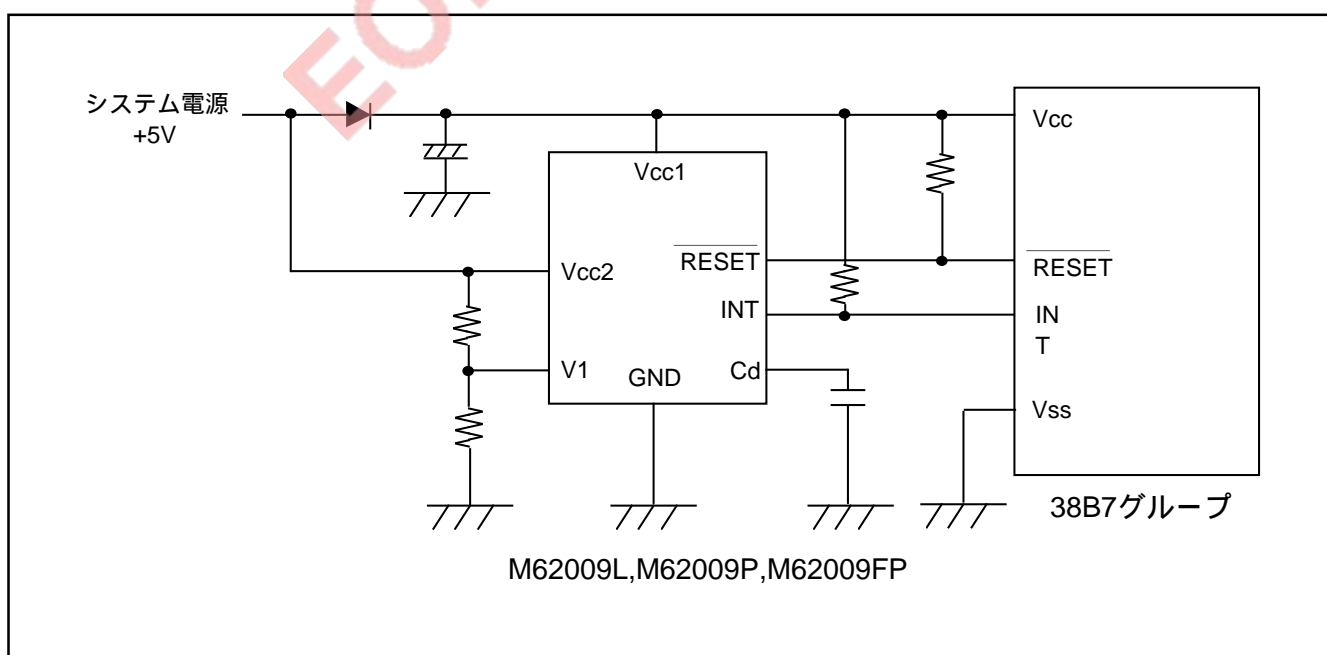


図2.11.2 RAMバックアップシステム例

2.11.2 リセット回路に関する注意事項

(1) リセット入力電圧制御

リセット入力電圧は、電源電圧が $V_{CC}=2.7V$ を通過する時点で、 $0.54V$ 以下になるようにしてください。なお、高速モードへの切り替えは、電源電圧 $4.0\sim 5.5V$ の範囲で行ってください。

(2) リセット信号が緩やかに立ち上がる場合の対策

リセット信号が緩やかに立ち上がる場合は、 $\overline{R\bar{E}\bar{S}\bar{E}\bar{T}}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性のよい $1000pF$ 以上のコンデンサを接続してください。コンデンサを使用する場合は以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分に行ってください。

<理由>

$\overline{R\bar{E}\bar{S}\bar{E}\bar{T}}$ 入力端子に数 ns から数十 ns のインパルス性のノイズが乗った場合、マイコンが誤動作することがあります。

2.11.3 RESET端子の状態が L 期間の各ポート状態

RESET端子の状態が L 期間の端子状態を表2.11.1に示します。

表2.11.1 RESET端子の状態が L 期間の端子状態

端子名	端子の状態
P0、P2	出力ポート（プルダウン抵抗あり）
P1、P3	入力ポート（プルダウン抵抗あり）
P4、P5、P60～63	入力ポート（プルダウン抵抗なし）
P64～67、P7、P80～83、P9、PA、PB0～B6	入力ポート（フローティング）

2.12 クロック発生回路

本節ではクロック発生回路に関するレジスタの設定方法、制御手順などを説明します。

2.12.1 関連レジスタ

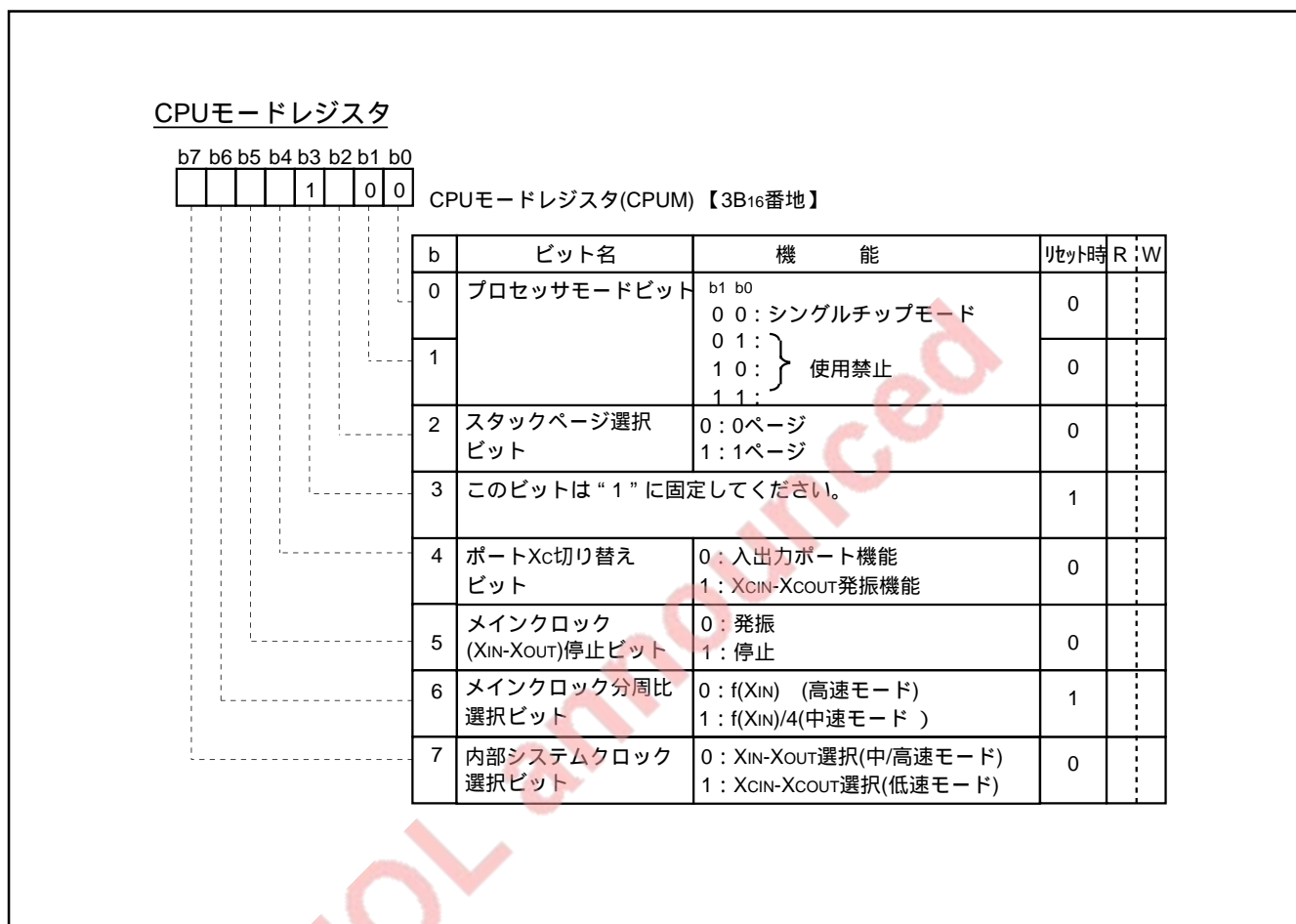


図2.12.1 CPUモードレジスタの構成

2.12.2 クロック発生回路の応用例

(1) 停電時の状態遷移

ポイント：停電時にタイマ割り込みを使用して、1秒ごとに時計をカウントアップします。

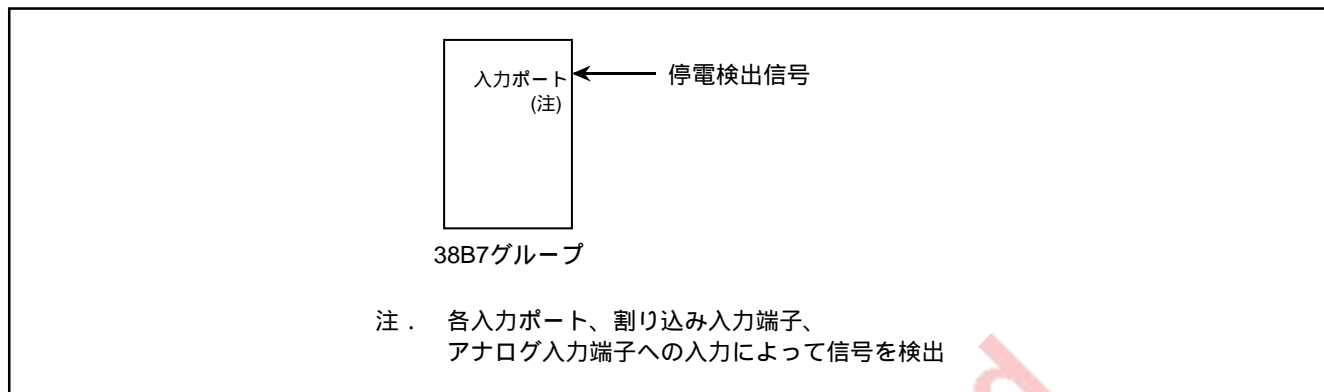


図2.12.2 接続図

- 仕様： 時計機能を維持しながら可能な限り消費電力を抑制。
 クロック： $f(XIN)=4.19MHz$ 、 $f(XCIN)=32.768kHz$ を使用
 ポート処理
 入力ポート：外部で“H”又は“L”レベルに固定
 出力ポート：外部に電流が流れ出さない出力レベルに固定
 (例：出力レベル“L”時に電流が流れてLEDが点灯するような回路の場合、出力レベル“H”に固定)
 入出力ポート：入力ポート 外部で“H”又は“L”レベルに固定
 出力ポート 電流を消費しないデータを出力
 VREF端子：外部回路で基準電圧入力端子への供給を停止

図2.12.3に停電時の状態遷移図、図2.12.4に関連レジスタの設定を示します。

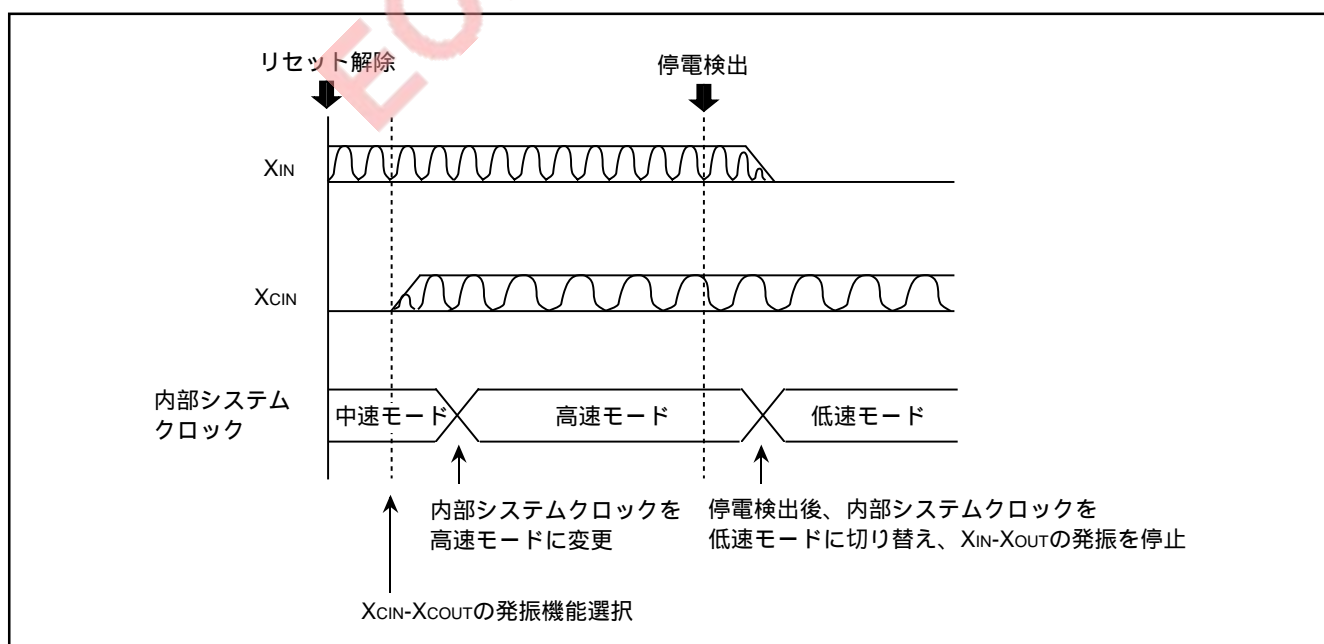


図2.12.3 停電時の状態遷移図

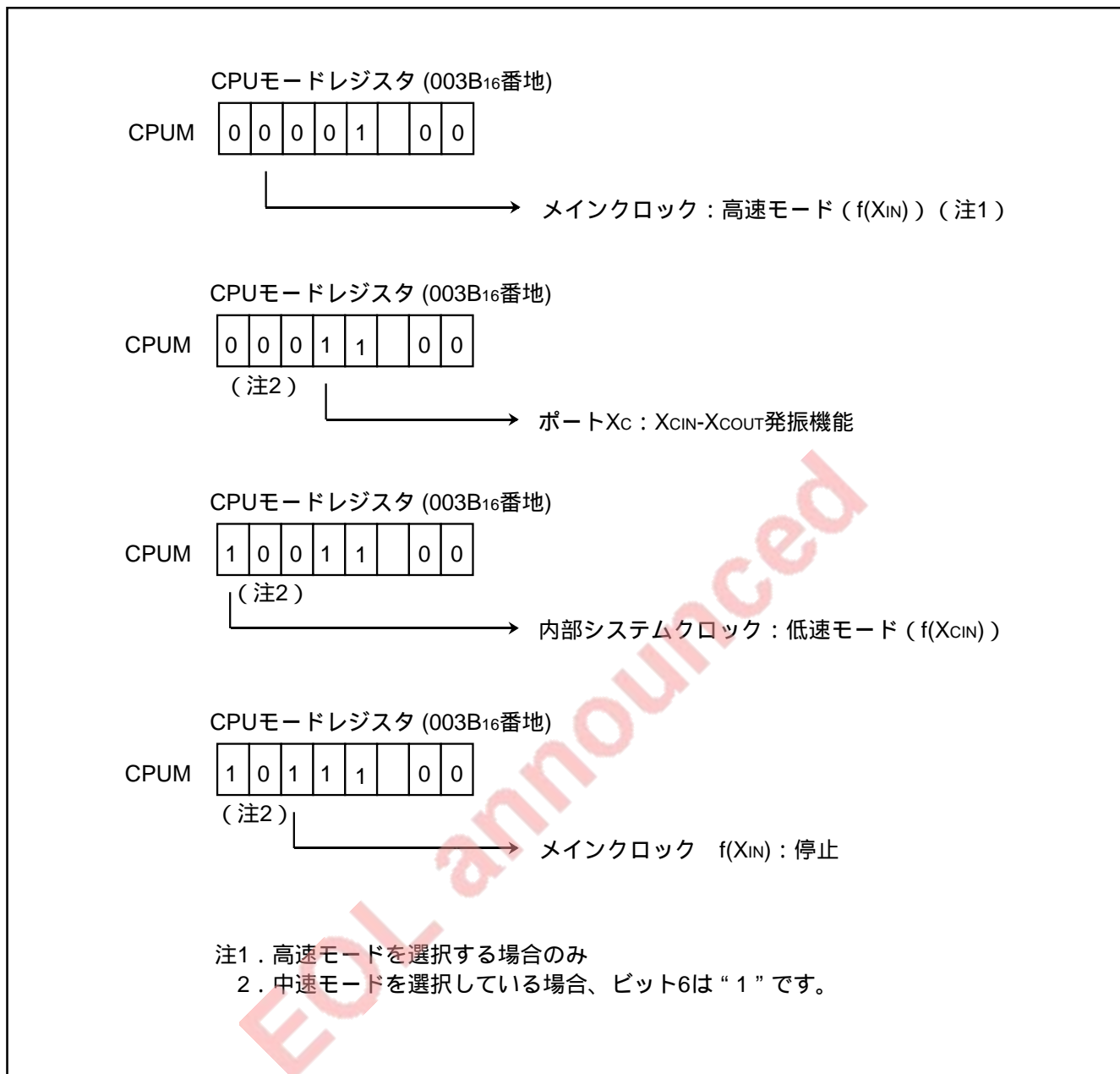


図2.12.4 関連レジスタの設定

制御手順：

下記の順に関連レジスタを設定することによって停電に対応します。

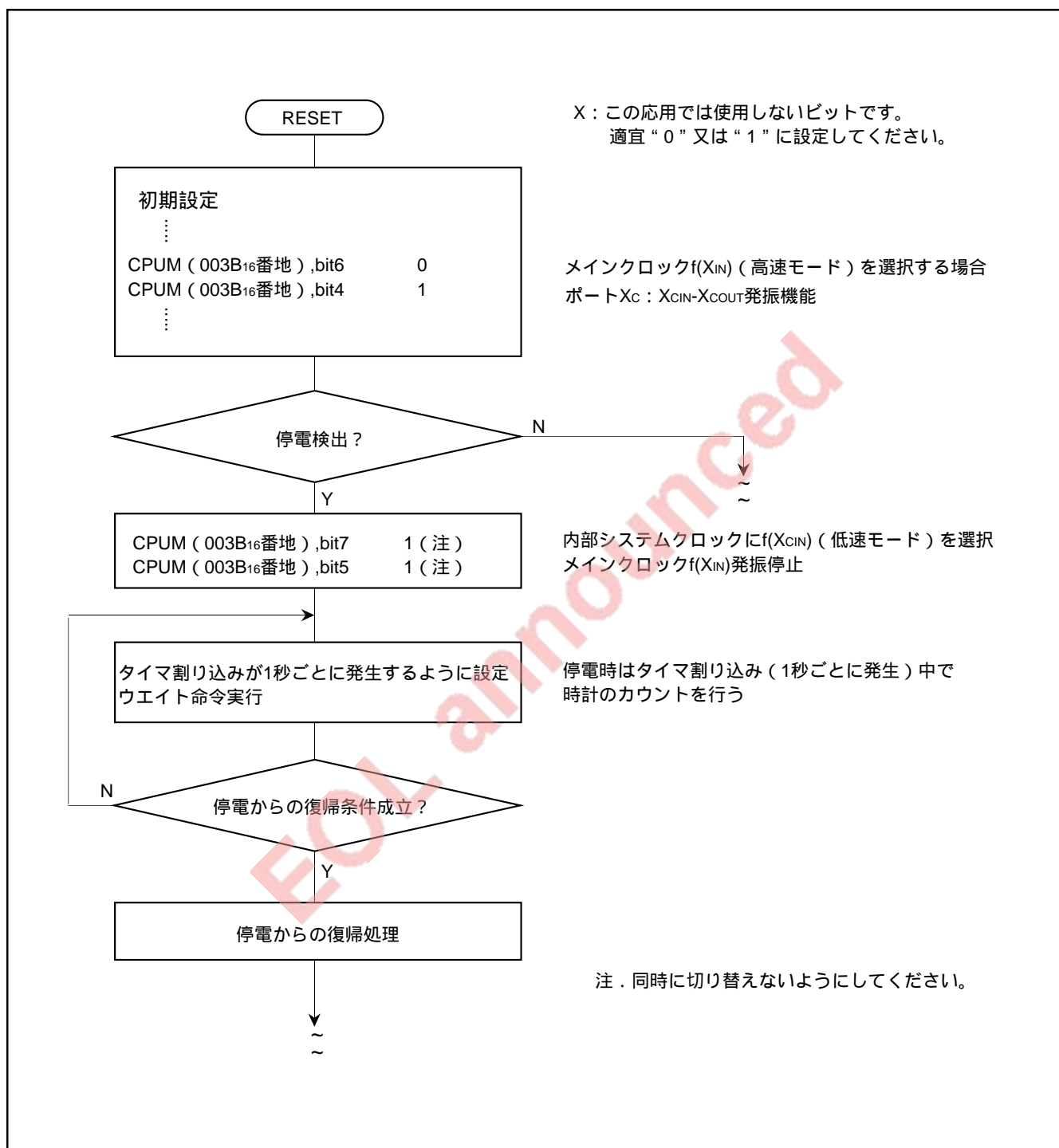


図2.12.5 制御手順

(2) 停電時における時計の正確なカウント方法

ポイント：停電時における時計正確なカウントを維持します。

仕様： 時計機能を維持しながら、消費電力を抑制

クロック： $f(X_{IN})=4.19\text{MHz}$

サブクロック： $f(X_{CIN})=32.768\text{kHz}$

タイマ3割り込みを使用

周辺回路及び停電時の状態遷移については、図2.12.2及び図2.12.3を参照してください。
 図2.12.6に時計カウンタの構成、図2.12.7及び図2.12.8に関連レジスタの設定を示します。

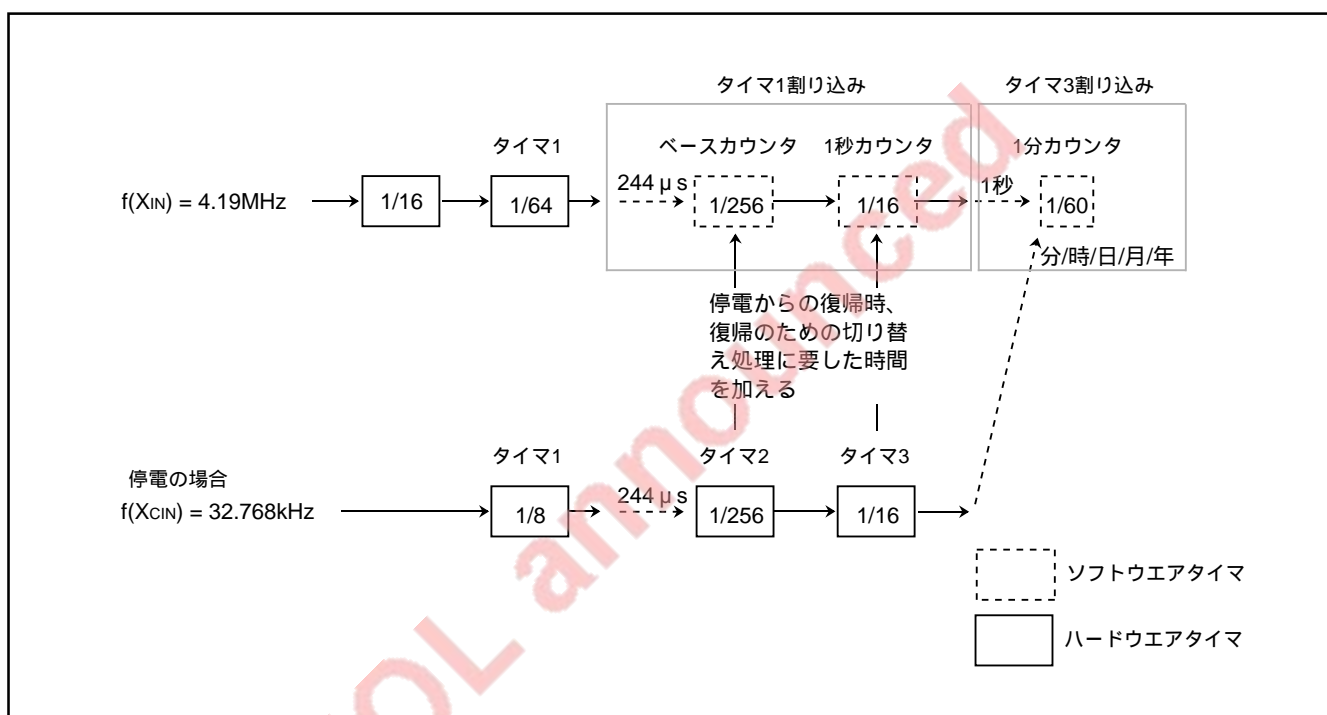


図2.12.6 時計カウンタの構成

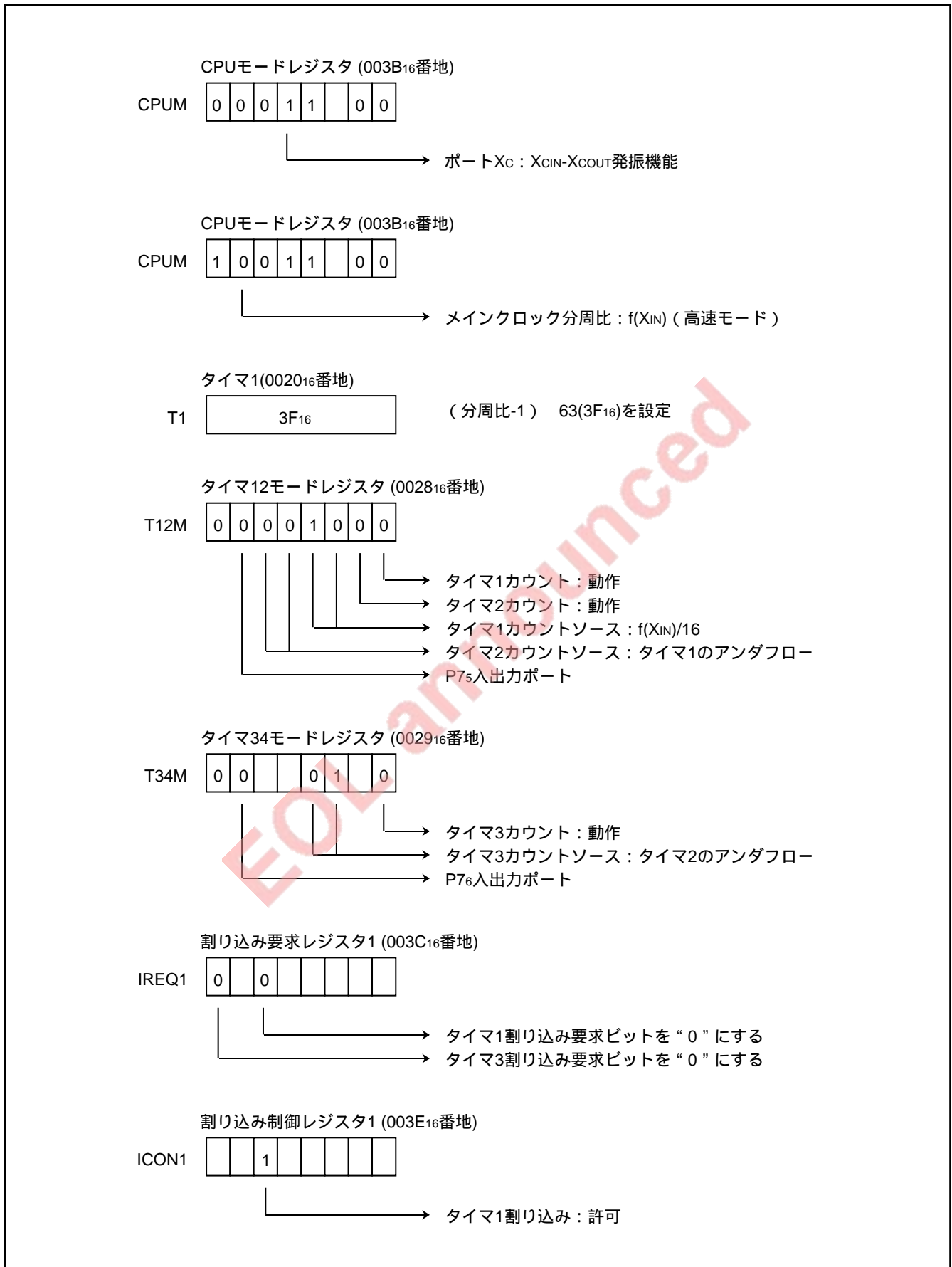


図2.12.7 関連レジスタの初期設定

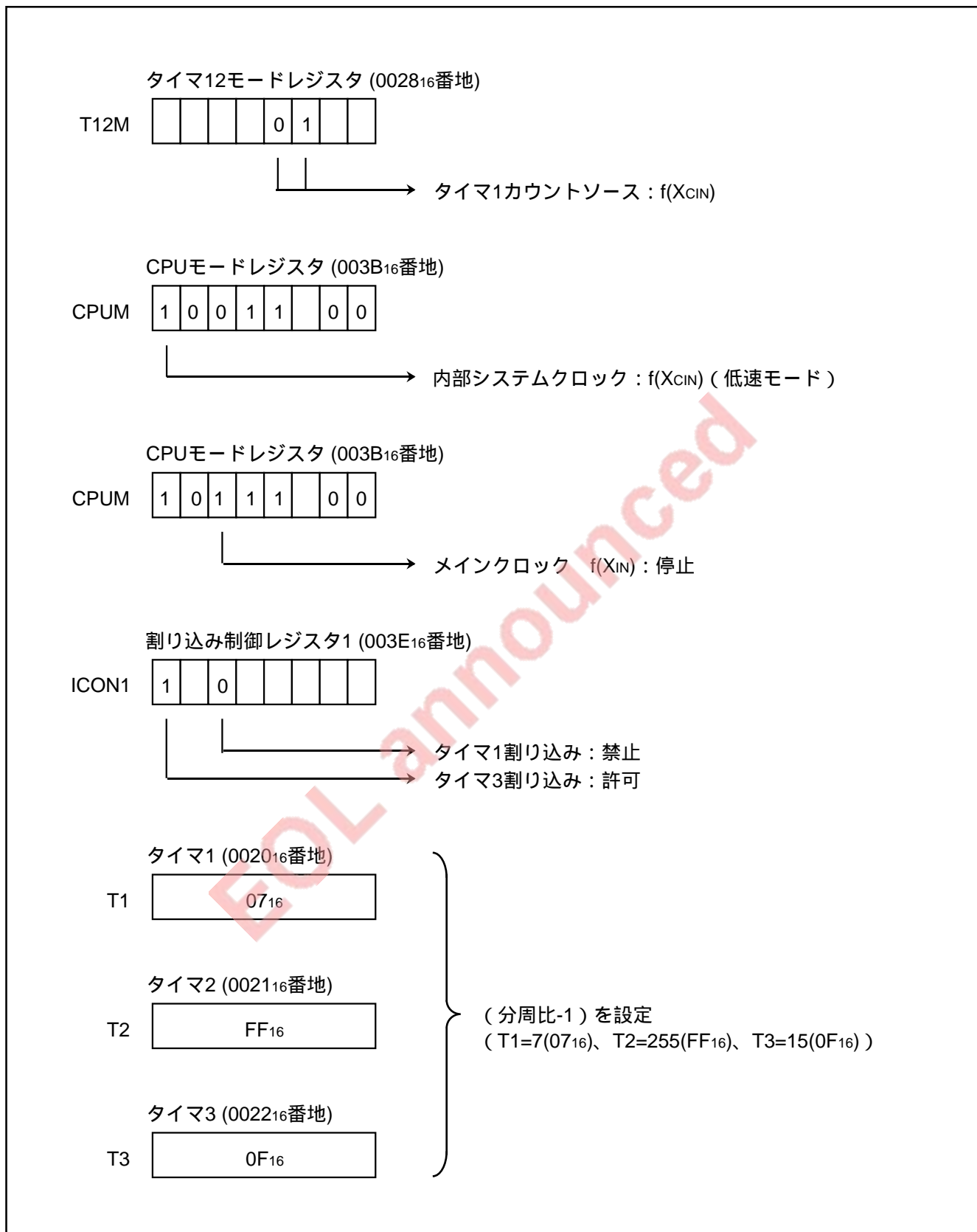


図2.12.8 関連レジスタの停電検出後の設定

制御手順：

下記の順に関連レジスタを設定することによって停電に対応します。

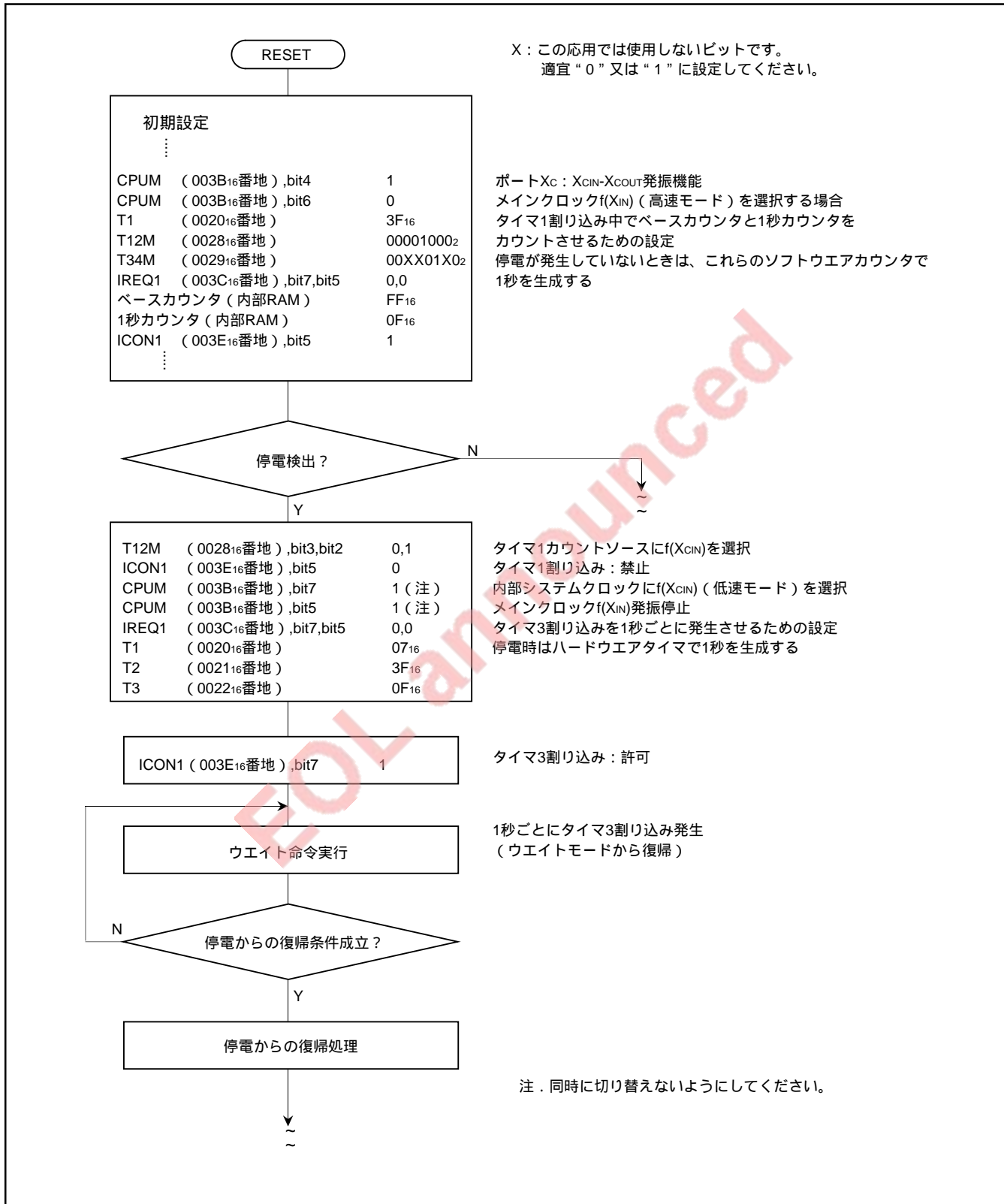
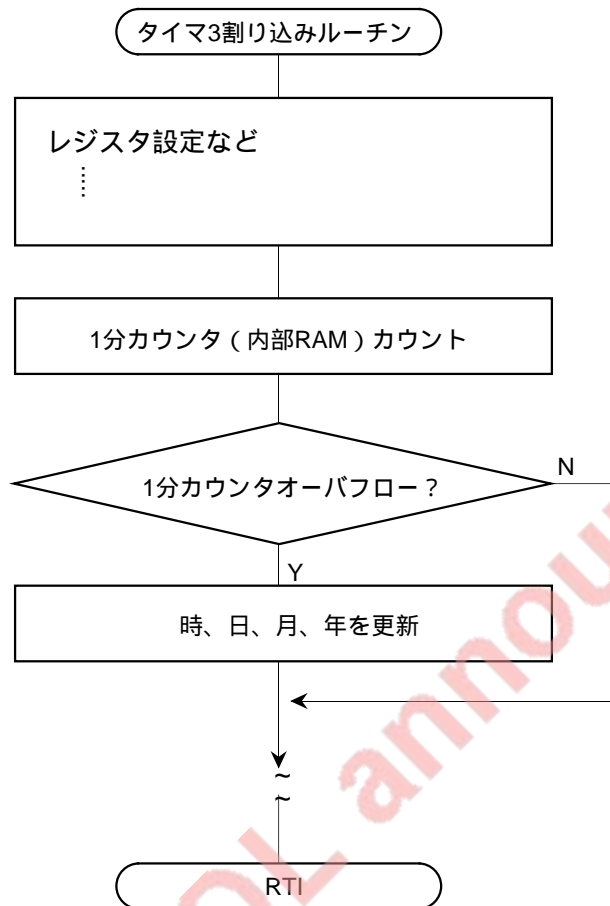


図2.12.9 制御手順



2.13 フラッシュメモリ

本節ではフラッシュメモリに関するレジスタの設定方法、注意事項などを説明します。

2.13.1 概要

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ただし、SFR領域の一部がマスクROM版と異なります(「2.13.2メモリ配置」参照)。

フラッシュメモリ版では、CPU書き換えモード、シリアル入出力モード、及びパラレル入出力モードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

2.13.2 メモリ配置

M38B79FFFPは60Kバイトのフラッシュメモリを内蔵しています。図2.13.1にフラッシュメモリ版のメモリ配置を示します。

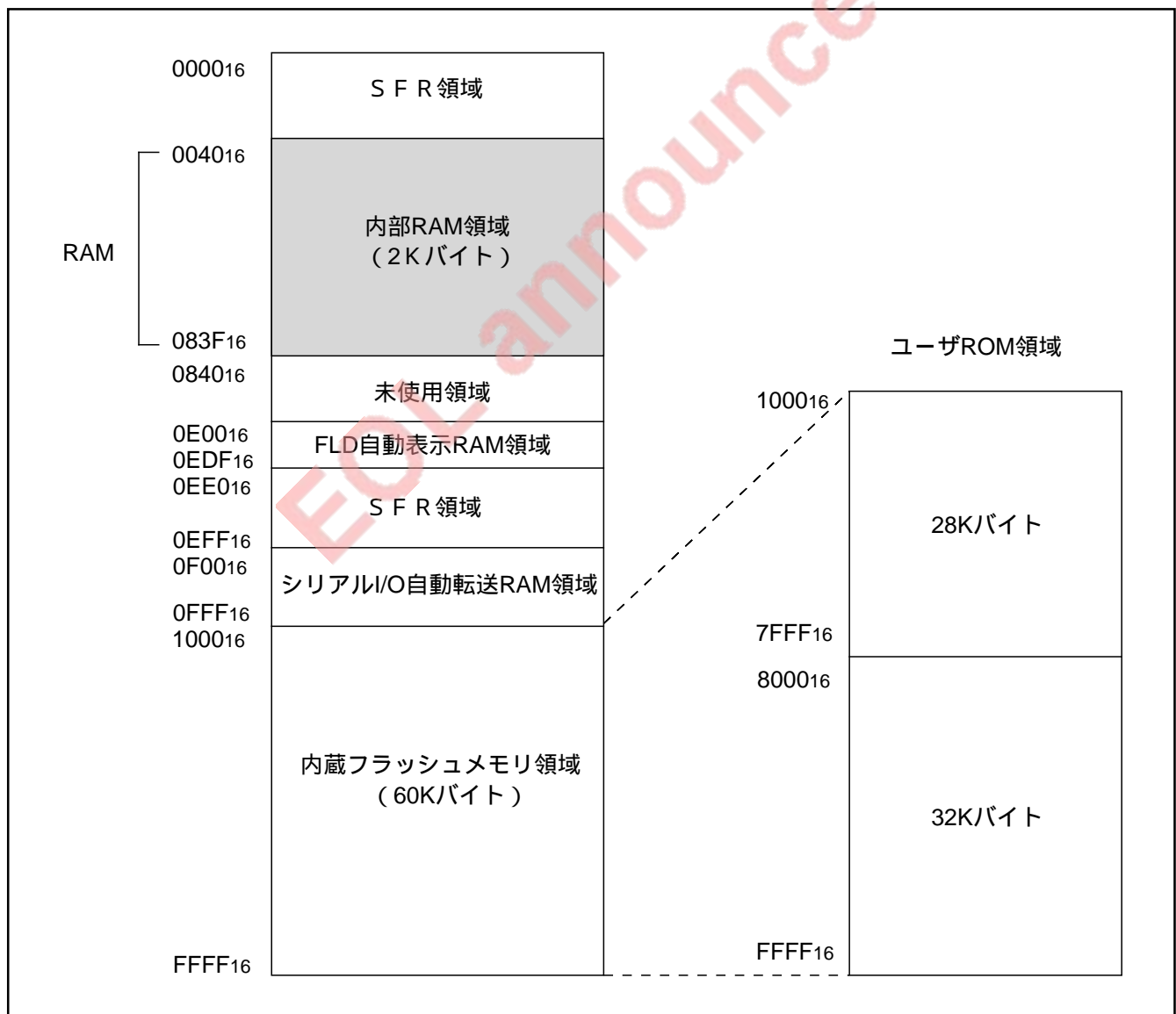


図2.13.1 38B7グループフラッシュメモリ版のメモリ配置

2.13.3 関連レジスタ

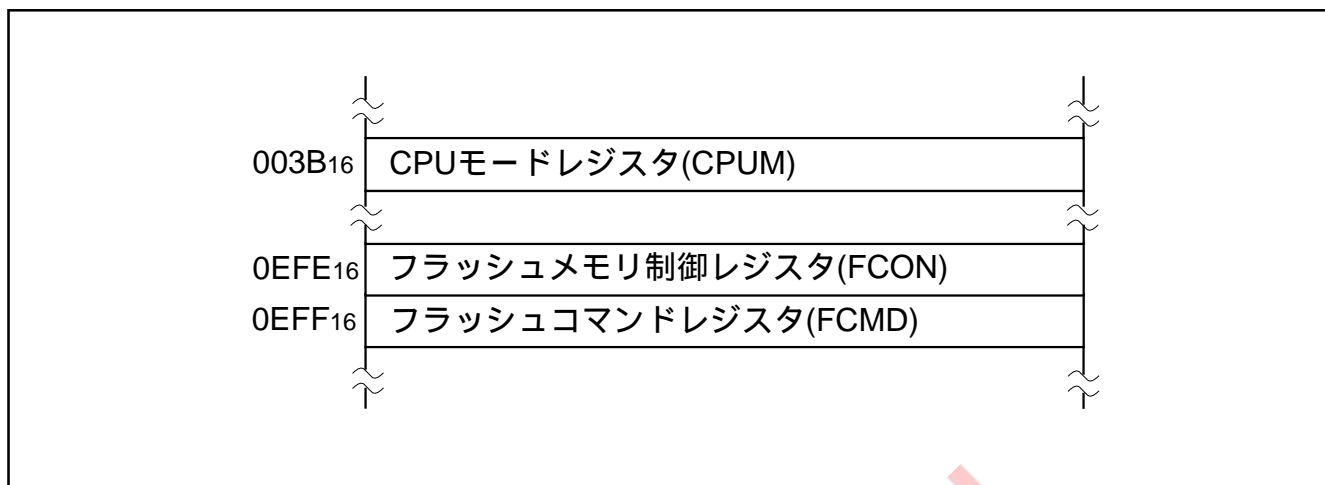


図2.13.2 フラッシュ関連レジスタのメモリ配置

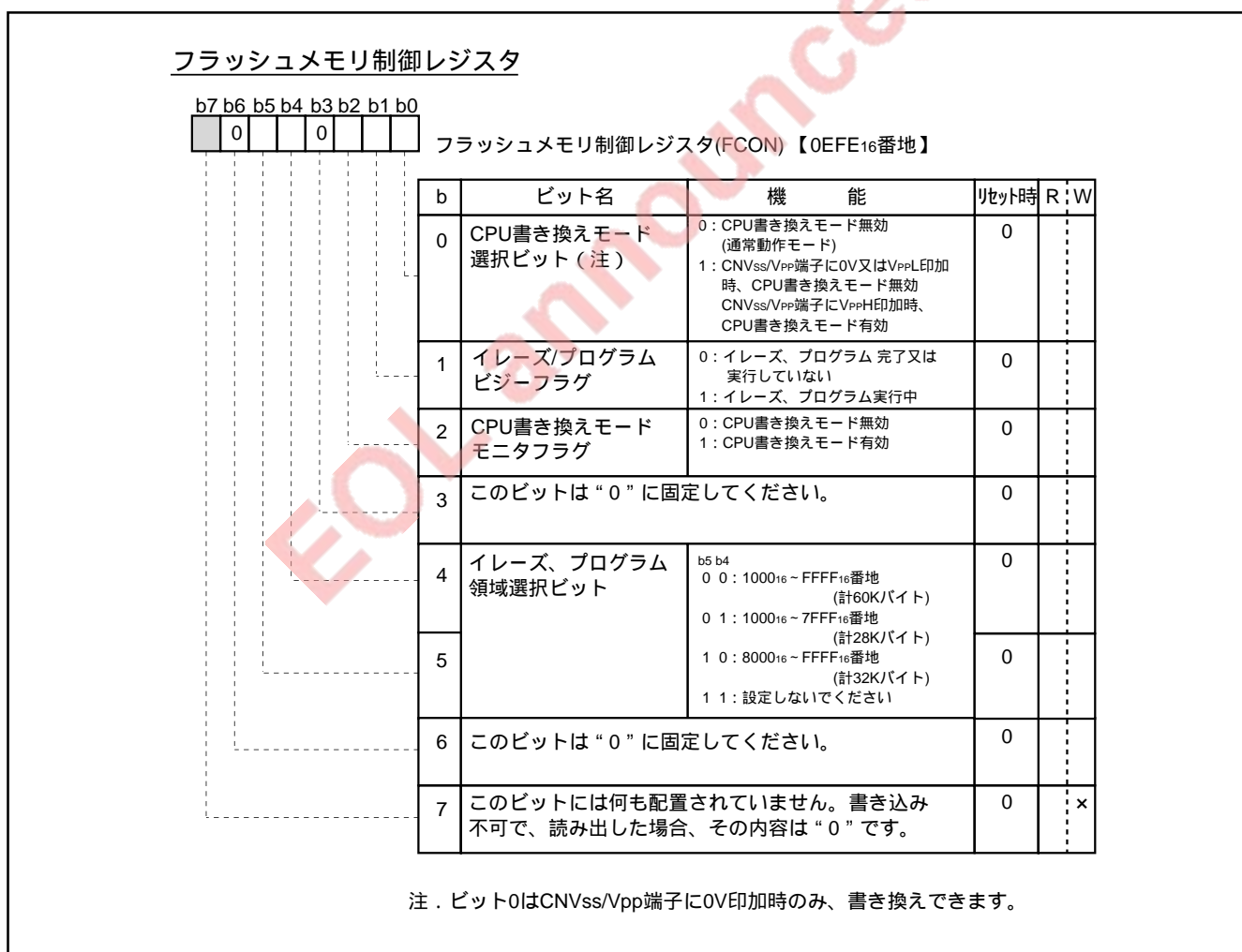


図2.13.3 フラッシュメモリ制御レジスタの構成

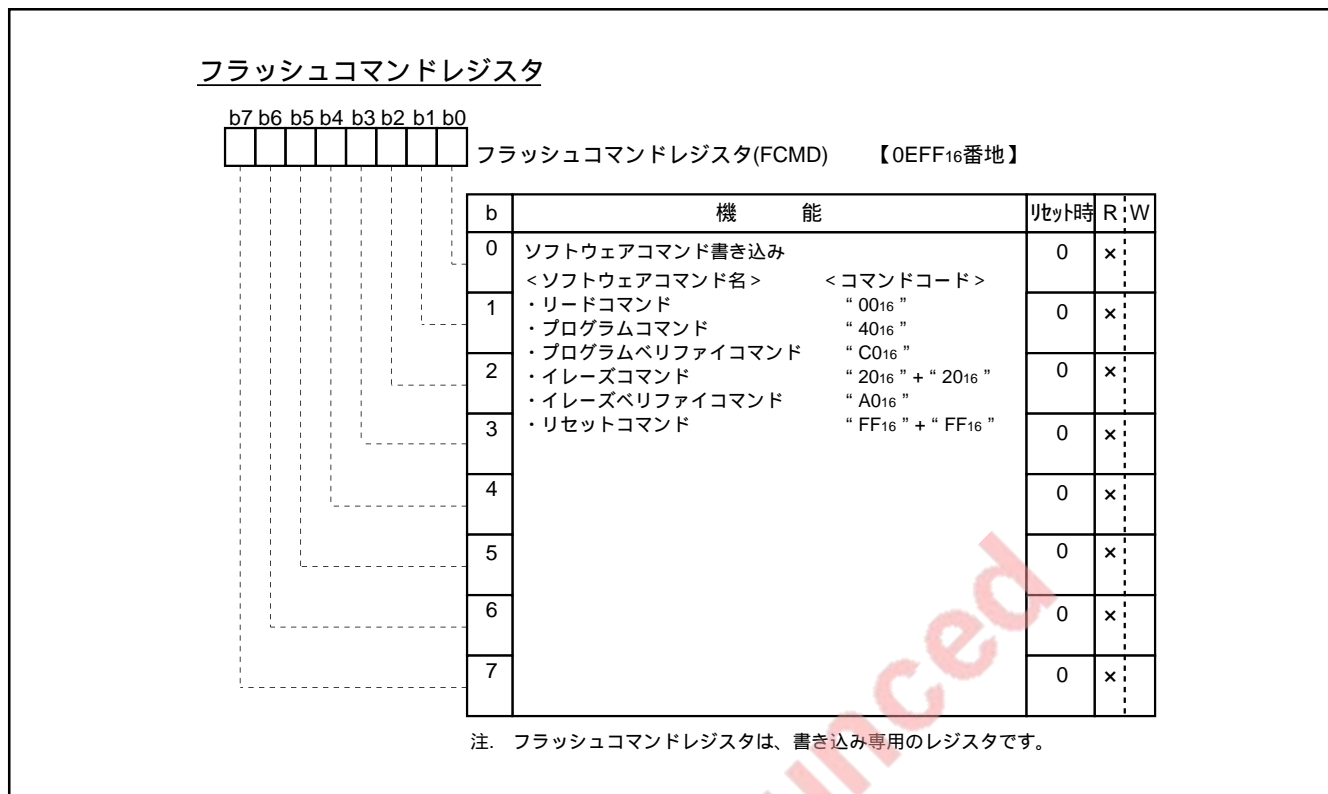


図2.13.4 フラッシュコマンドレジスタの構成

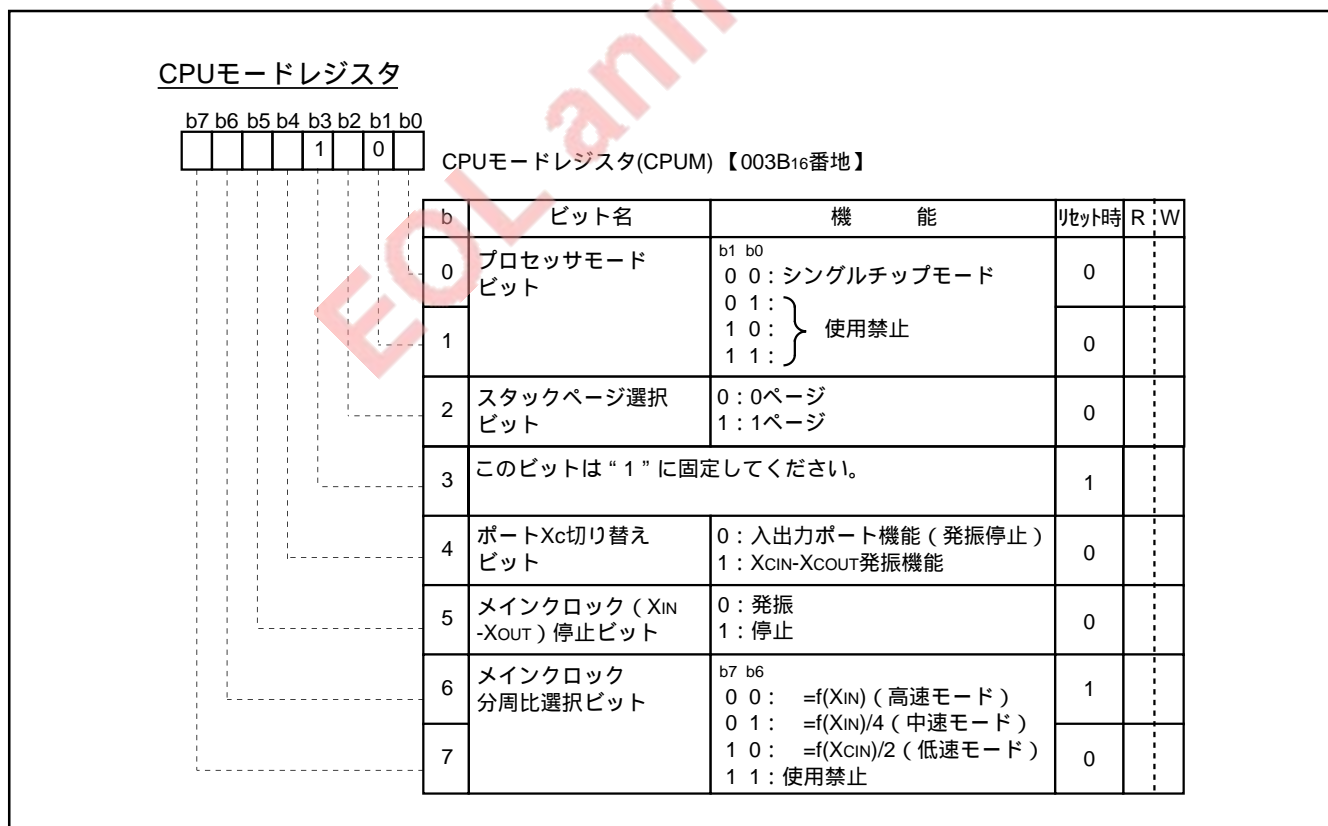


図2.13.5 CPU書き換えモードでのCPUモードレジスタの構成

2.13.4 パラレル入出力モード

パラレル入出力モードでは、汎用のEPROMプログラマを使用することによって、内蔵フラッシュメモリ領域へのプログラム/イレーズを行うことができます。

EPROMプログラマの書き込みモードはM5M28F101に設定し、プログラム/イレーズのメモリ領域は0100016 ~ 0FFFF16番地に設定してください。特にイレーズを行うときにメモリ領域の設定を間違えると、製品の永久的なダメージにつながりますので注意が必要です。

表2.13.1にパラレル入出力モードでプログラムを行う場合のEPROMプログラマの設定を示します。

・推奨プログラマ：(株)アドバンテスト社製 R4945A

表2.13.1 パラレル書き込み時のEPROMプログラマ設定

品種名	書き込みアダプタ	書き込みモード	メモリ領域
M38B79FFFP	PCA7438FF-100	M5M28F101	0100016 ~ 0FFFF16

2.13.5 シリアル入出力モード

シリアル入出力モードで書き込みをおこなう場合の、プログラマとマイコンの端子接続について表2.13.2に示します。

・推奨プログラマ：(株)彗星電子システム社製 EFP-

表2.13.2 シリアル書き込み時のプログラマとの接続

EFP-		38B7グループフラッシュメモリ	
信号名	ターゲットコネクタ線番	端子名	ピン番号
BUSY	1	P67/SRDY2/SCLK22/FLD55	33
VPP (注1)	2	CNVss (注1)	17
VDD (注3)	3	Vcc (注3)	24
SCL	4	P66/SCLK21/FLD54	34
SDA	5	P64/RxD/FLD52	36
PGM/OE	6	P37/FLD31	57
RESET	7	RESET	18
GND (注2)	8	Vss, AVss (注2)	21, 97

- 注1. プログラム電源端子CNVss/VPPには、ノイズ除去のため0.01 μF程度のコンデンサをGNDとの間に挿入してください。
- 注2. シリアルプログラマを接続するときには、最初にGNDどうしを接続してGNDレベルを合わせるようにしてください。
- 注3. ターゲット基板にVcc電源が既に供給されている場合、シリアルプログラマからのVDD電源供給端子をターゲット基板のVccに接続しないでください。

2.13.6 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがってROMライターなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換えプログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリからの読み出しができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域(内部RAM領域など)に転送した後、その領域上で実行してください。

CPU書き換えモードでは、リードコマンド、プログラムコマンド、プログラムベリファイコマンド、イレーズコマンド、イレーズベリファイコマンド、リセットコマンドが使用できます。各コマンドの詳細については「1章 フラッシュメモリモード-3(CPU書き換えモード)」を参照してください。

(1) CPU書き換えモード設定/解除方法

内蔵フラッシュメモリの書き換えモードでの操作手順を示します。
制御例については「2.13.7 (2)CPU書き換えモード時の制御例」を参照してください。

< 開始手順 >

- CNVSS/VPP端子に0Vを印加し、リセットを解除する。
- CPUモードレジスタを設定する。
- CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御してください)。
- CPU書き換えモード選択ビット(0EFE₁₆番地のビット0)に“1”を設定する。
- CNVSS/VPP端子にVPPHを印加する。
- CNVSS/VPP端子が12Vになるまで待つ。
- CPU書き換えモードモニタフラグ(0EFF₁₆番地のビット2)を読み出し、CPU書き換えモードが有効になっていることを確認する。
- フラッシュコマンドレジスタ(0EFF₁₆番地)へのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。
- 注. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

< 解除手順 >

- CNVSS/VPP端子に0Vを印加する。
- CNVSS/VPP端子が0Vになるまで待つ。
- CPU書き換えモード選択ビット(0EFE₁₆番地のビット0)を“0”に設定する。

また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・割り込み禁止フラグ(I)=1にする。

CPU書き換えモード中、ウォッチドッグタイマ制御レジスタ(0EEE16番地)には定期的書き込みを行い、ウォッチドッグタイマHのアンダフローによるリセットが発生しないようにしてください。

なお、プログラム実行中(プログラム時間:最大10 μ s)は、ウォッチドッグタイマHは“FF16”、ウォッチドッグタイマLは“FF16”に設定され、カウントが停止します。プログラム実行後、またはイレーズ実行完了後に再びカウントを開始します。そのため、ウォッチドッグタイマ制御レジスタの書き込み周期はプログラム時間、及びイレーズ時間を除き設定しても問題ありません。

CPU書き換えモード時に、割り込み要求及びリセットが発生した場合は、以下のようになります。

- ・割り込み : プログラムが暴走します。割り込みベクトル領域のあるフラッシュメモリの読み出しができません。
- ・ウォッチドッグタイマHアンダフロー、リセット : 内蔵フラッシュメモリ制御回路、及びフラッシュメモリ制御レジスタがリセットされ、マイクロコンピュータがリセットされます。

また、プログラム/イレーズ中に上記割り込み及びリセットが発生した場合、フラッシュメモリの書き換えが完了していないため、リセット解除後も正常に動作しないデータになっている可能性が高く注意が必要です。この場合には、パラレルモードまたはシリアルモードでフラッシュメモリを正しくプログラムしなおす必要があります。

2.13.7 フラッシュメモリモードの応用例

シリアル入出力モード使用時のシステム基板上での制御端子処理例、及びCPU書き換えモード時の制御例について示します。

(1) シリアル入出力モード使用時のシステム基板上での制御端子処理例

図2.13.6に示すように、シリアル入出力モードでは、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリの内容を書き換えることができます。シリアル入出力モード時、制御端子となるP37、P64、P66、P67、CNVss、及びRESET端子の処理例を以下に示します。

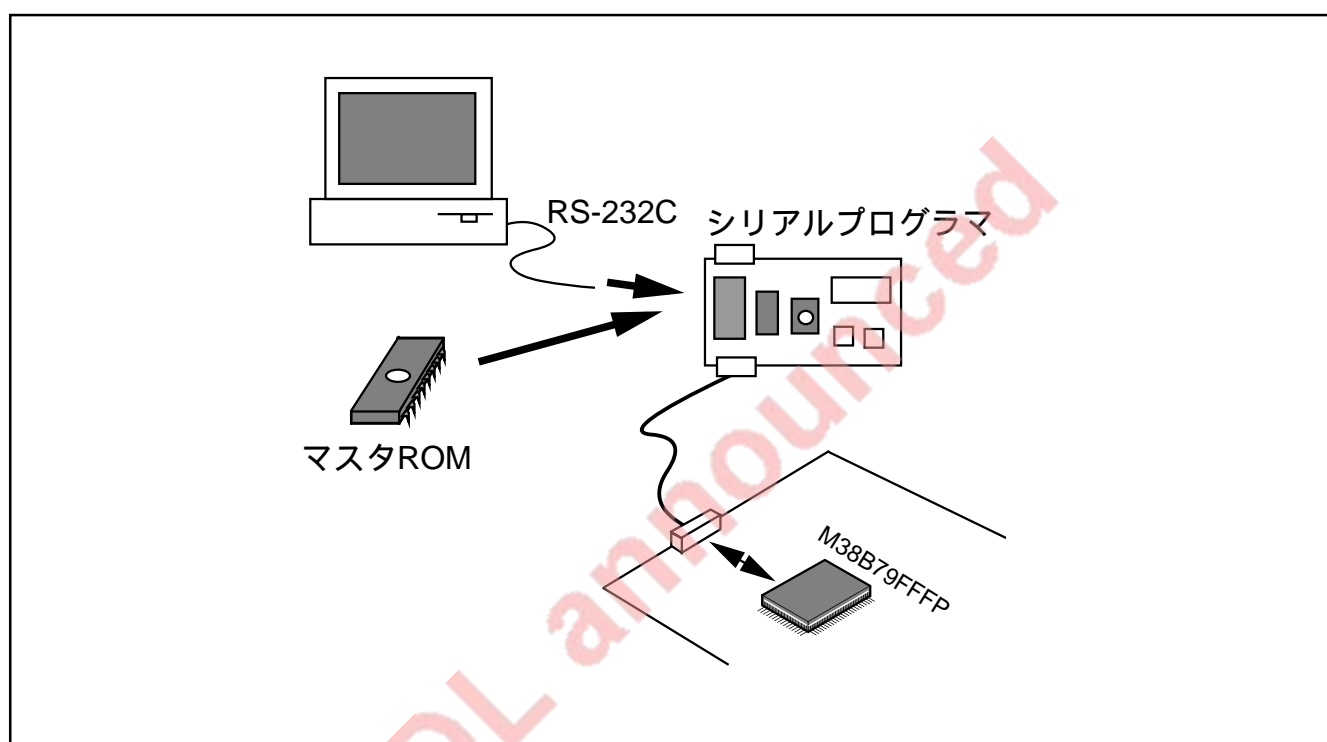


図2.13.6 シリアル入出力モードによる内蔵フラッシュメモリ書き換え例

制御信号がユーザシステム回路に影響しない場合

シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されていない、あるいはユーザシステム回路に影響しない場合は、図2.13.7に示すように結線できます。

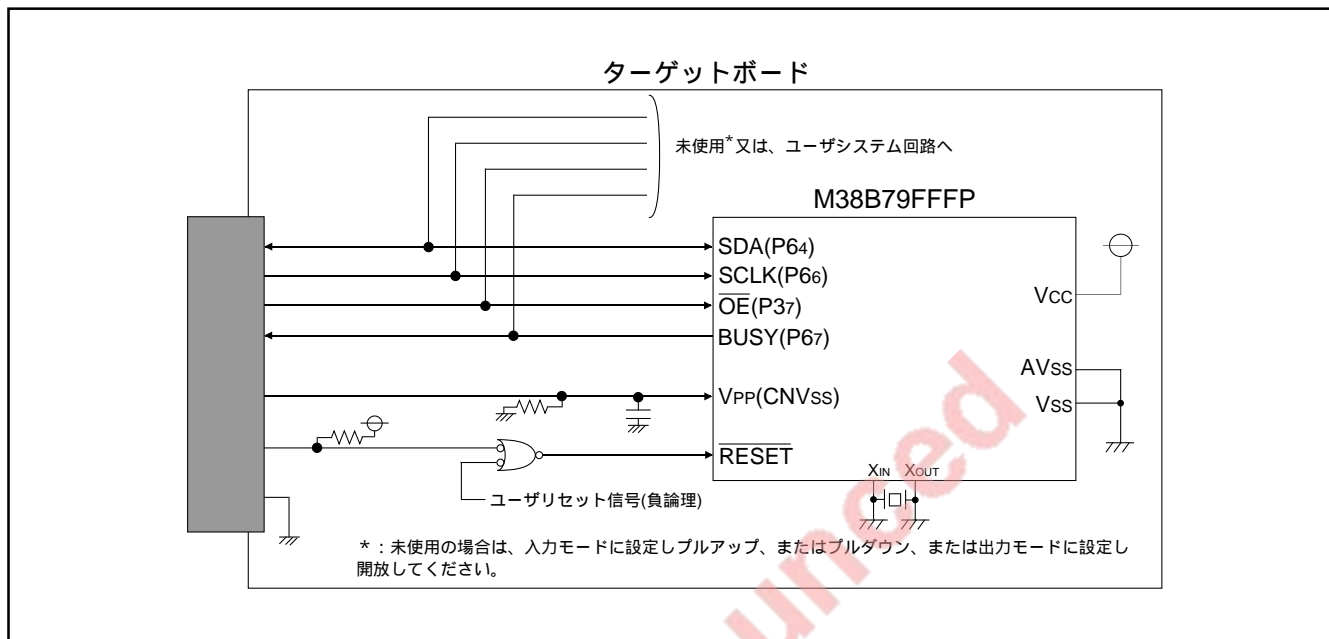


図2.13.7 シリアル入出力モード時の基板上的端子処理例(1)

制御信号がユーザシステム回路に影響する場合(1)

図2.13.8はシリアル入出力モード時、ジャンプスイッチによりユーザシステム回路へ供給される制御信号を遮断する例です。

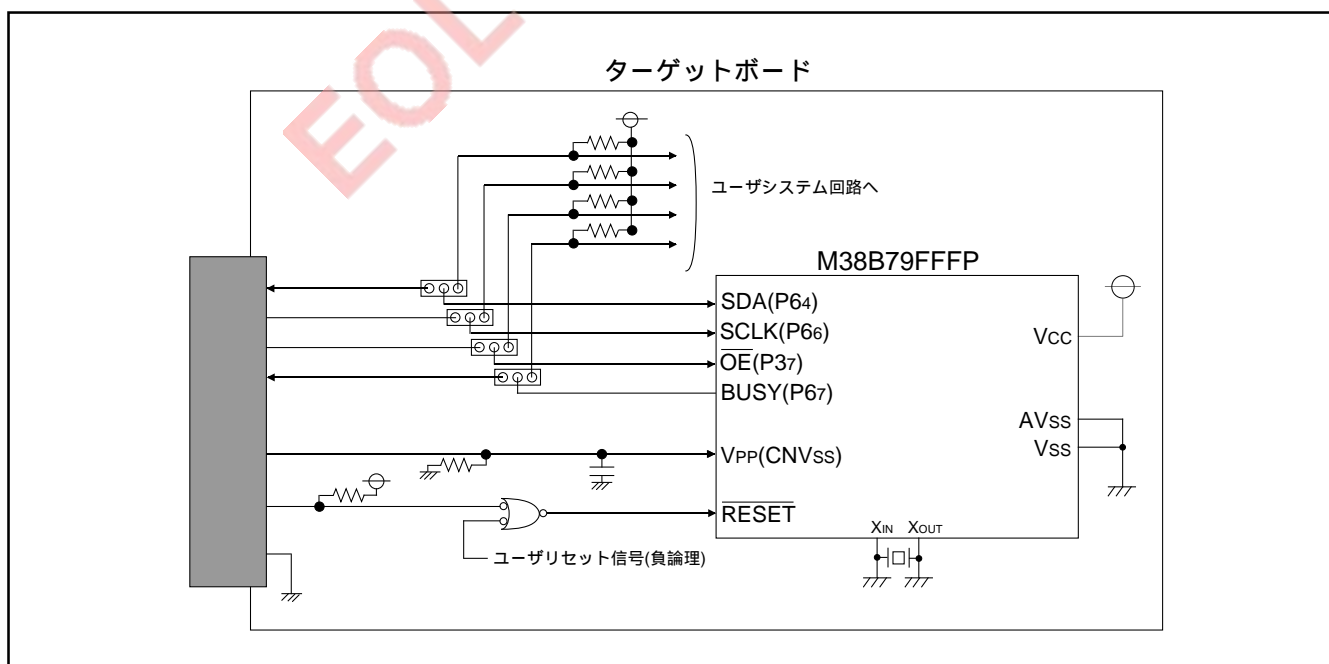


図2.13.8 シリアル入出力モード時の基板上的端子処理例(2)

制御信号がユーザシステム回路に影響する場合(2)

図2.13.9はシリアル入出力モード時、アナログスイッチ(74HC4066)によりユーザシステム回路へ供給される制御信号を遮断する例です。

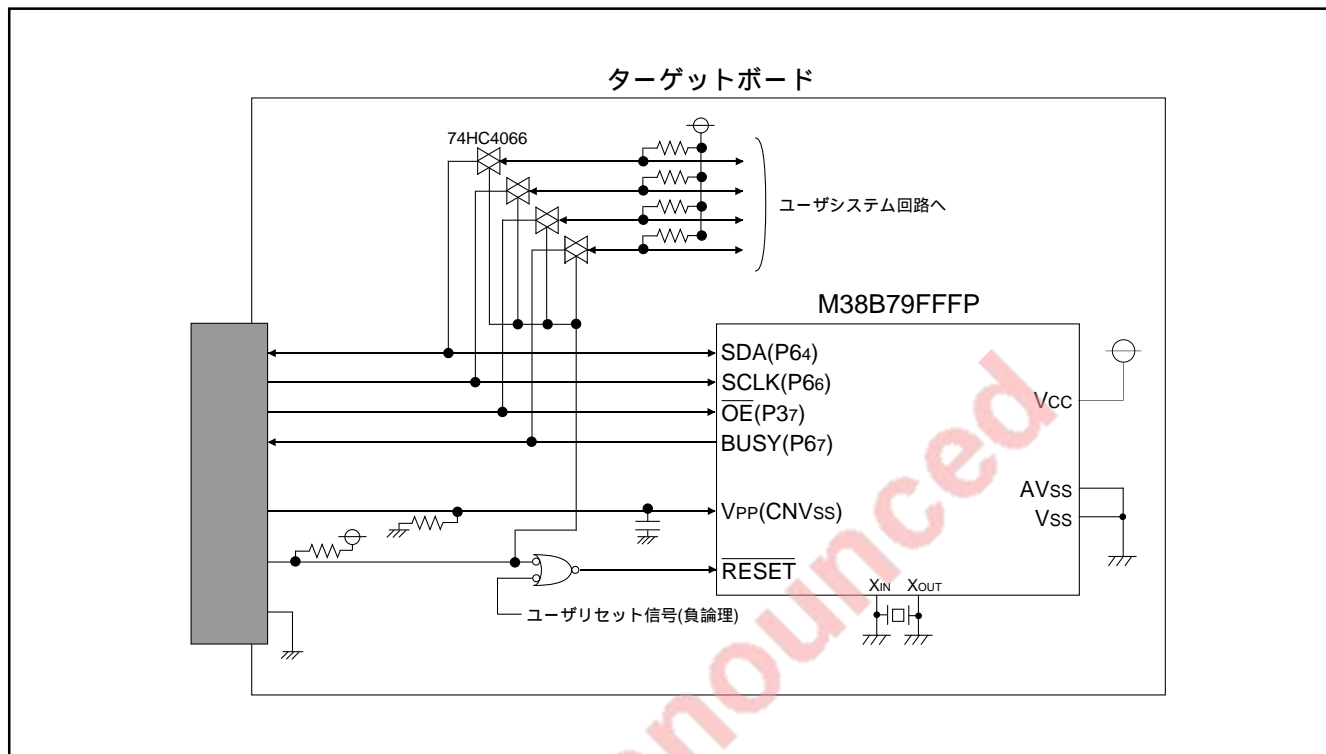


図2.13.9 シリアル入出力モード時の基板上の端子処理例(3)

(2) CPU書き換えモード時の制御例

この例では、シリアルI/O2を用いてプログラムの書き換えデータ(アップデートデータ)を受信しながらCPU書き換えモードで内蔵フラッシュメモリの書き換えを行います。

図2.13.10にCPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例を示します。

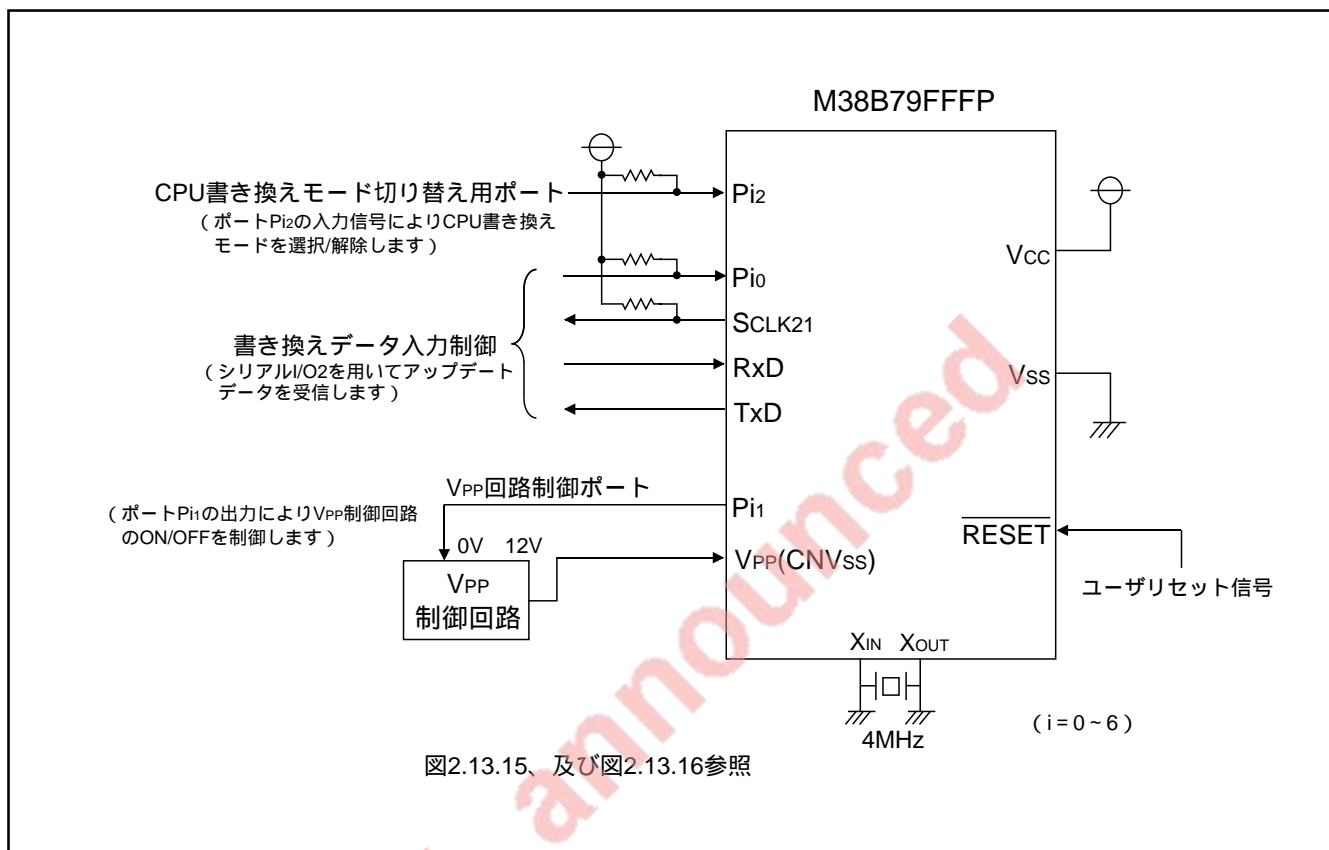


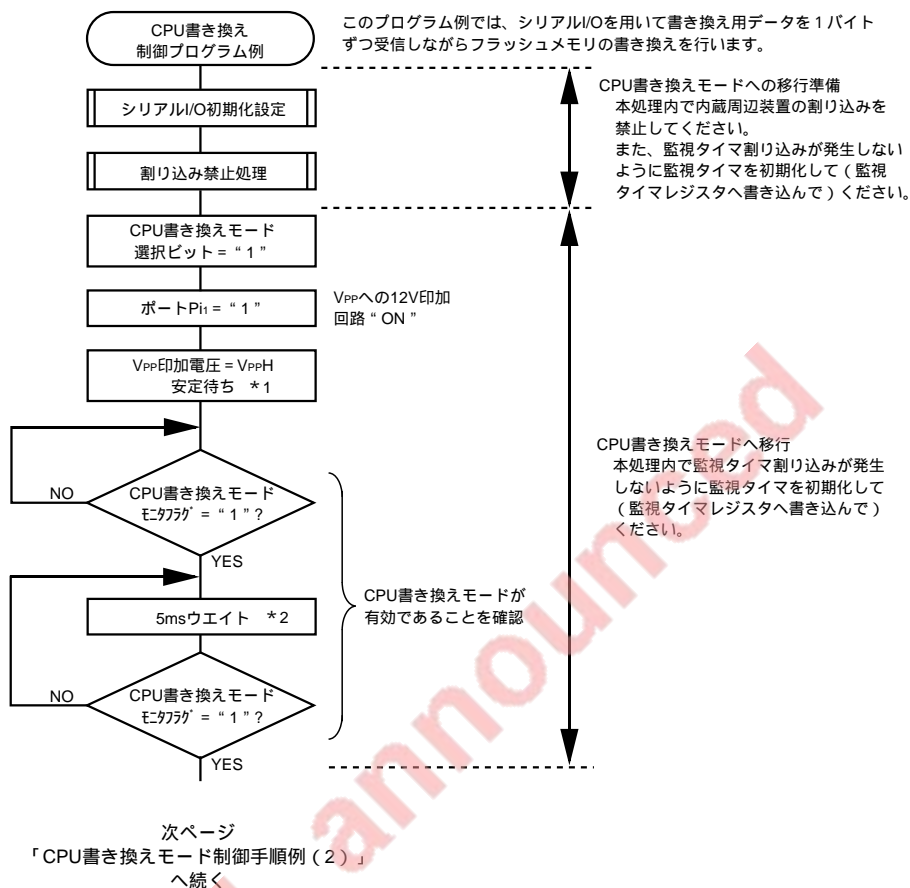
図2.13.15、及び図2.13.16参照

図2.13.10 CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例

仕様

- Pi2への入力信号により、CPU書き換えモードを選択 / 解除。
- シリアルI/O2を用いて、アップデートデータを受信。
- シリアル転送元の転送可能状態は、Pi0への“L”レベル入力で判断。
- Pi1からの出力により、VPP制御回路をON / OFFする(図2.13.15及び図2.13.16参照)。

注 . この例では下記のプログラムを内部RAMへ転送し、内部RAM上で実行します。



*1 : Vpp入力電圧がVppHに安定するまで、ソフトウェアで待つことを推奨します(図2.13.15、図2.13.16 Vpp電圧制御タイミング(A)参照)。

*2 : ウエイト時間は、Vpp制御回路により異なります(図2.13.15、図2.13.16 Vpp電圧制御タイミング(C)参照)。

図2.13.11 CPU書き換え制御プログラム(1)例

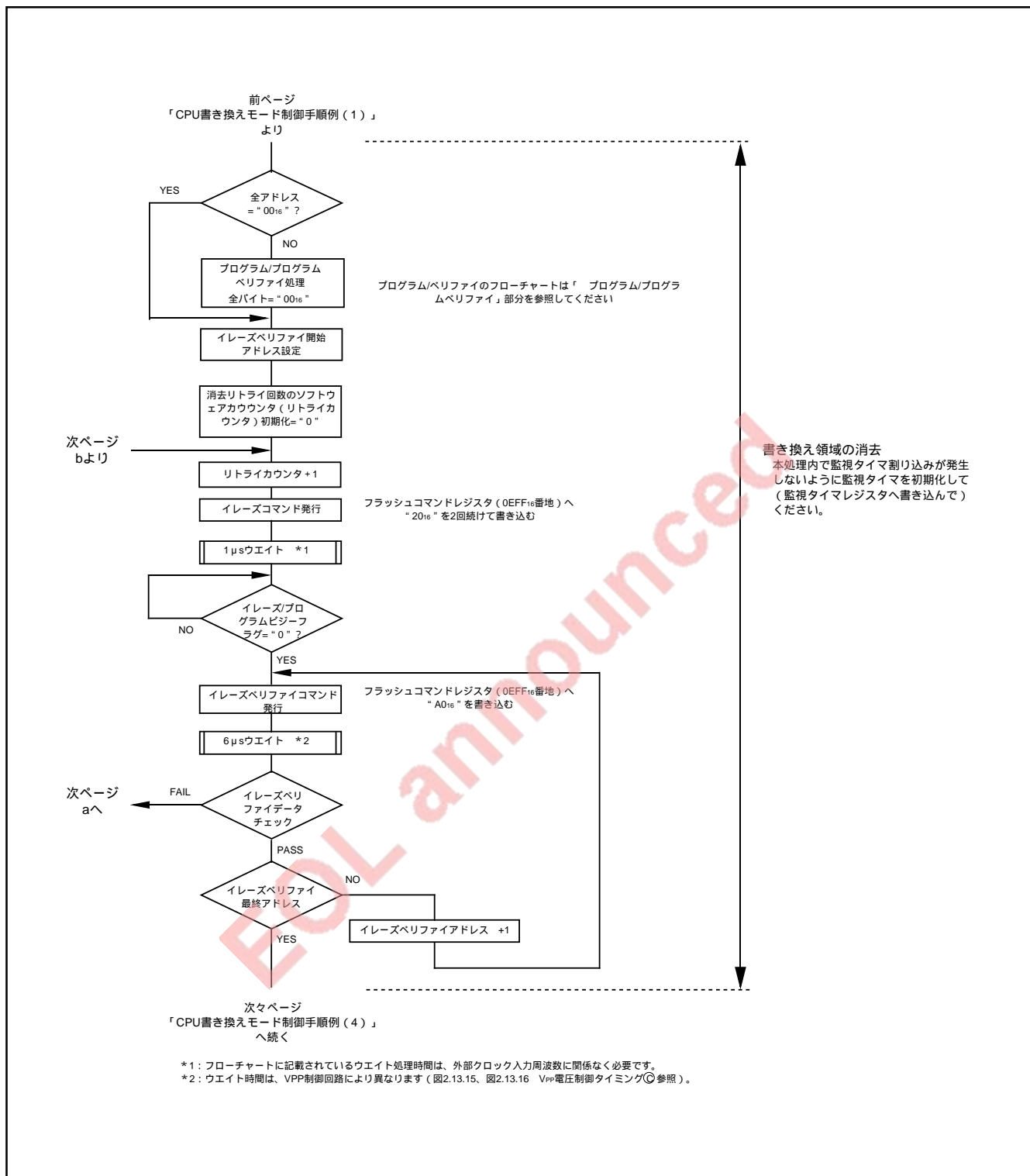


図2.13.12 CPU書き換え制御プログラム(2)例

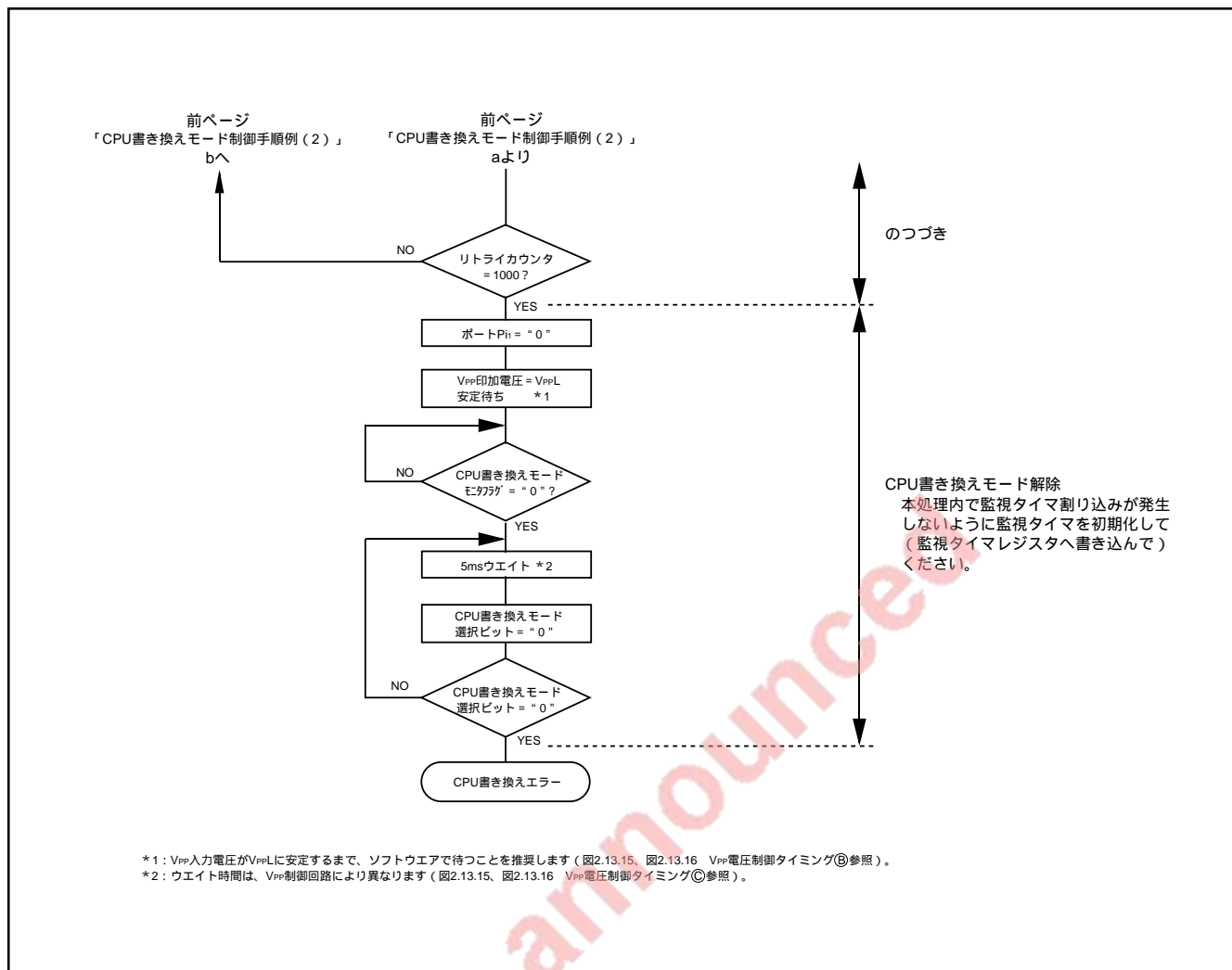


図2.13.13 CPU書き換え制御プログラム(3)例

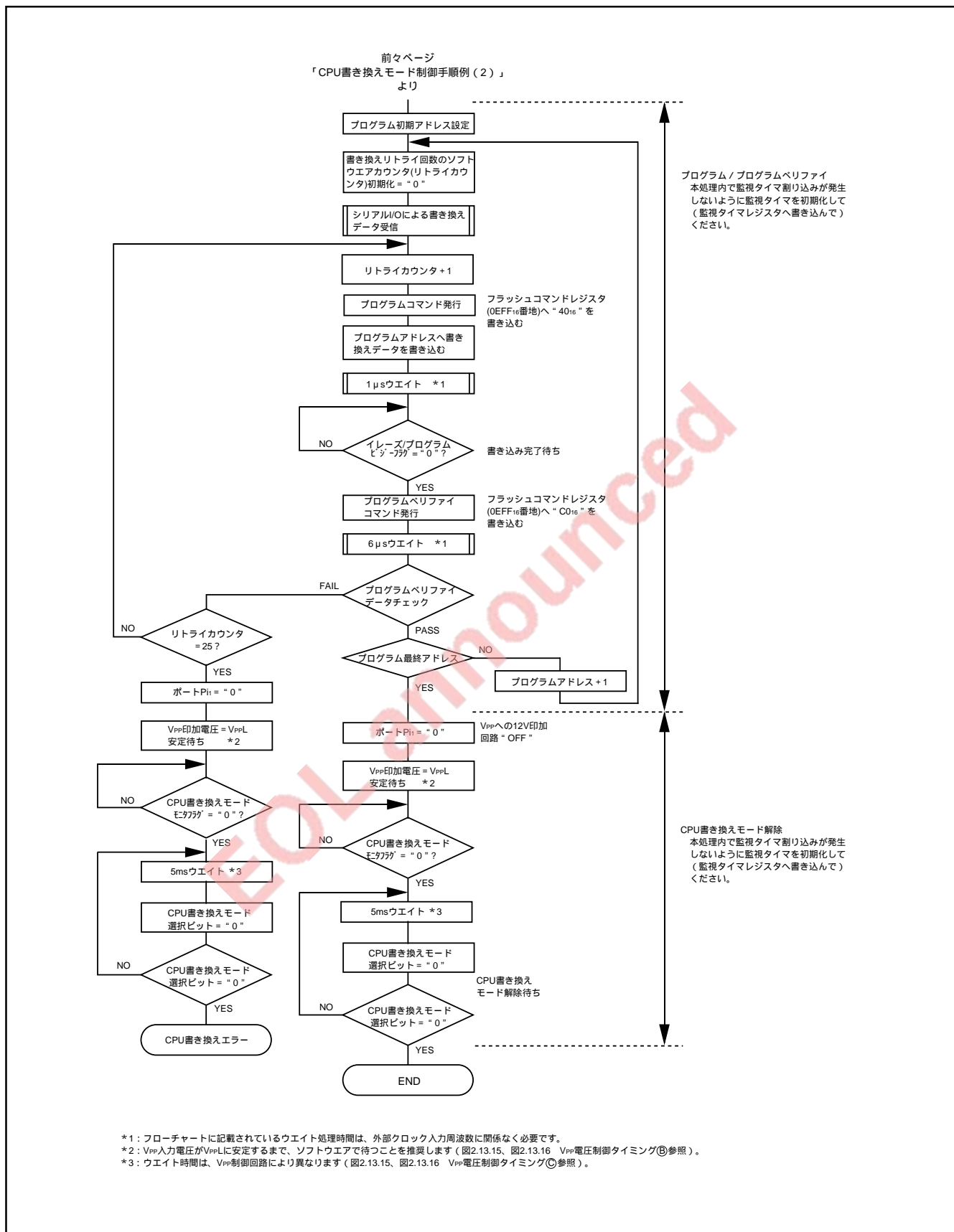
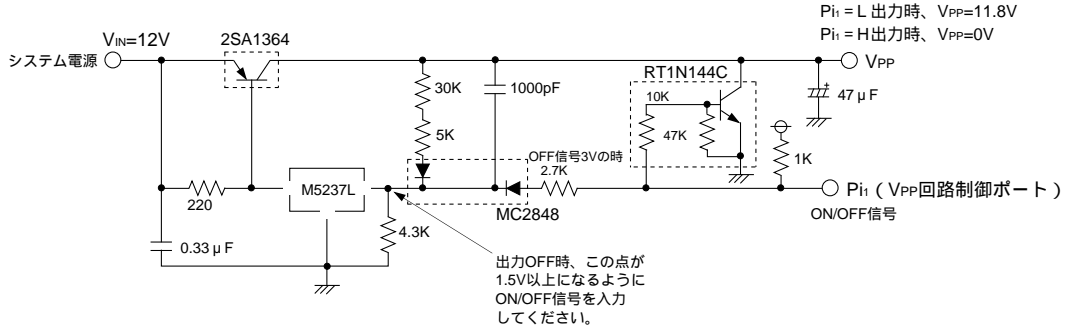


図2.13.14 CPU書き換え制御プログラム(4)例

ターゲットシステムに12V電圧が供給されている場合



V_{PP}電圧制御タイミング

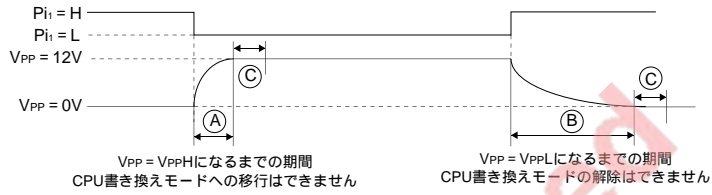
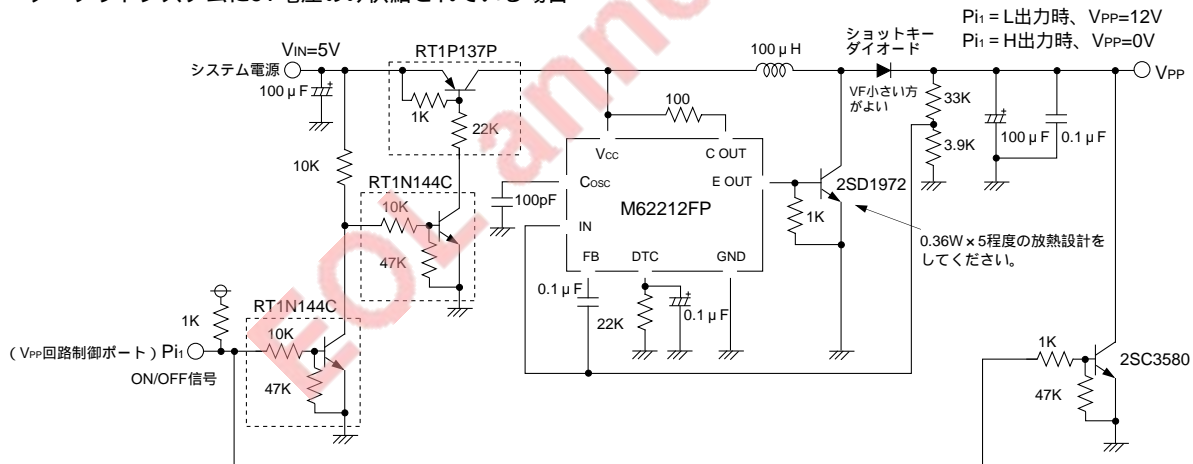


図2.13.15 V_{PP}制御回路例(1)

ターゲットシステムに5V電圧のみ供給されている場合



V_{PP}電圧制御タイミング

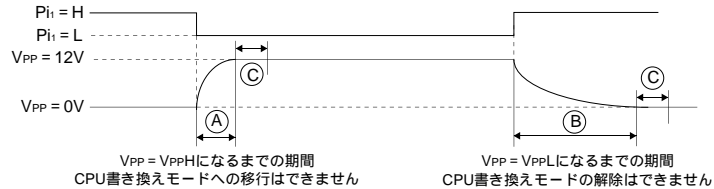


図2.13.16 V_{PP}制御回路例(2)

2.13.8 CPU書き換えモードに関する注意事項

- (1) CPU書き換えモード制御プログラムは、CPU書き換えモードを選択する前に内部RAMに転送し、内部RAM上で実行してください。
また、制御プログラム内でサブルーチンやスタック操作命令などを使用する場合は、スタック領域によって内部RAMに転送した制御プログラムが壊れないよう、注意してください。
- (2) CPU書き換えモード制御プログラムは、内部RAMに転送し、内部RAM上で実行するため、命令の記述(指定番地など)に注意してください。
- (3) ウォッチドッグタイマ割り込みが発生しないように、CPU書き換えモード制御プログラムで、定期的にウォッチドッグタイマ制御レジスタへ書き込みを行ってください(「2.9 ウォッチドッグタイマ」参照)。

2.13.9 フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10k Ω の抵抗を介してVssに接続してください。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

Memo

EOL announced

第 3 章 付 録

- 3.1 電気的特性
- 3.2 標準特性例
- 3.3 使用上の注意事項
- 3.4 ノイズに関する注意事項
- 3.5 制御レジスター一覧
- 3.6 パッケージ寸法図
- 3.7 命令コード一覧表
- 3.8 機械語命令一覧表
- 3.9 M35501FP
- 3.10 SFRメモリマップ
- 3.11 ピン接続図

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項 目	条 件	定 格 値	単 位
V _{CC}	電源電圧	V _{s s} 端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
V _{EE}	ブルダウン電源電圧		V _{CC} - 45 ~ V _{CC} + 0.3	V
V _I	入力電圧 P64 ~ P67, P80 ~ P83, P70 ~ P77, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63		V _{CC} - 45 ~ V _{CC} + 0.3	V
V _I	入力電圧 $\overline{\text{RESET}}$, X _{IN} , CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 X _{CIN}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63		V _{CC} - 45 ~ V _{CC} + 0.3	V
V _O	出力電圧 P64 ~ P67, P80 ~ P83, P70 ~ P77, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6, X _{OUT} , X _{COU} T		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = - 20 ~ 65	800	mW
		T _a = 65 ~ 85	800 - 12.5 × (T _a - 65)	mW
T _{opr}	動作周囲温度		- 20 ~ 85	
T _{stg}	保存温度		- 40 ~ 125	

3.1.2 推奨動作条件

表3.1.2 推奨動作条件(1) (指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 (マスクROM版)	高速モード時	4.0	5.0	5.5	V
		中速 / 低速モード時	2.7	5.0	5.5	V
V _{CC}	電源電圧(フラッシュメモリ版)	4.0	5.0	5.5	V	
V _{SS}	電源電圧		0		V	
V _{EE}	ブルダウン電源電圧	V _{CC} - 43		V _{CC}	V	
V _{REF}	アナログ基準電圧	A - D変換器使用時	2.0		V _{CC}	V
		D - A変換器使用時	3.0		V _{CC}	V
A V _{SS}	アナログ電源電圧		0		V	
V _{IA}	アナログ入力電圧 A N ₀ ~ A N ₁₅	0		V _{CC}	V	
V _{IH}	"H"入力電圧 P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₃ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₇ , PB ₀ ~ PB ₆	0.75V _{CC}		V _{CC}	V	
V _{IH}	"H"入力電圧 P6 ₄ ~ P6 ₇	0.4V _{CC}		V _{CC}	V	
V _{IH}	"H"入力電圧 P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₃	0.52V _{CC}		V _{CC}	V	
V _{IH}	"H"入力電圧 RxD, SCLK21, SCLK22	0.8V _{CC}		V _{CC}	V	
V _{IH}	"H"入力電圧 X _{IN} , X _{CIN} , RESET, CNV _{SS}	0.8V _{CC}		V _{CC}	V	
V _{IL}	"L"入力電圧 P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₃ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₇ , PB ₀ ~ PB ₆	0		0.25V _{CC}	V	
V _{IL}	"L"入力電圧 P6 ₄ ~ P6 ₇	0		0.16V _{CC}	V	
V _{IL}	"L"入力電圧 P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₃	0		0.2V _{CC}	V	
V _{IL}	"L"入力電圧 RxD, SCLK21, SCLK22	0		0.2V _{CC}	V	
V _{IL}	"L"入力電圧 X _{IN} , X _{CIN} , RESET, CNV _{SS}	0		0.2V _{CC}	V	

表3.1.3 推奨動作条件(2) (指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
I OH (peak)	“ H ”出力総尖頭電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77			- 240	m A
I OH (peak)	“ H ”出力総尖頭電流(注1) P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 60	m A
I OL (peak)	“ L ”出力総尖頭電流(注1) P64 ~ P67, P70 ~ P77			100	m A
I OL (peak)	“ L ”出力総尖頭電流(注1) P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			60	m A
I OH (avg)	“ H ”出力総平均電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63			- 120	m A
I OH (avg)	“ H ”出力総平均電流(注1) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 30	m A
I OL (avg)	“ L ”出力総平均電流(注1) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			50	m A
I OH (peak)	“ H ”出力尖頭電流(注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63			- 40	m A
I OH (peak)	“ H ”出力尖頭電流(注2) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 10	m A
I OL (peak)	“ L ”出力尖頭電流(注2) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			10	m A
I OH (avg)	“ H ”出力平均電流(注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63			- 18	m A
I OH (avg)	“ H ”出力平均電流(注3) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 5	m A
I OL (avg)	“ L ”出力平均電流(注3) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			5	m A
f (CNTR)	タイマ2, 4, Xカウンタ用クロック入力 周波数(デューティ50%時)			250	k H z
f (XIN)	メインクロック入力発振周波数(注4)			4.2	M H z
f (XCIN)	サブクロック入力発振周波数(注4,5)		32.768	50	k H z

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

4. 発振周波数はデューティ50%の場合です。

5. 低速モードを使用する場合、サブクロック入力発振周波数は $f(X_{CIN}) < f(X_{IN})/3$ としてください。

3.1.3 電気的特性

表3.1.4 電気的特性(1) (指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63	$I_{OH} = -18mA$	$V_{CC} - 2.0$			V
V_{OH}	“H”出力電圧 P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6	$I_{OH} = -10mA$	$V_{CC} - 2.0$			V
V_{OL}	“L”出力電圧 P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6	$I_{OL} = 10mA$			2.0	V
$V_{T+} - V_{T-}$	ヒステリシス RXD, SCLK21, SCLK22, SRDY1, P70 ~ P73, P77, P82 ~ P83, P90 ~ P92, PB0, PB2, PB4 ~ PB6			0.4		V
$V_{T+} - V_{T-}$	ヒステリシス \overline{RESET} , XIN			0.5		V
$V_{T+} - V_{T-}$	ヒステリシス X \overline{CIN}			0.5		V
I_{IH}	“H”入力電流 P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6	$V_I = V_{CC}$			5.0	μA
I_{IH}	“H”入力電流 (注) P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63	$V_I = V_{CC}$			5.0	μA
I_{IH}	“H”入力電流 \overline{RESET} , CNVSS, X \overline{CIN}	$V_I = V_{CC}$			5.0	μA
I_{IH}	“H”入力電流 XIN	$V_I = V_{CC}$		4.0		μA
I_{IL}	“L”入力電流 P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6	$V_I = V_{SS}$ ブルアップOFF			- 5.0	μA
		$V_{CC} = 5V, V_I = V_{SS}$ ブルアップON	- 30	- 70	- 140	μA
		$V_{CC} = 3V, V_I = V_{SS}$ ブルアップON	- 6.0	- 25	- 45	μA
I_{IL}	“L”入力電流 (注) P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63	$V_I = V_{SS}$			- 5.0	μA
I_{IL}	“L”入力電流 \overline{RESET} , CNVSS, X \overline{CIN}	$V_I = V_{SS}$			- 5.0	μA
I_{IL}	“L”入力電流 XIN	$V_I = V_{SS}$		- 4.0		μA

注 . ポートP1、P3、P4、P5、P6読み込み時を除く。

表3.1.5 電気的特性(2) (指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{LOAD}	出力ロード電流 P00~P07,P10~P17, P20~P27,P30~P37 (ワイト時 P40~P47, P50~P57,P60~P63)	$V_{EE}=V_{CC}-43V$ 、 $V_{OL}=V_{CC}$ 出力トランジスタは遮断状態	400	600	900	μA
I _{LEAK}	出力リーク電流 P00~P07,P10~P17, P20~P27,P30~P37, P40~P47,P50~P57, P60~P63	$V_{EE}=V_{CC}-43V$ 、 $V_{OL}=V_{CC}-43V$ 出力トランジスタは遮断状態			-10	μA
I _{READH}	“H”読み込み電流 P10~P17,P30~P37, P40~P47,P50~P57, P60~P63	$V_I=5V$		1		μA
V _{RAM}	RAM保持電圧	クロック停止時	2		5.5	V
I _{CC}	電源電流	高速モード時、 $V_{CC}=5V$ $f(XIN)=4.2MHz$ $f(XCIN)=32.768kHz$ 出力トランジスタは遮断状態		7.0	15	mA
		高速モード時、 $V_{CC}=5V$ $f(XIN)=4.2MHz$ (WIT命令実行時) $f(XCIN)=32.768kHz$ 出力トランジスタは遮断状態		1		mA
		中速モード時、 $V_{CC}=5V$ $f(XIN)=4.2MHz$ $f(XCIN)=停止$ 出力トランジスタは遮断状態		3		mA
		中速モード時、 $V_{CC}=5V$ $f(XIN)=4.2MHz$ (WIT命令実行時) $f(XCIN)=停止$ 出力トランジスタは遮断状態		1		mA
		低速モード時、 $V_{CC}=3V$ 、 $f(XIN)=停止$ $f(XCIN)=32.768kHz$ 出力トランジスタは遮断状態		20	55	μA
		低速モード時、 $V_{CC}=3V$ 、 $f(XIN)=停止$ $f(XCIN)=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		8	20	μA
		A-D変換器動作時の増量		0.6		mA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	$T_a=25$		0.1	1
	$T_a=85$			10	μA	

3.1.4 A-D変換器特性

表3.1.6 A-D変換器特性（指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、
高速モード時 $f(X_{IN}) = 250kHz \sim 4.2MHz$ ）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
————	分解能				10	Bits
————	絶対精度(量子化誤差は除く)	$V_{CC} = V_{REF} = 5.12V$		± 1	± 2.5	LSB
T_{conv}	変換時間		61		62	$t(\phi)$
I_{VREF}	基準入力電流	$V_{REF} = 5V$	50	150	200	μA
I_{IA}	アナログポート入力電流			0.5	5.0	μA
RLADDER	ラダー抵抗			35		k

3.1.5 D-A変換器特性

表3.1.7 D-A変換器特性（指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $V_{REF} = 3.0 \sim V_{CC}$ 、
 $T_a = -20 \sim 85$ ）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
————	分解能				8	Bits
————	絶対精度(量子化誤差は除く)	$V_{CC} = 4.0 \sim 5.5V$			1.0	%
		$V_{CC} = 3.0 \sim 5.5V$			2.5	%
t_{su}	設定時間				3	μs
RO	出力抵抗		1	2.5	4	k
I_{VREF}	基準電源入力電流（注）				3.2	mA

注．A-D変換器ラダー抵抗分は除きます。

3.1.6 タイミング必要条件

表3.1.8 タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t w(RESET)	リセット入力 L パルス幅	2.0			μs
t c(XIN)	メインクロック入力サイクル時間(XIN入力)	238			ns
t WH(XIN)	メインクロック入力 H パルス幅	60			ns
t WL(XIN)	メインクロック入力 L パルス幅	60			ns
t c(XCIN)	サブクロック入力サイクル時間(XCIN入力)	20			μs
t WH(XCIN)	サブクロック入力 H パルス幅	5.0			μs
t WL(XCIN)	サブクロック入力 L パルス幅	5.0			μs
t c(CNTR)	CNT R0 ~ CNT R2入力サイクル時間	4.0			μs
t WH(CNTR)	CNT R0 ~ CNT R2入力 H パルス幅	1.6			μs
t WL(CNTR)	CNT R0 ~ CNT R2入力 L パルス幅	1.6			μs
t WH(INT)	INT0 ~ INT4入力 H パルス幅(INT2/イズ'フィルタ未使用時) (注)	80			ns
t WL(INT)	INT0 ~ INT4入力 L パルス幅(INT2/イズ'フィルタ未使用時) (注)	80			ns
t WH(INT2)	INT2入力 H パルス幅(イズ'フィルタ使用時) (注)	3			CLKs
t WL(INT2)	INT2入力 L パルス幅(イズ'フィルタ使用時) (注)	3			CLKs
t c(SCLK1)	シリアルI/O1クロック入力サイクル時間	950			ns
t WH(SCLK1)	シリアルI/O1クロック入力 H パルス幅	400			ns
t WL(SCLK1)	シリアルI/O1クロック入力 L パルス幅	400			ns
t su(SIN1-SCLK1)	シリアルI/O1入力セットアップ時間	200			ns
t h(SCLK1-SIN1)	シリアルI/O1入力ホールド時間	200			ns
t c(SCLK2)	シリアルI/O2クロック入力サイクル時間	800			ns
t WH(SCLK2)	シリアルI/O2クロック入力 H パルス幅	370			ns
t WL(SCLK2)	シリアルI/O2クロック入力 L パルス幅	370			ns
t su(RxD-SCLK2)	シリアルI/O2入力セットアップ時間	220			ns
t h(SCLK2-RxD)	シリアルI/O2入力ホールド時間	100			ns
t c(SCLK3)	シリアルI/O3クロック入力サイクル時間	1000			ns
t WH(SCLK3)	シリアルI/O3クロック入力 H パルス幅	400			ns
t WL(SCLK3)	シリアルI/O3クロック入力 L パルス幅	400			ns
t su(SIN3-SCLK3)	シリアルI/O3入力セットアップ時間	200			ns
t h(SCLK3-SIN3)	シリアルI/O3入力ホールド時間	200			ns

注 . ノイズフィルタ未使用時 (IIDCON2, IIDCON3 = "00")

ノイズフィルタ使用時 (IIDCON2, IIDCON3 = "01" 又は "10")

単位は、ノイズフィルタのサンプルクロック数を示します。

表3.1.9 スイッチング条件 (指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{WH}(SCLK)$	シリアル/O'clock出力 “H”レベル幅	$C_L = 100\text{ pF}$	$t_c(SCLK) / 2$ - 160			ns
$t_{WL}(SCLK)$	シリアル/O'clock出力 “L”レベル幅	$C_L = 100\text{ pF}$	$t_c(SCLK) / 2$ - 160			ns
$t_d(SCLK1-SOUT1)$	シリアル/O 1 出力 遅延時間 (注1)				200	ns
$t_v(SCLK1-SOUT1)$	シリアル/O 1 出力 有効時間 (注1)		0			ns
$t_d(SCLK2-TxD)$	シリアル/O 2 出力 遅延時間 (注2)				140	ns
$t_v(SCLK2-TxD)$	シリアル/O 2 出力 有効時間 (注2)		-30			ns
$t_d(SCLK3-SOUT3)$	シリアル/O 3 出力 遅延時間 (注3)				200	ns
$t_v(SCLK3-SOUT3)$	シリアル/O 3 出力 有効時間 (注3)		0			ns
$t_r(SCLK)$	シリアル/O'clock出力 立ち上がり時間	$C_L = 100\text{ pF}$			40	ns
$t_f(SCLK)$	シリアル/O'clock出力 立ち下がり時間	$C_L = 100\text{ pF}$			40	ns
$t_r(Pch-strg)$	Pチャネル高耐圧出力 立ち上がり時間 (注4)	$C_L = 100\text{ pF}$ $V_{EE} = V_{CC} - 43V$		55		ns
$t_r(Pch-weak)$	Pチャネル高耐圧出力 立ち上がり時間 (注5)	$C_L = 100\text{ pF}$ $V_{EE} = V_{CC} - 43V$		1.8		μs

- 注1. シリアル I / O 1 制御レジスタのPB5/SOUT1 Pチャネル出力禁止ビット(001A16番地のビット7)が“0”の場合です。
 注2. UART制御レジスタのP65/TxD Pチャネル出力禁止ビット(003816番地のビット4)が“0”の場合です。
 注3. シリアル I / O 3 制御レジスタのP91/SOUT3 Pチャネル出力禁止ビット(0EEC16番地のビット7)が“0”の場合です。
 注4. FLD Cモードレジスタ(0EF416番地)のビット7が“0”の場合
 注5. FLD Cモードレジスタ(0EF416番地)のビット7が“1”の場合

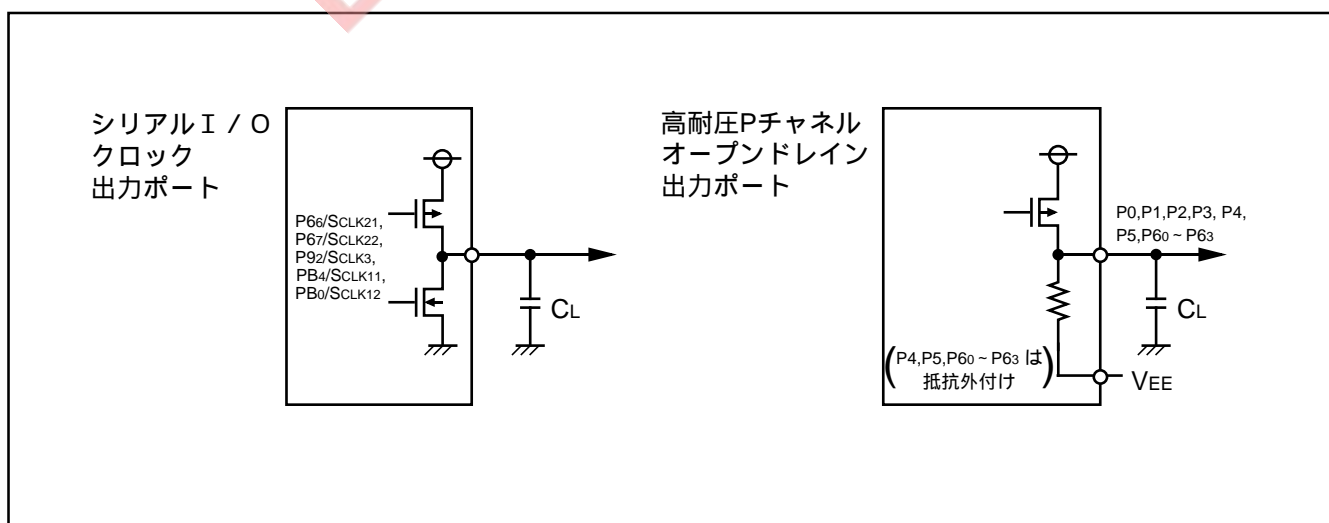


図3.1.1 出力スイッチング特性測定回路図

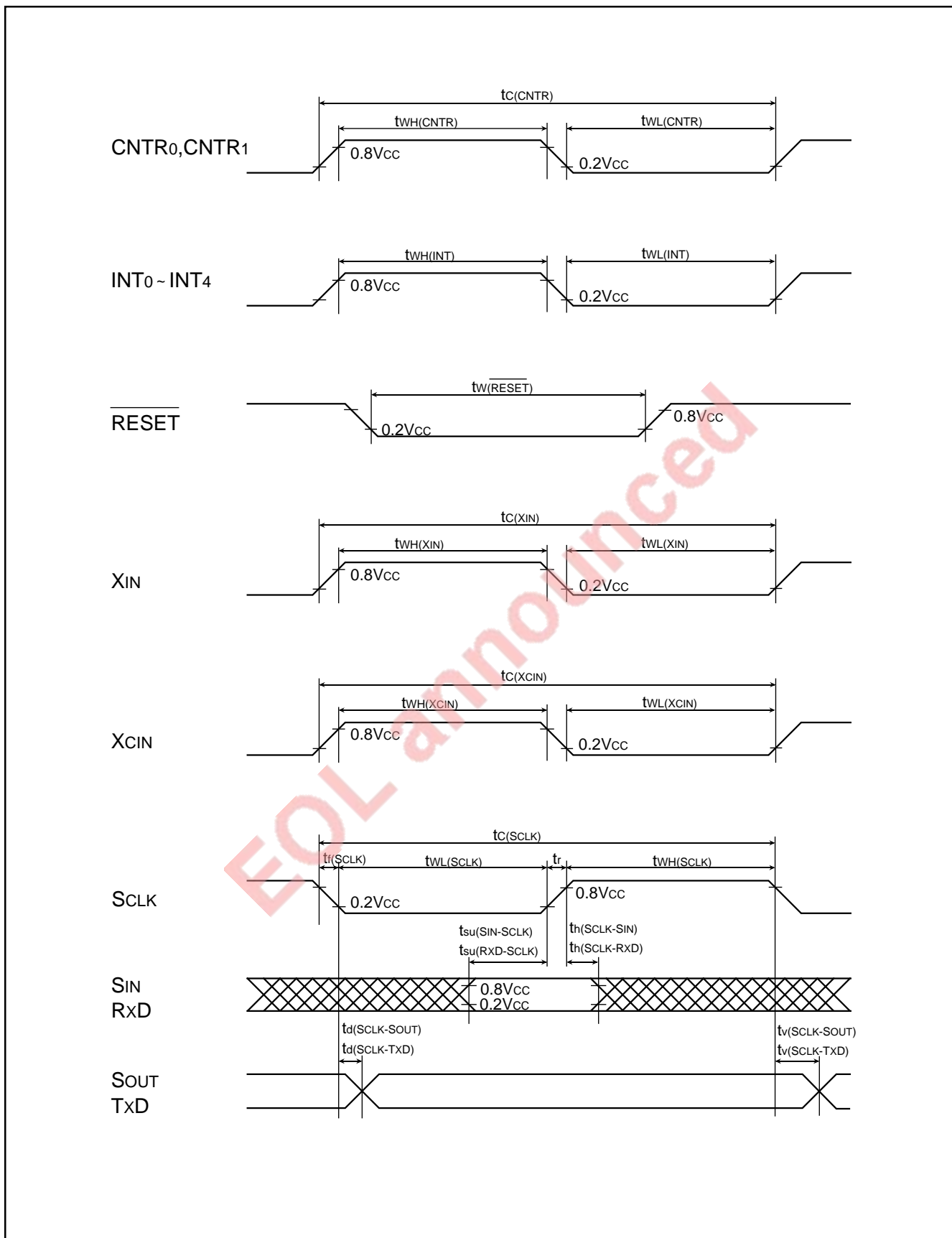


図3.1.2 タイミング図

3

3.2 標準特性例

3.2.1 電源電流特性例

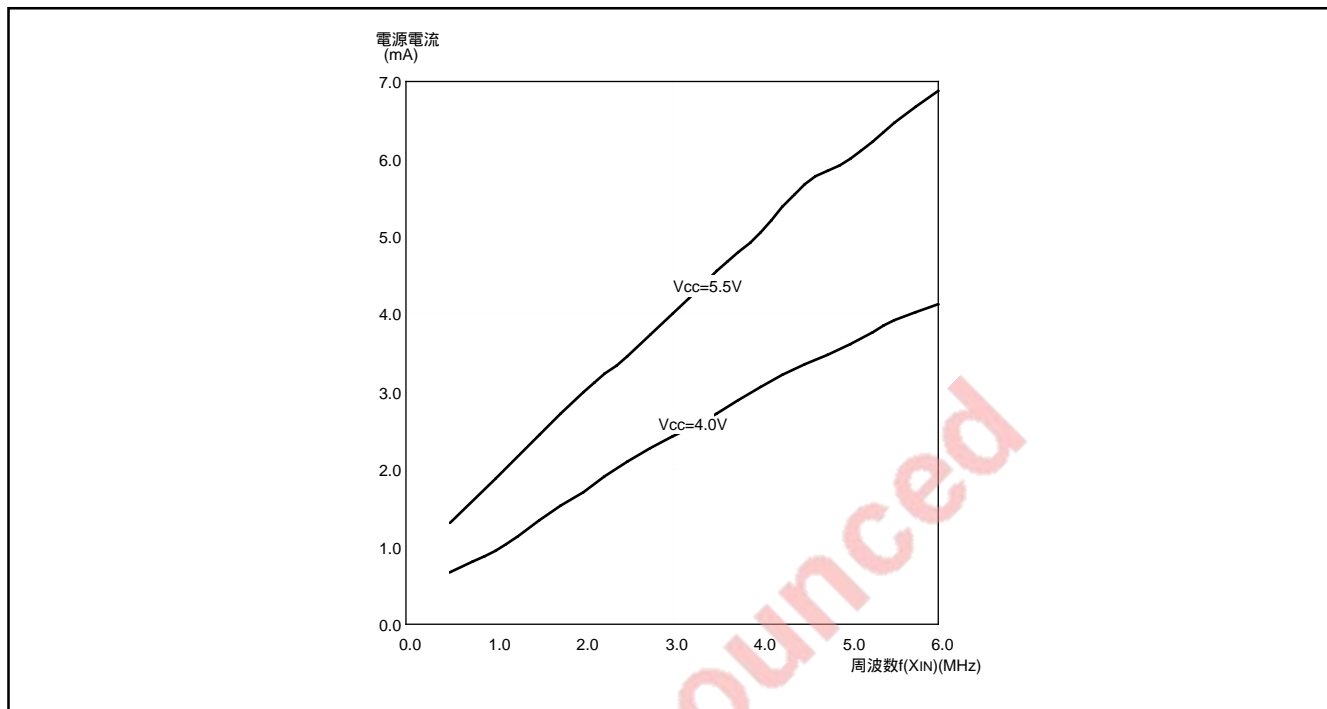


図3.2.1 電源電流特性例

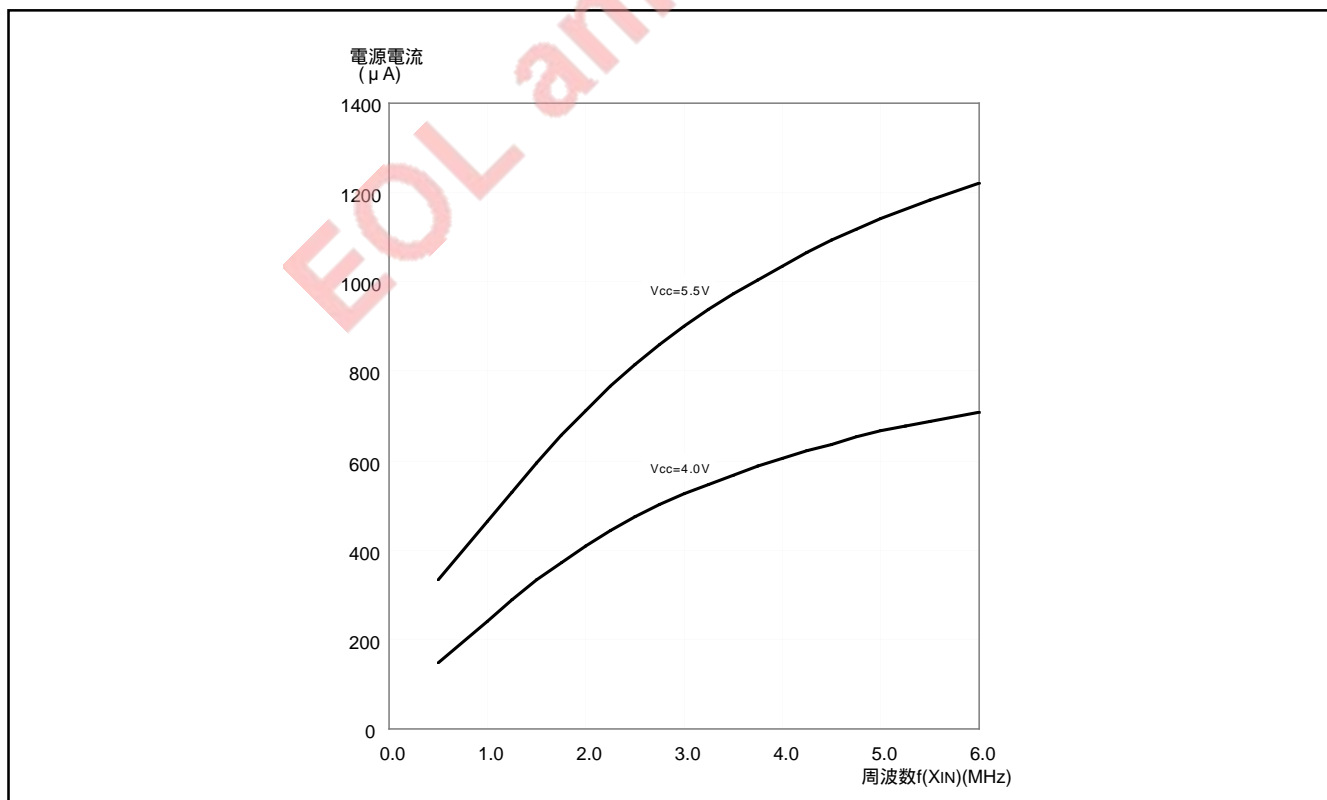


図3.2.2 電源電流特性例(ウェイトモード時)

3.2.2 ポート標準特性

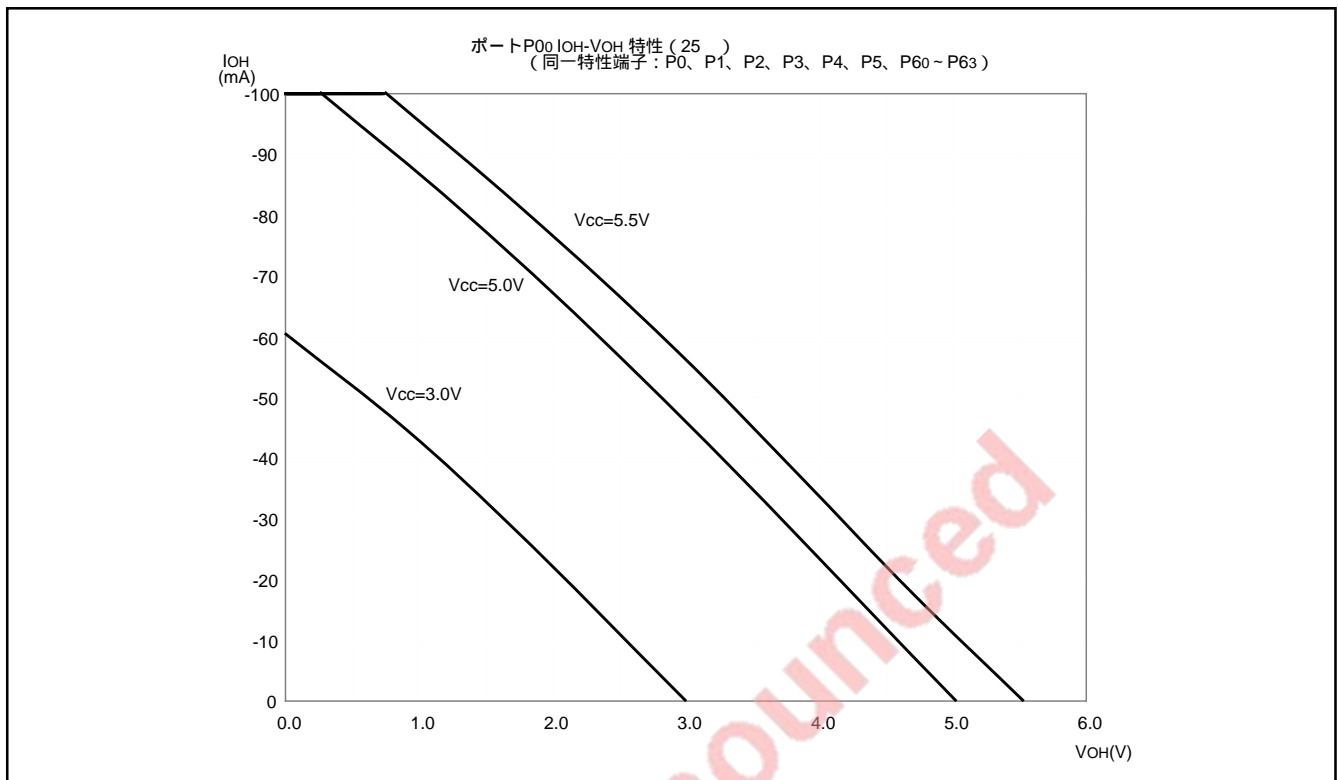


図3.2.3 高耐圧Pチャンネルオープンドレイン出力ポートの標準特性(25)

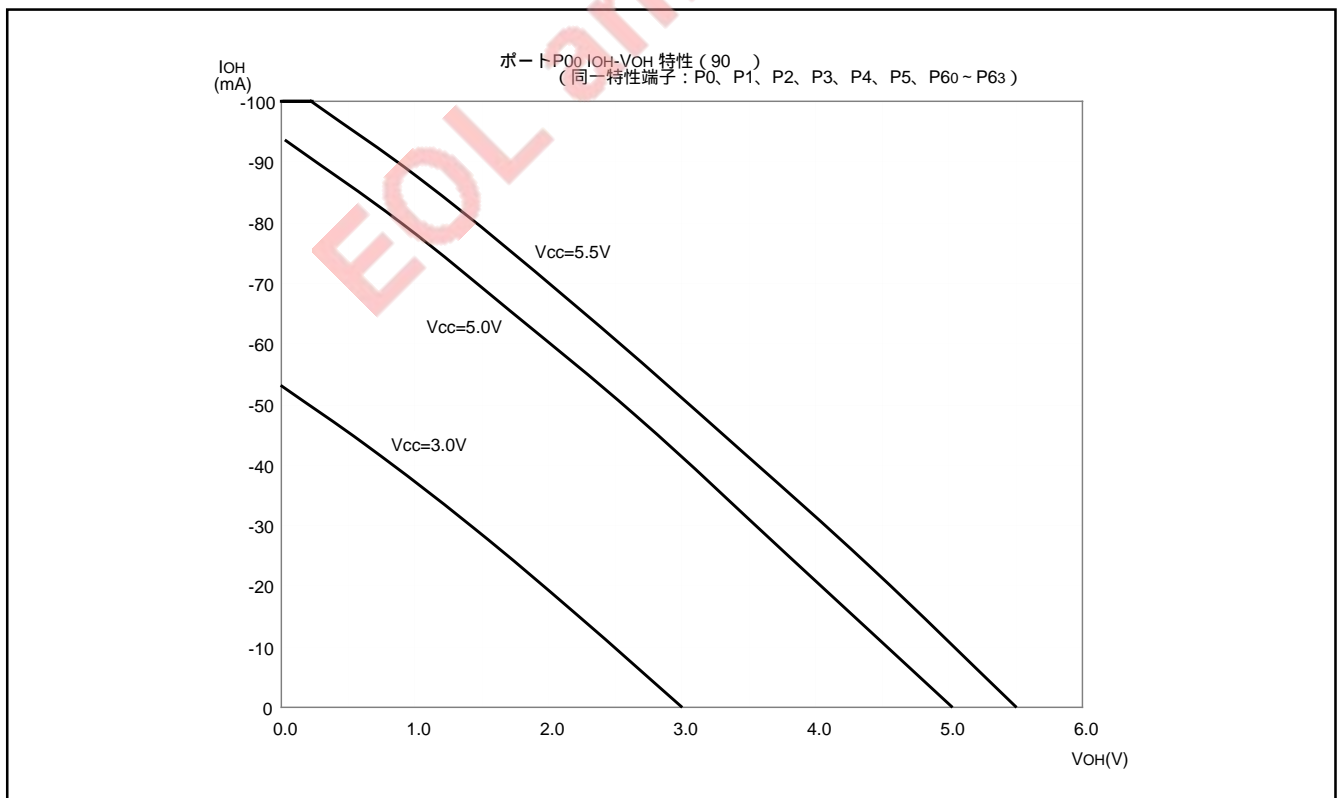


図3.2.4 高耐圧Pチャンネルオープンドレイン出力ポートの標準特性(90)

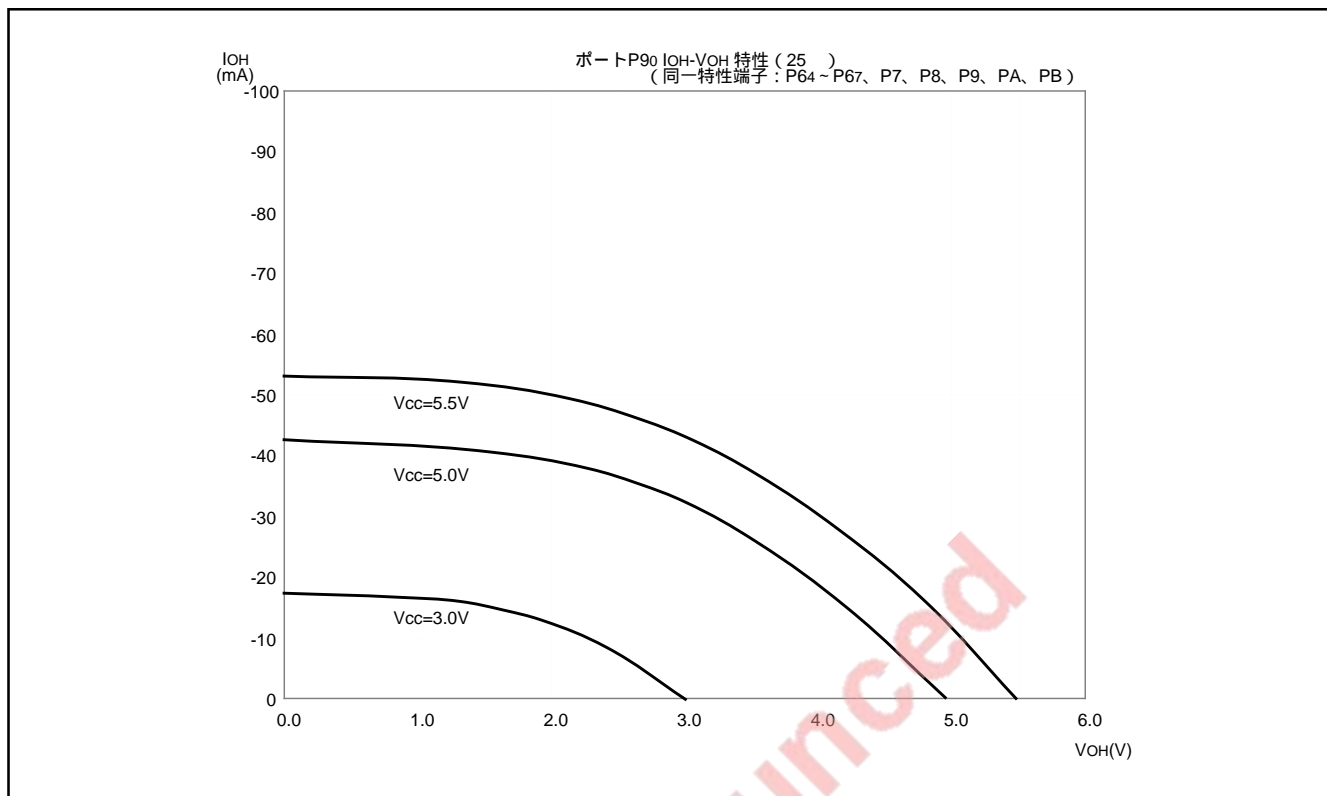


図3.2.5 Pチャンネルドライブ時のCMOS出力ポートの標準特性(25)

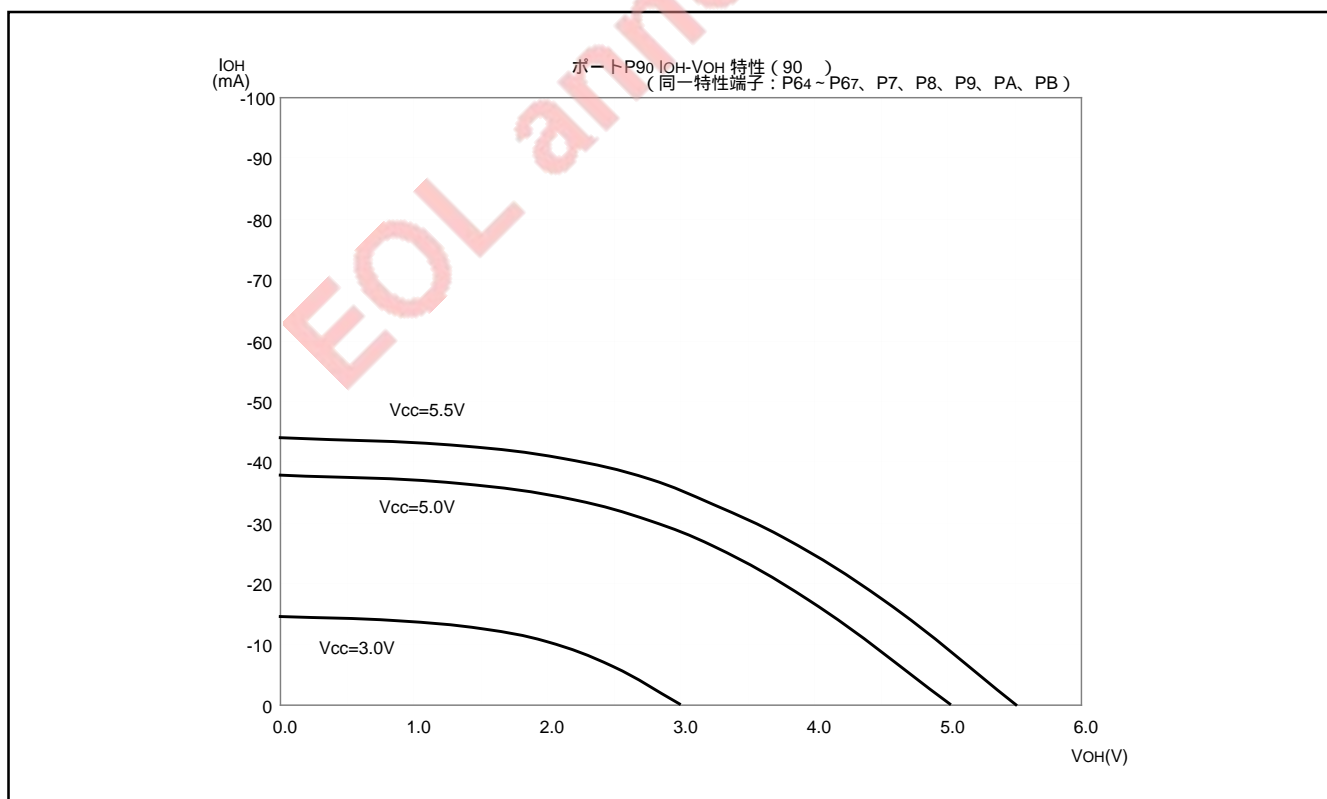


図3.2.6 Pチャンネルドライブ時のCMOS出力ポートの標準特性(90)

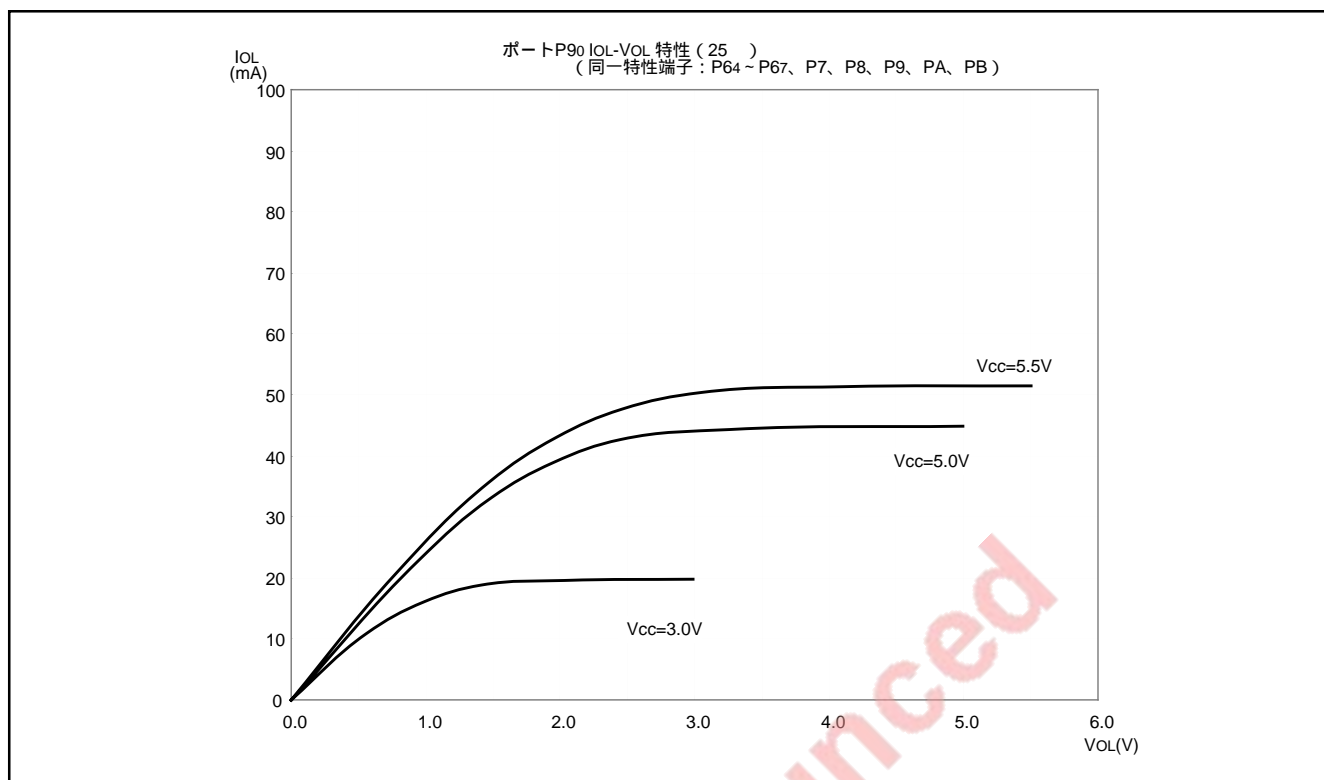


図3.2.7 Nチャンネルドライブ時のCMOS出力ポートの標準特性(25)

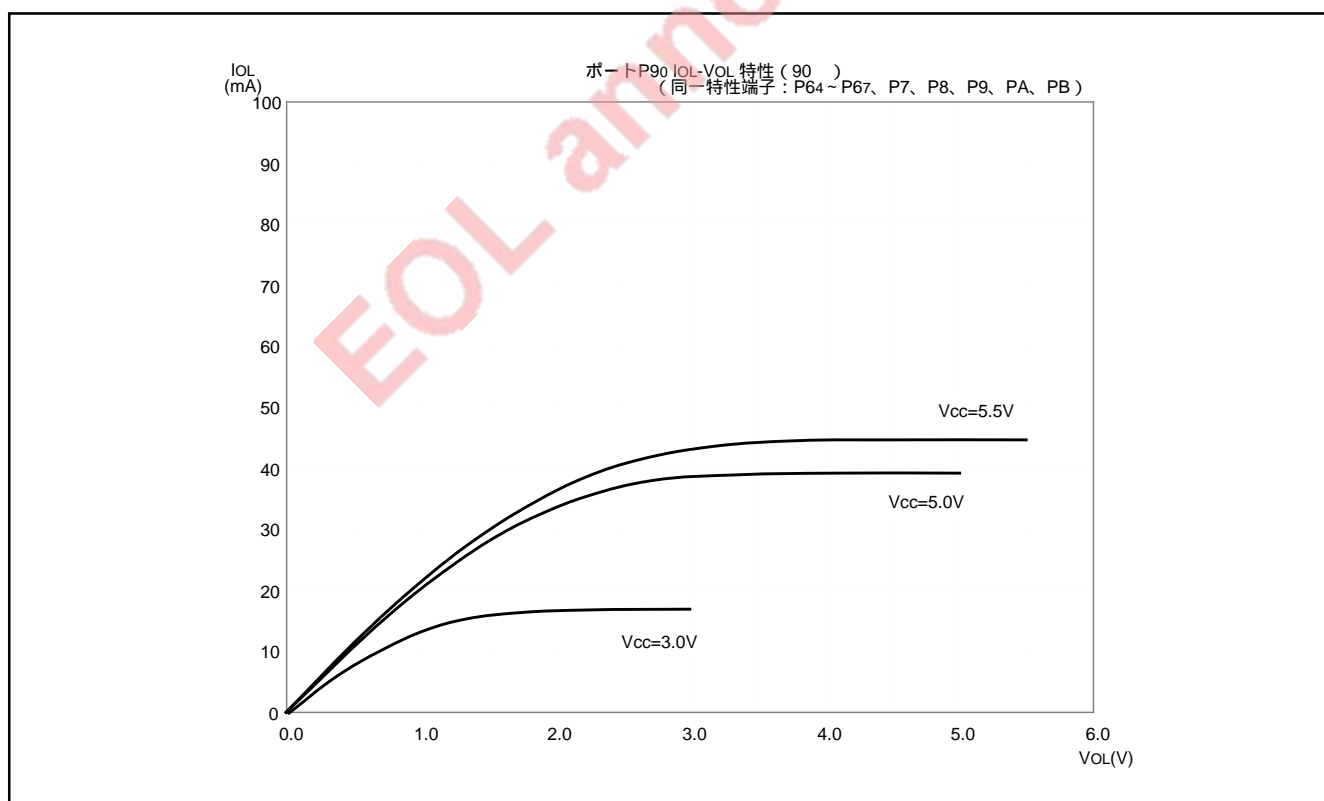


図3.2.8 Nチャンネルドライブ時のCMOS出力ポートの標準特性(90)

3.2.3 A-D変換標準特性

A-D変換標準特性を図3.2.9に示します。

グラフ下側のラインは絶対精度誤差を示します。ここでは、出力コードが変化する点の理想値からのずれで表示しています。たとえば、出力コードの00₁₆ 01₁₆変化は、理想的にはAN₀=2.5mVの点で起こりますが、測定値は-2mVですから、“2.5-2=0.5mV”が測定変化点であることを表します。

グラフ上側のラインは、出力コードが同一である入力電圧の幅を示します。たとえば、出力コードが60₁₆である入力電圧の幅の測定値は6mVですから、微分直線性誤差は“6-5=1mV(0.2LSB)”であることを表します。

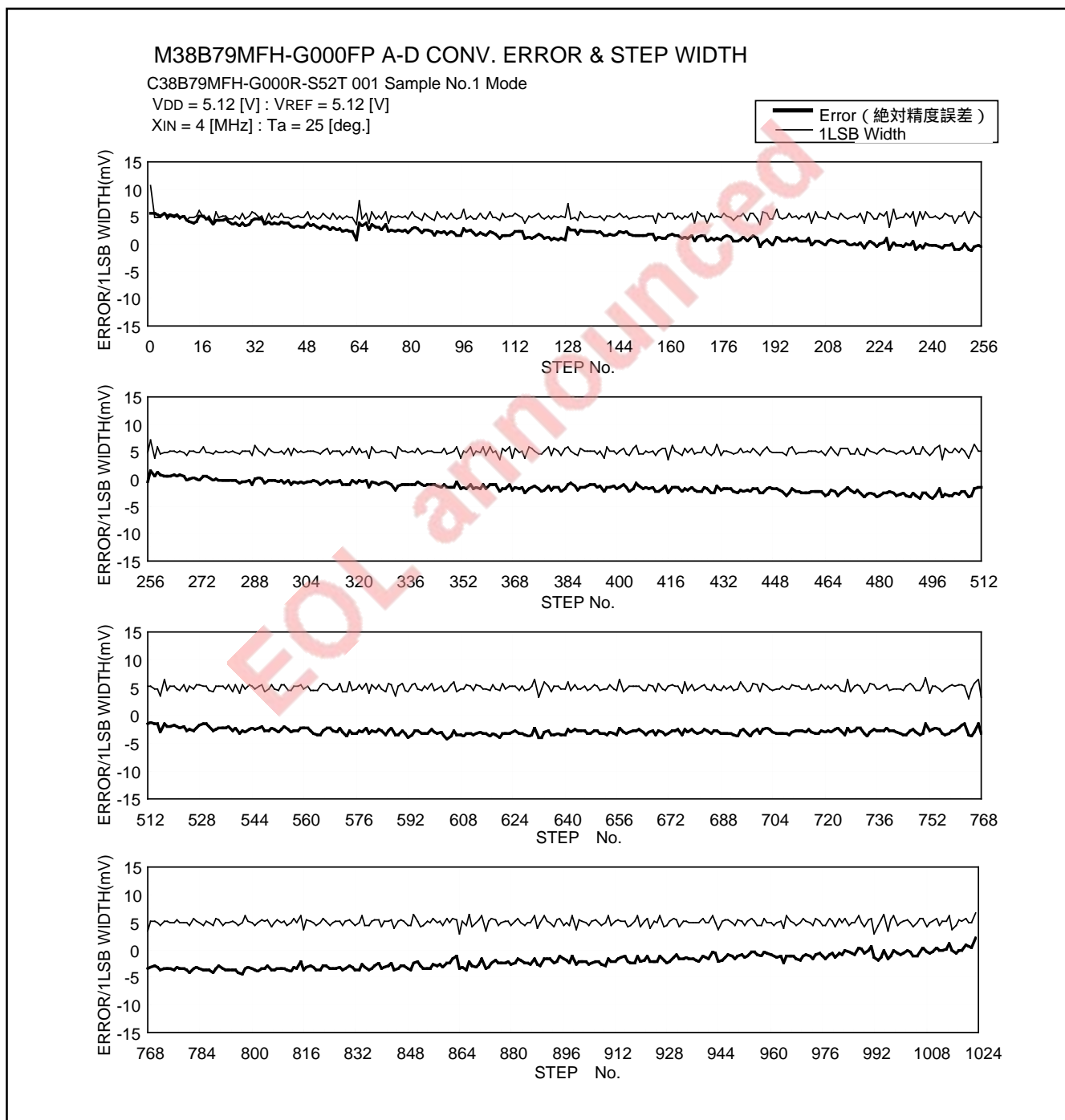


図3.2.9 A-D変換標準特性

3.3 使用上の注意事項

3.3.1 割り込みに関する注意事項

(1) 関連レジスタの設定変更

外部割り込みのアクティブエッジの切り替え時、又は複数の割り込み要因で共用している割り込みベクトルの割り込み要因の切り替え時、これらの設定に同期した割り込み発生が不要なら、以下の手順で関連レジスタを設定してください。



図3.3.1 関連レジスタの設定手順

理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)
- ・同一割り込みベクトルに複数の割り込み要因を切り替える際
対象レジスタ：割り込み要因切り替えレジスタ(39₁₆番地)

(2) 割り込み要求ビットの判定

データ転送命令*を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令以上実行してください。

*データ転送命令：LDM命令、LDA命令、STA命令、STX命令、STY命令

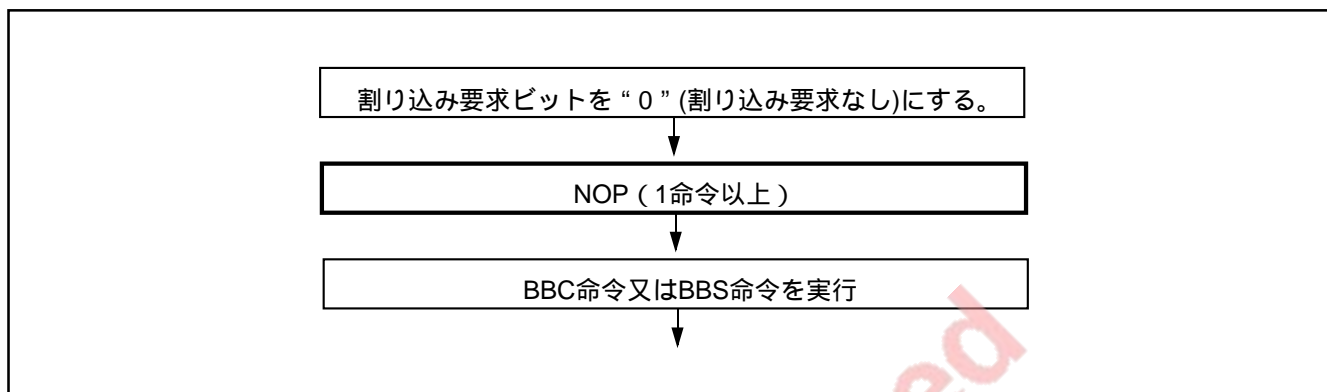


図3.3.2 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

(3) 割り込み制御レジスタ2の構成

割り込み制御レジスタ2のビット7は、必ず“0”に固定してください。割り込み制御レジスタ2の構成を図3.3.3に示します。

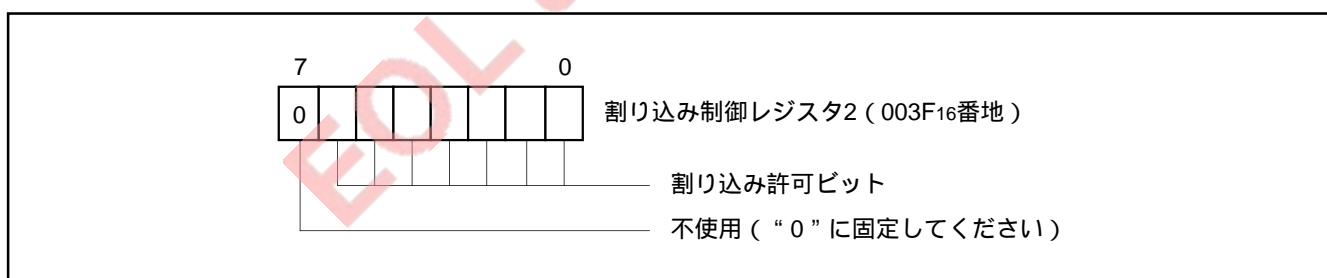


図3.3.3 割り込み制御レジスタ2の構成

3.3.2 入出力端子に関する注意事項

(1) スタンバイ状態におけるポートの入力レベルを固定

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(V_{cc}に接続)又はプルダウン(V_{ss}に接続)してください。抵抗値を決定する際は、以下の2点に注意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、オプションとして内蔵されているプルアップ抵抗を使用する場合は電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する
- ・出力ポートに設定している場合：外部に電流が流出しないようにする

^{*1}スタンバイ状態：STP命令実行によるストップモード

WIT命令実行によるウエイトモード

理由

入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令^{*2}を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

^{*2}ビット処理命令：SEB命令、CLB命令

(3) プルアップ/プルダウン制御について

プルアップ/プルダウン抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ/プルダウン制御は無効となります(プルアップ及びプルダウンできません)。

理由

プルアップ制御は各方向レジスタが入力モードに設定されている場合のみ有効です。

3.3.3 シリアルI/O1に関する注意事項

(1) クロック

内部クロック使用時は、同期クロックを内部クロックに設定してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

外部クロック使用時は、外部クロック入力端子に“H”を入力してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

(2) シリアルI/O1割り込みを使用する場合

割り込みを許可する前に、割り込み要求レジスタ1のビット3をソフトウェアで“0”にしてください。

(3) SOUT1端子の状態

シリアル非転送時のSOUT1端子の状態は、シリアルI/O1制御レジスタ2のSOUT1端子制御ビットで出力アクティブ、ハイインピーダンスのどちらかを選択できます。外部同期クロックを選択した場合、SOUT1端子をハイインピーダンスの状態に設定するためには、転送終了後シリアルI/O1クロック入力に“H”のときに、SOUT1端子制御ビットを“1”にしてください。

(4) シリアルI/O初期化ビット

転送中にシリアル転送を停止する場合は、シリアルI/O1制御レジスタ1のシリアルI/O初期化ビットを“0”にしてください。

シリアルI/O初期化ビットを“1”にすると、シリアルI/O1が許可されますが、各レジスタは初期化されません。各レジスタはプログラムにて設定してください。

(5) ハンドシェイク信号

SBUSY1入力信号

初期状態ではSBUSY1入力を“H”、 $\bar{S}B\bar{U}S\bar{Y}1$ 入力を“L”にしてください。

外部同期クロックを選択した場合、SBUSY1入力及び $\bar{S}B\bar{U}S\bar{Y}1$ 入力の変更は、シリアルI/O1クロック入力が“H”の状態で行ってください。

SRDY1入力・出力信号

内部同期クロック選択時、初期状態ではSRDY1入力を“L”、 $\bar{S}R\bar{D}Y1$ 入力を“H”にしてください。

(6) 8ビットシリアルI/Oモードにおいて

外部同期クロックを選択した場合、転送クロックがシリアルI/O1クロック端子に入力されている間、シリアルI/O1レジスタの値はシフトされ続けますので、外部で制御してください。

(7) 自動転送シリアルI/Oモードにおいて

自動転送間隔の設定

SBUSY1出力を使用して、かつシリアルI/O1制御レジスタ2のSBUSY1出力・SSTB1出力機能選択ビットを全転送データごとの信号として選択する場合には、最初のデータの送受信開始前と最終データの送受信終了後にも、転送間隔のサイクルが入ります。したがって、SBUSY1出力・SSTB1出力機能選択ビットの設定内容に関係なく、1バイトごとの転送間隔がシリアルI/O1制御レジスタ3の自動転送間隔設定ビットの設定内容より2サイクル長くなります。

SSTB1出力を使用する場合には、SBUSY1出力・SSTB1出力機能選択ビットの設定内容に関係なく、1バイトごとの転送間隔がシリアルI/O1制御レジスタ3の自動転送間隔設定ビットの設定内容より2サイクル長くなります。

さらに、SBUSY1出力とSSTB1出力を組み合わせ、全転送データごとの信号として使用する場合には、最終データの送受信終了後の転送間隔も、自動転送間隔設定ビットの設定内容より2サイクル長くなります。

外部クロックを選択している場合、自動転送間隔設定は無効となります。

1バイトデータ転送ごとの自動転送間隔は以下のように設定してください。

<FLDコントローラ未使用時>

1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

<FLDコントローラ使用時>

(a)FLD階調表示未使用時

1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの17サイクル以上空けてください。

(b)FLD階調表示使用時

1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの27サイクル以上空けてください。

表3.3.1 内部クロック選択時

シリアルI/O1制御レジスタ3 SIO1CON3 (001C ₁₆ 番地)		FLDコントローラ未使用時	FLD階調表示モード未使用時	FLD階調表示モード使用時
内部同期クロック選択ビット	自動転送間隔設定ビット			
0 0 0 : f(X _{IN})/4	0000: 転送クロックの2サイクル	使用可	使用禁止	使用禁止
	0001: 転送クロックの3サイクル	使用可	使用禁止	使用禁止
	0010: 転送クロックの4サイクル	使用可	使用禁止	使用禁止
	0011: 転送クロックの5サイクル	使用可	使用可	使用可
0 0 1 : f(X _{IN})/8	0000: 転送クロックの2サイクル	使用可	使用禁止	使用禁止
	0001: 転送クロックの3サイクル	使用可	使用可	使用可
0 1 0 : f(X _{IN})/16	0000: 転送クロックの2サイクル	使用可	使用可	使用可

表3.3.2 外部クロック選択時

シリアルI/O1制御レジスタ3 SIO1CON3 (001C ₁₆ 番地)	FLDコントローラ未使用時	FLD階調表示モード未使用時	FLD階調表示モード使用時
自動転送間隔設定ビット			
転送クロックのnサイクル	転送クロックXnサイクル 内部システム5サイクル	転送クロックXnサイクル 内部システム17サイクル	転送クロックXnサイクル 内部システム27サイクル

シリアルI/O1転送カウンタの設定について

シリアルI/O1転送カウンタには、転送データのバイト数から1減算した値を書き込んでください。外部クロック選択時は、シリアルI/O1レジスタ/転送カウンタに値を書き込んだ後、内部システムクロックの5サイクル以上のウェイト時間をあけた後、シリアルI/O1クロック端子に転送クロックを入力してください。

シリアルI/O初期化ビットについて

動作中にシリアルI/O初期化ビットに“0”を書き込むと、シリアルI/O自動転送割り込み要求が発生します。プログラムで割り込み許可ビットを禁止にするなど、適切な処理を行ってください。

3.3.4 シリアルI/O2に関する注意事項

(1) 送信動作の停止

同期形 / 非同期形の切り替えが可能なシリアルI/O2では、以下の場合、送信許可ビットを“0”(送信禁止)にしてください。

- ・クロック同期形シリアルI/Oモードのデータ送信時、送信動作を停止する場合
- ・UARTモードのデータ送信時、送信動作を停止する場合
- ・UARTモードのデータ送受信時、送信動作だけを停止する場合

<理由>

シリアルI/O2許可ビットだけを“0”(シリアルI/O2禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK21、SCLK22、 $\bar{S}\bar{R}\bar{D}\bar{Y}\bar{2}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O2許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2) クロック同期形シリアルI/Oモードの送受信動作の停止

同期形 / 非同期形の切り替えが可能なシリアルI/O2では、以下の場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

- ・クロック同期形シリアルI/Oモードのデータ送受信時、送信動作及び受信動作を停止する場合
(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため送信許可ビットだけを“0”(送信禁止)にしても、送信回路は停止しない構成になっています。また、(1)と同様に、シリアルI/O2許可ビットを“0”(シリアルI/O2禁止)にしても送信回路を初期化できません。

(3) 受信動作の停止

同期形 / 非同期形の切り替えが可能なシリアルI/O2では、以下の場合、受信許可ビットを“0”(受信禁止)又はシリアルI/O2許可ビットを“0”(シリアルI/O2禁止)にしてください。

- ・クロック同期形シリアルI/Oモードのデータ受信時、受信動作を停止する場合
また、以下の場合には受信許可ビットを“0”(受信禁止)にしてください。
- ・UARTモードのデータ受信時、受信動作を停止する場合
- ・UARTモードのデータ送受信時、受信動作だけを停止する場合

(4) シリアルI/O2制御レジスタの再設定

シリアルI/O2制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

送信許可ビット(TE)、受信許可ビット(RE)の両方を“0”にする。

シリアルI/O2制御レジスタのビット0～ビット3、及びビット6を設定する。

送信許可ビット(TE)、受信許可ビット(RE)の両方を“1”にする。

LDM命令で
同時に設定可

(5) 受信側の $\overline{SRDY2}$ 出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{SRDY2}$ 出力を行う場合、受信許可ビット及び $\overline{SRDY2}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(6) 送信シフトレジスタ終了フラグを使用したデータ送信制御

送信シフトレジスタ終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信する場合、この遅れに注意してください。

(7) 外部クロック使用時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、シリアルI/O2クロック入力が“H”の状態では送信許可ビットを“1”(送信許可)にしてください。また、送信バッファレジスタへの書き込みもシリアルI/O2クロック入力が“H”の状態で行ってください。

(8) シリアルI/O2送信割り込み使用時の設定手順

シリアルI/O2送信割り込みを使用する場合、設定に同期した割り込み発生が不要であれば、以下の手順で設定してください。

- ①シリアルI/O2送信割り込み許可ビット(割り込み制御レジスタ2(3F₁₆番地)のビット4)を“0”(禁止)にする。
- ②送信許可ビット(シリアルI/O2制御レジスタ(1D₁₆番地)のビット4)を“1”にする。
- ③一命令以上おいてからシリアルI/O2送信割り込み要求ビット(割り込み要求レジスタ2(3D₁₆番地)のビット4)を“0”(割り込み要求なし)にする。
- ④シリアルI/O2送信割り込み許可ビットを“1”(許可)にする。

(9) TxD端子の使用

UART制御レジスタのP6₅/TxDPチャンネル出力禁止ビットは、通常ポートで使用時及びTxD端子として使用時のどちらも有効です。ただし、P6₅/TxD端子をNチャンネルオープンドレイン出力で使用する場合も、V_{cc}+0.3V以上の電圧を印加することはできません。

また、シリアルI/O2では、送信終了後、TxD端子が最終ビットをラッチし、出力し続けます。

(10) 送信データの書き込み

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、送信バッファレジスタへ送信データを書き込んでください。

3.3.5 FLDコントローラの注意事項

Toff1時間設定レジスタへは03₁₆以上の値を設定してください。

階調表示モードで表示する場合は、タイミング数制御ビットで16タイミングモードを選択 (FLDCモードレジスタ(0EF4₁₆番地)のビット4=0)してください。

3.3.6 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、0.01 μ F ~ 1 μ Fの外付けのコンデンサを付加してください。更に、ユーザーサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA-D変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、A-D変換器用電源端子AVssは以下のように処理してください。

- ・ AVss : Vssに接続

理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は以下の2点に留意してください。

- ・ f(XIN)は250kHz以上にしてください。
- ・ STP命令、WIT命令を実行しないでください。

3.3.7 D-A変換器に関する注意事項

(1) リセット時の端子状態

リセット時PB0/DA端子はハイインピーダンス状態になります。

(2) 低インピーダンスとの接続

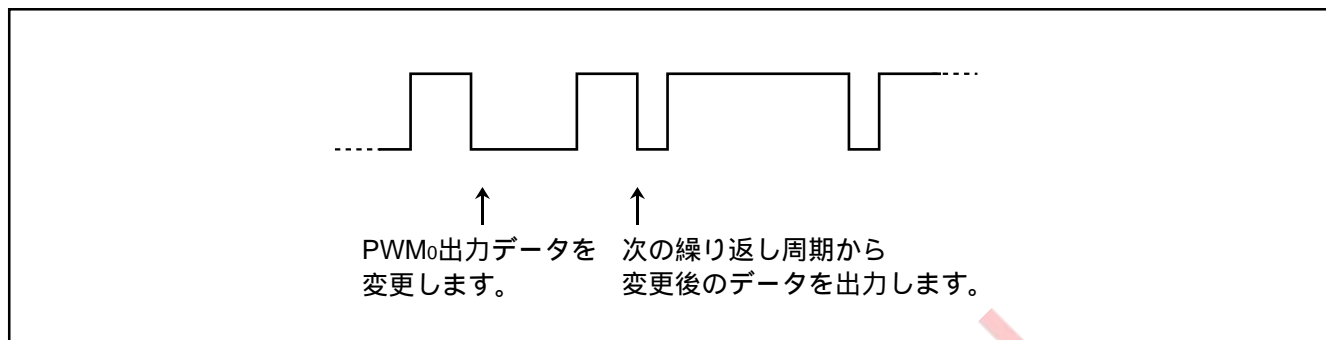
DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファ接続してください。

(3) 使用電圧

D-A変換器はVcc 3.0Vで使用してください。

3.3.8 PWMの注意事項

PWM₀出力では“L”レベルの期間が先に出力されます。
 PWMレジスタ(下位)及びPWMレジスタ(上位)にデータを設定後、次の繰り返し周期から新しいデータに対応するPWM波形が出力されます。

図3.3.4 PWM₀出力

3.3.9 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
 ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えことはできません。

3.3.10 リセット回路に関する注意事項

(1) リセット入力電圧制御

リセット入力電圧は、電源電圧が $V_{CC}=2.7V$ を通過する時点で、 $0.54V$ 以下になるようにしてください。なお、高速モードへの切り替えは、電源電圧 $4.0\sim 5.5V$ の範囲で行ってください。

(2) リセット信号が緩やかに立ち上がる場合の対策

リセット信号が緩やかに立ち上がる場合は、 $\overline{R\acute{E}S\grave{E}T}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性のよい $1000pF$ 以上のコンデンサを接続してください。コンデンサを使用する場合は以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分に行ってください。

<理由>

$\overline{R\acute{E}S\grave{E}T}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作することがあります。

3.3.11 RESET端子の状態がL'期間の各ポート状態

RESET端子の状態がL'期間の端子状態を表3.3.3に示します。

表3.3.3 RESET端子の状態がL'期間の端子状態

端子名	端子の状態
P0、P2	出力ポート（プルダウン抵抗あり）
P1、P3	入力ポート（プルダウン抵抗あり）
P4、P5、P60～63	入力ポート（プルダウン抵抗なし）
P64～67、P7、P80～83、P9、PA、PB0～B6	入力ポート（フローティング）

3.3.12 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

理由

プロセッサステータスレジスタ(PS)は、Iフラグが1であるのを除いて、リセット直後は不定です。

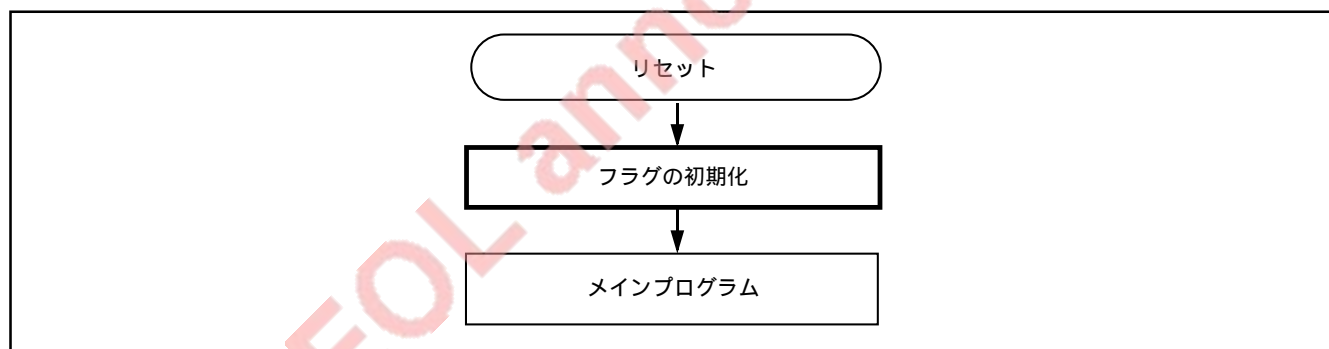


図3.3.5 プロセッサステータスレジスタのフラグの初期化

プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

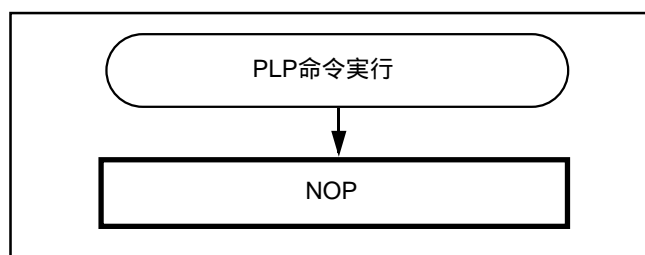


図3.3.6 PLP命令実行時の手順

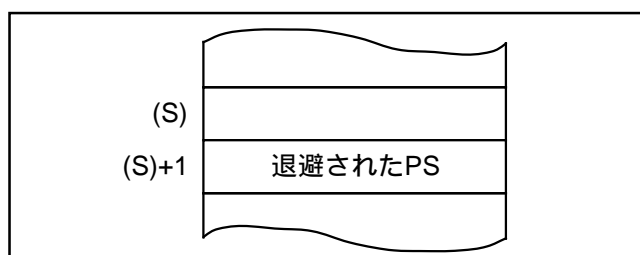


図3.3.7 PHP命令実行後のスタックメモリの内容

(2) 10進演算

10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリー)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください

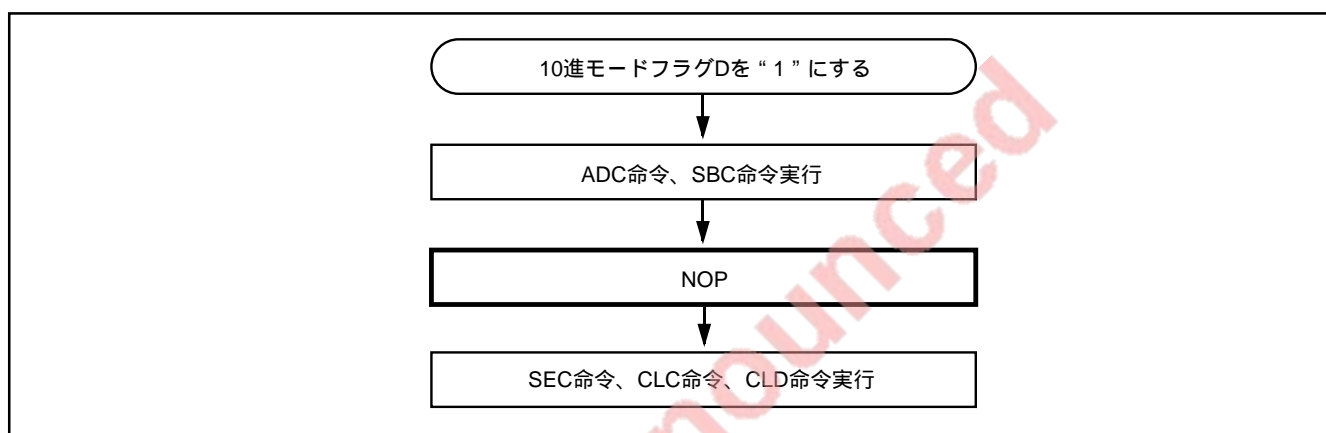


図3.3.8 10進演算時のステータスフラグ

(3) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットがFF16となるアドレスをオペランドに指定しないでください。

3.3.13 CPU書き換えモードに関する注意事項

- (1) CPU書き換えモード制御プログラムは、CPU書き換えモードを選択する前に内部RAMに転送し、内部RAM上で実行してください。
また、制御プログラム内でサブルーチンやスタック操作命令などを使用する場合は、スタック領域によって内部RAMに転送した制御プログラムが壊れないよう、注意してください。
- (2) CPU書き換えモード制御プログラムは、内部RAMに転送し、内部RAM上で実行するため、命令の記述(指定番地など)に注意してください。
- (3) ウォッチドッグタイマ割り込みが発生しないように、CPU書き換えモード制御プログラムで、定期的にウォッチドッグタイマ制御レジスタへ書き込みを行ってください(「2.9 ウォッチドッグタイマ」参照)。

3.3.14 フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10kΩの抵抗を介してVssに接続してください。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

3.3.15 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

出力専用ポート
開放してください。

入力専用ポート

各端子ごとに1~10kΩの抵抗を介して、Vcc又はVssに接続してください。

また、電圧レベルが動作モードに影響を与える端子(INT端子など)は、モードを検討の上Vcc又はVssを選択してください。

入出力ポート

入力モードに設定し、1~10kΩの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。

出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

(2) 処理上の留意事項

入力ポート及び入出力ポート

入力モードで開放しないでください。

理由

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受けやすくなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

3.4 ノイズに関する注意事項

3.4.1 配線長の短縮

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

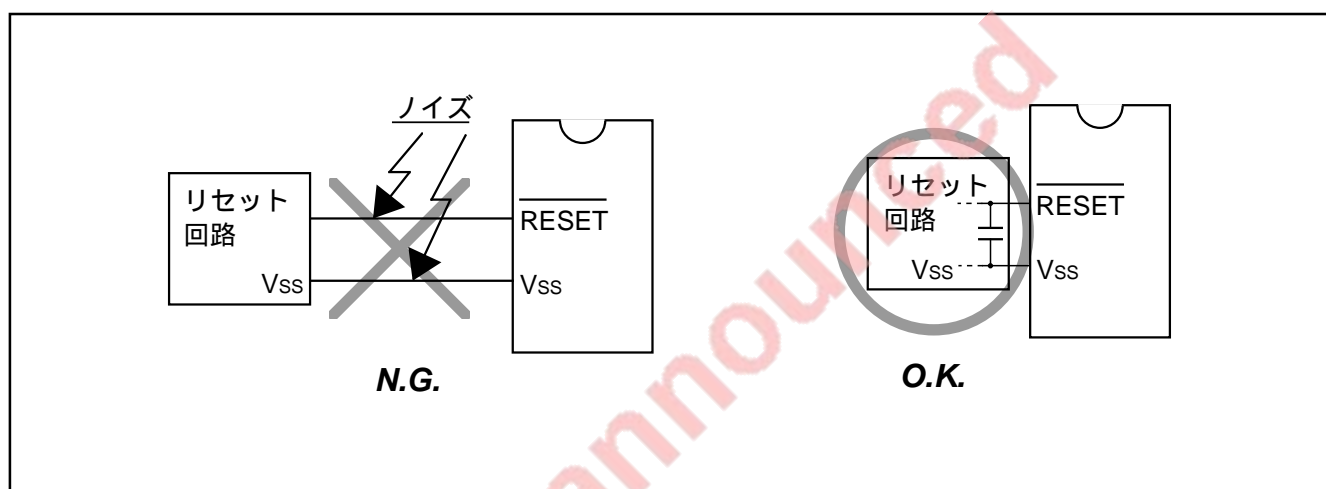


図3.4.1 リセット入力端子の配線

(2) クロック入出力端子の配線

- ・ クロック入出力端子に接続する配線は短くしてください。
- ・ 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・ 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

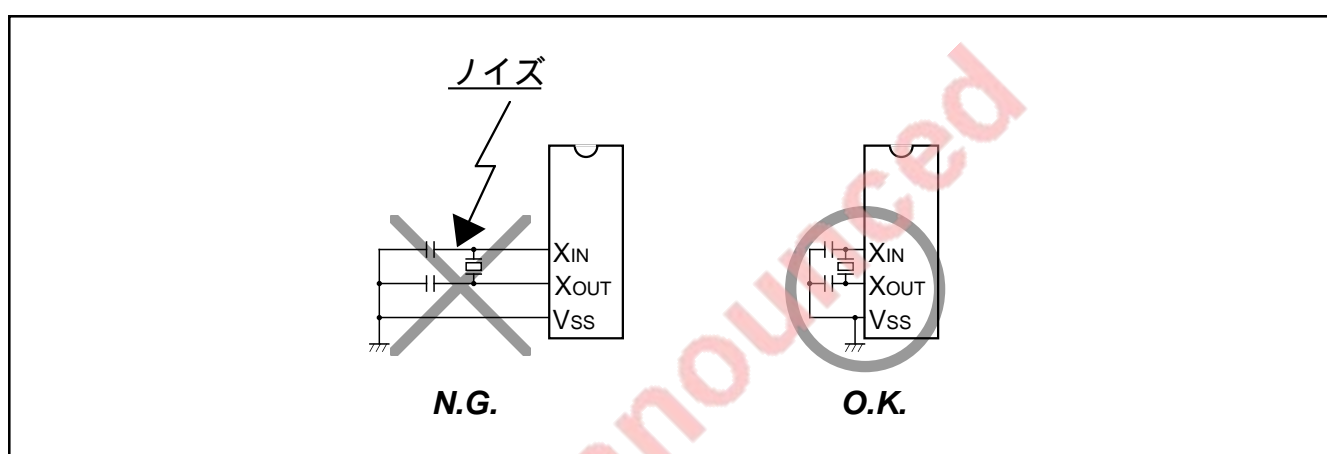


図3.4.2 クロック入出力端子の配線

(3) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

理由

CNVss端子のレベルはマイコンの動作モードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

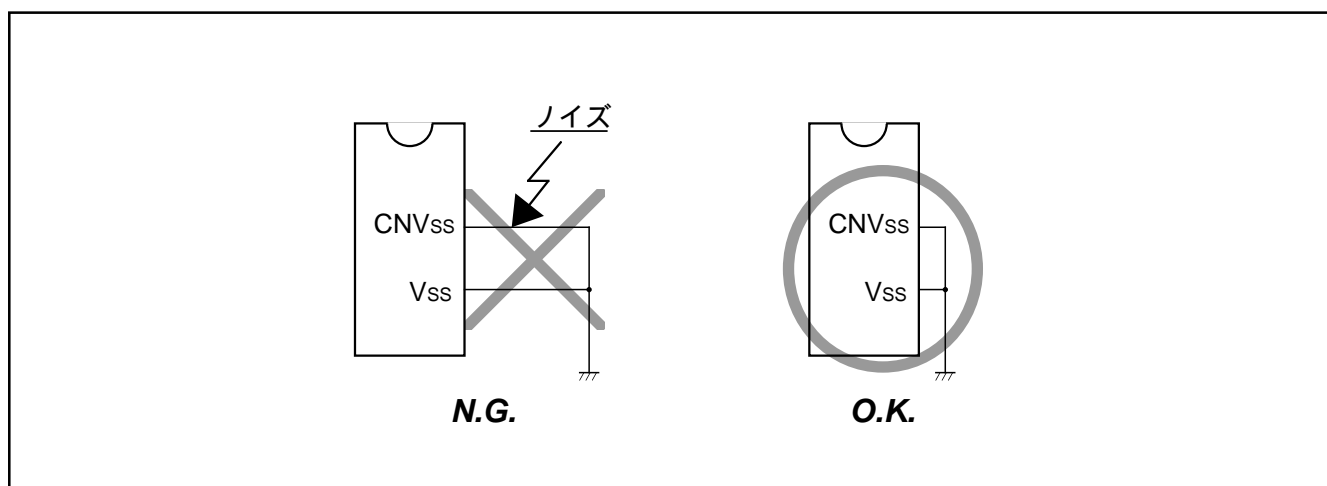


図3.4.3 CNVss端子の配線

(4) フラッシュメモリ版のVPP端子配線

VPP端子のできるだけ近くに5k 程度の抵抗を直列に挿入し、Vss端子に接続してください。また、5k 程度の抵抗を挿入しない場合は、VPP端子とVss端子の配線は最短にしてください。

注. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

フラッシュメモリ版マイコンのVPP端子は内蔵フラッシュメモリの電源入力端子です。内蔵フラッシュメモリへのプログラムの書き込み / 消去時に、書き込み / 消去電流が流れるようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵フラッシュメモリから異常な命令コード、データが読み出され、暴走の原因となります。

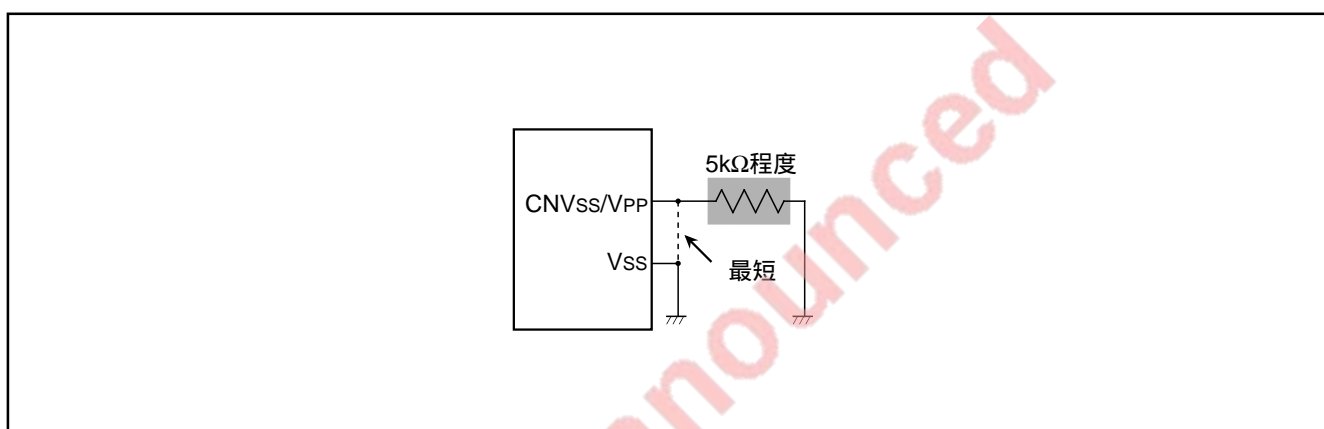


図3.4.4 フラッシュメモリのVPP端子の配線

3.4.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

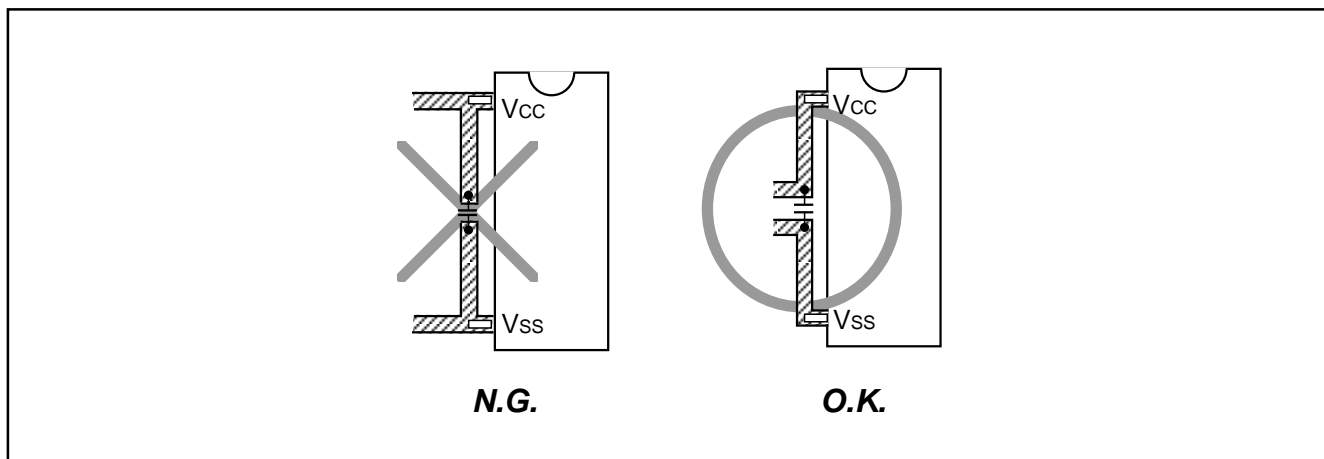


図3.4.5 Vss - Vccライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A-D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

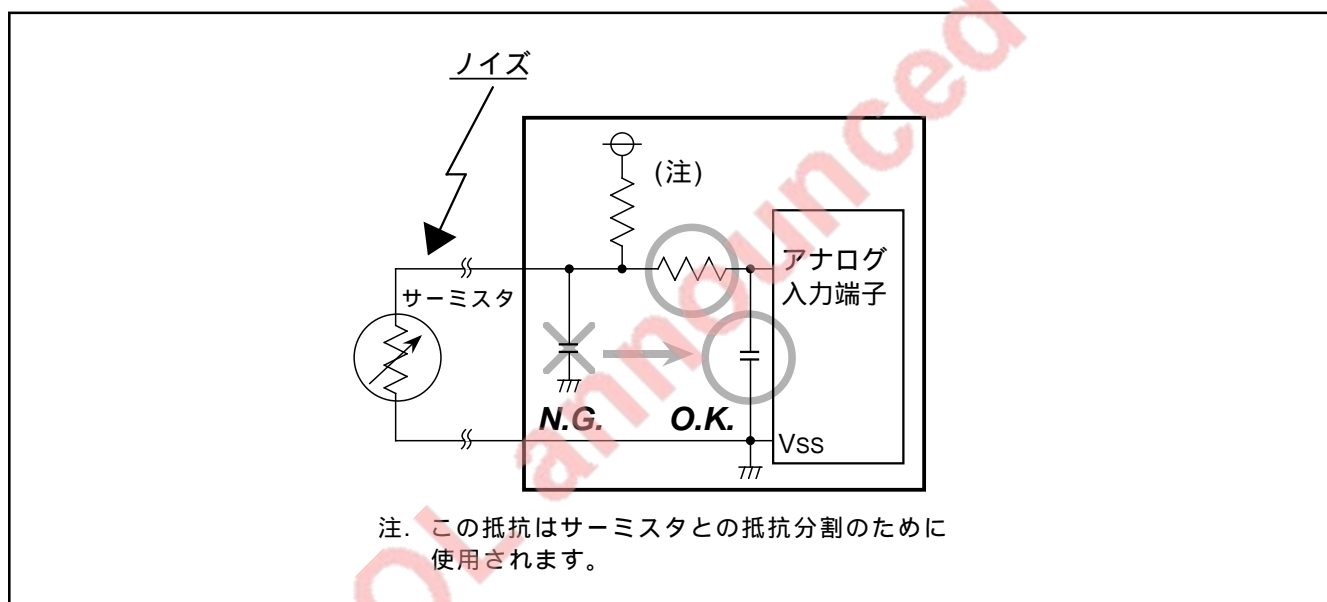


図3.4.6 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

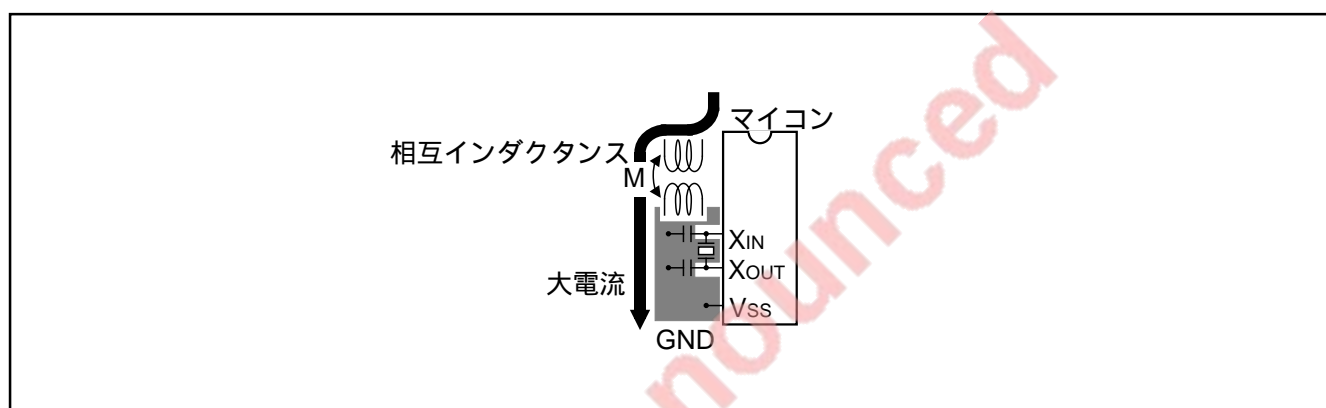


図3.4.7 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

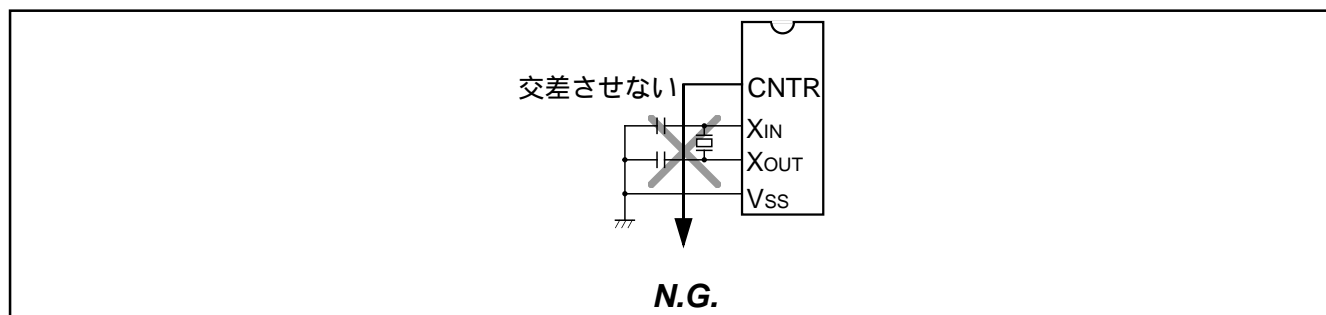


図3.4.8 リセット入力端子の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

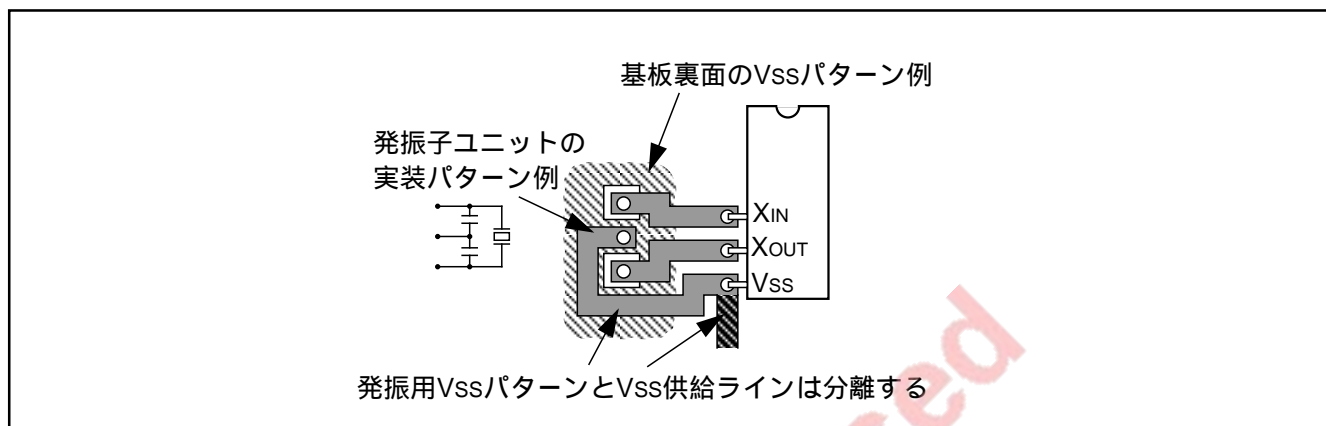


図3.4.9 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタ(内蔵する品種のみ)の再書き込みを行ってください。

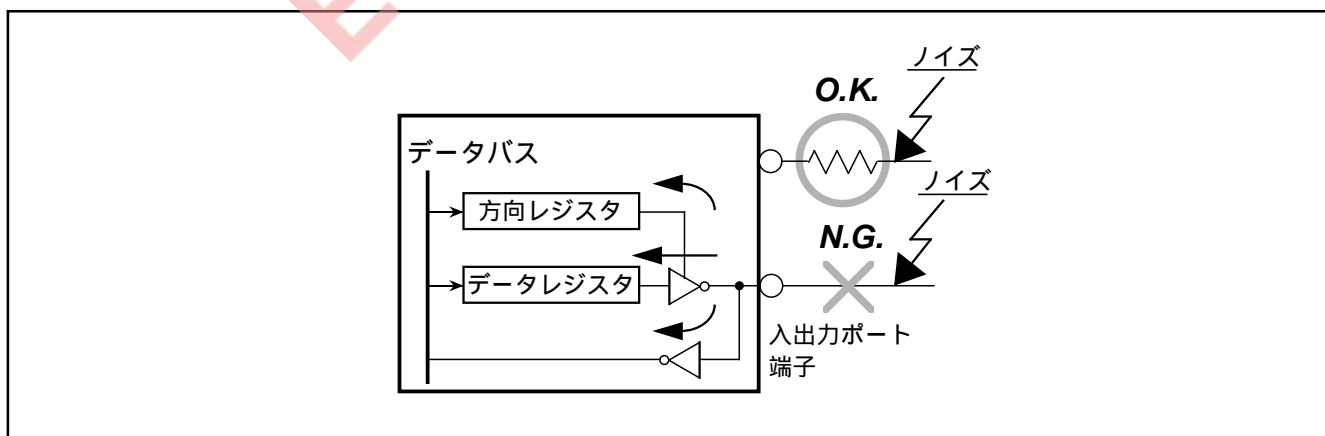


図3.4.10 Vss - Vccライン間のバイパスコンデンサ

3.4.6 ソフトウェアによる監視タイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによる監視タイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアの監視タイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによる監視タイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェア監視タイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

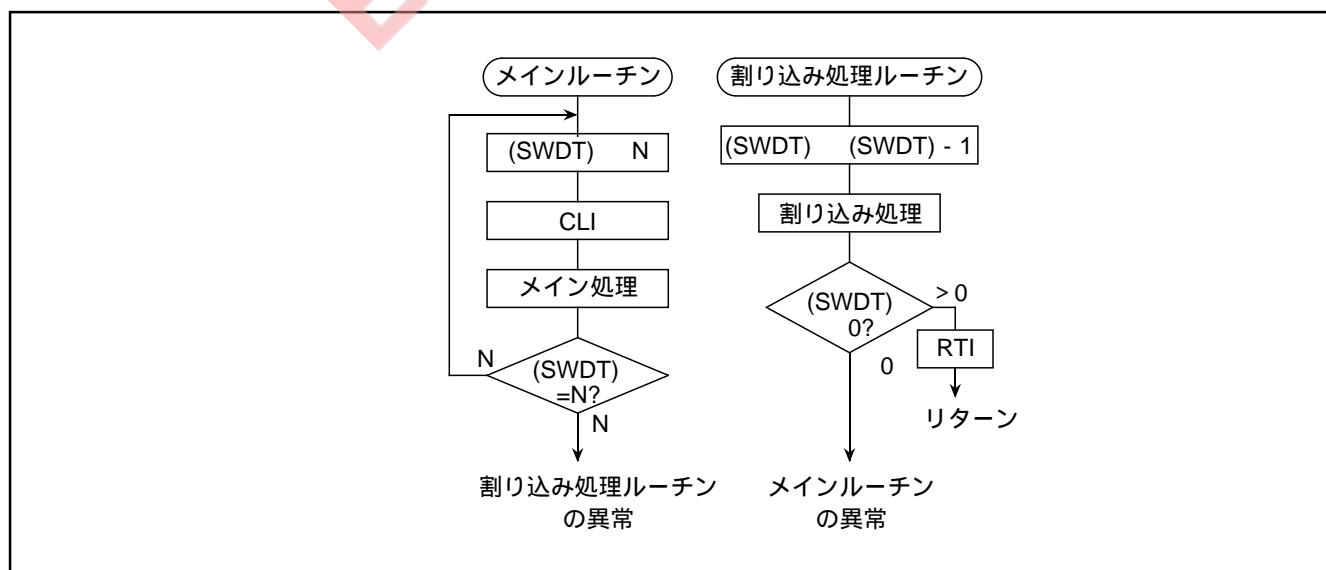


図3.4.11 ソフトウェアによる監視タイマ

3.5 制御レジスタ一覧

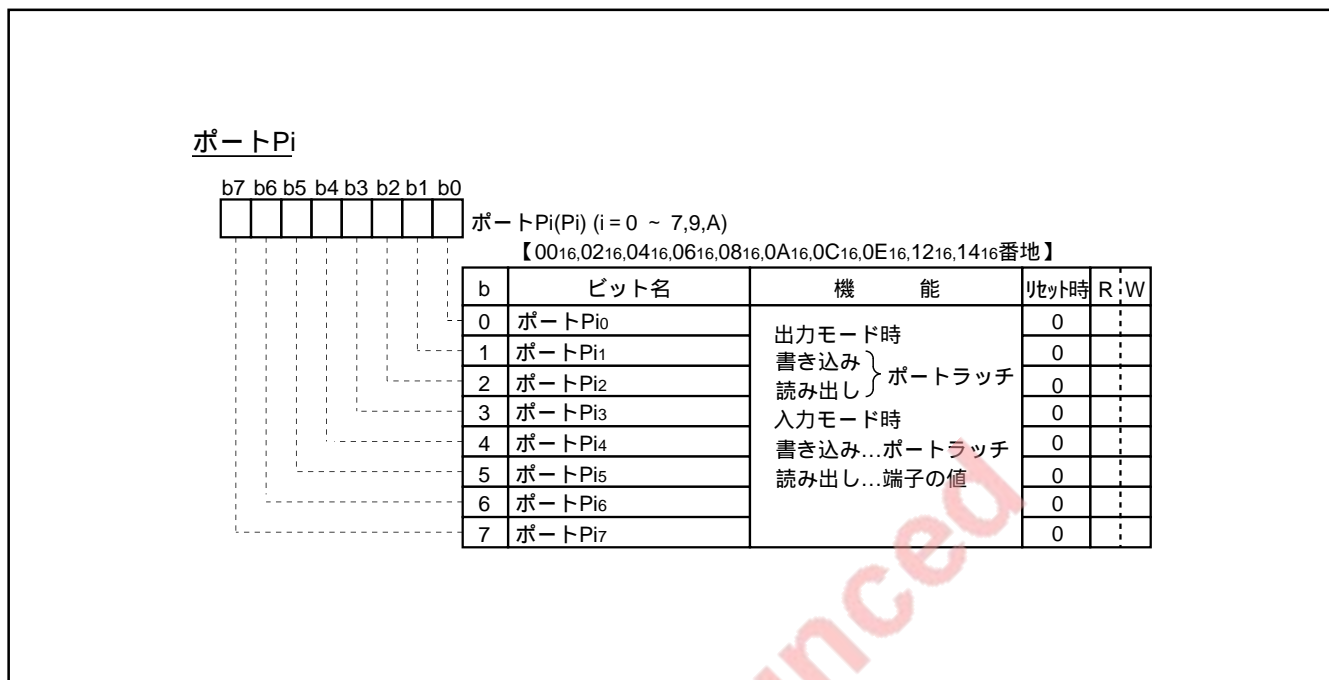


図3.5.1 ポートPiの構成(i = 0 ~ 7,9,A)

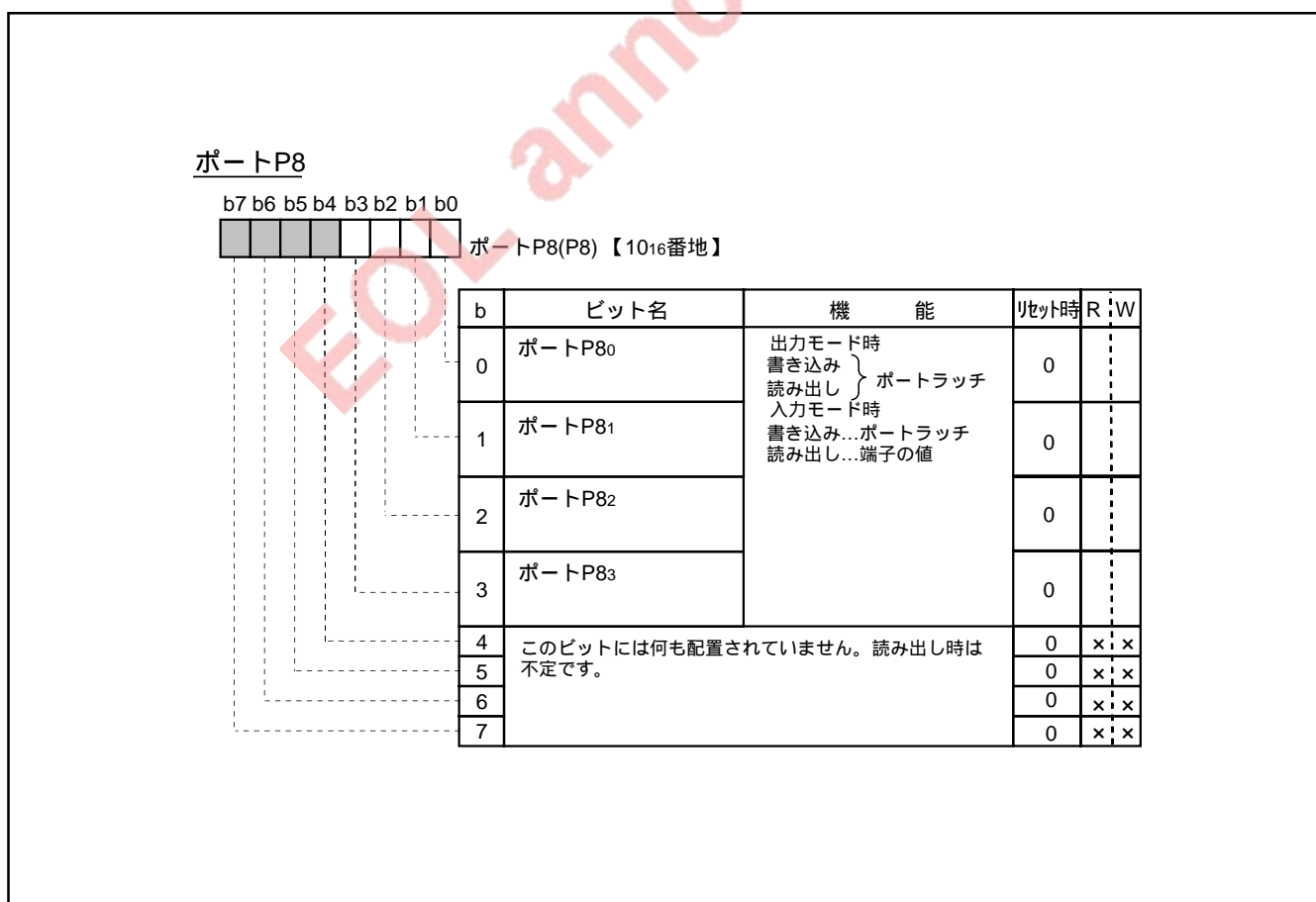


図3.5.2 ポートP8の構成

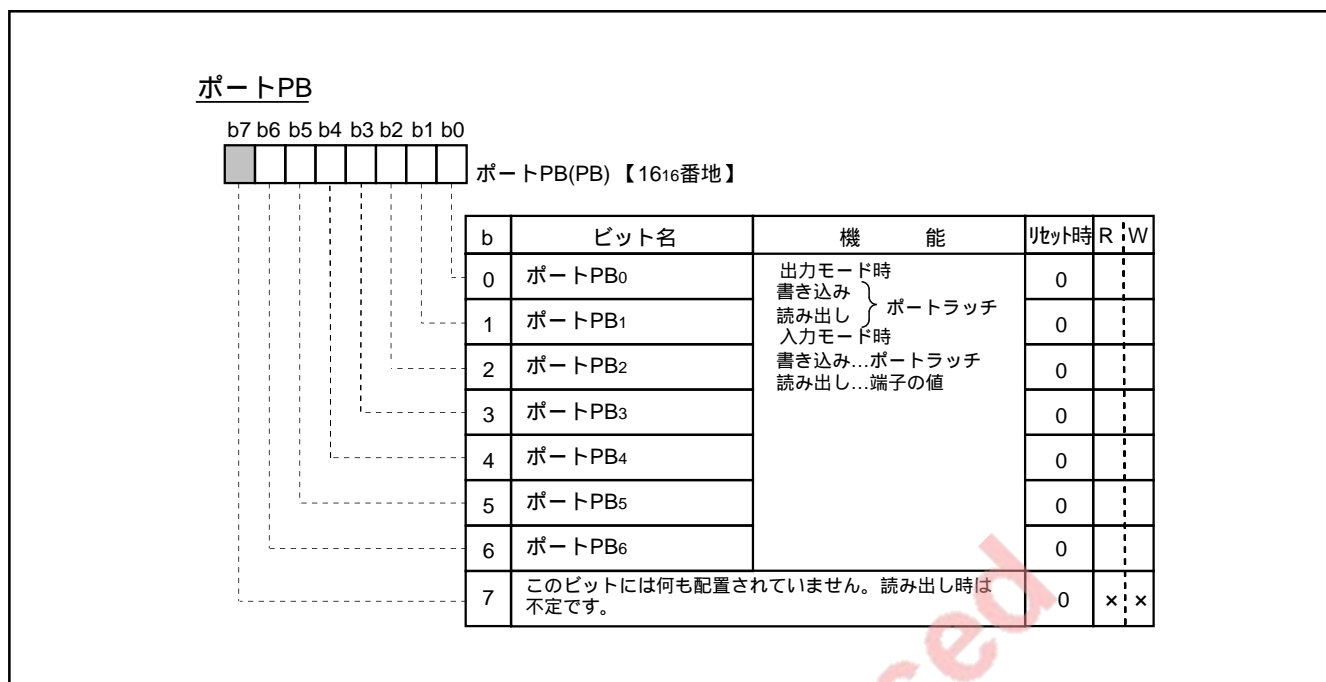


図3.5.3 ポートPBの構成

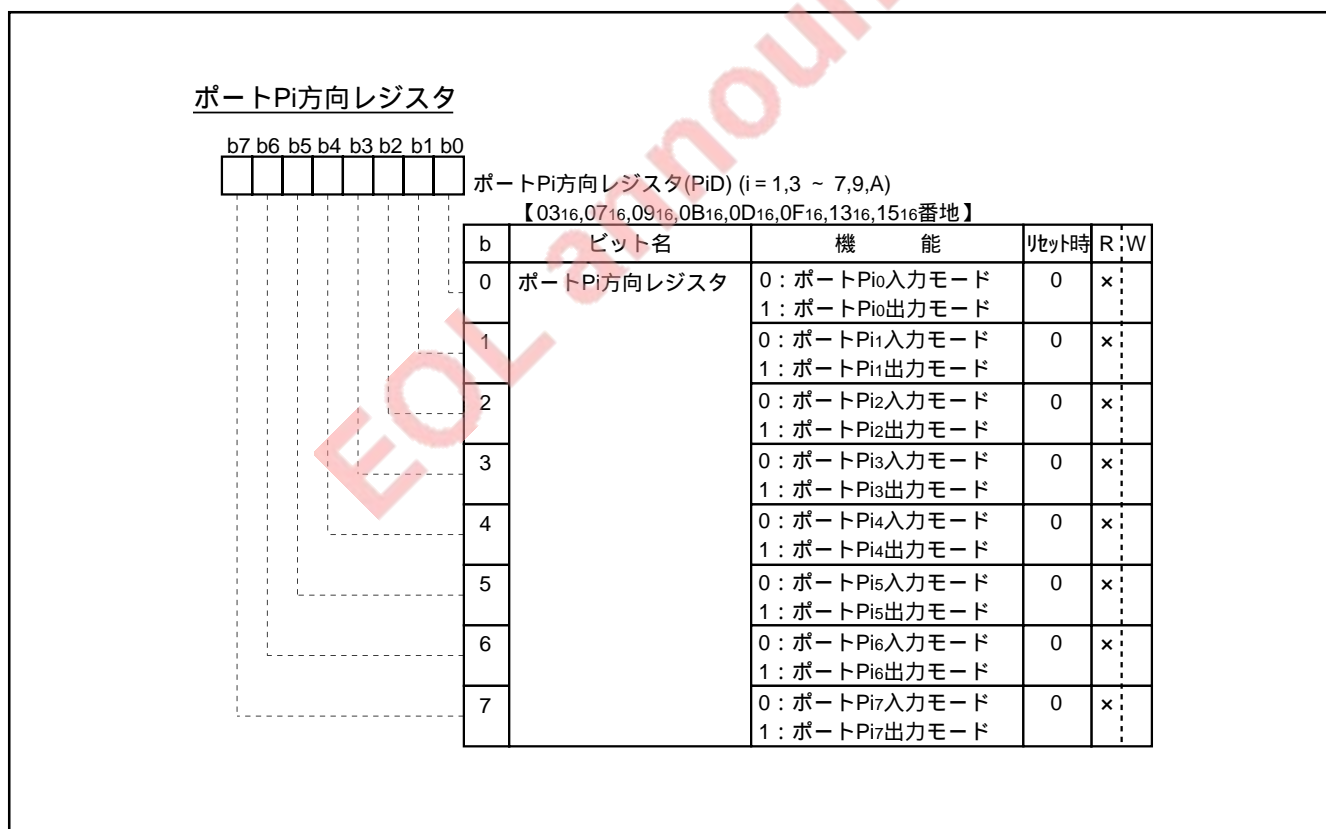


図3.5.4 ポートPi方向レジスタの構成 (i = 1,3 ~ 7,9,A)

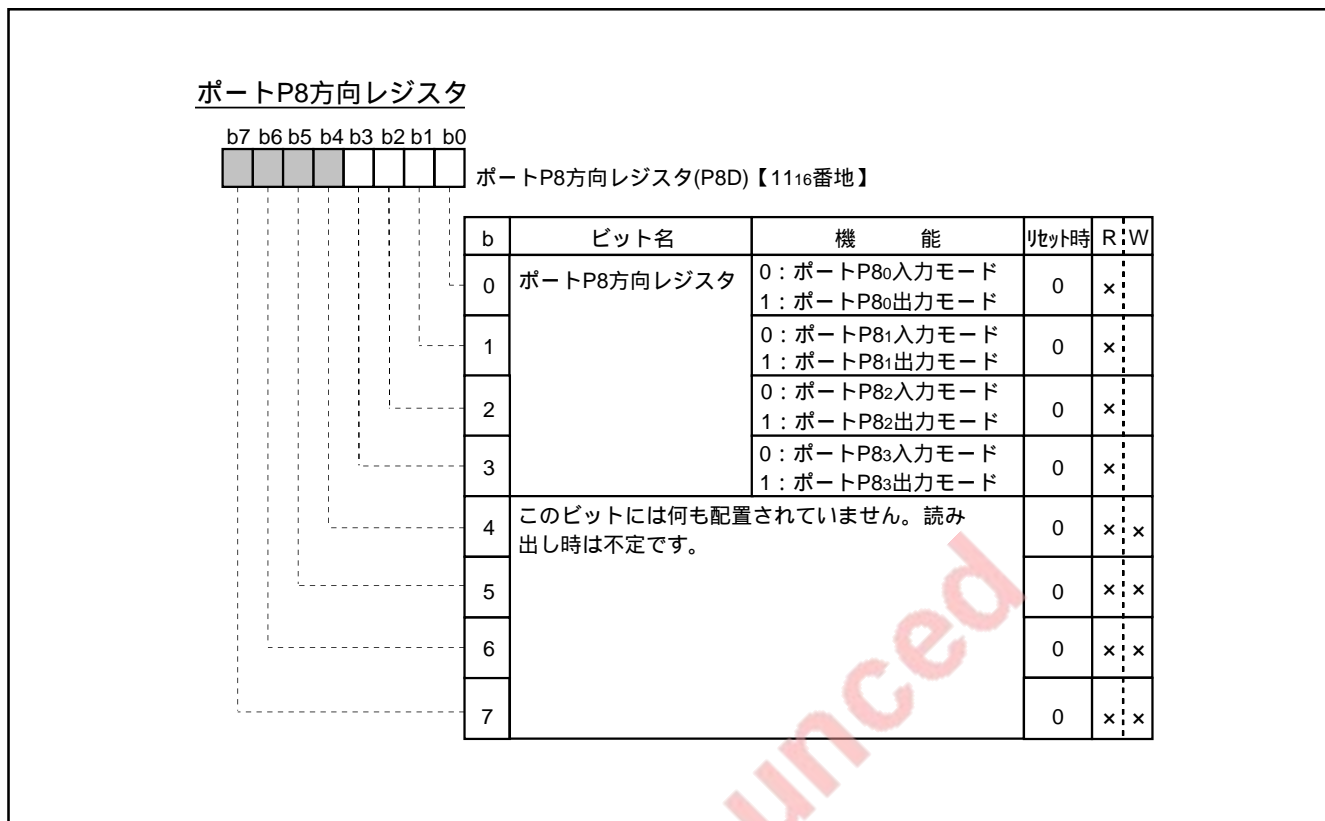


図3.5.5 ポートP8方向レジスタの構成

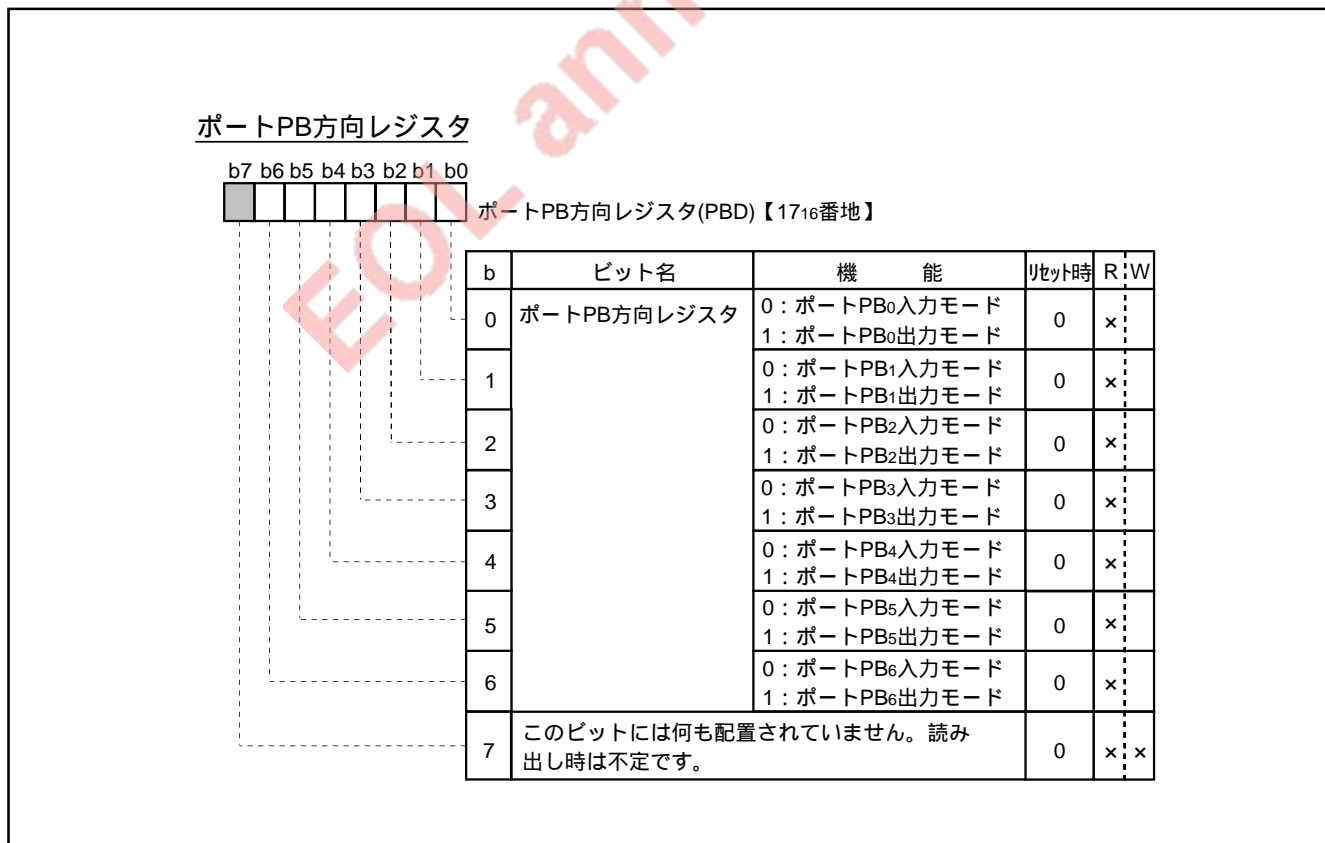


図3.5.6 ポートPB方向レジスタの構成

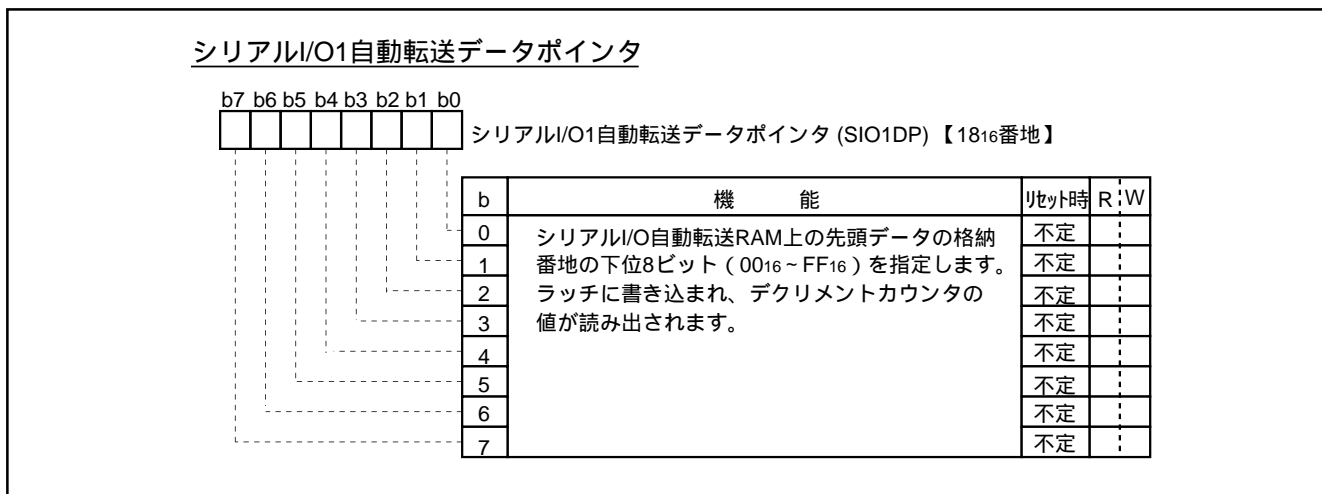


図3.5.7 シリアルI/O自動転送データポインタの構成

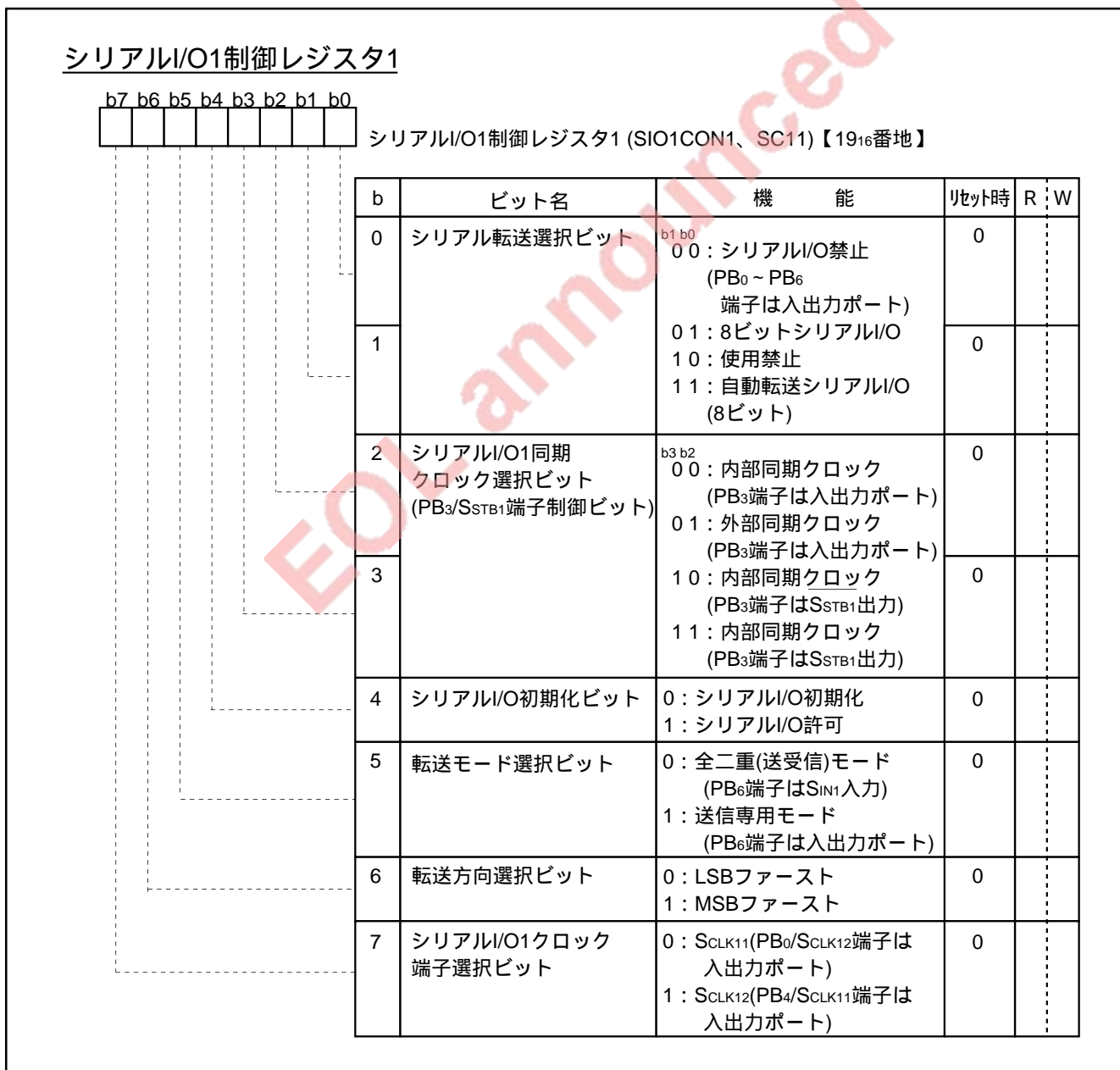
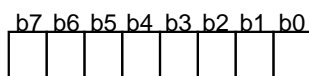


図3.5.8 シリアルI/O制御レジスタ1の構成

シリアルI/O1制御レジスタ2



シリアルI/O1制御レジスタ2 (SIO1CON2、SC12)【1A₁₆番地】

b	ビット名	機能	リセット時	R	W
0	PB ₁ /SRDY ₁ ・PB ₂ /SBUSY ₁ 端子制御ビット	b ₃ b ₂ b ₁ b ₀ 0000: PB ₁ , PB ₂ 端子は 入出力ポート 0001: 不使用 0010: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子は入出力ポート 0011: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子は入出力ポート 0100: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 入力 0101: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 入力 0110: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 出力 0111: PB ₁ 端子は入出力ポート, PB ₂ 端子はSBUSY ₁ 出力 1000: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1001: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1010: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1011: PB ₁ 端子はSRDY ₁ 入力, PB ₂ 端子はSBUSY ₁ 出力 1100: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力 1101: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力 1110: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力 1111: PB ₁ 端子はSRDY ₁ 出力, PB ₂ 端子はSBUSY ₁ 入力	0		
1			0		
2			0		
3			0		
4	SBUSY ₁ 出力・SSTB ₁ 出力 機能選択ビット (シリアルI/O1自動転送 モード時のみ有効)	0: 1バイトごとの信号 として機能 1: 全転送データごとの信号 として機能	0		
5	シリアル転送状態フラグ	0: シリアル転送完了 1: シリアル転送中	0		x
6	SOUT ₁ 端子制御ビット (シリアルデータ非転送時)	0: 出力アクティブ 1: 出力ハイインピーダンス	0		
7	PB ₅ /SOUT ₁ Pチャンネル出力禁止ビット	0: CMOS3ステート (Pチャンネル出力有効) 1: Nチャンネルオープンドレ イン(Pチャンネル出力禁止)	0		

図3.5.9 シリアルI/O1制御レジスタ2の構成

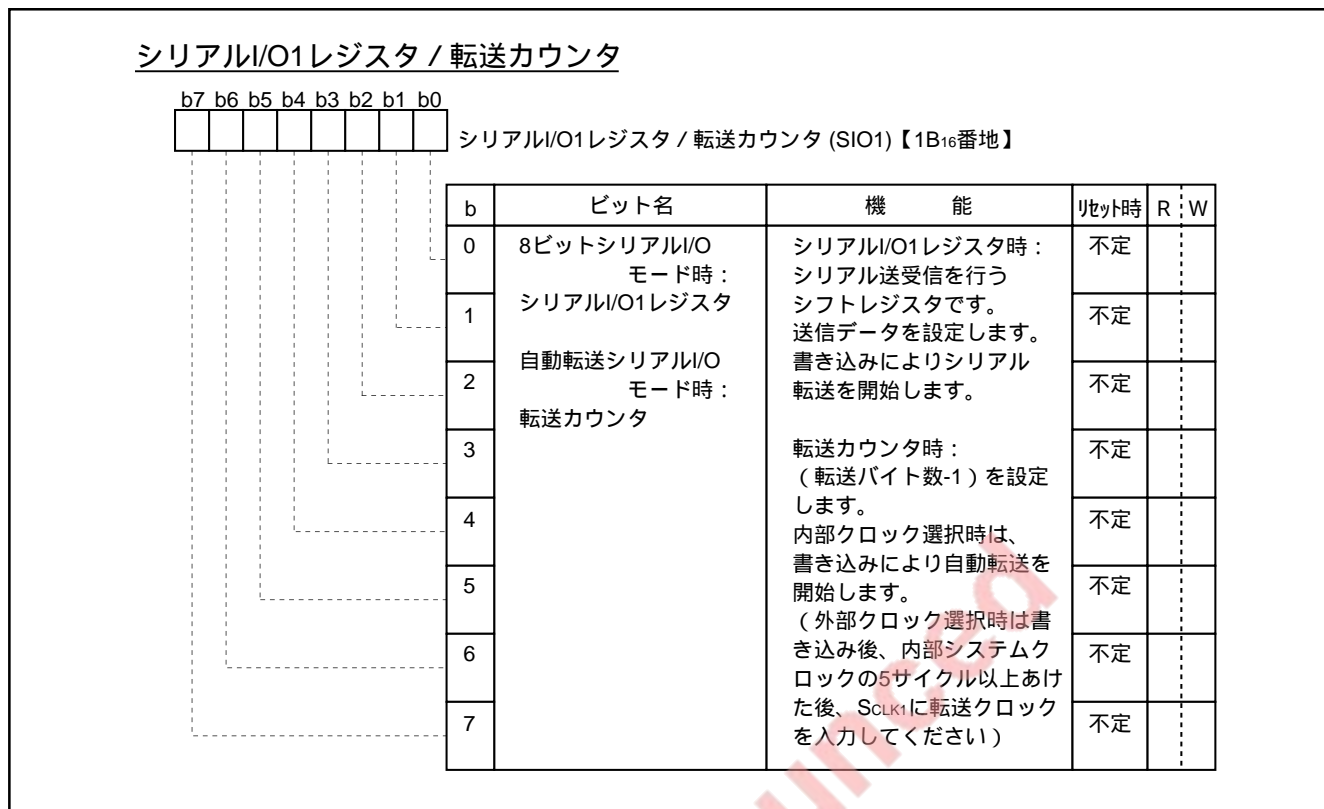


図3.5.10 シリアルI/Oレジスタ / 転送カウンタの構成

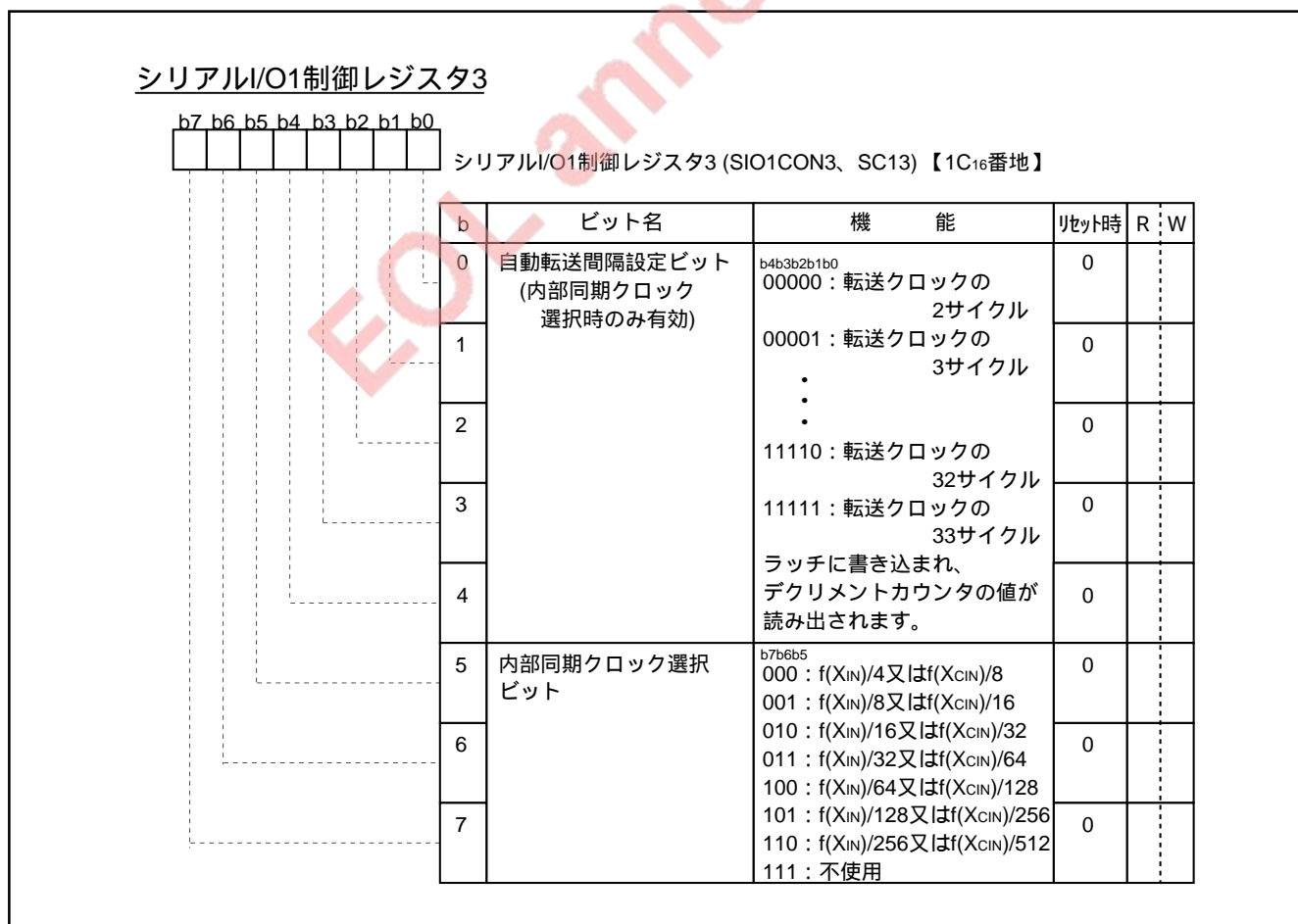


図3.5.11 シリアルI/O制御レジスタ3の構成

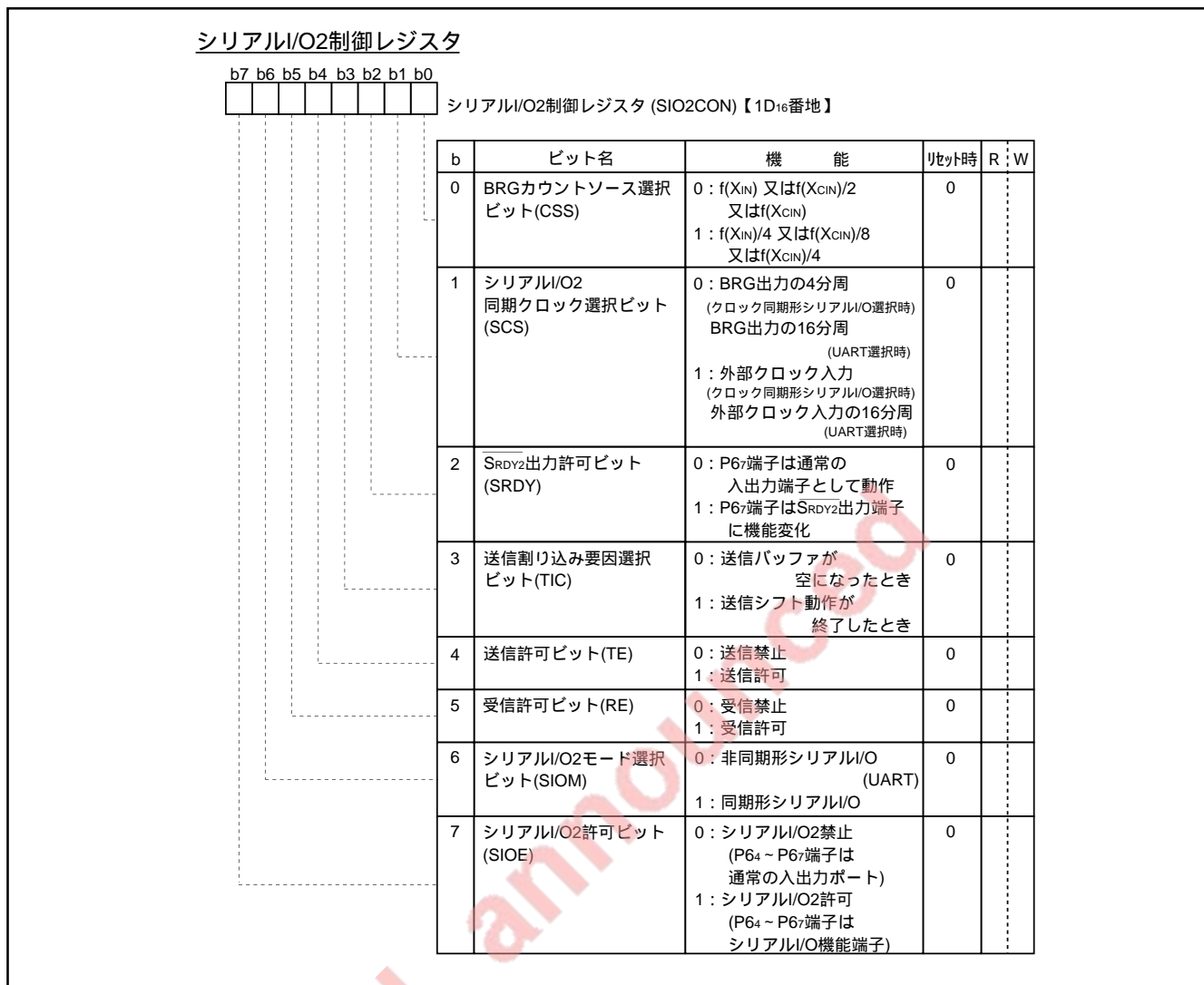


図3.5.12 シリアル/O2制御レジスタの構成

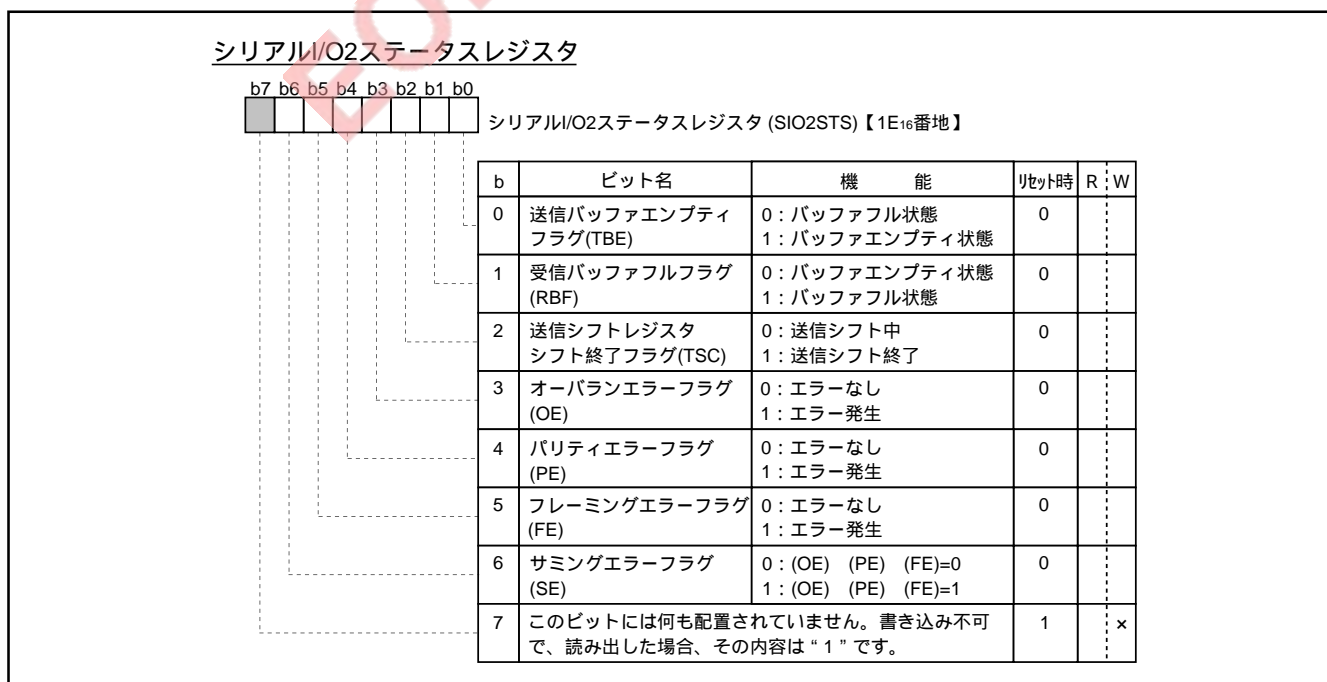


図3.5.13 シリアル/O2ステータスレジスタの構成

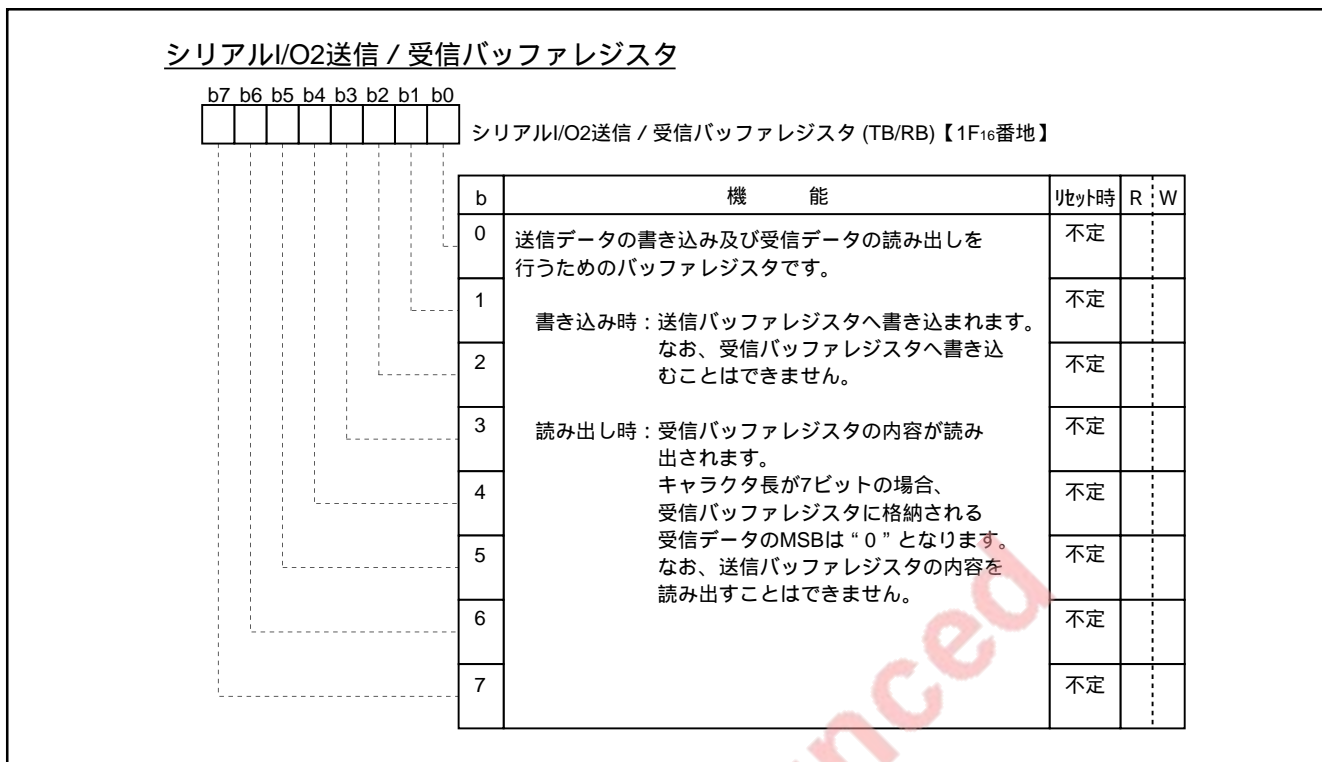


図3.5.14 シリアル/O2送信 / 受信バッファレジスタの構成

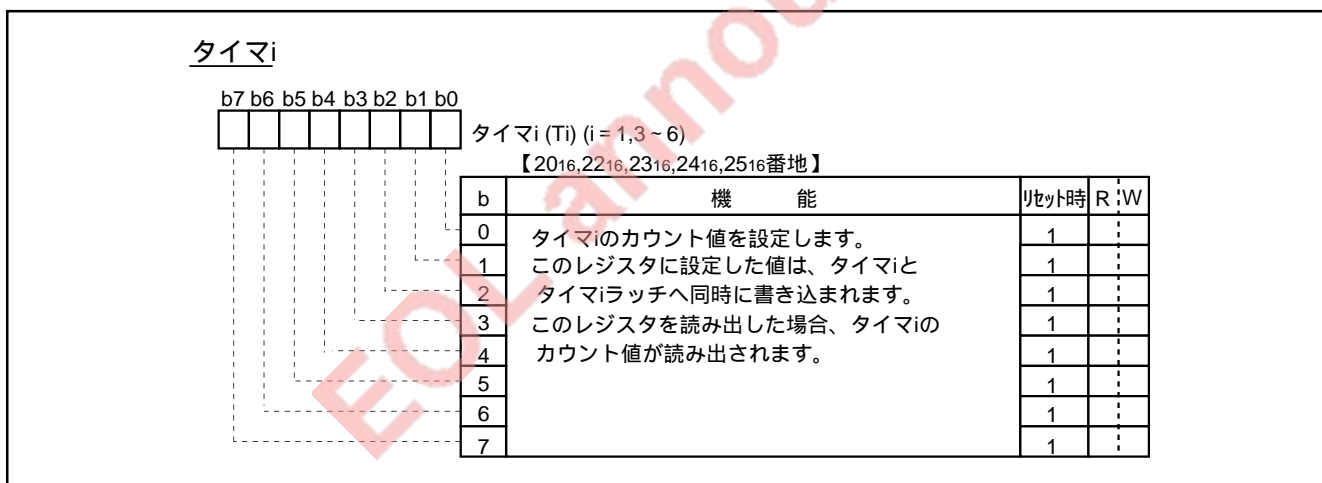


図3.5.15 タイマ_iの構成

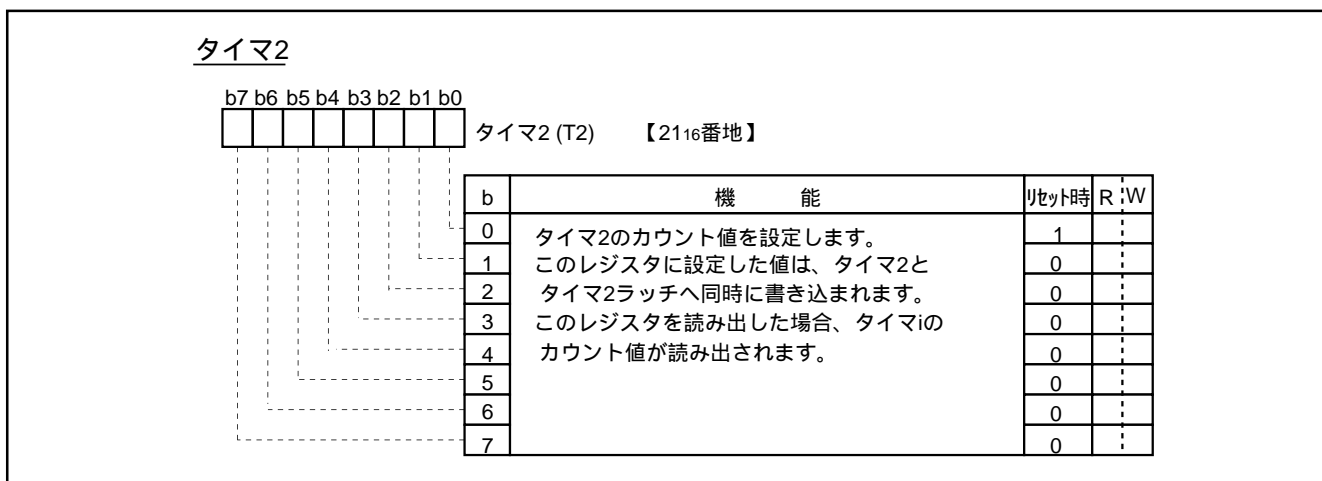


図3.5.16 タイマ₂の構成

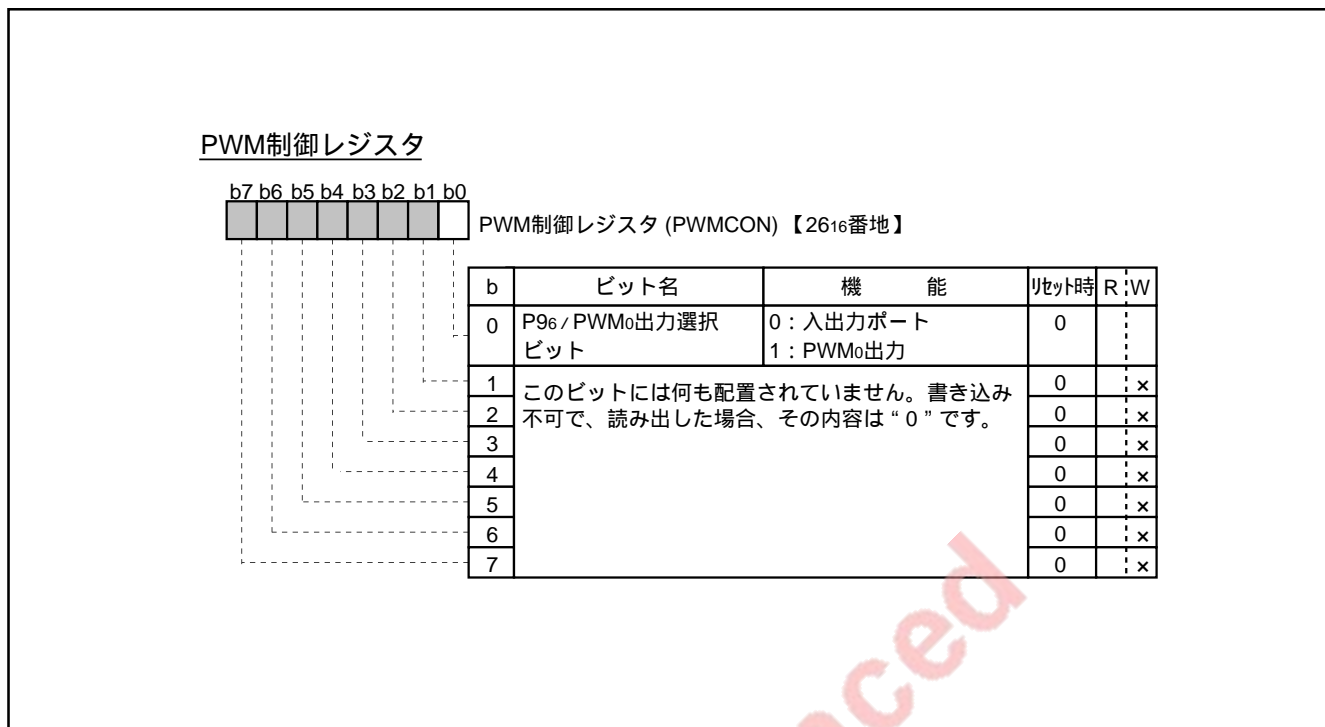


図3.5.17 PWM制御レジスタの構成

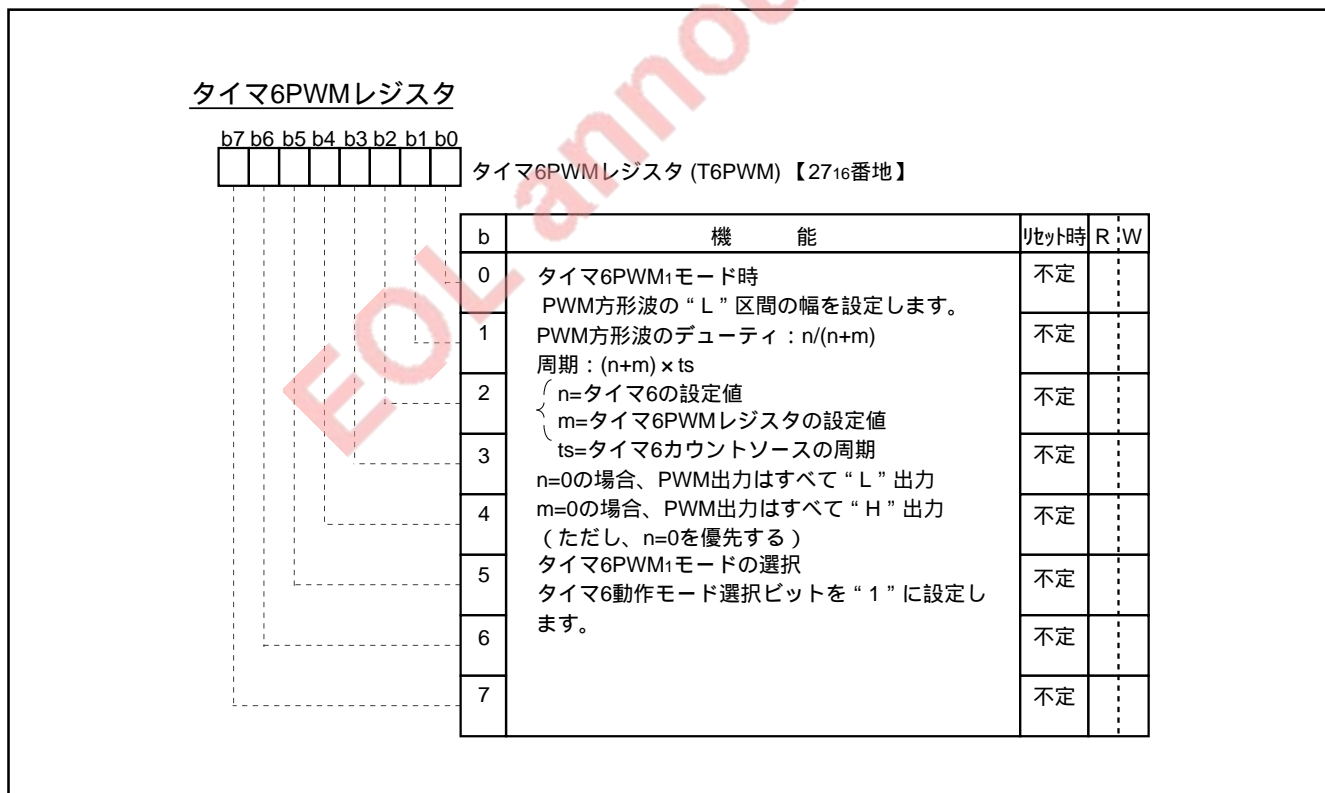


図3.5.18 タイマ6PWMレジスタの構成

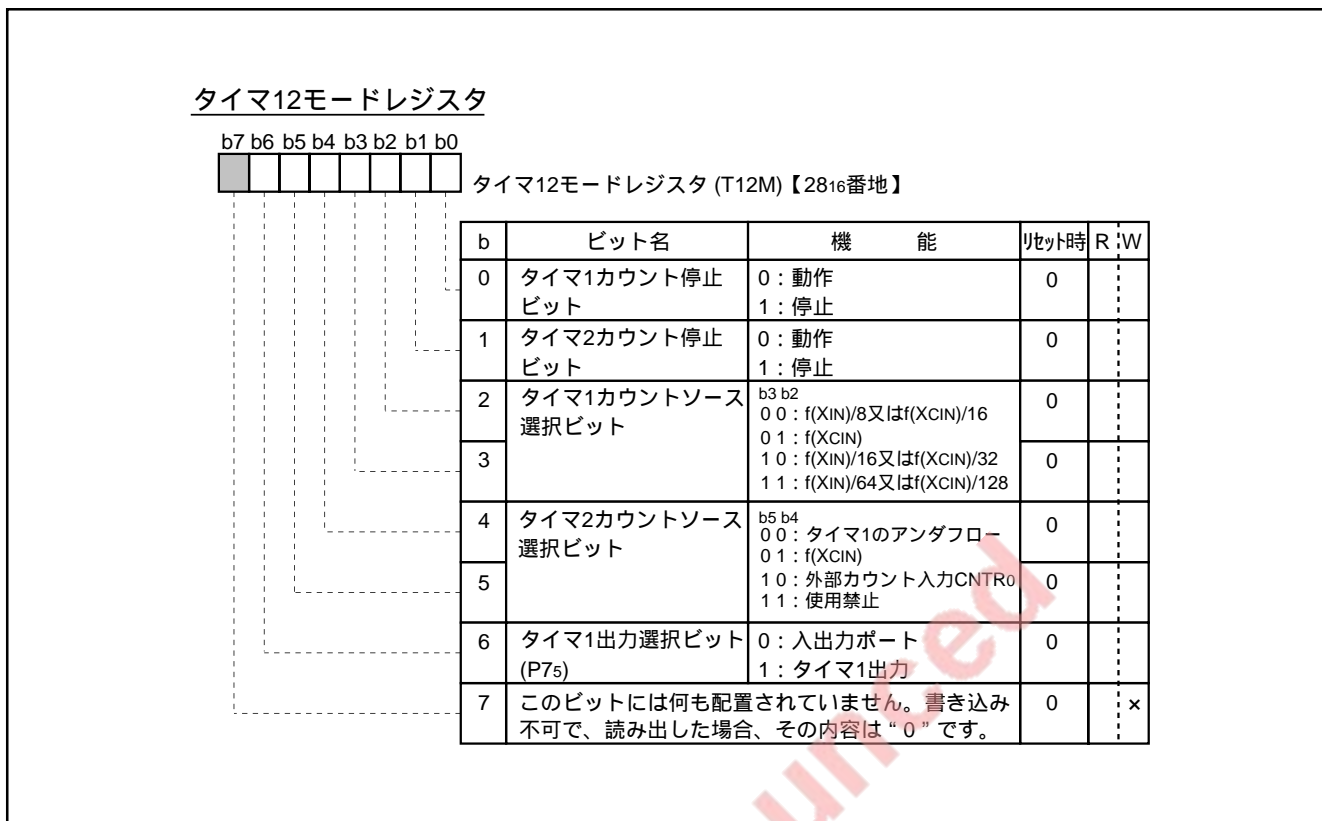


図3.5.19 タイマ12モードレジスタの構成

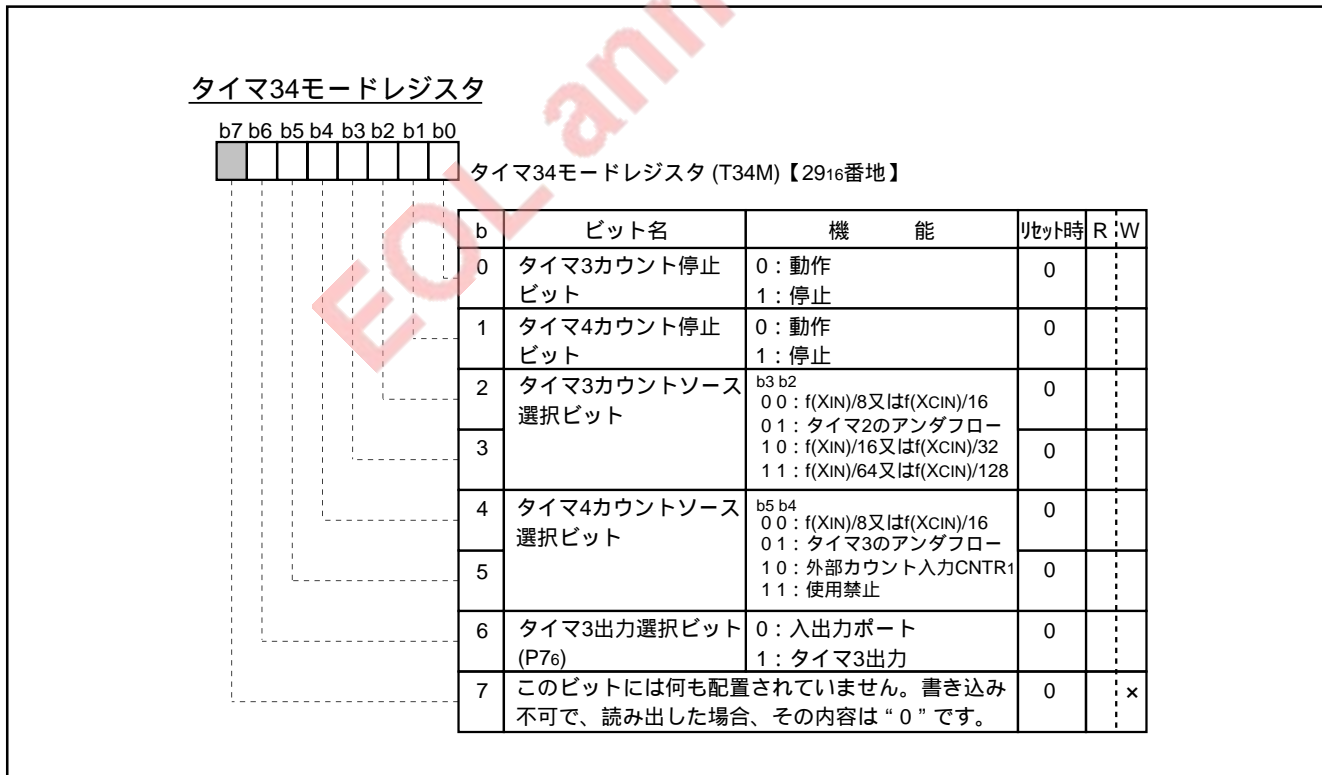


図3.5.20 タイマ34モードレジスタの構成

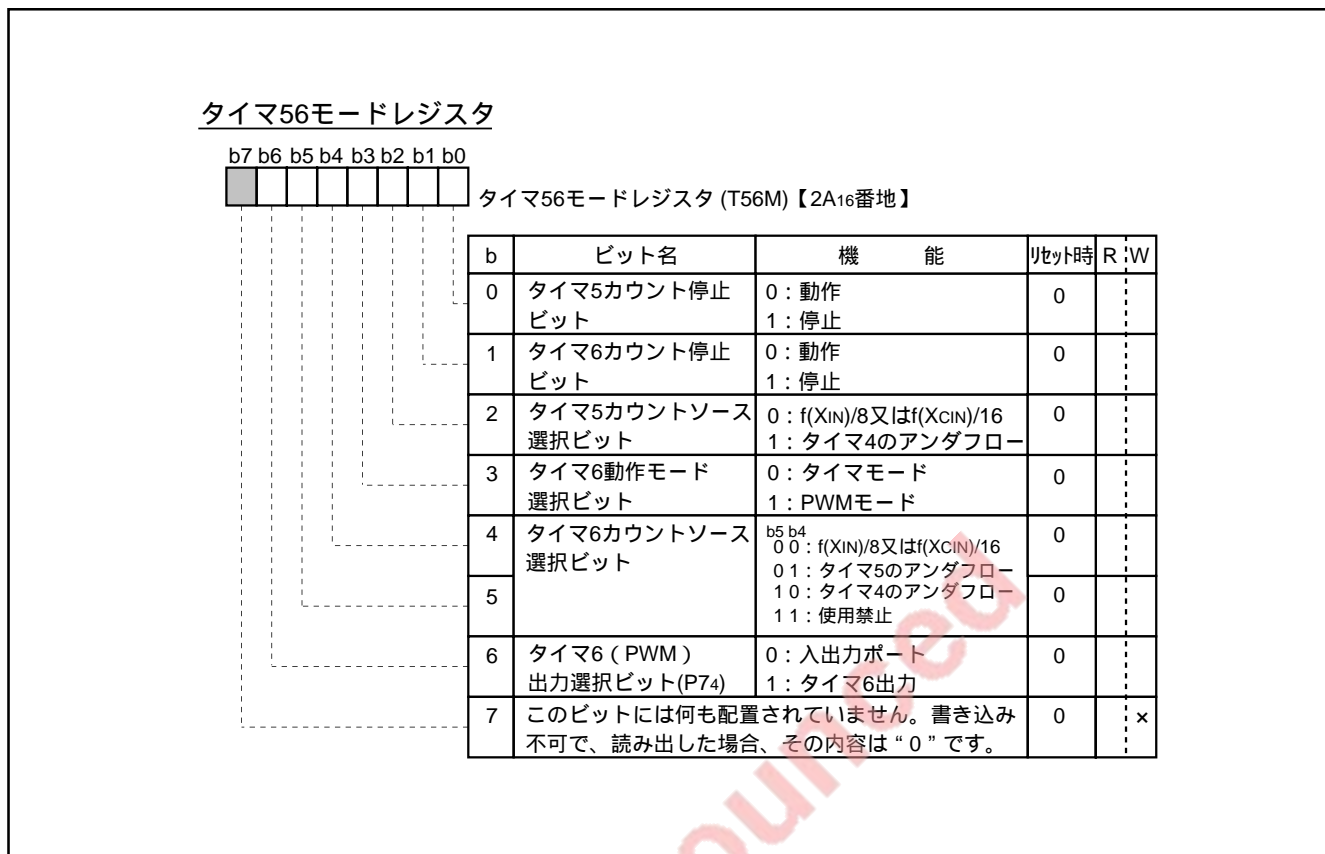


図3.5.21 タイマ56モードレジスタの構成

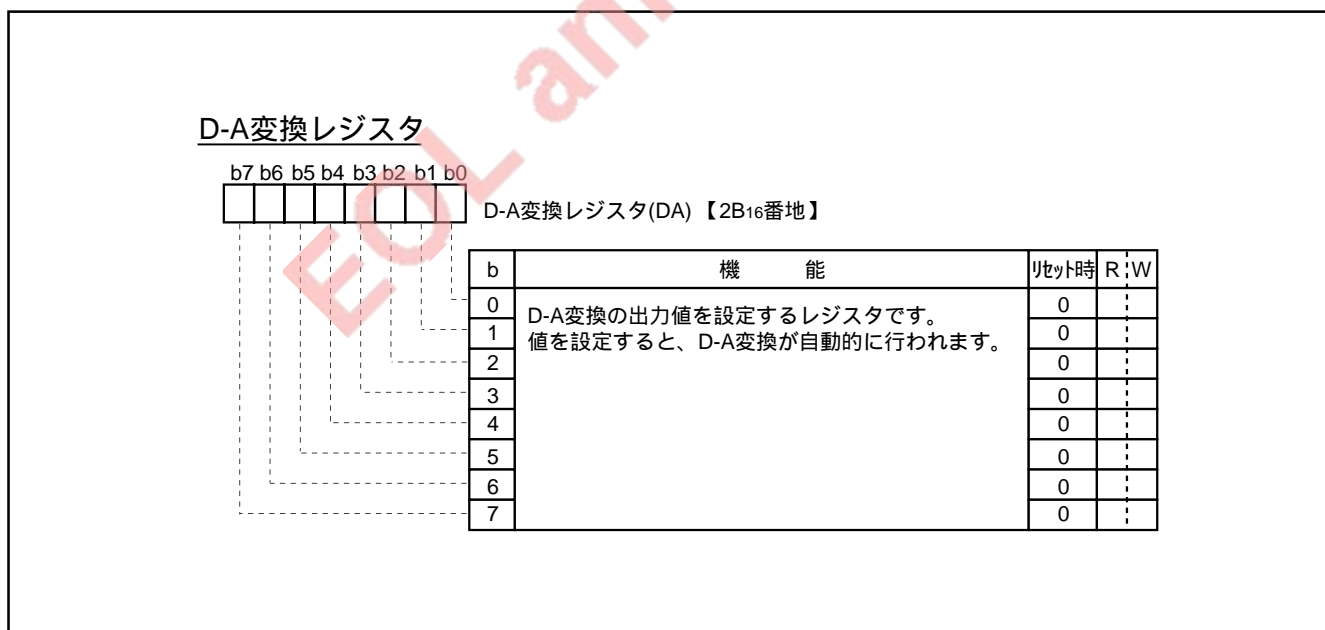
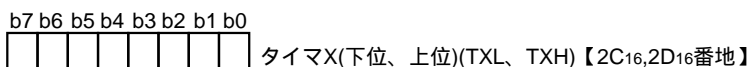


図3.5.22 D-A変換レジスタの構成

タイマX(下位、上位)

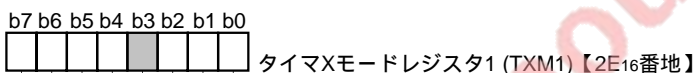


b	機 能	リセット時	R	W
0	タイマXのカウンタ値を設定します。	1		
1	このレジスタに設定した値は、タイマXモード	1		
2	レジスタ1のタイマX書き込み制御ビットが	1		
3	“0”のとき、タイマXラッチ及びタイマX同時	1		
4	“1”のとき、タイマXラッチのみ	1		
5	に書き込まれます。	1		
6	このレジスタを読み出した場合、タイマXの	1		
7	カウンタ値が読み出されます。	1		

- 注1. 読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。
 2. 値の読み出しは、上位バイト、下位バイトの順に行ってください。
 3. 値の書き込みは、下位バイト、上位バイトの順に行ってください。
 4. 書き込み操作中に読み出ししたり、読み出し操作中に書き込んだりしないでください。

図3.5.23 タイマX(下位、上位)の構成

タイマXモードレジスタ1



b	ビット名	機 能	リセット時	R	W
0	タイマX書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0		
1	タイマXカウンタソース選択ビット	b2 b1 00: f(XIN)/2又はf(XCIN)/4 01: f(XIN)/8又はf(XCIN)/16 10: f(XIN)/64又はf(XCIN)/128 11: 使用禁止	0		
2			0		
3		このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。	0		x
4	タイマX動作モードビット	b5 b4 00: タイマモード 01: パルス出力モード 10: イベントカウンタモード 11: パルス幅測定モード	0		
5			0		
6	CNTR2極性切り替えビット	タイマXの動作モードによって異なります(下表を参照)	0		
7	タイマX停止制御ビット	0: カウンタ動作 1: カウンタ停止	0		

CNTR2極性切り替えビットの機能

タイマXの動作モード	CNTR2極性切り替えビットの機能
パルス出力モード	0: “H”出力でスタート 1: “L”出力でスタート
イベントカウンタモード	0: 立ち上がりをカウント 1: 立ち下がりをカウント
パルス幅測定モード	0: “H”期間測定 1: “L”期間測定

図3.5.24 タイマXモードレジスタ1の構成

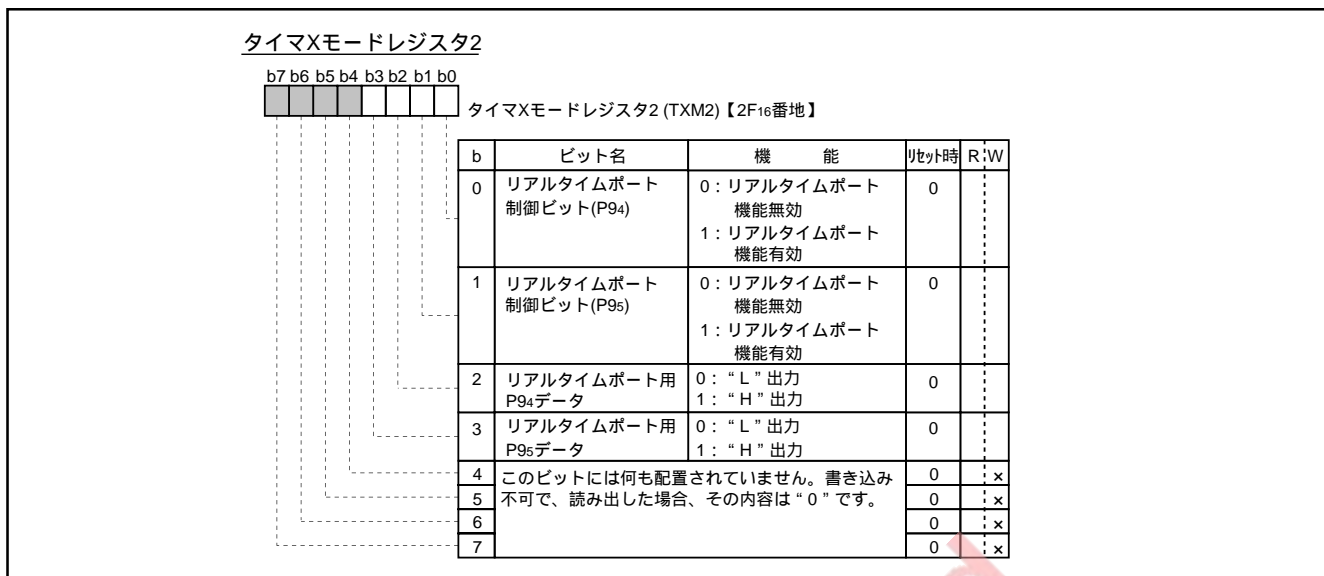


図3.5.25 タイマXモードレジスタ2の構成

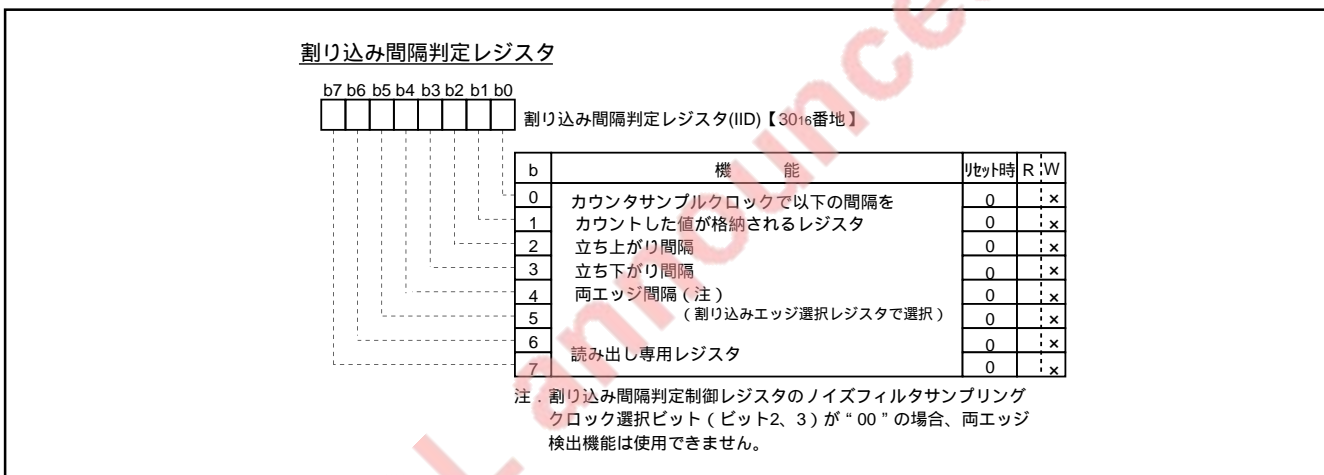


図3.5.26 割り込み間隔判定レジスタの構成

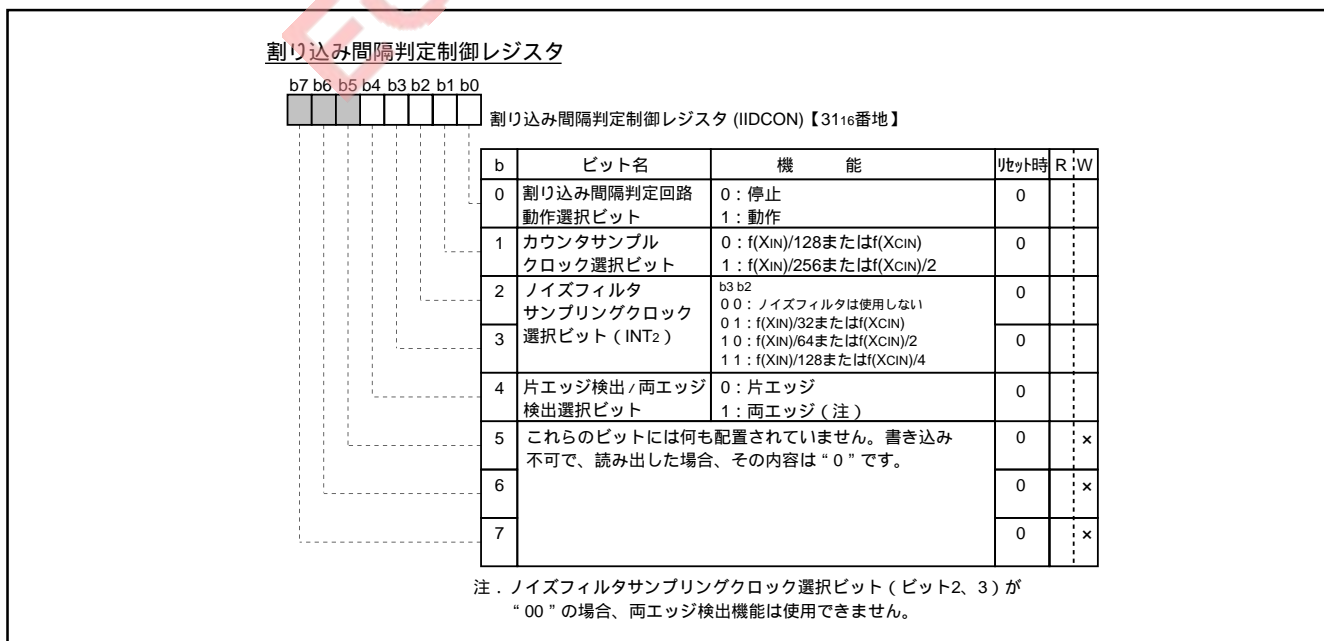


図3.5.27 割り込み間隔判定制御レジスタの構成

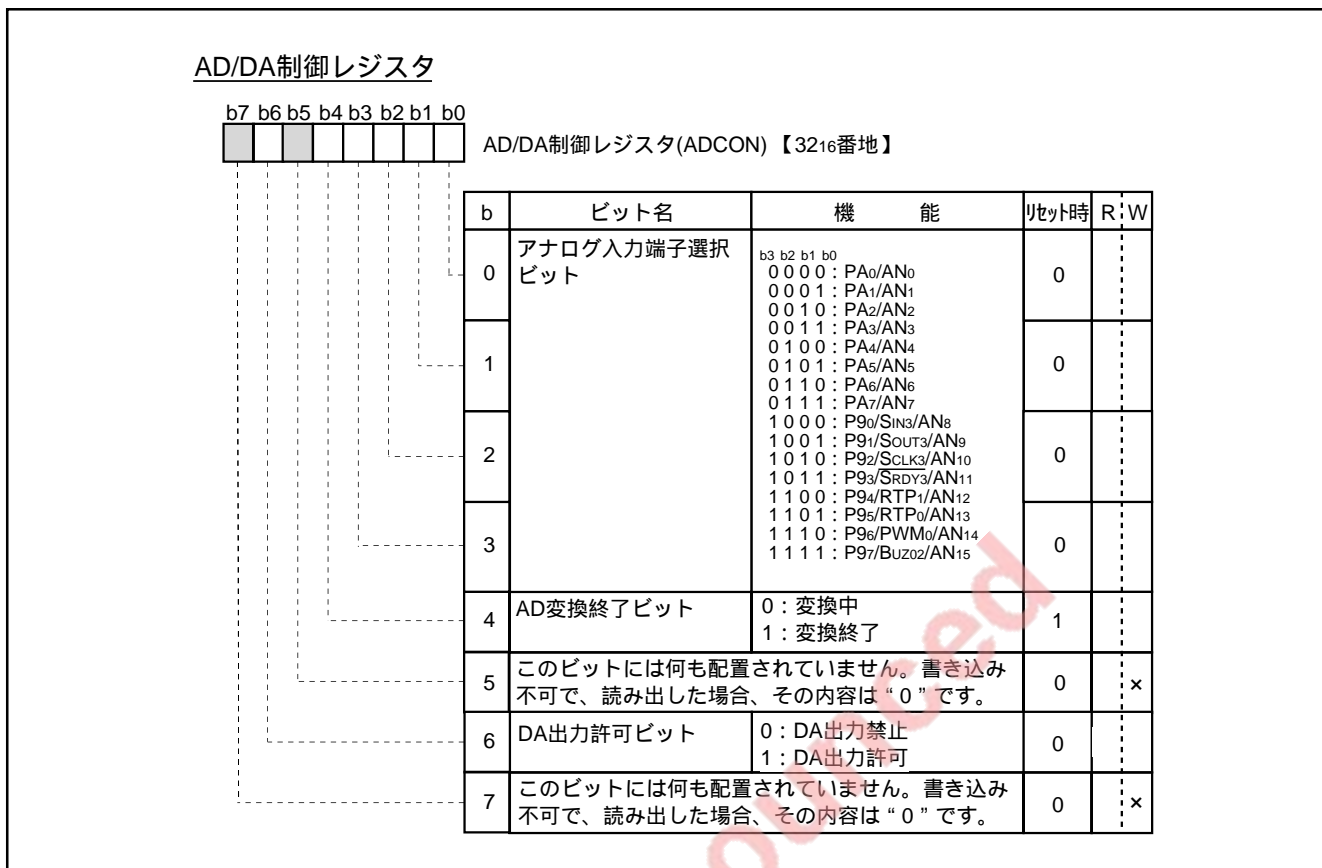


図3.5.28 AD/DA制御レジスタの構成

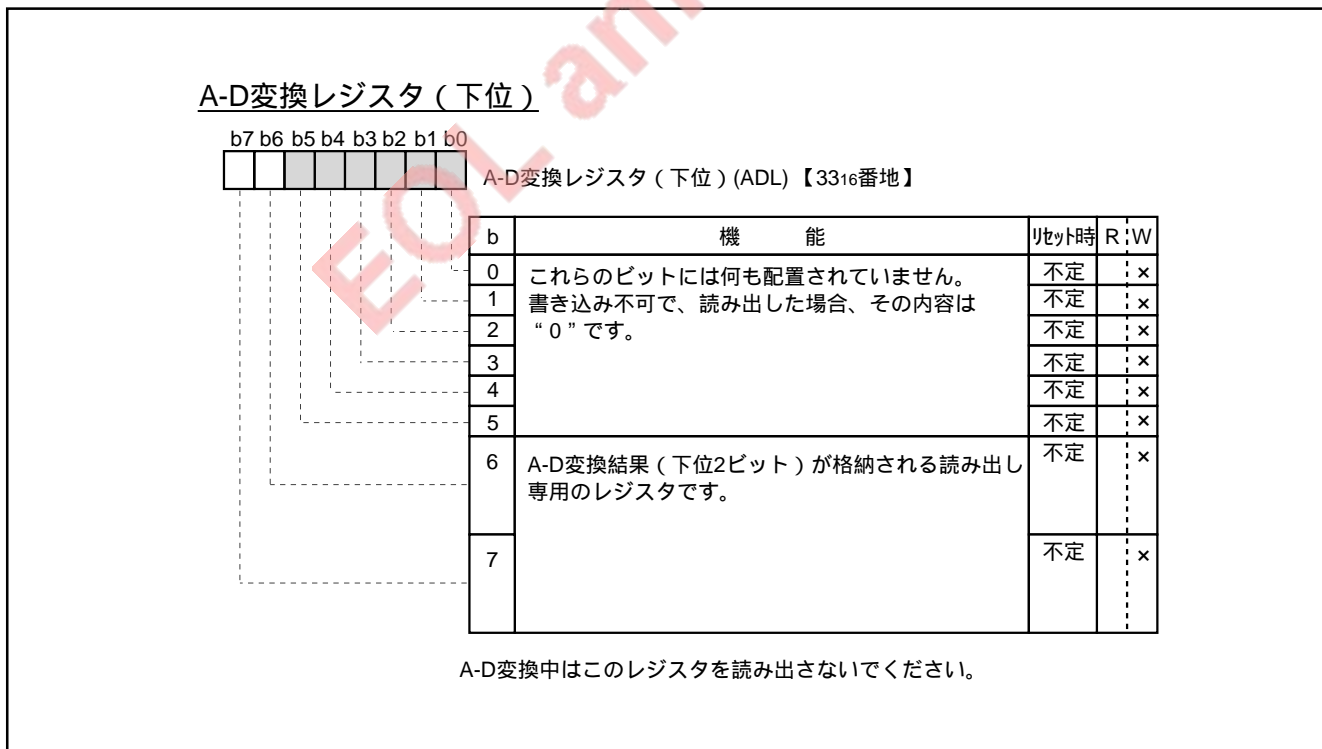


図3.5.29 A-D変換レジスタ(下位)の構成

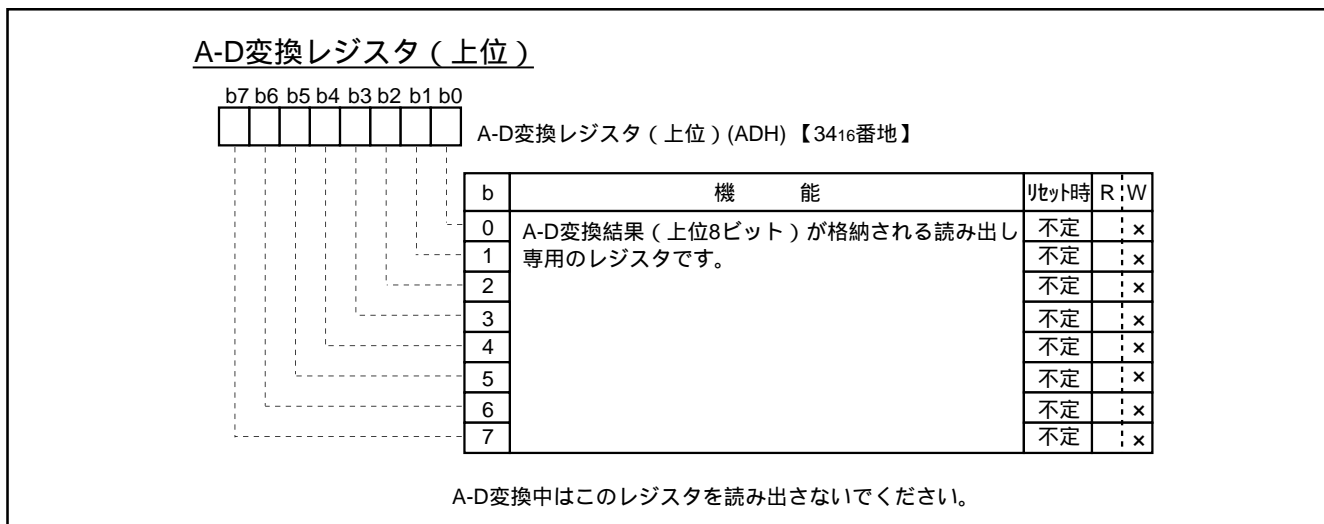


図3.5.30 A-D変換レジスタ(上位)の構成

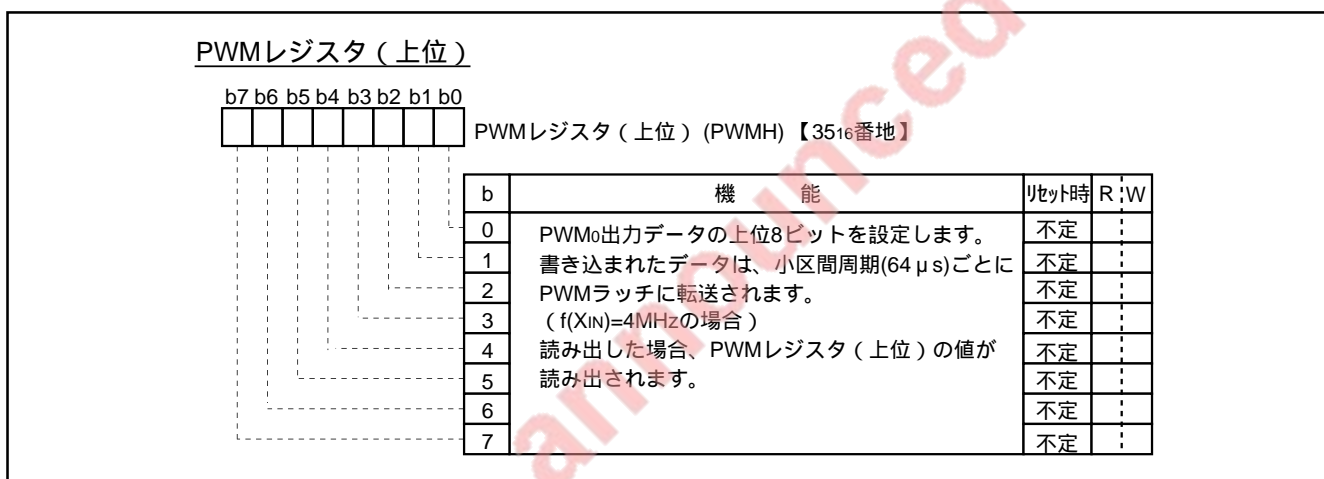


図3.5.31 PWMレジスタ(上位)の構成

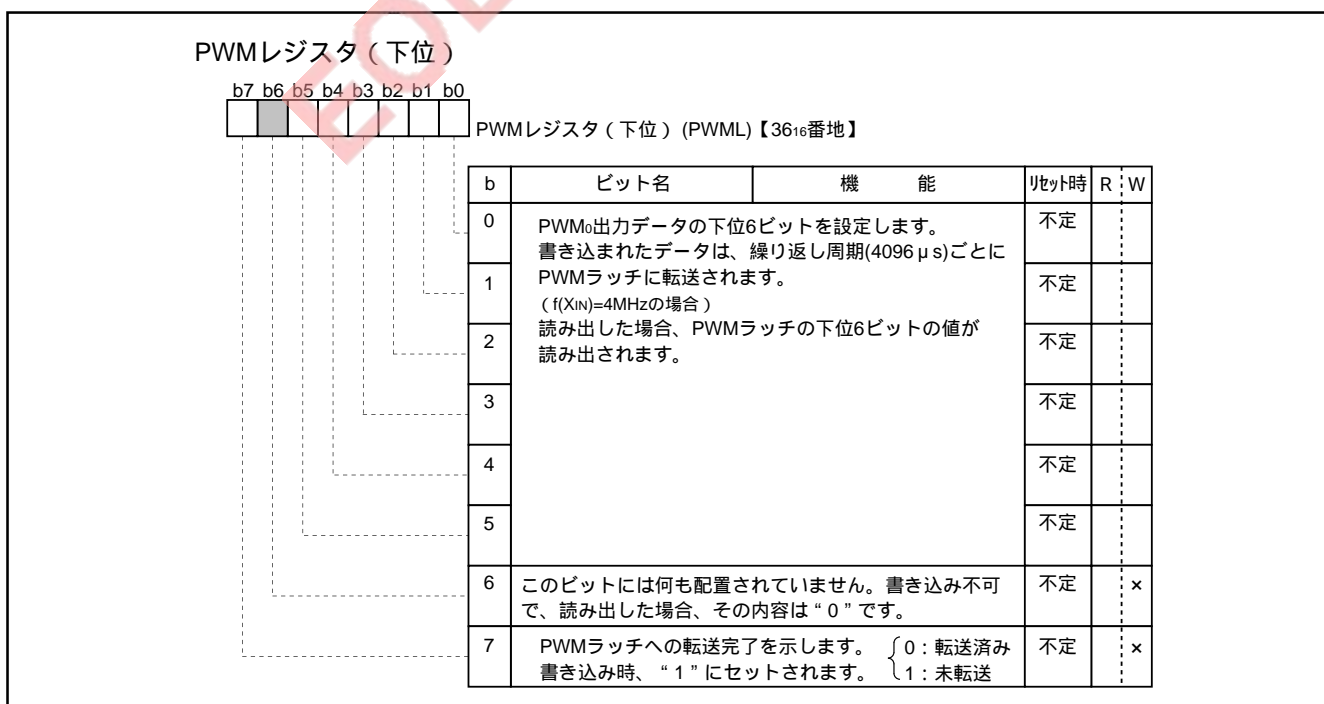


図3.5.32 PWMレジスタ(下位)の構成

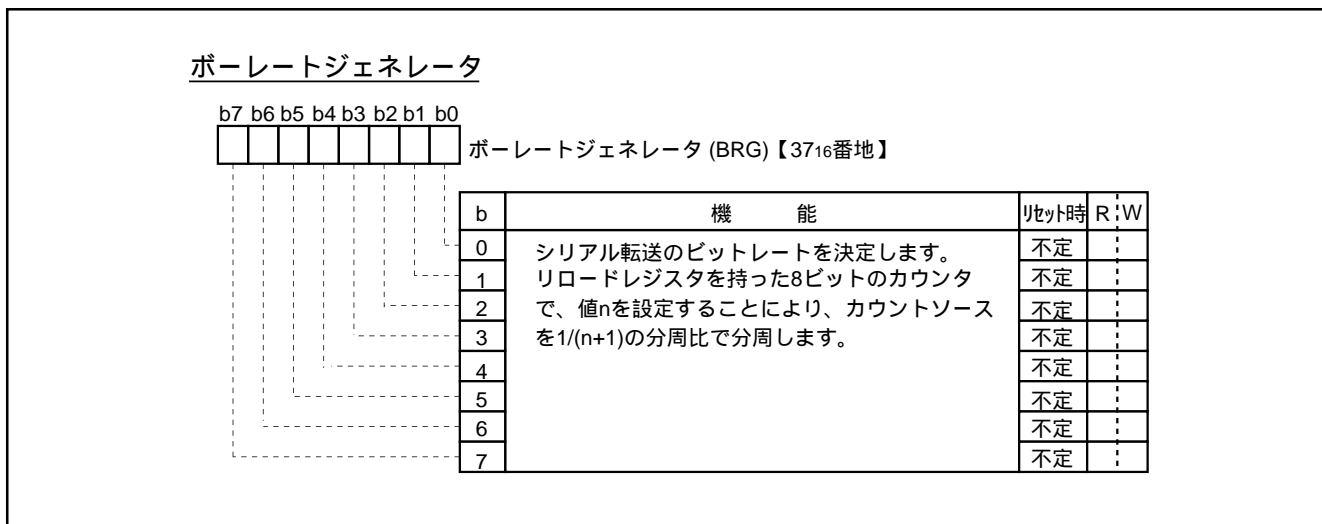


図3.5.33 ボーレートジェネレータの構成

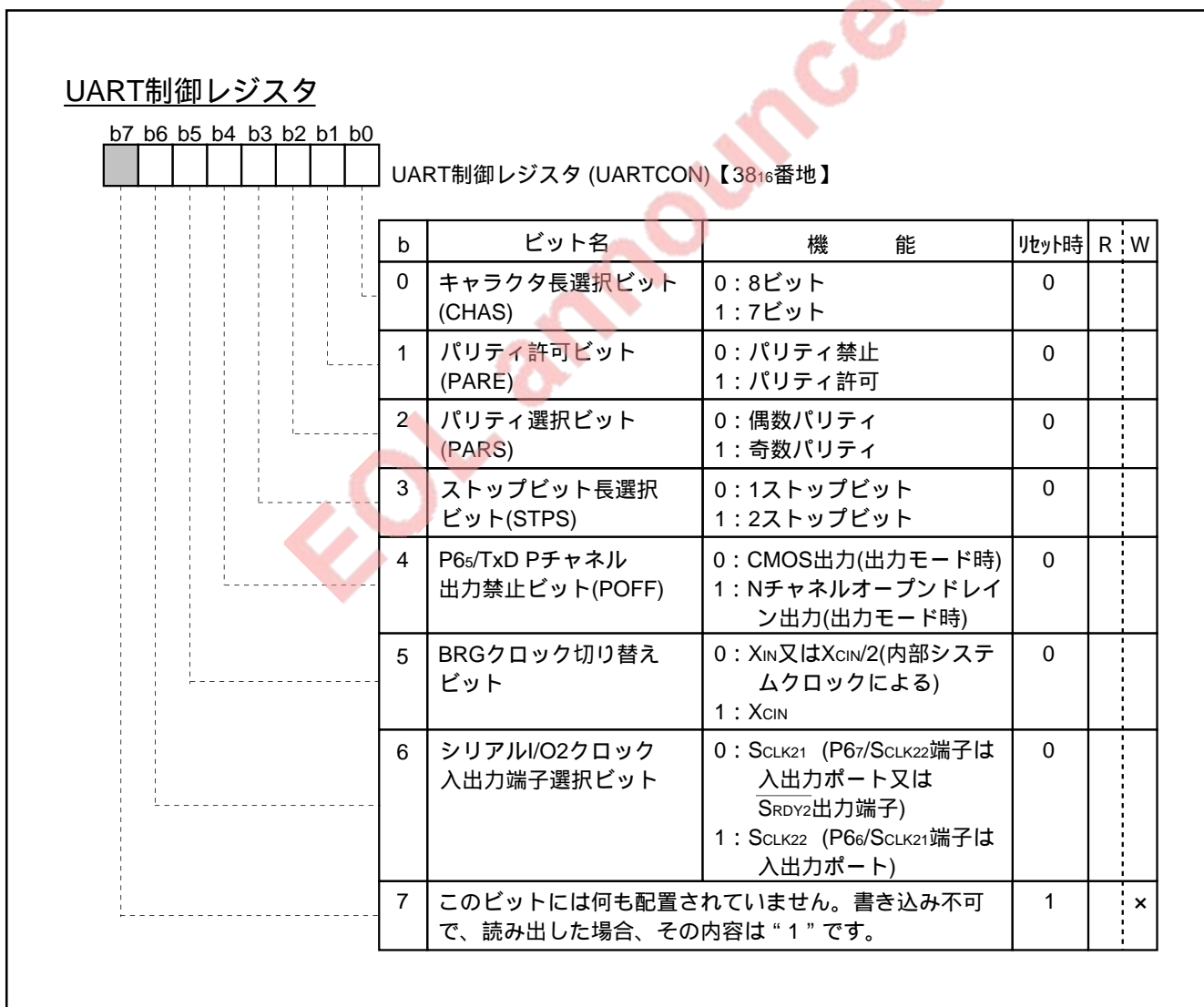


図3.5.34 UART制御レジスタの構成

割り込み要因切り替えレジスタ



図3.5.35 割り込み要因切り替えレジスタの構成

割り込みエッジ選択レジスタ

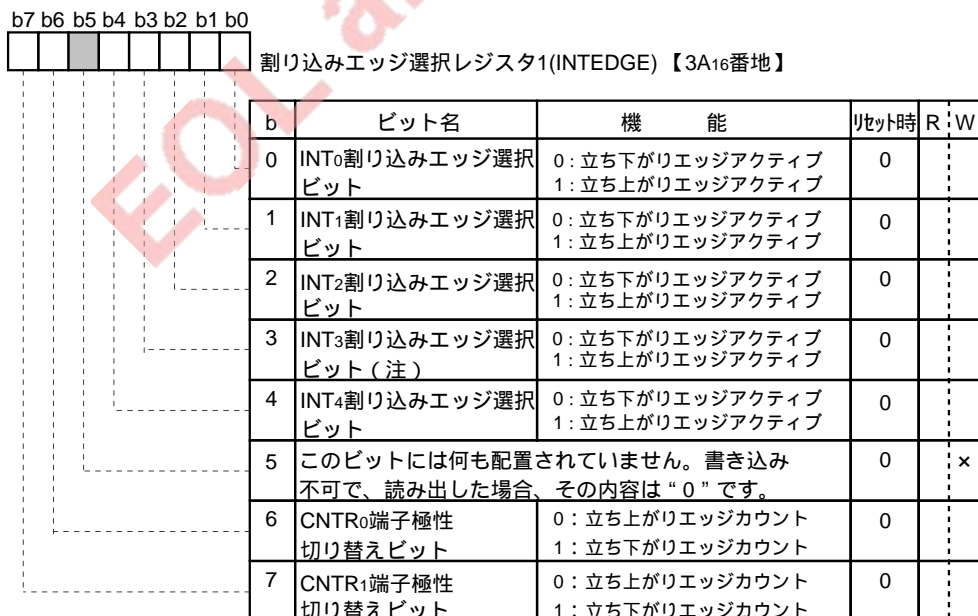
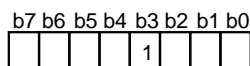


図3.5.36 割り込みエッジ選択レジスタの構成

CPUモードレジスタ



CPUモードレジスタ(CPUM)【3B16番地】

b	ビット名	機能	リセット時	R	W
0	プロセッサモードビット	b1 b0 0 0 : シングルチップモード	0		
1		0 1 : 1 0 : 1 1 : } 使用禁止	0		
2	スタックページ選択ビット	0 : 0ページ 1 : 1ページ	0		
3	このビットは“1”固定にしてください。		1		
4	ポートXc切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能	0		
5	メインクロック(XIN-XOUT)停止ビット	0 : 発振 1 : 停止	0		
6	メインクロック分周比選択ビット	0 : f(XIN) (高速モード) 1 : f(XIN)/4 (中速モード)	1		
7	内部システムクロック選択ビット	0 : XIN-XOUT選択(中/高速モード) 1 : XCIN-XCOUT選択(低速モード)	0		

注 . CPU書き換えモード時、b6,b7のビット構成は以下のようになります。

6	メインクロック分周比選択ビット	b7 b6 0 0 : =f(XIN) (高速モード) 0 1 : =f(XIN)/4 (中速モード)	1		
7		1 0 : =f(XCIN)/2 (低速モード) 1 1 : 使用禁止	0		

図3.5.37 CPUモードレジスタの構成

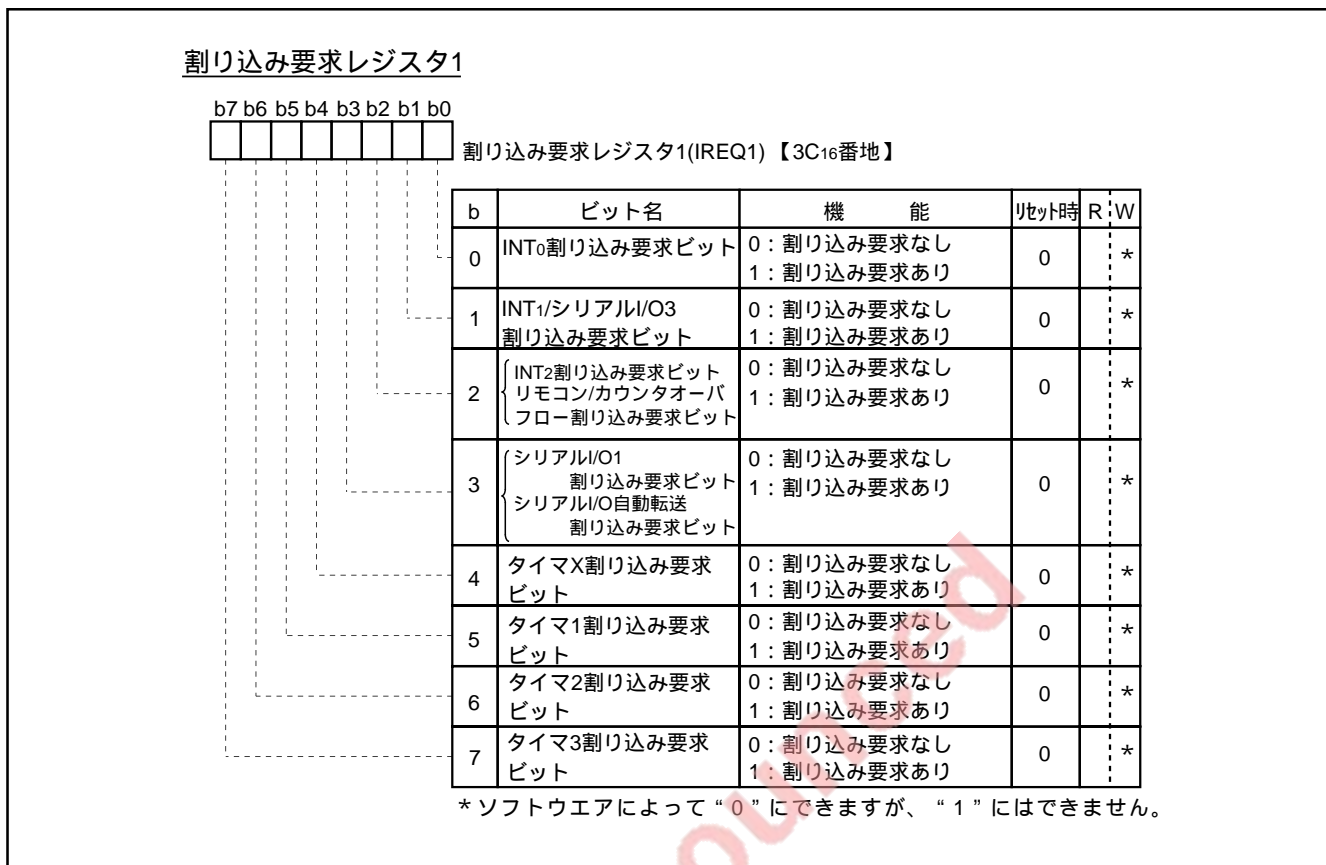


図3.5.38 割り込み要求レジスタ1の構成

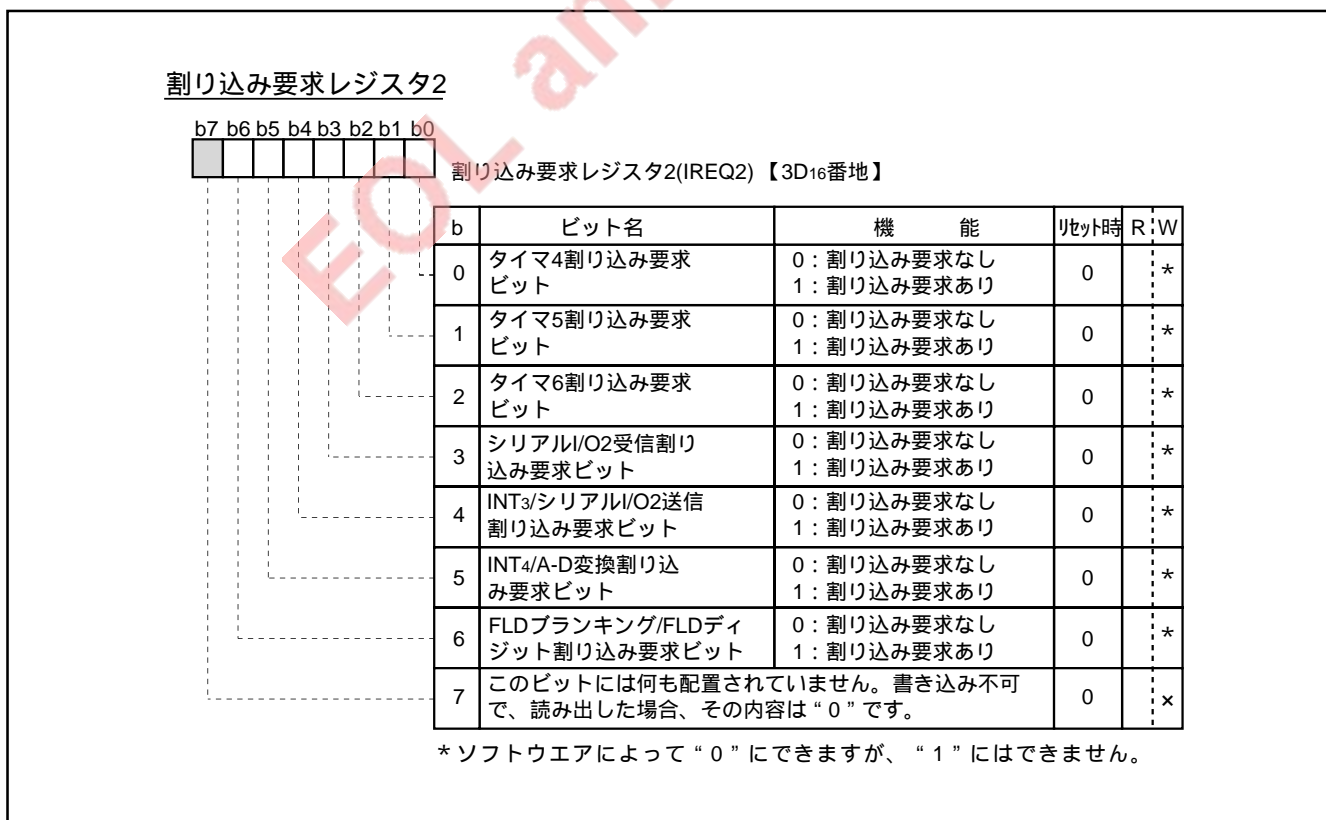


図3.5.39 割り込み要求レジスタ2の構成

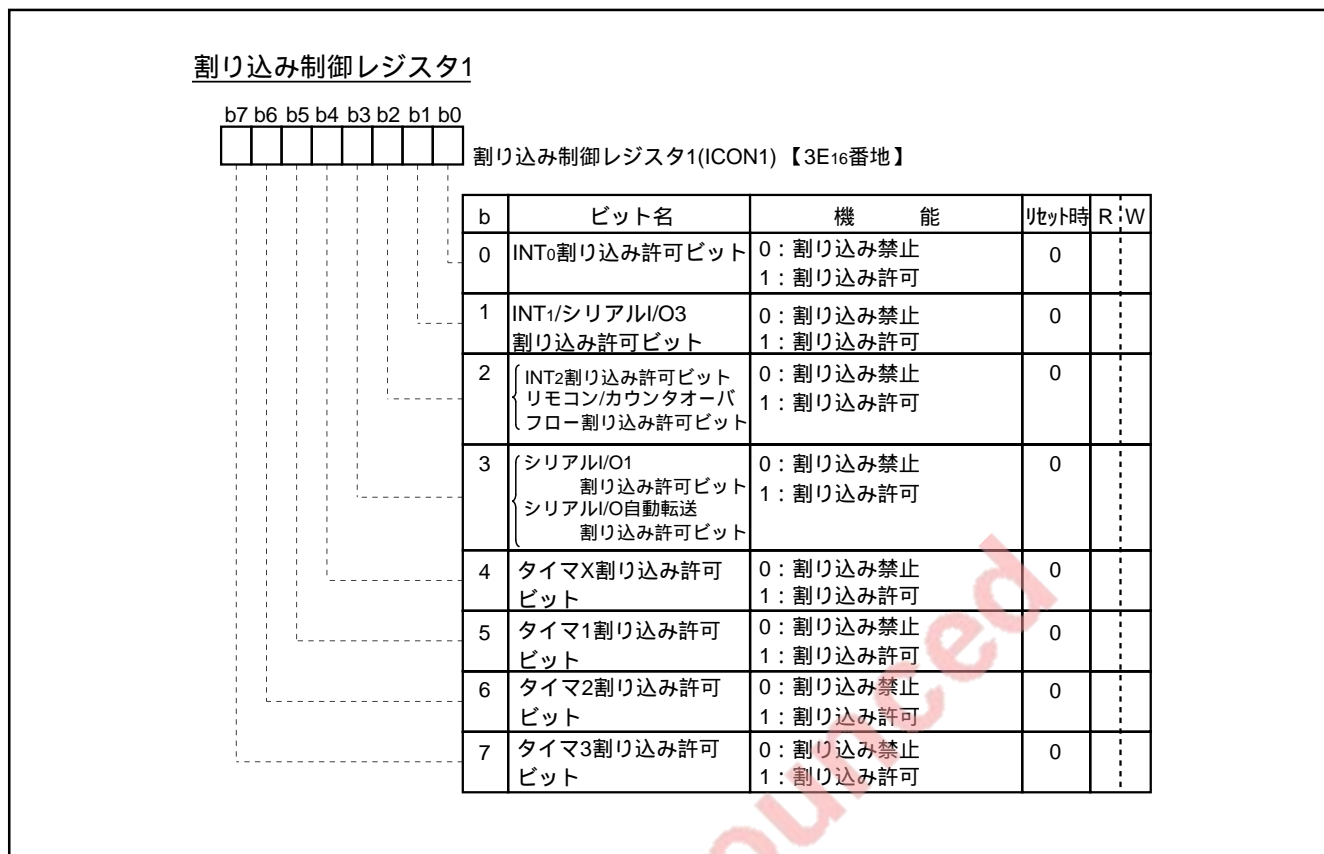


図3.5.40 割り込み制御レジスタ1の構成

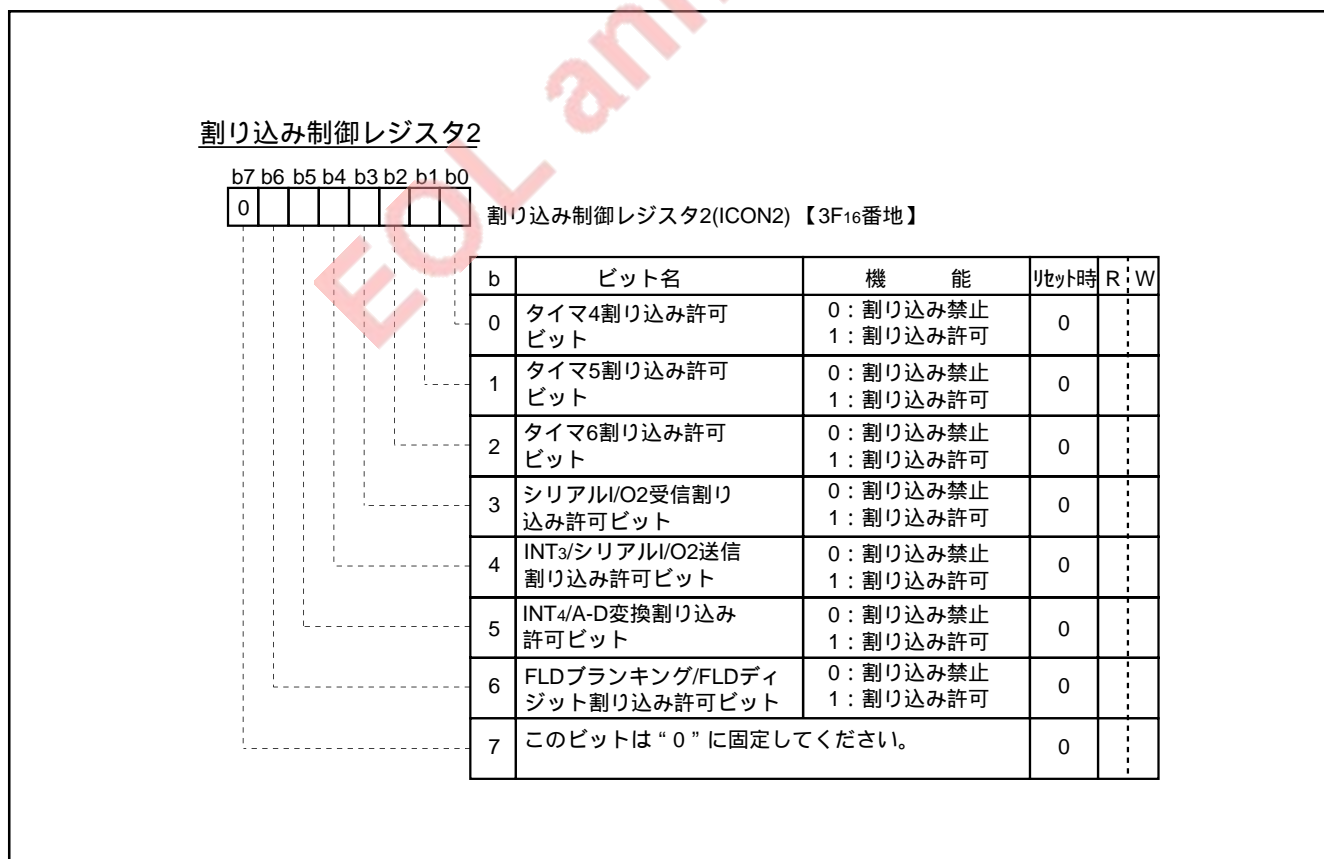


図3.5.41 割り込み制御レジスタ2の構成

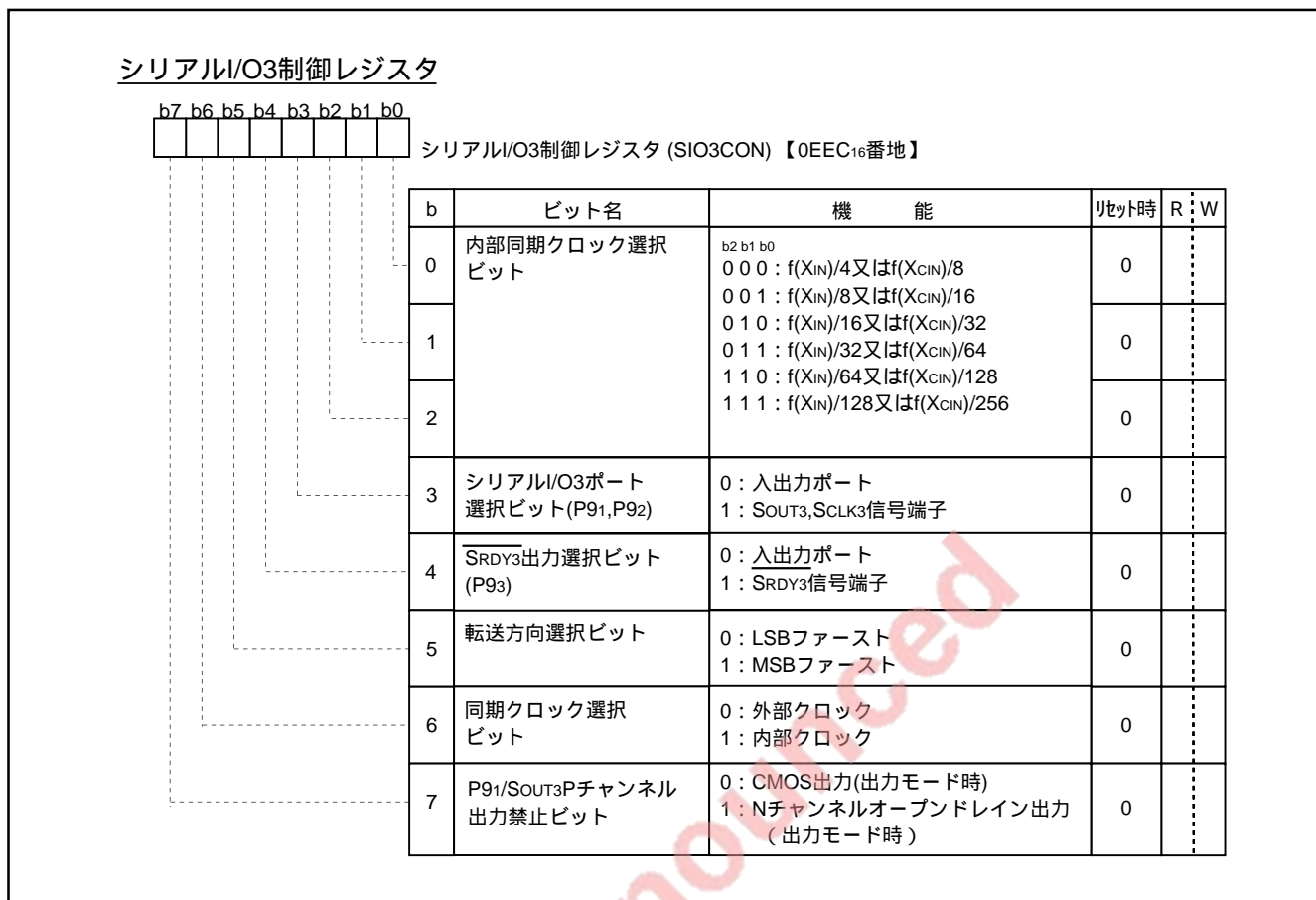


図3.5.42 シリアル/O3制御レジスタの構成

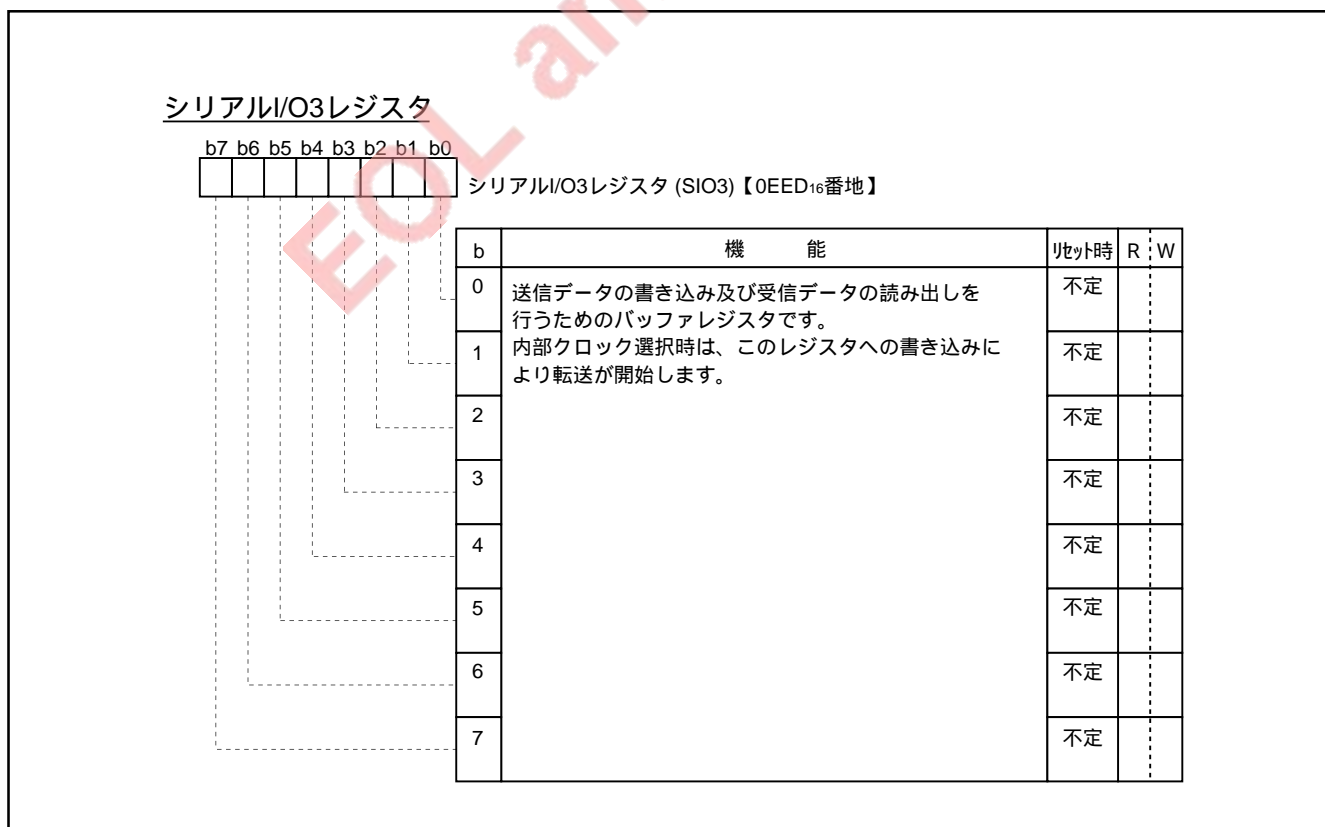


図3.5.43 シリアル/O3レジスタの構成

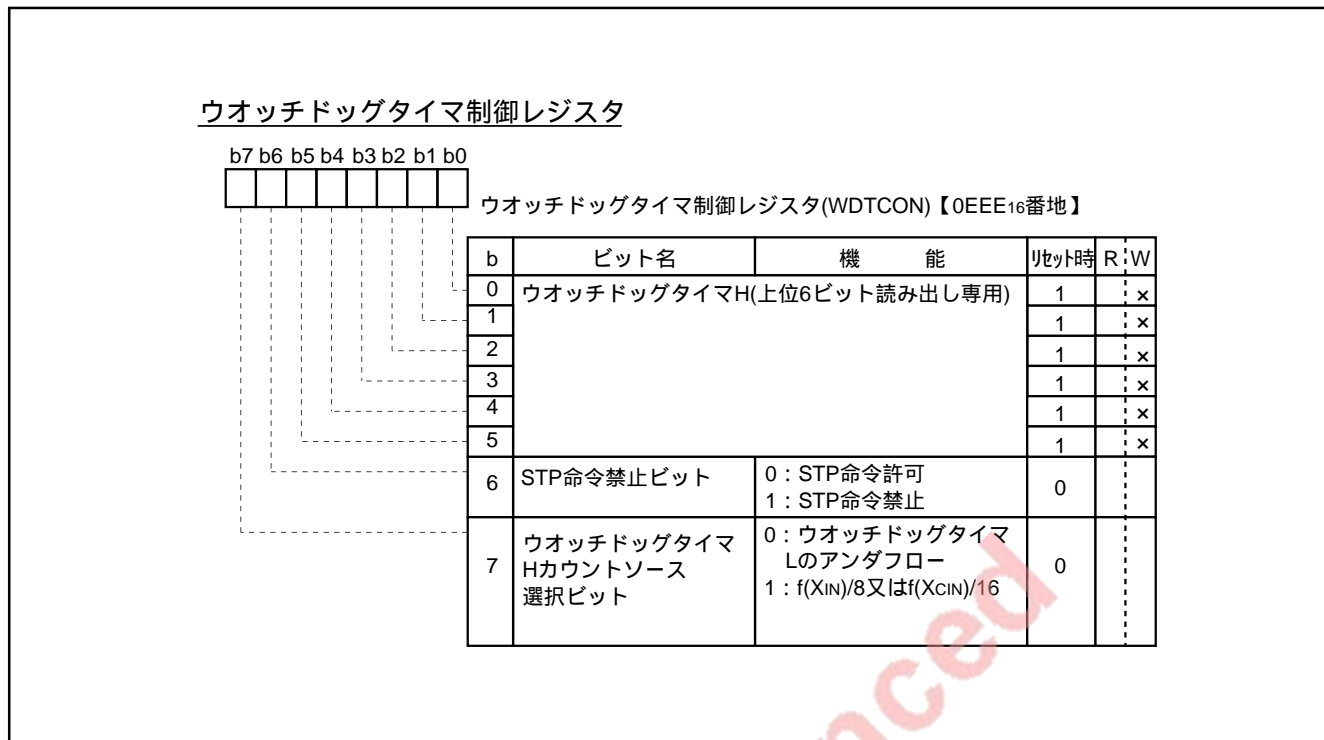


図3.5.44 ウォッチドッグタイマ制御レジスタの構成

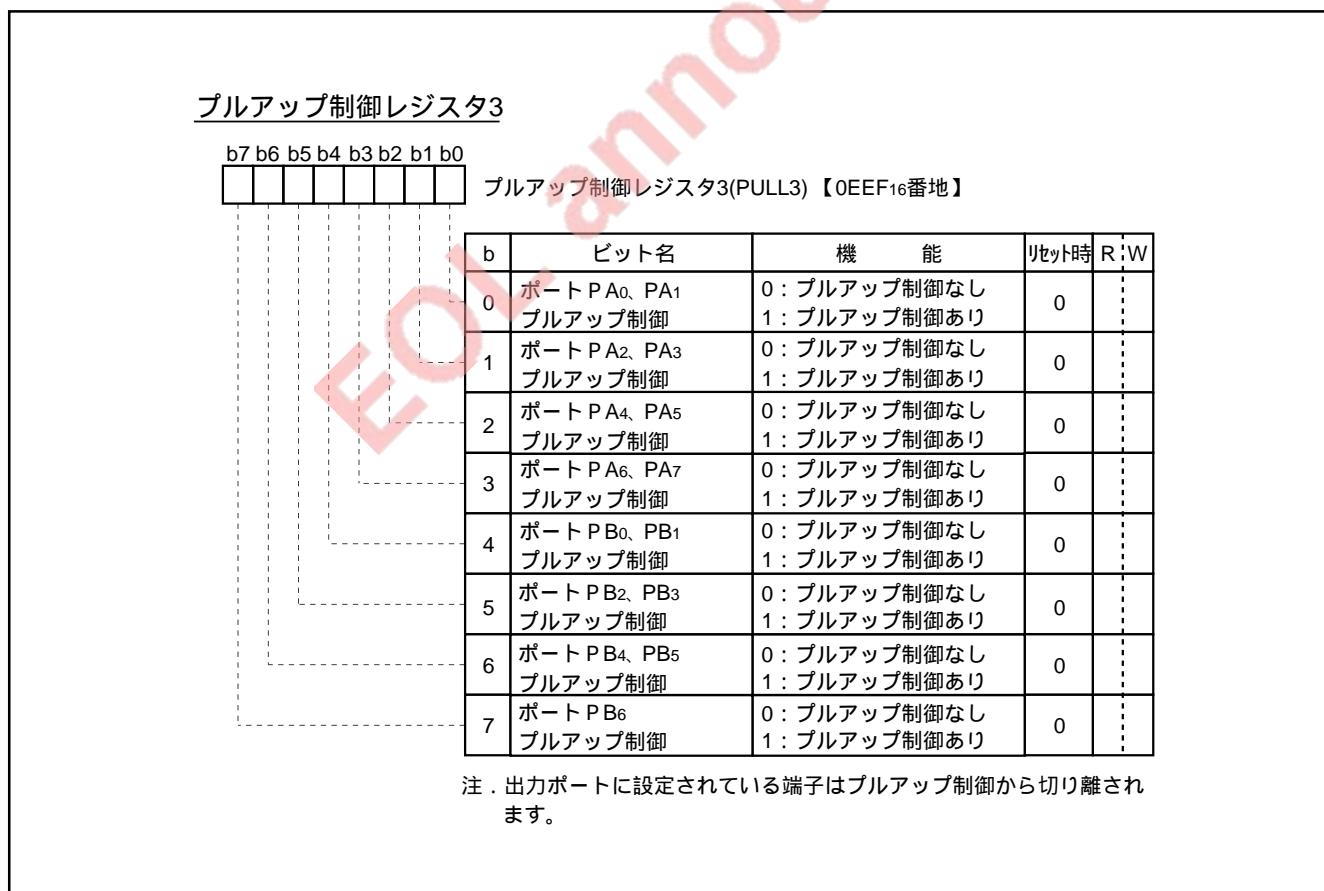
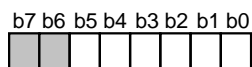


図3.5.45 プルアップ制御レジスタ3の構成

プルアップ制御レジスタ1



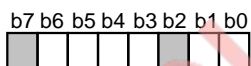
プルアップ制御レジスタ1(PULL1)【0EF0₁₆番地】

b	ビット名	機能	リセット時	R	W
0	ポート P 64、P 65 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
1	ポート P 66、P 67 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
2	ポート P 70、P 71 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
3	ポート P 72、P 73 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
4	ポート P 74、P 75 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
5	ポート P 76、P 77 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
6	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0” です。		0		×
7			0		×

注：出力ポートに設定されている端子はプルアップ制御から切り離されます。

図3.5.46 プルアップ制御レジスタ1の構成

プルアップ制御レジスタ2



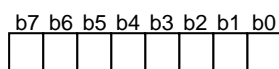
プルアップ制御レジスタ2(PULL2)【0EF1₁₆番地】

b	ビット名	機能	リセット時	R	W
0	ポート P 80、P 81 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
1	ポート P 82、P 83 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
2	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		×
3	ポート P 90、P 91 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
4	ポート P 92、P 93 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
5	ポート P 94、P 95 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
6	ポート P 96、P 97 プルアップ制御	0：プルアップ制御なし 1：プルアップ制御あり	0		
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		×

注：出力ポートに設定されている端子はプルアップ制御から切り離されます。

図3.5.47 プルアップ制御レジスタ2の構成

ポートP0ディジット出力設定切り替えレジスタ

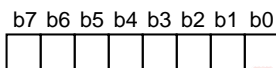


ポートP0ディジット出力設定切り替えレジスタ (P0DOR)【0EF2₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	ポートP0 ₀ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
1	ポートP0 ₁ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
2	ポートP0 ₂ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
3	ポートP0 ₃ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
4	ポートP0 ₄ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
5	ポートP0 ₅ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
6	ポートP0 ₆ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
7	ポートP0 ₇ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		

図3.5.48 ポートP0ディジット出力設定切り替えレジスタの構成

ポートP2ディジット出力設定切り替えレジスタ



ポートP2ディジット出力設定切り替えレジスタ (P2DOR)【0EF3₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	ポートP2 ₀ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
1	ポートP2 ₁ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
2	ポートP2 ₂ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
3	ポートP2 ₃ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
4	ポートP2 ₄ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
5	ポートP2 ₅ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
6	ポートP2 ₆ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		
7	ポートP2 ₇ FLD/ディジット切り替えビット	0 : FLD出力 1 : デジジット出力	0		

図3.5.49 ポートP2ディジット出力設定切り替えレジスタの構成

FLDCモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

FLDCモードレジスタ (FLDM) 【0EF4₁₆番地】

b	ビット名	機能	リセット時	R	W
0	自動表示制御ビット	0 : 汎用モード 1 : 自動表示モード	0		
1	表示スタートビット	0 : 表示停止 1 : 表示中 (“1”書き込みで表示スタート)	0		
2	Tscan制御ビット	$b3 b2$ 00 : FLDディジット割り込み (各ディジット立ち上がり時) 01 : 1 × Tdisp 10 : 2 × Tdisp 11 : 3 × Tdisp FLDブランキング割り込み (最終ディジット立ち下がり時)	0		
3			0		
4	タイミング数制御ビット	0 : 16タイミングモード 1 : 32タイミングモード (注2)	0		
5	階調表示モード 選択制御ビット	0 : 選択しない 1 : 選択する (注1、注2)	0		
6	Tdispカウンタ カウントソース選択ビット	0 : $f(X_{IN})/16$ 1 : $f(X_{IN})/64$	0		
7	高耐圧ポート駆動能力 選択ビット	0 : 駆動能力 強 1 : 駆動能力 弱	0		

注1. 階調表示モードを選択する場合、タイミング数は最大16タイミングとなります
(必ずタイミング数制御ビット(ビット4)を“0”にしてください)。
 2. タイミング数制御ビット(ビット4)、階調表示モード選択制御ビット(ビット5)
 を変更する場合、表示スタートビット(ビット1)を“0”にして表示停止状態で行ってください。

図3.5.50 FLDCモードレジスタの構成

Tdisp時間設定レジスタ

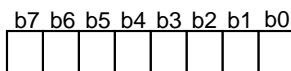
b7 b6 b5 b4 b3 b2 b1 b0

Tdisp時間設定レジスタ (TDISP) 【0EF5₁₆番地】

b	機能	リセット時	R	W
0	Tdisp時間を設定するレジスタです。 設定値をnとすると、 $Tdisp=(n+1) \times$ カウントソース となります。 このレジスタを読み出した場合、Tdisp時間設定レジスタ のカウンタ値が読み出されます。 (例) $f(X_{IN})=4MHz$ 、 FLDCモードレジスタ $b6=0$ (Tdispカウンタカウントソースに $f(X_{IN})/16$ を選択)、 Tdisp時間設定レジスタ=200(C8 ₁₆)の場合 $Tdisp=(200+1) \times 4 \mu s=804 \mu s$ となります。	0		
1		0		
2		0		
3		0		
4		0		
5		0		
6		0		
7		0		

図3.5.51 Tdisp時間設定レジスタの構成

TOFF1時間設定レジスタ



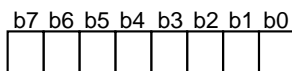
TOFF1時間設定レジスタ (TOFF1) 【0EF6₁₆番地】

b	機能	リセット時	R	W
0	TOFF1時間を設定するレジスタです。 設定値をn1とすると、 TOFF1=n1 x カウントソース となります。	1		
1		1		
2	(例) f(X _{IN})=4MHz、 FLDCモードレジスタ b6=0 (T _{disp} カウンタカウントソースにf(X _{IN})/16を選択)、 TOFF1時間設定レジスタ=30(1E ₁₆)の場合	1		
3		1		
4	TOFF1=30 x 4 μs=120 μs となります。	1		
5		1		
6		1		
7		1		

注 . 03₁₆以上の値を設定してください。

図3.5.52 TOFF1時間設定レジスタの構成

TOFF2時間設定レジスタ



TOFF2時間設定レジスタ (TOFF2) 【0EF7₁₆番地】

b	機能	リセット時	R	W
0	TOFF2時間を設定するレジスタです。 設定値をn2とすると、 TOFF2=n2 x カウントソース となります。	1		
1	ただし、このTOFF2時間の設定は、 階調表示モード	1		
2	かつ階調表示制御RAMの値が “ 1(=暗表示) ” のFLDポートにのみ有効です。	1		
3		1		
4	(例) f(X _{IN})=4MHz、 FLDCモードレジスタ b6=0 (T _{disp} カウンタカウントソースにf(X _{IN})/16を選択)、 TOFF2時間設定レジスタ=180(B4 ₁₆)の場合	1		
5	TOFF2=180 x 4 μs=720 μs となります。	1		
6		1		
7		1		

注 . ポートP8FLD出力制御レジスタ(0EFC₁₆番地)のTOFF2制御ビット(ビット7)を “ 1 ” にした場合は、TOFF2制御レジスタには03₁₆以上の値を設定してください。

図3.5.53 TOFF2時間設定レジスタの構成

FLDデータポインタ / FLDデータポインタリロードレジスタ

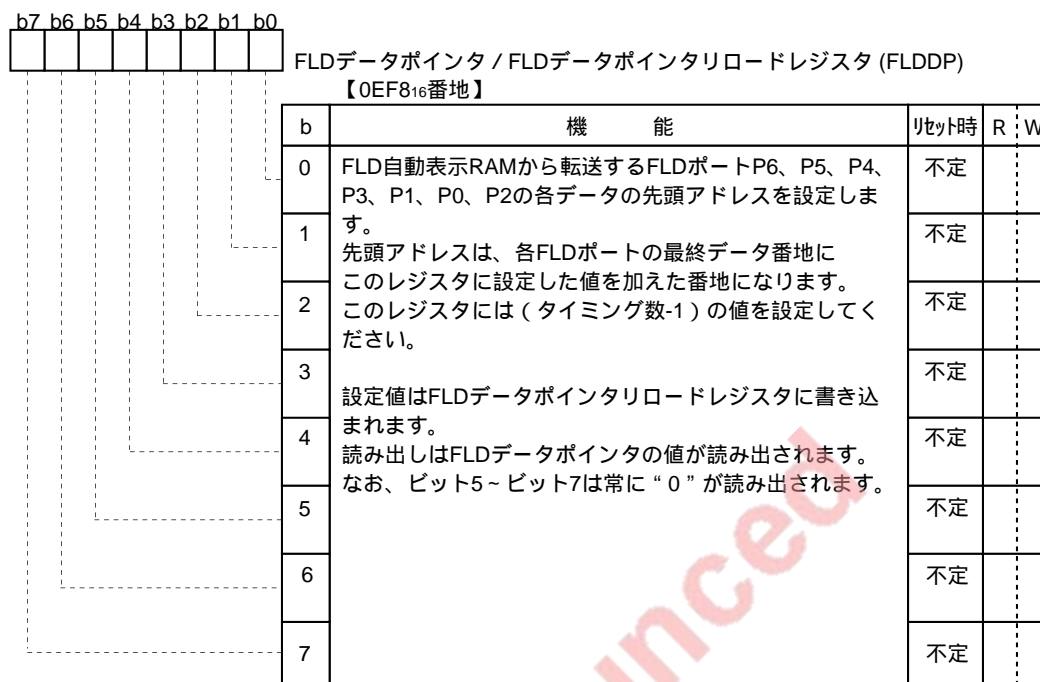


図3.5.54 FLDデータポインタ / FLDデータポインタリロードレジスタの構成

ポートP4FLD/ポート切り替えレジスタ

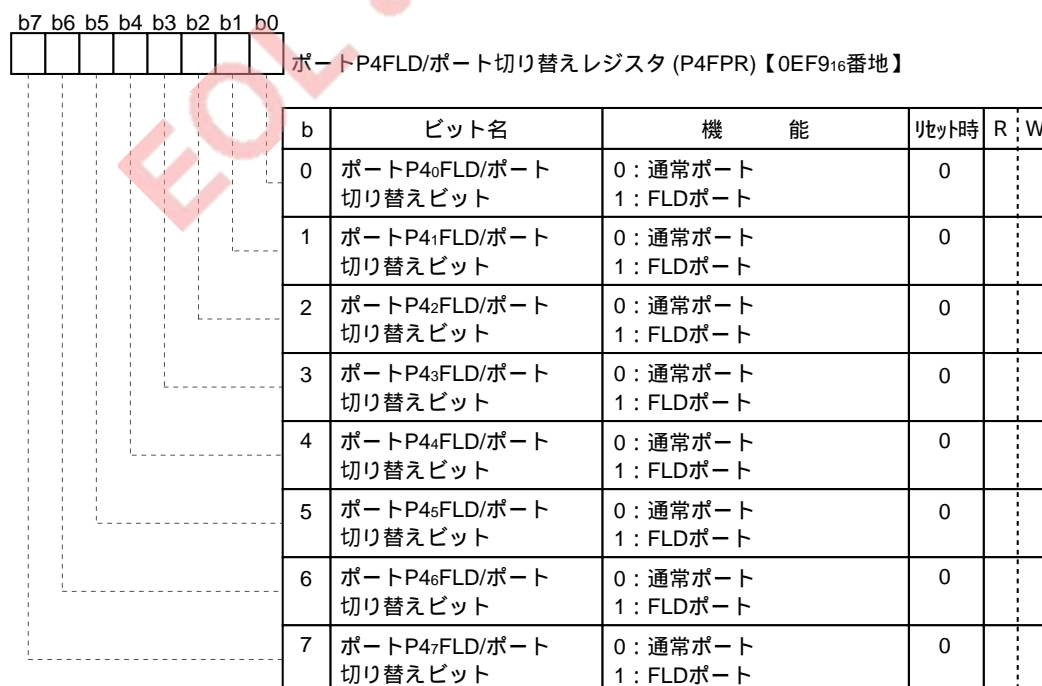
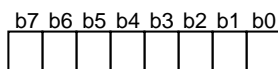


図3.5.55 ポートP4FLD / ポート切り替えレジスタの構成

ポートP5FLD/ポート切り替えレジスタ

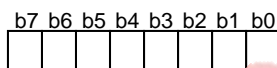


ポートP5FLD/ポート切り替えレジスタ (P5FPR)【0EFA₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	ポートP5 ₀ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
1	ポートP5 ₁ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
2	ポートP5 ₂ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
3	ポートP5 ₃ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
4	ポートP5 ₄ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
5	ポートP5 ₅ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
6	ポートP5 ₆ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
7	ポートP5 ₇ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		

図3.5.56 ポートP5FLD / ポート切り替えレジスタの構成

ポートP6FLD/ポート切り替えレジスタ

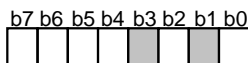


ポートP6FLD/ポート切り替えレジスタ (P6FPR)【0EFB₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	ポートP6 ₀ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
1	ポートP6 ₁ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
2	ポートP6 ₂ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
3	ポートP6 ₃ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
4	ポートP6 ₄ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
5	ポートP6 ₅ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
6	ポートP6 ₆ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		
7	ポートP6 ₇ FLD/ポート切り替えビット	0 : 通常ポート 1 : FLDポート	0		

図3.5.57 ポートP6FLD / ポート切り替えレジスタの構成

FLD出力制御レジスタ

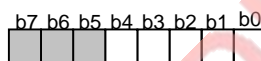


FLD出力制御レジスタ (FLDCON) 【0EFC₁₆番地】

b	ビット名	機能	リセット時	R	W
0	P64～P67FLD出力反転ビット	0：通常出力 1：反転出力	0		
1	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		x
2	P64～P67Toff無効ビット	0：通常動作 1：Toff無効	0		
3	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		x
4	P73ディマー出力制御ビット	0：通常ポート 1：ディマー出力	0		
5	CMOSポートToff区間有無ビット	0：Toff区間無し 1：Toff区間有り	0		
6	高耐圧ポートToff区間有無ビット	0：Toff区間無し 1：Toff区間有り	0		
7	Toff2SET/RESET変更ビット	0：Toff2はリセット（セットはToff1） 1：Toff2はセット（リセットはTdisp）	0		

図3.5.58 FLD出力制御レジスタの構成

ブザー出力制御レジスタ



ブザー出力制御レジスタ (BUZCON) 【0EFD₁₆番地】

b	ビット名	機能	リセット時	R	W
0	出力周波数選択ビット	b1 b0 00：1kHz (f(X _{IN})/4096) 01：2kHz (f(X _{IN})/2048) 10：4kHz (f(X _{IN})/1024) 11：使用禁止	0		
1			0		
2	出力ポート選択ビット	b3 b2 00：P77,P97は通常ポート 01：P77/Buz01はブザー出力 10：P97/Buz02/AN15はブザー出力 11：使用禁止	0		
3			0		
4	ブザー出力ON/OFFビット	0：ブザー出力OFF(“0”出力) 1：ブザー出力ON	0		
5	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		x
6			0		x
7			0		x

図3.5.59 ブザー出力制御レジスタの構成

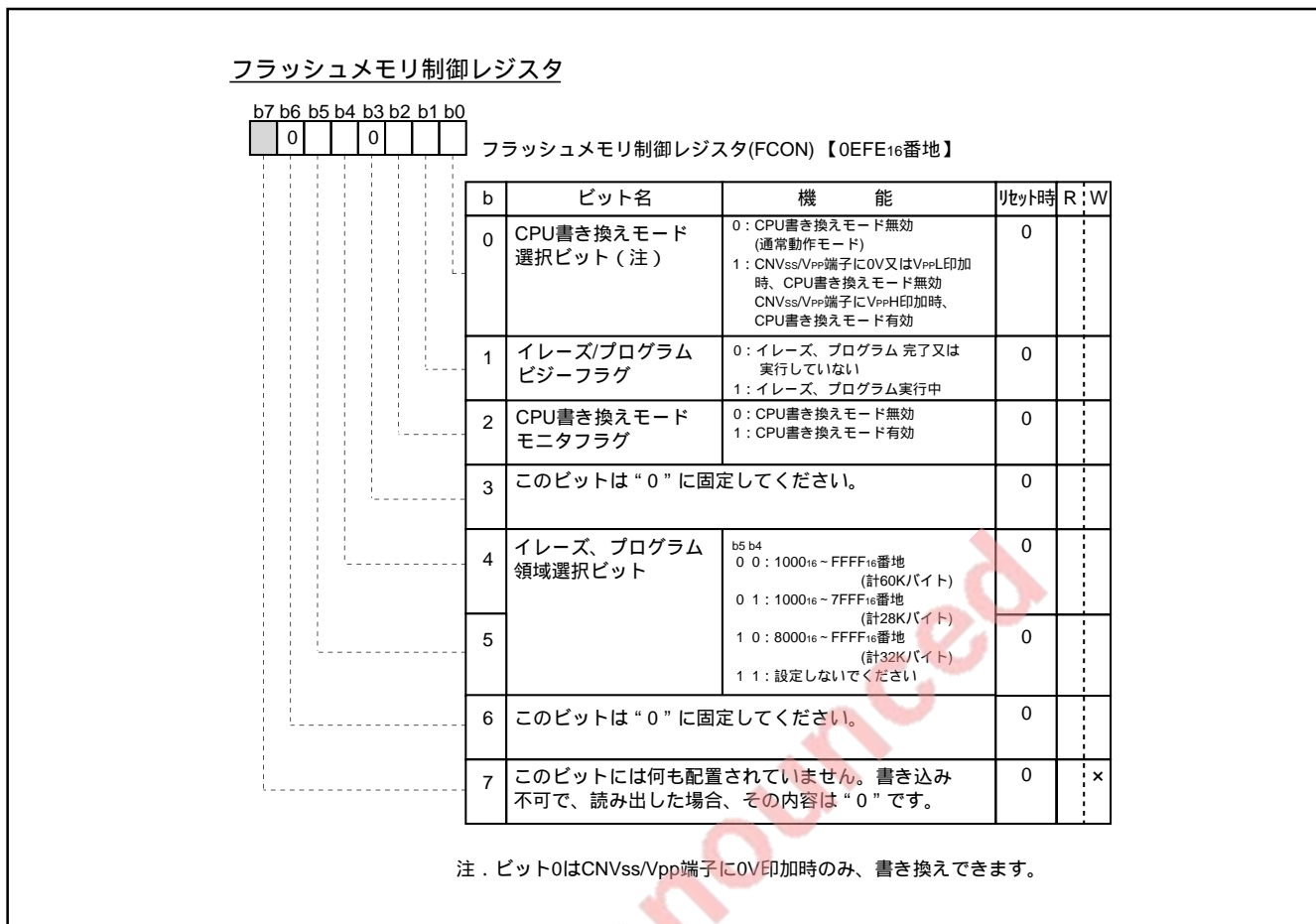


図3.5.60 フラッシュメモリ制御レジスタの構成

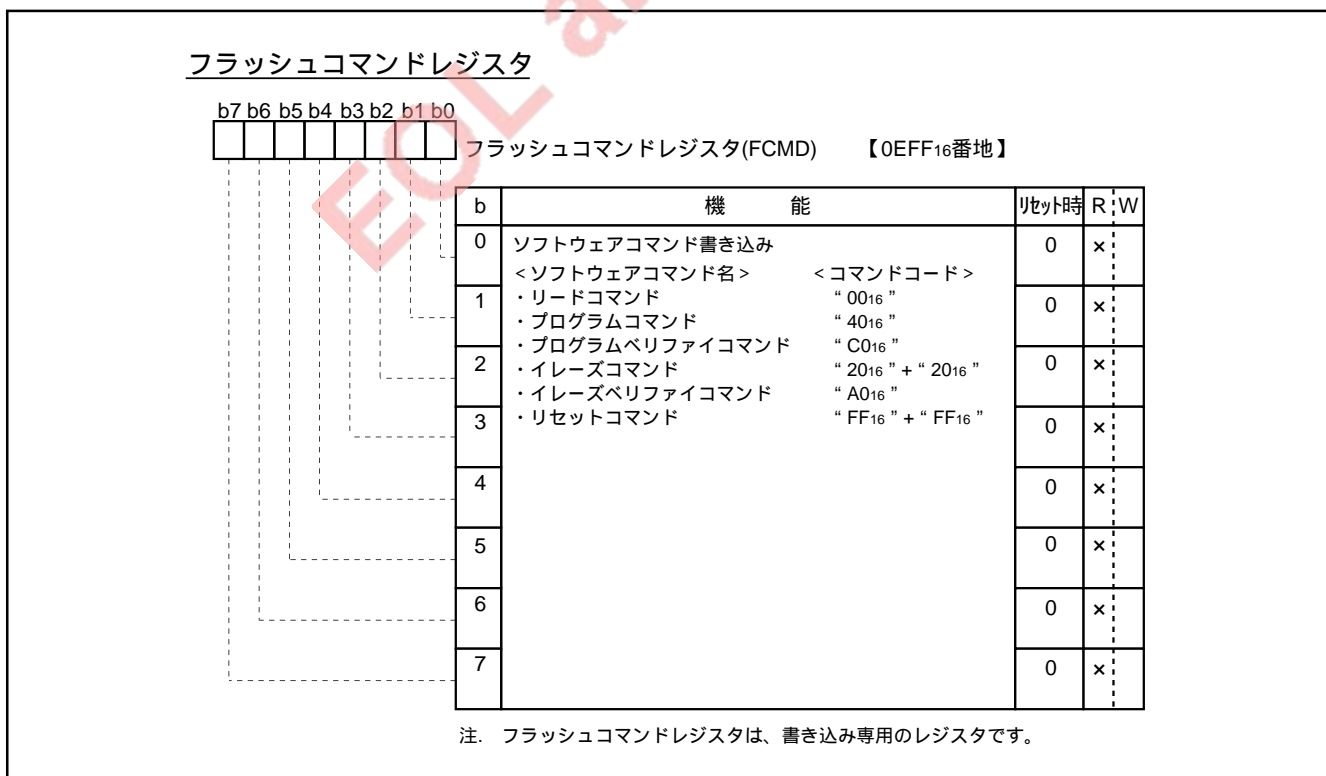


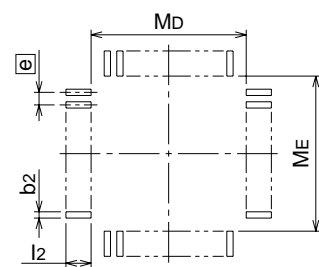
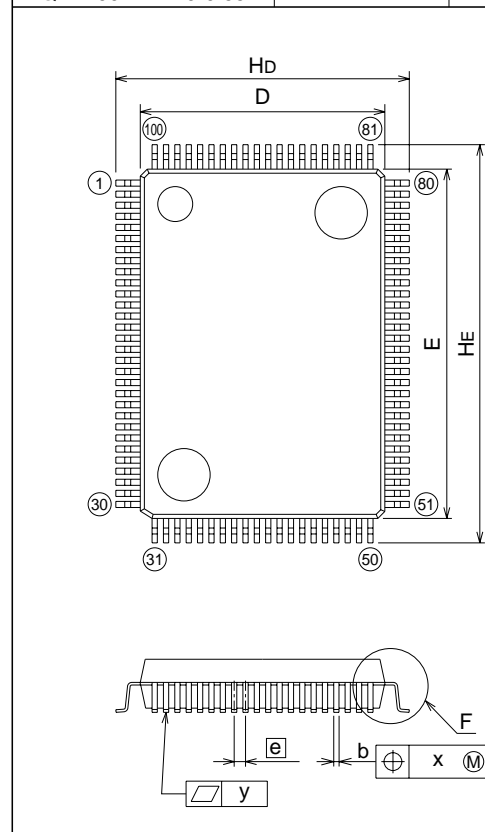
図3.5.61 フラッシュコマンドレジスタの構成

3.6 パッケージ寸法図

100P6S-A

Plastic 100pin 14×20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
Hd	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
θ	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
MD	-	14.6	-
ME	-	20.6	-

EOL announced

3.7 命令コード一覧表

D7 ~ D4 \ D3 ~ D0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	-	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	-	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	-	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	-	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	-	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	-	BBC 2, A	-	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	-	CLB 2, A	-	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	MUL ZP, X	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	-	BBC 3, A	-	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	-	CLB 3, A	-	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	-	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	-	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	-	STA ABS, X	-	CLB 4, ZP
1010	A	LDY	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	-	BBC 6, A	-	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	-	CLB 6, A	-	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX	SBC IND, X	DIV ZP, X	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	-	BBC 7, A	-	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	-	CLB 7, A	-	SBC ABS, X	INC ABS, X	CLB 7, ZP

- 3バイト命令
- 2バイト命令
- 1バイト命令

3.9 M35501FP

概要

M35501FPは、マイクロコンピュータの出力ポートに接続することにより、蛍光表示管用のデジタル信号を生成することができます。

デジタル数は、1～16桁まで設定可能で、本ICを複数個接続することにより、17桁以上の設定をすることも可能です。

当社 8ビットマイクロコンピュータ38B7グループのCMOS FLD出力端子と接続することにより、容易に蛍光表示管の表示数を増やすことができ、家電・オーディオ製品などの蛍光表示管制御に適しています。

特長

- デジタル出力数 最大16本
 - ・1～16本の任意の出力本数を設定することが可能。
 - ・本製品を複数個使用することにより増設可能。
 - ・出力形式は、高耐圧Pチャネルオープンドレインで、V_{EE}端子との間にプルダウン抵抗を内蔵。
- パワーオンリセット回路 内蔵
- 電源電圧 4.0～5.5V
- プルダウン電源電圧 V_{CC} - 43V
- 動作周囲温度 - 20～85
- パッケージ 24P2E
- 消費電力 250 μW
(動作クロック100kHz時)

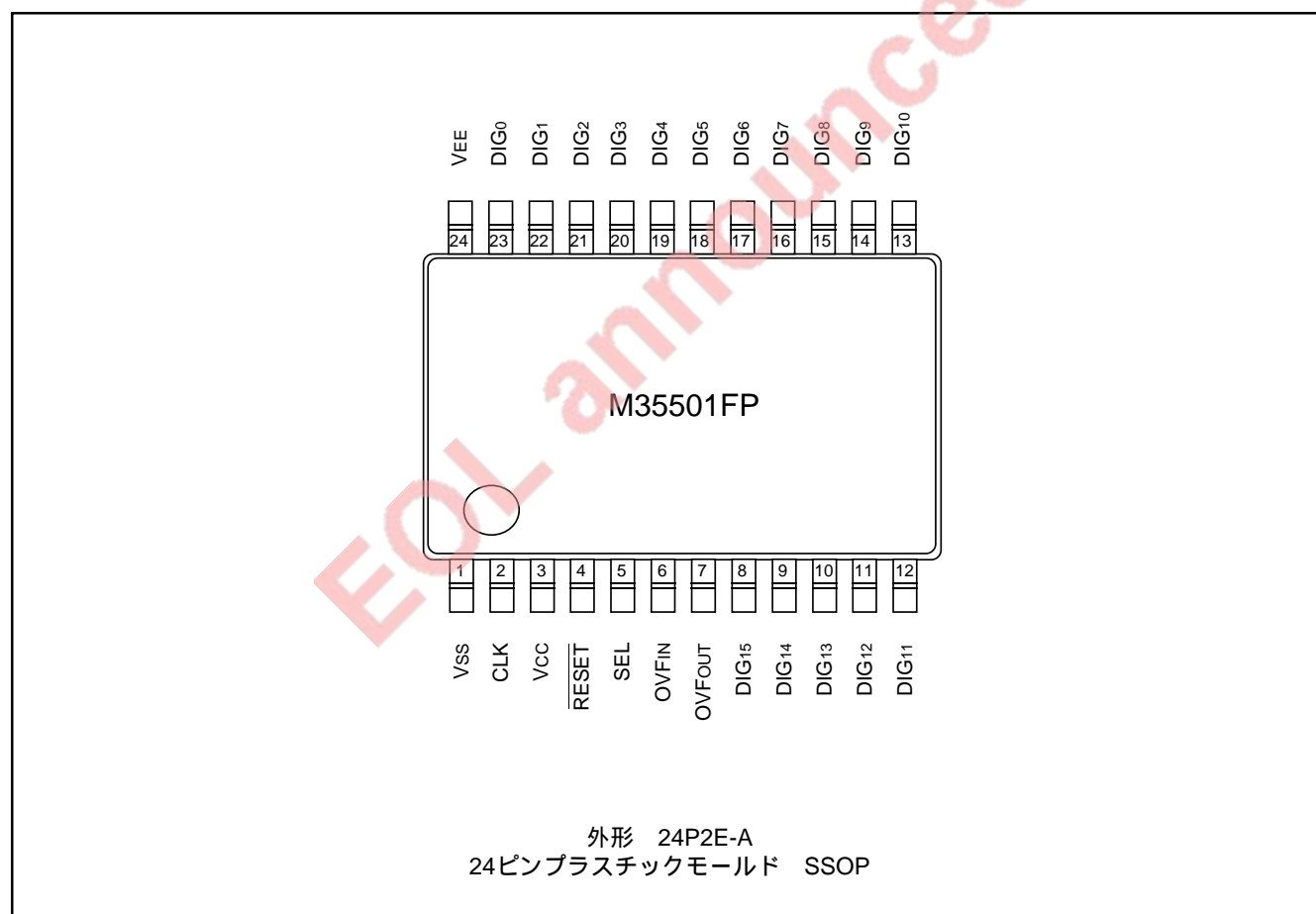


図3.9.1 M35501FPのピン接続図

機能ブロック図

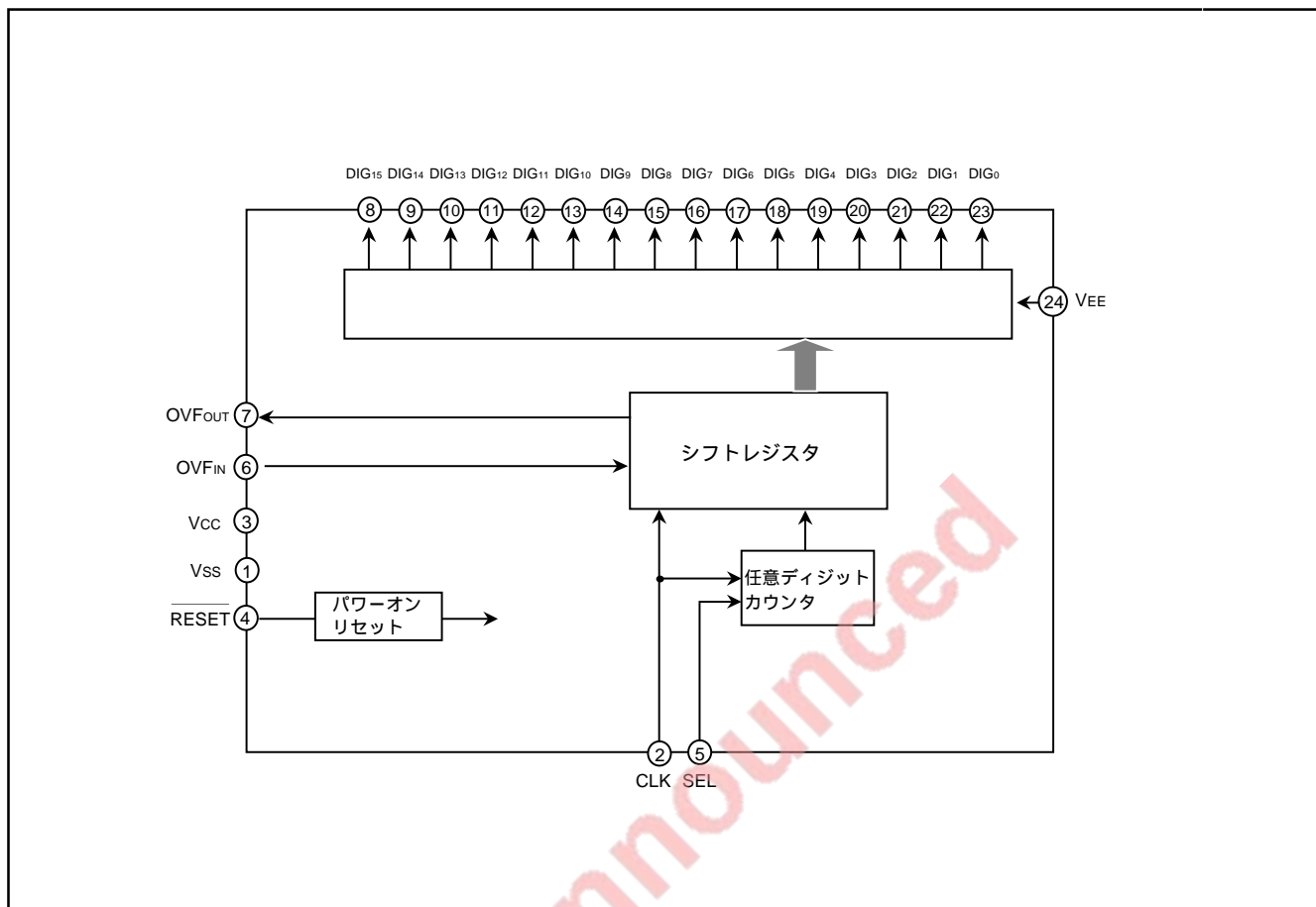


図3.9.2 機能ブロック図

端子の機能説明

表3.9.1 端子の機能説明

端子名	名称	機能	出力形式	図番
Vcc, Vss	電源入力	Vccに4.0～5.5V, Vssに0Vを印加します。	-	-
RESET	リセット入力	内部のシフトレジスタをリセットします（パワーオンリセット回路を内蔵しています）。	CMOS入力レベル プルアップ抵抗内蔵	3
CLK	クロック入力	ディジットの出力は、クロック入力の立ち上がりによって変化します。	CMOS入力レベル プルダウン抵抗内蔵	2
SEL	セレクト入力端子	ディジット数を指定するときに使用する端子です。	CMOS入力レベル プルダウン抵抗内蔵	2
OVFIN	オーバーフロー信号 入力端子	単体で使用する場合は、“H”を入力してください。本ICを2個以上使用する場合、他ICのOVFOUT端子と接続します（17本以上のディジット数が実現できます）。	CMOS入力レベル	4
OVFOUT	オーバーフロー信号 出力端子	単体で使用する場合は、開放にしてください。本ICを2個以上使用する場合、他ICのOVFIN端子と接続します（17本以上のディジット数が実現できます）。	CMOS出力	5
DIG15～DIG0	ディジット出力	蛍光表示管のディジット出力波形を出力します。未使用時は開放（出力はVEEレベル）	高耐圧Pチャネルオープンドレイン出力 プルダウン抵抗内蔵	1
VEE	プルダウン電源入力	DIG0～DIG15のプルダウン抵抗に供給する電圧を印加します。	-	-

ポートブロック図

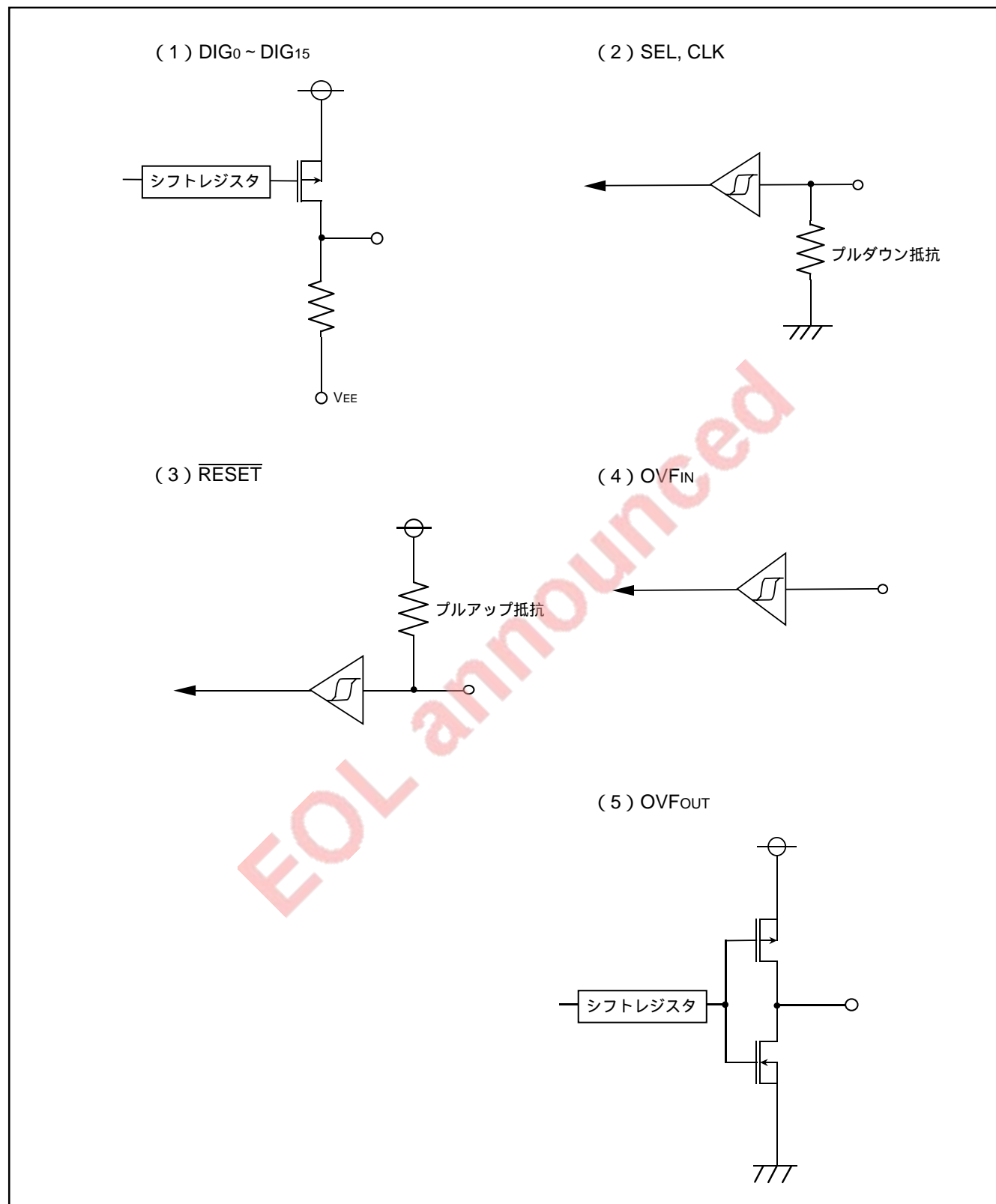


図3.9.3 ポートのブロック図

3

使用方法

本ICの使用方法を以下の3つに分けて説明します。

1. 16ディジットの選択

OVFIN端子を“H”、SEL端子を“L”に固定することにより、ディジット数は16に設定されます。

出力波形を図3.9.5に示します。

2. 1～16ディジットの任意選択

OVFIN端子を“H”に固定し、SEL端子の“H”区間中のCLK端子の立ち上がりエッジ数を n とすると、ディジット数は n と設定されます。

16以上の数を入力してもディジット数は16に設定されません。

出力波形を図3.9.6に示します。

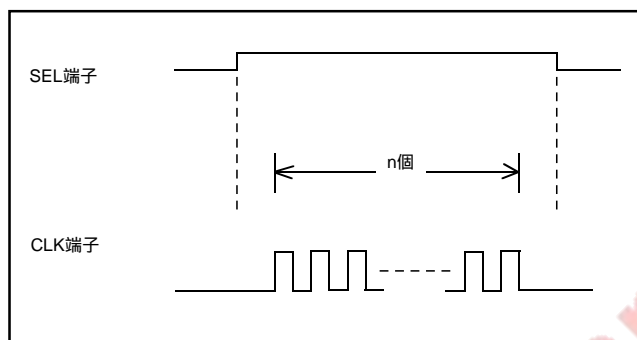


図3.9.4 ディジット数の設定

3. 17ディジット以上の出力選択(カスケード選択)

ディジット数が17ディジット以上必要な場合でも、本ICを2個以上使用することにより実現できます。3個を使用する場合の接続例を図3.9.7に示します。この例では、33～48ディジットの範囲で出力設定可能です。

DIG出力の最上位となるICは、SEL信号により任意ディジット選択を行ってください。

すべてのICが16ディジットモード(SEL = “L”)では動作しません。

出力波形を図3.9.8に示します。

ディジット出力波形

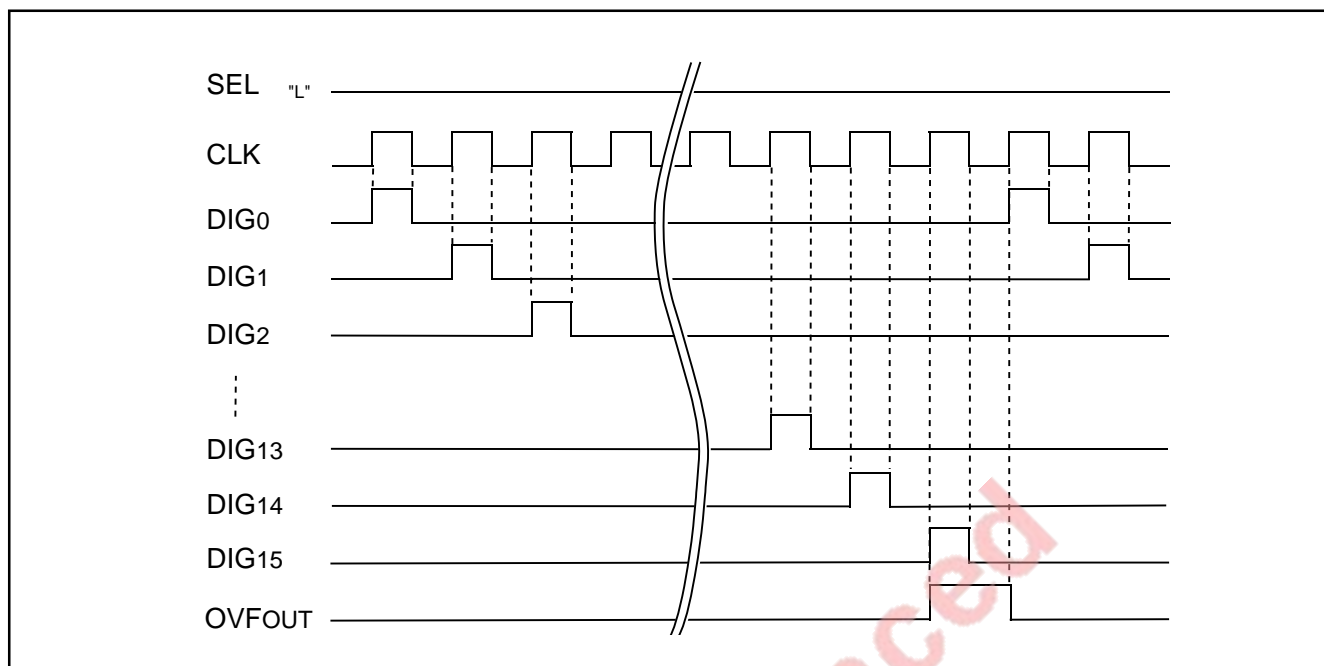


図3.9.5 16ディジットモード出力波形

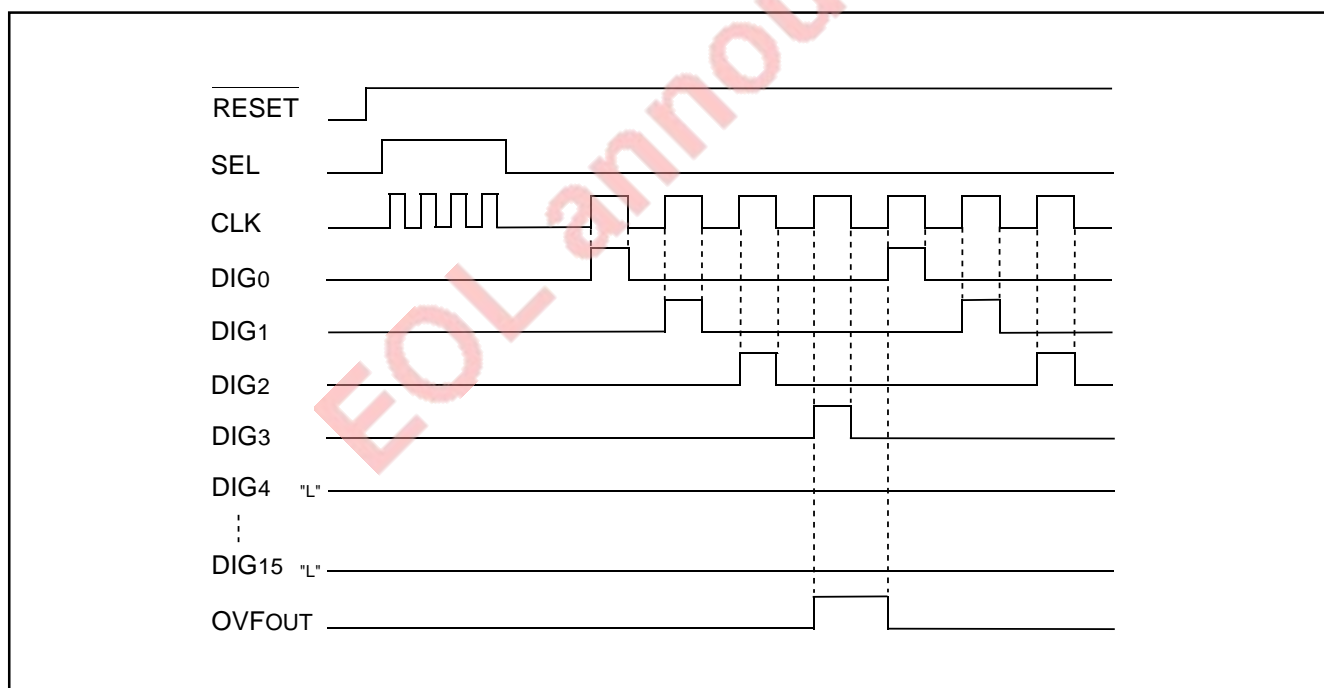


図3.9.6 任意ディジットモード出力波形

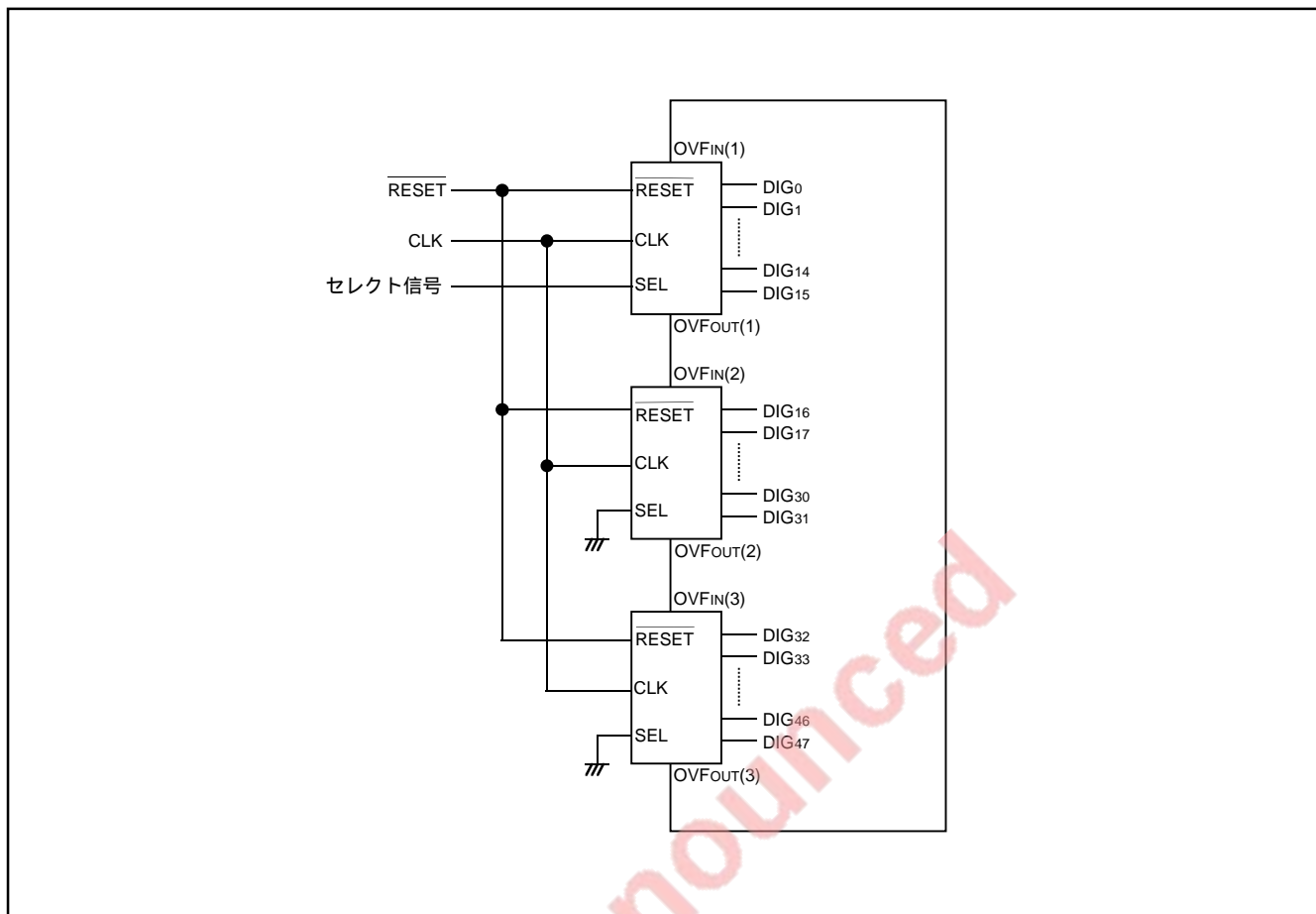


図3.9.7 17ディジット以上選択の接続例

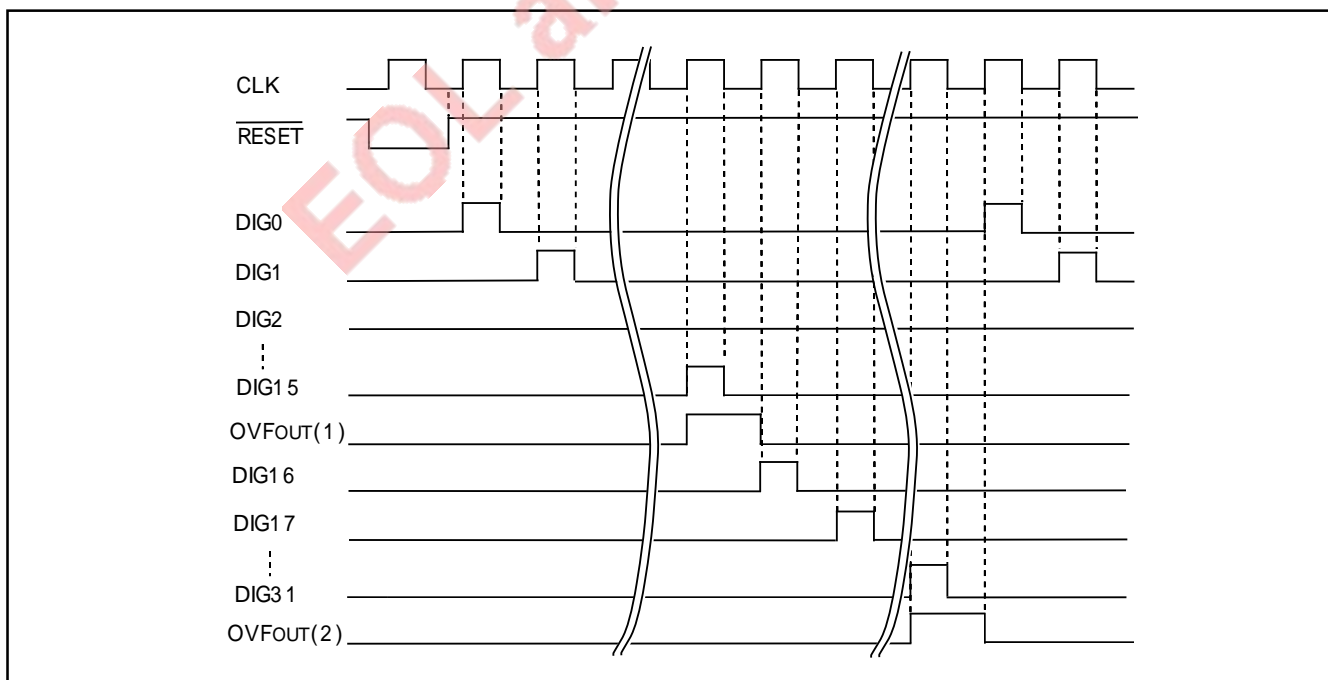


図3.9.8 17ディジット以上モード出力波形

38B7グループのCMOS FLD出力と接続することにより、容易に蛍光表示管の表示数を増やすことが可能です。

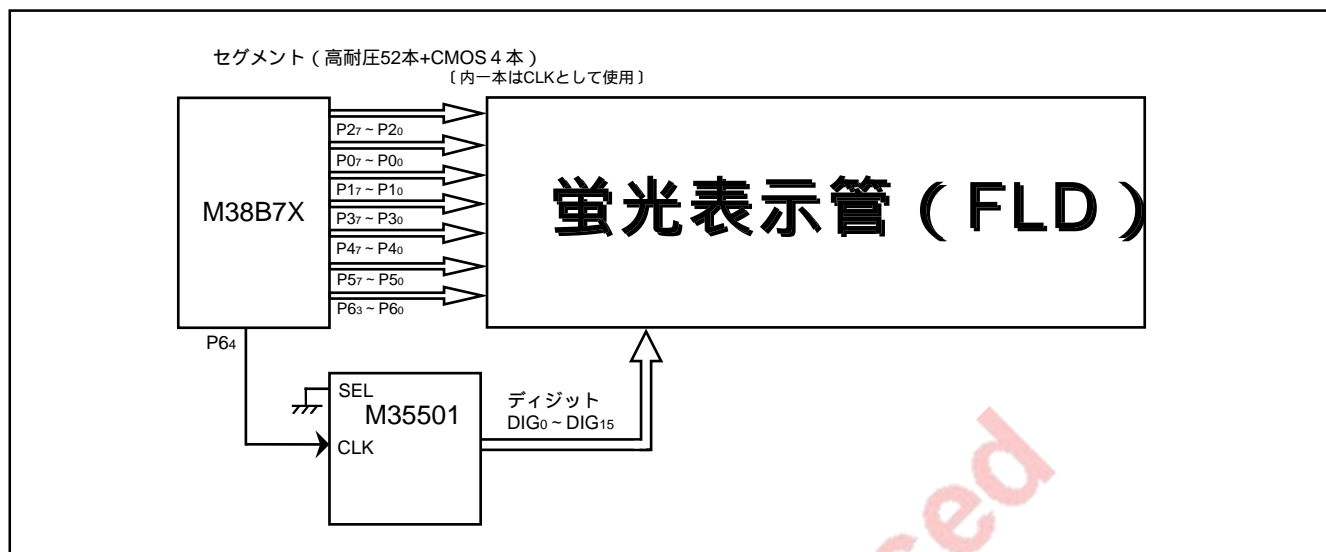


図3.9.9 38B7グループとの接続例（デジタル数1～16）

38B7グループの32タイミングモードを使用することにより、FLDコントローラを使用して最大32デジタルのコントロールが可能です。

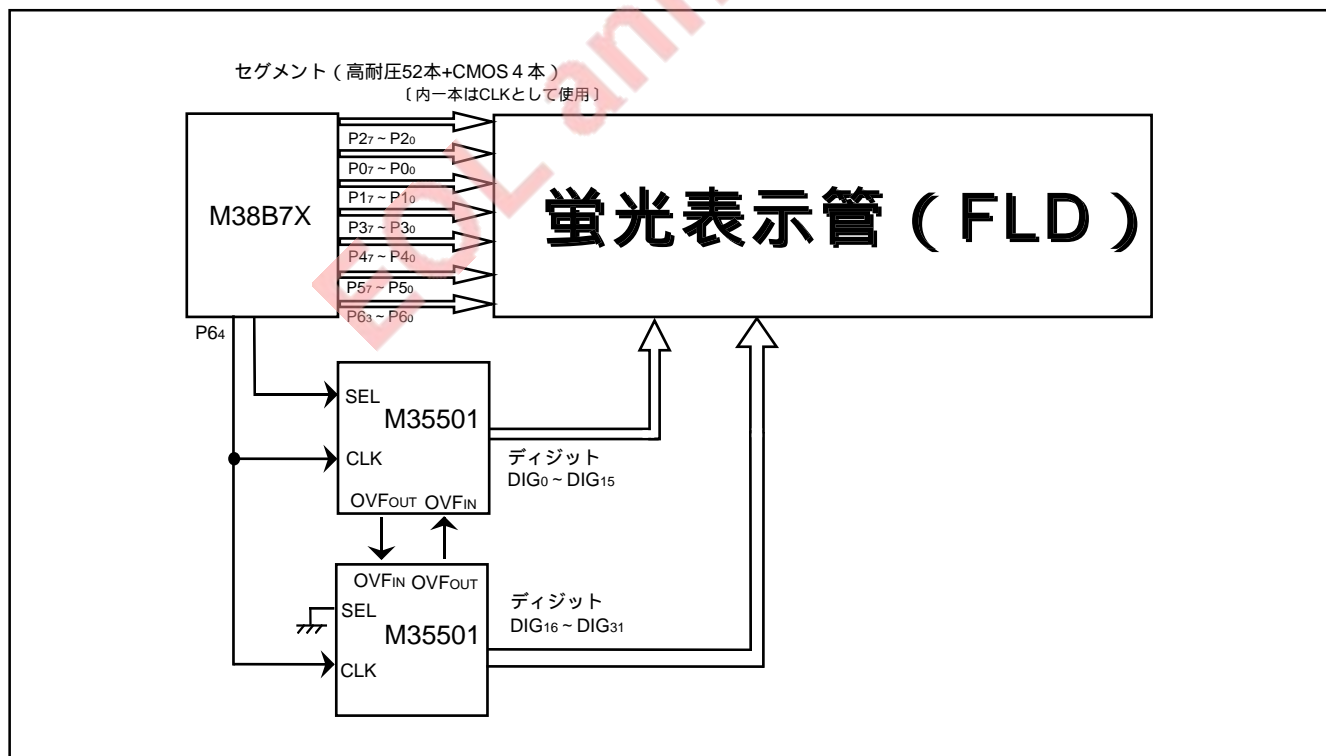


図3.9.10 38B7グループとの接続例（デジタル数17～32）

リセット回路

電源電圧が4.0V ~ 5.5Vにあり、 $\overline{\text{RESET}}$ 端子を2 μs 以上“L”レベルに保った後、“H”レベルに戻すとリセット解除されます。

注1. リセットの解除は、CLK入力信号の“L”の区間で行ってください。

2. SEL信号により、ディジット本数を設定している場合、リセットをかけることにより任意ディジットカウンタは“0”に設定されます。

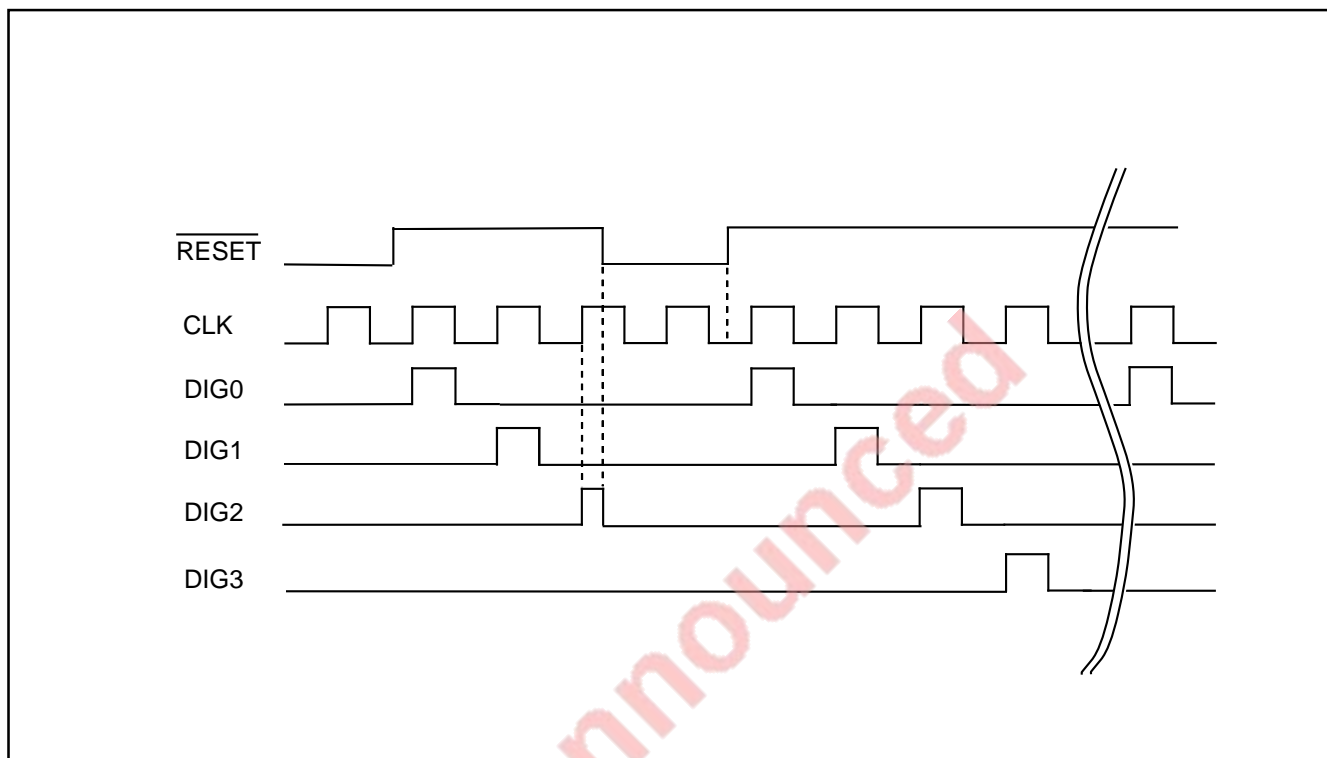


図3.9.11 リセット信号入力時のディジット出力波形

パワーオンリセット

内蔵のパワーオンリセット回路により、電源投入時に自動リセット(パワーオンリセット)をかけることができます。

内蔵のパワーオンリセット回路使用時には、電源電圧が最小動作保証電圧に立ち上がるまでの時間を100 μ s以下に設定してください。

立ち上がり時間が100 μ sを越える場合には、 $\overline{\text{RESET}}$ 端子とVss間にコンデンサを最短に接続し、最小動作保証電圧になるまで $\overline{\text{RESET}}$ 端子に“L”レベルが入力されるようにしてください。

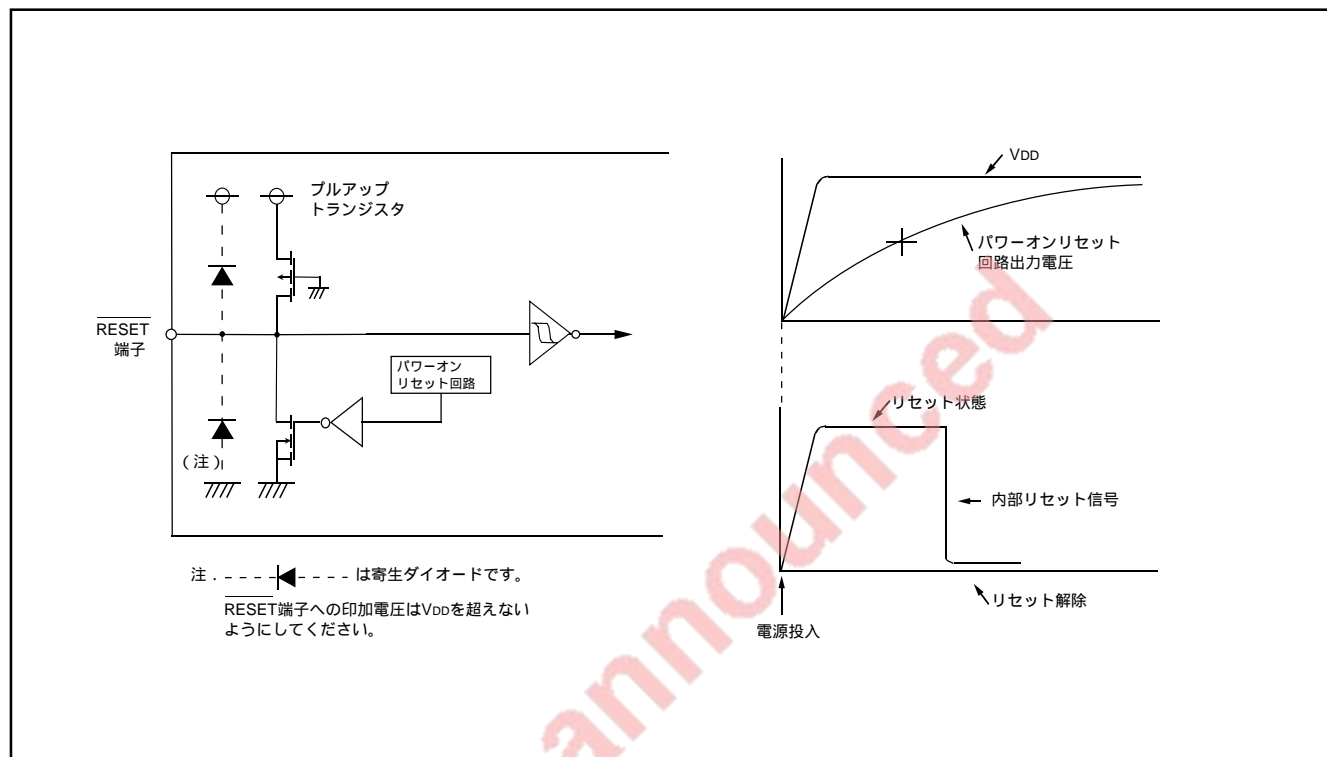


図3.9.12 パワーオンリセット回路

絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態	- 0.3 ~ 7.0	V
V _{EE}	プルダウン電源電圧		V _{CC} - 45 ~ V _{CC} + 0.3	V
V _I	入力電圧 CLK, SEL, OVFIN		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 RESET		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 DIG ₀ ~ DIG ₁₅		V _{CC} - 45 ~ V _{CC} + 0.3	V
V _O	出力電圧 OVFOUT		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	250	mW
T _{opr}	動作周囲温度		- 20 ~ 85	
T _{stg}	保存温度		- 40 ~ 125	

推奨動作条件 (指定のない場合は、V_{CC}=4.0 ~ 5.5V, T_a= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧	4.0	5.0	5.5	V
V _{SS}	電源電圧		0		V
V _{EE}	プルダウン電源電圧	V _{CC} - 43		V _{SS}	V
V _{IH}	“H” 入力電圧 CLK, SEL, OVFIN	0.8V _{CC}		V _{CC}	V
V _{IH}	“H” 入力電圧 RESET	0.8V _{CC}		V _{CC}	V
V _{IL}	“L” 入力電圧 CLK, SEL, OVFIN	0		0.2V _{CC}	V
V _{IL}	“L” 入力電圧 RESET	0		0.2V _{CC}	V

推奨動作条件 (指定のない場合は、V_{CC}=4.0 ~ 5.5V, T_a= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H” 出力尖頭電流 DIG ₀ ~ DIG ₁₅ (注1)			- 36	mA
I _{OH} (peak)	“H” 出力尖頭電流 OVFOUT (注1)			- 10	mA
I _{OL} (peak)	“L” 出力尖頭電流 OVFOUT (注1)			10	mA
I _{OH} (avg)	“H” 出力平均電流 DIG ₀ ~ DIG ₁₅ (注2)			- 18	mA
I _{OH} (avg)	“H” 出力平均電流 OVFOUT (注2)			- 5.0	mA
I _{OL} (avg)	“L” 出力平均電流 OVFOUT (注2)			5.0	mA
CLK	クロック入力周波数			2	MHz

注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注2．出力平均電流は、100msの期間内での平均値です。

電氣的特性 (指定のない場合は、 $V_{CC}=4.0\sim 5.5V$, $T_a=-20\sim 85$)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	“H”出力電圧	DIG出力 DIG ₀ ~ DIG ₁₅	$I_{OH} = -18mA$	$V_{CC} - 2.0$			V
V_{OH}	“H”出力電圧	OVF _{OUT}	$I_{OH} = -10mA$	$V_{CC} - 2.0$			V
V_{OL}	“L”出力電圧	OVF _{OUT}	$I_{OL} = 10mA$			2.0	V
$V_{T+} - V_{T-}$	ヒステリシス	CLK, OVF _{IN} RESET	$V_{CC} = 5.0V$ 時		0.4		V
I_{IH}	“H”入力電流	OVF _{IN} RESET	$V_i = V_{CC}$			5.0	μA
I_{IH}	“H”入力電流	CLK, SEL	$V_i = V_{CC}$ $V_{CC} = 5.0V$ 時	30	70	140	μA
I_{IL}	“L”入力電流	OVF _{IN} CLK, SEL	$V_i = V_{SS}$			- 5.0	μA
I_{IL}	“L”入力電流	RESET	$V_i = V_{SS}$ $V_{CC} = 5.0V$ 時	- 60	- 130	- 185	μA
I_{LOAD}	出力ロード電流	DIG ₀ ~ DIG ₁₅	$V_{EE} = V_{CC} - 43V$ $V_{OL} = V_{CC}$ 出力トランジスタは遮断 状態	500	650	800	μA
I_{LEAK}	出力リーク電流	DIG ₀ ~ DIG ₁₅	$V_{EE} = V_{CC} - 43V$ $V_{OL} = V_{CC} - 43V$ 出力トランジスタは遮断 状態			- 10	μA
I_{CC}	電源電流	$V_{CC} = 5V$, CLK=100kHz 出力トランジスタは遮断状態			50		μA

タイミング必要条件 (指定のない場合は、Vcc=4.0~5.5V, Ta= - 20~85)

記号	項目	規格値			単位
		最小	標準	最大	
$t_w(\overline{\text{RESET}})$	リセット入力“L”パルス幅	2			μs
$t_c(\text{CLK})$	クロック入力サイクル時間	500			ns
$t_{wH}(\text{CLK})$	クロック入力“H”パルス幅	200			ns
$t_{wL}(\text{CLK})$	クロック入力“L”パルス幅	200			ns
$t_{su}(\text{SEL})$	セレクト入力セットアップ時間	500			ns
$t_h(\text{SEL})$	セレクト入力ホールド時間	500			ns
$t_h(\text{CLK})$	クロック入力セットアップ時間	500			ns

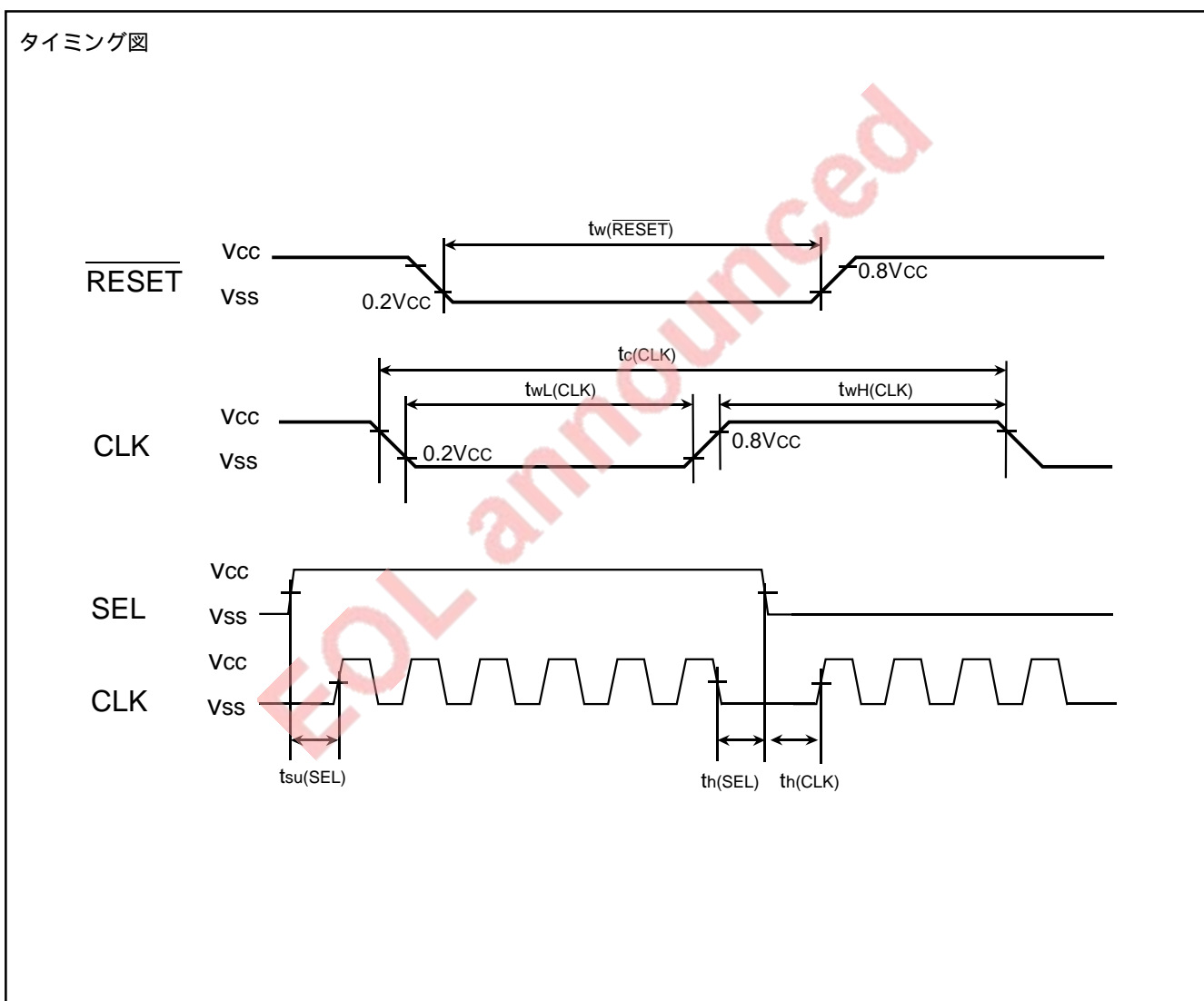


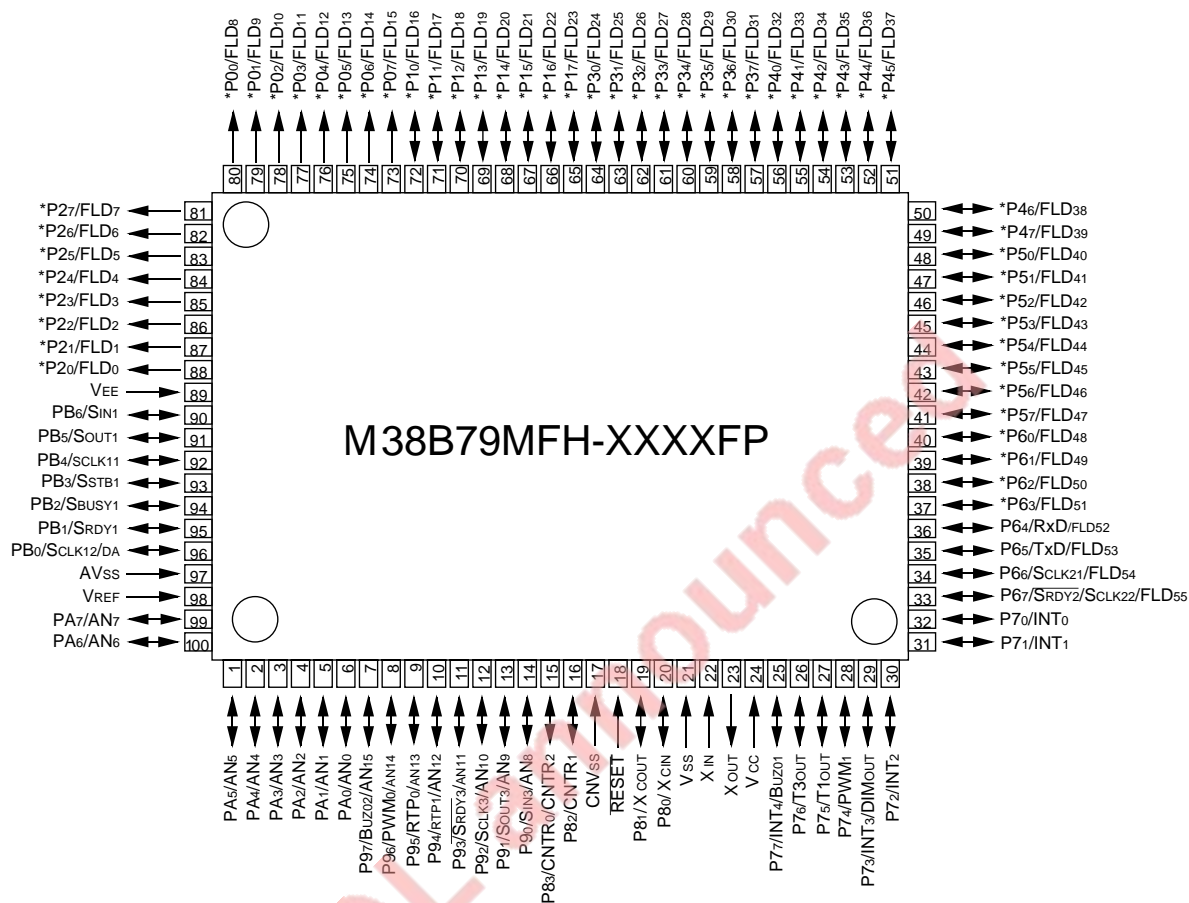
図3.9.13 タイミング図

3.10 SFRメモリマップ

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマ1(T1)
0001 ₁₆		0021 ₁₆	タイマ2(T2)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ3(T3)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマ4(T4)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	タイマ5(T5)
0005 ₁₆		0025 ₁₆	タイマ6(T6)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	PWM制御レジスタ(PWMCON)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマ6PWMレジスタ(T6PWM)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマ12モードレジスタ(T12M)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ34モードレジスタ(T34M)
000A ₁₆	ポートP5(P5)	002A ₁₆	タイマ56モードレジスタ(T56M)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	D-A変換レジスタ(DA)
000C ₁₆	ポートP6(P6)	002C ₁₆	タイマX(下位)(TXL)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	タイマX(上位)(TXH)
000E ₁₆	ポートP7(P7)	002E ₁₆	タイマXモードレジスタ1(TXM1)
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	タイマXモードレジスタ2(TXM2)
0010 ₁₆	ポートP8(P8)	0030 ₁₆	割り込み間隔判定レジスタ(IID)
0011 ₁₆	ポートP8方向レジスタ(P8D)	0031 ₁₆	割り込み間隔判定制御レジスタ(IIDCON)
0012 ₁₆	ポートP9(P9)	0032 ₁₆	AD/DA制御レジスタ(ADCON)
0013 ₁₆	ポートP9方向レジスタ(P9D)	0033 ₁₆	A-D変換レジスタ(下位)(ADL)
0014 ₁₆	ポートPA(PA)	0034 ₁₆	A-D変換レジスタ(上位)(ADH)
0015 ₁₆	ポートPA方向レジスタ(PAD)	0035 ₁₆	PWMレジスタ(上位)(PWMH)
0016 ₁₆	ポートPB(PB)	0036 ₁₆	PWMレジスタ(下位)(PWML)
0017 ₁₆	ポートPB方向レジスタ(PBD)	0037 ₁₆	ポーレートジェネレータ(BRG)
0018 ₁₆	シリアル/O1自動転送データポインタ(SIO1DP)	0038 ₁₆	UART制御レジスタ(UARTCON)
0019 ₁₆	シリアル/O1制御レジスタ1(SIO1CON1)	0039 ₁₆	割り込み要因切り替えレジスタ (IFR)
001A ₁₆	シリアル/O1制御レジスタ2(SIO1CON2)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	シリアル/O1レジスタ/転送カウンタ(SIO1)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	シリアル/O1制御レジスタ3(SIO1CON3)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアル/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	シリアル/O2ステータスレジスタ(SIO2STS)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアル/O2送信/受信バッファレジスタ(TB/RB)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0EEC ₁₆	シリアル/O3制御レジスタ(SIO3CON)	0EF6 ₁₆	Toff1時間設定レジスタ(TOFF1)
0EED ₁₆	シリアル/O3レジスタ(SIO3)	0EF7 ₁₆	Toff2時間設定レジスタ(TOFF2)
0EEE ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)	0EF8 ₁₆	FLDデータポインタ(FLDDP)
0EEF ₁₆	プルアップ制御レジスタ3(PULL3)	0EF9 ₁₆	ポートP4FLD/ポート切り替えレジスタ(P4FPR)
0EF0 ₁₆	プルアップ制御レジスタ1(PULL1)	0EFA ₁₆	ポートP5FLD/ポート切り替えレジスタ(P5FPR)
0EF1 ₁₆	プルアップ制御レジスタ2(PULL2)	0EFB ₁₆	ポートP6FLD/ポート切り替えレジスタ(P6FPR)
0EF2 ₁₆	P0デビット出力設定切り替えレジスタ(P0DOR)	0EFC ₁₆	FLD出力制御レジスタ(FLDCON)
0EF3 ₁₆	P2デビット出力設定切り替えレジスタ(P2DOR)	0EFD ₁₆	ブザー出力制御レジスタ(BUZCON)
0EF4 ₁₆	FLDCモードレジスタ(FLDM)	0EFE ₁₆	フラッシュメモリ制御レジスタ(FCON) (注)
0EF5 ₁₆	Tdisp時間設定レジスタ(TDISP)	0EFF ₁₆	フラッシュコマンドレジスタ(FCMD) (注)

注．フラッシュ版のみ

3.11 ピン接続図



外形 100P6S-A

*高耐圧ポート(52本)

Memo

EOL announced

EOL announced

三菱8ビットシングルチップマイクロコンピュータ
ユーザーズマニュアル
38B7グループ Rev. 1.3

発行所 三菱電機株式会社半導体営業統括部
〒100-8310 東京都千代田区丸の内2-2-3
TEL 03-3218-9450

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 2003 MITSUBISHI ELECTRIC CORPORATION

EOL announced

38B7 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668