

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

3886 グループ

ユーザーズマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ
740ファミリ／ 38000シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴	3886 グループ ユーザーズマニュアル
------	----------------------

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	981119
2.0	・ ご使用いただくにあたっての 1. 構成の文章を一部変更 ・ P1-2 特長の●消費電力の一部削除 ・ P1-2 特長の●メモリ拡張の文章を変更 ・ P1-2 <フラッシュメモリモード>の●プログラム／イレーズ電圧の値変更 ・ P1-2 <フラッシュメモリモード>の●プログラム、●イレーズの文章変更 ・ P1-2 <フラッシュメモリモード>の●動作周囲温度を追加 ・ P1-2 ■注意事項を一部変更 ・ P1-2 応用に追加 ・ P1-3 図 1. M38867M8A-XXXHP, M38867E8AHP のピン接続図に M38867E8AHP の形名、注 2 を追加 ・ P1-3 図 2. M38867E8AFS のピン接続図に注 2 を追加 ・ P1-3 図 3. M38867MFA-XXXGP/HP, M38869FFAGP/HP のピン接続図を追加 ・ P1-5 図 4. 機能ブロック図を一部変更 ・ P1-8 図 8. 形名とメモリサイズパッケージを一部変更 ・ P1-9 パッケージの文章を一部追加 ・ P1-9 図 6. ROM 及び RAM 展開を一部変更 ・ P1-9 表 3. サポート製品一覧に 6 品種追加 ・ P1-13 図 8. CPU モードレジスタの構成の注を変更 ・ P1-14 図 10. メモリ配置図の注を変更 ・ P1-46 [I²C クロックコントロールレジスタ] のビット 5 の文章を一部変更 ・ P1-48 [I²C ステータスレジスタ] のビット 4 の名称を変更 ・ P1-49 図 41. I²C ステータスレジスタの構成のビット 4 の名称変更 ・ P1-54 (3)リスタートコンディション発生手順についての文章を一部追加 ・ P1-55 (6)7 つ目のクロックパルスのストップコンディション入力を追加 ・ P1-55 (7)ES0 ビットの切り替えについてを追加 ・ P1-56 図 50. 10 ビット A-D モードの読み出し構成を一部変更 ・ P1-61 リセット回路の文章を変更	000615

改訂履歴	3886 グループ ユーザーズマニュアル
------	----------------------

Rev. No.	改訂内容	Rev. date
2.0	・ P1-61 図 57. リセット回路例の注の文章追加 ・ P1-65 図 62. システムクロック発生回路ブロック図（シングルチップモード）に注 2 を追加 ・ P1-66 図 63. システムクロックの状態遷移図の一部変更 ・ P1-67 プロセッサモードの文章を一部追加 ・ P1-67 (2)メモリ拡張モードの文章追加 ・ P1-67 (3)マイクロプロセッサモードの文章を一部追加 ・ P1-67 図 63. 各プロセッサモードの外部メモリ領域の文章を一部削除 ・ P1-67 図 64. CPU モードレジスタの構成の注を変更 ・ P1-68 ●メモリ拡張時のバス制御の文章を一部変更 ・ P1-71 表 22. 端子の機能説明（フラッシュメモリパラレル入出力モード）の CNVss の機能の文章を変更 ・ P1-72 図 68. パラレル入出力モード時の端子結線図の一部変更 ・ P1-80 図 74. シリアル入出力モード時の端子結線図の一部変更 ・ P1-81 表 27. 端子の機能説明（フラッシュメモリシリアル入出力モード）の CNVss の機能の文章を変更 ・ P1-85 注を追加 ・ P1-87 (3)フラッシュメモリモード -3（CPU 書き換えモード）の●機能概要（CPU 書き換えモード）の文章を追加 ・ P1-87 図 81. フラッシュメモリ制御レジスタの構成の注を一部削除 ・ P1-88 図 83. CPU 書き換えモードでの CPU モードレジスタのビット構成の一部変更 ・ P1-92 電源端子の取扱いに関する注意事項の文章を追加 ・ P1-92 フラッシュメモリ版のイレーズに関する注意事項を追加 ・ P1-92 マスク化発注時の提出資料、ROM 書き込み発注時の提出資料に文章を追加 ・ P1-93 補足説明の割り込みを削除 ・ P1-93 補足説明の割り込み発生後のタイミングを削除 ・ 2.2 節 割り込みを追加 ・ 2.8 節 D-A 変換器を追加	000615

改訂履歴	3886 グループ ユーザーズマニュアル
------	----------------------

Rev. No.	改訂内容	Rev. date
2.0	・ 2.12 節 クロック発生回路を追加 ・ 2.13 節 スタンバイ機能を追加 ・ 2.15 節 フラッシュメモリを追加 ・ P2-4 図 2.1.4 ポート制御レジスタ 1 の構成のビットの属性を変更 ・ P2-5 図 2.1.5 ポート制御レジスタ 2 の構成のビットの属性を変更 ・ P2-5 2.1.3 ポート P4/P7 入力レジスタの文章追加 ・ P2-7 2.1.5 入出力端子に関する注意事項の(1)スタンバイ状態での使用の●理由の文章を一部追加 ・ P2-8 2.1.6 未使用端子の処理に関する注意事項の(1)未使用端子の適切な処理の②入力専用ポート、③入出力ポートの文章を一部変更 ・ P2-29 図 2.3.6 ポート制御レジスタ 2 の構成を追加 ・ P2-33 図 2.3.12 関連レジスタの設定を一部変更 ・ P2-34 図 2.3.13 制御手順の内容を一部変更 ・ P2-42 図 2.3.23 制御手順を一部変更 ・ P2-46 図 2.3.4 シリアル I/O 制御レジスタの構成のビット 0 の機能を変更 ・ P2-77 (7)送信許可ビットセット時の送信割り込み要求を一部変更 ・ P2-77 (8)送信データの書き込みを一部変更 ・ P2-90 2.5.6 I²C-BUS 通信での使用例の項題及び内容を一部変更 ・ P2-91 図 2.5.17 初期設定例を一部変更 ・ P2-107 (2)マルチマスタで使用する場合のスタートコンディション発生手順についての文章を追加 ・ P2-107 (3)リスタートコンディションの発生手順についてのサブ項題及び内容を一部変更 ・ P2-108 Rev.1.0 のマスタ時のストップコンディションの発生方法についての注意事項を削除 ・ P2-108 Rev.1.0 の SMBUS インタフェース用プログラム作成に関する注意事項を削除 ・ P2-118 図 2.7.3 A-D 変換レジスタ 1 の構成を変更 ・ P2-118 図 2.7.4 A-D 変換レジスタ 2 の構成を変更	000615

改訂履歴	3886 グループ ユーザーズマニュアル
------	----------------------

Rev. No.	改訂内容	Rev. date
2.0	・ P2-123 2.7.4 A-D 変換器に関する注意事項の(2)A-D 変換器用電源端子、(3)A-D 変換中のクロック周波数を一部変更 ・ P2-131 図 2.9.1 バスインタフェース関連レジスタのメモリ配置を一部変更 ・ P2-132 図 2.9.3 データバスバッファステータスレジスタ i のビットの属性を一部変更 ・ P2-135 図 2.9.8 ポート制御レジスタ 2 の構成を追加 ・ P2-141 図 2.10.3 CPU モードレジスタの構成を一部変更 ・ P2-142 図 2.10.4 ウォッチドッグタイマの接続と分周比の設定を一部変更 ・ P2-144 図 2.11.2 RAM バックアップシステムを一部変更 ・ P2-157 図 2.14.2 CPU モードレジスタの構成を一部変更 ・ P2-160 図 2.14.6 ライトサイクル (W コントロール、SRAM) を一部変更 ・ P2-164 図 2.14.11 ライトサイクル (W コントロール、SRAM) を一部変更 ・ Rev.1.0 の 3.6 節 マスク化確認書を削除 ・ Rev.1.0 の 3.7 節 ROM 書き込み確認書を削除 ・ Rev.1.0 の 3.8 節 マーク指定書を削除 マスク化確認書、ROM 書き込み確認書、マーク指定書につきましては、三菱マイコン技術情報ホームページ（アドレスは以下）を参照してください。 ● ROM 発注時の提出資料（マスク化確認書、ROM 書き込み確認書） http://www.infocom.mesc.co.jp/38000/38order.htm ● マーク指定書 http://www.infocom.mesc.co.jp/general/jmark.htm ・ P3-9 表 3.1.11 タイミング必要条件(1)の $t_w(\overline{\text{RESET}})$ の規格値変更 ・ P3-10 表 3.1.12 タイミング必要条件(2)の $t_w(\overline{\text{RESET}})$ の規格値変更 ・ P3-21 図 3.2.1 電源電流特性（高速モード時、AD 変換器及びコンパレータ動作）を一部変更 ・ P3-24 図 3.2.6 電源電流特性例（低速モード時）を一部変更 ・ P3-24 図 3.2.7 電源電流特性例（リセット時）を一部変更	000615

改訂履歴

3886 グループ ユーザーズマニュアル

Rev. No.	改訂内容	Rev. date
2.0	・ P3-32 3.3.2 未使用端子の処理に関する注意事項の(1)未使用端子の適切な処理の②入力専用ポートを一部変更 ・ P3-32 3.3.2 未使用端子の処理に関する注意事項の(1)未使用端子の適切な処理の③入出力ポートを一部変更 ・ P3-32 3.3.2 未使用端子の処理に関する注意事項の(1)未使用端子の適切な処理の④A-D/D-A変換器を使用しない場合のA-D/D-A変換用電源端子AVssを追加 ・ P3-33 図3.3.1 検出エッジの切り替え手順を一部変更 ・ P3-34 3.3.3 割り込みに関する注意事項の(4)関連レジスタの設定変更を追加 ・ P3-37 (7)送信許可ビットセット時の送信割り込み要求(シリアルI/O1)を一部変更 ・ P3-39 (2)マルチマスタで使用する場合のスタートコンディション発生手順についてを一部追加 ・ P3-39 (3)リスタートコンディションの発生手順についてのサブ項題及び文章を一部変更 ・ P3-40 Rev.1.0の(5)マスタ時のストップコンディションの発生方法についてを削除 ・ P3-40 3.3.7 PWMに関する注意事項を追加 ・ P3-41 3.3.8 A-D変換器に関する注意事項の(2)A-D変換器用電源端子を変更 ・ P3-41 3.3.8 A-D変換器に関する注意事項の(3)A-D変換中のクロック周波数を一部変更 ・ P3-41 3.3.9 D-A変換器に関する注意事項を追加 ・ P3-42 3.3.10 ウォッチドッグタイマに関する注意事項を追加 ・ P3-42 3.3.12 ストップモード使用上の注意事項を追加 ・ P3-42 3.3.13 ウェイトモード使用上の注意事項を追加 ・ P3-43 3.3.14 CPU書き換えモードに関する注意事項を追加 ・ P3-68 図3.5.22 データバスバッファステータスレジスタiの構成のビットの属性を変更 ・ P3-70 図3.5.25 ポート制御レジスタ1の構成のビットの属性を変更 ・ P3-71 図3.5.26 ポート制御レジスタ2の構成のビットの属性を変更 ・ P3-74 図3.5.32 A-D変換レジスタ1の構成を変更 ・ P3-75 図3.5.34 A-D変換レジスタ2の構成を変更 ・ P3-76 図3.5.37 CPUモードレジスタの構成を一部変更	000615

はじめに

このたび、**CMOS8**ビットシングルチップマイクロコンピュータ**3886**グループのユーザーズマニュアルを作成いたしましたので、ご案内申し上げます。

このユーザーズマニュアルは、ユーザの皆様に**3886**グループの機能や特長などをよく理解していただき、その機能を最大限に活かしていただくために作成いたしました。ハードウェアに関する仕様説明から応用までを詳細に説明しておりますので、ご活用ください。

ソフトウェアにつきましては、「**740**ファミリソフトウェアマニュアル」を参照してください。

開発ツールにつきましては、「三菱開発サポートツールホームページ(<http://www.tool-spt.mesc.co.jp/>)」を参照してください。

1.構成

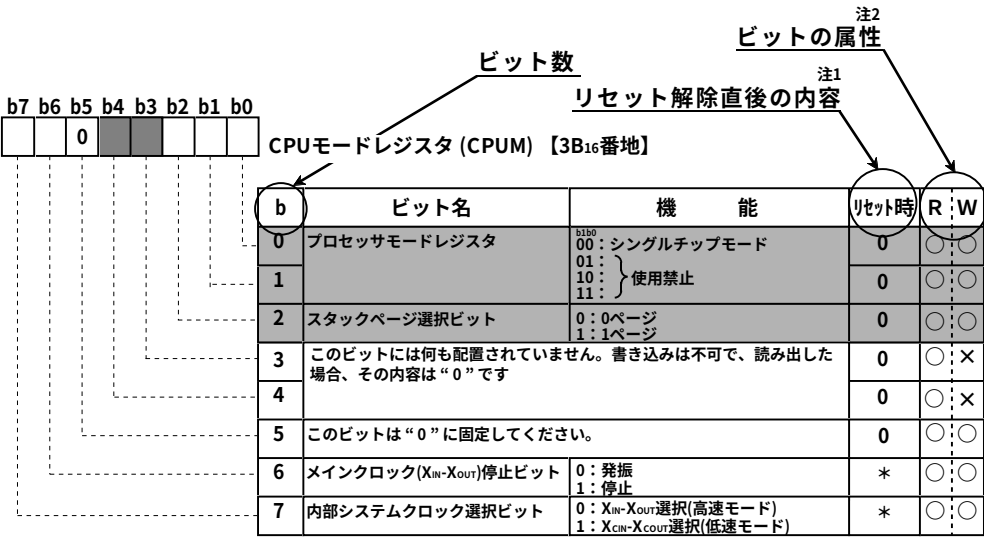
このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

- 第1章「ハードウェア」
マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。
- 第2章「応 用」
各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。
- 第3章「付 録」
マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧などを記載しています。

＊発注の際に提出していただくマスク化確認書、ROM書き込み確認書、マーク指定書につきましては、「三菱マイコン技術情報ホームページ(<http://www.infocom.mesc.co.jp/>)」を参照してください。

2.レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



■: 何も配置されていないビット ■: 当該機能の制御では使用されないビット

注1. リセット解除直後の内容
0・・・リセット解除時“0”
1・・・リセット解除時“1”
不定・・・リセット解除時不定
*・・・リセット解除時オプションによって決められた内容

注2. ビットの属性・・・制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R・・・読み出し
○・・・読み出し可能
×・・・読み出し不可能

W・・・書き込み
○・・・書き込み可能
×・・・書き込み不可能

目 次

第1章 ハードウェア

概要	1-2
特長	1-2
応用	1-2
ピン接続.....	1-3
機能ブロック	1-5
端子の機能説明	1-6
形名とメモリサイズ・パッケージ	1-8
グループ展開	1-9
メモリの種類	1-9
メモリ容量	1-9
パッケージ	1-9
機能ブロック動作説明	1-10
中央演算処理装置(CPU)	1-10
メモリ	1-14
入出力ポート	1-16
割り込み	1-23
キー入力割り込み(キーオンウエイクアップ)	1-27
タイマ	1-28
シリアルI/O	1-30
PWM出力回路	1-36
バスインタフェース	1-39
マルチマスタI ² C-BUSインタフェース.....	1-44
A-D変換器	1-56
D-A変換器	1-58
コンパレータ回路	1-59
ウオッチドッグタイマ	1-60
リセット回路	1-61
クロック発生回路	1-63
プロセッサモード	1-67
EPROMモード	1-69
フラッシュメモリモード	1-70
プログラミング上の注意事項	1-91
使用上の注意事項	1-92
マスク化発注時の提出資料	1-92
ROM書き込み発注時の提出資料	1-92
補足説明	1-93
A-D変換器	1-93

第2章 応 用

2.1	入出力ポート	2-2
2.1.1	メモリ配置図	2-2
2.1.2	関連レジスタ	2-3
2.1.3	ポートP4/P7入力レジスタ	2-5
2.1.4	未使用端子の処理	2-6
2.1.5	入出力端子に関する注意事項	2-7
2.1.6	未使用端子の処理に関する注意事項	2-8
2.2	割り込み	2-9
2.2.1	メモリ配置図	2-9
2.2.2	関連レジスタ	2-10
2.2.3	割り込み要因	2-14
2.2.4	割り込み動作	2-15
2.2.5	割り込み制御	2-18
2.2.6	INT割り込み	2-21
2.2.7	キー入力割り込み	2-22
2.2.8	割り込みに関する注意事項	2-24
2.3	タイマ	2-26
2.3.1	メモリ配置図	2-26
2.3.2	関連レジスタ	2-26
2.3.3	タイマの応用例	2-32
2.3.4	タイマに関する注意事項	2-43
2.4	シリアルI/O	2-44
2.4.1	メモリ配置図	2-44
2.4.2	関連レジスタ	2-45
2.4.3	シリアルI/Oの接続例	2-52
2.4.4	シリアルI/O転送データフォーマット	2-54
2.4.5	シリアルI/Oの応用例	2-55
2.4.6	シリアルI/Oに関する注意事項	2-75
2.5	マルチマスタI ² C-BUSインタフェース	2-78
2.5.1	メモリ配置図	2-78
2.5.2	関連レジスタ	2-79
2.5.3	I ² C-BUSの概要	2-86
2.5.4	通信プロトコル	2-86
2.5.5	同期化とアービトレーションロスト	2-89
2.5.6	I ² C-BUS通信での使用例	2-90
2.5.7	マルチマスタI ² C-BUSインタフェースに関する注意事項	2-106
2.6	PWM	2-109
2.6.1	メモリ配置図	2-109
2.6.2	関連レジスタ	2-110
2.6.3	PWMの応用例	2-114
2.6.4	PWMに関する注意事項	2-116

2.7	A-D変換器	2-117
2.7.1	メモリ配置図	2-117
2.7.2	関連レジスタ	2-117
2.7.3	A-D変換応用例	2-121
2.7.4	A-D変換器に関する注意事項	2-123
2.8	D-A変換器	2-124
2.8.1	メモリ配置図	2-124
2.8.2	関連レジスタ	2-125
2.8.3	D-A変換の応用例	2-127
2.8.4	D-A変換器に関する注意事項	2-130
2.9	バスインタフェース	2-131
2.9.1	メモリ配置図	2-131
2.9.2	関連レジスタ	2-132
2.9.3	バスインタフェースの概要	2-136
2.9.4	バスインタフェース入力/出力動作	2-137
2.9.5	関連レジスタ設定方法	2-138
2.10	ウォッチドッグタイマ	2-140
2.10.1	メモリ配置図	2-140
2.10.2	関連レジスタ	2-140
2.10.3	ウォッチドッグタイマの応用	2-142
2.10.4	ウォッチドッグタイマに関する注意事項	2-143
2.11	リセット	2-144
2.11.1	リセットICを用いた接続例	2-144
2.11.2	リセット端子に関する注意事項	2-145
2.12	クロック発生回路	2-146
2.12.1	関連レジスタ	2-146
2.12.2	クロック発生回路の応用例	2-147
2.13	スタンバイ機能	2-150
2.13.1	ストップモード	2-150
2.13.2	ウェイトモード	2-154
2.14	プロセッサモード	2-157
2.14.1	メモリ配置図	2-157
2.14.2	関連レジスタ	2-157
2.14.3	プロセッサモードの使用例	2-158
2.15	フラッシュメモリ	2-165
2.15.1	概要	2-165
2.15.2	メモリ配置	2-165
2.15.3	関連レジスタ	2-166
2.15.4	パラレル入出力モード	2-168
2.15.5	シリアル入出力モード	2-168
2.15.6	CPU書き換えモード	2-169
2.15.7	フラッシュメモリモードの応用例	2-171
2.15.8	CPU書き換えモードに関する注意事項	2-180

第3章 付 録

3.1	電氣的特性	3-2
3.1.1	絶対最大定格	3-2
3.1.2	推奨動作条件	3-3
3.1.3	電氣的特性	3-6
3.1.4	A-D変換器特性	3-8
3.1.5	D-A変換器特性	3-8
3.1.6	コンパレータ特性	3-8
3.1.7	タイミング必要条件	3-9
3.1.8	システムバスインタフェース	3-11
3.1.9	スイッチング特性	3-12
3.1.10	システムバスインタフェース	3-13
3.1.11	メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件	3-14
3.1.12	メモリ拡張モード及びマイクロプロセッサモードのスイッチング特性	3-14
3.1.13	マルチマスタ ² C-BUSバスライン特性	3-20
3.2	標準特性例	3-21
3.2.1	電源電流特性例	3-21
3.2.2	ポート標準特性例	3-25
3.2.3	入力電流標準特性例	3-28
3.2.4	A-D変換標準特性例	3-29
3.2.5	D-A変換標準特性例	3-30
3.3	使用上の注意事項	3-31
3.3.1	入出力端子に関する注意事項	3-31
3.3.2	未使用端子の処理に関する注意事項	3-32
3.3.3	割り込みに関する注意事項	3-33
3.3.4	タイマに関する注意事項	3-34
3.3.5	シリアルI/Oに関する注意事項	3-35
3.3.6	マルチマスタ ² C-BUSインタフェースに関する注意事項	3-38
3.3.7	PWMに関する注意事項	3-40
3.3.8	A-D変換器に関する注意事項	3-41
3.3.9	D-A変換器に関する注意事項	3-41
3.3.10	ウォッチドッグタイマに関する注意事項	3-42
3.3.11	リセット端子に関する注意事項	3-42
3.3.12	ストップモード使用上の注意事項	3-42
3.3.13	ウェイトモード使用上の注意事項	3-42
3.3.14	CPU書き換えモードに関する注意事項	3-43
3.3.15	低速動作モードに関する注意事項	3-43
3.3.16	発振の再開に関する注意事項	3-44
3.3.17	プログラム作成に関する注意事項	3-44
3.3.18	PROM内蔵版の書き込みとテスト	3-46
3.3.19	PROM内蔵版に関する注意事項	3-47
3.4	ノイズに関する注意事項	3-48

3.4.1	配線長の短縮	3-48
3.4.2	V _{SS} –V _{CC} ライン間へのバイパスコンデンサ挿入	3-50
3.4.3	アナログ入力端子の配線処理	3-51
3.4.4	発振子への配慮	3-52
3.4.5	入出力ポート処理	3-53
3.4.6	ソフトウェアによる監視タイマ機能の実現	3-54
3.5	レジスタ一覧	3-55
3.6	パッケージ寸法図	3-80
3.7	命令コード一覧表	3-81
3.8	機械語命令一覧表	3-82
3.9	SFRメモリマップ	3-92
3.10	ピン接続図	3-93

図目次

第1章 ハードウェア

図1. M38867M8A-XXXHP, M38867E8AHPのピン接続図	1-3
図2. M38867E8AFSのピン接続図	1-3
図3. M38867MFA-XXXGP/HP, M38869FFAGP/HPのピン接続図	1-4
図4. 機能ブロック図	1-5
図5. 形名とメモリサイズ・パッケージ	1-8
図6. ROM及びRAM展開	1-9
図7. 740ファミリCPUの構成	1-10
図8. スタックへの退避及び復帰動作	1-11
図9. CPUモードレジスタの構成	1-13
図10. メモリ配置図	1-14
図11. SFR(スペシャルファンクションレジスタ)メモリマップ	1-15
図12. ポートのブロック図(1)	1-18
図13. ポートのブロック図(2)	1-19
図14. ポートのブロック図(3)	1-20
図15. ポートのブロック図(4)	1-21
図16. ポート入出力関連レジスタの構成	1-22
図17. 割り込み制御図	1-25
図18. 割り込み関係レジスタの構成(1)	1-25
図19. 割り込み関係レジスタの構成(2)	1-26
図20. キー入力割り込み使用時の結線例とポートP3のブロック図	1-27
図21. タイマXYモードレジスタの構成	1-28
図22. タイマX, タイマY, タイマ1及びタイマ2のブロック図	1-29
図23. クロック同期形シリアルI/O1ブロック図	1-30
図24. クロック同期形シリアルI/O1動作図	1-30
図25. UART形シリアルI/O1ブロック図	1-31
図26. UART形シリアルI/O1動作図	1-31
図27. シリアルI/O1関係レジスタの構成	1-33
図28. シリアルI/O2制御レジスタの構成	1-34
図29. シリアルI/O2ブロック図	1-34
図30. シリアルI/O2タイミング図	1-35
図31. PWM回路ブロック図(PWM0)	1-36
図32. PWMタイミング図	1-37
図33. 14ビットPWMタイミング図(PWM0)	1-38
図34. データバスバッファの割り込み要求回路	1-39
図35. バスインタフェース関係レジスタの構成	1-40
図36. バスインタフェース装置ブロック図	1-41
図37. マルチマスタI ² C-BUSインタフェースのブロック図	1-44
図38. I ² Cアドレスレジスタの構成	1-45
図39. I ² Cクロックコントロールレジスタの構成	1-46
図40. I ² Cコントロールレジスタの構成	1-47

図41. I ² Cステータスレジスタの構成	1-49
図42. 割り込み要求信号の発生タイミング	1-49
図43. スタートコンディション発生タイミング図	1-50
図44. ストップコンディション発生タイミング図	1-50
図45. スタートコンディション検出のタイミング図	1-50
図46. ストップコンディション検出のタイミング図	1-50
図47. I ² Cスタート／ストップコンディション制御レジスタの構成	1-52
図48. アドレスデータ通信フォーマット	1-52
図49. AD/DA制御レジスタの構成	1-56
図50. 10ビットA-Dモードの読み出し構成	1-56
図51. A-D変換器ブロック図	1-57
図52. D-A変換器のブロック図	1-58
図53. D-A変換器等価回路図 (DA1)	1-58
図54. コンパレータ回路	1-59
図55. ウォッチドッグタイマのブロック図	1-60
図56. ウォッチドッグタイマ制御レジスタの構成	1-60
図57. リセット回路例	1-61
図58. リセットシーケンス	1-61
図59. リセット時の内部状態	1-62
図60. セラミック共振子外付け回路	1-64
図61. 外部クロック入力回路	1-64
図62. システムクロック発生回路ブロック図 (シングルチップモード)	1-65
図63. システムクロックの状態遷移図	1-66
図64. 各プロセッサモードの外部メモリ領域	1-67
図65. CPUモードレジスタの構成	1-67
図66. ONW機能タイミング図	1-68
図67. ワンタイムPROM版書き込みとテスト	1-69
図68. パラレル入出力モード時の端子結線図 (M38869FFAHP/GP)	1-72
図69. リードタイミング	1-73
図70. リード時のタイミング	1-74
図71. プログラム時のタイミング (ベリファイデータの出力タイミングは、リード時と同じです。)	1-75
図72. イレーズ時のタイミング (ベリファイデータの出力タイミングは、リード時と同じです。)	1-76
図73. プログラム、イレーズアルゴリズムフローチャート	1-78
図74. シリアル入出力モード時の端子結線図 (M38869FFAHP/GP)	1-80
図75. リード時のタイミング	1-82
図76. プログラム時のタイミング	1-83
図77. プログラムベリファイ時のタイミング	1-83
図78. イレーズ時のタイミング	1-84
図79. イレーズベリファイ時のタイミング	1-84
図80. エラーチェック時のタイミング	1-85
図81. フラッシュメモリ制御レジスタの構成	1-87
図82. フラッシュコマンドレジスタのビット構成	1-88
図83. CPU書き換えモードでのCPUモードレジスタの構成	1-88
図84. CPU書き換えモードでのプログラム、イレーズ実行時フローチャート	1-90
図85. A-D変換器等価回路	1-94

図86.A-D変換タイミングチャート	1-94
--------------------------	------

第2章 応 用

図2.1.1 入出力ポート関連レジスタのメモリ配置	2-2
図2.1.2 ポートPiの構成($i = 0 \sim 8$)	2-3
図2.1.3 ポートPi方向レジスタの構成($i = 0 \sim 8$)	2-3
図2.1.4 ポート制御レジスタ1の構成	2-4
図2.1.5 ポート制御レジスタ2の構成	2-5
図2.2.1 割り込み関連レジスタのメモリ配置	2-9
図2.2.2 ポート制御レジスタ2の構成	2-10
図2.2.3 割り込み要因選択レジスタの構成	2-11
図2.2.4 割り込みエッジ選択レジスタの構成	2-11
図2.2.5 割り込み要求レジスタ1の構成	2-12
図2.2.6 割り込み要求レジスタ2の構成	2-12
図2.2.7 割り込み制御レジスタ1の構成	2-13
図2.2.8 割り込み制御レジスタ2の構成	2-13
図2.2.9 割り込み動作図	2-15
図2.2.10 割り込み要求受付時のスタックポインタとプログラムカウンタの変化	2-16
図2.2.11 割り込み処理ルーチンを実行するまでの時間	2-17
図2.2.12 割り込み要求受付後のタイミング	2-17
図2.2.13 割り込み制御図	2-18
図2.2.14 多重割り込みの例	2-20
図2.2.15 キー入力割り込み使用時の結線例とポートP3のブロック図	2-22
図2.2.16 キー入力割り込み関連レジスタの設定(図2.2.15に対応)	2-23
図2.2.17 検出エッジの切り替え手順	2-24
図2.2.18 割り込み要求ビットの判定手順	2-25
図2.3.1 タイマ関連レジスタのメモリ配置	2-26
図2.3.2 プリスケアラ12、プリスケアラX、プリスケアラYの構成	2-26
図2.3.3 タイマ1の構成	2-27
図2.3.4 タイマ2、タイマX、タイマYの構成	2-27
図2.3.5 タイマXYモードレジスタの構成	2-28
図2.3.6 ポート制御レジスタ2の構成	2-29
図2.3.7 割り込み要求レジスタ1の構成	2-30
図2.3.8 割り込み要求レジスタ2の構成	2-30
図2.3.9 割り込み制御レジスタ1の構成	2-31
図2.3.10 割り込み制御レジスタ2の構成	2-31
図2.3.11 タイマの接続と分周比の設定	2-33
図2.3.12 関連レジスタの設定	2-33
図2.3.13 制御手順	2-34
図2.3.14 周辺回路例	2-35
図2.3.15 タイマの接続と分周比の設定	2-35
図2.3.16 関連レジスタの設定	2-36
図2.3.17 制御手順	2-36
図2.3.18 入力パルス有効又は無効の判定方法	2-37

図2.3.19	関連レジスタの設定	2-38
図2.3.20	制御手順	2-39
図2.3.21	タイマの接続と分周比の設定	2-40
図2.3.22	関連レジスタの設定	2-41
図2.3.23	制御手順	2-42
図2.4.1	シリアルI/O関連レジスタのメモリ配置	2-44
図2.4.2	送信/受信バッファレジスタの構成	2-45
図2.4.3	シリアルI/Oステータスレジスタの構成	2-45
図2.4.4	シリアルI/O制御レジスタの構成	2-46
図2.4.5	UART制御レジスタの構成	2-46
図2.4.6	ボーレートジェネレータの構成	2-47
図2.4.7	シリアルI/O2制御レジスタの構成	2-47
図2.4.8	シリアルI/O2レジスタの構成	2-48
図2.4.9	割り込み要因選択レジスタの構成	2-48
図2.4.10	割り込みエッジ選択レジスタの構成	2-49
図2.4.11	割り込み要求レジスタ1の構成	2-50
図2.4.12	割り込み要求レジスタ2の構成	2-50
図2.4.13	割り込み制御レジスタ1の構成	2-51
図2.4.14	割り込み制御レジスタ2の構成	2-51
図2.4.15	シリアルI/Oの接続例1	2-52
図2.4.16	シリアルI/Oの接続例2	2-53
図2.4.17	シリアルI/O転送データフォーマット	2-54
図2.4.18	接続図	2-55
図2.4.19	タイミング図	2-55
図2.4.20	送信側関連レジスタの設定	2-56
図2.4.21	受信側関連レジスタの設定	2-57
図2.4.22	送信側の制御手順	2-58
図2.4.23	受信側の制御手順	2-59
図2.4.24	接続図	2-60
図2.4.25	タイミング図	2-60
図2.4.26	シリアルI/O関連レジスタの設定	2-61
図2.4.27	シリアルI/O1送信データの設定	2-61
図2.4.28	シリアルI/O1制御手順	2-62
図2.4.29	シリアルI/O2関連レジスタの設定	2-63
図2.4.30	シリアルI/O2送信データの設定	2-63
図2.4.31	シリアルI/O制御手順	2-64
図2.4.32	接続図	2-65
図2.4.33	タイミング図	2-66
図2.4.34	関連レジスタの設定	2-66
図2.4.35	マスタ側の制御手順	2-67
図2.4.36	スレーブ側の制御手順	2-68
図2.4.37	接続図	2-69
図2.4.38	タイミング図	2-69
図2.4.39	送信側関連レジスタの設定	2-71
図2.4.40	受信側関連レジスタの設定	2-72

図2.4.41	送信側の制御手順	2-73
図2.4.42	受信側の制御手順	2-74
図2.4.43	シリアルI/O制御レジスタの再設定手順	2-77
図2.5.1	I ² C関連レジスタのメモリ配置	2-78
図2.5.2	I ² Cデータシフトレジスタの構成	2-79
図2.5.3	I ² Cアドレスレジスタの構成	2-79
図2.5.4	I ² Cステータスレジスタの構成	2-80
図2.5.5	I ² Cコントロールレジスタの構成	2-81
図2.5.6	I ² Cクロックコントロールレジスタの構成	2-82
図2.5.7	I ² Cスタート、ストップコンディション制御レジスタの構成	2-83
図2.5.8	割り込み要求レジスタ1の構成	2-83
図2.5.9	割り込み要求レジスタ1の構成	2-84
図2.5.10	割り込み要求レジスタ2の構成	2-84
図2.5.11	割り込み制御レジスタ1の構成	2-85
図2.5.12	割り込み制御レジスタ2の構成	2-85
図2.5.13	I ² C-BUS接続構成	2-86
図2.5.14	I ² C-BUS通信プロトコル	2-87
図2.5.15	マスタ受信時のリスタートコンディション	2-88
図2.5.16	クロック同期化発生時のSCL波形	2-89
図2.5.17	初期設定例	2-91
図2.5.18	I ² C-BUSマスタデバイスとしてのRead Wordプロトコル通信	2-92
図2.5.19	スタートコンディション生成とスレーブアドレス+ライトビットの送信処理	2-93
図2.5.20	コマンド送信処理	2-94
図2.5.21	リスタートコンディション生成、スレーブアドレス+リードビットの送信処理	2-95
図2.5.22	下位データの受信処理	2-96
図2.5.23	上位データの受信処理	2-97
図2.5.24	ストップコンディションの生成処理	2-98
図2.5.25	スレーブデバイスでの通信例	2-99
図2.5.26	スタートコンディションとスレーブアドレス受信処理	2-100
図2.5.27	コマンドの受信処理	2-101
図2.5.28	リスタートコンディションとスレーブアドレスの受信処理	2-102
図2.5.29	下位データ送信処理	2-103
図2.5.30	上位データ送信処理	2-104
図2.5.31	ストップコンディション受信処理	2-105
図2.6.1	PWM関連レジスタのメモリ配置	2-109
図2.6.2	ポート制御レジスタ1の構成	2-110
図2.6.3	PWM0Hレジスタの構成	2-111
図2.6.4	PWM0Lレジスタの構成	2-111
図2.6.5	PWM1Hレジスタの構成	2-112
図2.6.6	PWM1Lレジスタの構成	2-112
図2.6.7	AD/DA制御レジスタの構成	2-113
図2.6.8	接続図	2-114
図2.6.9	関連レジスタの設定	2-115
図2.6.10	制御手順	2-116
図2.6.11	PWM ₀ 出力	2-116

図2.7.1	A-D変換器関連レジスタのメモリ配置	2-117
図2.7.2	AD/DA制御レジスタの構成	2-117
図2.7.3	A-D変換レジスタ1の構成	2-118
図2.7.4	A-D変換レジスタ2の構成	2-118
図2.7.5	割り込み要因選択レジスタの構成	2-119
図2.7.6	割り込み要求レジスタ2の構成	2-120
図2.7.7	割り込み制御レジスタ2の構成	2-120
図2.7.8	接続図	2-121
図2.7.9	関連レジスタの設定	2-121
図2.7.10	制御手順(8ビット読み出し時)	2-122
図2.7.11	制御手順(10ビット読み出し時)	2-122
図2.8.1	D-A変換器関連レジスタのメモリ配置	2-124
図2.8.2	ポートP5方向レジスタの構成	2-125
図2.8.3	AD/DA制御レジスタの構成	2-125
図2.8.4	D-A変換レジスタの構成	2-126
図2.8.5	接続図	2-127
図2.8.6	スピーカ出力例	2-127
図2.8.7	関連レジスタの設定	2-128
図2.8.8	制御手順	2-129
図2.9.1	バスインタフェース関連レジスタのメモリ配置	2-131
図2.9.2	データバスバッファレジスタの構成	2-132
図2.9.3	データバスバッファステータスレジスタの構成	2-132
図2.9.4	データバスバッファ制御レジスタの構成	2-133
図2.9.5	割り込み要因選択レジスタの構成	2-133
図2.9.6	割り込み要求レジスタ1の構成	2-134
図2.9.7	割り込み制御レジスタ1の構成	2-134
図2.9.8	ポート制御レジスタ2の構成	2-135
図2.9.9	バスインタフェース概略図	2-136
図2.9.10	関連レジスタの設定	2-138
図2.9.11	割り込みを使用した制御手順	2-139
図2.10.1	ウォッチドッグタイマ関連レジスタのメモリ配置	2-140
図2.10.2	ウォッチドッグタイマ制御レジスタの構成	2-140
図2.10.3	CPUモードレジスタの構成	2-141
図2.10.4	ウォッチドッグタイマの接続と分周比の設定	2-142
図2.10.5	関連レジスタの初期設定	2-143
図2.10.6	制御手順	2-143
図2.11.1	パワーオンリセット回路例	2-144
図2.11.2	RAMバックアップシステム	2-144
図2.12.1	CPUモードレジスタの構成	2-146
図2.12.2	接続図	2-147
図2.12.3	停電時の状態遷移図	2-147
図2.12.4	関連レジスタの設定	2-148
図2.12.5	制御手順	2-149
図2.13.1	リセット入力による復帰時の発振安定時間	2-151
図2.13.2	INT0割り込み要求の発生による復帰時の実行シーケンス例	2-153

図2.13.3	リセット入力時間	2-155
図2.14.1	プロセッサモード関連レジスタのメモリ配置	2-157
図2.14.2	CPUモードレジスタの構成	2-157
図2.14.3	ROM及びRAMの拡張例	2-158
図2.14.4	リードサイクル(OEアクセス、SRAM)	2-159
図2.14.5	リードサイクル(OEアクセス、EPROM)	2-159
図2.14.6	ライトサイクル(Wコントロール、SRAM)	2-160
図2.14.7	ONW機能の使用例	2-161
図2.14.8	$f(XIN)=8\text{MHz}$ 以上で使用した場合のROM及びRAMの拡張例	2-162
図2.14.9	リードサイクル(OEアクセス、SRAM)	2-163
図2.14.10	リードサイクル(OEアクセス、EPROM)	2-163
図2.14.11	ライトサイクル(Wコントロール、SRAM)	2-164
図2.15.1	3886グループフラッシュ版のメモリ配置	2-165
図2.15.2	フラッシュ関連レジスタのメモリ配置	2-166
図2.15.3	フラッシュメモリ制御レジスタの構成	2-166
図2.15.4	フラッシュコマンドレジスタの構成	2-167
図2.15.5	シリアル入出力モードによる内蔵フラッシュメモリ書き換え例	2-171
図2.15.6	シリアル入出力モード時の基板上の端子処理例(1)	2-172
図2.15.7	シリアル入出力モード時の基板上の端子処理例(2)	2-172
図2.15.8	シリアル入出力モード時の基板上の端子処理例(3)	2-173
図2.15.9	CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例	2-174
図2.15.10	CPU書き換え制御プログラム例(1)	2-175
図2.15.11	CPU書き換え制御プログラム例(2)	2-176
図2.15.12	CPU書き換え制御プログラム例(3)	2-177
図2.15.13	CPU書き換え制御プログラム例(4)	2-178
図2.15.14	VPP制御回路例(1)	2-179
図2.15.15	VPP制御回路例(2)	2-179

第3章 付 録

図3.1.1	出力スイッチング特性測定回路図(1)	3-15
図3.1.2	出力スイッチング特性測定回路図(2)	3-15
図3.1.3	タイミング図(1)(シングルチップモード時)	3-16
図3.1.4	タイミング図(2)(メモリ拡張モード及びマイクロプロセッサモード時)	3-17
図3.1.5	タイミング図(3)(メモリ拡張モード及びマイクロプロセッサモード時)	3-18
図3.1.6	タイミング図(4)(システムバスインタフェース)	3-19
図3.1.7	マルチマスタ ² C-BUSのタイミング図	3-20
図3.2.1	電源電流特性例(高速モード時、AD変換器及びコンパレータ動作)	3-21
図3.2.2	電源電流特性例(高速モード時)	3-22
図3.2.3	電源電流特性例(高速モード時、WAIT実行)	3-22
図3.2.4	電源電流特性例(中速モード時)	3-23
図3.2.5	電源電流特性例(中速モード時、WAIT実行)	3-23
図3.2.6	電源電流特性例(低速モード時)	3-24
図3.2.7	電源電流特性例(リセット時)	3-24
図3.2.8	Pチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25^\circ\text{C}$)	3-25

図3.2.9	Pチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=90°C)	3-25
図3.2.10	Nチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25°C)	3-26
図3.2.11	Nチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=90°C)	3-26
図3.2.12	Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25°C)	3-27
図3.2.13	Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=90°C)	3-27
図3.2.14	プルアップ時のCMOS入力ポートの標準特性例(Ta=25°C)	3-28
図3.2.15	プルアップ時のCMOS入力ポートの標準特性例(Ta=90°C)	3-28
図3.2.16	A-D変換標準特性例	3-29
図3.2.17	D-A変換標準特性例	3-30
図3.3.1	検出エッジの切り替え手順	3-33
図3.3.2	割り込み要求ビットの判定手順	3-34
図3.3.3	シリアルI/O制御レジスタの再設定手順	3-37
図3.3.4	PWM ₀ 出力	3-40
図3.3.5	水晶発振外付け	3-43
図3.3.6	プロセッサステータスレジスタのフラグの初期化	3-44
図3.3.7	PLP命令実行時の手順	3-45
図3.3.8	PHP命令実行後のスタックメモリの内容	3-45
図3.3.9	割り込み処理ルーチン内	3-45
図3.3.10	10進演算時のステータスフラグ	3-46
図3.3.11	ワンタイムPROM版の書き込みとテスト	3-46
図3.4.1	リセット入力端子の配線	3-48
図3.4.2	クロック入出力端子の配線	3-49
図3.4.3	CNV _{SS} 端子の配線	3-49
図3.4.4	ワンタイムPROM版及びEPROM版のV _{PP} 端子の配線	3-50
図3.4.5	V _{SS} –V _{CC} ライン間のバイパスコンデンサ	3-50
図3.4.6	アナログ信号線と抵抗及びコンデンサ	3-51
図3.4.7	大電流が流れる信号線の配線	3-52
図3.4.8	リセット入力端子の配線	3-52
図3.4.9	発振子の裏面のV _{SS} パターン	3-53
図3.4.10	V _{SS} –V _{CC} ライン間のバイパスコンデンサ	3-53
図3.4.11	ソフトウェアによる監視タイマ	3-54
図3.5.1	ポートPiの構成	3-55
図3.5.2	ポートPi方向レジスタの構成	3-55
図3.5.3	I ² Cデータシフトレジスタの構成	3-56
図3.5.4	I ² Cアドレスレジスタの構成	3-56
図3.5.5	I ² Cステータスレジスタの構成	3-57
図3.5.6	I ² Cコントロールレジスタの構成	3-58
図3.5.7	I ² Cクロックコントロールレジスタの構成	3-59
図3.5.8	I ² Cスタート/ストップコンディション制御レジスタの構成	3-60
図3.5.9	送信/受信バッファレジスタの構成	3-61
図3.5.10	シリアルI/O1ステータスレジスタの構成	3-61
図3.5.11	シリアルI/O1制御レジスタの構成	3-62
図3.5.12	UART制御レジスタの構成	3-62
図3.5.13	ボーレートジェネレータの構成	3-63
図3.5.14	シリアルI/O2制御レジスタの構成	3-63

図3.5.15	ウォッチドッグタイマ制御レジスタの構成	3-64
図3.5.16	シリアルI/O2レジスタの構成	3-64
図3.5.17	プリスケアラ12、プリスケアラX、プリスケアラYの構成	3-65
図3.5.18	タイマ1の構成	3-65
図3.5.19	タイマ2、タイマX、タイマYの構成	3-66
図3.5.20	タイマXYモードレジスタの構成	3-67
図3.5.21	データバスバッファレジスタiの構成	3-68
図3.5.22	データバスバッファステータスレジスタiの構成	3-68
図3.5.23	データバスバッファ制御レジスタの構成	3-69
図3.5.24	コンパレータデータレジスタの構成	3-69
図3.5.25	ポート制御レジスタ1の構成	3-70
図3.5.26	ポート制御レジスタ2の構成	3-71
図3.5.27	PWM0Hレジスタの構成	3-72
図3.5.28	PWM0Lレジスタの構成	3-72
図3.5.29	PWM1Hレジスタの構成	3-73
図3.5.30	PWM1Lレジスタの構成	3-73
図3.5.31	AD/DA制御レジスタの構成	3-74
図3.5.32	A-D変換レジスタ1の構成	3-74
図3.5.33	D-Ai変換レジスタの構成	3-75
図3.5.34	A-D変換レジスタ2の構成	3-75
図3.5.35	割り込み要因選択レジスタの構成	3-76
図3.5.36	割り込みエッジ選択レジスタの構成	3-76
図3.5.37	CPUモードレジスタの構成	3-77
図3.5.38	割り込み要求レジスタ1の構成	3-78
図3.5.39	割り込み要求レジスタ2の構成	3-78
図3.5.40	割り込み制御レジスタ1の構成	3-79
図3.5.41	割り込み制御レジスタ2の構成	3-79
図3.9.1	SFR(スペシャルファンクションレジスタ)メモリマップ	3-92
図3.10.1	M38867M8A-XXXHP, M38867E8AHPのピン接続図	3-93
図3.10.2	M38867E8AFSのピン接続図	3-93
図3.10.3	M38867MFA-XXXGP/HP, M38869FFAGP/HPのピン接続図	3-94

表目次

第1章 ハードウェア

表1. 端子の機能説明(1)	1-6
表2. 端子の機能説明(2)	1-7
表3. サポート製品一覧	1-9
表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令	1-11
表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令	1-12
表6. 入出力ポートの機能一覧(1)	1-16
表7. 入出力ポートの機能一覧(2)	1-17
表8. 割り込みベクトル番地と優先順位	1-24
表9. 下位ビットのデータとADDビットがセットされる区間の関係	1-37
表10. バスインタフェース機能選択時における制御入出力端子の機能説明	1-43
表11. マルチマスタ ² C-BUSインタフェース機能	1-44
表12. ² Cクロックコントロールレジスタの設定値とSCL周波数	1-46
表13. スタートコンディション発生タイミング表	1-50
表14. ストップコンディション発生タイミング表	1-50
表15. スタートコンディション、ストップコンディション検出条件	1-50
表16. 各発振周波数でのスタート／ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値	1-52
表17. メモリ拡張モード及びマイクロプロセッサモードにおける各ポートの機能	1-67
表18. 専用書き込みアダプタ	1-69
表19. PROMライタの設定	1-69
表20. パラレル入出力モード時の端子対応	1-70
表21. 制御入力と各状態の対応	1-70
表22. 端子の機能説明(フラッシュメモリパラレル入出力モード)	1-71
表23. ソフトウェアコマンド一覧表(パラレル入出力モード)	1-73
表24. 直流電気的特性	1-79
表25. リードオンリーモード	1-79
表26. リード／ライトモード	1-79
表27. 端子の機能説明(フラッシュメモリシリアル入出力モード)	1-81
表28. ソフトウェアコマンド一覧表(シリアル入出力モード)	1-82
表29. 交流電気的特性	1-86
表30. VrefとA-D変換器の基準電圧VREFの関係式	1-93
表31. A-D変換中のA-D変換レジスタの変化	1-93

第2章 応用

表2.1.1 未使用端子の処理(シングルチップモード時)	2-6
表2.1.2 未使用端子の処理(メモリ拡張モード、マイクロプロセッサモード時)	2-6
表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位	2-14
表2.2.2 各割り込み要因に対する割り込み制御ビット一覧	2-19
表2.3.1 CNTR0/CNTR1極性切り替えビットの機能	2-28

表2.4.1	ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例	2-70
表2.9.1	バス制御信号とデータバスの状態	2-137
表2.13.1	ストップモード時の状態	2-150
表2.13.2	ウェイトモード時の状態	2-154
表2.15.1	パラレル書き込み時のEPROMプログラマ設定	2-168
表2.15.2	シリアル書き込み時のプログラマとの接続	2-168

第3章 付録

表3.1.1	絶対最大定格	3-2
表3.1.2	推奨動作条件	3-3
表3.1.3	推奨動作条件	3-4
表3.1.4	推奨動作条件	3-5
表3.1.5	電気的特性	3-6
表3.1.6	電気的特性	3-7
表3.1.7	A-D変換器特性(1)	3-8
表3.1.8	A-D変換器特性(2)	3-8
表3.1.9	D-A変換器特性	3-8
表3.1.10	コンパレータ特性	3-8
表3.1.11	タイミング必要条件(1)	3-9
表3.1.12	タイミング必要条件(2)	3-10
表3.1.13	システムバスインタフェースのタイミング必要条件	3-11
表3.1.14	システムバスインタフェースのタイミング必要条件	3-11
表3.1.15	スイッチング特性(1)	3-12
表3.1.16	スイッチング特性(2)	3-12
表3.1.17	システムバスインタフェースのスイッチング特性	3-13
表3.1.18	システムバスインタフェースのスイッチング特性	3-13
表3.1.19	メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件	3-14
表3.1.20	メモリ拡張モード及びマイクロプロセッサモードのスイッチング特性	3-14
表3.1.21	マルチマスタI ² C-BUSバスライン特性	3-20
表3.3.1	書き込みアダプタ対応表	3-47
表3.3.2	PROMライタのアドレス設定表	3-47
表3.5.1	CNTR0/CNTR1極性切り替えビットの機能	3-67

第 1 章 ハードウェア

概要

特長

応用

ピン接続

機能ブロック

端子の機能説明

形名とメモリサイズ・パッケージ

グループ展開

機能ブロック動作説明

プログラミング上の注意事項

使用上の注意事項

マスク化発注時の提出資料

ROM書き込み発注時の提出資料

補足説明

概要

3886グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。シリアルI/Oを2本、A-D変換器、D-A変換器、システムデータバスインタフェース機能、ウォッチドッグタイマ、コンパレータ回路を内蔵しており、アナログ信号の処理を行うシステムの制御に最適です。

また、マルチマスタI²Cバスインタフェースをオプションにて追加可能です。

特長

〈マイコンモード〉

- 基本機械語命令 71
- 命令実行時間 0.4 μ s
(最短命令、発振周波数10MHz時)
- メモリ容量 ROM 32~60Kバイト
RAM 1024~2048バイト
- プログラマブル入出力ポート 72本
- ソフトウェアプルアップ抵抗 内蔵
- 割り込み 21要因16ベクタ
(キー入力割り込み含む)
- タイマ 8ビット×4
- シリアルI/O1 8ビット×1
(UART又はクロック同期形)
- シリアルI/O2 8ビット×1
(クロック同期形)
- PWM出力回路 14ビット×2
- バスインタフェース 2バイト
- I²Cバスインタフェース(オプション) 1チャンネル
- A-D変換器 10ビット×8チャンネル
- D-A変換器 8ビット×2チャンネル
- コンパレータ回路 8チャンネル
- ウォッチドッグタイマ 16ビット×1
- クロック発生回路 2回路内蔵
(セラミック共振子又は水晶共振子外付け)
- 電源電圧
高速モード時 4.0~5.5V
(発振周波数10MHz時)
中速モード時 2.7~5.5V(*)
(発振周波数10MHz時)
低速モード時 2.7~5.5V(*)
(発振周波数32kHz時)
(*:フラッシュメモリ版は4.0~5.5Vです)

● 消費電力

高速モード時 40mW
(発振周波数10MHz時、電源電圧5V)

低速モード時 60 μ W
(発振周波数32kHz時、電源電圧3V)

● メモリ拡張 M38867M8A/E8Aのみ可能

● 動作周囲温度 -20~85°C

〈フラッシュメモリモード〉

- 電源電圧(プログラム/イレーズ時) VCC=5V±10%
- プログラム/イレーズ電圧 VPP=11.7~12.6V
- プログラム バイト単位
- イレーズ
一括消去 パラレル/シリアル入出力モード
ブロック消去 CPU書き換えモード
- ソフトウェアコマンドによるプログラム/イレーズ制御
- プログラム/イレーズ回数 100回
- 動作周囲温度(プログラム/イレーズ時) 常温

■ 注意事項

1. フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。
2. フラッシュメモリ版の電源電圧範囲はVCC=4.0~5.5Vです。

応用

家電、民生機器、通信機器、ノートPC等

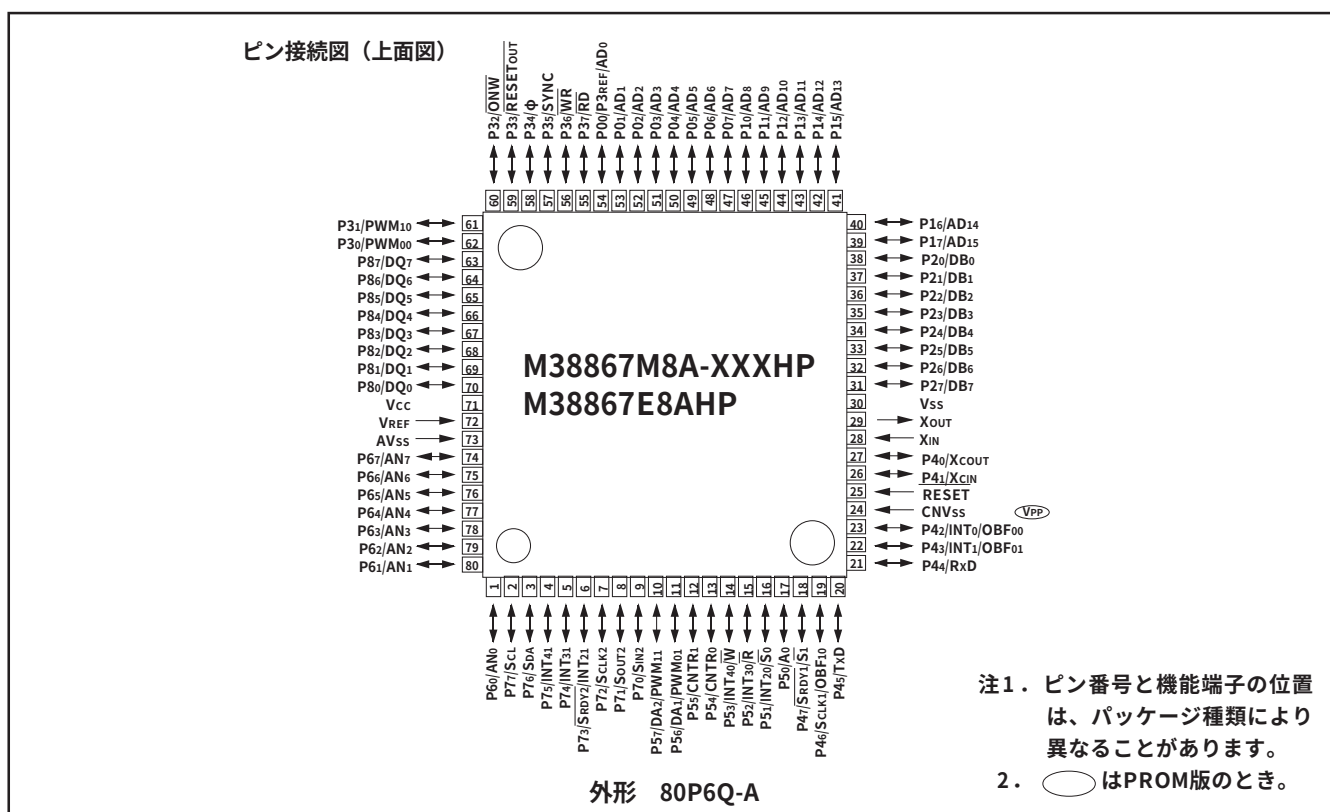


図1. M38867M8A-XXXHP, M38867E8AHPのピン接続図

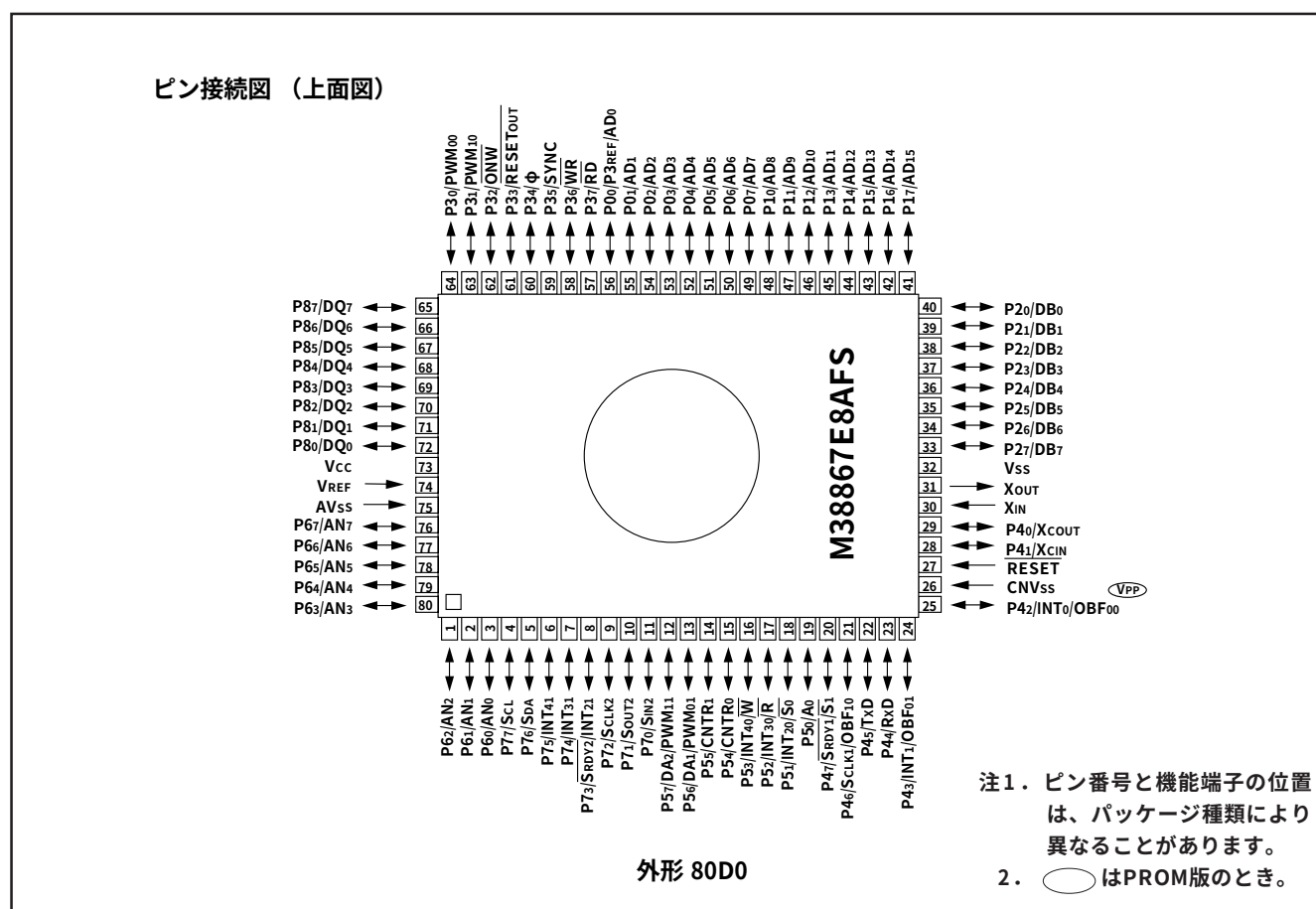


図2. M38867E8AFSのピン接続図



機能ブロック

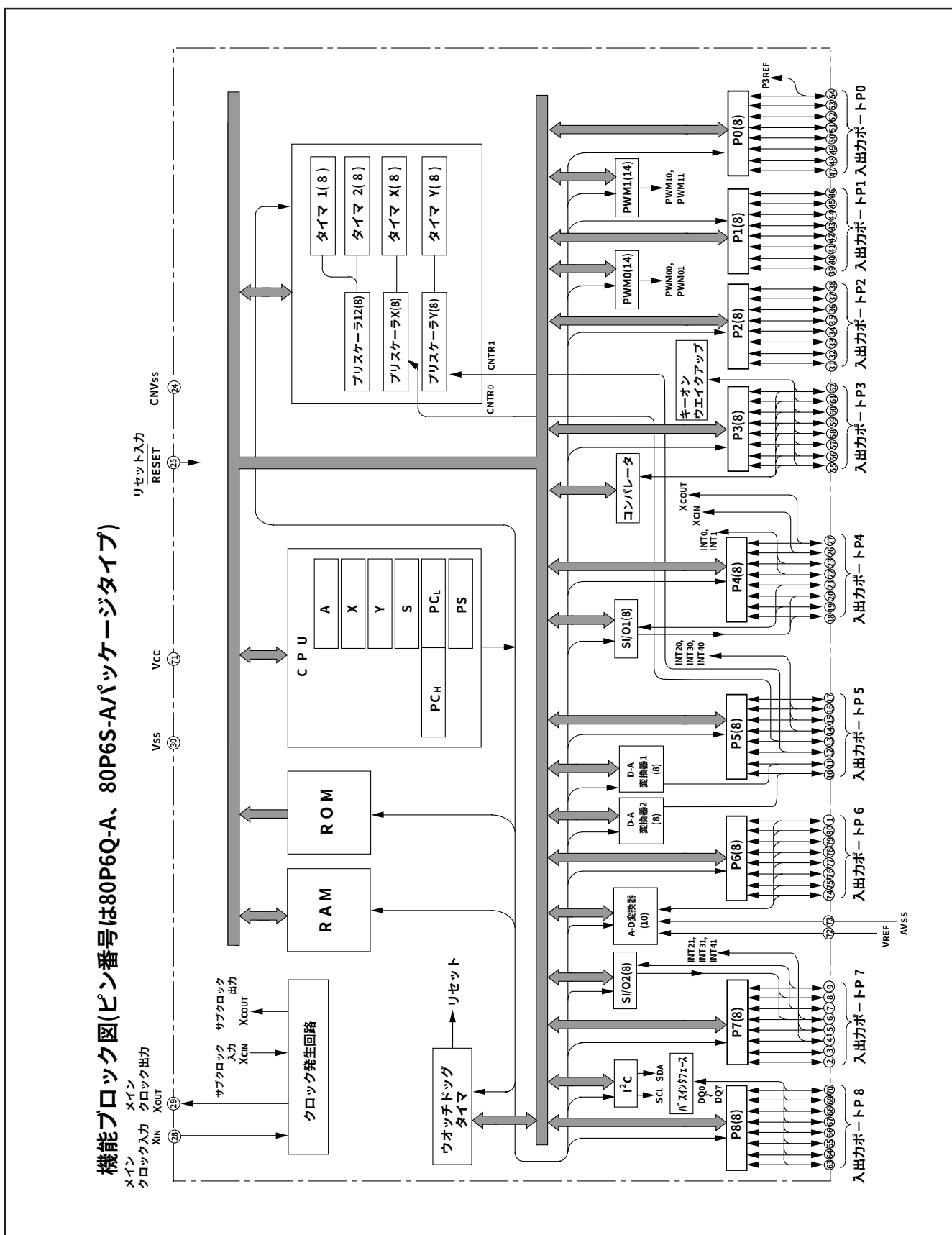


図4. 機能ブロック図

端子の機能説明

表1. 端子の機能説明(1)

端子名	名 称	機 能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.7～5.5V、Vssに0Vを印加します。 フラッシュメモリ版では、Vccに4.0～5.5V、Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。Vccに接続すると、内部ROMが禁止されます。フラッシュメモリ版は、Vssに接続してください。 EPROMモード、及びフラッシュメモリモードでは、VPP電源入力端子になります。	
VREF	基準電圧入力	A-D変換器およびD-A変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器およびD-A変換器のアナログ電源入力端子です。 この端子はVssに接続してください。	
RESET	リセット入力	アクティブ「L」のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力		
P00/P3REF P01～P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを使用する場合は、アドレスバスとして機能します。 CMOS入力レベルで、出力形式はCMOS3ステート/Nチャネルオープンドレインの切り替えが可能です。	コンパレータ基準電源入力端子
P10～P17	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合は、アドレスバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステート/Nチャネルオープンドレインの切り替えが可能です。	
P20～P27	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はデータバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。P24～P27の4ビットは、LED駆動用の大電流出力が可能です。(シングルチップモードのみ)	
P30/PWM00 P31/PWM10 P32～P37	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はコントロールバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。キーオンウエイクアップ及びコンパレータ入力として機能します。 プルアップ制御可能です。	キーオンウエイクアップ入力端子 コンパレータ入力端子 PWM出力端子 キーオンウエイクアップ入力端子 コンパレータ入力端子
P40/XCOUT P41/XCIN	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。 〈入力レベル〉 P40,P41: CMOS入力レベル P42～P46: CMOS/TTL入力レベル切り替え可能 P47: バスインタフェース機能時、CMOS/TTL入力レベル切り替え可能 〈出力形式〉 P40,P41,P47: CMOS3ステート P42～P46: CMOS3ステート/Nチャネルオープンドレイン切り替え可能	サブクロック発生入出力端子(共振子を接続します。)
P42/INT0 /OBF00 P43/INT1 /OBF01			割り込み入力端子 バスインタフェース機能端子
P44/RxD P45/TxD			シリアル/O1機能端子
P46/SCLK1 /OBF10 P47/SRDY1 /S1		・P42～P46は、入力ポート又は出力ポートの設定にかかわらず端子レベルの入力が可能です。 ・P42,P43を出力ポートとして使用する場合、出力データバスバッファ0をホストCPUが読み出した時P42,P43を「0」クリアする機能を追加可能です。	シリアル/O1機能端子 バスインタフェース機能端子

表2. 端子の機能説明(2)

端子名	名 称	機 能	ポート以外の機能
P50/A0	入出力ポートP5	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベル, 出力形式はCMOS3ステートです。 P50～P53はバスインタフェース機能時, CMOS/TTL入力レベル切り替えが可能です。	バスインタフェース機能端子
P51/INT20 /S0 P52/INT30 /R P53/INT40 /W			割り込み入力端子 バスインタフェース機能端子
P54/CNTR0 P55/CNTR1			タイマX, タイマY機能端子
P56/DA1 /PWM01 P57/DA2 /PWM11			D-A変換器出力端子 PWM出力端子
P60/AN0～ P67/AN7	入出力ポートP6	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベル, 出力形式はCMOS3ステートです。	A-D変換器入力端子
P70/SIN2 P71/SOUT2 P72/SCLK2	入出力ポートP7	P0とほぼ同等の機能を持った8ビットの入出力ポートです。P70～P75はCMOS/TTL入力レベル切り替えが可能, P76,P77はI ² C-BUSインタフェース機能時, CMOS/SMBUS入力レベル切り替えが可能です。出力形式はNチャネルオープンドレインです。 P70～P75は, 入力ポート又は出力ポートの設定にかかわらず端子レベルの入力が可能です。	シリアルI/O2機能端子
P73/SRDY2 /INT21			シリアルI/O2機能端子 割り込み入力端子
P74/INT31 P75/INT41			割り込み入力端子
P76/SDA P77/SCL			I ² C-BUS インタフェース機能端子
P80/DQ0～ P87/DQ7	入出力ポートP8	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで, 出力形式はCMOS3ステートです。バスインタフェース機能時, CMOS/TTL入力レベル切り替えが可能です。	バスインタフェース機能端子

形名とメモリサイズ・パッケージ

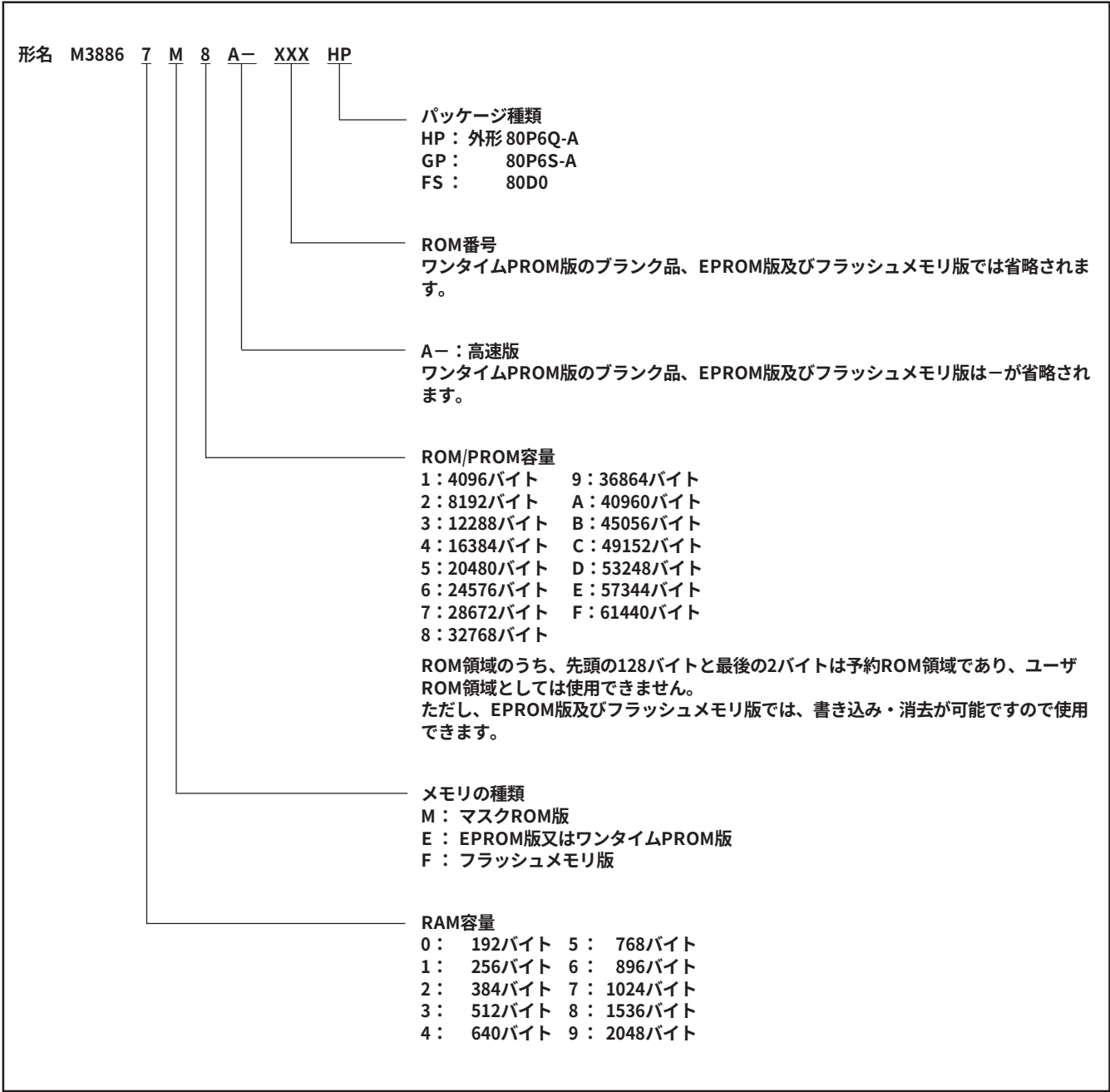


図5. 形名とメモリサイズ・パッケージ

グループ展開

3886グループは次のように展開しています。

メモリの種類

マスクROM版、ワンタイムPROM版、EPROM版、
フラッシュメモリ版のサポート

メモリ容量

ROM容量 32K～60Kバイト

RAM容量 1024～2048バイト

パッケージ

80P6Q-A 0.5mmピッチプラスチックモールドLQFP

80P6S-A 0.65mmピッチプラスチックモールドQFP

80D0 0.8mmピッチセラミックLCC(EPROM版)

ピン番号と機能端子の位置は、パッケージ種類により異なる
ことがあります。

3886グループ ROM、RAM展開

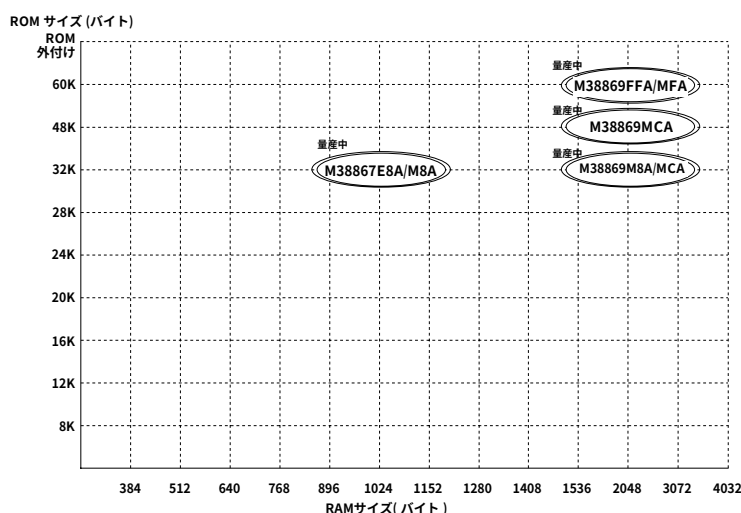


図6. ROM及びRAM展開

現在量産中の製品を下記に示します。

表3. サポート製品一覧

2000年2月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備 考
M38867M8A-XXXHP	32768 (32638)	1024	80P6Q-A	マスクROM版
M38867E8A-XXXHP				ワンタイムPROM版
M38867E8AHP				ワンタイムPROM版(ブランク品)
M38867E8AFS			80D0	EPROM版
M38869M8A-XXXHP	49152 (49022)	2048	80P6Q-A	マスクROM版
M38869M8A-XXXGP			80P6S-A	
M38869MCA-XXXHP			80P6Q-A	
M38869MCA-XXXGP			80P6S-A	
M38869MFA-XXXHP	80P6Q-A			
M38869MFA-XXXGP	80P6S-A			
M38869FFAHP	80P6Q-A		フラッシュメモリ版	
M38869FFAGP	80P6S-A			

機能ブロック動作説明

中央演算処理装置 (CPU)

3886グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図7にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

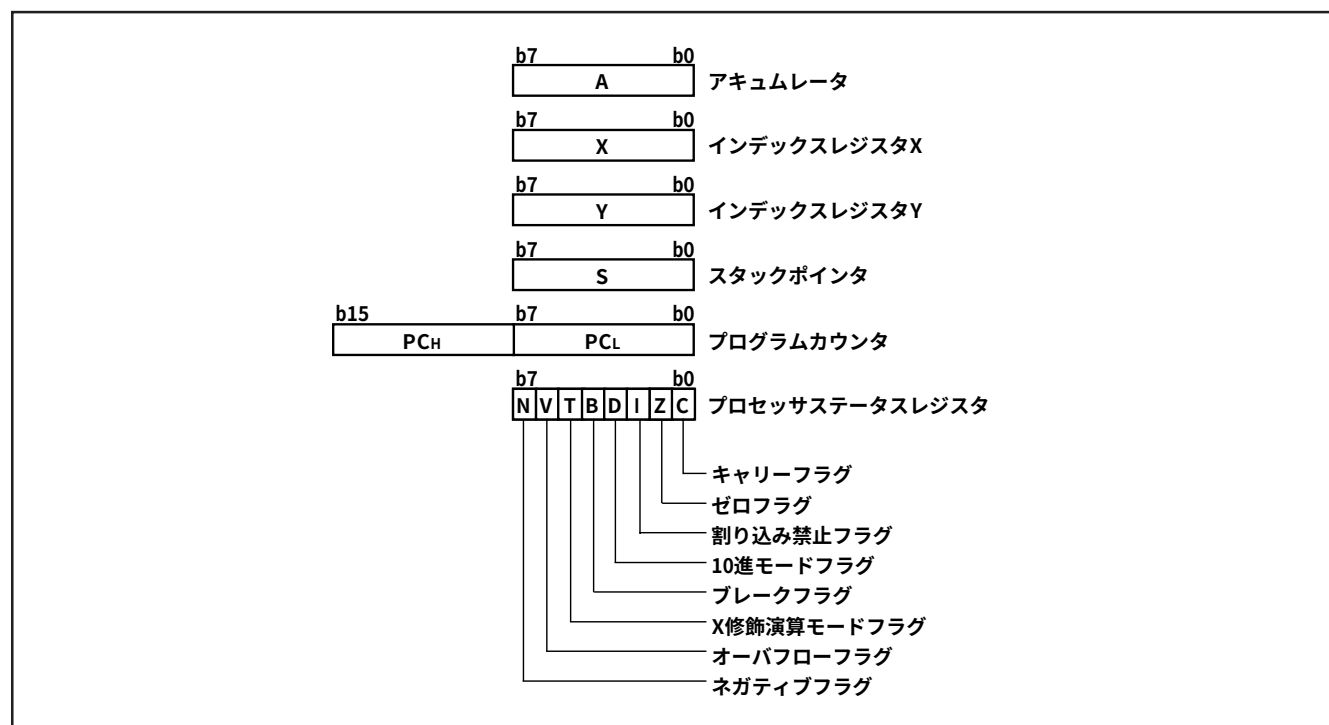
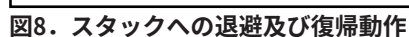


図7. 740ファミリ CPUの構成



	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】

CPUモードレジスタには、スタックページの選択ビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

このレジスタは003B16番地に配置されています。

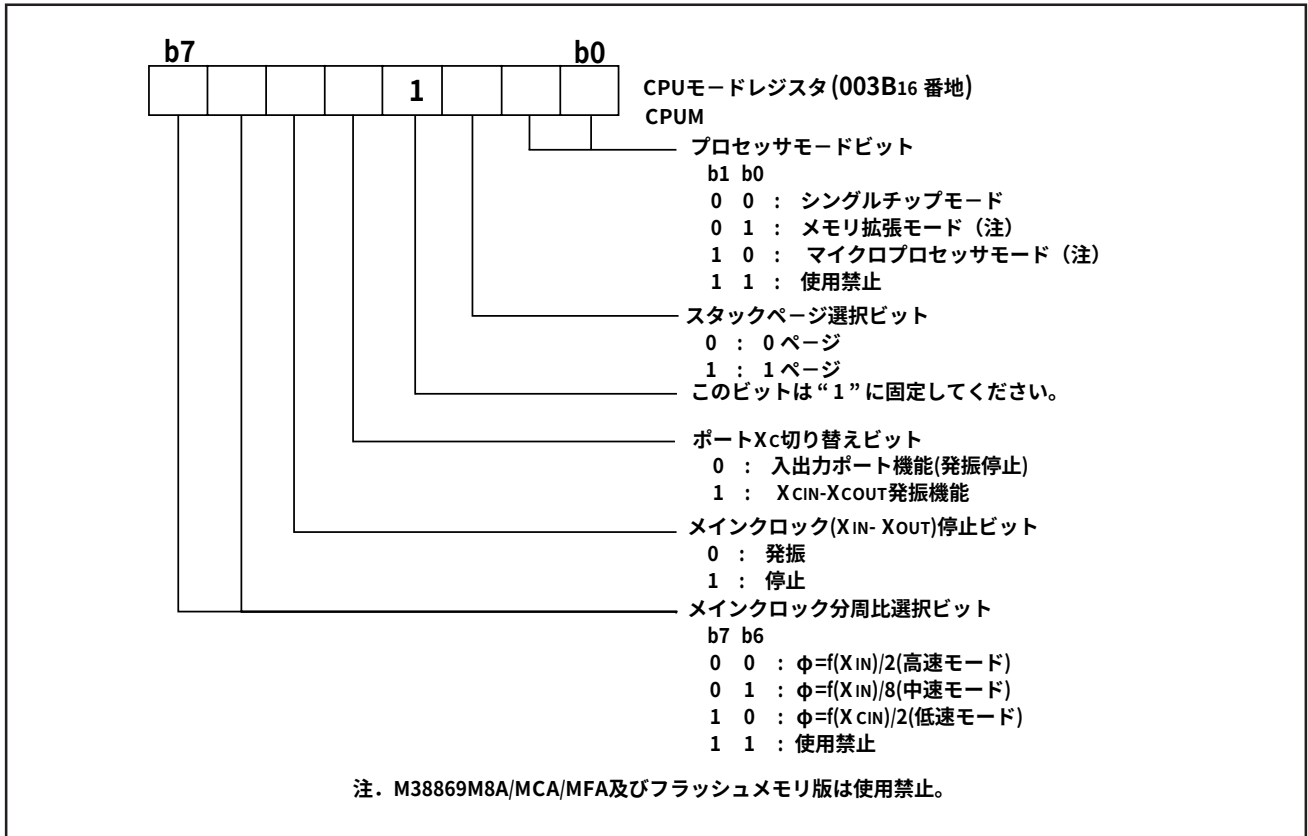


図9. CPUモードレジスタの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

●ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。EPROM版、フラッシュメモリ版では、予約ROM領域のプログラム／イレーズが可能です。

●割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

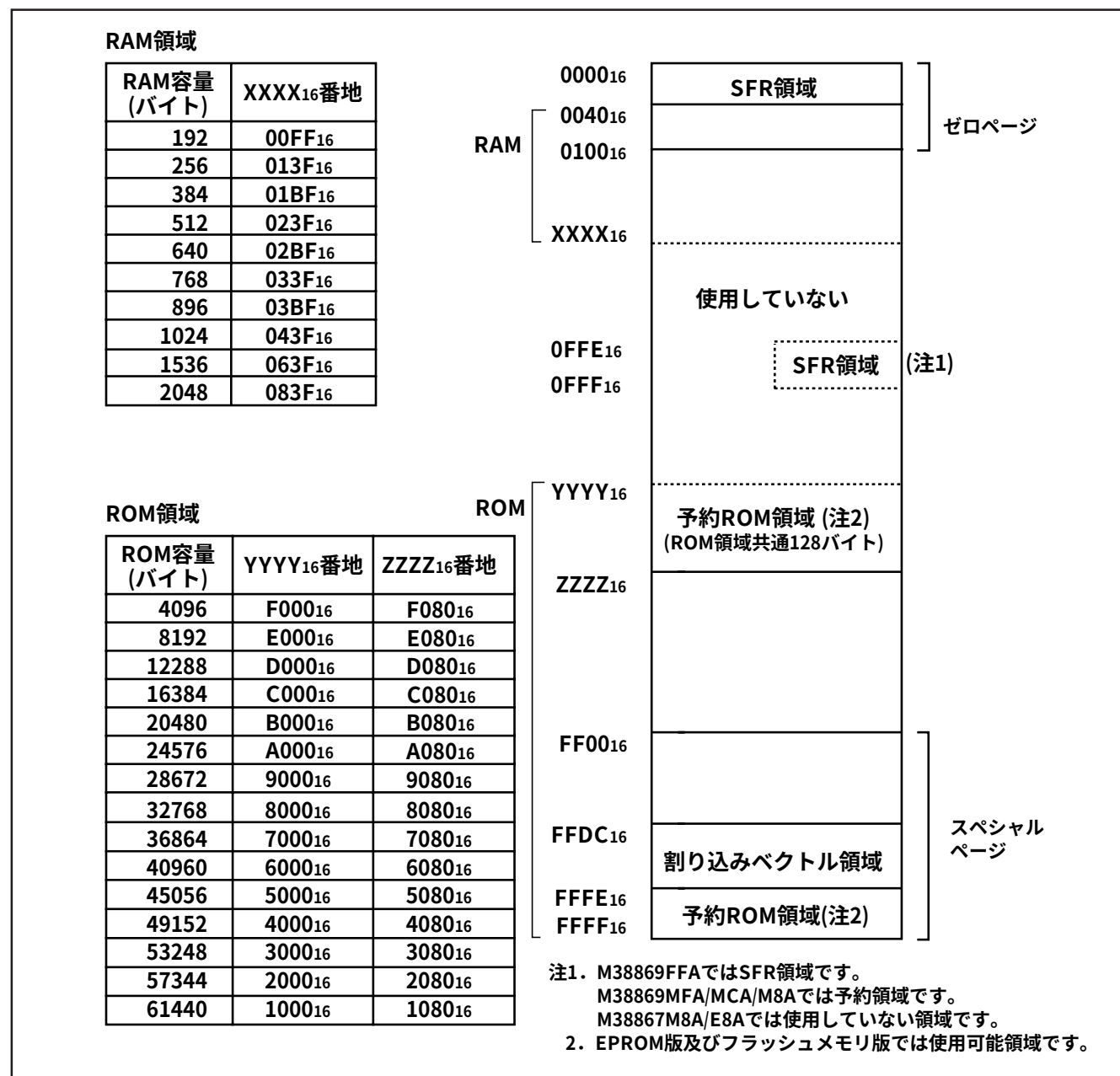


図10. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケアラ12(PRE12)	
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)	
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)	
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)	
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケアラX(PREX)	
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)	
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケアラY(PREY)	
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)	
0008 ₁₆	ポートP4(P4)	0028 ₁₆	データバスバッファレジスタ0(DBB0)	
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	データバスバッファステータスレジスタ0(DBBSTS0)	
000A ₁₆	ポートP5(P5)	002A ₁₆	データバスバッファ制御レジスタ(DBBCON)	
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	データバスバッファレジスタ1(DBB1)	
000C ₁₆	ポートP6(P6)	002C ₁₆	データバスバッファステータスレジスタ1(DBBSTS1)	
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	コンパレータデータレジスタ(CMPD)	
000E ₁₆	ポートP7(P7)	002E ₁₆	ポート制御レジスタ1(PCTL1)	
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	ポート制御レジスタ2(PCTL2)	
0010 ₁₆	ポートP8(P8)/ ポートP4入力レジスタ(P4I)	0030 ₁₆	PWM0Hレジスタ(PWM0H)	
0011 ₁₆	ポートP8方向レジスタ(P8D)/ポートP7入力レジスタ(P7I)	0031 ₁₆	PWM0Lレジスタ(PWM0L)	
0012 ₁₆	I ² Cデータシフトレジスタ(S0)	0032 ₁₆	PWM1Hレジスタ(PWM1H)	
0013 ₁₆	I ² Cアドレスレジスタ(S0D)	0033 ₁₆	PWM1Lレジスタ(PWM1L)	
0014 ₁₆	I ² Cステータスレジスタ(S1)	0034 ₁₆	AD/DA制御レジスタ(ADCON)	
0015 ₁₆	I ² Cコントロールレジスタ(S1D)	0035 ₁₆	A-D変換レジスタ1(AD1)	
0016 ₁₆	I ² Cクロックコントロールレジスタ(S2)	0036 ₁₆	D-A1変換レジスタ(DA1)	
0017 ₁₆	I ² Cスタート/ストップコンディション制御レジスタ(S2D)	0037 ₁₆	D-A2変換レジスタ(DA2)	
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	A-D変換レジスタ2(AD2)	
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	割り込み要因選択レジスタ(INTSEL)	
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)	
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)	
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)	
001D ₁₆	シリアルI/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)	
001E ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)	003E ₁₆	割り込み制御レジスタ1(ICON1)	
001F ₁₆	シリアルI/O2レジスタ(SIO2)	003F ₁₆	割り込み制御レジスタ2(ICON2)	
		0FFE ₁₆	フラッシュメモリ制御レジスタ(FCON)	(注)
		0FFF ₁₆	フラッシュコマンドレジスタ(FCMD)	(注)

注. フラッシュメモリ版のみ

図11. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポート

ラッチに書き込まれますが、端子はフローティングのままです。

ポート制御レジスタ2(002F16番地)のP8機能選択ビットを“1”にすることにより、001016番地の読み出しがポートP4入力レジスタとなります。001116番地の読み出しがポートP7入力レジスタとなります。P42～P46、P70～P75は特殊機能として、方向レジスタの設定にかかわらず、それぞれポートP4入力レジスタ(001016番地)、ポートP7入力レジスタ(001116番地)を読み出すことで端子の値を読むことができます。

表6. 入出力ポートの機能一覧(1)

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番		
P00/P3REF	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート/Nチャネル オープンドレイン出力	アドレス下位出力 アナログコンパレータ電源 入力端子	CPUモードレジスタ ポート制御レジスタ1 シリアル/O2制御 レジスタ	(1)		
P01～P07				アドレス下位出力	CPUモードレジスタ	(2)		
P10～P17				アドレス上位出力	ポート制御レジスタ1			
P20～P27	ポートP2		CMOS入力レベル CMOS3ステート出力	データバス入出力	CPUモードレジスタ	(3)		
P30/PWM00 P31/PWM10	ポートP3			制御信号入出力 PWM出力 キーオンウエイクアップ コンパレータ入力	CPUモードレジスタ ポート制御レジスタ1 AD/DA制御レジスタ	(4) (5)		
				制御信号入出力 キーオンウエイクアップ コンパレータモード	CPUモードレジスタ ポート制御レジスタ1	(6)		
P32～P37				サブクロック発振回路	CPUモードレジスタ	(7) (8)		
P40/XCOUT P41/XCIN	ポートP4		CMOS/TTL入力レベル CMOS3ステート/Nチャネル オープンドレイン出力	外部割り込み入力 バスインタフェース機能 入出力	割り込みエッジ選択 レジスタ ポート制御レジスタ2 データバスバッファ 制御レジスタ	(9) (10)		
P42/INT0 /OBF00 P43/INT1 /OBF01				シリアル/O1機能入力	シリアル/O1制御 レジスタ ポート制御レジスタ2	(11)		
P44/RxD				シリアル/O1機能出力	シリアル/O1制御 レジスタ UART制御レジスタ ポート制御レジスタ2		(12)	
P45/TxD				シリアル/O1機能入出力 バスインタフェース機能 出力	シリアル/O1制御 レジスタ データバスバッファ 制御レジスタ ポート制御レジスタ2	(13)		
P46/SCLK1 /OBF10				シリアル/O1機能出力 バスインタフェース機能 入力	シリアル/O1制御 レジスタ データバスバッファ 制御レジスタ		(14)	
P47/SRDY1 /S1				CMOS入力レベル CMOS3ステート出力 〈バスインタフェース機能選択時〉 CMOS/TTL入力レベル	CMOS入力レベル CMOS3ステート出力 CMOS/TTL入力レベル	CMOS/TTL入力レベル		CMOS/TTL入力レベル

表7. 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P50/A0	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力 〈バスインタフェース機能選択時〉 CMOS/TTL入力レベル	バスインタフェース機能 入力	データバスバッファ 制御レジスタ	(15)
P51/INT20 /S0 P52/INT30 /R P53/INT40 /W				外部割り込み入力 バスインタフェース機能 入力	割り込みエッジ選択 レジスタ データバスバッファ 制御レジスタ	(16)
P54/CNTR0 P55/CNTR1			CMOS入力レベル CMOS3ステート出力	タイマX、タイマY機能 入出力	タイマXYモード レジスタ	(17)
P56/DA1 /PWM01 P57/DA2 /PWM11				D-A変換器出力 PWM出力	AD/DA制御レジスタ UART制御レジスタ	(18) (19)
P60/AN0～ P67/AN7				A-D変換器入力	AD/DA制御レジスタ	(20)
P70/SIN2 P71/SOUT2 P72/SCLK2	ポートP7		CMOS/TTL入力レベル Nチャネルオープンドレイン 出力	シリアル/O2機能入出力	シリアル/O2制御 レジスタ ポート制御レジスタ2	(21) (22) (23)
P73/SRDY2 /INT21				シリアル/O2機能出力 バスインタフェース機能 入力	シリアル/O2制御 レジスタ ポート制御レジスタ2	(24)
P74/INT31 P75/INT41				外部割り込み入力	割り込みエッジ選択 レジスタ ポート制御レジスタ2	(25)
P76/SDA P77/SCL			CMOS入力レベル Nチャネルオープンドレイン 出力 〈I ² C-BUSインタフェース機能選択時〉 CMOS/SMBUS入力レベル	I ² C-BUSインタフェース 機能入出力	I ² Cコントロール レジスタ	(26) (27)
P80/DQ0～ P87/DQ7	ポートP8		CMOS入力レベル CMOS3ステート出力 〈バスインタフェース機能選択時〉 CMOS/TTL入力レベル	バスインタフェース機能 入出力	データバスバッファ 制御レジスタ	(28)

注1. シングルチップモード以外のモードにおけるポートP0～P3の機能、及びダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はV_{cc}にしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

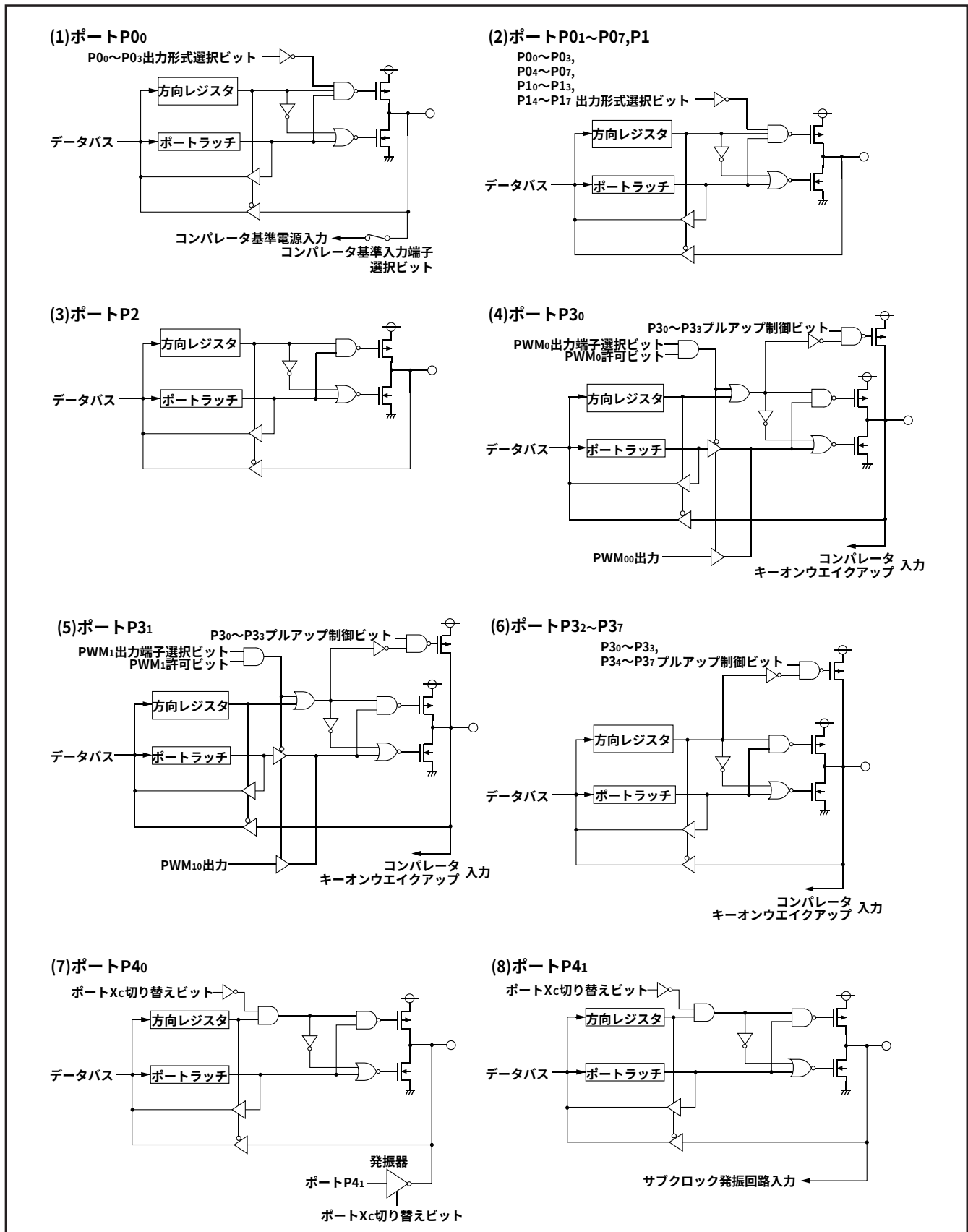
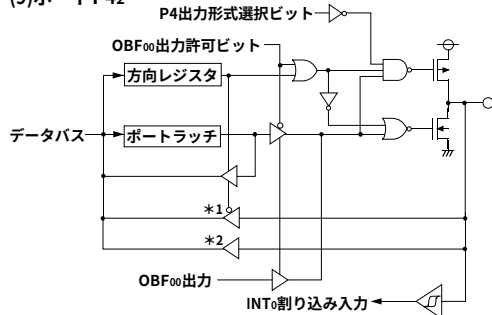
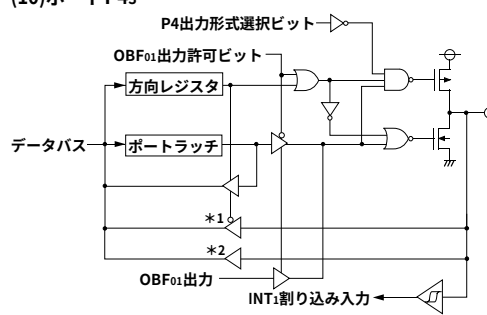


図12. ポートのブロック図(1)

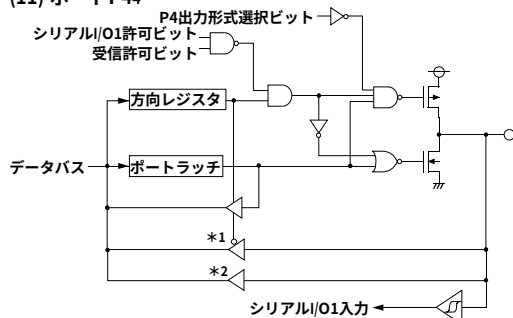
(9)ポートP42



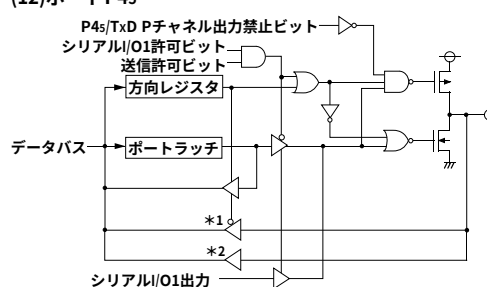
(10)ポートP43



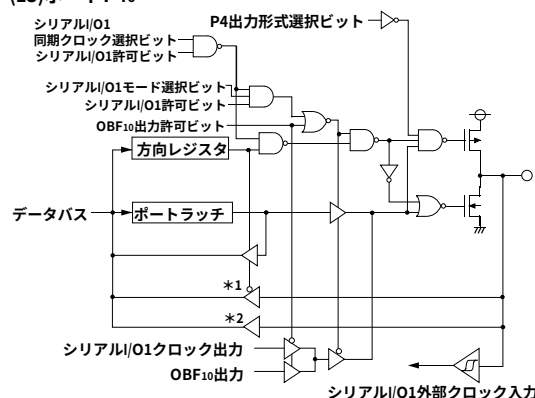
(11)ポートP44



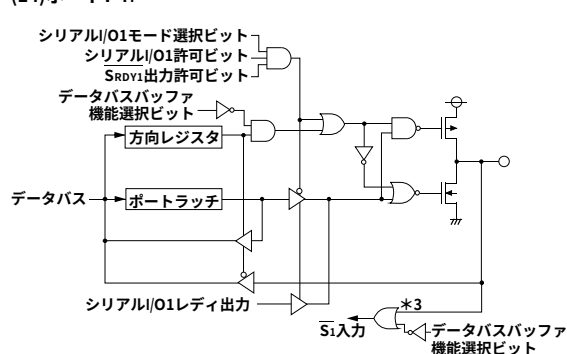
(12)ポートP45



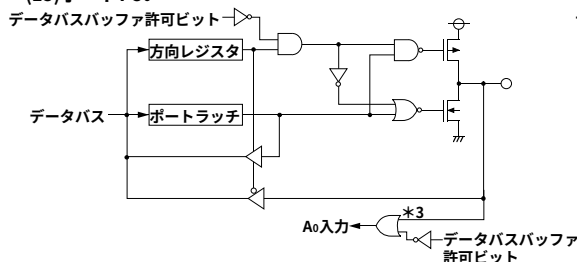
(13)ポートP46



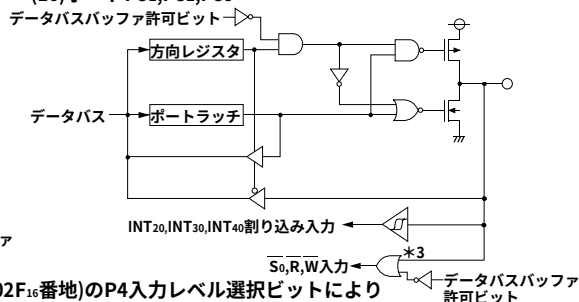
(14)ポートP47



(15)ポートP50



(16)ポートP51,P52,P53



- *1.入力レベルはポート制御レジスタ2(002F₁₆番地)のP4入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。
- *2.入力レベルはポート制御レジスタ2(002F₁₆番地)のP4入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。
ポート制御レジスタ2(002F₁₆番地)のP8機能選択ビットによりポートP8/ポートP4入力レジスタの切り替えが可能です。
- *3.入力レベルはデータバスバッファ制御レジスタ(002A₁₆番地)の入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。

図13. ポートのブロック図(2)

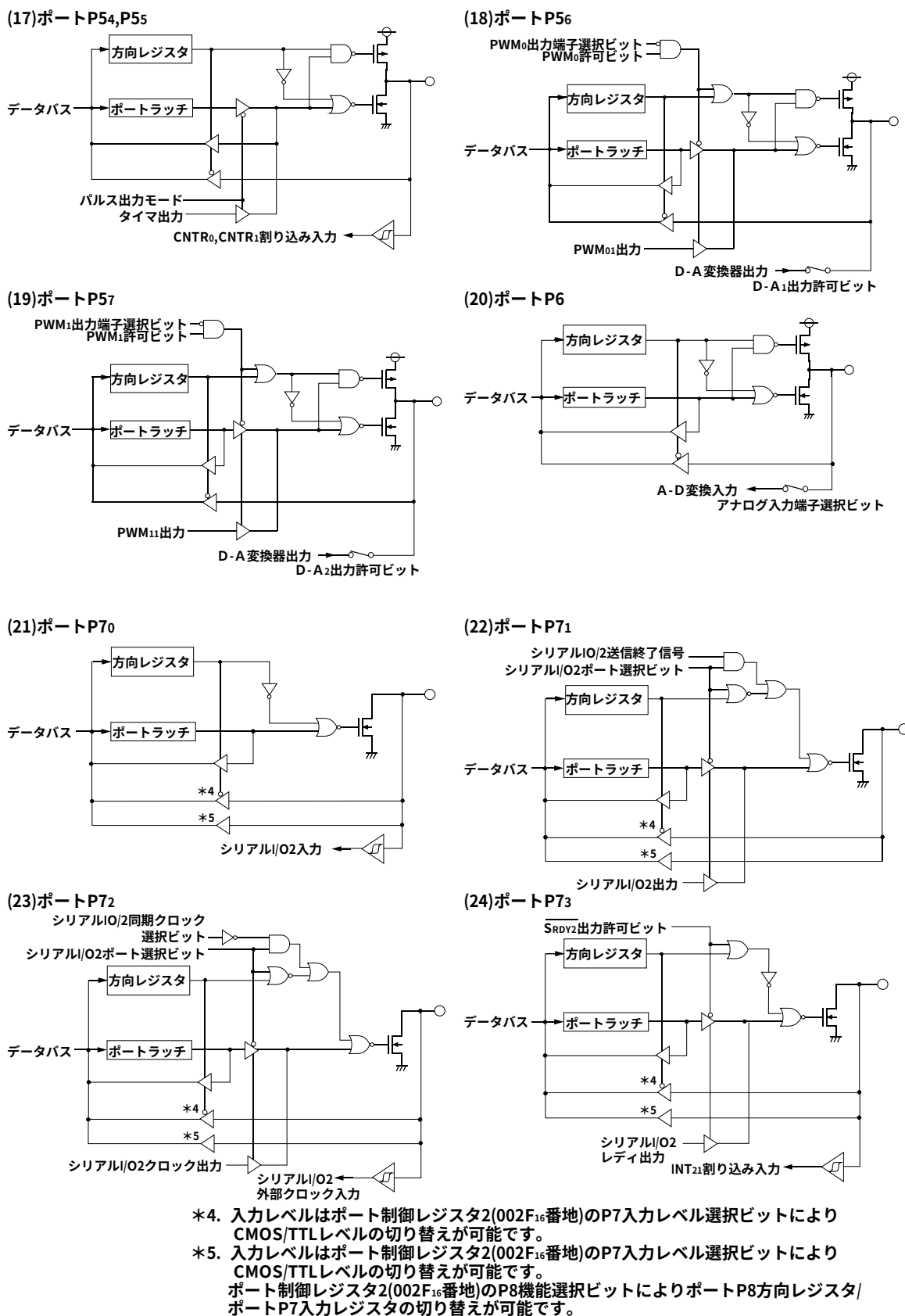


図14. ポートのブロック図(3)

図15. ポートのブロック図(4)

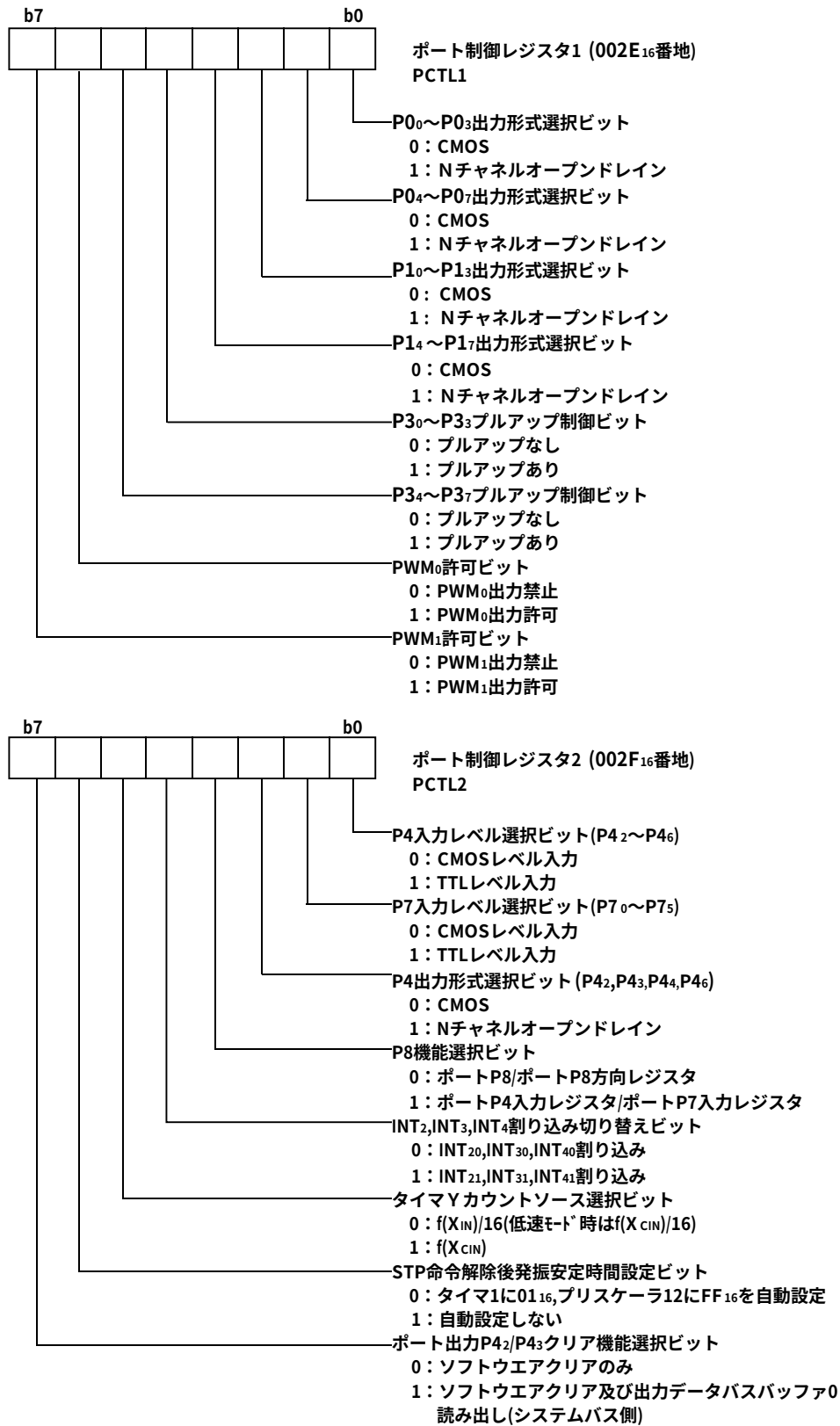


図16. ポート入出力関連レジスタの構成

割り込み

割り込みはベクトル割り込みで、外部9要因、内部11要因、ソフトウェア1要因の21要因のうち16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

・割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(003916番地)によりいずれかを選択することができます。

1. INT0あるいはインプットバッファフル
2. INT1あるいはアウトプットバッファエンプティ
3. シリアルI/O1送信あるいはSCLSDA
4. CNTR0あるいはSCLSDA
5. シリアルI/O2あるいはI²C
6. INT2あるいはI²C
7. CNTR1あるいはキーオンウエイクアップ
8. A-D変換あるいはキーオンウエイクアップ

・外部割り込み端子選択

外部割り込みINT2、INT3、INT4は、外部入力端子であるINT20、INT30、INT40あるいは、INT21、INT31、INT41のいずれかをポート制御レジスタ2のINT2、INT3、INT4割り込み切り替えビット(002F16番地のビット4)により選択することができます。

■注意事項

割り込みエッジ選択レジスタ(003A16番地)、割り込み要因選択レジスタ(003916番地)及びポート制御レジスタ2のINT2、INT3、INT4割り込み切り替えビット(002F16番地のビット4)の設定を変更する際、割り込み要求ビットがセットされることがあります。

割り込みを禁止し、上記の選択レジスタや切り替えビットを設定した後、割り込み要求ビットを“0”にクリアしてから、割り込みを受け付けてください。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先 順位	ベクトル番地(注1)		割り込み要求発生条件	備 考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0 ----- インプットバッファフル (IBF)	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時 ----- 入力データバスバッファ書き込み時	外部割り込み (極性プログラマブル)
INT1 ----- アウトプットバッファエンピティ(OBE)	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時 ----- 出力データバスバッファ読み出し時	外部割り込み (極性プログラマブル)
シリアル/O1受信	4	FFF716	FFF616	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信 ----- SCL, SDA	5	FFF516	FFF416	シリアル/O1送信シフト終了時又は送信バッファ空き時 ----- SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	シリアル/O1選択時のみ有効 ----- 外部割り込み (極性プログラマブル)
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ1	8	FFEF16	FFEE16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	9	FFED16	FFEC16	タイマ2アンダフロー時	
CNTR0 ----- SCL, SDA	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時 ----- SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル) ----- 外部割り込み (極性プログラマブル)
CNTR1 ----- キーオンウエイクアップ	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時 ----- ポートP3(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み (極性プログラマブル) ----- 外部割り込み (立ち下がり有効)
シリアル/O2 ----- I ² C	12	FFE716	FFE616	シリアル/O2データ送受信終了時 ----- データ送受信完了時	シリアル/O2選択時のみ有効
INT2 ----- I ² C	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時 ----- データ送受信完了時	外部割り込み (極性プログラマブル)
INT3	14	FFE316	FFE216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT4	15	FFE116	FFE016	INT4入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換 ----- キーオンウエイクアップ	16	FFDF16	FFDE16	A-D変換終了時 ----- ポートP3(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み (立ち下がり有効)
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

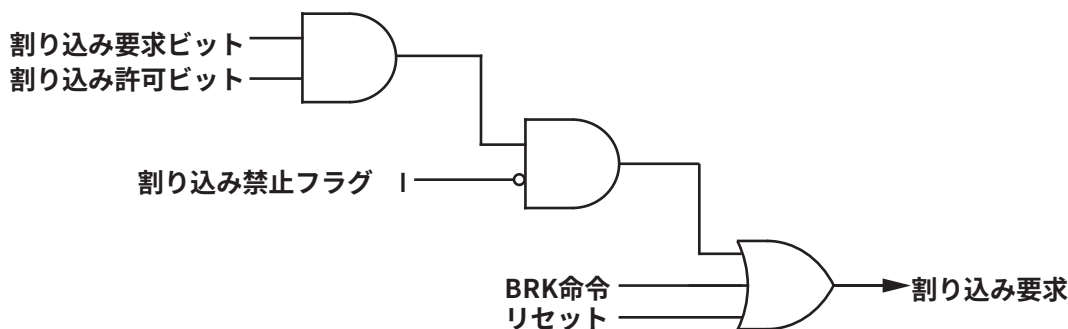


図17. 割り込み制御図

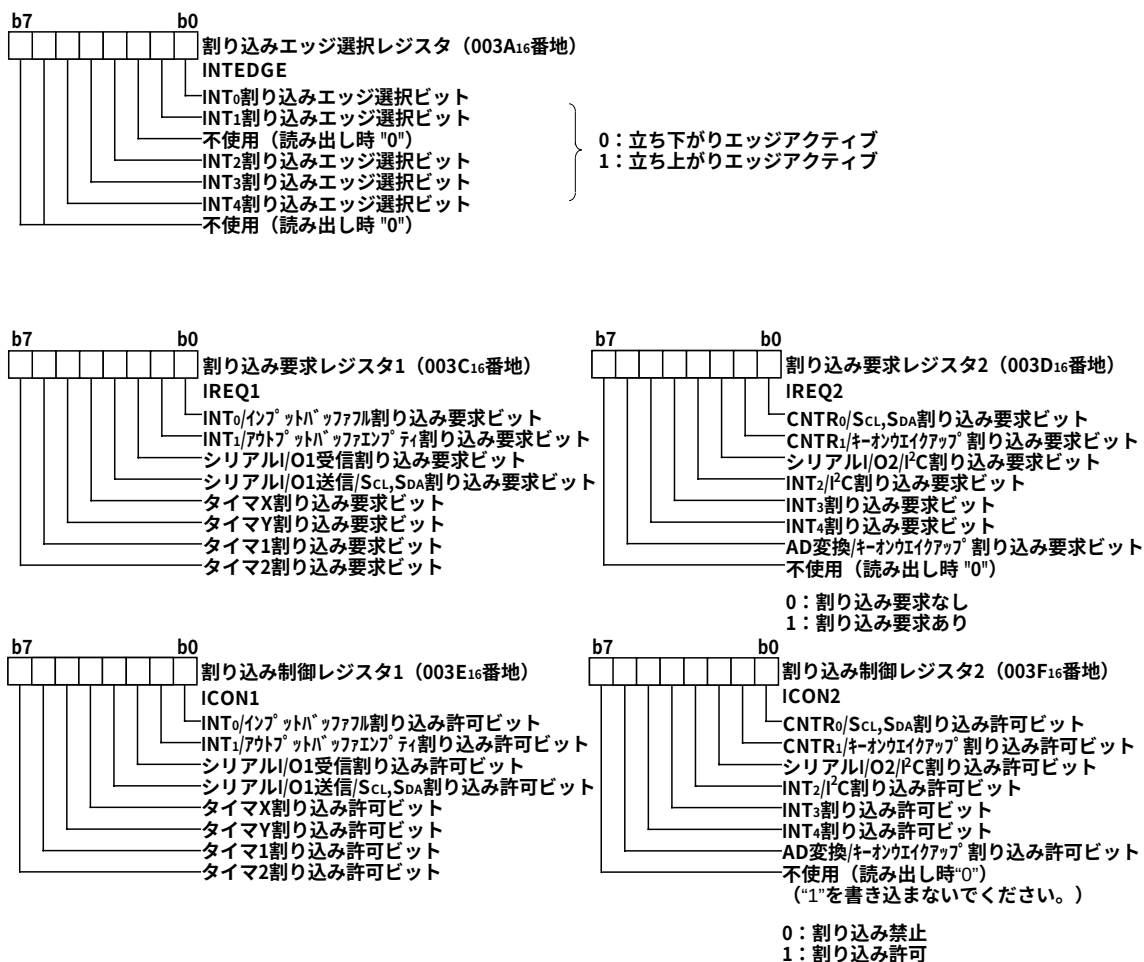


図18. 割り込み関係レジスタの構成(1)

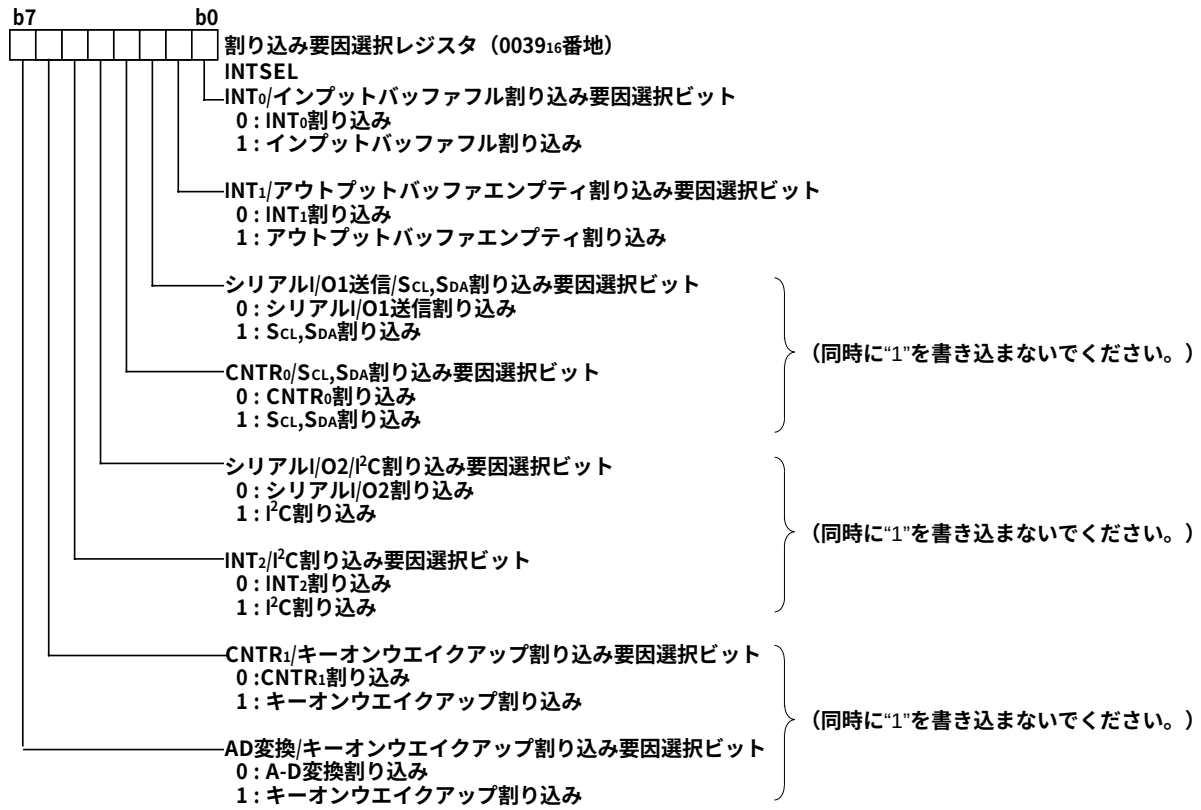


図19. 割り込み関係レジスタの構成(2)

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP3のうち入力に設定されている端子のいずれかに「L」レベルの電圧が印加されると、すなわち入力レベルの論理積が「1」から「0」になると割り込み要求が

発生します。図20はキー入力割り込みを用いた一例で、ポートP30～P33を入力とするアクティブ L のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

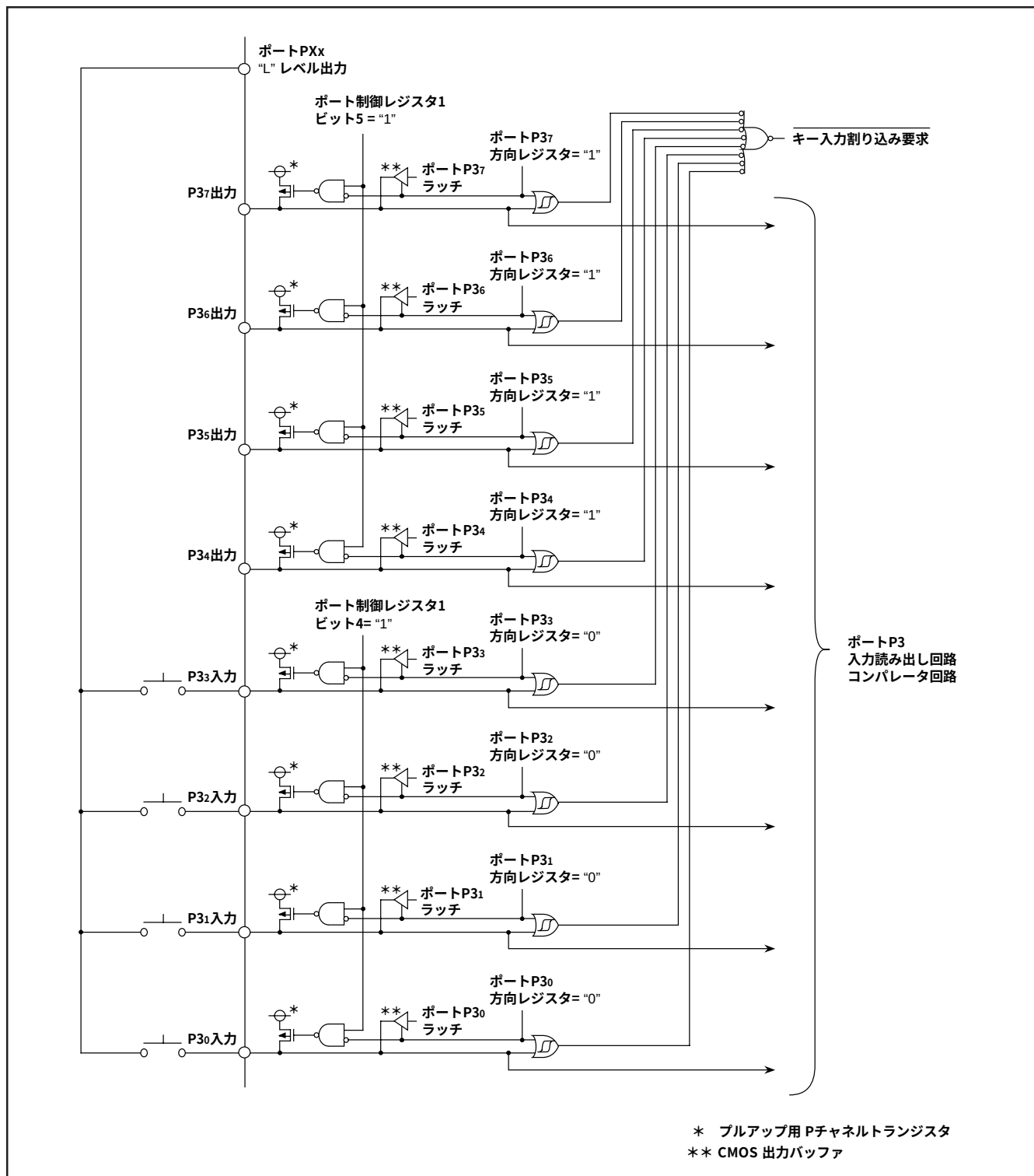


図20. キー入力割り込み使用時の結線例とポートP3のブロック図

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

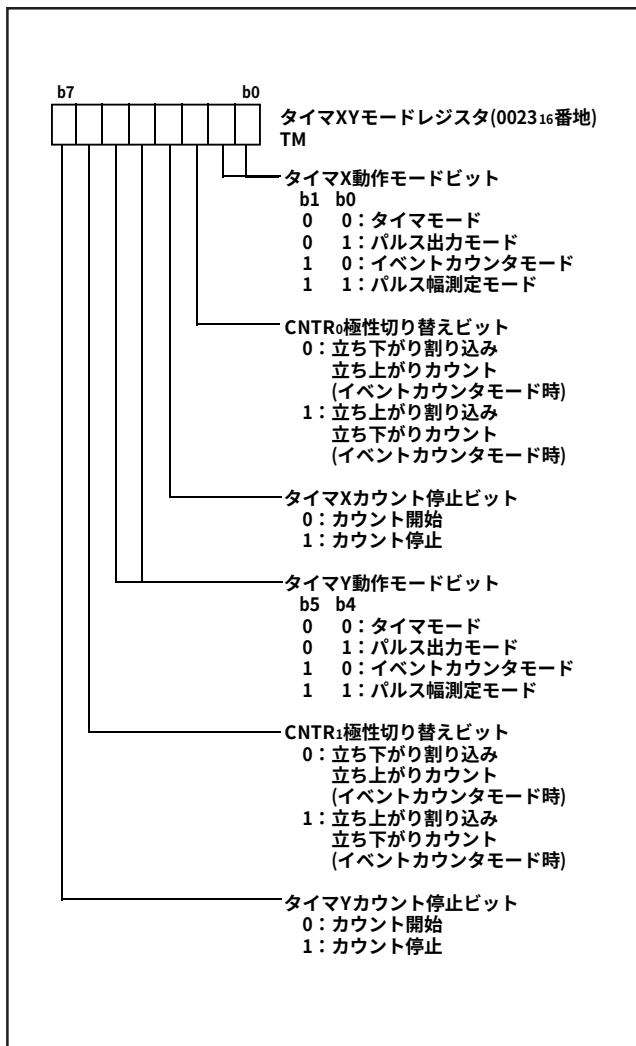


図21. タイマXYモードレジスタの構成

●タイマ1、タイマ2

プリスケアラ12は、常に発振周波数を16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

発振周波数を16分周した信号をカウントします。

(2)パルス出力モード

発振周波数を16分周した信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0又はCNTR1端子より出力します。CNTR0又はCNTR1極性切り替えビットが“0”のときは、CNTR0又はCNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP54又はポートP55の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0又はCNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0又はCNTR1極性切り替えビットが“0”のときは、CNTR0又はCNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0又はCNTR1極性切り替えビットが“0”のときは、CNTR0又はCNTR1端子が“H”の期間、発振周波数を16分周した信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX又はタイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

タイマYのタイマモードとパルス出力モードについては、ポート制御レジスタ2(002F16番地)のビット5(タイマYカウントソース選択ビット)により、発振周波数の16分周あるいはf(XCIN)を選択することが可能です。

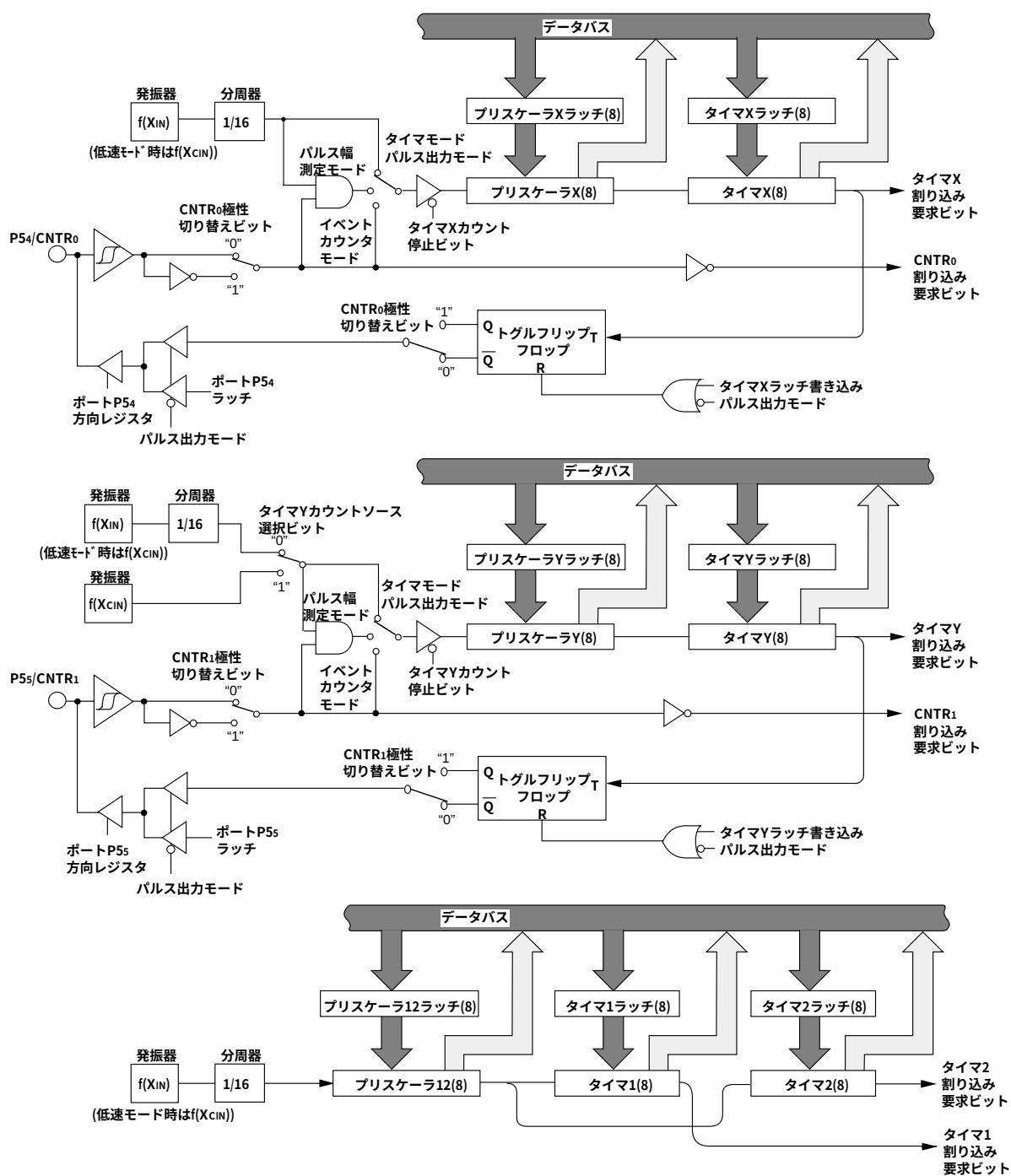


図22. タイマX, タイマY, タイマ1及びタイマ2のブロック図

シリアルI/O

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(001A16番地のビット6)を“1”にすることによってクロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/Oでは、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

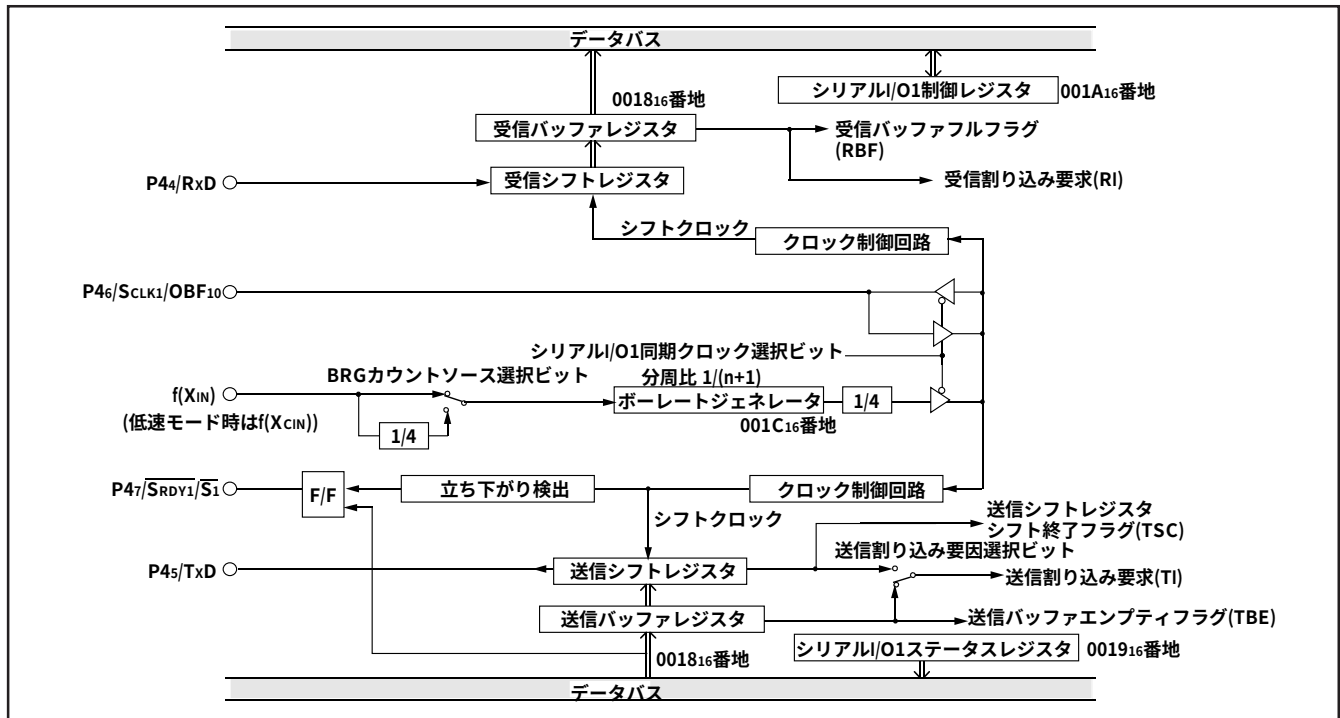


図23. クロック同期形シリアルI/O1ブロック図

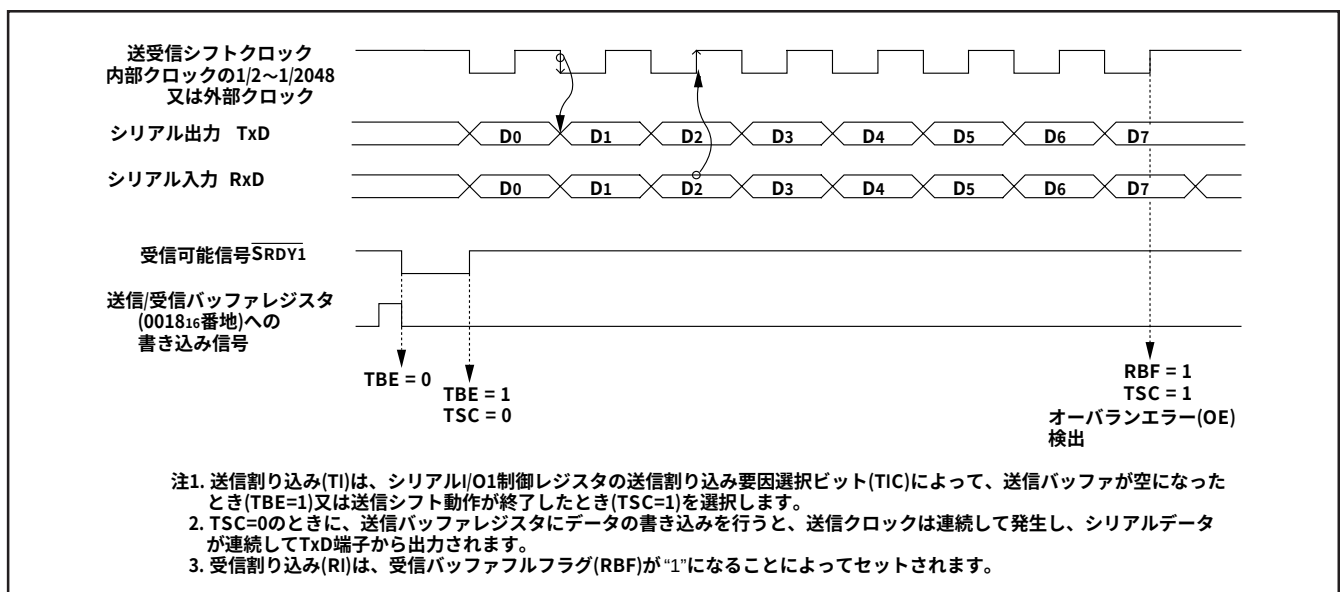


図24. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビットを“0”にすることによってUARTが選択されます。

3886グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3886グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレ

レジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

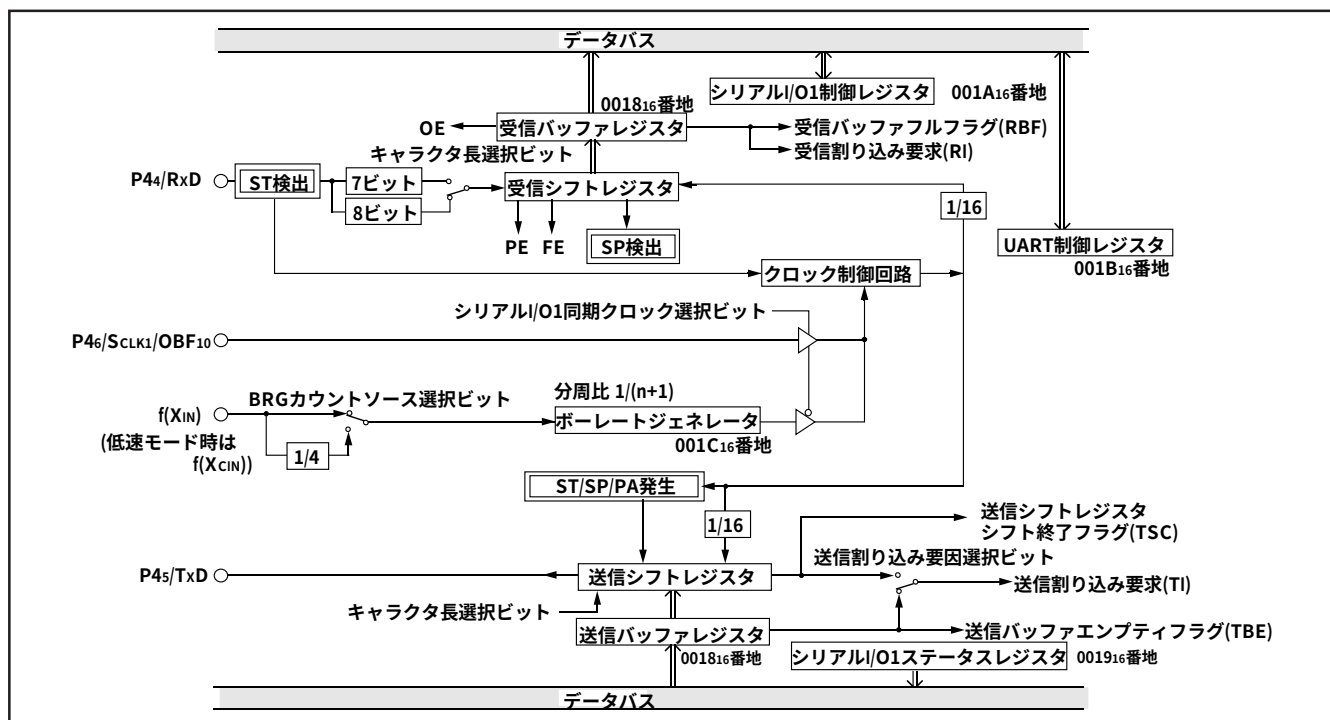


図25. UART形シリアル/01ブロック図

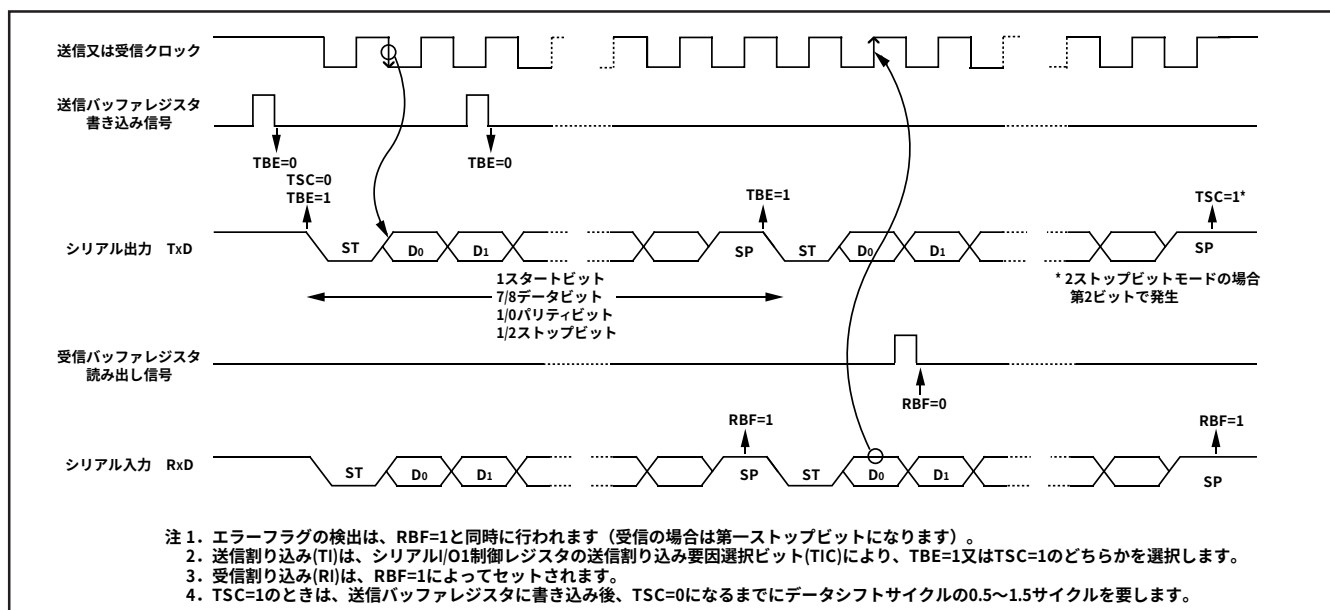


図26. UART形シリアルI/O1動作図

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

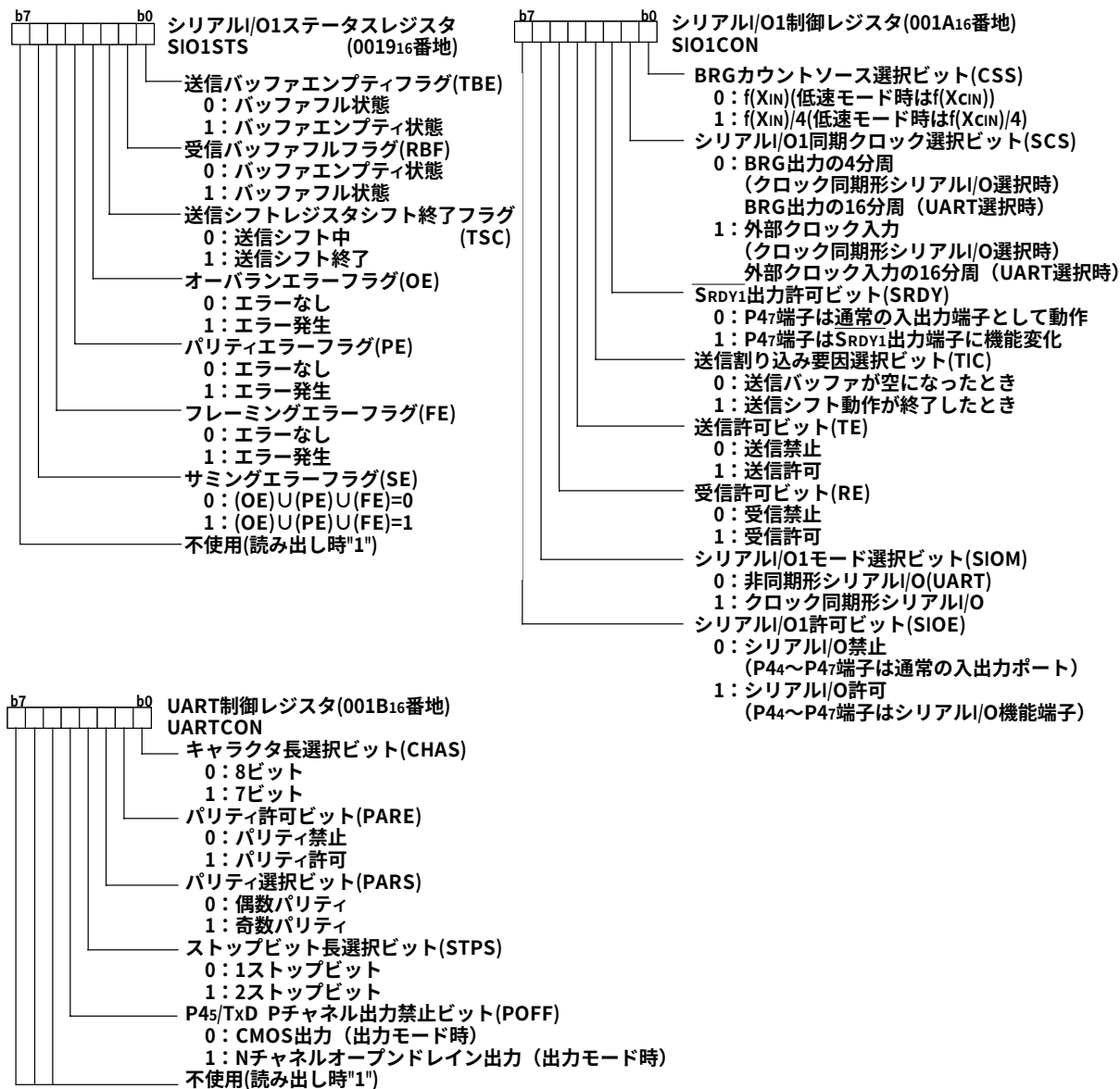


図27. シリアル/O1関係レジスタの構成

●シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは、シリアルI/O2の各種制御を行う7ビットの選択ビットで構成されています。

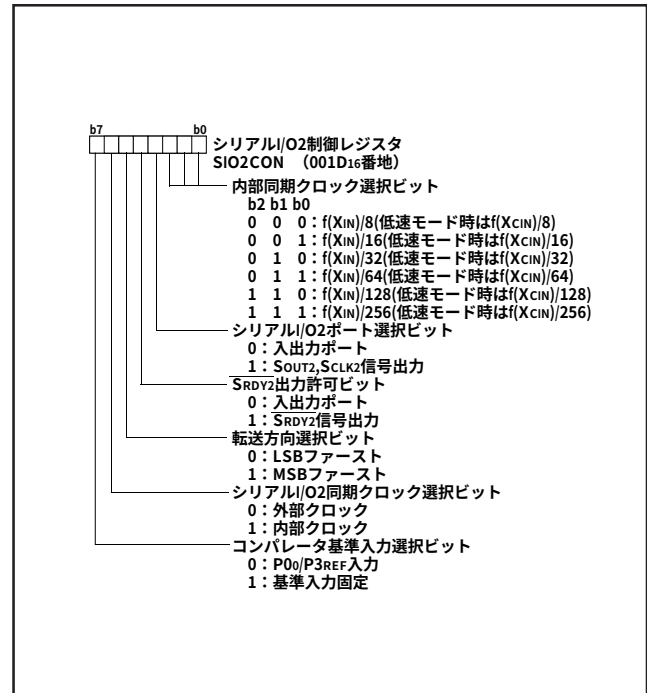


図28. シリアルI/O2制御レジスタの構成

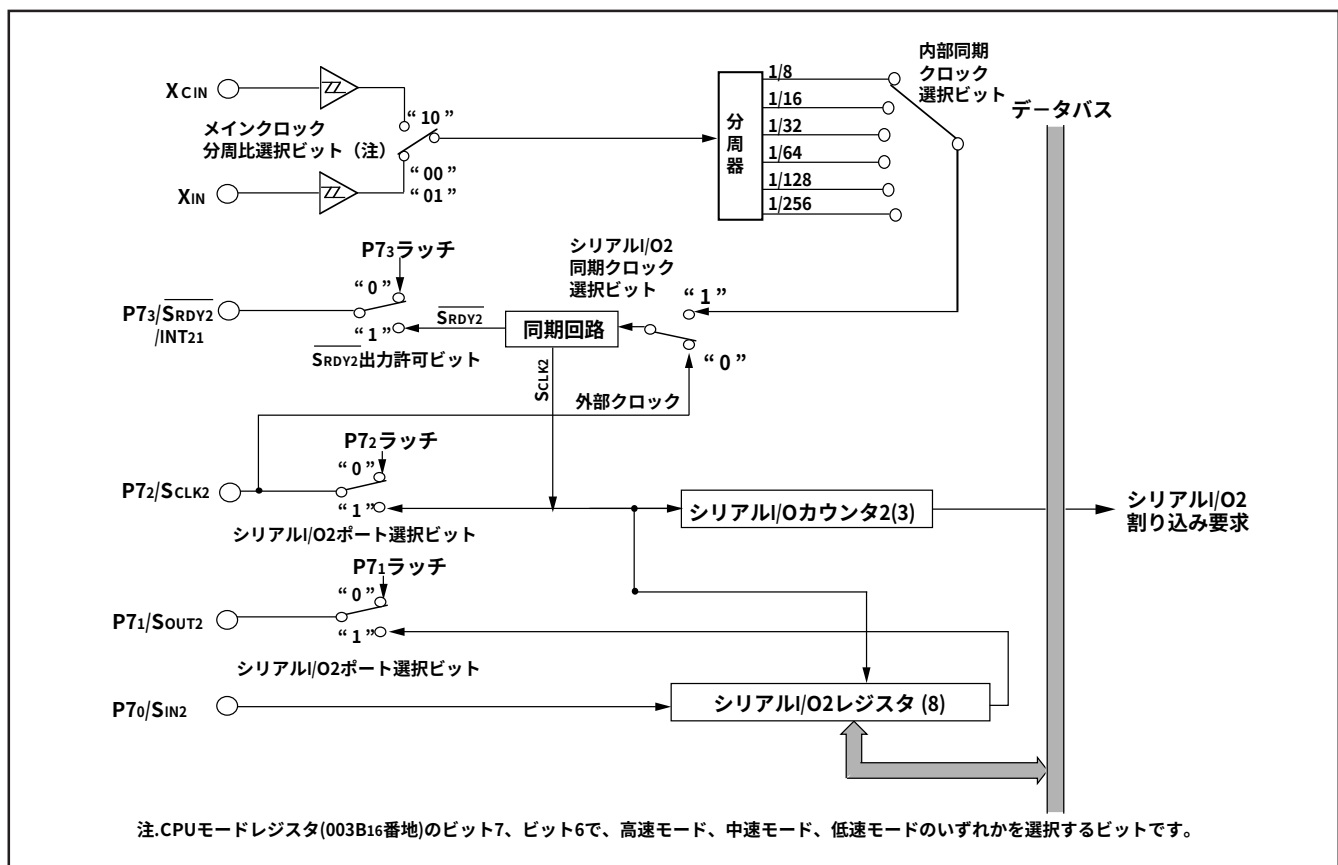
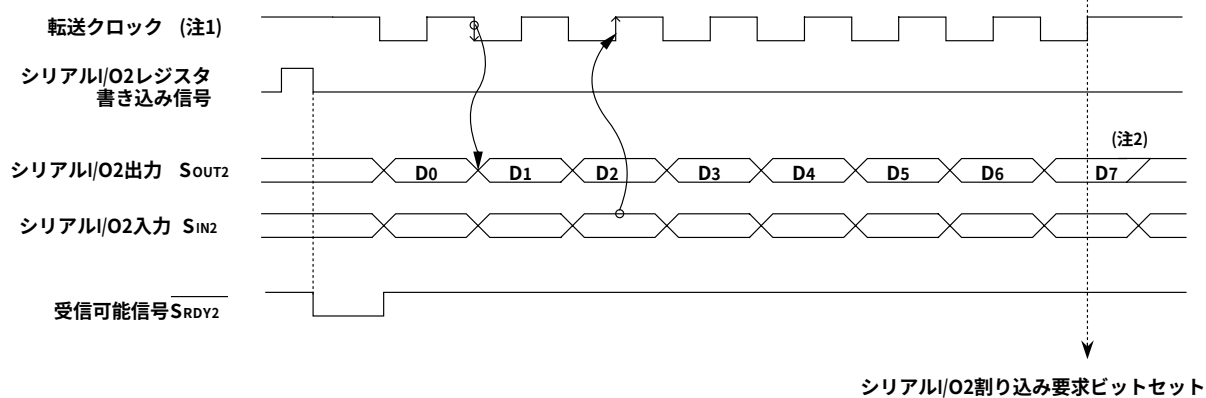


図29. シリアルI/O2ブロック図



- 注1. 転送クロックとして内部クロックを選択している場合、シリアル/O2制御レジスタのビット0～2によって $f(X_{IN})$ (低速モード時は $f(X_{CIN})$) の何分周にするかを選択できます。
2. 転送クロックとして内部クロックを選択している場合、S_{OUT2}端子は転送終了後ハイインピーダンス状態になります。

図30. シリアル/O2タイミング図

PWM出力回路 (PWM: Pulse Width Modulation)

PWM0、及びPWM1出力回路は、14ビットの分解能を持っており、それぞれ独立に動作できます。クロック周波数 X_{IN} = 10MHzの場合、最小分解ビット幅200ns、繰り返し周期3276.8

μs です。PWMのタイミング発生部はクロック入力 X_{IN} の周波数を基本として、PWMの制御信号を供給します。

以降の説明では X_{IN} = 8MHzの場合について述べます。

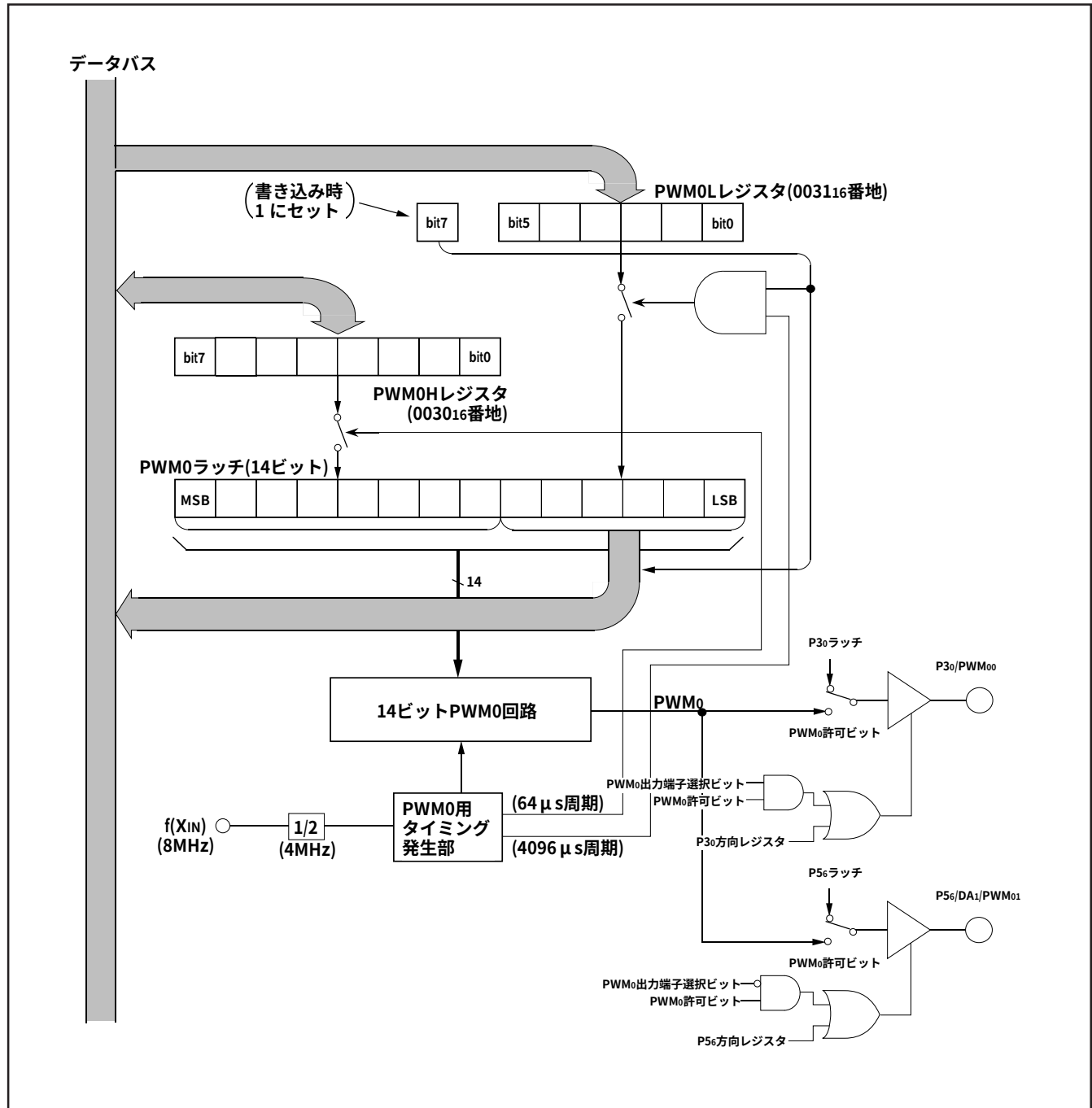


図31. PWM回路ブロック図(PWM0)

・データの設定(PWM0)

PWM0の出力端子はポートP30もしくはP56と共用しています。AD/DA制御レジスタ(0034₁₆番地)のビット4によりPWM0出力端子を、P30/PWM00あるいはP56/PWM01どちらかに選択します。そして、ポート制御レジスタ1(002E₁₆番地)のビット6をセットすることにより、PWM0出力許可状態になります。

出力データは上位8ビットをPWM0Hレジスタ(0030₁₆番地)に下位6ビットをPWM0Lレジスタ(0031₁₆番地)にセットします。

PWM1についても同様に設定します。

・PWMの動作

14ビットPWMはPWMラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータNによって小区間 $t = 256\tau = 64\mu s$ (τ は最小分解ビット幅250ns)ごとに、 τ のN倍の長さの“H”区間を出力します。この“H”区間に、表9のルールに従った下位6ビットのデータ内容によって図33で示すADD部分のビットの“H”又は“L”が付加されます。すなわち、PWMの繰り返し周期 $T = 64t$ の中で、表7に示す小区間 t_m のみ他の区間に比べて最少分解幅 τ だけ“H”区間が長くなります。

例えば、14ビットのデータで上位8ビットが03₁₆、下位6ビットが05₁₆の時は t_8 、 t_{24} 、 t_{32} 、 t_{40} 、 t_{56} の小区間では4 τ 、他の t_m の区間では3 τ の長さの“H”が出力されます。

このようにすると、各小区間の“H”レベルの時間は、上位8ビットで設定した長さとなるか、その値プラス τ になるため、ほぼ等しくなりこの小区間周期($=64\mu s$ 、約15.6kHz)が近似的に繰り返し周期になります。

・レジスタからラッチへの転送

PWMLレジスタに書き込まれたデータはPWMの繰り返し周期(4096 μs)ごとにPWMラッチに転送されます。また、PWMHレジスタに書き込まれたデータは小区間周期(64 μs)ごとにPWMラッチに転送されます。PWM出力端子に出力される信号は、このラッチの内容に対応したものです。また、PWMLを読み込んだ場合もラッチの内容が読み込まれます。ただしPWMLのビット7はPWMLレジスタからPWMラッチへの転送完了を示します。ビット7が“0”ならば転送済みであり、“1”ならば未転送を示します。

表9. 下位6ビットのデータとADDビットがセットされる区間の関係

下位6ビットのデータ	他の t_m ($m=0\sim63$)より τ だけ長い区間
000000 _{LSB}	なし
000001	$m=32$
000010	$m=16, 48$
000100	$m=8, 24, 40, 56$
001000	$m=4, 12, 20, 28, 36, 44, 52, 60$
010000	$m=2, 6, 10, 14, 18, 22, 26, 30, 34, 38, 42, 46, 50, 54, 58, 62$
100000	$m=1, 3, 5, 7, \dots\dots\dots 57, 59, 61, 63$

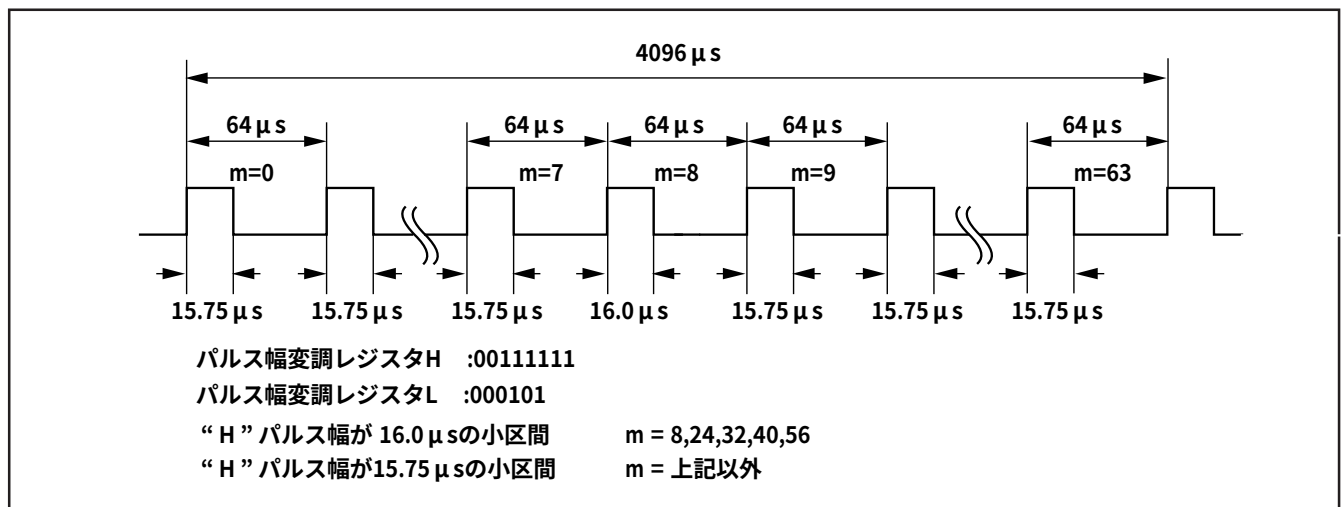


図32. PWMタイミング図

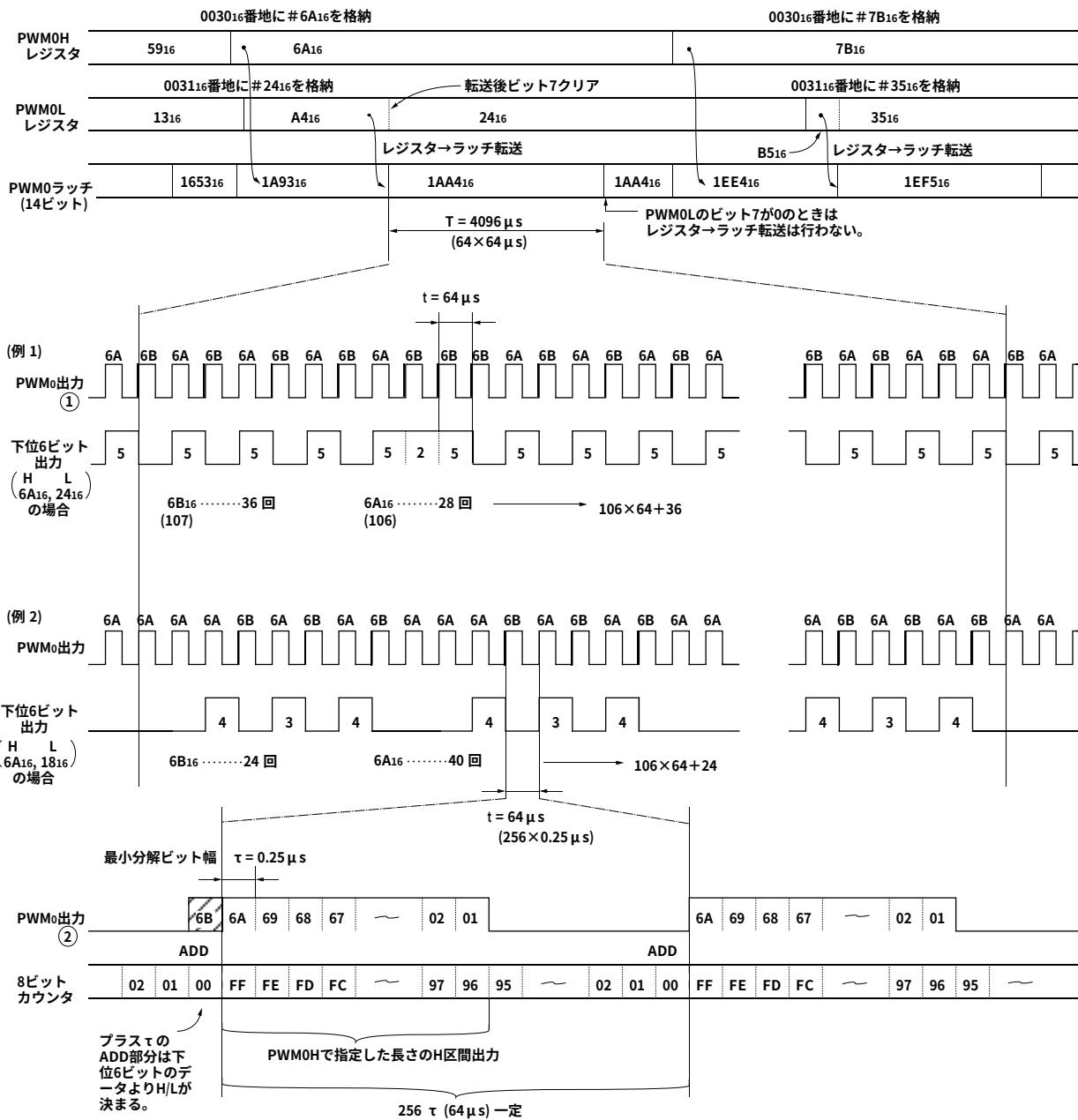


図33. 14ビットPWMタイミング図(PWM0)

バスインタフェース

MELPS8-41シリーズと機能的にほぼ同等のバスインタフェース機能を2バイト内蔵しており、ホストCPU側からの制御信号によって動作させること(スレーブモード)が可能です。

バスインタフェース機能では $\overline{RD}$ 、 $\overline{WR}$ 分離型CPUのバスに直接接続することが可能です。バスインタフェース機能のブロック図を図36に示します。

データバスバッファ機能入出力端子(P42, P43, P46, P47, P50～P53, P8)は、通常のデジタルポート入出力端子と兼用しています。データバスバッファ制御レジスタ(002A16番地)のビット0(データバスバッファ許可ビット)が“0”のときは、通常のデジタルポート入出力端子となります。“1”のときは、データバスバッファ機能入出力端子となります。

シングルデータバスバッファモード(データバスバッファ0のみの1バイトで使用するモード)、ダブルデータバスバッファモード(データバスバッファ0、データバスバッファ1の2バイトで使用するモード)の選択は、データバスバッファ制御レジスタ(002A16番地)のビット1(データバスバッファ機能選択ビット)により行います。ダブルデータバスバッファモードの場合には、ポートP47が $\overline{SI}$ 入力となります。

ホストCPU側からデータが書き込まれるとインプットバッファフル割り込みが発生します。また、ホストCPUからデータが読み出されるときにアウトプットバッファエンプティ割り込みが発生します。

なお、2つのインプットバッファフル割り込み要求と2つのアウトプットバッファエンプティ割り込み要求は図34のように共用しています。

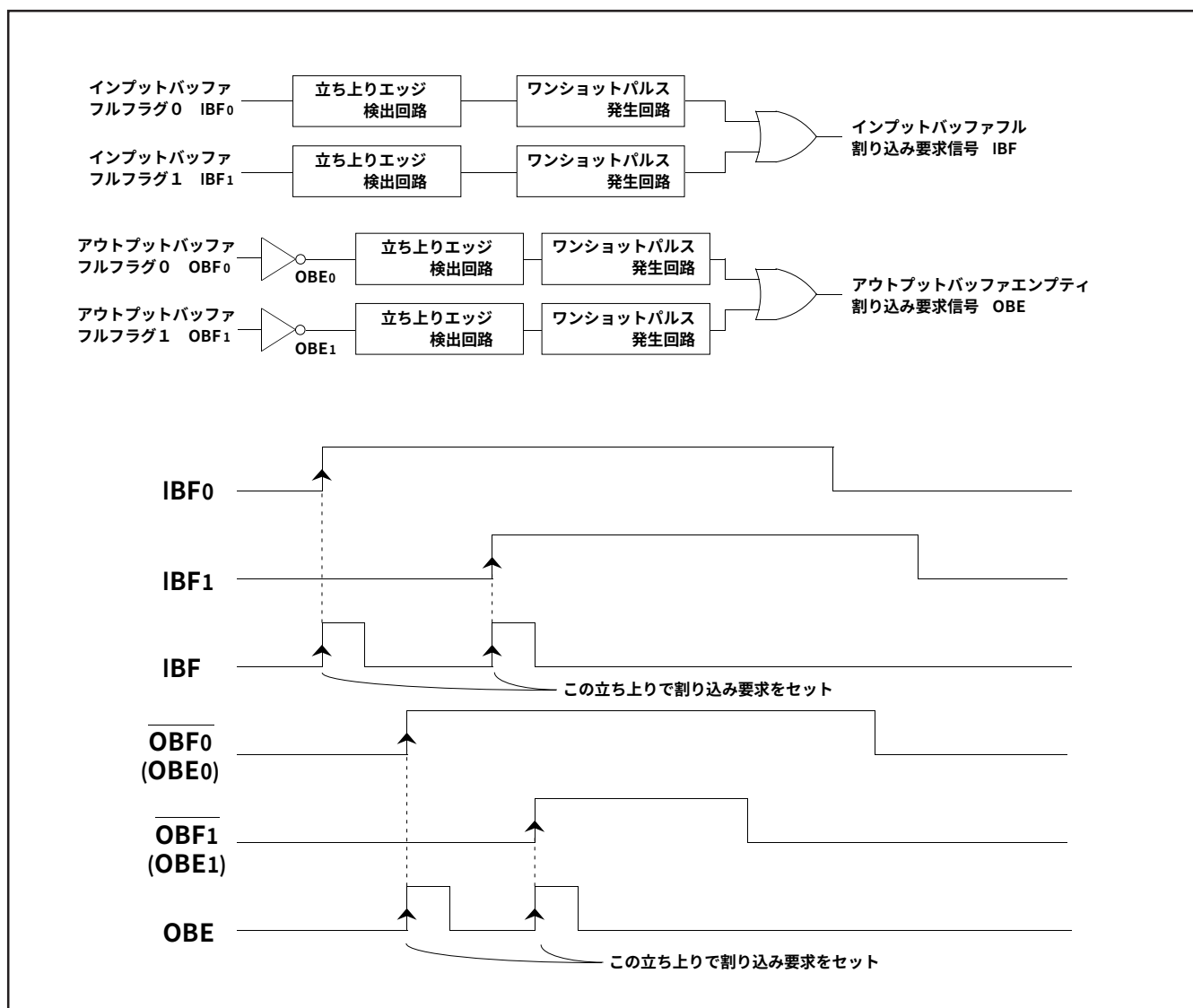


図34. データバスバッファの割り込み要求回路

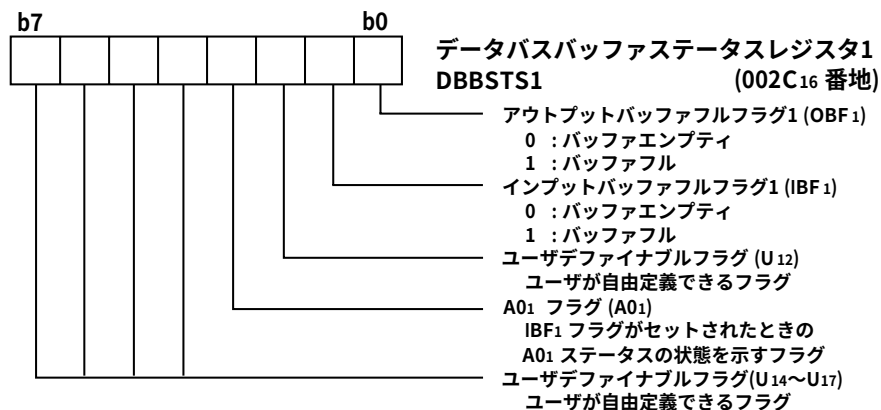
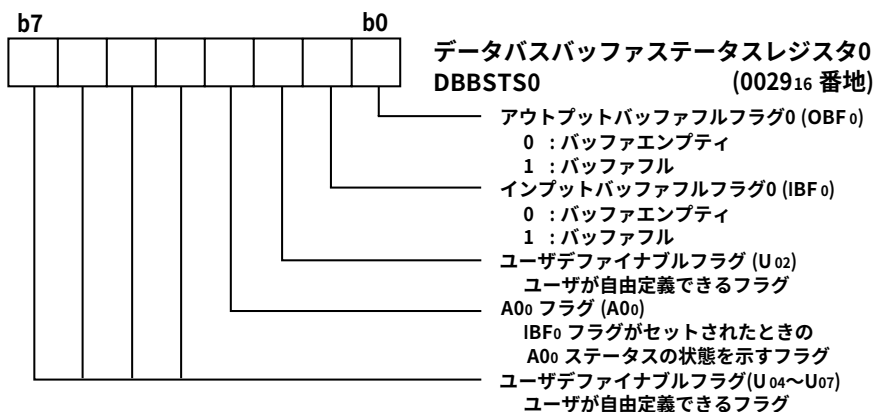
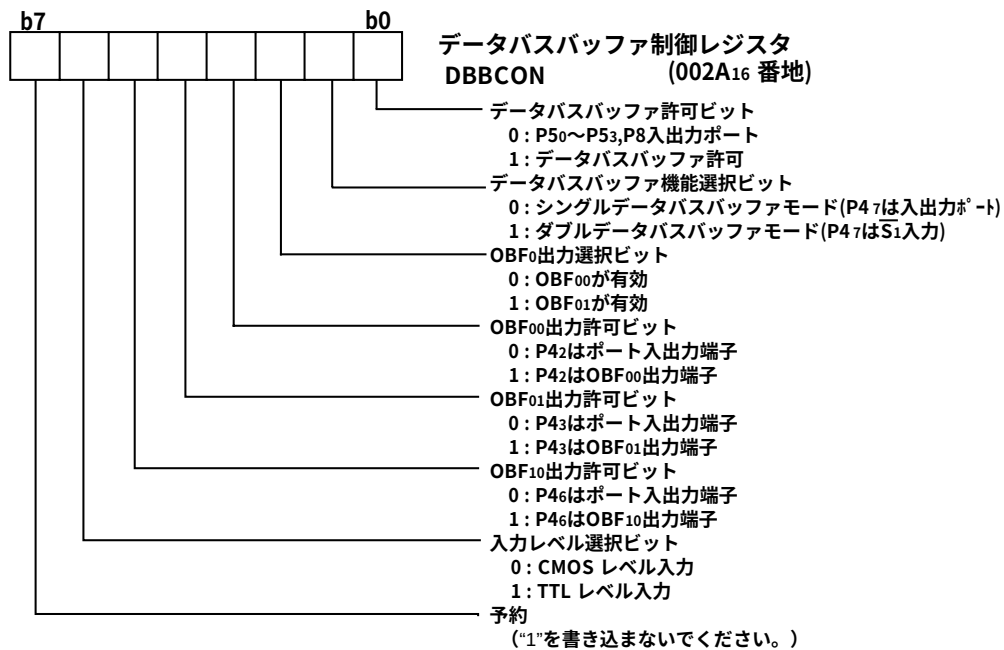


図35. バスインタフェース関係レジスタの構成

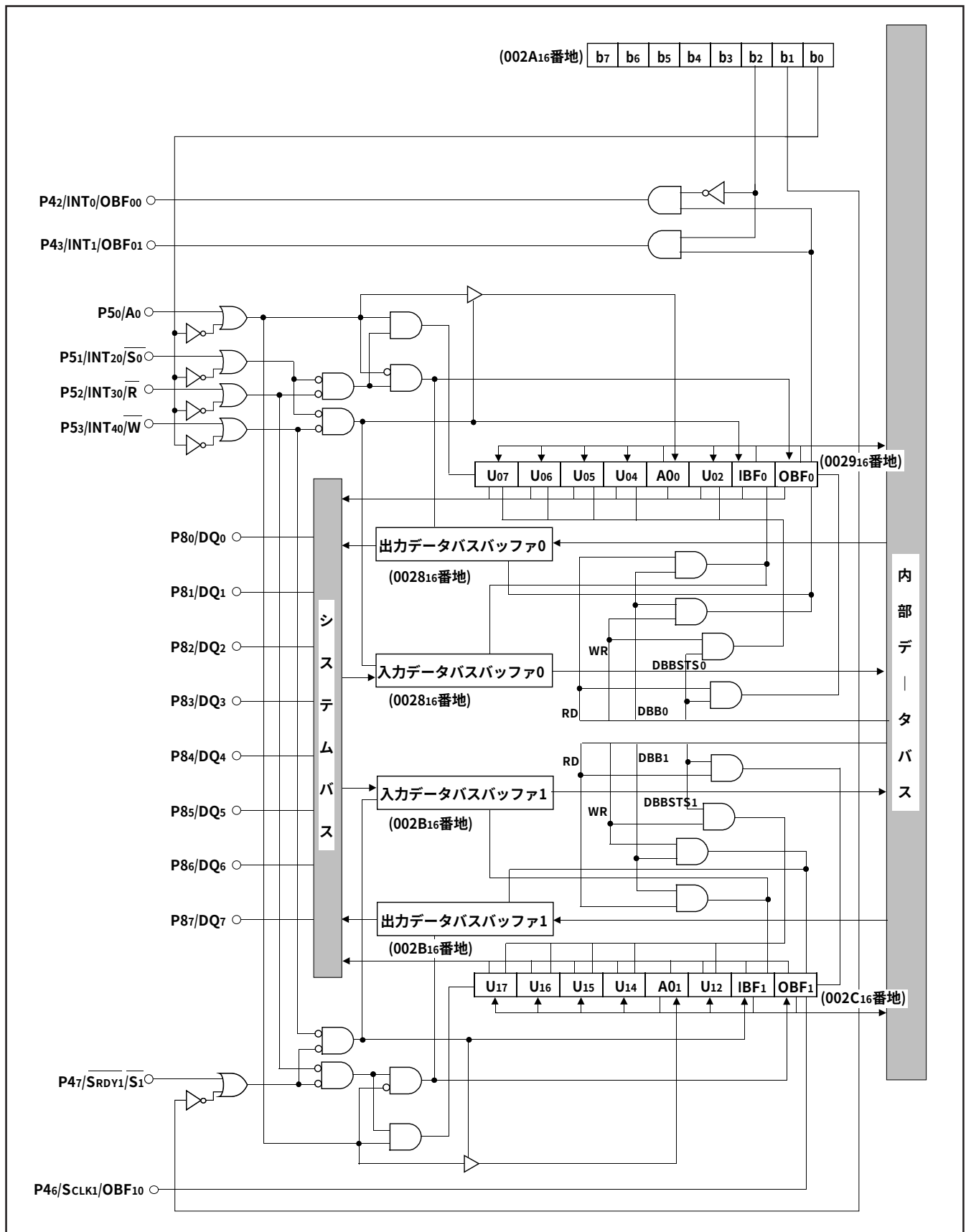


図36. バスインタフェース装置ブロック図

【データバスバッファステータスレジスタ0,1】**DBBSTS0 DBBSTS1**

8ビットのレジスタでビット0, 1, 3は読み出し専用で、データバスバッファの状態を示します。ビット2, 4, 5, 6, 7はプログラムにより設定できるユーザデファイナブルフラグで読み書き可能です。ホストCPUからは、A0端子を“H”にして読み出すことのみ可能です。

・アウトプットバッファフルフラグ OBF0 OBF1

出力データバスバッファに書き込みを行うと“1”がセットされ、ホストCPUにより読み出されると“0”にクリアされます。

・インプットバッファフルフラグ IBF0 IBF1

ホストCPUから、入力データバスバッファに書き込みを行うと“1”がセットされ、スレーブCPU側より読み出すと“0”にクリアされます。

・A0フラグ A00 A01

ホストCPUから入力データバスバッファに書き込んだときのA0端子のレベルがラッチされます。

【入力データバスバッファレジスタ0,1】DBBIN0 DBBIN1

ホストCPUからの書き込み要求によりデータバス上のデータが、DBBINにラッチされます。SFR上のデータバスバッファレジスタ(0028₁₆番地あるいは002B₁₆番地)から、DBBINのデータを読み出すことができます。

【出力データバスバッファレジスタ0,1】**DBBOUT0 DBBOUT1**

SFR上のデータバスバッファレジスタ(0028₁₆番地あるいは002B₁₆番地)に書き込みを行うことで、DBBOUTにデータをセットします。ホストCPUから、A0端子を“L”にして読み出し要求を行うことにより、DBBOUTのデータがデータバスに出力されます。

【ポート制御レジスタ2】PCTL2

データバスバッファが許可されているときでも、OBF0出力許可ビット(2A₁₆番地のビット3)が“0”のときはP42が、OBF0出力許可ビット(2A₁₆番地のビット4)が“0”のときはP43が、それぞれポート機能となります。ポート出力P42, P43クリア機能選択ビット(ビット7)を“1”に設定すると、インプットバッファフルフラグ0(29₁₆番地のビット1)の“1”から“0”への変化によって、ポートP42, P43がポート機能の出力モードでポートラッチが“1”のとき、“0”にクリアされます。

表10. バスインタフェース機能選択時における制御入出力端子の機能説明

端子名	名 称	OBFO0 出 力 許 可 ビット	OBFO1 出 力 許 可 ビット	OBFO10 出 力 許 可 ビット	入 力 出 力	機 能 説 明
P47/ $\overline{\text{SRDY1}}$ /S1	$\overline{\text{S1}}$	—	—	—	入力	チップセレクト入力。データバスバッファ1を選択するために使用され、“L”レベルで選択されます。
P50/A0	A0	—	—	—	入力	アドレス入力。ホストCPUの読み出し時に、DBBSTSとDBBOUTの選択に用います。書き込み時は、コマンドとデータを識別するのに用います。
P51/ $\overline{\text{INT20}}$ /S0	$\overline{\text{S0}}$	—	—	—	入力	チップセレクト入力。データバスバッファ0を選択するために使用され、“L”レベルで選択されます。
P52/ $\overline{\text{INT30}}$ /R	$\overline{\text{R}}$	—	—	—	入力	ホストCPUが、データバスバッファからデータを読み出すためのタイミング信号です。
P53/ $\overline{\text{INT40}}$ /W	$\overline{\text{W}}$	—	—	—	入力	ホストCPUが、データバスバッファにデータを書き込むためのタイミング信号です。
P42/ $\overline{\text{INT0}}$ /OBFO0	OBFO0	1	0	0	出力	ステータス出力信号。OBFO0信号が出力されます。
P43/ $\overline{\text{INT1}}$ /OBFO1	OBFO1	0	1	0	出力	ステータス出力信号。OBFO1信号が出力されます。
P46/ $\overline{\text{SCLK1}}$ /OBFO10	OBFO10	0	0	1	出力	ステータス出力信号。OBFO10信号が出力されます。

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニクス機能を有しており、マルチマスタのシリアル通信に対応できます。

図37にマルチマスタI²C-BUSインタフェースのブロック図、表11にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

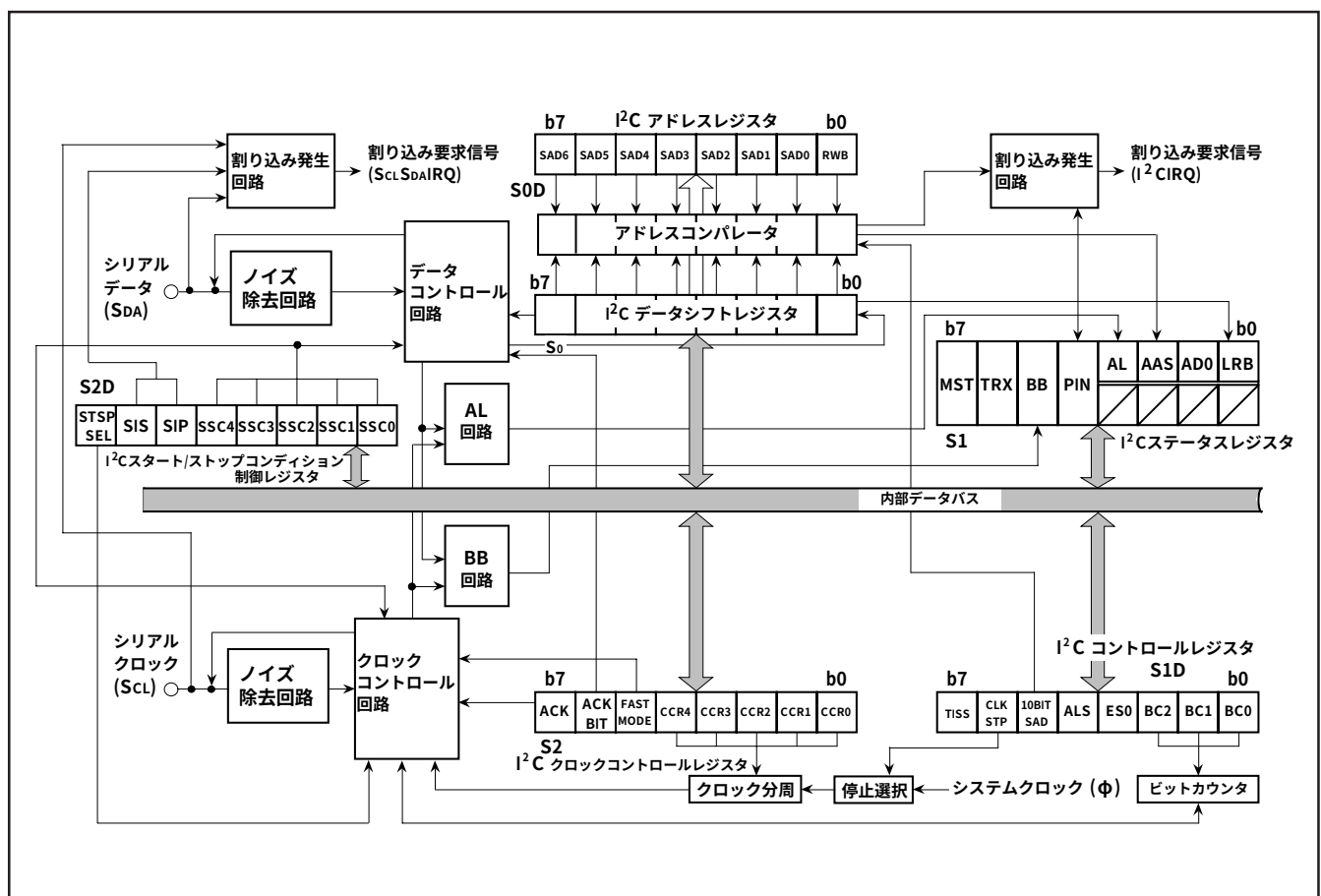
マルチマスタI²C-BUSインタフェースを使用する場合は、 ϕ を1MHz以上にしてください。

表11. マルチマスタI²C-BUSインタフェース機能

項 目	機 能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz~400kHz, ($\phi = 4$ MHz時) 20.2kHz~312.5kHz, ($\phi = 5$ MHz時)

$$\text{システムクロック } \phi = f(XIN)/2 \text{ (高速モード)}$$

$$\phi = f(XIN)/8 \text{ (中速モード)}$$

図37. マルチマスタI²C-BUSインタフェースのブロック図

*:Purchase of MITSUBISHI ELECTRIC CORPORATION'S I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system , provided that the system conforms to the I²C Standard Specification as defined by Philips.

【I²Cデータシフトレジスタ】

I²Cデータシフトレジスタ(S0：0012₁₆番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短でφの2サイクルを要します。

I²Cデータシフトレジスタは、I²CコントロールレジスタのI²C-BUSインタフェース許可ビット(ES0ビット：0015₁₆番地のビット3)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(0014₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

【I²Cアドレスレジスタ】

I²Cアドレスレジスタ(0013₁₆番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

・ビット0：リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6～SAD0+RWB)が比較されます。

RWBビットはストップコンディションを検出すると、自動的に“0”になります。

・ビット1～ビット7：スレーブアドレス (SAD0～SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

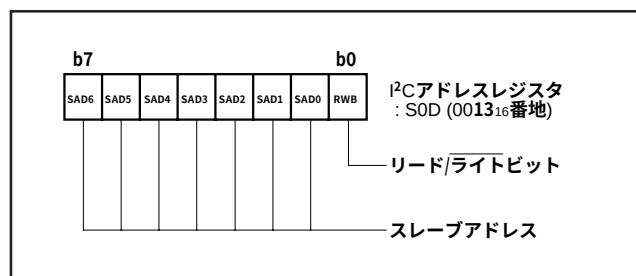


図38. I²Cアドレスレジスタの構成

【I²Cクロックコントロールレジスタ】

I²Cクロックコントロールレジスタ(0016₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

・ビット0～ビット4：SCL周波数制御ビット
(CCR0～CCR4)

SCL周波数を制御するビットです。表12を参照してください。

・ビット5：SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(X_{IN})を8MHz以上、高速モード(メインクロック分周比を2)でご使用ください。

・ビット6：アックビット(ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。

スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

*アッククロック：確認応答用のクロック

・ビット7：アッククロックビット(ACK)

データ転送の確認応答であるアクノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

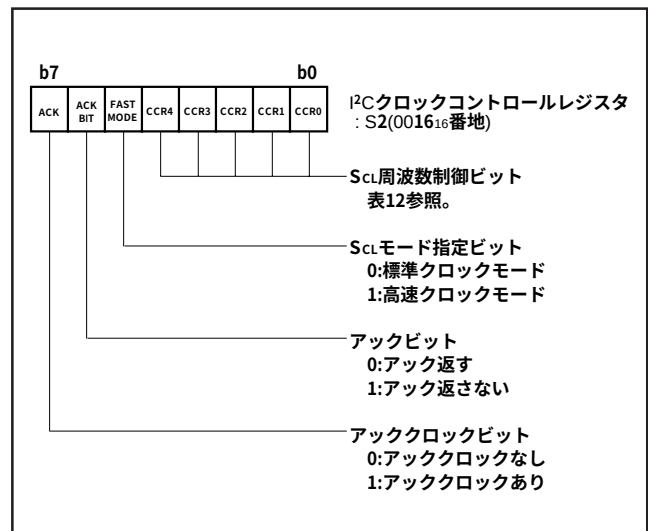


図39. I²Cクロックコントロールレジスタの構成

表12. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数 (φ = 4 MHz時, 単位: kHz) 注1	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	— (注2)	333
0	0	1	0	0	— (注2)	250
0	0	1	0	1	100	400 (注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. SCLクロック出力のデューティは50%です。高速クロックモード CCR値=5のみ35～45%になります。(400kHz, φ = 4 MHz時) また、クロックの“H”の期間は標準クロックモードでφの+2～4マシンサイクル、高速クロックモードでφの+2～2サイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロニズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

注2. φ=4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合はφをより低い周波数で使用ください。

注3. SCL周波数の計算式は次のとおりです。

$$\begin{aligned} &\phi / (8 \times \text{CCR値}) \quad \text{標準クロックモード} \\ &\phi / (4 \times \text{CCR値}) \quad \text{高速クロックモード (CCR値} \neq 5) \\ &\phi / (2 \times \text{CCR値}) \quad \text{高速クロックモード (CCR値} = 5) \end{aligned}$$

CCR値=0～2はφの周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定ください。

I²Cコントロールレジスタ

I²Cコントロールレジスタ(0015₁₆番地)はデータ通信フォーマットの制御を行うレジスタです。

・ビット0～ビット2：ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(0016₁₆番地のビット7)による指定があればアッククロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで受信されます。

・ビット3：I²Cインタフェース許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0=“0”のとき、次のように処理されます。

①I²Cステータスレジスタ(0014₁₆番地)のPIN=“1”，BB=“0”，AL=“0”に設定される。

②I²Cデータシフトレジスタ(0012₁₆番地)への書き込みは禁止される。

・ビット4：データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(次頁【I²Cステータスレジスタ】のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

・ビット5：アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(0013₁₆番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

・ビット6：システムクロック停止選択ビット(CLKSTP)

WIT命令及びSTP命令実行時、マルチマスタI²C-BUSインタフェースに供給されるシステムクロックの状態を選択するビットです。“0”の場合はWIT命令及びSTP命令実行によってシステムクロックは停止します。マルチマスタI²C-

BUSインタフェースの動作も停止します。“1”の場合はWIT命令実行時でもシステムクロックは停止せず、マルチマスタI²C-BUSインタフェースの動作も停止しません。

システムクロック停止選択ビットが“1”の場合、STP命令を実行しないでください。

・ビット7：I²C-BUSインタフェース端子入力レベル選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

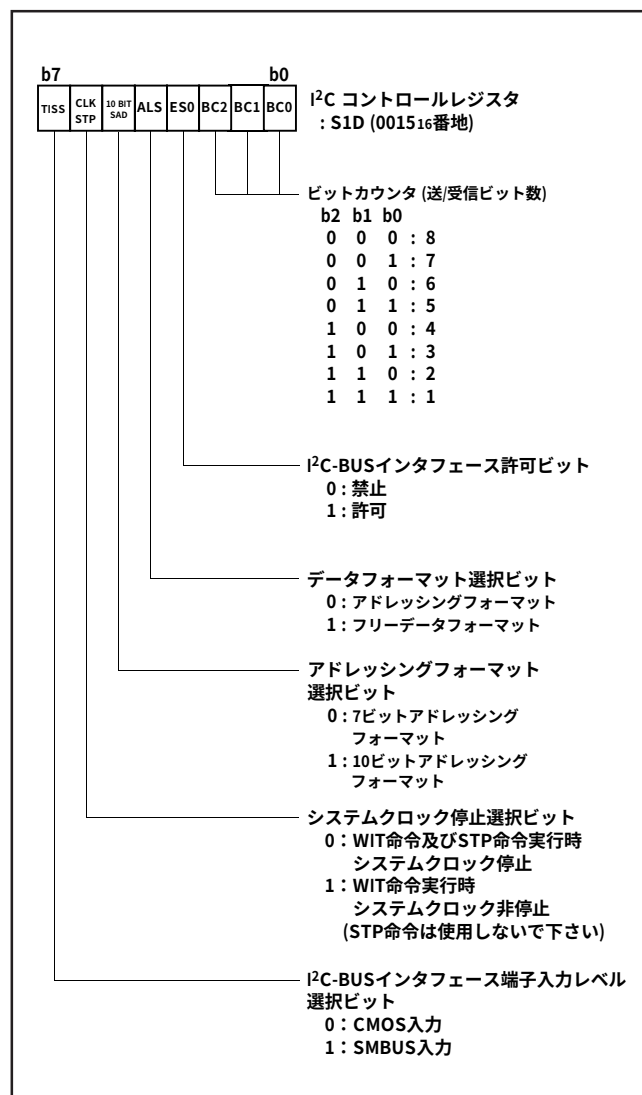


図40. I²Cコントロールレジスタの構成

[I²Cステータスレジスタ]

I²Cステータスレジスタ(0014₁₆番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“0000₂”を書き込みください。

・ビット0：最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(0012₁₆番地)に書き込み命令を実行すると“0”になります。

・ビット1：ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール^{*}をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

^{*}ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“001₆”を送信すること。

・ビット2：スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。

①スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(0013₁₆番地)に格納されている上位7ビットのスレーブアドレスと一致した場合
- ・ジェネラルコールを受信した場合

②スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- ・アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

③このビットはES0が“1”の場合のI²Cデータシフトレジスタ(0012₁₆番地)への書き込み、又はリセットにより“0”になります。

・ビット3：アービトレーションロスト^{*}検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後“0”になります。

アービトレーションロストはマスタ送信モードのみ検出

可能です。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

^{*}アービトレーションロスト：マスタとしての通信が不許可となった状態。

・ビット4：SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”の時、SCLは“0”に保たれクロックの発生は禁止されます。図42に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

- ・I²Cデータシフトレジスタ(0012₁₆番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)
- ・ES0ビットが“0”のとき
- ・リセット時
- ・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

- ・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
- ・1バイトのデータ受信完了直後
- ・スレーブ受信の際、ALS=0で、スレーブアドレス一致又は、ジェネラルコールアドレス受信完了直後
- ・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

・ビット5：バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(0017₁₆番地)のスタート/ストップコンディション設定ビット(SSC4～SSC0)の条件に従います。また、I²Cコントロールレジスタ(0015₁₆番地)のES0ビット(ビット3)が“0”の時、及びリセット時にBBフラグは“0”になります。

BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

・ビット6：通信モード指定ビット

（転送方向指定ビット：TRX）

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

・ALS=“0”かつスレーブで、R/Wビット受信が“1”の場合
以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・MST=“0”で、スタートコンディションを検出した場合
- ・MST=“0”で、アックが返ってこなかったことを検出した場合
- ・リセット時

・ビット7：通信モード指定ビット

（マスタ/スレーブ指定ビット：MST）

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・リセット時

注．スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行いますが、BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレーブアドレスの受信完了までの期間有効となります。

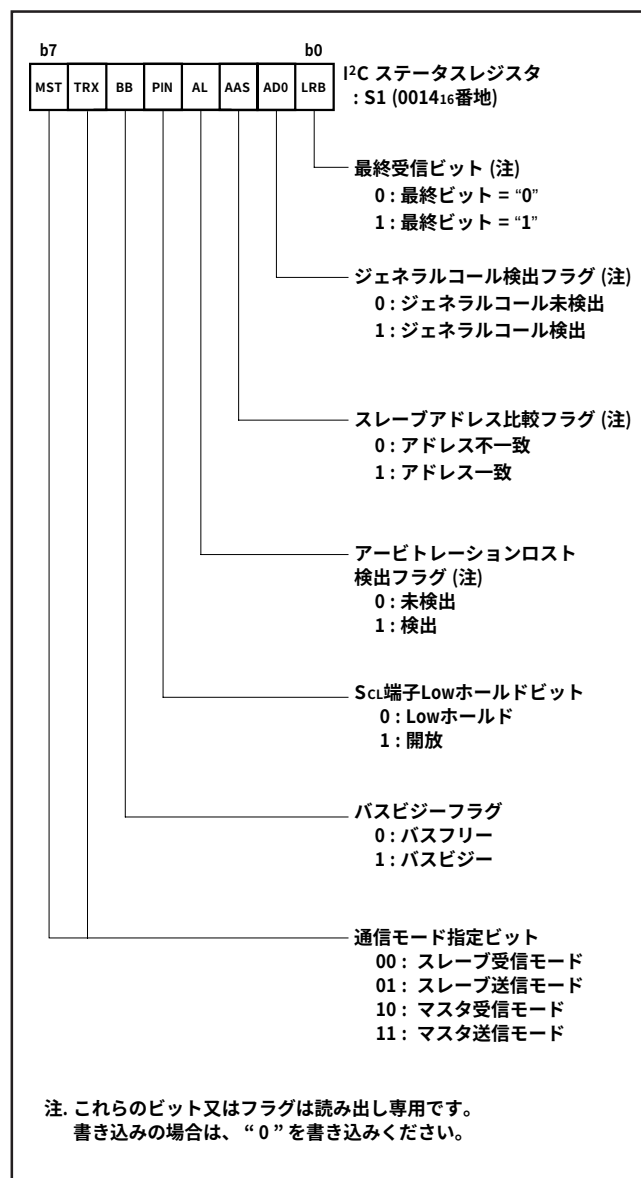


図41. I²Cステータスレジスタの構成

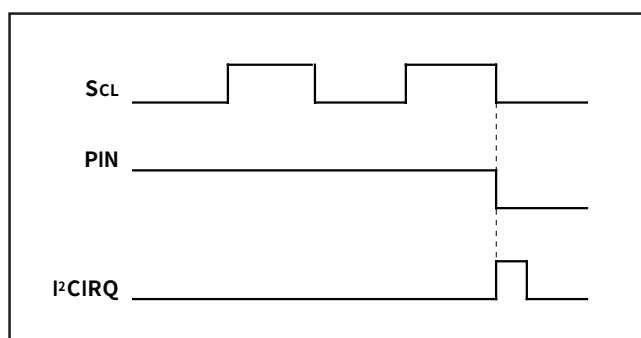


図42. 割り込み要求信号の発生タイミング

●スタートコンディション発生方法

I²Cコントロールレジスタ(0015₁₆番地)のES0ビットが“1”、BBフラグが“0”の状態、I²Cデータシフトレジスタ(0012₁₆番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(0014₁₆番地)のMST、TRX、BBビットに“1”書き込みを同時に行うとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図43のスタートコンディション発生タイミング図と表13のスタートコンディション発生タイミング表を参照してください。

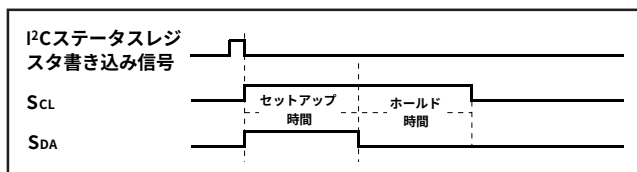


図43. スタートコンディション発生タイミング図

表13. スタートコンディション発生タイミング表

項 目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.0 μ s(20サイクル)	2.5 μ s(10サイクル)
	“1”	13.0 μ s(52サイクル)	6.5 μ s(26サイクル)
ホールド時間	“0”	5.0 μ s(20サイクル)	2.5 μ s(10サイクル)
	“1”	13.0 μ s(52サイクル)	6.5 μ s(26サイクル)

注. $\phi = 4$ MHz時の絶対時間、()内は ϕ のサイクル数

●ストップコンディションの発生方法

I²Cコントロールレジスタ(0015₁₆番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(0014₁₆番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図44のストップコンディション発生タイミング図と表14のストップコンディション発生タイミング表を参照してください。

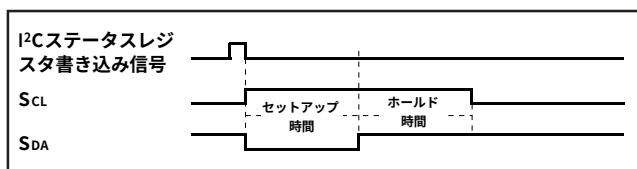


図44. ストップコンディション発生タイミング図

表14. ストップコンディション発生タイミング表

項 目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.5 μ s(22サイクル)	3.0 μ s(12サイクル)
	“1”	13.5 μ s(54サイクル)	7.0 μ s(28サイクル)
ホールド時間	“0”	5.5 μ s(22サイクル)	3.0 μ s(12サイクル)
	“1”	13.5 μ s(54サイクル)	7.0 μ s(28サイクル)

注. $\phi = 4$ MHz時の絶対時間、()内は ϕ のサイクル数

●スタート/ストップコンディション検出動作

スタート/ストップコンディションの検出動作を図45、図46と表15に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表13のSCL解放時間、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表15のBBフラグセット/リセット時間を参照してください。

注. スレープ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号I²CIRQが発生します。

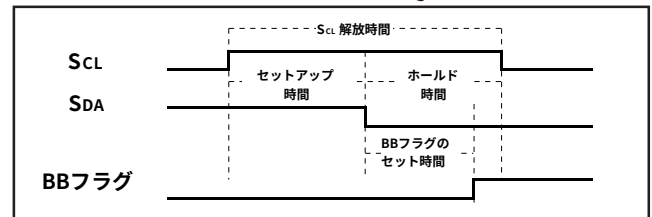


図45. スタートコンディション検出のタイミング図

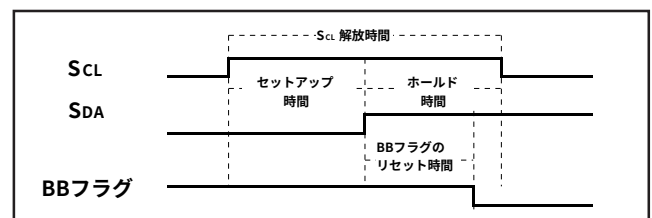


図46. ストップコンディション検出のタイミング図

表15. スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL解放時間	SSC値+1サイクル(6.25 μ s)	4サイクル(1.0 μ s)
セットアップ時間	$\frac{SSC値}{2} + 1$ サイクル<4.0 μ s(3.25 μ s)	2サイクル(1.0 μ s)
ホールド時間	$\frac{SSC値}{2}$ サイクル<4.0 μ s(3.0 μ s)	2サイクル(0.5 μ s)
BBフラグセット/リセット時間	$\frac{SSC値-1}{2} + 2$ サイクル(3.375 μ s)	3.5サイクル(0.875 μ s)

注. 単位はシステムクロック ϕ のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4～SSC0を10進数表記した値です。SSC値=0及び奇数となる設定は禁止です。()内は $\phi = 4$ MHz時、I²Cスタート/ストップコンディション制御レジスタに“1816”を設定した場合の時間の一例です。

【I²Cスタート/ストップコンディション制御レジスタ】

I²Cスタート/ストップコンディション制御レジスタ(0017₁₆番地)はスタートコンディション、ストップコンディションの検出を制御するレジスタです。

・ビット0～ビット4：スタート/ストップコンディション設定ビット(SSC4～SSC0)

SCL解放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数 $f(X_{IN})$ や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL解放時間、セットアップ時間、ホールド時間を設定する必要があります。表15を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表14に示します。

・ビット5：SCL/SDA割り込み端子極性選択ビット(SIP)
SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。

SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

・ビット6：SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注．SCL/SDA割り込み端子極性選択ビット，SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込みの要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定をする前に割り込みを禁止して、ビット設定後に要求ビットを“0”にリセットして割り込みを許可してください。

・ビット7：スタート/ストップコンディション発生選択ビット(STSPSEL)

スタート/ストップコンディション発生時のセットアップ/ホールド時間の長さを選択できます。セットアップ/ホールド時間の長さは、システムクロックのサイクル数が基準になり、かつスタートコンディションあるいはストップコンディションで異なりますので表13及び表14を参照してください。システムクロックの周波数が4MHzを越える場合は、このビットを“1”に設定してください。

●アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1) 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するため、I²Cコントロールレジスタ(0015₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(0013₁₆番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(0013₁₆番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図48の(1)、(2)を参照してください。

(2) 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するため、I²Cコントロールレジスタ(0015₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(0013₁₆番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I²Cアドレスレジスタ(0013₁₆番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/ $\bar{W}$ ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(0014₁₆番地)のAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²Cデータシフトレジスタ(0012₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(0013₁₆番地)のRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/ $\bar{W}$ のデータとI²Cアドレスレジスタ(0013₁₆番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図48の(3)、(4)を参照してください。

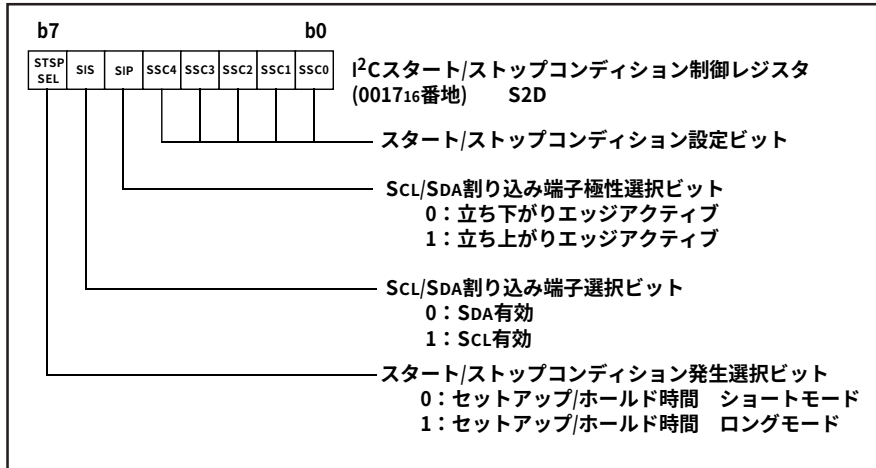
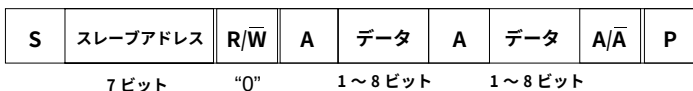
図47. I²Cスタート/ストップコンディション制御レジスタの構成

表16. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

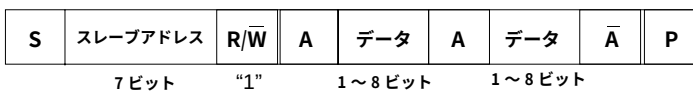
発振周波数 f(XIN) (MHz)	メイン クロック 分周比	システム クロックφ (MHz)	スタート/ストップ コンディション制御 レジスタ	SCL解放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
10	2	5	XXX11110	6.2 μs(31サイクル)	3.2 μs(16サイクル)	3.0 μs(15サイクル)
8	2	4	XXX11010	6.75 μs(27サイクル)	3.5 μs(14サイクル)	3.25 μs(13サイクル)
			XXX11000	6.25 μs(25サイクル)	3.25 μs(13サイクル)	3.0 μs(12サイクル)
8	8	1	XXX00100	5.0 μs(5サイクル)	3.0 μs(3サイクル)	2.0 μs(2サイクル)
4	2	2	XXX01100	6.5 μs(13サイクル)	3.5 μs(7サイクル)	3.0 μs(6サイクル)
			XXX01010	5.5 μs(11サイクル)	3.0 μs(6サイクル)	2.5 μs(5サイクル)
2	2	1	XXX00100	5.0 μs(5サイクル)	3.0 μs(3サイクル)	2.0 μs(2サイクル)

注. スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

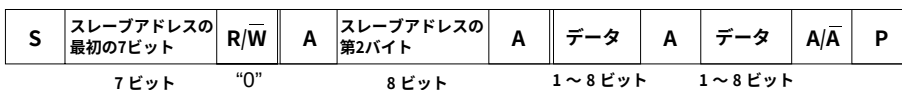
(1) マスタ送信デバイスから受信デバイスにデータを送信する場合



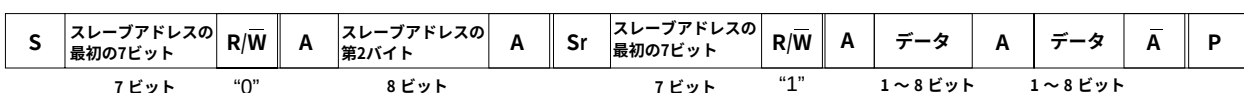
(2) マスタ受信デバイスが送信デバイスからデータを受信する場合



(3) マスタ送信デバイスが10ビットアドレスを持つスレーブ受信デバイスにデータを送信する場合



(4) マスタ受信デバイスが10ビットアドレスを持つスレーブ送信デバイスからデータを受信する場合



S: スタートコンディション P: ストップコンディション
A: アックビット R/W: リード/ライトビット
Sr: リスタートコンディション

図48. アドレスデータ通信フォーマット

●マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- (1) I²Cアドレスレジスタ(0013₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(0016₁₆番地)に“85₁₆”を設定することによって、アックを返すモード、SCL=100kHzにします。
- (3) I²Cステータスレジスタ(0014₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(0015₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) I²Cステータスレジスタ(0014₁₆番地)のBBフラグによりバスフリー状態を確認します。
- (6) I²Cデータシフトレジスタ(0012₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I²Cステータスレジスタ(0014₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I²Cデータシフトレジスタ(0012₁₆番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアックが返らない場合、あるいは送信が終了した場合は、I²Cステータスレジスタ(0014₁₆番地)に“D0₁₆”を設定することによって、ストップコンディションを発生させます。

●スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I²Cアドレスレジスタ(0013₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(0016₁₆番地)に“25₁₆”を設定することによって、アックなしモード、SCL=400kHzにします。
- (3) I²Cステータスレジスタ(0014₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(0015₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。

- (6) ・送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I²Cステータスレジスタ(0014₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I²Cステータスレジスタ(0014₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
・上記以外の場合、I²Cステータスレジスタ(0014₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I²Cデータシフトレジスタ(0012₁₆番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

■マルチマスタI²C-BUSインタフェースの注意事項

(1) リード・モディファイ・ライト命令の使用について

SEB, CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

・I²Cデータシフトレジスタ(S0：0012₁₆番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・I²Cアドレスレジスタ(S0D：0013₁₆番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

・I²Cステータスレジスタ(S1：0014₁₆番地)

すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・I²Cコントロールレジスタ(S1D：0015₁₆番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0～BC2)が、H/Wによって変化するためです。

・I²Cクロックコントロールレジスタ(S2：0016₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

・I²Cスタート/ストップコンディション制御レジスタ(S2D：0017₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

(2) マルチマスタで使用する場合のスタートコンディション発生手順について

①手順例(発生手順の必要条件は②以降に記します。)

```

:
LDA  ~                      (スレーブアドレス値の取り出し)
SEI                                (割り込みの禁止)
BBS  5,S1,BUSBUSY           (BBフラグ確認及び分岐処理)
BBSFREE:
STA  S0                      (スレーブアドレス値の書き込み)
LDM  #$F0,S1                (スタートコンディション発生トリガ)
CLI                                (割り込みの許可)
:
BUSBUSY:
CLI                                (割り込みの許可)
:

```

②BBフラグの確認及び分岐処理はBBS 5,\$0014,~ のBranch on Bit Setを必ず使用してください。

③I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$12、STX \$12あるいはSTY \$12のゼロページアドレッシング命令を必ず使用してください。

④前記②の分岐命令と③のストア命令は手順例のとおり必ず連続して実行するようにしてください。

⑤BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3) リスタートコンディション発生手順について

M38867M8A、M38867E8Aでは、外部メモリを使用して、ONW機能によりバスサイクルを延長する場合は適用できません。

①手順例(発生手順の必要条件は②以降に記します。)

PINビットが“0”のとき、以下の手順を実行してください。

```

:
LDM  #$00,S1                (スレーブ受信モードにする)
LDA  ~                      (スレーブアドレス値の取り出し)
SEI                                (割り込みの禁止)
STA  S0                      (スレーブアドレス値の書き込み)
LDM  #$F0,S1                (リスタートコンディション発生トリガ)
CLI                                (割り込みの許可)
:

```

②PINビットが“0”の状態、スレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。

BBビットへの書き込みは“0”又は“1”の指定はありません。TRXビットが“0”になり、SdA端子が解放されます。

③スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が解放されます。

④スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I²Cステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSdA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

(5) ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

(6) 7つ目のクロックパルスのストップコンディション入力

スレーブモードで、スレーブアドレス又はデータの受信中に、クロックパルスが7つ目のときにストップコンディションが入力され、さらに継続してクロックパルスが入力されたとき、BB="0"にもかかわらずSDAラインが"L"で保持されることがあります。(M38867M8A/E8Aのみ)

・対策

ストップコンディション割り込みでBB="0"のとき、I²Cデータシフトレジスタにダミーデータをライトするか、SIDレジスタのES0ビットをリセット(ES0="L"→ES0="H")する。

注. リード・モディファイ・ライト命令は使用不可。また、ES0ビットを"0"に設定した時点で汎用ポートになるため、ポートは入力モードが"H"出力に設定する。

(7) ES0ビットの切り替えについて

高速クロックモードか、SSC="000102"時の標準クロックモードにおいて、SDAが"L"のときにES0ビットを"1"にすると、BB="1"になることがあります。

・対策

SDAが"H"のときに、ES0="1"にしてください。

A-D変換器

【A-D変換レジスタ1, 2】AD1, AD2

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

A-D変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA-Dモード、“1”に設定すると8ビットA-Dモードとなります。

8ビットA-Dモードの変換結果はA-D変換レジスタ1に格納されます。10ビットA-Dモードは、図50のようにA-D変換終了後にA-D変換レジスタ1, 2を読み出す順序を選ぶことで、10ビット読み出しあるいは8ビット読み出しを行うことも可能です。

10ビットA-DモードでのA-D変換レジスタ1は、リセット、A-D変換開始あるいはA-D変換レジスタ1読み出しが発生した後MSB寄りの8ビット読み出しになり、A-D変換レジスタ2読み出しが発生した後LSB寄りの8ビット読み出しになります。

【AD/DA制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

10ビットA-Dモードは、AVSSとVREFの間の電圧を1024分割し分圧を出力します。

(8ビットA-Dモードでは256分割)

各モードでの比較電圧V_{ref}はVREFを下記のとおり分圧して入力電圧との逐次比較を行います。

10ビットA-Dモード(10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

10ビットA-Dモード(8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

8ビットA-Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【チャンネルセクタ】

ポートP67/AN7～P60/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタ1, 2に格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中はf(X_{IN})を500kHz以上にしてください。

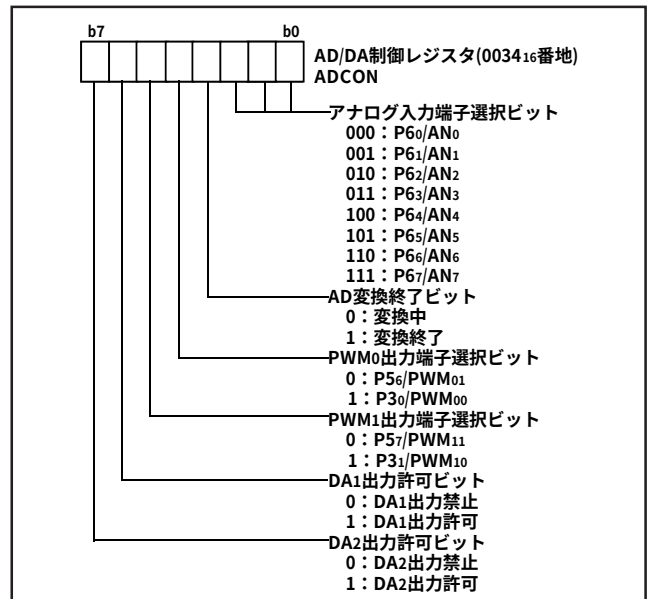


図49. AD/DA制御レジスタの構成

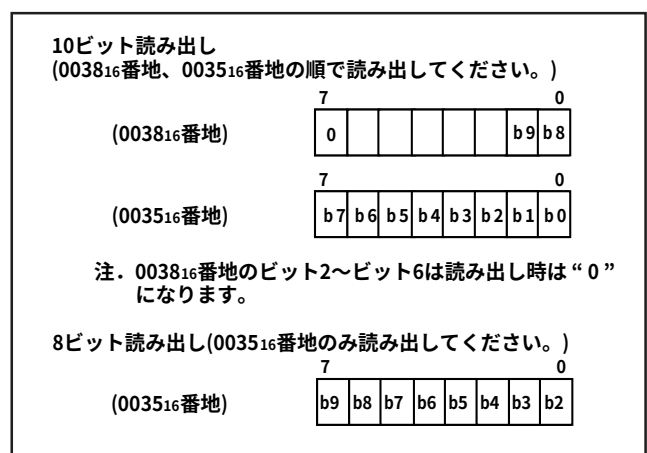


図50. 10ビットA-Dモードの読み出し構成

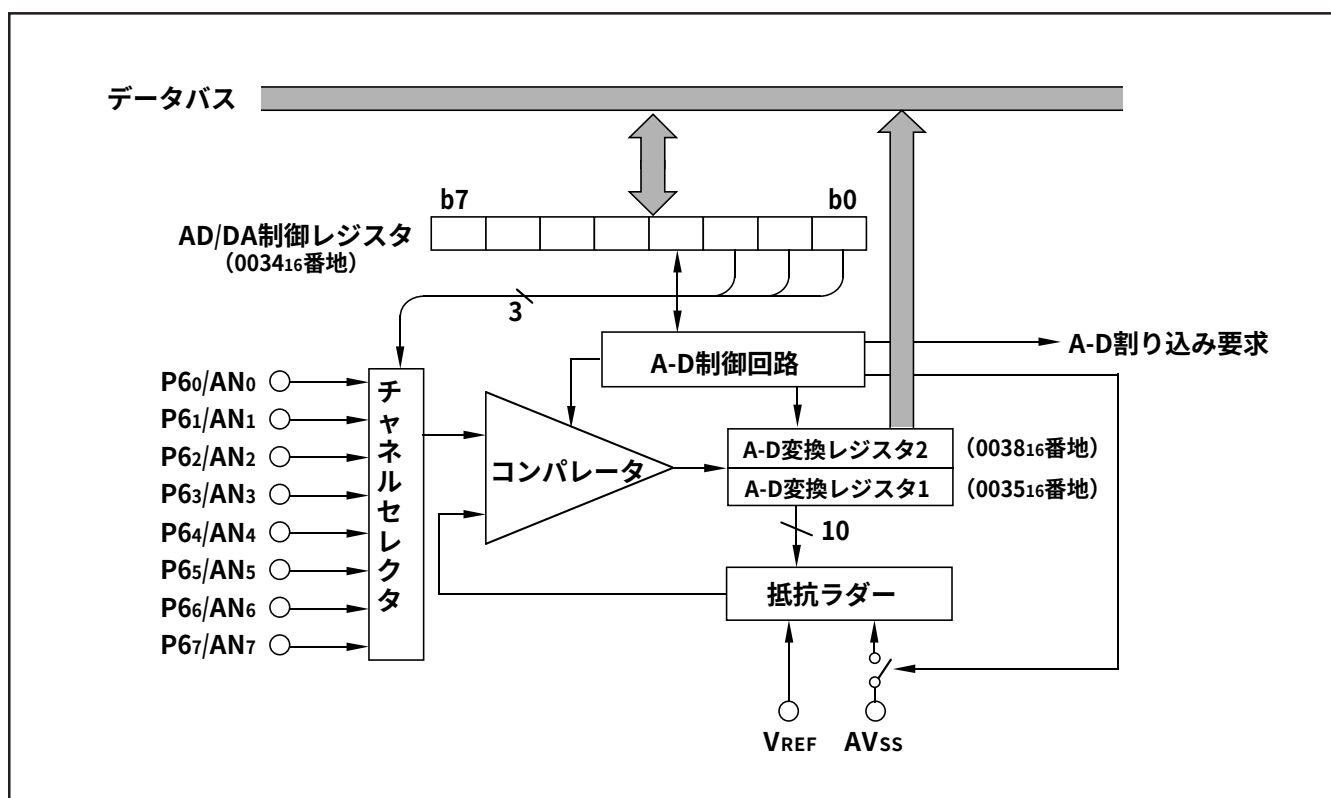


図51. A-D変換器ブロック図

D-A変換器

D-A変換器は分解能8ビットで、2チャンネル(DA1, DA2)内蔵しています。

D-A変換はそれぞれ対応するD-A変換レジスタに値を設定することによって行われます。D-A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA1、DA2端子から出力されます。このとき、P56/DA1/PWM01、P57/DA2/PWM11の方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n = 0 \sim 255)$$

ただしV_{REF}は基準電圧

D-A変換レジスタはリセット時“00₁₆”にクリアされます。また、DA出力許可ビットも、リセット時“0”にクリアされ、P56/DA1/PWM01、P57/DA2/PWM11端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。また、D-A変換器を使用する場合はV_{CC}を4.0V以上にしてください。

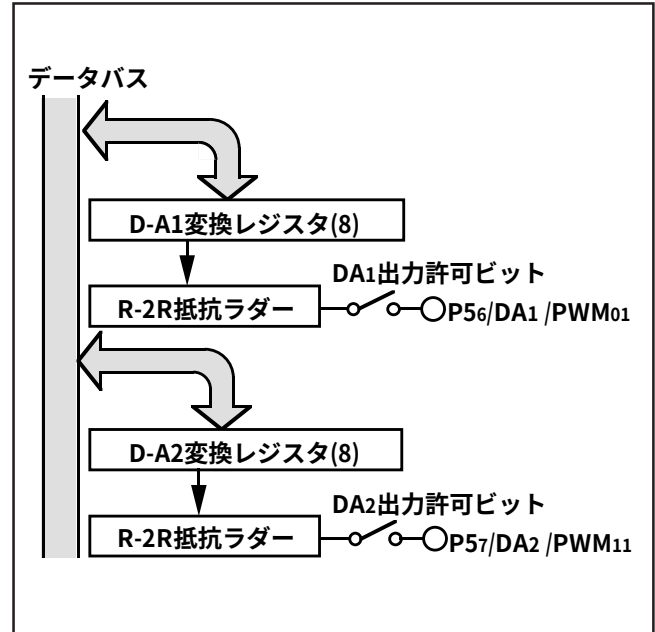


図52. D-A変換器のブロック図

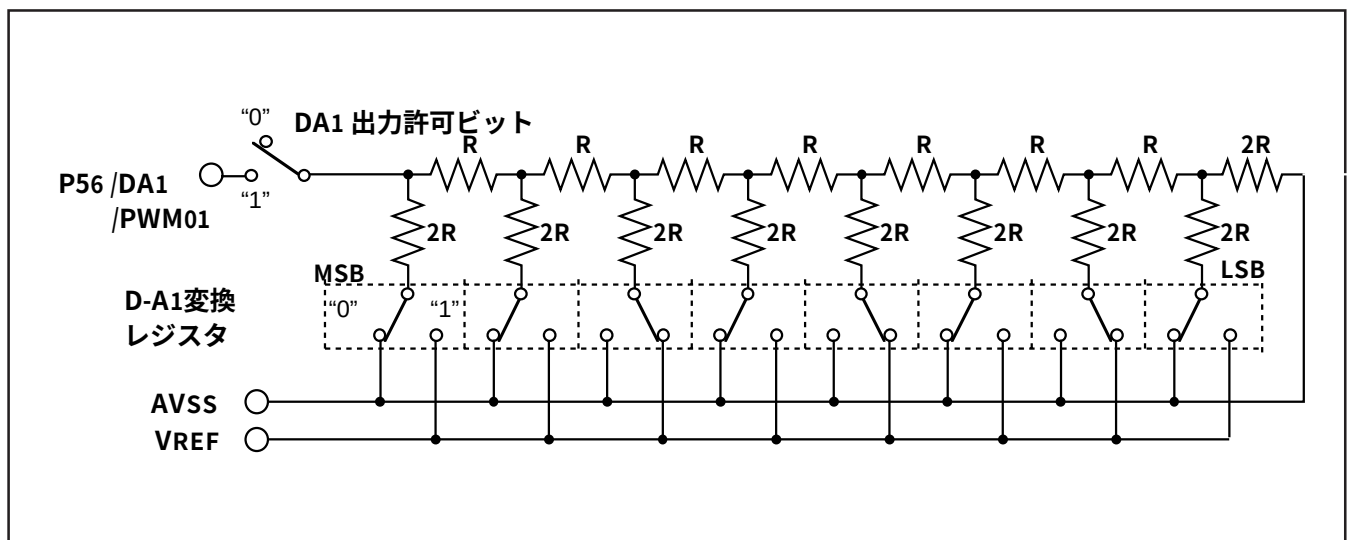


図53. D-A変換器等価回路図 (DA1)

コンパレータ回路

・コンパレータの構成

コンパレータ回路は、抵抗、コンパレータ、コンパレータ制御回路、コンパレータ基準入力選択ビット(001D16番地のビット7)、コンパレータデータレジスタ(002D16番地)、コンパレータ基準電源入力端子(P00/P3REF)、アナログ信号入力端子(P30～P37)により構成されています。アナログ入力端子(P30～P37)は通常のデジタルポート入出力端子と共用しています。

・コンパレータの動作

コンパレータ動作を行うためには、まずポートP3に対応する方向レジスタ(000716番地)を“0”にしてポートP3を入力モードにし、ポートP3をアナログ入力端子として使用できる状態にします。シリアルI/O2制御レジスタ(001D16番地)のビット7コンパレータ基準入力選択ビットを“1”にすることにより内部固定アナログ電圧($V_{CC} \times 29/32$)を発生させることができます。(VCC=5.0V時、内部固定アナログ電圧は約4.5Vとなります。)また、“0”にすることにより、P00/P3REFがコンパレータ基準電源入力端子となり外部より任意に入力することができます。そしてコンパレータデータレジスタ(002D16番地)

番地)への書き込み動作により直ちに電圧比較が行われます。内部システムクロックφの14サイクル(比較所用時間)後、コンパレータの比較結果は、コンパレータデータレジスタ(002D16番地)に格納されます。このレジスタの各ビットは対応するポートP30～P37端子の状態により

アナログ入力電圧>内部アナログ電圧
のとき“1”

アナログ入力電圧<内部アナログ電圧
のとき“0”となります。再度比較する場合は、コンパレータデータレジスタ(002D16番地)への書き込みによる再電圧比較が必要です。

結果の読み出しは、コンパレータ動作スタート後14サイクル以上たってから行ってください。

比較に要する14サイクルの間はラダー抵抗がONになり、基準電圧を発生します。コンパレータ動作を実行していない間はラダー抵抗はOFFになっているため、不要な電流が消費されるのを防ぎます。

コンパレータは容量結合で構成されておりクロック周波数が低いと電荷が失われます。コンパレータ実行中はクロック周波数を1MHz以上にしてください。また、STP命令、WIT命令及びポートP3の入出力命令を実行しないでください。

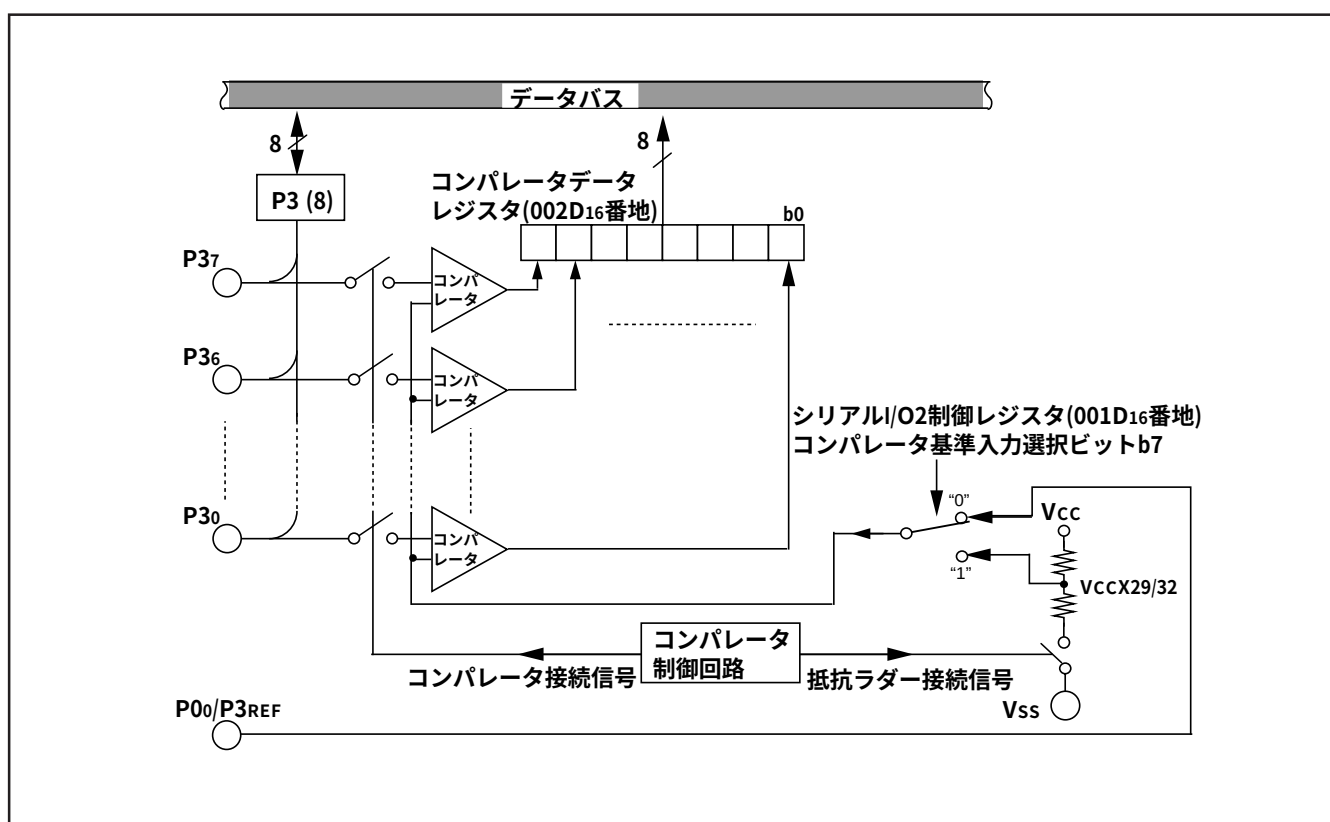


図54. コンパレータ回路

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(001E16番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(001E16番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(001E16番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット(ビット0～5)、STP命令禁止ビット(ビット6)、ウォッチドッグタイマHカウントソース選択ビット(ビット7)の値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりウォッチドッグタイマHは FF_{16} に、

ウォッチドッグタイマLは FF_{16} に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(001E16番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが 0 の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=8\text{MHz}$ 時 131.072ms 、 $f(XCIN)=32\text{kHz}$ 時 32.768s になります。

このビットが 1 の場合、カウントソースは $f(XIN)$ (又は $f(XCIN)$)の16分周信号となります。この場合の検出時間は $f(XIN)=8\text{MHz}$ 時 $512\mu\text{s}$ 、 $f(XCIN)=32\text{kHz}$ 時 128ms になります。

このビットはリセット後 0 になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(001E16番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが 0 の場合、STP命令は許可です。

このビットが 1 の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦 1 にするとプログラムで 0 に書き換えることはできなくなります。

このビットはリセット後 0 になります。

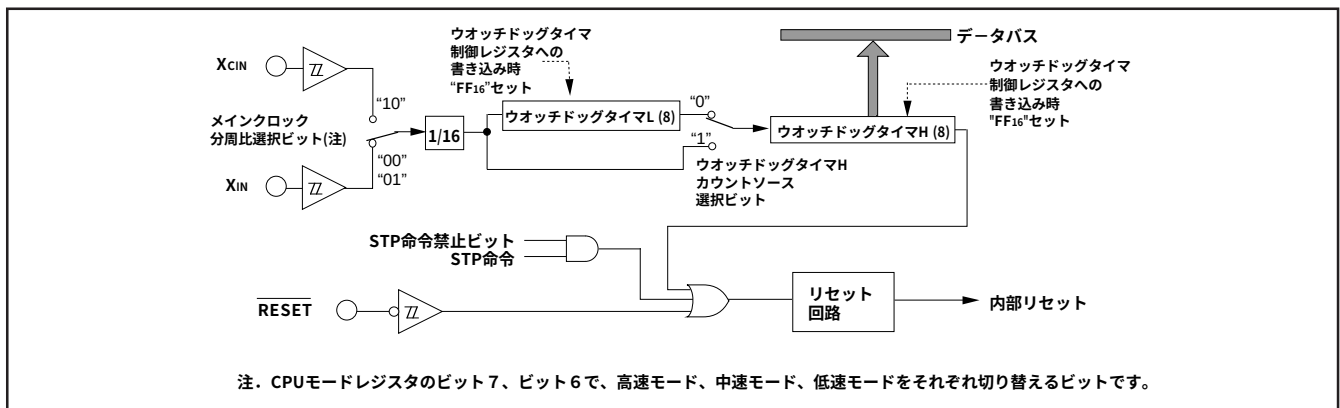


図55. ウォッチドッグタイマのブロック図

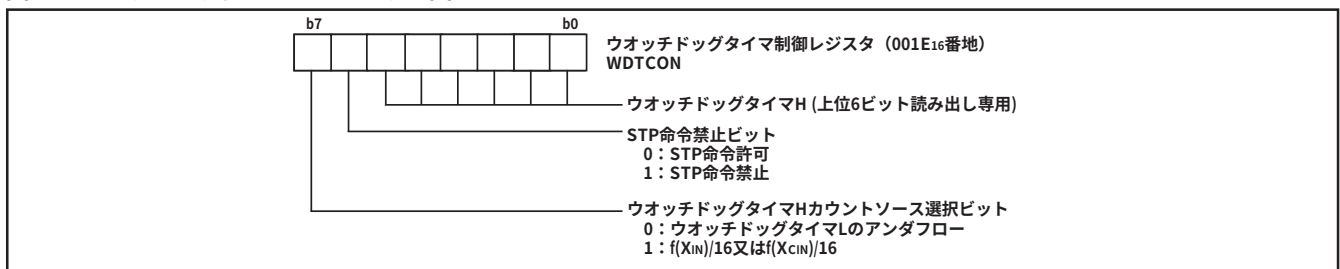
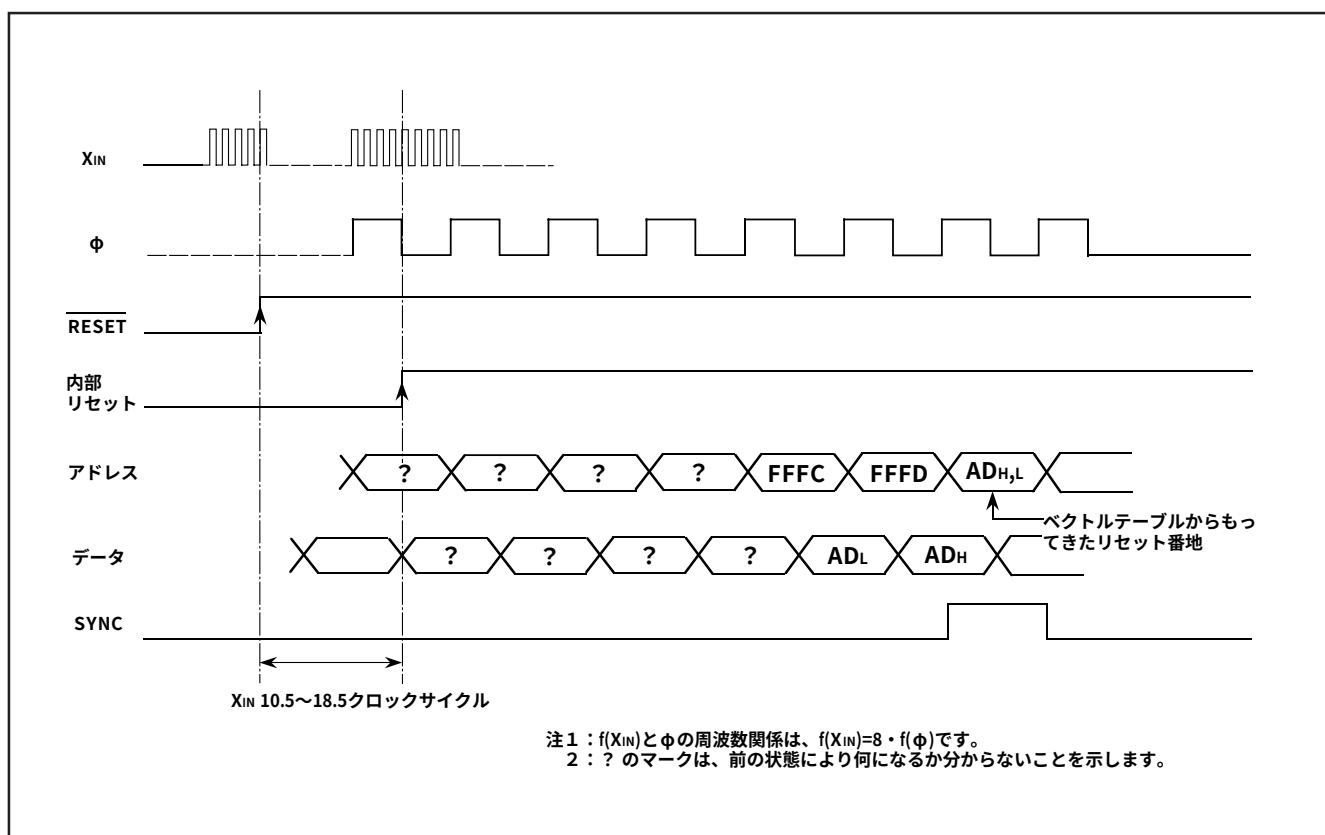
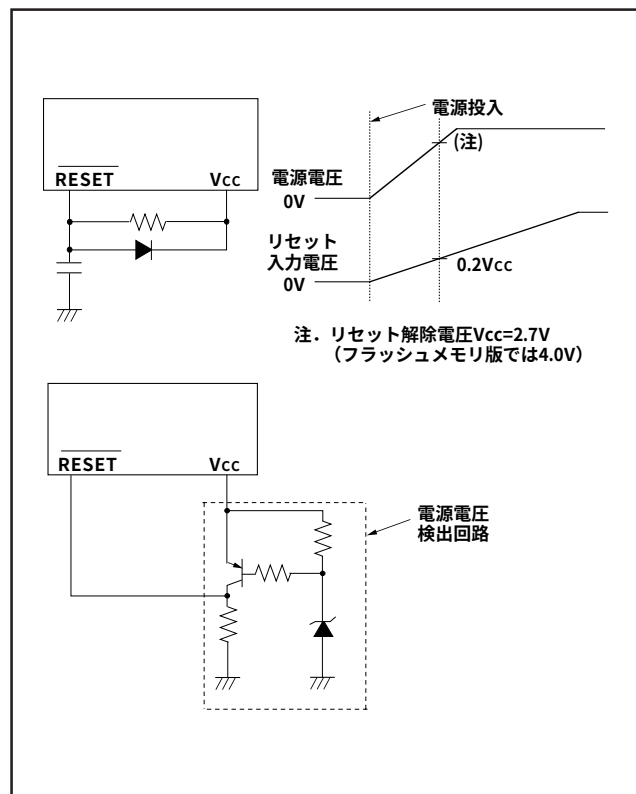


図56. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～5.5V(フラッシュメモリ版では4.0～5.5V)にあり、XINが安定発振しているとき、RESET端子をXINの16サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7V(フラッシュメモリ版では4.0V)を通過する時点で0.54V(フラッシュメモリ版では0.8V)以下になるようにしてください。



	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(33) プリスケアラ12	0020 ₁₆	FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(34) タイマ1	0021 ₁₆	01 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(35) タイマ2	0022 ₁₆	FF ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(36) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(37) プリスケアラX	0024 ₁₆	FF ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(38) タイマX	0025 ₁₆	FF ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(39) プリスケアラY	0026 ₁₆	FF ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(40) タイマY	0027 ₁₆	FF ₁₆
(9) ポートP4	0008 ₁₆	00 ₁₆	(41) データバスバッファレジスタ0	0028 ₁₆	X X X X X X X X
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(42) データバスバッファレジスタ0	0029 ₁₆	00 ₁₆
(11) ポートP5	000A ₁₆	00 ₁₆	(43) データバスバッファ制御レジスタ0	002A ₁₆	00 ₁₆
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(44) データバスバッファレジスタ1	002B ₁₆	X X X X X X X X
(13) ポートP6	000C ₁₆	00 ₁₆	(45) データバスバッファレジスタ1	002C ₁₆	00 ₁₆
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(46) コンパレータデータレジスタ	002D ₁₆	X X X X X X X X
(15) ポートP7	000E ₁₆	00 ₁₆	(47) ポート制御レジスタ1	002E ₁₆	00 ₁₆
(16) ポートP7方向レジスタ	000F ₁₆	00 ₁₆	(48) ポート制御レジスタ2	002F ₁₆	00 ₁₆
(17) ポートP8	0010 ₁₆	00 ₁₆	(49) PWM0Hレジスタ	0030 ₁₆	X X X X X X X X
(18) ポートP8方向レジスタ	0011 ₁₆	00 ₁₆	(50) PWM0Lレジスタ	0031 ₁₆	X 0 X X X X X X
(19) I ² Cデータシフトレジスタ	0012 ₁₆	X X X X X X X X	(51) PWM1Hレジスタ	0032 ₁₆	X X X X X X X X
(20) I ² Cアドレスレジスタ	0013 ₁₆	00 ₁₆	(52) PWM1Lレジスタ	0033 ₁₆	X 0 X X X X X X
(21) I ² Cステータスレジスタ	0014 ₁₆	0 0 0 1 0 0 0 X	(53) AD/DA制御レジスタ	0034 ₁₆	0 0 0 0 1 0 0 0
(22) I ² Cコントロールレジスタ	0015 ₁₆	00 ₁₆	(54) A-D変換レジスタ1	0035 ₁₆	X X X X X X X X
(23) I ² Cクロックコントロールレジスタ	0016 ₁₆	00 ₁₆	(55) D-A1変換レジスタ	0036 ₁₆	00 ₁₆
(24) I ² Cスタート/ストップコンディション制御レジスタ	0017 ₁₆	0 0 0 1 1 0 1 0	(56) D-A2変換レジスタ	0037 ₁₆	00 ₁₆
(25) 送信/受信バッファレジスタ	0018 ₁₆	X X X X X X X X	(57) A-D変換レジスタ2	0038 ₁₆	0 0 0 0 0 0 X X
(26) シリアル/O1ステータスレジスタ	0019 ₁₆	1 0 0 0 0 0 0 0	(58) 割り込み要因選択レジスタ	0039 ₁₆	00 ₁₆
(27) シリアル/O1制御レジスタ	001A ₁₆	00 ₁₆	(59) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(28) UART制御レジスタ	001B ₁₆	1 1 1 0 0 0 0 0	(60) CPUモードレジスタ	003B ₁₆	0 1 0 0 1 0 * 0
(29) ボーレートジェネレータ	001C ₁₆	X X X X X X X X	(61) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(30) シリアル/O2制御レジスタ	001D ₁₆	00 ₁₆	(62) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(31) ウォッチドッグタイマ制御レジスタ	001E ₁₆	0 0 1 1 1 1 1 1	(63) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(32) シリアル/O2レジスタ	001F ₁₆	X X X X X X X X	(64) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
			(65) フラッシュメモリ制御レジスタ	0FFE ₁₆	00 ₁₆
			(66) フラッシュコマンドレジスタ	0FFF ₁₆	00 ₁₆
			(67) プロセッサステータスレジスタ	(PS)	X X X X X 1 X X
			(68) プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
				(PC _L)	FFFC ₁₆ 番地の内容

注：＊初期値は、CNVss端子のレベルによります。

×：不定です。

上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図59. リセット時の内部状態

クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていませんので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックφとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックφの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックφになります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN-XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックφが“H”の状態では停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビット(002F16番地のビット6)が“0”の時、プリスケアラ12には“FF16”、タイマ1には“0116”が設定されます。一方、STP命令解除後発振安定時間設定ビットが“1”の時は、プリスケアラ12、タイマ1には何も設定されませんのでご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXIN又はXCINの16分周、タイマ1にはプリスケアラ12の出力が強制的に接続されます。

STP命令実行前に、タイマ1の割り込み許可ビットを禁止状態(“0”)に設定してください。

発振は外部割り込みが受け付けられると再開しますが、内部クロックφは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックφが供給されます。そのため、STP命令によって発振が停止する以前にタイマ1割り込み要求ビットが“1”に設定されないようにしてください。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックφが“H”の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックφの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

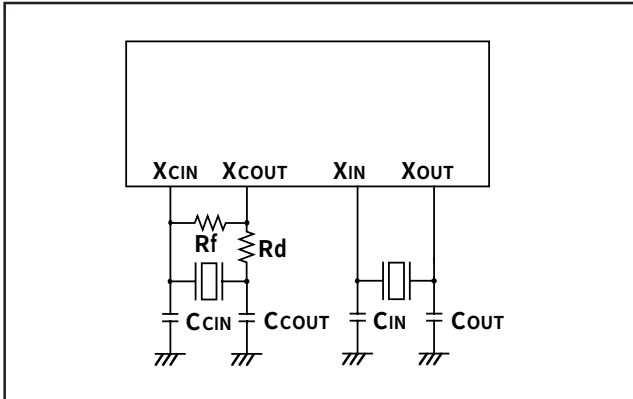


図60. セラミック共振子外付け回路

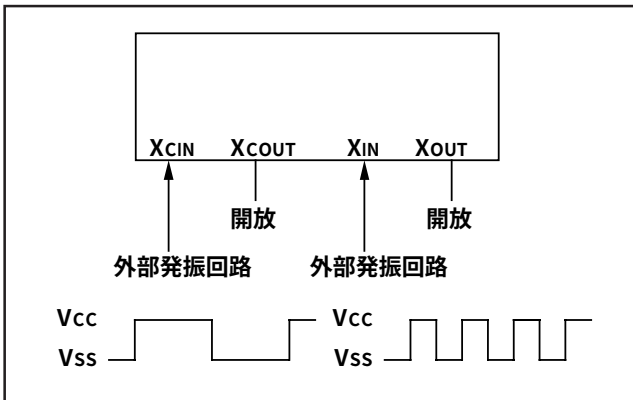
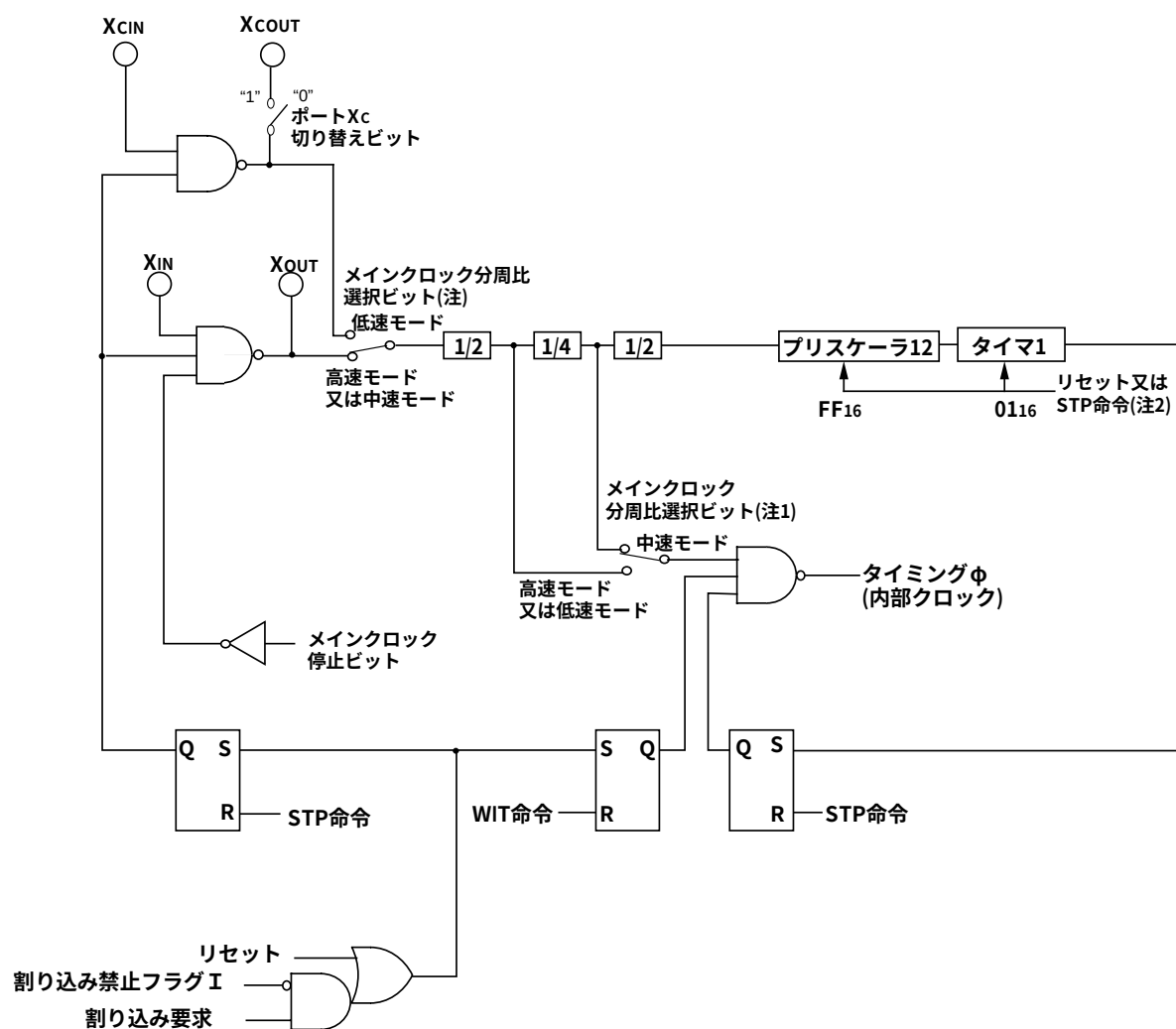
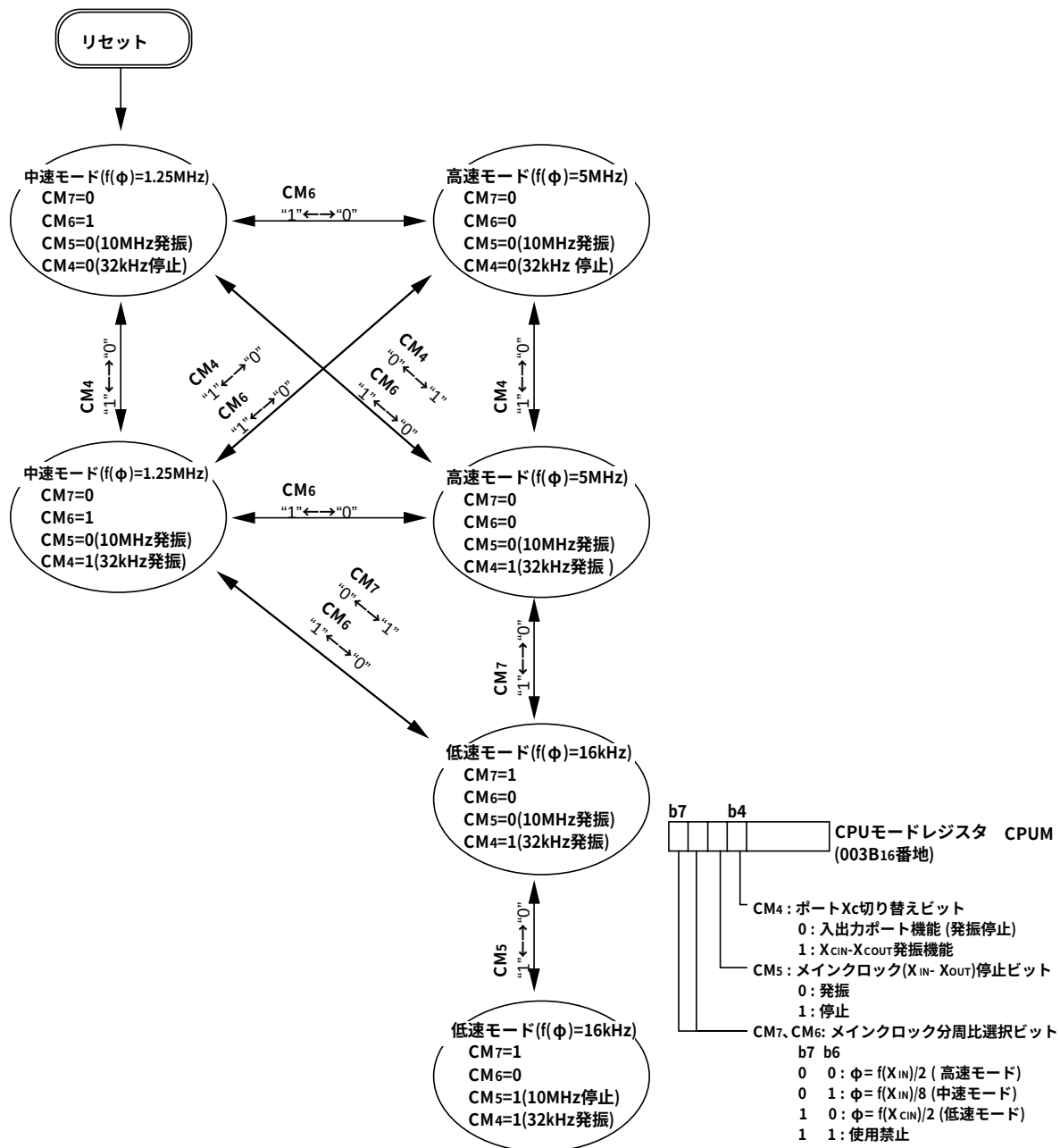


図61. 外部クロック入力回路



- 注1. CPUモードレジスタのビット7、ビット6で、高速モード、中速モード、低速モードのいずれかを選択するビットです。
 低速モードを選択する場合は、ポートXc切り替えビット(b4)を"1"にしてください。
2. ポート制御レジスタ2のビット6が"0"のときは、STP命令実行時に初期値が再設定されません。

図62. システムクロック発生回路ブロック図 (シングルチップモード)



注. モード間の移行は矢印に沿って行ってください。(矢印のないモード間は直接移行しないでください)
 すべてのモードからストップモード又はウエイトモードへ移行することができ、解除後はもとのモードに戻ります。
 ウエイトモード時にはタイマは動作しています。
 中/高速モード時のストップモードからの解除時は、プリスケアラ12、タイマ1の接続によって約1msの待ち時間が自動的に発生します。
 低速モード時のストップモードからの解除時の待ち時間は発振再開後、約0.25sとなります。
 低速モードから中/高速モードへの移行は、メインクロック X_{IN} を発振させた後、発振が安定するのを待って行ってください。
 上記の例では X_{IN} 端子に10MHz、 X_{CIN} 端子に32kHzの信号を加えた場合を想定しています。 ϕ は内部クロックを示します。

図63. システムクロックの状態遷移図

プロセッサモード

M38867M8A/E8Aでは、CPUモードレジスタ(003B₁₆番地)のプロセッサモードビット(b1, b0)の内容を変えることによって、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードの3つのモードを選択できます。メモリ拡張モード、マイクロプロセッサモードでは、ポートP0～P3を通じて外部にメモリを拡張することが可能です。この場合ポートP0～P3は入出力ポートとしての機能を失い、バス端子になります。

表17. メモリ拡張モード及びマイクロプロセッサモードにおける各ポートの機能

ポート名	機 能
ポートP0	アドレスの下位8ビットを出力します
ポートP1	アドレスの上位8ビットを出力します
ポートP2	データD7～D0(命令コードも含む)の入出力端子として働きます。
ポートP3	P30, P31は出力端子としてのみ機能します。 (ただし、ポートラッチは読み出し不可) P32はONW入力端子となります。 P33はRESETOUT出力端子となります。(注) P34はφ出力端子となります。 P35はSYNC出力端子となります。 P36, P37はそれぞれWR, RD出力端子となります。

注. CNVssをVssに接続している場合、マイクロコンピュータはリセット時シングルチップモードに移行するため、RESETOUT出力端子としては使用できません。

(1)シングルチップモード

CNVssをVssに接続してリセットからスタートするとこのモードになります。

(2)メモリ拡張モード

CNVssをVssに接続して、プログラムでプロセッサモードビット(b1, b0)を“01”に設定するとこのモードになります。このモードでは、内部ROMが有効な状態で外部メモリを拡張することができます。

ただし、M38869M8A/MCA/MFA及びフラッシュメモリ版では、このモード設定は使用禁止です。

(3)マイクロプロセッサモード

CNVssをVccに接続し、リセットからスタートするか、CNVssをVssに接続して、プログラムでプロセッサモードビット(b1, b0)を“10”に設定すると、このモードになります。マイクロプロセッサモードでは、内部ROM領域も外部メモリ領域として解放されます。

ただし、M38869M8A/MCA/MFA及びフラッシュメモリ版では、このモード設定は使用禁止です。

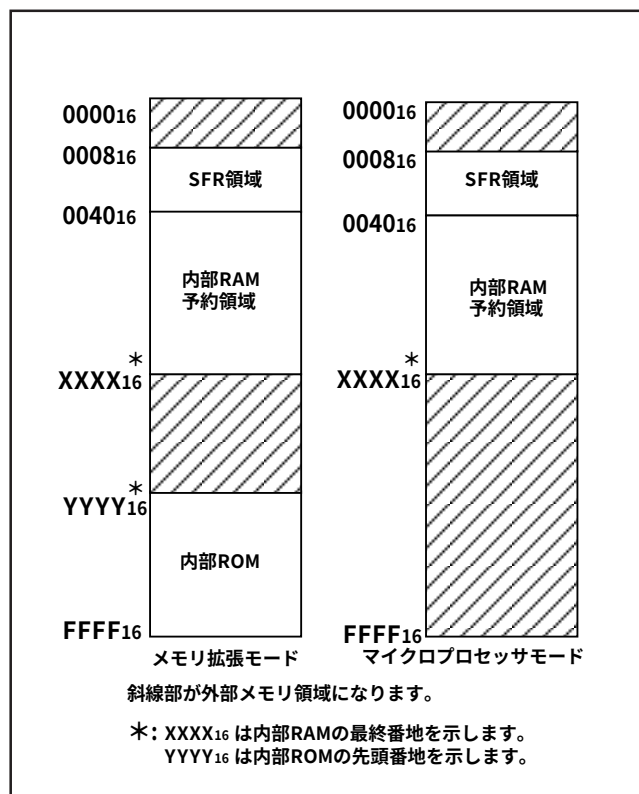


図64. 各プロセッサモードの外部メモリ領域

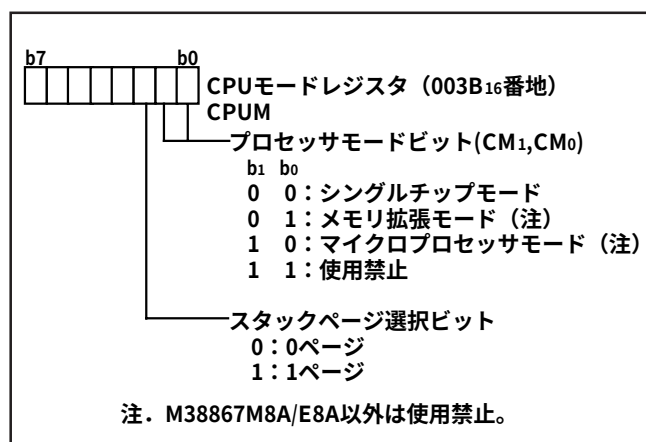


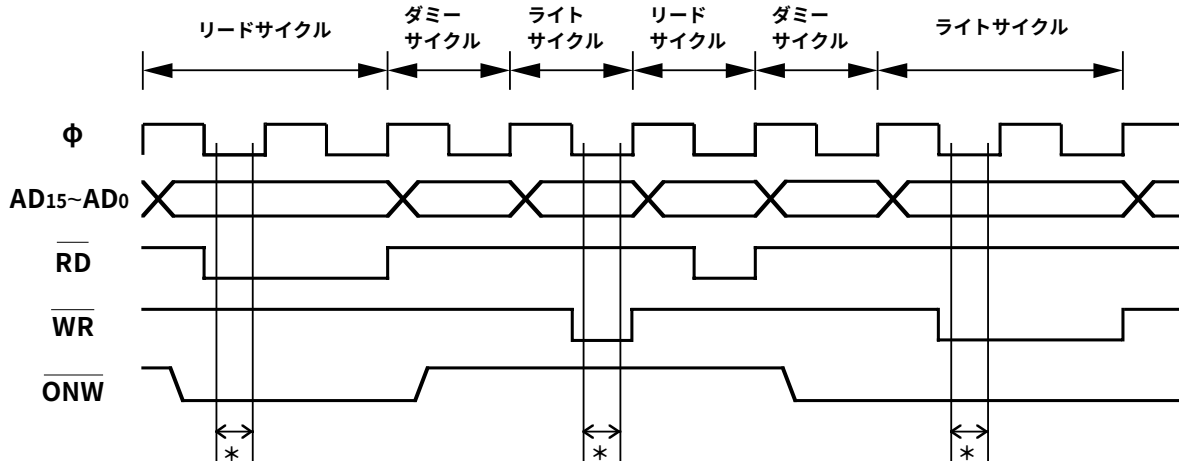
図65. CPUモードレジスタの構成

●メモリ拡張時のバス制御

メモリ拡張モードやマイクロプロセッサモードにより外部メモリやI/Oを拡張したとき、拡張したメモリやI/Oへのアクセスを容易にするために、M38867M8A/E8AはONW機能を内蔵しています。

CPUが読み出し又は書き込み状態であるときP32/ONW端子に“L”を入力すると、リードサイクル又はライトサイクルが

φの1周期分延長されます。延長期間は、RD, WR信号が“L”のまま保持されます。この延長機能は0000₁₆～0007₁₆番地及び0440₁₆～FFFF₁₆番地への書き込み、読み出し時のみ機能します。また、リードサイクル、ライトサイクルのみ延長されます。



* : ONW入力信号受け付け期間

この期間内、ONW信号は“H”又は“L”で安定している必要があります。この他の期間のONW信号入力レベルは、動作に影響を与えません。

また、アドレスが0008₁₆～043F₁₆番地のとき、ONW信号は受け付けられず、バスサイクルは延長されません。

図66. ONW機能タイミング図

EPROMモード

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。内蔵PROMへの書き込みのため、M5M27C101相当の機能を持っております。なお、PROMライタのアドレス設定は、ユーザROM領域に設定してご使用ください。

表18. 専用書き込みアダプタ

パッケージ	書き込みアダプタ形名
80P6Q-A	PCA4738H-80A
80D0	PCA4738L-80A

表19. PROMライタの設定

マイコン形名	PROMライタの設定		マイコンのROM領域
	対応デバイス	書込領域	
M38867E8AHP	M5M27C101K バイト プログラム	0808016 ?	808016 ?
M38867E8AFS		0FFFD16	FFFD16

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図67に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

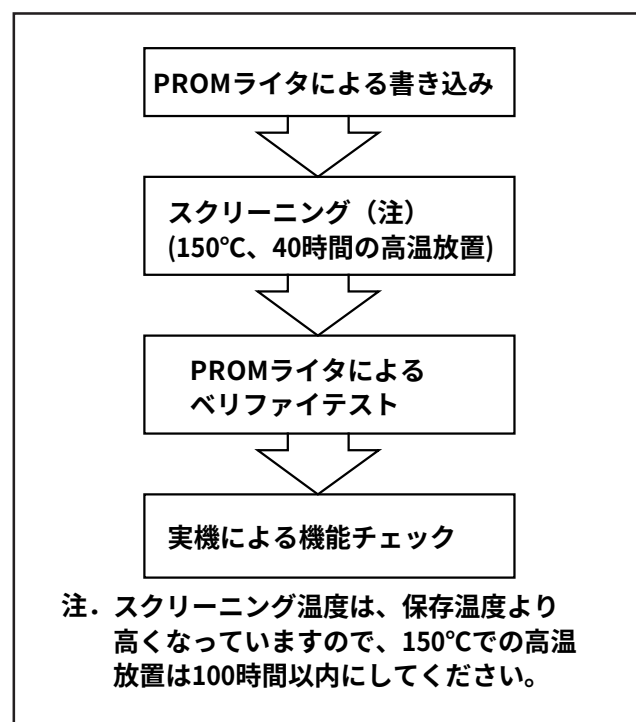


図67. ワンタイムPROM版書き込みとテスト

フラッシュメモリモード

M38869FFAHP/GPは、通常の動作モード(マイコンモード)以外に、内蔵するフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードを持っています。

フラッシュメモリモードとして、外部のライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、シリアル入出力モード及び、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を選択できます。

以下それぞれのフラッシュメモリモードについて説明します。

(1)フラッシュメモリモード-1(パラレル入出力モード)

図68に示す結線を行い、VCC, Vpp端子に電源を投入すると、パラレル入出力モードが選択されます。このモードでは、M38869FFAHP/GPは当社製CMOSフラッシュメモリM5M28F101相当の動作を行います。ただし、M38869FFAHP/GPの内蔵メモリ容量は60Kバイトですので、プログラムは0100016～0FFFF16番地に対して行い、0000016～00FFF16番地及び1000016～1FFFF16番地のデータは必ず“FF16”にしてください。また、アドレス入力(A9)に高電圧を印加してデバイス識別コードを読み出す機能は内蔵していません。汎用PROMライタ使用時のプログラム条件の設定などは、誤りのないように行ってください。

パラレル入出力モード時の端子対応を表20に示します。

表20. パラレル入出力モード時の端子対応

	M38869FFAHP/GP	M5M28F101
VCC	VCC	VCC
VPP	CNVss	VPP
VSS	VSS	VSS
アドレス入力	ポートP0, P1, P31	A0～A16
データ入出力	ポートP2	D0～D7
CE	P36	CE
OE	P37	OE
WE	P33	WE

表21. 制御入力と各状態の対応

モード	状態	端子名	CE	OE	WE	VPP	データ入出力
リードオンリー	リード		V _{IL}	V _{IL}	V _{IH}	V _{PP} L	出力
	出力ディスエーブル		V _{IL}	V _{IH}	V _{IH}	V _{PP} L	フローティング
	スタンバイ		V _{IH}	X	X	V _{PP} L	フローティング
リード/ライト	リード		V _{IL}	V _{IL}	V _{IH}	V _{PP} H	出力
	出力ディスエーブル		V _{IL}	V _{IH}	V _{IH}	V _{PP} H	フローティング
	スタンバイ		V _{IH}	X	X	V _{PP} H	フローティング
	ライト		V _{IL}	V _{IH}	V _{IL}	V _{PP} H	入力

注. Xは、V_{IL}又はV_{IH}のどちらでもよい。

●機能概要(パラレル入出力モード)

パラレル入出力モードでは、Vpp端子の印加電圧によってリードオンリーモードとリード/ライトモード(ソフトウェアコマンドコントロールモード)の2種類の動作モードが設定できます。Vpp=VppLに設定するとリードオンリーモードが選択され、 $\overline{\text{CE}}$, $\overline{\text{OE}}$, $\overline{\text{WE}}$ 端子の入力によって、リード、出力ディスエーブル、スタンバイの3状態に設定することができます。また、Vpp=VppHに設定するとリード/ライトモードが選択され、 $\overline{\text{CE}}$, $\overline{\text{OE}}$, $\overline{\text{WE}}$ 端子の入力によって、リード、出力ディスエーブル、スタンバイ、ライトの4状態に設定することができます。 $\overline{\text{CE}}$, $\overline{\text{OE}}$, $\overline{\text{WE}}$ 端子の入力と各状態の対応を表21に示します。

・リード

$\overline{\text{CE}}$ 端子を“L”, $\overline{\text{OE}}$ 端子を“L”, $\overline{\text{WE}}$ 端子を“H”にするとリード状態になり、アドレス入力端子(A0～A16)に入力されるアドレスに対応するメモリの内容がデータ入出力端子(D0～D7)から出力されます。

・出力ディスエーブル

$\overline{\text{CE}}$ 端子を“L”, $\overline{\text{WE}}$ 端子を“H”, $\overline{\text{OE}}$ 端子を“H”にすると出力ディスエーブル状態になり、データ入出力端子はフローティング状態になります。

・スタンバイ

$\overline{\text{CE}}$ 端子を“H”にするとスタンバイ状態になり、電源電流が極めて少ないパワーダウン状態になります。また、データ入出力端子はフローティング状態になります。

・ライト

Vpp端子を“H”(Vpp=VppH)とし、 $\overline{\text{CE}}$ 端子が“L”, $\overline{\text{OE}}$ 端子が“H”のときに、 $\overline{\text{WE}}$ 端子を“L”にするとライト状態になります。ライト状態では、データ入出力端子からのソフトウェアコマンドの入力が可能になり、このソフトウェアコマンドの内容によってプログラム、イレーズなどの操作が選択できます。

表22. 端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名 称	入出力	機 能
V _{CC} , V _{SS}	電源入力		V _{CC} に5V±10%, V _{SS} に0Vを印加します。
CNV _{SS}	V _{PP} 入力	入 力	リードオンリーモード時は5V±10%を, リード/ライトモード時は11.7~12.6Vを印加します。
RESET	リセット入力	入 力	V _{SS} に接続してください。
X _{IN}	クロック入力	入 力	X _{IN} , X _{OUT} の間にセラミック共振子を接続します。
X _{OUT}	クロック出力	出 力	X _{IN} , X _{OUT} の間にセラミック共振子を接続します。
AV _{SS}	アナログ電源 入力		V _{SS} に接続してください。
V _{REF}	基準電圧入力	入 力	V _{SS} に接続してください。
P00~P07	アドレス入力 A0~A7	入 力	アドレスA0~A7の入力端子です。
P10~P17	アドレス入力 A8~A15	入 力	アドレスA8~A15の入力端子です。
P20~P27	データ入出力 D0~D7	入出力	データD0~D7の入出力端子です。
P30~P37	制御入力	入 力	P37,P36,P33はそれぞれOE,CE,WEの入力端子、P31はアドレスA16の入力端子となります。 P30,P32はV _{SS} に接続して下さい。P34,P35は“H”を入力、“L”を入力又は開放してください。
P40~P47	入力ポート P4	入 力	P44, P46はV _{SS} に接続してください。P40~P43,P45,P47は“H”を入力、“L”を入力又は開放にしてください。
P50~P57	入力ポート P5	入 力	“H”を入力、“L”を入力、又は開放してください。
P60~P67	入力ポート P6	入 力	“H”を入力、“L”を入力、又は開放してください。
P70~P77	入力ポート P7	入 力	“H”を入力、“L”を入力、又は開放してください。
P80~P87	入力ポート P8	入 力	“H”を入力、“L”を入力、又は開放してください。

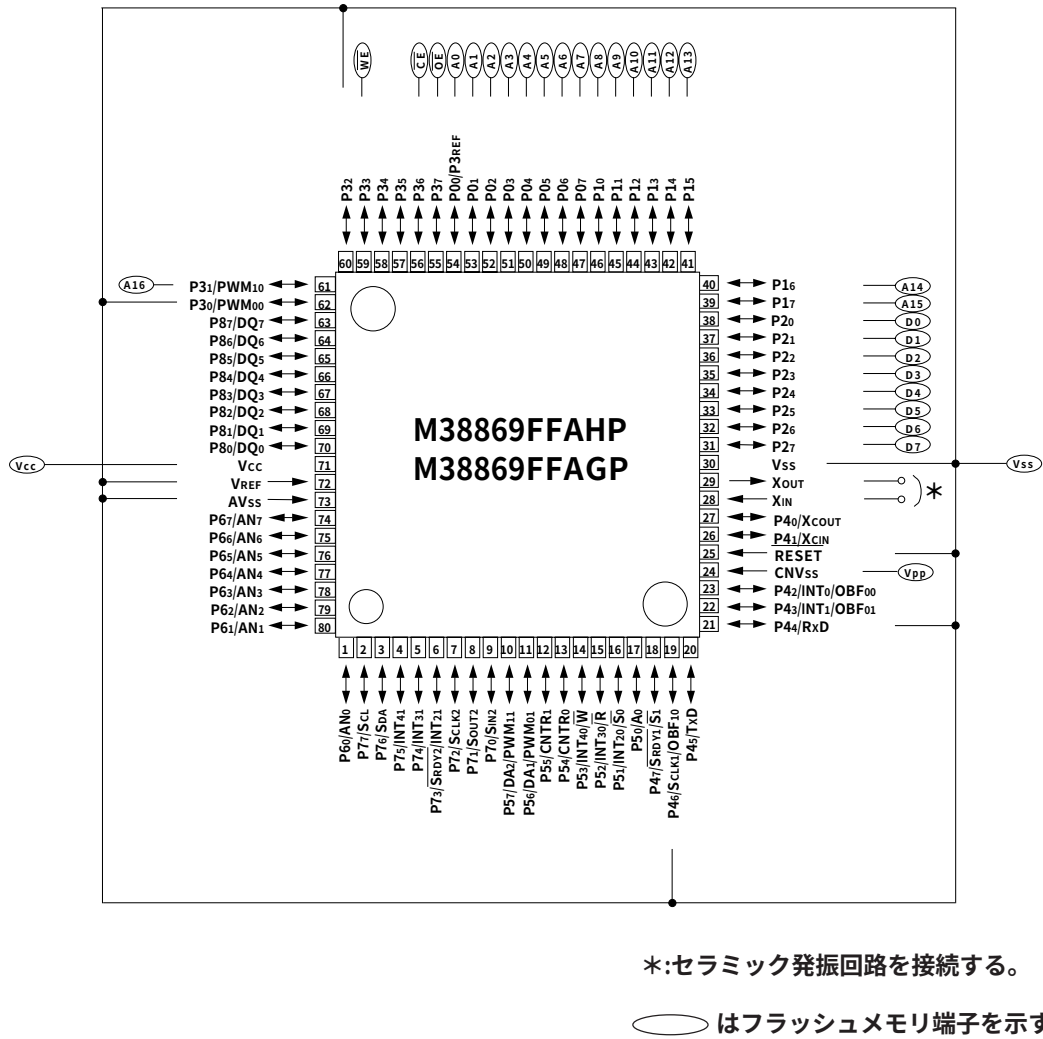


図68. パラレル入出力モード時の端子結線図(M38869FFAHP/GP)

●リードオンリーモード

V_{PP}端子にV_{PPH}を印加するとリードオンリーモードになります。このモードでは図69に示すタイミングで読み出しを行

うアドレス及び、制御信号を入力すると指定したアドレスの内容がデータ入出力端子から外部に出力されます。このモードでは読み出し以外の操作はできません。

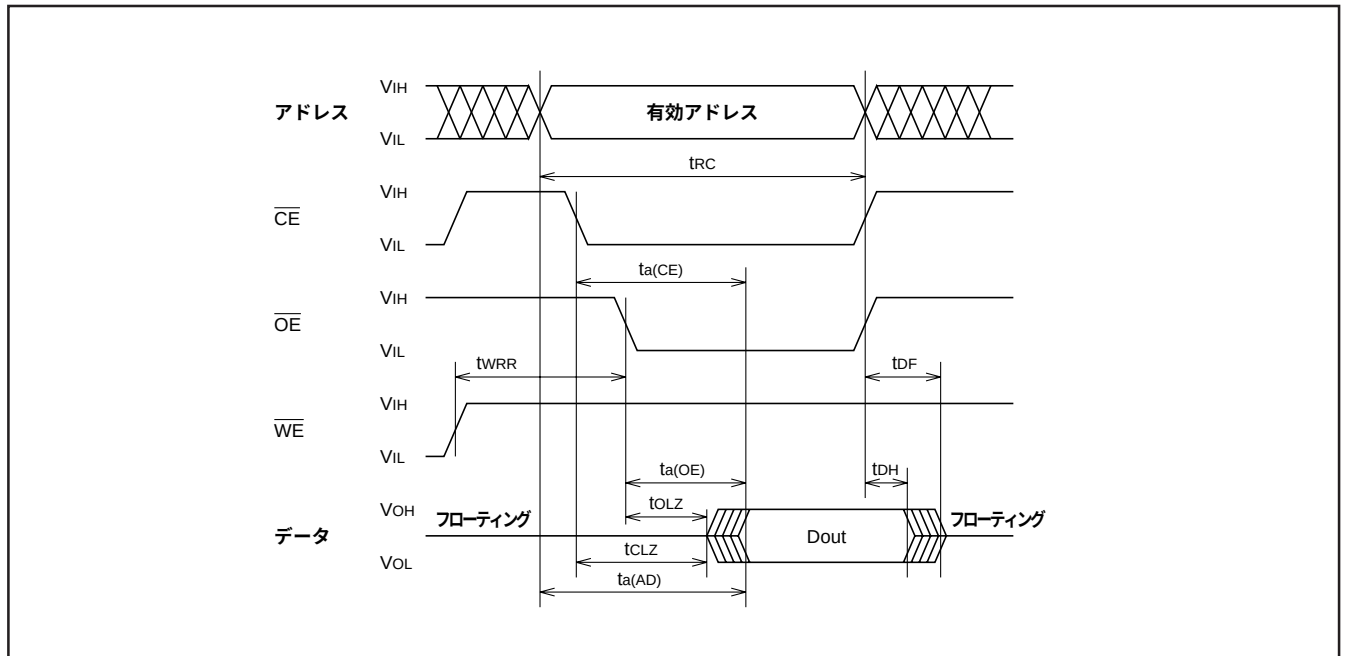


図69. リードタイミング

●リード/ライトモード

V_{PP}端子にV_{PPH}を印加するとリード/ライトモードになります。このモードでは、最初にフラッシュメモリに対して行う操作(リード、プログラム、イレースなど)を選択するためのソフトウェアコマンドを入力し(第一サイクルと称す)、続いてそのコマンドを実行するために必要な情報(アドレス、データなど)及び制御信号を入力する(第二サイクルと称す)と指定した操作が実行されます。表23にソフトウェアコマン

ドと第一、第二サイクルにおける入出力情報を示します。入力したアドレスは $\overline{WE}$ 入力の立ち上がりエッジで、ソフトウェアコマンドなどの入力データは $\overline{WE}$ 入力の立ち上がりエッジで内部にラッチされます。

以下に、各ソフトウェアコマンドについて説明します。信号入出力のタイミングについては図70～図72を参照してください。

表23. ソフトウェアコマンド一覧表 (パラレル入出力モード)

項 目	第一サイクル		第二サイクル	
	アドレス入力	データ入力	アドレス入力	データ入出力
リード	X	00 ₁₆	リードアドレス	リードデータ(出力)
プログラム	X	40 ₁₆	プログラムアドレス	プログラムデータ(入力)
プログラムベリファイ	X	C0 ₁₆	X	ベリファイデータ(出力)
イレース	X	20 ₁₆	X	20 ₁₆ (入力)
イレースベリファイ	ベリファイアドレス	A0 ₁₆	X	ベリファイデータ(出力)
リセット	X	FF ₁₆	X	FF ₁₆ (入力)
デバイス識別	X	90 ₁₆	ADI	DDI(出力)

注. ADI=デバイス識別アドレス：製造メーカーコード 00000₁₆、デバイスコード 00001₁₆
DDI=デバイス識別データ：製造メーカーコード 1C₁₆、デバイスコード D0₁₆
Xは、V_{IL}又はV_{IH}のどちらでもよい。

・リードコマンド

第一サイクルでコマンドコード“0016”を入力するとリードモードになります。コマンドコードは $\overline{\text{WE}}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで読み出しを行うアドレスを入力し、図70に示すタイミングで制御信号を入力すると、指定したアドレスの内容がデータ入出力端子から外部に出力されます。

リードモードは、コマンドラッチに他のコマンドがラッチされるまで保持されます。したがって、1度リードモードに設定した後は、アドレス入力を変化させて第二サイクルだけを実行すると、メモリの内容を次々に読み出すことができます。なお、リードコマンド以外のコマンドは実行する度に、再度コマンドコードから入力する必要があります。電源投入後はコマンドラッチの内容は0016になっています。

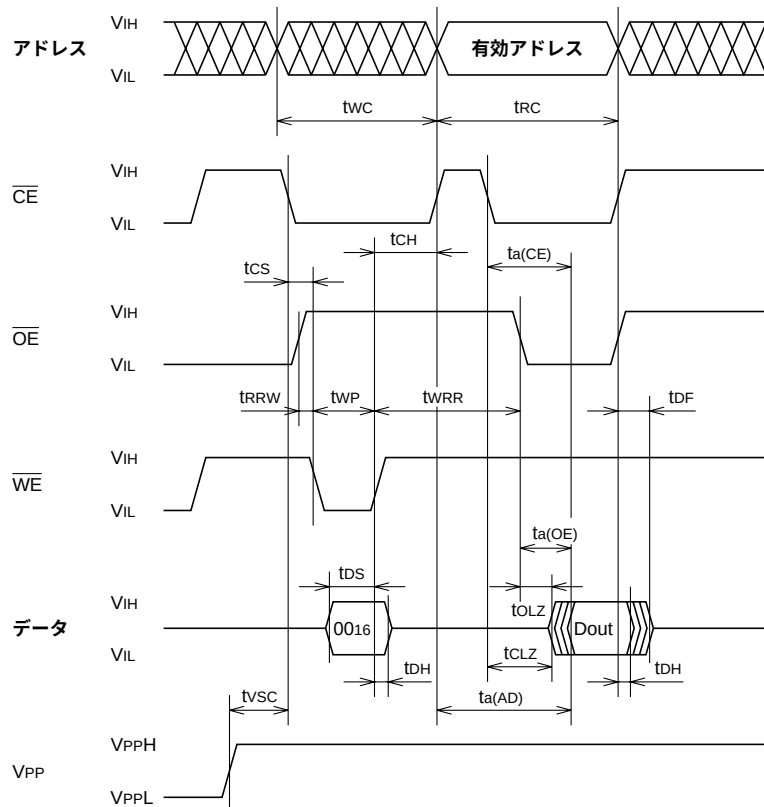


図70. リード時のタイミング

・プログラムコマンド

第一サイクルでコマンドコード“4016”を入力するとプログラムモードになります。コマンドコードは $\overline{\text{WE}}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルでプログラムするアドレスとデータを入力すると、アドレスは $\overline{\text{WE}}$ 入力の立ち下がり、データは立ち上がりで内部にラッチされます。プログラムは、第二サイクルの $\overline{\text{WE}}$ 入力の立ち上がりによって開始され、内蔵タイマで測定して10 μs 以内に終了します。プログラムはバイト単位で行われます。

(注) 書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図73を参照してください。

・プログラムベリファイコマンド

第一サイクルでコマンドコード“C016”を入力するとプログラムベリファイモードになります。このコマンドはプログラムコマンド実行後に、プログラムされたデータをベリファイするために用います。コマンドコードは $\overline{\text{WE}}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで図71に示すタイミングで制御信号を入力すると、プログラムされたアドレスの内容が外部に出力されます。アドレスはプログラムコマンド実行時のアドレスを内部でラッチしていますので、第二サイクルにおいて入力する必要はありません。

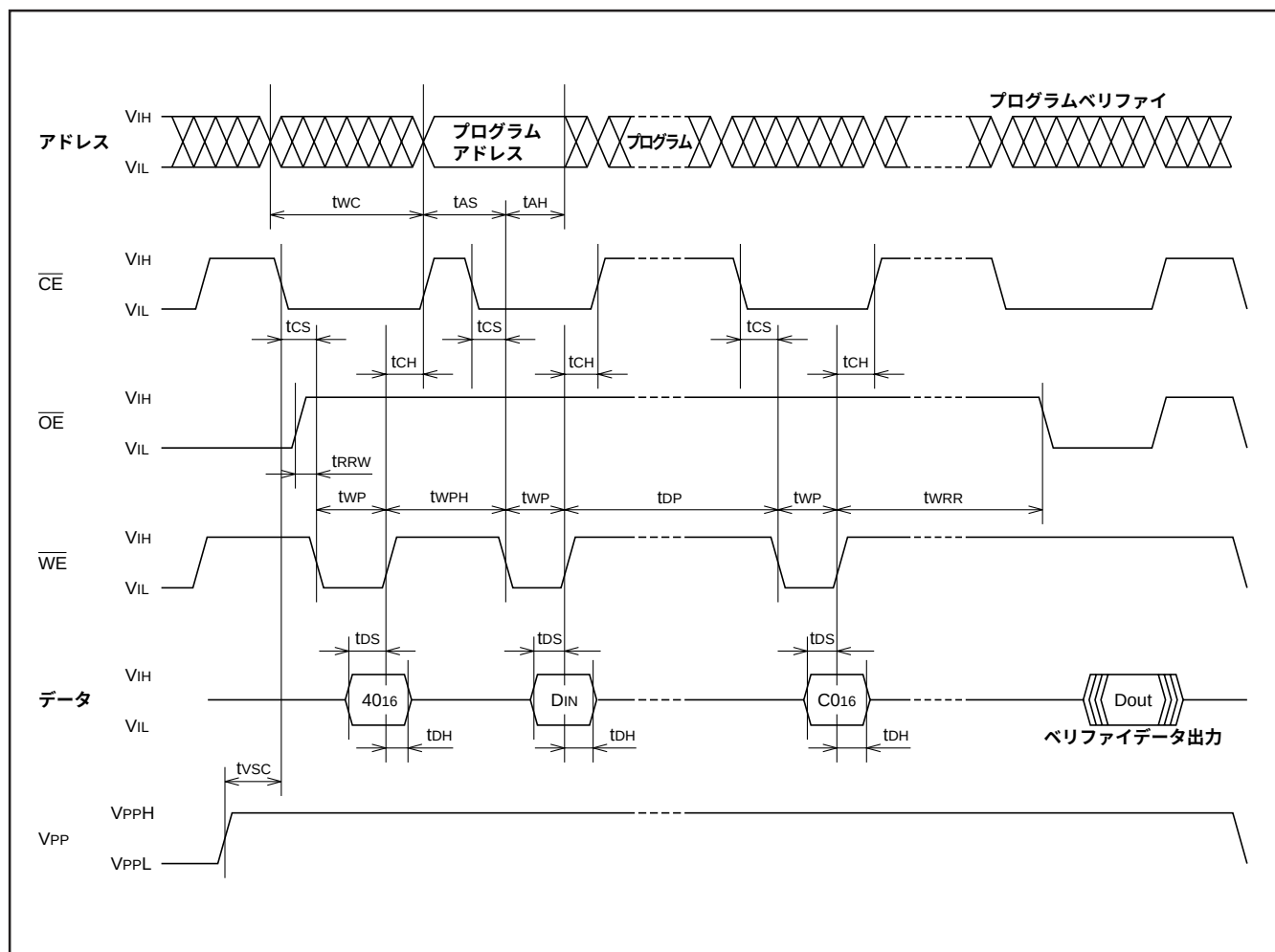


図71. プログラム時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・イレーズコマンド

第一サイクルでコマンドコード“2016”を入力した後、再度第二サイクルでコマンドコード“2016”を入力するとイレーズコマンドが実行されます。コマンドコードは、第一及び第二サイクルの $\overline{\text{WE}}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。イレーズは、第二サイクルの $\overline{\text{WE}}$ 入力の立ち上がりによって開始され、内蔵タイマで測定して9.5ms以内にメモリの内容は一括消去されます。なお、イレーズコマンドの実行前には、すべてのメモリにデータ“0016”を書き込む必要があります。

(注) 消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図73を参照してください。

・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。第一サイクルでベリファイするアドレスとコマンドコード“A016”を入力するとイレーズベリファイモードになります。アドレスは $\overline{\text{WE}}$ 入力の立ち下がり、コマンドコードは立ち上がりで内部にラッチされます。第二サイクルで図72に示すタイミングで制御信号を入力すると、指定したアドレスの内容が外部に出力されます。

(注) イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ→イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“0016”を書き込む必要はありません。

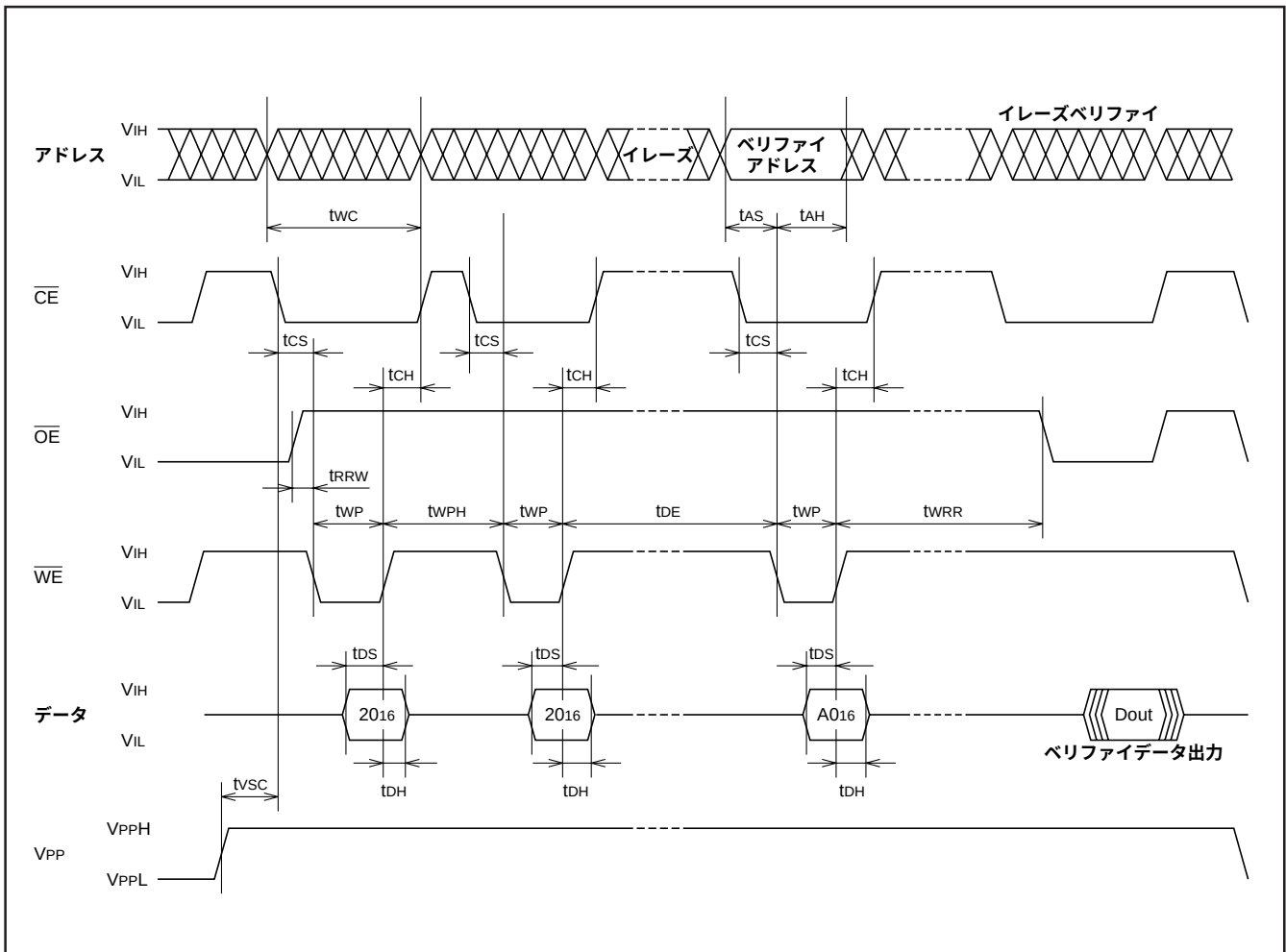


図72. イレーズ時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・リセットコマンド

リセットコマンドはイレーズ又はプログラムコマンドを安全に中止するための手段です。第一サイクルでイレーズ又はプログラムコマンドコードを入力した後、第二サイクルでコマンドコード“FF₁₆”を入力し、再度第三サイクルでコマンドコード“FF₁₆”を入力すると、イレーズ又はプログラムコマンドは無効になり(リセットされ)、リードモードになります。リセットコマンドを実行しても、メモリの内容は変わりません。

・デバイス識別コードコマンド

第一サイクルでコマンドコード“90₁₆”を入力すると、デバイス識別コードを読み出すことができます。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。この場合、第二サイクルでアドレス入力端子に“00000₁₆”を入力すると製造メーカコード“1C₁₆”(三菱)が“00001₁₆”を入力するとデバイスコード“D0₁₆”(1Mビットフラッシュメモリ)が読み出されます。

入出力タイミングは、リード時のタイミングと同じです。

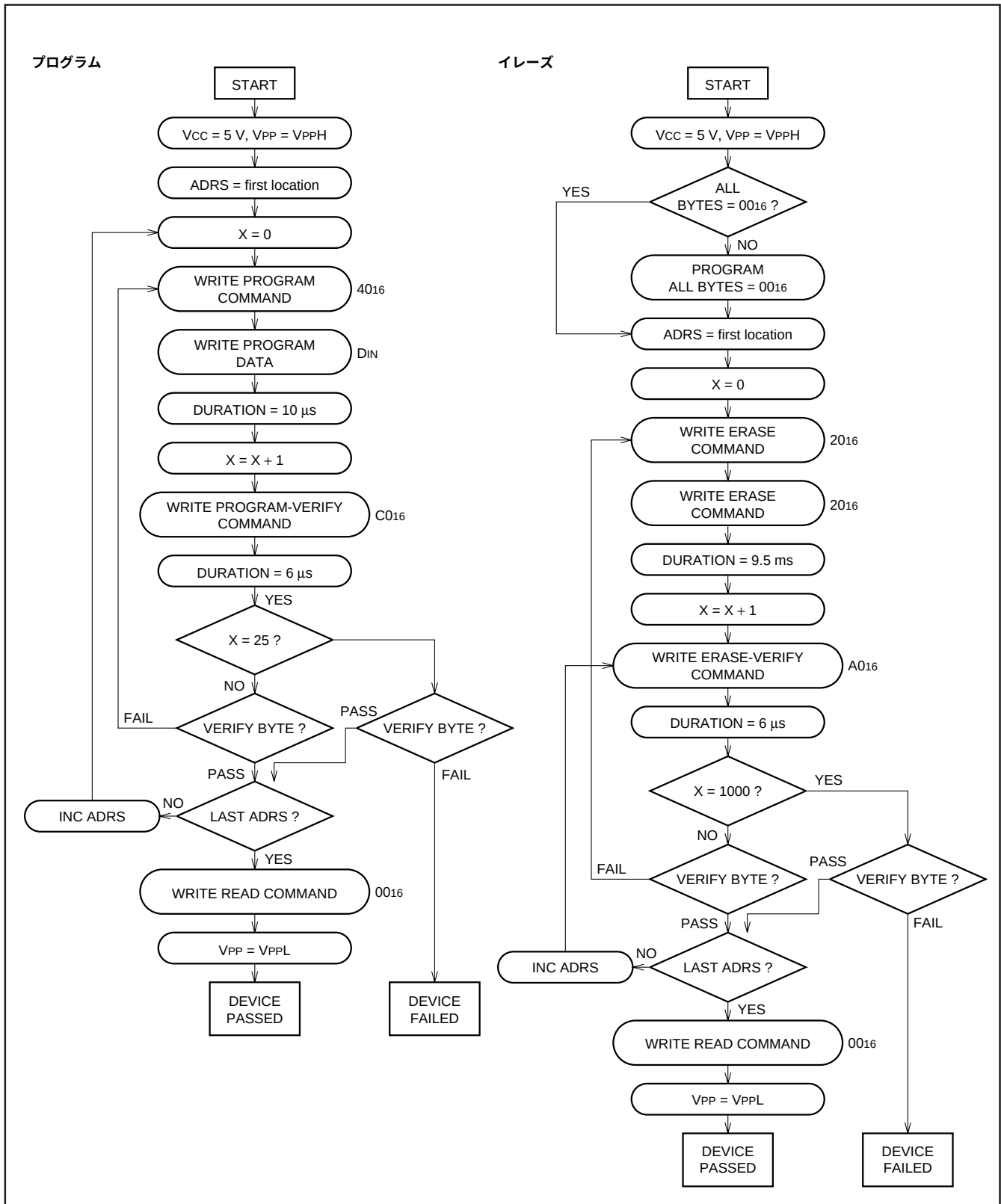


図73. プログラム, イレーズアルゴリズムフローチャート

表24. 直流電気的特性 (指定のない場合は, $T_a=25^{\circ}\text{C}$, $V_{CC}=5\text{V}\pm 10\%$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
ISB1	V _{CC} 電源電流(スタンバイ時)	$V_{CC}=5.5\text{V}$, $\overline{\text{CE}}=V_{IH}$			1	mA
ISB2		$V_{CC}=5.5\text{V}$, $\overline{\text{CE}}=V_{CC}\pm 0.2\text{V}$			100	μA
ICC1	V _{CC} 電源電流(リード時)	$V_{CC}=5.5\text{V}$, $\overline{\text{CE}}=V_{IL}$, $t_{RC}=150\text{ns}$, $I_{OUT}=0\text{mA}$			15	mA
ICC2	V _{CC} 電源電流(プログラム時)	$V_{PP}=V_{PPH}$			15	mA
ICC3	V _{CC} 電源電流(イレーズ時)	$V_{PP}=V_{PPH}$			15	mA
IPP1	V _{PP} 電源電流(リード時)	$0\leq V_{PP}\leq V_{CC}$			10	μA
		$V_{CC}<V_{PP}\leq V_{CC}+1.0\text{V}$			100	μA
		$V_{PP}=V_{PPH}$			100	μA
IPP2	V _{PP} 電源電流(プログラム時)	$V_{PP}=V_{PPH}$			30	mA
IPP3	V _{PP} 電源電流(イレーズ時)	$V_{PP}=V_{PPH}$			30	mA
V _{IL}	“L”入力電圧		0		0.8	V
V _{IH}	“H”入力電圧		2.0		V _{CC}	V
V _{OL}	“L”出力電圧	$I_{OL}=2.1\text{mA}$			0.45	V
V _{OH1}	“H”出力電圧	$I_{OH}=-400\mu\text{A}$	2.4			V
V _{OH2}		$I_{OH}=-100\mu\text{A}$	V _{CC} -0.4			V
V _{PPL}	V _{PP} 電源電圧(リードオンリー)		V _{CC}		V _{CC} +1.0	V
V _{PPH}	V _{PP} 電源電圧(リード/ライト)		11.7	12.0	12.6	V

交流電気的特性 (指定のない場合は, $T_a=25^{\circ}\text{C}$, $V_{CC}=5\text{V}\pm 10\%$)

表25. リードオンリーモード

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _{RC}	リードサイクル時間	250		ns
t _{a(AD)}	アドレスアクセス時間		250	ns
t _{a(CE)}	$\overline{\text{CE}}$ アクセス時間		250	ns
t _{a(OE)}	$\overline{\text{OE}}$ アクセス時間		100	ns
t _{CLZ}	$\overline{\text{CE}}$ 後出力イネーブル時間	0		ns
t _{OLZ}	$\overline{\text{OE}}$ 後出力イネーブル時間	0		ns
t _{DF}	$\overline{\text{OE}}$ 後出力フローティング時間		35	ns
t _{DH}	$\overline{\text{CE}}$, $\overline{\text{OE}}$, アドレス後出力有効時間	0		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs

表26. リード/ライトモード

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _{WC}	ライトサイクル時間	150		ns
t _{AS}	アドレスセットアップ時間	0		ns
t _{AH}	アドレスホールド時間	60		ns
t _{DS}	データセットアップ時間	50		ns
t _{DH}	データホールド時間	10		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs
t _{RRW}	ライト前リードリカバリー時間	0		μs
t _{CS}	$\overline{\text{CE}}$ セットアップ時間	20		ns
t _{CH}	$\overline{\text{CE}}$ ホールド時間	0		ns
t _{WP}	ライトパルス幅	60		ns
t _{WPH}	ライトパルス待機時間	20		ns
t _{DP}	プログラム時間	10		μs
t _{DE}	イレーズ時間	9.5		ms
t _{VSC}	V _{PP} セットアップ時間	1		μs

注. リード/ライトモード時のリードタイミングは, リードオンリーモード時と同じです。

(2)フラッシュメモリモード-2(シリアル入出力モード)

M38869FFAHP/GPは、内蔵フラッシュメモリに対する操作（リード、プログラム、イレーズなど）に必要なソフトウェアコマンド、アドレス、データを、少数の端子を使用してシリアルに入出力する機能（シリアル入出力モード）を持っています。シリアル入出力モードは、図74に示す結線を行い、VCC端子に電源を投入した後、SDA（シリアルデータ入出力）、SCLK（シリアルクロック入力）及びOE端子を“H”にし、その

後VPP端子にVPPHを印加することによって選択されます。

シリアル入出力モードでは、リード、プログラム、プログラムベリファイ、イレーズ、イレーズベリファイ、エラーチェックの6つのソフトウェアコマンドが使用できます。

シリアル入出力は、クロック同期式、LSBファーストで行います。

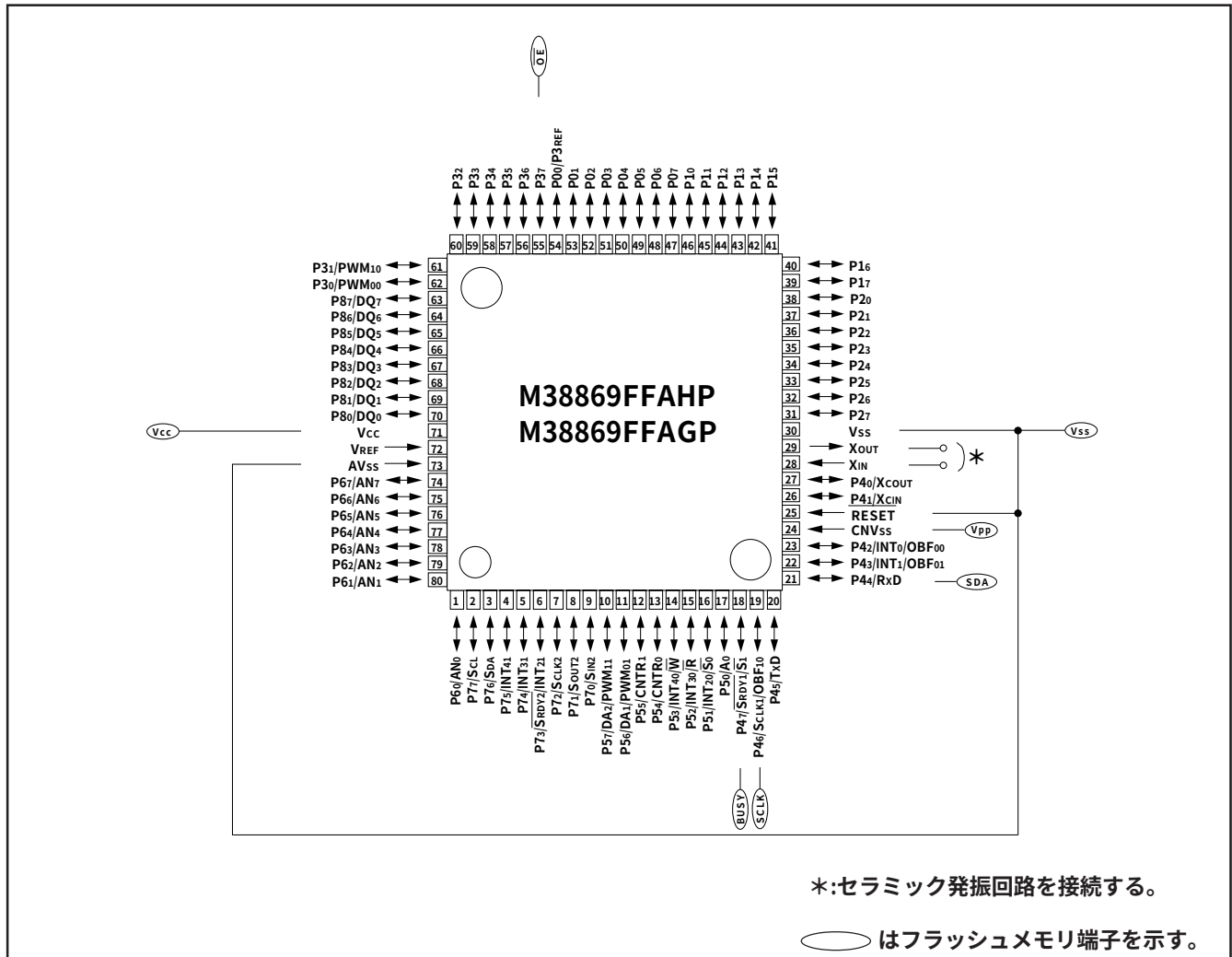


図74. シリアル入出力モード時の端子結線図(M38869FFAHP/GP)

表27. 端子の機能説明(フラッシュメモリシリアル入出力モード)

端子名	名 称	入出力	機 能
Vcc, Vss	電源入力		Vccに5V±10%, Vssに0Vを印加します。
CNVss	VPP入力	入 力	11.7～12.6Vを印加します。
RESET	リセット入力	入 力	Vssに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVss	アナログ電源 入力		Vssに接続してください。
VREF	基準電圧入力	入 力	Vss～Vcc間の任意のレベルを入力してください。
P00～P07	入力ポート P0	入 力	“H”を入力, “L”を入力, 又は開放してください。
P10～P17	入力ポート P1	入 力	“H”を入力, “L”を入力, 又は開放してください。
P20～P27	入力ポート P2	入 力	“H”を入力, “L”を入力, 又は開放してください。
P30～P36	入力ポート P3	入 力	“H”を入力, “L”を入力, 又は開放してください。
P37	制御入力	入 力	OE入力端子です。
P40～P43, P45	入力ポート P4	入 力	P40～P43, P45は“H”を入力, “L”を入力, 又は開放してください。
P44	SDA入出力	入出力	シリアルデータの入出力端子です。
P46	SCLK入力	入 力	シリアルクロックの入力端子です。
P47	BUSY出力	出 力	BUSY信号の出力端子です。
P50～P57	入力ポート P5	入 力	“H”を入力, “L”を入力, 又は開放してください。
P60～P67	入力ポート P6	入 力	“H”を入力, “L”を入力, 又は開放してください。
P70～P77	入力ポート P7	入 力	“H”を入力, “L”を入力, 又は開放してください。
P80～P87	入力ポート P8	入 力	“H”を入力, “L”を入力, 又は開放してください。

●機能概要(シリアル入出力モード)

シリアル入出力モードでは、クロック同期式シリアル入出力形式でデータ転送を行います。入力データはシリアルクロックの立ち上がりに同期してSDA端子から内部に読み込まれ、出力データはシリアルクロックの立ち下がりに同期して、SDA端子から出力されます。転送は8ビット単位で行わ

れます。

最初の転送では、コマンドコードを入力します。その後、コマンドの内容に対応して、アドレス入力、データ入出力を行います。表28にシリアル入出力モードにおけるソフトウェアコマンドを示します。以下に、各ソフトウェアコマンドについて説明します。

表28. ソフトウェアコマンド一覧表 (シリアル入出力モード)

コマンド	転送回数	第一回 コマンドコード入力	第二回	第三回	第四回
リード		0016	リードアドレスL(入力)	リードアドレスH(入力)	リードデータ(出力)
プログラム		4016	プログラムアドレスL(入力)	プログラムアドレスH(入力)	プログラムデータ(入力)
プログラムベリファイ		C016	ベリファイデータ(出力)	—	—
イレーズ		2016	2016(入力)	—	—
イレーズベリファイ		A016	ベリファイアドレスL(入力)	ベリファイアドレスH(入力)	ベリファイデータ(出力)
エラーチェック		8016	エラーコード(出力)	—	—

・リードコマンド

第一回目の転送でコマンドコード“0016”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次に $\overline{\text{OE}}$ 端子を“L”にすると、指定したアドレスの内容

がリードされ、内部のデータラッチにラッチされます。 $\overline{\text{OE}}$ 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているリードデータがSDA端子からシリアルに出力されます。

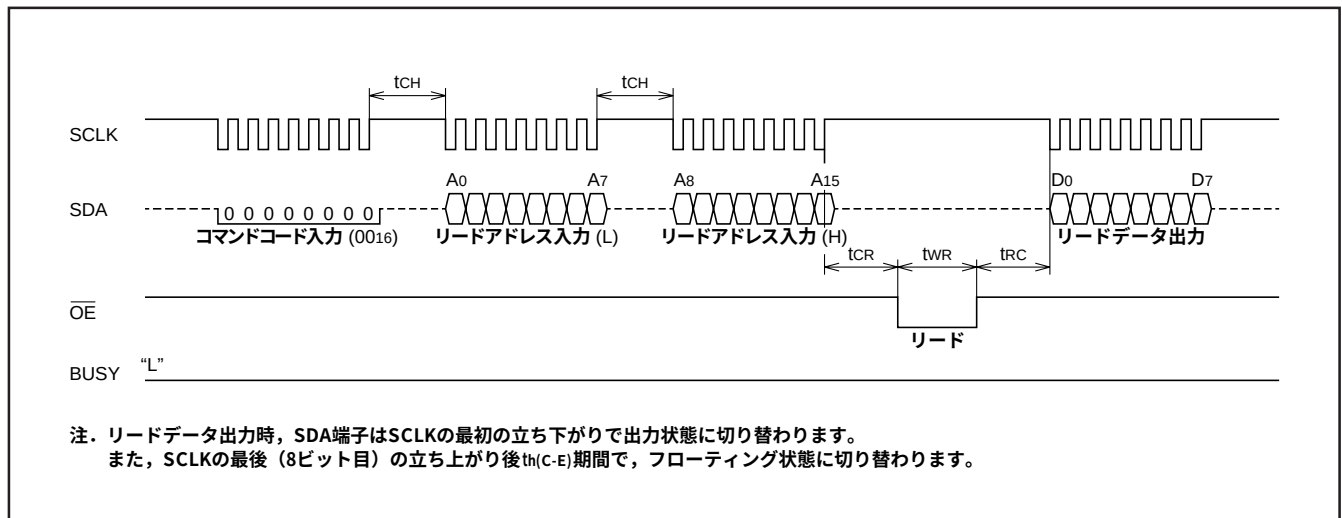


図75. リード時のタイミング

・プログラムコマンド

第一回目の転送でコマンドコード“40₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビット、及びプログラムデータを入力します。プログラムは、プログラムデータ転送時のシリアルクロックの最後の立ち上がり後開始されます。プログラム実施期間中は、BUSY端子の出力が

“H”になります。内蔵タイマで測定して10 μ s以内にプログラムは終了し、BUSY端子の出力は“L”になります。

(注) 書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図73を参照してください。

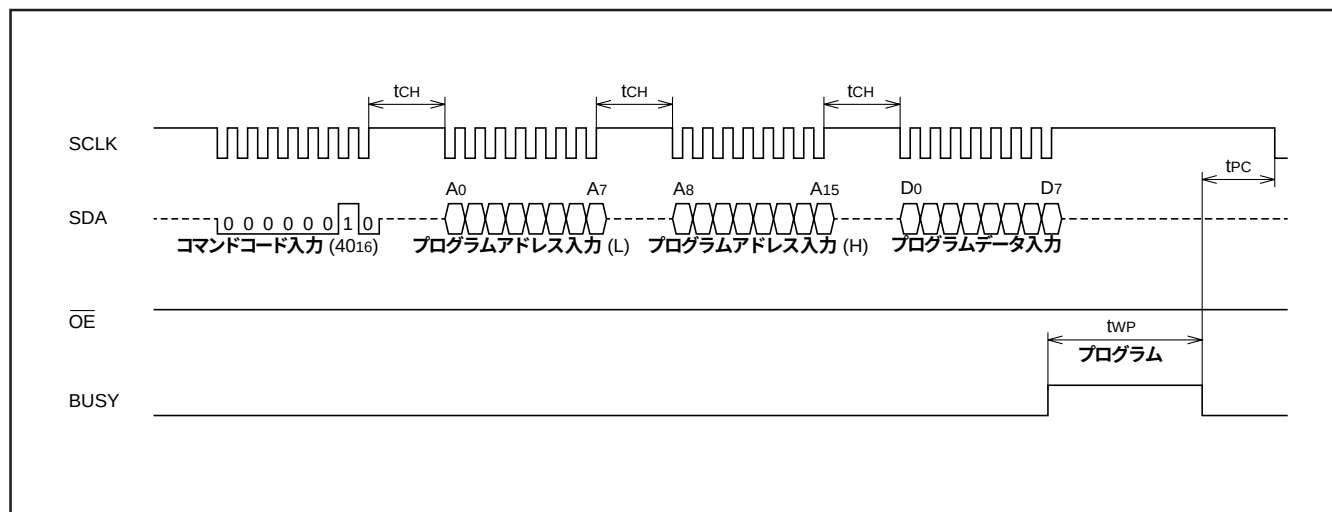


図76. プログラム時のタイミング

・プログラムベリファイコマンド

第一回目の転送でコマンドコード“C0₁₆”を入力します。続いて、 $\overline{OE}$ 端子を“L”にすると、プログラムされたアドレスの内容がベリファイリードされ、内部のデータラッチにラッチ

されます。 $\overline{OE}$ 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

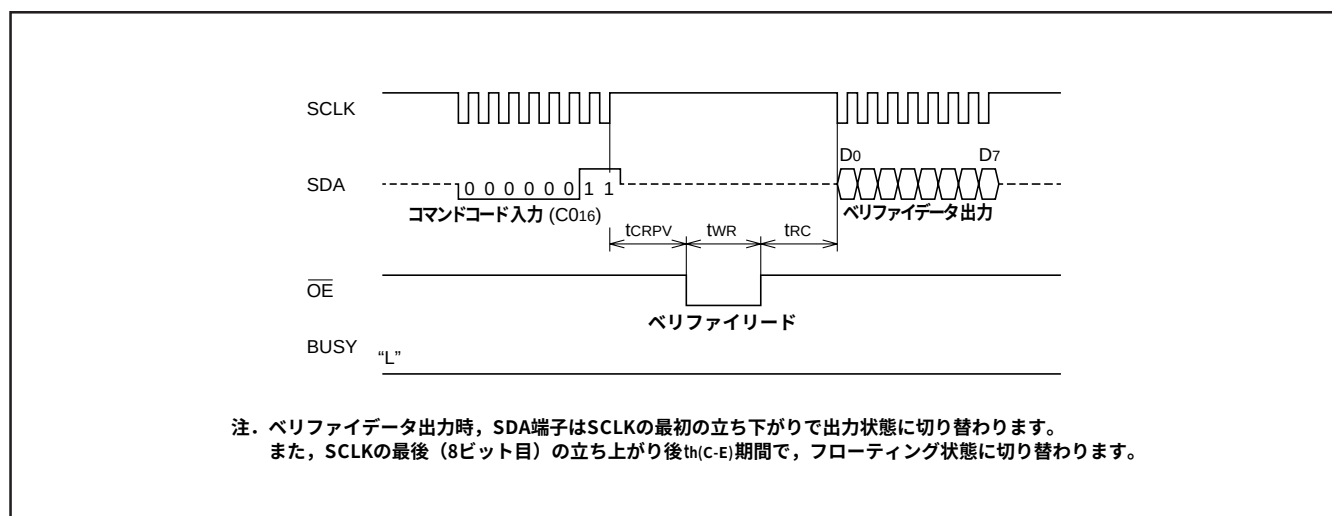


図77. プログラムベリファイ時のタイミング

・イレーズコマンド

第一回目の転送で、コマンドコード“20₁₆”を入力した後、再度第二回目の転送でコマンドコード“20₁₆”を入力すると、イレーズコマンドが実行されます。イレーズはシリアルクロックの最後の立ち上がり後開始されます。イレーズ期間中は、BUSY端子の出力が“H”になります。内蔵タイマで測定して9.5ms以内にイレーズは終了し、BUSY端子の出力は“L”

になります。

なお、イレーズコマンドの実行前には、すべてのメモリにデータ“00₁₆”を書き込む必要があります。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズコマンドのフローチャートは図73を参照してください。

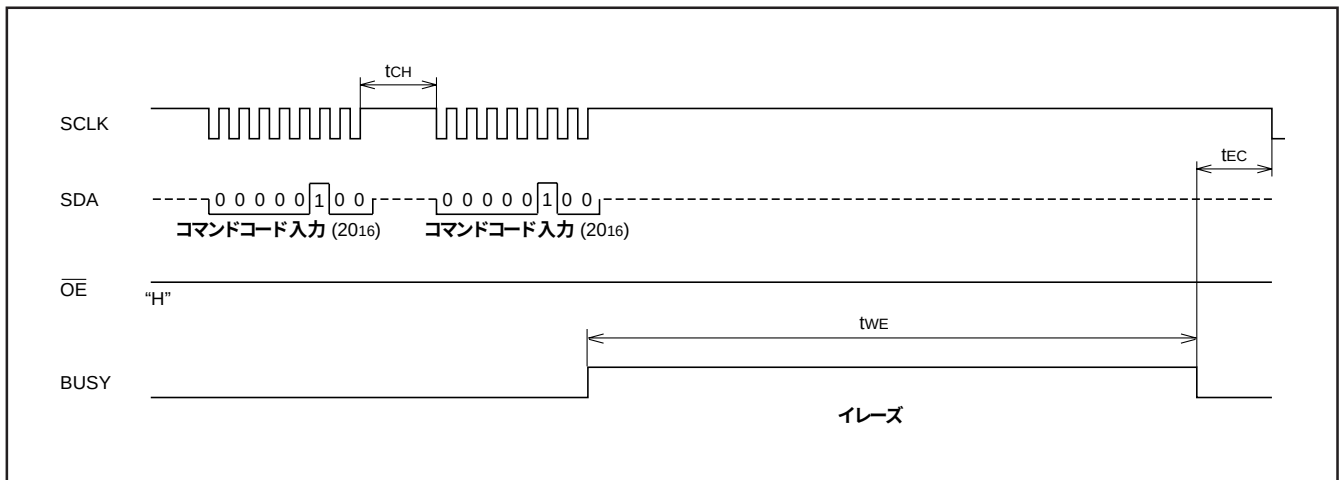


図78. イレーズ時のタイミング

・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。

第一回目の転送で、コマンドコード“A0₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次にOE端子を“L”にすると、指定したアドレスの内容がベリファイリードされ、内部のデータラッチにラッチさ

れます。OE端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ→イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00₁₆”を書き込む必要はありません。

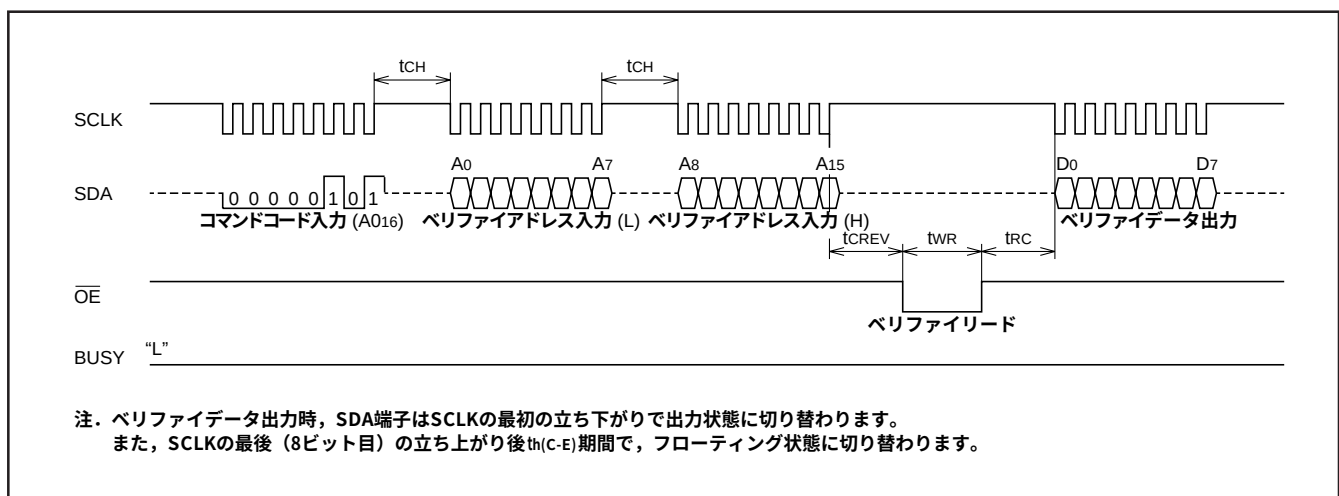


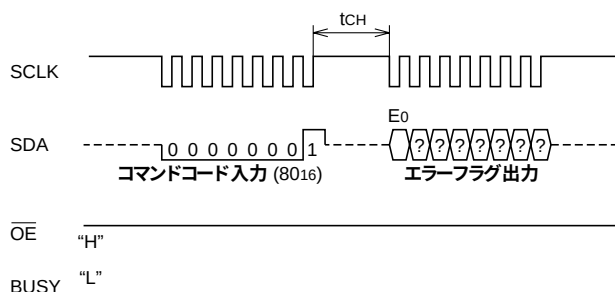
図79. イレーズベリファイ時のタイミング

・エラーチェックコマンド

第一回目の転送でコマンドコード“80₁₆”を入力すると、次のシリアルクロックの立ち下がりから、SDA端子はエラー情報を出力します。8ビットのエラー情報のうち、最下位ビットが“1”のときはコマンドエラーが発生したことを示しています。コマンドエラーは、表28に示すコマンド以外のコマンドコードが入力されたことを意味します。

シリアル通信回路は、書き込み、消去の誤りを防止するために、コマンドエラーが発生すると、対応するエラーフラグをセットした後、動作を停止し、その後はシリアルクロック及びデータを受け付けません(エラーチェックコマンドも受け付けられません)。

したがって、エラーチェックコマンドを実行する場合は、V_{PP}端子の入力を1度V_{PP}Lレベルに下げ、シリアル入出力モードを解除した後、再度シリアル入出力モードに設定してください。この操作によってシリアル通信回路はリセットされ、コマンド受付が可能になります。このとき、エラーフラグだけはクリアされませんので、リセット後、最初にエラーチェックコマンドを実行することによって、リセット前のエラーについて知ることができます。なお、エラーフラグは、エラーチェックコマンドを実行することによりクリアされます。電源投入後はエラーフラグは不定ですので、必ずエラーチェックコマンドを実行してください。



注. エラーフラグ出力時、SDA端子はシリアルクロックの最初の立ち下がりで出力状態に切り替わります。
また、シリアルクロックの最後（8ビット目）の立ち上がり後 $t_{h(C-E)}$ 期間で、フローティング状態に切り替わります。

図80. エラーチェック時のタイミング

注. シリアル入出力モードのプログラム、イレーズ時のフローはパラレル入出力モードと同じです。図73を参照してください。

直流電気的特性 (Ta=25°C, Vcc=5V±10%, Vpp=11.7~12.6V)

リード、プログラム、イレーズ時のIcc, Ipp関連規格は、パラレル入出力モードと同じです。

SCLK, SDA, BUSY, $\overline{OE}$ 端子のVIH, VIL, VOH, VOL, IiH, IiL規格はマイコンモードに準じます。

表29. 交流電気的特性 (指定のない場合は, Ta=25°C, Vcc=5V±10%, Vpp=11.7~12.6V, f(XIN)=10MHz)

記 号	項 目	規 格 値		単位
		最 小	最 大	
tCH	シリアル転送間隔時間	500 ^(注1)		ns
tCR	転送後リード待ち時間	500 ^(注1)		ns
tWR	リードパルス幅	400 ^(注2)		ns
tRC	リード後転送待ち時間	500 ^(注1)		ns
tCRPV	プログラムベリファイ前待ち時間	6		μs
tWP	プログラム時間		10	μs
tPC	プログラム後転送待ち時間	500 ^(注1)		ns
tCREV	イレーズベリファイ前待ち時間	6		μs
tWE	イレーズ時間		9.5	ms
tEC	イレーズ後転送待ち時間	500 ^(注1)		ns
tC(CK)	SCLK入力サイクル時間	250		ns
tW(CKH)	SCLK“H”パルス幅	100		ns
tW(CKL)	SCLK“L”パルス幅	100		ns
tr(CK)	SCLK立ち上がり時間	20		ns
tf(CK)	SCLK立ち下がり時間	20		ns
td(C-Q)	SDA出力遅延時間	0	90	ns
th(C-Q)	SDA出力ホールド時間	0		ns
th(C-E)	SDA出力ホールド時間 (8ビット目のみ)	150 ^(注3)	250 ^(注4)	ns
tsu(D-C)	SDA入力セットアップ時間	30		ns
th(C-D)	SDA入力ホールド時間	90		ns

注1. f(XIN)≤10MHzの場合は, 式(1)を使用して最小値を計算してください。

$$\text{式(1)}: \frac{5000}{f(XIN)} \times 10^6$$

2. f(XIN)≤10MHzの場合は, 式(2)を使用して最小値を計算してください。

$$\text{式(2)}: \frac{4000}{f(XIN)} \times 10^6$$

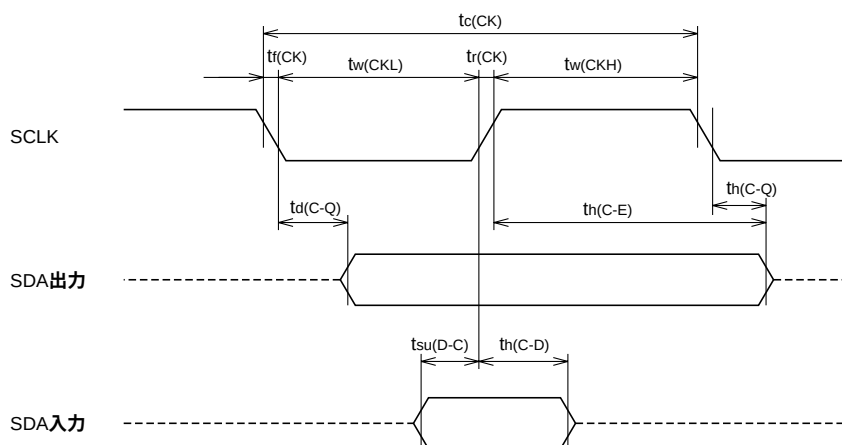
3. f(XIN)≤10MHzの場合は, 式(3)を使用して最小値を計算してください。

$$\text{式(3)}: \frac{1500}{f(XIN)} \times 10^6$$

4. f(XIN)≤10MHzの場合は, 式(4)を使用して最大値を計算してください。

$$\text{式(4)}: \frac{2500}{f(XIN)} \times 10^6$$

タイミング図



測定条件

- 出力タイミング電圧: VOL=0.8V, VOH=2.0Vで判定
- 入力タイミング電圧: VIL=0.2Vcc, VIH=0.8Vccで判定

(3)フラッシュメモリモード-3(CPU書き換えモード)

M38869FAHPは、中央演算処理装置(CPU)により、内蔵するフラッシュメモリの操作を行うCPU書き換えモードを持っています。

CPU書き換えモードでは、以下に示すフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。

また、CPU書き換えモードでは、CNVss端子をVpp電源端子として使用します。この端子には、外部からVppHの電源電圧を印加する必要があります。

●機能概要(CPU書き換えモード)

図81、図82にそれぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタのビット構成を示します。

フラッシュメモリ制御レジスタのビット0は、CPU書き換えモード選択ビットで、このビットを“1”とした後、CNVss/Vpp端子にVppHを印加すると、CPU書き換えモードになります。CPU書き換えモードが成立したかどうかは、ビット2のCPU書き換えモードモニタフラグを読み出すことで判定できます。

ビット1は、イレーズ、プログラム実行中に“1”となるビジーフラグです。イレーズ、プログラムの各コマンドを実行後、このフラグをチェックすることで、これらの動作が完了

したかどうかを判定できます。

ビット4, 5は、イレーズ、プログラム領域選択ビットでイレーズ、プログラムする領域を指定します。このビットで領域を指定した後、イレーズコマンドを実行すると、指定した領域のみイレーズされます。また、指定した領域のみプログラムが可能で、それ以外の領域にはプログラムできません。

CPU書き換えモード有効時は、指定していない領域を読み出すこともできません。

CPU書き換えモードを有効にする前に、CPU書き換えモード制御プログラムを内蔵RAMに転送し、内蔵RAM上でこのプログラムを実行してください。

このプログラム実行中に割り込みが発生すると、フラッシュメモリ領域がアクセスされますが、読み出すことができません。CPU書き換えモード制御プログラム実行時は、割り込みを禁止にするなどの処置をしてください。

図83にCPU書き換えモードでのCPUモードレジスタのビット構成を示します。CPU書き換えモードでは、ビット0, 1を“002”とし、シングルチップモードにしてください。

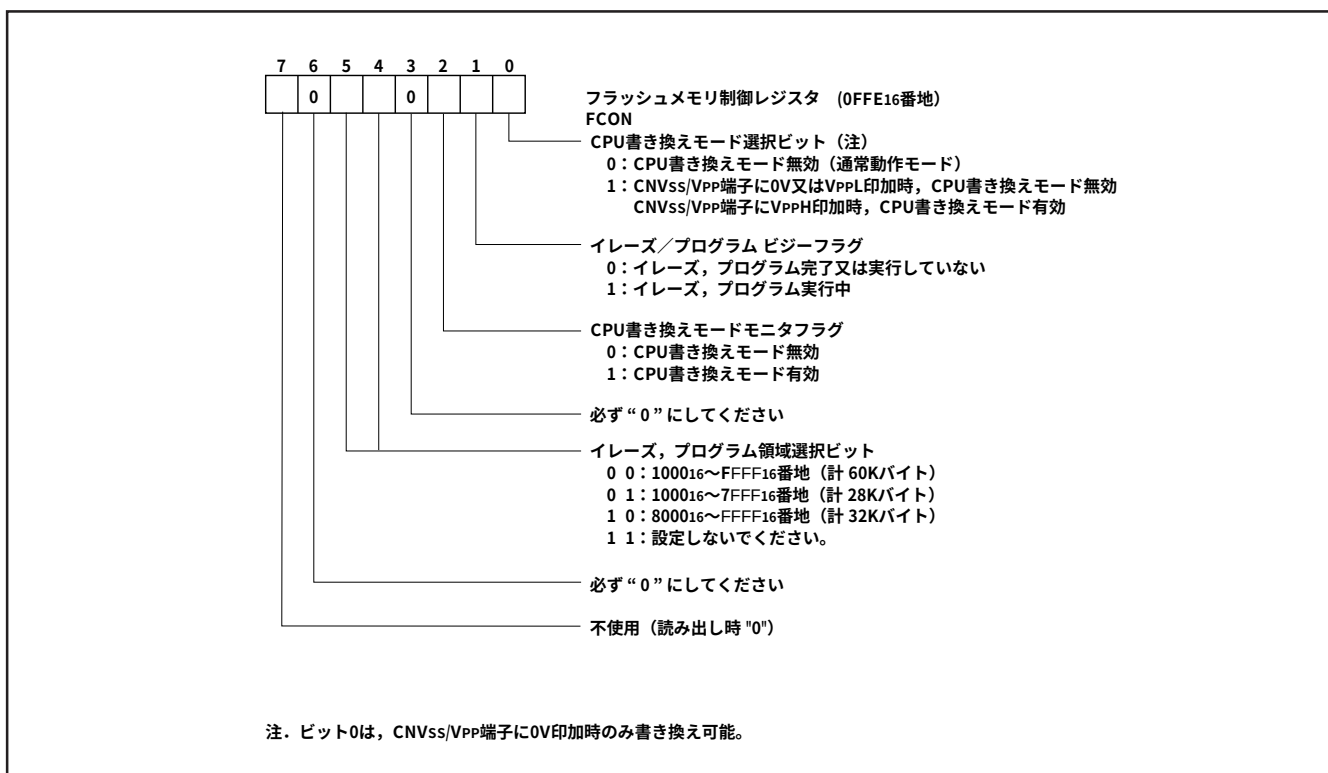


図81. フラッシュメモリ制御レジスタの構成

CPU書き換えモードの操作手順

以下にCPU書き換えモードでの操作手順を示します。

<開始手順>

- ① CNVSS/VPP端子に0Vを印加し、リセット解除する。
- ② CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御する)。
- ③ CPU書き換えモード選択ビットに“1”を設定する。
- ④ CNVSS/VPP端子にVPPHを印加する。
- ⑤ CNVSS/VPP端子が12Vになるまで待つ。
- ⑥ CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。
- ⑦ フラッシュコマンドレジスタへのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

(注) これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

<解除手順>

- ① CNVSS/VPP端子に0Vを印加する。
- ② CNVSS/VPP端子が0Vになるまで待つ。
- ③ CPU書き換えモード選択ビットに“0”を設定する。

以下に各ソフトウェアコマンドについて説明します。

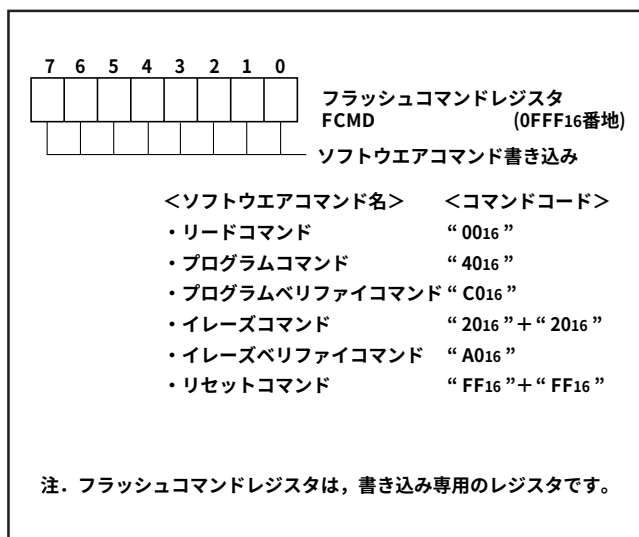


図82. フラッシュコマンドレジスタのビット構成

・リードコマンド

フラッシュコマンドレジスタに“00₁₆”を書き込むとリードモードになります。この状態でフラッシュメモリを(例えばLDA命令等で)読み出すと対応する番地の内容が読み出せます。

リードモードは、コマンドレジスタに他のコマンドコードを書き込むまで維持されるので、一旦リードモードに設定した後は、連続してフラッシュメモリの内容を読み出すことができます。なお、リセット後及びリセットコマンド実行後はリードモードに設定されています。

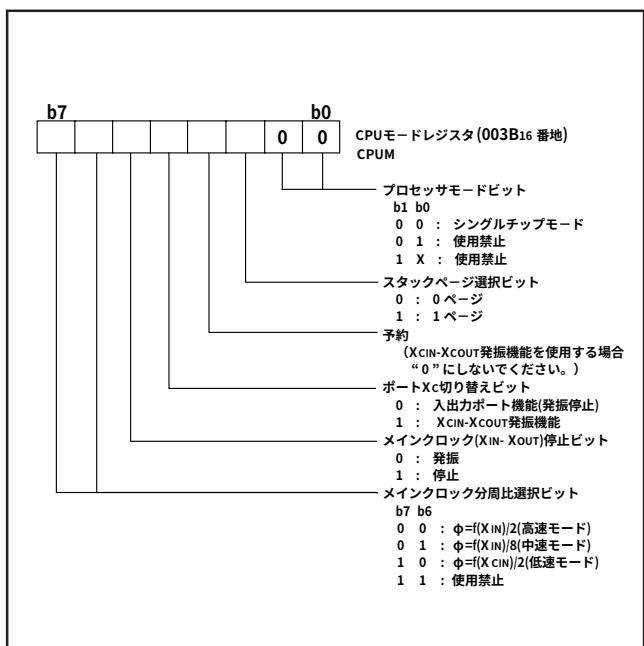


図83. CPU書き換えモードでのCPUモードレジスタのビット構成

・プログラムコマンド

フラッシュコマンドレジスタに“4016”を書き込むとプログラムモードになります。続いてプログラムしたい番地にバイトデータを書き込む命令(例えばSTA命令)を実行すると、フラッシュメモリの制御回路はプログラムを実行します。プログラムを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完了すると“0”になります。したがって、書き込み命令実行後CPUはこのビットをポーリングすることによりプログラムの完了を知ることができます。

なお、プログラムする領域は、事前にイレーズ、プログラム領域選択ビットで指定しておく必要があります。

また、プログラム中は、ウォッチドッグタイマは、“FFFF16”がセットされた状態で停止します。

(注) 書き込みは、一回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図84を参照してください。

・プログラムベリファイコマンド

フラッシュコマンドレジスタに“C016”を書き込むとプログラムベリファイモードになります。続いてベリファイする番地(すなわち先にプログラムした番地)からバイトデータを読み出す命令(例えばLDA命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUでこの読み出されたデータと先のプログラムコマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度プログラム→プログラムベリファイを実行する必要があります。

・イレーズコマンド

フラッシュコマンドレジスタに“2016”を続けて2回書き込むと、フラッシュメモリの制御回路は、事前にイレーズ、プログラム領域選択ビットで指定した領域についてイレーズを実行します。イレーズを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完

了すると“0”になります。したがって、CPUはこのビットをポーリングすることによりイレーズの完了を知ることができます。

なお、イレーズコマンドの実行前には、必ず全てのイレーズ対象領域にデータ“0016”をプログラム及びプログラムベリファイコマンドによって書き込んでおく必要があります。

また、イレーズ中は、ウォッチドッグタイマは、“FFFF16”がセットされた状態で停止します。

(注) 消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図84を参照してください。

・イレーズベリファイコマンド

フラッシュコマンドレジスタに“A016”を書き込むとイレーズベリファイモードになります。続いてベリファイする番地に対してバイトリードする命令(例えばLDA命令)を実行すると、その番地の内容が読み出されます。

CPUは、イレーズした全領域に対し、1番地ずつ順次イレーズベリファイしていく必要があります。途中“FF16”でない(消去されていない)番地を発見したらイレーズベリファイをそこで中断し、再度イレーズ→イレーズベリファイを実行する必要があります。

(注) イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ→イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“0016”を書き込む必要はありません。

・リセットコマンド

リセットコマンドはプログラム、イレーズコマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタに“4016”、“2016”を書き込んだ後、続いてコマンドレジスタに“FF16”を2回連続して書き込むと、プログラム、イレーズコマンドは無効になり(リセット)、リードモードになります。リセットコマンドを実行してもメモリの内容は変わりません。

直流電気的特性

注. フラッシュメモリ部の特性は、パラレル入出力モードの規格に準じます。

交流電気的特性

注. マイコンモードの規格に準じます。

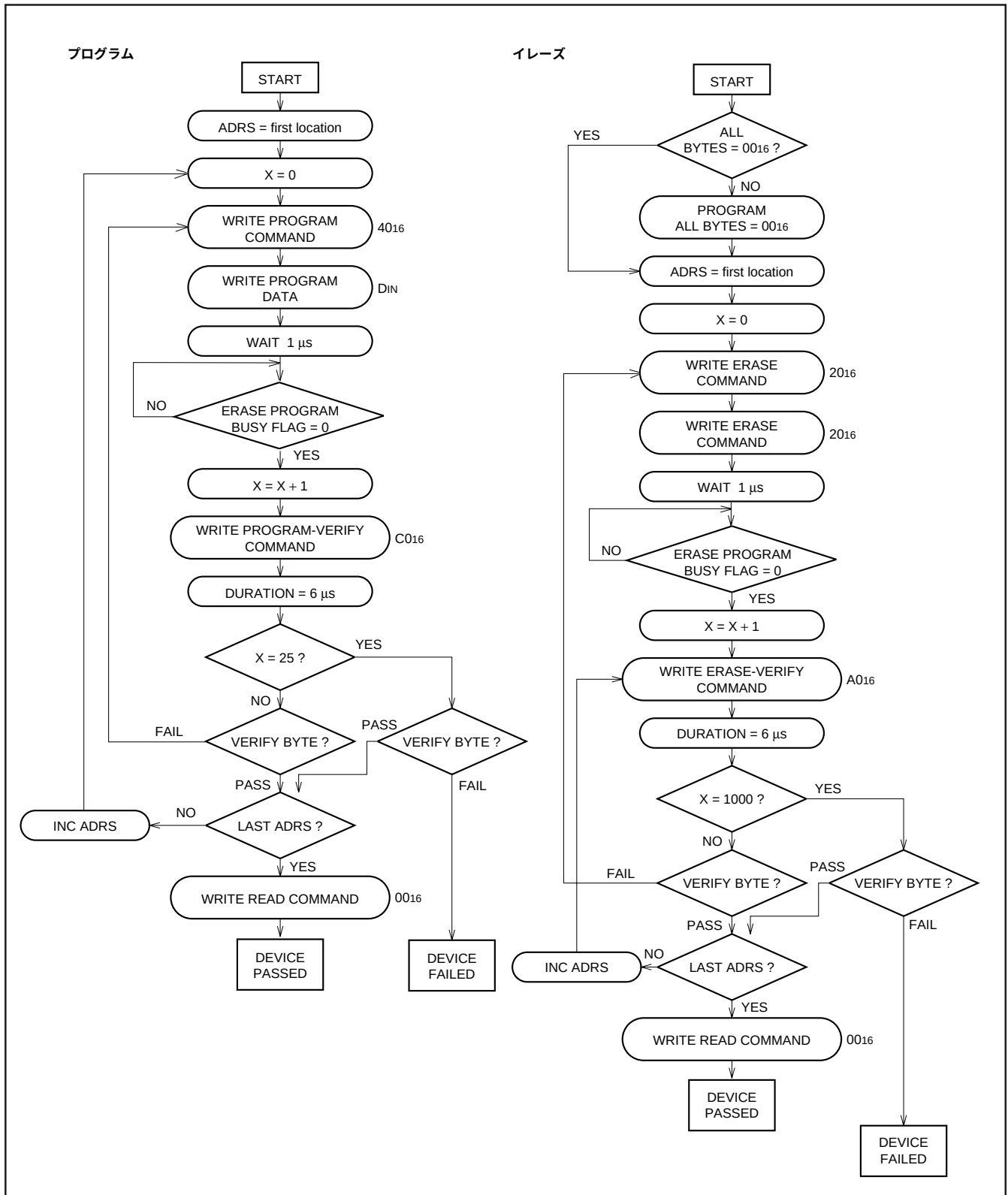


図84. CPU書き換えモードでのプログラム、イレーズ実行時フローチャート

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグ I が 1 であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与える T フラグ、D フラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS 命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1 命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグ D を 1 に設定して、ADC 命令又は SBC 命令を実行しますが、その場合、SEC 命令、CLC 命令又は CLD 命令は ADC 命令又は SBC 命令から 1 命令以上後に行ってください。
- ・10進モードでは、N (ネガティブ)、V (オーバフロー)、Z (ゼロ) フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255) を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV 命令は、T、D フラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA 命令をはじめ、T フラグが 1 の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBS などのビットテスト命令は使用できません。また、CLB、SEB などのビット操作命令、ROR などの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定は LDM 命令、STA 命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも 1 に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが H の時に、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(X_{IN})$ を 500kHz 以上にしてください。

また、A-D変換中はSTP命令を実行しないでください。

D-A変換器に関するもの

D-A変換器精度は V_{CC} が 4.0V 以下で異なります。D-A変換器を使用する場合は V_{CC} を 4.0V 以上にすることを推奨します。また、D-A変換器を使用しない場合、D-A_i変換レジスタ ($i=1, 2$) の設定値は、すべて 00₁₆ にしてください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロック ϕ の周期をかけることによって得られます。内部クロック ϕ の周期は高速モードでは X_{IN} の周期の 2 倍です。

ただし、シングルチップモード以外のモードにおいて ONW 制御を行った場合、内部クロック ϕ の周期が X_{IN} の周期の 4 倍になる場合があります。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。また、フラッシュメモリ内蔵版でオンボード書き換えを行う場合は、プログラム電源端子(CNVss/Vpp端子)とGND端子との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。

バイパスコンデンサは0.01 μ F～0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間、及びプログラム電源端子とGND端子の間を最短距離で付加して下さるようお願いいたします。

EPROM版/ワンタイムPROM版/フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1～10k Ω の抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

フラッシュメモリ版のイレーズに関する注意事項

パラレル入出力モード、及びシリアル入出力モードでは、イレーズのメモリ領域を0100016～0FFFF16番地に設定してください。メモリ領域の設定を間違えると、製品の永久的なダメージにつながる場合があります。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書*1
- ・マーク指定書*2
- ・ROMのデータ……EPROM 3セット又はフロッピーディスク

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- ・ROM書き込み確認書*1
- ・マーク指定書(客先ロゴ入り特殊マークのみ)*2
- ・ROMのデータ……EPROM 3セット又はフロッピーディスク

マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、三菱マイコン技術情報ホームページ(アドレスは以下)を参照してください。

*1 ROM発注時の提出資料(マスク化確認書、ROM書き込み確認書)
<http://www.infocom.mesc.co.jp/38000/38order.htm>

*2 マーク指定書
<http://www.infocom.mesc.co.jp/general/jmark.htm>

補足説明

A-D変換器

A-D変換器は、AD変換終了ビットを“0”にすることによって開始されます。

A-D変換中の内部動作を以下に示します。

1. A-D変換が開始されると、A-D変換レジスタは“0016”になります。
2. A-D変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
3. 比較の結果がVref < VINならば、A-D変換レジスタの最上位ビットを“1”の状態で保持します。Vref > VINならば最上位ビットを“0”にします。

A-D変換器は、以上の動作をA-D変換レジスタの最下位ビットまで行うことによって、アナログ値をデジタル値に変換します。A-D変換は、開始後61クロックサイクル($f(XIN) = 8\text{ MHz}$ のとき、 $15.25\text{ }\mu\text{s}$)で終了し、変換結果がA-D変換レジスタに格納されます。A-D変換終了と同時にA-D変換割り込み要求が発生し、AD変換割り込み要求ビットが“1”になります。

表30. VrefとA-D変換器の基準電圧VREFの関係式

n = 0の時	Vref = 0
n = 1～1023の時	$\text{Vref} = \frac{\text{VREF}}{1024} \times n$

n: A-D変換レジスタの値(10進表記)

表31. A-D変換中のA-D変換レジスタの変化

	A-D変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{\text{VREF}}{2}$
2回目比較	*1 1 0 0 0 0 0 0 0 0	$\frac{\text{VREF}}{2} \pm \frac{\text{VREF}}{4}$
3回目比較	*1 *2 1 0 0 0 0 0 0 0	$\frac{\text{VREF}}{2} \pm \frac{\text{VREF}}{4} \pm \frac{\text{VREF}}{8}$
⋮	⋮	⋮
10回目の比較終了後	A-D変換結果 *1 *2 *3 *4 *5 *6 *7 *8 *9 *10	$\frac{\text{VREF}}{2} \pm \frac{\text{VREF}}{4} \pm \dots \pm \frac{\text{VREF}}{1024}$

*1～*10: 1～10回目の比較結果

A-D変換器の等価回路を図85、A-D変換タイミングチャートを図86に示します。

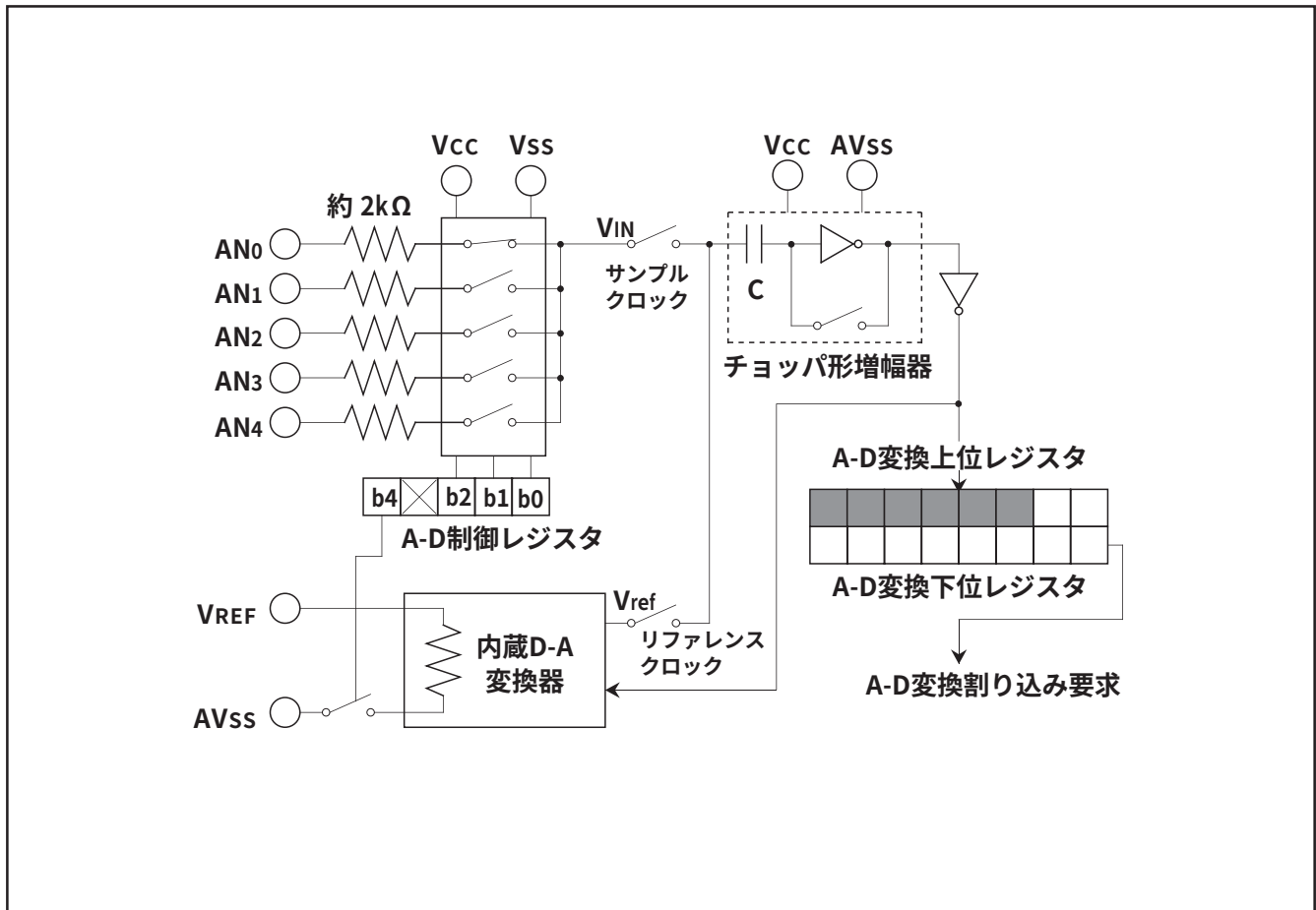


図85. A-D変換器等価回路

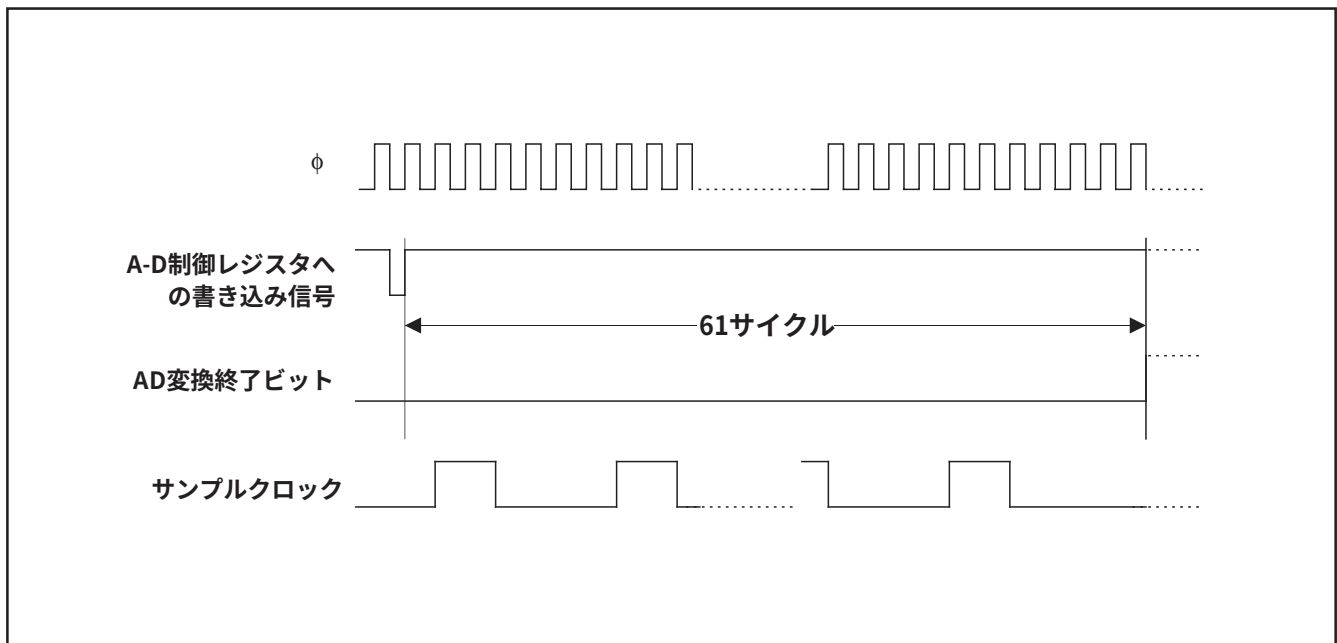


図86. A-D変換タイミングチャート

第 2 章 応 用

- 2.1 入出力ポート
- 2.2 割り込み
- 2.3 タイマ
- 2.4 シリアルI/O
- 2.5 マルチマスタI²C-BUS
インタフェース
- 2.6 PWM
- 2.7 A-D変換器
- 2.8 D-A変換器
- 2.9 バスインタフェース
- 2.10 ウォッチドッグタイマ
- 2.11 リセット
- 2.12 クロック発生回路
- 2.13 スタンバイ機能
- 2.14 プロセッサモード
- 2.15 フラッシュメモリ

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

0000 ₁₆	ポートP0 (P0)
0001 ₁₆	ポートP0方向レジスタ (P0D)
0002 ₁₆	ポートP1 (P1)
0003 ₁₆	ポートP1方向レジスタ (P1D)
0004 ₁₆	ポートP2 (P2)
0005 ₁₆	ポートP2方向レジスタ (P2D)
0006 ₁₆	ポートP3 (P3)
0007 ₁₆	ポートP3方向レジスタ (P3D)
0008 ₁₆	ポートP4 (P4)
0009 ₁₆	ポートP4方向レジスタ (P4D)
000A ₁₆	ポートP5 (P5)
000B ₁₆	ポートP5方向レジスタ (P5D)
000C ₁₆	ポートP6 (P6)
000D ₁₆	ポートP6方向レジスタ (P6D)
000E ₁₆	ポートP7 (P7)
000F ₁₆	ポートP7方向レジスタ (P7D)
0010 ₁₆	ポートP8 (P8)/ポートP4入力レジスタ(P4I)
0011 ₁₆	ポートP8方向レジスタ (P8D)/ポートP7入力レジスタ(P7I)
≈	
002E ₁₆	ポート制御レジスタ1(PCTL1)
002F ₁₆	ポート制御レジスタ2(PCTL2)

図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

ポートPi

b7 b6 b5 b4 b3 b2 b1 b0



ポートPi(Pi) (i=0,1,2,3,4,5,6,7,8)

【0016,0216,0416,0616,0816,0A16,0C16,0E16,1016番地】

b	ビット名	機 能	リセット時	R	W
0	ポートPi0	●出力モード時 書き込み } ポートラッチ 読み出し } ●入力モード時 書き込み…ポートラッチ 読み出し…端子の値	不定	○	○
1	ポートPi1		不定	○	○
2	ポートPi2		不定	○	○
3	ポートPi3		不定	○	○
4	ポートPi4	●出力モード時 書き込み…ポートラッチ 読み出し…端子の値	不定	○	○
5	ポートPi5		不定	○	○
6	ポートPi6		不定	○	○
7	ポートPi7		不定	○	○

図2.1.2 ポートPiの構成(i = 0~8)

ポートPi方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



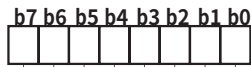
ポートPi方向レジスタ(PiD) (i=0,1,2,3,4,5,6,7,8)

【0116,0316,0516,0716,0916,0B16,0D16,0F16,1116番地】

b	ビット名	機 能	リセット時	R	W
0	ポートPi方向レジスタ	0: ポートPi0入力モード	0	×	○
		1: ポートPi0出力モード			
1		0: ポートPi1入力モード	0	×	○
		1: ポートPi1出力モード			
2		0: ポートPi2入力モード	0	×	○
		1: ポートPi2出力モード			
3		0: ポートPi3入力モード	0	×	○
		1: ポートPi3出力モード			
4		0: ポートPi4入力モード	0	×	○
		1: ポートPi4出力モード			
5		0: ポートPi5入力モード	0	×	○
		1: ポートPi5出力モード			
6		0: ポートPi6入力モード	0	×	○
		1: ポートPi6出力モード			
7		0: ポートPi7入力モード	0	×	○
		1: ポートPi7出力モード			

図2.1.3 ポートPi方向レジスタの構成(i = 0~8)

ポート制御レジスタ1



ポート制御レジスタ1(PCTL1)
【2E16番地】

b	ビット名	機 能	リセット時	R	W
0	P00~P03出力形式選択ビット	0 : CMOS 1 : Nチャネルオープンドレイン	0	○	○
1	P04~P07出力形式選択ビット	0 : CMOS 1 : Nチャネルオープンドレイン	0	○	○
2	P10~P13出力形式選択ビット	0 : CMOS 1 : Nチャネルオープンドレイン	0	○	○
3	P14~P17出力形式選択ビット	0 : CMOS 1 : Nチャネルオープンドレイン	0	○	○
4	P30~P33プルアップ制御ビット	0 : プルアップなし 1 : プルアップあり	0	○	○
5	P34~P37プルアップ制御ビット	0 : プルアップなし 1 : プルアップあり	0	○	○
6	PWM0許可ビット	0 : PWM0出力禁止 1 : PWM0出力許可	0	○	○
7	PWM1許可ビット	0 : PWM1出力禁止 1 : PWM1出力許可	0	○	○

図2.1.4 ポート制御レジスタ1の構成

ポート制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

ポート制御レジスタ2(PCTL2)
【2F16,番地】

b	ビット名	機 能	リセット時	R	W
0	P4入力レベル選択ビット(P42~P46)	0: CMOSレベル入力 1: TTLレベル入力	0	○	○
1	P7入力レベル選択ビット(P70~P75)	0: CMOSレベル入力 1: TTLレベル入力	0	○	○
2	P4出力形式選択ビット(P42,P43,P44,P46)	0: CMOS 1: Nチャネルオープンドレイン	0	○	○
3	P8機能選択ビット	0: ポートP8/ポートP8方向レジスタ 1: ポートP4入力レジスタ/ポートP7入力レジスタ	0	○	○
4	INT2,INT3,INT4割り込み切り替えビット	0: INT20,INT30,INT40割り込み 1: INT21,INT31,INT41割り込み	0	○	○
5	タイマYカウントソース選択ビット	0: f(XIN)/16(低速モード時はf(XCIN)/16) 1: f(XCIN)	0	○	○
6	STP命令解除後発振安定時間設定ビット	0: タイマ1に0116、プリスケール12にFF16を自動設定 1: 自動設定しない	0	○	○
7	ポート出力P42,P43クリア機能選択ビット	0: ソフトウェアクリアのみ 1: ソフトウェアクリア及び出力データスラフ70読み出し(システムバス側)	0	○	○

図2.1.5 ポート制御レジスタ2の構成

2.1.3 ポートP4/P7入力レジスタ

ポート制御レジスタ2のP8機能選択ビットを“1”に設定することにより、ポートP4/P7入力レジスタが選択されます。ポートP4/P7入力レジスタを読むことで、出力端子として設定した場合でも、端子の内容を読み出すことができます。すなわち、外部負荷等によって出が“H”電圧が下がったり、“L”電圧が上がったりした場合のポートの状態を読み取ることができます。

ポート制御レジスタ2のP4出力形式選択ビットを“1”に設定することにより、Nチャネルオープンドレインが選択されます。

ポート制御レジスタ2のP4入力レベル選択ビット、P7入力レベル選択ビットを“1”に設定することにより、TTLレベル入力が選択されます。

ポート制御レジスタ1のP30~P33プルアップ制御ビット、P34~P37プルアップ制御ビットを“1”に設定することにより、プルアップありが選択されます。

2.1.4 未使用端子の処理

表2.1.1 未使用端子の処理(シングルチップモード時)

端子/ポート名	処理方法
P0、P1、P2、P3、P4、P5、P6、P7、P8	・入力モードに設定し、各端子ごとに1 kΩ～10 kΩの抵抗を介してVcc又はVssに接続 ・出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
AVss端子	Vss(GND)に接続
XOUT端子	開放(外部クロック使用時のみ)

表2.1.2 未使用端子の処理(メモリ拡張モード、マイクロプロセッサモード時)

端子/ポート名	処理方法
P30、P31	開放
P4、P5、P6、P7、P8	・入力モードに設定し、各端子ごとに1 kΩ～10 kΩの抵抗を介してVcc又はVssに接続 ・出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
ONW端子	1 k Ω ～10 k Ω の抵抗を介してVcc接続
RESETOUT端子	開放
ϕ 端子	開放
SYNC端子	開放
AVss	Vss(GND)に接続
XOUT	開放(外部クロック使用時のみ)

2.1.5 入出力端子に関する注意事項

(1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・ 外付け回路
- ・ 通常動作時の出力レベルの変動

また、内蔵されているプルアップ又はプルダウン抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・ 入力ポートに設定している場合：入力レベルを固定する。
- ・ 出力ポートに設定している場合：外部に電流が流出しないようにする。

●理由

Nチャンネルオープンドレインの入出力ポートにおいて方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

^{*1}スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウエイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令^{*}を用いて書き替える場合、指定していないビットの値が変化することがあります。

●理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・ 入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・ 出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- ・ 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・ 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

^{*}ビット処理命令：SEB命令、CLB命令

2.1.6 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

①出力専用ポート

開放してください。

②入力専用ポート

各端子ごとに**1～10kΩ**の抵抗を介して、**Vcc**又は**Vss**に接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。また、電圧レベルが動作モードに影響を与える端子(**CNVss**など)は、モードを検討の上、**Vcc**又は**Vss**を選択してください。

③入出力ポート

入力モードに設定し、**1～10kΩ**の抵抗を介して**Vcc**又は**Vss**に接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“**L**”又は“**H**”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

④A-D/D-A変換器を使用しない場合のA-D/D-A変換用電源端子AVss

A-D/D-A変換器を使用しない場合、**A-D/D-A**変換用電源端子**AVss**は以下のように処理してください。

- ・**AVss** : **Vss**に接続

(2) 処理上の留意事項

①入力ポート及び入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の②③に比べ、ノイズの影響を受け易くなります。

②入出力ポート

入力モードに設定した場合、**Vcc**又は**Vss**に直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

③入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、**Vcc**又は**Vss**に接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

2.2 割り込み

本節では割り込みに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

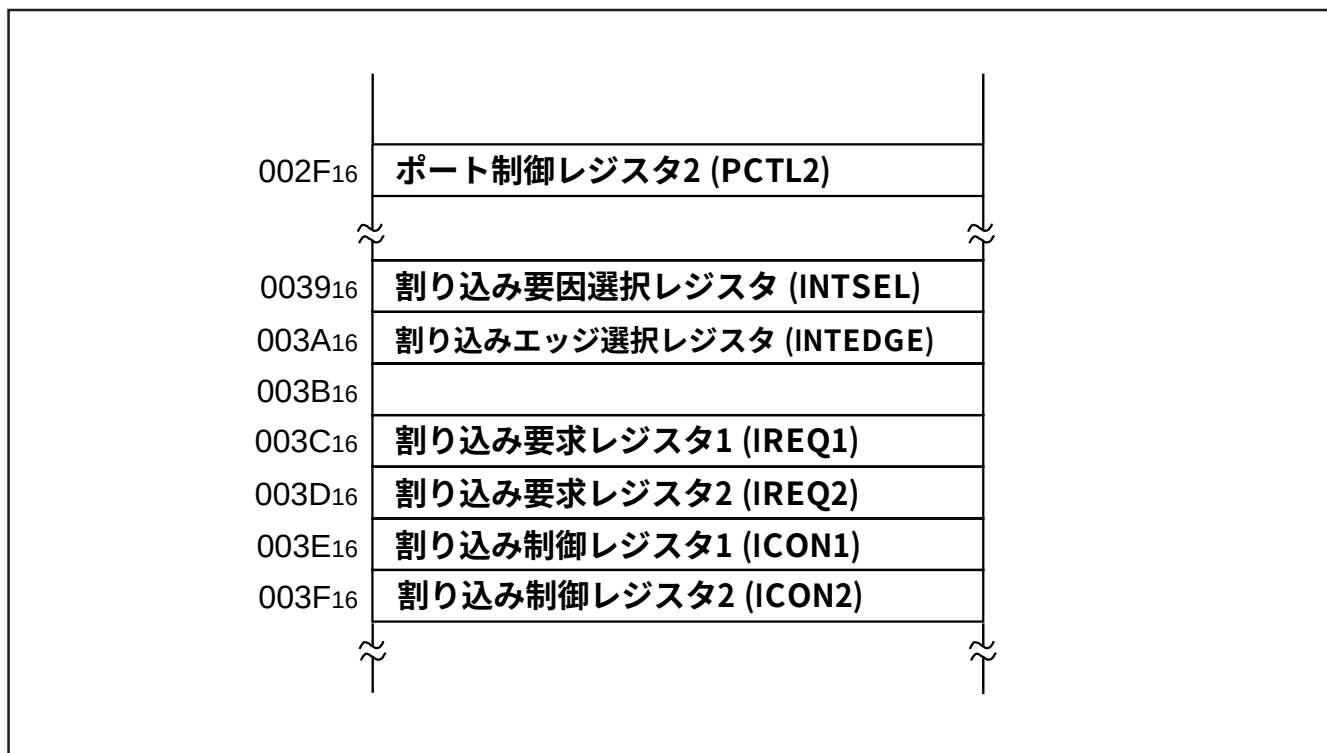


図2.2.1 割り込み関連レジスタのメモリ配置

2.2.2 関連レジスタ

ポート制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

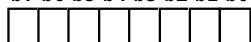
ポート制御レジスタ2(PCTL2) 【2F₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	P4入力レベル選択ビット(P4 ₂ ~P4 ₆)	0 : CMOSレベル入力 1 : TTLレベル入力	0	○	○
1	P7入力レベル選択ビット(P7 ₀ ~P7 ₅)	0 : CMOSレベル入力 1 : TTLレベル入力	0	○	○
2	P4出力形式選択ビット(P4 ₂ ,P4 ₃ ,P4 ₄ ,P4 ₆)	0 : CMOS 1 : Nチャネルオープンドレイン	0	○	○
3	P8機能選択ビット	0 : ポートP8/ポートP8方向レジスタ 1 : ポートP4入力レジスタ/ポートP7入力レジスタ	0	○	○
4	INT ₂ ,INT ₃ ,INT ₄ 割り込み切り替えビット	0 : INT ₂₀ ,INT ₃₀ ,INT ₄₀ 割り込み 1 : INT ₂₁ ,INT ₃₁ ,INT ₄₁ 割り込み	0	○	○
5	タイマYカウントソース選択ビット	0 : f(X _{IN})/16(低速モード時はf(X _{CIN})/16) 1 : f(X _{CIN})	0	○	○
6	STOP命令解除後発振安定時間設定ビット	0 : タイマ1に01 ₁₆ 、フリスケーラ12にFF ₁₆ を自動設定 1 : 自動設定しない	0	○	○
7	ポート出力P4 ₂ ,P4 ₃ クリア機能選択ビット	0 : ソフトウェアクリアのみ 1 : ソフトウェアクリア及び出力データスラッパ0読み出し(システムバス側)	0	○	○

図2.2.2 ポート制御レジスタ2の構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要因選択レジスタ(INTSEL) 【3916番地】

b	ビット名	機 能	リセット時	R:W
0	INT0/インพุットパッファフル 割り込み要因選択ビット	0:INT0割り込み 1:インพุットパッファフル割り込み	0	○:○
1	INT1/アウトพุットパッファインフ ティ割り込み要因選択ビット	0:INT1割り込み 1:アウトพุットパッファインフティ	0	○:○
2	シリアル/O1送信/SCL,SDA 割り込み要因選択ビット	0:シリアル/O1送信割り込み *1 1:SCL,SDA割り込み	0	○:○
3	CNTR0/SCL,SDA割り込 み要因選択ビット	0:CNTR0割り込み *1 1:SCL,SDA割り込み	0	○:○
4	シリアル/O2/I2C割り込み 要因選択ビット	0:シリアル/O2割り込み *2 1:I2C割り込み	0	○:○
5	INT2/I2C割り込み要因 選択ビット	0:INT2割り込み *2 1:I2C割り込み	0	○:○
6	CNTR1/キーオンエイクアッ 割り込み要因選択ビット	0:CNTR0割り込み *3 1:キーオンエイクアッ割り込み	0	○:○
7	AD変換/キーオンエイクアッ 割り込み要因選択ビット	0:AD変換割り込み *3 1:キーオンエイクアッ割り込み	0	○:○

*1: 同時に“1”を書き込まないでください。

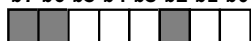
*2: 同時に“1”を書き込まないでください。

*3: 同時に“1”を書き込まないでください。

図2.2.3 割り込み要因選択レジスタの構成

割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



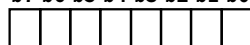
割り込みエッジ選択レジスタ(INTEDGE) 【3A16番地】

b	ビット名	機 能	リセット時	R:W
0	INT0割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○:○
1	INT1割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○:○
2	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○:×
3	INT2割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○:○
4	INT3割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○:○
5	INT4割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○:○
6	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○:×
7			0	○:×

図2.2.4 割り込みエッジ選択レジスタの構成

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要求レジスタ1(IREQ1) 【3C16番地】

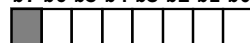
b	ビット名	機 能	リセット時	R	W
0	INT0/インプットパッドパル割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	INT1/アウトパッドパル割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアル/O1受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	シリアル/O1送信/SCL, SDA割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	タイマX割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	タイマY割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	タイマ2割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.2.5 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要求レジスタ2(IREQ2) 【3D16番地】

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL, SDA割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	CNTR1/キーボード割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアル/O2/I2C割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	INT2/I2C割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	INT3割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	INT4割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	A-D変換/キーボード割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○	×

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.2.6 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

割り込み制御レジスタ1(ICON1) 【3E16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インพุットパッファフル 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	INT1/アウトพุットパッファインプ ティ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O1受信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	シリアルI/O1送信SCL、 SDA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	タイマX割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	タイマY割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	タイマ1割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	タイマ2割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○

図2.2.7 割り込み制御レジスタ1の構成

割り込み制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

0							
---	--	--	--	--	--	--	--

割り込み制御レジスタ2(ICON2) 【3F16番地】

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	CNTR1/キーボードインタフ ェース割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O2/I ² C割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	INT2/I ² C割り込み 許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	INT3割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	INT4割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	A-D変換/キーボードインタフ ェース割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	このビットは“0”に固定してください。		0	○	○

図2.2.8 割り込み制御レジスタ2の構成

2.2.3 割り込み要因

3886グループでは、21個の要因のうち16要因で割り込みをかけることができます。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって、多様な優先処理をソフトウェアで行うことが可能です。割り込み要因とベクトル番地(注1)、割り込み優先順位は表2.2.1を参照してください。

表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位

優先順位	割り込み要因	ベクトル番地(注1)		備考
		上位	下位	
1	リセット(注2)	FFFD ₁₆	FFFC ₁₆	ノンマスカブル
2	INT ₀ ----- インプットバッファフル	FFFB ₁₆	FFFA ₁₆	外部割り込み(極性プログラマブル)
3	INT ₁ ----- アウトプットバッファエンブティ	FFF9 ₁₆	FFF8 ₁₆	外部割り込み(極性プログラマブル)
4	シリアルI/O1受信	FFF7 ₁₆	FFF6 ₁₆	シリアルI/O1選択時のみ有効
5	シリアルI/O1送信 ----- SCL、SDA	FFF5 ₁₆	FFF4 ₁₆	シリアルI/O1選択時のみ有効 外部割り込み(極性プログラマブル)
6	タイマX	FFF3 ₁₆	FFF2 ₁₆	
7	タイマY	FFF1 ₁₆	FFF0 ₁₆	
8	タイマ1	FFEF ₁₆	FFEE ₁₆	STP解除タイマアンダフロー
9	タイマ2	FFED ₁₆	FFEC ₁₆	
10	CNTR ₀ ----- SCL、SDA	FFEB ₁₆	FFEA ₁₆	外部割り込み(極性プログラマブル) 外部割り込み(極性プログラマブル)
11	CNTR ₁ ----- キーオンウエイクアップ	FFE9 ₁₆	FFE8 ₁₆	外部割り込み(極性プログラマブル) 外部割り込み(立ち下がり有効)
12	シリアルI/O2 ----- I ² C	FFE7 ₁₆	FFE6 ₁₆	シリアルI/O2選択時のみ有効
13	INT ₂ ----- I ² C	FFE5 ₁₆	FFE4 ₁₆	外部割り込み(極性プログラマブル)
14	INT ₃	FFE3 ₁₆	FFE2 ₁₆	外部割り込み(極性プログラマブル)
15	INT ₄	FFE1 ₁₆	FFE0 ₁₆	外部割り込み(極性プログラマブル)
16	A-D変換 ----- キーオンウエイクアップ	FFDF ₁₆	FFDE ₁₆	外部割り込み(立ち下がり有効)
17	BRK命令	FFDD ₁₆	FFDC ₁₆	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

2.2.4 割り込み動作

割り込み要求が受け付けられると、次に示すレジスタの割り込み要求受付直前の状態が①→②→③と順次、自動的にスタック領域に退避されます。

- ①プログラムカウンタ上位(PCH)
- ②プログラムカウンタ下位(PCL)
- ③プロセッサステータスレジスタ(PS)

上記のレジスタが退避された後、受け付けられた割り込みの飛び先番地へ分岐します。割り込み処理ルーチンの最後でRTI命令を実行すると、スタック領域に退避されていた上記レジスタの内容が③→②→①と順次それぞれのレジスタに復帰し、割り込み要求受付前の処理が継続されます。

図2.2.9に割り込み動作図を示します。

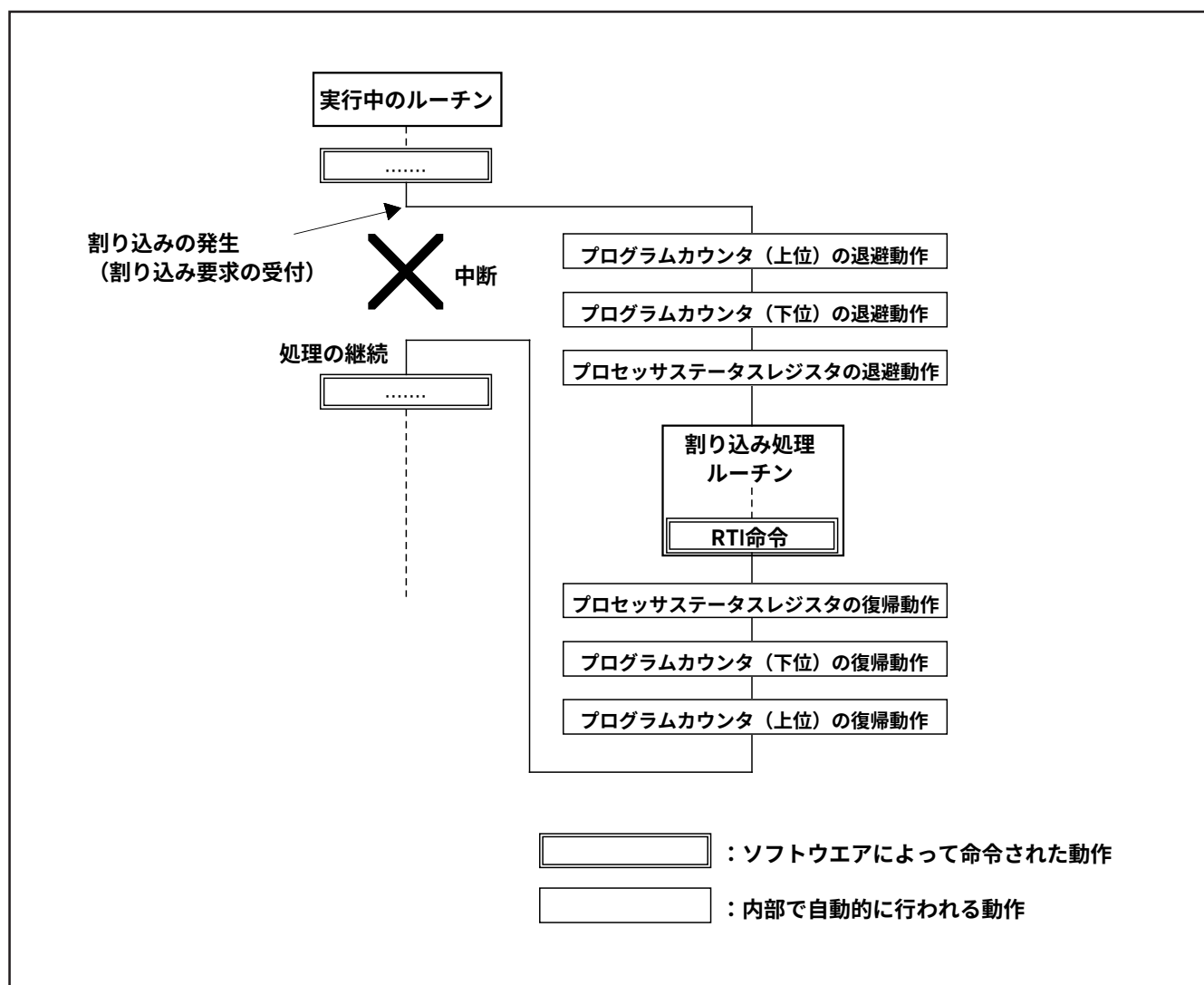


図2.2.9 割り込み動作図

(1) 割り込み要求受付時の処理

割り込み要求を受け付けると以下の動作が自動的に行われます。

①現在実行中の処理が中断されます。

②プログラムカウンタ、及びプロセッサステータスレジスタの内容がスタック領域へ退避されます。

図2.2.10に割り込み要求受付時のスタックポインタとプログラムカウンタの変化を示します。

③退避と同時に、割り込みベクトル領域に格納されている、発生した割り込みの飛び先番地(割り込み処理ルーチンの先頭番地)がプログラムカウンタに設定され、割り込み処理ルーチンが実行されます。

④割り込み処理ルーチンに入ると、対応する割り込み要求ビットが自動的に“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止されます。

したがって、割り込み処理ルーチンを実行するためには、飛び先番地を各割り込みに対応したベクトル領域内に設定しておく必要があります。

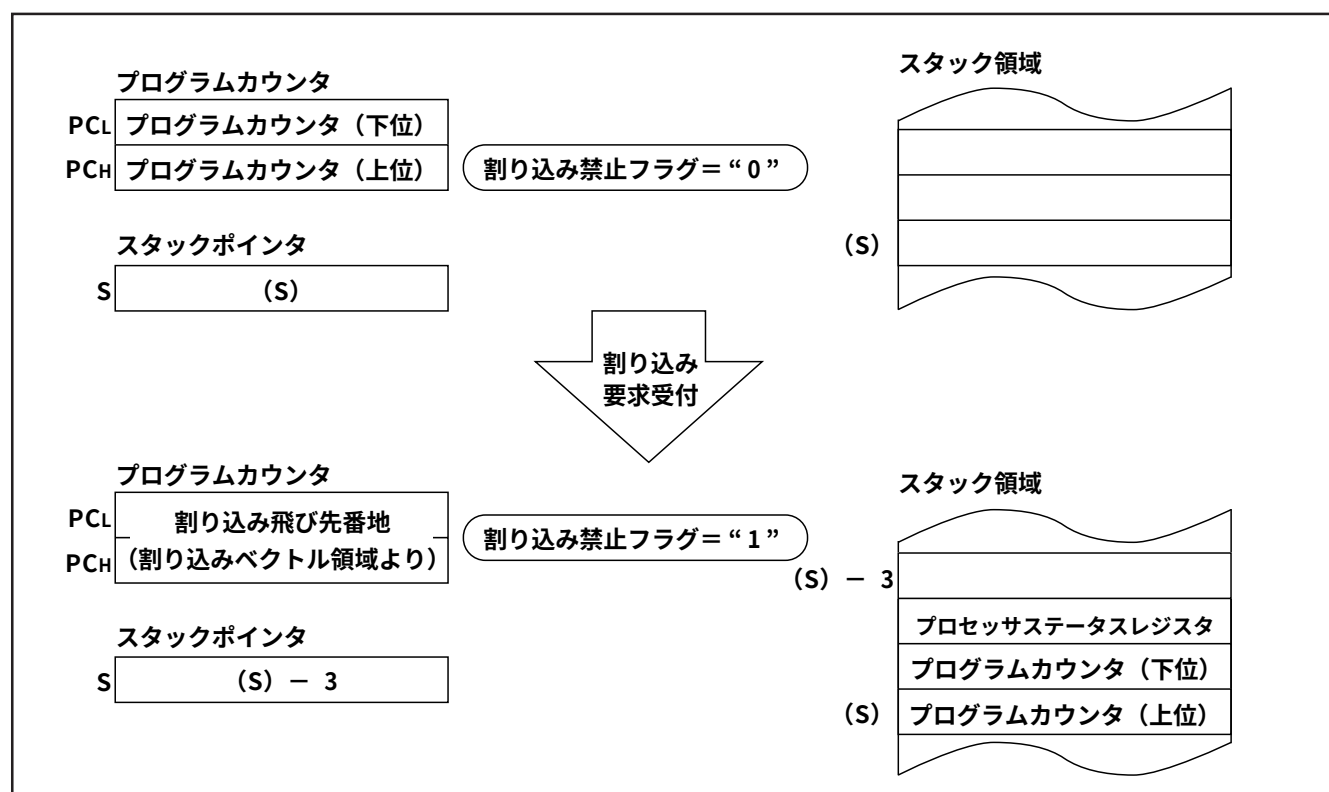


図2.2.10 割り込み要求受付時のスタックポインタとプログラムカウンタの変化

(2) 割り込み要求受付後のタイミング

割り込み処理ルーチンは、現在実行中の命令終了後のマシンサイクルから始まります。図2.2.11に割り込み処理ルーチンを実行するまでの時間、図2.2.12に割り込み要求受付後のタイミングを示します。

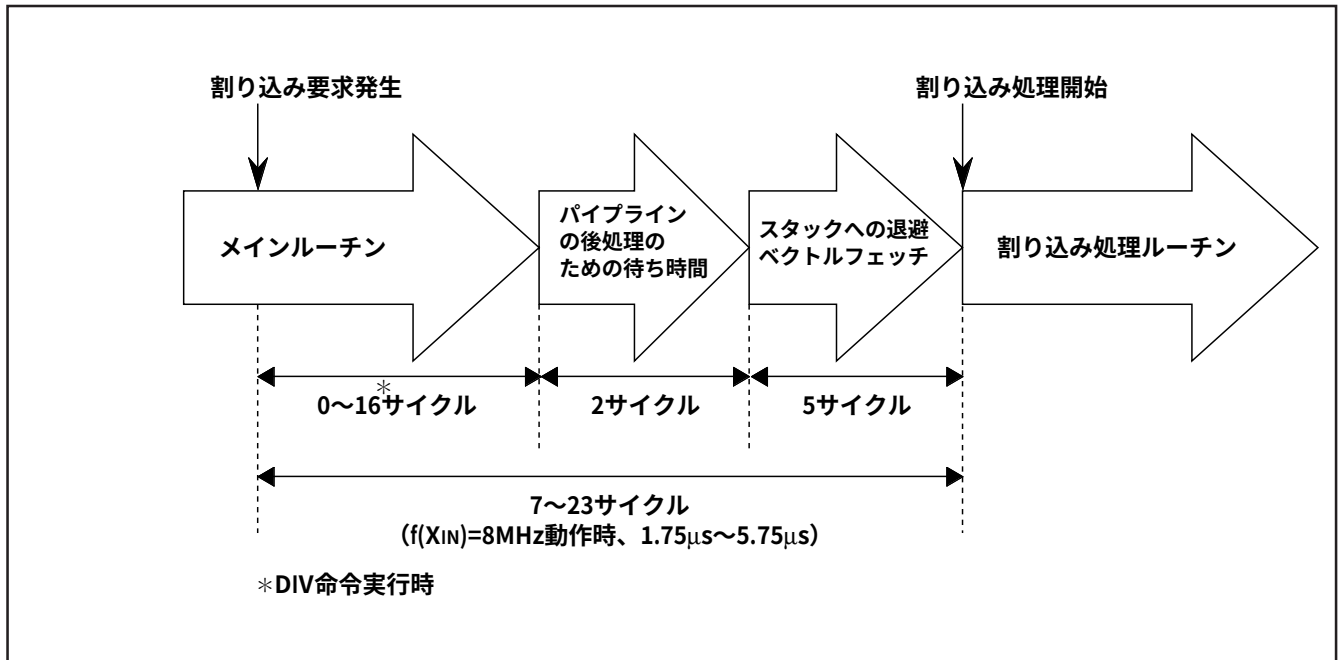


図2.2.11 割り込み処理ルーチンを実行するまでの時間

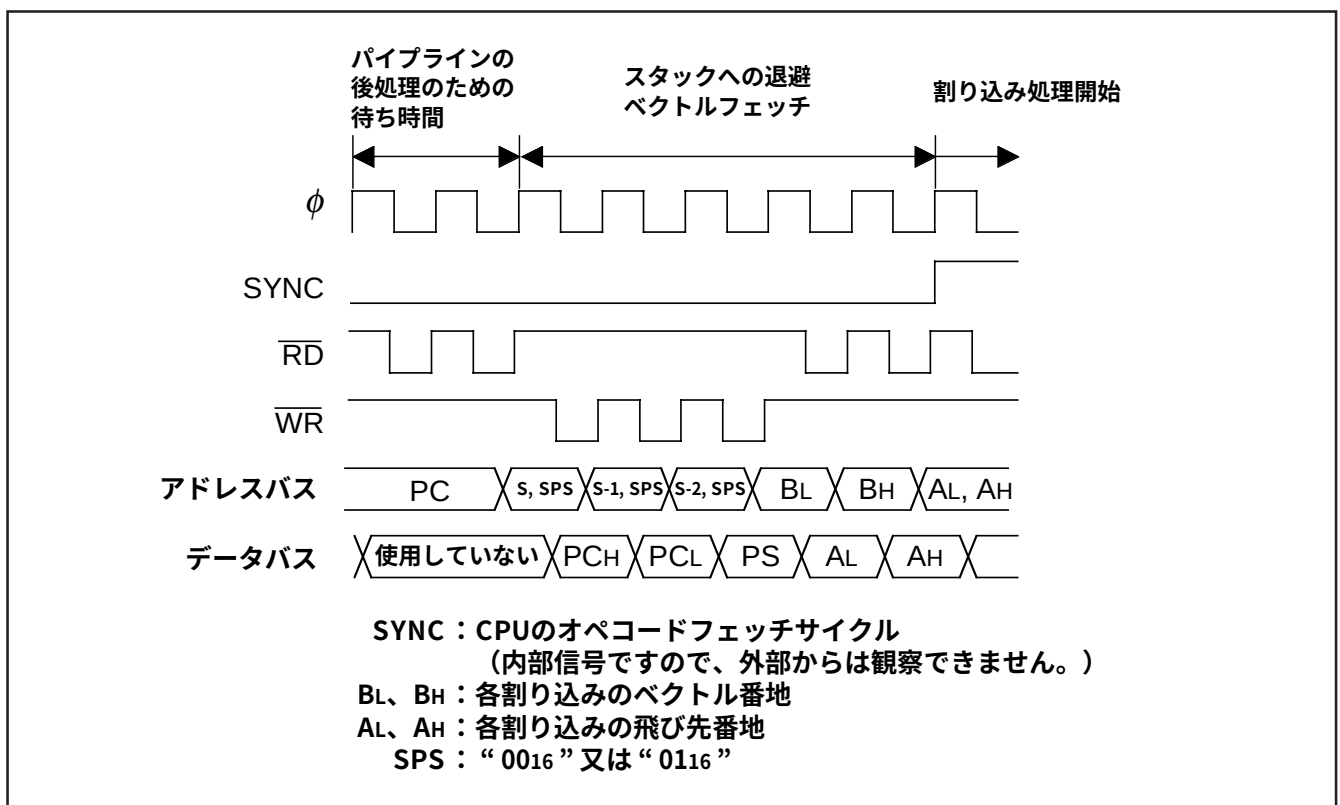


図2.2.12 割り込み要求受付後のタイミング

2.2.5 割り込み制御

BRK命令を除く割り込みは、割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグによって割り込み要求の受付を制御できます。この節ではBRK命令を除く割り込みの制御について説明します。図2.2.13に割り込み制御図を示します。

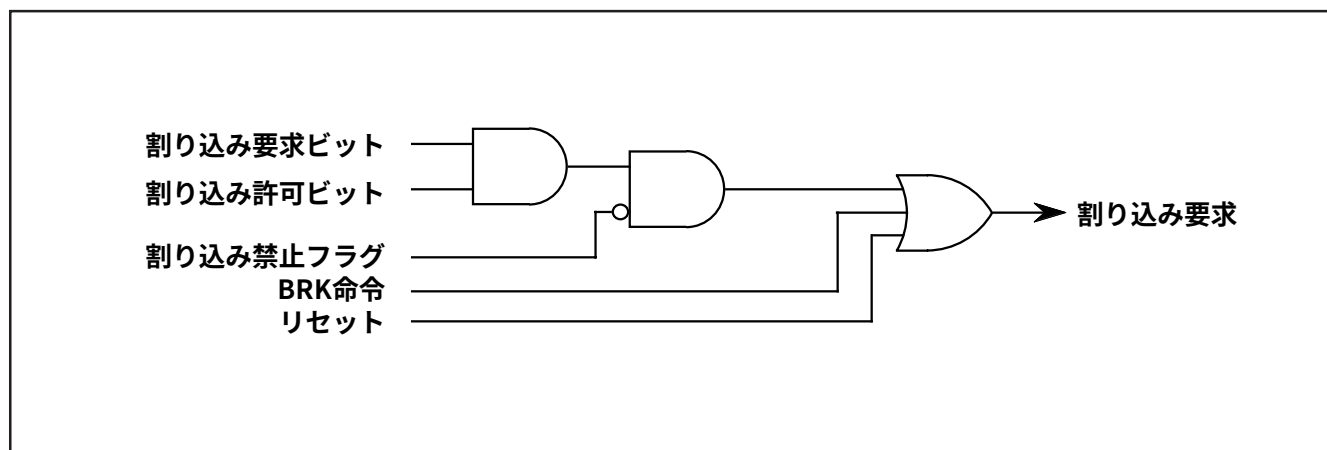


図2.2.13 割り込み制御図

割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグは独立して機能し、お互いに影響を与えることはありません。割り込み要求は以下の条件をすべて満たされると受け付けられます。

- 割り込み要求ビット……“1”
- 割り込み許可ビット……“1”
- 割り込み禁止フラグ……“0”

割り込みの優先順位は、ハードウェアで決められていますが、上記のビット及びフラグを用いることによって、多様な優先処理がソフトウェアで行うことができます。表2.2.2に各割り込み要因に対する割り込み制御ビット一覧を示します。

(1) 割り込み要求ビット

割り込み要求ビットは、割り込み要求レジスタ1(3C16番地)、割り込み要求レジスタ2(3D16番地)に割り当てられています。

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になります。“1”にセットされた割り込み要求ビットは、割り込み要求が受け付けられるまで“1”の状態で保持されます。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、ソフトウェアで“0”にできますが、ソフトウェアで“1”にすることはできません。

(2) 割り込み許可ビット

割り込み許可ビットは、割り込み制御レジスタ1(3E16番地)及び割り込み制御レジスタ2(3F16番地)に割り当てられています。

割り込み許可ビットは、対応する割り込み要求の受付を制御するビットです。

このビットが“0”のとき、対応する割り込み要求が禁止されます。このビットが“0”の状態で割り込み要求が発生すると、対応する割り込み要求ビットが“1”になるだけで、その割り込み要求は受け付けられません。この場合、ソフトウェアで割り込み要求ビットを“0”にするまで、割り込み要求ビットは“1”のままです。

このビットが“1”のとき、対応する割り込み要求が許可されます。このビットが“1”の状態で割り込み要求が発生すると、その割り込み要求が受け付けられます(割り込み禁止フラグ=“0”の場合)。

割り込み許可ビットはソフトウェアで“0”、又は“1”にすることができます。

(3) 割り込み禁止フラグ

割り込み禁止フラグは、プロセッサステータスレジスタのb2に割り当てられています。割り込み禁止フラグは、BRK命令を除く割り込み要求の受付を制御するフラグです。

このフラグが“1”のとき、割り込み要求の受付が禁止されます。“0”のとき、割り込み要求の受付が許可されます。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み処理ルーチンへの分岐時、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込み処理ルーチン内でCLI命令を用いて、このフラグを“0”にしてください。図2.2.14に多重割り込みの例を示します。

表2.2.2 各割り込み要因に対する割り込み制御ビット一覧

割り込み要因	割り込み許可ビット		割り込み要求ビット	
	番地	ビット	番地	ビット
INT0/インプットバッファフル	003E16	b0	003C16	b0
INT1/アウトプットバッファエンプティ	003E16	b1	003C16	b1
シリアルI/O1受信	003E16	b2	003C16	b2
シリアルI/O1送信/SCL、SDA	003E16	b3	003C16	b3
タイマX	003E16	b4	003C16	b4
タイマY	003E16	b5	003C16	b5
タイマ1	003E16	b6	003C16	b6
タイマ2	003E16	b7	003C16	b7
CNTR0/SCL、SDA	003F16	b0	003D16	b0
CNTR1/キーオンウエイクアップ	003F16	b1	003D16	b1
シリアルI/O2/I ² C	003F16	b2	003D16	b2
INT2/I ² C	003F16	b3	003D16	b3
INT3	003F16	b4	003D16	b4
INT4	003F16	b5	003D16	b5
A-D変換/キーオンウエイクアップ	003F16	b6	003D16	b6

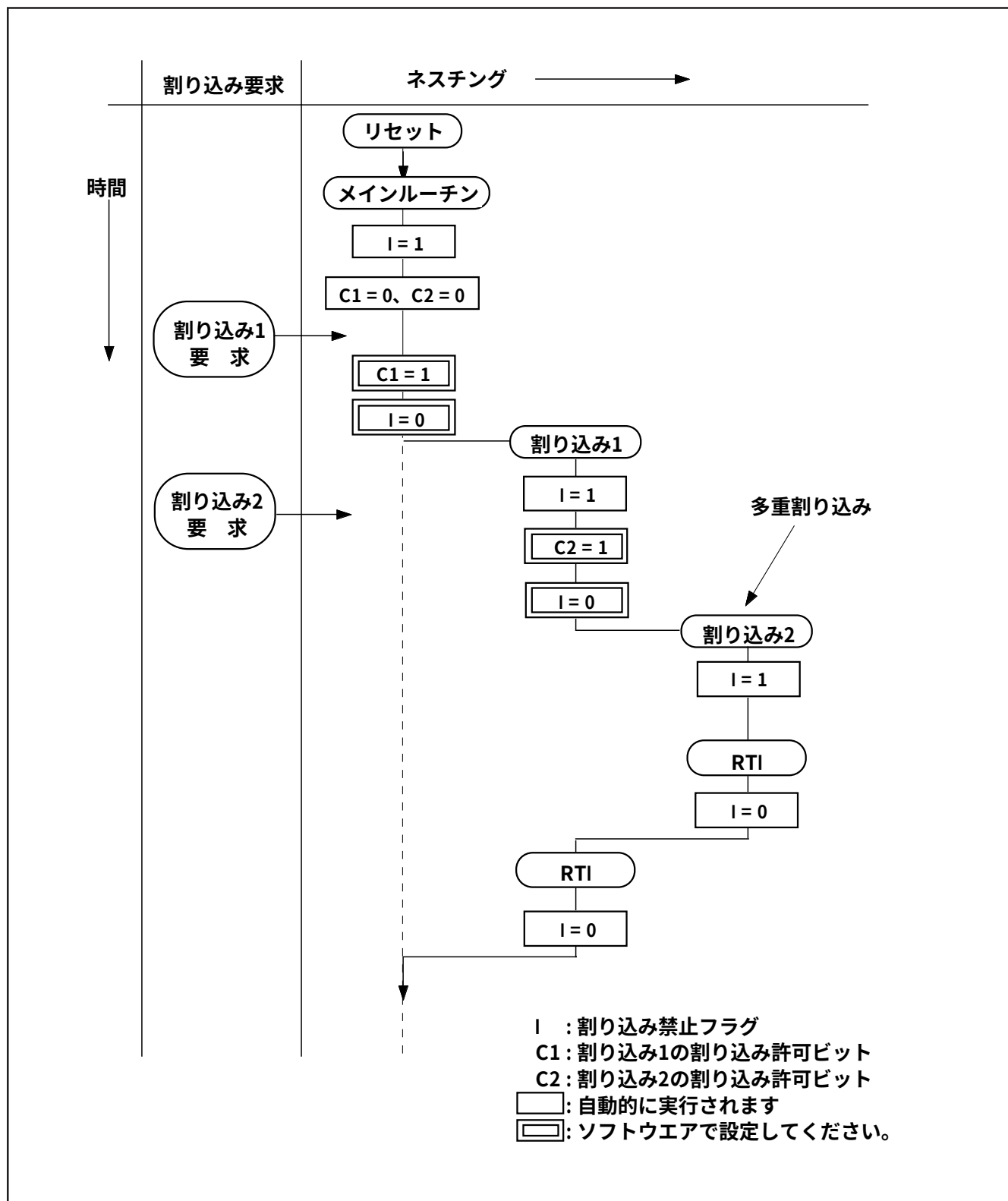


図2.2.14 多重割り込みの例

2.2.6 INT割り込み

INT割り込みは、各INT端子(INT₀～INT₄)のレベル変化を検出して、割り込み要求が発生します。

(1) 有効エッジの選択

INT₀～INT₄は有効エッジとして、立ち下がりエッジ、又は立ち上がりエッジのどちらを検出するかを、割り込みエッジ選択レジスタによってそれぞれ選択できます。“0”にすると対応する端子の立ち下がりエッジ、“1”にすると対応する端子の立ち上がりエッジが検出されます。

(2) INT₀～INT₂割り込み要因の選択

以下の割り込み要因を使用する場合、割り込み要因選択レジスタ(39₁₆番地)で、どちらの割り込み要因を使用するかを選択してください(INTを使用する場合は“0”に設定)。

- INT₀又はインプットバッファフル(ビット0)
- INT₁又はアウトプットバッファエンプティ(ビット1)
- INT₂又はI²C(ビット5)

(3) INT₂～INT₄入力端子の選択

INT₂～INT₄割り込みの入力端子として、以下のどちらかをポート制御レジスタ2(2F₁₆番地)のINT₂、INT₃、INT₄割り込み切り替えビットによって選択できます。

- INT₂₀、INT₃₀、INT₄₀ 又は
- INT₂₁、INT₃₁、INT₄₁

2.2.7 キー入力割り込み

キー入力割り込みは、ポートP3のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると、割り込み要求が発生します。

(1) キー入力割り込み使用時の結線例

キー入力割り込みを使用する場合、ポートP3を入力とする“L”レベル有効のキーマトリクスを構成してください。図2.2.15にキー入力割り込み使用時の結線例と、ポートP3のブロック図を示します。図2.2.15の結線例ではポートP30～P33のいずれかに対応するキーを押すと、キー入力割り込み要求が発生します。

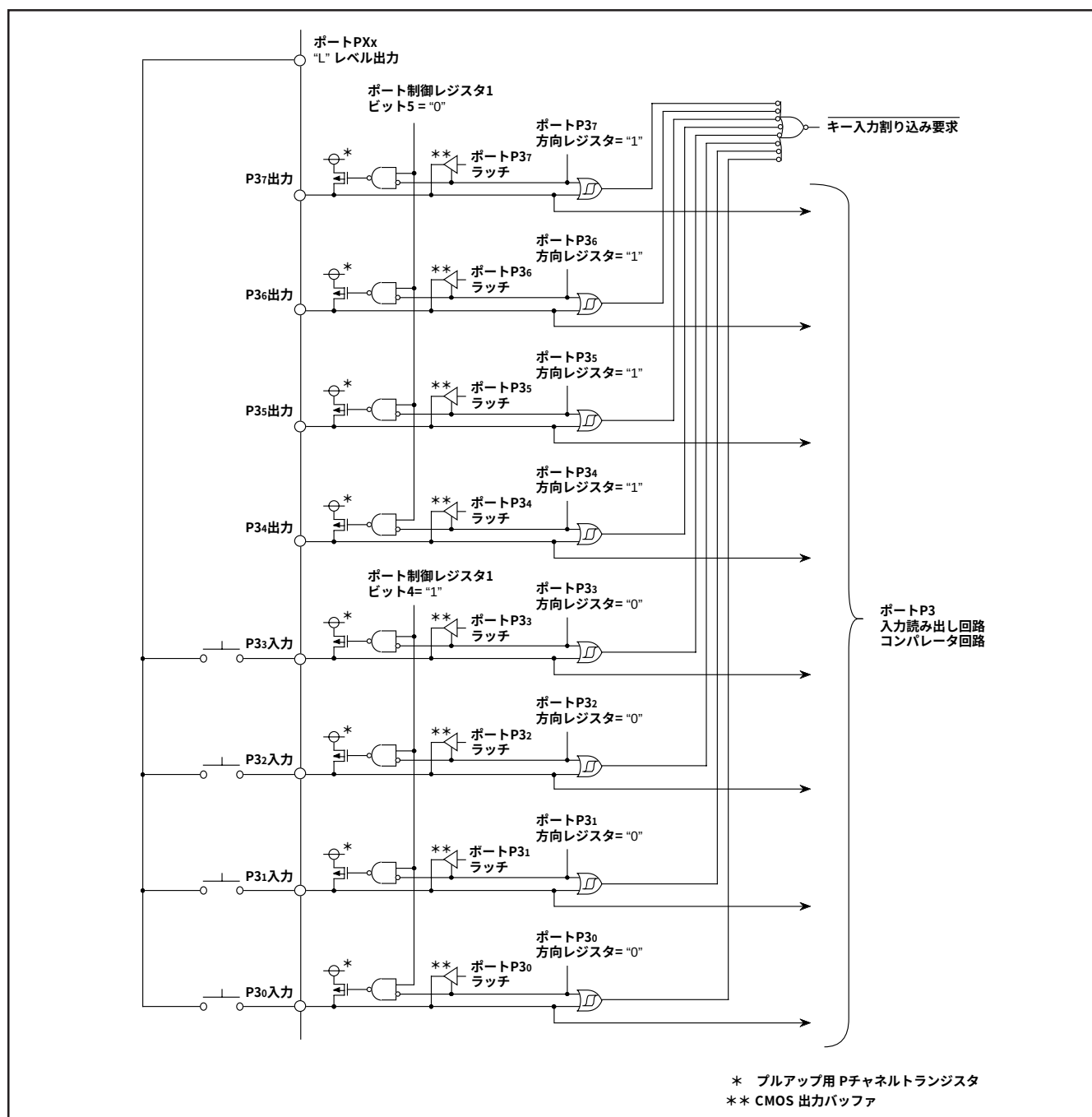


図2.2.15 キー入力割り込み使用時の結線例とポートP3のブロック図

(2) 関連レジスタ設定方法

関連レジスタの設定(図2.2.15に対応)を図2.2.16に示します。

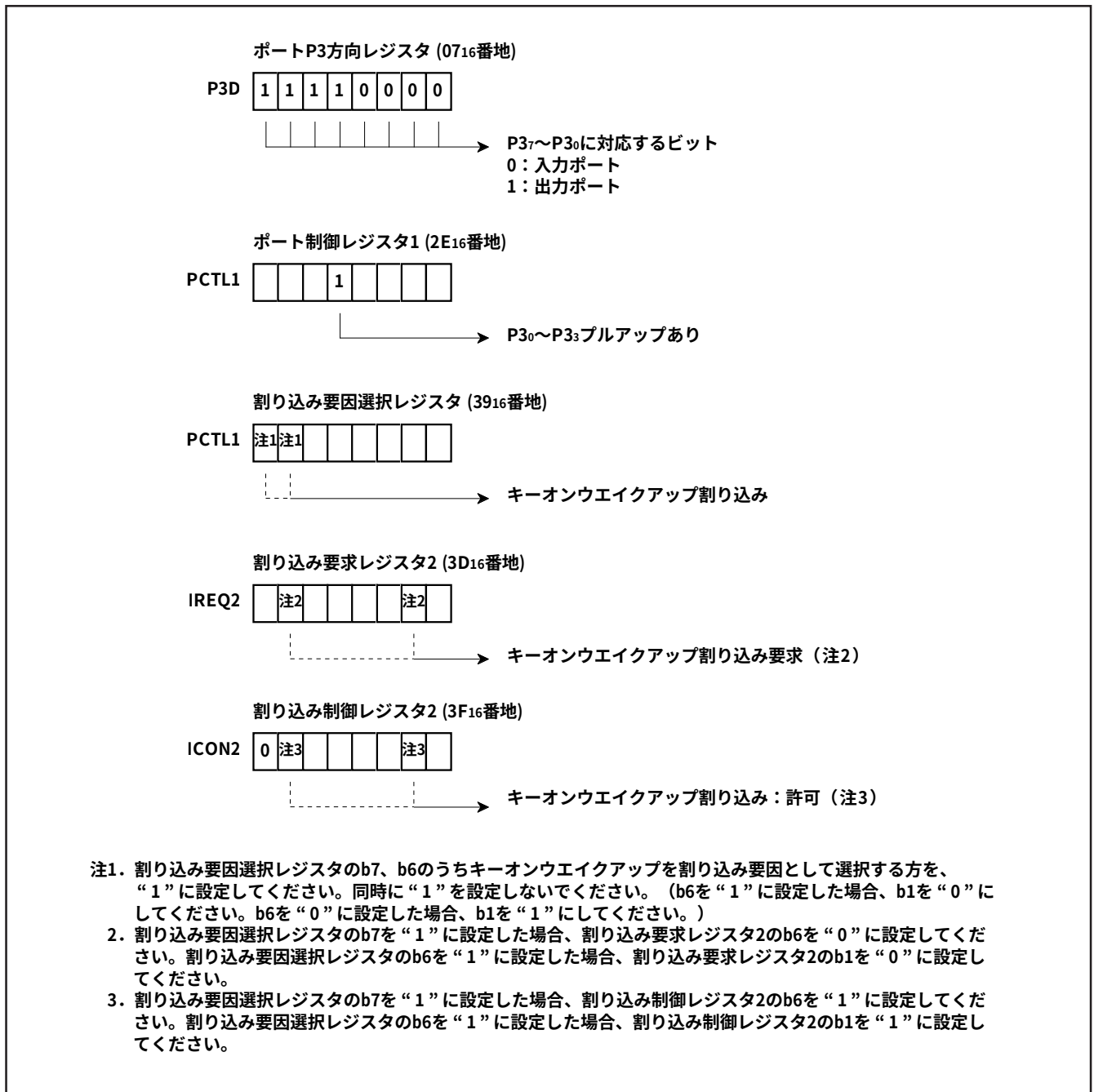


図2.2.16 キー入力割り込み関連レジスタの設定(図2.2.15に対応)

(3) キー入力割り込み要因の選択

キー入力割り込み要因を使用する場合、割り込み要因選択レジスタ(3916番地)で、次のどちらかを選択してください。

- ・ CNTR0又はキーオンウエイクアップ(ビット6)
- ・ A-D変換又はキーオンウエイクアップ(ビット7)

2.2.8 割り込みに関する注意事項

(1) 割り込み要求ビット及び許可ビットの設定

割り込み準備のための割り込み要求ビットの設定と割り込み許可ビットの設定は以下の順番に従って、別々の命令で実行してください。

①割り込み要求ビットを“0”(割り込み要求なし)にする。

②割り込み許可ビットを“1”(割り込み許可)にする。

●理由

上記の設定を一つの命令で行った場合、割り込み要求ビットが“0”になる前に割り込み許可ビットが“1”(割り込み許可)になるため、不要な割り込み処理ルーチンが実行されます。

(2) 検出エッジの切り替え

外部割り込みの検出エッジを切り替えることができる端子において、検出エッジを切り替える場合、以下の順番で行ってください。

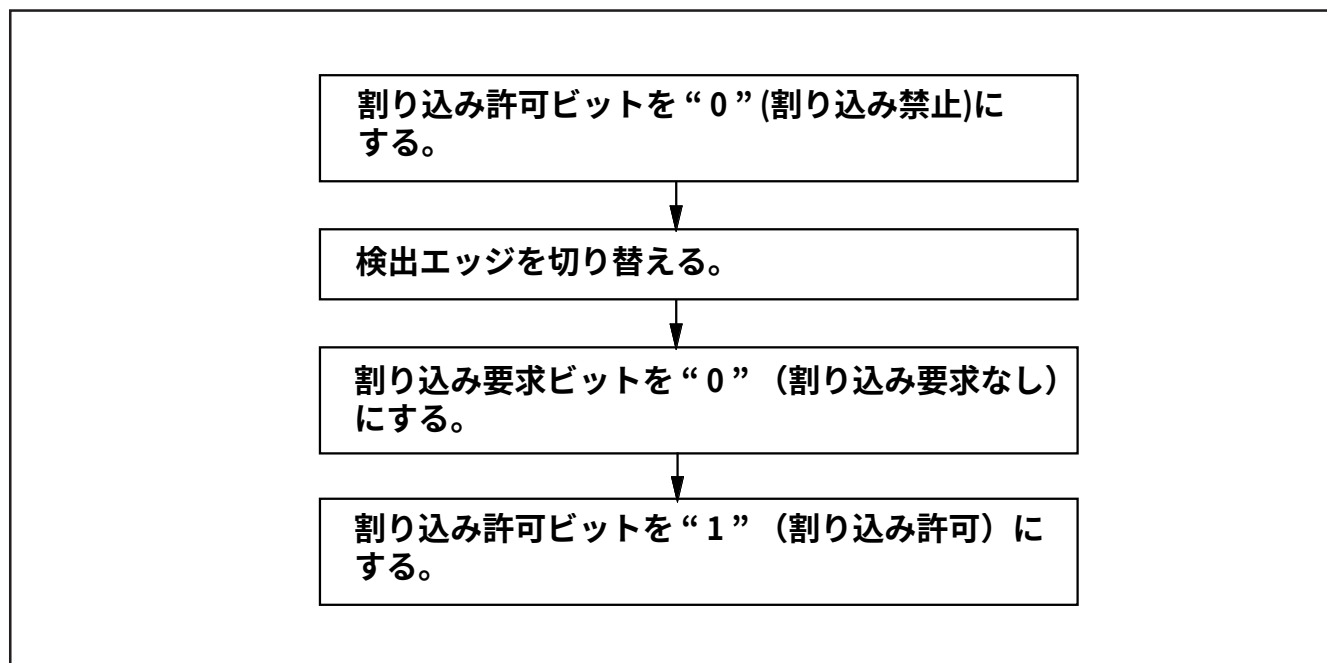


図2.2.17 検出エッジの切り替え手順

●理由

割り込み回路は検出エッジの切り替えを外部入力信号の変化として認識します。このため、不要な割り込み処理ルーチンが実行されることがあります。

(3) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

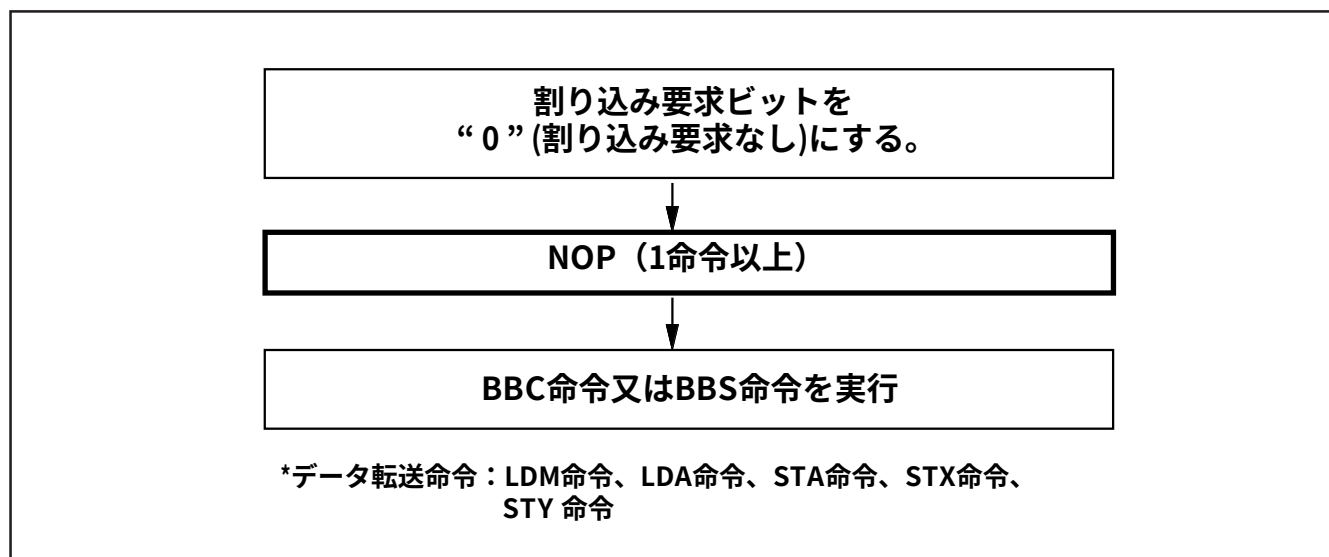


図2.2.18 割り込み要求ビットの判定手順

●理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

(4) 関連レジスタの設定変更

割り込みエッジ選択レジスタ(3A₁₆番地)、割り込み要因選択レジスタ(39₁₆番地)、及びポート制御レジスタ2のINT2、INT3、INT4割り込み切り替えビット(2F₁₆番地のビット4)の設定を変更する際、割り込み要求ビットがセットされることがあります。

割り込みを禁止し、上記の選択レジスタや切り替えビットを設定した後、割り込み要求ビットを“0”にクリアしてから、割り込みを受け付けてください。

2.3 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図

0020 ₁₆	プリスケアラ12 (PRE12)
0021 ₁₆	タイマ1 (T1)
0022 ₁₆	タイマ2 (T2)
0023 ₁₆	タイマXYモードレジスタ (TM)
0024 ₁₆	プリスケアラX (PREX)
0025 ₁₆	タイマX (TX)
0026 ₁₆	プリスケアラY (PREY)
0027 ₁₆	タイマY (TY)
≈	≈
003C ₁₆	割り込み要求レジスタ1 (IREQ1)
003D ₁₆	割り込み要求レジスタ2 (IREQ2)
003E ₁₆	割り込み制御レジスタ1 (ICON1)
003F ₁₆	割り込み制御レジスタ2 (ICON2)

図2.3.1 タイマ関連レジスタのメモリ配置

2.3.2 関連レジスタ

プリスケアラ12、プリスケアラX、プリスケアラY							
b7	b6	b5	b4	b3	b2	b1	b0
プリスケアラ12(PRE12)、プリスケアラX(PREX)、プリスケアラY(PREY) 【20 ₁₆ , 24 ₁₆ , 26 ₁₆ 番地】							
b	機 能						リセット時 R:W
0	●各プリスケアラのカウント値を設定します。						1 ○:○
1	●このレジスタに設定した値は、各プリスケアラと						1 ○:○
2	対応するプリスケアララッチの両方へ同時に書き						1 ○:○
3	込まれます。						1 ○:○
4	●このレジスタを読み出した場合、対応するプリス						1 ○:○
5	ケアラのカウント値が読み出されます。						1 ○:○
6							1 ○:○
7							1 ○:○

図2.3.2 プリスケアラ12、プリスケアラX、プリスケアラYの構成

タイマ1

b7 b6 b5 b4 b3 b2 b1 b0

タイマ1(T1) [2116番地]

b	機 能	リセット時	R	W
0	●タイマ1のカウンタ値を設定します。	1	○	○
1	●このレジスタに設定した値は、タイマ1とタイマ1	0	○	○
2	ラッチの両方へ同時に書き込まれます。	0	○	○
3	●このレジスタを読み出した場合、タイマ1の	0	○	○
4	カウンタ値が読み出されます。	0	○	○
5		0	○	○
6		0	○	○
7		0	○	○

図2.3.3 タイマ1の構成

タイマ2、タイマX、タイマY

b7 b6 b5 b4 b3 b2 b1 b0

タイマ2(T2)、タイマX(TX)、タイマY(TY)
[2216,2516,2716番地]

b	機 能	リセット時	R	W
0	●各タイマのカウンタ値を設定します。	1	○	○
1	●このレジスタに設定した値は、各タイマと対応す	1	○	○
2	るタイマラッチの両方へ同時に書き込まれます。	1	○	○
3	●このレジスタを読み出した場合、対応するタイマ	1	○	○
4	のカウンタ値が読み出されます。	1	○	○
5		1	○	○
6		1	○	○
7		1	○	○

図2.3.4 タイマ2、タイマX、タイマYの構成

ポート制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

ポート制御レジスタ2(PCTL2)
【2F16,番地】

b	ビット名	機 能	リセット時	R	W
0	P4入力レベル選択ビット(P42~P46)	0: CMOSレベル入力 1: TTLレベル入力	0	×	○
1	P7入力レベル選択ビット(P70~P75)	0: CMOSレベル入力 1: TTLレベル入力	0	×	○
2	P4出力形式選択ビット(P42,P43,P44,P46)	0: CMOS 1: Nチャネルオープンドレイン	0	×	○
3	P8機能選択ビット	0: ポートP8/ポートP8方向レジスタ 1: ポートP4入力レジスタ/ポートP7入力レジスタ	0	×	○
4	INT2,INT3,INT4割り込み切り替えビット	0: INT20,INT30,INT40割り込み 1: INT21,INT31,INT41割り込み	0	×	○
5	タイマYカウントソース選択ビット	0: f(XIN)/16(低速モード時はf(XCIN)/16) 1: f(XCIN)	0	×	○
6	STP命令解除後発振安定時間設定ビット	0: タイマ1に0116、プリスケラ12にFF16を自動設定 1: 自動設定しない	0	×	○
7	ポート出力P42,P43クリア機能選択ビット	0: ソフトウェアクリアのみ 1: ソフトウェアクリア及び出力データバスハフフ0読み出し(システムバス側)	0	×	○

図2.3.6 ポート制御レジスタ2の構成

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1) 【3C16番地】

b	ビット名	機 能	リセット時	R:W
0	INT0/INT0割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
1	INT1/INT1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
2	シリアルI/O1受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
3	シリアルI/O1/SCL, SDA送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
4	タイマX割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
5	タイマY割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
6	タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
7	タイマ2割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.3.7 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ2(IREQ2) 【3D16番地】

b	ビット名	機 能	リセット時	R:W
0	CNTR0/SCL, SDA割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
1	CNTR1/キーウォークアップ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
2	シリアルI/O2/I2C割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
3	INT2/I2C割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
4	INT3割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
5	INT4割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
6	A-D変換/キーウォークアップ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○×

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.3.8 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



割り込み制御レジスタ1(ICON1)【3E16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インポートバッファフル 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	INT1/アウトポートバッファエンジン 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O1受信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	シリアルI/O1/SCL, SDA 送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	タイマX割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	タイマY割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	タイマ1割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	タイマ2割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○

図2.3.9 割り込み制御レジスタ1の構成

割り込み制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



割り込み制御レジスタ2(ICON2)【3F16番地】

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL, SDA割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	CNTR1/キーオンイクアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O2/I ² C割り込 み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	INT2/I ² C割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	INT3割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	INT4割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	A-D変換/キーオンイクアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	このビットは“0”に固定してください。		0	○	○

図2.3.10 割り込み制御レジスタ2の構成

2.3.3 タイマの応用例

(1) 基本的な機能と用途

[機能1] イベント間隔の管理(タイマX、タイマY、タイマ1、タイマ2)

タイマにカウント値を設定すると、一定時間後に各タイマの割り込み要求が発生します。

〈用途〉

- ・出力信号のタイミング生成
- ・ウェイト時間の生成

[機能2] 周期的な動作の管理(タイマX、タイマY、タイマ1、タイマ2)

タイマがアンダフローするごとに、自動的に各タイマラッチの値を対応するタイマに書き込み、周期的に各タイマの割り込み要求が発生します。

〈用途〉

- ・周期的な割り込みの発生
- ・時計機能(250msの測定)→応用例1
- ・メインルーチンの周期管理

[機能3] 方形波の出力(タイマX、タイマY)

タイマがアンダフローするごとに、**CNTR**端子の出力レベルを反転します(パルス出力モード)。

〈用途〉

- ・圧電ブザー出力→応用例2
- ・リモコン搬送波の発生

[機能4] 外部パルスのカウント(タイマX、タイマY)

タイマのカウントソースとして、**CNTR**端子に入力される外部パルスをカウントします(イベントカウンタモード)。

〈用途〉

- ・周波数の測定→応用例3
- ・外部パルスの分周
- ・外部パルスをカウントソースとする周期の割り込み発生(リールパルスのカウント)

[機能5] 外部パルス幅の測定(タイマX、タイマY)

CNTR端子に入力される外部パルスの“**H**”レベル幅又は“**L**”レベル幅を測定します(パルス幅測定モード)。

〈用途〉

- ・外部パルスの周波数の測定(モータの**FG**パルス(注)のパルス幅測定)→応用例4
- ・外部パルスのデューティの測定(周波数が固定されている場合)

注. FGパルス：モータの速度制御を行うためモータの速度を検出するパルス

(2) タイマの応用例1：時計機能(250 msの測定)

ポイント：クロックをタイマで分周し、**250 ms**ごとに時計をカウントアップします。

仕様：・クロック $f(X_{IN}) = 4.19\text{MHz}$ (2^{22}Hz)をタイマで分周。

・タイマX割り込み(約**250 ms**ごとに発生)処理ルーチンで、時計をカウントアップ。

タイマの接続と分周比の設定を図2.3.10、関連レジスタの設定を図2.3.11、制御手順を図2.3.12に示します。

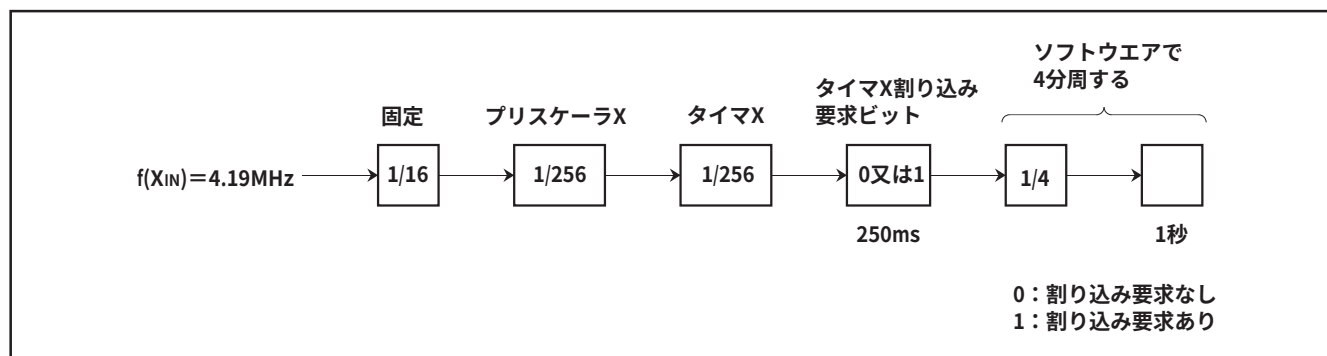


図2.3.11 タイマの接続と分周比の設定

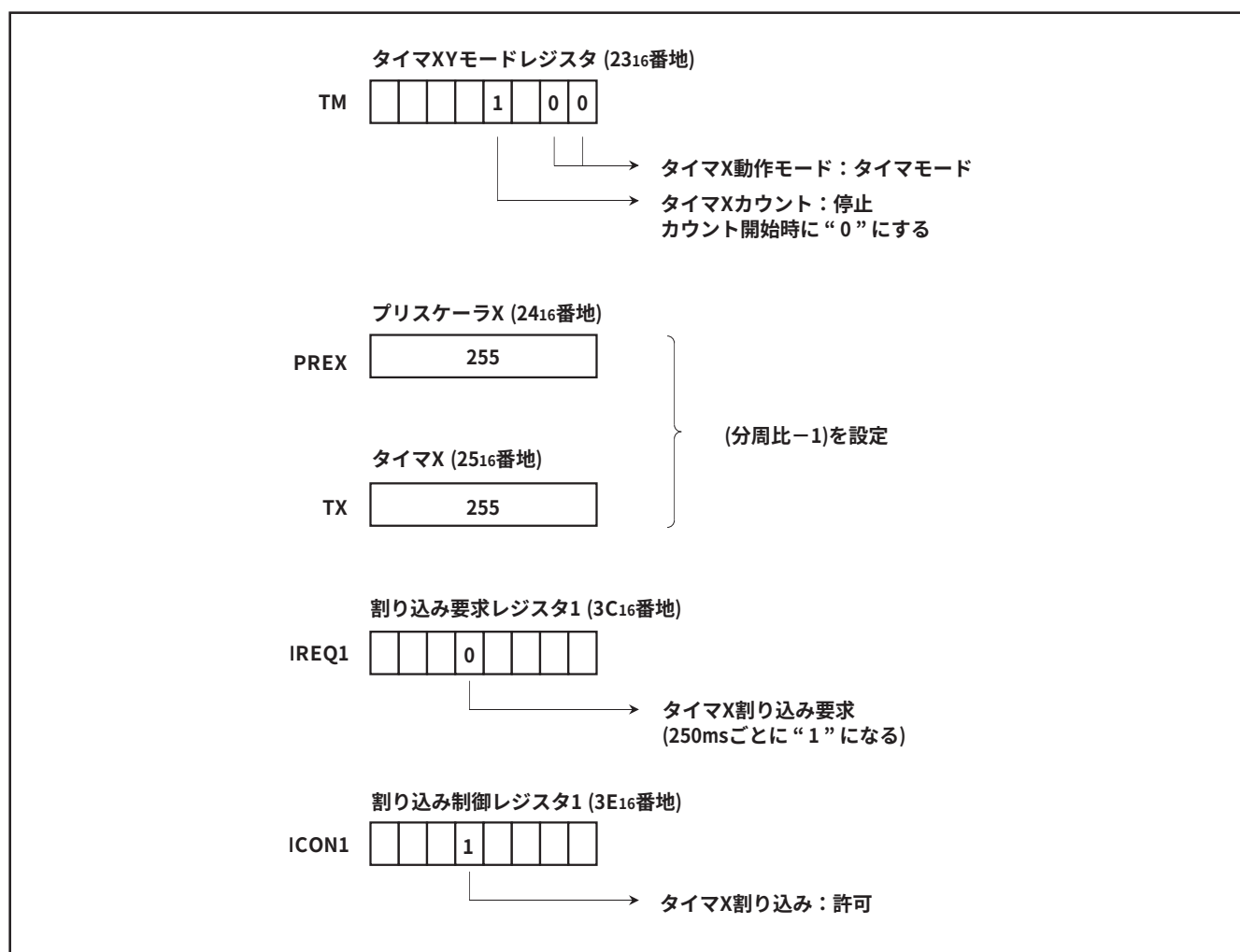


図2.3.12 関連レジスタの設定

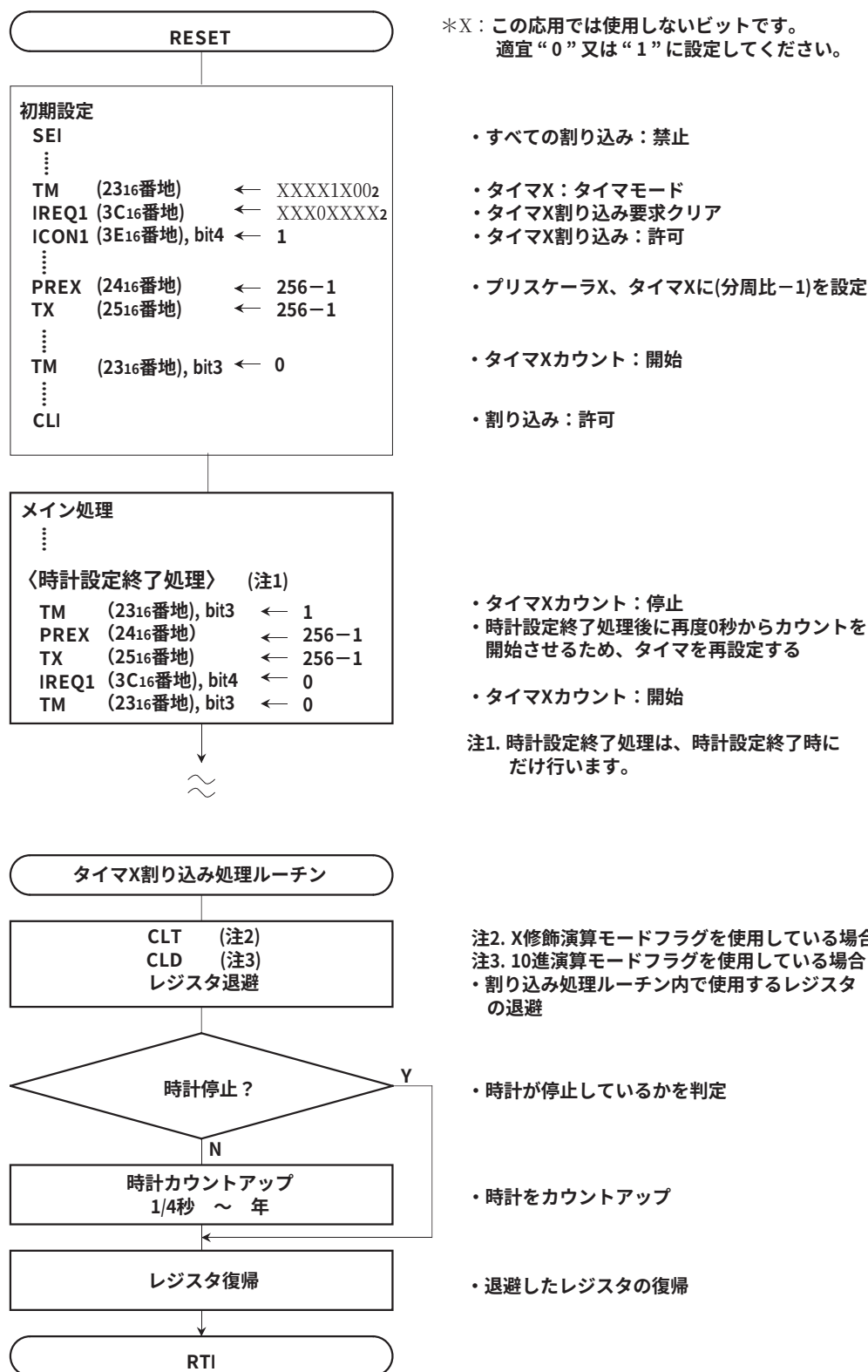


図2.3.13 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

仕様：・クロック $f(X_{IN}) = 4.19\text{MHz}$ (2^{22}Hz)を約 2kHz (2048Hz)まで分周した方形波を、P54/CNTR0端子から出力。

・圧電ブザー出力停止中はP54/CNTR0端子のレベルを“H”に固定。

周辺回路例を図2.3.14、タイマの接続と分周比の設定を図2.3.15に示します。また、関連レジスタの設定を図2.3.16、制御手順を図2.3.17に示します。

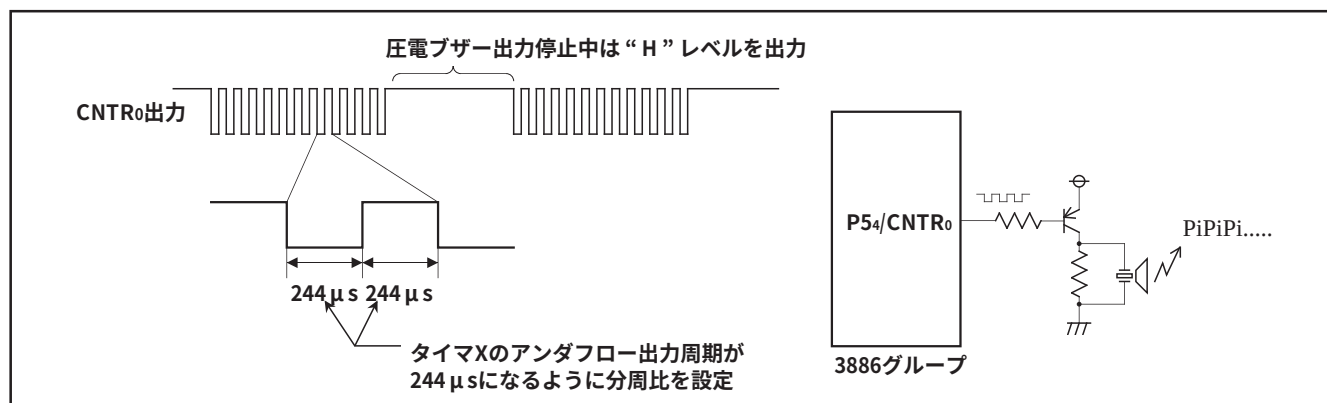


図2.3.14 周辺回路例

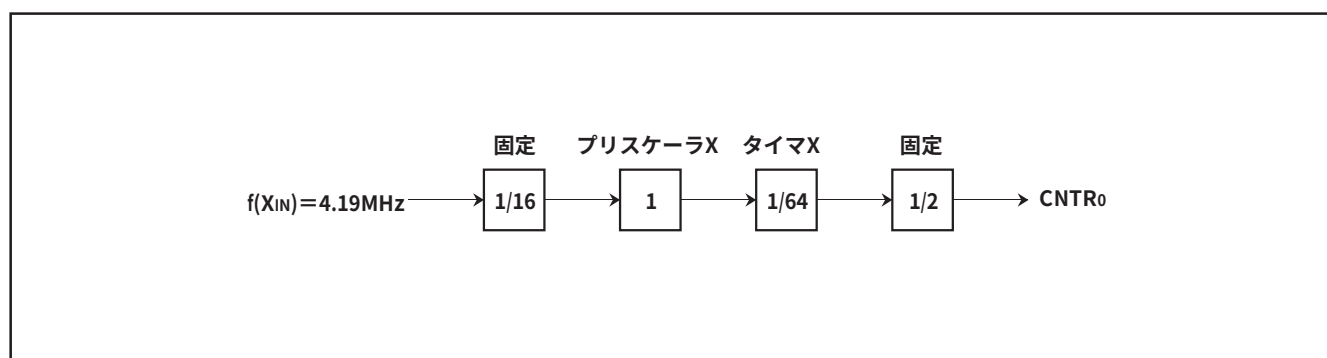


図2.3.15 タイマの接続と分周比の設定

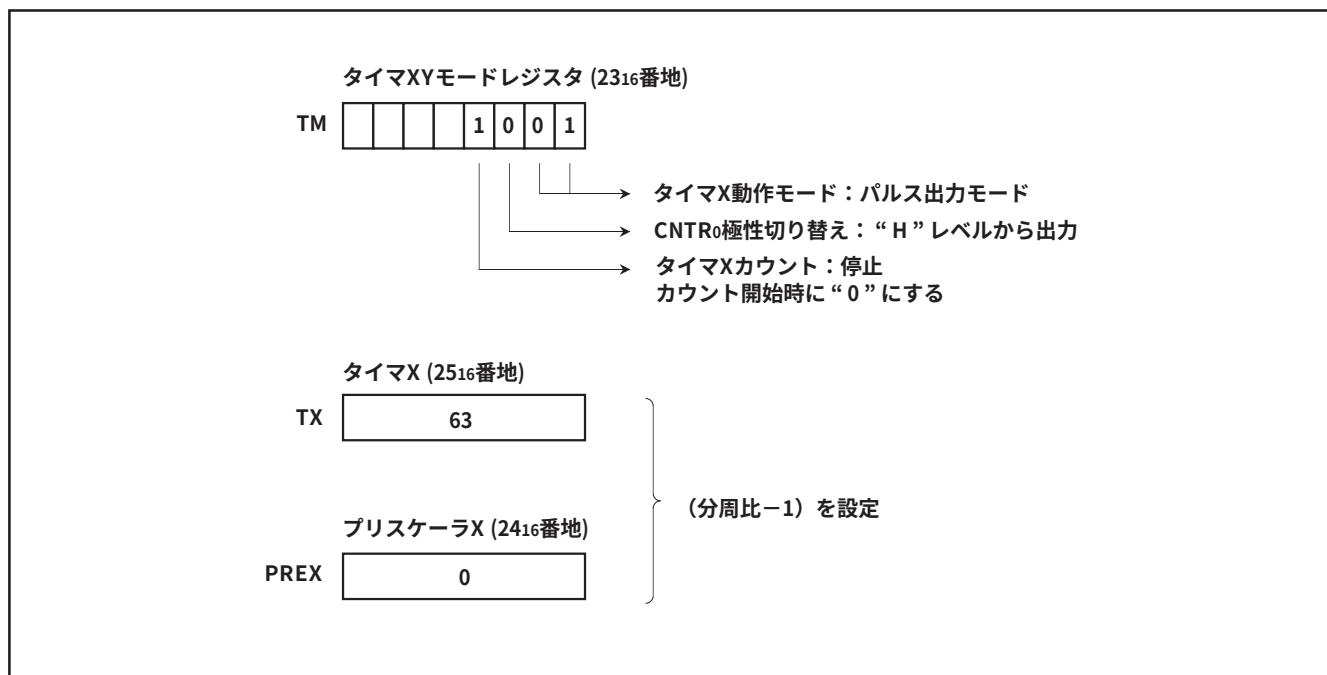


図2.3.16 関連レジスタの設定

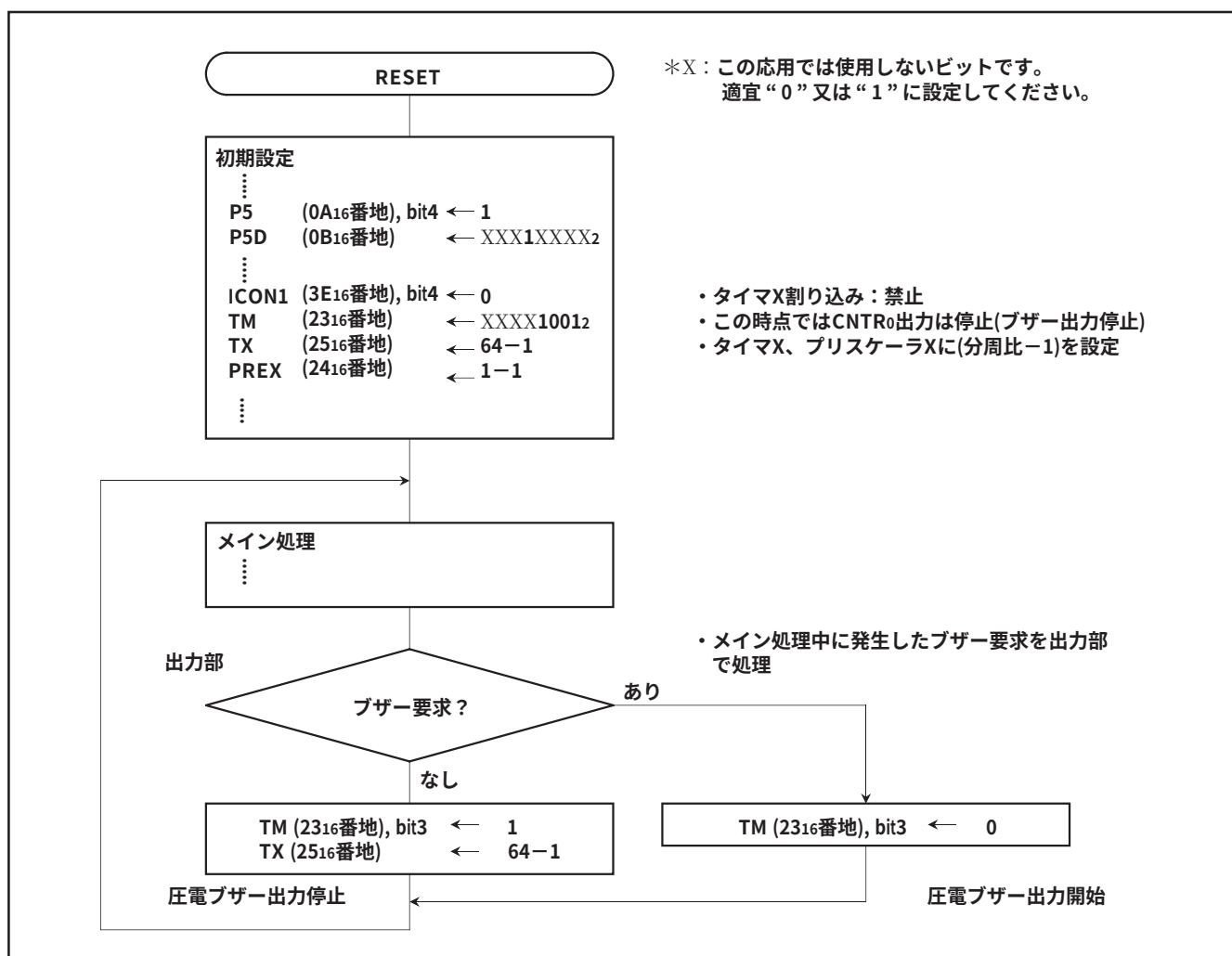


図2.3.17 制御手順

(4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P55/CNTR1端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕 様：・ P55/CNTR1端子にパルスを入力し、タイマYでカウント。

- ・ 約2 ms(タイマ1割り込み間隔)ごとにカウント値を読み出し、28～40カウントの場合を有効と判断。
- ・ タイマがダウンカウンタであるため、227～215(注)とカウント値を比較。

注. $227 \sim 215 = 255(\text{カウンタの初期値}) - 28 \sim 40(\text{有効カウント数})$

入力パルスの有効又は無効の判定方法を図2.3.17、関連レジスタの設定を図2.3.18、制御手順を図2.3.19に示します。

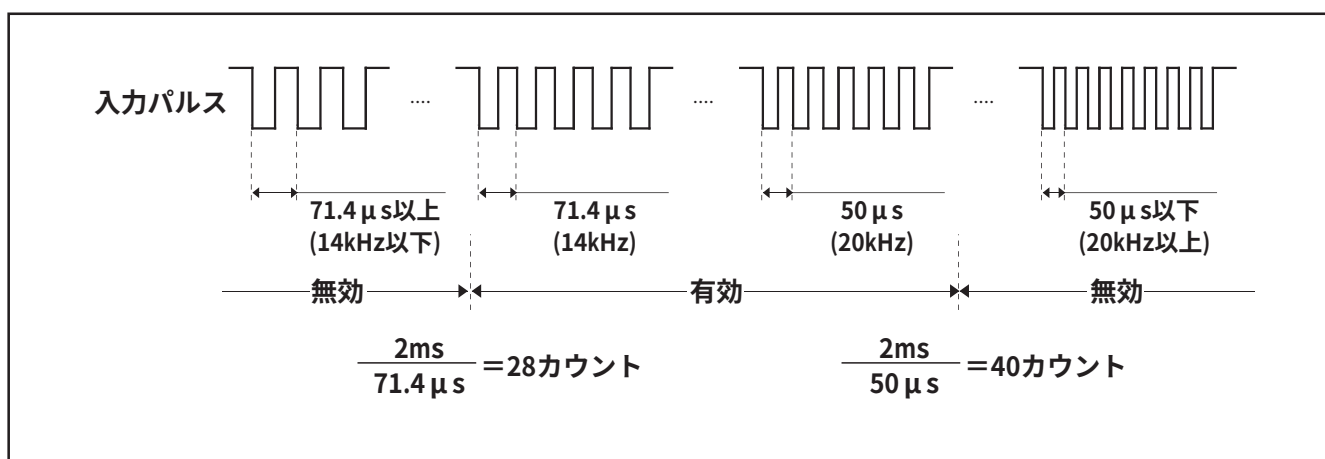


図2.3.18 入力パルス有効又は無効の判定方法

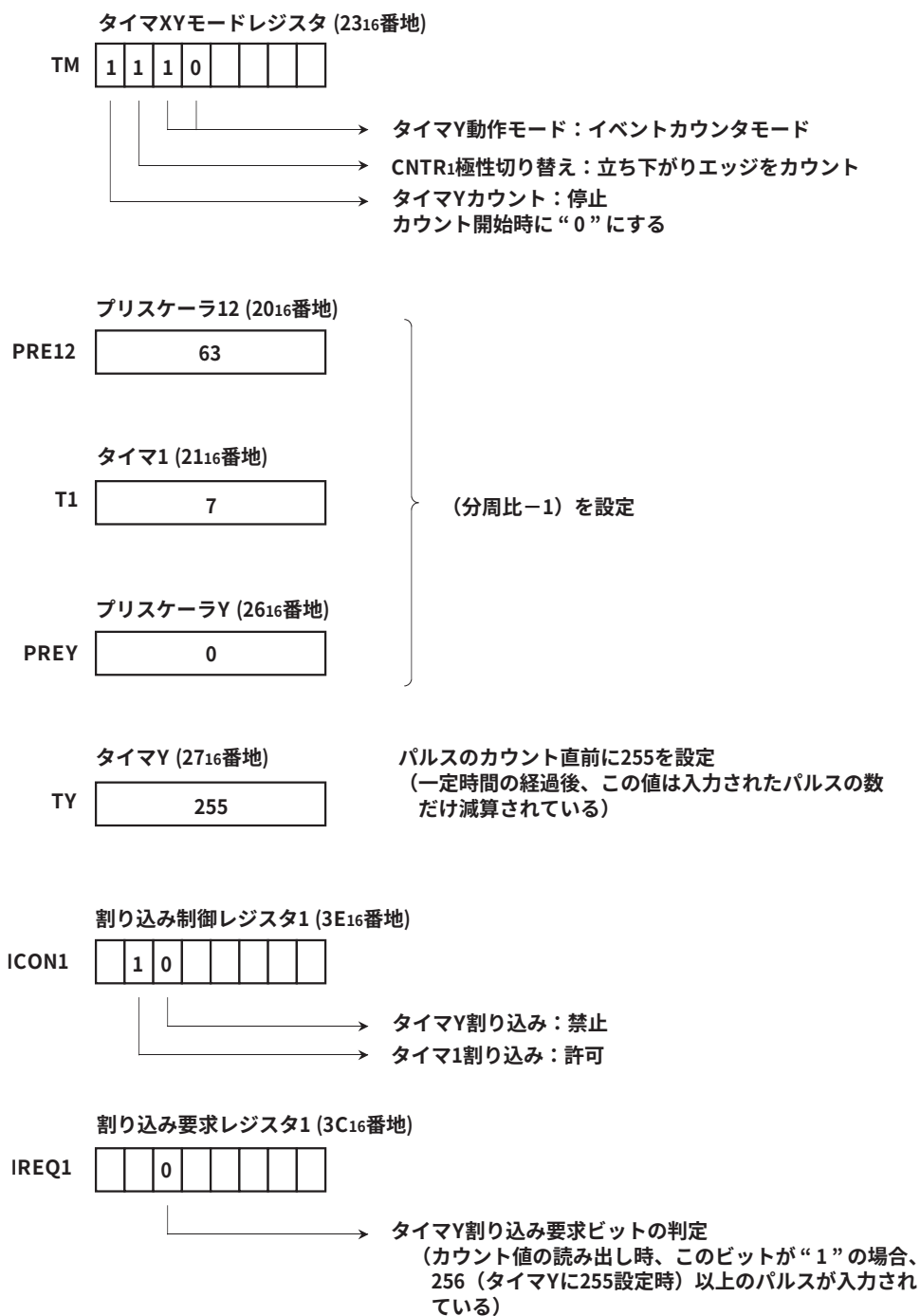


図2.3.19 関連レジスタの設定

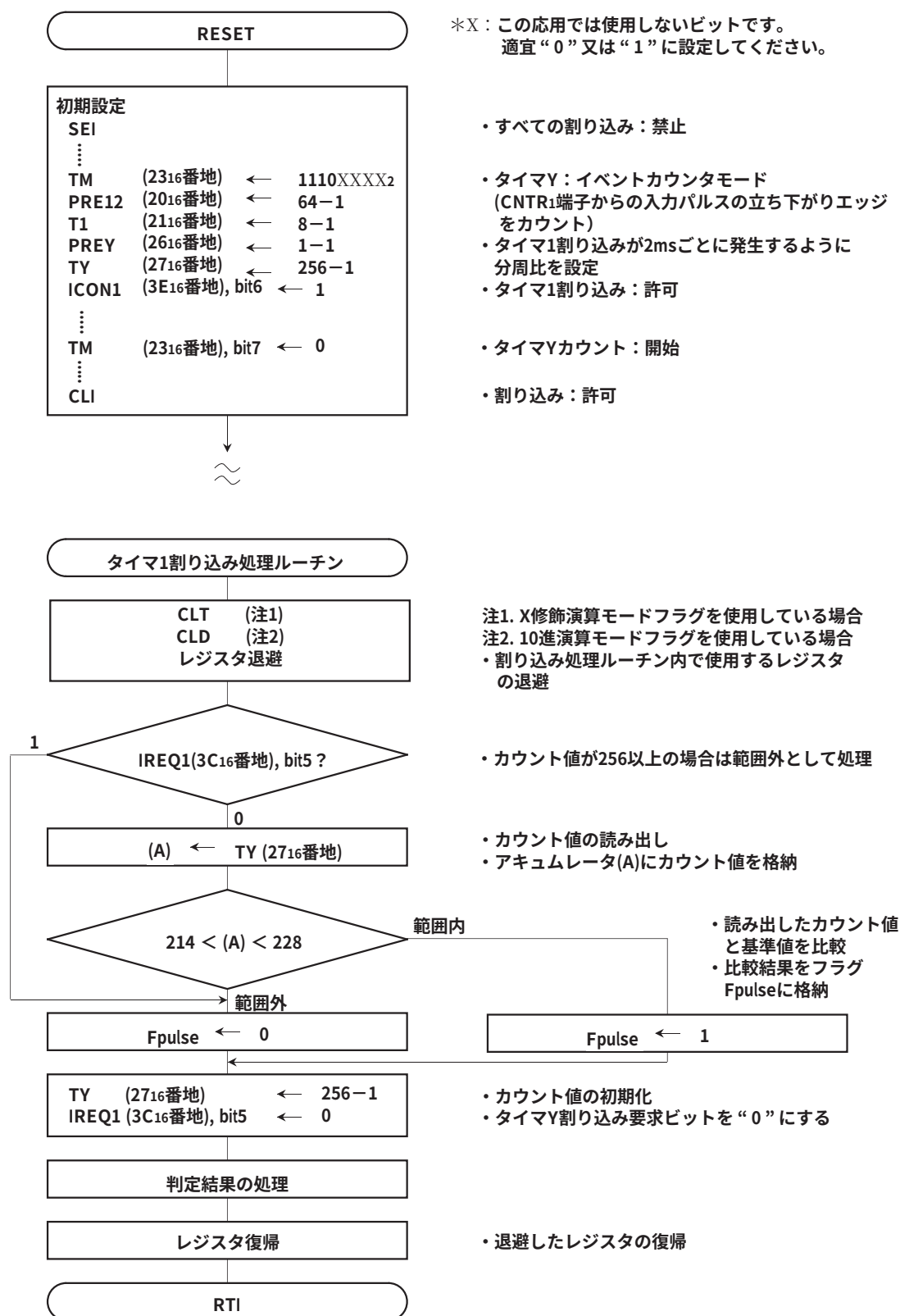


図2.3.20 制御手順

(5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：P54/CNTR0端子に入力されるパルスの“H”レベル幅をタイマXでカウントします。アンダフローはタイマX割り込みで検出され、入力パルスの“H”レベルの終了はCNTR0割り込みで検出されます。

仕様：P54/CNTR0端子から入力されるFGパルスの“H”レベル幅をタイマXでカウント。

例：4.19MHzの場合、16分周された3.8μsがカウントソースとなる。FFFF16～000016の範囲で250msまで測定可能。

タイマの接続と分周比の設定を図2.3.20、関連レジスタの設定を図2.3.21、制御手順を図2.3.22に示します。

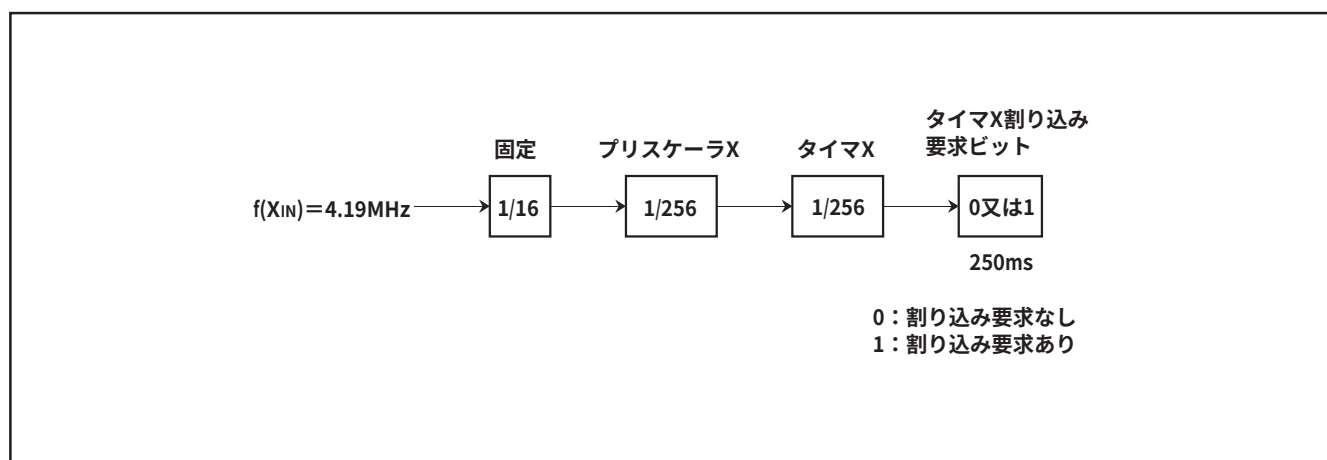


図2.3.21 タイマの接続と分周比の設定

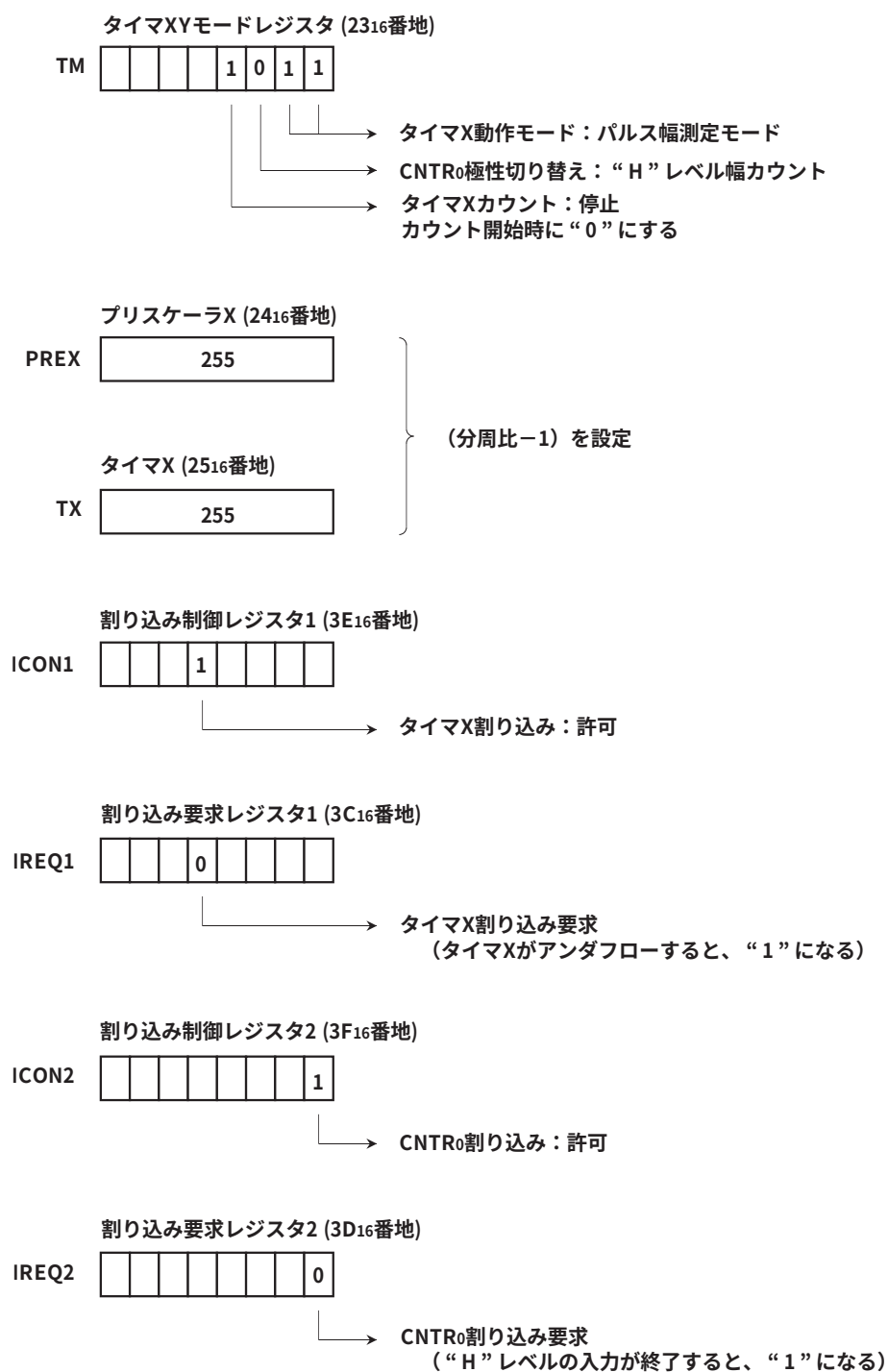


図2.3.22 関連レジスタの設定

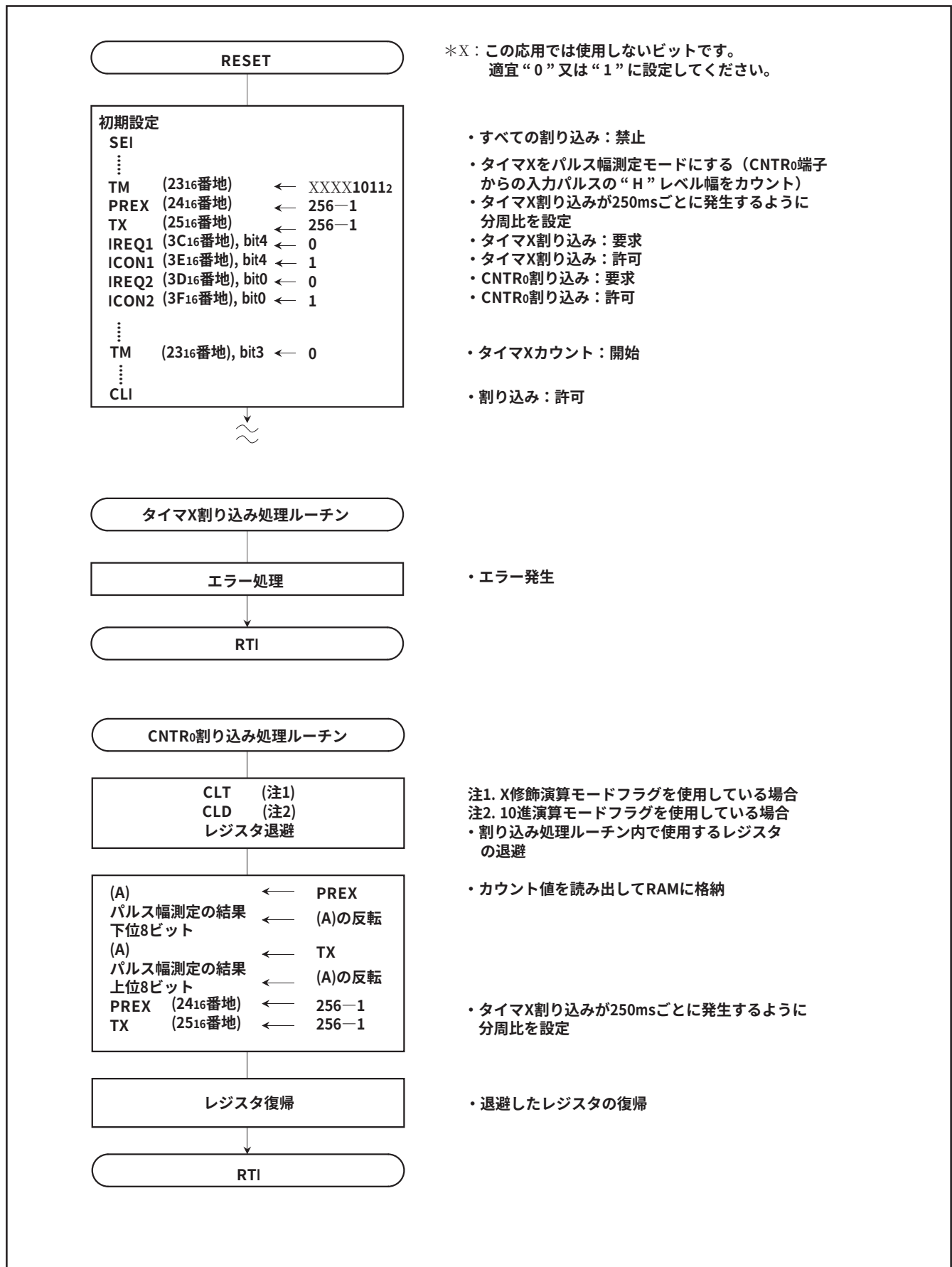


図2.3.23 制御手順

2.3.4 タイマに関する注意事項

- タイマラッチに値 n (“0”～“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- タイマ12カウントソースビット及びタイマXカウントソースビット、タイマYカウントソースビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

2.4 シリアル I/O

本節ではシリアル I/O に関するレジスタの設定方法、注意事項などを説明します。

2.4.1 メモリ配置図

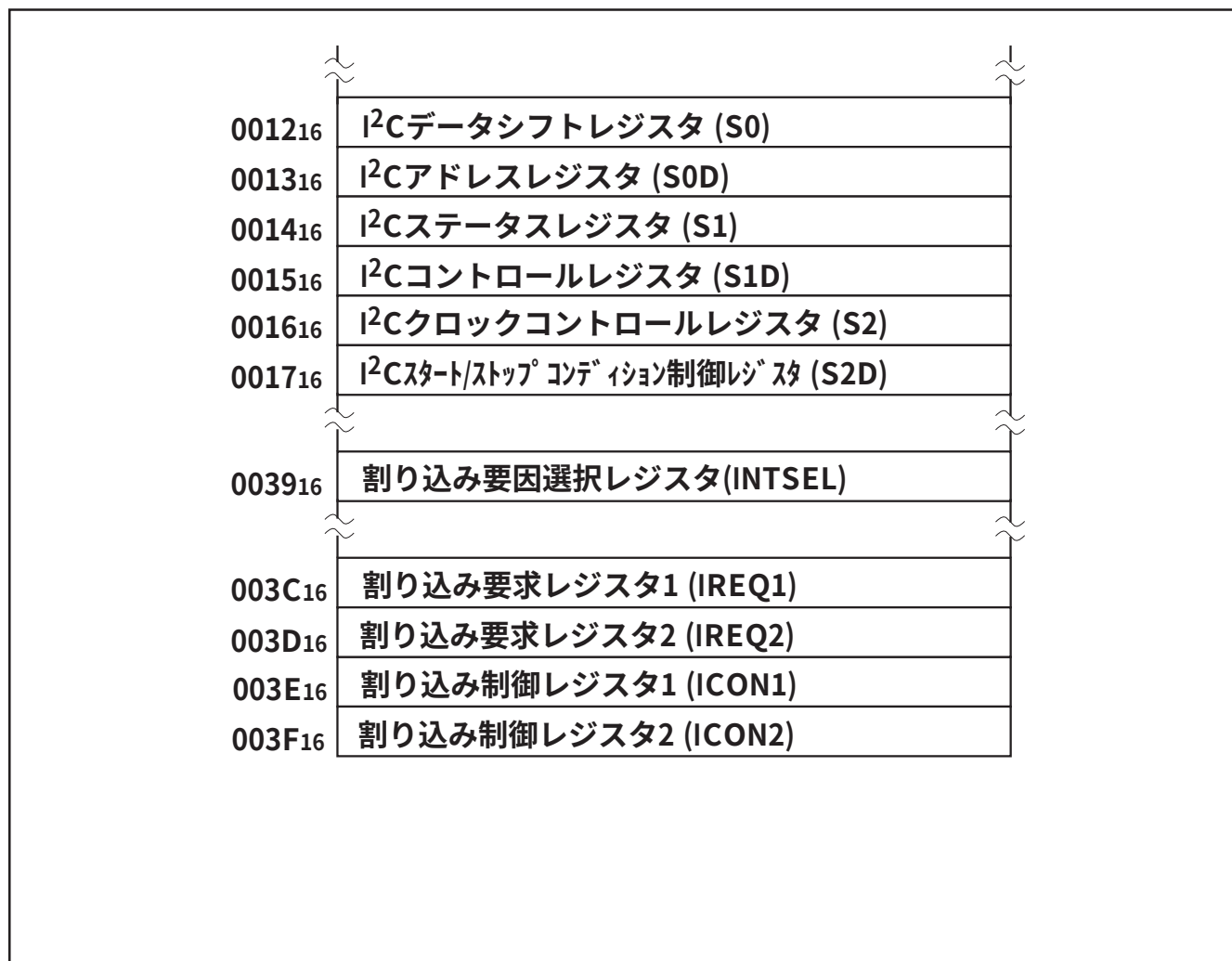


図2.4.1 シリアル I/O 関連レジスタのメモリ配置

2.4.2 関連レジスタ

送信／受信バッファレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

送信／受信バッファレジスタ (TB/RB) 【1816番地】

b	機 能	リセット時	R	W
0	送信データの書き込み及び受信データの読み出しを行うためのバッファレジスタです。	不定	○	○
1	●書き込み時：送信バッファレジスタへ書き込まれます。	不定	○	○
2	●読み出し時：受信バッファレジスタの内容が読み出されます。	不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

注．送信バッファレジスタの内容を読み出すことはできません。
受信バッファレジスタへ書き込むことはできません。

図2.4.2 送信/受信バッファレジスタの構成

シリアルI/O1ステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアルI/O1ステータスレジスタ(SIO1STS) 【1916番地】

b	ビット名	機 能	リセット時	R	W
0	送信バッファエンプティフラグ(TBE)	0:バッファフル状態 1:バッファエンプティ状態	0	○	×
1	受信バッファフルフラグ(RBF)	0:バッファエンプティ状態 1:バッファフル状態	0	○	×
2	送信シフトレジスタシフト終了フラグ(TSC)	0:送信シフト中 1:送信シフト終了	0	○	×
3	オーバランエラーフラグ(OE)	0:オーバランエラーなし 1:オーバランエラー発生	0	○	×
4	パリティエラーフラグ(PE)	0:パリティエラーなし 1:パリティエラー発生	0	○	×
5	フレーミングエラーフラグ(FE)	0:フレーミングエラーなし 1:フレーミングエラー発生	0	○	×
6	サミングエラーフラグ(SE)	0:(OE)U(PE)U(FE)=0 1:(OE)U(PE)U(FE)=1	0	○	×
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1	○	×

図2.4.3 シリアルI/Oステータスレジスタの構成

シリアルI/O制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアルI/O制御レジスタ(SIO1CON) 【1A16番地】

b	ビット名	機 能	リセット時	R	W
0	BRGカウントソース選択ビット(CSS)	高速モード時 0: $f(X_{IN})$ 1: $f(X_{IN})/4$ 低速モード時 0: $f(X_{CIN})$ 1: $f(X_{CIN})/4$	0	○	○
1	シリアルI/O同期クロック選択ビット(SCS)	クロック同期形シリアルI/O選択時 0: BRG出力の4分周 1: 外部クロック入力 UART選択時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	○	○
2	SRDY _I 出力許可ビット(SRDY)	0: 入出力ポート (P47) 1: SRDY _I 出力端子	0	○	○
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファエンプティ 1: 送信ソフト動作終了	0	○	○
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	○	○
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	○	○
6	シリアルI/Oモード選択ビット(SIOM)	0: UART 1: クロック同期形シリアルI/O	0	○	○
7	シリアルI/O許可ビット(SIOE)	0: シリアルI/O1禁止 (P44~P47: 入出力ポート) 1: シリアルI/O1許可 (P44~P47: シリアルI/O機能端子)	0	○	○

図2.4.4 シリアルI/O制御レジスタの構成

UART制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

UART制御レジスタ(UARTCON) 【1B16番地】

b	ビット名	機 能	リセット時	R	W
0	キャラクタ長選択ビット(CHAS)	0: 8ビット 1: 7ビット	0	○	○
1	パリティ許可ビット(PARE)	0: パリティ禁止 1: パリティ許可	0	○	○
2	パリティ選択ビット(PARS)	0: 偶数パリティ 1: 奇数パリティ	0	○	○
3	ストップビット長選択ビット(STPS)	0: 1ストップビット 1: 2ストップビット	0	○	○
4	P45/TxD Pチャネル出力禁止ビット(POFF)	出力モード時 0: CMOS出力 1: Nチャネルオープンドレイン出力	0	○	○
5	これらのビットには何も配置されていません。		1	○	×
6	書き込み不可で、読み出した場合、その内容は		1	○	×
7	“1”です。		1	○	×

図2.4.5 UART制御レジスタの構成

ボーレートジェネレータ

b7 b6 b5 b4 b3 b2 b1 b0

ボーレートジェネレータ (BRG) 【1C16番地】

b	機 能	リセット時	R	W
0	ボーレートジェネレータのカウンタ値を設定します。	不定	○	○
1		不定	○	○
2		不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

図2.4.6 ボーレートジェネレータの構成

シリアルI/O2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアルI/O2制御レジスタ (SIO2CON) 【1D16番地】

b	ビット名	機 能	リセット時	R	W
0	内部同期クロック選択ビット	b2 b1 b0 0 0 0 : $f(X_{IN})/8$	0	○	○
1		0 0 1 : $f(X_{IN})/16$ 0 1 0 : $f(X_{IN})/32$	0	○	○
2		0 1 1 : $f(X_{IN})/64$ 1 1 0 : $f(X_{IN})/128$ 1 1 1 : $f(X_{IN})/256$	0	○	○
3	シリアルI/O2ポート選択ビット	0 : 入出力ポート (P71, P72) 1 : SOUT2, SCLK2出力端子	0	○	○
4	SRDY2出力許可ビット	0 : 入出力ポート (P73) 1 : SRDY2 出力端子	0	○	○
5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	0	○	○
6	シリアルI/O2同期クロック選択ビット	0 : 外部クロック 1 : 内部クロック	0	○	○
7	コンパレータ基準入力選択ビット	0 : P00/P3REF入力 1 : 基準入力固定	0	○	○

図2.4.7 シリアルI/O2制御レジスタの構成

シリアルI/O2レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

シリアルI/O2レジスタ (SIO2) 【1F₁₆番地】

b	機 能	リセット時	R	W
0	シリアル送受信を行うシフトレジスタです。	不定	○	○
1	●送信時：送信データを設定します。	不定	○	○
2	●受信時：受信データが格納されます。	不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

図2.4.8 シリアルI/O2レジスタの構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

割り込み要因選択レジスタ(INTSEL) 【39₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インプットバッファフル 割り込み要因選択ビット	0:INT0割り込み 1:インプットバッファフル割り込み	0	○	○
1	INT1/アウトプットバッファエンジン 割り込み要因選択ビット	0:INT1割り込み 1:アウトプットバッファエンジン	0	○	○
2	シリアルI/O1送信/SCL,SDA 割り込み要因選択ビット	0:シリアルI/O1送信割り込み *1 1:SCL,SDA割り込み	0	○	○
3	CNTR0/SCL,SDA割り込み 要因選択ビット	0:CNTR0割り込み *1 1:SCL,SDA割り込み	0	○	○
4	シリアルI/O2/I ² C割り込み 要因選択ビット	0:シリアルI/O2割り込み *2 1:I ² C割り込み	0	○	○
5	INT2/I ² C割り込み要因 選択ビット	0:INT2割り込み *2 1:I ² C割り込み	0	○	○
6	CNTR1/キーオンイクアップ 割り込み要因選択ビット	0:CNTR1割り込み *3 1:キーオンイクアップ割り込み	0	○	○
7	AD変換/キーオンイクアップ 割り込み要因選択ビット	0:AD変換割り込み *3 1:キーオンイクアップ割り込み	0	○	○

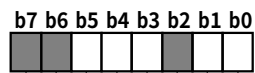
*1: 同時に“1”を書き込まないでください。

*2: 同時に“1”を書き込まないでください。

*3: 同時に“1”を書き込まないでください。

図2.4.9 割り込み要因選択レジスタの構成

割り込みエッジ選択レジスタ



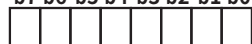
割り込みエッジ選択レジスタ(INTEDGE) 【3A 16番地】

b	ビット名	機 能	リセット時	R	W
0	INT ₀ 割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
1	INT ₁ 割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
2	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○	×
3	INT ₂ 割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
4	INT ₃ 割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
5	INT ₄ 割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
6	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○	×
7			0	○	×

図2.4.10 割り込みエッジ選択レジスタの構成

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要求レジスタ1(IREQ1)【3C16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インポートパッファフル 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	INT1/アウトパッファエンピ ティ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアル/O1受信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	シリアル/O1送信/SCLSDA 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	タイマ1割り込み要求ビ ット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	タイマ2割り込要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.4.11 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要求レジスタ2(IREQ2)【3D16番地】

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り 込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	CNTR1/キーボードイクアッ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアル/O2/I2C割り込 み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	INT2/I2C割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	INT3割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	INT4割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	A-D変換/キーボードイクアッ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	○	×

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.4.12 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み制御レジスタ1(ICON1) 【3E16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インポートパッファフル 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	INT1/アウトパッファエンピ ティ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O1受信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	シリアルI/O1送信SCL、 SDA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	タイマX割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	タイマY割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	タイマ1割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	タイマ2割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○

図2.4.13 割り込み制御レジスタ1の構成

割り込み制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

割り込み制御レジスタ2(ICON2) 【3F16番地】

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	CNTR1/キーウォークアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O2/I2C割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	INT2/I2C割り込み 許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	INT3割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	INT4割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	A-D変換/キーウォークアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	このビットは“0”に固定してください。		0	○	○

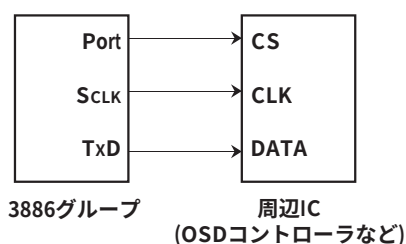
図2.4.14 割り込み制御レジスタ2の構成

2.4.3 シリアルI/Oの接続例

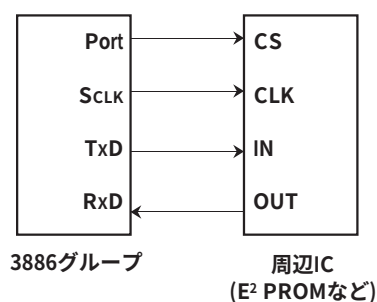
(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.4.15に示します。
いずれもクロック同期形シリアルI/Oモードを使用した接続例です。

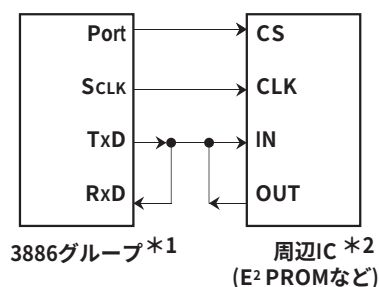
1. 送信のみ行う場合
(RxD端子は入出力ポートとして使用)



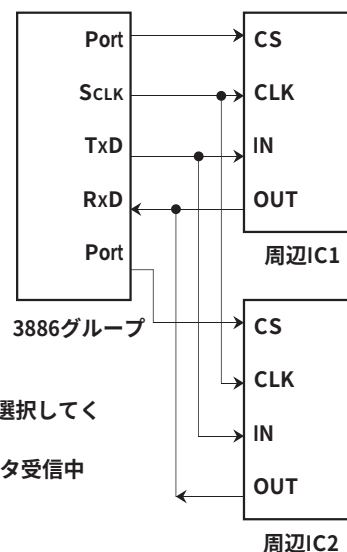
2.送受信を行う場合



3.送受信を行う(RxDとTxDを接続している)場合 (周辺ICにおいてINとOUTを接続している場合)



4. 複数のICを接続する場合



※1. TxD端子の出力制御には、Nチャネルオープンドレイン出力を選択してください。

2. 周辺ICのOUT端子はNチャネルオープンドレイン出力で、データ受信中はハイインピーダンス状態になるものを使用します。

注1. 「Port」は、ソフトウェアで制御される出力ポートです。

2. シリアルI/O2の場合はTxD及びRxDではなく、SOUT及びSINを使用します。

図2.4.15 シリアルI/Oの接続例1

(2) マイコンとの接続

他のマイコンとの接続例を図2.4.16に示します。

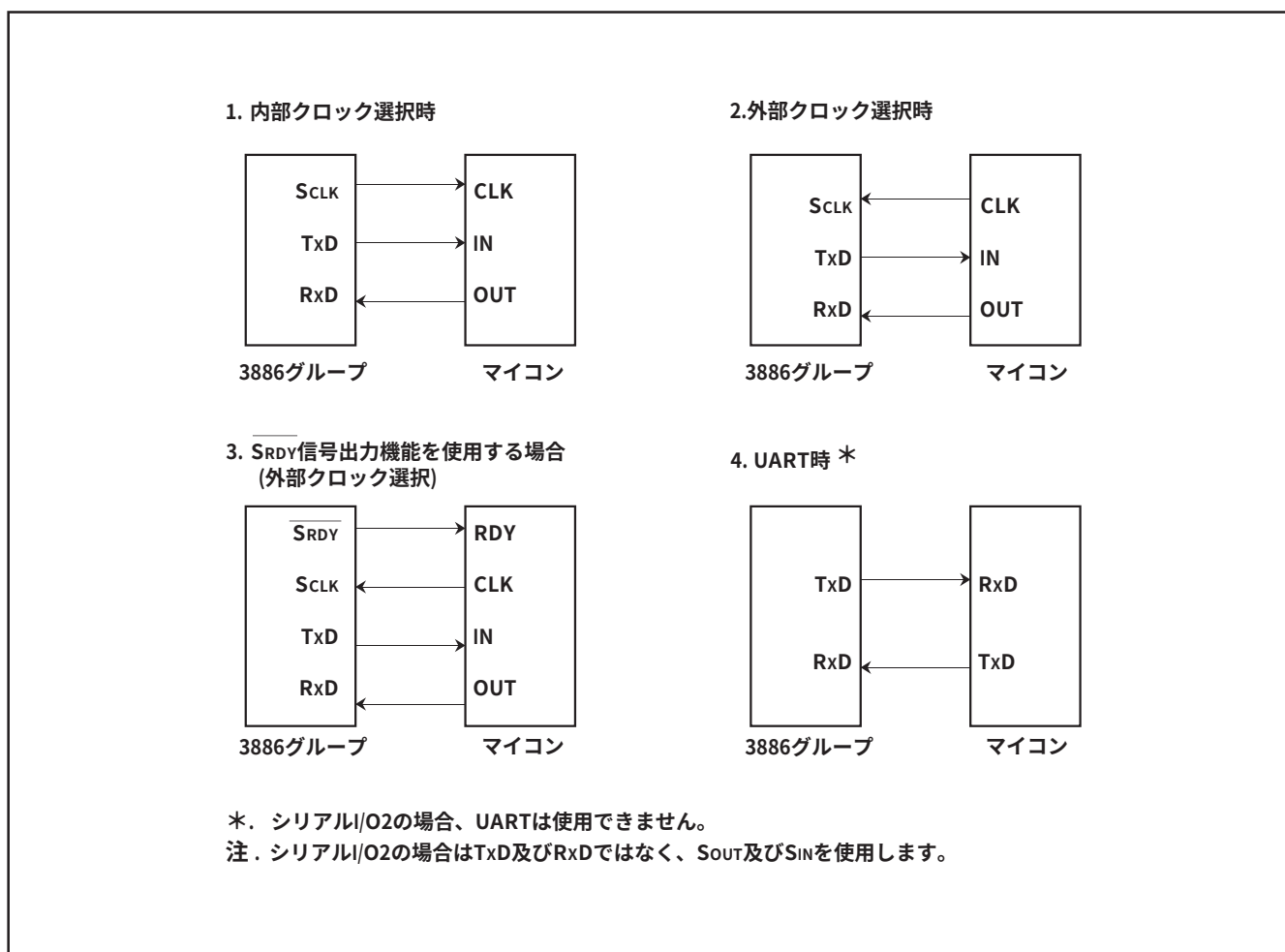


図2.4.16 シリアルI/Oの接続例2

2.4.4 シリアルI/O転送データフォーマット

シリアルI/O1はクロック同期形、非同期形(UART)が選択できます。

シリアルI/O2はクロック同期形で動作します。

シリアルI/O転送データフォーマットを図2.4.17に示します。

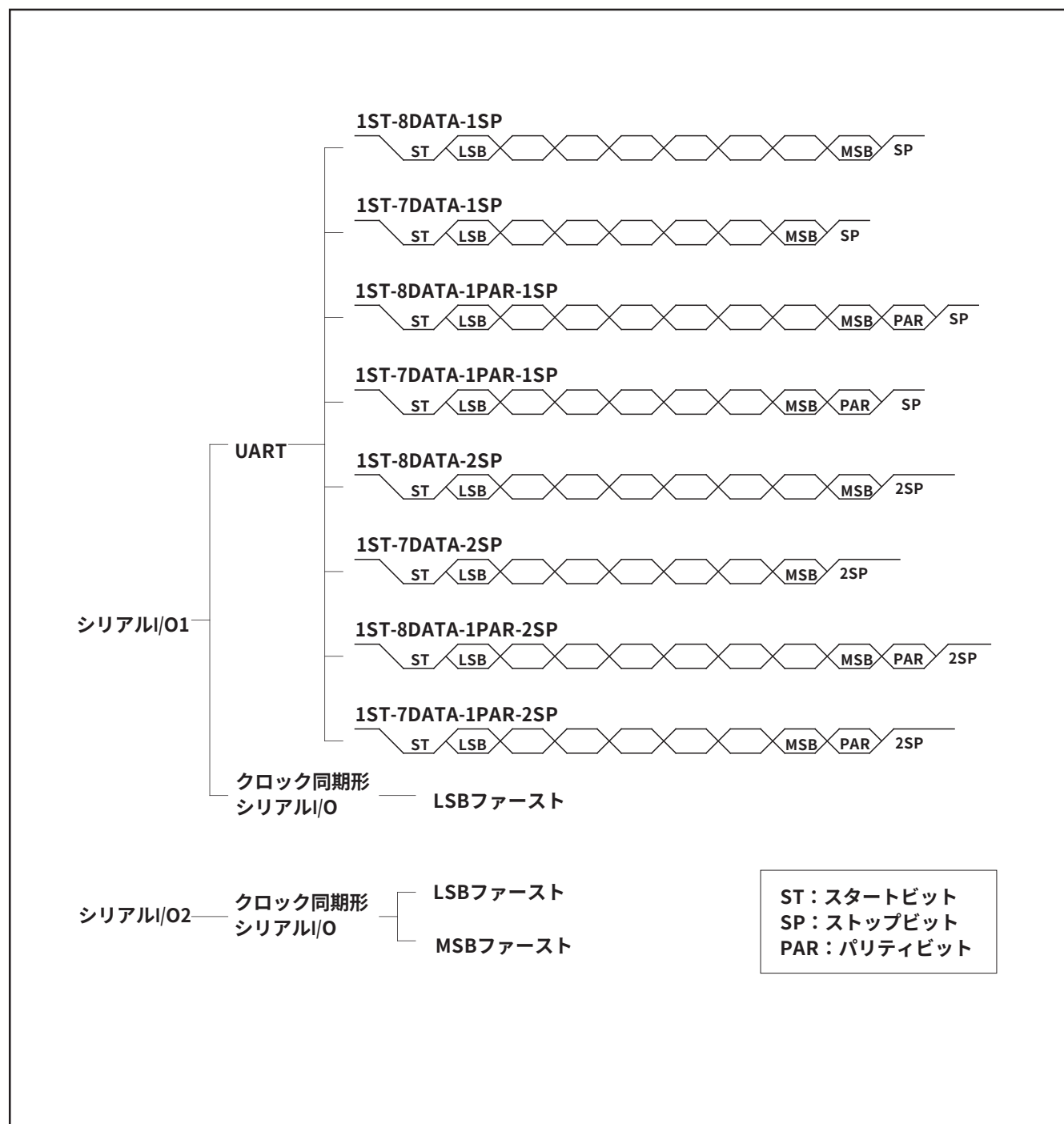


図2.4.17 シリアルI/O転送データフォーマット

2.4.5 シリアル I/O の応用例

(1) クロック同期形シリアル I/O を使用した通信(送信/受信)

ポイント：クロック同期形シリアル I/O を使用して 2 バイトデータの送受信を行います。
通信制御には、**SRDY1** 信号を使用します。

接続図を図 2.4.18、タイミング図を図 2.4.19、送信側関連レジスタの設定を図 2.4.20、受信側関連レジスタの設定を図 2.4.21 に示します。

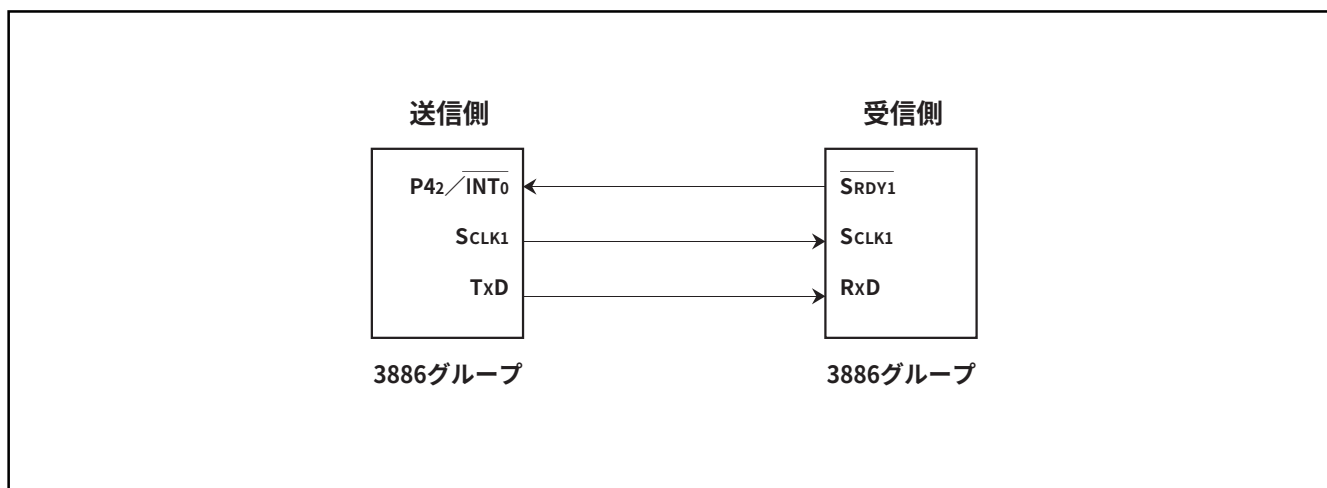


図 2.4.18 接続図

- 仕様：
- ・シリアル I/O1 (クロック同期形シリアル I/O を選択) を使用。
 - ・同期クロック周波数：125 kHz ($f(XIN) = 4 \text{ MHz}$ の 32 分周)
 - ・**SRDY1** (受信可能信号) を使用。
 - ・2 ms 間隔 (タイマにより生成) で受信側から **SRDY1** 信号を出力し、2 バイトのデータ送信側から受信側へ転送。

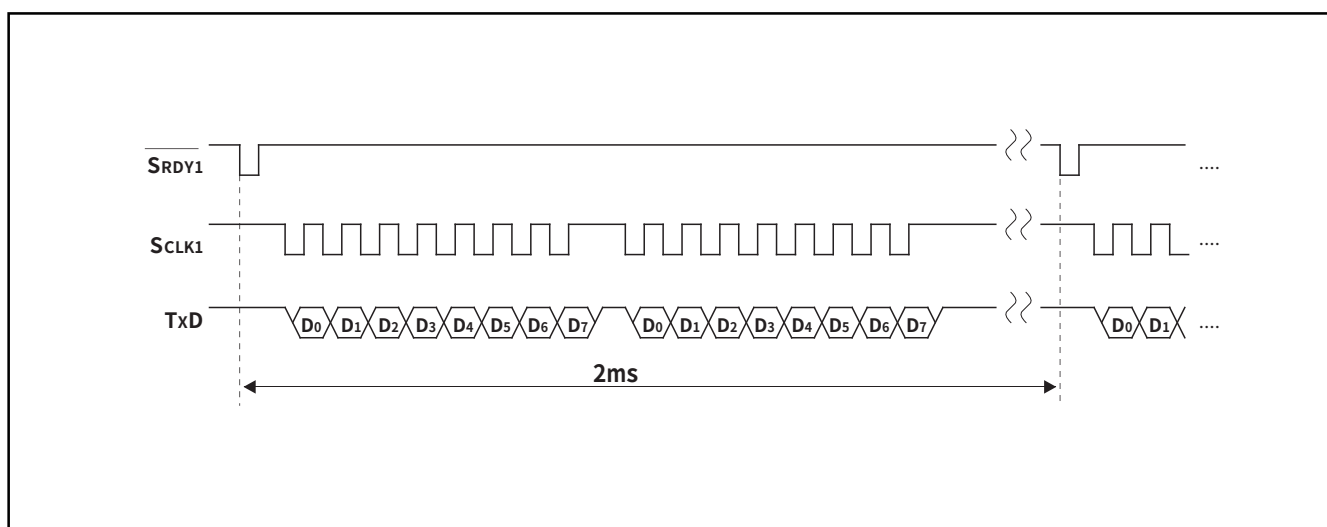


図 2.4.19 タイミング図

送信側

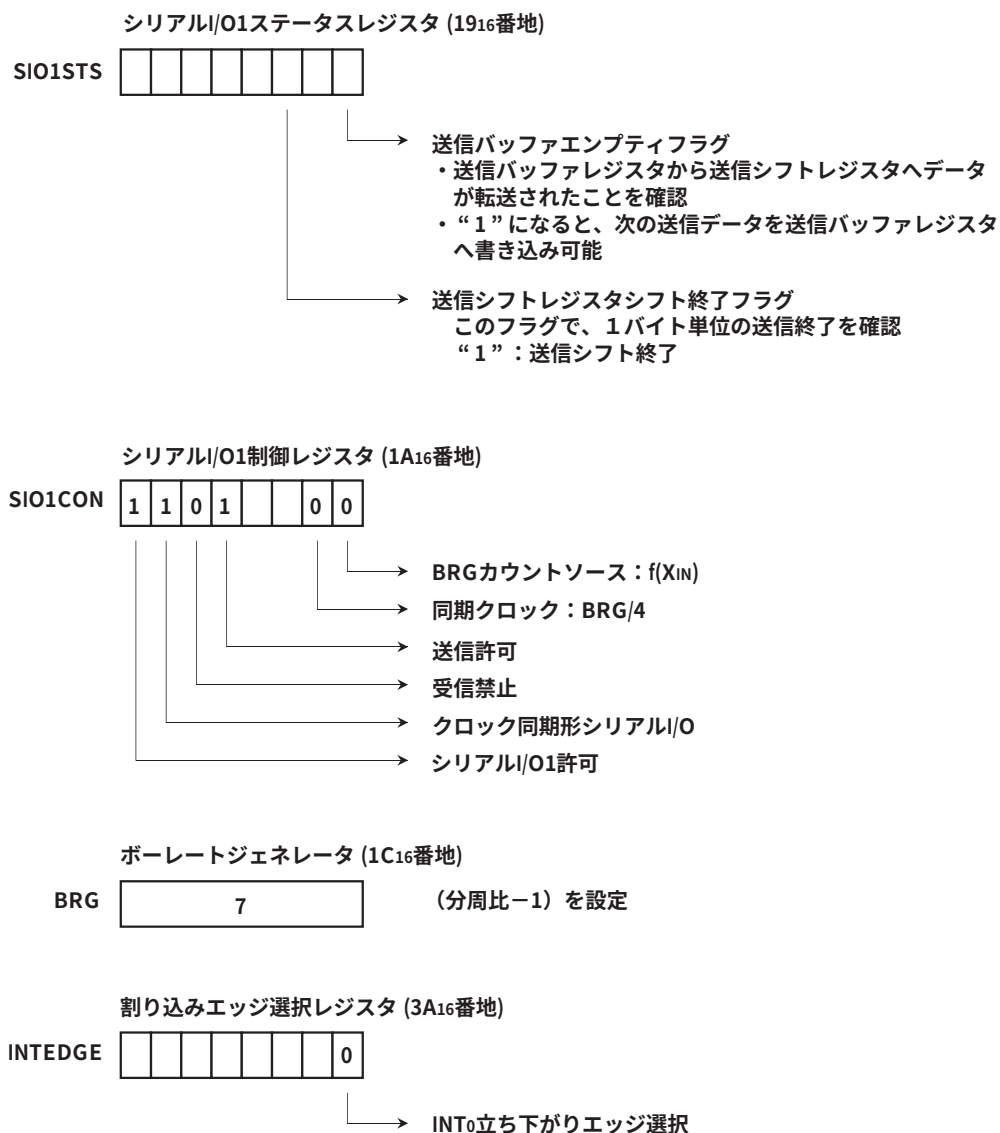


図2.4.20 送信側関連レジスタの設定

受信側

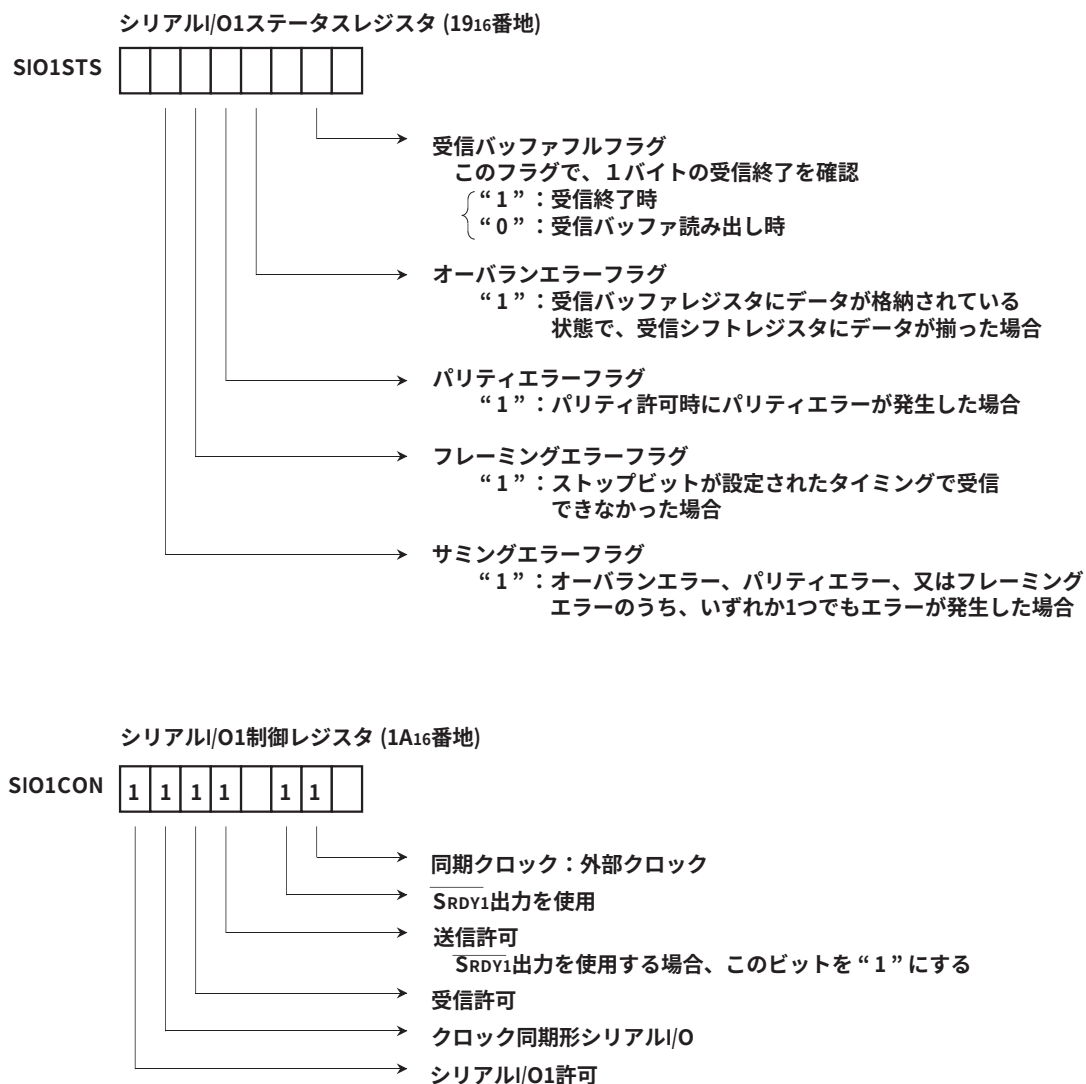


図2.4.21 受信側関連レジスタの設定

図2.4.22に送信側の制御手順、図2.4.23に受信側の制御手順を示します。

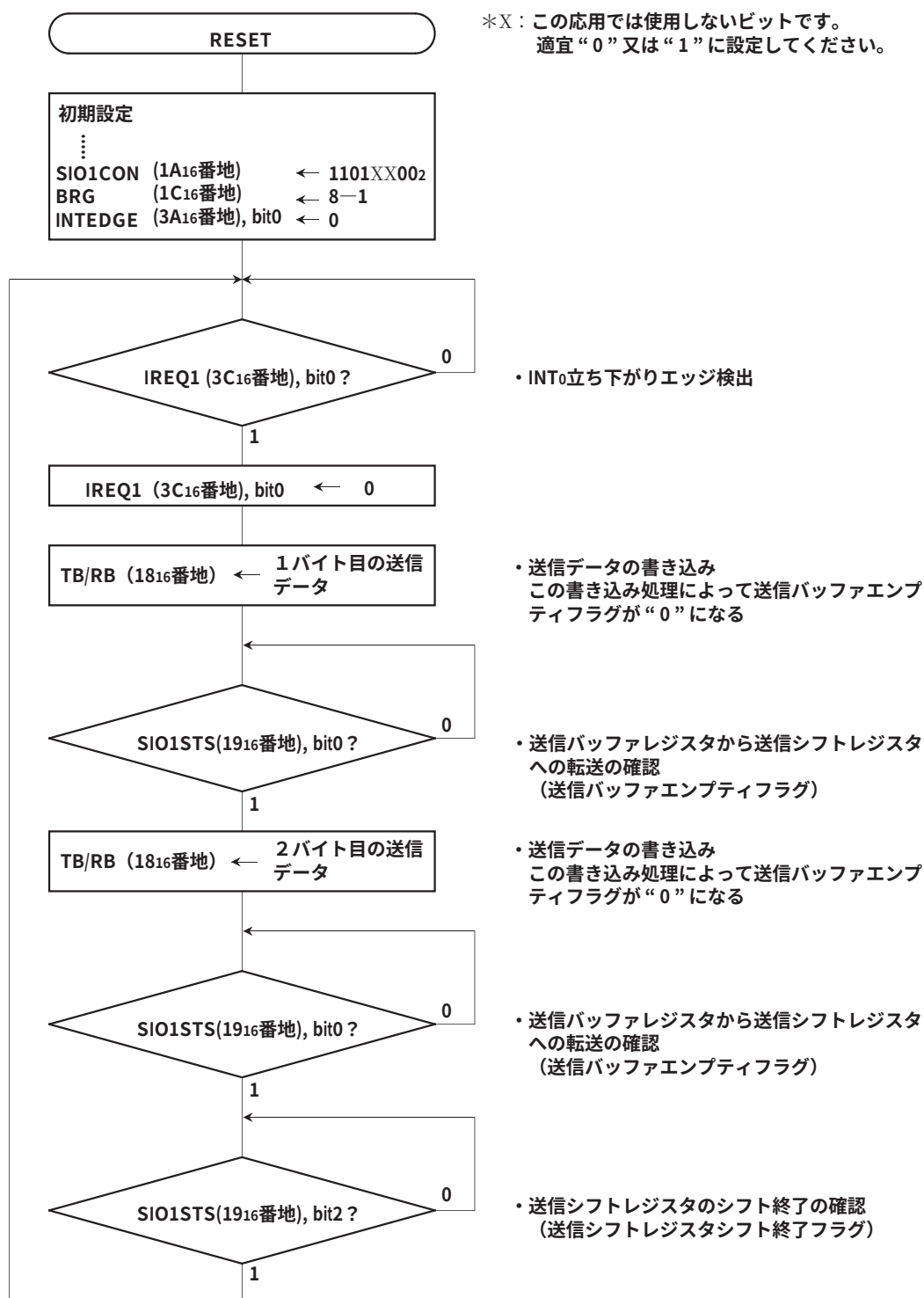


図2.4.22 送信側の制御手順

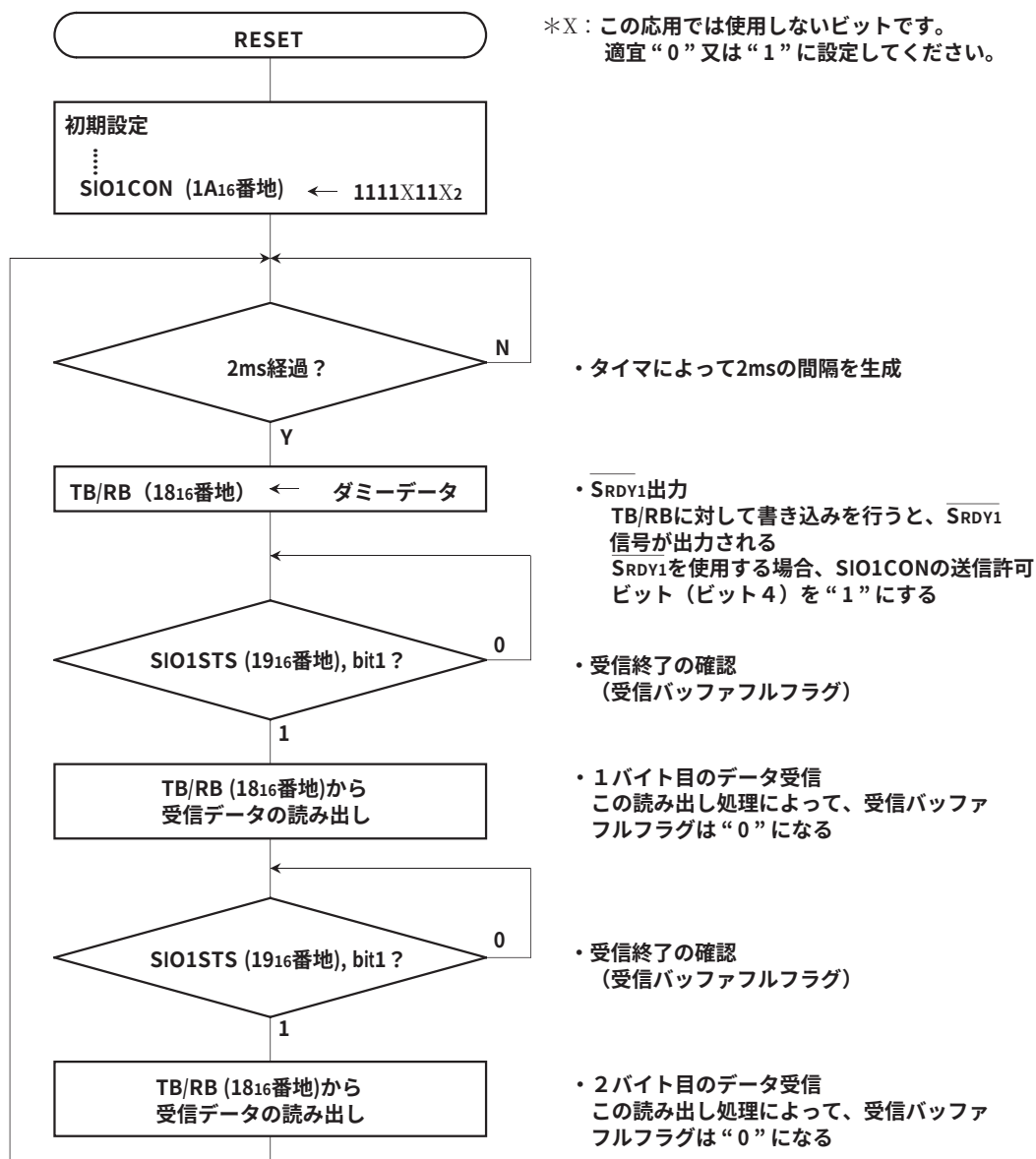


図2.4.23 受信側の制御手順

(2) シリアルデータ出力(周辺I/Cの制御)

ポイント：クロック同期形シリアルI/Oを使用して4バイトデータの送受信を行います。
ポートP53を使用して、周辺ICに対するCS信号を出力します。

同一の仕様でシリアルI/O1を使用した例と、シリアルI/O2を使用した例を示します。接続図を図2.4.24、タイミング図を図2.4.25に示します。

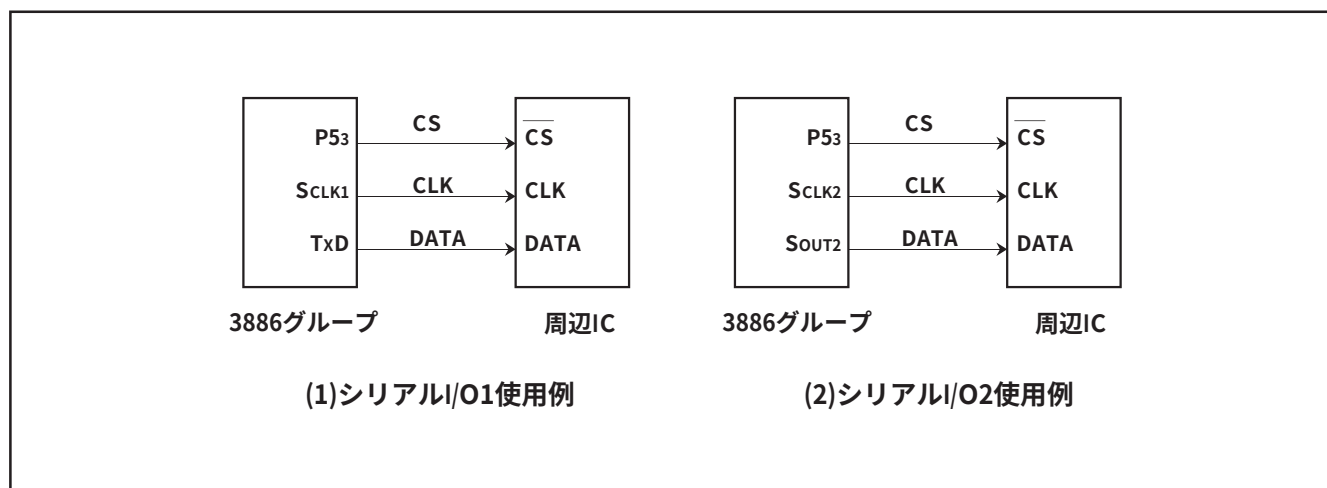


図2.4.24 接続図

- 仕様：
- ・クロック同期形シリアルI/Oを使用。
 - ・同期クロック周波数：125 kHz ($f(X_{IN}) = 4 \text{ MHz}$ の32分周)
 - ・転送方向：LSBファースト
 - ・シリアルI/O割り込みは使用しない。
 - ・ポートP53を周辺ICのCS端子(“L”アクティブ)に接続して、送信を制御(ポートP53の出力レベルはソフトウェアで制御)。

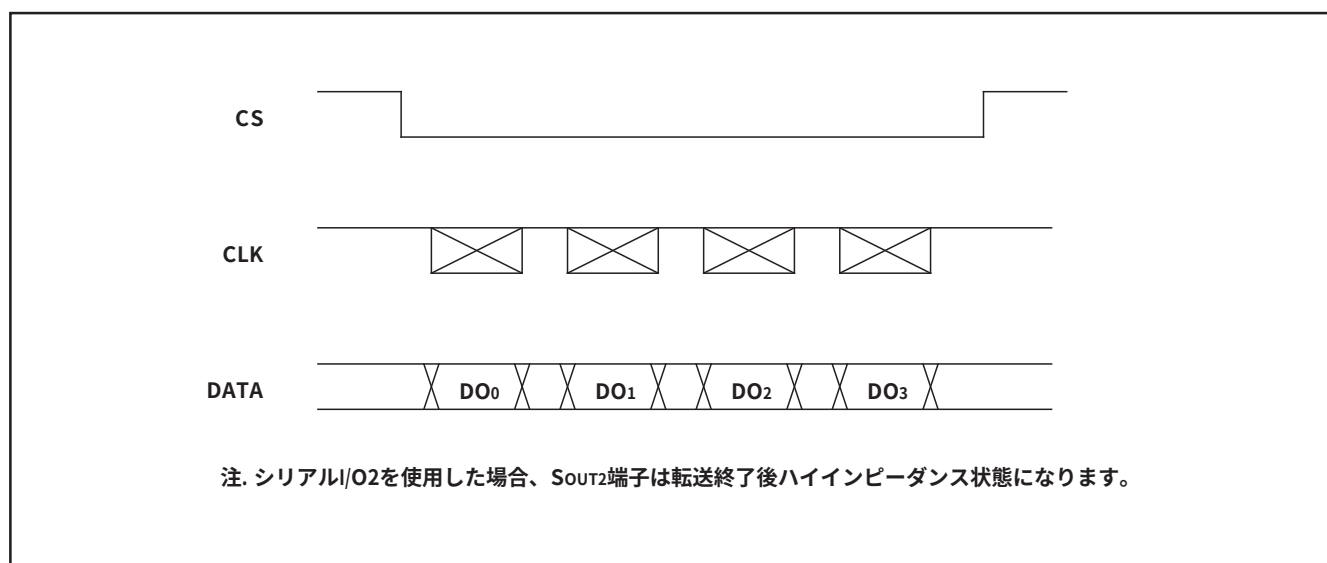


図2.4.25 タイミング図

図2.4.26にシリアルI/O1関連レジスタの設定、図2.4.27にシリアルI/O1送信データの設定を示します。

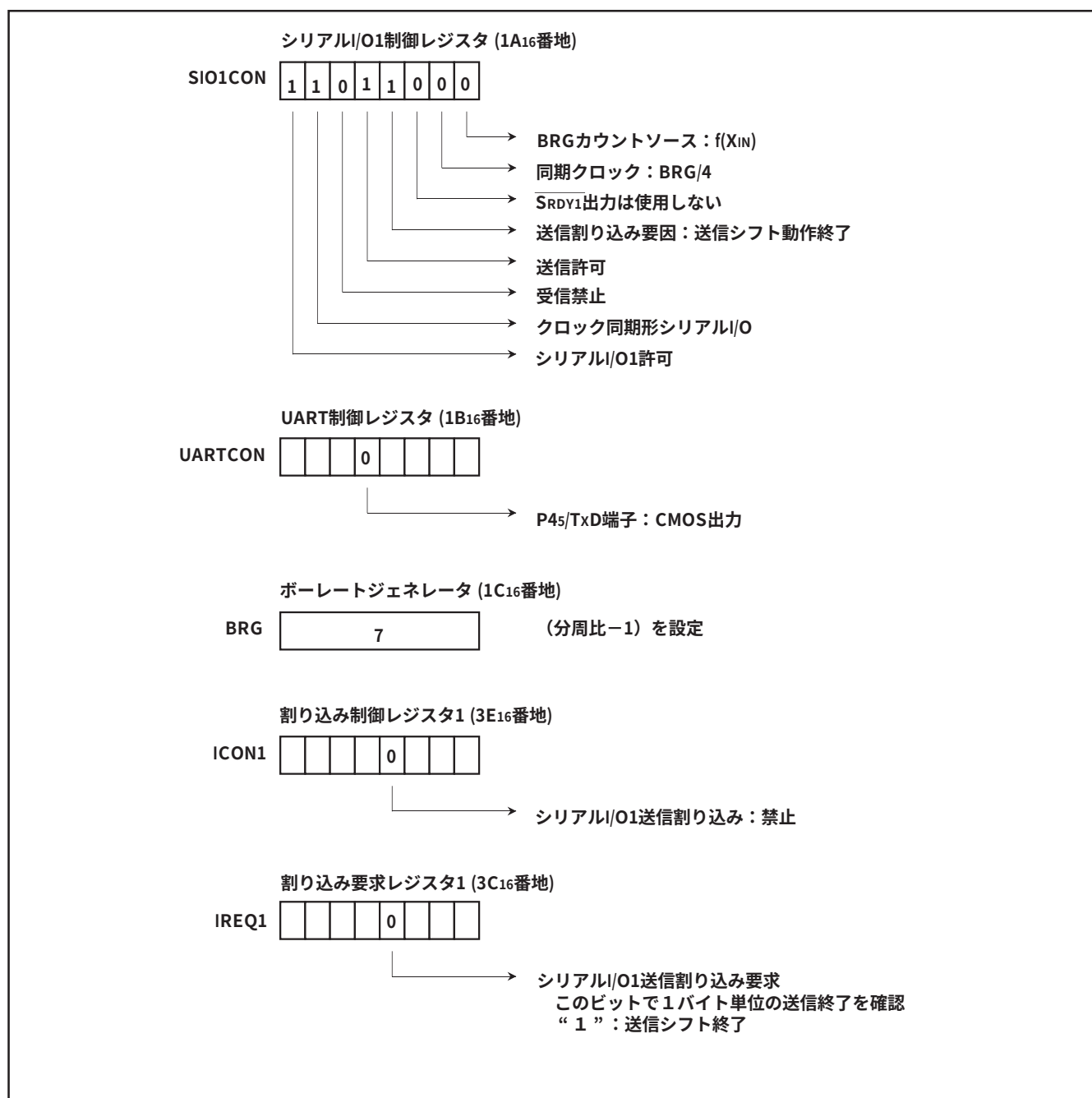


図2.4.26 シリアルI/O1関連レジスタの設定

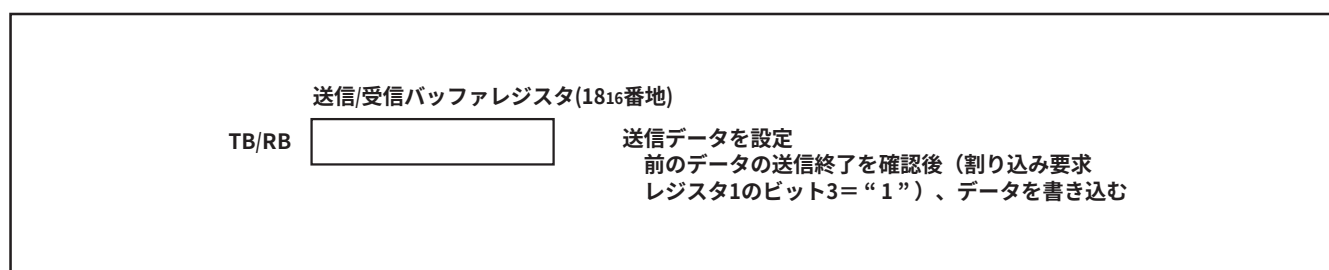


図2.4.27 シリアルI/O1送信データの設定

図2.4.26に示すようにレジスタを設定し、送信バッファレジスタにデータを書き込むことによって、シリアルI/O1は1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつ受信バッファレジスタに書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.28にシリアルI/O1制御手順を示します。

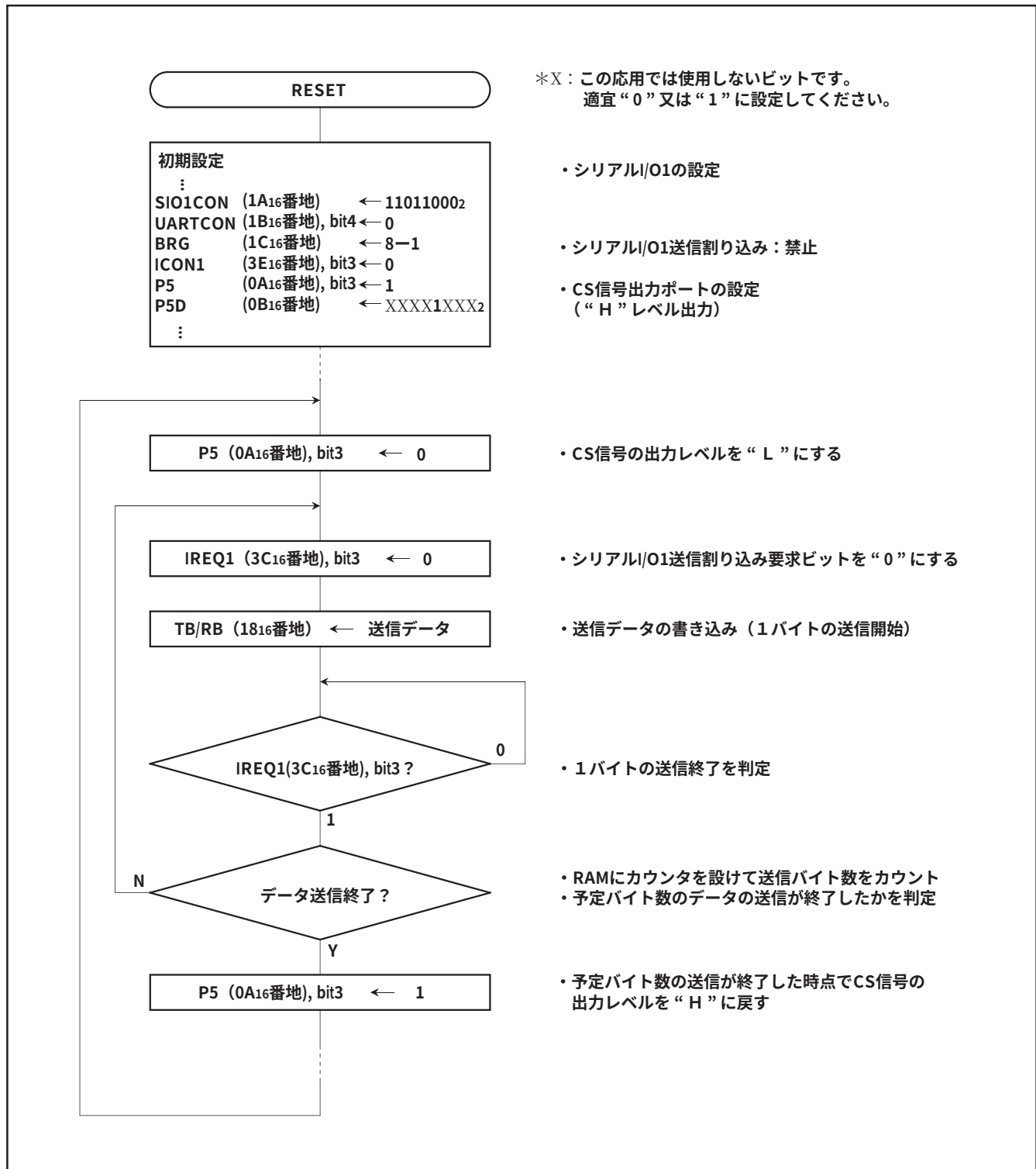


図2.4.28 シリアルI/O1制御手順

図2.4.29にシリアルI/O2関連レジスタの設定、図2.4.30にシリアルI/O2送信データの設定を示します。

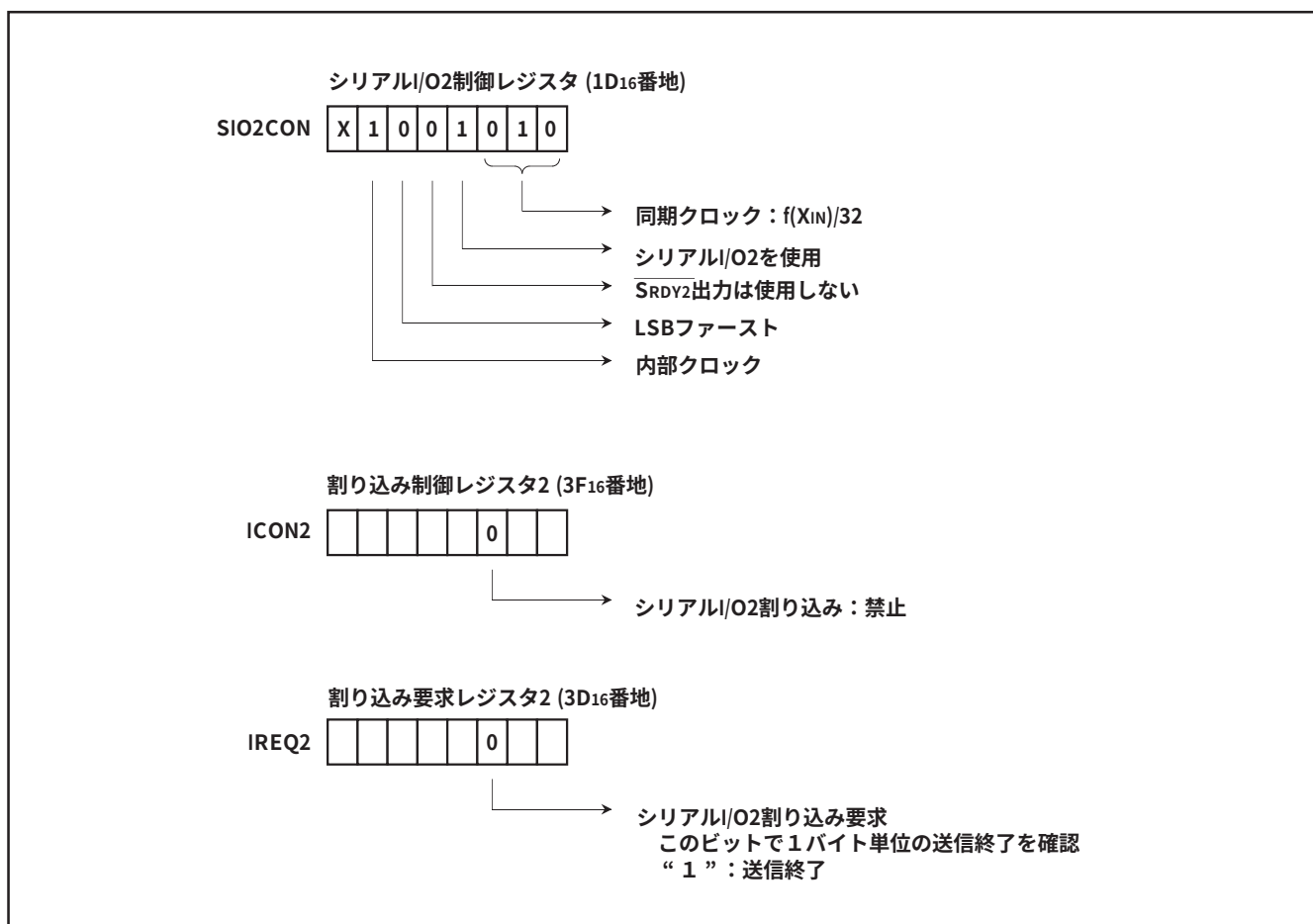


図2.4.29 シリアルI/O2関連レジスタの設定

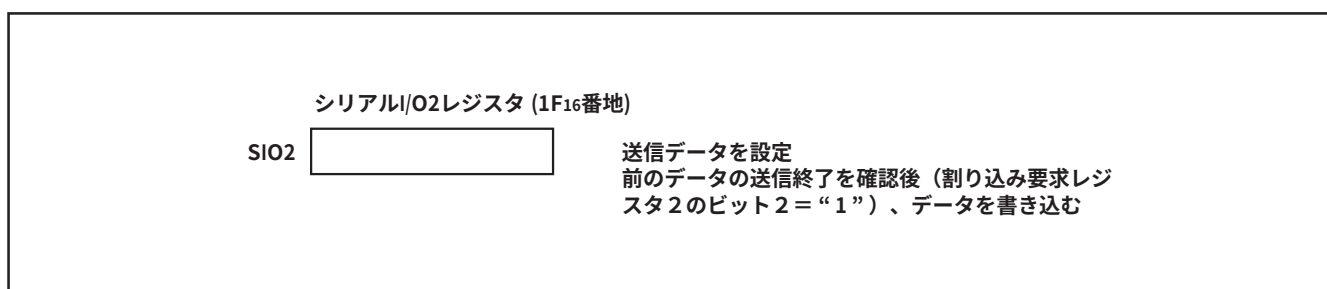


図2.4.30 シリアルI/O2送信データの設定

図2.4.29に示すようにレジスタを設定し、シリアルI/O2レジスタにデータを書き込むことによって、シリアルI/O2は1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつシリアルI/O2に書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.31にシリアルI/O2制御手順を示します。

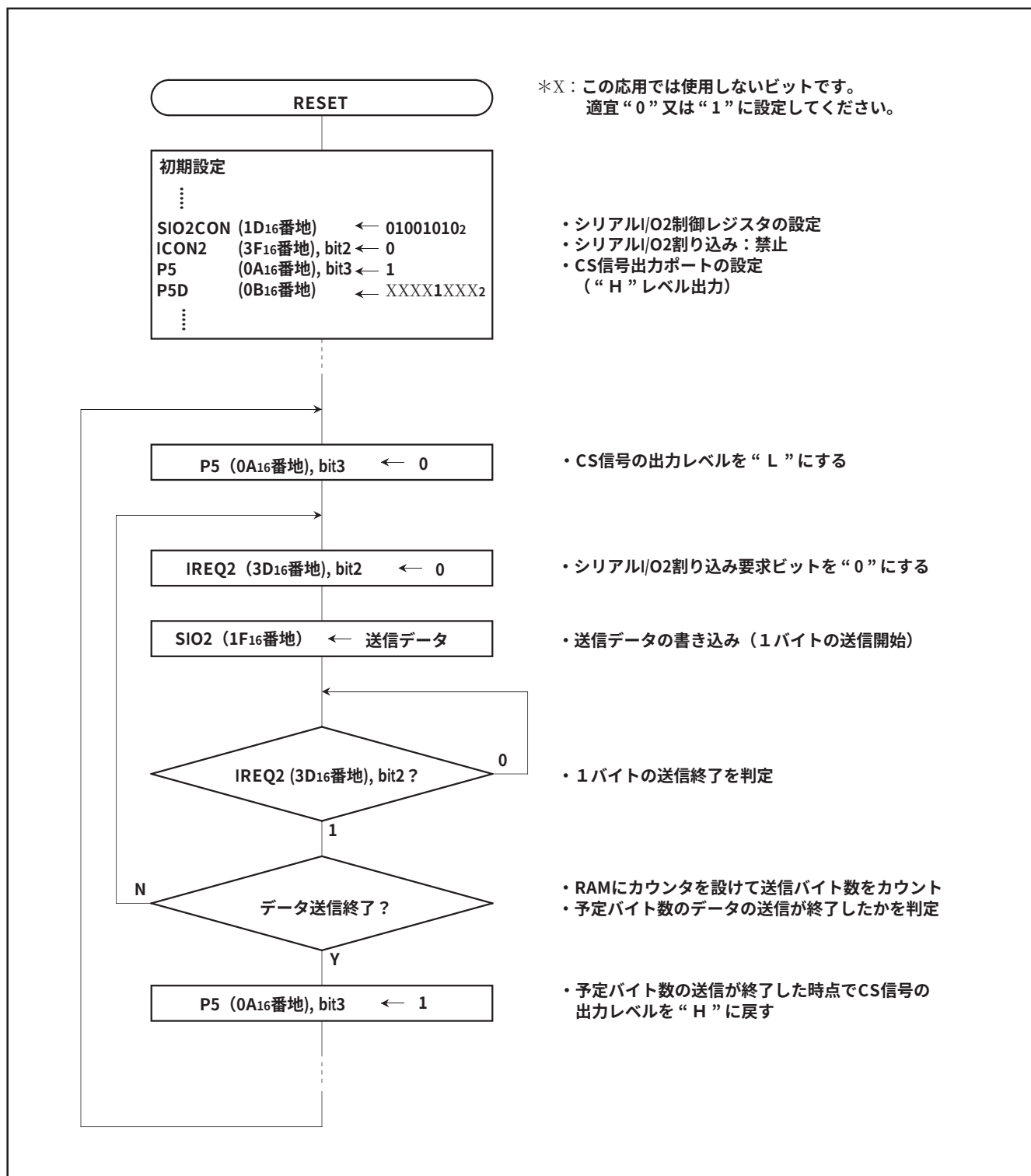


図2.4.31 シリアルI/O2制御手順

(3) 2つのマイコン間におけるブロックデータ(決められたバイト数のデータ)の周期的な送受信

ポイント：クロック同期形シリアルI/Oを用いて通信を行う場合、同期クロックに含まれたノイズによって送信側と受信側でクロックとデータ間の同期がずれることがあります。そのずれを補正する「頭合わせ」を利用し、常に正常な動作を行います。この例ではブロックの間隔を利用して頭合わせを行っています。

図2.4.32に接続図を示します。

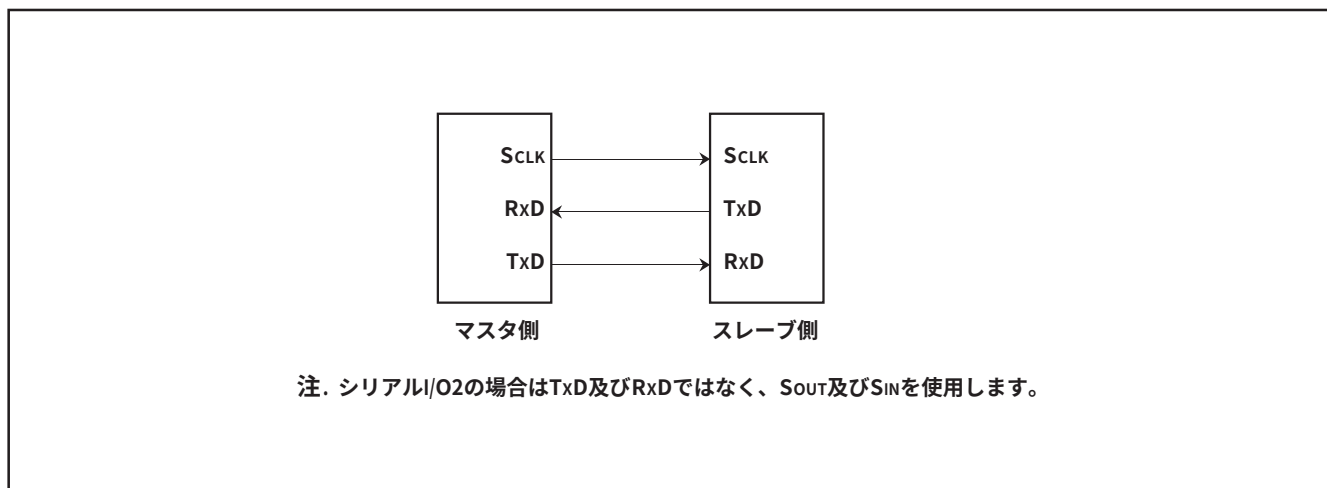


図2.4.32 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/O選択)を使用。
 - ・同期クロック周波数：131 kHz ($f(X_{IN}) = 4.19\text{MHz}$ の32分周)
 - ・バイト周期：488 μs
 - ・送受信バイト数：8バイト/各ブロック
 - ・ブロックの転送周期：16 ms
 - ・ブロックの転送期間：3.5 ms
 - ・ブロック間隔：12.5 ms
 - ・頭合わせ時間：8 ms

仕様の制限事項：

- ・「バイト周期 - 1バイトの転送時間」の時間内で受信データの読み込みと次の送信データの設定が行えること。
- 注：この例ではシリアルI/O1受信割り込み要求発生から次の同期クロックの入力までの時間は431 μs 。
- ・「頭合わせ時間 < ブロック間隔」であること。

通信は図2.4.33に示すタイミングで行います。スレーブ側では一定時間(頭合わせ時間)以上同期クロックが入力されていない場合、次に入力されたクロックをブロックの初め(頭)として処理します。

1ブロック(8バイト)受信後に入力されたクロックは無視されます。図2.4.34に関連レジスタの設定を示します。

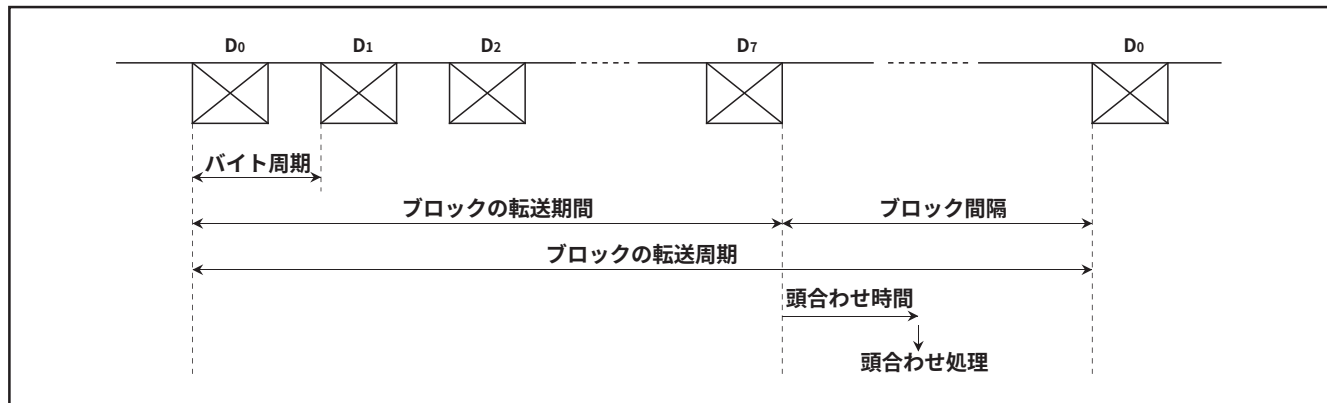


図2.4.33 タイミング図

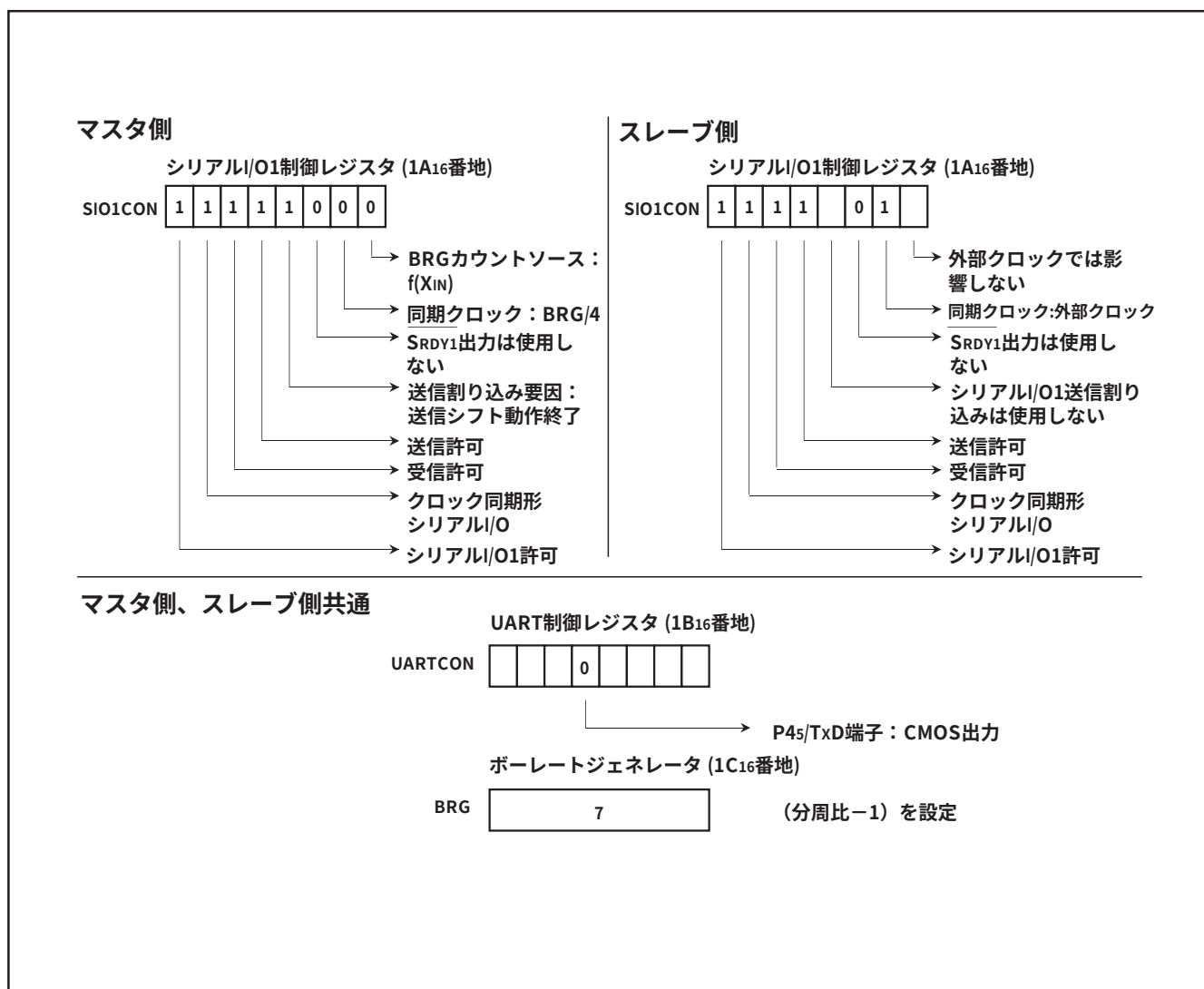


図2.4.34 関連レジスタの設定

ソフトウェアによる制御：

●マスタ側の制御

図2.4.34に示す関連レジスタの設定終了後、マスタ側は送信バッファレジスタに送信データを書き込むことによって1バイトデータの送受信を開始します。

図2.4.33に示すタイミングで通信を行うためには、送信データの書き込みはタイミングを測って行い、以下に示すいずれかの場合に受信データを読み出してください。

- ・シリアルI/O1送信割り込み要求ビットが“1”の場合
- ・次の送信データを送信バッファレジスタに書き込む前

タイマ割り込みを用いた場合のマスタ側の制御を図2.4.35に示します。

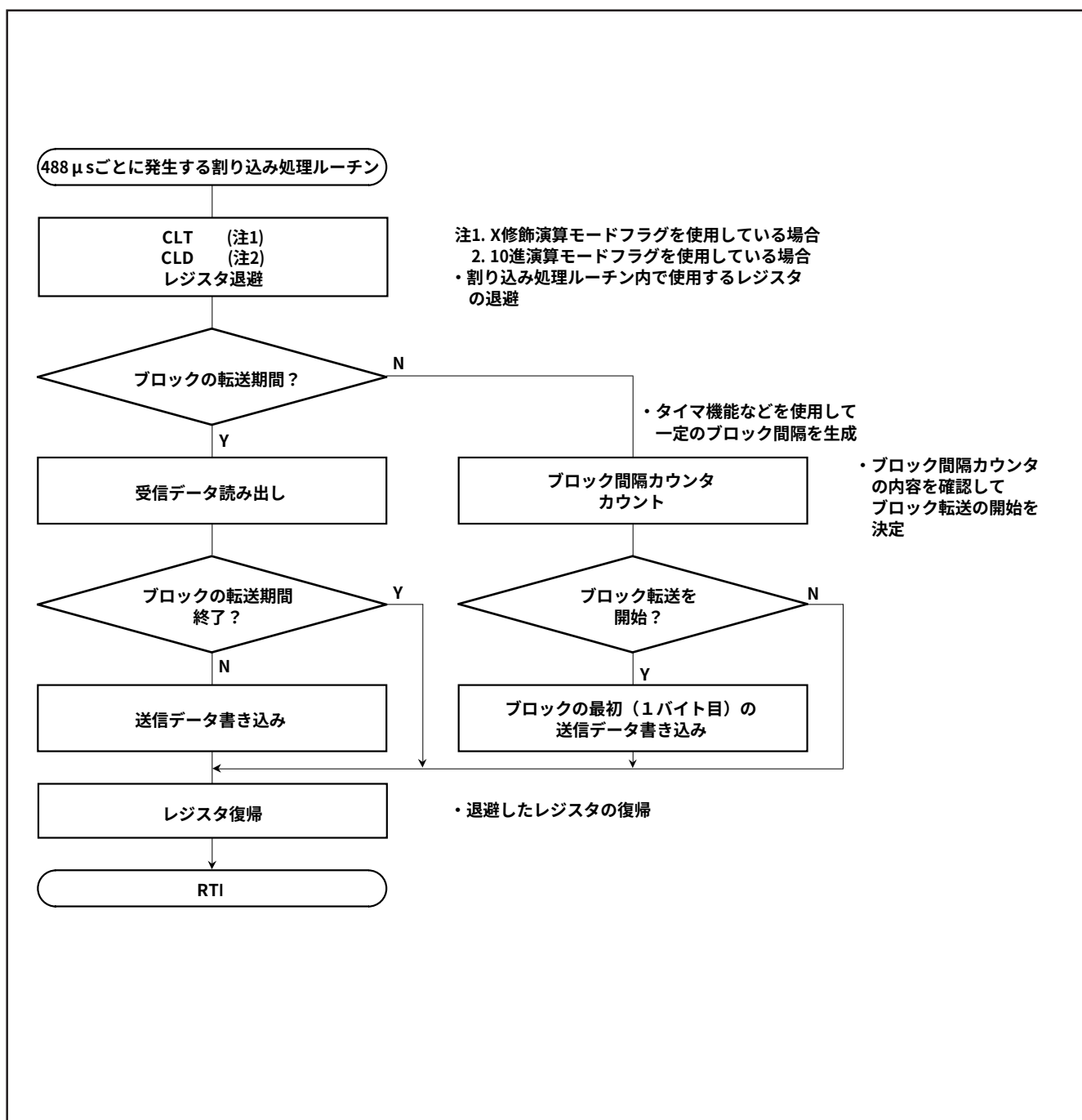


図2.4.35 マスタ側の制御手順

●スレーブ側の制御

図2.4.34に示す関連レジスタの設定終了後、スレーブ側は常に同期クロックを受け付けられる状態になり、8ビットの同期クロックを受信するごとにシリアルI/O1受信割り込みが発生します。

シリアルI/O1受信割り込み処理ルーチンでは、受信データを読み出した後、次に送信するデータを送信バッファレジスタに書き込みます。

ただし、一定時間(頭合わせ時間)以上、シリアルI/O1受信割り込みが発生しない場合は、以下の処理が行われます。

1. ブロックの1バイト目の送信データを送信バッファレジスタに書き込む
2. 次に受信するデータをブロックの第1バイト目の受信データとして処理する

シリアルI/O1受信割り込みといずれかのタイマ割り込み(頭合わせ用)を使用したスレーブ側の制御を図2.4.36に示します。

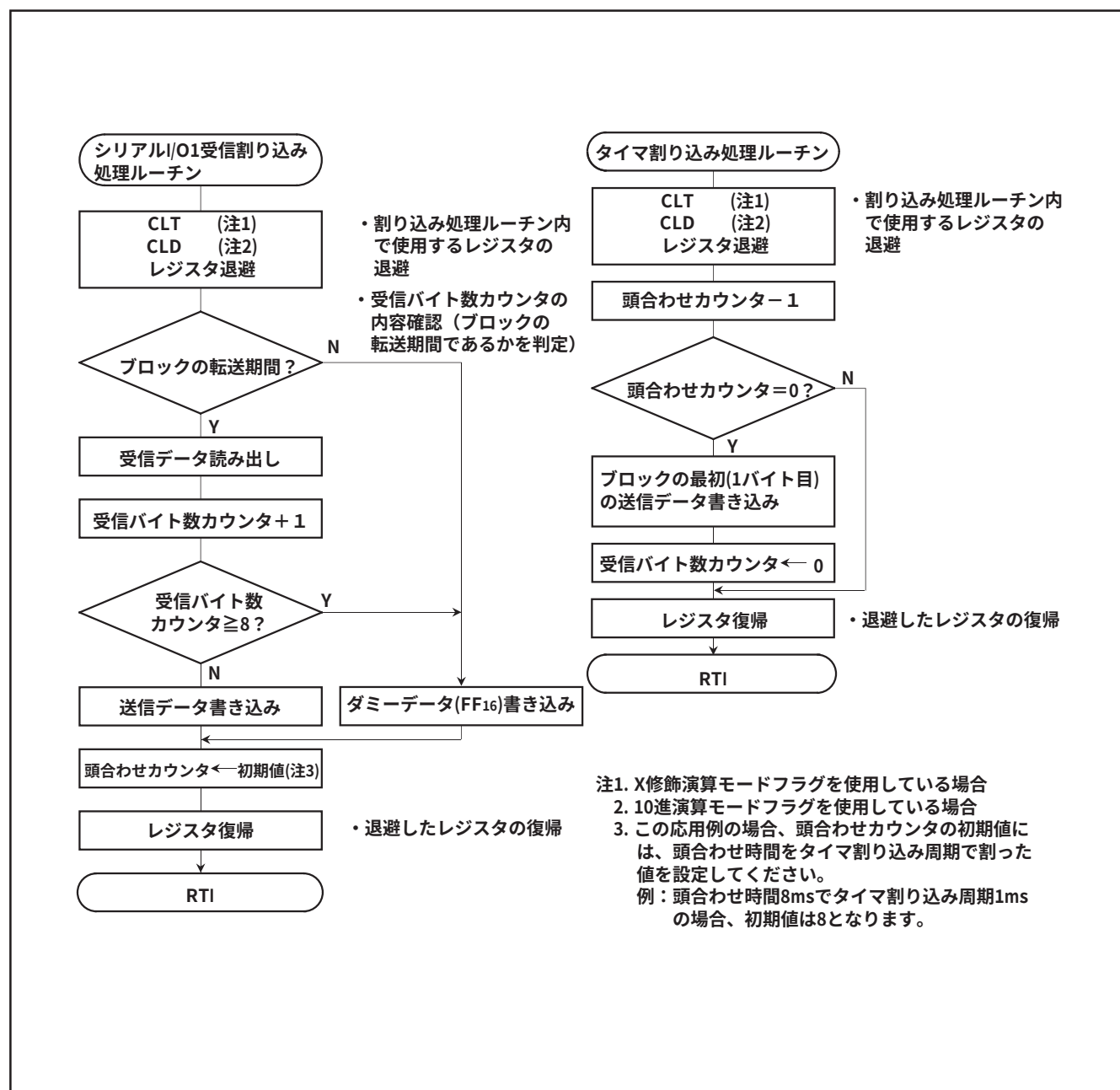


図2.4.36 スレーブ側の制御手順

(4) 非同期形シリアルI/O(UART)を使用した通信(送信/受信)

ポイント：クロック同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、ポートP40を使用します。

接続図を図2.4.37、タイミング図を図2.4.38に示します。

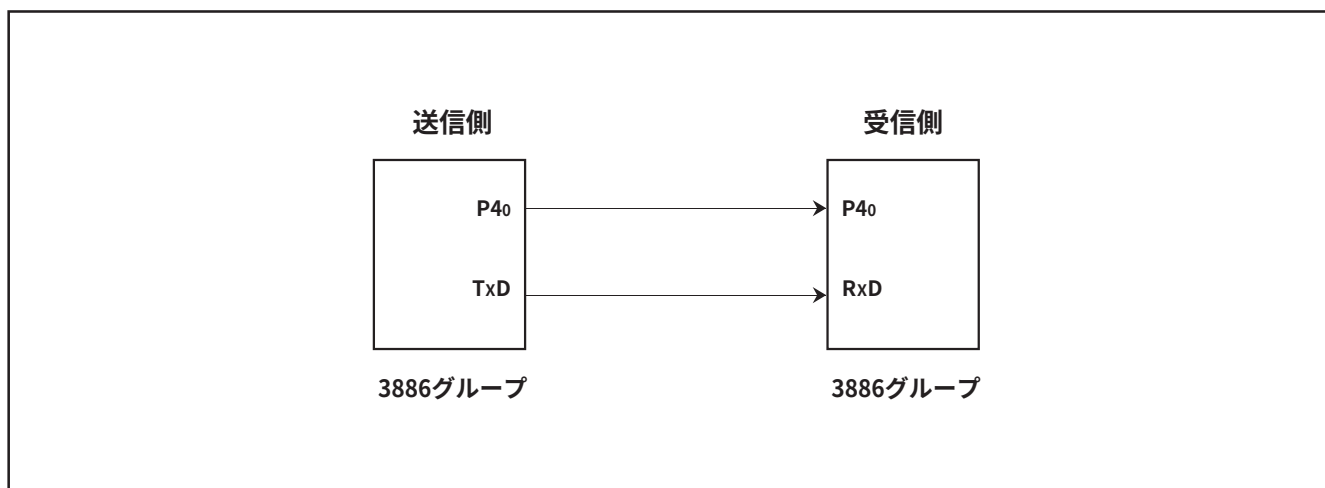


図2.4.37 接続図

- 仕様：
- ・シリアルI/O1(UART選択)を使用。
 - ・転送ビットレート：9600 bps ($f(X_{IN}) = 4.9152 \text{ MHz}$ の512分周)
 - ・ポートP40を使用する通信制御(ポートP40の出力レベルはソフトウェアで制御する)。
 - ・10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送。

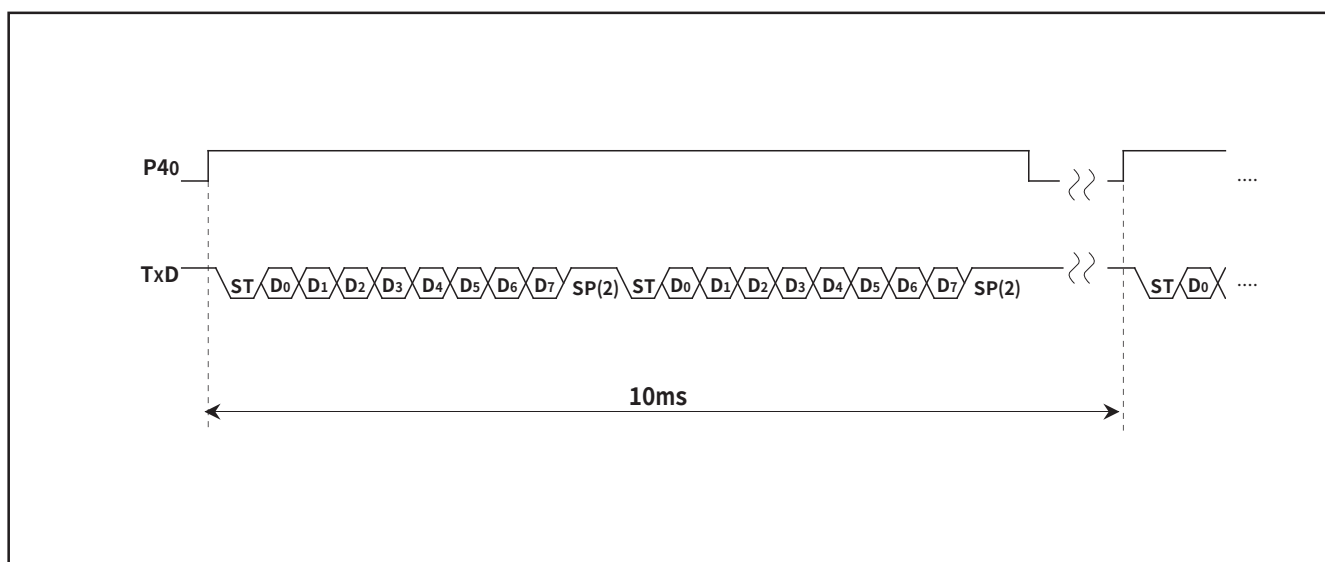


図2.4.38 タイミング図

表2.4.1にボーレートジェネレータの設定値と転送ビットレート選択例、図2.4.39に送信側関連レジスタの設定、図2.4.40に受信側関連レジスタの設定を示します。

表2.4.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

BRGカウン トソース(注1)	BRG設定値	転送ビットレート(bps)(注2)	
		f(XIN) = 4.9152 MHz時	f(XIN) = 8 MHz時
f(XIN)/4	255(FF ₁₆)	300	488.28125
f(XIN)/4	127(7F ₁₆)	600	976.5625
f(XIN)/4	63(3F ₁₆)	1200	1953.125
f(XIN)/4	31(1F ₁₆)	2400	3906.25
f(XIN)/4	15(0F ₁₆)	4800	7812.5
f(XIN)/4	7(07 ₁₆)	9600	15625
f(XIN)/4	3(03 ₁₆)	19200	31250
f(XIN)/4	1(01 ₁₆)	38400	62500
f(XIN)	3(03 ₁₆)	76800	125000
f(XIN)	1(01 ₁₆)	153600	250000
f(XIN)	0(00 ₁₆)	307200	500000

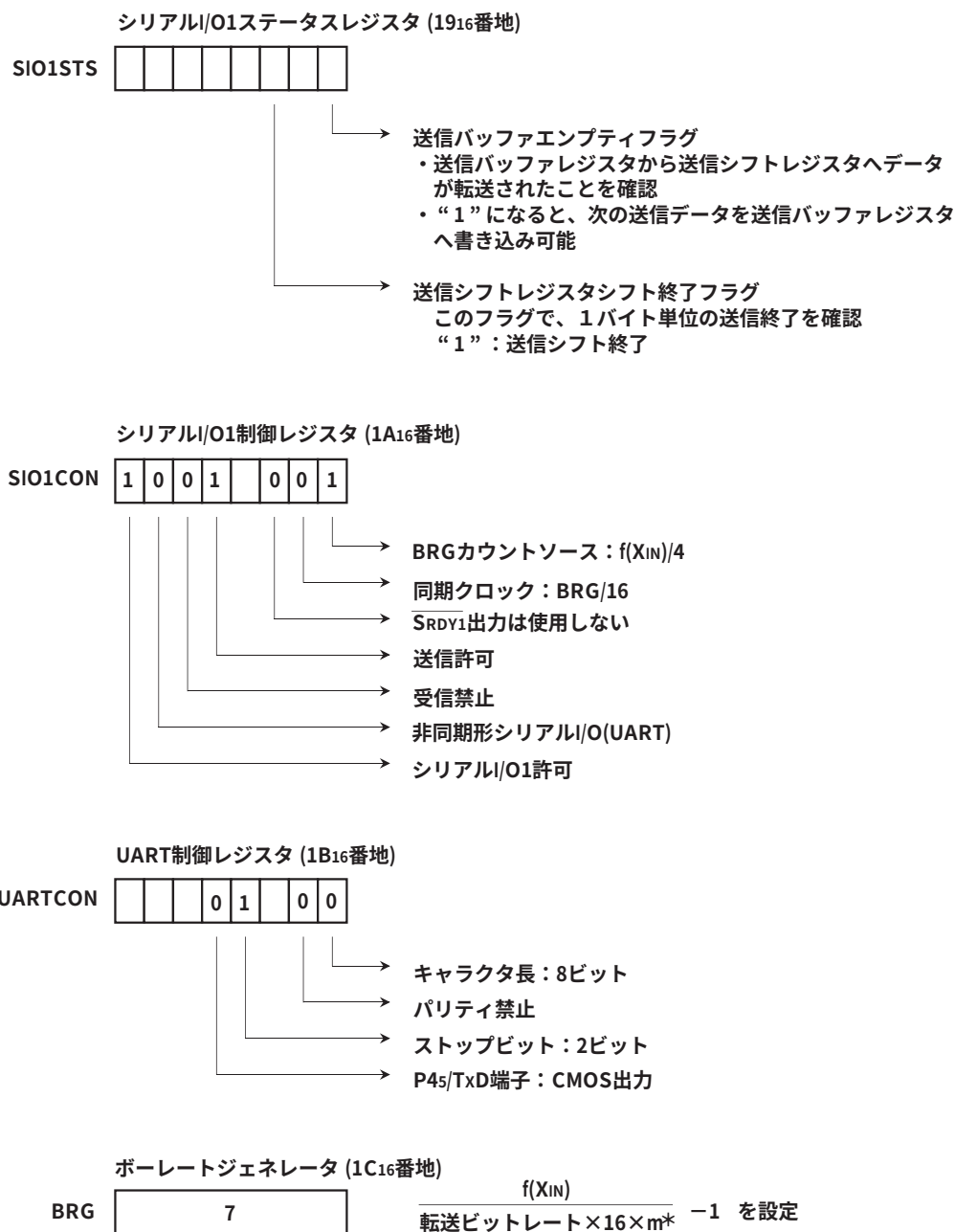
注1. BRGカウントソースはシリアルI/O1制御レジスタ(1A₁₆番地)のビット0で選択します。

2. 転送ビットレートの算出式

$$\text{転送ビットレート (bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O1制御レジスタのビット0 = “0”の場合、m = 1
シリアルI/O1制御レジスタのビット0 = “1”の場合、m = 4

送信側



* SIO1CON(1A₁₆番地)のビット0=“0”の場合、m=1
SIO1CON(1A₁₆番地)のビット0=“1”の場合、m=4

図2.4.39 送信側関連レジスタの設定

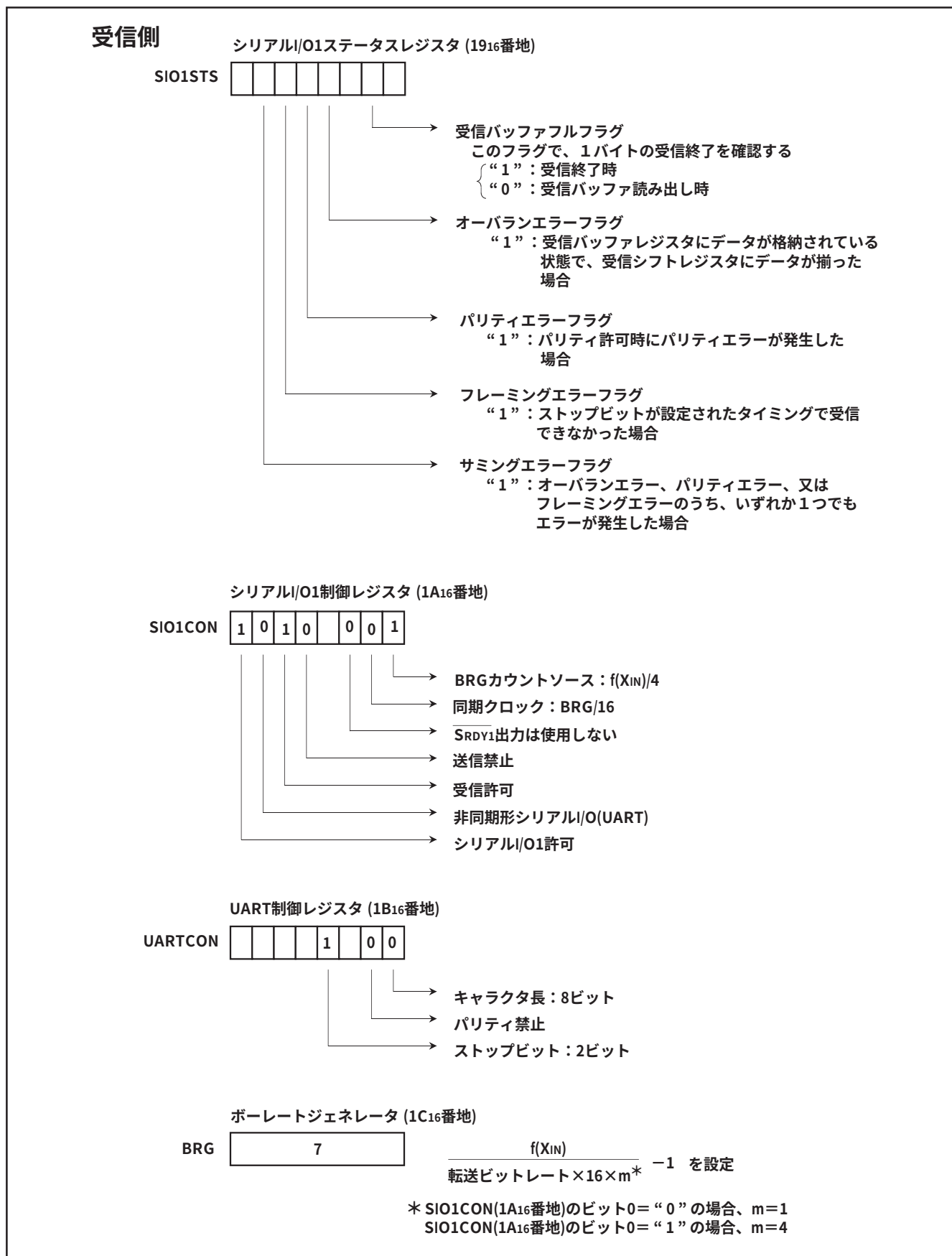


図2.4.40 受信側関連レジスタの設定

図2.4.41に送信側の制御手順、図2.4.42に受信側の制御手順を示します。

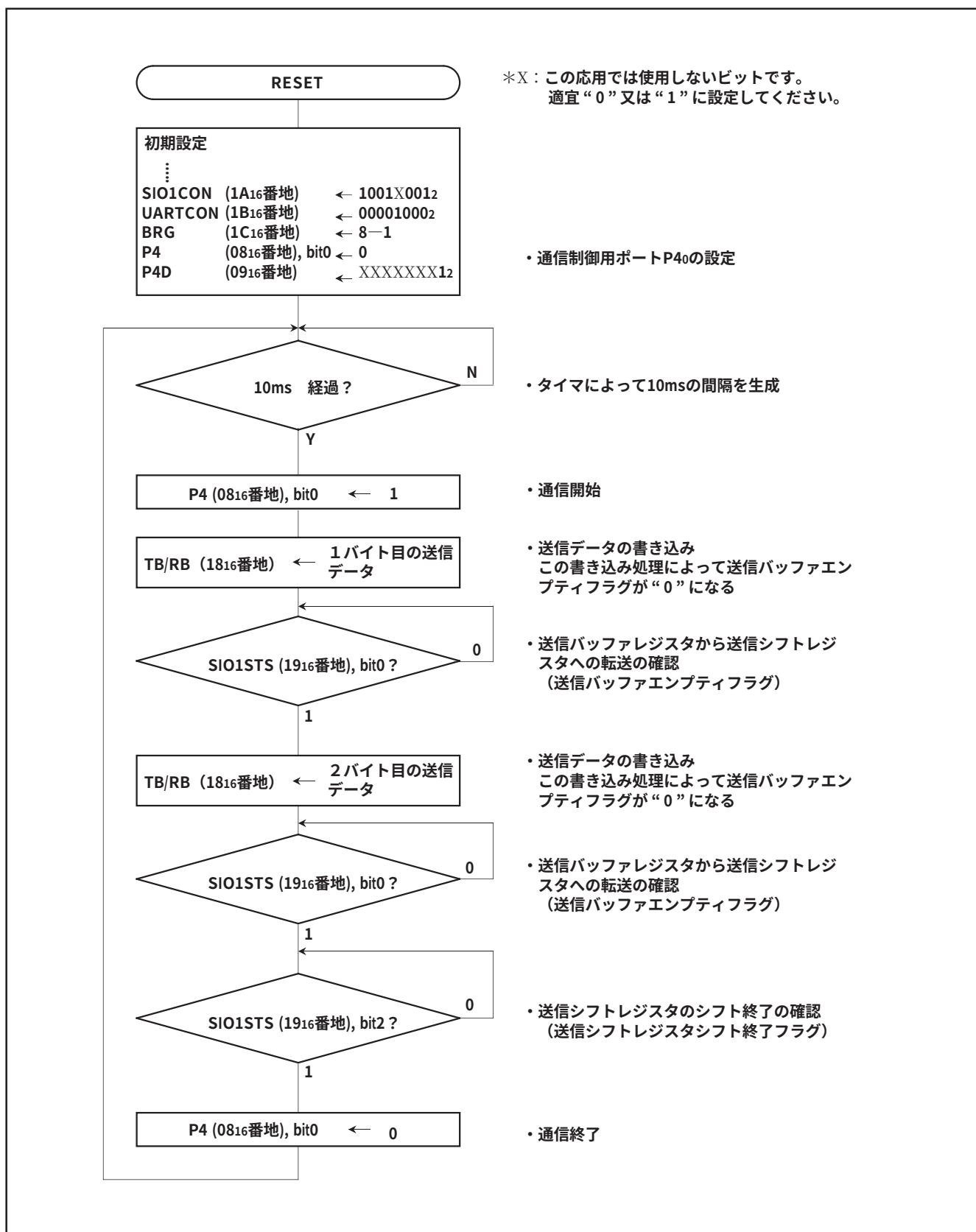


図2.4.41 送信側の制御手順

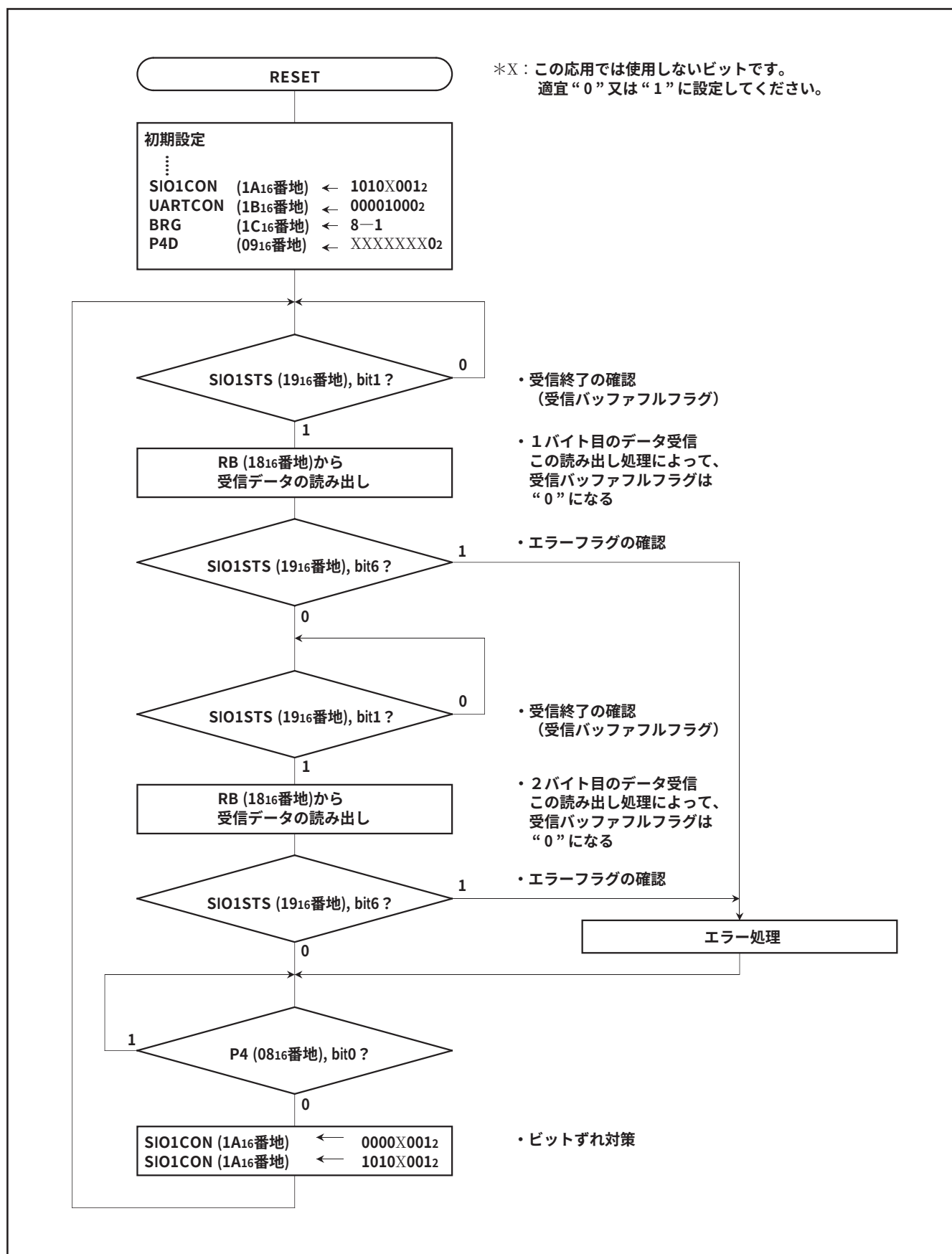


図2.4.42 受信側の制御手順

2.4.6 シリアルI/Oに関する注意事項

(1) クロック同期形の選択時(シリアルI/O1)

①送信動作の停止

シリアルI/O許可ビット及び送信許可ビットを“0”(シリアルI/O禁止及び送信禁止)にしてください。

●理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

②受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O許可ビットを“0”(シリアルI/O禁止)にしてください。

③送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

●理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また<(1)の① 送信動作の停止>と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(2) 非同期形の選択時(シリアルI/O1)

①送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

●理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(**TxD**、**RxD**、**SCLK**、**SRDY**各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中から**TxD**端子に出力され、不具合の原因となります。

②受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

③送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

●理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(**TxD**、**RxD**、**SCLK**、**SRDY**各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中から**TxD**端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側のSRDY出力(シリアルI/O1)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が**SRDY**出力を行う場合、受信許可ビット及び**SRDY**出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O1制御レジスタの再設定(シリアルI/O1)

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

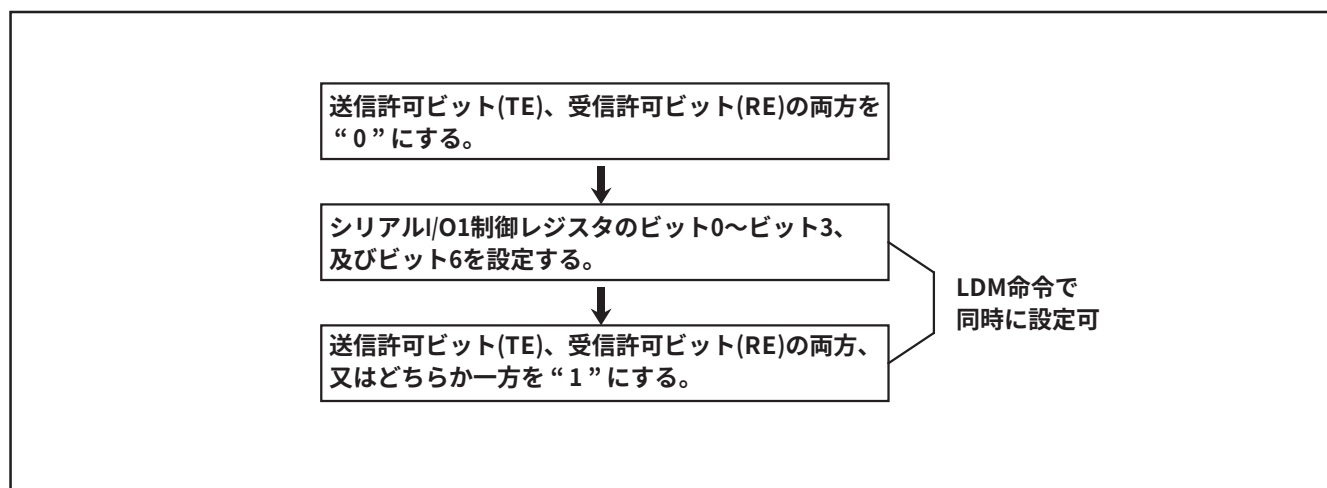


図2.4.43 シリアルI/O制御レジスタの再設定手順

(5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O1)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの**0.5～1.5**クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(6) 外部クロック選択時の送信制御(シリアルI/O1)

データ送信時、同期クロックとして外部クロックを選択している場合、**SCLK**が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、**SCLK**が“H”の状態で行ってください。

(7) 送信許可ビットセット時の送信割り込み要求(シリアルI/O1)

送信割り込みを使用する場合は、以下の手順で送信割り込み許可ビットを許可状態にしてください。

- ①**CLB**命令により、割り込み許可ビットを“0”(禁止状態)にする。
- ②シリアルI/Oの送受信準備を行う。
- ③一命令以上おいてから**CLB**命令により割り込み要求ビットを“0”にする。
- ④割り込み許可ビットを“1”(許可状態)にする。

●理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグが“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンプティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

(8) 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

2.5 マルチマスタ I²C-BUS インタフェース

マルチマスタ I²C-BUS インタフェースはフィリップス社 I²C-BUS のデータ転送フォーマットに基づいてシリアル通信を行う回路です。この節では I²C-BUS の概要と実際の通信例を説明します。

2.5.1 メモリ配置図

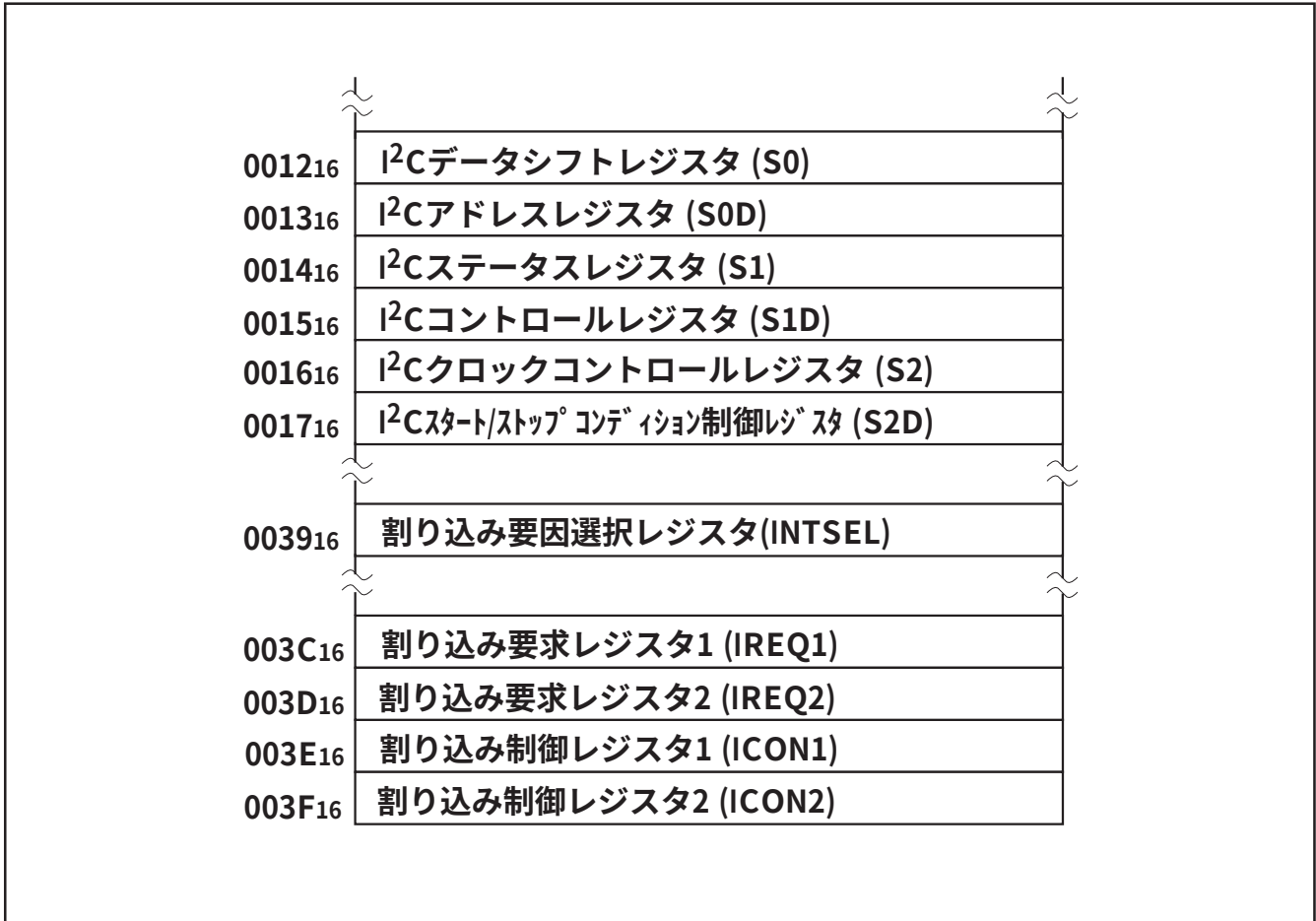


図2.5.1 I²C関連レジスタのメモリ配置

2.5.2 関連レジスタ

I²Cデータシフトレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

I²Cデータシフトレジスタ (S0) 【1216番地】

b	機 能	リセット時	R	W
0	受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。	不定	○	○
1		不定	○	○
2		不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

注. 通信モード設定ビット(MST)ビットを“0”(スレーブモード)にしてから I²Cデータシフトレジスタにデータを書き込む場合、8マシンサイクル以上の間隔を確保してください。
また、データ転送中にリード・モデファイ・ライト(SEB,CLB)命令を使用すると意図しない値になることがあります。

図2.5.2 I²Cデータシフトレジスタの構成I²Cアドレスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

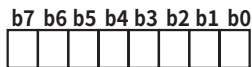
I²Cアドレスレジスタ(S0D) 【1316番地】

b	ビット名	機 能	リセット時	R	W
0	リード/ライトビット (RBW)	0: ライトビット 1: リードビット	0	○	○
1	スレーブアドレス (SAD0,SAD1,SAD2, SAD3,SAD4,SAD5, SAD6)	マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。	0	○	○
2			0	○	○
3			0	○	○
4			0	○	○
5			0	○	○
6			0	○	○
7			0	○	○

注. ストップコンディション検出時にリード・モデファイ・ライト命令(SEB,CLB)を使用すると意図しない値になることがあります。

図2.5.3 I²Cアドレスレジスタの構成

I²Cステータスレジスタ



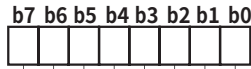
I²Cステータスレジスタ(S1) 【1416番地】

b	ビット名	機 能	リセット時	R	W
0	最終受信ビット (LRB)	0: 最終ビット = “0” 1: 最終ビット = “1” (注1)	不定	○	×
1	ジェネラルコール検出フラグ (AD0)	0: ジェネラルコール未検出 1: ジェネラルコール検出 (注1,2)	0	○	×
2	スレーブアドレス比較フラグ (AAS)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	○	×
3	アービトラージョン・ロスト検出フラグ (AL)	0: 未検出 1: 検出 (注1)	0	○	×
4	SCL端子Lowホールドビット (PIN)	0: SCL端子Lowホールド 1: SCL端子開放	1	○	*
5	バスビジーフラグ (BB)	0: バスフリー 1: バスビジー	0	○	○
6	通信モード指定ビット (TRX,MST)	b7 b6 0 0: スレーブ受信モード 0 1: スレーブ送信モード 1 0: マスタ受信モード 1 1: マスタ送信モード	0	○	○
7			0	○	○

- 注1. これらのビット又はフラグは読み出せますが、書き込めません。
 2. これらのビットはI²Cコントロールレジスタのデータフォーマット選択ビット(ALS)を“0”にした場合のみ検出可能です。
 3. 全てのビットはハードウェアにより変化しますので、リード・モデファイ・ライト命令(SEB,CLB)は使用しないでください。
 *ソフトウェアによって“1”にできますが、“0”にはできません。

図2.5.4 I²Cステータスレジスタの構成

I²Cコントロールレジスタ



I²Cコントロールレジスタ(S1D) 【1516番地】

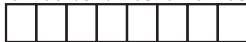
b	ビット名	機 能	リセット時	R:W
0	ビットカウンタ (送/受信ビット数) (BC0,BC1,BC2)	b2 b1 b0 0 0 0: 8ビット 0 0 1: 7ビット 0 1 0: 6ビット 0 1 1: 5ビット 1 0 0: 4ビット 1 0 1: 3ビット 1 1 0: 2ビット 1 1 1: 1ビット	0	○:○
1				
2				
3				
4				
5				
6				
7	I ² C-BUSインタフェース 端子入力レベル選択ビット	0: CMOS入力 1: SMBUS入力	0	○:○

注. スタートコンディション検出時及びバイト転送完了時はハードウェアによってビットの一部が変化するため、リード・モデファイ・ライト命令を使用すると意図しない値になることがあります。

図2.5.5 I²Cコントロールレジスタの構成

I²Cクロックコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



I²Cクロックコントロールレジスタ(S2)【16₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	SCL周波数制御ビット (CCR0,CCR1,CCR2, CCR3,CCR4)	レジスタ値 b4~b0	0	○	○
1		標準 クロック モード			
2		高速 クロック モード			
3		00~02 ₁₆			
4		禁止			
5		03 ₁₆			
6		— (注1)			
7		04 ₁₆			
8		— (注1)			
9		05 ₁₆			
10		100			
11		400 (注2)			
12		06 ₁₆			
13		83.3			
14		166			
15		500/CCR値			
16		1000/CCR値			
17		1D ₁₆			
18		17.2			
19		34.5			
20		1E ₁₆			
21		16.6			
22		33.3			
23		1F ₁₆			
24		16.1			
25		32.3			
26		(φ = 4 MHz, 単位 ; kHz) (注3)			
5	SCLモード指定ビット (FAST MODE)	0 : 標準クロックモード 1 : 高速クロックモード	0	○	○
6	アックビット (ACK BIT)	0 : アック返す 1 : アック返さない	0	○	○
7	アッククロックビット (ACK)	0 : アッククロックなし 1 : アッククロックあり	0	○	○

注1. φ = 4 MHz以上では各々のSCL周波数の値が規定の範囲外になります。これらの設定値を使用する場合はφをより低い周波数で使用してください。

2. SCL周波数の計算式は次のとおりです。

φ / (8 × CCR値) 標準クロックモード

φ / (4 × CCR値) 高速クロックモード (CCR値 ≠ 5)

φ / (2 × CCR値) 高速クロックモード (CCR値 = 5)

CCR値=0~2はφの周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、周波数制御ビットCCR4~CCR0を設定してください。

3. SCLクロック出力デューティは50%です。高速クロックモードCCR値=5のみ35~45%になります。(400kHz、φ = 4 MHz時)また、クロックの“H”の期間は標準クロックモードで+2~-4マシンサイクル、高速クロックモードで+2~-2マシンサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロニズ機能によってSCLクロック同期が行われていない場合の値です。

CCR値はSCL周波数制御ビットCCR4~CCR0を10進数表記した値です。

図2.5.6 I²Cクロックコントロールレジスタの構成

I²Cスタート/ストップコンディション制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

I²Cスタート/ストップコンディション制御レジスタ(S2D) 【1716番地】

b	ビット名	機 能	リセット時	R	W
0	スタート/ストップコンディション設定ビット (SSC0,SSC1,SSC2,SSC3,SSC4) (注)	SCL開放時間 = $\phi(\mu s) \times (SSC+1)$	不定	○	○
1		セットアップ時間 = $\phi(\mu s) \times (SSC+1)/2$			
2		ホールド時間 = $\phi(\mu s) \times (SSC+1)/2$			
3					
4					
5	SCL/SDA割り込み端子極性選択ビット(SIP)	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	○	○
6	SCL/SDA割り込み端子選択ビット(SIS)	0: SDA有効 1: SCL有効	0	○	○
7	スタート/ストップコンディション発生選択ビット(STSPSEL)	0: セットアップ/ホールド時間ショートモード 1: セットアップ/ホールド時間ロングモード	0	○	○

注. スタート/ストップコンディション設定ビット(SSC4~SSC0)に奇数の値及び“00000₂”は設定しないでください。

図2.5.7 I²Cスタート、ストップコンディション制御レジスタの構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要因選択レジスタ(INTSEL) 【3916番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インプットパッド割り込み要因選択ビット	0: INT0割り込み 1: インプットパッド割り込み	0	○	○
1	INT1/アウトプットパッド割り込み要因選択ビット	0: INT1割り込み 1: アウトプットパッド割り込み	0	○	○
2	シリアル/O1送信/SCL,SDA割り込み要因選択ビット	0: シリアル/O1送信割り込み *1 1: SCL,SDA割り込み	0	○	○
3	CNTR0/SCL,SDA割り込み要因選択ビット	0: CNTR0割り込み *1 1: SCL,SDA割り込み	0	○	○
4	シリアル/O2/I ² C割り込み要因選択ビット	0: シリアル/O2割り込み *2 1: I ² C割り込み	0	○	○
5	INT2/I ² C割り込み要因選択ビット	0: INT2割り込み *2 1: I ² C割り込み	0	○	○
6	CNTR1/キーウォークアップ割り込み要因選択ビット	0: CNTR1割り込み *3 1: キーウォークアップ割り込み	0	○	○
7	AD変換/キーウォークアップ割り込み要因選択ビット	0: AD変換割り込み *3 1: キーウォークアップ割り込み	0	○	○

*1: 同時に“1”を書き込まないでください。

*2: 同時に“1”を書き込まないでください。

*3: 同時に“1”を書き込まないでください。

図2.5.8 割り込み要求レジスタ1の構成

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1) 【3C16番地】

b	ビット名	機 能	リセット時	R:W
0	INT0/インพุットパワァフル 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
1	INT1/アウトพุットパワァインプ ティ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
2	シリアル/O1受信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
3	シリアル/O1送信/SCLSDA 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
4	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
5	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
6	タイマ1割り込み要求ビ ット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
7	タイマ2割り込要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.5.9 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ2(IREQ2) 【3D16番地】

b	ビット名	機 能	リセット時	R:W
0	CNTR0/SCL、SDA割り 込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
1	CNTR1/キーオンエイアップ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
2	シリアル/O2/I ² C割り込 み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
3	INT2/I ² C割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
4	INT3割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
5	INT4割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
6	A-D変換/キーオンエイアップ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	○:×

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.5.10 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

割り込み制御レジスタ1(ICON1) 【3E16番地】

b	ビット名	機 能	リセット時	R:W
0	INT0/インプットバッファフル 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
1	INT1/アウトプットバッファフル 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
2	シリアル/O1受信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
3	シリアル/O1送信SCL、 SDA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
4	タイマX割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
5	タイマY割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
6	タイマ1割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
7	タイマ2割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○

図2.5.11 割り込み制御レジスタ1の構成

割り込み制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

0							
---	--	--	--	--	--	--	--

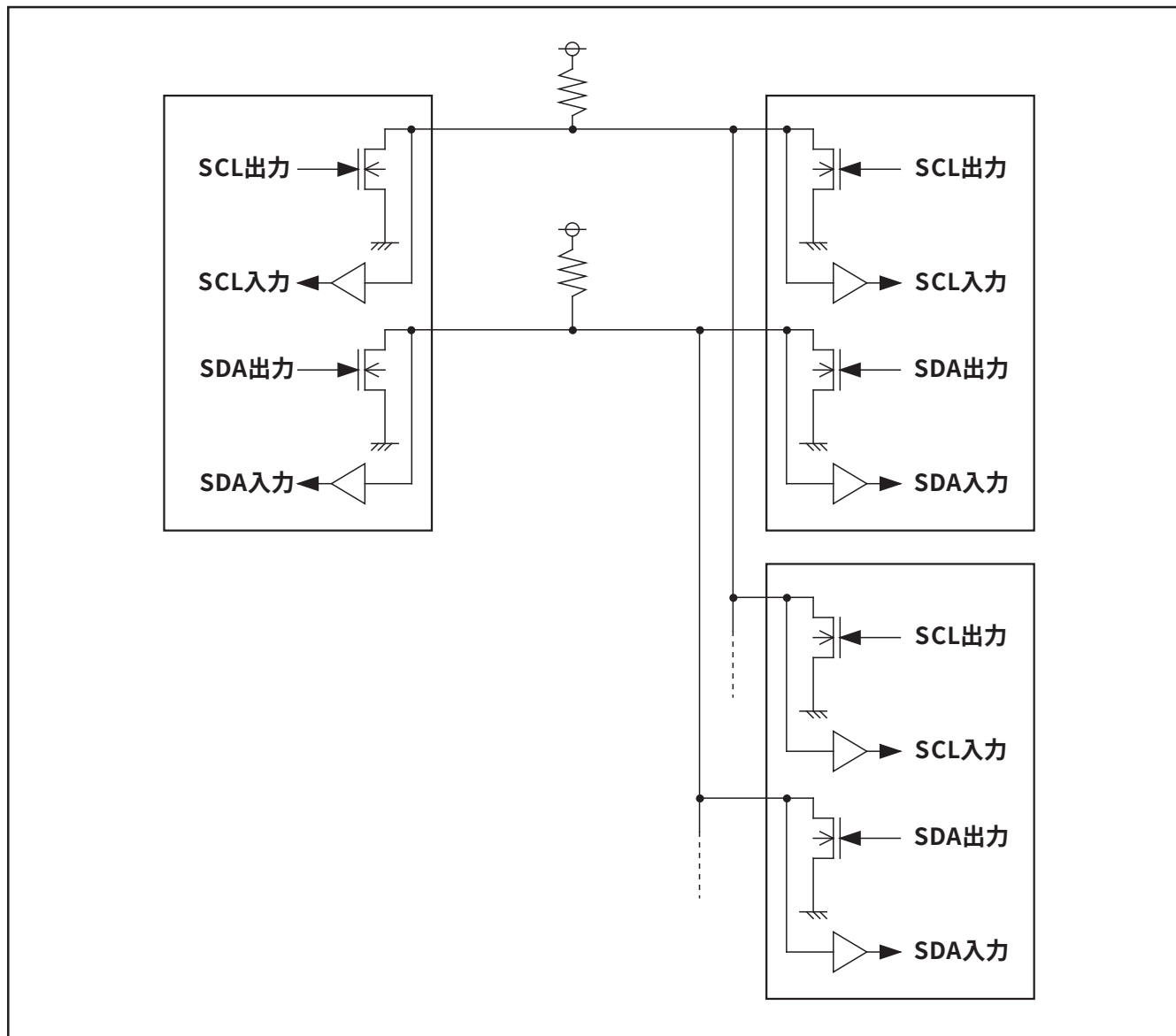
割り込み制御レジスタ2(ICON2) 【3F16番地】

b	ビット名	機 能	リセット時	R:W
0	CNTR0/SCL、SDA割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
1	CNTR1/キーウォークアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
2	シリアル/O2/I ² C割り 込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
3	INT2/I ² C割り込み 許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
4	INT3割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
5	INT4割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
6	A-D変換/キーウォークアップ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○ ○
7	このビットは“0”に固定してください。		0	○ ○

図2.5.12 割り込み制御レジスタ2の構成

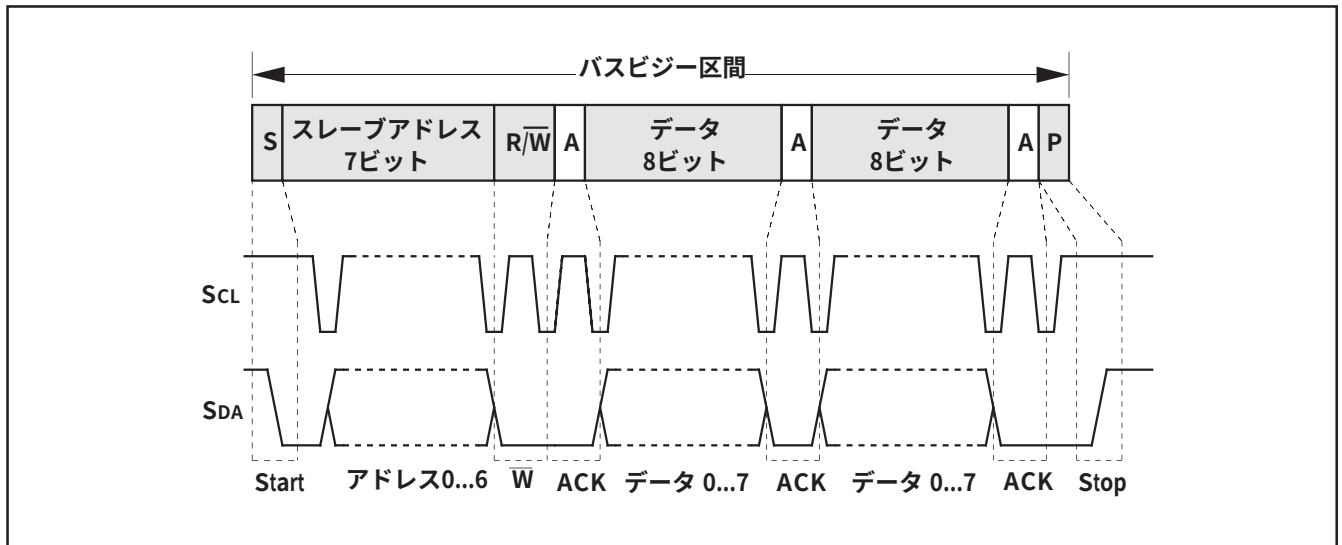
2.5.3 I²C-BUSの概要

I²C-BUSはクロックの送信を行うSCLと、データの送信を行うSDAの2本の信号ラインで接続される双方向シリアルバスです。3886グループに内蔵するそれぞれのポートは出力がNチャネルオープンドレインで、入力がCMOS入力となっています。I²C-BUSインタフェースに接続されるデバイスは、すべてオープンドレインで接続されるため、外部にプルアップ抵抗が必要となります。このため、いずれかのデバイスが常に“L”出力を行っているとき、他のデバイスは“H”を出力することができません。I²C-BUSの接続構成を図2.5.13に示します。

図2.5.13 I²C-BUS接続構成

2.5.4 通信プロトコル

I²C-BUSの通信フォーマット例を図2.5.14に示します。I²C-BUS通信プロトコルは、通信の開始を示すスタートコンディションと、個々のデバイスを指定するスレーブアドレス、データ、アドレス又はデータの確認応答を示すACK、通信の完了を示すストップコンディションで構成されています。

図2.5.14 I²C-BUS通信プロトコル

(1) スタートコンディション

マスタデバイスがスレーブデバイスに対して、通信を開始するときにスタートコンディションを出力します。I²C-BUSではデータの変更はクロックラインが「L」のときのみと定義されており、クロックラインが「H」のときのデータラインの変化はストップコンディションかスタートコンディションになります。クロックラインが「H」でデータラインが「H」から「L」に変化したときはスタートコンディションです。

(2) ストップコンディション

スタートコンディションと同様に、クロックラインが「H」で、データラインが「L」から「H」に変化したときはストップコンディションになります。スタートコンディションから、ストップコンディションまでの間はバスビジーと呼ばれ、マスタとなるデバイスはこの区間にデータ転送を開始することが禁止されています。なお、I²CステータスレジスタS1(0014₁₆番地)のBBフラグ(ビット5)によって、バスビジーを判断できます。

(3) スレーブアドレス

スタートコンディションの後にはスレーブアドレスが送信されます。このアドレスは7ビットで構成され、7ビット目はデータの送信方法を示すリード/ライト(R/W)ビットとなります。スレーブアドレスは、マスタが送受信のスレーブデバイスを指定するために定義されているため、同一のI²C-BUSに接続されるスレーブデバイスのアドレスはすべて異なる必要があります。

リード/ライト(R/W)ビットは前述のように送信方向を示し、「L」のときはマスタからスレーブへの書き込み、「H」のときは読み込みとなります。

(4) データ

8ビット長のデータで、スレーブアドレスのリード/ライト(R/W)ビットによって、マスタからスレーブに送る場合と、スレーブからマスタに送る場合があります。

(5) アックビット

アックビットのクロックはマスタによって生成され、S_{DA}ラインで確認応答、スレーブのビジー、データの終了を示すために使用されます。

たとえば、スレーブデバイスはスタートコンディションに続くスレーブアドレスを確認したとき、アックビットに対するS_{DA}ラインを“L”にして応答します。内蔵されているI²C-BUSインタフェースは、スレーブアドレスの自動判定機能とACK応答機能を持っており、I²Cクロックコントロールレジスタのアックビット(001616番地のビット6)が“0”でアドレスデータを受信したとき、自動的に“L”が出力されます。アドレスが一致しなければ、自動的に“H”(NACK)が出力されます。

スレーブデバイスが割り込み処理や演算中などで受信できないときは、スレーブアドレスのACKデータを“H”で応答することにより、マスタはストップコンディションを出力し、データ転送を終了することができます。また、データの転送途中でも、スレーブがデータを受信できなくなった場合は、次のデータに対してNACK応答をすることによって、通信を中断することができます。

マスタデバイスがスレーブからデータを受信しているとき、スレーブから受信した最後のデータに対して、NACKで応答することで、スレーブに対して受信データの完了を通知します。

(6) リスタートコンディション

マスタがスレーブに対して送信中に、ストップコンディションを送信することなく、マスタ受信することができます。マスタはスレーブに対してデータを送信した後、リスタートコンディションに続くスレーブアドレス + R(読み込み)を送信することで、以降のデータを受信データとすることができます。また、リスタートコンディションに続くスレーブアドレス + $\overline{W}$ (書き込み)を送信することで、以降のデータを送信データとすることもできます。

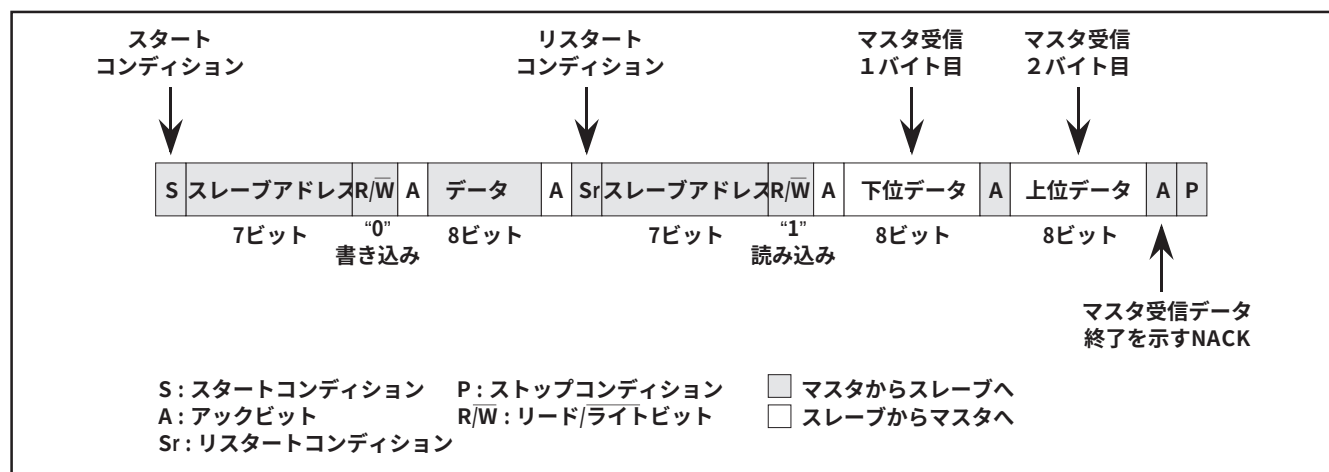


図2.5.15 マスタ受信時のリスタートコンディション

2.5.5 同期化とアービトレーションロスト

(1) 同期化

I²C-BUS上に複数のマスタが存在し、速度の異なるマスタが同時に通信を行おうとしたときでも、各ビットごとのクロックが正常に出力されるよう、クロックを統一するための規定がされています。図2.5.16に、同期したSCLラインの例を示します。SCL(A)とSCL(B)は、それぞれ速度の異なるマスタデバイスで、SCLは同期化された場合の波形です。

図のように、“H”期間を最初に終了したデバイスがSCLラインを“L”にし、最後まで“L”にしていたデバイスがSCLラインを“H”に立ち上げることで、SCLラインの同期をとることができます。

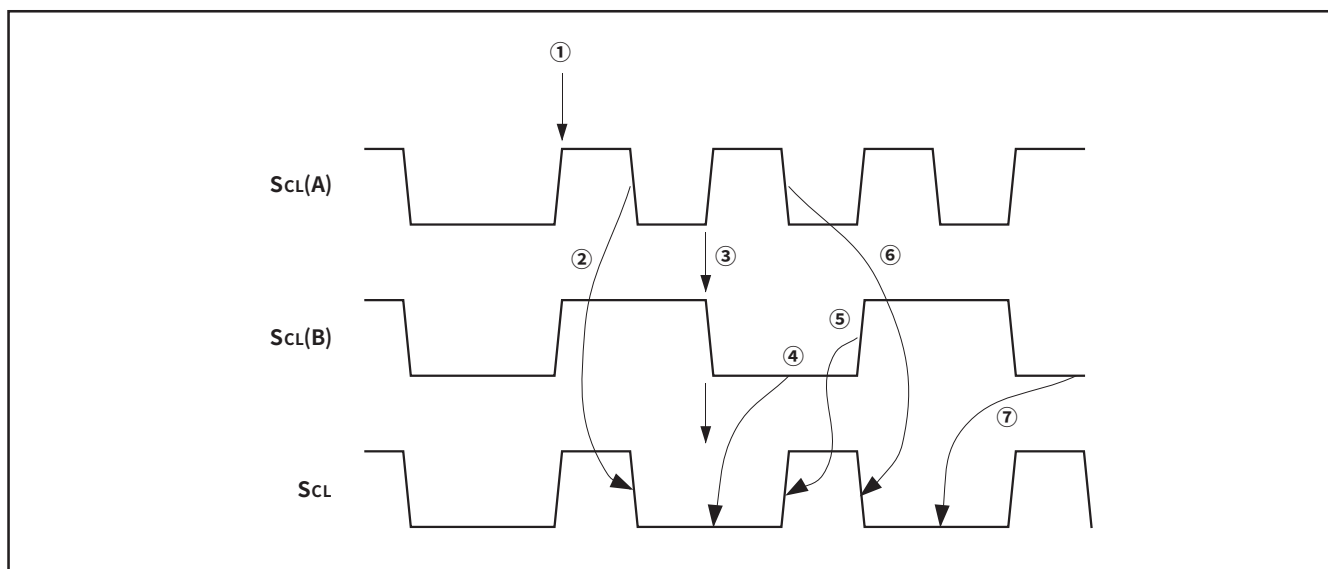


図2.5.16 クロック同期化発生時のSCL波形

- ① スタートコンディション後、異なる速度のマスタが同時にクロック送信開始
- ② (A)が“H”出力のカウンタを終了したためSCLを“L”出力、同時に(B)が“H”出力のカウンタを中断し“L”出力のカウンタを開始
- ③ (A)が“L”区間のカウンタを終了し“H”を出力するが、(B)が“L”を出力しているためレベルは“H”にならず、“H”区間のカウンタは開始せず停止する。
- ④ (B)が“L”区間を出力
- ⑤ (B)が“L”区間のカウンタを終了したため、SCLラインを“H”出力し、(A)と同時に“H”区間をカウンタ開始
- ⑥ (A)が先に“H”区間のカウンタを終了したため、SCLを“L”にする。同時に(B)が“H”出力のカウンタを中断し、“L”出力のカウンタを開始
- ⑦ 以降繰り返し

(2) 通信中のクロック同期

I²C-BUSではスレーブのデバイスが、SCLラインを“L”に保持し、マスタ側からの送信を待ち状態にすることができます。バイト単位では、スレーブデバイスの受信準備に、バイト受信終了後やACK後のSCLラインを“L”にすることでマスタを待ち状態にすることができます。

また、ビット単位では、限られたハードウェアしか持たないスレーブデバイスのために、SCLを“L”に保持して、クロック速度を遅くすることができます。

内蔵ハードウェアは、SCLが“L”に保持された場合の調停回路を内蔵しているため、スレーブデバイスからの待ち状態要求に対しても、データビットが欠落することなく送信することができます。また、送受信データバイトの最終ビット(ACKビット含む)後は、SCLラインを自動的に“L”に保持し、割り込み処理や受信準備などが完了するまでの間、待ち状態を作ります。

(3) アービトレーションロスト

I²C-BUSでは同一バス上に複数のマスタが存在し、同時に通信を開始する可能性があります。送信周波数が同一のマスタデバイスが、同時に通信を開始した場合でも、どちらか一方のデバイスは正常に送信されなければなりません。そのため、I²C-BUSでは通信が衝突した場合にSDAラインで衝突を検出する規定がされています。

SDAラインはSCLで同期化されたタイミングで出力されますが、SDA信号同士の同期化は行われません。

2.5.6 I²C-BUS通信での使用例

ここでは、I²C-BUSインタフェースを使用した、制御例として、I²C-BUSプロトコルのRead Wordプロトコルでの、マスタデバイス時と、スレーブデバイス時の制御例を説明します。以下に、E²PROM(24C0x)の通信例を示します。

通信仕様

- ・ 通信周波数 = 100KHz
- ・ 通信先(E²PROM)のスレーブアドレス = “1010000X2”(Xはリード/ライトビット)
- ・ アドレス=E²PROM内部アドレス
- ・ 通信処理は、割り込み処理で行う。ただし、マスタデバイス時の最初のスタートコンディション発生と、スレーブアドレスの設定のみメイン処理で行う。
- ・ 通信バッファを設ける。メイン処理と割り込み処理間でのデータ受け渡しは、通信バッファを介して行う。

(1) 初期設定

I²C-BUS通信を行う際の初期設定例を図2.5.17に示します。

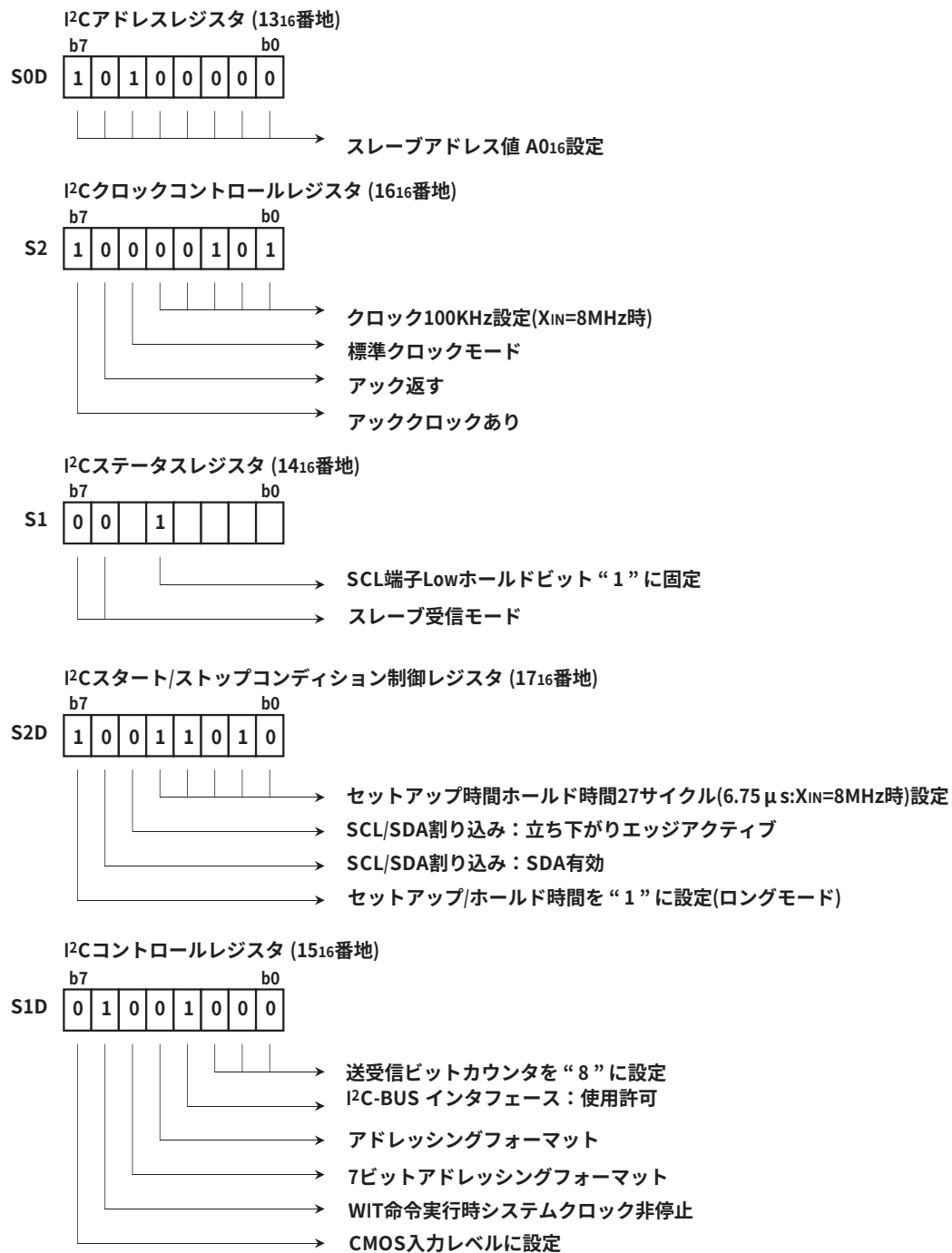


図2.5.17 初期設定例

(2) マスタデバイスでの通信例

マスタデバイスでは、図2.5.18に示す①～⑥の手順になります。なお、図中の網掛け部は、マスタデバイスの送信データであり、白抜き部は、スレーブデバイスの送信データです。

- ①スタートコンディション生成/スレーブアドレス+ライトビットの送信
- ②コマンドの送信
- ③リスタートコンディション生成。スレーブアドレス+リードビットの送信
- ④下位データの受信
- ⑤上位データの受信
- ⑥ストップコンディションの生成

①～⑥の各処理を図2.5.19～図2.5.24に示します

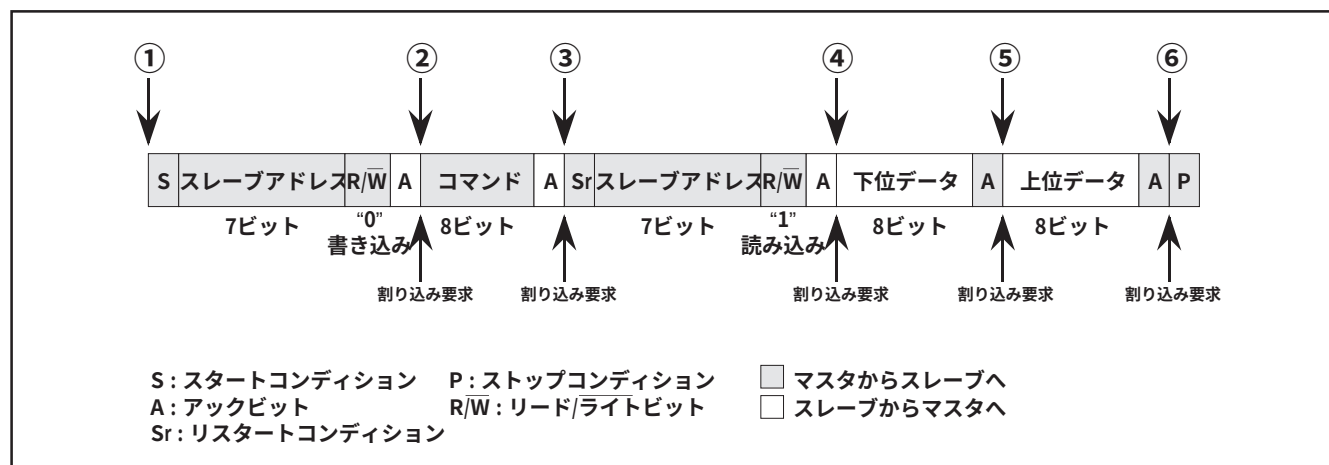


図2.5.18 I²C-BUSマスタデバイスとしてのRead Wordプロトコル通信

① スタートコンディション生成/スレーブアドレス+ライトビットの送信処理

I²C-BUSはマルチマスタのため、他のマスタデバイスがバスを使用していないか確認した後、スタートコンディションを発生させます。スタートコンディションを発生させると、それに引き続き1バイト分のSCLが出力されるため、スタートコンディション発生を行う前にI²Cデータシフトレジスタ(001216番地)に「スレーブアドレス+ライトビット」を書き込んでおきます。

バス使用の確認後、スタートコンディションが発生するまでに、他のマスタデバイスが通信を開始したときは、適切な通信が行えません。しかし、この場合はスタートコンディション重複防止機能、又はアービトレーションロストが検出され、他のマスタデバイスの通信に影響を与えません。

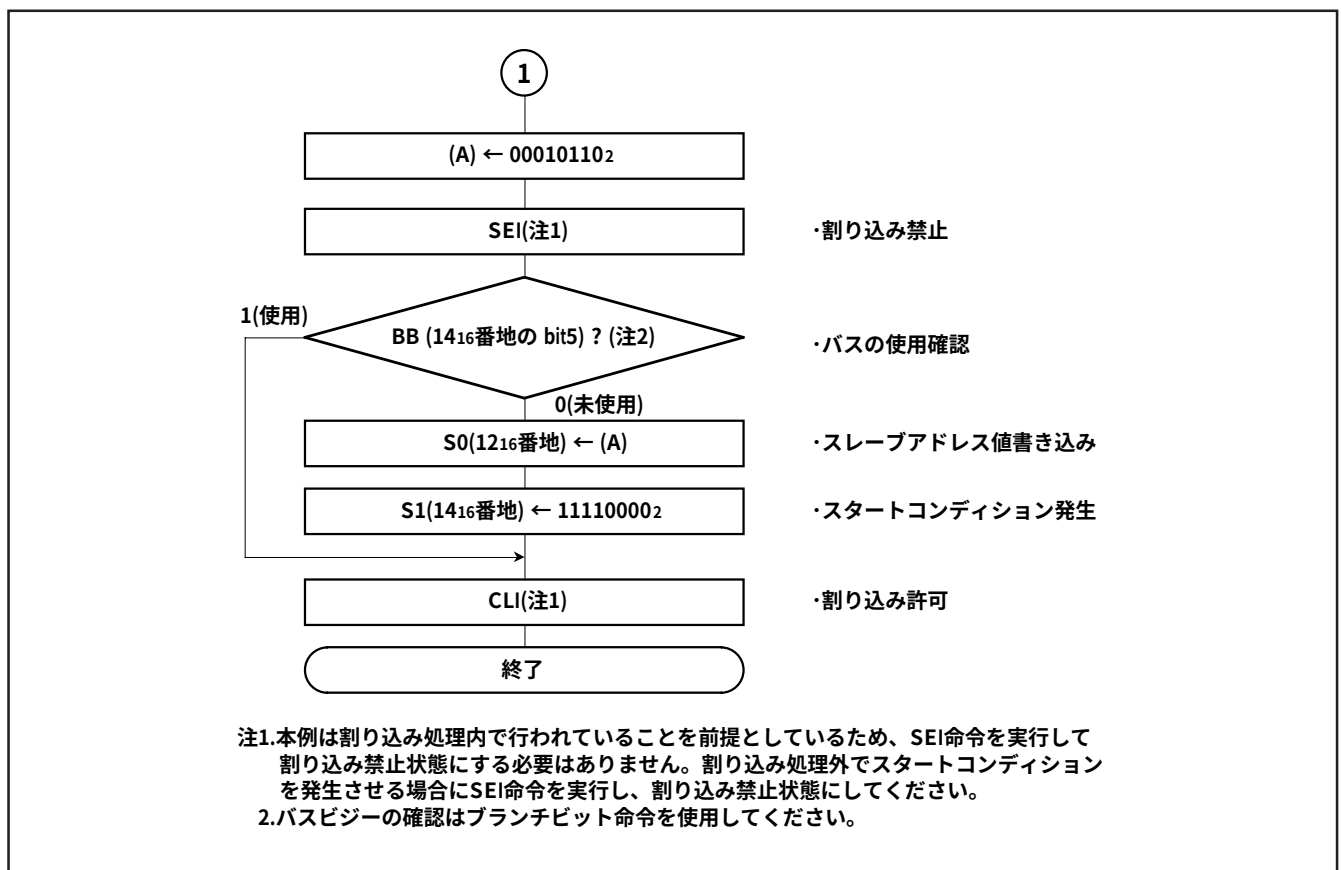


図2.5.19 スタートコンディション生成とスレーブアドレス+ライトビットの送信処理

②コマンド送信の処理

コマンド送信を行う前に、①での通信が正常終了しているか確認します。内蔵するI²C-BUSインタフェースは、他のデバイスに送信されたストップコンディションでも割り込み要求が発生するため、ストップコンディションを受信した場合は、コマンド送信を行わない処理が必要となります。

正常終了確認の後、I²Cデータシフトレジスタ(001216番地)にコマンドを書き込みます。

ALビット(001416番地のビット3)が「1」の場合は、アービトレーションでマスタ送信の権利を得たデバイスが、自分自身をスレーブアドレスとして指定されているかを判定するため、スレーブアドレス比較フラグ(ASS)(001416番地のビット2)を調べます。このビットが「1」であればスレーブ受信を行い、「0」であれば他のマスタデバイスがストップコンディションを発生し、通信が終了するのを待ちます。

ALビットが「0」の場合は、最終受信(LRB)ビット(001416番地のビット0)を調べ、このビットが「1」であれば、I²C-BUS上に指定したスレーブデバイスが存在しないので、ストップコンディションを発生し、バスの使用を放棄します。

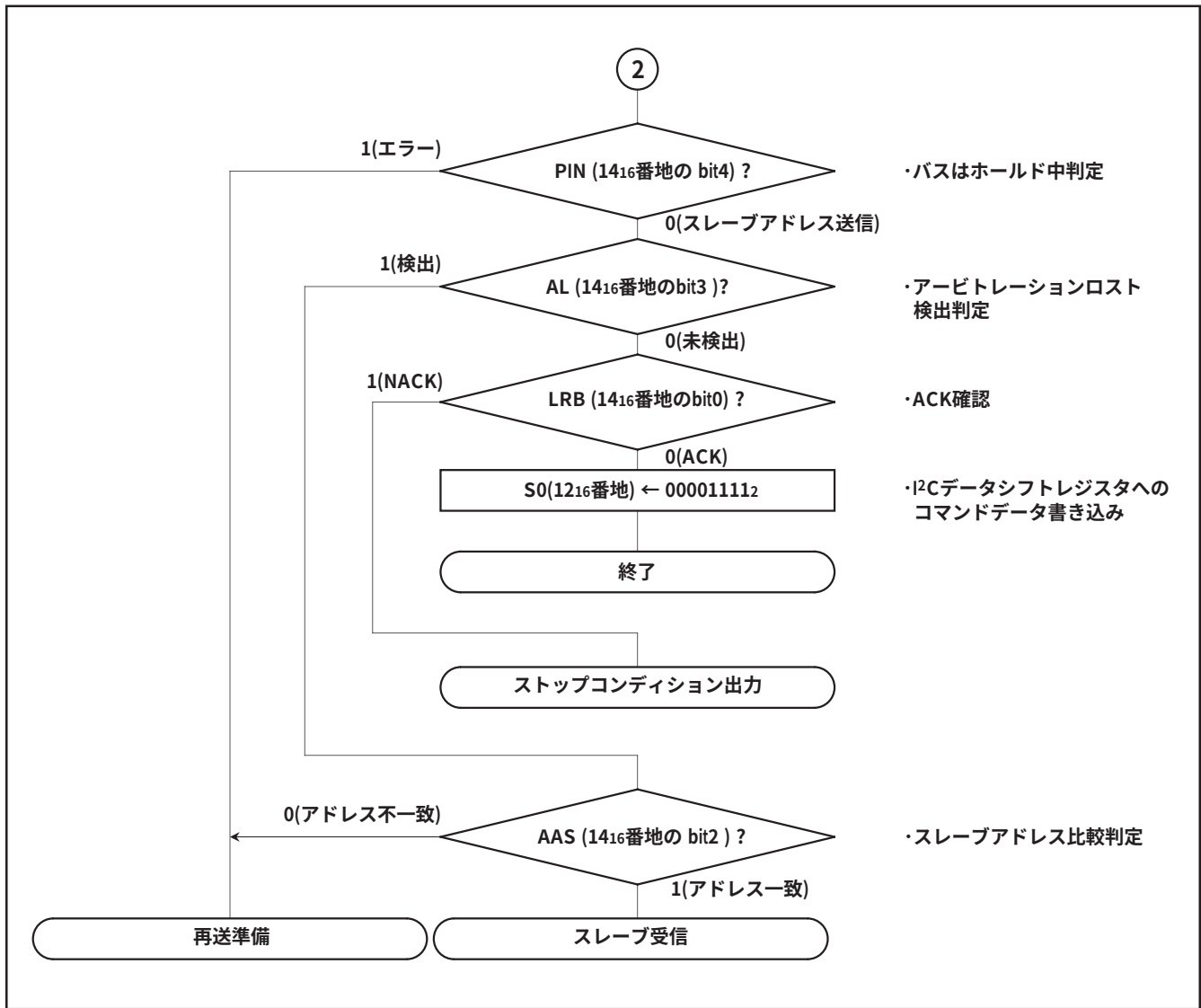


図2.5.20 コマンド送信処理

③ リスタートコンディション生成/スレーブアドレス + リードビットの送信処理

リスタートコンディション生成を行う前に、②での通信が正常終了しているか確認します。正常終了確認の後、リスタートコンディション生成、スレーブアドレス+リードビットの送信処理を行います。ここでは、①での処理と異なるので注意が必要です。①と同様の理由により、スタートコンディションを発生させる前に、I²Cデータシフトレジスタ(0012₁₆番地)に「スレーブアドレス+リードビット」を書き込んでおきます。しかし、このままでは、データシフトレジスタにスレーブアドレスを書き込んだ時点でスレーブアドレスが出力されてしまい、リスタートコンディションを発生させることができません。このため、この一連の処理を行う前に、スレーブ受信設定を行います。

アービトレーションロスト検出フラグ(AL)ビット(0014₁₆番地のビット3)が「1」の場合は、他のマスタデバイスによる通信が優先して行われていると考えられるため、①の処理へ戻ります。最終受信(LRB)ビット(0014₁₆番地のビット0)が「1」の場合は、I²C-BUS上に指定したスレーブデバイスがBUSYなど、何らかの理由で応答できないので、ストップコンディションを発生し、バスを開放します。

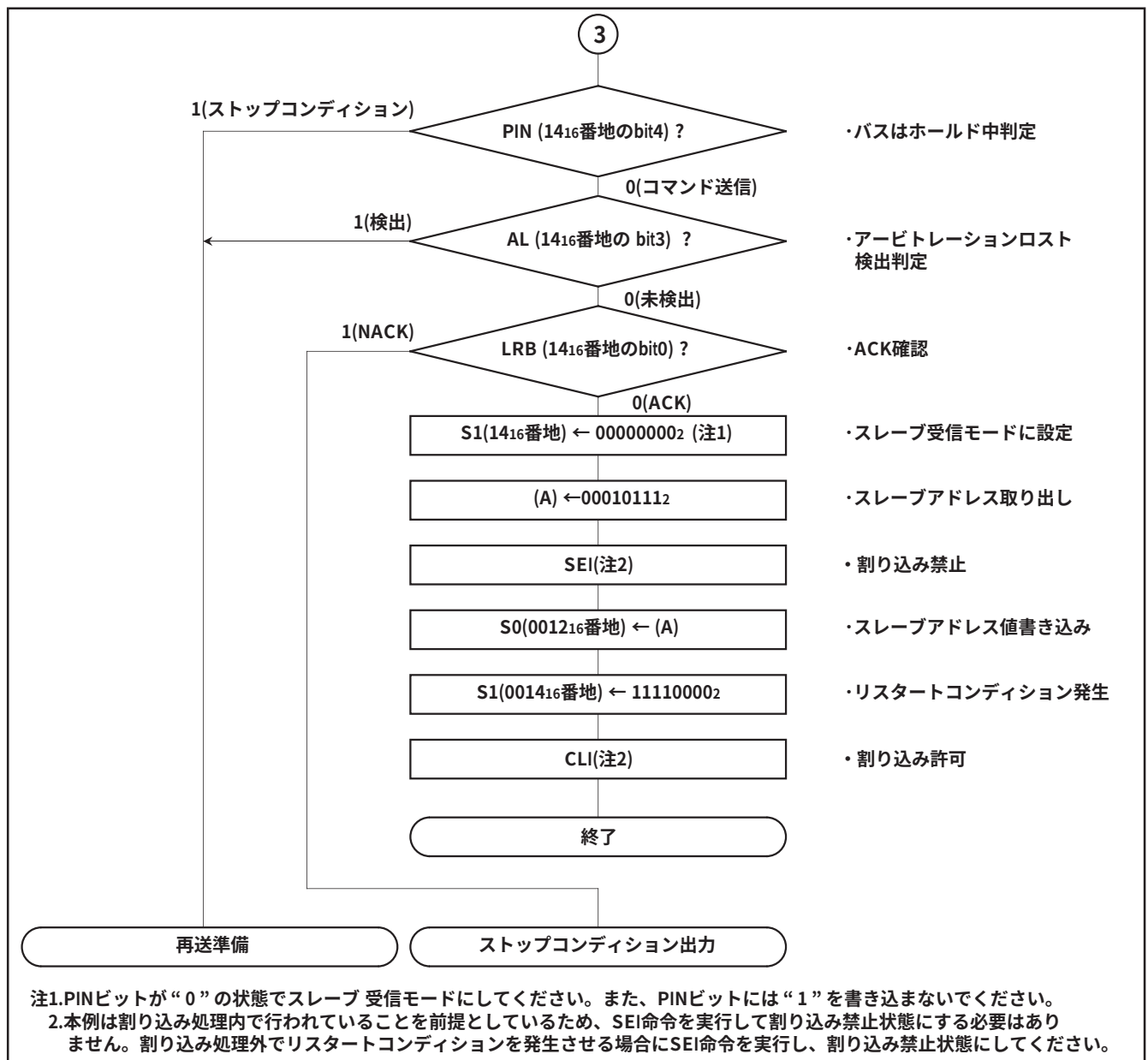


図2.5.21 リスタートコンディション生成、スレーブアドレス+リードビットの送信処理

④下位データの受信処理

下位データの受信を行う前に③での通信が正常終了しているか確認します。正常終了確認の後、アックビット(A_{CK} BIT)(0016₁₆番地のビット6)を“0”(アックを返す)に設定し、マスタ受信モードにしてからI²Cデータシフトレジスタ(0012₁₆番地)にダミーデータを書き込みます。

MSTビット(0014₁₆番地のビット7)が“0”の場合は、他のマスタデバイスによる通信が優先して行われるので、後述するスレーブモードでの異常処理を行い、①の処理へ戻ります。

最終受信(LRB)ビット(0014₁₆番地のビット0)が“1”になっている場合は、I²C-BUS上に指定したスレーブデバイスが存在しないので、ストップコンディションを発生し、バスを開放します。

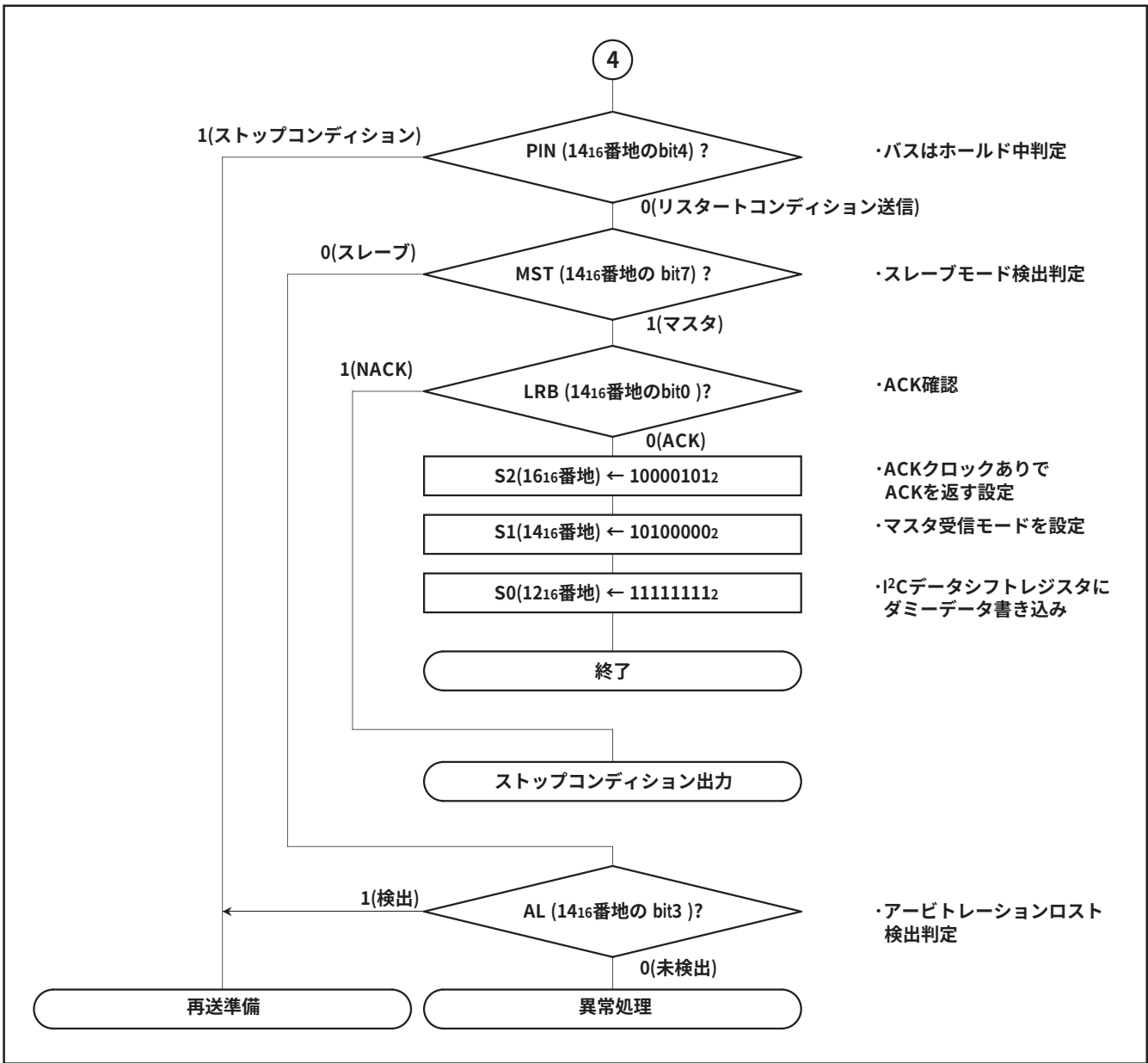


図2.5.22 下位データの受信処理

⑤上位データの受信処理

上位データの受信を行う前に④での通信が正常終了しているか確認します。正常終了確認の後、受信データ(下位データ)を格納します。次にアックビット(**ACK BIT**)(0016₁₆番地のビット6)を“1”(アック返さない)にし、I²Cデータシフトレジスタ(0012₁₆番地)にダミーデータを書き込みます。

MSTビット(0014₁₆番地のビット7)が“0”の場合は、他のマスタデバイスによる通信が優先して行われるので①の処理へ戻ります。

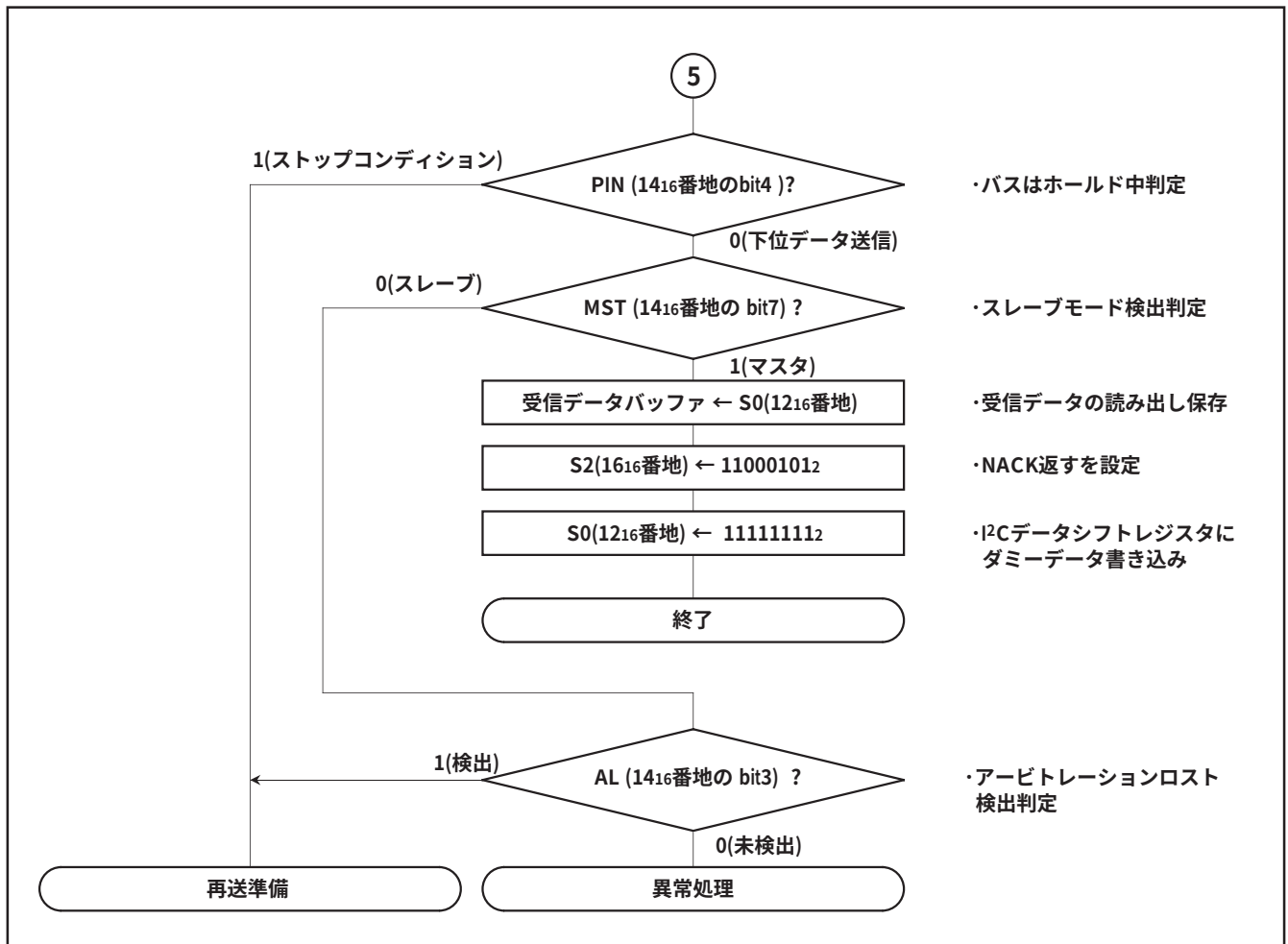


図2.5.23 上位データの受信処理

⑥ストップコンディションの生成処理

ストップコンディションの出力を行う前に⑤での通信が正常終了しているか確認します。正常終了確認の後、受信データ(上位データ)を格納します。次にアックビット(ACK BIT)(0016₁₆番地のビット6)を“0”(アックを返す)にして、ストップコンディションを発生させます。ストップコンディションが発生すると、通信モードはスレーブ受信モードになります。

MSTビット(0014₁₆番地のビット7)が“0”の場合は、他のマスタデバイスによる通信が優先して行われていると考えられるので①の処理へ戻ります。

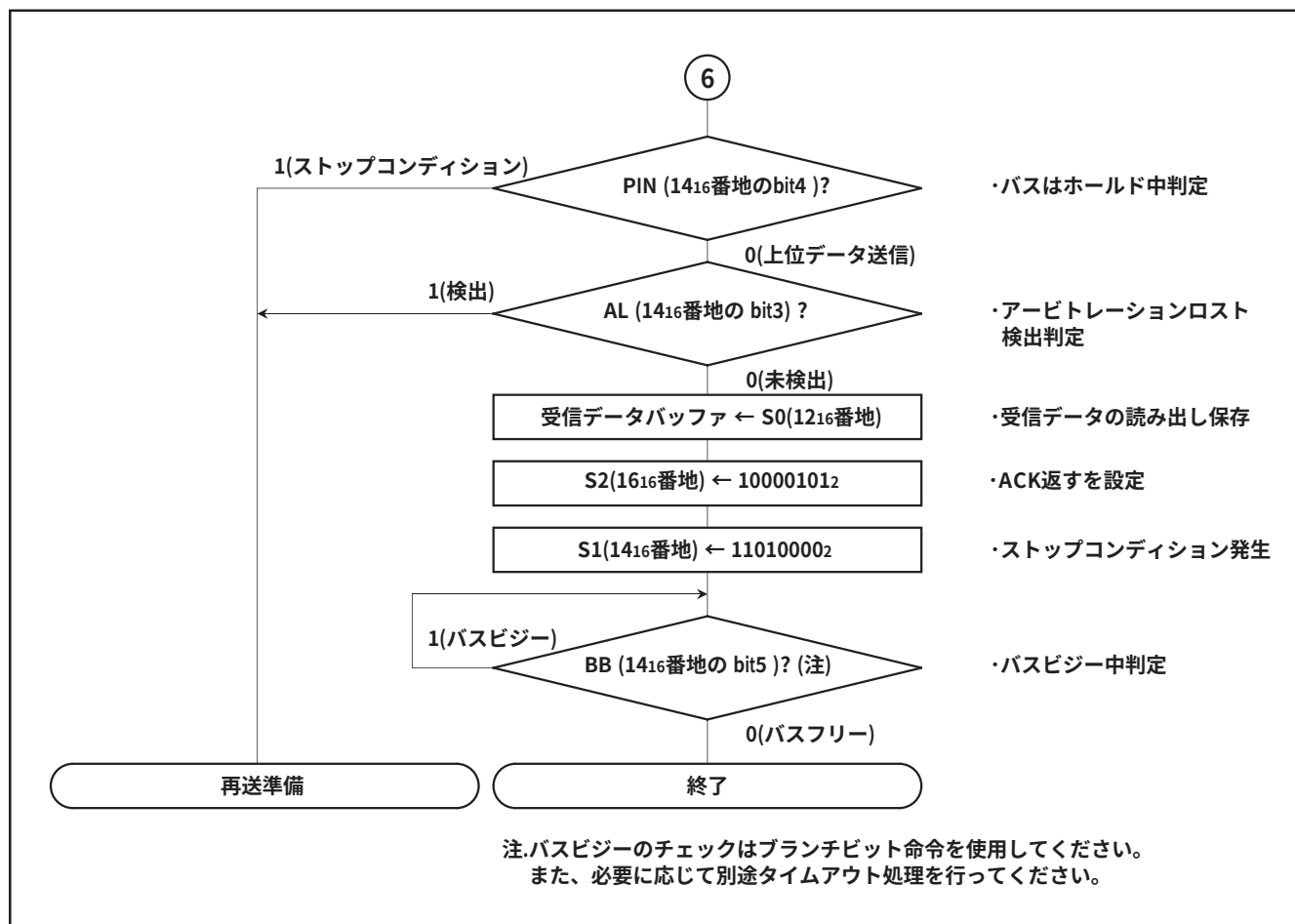


図2.5.24 ストップコンディションの生成処理

(3) スレーブデバイスでの通信例

スレーブデバイスでは、図2.5.25に示す①～⑥の手順になります。ストップコンディション検出後に割り込み要求が発生することが、マスタデバイスとしての通信と異なります。

- ①スタートコンディション受信/スレーブアドレス一致によるアックビットの送信
- ②コマンドの受信
- ③リスタートコンディション受信/スレーブアドレス+リードビットの受信
- ④下位データ送信
- ⑤上位データ送信
- ⑥ストップコンディション受信

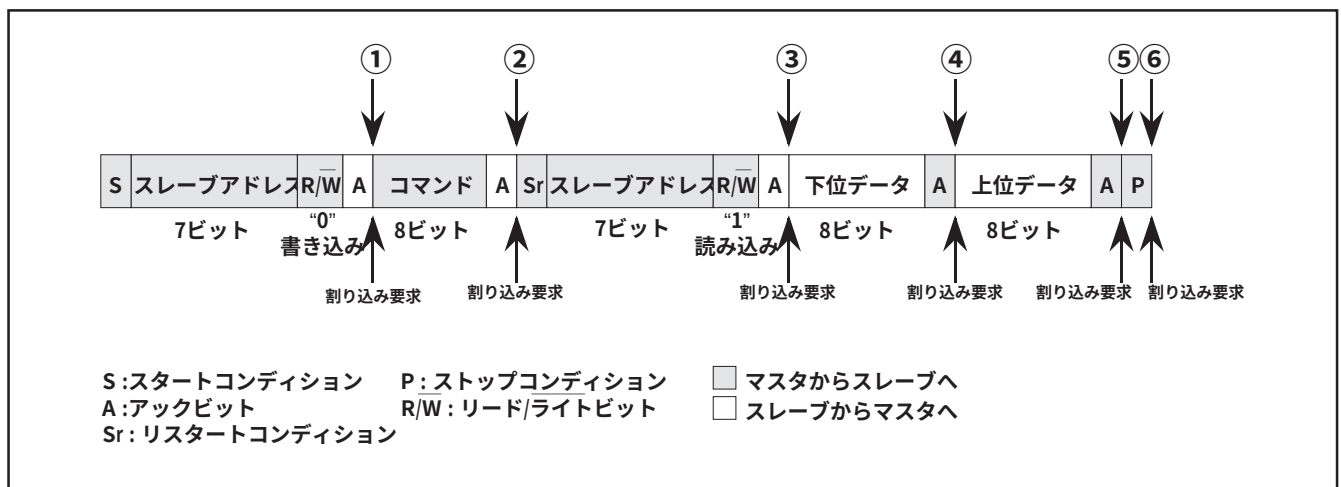


図2.5.25 スレーブデバイスでの通信例

①～⑥の各処理手順を図2.5.26～図2.5.31に示します。

①スタートコンディション受信/スレーブアドレス受信によるアックビットの送信処理

スレーブとして動作する場合、スレーブアドレスが一致するまで割り込み要求が発生しないため、メイン処理でスレーブ受信の設定終了後は、すべて割り込みで処理を行います。最初の割り込みではスレーブアドレスの一致を確認した後、コマンド受信のためのダミーデータをI²Cデータシフトレジスタに書き込みます。

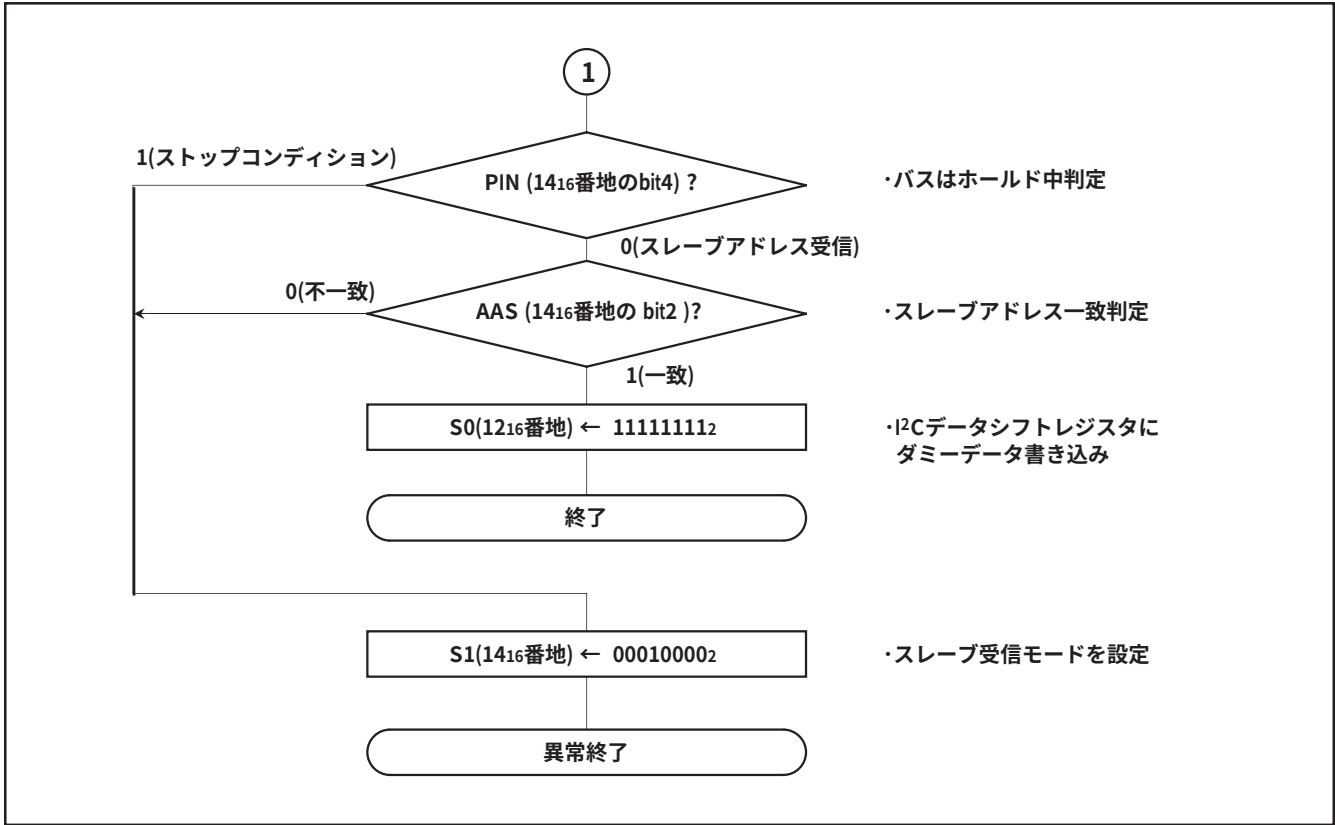


図2.5.26 スタートコンディションとスレーブアドレス受信処理

②コマンドの受信処理

コマンドの受信後の割り込みで、コマンド受信が正常に終了しているかどうか確認します。ホストからのコマンドが正しいかどうか判断した後、次のスレーブアドレス受信待ちのため、I²Cデータシフトレジスタにダミーデータを書き込みます。

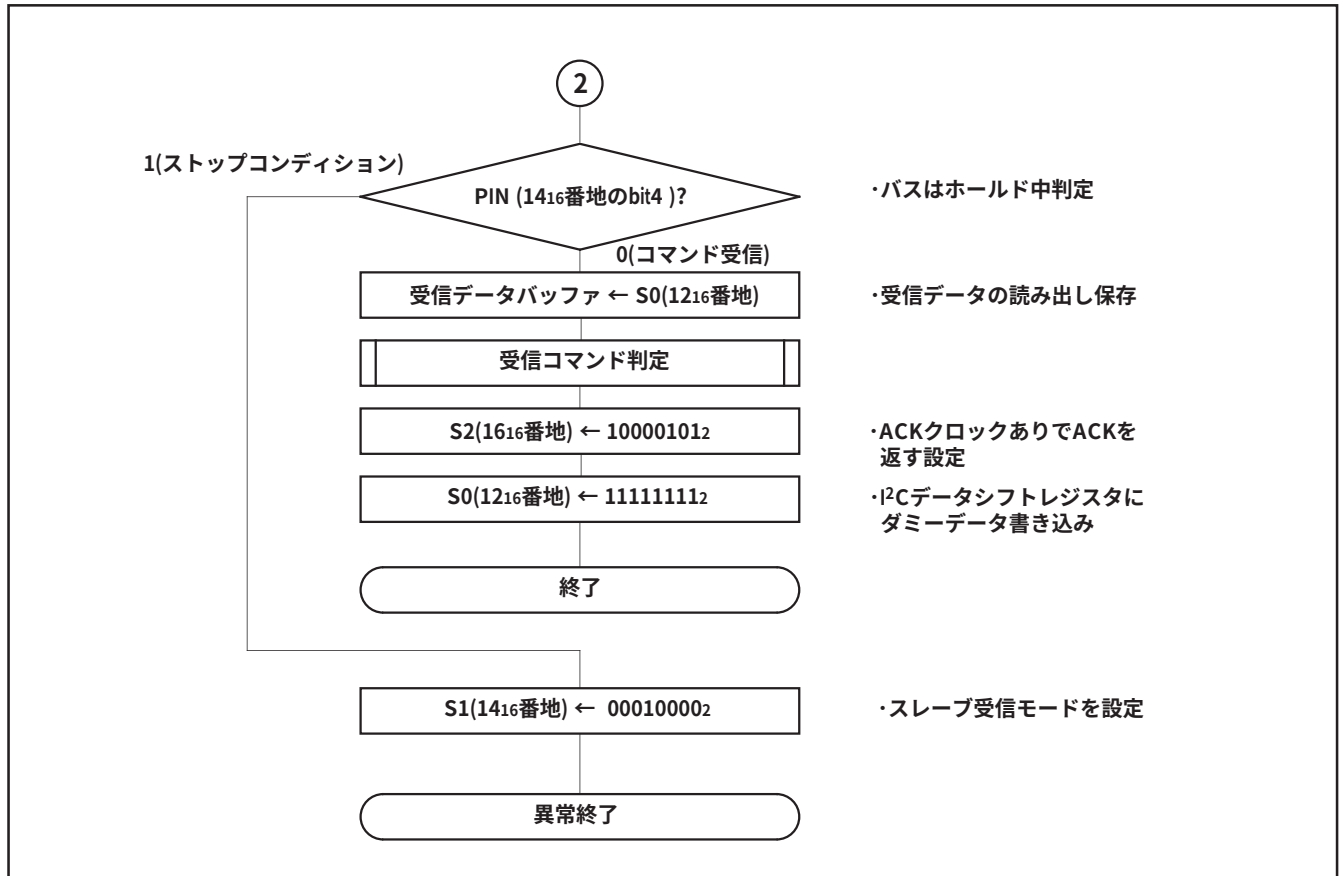


図2.5.27 コマンドの受信処理

③リスタートコンディションとスレーブアドレスの受信処理

スレーブアドレス受信後、送信データの準備をします。スレーブモード時は受信したスレーブアドレスのR/Wビットの状態によって、自動的に受信モードと送信モードが切り替わるため、データを受信するのか、送信するのか判断する必要があります。そのためにスレーブアドレス比較フラグ(AAS)(0014₁₆番地のビット2)を参照してリードかライトかを判定します。

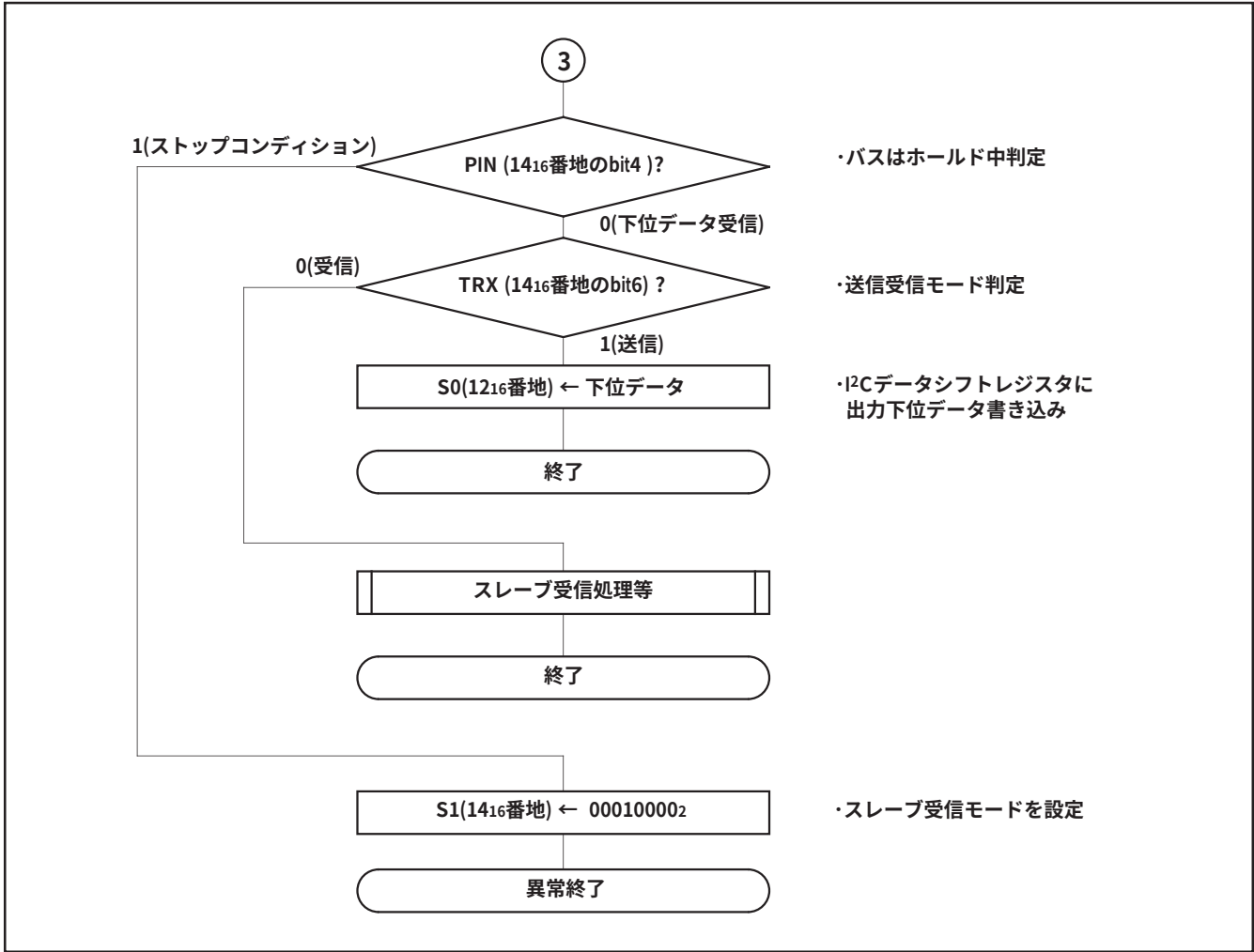


図2.5.28 リスタートコンディションとスレーブアドレスの受信処理

④ 下位データ送信処理

上位データの送信を行う前に、④のデータを送信するためリスタートし、スレーブアドレス受信割り込み時にセットした下位データが正常に送信完了したか確認した後、上位データを送信します。

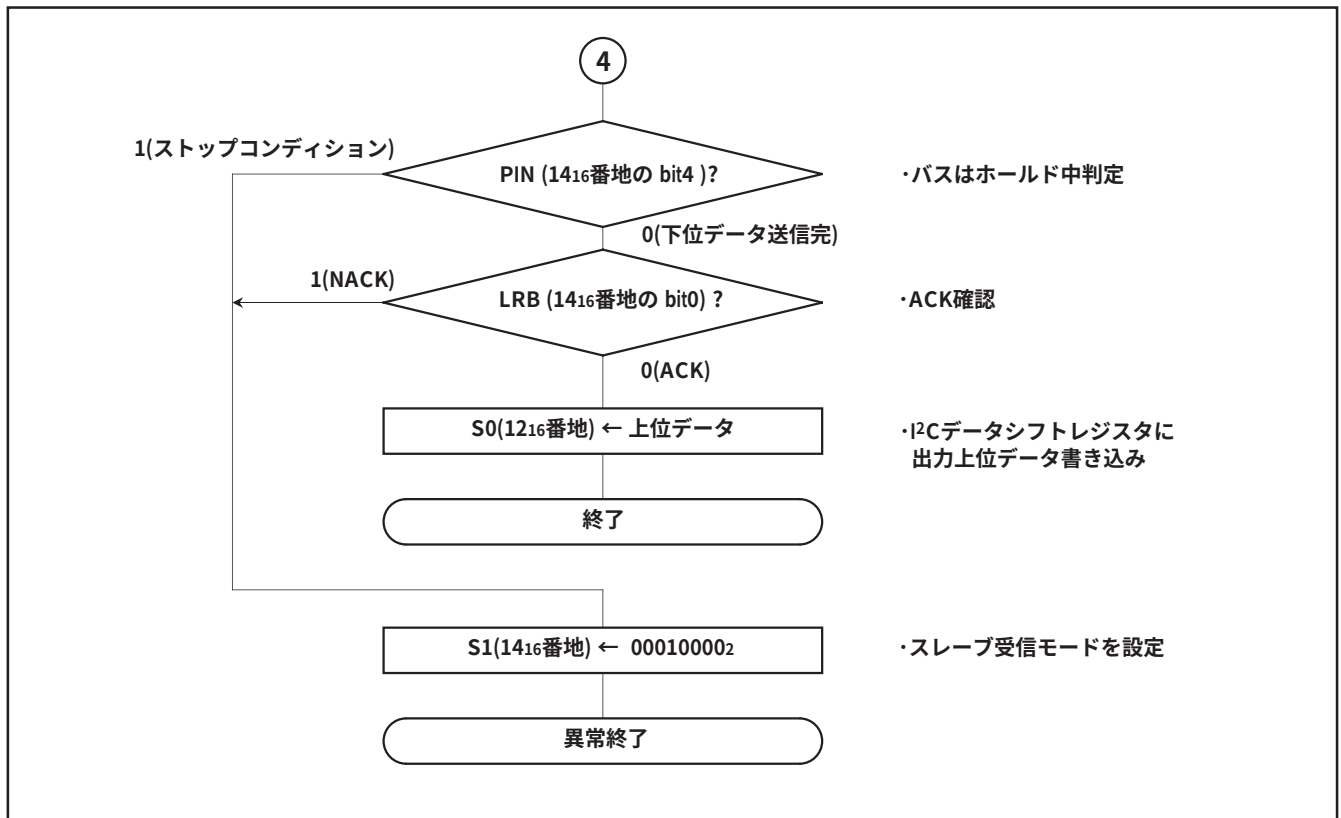


図2.5.29 下位データ送信処理

⑤上位データ送信処理

上位データの送信が正常に完了したかどうか確認します。送信した2バイト目のデータ(上位データ)に対して、マスタは**NACK**を返してくるため、最終受信(LRB)(0014₁₆番地のビット0)が“1”であることを確認します。その後、ダミーデータをI²Cデータシフトレジスタに書き込み、ストップコンディションの割り込みを待ちます。

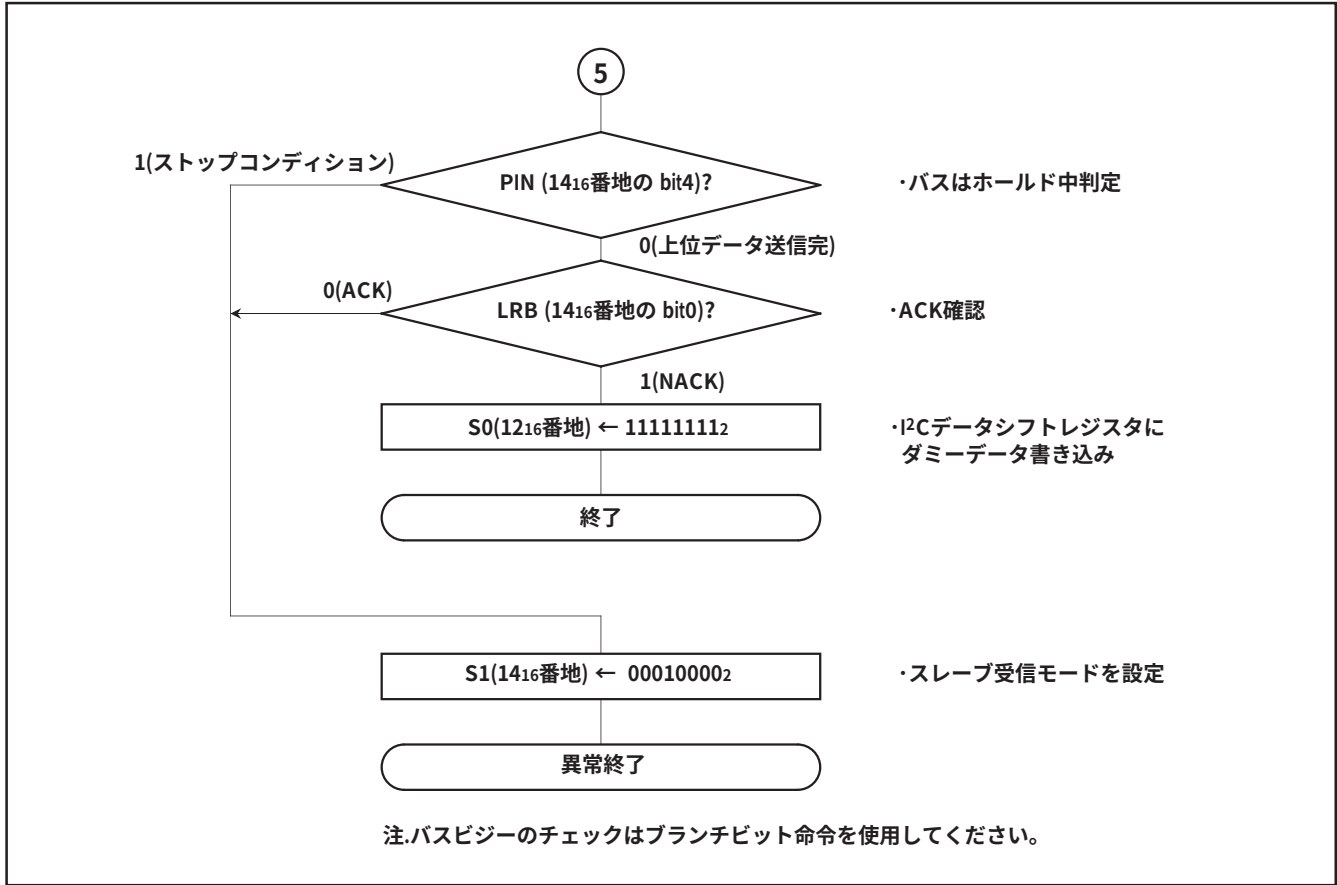


図2.5.30 上位データ送信処理

⑥ストップコンディション受信処理

正常にストップコンディションが出力され、バスが開放されているか確認します。

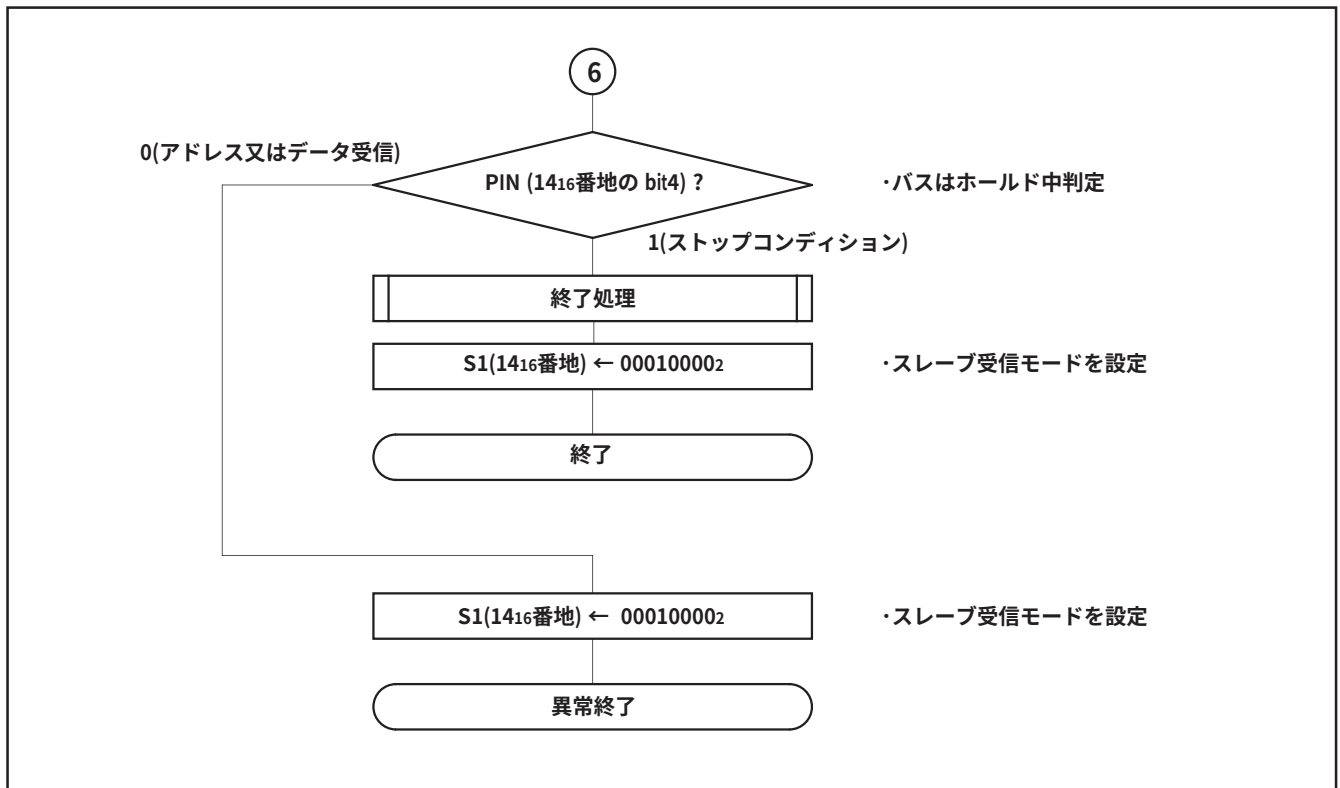


図2.5.31 ストップコンディション受信処理

2.5.7 マルチマスタI²C-BUSインタフェースに関する注意事項

(1) リード・モディファイ・ライト命令の使用について

SEB,CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

①I²Cデータシフトレジスタ(S0:0012₁₆番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

②I²Cアドレスレジスタ(S0D:0013₁₆番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると意図しない値になることがあります。

●理由

ストップコンディション検出時にリード/ライト(RBW)ビットがハードウェアによって変化するため。

③I²Cステータスレジスタ(S1:0014₁₆番地)

すべてのビットはハードウェアによって変化するためリード・モディファイ・ライト命令は使用しないでください。

④I²Cコントロールレジスタ(S1D:0015₁₆番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると意図しない値になることがあります。

●理由

ビットカウンタ(BC0～BC2)がハードウェアによって変化するため

⑤I²Cクロックコントロールレジスタ(S2:0016₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

⑥I²Cスタート/ストップコンディション制御レジスタ(S2D:0017₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

(2) マルチマスタで使用する場合のスタートコンディション発生手順について

①手順例(発生手順の必要条件は②以降に記します。)

```

        LDA  #SLADR          ;スレーブアドレス値の取り出し
        SEI                  ;割り込みの禁止
        BBS  5, S1, BUSBUSY ;BBフラグ確認及び分岐処理
BUSFREE:
        STA  S0              ;スレーブアドレス値の書き込み
        LDM  # $F0, S1      ;スタートコンディション発生トリガ
        CLI                  ;割り込み許可
        :
BUSBUSY:
        CLI                  ;割り込み許可
        :

```

②BBフラグの確認及び分岐処理は**BBS 5,S1,**～のブランチ・ビット・セット命令を必ず使用してください。

③I²Cデータシフトレジスタ(**S0:001216**番地)へのスレーブアドレスの書き込みには、**STA.STX,STY**のゼロページアドレッシング命令を必ず使用してください。

④前記②の分岐命令と③のストア命令は手順例のとおり、必ず連続して実行するようにしてください。

⑤BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生のトリガ、以上3つの処理ステップの間は、必ず割り込みを禁止してください。BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3) リスタートコンディションの発生手順について

外部メモリを使用して、**ONW**機能によりバスサイクルを延長する場合は適用できません。

①手順例(発生手順の必要条件は②以降に記します。)

PINビットが“0”のとき、以下の手順でリスタートコンディションを発生してください。

```

        LDM  # $00, S1      ;スレーブ受信モード
        LDA  #SLADR          ;スレーブアドレス値の取り出し
        SEI                  ;割り込みの禁止
        STA  S0              ;スレーブアドレス値の書き込み
        LDM  # $F0, S1      ;リスタートコンディション発生トリガ
        CLI                  ;割り込み許可
        :

```

②PINビットが“0”の状態ですレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。BBビットへの書き込みに“0”又は“1”の指定はありません。TRXビットが“0”になり、SDA端子が開放されます。

③スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

④スレーブアドレス値の書き込み、リスタートコンディション発生のトリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I²Cステータスレジスタ(S1:0014₁₆番地)への書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令を実行しないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが“1”のときに、MSTビット及びTRXビットを“1”から“0”にする命令を実行しても、同様の状態になることがあります。

(5) マスタ時のストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²Cデータシフトレジスタ S0及び、I²Cステータスレジスタに書き込みを行わないでください。スレーブデバイスによってはストップコンディション波形が正常に出力されないことがあります。なお、上記レジスタに対する読み込みは問題ありません。

(6) 7つ目のクロックパルスのストップコンディション入力

スレーブモードで、スレーブアドレス又はデータの受信中に、クロックパルスが7つ目のときにストップコンディションが入力され、さらに継続してクロックパルスが入力されたとき、BB=“0”にもかかわらずSDAラインが“L”で保持されることがあります。(M38867M8A/E8Aのみ)

対策：

ストップコンディション割り込みでBB=“0”のとき、I²Cデータシフトレジスタにダミーデータをライトするか、S1DレジスタのES0ビットをリセット(ES0=“L”→ES0=“H”)する。

注：リード・モディファイ・ライト命令は使用不可。また、ES0ビットを“0”に設定した時点で汎用ポートになるため、ポートは入力モードが“H”出力に設定する。

(7) ES0ビットの切り替えについて

高速クロックモードか、SSC=“000102”時の標準クロックモードにおいて、SDAが“L”のときにES0ビットを“1”にすると、BB=“1”になることがあります。

対策：

SDAが“H”のときに、ES0=“1”にしてください。

2.6 PWM

本節では**PWM**に関するレジスタの設定方法、注意事項などを説明します。

2.6.1 メモリ配置図

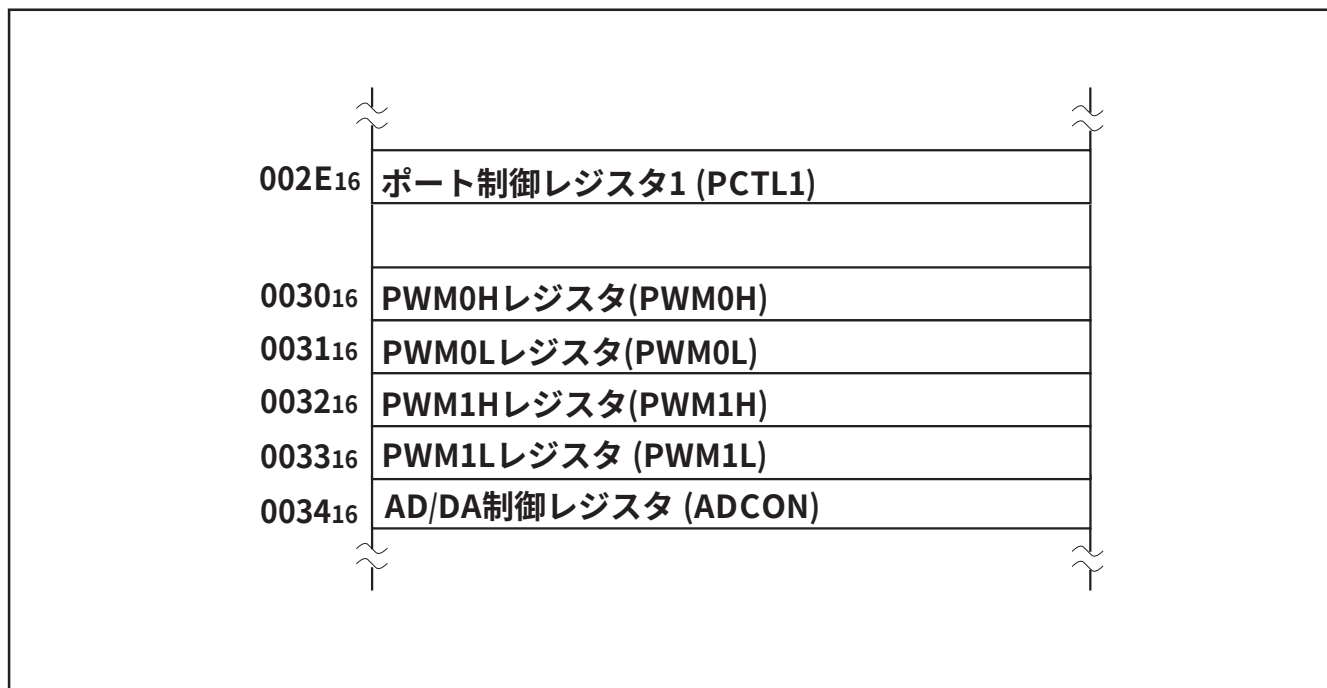


図2.6.1 PWM関連レジスタのメモリ配置

2.6.2 関連レジスタ

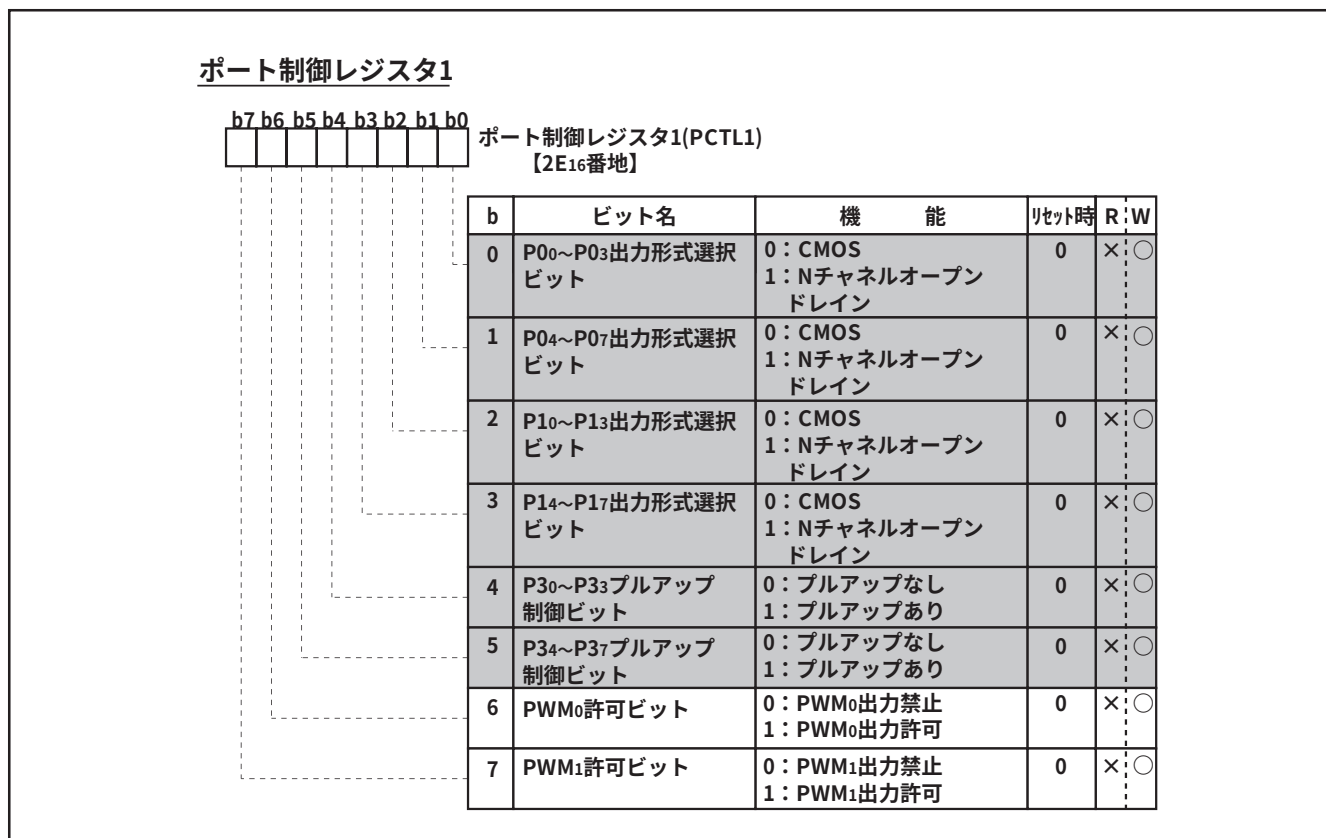


図2.6.2 ポート制御レジスタ1の構成

PWM0Hレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWM0Hレジスタ (PWM0H) 【30₁₆番地】

b	機 能	リセット時	R	W
0	●PWM0H出力データの上位8ビットを設定します。	不定	○	○
1	●書き込まれたデータは、小区間周期(64μs)ごとに	不定	○	○
2	PWM0ラッチに転送されます。	不定	○	○
3	(f(X _{IN})=8MHzの場合)	不定	○	○
4	●読み出した場合、PWM0Hレジスタの値が読み出さ	不定	○	○
5	れます。	不定	○	○
6		不定	○	○
7		不定	○	○

図2.6.3 PWM0Hレジスタの構成

PWM0Lレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWM0Lレジスタ (PWM0L) 【31₁₆番地】

b	機 能	リセット時	R	W
0	●PWM0L出力データの低位6ビットを設定します。	不定	○	○
1	●書き込まれたデータは、繰り返し周期(4096μs)	不定	○	○
2	ごとにPWM0ラッチに転送されます。	不定	○	○
3	(f(X _{IN})=8MHzの場合)	不定	○	○
4	●読み出した場合、PWM0ラッチの低位6ビット値が	不定	○	○
5	読み出されます。	不定	○	○
6	このビットには何も配置されていません。書き込み	不定	○	×
	不可で、読み出した場合、その内容は“0”です			
7	●PWM0ラッチへの転送完了を示します。 { 0: 転送済み	不定	○	×
	●書き込み時、“1”にセットされます。 { 1: 未転送			

図2.6.4 PWM0Lレジスタの構成

PWM1Hレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

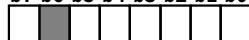
PWM1Hレジスタ (PWM1H) 【32₁₆番地】

b	機 能	リセット時	R	W
0	●PWM1H出力データの上位8ビットを設定します。	不定	○	○
1	●書き込まれたデータは、小区間周期(64 μs)ごとに	不定	○	○
2	PWM1ラッチに転送されます。	不定	○	○
3	(f(XIN)=8MHzの場合)	不定	○	○
4	●読み出した場合、PWM1Hレジスタの値が読み出さ	不定	○	○
5	れます。	不定	○	○
6		不定	○	○
7		不定	○	○

図2.6.5 PWM1Hレジスタの構成

PWM1Lレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWM1Lレジスタ (PWM1L) 【33₁₆番地】

b	機 能	リセット時	R	W
0	●PWM1L出力データの下位6ビットを設定します。	不定	○	○
1	●書き込まれたデータは、繰り返し周期(4096 μs)	不定	○	○
2	ごとにPWM1ラッチに転送されます。	不定	○	○
3	(f(XIN)=8MHzの場合)	不定	○	○
4	●読み出した場合、PWM1ラッチの下位6ビット値が	不定	○	○
5	読み出されます。	不定	○	○
6	このビットには何も配置されていません。書き込み	不定	○	×
	不可で、読み出した場合、その内容は“0”です			
7	●PWM1ラッチへの転送完了を示します。 { 0: 転送済み	不定	○	×
	●書き込み時、“1”にセットされます。 { 1: 未転送			

図2.6.6 PWM1Lレジスタの構成

AD/DA制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

AD/DA制御レジスタ(ADCON) 【34₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0: P6 ₀ /AN ₀	0	○	○
		0 0 1: P6 ₁ /AN ₁			
		0 1 0: P6 ₂ /AN ₂			
		0 1 1: P6 ₃ /AN ₃			
		1 0 0: P6 ₄ /AN ₄			
		1 0 1: P6 ₅ /AN ₅			
		1 1 0: P6 ₆ /AN ₆			
		1 1 1: P6 ₇ /AN ₇			
1					
2					
3	AD変換終了ビット	0: 変換中 1: 変換終了	1	○	○
4	PWM ₀ 出力端子選択ビット	0: P5 ₆ /PWM ₀₁ 1: P3 ₀ /PWM ₀₀	0	○	○
5	PWM ₁ 出力端子選択ビット	0: P5 ₇ /PWM ₁₁ 1: P3 ₁ /PWM ₁₀	0	○	○
6	DA ₁ 出力許可ビット	0: DA ₁ 出力禁止 1: DA ₁ 出力許可	0	○	○
7	DA ₂ 出力許可ビット	0: DA ₂ 出力禁止 1: DA ₂ 出力許可	0	○	○

図2.6.7 AD/DA制御レジスタの構成

2.6.3 PWMの応用例

(1) VSチューナーの制御

図2.6.8に接続図、図2.6.9に関連レジスタの設定を示します。

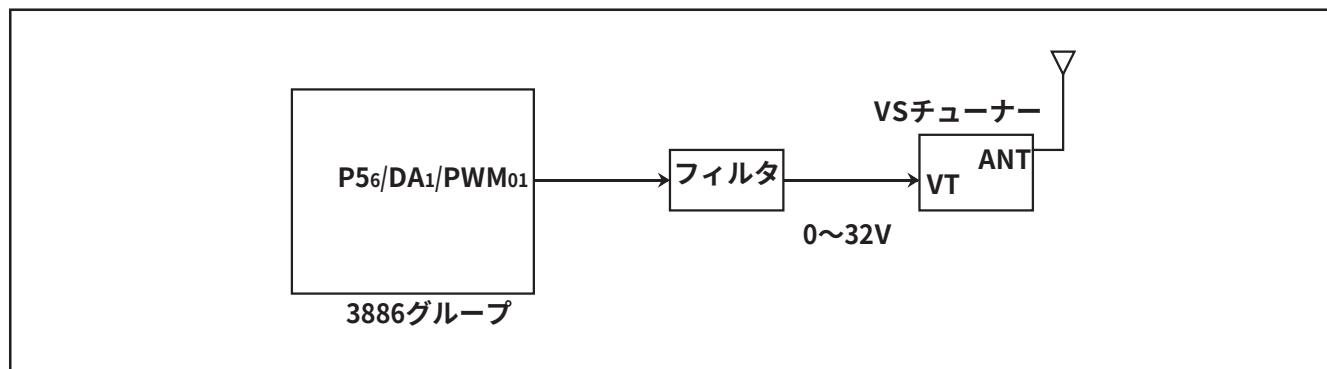


図2.6.8 接続図

仕様：●14ビット分解能のPWM₀出力機能を使用して、VSチューナーを制御する
● $f(X_{IN})=8\text{MHz}$

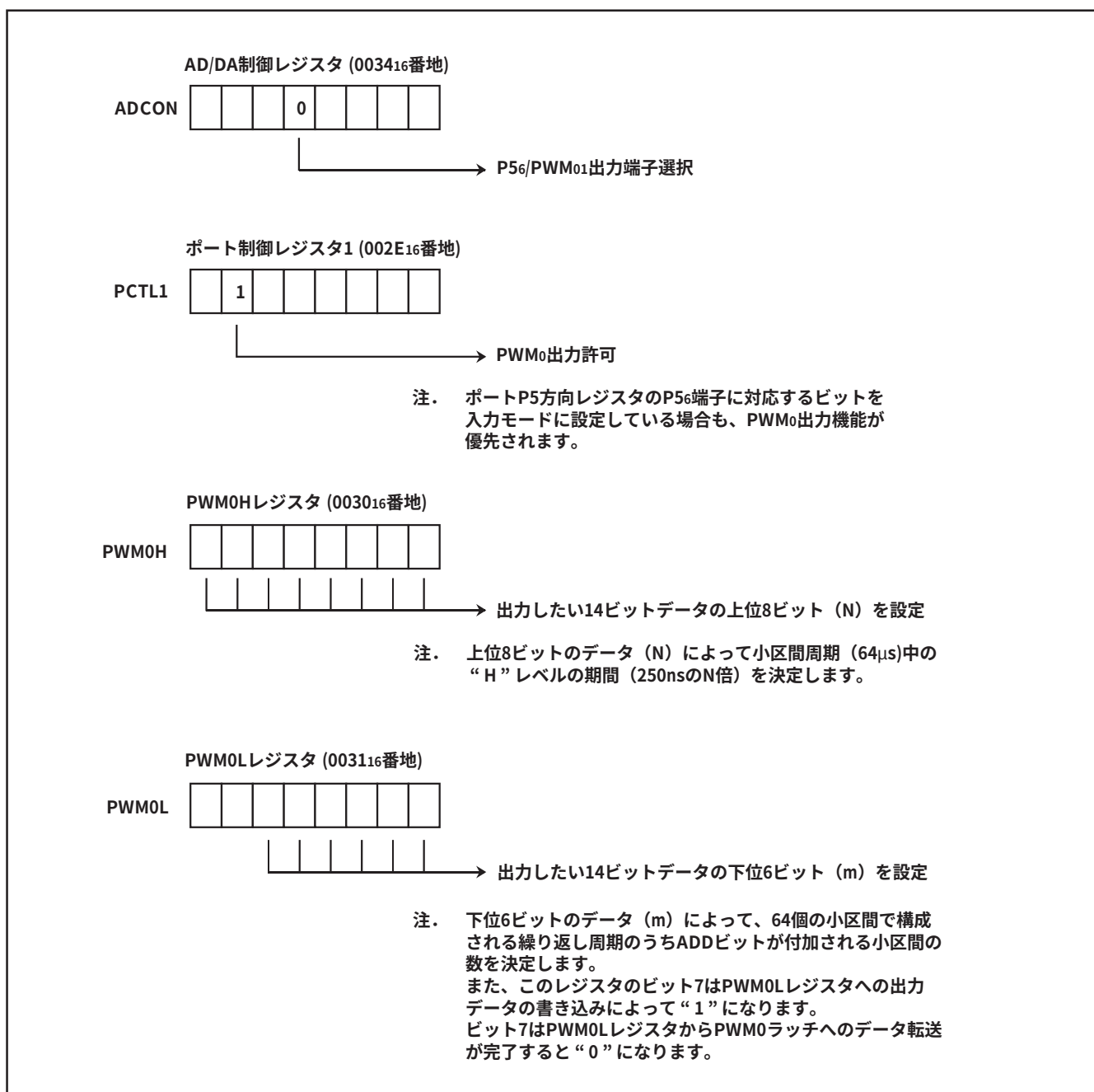
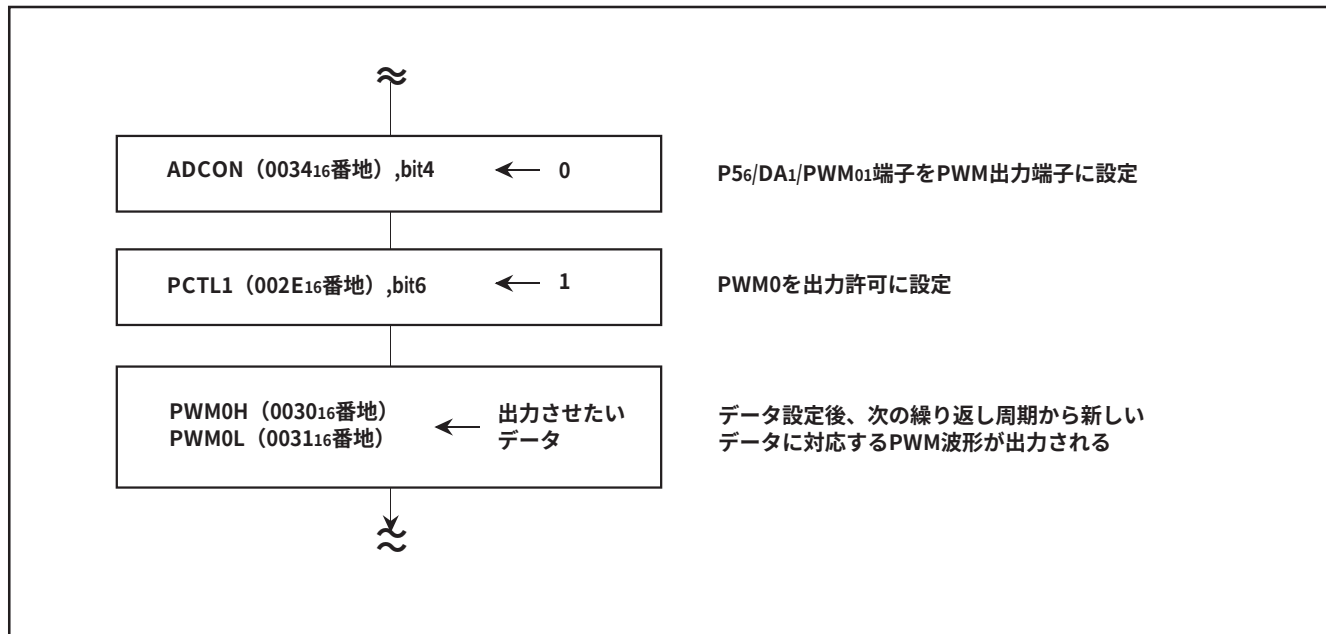


図2.6.9 関連レジスタの設定

制御手順：

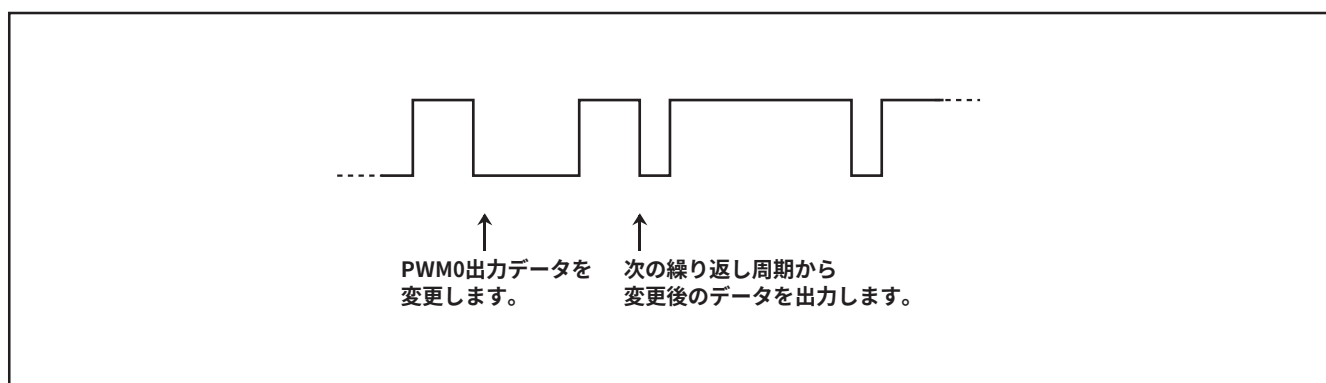
図2.6.9に示した関連レジスタの設定を行うと**PWM**波形が外部に出力されます。この**PWM**₀出力をローパスフィルタで積分して直流信号に変換し、**VS**チューナーの制御に使用します。

図2.6.10に制御手順を示します。



2.6.4 PWMに関する注意事項

- **PWM**₀出力では“**L**”レベルの期間が先に出力されます。
- **PWM0L**レジスタ及び**PWM0H**レジスタにデータを設定後、次の繰り返し周期から新しいデータに対応する**PWM**波形が出力されます。



2.7 A-D変換器

本節ではA-D変換器に関するレジスタの設定方法、注意事項などを説明します。

2.7.1 メモリ配置図



図2.7.1 A-D変換器関連レジスタのメモリ配置

2.7.2 関連レジスタ

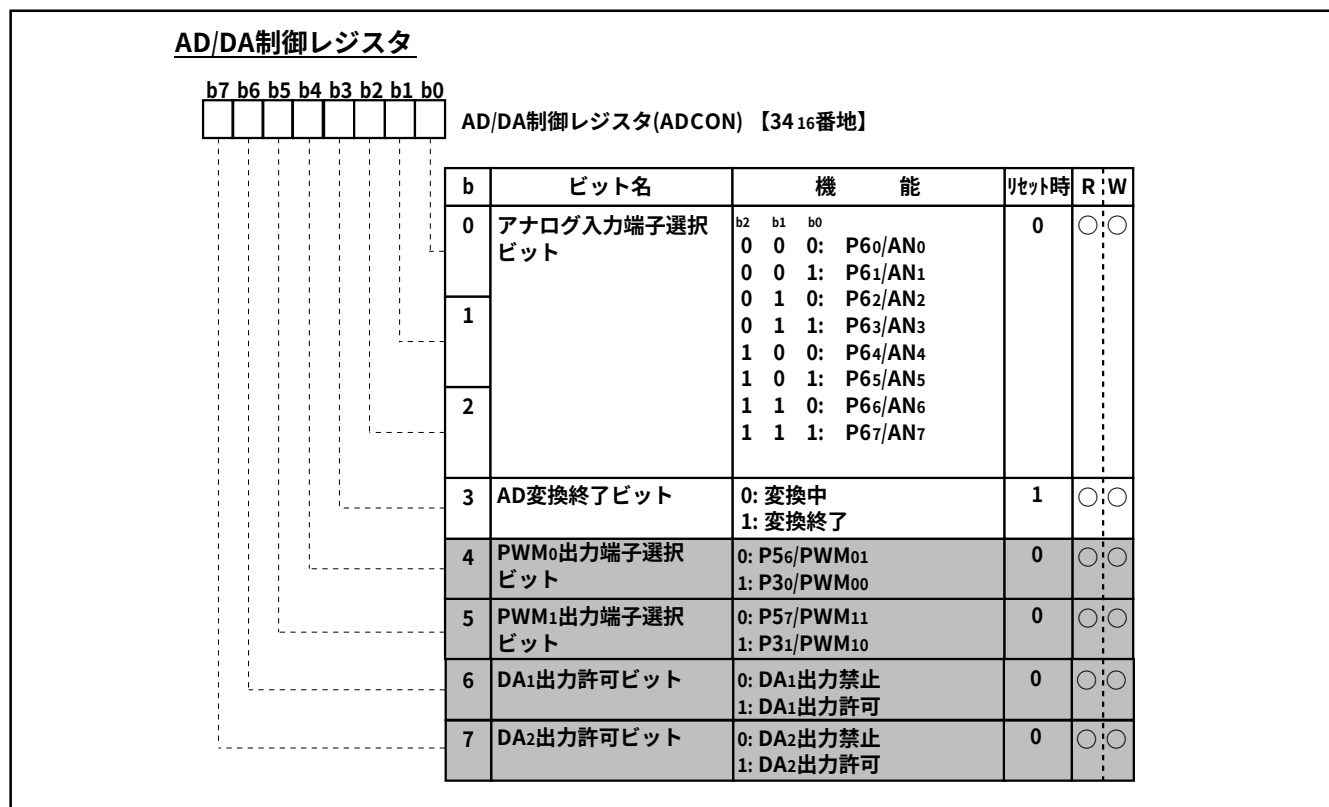
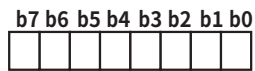


図2.7.2 AD/DA制御レジスタの構成

A-D変換レジスタ1

A-D変換レジスタ1(AD1) 【3516番地】

b	機 能	リセット時	R	W
0	A-D変換結果が格納される読み出し専用のレジスタ	不定	○	×
1		不定	○	×
2	8ビット読み出し時 b7 b6 b5 b4 b3 b2 b1 b0	不定	○	×
3		不定	○	×
4		不定	○	×
5	10ビット読み出し時 b7 b6 b5 b4 b3 b2 b1 b0	不定	○	×
6		不定	○	×
7		不定	○	×

図2.7.3 A-D変換レジスタ1の構成

A-D変換レジスタ2

A-D変換レジスタ2(AD2) 【3816番地】

b	機 能	リセット時	R	W
0	A-D変換結果が格納される読み出し専用のレジスタ	不定	○	×
1	10ビット読み出し時 b7 b6 b5 b4 b3 b2 b1 b0	不定	○	×
2	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。	0	○	×
3		0	○	×
4		0	○	×
5		0	○	×
6		0	○	×
7	変換モード選択ビット 0：10ビットA-Dモード 1：8ビットA-Dモード	0	○	○

図2.7.4 A-D変換レジスタ2の構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

割り込み要因選択レジスタ(INTSEL) 【3916番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インプットバッファフル割り込み要因選択ビット	0:INT0割り込み 1:インプットバッファフル割り込み	0	○	○
1	INT1/アウトプットバッファインプティ割り込み要因選択ビット	0:INT1割り込み 1:アウトプットバッファインプティ	0	○	○
2	シリアル/O1送信/SCL, SDA割り込み要因選択ビット	0:シリアル/O1送信割り込み *1 1:SCL, SDA割り込み	0	○	○
3	CNTR0/SCL, SDA割り込み要因選択ビット	0:CNTR0割り込み *1 1:SCL, SDA割り込み	0	○	○
4	シリアル/O2/I ² C割り込み要因選択ビット	0:シリアル/O2割り込み *2 1:I ² C割り込み	0	○	○
5	INT2/I ² C割り込み要因選択ビット	0:INT2割り込み *2 1:I ² C割り込み	0	○	○
6	CNTR1/キーウォイクアップ割り込み要因選択ビット	0:CNTR1割り込み *3 1:キーウォイクアップ割り込み	0	○	○
7	AD変換/キーウォイクアップ割り込み要因選択ビット	0:AD変換割り込み *3 1:キーウォイクアップ割り込み	0	○	○

*1: 同時に“1”を書き込まないでください。

*2: 同時に“1”を書き込まないでください。

*3: 同時に“1”を書き込まないでください。

図2.7.5 割り込み要因選択レジスタの構成

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ2(IREQ2) [3D 16番地]

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	CNTR1/キーウォイクアップ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアルI/O2/I ² C割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	INT2/I ² C割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	INT3割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	INT4割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	A-D変換/キーウォイクアップ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	○	×

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.7.6 割り込み要求レジスタ2の構成

割り込み制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

割り込み制御レジスタ2(ICON2) [3F 16番地]

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
1	CNTR1/キーウォイクアップ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
2	シリアルI/O2/I ² C割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
3	INT2/I ² C割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
4	INT3割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
5	INT4割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
6	A-D変換/キーウォイクアップ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○	○
7	このビットは“0”に固定してください。		0	○	○

図2.7.7 割り込み制御レジスタ2の構成

2.7.3 A-D変換応用例

(1) アナログ信号の読み込み

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.7.8、関連レジスタの設定を図2.7.9に示します。

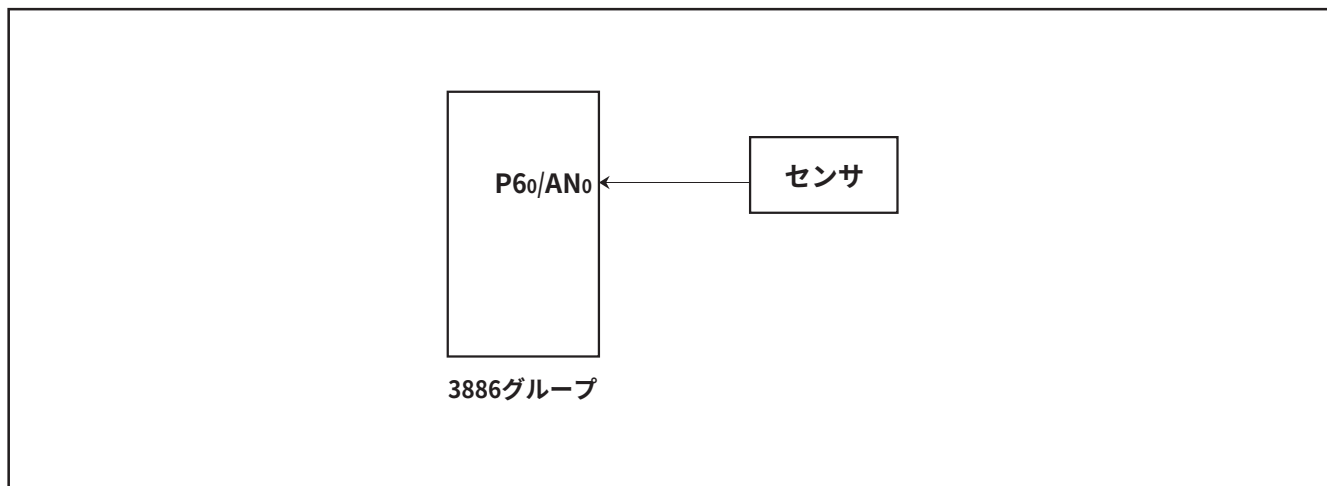


図2.7.8 接続図

- 仕様：・センサからアナログ入力電圧をデジタル値に変換。
・アナログ入力端子にはP60/AN0端子を使用。

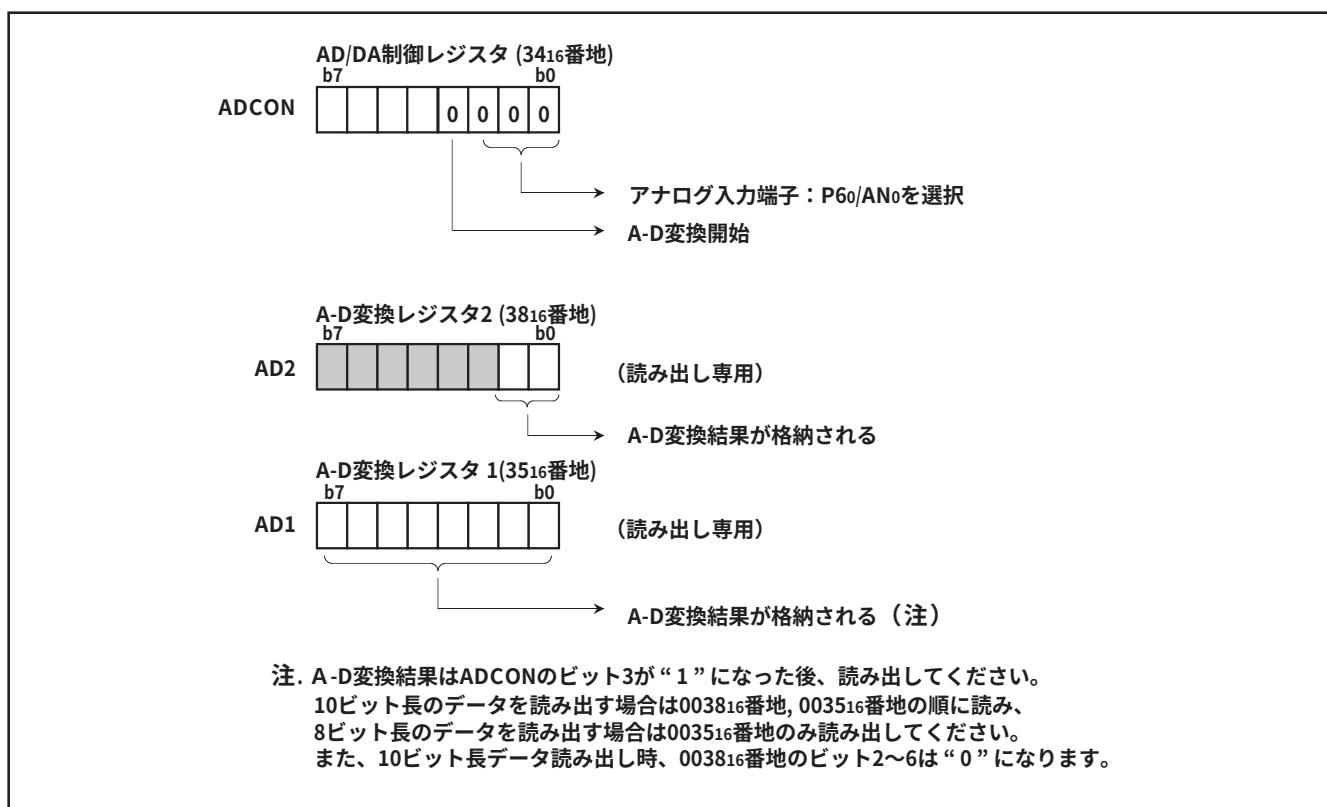


図2.7.9 関連レジスタの設定

図2.7.9に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.7.10に8ビット読み出し時の制御手順を、図2.7.11に10ビット読み出し時の制御手順を示します。

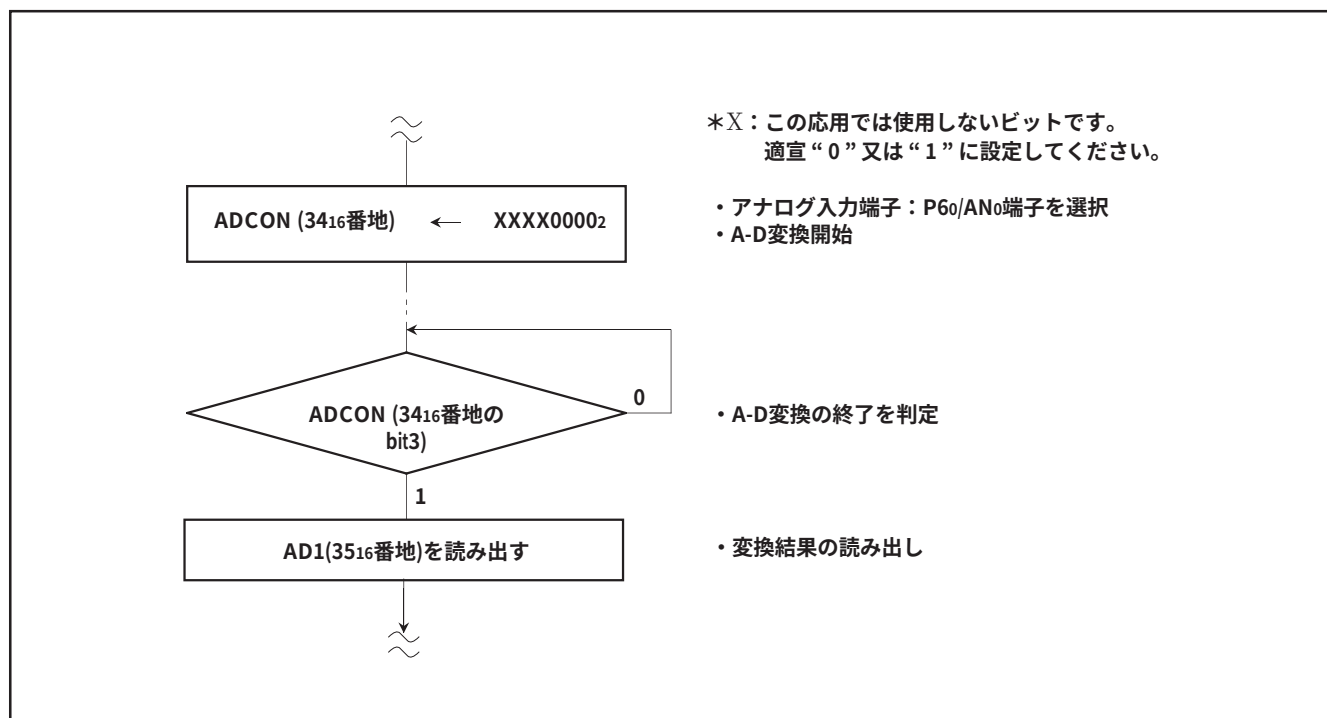


図2.7.10 制御手順(8ビット読み出し時)

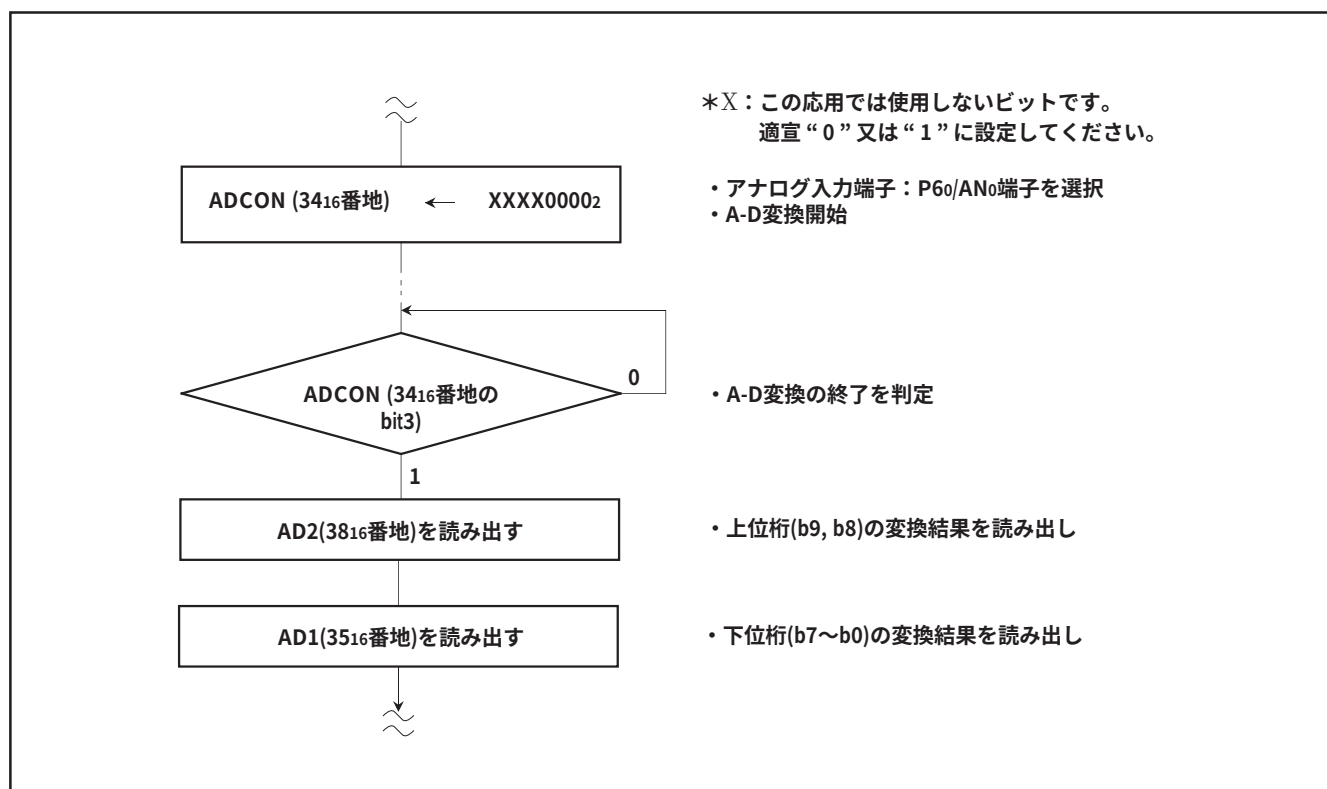


図2.7.11 制御手順(10ビット読み出し時)

2.7.4 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、**0.01 μ F**～**1 μ F**の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

●理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分な**A-D**変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、**A-D**変換器用電源端子**AVss**は以下のように処理してください。

- ・ **AVss** : **Vss**に接続

●理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、**A-D**変換中は以下の**2**点に留意してください。

- ・ **f(XIN)**は**500kHz**以上にしてください。
- ・ **STP**命令を実行しないでください。

2.8 D-A変換器

本節ではD-A変換器に関するレジスタの設定方法、注意事項などを説明します。

2.8.1 メモリ配置図

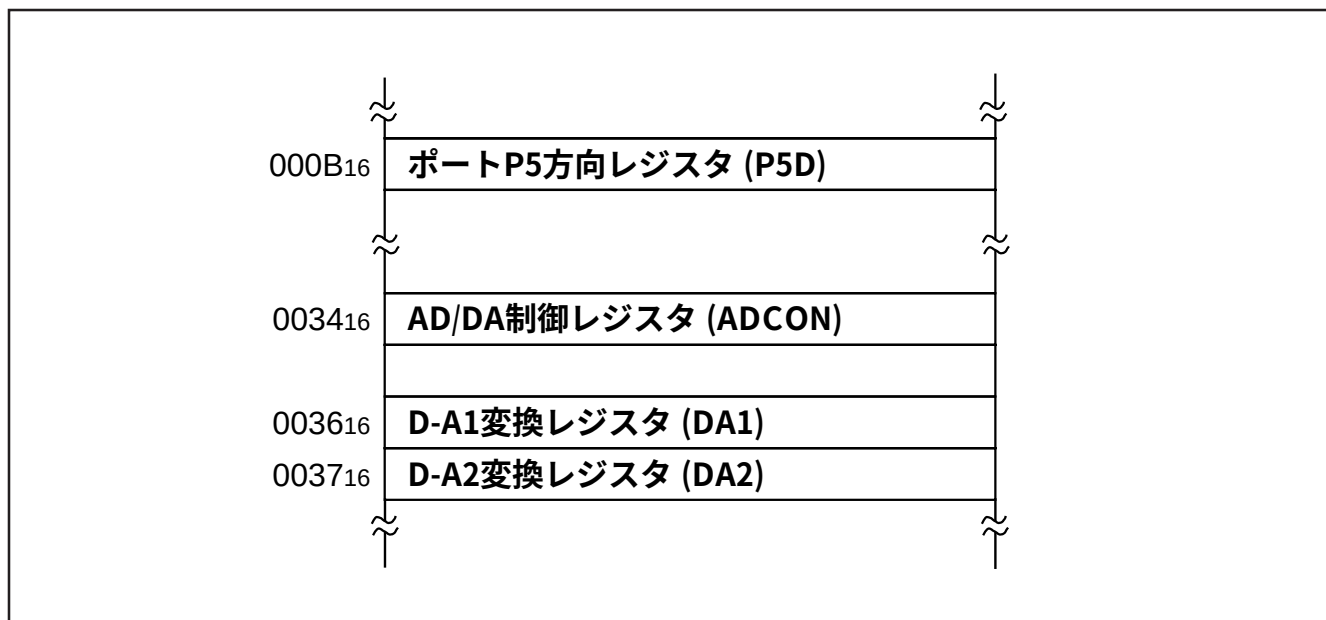


図2.8.1 D-A変換器関連レジスタのメモリ配置

2.8.2 関連レジスタ

ポートP5方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

ポートP5方向レジスタ(P5D)【0B16番地】

b	ビット名	機 能	リセット時	R	W
0	ポートP5方向レジスタ	0: ポートP5 ₀ 入力モード 1: ポートP5 ₀ 出力モード	0	×	○
1		0: ポートP5 ₁ 入力モード 1: ポートP5 ₁ 出力モード	0	×	○
2		0: ポートP5 ₂ 入力モード 1: ポートP5 ₂ 出力モード	0	×	○
3		0: ポートP5 ₃ 入力モード 1: ポートP5 ₃ 出力モード	0	×	○
4		0: ポートP5 ₄ 入力モード 1: ポートP5 ₄ 出力モード	0	×	○
5		0: ポートP5 ₅ 入力モード 1: ポートP5 ₅ 出力モード	0	×	○
6		0: ポートP5 ₆ 入力モード 1: ポートP5 ₆ 出力モード	0	×	○
7		0: ポートP5 ₇ 入力モード 1: ポートP5 ₇ 出力モード	0	×	○

図2.8.2 ポートP5方向レジスタの構成

AD/DA制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

AD/DA制御レジスタ(ADCON)【34₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0: P6 ₀ /AN ₀ 0 0 1: P6 ₁ /AN ₁ 0 1 0: P6 ₂ /AN ₂ 0 1 1: P6 ₃ /AN ₃ 1 0 0: P6 ₄ /AN ₄ 1 0 1: P6 ₅ /AN ₅ 1 1 0: P6 ₆ /AN ₆ 1 1 1: P6 ₇ /AN ₇	0	○	○
1					
2					
3		0: 変換中 1: 変換終了	1	○	○
4		0: P5 ₆ /PWM ₀₁ 1: P3 ₀ /PWM ₀₀	0	○	○
5		0: P5 ₇ /PWM ₁₁ 1: P3 ₁ /PWM ₁₀	0	○	○
6		0: DA ₁ 出力禁止 1: DA ₁ 出力許可	0	○	○
7		0: DA ₂ 出力禁止 1: DA ₂ 出力許可	0	○	○

図2.8.3 AD/DA制御レジスタの構成

D-A_i変換レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

D-A_i変換レジスタ(DA_i) (i=1,2) 【36₁₆, 37₁₆番地】

b	機 能	リセット時	R	W
0	D-A出力値を書き込む専用のレジスタ	0	×	○
1		0	×	○
2		0	×	○
3		0	×	○
4		0	×	○
5		0	×	○
6		0	×	○
7		0	×	○

図2.8.4 D-A_i変換レジスタの構成

2.8.3 D-A変換の応用例

(1) スピーカ出力の音量調節

ポイント：D-A変換器を使用して、スピーカ出力の音量を調節します。

- 仕様：・音程は、タイマXにより音の周期を調整し、一定音（“ラ”の音：約440Hz）を出力する。
 音量は、D-A出力値により音の振幅を調節する。タイマX割り込み処理ルーチン内で、D-A出力値の切り替えを行う。
- ・ $f(X_{IN}) = 6\text{MHz}$ を使用する。
 - ・ D-A変換器としてDA1(P56/DA1端子)を使用する。

図2.8.5に接続図、図2.8.6にスピーカ出力例、図2.8.7に関連レジスタの設定を示します。

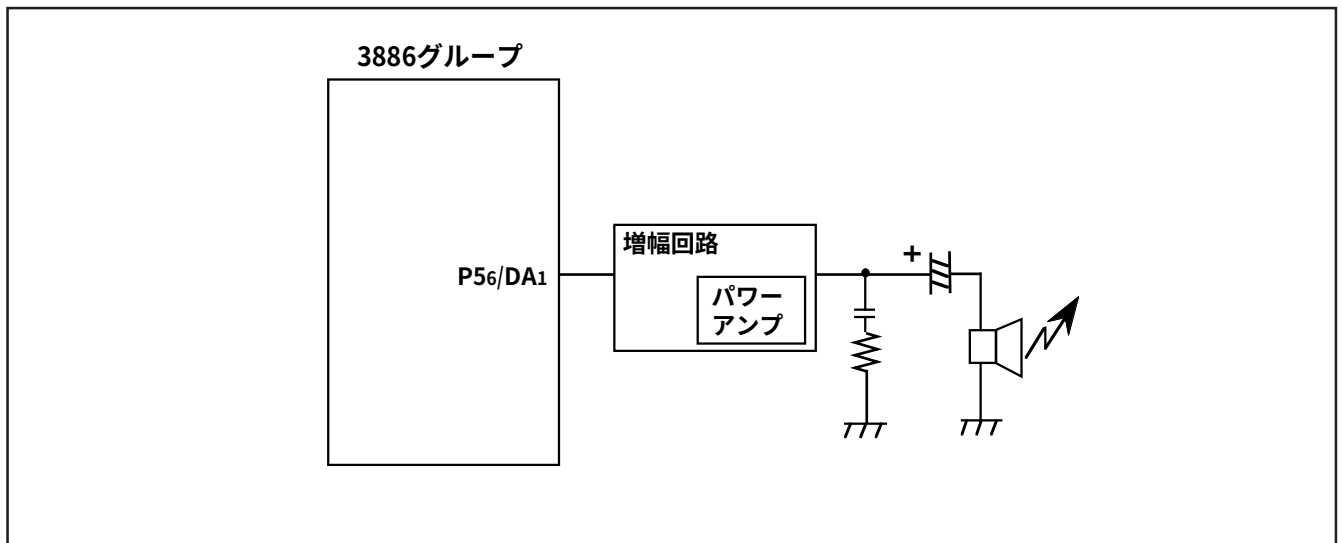


図2.8.5 接続図

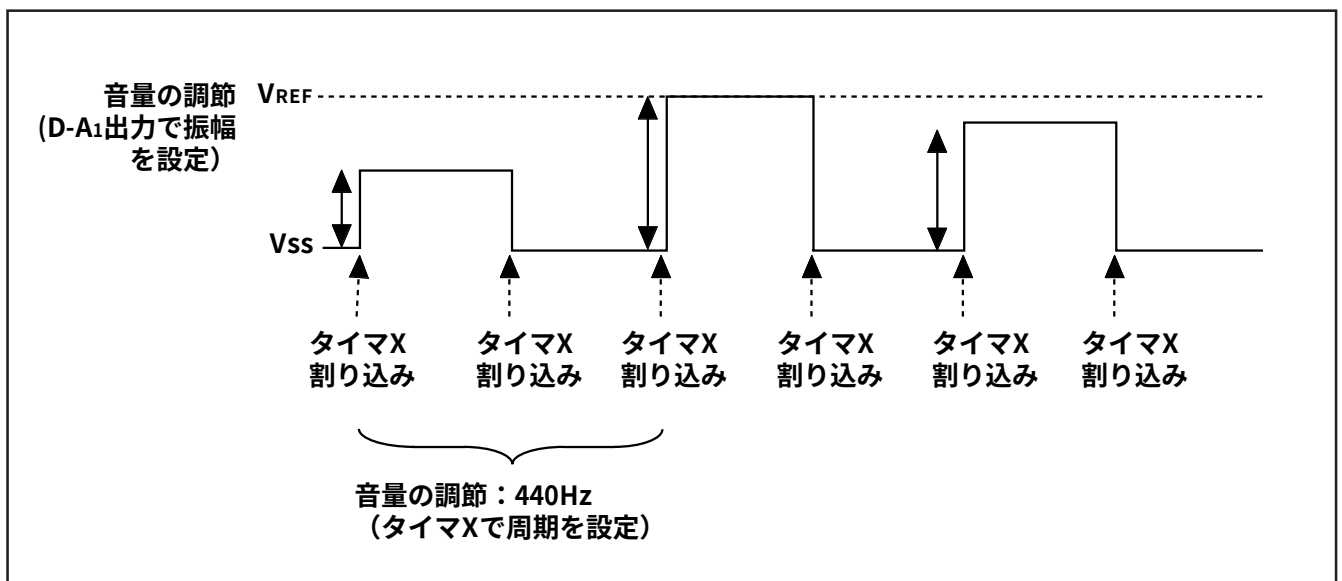


図2.8.6 スピーカ出力例

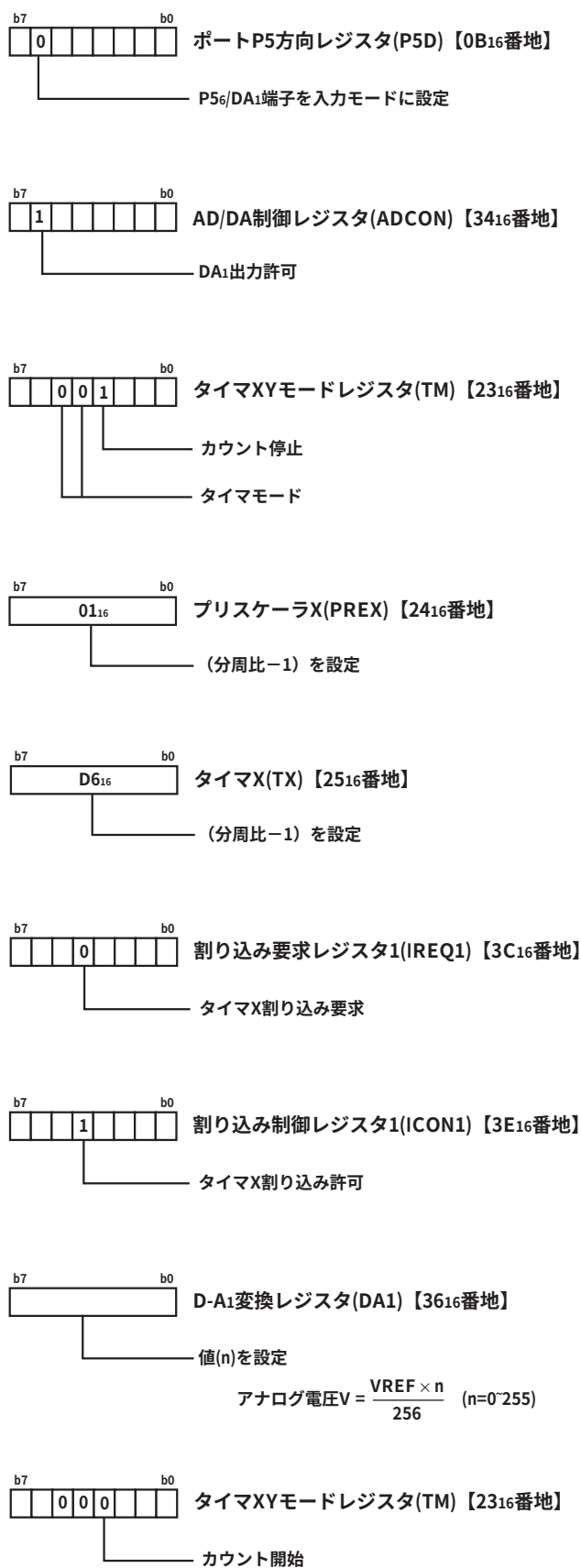


図2.8.7 関連レジスタの設定

図2.8.7に示した関連レジスタの設定を行うとD-A出力値によりスピーカ出力の音量を調節します。
図2.8.8に制御手順を示します。

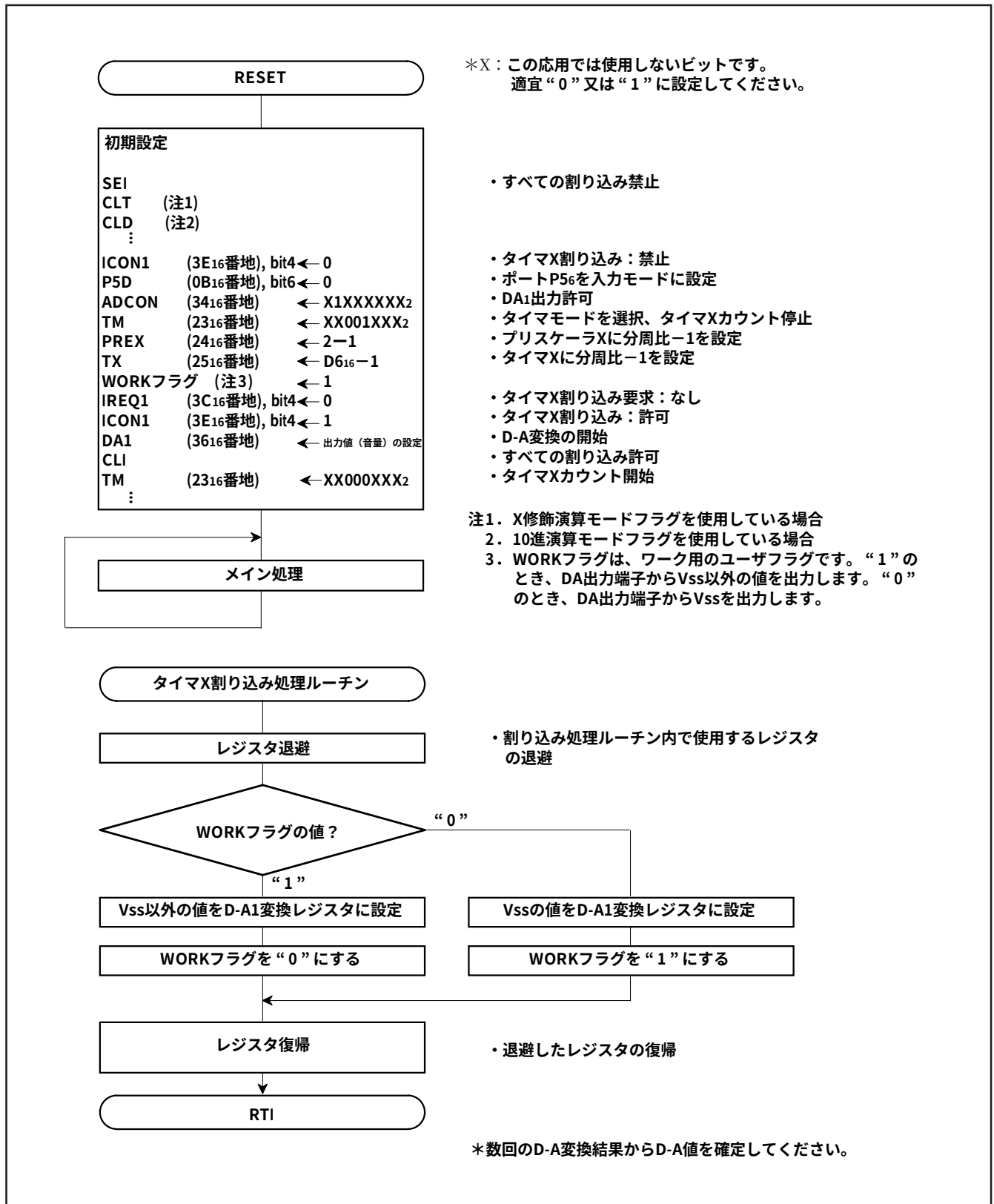


図2.8.8 制御手順

2.8.4 D-A変換器に関する注意事項

D-A変換器使用時は以下の点に注意してください。

(1) D-A変換器を使用する場合のVcc

D-A変換器の精度はVccが4.0V以下で異なります。D-A変換器を使用する場合は、Vccを4.0V以上にすることを推奨します。

(2) D-A変換器を使用しない場合のVcc

D-A変換器を使用しない場合、D-Ai変換レジスタ(i=1, 2)の設定値は、すべて“00₁₆”にしてください。リセット後の初期値は“00₁₆”です。

2.9 バスインタフェース

本節ではバスインタフェースに関するレジスタの設定方法、ソフトウェア例などを説明します。

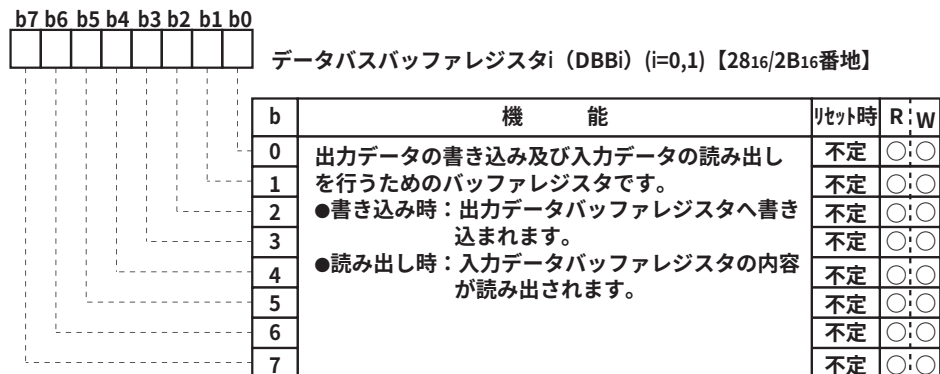
2.9.1 メモリ配置図



図2.9.1 バスインタフェース関連レジスタのメモリ配置

2.9.2 関連レジスタ

データベースバッファレジスタ



注． 出力データバスバッファと入力データバスバッファは同一番地に
設けられています。
出力データバッファレジスタの内容を読み出すことはできません。
入力データバッファレジスタへ書き込むことはできません。

図2.9.2 データバスバッファレジスタの構成

データベースバッファステータスレジスタ

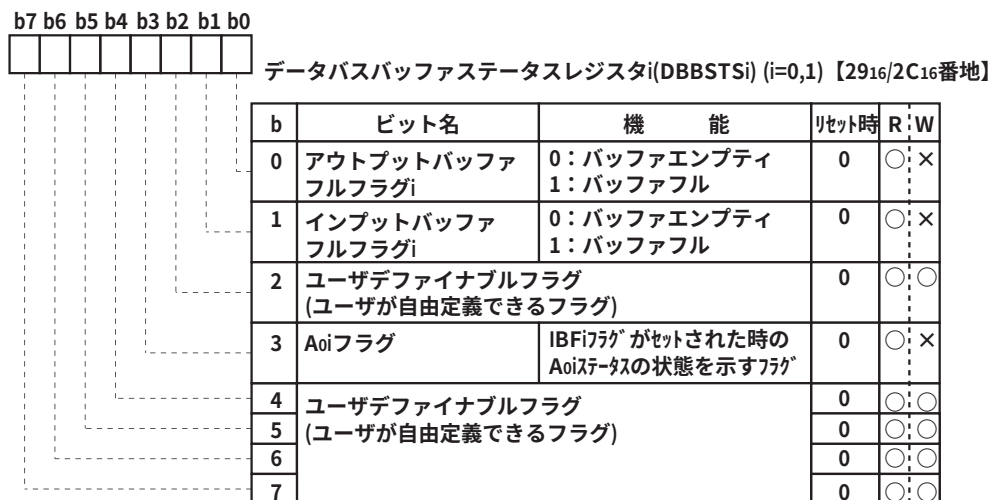


図2.9.3 データバスバッファステータスレジスタの構成

データバスバッファ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

データバスバッファ制御レジスタ(DBBCON) 【2A 16番地】

b	ビット名	機 能	リセット時	R : W
0	データバスバッファ許可ビット	0:P50～P53,P8入出力ポート 1:データバスバッファ許可	0	○:○
1	データバスバッファ機能選択ビット	0:シングルデータバスバッファモード (P47は入出力ポート) 1:ダブルデータバスバッファモード (P47はS1入力)	0	○:○
2	OBF0出力選択ビット	0:OBF00が有効 1:OBF01が有効	0	○:○
3	OBF00出力許可ビット	0:P42はポート入出力端子 1:P42はOBF00出力端子	0	○:○
4	OBF01出力許可ビット	0:P43はポート入出力端子 1:P43はOBF01出力端子	0	○:○
5	OBF10出力許可ビット	0:P46はポート入出力端子 1:P46はOBF10出力端子	0	○:○
6	入力レベル選択ビット	0:CMOSレベル入力 1:TTLレベル入力	0	○:○
7	このビットは“0”に固定してください。		0	○:○

図2.9.4 データバスバッファ制御レジスタの構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要因選択レジスタ(INTSEL) 【39 16番地】

b	ビット名	機 能	リセット時	R : W
0	INT0/インプットバッファフル割り込み要因選択ビット	0:INT0割り込み 1:インプットバッファフル割り込み	0	○:○
1	INT1/アウトプットバッファエンピティ割り込み要因選択ビット	0:INT1割り込み 1:アウトプットバッファエンピティ	0	○:○
2	シリアル/O1送信/SCL,SDA割り込み要因選択ビット	0:シリアル/O1送信割り込み *1 1:SCL,SDA割り込み	0	○:○
3	CNTR0/SCL,SDA割り込み要因選択ビット	0:CNTR0割り込み *1 1:SCL,SDA割り込み	0	○:○
4	シリアル/O2/I ² C割り込み要因選択ビット	0:シリアル/O2割り込み *2 1:I ² C割り込み	0	○:○
5	INT2/I ² C割り込み要因選択ビット	0:INT2割り込み *2 1:I ² C割り込み	0	○:○
6	CNTR0/キーウォイクアップ割り込み要因選択ビット	0:CNTR0割り込み *3 1:キーウォイクアップ割り込み	0	○:○
7	AD変換/キーウォイクアップ割り込み要因選択ビット	0:AD変換割り込み *3 1:キーウォイクアップ割り込み	0	○:○

*1: 同時に“1”を書き込まないでください。

*2: 同時に“1”を書き込まないでください。

*3: 同時に“1”を書き込まないでください。

図2.9.5 割り込み要因選択レジスタの構成

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1) 【3C16番地】

b	ビット名	機 能	リセット時	R:W
0	INT0/インプットパッファフル 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
1	INT1/アウトプットパッファインプ ティ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
2	シリアル/O1受信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
3	シリアル/O1送信/SCL/SDA 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
4	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
5	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
6	タイマ1割り込み要求ビ ット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*
7	タイマ2割り込要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○:*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.9.6 割り込み要求レジスタ1の構成

割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み制御レジスタ1(ICON1) 【3E16番地】

b	ビット名	機 能	リセット時	R:W
0	INT0/インプットパッファフル 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
1	INT1/アウトプットパッファインプ ティ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
2	シリアル/O1受信 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
3	シリアル/O1送信/SCL、 SDA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
4	タイマX割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
5	タイマY割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
6	タイマ1割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○
7	タイマ2割り込み許可 ビット	0: 割り込み禁止 1: 割り込み許可	0	○:○

図2.9.7 割り込み制御レジスタ1の構成

ポート制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

ポート制御レジスタ2(PCTL2)
【2F16,番地】

b	ビット名	機 能	リセット時	R	W
0	P4入力レベル選択ビット(P42~P46)	0: CMOSレベル入力 1: TTLレベル入力	0	×	○
1	P7入力レベル選択ビット(P70~P75)	0: CMOSレベル入力 1: TTLレベル入力	0	×	○
2	P4出力形式選択ビット(P42,P43,P44,P46)	0: CMOS 1: Nチャネルオープン ドレイン	0	×	○
3	P8機能選択ビット	0: ポートP8/ポートP8 方向レジスタ 1: ポートP4入力レジスタ/ ポートP7入力レジスタ	0	×	○
4	INT2,INT3,INT4割り込み 切り替えビット	0: INT20,INT30,INT40 割り込み 1: INT21,INT31,INT41 割り込み	0	×	○
5	タイマYカウントソース 選択ビット	0: $f(X_{IN})/16$ (低速モード 時は $f(X_{CIN})/16$) 1: $f(X_{CIN})$	0	×	○
6	STP命令解除後発振 安定時間設定ビット	0: タイマ1に0116、プリスケラ 12にFF16を自動設定 1: 自動設定しない	0	×	○
7	ポート出力P42,P43 クリア機能選択ビット	0: ソフトウェアクリアのみ 1: ソフトウェアクリア及び出力 データバスバッド70読み 出し(システムバス側)	0	×	○

図2.9.8 ポート制御レジスタ2の構成

2.9.3 バスインタフェースの概要

3886グループはスレーブマイクロコンピュータとして動作するためのバスインタフェースを**2**バイト内蔵しています。

スレーブマイクロコンピュータとは、ホスト**CPU**からの指示によって動作するマイクロコンピュータのことで、ホスト**CPU**とスレーブマイクロコンピュータの間のデータの受け渡しは、これら**2**本のバスインタフェースを介して非同期に行われます。このため、ホスト**CPU**側から見るとスレーブマイクロコンピュータは**2**つの通常の周辺**LSI**と同様に扱うことができ、スレーブ側のプログラムを変更することにより容易にその機能を変更することができます。

3886グループに内蔵されているバスインタフェースの性能概要を以下に示します。

- ・**8**ビットデータバス
- ・入出力ともデータバスバッファを**2**レベルずつ内蔵
- ・入出力バッファの状態をステータスとして外部に出力可能

バスインタフェース概略図を図**2.9.8**に示します。

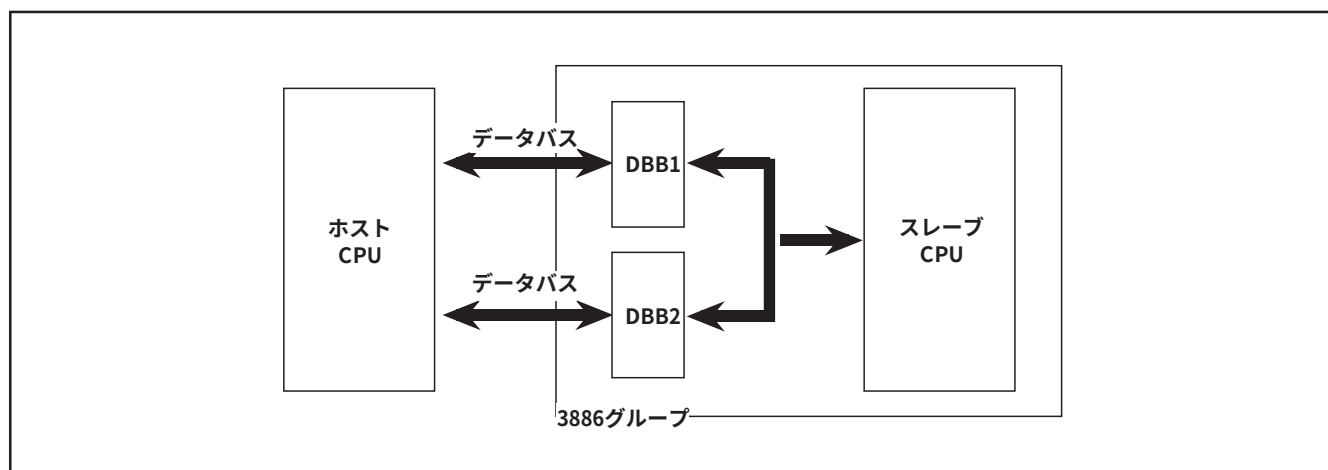


図2.9.9 バスインタフェース概略図

2.9.4 バスインタフェース入力/出力動作

(1) 入力動作

3886グループのバスインタフェース入力動作を以下に示します。

1. $\overline{Si}$ ($i=0,1$)、 $\overline{W}$ の論理和が“0”のとき、 $\overline{W}$ 入力信号の立ち上がりでデータバスの状態が $DBBi$ にラッチされます。
2. データが入力データバスバッファレジスタ i にラッチされると同時に、データバスバッファステータスレジスタ i の $IBFi$ が“1”になります。
3. $IBFi$ が“1”になると、インプットバッファフル割り込み要求が発生し、インプットバッファフル割り込み要求ビットが“1”になります。
4. 3のタイミングで $A0$ 端子のレベルがデータバスバッファステータスレジスタ i のビット3に格納されます。このビットを見ることにより、入力データバスバッファレジスタ i の内容がデータかコマンドかを判断することができます。

(2) 出力動作

3886グループのバスインタフェース出力動作を以下に示します。

1. $DBBi$ にデータの書き込みを行うと、データバスステータスレジスタ i の $OBFi$ が“1”になります。
2. $\overline{Si}$ 、 $\overline{R}$ と $A0$ の論理和が“0”のとき、出力データバスバッファレジスタ i の内容がシステムバスに出力され、同時に $OBFi$ が“0”になります。
3. $\overline{R}$ 入力信号の立ち上がりで、アウトプットバッファエンプティ割り込み要求が発生し、アウトプットバッファエンプティ割り込み要求ビットが“1”になります。

表2.9.1 バス制御信号とデータバスの状態

$\overline{Si}$	$\overline{R}$	$\overline{W}$	$A0$	データバスの状態	データバス上のデータ
0	0	1	0	リード	出力データ
0	0	1	1	リード	ステータス情報
0	1	0	0	ライト	入力データ(データ)
0	1	0	1	ライト	入力データ(コマンド)
1	×	×	×	高インピーダンス	

2.9.5 関連レジスタ設定方法

関連レジスタ設定方法を図2.9.9に示します。

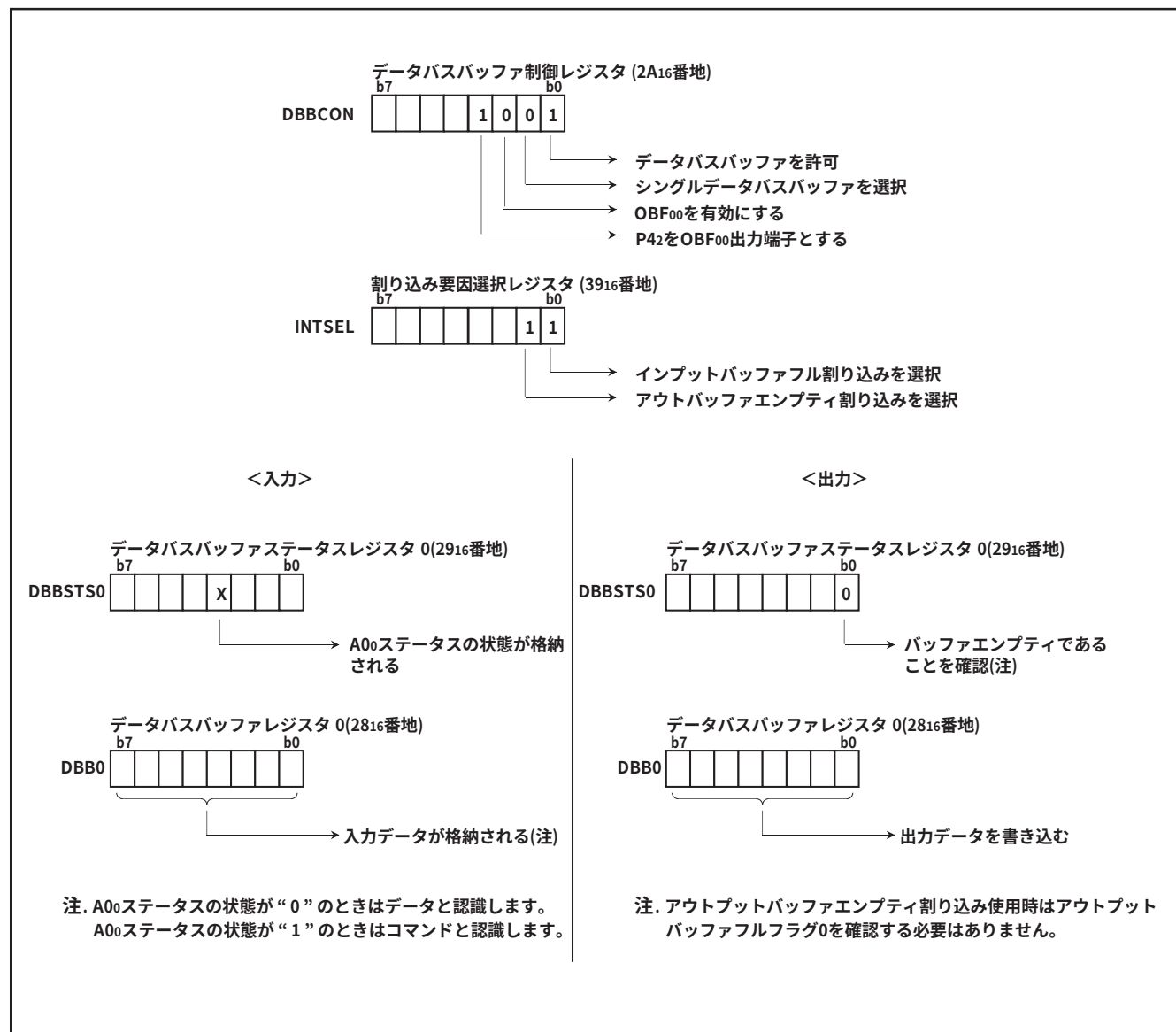


図2.9.10 関連レジスタの設定

図2.9.10に割り込みを使用した制御手順を示します。

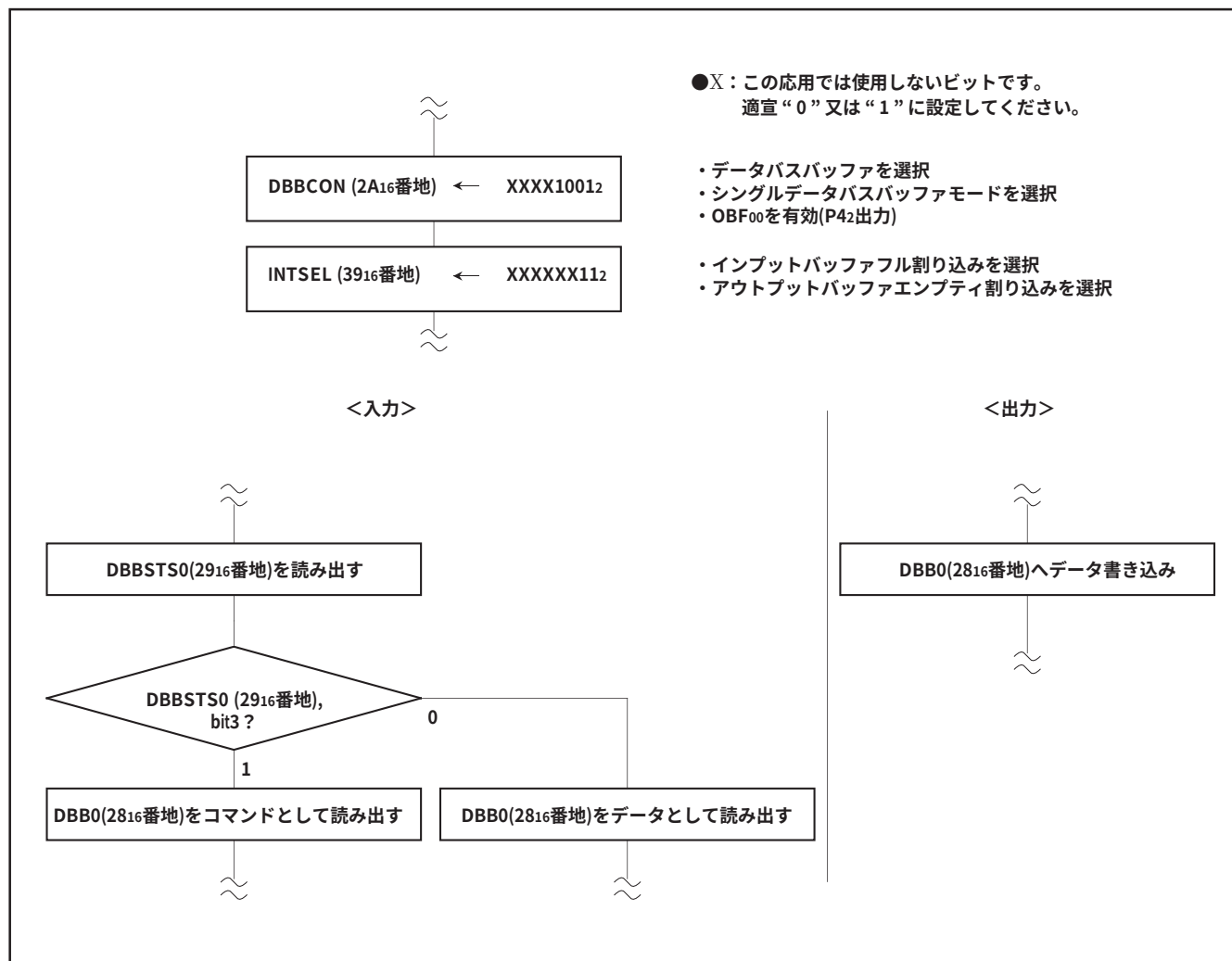


図2.9.11 割り込みを使用した制御手順

2.10 ウォッチドッグタイマ

本節ではウォッチドッグタイマに関するレジスタの設定方法、制御手順などを説明します。

2.10.1 メモリ配置図

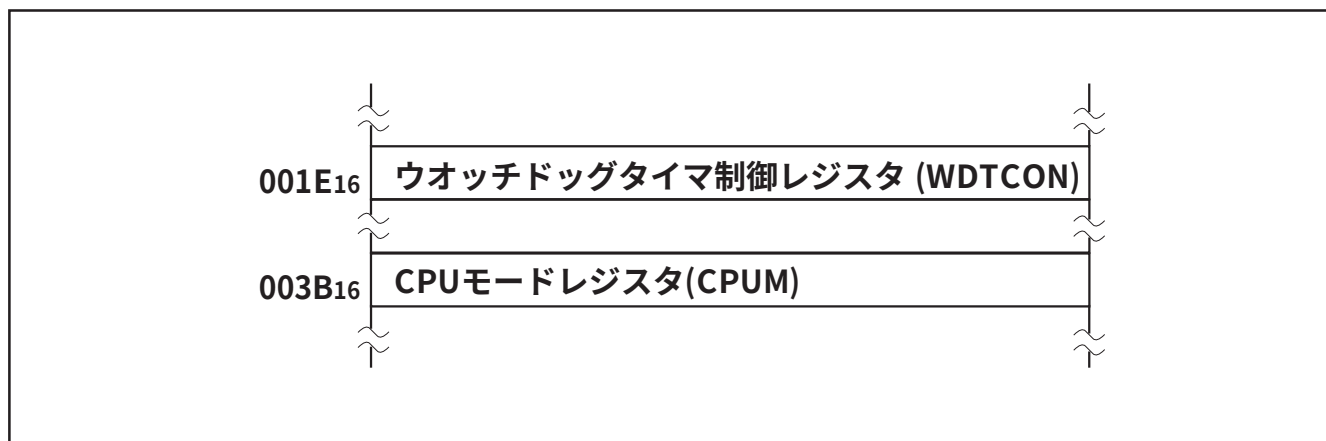


図2.10.1 ウォッチドッグタイマ関連レジスタのメモリ配置

2.10.2 関連レジスタ

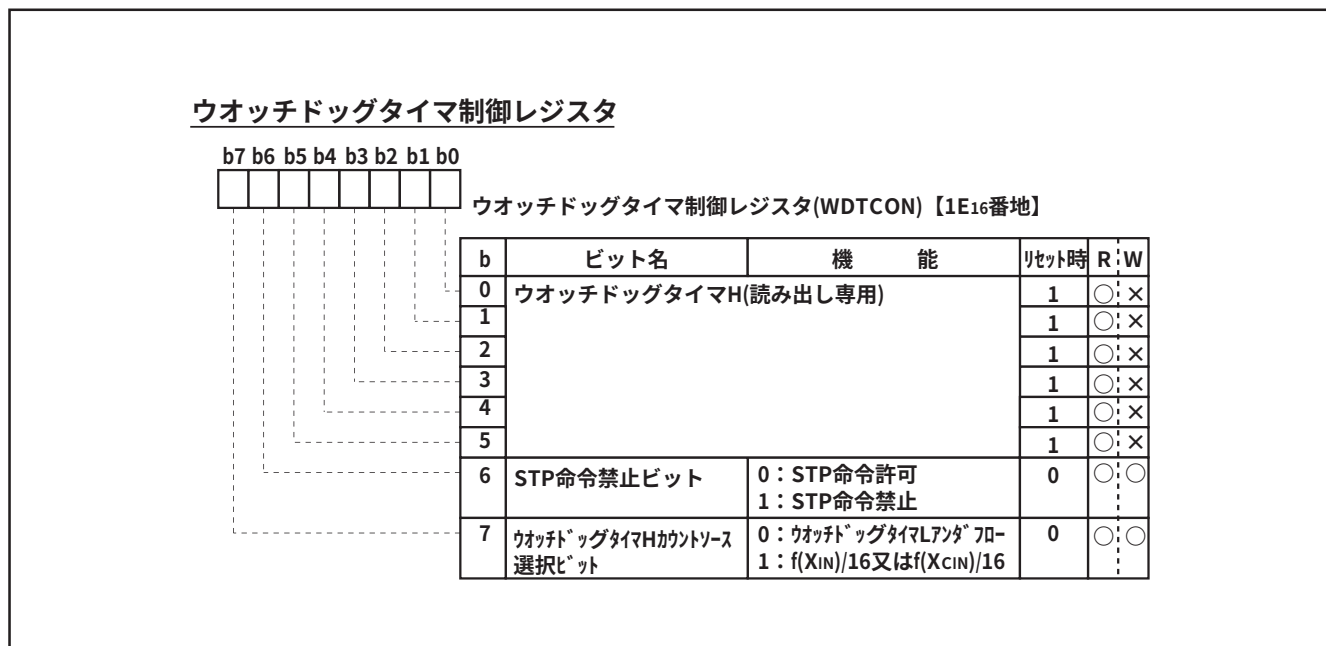
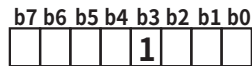


図2.10.2 ウォッチドッグタイマ制御レジスタの構成

CPUモードレジスタ



CPUモードレジスタ(CPUM) 【3B16番地】

b	ビット名	機 能	リセット時	R	W
0	プロセッサモードビット	b1 b0 0 0:シングルチップモード 0 1:メモリ拡張モード(注) 1 0:マイクロプロセッサモード(注) 1 1:使用禁止	0	○	○
1			*	○	○
2	スタックページ選択ビット	0:0ページ 1:1ページ	0	○	○
3	このビットは“1”に固定してください		1	○	○
4	ポートXc切り替えビット	0:入出力ポート機能(発振停止) 1:X _{CIN} -X _{COUT} 発信機能	0	○	○
5	メインクロック(X _{IN} -X _{OUT})停止ビット	0:発振 1:停止	0	○	○
6	メインクロック分周比選択ビット	b7 b6 0 0:φ = f(X _{IN})/2(高速モード) 0 1:φ = f(X _{IN})/8(中速モード) 1 0:φ = f(X _{CIN})/2(低速モード) 1 1:使用禁止	1	○	○
7			0	○	○

*ビット1の初期値はCNV_{SS}端子のレベルによって決まります。
 (注)M38869M8A/MCA/MFAおよびフラッシュメモリ版は使用禁止

図2.10.3 CPUモードレジスタの構成

2.10.3 ウォッチドッグタイマの応用

(1) ウォッチドッグタイマの応用例：暴走検出

ポイント：プログラムが暴走した場合に、内部暴走検知タイマでマイコンをリセット状態に復帰させる手段を与えます。

仕様：

- ・ウォッチドッグタイマHのアンダフローによって、プログラムの異常と判断し、マイコンをリセット状態に復帰
- ・ウォッチドッグタイマがアンダフローする前に、メインルーチン内で1サイクルごとにウォッチドッグタイマ制御レジスタのビット7へ“0”を設定
- ・メインクロック分周比は高速モードを使用
- ・ウォッチドッグタイマHのカウントソースにはウォッチドッグタイマLのアンダフローを接続

ウォッチドッグタイマの接続と分周比の設定を図2.10.4、関連レジスタの設定を図2.10.5、及び制御手順を図2.10.6に示します。

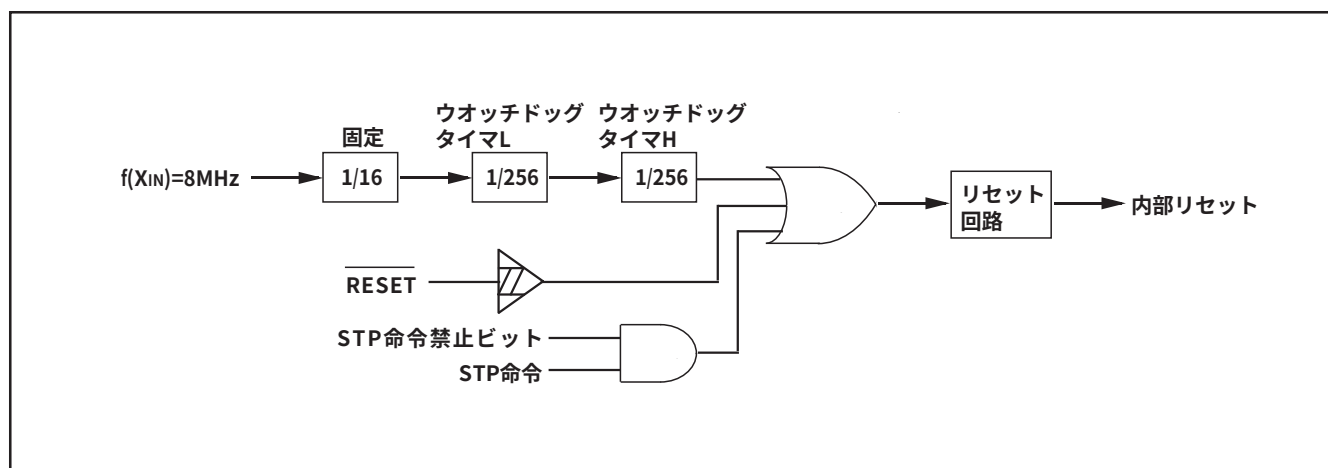


図2.10.4 ウォッチドッグタイマの接続と分周比の設定

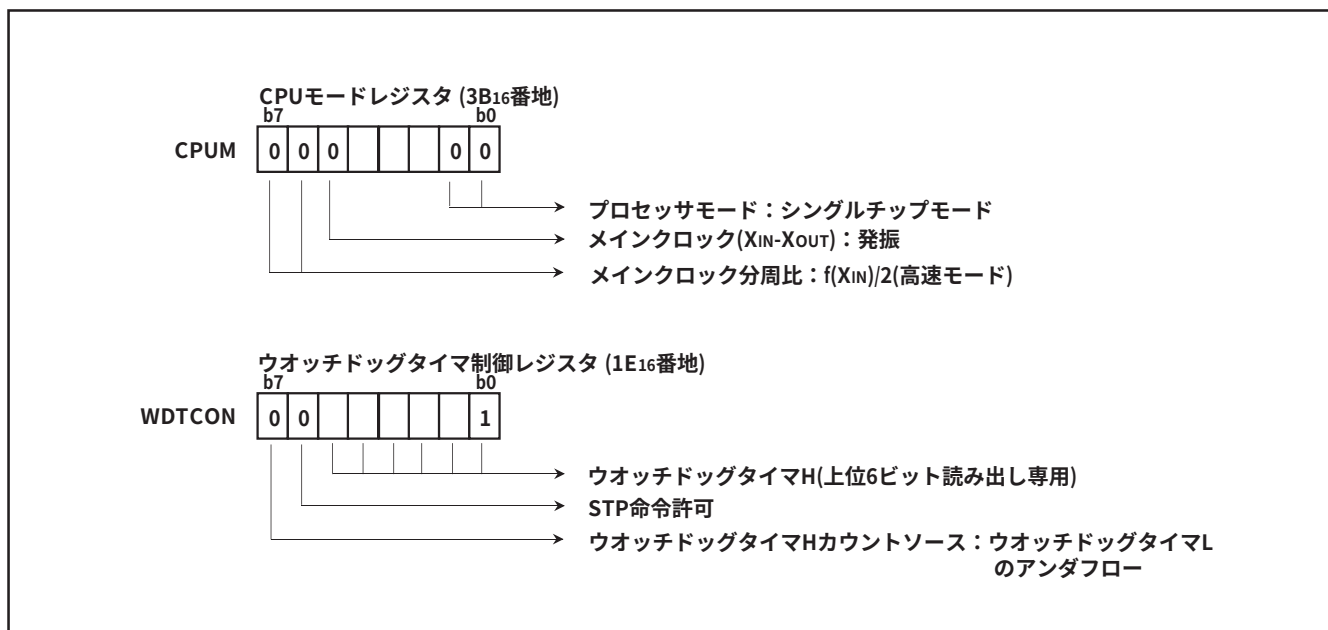


図2.10.5 関連レジスタの初期設定

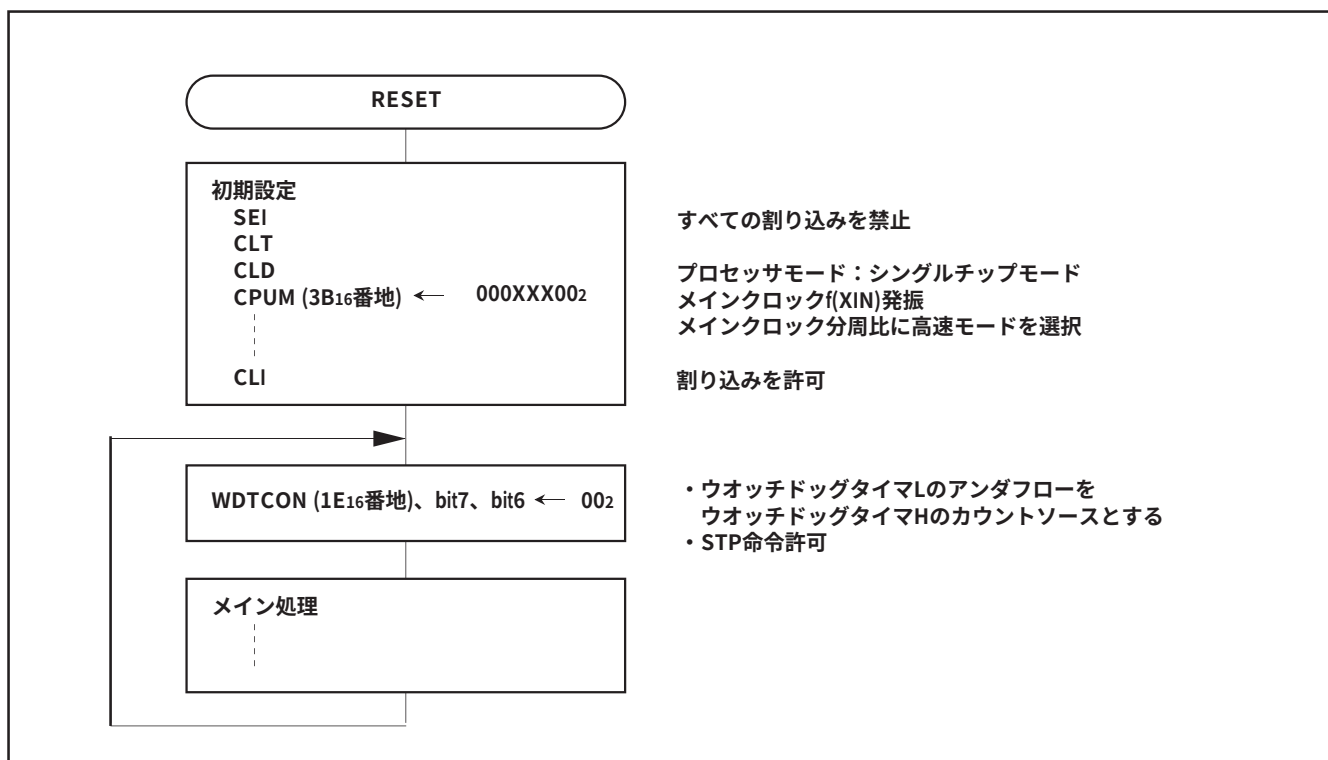


図2.10.6 制御手順

2.10.4 ウォッチドッグタイマに関する注意事項

- ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
- ウォッチドッグタイマ制御レジスタの**STP命令禁止ビット**を“1”にすると、プログラムにより“0”に書き替えることはできません。

2.11 リセット

2.11.1 リセットICを用いた接続例

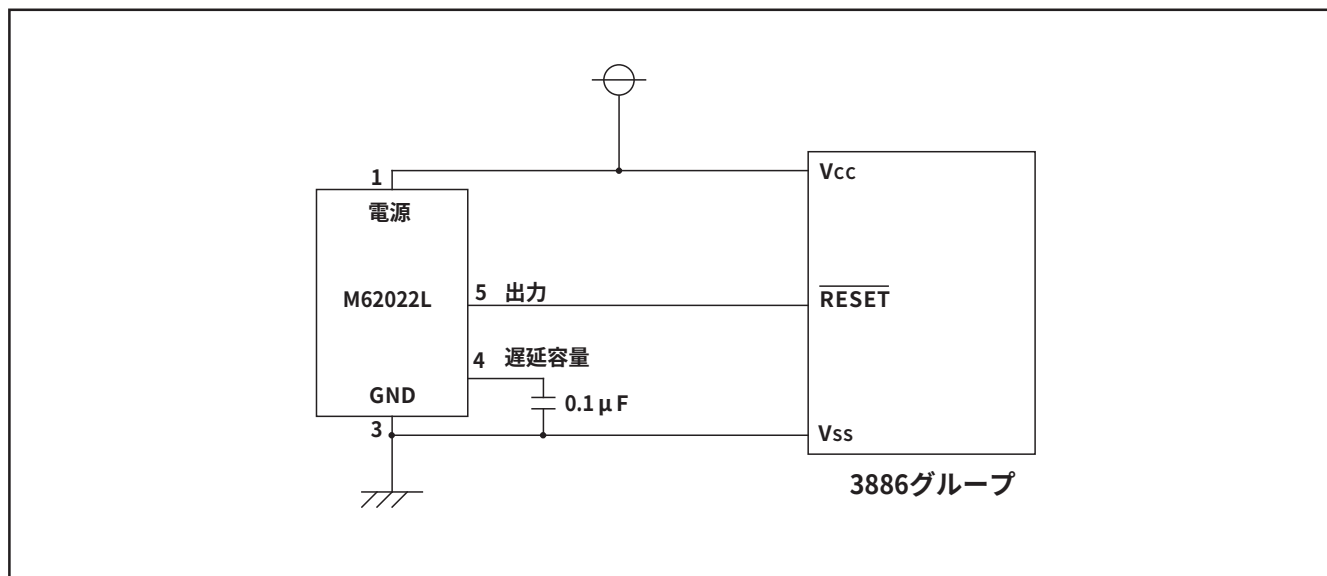


図2.11.1 パワーオンリセット回路例

INT割り込みでシステム電源の低下を検出することによって、RAMバックアップモードに切り替えるシステム例を図2.11.2に示します。

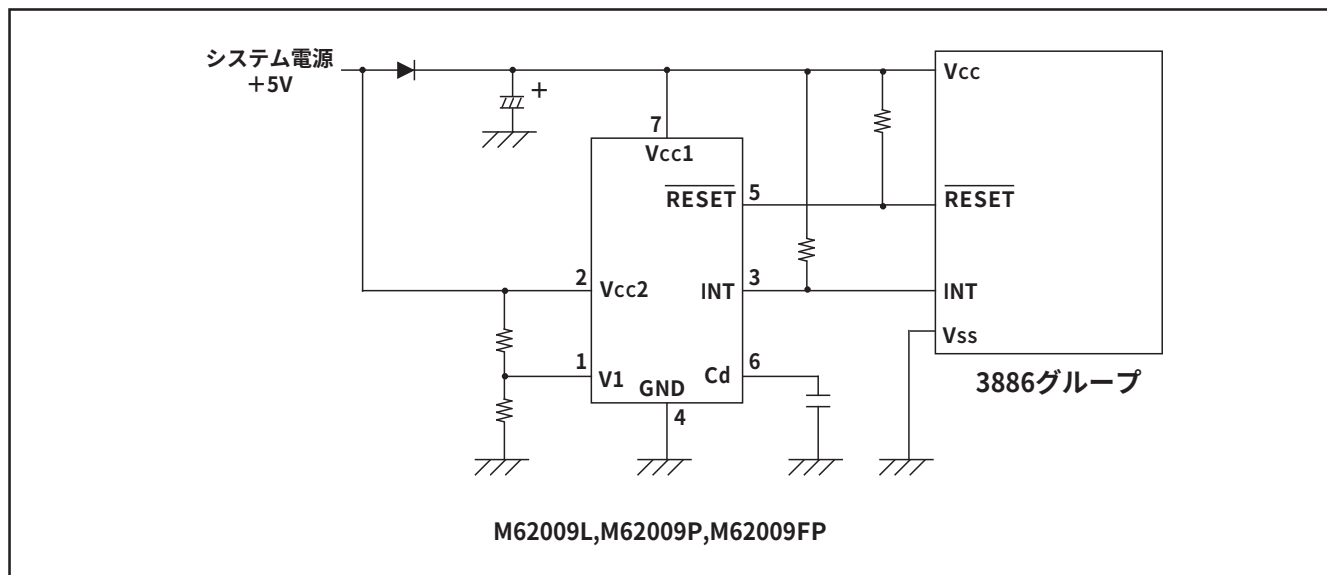


図2.11.2 RAMバックアップシステム

2.11.2 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、**RESET**端子と**Vss**端子の間に、セラミックコンデンサなどの高周波特性の良い**1000pF**以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

●理由

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

2.12 クロック発生回路

本節ではクロック発生回路に関するレジスタの設定方法、応用例などを説明します。

2.12.1 関連レジスタ

CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
☐ ☐ ☐ ☐ ☐ ☐ ☒ ☐

CPUモードレジスタ(CPUM) 【3B16番地】

b	ビット名	機 能	リセット時	R	W
0	プロセッサモードビット	b1 b0 0 0 :シングルチップモード 0 1 :メモリ拡張モード(注) 1 0 :マイクロプロセッサモード(注) 1 1 :使用禁止	0	○	○
1			*	○	○
2	スタックページ選択ビット	0:0ページ 1:1ページ	0	○	○
3	このビットは“1”に固定してください。		1	○	○
4	ポートXc切り替えビット	0:入出力ポート機能(発振停止) 1:X _{CIN} -X _{COUT} 発振機能	0	○	○
5	メインクロック(X _{IN} -X _{OUT})停止ビット	0:発振 1:停止	0	○	○
6	メインクロック分周比選択ビット	b7 b6 0 0: $\phi = f(X_{IN})/2$ (高速モード) 0 1: $\phi = f(X_{IN})/8$ (中速モード) 1 0: $\phi = f(X_{CIN})/2$ (低速モード) 1 1:使用禁止	1	○	○
7			0	○	○

*ビット1の初期値はCNV_{SS}端子のレベルによって決まります。

注. M38869M8A/MCA/MFA及びフラッシュメモリ版は使用禁止

図2.12.1 CPUモードレジスタの構成

2.12.2 クロック発生回路の応用例

(1) 停電時の状態遷移

ポイント：停電時にタイマ割り込みを使用して、1秒ごとに時計をカウントアップします。

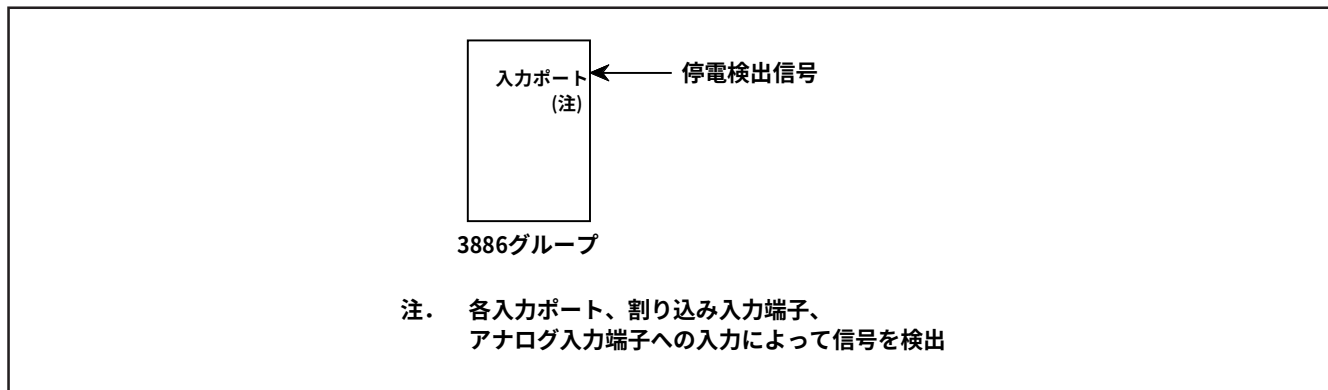


図2.12.2 接続図

- 仕様：
- 時計機能を維持しながら可能な限り消費電力を抑制。
 - クロック： $f(X_{IN})=8\text{MHz}$ 、 $f(X_{CIN})=32.768\text{kHz}$ を使用
 - ポート処理
 - 入力ポート：外部で“H”又は“L”レベルに固定
 - 出力ポート：外部に電流が流れ出さない出力レベルに固定
(例：出力レベル“L”時に電流が流れてLEDが点灯するような回路の場合、出力レベル“H”に固定)
 - 入出力ポート：入力ポート→外部で“H”又は“L”レベルに固定
出力ポート→電流を消費しないデータを出力
- VREF端子：**A-D変換動作を終了させる。**DA変換レジスタ**の設定値を“0016”にすることにより、**VREF**電流消費を止める。

図2.12.3に停電時の状態遷移図、図2.12.4に関連レジスタの設定を示します。

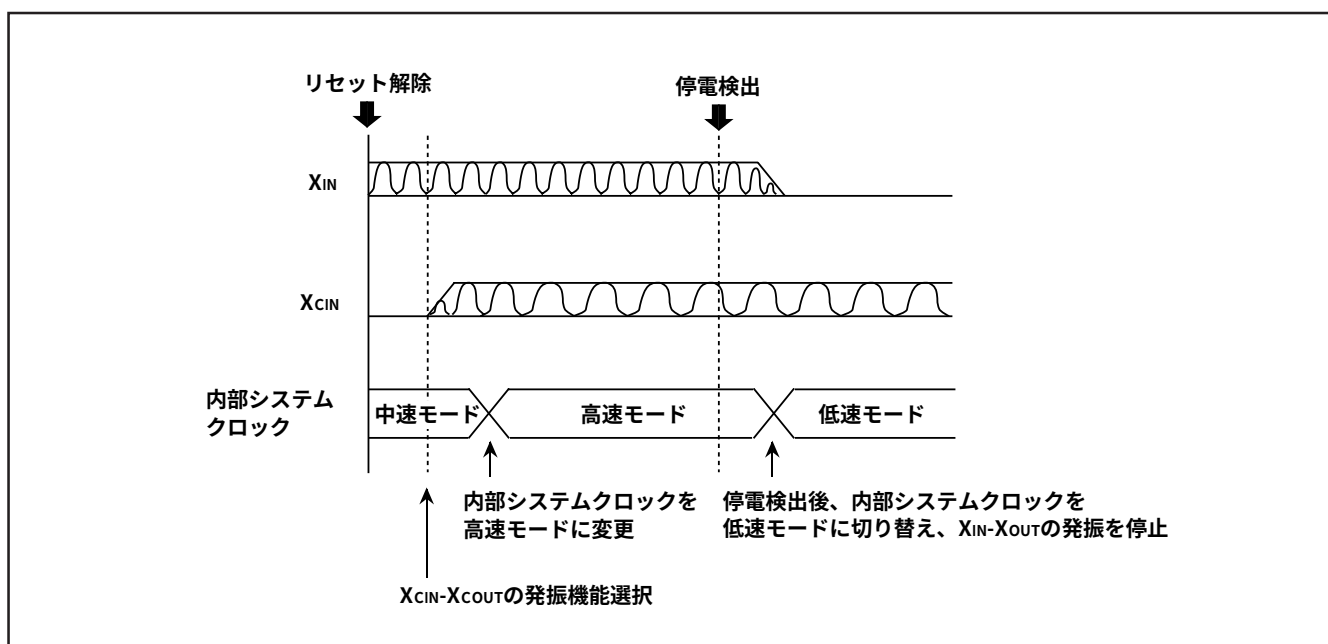
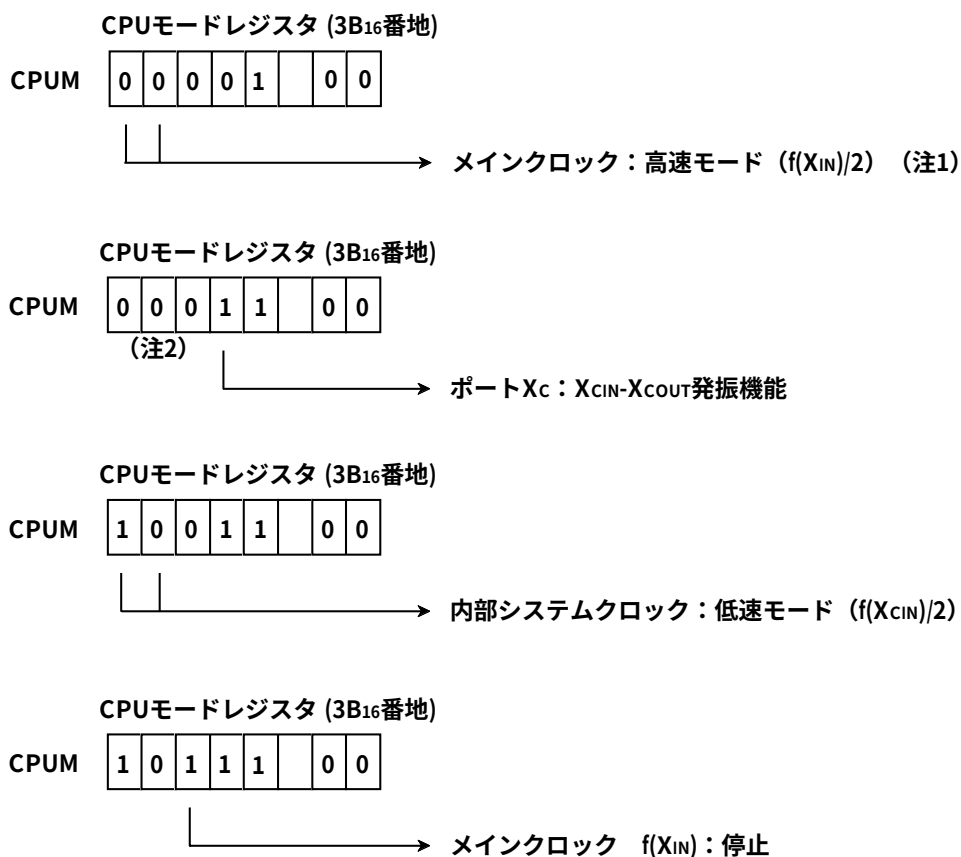


図2.12.3 停電時の状態遷移図



注1. 高速モードを選択する場合のみ。

2. 中速モードを選択している場合、ビット6は“1”です。

図2.12.4 関連レジスタの設定

制御手順：

下記の順に関連レジスタを設定することによって停電に対応します。

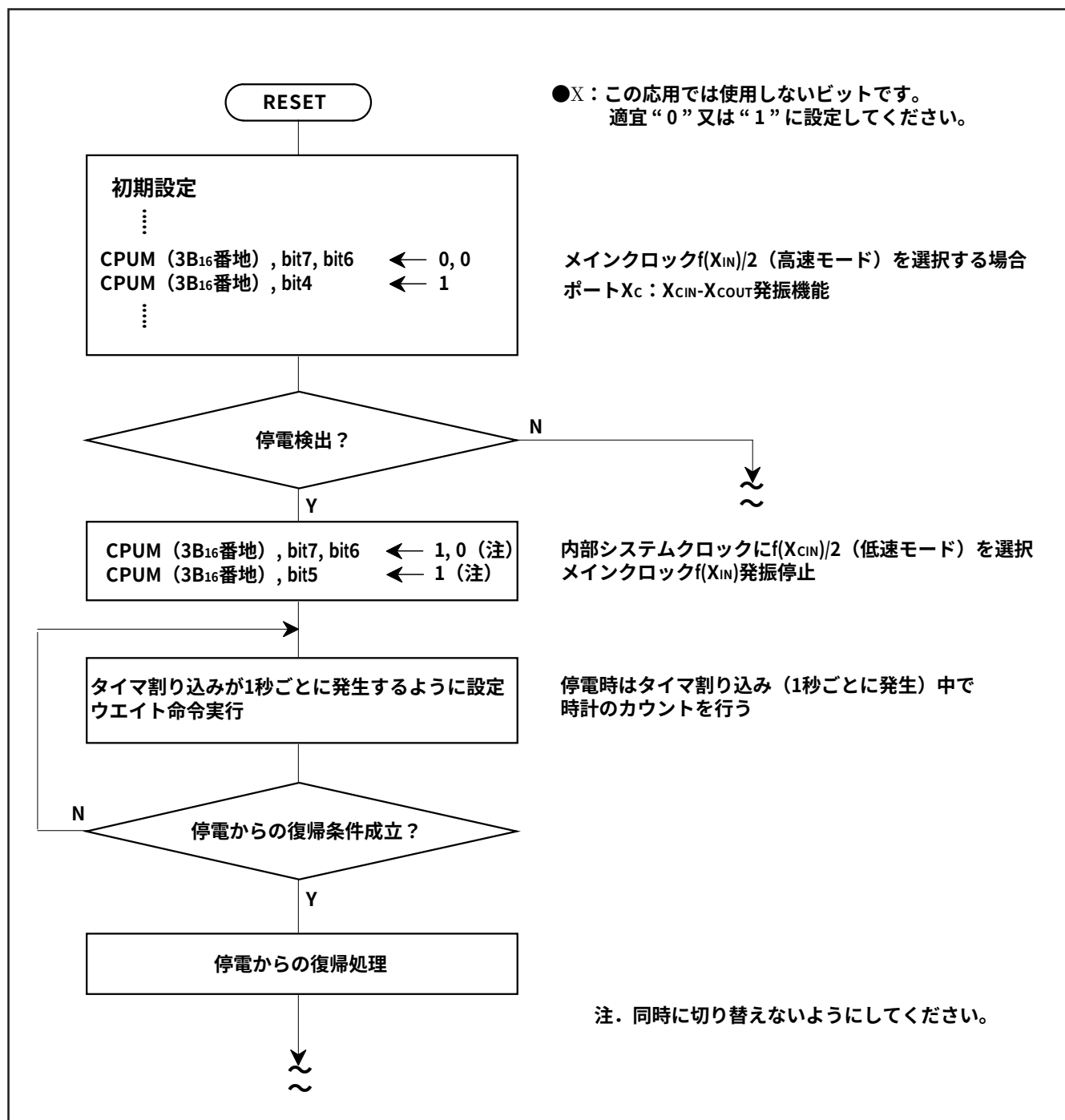


図2.12.5 制御手順

2.13 スタンバイ機能

3886グループはソフトウェアでCPUの動作を停止させ、低消費電力でCPUを待機させるスタンバイ機能を持ちます。

スタンバイ機能には次の2種類があります。

- STP命令によるストップモード
- WIT命令によるウェイトモード

2.13.1 ストップモード

STP命令の実行によって、ストップモードの状態になります。ストップモードではメインクロック(XIN-XOUT、XCIN-XCOUT)とも発振が停止し、内部クロックφは“H”レベルで停止します。

CPUは停止し、周辺機能の動作も停止します。その結果、消費電力の低減を実現できます。

(1) ストップモード時の状態

ストップモード時の状態を表2.13.1に示します。

表2.13.1 ストップモード時の状態

項目	ストップモード時の状態
発振	停止
CPU	停止
内部クロックφ	“H”レベルで停止
入出力ポートP0～P8	STP命令実行時の状態を保持
タイマ	停止(タイマ1、2、X、Y) ただし、タイマX、タイマYではイベントカウンタモードが使用できます。
PWM0、PWM1	停止
ウォッチドッグタイマ	停止
シリアルI/O1、シリアルI/O2	停止 ただし、外部クロックモードで動作します。
I ² Cバスインタフェース	停止
A-D変換器	停止
D-A変換器	出力電圧を保持
コンパレータ	停止
バスインタフェース	動作

(2) ストップモードの解除

ストップモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合では、ストップモードからの復帰処理が異なります。

■リセット入力による復帰

ストップモード中に`RESET`端子の入力レベルを“`L`”にすると、ストップモードは解除されます。すべてのポートが状態となり、メインクロック(`XIN-XOUT`)のストップモードが解除されると、発振が開始します。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。発振が安定するまで`RESET`端子の入力レベルを“`L`”にしておく必要があります。

安定発振しているときに、`RESET`端子を`XIN`の16サイクル以上“`L`”レベルに保つと内部がリセット状態になります。リセット状態は`RESET`端子の入力を“`H`”レベルに戻した後、`XIN`入力の約10.5～18.5サイクル後に解除されます。

図2.13.1にリセット入力による復帰時の発振安定時間を示します。

リセット入力によるストップモードの解除では、`STP`命令実行前の内部`RAM`の内容が保持されます。ただし、`CPU`レジスタ、`SFR`の内容は保持されません。

リセットについては「2.11 リセット」を参照してください。

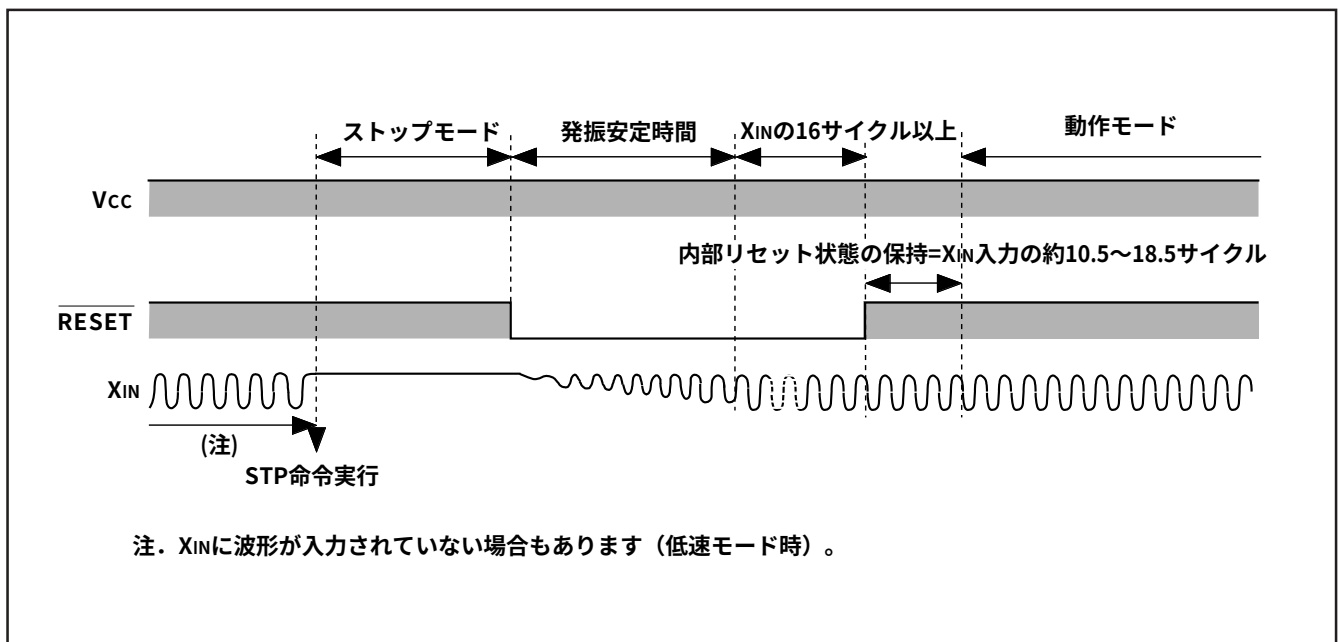


図2.13.1 リセット入力による復帰時の発振安定時間

■割り込みによる復帰

ストップモード中に割り込み要求が発生すると、ストップモードは解除され、発振が再開します。復帰に使用できる割り込み要因は、下記のとおりです。

- ・ INT0～INT4
- ・ CNTR0, CNTR1
- ・ 外部クロック使用のシリアルI/O(1, 2)
- ・ 外部クロック使用のタイマ(X, Y)
- ・ キー入力(キーオンウエイクアップ)
- ・ バスインタフェース
- ・ SCL/SDA

ただし、上記の割り込み要因をストップモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、STP命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI＝“0”(許可)
- ②タイマ1の割り込み許可ビット＝“0”(禁止)
- ③復帰に用いる割り込み要因の割り込み要求ビット＝“0”(要求なし)
- ④復帰に用いる割り込み要因の割り込み許可ビット＝“1”(許可)

割り込みについては、「2.2 割り込み」を参照してください。

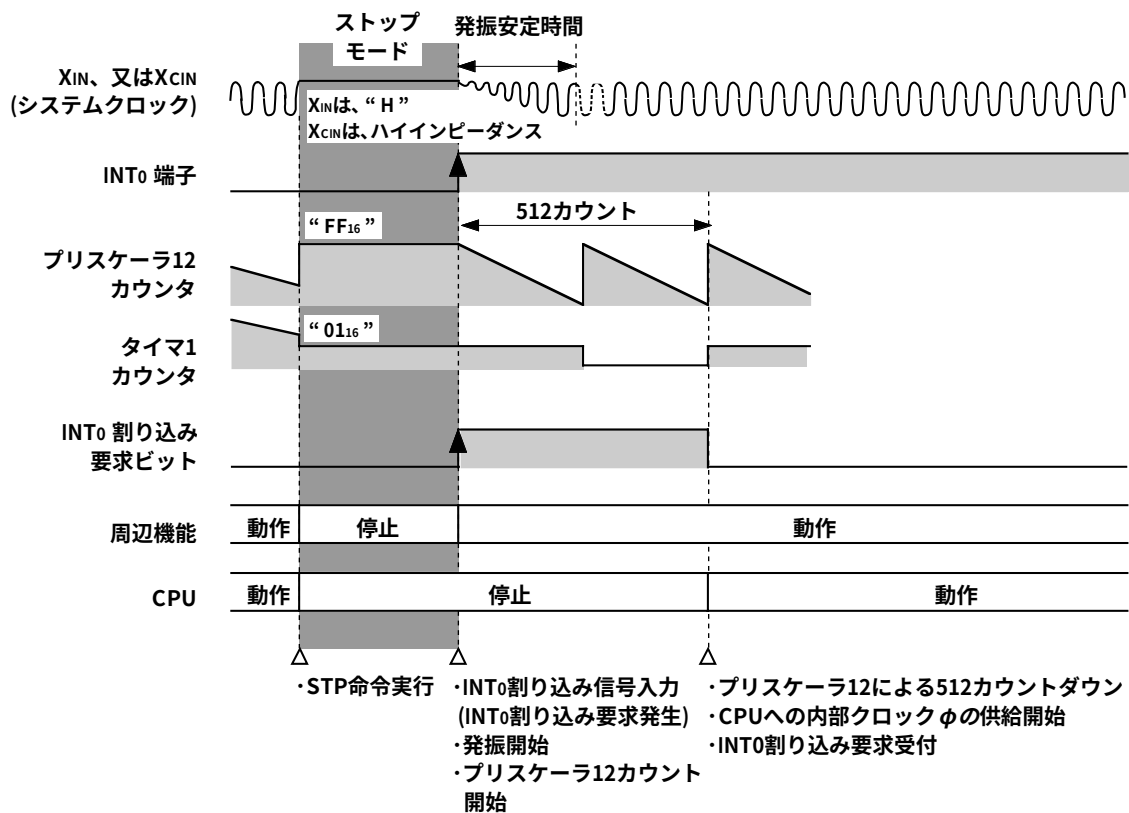
発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。割り込みによる復帰時には、プリスケアラ12、タイマ1*1がCPUへの内部クロックφの供給を待機する時間を生成します*2。この待機する時間で、システムクロック側の発振安定時間を確保します。CPUへの内部クロックφの供給は、タイマ1のアンダフロー時から開始されます。

図2.13.2にINT0割り込み要求の発生による復帰時の実行シーケンス例を示します。

※1：STP命令解除後発振安定時間設定ビット(2F16番地のビット6)が“0”のときにSTP命令を実行すると、プリスケアラ12のカウンタ/ラッチに“FF16”が、タイマ1のカウンタ/ラッチに“0116”が自動的に設定されます。STP命令解除後発振安定時間設定ビットが“1”のときは自動設定が行われませんので、STP命令実行前に発振安定時間に適した値を任意にプリスケアラ12、タイマ1に設定できます。

※2：発振開始直後からカウントソースはプリスケアラ12カウンタへ供給され、カウント動作が開始します。

●ストップモードからの復帰に INT0 割り込みを使用した場合（立ち上がりエッジ選択）



注. プリスケアラ12のカウントソースとしては、 $f(XIN)/16$ 又は $f(XCIN)/16$ が入力されます。

図2.13.2 INT0割り込み要求の発生による復帰時の実行シーケンス例

(3) ストップモード使用上の注意事項

■レジスタ設定

ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。（STP命令解除後発振安定時間設定ビットが“0”のとき）

■復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

2.13.2 ウェイトモード

WIT命令の実行によって、ウェイトモードの状態になります。ウェイトモードでは発振は継続しますが、内部クロック ϕ は“H”レベルで停止します。

CPUは停止しますが、大部分の周辺機能は動作します。

(1) ウェイトモード時の状態

周辺機能へのクロックはI²Cバスインタフェースを除き、供給され続けています。ウェイトモード時の状態を表2.13.2に示します。

表2.13.2 ウェイトモード時の状態

項目	ウェイトモード時の状態
発振	動作
CPU	停止
内部クロック ϕ	“H”レベルで停止
入出力ポートP0～P8	WIT命令実行時の状態を保持
タイマ	動作
PWM0、PWM1	動作
ウォッチドッグタイマ	動作
シリアルI/O1、シリアルI/O2	動作
I ² Cバスインタフェース	停止（ただし、システムクロック停止選択ビット（1516番地のビット6）が“1”のときは動作）
A-D変換器	動作
D-A変換器	出力電圧を保持
コンパレータ	動作
バスインタフェース	動作

(2) ウェイトモードの解除

ウェイトモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合では、ウェイトモードからの復帰処理が異なります。

ウェイトモードでは発振は継続されていますので、ウェイトモードが解除されるとただちに命令を実行できます。

■リセット入力による復帰

ウェイトモード中に**RESET**端子の入力レベルを“**L**”にすると、ウェイトモードは解除されます。

ウェイトモードが解除されると、すべてのポートが入力状態になり、**CPU**への内部クロック ϕ の供給が開始します。**RESET**端子を**XIN**の16サイクル以上“**L**”レベルに保つと内部がリセット状態になります。リセット状態は**RESET**端子の入力を“**H**”レベルに戻した後、**XIN**入力の約**10.5~18.5**サイクル後に解除されます。

ウェイトモードの解除では、リセット前の内部**RAM**の内容が保持されます。ただし、**CPU**レジスタ、**SFR**の内容は保持されません。

図2.13.3にリセット入力時間を示します。

リセットについては「2.11 リセット」を参照してください。

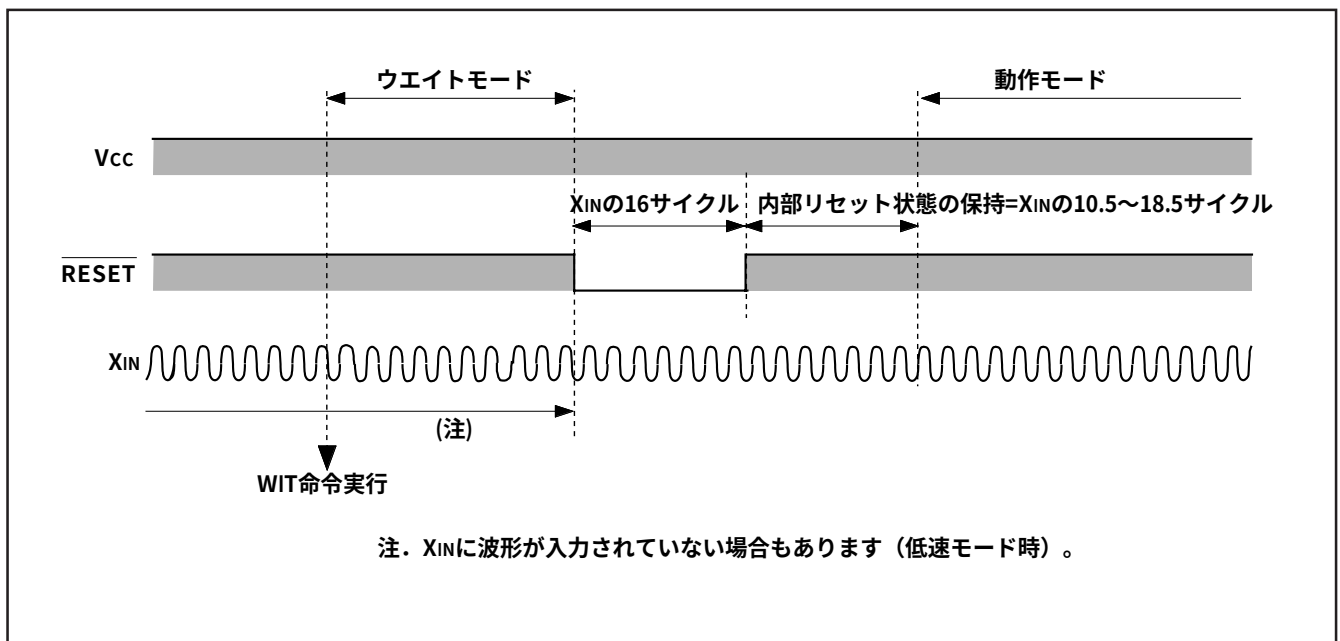


図2.13.3 リセット入力時間

■割り込みによる復帰

ウェイトモード中に割り込み要求が発生すると、ウェイトモードは解除され、CPUへの内部クロックの供給が開始します。同時に復帰に使用した割り込み要因の要求が受け付けられて、その割り込み処理ルーチンが実行されます。

ただし、割り込み要因をウェイトモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、WIT命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI＝“0”(許可)
- ②復帰に用いる割り込み要因の割り込み要求ビット＝“0”(要求なし)
- ③復帰に用いる割り込み要因の割り込み許可ビット＝“1”(許可)

割り込みについては、「2.2 割り込み」を参照してください。

(3) ウェイトモード使用上の注意事項

■復帰後のクロック

WIT命令実行時にXcinをシステムクロックとして設定し、Xinの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、Xcinの発振が停止し、Xinが発振を開始し、Xinがシステムクロックになります。

上記においてXinの発振が安定するまで、RESET端子に“L”レベルを入力しておく必要があります。

2.14 プロセッサモード

本節ではプロセッサモードに関する使用例、応用例などを説明します。

(サポート品種：M38867M8A/E8A)

2.14.1 メモリ配置図

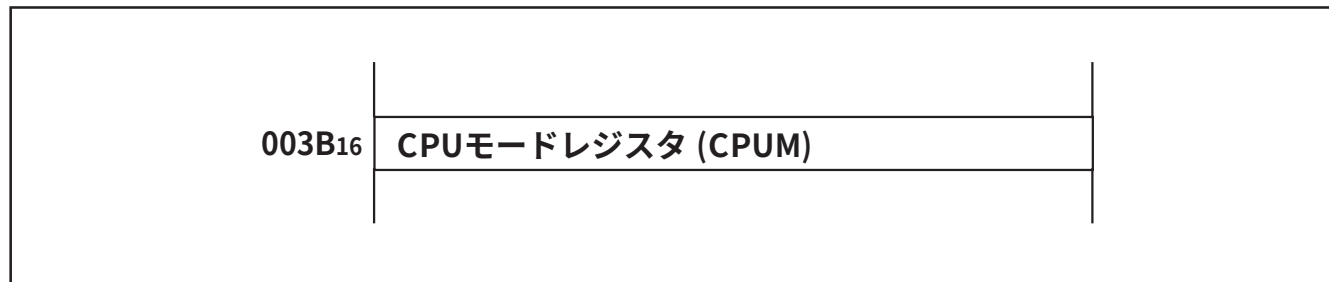


図2.14.1 プロセッサモード関連レジスタのメモリ配置

2.14.2 関連レジスタ

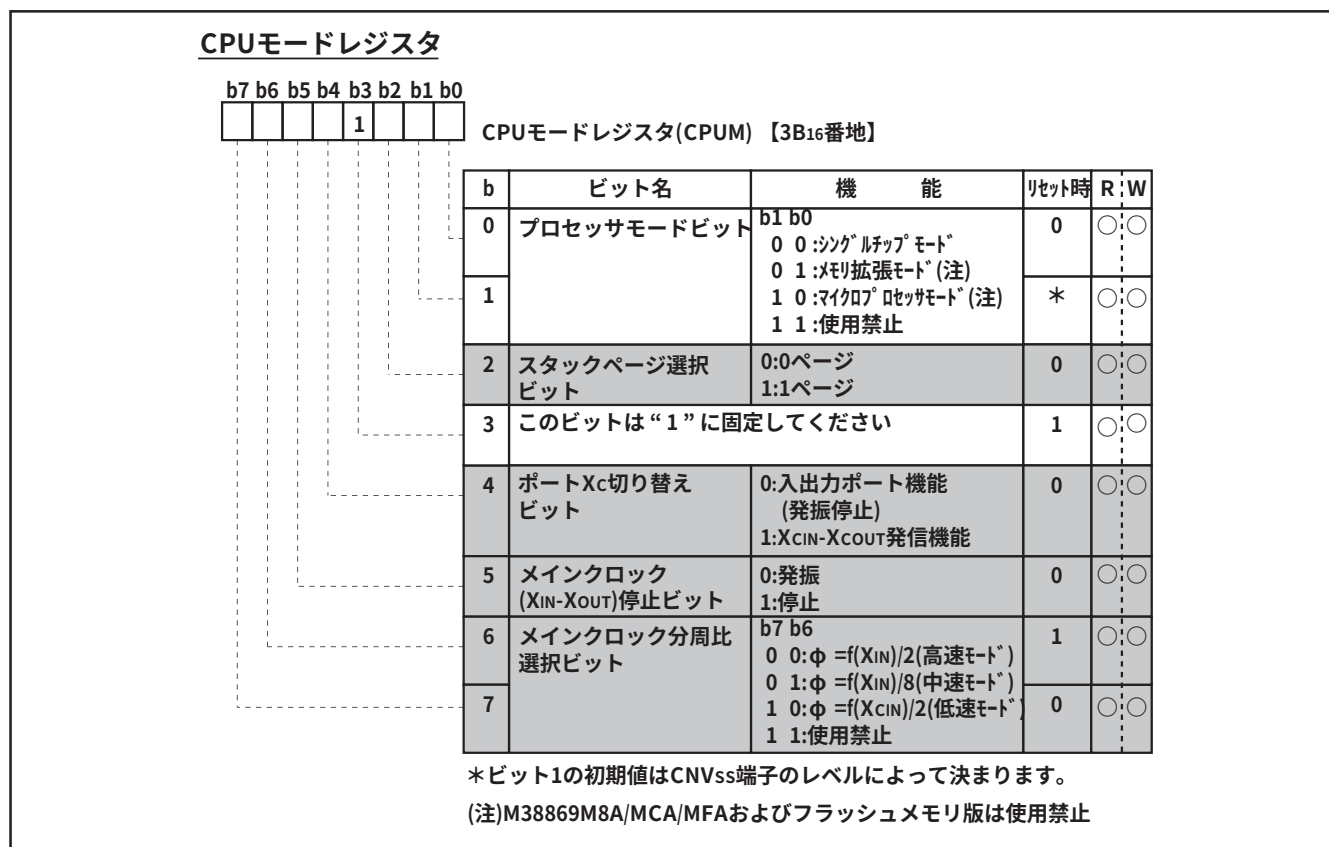


図2.14.2 CPUモードレジスタの構成

2.14.3 プロセッサモードの使用例

(1) ONW(ワンウエイト)機能を使用しない場合のメモリ外付けの応用例

ポイント：マイクロプロセッサモードを使用し、外部メモリをアクセスします。

$f(X_{IN})=8\text{MHz}$ の場合、使用できるRAMは、

- **OE**アクセスタイム： $\text{ta}(\text{OE}) \leq 50\text{ns}$
- 書き込み時のデータセットアップタイム： $\text{tsu}(\text{D}) \leq 65\text{ns}$

で与えられます。例えば**100ns**のアドレスアクセスの**M5M5256BP-10**が使用可能です。

32KバイトのROM及びRAMの拡張例を図2.14.3に示します。

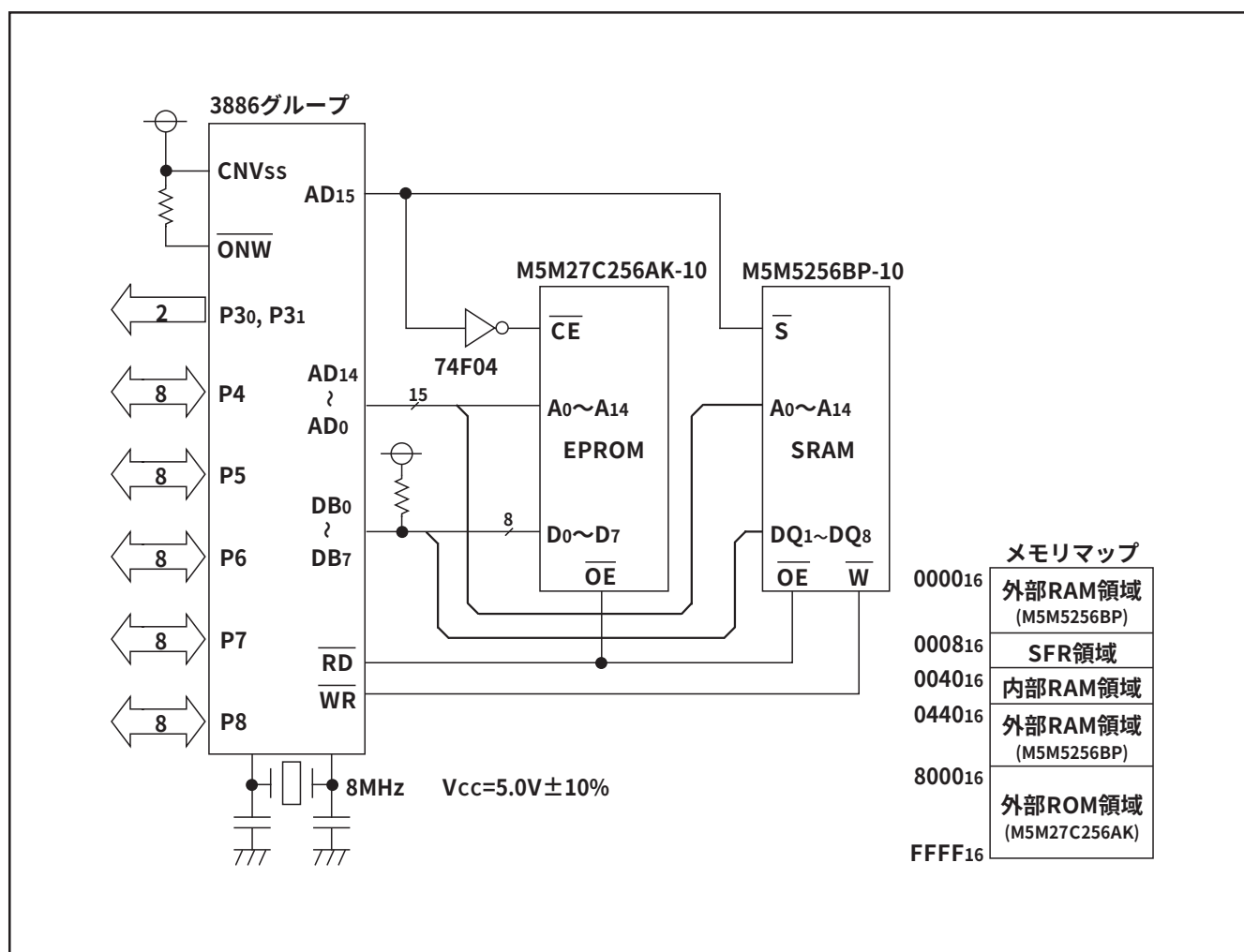


図2.14.3 ROM及びRAMの拡張例

8MHz(ノーウエイト)動作時の基本タイミングを図2.14.4、図2.14.5、及び図2.14.6に示します。

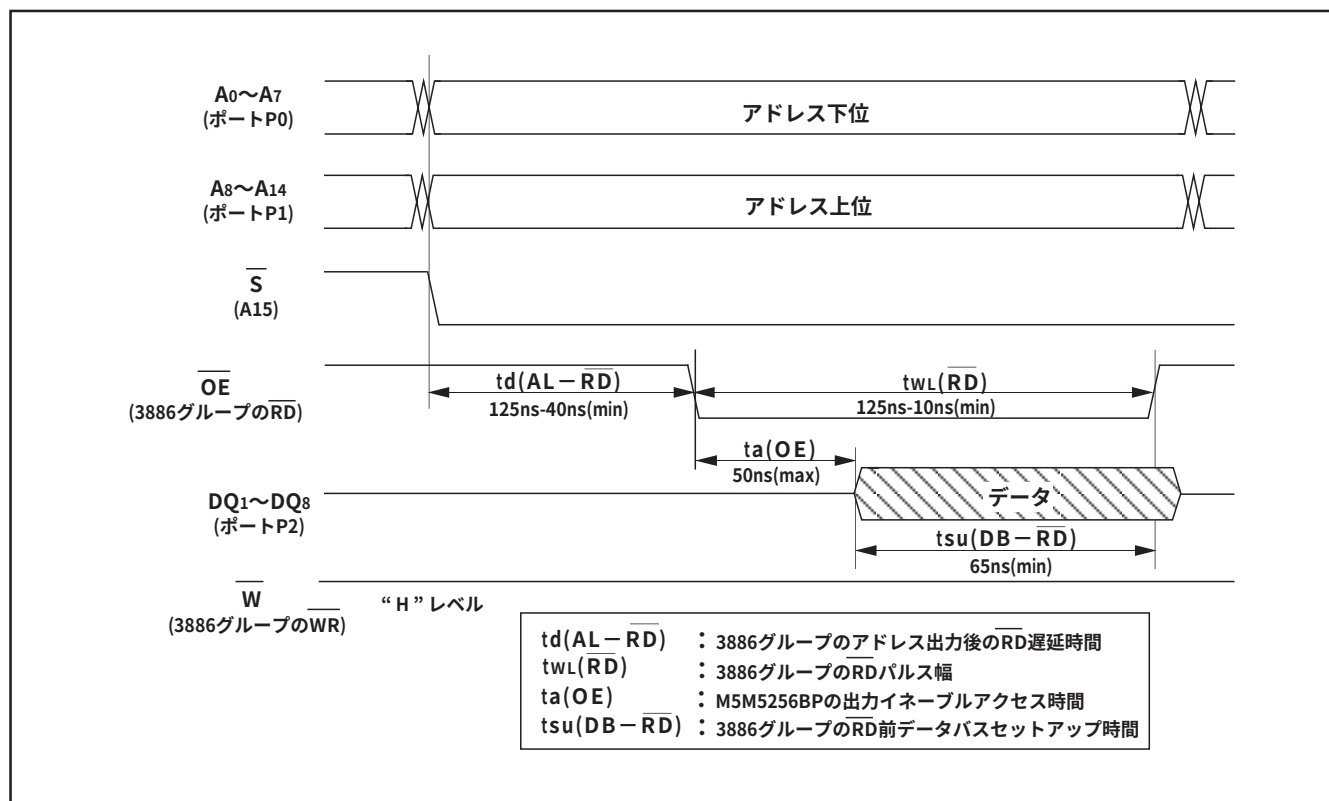


図2.14.4 リードサイクル(OEアクセス、SRAM)

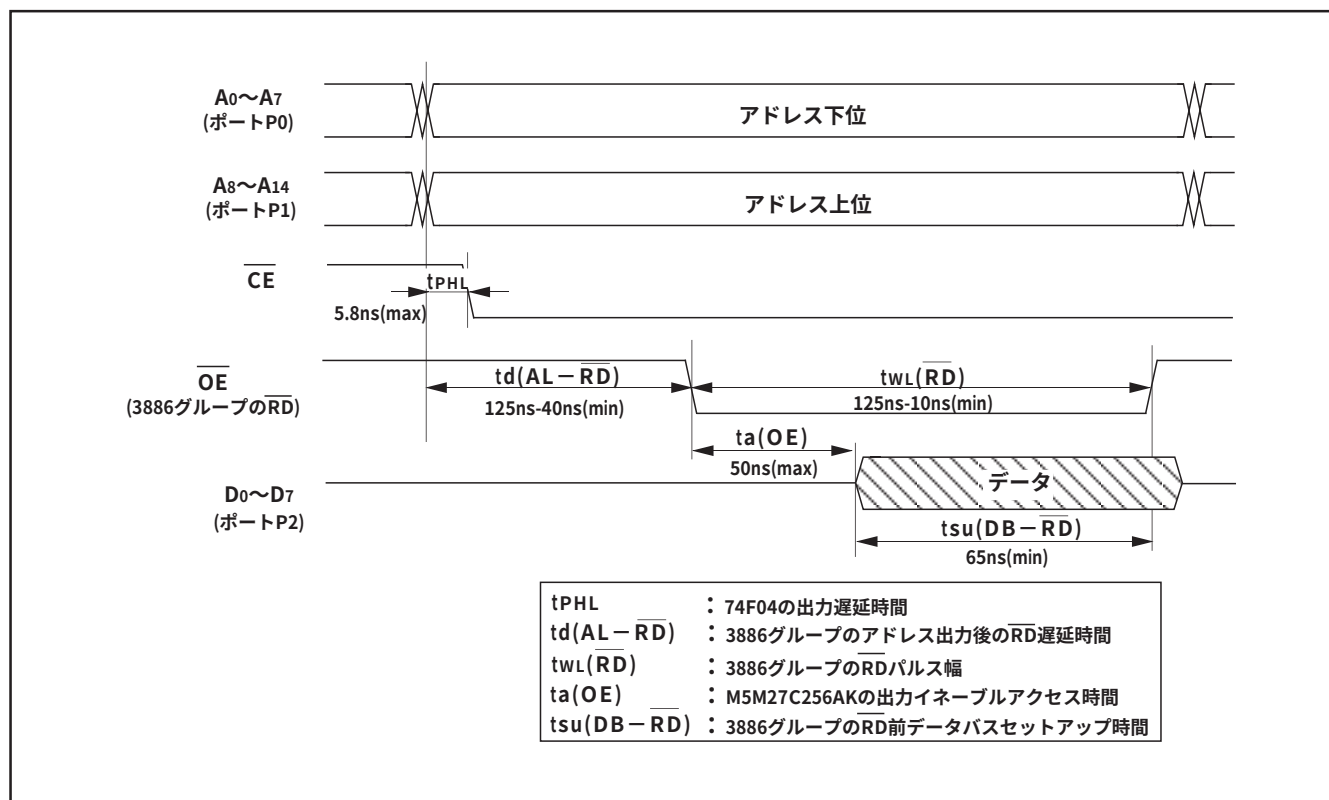


図2.14.5 リードサイクル(OEアクセス、EPROM)

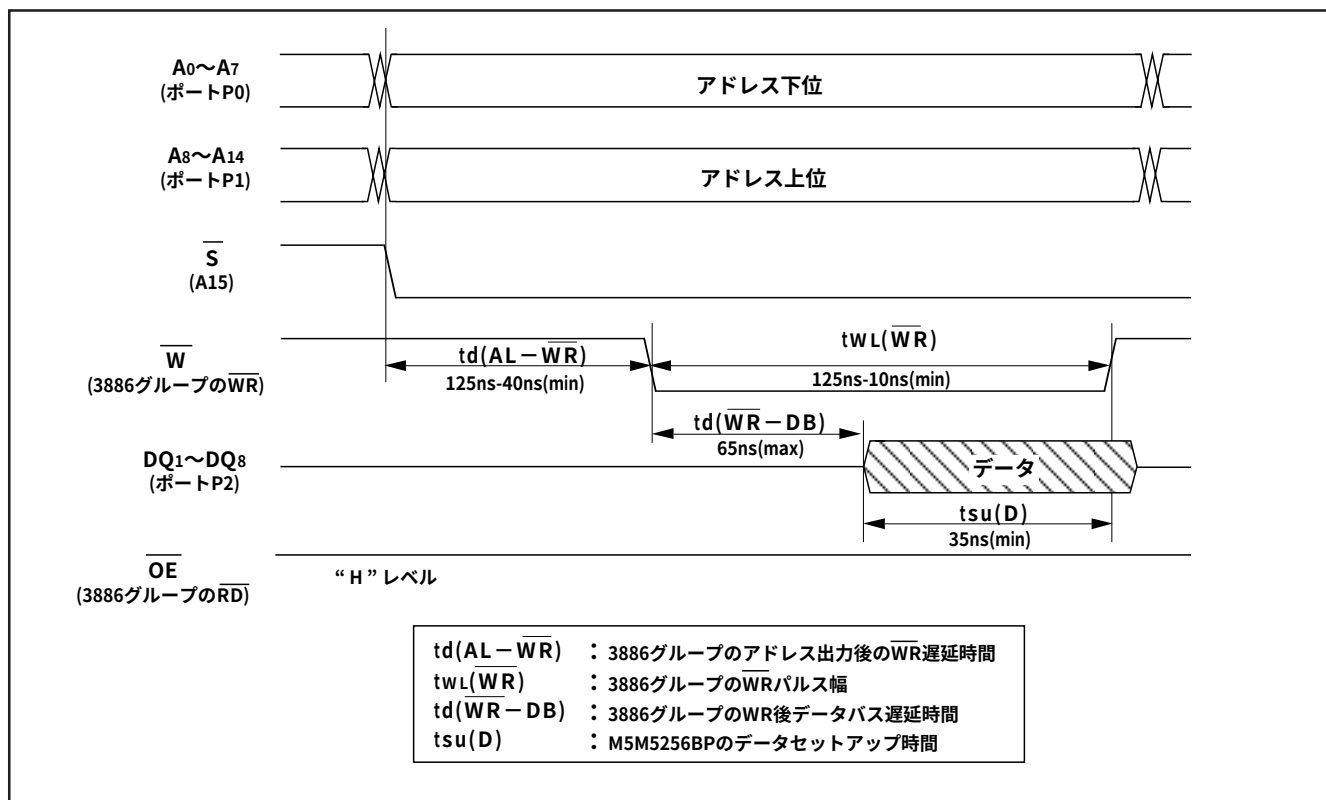


図2.14.6 ライトサイクル(Wコントロール、SRAM)

(2) $\overline{\text{ONW}}$ (ワンウェイト)機能を使用する場合のメモリ外付けの応用例

ポイント：外部メモリのアクセスタイムが遅い場合、 $\overline{\text{ONW}}$ 機能を使用します。

CPUが読み出し又は書き込み状態において、 $\text{P3}_2/\overline{\text{ONW}}$ 端子に“L”を入力すると、 ϕ の1周期分のリード又はライトサイクルが延長されます。延長時間において、 $\overline{\text{RD}}$ 又は $\overline{\text{WR}}$ 信号は“L”レベルを保持します。 $\overline{\text{ONW}}$ 機能は、 $0000_{16} \sim 0007_{16}$ 番地及び $0440_{16} \sim \text{FFFF}_{16}$ 番地への読み出し又は書き込み時のみ機能します。

$\overline{\text{ONW}}$ 機能を使用した応用例を図2.14.7に示します。

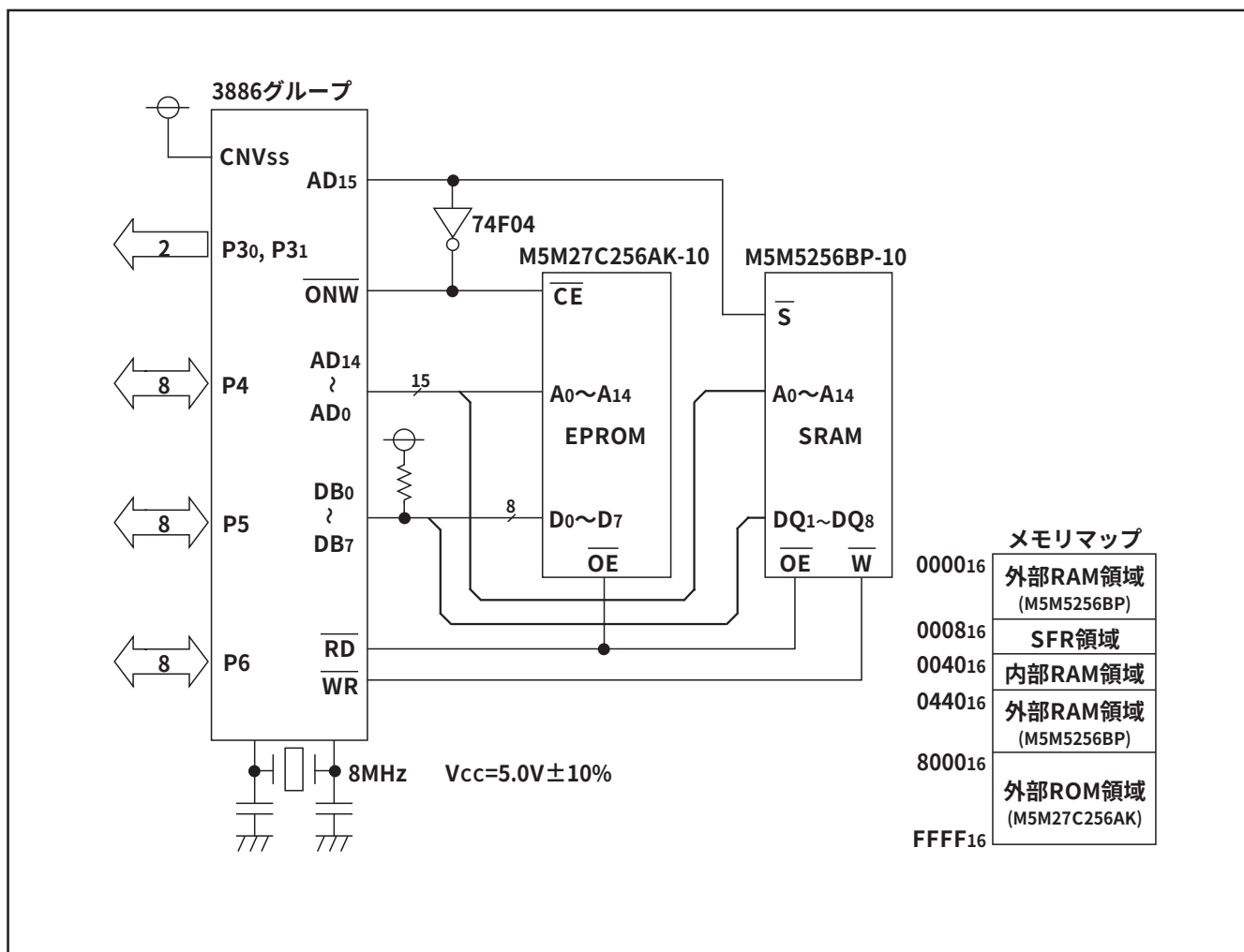


図2.14.7 $\overline{\text{ONW}}$ 機能の使用例

(3) $f(X_{IN})=8\text{MHz}$ 以上で使用する場合のメモリ外付けの応用例

ポイント：外部メモリのアクセスタイムが速い場合、 $f(X_{IN})=8\text{MHz}$ 以上で使用します。

$f(X_{IN})=9\text{MHz}$ の場合、使用できるRAMは、

- ・ $\overline{\text{OE}}$ アクセスタイム： $t_a(\text{OE}) \leq 35\text{ns}$
- ・ 書き込み時のデータセットアップタイム： $t_{su}(\text{D}) \leq 50\text{ns}$

で与えられます。例えば70nsのアドレスアクセスのM5M5256BP-70が使用可能です。

32KバイトのROM及びRAMの拡張例を図2.14.8に示します。

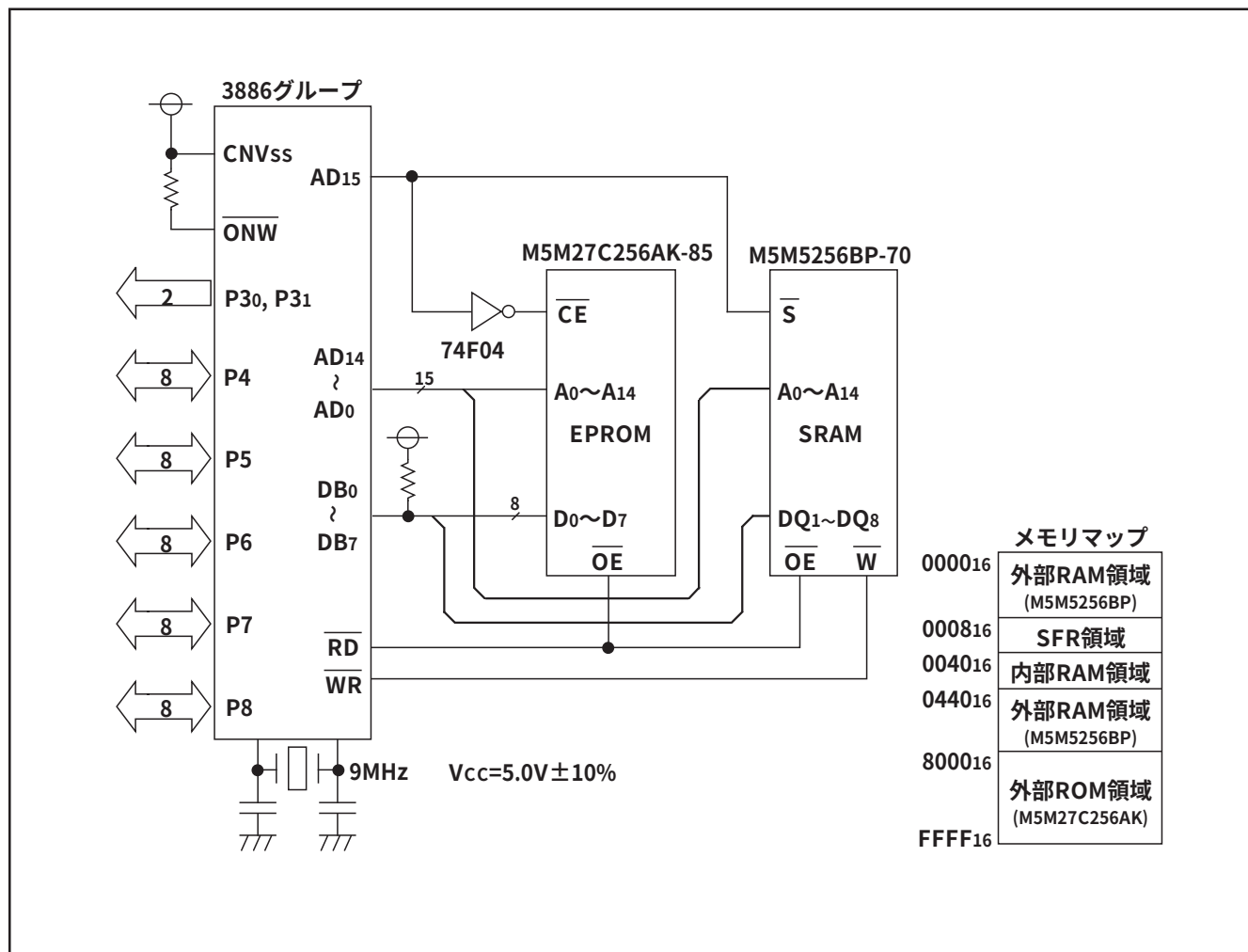


図2.14.8 $f(X_{IN})=8\text{MHz}$ 以上で使用了した場合のROM及びRAMの拡張例

9MHz(ノーウエイト)動作時の基本タイミングを図2.14.9、図2.14.10、及び図2.14.11に示します。

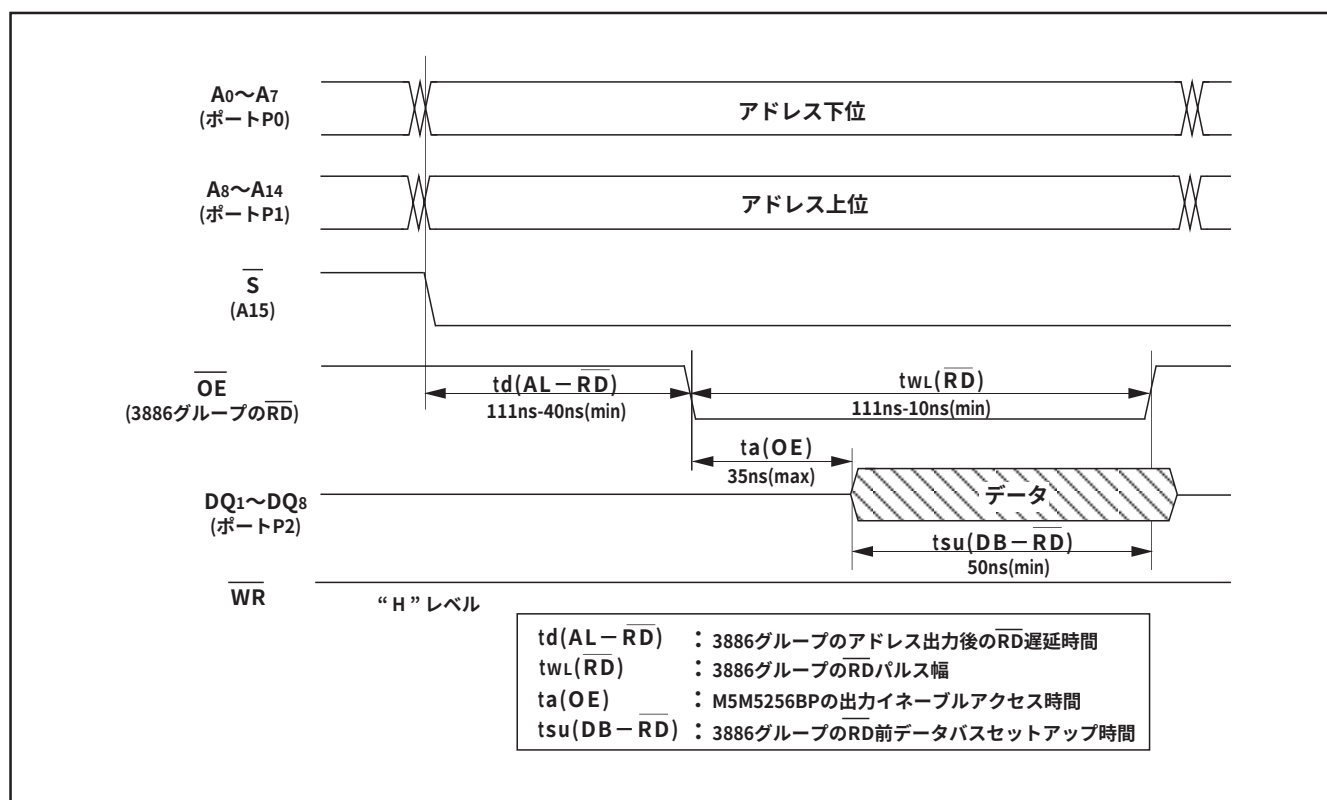


図2.14.9 リードサイクル(OEアクセス、SRAM)

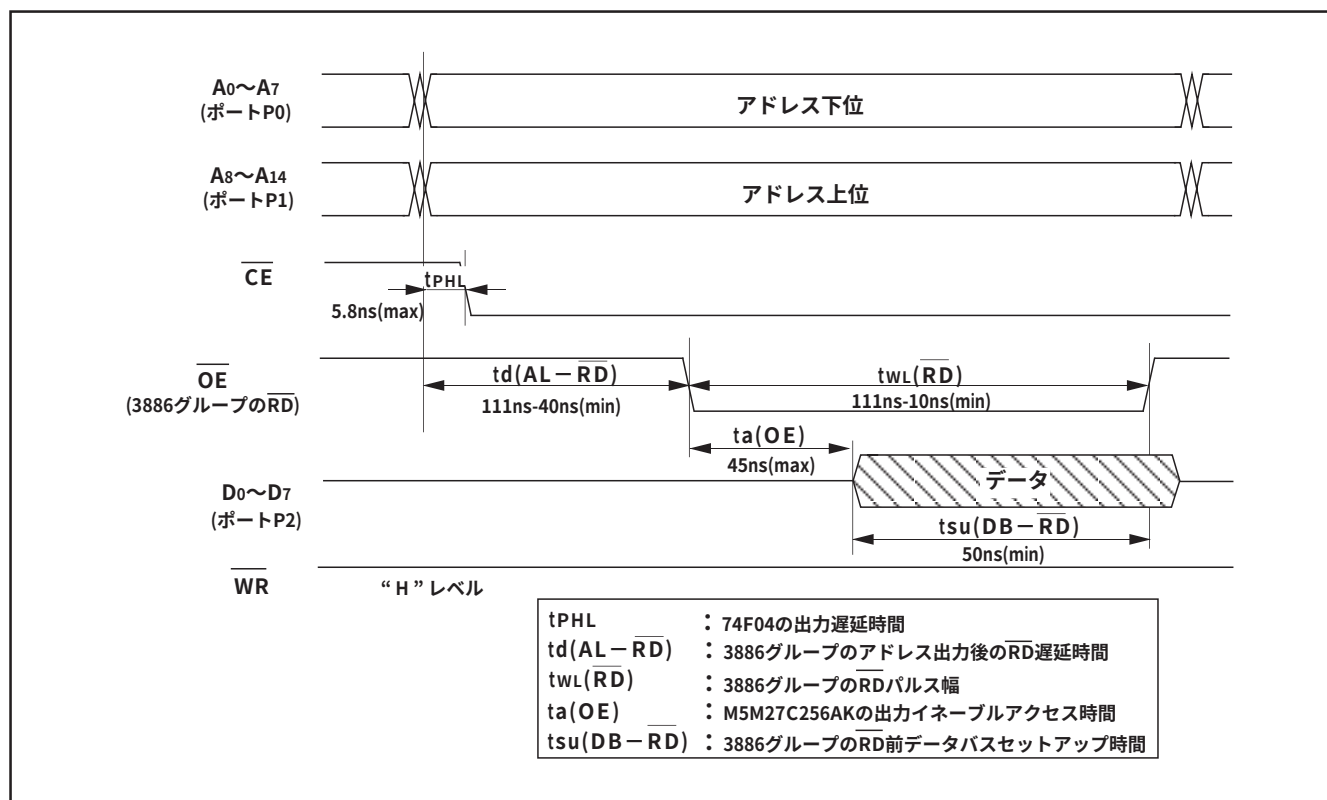


図2.14.10 リードサイクル(OEアクセス、EPROM)

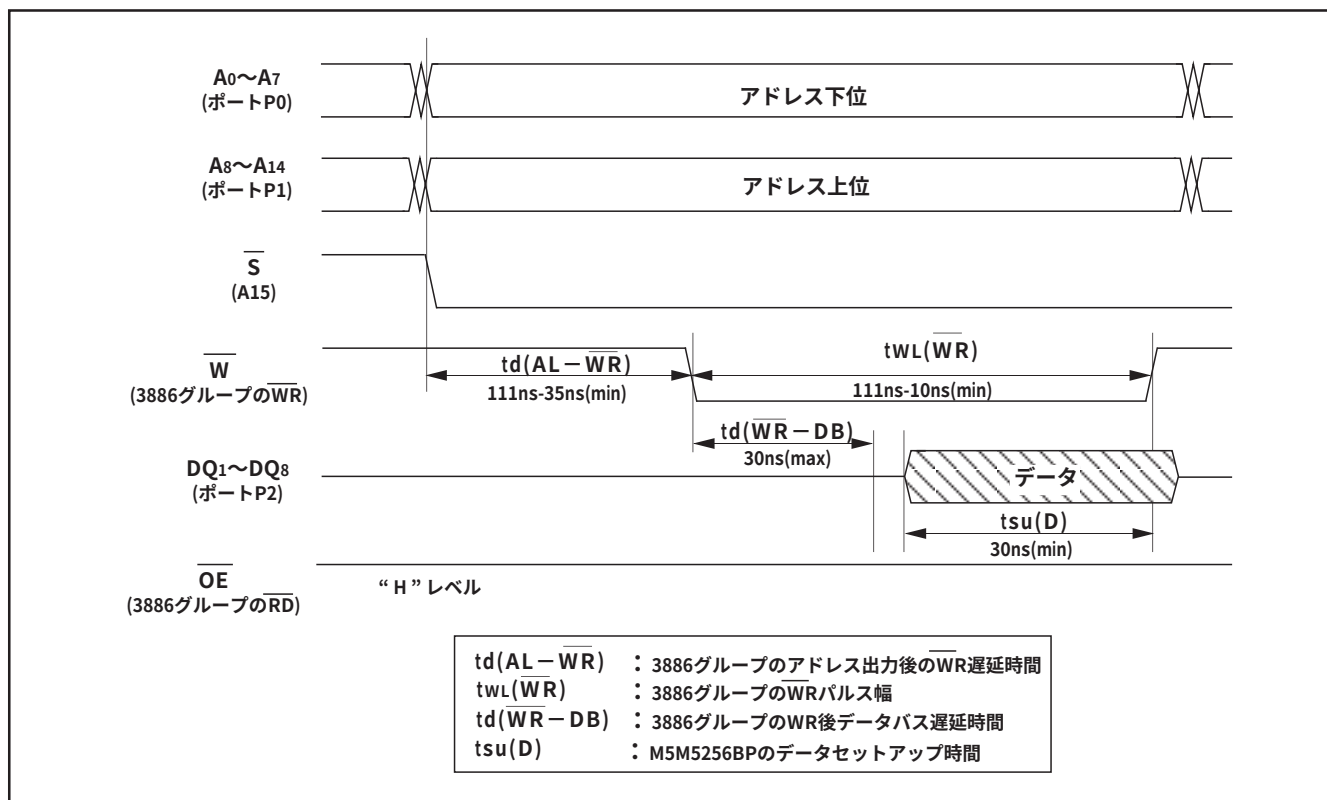


図2.14.11 ライトサイクル(Wコントロール、SRAM)

2.15 フラッシュメモリ

本節ではフラッシュメモリに関するレジスタの設定方法、注意事項などを説明します。

2.15.1 概要

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ただし、**SFR**領域の一部がマスクROM版と異なります(「2.15.2メモリ配置」参照)。

フラッシュメモリ版では、**CPU**書き換えモード、シリアル入出力モード、及びパラレル入出力モードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

2.15.2 メモリ配置

M38869FFAHP/GPは60Kバイトのフラッシュメモリを内蔵しています。

図2.15.1にフラッシュメモリ版のメモリ配置を示します。

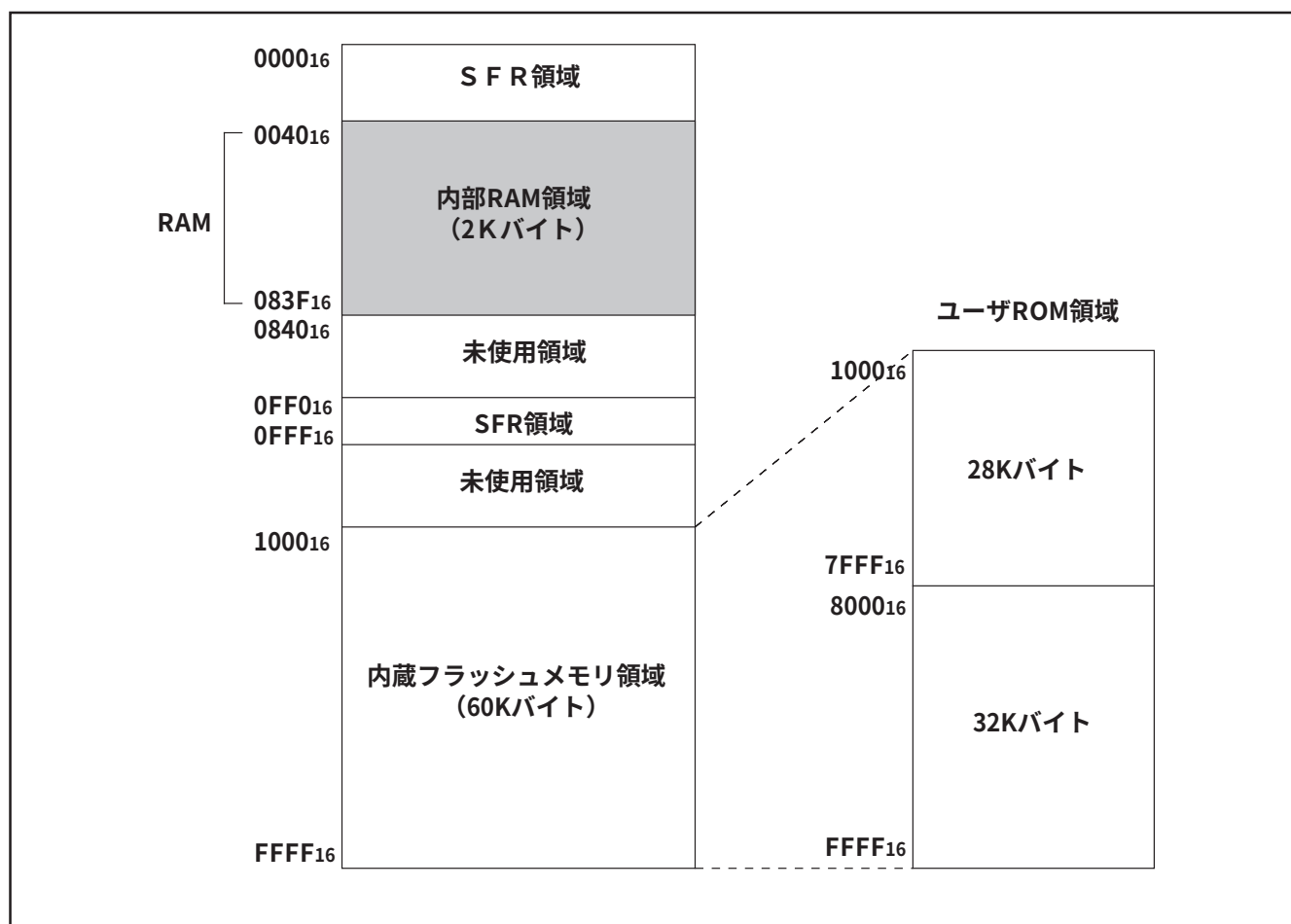


図2.15.1 3886グループフラッシュ版のメモリ配置

2.15.3 関連レジスタ



図2.15.2 フラッシュ関連レジスタのメモリ配置

フラッシュメモリ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0

0

フラッシュメモリ制御レジスタ(FCON) 【0FFE16番地】

b	ビット名	機能	リセット時	R	W
0	CPU書き換えモード 選択ビット(注1,2)	0:CPU書き換えモード無効 (通常動作モード) 1:CNVSS/Vpp端子に0V又はVpPL印加 時、CPU書き換えモード無効 CNVSS/Vpp端子にVppHE印加時、 CPU書き換えモード有効	0	○	○
1	イレーズ/プログラム ビジーフラグ	0:イレーズ、プログラム完了又は 実行していない 1:イレーズ、プログラム中	0	○	○
2	CPU書き換えモード モニタフラグ	0:CPU書き換えモード無効 1:CPU書き換えモード有効	0	○	○
3	必ず“0”にしてください。		0	○	○
4	イレーズ、プログラム 領域選択ビット	00:100016~FFFF16番地 (計60K/バイト)	0	○	○
5		01:100016~7FFF16番地 (計28K/バイト) 10:800016~FFFF16番地 (計32K/バイト) 11:設定しないでください	0	○	○
6	必ず“0”にしてください。		0	○	○
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	○	×

図2.15.3 フラッシュメモリ制御レジスタの構成

フラッシュコマンドレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

フラッシュコマンドレジスタ(FCMD) 【0FFF₁₆番地】

b	機 能	リセット時	R	W
0	ソフトウェアコマンド書き込み <ソフトウェアコマンド名> <コマンドコード>	0	×	○
1	・リードコマンド “ 00 ₁₆ ”	0	×	○
	・プログラムコマンド “ 40 ₁₆ ”			
	・プログラムベリファイコマンド “ C0 ₁₆ ”			
2	・イレーズコマンド “ 20 ₁₆ ” + “ 20 ₁₆ ”	0	×	○
	・イレーズベリファイコマンド “ A0 ₁₆ ”			
3	・リセットコマンド “ FF ₁₆ ” + “ FF ₁₆ ”	0	×	○
4		0	×	○
5		0	×	○
6		0	×	○
7		0	×	○

注. フラッシュコマンドレジスタは、書き込み専用のレジスタです。

図2.15.4 フラッシュコマンドレジスタの構成

2.15.4 パラレル入出力モード

パラレル入出力モードでは、汎用の**EPROM**プログラマを使用することによって、内蔵フラッシュメモリ領域へのプログラム/イレーズを行うことができます。

EPROMプログラマの書き込みモードは**M5M28F101**に設定し、プログラム/イレーズのメモリ領域は**0100016～0FFFF16**番地に設定してください。特にイレーズを行うときにメモリ領域の設定を間違えると、製品の永久的なダメージにつながりますので注意が必要です。

表2.15.1にパラレル入出力モードでプログラムを行う場合の**EPROM**プログラマの設定を示します。

・推奨プログラマ：(株)アドバンテスト社製 **R4945/R4945A**

表2.15.1 パラレル書き込み時のEPROMプログラマ設定

品種名	書き込みアダプタ	書き込みモード	メモリ領域
M38869FFAHP	PCA4738HF-80	M5M28F101	0100016～0FFFF16
M38869FFAGP	PCA4738GF-80		

2.15.5 シリアル入出力モード

シリアル入出力モードで書き込みをおこなう場合の、プログラマとマイコンの端子接続について表2.15.2に示します。

・推奨プログラマ：(株)彗星電子システム社製 **MSP- I /MSP- II**

表2.15.2 シリアル書き込み時のプログラマとの接続

MSP- I /MSP- II		3886グループフラッシュマイコン	
信号名	ターゲットコネクタ線番	端子名	ピン番号
BUSY	1	P47/ $\overline{\text{SRDY1}}$	12
VPP (注1)	2	CNVss (注1)	18
VDD (注3)	3	Vcc (注3)	57
SCL	4	P40/SCLK1	13
SDA	5	P44/RxD1	15
PGM/OE	6	P37	49
RESET	7	$\overline{\text{RESET}}$	19
GND (注2)	8	Vss, AVss (注2)	24, 59

注1. プログラム電源端子CNVss/VPPには、ノイズ除去のため0.01 μ F程度のコンデンサをGNDとの間に挿入してください。

2. シリアルプログラマを接続するときには、最初にGNDどうしを接続してGNDレベルを合わせるようにしてください。

3. ターゲット基板にVcc電源が既に供給されている場合、シリアルプログラマからのVDD電源供給端子をターゲット基板のVccに接続しないでください。

2.15.6 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがってROMライタなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換えプログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリからの読み出しができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域(内部RAM領域など)に転送した後、その領域上で実行してください。

CPU書き換えモードでは、リードコマンド、プログラムコマンド、プログラムベリファイコマンド、イレーズコマンド、イレーズベリファイコマンド、リセットコマンドが使用できます。各コマンドの詳細については「1章 フラッシュメモリモード・3(CPU書き換えモード)」を参照してください。

(1) CPU書き換えモード設定/解除方法

内蔵フラッシュメモリの書き換えモードでの操作手順を示します。

制御例については「2.15.7 (2)CPU書き換えモード時の制御例」を参照してください。

<開始手順>

- ①CNVss/Vpp端子に0Vを印加し、リセットを解除する。
- ②CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御してください)。
- ③CPU書き換えモード選択ビット(0FFE16番地のビット0)に“1”を設定する。
- ④CNVss/Vpp端子にVppHを印加する。
- ⑤CNVss/Vpp端子が12Vになるまで待つ。
- ⑥CPU書き換えモードモニタフラグ(0FFE16番地のビット2)を読み出し、CPU書き換えモードが有効になっていることを確認する。
- ⑦フラッシュコマンドレジスタ(0FFF16番地)へのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

注. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

<解除手順>

- ①CNVss/Vpp端子に0Vを印加する。
- ②CNVss/Vpp端子が0Vになるまで待つ。
- ③CPU書き換えモード選択ビット(0FFE16番地のビット0)を“0”に設定する。

また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・割り込み禁止フラグ(I)=1にする。

CPU書き換えモード中、ウォッチドッグタイマ制御レジスタ(1E16番地)には定期的書き込みを行い、ウォッチドッグタイマHのアンダフローによるリセットが発生しないようにしてください。

なお、プログラム実行中(プログラム時間:最大9.5μs)は、ウォッチドッグタイマHはFF16、ウォッチドッグタイマLはFF16に設定され、カウントが停止します。プログラム実行後、またはイレーズ実行完了後に再びカウントを開始します。そのため、ウォッチドッグタイマ制御レジスタの書き込み周期はプログラム時間、及びイレーズ時間を除き設定しても問題ありません。

CPU書き換えモード時に、割り込み要求及びリセットが発生した場合は、以下のようになります。

- ・割り込み : プログラムが暴走します。割り込みベクトル領域のあるフラッシュメモリの読み出しができないためです。
- ・ウォッチドッグタイマHアンダフロー、リセット : 内蔵フラッシュメモリ制御回路、及びフラッシュメモリ制御レジスタがリセットされ、マイクロコンピュータがリセットされます。

また、プログラム/イレーズ中に上記割り込み及びリセットが発生した場合、フラッシュメモリの書き換えが完了していないため、リセット解除後も正常に動作しないデータになっている可能性が高く注意が必要です。この場合には、パラレルモードまたはシリアルモードでフラッシュメモリを正しくプログラムしなおす必要があります。

2.15.7 フラッシュメモリモードの応用例

シリアル入出力モード使用時のシステム基板上での制御端子処理例、及びCPU書き換えモード時の制御例について示します。

(1) シリアル入出力モード使用時のシステム基板上での制御端子処理例

図2.15.5に示すように、シリアル入出力モードでは、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリの内容を書き換えることができます。シリアル入出力モード時、制御端子となるP37、P44、P46、P47、CNVss、及びRESET端子の処理例を以下に示します。

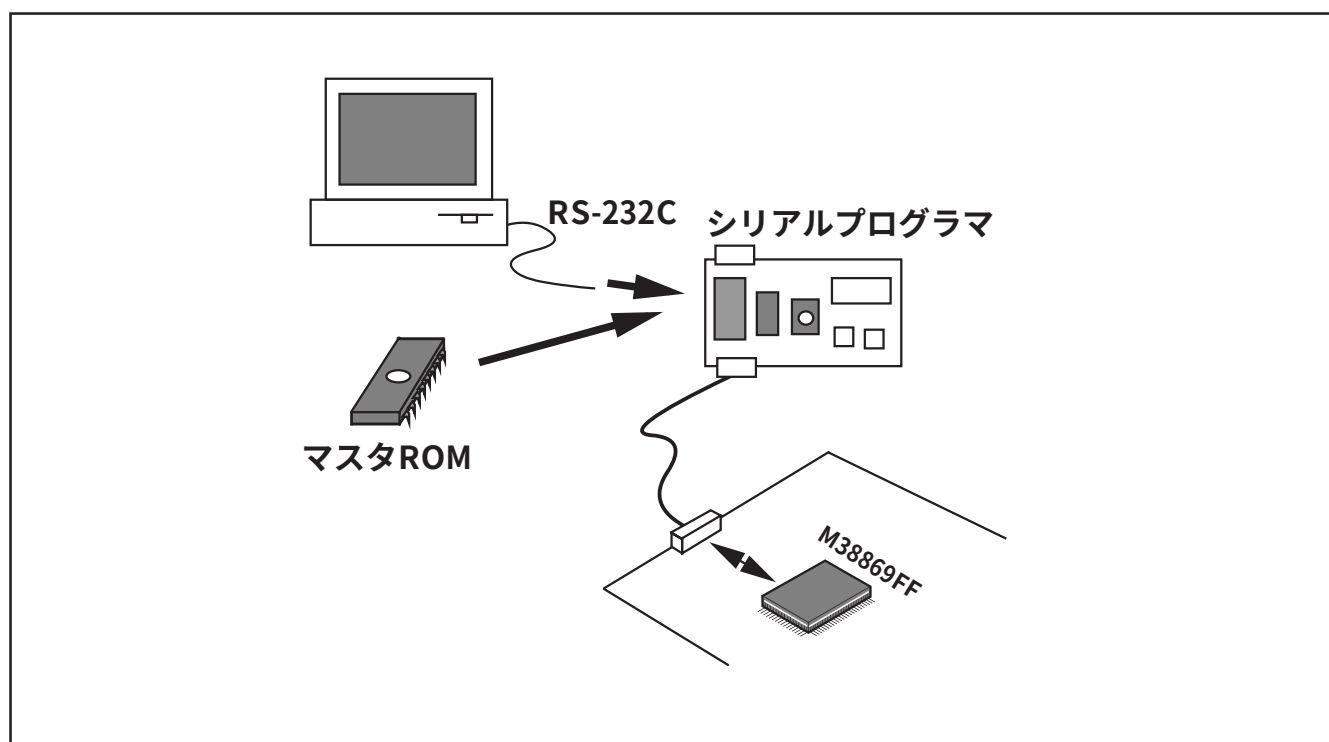


図2.15.5 シリアル入出力モードによる内蔵フラッシュメモリ書き換え例

① 制御信号がユーザシステム回路に影響しない場合

シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されていない、あるいはユーザシステム回路に影響しない場合は、図2.15.6に示すように結線できます。

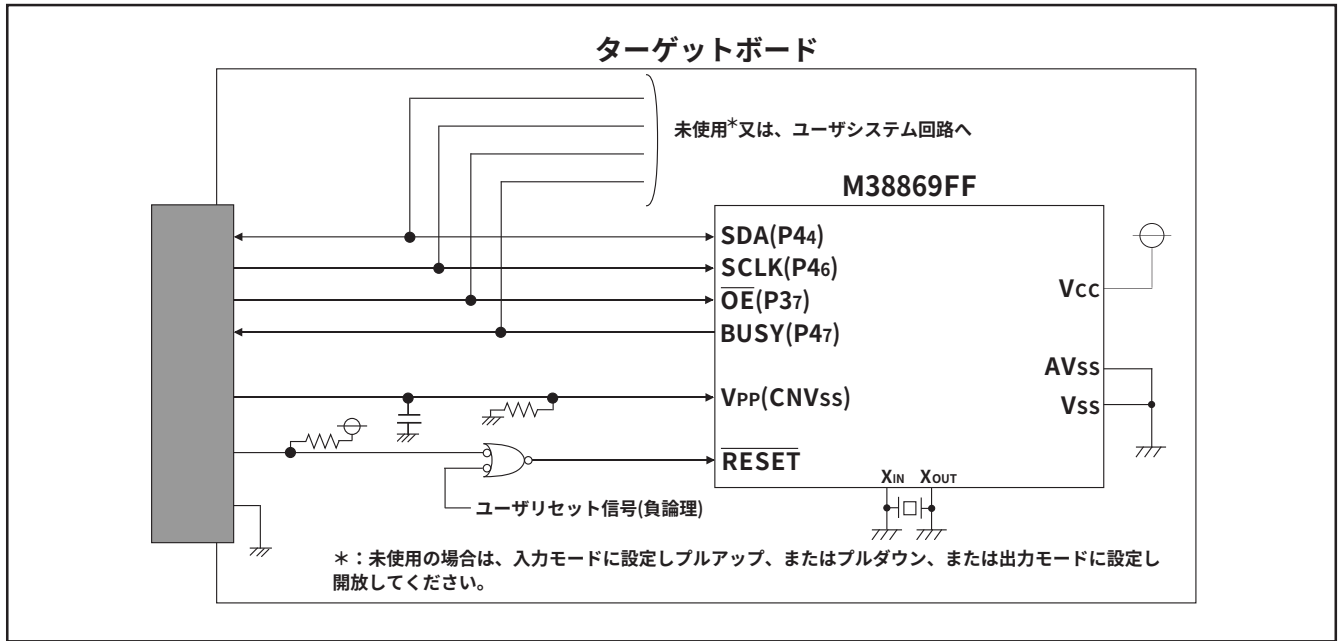


図2.15.6 シリアル入出力モード時の基板上的端子処理例(1)

② 制御信号がユーザシステム回路に影響する場合①

図2.15.7はシリアル入出力モード時、ジャンプスイッチによりユーザシステム回路へ供給される制御信号を遮断する例です。

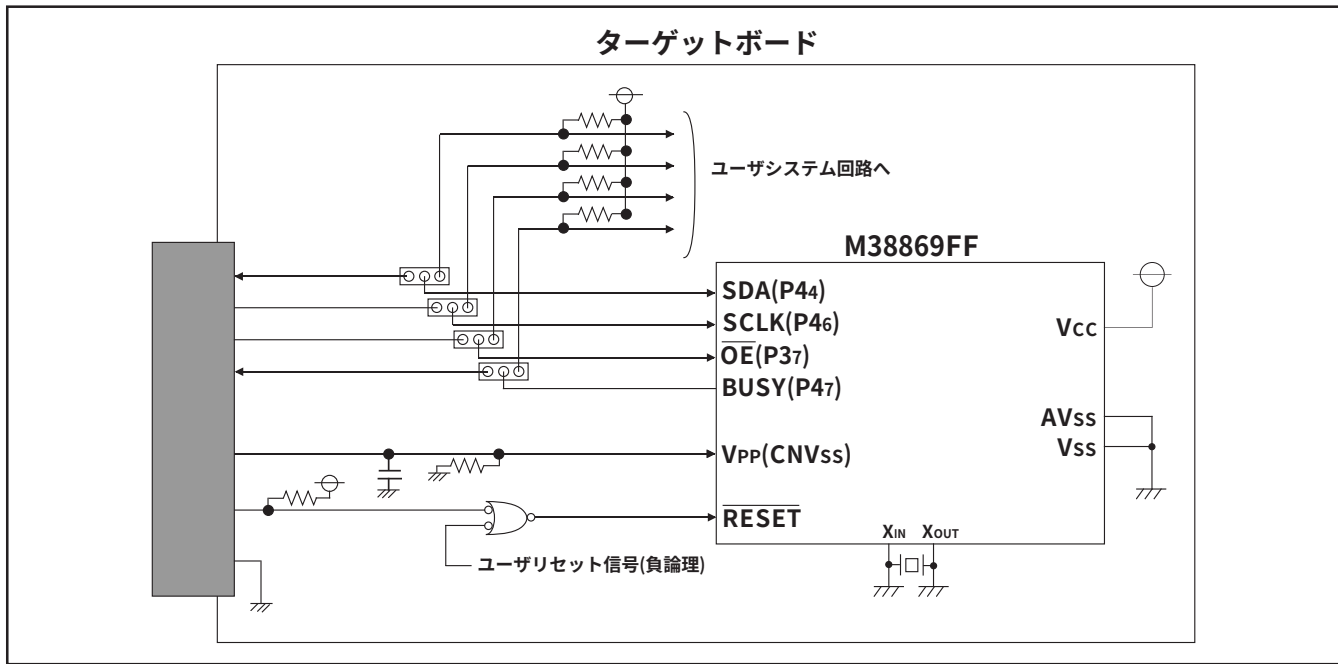


図2.15.7 シリアル入出力モード時の基板上的端子処理例(2)

③ 制御信号がユーザシステム回路に影響する場合②

図2.15.8はシリアル入出力モード時、アナログスイッチ(74HC4066)によりユーザシステム回路へ供給される制御信号を遮断する例です。

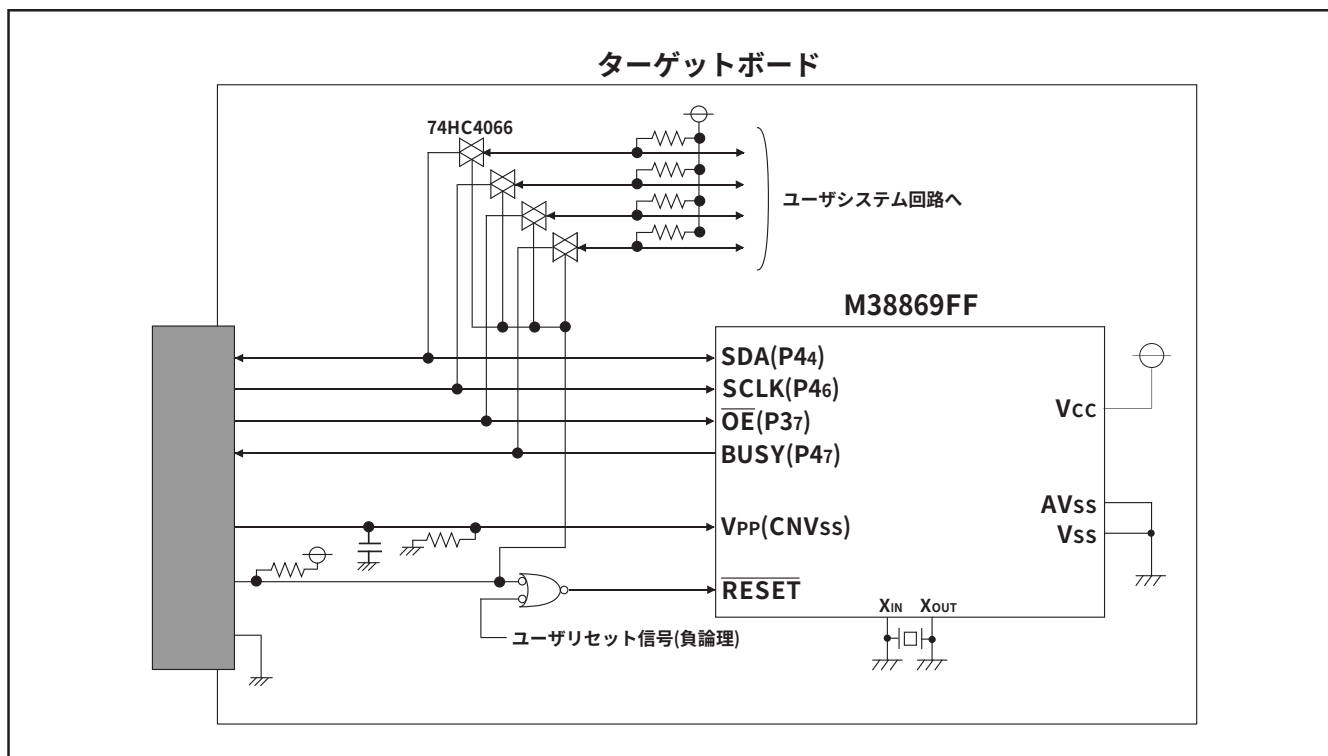


図2.15.8 シリアル入出力モード時の基板上の端子処理例(3)

(2) CPU書き換えモード時の制御例

この例では、シリアルI/Oを用いてプログラムの書き換えデータ(アップデートデータ)を受信しながらCPU書き換えモードで内蔵フラッシュメモリの書き換えを行います。

図2.15.9にCPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例を示します。

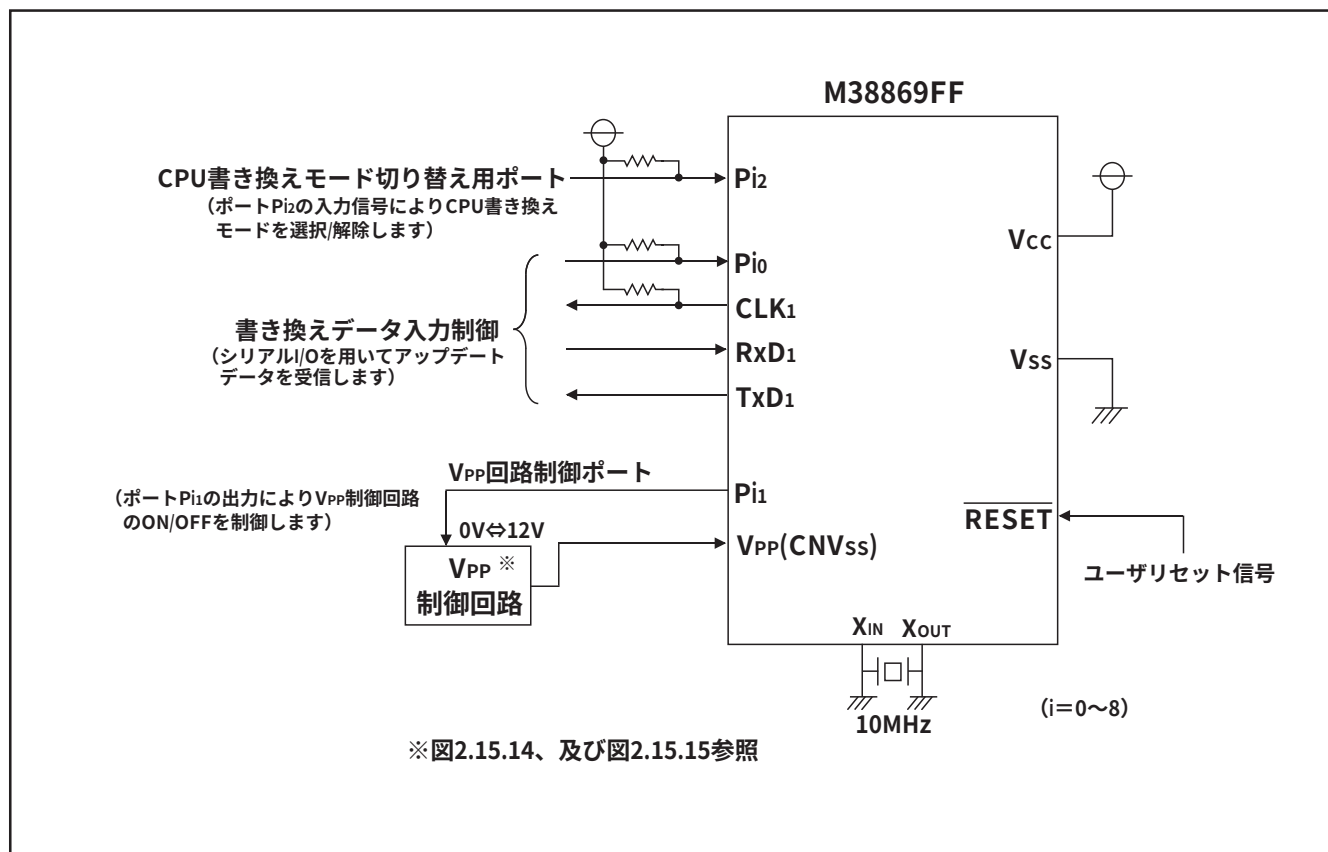
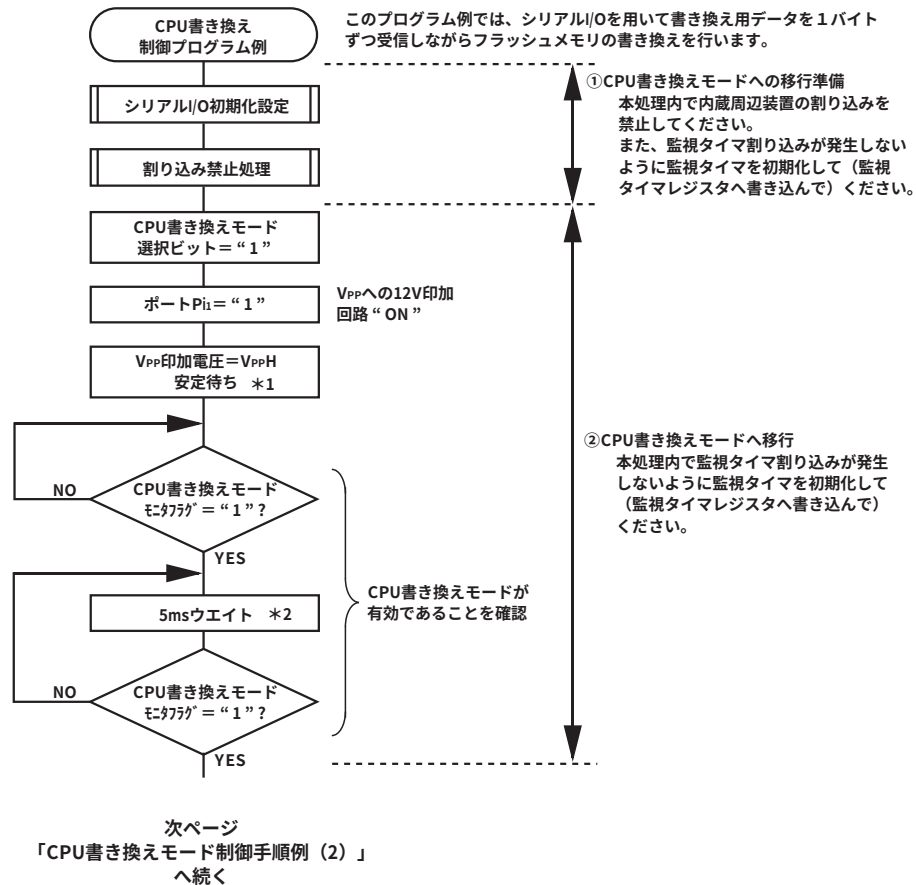


図2.15.9 CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例

■仕 様

- ① Pi2への入力信号により、CPU書き換えモードを選択/解除。
- ② シリアルI/Oを用いて、アップデートデータを受信。
- ③ シリアル転送元の転送可能状態は、Pi0への“L”レベル入力で判断。
- ④ Pi1からの出力により、VPP制御回路をON/OFFする(図2.15.14及び図2.15.15参照)。

注. この例では下記のプログラムを内部RAMへ転送し、内部RAM上で実行します。



*1: Vpp入力電圧がVppHに安定するまで、ソフトウェアで待つことを推奨します（図2.15.14、図2.15.15 Vpp電圧制御タイミング(A)参照）。

*2: ウェイト時間は、Vpp制御回路により異なります（図2.15.14、図2.15.15 Vpp電圧制御タイミング(C)参照）。

図2.15.10 CPU書き換え制御プログラム例(1)

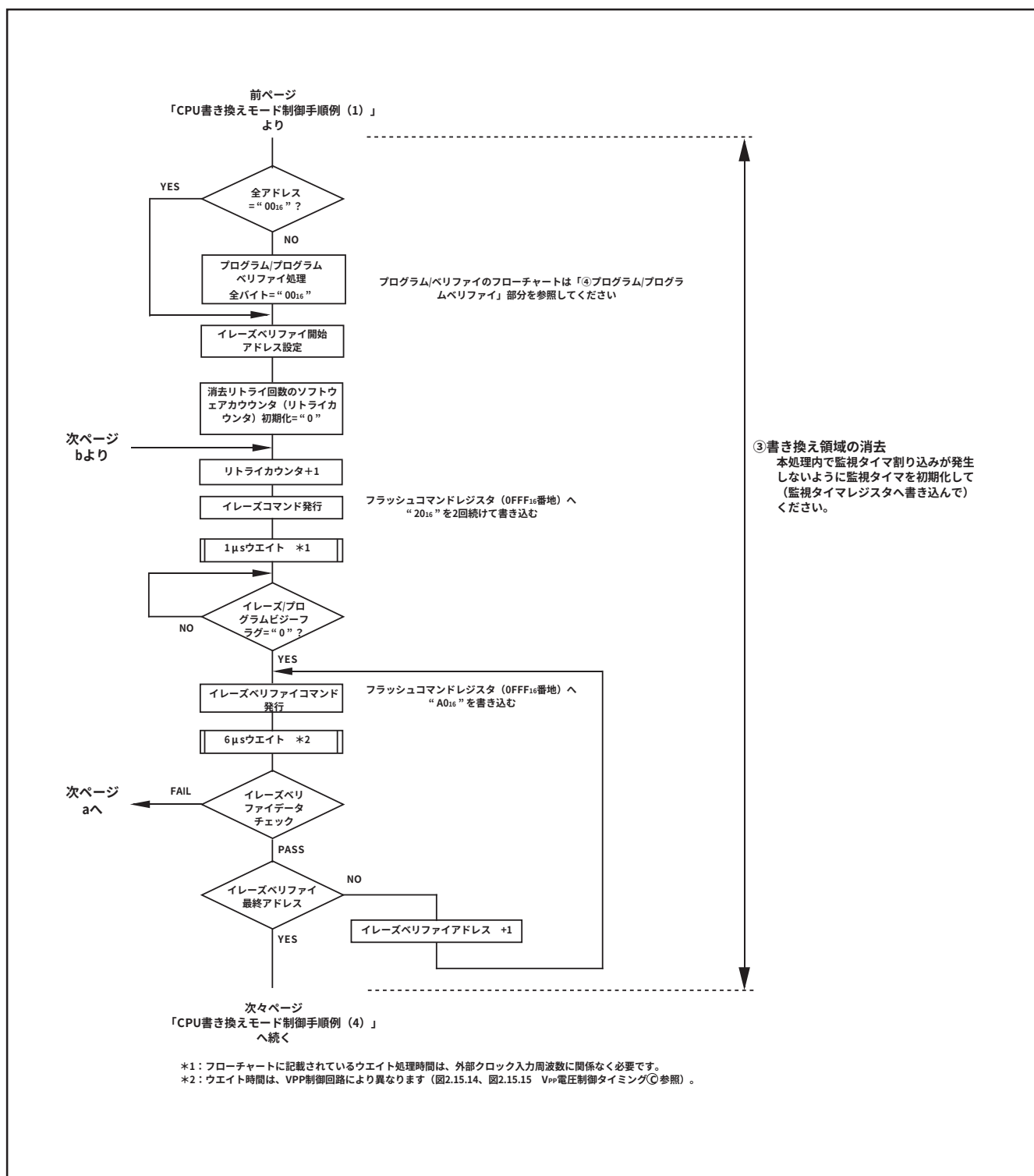


図2.15.11 CPU書き換え制御プログラム例(2)

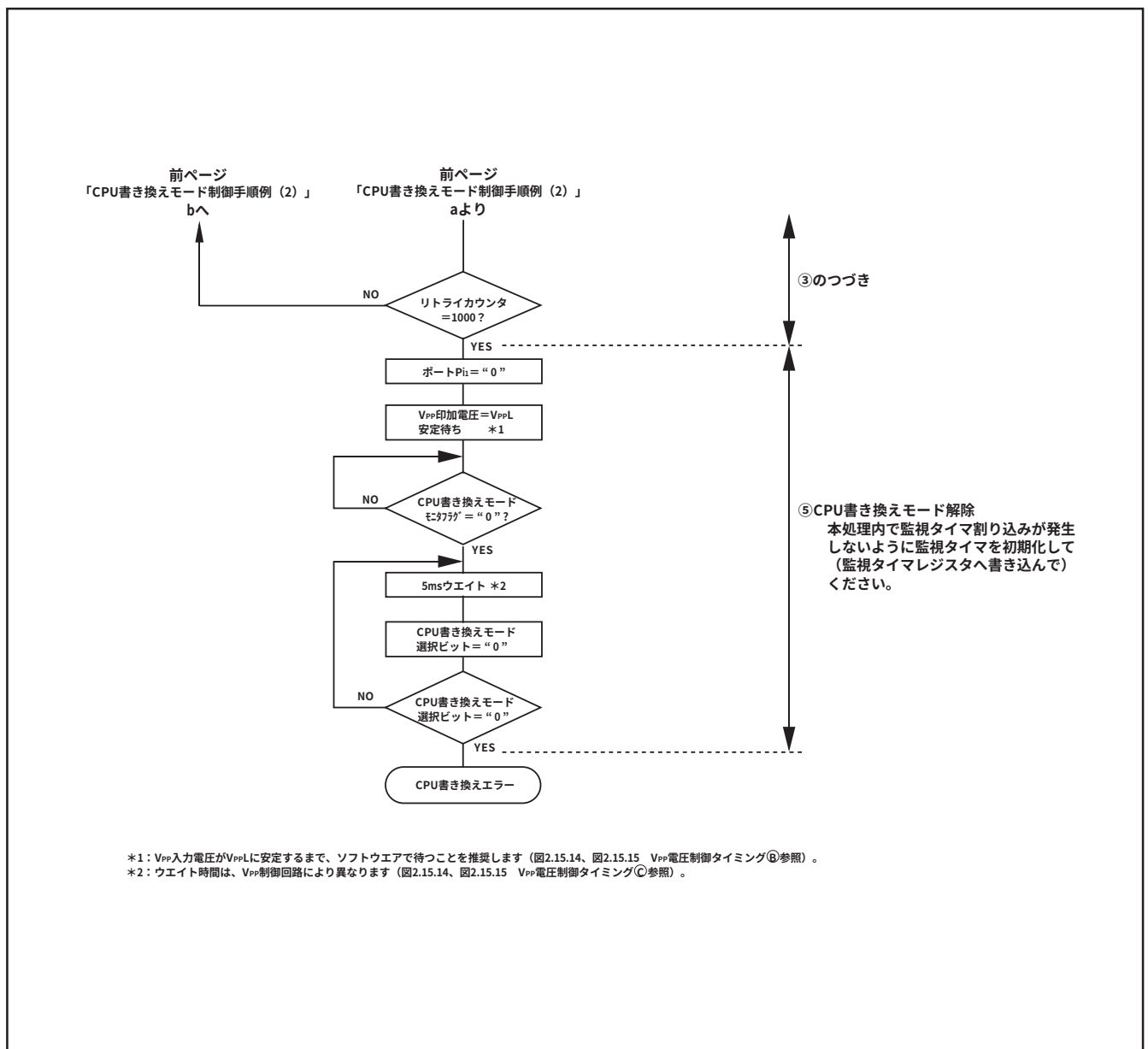


図2.15.12 CPU書き換え制御プログラム例(3)

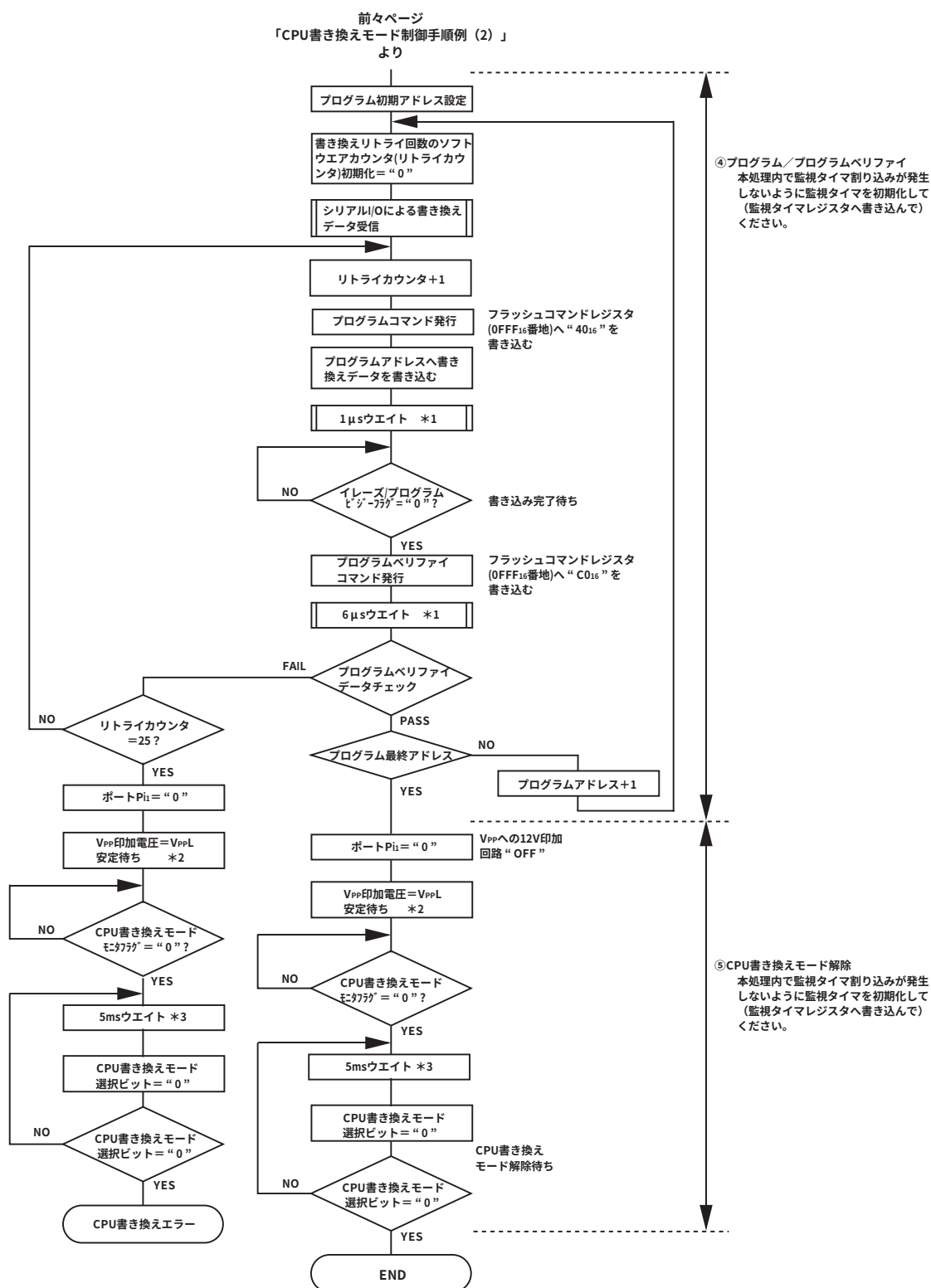
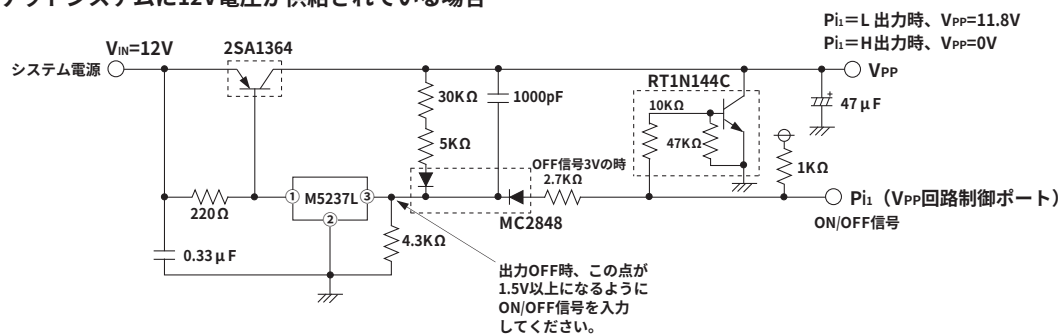


図2.15.13 CPU書き換え制御プログラム例(4)



V_{PP}電圧制御タイミング

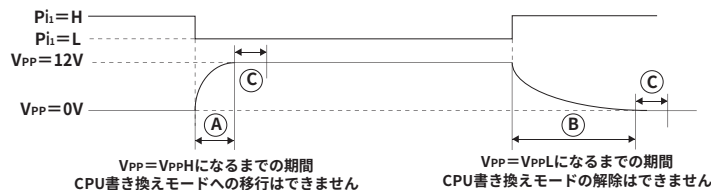
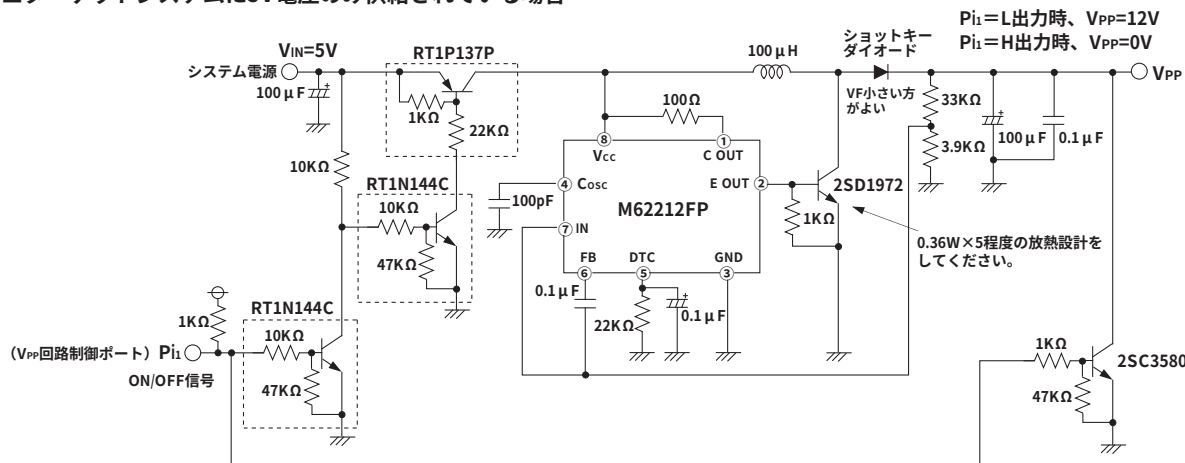


図2.15.14 V_{PP} 制御回路例(1)

■ターゲットシステムに5V電圧のみ供給されている場合



V_{PP}電圧制御タイミング

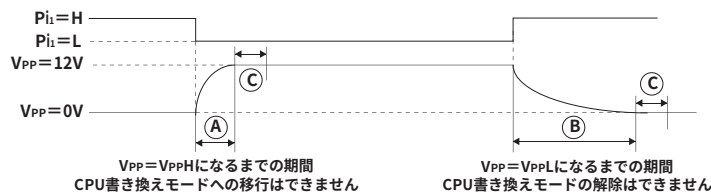


図2.15.15 V_{PP} 制御回路例(2)

2.15.8 CPU書き換えモードに関する注意事項

(1) CPU書き換えモード制御プログラムは、CPU書き換えモードを選択する前に内部RAMに転送し、内部RAM上で実行してください。

また、制御プログラム内でサブルーチンやスタック操作命令などを使用する場合は、スタック領域によって内部RAMに転送した制御プログラムが壊れないよう、注意してください。

(2) CPU書き換えモード制御プログラムは、内部RAMに転送し、内部RAM上で実行するため、命令の記述(指定番地など)に注意してください。

(3) ウォッチドッグタイマ割り込みが発生しないように、CPU書き換えモード制御プログラムで、定期的にウォッチドッグタイマ制御レジスタへ書き込みを行ってください(「2.7ウォッチドッグタイマ」参照)。

(4) フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10kΩの抵抗を介してVssに接続してください。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

第 3 章 付 録

- 3.1 電气的特性
- 3.2 標準特性例
- 3.3 使用上の注意事項
- 3.4 ノイズに関する注意事項
- 3.5 レジスタ一覧
- 3.6 パッケージ寸法図
- 3.7 命令コード一覧表
- 3.8 機械語命令一覧表
- 3.9 SFRメモリマップ
- 3.10 ピン接続図

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項 目	条 件	定 格 値	単位
V _{CC}	電源電圧 (注1)	V _{SS} 端子を基準にして測定する出力トランジスタは遮断状態	-0.3~7.0	V
V _{CC}	電源電圧 (注2)		-0.3~6.5	V
V _I	入力電圧 P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67 P80~P87, V _{REF}		-0.3~V _{CC} +0.3	V
V _I	入力電圧 P70~P77		-0.3~5.8	V
V _I	入力電圧 RESET, X _{IN}		-0.3~V _{CC} +0.3	V
V _I	入力電圧 CNV _{SS} (注3)		-0.3~7	V
V _I	入力電圧 CNV _{SS} (注4)		-0.3~V _{CC} +0.3	V
V _I	入力電圧 CNV _{SS} (注5)		-0.3~13	V
V _O	出力電圧 P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67 P80~P87, X _{OUT}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 P70~P77		-0.3~5.8	V
P _d	消費電力	T _a =25°C	500	mW
T _{opr}	動作周囲温度		-20~85	°C
T _{stg}	保存温度		-40~125	°C

注1. M38867M8A, M38867E8A

2. M38869M8A, M38869MCA, M38869MFA, M38869FFA

3. M38867M8A

4. M38869M8A, M38869MCA, M38869MFA

5. M38867E8A, M38869FFA

3.1.2 推奨動作条件

表3.1.2 推奨動作条件

(指定のない場合は、Vcc=2.7~5.5V、フラッシュメモリ版はVcc=4.0~5.5V、Ta=-20~85°C)

記 号	項 目		規 格 値			単位
			最 小	標 準	最 大	
VCC	電源電圧(フラッシュメモリ版を除く)	f(XIN) ≤ 4.1MHz時	2.7	5.0	5.5	V
		f(XIN) = 10MHz時	4.0	5.0	5.5	V
VCC	電源電圧(フラッシュメモリ版)		4.0	5.0	5.5	V
VSS	電源電圧			0		V
VREF	アナログ基準電圧	A-D変換器使用時	2.0		Vcc	V
		D-A変換器使用時	2.7		Vcc	V
AVSS	アナログ電源電圧			0		V
VIA	A-D変換器入力電圧 AN0~AN7		AVss		Vcc	V
VIH	“H” 入力電圧 P00~P07, P10~P17, P20~P27, P30~P37 P40, P41, P47, P50~P57, P60~P67, P80~P87		0.8Vcc		Vcc	V
	“H” 入力電圧 P76, P77		0.8Vcc		5.5	V
	“H” 入力電圧(I ² C-BUS入力レベル選択時) SDA, SCL		0.7Vcc		5.5	V
VIH	“H” 入力電圧(SMBUS入力レベル選択時) SDA, SCL		1.4		5.5	V
VIH	“H” 入力電圧(CMOS入力レベル選択時) P42~P46, DQ0~DQ7, $\overline{W}$, $\overline{R}$, $\overline{S_0}$, $\overline{S_1}$, A0		0.8Vcc		Vcc	V
VIH	“H” 入力電圧(CMOS入力レベル選択時) P70~P75		0.8Vcc		5.5	V
VIH	“H” 入力電圧(TTL入力レベル選択時) P42~P46, DQ0~DQ7, $\overline{W}$, $\overline{R}$, $\overline{S_0}$, $\overline{S_1}$, A0 (注)		2.0		Vcc	V
VIH	“H” 入力電圧(TTL入力レベル選択時) P70~P75 (注)		2.0		5.5	V
VIH	“H” 入力電圧 RESET, XIN, XCIN, CNVss		0.8Vcc		Vcc	V
VIL	“L” 入力電圧 P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67, P70~P77, P80~P87		0		0.2 Vcc	V
	“L” 入力電圧(I ² C-BUS入力レベル選択時) SDA, SCL		0		0.3 Vcc	V
	“L” 入力電圧(SMBUS入力レベル選択時) SDA, SCL		0		0.6	V
VIL	“L” 入力電圧(CMOS入力レベル選択時) P42~P46, P70~P75, DQ0~DQ7, $\overline{W}$, $\overline{R}$, $\overline{S_0}$, $\overline{S_1}$, A0		0		0.2 Vcc	V
VIL	“L” 入力電圧(TTL入力レベル選択時) P42~P46, P70~P75, DQ0~DQ7, $\overline{W}$, $\overline{R}$, $\overline{S_0}$, $\overline{S_1}$, A0 (注)		0		0.8	V
VIL	“L” 入力電圧 RESET, CNVss		0		0.2 Vcc	V
VIL	“L” 入力電圧 XIN, XCIN		0		0.16 Vcc	V

注. Vcc=4.0~5.5V時の場合です。

表3.1.3 推奨動作条件

(指定のない場合は、V_{CC}=2.7～5.5V、フラッシュメモリ版はV_{CC}=4.0～5.5V、Ta=－20～85℃)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
Σ I _{OH} (peak)	“H”出力総尖頭電流 (注) P00～P07, P10～P17, P20～P27, P30～P37, P80～P87			－80	mA
Σ I _{OH} (peak)	“H”出力総尖頭電流 (注) P40～P47, P50～P57, P60～P67			－80	mA
Σ I _{OL} (peak)	“L”出力総尖頭電流 (注) P00～P07, P10～P17, P20～P23, P30～P37, P80～P87			80	mA
Σ I _{OL} (peak)	“L”出力総尖頭電流 (注) P24～P27	シングルチップモード時		80	mA
		メモリ拡張モード時 マイクロプロセッサモード時		40	mA
Σ I _{OL} (peak)	“L”出力総尖頭電流 (注) P40～P47, P50～P57, P60～P67, P70～P77			80	mA
Σ I _{OH} (avg)	“H”出力総平均電流 (注) P00～P07, P10～P17, P20～P27, P30～P37, P80～P87			－40	mA
Σ I _{OH} (avg)	“H”出力総平均電流 (注) P40～P47, P50～P57, P60～P67			－40	mA
Σ I _{OL} (avg)	“L”出力総平均電流 (注) P00～P07, P10～P17, P20～P23, P30～P37, P80～P87			40	mA
Σ I _{OL} (avg)	“L”出力総平均電流 (注) P24～P27	シングルチップモード時		40	mA
		メモリ拡張モード時 マイクロプロセッサモード時		40	mA
Σ I _{OL} (avg)	“L”出力総平均電流 (注) P40～P47, P50～P57, P60～P67, P70～P77			40	mA

注．出力総電流は該当するポート全てに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表3.1.4 推奨動作条件

(指定のない場合は、Vcc=2.7~5.5V, フラッシュメモリ版はVcc=4.0~5.5V, Ta=-20~85°C)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
I _{OH} (peak)	“H”出力尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67, P80~P87			-10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1) P00~P07, P10~P17, P20~P23, P30~P37 P40~P47, P50~P57, P60~P67, P70~P77, P80~P87			10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1) P24~P27	シングルチップモード時		20	mA
		メモリ拡張モード時		10	mA
		マイクロプロセッサモード時		10	mA
I _{OH} (avg)	“H”出力平均電流 (注2) P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67, P80~P87			-5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P00~P07, P10~P17, P20~P23, P30~P37 P40~P47, P50~P57, P60~P67, P70~P77, P80~P87			5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P24~P27	シングルチップモード時		15	mA
		メモリ拡張モード時		5	mA
		マイクロプロセッサモード時		5	mA
f(X _{IN})	メインクロック 入力発振周波数 (注3)	高速モード 4.0V ≤ Vcc ≤ 5.5V		10	MHz
		高速モード 2.7V ≤ Vcc ≤ 4.0V		4.5Vcc-8	MHz
		中速モード 4.0V ≤ Vcc ≤ 5.5V		10	MHz
		中速モード(注5) 2.7V ≤ Vcc ≤ 4.0V		10	MHz
		中速モード(注5) 2.7V ≤ Vcc ≤ 4.0V		4.5Vcc-8	MHz
f(X _{CIN})	サブクロック入力発振周波数 (注3, 4)		32.768	50	kHz

注1. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注2. 出力平均電流I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。

注3. 発振周波数はデューティ50%の場合です。

注4. 低速モードを使用する場合、サブクロック入力発振周波数はf(X_{CIN}) < f(X_{IN})/3としてください。

注5. タイマX, Y, 1, 2, シリアルI/O1, シリアルI/O2, A-D変換器, コンパレータ, PWMを使用する場合、メインクロック入力発振周波数は、最大4.5Vcc-8[MHz]としてください。

3.1.3 電気的特性

表3.1.5 電気的特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
V_{OH}	“H” 出力電圧 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P80~P87 (注1)	$I_{OH}=-10mA$ $V_{CC}=4.0\sim 5.5V$	$V_{CC}-2.0$			V
		$I_{OH}=-1.0mA$ $V_{CC}=2.7\sim 5.5V$	$V_{CC}-1.0$			V
V_{OL}	“L” 出力電圧 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P70~P77, P80~P87	$I_{OL}=10mA$ $V_{CC}=4.0\sim 5.5V$			2.0	V
		$I_{OL}=1.6mA$ $V_{CC}=2.7\sim 5.5V$			0.4	V
$V_{T+}-V_{T-}$	ヒステリシス CNTR0, CNTR1, INT0, INT1 INT20~INT40, INT21~INT41 P30~P37			0.4		V
$V_{T+}-V_{T-}$	ヒステリシス RXD, SCLK1, SIN2, SCLK2			0.5		V
$V_{T+}-V_{T-}$	ヒステリシス RESET			0.5		V
I_{IH}	“H” 入力電流 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P70~P77, P80~P87	$V_i=V_{CC}$ (端子はフローティング プルアップトランジスタ は切り離し状態)			5.0	μA
I_{IH}	“H” 入力電流 RESET, CNVSS	$V_i=V_{CC}$			5.0	μA
I_{IH}	“H” 入力電流 XIN	$V_i=V_{CC}$		4		μA
I_{IL}	“L” 入力電流 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P70~P77, P80~P87	$V_i=V_{SS}$ (端子はフローティング プルアップトランジスタ は切り離し状態)			-5.0	μA
I_{IL}	“L” 入力電流 RESET, CNVSS	$V_i=V_{SS}$			-5.0	μA
I_{IL}	“L” 入力電流 XIN	$V_i=V_{SS}$		-4		μA
I_{IL}	“L” 入力電流 P30~P37 (プルアップ時)	$V_i=V_{SS}$ $V_{CC}=4.0\sim 5.5V$	-20	-60	-120	μA
		$V_i=V_{SS}$ $V_{CC}=2.7\sim 5.5V$	-10			μA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V

注1. P00~P03に関しては、ポート制御レジスタ1のP00~P03出力形式選択ビット(002E16番地のビット0)が“0”の場合です。
P04~P07に関しては、ポート制御レジスタ1のP04~P07出力形式選択ビット(002E16番地のビット1)が“0”の場合です。
P10~P13に関しては、ポート制御レジスタ1のP10~P13出力形式選択ビット(002E16番地のビット2)が“0”の場合です。
P14~P17に関しては、ポート制御レジスタ1のP14~P17出力形式選択ビット(002E16番地のビット3)が“0”の場合です。
P42, P43, P44, P46に関しては、ポート制御レジスタ2のP4出力形式選択ビット(002F16番地のビット2)が“0”の場合です。
P45に関しては、UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

表3.1.6 電気的特性

(指定のない場合は、Vcc=2.7～5.5V, フラッシュメモリ版はVcc=4.0～5.5V, Vss=0V, Ta=−20～85°C)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
I _{CC}	電源電流	高速モード時 f(X _{IN})=10MHz f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態		8.0	15	mA
		高速モード時 f(X _{IN})=8MHz f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態		6.8	13	mA
		高速モード時 f(X _{IN})=10MHz (WIT命令実行時) f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態		1.6		mA
		低速モード時 f(X _{IN})=停止 f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態		60	200	μA
		低速モード時 f(X _{IN})=停止 f(X _{CIN})=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		20	40	μA
		低速モード時(Vcc=3V) f(X _{IN})=停止 f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態		20	55	μA
		低速モード時(Vcc=3V) f(X _{IN})=停止 f(X _{CIN})=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		8.0	20.0	μA
		中速モード時 f(X _{IN})=10MHz f(X _{CIN})=停止 出力トランジスタは遮断状態		4.0	7.0	mA
		中速モード時 f(X _{IN})=10MHz (WIT命令実行時) f(X _{CIN})=停止 出力トランジスタは遮断状態		1.5		mA
		A-D変換器動作時の増量 f(X _{IN})=10MHz		800		μA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta=25°C	0.1	1.0	μA
			Ta=85°C		10	μA

3.1.4 A-D変換器特性

表3.1.7 A-D変換器特性(1)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ，フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ ， $V_{REF}=2.0V\sim V_{CC}$ ， $V_{SS}=AV_{SS}=0V$ ， $T_a=-20\sim 85^{\circ}C$)
10ビットA-Dモード (変換モード選択ビットが“0”の場合、003816番地のビット7)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				10	bit
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.0V$			± 4	LSB
tCONV	変換時間				61	$2t_c(X_{IN})$
RLADDER	ラダー抵抗		12	35	100	$k\Omega$
IVREF	基準電源	A-D変換動作時	50	150	200	μA
	入力電流	A-D変換停止時			5	μA
I(AD)	A-Dポート入力電流				5.0	μA

表3.1.8 A-D変換器特性(2)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ，フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ ， $V_{REF}=2.0V\sim V_{CC}$ ， $V_{SS}=AV_{SS}=0V$ ， $T_a=-20\sim 85^{\circ}C$)
8ビットA-Dモード (変換モード選択ビットが“1”の場合、003816番地のビット7)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	bit
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.0V$			± 2	LSB
tCONV	変換時間				50	$2t_c(X_{IN})$
RLADDER	ラダー抵抗		12	35	100	$k\Omega$
IVREF	基準電源	A-D変換動作時	50	150	200	μA
	入力電流	A-D変換停止時			5	μA
I(AD)	A-Dポート入力電流				5.0	μA

3.1.5 D-A変換器特性

表3.1.9 D-A変換器特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ，フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ ， $V_{SS}=AV_{SS}=0V$ ， $V_{REF}=2.7V\sim V_{CC}$ ， $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	Bits
—	絶対精度	$V_{CC}=4.0\sim 5.5V$			1.0	%
		$V_{CC}=2.7\sim 4.0V$			2.5	%
tsu	設定時間				3	μs
RO	出力抵抗		1	2.5	4	$k\Omega$
IVREF	基準電源入力電流 (注1)				3.2	mA

注1. D-A変換器1本使用、他のD-A変換レジスタの値は“0016”。

3.1.6 コンパレータ特性

表3.1.10 コンパレータ特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ ，フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ ， $V_{SS}=0V$ ， $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	絶対精度	$1LSB=V_{CC}/16$			1/2	LSB
TCONV	変換時間	10MHz動作時			2.8	μs
		8MHz動作時			3.5	μs
		4MHz動作時			7	μs
VIA	アナログ入力電圧		0		V_{CC}	V
I _{IA}	アナログ入力電流				5.0	μA
RLADDER	ラダー抵抗		20	40	50	$k\Omega$
CMPREF	内部基準電圧			$29V_{CC}/32$		V
	外部基準入力電圧		$V_{CC}/32$		V_{CC}	V

3.1.7 タイミング必要条件

表3.1.11 タイミング必要条件(1)

(指定のない場合は、Vcc=4.0~5.5V, Vss=0V, Ta=-20~85°C)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tc(XIN)	メインクロック入力サイクル時間	100			ns
tWH(XIN)	メインクロック入力“H”パルス幅	40			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	5			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	5			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	80			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	80			ns
tWH(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“H”パルス幅	80			ns
tWL(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“L”パルス幅	80			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアルI/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアルI/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアルI/O2入力ホールド時間	200			ns

注. 001A16番地のビット6が“1”(クロック同期式モード)の場合です。001A16番地のビット6が“0”(非同期式モード)の場合、規格値は1/4になります。

表3.1.12 タイミング必要条件(2)

(指定のない場合は、 $V_{CC}=2.7\sim 4.0V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tc(XIN)	メインクロック入力サイクル時間	$1000/(4.5V_{CC}-8)$			ns
tWH(XIN)	メインクロック入力“H”パルス幅	$400/(4.5V_{CC}-8)$			ns
tWL(XIN)	メインクロック入力“L”パルス幅	$400/(4.5V_{CC}-8)$			ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	5			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	5			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
tWH(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“H”パルス幅	230			ns
tWL(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注．001A16番地のビット6が“1”(クロック同期式モード)の場合です。001A16番地のビット6が“0”(非同期式モード)の場合，規格値は1/4になります。

3.1.8 システムバスインタフェース

表3.1.13 システムバスインタフェースのタイミング必要条件

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$t_{su}(S-R)$	$\overline{S0}$, $\overline{S1}$ セットアップ時間	0			ns
$t_{su}(S-W)$	$\overline{S0}$, $\overline{S1}$ セットアップ時間	0			ns
$t_h(R-S)$	$\overline{S0}$, $\overline{S1}$ ホールド時間	0			ns
$t_h(W-S)$	$\overline{S0}$, $\overline{S1}$ ホールド時間	0			ns
$t_{su}(A-R)$	A0セットアップ時間	10			ns
$t_{su}(A-W)$	A0セットアップ時間	10			ns
$t_h(R-A)$	A0ホールド時間	0			ns
$t_h(W-A)$	A0ホールド時間	0			ns
$t_w(R)$	リードパルス幅	120			ns
$t_w(W)$	ライトパルス幅	120			ns
$t_{su}(D-W)$	ライト前データ入力セットアップ時間	50			ns
$t_h(W-D)$	ライト後データ入力ホールド時間	0			ns

表3.1.14 システムバスインタフェースのタイミング必要条件

(指定のない場合は、 $V_{CC}=2.7\sim 4.0V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$t_{su}(S-R)$	$\overline{S0}$, $\overline{S1}$ セットアップ時間	0			ns
$t_{su}(S-W)$	$\overline{S0}$, $\overline{S1}$ セットアップ時間	0			ns
$t_h(R-S)$	$\overline{S0}$, $\overline{S1}$ ホールド時間	0			ns
$t_h(W-S)$	$\overline{S0}$, $\overline{S1}$ ホールド時間	0			ns
$t_{su}(A-R)$	A0セットアップ時間	30			ns
$t_{su}(A-W)$	A0セットアップ時間	30			ns
$t_h(R-A)$	A0ホールド時間	0			ns
$t_h(W-A)$	A0ホールド時間	0			ns
$t_w(R)$	リードパルス幅	250			ns
$t_w(W)$	ライトパルス幅	250			ns
$t_{su}(D-W)$	ライト前データ入力セットアップ時間	130			ns
$t_h(W-D)$	ライト後データ入力ホールド時間	0			ns

3.1.9 スイッチング特性

表3.1.15 スイッチング特性(1)

(指定のない場合は, $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測定条件	規 格 値			単位
			最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図3.1.1	t _c (SCLK1)/2-30			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		t _c (SCLK1)/2-30			ns
t _d (SCLK1-TxD)	シリアルI/O1出力遅延時間 (注1)				140	ns
t _v (SCLK1-TxD)	シリアルI/O1出力有効時間 (注1)		-30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				30	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				30	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	図3.1.2	t _c (SCLK2)/2-160			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		t _c (SCLK2)/2-160			ns
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間				200	ns
t _v (SCLK2-SOUT2)	シリアルI/O2出力有効時間		0			ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				30	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注2)	図3.1.1		10	30	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注2)			10	30	ns

注1. UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT端子を除きます。

表3.1.16 スイッチング特性(2)

(指定のない場合は, $V_{CC}=2.7\sim 4.0V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測定条件	規 格 値			単位
			最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図3.1.1	t _c (SCLK1)/2-50			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		t _c (SCLK1)/2-50			ns
t _d (SCLK1-TxD)	シリアルI/O1出力遅延時間 (注1)				350	ns
t _v (SCLK1-TxD)	シリアルI/O1出力有効時間 (注1)		-30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				50	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				50	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	図3.1.2	t _c (SCLK2)/2-240			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		t _c (SCLK2)/2-240			ns
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間				400	ns
t _v (SCLK2-SOUT2)	シリアルI/O2出力有効時間		0			ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				50	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注2)	図3.1.1		20	50	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注2)			20	50	ns

注1. UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT端子を除きます。

3.1.10 システムバスインタフェース

表3.1.17 システムバスインタフェースのスイッチング特性

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$t_a(R-D)$	リード後データ出力イネーブル時間			80	ns
$t_v(R-D)$	リード後データ出力ディスエーブル時間	0		30	ns
$t_{PLH}(R-OBf)$	リード後OBf00,OBf01,OBf10出力伝搬時間			150	ns

表3.1.18 システムバスインタフェースのスイッチング特性

(指定のない場合は、 $V_{CC}=2.7\sim 4.0V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$t_a(R-D)$	リード後データ出力イネーブル時間			130	ns
$t_v(R-D)$	リード後データ出力ディスエーブル時間	0		85	ns
$t_{PLH}(R-OBf)$	リード後OBf00,OBf01,OBf10出力伝搬時間			300	ns

3.1.11 メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件

表3.1.19 メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件

(指定のない場合は、Vcc=4.0～5.5V, Vss=0V, Ta=−20～85°C, 高速モード時)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tsu (ONW-φ)	ONW入力セットアップ時間	−20			ns
th (φ-ONW)	ONW入力ホールド時間	−20			ns
tsu (DB-φ)	データバスセットアップ時間	50			ns
th (φ-DB)	データバスホールド時間	0			ns
tsu (ONW-RD), tsu (ONW-WR)	ONW入力セットアップ時間	−20			ns
th (RD-ONW), th (WR-ONW)	ONW入力ホールド時間	−20			ns
tsu (DB-RD)	データバスセットアップ時間	50			ns
th (RD-DB)	データバスホールド時間	0			ns

3.1.12 メモリ拡張モード及びマイクロプロセッサモードのスイッチング特性

表3.1.20 メモリ拡張モード及びマイクロプロセッサモードのスイッチング特性

(指定のない場合は、Vcc=4.0～5.5V, Vss=0V, Ta=−20～85°C, 高速モード時)

記 号	項 目	測定条件	規 格 値			単位
			最 小	標 準	最 大	
tc (φ)	φクロックサイクル時間	図3.1.1		2tc(XIN)		ns
tWH (φ)	φクロック‘H’パルス幅		tc(XIN)−10			ns
tWL (φ)	φクロック‘L’パルス幅		tc(XIN)−10			ns
td (φ-AH)	AD15～AD8遅延時間			16	35	ns
td (φ-AL)	AD7～AD0遅延時間			20	40	ns
tv (φ-AH)	AD15～AD8有効時間		2	5		ns
tv (φ-AL)	AD7～AD0有効時間		2	5		ns
td (φ-SYNC)	SYNC遅延時間			16		ns
tv (φ-SYNC)	SYNC有効時間			5		ns
td (φ-DB)	データバス遅延時間			15	30	ns
tv (φ-DB)	データバス有効時間		10			ns
tWL (RD), tWL (WR)	RDパルス幅, WRパルス幅		tc(XIN)−10			ns
	RDパルス幅, WRパルス幅 (ワンウエイト有効時)		3tc(XIN)−10			ns
td (AH-RD), td (AH-WR)	AD15～AD8遅延時間		tc(XIN)−35	tc(XIN)−16		ns
td (AL-RD), td (AL-WR)	AD7～AD0遅延時間		tc(XIN)−40	tc(XIN)−20		ns
tv (RD-AH), tv (WR-AH)	AD15～AD8有効時間		2	5		ns
tv (RD-AL), tv (WR-AL)	AD7～AD0有効時間		2	5		ns
td (WR-DB)	データバス遅延時間			15	30	ns
tv (WR-DB)	データバス有効時間		10			ns
td (RESET-RESETOUT)	RESETOUT出力遅延時間				200	ns
tv (φ-RESETOUT)	RESETOUT出力有効時間(注)		0		100	ns

注. RESET入力が‘H’になった後、φクロックの数サイクル～十数サイクル目の立上がりと同調してRESETOUT出力が‘H’になります。

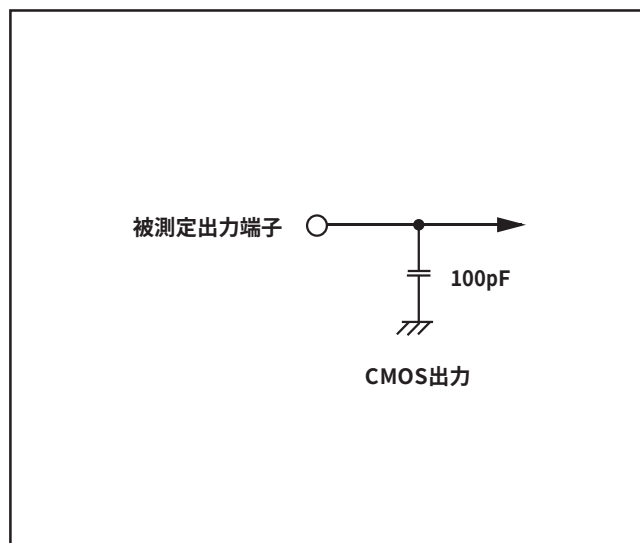


図3.1.1 出力スイッチング特性測定回路図(1)

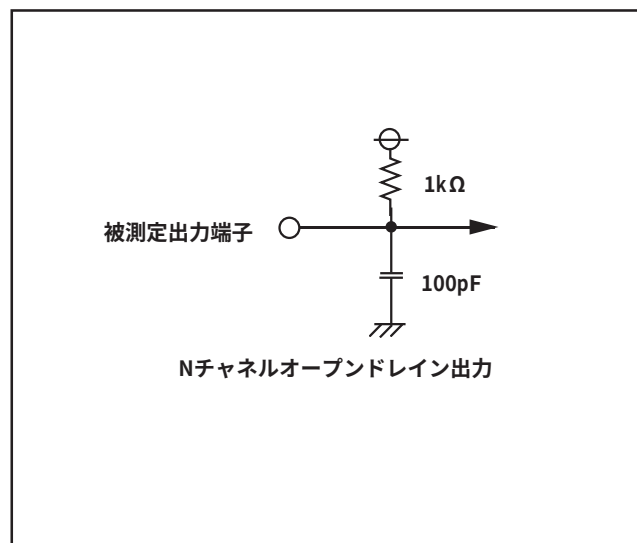


図3.1.2 出力スイッチング特性測定回路図(2)

シングルチップモードタイミング図

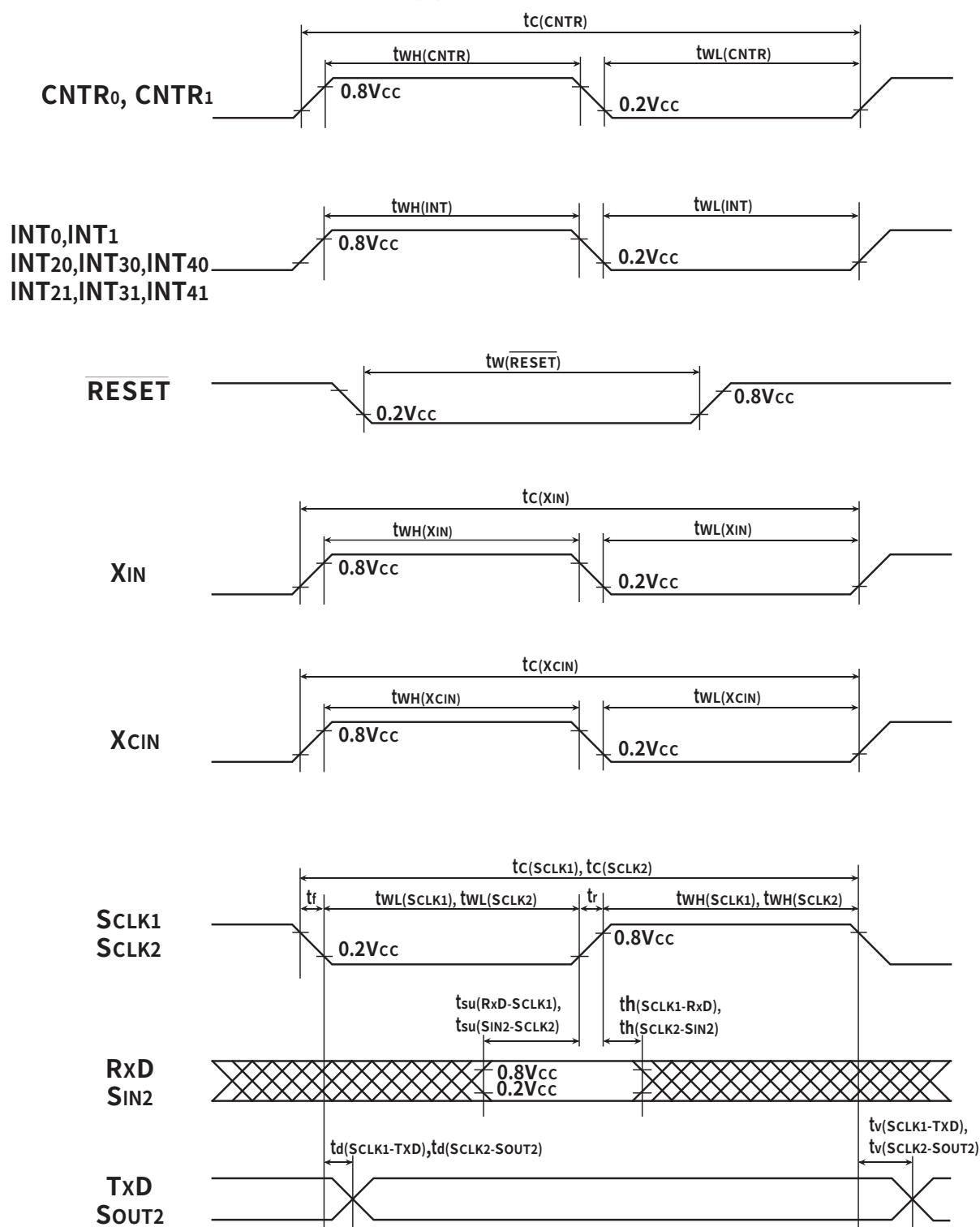
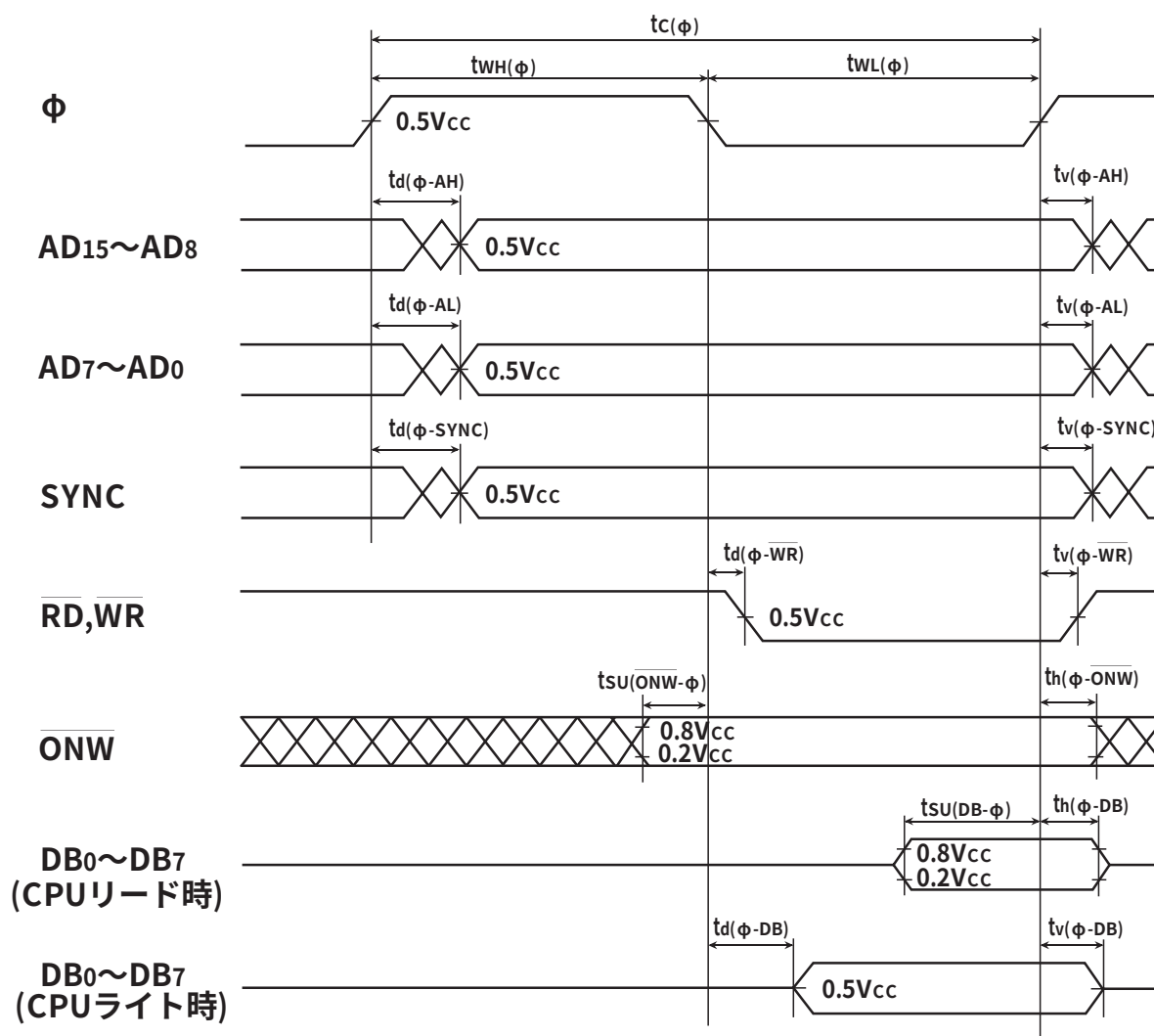


図3.1.3 タイミング図(1)(シングルチップモード時)

メモリ拡張モード、マイクロプロセッサモードタイミング図(1)



マイクロプロセッサモードタイミング図

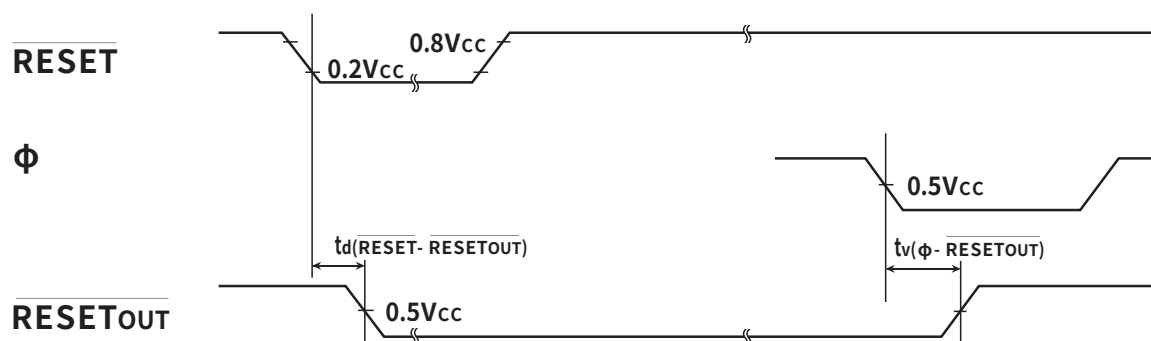


図3.1.4 タイミング図(2) (メモリ拡張モード及びマイクロプロセッサモード時)

メモリ拡張モード、マイクロプロセッサモードタイミング図(2)

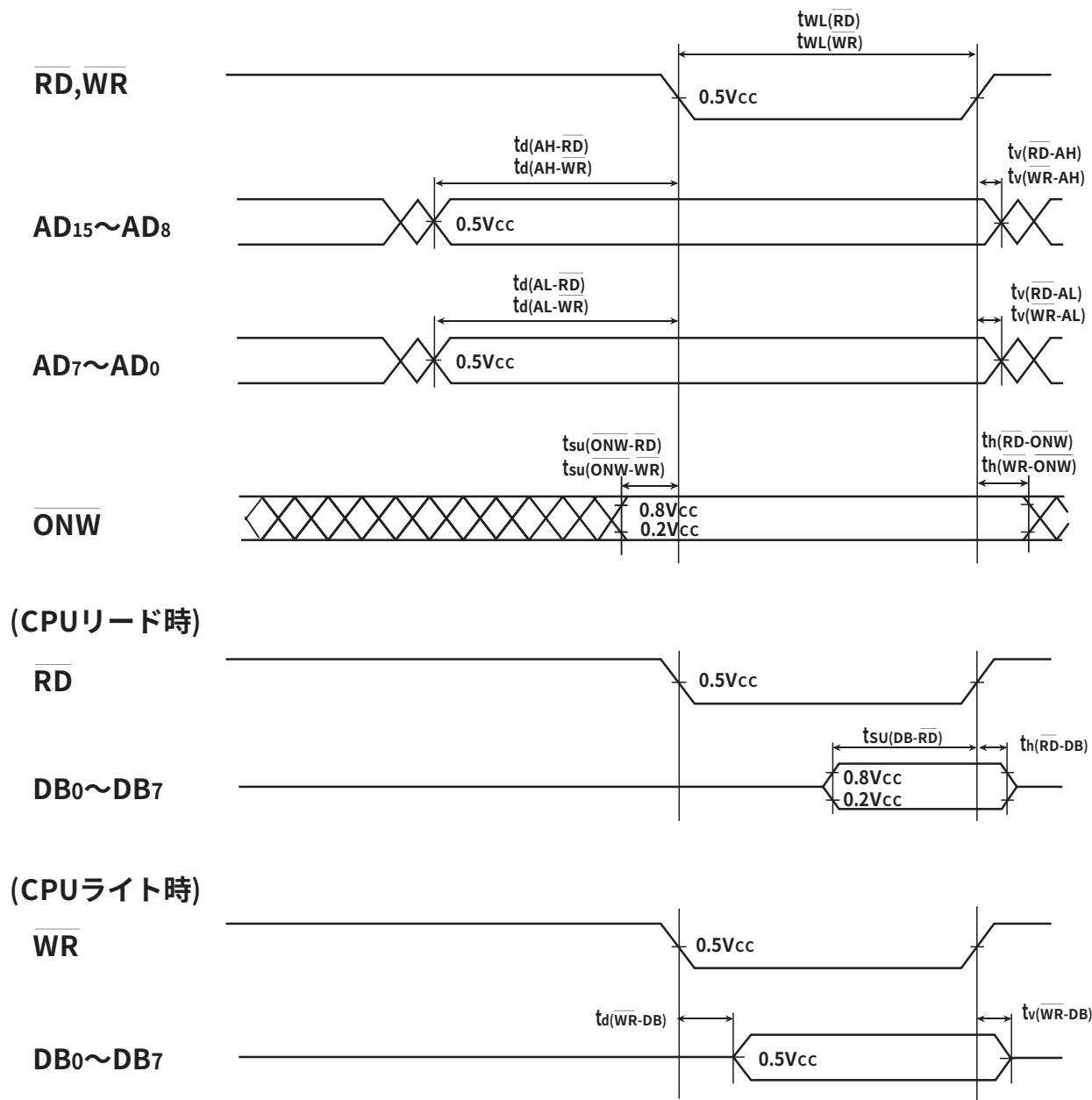
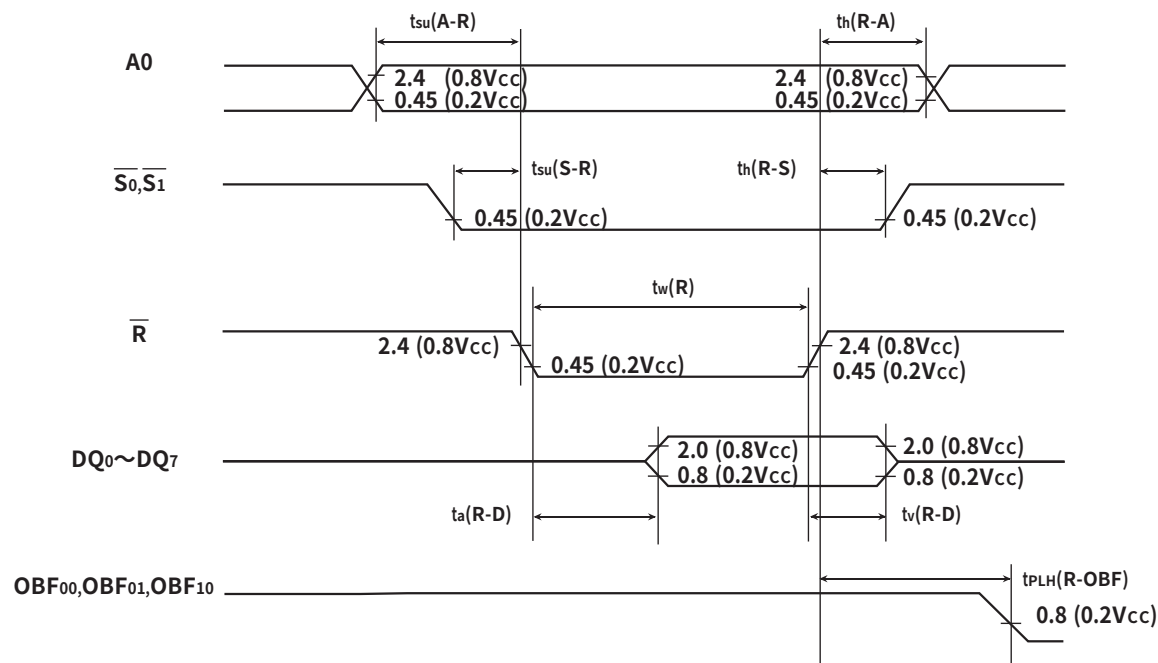


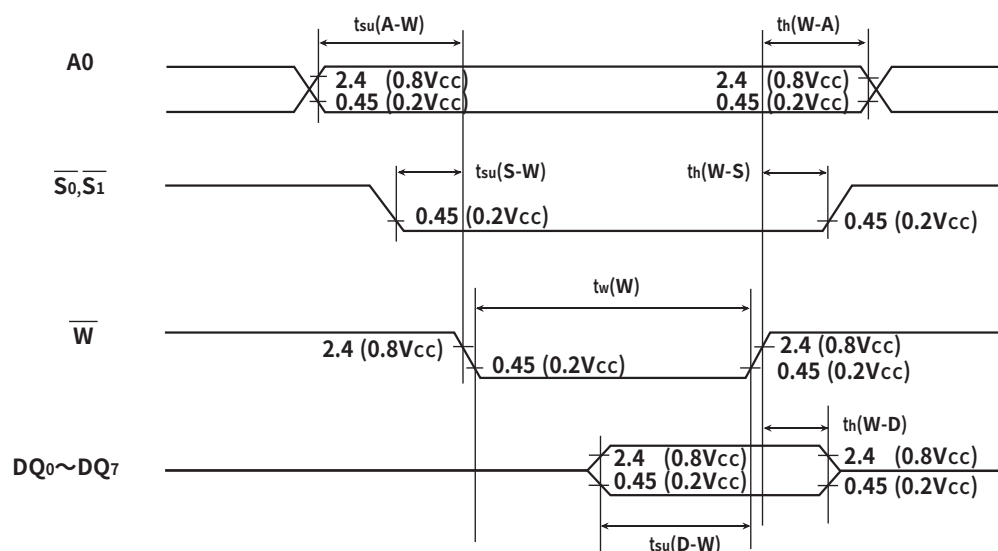
図3.1.5 タイミング図(3)(メモリ拡張モード及びマイクロプロセッサモード時)

システムバスインタフェースタイミング図

リード動作



ライト動作



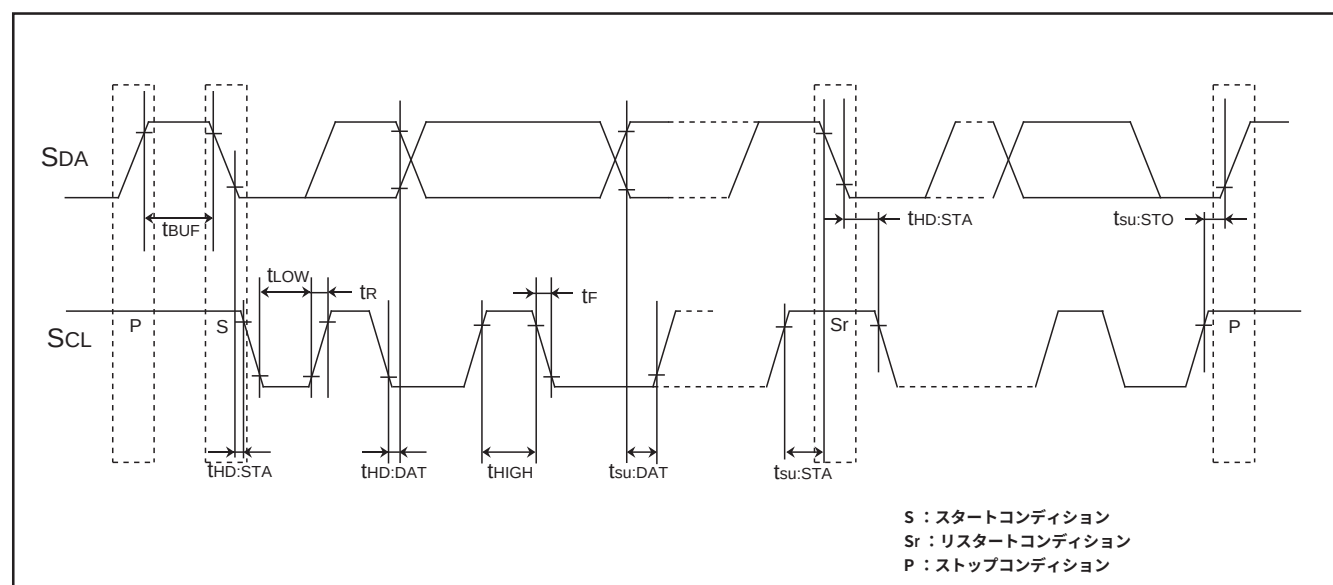
() 外はTTL 入出力
() 内はCMOS 入出力

図3.1.6 タイミング図(4)(システムバスインタフェース)

3.1.13 マルチマスタI²C-BUSバスライン特性表3.1.21 マルチマスタI²C-BUSバスライン特性

記 号	項 目	標準クロックモード		高速クロックモード		単位
		最 小	最 大	最 小	最 大	
tBUF	バスフリータイム	4.7		1.3		μs
tHD;STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL, SDA信号の立ち上がり時間		1000	20+0.1Cb	300	ns
tHD;DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL, SDA信号の立ち下がり時間		300	20+0.1Cb	300	ns
tsu;DAT	データのセットアップ時間	250		100		ns
tsu;STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tsu;STO	ストップコンディションのセットアップ時間	4.0		0.6		μs

注. Cb= 1つのバスラインキャパシタの合計

図3.1.7 マルチマスタI²C-BUSのタイミング図

3.2 標準特性例

3.2.1 電源電流特性例

電源電流特性例を図3.2.1、図3.2.2、図3.2.3、図3.2.4、図3.2.5、図3.2.6及び図3.2.7に示します。

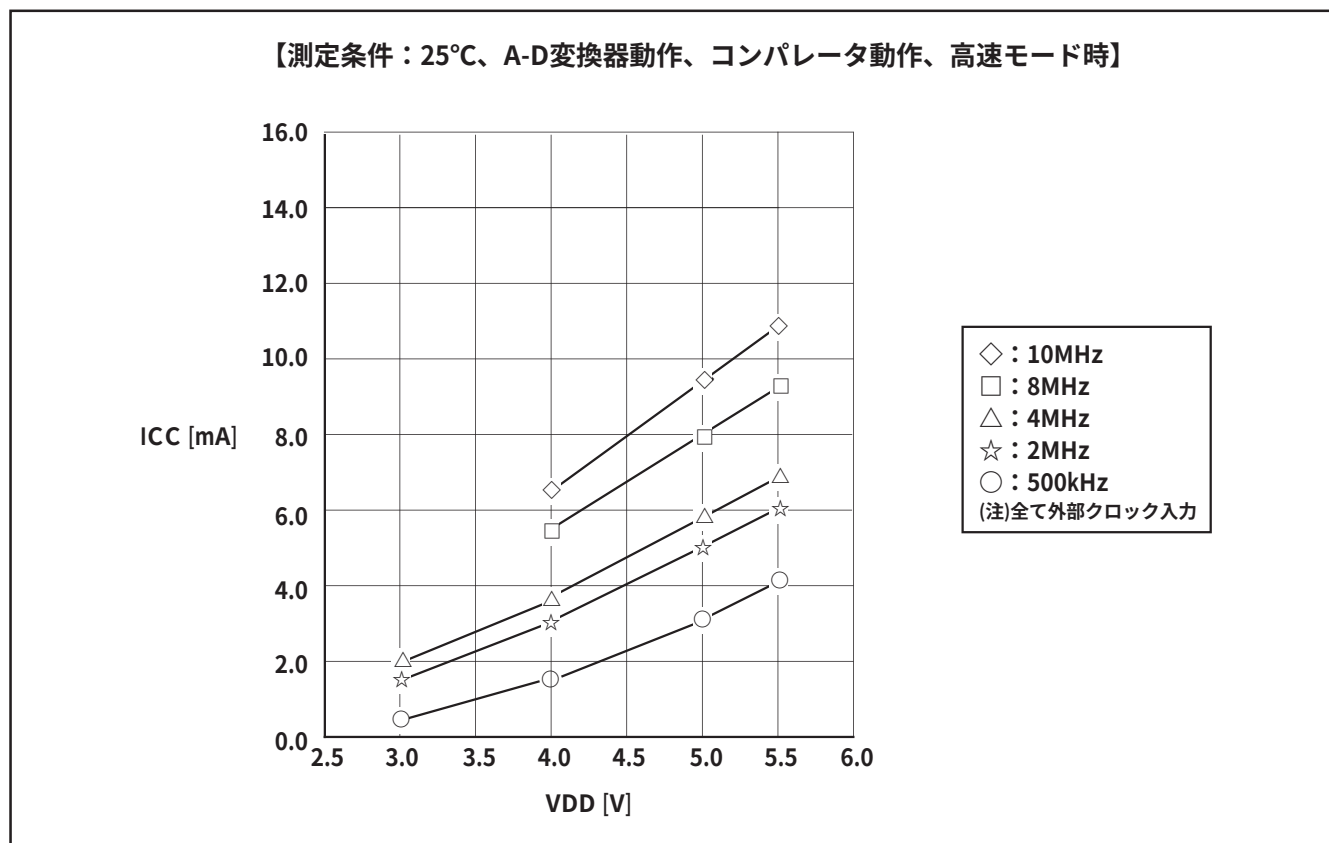


図3.2.1 電源電流特性例(高速モード時、AD変換器及びコンパレータ動作)

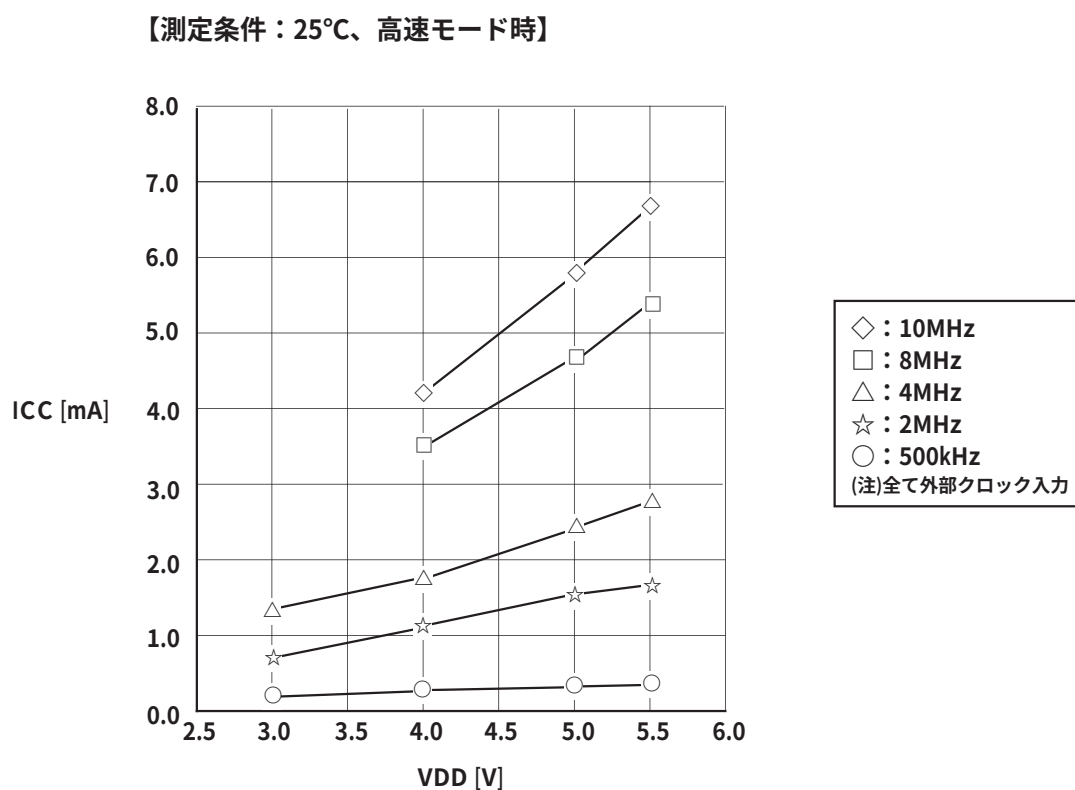


図3.2.2 電源電流特性例(高速モード時)

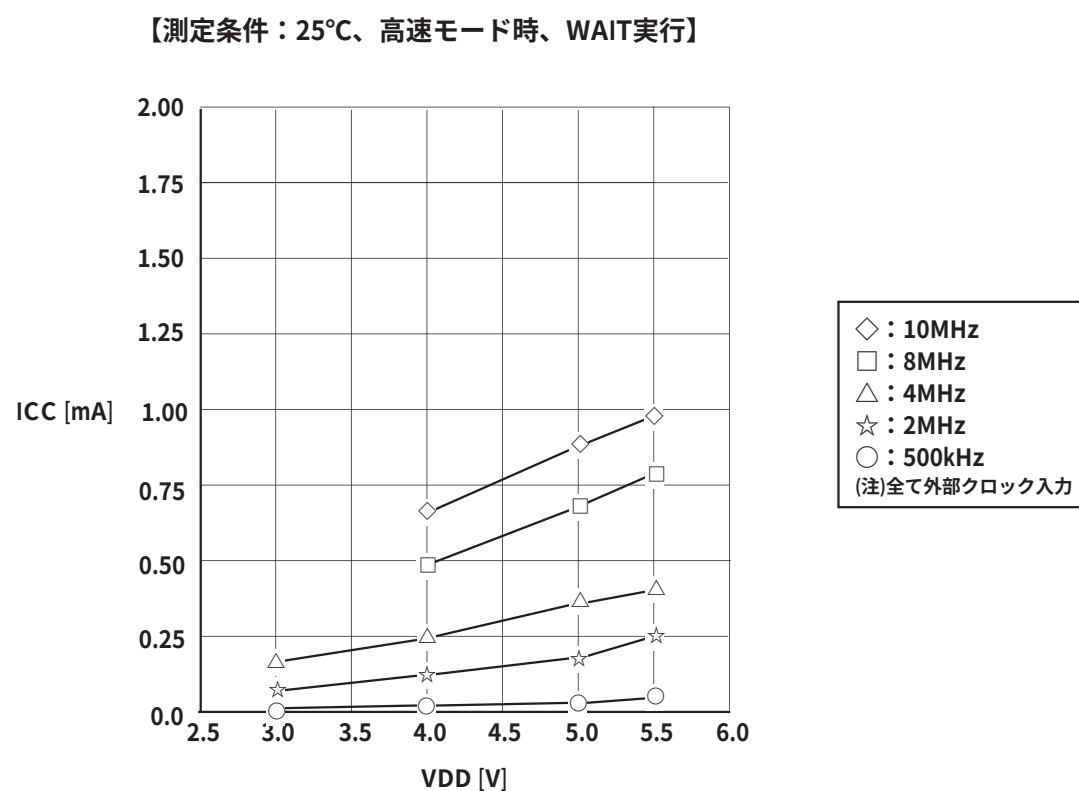


図3.2.3 電源電流特性例(高速モード時、WAIT実行)

【測定条件：25℃、中速モード時】

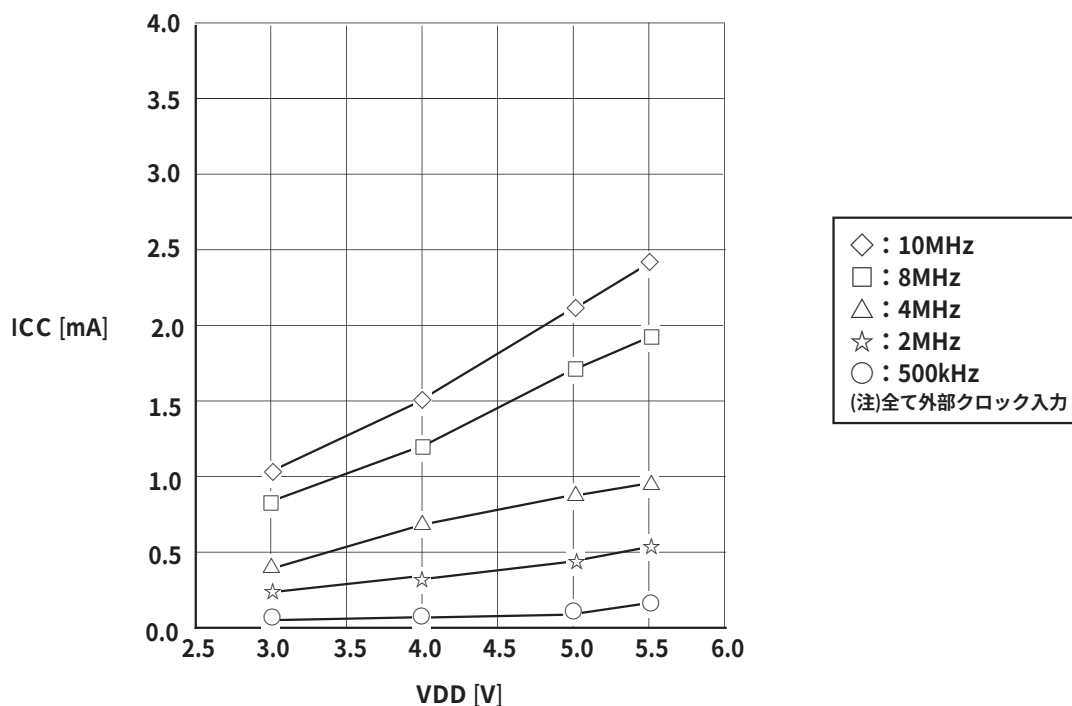


図3.2.4 電源電流特性例(中速モード時)

【測定条件：25℃、中速モード時、WAIT実行】

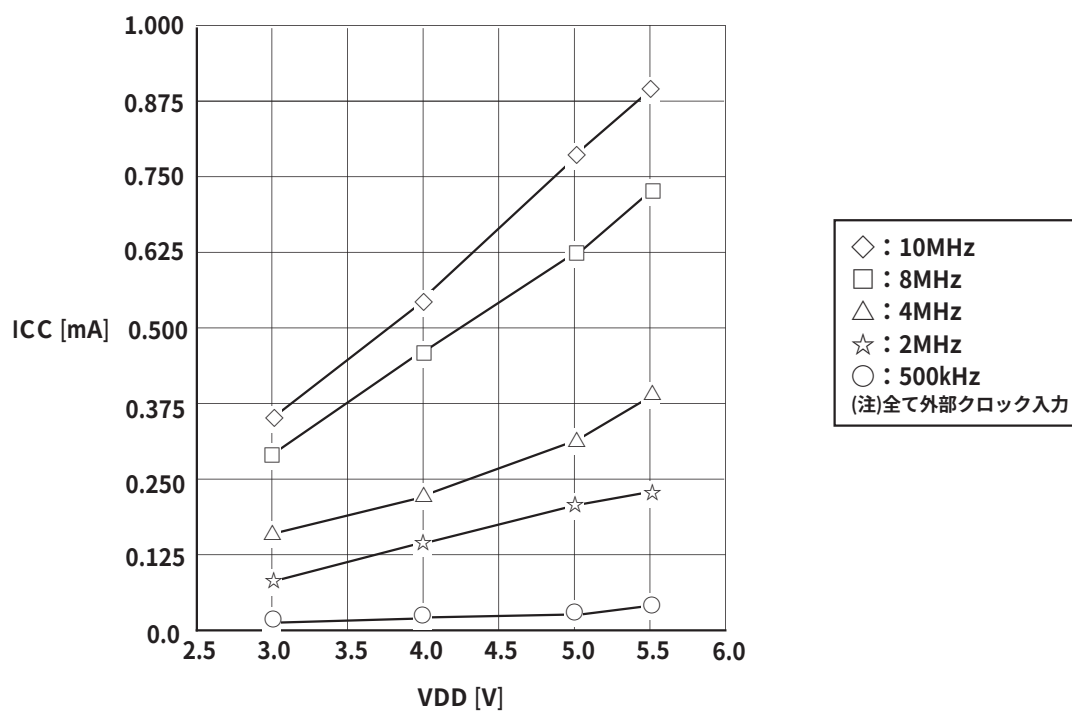


図3.2.5 電源電流特性例(中速モード時、WAIT実行)

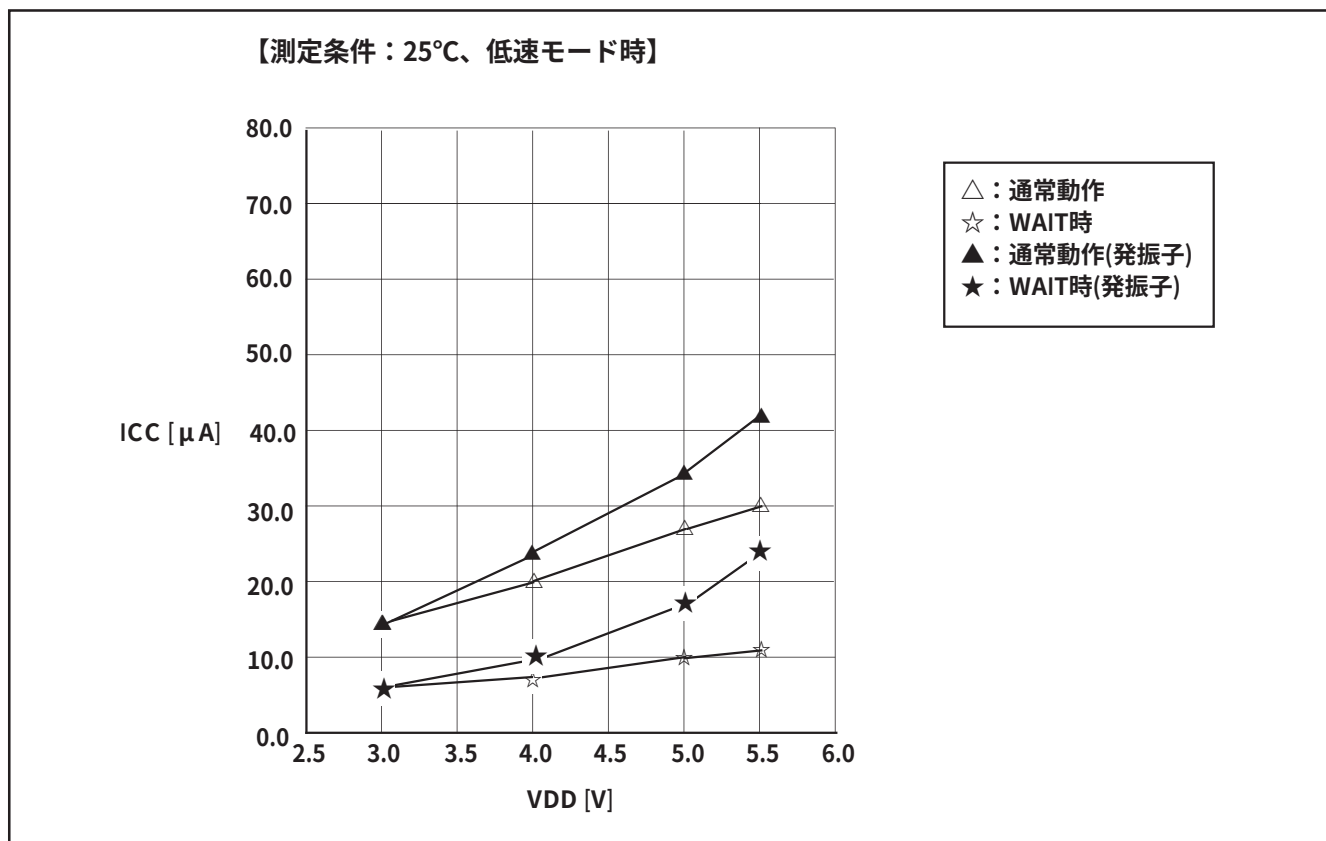


図3.2.6 電源電流特性例(低速モード時)

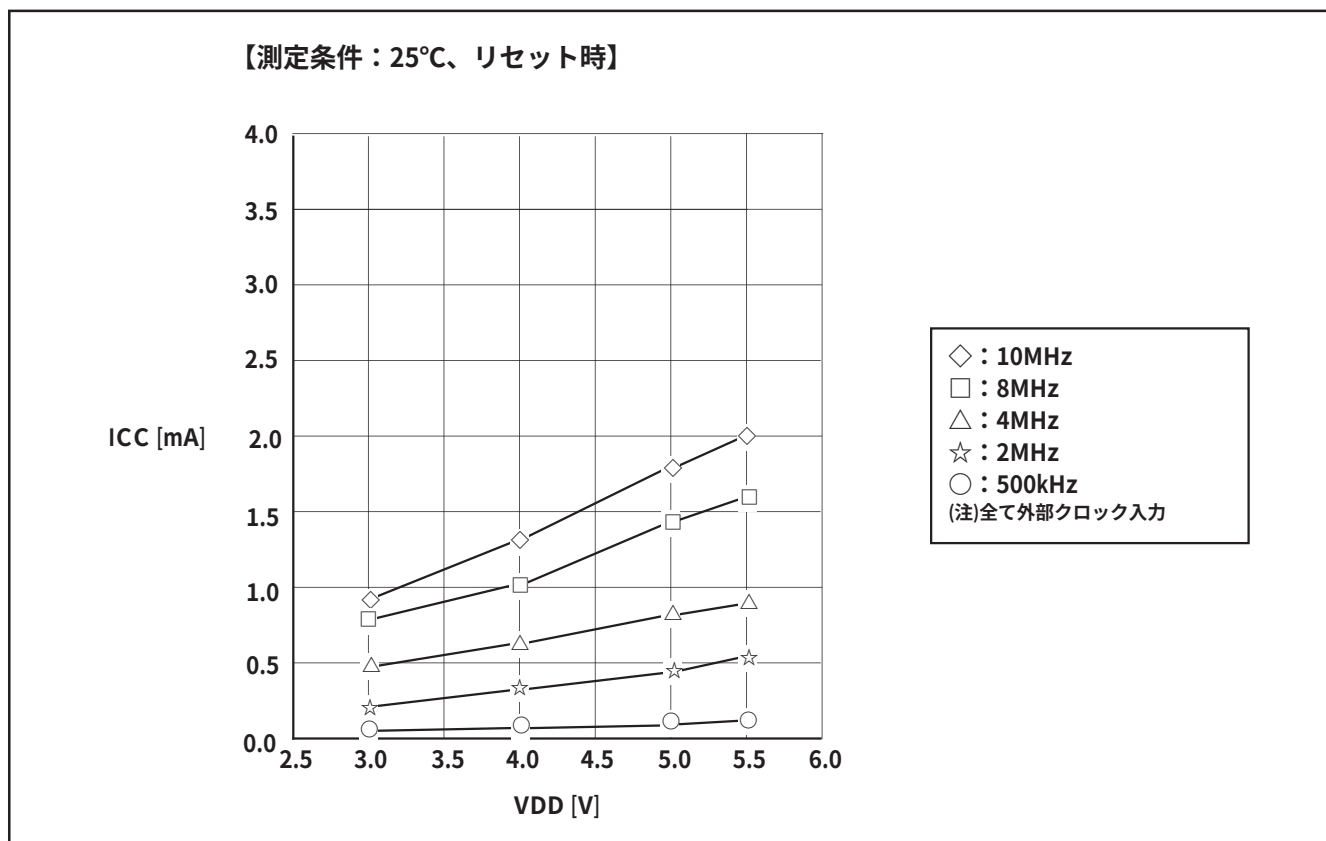


図3.2.7 電源電流特性例(リセット時)

3.2.2 ポート標準特性例

ポート標準特性例を図3.2.8、図3.2.9、図3.2.10、図3.2.11、図3.2.12及び図3.2.13に示します。

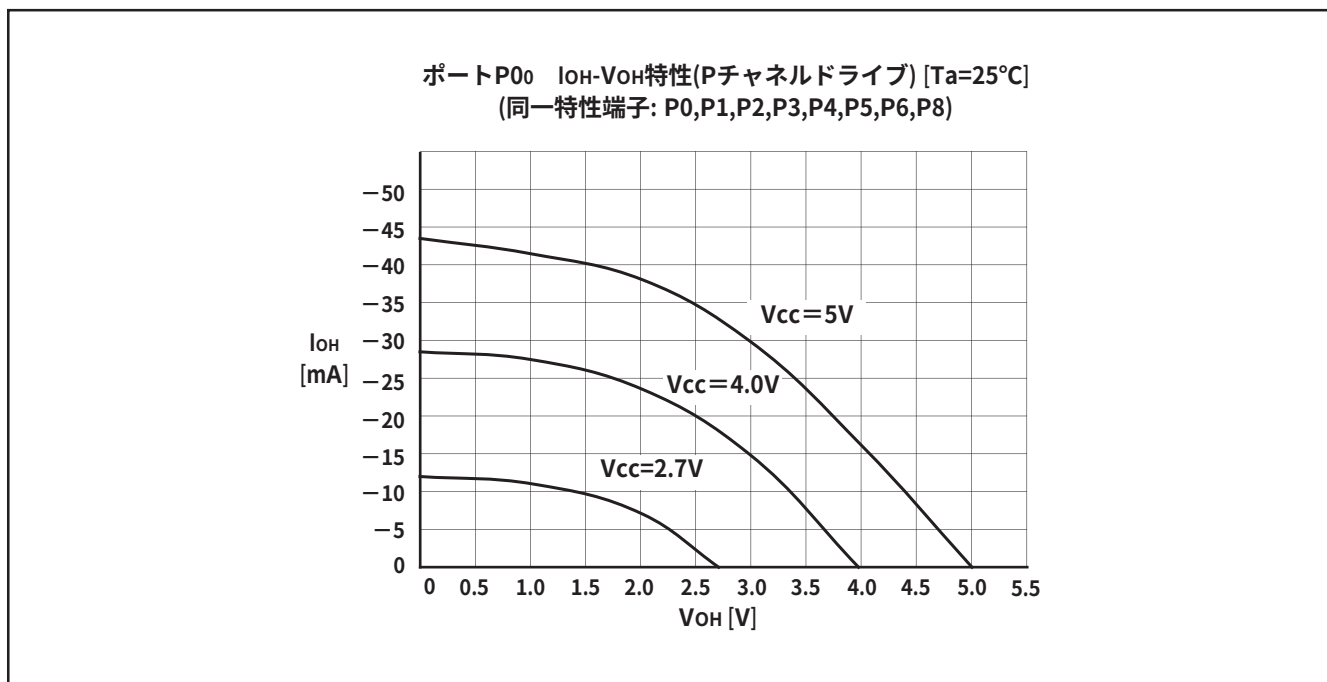


図3.2.8 Pチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=25°C)

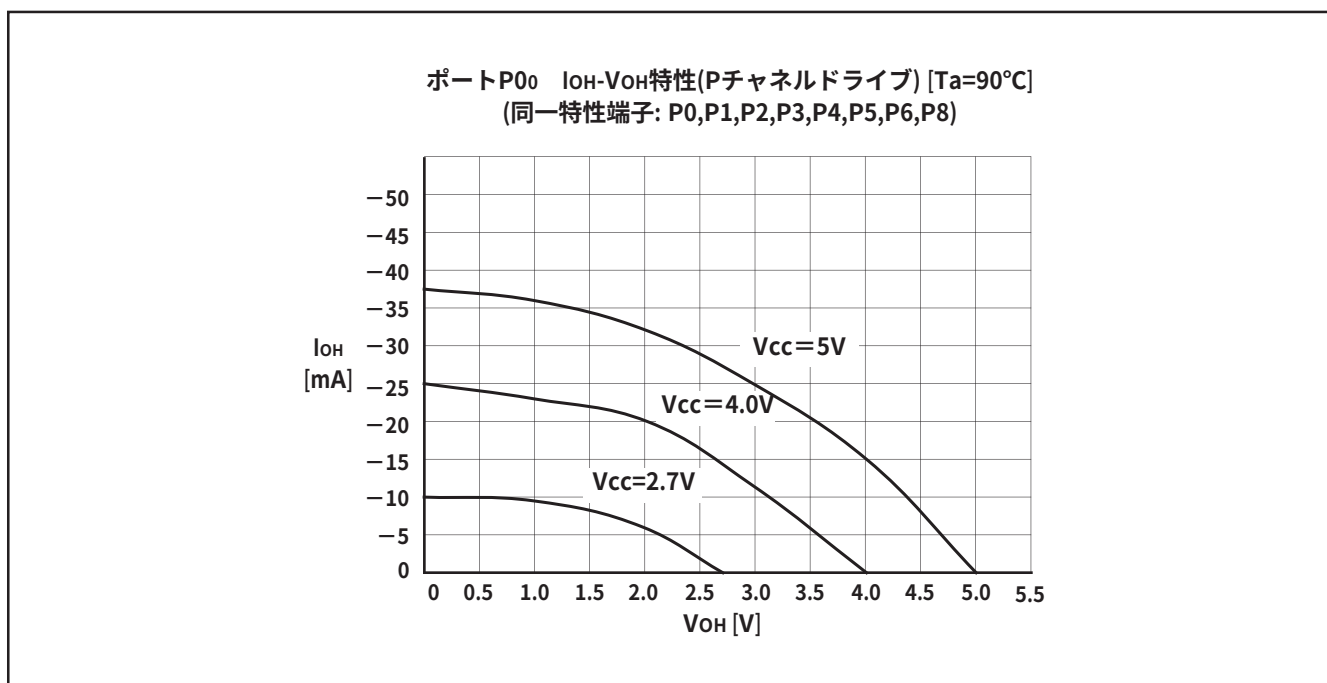


図3.2.9 Pチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=90°C)

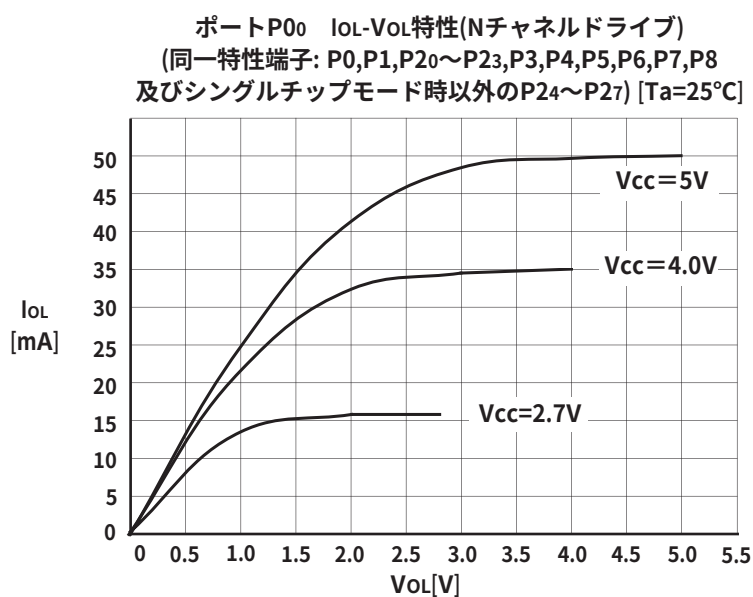


図3.2.10 Nチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=25°C)

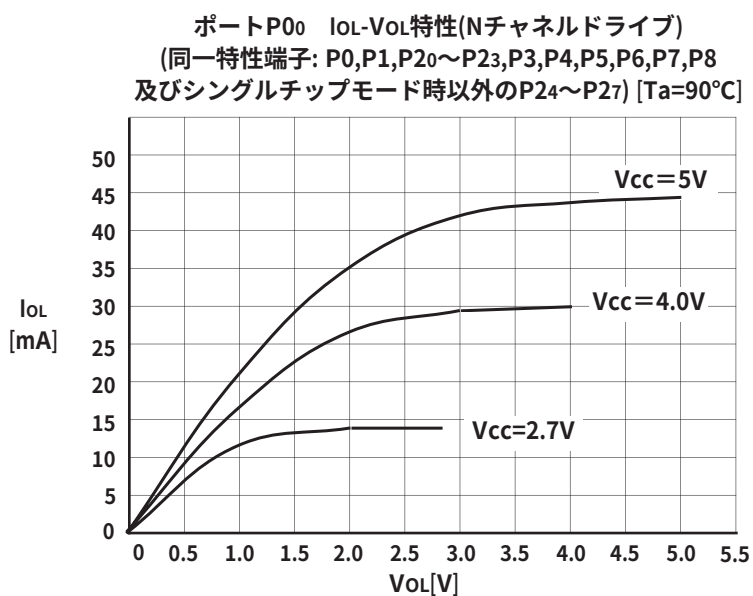


図3.2.11 Nチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=90°C)

ポートP24 I_{OL} - V_{OL} 特性(Nチャネルドライブ)
(同一特性端子:シングルチップモード時のP24~P27) [Ta=25°C]

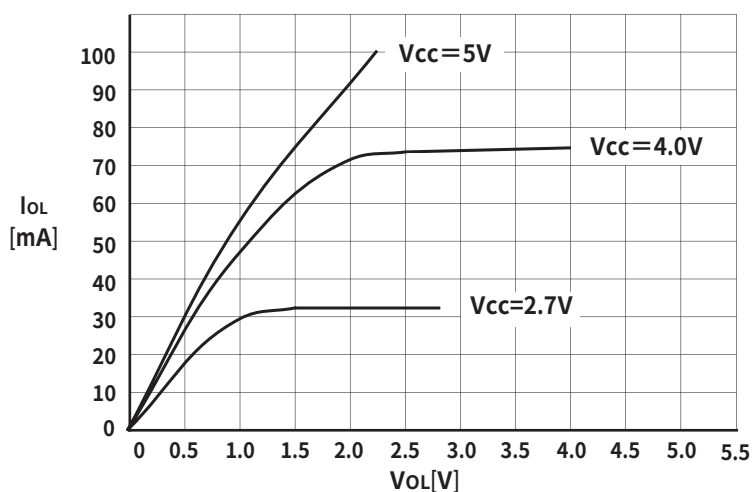


図3.2.12 Nチャネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25°C)

ポートP24 I_{OL} - V_{OL} 特性(Nチャネルドライブ)
(同一特性端子:シングルチップモード時のP24~P27) [Ta=90°C]

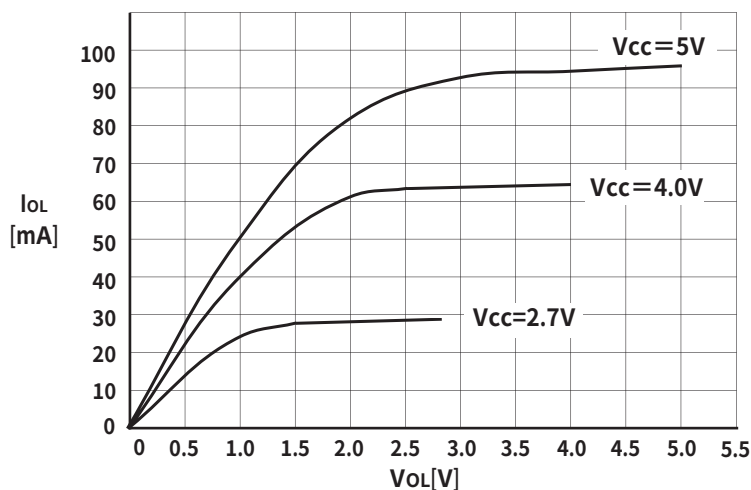


図3.2.13 Nチャネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=90°C)

3.2.3 入力電流標準特性例

ポート標準特性例を図3.2.14及び図3.2.15に示します。

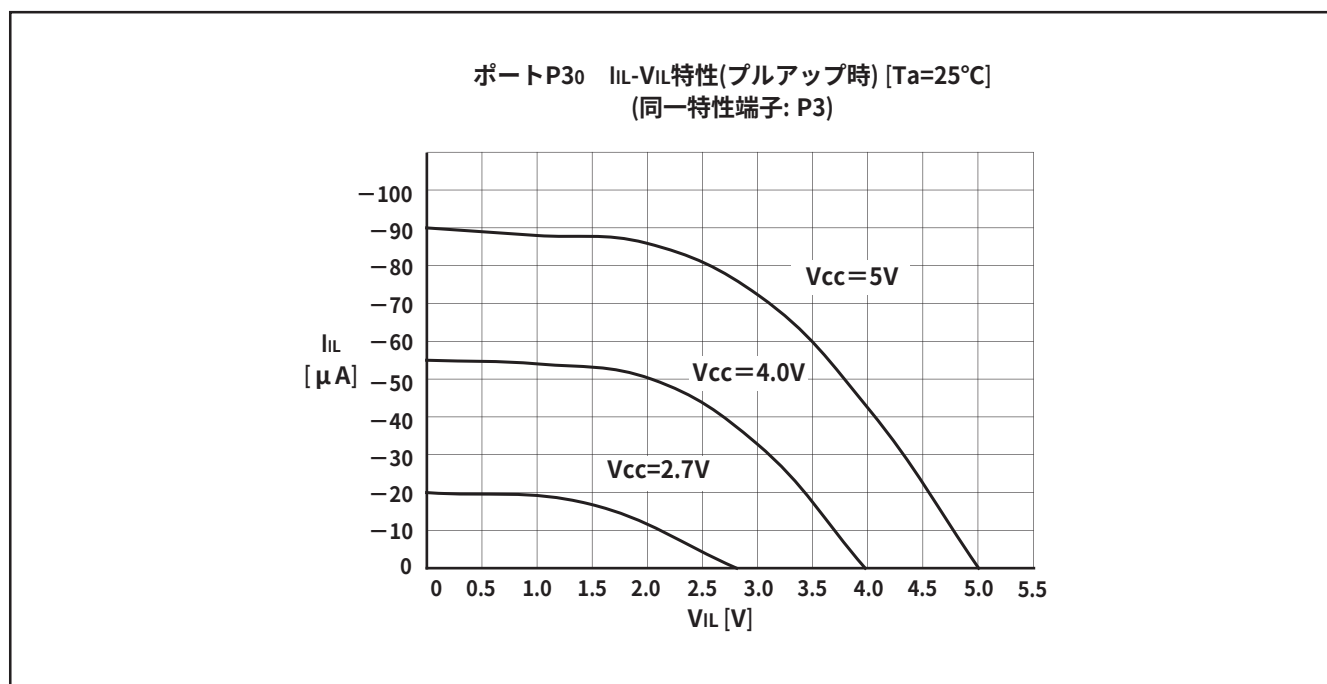


図3.2.14 プルアップ時のCMOS入力ポートの標準特性例(Ta=25°C)

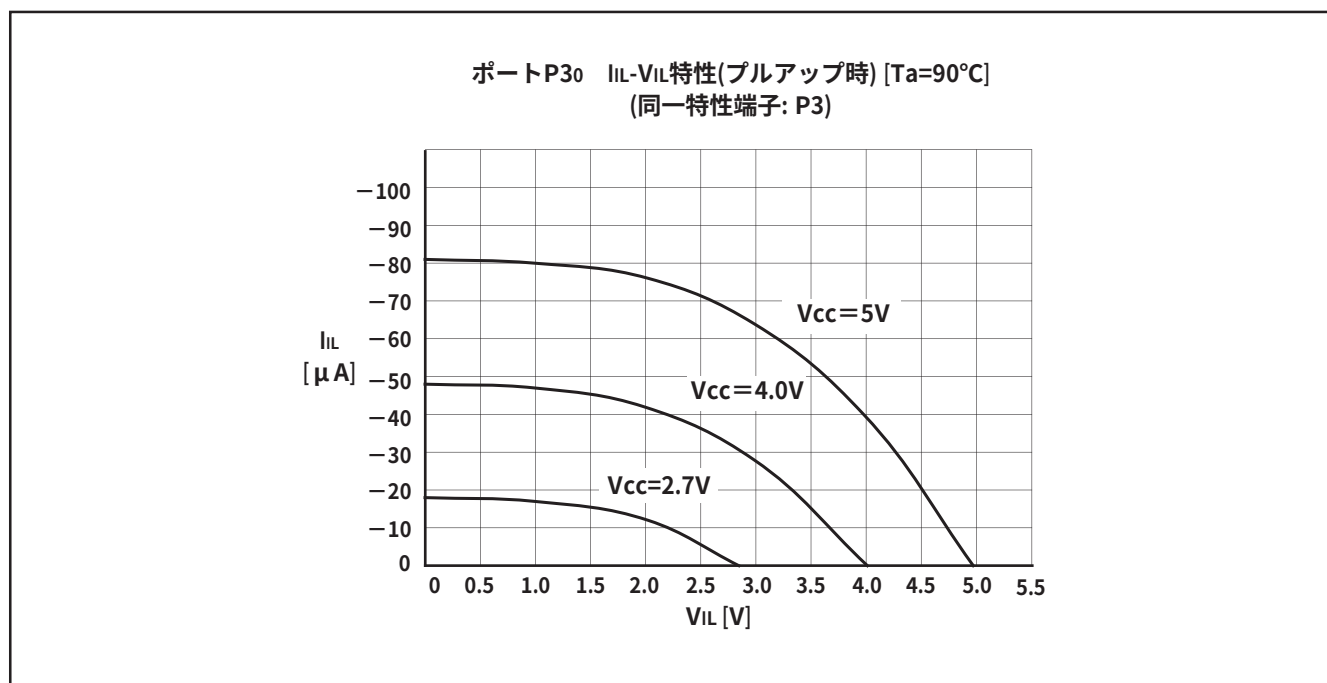


図3.2.15 プルアップ時のCMOS入力ポートの標準特性例(Ta=90°C)

3.2.4 A-D変換標準特性例

A-D変換標準特性例を図3.2.16に示します。

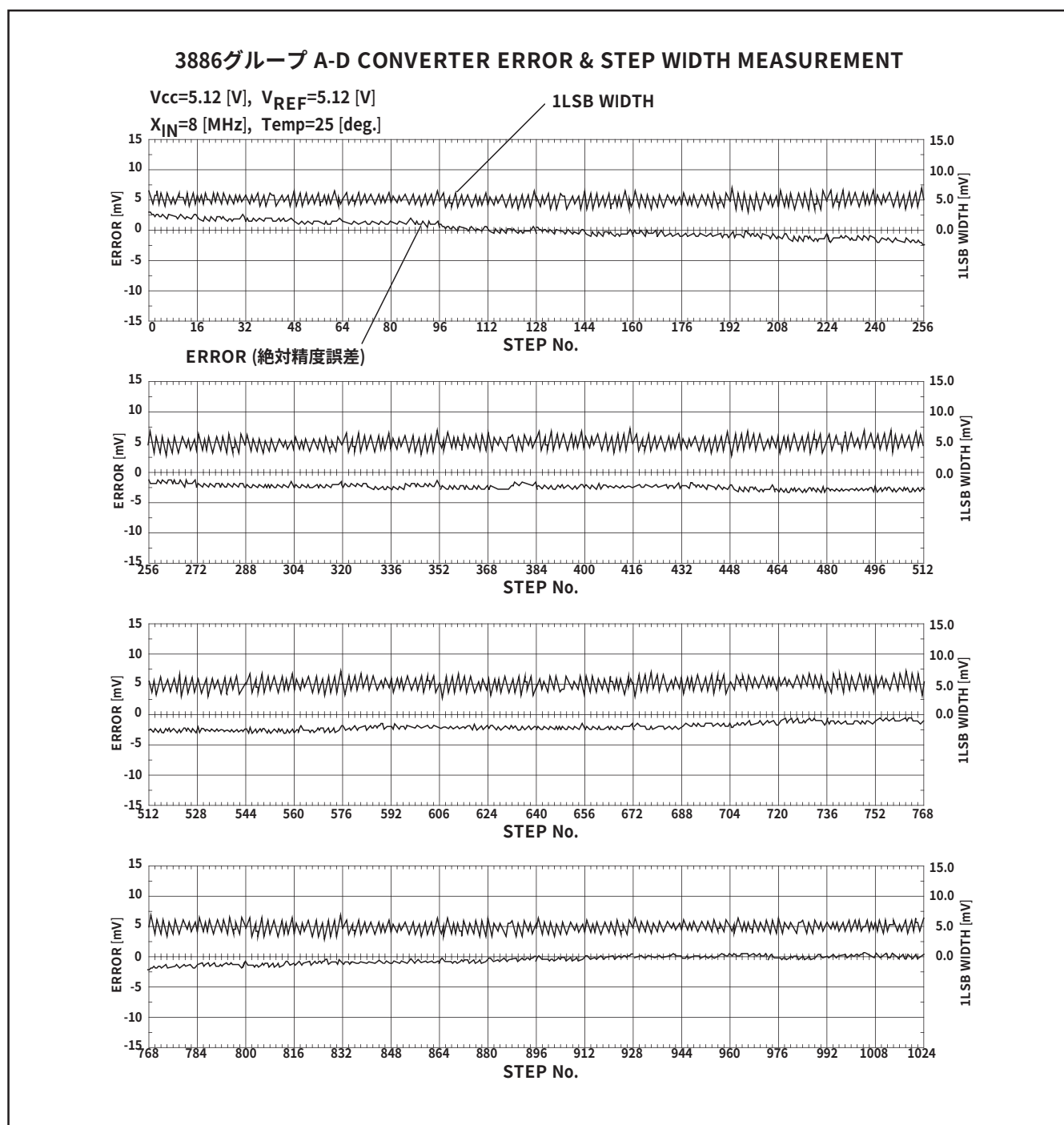


図3.2.16 A-D変換標準特性例

3.2.5 D-A変換標準特性例

D-A変換標準特性例を図3.2.17に示します。

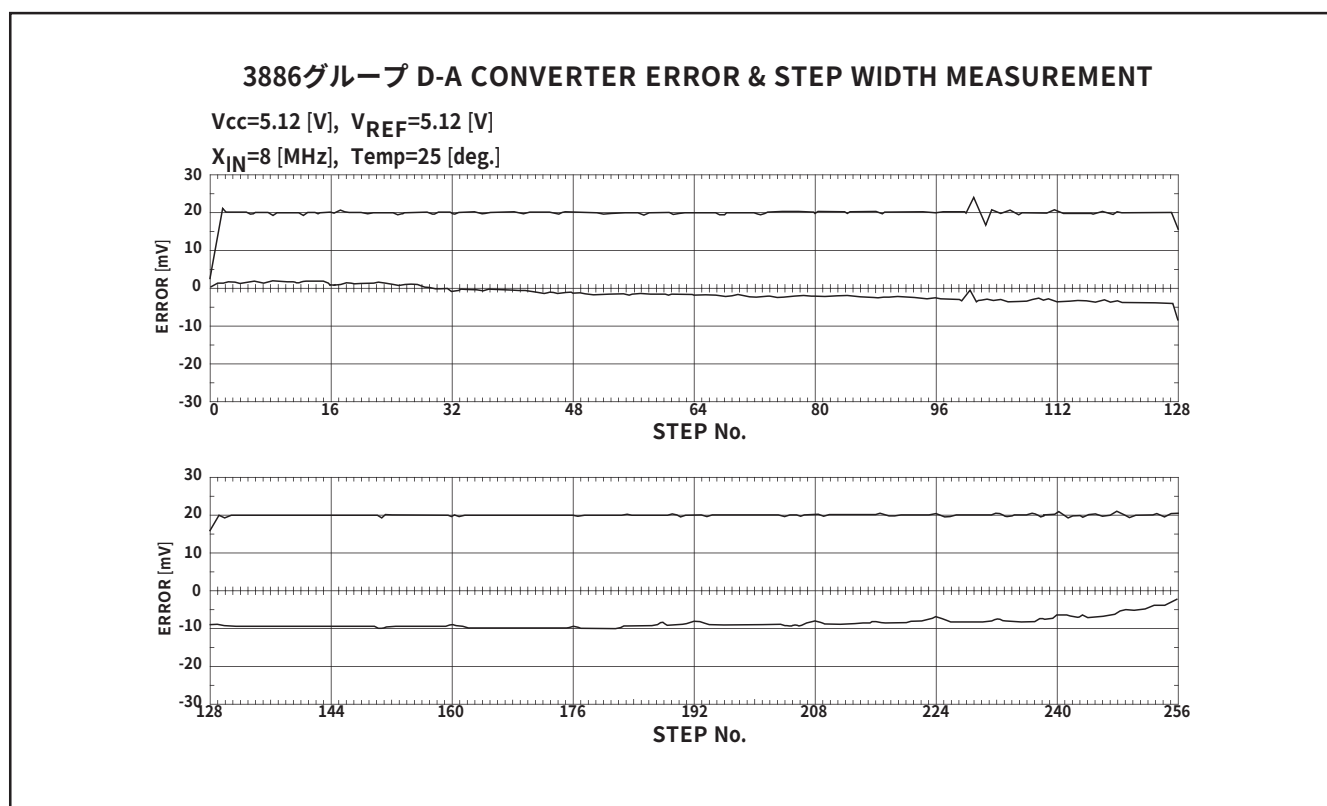


図3.2.17 D-A変換標準特性例

3.3 使用上の注意事項

3.3.1 入出力端子に関する注意事項

(1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・ 外付け回路
- ・ 通常動作時の出力レベルの変動

また、内蔵されているプルアップ又はプルダウン抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・ 入力ポートに設定している場合：入力レベルを固定する。
- ・ 出力ポートに設定している場合：外部に電流が流出しないようにする。

●理由

Nチャンネルオープンドレインの入出力ポートにおいて、方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

^{*1}スタンバイ状態：STP命令実行によるストップモード

WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令^{*}を用いて書き替える場合、指定していないビットの値が変化することがあります。

●理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・ 入力に設定されているビット：

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

- ・ 出力に設定されているビット：

ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・ 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・ 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

^{*}ビット処理命令：SEB命令、CLB命令

3.3.2 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

①出力専用ポート

開放してください。

②入力専用ポート

各端子ごとに1～10kΩの抵抗を介して、Vcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。また、電圧レベルが動作モードに影響を与える端子(CNVssなど)は、モードを検討の上、Vcc又はVssを選択してください。

③入出力ポート

入力モードに設定し、1～10kΩの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

④A-D/D-A変換器を使用しない場合のA-D/D-A変換用電源端子AVss

A-D/D-A変換器を使用しない場合、A-D/D-A変換用電源端子AVssは以下のように処理してください。

- ・AVss : Vssに接続

(2) 処理上の留意事項

①入力ポート及び入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の②③に比べ、ノイズの影響を受けやすくなります。

②入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

③入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

3.3.3 割り込みに関する注意事項

(1) 割り込み要求ビット及び許可ビットの設定

割り込み準備のための割り込み要求ビットの設定と割り込み許可ビットの設定は以下の順番に従って、別々の命令で実行してください。

①割り込み要求ビットを“0”(割り込み要求なし)にする。

②割り込み許可ビットを“1”(割り込み許可)にする。

●理由

上記の設定を一つの命令で行った場合、割り込み要求ビットが“0”になる前に割り込み許可ビットが“1”(割り込み許可)になるため、不要な割り込み処理ルーチンが実行されます。

(2) 検出エッジの切り替え

外部割り込みの検出エッジを切り替えることができる製品において、検出エッジを切り替える場合、以下の順番で行ってください。

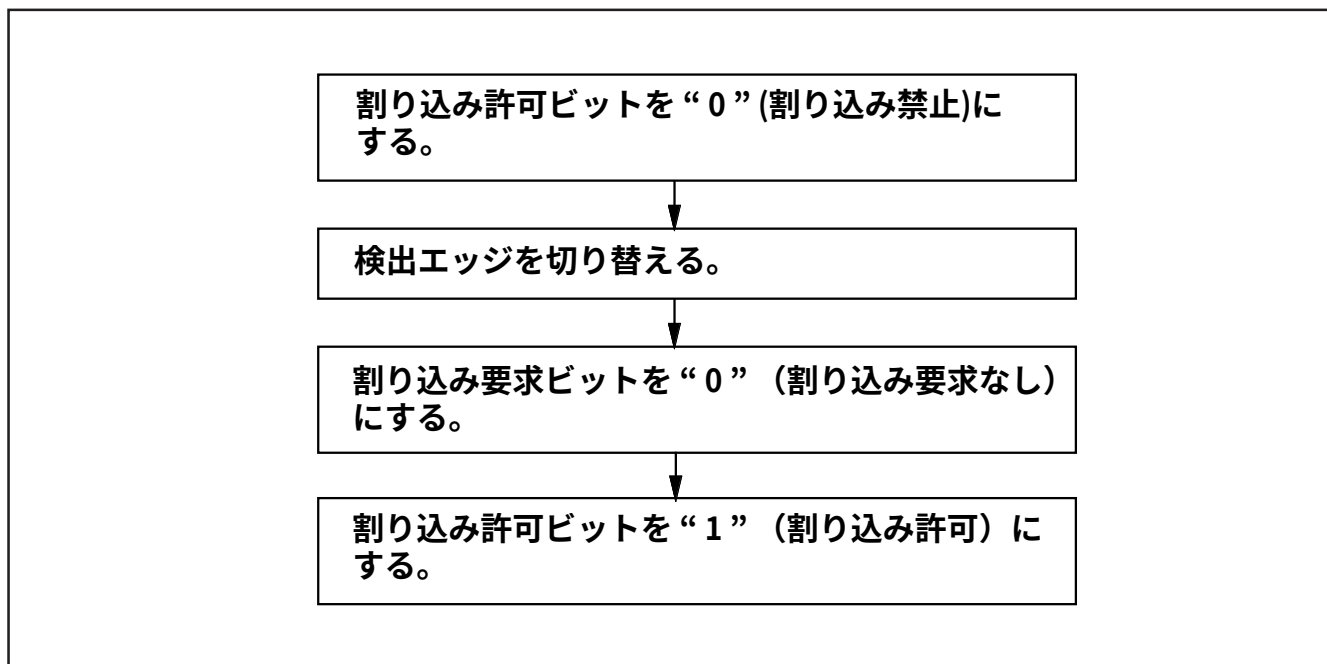


図3.3.1 検出エッジの切り替え手順

●理由

割り込み回路は検出エッジの切り替えを外部入力信号の変化として認識します。このため、不要な割り込み処理ルーチンが実行されることがあります。

(3) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

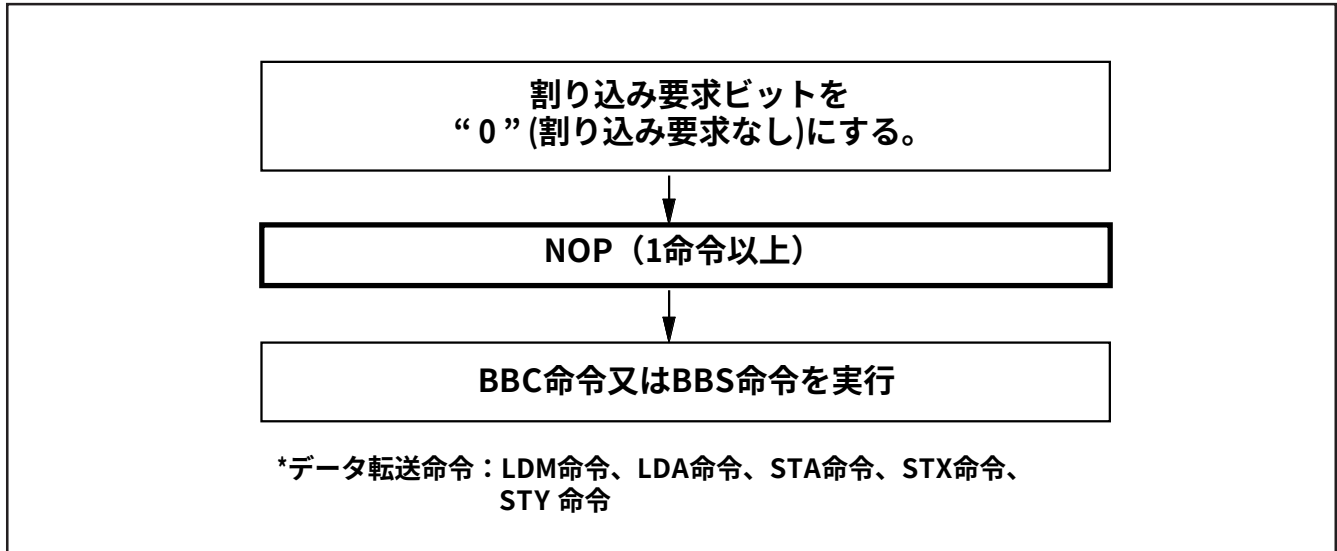


図3.3.2 割り込み要求ビットの判定手順

●理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

(4) 関連レジスタの設定変更

割り込みエッジ選択レジスタ(3A₁₆番地)、割り込み要因選択レジスタ(39₁₆番地)、及びポート制御レジスタ2のINT2、INT3、INT4割り込み切り替えビット(2F₁₆番地のビット4)の設定を変更する際、割り込み要求ビットがセットされることがあります。

割り込みを禁止し、上記の選択レジスタや切り替えビットを設定した後、割り込み要求ビットを“0”にクリアしてから、割り込みを受け付けてください。

3.3.4 タイマに関する注意事項

- タイマラッチに値n(“0”～“255”)を書き込んだ場合の分周比は、1/(n+1)です。
- タイマ12カウントソースビット及びタイマXカウントソースビット、タイマYカウントソースビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

3.3.5 シリアルI/Oに関する注意事項

(1) クロック同期形の選択時(シリアルI/O1)

①送信動作の停止

シリアルI/O許可ビット及び送信許可ビットを“0”(シリアルI/O禁止及び送信禁止)にしてください。

●理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(**TxD**、**RxD**、**SCLK**、**SRDY**各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中から**TxD**端子に出力され、不具合の原因となります。

②受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O許可ビットを“0”(シリアルI/O禁止)にしてください。

③送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

●理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また<(1)の① 送信動作の停止>と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(2) 非同期形の選択時(シリアルI/O1)

①送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

●理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(**TxD**、**RxD**、**SCLK**、**SRDY**各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中から**TxD**端子に出力され、不具合の原因となります。

②受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

③送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

●理由

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(**TxD**、**RxD**、**SCLK**、**SRDY**各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中から**TxD**端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側のSRDY出力(シリアルI/O1)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が**SRDY**出力を行う場合、受信許可ビット及び**SRDY**出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O1制御レジスタの再設定(シリアルI/O1)

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

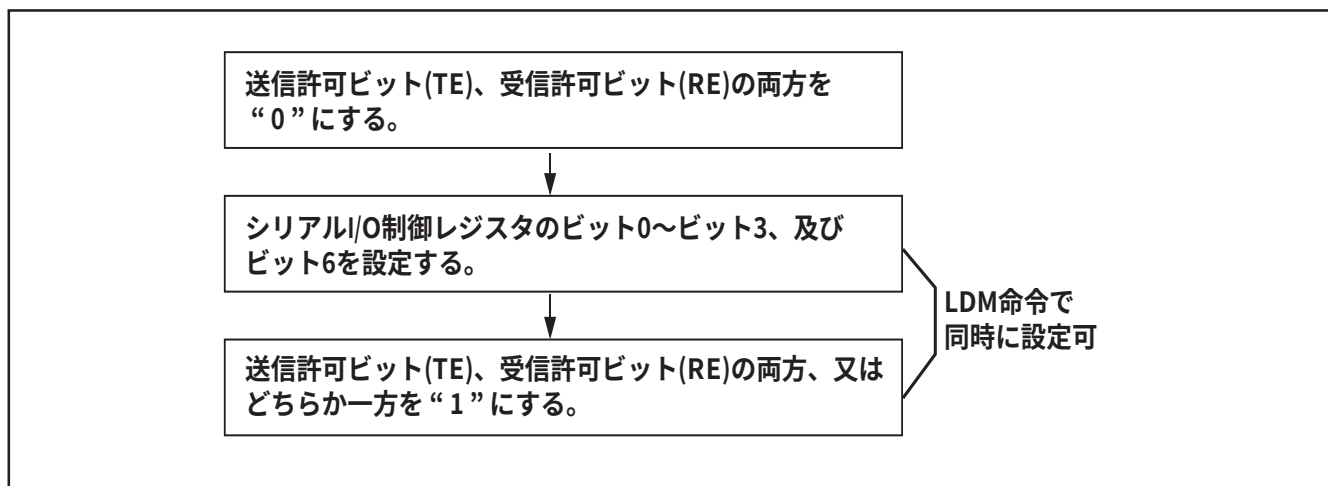


図3.3.3 シリアルI/O制御レジスタの再設定手順

(5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O1)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの**0.5～1.5**クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(6) 外部クロック選択時の送信制御(シリアルI/O1)

データ送信時、同期クロックとして外部クロックを選択している場合、**SCLK**が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、**SCLK**が“H”の状態で行ってください。

(7) 送信許可ビットセット時の送信割り込み要求(シリアルI/O1)

送信割り込みを使用する場合は、以下の手順で送信割り込み許可ビットを許可状態にしてください。

- ① **CLB**命令により、割り込み許可ビットを“0”(禁止状態)にする。
- ② シリアルI/Oの送受信準備を行う。
- ③ 一命令以上おいてから**CLB**命令により割り込み要求ビットを“0”にする。
- ④ 割り込み許可ビットを“1”(許可状態)にする。

●理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグが“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンプティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

(8) 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

3.3.6 マルチマスタI²C-BUSインタフェースに関する注意事項

(1) リード・モディファイ・ライト命令の使用について

SEB,CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

①I²Cデータシフトレジスタ(S0:0012₁₆番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

②I²Cアドレスレジスタ(S0D:0013₁₆番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると意図しない値になることがあります。

●理由

ストップコンディション検出時にリード/ライト(RBW)ビットがハードウェアによって変化するため。

③I²Cステータスレジスタ(S1:0014₁₆番地)

すべてのビットはハードウェアによって変化するためリード・モディファイ・ライト命令は使用しないでください。

④I²Cコントロールレジスタ(S1D:0015₁₆番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると意図しない値になることがあります。

●理由

ビットカウンタ(BC0～BC2)がハードウェアによって変化するため

⑤I²Cクロックコントロールレジスタ(S2:0016₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

⑥I²Cスタート/ストップコンディション制御レジスタ(S2D:0017₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

(2) マルチマスタで使用する場合のスタートコンディション発生手順について

①手順例(発生手順の必要条件は②以降に記します。)

```

        LDA  #SLADR          ;スレーブアドレス値の取り出し
        SEI                  ;割り込みの禁止
        BBS  5, S1, BUSBUSY ;BBフラグ確認及び分岐処理
BUSFREE:
        STA  S0              ;スレーブアドレス値の書き込み
        LDM  # $F0, S1      ;スタートコンディション発生トリガ
        CLI                  ;割り込み許可
        :
BUSBUSY:
        CLI                  ;割り込み許可
        :

```

②BBフラグの確認及び分岐処理は**BBS 5,S1,**～のブランチ・ビット・セット命令を必ず使用してください。

③I²Cデータシフトレジスタ(**S0:001216**番地)へのスレーブアドレスの書き込みには、**STA.STX,STY**のゼロページアドレッシング命令を必ず使用してください。

④前記②の分岐命令と③のストア命令は手順例のとおり、必ず連続して実行するようにしてください。

⑤BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は、必ず割り込みを禁止してください。BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3) リスタートコンディションの発生手順について

外部メモリを使用して、ONW機能によりバスサイクルを延長する場合は適用できません。

①手順例(発生手順の必要条件は②以降に記します。)

PINビットが“0”のとき、以下の手順でリスタートコンディションを発生してください。

```

        LDM  # $00, S1      ;スレーブ受信モード
        LDA  #SLADR          ;スレーブアドレス値の取り出し
        SEI                  ;割り込みの禁止
        STA  S0              ;スレーブアドレス値の書き込み
        LDM  # $F0, S1      ;リスタートコンディション発生トリガ
        CLI                  ;割り込み許可
        :

```

②PINビットが“0”の状態スレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。BBビットへの書き込みに“0”又は“1”の指定はありません。TRXビットが“0”になり、SDA端子が開放されます。

③スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

④スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I²Cステータスレジスタ(S1:0014₁₆番地)への書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令を実行しないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが“1”のときに、MSTビット及びTRXビットを“1”から“0”にする命令を実行しても、同様の状態になることがあります。

(5) マスタ時のストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²CデータシフトレジスタS0及び、I²Cステータスレジスタに書き込みを行わないでください。スレーブデバイスによってはストップコンディション波形が正常に出力されないことがあります。なお、上記レジスタに対する読み込みは問題ありません。

(6) 7つ目のクロックパルスのストップコンディション入力

スレーブモードで、スレーブアドレス又はデータの受信中に、クロックパルスが7つ目のときにストップコンディションが入力され、さらに継続してクロックパルスが入力されたとき、BB=“0”にもかかわらずSDAラインが“L”で保持されることがあります。(M38867M8A/E8Aのみ)

対策：

ストップコンディション割り込みでBB=“0”のとき、I²Cデータシフトレジスタにダミーデータをライトするか、S1DレジスタのES0ビットをリセット(ES0=“L”→ES0=“H”)する。

注：リード・モディファイ・ライト命令は使用不可。また、ES0ビットを“0”に設定した時点で汎用ポートになるため、ポートは入力モードが“H”出力に設定する。

(7) ES0ビットの切り替えについて

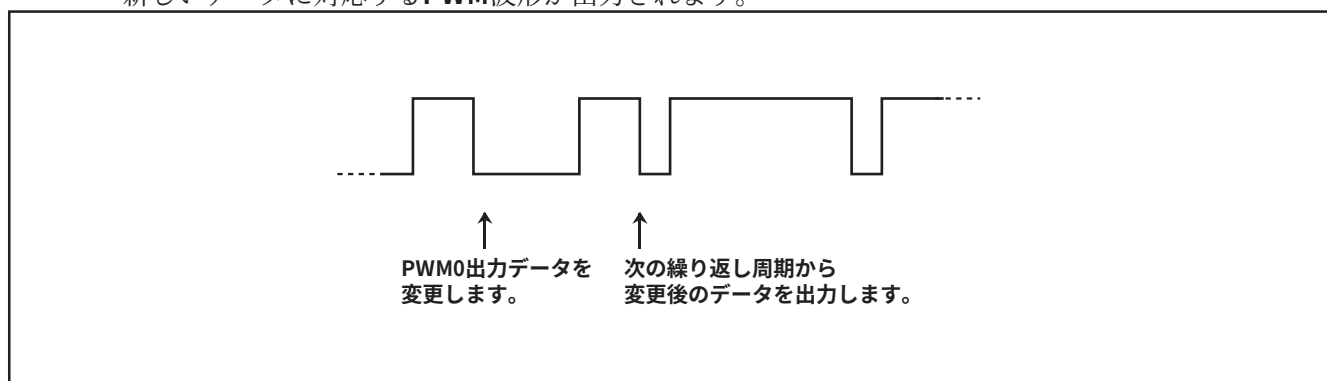
高速クロックモードか、SSC=“000102”時の標準クロックモードにおいて、SDAが“L”のときにES0ビットを“1”にすると、BB=“1”になることがあります。

対策：

SDAが“H”のときに、ES0=“1”にしてください。

3.3.7 PWMに関する注意事項

- PWM₀出力では“L”レベルの期間が先に出力されます。
- PWM₀Lレジスタ及びPWM₀Hレジスタにデータを設定後、次の繰り返し周期から新しいデータに対応するPWM波形が出力されます。

図3.3.4 PWM₀出力

3.3.8 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、**0.01 μ F**～**1 μ F**の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

●理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分な**A-D**変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、**A-D**変換器用電源端子**AVss**は以下のように処理してください。

- ・ **AVss** : **Vss**に接続

●理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、**A-D**変換中は以下の**2**点に留意してください。

- ・ **f(XIN)**は**500kHz**以上にしてください。
- ・ **STP**命令を実行しないでください。

3.3.9 D-A変換器に関する注意事項

D-A変換器使用時は以下の点に注意してください。

(1) D-A変換器を使用する場合のVcc

D-A変換器の精度は**Vcc**が**4.0V**以下で異なります。**D-A**変換器を使用する場合は、**Vcc**を**4.0V**以上にすることを推奨します。

(2) D-A変換器を使用しない場合のVcc

D-A変換器を使用しない場合、**D-Ai**変換レジスタ(**i=1, 2**)の設定値は、すべて“**00₁₆**”にしてください。リセット後の初期値は“**00₁₆**”です。

3.3.10 ウォッチドッグタイマに関する注意事項

- ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
- ウォッチドッグタイマ制御レジスタの**STP**命令禁止ビットを“**1**”にすると、プログラムにより“**0**”に書き替えることはできません。

3.3.11 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、**RESET**端子と**Vss**端子の間に、セラミックコンデンサなどの高周波特性の良い**1000pF**以上のコンデンサを接続してください。コンデンサを使用する際は、以下の**2**点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

●理由

RESET入力端子に数**ns**から数十**ns**のインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

3.3.12 ストップモード使用上の注意事項

■レジスタ設定

ストップモードからの復帰時、プリスケアラ**12**、タイマ**1**の値は自動的に書き換えられていますので、それぞれ再設定してください。（**STP**命令解除後、発振安定時間設定ビットが“**0**”のとき。）

■復帰後のクロック

割り込みによってストップモードから復帰すると、**STP**命令実行前の**CPU**モードレジスタの内容が保持されています。そのため**STP**命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時に**XIN**入力の約**8000**サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

3.3.13 ウェイトモード使用上の注意事項

■復帰後のクロック

WIT命令実行時に**XCIN**をシステムクロックとして設定し、**XIN**の発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、**XCIN**の発振が停止し、**XIN**が発振を開始し、**XIN**がシステムクロックになります。

上記において**XIN**の発振が安定するまで、**RESET**端子に“**L**”レベルを入力しておく必要があります。

3.3.14 CPU書き換えモードに関する注意事項

- (1) CPU書き換えモード制御プログラムは、CPU書き換えモードを選択する前に内部RAMに転送し、内部RAM上で実行してください。
また、制御プログラム内でサブルーチンやスタック操作命令などを使用する場合は、スタック領域によって内部RAMに転送した制御プログラムが壊れないよう、注意してください。
- (2) CPU書き換えモード制御プログラムは、内部RAMに転送し、内部RAM上で実行するため、命令の記述(指定番地など)に注意してください。
- (3) ウォッチドッグタイマ割り込みが発生しないように、CPU書き換えモード制御プログラムで、定期的にウォッチドッグタイマ制御レジスタへ書き込みを行ってください(「2.7ウォッチドッグタイマ」参照)。
- (4) フラッシュメモリ版に関する注意事項
CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。
ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10kΩの抵抗を介してVssに接続してください。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

3.3.15 低速動作モードに関する注意事項

サブクロックの使用

サブクロックを使用する場合、CPUモードレジスタのビット3を常に「1」に固定してください。又Rd(図3.3.4参照)の抵抗値を調整することにより、発振の安定を図ってください。この抵抗値については発振子メーカーにお問い合わせください。

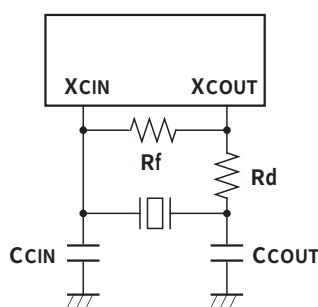


図3.3.5 水晶発振外付け

●理由

CPUモードレジスタのビット3を「0」に設定すると、サブクロックの発振動作が停止することがあります。

3.3.16 発振の再開に関する注意事項

発振の再開

STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をプリスケアラ**12**ラッチ及びタイマ**1**ラッチに設定してください。

●理由

リセット又は外部割り込みが受け付けられると発振は再開しますが、タイマ**1**がアンダフローしてはじめてCPUに内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

3.3.17 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ

①プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

●理由

プロセッサステータスレジスタ(PS)は、Iフラグが**1**であるのを除いて、リセット直後は不定です。

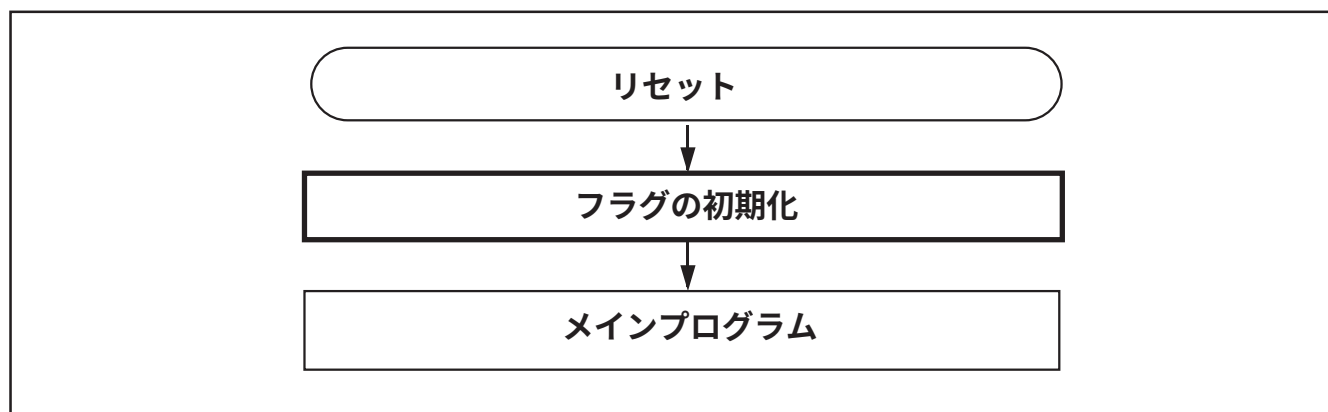


図3.3.6 プロセッサステータスレジスタのフラグの初期化

②プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

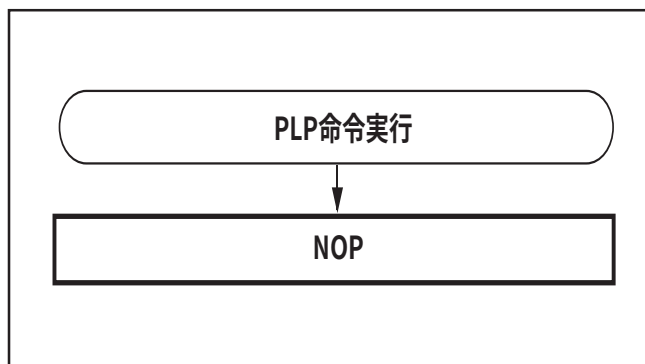


図3.3.7 PLP命令実行時の手順

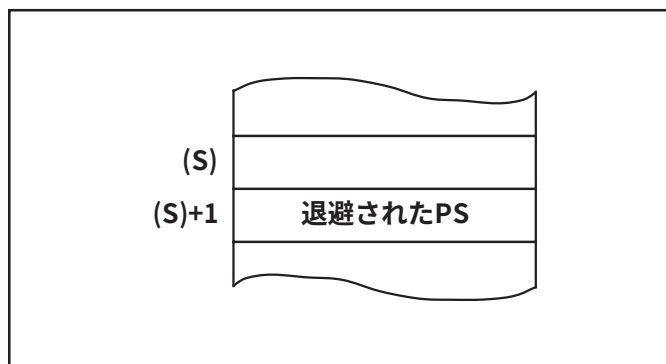


図3.3.8 PHP命令実行後のスタックメモリの内容

(2) BRK命令

①割り込み要因の識別方法

BRK命令の割り込みであるか、優先順位が最下位の割り込みであるかを識別する方法として、退避された**B**フラグの内容によって判断できますが、この判断は割り込みルーチンの中で行ってください。

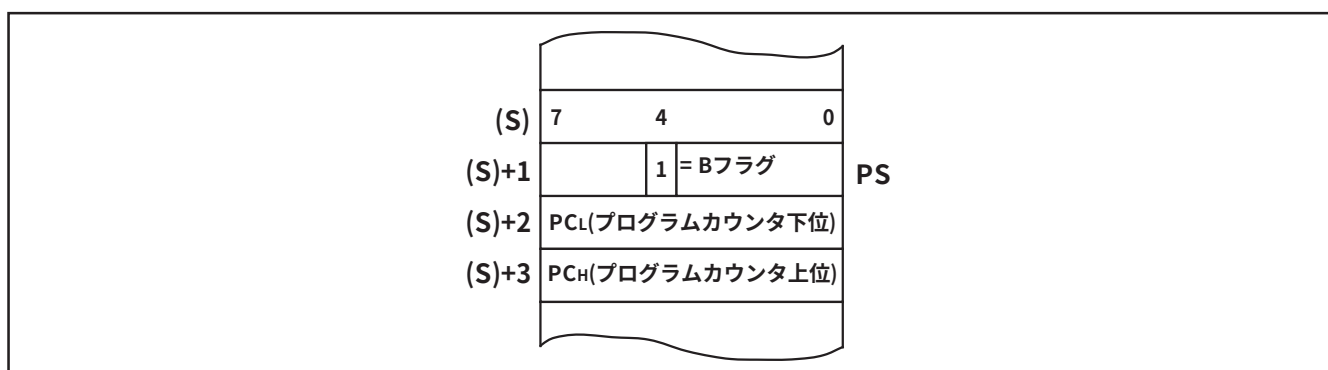


図3.3.9 割り込み処理ルーチン内

②割り込み優先順位

下記2つの状態である時に**BRK**命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に“1”
- ・Iフラグを“1”にして割り込みを禁止

(3) 10進演算

①10進演算時の命令

10進演算を行う場合、**SED**命令により**10**進モードフラグ**D**を“1”にセットして、**ADC**命令又は**SBC**命令を実行します。その場合、**SEC**命令、**CLC**命令、又は**CLD**命令は、**ADC**命令又は**SBC**命令よりも一命令後に行ってください。

②10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC, SBC命令を実行したとき、ステータスフラグのうちN, V, Zの3つのフラグは無効となります。

また、C(キャリー)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

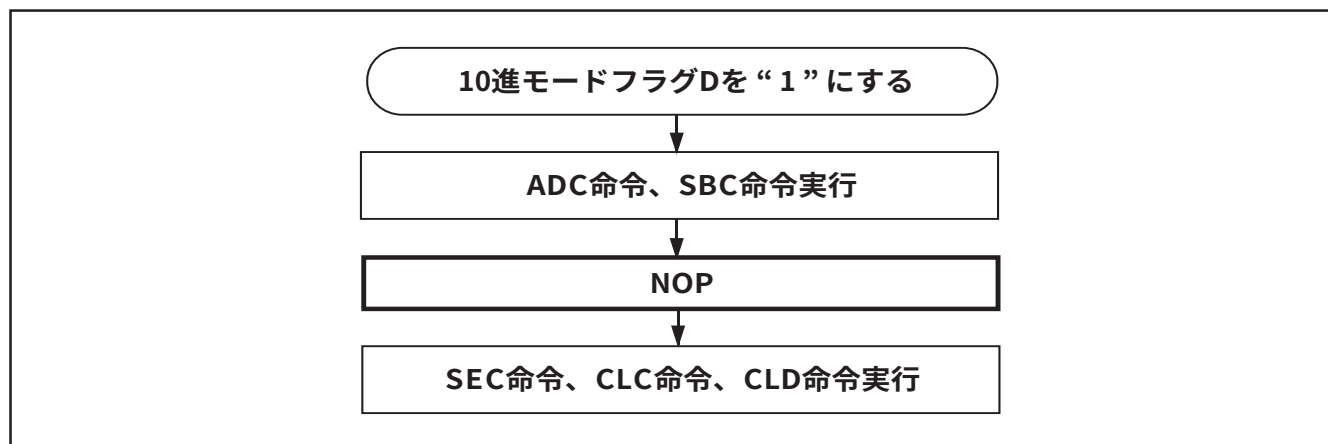


図3.3.10 10進演算時のステータスフラグ

(4) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

3.3.18 PROM内蔵版の書き込みとテスト

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタを使用することによって、汎用のPROMライターで内蔵PROMの書き込み及び読み出しを行うことができます。

EPROM内蔵版はプログラム開発用です。プログラム開発及び実装評価にだけ使用してください。

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングは行っていません。書き込み以降の信頼性を向上させるため、図3.3.10に示すフローで書き込み及びテストを行った後、使用することを推奨します。

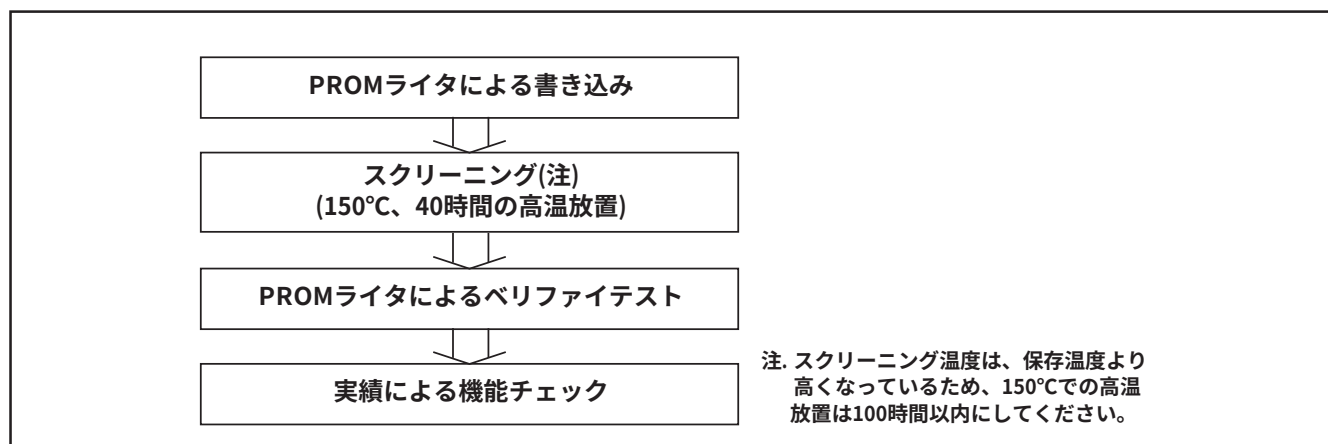


図3.3.11 ワンタイムPROM版の書き込みとテスト

3.3.19 PROM内蔵版に関する注意事項

(1) 書き込みアダプタ

PROM 内蔵版の内蔵PROMへの書き込み及び内蔵PROMからの読み出しは、表3.3.1に示す専用の書き込みアダプタと汎用のPROMライターを使用してください。

表3.3.1 書き込みアダプタ対応表

マイクロコンピュータ形名	書き込みアダプタ形名
M38867E8AFS	PCA4738L-80A
M38867E8AHP (ワンタイムブランク品)	PCA4738H-80A

(2) 書き込み及び読み出し

PROMモード時は、M5M27C101AKと同じ動作ですが、デバイス識別コードを内蔵していないため、PROMライターのプログラム条件は自動的に設定されません。書き込み及び読み出しの際に、以下の条件を正確に設定してください。特に、Vpp端子(CNVss端子と兼用)へ21Vの電圧が印加されると、製品の永久的なダメージにつながりますので注意が必要です。

- ①プログラム書き込み電圧：12.5V
- ②PROMライターのアドレス設定：表3.3.2参照

表3.3.2 PROMライターのアドレス設定表

マイクロコンピュータ形名	PROMライター開始アドレス	PROMライター終了アドレス
M38867E8AFS	08080 ₁₆ 番地	0FFFD ₁₆ 番地
M38867E8AHP		

注1. 内蔵PROMの8080₁₆番地～FFFD₁₆番地は、PROMライター上では08080₁₆番地～0FFFD₁₆番地に相当します。

(3) 消去

窓付きEPROM版のプログラム内容は、2537Åの波長を持つ紫外線を照射することによって消去します。消去に必要な照射量は最低15W・sec/cm²です。

3.4 ノイズに関する注意事項

3.4.1 配線長の短縮

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

●理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

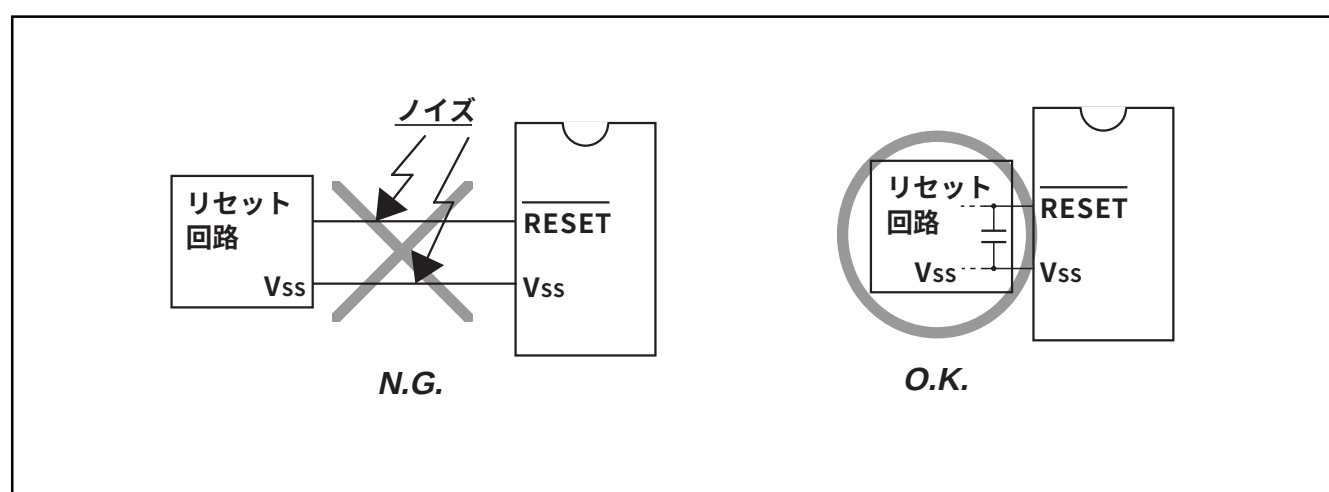


図3.4.1 リセット入力端子の配線

(2) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンの**Vss**端子とは最短(20mm以内)の配線で接続してください。
- ・発振用の**Vss**パターンは発振回路専用とし、他の**Vss**パターンと分離してください。

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンの**Vss**レベルと発振子の**Vss**レベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

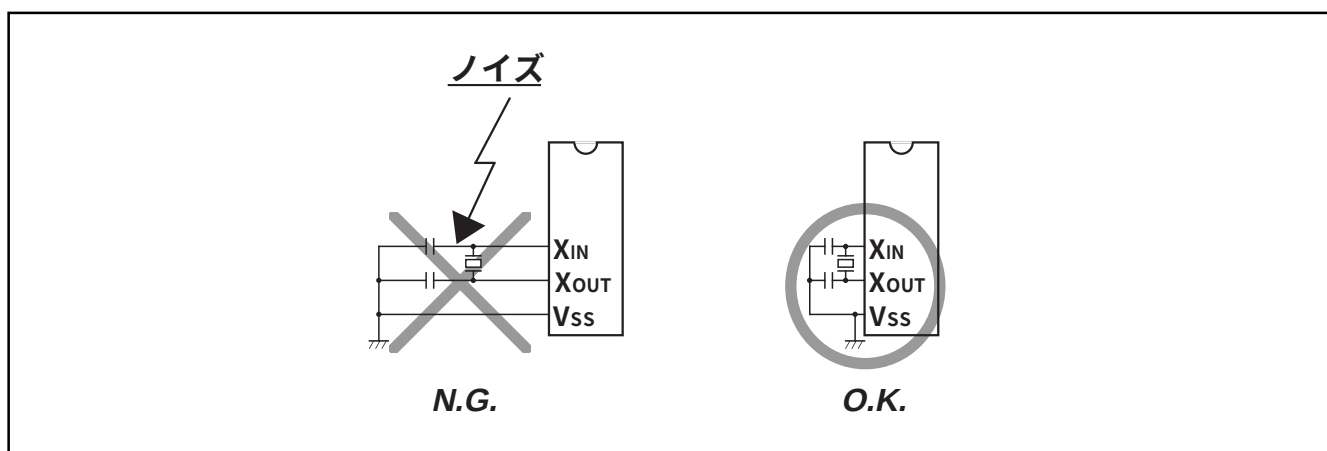


図3.4.2 クロック入出力端子の配線

(3) CNVss端子の配線

CNVss端子と**Vss**端子とを接続する場合、最短の配線で接続してください。

●理由

CNVss端子のレベルはマイコンのプロセッサモードに影響します。**CNVss**端子と**Vss**端子とを接続する場合、**CNVss**端子レベルと**Vss**端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

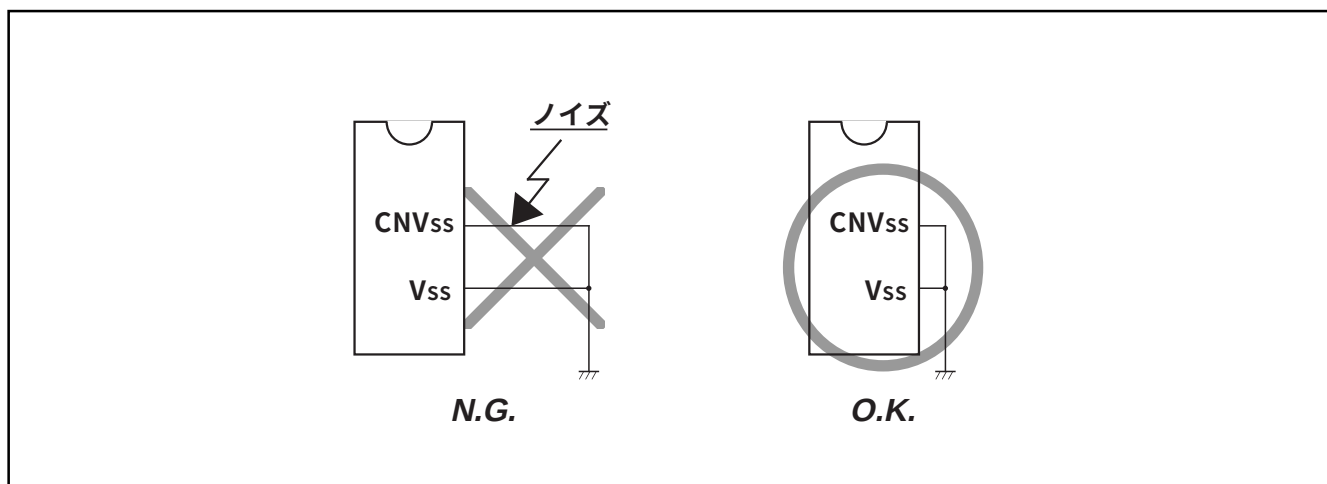


図3.4.3 CNVss端子の配線

(4) ワンタイムPROM版及びEPROM版のVPP端子配線

VPP端子のできるだけ近くに5kΩ程度の抵抗を直列に挿入し、VSS端子に接続してください。また、5kΩ程度の抵抗を挿入しない場合は、VPP端子とVSS端子の配線は最短にしてください。

注. 5kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

●理由

ワンタイムPROM版マイコン及びEPROM版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

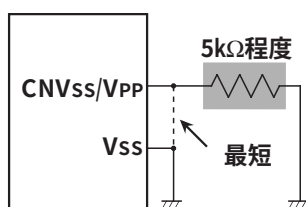


図3.4.4 ワンタイムPROM版及びEPROM版のVPP端子の配線

3.4.2 Vss-Vccライン間へのバイパスコンデンサ挿入

Vss-Vccライン間に0.1 μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子ーバイパスコンデンサ間の配線長とVcc端子ーバイパスコンデンサ間の配線長を等しくする
- ・ Vss端子ーバイパスコンデンサ間の配線長とVcc端子ーバイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

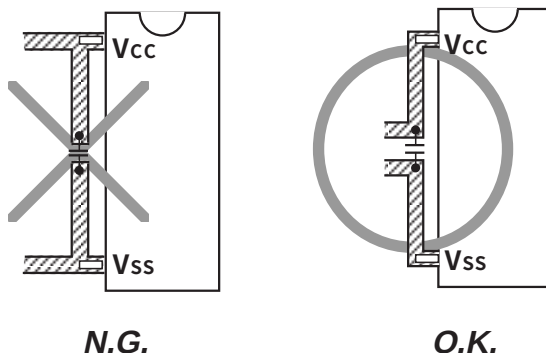


図3.4.5 Vss-Vccライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、**100～1k Ω** 程度の抵抗を直列に接続してください。
- ・アナログ入力端子と**Vss**端子間の、**Vss**端子にできるだけ近い位置に容量**1000pF**程度のコンデンサを挿入し、かつ、アナログ入力端子ーコンデンサ間の配線及び**Vss**端子ーコンデンサ間の配線長を等しくしてください。

●理由

通常、アナログ入力端子(A-D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

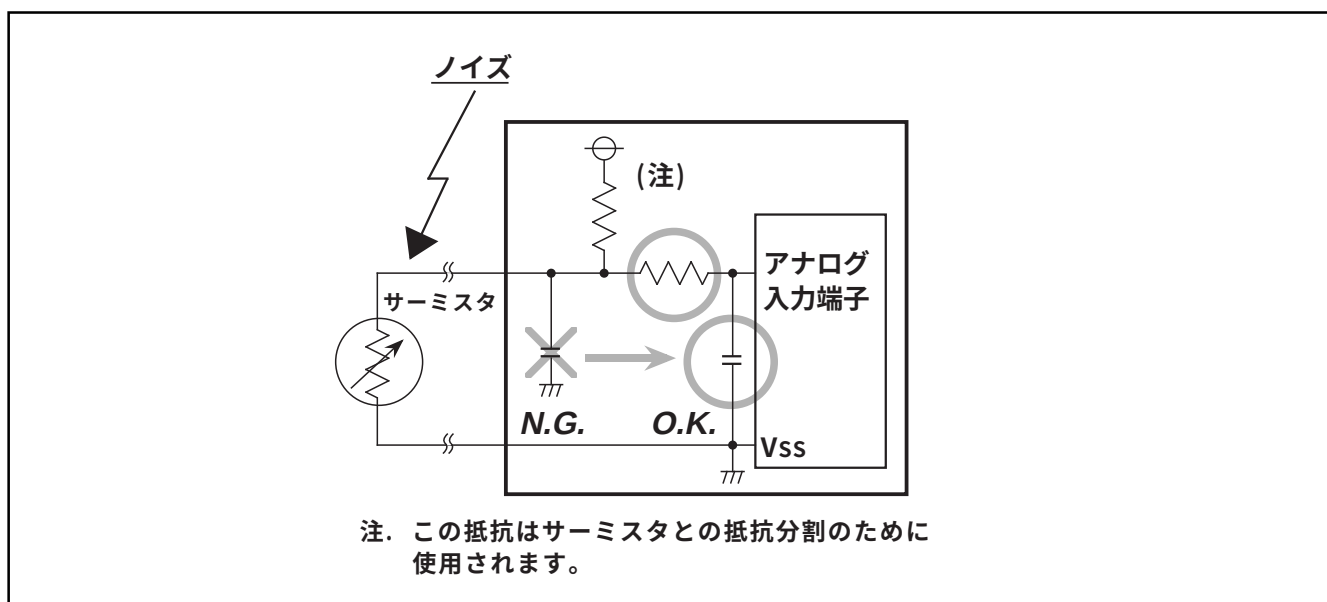


図3.4.6 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

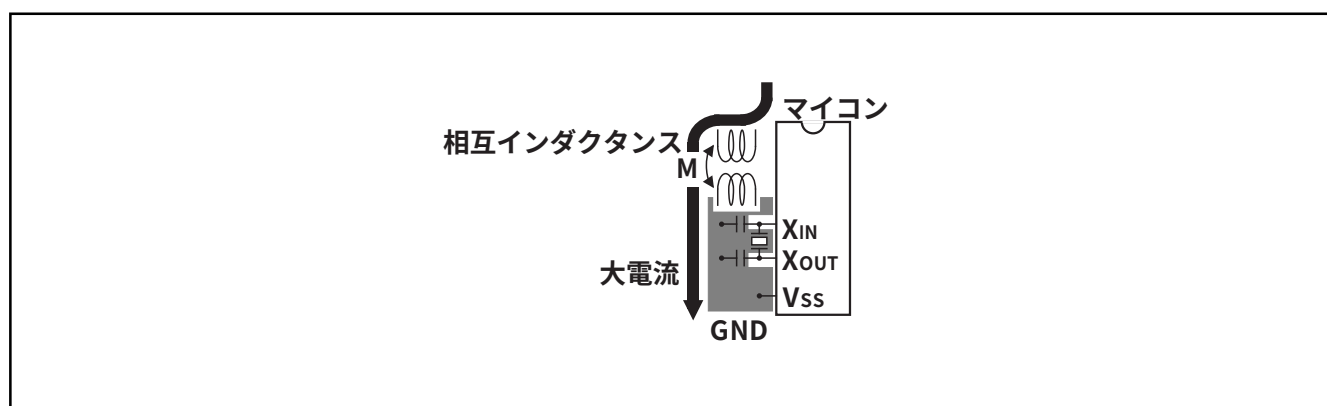


図3.4.7 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

●理由

高速にレベル変化する CNTR 端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

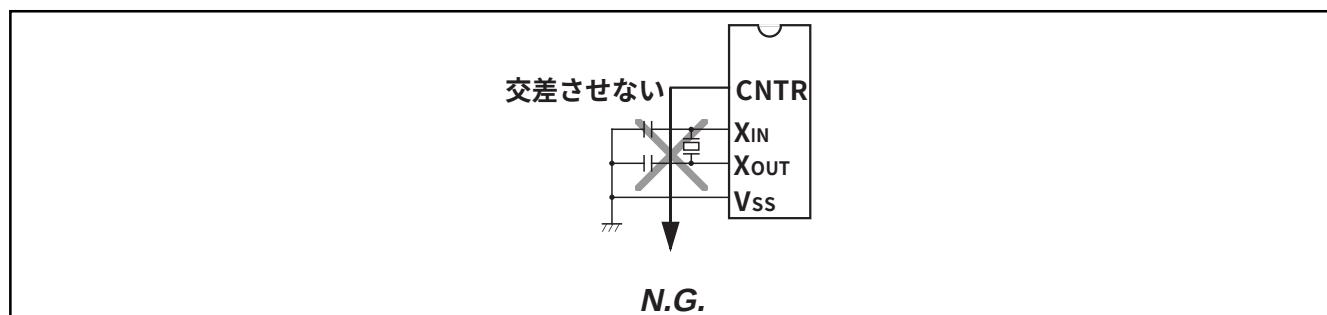


図3.4.8 リセット入力端子の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

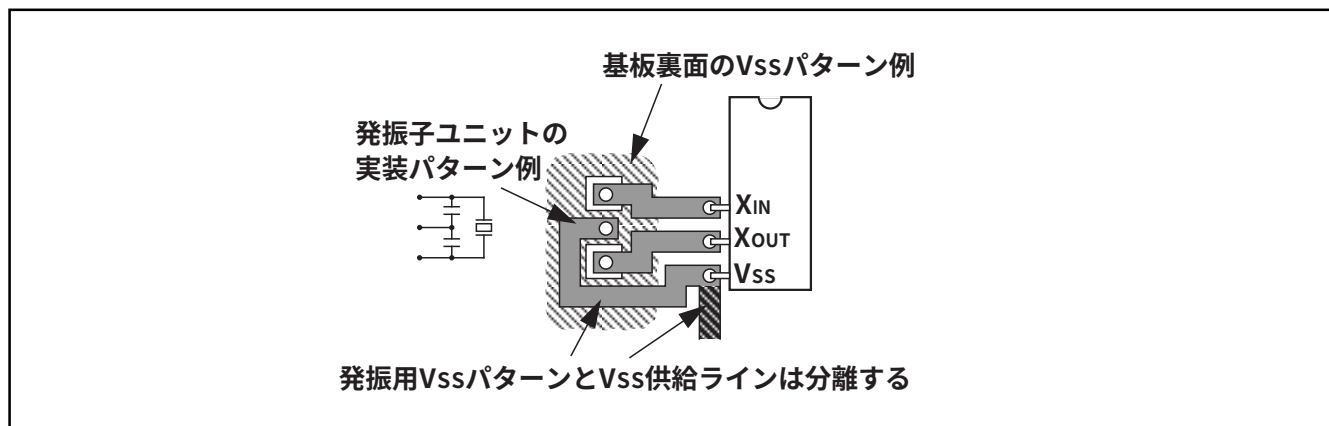


図3.4.9 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

〈ハードウェア面〉

- ・入出力ポートに100Ω以上の抵抗を直列に挿入してください。

〈ソフトウェア面〉

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタ(内蔵する品種のみ)の再書き込みを行ってください。

注. 一定周期で方向レジスタを入力ポートに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルス除去してください。

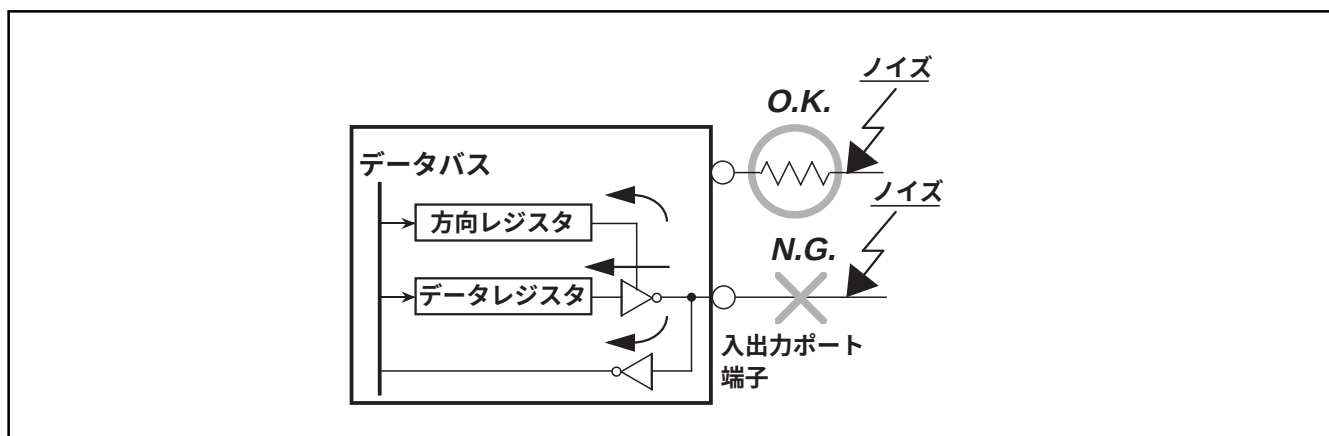


図3.4.10 Vss-Vccライン間のバイパスコンデンサ

3.4.6 ソフトウェアによる監視タイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによる監視タイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアの監視タイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによる監視タイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの**1**周期中に割り込み処理が複数回行われることが前提となります。

〈メインルーチンでは〉

- ・ **RAM**の**1**バイトをソフトウェア監視タイマ用(**SWDT**)に割り当て、メインルーチン**1**周期ごとに**1**回、初期値**N**を**SWDT**に書き込みます。初期値**N**は以下の条件を満たすこととします。

$$N+1 \geq \text{メインルーチンの1周期中に行われる割り込み処理の回数}$$

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値**N**には余裕を持たせた値を設定してください。

- ・ **SWDT**の内容と初期値**N**を設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- ・ 割り込み処理を行っても**SWDT**の内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

〈割り込み処理ルーチンでは〉

- ・ **SWDT**の内容を**1**回の割り込み処理で**1**減算します。
- ・ ほぼ一定の周期(一定の割り込み処理回数)で**SWDT**の内容が初期値**N**に戻ることで、メインルーチンの正常動作を確認します。
- ・ **SWDT**の内容が**N**に初期化されることなく減算され続け、**SWDT**の内容が**0**以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

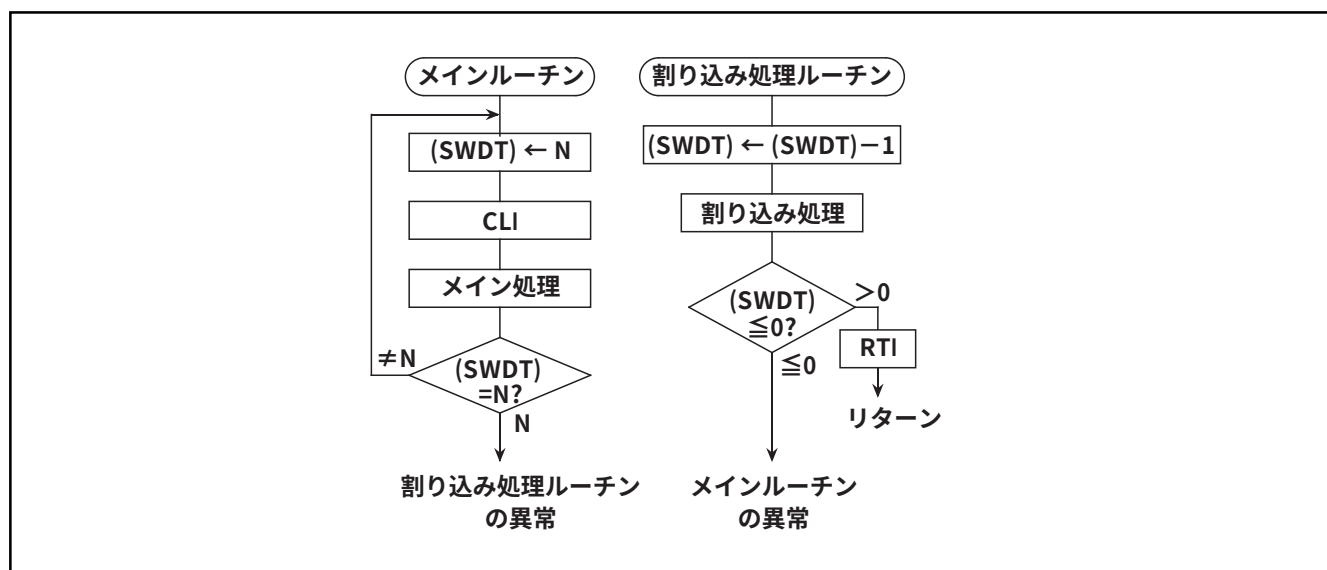


図3.4.11 ソフトウェアによる監視タイマ

3.5 レジスター一覧

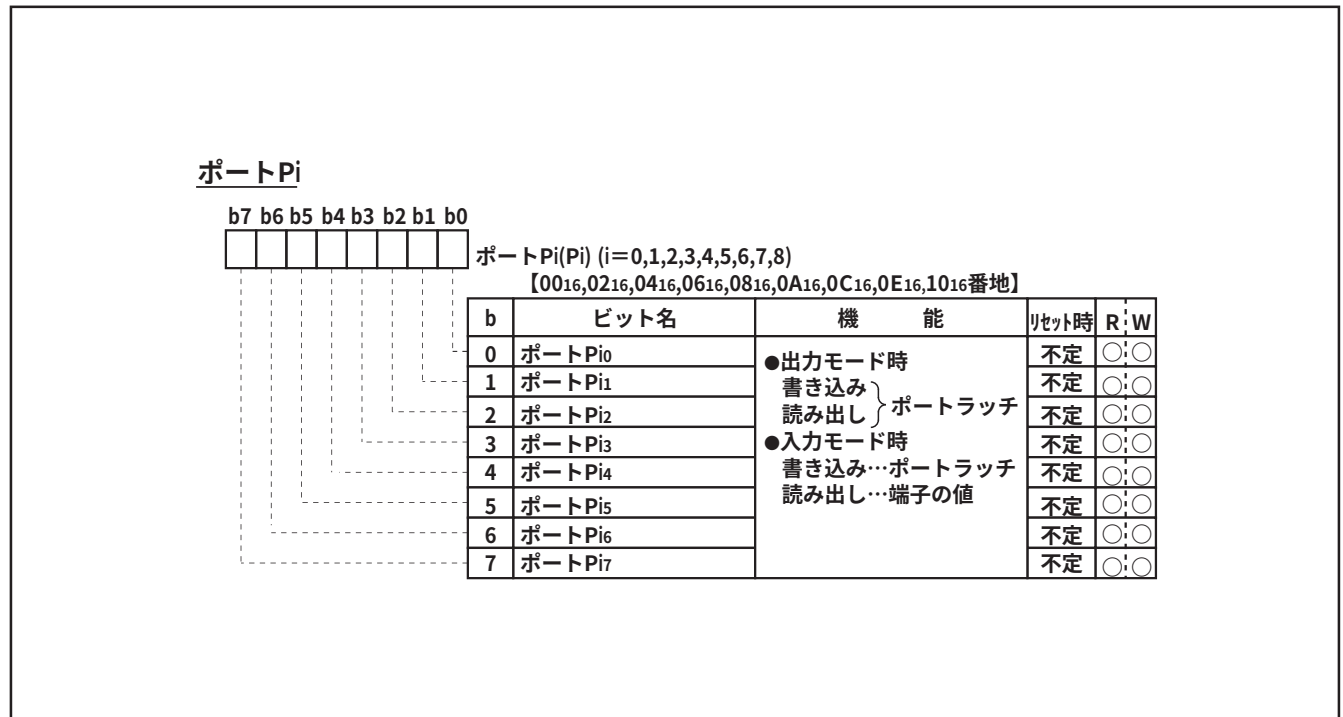


図3.5.1 ポートPiの構成

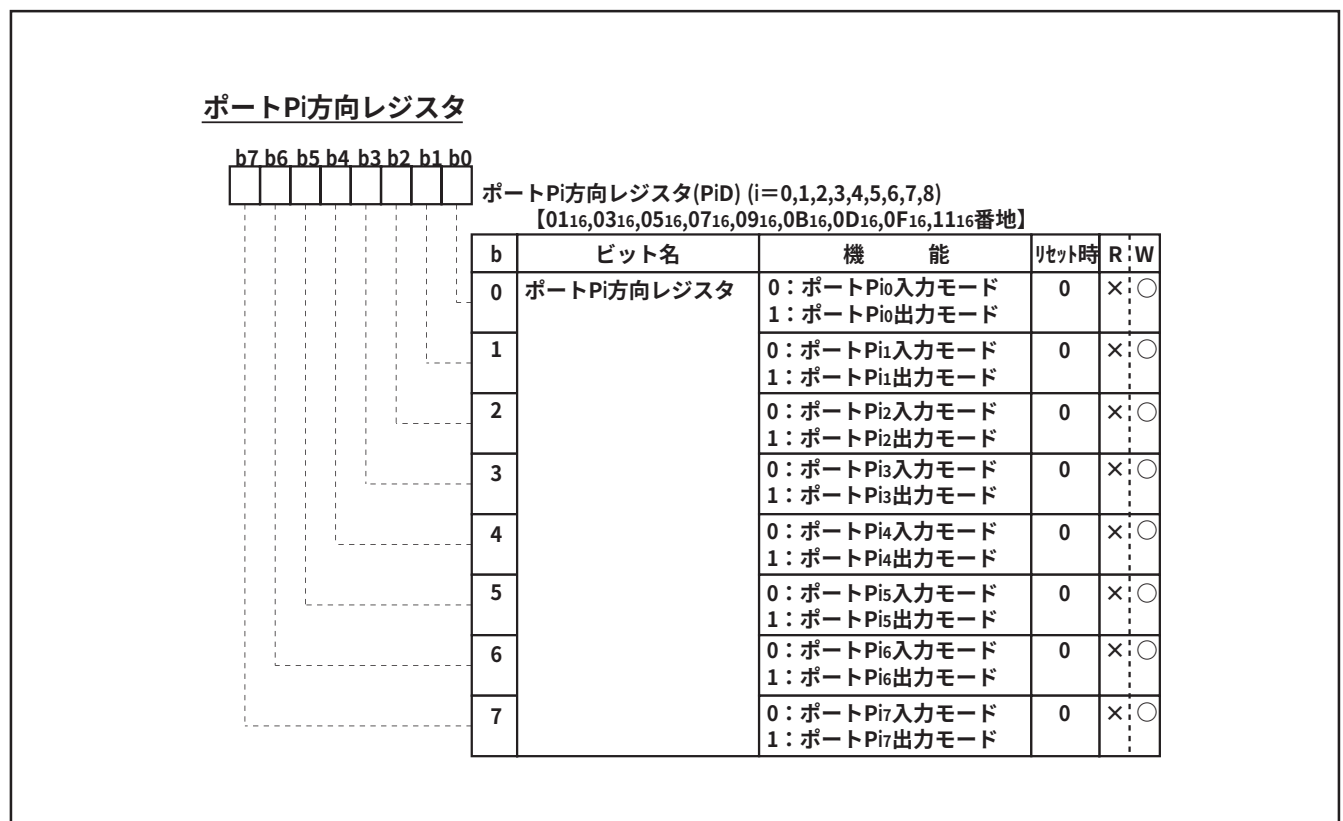


図3.5.2 ポートPi方向レジスタの構成

I²Cデータシフトレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



I²Cデータシフトレジスタ (S0) 【12₁₆番地】

b	機 能	リセット時	R	W
0	受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。	不定	○	○
1		不定	○	○
2		不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

注. 通信モード指定ビット (MST)を“0”(スレーブモード)にしてからI²Cデータシフトレジスタにデータを書き込む場合、8マシンスサイクル以上の間隔を確保してください。
また、データ転送中にリード・モディファイ・ライト(SEB,CLB)命令を使用すると意図しない値になることがあります。

図3.5.3 I²Cデータシフトレジスタの構成

I²Cアドレスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



I²Cアドレスレジスタ(S0D) 【13₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	リード/ライトビット (RBW)	0：ライトビット 1：リードビット	0	○	○
1	スレーブアドレス (SAD0.SAD1,SAD2, SAD3,SAD4,SAD5, SAD6)	マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。	0	○	○
2			0	○	○
3			0	○	○
4			0	○	○
5			0	○	○
6			0	○	○
7			0	○	○

注. ストップコンディション検出時にリード・モディファイ・ライト命令(SEB,CLB)を使用すると意図しない値になることがあります。

図3.5.4 I²Cアドレスレジスタの構成

I²Cステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

I²Cステータスレジスタ(S1) 【14₁₆番地】

b	ビット名	機 能	リセット時	R:W
0	最終受信ビット (LRB)	0: 最終ビット = “0” 1: 最終ビット = “1” (注1)	不定	○:×
1	ジェネラルコール検出フラグ (AD0)	0: ジェネラルコール未検出 1: ジェネラルコール検出 (注1,2)	0	○:×
2	スレーブアドレス比較フラグ (AAS)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	○:×
3	アービトレーション・ロスト検出フラグ (AL)	0: 未検出 1: 検出 (注1)	0	○:×
4	SCL端子Lowホールドビット (PIN)	0: SCL端子Lowホールド 1: SCL端子開放	1	○:*
5	バスビジーフラグ (BB)	0: バスフリー 1: バスビジー	0	○:○
6	通信モード指定ビット (TRX,MST)	b7 b6 0 0: スレーブ受信モード 0 1: スレーブ送信モード 1 0: マスタ受信モード 1 1: マスタ送信モード	0	○:○
7			0	○:○

注1. これらのビット又はフラグは読み出せますが、書き込めません。

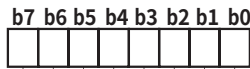
2. これらのビットはI²Cコントロールレジスタのデータフォーマット選択ビット(ALS)を“0”にした場合のみ検出可能です。

3. すべてのビットはハードウェアにより変化しますので、リード・モディファイ・ライト命令(SEB,CLB)は使用しないでください。

*ソフトウェアによって“1”にできますが、“0”にはできません。

図3.5.5 I²Cステータスレジスタの構成

I²Cコントロールレジスタ



I²Cコントロールレジスタ(S1D) 【1516番地】

b	ビット名	機能	リセット時	R	W
0	ビットカウンタ (送/受信ビット数) (BC0,BC1,BC2)	b2 b1 b0 0 0 0: 8ビット	0	○	○
		0 0 1: 7ビット			
		0 1 0: 6ビット			
1		0 1 1: 5ビット			
		1 0 0: 4ビット			
		1 0 1: 3ビット			
		1 1 0: 2ビット			
2		1 1 1: 1ビット			
3	I ² C-BUSインタフェース 使用許可ビット(ES0)	0: 使用禁止 1: 使用許可	0	○	○
4	データフォーマット 選択ビット(ALS)	0: アドレッシングフォーマット 1: フリーデータフォーマット	0	○	○
5	アドレッシングフォー マット選択ビット (10BIT SAD)	0: 7ビットアドレッシング フォーマット 1: 10ビットアドレッシング フォーマット	0	○	○
6	システムクロック停止選択 ビット(CLKSTP)	0: WIT命令及びSTP命令実行 時システムクロック停止 1: WIT命令実行時 システムクロック非停止 (STP命令は使用しないでく ださい)	0	○	○
7	I ² C-BUSインタフェース 端子入力レベル選択ビット	0: CMOS入力 1: SMBUS入力	0	○	○

注. スタートコンディション検出時及びバイト転送完了時はハードウェアによつてビットの一部が変化するため、リード・モディファイ・ライト命令を使用すると意図しない値になることがあります。

図3.5.6 I²Cコントロールレジスタの構成

I²Cクロックコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

I²Cクロックコントロールレジスタ(S2) 【16₁₆番地】

b	ビット名	機 能	リセット時	R/W
0	SCL周波数制御ビット (CCR0,CCR1,CCR2, CCR3,CCR4)	レジスタ値 b4~b0	0	○:○
1		標準 クロック モード		
2		高速 クロック モード		
3		00~02 ₁₆		
4		03 ₁₆ ー (注1)		
5		04 ₁₆ ー (注1)		
6		05 ₁₆ 100		
7		06 ₁₆ 83.3		
		1000/CCR値		
		1000/CCR値		
5	SCLモード指定ビット (FAST MODE)	0: 標準クロックモード 1: 高速クロックモード	0	○:○
6	アックビット (ACK BIT)	0: アック返す 1: アック返さない	0	○:○
7	アッククロックビット (ACK)	0: アッククロックなし 1: アッククロックあり	0	○:○

注1. $\phi = 4$ MHz以上では各々のSCL周波数の値が規定の範囲外になります。これらの設定値を使用する場合は ϕ をより低い周波数で使用してください。

2. SCL周波数の計算式は次のとおりです。

$\phi / (8 \times \text{CCR値})$ 標準クロックモード

$\phi / (4 \times \text{CCR値})$ 高速クロックモード(CCR値≠5)

$\phi / (2 \times \text{CCR値})$ 高速クロックモード(CCR値=5)

CCR値=0~2は ϕ の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、周波数制御ビットCCR4~CCR0を設定してください。

3. SCLクロック出力デューティは50%です。高速クロックモードCCR値=5のみ35~45%になります。(400kHz、 $\phi = 4$ MHz時)また、クロックの“H”の期間は標準クロックモードで+2~4マシサイクル、高速クロックモードで+2~2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナイズ機能によってSCLクロック同期が行われていない場合の値です。

CCR値はSCL周波数制御ビットCCR4~CCR0を10進数表記した値です。

図3.5.7 I²Cクロックコントロールレジスタの構成

I²Cスタート/ストップコンディション制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

I²Cスタート/ストップコンディション制御レジスタ(S2D) 【17₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	スタート/ストップコン ディション設定ビット (SSC0,SSC1,SSC2, SSC3,SSC4) (注)	SCL開放時間 = $\Phi(\mu s) \times (SSC+1)$ セットアップ時間 = $\Phi(\mu s) \times (SSC+1)/2$ ホールド時間 = $\Phi(\mu s) \times (SSC+1)/2$	不定	○	○
1					
2					
3					
4					
5	SCL/SDA割り込み端子 極性選択ビット(SIP)	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	○	○
6	SCL/SDA割り込み端子 選択ビット(SIS)	0: SDA有効 1: SCL有効	0	○	○
7	スタート/ストップコン ディション発生選択 ビット(STSPSEL)	0: セットアップ/ホールド 時間ショートモード 1: セットアップ/ホールド 時間ロングモード	0	○	○

注. スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び
“00000₂”は設定しないでください。

図3.5.8 I²Cスタート/ストップコンディション制御レジスタの構成

送信／受信バッファレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

送信／受信バッファレジスタ (TB/RB) 【18₁₆番地】

b	機 能	リセット時	R	W
0	送信データの書き込み及び受信データの読み出しを行うためのバッファレジスタです。	不定	○	○
1	●書き込み時：送信バッファレジスタへ書き込まれます。	不定	○	○
2	●読み出し時：受信バッファレジスタの内容が読み出されます。	不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

注．送信バッファレジスタの内容を読み出すことはできません。
受信バッファレジスタへ書き込むことはできません。

図3.5.9 送信/受信バッファレジスタの構成

シリアル/O1ステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアル/O1ステータスレジスタ(SIO1STS) 【19₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	送信バッファエンプティフラグ(TBE)	0:バッファフル状態 1:バッファエンプティ状態	0	○	×
1	受信バッファフルフラグ(RBF)	0:バッファエンプティ状態 1:バッファフル状態	0	○	×
2	送信シフトレジスタシフト終了フラグ(TSC)	0:送信シフト中 1:送信シフト終了	0	○	×
3	オーバランエラーフラグ(OE)	0:オーバランエラーなし 1:オーバランエラー発生	0	○	×
4	パリティエラーフラグ(PE)	0:パリティエラーなし 1:パリティエラー発生	0	○	×
5	フレーミングエラーフラグ(FE)	0:フレーミングエラーなし 1:フレーミングエラー発生	0	○	×
6	サミングエラーフラグ(SE)	0:(OE)U(PE)U(FE)=0 1:(OE)U(PE)U(FE)=1	0	○	×
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1	○	×

図3.5.10 シリアル/O1ステータスレジスタの構成

シリアル/O1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O1制御レジスタ(SIO1CON) 【1A16番地】

b	ビット名	機 能	リセット時	R	W
0	BRGカウントソース選択ビット(CSS)	0: f(XIN) 1: f(XIN)/4	0	○	○
1	シリアル/O1同期クロック選択ビット(SCS)	クロック同期形シリアル/O選択時 0: BRG出力の4分周 1: 外部クロック入力 UART選択時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	○	○
2	SRDY1出力許可ビット(SRDY)	0: 入出力ポート (P47) 1: SRDY1出力端子	0	○	○
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファエンプティ 1: 送信シフト動作終了	0	○	○
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	○	○
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	○	○
6	シリアル/O1モード選択ビット(SIOM)	0: UART 1: クロック同期形シリアル/O	0	○	○
7	シリアル/O1許可ビット(SIOE)	0: シリアル/O1禁止 (P44~P47: 入出力ポート) 1: シリアル/O1許可 (P44~P47: シリアル/O機能端子)	0	○	○

図3.5.11 シリアル/O1制御レジスタの構成

UART制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



UART制御レジスタ(UARTCON) 【1B16番地】

b	ビット名	機 能	リセット時	R	W
0	キャラクタ長選択ビット(CHAS)	0: 8ビット 1: 7ビット	0	○	○
1	パリティ許可ビット(PARE)	0: パリティ禁止 1: パリティ許可	0	○	○
2	パリティ選択ビット(PARS)	0: 偶数パリティ 1: 奇数パリティ	0	○	○
3	ストップビット長選択ビット(STPS)	0: 1ストップビット 1: 2ストップビット	0	○	○
4	P45/TxD Pチャネル出力禁止ビット(POFF)	出力モード時 0: CMOS出力 1: Nチャネルオープンドレイン出力	0	○	○
5	これらのビットには何も配置されていません。		1	○	×
6	書き込み不可で、読み出した場合、その内容は“1”です。		1	○	×
7			1	○	×

図3.5.12 UART制御レジスタの構成

ボーレートジェネレータ

b7 b6 b5 b4 b3 b2 b1 b0

ボーレートジェネレータ (BRG) 【1C16番地】

b	機 能	リセット時	R	W
0	ボーレートジェネレータのカウント値を設定します。	不定	○	○
1		不定	○	○
2		不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

図3.5.13 ボーレートジェネレータの構成

シリアルI/O2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアルI/O2制御レジスタ (SIO2CON) 【1D16番地】

b	ビット名	機 能	リセット時	R	W
0	内部同期クロック選択ビット	b2 b1 b0 0 0 0 : $f(X_{IN})/8$	0	○	○
1		0 0 1 : $f(X_{IN})/16$	0	○	○
		0 1 0 : $f(X_{IN})/32$			
2		0 1 1 : $f(X_{IN})/64$	0	○	○
		1 1 0 : $f(X_{IN})/128$			
		1 1 1 : $f(X_{IN})/256$			
3	シリアルI/O2ポート選択ビット	0 : 入出力ポート(P7 ₁ , P7 ₂) 1 : SOUT ₂ , SCLK ₂ 出力端子	0	○	○
4	SRDY ₂ 出力許可ビット	0 : 入出力ポート(P7 ₃) 1 : SRDY ₂ 出力端子	0	○	○
5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	0	○	○
6	シリアルI/O2同期クロック選択ビット	0 : 外部クロック 1 : 内部クロック	0	○	○
7	コンパレータ基準入力選択ビット	0 : P0 ₀ /P3 _{REF} 入力 1 : 基準入力固定	0	○	○

図3.5.14 シリアルI/O2制御レジスタの構成

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ウォッチドッグタイマ制御レジスタ(WDTCN)【1E16番地】

b	ビット名	機 能	リセット時	R	W
0	ウォッチドッグタイマH(読み出し専用)		1	○	×
1			1	○	×
2			1	○	×
3			1	○	×
4			1	○	×
5			1	○	×
6	STP命令禁止ビット	0：STP命令許可 1：STP命令禁止	0	○	○
7	ウォッチドッグタイマHカウンタソース選択ビット	0：ウォッチドッグタイマLアンダフロー 1：f(XIN)/16又はf(XCIN)/16	0	○	○

図3.5.15 ウォッチドッグタイマ制御レジスタの構成

シリアル/O2レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O2レジスタ (SIO2)【1F16番地】

b	機 能	リセット時	R	W
0	シリアル送受信を行うシフトレジスタです。 ●送信時：送信データを設定します。 ●受信時：受信データが格納されます。	不定	○	○
1		不定	○	○
2		不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

図3.5.16 シリアル/O2レジスタの構成

プリスケラ12、プリスケラX、プリスケラY

b7 b6 b5 b4 b3 b2 b1 b0	プリスケラ12(PRE12)、プリスケラX(PREX)、プリスケラY(PREY) 【2016,2416,2616番地】		
	b	機 能	リセット時 R:W
	0	●各プリスケラのカウンタ値を設定します。	1 ○:○
	1	●このレジスタに設定した値は、各プリスケラと	1 ○:○
	2	対応するプリスケララッチの両方へ同時に書き	1 ○:○
	3	込まれます。	1 ○:○
	4	●このレジスタを読み出した場合、対応するプリス	1 ○:○
	5	ケラのカウンタ値が読み出されます。	1 ○:○
	6		1 ○:○
	7		1 ○:○

図3.5.17 プリスケラ12、プリスケラX、プリスケラYの構成

タイマ1

b7 b6 b5 b4 b3 b2 b1 b0	タイマ1(T1) 【2116番地】		
	b	機 能	リセット時 R:W
	0	●タイマ1のカウンタ値を設定します。	1 ○:○
	1	●このレジスタに設定した値は、タイマ1とタイマ1	0 ○:○
	2	ラッチの両方へ同時に書き込まれます。	0 ○:○
	3	●このレジスタを読み出した場合、タイマ1の	0 ○:○
	4	カウンタ値が読み出されます。	0 ○:○
	5		0 ○:○
	6		0 ○:○
	7		0 ○:○

図3.5.18 タイマ1の構成

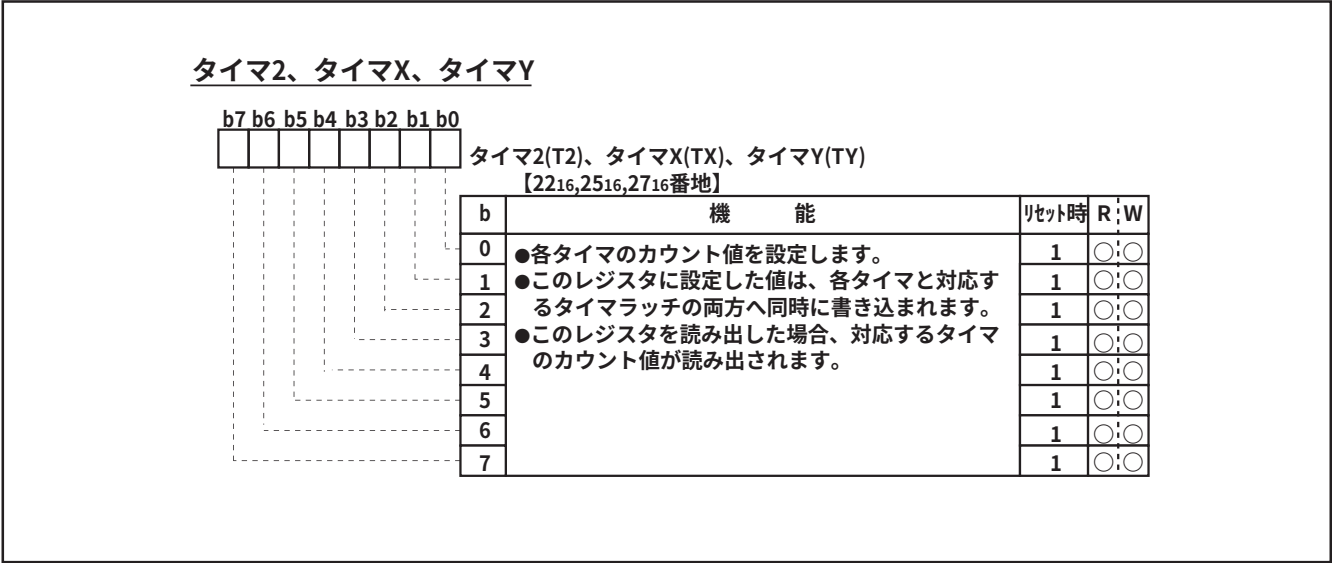


図3.5.19 タイマ2、タイマX、タイマYの構成

タイマXYモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

タイマXYモードレジスタ(TM)【23₁₆番地】

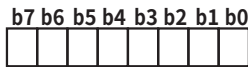
b	ビット名	機 能	リセット時	R	W
0	タイマX動作モード ビット	b1 b0 00: タイマモード 01: パルス出力モード 10: イベントカウンタモード 11: パルス幅測定モード	0	○	○
1			0	○	○
2	CNTR0極性切り替え ビット	タイマXの動作モードによって 異なります(表3.5.1を参照)。	0	○	○
3	タイマXカウント停止 ビット	0: カウント開始 1: カウント停止	0	○	○
4	タイマY動作モード ビット	b5 b4 00: タイマモード 01: パルス出力モード 10: イベントカウンタモード 11: パルス幅測定モード	0	○	○
5			0	○	○
6	CNTR1極性切り替え ビット	タイマYの動作モードによって 異なります(表3.5.1参照)。	0	○	○
7	タイマYカウント停止 ビット	0: カウント開始 1: カウント停止	0	○	○

図3.5.20 タイマXYモードレジスタの構成

表3.5.1 CNTR0/CNTR1極性切り替えビットの機能

タイマX/タイマY の動作モード	CNTR0/CNTR1極性切り替えビット (23 ₁₆ 番地のビット2、6)の内容	
	“0”	“1”
タイマモード	“0”	・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“0”	・ パルス出力開始: “H”レベルから ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ パルス出力開始: “L”レベルから ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ
イベントカウ ンタモード	“0”	・ タイマX/タイマY: 立ち上がりエッジをカウント ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: 立ち下がりエッジをカウント ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ
パルス幅測定 モード	“0”	・ タイマX/タイマY: “H”レベル幅を測定 ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: “L”レベル幅を測定 ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ

データバスバッファレジスタ*i*



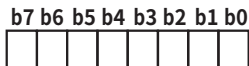
データバスバッファレジスタ*i* (DBBi) (*i*=0,1) 【2816/2B16番地】

b	機 能	リセット時	R:W
0	出力データの書き込み及び入力データの読み出しを行うためのバッファレジスタです。	不定	○:○
1	●書き込み時：出力データバッファレジスタへ書き込まれます。	不定	○:○
2	●読み出し時：入力データバッファレジスタの内容が読み出されます。	不定	○:○
3		不定	○:○
4		不定	○:○
5		不定	○:○
6		不定	○:○
7		不定	○:○

注．出力データバスバッファと入力データバスバッファは同一番地に設けられています。
出力データバッファレジスタの内容を読み出すことはできません。
入力データバッファレジスタへ書き込むことはできません。

図3.5.21 データバスバッファレジスタ*i*の構成

データバスバッファステータスレジスタ*i*



データバスバッファステータスレジスタ*i*(DBBSTSi) (*i*=0,1) 【2916/2C16番地】

b	ビット名	機 能	リセット時	R:W
0	アウトプットバッファフルフラグ <i>i</i>	0：バッファエンプティ 1：バッファフル	0	○:×
1	インプットバッファフルフラグ <i>i</i>	0：バッファエンプティ 1：バッファフル	0	○:×
2	ユーザデファイナブルフラグ (ユーザが自由定義できるフラグ)		0	○:○
3	Aoiフラグ	IBFiフラグがセットされた時の Aoiステータスの状態を示すフラグ	0	○:×
4	ユーザデファイナブルフラグ (ユーザが自由定義できるフラグ)		0	○:○
5			0	○:○
6			0	○:○
7			0	○:○

図3.5.22 データバスバッファステータスレジスタ*i*の構成

データバスバッファ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

データバスバッファ制御レジスタ(DBBCON) 【2A16番地】

b	ビット名	機 能	リセット時	R	W
0	データバスバッファ許可ビット	0:P50～P53,P8入出力ポート 1:データバスバッファ許可	0	○	○
1	データバスバッファ機能選択ビット	0:シングルデータバスバッファモード (P47は入出力ポート) 1:ダブルデータバスバッファモード (P47はSi入力)	0	○	○
2	OBF0出力選択ビット	0:OBF00が有効 1:OBF01が有効	0	○	○
3	OBF00出力許可ビット	0:P42はポート入出力端子 1:P42はOBF00出力端子	0	○	○
4	OBF01出力許可ビット	0:P43はポート入出力端子 1:P43はOBF01出力端子	0	○	○
5	OBF10出力許可ビット	0:P46はポート入出力端子 1:P46はOBF10出力端子	0	○	○
6	入力レベル選択ビット	0:CMOSレベル入力 1:TTLレベル入力	0	○	○
7	このビットは“0”に固定してください。		0	○	○

図3.5.23 データバスバッファ制御レジスタの構成

コンパレータデータレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

コンパレータデータレジスタ (CMPD) 【2D16番地】

b	機 能	リセット時	R	W
0	●書き込み時：書き込み動作により直ちに電圧比較が行われます。 ●読み出し時：コンパレータ比較結果が読み出されます。	不定	○	○
1		不定	○	○
2		不定	○	○
3		不定	○	○
4		不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

図3.5.24 コンパレータデータレジスタの構成

ポート制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



ポート制御レジスタ1(PCTL1) 【2E16番地】

b	ビット名	機 能	リセット時	R	W
0	P00~P03出力形式選択ビット	0: CMOS 1: Nチャネルオープンドレイン	0	○	○
1	P04~P07出力形式選択ビット	0: CMOS 1: Nチャネルオープンドレイン	0	○	○
2	P10~P13出力形式選択ビット	0: CMOS 1: Nチャネルオープンドレイン	0	○	○
3	P14~P17出力形式選択ビット	0: CMOS 1: Nチャネルオープンドレイン	0	○	○
4	P30~P33プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	○	○
5	P34~P37プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	○	○
6	PWM0許可ビット	0: PWM0出力禁止 1: PWM0出力許可	0	○	○
7	PWM1許可ビット	0: PWM1出力禁止 1: PWM1出力許可	0	○	○

図3.5.25 ポート制御レジスタ1の構成

ポート制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

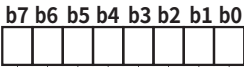
--	--	--	--	--	--	--	--

ポート制御レジスタ2(PCTL2) 【2F₁₆番地】

b	ビット名	機 能	リセット時	R:W
0	P4入力レベル選択ビット(P4 ₂ ~P4 ₆)	0: CMOSレベル入力 1: TTLレベル入力	0	○:○
1	P7入力レベル選択ビット(P7 ₀ ~P7 ₅)	0: CMOSレベル入力 1: TTLレベル入力	0	○:○
2	P4出力形式選択ビット(P4 ₂ ,P4 ₃ ,P4 ₄ ,P4 ₆)	0: CMOS 1: Nチャネルオープンドレイン	0	○:○
3	P8機能選択ビット	0: ポートP8/ポートP8方向レジスタ 1: ポートP4入力レジスタ/ポートP7入力レジスタ	0	○:○
4	INT ₂ ,INT ₃ ,INT ₄ 割り込み切り替えビット	0: INT ₂₀ ,INT ₃₀ ,INT ₄₀ 割り込み 1: INT ₂₁ ,INT ₃₁ ,INT ₄₁ 割り込み	0	○:○
5	タイマYカウントソース選択ビット	0: f(X _{IN})/16(低速モード時はf(X _{CIN})/16) 1: f(X _{CIN})	0	○:○
6	STP命令解除後発振安定時間設定ビット	0: タイマ1に01 ₁₆ 、フリスケーラ12にFF ₁₆ を自動設定 1: 自動設定しない	0	○:○
7	ポート出力P4 ₂ ,P4 ₃ クリア機能選択ビット	0: ソフトウェアクリアのみ 1: ソフトウェアクリア及び出力データレジスタ0読み出し(システムバス側)	0	○:○

図3.5.26 ポート制御レジスタ2の構成

PWM0Hレジスタ

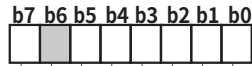


PWM0Hレジスタ (PWM0H) 【30₁₆番地】

b	機 能	リセット時	R	W
0	●PWM0H出力データの上位8ビットを設定します。	不定	○	○
1	●書き込まれたデータは、小区間周期(64 μs)ごとにPWM0ラッチに転送されます。	不定	○	○
2		不定	○	○
3	(f(XIN)=8MHzの場合)	不定	○	○
4	●読み出した場合、PWM0Hレジスタの値が読み出されます。	不定	○	○
5		不定	○	○
6		不定	○	○
7		不定	○	○

図3.5.27 PWM0Hレジスタの構成

PWM0Lレジスタ



PWM0Lレジスタ (PWM0L) 【31₁₆番地】

b	機 能	リセット時	R	W
0	●PWM0L出力データの低位6ビットを設定します。	不定	○	○
1	●書き込まれたデータは、繰り返し周期(4096 μs)ごとにPWM0ラッチに転送されます。	不定	○	○
2		不定	○	○
3	(f(XIN)=8MHzの場合)	不定	○	○
4	●読み出した場合、PWM0ラッチの低位6ビット値が読み出されます。	不定	○	○
5		不定	○	○
6	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です	不定	○	×
7	●PWM0ラッチへの転送完了を示します。 ●書き込み時、“1”にセットされます。	不定	○	×

図3.5.28 PWM0Lレジスタの構成

PWM1Hレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWM1Hレジスタ (PWM1H) 【32₁₆番地】

b	機 能	リセット時	R:W
0	●PWM1H出力データの上位8ビットを設定します。	不定	○:○
1	●書き込まれたデータは、小区間周期(64 μs)ごとに	不定	○:○
2	PWM1ラッチに転送されます。	不定	○:○
3	(f(XIN)=8MHzの場合)	不定	○:○
4	●読み出した場合、PWM1Hレジスタの値が読み出さ	不定	○:○
5	れます。	不定	○:○
6		不定	○:○
7		不定	○:○

図3.5.29 PWM1Hレジスタの構成

PWM1Lレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWM1Lレジスタ (PWM1L) 【33₁₆番地】

b	機 能	リセット時	R:W
0	●PWM1L出力データの低位6ビットを設定します。	不定	○:○
1	●書き込まれたデータは、繰り返し周期(4096 μs)	不定	○:○
2	ごとにPWM1ラッチに転送されます。	不定	○:○
3	(f(XIN)=8MHzの場合)	不定	○:○
4	●読み出した場合、PWM1ラッチの低位6ビット値が	不定	○:○
5	読み出されます。	不定	○:○
6	このビットには何も配置されていません。書き込み	不定	○:×
7	不可で、読み出した場合、その内容は“0”です		
	●PWM1ラッチへの転送完了を示します。{ 0: 転送済み	不定	○:×
	●書き込み時、“1”にセットされます。{ 1: 未転送		

図3.5.30 PWM1Lレジスタの構成

AD/DA制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

AD/DA制御レジスタ(ADCON) 【34₁₆番地】

b	ビット名	機 能	リセット時	R:W
0	アナログ入力端子選択ビット	b2 b1 b0	0	○ ○
		0 0 0: P60/AN0		
		0 0 1: P61/AN1		
		0 1 0: P62/AN2		
		0 1 1: P63/AN3		
		1 0 0: P64/AN4		
		1 0 1: P65/AN5		
		1 1 0: P66/AN6		
1		1 1 1: P67/AN7		
2				
3	AD変換終了ビット	0: 変換中 1: 変換終了	1	○ ○
4	PWM0出力端子選択ビット	0: P56/PWM01 1: P30/PWM00	0	○ ○
5	PWM1出力端子選択ビット	0: P57/PWM11 1: P31/PWM10	0	○ ○
6	DA1出力許可ビット	0: DA1出力禁止 1: DA1出力許可	0	○ ○
7	DA2出力許可ビット	0: DA2出力禁止 1: DA2出力許可	0	○ ○

図3.5.31 AD/DA制御レジスタの構成

A-D変換レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

A-D変換レジスタ1(AD1) 【35₁₆番地】

b	機 能	リセット時	R:W
0	A-D変換結果が格納される読み出し専用のレジスタ	不定	○ ×
1		不定	○ ×
2		不定	○ ×
3		不定	○ ×
4		不定	○ ×
5		不定	○ ×
6		不定	○ ×
7		不定	○ ×

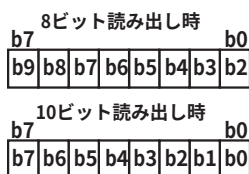
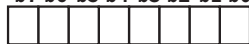


図3.5.32 A-D変換レジスタ1の構成

D-Ai変換レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



D-Ai変換レジスタ(DAi) (i=1,2) 【3616/3716番地】

b	機 能	リセット時	R	W
0	D-A出力値を書き込む専用のレジスタ	0	×	○
1		0	×	○
2		0	×	○
3		0	×	○
4		0	×	○
5		0	×	○
6		0	×	○
7		0	×	○

図3.5.33 D-Ai変換レジスタの構成

A-D変換レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



A-D変換レジスタ2(AD2) 【3816番地】

b	機 能	リセット時	R	W
0	A-D変換結果が格納される読み出し専用のレジスタ	不定	○	×
1	b7 10ビット読み出し時 b0 	不定	○	×
2	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。	0	○	×
3		0	○	×
4		0	○	×
5		0	○	×
6		0	○	×
7	変換モード選択ビット 0 : 10ビットA-Dモード 1 : 8ビットA-Dモード	0	○	○

図3.5.34 A-D変換レジスタ2の構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要因選択レジスタ(INTSEL) 【3916番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インプットバッファフル 割り込み要因選択ビット	0:INT0割り込み 1:インプットバッファフル割り込み	0	○	○
1	INT1/アウトプットバッファエン ティ割り込み要因選択ビット	0:INT1割り込み 1:アウトプットバッファエンティ	0	○	○
2	シリアル/O1送信/SCL,SDA 割り込み要因選択ビット	0:シリアル/O1送信割り込み *1 1:SCL,SDA割り込み	0	○	○
3	CNTR0/SCL,SDA割り込 み要因選択ビット	0:CNTR0割り込み *1 1:SCL,SDA割り込み	0	○	○
4	シリアル/O2/I ² C割り込み 要因選択ビット	0:シリアル/O2割り込み *2 1:I ² C割り込み	0	○	○
5	INT2/I ² C割り込み要因 選択ビット	0:INT2割り込み *2 1:I ² C割り込み	0	○	○
6	CNTR1/キーウォイクアップ 割り込み要因選択ビット	0:CNTR1割り込み *3 1:キーウォイクアップ割り込み	0	○	○
7	AD変換/キーウォイクアップ 割り込み要因選択ビット	0:AD変換割り込み *3 1:キーウォイクアップ割り込み	0	○	○

*1: 同時に“1”を書き込まないでください。

*2: 同時に“1”を書き込まないでください。

*3: 同時に“1”を書き込まないでください。

図3.5.35 割り込み要因選択レジスタの構成

割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込みエッジ選択レジスタ(INTEDGE) 【3A16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
1	INT1割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
2	このビットには何も配置されていません。書き込み不可 で、読み出した場合、その内容は“0”です。		0	○	×
3	INT2割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
4	INT3割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
5	INT4割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	○	○
6	これらのビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	○	×
7			0	○	×

図3.5.36 割り込みエッジ選択レジスタの構成

CPUモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
				1			

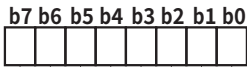
CPUモードレジスタ(CPUM) [3B16番地]

b	ビット名	機 能	リセット時	R	W
0	プロセッサモードビット	b1 b0 0 0:シングルチップモード 0 1:メモリ拡張モード(注) 1 0:マイクロプロセッサモード(注) 1 1:使用禁止	0	○	○
1			*	○	○
2	スタックページ選択ビット	0:0ページ 1:1ページ	0	○	○
3	このビットは“1”に固定してください		1	○	○
4	ポートXc切り替えビット	0:入出力ポート機能(発振停止) 1:X _{CIN} -X _{COU} T発信機能	0	○	○
5	メインクロック(X _{IN} -X _{OUT})停止ビット	0:発振 1:停止	0	○	○
6	メインクロック分周比選択ビット	b7 b6 0 0:φ = f(X _{IN})/2(高速モード) 0 1:φ = f(X _{IN})/8(中速モード) 1 0:φ = f(X _{CIN})/2(低速モード) 1 1:使用禁止	1	○	○
7			0	○	○

*ビット1の初期値はCNV_{SS}端子のレベルによって決まります。
(注)M38869M8A/MCA/MFAおよびフラッシュメモリ版は使用禁止

図3.5.37 CPUモードレジスタの構成

割り込み要求レジスタ1



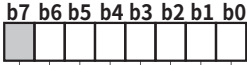
割り込み要求レジスタ1(IREQ1)【3C16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インพุットハフファブル 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	INT1/アウトพุットハフファインプ ティ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアル/O1受信割り込み 要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	シリアル/O1送信/SCLSDA 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	タイマX割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	タイマY割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	タイマ1割り込み要求ビ ット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	タイマ2割り込要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図3.5.38 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



割り込み要求レジスタ2(IREQ2)【3D16番地】

b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り 込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
1	CNTR1/キーボードイクアップ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
2	シリアル/I2C/I2C割り込 み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
3	INT2/I2C割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
4	INT3割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
5	INT4割り込み要求 ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
6	A-D変換/キーボードイクアップ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	○	*
7	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	○	×

*ソフトウェアによって“0”にできますが、“1”にはできません。

図3.5.39 割り込み要求レジスタ2の構成

割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



割り込み制御レジスタ1(ICON1)【3E16番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/インプットバッファフル 割り込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
1	INT1/アウトプットバッファインプ ティ割り込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
2	シリアル/O1受信 割り込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
3	シリアル/O1送信SCL、 SDA割り込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
4	タイマX割り込み許可 ビット	0：割り込み禁止 1：割り込み許可	0	○	○
5	タイマY割り込み許可 ビット	0：割り込み禁止 1：割り込み許可	0	○	○
6	タイマ1割り込み許可 ビット	0：割り込み禁止 1：割り込み許可	0	○	○
7	タイマ2割り込み許可 ビット	0：割り込み禁止 1：割り込み許可	0	○	○

図3.5.40 割り込み制御レジスタ1の構成

割り込み制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



割り込み制御レジスタ2(ICON2)【3F16番地】

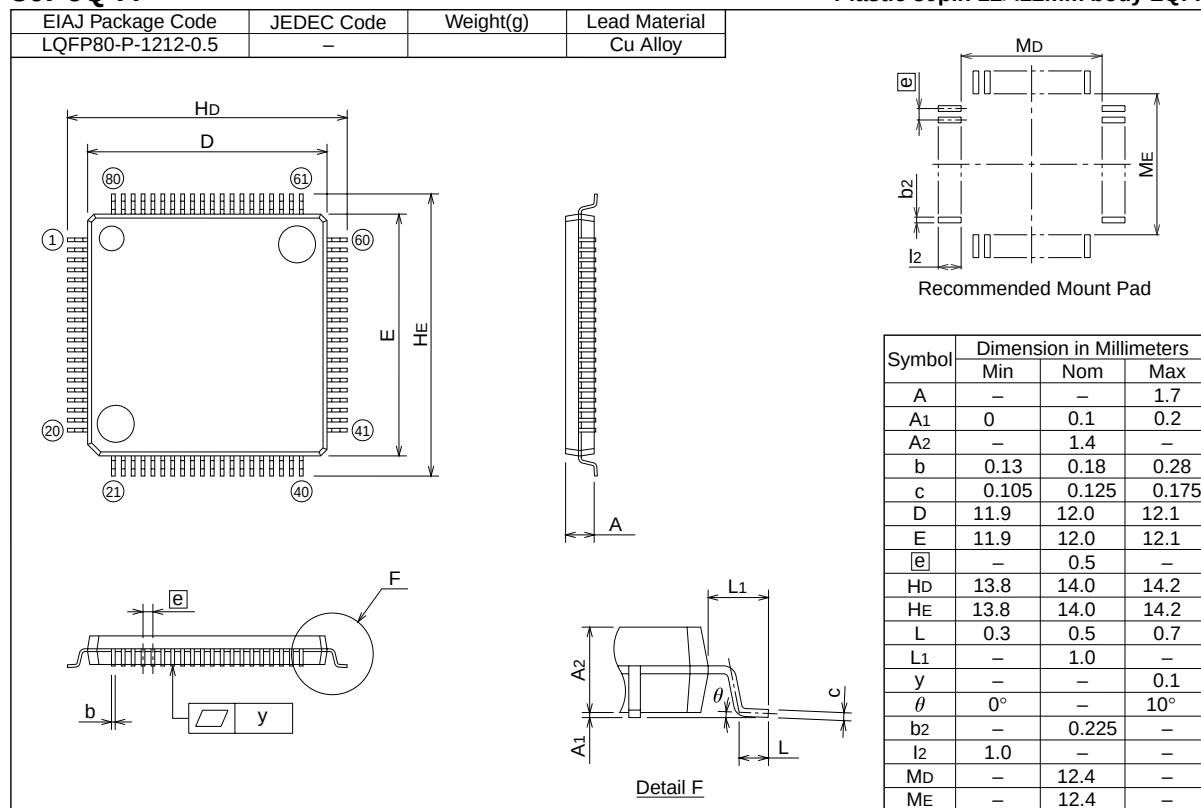
b	ビット名	機 能	リセット時	R	W
0	CNTR0/SCL、SDA割り 込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
1	CNTR1/キーオンエイクアッ 割り込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
2	シリアル/O2/I ² C割り 込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
3	INT2/I ² C割り込み 許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
4	INT3割り込み許可 ビット	0：割り込み禁止 1：割り込み許可	0	○	○
5	INT4割り込み許可 ビット	0：割り込み禁止 1：割り込み許可	0	○	○
6	A-D変換/キーオンエイクアッ 割り込み許可ビット	0：割り込み禁止 1：割り込み許可	0	○	○
7	このビットは“0”に固定してください。		0	○	○

図3.5.41 割り込み制御レジスタ2の構成

3.6 パッケージ寸法図

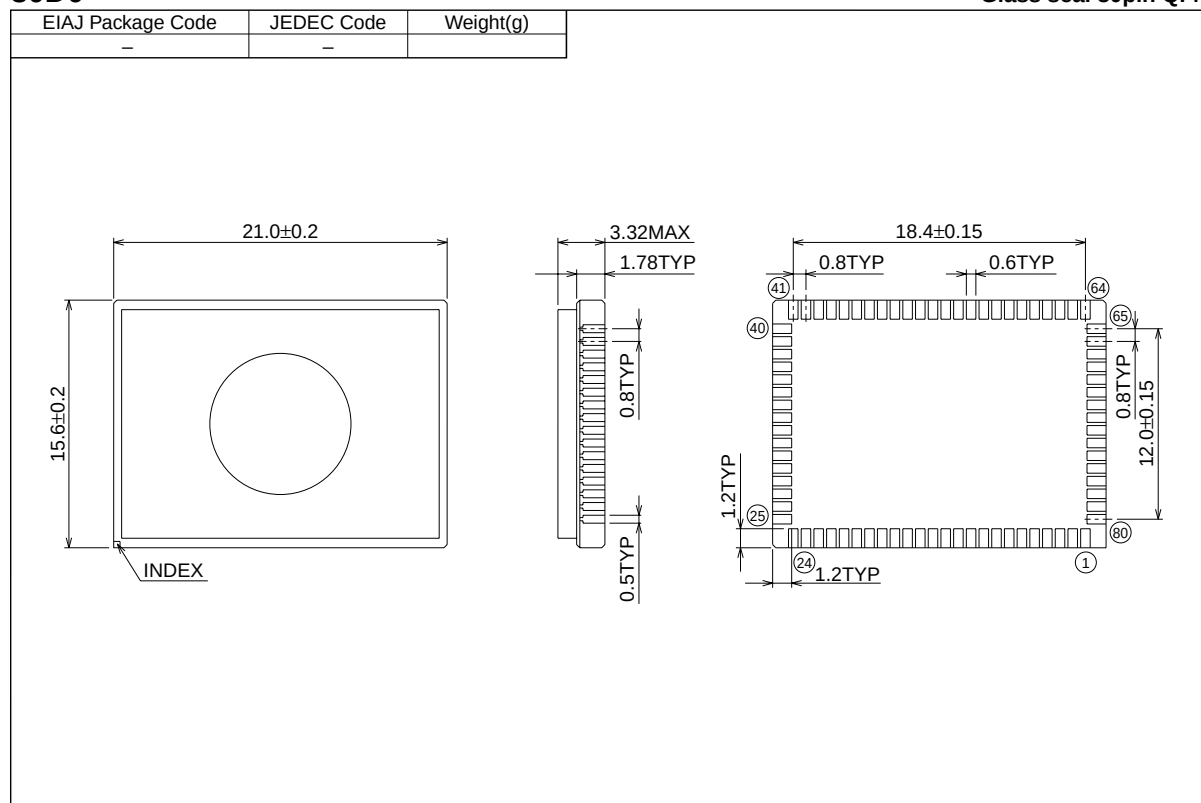
80P6Q-A

Plastic 80pin 12X12mm body LQFP



80D0

Glass seal 80pin QFN



3.7 命令コード一覧表

D7~D4 \ D3~D0	16進表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	—	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	—	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	—	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	—	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	—	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	—	BBC 2, A	—	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	—	CLB 2, A	—	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	MUL ZP, X	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	—	BBC 3, A	—	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	—	CLB 3, A	—	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	—	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	—	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	—	STA ABS, X	—	CLB 4, ZP
1010	A	LDY IMM	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY IMM	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	—	BBC 6, A	—	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	—	CLB 6, A	—	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX IMM	SBC IND, X	DIV ZP, X	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	—	BBC 7, A	—	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	—	CLB 7, A	—	SBC ABS, X	INC ABS, X	CLB 7, ZP

■ 3バイト命令

■ 2バイト命令

□ 1バイト命令

3.8 機械語命令一覧表

命令記号	機 能	詳 細 説 明	アドレッシングモード																	
			IMP			IMM			A			BIT, A, R			ZP			BIT, ZP, R		
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#
ADC (注1) (注5)	T = 0のとき A ← A + M + C T = 1のとき M(X) ← M(X) + M + C	Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				69	2	2							65	3	2			
AND (注1)	T = 0のとき A ← A ∧ M T = 1のとき M(X) ← M(X) ∧ M	Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。 Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				29	2	2							25	3	2			
ASL		A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。							0A	2	1				06	5	2			
BBC (注4)	Ai又はMi = 0?	M又はAの指定されたビットをテストします。そのビットが0であれば、指定されたアドレスに分岐します。 分岐先のアドレスは、相対で示します。 そのビットが1であれば、そのまま、次へ進みます。										13 20i	4	2				17 20i	5	3
BBS (注4)	Ai又はMi = 1?	M又はAの指定されたビットをテストします。そのビットが1であれば、指定されたアドレスに分岐します。 分岐先のアドレスは、相対で示します。 そのビットが0であれば、そのまま、次へ進みます。										03 20i	4	2				07 20i	5	3
BCC (注4)	C = 0?	Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Cフラグが1のとき、そのまま、次へ進みます。																		
BCS (注4)	C = 1?	Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Cフラグが0のとき、そのまま、次へ進みます。																		
BEQ (注4)	Z = 1?	Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Zフラグが0のとき、そのまま、次へ進みます。																		
BIT	A ∧ M	AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。													24	3	2			
BMI (注4)	N = 1?	Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Nフラグが0のとき、そのまま、次へ進みます。																		
BNE (注4)	Z = 0?	Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Zフラグが1のとき、そのまま、次へ進みます。																		
BPL (注4)	N = 0?	Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Nフラグが1のとき、そのまま、次へ進みます。																		
BRA	PC ← PC ± オフセット	指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。																		
BRK	B ← 1 (PC) ← (PC) + 2 M(S) ← PCH S ← S - 1 M(S) ← PCL S ← S - 1 M(S) ← PS S ← S - 1 I ← 1 PCL ← ADL PCH ← ADH	BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス (BADRS) をPCに格納します。	00	7	1															

アドレッシングモード														プロセッサステータスレジスタ																							
ZP, X		ZP, Y		ABS		ABS, X		ABS, Y		IND		ZP, IND		IND, X		IND, Y		REL		SP		7	6	5	4	3	2	1	0								
OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	N	V	T	B	D	I	Z	C								
75	4	2				6D	4	3	7D	5	3	79	5	3				61	6	2	71	6	2							N	V	·	·	·	·	Z	C
35	4	2				2D	4	3	3D	5	3	39	5	3				21	6	2	31	6	2							N	·	·	·	·	·	Z	·
16	6	2				0E	6	3	1E	7	3																			N	·	·	·	·	·	Z	C

命令記号	機 能	詳 細 説 明	アドレッシングモード												
			IMP		IMM		A		BIT, A		ZP		BIT, ZP		
			OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	
BVC (注4)	V = 0?	Vフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Vフラグが1のとき、そのまま次へ進みます。													
BVS (注4)	V = 1?	Vフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Vフラグが0のとき、そのまま次へ進みます。													
CLB	Ai又はMi←0	A又はMの、指定されたビットの内容を0にします。							1 <i>B</i> 20i	2 1			1 <i>F</i> 20i	5 2	
CLC	C←0	Cフラグの内容を0にします。	18	2 1											
CLD	D←0	Dフラグの内容を0にします。	D8	2 1											
CLI	I←0	Iフラグの内容を0にします。	58	2 1											
CLT	T←0	Tフラグの内容を0にします。	12	2 1											
CLV	V←0	Vフラグの内容を0にします。	B8	2 1											
CMP (注3)	T = 0のとき A←M T = 1のとき M(X)←M	Tフラグが0のとき、Aの内容からMの内容を減算しますが、結果はどこにもストアされません。このとき、AとMの内容は変化しません。Tフラグが1のとき、M(X)の内容からMの内容を減算しますが、結果はどこにもストアされません。このとき、M(X)とM及びAの内容は変化しません。ただし、M(X)はXが示す番地のメモリの内容です。			C9	2 2					C5	3 2			
COM	M← $\bar{M}$	Mの内容の、1の補数をMに入れます。									44	5 2			
CPX	X←M	Xの内容からMの内容を減算しますが、結果はどこにもストアされません。このとき、XとMの内容は変化しません。			E0	2 2					E4	3 2			
CPY	Y←M	Yの内容からMの内容を減算しますが、結果はどこにもストアされません。このとき、YとMの内容は変化しません。			C0	2 2					C4	3 2			
DEC	A←A−1又は M←M−1	A又はMの内容を1減少させます。					1A	2 1			C6	5 2			
DEX	X←X−1	Xの内容を1減少させます。	CA	2 1											
DEY	Y←Y−1	Yの内容を1減少させます。	88	2 1											
DIV	A←(M(zz + X + 1), M(zz + X))/A M(S)←剰余の1の補数 S←S−1	上位8ビットをM(zz + X + 1)、下位8ビットをM(zz + X)の内容とする16ビットのデータのアーキテクチャの内容で除算します。除算の結果、商はアキュムレータに、剰余の1の補数はスタックに入ります。													
EOR (注1)	T = 0のとき A←A∨M T = 1のとき M(X)←M(X)∨M	Tフラグが0のとき、AとMの内容のビットごとの排他的論理和をとり、結果をAに入れます。Tフラグが1のとき、M(X)とMの内容のビットごとの排他的論理和をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグの内容は変化します。ただし、M(X)はXが示す番地のメモリの内容です。			49	2 2					45	3 2			
INC	A←A + 1又は M←M + 1	A又はMの内容を、1増加させます。					3A	2 1			E6	5 2			
INX	X←X + 1	Xの内容を、1増加させます。	E8	2 1											
INY	Y←Y + 1	Yの内容を、1増加させます。	C8	2 1											

アドレッシングモード																					プロセッサステータスレジスタ								
ZP, X		ZP, Y		ABS		ABS, X		ABS, Y		IND		ZP, IND		IND, X		IND, Y		REL		SP		7	6	5	4	3	2	1	0
OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	N	V	T	B	D	I	Z	C
																		50	2	2			・	・	・	・	・	・	・
																		70	2	2			・	・	・	・	・	・	・
																						・	・	・	・	・	・	・	・
																						・	・	・	・	・	・	・	・
																						・	・	・	・	・	・	・	0
																						・	・	・	・	0	・	・	・
																						・	・	0	・	・	・	・	・
																						・	0	・	・	・	・	・	・
D5	4	2				CD	4	3		DD	5	3										N	・	・	・	・	・	Z	C
																						N	・	・	・	・	・	Z	・
						EC	4	3														N	・	・	・	・	・	Z	C
						CC	4	3														N	・	・	・	・	・	Z	C
D6	6	2				CE	6	3		DE	7	3										N	・	・	・	・	・	Z	・
																						N	・	・	・	・	・	Z	・
																						N	・	・	・	・	・	Z	・
E2	16	2																				・	・	・	・	・	・	・	・
55	4	2				4D	4	3		5D	5	3										N	・	・	・	・	・	Z	・
F6	6	2				EE	6	3		FE	7	3										N	・	・	・	・	・	Z	・
																						N	・	・	・	・	・	Z	・
																						N	・	・	・	・	・	Z	・

命令記号	機 能	詳 細 説 明	アドレッシングモード											
			IMP		IMM		A		BIT, A		ZP		BIT, ZP	
			OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #
JMP	ABSのとき PCL←ADL PCH←ADH INDのとき PCL←M (ADH, ADL) PCH←M (ADH, ADL + 1) ZP, INDのとき PCL←M(00, ADL) PCH←M(00, ADL + 1)	絶対、間接、及び、ゼロページ間接の各アドレッシングモードで示されるアドレスにジャンプします。												
JSR	M(S)←PCH S←S-1 M(S)←PCL S←S-1 上記を行い次にABSのときは PCL←ADL PCH←ADH SPのときは PCL←ADL PCH←FF ZP, INDのときは PCL←M(00, ADL) PCH←M(00, ADL + 1)	PCの内容をスタックに退避した後、絶対、スペシャルページ、及びゼロページ間接の各アドレッシングモードで示されるアドレスにジャンプします。												
LDA (注 2)	T = 0のとき A←M T = 1のとき M(X)←M	Tフラグが0のとき、Mの内容をAに入れます。 Tフラグが1のとき、Mの内容をM(X)に入れます。 このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。			A9	2	2					A5	3	2
LDM	M←nn	イミディエイト値をMにロードします。										3C	4	3
LDX	X←M	Mの内容を、Xにロードします。			A2	2	2					A6	3	2
LDY	Y←M	Mの内容を、Yにロードします。			A0	2	2					A4	3	2
LSR	$\begin{matrix} 7 & 0 \\ 0 \rightarrow \square \rightarrow \square \end{matrix}$	A又はMのすべてのビットを、1ビット右へシフトします。このとき、A又はMのビット7は0になります。また、Cフラグには、A又はMのビット0の内容が入ります。					4A	2	1			46	5	2
MUL	M(S)・A←A×M(zz+X) S←S-1	アキュムレータとゼロページXアドレッシングモードによって指定されたメモリの内容を乗算します。乗算の結果、積の上位8ビットはスタックに、下位8ビットはアキュムレータに入ります。												
NOP	PC←PC + 1	PCを、1増加させるだけで、その他は、何もしません。	EA	2	1									
ORA (注 1)	T = 0のとき A←A V M T = 1のとき M(X)←M(X) V M	Tフラグが0のとき、AとMの内容のビットごとの論理和をとり、結果をAに入れます。 Tフラグが1のとき、M(X)とMの内容のビットごとの論理和をとり、結果をM(X)に入れます。 このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。			09	2	2					05	3	2

アドレッシングモード																					プロセッサステータスレジスタ								
ZP, X		ZP, Y		ABS		ABS, X		ABS, Y		IND		ZP, IND		IND, X		IND, Y		REL		SP		7	6	5	4	3	2	1	0
OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	N	V	T	B	D	I	Z	C
				4C	3 3					6C	5 3	B2	4 2																
				20	6 3							02	7 2							22	5 2								
B5	4 2			AD	4 3	BD	5 3	B9	5 3					A1	6 2	B1	6 2					N						Z	
		B6	4 2	AE	4 3			BE	5 3																				
B4	4 2			AC	4 3	BC	5 3															N						Z	
56	6 2			4E	6 3	5E	7 3															0						Z	C
62	15 2																												
15	4 2			0D	4 3	1D	5 3	19	5 3					01	6 2	11	6 2					N						Z	

[illegible]

アドレッシングモード																				プロセッサステータスレジスタ										
ZP, X		ZP, Y		ABS		ABS, X		ABS, Y		IND		ZP, IND		IND, X		IND, Y		REL		SP		N	6	5	4	3	2	1	0	
OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	N	V	T	B	D	I	Z	C	
																						.	.	.	.	.	.	.	.	
																						.	.	.	.	.	.	.	.	
																						N	.	.	.	.	.	.	Z	.
																						(スタックに退避していた値)								
36	6 2				2E 6 3		3E 7 3															N	.	.	.	.	.	.	Z	C
76	6 2				6E 6 3		7E 7 3															N	.	.	.	.	.	.	Z	C
																						.	.	.	.	.	.	.	.	
																						(スタックに退避していた値)								
																						.	.	.	.	.	.	.	.	
F5	4 2				ED 4 3		FD 5 3		F9 5 3					E1 6 2	F1 6 2							N	V	.	.	.	.	.	Z	C
																						.	.	.	.	.	.	.	.	
																						.	.	.	.	.	.	.	.	
																						.	.	.	.	.	.	.	1	
																						.	.	.	.	1	.	.	.	
																						.	.	.	.	.	1	.	.	
																						.	.	1	.	.	.	.	.	

命令記号	機 能	詳 細 説 明	アドレッシングモード							
			IMP	IMM	A	BIT, A	ZP	BIT, ZP		
			OP n #	OP n #	OP n #	OP n #	OP n #	OP n #		
STA	M←A	Aの内容をMに格納します。このとき、Aは変化しません。					85 4 2			
STP		STP命令を実行することにより発振制御フリップフロップがリセットされるため、発振が停止します。再起動するためには、割り込みをかけるかリセットする必要があります。	42 2 1							
STX	M←X	Xの内容をMに格納します。このとき、Xは変化しません。					86 4 2			
STY	M←Y	Yの内容をMに格納します。このとき、Yは変化しません。					84 4 2			
TAX	X←A	Aの内容をXへ転送します。このとき、Aは変化しません。	AA 2 1							
TAY	Y←A	Aの内容をYへ転送します。このとき、Aは変化しません。	A8 2 1							
TST	M = 0?	Mの内容が0かどうかテストして、NフラグとZフラグを変化させます。					64 3 2			
TSX	X←S	Sの内容をXへ転送します。	BA 2 1							
TXA	A←X	Xの内容をAへ転送します。	8A 2 1							
TXS	S←X	Xの内容をSへ転送します。	9A 2 1							
TYA	A←Y	Yの内容をAへ転送します。	98 2 1							
WIT		内部クロックを停止しますが、発振回路の発振は停止しません。再起動するためには、割り込みをかけるかリセットする必要があります。	C2 2 1							

注1. T=1のときにはサイクル数nは+3します。
2. T=1のときにはサイクル数nは+2します。
3. T=1のときにはサイクル数nは+1します。
4. 分岐が生じた場合サイクル数nは+2します。
5. 10進演算モード時、N、V、Zフラグは無効です。

アドレッシングモード														プロセッサステータスレジスタ															
ZP, X		ZP, Y		ABS		ABS, X		ABS, Y		IND		ZP, IND		IND, X		IND, Y		REL		SP		7	6	5	4	3	2	1	0
OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	OP	n #	N	V	T	B	D	I	Z	C
95	5 2			8D	5 3	9D	6 3	99	6 3						81	7 2	91	7 2					・	・	・	・	・	・	・
																							・	・	・	・	・	・	・
																							・	・	・	・	・	・	・
		96	5 2	8E	5 3																		・	・	・	・	・	・	・
94	5 2			8C	5 3																		・	・	・	・	・	・	・
																						N	・	・	・	・	・	Z	・
																							N	・	・	・	・	Z	・
																							N	・	・	・	・	Z	・
																							N	・	・	・	・	Z	・
																							N	・	・	・	・	Z	・
																							・	・	・	・	・	・	・
																							N	・	・	・	・	Z	・
																							・	・	・	・	・	・	・

記号	内容	記号	内容
IMP	インプライドアドレッシングモード	+	加算
IMM	イミディエイトアドレッシングモード	-	減算
A	アキュムレータ又はアキュムレータアドレッシングモード	Λ	論理積
		∨	論理和
BIT, A, R	アキュムレータビットリラティブアドレッシングモード	⊃	排他的論理和
		—	否定
BIT, A	アキュムレータビットアドレッシング	←	矢印の方向に移動を示します。
ZP	ゼロページアドレッシングモード	X	インデックスレジスタX
BIT, ZP, R	ゼロページビットリラティブアドレッシングモード	Y	インデックスレジスタY
BIT, ZP	ゼロページビットアドレッシング	S	スタックポインタ
ZP, X	ゼロページXアドレッシングモード	PC	プログラムカウンタ
ZP, Y	ゼロページYアドレッシングモード	PS	プロセッサステータスレジスタ
ABS	アブソリュートアドレッシングモード	PC _H	プログラムカウンタの上位8ビット
ABS, X	アブソリュートXアドレッシングモード	PC _L	プログラムカウンタの下部8ビット
ABS, Y	アブソリュートYアドレッシングモード	AD _H	アドレスの上位8ビット
IND	インダイレクトアブソリュートアドレッシングモード	AD _L	アドレスの下部8ビット
ZP, IND	ゼロページインダイレクトアブソリュートアドレッシングモード	FF	16進数のFF
		nn	イミディエイト値
IND, X	インダイレクトXアドレッシングモード	zz	ゼロページアドレス
IND, Y	インダイレクトYアドレッシングモード	M	アドレッシングモードの中のいずれか1つの番地指定
REL	リラティブアドレッシングモード		で指定されたメモリ
SP	スペシャルページアドレッシングモード	M(X)	インデックスレジスタXの内容の示す番地のメモリ
C	キャリーフラグ	M(S)	スタックポインタの内容の示す番地のメモリ
Z	ゼロフラグ	M(AD _H , AD _L)	上位8ビットがAD _H 、下部8ビットがAD _L で示される番地の内容
I	割り込み禁止フラグ		
D	10進モードフラグ	M(00, AD _L)	ゼロページのAD _L で示される番地の内容
B	ブレークフラグ	Ai	アキュムレータのビットi (i=0~7)
T	X修飾演算モードフラグ	Mi	メモリのビットi (i=0~7)
V	オーバーフローフラグ	OP	命令コード
N	ネガティブフラグ	n	サイクル数
		#	バイト数

3.9 SFRメモリマップ

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケアラ12(PRE12)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケアラX(PREX)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケアラY(PREY)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	データバスバッファレジスタ0(DBB0)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	データバスバッファステータスレジスタ0(DBBSTS0)
000A ₁₆	ポートP5(P5)	002A ₁₆	データバスバッファ制御レジスタ(DBBCON)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	データバスバッファレジスタ1(DBB1)
000C ₁₆	ポートP6(P6)	002C ₁₆	データバスバッファステータスレジスタ1(DBBSTS1)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	コンパレータデータレジスタ(CMPD)
000E ₁₆	ポートP7(P7)	002E ₁₆	ポート制御レジスタ1(PCTL1)
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	ポート制御レジスタ2(PCTL2)
0010 ₁₆	ポートP8(P8)/ポートP4入力レジスタ(P4I)	0030 ₁₆	PWM0Hレジスタ(PWM0H)
0011 ₁₆	ポートP8方向レジスタ(P8D)/ポートP7入力レジスタ(P7I)	0031 ₁₆	PWM0Lレジスタ(PWM0L)
0012 ₁₆	I ² Cデータシフトレジスタ(S0)	0032 ₁₆	PWM1Hレジスタ(PWM1H)
0013 ₁₆	I ² Cアドレスレジスタ(S0D)	0033 ₁₆	PWM1Lレジスタ(PWM1L)
0014 ₁₆	I ² Cステータスレジスタ(S1)	0034 ₁₆	AD/DA制御レジスタ(ADCON)
0015 ₁₆	I ² Cコントロールレジスタ(S1D)	0035 ₁₆	A-D変換レジスタ1(AD1)
0016 ₁₆	I ² Cクロックコントロールレジスタ(S2)	0036 ₁₆	D-A1変換レジスタ(DA1)
0017 ₁₆	I ² Cスタート/ストップコンディション制御レジスタ(S2D)	0037 ₁₆	D-A2変換レジスタ(DA2)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	A-D変換レジスタ2(AD2)
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	割り込み要因選択レジスタ(INTSEL)
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアルI/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアルI/O2レジスタ(SIO2)	003F ₁₆	割り込み制御レジスタ2(ICON2)
		0FFE ₁₆	フラッシュメモリ制御レジスタ(FCON)
		0FFF ₁₆	フラッシュコマンドレジスタ(FCMD)

図3.9.1 SFR(スペシャルファンクションレジスタ)メモリマップ

3.10 ピン接続図

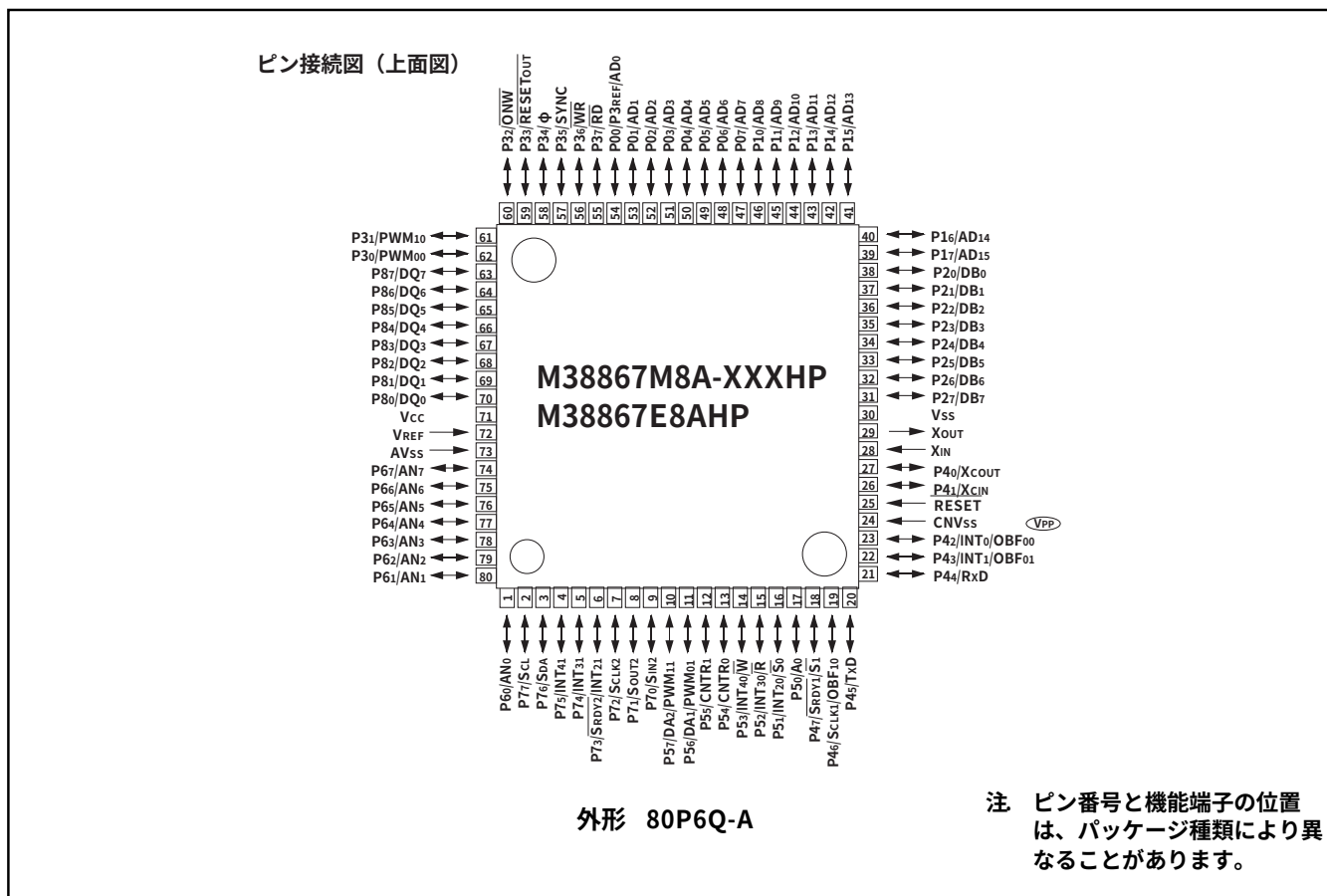


図3.10.1 M38867M8A-XXXHP, M38867E8AHPのピン接続図

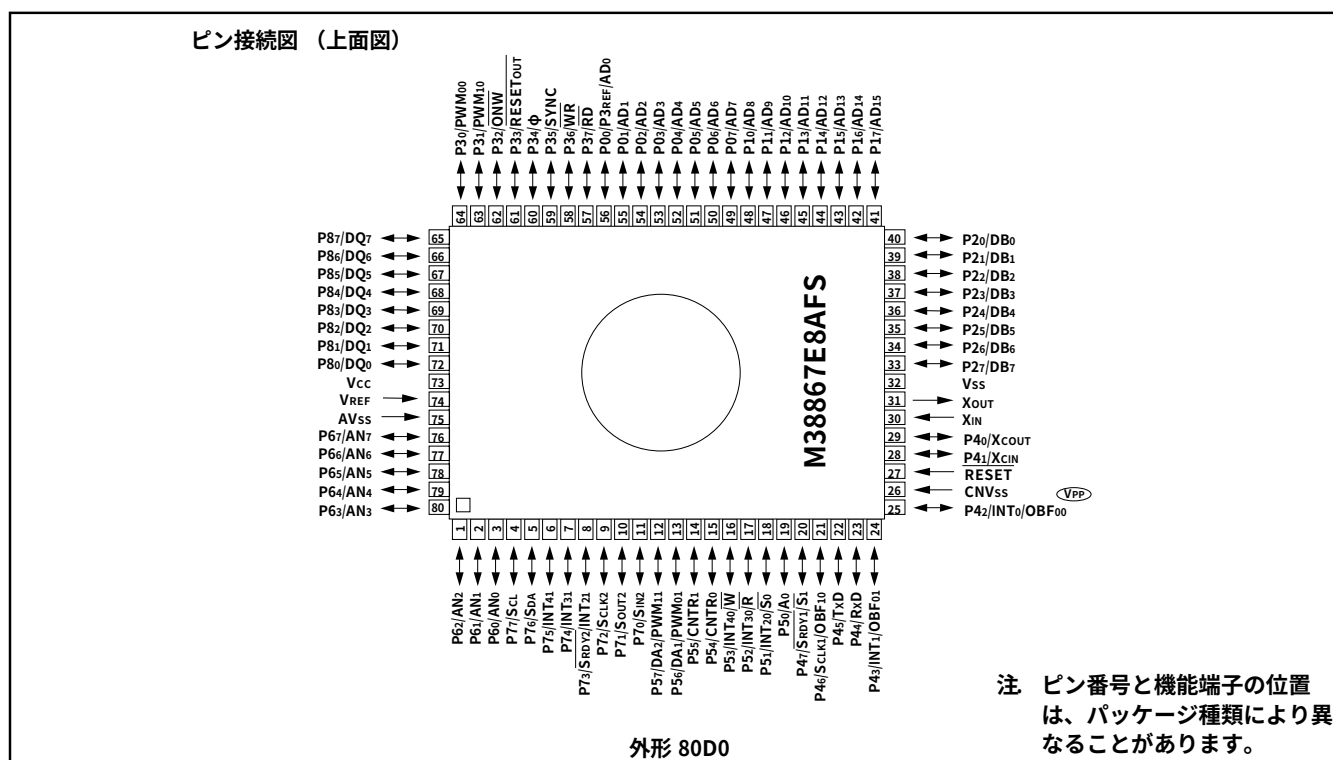


図3.10.2 M38867E8AFSのピン接続図

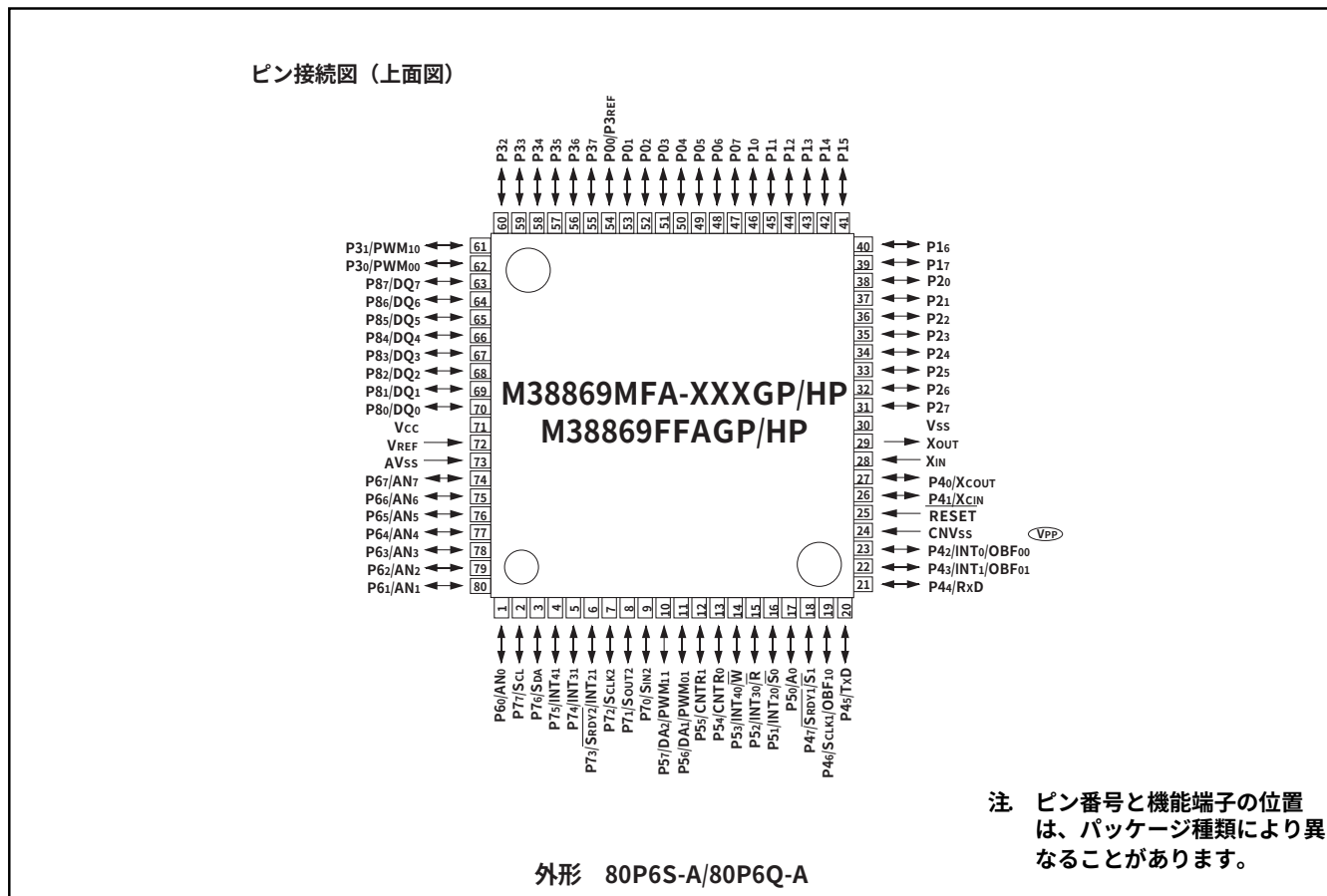


図3.10.3 M38867MFA-XXXGP/HP, M38869FFAGP/HPのピン接続図

**三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
3886グループ**

2000年6月 Rev. 2.0発行

発行所 三菱電機株式会社半導体営業統括部

107-6150 東京都港区赤坂5-2-20号赤坂パークビル

TEL 03-5573-3385

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 2000 MITSUBISHI ELECTRIC CORPORATION

3886 グループ ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668