

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

32172、32173 グループ

ユーザーズマニュアル

ルネサス32ビットシングルチップマイクロコンピュータ
M32Rファミリ / M32R/ECUシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

Rev. No.	改訂内容		Rev. date
0.1	初版発行		001115
1.0	P1-6	1.1.7 2系統のD-A変換器内蔵の最終行の記述を修正 誤) D-A変換器0のみ 正) D-A0変換器のみ	010425
	P1-7	図 1.2.1 中の入出力タイマの記述を修正 誤) MJT : 26チャンネル 正) 26チャンネル	
	P1-10	図 1.3.1 を修正 誤) M32172FxVFP 正) M32172F2VFP 誤) M32173F2xVFP 正) M32173F2VFP	
		誤) 5V系電源により動作します。 正) 5V系電源により動作します(3.3V系電源でも使用可能)。	
	P1-11	図 1.3.2 を修正 誤) M32172FxVWG 正) M32172F2VWG 誤) M32173FxVWG 正) M32173F2VWG	
	P1-14	表 1.3.1 中の A-D 変換器 AVSS0 の記述を修正 誤) アナログ 正) アナロググランド	
	P1-18	図 1.4.1 を修正 誤) P95/RXD6 正) P95/RXD6(/AD1IN8) 誤) (M32173F3VFP) 正) M32173F2VFP	
	P3-8	表 3.3.2 プロセッサモード時の CS2 領域および CS3 領域の記述削除	
	P3-12	図 3.4.4 のレジスタ名の修正 ・アドレス H'0080 0060 誤) ICAN0CR 正) ICAN1CR ・アドレス H'0080 0062 誤) ICAN0CR 正) IPDCOPCR ・アドレス H'0080 0068 誤) ISIO23CR 正) ISIO4RXCR ・アドレス H'0080 0087 誤) AD0CVSDR 正) AD0CVSCR	
	P3-17	図 3.4.9 のアドレスを修正 誤) H'0080 098E 正) H'0080 089E	

Rev. No.	改訂内容		Rev. date
1.0	P3-18	図 3.4.10 のレジスタ名の修正 ・アドレス H'0080 0A00 誤) S67STAT 正) SI67STAT	010425
	P3-21	図 3.4.13 のレジスタ名の修正 ・アドレス H'0080 0DD1 誤) TDI1PRS3EN 正) TID1PRS3EN ・アドレス H'0080 0DD2 誤) TOM1MA 正) TOM1IMA	
	P3-26	図 3.4.18 のレジスタ名を修正 ・アドレス H'0080 1400 ~ H'0080 1408 誤) CAN0 ~ 正) CAN1 ~ ・アドレス H'0080 1416 誤) CAN0BRP 正) CAN1BRP ・アドレス H'0080 1428 ~ H'0080 145F のレジスタ名 誤) C0 ~ 正) C1 ~	
	P3-30	図 3.4.22 のレジスタ名を修正 ・アドレス H'0080 1808 誤) DACNTレジスタ 正) DACNTカウンタ ・アドレス H'0080 180E 誤) TPDカウンタレジスタ(TPDCNT) 正) TPDカウンタ(TPDCT) ・アドレス H'0080 1830 誤) PD割り込み制御レジスタ 正) PD演算割り込み制御レジスタ ・アドレス H'0080 1831 誤) PD割り込みステータスレジスタ 正) PD演算割り込みステータスレジスタ ・アドレス H'0080 1841 誤) PRS1C 正) SMSBCR0 ・アドレス H'0080 1842 誤) SMSBCR0 正) TEP0PCR	

Rev. No.	改訂内容		Rev. date
1.0	P3-30	<ul style="list-style-type: none"> ・アドレス H'0080 1843 誤) SMSBCR1 正) TEP0MCR ・アドレス H'0080 1844 誤) TEP0Pカウンタレジスタ 正) TEP0Pカウンタ ・アドレス H'0080 1846 誤) TEP0Mカウンタレジスタ 正) TEP0Mカウンタ 	010425
	P3-31	図 3.4.23 のレジスタ名を修正 <ul style="list-style-type: none"> ・アドレス H'0080 1880 誤) プリスケーラ1C 正) プリスケーラレジスタ1C ・アドレス H'0080 1884 誤) TEP1Pカウンタレジスタ 正) TEP1Pカウンタ ・アドレス H'0080 1886 誤) TEP1Mカウンタレジスタ 正) TEP1Mカウンタ 	
	P5-6	図 5.3.1 のレジスタ名を修正 アドレス H'0080 0060 誤) ICAN0CR 正) ICAN1CR	
	P6-40	注 2、注 3、注 4 の注意事項を追加	
	P7-4	表 7.3.2 に注意事項を追加	
	P8-7	図 8.3.2 のレジスタ名を修正 アドレス H'0080 076F 誤) P11SMOD 正) P15SMOD	
	P8-26	P7 周辺出力選択レジスタ(P7SMOD)のアドレス 誤) H'0080 0766 正) H'0080 0767	
	P8-32	図 8.4.1 中の下記端子を削除 P73(HACK/TXD3) , P106(TO14/TXD4) , P116(TO6/TXD5)	

Rev. No.	改訂内容		Rev. date
1.0	P8-32 ~ P8-39	図 8.4.1 (1) ~ 図 8.4.8 (8) に注意事項を追加	010425
	P8-37	図 8.4.6 中の記述を削除および修正 誤) P100 ~ P10 正) P100 ~ P103(TO8 ~ TO11)	
		誤) P110 ~ P113(TO8 ~ TO11) 正) P110 ~ P113(TO0 ~ TO3)	
		誤) P117 正) P114	
	P8-40	8.5 入出力ポートの注意事項を追加	
	P10-23	アドレス H'0080 0DD7 のレジスタ名を修正 誤) F/F データレジスタ 2(FFD2) 正) F/F データレジスタ 1(FFD1)	
	P10-28	TIN 割り込みステータスレジスタ 0 のビット名 誤) TINi20IS1 正) TIN20IS1	
		TIN 割り込みマスクレジスタ 0 のビット名 誤) TINi20IM1 正) TIN20IM1	
	P10-30	TIN 割り込みステータスレジスタ 1 のビット名 誤) TINi22IS1 正) TIN22IS1	
		TIN 割り込みマスクレジスタ 1 のビット名 誤) TINi22IM1 正) TIN22IM1	
	P10-32	TIN 割り込みステータスレジスタ 2 のビット名 誤) TINi16IS1 正) TIN16IS1	
		TIN 割り込みマスクレジスタ 2 のビット名 誤) TINi16IM1 正) TIN16IM1	
	P10-34	TIN 割り込みステータスレジスタ 3 のビット名 誤) TINi18IS1 正) TIN18IS1	
TIN 割り込みマスクレジスタ 3 のビット名 誤) TINi18IM1 正) TIN18IM1			
P10-36	TIN 割り込みステータスレジスタ 4 のビット名 誤) TINi19IS 正) TIN19IS		
	TIN 割り込みマスクレジスタ 4 のビット名 誤) TINi19IM 正) TIN19IM		

Rev. No.	改訂内容		Rev. date
1.0	P10-37	TIN 割り込みステータスレジスタ 5 のビット名 誤) TIN111S 正) TIN11IS	010425
		TIN 割り込みマスクレジスタ 5 のビット名 誤) TIN111M 正) TIN11IM	
	P10-53	10.4.2 に注意事項を追加	
	P10-54	図 10.4.2 のレジスタ名を修正 アドレス H'0080 088B 誤) プリスケアラ 1 正) プリスケアラレジスタ 1	
	P10-56	10.4.5 の記述を修正 1 行目 誤) リセット解除後 正) タイマの起動 (イネーブルビットへのソフトウェア書き込み) により	
	P10-59	10.4.8 の記述を修正、追加 1 行目 誤) リセット解除後 正) タイマの起動 (イネーブルビットへのソフトウェア書き込み) により	
	P10-79	図 10.6.2 のレジスタ名を修正 ・ アドレス H'0080 07A0 誤) PWM1 出力禁止レジスタ 正) PWM 出力禁止レジスタ 1 ・ アドレス H'0080 07A1 誤) PWM0 出力禁止レジスタ 正) PWM 出力禁止レジスタ 0 ・ アドレス H'0080 07A4 誤) PWM1 出力禁止制御レジスタ 正) PWM 出力禁止制御レジスタ 1	
P10-79	アドレス H'0080 07A5 誤) PWM0 出力禁止制御レジスタ 正) PWM 出力禁止制御レジスタ 0		

Rev. No.	改訂内容		Rev. date
1.0	P10-82	書き込み手順 の記述を修正 誤) 上記 と同じ値 正) "0" または "1"	010425
	P11-15	図 11.2.1 のレジスタ名を修正 アドレス H'0080 0087 誤) AD0CVCR 正) AD0CVSCR	
	P11-17	図 11.2.3 のレジスタ名を修正 アドレス H'0080 0A87 誤) AD1CVCR 正) AD1CVSCR	
	P11-33	アドレス H'0080 0087 のレジスタ名を修正 誤) AD0CVSDR 正) AD0CVSCR	
		アドレス H'0080 0A87 のレジスタ名を修正 誤) AD1CVSDR 正) AD1CVSCR	
	P12-8	図 12.2.1 のレジスタ名を修正 ・ アドレス H'0080 0A01 誤) SI45MASK 正) SI47MASK ・ アドレス H'0080 0A02 誤) SI45SEL 正) SI47SEL	
	P12-9	図 12.2.2 のレジスタ名を修正 アドレス H'0080 0A11 のレジスタ名 誤) SIO4送信モードレジスタ 正) SIO4送受信モードレジスタ	
	P12-21	12.2.4 SIO 送受信モードレジスタのレジスタ名を修正 誤) SIO0モードレジスタ 正) SIO0送受信モードレジスタ ⋮ ⋮ 誤) SIO7モードレジスタ 正) SIO7送受信モードレジスタ	
	P13-20	(11)MSN(メッセージスロットナンバー)ビット(D12 ~ D15)に 注意事項を追加	
	P13-44	注意事項を追加	
	P13-47	注2、注3の注意事項を削除	
P15-5	図 15.2.1のレジスタ名を修正 アドレス H'0080 1808 誤) DACNTレジスタ 正) DACNTカウンタ		

Rev. No.	改訂内容		Rev. date
1.0	P15-5	<ul style="list-style-type: none"> ・ アドレス H'0080 180E 誤) TPDカウンタレジスタ(TPDCNT) 正) TPDカウンタ(TPDCNT) ・ アドレス H'0080 1830 誤) PD割り込み制御レジスタ 正) PD演算割り込み制御レジスタ ・ アドレス H'0080 1831 誤) PD割り込みステータスレジスタ 正) PD演算割り込みステータスレジスタ ・ アドレス H'0080 1841 誤) PRS1C 正) SMSBCR0 ・ アドレス H'0080 1842 誤) SMSBCR0 正) TEP0PCR ・ アドレス H'0080 1843 誤) SMSBCR1 正) TEP0MCR ・ アドレス H'0080 1844 誤) TEP0Pカウンタレジスタ 正) TEP0Pカウンタ ・ アドレス H'0080 1846 誤) TEP0Mカウンタレジスタ 正) TEP0Mカウンタ ・ アドレス H'0080 184A 誤) AB0 マスクレジスタ 正) ABD0 マスクレジスタ 	010425
	P15-6	<p>図 15.2.2 のレジスタ名を修正</p> <ul style="list-style-type: none"> ・ アドレス H'0080 1880 誤) プリスケーラ1C 正) プリスケーラレジスタ1C ・ アドレス H'0080 1884 誤) TEP1Pカウンタレジスタ 正) TEP1Pカウンタ ・ アドレス H'0080 1886 誤) TEP1Mカウンタレジスタ 正) TEP1Mカウンタ 	

Rev. No.	改訂内容		Rev. date
1.0	P15-11	15.2.3 TIN 入力処理レジスタのレジスタ名を修正 アドレス H'0080 1803 誤) TIN 入力処理レジスタ制御 正) TIN 入力処理制御レジスタ	010425
	P15-27	レジスタのビット番号 誤) D0 ~ D7 正) D8 ~ D15	
	P15-31	レジスタのビット番号 誤) D0 ~ D7 正) D8 ~ D15	
	P15-33	レジスタのビット番号 誤) D0 ~ D7 正) D8 ~ D15	
	P15-37	15.2.23 PITCHLT レジスタのレジスタ名を修正 ・ アドレス H'0080 1874 のレジスタ名 誤) PITCH0 正) PITCHLT0 ・ アドレス H'0080 18B4 のレジスタ名 誤) PITCH1 正) PITCHLT1	
	P16-3	図 16.1.1 を修正 誤) DA0 (AD1IN5) 正) DA0 (AD1IN4) 誤) AD1IN5 正) AD1IN4	
	P16-5	図 16.2.1 のレジスタ名を修正 ・ アドレス H'0080 1800 誤) プリスケーラ A 正) プリスケーラレジスタ A ・ アドレス H'0080 1808 誤) DACNT カウンタレジスタ 正) DACNT カウンタ	
	P16-14	D-A0 データレジスタ n(DA0DTn) のアドレスを修正 誤) H'0080 1802 正) H'0080 1D00	
	P18-2	表 18.1.1 外部拡張モード時の CS0 領域 誤) CS0 領域 (2M バイト) 正) CS0 領域 (1M バイト) プロセッサモード時の CS2 領域および CS3 領域の記述削除	

Rev. No.	改訂内容		Rev. date
1.0	P18-3	図 18.1.1 プロセッサモード時の CS2 領域 誤) CS2 領域 (2M バイト) 正) CS2 予約領域 (2M バイト)	010425
	P18-3	図 18.1.1 プロセッサモード時の CS3 領域 誤) CS3 領域 (2M バイト) 正) CS3 予約領域 (2M バイト)	
	P18-2	表 18.1.3 CS2 領域および CS3 領域の記述削除	
	P20-2	図 20.1.1 に注意事項を追加	
	P22-1 ~ P22-14	22 章の図に 5V 電源系 = 3.3V 時の電源立ち上げ / 立ち下げシーケンスの説明(図を含む)を追加	
	P23-12 ~ P23-19	電気的特性(V _{CC} E = 3.3V 時)の記述を追加	
	P23-21	(5)TIN8 ~ 11 規格表を追加	
	P23-23	(10)RTD タイミング規格表中の t _c (RTDCLK)の参照図番の欄 誤) ⑧2 正) ⑨0	
	P23-28	図 23.3.6 を追加	
	P23-33	図 23.3.13 誤) ⑧2 正) ⑨0	
1.1	P1-8	表 1.2.1 「M32R ファミリ CPU コアの特徴」中の命令セットの記述を修正 誤) 83 命令 / 9 アドレッシングモード 正) 83 命令 / 6 アドレッシングモード	010703
	P1-20	表 1.4.2 「144LQFP パッケージの端子配列表 (2/2)」中の 132 番ピンの端子名の修正 誤) VSS 正) VCCE	
	P1-21	図 1.4.2 「175FBGA の端子配置図 (上面図)」中の N13 ピンの端子名の修正 誤) P83/SCLKI1/SCLKO1 正) P87/SCLKI1/SCLKO1	

Rev. No.	改訂内容		Rev. date
1.1	P1-22	表 1.4.3 「175FBGA の端子配列表 (1/2)」中の D8 ピンの端子名の修正 誤) P133/TIN16/PWMOFF0(/AD0IN11) 正) P130/TIN16/PWMOFF0(/AD0IN11) 表 1.4.3 「175FBGA の端子配列表 (1/2)」中のピン番号の修正 誤) 122 P110/TO0 正) F15 P110/TO0	010703
	P1-23	表 1.4.4 「175FBGA の端子配列表 (2/2)」中のピンの端子名の修正 ・ N13 端子名 誤) P83/SCLKI1/SCLKO1 正) P87/SCLKI1/SCLKO1 ・ R13 端子名 誤) P88/RXD1 正) P86/RXD1	
	P6-26	(2)ページプログラムコマンドの 11 行目の記述を修正 誤) FSTAT1 ビットが "1" の間は、次のプログラムは行えません。 正) FSTAT1 ビットが "0" の間は、次のプログラムは行えません。	
	P6-28	(4)ブロックイレーズコマンドの 11 行目の記述を修正 誤) FSTAT1 ビットが "1" の間は、次のブロックイレーズは行えません。 正) FSTAT1 ビットが "0" の間は、次のブロックイレーズは行えません。	
	P10-36	TIN 割り込みステータスレジスタ 4 のビット名の訂正 ・ D6 ビット名 誤) TIN9IS (TIN9 出力禁止割り込みステータス) 正) TIN9IS (TIN9 割り込みステータス) ・ D7 ビット名 誤) TIN8IS (TIN8 出力禁止割り込みステータス) 正) TIN8IS (TIN8 割り込みステータス)	

Rev. No.	改訂内容		Rev. date
1.1	P10-36	TIN 割り込みマスクレジスタ 4 のビット名の訂正 ・ D6 ビット名 誤) TIN9IM (TIN9 出力禁止割り込みマスク) 正) TIN9IM (TIN9 割り込みマスク) ・ D7 ビット名 誤) TIN8IM (TIN8 出力禁止割り込みマスク) 正) TIN8IM (TIN8 割り込みマスク)	010703
	P10-37	TIN 割り込みステータスレジスタ 5 のビット名の訂正 ・ D2 ビット名 誤) TIN11IS (TIN11 出力禁止割り込みステータス) 正) TIN11IS (TIN11 割り込みステータス) ・ D3 ビット名 誤) TIN10IS (TIN10 出力禁止割り込みステータス) 正) TIN10IS (TIN10 割り込みステータス)	
		TIN 割り込みマスクレジスタ名の訂正 誤) TIN 割り込みマスクレジスタ 4 (TINIMA4) 正) TIN 割り込みマスクレジスタ 5 (TINIMA5)	
		TIN 割り込みマスクレジスタ 5 のビット名の訂正 ・ D10 ビット名 誤) TIN11IM (TIN11 出力禁止割り込みマスク) 正) TIN11IM (TIN11 割り込みマスク) ・ D11 ビット名 誤) TIN10IM (TIN10 出力禁止割り込みマスク) 正) TIN10IM (TIN10 割り込みマスク)	
		図 10.2.12 のレジスタ名の訂正 誤) TINIST4 正) TINIST5 誤) TINIMA4 正) TINIMA5	
P10-82	PWM 出力禁止レジスタ 1 のビット名の訂正 ・ D7 ビット名 訂正前) PWMOFF1 訂正後) PWMOFF1S		

Rev. No.	改訂内容		Rev. date
1.1	P10-82	図 10.6.5 「PWMOFF1 レジスタの設定手順」中のビット名の訂正 訂正前) PWMOFF1 訂正後) PWMOFF1S	010703
	P10-83	PWM 出力禁止レジスタ 0 のビット名の訂正 ・ D15 ビット名 訂正前) PWMOFF0 訂正後) PWMOFF0S	
		図 10.6.6 「PWMOFF0 レジスタの設定手順」中のビット名の訂正 訂正前) PWMOFF0 訂正後) PWMOFF0S	
	P21-14	ホームページアドレスの訂正 誤) http://WWW.infomicon.mesc.co.jp 正) http://www.infocom.maec.co.jp/	
	P23-13	注 6 ポートの出力電流の記述に関して、ポートのグループ分けを訂正	
	P23-14	注 6 ポートの出力電流の記述に関して、ポートのグループ分けを訂正	
1.2	P1-10	表 1.2.4 「32172/32173 形名一覧」を追加	011031
	P1-18	表 1.3.1 を修正	
	P1-19	表 1.3.2 「175FBGA デバッグ専用端子機能説明」を追加	
	P3-5	3.5 「動作モード」の記述を修正	
	P3-16	図 3.4.8 「SFR 領域のレジスタマッピング(5)」 ・ H'0080 0746 番地の "P6 動作モードレジスタ(P6MOD)" を削除	
		図 3.4.8 「SFR 領域のレジスタマッピング(5)」 ・ H'0080 076A 番地の "P10 周辺出力選択レジスタ(P10SMOD)" と H'0080 076B 番地の "P11 周辺出力選択レジスタ(P11SMOD)" を、H'0080 076A 番地から始まるハーフワードの一つのレジスタ "P10,P11 周辺出力選択レジスタ (P1011SMOD)" に訂正。	
P5-9	5.3.3 「SBI(システムブレーク割り込み) 制御レジスタ」の記述を修正		
	図 5.3.2 「SBI 制御レジスタのクリア例」を追加		
P5-14	表 5.4.1 に該当要因名を追加		

Rev. No.	改訂内容		Rev. date
1.2	P5-18	表 5.5.1 に該当要因名を追加	011031
	P5-20	「(2) 割り込みハンドラでの処理」の記述を修正	
		「(4) 多重割り込みの許可」に説明内容を追加	
	P6-2	表 6.2.1 に注意事項を追加	
	P6-5	注意事項を追加	
	P6-7	注意事項(注2)を追加	
	P6-8	注意事項を追加	
	P6-13	図 6.4.4 「FCNT4 レジスタの使用例2」を追加	
	P6-16	6.5.1 「フラッシュメモリ書き込みの概要」の記述を修正	
	P6-22	表 6.5.1 を修正	
	P6-25	表 6.5.2 に注意事項(注2、注3、注4)を追加	
	P6-40	注3の記述を変更	
	P6-45	図 6.7.9 を修正	
	P6-46	図 6.7.10 「疑似フラッシュエミュレーションモードから通常モードへの復帰シーケンス」を追加	
	P6-50	6.9 「内蔵フラッシュメモリのプロテクト機能」の節を追加	
	P6-51	6.10 「フラッシュメモリ書き換え時の注意事項」の説明内容変更	
	P7-3	表 7.3.1 を修正	
	P7-4 ~ P7-7	表 7.3.2 ~ 表 7.3.5 「リセット時の端子状態一覧」を追加修正	
	P8-4	表 8.2.1 を修正	
		表 8.2.1 の注意事項を修正	
P8-5	図 8.2.1 を修正		
P8-7	図 8.3.2 「入出力ポート関連レジスタマップ(2/2)」 ・H'0080 076A 番地の"P10周辺出力選択レジスタ(P10SMOD)"と H'0080 076B 番地の"P11周辺出力選択レジスタ(P11SMOD)"を、 H'0080 076A 番地から始まるハーフワードの一つのレジスタ "P10,P11 周辺出力選択レジスタ (P1011SMOD)" に訂正。		
P8-27, P8-28	H'0080 076A 番地の "P10 周辺出力選択レジスタ(P10SMOD)" と H'0080 076B 番地の "P11 周辺出力選択レジスタ(P11SMOD)" を、 H'0080 076A 番地から始まるハーフワードの一つのレジスタ "P10,P11 周辺出力選択レジスタ (P1011SMOD)" に訂正。		
P8-35	図 8.4.5 を修正		

Rev. No.	改訂内容		Rev. date
1.2	P8-38	図 8.4.8 を変更	011031
	P9-5	図 9.1.3 「DMAC 要求要因接続図」を追加	
	P10-5	図 10.1.1 にポート番号を追加	
	P10-6	図 10.1.2 にポート番号を追加	
	P10-13	図 10.2.2 「TIN 入力制御レジスタ 0 (TINCR0) 構成図」を追加	
	P10-14	図 10.2.3 「TIN 入力制御レジスタ 0 (TINCR1) 構成図」を追加	
	P10-15	図 10.2.4 「TIN 入力制御レジスタ 0 (TINCR0) 構成図」を追加	
	P10-16	図 10.2.5 「TIN 入力制御レジスタ 0 (TINCR1) 構成図」を追加	
	P10-26	図 10.2.10 を変更	
	P10-44	図 10.3.1 にポート番号を追加	
	P11-15	図 11.2.1 を修正	
	P11-17	図 11.2.3 を修正	
	P11-50	表 11.3.1 を変更	
		表 11.3.2 「コンパレートモードの変換クロック数一覧」を追加	
	P11-55	11.4 「A-D 変換器の注意事項」の「アナログ入力端子に関して」の説明内容を変更	
	P11-56	図 11.4.1 を変更	
	P11-57	図 11.4.2 「A-D 変換タイミング図」を追加	
	P12-18	図 12.2.5 にレジスタ名を追加	
		図 12.2.6 にレジスタ名を追加	
	P12-64	12.7.5 「UART 受信時のスタートビットの検出」の項を追加	
		図 12.7.5 「スタートビットの検出」を追加	
		図 12.7.6 「スタートビットの無効例」を追加	
		図 12.7.7 「受信時のディレイ」を追加	
	P13-2	表 13.1.1 のアクセプタンスフィルタの項目に説明内容を追加	
		注意事項の記述を変更	
	P13-4	図 13.1.1 を修正	
	P13-24	表 13.2.2 「CPU クロック : 32MHz 時のビットタイミング設定例」を追加	
P13-25	注 3 を追加		
P13-33	図 13.2.9 を修正		

改訂履歴

32172 / 32173 グループユーザズマニュアル

Rev. No.	改訂内容		Rev. date	
1.2	P13-34	図 13.2.10 を修正	011031	
	P13-35	図 13.2.11 を修正		
	P13-36	図 13.2.12 を修正		
	P13-37	図 13.2.13 を修正		
	P13-38	図 13.2.14 を修正		
	P13-43	図 13.2.15 「マスクレジスタと適用スロットの対応」を追加		
		図 13.2.16 「アクセプタンスフィルタ動作説明」を追加		
	P13-82	注意事項を追加		
	P13-86	(2) 送信停止の確認の説明修正		
	P13-89	図 13.5.2 を修正		
	P13-90	(2) 受信停止の確認の説明修正		
	P13-93	図 13.6.2 を修正		
	P13-96	(2) 送信停止の確認の説明修正		
	P13-100	図 13.7.2 を修正		
	P13-103	(2) 受信停止の確認の説明修正		
	P13-107	図 13.8.2 を修正		
		図 13.8.2 のレジスタ値を訂正		
	P15-4	図 15.1.1 にポート番号を追加		
	P15-7	「プリスケラレジスタ A」の記述を変更		
	P15-8	「プリスケラレジスタ B」の記述を変更		
	P15-9	「プリスケラレジスタ C」の記述を変更		
	P15-11	「TIN 入力処理制御レジスタ」の説明を修正		
	P15-12	図 15.2.3 ~ 図 15.2.5 を修正		
	P15-13	15.2.4 「TIN 割り込み制御レジスタ」に説明を追加		
		図 15.2.6 「割り込みステータスレジスタとマスクレジスタ」を追加		
	P15-14	図 15.2.7 「割り込みステータスクリア例」を追加		
P15-17	図 15.2.8 を修正			
P15-20	図 15.2.9 を修正			
P15-23	図 15.2.11 を修正			
P15-26	図 15.2.12 「ACMIIS 割り込み条件」を追加			

Rev. No.	改訂内容		Rev. date
1.2	P15-32	(1) イベントカウントモードの説明内容を追加	011031
		図 15.2.14、図 15.2.15 を追加	
	P15-33	図 15.2.16 を修正	
	P15-36	図 15.2.17 を修正	
	P16-4	図 16.1.3 の注意事項 (注 1、注 2) を修正	
	P16-8	16.2.1 「プリスケアラ部」の記述を変更	
	P16-11	16.2.4 「DACNT カウンタ」の内容説明を追加	
		図 16.2.4 を修正	
	P16-13	16.2.6 「D-A 変換レジスタ」の記述を変更	
		注意事項を追加	
	P16-14	16.2.7 「D-A0 データレジスタ」の内容説明を追加	
	P16-16	図 16.3.1 「DACNT リロードに H07 を設定した場合の DA0 動作例」を追加	
	P16-17	16.4 「D-A 変換器使用上の注意事項」の節を追加	
	P17-3	(9) ホールド制御の記述を変更	
	P17-14 ~ P17-19	図 17.2.1 ~ 図 17.2.6 を修正 (アドレス信号 A12 ~ A30 とチップセレクト信号 $\overline{CS0}$, $\overline{CS1}$ を分離表記)	
	P17-20, P17-21	図 17.3.1、図 17.3.2 を修正 (アドレス信号 A12 ~ A30 とチップセレクト信号 $\overline{CS0}$, $\overline{CS1}$ を分離表記)	
	P18-7 ~ P18-20	図 18.3.1 ~ 図 18.3.14 を修正 (アドレス信号 A12 ~ A30 とチップセレクト信号 $\overline{CS0}$, $\overline{CS1}$ を分離表記)	
	P21-15	図 21.6.1 を修正	
		図 21.6.1 に注 3 を追加	
	P21-16	図 21.6.2 を修正	
		図 21.6.2 に注 3 を追加	
	P22-1 ~ P22-16	20 章全体 「5V 系」の表記を「外部 I/O 系」に、「3.3V 系」の表記を「内部」に、それぞれ変更	
	P22-3	図 22.1.2 を修正	
P22-4	注意事項を追加		
P22-6	注意事項を追加		
P22-8	注意事項を追加		
P22-10	注意事項を追加		

Rev. No.	改訂内容		Rev. date
1.2	P22-12	図 22.3.6 を修正	011031
	P22-13	図 22.3.8 を削除	
	P22-15	図 22.3.12 を削除	
	P23-3, P23-4	推奨動作条件の値を追加 (アナログ基準電圧の最小値を追加)	
	P23-5, P23-7	電気的特性の値を追加 (RAM 保持電源電流の標準値を追加)	
	P23-8	標準サンプルの RAM 保持電源電流 (参考値) を追加	
	P23-10, P23-19	A-D 変換特性の値を修正、および注 2 を削除	
	P23-13, P23-14	推奨動作条件の値を追加 (アナログ基準電圧の最小値を追加)	
	P23-15, P23-17	電気的特性の値を追加、および注 2 を削除	
	P23-18	電気的特性の値を追加	
	P23-20	23.3.1 「タイミング必要条件」の説明内容を修正	
	付録 1-3	175pin FBGA の外形寸法図を追加	
	付録 3	付録 3 「未使用端子の処理」を追加	
	付録 4	付録 4 「注意事項のまとめ」を追加	
付録 3 「ノイズに関する注意事項」を付録 4 「注意事項のまとめ」へ移動			

内蔵周辺I/Oレジスタの表の見方

ビット番号： 各レジスタは16ビット幅の内部バスに接続されています。したがってレジスタのビット番号は、偶数番地はD0～D7に、奇数番地はD8～D15になります。

リセット時の状態： リセット直後の初期状態を16進数で示します（リセット直後不定状態のビットがある場合は別に の欄に示します）。

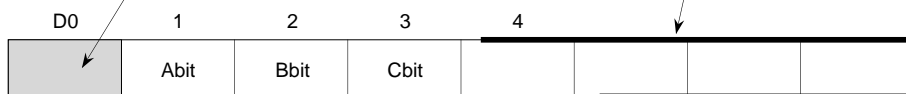
読み出し時の条件：
 ... 読み出し有効
 ? ... 読み出し無効（読み出し時データ不定）
 0 ... 常に "0" が読み出される
 1 ... 常に "1" が読み出される

書き込み時の条件：
 ... 書き込み有効
 ... 書き込みデータ条件付き（書き込みに関し何らかの条件があるもの）
 - ... 書き込み無効（書き込み時は "0" でも "1" でもよい）

< 表記例 >

網掛け部分には何も配置されていません

太枠で囲まれたレジスタはバイト（8ビット）アクセスはできません。ハーフワードまたはワードでのみアクセスできる条件付きレジスタです。



< リセット時 : H'04 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	Abit ()	0 : 1 :		
2	Bbit ()	0 : 1 :		
3	Cbit ()	0 : 1 :		



目次

第1章 概要

1.1 概要	1-2
1.1.1 M32R ファミリ CPU コア	1-2
1.1.2 積和演算機能の内蔵	1-3
1.1.3 フラッシュメモリとRAMの内蔵	1-3
1.1.4 クロック逡倍回路の内蔵	1-4
1.1.5 強力な周辺機能の内蔵	1-4
1.1.6 Full-CAN 機能内蔵	1-5
1.1.7 2系統のD-A変換器内蔵	1-5
1.1.8 PD (Phase Digital) センサ対応のタイマ/演算回路の内蔵	1-6
1.1.9 デバック機能内蔵	1-6
1.2 ブロック図	1-7
1.3 端子機能	1-11
1.4 端子配置	1-20

第2章 CPU

2.1 CPUレジスタ	2-2
2.2 汎用レジスタ	2-2
2.3 制御レジスタ	2-3
2.3.1 プロセッサ状態語レジスタ : PSW (CR0)	2-4
2.3.2 条件ビットレジスタ : CBR (CR1)	2-5
2.3.3 割り込み用スタックポインタ : SPI (CR2)	2-5
ユーザ用スタックポインタ : SPU (CR3)	
2.3.4 バックアップPC : BPC (CR6)	2-5
2.4 アキュムレータ	2-6
2.5 プログラムカウンタ	2-6

2.6	データフォーマット	2-7
2.6.1	データタイプ	2-7
2.6.2	データフォーマット	2-8

第3章 アドレス空間

3.1	アドレス空間概要	3-2
3.2	動作モード	3-5
3.3	内蔵 ROM 領域 / 外部拡張領域	3-8
3.3.1	内蔵 ROM 領域	3-8
3.3.2	外部拡張領域	3-8
3.4	内蔵 RAM 領域 / SFR 領域	3-9
3.4.1	内蔵 RAM 領域	3-9
3.4.2	SFR (Special Function Register) 領域	3-9
3.5	EIT ベクタエントリ	3-35
3.6	ICU ベクタテーブル	3-36
3.7	アドレス空間の注意事項	3-38

第4章 EIT

4.1	EIT の概要	4-2
4.2	EIT 事象	4-3
4.2.1	例外 (Exception)	4-3
4.2.2	割り込み (Interrupt)	4-3
4.2.3	トラップ (Trap)	4-3
4.3	EIT の処理手順	4-4
4.4	EIT の処理機構	4-6
4.5	EIT 事象の受け付け	4-7
4.6	PC, PSW の退避と復帰	4-8
4.7	EIT ベクタエントリ	4-10
4.8	例外 (Exception) 処理	4-11
4.8.1	予約命令例外 (RIE)	4-11
4.8.2	アドレス例外 (AE)	4-13

4.9	割り込み (Interrupt) 処理	4-15
4.9.1	リセット割り込み (RI).....	4-15
4.9.2	システムブレーク割り込み (SBI).....	4-16
4.9.3	外部割り込み (EI).....	4-18
4.10	トラップ (Trap) 処理	4-20
4.10.1	トラップ (TRAP).....	4-20
4.11	EIT の優先順位	4-22
4.12	EIT 処理の例	4-23
4.13	EIT の注意事項	4-25

第 5 章 割り込みコントローラ (ICU)

5.1	割り込みコントローラ (ICU) 概要.....	5-2
5.2	内蔵周辺 I/O の割り込み要因	5-4
5.3	ICU 関連レジスタ	5-6
5.3.1	割り込みベクタレジスタ	5-7
5.3.2	割り込みマスクレジスタ	5-8
5.3.3	SBI (システムブレーク割り込み) 制御レジスタ	5-9
5.3.4	割り込み制御レジスタ	5-10
5.4	ICU ベクタテーブル	5-14
5.5	割り込み動作説明	5-17
5.5.1	内蔵周辺 I/O の割り込み受け付け	5-17
5.5.2	内蔵周辺 I/O の割り込みハンドラ処理	5-20
5.6	システムブレーク割り込み (SBI) 動作説明.....	5-22
5.6.1	SBI の受け付け	5-22
5.6.2	SBI のハンドラ処理	5-22

第 6 章 内蔵メモリ

6.1	内蔵メモリ概要	6-2
6.2	内蔵 RAM	6-2
6.3	内蔵フラッシュメモリ	6-2

6.4	内蔵フラッシュメモリ関連レジスタ	6-3
6.4.1	フラッシュモードレジスタ	6-4
6.4.2	フラッシュステータスレジスタ	6-5
6.4.3	フラッシュ制御レジスタ	6-8
6.4.4	疑似フラッシュLバンクレジスタ	6-14
6.4.5	疑似フラッシュSバンクレジスタ	6-15
6.5	内蔵フラッシュメモリの書き込み	6-16
6.5.1	フラッシュメモリ書き込みの概要	6-16
6.5.2	フラッシュ書き込み時における動作モードの制御	6-22
6.5.3	内蔵フラッシュメモリへの書き込み手順	6-25
6.5.4	フラッシュ書き込み時間 (参考値)	6-36
6.6	ブートROM	6-37
6.7	疑似フラッシュエミュレーション機能	6-38
6.7.1	疑似フラッシュエミュレーション領域	6-40
6.7.2	疑似フラッシュエミュレーションモードへの移行	6-45
6.7.3	疑似フラッシュエミュレーションモードの応用例	6-47
6.8	シリアルライタとの接続	6-49
6.9	内蔵フラッシュメモリのプロテクト機能	6-51
6.10	フラッシュメモリ書き換え時の注意事項	6-52

第7章 リセット

7.1	リセット概要	7-2
7.2	リセット動作	7-2
7.2.1	電源投入時のリセット	7-2
7.2.2	動作中のリセット	7-2
7.2.3	フラッシュ書き替え時のリセットベクタ移動	7-2
7.3	リセット解除後の内部状態	7-3
7.4	リセット解除後の注意事項	7-13

第8章 入出力ポートと端子機能

8.1	入出力ポート概要	8-2
8.2	端子機能の選択	8-4

8.3	入出力ポート関連レジスタ	8-6
8.3.1	ポートデータレジスタ	8-8
8.3.2	ポート方向レジスタ	8-9
8.3.3	ポート動作モードレジスタ	8-10
8.4	ポート周辺回路	8-31
8.5	入出力ポートの注意事項	8-39

第9章 DMAC

9.1	DMAC 概要	9-2
9.2	DMAC 関連レジスタ	9-6
9.2.1	DMA チャンネル制御レジスタ	9-8
9.2.2	DMA 要求要因拡張レジスタ	9-19
9.2.3	DMA ソフトウェア要求発生レジスタ	9-30
9.2.4	DMA ソースアドレスレジスタ	9-31
9.2.5	DMA デスティネーションアドレスレジスタ	9-32
9.2.6	DMA 転送カウントレジスタ	9-33
9.2.7	DMA 割り込み要求ステータスレジスタ	9-34
9.2.8	DMA 割り込みマスクレジスタ	9-36
9.3	DMAC 機能説明	9-40
9.3.1	DMA 要求要因	9-40
9.3.2	DMA 転送の処理手順	9-50
9.3.3	DMA の起動	9-51
9.3.4	チャンネルの優先順位	9-51
9.3.5	内部バス権の獲得と解放	9-52
9.3.6	転送単位	9-52
9.3.7	転送回数	9-52
9.3.8	アドレス空間	9-53
9.3.9	転送動作	9-53
9.3.10	DMA の終了と割り込み	9-56
9.3.11	DMA 転送終了後の各レジスタの状態	9-56
9.4	DMAC の注意事項	9-57

第 10 章 入出力タイマ

10.1	入出力タイマ概要	10-2
10.2	タイマ共通部	10-8
10.2.1	タイマ共通部レジスタマップ	10-8
10.2.2	プリスケアラ部	10-10
10.2.3	入力処理制御部	10-11
10.2.4	出力フリップフロップ制御部	10-20
10.2.5	割り込み制御部	10-24
10.3	TMS (入力系 16 ビットタイマ)	10-43
10.3.1	TMS 概要	10-43
10.3.2	TMS の動作概要	10-43
10.3.3	TMS 関連レジスタマップ	10-45
10.3.4	TMS 制御レジスタ	10-46
10.3.5	TMS カウンタ (TMS0CT, TMS1CT)	10-47
10.3.6	TMS 計測レジスタ (TMS0MR3 ~ 0, TMS1MR3 ~ 0)	10-48
10.3.7	TMS 旧計測レジスタ (TMS0OLDMR3 ~ 0)	10-49
10.3.8	TMS 計測入力の動作	10-50
10.4	TML (入力系 32 ビットタイマ)	10-52
10.4.1	TML 概要	10-52
10.4.2	TML の動作概要	10-53
10.4.3	TML 関連レジスタマップ	10-54
10.4.4	TML 制御レジスタ	10-55
10.4.5	TML カウンタ	10-56
10.4.6	TML 計測レジスタ	10-57
10.4.7	TML 旧計測レジスタ	10-58
10.4.8	TML 計測入力の動作	10-59
10.5	TID (入力系 16 ビットタイマ)	10-61
10.5.1	TID 概要	10-61
10.5.2	TID 関連レジスタマップ	10-63
10.5.3	TID 制御 & プリスケアララインープルレジスタ	10-64
10.5.4	TID カウンタ (TID0CT, TID1CT)	10-66
10.5.5	TID リロードレジスタ (TID0RL, TID1RL)	10-67
10.5.6	TID 各モードの概略	10-68

10.6	TOM (出力系 16 ビットタイマ).....	10-75
10.6.1	TOM 概要	10-75
10.6.2	TOM 各モードの概要	10-77
10.6.3	TOM 関連レジスタマップ	10-79
10.6.4	PWM 出力禁止レジスタ	10-82
10.6.5	PWM 出力禁止制御レジスタ制御レジスタ	10-84
10.6.6	TOM 制御レジスタ	10-88
10.6.7	TOM カウンタ	10-90
10.6.8	TOM リロード 0 レジスタ	10-92
10.6.9	TOM リロード 1 レジスタ	10-94
10.6.10	TOM イネーブルプロテクトレジスタ	10-96
10.6.11	TOM カウントイネーブルレジスタ	10-98
10.6.12	TID 制御 & プリスケールイネーブルレジスタ	10-100
10.6.13	TOM PWM 出力モード動作	10-103
10.6.14	TOM ワンショット出力モード (補正機能なし) の動作	10-107
10.6.15	TOM ワンショット PWM 出力モード (補正機能なし) の動作	10-109
10.6.16	TOM 連続出力モード (補正機能なし) の動作	10-111
10.6.17	TOM 出力禁止機能	10-113
10.6.18	モータ制御機能への応用例	10-116

第 11 章 A-D 変換器

11.1	A-D 変換器概要	11-2
11.1.1	変換モード	11-7
11.1.2	動作モード	11-8
11.1.3	特殊動作モード	11-11
11.1.4	A-D 変換器の割り込み要求と DMA 転送要求	11-14
11.2	A-D 変換器関連レジスタ	11-15
11.2.1	A-D 単一モードレジスタ 0	11-19
11.2.2	A-D 単一モードレジスタ 1	11-23
11.2.3	A-D スキャンモードレジスタ 0	11-26
11.2.4	A-D スキャンモードレジスタ 1	11-30
11.2.5	A-D 変換速度制御レジスタ	11-33
11.2.6	A-D デジタル入力制御レジスタ	11-36
11.2.7	A-D 逐次近似レジスタ	11-37
11.2.8	A-D コンパレートデータレジスタ	11-39

11.2.9	10ビット A-D データレジスタ	11-41
11.2.10	8ビット A-D データレジスタ	11-43
11.3	A-D 変換器機能説明	11-45
11.3.1	アナログ入力電圧の求め方	11-45
11.3.2	逐次近似比較方式の A-D 変換	11-46
11.3.3	コンパレータ動作	11-48
11.3.4	A-D 変換時間算出方法	11-49
11.3.5	A-D 変換精度の定義	11-53
11.4	A-D 変換器の注意事項	11-55

第 12 章 シリアル I/O

12.1	シリアル I/O 概要	12-2
12.2	シリアル I/O 関連レジスタ	12-8
12.2.1	SIO 割り込み関連レジスタ	12-10
12.2.2	SIO 割り込み制御レジスタ	12-12
12.2.3	SIO 送信制御レジスタ	12-19
12.2.4	SIO 送受信モードレジスタ	12-21
12.2.5	SIO 送信バッファレジスタ	12-24
12.2.6	SIO 受信バッファレジスタ	12-25
12.2.7	SIO 受信制御レジスタ	12-26
12.2.8	SIO ボーレートレジスタ	12-29
12.3	CSIO モード送信動作説明	12-31
12.3.1	CSIO ボーレートの設定	12-31
12.3.2	CSIO 送信時の初期設定	12-32
12.3.3	CSIO 送信の開始	12-34
12.3.4	CSIO の連続送信	12-34
12.3.5	CSIO 送信完了処理	12-35
12.3.6	送信割り込み	12-35
12.3.7	送信 DMA 転送要求	12-35
12.3.8	CSIO 送信動作例	12-37
12.4	CSIO モード受信動作説明	12-39
12.4.1	CSIO 受信時の初期設定	12-39

12.4.2	CSIO 受信の開始	12-41
12.4.3	CSIO 受信完了処理	12-41
12.4.4	連続受信について	12-42
12.4.5	CSIO 受信動作の状態を示すフラグ	12-43
12.4.6	CSIO 受信動作例	12-44
12.5	CSIO モード時の注意事項	12-46
12.6	UART モード送信動作説明	12-48
12.6.1	UART ボーレートの設定	12-48
12.6.2	UART 送受信データフォーマット	12-49
12.6.3	UART 送信時の初期設定	12-51
12.6.4	UART 送信の開始	12-53
12.6.5	UART の連続送信	12-53
12.6.6	UART 送信完了処理	12-54
12.6.7	送信割り込み	12-54
12.6.8	送信 DMA 転送要求	12-54
12.6.9	UART 送信動作例	12-56
12.7	UART モード受信動作説明	12-58
12.7.1	UART 受信時の初期設定	12-58
12.7.2	UART 受信の開始	12-60
12.7.3	UART 受信完了処理	12-60
12.7.4	UART 受信動作例	12-62
12.7.5	UART 受信時のスタートビットの検出	12-64
12.8	定周期クロック出力機能	12-65
12.9	UART モード時の注意事項	12-66

第 13 章 CAN モジュール

13.1	CAN モジュールの概要	13-2
13.2	CAN モジュール関連レジスタ	13-5
13.2.1	CAN コントロールレジスタ	13-13
13.2.2	CAN ステータレジスタ	13-17
13.2.3	CAN 拡張 ID レジスタ	13-21
13.2.4	CAN コンフィグレーションレジスタ	13-22
13.2.5	CAN タイムスタンプカウントレジスタ	13-25
13.2.6	CAN エラーカウントレジスタ	13-26

13.2.7	CAN ボーレートプリスケアラ	13-27
13.2.8	CAN 割り込み関連レジスタ	13-28
13.2.9	CAN マスクレジスタ	13-39
13.2.10	CAN メッセージスロットコントロールレジスタ	13-44
13.2.11	CAN メッセージスロット	13-49
13.3	CAN プロトコル	13-79
13.3.1	CAN プロトコルフレーム	13-79
13.4	CAN モジュール初期設定	13-82
13.4.1	CAN モジュールの初期設定	13-82
13.4.2	CAN タイミング	13-85
13.5	データフレーム送信	13-86
13.5.1	データフレーム送信手順	13-86
13.5.2	データフレーム送信動作	13-88
13.5.3	送信アボート機能	13-89
13.6	データフレーム受信	13-90
13.6.1	データフレーム受信手順	13-90
13.6.2	データフレーム受信動作	13-92
13.6.3	受信データフレームの読み出し	13-94
13.7	リモートフレーム送信	13-96
13.7.1	リモートフレーム送信手順	13-96
13.7.2	リモートフレーム送信動作	13-98
13.7.3	リモートフレーム送信設定時の受信データフレームの読み出し ...	13-101
13.8	リモートフレーム受信	13-103
13.8.1	リモートフレーム受信手順	13-103
13.8.2	リモートフレーム受信動作	13-105

第 14 章 リアルタイムデバッグ (RTD)

14.1	リアルタイムデバッグ (RTD) 概要	14-2
14.2	RTD 端子機能	14-3
14.3	RTD 動作説明	14-4
14.3.1	RTD 動作概要	14-4
14.3.2	RDR (リアルタイム RAM 内容出力) 動作	14-5
14.3.3	WRR (RAM 内容強制書き替え) 動作	14-7

14.3.4	VER (継続モニタ) 動作	14-9
14.3.5	VEI (割り込み要求) 動作	14-10
14.3.6	RCV (暴走状態からの復帰) 動作	14-11
14.3.7	リアルタイムデバッカ使用時の指定アドレス設定方法	14-12
14.3.8	RTD のリセット	14-13
14.4	ホストとの接続例	14-14

第 15 章 PD モジュール

15.1	PD モジュール概要	15-2
15.2	PD モジュール関連レジスタ	15-5
15.2.1	プリスケアラ部	15-7
15.2.2	DACNT リロードレジスタ	15-10
15.2.3	TIN 入力処理レジスタ	15-11
15.2.4	TIN 割り込み制御レジスタ	15-13
15.2.5	TIN 割り込みステータスレジスタ	15-16
15.2.6	DACNT 制御レジスタ	15-18
15.2.7	TPD 制御レジスタ	15-19
15.2.8	DACNT カウンタ	15-20
15.2.9	TPD カウンタ	15-21
15.2.10	TPD 計測レジスタ	15-22
15.2.11	PD 演算割り込み制御レジスタ	15-24
15.2.12	PD 演算割り込みステータスレジスタ	15-25
15.2.13	位置検出精度選択レジスタ	15-28
15.2.14	TEP 制御レジスタ	15-29
15.2.15	TEP カウンタ	15-31
15.2.16	PD データ更新禁止イベント選択レジスタ	15-34
15.2.17	PD データ更新制御レジスタ	15-35
15.2.18	ABD マスクレジスタ	15-36
15.2.19	S エラー検出範囲選択レジスタ	15-37
15.2.20	ABD コンペアレジスタ	15-38
15.2.21	PITCH コンペアレジスタ	15-39
15.2.22	FDLT レジスタ	15-40
15.2.23	PITCHLT レジスタ	15-41
15.2.24	ABDLT レジスタ	15-42
15.2.25	RSUMLT レジスタ	15-43
15.2.26	SSLT レジスタ	15-44

15.3 PD センサ対応初期設定値	15-45
15.4 PD モジュール注意事項	15-48

第 16 章 D-A 変換器

16.1 D-A 変換器の概要	16-2
16.2 D-A 変換器関連レジスタ	16-5
16.2.1 プリスケアラ部	16-8
16.2.2 DACNT リロードレジスタ	16-9
16.2.3 DACNT 制御レジスタ	16-10
16.2.4 DACNT カウンタ	16-11
16.2.5 D-A 制御レジスタ	16-12
16.2.6 D-A 変換レジスタ	16-13
16.2.7 D-A0 データレジスタ	16-14
16.3 D-A 変換器機能説明	16-15
16.3.1 単一モード	16-15
16.3.2 連続モード	16-15
16.4 D-A 変換器使用上の注意事項	16-17

第 17 章 外部バスインタフェース

17.1 外部バスインタフェース関連信号	17-2
17.2 リード/ライト動作	17-14
17.3 バスアービトラージ	17-20
17.4 外部拡張メモリ接続例	17-22

第 18 章 ウェイトコントローラ

18.1 ウェイトコントローラ概要	18-2
18.2 ウェイトコントローラ関連レジスタ	18-6
18.2.1 ウェイト数制御レジスタ (WTCCR)	18-6
18.3 ウェイトコントローラ動作例	18-7

第 19 章 RAM バックアップモード

19.1	概要	19-2
19.2	電源断時の RAM バックアップ例	19-2
19.2.1	通常動作時の状態	19-3
19.2.2	RAM バックアップ時の状態	19-4
19.3	低消費電力化のための RAM バックアップ例	19-5
19.3.1	通常動作時の状態	19-6
19.3.2	RAM バックアップ時の状態	19-7
19.3.3	電源立ち上げ時の注意事項	19-8
19.4	RAM バックアップモードの解除 (ウエイクアップ).....	19-9

第 20 章 発振回路

20.1	発振回路	20-2
20.1.1	発振回路例	20-2
20.1.2	システムクロックの出力機能	20-3
20.1.3	電源投入時の発振安定時間	20-4
20.2	クロック発生回路	20-5

第 21 章 JTAG

21.1	JTAG 概要	21-2
21.2	JTAG 回路構成	21-3
21.3	JTAG レジスタ	21-4
21.3.1	命令レジスタ (JTAGIR).....	21-4
21.3.2	データレジスタ	21-5
21.4	JTAG 基本動作	21-6
21.4.1	JTAG 動作概要	21-6
21.4.2	IR パスシーケンス	21-8
21.4.3	DR パスシーケンス	21-10
21.4.4	データレジスタの参照および設定	21-12
21.5	バウンダリスキャン記述言語	21-14

21.6	JTAG 使用時のボード設計注意事項	21-15
21.7	JTAG 未使用時の端子処理	21-17

第 22 章 電源立ち上げ/立ち下げシーケンス

22.1	電源回路の構成	22-2
22.2	電源立ち上げシーケンス	22-4
22.2.1	RAM バックアップ未使用時の電源立ち上げシーケンス	22-4
22.2.2	RAM バックアップ使用時の電源立ち上げシーケンス	22-6
22.3	電源立ち下げシーケンス	22-8
22.3.1	RAM バックアップ未使用時の電源立ち下げシーケンス	22-8
22.3.2	RAM バックアップ使用時の電源立ち下げシーケンス	22-10

第 23 章 電気的特性

23.1	電気的特性 (VCCE = 5V 時)	23-2
23.1.1	絶対最大定格	23-2
23.1.2	推奨動作条件	23-3
23.1.3	DC 特性	23-5
23.1.3.1	電気的特性	23-5
23.1.3.2	フラッシュ関連電気的特性	23-9
23.1.4	A-D 変換特性	23-10
23.1.5	D-A 変換特性	23-11
23.1.5.1	D-A 変換特性	23-11
23.2	電気的特性 (VCCE = 3.3V 時)	23-12
23.2.1	絶対最大定格	23-12
23.2.2	推奨動作条件	23-13
23.2.3	DC 特性	23-15
23.2.3.1	電気的特性	23-15
23.2.3.2	フラッシュ関連電気的特性	23-18
23.2.4	A-D 変換特性	23-19
23.3	AC 特性	23-20
23.3.1	タイミング必要条件	23-20
23.3.2	スイッチング特性	23-24
23.3.3	AC 特性	23-27

第 24 章 標準特性

24.1 A-D 変換特性	24-2
---------------------	------

付録 1 機械的仕様

付録 1.1 外形寸法図	付録 1-2
--------------------	--------

付録 2 命令処理時間

付録 2.1 M32R/ECU 命令処理時間	付録 2-2
------------------------------	--------

付録 3 未使用端子の処理

付録 3.1 未使用端子の処理例	付録 3-2
------------------------	--------

付録 4 注意事項のまとめ

付録 4.1 CPU に関する注意事項	付録 4-2
付録 4.1.1 データ転送の注意事項	付録 4-2
付録 4.2 アドレス空間の注意事項	付録 4-2
付録 4.2.1 疑似フラッシュエミュレーション機能	付録 4-2
付録 4.3 EIT の注意事項	付録 4-3
付録 4.4 フラッシュメモリ書き換え時の注意事項	付録 4-3
付録 4.5 リセット解除後の注意事項	付録 4-4
付録 4.5.1 入出力ポート	付録 4-4
付録 4.6 入出力ポートの注意事項	付録 4-4
付録 4.6.1 ポートを出力モードで使用する場合	付録 4-4
付録 4.7 DMAC の注意事項	付録 4-5
付録 4.7.1 DMAC 関連レジスタへの書き込みについて	付録 4-5
付録 4.7.2 DMA 転送による DMAC 関連レジスタの操作	付録 4-6
付録 4.7.3 DMA 割り込み要求ステータスレジスタについて	付録 4-6
付録 4.7.4 DMA 転送の安定動作について	付録 4-6

付録 4.8	入出力タイマの注意事項	付録 4-7
付録 4.8.1	TOM ワンショット出力モード使用上の注意	付録 4-7
付録 4.8.2	TOM 連続出力モード使用上の注意	付録 4-9
付録 4.9	A-D 変換器の注意事項	付録 4-11
付録 4.10	シリアル I/O の注意事項	付録 4-15
付録 4.10.1	CSIO モード時の注意事項	付録 4-15
付録 4.10.2	UART モード時の注意事項	付録 4-17
付録 4.11	PD モジュール注意事項	付録 4-18
付録 4.12	D-A 変換器使用上の注意事項	付録 4-18
付録 4.13	RAM バックアップモードの注意事項	付録 4-18
付録 4.13.1	電源立ち上げ時の注意事項	付録 4-18
付録 4.14	JTAG 端子処理の注意事項	付録 4-19
付録 4.14.1	JTAG 接続時のボード設計注意事項	付録 4-19
付録 4.14.2	JTAG 未使用時の端子処理	付録 4-21
付録 4.15	ノイズに関する注意事項	付録 4-23
付録 4.15.1	配線長の短縮	付録 4-23
付録 4.15.2	VSS-VCC ライン間へのバイパスコンデンサ挿入	付録 4.25
付録 4.15.3	アナログ入力端子の配線処理	付録 4-26
付録 4.15.4	発振子への配慮	付録 4-27
付録 4.15.5	入出力ポート処理	付録 4-29

第 1 章

概要

- 1.1 概要
- 1.2 ブロック図
- 1.3 端子機能
- 1.4 端子配置

1.1 概要

1.1.1 M32RファミリCPUコア

(1) RISCアーキテクチャの採用

32172/32173は、32ビットRISCシングルチップマイクロコンピュータで、M32RファミリCPUコア(以下M32Rと略)を中心にして、フラッシュメモリ、RAM、および各種周辺機能を1チップに集積しています。

M32Rは、RISCアーキテクチャを採用しています。メモリアクセスはロード命令とストア命令により行い、各種の演算はレジスタ間演算命令で実行します。内部には32ビット汎用レジスタを16本備え、命令数は83あります。

M32Rは、通常のロード命令、ストア命令に加えて、ロード&アドレス更新、ストア&アドレス更新といった複合命令もサポートしています。これらの命令はデータ転送の高速化に有効です。

(2) 5ステージのパイプライン処理

M32Rは、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの5ステージのパイプライン処理により、命令を処理します。ロード命令、ストア命令、レジスタ間演算命令だけでなく、ロード&アドレス更新、ストア&アドレス更新といった複合命令も1サイクルで実行します。

命令は、フェッチされた順に実行ステージに投入されますが、先に投入されたロード命令やストア命令の実行がメモリアクセスのウエイトサイクルの挿入により延びた場合には、後続のレジスタ間演算命令が先に実行される場合があります。M32Rは、このような「out-of-order-completion」などの採用により、クロックサイクルをむだにしない命令実行制御を行います。

(3) コンパクトな命令コード

M32Rの命令には、16ビット長命令と32ビット長命令の2つの形式があります。特に16ビット長の命令形式の採用により、プログラムのコードサイズを抑えることができます。

32ビット長命令には、実行中の命令のアドレスから±32Mバイトの範囲に直接分岐することができる命令があり、アドレス空間がセグメント化されたアーキテクチャに比べ、プログラミングが容易になっています。

1.1.2 積和演算機能の内蔵

(1) 高速乗算器の内蔵

M32Rは、32ビット×16ビットの高速乗算器の内蔵により、32ビット×32ビットの整数乗算命令を3サイクル(CPUメモリクロック40MHz時、1サイクルは25ns)で実行します。

(2) DSPに匹敵する積和演算命令をサポート

M32Rは、56ビットのアクキュムレータによる積和演算命令(または乗算命令)として、次の4つをサポートしており、いずれも1サイクルで実行できます。

レジスタの上位16ビット×レジスタの上位16ビット
レジスタの下位16ビット×レジスタの下位16ビット
レジスタの32ビット全体×レジスタの上位16ビット
レジスタの32ビット全体×レジスタの下位16ビット

M32Rは、アクキュムレータに格納された値を16ビットまたは32ビットに丸める命令や、アクキュムレータ値の桁合わせのため、シフトしてレジスタに格納する命令を備えています。これらの命令も1サイクルで実行するため、ロード&アドレス更新、ストア&アドレス更新などの高速データ転送命令と組み合わせて使うことにより、DSPに匹敵するデータ処理能力を発揮できます。

1.1.3 フラッシュメモリとRAMの内蔵

32172/32173は、ノーウエイトでアクセスが可能なフラッシュメモリとRAMを内蔵しており、高速な組み込みシステムを構成できます。

内蔵フラッシュメモリは、プリント基板に実装した状態での書き込み(オンボード書き込み)が可能です。フラッシュメモリの採用で開発時のチップがそのまま量産に使い、試作から量産へプリント基板を変更することなくスムーズに移行することができます。

内蔵フラッシュメモリは、100回書き換えることができます。

内蔵フラッシュメモリは、疑似フラッシュエミュレーション機能を備えており、内蔵フラッシュメモリの一部に疑似的に内蔵RAMをマッピングすることができます。この機能と内蔵リアルタイムデバッガ(RTD)を組み合わせることにより、ROMテーブル上のデータチューニングが容易に行えます。

内蔵RAMは、RTD(リアルタイムデバッガ)を使用することで、M32Rとは独立して外部からデータの読み出しや書き替えができます。外部との通信は、RTDの専用クロック同期形シリアルI/Oで行います。

1.1.4 クロック逡倍回路の内蔵

32172/32173は、入力したクロック信号の周波数を内部で4倍(内部周辺クロックは2倍)にして使用しており、入力クロック周波数が10.0MHzの場合、CPUクロック周波数は40MHz、内部周辺クロック周波数は20MHzとなります。

1.1.5 強力な周辺機能の内蔵

(1) 入出力タイマの内蔵

タイマは、下記の26チャンネルのタイマにより構成しています(ただし、PDCモジュールをセンサインタフェース回路として使用しない場合は、さらに8チャンネルの入力タイマが使用可能となります)。

16ビット出力系タイマ16チャンネル
16ビット入力系タイマ6チャンネル
32ビット入力系タイマ4チャンネル

各タイマは複数のモードを持ち、用途に応じた選択が可能です。

(2) 10チャンネルのDMA内蔵

DMAは10チャンネル内蔵しており、内蔵周辺I/O間または内蔵周辺I/Oと内蔵RAM間のデータ転送をサポートします。DMA転送要求はソフトウェアのほか、内蔵周辺I/O(A-D変換器、入出力タイマ、シリアルI/O)の発生する信号をトリガとすることができます。

DMAチャンネル間のカスケード接続(あるチャンネルの転送終了で他のチャンネルのDMA転送を起動)もサポートしており、CPUに負荷をかけることなく高度な転送処理が可能です。

(3) 2系統のA-D変換器内蔵

10ビット分解能で8チャンネルのA-D変換器と4チャンネルのA-D変換器を内蔵しています。

通常のA-D変換のほかに、ある設定値とのA-D変換の結果を比較して、その大小を判別するコンパレータモードをサポートしています。

A-D変換の終了時には割り込みを発生するほか、DMA転送要求を発生することもできます。

(4) 高速シリアルI/O

シリアルI/Oは8チャンネル内蔵しており、クロック同期形シリアルI/O、またはUARTに設定できます。

転送速度はクロック同期形シリアルI/O時に2Mビット/秒の高速データ転送が可能です。

データ受信完了時、または送信レジスタが空になった時に、DMAの転送要求信号を発生する機能を持ちます。

(5) リアルタイムデバッガ (RTD) の内蔵

リアルタイムデバッガ (RTD) は、M32R/Eの内蔵RAMを外部から直接アクセスする機能を提供します。外部との通信は、専用のクロック同期形シリアルI/Oで行います。

RTDを使うことで、M32Rとは独立して外部から内蔵RAMの内容を読み出したり、データの書き替えが可能になります。

RTDを使用したデータ送受信の完了を知らせるための、RTD割り込みを発生することができます。

(6) 8レベルの割り込みコントローラ

割り込みコントローラは、各内蔵周辺I/Oからの割り込み要求を、割り込み禁止状態を含めて8レベルの優先順位を設けて管理します。また、電源断検出やウォッチドックタイムで発生した外部割り込み要求をシステムブレイク割り込み (SBI) として受け付けることができます。

(7) 3つの動作モード

M32R/Eは、シングルチップモード、外部拡張モードおよびプロセッサモードの3つの動作モードを備えています。M32R/Eのアドレス空間と外部端子機能は各モードに応じて切り替わります。モードの設定は、MOD0, MOD1端子で行います。

(8) ウェイトコントローラ

ウェイトコントローラは、外付けデバイスのアクセスをサポートします。シングルチップモード以外のモードでは、外部拡張領域は最大4Mバイトの空間が用意されています。

1.1.6 Full-CAN機能内蔵

CAN specification 2.0B active準拠のCANモジュールを2つ内蔵しており、16本のメッセージスロットを有しています。

1.1.7 2系統のD-A変換器内蔵

8ビット分解能のD-A変換器を2つ内蔵しています。

通常のD-A変換のほかに、任意のデータを連続して出力する機能をサポートしています。また、出力用の256バイトのバッファを有しています (D-A0変換器のみサポート)。

1.1.8 PD(Phase Digital)センサ対応のタイマ/演算回路の内蔵

PD(Phase Digital)センサ対応のタイマ/演算回路を2系統内蔵しています。

位置予測演算に必要な各種演算回路の内蔵、およびタイマとD-A変換器を連動させることによって、高速なデータ処理が可能です。

PD回路未使用時はPDセンサ対応タイマを通常の入力計測タイマ、入力イベントカウンタとして使用することができます。

1.1.9 デバッグ機能内蔵

JTAGインタフェースをサポートしています。このJTAGインタフェースを用いてバウンダリスキャンテストが可能です。

1.2 ブロック図

図1.2.1にブロック図を示し、それぞれのブロックの特長を表1.2.1～表1.2.3に示します。

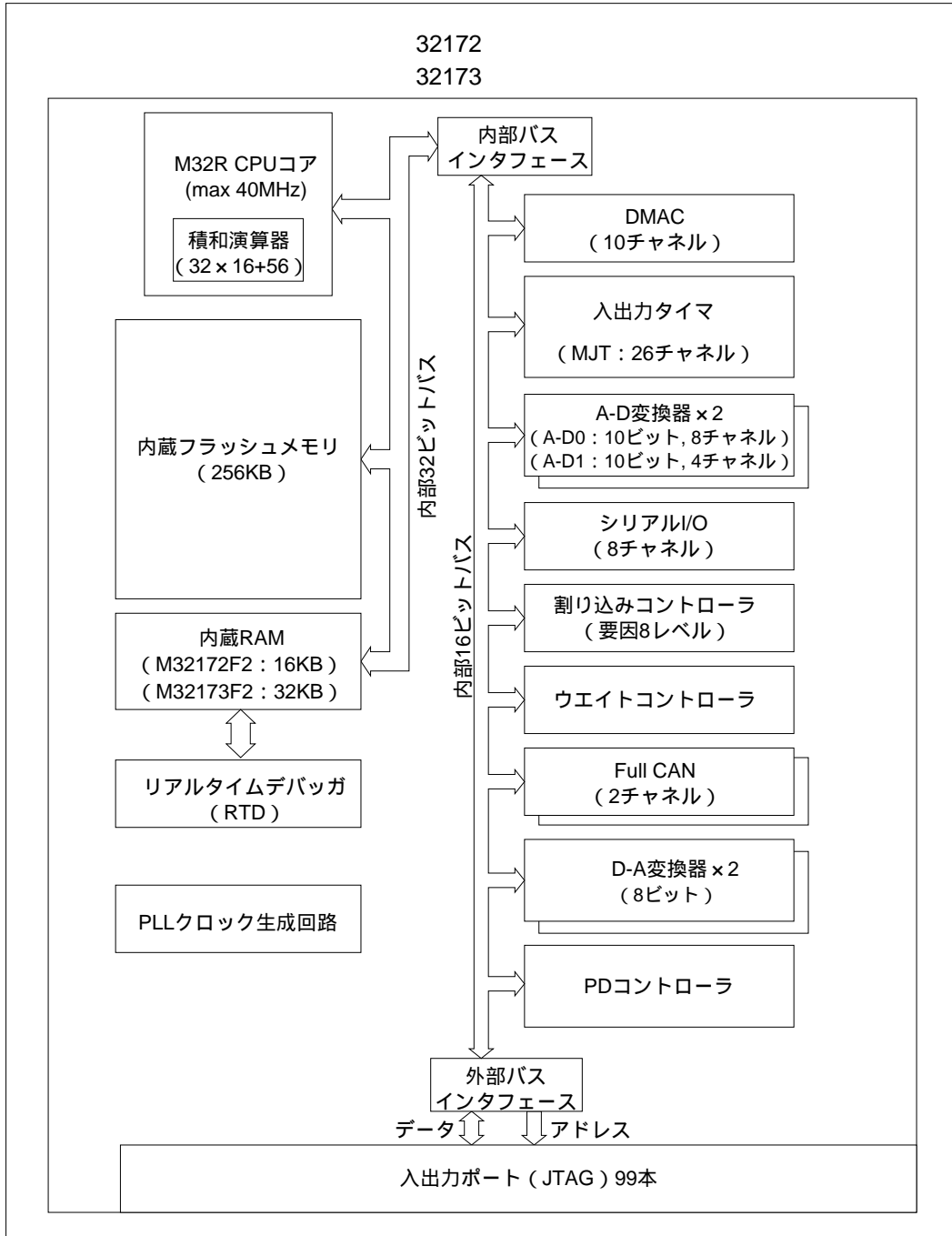


図1.2.1 ブロック図

表1.2.1 M32RファミリCPUコアの特長

機能ブロック	特長
M32Rファミリ CPUコア	<p>バス仕様</p> <p>基本バスサイクル：25ns(CPUクロック40MHz時)</p> <p>論理アドレス空間：4Gバイトリニア</p> <p>外部拡張領域：最大4Mバイト</p> <p>外部データバス：16ビット</p> <p>インプリメンテーション：5段パイプライン方式</p> <p>コア内部32ビット構成</p> <p>レジスタ構成</p> <p>汎用レジスタ：32ビット×16本</p> <p>制御レジスタ：32ビット×5本</p> <p>命令セット</p> <p>16ビット/32ビット命令形式</p> <p>83命令/6アドレッシングモード</p> <p>積和演算器内蔵(32 × 16 + 56)</p>

表1.2.2 内蔵メモリの特長

機能ブロック	特長
RAM	<p>容量</p> <p>M32172F2：16Kバイト</p> <p>M32173F2：32Kバイト</p> <p>ノーウエイトアクセス</p> <p>RTX(リアルタイムデバッグ)を使用することで、M32Rとは独立して外部から内蔵RAMのデータ読み出しや書き替えが可能</p>
フラッシュメモリ	<p>容量：256Kバイト</p> <p>ノーウエイトアクセス</p> <p>書き換え回数：100回</p>

表1.2.3 内蔵周辺I/Oの特長

機能ブロック	特長
DMA	10チャンネルのDMA 内蔵周辺I/O間、内蔵RAM間、または内蔵周辺I/Oと内蔵RAM間の転送サポート 内蔵周辺I/Oとのコンビネーションにより、高度なDMA転送が可能 DMA各チャンネルのカスケード接続(あるチャンネルの転送終了で他のチャンネルの起動)が可能
タイマ	26チャンネルの多機能タイマ 16ビット出力系タイマ16チャンネル、16ビット入力系タイマ6チャンネル、 32ビット入力系タイマ4チャンネル内蔵 各チャンネルの相互接続によるフレキシブルなタイマ構成が可能
A-D変換器	10ビット分解能で8チャンネルのA-D変換器×1、4チャンネルのA-D変換器×1 コンパレータモード内蔵 A-D変換終了時の割り込みまたはDMA転送の起動が可能 計20チャンネルの端子レベルのモニタが可能(ただし、精度は低下)
シリアルI/O	8チャンネルのシリアルI/O クロック同期形シリアルI/O、またはUARTに設定可能 クロック同期時2Mビット/秒、UART時156Kビット/秒の高速データ転送
リアルタイム デバッグ	外部からのコマンド入力による、CPUとは独立した内蔵RAMの書き換え/モニタ機能 専用クロック同期シリアルポート装備
割り込み コントローラ	内蔵周辺I/Oからの割り込み要求管理 割り込み禁止状態を含めて8レベルの優先順位
ウェイト コントローラ	外部拡張領域のアクセスに対するウェイト制御 ソフトウェア設定による1~4ウェイト挿入+外部WAIT信号入力によるウェイト延長
クロックPLL	4逓倍のクロック発生回路 最大CPUクロック40MHz(CPU,内蔵ROM,内蔵RAMのアクセス) 最大内部周辺クロック20MHz(周辺モジュールのアクセス) 最大外部入力クロック周波数は10.0MHz
D-A変換器	2チャンネルの8ビット分解能D-A変換器 D-A0変換器: D-A出力、任意データ連続出力機能、256バイト出力バッファあり D-A1変換器: D-A出力のみ
PDコントローラ	2系統のPDセンサ対応タイマおよび位置予測演算のための各種演算回路 16ビット入力計測タイマ: 4チャンネル、16ビット入力系タイマ: 4チャンネル PD回路未使用時、上記タイマを通常の入力計測タイマ、入力イベントカウンタとして使用可能
CAN	2系統、各16チャンネルのメッセージスロット
JTAG	バウンダリスキャン機能、三菱オリジナルSDIデバッグ機能内蔵

表1.2.4 32172/32173形名一覧

形名	RAM容量(Kバイト)	ROM容量(Kバイト)	パッケージ形名	ピン数
M32172F2VFP	16	256	144LQFP	144
M32172F2VWG	16	256	175FBGA	175
M32173F2VFP	32	256	144LQFP	144
M32173F2VWG	32	256	175FBGA	175

1.3 端子機能

図1.3.1に端子機能図を示し、表1.3.1に端子機能説明を示します。

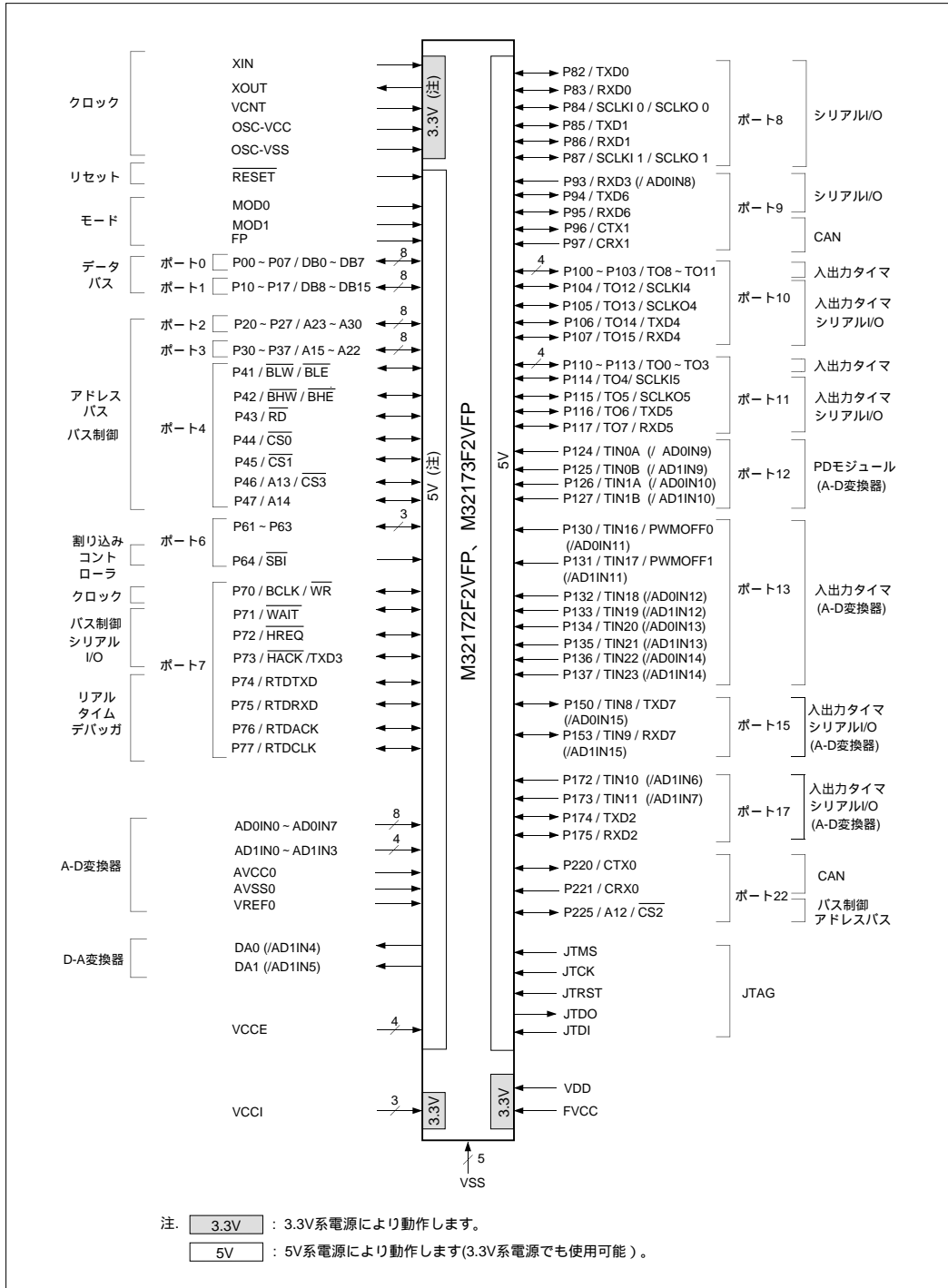


図1.3.1 144LQFPパッケージの端子機能図

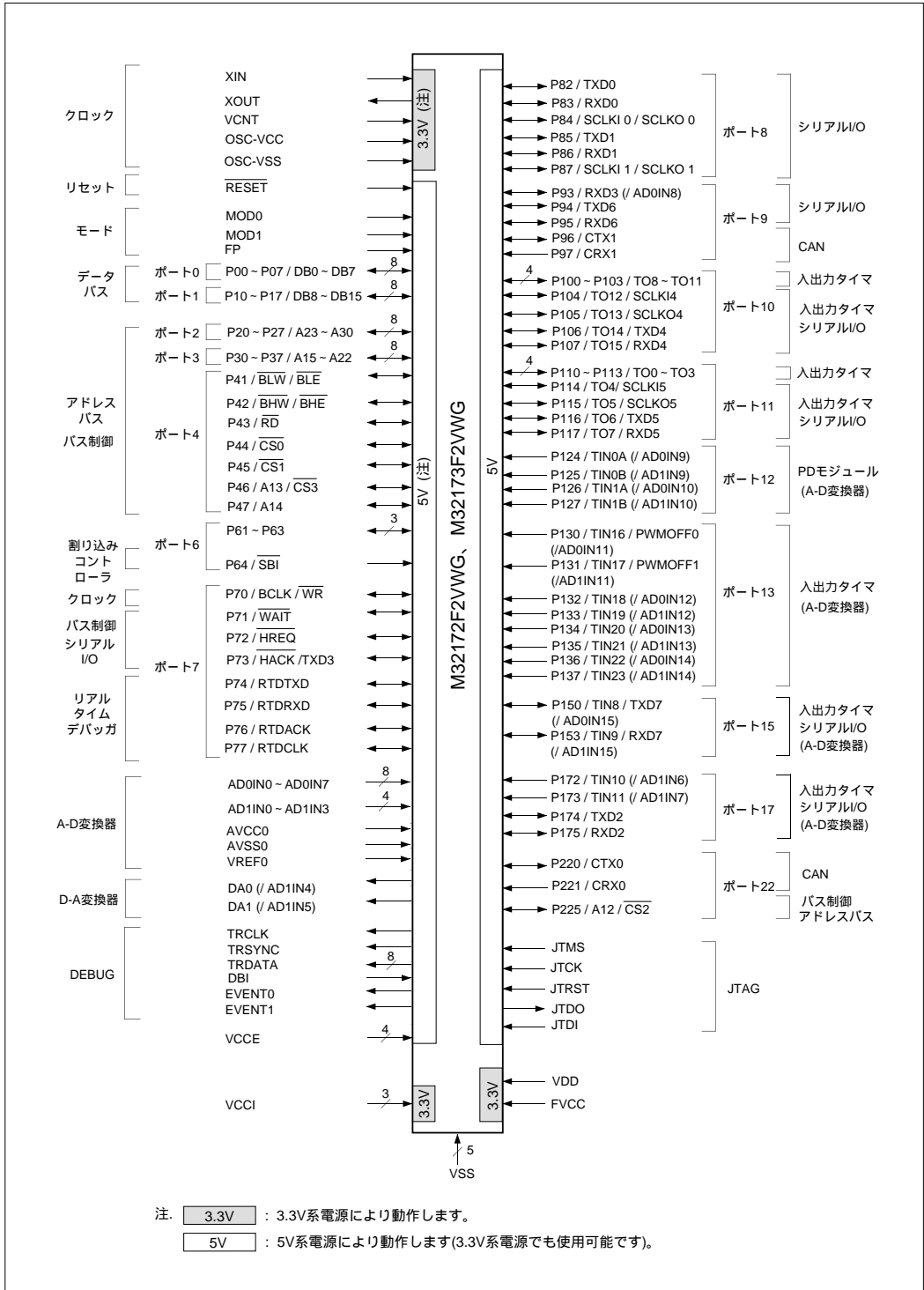


図1.3.2 175FBGAパッケージの端子機能図

表1.3.1 端子機能説明(1/6)

種類	端子名	名称	入出力	機能																								
電源	VCCE	電源	-	外部I/Oポートへの供給電源(5Vまたは3.3V)。																								
	VCCI	電源	-	内部ロジックへの供給電源(3.3V)。																								
	VDD	RAM電源	-	内蔵RAMバックアップ用電源端子(3.3V)。																								
	FVCC	FLASH電源	-	内蔵フラッシュメモリ用電源端子(3.3V)。																								
	VSS	グランド	-	VSSはすべてグランド(GND)に接続します。																								
クロック	XIN, XOUT	クロック	入力 出力	クロック入出力端子です。PLLによる逡倍回路を内蔵しており、動作周波数の1/4の周波数のクロックを入力します(CPUクロック40MHz時 : XIN入力 = 10.0MHz)																								
	BCLK \overline{WR}	システム クロック	出力	BCLK端子を選択した場合、外部入力クロックの2倍の周波数のクロックを出力します(外部入力クロック10MHz時 : BCLK出力 = 20MHz)。外部で同期設計を行う場合に使用します。 WR端子を選択した場合、外部デバイスへのライト時に有効なデータが転送されるバイト位置を示します。																								
	OSC-VCC	電源	-	PLL回路の電源です。OSC-VCCは電源(3.3V)に接続します。																								
	OSC-VSS	グランド	-	OSC-VSSはグランドに接続します。																								
	VCNT	PLL制御	入力	PLL回路の制御端子で、抵抗とコンデンサを接続します。(外付け回路については、20.1.1「発振回路例」をご覧ください)																								
リセット	RESET	リセット	入力	内部回路をリセットします。																								
モード	MOD0 MOD1	モード	入力	動作モードを設定します <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>FP</th> <th>MOD0</th> <th>MOD1</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>x</td> <td>0</td> <td>0</td> <td>シングルチップモード</td> </tr> <tr> <td>x</td> <td>0</td> <td>1</td> <td>外部拡張モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>プロセッサモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>ブートモード</td> </tr> <tr> <td>x</td> <td>1</td> <td>1</td> <td>(Reserved)</td> </tr> </tbody> </table>	FP	MOD0	MOD1	モード	x	0	0	シングルチップモード	x	0	1	外部拡張モード	0	1	0	プロセッサモード	1	1	0	ブートモード	x	1	1	(Reserved)
	FP	MOD0	MOD1	モード																								
	x	0	0	シングルチップモード																								
	x	0	1	外部拡張モード																								
	0	1	0	プロセッサモード																								
	1	1	0	ブートモード																								
x	1	1	(Reserved)																									
アドレス バス	A12~A30 アドレス バス	アドレス バス	出力	最大1MBメモリ空間を4系統外付けするために19本のアドレス(A12~A30)を持っています。A31は出力されません。																								

注. ブートモードについては、第6章「内蔵メモリ」をご覧ください。

表1.3.1 端子機能説明(2/6)

種類	端子名	名称	入出力	機能
データバス	DB0 ~ DB15	データバス	入出力	外部デバイス接続用の16ビットデータバスです。ライトサイクルでは16ビットのデータバスのうち、有効な書き込みを行うバイト位置をBHW/BHE、BLW/BLEとして出力します。リードサイクルでは常に16ビットのデータバスを読み込みます。ただしM32Rの内部へは、有効なバイト位置のデータのみが転送されます。
バス制御	$\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$	チップセレクト	出力	外部デバイスのチップセレクト信号です。チップセレクト信号の出力される領域については、第3章「アドレス空間」をご覧ください。
	\overline{RD}	リード	出力	外部デバイスのリード時に出力される信号です。
	$\overline{BHW/BHE}$	バイトハイライト / イネーブル	出力	外部デバイスへのライト時に、有効なデータが転送されるバイト位置を示します。 $\overline{BHW/BHE}$ が上位アドレス側(D0 ~ D7が有効)、 $\overline{BLW/BLE}$ が下位アドレス側(D8 ~ D15が有効)に対応しています。
	$\overline{BLW/BLE}$	バイトローライト / イネーブル	出力	
	\overline{WAIT}	ウエイト	入力	M32Rが外部デバイスにアクセスした場合、 \overline{WAIT} に"L"信号が入力されていると、ウエイトサイクルが延長されます。
	\overline{HREQ}	ホールドリクエスト	入力	外部デバイスが外部バスのバス権を要求するための入力端子です。 \overline{HREQ} 端子に"L"信号を入力するとM32Rはホールド状態へ遷移します。
	\overline{HACK}	ホールドアクノリッジ	出力	M32Rがホールド状態へ遷移し、外部バスのバス権を解放したことを通知するための信号です。
入出力タイマ	TIN8 ~ TIN11, TIN16 ~ TIN23	タイマ入力	入力	入出力タイマの入力端子です。
	TO0 ~ TO15	タイマ出力	出力	入出力タイマの出力端子です。
割り込みコントローラ	\overline{SBI}	システムブレーク割り込み	入力	割り込みコントローラのシステムブレーク割り込み(SBI)入力端子です。

表1.3.1 端子機能説明(3/6)

種類	端子名	名称	入出力	機能
PD コントラ	TIN0A, TIN0B	タイマ入力	入力	PD0用のセンサインタフェースおよびタイマ入力端子です。
	TIN1A, TIN1B	タイマ入力	入力	PD1用のセンサインタフェースおよびタイマ入力端子です。
A-D 変換器	AVCC0	アナログ電源	-	AVCC0はA-D変換器およびD-A変換器の電源です。AVCC0は電源(5Vまたは3.3V)に接続します。
	AVSS0	アナログ グランド	-	AVSS0はA-D変換器およびD-A変換器のアナロググランドです。AVSS0はグランドグランドに接続します。
	VREF0	基準電圧入力	入力	VREF0はA-D変換器およびD-A変換器の基準電圧入力端子(5Vまたは3.3V)です。
	AD0IN0 ~ AD0IN7	アナログ入力	入力	A-D0変換器の8チャンネルアナログ入力端子です。
	AD1IN0 ~ AD1IN3	アナログ入力	入力	A-D1変換器の4チャンネルアナログ入力端子です。
	(/AD0IN8) ~ (AD0IN15,)) (/AD1IN4) ~ (/AD1IN15)	アナログ入力	入力	端子レベルモニタ用の20チャンネルアナログ入力端子です。本チャンネルは、アナログ専用入力端子のような変換精度をもつものではありません。
D-A 変換器	DA0	アナログ出力	出力	D-A0変換器のアナログ出力端子です。
	DA1	アナログ出力	出力	D-A1変換器のアナログ出力端子です。
シリアル I/O	SCLKI0 / SCLKO0, SCLKI1 / SCLKO1	UART送受信 クロック出力 または CSIO送受信	入出力 クロック入出力	UARTモードの場合： BRG出力を2分周したクロック出力 CSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力

表1.3.1 端子機能説明(4/6)

種類	端子名	名称	入出力	機能
シリアル I/O	SCLKI4,	クロック出力	入力	UARTモードの場合： 使用禁止(入力状態) CSIOモードの場合： 外部クロック選択時の送受信クロック入力
	SCLKI5			
	SCLKO4, SCLKO5	クロック出力	出力	UARTモードの場合： BRG出力を2分周したクロック出力 CSIOモードの場合： 送受信クロック出力
	TXD0 ~TXD7	送信データ	出力	シリアルI/O送信データ出力端子です。
	RXD0 ~RXD7	受信データ	入力	シリアルI/O受信データ入力端子です。

表1.3.1 端子機能説明(5/6)

種類	端子名	名称	入出力	機能
リアルタイムデバッグ	RTDTXD	送信データ	出力	リアルタイムデバッグのシリアルデータ出力端子です。
	RTDRXD	受信データ	入力	リアルタイムデバッグのシリアルデータ入力端子です。
	RTDCLK	クロック入力	入力	リアルタイムデバッグのシリアルデータ送受信クロック入力端子です。
	RTDACK	アクノリッジ	出力	リアルタイムデバッグのシリアルデータ出力ワードの先頭クロックに同期して"L"パルスを出力します。"L"パルス幅はリアルタイムデバッグが受信したコマンド/データの種類を示します。
フラッシュ専用	FP	Flash Protect	入力	フラッシュメモリに対してE/WをH/Wプロテクトする機能を持つモード端子です。
CAN	CTX0, CTX1	データ出力	出力	CANモジュールからのデータを出力する端子です。
	CRX0, CRX1	データ入力	入力	CANモジュールへデータを入力する端子です。
JTAG	JTMS	テストモード	入力	テスト回路の状態遷移を制御するテストモード選択入力です。
	JTCK	クロック	入力	デバッグモジュールおよびテスト回路へのクロック入力です。
	JTRST	テストリセット	入力	テスト回路を非同期に初期化するテストリセット入力です。
	JTDI	シリアル入力	入力	テスト命令コードまたはテストデータをシリアルに入力する端子です。
	JTDO	シリア出力	出力	テスト命令コードまたはテストデータをシリアルに出力する端子です。
入出力ポート	P00 ~ P07	入出力ポート0	入出力	プログラマブル入出力ポートです。
	P10 ~ P17	入出力ポート1	入出力	プログラマブル入出力ポートです。
	P20 ~ P27	入出力ポート2	入出力	プログラマブル入出力ポートです。
	P30 ~ P37	入出力ポート3	入出力	プログラマブル入出力ポートです。

表1.3.1 端子機能説明(6/6)

種類	端子名	名称	入出力	機能
入出力ポート	P41 ~ P47	入出力ポート4	入出力	プログラマブル入出力ポートです。
(注1)	P61 ~ P64	入出力ポート6	入出力	プログラマブル入出力ポートです。 (ただし、P64は入力専用ポートです)
	P70 ~ P77	入出力ポート7	入出力	プログラマブル入出力ポートです。
	P82 ~ P87	入出力ポート8	入出力	プログラマブル入出力ポートです。
	P93 ~ P97	入出力ポート9	入出力	プログラマブル入出力ポートです。 (ただし、P93、P97は入力専用ポートです)
	P100 ~ P107	入出力ポート10	入出力	プログラマブル入出力ポートです。
	P110 ~ P117	入出力ポート11	入出力	プログラマブル入出力ポートです。
	P124 ~ P127	入出力ポート12	入力	入力専用ポートです。
	P130 ~ P137	入出力ポート13	入力	入力専用ポートです。
	P150, P153	入出力ポート15	入出力	プログラマブル入出力ポートです。
	P172 ~ P175	入出力ポート17	入出力	プログラマブル入出力ポートです。 (ただし、P172、P173は入力専用端子です)
	P220, P221, P225 (注2)	入出力ポート22	入出力	プログラマブル入出力ポートです。 (ただし、P221はCAN入力専用端子です)

注1. 入出力ポート5は将来のために予約されています。また、入出力ポート14、16、18、19、20、21は配置されていません。

注2. P225は、デバッグイベント機能がありますのでご注意ください。

表1.3.2 175FBGAデバッグ専用端子機能説明

種類	端子名	名称	入出力	機能
DEBUG	DBI	デバッグ割り込み要求	入力	デバッグ割り込み要求の入力端子です。 "L"入力でデバッグ割り込みの要求を行います。
	EVENT0, EVENT1	イベント出力	出力	TRCLKに同期して出力されます。イベント発生時に1TRCLKの間"H"が出力されます。
	TRCLK	トレース用 クロック出力	出力	トレース用クロックの出力端子です。トレース出力がこのクロックに同期して出力されます。
	TRSYNC	トレースパケット 出力開始信号	出力	トレースパケット出力開始信号です。トレースパケットの出力が開始されたら1TRCLKの間"L"が出力されます。
	TRDATA0 ~ TRDATA7	トレースパケット 出力	出力	トレースパケットの出力端子です。

注. 175FBGAは開発中。

1.4 端子配置

図1.4.1に端子配置図を、表1.4.1に端子配列表を示します。

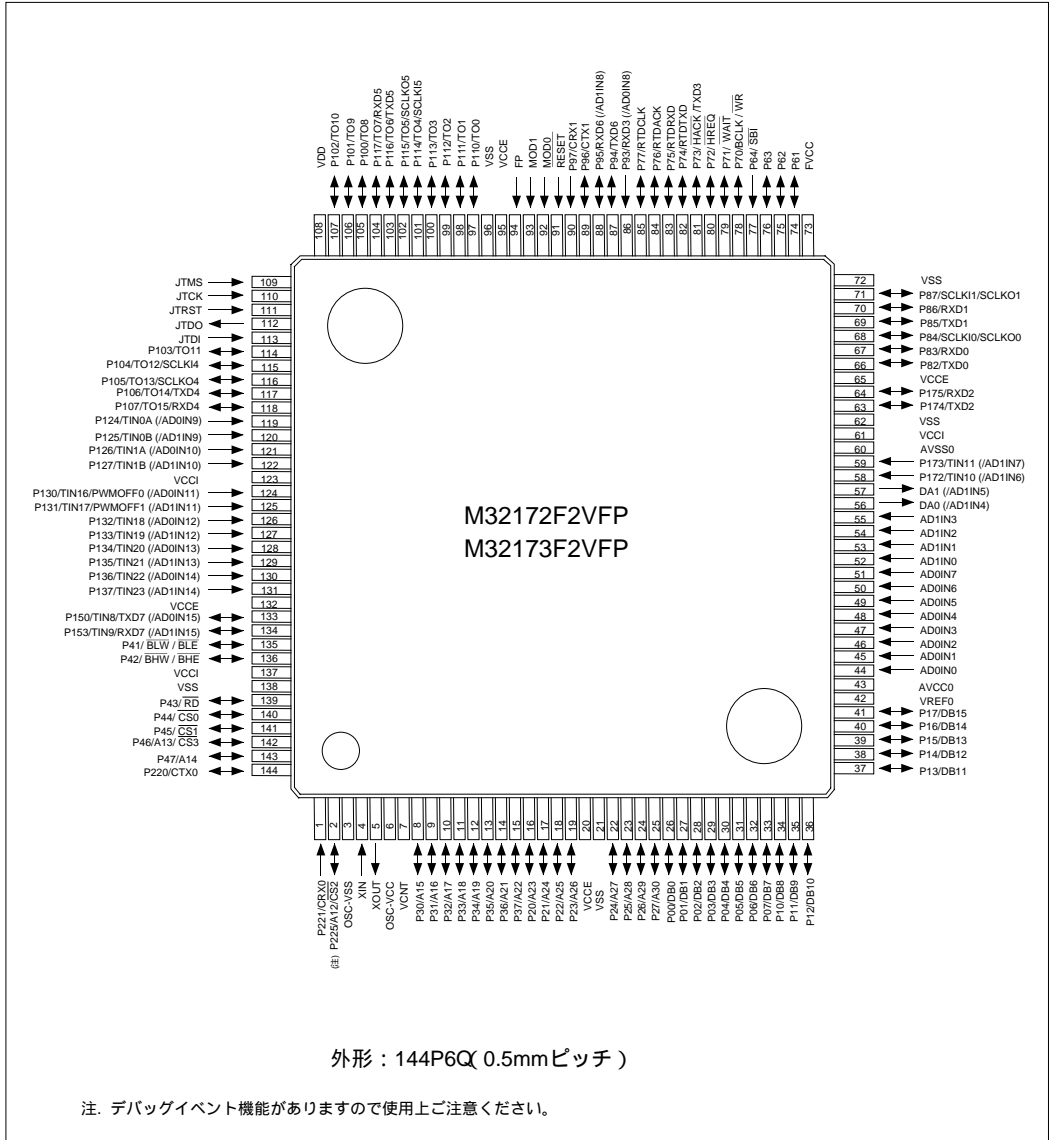


図1.4.1 M32172F2VFP/M32173F2VFPの端子配置図(上面図)

表1.4.1 144LQFPパッケージの端子配列表(1/2)

No.	端子名	No.	端子名	No.	端子名
1	P221 / CRX0	41	P17 / DB15	81	P73 / HACK / TXD3
2	P225 / A12 / $\overline{CS2}$	42	VREF0	82	P74 / RTD TXD
3	OSC-VSS	43	AVCC0	83	P75 / RTDRXD
4	XIN	44	AD0IN0	84	P76 / RTDACK
5	XOUT	45	AD0IN1	85	P77 / RTDCLK
6	OSC-VCC	46	AD0IN2	86	P93 / RXD3(/ AD0IN8)
7	VCNT	47	AD0IN3	87	P94 / TXD6
8	P30 / A15	48	AD0IN4	88	P95 / RXD6(/ AD1IN8)
9	P31 / A16	49	AD0IN5	89	P96 / CTX1
10	P32 / A17	50	AD0IN6	90	P97 / CRX1
11	P33 / A18	51	AD0IN7	91	\overline{RESET}
12	P34 / A19	52	AD1IN0	92	MOD0
13	P35 / A20	53	AD1IN1	93	MOD1
14	P36 / A21	54	AD1IN2	94	FP
15	P37 / A22	55	AD1IN3	95	VCCE
16	P20 / A23	56	DA0(/ AD1IN4)	96	VSS
17	P21 / A24	57	DA1(/ AD1IN5)	97	P110 / TO0
18	P22 / A25	58	P172 / TIN10(/ AD1IN6)	98	P111 / TO1
19	P23 / A26	59	P173 / TIN11(/ AD1IN7)	99	P112 / TO2
20	VCCE	60	AVSS0	100	P113 / TO3
21	VSS	61	VCCI	101	P114 / TO4 / SCLKI5
22	P24 / A27	62	VSS	102	P115 / TO5 / SCLKO5
23	P25 / A28	63	P174 / TXD2	103	P116 / TO6 / TXD5
24	P26 / A29	64	P175 / RXD2	104	P117 / TO7 / RXD5
25	P27 / A30	65	VCCE	105	P100 / TO8
26	P00 / DB0	66	P82 / TXD0	106	P101 / TO9
27	P01 / DB1	67	P83 / RXD0	107	P102 / TO10
28	P02 / DB2	68	P84 / SCLKI0 / SCLKO0	108	VDD
29	P03 / DB3	69	P85 / TXD1	109	JTMS
30	P04 / DB4	70	P86 / RXD1	110	JTCK
31	P05 / DB5	71	P87 / SCLKI1 / SCLKO1	111	JTRST
32	P06 / DB6	72	VSS	112	JTDO
33	P07 / DB7	73	FVCC	113	JTDI
34	P10 / DB8	74	P61	114	P103 / TO11
35	P11 / DB9	75	P62	115	P104 / TO12 / SCLKI4
36	P12 / DB10	76	P63	116	P105 / TO13 / SCLKO4
37	P13 / DB11	77	P64 / \overline{SBI}	117	P106 / TO14 / TXD4
38	P14 / DB12	78	P70 / BCLK / \overline{WR}	118	P107 / TO15 / RXD4
39	P15 / DB13	79	P71 / \overline{WAIT}	119	P124 / TIN0A (/ AD0IN9)
40	P16 / DB14	80	P72 / \overline{HREQ}	120	P125 / TIN0B (/ AD1IN9)

表1.4.2 144LQFPパッケージの端子配列表(2/2)

No.	端子名	No.	端子名	No.	端子名
121	P126 / TIN1A (/ AD0IN10)	131	P137 / TIN23(/ AD1IN14)	141	P45 / CS $\bar{1}$
122	P127 / TIN1B (/ AD1IN10)	132	VCCE	142	P46 / A13 / CS $\bar{3}$
123	VCCI	133	P150 / TIN8 / TXD7(/ AD0IN15)	143	P47 / A14
124	P130 / TIN16 / PWMOFF0 (/ AD0IN11)	134	P153 / TIN9 / RXD7(/ AD1IN15)	144	P220 / CTX0
125	P131 / TIN17 / PWMOFF1 (/ AD1IN11)	135	P41 / BLW / BLE		
126	P132 / TIN18 (/ AD0IN12)	136	P42 / BHW / BHE		
127	P133 / TIN19 (/ AD1IN12)	137	VCCI		
128	P134 / TIN20 (/ AD0IN13)	138	VSS		
129	P135 / TIN21 (/ AD1IN13)	139	P43 / RD		
130	P136 / TIN22 (/ AD0IN14)	140	P44 / CS $\bar{0}$		

15	JTRST	JTCK	P102/TO10	P117 /TO7 /RXD5	P114 /TO4 /SCLKI5	P110/TO0	MOD1	TRDATA6	TRDATA5	P93 /RXD3 (/AD0IN8)	P74 /RTDXTD	P71/WAIT	P63	FVCC	N.C.
14	JTDO	JTMS	VDD	P100/TO8	P115/TO5 /SCLKO5	P111/TO1	FP	RESET	P95 /RXD6 (/AD1IN8)	P77 /RTDCLK	P73/HACK /TXD3	P70/BCLK /WR	P62	P61	VSS
13	N.C.	N.C.	N.C.	P101/TO9	P116/TO6 /TXD5	P112/TO2	VCCE	MOD0	P94/TXD6	P76 /RTDACK	P72/HREQ	P64/SBI	P87 /SCLKI1 /SCLKO1	N.C.	P86/RXD1
12	P103/TO11	JTDI	N.C.	N.C.	P113/TO3	VSS	TRDATA7	P97/CRX1	P96/CTX1	TRDATA4	P75/RTDRXD	N.C.	P85/TXD1	P84 /SCLKI0 /SCLKO0	P83/RXD0
11	P106/TO14 /TXD4	P105 /TO13 /SCLKO4	P104 /TO12 /SCLKI4	P107 /TO15 /RXD4	M32172F2VWG M32173F2VWG							P174/TXD2	P82/TXD0	VCCE	P175/RXD2
10	DBI	P125 /TIN0B (/AD1IN9)	P124 /TIN0A (/AD0IN9)	P126 /TIN1A (/AD0IN10)								TRDATA0	TRDATA3	TRDATA2	TRDATA1
9	EVENT1	P127 /TIN1B (/AD1IN10)	EVENT0	VCCI								P173 /TIN11 (/AD1IN7)	VSS	VCCI	AVSS0
8	P131/TIN17 /PWMOFF1 (/AD1IN11)	P132 /TIN18 (/AD0IN12)	P133 /TIN19 (/AD1IN12)	P130/TIN16 /PWMOFF0 (/AD0IN11)								P172 /TIN10 (/AD1IN6)	AD1IN3	DA0 (/AD1IN14)	DA1 (/AD1IN15)
7	P135 /TIN21 (/AD1IN13)	P136 /TIN22 (/AD0IN14)	P137 /TIN23 (/AD1IN14)	P134 /TIN20 (/AD0IN13)								AD1IN2	AD0IN7	AD1IN0	AD1IN1
6	P150/TIN8 /TXD7 (/AD0IN15)	P153/TIN9 /RXD7 (/AD1IN15)	P41/BLW /BLE	VCCE								AD0IN6	AD0IN3	AD0IN4	AD0IN5
5	VCCI	VSS	P43/RD	P42/BHW /BHE								AD0IN2	AVCC0	AD0IN0	AD0IN1
4	N.C.	N.C.	N.C.	N.C.								P30/A15	P34/A19	P37/A22	P23/A26
3	N.C.	N.C.	P44/CS0	P225/A12 /CS2	XOUT	P31/A16	P35/A20	P20/A23	P24/A27	P00/DB0	P04/DB4	P07/DB7	P16/DB14	N.C.	N.C.
2	P45/CS1	P47/A14	P220/CTX0	OSC-VSS	OSC-VCC	P32/A17	TRCLK	P21/A24	TRSYNC	P27/A30	P03/DB3	P06/DB6	P11/DB9	P12/DB10	P15/DB13
1		P46/A13 /CS3	P221/CRX0	XIN	VCNT	P33/A18	P36/A21	P22/A25	VSS	P26/A29	P02/DB2	P05/DB5	P10/DB8	P13/DB11	P14/DB12
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R

図1.4.2 端子配置図(上面図)

表1.4.3 175FBGAの端子配列表(1/2)

No.	端子名	No.	端子名	No.	端子名
A1	-----	D1	XIN	G1	P36/A21
A2	P45/ $\overline{\text{CS1}}$	D2	OSC-VSS	G2	TRCLK
A3	N.C.	D3	P225/A12/ $\overline{\text{CS2}}$	G3	P35/A20
A4	N.C.	D4	N.C.	G4	P37/A22
A5	VCCI	D5	P42/ $\overline{\text{BHW/BHE}}$	G5	-----
A6	P150/TIN8/TXD7(/AD0IN15)	D6	VCCE	G6	-----
A7	P135/TIN21(/AD1IN13)	D7	P134/TIN20(/AD0IN13)	G7	-----
A8	P131/TIN17/PWMOFF1(/AD1IN11)	D8	P130/TIN16/PWMOFF0(/AD0IN11)	G8	-----
A9	EVENT1	D9	VCCI	G9	-----
A10	DBI	D10	P126/TIN1A(/AD0IN10)	G10	-----
A11	P106/TO14/TXD4	D11	P107/TO15/RXD4	G11	-----
A12	P103/TO11	D12	N.C.	G12	TRDATA7
A13	N.C.	D13	P101/TO9	G13	VCCE
A14	JTDO	D14	P100/TO8	G14	FP
A15	JTRST	D15	P117/TO7/RXD5	G15	MOD1
B1	P46/A13/ $\overline{\text{CS3}}$	E1	VCNT	H1	P22/A25
B2	P47/A14	E2	OSC-VCC	H2	P21/A24
B3	N.C.	E3	XOUT	H3	P20/A23
B4	N.C.	E4	P30/A15	H4	P23/A26
B5	VSS	E5	-----	H5	-----
B6	P153/TIN9/RXD7(/AD1IN15)	E6	-----	H6	-----
B7	P136/TIN22(/AD0IN14)	E7	-----	H7	-----
B8	P132/TIN18(/AD0IN12)	E8	-----	H8	-----
B9	P127/TIN1B(/AD1IN10)	E9	-----	H9	-----
B10	P125/TIN0B(/AD1IN9)	E10	-----	H10	-----
B11	P105/TO13/SCLKO4	E11	-----	H11	-----
B12	JTDI	E12	P113/TO3	H12	P97/CRX1
B13	N.C.	E13	P116/TO6/TXD5	H13	MOD0
B14	JTMS	E14	P115/TO5/SCLKO5	H14	$\overline{\text{RESET}}$
B15	JTCK	E15	P114/TO4/SCLKI5	H15	TRDATA6
C1	P221/CRX0	F1	P33/A18	J1	VSS
C2	P220/CTX0	F2	P32/A17	J2	TRSYNC
C3	P44/ $\overline{\text{CS0}}$	F3	P31/A16	J3	P24/A27
C4	N.C.	F4	P34/A19	J4	VCCE
C5	P43/ $\overline{\text{RD}}$	F5	-----	J5	-----
C6	P41/ $\overline{\text{BLW/BLE}}$	F6	-----	J6	-----
C7	P137/TIN23(/AD1IN14)	F7	-----	J7	-----
C8	P133/TIN19(/AD1IN12)	F8	-----	J8	-----
C9	EVENT0	F9	-----	J9	-----
C10	P124/TIN0A(/AD0IN9)	F10	-----	J10	-----
C11	P104/TO12/SCLKI4	F11	-----	J11	-----
C12	N.C.	F12	VSS	J12	P96/CTX1
C13	N.C.	F13	P112/TO2	J13	P94/TXD6
C14	VDD	F14	P111/TO1	J14	P95/RXD6(/AD1IN8)
C15	P102/TO10	F15	P110/TO0	J15	TRDATA5

表1.4.4 175FBGAの端子配列表(2/2)

No.	端子名	No.	端子名	No.	端子名
K1	P26/A29	M1	P05/DB5	P1	P13/DB11
K2	P27/A30	M2	P06/DB6	P2	P12/DB10
K3	P00/DB0	M3	P07/DB7	P3	N.C.
K4	P25/A28	M4	N.C.	P4	P17/DB15
K5	-----	M5	AD0IN2	P5	AD0IN0
K6	-----	M6	AD0IN6	P6	AD0IN4
K7	-----	M7	AD1IN2	P7	AD1IN0
K8	-----	M8	P172/TIN10(/AD1IN6)	P8	DA0(/AD1IN14)
K9	-----	M9	P173/TIN11(/AD1IN7)	P9	VCCI
K10	-----	M10	TRDATA0	P10	TRDATA2
K11	-----	M11	P174/TXD2	P11	VCCE
K12	TRDATA4	M12	N.C.	P12	P84/SCLKI0/SCLKO0
K13	P76/RTDACK	M13	P64/SBI	P13	N.C.
K14	P77/RTDCLK	M14	P70/BCLK/W \overline{R}	P14	P61
k15	P93/RXD3(/AD0IN8)	M15	P71/WAIT	P15	FVCC
L1	P02/DB2	N1	P10/DB8	R1	P14/DB12
L2	P03/DB3	N2	P11/DB9	R2	P15/DB13
L3	P04/DB4	N3	P16/DB14	R3	N.C.
L4	P01/DB1	N4	N.C.	R4	VREF0
L5	-----	N5	AVCC0	R5	AD0IN1
L6	-----	N6	AD0IN3	R6	AD0IN5
L7	-----	N7	AD0IN7	R7	AD1IN1
L8	-----	N8	AD1IN3	R8	DA1(/AD1IN15)
L9	-----	N9	VSS	R9	AVSS0
L10	-----	N10	TRDATA3	R10	TRDATA1
L11	-----	N11	P82/TXD0	R11	P175/RXD2
L12	P75/RTDRXD	N12	P85/TXD1	R12	P83/RXD0
L13	P72/HREQ	N13	P87/SCLKI1/SCLKO1	R13	P86/RXD1
L14	P73/HACK/TXD3	N14	P62	R14	VSS
L15	P74/RTDTXD	N15	P63	R15	N.C.

空きページです

第 2 章

C P U

- 2.1 CPUレジスタ
- 2.2 汎用レジスタ
- 2.3 制御レジスタ
- 2.4 アキュムレータ
- 2.5 プログラムカウンタ
- 2.6 データフォーマット

2.1 CPUレジスタ

M32Rには16本の汎用レジスタ、5本の制御レジスタ、アキュムレータ及びプログラムカウンタがあります。アキュムレータは56ビット、その他のレジスタはすべて32ビット構成になっています。

2.2 汎用レジスタ

汎用レジスタは32ビット幅で16本(R0 ~ R15)あり、データやベースアドレスの保持などに使用します。R14はリンクレジスタとして、R15はスタックポインタとして使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ(PSW)のスタックモード(SM)ビットの値に応じて割り込み用スタックポインタ(SPI)と、ユーザ用スタックポインタ(SPU)とに切り替わります。

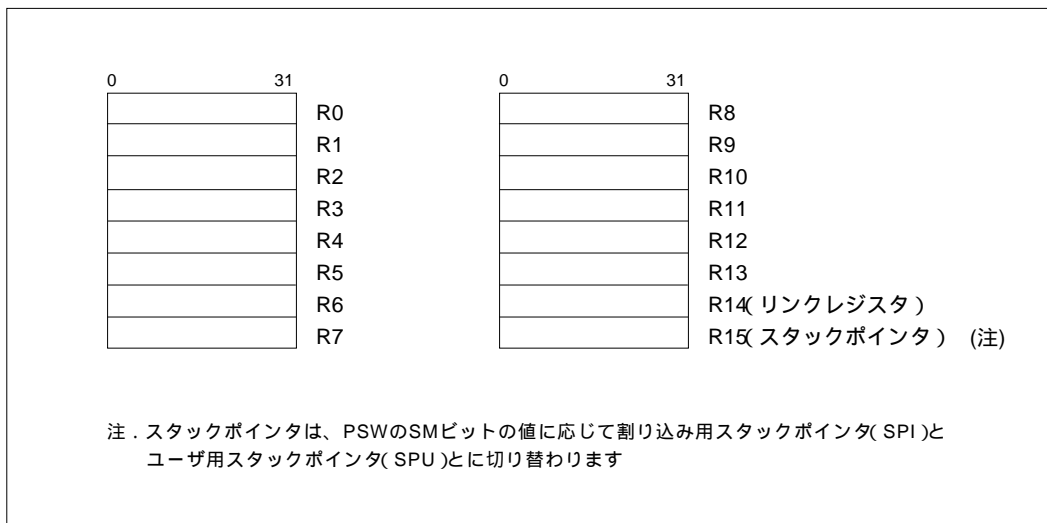


図2.2.1 汎用レジスタ

2.3 制御レジスタ

制御レジスタには、プロセッサ状態語レジスタ(PSW)、条件ビットレジスタ(CBR)、割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)、バックアップPC(BPC)の5つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。

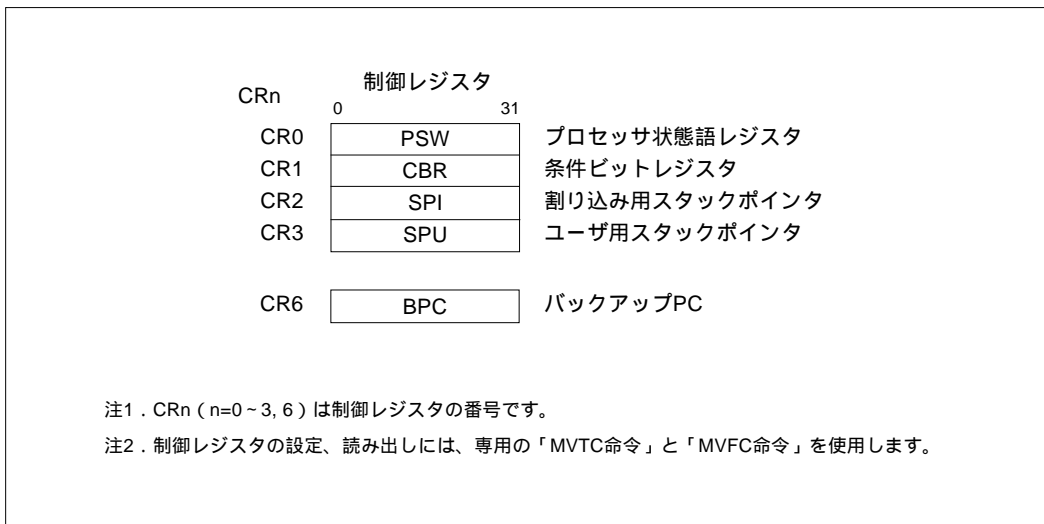


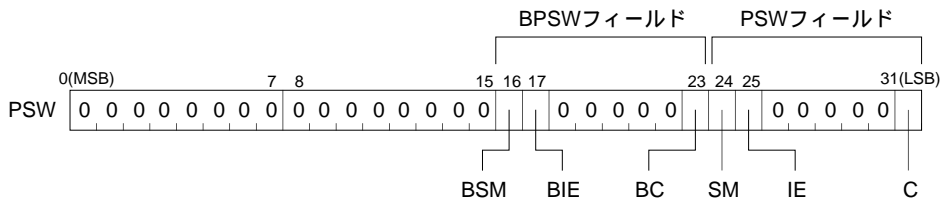
図2.3.1 制御レジスタ

2.3.1 プロセッサ状態語レジスタ：PSW(CR0)

プロセッサ状態語レジスタ(PSW)は、M32Rのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを待避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモード(SM)、割り込みイネーブル(IE)、条件ビット(C)の各ビットで構成しています。

また、BPSWフィールドはバックアップSMビット(BSM)、バックアップIEビット(BIE)、バックアップCビット(BC)の各ビットで構成しています。



(注1)

D	ビット名	機能	初	R	W
16	BSM(バックアップSM)	EIT受け付け時に、SMビットの値が保持される。	不定		
17	BIE(バックアップIE)	EIT受け付け時に、IEビットの値が保持される。	不定		
23	BC(バックアップC)	EIT受け付け時に、Cビットの値が保持される。	不定		
24	SM(スタックモード)	0: 割り込み用スタックポインタを使用 1: ユーザ用スタックポインタを使用	0		
25	IE(割り込みイネーブル)	0: 割り込みを受け付けない 1: 割り込みを受け付ける	0		
31	α(条件ビット)	命令の実行に応じて演算結果のキャリー、ポロー、オーバフローの有無を示す	0		

注1. 初 = リセット直後の状態, R = は読み出し可能を, W = は書き込み可能を示します。

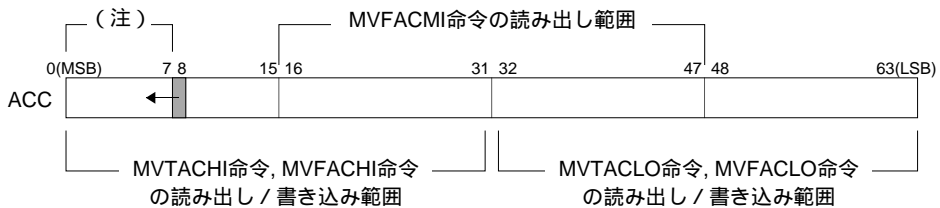
注2. EIT事象発生時の各ビットの変化については、第4章「EIT」をご覧ください。

2.4 アキュムレータ

アキュムレータ(ACC)は、DSP機能用命令で使用される56ビットのレジスタです。読み出し時や書き込み時には64ビットのレジスタとして扱われ、読み出し時にはビット8の値が符号拡張されます。書き込み時にはビット0～7は無視されます。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット(ビット0～31)に、「MVTACLO命令」は下位側32ビット(ビット32～63)にデータを書き込みます。

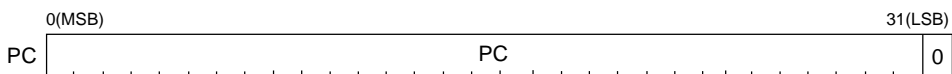
読み出しには「MVFACHI命令」、「MVFACLO命令」および「MVFACMI命令」を使用します。「MVFACHI命令」で上位側32ビット(ビット0～31)を、「MVFACLO命令」で下位側32ビット(ビット32～63)を、また「MVFACMI命令」で中央の32ビット(ビット16～47)のデータをそれぞれ読み出します。



注. ビット0～7は、ビット8の値を符号拡張された値が常に読み出されます。この部分への書き込みは無視されます。

2.5 プログラムカウンタ

プログラムカウンタ(PC)は32ビットのカウンタで、現在実行中の命令アドレスを保持します。M32Rの命令は偶数アドレスから始まるため、LSB(ビット31)は0になります。



2.6 データフォーマット

2.6.1 データタイプ

M32Rの命令セットで扱えるデータタイプは、符号付き、または符号なしの8, 16, 32ビット整数です。符号付き整数の値は2の補数で表現されます。

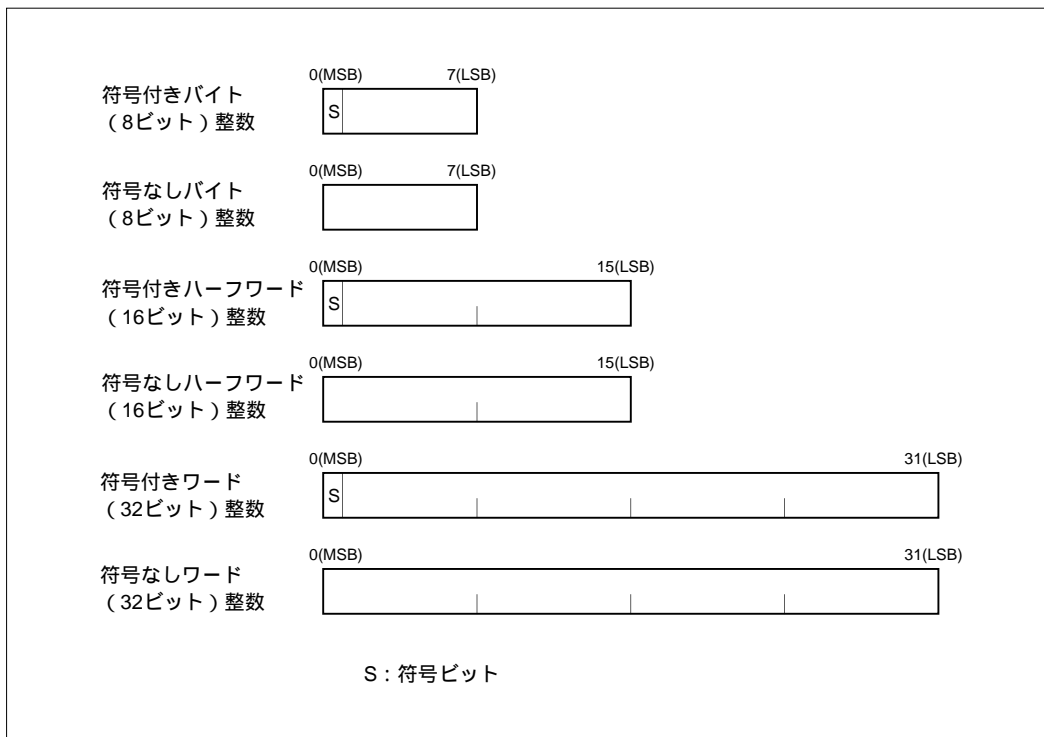


図2.6.1 データタイプ

2.6.2 データフォーマット

(1) レジスタ上のデータフォーマット

M32Rのレジスタ上でのデータサイズは常にワード(32ビット)です。

メモリ上のバイト(8ビット)、ハーフワード(16ビット)のデータをロードする場合は、ワード(32ビット)データに符号拡張(LDB, LDH命令)またはゼロ拡張(LDUB, LDUH命令)後、レジスタに格納されます。

M32Rのレジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

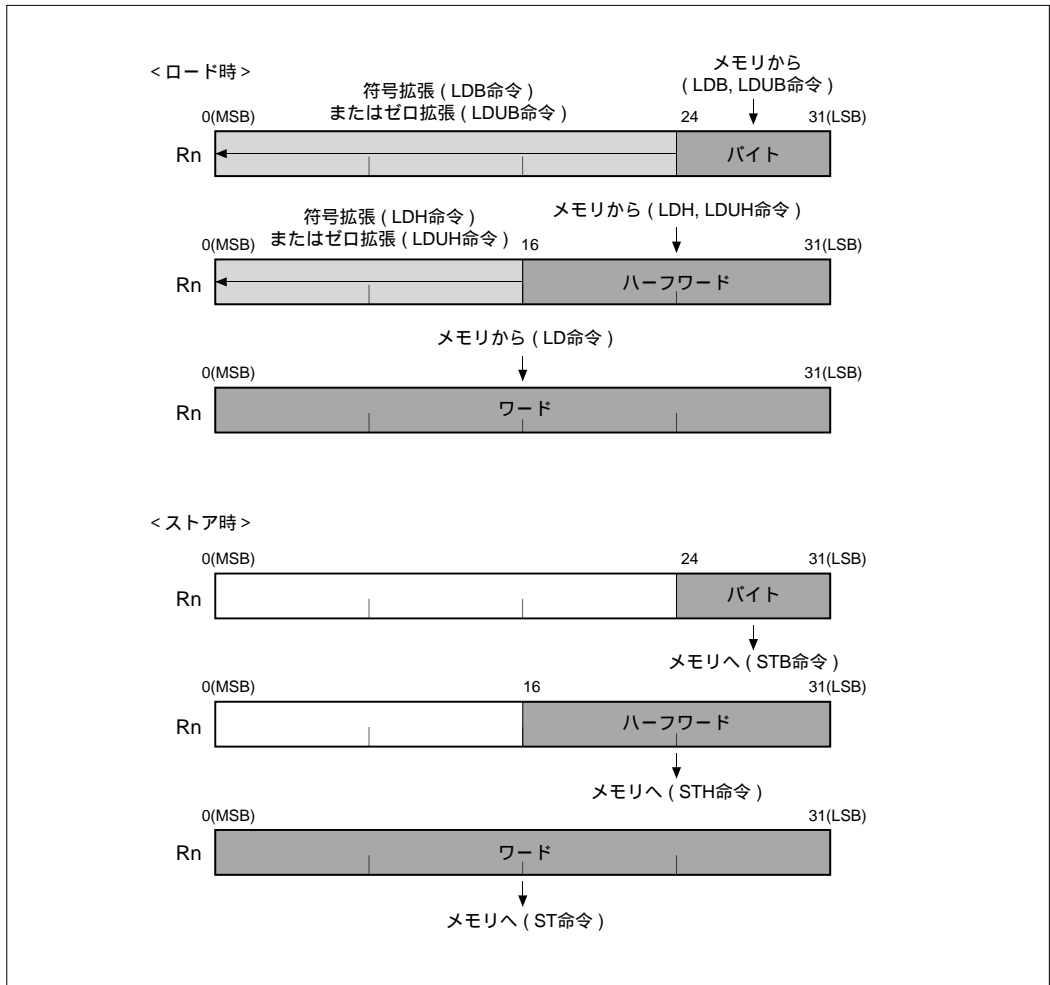


図2.6.2 レジスタ上のデータフォーマット

(2) メモリ上のデータフォーマット

メモリ上でのデータサイズはバイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界(アドレスの最下位ビットが"0"の番地)、またワードデータはワード境界(アドレスの下位2ビットが"00"の番地)に配置されなければなりません。この境界をまたぐメモリデータをアクセスしようとするするとアドレス例外が発生します。

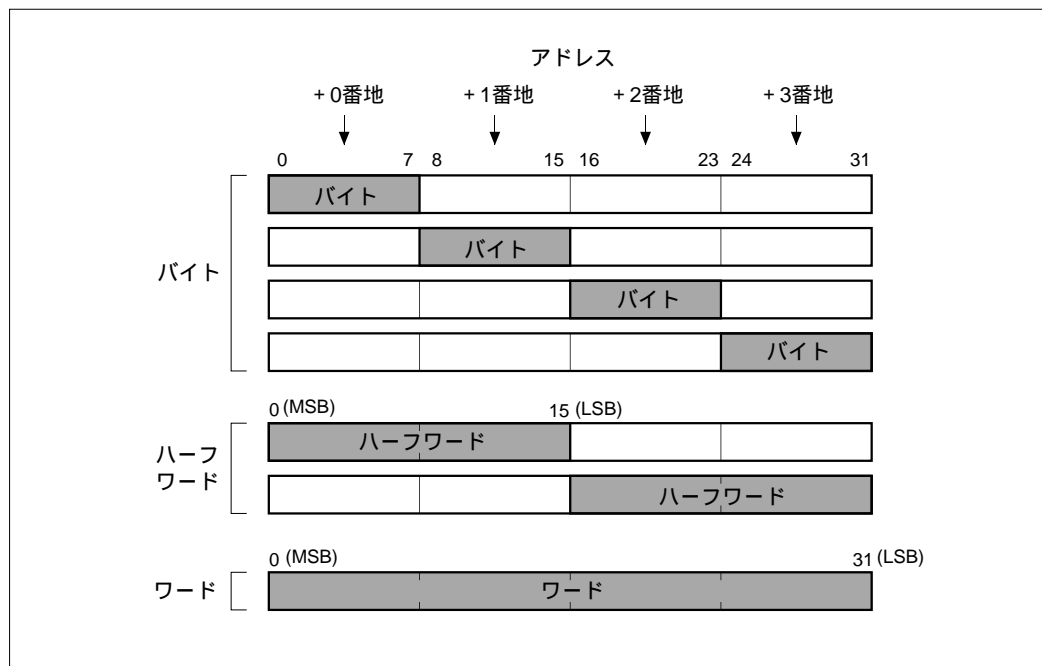


図2.6.3 メモリ上のデータフォーマット

(3) エンディアン

エンディアンの方式およびM32Rファミリのエンディアンを以下に示します。

	ビットエンディアン (H'01)	バイトエンディアン (H'01234567)																		
ビッグエンディアン	<table border="1"> <tr><td>MSB</td><td>LSB</td></tr> <tr><td colspan="2">B'0000001</td></tr> <tr><td>D0</td><td>D7</td></tr> </table>	MSB	LSB	B'0000001		D0	D7	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>H'01</td><td>H'23</td><td>H'45</td><td>H'67</td></tr> <tr><td>HH</td><td>HL</td><td>LH</td><td>LL</td></tr> </table>	MSB			LSB	H'01	H'23	H'45	H'67	HH	HL	LH	LL
MSB	LSB																			
B'0000001																				
D0	D7																			
MSB			LSB																	
H'01	H'23	H'45	H'67																	
HH	HL	LH	LL																	
リトルエンディアン	<table border="1"> <tr><td>MSB</td><td>LSB</td></tr> <tr><td colspan="2">B'0000001</td></tr> <tr><td>D7</td><td>D0</td></tr> </table>	MSB	LSB	B'0000001		D7	D0	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>H'67</td><td>H'45</td><td>H'23</td><td>H'01</td></tr> <tr><td>LL</td><td>LH</td><td>HL</td><td>HH</td></tr> </table>	MSB			LSB	H'67	H'45	H'23	H'01	LL	LH	HL	HH
MSB	LSB																			
B'0000001																				
D7	D0																			
MSB			LSB																	
H'67	H'45	H'23	H'01																	
LL	LH	HL	HH																	

注 . ビットビッグエンディアンであってもH'01がB'10000000ではありません。

図2.6.4 エンディアンの方式

MPU名	7700ファミリ M16Cファミリ	他社マイコン	M32Rファミリ M16ファミリ																								
エンディアン (ビット/バイト)	リトル/リトル	リトル/ビッグ	ビッグ/ビッグ																								
アドレス	+0 +1 +2 +3	+0 +1 +2 +3	+0 +1 +2 +3																								
データ配置	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>LL</td><td>LH</td><td>HL</td><td>HH</td></tr> </table>	MSB			LSB	LL	LH	HL	HH	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>HH</td><td>HL</td><td>LH</td><td>LL</td></tr> </table>	MSB			LSB	HH	HL	LH	LL	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>HH</td><td>HL</td><td>LH</td><td>LL</td></tr> </table>	MSB			LSB	HH	HL	LH	LL
MSB			LSB																								
LL	LH	HL	HH																								
MSB			LSB																								
HH	HL	LH	LL																								
MSB			LSB																								
HH	HL	LH	LL																								
ビット番号	31~24 23~16 15~8 7~0	31~24 23~16 15~8 7~0	0~7 8~15 16~23 24~31																								
例:0x01234567	.byte 67,45,23,01	.byte 01,23,45,67	.byte 01,23,45,67																								

注 . M32Rはビット・バイトともにビッグエンディアンです。

図2.6.5 M32Rファミリのエンディアン

(4)転送命令

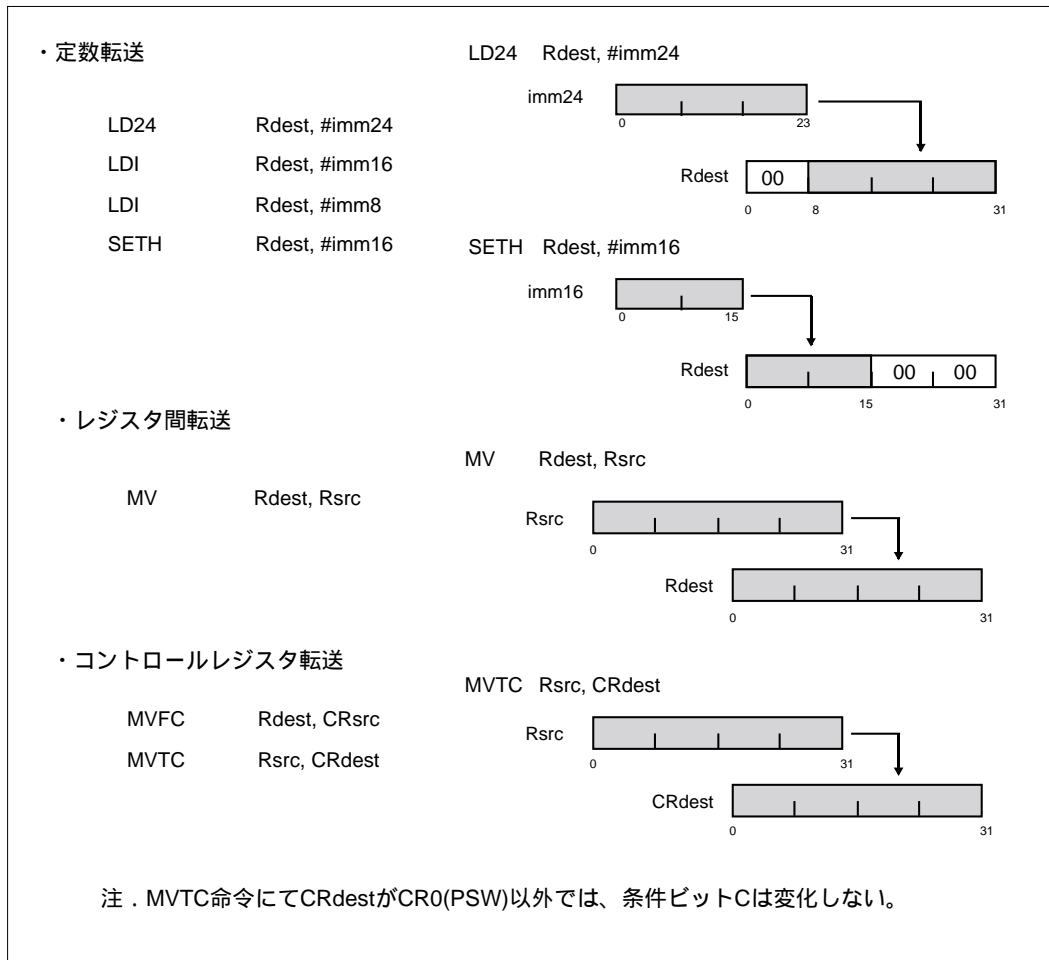


図2.6.6 転送命令

(5)メモリ(符号あり)からレジスタへの転送

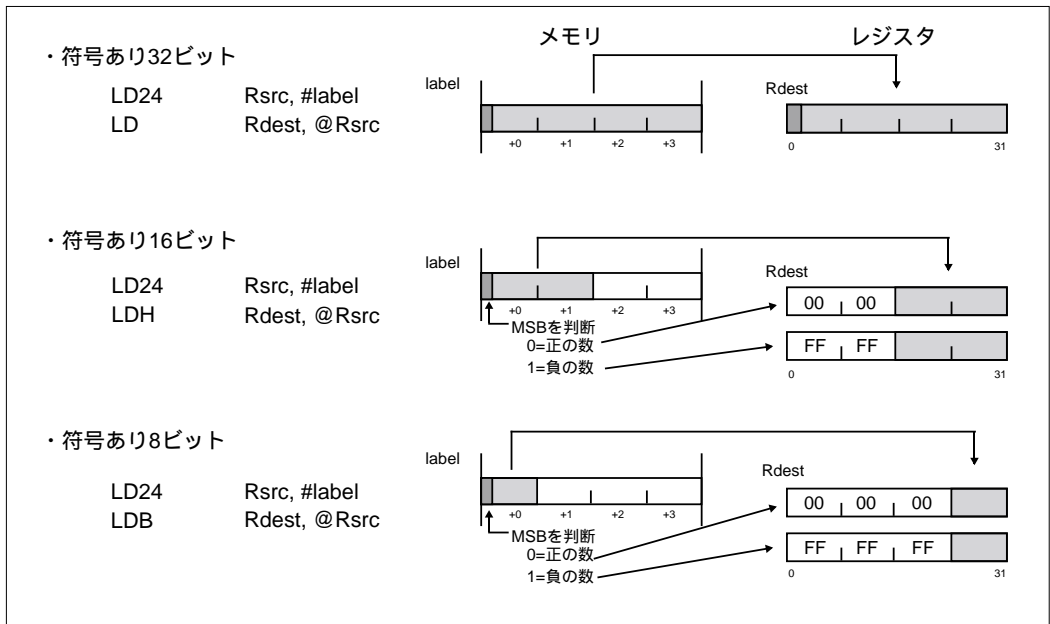


図2.6.7 メモリ(符号あり)からレジスタへの転送

(6)メモリ(符号なし)からレジスタ転送

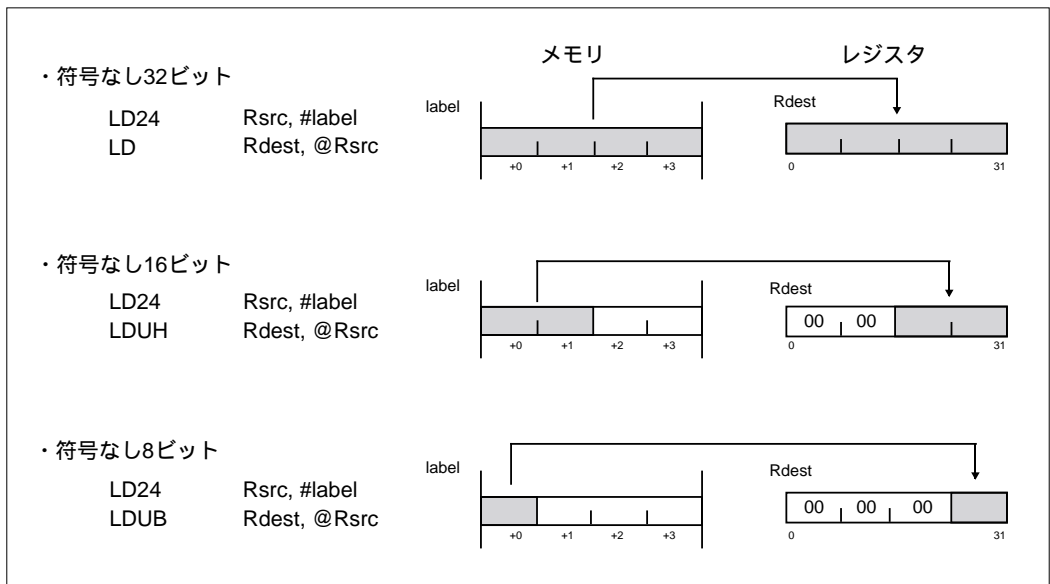


図2.6.8 メモリ(符号なし)からレジスタへの転送

(7)データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。

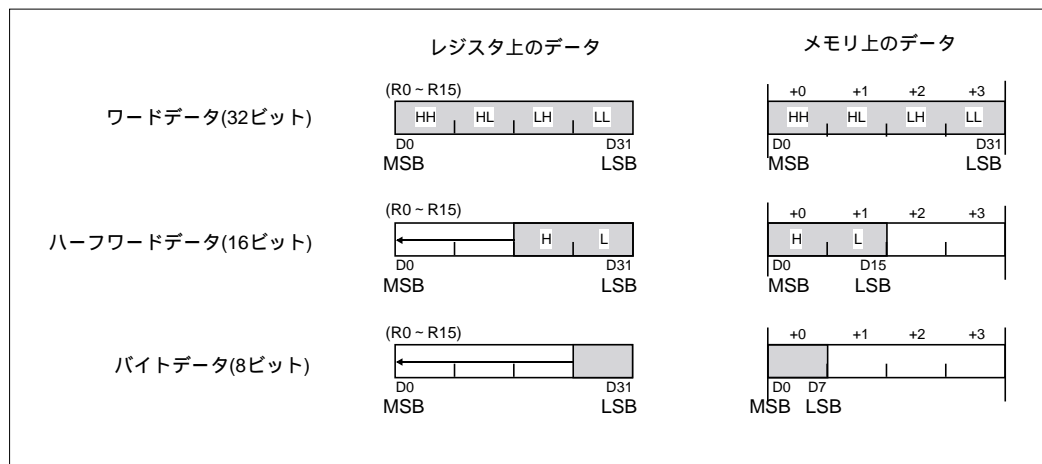


図2.6.9 データ配置の違い

空きページです

第3章

アドレス空間

- 3.1 アドレス空間概要
- 3.2 動作モード
- 3.3 内蔵ROM領域 / 外部拡張領域
- 3.4 内蔵RAM領域 / SFR領域
- 3.5 EITベクタエントリ
- 3.6 ICUベクタテーブル
- 3.7 アドレス空間の注意事項

3.1 アドレス空間概要

M32Rの論理アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。M32Rのアドレス空間には、以下の空間が存在します。

(1) ユーザ空間

内蔵ROM領域
外部拡張領域
内蔵RAM領域
SFR(Special Function Register)領域

(2) ブートプログラム空間

(3) システム空間(ユーザ非公開領域)

(1) ユーザ空間

H'0000 0000 ~ H'7FFF FFFF番地の2Gバイトはユーザ空間です。この空間には、内蔵ROM領域、外部拡張領域、内蔵RAM領域、SFR(Special Function Register)領域(内蔵周辺I/Oのレジスタ群)などが配置されます。このうち内蔵ROM領域と外部拡張領域は、後で述べるモード設定で配置が異なります。

(2) ブートプログラム空間

H'8000 0000 ~ H'BFFF FFFF番地の1Gバイトはブートプログラム領域です。この空間は、内蔵フラッシュ領域がブランク状態時、オンボード書き込みを可能にするためのプログラム(ブートプログラム)が格納されています。

(3) システム空間

H'C000 0000 ~ H'FFFF FFFF番地の1Gバイトはシステム領域です。この空間は、インサーキットエミュレータや、デバッグ用モニタなどの開発ツール提供のために予約されており、ユーザが使用することはできません。

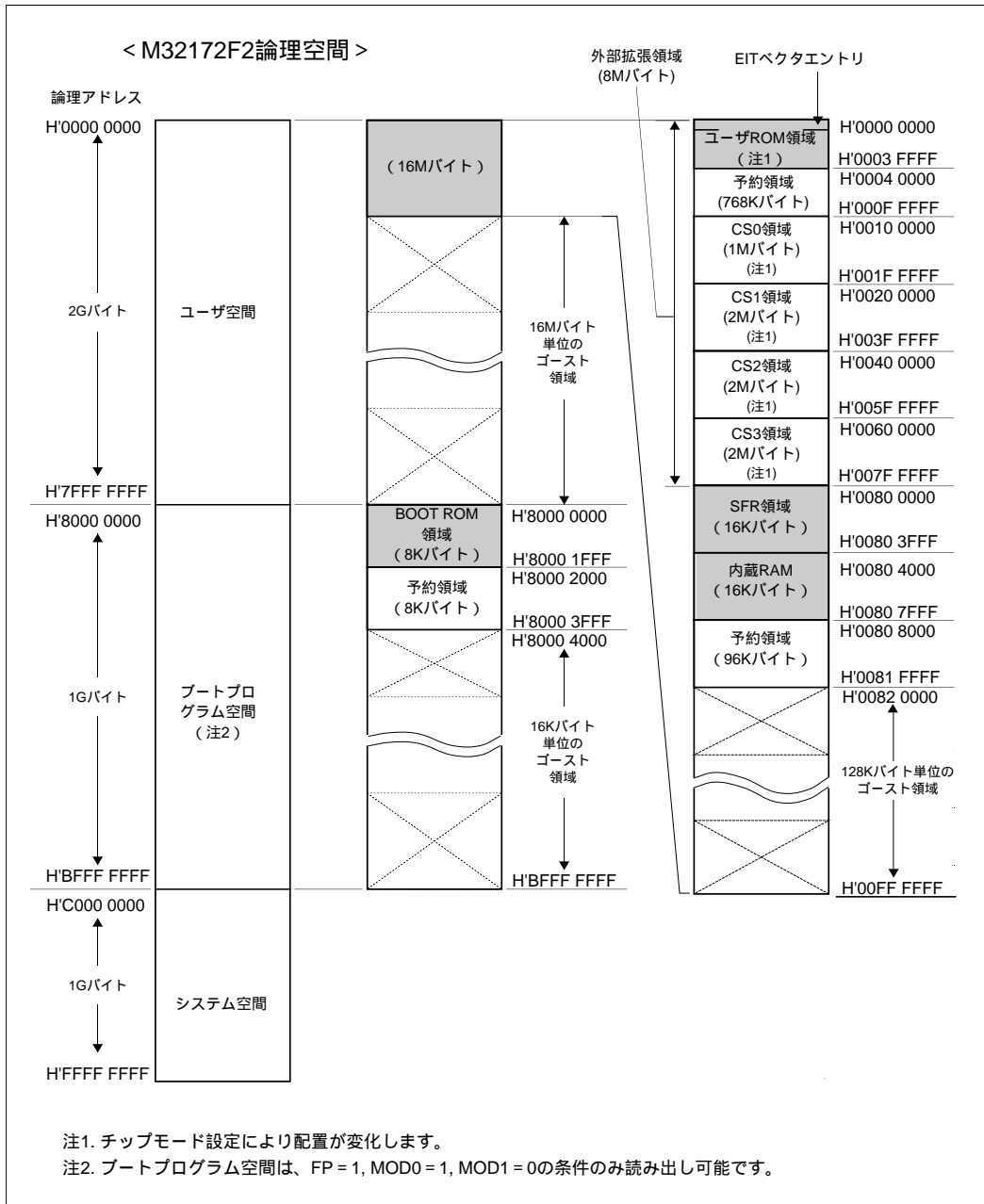
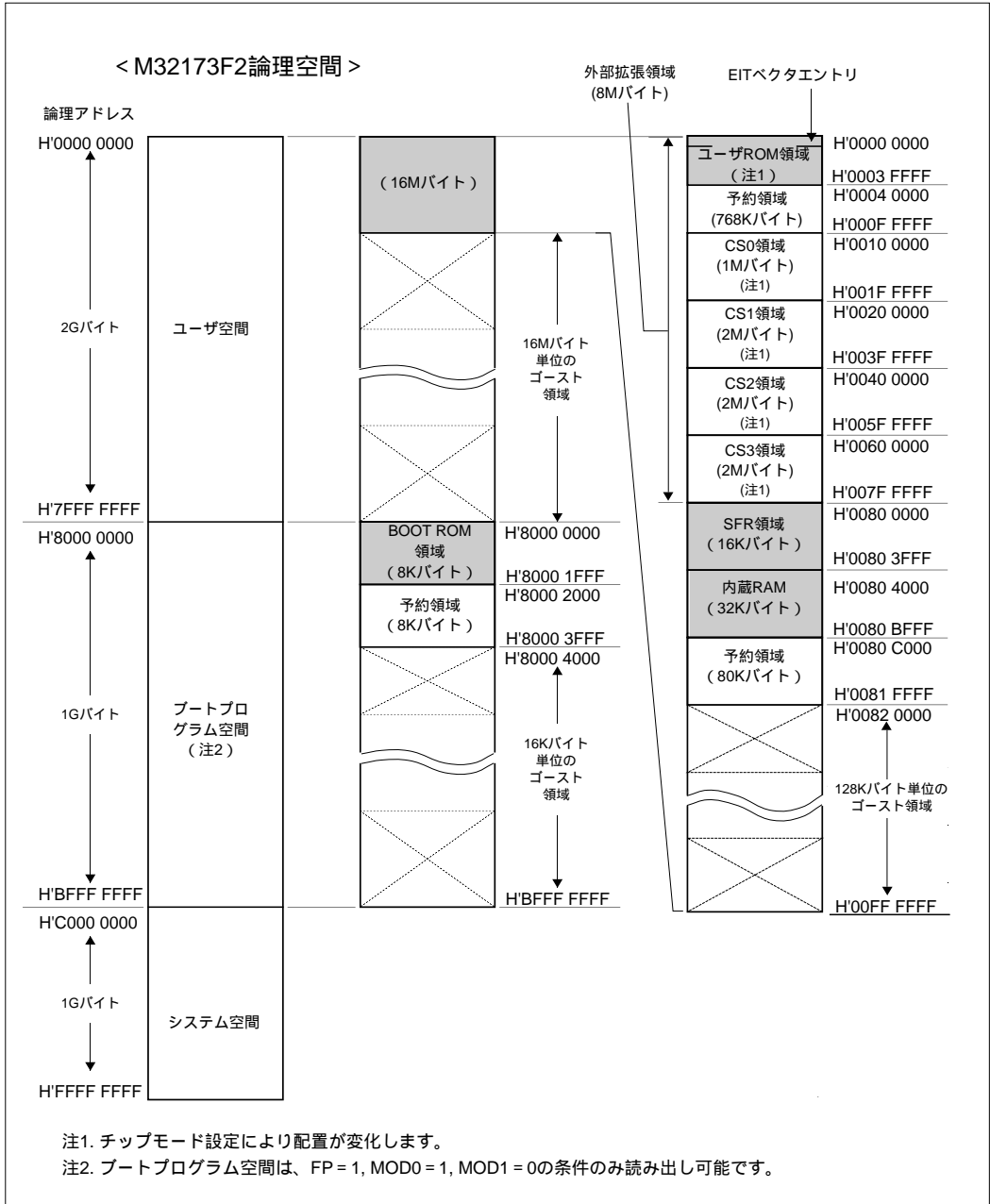


図3.1.1 M32172F2アドレス空間



注1. チップモード設定により配置が変化します。

注2. ブートプログラム空間は、FP = 1, MOD0 = 1, MOD1 = 0の条件のみ読み出し可能です。

図3.1.2 M32173F2アドレス空間

3.2 動作モード

32172/32173はチップ動作モードの設定(MOD0, MOD1端子の設定)により、以下のモードになります。ただし、内蔵フラッシュメモリ書き替えのためのモードについては、6.5章「内蔵フラッシュメモリの書き込み」をご覧ください。

表3.2.1 動作モードの設定

MOD0	MOD1(注1)	動作モード(注2)
VSS	VSS	シングルチップモード
VSS	VCCE	外部拡張モード
VCCE	VSS	プロセッサモード(FP = VSS)
VCCE	VCCE	reserved (使用禁止)

注1. 各記号、VCCEは+5Vまたは+3.3Vに、VSSはGNDに接続します。

注2. この表に書かれていないフラッシュ書き替えのためのモード(FP = VCCE時)については、

6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

32172/32173の動作モードによって内蔵ROM領域 / 外部拡張領域の配置は異なります(アドレス空間の他の領域は同じ配置です)。また、外部拡張モード時、 $\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$ 、および $\overline{CS3}$ の端子機能によって使用可能な外部拡張領域のサイズが異なります。図3.2.1に各モードにおける内蔵ROM領域 / 外部拡張領域のアドレスマップを、図3.2.2に外部拡張モード時の $\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$ 、および $\overline{CS3}$ の端子機能による内蔵ROM領域 / 外部拡張領域のアドレスマップを示します(フラッシュ書き替え時のモードについては6.5「内蔵フラッシュメモリの書き込み」をご覧ください)。

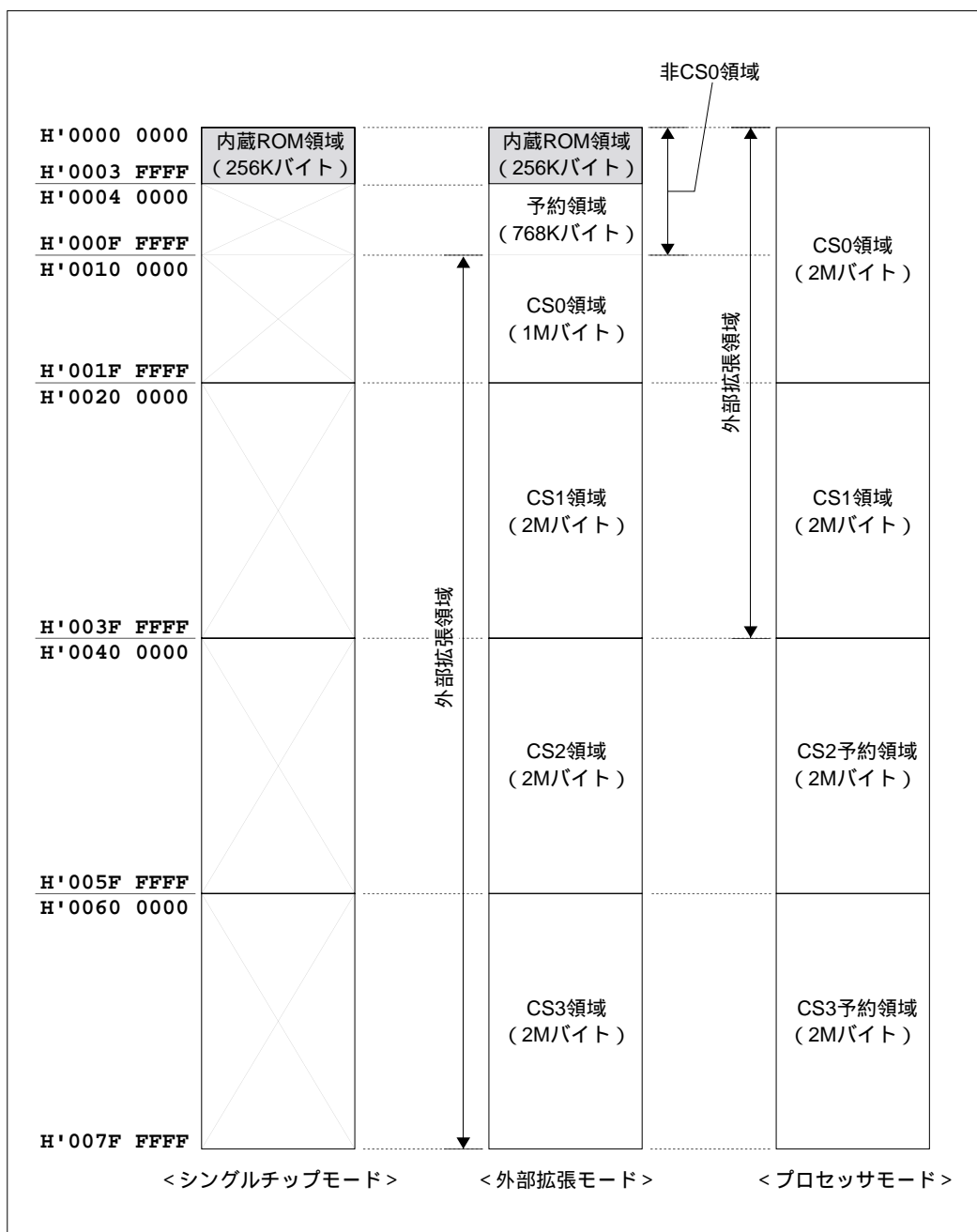


図3.2.1 M32172F2/M32173F2の動作モードと内蔵ROM領域 / 外部拡張領域

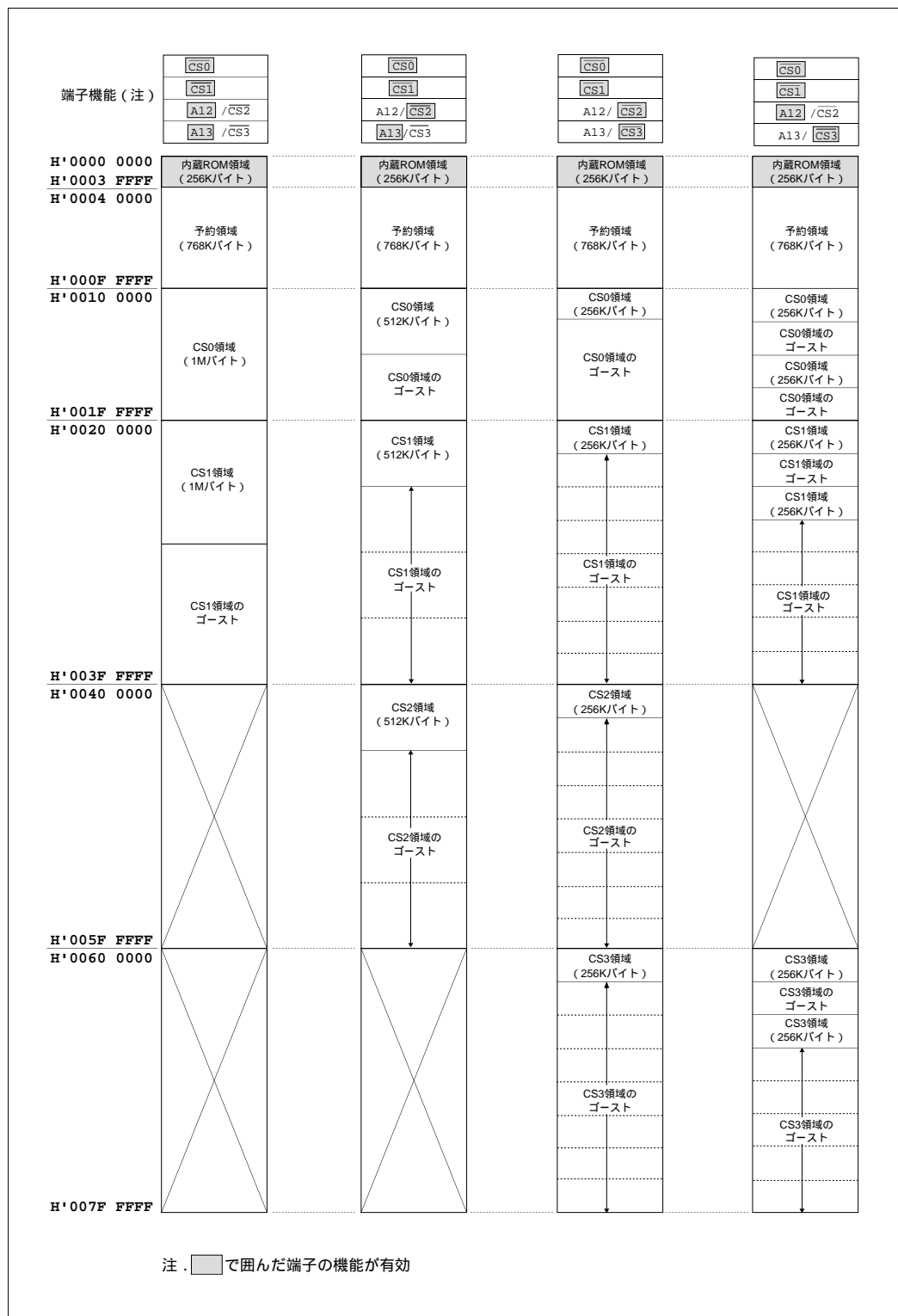


図3.2.2 M32172F2/M32173F2端子機能選択と内蔵ROM領域 / 外部拡張領域 (外部拡張モード時)

3.3 内蔵ROM領域 / 外部拡張領域

ユーザ空間内のH'0000 0000 ~ H'007F FFFF番地の8Mバイト領域は、内蔵ROM領域 / 外部拡張領域です。

32172/32173動作モード設定による内蔵ROM領域 / 外部拡張領域の配置の変化については、3.2「動作モード」をご覧ください。

3.3.1 内蔵ROM領域

以下の領域に内蔵ROMが配置されます。この領域の先頭にはEITベクタエントリ(およびICUベクタテーブル)が配置されます。

表3.3.1 内蔵ROM領域

形名	容量	配置アドレス
M32172F2, M32173F2	256Kバイト	H'0000 0000 ~ H'0003 FFFF

3.3.2 外部拡張領域

動作モード設定で、外部拡張モードおよびプロセッサモード選択時のみ、外部拡張領域になります。外部拡張領域へのアクセスに対して、外部デバイスのアクセスに必要な制御信号が出力されます。

32172/32173の $\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 信号は、外部拡張領域のアドレスマッピングに対応して出力します。 $\overline{CS0}$ 信号がCS0領域に、 $\overline{CS1}$ 信号がCS1領域に、 $\overline{CS2}$ 信号がCS2領域に、 $\overline{CS3}$ 信号がCS3領域にそれぞれ出力します。

表3.3.2 32172/32173の各動作モードにおける外部拡張領域のマッピング

動作モード	外部拡張領域のアドレスマッピング (注1)
シングルチップモード	なし
外部拡張モード	H'0010 0000 ~ H'001F FFFF番地 (CS0領域: 1Mバイト) H'0020 0000 ~ H'003F FFFF番地 (CS1領域: 2Mバイト) H'0040 0000 ~ H'005F FFFF番地 (CS2領域: 2Mバイト) H'0060 0000 ~ H'007F FFFF番地 (CS3領域: 2Mバイト)
プロセッサモード (注2)	H'0000 0000 ~ H'001F FFFF番地 (CS0領域: 2Mバイト) H'0020 0000 ~ H'003F FFFF番地 (CS1領域: 2Mバイト)

注1. 各外部拡張領域にはゴースト領域を含みます。

注2. プロセッサモード時、CS2およびCS3の外部拡張領域はありません。

3.4 内蔵RAM領域 / SFR領域

H'0080 0000 ~ H'00FF FFFF番地の8Mバイトの領域は、内蔵RAM領域 / SFR(Special Function Register)領域です。このうち、ユーザが実際に利用可能な空間は、H'0080 0000 ~ H'0081 FFFF番地の128Kバイトの領域で、それ以外の領域には128Kバイト単位のゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

3.4.1 内蔵RAM領域

M32172F2はH'0080 4000 ~ H'0080 7FFF番地に内蔵RAM(16Kバイト)が配置されます。
M32173F2はH'0080 4000 ~ H'0080 BFFF番地に内蔵RAM(32Kバイト)が配置されます。

3.4.2 SFR(Special Function Register)領域

H'0080 0000 ~ H'0080 3FFF番地はSFR(Special Function Register)領域です。SFR領域には、内蔵周辺I/Oのレジスタが配置されます。

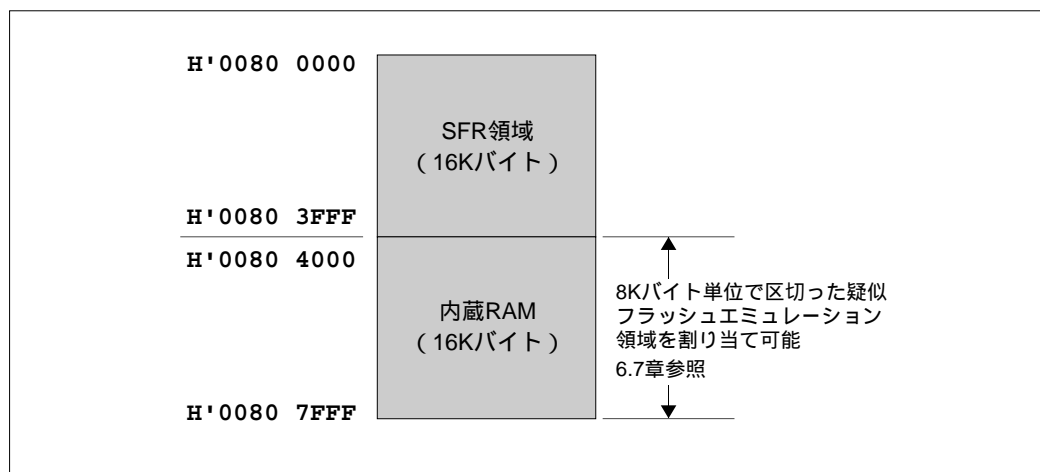


図3.4.1 M32172F2内蔵RAM領域 / SFR(Special Function Register)領域

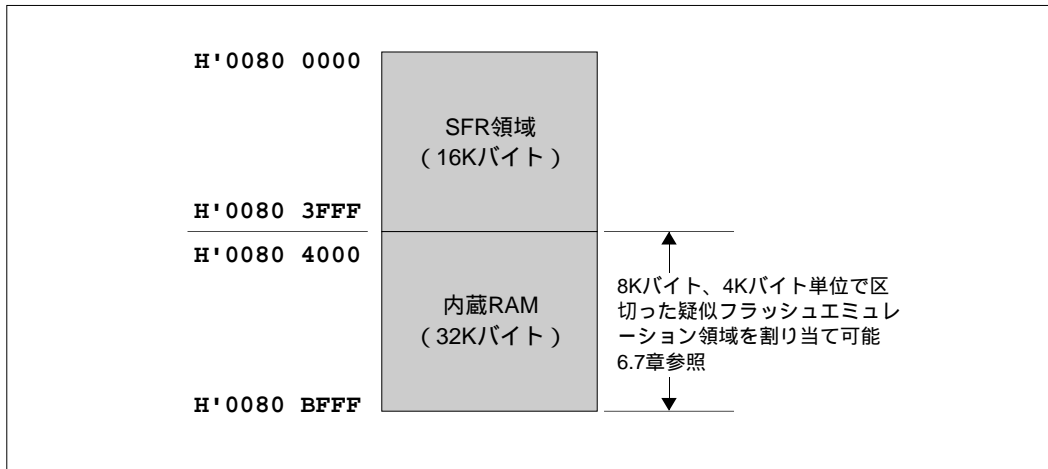


図3.4.2 M32173F2内蔵RAM領域 / SFR (Special Function Register) 領域

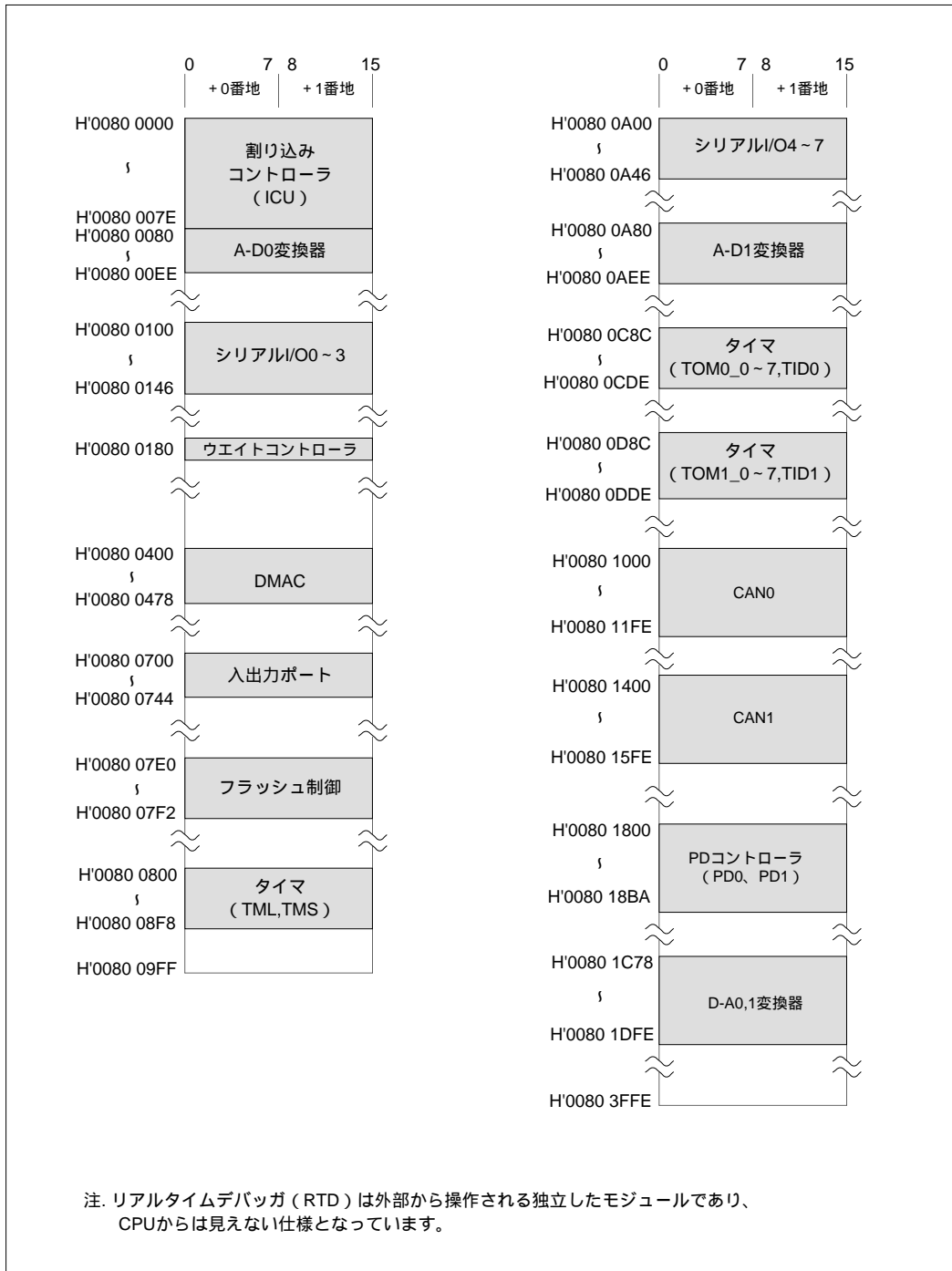


図3.4.3 SFR領域のマッピング概要

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0000	割り込みベクタレジスタ (IVECT)					
H'0080 0002						
H'0080 0004	割り込みマスクレジスタ (IMASK)					
H'0080 0006	SBI制御レジスタ (SBICR)					
~						
H'0080 0060	CAN1送受信 & エラー割り込み制御レジスタ (ICAN1CR)			CAN0送受信 & エラー割り込み制御レジスタ (ICAN0CR)		
H'0080 0062	PDCコンペアマッチ & エラー割り込み制御レジスタ (IPDCOPCR)			RTD割り込み制御レジスタ (IRTDCR)		
H'0080 0064	SIO6,7送受信割り込み制御レジスタ (ISIO67CR)			SIO5送信割り込み制御レジスタ (ISIO5TXCR)		
H'0080 0066	SIO5受信割り込み制御レジスタ (ISIO5RXCR)			SIO4送信割り込み制御レジスタ (ISIO4TXCR)		
H'0080 0068	SIO4受信割り込み制御レジスタ (ISIO4RXCR)			SIO2,3送受信割り込み制御レジスタ (ISIO23CR)		
H'0080 006A	DMA5 ~ 9割り込み制御レジスタ (IDMA59CR)			A-D1変換割り込み制御レジスタ (IAD1CCR)		
H'0080 006C	SIO1送信割り込み制御レジスタ (ISIO1TXCR)			SIO1受信割り込み制御レジスタ (ISIO1RXCR)		
H'0080 006E	SIO0送信割り込み制御レジスタ (ISIO0TXCR)			SIO0受信割り込み制御レジスタ (ISIO0RXCR)		
H'0080 0070	A-D0変換割り込み制御レジスタ (IAD0CCR)			DMA0 ~ 4割り込み制御レジスタ (IDMA04CR)		
H'0080 0072	TID1出力割り込み制御レジスタ (ITID1CR)			TID0出力割り込み制御レジスタ (ITID0CR)		
H'0080 0074	TMS0出力割り込み制御レジスタ (ITMS0CR)			TOM1出力割り込み制御レジスタ (ITOM1CR)		
H'0080 0076	TOM0出力割り込み制御レジスタ (ITOM0CR)			タイマ入力割り込み制御レジスタ0 (IMJTOCR0)		
H'0080 0078	タイマ入力割り込み制御レジスタ1 (IMJTOCR1)			タイマ入力割り込み制御レジスタ2 (IMJTOCR2)		
H'0080 007A	タイマ入力割り込み制御レジスタ3 (IMJTICR3)			タイマ入力割り込み制御レジスタ4 (IMJTICR4)		
H'0080 007C	タイマ入力割り込み制御レジスタ5 (IMJTICR5)			PWMオフ入力割り込み制御レジスタ (IPWMOFFCR)		
H'0080 007E	PDC入力 & エラー割り込み制御レジスタ (IPDCCR)					
H'0080 0080	A-D0単一モードレジスタ0 (AD0SIM0)			A-D0単一モードレジスタ1 (AD0SIM1)		
H'0080 0082						
H'0080 0084	A-D0スキャンモードレジスタ0 (AD0SCM0)			A-D0スキャンモードレジスタ1 (AD0SCM1)		
H'0080 0086	A-D0変換速度制御レジスタ (AD0CVSCR)					
H'0080 0088	A-D0逐次近似レジスタ (AD0SAR)					
H'0080 008A						
H'0080 008C	A-D0コンパレートデータレジスタ (AD0CMP)					
H'0080 008E	A-D0デジタル入力制御レジスタ (AD0CHCON)					
H'0080 0090	10ビットA-D0 データレジスタ0 (AD0DT0)					
H'0080 0092	10ビットA-D0 データレジスタ1 (AD0DT1)					
H'0080 0094	10ビットA-D0 データレジスタ2 (AD0DT2)					
H'0080 0096	10ビットA-D0 データレジスタ3 (AD0DT3)					
H'0080 0098	10ビットA-D0 データレジスタ4 (AD0DT4)					
H'0080 009A	10ビットA-D0 データレジスタ5 (AD0DT5)					
H'0080 009C	10ビットA-D0 データレジスタ6 (AD0DT6)					
H'0080 009E	10ビットA-D0 データレジスタ7 (AD0DT7)					
H'0080 00A0	10ビットA-D0 データレジスタ8 (AD0DT8)					
H'0080 00A2	10ビットA-D0 データレジスタ9 (AD0DT9)					
H'0080 00A4	10ビットA-D0 データレジスタ10 (AD0DT10)					
H'0080 00A6	10ビットA-D0 データレジスタ11 (AD0DT11)					
H'0080 00A8	10ビットA-D0 データレジスタ12 (AD0DT12)					
H'0080 00AA	10ビットA-D0 データレジスタ13 (AD0DT13)					
H'0080 00AC	10ビットA-D0 データレジスタ14 (AD0DT14)					
H'0080 00AE	10ビットA-D0 データレジスタ15 (AD0DT15)					
~						
H'0080 00D0	8ビットA-D0データレジスタ0 (AD08DT0)					

空き領域は予約領域です。

図3.4.4 SFR領域のレジスタマッピング(1)

番地	+ 0番地		+ 1番地	
	D0	D7	D8	D15
H'0080 00D2			8ビットA-D0データレジスタ1 (AD08DT1)	
H'0080 00D4			8ビットA-D0データレジスタ2 (AD08DT2)	
H'0080 00D6			8ビットA-D0データレジスタ3 (AD08DT3)	
H'0080 00D8			8ビットA-D0データレジスタ4 (AD08DT4)	
H'0080 00DA			8ビットA-D0データレジスタ5 (AD08DT5)	
H'0080 00DC			8ビットA-D0データレジスタ6 (AD08DT6)	
H'0080 00DE			8ビットA-D0データレジスタ7 (AD08DT7)	
H'0080 00E0			8ビットA-D0データレジスタ8 (AD08DT8)	
H'0080 00E2			8ビットA-D0データレジスタ9 (AD08DT9)	
H'0080 00E4			8ビットA-D0データレジスタ10 (AD08DT10)	
H'0080 00E6			8ビットA-D0データレジスタ11 (AD08DT11)	
H'0080 00E8			8ビットA-D0データレジスタ12 (AD08DT12)	
H'0080 00EA			8ビットA-D0データレジスタ13 (AD08DT13)	
H'0080 00EC			8ビットA-D0データレジスタ14 (AD08DT14)	
H'0080 00EE			8ビットA-D0データレジスタ15 (AD08DT15)	
~				
H'0080 0100	SIO23割り込みステータスレジスタ (SI23STAT)		SIO03割り込みマスクレジスタ (SI03MASK)	
H'0080 0102	SIO03受信割り込み要因選択レジスタ (SI03SEL)			
~				
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)		SIO0送受信モードレジスタ (S0MOD)	
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)			
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)			
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)		SIO0ポーレートレジスタ (S0BAUR)	
~				
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)		SIO1送受信モードレジスタ (S1MOD)	
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)			
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)			
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)		SIO1ポーレートレジスタ (S1BAUR)	
~				
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)		SIO2送受信モードレジスタ (S2MOD)	
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)			
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)			
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)		SIO2ポーレートレジスタ (S2BAUR)	
~				
H'0080 0140	SIO3送信制御レジスタ (S3TCNT)		SIO3送受信モードレジスタ (S3MOD)	
H'0080 0142	SIO3送信バッファレジスタ (S3TXB)			
H'0080 0144	SIO3受信バッファレジスタ (S3RXB)			
H'0080 0146	SIO3受信制御レジスタ (S3RCNT)		SIO3ポートレートレジスタ (S3BAUR)	
~				
H'0080 0180	ウェイト数制御レジスタ (WTCCR)			

空き領域は予約領域です。

図3.4.5 SFR領域のレジスタマッピング (2)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0400	DMA0～4割り込み要求ステータスレジスタ (DM04ITST)		DMA0～4割り込みマスクレジスタ (DM04ITMK)		
H'0080 0408	DMA5～9割り込み要求ステータスレジスタ (DM59ITST)		DMA5～9割り込みマスクレジスタ (DM59ITMK)		
H'0080 0410	DMA0チャンネル制御レジスタ (DM0CNT)		DMA0転送カウントレジスタ (DM0TCT)		
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)				
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)				
H'0080 0416	DMA0要求要因拡張レジスタ (DM0REQ)				
H'0080 0418	DMA5チャンネル制御レジスタ (DM5CNT)		DMA5転送カウントレジスタ (DM5TCT)		
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)				
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)				
H'0080 041E	DMA5要求要因拡張レジスタ (DM5REQ)				
H'0080 0420	DMA1チャンネル制御レジスタ (DM1CNT)		DMA1転送カウントレジスタ (DM1TCT)		
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)				
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)				
H'0080 0426	DMA1要求要因拡張レジスタ (DM1REQ)				
H'0080 0428	DMA6チャンネル制御レジスタ (DM6CNT)		DMA6転送カウントレジスタ (DM6TCT)		
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)				
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)				
H'0080 042E	DMA6要求要因拡張レジスタ (DM6REQ)				

空き領域は予約領域です。

図3.4.6 SFR領域のレジスタマッピング(3)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0430	DMA2チャンネル制御レジスタ (DM2CNT)		DMA2転送カウントレジスタ (DM2TCT)		
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)				
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)				
H'0080 0436	DMA2要求要因拡張レジスタ (DM2REQ)				
H'0080 0438	DMA7チャンネル制御レジスタ (DM7CNT)		DMA7転送カウントレジスタ (DM7TCT)		
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)				
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)				
H'0080 043E	DMA7要求要因拡張レジスタ (DM7REQ)				
H'0080 0440	DMA3チャンネル制御レジスタ (DM3CNT)		DMA3転送カウントレジスタ (DM3TCT)		
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)				
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)				
H'0080 0446	DMA3要求要因拡張レジスタ (DM3REQ)				
H'0080 0448	DMA8チャンネル制御レジスタ (DM8CNT)		DMA8転送カウントレジスタ (DM8TCT)		
H'0080 044A	DMA8ソースアドレスレジスタ (DM8SA)				
H'0080 044C	DMA8デスティネーションアドレスレジスタ (DM8DA)				
H'0080 044E	DMA8要求要因拡張レジスタ (DM8REQ)				
H'0080 0450	DMA4チャンネル制御レジスタ (DM4CNT)		DMA4転送カウントレジスタ (DM4TCT)		
H'0080 0452	DMA4ソースアドレスレジスタ (DM4SA)				
H'0080 0454	DMA4デスティネーションアドレスレジスタ (DM4DA)				
H'0080 0456	DMA4要求要因拡張レジスタ (DM4REQ)				
H'0080 0458	DMA9チャンネル制御レジスタ (DM9CNT)		DMA9転送カウントレジスタ (DM9TCT)		
H'0080 045A	DMA9ソースアドレスレジスタ (DM9SA)				
H'0080 045C	DMA9デスティネーションアドレスレジスタ (DM9DA)				
H'0080 045E	DMA9要求要因拡張レジスタ (DM9REQ)				
H'0080 0460	DMA0ソフトウェア要求発生レジスタ (DM0SRI)				
H'0080 0462	DMA1ソフトウェア要求発生レジスタ (DM1SRI)				
H'0080 0464	DMA2ソフトウェア要求発生レジスタ (DM2SRI)				
H'0080 0466	DMA3ソフトウェア要求発生レジスタ (DM3SRI)				
H'0080 0468	DMA4ソフトウェア要求発生レジスタ (DM4SRI)				
H'0080 0470	DMA5ソフトウェア要求発生レジスタ (DM5SRI)				
H'0080 0472	DMA6ソフトウェア要求発生レジスタ (DM6SRI)				
H'0080 0474	DMA7ソフトウェア要求発生レジスタ (DM7SRI)				
H'0080 0476	DMA8ソフトウェア要求発生レジスタ (DM8SRI)				
H'0080 0478	DMA9ソフトウェア要求発生レジスタ (DM9SRI)				
H'0080 0700	P0データレジスタ (P0DATA)		P1データレジスタ (P1DATA)		
H'0080 0702	P2データレジスタ (P2DATA)		P3データレジスタ (P3DATA)		
H'0080 0704	P4データレジスタ (P4DATA)				
H'0080 0706	P6データレジスタ (P6DATA)		P7データレジスタ (P7DATA)		
H'0080 0708	P8データレジスタ (P8DATA)		P9データレジスタ (P9DATA)		
H'0080 070A	P10データレジスタ (P10DATA)		P11データレジスタ (P11DATA)		
H'0080 070C	P12データレジスタ (P12DATA)		P13データレジスタ (P13DATA)		
H'0080 070E			P15データレジスタ (P15DATA)		
H'0080 0710			P17データレジスタ (P17DATA)		
H'0080 0712					
H'0080 0714					

空き領域は予約領域です。

図3.4.7 SFR領域のレジスタマッピング(4)

番地	+0番地	+1番地
	D0	D7 D8
		D15
H'0080 0716	P22データレジスタ (P22DATA)	
H'0080 0720	P0方向レジスタ (P0DIR)	P1方向レジスタ (P1DIR)
H'0080 0722	P2方向レジスタ (P2DIR)	P3方向レジスタ (P3DIR)
H'0080 0724	P4方向レジスタ (P4DIR)	
H'0080 0726	P6方向レジスタ (P6DIR)	P7方向レジスタ (P7DIR)
H'0080 0728	P8方向レジスタ (P8DIR)	P9方向レジスタ (P9DIR)
H'0080 072A	P10方向レジスタ (P10DIR)	P11方向レジスタ (P11DIR)
H'0080 072C		
H'0080 072E		P15方向レジスタ (P15DIR)
H'0080 0730		P17方向レジスタ (P17DIR)
H'0080 0736	P22方向レジスタ (P22DIR)	
H'0080 0740	P0動作モードレジスタ (P0MOD)	P1動作モードレジスタ (P1MOD)
H'0080 0742	P2動作モードレジスタ (P2MOD)	P3動作モードレジスタ (P3MOD)
H'0080 0744	P4動作モードレジスタ (P4MOD)	ポート入力機能許可レジスタ (PIEN)
H'0080 0746		P7動作モードレジスタ (P7MOD)
H'0080 0748	P8動作モードレジスタ (P8MOD)	P9動作モードレジスタ (P9MOD)
H'0080 074A	P10動作モードレジスタ (P10MOD)	P11動作モードレジスタ (P11MOD)
H'0080 074C	P12動作モードレジスタ (P12MOD)	P13動作モードレジスタ (P13MOD)
H'0080 074E		P15動作モードレジスタ (P15MOD)
H'0080 0750		P17動作モードレジスタ (P17MOD)
H'0080 0752		
H'0080 0754		
H'0080 0756	P22動作モードレジスタ (P22MOD)	
H'0080 0764	P4周辺出力選択レジスタ (P4SMOD)	
H'0080 0766		P7周辺出力選択レジスタ (P7SMOD)
H'0080 0768		
H'0080 076A	P10,P11周辺出力選択レジスタ (P1011SMOD)	
H'0080 076C		
H'0080 076E		P15周辺出力選択レジスタ (P15SMOD)
H'0080 0776	P22周辺出力選択レジスタ (P22SMOD)	
H'0080 077E		バスモード制御レジスタ (BUSMODC)
H'0080 07A0	PWM出力禁止レジスタ1 (PWMOFF1)	PWM出力禁止レジスタ0 (PWMOFF0)
H'0080 07A2		
H'0080 07A4	PWM出力禁止制御レジスタ1 (PLVCNT1)	PWM出力禁止制御レジスタ0 (PLVCNT0)
H'0080 07E0	フラッシュモードレジスタ (FMOD)	フラッシュステータスレジスタ1 (FSTAT1)
H'0080 07E2	フラッシュ制御レジスタ1 (FCNT1)	フラッシュ制御レジスタ2 (FCNT2)
H'0080 07E4	フラッシュ制御レジスタ3 (FCNT3)	フラッシュ制御レジスタ4 (FCNT4)
H'0080 07E6		
H'0080 07E8	疑似フラッシュLバンクレジスタ0 (FELBANK0)	
H'0080 07EA	疑似フラッシュLバンクレジスタ1 (FELBANK1)	
H'0080 07EC	疑似フラッシュLバンクレジスタ2 (FELBANK2)	
H'0080 07EE		
H'0080 07F0	疑似フラッシュSバンクレジスタ0 (FESBANK0)	
H'0080 07F2	疑似フラッシュSバンクレジスタ1 (FESBANK1)	

空き領域は予約領域です。

図3.4.8 SFR領域のレジスタマッピング(5)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 0800	入力処理制御レジスタ0 (TINCR0)		入力処理制御レジスタ1 (TINCR1)		
H'0080 0802	入力処理制御レジスタ2 (TINCR2)		入力処理制御レジスタ3 (TINCR3)		
H'0080 0804	入力処理制御レジスタ4 (TINCR4)		入力処理制御レジスタ5 (TINCR5)		
⋮					
H'0080 0840	TIN割り込みステータスレジスタ0 (TINIST0)		TIN割り込みマスクレジスタ0 (TINIMA0)		
H'0080 0842	TIN割り込みステータスレジスタ1 (TINIST1)		TIN割り込みマスクレジスタ1 (TINIMA1)		
H'0080 0844	TIN割り込みステータスレジスタ2 (TINIST2)		TIN割り込みマスクレジスタ2 (TINIMA2)		
H'0080 0846	TIN割り込みステータスレジスタ3 (TINIST3)		TIN割り込みマスクレジスタ3 (TINIMA3)		
H'0080 0848	TIN割り込みステータスレジスタ4 (TINIST4)		TIN割り込みマスクレジスタ4 (TINIMA4)		
H'0080 084A	TIN割り込みステータスレジスタ5 (TINIST5)		TIN割り込みマスクレジスタ5 (TINIMA5)		
⋮					
H'0080 0850	TIN割り込みステータスレジスタ8 (TINIST8)		TIN割り込みマスクレジスタ8 (TINIMA8)		
⋮					
H'0080 0880	TML0カウンタH (TML0CTH)				
H'0080 0882	TML0カウンタL (TML0CTL)				
⋮					
H'0080 088A	TML0制御レジスタ0 (TML0CR)		プリスケアラ1 (PRS1)		
⋮					
H'0080 0890	TML0計測3レジスタH (TML0MR3H)				
H'0080 0892	TML0計測3レジスタL (TML0MR3L)				
H'0080 0894	TML0計測2レジスタH (TML0MR2H)				
H'0080 0896	TML0計測2レジスタL (TML0MR2L)				
H'0080 0898	TML0計測1レジスタH (TML0MR1H)				
H'0080 089A	TML0計測1レジスタL (TML0MR1L)				
H'0080 089C	TML0計測0レジスタH (TML0MR0H)				
H'0080 089E	TML0計測0レジスタL (TML0MR0L)				
⋮					
H'0080 08A0	TML0旧計測3レジスタH (TML0OLDMR3H)				
H'0080 08A2	TML0旧計測3レジスタL (TML0OLDMR3L)				
H'0080 08A4	TML0旧計測2レジスタH (TML0OLDMR2H)				
H'0080 08A6	TML0旧計測2レジスタL (TML0OLDMR2L)				
H'0080 08A8	TML0旧計測1レジスタH (TML0OLDMR1H)				
H'0080 08AA	TML0旧計測1レジスタL (TML0OLDMR1L)				
H'0080 08AC	TML0旧計測0レジスタH (TML0OLDMR0H)				
H'0080 08AE	TML0旧計測0レジスタL (TML0OLDMR0L)				
⋮					
H'0080 08E0	TMS0カウンタ (TMS0CT)				
H'0080 08E2	TMS0計測3レジスタ (TMS0MR3)				
H'0080 08E4	TMS0計測2レジスタ (TMS0MR2)				
H'0080 08E6	TMS0計測1レジスタ (TMS0MR1)				
H'0080 08E8	TMS0計測0レジスタ (TMS0MR0)				
H'0080 08EA	TMS0制御レジスタ (TMS0CR)		プリスケアラ (PRS0)		
⋮					
H'0080 08F2	TMS0旧計測3レジスタ (TMS0OLDMR3)				
H'0080 08F4	TMS0旧計測2レジスタ (TMS0OLDMR2)				
H'0080 08F6	TMS0旧計測1レジスタ (TMS0OLDMR1)				
H'0080 08F8	TMS0旧計測0レジスタ (TMS0OLDMR0)				
⋮					

空き領域は予約領域です。

図3.4.9 SFR領域のレジスタマッピング(6)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0A00	SIO67割り込みステータスレジスタ (SIO67STAT)		SIO47割り込みマスクレジスタ(SIO47MASK)		
H'0080 0A02	SIO47受信割り込み要因選択レジスタ (SIO47SEL)				
H'0080 0A10	SIO4送信制御レジスタ (S4TCNT)		SIO4送受信モードレジスタ(S4MOD)		
H'0080 0A12	SIO4送信バッファレジスタ (S4TXB)				
H'0080 0A14	SIO4受信バッファレジスタ (S4RXB)				
H'0080 0A16	SIO4受信制御レジスタ (S4RCNT)		SIO4ポートレートレジスタ(S4BAUR)		
H'0080 0A20	SIO5送信制御レジスタ (S5TCNT)		SIO5送受信モードレジスタ(S5MOD)		
H'0080 0A22	SIO5送信バッファレジスタ (S5TXB)				
H'0080 0A24	SIO5受信バッファレジスタ (S5RXB)				
H'0080 0A26	SIO5受信制御レジスタ (S5RCNT)		SIO5ポートレートレジスタ(S5BAUR)		
H'0080 0A30	SIO6送信制御レジスタ (S6TCNT)		SIO6送受信モードレジスタ(S6MOD)		
H'0080 0A32	SIO6送信バッファレジスタ (S6TXB)				
H'0080 0A34	SIO6受信バッファレジスタ (S6RXB)				
H'0080 0A36	SIO6受信制御レジスタ (S6RCNT)		SIO6ポートレートレジスタ(S6BAUR)		
H'0080 0A40	SIO7送信制御レジスタ (S7TCNT)		SIO7送受信モードレジスタ(S7MOD)		
H'0080 0A42	SIO7送信バッファレジスタ (S7TXB)				
H'0080 0A44	SIO7受信バッファレジスタ (S7RXB)				
H'0080 0A46	SIO7受信制御レジスタ (S7RCNT)		SIO7ポートレートレジスタ(S7BAUR)		
H'0080 0A80	A-D1単一モードレジスタ0 (AD1SIM0)		A-D1単一モードレジスタ1(AD1SIM1)		
H'0080 0A82					
H'0080 0A84	A-D1スキャンモードレジスタ0 (AD1SCM0)		A-D1スキャンモードレジスタ1(AD1SCM1)		
H'0080 0A86	A-D1変換速度制御レジスタ(AD1CVCR)				
H'0080 0A88	A-D1逐次近似レジスタ (AD1SAR)				
H'0080 0A8A					
H'0080 0A8C	A-D1コンパレートデータレジスタ (AD1CMP)				
H'0080 0A8E	A-D1デジタル入力制御レジスタ (AD1CHCON)				
H'0080 0A90	10ビットA-D1データレジスタ0 (AD1DT0)				
H'0080 0A92	10ビットA-D1データレジスタ1 (AD1DT1)				
H'0080 0A94	10ビットA-D1データレジスタ2 (AD1DT2)				
H'0080 0A96	10ビットA-D1データレジスタ3 (AD1DT3)				
H'0080 0A98	10ビットA-D1データレジスタ4 (AD1DT4)				
H'0080 0A9A	10ビットA-D1データレジスタ5 (AD1DT5)				
H'0080 0A9C	10ビットA-D1データレジスタ6 (AD1DT6)				
H'0080 0A9E	10ビットA-D1データレジスタ7 (AD1DT7)				
H'0080 0AA0	10ビットA-D1データレジスタ8 (AD1DT8)				
H'0080 0AA2	10ビットA-D1データレジスタ9 (AD1DT9)				
H'0080 0AA4	10ビットA-D1データレジスタ10 (AD1DT10)				
H'0080 0AA6	10ビットA-D1データレジスタ11 (AD1DT11)				
H'0080 0AA8	10ビットA-D1データレジスタ12 (AD1DT12)				
H'0080 0AAA	10ビットA-D1データレジスタ13 (AD1DT13)				
H'0080 0AAC	10ビットA-D1データレジスタ14 (AD1DT14)				
H'0080 0AAE	10ビットA-D1データレジスタ15 (AD1DT15)				

空き領域は予約領域です。

図3.4.10 SFR領域のレジスタマッピング(7)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0AD0				8ビットA-D1データレジスタ0 (AD18DT0)	
H'0080 0AD2				8ビットA-D1データレジスタ1 (AD18DT1)	
H'0080 0AD4				8ビットA-D1データレジスタ2 (AD18DT2)	
H'0080 0AD6				8ビットA-D1データレジスタ3 (AD18DT3)	
H'0080 0AD8				8ビットA-D1データレジスタ4 (AD18DT4)	
H'0080 0ADA				8ビットA-D1データレジスタ5 (AD18DT5)	
H'0080 0ADC				8ビットA-D1データレジスタ6 (AD18DT6)	
H'0080 0ADE				8ビットA-D1データレジスタ7 (AD18DT7)	
H'0080 0AE0				8ビットA-D1データレジスタ8 (AD18DT8)	
H'0080 0AE2				8ビットA-D1データレジスタ9 (AD18DT9)	
H'0080 0AE4				8ビットA-D1データレジスタ10 (AD18DT10)	
H'0080 0AE6				8ビットA-D1データレジスタ11 (AD18DT11)	
H'0080 0AE8				8ビットA-D1データレジスタ12 (AD18DT12)	
H'0080 0AEA				8ビットA-D1データレジスタ13 (AD18DT13)	
H'0080 0AEC				8ビットA-D1データレジスタ14 (AD18DT14)	
H'0080 0AEE				8ビットA-D1データレジスタ15 (AD18DT15)	

空き領域は予約領域です。

図3.4.11 SFR領域のレジスタマッピング(8)

番地	D0	+0番地	D7 D8	+1番地	D15
H'0080 0C8C	TID0カウンタ (TID0CT)				
H'0080 0C8E	TID0リロードレジスタ (TID0RL)				
H'0080 0C90	TOM0_0リロードレジスタ (TOM00CT)				
H'0080 0C92					
H'0080 0C94	TOM0_0リロード1レジスタ (TOM00RL1)				
H'0080 0C96	TOM0_0リロード0レジスタ (TOM00RL0)				
H'0080 0C98	TOM0_1カウンタ (TOM01CT)				
H'0080 0C9A					
H'0080 0C9C	TOM0_1リロード1レジスタ (TOM01RL1)				
H'0080 0C9E	TOM0_1リロード0レジスタ (TOM01RL0)				
H'0080 0CA0	TOM0_2カウンタ (TOM02CT)				
H'0080 0CA2					
H'0080 0CA4	TOM0_2リロード1レジスタ (TOM02RL1)				
H'0080 0CA6	TOM0_2リロード0レジスタ (TOM02RL0)				
H'0080 0CA8	TOM0_3カウンタ (TOM03CT)				
H'0080 0CAA					
H'0080 0CAC	TOM0_3リロード1レジスタ (TOM03RL1)				
H'0080 0CAE	TOM0_3リロード0レジスタ (TOM03RL0)				
H'0080 0CB0	TOM0_4カウンタ (TOM04CT)				
H'0080 0CB2					
H'0080 0CB4	TOM0_4リロード1レジスタ (TOM04RL1)				
H'0080 0CB6	TOM0_4リロード0レジスタ (TOM04RL0)				
H'0080 0CB8	TOM0_5カウンタ (TOM05CT)				
H'0080 0CBA					
H'0080 0CBC	TOM0_5リロード1レジスタ (TOM05RL1)				
H'0080 0CBE	TOM0_5リロード0レジスタ (TOM05RL0)				
H'0080 0CC0	TOM0_6カウンタ (TOM06CT)				
H'0080 0CC2					
H'0080 0CC4	TOM0_6リロード1レジスタ (TOM06RL1)				
H'0080 0CC6	TOM0_6リロード0レジスタ (TOM06RL0)				
H'0080 0CC8	TOM0_7カウンタ (TOM07CT)				
H'0080 0CCA					
H'0080 0CCC	TOM0_7リロード1レジスタ (TOM07RL1)				
H'0080 0CCE	TOM0_7リロード0レジスタ (TOM07RL0)				
H'0080 0CD0	ブリスケーラレジスタ2(PRS2)		TID0制御&ブリスケーラ2イネーブルレジスタ(TID0PRS2EN)		
H'0080 0CD2	TOM0割り込みマスクレジスタ(TOM0IMA)		TOM0割り込みステータスレジスタ(TOM0IST)		
H'0080 0CD4	F/Fプロテクトレジスタ0(FFP0)				
H'0080 0CD6	F/Fプロテクトレジスタ0(FFD0)				
H'0080 0CD8					
H'0080 0CDA	TOM0制御レジスタ(TOM0CR)				
H'0080 0CDC	TOM0イネーブルプロテクトレジスタ(TOM0PRO)				
H'0080 0CDE	TOM0カウントイネーブルレジスタ(TOM0CEN)				

〰〰〰

〰〰〰

空き領域は予約領域です。

図3.4.12 SFR領域のレジスタマッピング(9)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0D8C	TID1カウンタ (TID1CT)				
H'0080 0D8E	TID1リロードレジスタ (TID1RL)				
H'0080 0D90	TOM1_0カウンタレジスタ (TOM10CT)				
H'0080 0D92					
H'0080 0D94	TOM1_0リロード1レジスタ (TOM10RL1)				
H'0080 0D96	TOM1_0リロード0レジスタ (TOM10RL0)				
H'0080 0D98	TOM1_1カウンタ (TOM11CT)				
H'0080 0D9A					
H'0080 0D9C	TOM1_1リロード1レジスタ (TOM11RL1)				
H'0080 0D9E	TOM1_1リロード0レジスタ (TOM11RL0)				
H'0080 0DA0	TOM1_2カウンタ (TOM12CT)				
H'0080 0DA2					
H'0080 0DA4	TOM1_2リロード1レジスタ (TOM12RL1)				
H'0080 0DA6	TOM1_2リロード0レジスタ (TOM12RL0)				
H'0080 0DA8	TOM1_3カウンタ (TOM13CT)				
H'0080 0DAA					
H'0080 0CAC	TOM1_3リロード1レジスタ (TOM13RL1)				
H'0080 0DAE	TOM1_3リロード0レジスタ (TOM13RL0)				
H'0080 0DB0	TOM1_4カウンタ (TOM14CT)				
H'0080 0DB2					
H'0080 0DB4	TOM1_4リロード1レジスタ (TOM14RL1)				
H'0080 0DB6	TOM1_4リロード0レジスタ (TOM14RL0)				
H'0080 0DB8	TOM1_5カウンタ (TOM15CT)				
H'0080 0DBA					
H'0080 0DBC	TOM1_5リロード1レジスタ (TOM15RL1)				
H'0080 0DBE	TOM1_5リロード0レジスタ (TOM15RL0)				
H'0080 0DC0	TOM1_6カウンタ (TOM16CT)				
H'0080 0DC2					
H'0080 0DC4	TOM1_6リロード1レジスタ (TOM16RL1)				
H'0080 0DC6	TOM1_6リロード0レジスタ (TOM16RL0)				
H'0080 0DC8	TOM1_7カウンタ (TOM17CT)				
H'0080 0DCA					
H'0080 0DCC	TOM1_7リロード1レジスタ (TOM17RL1)				
H'0080 0DCE	TOM1_7リロード0レジスタ (TOM17RL0)				
H'0080 0DD0	プリスケアラ3レジスタ (PRS3)		TID1制御&プリスケアラ3イネーブルレジスタ (TID1PRS3EN)		
H'0080 0DD2	TOM1割り込みマスクレジスタ (TOM1IMA)		TOM1割り込みステータスレジスタ (TOM1IST)		
H'0080 0DD4	F/Fプロテクトレジスタ1 (FFP1)				
H'0080 0DD6	F/Fデータレジスタ1 (FFD1)				
H'0080 0DD8					
H'0080 0DDA	TOM1制御レジスタ (TOM1CR)				
H'0080 0DDC	TOM1イネーブルプロテクトレジスタ (TOM1PRO)				
H'0080 0DDE	TOM1カウントイネーブルレジスタ (TOM1CEN)				

空き領域は予約領域です。

図3.4.13 SFR領域のレジスタマッピング(10)

番地	+ 0番地		+ 1番地	
	D0	D7	D8	D15
H'0080 1000	CAN0コントロールレジスタ(CAN0CNT)			
H'0080 1002	CAN0ステータスレジスタ(CAN0STAT)			
H'0080 1004	CAN0拡張IDレジスタ(CAN0EXTID)			
H'0080 1006	CAN0コンフィグレーションレジスタ(CAN0CONF)			
H'0080 1008	CAN0タイムスタンプカウントレジスタ(CAN0TSTMP)			
H'0080 100A	CAN0受信エラーカウントレジスタ(CAN0REC)		CAN0送信エラーカウントレジスタ(CAN0TEC)	
H'0080 100C	CAN0スロット割り込みステータスレジスタ(CAN0SLIST)			
H'0080 100E				
H'0080 1010	CAN0スロット割り込みマスクレジスタ(CAN0SLMK)			
H'0080 1012				
H'0080 1014	CAN0エラー割り込みステータスレジスタ(CAN0ERIST)		CAN0エラー割り込みマスクレジスタ(CAN0ERIMK)	
H'0080 1016	CAN0ポーレートプリスケラ(CAN0BRP)			
~				
H'0080 1028	CAN0グローバルマスクレジスタ標準ID0 (C0GMSKS0)		CAN0グローバルマスクレジスタ標準ID1 (C0GMSKS1)	
H'0080 102A	CAN0グローバルマスクレジスタ拡張ID0 (C0GMSKE0)		CAN0グローバルマスクレジスタ拡張ID1 (C0GMSKE1)	
H'0080 102C	CAN0グローバルマスクレジスタ拡張ID2 (C0GMSKE2)			
H'0080 102E				
H'0080 1030	CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0)		CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1)	
H'0080 1032	CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0)		CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)	
H'0080 1034	CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2)			
H'0080 1036				
H'0080 1038	CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0)		CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1)	
H'0080 103A	CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0)		CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)	
H'0080 103C	CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2)			
~				
H'0080 1050	CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT)		CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT)	
H'0080 1052	CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT)		CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT)	
H'0080 1054	CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT)		CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT)	
H'0080 1056	CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT)		CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT)	
H'0080 1058	CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT)		CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT)	
H'0080 105A	CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT)		CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT)	
H'0080 105C	CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT)		CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT)	
H'0080 105E	CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT)		CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT)	
~				

空き領域は予約領域です。

図3.4.14 SFR領域のレジスタマッピング(11)

番地	+ 0番地		+ 1番地	
	D0	D7, D8	D7, D8	D15
H'0080 1100	CAN0メッセージスロット0標準ID0(C0MSL0SID0)	CAN0メッセージスロット0標準ID1(C0MSL0SID1)		
H'0080 1102	CAN0メッセージスロット0拡張ID0(C0MSL0EID0)	CAN0メッセージスロット0拡張ID1(C0MSL0EID1)		
H'0080 1104	CAN0メッセージスロット0拡張ID2(C0MSL0EID2)	CAN0メッセージスロット0データ長レジスタ(C0MSL0DLC)		
H'0080 1106	CAN0メッセージスロット0データ0(C0MSL0DT0)	CAN0メッセージスロット0データ1(C0MSL0DT1)		
H'0080 1108	CAN0メッセージスロット0データ2(C0MSL0DT2)	CAN0メッセージスロット0データ3(C0MSL0DT3)		
H'0080 110A	CAN0メッセージスロット0データ4(C0MSL0DT4)	CAN0メッセージスロット0データ5(C0MSL0DT5)		
H'0080 110C	CAN0メッセージスロット0データ6(C0MSL0DT6)	CAN0メッセージスロット0データ7(C0MSL0DT7)		
H'0080 110E	CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)			
H'0080 1110	CAN0メッセージスロット1標準ID0(C0MSL1SID0)	CAN0メッセージスロット1標準ID1(C0MSL1SID1)		
H'0080 1112	CAN0メッセージスロット1拡張ID0(C0MSL1EID0)	CAN0メッセージスロット1拡張ID1(C0MSL1EID1)		
H'0080 1114	CAN0メッセージスロット1拡張ID2(C0MSL1EID2)	CAN0メッセージスロット1データ長レジスタ(C0MSL1DLC)		
H'0080 1116	CAN0メッセージスロット1データ0(C0MSL1DT0)	CAN0メッセージスロット1データ1(C0MSL1DT1)		
H'0080 1118	CAN0メッセージスロット1データ2(C0MSL1DT2)	CAN0メッセージスロット1データ3(C0MSL1DT3)		
H'0080 111A	CAN0メッセージスロット1データ4(C0MSL1DT4)	CAN0メッセージスロット1データ5(C0MSL1DT5)		
H'0080 111C	CAN0メッセージスロット1データ6(C0MSL1DT6)	CAN0メッセージスロット1データ7(C0MSL1DT7)		
H'0080 111E	CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)			
H'0080 1120	CAN0メッセージスロット2標準ID0(C0MSL2SID0)	CAN0メッセージスロット2標準ID1(C0MSL2SID1)		
H'0080 1122	CAN0メッセージスロット2拡張ID0(C0MSL2EID0)	CAN0メッセージスロット2拡張ID1(C0MSL2EID1)		
H'0080 1124	CAN0メッセージスロット2拡張ID2(C0MSL2EID2)	CAN0メッセージスロット2データ長レジスタ(C0MSL2DLC)		
H'0080 1126	CAN0メッセージスロット2データ0(C0MSL2DT0)	CAN0メッセージスロット2データ1(C0MSL2DT1)		
H'0080 1128	CAN0メッセージスロット2データ2(C0MSL2DT2)	CAN0メッセージスロット2データ3(C0MSL2DT3)		
H'0080 112A	CAN0メッセージスロット2データ4(C0MSL2DT4)	CAN0メッセージスロット2データ5(C0MSL2DT5)		
H'0080 112C	CAN0メッセージスロット2データ6(C0MSL2DT6)	CAN0メッセージスロット2データ7(C0MSL2DT7)		
H'0080 112E	CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)			
H'0080 1130	CAN0メッセージスロット3標準ID0(C0MSL3SID0)	CAN0メッセージスロット3標準ID1(C0MSL3SID1)		
H'0080 1132	CAN0メッセージスロット3拡張ID0(C0MSL3EID0)	CAN0メッセージスロット3拡張ID1(C0MSL3EID1)		
H'0080 1134	CAN0メッセージスロット3拡張ID2(C0MSL3EID2)	CAN0メッセージスロット3データ長レジスタ(C0MSL3DLC)		
H'0080 1136	CAN0メッセージスロット3データ0(C0MSL3DT0)	CAN0メッセージスロット3データ1(C0MSL3DT1)		
H'0080 1138	CAN0メッセージスロット3データ2(C0MSL3DT2)	CAN0メッセージスロット3データ3(C0MSL3DT3)		
H'0080 113A	CAN0メッセージスロット3データ4(C0MSL3DT4)	CAN0メッセージスロット3データ5(C0MSL3DT5)		
H'0080 113C	CAN0メッセージスロット3データ6(C0MSL3DT6)	CAN0メッセージスロット3データ7(C0MSL3DT7)		
H'0080 113E	CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)			
H'0080 1140	CAN0メッセージスロット4標準ID0(C0MSL4SID0)	CAN0メッセージスロット4標準ID1(C0MSL4SID1)		
H'0080 1142	CAN0メッセージスロット4拡張ID0(C0MSL4EID0)	CAN0メッセージスロット4拡張ID1(C0MSL4EID1)		
H'0080 1144	CAN0メッセージスロット4拡張ID2(C0MSL4EID2)	CAN0メッセージスロット4データ長レジスタ(C0MSL4DLC)		
H'0080 1146	CAN0メッセージスロット4データ0(C0MSL4DT0)	CAN0メッセージスロット4データ1(C0MSL4DT1)		
H'0080 1148	CAN0メッセージスロット4データ2(C0MSL4DT2)	CAN0メッセージスロット4データ3(C0MSL4DT3)		
H'0080 114A	CAN0メッセージスロット4データ4(C0MSL4DT4)	CAN0メッセージスロット4データ5(C0MSL4DT5)		
H'0080 114C	CAN0メッセージスロット4データ6(C0MSL4DT6)	CAN0メッセージスロット4データ7(C0MSL4DT7)		
H'0080 114E	CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)			
H'0080 1150	CAN0メッセージスロット5標準ID0(C0MSL5SID0)	CAN0メッセージスロット5標準ID1(C0MSL5SID1)		
H'0080 1152	CAN0メッセージスロット5拡張ID0(C0MSL5EID0)	CAN0メッセージスロット5拡張ID1(C0MSL5EID1)		

空き領域は予約領域です。

図3.4.15 SFR領域のレジスタマッピング(12)

番地	+0番地	+1番地	
	D0	D7, D8	D15
H'0080 1154	CAN0メッセージスロット5拡張ID2(C0MSL5EID2)	CAN0メッセージスロット5データ長レジスタ(C0MSL5DLC)	
H'0080 1156	CAN0メッセージスロット5データ0(C0MSL5DT0)	CAN0メッセージスロット5データ1(C0MSL5DT1)	
H'0080 1158	CAN0メッセージスロット5データ2(C0MSL5DT2)	CAN0メッセージスロット5データ3(C0MSL5DT3)	
H'0080 115A	CAN0メッセージスロット5データ4(C0MSL5DT4)	CAN0メッセージスロット5データ5(C0MSL5DT5)	
H'0080 115C	CAN0メッセージスロット5データ6(C0MSL5DT6)	CAN0メッセージスロット5データ7(C0MSL5DT7)	
H'0080 115E	CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)		
H'0080 1160	CAN0メッセージスロット6標準ID0(C0MSL6SID0)	CAN0メッセージスロット6標準ID1(C0MSL6SID1)	
H'0080 1162	CAN0メッセージスロット6拡張ID0(C0MSL6EID0)	CAN0メッセージスロット6拡張ID1(C0MSL6EID1)	
H'0080 1164	CAN0メッセージスロット6拡張ID2(C0MSL6EID2)	CAN0メッセージスロット6データ長レジスタ(C0MSL6DLC)	
H'0080 1166	CAN0メッセージスロット6データ0(C0MSL6DT0)	CAN0メッセージスロット6データ1(C0MSL6DT1)	
H'0080 1168	CAN0メッセージスロット6データ2(C0MSL6DT2)	CAN0メッセージスロット6データ3(C0MSL6DT3)	
H'0080 116A	CAN0メッセージスロット6データ4(C0MSL6DT4)	CAN0メッセージスロット6データ5(C0MSL6DT5)	
H'0080 116C	CAN0メッセージスロット6データ6(C0MSL6DT6)	CAN0メッセージスロット6データ7(C0MSL6DT7)	
H'0080 116E	CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)		
H'0080 1170	CAN0メッセージスロット7標準ID0(C0MSL7SID0)	CAN0メッセージスロット7標準ID1(C0MSL7SID1)	
H'0080 1172	CAN0メッセージスロット7拡張ID0(C0MSL7EID0)	CAN0メッセージスロット7拡張ID1(C0MSL7EID1)	
H'0080 1174	CAN0メッセージスロット7拡張ID2(C0MSL7EID2)	CAN0メッセージスロット7データ長レジスタ(C0MSL7DLC)	
H'0080 1176	CAN0メッセージスロット7データ0(C0MSL7DT0)	CAN0メッセージスロット7データ1(C0MSL7DT1)	
H'0080 1178	CAN0メッセージスロット7データ2(C0MSL7DT2)	CAN0メッセージスロット7データ3(C0MSL7DT3)	
H'0080 117A	CAN0メッセージスロット7データ4(C0MSL7DT4)	CAN0メッセージスロット7データ5(C0MSL7DT5)	
H'0080 117C	CAN0メッセージスロット7データ6(C0MSL7DT6)	CAN0メッセージスロット7データ7(C0MSL7DT7)	
H'0080 117E	CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)		
H'0080 1180	CAN0メッセージスロット8標準ID0(C0MSL8SID0)	CAN0メッセージスロット8標準ID1(C0MSL8SID1)	
H'0080 1182	CAN0メッセージスロット8拡張ID0(C0MSL8EID0)	CAN0メッセージスロット8拡張ID1(C0MSL8EID1)	
H'0080 1184	CAN0メッセージスロット8拡張ID2(C0MSL8EID2)	CAN0メッセージスロット8データ長レジスタ(C0MSL8DLC)	
H'0080 1186	CAN0メッセージスロット8データ0(C0MSL8DT0)	CAN0メッセージスロット8データ1(C0MSL8DT1)	
H'0080 1188	CAN0メッセージスロット8データ2(C0MSL8DT2)	CAN0メッセージスロット8データ3(C0MSL8DT3)	
H'0080 118A	CAN0メッセージスロット8データ4(C0MSL8DT4)	CAN0メッセージスロット8データ5(C0MSL8DT5)	
H'0080 118C	CAN0メッセージスロット8データ6(C0MSL8DT6)	CAN0メッセージスロット8データ7(C0MSL8DT7)	
H'0080 118E	CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)		
H'0080 1190	CAN0メッセージスロット9標準ID0(C0MSL9SID0)	CAN0メッセージスロット9標準ID1(C0MSL9SID1)	
H'0080 1192	CAN0メッセージスロット9拡張ID0(C0MSL9EID0)	CAN0メッセージスロット9拡張ID1(C0MSL9EID1)	
H'0080 1194	CAN0メッセージスロット9拡張ID2(C0MSL9EID2)	CAN0メッセージスロット9データ長レジスタ(C0MSL9DLC)	
H'0080 1196	CAN0メッセージスロット9データ0(C0MSL9DT0)	CAN0メッセージスロット9データ1(C0MSL9DT1)	
H'0080 1198	CAN0メッセージスロット9データ2(C0MSL9DT2)	CAN0メッセージスロット9データ3(C0MSL9DT3)	
H'0080 119A	CAN0メッセージスロット9データ4(C0MSL9DT4)	CAN0メッセージスロット9データ5(C0MSL9DT5)	
H'0080 119C	CAN0メッセージスロット9データ6(C0MSL9DT6)	CAN0メッセージスロット9データ7(C0MSL9DT7)	
H'0080 119E	CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)		
H'0080 11A0	CAN0メッセージスロット10標準ID0(C0MSL10SID0)	CAN0メッセージスロット10標準ID1(C0MSL10SID1)	
H'0080 11A2	CAN0メッセージスロット10拡張ID0(C0MSL10EID0)	CAN0メッセージスロット10拡張ID1(C0MSL10EID1)	
H'0080 11A4	CAN0メッセージスロット10拡張ID2(C0MSL10EID2)	CAN0メッセージスロット10データ長レジスタ(C0MSL10DLC)	
H'0080 11A6	CAN0メッセージスロット10データ0(C0MSL10DT0)	CAN0メッセージスロット10データ1(C0MSL10DT1)	

空き領域は予約領域です。

図3.4.16 SFR領域のレジスタマッピング(13)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 11A8	CAN0メッセージスロット10データ2(C0MSL10DT2)			CAN0メッセージスロット10データ3(C0MSL10DT3)		
H'0080 11AA	CAN0メッセージスロット10データ4(C0MSL10DT4)			CAN0メッセージスロット10データ5(C0MSL10DT5)		
H'0080 11AC	CAN0メッセージスロット10データ6(C0MSL10DT6)			CAN0メッセージスロット10データ7(C0MSL10DT7)		
H'0080 11AE	CAN0メッセージスロット10タイムスタンプ(C0MSL10TSP)					
H'0080 11B0	CAN0メッセージスロット11標準ID0(C0MSL11SID0)			CAN0メッセージスロット11標準ID1(C0MSL11SID1)		
H'0080 11B2	CAN0メッセージスロット11拡張ID0(C0MSL11EID0)			CAN0メッセージスロット11拡張ID1(C0MSL11EID1)		
H'0080 11B4	CAN0メッセージスロット11拡張ID2(C0MSL11EID2)			CAN0メッセージスロット11データ長レジスタ(C0MSL11DLC)		
H'0080 11B6	CAN0メッセージスロット11データ0(C0MSL11DT0)			CAN0メッセージスロット11データ1(C0MSL11DT1)		
H'0080 11B8	CAN0メッセージスロット11データ2(C0MSL11DT2)			CAN0メッセージスロット11データ3(C0MSL11DT3)		
H'0080 11BA	CAN0メッセージスロット11データ4(C0MSL11DT4)			CAN0メッセージスロット11データ5(C0MSL11DT5)		
H'0080 11BC	CAN0メッセージスロット11データ6(C0MSL11DT6)			CAN0メッセージスロット11データ7(C0MSL11DT7)		
H'0080 11BE	CAN0メッセージスロット11タイムスタンプ(C0MSL11TSP)					
H'0080 11C0	CAN0メッセージスロット12標準ID0(C0MSL12SID0)			CAN0メッセージスロット12標準ID1(C0MSL12SID1)		
H'0080 11C2	CAN0メッセージスロット12拡張ID0(C0MSL12EID0)			CAN0メッセージスロット12拡張ID1(C0MSL12EID1)		
H'0080 11C4	CAN0メッセージスロット12拡張ID2(C0MSL12EID2)			CAN0メッセージスロット12データ長レジスタ(C0MSL12DLC)		
H'0080 11C6	CAN0メッセージスロット12データ0(C0MSL12DT0)			CAN0メッセージスロット12データ1(C0MSL12DT1)		
H'0080 11C8	CAN0メッセージスロット12データ2(C0MSL12DT2)			CAN0メッセージスロット12データ3(C0MSL12DT3)		
H'0080 11CA	CAN0メッセージスロット12データ4(C0MSL12DT4)			CAN0メッセージスロット12データ5(C0MSL12DT5)		
H'0080 11CC	CAN0メッセージスロット12データ6(C0MSL12DT6)			CAN0メッセージスロット12データ7(C0MSL12DT7)		
H'0080 11CE	CAN0メッセージスロット12タイムスタンプ(C0MSL12TSP)					
H'0080 11D0	CAN0メッセージスロット13標準ID0(C0MSL13SID0)			CAN0メッセージスロット13標準ID1(C0MSL13SID1)		
H'0080 11D2	CAN0メッセージスロット13拡張ID0(C0MSL13EID0)			CAN0メッセージスロット13拡張ID1(C0MSL13EID1)		
H'0080 11D4	CAN0メッセージスロット13拡張ID2(C0MSL13EID2)			CAN0メッセージスロット13データ長レジスタ(C0MSL13DLC)		
H'0080 11D6	CAN0メッセージスロット13データ0(C0MSL13DT0)			CAN0メッセージスロット13データ1(C0MSL13DT1)		
H'0080 11D8	CAN0メッセージスロット13データ2(C0MSL13DT2)			CAN0メッセージスロット13データ3(C0MSL13DT3)		
H'0080 11DA	CAN0メッセージスロット13データ4(C0MSL13DT4)			CAN0メッセージスロット13データ5(C0MSL13DT5)		
H'0080 11DC	CAN0メッセージスロット13データ6(C0MSL13DT6)			CAN0メッセージスロット13データ7(C0MSL13DT7)		
H'0080 11DE	CAN0メッセージスロット13タイムスタンプ(C0MSL13TSP)					
H'0080 11E0	CAN0メッセージスロット14標準ID0(C0MSL14SID0)			CAN0メッセージスロット14標準ID1(C0MSL14SID1)		
H'0080 11E2	CAN0メッセージスロット14拡張ID0(C0MSL14EID0)			CAN0メッセージスロット14拡張ID1(C0MSL14EID1)		
H'0080 11E4	CAN0メッセージスロット14拡張ID2(C0MSL14EID2)			CAN0メッセージスロット14データ長レジスタ(C0MSL14DLC)		
H'0080 11E6	CAN0メッセージスロット14データ0(C0MSL14DT0)			CAN0メッセージスロット14データ1(C0MSL14DT1)		
H'0080 11E8	CAN0メッセージスロット14データ2(C0MSL14DT2)			CAN0メッセージスロット14データ3(C0MSL14DT3)		
H'0080 11EA	CAN0メッセージスロット14データ4(C0MSL14DT4)			CAN0メッセージスロット14データ5(C0MSL14DT5)		
H'0080 11EC	CAN0メッセージスロット14データ6(C0MSL14DT6)			CAN0メッセージスロット14データ7(C0MSL14DT7)		
H'0080 11EE	CAN0メッセージスロット14タイムスタンプ(C0MSL14TSP)					
H'0080 11F0	CAN0メッセージスロット15標準ID0(C0MSL15SID0)			CAN0メッセージスロット15標準ID1(C0MSL15SID1)		
H'0080 11F2	CAN0メッセージスロット15拡張ID0(C0MSL15EID0)			CAN0メッセージスロット15拡張ID1(C0MSL15EID1)		
H'0080 11F4	CAN0メッセージスロット15拡張ID2(C0MSL15EID2)			CAN0メッセージスロット15データ長レジスタ(C0MSL15DLC)		
H'0080 11F6	CAN0メッセージスロット15データ0(C0MSL15DT0)			CAN0メッセージスロット15データ1(C0MSL15DT1)		
H'0080 11F8	CAN0メッセージスロット15データ2(C0MSL15DT2)			CAN0メッセージスロット15データ3(C0MSL15DT3)		
H'0080 11FA	CAN0メッセージスロット15データ4(C0MSL15DT4)			CAN0メッセージスロット15データ5(C0MSL15DT5)		
H'0080 11FC	CAN0メッセージスロット15データ6(C0MSL15DT6)			CAN0メッセージスロット15データ7(C0MSL15DT7)		
H'0080 11FE	CAN0メッセージスロット15タイムスタンプ(C0MSL15TSP)					

空き領域は予約領域です。

図3.4.17 SFR領域のレジスタマッピング(14)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1400	CAN1コントロールレジスタ(CAN1CNT)				
H'0080 1402	CAN1ステータスレジスタ(CAN1STAT)				
H'0080 1404	CAN1拡張IDレジスタ(CAN1EXTID)				
H'0080 1406	CAN1コンフィグレーションレジスタ(CAN1CONF)				
H'0080 1408	CAN1タイムスタンプカウンタレジスタ(CAN1TSTMP)				
H'0080 140A	CAN1受信エラーカウンタレジスタ(CAN1REC)		CAN1送信エラーカウンタレジスタ(CAN1TEC)		
H'0080 140C	CAN1スロット割り込みステータスレジスタ(CAN1SLIST)				
H'0080 140E					
H'0080 1410	CAN1スロット割り込みマスクレジスタ(CAN1SLIMK)				
H'0080 1412					
H'0080 1414	CAN1エラー割り込みステータスレジスタ(CAN1ERIST)		CAN1エラー割り込みマスクレジスタ(CAN1ERIMK)		
H'0080 1416	CAN1ポーレートプリスケラ(CAN1BRP)				
~					
H'0080 1428	CAN1グローバルマスクレジスタ標準ID0 (C1GMSKS0)		CAN1グローバルマスクレジスタ標準ID1 (C1GMSKS1)		
H'0080 142A	CAN1グローバルマスクレジスタ拡張ID0 (C1GMSKE0)		CAN1グローバルマスクレジスタ拡張ID1 (C1GMSKE1)		
H'0080 142C	CAN1グローバルマスクレジスタ拡張ID2 (C1GMSKE2)				
H'0080 142E					
H'0080 1430	CAN1ローカルマスクレジスタA標準ID0 (C1LMSKAS0)		CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1)		
H'0080 1432	CAN1ローカルマスクレジスタA拡張ID0 (C1LMSKAE0)		CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1)		
H'0080 1434	CAN1ローカルマスクレジスタA拡張ID2 (C1LMSKAE2)				
H'0080 1436					
H'0080 1438	CAN1ローカルマスクレジスタB標準ID0 (C1LMSKBS0)		CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1)		
H'0080 143A	CAN1ローカルマスクレジスタB拡張ID0 (C1LMSKBE0)		CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1)		
H'0080 143C	CAN1ローカルマスクレジスタB拡張ID2 (C1LMSKBE2)				
~					
H'0080 1450	CAN1メッセージスロット0コントロールレジスタ(C1MSL0CNT)		CAN1メッセージスロット1コントロールレジスタ(C1MSL1CNT)		
H'0080 1452	CAN1メッセージスロット2コントロールレジスタ(C1MSL2CNT)		CAN1メッセージスロット3コントロールレジスタ(C1MSL3CNT)		
H'0080 1454	CAN1メッセージスロット4コントロールレジスタ(C1MSL4CNT)		CAN1メッセージスロット5コントロールレジスタ(C1MSL5CNT)		
H'0080 1456	CAN1メッセージスロット6コントロールレジスタ(C1MSL6CNT)		CAN1メッセージスロット7コントロールレジスタ(C1MSL7CNT)		
H'0080 1458	CAN1メッセージスロット8コントロールレジスタ(C1MSL8CNT)		CAN1メッセージスロット9コントロールレジスタ(C1MSL9CNT)		
H'0080 145A	CAN1メッセージスロット10コントロールレジスタ(C1MSL10CNT)		CAN1メッセージスロット11コントロールレジスタ(C1MSL11CNT)		
H'0080 145C	CAN1メッセージスロット12コントロールレジスタ(C1MSL12CNT)		CAN1メッセージスロット13コントロールレジスタ(C1MSL13CNT)		
H'0080 145E	CAN1メッセージスロット14コントロールレジスタ(C1MSL14CNT)		CAN1メッセージスロット15コントロールレジスタ(C1MSL15CNT)		
~					

空き領域は予約領域です。

図3.4.18 SFR領域のレジスタマッピング(15)

番地	+ 0番地	+ 1番地	
	D0	D7, D8	D15
H'0080 1500	CAN1メッセージスロット0標準ID0(C1MSL0SID0)	CAN1メッセージスロット0標準ID1(C1MSL0SID1)	
H'0080 1502	CAN1メッセージスロット0拡張ID0(C1MSL0EID0)	CAN1メッセージスロット0拡張ID1(C1MSL0EID1)	
H'0080 1504	CAN1メッセージスロット0拡張ID2(C1MSL0EID2)	CAN1メッセージスロット0データ長レジスタ(C1MSL0DLC)	
H'0080 1506	CAN1メッセージスロット0データ0(C1MSL0DT0)	CAN1メッセージスロット0データ1(C1MSL0DT1)	
H'0080 1508	CAN1メッセージスロット0データ2(C1MSL0DT2)	CAN1メッセージスロット0データ3(C1MSL0DT3)	
H'0080 150A	CAN1メッセージスロット0データ4(C1MSL0DT4)	CAN1メッセージスロット0データ5(C1MSL0DT5)	
H'0080 150C	CAN1メッセージスロット0データ6(C1MSL0DT6)	CAN1メッセージスロット0データ7(C1MSL0DT7)	
H'0080 150E	CAN1メッセージスロット0タイムスタンプ(C1MSL0TSP)		
H'0080 1510	CAN1メッセージスロット1標準ID0(C1MSL1SID0)	CAN1メッセージスロット1標準ID1(C1MSL1SID1)	
H'0080 1512	CAN1メッセージスロット1拡張ID0(C1MSL1EID0)	CAN1メッセージスロット1拡張ID1(C1MSL1EID1)	
H'0080 1514	CAN1メッセージスロット1拡張ID2(C1MSL1EID2)	CAN1メッセージスロット1データ長レジスタ(C1MSL1DLC)	
H'0080 1516	CAN1メッセージスロット1データ0(C1MSL1DT0)	CAN1メッセージスロット1データ1(C1MSL1DT1)	
H'0080 1518	CAN1メッセージスロット1データ2(C1MSL1DT2)	CAN1メッセージスロット1データ3(C1MSL1DT3)	
H'0080 151A	CAN1メッセージスロット1データ4(C1MSL1DT4)	CAN1メッセージスロット1データ5(C1MSL1DT5)	
H'0080 151C	CAN1メッセージスロット1データ6(C1MSL1DT6)	CAN1メッセージスロット1データ7(C1MSL1DT7)	
H'0080 151E	CAN1メッセージスロット1タイムスタンプ(C1MSL1TSP)		
H'0080 1520	CAN1メッセージスロット2標準ID0(C1MSL2SID0)	CAN1メッセージスロット2標準ID1(C1MSL2SID1)	
H'0080 1522	CAN1メッセージスロット2拡張ID0(C1MSL2EID0)	CAN1メッセージスロット2拡張ID1(C1MSL2EID1)	
H'0080 1524	CAN1メッセージスロット2拡張ID2(C1MSL2EID2)	CAN1メッセージスロット2データ長レジスタ(C1MSL2DLC)	
H'0080 1526	CAN1メッセージスロット2データ0(C1MSL2DT0)	CAN1メッセージスロット2データ1(C1MSL2DT1)	
H'0080 1528	CAN1メッセージスロット2データ2(C1MSL2DT2)	CAN1メッセージスロット2データ3(C1MSL2DT3)	
H'0080 152A	CAN1メッセージスロット2データ4(C1MSL2DT4)	CAN1メッセージスロット2データ5(C1MSL2DT5)	
H'0080 152C	CAN1メッセージスロット2データ6(C1MSL2DT6)	CAN1メッセージスロット2データ7(C1MSL2DT7)	
H'0080 152E	CAN1メッセージスロット2タイムスタンプ(C1MSL2TSP)		
H'0080 1530	CAN1メッセージスロット3標準ID0(C1MSL3SID0)	CAN1メッセージスロット3標準ID1(C1MSL3SID1)	
H'0080 1532	CAN1メッセージスロット3拡張ID0(C1MSL3EID0)	CAN1メッセージスロット3拡張ID1(C1MSL3EID1)	
H'0080 1534	CAN1メッセージスロット3拡張ID2(C1MSL3EID2)	CAN1メッセージスロット3データ長レジスタ(C1MSL3DLC)	
H'0080 1536	CAN1メッセージスロット3データ0(C1MSL3DT0)	CAN1メッセージスロット3データ1(C1MSL3DT1)	
H'0080 1538	CAN1メッセージスロット3データ2(C1MSL3DT2)	CAN1メッセージスロット3データ3(C1MSL3DT3)	
H'0080 153A	CAN1メッセージスロット3データ4(C1MSL3DT4)	CAN1メッセージスロット3データ5(C1MSL3DT5)	
H'0080 153C	CAN1メッセージスロット3データ6(C1MSL3DT6)	CAN1メッセージスロット3データ7(C1MSL3DT7)	
H'0080 153E	CAN1メッセージスロット3タイムスタンプ(C1MSL3TSP)		
H'0080 1540	CAN1メッセージスロット4標準ID0(C1MSL4SID0)	CAN1メッセージスロット4標準ID1(C1MSL4SID1)	
H'0080 1542	CAN1メッセージスロット4拡張ID0(C1MSL4EID0)	CAN1メッセージスロット4拡張ID1(C1MSL4EID1)	
H'0080 1544	CAN1メッセージスロット4拡張ID2(C1MSL4EID2)	CAN1メッセージスロット4データ長レジスタ(C1MSL4DLC)	
H'0080 1546	CAN1メッセージスロット4データ0(C1MSL4DT0)	CAN1メッセージスロット4データ1(C1MSL4DT1)	
H'0080 1548	CAN1メッセージスロット4データ2(C1MSL4DT2)	CAN1メッセージスロット4データ3(C1MSL4DT3)	
H'0080 154A	CAN1メッセージスロット4データ4(C1MSL4DT4)	CAN1メッセージスロット4データ5(C1MSL4DT5)	
H'0080 154C	CAN1メッセージスロット4データ6(C1MSL4DT6)	CAN1メッセージスロット4データ7(C1MSL4DT7)	
H'0080 154E	CAN1メッセージスロット4タイムスタンプ(C1MSL4TSP)		
H'0080 1550	CAN1メッセージスロット5標準ID0(C1MSL5SID0)	CAN1メッセージスロット5標準ID1(C1MSL5SID1)	
H'0080 1552	CAN1メッセージスロット5拡張ID0(C1MSL5EID0)	CAN1メッセージスロット5拡張ID1(C1MSL5EID1)	

空き領域は予約領域です。

図3.4.19 SFR領域のレジスタマッピング(16)

番地	+0番地	+1番地	
	D0	D7, D8	D15
H'0080 1554	CAN1メッセージスロット5拡張ID2(C1MSL5EID2)	CAN1メッセージスロット5データ長レジスタ(C1MSL5DLC)	
H'0080 1556	CAN1メッセージスロット5データ0(C1MSL5DT0)	CAN1メッセージスロット5データ1(C1MSL5DT1)	
H'0080 1558	CAN1メッセージスロット5データ2(C1MSL5DT2)	CAN1メッセージスロット5データ3(C1MSL5DT3)	
H'0080 155A	CAN1メッセージスロット5データ4(C1MSL5DT4)	CAN1メッセージスロット5データ5(C1MSL5DT5)	
H'0080 155C	CAN1メッセージスロット5データ6(C1MSL5DT6)	CAN1メッセージスロット5データ7(C1MSL5DT7)	
H'0080 155E	CAN1メッセージスロット5タイムスタンプ(C1MSL5TSP)		
H'0080 1560	CAN1メッセージスロット6標準ID0(C1MSL6SID0)	CAN1メッセージスロット6標準ID1(C1MSL6SID1)	
H'0080 1562	CAN1メッセージスロット6拡張ID0(C1MSL6EID0)	CAN1メッセージスロット6拡張ID1(C1MSL6EID1)	
H'0080 1564	CAN1メッセージスロット6拡張ID2(C1MSL6EID2)	CAN1メッセージスロット6データ長レジスタ(C1MSL6DLC)	
H'0080 1566	CAN1メッセージスロット6データ0(C1MSL6DT0)	CAN1メッセージスロット6データ1(C1MSL6DT1)	
H'0080 1568	CAN1メッセージスロット6データ2(C1MSL6DT2)	CAN1メッセージスロット6データ3(C1MSL6DT3)	
H'0080 156A	CAN1メッセージスロット6データ4(C1MSL6DT4)	CAN1メッセージスロット6データ5(C1MSL6DT5)	
H'0080 156C	CAN1メッセージスロット6データ6(C1MSL6DT6)	CAN1メッセージスロット6データ7(C1MSL6DT7)	
H'0080 156E	CAN1メッセージスロット6タイムスタンプ(C1MSL6TSP)		
H'0080 1570	CAN1メッセージスロット7標準ID0(C1MSL7SID0)	CAN1メッセージスロット7標準ID1(C1MSL7SID1)	
H'0080 1572	CAN1メッセージスロット7拡張ID0(C1MSL7EID0)	CAN1メッセージスロット7拡張ID1(C1MSL7EID1)	
H'0080 1574	CAN1メッセージスロット7拡張ID2(C1MSL7EID2)	CAN1メッセージスロット7データ長レジスタ(C1MSL7DLC)	
H'0080 1576	CAN1メッセージスロット7データ0(C1MSL7DT0)	CAN1メッセージスロット7データ1(C1MSL7DT1)	
H'0080 1578	CAN1メッセージスロット7データ2(C1MSL7DT2)	CAN1メッセージスロット7データ3(C1MSL7DT3)	
H'0080 157A	CAN1メッセージスロット7データ4(C1MSL7DT4)	CAN1メッセージスロット7データ5(C1MSL7DT5)	
H'0080 157C	CAN1メッセージスロット7データ6(C1MSL7DT6)	CAN1メッセージスロット7データ7(C1MSL7DT7)	
H'0080 157E	CAN1メッセージスロット7タイムスタンプ(C1MSL7TSP)		
H'0080 1580	CAN1メッセージスロット8標準ID0(C1MSL8SID0)	CAN1メッセージスロット8標準ID1(C1MSL8SID1)	
H'0080 1582	CAN1メッセージスロット8拡張ID0(C1MSL8EID0)	CAN1メッセージスロット8拡張ID1(C1MSL8EID1)	
H'0080 1584	CAN1メッセージスロット8拡張ID2(C1MSL8EID2)	CAN1メッセージスロット8データ長レジスタ(C1MSL8DLC)	
H'0080 1586	CAN1メッセージスロット8データ0(C1MSL8DT0)	CAN1メッセージスロット8データ1(C1MSL8DT1)	
H'0080 1588	CAN1メッセージスロット8データ2(C1MSL8DT2)	CAN1メッセージスロット8データ3(C1MSL8DT3)	
H'0080 158A	CAN1メッセージスロット8データ4(C1MSL8DT4)	CAN1メッセージスロット8データ5(C1MSL8DT5)	
H'0080 158C	CAN1メッセージスロット8データ6(C1MSL8DT6)	CAN1メッセージスロット8データ7(C1MSL8DT7)	
H'0080 158E	CAN1メッセージスロット8タイムスタンプ(C1MSL8TSP)		
H'0080 1590	CAN1メッセージスロット9標準ID0(C1MSL9SID0)	CAN1メッセージスロット9標準ID1(C1MSL9SID1)	
H'0080 1592	CAN1メッセージスロット9拡張ID0(C1MSL9EID0)	CAN1メッセージスロット9拡張ID1(C1MSL9EID1)	
H'0080 1594	CAN1メッセージスロット9拡張ID2(C1MSL9EID2)	CAN1メッセージスロット9データ長レジスタ(C1MSL9DLC)	
H'0080 1596	CAN1メッセージスロット9データ0(C1MSL9DT0)	CAN1メッセージスロット9データ1(C1MSL9DT1)	
H'0080 1598	CAN1メッセージスロット9データ2(C1MSL9DT2)	CAN1メッセージスロット9データ3(C1MSL9DT3)	
H'0080 159A	CAN1メッセージスロット9データ4(C1MSL9DT4)	CAN1メッセージスロット9データ5(C1MSL9DT5)	
H'0080 159C	CAN1メッセージスロット9データ6(C1MSL9DT6)	CAN1メッセージスロット9データ7(C1MSL9DT7)	
H'0080 159E	CAN1メッセージスロット9タイムスタンプ(C1MSL9TSP)		
H'0080 15A0	CAN1メッセージスロット10標準ID0(C1MSL10SID0)	CAN1メッセージスロット10標準ID1(C1MSL10SID1)	
H'0080 15A2	CAN1メッセージスロット10拡張ID0(C1MSL10EID0)	CAN1メッセージスロット10拡張ID1(C1MSL10EID1)	
H'0080 15A4	CAN1メッセージスロット10拡張ID2(C1MSL10EID2)	CAN1メッセージスロット10データ長レジスタ(C1MSL10DLC)	
H'0080 15A6	CAN1メッセージスロット10データ0(C1MSL10DT0)	CAN1メッセージスロット10データ1(C1MSL10DT1)	

空き領域は予約領域です。

図3.4.20 SFR領域のレジスタマッピング(17)

番地	+0番地		+1番地	
	D0	D7	D8	D15
H'0080 15A8	CAN1メッセージスロット10データ2(C1MSL10DT2)		CAN1メッセージスロット10データ3(C1MSL10DT3)	
H'0080 15AA	CAN1メッセージスロット10データ4(C1MSL10DT4)		CAN1メッセージスロット10データ5(C1MSL10DT5)	
H'0080 15AC	CAN1メッセージスロット10データ6(C1MSL10DT6)		CAN1メッセージスロット10データ7(C1MSL10DT7)	
H'0080 15AE	CAN1メッセージスロット10タイムスタンプ(C1MSL10TSP)			
H'0080 15B0	CAN1メッセージスロット11標準ID0(C1MSL11SID0)		CAN1メッセージスロット11標準ID1(C1MSL11SID1)	
H'0080 15B2	CAN1メッセージスロット11拡張ID0(C1MSL11EID0)		CAN1メッセージスロット11拡張ID1(C1MSL11EID1)	
H'0080 15B4	CAN1メッセージスロット11拡張ID2(C1MSL11EID2)		CAN1メッセージスロット11データ長レジスタ(C1MSL11DLC)	
H'0080 15B6	CAN1メッセージスロット11データ0(C1MSL11DT0)		CAN1メッセージスロット11データ1(C1MSL11DT1)	
H'0080 15B8	CAN1メッセージスロット11データ2(C1MSL11DT2)		CAN1メッセージスロット11データ3(C1MSL11DT3)	
H'0080 15BA	CAN1メッセージスロット11データ4(C1MSL11DT4)		CAN1メッセージスロット11データ5(C1MSL11DT5)	
H'0080 15BC	CAN1メッセージスロット11データ6(C1MSL11DT6)		CAN1メッセージスロット11データ7(C1MSL11DT7)	
H'0080 15BE	CAN1メッセージスロット11タイムスタンプ(C1MSL11TSP)			
H'0080 15C0	CAN1メッセージスロット12標準ID0(C1MSL12SID0)		CAN1メッセージスロット12標準ID1(C1MSL12SID1)	
H'0080 15C2	CAN1メッセージスロット12拡張ID0(C1MSL12EID0)		CAN1メッセージスロット12拡張ID1(C1MSL12EID1)	
H'0080 15C4	CAN1メッセージスロット12拡張ID2(C1MSL12EID2)		CAN1メッセージスロット12データ長レジスタ(C1MSL12DLC)	
H'0080 15C6	CAN1メッセージスロット12データ0(C1MSL12DT0)		CAN1メッセージスロット12データ1(C1MSL12DT1)	
H'0080 15C8	CAN1メッセージスロット12データ2(C1MSL12DT2)		CAN1メッセージスロット12データ3(C1MSL12DT3)	
H'0080 15CA	CAN1メッセージスロット12データ4(C1MSL12DT4)		CAN1メッセージスロット12データ5(C1MSL12DT5)	
H'0080 15CC	CAN1メッセージスロット12データ6(C1MSL12DT6)		CAN1メッセージスロット12データ7(C1MSL12DT7)	
H'0080 15CE	CAN1メッセージスロット12タイムスタンプ(C1MSL12TSP)			
H'0080 15D0	CAN1メッセージスロット13標準ID0(C1MSL13SID0)		CAN1メッセージスロット13標準ID1(C1MSL13SID1)	
H'0080 15D2	CAN1メッセージスロット13拡張ID0(C1MSL13EID0)		CAN1メッセージスロット13拡張ID1(C1MSL13EID1)	
H'0080 15D4	CAN1メッセージスロット13拡張ID2(C1MSL13EID2)		CAN1メッセージスロット13データ長レジスタ(C1MSL13DLC)	
H'0080 15D6	CAN1メッセージスロット13データ0(C1MSL13DT0)		CAN1メッセージスロット13データ1(C1MSL13DT1)	
H'0080 15D8	CAN1メッセージスロット13データ2(C1MSL13DT2)		CAN1メッセージスロット13データ3(C1MSL13DT3)	
H'0080 15DA	CAN1メッセージスロット13データ4(C1MSL13DT4)		CAN1メッセージスロット13データ5(C1MSL13DT5)	
H'0080 15DC	CAN1メッセージスロット13データ6(C1MSL13DT6)		CAN1メッセージスロット13データ7(C1MSL13DT7)	
H'0080 15DE	CAN1メッセージスロット13タイムスタンプ(C1MSL13TSP)			
H'0080 15E0	CAN1メッセージスロット14標準ID0(C1MSL14SID0)		CAN1メッセージスロット14標準ID1(C1MSL14SID1)	
H'0080 15E2	CAN1メッセージスロット14拡張ID0(C1MSL14EID0)		CAN1メッセージスロット14拡張ID1(C1MSL14EID1)	
H'0080 15E4	CAN1メッセージスロット14拡張ID2(C1MSL14EID2)		CAN1メッセージスロット14データ長レジスタ(C1MSL14DLC)	
H'0080 15E6	CAN1メッセージスロット14データ0(C1MSL14DT0)		CAN1メッセージスロット14データ1(C1MSL14DT1)	
H'0080 15E8	CAN1メッセージスロット14データ2(C1MSL14DT2)		CAN1メッセージスロット14データ3(C1MSL14DT3)	
H'0080 15EA	CAN1メッセージスロット14データ4(C1MSL14DT4)		CAN1メッセージスロット14データ5(C1MSL14DT5)	
H'0080 15EC	CAN1メッセージスロット14データ6(C1MSL14DT6)		CAN1メッセージスロット14データ7(C1MSL14DT7)	
H'0080 15EE	CAN1メッセージスロット14タイムスタンプ(C1MSL14TSP)			
H'0080 15F0	CAN1メッセージスロット15標準ID0(C1MSL15SID0)		CAN1メッセージスロット15標準ID1(C1MSL15SID1)	
H'0080 15F2	CAN1メッセージスロット15拡張ID0(C1MSL15EID0)		CAN1メッセージスロット15拡張ID1(C1MSL15EID1)	
H'0080 15F4	CAN1メッセージスロット15拡張ID2(C1MSL15EID2)		CAN1メッセージスロット15データ長レジスタ(C1MSL15DLC)	
H'0080 15F6	CAN1メッセージスロット15データ0(C1MSL15DT0)		CAN1メッセージスロット15データ1(C1MSL15DT1)	
H'0080 15F8	CAN1メッセージスロット15データ2(C1MSL15DT2)		CAN1メッセージスロット15データ3(C1MSL15DT3)	
H'0080 15FA	CAN1メッセージスロット15データ4(C1MSL15DT4)		CAN1メッセージスロット15データ5(C1MSL15DT5)	
H'0080 15FC	CAN1メッセージスロット15データ6(C1MSL15DT6)		CAN1メッセージスロット15データ7(C1MSL15DT7)	
H'0080 15FE	CAN1メッセージスロット15タイムスタンプ(C1MSL15TSP)			

空き領域は予約領域です。

図3.4.21 SFR領域のレジスタマッピング(18)

番地	+ 0番地	+ 1番地
	D0	D7 D8 D15
H'0080 1800	ブリスケーラレジスタA(PRSA)	ブリスケーラレジスタB(PRSB)
H'0080 1802	DACNTリロードレジスタA(DACNTRL)	TIN入力処理制御レジスタ(TINPDCR)
H'0080 1804	TIN割り込み制御レジスタ(TINPDICR)	TIN割り込みステータスレジスタ(TINPDIST)
H'0080 1806	DACNT制御レジスタA(DACNTRC)	TPD制御レジスタ(TPDCR)
H'0080 1808	DACNTカウンタ(DACNT)	
H'0080 180E	TPDカウンタ(TPDCT)	
H'0080 1810	TPD計測レジスタ0(TPDMR0)	
H'0080 1812	TPD計測レジスタ1(TPDMR1)	
H'0080 1814	TPD計測レジスタ2(TPDMR2)	
H'0080 1816	TPD計測レジスタ3(TPDMR3)	
H'0080 1818	TPD計測レジスタ4(TPDMR4)	
H'0080 181A	TPD計測レジスタ5(TPDMR5)	
H'0080 181C	TPD計測レジスタ6(TPDMR6)	
H'0080 181E	TPD計測レジスタ7(TPDMR7)	
H'0080 1830	PD演算割り込み制御レジスタ(PDICR)	PD演算割り込みステータスレジスタ(PDIST)
H'0080 1832	位置検出精度選択レジスタ(PDASR)	DMA転送要求要因選択レジスタ(DMAREQSL)
H'0080 1840	ブリスケーラレジスタ0C(PRS0C)	SMSB制御レジスタ0(PRS1C)
H'0080 1842	TEP0P制御レジスタ(SMSBCR0)	TEP0M制御レジスタ(SMSBCR1)
H'0080 1844	TEP0Pカウンタ(TEP0PCT)	
H'0080 1846	TEP0Mカウンタ(TEP0MCT)	
H'0080 1848	PD0データ更新禁止イベント選択レジスタ(PDENSEL0R)	PD0データ更新制御レジスタ(PDNCNT0R)
H'0080 184A	AB0マスクレジスタ(ABD0MK)	Sエラー0検出範囲選択レジスタ(SNEW0MK)
H'0080 184C	ABD0コンペアレジスタ(ABD0CM)	
H'0080 184E	PICH0コンペアレジスタ(PITCH0CMR)	
H'0080 1860	PNEWLT0レジスタ(PNEWLT0)	
H'0080 1862	POLDLT0レジスタ(POLDLT0)	
H'0080 1864	MNEWLT0レジスタ(MNEWLT0)	
H'0080 1866	MOLDLT0レジスタ(MOLDLT0)	
H'0080 1868	PSUBLT0レジスタ(PSUBLT0)	
H'0080 186A	MSUBLT0レジスタ(MSUBLT0)	
H'0080 186C	SNEWLT0レジスタ(SNEWLT0)	
H'0080 186E	PRLT0レジスタ(PRLT0)	
H'0080 1870	MRLT0レジスタ(MRLT0)	
H'0080 1872	FDLT0レジスタ(FDLT0)	
H'0080 1874	PITCHLT0レジスタ(PITCHLT0)	
H'0080 1876	ABDLT0レジスタ(ABDLT0)	
H'0080 1878	RSUMLT0レジスタ(RSUMLT0)	
H'0080 187A	SSLT0レジスタ(SSLT0)	

空き領域は予約領域です。

注 . のレジスタは演算のための中間レジスタです。R/Wアクセスを行わないでください。

図3.4.22 SFR領域のレジスタマッピング(19)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1880	プリスケアラレジスタ1C(PRS1C)		SMSB制御レジスタ1(SMSBCR1)		
H'0080 1882	TEP1P制御レジスタ(TEP1PCR)		TEP1M制御レジスタ(TEP1MCR)		
H'0080 1884	TEP1Pカウンタレジスタ(TEP1PCT)				
H'0080 1886	TEP1Mカウンタレジスタ(TEP1MCT)				
H'0080 1888	PD1データ更新禁止イベント選択レジスタ(PDNSEL1R)		PD1データ更新制御レジスタ(PDNCNT1R)		
H'0080 188A	ABD1マスクレジスタ(ABD1MK)		Sエラー1検出範囲選択レジスタ(SNEW1MK)		
H'0080 188C	ABD1コンペアレジスタ(ABD1CM)				
H'0080 188E	PITCH1コンペアレジスタ(PITCH1CMR)				
⋮					
H'0080 18A0	PNEWLT1レジスタ(PNEWLT1)				
H'0080 18A2	POLDT1レジスタ(POLDLT1)				
H'0080 18A4	MNEWLT1レジスタ(MNEWLT1)				
H'0080 18A6	MOLDLT1レジスタ(MOLDLT1)				
H'0080 18A8	PSUBLT1レジスタ(PSUBLT1)				
H'0080 18AA	MSUBLT1レジスタ(MSUBLT1)				
H'0080 18AC	SNEWLT1レジスタ(SNEWLT1)				
H'0080 18AE	PRLT1レジスタ(PRLT1)				
H'0080 18B0	MRLT1レジスタ(MRTL1)				
H'0080 18B2	FDLT1レジスタ(FDLT1)				
H'0080 18B4	PITCHL1レジスタ(PITCHL1)				
H'0080 18B6	ABDLT1レジスタ(ABDLT1)				
H'0080 18B8	RSUMLT1レジスタ(RSUMLT1)				
H'0080 18BA	SSLT1レジスタ(SSLT1)				

空き領域は予約領域です。

注 . のレジスタは演算のための中間レジスタです。R/Wアクセスを行わないでください。

図3.4.23 SFR領域のレジスタマッピング(20)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 1C78	D-A0変換レジスタ (DA0CNV)				
H'0080 1C7A	D-A1変換レジスタ (DA1CNV)				
H'0080 1C7C	D-A変換レジスタ (DACR)				
⋮					
H'0080 1D00	D-A0データレジスタ0 (DA0DT0)		D-A0データレジスタ1 (DA0DT1)		
H'0080 1D02	D-A0データレジスタ2 (DA0DT2)		D-A0データレジスタ3 (DA0DT3)		
H'0080 1D04	D-A0データレジスタ4 (DA0DT4)		D-A0データレジスタ5 (DA0DT5)		
H'0080 1D06	D-A0データレジスタ6 (DA0DT6)		D-A0データレジスタ7 (DA0DT7)		
H'0080 1D08	D-A0データレジスタ8 (DA0DT8)		D-A0データレジスタ9 (DA0DT9)		
H'0080 1D0A	D-A0データレジスタ10 (DA0DT10)		D-A0データレジスタ11 (DA0DT11)		
H'0080 1D0C	D-A0データレジスタ12 (DA0DT12)		D-A0データレジスタ13 (DA0DT13)		
H'0080 1D0E	D-A0データレジスタ14 (DA0DT14)		D-A0データレジスタ15 (DA0DT15)		
H'0080 1D10	D-A0データレジスタ16 (DA0DT16)		D-A0データレジスタ17 (DA0DT17)		
H'0080 1D12	D-A0データレジスタ18 (DA0DT18)		D-A0データレジスタ19 (DA0DT19)		
H'0080 1D14	D-A0データレジスタ20 (DA0DT20)		D-A0データレジスタ21 (DA0DT21)		
H'0080 1D16	D-A0データレジスタ22 (DA0DT22)		D-A0データレジスタ23 (DA0DT23)		
H'0080 1D18	D-A0データレジスタ24 (DA0DT24)		D-A0データレジスタ25 (DA0DT25)		
H'0080 1D1A	D-A0データレジスタ26 (DA0DT26)		D-A0データレジスタ27 (DA0DT27)		
H'0080 1D1C	D-A0データレジスタ28 (DA0DT28)		D-A0データレジスタ29 (DA0DT29)		
H'0080 1D1E	D-A0データレジスタ30 (DA0DT30)		D-A0データレジスタ31 (DA0DT31)		
H'0080 1D20	D-A0データレジスタ32 (DA0DT32)		D-A0データレジスタ33 (DA0DT33)		
H'0080 1D22	D-A0データレジスタ34 (DA0DT34)		D-A0データレジスタ35 (DA0DT35)		
H'0080 1D24	D-A0データレジスタ36 (DA0DT36)		D-A0データレジスタ37 (DA0DT37)		
H'0080 1D26	D-A0データレジスタ38 (DA0DT38)		D-A0データレジスタ39 (DA0DT39)		
H'0080 1D28	D-A0データレジスタ40 (DA0DT40)		D-A0データレジスタ41 (DA0DT41)		
H'0080 1D2A	D-A0データレジスタ42 (DA0DT42)		D-A0データレジスタ43 (DA0DT43)		
H'0080 1D2C	D-A0データレジスタ44 (DA0DT44)		D-A0データレジスタ45 (DA0DT45)		
H'0080 1D2E	D-A0データレジスタ46 (DA0DT46)		D-A0データレジスタ47 (DA0DT47)		
H'0080 1D30	D-A0データレジスタ48 (DA0DT48)		D-A0データレジスタ49 (DA0DT49)		
H'0080 1D32	D-A0データレジスタ50 (DA0DT50)		D-A0データレジスタ51 (DA0DT51)		
H'0080 1D34	D-A0データレジスタ52 (DA0DT52)		D-A0データレジスタ53 (DA0DT53)		
H'0080 1D36	D-A0データレジスタ54 (DA0DT54)		D-A0データレジスタ55 (DA0DT55)		
H'0080 1D38	D-A0データレジスタ56 (DA0DT56)		D-A0データレジスタ57 (DA0DT57)		
H'0080 1D3A	D-A0データレジスタ58 (DA0DT58)		D-A0データレジスタ59 (DA0DT59)		
H'0080 1D3C	D-A0データレジスタ60 (DA0DT60)		D-A0データレジスタ61 (DA0DT61)		
H'0080 1D3E	D-A0データレジスタ62 (DA0DT62)		D-A0データレジスタ63 (DA0DT63)		
H'0080 1D40	D-A0データレジスタ64 (DA0DT64)		D-A0データレジスタ65 (DA0DT65)		
H'0080 1D42	D-A0データレジスタ66 (DA0DT66)		D-A0データレジスタ67 (DA0DT67)		
H'0080 1D44	D-A0データレジスタ68 (DA0DT68)		D-A0データレジスタ69 (DA0DT69)		
H'0080 1D46	D-A0データレジスタ70 (DA0DT70)		D-A0データレジスタ71 (DA0DT71)		
H'0080 1D48	D-A0データレジスタ72 (DA0DT72)		D-A0データレジスタ73 (DA0DT73)		
H'0080 1D4A	D-A0データレジスタ74 (DA0DT74)		D-A0データレジスタ75 (DA0DT75)		
H'0080 1D4C	D-A0データレジスタ76 (DA0DT76)		D-A0データレジスタ77 (DA0DT77)		
H'0080 1D4E	D-A0データレジスタ78 (DA0DT78)		D-A0データレジスタ79 (DA0DT79)		

空き領域は予約領域です。

図3.4.24 SFR領域のレジスタマッピング(21)

番地	D0	+0番地	D7 D8	+1番地	D15
H'0080 1D50		D-A0データレジスタ80 (DA0DT80)		D-A0データレジスタ81 (DA0DT81)	
H'0080 1D52		D-A0データレジスタ82 (DA0DT82)		D-A0データレジスタ83 (DA0DT83)	
H'0080 1D54		D-A0データレジスタ84 (DA0DT84)		D-A0データレジスタ85 (DA0DT85)	
H'0080 1D56		D-A0データレジスタ86 (DA0DT86)		D-A0データレジスタ87 (DA0DT87)	
H'0080 1D58		D-A0データレジスタ88 (DA0DT88)		D-A0データレジスタ89 (DA0DT89)	
H'0080 1D5A		D-A0データレジスタ90 (DA0DT90)		D-A0データレジスタ91 (DA0DT91)	
H'0080 1D5C		D-A0データレジスタ92 (DA0DT92)		D-A0データレジスタ93 (DA0DT93)	
H'0080 1D5E		D-A0データレジスタ94 (DA0DT94)		D-A0データレジスタ95 (DA0DT95)	
H'0080 1D60		D-A0データレジスタ96 (DA0DT96)		D-A0データレジスタ97 (DA0DT97)	
H'0080 1D62		D-A0データレジスタ98 (DA0DT98)		D-A0データレジスタ99 (DA0DT99)	
H'0080 1D64		D-A0データレジスタ100 (DA0DT100)		D-A0データレジスタ101 (DA0DT101)	
H'0080 1D66		D-A0データレジスタ102 (DA0DT102)		D-A0データレジスタ103 (DA0DT103)	
H'0080 1D68		D-A0データレジスタ104 (DA0DT104)		D-A0データレジスタ105 (DA0DT105)	
H'0080 1D6A		D-A0データレジスタ106 (DA0DT106)		D-A0データレジスタ107 (DA0DT107)	
H'0080 1D6C		D-A0データレジスタ108 (DA0DT108)		D-A0データレジスタ109 (DA0DT109)	
H'0080 1D6E		D-A0データレジスタ110 (DA0DT110)		D-A0データレジスタ111 (DA0DT111)	
H'0080 1D70		D-A0データレジスタ112 (DA0DT112)		D-A0データレジスタ113 (DA0DT113)	
H'0080 1D72		D-A0データレジスタ114 (DA0DT114)		D-A0データレジスタ115 (DA0DT115)	
H'0080 1D74		D-A0データレジスタ116 (DA0DT116)		D-A0データレジスタ117 (DA0DT117)	
H'0080 1D76		D-A0データレジスタ118 (DA0DT118)		D-A0データレジスタ119 (DA0DT119)	
H'0080 1D78		D-A0データレジスタ120 (DA0DT120)		D-A0データレジスタ121 (DA0DT121)	
H'0080 1D7A		D-A0データレジスタ122 (DA0DT122)		D-A0データレジスタ123 (DA0DT123)	
H'0080 1D7C		D-A0データレジスタ124 (DA0DT124)		D-A0データレジスタ125 (DA0DT125)	
H'0080 1D7E		D-A0データレジスタ126 (DA0DT126)		D-A0データレジスタ127 (DA0DT127)	
H'0080 1D80		D-A0データレジスタ128 (DA0DT128)		D-A0データレジスタ129 (DA0DT129)	
H'0080 1D82		D-A0データレジスタ130 (DA0DT130)		D-A0データレジスタ131 (DA0DT131)	
H'0080 1D84		D-A0データレジスタ132 (DA0DT132)		D-A0データレジスタ133 (DA0DT133)	
H'0080 1D86		D-A0データレジスタ134 (DA0DT134)		D-A0データレジスタ135 (DA0DT135)	
H'0080 1D88		D-A0データレジスタ136 (DA0DT136)		D-A0データレジスタ137 (DA0DT137)	
H'0080 1D8A		D-A0データレジスタ138 (DA0DT138)		D-A0データレジスタ139 (DA0DT139)	
H'0080 1D8C		D-A0データレジスタ140 (DA0DT140)		D-A0データレジスタ141 (DA0DT141)	
H'0080 1D8E		D-A0データレジスタ142 (DA0DT142)		D-A0データレジスタ143 (DA0DT143)	
H'0080 1D90		D-A0データレジスタ144 (DA0DT144)		D-A0データレジスタ145 (DA0DT145)	
H'0080 1D92		D-A0データレジスタ146 (DA0DT146)		D-A0データレジスタ147 (DA0DT147)	
H'0080 1D94		D-A0データレジスタ148 (DA0DT148)		D-A0データレジスタ149 (DA0DT149)	
H'0080 1D96		D-A0データレジスタ150 (DA0DT150)		D-A0データレジスタ151 (DA0DT151)	
H'0080 1D98		D-A0データレジスタ152 (DA0DT152)		D-A0データレジスタ153 (DA0DT153)	
H'0080 1D9A		D-A0データレジスタ154 (DA0DT154)		D-A0データレジスタ155 (DA0DT155)	
H'0080 1D9C		D-A0データレジスタ156 (DA0DT156)		D-A0データレジスタ157 (DA0DT157)	
H'0080 1D9E		D-A0データレジスタ158 (DA0DT158)		D-A0データレジスタ159 (DA0DT159)	
H'0080 1DA0		D-A0データレジスタ160 (DA0DT160)		D-A0データレジスタ161 (DA0DT161)	
H'0080 1DA2		D-A0データレジスタ162 (DA0DT162)		D-A0データレジスタ163 (DA0DT163)	
H'0080 1DA4		D-A0データレジスタ164 (DA0DT164)		D-A0データレジスタ165 (DA0DT165)	
H'0080 1DA6		D-A0データレジスタ166 (DA0DT166)		D-A0データレジスタ167 (DA0DT167)	
H'0080 1DA8		D-A0データレジスタ168 (DA0DT168)		D-A0データレジスタ169 (DA0DT169)	

空き領域は予約領域です。

図3.4.25 SFR領域のレジスタマッピング(22)

番地	+0番地		+1番地	
	D0	D7 D8	D7 D8	D15
H'0080 1DAA	D-A0データレジスタ170 (DA0DT170)		D-A0データレジスタ171 (DA0DT171)	
H'0080 1DAC	D-A0データレジスタ172 (DA0DT172)		D-A0データレジスタ173 (DA0DT173)	
H'0080 1DAE	D-A0データレジスタ174 (DA0DT174)		D-A0データレジスタ175 (DA0DT175)	
H'0080 1DB0	D-A0データレジスタ176 (DA0DT176)		D-A0データレジスタ177 (DA0DT177)	
H'0080 1DB2	D-A0データレジスタ178 (DA0DT178)		D-A0データレジスタ179 (DA0DT179)	
H'0080 1DB4	D-A0データレジスタ180 (DA0DT180)		D-A0データレジスタ181 (DA0DT181)	
H'0080 1DB6	D-A0データレジスタ182 (DA0DT182)		D-A0データレジスタ183 (DA0DT183)	
H'0080 1DB8	D-A0データレジスタ184 (DA0DT184)		D-A0データレジスタ185 (DA0DT185)	
H'0080 1DBA	D-A0データレジスタ186 (DA0DT186)		D-A0データレジスタ187 (DA0DT187)	
H'0080 1DBC	D-A0データレジスタ188 (DA0DT188)		D-A0データレジスタ189 (DA0DT189)	
H'0080 1DBE	D-A0データレジスタ190 (DA0DT190)		D-A0データレジスタ191 (DA0DT191)	
H'0080 1DC0	D-A0データレジスタ192 (DA0DT192)		D-A0データレジスタ193 (DA0DT193)	
H'0080 1DC2	D-A0データレジスタ194 (DA0DT194)		D-A0データレジスタ195 (DA0DT195)	
H'0080 1DC4	D-A0データレジスタ196 (DA0DT196)		D-A0データレジスタ197 (DA0DT197)	
H'0080 1DC6	D-A0データレジスタ198 (DA0DT198)		D-A0データレジスタ199 (DA0DT199)	
H'0080 1DC8	D-A0データレジスタ200 (DA0DT200)		D-A0データレジスタ201 (DA0DT201)	
H'0080 1DCA	D-A0データレジスタ202 (DA0DT202)		D-A0データレジスタ203 (DA0DT203)	
H'0080 1DCC	D-A0データレジスタ204 (DA0DT204)		D-A0データレジスタ205 (DA0DT205)	
H'0080 1DCE	D-A0データレジスタ206 (DA0DT206)		D-A0データレジスタ207 (DA0DT207)	
H'0080 1DD0	D-A0データレジスタ208 (DA0DT208)		D-A0データレジスタ209 (DA0DT209)	
H'0080 1DD2	D-A0データレジスタ210 (DA0DT210)		D-A0データレジスタ211 (DA0DT211)	
H'0080 1DD4	D-A0データレジスタ212 (DA0DT212)		D-A0データレジスタ213 (DA0DT213)	
H'0080 1DD6	D-A0データレジスタ214 (DA0DT214)		D-A0データレジスタ215 (DA0DT215)	
H'0080 1DD8	D-A0データレジスタ216 (DA0DT216)		D-A0データレジスタ217 (DA0DT217)	
H'0080 1DDA	D-A0データレジスタ218 (DA0DT218)		D-A0データレジスタ219 (DA0DT219)	
H'0080 1DDC	D-A0データレジスタ220 (DA0DT220)		D-A0データレジスタ221 (DA0DT221)	
H'0080 1DDE	D-A0データレジスタ222 (DA0DT222)		D-A0データレジスタ223 (DA0DT223)	
H'0080 1DE0	D-A0データレジスタ224 (DA0DT224)		D-A0データレジスタ225 (DA0DT225)	
H'0080 1DE2	D-A0データレジスタ226 (DA0DT226)		D-A0データレジスタ227 (DA0DT227)	
H'0080 1DE4	D-A0データレジスタ228 (DA0DT228)		D-A0データレジスタ229 (DA0DT229)	
H'0080 1DE6	D-A0データレジスタ230 (DA0DT230)		D-A0データレジスタ231 (DA0DT231)	
H'0080 1DE8	D-A0データレジスタ232 (DA0DT232)		D-A0データレジスタ233 (DA0DT233)	
H'0080 1DEA	D-A0データレジスタ234 (DA0DT234)		D-A0データレジスタ235 (DA0DT235)	
H'0080 1DEC	D-A0データレジスタ236 (DA0DT236)		D-A0データレジスタ237 (DA0DT237)	
H'0080 1DEE	D-A0データレジスタ238 (DA0DT238)		D-A0データレジスタ239 (DA0DT239)	
H'0080 1DF0	D-A0データレジスタ240 (DA0DT240)		D-A0データレジスタ241 (DA0DT241)	
H'0080 1DF2	D-A0データレジスタ242 (DA0DT242)		D-A0データレジスタ243 (DA0DT243)	
H'0080 1DF4	D-A0データレジスタ244 (DA0DT244)		D-A0データレジスタ245 (DA0DT245)	
H'0080 1DF6	D-A0データレジスタ246 (DA0DT246)		D-A0データレジスタ247 (DA0DT247)	
H'0080 1DF8	D-A0データレジスタ248 (DA0DT248)		D-A0データレジスタ249 (DA0DT249)	
H'0080 1DFA	D-A0データレジスタ250 (DA0DT250)		D-A0データレジスタ251 (DA0DT251)	
H'0080 1DFC	D-A0データレジスタ252 (DA0DT252)		D-A0データレジスタ253 (DA0DT253)	
H'0080 1DFE	D-A0データレジスタ254 (DA0DT254)		D-A0データレジスタ255 (DA0DT255)	

空き領域は予約領域です。

図3.4.26 SFR領域のレジスタマッピング(23)

3.5 EITベクタエントリ

EITベクタエントリは、内蔵ROM領域 / 拡張領域の先頭に置かれ、各EIT事象の処理ハンドラ先頭アドレスへの分岐命令(分岐先アドレスではないことに注意)を、ここに配置します。詳しくは、第4章「EIT」をご覧ください。

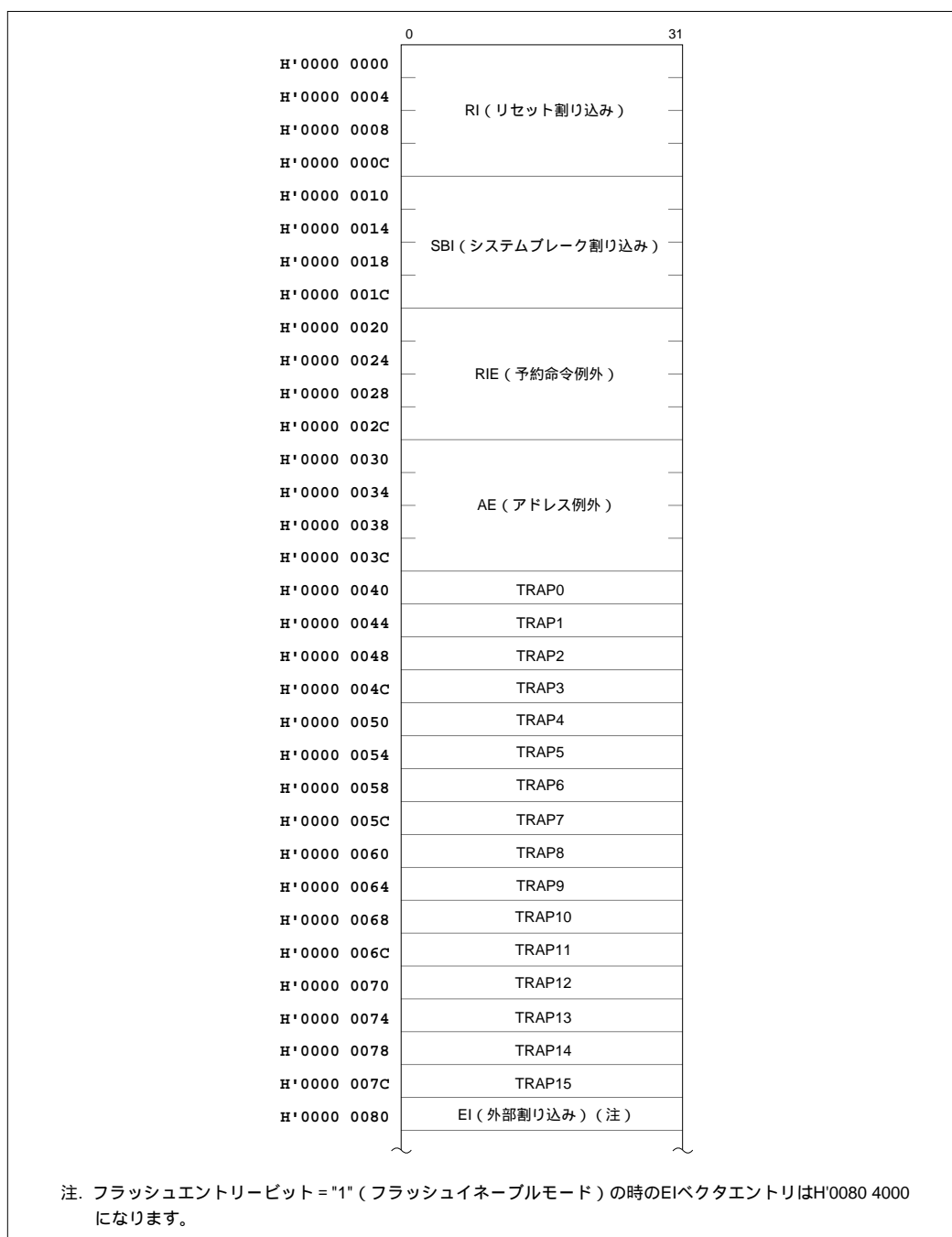


図3.5.1 EITベクタエントリ

3.6 ICUベクタテーブル

ICUベクタテーブルは、内蔵の割り込みコントローラで使用します。各内蔵周辺I/Oの割り込み要求に対応する割り込みハンドラの先頭アドレスを下記アドレスに設定します。詳しくは、第5章「割り込みコントローラ」をご覧ください。

ICUベクタテーブルを図3.6.1、図3.6.2に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 0094	PDC入力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 0096	PDC入力割り込み ハンドラ先頭番地 (A16 ~ A31)					
H'0000 0098	PWMオフ入力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 009A	PWMオフ入力割り込み ハンドラ先頭番地 (A16 ~ A31)					
H'0000 009C	MJT入力割り込み5 ハンドラ先頭番地 (A0 ~ A15)					
H'0000 009E	MJT入力割り込み5 ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00A0	MJT入力割り込み4 ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00A2	MJT入力割り込み4 ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00A4	MJT入力割り込み3 ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00A6	MJT入力割り込み3 ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00A8	MJT入力割り込み2 ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00AA	MJT入力割り込み2 ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00AC	MJT入力割り込み1 ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00AE	MJT入力割り込み1 ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00B0	MJT入力割り込み0 ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00B2	MJT入力割り込み0 ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00B4	TOM0出力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00B6	TOM0出力割り込み ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00B8	TOM1出力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00BA	TOM1出力割り込み ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00BC	TMS0出力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00BE	TMS0出力割り込み ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00C0	TID0出力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00C2	TID0出力割り込み ハンドラ先頭番地 (A16 ~ A31)					
H'0000 00C4	TID1出力割り込み ハンドラ先頭番地 (A0 ~ A15)					
H'0000 00C6	TID1出力割り込み ハンドラ先頭番地 (A16 ~ A31)					

空き領域は予約領域です。

図3.6.1 ICUベクタテーブル(1 / 2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 00C8		DMA0~4割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00CA		DMA0~4割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00CC		A-D0変換割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00CE		A-D0変換割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00D0		SIO0受信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00D2		SIO0受信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00D4		SIO0送信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00D6		SIO0送信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00D8		SIO1受信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00DA		SIO1受信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00DC		SIO1送信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00DE		SIO1送信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00E0		A-D1変換割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00E2		A-D1変換割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00E4		DMA5~9割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00E6		DMA5~9割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00E8		SIO2,3送受信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00EA		SIO2,3送受信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00EC		SIO4送受信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00EE		SIO4送受信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00F0		SIO4送信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00F2		SIO4送信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00F4		SIO5受信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00F6		SIO5受信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00F8		SIO5送信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00FA		SIO5送信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 00FC		SIO6,7送受信割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 00FE		SIO6,7送受信割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 0100		RTD割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 0102		RTD割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 0104		PDCコンペアマッチ&エラー割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 0106		PDCコンペアマッチ&エラー割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 0108		CAN0送受信&エラー割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 010A		CAN0送受信&エラー割り込み	ハンドラ先頭番地	(A16~A31)		
H'0000 010C		CAN1送受信&エラー割り込み	ハンドラ先頭番地	(A0~A15)		
H'0000 010E		CAN1送受信&エラー割り込み	ハンドラ先頭番地	(A16~A31)		

空き領域は予約領域です。

図3.6.2 ICUベクタテーブル(2 / 2)

3.7 アドレス空間の注意事項

疑似フラッシュエミュレーション機能

32172には、内蔵フラッシュメモリを8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイト単位のブロック(最大2ブロック)をマッピングする機能、また、32173には内蔵フラッシュメモリを8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイト単位のブロック(最大3ブロック)をマッピングする機能、および内蔵フラッシュメモリを4Kバイト毎に区切った領域(Sバンク)に、内蔵RAMのH'0080 A000の領域から4Kバイト単位のブロック(最大2ブロック)をマッピングする機能(32173のみ)があり、これを疑似フラッシュエミュレーション機能と呼びます。この機能については、6.7「疑似フラッシュエミュレーション機能」をご覧ください。

第 4 章

EIT

- 4.1 EITの概要
- 4.2 EIT事象
- 4.3 EITの処理手順
- 4.4 EITの処理機構
- 4.5 EIT事象の受け付け
- 4.6 PC, PSWの退避と復帰
- 4.7 EITベクタエントリ
- 4.8 例外(Exception)処理
- 4.9 割り込み(Interrupt)処理
- 4.10 トラップ(Trap)処理
- 4.11 EITの優先順位
- 4.12 EIT処理の例
- 4.13 EITの注意事項

4.1 EITの概要

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して、EIT(Exception, Interrupt, Trap)事象と呼びます。

(1) 例外 (Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。M32R/ECUでは、アドレス例外(AE)と予約命令例外(RIE)が、これに該当します。

(2) 割り込み (Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号によって発生します。M32R/ECUでは外部割り込み(EI)とシステムブレーク割り込み(SBI)、およびリセット割り込み(RI)がこれに該当します。

(3) トラップ (Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのようにプログラマがプログラム中で意識的に発生させるものです。

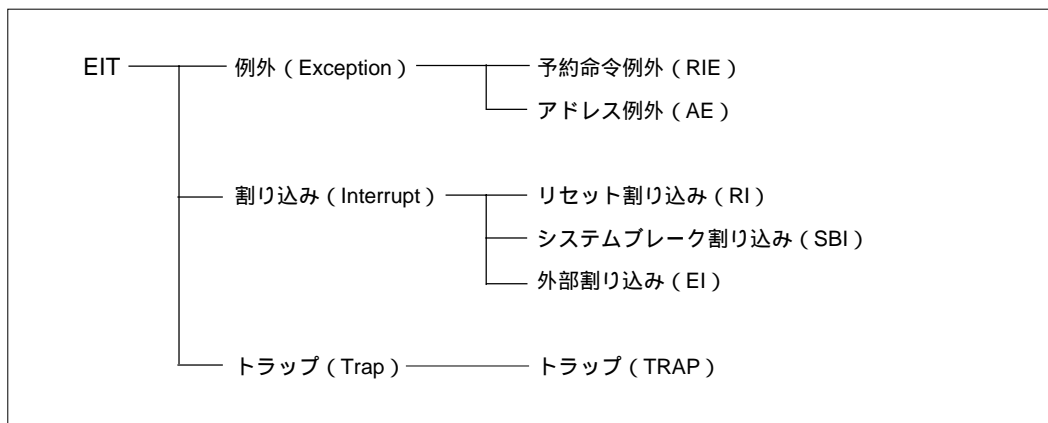


図4.1.1 EITの分類

4.2 EIT事象

4.2.1 例外(Exception)

(1) 予約命令例外 (RIE)

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)の実行を検出した場合に発生します。

(2) アドレス例外 (AE)

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

4.2.2 割り込み(Interrupt)

(1) リセット割り込み (RI)

リセット割り込み(RI : Reset Interrupt)は、 $\overline{\text{RESET}}$ 信号を入力することにより常に受け付けられます。リセット割り込みは最高位の優先度を持ちます。

(2) システムブレーク割り込み (SBI)

システムブレーク割り込み(SBI : System Brake Interrupt)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用される緊急用割り込みです。割り込み処理後、原則として割り込み発生時に実行していた元のプログラムに復帰しない場合にのみ使用できます。

(3) 外部割り込み (EI)

外部割り込み(EI : External Interrupt)は、割り込みコントローラで管理される各内蔵周辺I/Oからの割り込み要求です。内蔵の割り込みコントローラでは、割り込み禁止を含めて8レベルの優先順位を設けて割り込み管理を行います。

4.2.3 トラップ(Trap)

トラップ(TRAP)とはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。TRAP命令のオペランド0~15に対応して、ベクタアドレスが16種類用意されています。

4.3 EITの処理手順

EIT処理には、ハードウェアが自動的に処理する部分とユーザが記述したプログラム (EITハンドラ) によって処理される部分があります。リセット割り込みを除くEIT受付時の処理手順を以下に示します。

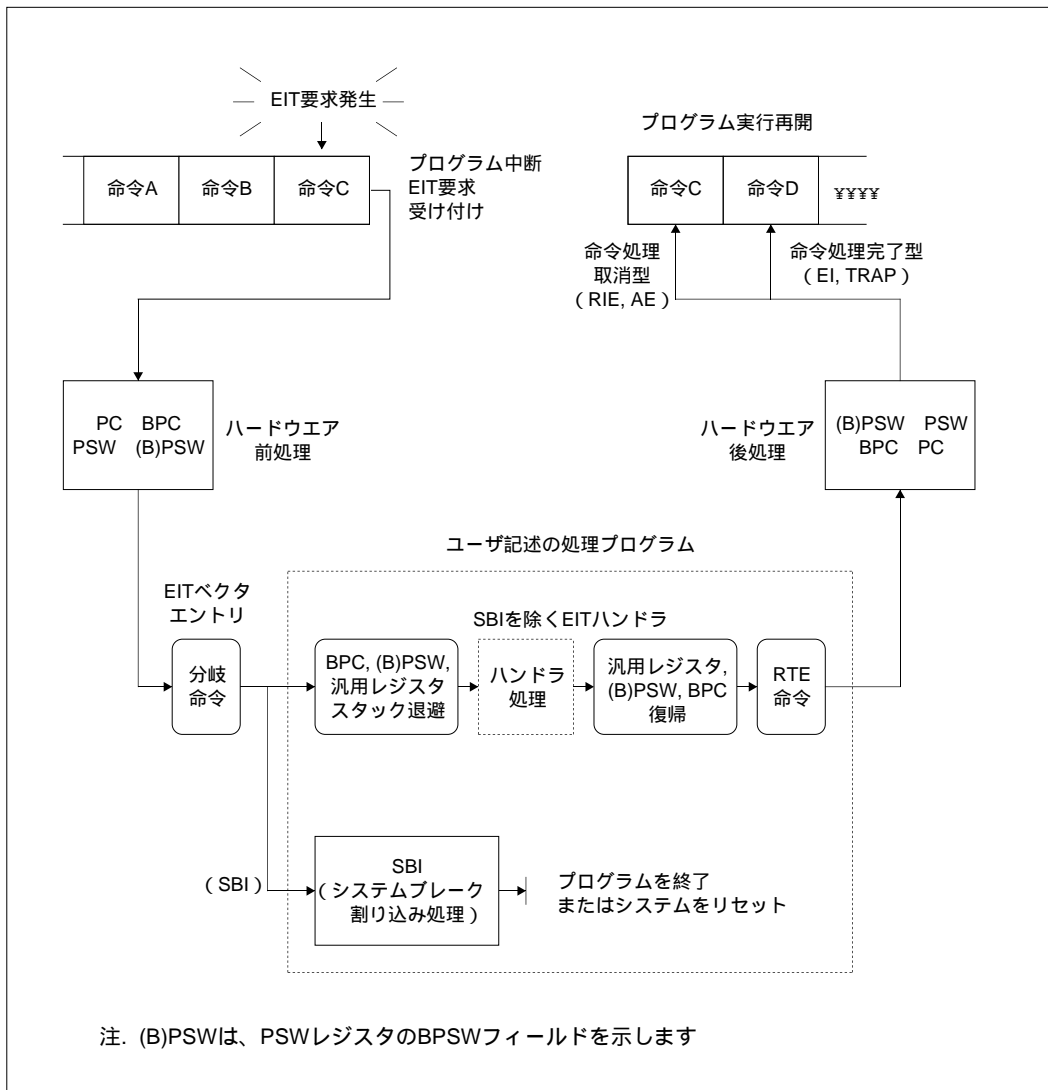


図4.3.1 EIT処理手順の概要

EITが受け付けられると、M32R/ECUはPCとPSWの退避(後述)を行った後、EITベクタに分岐します。EITベクタには各EITごとにエントリアドレスが割り当てられており、そこにEITハンドラへの「BRA命令(分岐命令)」を書きます(分岐先アドレスではないことに注意してください)。

M32R/ECUのハードウェア前処理では、PC、PSWレジスタの内容を、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)へ移す作業のみ行います。

ユーザが記述するEITハンドラ中で、BPCレジスタとPSWレジスタ(BPSWフィールドを含む)、およびEITハンドラ内で使用する汎用レジスタをスタックに退避してください(スタックへの退避は、ユーザがプログラムで行うことに注意してください)。

EITハンドラ処理完了後は、スタックに退避したレジスタを復帰して、最後に「RTE命令」を実行することで、EIT処理から元のプログラムに復帰します(ただしシステムブレーク割り込みは除きます)。

M32R/ECUのハードウェア後処理では、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)の内容を、PC、PSWレジスタへ戻します。

4.4 EITの処理機構

M32R/ECUのEIT処理機構は、M32R CPUコア部と内蔵周辺I/Oの割り込みコントローラで構成されます。また、PC, PSWのバックアップ用のレジスタ(BPCレジスタ, PSWのBPSWフィールド)を備えています。M32R/ECUの内部EIT処理機構を以下に示します。

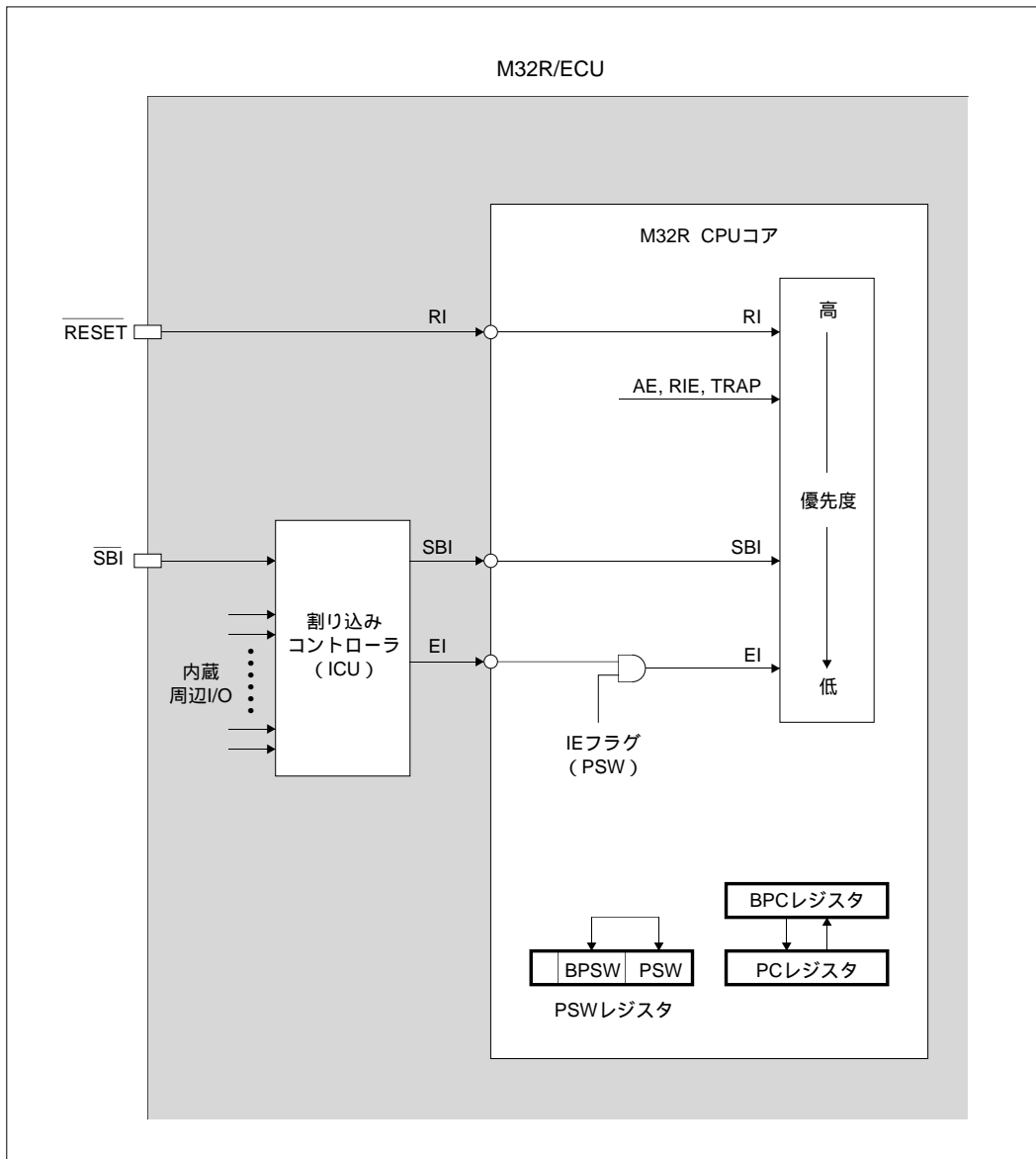


図4.4.1 M32R/ECUのEIT処理機構

4.5 EIT事象の受け付け

M32R/ECUはEIT事象が発生すると、それまで実行していたプログラムを中断して、EITのハンドラ処理に分岐します。各EIT事象の発生条件と受け付けタイミングを以下に示します。

表4.5.1 EIT事象の受け付け

EIT事象	処理型	受付タイミング	BPCレジスタにセットされる値
予約命令例外(RIE)	命令処理取消型	命令実行中	RIEが発生した命令のPC値
アドレス例外(AE)	命令処理取消型	命令実行中	AEが発生した命令のPC値
リセット割り込み(RI)	命令処理放棄型	各マシンサイクル	不定値
システムブレーク 割り込み(SBI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
外部割り込み(EI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
トラップ(TRAP)	命令処理完了型	命令の区切り	TRAP命令のPC値 + 4

4.6 PC, PSWの退避と復帰

EIT受け付け時と「RTE命令」実行時の動作を以下に示します。

(1) EIT受け付け時のハードウェア前処理

PSWレジスタ中のSM, IE, Cビットの退避

BSM	SM
BIE	IE
BC	C

PSWレジスタ中のSM, IE, Cビットの更新

SM	不変(RIE, AE, TRAP), または0をセット(SBI, EI, RI)
IE	0をセット
C	0をセット

PCレジスタの退避

BPC	PC
-----	----

ベクタアドレスをPCレジスタにセット

EITベクタに分岐し、さらにそこに書かれている分岐命令(BRA命令)を実行することで、ユーザが記述したEITハンドラ処理を移します。

(2) 「RTE命令」実行時のハードウェア後処理

PSWレジスタ中のBSM, BIE, BCビットの復帰

①	SM	BSM
	IE	BIE
	C	BC

BPCレジスタの値をPCレジスタに復帰

②	PC	BPC
---	----	-----

(注)「RTE命令」実行後のBPC, PSWレジスタのBSM, BIE, BCビットの値は不定です。

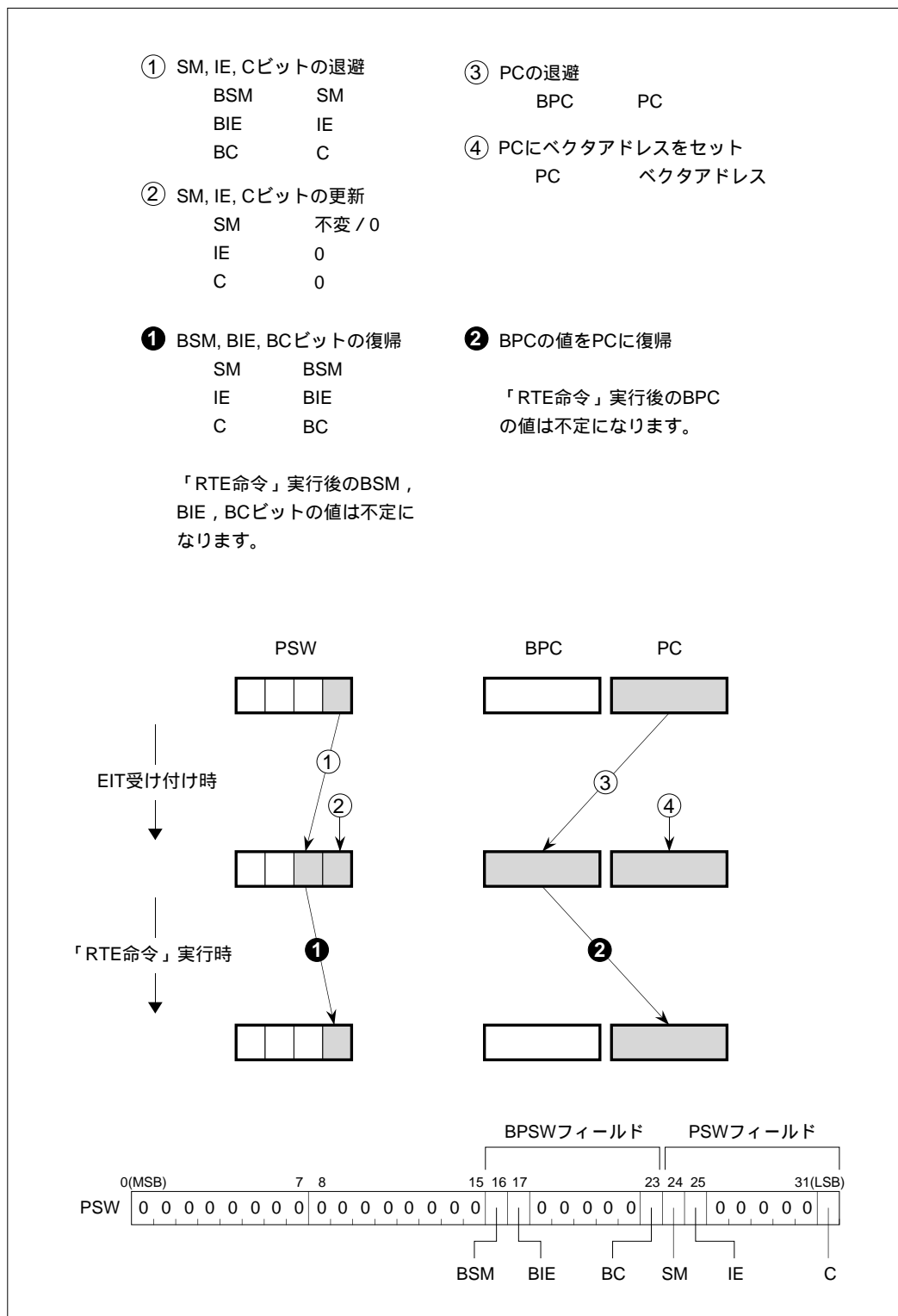


図4.6.1 PC, PSWの退避と復帰

4.7 EITベクタエントリ

EITベクタエントリはユーザ空間のH'0000 0000番地から置かれています。以下にEITベクタエントリの一覧を示します。

表4.7.1 EITベクタエントリ

名称	略号	ベクタアドレス	SM	IE	BPC
リセット割り込み	RI	H'0000 0000(注1)	0	0	不定
システムブレーク 割り込み	SBI	H'0000 0010	0	0	次命令のPC
予約命令例外	RIE	H'0000 0020	不変	0	発生命令のPC
アドレス例外	AE	H'0000 0030	不変	0	発生命令のPC
トラップ	TRAP0	H'0000 0040	不変	0	TRAP命令のPC + 4
	TRAP1	H'0000 0044	不変	0	"
	TRAP2	H'0000 0048	不変	0	"
	TRAP3	H'0000 004C	不変	0	"
	TRAP4	H'0000 0050	不変	0	"
	TRAP5	H'0000 0054	不変	0	"
	TRAP6	H'0000 0058	不変	0	"
	TRAP7	H'0000 005C	不変	0	"
	TRAP8	H'0000 0060	不変	0	"
	TRAP9	H'0000 0064	不変	0	"
	TRAP10	H'0000 0068	不変	0	"
	TRAP11	H'0000 006C	不変	0	"
	TRAP12	H'0000 0070	不変	0	"
	TRAP13	H'0000 0074	不変	0	"
	TRAP14	H'0000 0078	不変	0	"
	TRAP15	H'0000 007C	不変	0	"
外部割り込み	EI	H'0000 0080(注2)	0	0	次命令のPC

注1. ブートモード時は、ブートROMの先頭(H'8000 0000番地)へ移動します。詳しくは、「6.5 内蔵フラッシュメモリの書き込み」をご覧ください。

注2. フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します。詳しくは、「6.5 内蔵フラッシュメモリの書き込み」をご覧ください。

4.8 例外(Exception)処理

4.8.1 予約命令例外(RIE)

[発生条件]

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)を検出した場合に発生します。命令のチェックは命令のオペコード部に対して行われます。

予約命令例外が発生した場合には、その命令は実行されません。予約命令例外が検出されたときに外部割り込み要求があっても、予約命令例外が受け付けられません。

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

予約命令例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、予約命令例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、予約命令例外を起こした命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

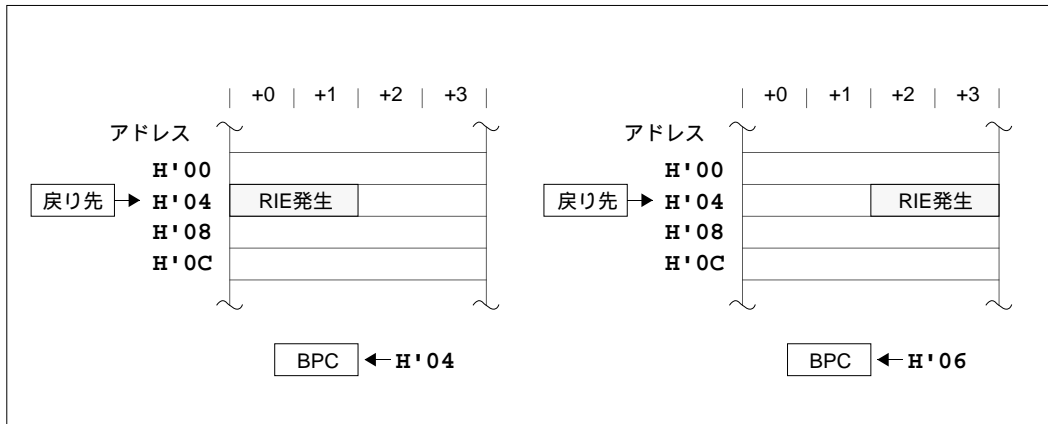


図4.8.1 予約命令例外(RIE)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0020番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0020番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりで、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行した場合、ハードウェア後処理が自動的に行われます。このとき、RIE発生の命令を含むワード境界の命令から再会します(図4.8.1参照)。

4.8.2 アドレス例外(AE)

[発生条件]

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。アドレス例外が起動される命令と、アドレスの組み合わせは次のとおりです。

LDH命令、LDUH命令、STH命令でアドレス下位2ビットが "01", "11" の場合。
LD命令、ST命令、LOCK命令、UNLOCK命令でアドレス下位2ビットが "01", "10", "11" の場合。

アドレス例外が発生した場合、その命令によるメモリアクセスは行われません。アドレス例外が検出されたときに外部割り込み要求があってもアドレス例外が受け付けられません。

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

アドレス例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、アドレス例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

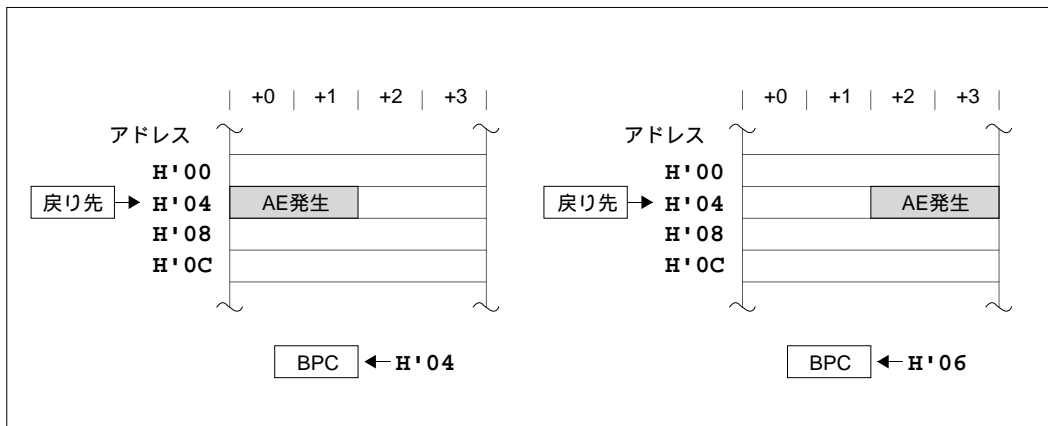


図4.8.2 アドレス例外(AE)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0030番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0030番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりで、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行した場合、ハードウェア後処理が自動的に行われます。このとき、AE発生を含むワード境界の命令から再会します(図4.8.2参照)。

4.9 割り込み(Interrupt)処理

4.9.1 リセット割り込み(RI)

[発生条件]

$\overline{\text{RESET}}$ 端子に"L"レベル信号を入力すると、各マシンサイクルごと無条件にリセット割り込みが受け付けられます。リセット割り込みはEITの中で常に最高位の優先度を持ちます。

[EIT処理]

(1) SM, IE, Cビットの初期化

PSWレジスタ中のSM, IE, Cビットを次のように初期化します。

SM	0
IE	0
C	0

リセット割り込みの場合、BSM, BIE, BCビットの値は不定となります。

(2) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0000番地へ分岐します。ただし、ブートモード時は、ブートROMの先頭(H'8000 0000番地)へ移動します(詳しくは6.5「内蔵フラッシュメモリの書き込み」をご覧ください)。

(3) EITベクタエントリからユーザプログラムへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0000番地にユーザが書いた命令を実行します。リセットベクタエントリでは、PSWとSPIレジスタの初期化を行った後、ユーザが記述したプログラムの先頭番地へ分岐してください。

4.9.2 システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用する緊急用割り込みです。システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません。

したがってシステムブレーク割り込みは、割り込みを検出した時点ですでにシステムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

[発生条件]

SBI端子への立ち下がりエッジの入力でシステムブレーク割り込みが受け付けられます(システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません)。

ワード境界から始まる16ビット命令の実行直後に、システムブレーク割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

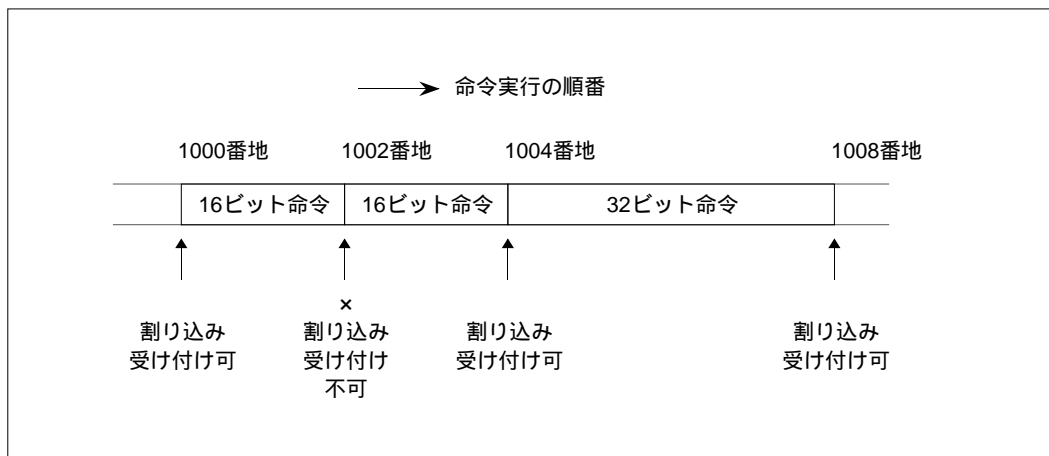


図4.9.1 システムブレーク割り込み(SBI)受け付けタイミング

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PC の退避

PCレジスタの内容(常にワード境界)を、BPCレジスタに退避します。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0010番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0010番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。

システムブレーク割り込みは、システムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

4.9.3 外部割り込み(EI)

外部割り込みは、内蔵の割り込みコントローラから出力された割り込み要求に基づいて発生します。割り込みコントローラでは7レベルの優先順位を設けて、割り込み要求の管理を行っています。割り込みコントローラの詳細については第5章「割り込みコントローラ」を、割り込み要因については内蔵周辺I/Oの各章をご覧ください。

[発生条件]

外部割り込みは、各内蔵周辺I/Oからの割り込み要求に基づいて内蔵割り込みコントローラが管理を行い、それをM32R CPUに伝えます。M32R/ECUは、ワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSW中のIEフラグが1の時に外部割り込みは受け付けられます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

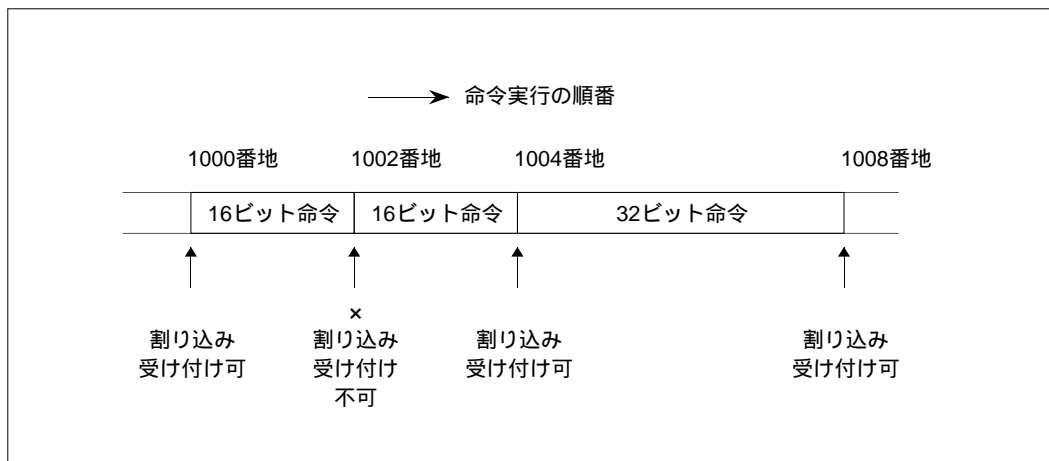


図4.9.2 外部割り込み(EI)受け付けタイミング

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PC の退避

PCレジスタの内容(常にワード境界)をBPCレジスタに退避します。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0080番地へ分岐します。ただし、フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します(詳しくは、6.5「内蔵フラッシュメモリの書き込み」をご覧ください)。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0080番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.10 トラップ(Trap)処理

4.10.1 トラップ(TRAP)

[発生条件]

トラップとはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。「TRAP命令」のオペランド0～15に対応して16種類のトラップが発生します。これに対応して、ベクタエントリは16エントリ用意されています。

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

トラップ命令を実行すると、(TRAP命令のPC値 + 4)の値がBPCレジスタにセットされます。たとえば、4番地に「TRAP命令」が置かれた場合は、BPCレジスタにH'08がセットされます。同様に6番地に置かれた場合は、BPCレジスタにはH'0Aがセットされます。BPCレジスタのビット30の値は、トラップ命令がワード境界上にあるか (BPC[30]=0)、ワード境界上でないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も8番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

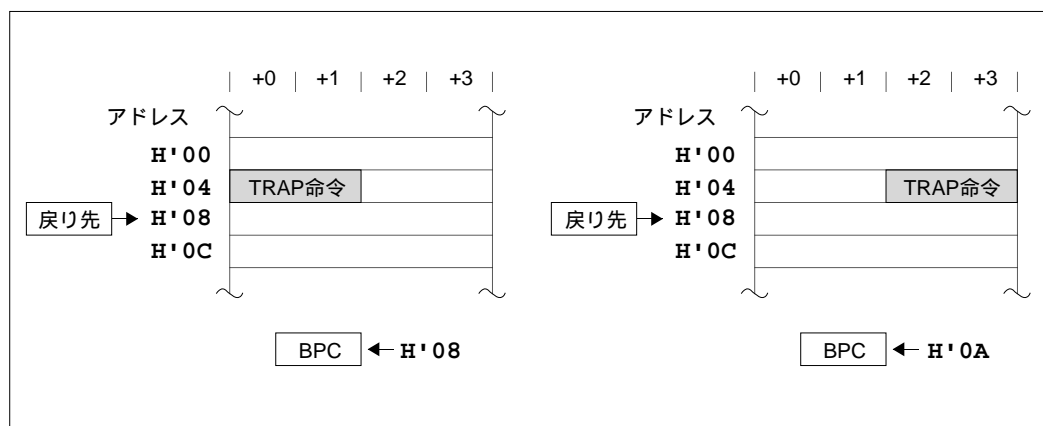


図4.10.1 トラップ(TRAP)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0040 ~ H'0000 007C番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0040 ~ H'0000 007C番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.11 EITの優先順位

EIT事象の優先順位は次のとおりです。複数のEITが同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表4.11.1 EIT事象の優先度と復帰形態

優先度	EIT事象	処理型	BPCレジスタにセットされる値
1(最優先)	リセット割り込み(RI)	命令処理放棄型	不定
	アドレス例外(AE)	命令処理取消型	発生した命令のPC
2	予約命令例外(RIE)	命令処理取消型	発生した命令のPC
	トラップ(TRAP)	命令処理完了型	TRAP命令 + 4
3	システムブレーク 割り込み(SBI)	命令処理完了型	次命令のPC
4	外部割り込み(EI)	命令処理完了型	次命令のPC

なお、外部割り込み(EI)における周辺I/Oからの各割り込み要求の優先順位設定は、内蔵の割り込みコントローラで行います。詳しくは第5章「割り込みコントローラ」をご覧ください。

4.12 EIT処理の例

(1) RIE, AE, SBI, EI, TRAP が単独で発生した場合

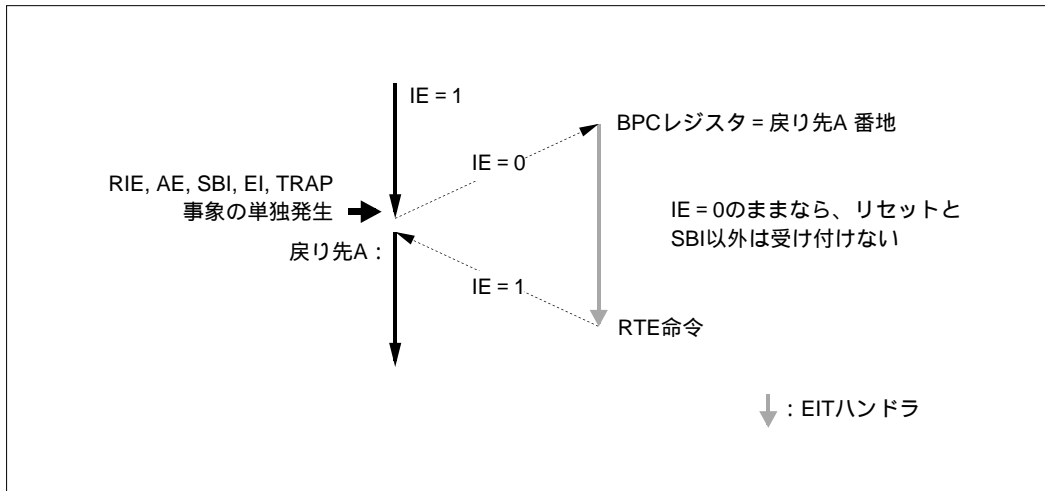


図4.12.1 RIE, AE, SBI, EI, TRAP各事象の処理

(2) RIE, AE, TRAP のいずれかと EI が同時に発生した場合

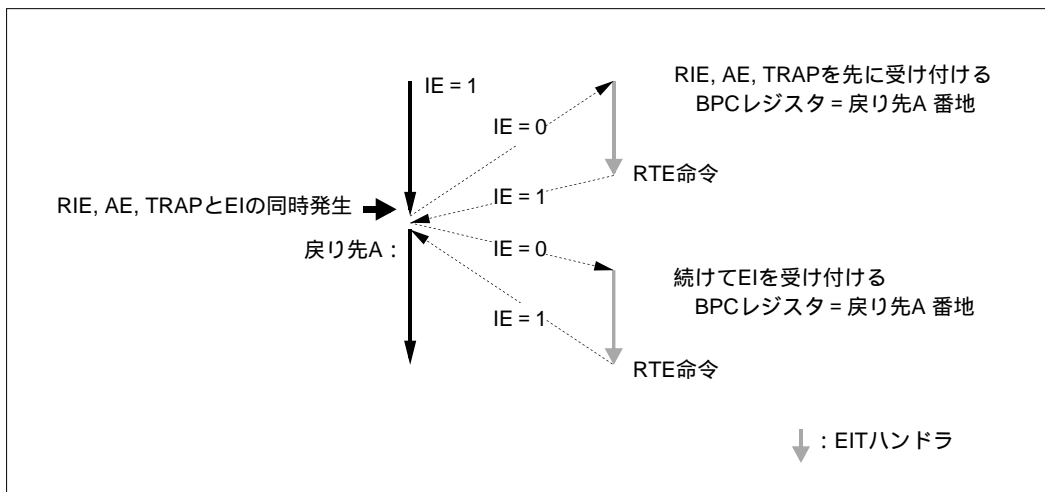


図4.12.2 RIE, AE, TRAPとEIが同時発生した場合の処理

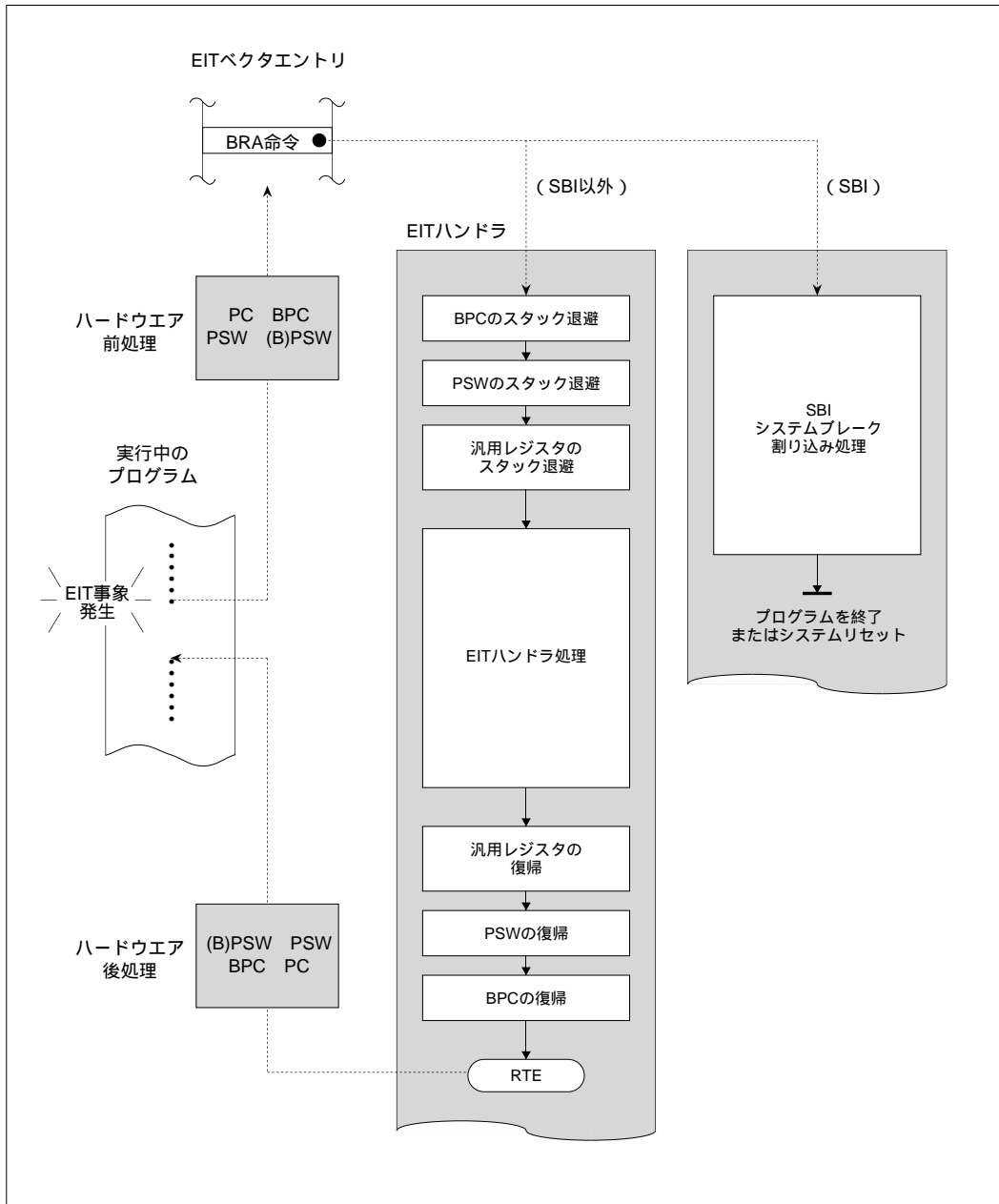


図4.12.3 EIT処理の例

4.13 EITの注意事項

アドレス例外は、「レジスタ間接 + レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(Rsrc、Rsrc2)の値が不定となります。

なお、Rsrc、Rsrc2の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

対象命令

LD	Rdest、@Rsrc+
ST	Rsrc1、@-Rsrc2
ST	Rsrc1、@+Rsrc2

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

* 空きページです *

第5章

割り込みコントローラ(ICU)

- 5.1 割り込みコントローラ
(ICU)概要
- 5.2 内蔵周辺I/Oの割り込み
要因
- 5.3 ICU関連レジスタ
- 5.4 ICUベクタテーブル
- 5.5 割り込み動作説明
- 5.6 システムブレーク割り込み
(SBI)動作説明

5.1 割り込みコントローラ(ICU)概要

割り込みコントローラ(ICU)は、内蔵周辺I/Oからのマスク可能な割り込みと、システムブレーク割り込み(SBI)の管理を行います。内蔵周辺I/Oからのマスク可能な割り込みは、外部割り込み(EI)としてM32R CPUに伝えられます。

内蔵周辺I/Oからのマスク可能な割り込みは全部で31要因あり、割り込み禁止を含めて8レベルの優先順位をつけて管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。内蔵周辺I/O内での割り込み要求発生元の特定は、内蔵周辺I/Oの割り込みステータスレジスタを読むことで行います。

一方システムブレーク割り込み(SBI)は、 $\overline{\text{SBI}}$ 信号に立ち下がりエッジが入力された場合に発生する割り込みです。PSWレジスタのIEビットの状態にかかわらず常に受け付けられ、電源の異常検出時や、外部ウォッチドックタイマによる異常検出時に使用される緊急用の割り込みです。SBIに対する処置が終わった後は、割り込み発生時に実行していた元のプログラムには復帰しないで、システムを終了またはリセットしてください。

割り込みコントローラの概要を以下に示します。

表5.1.1 割り込みコントローラ(ICU)の概要

項目	仕様
割り込み要因	内蔵周辺I/Oからのマスク可能な割り込み : 31要因 システムブレーク割り込み : 1要因(SBI端子からの入力)
レベル管理	割り込み禁止を含めて8レベル (ただし同一レベルの場合はハードウェアで固定された優先順位を適用)

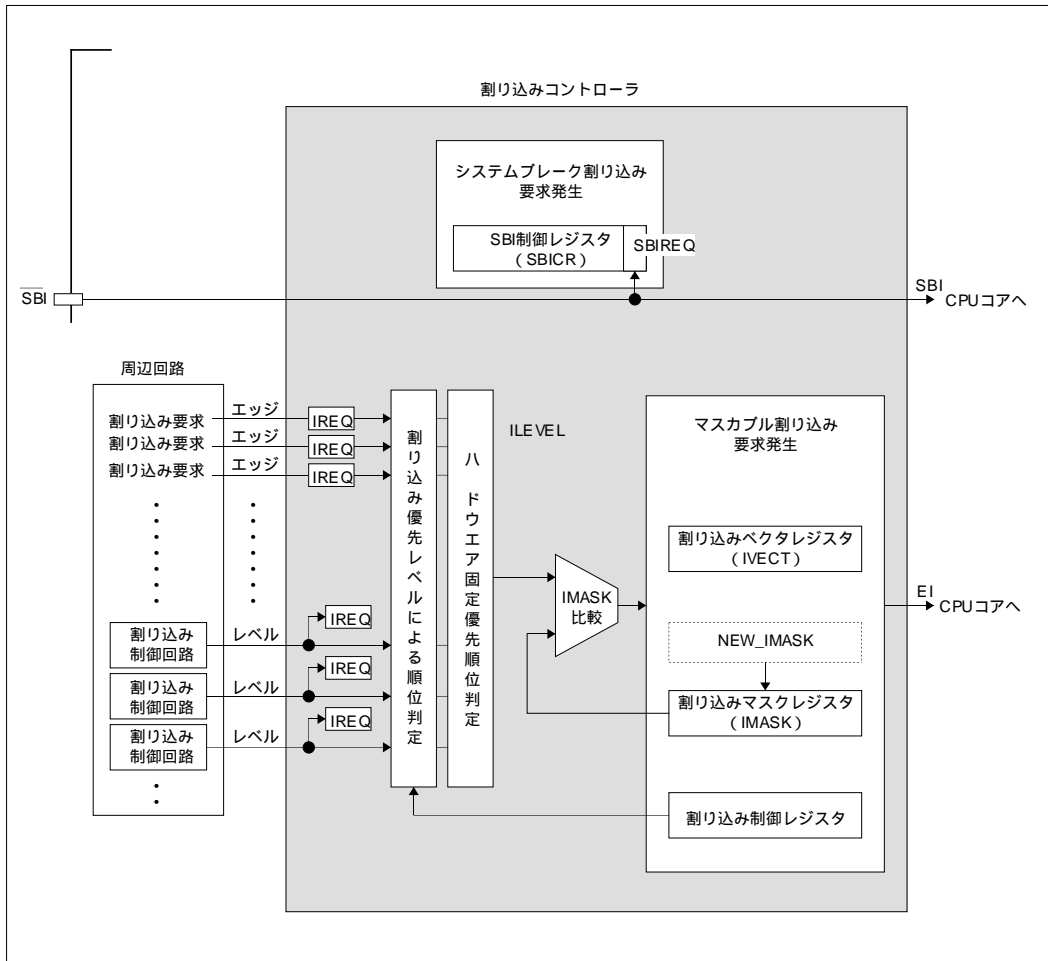


図5.1.1 割り込みコントローラブロック図

5.2 内蔵周辺I/Oの割り込み要因

割り込みコントローラには、タイマ、DMA、シリアルI/O、A-D変換器、RTD、CAN、PDコントローラからの割り込み要求が入力されます。割り込みの詳細については、各内蔵周辺I/Oの章をご覧ください。

表5.2.1 内蔵周辺I/Oの割り込み要因(1/2)

割り込み要因	内容	入力	入力要因
		要因数	タイプ(注)
PDC入力&エラー検出 割り込み	PDC入力0~3(TINA0,TINA1,TINB0,TINB1)検出, PDC入力0~3エラー検出	8	レベル
PWMオフ入力割り込み	PWMオフ入力0,1割り込み	2	レベル
A-D0変換器割り込み	A-D0変換器のスキャンモードのワンショット終了, 単一モード終了, コンパレータモード終了	1	エッジ
A-D1変換器割り込み	A-D1変換器のスキャンモードのワンショット終了, 単一モード終了, コンパレータモード終了	1	エッジ
SIO0 送信割り込み	SIO0の送信バッファエンプティ割り込み	1	エッジ
SIO0 受信割り込み	SIO0の受信完了, または受信エラー割り込み	1	エッジ
SIO1 送信割り込み	SIO1の送信バッファエンプティ割り込み	1	エッジ
SIO1 受信割り込み	SIO1の受信完了, または受信エラー割り込み	1	エッジ
SIO2,3送受信割り込み	SIO2,3の受信完了または受信エラー割り込み, 送信バッファエンプティ割り込み	2	レベル
SIO4 送信割り込み	SIO4の送信バッファエンプティ割り込み	1	エッジ
SIO4 受信割り込み	SIO4の受信完了, または受信エラー割り込み	1	エッジ
SIO5 送信割り込み	SIO5の送信バッファエンプティ割り込み	1	エッジ
SIO5 受信割り込み	SIO5の受信完了, または受信エラー割り込み	1	エッジ
SIO6,7送受信割り込み	SIO6,7の受信完了または受信エラー割り込み, 送信バッファエンプティ割り込み	2	レベル
RTD割り込み	RTD割り込み発生コマンド	1	エッジ
DMA転送割り込み0	DMA0~4の転送終了	5	レベル
DMA転送割り込み1	DMA5~9の転送終了	5	レベル
PDCコンペアマッチ & エラー割り込み	PDCコンペアマッチ、Sエラー割り込み	8	レベル
CAN0送受信&エラー 割り込み	CAN0送信完了, CAN0受信完了, CAN0エラーパッシブ, CAN0エラーバスオフ, CAN0バスエラー	19	レベル
CAN1送受信&エラー 割り込み	CAN1送信完了, CAN1受信完了, CAN1エラーパッシブ, CAN1エラーバスオフ, CAN1バスエラー	19	レベル

注. 入力要因タイプ

エッジ: ICUに入力される割り込み信号の立ち上がりエッジで、割り込み要求が発生します。

レベル: ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

表5.2.2 内蔵周辺I/Oの割り込み要因(2/2)

割り込み要因	内容	入力	入力要因
		要因数	タイプ(注)
TOM0出力割り込み	TOM0_0 ~ TOM0_7出力	8	レベル
TOM1出力割り込み	TOM1_0 ~ TOM1_7出力	8	レベル
TMS0出力割り込み	TMS0出力	1	エッジ
TID0出力割り込み	TID0出力	1	エッジ
TID1出力割り込み	TID1出力	1	エッジ
タイマ入力割り込み5	タイマ入力割り込みグループ5 (TIN8,TIN9入力)	2	レベル
タイマ入力割り込み4	タイマ入力割り込みグループ4 (TIN10,TIN11入力)	2	レベル
タイマ入力割り込み3	タイマ入力割り込みグループ3 (TIN20,TIN21入力)	3	レベル
タイマ入力割り込み2	タイマ入力割り込みグループ2 (TIN22,TIN23入力)	3	レベル
タイマ入力割り込み1	タイマ入力割り込みグループ1 (TIN16,TIN17入力)	3	レベル
タイマ入力割り込み0	タイマ入力割り込みグループ0 (TIN18,TIN19入力)	3	レベル

注. 入力要因タイプ

エッジ：ICUに入力される割り込み信号の立ち下がりエッジで、割り込み要求が発生します。

レベル：ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

5.3 ICU関連レジスタ

割り込みコントローラ(ICU)関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0000	割り込みベクタレジスタ (IVECT)					
H'0080 0002						
H'0080 0004	割り込みマスクレジスタ (IMASK)					
H'0080 0006	SBI制御レジスタ (SBICR)					
	≈			≈		
H'0080 0060	CAN1送受信&エラー割り込み制御レジスタ(ICAN1CR)			CAN0送受信&エラー割り込み制御レジスタ(ICAN0CR)		
H'0080 0062	PDCコンペアマッチ&Sエラー割り込み制御レジスタ (IPDCOPCR)			RTD割り込み制御レジスタ (IRTD CR)		
H'0080 0064	SIO6,7送受信割り込み制御レジスタ (ISIO67CR)			SIO5送信割り込み制御レジスタ (ISIO5TXCR)		
H'0080 0066	SIO5受信割り込み制御レジスタ (ISIO5RXCR)			SIO4送信割り込み制御レジスタ (ISIO4TXCR)		
H'0080 0068	SIO4受信割り込み制御レジスタ (ISIO4RXCR)			SIO2,3送受信割り込み制御レジスタ (ISIO23CR)		
H'0080 006A	DMA5-9割り込み制御レジスタ (IDMA59CR)			A-D1変換割り込み制御レジスタ (IAD1CCR)		
H'0080 006C	SIO1送信割り込み制御レジスタ (ISIO1TXCR)			SIO1受信割り込み制御レジスタ (ISIO1RXCR)		
H'0080 006E	SIO0送信割り込み制御レジスタ (ISIO0TXCR)			SIO0受信割り込み制御レジスタ (ISIO0RXCR)		
H'0080 0070	A-D0変換割り込み制御レジスタ (IAD0CCR)			DMA0-4割り込み制御レジスタ (IDMA04CR)		
H'0080 0072	TID1出力割り込み制御レジスタ (ITID1CR)			TID0出力割り込み制御レジスタ (ITID0CR)		
H'0080 0074	TMS0出力割り込み制御レジスタ (ITMS0CR)			TOM1出力割り込み制御レジスタ (ITOM1CR)		
H'0080 0076	TOM0出力割り込み制御レジスタ (ITOM0CR)			タイマ入力割り込み制御レジスタ0 (IMJTICR0)		
H'0080 0078	タイマ入力割り込み制御レジスタ1 (IMJTICR1)			タイマ入力割り込み制御レジスタ2 (IMJTICR2)		
H'0080 007A	タイマ入力割り込み制御レジスタ3 (IMJTICR3)			タイマ入力割り込み制御レジスタ4 (IMJTICR4)		
H'0080 007C	タイマ入力割り込み制御レジスタ5 (IMJTICR5)			PWMオフ入力割り込み制御レジスタ (IPWMOFFCR)		
H'0080 007E	PDC入力&エラー検出割り込み制御レジスタ (IPDCCR)					

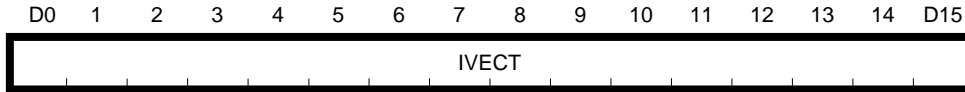
空き領域は予約領域です。

図5.3.1 割り込みコントローラ(ICU)関連レジスタマップ

5.3.1 割り込みベクタレジスタ

割り込みベクタレジスタ (IVECT)

< アドレス : H'0080 0000 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	IVECT(ICUベクタ テーブルアドレス 下位16ビット)	割り込み受け付け時に、受け付けた 割り込み要因に対応するICUベクタ テーブルアドレスの下位16ビットが 格納されます。		-

注 . このレジスタは、必ずハーフワードでアクセスしてください。

割り込みベクタレジスタ(IVECT)は、割り込み受け付け時に、受け付けた割り込み要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。

ICUベクタテーブル(H'0000 0094 ~ H'0000 010F番地)には、あらかじめ各内蔵周辺I/Oの割り込みハンドラの手元アドレスを設定しておきます。割り込み受け付け時には、受け付けた割り込み要因に対応するICUベクタテーブルのアドレス下位16ビットが、このIVECTレジスタにセットされます。EITハンドラでは、このIVECTレジスタの内容を「LDH命令」で読み出すことで、ICUベクタテーブルのアドレスを得ます。

なお、IVECTレジスタを読み出すと、以下の(1)~(4)の動作がハードウェアによって自動的に行われます。

- (1) 受け付けられた新しいIMASK値(NEW_IMASK)を、IMASKレジスタにセット
- (2) 受け付けた割り込み要求をクリア(レベル割り込み要因はクリアされません)
- (3) CPUコアへの割り込み要求(EI)を解除
- (4) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

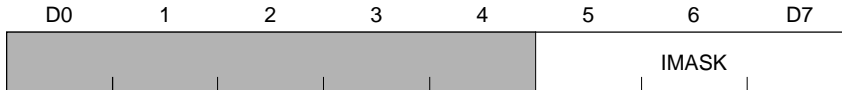
注意

EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込みマスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。

5.3.2 割り込みマスクレジスタ

割り込みマスクレジスタ (IMASK)

<アドレス : H'0080 0004 >



<リセット時 : H'07 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5~7	IMASK(割り込みマスク)	000 : マスカブル割り込み禁止 001 : レベル0 割り込み受け付け可 010 : レベル0~1 割り込み受け付け可 011 : レベル0~2 割り込み受け付け可 100 : レベル0~3 割り込み受け付け可 101 : レベル0~4 割り込み受け付け可 110 : レベル0~5 割り込み受け付け可 111 : レベル0~6 割り込み受け付け可		

割り込みマスクレジスタ(IMASK)は、各割り込み要因ごとに設定した優先レベル(割り込み制御レジスタのILEVELビットの設定)と比較して、最終的にその割り込み要求を受け付けるかどうかを決定するレジスタです。

前出の割り込みベクタレジスタ(IVECT)を読み出すと、このIMASKレジスタには新しいマスク値(NEW_IMASK)がセットされます。

なお、IMASKレジスタに書き込みを行うと、以下の(1)~(2)の動作がハードウェアによって自動的に行われます。

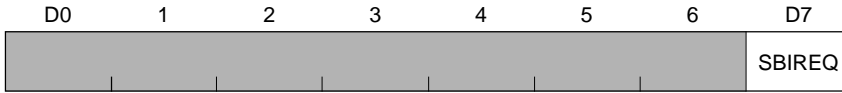
- (1) CPUコアへの割り込み要求(EI)を解除
- (2) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注意

EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みマスクレジスタ(IMASK)への書き込みは行わないでください。

5.3.3 SBI(システムブレーク割り込み)制御レジスタ

SBI(システムブレーク割り込み)制御レジスタ(SBICR) <アドレス: H'0080 0006>



<リセット時: H'00>

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	SBIREQ(SBI要求)	0: SBI要求なし 1: SBI要求あり		

W = : クリア動作のみ可能(下記参照)

SBI(システムブレーク割り込み)は、 $\overline{\text{SBI}}$ 信号に立ち下がりエッジが入力された場合に発生する割り込みです。

SBIが発生するとSBI制御レジスタのSBIREQ(SBI要求)ビットが"1"にセットされます。SBIREQビットはソフトウェアでセットすることはできません。セットされたSBIREQをクリアする場合は次の動作を行ってください。

SBI要求が発生していないときに、このクリア動作は行わないでください。SBI要求とクリア動作が同時に発生すると、SBI要求はクリアされ、SBI割り込みは発生しません。

SBIREQに"1"を書き込み、次にSBIREQに"0"を書き込む。

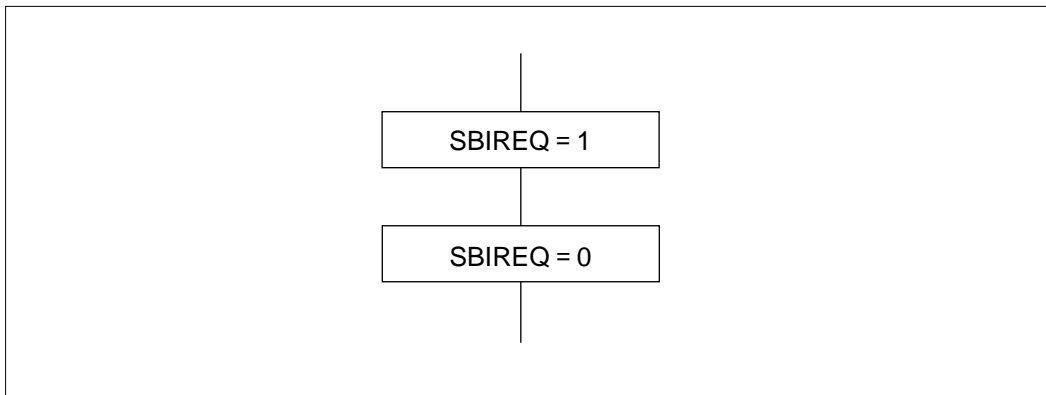
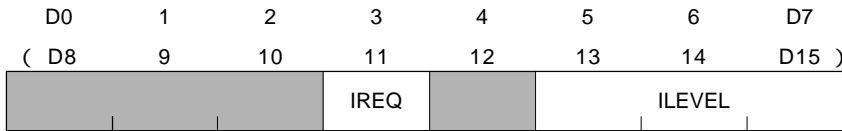


図5.3.2 SBI制御レジスタのクリア例

5.3.4 割り込み制御レジスタ

CAN1 送受信 & エラー割り込み制御レジスタ (ICAN1CR)	<アドレス : H'0080 0060 >
CAN0 送受信 & エラー割り込み制御レジスタ (ICAN0CR)	<アドレス : H'0080 0061 >
PDC コンペアマッチ & エラー割り込み制御レジスタ (IPDCOPCR)	<アドレス : H'0080 0062 >
RTD 割り込み制御レジスタ (IRTDCCR)	<アドレス : H'0080 0063 >
SIO6,7 送受信割り込み制御レジスタ (ISIO67CR)	<アドレス : H'0080 0064 >
SIO5 送信割り込み制御レジスタ (ISIO5TXCR)	<アドレス : H'0080 0065 >
SIO5 受信割り込み制御レジスタ (ISIO5RXCR)	<アドレス : H'0080 0066 >
SIO4 送信割り込み制御レジスタ (ISIO4TXCR)	<アドレス : H'0080 0067 >
SIO4 受信割り込み制御レジスタ (ISIO4RXCR)	<アドレス : H'0080 0068 >
SIO2,3 送受信割り込み制御レジスタ (ISIO23CR)	<アドレス : H'0080 0069 >
DMA5 ~ 9 割り込み制御レジスタ (IDMA59CR)	<アドレス : H'0080 006A >
A-D1 変換器割り込み制御レジスタ (IAD1CCR)	<アドレス : H'0080 006B >
SIO1 送信割り込み制御レジスタ (ISIO1TXCR)	<アドレス : H'0080 006C >
SIO1 受信割り込み制御レジスタ (ISIO1RXCR)	<アドレス : H'0080 006D >
SIO0 送信割り込み制御レジスタ (ISIO0TXCR)	<アドレス : H'0080 006E >
SIO0 受信割り込み制御レジスタ (ISIO0RXCR)	<アドレス : H'0080 006F >
A-D0 変換器割り込み制御レジスタ (IAD0CCR)	<アドレス : H'0080 0070 >
DMA0 ~ 4 割り込み制御レジスタ (IDMA04CR)	<アドレス : H'0080 0071 >
TID1 出力割り込み制御レジスタ (ITID1CR)	<アドレス : H'0080 0072 >
TID0 出力割り込み制御レジスタ (ITID0CR)	<アドレス : H'0080 0073 >
TMS0 出力割り込み制御レジスタ (ITMS0CR)	<アドレス : H'0080 0074 >
TOM1 出力割り込み制御レジスタ (ITOM1CR)	<アドレス : H'0080 0075 >
TOM0 出力割り込み制御レジスタ (ITOM0CR)	<アドレス : H'0080 0076 >
タイマ入力割り込み制御レジスタ 0 (IMJTICR0)	<アドレス : H'0080 0077 >
タイマ入力割り込み制御レジスタ 1 (IMJTICR1)	<アドレス : H'0080 0078 >
タイマ入力割り込み制御レジスタ 2 (IMJTICR2)	<アドレス : H'0080 0079 >
タイマ入力割り込み制御レジスタ 3 (IMJTICR3)	<アドレス : H'0080 007A >
タイマ入力割り込み制御レジスタ 4 (IMJTICR4)	<アドレス : H'0080 007B >
タイマ入力割り込み制御レジスタ 5 (IMJTICR5)	<アドレス : H'0080 007C >
PWM オフ入力割り込み制御レジスタ (IPWMOFFCR)	<アドレス : H'0080 007D >
PDC 入力 & エラー検出割り込み制御レジスタ 4 (IPDCCR)	<アドレス : H'0080 007E >



<リセット時：H'07>

D	ビット名	機能	R	W
0~2 (8~10)	何も配置されていません		0	-
3 (11)	IREQ(割り込み要求)	0: 割り込み要求なし 1: 割り込み要求あり		
4 (12)	何も配置されていません		0	-
5~7 (13~15)	ILEVEL(割り込み優先レベル)	000: 割り込み優先レベル0 001: 割り込み優先レベル1 010: 割り込み優先レベル2 011: 割り込み優先レベル3 100: 割り込み優先レベル4 101: 割り込み優先レベル5 110: 割り込み優先レベル6 111: 割り込み優先レベル7(割り込み禁止状態)		

W = : 要因入力タイプがエッジタイプ(入力要因が1個の場合)のみセット/クリアできます

(1) IREQ(割り込み要求)ビット (D3またはD11)

内蔵周辺I/Oの割り込み要求が発生すると、IREQ(割り込み要求)ビットが"1"にセットされます。

このビットはエッジタイプ入力の割り込み要因のみソフトウェアでセット/クリアすることができます(レベルタイプは不可)。またエッジタイプ入力の割り込み要因のみ割り込み要求発生でセットされたIREQビットは、割り込みベクタレジスタ(IVECT)を読み出すと、自動的に"0"にクリアされます(ただしレベルタイプはクリアされません)。

割り込み要求発生によるセットとソフトウェアによるクリアが同時に発生した場合は、ソフトウェアによるクリアが優先されます。また、割り込み要求発生によるセットとIVECT読み出しによるクリアが同時に発生した場合は、IVECT読み出しによるクリアが優先されます。

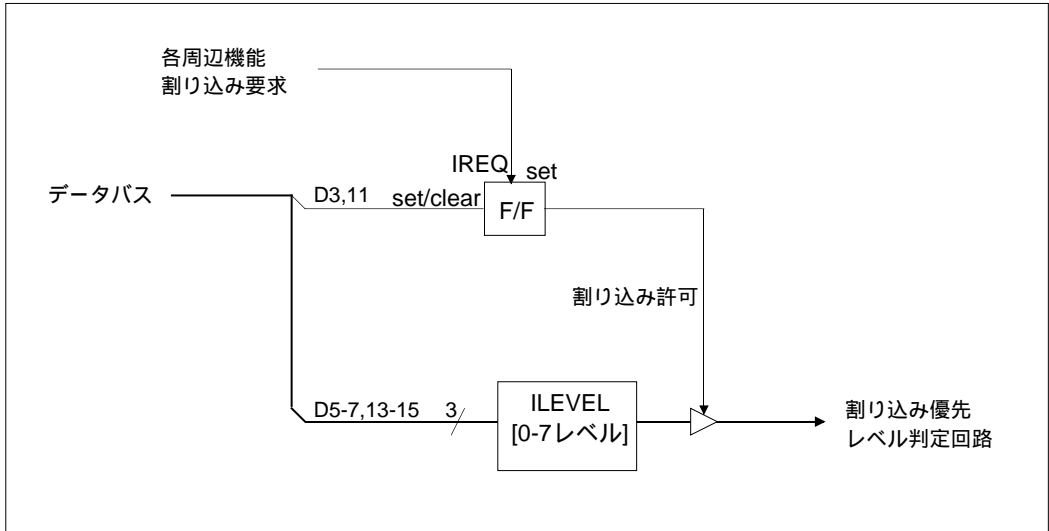


図5.3.3 割り込み制御レジスタ構成(エッジタイプ)

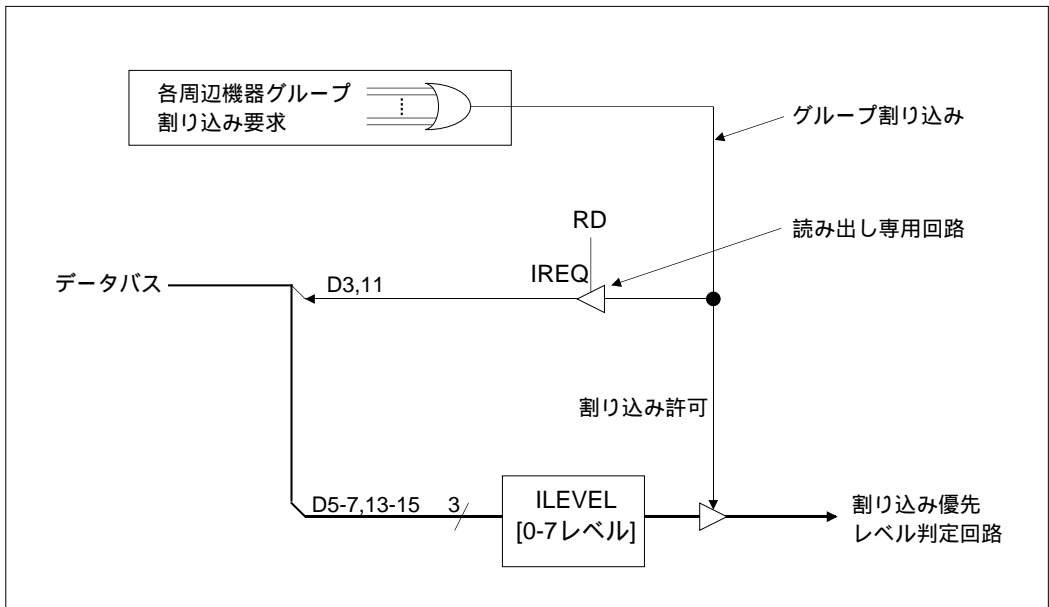


図5.3.4 割り込み制御レジスタ構成(レベルタイプ)

(2) ILEVEL (割り込み優先レベル) (D5 ~ D7またはD13 ~ D15)

各内蔵周辺I/Oの割り込み要求の優先レベルを設定します。内蔵周辺I/Oの割り込みを禁止する場合は7を、割り込みを使用する場合は0~6をセットします。

割り込み発生時、ILEVELの設定をもとに要因間の優先順位を判定するとともに、最終的にIMASKの値と比較してCPUへのEI要求を出力するか、保留するかが決定されます。

ILEVELの設定と受け付けられるIMASK値の関係を以下に示します。

表5.3.1 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0 (ILEVEL = "000")	IMASKが 1~7 のとき受け付けられる
1 (ILEVEL = "001")	IMASKが 2~7 のとき受け付けられる
2 (ILEVEL = "010")	IMASKが 3~7 のとき受け付けられる
3 (ILEVEL = "011")	IMASKが 4~7 のとき受け付けられる
4 (ILEVEL = "100")	IMASKが 5~7 のとき受け付けられる
5 (ILEVEL = "101")	IMASKが 6~7 のとき受け付けられる
6 (ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7 (ILEVEL = "111")	受け付けられない(割り込み禁止状態)

5.4 ICUベクタテーブル

ICUベクタテーブルは、各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定するテーブルで、31要因の割り込みに対して以下のアドレスが割り付けられています。

表5.4.1 ICUベクタテーブルアドレス

割り込み要因	ICUベクタテーブルアドレス	
PDC入力&エラー検出割り込み	H'0000 0094	~ H'0000 0097
PWMオフ入力割り込み	H'0000 0098	~ H'0000 009B
タイマ入力割り込み5(TIN8, TIN9入力)	H'0000 009C	~ H'0000 009F
タイマ入力割り込み4(TIN10, TIN11入力)	H'0000 00A0	~ H'0000 00A3
タイマ入力割り込み3(TIN20, TIN21入力)	H'0000 00A4	~ H'0000 00A7
タイマ入力割り込み2(TIN22, TIN23入力)	H'0000 00A8	~ H'0000 00AB
タイマ入力割り込み1(TIN16, TIN17入力)	H'0000 00AC	~ H'0000 00AF
タイマ入力割り込み0(TIN18, TIN19入力)	H'0000 00B0	~ H'0000 00B3
TOM0出力割り込み(TOM0_0 ~ TOM0_7出力)	H'0000 00B4	~ H'0000 00B7
TOM1出力割り込み(TOM1_0 ~ TOM1_7出力)	H'0000 00B8	~ H'0000 00BB
TMS0出力割り込み	H'0000 00BC	~ H'0000 00BF
TID0出力割り込み	H'0000 00C0	~ H'0000 00C3
TID1出力割り込み	H'0000 00C4	~ H'0000 00C7
DMA0 ~ 4割り込み	H'0000 00C8	~ H'0000 00CB
A-D0変換器割り込み	H'0000 00CC	~ H'0000 00CF
SIO0 受信割り込み	H'0000 00D0	~ H'0000 00D3
SIO0 送信割り込み	H'0000 00D4	~ H'0000 00D7
SIO1 受信割り込み	H'0000 00D8	~ H'0000 00DB
SIO1 送信割り込み	H'0000 00DC	~ H'0000 00DF
A-D1変換器割り込み	H'0000 00E0	~ H'0000 00E3
DMA5 ~ 9割り込み	H'0000 00E4	~ H'0000 00E7
SIO2,3送受信割り込み	H'0000 00E8	~ H'0000 00EB
SIO4 受信割り込み	H'0000 00EC	~ H'0000 00EF
SIO4 送信割り込み	H'0000 00F0	~ H'0000 00F3
SIO5 受信割り込み	H'0000 00F4	~ H'0000 00F7
SIO5 送信割り込み	H'0000 00F8	~ H'0000 00FB
SIO6,7送受信割り込み	H'0000 00FC	~ H'0000 00FE
RTD割り込み	H'0000 0100	~ H'0000 0103
PDCコンペアマッチ&エラー割り込み	H'0000 0104	~ H'0000 0107
CAN0送受信&エラー割り込み	H'0000 0108	~ H'0000 010B
CAN1送受信&エラー割り込み	H'0000 010C	~ H'0000 010F

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 0094	PDC入力&エラー検出割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 0096	PDC入力&エラー検出割り込み		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 0098	PWMオフ入力割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009A	PWMオフ入力割り込み		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 009C	タイマ入力割り込み5		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009E	タイマ入力割り込み5		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A0	タイマ入力割り込み4		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00A2	タイマ入力割り込み4		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A4	タイマ入力割り込み3		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00A6	タイマ入力割り込み3		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A8	タイマ入力割り込み2		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AA	タイマ入力割り込み2		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00AC	タイマ入力割り込み1		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AE	タイマ入力割り込み1		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B0	タイマ入力割り込み0		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B2	タイマ入力割り込み0		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B4	TOM0出力割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B6	TOM0出力割り込み		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B8	TOM1出力割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BA	TOM1出力割り込み		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00BC	TMS0出力割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BE	TMS0出力割り込み		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C0	TID0出力割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C2	TID0出力割り込み		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C4	TID1出力割り込み		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C6	TID1出力割り込み		ハンドラ先頭番地 (A16 ~ A31)			

空き領域は予約領域です。

図5.4.1 ICUベクタテーブルのメモリマップ(1/2)

番地	D0	+0番地	D7 D8	+1番地	D15
H'0000 00C8		DMA0~4割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00CA		DMA0~4割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00CC		A-D0変換割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00CE		A-D0変換割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00D0		SIO0受信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00D2		SIO0受信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00D4		SIO0送信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00D6		SIO0送信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00D8		SIO1受信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00DA		SIO1受信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00DC		SIO1送信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00DE		SIO1送信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00E0		A-D1変換割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00E2		A-D1変換割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00E4		DMA5~9割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00E6		DMA5~9割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00E8		SIO2,3送受信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00EA		SIO2,3送受信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00EC		SIO4送受信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00EE		SIO4送受信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00F0		SIO4送信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00F2		SIO4送信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00F4		SIO5受信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00F6		SIO5受信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00F8		SIO5送信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00FA		SIO5送信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 00FC		SIO6,7送受信割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 00FE		SIO6,7送受信割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 0100		RTD割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 0102		RTD割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 0104		PDCコンペアマッチ&エラー割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 0106		PDCコンペアマッチ&エラー割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 0108		CAN0送受信&エラー割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 010A		CAN0送受信&エラー割り込み	ハンドラ先頭番地 (A16~A31)		
H'0000 010C		CAN1送受信&エラー割り込み	ハンドラ先頭番地 (A0~A15)		
H'0000 010E		CAN1送受信&エラー割り込み	ハンドラ先頭番地 (A16~A31)		

空き領域は予約領域です。

図5.4.2 ICUベクタテーブルのメモリマップ(2/2)

5.5 割り込み動作説明

5.5.1 内蔵周辺I/Oの割り込み受け付け

内蔵周辺I/Oからの割り込みは、割り込み制御レジスタで設定したILEVELと、割り込みマスクレジスタのIMASK値を比較して、IMASK値よりも優先度が高ければ受け付けます。ただし同時に複数の割り込み要求が発生した場合は、以下の手順で受け付けるかどうかを判定します。

各内蔵周辺I/Oの割り込み制御レジスタで設定されたILEVEL値の比較
 ILEVEL値が同一の場合は、ハードウェアであらかじめ決められた優先順位の適用
 ILEVEL値とIMASK値の比較

同時に複数の割り込み要求が発生した場合、まず、各割り込み制御レジスタのILEVELで設定した優先度を比較して、優先度のもっとも高い割り込みが選ばれます。ILEVELの値が同じ場合は、ハードウェア固定の優先順位に従います。

最終的に選ばれた割り込みのILEVELとIMASK値を比較して、IMASK値よりも優先度が高ければ、CPUに対してEI要求が出されます。

なお、割り込み要求のマスクは、各内蔵周辺I/Oの割り込みマスクレジスタ、割り込みコントローラのILEVEL設定(レベル7で禁止)、およびPSWレジスタのIEビットの設定で行います。

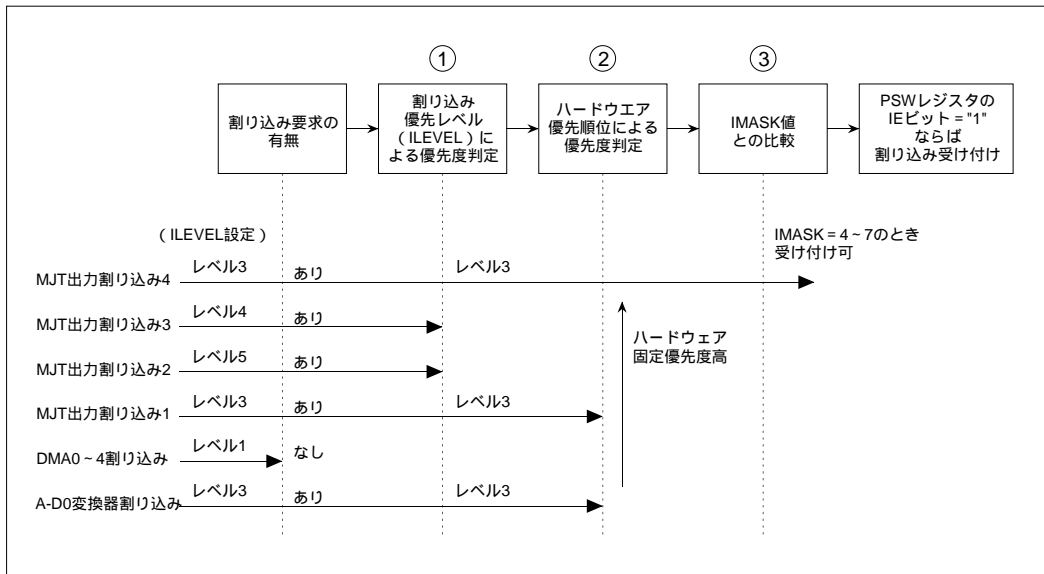


図5.5.1 割り込み受け付け時の優先順位判定例

表5.5.1 ハードウェアで固定された優先順位

優先順位	割り込み要因	CUベクタテーブルアドレス	入力要因タイプ
高 ↓ 低	PDC入力&エラー検出割り込み	H'0000 0094 ~ H'0000 0097	レベル
	PWMオフ入力割り込み	H'0000 0098 ~ H'0000 009B	レベル
	タイマ入力割り込み5(TIN8, TIN9入力)	H'0000 009C ~ H'0000 009F	レベル
	タイマ入力割り込み4(TIN10, TIN11入力)	H'0000 00A0 ~ H'0000 00A3	レベル
	タイマ入力割り込み3(TIN20, TIN21入力)	H'0000 00A4 ~ H'0000 00A7	レベル
	タイマ入力割り込み2(TIN22, TIN23入力)	H'0000 00A8 ~ H'0000 00AB	レベル
	タイマ入力割り込み1(TIN16, TIN17入力)	H'0000 00AC ~ H'0000 00AF	レベル
	タイマ入力割り込み0(TIN18, TIN19入力)	H'0000 00B0 ~ H'0000 00B3	レベル
	TOM0出力割り込み(TOM0_0 ~ TOM0_7出力)	H'0000 00B4 ~ H'0000 00B7	レベル
	TOM1出力割り込み(TOM1_0 ~ TOM1_7出力)	H'0000 00B8 ~ H'0000 00BB	レベル
	TMS0出力割り込み	H'0000 00BC ~ H'0000 00BF	レベル
	TID0出力割り込み	H'0000 00C0 ~ H'0000 00C3	レベル
	TID1出力割り込み	H'0000 00C4 ~ H'0000 00C7	レベル
	DMA0 ~ 4割り込み	H'0000 00C8 ~ H'0000 00CB	レベル
	A-D0変換器割り込み	H'0000 00CC ~ H'0000 00CF	エッジ
	SIO0受信割り込み	H'0000 00D0 ~ H'0000 00D3	エッジ
	SIO0送信割り込み	H'0000 00D4 ~ H'0000 00D7	エッジ
	SIO1受信割り込み	H'0000 00D8 ~ H'0000 00DB	エッジ
	SIO1送信割り込み	H'0000 00DC ~ H'0000 00DF	エッジ
	A-D1変換器割り込み	H'0000 00E0 ~ H'0000 00E3	エッジ
	DMA5 ~ 9割り込み	H'0000 00E4 ~ H'0000 00E7	レベル
	SIO2,3送受信割り込み	H'0000 00E8 ~ H'0000 00EB	レベル
	SIO4受信割り込み	H'0000 00EC ~ H'0000 00EF	エッジ
	SIO4送信割り込み	H'0000 00F0 ~ H'0000 00F3	エッジ
	SIO5受信割り込み	H'0000 00F4 ~ H'0000 00F7	エッジ
	SIO5送信割り込み	H'0000 00F8 ~ H'0000 00FB	エッジ
	SIO6,7送受信割り込み	H'0000 00FC ~ H'0000 00FF	レベル
	RTD割り込み	H'0000 0100 ~ H'0000 0103	エッジ
	PDCコンペアマッチ&エラー割り込み	H'0000 0100 ~ H'0000 0103	レベル
	CAN0送受信&エラー割り込み	H'0000 0108 ~ H'0000 010B	レベル
	CAN1送受信&エラー割り込み	H'0000 010C ~ H'0000 010F	レベル

表5.5.2 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0(ILEVEL = "000")	IMASKが 1~7 のとき受け付けられる
1(ILEVEL = "001")	IMASKが 2~7 のとき受け付けられる
2(ILEVEL = "010")	IMASKが 3~7 のとき受け付けられる
3(ILEVEL = "011")	IMASKが 4~7 のとき受け付けられる
4(ILEVEL = "100")	IMASKが 5~7 のとき受け付けられる
5(ILEVEL = "101")	IMASKが 6~7 のとき受け付けられる
6(ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7(ILEVEL = "111")	受け付けられない(割り込み禁止状態)

5.5.2 内蔵周辺I/Oの割り込みハンドラ処理

(1) 割り込みハンドラへの分岐

CPUが割り込みを受け付けると、4.3章「EITの処理手順」に示すとおり、ハードウェア前処理を行った後、EITベクタエントリへ分岐します。外部割り込み(EI)に割り当てられたEITベクタエントリは、H'0000 0080番地で、ここには外部割り込みに対する割り込みハンドラプログラムの先頭への分岐命令(分岐先アドレスではないことに注意)を書きます。

(2) 割り込みハンドラでの処理

外部割り込み(EI)のハンドラでは、まずBPCレジスタ、PSWレジスタおよび汎用レジスタをスタックに退避してください。

次に割り込みマスクレジスタ(IMASK)を読み出してスタックに退避し、その後で割り込みベクタレジスタ(IVECT)を読み出します。IMASKは、必ずIVECTリードする前に読み出してください。IMASKへのライトとIVECTのリードは、ともにCPUへの割り込み要求のクリアと次の割り込み受け付けのための動作を引き起こします。またIVECTのリードは、これに加えてIMASKへのNEW_IMASKのセットと、受け付けられた割り込み要求のクリア(ただしレベル割り込み要因はクリアされない)を行います。

IVECTレジスタには、受け付けられた割り込み要因に対応したICUベクタテーブルのアドレスの下位16ビットがセットされています。IVECTレジスタを符号付きハーフワードロード命令(LDH命令)で読み出して、それをアドレスとするICU割り込みベクタテーブルの内容を読み出します。

ICUベクタテーブルには、各内蔵周辺I/Oの割り込みハンドラの前頭アドレスを書いておき、読み出したこのアドレスに分岐して各ハンドラ処理を実行します。

なお、復帰の際は、PSWレジスタのIEビットを"0"にクリアして割り込みを禁止してからIMASK値を戻してください。

(3) 割り込み発生元の特定

各内蔵周辺I/Oで割り込みに複数の要因がある場合は、各内蔵周辺I/Oの割り込みステータスレジスタで、要因を特定してください。

(4) 多重割り込みの許可

割り込みハンドラ内で多重割り込みを許可する場合は、PSWレジスタのIE(割り込みイネーブル)ビットに"1"をセットして、割り込みの受け付けを許可してください。ただし、IEに"1"を書き込む前に、必ず各レジスタ(BPC, PSW, 汎用レジスタおよびIMASK)をスタックに退避してください。

なお、割り込みの許可は、「図5.5.2 内蔵周辺I/Oからの割り込み動作例」に示すように、割り込みベクタレジスタ(IVECT)読み出し後、ICUベクタテーブルを読み出してから行ってください。

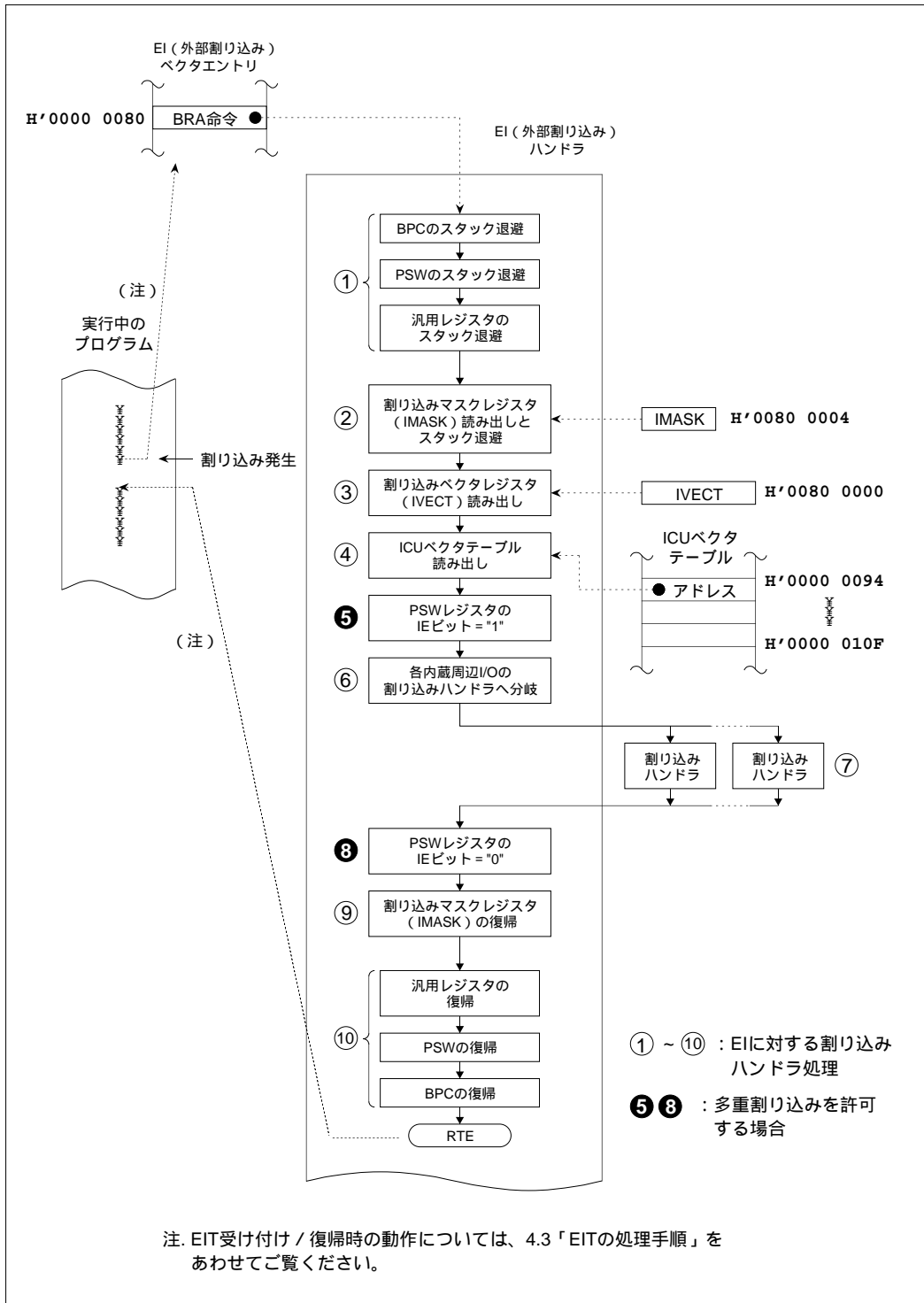


図5.5.2 内蔵周辺I/Oからの割り込み動作例

5.6 システムブレイク割り込み(SBI)動作説明

5.6.1 SBIの受け付け

SBIは、電源の異常検出や外部ウォッチドックタイマの異常検出に対して使用される緊急用の割り込みです。SBIは、PSWレジスタのIEビットの値にかかわらず、 $\overline{\text{SBI}}$ 信号の立ち下がりエッジの検出で常時受け付けられ、マスクすることはできません。

5.6.2 SBIのハンドラ処理

SBIに対する処置が終わった後は、割り込み発生時に実行していた元のプログラムには復帰しないで、必ずシステムを終了またはリセットしてください。

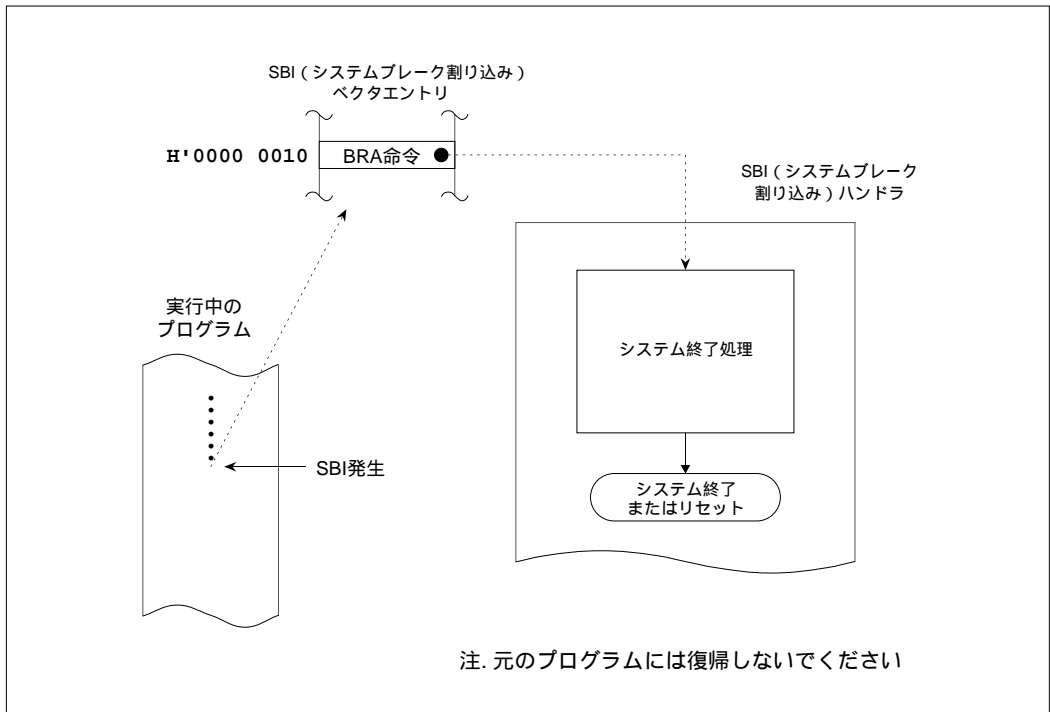


図5.6.1 SBI動作例

第6章

内蔵メモリ

- 6.1 内蔵メモリ概要
- 6.2 内蔵RAM
- 6.3 内蔵フラッシュメモリ
- 6.4 内蔵フラッシュメモリ関連レジスタ
- 6.5 内蔵フラッシュメモリの書き込み
- 6.6 ブートROM
- 6.7 疑似フラッシュエミュレーション機能
- 6.8 シリアルライタとの接続
- 6.9 内蔵フラッシュメモリのプロテクト機能
- 6.10 フラッシュメモリ書き換え時の注意事項

6.1 内蔵メモリ概要

M32172F2、M32173F2は以下のメモリを内蔵しています。

- ・ M32172F2は16KバイトのRAM、M32173F2は32KバイトのRAM
- ・ 256Kバイトのフラッシュメモリ

6.2 内蔵RAM

内蔵RAM仕様を以下に示します。

表6.2.1 内蔵RAMの仕様

項目	仕様
容量	M32172F2 : 16Kバイト、M32173F2 : 32Kバイト
配置アドレス	M32172F2 : H'0080 4000 ~ H'0080 7FFF M32173F2 : H'0080 4000 ~ H'0080 BFFF
ウェイト挿入	ノーウェイト動作(CPUクロック40MHz時)
内部バス接続	32ビットバス接続
デュアルポート	RTD(リアルタイムデバッガ)により、CPUとは独立して外部からシリアル通信で内蔵RAM全域のデータ読み出し(モニタ)、書き込みが可能 (第14章「リアルタイムデバッガ」をご覧ください)

注 . パワーオンリセット時、内蔵RAMの値は不定です。(ただし、VDD端子に2.0V ~ 3.6V印加された状態でリセットし、リセット解除した場合、リセット前の内容を保持しています。)

6.3 内蔵フラッシュメモリ

内蔵フラッシュメモリ仕様を以下に示します。

表6.3.1 内蔵フラッシュメモリの仕様

項目	仕様
容量	M32172F2、M32173F2 : 256Kバイト
配置アドレス	M32172F2、M32173F2 : H'0000 0000 ~ H'0003 FFFF
ウェイト挿入	ノーウェイト動作(CPUクロック40MHz時)
書き換え回数	100回
内部バス接続	32ビットバス接続
その他	疑似フラッシュエミュレーション機能装備 (6.7「疑似フラッシュエミュレーション機能」をご覧ください)

6.4 内蔵フラッシュメモリ関連レジスタ

内蔵フラッシュメモリ関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 07E0	フラッシュモードレジスタ (FMOD)			フラッシュステータスレジスタ1 (FSTAT1)		
H'0080 07E2	フラッシュ制御レジスタ1 (FCNT1)			フラッシュ制御レジスタ2 (FCNT2)		
H'0080 07E4	フラッシュ制御レジスタ3 (FCNT3)			フラッシュ制御レジスタ4 (FCNT4)		
H'0080 07E6						
H'0080 07E8	疑似フラッシュLバンクレジスタ0 (FELBANK0)					
H'0080 07EA	疑似フラッシュLバンクレジスタ1 (FELBANK1)					
H'0080 07EC	疑似フラッシュLバンクレジスタ2 (FELBANK2) (注)					
H'0080 07EE						
H'0080 07F0	疑似フラッシュSバンクレジスタ0 (FESBANK0) (注)					
H'0080 07F2	疑似フラッシュSバンクレジスタ1 (FESBANK1) (注)					

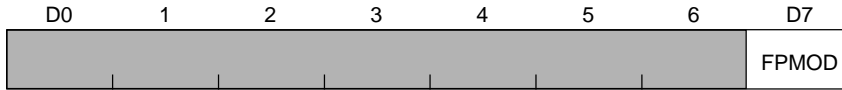
空き領域は予約領域です。
注. M32172F2にはFELBANK2レジスタ、FESBANK0レジスタ、FESBANK1レジスタは配置されていません。

図6.4.1 内蔵フラッシュメモリ関連レジスタマップ

6.4.1 フラッシュモードレジスタ

フラッシュモードレジスタ(FMOD)

<アドレス : H'0080 07E0 >



<リセット時 : H'0? >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	FPMOD (外部FP端子ステータス)	0 : FP端子 = 'L' 1 : FP端子 = 'H'		-

フラッシュモードレジスタ(FMOD)は読み出し専用のステータスレジスタで、FPMODはFP (Flash Protect) 端子のステータスを示します。

FPMODが"1"の時のみ、フラッシュメモリへの書き込みが許可状態となり、FPMODが"0"の時に実行したフラッシュメモリへの書き込みは無効となります。

6.4.2 フラッシュステータスレジスタ

32172/32173には、フラッシュメモリのステータスを示すレジスタがSFR領域(アドレス : H'0080 07E1)のフラッシュステータスレジスタ 1(FSTAT1)と、フラッシュメモリ内蔵のフラッシュステータスレジスタ2(FSTAT2)があります。フラッシュメモリに対するプログラム、イレーズ時には、両ステータスレジスタ(FSTAT1,FSTAT2)を使用し、制御ください。

フラッシュステータスレジスタ 1 (FSTAT1)

< アドレス : H'0080 07E1 >



< リセット時 : H'01 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FSTAT	0 : Busy (Ready/Busyステータス)		-
		1 : Ready		

フラッシュステータスレジスタ1(FSTAT1)は、フラッシュメモリに対するプログラム実行中、またはイレーズ実行中を知るための読み出し専用ステータスレジスタです。FSTATビットが"0"の間は、プログラム実行中、またはイレーズ実行中でフラッシュメモリ領域へのプログラムは禁止されます。

注 . FSTATビットが"0"(Busy)の間は、フラッシュ制御レジスタ4(FCNT4)のFRESETビットを操作しないでください。

フラッシュステータスレジスタ2 (FSTAT2)

D8	9	10	11	12	13	14	D15
FBUSY		ERASE	WRERR1	WRERR2			

<リセット時: H'80>

D	ビット名	機能	R	W
8	FBUSY (フラッシュビジー)	0: プログラム or イレーズ中 1: レディ状態		-
9	何も配置されていません		0	-
10	ERASE (オートイレーズの動作状況)	0: イレーズ正常動作中 / 終了 1: イレーズエラー発生		-
11	WRERR1 (プログラム動作状況1)	0: プログラム正常動作中 / 終了 1: プログラムエラー発生		-
12	WRERR2 (プログラム動作状況2)	0: プログラム正常動作中 / 終了 1: 過剰プログラムが発生		-
13~15	何も配置されていません		0	-

フラッシュステータスレジスタ2 (FSTAT2) はフラッシュメモリの動作状態を示す以下の4つの読み出し専用ステータスビットで構成されています。

(1) FBUSY (フラッシュビジー) ビット (D8)

FBUSYビットは、フラッシュメモリへのプログラムおよびイレーズ処理実行時に終了判定を行うビットです。

このビットが"0"のとき処理実行中を示し、"1"のとき終了を示します。

(2) ERASE (オートイレーズの動作状況) ビット (D10)

ERASEビットは、フラッシュメモリへのイレーズ処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときイレーズエラーを示します。

(3) WRERR1 (プログラム動作状況1) ビット (D11)

WRERR1ビットはフラッシュメモリへのプログラム処理完了後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときプログラムエラーを示します。

WRERR1が"1"にセットされる条件は、書き込みデータとフラッシュメモリ上のデータを比較し、"0"にすべきビット以外で"0"のビットが検出された場合です。

(4) WRERR2 (プログラム動作状況2) ビット (D12)

WRERR2ビットは、フラッシュメモリへのプログラム処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときプログラムエラーを示します。

WRERR2が"1"にセットされる条件は、書き込み処理を指定回数繰り返しても書き込めない場合です。

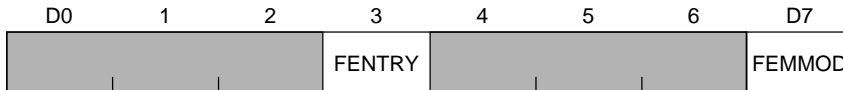
注1. このレジスタは、フラッシュメモリに内蔵されているステータスレジスタで、内蔵フラッシュメモリの任意アドレスにリードステータスコマンド(H'7070)をライトすることで読み出し可能となります。詳しくは、6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

注2. FBUYビットが"0"(プログラム/イレーズ中)の間は、フラッシュ制御レジスタ4 (FCNT4)のFRESETビットを操作しないでください。

6.4.3 フラッシュ制御レジスタ

フラッシュ制御レジスタ1 (FCNT1)

< アドレス : H'0080 07E2 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	FENTRY (フラッシュモードエントリ)	0: 通常リード 1: イレーズ/プログラム可能		
4~6	何も配置されていません		0	-
7	FEMMOD (疑似フラッシュ エミュレーションモード)	0: 通常モード 1: 疑似フラッシュエミュレーションモード		

フラッシュ制御レジスタ1(FCNT1)は内蔵フラッシュメモリの制御を行う以下の2つのビットで構成されています。

(1) FENTRY (フラッシュモードエントリ) ビット (D3)

FENTRYビットはフラッシュE/Wイネーブルモードへの移行を制御するビットです。このビットが"1"の場合のみフラッシュE/Wイネーブルモードへ移行します。

FENTRYビットに"1"をセットするには、FP端子 = "H"の状態ではFENTRYビットに連続して"0" "1"の書き込みを行います。

FENTRYビットのクリアには以下の条件があります。

- ・リセット時
- ・FENTRYビットへの"0"書き込み
- ・FP端子を"H"から"L"へ変化させた時

注 . フラッシュメモリへのプログラム/イレーズ中で、フラッシュステータスレジスタ1 (FSTAT1)のFSTATビットが"0"(Busy状態)、またはフラッシュステータスレジスタ2 (FSTAT2)のFBUSYビットが"0"(プログラム/イレーズ中)では、FENTRYビットのクリアは行わないでください。

FENTRYビットが"0"でフラッシュ上のプログラムを使用する場合には、EIベクタエントリはフラッシュ上のH'0000 0080になります。FENTRYビットが"1"でフラッシュ書き換えプログラムをRAM上で動作させる場合には、EIベクタエントリはRAM上のH'0080 4000になり、割り込みを使用したフラッシュ書き換え制御が使用できます。

表6.4.1 FENTRYによるEIベクタエントリの遷移

FENTRY	EIベクタエントリ	番地
0	フラッシュ領域	H'0000 0080
1	内蔵RAM領域	H'0080 4000

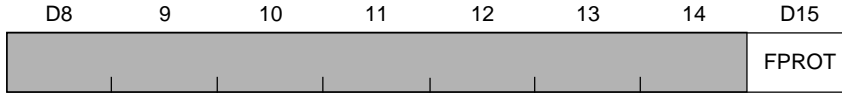
(2) FEMMOD (疑似フラッシュエミュレーションモード) ビット (D7)

FEMMODビットは、疑似フラッシュエミュレーションモードへの移行を制御するビットです。FENTRYビット = "0"の状態ではFEMMODビットに"1"をセットすると疑似フラッシュエミュレーションモードへ移行します。

(詳しくは、6.7「疑似フラッシュエミュレーション機能」をご覧ください)。

フラッシュ制御レジスタ2 (FCNT2)

< アドレス : H'0080 07E3 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8 ~ 14	何も配置されていません		0	-
15	FPROT (ロック解除)	0 : ロックビットによるプロテクト有効 1 : ロックビットによるプロテクト無効		

フラッシュ制御レジスタ2(FCNT2)は、内蔵フラッシュメモリのロックビットによるプロテクト(フラッシュメモリへのイレーズ/プログラムの禁止)無効の制御を行います。FPROTビットに"1"をセットすると、フラッシュメモリのプロテクトが無効となり、ロックビットでプロテクトされたブロックに対するイレーズ/プログラムが可能となります。

FPROTビットに"1"をセットするには、FENTRYビット="1"の状態でもFPROTビットに連続して"0" "1"の書き込みを行います。

また、リセット直後、FPROTビットへの"0"書き込み、FP端子="L"、またはFENTRYビット="0"にすることでFPROTビットが"0"クリアされます。

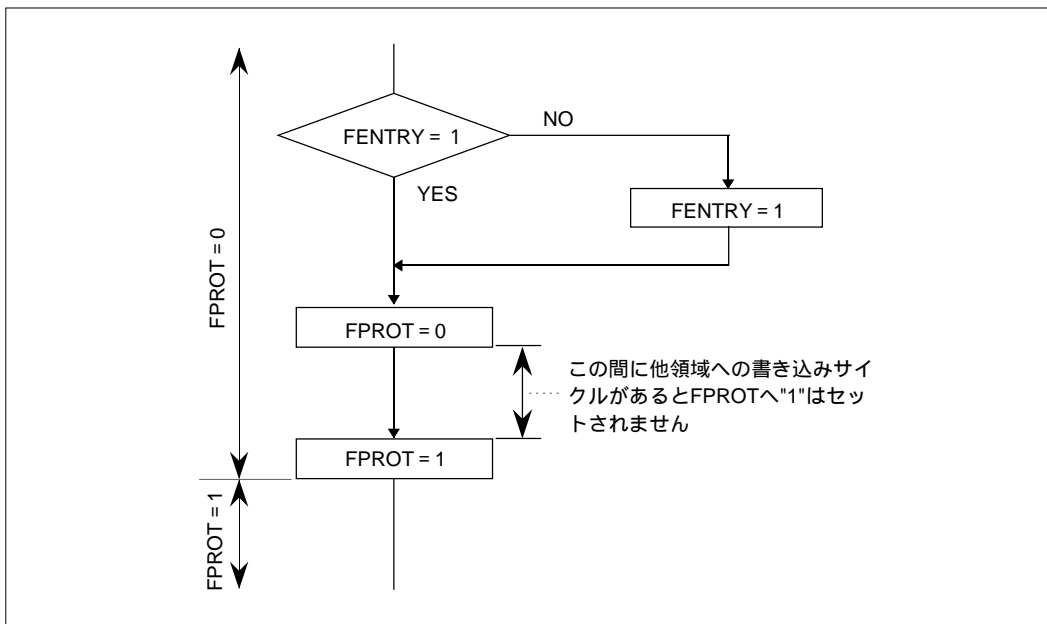
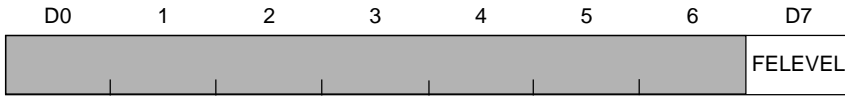


図6.4.2 プロテクト解除フロー

フラッシュ制御レジスタ3 (FCNT3)

< アドレス : H'0080 07E4 >



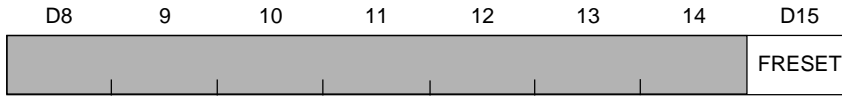
< リセット時 : H'00 >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	FELEVEL (消去マージンアップ)	0 : 通常レベル 1 : 消去マージンアップ		

フラッシュ制御レジスタ3 (FCNT3) は、イレーズ系コマンドで内蔵フラッシュメモリの消去する場合、消去レベルの深さの制御を行います。FELEVELビットに"1"をセットすると、フラッシュメモリの消去レベルをより深く行うことができ、信頼性マージンを向上させることができます。

フラッシュ制御レジスタ4 (FCNT4)

< アドレス : H'0080 07E5 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FRESET (フラッシュリセット)	0 : 何もしません 1 : リセット		

フラッシュ制御レジスタ4(FCNT4)は、プログラム/イレーズ動作途中でキャンセル、またはフラッシュステータスレジスタ2(FSTAT2)の各ステータスビットの初期化を制御するレジスタです。

FRESETビットに"1"をセットすると、プログラム/イレーズ動作途中でキャンセル、および、FSTAT2の各ステータスビットの初期化(H'80)を行います。

FRESETビットは、FENTRYビット="1"のみ有効です。FENTRYビット="1"以外は、FRESETビット情報を無視します。

フラッシュメモリへのプログラム/イレーズ時には、FRESETビットを"0"の状態に制御ください。

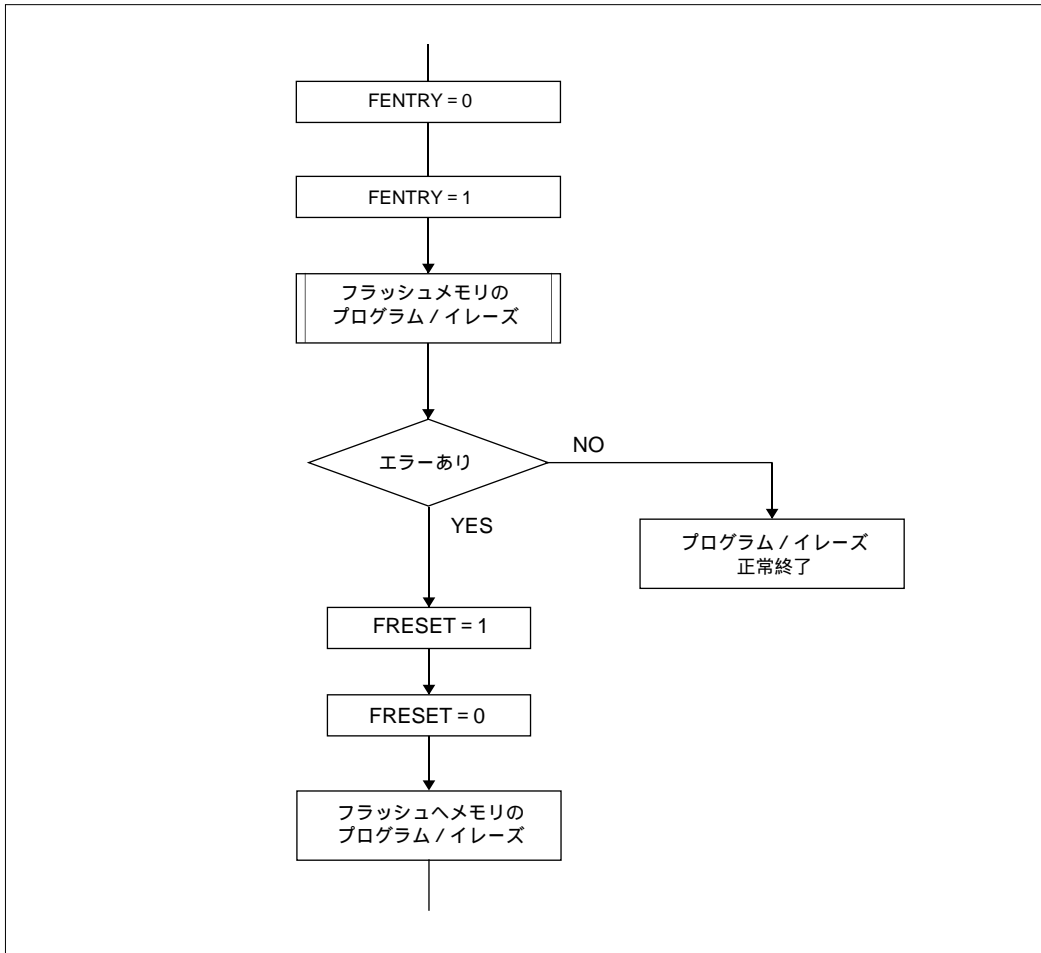


図6.4.3 FCNT4レジスタの使用例1(フラッシュステータスレジスタ2の初期化)

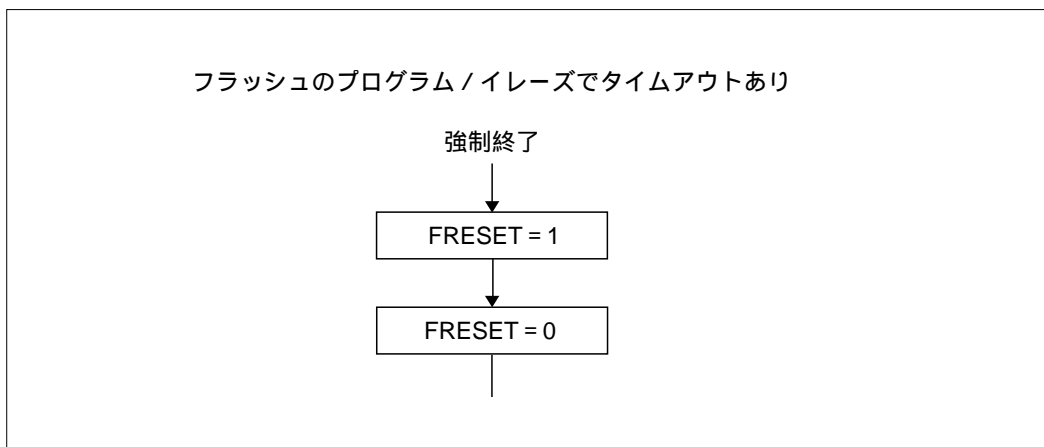
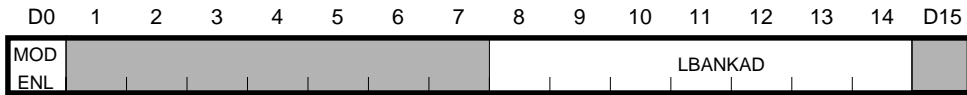


図6.4.4 FCNT4レジスタの使用例2(フラッシュメモリのプログラム/イレーズ強制終了)

6.4.4 疑似フラッシュLバンクレジスタ

疑似フラッシュLバンクレジスタ α (FELBANK0)	<アドレス: H'0080 07E8>
疑似フラッシュLバンクレジスタ1 (FELBANK1)	<アドレス: H'0080 07EA>
疑似フラッシュLバンクレジスタ α (FELBANK2)	<アドレス: H'0080 07EC>



<リセット時: H'0000>

D	ビット名	機能	R	W
0	MODENL (疑似フラッシュ エミュレーションイネーブル)	0: 疑似フラッシュ機能ディスエーブル 1: 疑似フラッシュ機能イネーブル		
1~7	何も配置されていません		0	-
8~14	LBANKAD (Lバンクアドレス)	該当Lバンクの先頭アドレスのA12~A18		
15	何も配置されていません		0	-

注. このレジスタは、必ずハーフワードでアクセスしてください。

(1)MODENL (疑似フラッシュエミュレーションイネーブル) ビット (D0)

疑似フラッシュエミュレーションモードへ移行(FENTRYビット = "0"の状態 でFEMMODビットに"1"をセット)後、MODENLビットに"1"をセットすることで、LBANKADビットで選択したLバンク領域に対して、疑似フラッシュエミュレーション機能が有効になります。

(2)LBANKAD (Lバンクアドレス) ビット (D8 ~ D14)

LBANKADビットは、8KB毎に区切られたLバンクから一つのLバンクを選択するためのビットです。選択したいLバンクの先頭アドレス(32ビット)のA12~A18の7ビットをLBANKADビットに設定します。

(詳しくは、6.7「疑似フラッシュエミュレーション機能」をご覧ください)

注. M32172F2には疑似フラッシュLバンクレジスタ α (FELBANK2)は配置されていません。

6.4.5 疑似フラッシュSバンクレジスタ

疑似フラッシュSバンクレジスタ0 (FESBANK0) <アドレス : H'0080 07F0>
 疑似フラッシュSバンクレジスタ1 (FESBANK1) <アドレス : H'0080 07F2>



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0	MODENS (疑似フラッシュ エミュレーションイネーブル)	0 : 疑似フラッシュ機能ディスエーブル 1 : 疑似フラッシュ機能イネーブル		
1~7	何も配置されていません		0	-
8~15	SBANKAD (Sバンクアドレス)	該当Sバンクの先頭アドレスのA12~A19		

(1)MODENS (疑似フラッシュエミュレーションイネーブル) ビット (D0)

疑似フラッシュエミュレーションモードへ移行(FENTRYビット = "0"の状態 でFEMMODビットに"1"をセット)後、MODENSビットに"1"をセットすることで、SBANKADビットで選択したSバンク領域に対して、疑似フラッシュエミュレーション機能が有効になります。

(2)SBANKAD (Sバンクアドレス) ビット (D8 ~ D15)

SBANKADビットは、4KB毎に区切られたSバンクから一つのSバンクを選択するためのビットです。選択したいSバンクの先頭アドレス(32ビット)のA12~A19の8ビットをSBANKADビットに設定します。

(詳しくは、6.7「疑似フラッシュエミュレーション機能」をご覧ください)。

注. M32172F2には疑似フラッシュSバンクレジスタ(FESBANK0、FESBANK1)は配置されていません。

6.5 内蔵フラッシュメモリの書き込み

6.5.1 フラッシュメモリ書き込みの概要

内蔵フラッシュメモリへ書き込みを行う場合、次の2つの方法があります。

(1) 内蔵フラッシュメモリ上に書き込みプログラムがない場合

FP端子 = "H"、MOD0 = "H"、MOD1 = "L"に設定し、ブートモードに移行します。このときリセットベクタエントリは、ブートプログラム領域の先頭 (H'8000 0000) になります (通常リセットベクタエントリは内蔵フラッシュメモリの先頭番地)。

ブートプログラムを使用して、ブート領域内の「フラッシュ書き込みプログラム」を内蔵RAMに転送します。転送後RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1のFENTRYビットに"1"をセットし、フラッシュメモリへ書き込み可能状態 (フラッシュE/Wイネーブルモード) にします。

以後は内蔵RAM上に転送した「フラッシュ書き込みプログラム」により、内蔵フラッシュメモリへの書き込み操作を行います。

(2) 内蔵フラッシュメモリ上にすでに書き込みプログラムがある場合

FP端子 = "H"、MOD0 = "L"、MOD1 = "L"に設定し、シングルチップモードに移行します。あらかじめ内蔵フラッシュメモリ内に用意した「フラッシュ書き込みプログラム」を内蔵RAMに転送します。転送後RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1 (FCNT1) のFENTRYビットを"1"にセットし、フラッシュメモリへ書き込み可能状態 (フラッシュE/Wイネーブルモード) にします。

以後は内蔵RAM上に転送した「フラッシュ書き込みプログラム」により、内蔵フラッシュメモリへの書き込み操作を行います。

FP端子 = "H"、MOD0 = "L"、MOD1 = "H"に設定し、外部拡張モードでフラッシュE/Wイネーブルモードに移行することもできます。

フラッシュE/Wイネーブルモード (FP端子 = 1、FENTRY = 1) に移行すると、通常モード時はフラッシュ領域 (H'0000 0080) にある外部割り込み (EI) のEITベクタエントリが、内蔵RAMの先頭 (H'0080 4000) に移動します。

フラッシュE/Wイネーブルモードで外部割り込み (EI) を使用する場合は、内蔵RAMの先頭に、内蔵RAMに転送した外部割り込み (EI) ハンドラへの分岐命令を記述します。また、外部割り込み (EI) ハンドラで読み出すIVECTレジスタには、フラッシュメモリ上のICUベクタテーブルアドレスが格納されます。そのため、フラッシュE/Wイネーブルモード時に使用するICUベクタテーブルを内蔵RAM上に用意し、IVECTレジスタの値を内蔵RAM上のICUベクタテーブルのアドレスに変換 (オフセット分を加算など) して、分岐処理を行います。

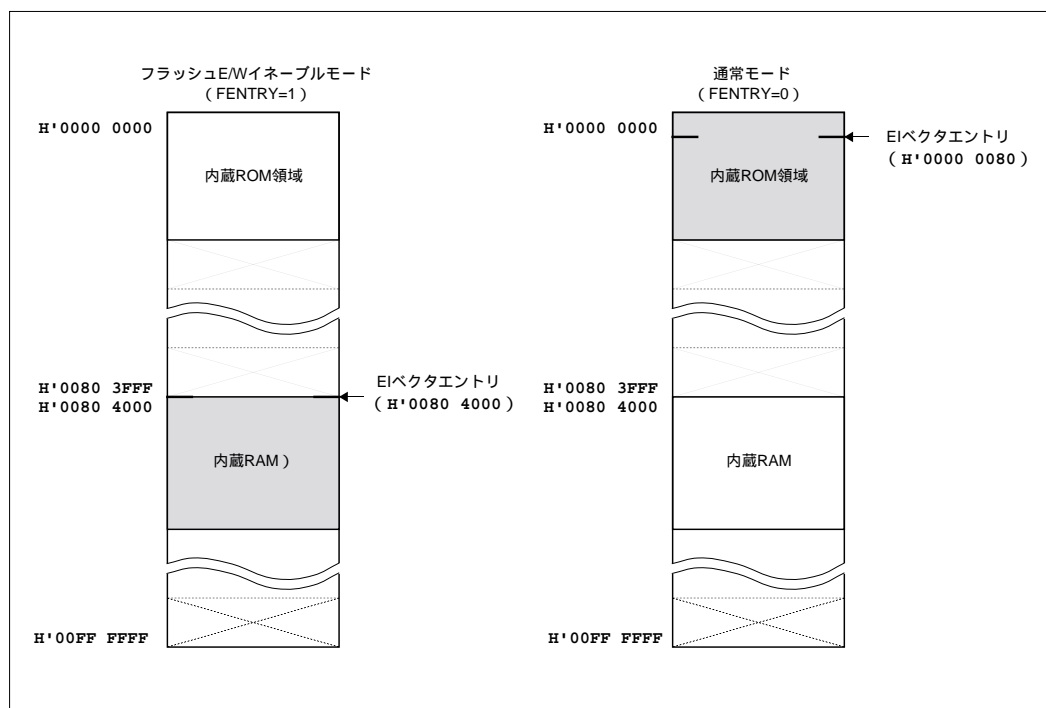


図6.5.1 フラッシュE/Wイネーブルモード時のEIベクタエントリ

(1) 内蔵フラッシュメモリ上に書き込みプログラムがない場合

メモリマップ上に配置したブートROM上のプログラムにより、フラッシュメモリに書き込みます。書き換えデータの転送には、シリアルI/O1をクロック同期シリアルで使用します。フラッシュライターを使用してフラッシュ書き込みを行う場合に使用します。

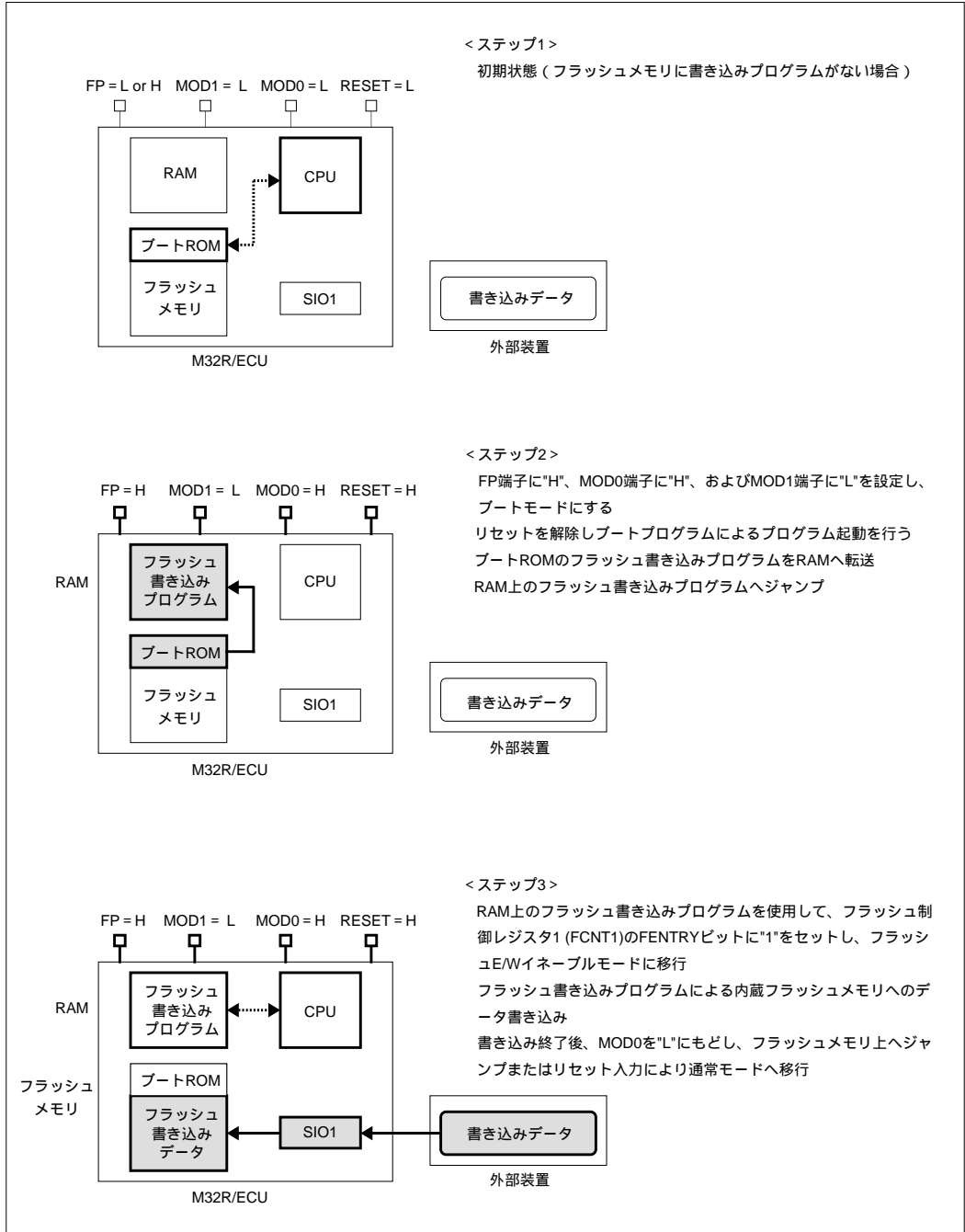


図6.5.2 内蔵フラッシュメモリへの書き込み手順 (書き込みプログラムがフラッシュメモリ上にない場合)

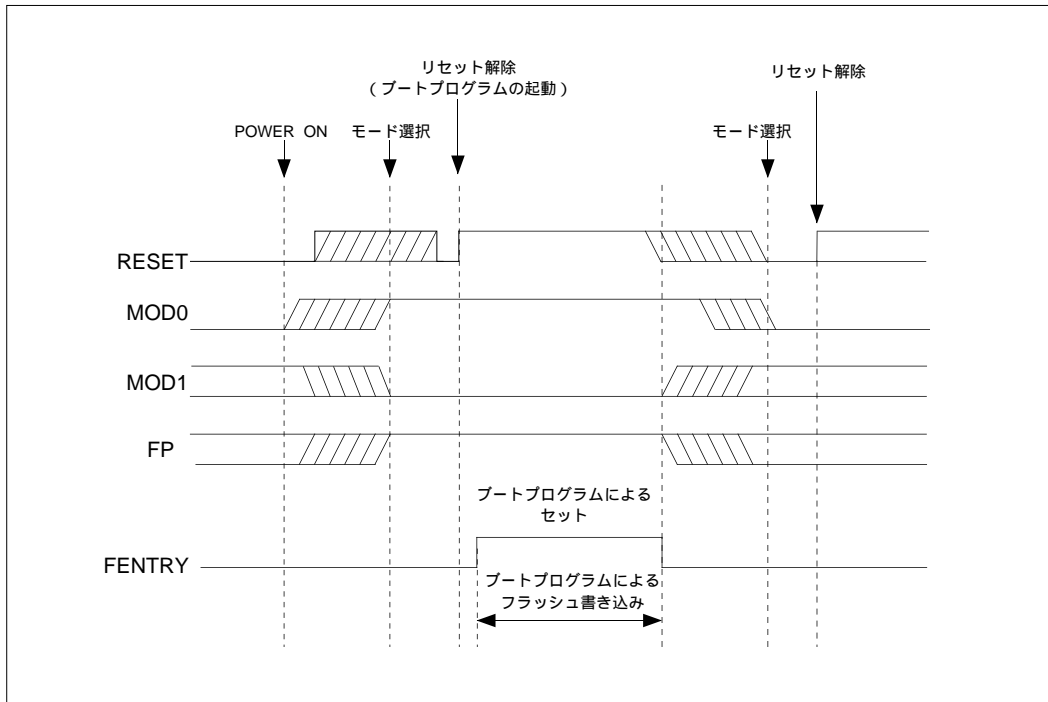


図6.5.3 内蔵フラッシュメモリ書き込みタイミング(書き込みプログラムがフラッシュメモリ上にない場合)

(2) 内蔵フラッシュメモリ上にすでに書き込みプログラムがある場合

内蔵フラッシュメモリ上に配置したフラッシュ書き込みプログラムにより、フラッシュメモリに書き込みます。

書き込みには書き込みシステムに合わせて内蔵周辺回路を使用します。(データバス及びシリアルI/O、ポート等使用できます。)

以下に、シングルチップモードでシリアルI/Oを使用した書き込み例を示します。

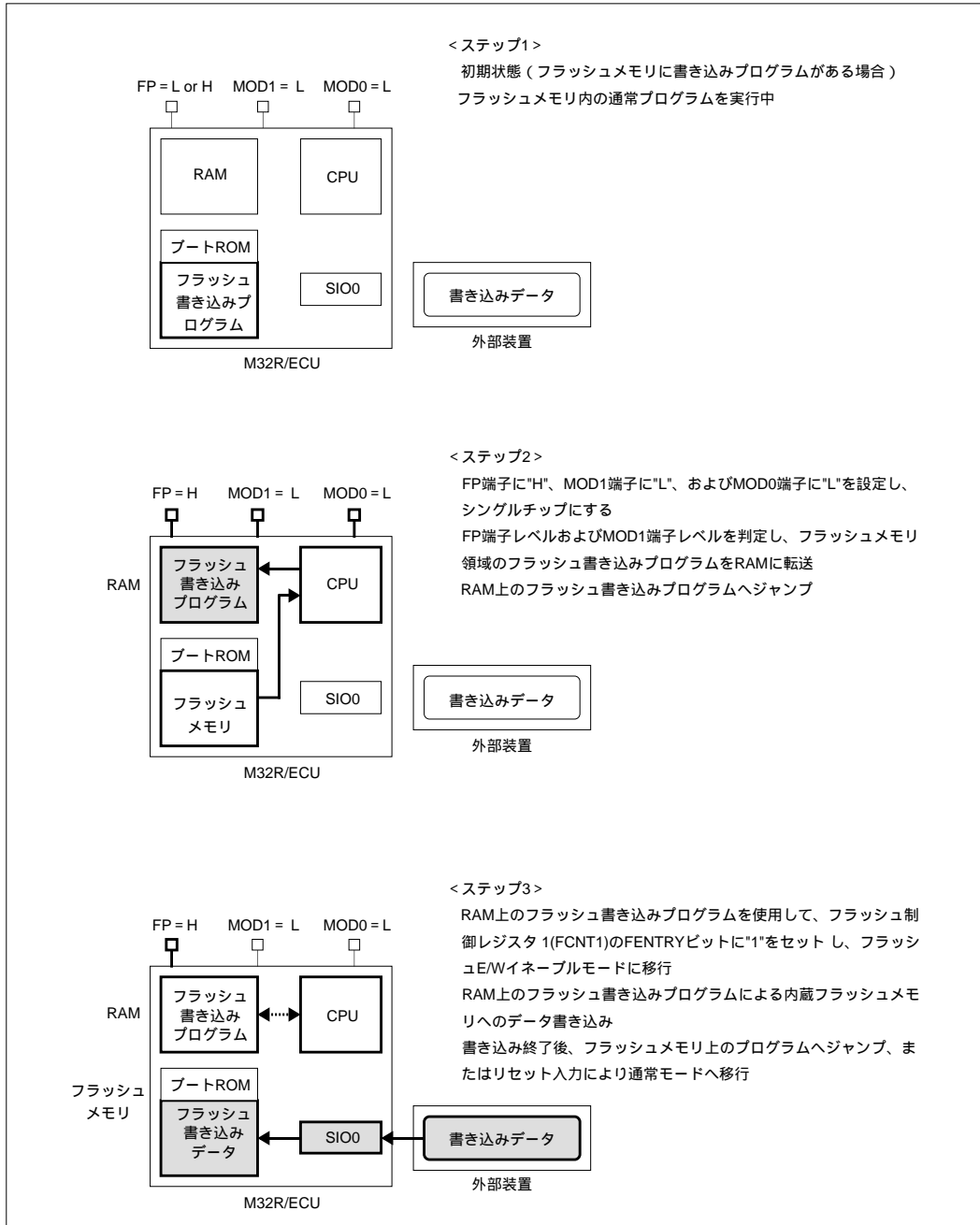


図6.5.4 内蔵フラッシュメモリへの書き込み手順 (書き込みプログラムがフラッシュメモリ上にある場合)

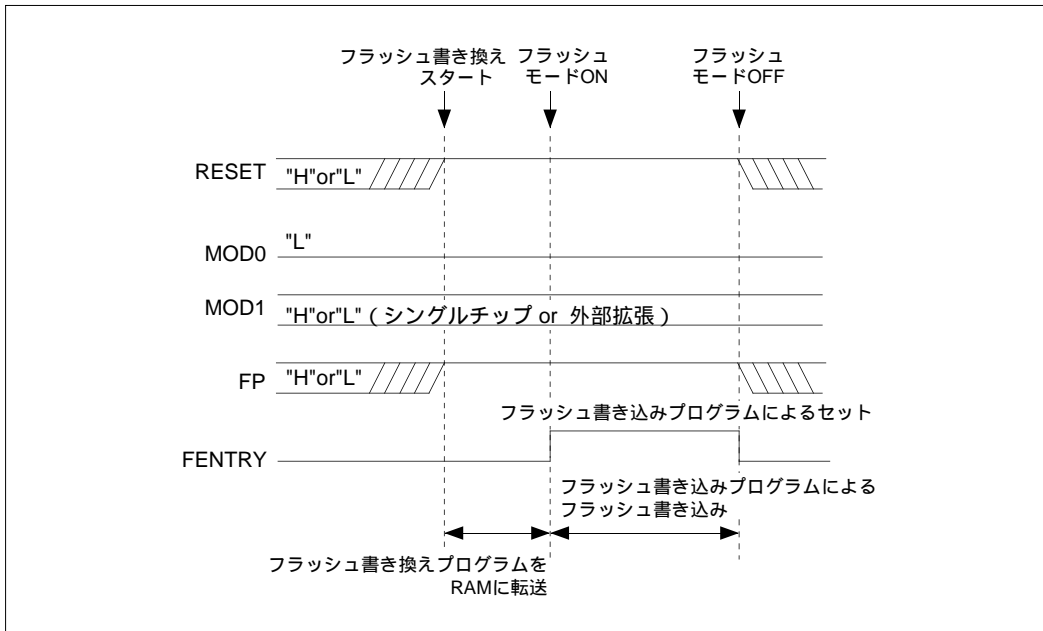


図6.5.5 内蔵フラッシュメモリ書き込みタイミング(書き込みプログラムがフラッシュメモリ上にある場合)

6.5.2 フラッシュ書き込み時における動作モードの制御

チップ動作モードはMOD0、MOD1、およびフラッシュ制御レジスタ1 (FCNT1) のFENTRYビットで設定されます。以下にフラッシュ書き込み時における動作モードの一覧を示します。

表6.5.1 フラッシュ書き込み時における動作モードの設定

FP	MOD0	MOD1	FENTRY	動作モード	リセットベクタエントリ	EIベクタエントリ
L	L	L	-	シングルチップ	フラッシュメモリ	フラッシュ領域
H	L	L	0	モード	先頭番地 (H'0000 0000)	(H'0000 0080)
L	H	L	-	プロセッサ	外部領域先頭番地	外部領域
				モード	(H'0000 0000)	(H'0000 0080)
L	L	H	-	外部拡張	フラッシュメモリ	フラッシュ領域
H	L	H	0	モード	先頭番地 (H'0000 0000)	(H'0000 0080)
H	L	L	1	シングルチップ	フラッシュメモリ	内蔵RAMの先頭
				モード	先頭番地	(H'0080 4000)
				+フラッシュ	(H'0000 0000)	
				E/Wイネーブル		
H	H	L	0	ブートモード	ブートプログラム	フラッシュ領域
					領域の先頭番地	(H'0000 0080)
					(H'8000 0000)	
H	H	L	1	ブートモード	ブートプログラム	内蔵RAMの先頭
				+フラッシュ	領域の先頭番地	(H'0080 4000)
				E/Wイネーブル	(H'8000 0000)	
H	L	H	1	外部拡張モード	フラッシュメモリ	内蔵RAMの先頭
				+フラッシュ	先頭番地	(H'0080 4000)
				E/Wイネーブル	(H'0000 0000)	
-(注)	H	H	-(注)	reserved	-	-

注. "-"はDon't Careの状態を示します。

(1) フラッシュ E/W イネーブルモード

フラッシュE/Wイネーブルモードは、内蔵フラッシュメモリへの書き込みと消去をするモードです。フラッシュE/Wイネーブルモードでは、内蔵フラッシュメモリ上でのプログラムは実行できません。したがって、フラッシュE/Wイネーブルモード移行前に必要なプログラムを内蔵RAM上に転送し、RAM上でプログラム動作を行う必要があります。

(2) フラッシュE/W イネーブルモードへの移行

フラッシュE/Wイネーブルモードに移行できるのは、シングルチップモードと外部拡張モードだけです。FP端子が"H"レベルで、フラッシュ制御レジスタ1(FCNT1)のFENTRYビットが"1"の場合のみ、「フラッシュE/Wイネーブルモード」に移行します。プロセッサモードおよびFP端子が"L"の場合は移行できません。

(3) MOD0 端子、MOD1 端子レベルの検出

MOD0およびMOD1端子レベル("H" or "L")は、P8データレジスタ(ポートデータレジスタ、H'0080 0708)のMOD0DTビットおよびMOD1DTビットで確認できます。

P8 データレジスタ (P8DATA)

< アドレス : H'0080 0708 >

D0	1	2	3	4	5	6	D7
MOD0DT	MOD1DT	P82DT	P83DT	P84DT	P85DT	P86DT	P87DT

< リセット時 : 不定 >

D	ビット名	機能	R	W
0	MOD0DT (MOD0データ)	0 : MOD0端子 = "L" 1 : MOD0端子 = "H"		-
1	MOD1DT (MOD1データ)	0 : MOD1端子 = "L" 1 : MOD1端子 = "H"		-
2	P82DT (ポートP82データ)	ポート方向レジスタの設定により 方向ビットが"0"(入力モード)の場合		
3	P83DT (ポートP83データ)	0 : ポート入力端子 = "L" 1 : ポート入力端子 = "H"		
4	P84DT (ポートP84データ)	方向ビットが"1"(出力モード)の場合 0 : ポート出力ラッチ = "L"		
5	P85DT (ポートP85データ)	1 : ポート出力ラッチ = "H"		
6	P86DT (ポートP86データ)			
7	P87DT (ポートP87データ)			

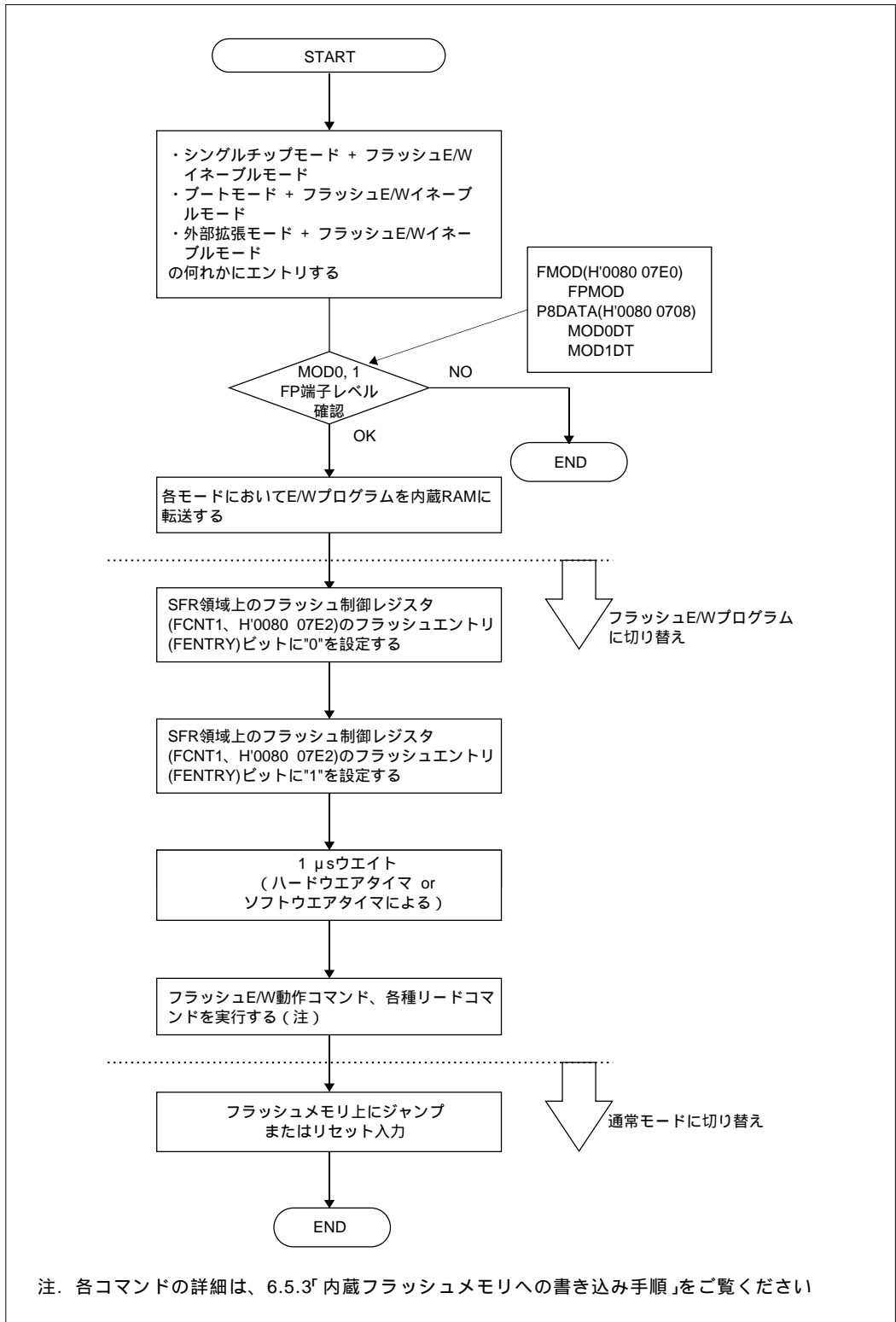


図6.5.6フラッシュE/Wイネーブル移行手順

6.5.3 内蔵フラッシュメモリへの書き込み手順

内蔵フラッシュメモリへの書き込みは、チップモードを制御してフラッシュE/Wイネーブルモードに移行した後、フラッシュメモリから内蔵RAMへ転送したフラッシュ書き込みプログラムで行います。

フラッシュE/Wイネーブルモードでは、通常モードのように内蔵フラッシュメモリからの読み出しができないので、内蔵フラッシュメモリ上のプログラムを実行することができません。そのため、フラッシュE/Wイネーブルモードへ移行する前にフラッシュ書き込みプログラムを内蔵RAM上に用意しておかなければなりません(フラッシュE/Wイネーブルモードへの移行後、フラッシュメモリへのアクセスはフラッシュコマンド以外、禁止します)。

フラッシュE/Wイネーブルモードにおける内蔵フラッシュメモリへのアクセスは、対象となる内蔵フラッシュメモリアドレスに対するコマンド発行により行います。フラッシュE/Wイネーブルモードにおいて発行できるコマンドを以下に示します。

注. フラッシュE/Wイネーブルモード時、フラッシュメモリへのリード/ライトは、ワードアクセスできませんのでご注意ください。

表6.5.2 フラッシュE/Wイネーブルモードにおけるコマンド

コマンド名	発行コマンドデータ
リードアレイコマンド	H'FFFF
ページプログラムコマンド	H'4141
ロックビットプログラムコマンド	H'7777
ブロックイレーズコマンド	H'2020
イレーズ全アンロックブロックコマンド	H'A7A7
リードステータスレジスタコマンド	H'7070
クリアステータスレジスタコマンド	H'5050
リードロックビットステータスコマンド	H'7171
確認コマンド (注1~注4)	H'D0D0

注1. このコマンドは、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックのときに使用します。

注2. このコマンドは、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドに連続して発行してください。

注3. ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドの後にリードアレイコマンド(H'FFFF)を発行すると、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドはキャンセルされます。

注4. ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドの後に確認コマンド(H'D0D0)及びリードアレイコマンド(H'FFFF)以外のコマンド発行すると、ロックビットプログラム、ブロックイレーズ、およびイレーズ全アンロックブロックの各コマンドが正常に実行されずエラー終了します。

(1) リードアレイコマンド

内蔵フラッシュメモリの任意のアドレスに対して、コマンドデータH'FFFFをライトするとリードモードとなります。次に読み出したいアドレスをリードするとその内容が読み出せます。

フラッシュE/Wイネーブルモードから抜ける場合は、必ずリードアレイコマンドを実行してから抜けてください。

(2) ページプログラムコマンド

フラッシュメモリへのプログラムは、256バイト毎のページ単位(下位アドレスH'00~H'FF)で行います。

フラッシュへのデータ書き込み(プログラム)は、内蔵フラッシュメモリの任意のアドレスに対してプログラムコマンドH'4141をライトし、その後、書き込みたいアドレスにプログラムデータをライトします。

ページプログラムコマンドにおいて、プロテクトされているブロックへの書き込みはできません。

ページプログラムは内部制御回路で自動的に行われ、プログラム完了はフラッシュステータスレジスタ(FSTAT1)のFSTAT1ビットで確認することができます(6.4.2「フラッシュステータスレジスタ」をご覧ください)。FSTAT1ビットが"0"の間は、次のプログラムは行えません。

(3) ロックビットプログラムコマンド

フラッシュメモリは、ブロック単位にプロテクト(書き込み/イレーズ禁止)が可能です。ロックビットプログラムコマンドは、メモリブロックに対してプロテクトを行うコマンドです。

内蔵フラッシュメモリの任意アドレスに対して、ロックビットコマンドデータH'7777をライトします。次にプロテクトをかけたいブロックの最終偶数アドレスに確認コマンドデータH'D0D0をライトすると、該当メモリブロックがプロテクト(書き込み/イレーズ禁止)状態になります。プロテクトの解除は、フラッシュ制御レジスタ(FCNT2)のFPROTビット(6.4.3「フラッシュ制御レジスタ」をご覧ください)で、ロックビットによるプロテクトを無効にし、プロテクトを解除したいブロックをイレーズすることにより行います(該当メモリブロックの内容もイレーズされます)。

以下に、確認コマンドデータをライトする際の対象ブロックと指定アドレスを示します。

表6.5.3 M32172F2およびM32173F2の対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 3FFE
1	H'0000 5FFE
2	H'0000 7FFE
3	H'0000 FFFE
4	H'0001 FFFE
5	H'0002 FFFE
6	H'0003 FFFE

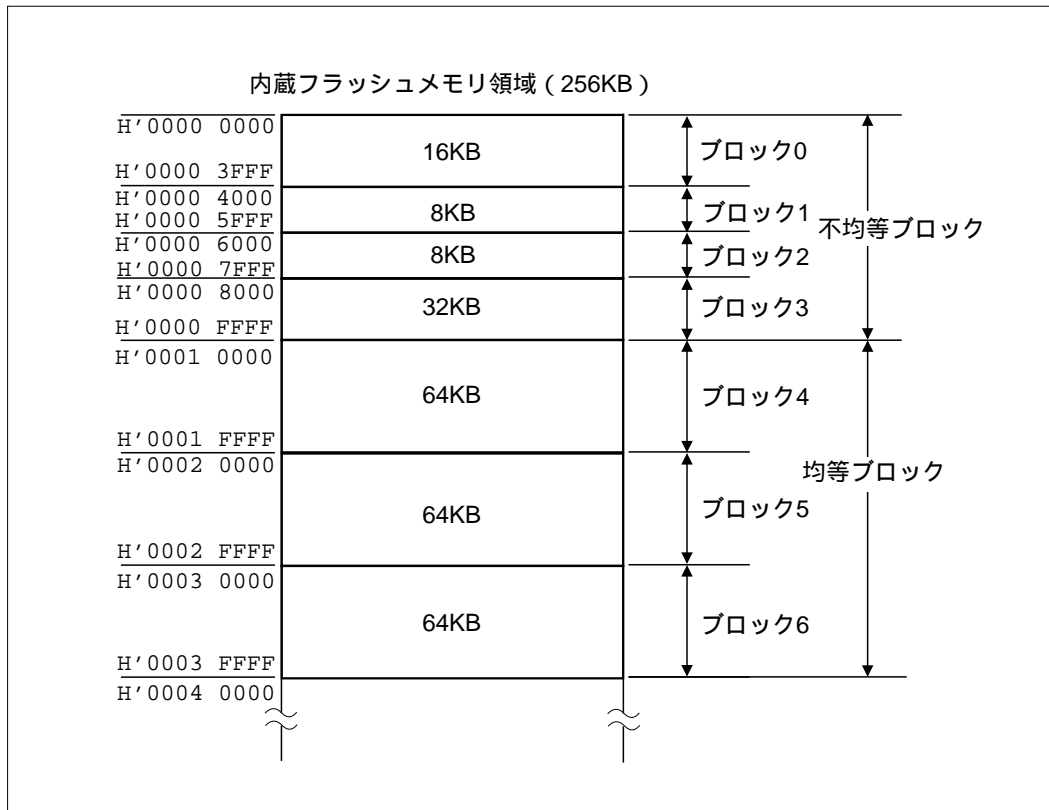


図6.5.7 M32172F2およびM32173F2のフラッシュメモリのブロック構成

(4) ブロックイレーズコマンド

ブロックイレーズコマンドは、内蔵フラッシュメモリの内容をブロック単位で消去します。ブロックイレーズは内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'2020をライトします。次に、消去したいメモリブロックの最終偶数アドレス(表6.5.3 対象ブロックと指定番地を参照してください。)に確認コマンドデータH'D0D0をライトすることにより、該当メモリブロックの内容を消去します。

ブロックイレーズコマンドにおいて、プロテクトされているいるブロックへのイレーズはできません。

ブロックイレーズは内部制御回路で自動的に行われ、ブロックイレーズ完了はフラッシュステータスレジスタ1(FSTAT1)のFSTAT1ビットで確認することができます(6.4.2「フラッシュステータスレジスタ」をご覧ください)。FSTAT1ビットが"0"の間は、次のブロックイレーズは行えません。

(5) イレーズ全アンロックブロックコマンド

イレーズ全アンロックブロックコマンドは、プロテクトのかかっているすべてのメモリブロックを消去します。全アンロックブロックのイレーズは、内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'A7A7をライトします。次に、内蔵フラッシュメモリの任意アドレスにコマンドデータH'D0D0をライトすると、プロテクトのかかっているすべてのメモリブロックを消去します。

(6) リードステータスレジスタコマンド

リードステータスレジスタコマンドは、フラッシュメモリへの書き込み、消去動作の終了状態(正常、異常)を示すフラッシュステータスレジスタ2(FSTAT2)の内容を読み出します。フラッシュステータスレジスタ2のリードは、内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7070をライトします。次に、内蔵フラッシュメモリの任意アドレスをリードすると、フラッシュステータスレジスタ2(FSTAT2)を読み出します。

(7) クリアステータスレジスタコマンド

クリアステータスレジスタコマンドは、フラッシュステータスレジスタ2(FSTAT2)のERASE(オートイレーズの動作状況)、WRERR1(プログラム動作状況1)およびWRERR2(プログラム動作状況2)ビットを"0"クリアするコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'5050をライトすると、フラッシュステータスレジスタ2が"0"クリアされます。

フラッシュメモリへの書き込み、消去動作でエラーが発生し、フラッシュステータスレジスタ2(FSTAT2)のERASE(オートイレーズの動作状況)、WRERR1(プログラム動作状況1)またはWRERR2(プログラム動作状況2)ビットに"1"がセットされた場合、ERASE(オートイレーズの動作状況)、WRERR1(プログラム動作状況1)およびWRERR2(プログラム動作状況2)を"0"クリアしなければ、次の書き込み、消去はできません。

(8) リードロックビットステータスコマンド

リードロックビットステータスコマンドは、メモリブロックがプロテクト(書き込み/消去禁止)状態か、プロテクト状態でないかを確認するためのコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7171をライトします。次に、対象ブロックの最終偶数アドレス(表6.5.3、表6.5.4「対象ブロックと指定番地」を参照してください。)をリードすると、対象ブロックがプロテクト状態か非プロテクト状態かを知ることができます。

リードしたデータのFLBST0(ロックビット0)ビットおよびFLBST1(ロックビット1)ビットが"0"の場合、該当メモリブロックがプロテクト状態であることを示し、FLBST0(ロックビット0)ビットおよびFLBST1(ロックビット1)ビットが"1"の場合、該当メモリブロックが非プロテクト状態であることを示します。

ロックビットステータスレジスタ(FLBST)



<リセット時：不定>

D	ビット名	機能	R	W
0	何も配置されていません		?	-
1	FLBST0 (ロックビット0)	0：プロテクト状態 1：非プロテクト状態		-
2~8	何も配置されていません		?	-
9	FLBST1 (ロックビット1)	0：プロテクト状態 1：非プロテクト状態 (FLBST0と同じ内容が出力されます)		-
10~15	何も配置されていません		?	-

ロックビットステータスレジスタは読み出し専用のレジスタで、各ブロックごとに独立したロックビットを内蔵しています。

ロックビットの書き込みは以下の方法で行います。

a) ロックビットの "0" セット方法 (プロテクト状態)

プロテクトしたいメモリブロックにロックビットプログラムコマンド (H'7777) を発行することによって行います。

b) ロックビットの "1" セット方法 (非プロテクト状態)

フラッシュ制御レジスタ2のFPROTを "ロックビットによるプロテクト無効" にしたのち、ブロックイレーズコマンド (H'2020)、またはイレーズ全アンロックブロックコマンド (H'A7A7) で、非プロテクト状態にしたいメモリブロックを消去することによってのみ行えます。

ロックビットのみを "1" セットすることはできません。

c) ロックビットのリセット時の状態

ロックビットは不揮発生のビットであるため、リセット及び電源断の影響を受けません。

(9) 各コマンドの実行フロー

以下に各コマンドの実行フロー図を示します。

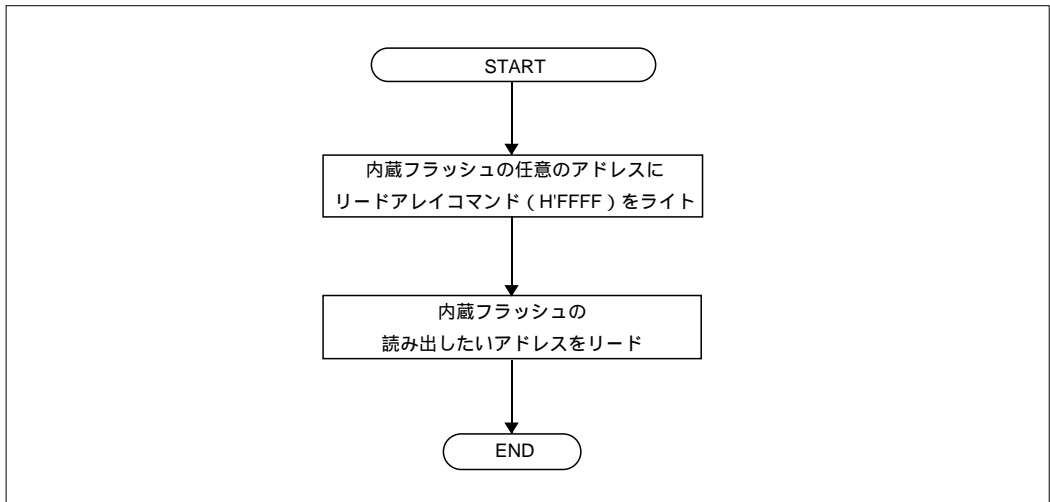


図6.5.8 リードアレイ

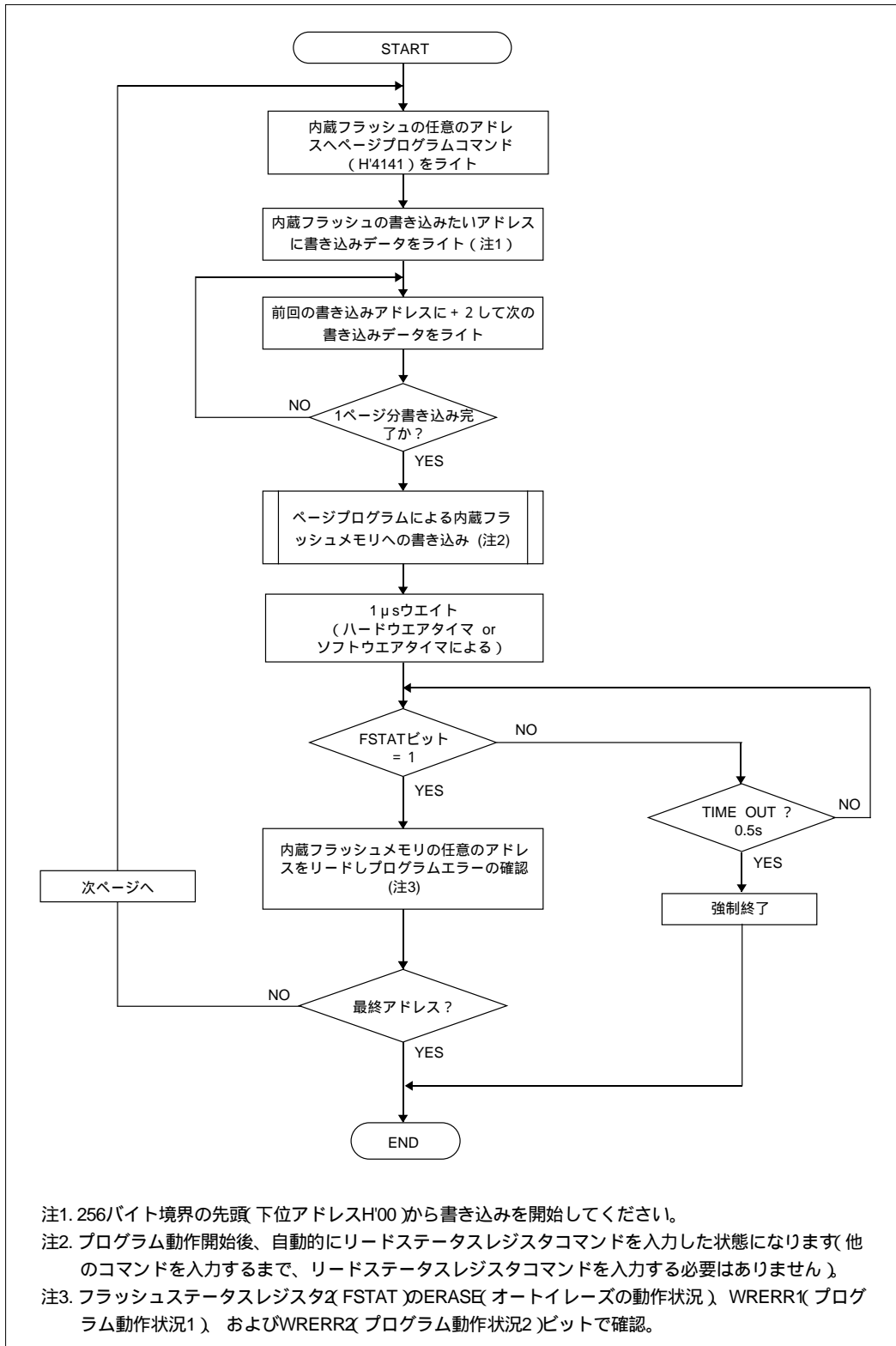


図6.5.9 ページプログラム

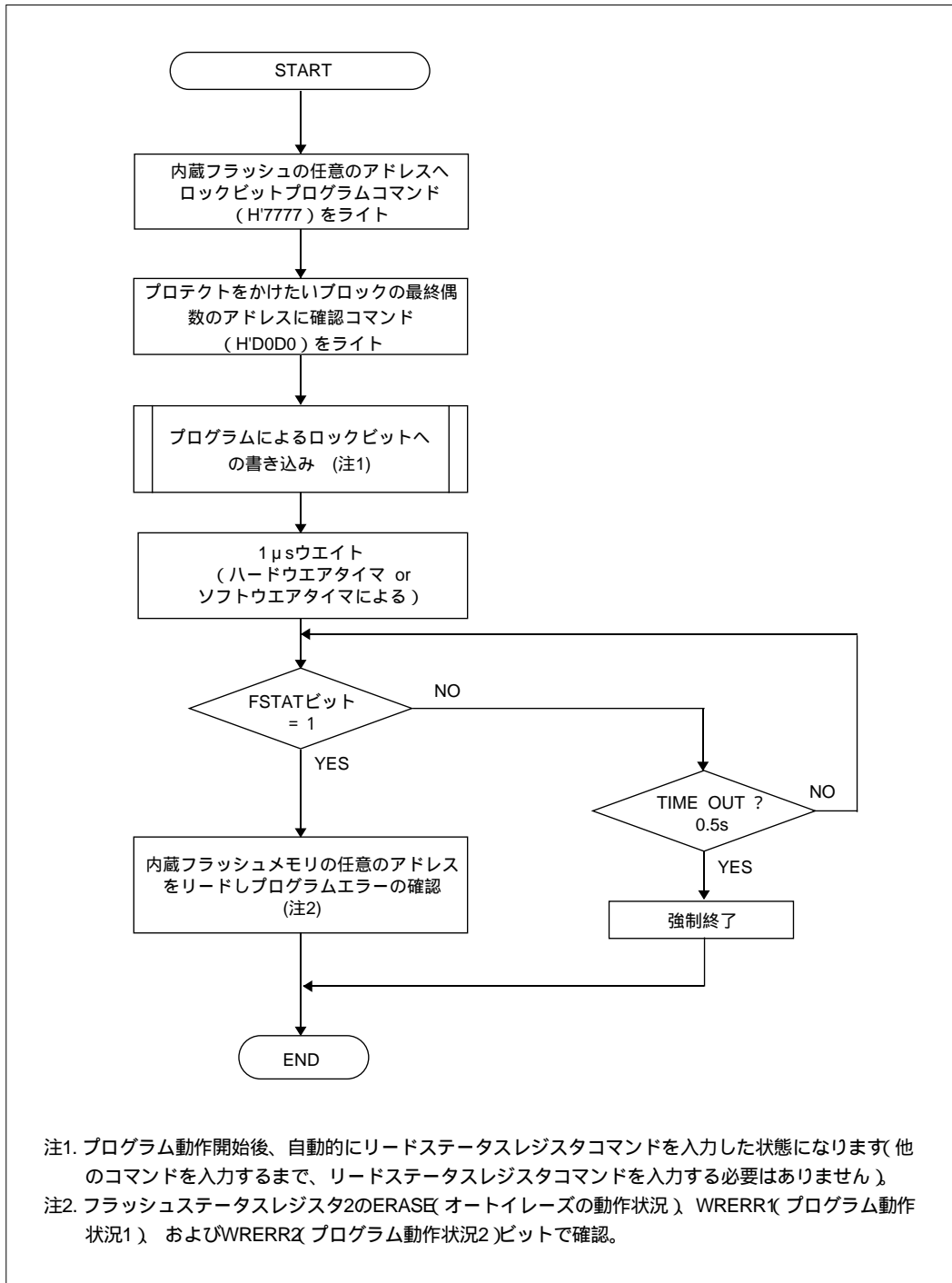


図6.5.10 ロックビットプログラム

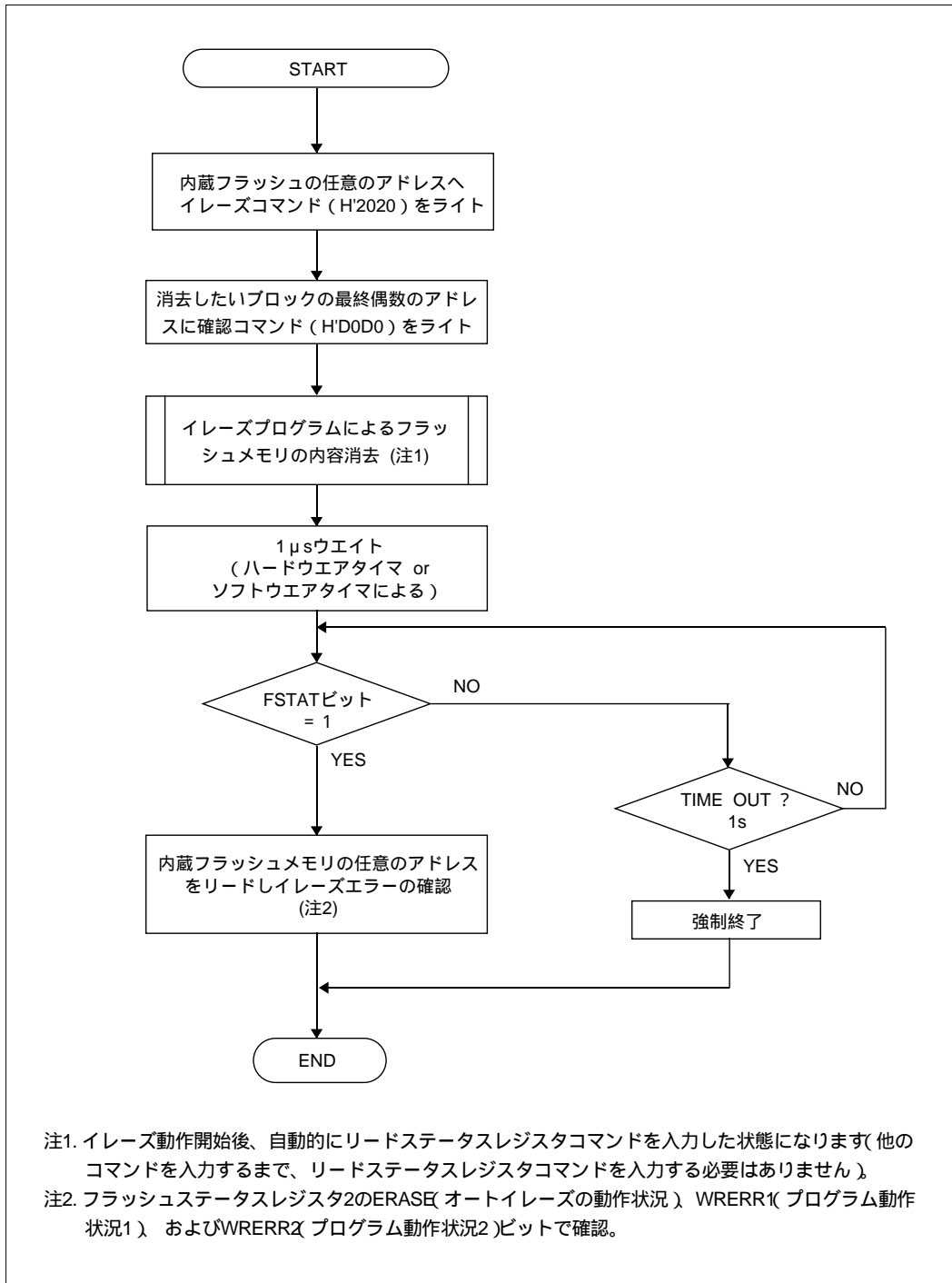


図6.5.11 ブロックイレーズ

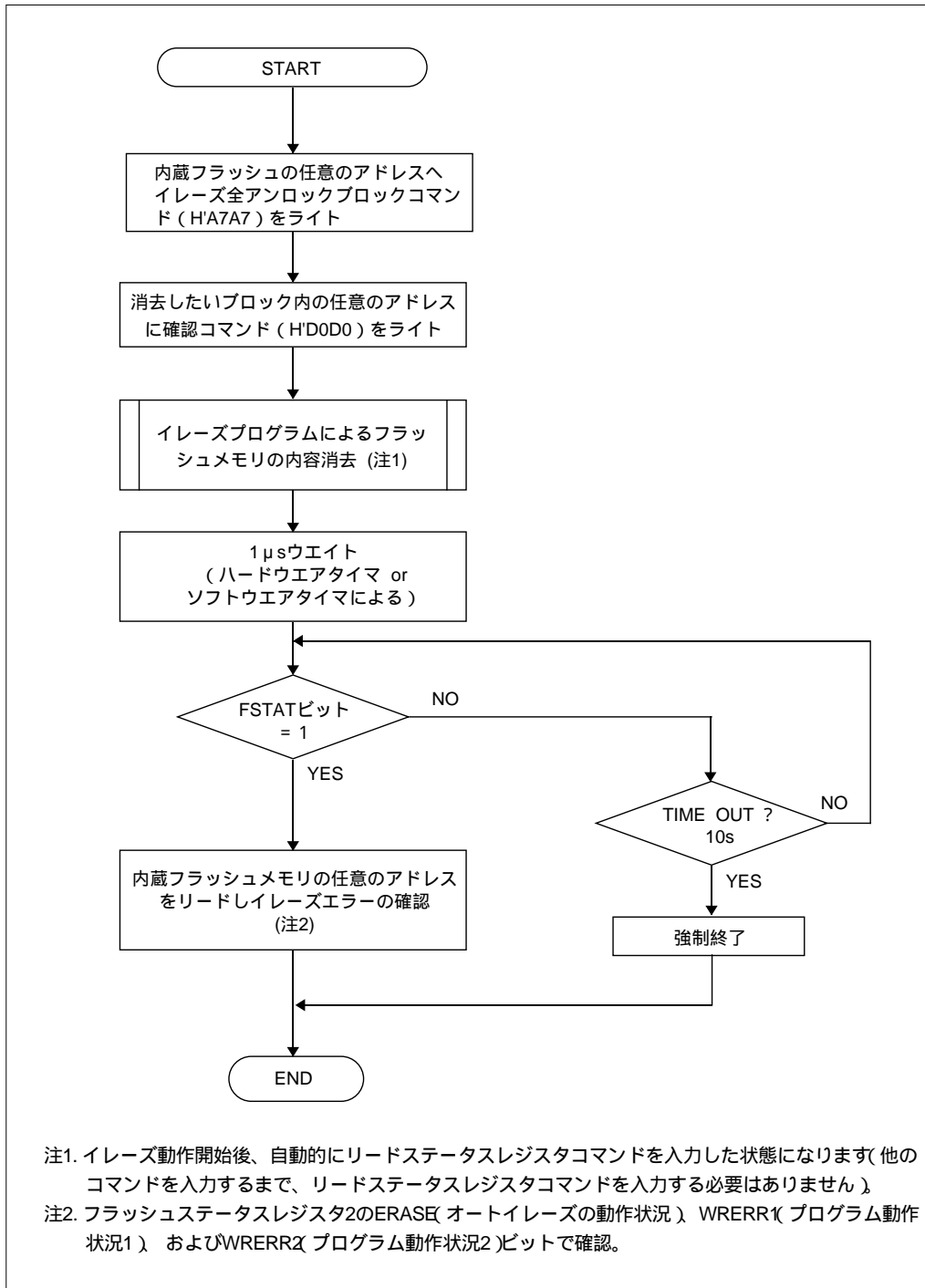


図6.5.12 イレーズ全アンロックブロックイレーズ

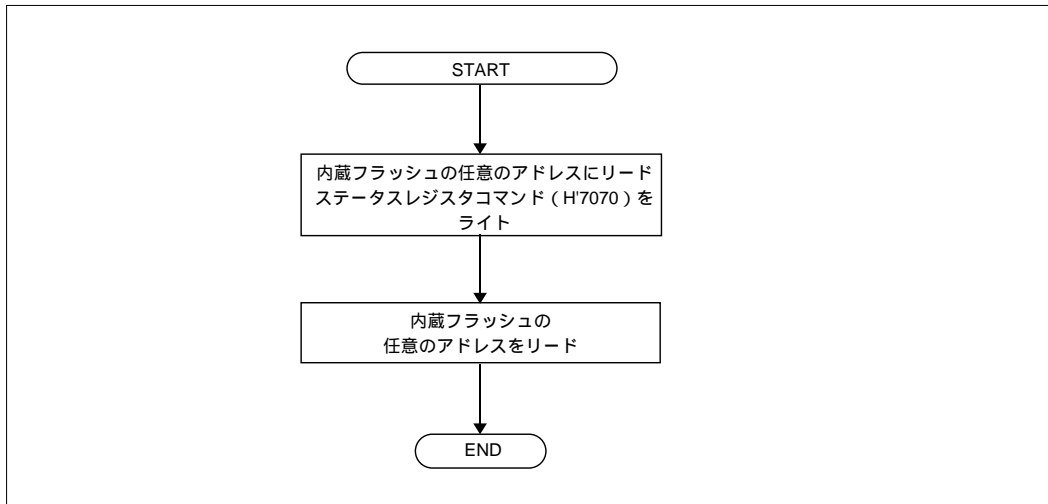


図6.5.13 リードステータスレジスタ

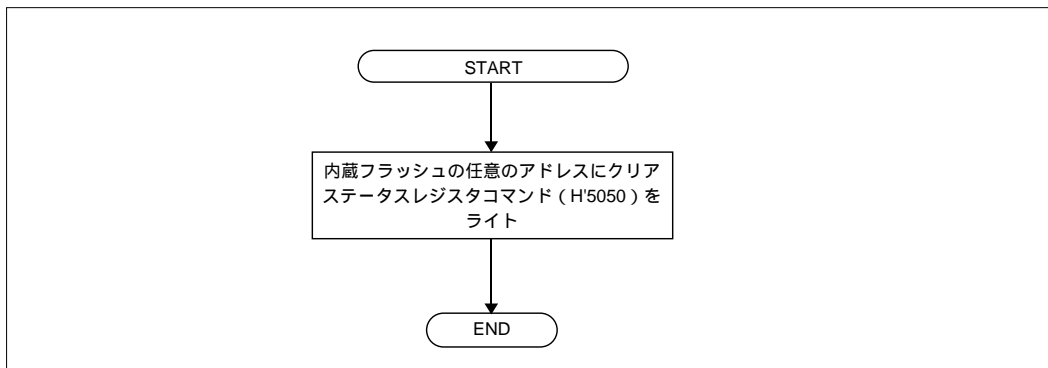


図6.5.14 クリアステータスレジスタ

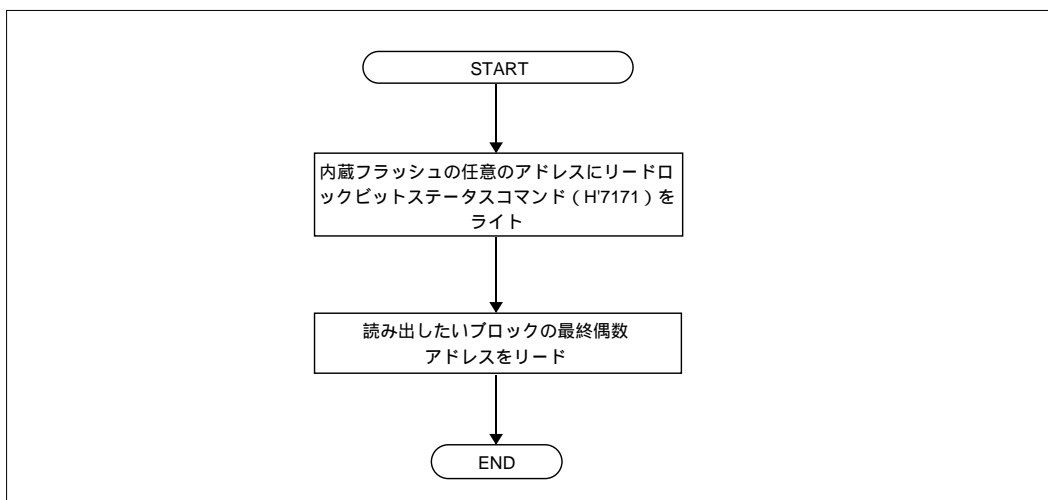


図6.5.15 リードロックビットステータスレジスタ

6.5.4 フラッシュ書き込み時間(参考値)

内蔵フラッシュメモリへの書き込み時間の参考値を以下に示します。

(1) M32172F2 および M32173F2

SIO による転送時間 (転送データ容量 : 256KB の時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 256\text{KB} = 50.1[\text{s}]$$

フラッシュ書き込み時間

$$256\text{KB}/256\text{バイトブロック} \times 8\text{ms} = 8.2[\text{s}]$$

イレーズ時間 (全領域)

$$50\text{ms} \times \text{ブロック数} = 350[\text{ms}]$$

トータルフラッシュ書き込み時間 (256KB 全領域)

UARTで57600pbs通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$+ 50.5[\text{s}]$$

なお、シリアル通信高速化又は他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$+ 8.6[\text{s}]$$

6.6 ブートROM

ブートメモリ仕様を以下に示します。

表6.6.1 ブートメモリ仕様

項目	仕様
容量	8Kバイト
配置アドレス	H'8000 0000 ~ H'8000 1FFF
ウェイト挿入	ノーウェイト動作 (内部CPUメモリクロック動作40MHZ時)
内部バス接続	32ビットバス接続
読み出し	FP=1, MOD0=1, MOD1=0の条件でのみ読み出し可能です。他のモードで読み出しを行うと不定値が読み出されます。書き込み処理を行うことはできません。
その他	ブートROM領域はブートモード時のみ使用可能な予約領域のため、プログラムを変更することはできません。

6.7 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイト単位のブロック(M32172F2は最大2ブロック、M32173F2は最大3ブロック)をマッピングする機能、および内蔵フラッシュの領域を4Kバイト毎に区切った領域(Sバンク)に、内蔵RAMのH'0080 A000の領域から4Kバイト単位のブロック(M32173F2は最大2ブロック)をマッピングする機能(M32172F2はSバンクに対するマッピングはできません)を備えており、これを疑似フラッシュエミュレーション機能と呼びます。

この機能を使用することで、内蔵RAMの8Kバイト単位または4KB単位のブロックに配置したデータはフラッシュメモリ内の疑似フラッシュバンクレジスタで指定したLバンク、またはSバンクと切り換えて使用可能となります。このため、プログラム動作中にデータの変更を必要とするアプリケーションでは、8Kバイトまたは4Kバイト分のRAM領域を使用したダイナミックな変更が可能となります。疑似フラッシュエミュレーションに割り当てられたRAMは、内蔵RAM領域及び内蔵フラッシュ領域の両方からリード、ライトできます。

この機能と内蔵リアルタイムデバッグ(RTD)を組み合わせることで、内蔵フラッシュメモリ上に設けたデータテーブルを外部から参照したり、書き替えることができ、外部からデータテーブルのチューニングが容易に行えます。

内蔵フラッシュメモリに対する書き込み操作を行う場合は、必ずこの疑似フラッシュエミュレーションモードを終了してください。

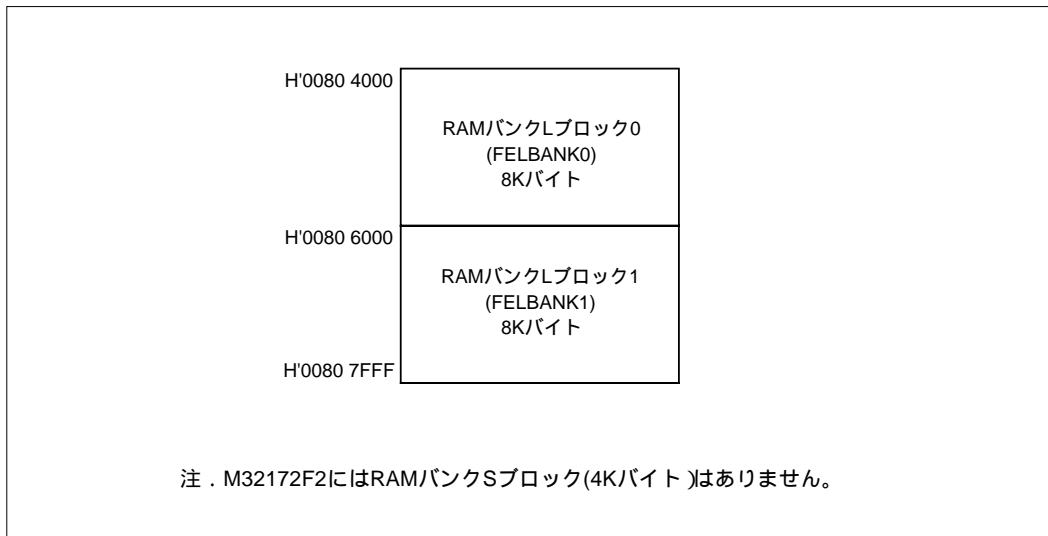


図6.7.1 M32172F2内蔵RAMのバンク構成

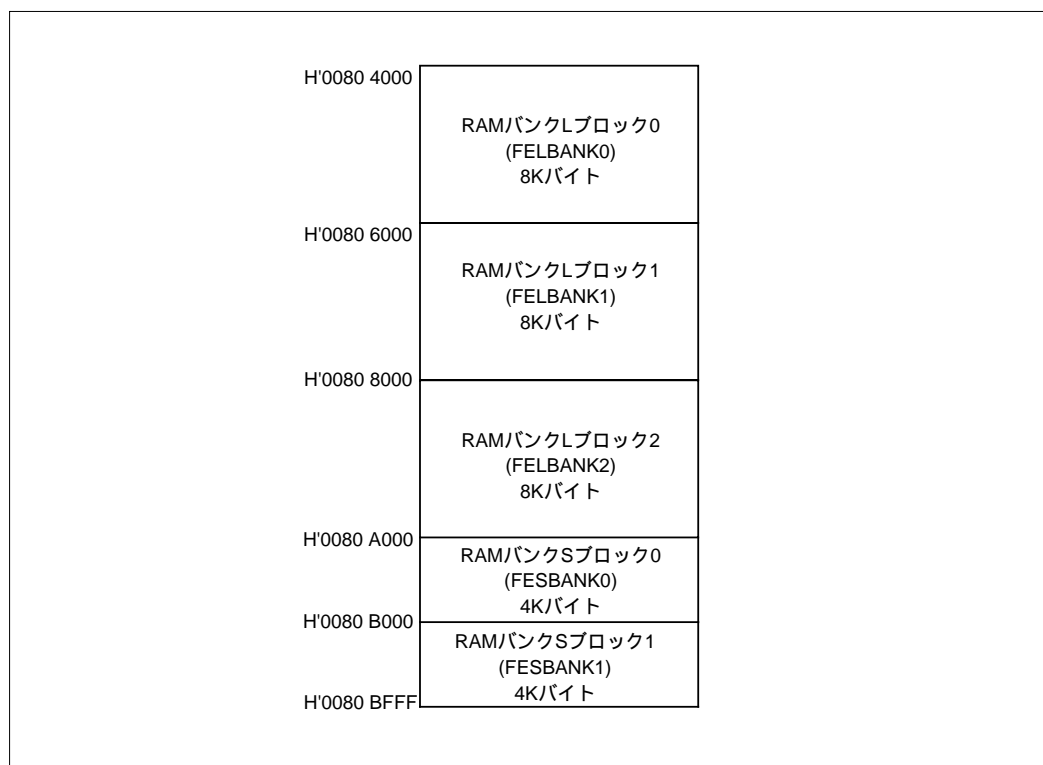


図6.7.2 M32173F2内蔵RAMのバンク構成

6.7.1 疑似フラッシュエミュレーション領域

疑似フラッシュエミュレーション機能が有効な領域を以下に示します。

疑似フラッシュLバンクレジスタによって、フラッシュメモリの8Kバイト毎に区切られた全てのLバンクから、それぞれ一つのLバンク領域を選択(該当Lバンクの先頭アドレスのうちA12~A18の7ビットを疑似フラッシュLバンクレジスタのLBANKADビットに設定)し、疑似フラッシュLバンクレジスタのMODENLビットに"1"を設定することで、選択したLバンク領域を内蔵RAMの先頭から8Kバイト単位にM32172F2は最大2ブロック、M32173F2は最大3ブロック置き換えることができます。

また、M32173F2は疑似フラッシュSバンクレジスタ(FESBANK0、FESBANK1)によって、フラッシュメモリの4Kバイト毎に区切られた全てのSバンクから、それぞれ一つのSバンク領域を選択(該当Sバンクの先頭アドレスのうちA12~A19の8ビットを疑似フラッシュSバンクレジスタのSBANKADビットに設定)し、疑似フラッシュSバンクレジスタのMODENS0,1ビットに"1"を設定することで、選択したSバンク領域を内蔵RAMのH'0080 A000の領域から4Kバイト単位に最大2ブロック置き換えることができます。

M32172F2は8Kバイト単位のLバンクが2バンク選択できます。M32173F2は8Kバイト単位のLバンクが3バンク、4Kバイト単位のSバンクが2バンクの計5バンク(最大)選択できます。

- 注1. 複数の疑似フラッシュバンクレジスタに同じバンク領域を設定し、疑似フラッシュエミュレーションイネーブルビットをイネーブルにした場合は、下記に示す優位で対応する内蔵RAM領域(8Kバイトまたは4Kバイト)が割り当てられます。

M32172F2

FELBANK0 > FELBANK1

M32173F2

FELBANK0 > FELBANK1 > FELBANK2 > FESBANK0 > FESBANK1

- 注2. 疑似フラッシュエミュレーションモード時、内蔵RAM領域と疑似フラッシュ設定領域からRAMのリードライトが可能です。

- 注3. 疑似フラッシュエミュレーション機能を有効にして使用する場合、下記条件で疑似フラッシュエミュレーションする領域のデータを読み出し時に3CPUクロック間でデータが不定となります。

(1)疑似フラッシュエミュレーションが有効になった場合

(2)疑似フラッシュエミュレーションが無効になった場合

(3)疑似フラッシュエミュレーション用のRAMを同一番位置に配置し切り替えた場合

- 注4. 疑似フラッシュバンクレジスタ(Lバンクレジスタ、Sバンクレジスタ)の疑似フラッシュエミュレーションイネーブルビット、バンクアドレスビットに設定後、疑似フラッシュのリードを行う場合、疑似フラッシュバンクレジスタの設定後3クロック(CPUクロック)以上空けて疑似フラッシュリードを行ってください。

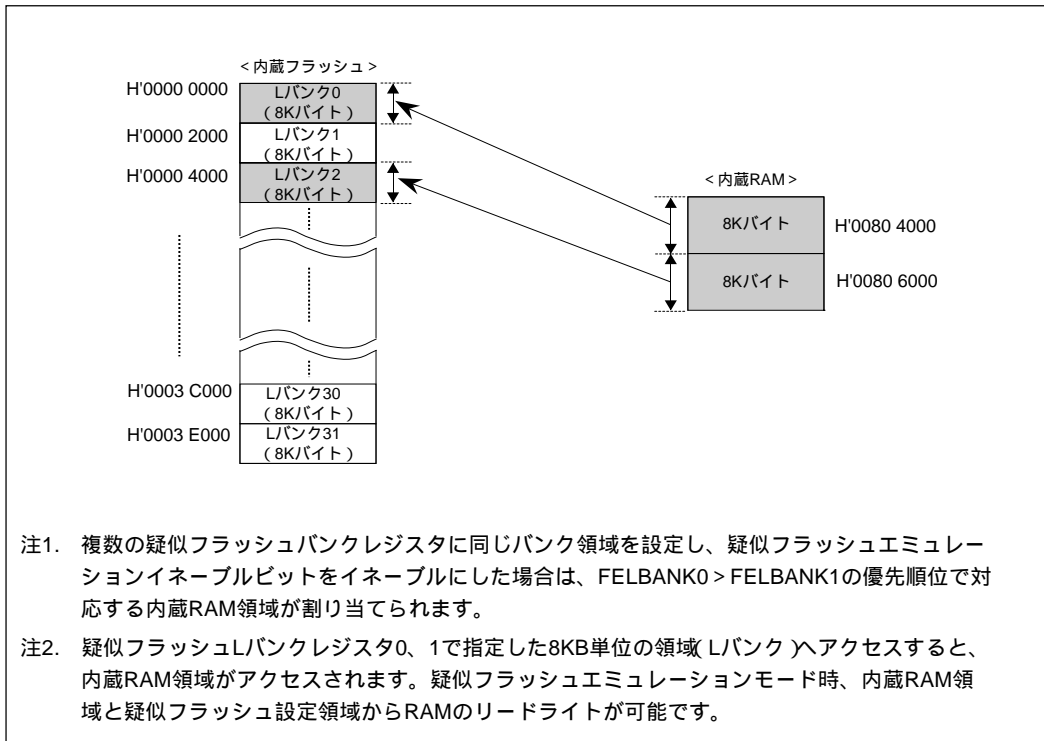


図6.7.3 M32172F2の8Kバイト単位分割の疑似フラッシュエミュレーション領域

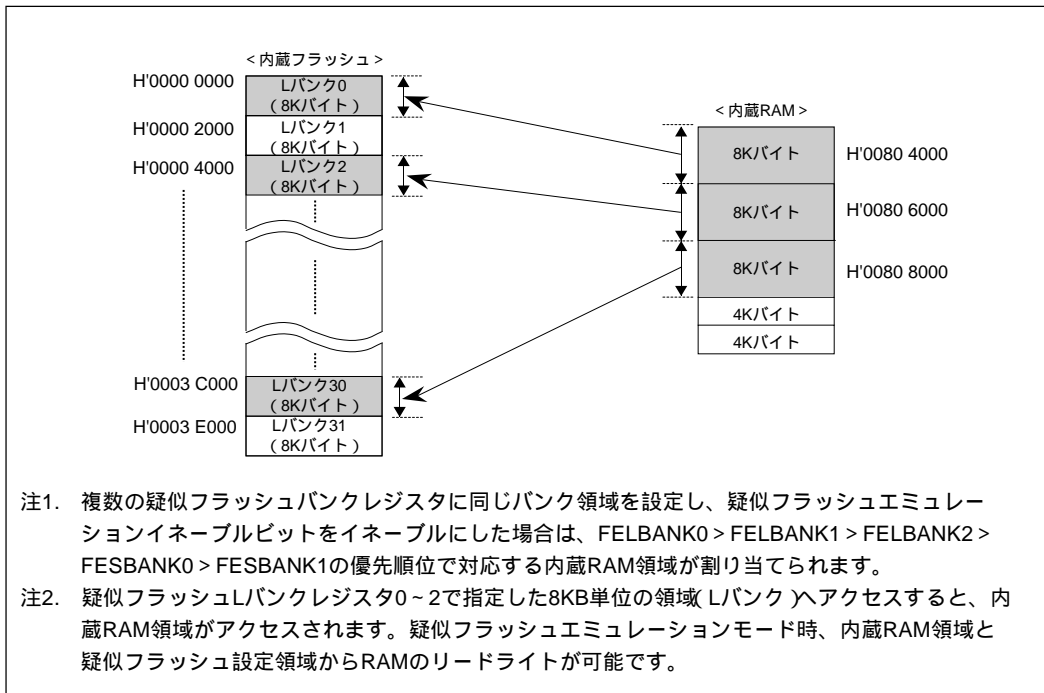


図6.7.4 M32173F2の8Kバイト単位分割の疑似フラッシュエミュレーション領域

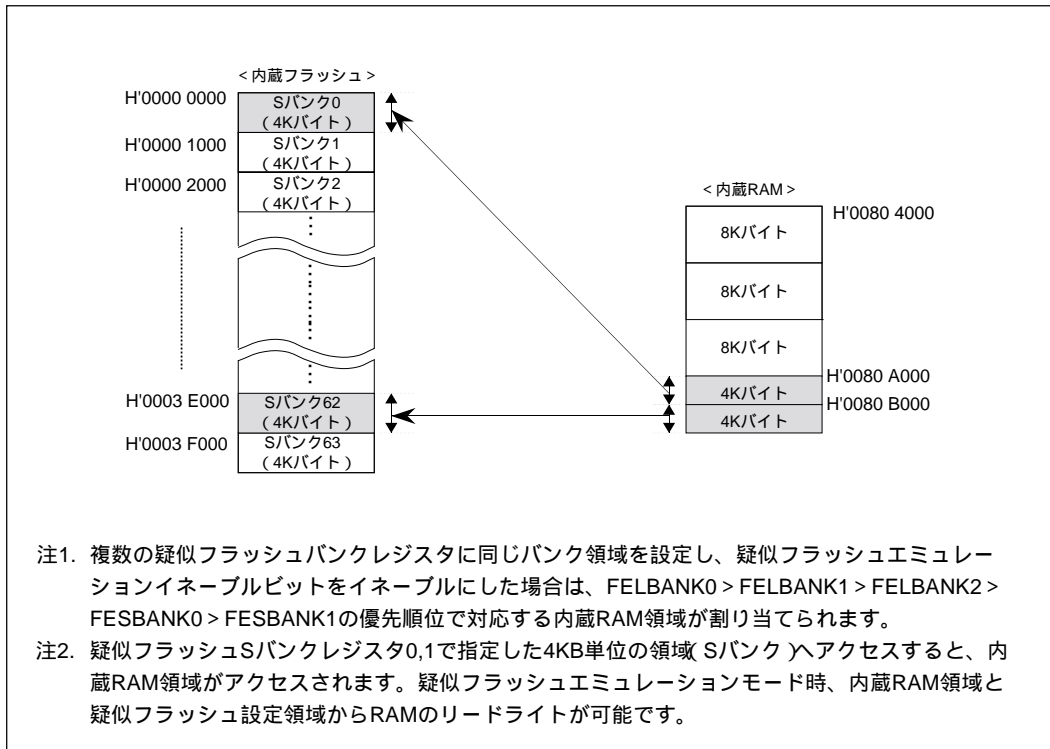


図6.7.5 M32173F2の4Kバイト単位分割の疑似フラッシュエミュレーション領域

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBAKNKAD) ビット設定値
Lバンク0	H'0000_0000 (注)	H'00
Lバンク1	H'0000_2000	H'02
Lバンク2	H'0000_4000	H'04
⋮		
Lバンク30	H'0003_C000	H'3C
Lバンク31	H'0003_E000	H'3E

注. フラッシュメモリを8KB毎に区切った各Lバンクの先頭アドレス(32ビット)のA12~A18(7ビット)を疑似フラッシュLバンクレジスタのLバンクアドレス(LBANKAD)ビットに設定する。

図6.7.6 M32172F2の8Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBAKNKAD) ビット設定値
Lバンク0	H'0000_0000 (注)	H'00
Lバンク1	H'0000_2000	H'02
Lバンク2	H'0000_4000	H'04
⋮		
Lバンク30	H'0003_C000	H'3C
Lバンク31	H'0003_E000	H'3E

注. フラッシュメモリを4KB毎に区切った各Sバンクの先頭アドレス(32ビット)のA12~A19(8ビット)を疑似フラッシュSバンクレジスタのSバンクアドレス(SBANKAD)ビットに設定する。

図6.7.7 M32173F2の8Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Sバンク	フラッシュメモリ上の バンクの先頭アドレス	Sバンクアドレス (SBAKNKAD) ビット設定値
Sバンク0	H'0000_0000 (注)	H'00
Sバンク1	H'0000_1000	H'01
Sバンク2	H'0000_2000	H'02
≈	⋮	≈
Sバンク62	H'0003_E000	H'3E
Sバンク63	H'0003_F000	H'3F

注. フラッシュメモリを4KB毎に区切った各Sバンクの先頭アドレス(32ビット)のA12~A19(8ビット)を疑似フラッシュSバンクレジスタのSバンクアドレス(SBANKAD)ビットに設定する。

図6.7.8 M32173F2の4Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

6.7.2 疑似フラッシュエミュレーションモードへの移行

疑似フラッシュエミュレーションモードに移行するには、フラッシュ制御レジスタ1 (FCNT1)のFEMMODビットに"1"を書き込みます。疑似フラッシュエミュレーションモードに移行後、疑似フラッシュバンクレジスタのMODENビットに"1"を書き込ことで疑似フラッシュエミュレーション機能が有効になります。

疑似フラッシュエミュレーションモード時も、内蔵RAM領域(M32172F2はH'0080 4000 ~ H'0080 7FFF、M32173F2はH'0080 4000 ~ H'0080 BFFF)は内蔵RAMとしてアクセス可能です。



図6.7.9 疑似フラッシュエミュレーションモード移行シーケンス

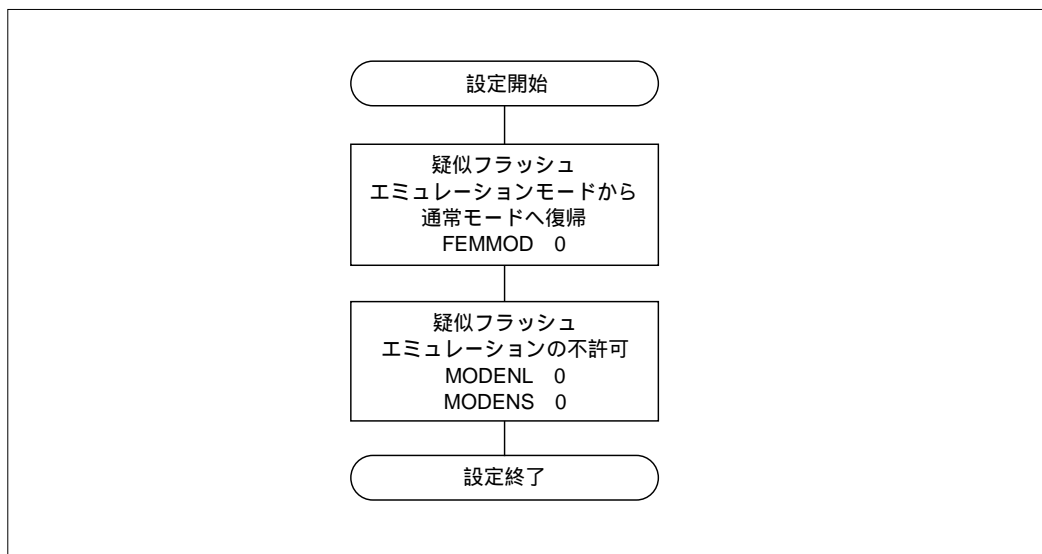


図6.7.10 疑似フラッシュエミュレーションモードから通常モードへの復帰シーケンス

6.7.3 疑似フラッシュエミュレーションモードの応用例

疑似フラッシュエミュレーション機能で2領域を同一エリアに配置して使用することで、フラッシュ中のデータを連続的に書き換えることができます。

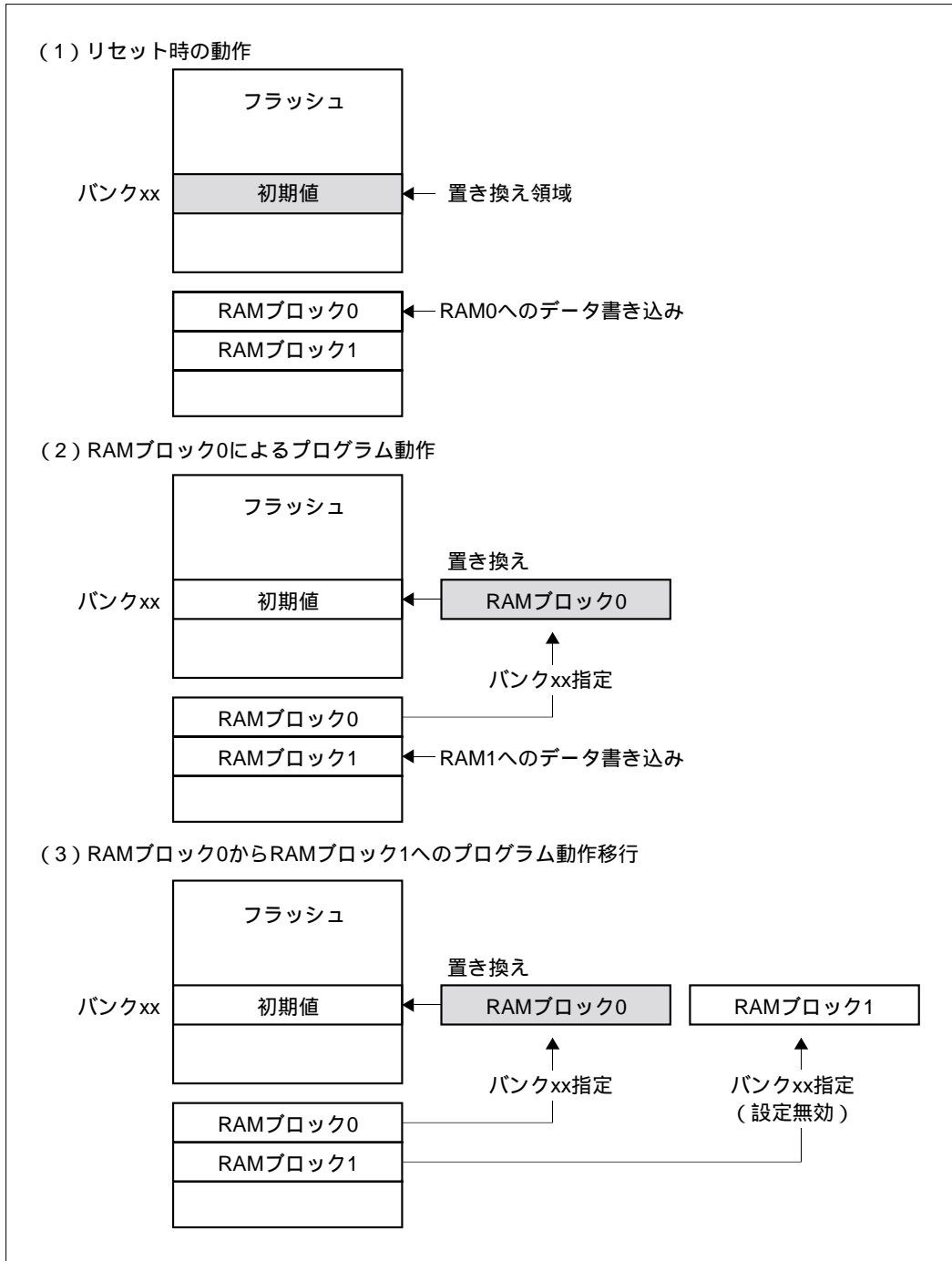


図6.7.11 疑似フラッシュエミュレーション使用例(1/2)

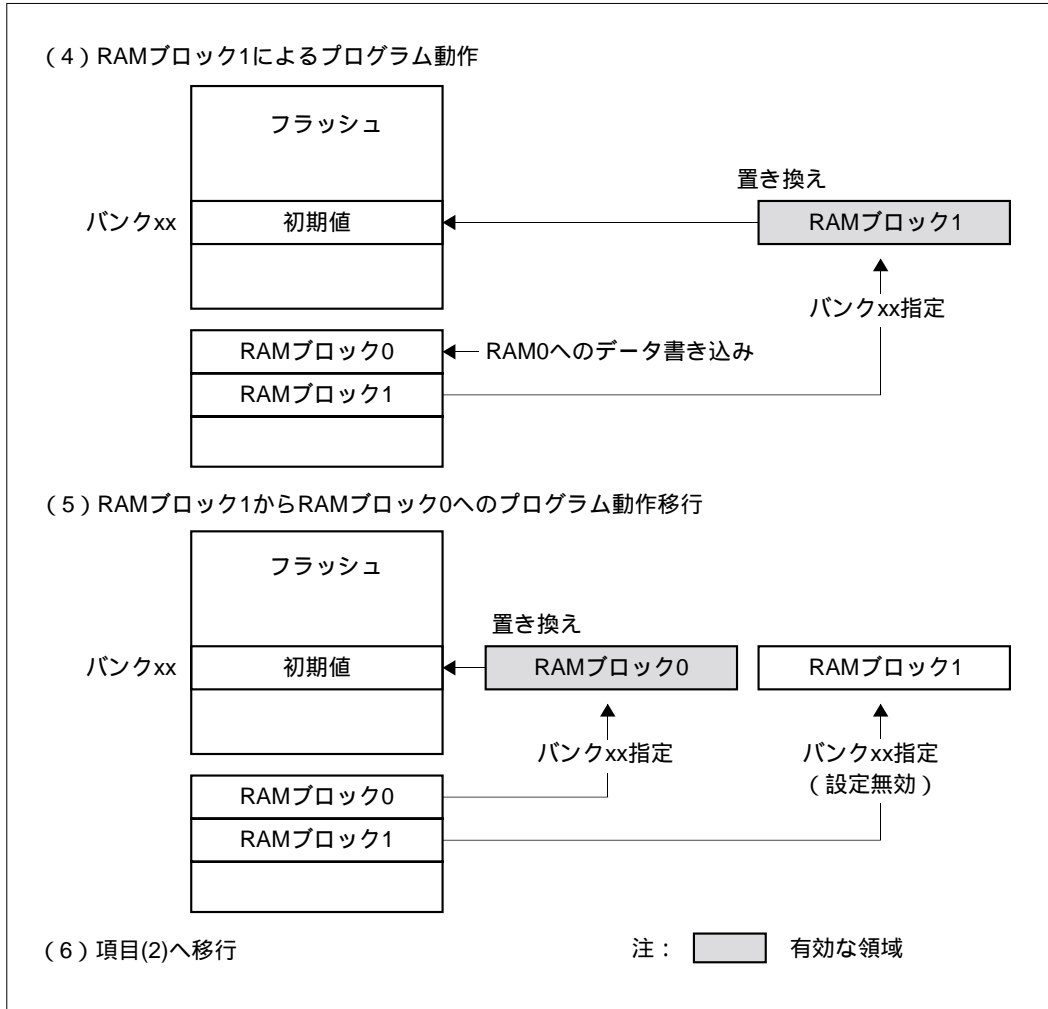


図6.7.12 疑似フラッシュエミュレーション使用例(2/2)

6.8 シリアルライタとの接続

ブートモード+フラッシュE/Wイネーブルモードで汎用シリアルライタを使用して内蔵フラッシュメモリを書き換える場合、下記に示す端子のシリアルライタへ対応した端子処理が必要です。

表6.8.1 シリアルライタ使用時の端子処理

端子名	端子番号	機能	備考
SCLKI1	71	転送クロック入力	プルアップ必要
RXD1	70	シリアルデータ入力 (受信データ)	プルアップ必要
TXD1	69	シリアルデータ出力 (送信データ)	
P84	68	送受信許可出力	プルアップ必要
FP	94	フラッシュメモリのプロテクト	
MOD0	92	動作モード0	
MOD1	93	動作モード1	グラウンドに接続
$\overline{\text{RESET}}$	91	リセット	
XIN	4	クロック入力	
XOUT	5	クロック出力	
VCNT	7	PLL回路の制御入力	
OSC-VCC	6	PLL回路電源	3.3V系電源に接続
OSC-VSS	3	PLL回路グラウンド	グラウンドに接続
VREF0	42	A-D変換器の基準電圧入力	5V系電源に接続
AVCC0	43	アナログ電源	5V系電源に接続
AVSS0	60	アナロググラウンド	グラウンドに接続
FVCC	73	フラッシュメモリ電源	3.3V系電源に接続
VDD	108	RAMバックアップ電源	3.3V系電源に接続
VCCE	20,65,95,132	5V系電源	
VCCI	61,123,137	3.3V系電源	
VSS	21,62,72,96,138	グラウンド	

注. 上記以外の端子については、端子処理不要です。

シリアルライタ接続時の、ユーザシステム構成例を以下に示します。シリアルライタは、ユーザシステムへ電源投入後、クロック同期形シリアルを使用しフラッシュメモリへの書き込みを行います。また、発振周波数に依存した通信上の問題が発生することはありません。シリアルライタに接続する端子をシステムで使用する場合、シリアルライタ接続時に影響が出ないように考慮が必要です。なお、H'0000 0084 ~ H'0000 0093間はフラッシュメモリプロテクト用のID照合領域としてシリアルライタで使用します。

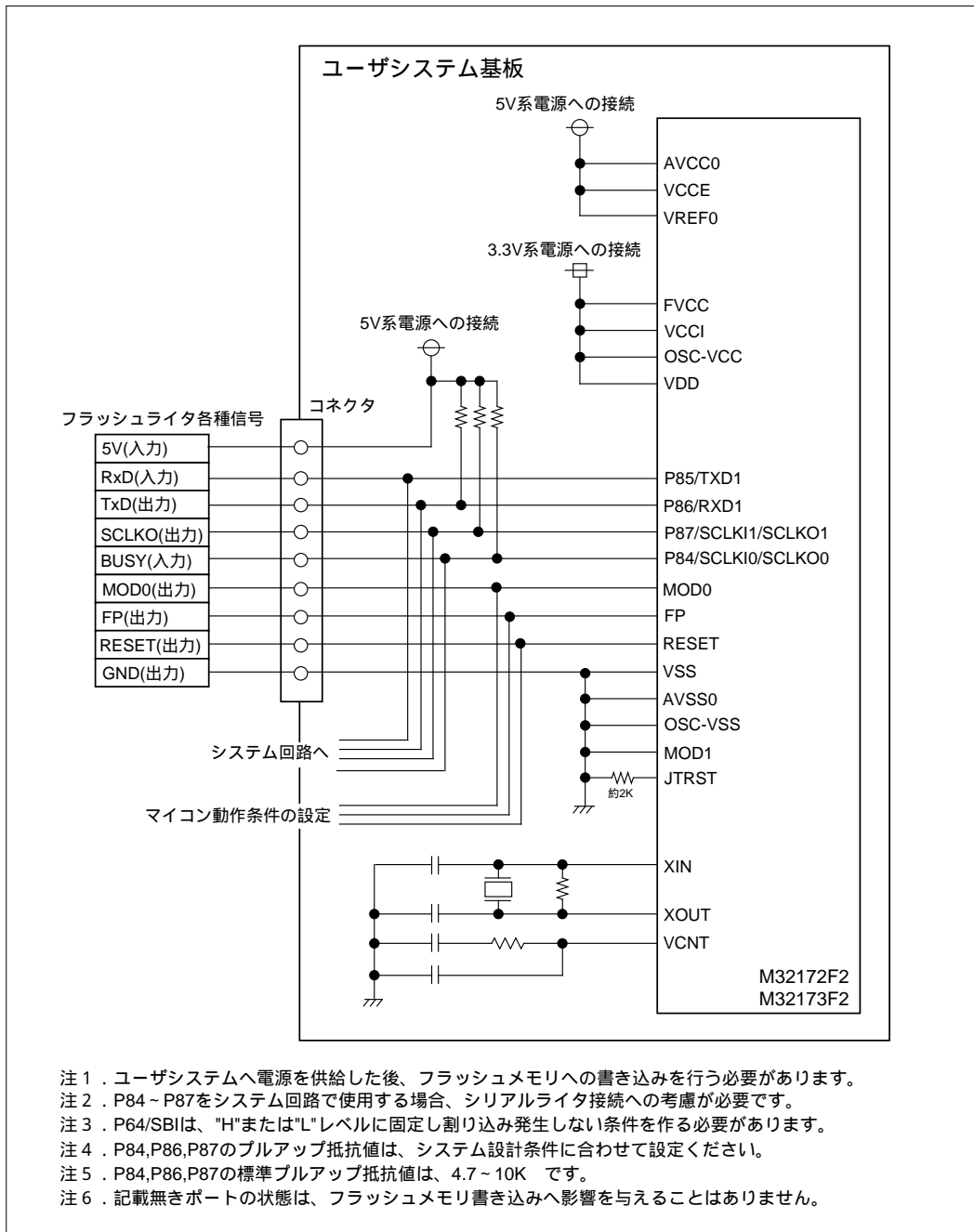


図6.8.1 32172の端子接続図

6.9 内蔵フラッシュメモリのプロテクト機能

32171の内蔵フラッシュメモリは、誤作動による書き換え、不正なコピーや書き換えを防ぐ、以下の4つのプロテクト機能を備えています。

(1) フラッシュメモリプロテクトID

汎用シリアルライター、エミュレータ等のフラッシュメモリを書き換えるツール使用時に、フラッシュメモリ内のIDと照合を行います。正しいIDを入力しないと書き換えを実行できません(一部ツールでは、全領域消去のみ実行可能です)。

(2) FP 端子によるプロテクト

FP(フラッシュプロテクト)端子を"L"レベルにすると、フラッシュメモリに対するE/Wがハードウェア的にプロテクトされます。また、フラッシュ書き込みプログラムで、フラッシュモードレジスタ(FMOD)内のFPMOD(外部FP端子ステータス)ビットを読み出すことによって、FP端子のレベルが判別できるため、ソフトウェア的にプロテクトすることもできます。外部端子設定によるプロテクトを要求されないシステムでは、FP端子を常に"H"レベルに設定することにより、フラッシュメモリ書き換え時の操作を簡略化することができます。

(3) FENTRY ビットによるプロテクト

フラッシュ制御レジスタ1(FCNT1)内のFENTRY(フラッシュモードエン트리)ビットを"1"に設定しないとフラッシュE/Wイネーブルモードに移行しません。また、FENTRYビットを"1"に設定するには、FP端子が"H"レベルの状態、連続して"0" "1"を書き込む必要があります。

(4) ロックビットによるプロテクト

フラッシュメモリのブロック単位に存在するロックビットを"0"にセットし、プロテクト状態にすると、該当するメモリブロックのE/Wが禁止されます。

6.10 フラッシュメモリ書き換え時の注意事項

ブートモード+フラッシュE/Wイネーブルモードで内蔵フラッシュメモリを書き換える場合の注意事項を以下に示します。

フラッシュメモリ書き換え時は、内部で高電圧が生成されています。チップ破壊の原因となり得ますので、書き換え中のモード移行などしないように、モード端子、電源管理を十分に行ってください。

汎用書き換えツールで使用する端子をシステムで使用する場合、ツール接続時に影響がないよう考慮が必要です。

汎用書き換えツール使用時にフラッシュメモリプロテクトが必要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)に任意のIDを設定してください。

汎用書き換えツール使用時にフラッシュメモリプロテクトが不要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)すべてにH'FFを設定してください。

フラッシュステータスレジスタ2(FSTAT2)の各エラーステータスのクリア(初期化H'80)に、フラッシュ制御レジスタ4(FCNT4)のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready) またはフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"でフラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"0"(Busy) またはフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"0"(プログラム/イレーズ中)場合、FENTRYビットのクリアは行わないでください。

第7章

リセット

- 7.1 リセット概要
- 7.2 リセット動作
- 7.3 リセット解除後の内部状態
- 7.4 リセット解除後の注意事項

7.1 リセット概要

RESET端子に"L"レベル信号を入力するとリセット状態に入ります。その後、RESET端子を"H"にするとリセット状態が解除され、PC(プログラムカウンタ)にリセットベクタエントリの番地がセットされ、以後リセットベクタエントリから実行を開始します。

7.2 リセット動作

7.2.1 電源投入時のリセット

電源投入時は、内蔵する4逓倍のクロックジェネレータの発振が安定するまで、RESET端子に"L"レベル信号を入力してください。

7.2.2 動作中のリセット

動作中のリセットは、XIN信号の4クロック以上の幅でRESET端子に"L"レベル信号を入力してください。

7.2.3 フラッシュ書き替え時のリセットベクタ移動

ブートモードにすると、リセットベクタエントリのアドレスはブートプログラム空間の先頭番地(H'8000 0000番地)に移動します。詳しくは6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

7.3 リセット解除後の内部状態

表7.3.1にリセット解除後の内部状態を示します。また、表7.3.2～表7.3.5にM32172F2VFPおよびM32173F2VFPのリセット時の各端子状態を、表7.3.6～表7.3.10にM32172F2VWGおよびM32173F2VWGのリセット時の各端子状態を示します

各内蔵周辺I/Oのレジスタ初期状態については、それぞれの内蔵周辺I/Oの章をご覧ください。

表7.3.1 リセット解除後の内部状態

レジスタ	リセット解除後の状態
PSW (CR0)	B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BCビット = 不定)
CBR (CR1)	H'0000 0000 (Cビット = 0)
SPI (CR2)	不定
SPU (CR3)	不定
BPC (CR6)	不定
PC	H'0000 0000 (H'0000 0000番地から実行) (注)
ACQ(アキュムレ - タ)	不定
RAM	パワーオンリセット時、不定 (ただし、VDD端子に2.0V～3.6V印加された状態でリセットし、リセット解除した場合、リセット前の内容を保持しています。)

注. ブートモード時は、ブートプログラム空間の先頭番地(H'8000 0000番地)になります。

リセット時に入力になっている端子はハイインピーダンス状態(Hi-z)となります。リセット時とはRESET端子に"L"レベルが入力されている期間(リセット中)とRESET端子を"L"レベルから"H"レベルに変化させたとき(リセット解除時)のことです。

表7.3.2 M32172F2VFPおよびM32173F2VFPのリセット時の端子状態一覧(1/4)

端子番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中の状態	リセット解除時の状態
1	P221/CRX0 (注)	P221	CRX0	-	-	入力		P221	入力	Hi-z	Hi-z
2	P225/A12/CS2	P225	A12	CS2	-	入出力	シングルチップモード時	P225	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A12	出力	Hi-z	不定
3	OSC-VSS	-	OSC-VSS	-	-	-		OSC-VSS	-	-	-
4	XIN	-	XIN	-	-	入力		XIN	入力	-	-
5	XOUT	-	XOUT	-	-	出力		XOUT	出力	XOUT	XOUT
6	OSC-VCC	-	OSC-VCC	-	-	-		OSC-VCC	-	-	-
7	VCNT	-	VCNT	-	-	-		VCNT	-	-	-
8	P30/A15	P30	A15	-	-	入出力	シングルチップモード時	P30	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A15	出力	Hi-z	不定
9	P31/A16	P31	A16	-	-	入出力	シングルチップモード時	P31	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A16	出力	Hi-z	不定
10	P32/A17	P32	A17	-	-	入出力	シングルチップモード時	P32	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A17	出力	Hi-z	不定
11	P33/A18	P33	A18	-	-	入出力	シングルチップモード時	P33	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A18	出力	Hi-z	不定
12	P34/A19	P34	A19	-	-	入出力	シングルチップモード時	P34	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A19	出力	Hi-z	不定
13	P35/A20	P35	A20	-	-	入出力	シングルチップモード時	P35	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A20	出力	Hi-z	不定
14	P36/A21	P36	A21	-	-	入出力	シングルチップモード時	P36	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A21	出力	Hi-z	不定
15	P37/A22	P37	A22	-	-	入出力	シングルチップモード時	P37	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A22	出力	Hi-z	不定
16	P20/A23	P20	A23	-	-	入出力	シングルチップモード時	P20	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A23	出力	Hi-z	不定
17	P21/A24	P21	A24	-	-	入出力	シングルチップモード時	P21	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A24	出力	Hi-z	不定
18	P22/A25	P22	A25	-	-	入出力	シングルチップモード時	P22	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A25	出力	Hi-z	不定
19	P23/A26	P23	A26	-	-	入出力	シングルチップモード時	P23	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A26	出力	Hi-z	不定
20	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
21	VSS	-	VSS	-	-	-		VSS	-	-	-
22	P24/A27	P24	A27	-	-	入出力	シングルチップモード時	P24	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A27	出力	Hi-z	不定
23	P25/A28	P25	A28	-	-	入出力	シングルチップモード時	P25	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A28	出力	Hi-z	不定
24	P26/A29	P26	A29	-	-	入出力	シングルチップモード時	P26	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A29	出力	Hi-z	不定
25	P27/A30	P27	A30	-	-	入出力	シングルチップモード時	P27	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	A30	出力	Hi-z	不定

注. P221はCAN0入力専用端子です。

表7.3.3 M32172F2VFPおよびM32173F2VFPのリセット時の端子状態一覧(2/4)

端子 番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解除 時の状態
26	P00/DB0	P00	DB0	-	-	入出力	シングルチップモード時	P00	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB0	入力	Hi-z	Hi-z
27	P01/DB1	P01	DB1	-	-	入出力	シングルチップモード時	P01	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB1	入力	Hi-z	Hi-z
28	P02/DB2	P02	DB2	-	-	入出力	シングルチップモード時	P02	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB2	入力	Hi-z	Hi-z
29	P03/DB3	P03	DB3	-	-	入出力	シングルチップモード時	P03	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB3	入力	Hi-z	Hi-z
30	P04/DB4	P04	DB4	-	-	入出力	シングルチップモード時	P04	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB4	入力	Hi-z	Hi-z
31	P05/DB5	P05	DB5	-	-	入出力	シングルチップモード時	P05	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB5	入力	Hi-z	Hi-z
32	P06/DB6	P06	DB6	-	-	入出力	シングルチップモード時	P06	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB6	入力	Hi-z	Hi-z
33	P07/DB7	P07	DB7	-	-	入出力	シングルチップモード時	P07	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB7	入力	Hi-z	Hi-z
34	P10/DB8	P10	DB8	-	-	入出力	シングルチップモード時	P10	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB8	入力	Hi-z	Hi-z
35	P11/DB9	P11	DB9	-	-	入出力	シングルチップモード時	P11	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB9	入力	Hi-z	Hi-z
36	P12/DB10	P12	DB10	-	-	入出力	シングルチップモード時	P12	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB10	入力	Hi-z	Hi-z
37	P13/DB11	P13	DB11	-	-	入出力	シングルチップモード時	P13	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB11	入力	Hi-z	Hi-z
38	P14/DB12	P14	DB12	-	-	入出力	シングルチップモード時	P14	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB12	入力	Hi-z	Hi-z
39	P15/DB13	P15	DB13	-	-	入出力	シングルチップモード時	P15	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB13	入力	Hi-z	Hi-z
40	P16/DB14	P16	DB14	-	-	入出力	シングルチップモード時	P16	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB14	入力	Hi-z	Hi-z
41	P17/DB15	P17	DB15	-	-	入出力	シングルチップモード時	P17	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB15	入力	Hi-z	Hi-z
42	VREF0	-	VREF0	-	-	-	VREF0	-	-	-	
43	AVCC0	-	AVCC0	-	-	-	AVCC0	-	-	-	
44	AD0IN0	-	AD0IN0	-	-	入力	AD0IN0	入力	Hi-z	Hi-z	
45	AD0IN1	-	AD0IN1	-	-	入力	AD0IN1	入力	Hi-z	Hi-z	
46	AD0IN2	-	AD0IN2	-	-	入力	AD0IN2	入力	Hi-z	Hi-z	
47	AD0IN3	-	AD0IN3	-	-	入力	AD0IN3	入力	Hi-z	Hi-z	
48	AD0IN4	-	AD0IN4	-	-	入力	AD0IN4	入力	Hi-z	Hi-z	
49	AD0IN5	-	AD0IN5	-	-	入力	AD0IN5	入力	Hi-z	Hi-z	
50	AD0IN6	-	AD0IN6	-	-	入力	AD0IN6	入力	Hi-z	Hi-z	
51	AD0IN7	-	AD0IN7	-	-	入力	AD0IN7	入力	Hi-z	Hi-z	
52	AD1IN0	-	AD1IN0	-	-	入力	AD1IN0	入力	Hi-z	Hi-z	
53	AD1IN1	-	AD1IN1	-	-	入力	AD1IN1	入力	Hi-z	Hi-z	
54	AD1IN2	-	AD1IN2	-	-	入力	AD1IN2	入力	Hi-z	Hi-z	
55	AD1IN3	-	AD1IN3	-	-	入力	AD1IN3	入力	Hi-z	Hi-z	
56	DA0/AD1IN4	-	DA0	AD1IN4	-	出力	DA0	出力	Hi-z	Hi-z	
57	DA1/AD1IN5	-	DA1	AD1IN5	-	出力	DA1	出力	Hi-z	Hi-z	
58	P172/TIN10/AD1IN6	P172	TIN10	AD1IN6	-	入力	P172	入力	Hi-z	Hi-z	

表7.3.4 M32172F2VFPおよびM32173F2VFPのリセット時の端子状態一覧(3/4)

端子 番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解除 時の状態
59	P173/TIN11/AD1IN7	P173	TIN11	AD1IN7	-	入力		P173	入力	Hi-z	Hi-z
60	AVSS0	-	AVSS0	-	-	-		AVSS0	-	-	-
61	VCCI	-	VCCI	-	-	-		VCCI	-	-	-
62	VSS	-	VSS	-	-	-		VSS	-	-	-
63	P174/TXD2	P174	TXD2	-	-	入出力		P174	入力	Hi-z	Hi-z
64	P175/RXD2	P175	RXD2	-	-	入出力		P175	入力	Hi-z	Hi-z
65	VCCE	-	VCCE	-	-	入出力		VCCE	-	-	-
66	P82/TXD0	P82	TXD0	-	-	入出力		P82	入力	Hi-z	Hi-z
67	P83/RXD0	P83	RXD0	-	-	入出力		P83	入力	Hi-z	Hi-z
68	P84/SCLKI0/SCLKO0	P84	SCLKI0	SCLKO0	-	入出力		P84	入力	Hi-z	Hi-z
69	P85/TXD1	P85	TXD1	-	-	入出力		P85	入力	Hi-z	Hi-z
70	P86/RXD1	P86	RXD1	-	-	入出力		P86	入力	Hi-z	Hi-z
71	P87/SCLKI1/SCLKO1	P87	SCLKI1	SCLKO1	-	入出力		P87	入力	Hi-z	Hi-z
72	VSS	-	VSS	-	-	-		VSS	-	-	-
73	FVCC	-	FVCC	-	-	-		FVCC	-	-	-
74	P61	P61	-	-	-	入出力		P61	入力	Hi-z	Hi-z
75	P62	P62	-	-	-	入出力		P62	入力	Hi-z	Hi-z
76	P63	P63	-	-	-	入出力		P63	入力	Hi-z	Hi-z
77	P64/SBI (注1)	P64	SBI	-	-	入力		SBI	入力	Hi-z	Hi-z
78	P70/BCLK/WR	P70	BCLK	WR	-	入出力		P70	入力	Hi-z	Hi-z
79	P71/WAIT	P71	WAIT	-	-	入出力		P71	入力	Hi-z	Hi-z
80	P72/HREQ	P72	HREQ	-	-	入出力		P72	入力	Hi-z	Hi-z
81	P73/HACK/TXD3	P73	HACK	TXD3	-	入出力		P73	入力	Hi-z	Hi-z
82	P74/RTDXTD	P74	RTDXTD	-	-	入出力		P74	入力	Hi-z	Hi-z
83	P75/RTDRXD	P75	RTDRXD	-	-	入出力		P75	入力	Hi-z	Hi-z
84	P76/RTDACK	P76	RTDACK	-	-	入出力		P76	入力	Hi-z	Hi-z
85	P77/RTDCLK	P77	RTDCLK	-	-	入出力		P77	入力	Hi-z	Hi-z
86	P93/RXD3/AD0IN8	P93	RXD3	AD0IN8	-	入力		P93	入力	Hi-z	Hi-z
87	P94/TXD6	P94	TXD6	-	-	入出力		P94	入力	Hi-z	Hi-z
88	P95/RXD6/AD1IN8	P95	RXD6	AD1IN8	-	入出力		P95	入力	Hi-z	Hi-z
89	P96/CTX1	P96	CTX1	-	-	入出力		P96	入力	Hi-z	Hi-z
90	P97/CRX1 (注1)	P97	CRX1	-	-	入力		P97	入力	Hi-z	Hi-z
91	RESET	-	RESET	-	-	入力		RESET	入力	Hi-z	Hi-z
92	MOD0	-	MOD0	-	-	入力		MOD0	入力	Hi-z	Hi-z
93	MOD1	-	MOD1	-	-	入力		MOD1	入力	Hi-z	Hi-z
94	FP	-	FP	-	-	入力		FP	入力	Hi-z	Hi-z
95	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
96	VSS	-	VSS	-	-	-		VSS	-	-	-
97	P110/TO0	P110	TO0	-	-	入出力		P110	入力	Hi-z	Hi-z
98	P111/TO1	P111	TO1	-	-	入出力		P111	入力	Hi-z	Hi-z
99	P112/TO2	P112	TO2	-	-	入出力		P112	入力	Hi-z	Hi-z
100	P113/TO3	P113	TO3	-	-	入出力		P113	入力	Hi-z	Hi-z
101	P114/TO4/SCLKI5	P114	TO4	SCLKI5	-	入出力		P114	入力	Hi-z	Hi-z
102	P115/TO5/SCLKO5	P115	TO5	SCLKO5	-	入出力		P115	入力	Hi-z	Hi-z
103	P116/TO6/TXD5	P116	TO6	TXD5	-	入出力		P116	入力	Hi-z	Hi-z
104	P117/TO7/RXD5	P117	TO7	RXD5	-	入出力		P117	入力	Hi-z	Hi-z
105	P100/TO8	P100	TO8	-	-	入出力		P100	入力	Hi-z	Hi-z
106	P101/TO9	P101	TO9	-	-	入出力		P101	入力	Hi-z	Hi-z
107	P102/TO10	P102	TO10	-	-	入出力		P102	入力	Hi-z	Hi-z
108	VDD	-	VDD	-	-	-		VDD	-	-	-
109	JTMS (注2)	-	JTMS	-	-	入力		JTMS	入力	Hi-z	Hi-z
110	JTCK (注2)	-	JTCK	-	-	入力		JTCK	入力	Hi-z	Hi-z
111	JTRST (注2)	-	JTRST	-	-	入力		JTRST	入力	Hi-z	Hi-z
112	JTDO (注2)	-	JTDO	-	-	出力		JTDO	出力	Hi-z	Hi-z
113	JTDI (注2)	-	JTDI	-	-	入力		JTDI	入力	Hi-z	Hi-z
114	P103/TO11	P103	TO11	-	-	入出力		P103	入力	Hi-z	Hi-z
115	P104/TO12/SCLKI4	P104	TO12	SCLKI4	-	入出力		P104	入力	Hi-z	Hi-z
116	P105/TO13/SCLKO4	P105	TO13	SCLKO4	-	入出力		P105	入力	Hi-z	Hi-z
117	P106/TO14/TXD4	P106	TO14	TXD4	-	入出力		P106	入力	Hi-z	Hi-z
118	P107/TO15/RXD4	P107	TO15	RXD4	-	入出力		P107	入力	Hi-z	Hi-z

注1. P64はSBI入力専用端子です。P97はCAN1入力専用端子です。

注2. JTCK端子, JTDI端子, JTDO端子, JTMS端子はRESET端子によってリセットされるのではなく、JTRST端子によってリセットされます。JTRST端子に"L"レベルが入力されている場合、JTCK端子, JTDI端子, JTDO端子, JTMS端子はハイインピーダンス状態です。

表7.3.5 M32172F2VFPおよびM32173F2VFPのリセット時の端子状態一覧(4/4)

端子 番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解除 時の状態
119	P124/TIN0A/AD0IN9	P124	TIN0A	AD0IN9	-	入力		P124	入力	Hi-z	Hi-z
120	P125/TIN0B/AD1IN9	P125	TIN0B	AD1IN9	-	入力		P125	入力	Hi-z	Hi-z
121	P126/TIN1A/AD0IN10	P126	TIN1A	AD0IN10	-	入力		P126	入力	Hi-z	Hi-z
122	P127/TIN1B/AD1IN10	P127	TIN1B	AD1IN10	-	入力		P127	入力	Hi-z	Hi-z
123	VCCI	-	VCCI	-	-	-		VCCI	-	-	-
124	P130/TIN16/PWMOFF0/AD0IN11	P130	TIN16	PWMOFF0	AD0IN11	入力		P130	入力	Hi-z	Hi-z
125	P131/TIN17/PWMOFF1/AD1IN11	P131	TIN17	PWMOFF1	AD1IN11	入力		P131	入力	Hi-z	Hi-z
126	P132/TIN18/AD0IN12	P132	TIN18	AD0IN12	-	入力		P132	入力	Hi-z	Hi-z
127	P133/TIN19/AD1IN12	P133	TIN19	AD1IN12	-	入力		P133	入力	Hi-z	Hi-z
128	P134/TIN20/AD0IN13	P134	TIN20	AD0IN13	-	入力		P134	入力	Hi-z	Hi-z
129	P135/TIN21/AD1IN13	P135	TIN21	AD1IN13	-	入力		P135	入力	Hi-z	Hi-z
130	P136/TIN22/AD0IN14	P136	TIN22	AD0IN14	-	入力		P136	入力	Hi-z	Hi-z
131	P137/TIN23/AD1IN14	P137	TIN23	AD1IN14	-	入力		P137	入力	Hi-z	Hi-z
132	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
133	P150/TIN8/TXD7/AD0IN15	P150	TIN8	TXD7	AD0IN15	入出力		P150	入力	Hi-z	Hi-z
134	P153/TIN9/RXD7/AD1IN15	P153	TIN9	RXD7	AD1IN15	入出力		P153	入力	Hi-z	Hi-z
135	P41/BLW/BL \bar{E}	P41	BLW	BL \bar{E}	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P41	入力	Hi-z	Hi-z
136	P42/BHW/BH \bar{E}	P42	BHW	BH \bar{E}	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P42	出力	Hi-z	"H"レベル
137	VCCI	-	VCCI	-	-	-		VCCI	-	-	-
138	VSS	-	VSS	-	-	-		VSS	-	-	-
139	P43/RD	P43	R \bar{D}	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P43	出力	Hi-z	Hi-z
140	P44/CS0	P44	CS0	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P44	出力	Hi-z	"H"レベル
141	P45/CS1	P45	CS1	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P45	出力	Hi-z	"H"レベル
142	P46/A13/CS3	P46	A13	CS3	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P46	出力	Hi-z	不定
143	P47/A14	P47	A14	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P47	出力	Hi-z	不定
144	P220/CTX0	P220	CTX0	-	-	入出力		P220	入力	Hi-z	Hi-z

表7.3.6 M32172F2VWGおよびM32173F2VWGのリセット時の端子状態一覧(1/5)

端子番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中の状態	リセット解除時の状態
A2	P45/ $\overline{\text{CS1}}$	P45	$\overline{\text{CS1}}$	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P45 $\overline{\text{CS1}}$	入力 出力	Hi-z Hi-z	Hi-z "H"レベル
A3	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
A4	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
A5	VCCI	-	VCCI	-	-	-		VCCI	-	-	-
A6	P150/TIN8/TXD7/AD0IN15	P150	TIN8	TXD7	AD0IN15	入出力		P150	入力	Hi-z	Hi-z
A7	P135/TIN21/AD1IN13	P135	TIN21	AD1IN13	-	入力		P135	入力	Hi-z	Hi-z
A8	P131/TIN17/PWMOFF1/AD1IN11	P131	TIN17	PWMOFF1	AD1IN11	入力		P131	入力	Hi-z	Hi-z
A9	EVENT1	-	EVENT1	-	-	出力		EVENT1	出力	"L"レベル	"L"レベル
A10	$\overline{\text{DBI}}$	-	$\overline{\text{DBI}}$	-	-	入力		$\overline{\text{DBI}}$	入力	Hi-z	Hi-z
A11	P106/TO14/TXD4	P106	TO14	TXD4	-	入出力		P106	入力	Hi-z	Hi-z
A12	P103/TO11	P103	TO11	-	-	入出力		P103	入力	Hi-z	Hi-z
A13	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
A14	JTDO (注1)	-	JTDO	-	-	出力		JTDO	出力	Hi-z	Hi-z
A15	JTRST (注1)	-	JTRST	-	-	入力		JTRST	入力	Hi-z	Hi-z
B1	P46/A13/ $\overline{\text{CS3}}$	P46	A13	$\overline{\text{CS3}}$	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P46 A13	入力 出力	Hi-z Hi-z	Hi-z 不定
B2	P47/A14	P47	A14	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P47 A14	入力 出力	Hi-z Hi-z	Hi-z 不定
B3	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
B4	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
B5	VSS	-	VSS	-	-	-		VSS	-	-	-
B6	P153/TIN9/RXD7/AD1IN15	P153	TIN9	RXD7	AD1IN15	入出力		P153	入力	Hi-z	Hi-z
B7	P136/TIN22/AD0IN14	P136	TIN22	AD0IN14	-	入力		P136	入力	Hi-z	Hi-z
B8	P132/TIN18/AD0IN12	P132	TIN18	AD0IN12	-	入力		P132	入力	Hi-z	Hi-z
B9	P127/TIN1B/AD1IN10	P127	TIN1B	AD1IN10	-	入力		P127	入力	Hi-z	Hi-z
B10	P125/TIN0B/AD1IN9	P125	TIN0B	AD1IN9	-	入力		P125	入力	Hi-z	Hi-z
B11	P105/TO13/SCLK04	P105	TO13	SCLK04	-	入出力		P105	入力	Hi-z	Hi-z
B12	JTDI (注1)	-	JTDI	-	-	入力		JTDI	入力	Hi-z	Hi-z
B13	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
B14	JTMS (注1)	-	JTMS	-	-	入力		JTMS	入力	Hi-z	Hi-z
B15	JTCK (注1)	-	JTCK	-	-	入力		JTCK	入力	Hi-z	Hi-z
C1	P221/CRX0 (注2)	P221	CRX0	-	-	入力		P221	入力	Hi-z	Hi-z
C2	P220/CTX0	P220	CTX0	-	-	入出力		P220	入力	Hi-z	Hi-z
C3	P44/ $\overline{\text{CS0}}$	P44	$\overline{\text{CS0}}$	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P44 $\overline{\text{CS0}}$	入力 出力	Hi-z Hi-z	Hi-z "H"レベル
C4	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
C5	P43/ $\overline{\text{RD}}$	P43	$\overline{\text{RD}}$	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P43 $\overline{\text{RD}}$	入力 出力	Hi-z Hi-z	Hi-z "H"レベル
C6	P41/ $\overline{\text{BLW}}$ / $\overline{\text{BLE}}$	P41	$\overline{\text{BLW}}$	$\overline{\text{BLE}}$	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P41 $\overline{\text{BLW}}$	入力 出力	Hi-z Hi-z	Hi-z "H"レベル
C7	P137/TIN23/AD1IN14	P137	TIN23	AD1IN14	-	入力		P137	入力	Hi-z	Hi-z
C8	P133/TIN19/AD1IN12	P133	TIN19	AD1IN12	-	入力		P133	入力	Hi-z	Hi-z
C9	EVENT0	-	EVENT0	-	-	出力		EVENT0	出力	"L"レベル	"L"レベル
C10	P124/TIN0A/AD0IN9	P124	TIN0A	AD0IN9	-	入力		P124	入力	Hi-z	Hi-z
C11	P104/TO12/SCLK14	P104	TO12	SCLK14	-	入出力		P104	入力	Hi-z	Hi-z
C12	N.C.	-	N.C.	-	-	-		N.C.	-	-	-

注1. JTCK端子, JTDI端子, JTDO端子, JTMS端子はRESET端子によってリセットされるのではなく, JTRST端子によってリセットされます。JTRST端子に"L"レベルが入力されている場合, JTCK端子, JTDI端子, JTDO端子, JTMS端子はハイインピーダンス状態です。

注2. P221はCAN0入力専用端子です。

表7.3.7 M32172F2VWGおよびM32173F2VWGのリセット時の端子状態一覧(2/5)

端子 番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解除 時の状態
C13	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
C14	VDD	-	VDD	-	-	-		VDD	入力	Hi-z	Hi-z
C15	P102/TO10	P102	TO10	-	-	入出力		P102	入力	Hi-z	Hi-z
D1	XIN	-	XIN	-	-	入力		XIN	入力	-	-
D2	OSC-VSS	-	OSC-VSS	-	-	-		OSC-VSS	-	-	-
D3	P225/A12/ $\overline{CS2}$	P225	A12	$\overline{CS2}$	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P225 A12	入力 出力	Hi-z Hi-z	Hi-z 不定
D4	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
D5	P42/ \overline{BHW} / \overline{BHE}	P42	\overline{BHW}	\overline{BHE}	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P42 \overline{BHW}	入力 出力	Hi-z Hi-z	Hi-z "H"レベル
D6	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
D7	P134/TIN20/AD0IN13	P134	TIN20	AD0IN13	-	入力		P134	入力	Hi-z	Hi-z
D8	P130/TIN16/PWMOFF0/AD0IN11	P130	TIN16	PWMOFF0	AD0IN11	入力		P130	入力	Hi-z	Hi-z
D9	VCCI	-	VCCI	-	-	-		VCCI	-	-	-
D10	P126/TIN1A/AD0IN10	P126	TIN1A	AD0IN10	-	入力		P126	入力	Hi-z	Hi-z
D11	P107/TO15/RXD4	P107	TO15	RXD4	-	入出力		P107	入力	Hi-z	Hi-z
D12	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
D13	P101/TO9	P101	TO9	-	-	入出力		P101	入力	Hi-z	Hi-z
D14	P100/TO8	P100	TO8	-	-	入出力		P100	入力	Hi-z	Hi-z
D15	P117/TO7/RXD5	P117	TO7	RXD5	-	入出力		P117	入力	Hi-z	Hi-z
E1	VCNT	-	VCNT	-	-	-		VCNT	-	-	-
E2	OSC-VCC	-	OSC-VCC	-	-	-		OSC-VCC	-	-	-
E3	XOUT	-	XOUT	-	-	出力		XOUT	出力	XOUT	XOUT
E4	P30/A15	P30	A15	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P30 A15	入力 出力	Hi-z Hi-z	Hi-z 不定
E12	P113/TO3	P113	TO3	-	-	入出力		P113	入力	Hi-z	Hi-z
E13	P116/TO6/TXD5	P116	TO6	TXD5	-	入出力		P116	入力	Hi-z	Hi-z
E14	P115/TO5/SCLK05	P115	TO5	SCLK05	-	入出力		P115	入力	Hi-z	Hi-z
E15	P114/TO4/SCLK15	P114	TO4	SCLK15	-	入出力		P114	入力	Hi-z	Hi-z
F1	P33/A18	P33	A18	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P33 A18	入力 出力	Hi-z Hi-z	Hi-z 不定
F2	P32/A17	P32	A17	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P32 A17	入力 出力	Hi-z Hi-z	Hi-z 不定
F3	P31/A16	P31	A16	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P31 A16	入力 出力	Hi-z Hi-z	Hi-z 不定
F4	P34/A19	P34	A19	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P34 A19	入力 出力	Hi-z Hi-z	Hi-z 不定
F12	VSS	-	VSS	-	-	-		VSS	-	-	-
F13	P112/TO2	P112	TO2	-	-	入出力		P112	入力	Hi-z	Hi-z
F14	P111/TO1	P111	TO1	-	-	入出力		P111	入力	Hi-z	Hi-z
F15	P110/TO0	P110	TO0	-	-	入出力		P110	入力	Hi-z	Hi-z
G1	P36/A21	P36	A21	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P36 A21	入力 出力	Hi-z Hi-z	Hi-z 不定
G2	TRCLK	-	TRCLK	-	-	出力		TRCLK	出力	"L"レベル	"L"レベル
G3	P35/A20	P35	A20	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P35 A20	入力 出力	Hi-z Hi-z	Hi-z 不定
G4	P37/A22	P37	A22	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P37 A22	入力 出力	Hi-z Hi-z	Hi-z 不定
G12	TRDATA7	-	TRDATA7	-	-	出力		TRDATA7	出力	不定	不定
G13	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
G14	FP	-	FP	-	-	入力		FP	入力	Hi-z	Hi-z
G15	MOD1	-	MOD1	-	-	入力		MOD1	入力	Hi-z	Hi-z

表7.3.8 M32172F2VWGおよびM32173F2VWGのリセット時の端子状態一覧(3/5)

端子番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中の状態	リセット解除時の状態
H1	P22/A25	P22	A25	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P22	入力	Hi-z	Hi-z
H2	P21/A24	P21	A24	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P21	入力	Hi-z	Hi-z
H3	P20/A23	P20	A23	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P20	入力	Hi-z	Hi-z
H4	P23/A26	P23	A26	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P23	入力	Hi-z	Hi-z
H12	P97/CRX1 (注)	P97	CRX1	-	-	入力		P97	入力	Hi-z	Hi-z
H13	MOD0	-	MOD0	-	-	入力		MOD0	入力	Hi-z	Hi-z
H14	RESET	-	RESET	-	-	入力		RESET	入力	Hi-z	Hi-z
H15	TRDATA6	-	TRDATA6	-	-	出力		TRDATA6	出力	不定	不定
J1	VSS	-	VSS	-	-	-		VSS	-	-	-
J2	TRSYNC	-	TRSYNC	-	-	出力		TRSYNC	出力	"H"レベル	"H"レベル
J3	P24/A27	P24	A27	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P24	入力	Hi-z	Hi-z
J4	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
J12	P96/CTX1	P96	CTX1	-	-	入出力		P96	入力	Hi-z	Hi-z
J13	P94/TXD6	P94	TXD6	-	-	入出力		P94	入力	Hi-z	Hi-z
J14	P95/RXD6/AD1IN8	P95	RXD6	AD1IN8	-	入出力		P95	入力	Hi-z	Hi-z
J15	TRDATA5	-	TRDATA5	-	-	出力		TRDATA5	出力	不定	不定
K1	P26/A29	P26	A29	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P26	入力	Hi-z	Hi-z
K2	P27/A30	P27	A30	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P27	入力	Hi-z	Hi-z
K3	P00/DB0	P00	DB0	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P00	入力	Hi-z	Hi-z
K4	P25/A28	P25	A28	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P25	入力	Hi-z	Hi-z
K12	TRDATA4	-	TRDATA4	-	-	出力		TRDATA4	出力	不定	不定
K13	P76/RTDACK	P76	RTDACK	-	-	入出力		P76	入力	Hi-z	Hi-z
K14	P77/RTDCLK	P77	RTDCLK	-	-	入出力		P77	入力	Hi-z	Hi-z
K15	P93/RXD3/AD0IN8	P93	RXD3	AD0IN8	-	入力		P93	入力	Hi-z	Hi-z
L1	P02/DB2	P02	DB2	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P02	入力	Hi-z	Hi-z
L2	P03/DB3	P03	DB3	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P03	入力	Hi-z	Hi-z
L3	P04/DB4	P04	DB4	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P04	入力	Hi-z	Hi-z
L4	P01/DB1	P01	DB1	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P01	入力	Hi-z	Hi-z
L12	P75/RTDRXD	P75	RTDRXD	-	-	入出力		P75	入力	Hi-z	Hi-z
L13	P72/HREQ	P72	HREQ	-	-	入出力		P72	入力	Hi-z	Hi-z
L14	P73/HACK/TXD3	P73	HACK	TXD3	-	入出力		P73	入力	Hi-z	Hi-z
L15	P74/RTDXTD	P74	RTDXTD	-	-	入出力		P74	入力	Hi-z	Hi-z
M1	P05/DB5	P05	DB5	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P05	入力	Hi-z	Hi-z
M2	P06/DB6	P06	DB6	-	-	入出力	シングルチップモード時 外部拡張モード時 及びプロセッサモード時	P06	入力	Hi-z	Hi-z

注. P97はCAN1入力専用端子です。

表7.3.9 M32172F2VWGおよびM32173F2VWGのリセット時の端子状態一覧(4/5)

端子 番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解除 時の状態
M3	P07/DB7	P07	DB7	-	-	入出力	シングルチップモード時	P07	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB7	入力	Hi-z	Hi-z
M4	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
M5	AD0IN2	-	AD0IN2	-	-	入力		AD0IN2	入力	Hi-z	Hi-z
M6	AD0IN6	-	AD0IN6	-	-	入力		AD0IN6	入力	Hi-z	Hi-z
M7	AD1IN2	-	AD1IN2	-	-	入力		AD1IN2	入力	Hi-z	Hi-z
M8	P172/TIN10/AD1IN6	P172	TIN10	AD1IN6	-	入力		P172	入力	Hi-z	Hi-z
M9	P173/TIN11/AD1IN7	P173	TIN11	AD1IN7	-	入力		P173	入力	Hi-z	Hi-z
M10	TRDATA0	-	TRDATA0	-	-	出力		TRDATA0	出力	不定	不定
M11	P174/TXD2	P174	TXD2	-	-	入出力		P174	入力	Hi-z	Hi-z
M12	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
M13	P64/SBI (注)	P64	SBI	-	-	入力		SBI	入力	Hi-z	Hi-z
M14	P70/BCLK/WR	P70	BCLK	WR	-	入出力		P70	入力	Hi-z	Hi-z
M15	P71/WAIT	P71	WAIT	-	-	入出力		P71	入力	Hi-z	Hi-z
N1	P10/DB8	P10	DB8	-	-	入出力	シングルチップモード時	P10	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB8	入力	Hi-z	Hi-z
N2	P11/DB9	P11	DB9	-	-	入出力	シングルチップモード時	P11	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB9	入力	Hi-z	Hi-z
N3	P16/DB14	P16	DB14	-	-	入出力	シングルチップモード時	P16	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB14	入力	Hi-z	Hi-z
N4	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
N5	AVCC0	-	AVCC0	-	-	-		AVCC0	-	-	-
N6	AD0IN3	-	AD0IN3	-	-	入力		AD0IN3	入力	Hi-z	Hi-z
N7	AD0IN7	-	AD0IN7	-	-	入力		AD0IN7	入力	Hi-z	Hi-z
N8	AD1IN3	-	AD1IN3	-	-	入力		AD1IN3	入力	Hi-z	Hi-z
N9	VSS	-	VSS	-	-	-		VSS	-	-	-
N10	TRDATA3	-	TRDATA3	-	-	出力		TRDATA3	出力	不定	不定
N11	P82/TXD0	P82	TXD0	-	-	入出力		P82	入力	Hi-z	Hi-z
N12	P85/TXD1	P85	TXD1	-	-	入出力		P85	入力	Hi-z	Hi-z
N13	P87/SCLK1/SCLK01	P87	SCLK1	SCLK01	-	入出力		P87	入力	Hi-z	Hi-z
N14	P62	P62	-	-	-	入出力		P62	入力	Hi-z	Hi-z
N15	P63	P63	-	-	-	入出力		P63	入力	Hi-z	Hi-z
P1	P13/DB11	P13	DB11	-	-	入出力	シングルチップモード時	P13	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB11	入力	Hi-z	Hi-z
P2	P12/DB10	P12	DB10	-	-	入出力	シングルチップモード時	P12	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB10	入力	Hi-z	Hi-z
P3	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
P4	P17/DB15	P17	DB15	-	-	入出力	シングルチップモード時	P17	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB15	入力	Hi-z	Hi-z
P5	AD0IN0	-	AD0IN0	-	-	入力		AD0IN0	入力	Hi-z	Hi-z
P6	AD0IN4	-	AD0IN4	-	-	入力		AD0IN4	入力	Hi-z	Hi-z
P7	AD1IN0	-	AD1IN0	-	-	入力		AD1IN0	入力	Hi-z	Hi-z
P8	DA0/AD1IN14	-	DA0	AD1IN14	-	出力		DA0	出力	不定	不定
P9	VCCI	-	VCCI	-	-	-		VCCI	-	-	-
P10	TRDATA2	-	TRDATA2	-	-	出力		TRDATA2	出力	不定	不定
P11	VCCE	-	VCCE	-	-	-		VCCE	-	-	-
P12	P84/SCLK0/SCLK00	P84	SCLK0	SCLK00	-	入出力		P84	入力	Hi-z	Hi-z
P13	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
P14	P61	P61	-	-	-	入出力		P61	入力	Hi-z	Hi-z
P15	FVCC	-	FVCC	-	-	-		FVCC	-	-	-
R1	P14/DB12	P14	DB12	-	-	入出力	シングルチップモード時	P14	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB12	入力	Hi-z	Hi-z

注. P64はSBI入力専用端子です。

表7.3.10 M32172F2VWGおよびM32173F2VWGのリセット時の端子状態一覧(5/5)

端子 番号	端子名	機能				入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解除 時の状態
R2	P15/DB13	P15	DB13	-	-	入出力	シングルチップモード時	P15	入力	Hi-z	Hi-z
							外部拡張モード時 及びプロセッサモード時	DB13	入力	Hi-z	Hi-z
R3	N.C.	-	N.C.	-	-	-		N.C.	-	-	-
R4	VREF0	-	VREF0	-	-	-		VREF0	-	-	-
R5	AD0IN1	-	AD0IN1	-	-	入力		AD0IN1	入力	Hi-z	Hi-z
R6	AD0IN5	-	AD0IN5	-	-	入力		AD0IN5	入力	Hi-z	Hi-z
R7	AD1IN1	-	AD1IN1	-	-	入力		AD1IN1	入力	Hi-z	Hi-z
R8	DA1/AD1IN15	-	DA1	AD1IN15	-	出力		DA1	出力	Hi-z	Hi-z
R9	AVSS0	-	AVSS0	-	-	-		AVSS0	-	-	-
R10	TRDATA1	-	TRDATA1	-	-	出力		TRDATA1	出力	不定	不定
R11	P175/RXD2	P175	RXD2	-	-	入出力		P175	入力	Hi-z	Hi-z
R12	P83/RXD0	P83	RXD0	-	-	入出力		P83	入力	Hi-z	Hi-z
R13	P86/RXD1	P86	RXD1	-	-	入出力		P86	入力	Hi-z	Hi-z
R14	VSS	-	VSS	-	-	入出力		VSS	-	-	-
R15	N.C.	-	N.C.	-	-	-		N.C.	-	-	-

7.4 リセット解除後の注意事項

入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力機能許可レジスタ(PIEN)のPIEN0で入力許可に設定してください。詳しくは、8.3「入出力ポート関連レジスタ」をご覧ください。

空きページです

第 8 章

入出力ポートと端子機能

- 8.1 入出力ポート概要
- 8.2 端子機能の選択
- 8.3 入出力ポート関連レジスタ
- 8.4 ポート周辺回路
- 8.5 入出力ポートの注意事項

8.1 入出力ポート概要

32172/32173は、P0～P13、P15、P17、およびP22(ただしP5は将来のために予約)の計99本の入出力ポートを備えています。

入出力ポートは、方向レジスタにより入力ポートまたは出力ポートとして使用できます。

各入出力ポートは、他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクションあるいはトリプルファンクション端子になっており、チップの動作モード選択、または入出力ポートの動作モードレジスタで端子機能を選択します(内蔵周辺I/Oがさらに複数の機能を持つ場合は、各内蔵周辺I/Oのレジスタ設定が必要です)。

各入力ポートは、入力ポートの貫通電流対策に使用可能なポート入力機能許可ビットを内蔵しており、リセット直後及びフラッシュ書き換え時のソフトウェア及びハードウェア処理を簡素化できます。

なお、ポートを入力モードで使用する場合には、ポート入力機能許可ビットの設定が必要です。

次ページに入出力ポートの概要を示します。

表8.1.1 入出力ポートの概要

項目	仕様
ポート数(注1)	合計99本 P0 : P00~P07 (8本) P1 : P10~P17 (8本) P2 : P20~P27 (8本) P3 : P30~P37 (8本) P4 : P41~P47 (7本) P6 : P61~P64 (4本) P7 : P70~P77 (8本) P8 : P82~P87 (6本) P9 : P93~P97 (5本) P10 : P100~P107 (8本) P11 : P110~P117 (8本) P12 : P124~P127 (4本) P13 : P130~P137 (8本) P15 : P150, P153 (2本) P17 : P172~P175 (4本) P22 : P220, P221, P225, (3本)
ポート機能	入出力ポートの方向制御レジスタにより、各ポート単位で入力ポートまたは出力ポートに設定可能(ただし、P64はSBI入力専用ポート、P97はCAN1入力専用ポート、P93、P124~P127、P130~P137、P172、P173は入力専用ポート、およびP221はCAN0入力専用ポート)
端子機能	周辺I/Oまたは外部拡張信号とのダブルファンクション(または周辺I/Oの複数機能との多重ファンクション)
端子機能	P0~P4(注2)、P225 : CPU動作モード設定(MOD0, MOD1端子)による
切り替え	P6(注3)~P22 : 入出力ポートの動作モードレジスタ設定による (ただし周辺I/Oの端子機能は周辺I/Oのレジスタで選択)

注1. P14、P16、P18~P21はありません。

注2. P0~P4(ただし、P46は除く)は、CPU動作モードが外部拡張モードの場合のみ動作モードレジスタの設定で端子機能が切り替わります(CPU動作モードがシングルチップモードおよびプロセッサモードの場合は、CPU動作モードの設定で端子機能が切り替わります)。

注3. P61~P63は常に入出力ポート(シングルファンクション端子)です。

8.2 端子機能の選択

各入出力ポートは他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクション(または周辺I/Oの複数機能とのトリプルファンクション)になっており、動作モードの設定、または入出力ポートの動作モードレジスタで機能を選択します。

P0～P4、P225は、CPUの動作モードを外部拡張モードおよびプロセッサモードに設定した場合、外部アクセスのための信号端子に切り替わります。動作モードはMOD0、MOD1端子の設定で決まります(下表参照)。

表8.2.1 CPU動作モードとP0～P4、P225端子機能

MOD0(注1)	MOD1(注1)	動作モード	P0～P4端子機能(P46は除く)	P46,P225端子機能
VSS	VSS	シングルチップモード	入出力ポート端子	入出力ポート端子
VSS	VCCE	外部拡張モード	外部拡張信号端子、または 入出力ポート端子(注2)	外部拡張信号端子
VCCE	VSS	プロセッサモード	外部拡張信号端子	外部拡張信号端子
VCCE	VCCE	Reserved(使用禁止)	-	-

注1. VCCE = +5Vまたは+3.3V, VSS = GNDに接続。

注2. P0～P4(ただし、P46は除く)は、外部拡張モードの場合のみ動作モードレジスタの設定により端子機能が切り替わります。

P0～P4(P46は除く)は外部拡張モードの場合のみ、入出力ポートの動作モードレジスタの設定で、入出力ポート端子と内蔵周辺I/Oの端子に機能が切り替わります。P6～P13、P15、P17、P22(P61～P64、P97、P221、およびP225は除く)は入出力ポートの動作モードレジスタの設定で、入出力ポート端子と内蔵周辺I/Oの端子に機能が切り替わります。なお、内蔵周辺I/Oが複数の端子機能を備える場合は、それぞれの内蔵周辺I/Oのレジスタで端子機能を選択してください。

なお、内蔵フラッシュメモリ書き込み時の、FP端子とMOD1端子の操作は、端子機能には影響を与えません。

	0	1	2	3	4	5	6	7
P0	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
P1	DB8	DB9	DB10	DB11	DB12	DB13	DB14	DB15
P2	A23	A24	A25	A26	A27	A28	A29	A30
P3	A15	A16	A17	A18	A19	A20	A21	A22
P4		BLW / BLE	BHW / BHE	RD	CS0	CS1	A13 / CS3	A14
(予約)								
P5								
P6		(P61)	(P62)	(P63)	SBI			
P7	BCLK / WR	WAIT	HREQ	HACK / TXD3	RTD TXD	RTD RXD	RTD ACK	RTD CLK
P8	(MOD0)	(MOD1)	TXD0	RXD0	SCLK0 / SCLKO0	TXD1	RXD1	SCLK1 / SCLKO1
P9				RXD3 (/AD0IN8)	TXD6	RXD6 (/AD1IN8)	CTX1	CRX1
P10	TO8	TO9	TO10	TO11	TO12 / SCLK14	TO13 / SCLKO4	TO14 / TXD4	TO15 / RXD4
P11	TO0	TO1	TO2	TO3	TO4 / SCLK15	TO5 / SCLKO5	TO6 / TXD5	TO7 / RXD5
P12					TIN0A (/AD0IN9)	TIN0B (/AD1IN9)	TIN1A (/AD0IN10)	TIN1B (/AD1IN10)
P13	TIN16 / PWMOFF0 (/AD0IN11)	TIN17 / PWMOFF1 (/AD1IN11)	TIN18 (/AD0IN12)	TIN19 (/AD1IN12)	TIN20 (/AD0IN13)	TIN21 (/AD1IN13)	TIN22 (/AD0IN14)	TIN23 (/AD1IN14)
P14								
P15	TIN8 / TXD7 (/AD0IN15)			TIN9 / RXD7 (/AD1IN15)				
P16								
P17			TIN10 (/AD1IN6)	TIN11 (/AD1IN7)	TXD2	RXD2		
P18								
P19								
P20								
P21								
P22	CTX0	CRX0				A12 / CS2 (注3)		

チップ動作モード設定(注1)
入出力ポート動作モードレジスタ設定(注2)

入出力ポート動作モードレジスタ設定

注1. MOD0, MOD1端子の設定により、端子機能が切り替わります。
 注2. P0～P4(ただし、P46は除く)は、外部拡張モードの場合のみ、動作モードレジスタの設定により端子機能が切り替わります。
 注3. MOD0, MOD1端子の設定により、端子機能が切り替わります。また、デバッグイベント機能がありますので使用上ご注意ください。

図8.2.1 入出力ポートと端子機能の割り当て

8.3 入出力ポート関連レジスタ

入出力ポート関連のレジスタには、ポートデータレジスタ、ポート方向レジスタ、ポート動作モードレジスタ、ポート周辺出力選択レジスタがあります。P0～P4、P225は、CPUの動作モード設定(FP, MOD0, MOD1端子)で端子機能がきまります。

なお、P5は将来のために予約されています。以下に入出力ポート関連のレジスタマップを示します。

注. P0～P4(P46は除く)のポートは、CPU動作モードがシングルチップモード、またはプロセッサモードの場合のみ端子機能がきまります。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0700	P0データレジスタ (P0DATA)		P1データレジスタ (P1DATA)			
H'0080 0702	P2データレジスタ (P2DATA)		P3データレジスタ (P3DATA)			
H'0080 0704	P4データレジスタ (P4DATA)					
H'0080 0706	P6データレジスタ (P6DATA)		P7データレジスタ (P7DATA)			
H'0080 0708	P8データレジスタ (P8DATA)		P9データレジスタ (P9DATA)			
H'0080 070A	P10データレジスタ (P10DATA)		P11データレジスタ (P11DATA)			
H'0080 070C	P12データレジスタ (P12DATA)		P13データレジスタ (P13DATA)			
H'0080 070E			P15データレジスタ (P15DATA)			
H'0080 0710			P17データレジスタ (P17DATA)			
H'0080 0712						
H'0080 0714						
H'0080 0716	P22データレジスタ (P22DATA)					
	≈		≈			
H'0080 0720	P0方向レジスタ (P0DIR)		P1方向レジスタ (P1DIR)			
H'0080 0722	P2方向レジスタ (P2DIR)		P3方向レジスタ (P3DIR)			
H'0080 0724	P4方向レジスタ (P4DIR)					
H'0080 0726	P6方向レジスタ (P6DIR)		P7方向レジスタ (P7DIR)			
H'0080 0728	P8方向レジスタ (P8DIR)		P9方向レジスタ (P9DIR)			
H'0080 072A	P10方向レジスタ (P10DIR)		P11方向レジスタ (P11DIR)			
H'0080 072C						
H'0080 072E			P15方向レジスタ (P15DIR)			
H'0080 0730			P17方向レジスタ (P17DIR)			
H'0080 0732						
H'0080 0734						
H'0080 0736	P22方向レジスタ (P22DIR)					

空き領域は予約領域です。

図8.3.1 入出力ポート関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0740	P0動作モードレジスタ (P0MOD)			P1動作モードレジスタ (P1MOD)		
H'0080 0742	P2動作モードレジスタ (P2MOD)			P3動作モードレジスタ (P3MOD)		
H'0080 0744	P4動作モードレジスタ (P4MOD)			ポート入力機能許可レジスタ (PIEN)		
H'0080 0746				P7動作モードレジスタ (P7MOD)		
H'0080 0748	P8動作モードレジスタ (P8MOD)			P9動作モードレジスタ (P9MOD)		
H'0080 074A	P10動作モードレジスタ (P10MOD)			P11動作モードレジスタ (P11MOD)		
H'0080 074C	P12動作モードレジスタ (P12MOD)			P13動作モードレジスタ (P13MOD)		
H'0080 074E				P15動作モードレジスタ (P15MOD)		
H'0080 0750				P17動作モードレジスタ (P17MOD)		
H'0080 0752						
H'0080 0754						
H'0080 0756	P22動作モードレジスタ (P22MOD)					
≈						
H'0080 0764	P4周辺出力選択レジスタ (P4SMOD)					
H'0080 0766				P7周辺出力選択レジスタ (P7SMOD)		
H'0080 0768						
H'0080 076A	P10,P11周辺出力選択レジスタ (P1011SMOD)					
H'0080 076C						
H'0080 076E				P15周辺出力選択レジスタ (P15SMOD)		
H'0080 0770						
H'0080 0772						
H'0080 0774						
H'0080 0776	P22周辺出力選択レジスタ (P22SMOD)					
H'0080 0778						
≈						

空き領域は予約領域です。
注: 太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図8.3.2 入出力ポート関連レジスタマップ (2/2)

8.3.1 ポートデータレジスタ

P0データレジスタ(P0DATA)	<アドレス: H'0080 0700>
P1データレジスタ(P1DATA)	<アドレス: H'0080 0701>
P2データレジスタ(P2DATA)	<アドレス: H'0080 0702>
P3データレジスタ(P3DATA)	<アドレス: H'0080 0703>
P4データレジスタ(P4DATA)	<アドレス: H'0080 0704>
P6データレジスタ(P6DATA)	<アドレス: H'0080 0706>
P7データレジスタ(P7DATA)	<アドレス: H'0080 0707>
P8データレジスタ(P8DATA)	<アドレス: H'0080 0708>
P9データレジスタ(P9DATA)	<アドレス: H'0080 0709>
P10データレジスタ(P10DATA)	<アドレス: H'0080 070A>
P11データレジスタ(P11DATA)	<アドレス: H'0080 070B>
P12データレジスタ(P12DATA)	<アドレス: H'0080 070C>
P13データレジスタ(P13DATA)	<アドレス: H'0080 070D>
P15データレジスタ(P15DATA)	<アドレス: H'0080 070F>
P17データレジスタ(P17DATA)	<アドレス: H'0080 0711>
P22データレジスタ(P22DATA)	<アドレス: H'0080 0716>

D0	1	2	3	4	5	6	D7
(D8	9	10	11	12	13	14	D15)
Pn0DT	Pn1DT	Pn2DT	Pn3DT	Pn4DT	Pn5DT	Pn6DT	Pn7DT

注. n = 0 ~ 4, 6 ~ 13, 15, 17, 22

<リセット時: 不定>

D	ビット名	機能	R	W
0	Pn0DT(ポートPn0 データ)	ポート方向レジスタの設定により		
1	Pn1DT(ポートPn1 データ)	方向ビットが"0"(入力モード)の場合		
2	Pn2DT(ポートPn2 データ)	0: ポート入力端子="L"		
3	Pn3DT(ポートPn3 データ)	1: ポート入力端子="H"		
4	Pn4DT(ポートPn4 データ)	方向ビットが"1"(出力モード)の場合		
5	Pn5DT(ポートPn5 データ)	0: ポート出力ラッチ="L"		
6	Pn6DT(ポートPn6 データ)	1: ポート出力ラッチ="H"		
7	Pn7DT(ポートPn7 データ)			

注1. 次のビットは配置されていません(リード時"0", ライト時無効)。

P40, P60, P65 ~ P67, P90 ~ P92, P120 ~ P123, P151, P152, P154 ~ P157, P170, P171, P176, P177, P222 ~ P224, P226, P227

注2. ポートP64は入力モードのみです。P64DTビットへの書き込みは無効です。

注3. ポートP80, P81は入力モードのみです。P80DT, P81DTビットへの書き込みは無効です。読み出し時P80からはMOD0、P81からはMOD1の端子レベルが読み出せます。

注4. ポートP93, P97, P124 ~ P127, P130 ~ P137, P172, P173およびP221は入力モードのみです。

P93DTビット、P97DTビット、P124DT ~ P127DTビット、P130DT ~ P137DTビット、P172DTビット、P173DTビット、P221DTビットへの書き込みは無効です。

8.3.2 ポート方向レジスタ

P0方向レジスタ(P0DIR)	<アドレス : H'0080 0720>
P1方向レジスタ(P1DIR)	<アドレス : H'0080 0721>
P2方向レジスタ(P2DIR)	<アドレス : H'0080 0722>
P3方向レジスタ(P3DIR)	<アドレス : H'0080 0723>
P4方向レジスタ(P4DIR)	<アドレス : H'0080 0724>
P6方向レジスタ(P6DIR)	<アドレス : H'0080 0726>
P7方向レジスタ(P7DIR)	<アドレス : H'0080 0727>
P8方向レジスタ(P8DIR)	<アドレス : H'0080 0728>
P9方向レジスタ(P9DIR)	<アドレス : H'0080 0729>
P10方向レジスタ(P10DIR)	<アドレス : H'0080 072A>
P11方向レジスタ(P11DIR)	<アドレス : H'0080 072B>
P15方向レジスタ(P15DIR)	<アドレス : H'0080 072F>
P17方向レジスタ(P17DIR)	<アドレス : H'0080 0731>
P22方向レジスタ(P22DIR)	<アドレス : H'0080 0736>

	D0	1	2	3	4	5	6	D7
(D8	9	10	11	12	13	14	D15)
	Pn0DIR	Pn1DIR	Pn2DIR	Pn3DIR	Pn4DIR	Pn5DIR	Pn6DIR	Pn7DIR

注. n = 0 ~ 4, 6 ~ 11, 15, 17, 22

<リセット時 : H'00>

D	ビット名	機能	R	W
0	Pn0DIR (ポートPn0 方向ビット)	0 : 入力モード(リセット時)		
1	Pn1DIR (ポートPn1 方向ビット)	1 : 出力モード		
2	Pn2DIR (ポートPn2 方向ビット)			
3	Pn3DIR (ポートPn3 方向ビット)			
4	Pn4DIR (ポートPn4 方向ビット)			
5	Pn5DIR (ポートPn5 方向ビット)			
6	Pn6DIR (ポートPn6 方向ビット)			
7	Pn7DIR (ポートPn7 方向ビット)			

注1. 次のビットは配置されていません(リード時"0", ライト時無効)。

P40, P60, P64 ~ P67, P90 ~ P92, P97, P120 ~ P123, P151, P152, P154 ~ P157, P170, P171, P176, P177, P221 ~ P224, P226, P227

注2. リセット時は全ポート入力モードに設定されています。

注3. ポートP64は入力モードのみです。P64DIRビットはありません。

注4. ポートP93、P97、P124 ~ P127、P130 ~ P137、P172、P173およびP221は入力モードのみです。

P93DIRビット、P97DIRビット、P124 ~ P127DIRビット、P130 ~ P137DIRビット、P172DIRビット、P173DIRビット、P221DIRビットはありません。

注5. ポートP80、P81は入力モードのみです。P80DIR、P81DIRビットはありません。

8.3.3 ポート動作モードレジスタ

P0 動作モードレジスタ (P0MOD)

<アドレス : H'0080 0740 >

D0	1	2	3	4	5	6	D7
P00MOD	P01MOD	P02MOD	P03MOD	P04MOD	P05MOD	P06MOD	P07MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P00MOD (ポートP00動作モード)	0 : DB0 1 : P00		
1	P01MOD (ポートP01動作モード)	0 : DB1 1 : P01		
2	P02MOD (ポートP02動作モード)	0 : DB2 1 : P02		
3	P03MOD (ポートP03動作モード)	0 : DB3 1 : P03		
4	P04MOD (ポートP04動作モード)	0 : DB4 1 : P04		
5	P05MOD (ポートP05動作モード)	0 : DB5 1 : P05		
6	P06MOD (ポートP06動作モード)	0 : DB6 1 : P06		
7	P07MOD (ポートP07動作モード)	0 : DB7 1 : P07		

注. P0動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P1 動作モードレジスタ (P1MOD)

<アドレス : H'0080 0741 >

D8	9	10	11	12	13	14	D15
P10MOD	P11MOD	P12MOD	P13MOD	P14MOD	P15MOD	P16MOD	P17MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P10MOD (ポートP10動作モード)	0 : DB8 1 : P10		
9	P11MOD (ポートP11動作モード)	0 : DB9 1 : P11		
10	P12MOD (ポートP12動作モード)	0 : DB10 1 : P12		
11	P13MOD (ポートP13動作モード)	0 : DB11 1 : P13		
12	P14MOD (ポートP14動作モード)	0 : DB12 1 : P14		
13	P15MOD (ポートP15動作モード)	0 : DB13 1 : P15		
14	P16MOD (ポートP16動作モード)	0 : DB14 1 : P16		
15	P17MOD (ポートP17動作モード)	0 : DB15 1 : P17		

注. P1動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P2 動作モードレジスタ (P2MOD)

<アドレス : H'0080 0742 >

D0	1	2	3	4	5	6	D7
P20MOD	P21MOD	P22MOD	P23MOD	P24MOD	P25MOD	P26MOD	P27MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P20MOD (ポートP20動作モード)	0 : A23 1 : P20		
1	P21MOD (ポートP21動作モード)	0 : A24 1 : P21		
2	P22MOD (ポートP22動作モード)	0 : A25 1 : P22		
3	P23MOD (ポートP23動作モード)	0 : A26 1 : P23		
4	P24MOD (ポートP24動作モード)	0 : A27 1 : P24		
5	P25MOD (ポートP25動作モード)	0 : A28 1 : P25		
6	P26MOD (ポートP26動作モード)	0 : A29 1 : P26		
7	P27MOD (ポートP27動作モード)	0 : A30 1 : P27		

注. P2動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P3 動作モードレジスタ (P3MOD)

< アドレス : H'0080 0743 >

D8	9	10	11	12	13	14	D15
P30MOD	P31MOD	P32MOD	P33MOD	P34MOD	P35MOD	P36MOD	P37MOD

< リセット時 : H'00 >

D	ビット名	機能	R	W
8	P30MOD (ポートP30動作モード)	0 : A15 1 : P30		
9	P31MOD (ポートP31動作モード)	0 : A16 1 : P31		
10	P32MOD (ポートP32動作モード)	0 : A17 1 : P32		
11	P33MOD (ポートP33動作モード)	0 : A18 1 : P33		
12	P34MOD (ポートP34動作モード)	0 : A19 1 : P34		
13	P35MOD (ポートP35動作モード)	0 : A20 1 : P35		
14	P36MOD (ポートP36動作モード)	0 : A21 1 : P36		
15	P37MOD (ポートP37動作モード)	0 : A22 1 : P37		

注. P3動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P4 動作モードレジスタ (P4MOD)

<アドレス : H'0080 0744 >

D0	1	2	3	4	5	6	D7
	P41MOD	P42MOD	P43MOD	P44MOD	P45MOD		P47MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	P41MOD (ポートP41動作モード)	0 : $\overline{\text{BLW}} / \overline{\text{BLE}}$ 1 : P41		
2	P42MOD (ポートP42動作モード)	0 : $\overline{\text{BHW}} / \overline{\text{BHE}}$ 1 : P42		
3	P43MOD (ポートP43動作モード)	0 : $\overline{\text{RD}}$ 1 : P43		
4	P44MOD (ポートP44動作モード)	0 : $\overline{\text{CS0}}$ 1 : P44		
5	P45MOD (ポートP45動作モード)	0 : $\overline{\text{CS1}}$ 1 : P45		
6	何も配置されていません		0	-
7	P47MOD (ポートP47動作モード)	0 : A14 1 : P47		

注. P4動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P7 動作モードレジスタ (P7MOD)

<アドレス : H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0 : P70 1 : BCLK / \overline{WR}		
9	P71MOD (ポートP71動作モード)	0 : P71 1 : \overline{WAIT}		
10	P72MOD (ポートP72動作モード)	0 : P72 1 : \overline{HREQ}		
11	P73MOD (ポートP73動作モード)	0 : P73 1 : \overline{HACK} / TXD3		
12	P74MOD (ポートP74動作モード)	0 : P74 1 : RTDTXD		
13	P75MOD (ポートP75動作モード)	0 : P75 1 : RTDRXD		
14	P76MOD (ポートP76動作モード)	0 : P76 1 : RTDACK		
15	P77MOD (ポートP77動作モード)	0 : P77 1 : RTDCLK		

P8 動作モードレジスタ (P8MOD)

<アドレス : H'0080 0748 >

D0	1	2	3	4	5	6	D7
		P82MOD	P83MOD	P84MOD	P85MOD	P86MOD	P87MOD

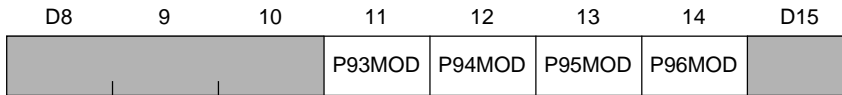
<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	P82MOD (ポートP82動作モード)	0 : P82 1 : TXD0		
3	P83MOD (ポートP83動作モード)	0 : P83 1 : RXD0		
4	P84MOD (ポートP84動作モード)	0 : P84 1 : SCLKI0 / SCLKO0		
5	P85MOD (ポートP85動作モード)	0 : P85 1 : TXD1		
6	P86MOD (ポートP86動作モード)	0 : P86 1 : RXD1		
7	P87MOD (ポートP87動作モード)	0 : P87 1 : SCLKI1 / SCLKO1		

注. ポートP80, P81はありません。

P9 動作モードレジスタ (P9MOD)

<アドレス : H'0080 0749 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	P93MOD (ポートP93動作モード)	0 : P93 1 : RXD3		
12	P94MOD (ポートP94動作モード)	0 : P94 1 : TDX6		
13	P95MOD (ポートP95動作モード)	0 : P95 1 : RXD6		
14	P96MOD (ポートP96動作モード)	0 : P96 1 : CTX1		
15	何も配置されていません		0	-

注1. ポートP90~P92はありません。

注2. P97はCAN1入力専用端子です。

P10 動作モードレジスタ (P10MOD)

< アドレス : H'0080 074A >

D0	1	2	3	4	5	6	D7
P100MOD	P101MOD	P102MOD	P103MOD	P104MOD	P105MOD	P106MOD	P107MOD

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	P100MOD (ポートP100動作モード)	0 : P100 1 : TO8		
1	P101MOD (ポートP101動作モード)	0 : P101 1 : TO9		
2	P102MOD (ポートP102動作モード)	0 : P102 1 : TO10		
3	P103MOD (ポートP103動作モード)	0 : P103 1 : TO11		
4	P104MOD (ポートP104動作モード)	0 : P104 1 : TO12 / SCLKI4		
5	P105MOD (ポートP105動作モード)	0 : P105 1 : TO13 / SCLKO4		
6	P106MOD (ポートP106動作モード)	0 : P106 1 : TO14 / TXD4		
7	P107MOD (ポートP107動作モード)	0 : P107 1 : TO15 / RXD4		

P11 動作モードレジスタ (P11MOD)

<アドレス : H'0080 074B >

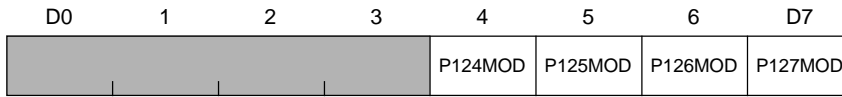
D8	9	10	11	12	13	14	D15
P110MOD	P111MOD	P112MOD	P113MOD	P114MOD	P115MOD	P116MOD	P117MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P110MOD (ポートP110動作モード)	0 : P110 1 : TO0		
9	P111MOD (ポートP111動作モード)	0 : P111 1 : TO1		
10	P112MOD (ポートP112動作モード)	0 : P112 1 : TO2		
11	P113MOD (ポートP113動作モード)	0 : P113 1 : TO3		
12	P114MOD (ポートP114動作モード)	0 : P114 1 : TO4 / SCLKI5		
13	P115MOD (ポートP115動作モード)	0 : P115 1 : TO5 / SCLKO5		
14	P116MOD (ポートP116動作モード)	0 : P116 1 : TO6 / TXD5		
15	P117MOD (ポートP117動作モード)	0 : P117 1 : TO7 / RXD5		

P12 動作モードレジスタ (P12MOD)

< アドレス : H'0080 074C >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	P124MOD (ポートP124動作モード)	0 : P124 1 : TIN0A		
5	P125MOD (ポートP125動作モード)	0 : P125 1 : TIN0B		
6	P126MOD (ポートP126動作モード)	0 : P126 1 : TIN1A		
7	P127MOD (ポートP127動作モード)	0 : P127 1 : TIN1B		

注. ポートP120 ~ P123はありません。。

P13 動作モードレジスタ (P13MOD)

<アドレス : H'0080 074D >

D8	9	10	11	12	13	14	D15
P130MOD	P131MOD	P132MOD	P133MOD	P134MOD	P135MOD	P136MOD	P137MOD

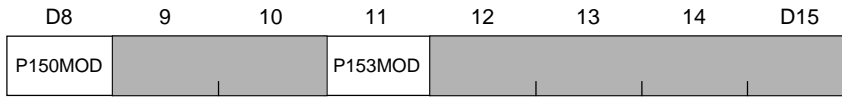
<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P130MOD (ポートP130動作モード)	0 : P130 1 : TIN16 / PWMOFF0		
9	P131MOD (ポートP131動作モード)	0 : P131 1 : TIN17 / PWMOFF1		
10	P132MOD (ポートP132動作モード)	0 : P132 1 : TIN18		
11	P133MOD (ポートP133動作モード)	0 : P133 1 : TIN19		
12	P134MOD (ポートP134動作モード)	0 : P134 1 : TIN20		
13	P135MOD (ポートP135動作モード)	0 : P135 1 : TIN21		
14	P136MOD (ポートP136動作モード)	0 : P136 1 : TIN22		
15	P137MOD (ポートP137動作モード)	0 : P137 1 : TIN23		

注. ポートP130 ~ P137は入力専用端子です。

P15 動作モードレジスタ (P15MOD)

<アドレス : H'0080 074F >



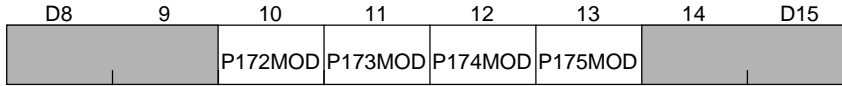
<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P150MOD (ポートP150動作モード)	0 : P150 1 : TIN8 / TXD7		
9,10	何も配置されていません		0	-
11	P153MOD (ポートP153動作モード)	0 : P153 1 : TIN9 / RXD7		
12~15	何も配置されていません		0	-

注. ポートP151,P152,P154~P157はありません。

P17 動作モードレジスタ (P17MOD)

<アドレス : H'0080 0751 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	P172MOD (ポートP172動作モード)	0 : P172 1 : TIN10		
11	P173MOD (ポートP173動作モード)	0 : P173 1 : TIN11		
12	P174MOD (ポートP174動作モード)	0 : P174 1 : TXD2		
13	P175MOD (ポートP175動作モード)	0 : P175 1 : RXD2		
14,15	何も配置されていません		0	-

注. ポートP170 ~ P171, P176, P177はありません。

P22 動作モードレジスタ (P22MOD)

<アドレス : H'0080 0756 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P220MOD (ポートP220動作モード)	0 : P220 1 : CTX0		
1~4	何も配置されていません		0	-
5	P225MOD (ポートP225動作モード)	0 : P225 1 : 使用禁止		
6~7	何も配置されていません		0	-

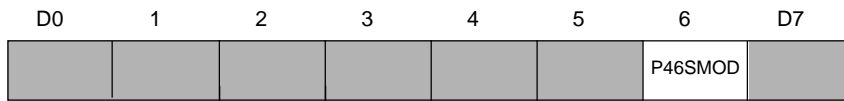
注1. P221はCAN0入力専用端子です。

注2. P225はMOD0,MOD1端子の設定により、端子機能が変わります。また、デバッグイベント機能がありますので使用上ご注意ください。

注3. P222 ~ P224,P226,P227はありません。

P4 周辺出力選択レジスタ (P4SMOD)

<アドレス : H'0080 0764 >

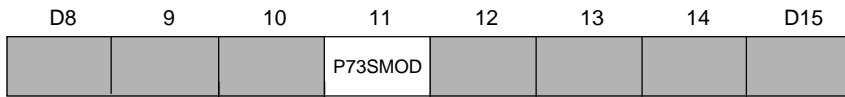


<リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	P46SMOD	0 : A13		
	(ポートP46周辺出力選択)	1 : $\overline{CS3}$		
7	何も配置されていません		0	-

P7周辺出力選択レジスタ (P7SMOD)

<アドレス : H'0080 0767 >

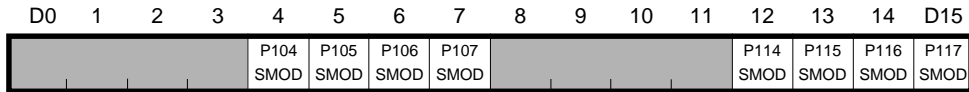


<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	P73SMOD (ポートP73周辺出力選択)	0 : HACK 1 : TXD3		
12~15	何も配置されていません		0	-

P10,P11 周辺出力選択レジスタ (P1011SMOD)

< アドレス : H'0080 076A >



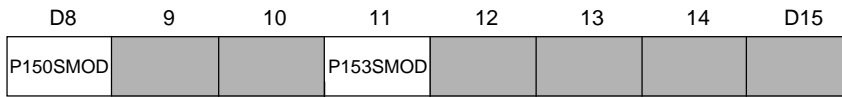
< リセット時 : H'0000 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	P104SMOD (ポートP104周辺出力選択)	0 : TO12 1 : SCLKI4		
5	P105SMOD (ポートP105周辺出力選択)	0 : TO13 1 : SCLKO4		
6	P106SMOD (ポートP106周辺出力選択)	0 : TO14 1 : TXD4		
7	P107SMOD (ポートP107周辺出力選択)	0 : TO15 1 : RXD4		
8~11	何も配置されていません		0	-
12	P114SMOD (ポートP114周辺出力選択)	0 : TO4 1 : SCLKI5		
13	P115SMOD (ポートP115周辺出力選択)	0 : TO5 1 : SCLKO5		
14	P116SMOD (ポートP116周辺出力選択)	0 : TO6 1 : TXD5		
15	P117SMOD (ポートP117周辺出力選択)	0 : TO7 1 : RXD5		

注 . このレジスタは、必ずハーフワードでアクセスしてください。

P15 周辺出力選択レジスタ (P15SMOD)

< アドレス : H'0080 076F >

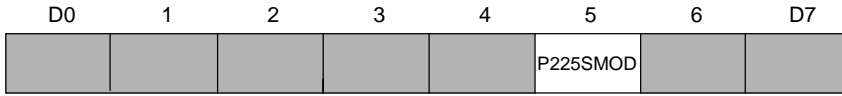


< リセット時 : H'00 >

D	ビット名	機能	R	W	
8	P150SMOD (ポートP150周辺出力選択)	0 : TIN8 1 : TXD7			
9,10	何も配置されていません				
11	P153SMOD (ポートP153周辺出力選択)	0 : TIN9 1 : RXD7			
12 ~ 15	何も配置されていません			0	-

P22 周辺出力選択レジスタ (P22SMOD)

< アドレス : H'0080 0776 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	P225SMOD	0 : A12		
	(ポートP225周辺出力選択)	1 : $\overline{CS2}$		
6~7	何も配置されていません		0	-

注. P22周辺出力選択レジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

ポート入力機能許可レジスタ (PIEN)

<アドレス : H'0080 0745 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	PIEN0 (ポート入力機能許可ビット)	0 : 入力禁止 (貫通電流防止) 1 : 入力許可		

ポート入力端子の貫通電流を防止するためのレジスタです。

リセット後は入力禁止になっているため、"1"にして入力処理を行う必要があります。

ブートモード時は、シリアルI/O機能と兼用となっている端子は入力許可となるため、シリアルによるフラッシュ書き換え時には、"0"にしてシリアルI/O機能以外の端子から貫通電流を防止することができます。

各モードにおけるポート入力機能許可ビットで制御可能な端子を次に示します。

表8.3.1 ポート入力機能許可ビットで制御可能な端子

モード名	制御可能な端子	制御非対象端子
シングルチップ	P00 ~ P07, P10 ~ P17, P20 ~ P27	P64, P93, P97
	P30 ~ P37, P41 ~ P47, P61 ~ P63	P124 ~ P127
	P70 ~ P77, P82 ~ P87, P94 ~ P96	P130 ~ P137, P221
	P100 ~ P107, P110 ~ P117, P150, P153, P174, P175 P220, P225	FP, MOD0, MOD1, RESET
外部拡張 マイクロプロセッサ	P61 ~ P63, P70 ~ P77, P82 ~ P87	P00 ~ P07, P10 ~ P17
	P94 ~ P96, P100 ~ P107, P110 ~ P117	P20 ~ P27, P30 ~ P37
	P150, P153, P174, P175, P220	P41 ~ P47, P64, P93, P97 P124 ~ P127, P130 ~ P137 P221, P225, FP, MOD0, MOD1, RESET
ブート (シングルチップ)	P00 ~ P07, P10 ~ P17, P20 ~ P27	P64, P82 ~ P87, P93, P97,
	P30 ~ P37, P41 ~ P47, P61 ~ P63	P124 ~ P127, P130 ~ P137
	P67, P70 ~ P77, P94 ~ P96	P174, P175, P221, FP
	P100 ~ P107, P110 ~ P117, P140 ~ P147, P150 ~ P157	MOD0, MOD1, RESET
	P160 ~ P167, P172 ~ P173, P180 ~ P187	
	P190 ~ P197, P210 ~ P217, P220 P222 ~ P225	

8.4 ポート周辺回路

図8.4.1 ~ 図8.4.4にポートの周辺回路図を示します。

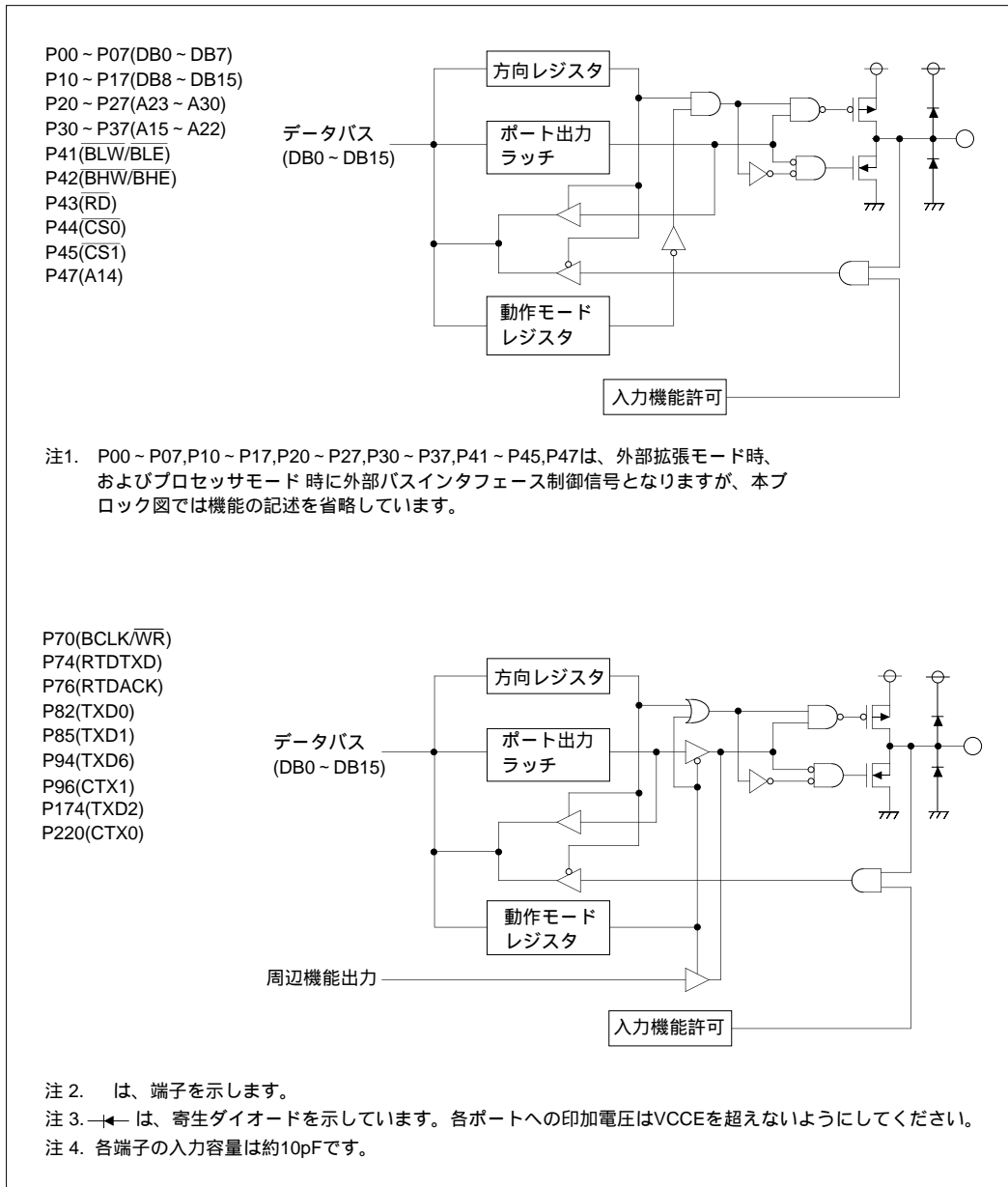


図8.4.1 ポート周辺回路図(1)

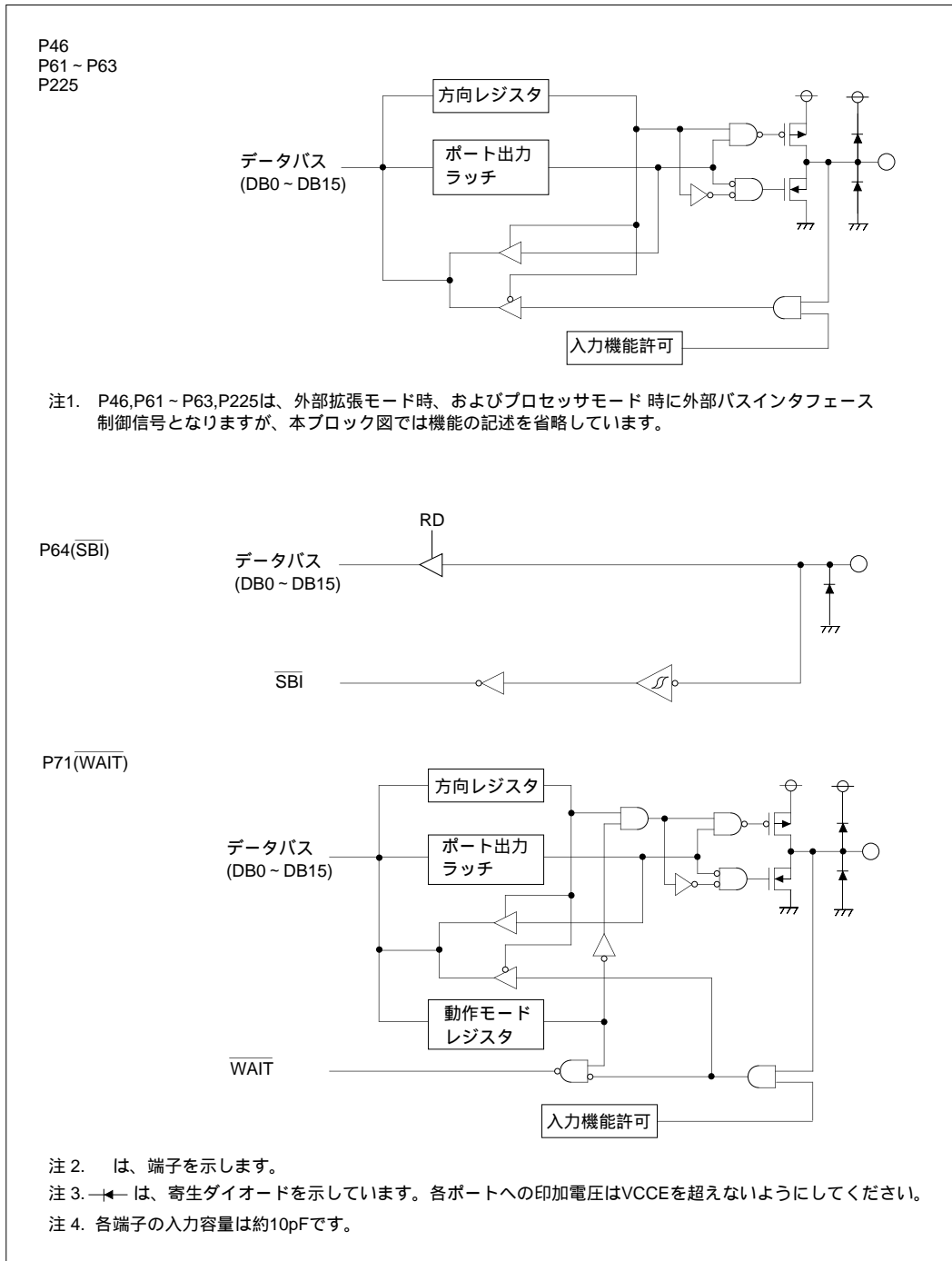


図8.4.2 ポート周辺回路図(2)

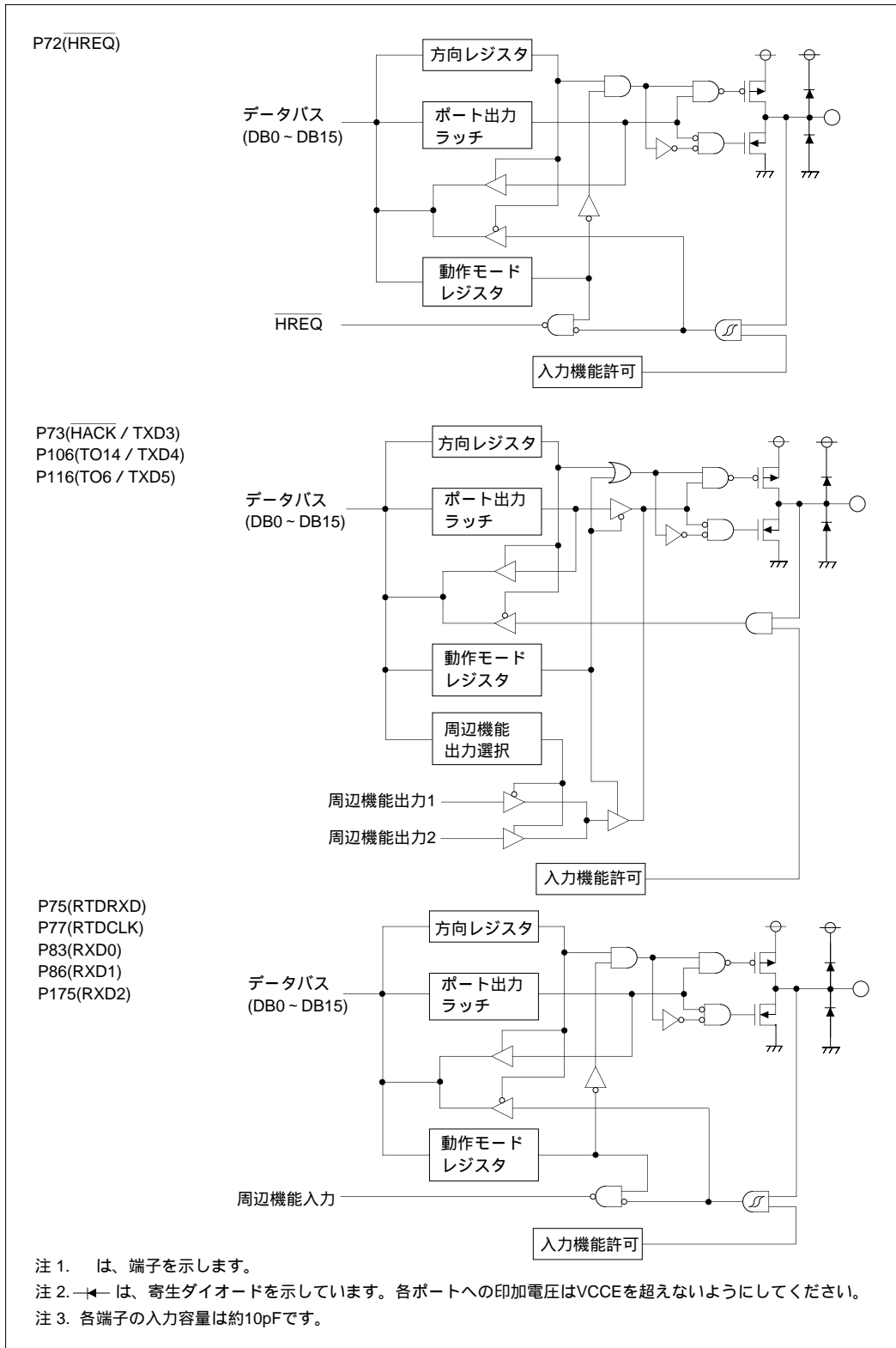


図8.4.3 ポート周辺回路図(3)

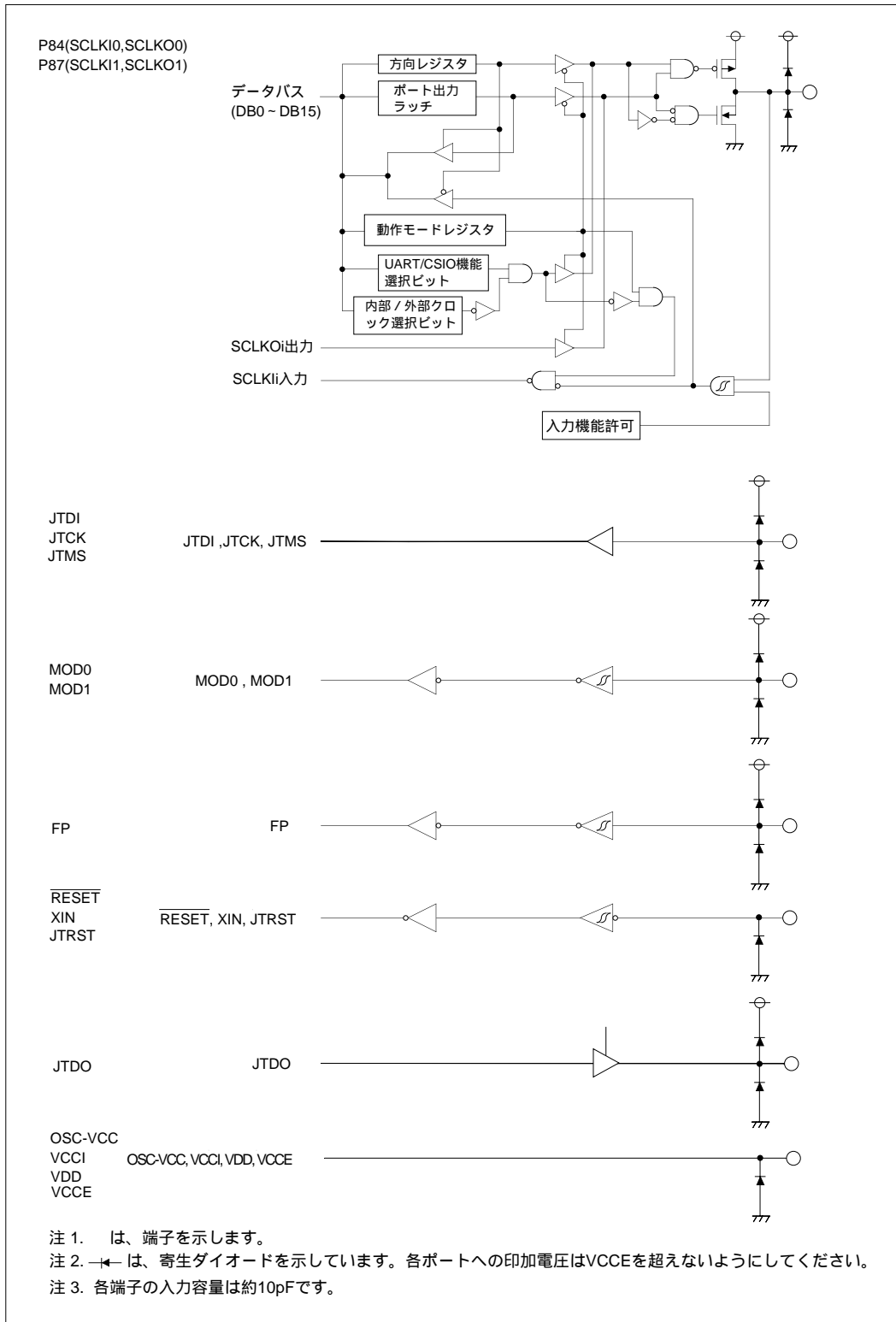


図8.4.4 ポート周辺回路図(4)

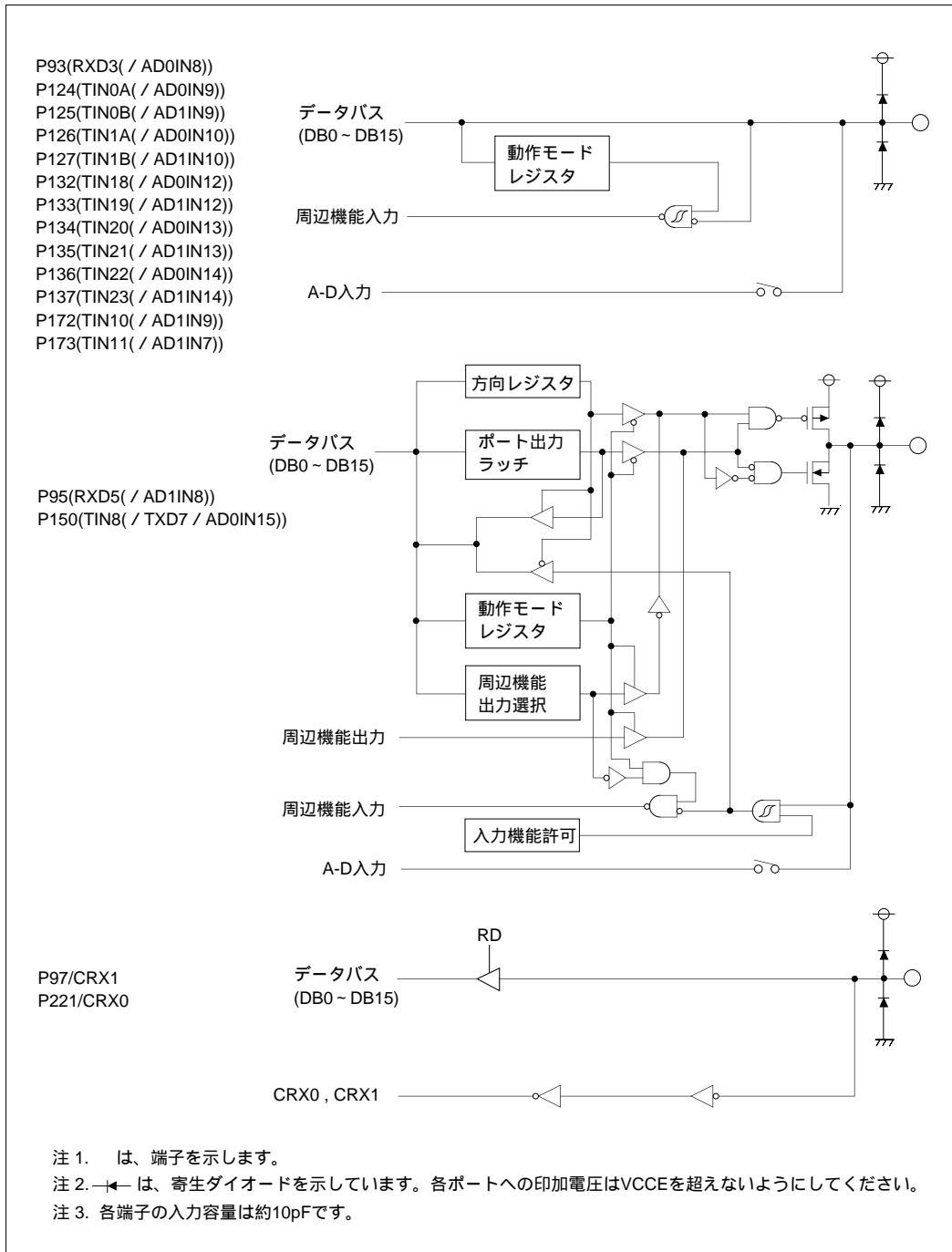


図8.4.5 ポート周辺回路図(5)

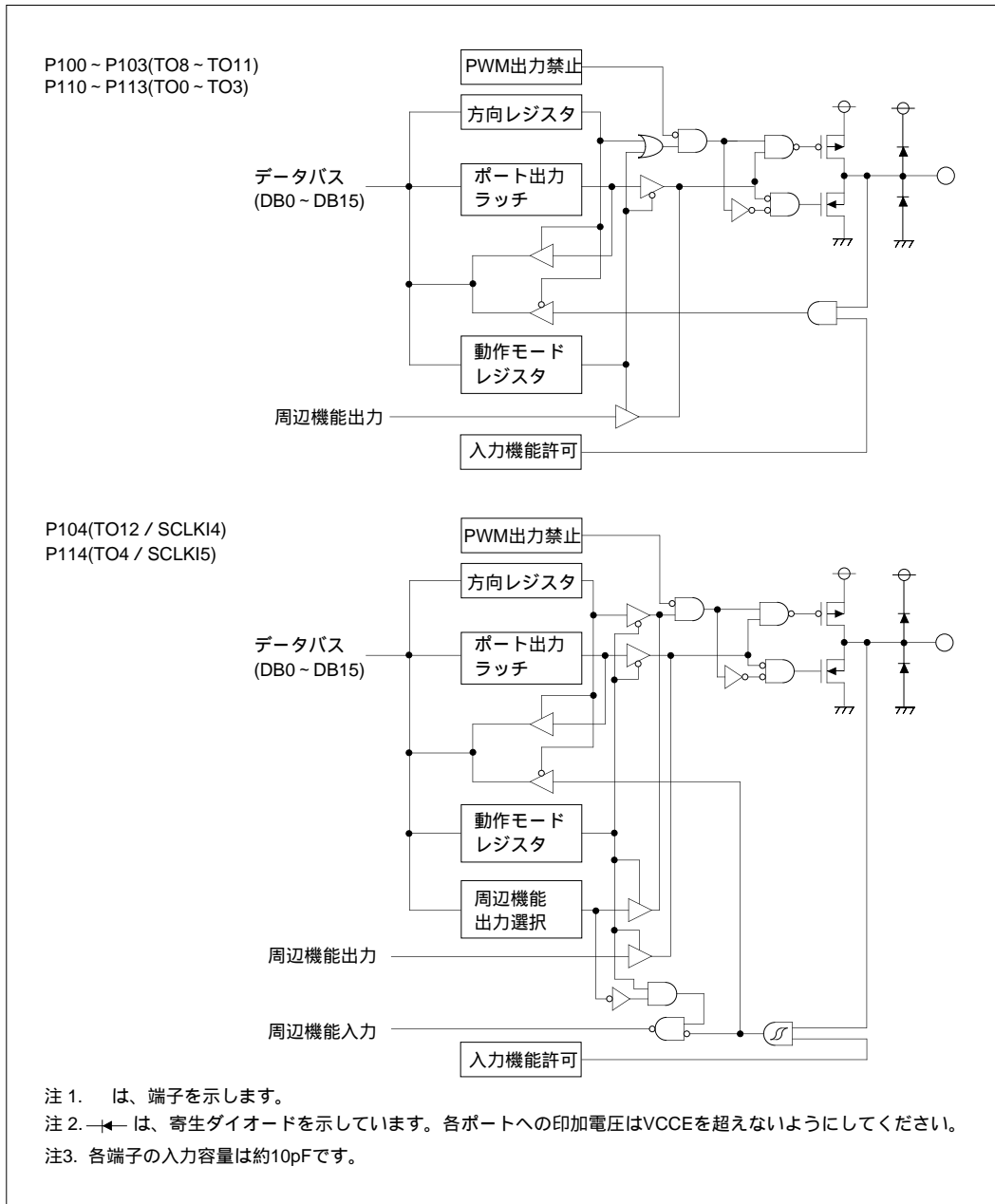


図8.4.6 ポート周辺回路図(6)

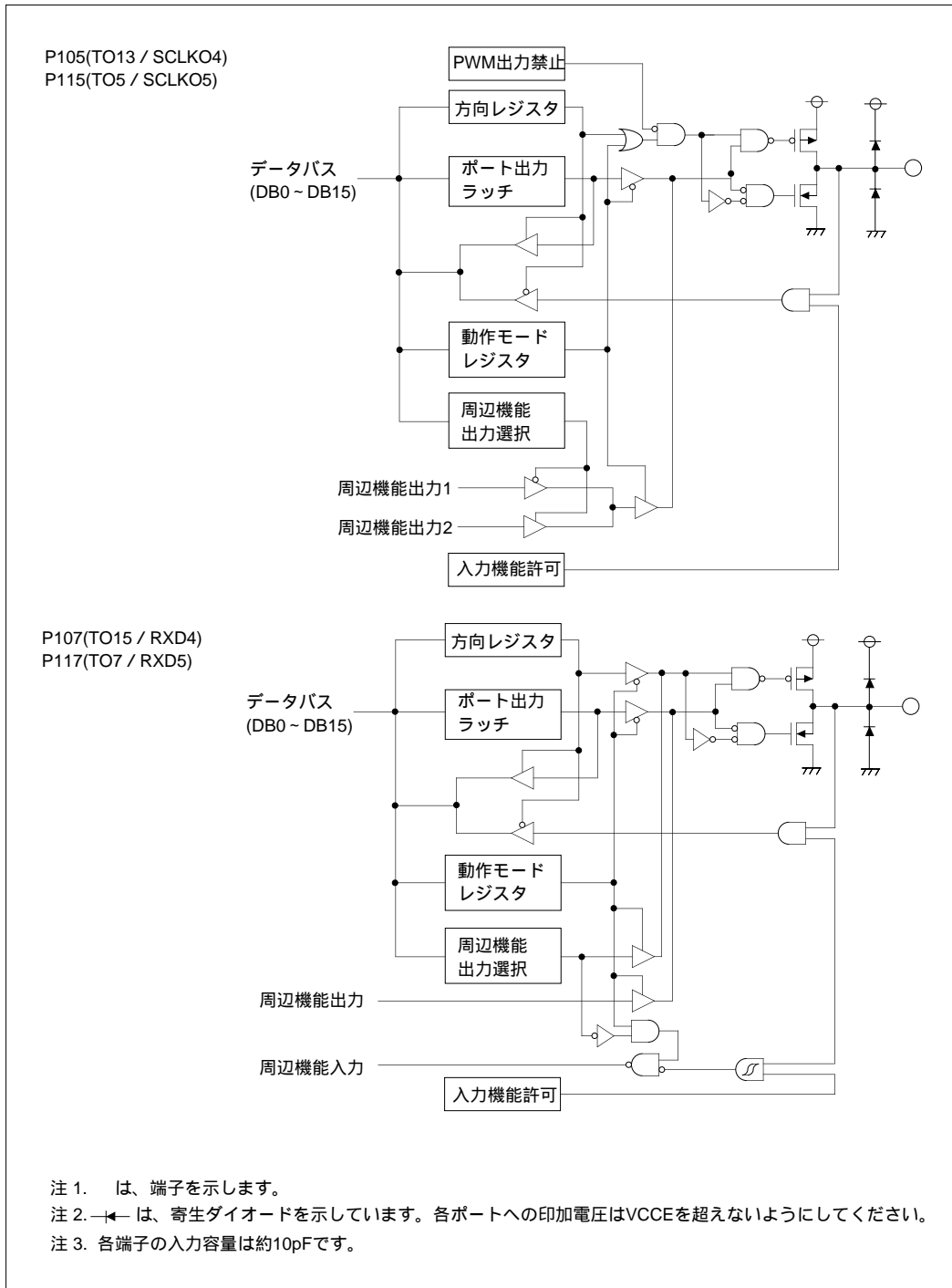


図8.4.7 ポート周辺回路図(7)

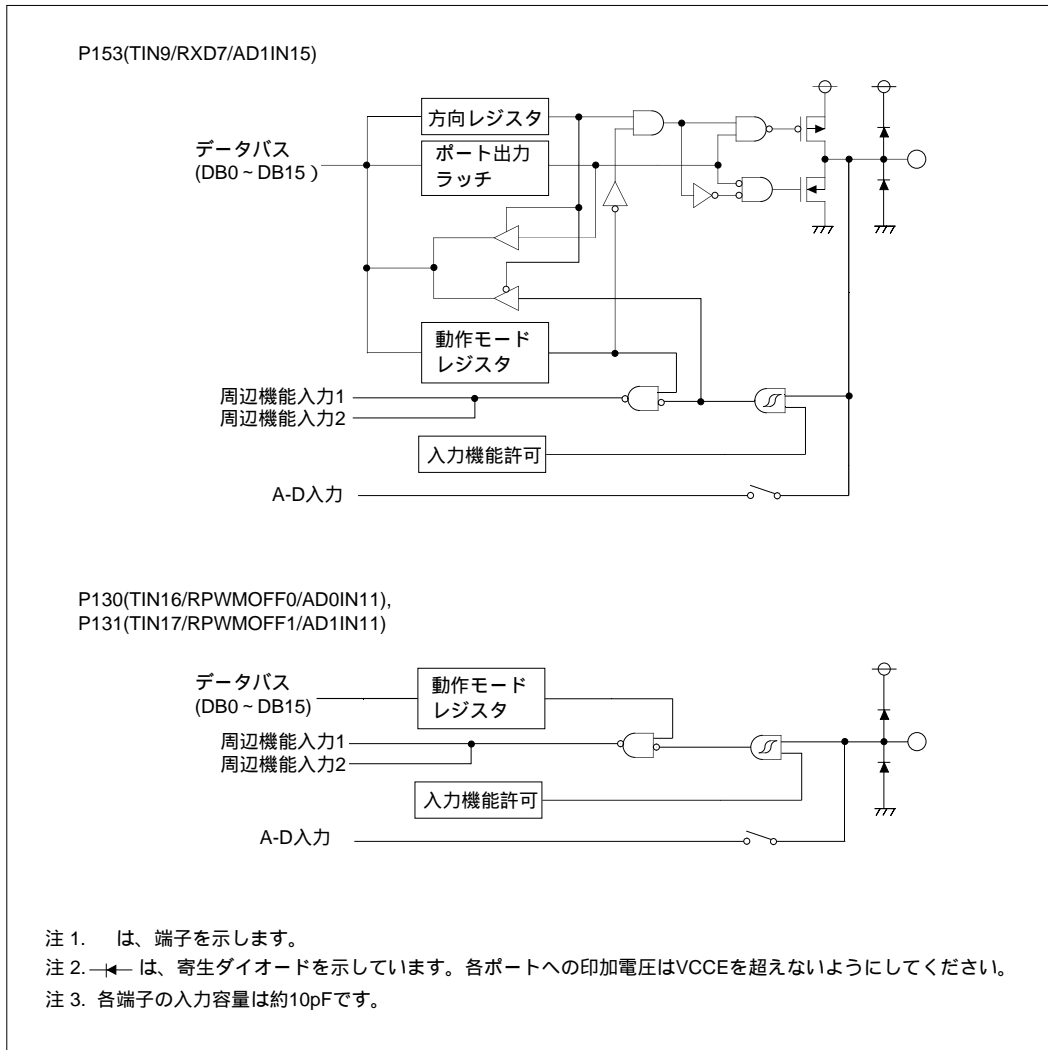


図8.4.8 ポート周辺回路図(8)

8.5 入出力ポートの注意事項

ポートを出力モードで使用する場合

リセット直後のポートデータレジスタ値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力設定するとポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

空きページです

第9章

DMAC

- 9.1 DMAC概要
- 9.2 DMAC関連レジスタ
- 9.3 DMAC機能説明
- 9.4 DMACの注意事項

9.1 DMAC概要

10チャンネルのDMA(ダイレクトメモリアクセス)を内蔵しており、ソフトウェアトリガや、内蔵周辺I/Oからの要求により、内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間において、高速なデータ転送を行うことができます。

表9.1.1 DMAC概要

項目	内容
チャンネル数	10チャンネル
転送要求	ソフトウェアトリガ 内蔵周辺I/Oからの要求：A-D変換器、入出力タイマ、シリアルI/O(受信完了、送信バッファempty)、およびPDコントローラ DMAチャンネル間のカスケード接続可能(注)
最大転送回数	256回
転送可能アドレス空間	64Kバイト(H'0080 0000 ~ H'0080 FFFFのアドレス空間) 内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間の転送をサポート
転送データサイズ	16ビットまたは8ビット
転送方式	単転送方式DMA(1回の転送ごとに内部バス権を解放)、デュアルアドレス転送
転送モード	単転送モード
転送方向	ソースとデスティネーションに対して、3種類のモードを選択可能 アドレス固定 アドレスインクリメント リングバッファ
チャンネル優先度	チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 > チャンネル4 > チャンネル5 > チャンネル6 > チャンネル7 > チャンネル8 > チャンネル9 (優先順位固定)
最大転送速度	13.3Mバイト/秒(内部周辺クロック20MHz時)
割り込み要求	各転送カウントレジスタのアンダフロー発生時にグループ割り込み要求発生可能
転送エリア	H'0080 0000 ~ H'0080 FFFFの64Kバイト (内蔵RAM / SFRの全領域で転送可能)

注. 下記のDMAチャンネルのカスケード接続が可能です。

チャンネル0の1回のDMA転送完了で、チャンネル1のDMA転送を起動
 チャンネル1の1回のDMA転送完了で、チャンネル2のDMA転送を起動
 チャンネル2の1回のDMA転送完了で、チャンネル0のDMA転送を起動
 チャンネル3の1回のDMA転送完了で、チャンネル4のDMA転送を起動
 チャンネル5の1回のDMA転送完了で、チャンネル6のDMA転送を起動
 チャンネル6の1回のDMA転送完了で、チャンネル7のDMA転送を起動
 チャンネル7の1回のDMA転送完了で、チャンネル5のDMA転送を起動
 チャンネル8の1回のDMA転送完了で、チャンネル9のDMA転送を起動
 チャンネル9の1回のDMA転送完了で、チャンネル1~9のDMA転送を起動
 チャンネル0のDMA全転送終了(転送カウントレジスタのアンダフロー)で、チャンネル5のDMA転送を起動
 チャンネル1のDMA全転送終了(転送カウントレジスタのアンダフロー)で、チャンネル0~9のDMA転送を起動
 チャンネル3のDMA全転送終了(転送カウントレジスタのアンダフロー)で、チャンネル8のDMA転送を起動

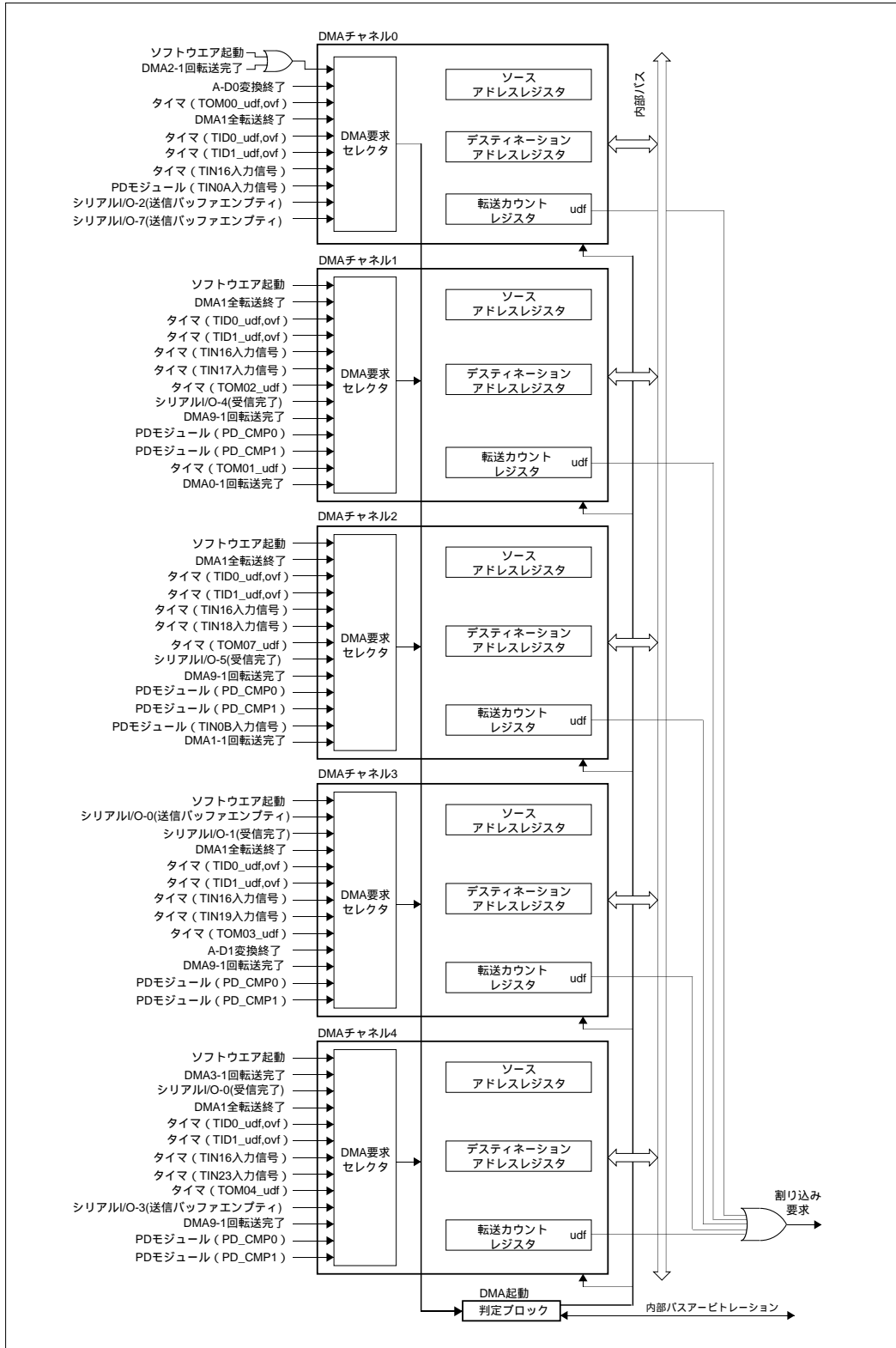


図9.1.1 DMACブロック図 (1/2)

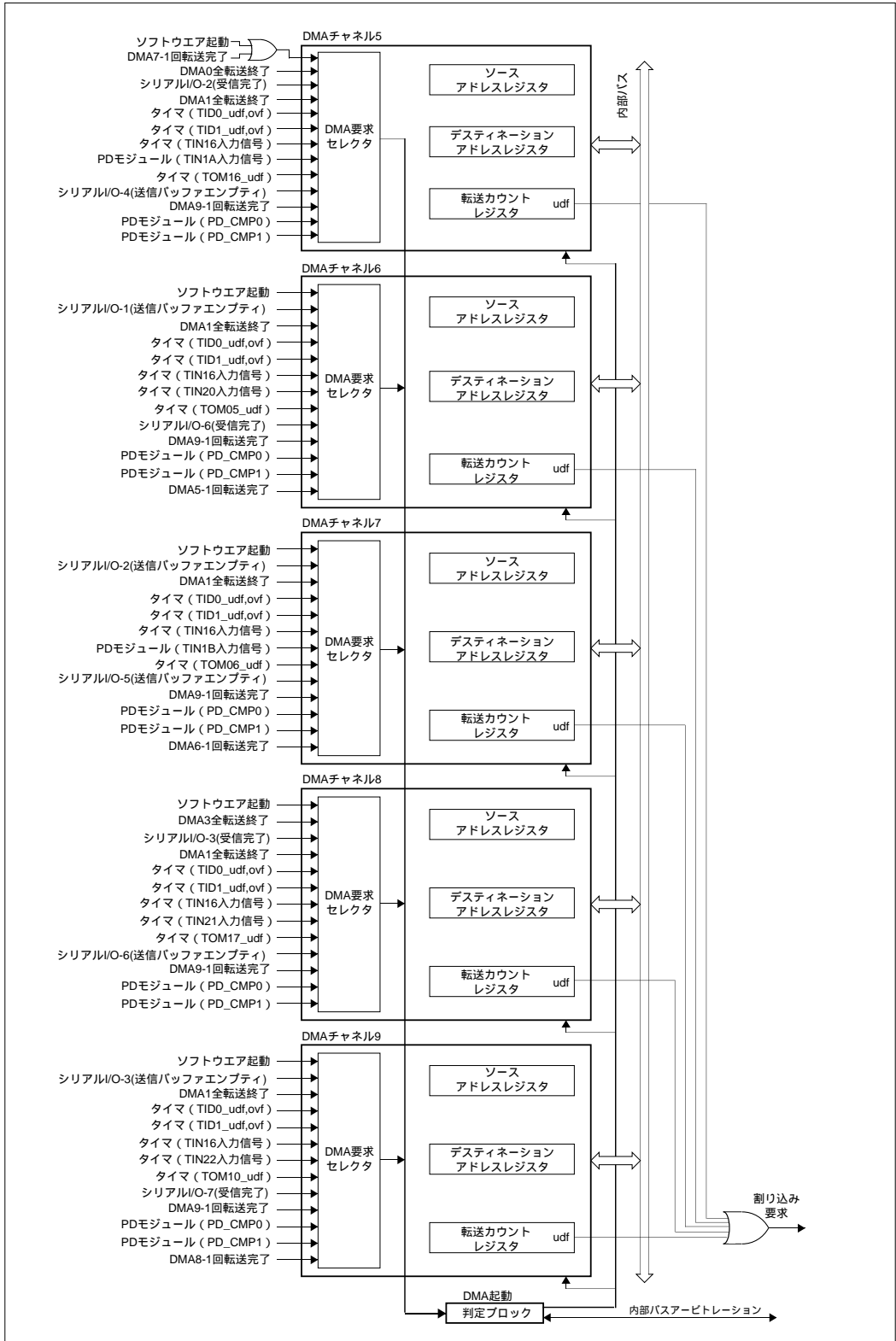


図9.1.2 DMACブロック図 (2/2)

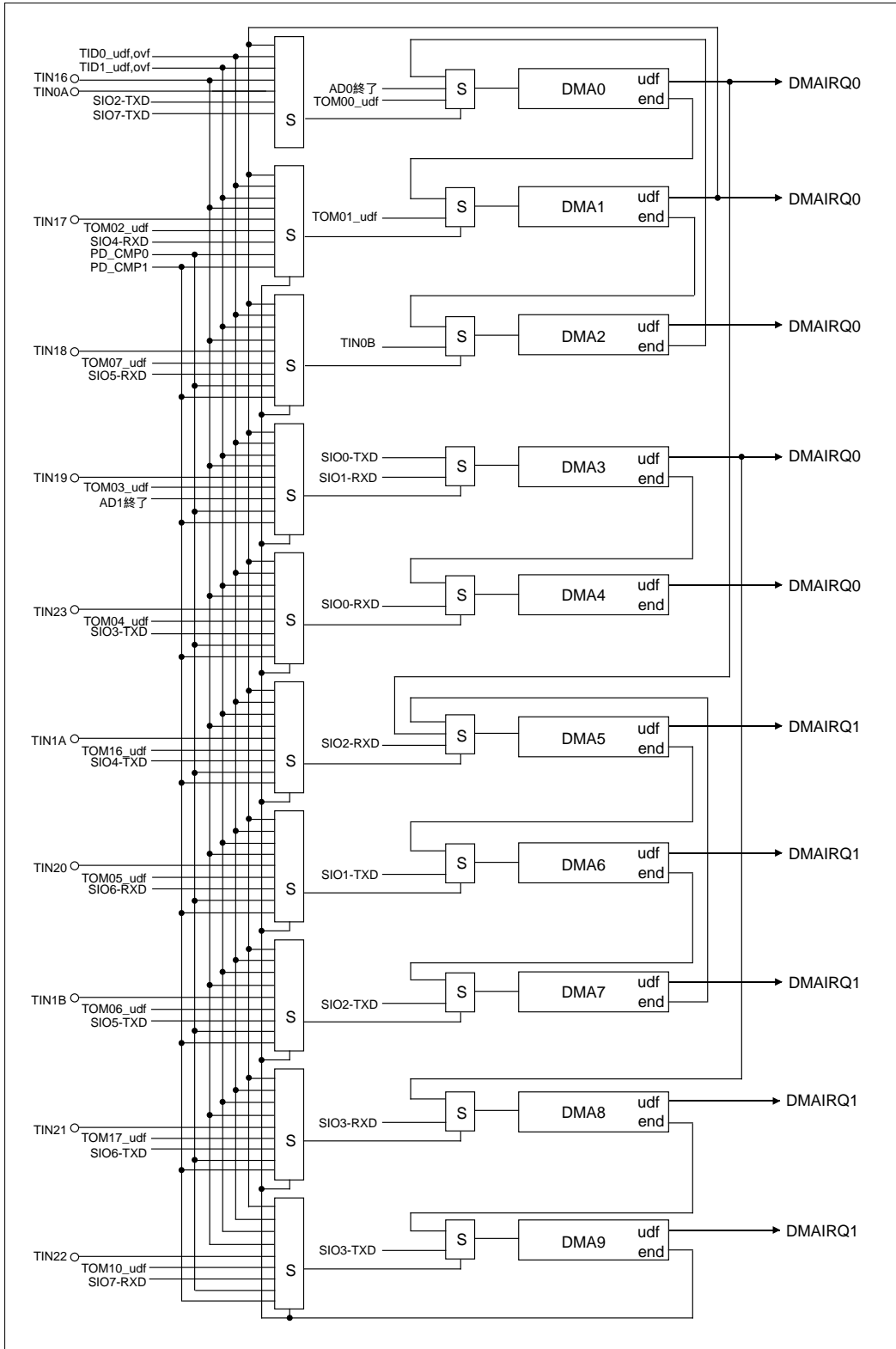


図9.1.3 DMAC要求要因接続図

9.2 DMAC関連レジスタ

DMAC関連レジスタのメモリマップを以下に示します。

番地	+0番地		+1番地	
	D0	D7	D8	D15
H'0080 0400	DMA0-4割り込み要求ステータスレジスタ (DM04ITST)		DMA0-4割り込みマスクレジスタ (DM04ITMK)	
	⋮		⋮	
H'0080 0408	DMA5-9割り込み要求ステータスレジスタ (DM59ITST)		DMA5-9割り込みマスクレジスタ (DM59ITMK)	
	⋮		⋮	
H'0080 0410	DMA0チャンネル制御レジスタ (DM0CNT)		DMA0転送カウントレジスタ (DM0TCT)	
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)			
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)			
H'0080 0416	DMA0要求要因拡張レジスタ (DM0REQ)			
H'0080 0418	DMA5チャンネル制御レジスタ (DM5CNT)		DMA5転送カウントレジスタ (DM5TCT)	
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)			
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)			
H'0080 041E	DMA5要求要因拡張レジスタ (DM5REQ)			
H'0080 0420	DMA1チャンネル制御レジスタ (DM1CNT)		DMA1転送カウントレジスタ (DM1TCT)	
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)			
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)			
H'0080 0426	DMA1要求要因拡張レジスタ (DM1REQ)			
H'0080 0428	DMA6チャンネル制御レジスタ (DM6CNT)		DMA6転送カウントレジスタ (DM6TCT)	
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)			
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)			
H'0080 042E	DMA6要求要因拡張レジスタ (DM6REQ)			
H'0080 0430	DMA2チャンネル制御レジスタ (DM2CNT)		DMA2転送カウントレジスタ (DM2TCT)	
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)			
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)			
H'0080 0436	DMA2要求要因拡張レジスタ (DM2REQ)			
H'0080 0438	DMA7チャンネル制御レジスタ (DM7CNT)		DMA7転送カウントレジスタ (DM7TCT)	
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)			
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)			
H'0080 043E	DMA7要求要因拡張レジスタ (DM7REQ)			

空き領域は予約領域です。
注：太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図9.2.1 DMAC関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0440	DMA3チャンネル制御レジスタ (DM3CNT)		DMA3転送カウントレジスタ (DM3TCT)			
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)					
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)					
H'0080 0446	DMA3要求要因拡張レジスタ (DM3REQ)					
H'0080 0448	DMA8チャンネル制御レジスタ (DM8CNT)		DMA8転送カウントレジスタ (DM8TCT)			
H'0080 044A	DMA8ソースアドレスレジスタ (DM8SA)					
H'0080 044C	DMA8デスティネーションアドレスレジスタ (DM8DA)					
H'0080 044E	DMA8要求要因拡張レジスタ (DM8REQ)					
H'0080 0450	DMA4チャンネル制御レジスタ (DM4CNT)		DMA4転送カウントレジスタ (DM4TCT)			
H'0080 0452	DMA4ソースアドレスレジスタ (DM4SA)					
H'0080 0454	DMA4デスティネーションアドレスレジスタ (DM4DA)					
H'0080 0456	DMA4要求要因拡張レジスタ (DM4REQ)					
H'0080 0458	DMA9チャンネル制御レジスタ (DM9CNT)		DMA9転送カウントレジスタ (DM9TCT)			
H'0080 045A	DMA9ソースアドレスレジスタ (DM9SA)					
H'0080 045C	DMA9デスティネーションアドレスレジスタ (DM9DA)					
H'0080 045E	DMA9要求要因拡張レジスタ (DM9REQ)					
H'0080 0460	DMA0ソフトウェア要求発生レジスタ (DM0SRI)					
H'0080 0462	DMA1ソフトウェア要求発生レジスタ (DM1SRI)					
H'0080 0464	DMA2ソフトウェア要求発生レジスタ (DM2SRI)					
H'0080 0466	DMA3ソフトウェア要求発生レジスタ (DM3SRI)					
H'0080 0468	DMA4ソフトウェア要求発生レジスタ (DM4SRI)					
≈ ≈						
H'0080 0470	DMA5ソフトウェア要求発生レジスタ (DM5SRI)					
H'0080 0472	DMA6ソフトウェア要求発生レジスタ (DM6SRI)					
H'0080 0474	DMA7ソフトウェア要求発生レジスタ (DM7SRI)					
H'0080 0476	DMA8ソフトウェア要求発生レジスタ (DM8SRI)					
H'0080 0478	DMA9ソフトウェア要求発生レジスタ (DM9SRI)					

空き領域は予約領域です。
注：太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図9.2.2 DMAC関連レジスタマップ(2/2)

9.2.1 DMAチャンネル制御レジスタ

DMA0チャンネル制御レジスタ (DM0CNT)

<アドレス : H'0080 0410 >

D0	1	2	3	4	5	6	D7
MDSEL0	TREQF0	REQSLO		TENL0	TSZSLO	SADSL0	DADSL0

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL0 (DMA0転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF0 (DMA0転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSLO (DMA0要求要因選択)	00 : ソフトウェア起動 または、DMA2-1回転送完了 01 : A-D0変換終了 10 : タイマ(TOM00_udf) 11 : 要求要因拡張 (注)		
4	TENL0 (DMA0転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSLO (DMA0転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL0 (DMA0ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL0 (DMA0デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

注. 要求要因拡張を選択した場合は、必ずDMA0要求要因拡張レジスタ(DM0REQ)の設定を行ってください。

DMA1 チャンネル制御レジスタ (DM1CNT)

< アドレス : H'0080 0420 >

D0	1	2	3	4	5	6	D7
MDSEL1	TREQF1	REQSL1		TENL1	TSZSL1	SADSL1	DADSL1

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL1 (DMA1転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF1 (DMA1転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL1 (DMA1要求要因選択)	00 : ソフトウェア起動 01 : 要求要因拡張 (注) 10 : タイマ(TOM01_udf) 11 : DMA0-1回転送完了		
4	TENL1 (DMA1転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL1 (DMA1転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL1 (DMA1ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL1 (DMA1デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA1要求要因拡張レジスタ(DM1REQ)の設定を行ってください。

DMA2 チャンネル制御レジスタ (DM2CNT)

< アドレス: H'0080 0430 >

D0	1	2	3	4	5	6	D7
MSEL2	TREQF2	REQSL2		TENL2	TSZSL2	SADSL2	DADSL2

< リセット時: H'00 >

D	ビット名	機能	R	W
0	MSEL2 (DMA2転送モード選択)	0: ノーマルモード 1: リングバッファモード		
1	TREQF2 (DMA2転送要求フラグ)	0: 要求なし 1: 要求あり		
2, 3	REQSL2 (DMA2要求要因選択)	00: ソフトウェア起動 01: 要求要因拡張 (注) 10: PDモジュール(TIN0B入力信号) 11: DMA1-1回転送完了		
4	TENL2 (DMA2転送許可)	0: 転送禁止 1: 転送許可		
5	TSZSL2 (DMA2転送サイズ選択)	0: 16ビット 1: 8ビット		
6	SADSL2 (DMA2ソースアドレス方向選択)	0: 固定 1: インクリメント		
7	DADSL2 (DMA2デスティネーション アドレス方向選択)	0: 固定 1: インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA2要求要因拡張レジスタ(DM2REQ)の設定を行ってください。

DMA3 チャンネル制御レジスタ (DM3CNT)

< アドレス : H'0080 0440 >

D0	1	2	3	4	5	6	D7
MDSL3	TREQF3	REQSL3		TENL3	TSZSL3	SADSL3	DADSL3

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSL3 (DMA3転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF3 (DMA3転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL3 (DMA3要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O- α 送信バッファ エンブティ) 10 : シリアルI/O-1(受信完了) 11 : 要求要因拡張 (注)		
4	TENL3 (DMA3転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL3 (DMA3転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL3 (DMA3ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL3 (DMA3デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA3要求要因拡張レジスタ(DM3REQ)の設定を行ってください。

DMA4 チャンネル制御レジスタ (DM4CNT)

< アドレス : H'0080 0450 >

D0	1	2	3	4	5	6	D7
MDSEL4	TREQF4	REQSL4		TENL4	TSZSL4	SADSL4	DADSL4

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL4 (DMA4転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF4 (DMA4転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL4 (DMA4要求要因選択)	00 : ソフトウェア起動 01 : DMA3-1回転送完了 10 : シリアルI/O-α 受信完了) 11 : 要求要因拡張 (注)		
4	TENL4 (DMA4転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL4 (DMA4転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL4 (DMA4ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL4 (DMA4デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA4要求要因拡張レジスタ(DM4REQ)の設定を行ってください。

DMA5 チャンネル制御レジスタ (DM5CNT)

< アドレス : H'0080 0418 >

D0	1	2	3	4	5	6	D7
MDSEL5	TREQF5	REQSL5		TENL5	TSZSL5	SADSL5	DADSL5

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL5 (DMA5転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF5 (DMA5転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL5 (DMA5要求要因選択)	00 : ソフトウェア起動 または、DMA7-1回転送完了 01 : DMA0全転送終了 10 : シリアルI/O- α 受信完了) 11 : 要求要因拡張 (注)		
4	TENL5 (DMA5転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL5 (DMA5転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL5 (DMA5ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL5 (DMA5デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA5要求要因拡張レジスタ(DM5REQ)の設定を行ってください。

DMA6 チャンネル制御レジスタ (DM6CNT)

< アドレス : H'0080 0428 >

D0	1	2	3	4	5	6	D7
MDSEL6	TREQF6	REQSL6		TENL6	TSZSL6	SADSL6	DADSL6

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL6 (DMA6転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF6 (DMA6転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL6 (DMA6要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O-1(送信バッファ エンプティ) 10 : 要求要因拡張 (注) 11 : DMA5-1回転送完了		
4	TENL6 (DMA6転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL6 (DMA6転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL6 (DMA6ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL6 (DMA6デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA6要求要因拡張レジスタ(DM6REQ)の設定を行ってください。

DMA7 チャンネル制御レジスタ (DM7CNT)

<アドレス:H'0080 0438>

D0	1	2	3	4	5	6	D7
MDSSEL7	TREQF7	REQSL7		TENL7	TSZSL7	SADSL7	DADSL7

<リセット時:H'00>

D	ビット名	機能	R	W
0	MDSSEL7 (DMA7転送モード選択)	0: ノーマルモード 1: リングバッファモード		
1	TREQF7 (DMA7転送要求フラグ)	0: 要求なし 1: 要求あり		
2, 3	REQSL7 (DMA7要求要因選択)	00: ソフトウェア起動 01: シリアルI/O- α 送信バッファ エンブティ) 10: 要求要因拡張 (注) 11: DMA6-1回転送終了		
4	TENL7 (DMA7転送許可)	0: 転送禁止 1: 転送許可		
5	TSZSL7 (DMA7転送サイズ選択)	0: 16ビット 1: 8ビット		
6	SADSL7 (DMA7ソースアドレス方向選択)	0: 固定 1: インクリメント		
7	DADSL7 (DMA7デスティネーション アドレス方向選択)	0: 固定 1: インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA7要求要因拡張レジスタ(DM7REQ)の設定を行ってください。

DMA8 チャンネル制御レジスタ (DM8CNT)

<アドレス:H'0080 0448>

D0	1	2	3	4	5	6	D7
MDSEL8	TREQF8	REQSL8		TENL8	TSZSL8	SADSL8	DADSL8

<リセット時:H'00>

D	ビット名	機能	R	W
0	MDSEL8 (DMA8転送モード選択)	0: ノーマルモード 1: リングバッファモード		
1	TREQF8 (DMA8転送要求フラグ)	0: 要求なし 1: 要求あり		
2, 3	REQSL8 (DMA8要求要因選択)	00: ソフトウェア起動 01: DMA3全転送終了 10: シリアルI/O-3(受信完了) 11: 要求要因拡張 (注)		
4	TENL8 (DMA8転送許可)	0: 転送禁止 1: 転送許可		
5	TSZSL8 (DMA8転送サイズ選択)	0: 16ビット 1: 8ビット		
6	SADSL8 (DMA8ソースアドレス方向選択)	0: 固定 1: インクリメント		
7	DADSL8 (DMA8デスティネーション アドレス方向選択)	0: 固定 1: インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA8要求要因拡張レジスタ(DM8REQ)の設定を行ってください。

DMA9 チャンネル制御レジスタ (DM9CNT)

< アドレス : H'0080 0458 >

D0	1	2	3	4	5	6	D7
MDSSEL9	TREQF9	REQSL9		TENL9	TSZSL9	SADSL9	DADSL9

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSSEL9 (DMA9転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF9 (DMA9転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL9 (DMA9要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O- α 送信バッファ エンブティ) 10 : 要求要因拡張 (注) 11 : DMA8-1回転送完了		
4	TENL9 (DMA9転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL9 (DMA9転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL9 (DMA9ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL9 (DMA9デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. 要求要因拡張を選択した場合は、必ずDMA9要求要因拡張レジスタ(DM9REQ)の設定を行ってください。

DMAチャンネル制御レジスタは、各チャンネルのDMA転送モード選択、DMA転送要求フラグ、要求要因選択、DMA転送許可、転送サイズ、ソース/デスティネーションアドレス方向を設定するビットで構成しています。

(1) MDSELn (DMA_n 転送モード選択) ビット (D0)

単転送モードにおいて、ノーマルモードかリングバッファモードかを選択するビットです。このビットを"0"にするとノーマルモードに、"1"にするとリングバッファモードになります。

リングバッファモードでは、転送開始アドレスから32回転送後、再び転送開始アドレスに戻り、転送動作を繰り返します。このとき転送カウンタレジスタはフリーランとなり、転送許可ビットを"0"(転送禁止)にするまで転送動作を継続します。また、DMA転送終了割り込み要求は発生しません。

(2) TREQFn (DMA_n 転送要求フラグ) ビット (D1)

このフラグは、DMA転送要求が発生したとき"1"にセットされます。フラグを読み出すことにより、各チャンネルのDMA転送要求が確認できます。

このビットに"0"を書き込むと、発生したDMA転送要求をクリアします。"1"を書き込んだ場合は、書き込み前の値を保持します。

すでにDMA転送要求フラグが"1"にセットされているチャンネルに対して新たなDMA転送要求が発生しても、そのチャンネルが転送を完了するまで次のDMA転送要求は受け付けられません。

(3) REQSLn (DMA_n 要求要因選択) ビット (D2, D3)

DMAの各チャンネルに対するDMA要求要因を選択します。

注. DMA要求要因のうち、要求要因拡張を選択した場合は、必ずDMA要求要因拡張レジスタのDMA要求拡張要因の設定を行ってください。

(4) TENLn (DMA_n 転送許可) ビット (D4)

このビットを"1"にすると転送が許可され、DMA転送可能状態となります。また、"0"にすると転送が禁止されます。ただし、既に転送要求が受け付けられていた場合は、その転送が完了後に禁止されます。

(5) TSZSLn (DMA_n 転送サイズ選択) ビット (D5)

1回のDMA転送動作(1転送単位)で転送するビット数を選択します。

このビットを"0"にすると1転送単位が16ビット、"1"にすると1転送単位が8ビットになります。

(6) SADSln (DMA_n ソースアドレス方向選択) ビット (D6)

ソースアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

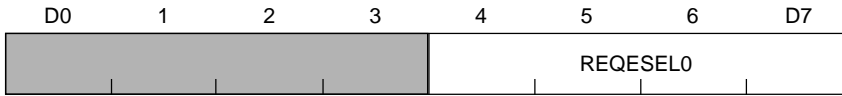
(7) DADSLn (DMA_n デスティネーションアドレス方向選択) ビット (D7)

デスティネーションアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

9.2.2 DMA要求要因拡張レジスタ

DMA0 要求要因拡張レジスタ (DM0REQ)

< アドレス : H'0080 0416 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL0 (DMA0要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN0A入力信号 0101 : シリアルI/O-2(送信バッファ エンプティ) 0110 : シリアルI/O-7(送信バッファ エンプティ) 0111 : 非選択 1xxx : 非選択		

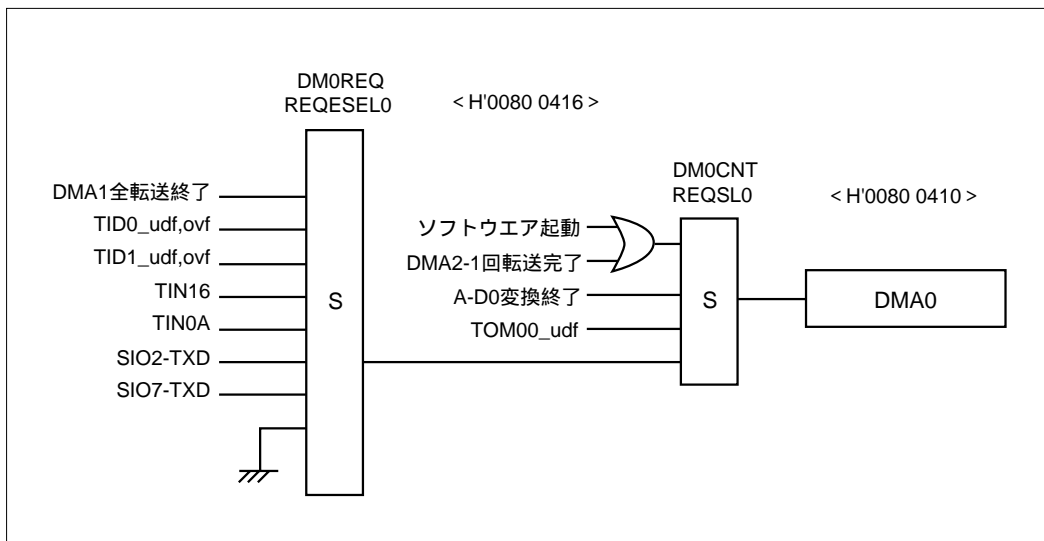
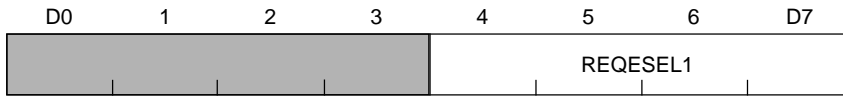


図9.2.3 DMA0要求要因拡張ブロック図

DMA1 要求要因拡張レジスタ (DM1REQ)

< アドレス : H'0080 0426 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL1 (DMA1要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN17入力信号 0101 : TOM02_udf 0110 : シリアルI/O-4(受信完了) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

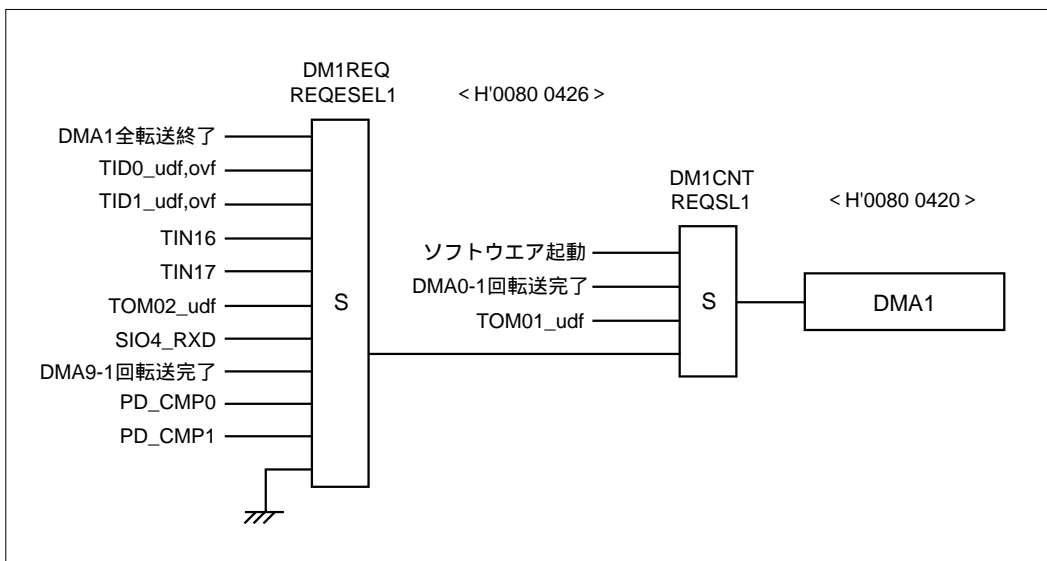
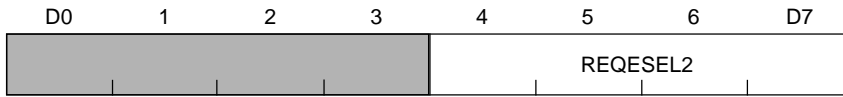


図9.2.4 DMA1要求要因拡張ブロック図

DMA2 要求要因拡張レジスタ (DM2REQ)

< アドレス : H'0080 0436 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL2 (DMA2要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN18入力信号 0101 : TOM07_udf 0110 : シリアルI/O-5(受信完了) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

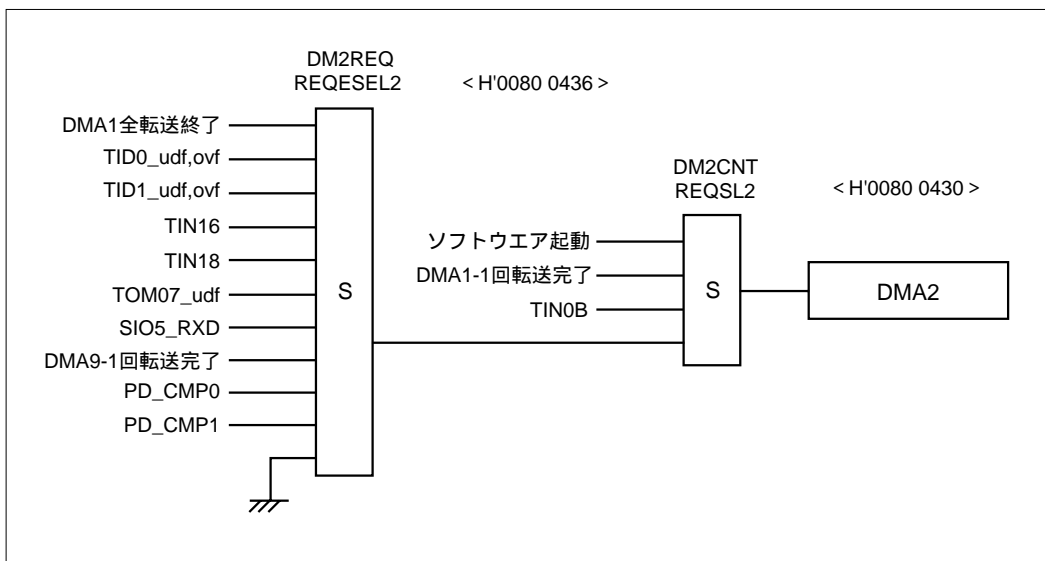
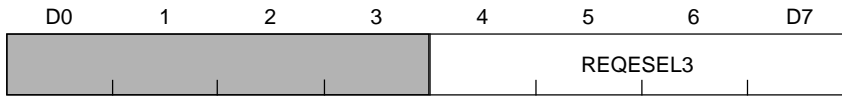


図9.2.5 DMA2要求要因拡張ブロック図

DMA3 要求要因拡張レジスタ (DM3REQ)

< アドレス : H'0080 0446 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL3 (DMA3要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN19入力信号 0101 : TOM03_udf 0110 : A-D1変換終了 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

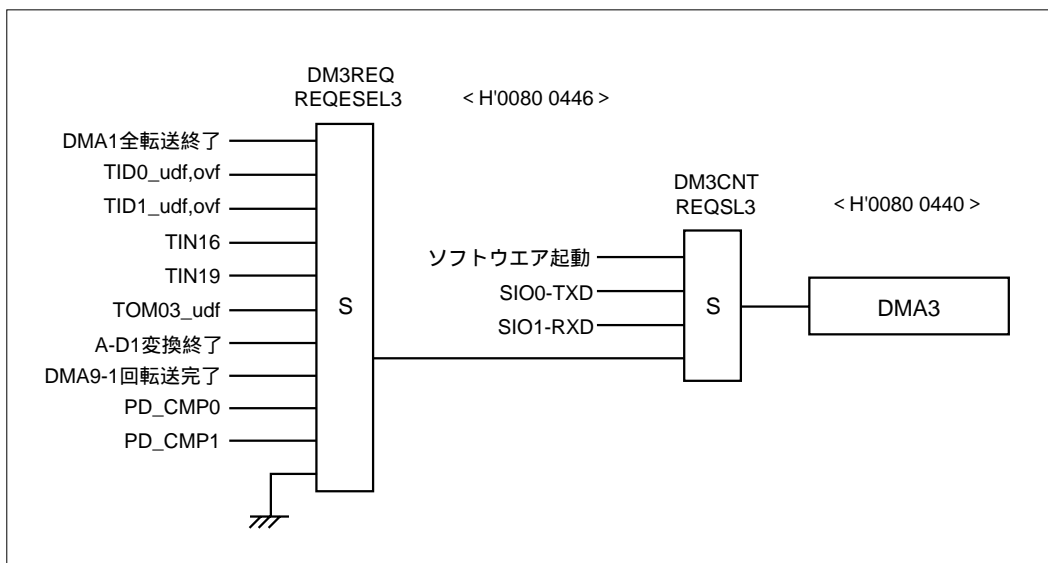
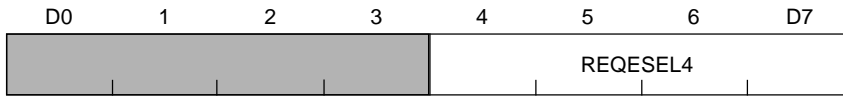


図9.2.6 DMA3要求要因拡張ブロック図

DMA4 要求要因拡張レジスタ (DM4REQ)

< アドレス : H'0080 0456 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL4 (DMA4要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN23入力信号 0101 : TOM04_udf 0110 : シリアルI/O-3(送信バッファ エンブティ) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP 101x : 非選択 11xx : 非選択		

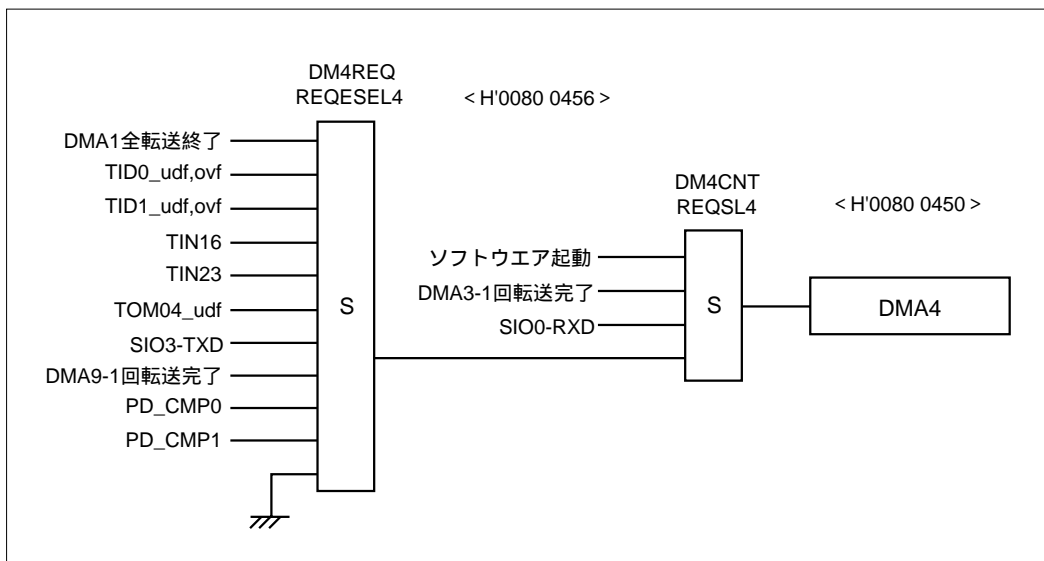
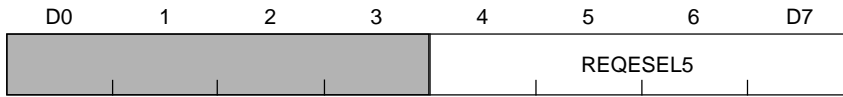


図9.2.7 DMA4要求要因拡張ブロック図

DMA5 要求要因拡張レジスタ (DM5REQ)

< アドレス : H'0080 041E >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL5 (DMA5要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN1A入力信号 0101 : TOM16_udf 0110 : シリアルI/O-4(送信バッファ エンブティ) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

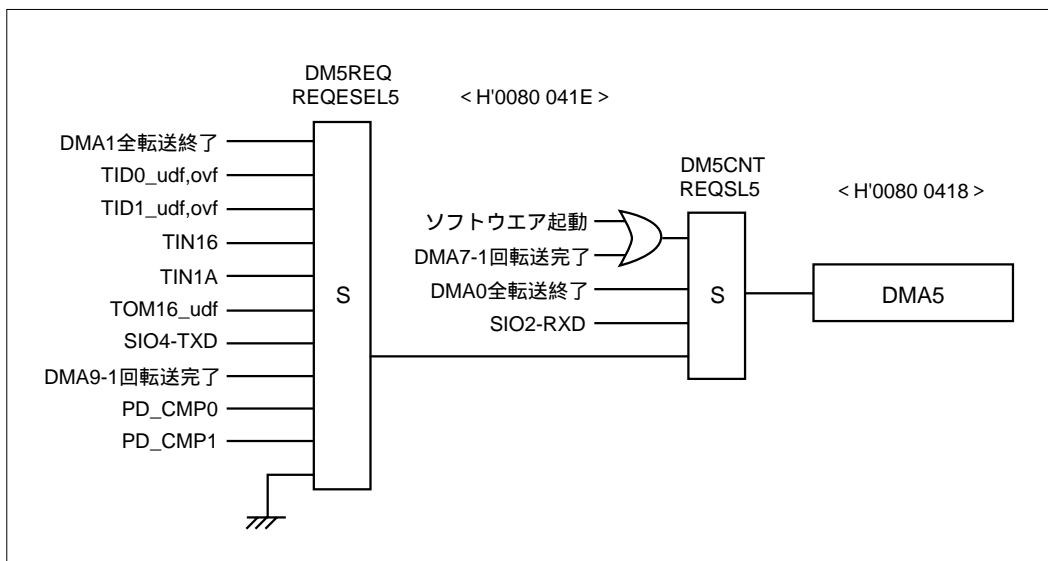
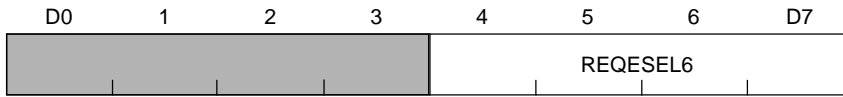


図9.2.8 DMA5要求要因拡張ブロック図

DMA6 要求要因拡張レジスタ (DM6REQ)

< アドレス : H'0080 042E >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL6 (DMA6要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN20入力信号 0101 : TOM05_udf 0110 : シリアルI/O-6(受信完了) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

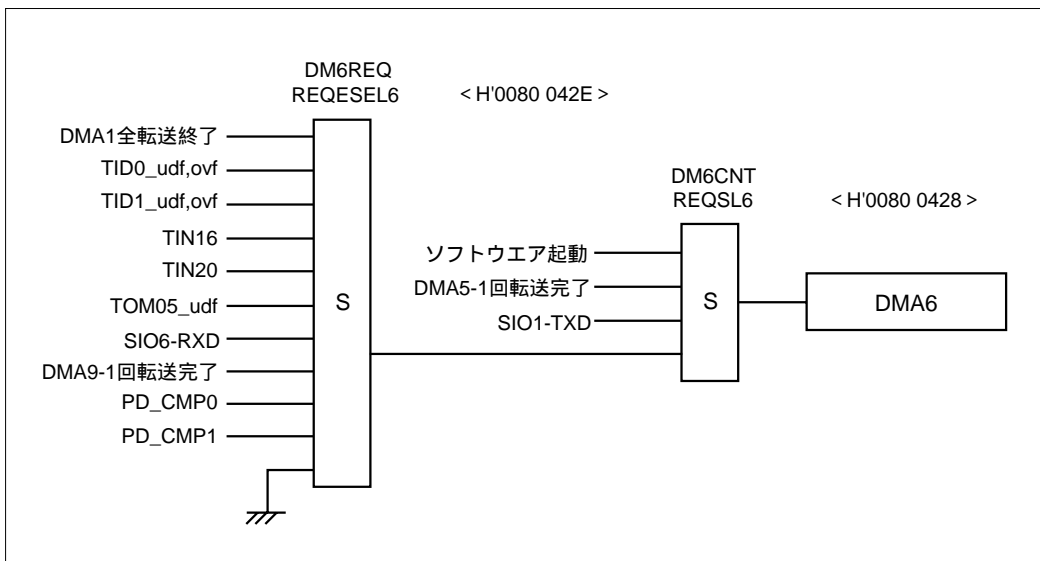
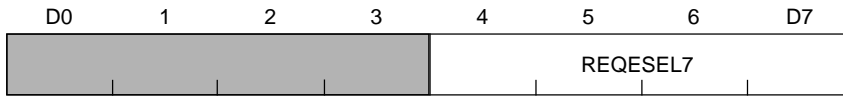


図9.2.9 DMA6要求要因拡張ブロック図

DMA7 要求要因拡張レジスタ (DM7REQ)

< アドレス : H'0080 043E >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL7 (DMA7要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN1B入力信号 0101 : TOM06_udf 0110 : シリアルI/O-5(送信バッファ エンブティ) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

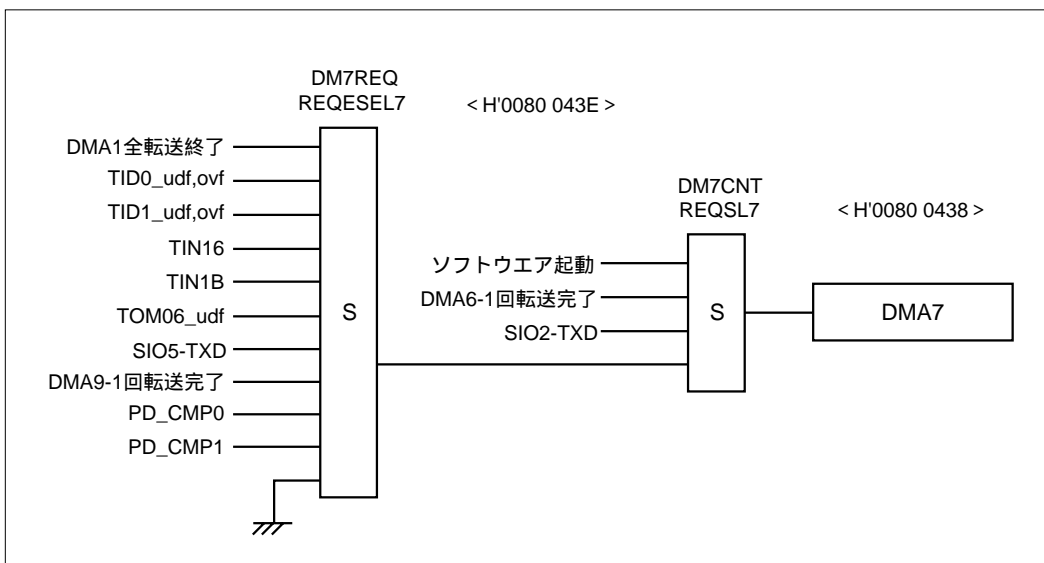
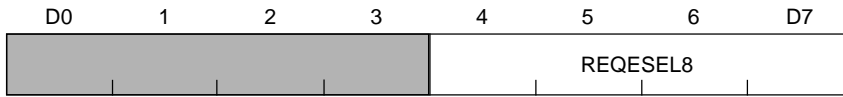


図9.2.10 DMA7要求要因拡張ブロック図

DMA8 要求要因拡張レジスタ (DM8REQ)

< アドレス : H'0080 044E >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL8 (DMA8要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN21入力信号 0101 : TOM17_udf 0110 : シリアルI/O-6(送信バッファ エンブティ) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

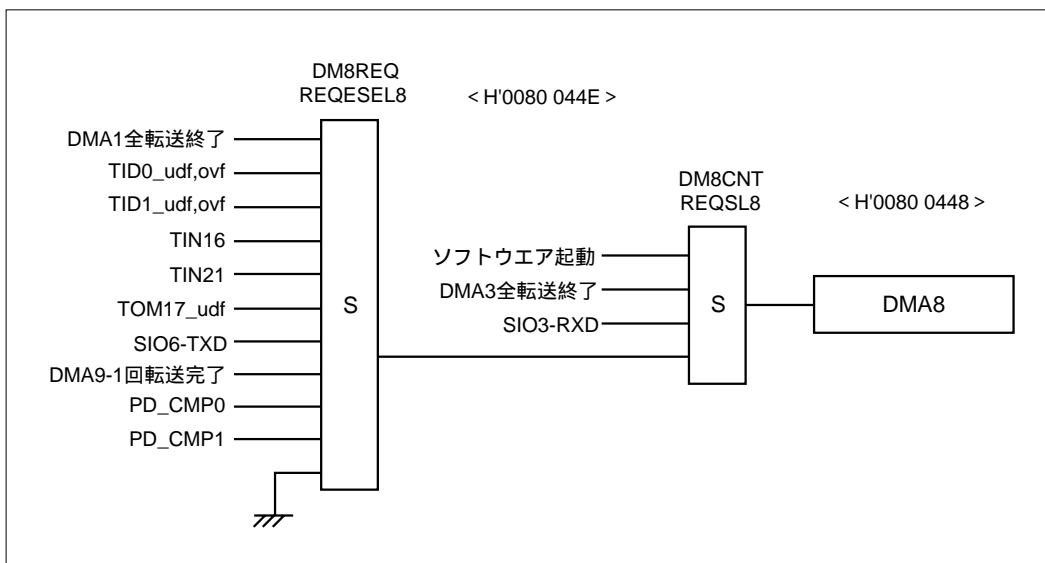
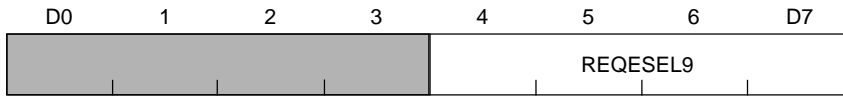


図9.2.11 DMA8要求要因拡張ブロック図

DMA9 要求要因拡張レジスタ (DM9REQ)

< アドレス : H'0080 045E >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	REQESEL9 (DMA9要求拡張要因選択)	0000 : DMA1全転送終了 0001 : TID0_udf,ovf 0010 : TID1_udf,ovf 0011 : TIN16入力信号 0100 : TIN22入力信号 0101 : TOM10_udf 0110 : シリアルI/O-7(受信完了) 0111 : DMA9-1回転送完了 1000 : PD_CMP0 1001 : PD_CMP1 101x : 非選択 11xx : 非選択		

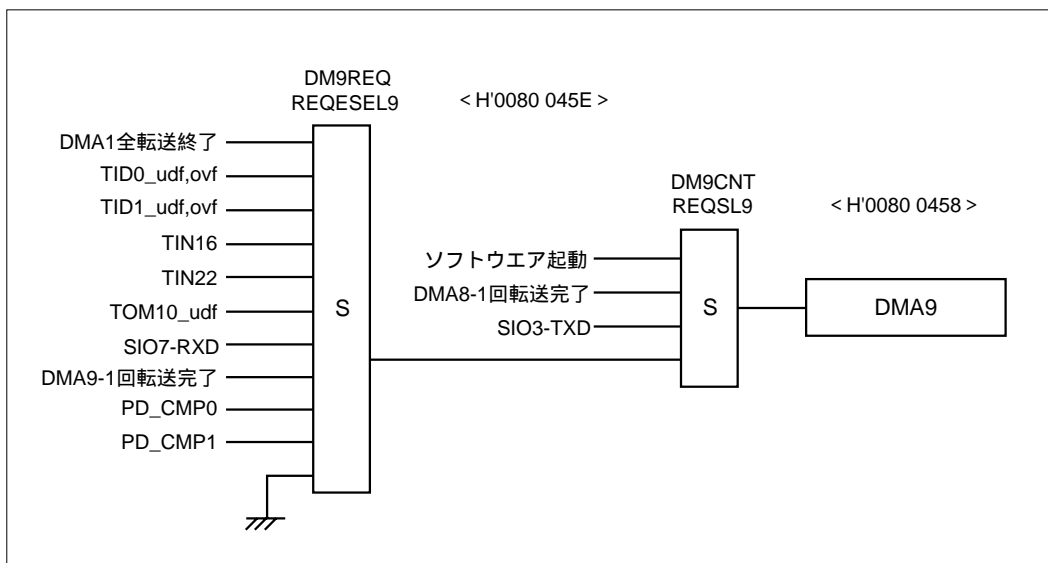


図9.2.12 DMA9要求要因拡張ブロック図

DMA要求要因拡張レジスタは、DMAチャンネル制御レジスタのDMA要求要因選択(REQSLn)ビットで要求要因拡張を選択した場合、DMA転送要求拡張要因を指定するレジスタです。

(1) REQESLn (DMA_n 要求拡張要因選択) ビット (D4 ~ D7)

DMAの各チャンネルに対するDMA転送要求拡張要因を選択します。

注. DMAチャンネル制御レジスタのDMA要求要因選択(REQSLn)ビットで要求要因拡張を選択した場合のみ、REQESLn(DMA_n要求拡張要因選択)ビットで選択したDMA転送要求拡張要因が有効になります。

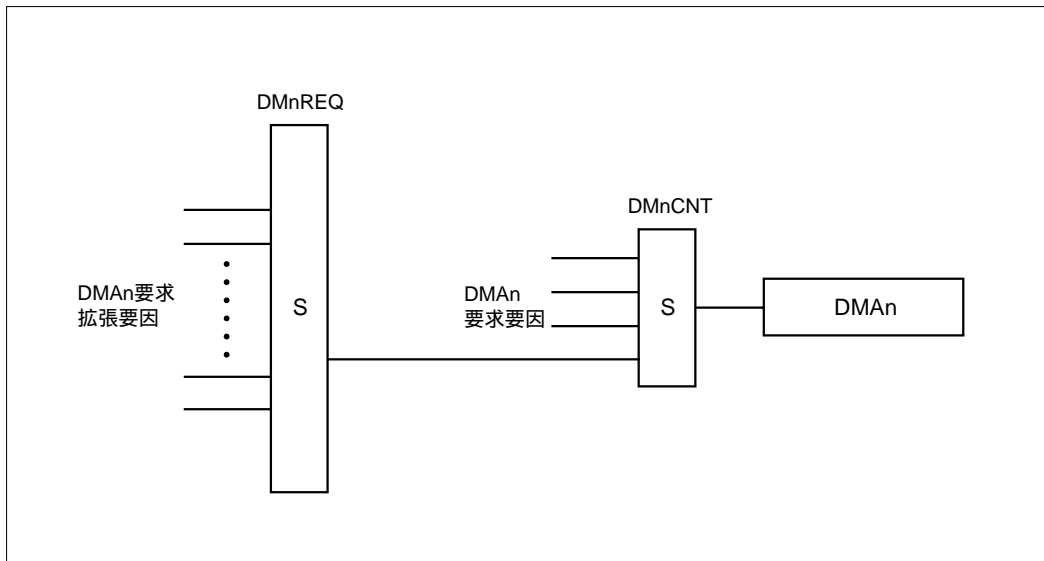
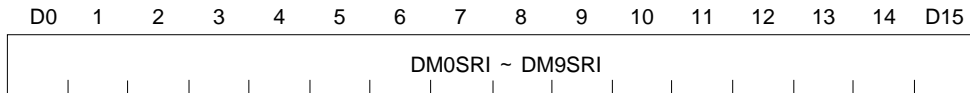


図9.2.13 DMA_n要求要因拡張ブロック図

9.2.3 DMAソフトウェア要求発生レジスタ

DMA0 ソフトウェア要求発生レジスタ (DM0SRI)	< アドレス : H'0080 0460 >
DMA1 ソフトウェア要求発生レジスタ (DM1SRI)	< アドレス : H'0080 0462 >
DMA2 ソフトウェア要求発生レジスタ (DM2SRI)	< アドレス : H'0080 0464 >
DMA3 ソフトウェア要求発生レジスタ (DM3SRI)	< アドレス : H'0080 0466 >
DMA4 ソフトウェア要求発生レジスタ (DM4SRI)	< アドレス : H'0080 0468 >
DMA5 ソフトウェア要求発生レジスタ (DM5SRI)	< アドレス : H'0080 0470 >
DMA6 ソフトウェア要求発生レジスタ (DM6SRI)	< アドレス : H'0080 0472 >
DMA7 ソフトウェア要求発生レジスタ (DM7SRI)	< アドレス : H'0080 0474 >
DMA8 ソフトウェア要求発生レジスタ (DM8SRI)	< アドレス : H'0080 0476 >
DMA9 ソフトウェア要求発生レジスタ (DM9SRI)	< アドレス : H'0080 0478 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0SRI ~ DM9SRI (DMAソフトウェア要求発生)	任意データの書き込みで DMA転送要求を発生	?	

注. このレジスタはバイトでもハーフワードでもアクセス可能です。

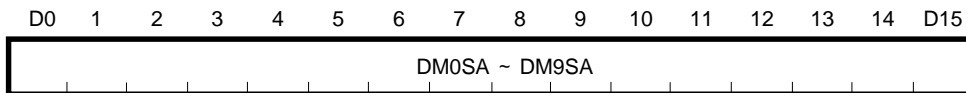
DMAソフトウェア要求発生レジスタは、ソフトウェアでDMA転送要求を発生するためのレジスタで、DMA要求要因として「ソフトウェア起動」を選択しているとき、このレジスタに任意の値を書き込むとDMA転送要求を発生することができます。

DM0SRI ~ DM9SRI (DMAソフトウェア要求発生) ビット

DMA要求要因としてソフトウェアを選択 (DMAチャンネル制御レジスタのD2, D3を"00"に設定) した場合、このレジスタにハーフワード (16ビット) か、偶数もしくは奇数番地で始まるバイト (8ビット) に任意データを書き込むと、ソフトウェアDMA転送要求が発生します。

9.2.4 DMAソースアドレスレジスタ

DMA0 ソースアドレスレジスタ (DM0SA)	< アドレス : H'0080 0412 >
DMA1 ソースアドレスレジスタ (DM1SA)	< アドレス : H'0080 0422 >
DMA2 ソースアドレスレジスタ (DM2SA)	< アドレス : H'0080 0432 >
DMA3 ソースアドレスレジスタ (DM3SA)	< アドレス : H'0080 0442 >
DMA4 ソースアドレスレジスタ (DM4SA)	< アドレス : H'0080 0452 >
DMA5 ソースアドレスレジスタ (DM5SA)	< アドレス : H'0080 041A >
DMA6 ソースアドレスレジスタ (DM6SA)	< アドレス : H'0080 042A >
DMA7 ソースアドレスレジスタ (DM7SA)	< アドレス : H'0080 043A >
DMA8 ソースアドレスレジスタ (DM8SA)	< アドレス : H'0080 044A >
DMA9 ソースアドレスレジスタ (DM9SA)	< アドレス : H'0080 045A >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0SA ~ DM9SA (DMAソースアドレス)	ソースアドレスのA16 ~ A31 (A0 ~ A15 はH'0080に固定)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

DMAソースアドレスレジスタには、D0がA16、D15がA31になるようにDMA転送元のアドレスを設定します。このレジスタはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)になります。

DMAソースアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

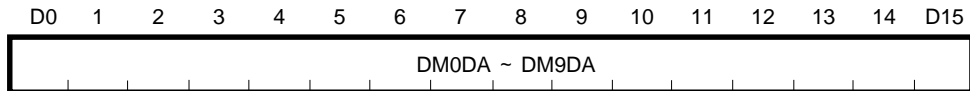
DM0SA ~ DM9SA (ソースアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のソースアドレスを指定します。

ソースアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではソースアドレスの下位16ビットを設定します(D0がソースアドレスのA16、D15がソースアドレスのA31に相当します)。

9.2.5 DMAデスティネーションアドレスレジスタ

DMA0 デスティネーションアドレスレジスタ (DM0DA)	< アドレス : H'0080 0414 >
DMA1 デスティネーションアドレスレジスタ (DM1DA)	< アドレス : H'0080 0424 >
DMA2 デスティネーションアドレスレジスタ (DM2DA)	< アドレス : H'0080 0434 >
DMA3 デスティネーションアドレスレジスタ (DM3DA)	< アドレス : H'0080 0444 >
DMA4 デスティネーションアドレスレジスタ (DM4DA)	< アドレス : H'0080 0454 >
DMA5 デスティネーションアドレスレジスタ (DM5DA)	< アドレス : H'0080 041C >
DMA6 デスティネーションアドレスレジスタ (DM6DA)	< アドレス : H'0080 042C >
DMA7 デスティネーションアドレスレジスタ (DM7DA)	< アドレス : H'0080 043C >
DMA8 デスティネーションアドレスレジスタ (DM8DA)	< アドレス : H'0080 044C >
DMA9 デスティネーションアドレスレジスタ (DM9DA)	< アドレス : H'0080 045C >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0DA ~ DM9DA (DMAデスティネーション アドレス)	デスティネーションアドレスの A16 ~ A31(A0 ~ A15はH'0080に固定)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

DMAデスティネーションアドレスレジスタには、D0がA16、D15がA31になるようにDMA転送先のアドレスを設定します。このレジスタへのアクセスはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)となります。

DMAデスティネーションアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

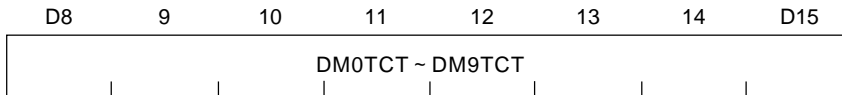
DM0DA ~ DM9DA (デスティネーションアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のデスティネーションアドレスを指定します。

デスティネーションアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではデスティネーションアドレスの下位16ビットを設定します(D0がデスティネーションアドレスのA16、D15がデスティネーションアドレスのA31に相当します)。

9.2.6 DMA転送カウントレジスタ

DMA0 転送カウントレジスタ (DM0TCT)	< アドレス : H'0080 0411 >
DMA1 転送カウントレジスタ (DM1TCT)	< アドレス : H'0080 0421 >
DMA2 転送カウントレジスタ (DM2TCT)	< アドレス : H'0080 0431 >
DMA3 転送カウントレジスタ (DM3TCT)	< アドレス : H'0080 0441 >
DMA4 転送カウントレジスタ (DM4TCT)	< アドレス : H'0080 0451 >
DMA5 転送カウントレジスタ (DM5TCT)	< アドレス : H'0080 0419 >
DMA6 転送カウントレジスタ (DM6TCT)	< アドレス : H'0080 0429 >
DMA7 転送カウントレジスタ (DM7TCT)	< アドレス : H'0080 0439 >
DMA8 転送カウントレジスタ (DM8TCT)	< アドレス : H'0080 0449 >
DMA9 転送カウントレジスタ (DM9TCT)	< アドレス : H'0080 0459 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
8 ~ 15	DM0TCT ~ DM9TCT (DMA転送カウント)	DMA転送回数 (リングバッファ モード時は無視)		

DMA転送カウントレジスタは、各チャンネルごとに転送する回数を設定します。ただし、リングバッファモード時はこのレジスタの値は無視されます。

転送回数は(転送カウントレジスタの設定値 + 1)となります。DMA転送カウントレジスタは、カレントレジスタで構成されているため、読み出し値は現在値となります(ただし、転送直後のサイクルで読み出した場合は、転送前のカウントレジスタ値となります)。

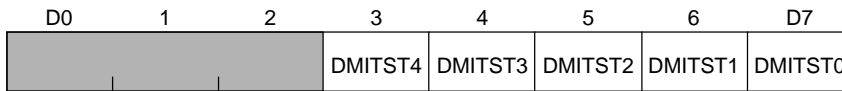
また転送終了時は、アンダフロー(読み出し値はH'FF)となります。

なお、カスケード接続されたチャンネルがある場合、DMAの1回転送(バイトまたはハーフワード)完了ごとに、または全転送終了(転送カウントレジスタのアンダフロー)で、カスケード接続されたチャンネルが起動されます。

9.2.7 DMA割り込み要求ステータスレジスタ

DMA0-4 割り込み要求ステータスレジスタ (DM04ITST)

< アドレス: H'0080 0400 >



< リセット時: H'00 >

D	ビット名	機能	R	W
0 ~ 2	何も配置されていません		0	-
3	DMITST4 (DMA4割り込み要求ステータス)	0: 割り込み要求なし 1: 割り込み要求あり		
4	DMITST3 (DMA3割り込み要求ステータス)			
5	DMITST2 (DMA2割り込み要求ステータス)			
6	DMITST1 (DMA1割り込み要求ステータス)			
7	DMITST0 (DMA0割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA0-4割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=0\sim 4$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 0 \sim 4$)【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

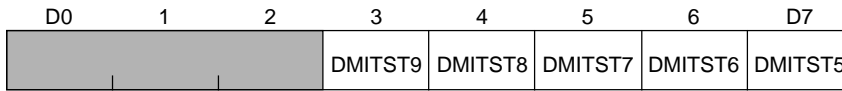
ソフトウェアで"0"を書き込むことによって行います。

注. 割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んでも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA0-4割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

DMA5-9 割り込み要求ステータスレジスタ (DM59ITST)

<アドレス:H'0080 0408>



<リセット時:H'00>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	DMITST9 (DMA9割り込み要求ステータス)	0: 割り込み要求なし 1: 割り込み要求あり		
4	DMITST8 (DMA8割り込み要求ステータス)			
5	DMITST7 (DMA7割り込み要求ステータス)			
6	DMITST6 (DMA6割り込み要求ステータス)			
7	DMITST5 (DMA5割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5-9割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=5\sim 9$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 5 \sim 9$)

【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

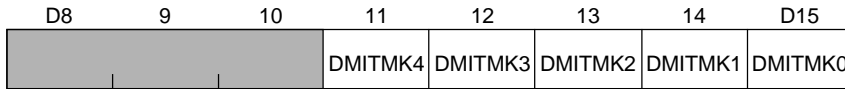
注. 割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んでも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA5-9割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

9.2.8 DMA割り込みマスクレジスタ

DMA0-4 割り込みマスクレジスタ (DM04ITMK)

< アドレス : H'0080 0401 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8 ~ 10	何も配置されていません		0	-
11	DMITMK4 (DMA4割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク(禁止)		
12	DMITMK3 (DMA3割り込み要求マスク)			
13	DMITMK2 (DMA2割り込み要求マスク)			
14	DMITMK1 (DMA1割り込み要求マスク)			
15	DMITMK0 (DMA0割り込み要求マスク)			

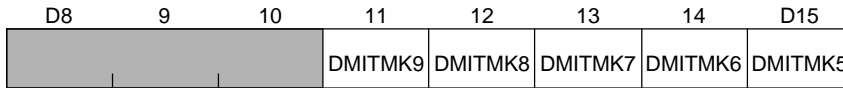
DMA0-4割り込みマスクレジスタは、DMA各チャンネルの割り込み要求をマスクするレジスタです。

DMITMK n (DMA n 割り込み要求マスク) ビット ($n = 0 \sim 4$)

DMA n 割り込み要求マスクビットを"1"にすると、DMA n の割り込み要求がマスクされます。ただし割り込み要求発生時、DMA n 割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

DMA5-9 割り込みマスクレジスタ (DM59ITMK)

< アドレス : H'0080 0409 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	DMITMK9 (DMA9割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク(禁止)		
12	DMITMK8 (DMA8割り込み要求マスク)			
13	DMITMK7 (DMA7割り込み要求マスク)			
14	DMITMK6 (DMA6割り込み要求マスク)			
15	DMITMK5 (DMA5割り込み要求マスク)			

DMA5-9割り込みマスクレジスタは、DMA各チャンネルの割り込み要求をマスクするレジスタです。

DMITMK n (DMA n 割り込み要求マスク) ビット ($n = 5 \sim 9$)

DMA n 割り込み要求マスクビットを"1"にすると、DMA n の割り込み要求がマスクされます。ただし割り込み要求発生時、DMA n 割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

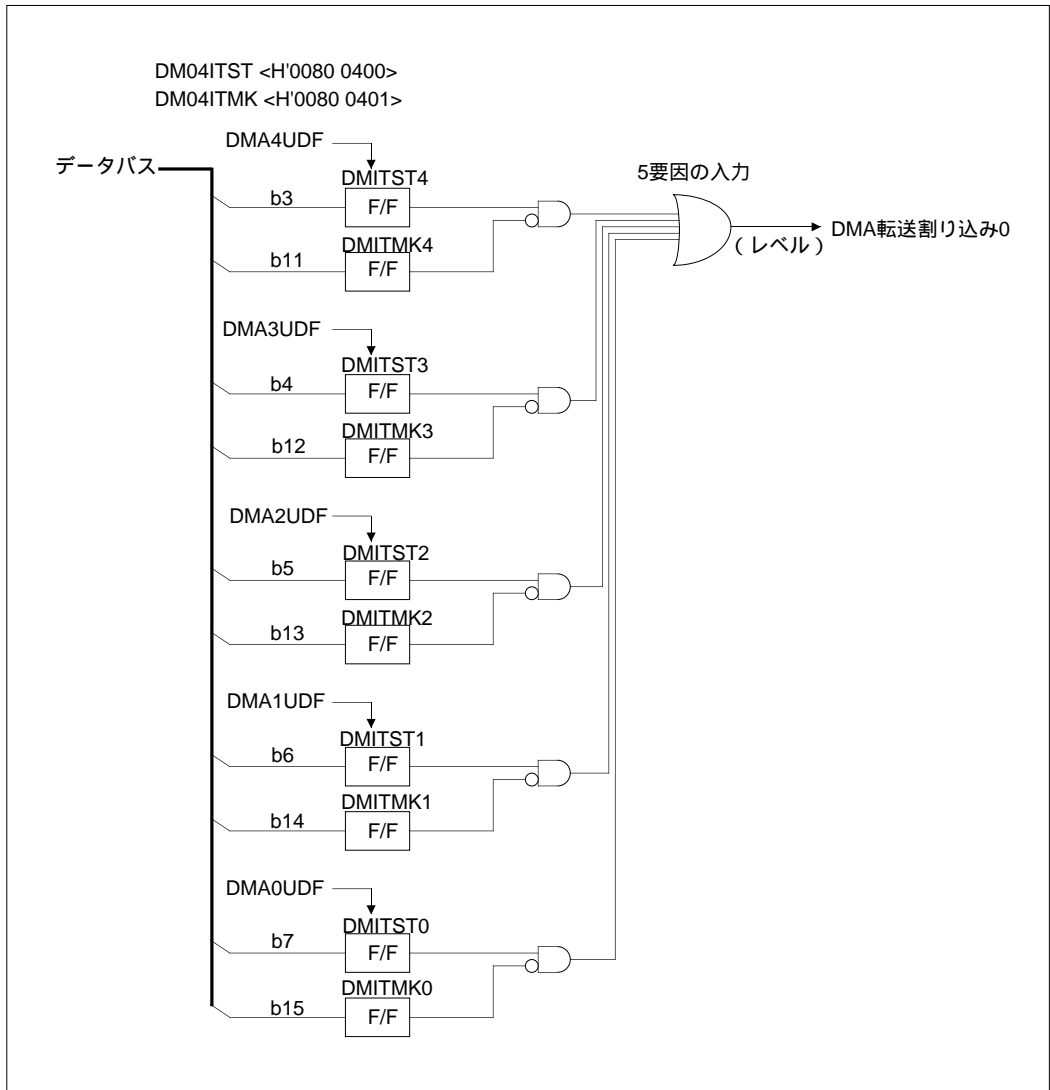


図9.2.14 DMA転送割り込み0ブロック図

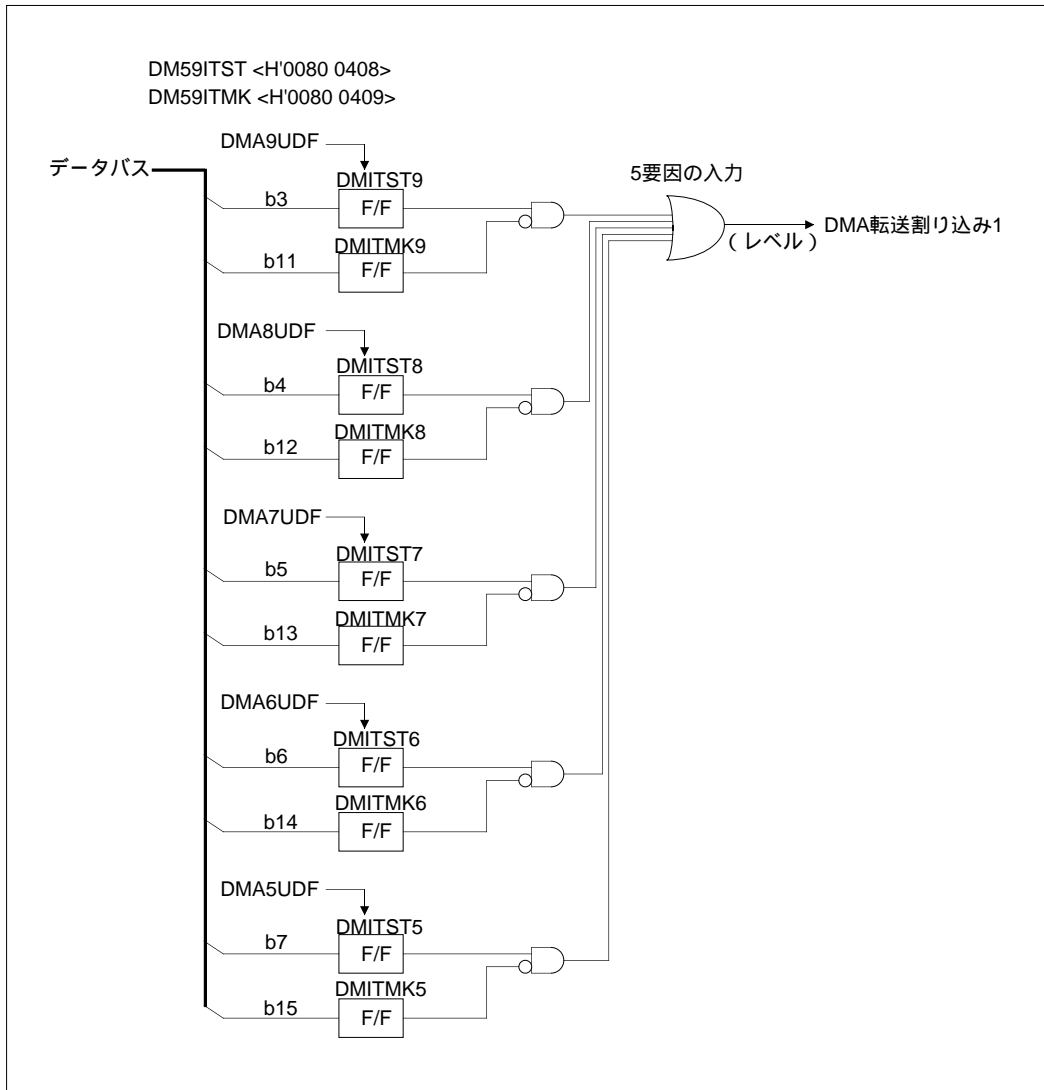


図9.2.15 DMA転送割り込み1ブロック図

9.3 DMAC機能説明

9.3.1 DMA要求要因

DMAは各チャンネル(0~9チャンネル)ごとに、複数の要因からDMA転送を要求することができます。DMA転送の要求要因には、内蔵周辺I/Oによる起動、プログラムによるソフトウェア起動、およびDMA他チャンネルの1回転送完了、または全転送終了による起動(カスケードモード)があります。

DMA要求要因の選択は、各チャンネルの要求要因選択ビットREQSLn(DMA nチャンネル制御レジスタのD2とD3)、要求拡張要因選択ビットREQESELn(DMA n要求要因拡張レジスタのD4~D7)で行います。以下に各チャンネルのDMA要求要因の一覧を示します。

表9.3.1 DMA0のDMA要求要因とその発生タイミング

REQSL0	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動 またはDMA2-1回転送完了	DMA0ソフトウェア要求発生レジスタに任意データを書き込んだとき(ソフトウェア起動)、またはDMA2の1回転送完了時(カスケードモード)
0 1	A-D0変換終了	A-D0変換終了時
1 0	タイマ(TOM00_ufd)	TOM00タイマのアンダフロー発生時
1 1	要求要因拡張	—

表9.3.2 DMA0のDMA要求拡張要因とその発生タイミング

REQESEL0	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_ufd,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_ufd,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN0A入力信号	PDモジュールのTIN0A入力信号発生時
0101	シリアルI/O-2 (送信バッファエンプティ)	シリアルI/O-2送信バッファが空になった時
0110	シリアルI/O-7 (送信バッファエンプティ)	シリアルI/O-7送信バッファが空になった時

注. DMA要求拡張要因は、DMA0チャンネル制御レジスタのREQSL0ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.3 DMA1のDMA要求要因とその発生タイミング

REQSL1	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA1ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	要求要因拡張	—
1 0	タイマ(TOM01_udf)	TOM01タイマのアンダフロー発生時
1 1	DMA0-1回転送完了	DMA0の1回転送完了時(カスケードモード)

表9.3.4 DMA1のDMA要求拡張要因とその発生タイミング

REQESEL1	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_udf,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_udf,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN17入力信号	タイマのTIN17入力信号発生時
0101	TOM02_udf	TOM02タイマのアンダフロー発生時
0110	シリアルI/O-4(受信完了)	シリアルI/O-4の受信完了時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA1チャンネル制御レジスタのREQSL1ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.5 DMA2のDMA要求要因とその発生タイミング

REQSL2	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA2ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	要求要因拡張	—
1 0	PDモジュール(TIN0B入力信号)	PDモジュールのTIN0B入力信号発生時
1 1	DMA1-1回転送完了	DMA1の1回転送完了時(カスケードモード)

表9.3.6 DMA2のDMA要求拡張要因とその発生タイミング

REQESEL2	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_udf,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_udf,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN18入力信号	タイマのTIN18入力信号発生時
0101	TOM07_udf	TOM07タイマのアンダフロー発生時
0110	シリアル/O-5(受信完了)	シリアル/O-5の受信完了時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA2チャンネル制御レジスタのREQSL2ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.7 DMA3のDMA要求要因とその発生タイミング

REQSL3	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA3ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアル/O-0 (送信バッファエンプティ)	シリアル/O-0送信バッファが空になった時
1 0	シリアル/O-1(受信完了)	シリアル/O-1の受信完了時
1 1	要求要因拡張	—

表9.3.8 DMA3のDMA要求拡張要因とその発生タイミング

REQSEL3	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_ufd,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_ufd,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN19入力信号	タイマのTIN19入力信号発生時
0101	TOM03_ufd	TOM03タイマのアンダフロー発生時
0110	A-D1変換終了	A-D1変換終了時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA3チャンネル制御レジスタのREQSL3ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.9 DMA4のDMA要求要因とその発生タイミング

REQSL4	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA4ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	DMA3-1回転送完了	DMA3の1回転送完了時(カスケードモード)
1 0	シリアルI/O-0(受信完了)	シリアルI/O-0受信完了時
1 1	要求要因拡張	—

表9.3.10 DMA4のDMA要求拡張要因とその発生タイミング

REQESEL4	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_udf,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_udf,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN23入力信号	タイマのTIN23入力信号発生時
0101	TOM04_udf	TOM04タイマのアンダフロー発生時
0110	シリアルI/O-3 (送信バッファエンプティ)	シリアルI/O-3送信バッファが空になった時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA4チャンネル制御レジスタのREQSL4ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.11 DMA5のDMA要求要因とその発生タイミング

REQSL5	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動 またはDMA7-1回転送完了	DMA5ソフトウェア要求発生レジスタに任意データを書き込んだとき、またはDMA7の1回転送完了時(カスケードモード)
0 1	DMA0全転送終了	DMA0全転送終了時(カスケードモード)
1 0	シリアル/O-2(受信完了)	シリアル/O-2受信完了時
1 1	要求要因拡張	—

表9.3.12 DMA5のDMA要求拡張要因とその発生タイミング

REQSEL5	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_udf,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_udf,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN1A入力信号	PDモジュールのTIN1A入力信号発生時
0101	TOM16_udf	TOM16タイマのアンダフロー発生時
0110	シリアル/O-4 (送信バッファエンブティ)	シリアル/O-4送信バッファが空になった時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA5チャンネル制御レジスタのREQSL5ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.13 DMA6のDMA要求要因とその発生タイミング

REQSL6	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA6ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアル/O-1 (送信バッファエンプティ)	シリアル/O-1送信バッファが空になった時
1 0	要求要因拡張	—
1 1	DMA5-1回転送完了	DMA5の1回転送完了時(カスケードモード)

表9.3.14 DMA6のDMA要求拡張要因とその発生タイミング

REQESEL6	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_ufd,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_ufd,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN20入力信号	タイマのTIN20入力信号発生時
0101	TOM05_ufd	TOM05タイマのアンダフロー発生時
0110	シリアル/O-6(受信完了)	シリアル/O-6の受信完了時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA6チャンネル制御レジスタのREQSL6ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.15 DMA7のDMA要求要因とその発生タイミング

REQSL7	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA7ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-2 (送信バッファエンプティ)	シリアルI/O-2送信バッファが空になった時
1 0	要求要因拡張	—
1 1	DMA6-1回転送完了	DMA6の1回転送完了時(カスケードモード)

表9.3.16 DMA7のDMA要求拡張要因とその発生タイミング

REQSEL7	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_udf,ovf	TID0タイマのアンダフロー及びオーバーフロー発生時
0010	TID1_udf,ovf	TID1タイマのアンダフロー及びオーバーフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN1B入力信号	PDモジュールのTIN1B入力信号発生時
0101	TOM06_udf	TOM06タイマのアンダフロー発生時
0110	シリアルI/O-5 (送信バッファエンプティ)	シリアルI/O-5送信バッファが空になった時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA7チャンネル制御レジスタのREQSL7ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.17 DMA8のDMA要求要因とその発生タイミング

REQSL8	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA8ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	DMA3全転送終了	DMA3の全転送終了時(カスケードモード)
1 0	シリアルI/O-3(受信完了)	シリアルI/O-3の受信完了時
1 1	要求要因拡張	—

表9.3.18 DMA8のDMA要求拡張要因とその発生タイミング

REQESEL8	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_udf,ovf	TID0タイマのアンダフロー及びオーバフロー発生時
0010	TID1_udf,ovf	TID1タイマのアンダフロー及びオーバフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN21入力信号	タイマのTIN21入力信号発生時
0101	TOM17_udf	TOM17タイマのアンダフロー発生時
0110	シリアルI/O-6 (送信バッファエンプティ)	シリアルI/O-6送信バッファが空になった時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA8チャンネル制御レジスタのREQSL8ビットで要求要因拡張を選択した場合のみ有効となります。

表9.3.19 DMA9のDMA要求要因とその発生タイミング

REQSL9	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA9ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-3 (送信バッファエンプティ)	シリアルI/O-3送信バッファが空になった時
1 0	要求要因拡張	—
1 1	DMA8-1回転送完了	DMA8の1回転送完了時(カスケードモード)

表9.3.20 DMA9のDMA要求拡張要因とその発生タイミング

REQESEL9	DMA要求拡張要因	DMA要求発生タイミング
0000	DMA1全転送終了	DMA1全転送終了時(カスケードモード)
0001	TID0_ufd,ovf	TID0タイマのアンダフロー及びオーバーフロー発生時
0010	TID1_ufd,ovf	TID1タイマのアンダフロー及びオーバーフロー発生時
0011	TIN16入力信号	タイマのTIN16入力信号発生時
0100	TIN22入力信号	タイマのTIN22入力信号発生時
0101	TOM10_ufd	TOM10タイマのアンダフロー発生時
0110	シリアルI/O-7(受信完了)	シリアルI/O-7の受信完了時
0111	DMA9-1回転送完了	DMA9の1回転送完了時(カスケードモード)
1000	PD_CMP0	PDモジュールのチャンネル0がアブソリュートデータコンペアマッチ時
1001	PD_CMP1	PDモジュールのチャンネル1がアブソリュートデータコンペアマッチ時

注. DMA要求拡張要因は、DMA9チャンネル制御レジスタのREQSL9ビットで要求要因拡張を選択した場合のみ有効となります。

9.3.2 DMA転送の処理手順

DMAチャンネル0を使用してDMA転送を行う場合の制御例を以下に示します。

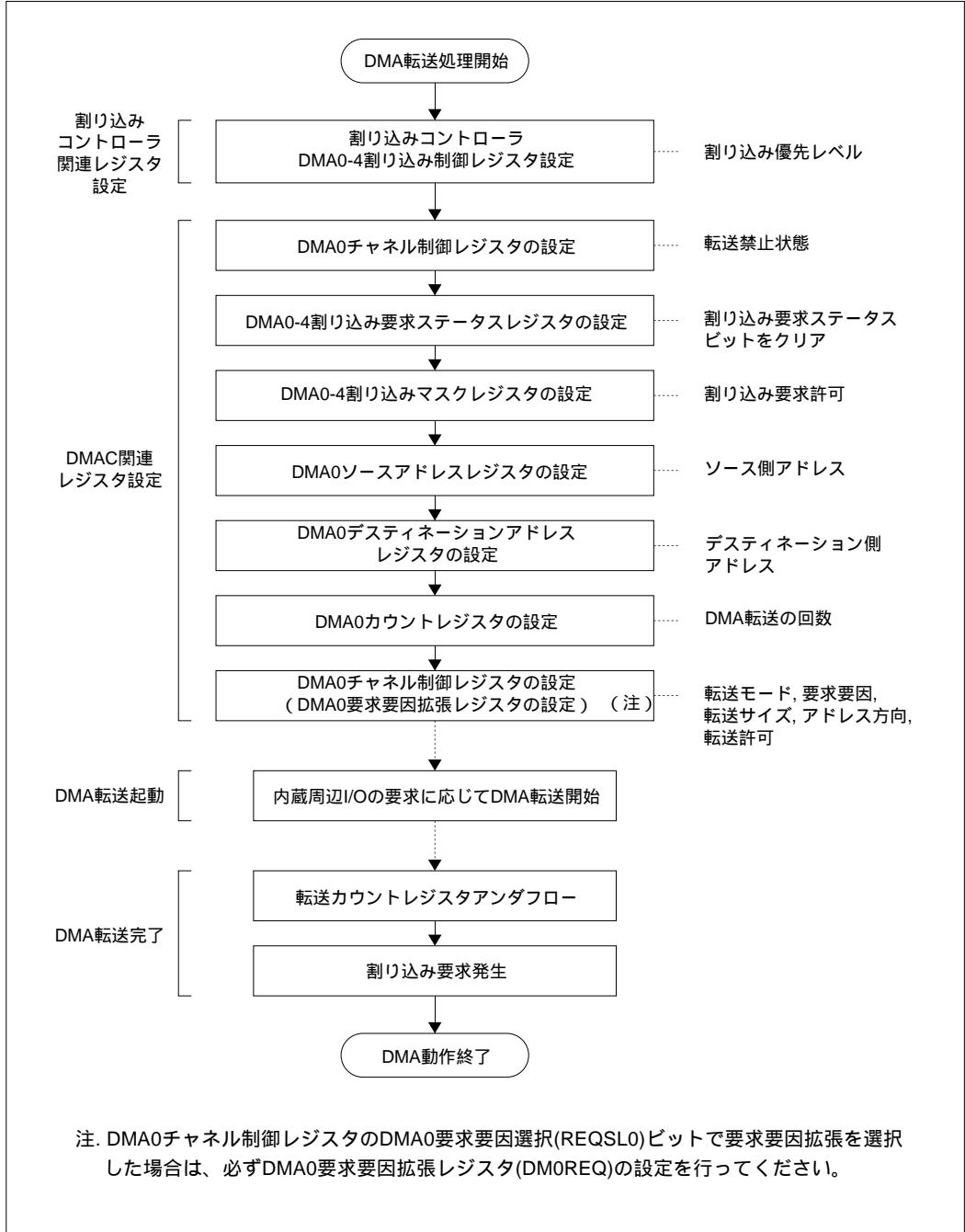


図9.3.1 DMA転送の処理手順(例)

9.3.3 DMAの起動

DMA要求要因は、REQSL(DMA要求要因選択)ビットで設定します。DMAの許可は、TENL(DMA転送許可)ビットを"1"にセットすることにより行います。TENL(DMA転送許可)ビットを"1"にセットし、指定した要求要因が有効になるとDMA転送が開始されます。

注. REQSL(DMA要求要因選択)ビットで指定した要求要因が入出力タイマ(TIN入力信号)の場合、TIN入力信号の立ち上がりエッジ、立ち下がりエッジ、または両エッジを検出してからDMA転送が開始されるまでの時間は、最短で3サイクル(内部周辺クロック = 20MHz動作時、150ns)かかります。また、前後のバスの使用状態によっては最大6サイクル(内部周辺クロック = 20MHz動作時、300ns)かかる場合があります。(ただし、TIN入力信号を検出してからDMA転送が開始されるまでの上記時間は、外部バス未使用、HOLDなし、およびLOCK命令未使用の場合)
なお、TIN入力信号の変化を正しく検出するために、 $7t_c(\text{BCLK}) / 2$ 以上のパルス幅のTIN入力信号を入力してください(詳しくは、23.6「AC特性」をご覧ください)。

9.3.4 チャンネルの優先順位

チャンネルの優先順位はチャンネル0が最優先で、以下、

チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 > チャンネル4 > チャンネル5 >
チャンネル6 > チャンネル7 > チャンネル8 > チャンネル9

の順で固定です。転送サイクル単位(DMAバスサイクル = 3サイクル)ごとに行い、要求の出ているチャンネルの中で最も優先順位の高いチャンネルが選択されます。

9.3.5 内部バス権の獲得と解放

内部バス権の獲得/解放は、各チャンネルすべて「単転送方式DMA」で行われます。単転送方式DMAでは、DMA転送要求が受け付けられると内部バス権を獲得し、1回の転送(内部周辺クロックの1リードサイクル+1ライトサイクル)のDMA転送実行後、CPUへバス権を返します。以下に単転送方式DMAの動作を示します。

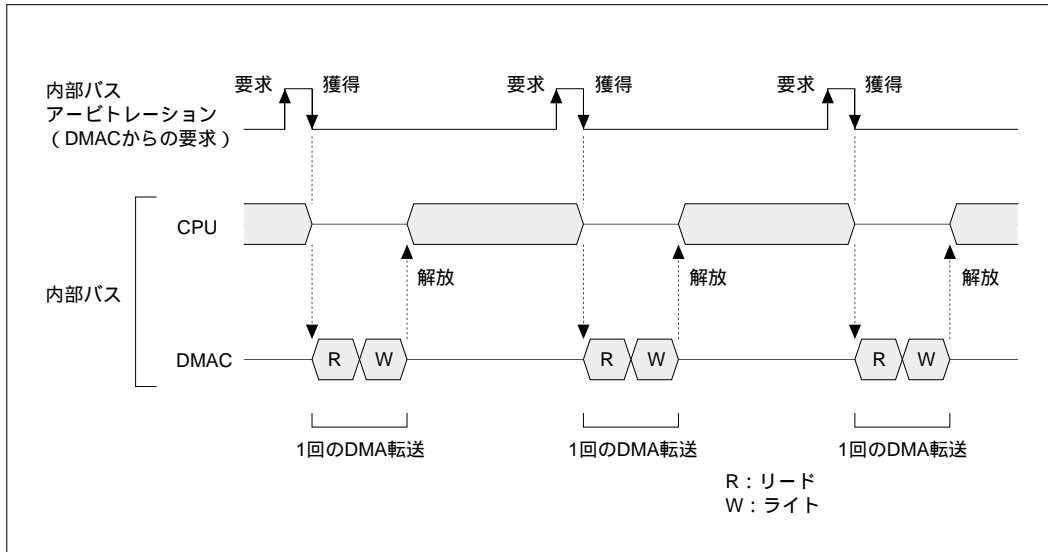


図9.3.2 内部バス権の獲得と解放

9.3.6 転送単位

1回のDMAで転送するビット数(8ビットまたは16ビット)は、チャンネルごとにTSZSL (DMA転送サイズ選択)ビットで設定します。

9.3.7 転送回数

転送回数は、チャンネルごとにDMA転送カウントレジスタに設定します。最大256回まで転送できます。1転送単位を転送するごとに、転送カウントレジスタの値が1ずつダウンカウントします。

リングバッファモードではDMA転送カウントレジスタはフリーランとなり、設定値は無視されます。

9.3.8 アドレス空間

DMA転送が可能なアドレス空間は、ソース/デスティネーションとも内蔵周辺I/OまたはRAM空間の64Kバイト(H'0080 0000 ~ H'0080 FFFF)です。各DMAチャンネルのソース/デスティネーションアドレスは、DMAソースアドレスレジスタおよびDMAデスティネーションアドレスレジスタで設定します。

9.3.9 転送動作

(1) デュアルアドレス転送

転送単位にかかわらずソースリードアクセスと、デスティネーションライトアクセスの2つのバスサイクルによって転送します(転送データは一度、DMA内部のテンポラリレジスタに取り込まれます)。

(2) バスプロトコルおよびバスタイミング

バスインタフェースはCPUと共通であるため、バスプロトコル、バスタイミングともにCPUからの周辺モジュールアクセスと同じです。

(3) 転送速度

最大転送速度は、次式で算出されます。

$$\text{最大転送速度 [バイト/秒]} = 2\text{バイト} \times \frac{1}{1/f(\text{BCLK}) \times 3\text{サイクル}}$$

(4) アドレスカウント方向とアドレス変化

ソースアドレス、デスティネーションアドレスのカウント方向(アドレスの固定/インクリメント)は、チャンネルごとにSADSL(ソースアドレス方向選択)ビットと、DADSL(デスティネーションアドレス方向選択)ビットで設定します。

アドレスは、1回のDMA転送につき転送単位が16ビットの場合は+2され、転送単位が8ビットの場合は+1されます。

表9.3.11 アドレスカウント方向とアドレス変化

アドレスカウント方向	転送単位	1回のDMAによるアドレス変化
アドレス固定	8ビット	0
	16ビット	0
アドレスインクリメント	8ビット	+1
	16ビット	+2

(5) 転送カウント値

転送カウント値は、転送単位(8ビット/16ビット)に関係なく、1ずつデクリメントされます。

(6) 転送バイト位置

転送単位が8ビット単位の場合はソース/デスティネーションとも、アドレスレジスタのLSBが有効です(したがって偶数 偶数、奇数 奇数番地転送の他に、偶数 奇数、奇数 偶数番地転送も行われます)。

転送単位が16ビットの場合、アドレスレジスタのLSB(アドレスレジスタのD15)は無視され、常に16ビットバスに対してアライメントのとれた2バイトを転送します。

以下に有効な転送バイト位置を示します。

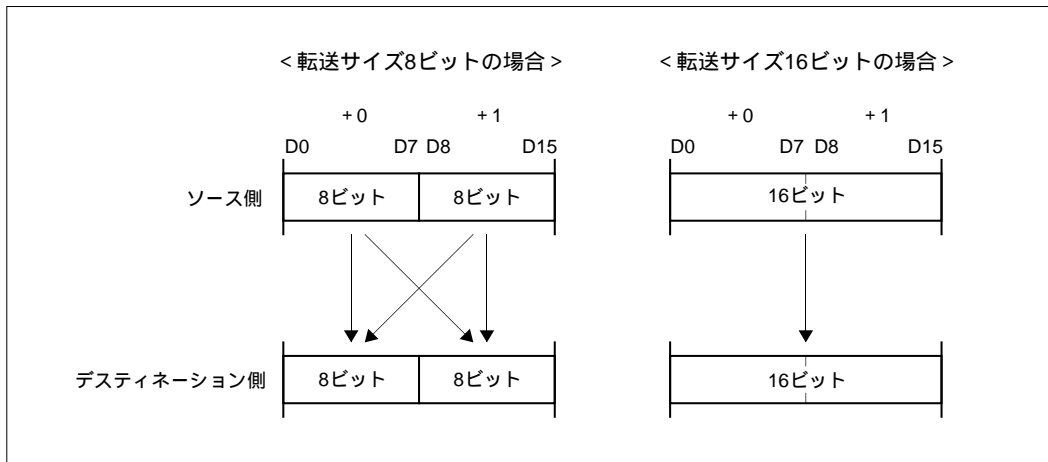


図9.3.3 転送バイト位置

(7) リングバッファモード

リングバッファモードを選択し、アドレス方向をインクリメントに選択すると転送開始アドレスから32回転送後再び転送開始アドレスに戻り、転送動作を繰り返します。ただし、リングバッファの開始アドレスの下位5ビットは必ずB'00000でなければなりません。

リングバッファモードでアドレス方向を固定に選択した場合は、固定を選択したアドレスの下位5ビットはB'00000である必要はありません。

リングバッファモードでアドレス方向をインクリメントに選択した場合の、アドレスのインクリメント動作は、次のとおりです。

転送サイズ8ビットの場合

転送開始アドレスの上位27ビットは固定で、下位5ビットが1ずつインクリメントされます。開始アドレスから下位5ビットがB'11111に達したとき、次のインクリメント動作で下位5ビットはB'00000になり開始アドレスに戻ります。

転送サイズ16ビットの場合

転送開始アドレスの上位26ビットは固定で、下位6ビットが2ずつインクリメントされます。開始アドレスから下位6ビットがB'111110に達したとき、次のインクリメント動作で下位6ビットはB'000000になり開始アドレスに戻るようインクリメントされます。

開始アドレスに戻るのは、ソース側がインクリメントに設定されている場合はソースアドレス、デスティネーション側がインクリメントに設定されている場合はデスティネーションアドレスです。

ソース側とデスティネーション側がともにインクリメントの場合は、両方のアドレスが開始アドレスに戻ります。ただしどちらの開始アドレスも初期値の下位5ビットは必ずB'00000でなければなりません。

リングバッファモード時は転送カウントレジスタは無視されます。また、DMA動作開始後はフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。

<転送サイズ8ビットの場合>		<転送サイズ16ビットの場合>	
転送回数	転送アドレス	転送回数	転送アドレス
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
3	H'0080 1002	3	H'0080 1004
}	}	}	}
31	H'0080 101E	31	H'0080 103C
32	H'0080 101F	32	H'0080 103E
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
}	}	}	}

図9.3.4 32チャンネルリングバッファモードにおけるアドレスインクリメント動作例

9.3.10 DMAの終了と割り込み

ノーマルモードの場合、DMA転送は転送カウントレジスタのアンダフローで終了します。転送が終了すると、転送許可ビットが"0"にクリアされ転送禁止状態になります。また、転送終了時に割り込み要求が発生しますが、DMA割り込みマスクレジスタで割り込み要求がマスクされているチャンネルについては、割り込みは発生しません。

リングバッファモード時は、転送カウントレジスタはフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。このため、DMA転送終了割り込み要求は発生しません。また、転送許可ビットをクリアしてリングバッファモード転送を終了したときも、DMA転送終了割り込み要求は発生しません。

9.3.11 DMA転送終了後の各レジスタの状態

DMA転送終了時、ソースアドレスレジスタおよびデスティネーションアドレスレジスタは以下の条件となります。

(1)アドレス固定

DMA転送開始前の設定値のまま固定

(2)アドレスインクリメント時

8ビット転送時、最終転送アドレス+1

16ビット転送時、最終転送アドレス+2

また、転送カウントレジスタはDMA転送終了時、アンダフロー(H'FF)状態となっています。したがって再度DMA転送を行う場合は、256(H'FF)回の転送を行う場合を除き、転送カウントレジスタの再設定を行ってください。

9.4 DMACの注意事項

DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないで下さい。

以下に、各レジスタのライトアクセスの可否を示します。

表9.4.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	その他DMA関連レジスタ
転送許可状態			×
転送禁止状態			

: 可 × : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守って下さい。

DMAC チャンネル制御レジスタの転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んで下さい。なお、転送要求フラグは"0"の書き込みのみ有効です。

DMAC 転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

DMAC 転送による異なるチャンネルのDMA ソースアドレス、およびDMA デスティネーションアドレスの書き替え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うこととなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMA関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き替えが可能です(例えばチャンネル0による、チャンネル1のDMAソースアドレスレジスタとDMAデスティネーションアドレスレジスタの書き替え操作など)。

DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んで下さい。"1"を書き込んだビットは、書き込み前のデータが保持されます。

DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。

ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

第10章

入出力タイマ

- 10.1 入出力タイマ概要
- 10.2 タイマ共通部
- 10.3 TMS(入力系16ビットタイマ)
- 10.4 TML(入力系32ビットタイマ)
- 10.5 TID(入力系16ビットタイマ)
- 10.6 TOM(出力系16ビットタイマ)

10.1 入出力タイマ概要

32172/32173の入出力タイマには4種類、合計26チャンネルのタイマがあります。

表10.1.1 タイマの概要

名称	種類	チャンネル数	内容
TMS (Timer Measure Small)	入力系 16ビットタイマ (アップカウンタ)	4	16ビット入力計測タイマ。 新旧キャプチャデータ保持機能あり
TML (Timer Measure Large)	入力系 32ビットタイマ (アップカウンタ)	4	32ビット入力計測タイマ。 新旧キャプチャデータ保持機能あり
TID (Timer Input Derivation)	入力系 16ビットタイマ (アップダウンカウンタ)	2	ソフトウェアにより、4種類のモードを選択 定周期モード イベントカウントモード 4通倍イベントカウントモード UP / DOWNイベントカウントモード
TOM (Timer output Modification)	出力系 16ビットタイマ (ダウンカウンタ)	16	ソフトウェアにより、4種類の出力モードを選択 <補正機能なし> PWM出力モード ワンショットPWM出力モード ワンショット出力モード 連続出力モード

表10.1.2 タイマの割り込み発生機能

信号名	タイマ割り込み要求元	割り込みコントローラ(ICU)入力	ICU要因入力
IRQ30	PWMOFF0, PWMOFF1入力	PWMオフ入力割り込み	2
IRQ28	TIN8, TIN9入力	タイマ入力割り込み5	2
IRQ27	TIN10, TIN11入力	タイマ入力割り込み4	2
IRQ25	TIN20, TIN21入力	タイマ入力割り込み3	3
IRQ24	TIN22, TIN23入力	タイマ入力割り込み2	3
IRQ23	TIN16, TIN17入力	タイマ入力割り込み1	3
IRQ22	TIN18, TIN19入力	タイマ入力割り込み0	3
IRQ21	TOM0_0 ~ TOM0_7出力	TOM0出力割り込み	8
IRQ20	TOM1_0 ~ TOM1_7出力	TOM1出力割り込み	8
IRQ19	TMS0出力	TMS0出力割り込み	1
IRQ18	TID0出力	TID0出力割り込み	1
IRQ17	TID1出力	TID1出力割り込み	1

表10.1.3 タイマのDMA転送要求発生機能

信号名	DMA転送要求元	DMA入力チャンネル
DRQ0	TID0アンダフロー / オーバフロー	チャンネル0 ~ チャンネル9
DRQ1	TID1アンダフロー / オーバフロー	チャンネル0 ~ チャンネル9
DRQ2	TOM0_0アンダフロー	チャンネル0
DRQ3	TOM0_1アンダフロー	チャンネル1
DRQ4	TOM0_2アンダフロー	チャンネル1
DRQ5	TOM0_3アンダフロー	チャンネル3
DRQ6	TOM0_4アンダフロー	チャンネル4
DRQ7	TOM0_5アンダフロー	チャンネル6
DRQ8	TOM0_6アンダフロー	チャンネル7
DRQ9	TOM0_7アンダフロー	チャンネル2
DRQ10	TOM1_0アンダフロー	チャンネル9
DRQ11	TOM1_6アンダフロー	チャンネル5
DRQ12	TOM1_7アンダフロー	チャンネル8
DRQ13	TIN16入力	チャンネル0 ~ チャンネル9
DRQ14	TIN17入力	チャンネル1
DRQ15	TIN18入力	チャンネル2
DRQ16	TIN19入力	チャンネル3
DRQ17	TIN20入力	チャンネル6
DRQ18	TIN21入力	チャンネル8
DRQ19	TIN22入力	チャンネル9
DRQ20	TIN23入力	チャンネル4

表10.1.4 タイマ関連のA-D変換開始要求機能

信号名	A-D変換開始要求元	A-D変換器
AD0TRG	TIN16入力、TOM0_6アンダフロー、 またはTOM0イネーブルイベント	A-D0変換開始トリガに入力可能
AD1TRG	TIN16入力、TOM0_6アンダフロー、 またはTOM1_6アンダフロー	A-D1変換開始トリガに入力可能

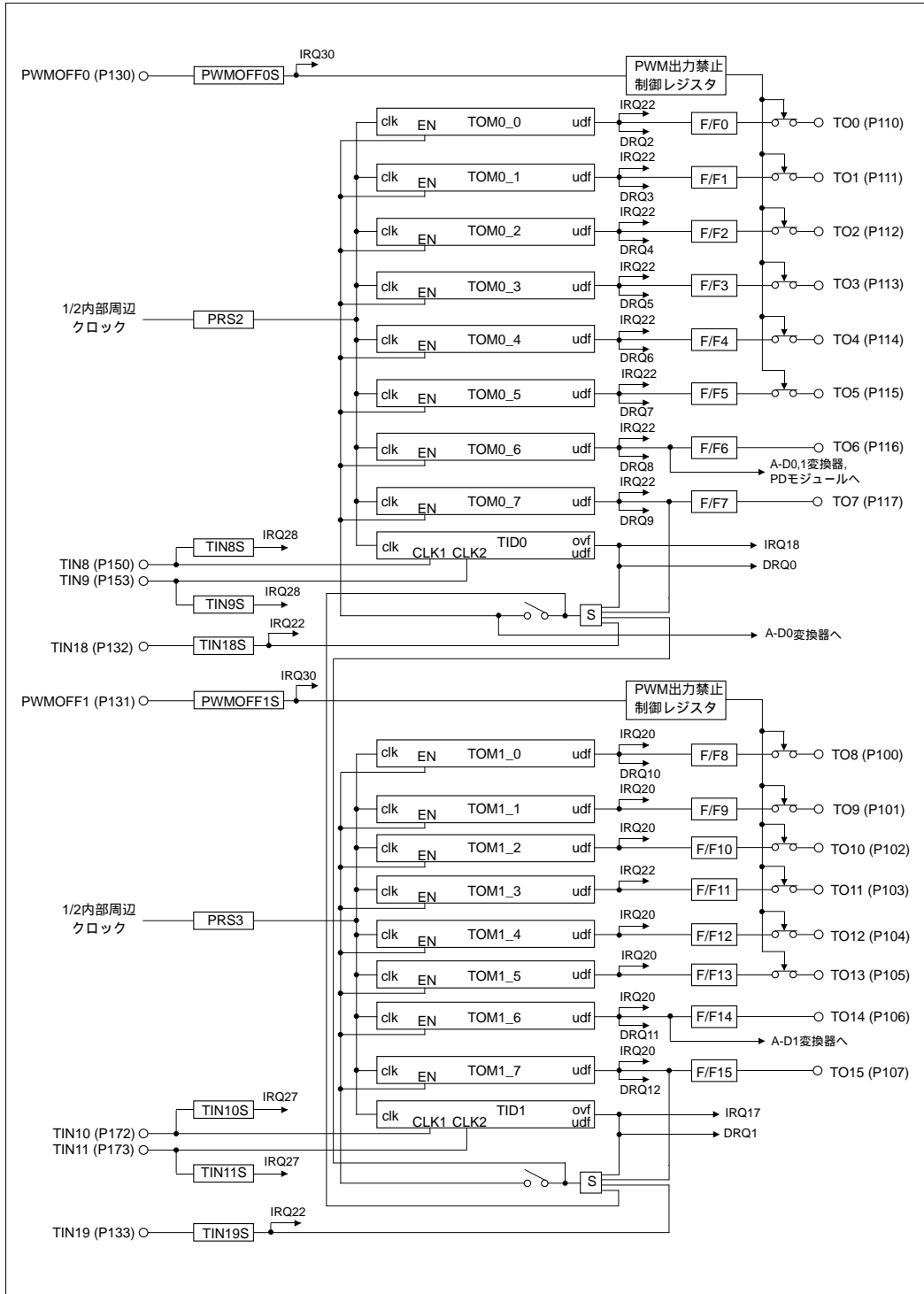


図10.1.1 タイムブロック図(1/3)

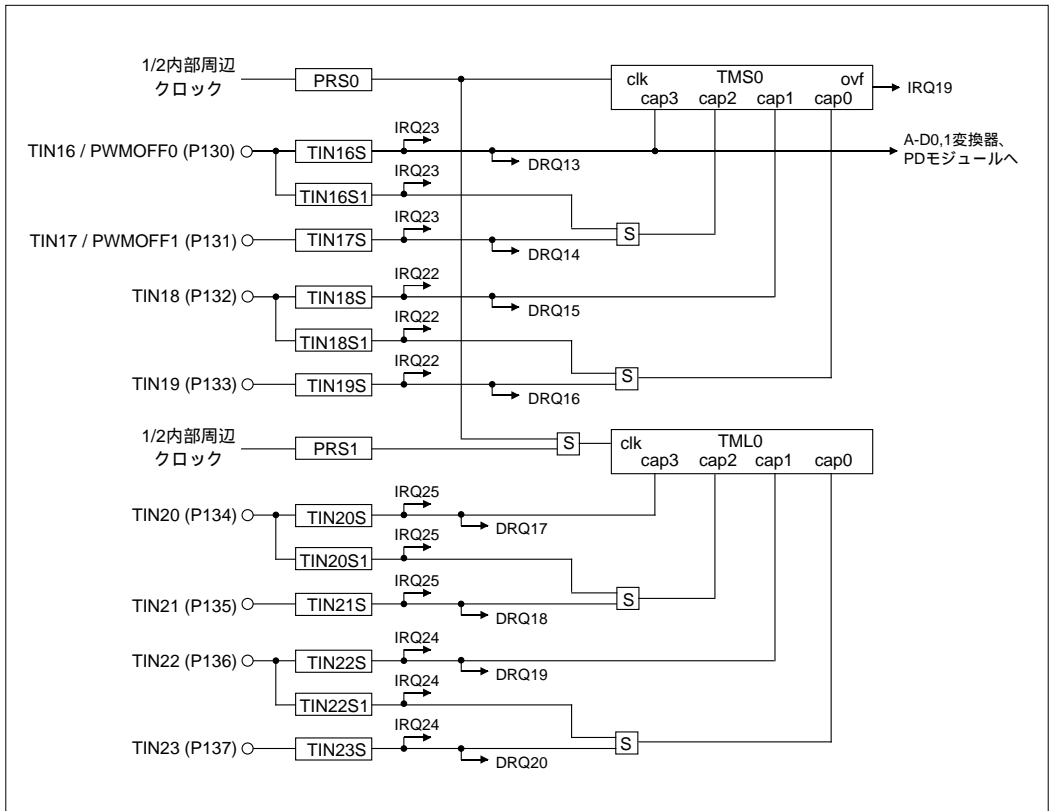


図10.1.2 タイマブロック図(2/3)

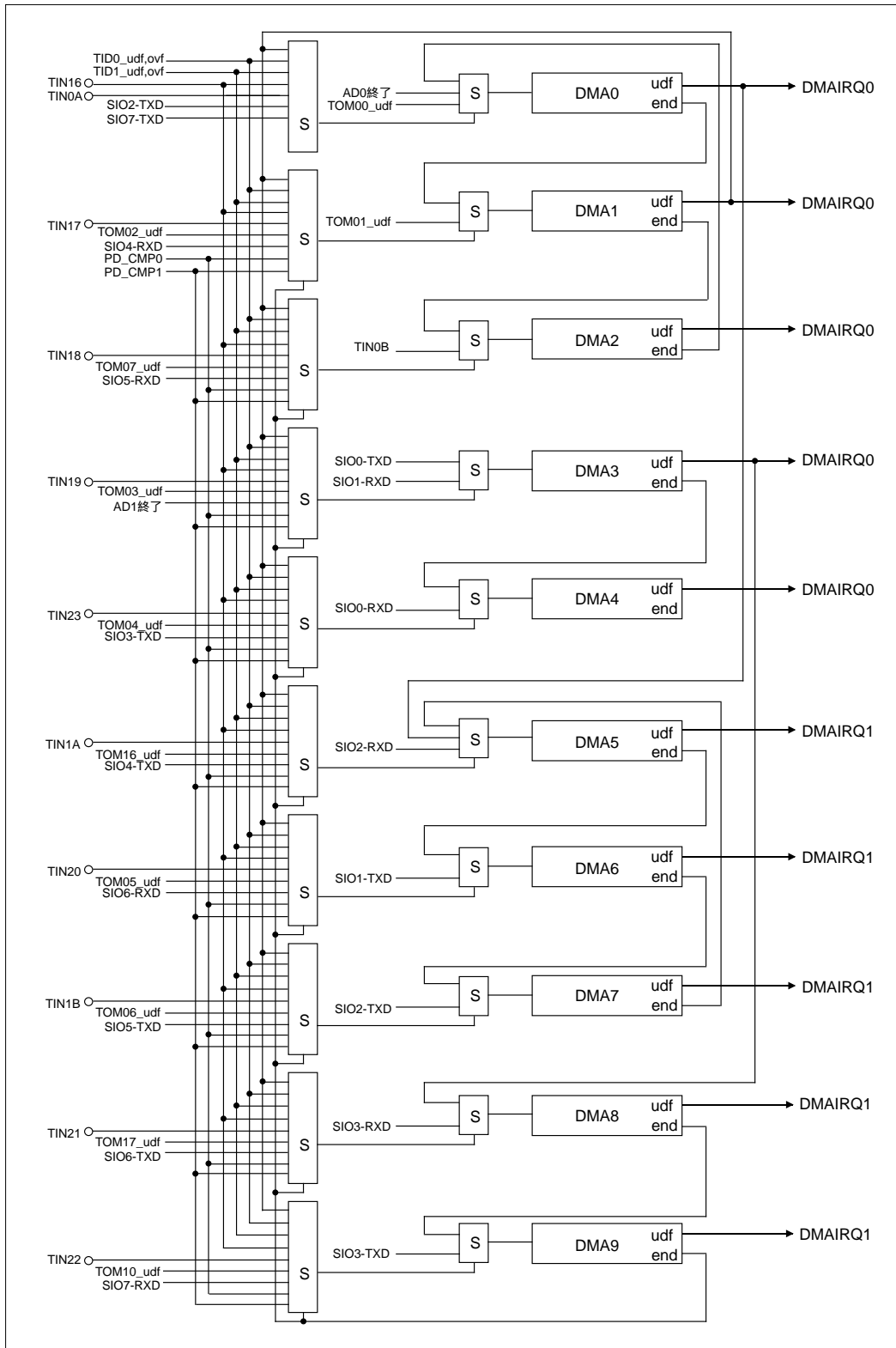


図10.1.3 タイマブロック図(3/3)

10.2 タイマ共通部

タイマ共通部には以下のブロックが含まれます。

- プリスケーラ部
- 入力処理制御部
- 出力フリップフロップ制御部
- 割り込み制御部

10.2.1 タイマ共通部レジスタマップ

次ページにタイマ共通部のレジスタマップを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0800	TIN入力処理制御レジスタ0 (TINCR0)				TIN入力処理制御レジスタ1 (TINCR1)	
H'0080 0802	TIN入力処理制御レジスタ2 (TINCR2)				TIN入力処理制御レジスタ3 (TINCR3)	
H'0080 0804	TIN入力処理制御レジスタ4 (TINCR4)				TIN入力処理制御レジスタ5 (TINCR5)	
	⋮					⋮
H'0080 0840	TIN割り込みステータスレジスタ0 (TINIST0)				TIN割り込みマスクレジスタ0 (TINIMA0)	
H'0080 0842	TIN割り込みステータスレジスタ1 (TINIST1)				TIN割り込みマスクレジスタ1 (TINIMA1)	
H'0080 0844	TIN割り込みステータスレジスタ2 (TINIST2)				TIN割り込みマスクレジスタ2 (TINIMA2)	
H'0080 0846	TIN割り込みステータスレジスタ3 (TINIST3)				TIN割り込みマスクレジスタ3 (TINIMA3)	
H'0080 0848	TIN割り込みステータスレジスタ4 (TINIST4)				TIN割り込みマスクレジスタ4 (TINIMA4)	
H'0080 084A	TIN割り込みステータスレジスタ5 (TINIST5)				TIN割り込みマスクレジスタ5 (TINIMA5)	
	⋮					⋮
H'0080 0850	TIN割り込みステータスレジスタ8 (TINIST8)				TIN割り込みマスクレジスタ8 (TINIMA8)	
	⋮					⋮
H'0080 088A					プリスケアラレジスタ1 (PRS1)	
	⋮					⋮
H'0080 08EA					プリスケアラレジスタ0 (PRS0)	
	⋮					⋮
H'0080 0CD0	プリスケアラレジスタ2 (PRS2)				TID0制御 & プリスケアラ2イネーブル レジスタ (TID0PRS2EN)	
H'0080 0CD2	TOM0割り込みマスクレジスタ (TOM0IMA)				TOM0割り込みステータスレジスタ (TOM0IST)	
H'0080 0CD4					F/Fプロテクトレジスタ0 (FFP0)	
H'0080 0CD6					F/Fデータレジスタ0 (FFD0)	
	⋮					⋮
H'0080 0DD0	プリスケアラレジスタ3 (PRS3)				TID1制御 & プリスケアラ3イネーブル レジスタ (TID1PRS3EN)	
H'0080 0DD2	TOM1割り込みマスクレジスタ (TOM1IMA)				TOM1割り込みステータスレジスタ (TOM1IST)	
H'0080 0DD4					F/Fプロテクトレジスタ1 (FFP1)	
H'0080 0DD6					F/Fデータレジスタ1 (FFD1)	
	⋮					⋮

空き領域は予約領域です。

図10.2.1 タイマ共通部レジスタマップ

10.2.2 プリスケーラ部

プリスケーラPRS0～3は8ビット構成のカウンタで内部周辺クロックの1/2の周波数(内部周辺動作20MHz時は10.0MHz)をもとに、クロックを分周して各タイマ(TMS, TML, TID, TOM)へクロックを供給します。

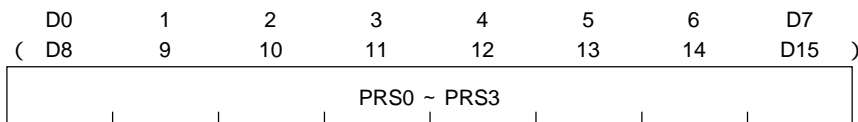
プリスケーラレジスタの値はリセット時にH'00に初期化されます。

また、プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。

プリスケーラのカウンタレジスタにはH'00～H'FFの値が設定できます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{プリスケーラ設定値} + 1}$$

プリスケーラレジスタ0 (PRS0)	<アドレス : H'0080 08EB>
プリスケーラレジスタ1 (PRS1)	<アドレス : H'0080 088B>
プリスケーラレジスタ2 (PRS2)	<アドレス : H'0080 0CD0>
プリスケーラレジスタ3 (PRS3)	<アドレス : H'0080 0DD0>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~7	PRS2,3	プリスケーラ分周値設定		
8~15	PRS0,1			

プリスケーラレジスタ0,1は、リセット解除後カウント動作を開始します。

プリスケーラレジスタ2,3は、それぞれTID0制御&プリスケーラ2イネーブルレジスタ、TID1制御&プリスケーラ3イネーブルレジスタのプリスケーラ*n*イネーブル(PRS*n*EN)ビットに"1"をセット(カウント開始)すると起動し、プリスケーラレジスタ値をリロードして、カウント動作を開始します。

詳細については、「10.5 TID」の章を参照ください。

10.2.3 入力処理制御部

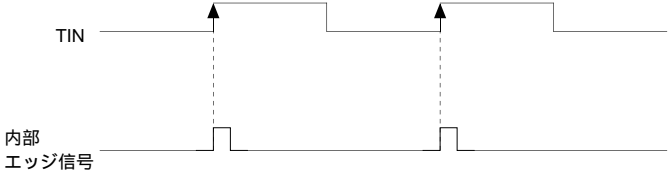
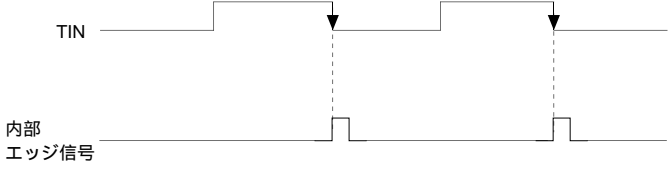
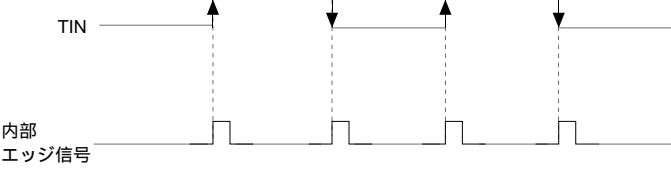
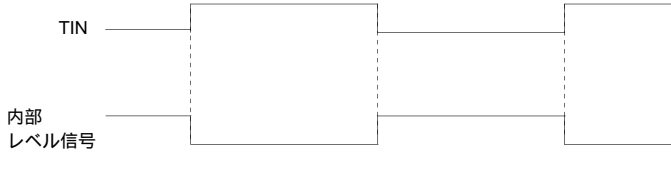
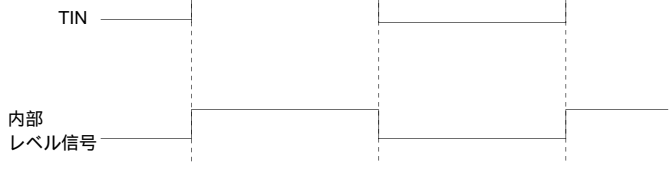
入力処理制御部ではTIN信号の入力処理を行います。

またTIN入力処理部では、信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)で、各タイマのイネーブル信号/計測信号/カウントソース信号への供給信号を発生させるかを選択します。

入力処理制御レジスタには以下のものがあります。

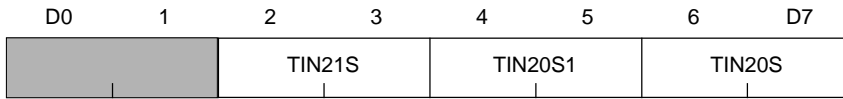
TIN入力処理制御レジスタ0(TINCR0)
TIN入力処理制御レジスタ1(TINCR1)
TIN入力処理制御レジスタ2(TINCR2)
TIN入力処理制御レジスタ3(TINCR3)
TIN入力処理制御レジスタ4(TINCR4)
TIN入力処理制御レジスタ5(TINCR5)

TIN入力処理制御レジスタ機能一覧

項目	動作機能
立ち上がりエッジ	 <p>The diagram shows two rising edges of the TIN signal. Each time the signal transitions from low to high, a narrow pulse is generated in the internal edge signal. Vertical dashed lines with upward-pointing arrows indicate the timing of these pulses.</p>
立ち下がりエッジ	 <p>The diagram shows two falling edges of the TIN signal. Each time the signal transitions from high to low, a narrow pulse is generated in the internal edge signal. Vertical dashed lines with downward-pointing arrows indicate the timing of these pulses.</p>
両エッジ	 <p>The diagram shows two transitions of the TIN signal: a rising edge followed by a falling edge. The internal edge signal (内部エッジ信号) shows narrow pulses at both the rising and falling edges. Vertical dashed lines with arrows pointing in the direction of the transition indicate the timing.</p>
Lレベル	 <p>The diagram shows the TIN signal transitioning from high to low. The internal level signal (内部レベル信号) transitions from low to high and remains high while the TIN signal is low. Vertical dashed lines indicate the start and end of the pulse.</p>
Hレベル	 <p>The diagram shows the TIN signal transitioning from low to high. The internal level signal (内部レベル信号) transitions from low to high and remains high while the TIN signal is high. Vertical dashed lines indicate the start and end of the pulse.</p>

TIN入力処理制御レジスタ(TINCR0)

<アドレス : H'0080 0800>



<リセット時 : H'00>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	TIN21S (TML0計測2TIN21 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
4,5	TIN20S1 (TML0計測2対応 TIN20入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
6,7	TIN20S (TML0計測3TIN20 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

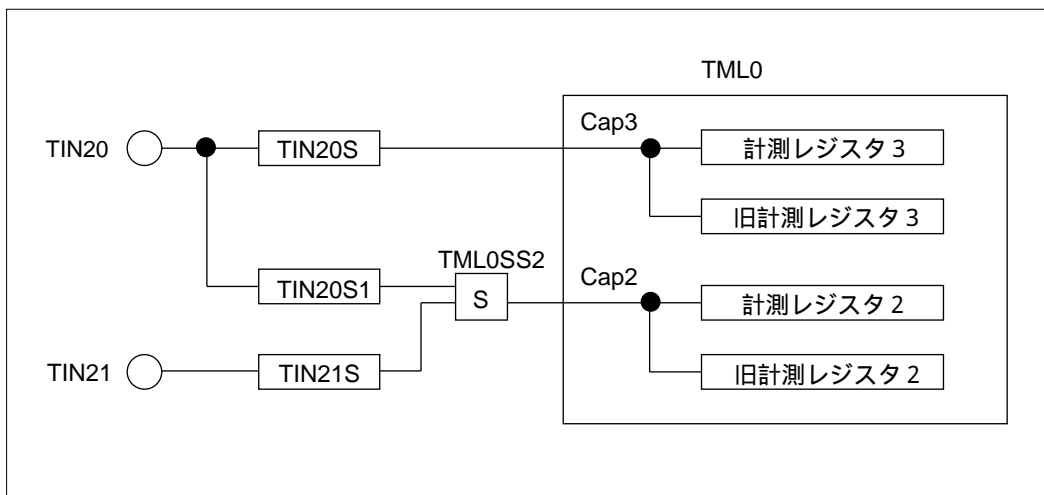
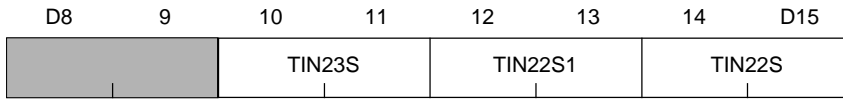


図10.2.2 TIN入力制御レジスタ0(TINCR0)構成図

TIN入力処理制御レジスタ1(TINCR1)

<アドレス : H'0080 0801>



<リセット時 : H'00>

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10,11	TIN23S (TML0計測0対応 TIN23 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
12,13	TIN22S1 (TML0計測0対応 TIN22入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
14,15	TIN22S (TML0計測1対応 TIN22 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

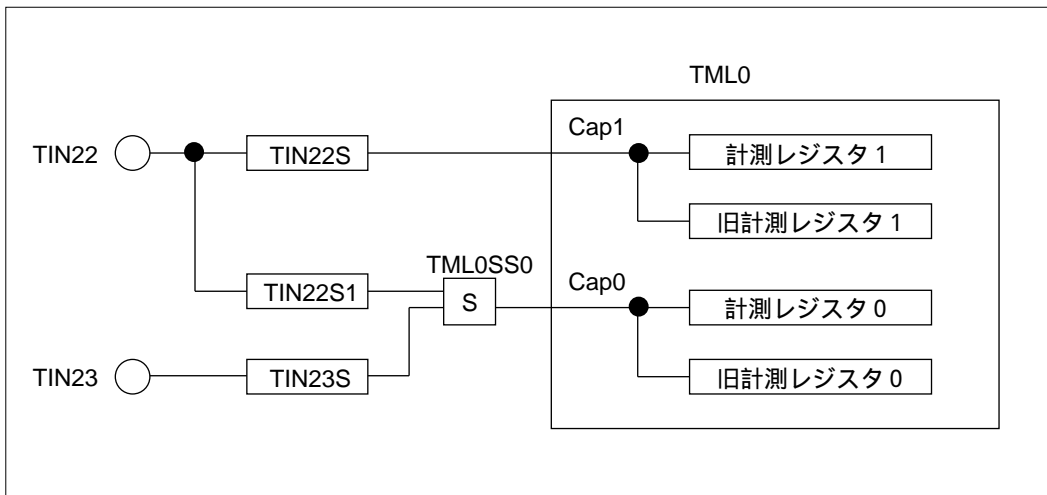
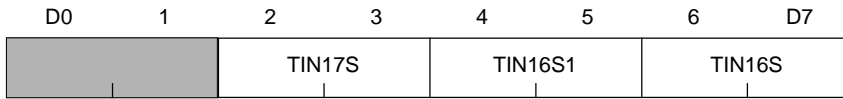


図10.2.3 TIN入力制御レジスタ0(TINCR0)構成図

TIN入力処理制御レジスタ(TINCR2)

<アドレス : H'0080 0802>



<リセット時 : H'00>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	TIN17S (TMS0計測2対応 TIN17入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
4,5	TIN16S1 (TMS計測2対応 TIN16入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
6,7	TIN16S (TMS0計測3対応 TIN16 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

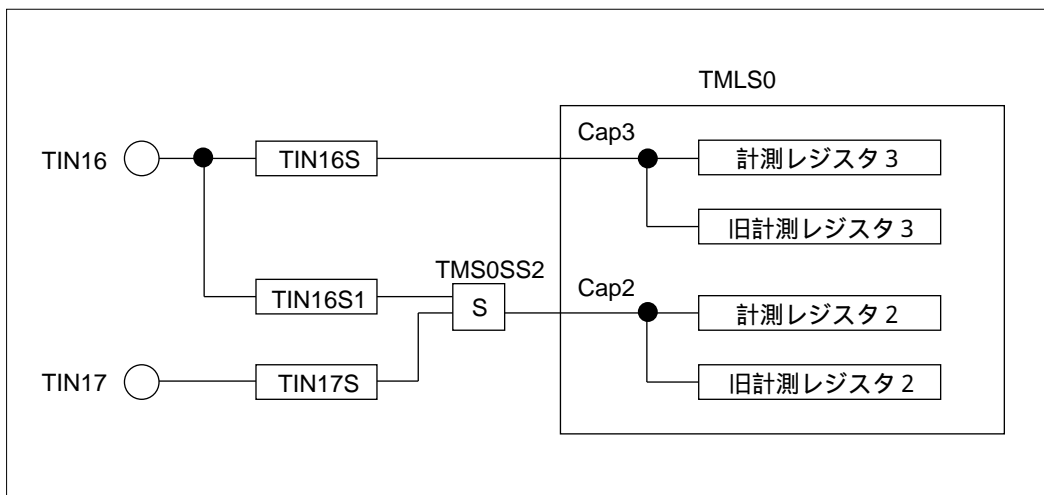
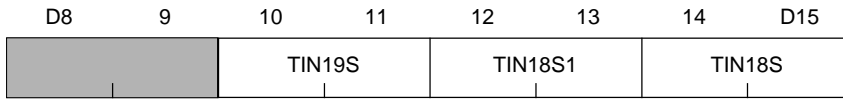


図10.2.4 TIN入力制御レジスタ0(TINCR0)構成図

TIN入力処理制御レジスタ(TINCR3)

<アドレス : H'0080 0803>



<リセット時 : H'0000>

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10,11	TIN19S (TML0計測0対応 TIN19 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
12,13	TIN18S1 (TML計測0対応 TIN18入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
14,15	TIN18S (TML0計測1対応 TIN18 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

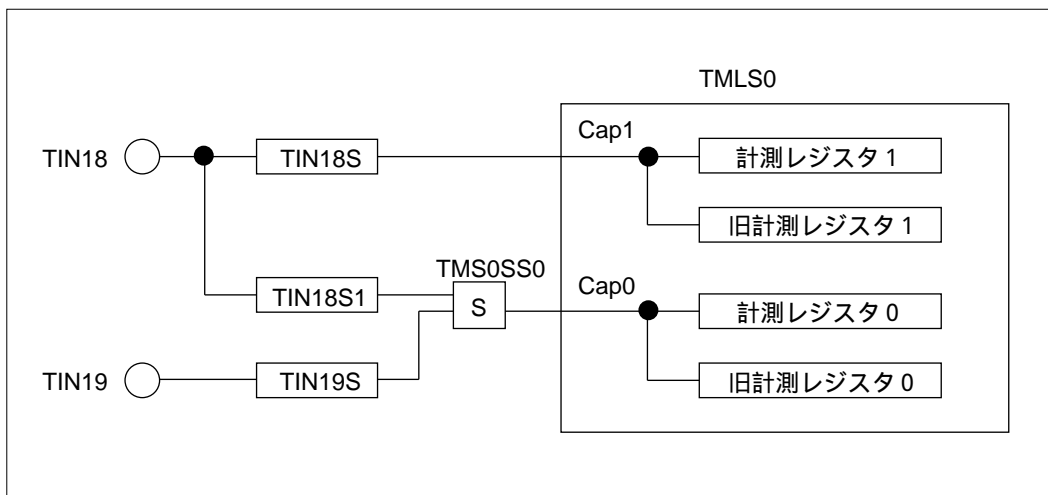


図10.2.5 TIN入力制御レジスタ0(TINCR1)構成図

TIN入力処理制御レジスタ4(TINCR4)

<アドレス : H'0080 0804>

D0	1	2	3	4	5	6	D7
TIN17S2P	TIN17S2			TIN16S2P	TIN16S2		

<リセット時 : H'00>

D	ビット名	機能	R	W
0	TIN17S2P (TIN17S2書き込み制御)	0 : TIN17S2 書き込み禁止 0 : TIN17S2 書き込み許可	0	
1~3	TIN17S2 (TIN17"PWMOFF1"選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
4	TIN16S2P (TIN16S2書き込み制御)	0 : TIN16S2 書き込み禁止 0 : TIN16S2 書き込み許可	0	
5~7	TIN16S2 (TIN16"PWMOFF0"選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		

W= : TIN16による出力禁止処理"PWMOFF0"選択、TIN17による出力禁止処理"PWMOFF1"選択でPWM出力禁止処理を行う場合は、下記に示す手順での設定が必要です。

【設定手順】

TIN17による出力禁止処理"PWMOFF1"選択の場合

TIN17S2書き込み制御(TIN17S2P)ビットに"1"を書き込む。

上記 書き込み後連続して TIN17S2書き込み制御(TIN17S2P)ビットに"0"を、TIN17"PWMOFF1"選択(TIN17S2)ビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注 . と の間に他の領域への書き込みサイクルがあるとTIN17"PWMOFF1"選択(TIN17S2)ビットへの設定値は無効になります。

TIN16による出力禁止処理"PWMOFF0"選択の場合

TIN16S2書き込み制御(TIN16S2P)ビットに"1"を書き込む。

上記 書き込み後連続して TIN16S2書き込み制御(TIN16S2P)ビットに"0"を、TIN16"PWMOFF0"選択(TIN16S2)ビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注 . と の間に他の領域への書き込みサイクルがあるとTIN16"PWMOFF0"選択(TIN16S2)ビットへの設定値は無効になります。

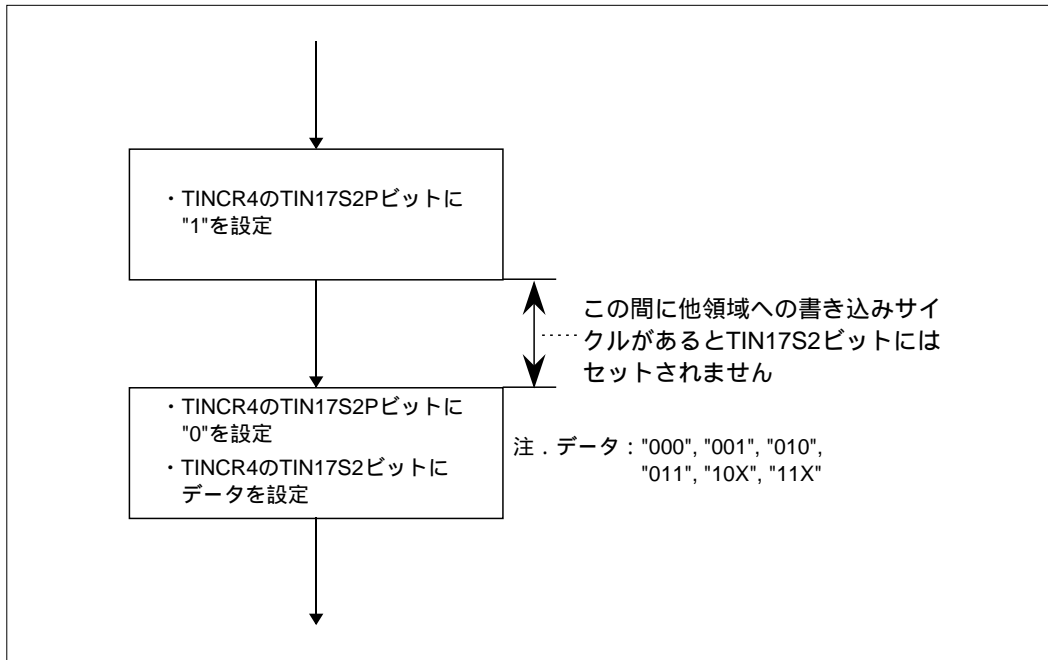


図10.2.6 TIN17による出力禁止処理"PWMOFF1"選択時のTINC4設定手順

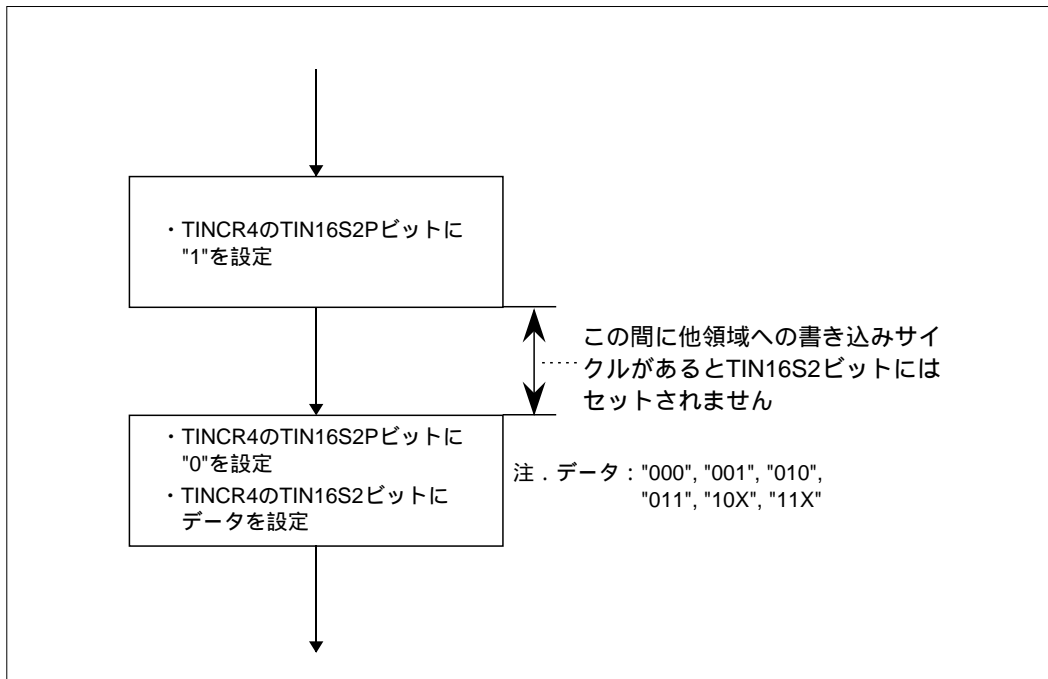
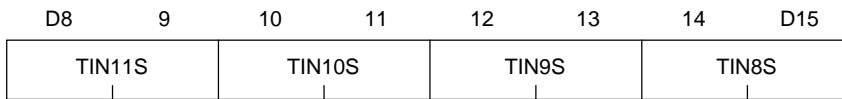


図10.2.7 TIN16による出力禁止処理"PWMOFF0"選択時のTINC4設定手順

TIN入力処理制御レジスタ5(TINCR5)

<アドレス : H'0080 0805>



<リセット時 : H'00>

D	ビット名	機能	R	W
8,9	TIN11S (TIN11 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
10,11	TIN10S (TIN10 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
12,13	TIN9S (TIN9 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
14,15	TIN8S (TIN8 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

10.2.4 出力フリップフロップ制御部

出力フリップフロップ制御部では、各タイマ出力に設けられたフリップフロップ(F/F)の制御を行います。出力フリップフロップ制御レジスタには以下のものがあります。

F/Fプロテクトレジスタ0(FFP0)

F/Fプロテクトレジスタ1(FFP1)

F/Fデータレジスタ0(FFD0)

F/Fデータレジスタ1(FFD1)

なお、各タイマから出力フリップフロップに対する信号の発生するタイミングを表10.2.1に示します。

表10.2.1 各タイマから出力フリップフロップに対する信号発生タイミング

タイマ	モード	出力フリップフロップへの信号発生タイミング
TMS	(16ビット計測入力)	信号発生機能なし
TML	(32ビット計測入力)	信号発生機能なし
TID	定周期カウントモード	信号発生機能なし
	イベントカウントモード	信号発生機能なし
	4通倍イベントカウントモード	信号発生機能なし
	UP/DOWNイベントカウントモード	信号発生機能なし
TOM	PWM出力モード	カウンタインエーブル時およびアンダフロー時
	ワンショットPWM出力モード	カウンタアンダフロー時
	ワンショット出力モード	カウンタインエーブル時およびアンダフロー時
	連続出力モード	カウンタインエーブル時およびアンダフロー時

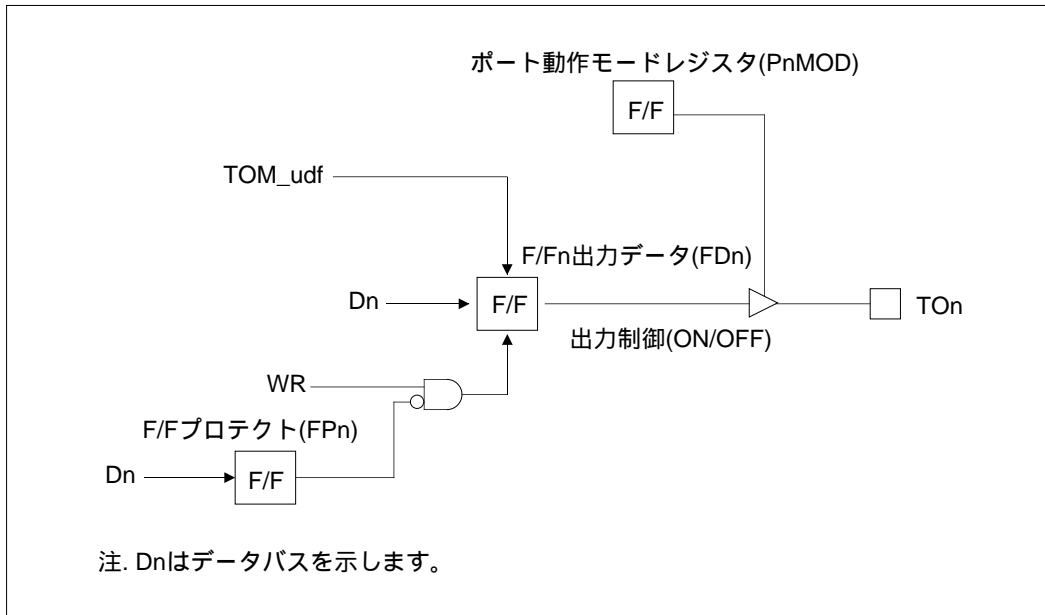


図10.2.8 F/F出力回路構成図

F/Fプロテクトレジスタ α (FFP0)

<アドレス : H'0080 0CD5>

D8	9	10	11	12	13	14	D15
FP0	FP1	FP2	FP3	FP4	FP5	FP6	FP7

<リセット時 : H'00>

D	ビット名	機能	R	W
8	FP α F/F0 プロテクト)	0 : F/F出力ビットへの書き込み許可		
9	FP1(F/F1 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
10	FP α F/F2 プロテクト)			
11	FP α F/F3 プロテクト)			
12	FP α F/F4 プロテクト)			
13	FP α F/F5 プロテクト)			
14	FP α F/F6 プロテクト)			
15	FP α F/F7 プロテクト)			

F/Fプロテクトレジスタ1(FFP1)

<アドレス : H'0080 0DD5>

D8	9	10	11	12	13	14	D15
FP8	FP9	FP10	FP11	FP12	FP13	FP14	FP15

<リセット時 : H'00>

D	ビット名	機能	R	W
8	FP α F/F8 プロテクト)	0 : F/F出力ビットへの書き込み許可		
9	FP α F/F9 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
10	FP1 α F/F10 プロテクト)			
11	FP1 α F/F11 プロテクト)			
12	FP1 α F/F12 プロテクト)			
13	FP1 α F/F13 プロテクト)			
14	FP1 α F/F14 プロテクト)			
15	FP1 α F/F15 プロテクト)			

各出力F/F(フリップフロップ)への書き込み許可/禁止制御を行うレジスタです。書き込みを禁止にした場合は、F/Fデータレジスタへの書き込みは無効になります。

F/Fデータレジスタ0 (FFD0)

<アドレス : H'0080 0CD7>

D8	9	10	11	12	13	14	D15
FD0	FD1	FD2	FD3	FD4	FD5	FD6	FD7

<リセット時 : H'00>

D	ビット名	機能	R	W
8	FD0 (F/F0 出力データ)	0 : F/F出力データ = 0		
9	FD1 (F/F1 出力データ)	1 : F/F出力データ = 1		
10	FD2 (F/F2 出力データ)			
11	FD3 (F/F3 出力データ)			
12	FD4 (F/F4 出力データ)			
13	FD5 (F/F5 出力データ)			
14	FD6 (F/F6 出力データ)			
15	FD7 (F/F7 出力データ)			

F/Fデータレジスタ1 (FFD1)

<アドレス : H'0080 0DD7>

D8	9	10	11	12	13	14	D15
FD8	FD9	FD10	FD11	FD12	FD13	FD14	FD15

<リセット時 : H'00>

D	ビット名	機能	R	W
8	FD8 (F/F8 出力データ)	0 : F/F出力データ = 0		
9	FD9 (F/F9 出力データ)	1 : F/F出力データ = 1		
10	FD10 (F/F10 出力データ)			
11	FD11 (F/F11 出力データ)			
12	FD12 (F/F12 出力データ)			
13	FD13 (F/F13 出力データ)			
14	FD14 (F/F14 出力データ)			
15	FD15 (F/F15 出力データ)			

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定がイネーブルの場合のみ操作できます。

10.2.5 割り込み制御部

割り込み制御部は、各タイマから割り込みコントローラに出力する割り込み信号を制御します。タイマ割り込み制御レジスタには、各タイマごとに次の11個のレジスタがあります。

TIN割り込み制御レジスタ0 (TINIR0)
TIN割り込み制御レジスタ1 (TINIR1)
TIN割り込み制御レジスタ2 (TINIR2)
TIN割り込み制御レジスタ3 (TINIR3)
TIN割り込み制御レジスタ4 (TINIR4)
TIN割り込み制御レジスタ5 (TINIR5)
TIN割り込み制御レジスタ8 (TINIR8)

TOM0割り込みマスクレジスタ (TOM0IMA)
TOM0割り込みステータスレジスタ (TOM0IST)
TOM1割り込みマスクレジスタ (TOM1IMA)
TOM1割り込みステータスレジスタ (TOM1IST)

1つの割り込みベクタテーブルに対して割り込み要因数が1つの割り込みは、タイマ内に割り込み制御レジスタを持っておらず、割り込みコントローラ中で割り込みステータスフラグの管理を自動的に行います。

(詳しくは、5章「割り込みコントローラ」をご覧ください。)

TMS0 TMS0出力割り込み (IRQ19)
TID0 TID0出力割り込み (IRQ18)
TID1 TID1出力割り込み (IRQ17)

1つの割り込みベクタテーブルに対して、割り込み要因数が2以上の割り込みは割り込み制御レジスタを使用した割り込み要求制御と割り込み入力の判定を行っています。このため割り込みコントローラ内のステータスフラグは割り込み許可された割り込み要求の判定ビットとしてのみ機能し、書き込み処理は出来ません。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることは出来ません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込みマスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することが出来ます。割り込み処理時には、グルーピングされた割り込みフラグの内、割り込み処理を行ったフラグのみクリアください。割り込み処理を行っていないフラグをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込みマスクビット

グルーピングされた割り込み要求の内不要な割り込みを禁止にするためのフラグです。割り込み許可時には"0"、割り込み禁止時には"1"を設定します。

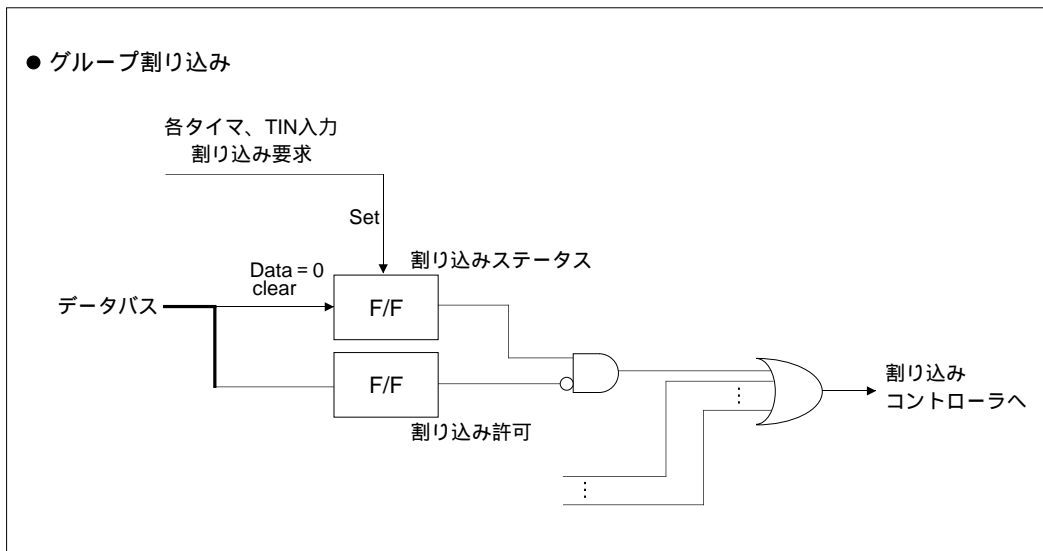


図10.2.9 割り込みステータスレジスタとマスクレジスタ

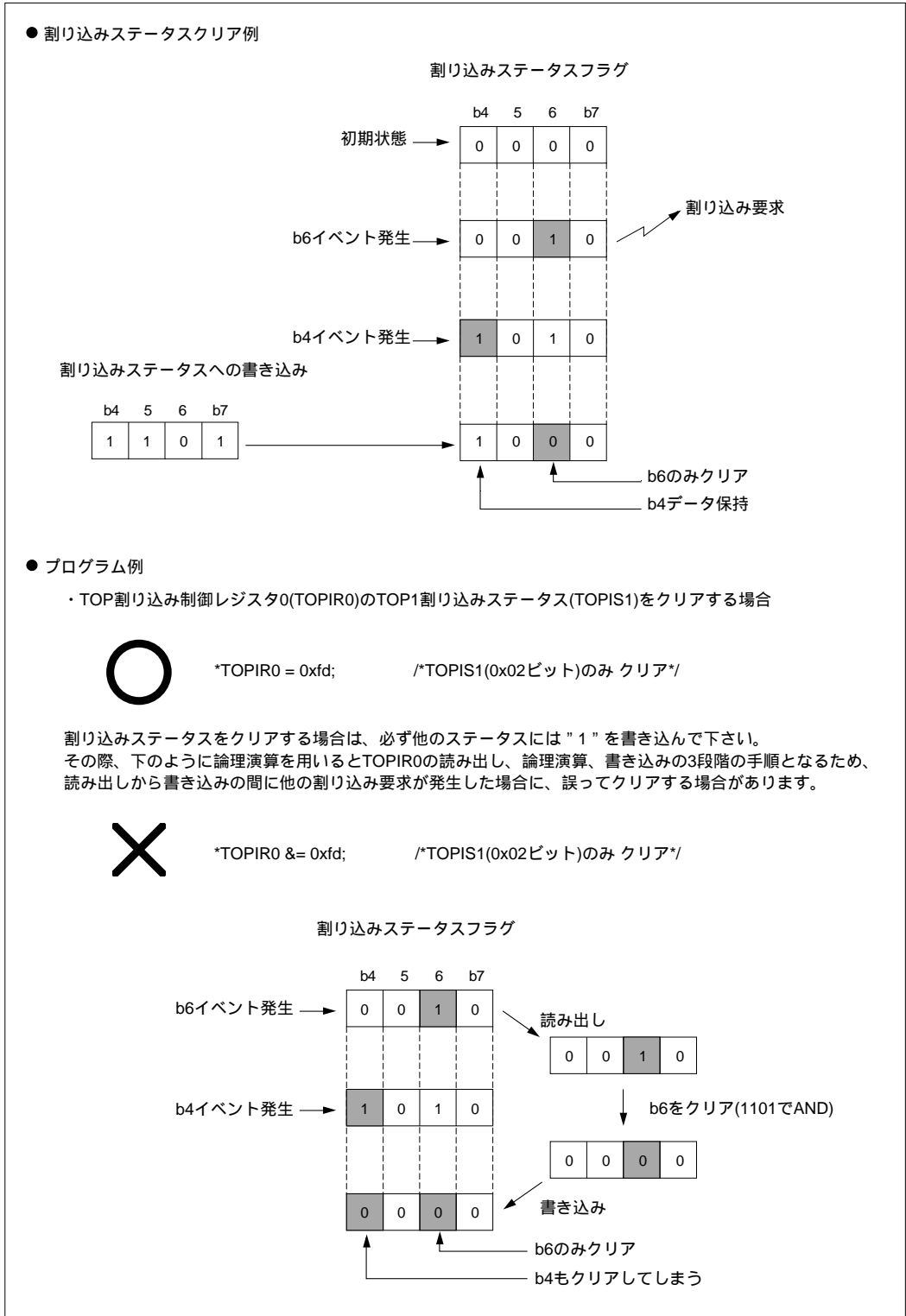


図10.2.10 割り込みステータスクリア例

入出力タイマから出力される割り込み信号と、割り込みコントローラの入力の間係を以下に示します。

表10.2.2 タイマで発生する割り込み信号

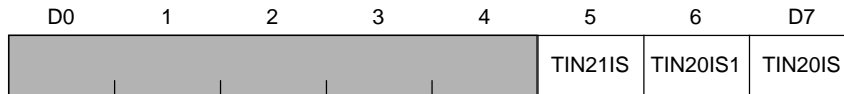
信号名	発生源	ICU割り込み入力要因(注1)	入力要因数
IRQ20	TOM1_0 ~ TOM1_7	TOM1出力割り込み	8
IRQ21	TOM0_0 ~ TOM0_7	TOM0出力割り込み	8
IRQ22	TIN18, TIN19	タイマ入力割り込み0	3
IRQ23	TIN16, TIN17	タイマ入力割り込み1	3
IRQ24	TIN22, TIN23	タイマ入力割り込み2	3
IRQ25	TIN20, TIN21	タイマ入力割り込み3	3
IRQ27	TIN10, TIN11	タイマ入力割り込み4	2
IRQ28	TIN8, TIN9	タイマ入力割り込み5	2
IRQ30	PWMOFF0, PWMOFF1	PWMオフ入力割り込み	2

注1. 第5章「割り込みコントローラ(ICU)」をご覧ください。

注2. TMS0、TID0、およびTID1は割り込みグループで1つの要因しかないため、タイマの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

TIN割り込みステータスレジスタ α (TINIST0)

<アドレス : H'0080 0840>



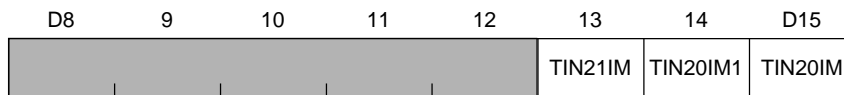
<リセット時 : H'00>

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	TIN21IS(TIN21 割り込みステータス)	0 : 割り込み要求なし		
6	TIN20IS1 (TML計測2入力検出割り込みステータス)	1 : 割り込み要求あり		
7	TIN20IS(TIN20 割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタ α (TINIMA0)

<アドレス : H'0080 0841>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~12	何も配置されていません		0	-
13	TIN21IM(TIN21 割り込みマスク)	0 : 割り込み要求許可		
14	TIN20IM1 (TML計測2入力検出割り込みマスク)	1 : 割り込み要求マスク(禁止)		
15	TIN20IM(TIN20 割り込みマスク)			

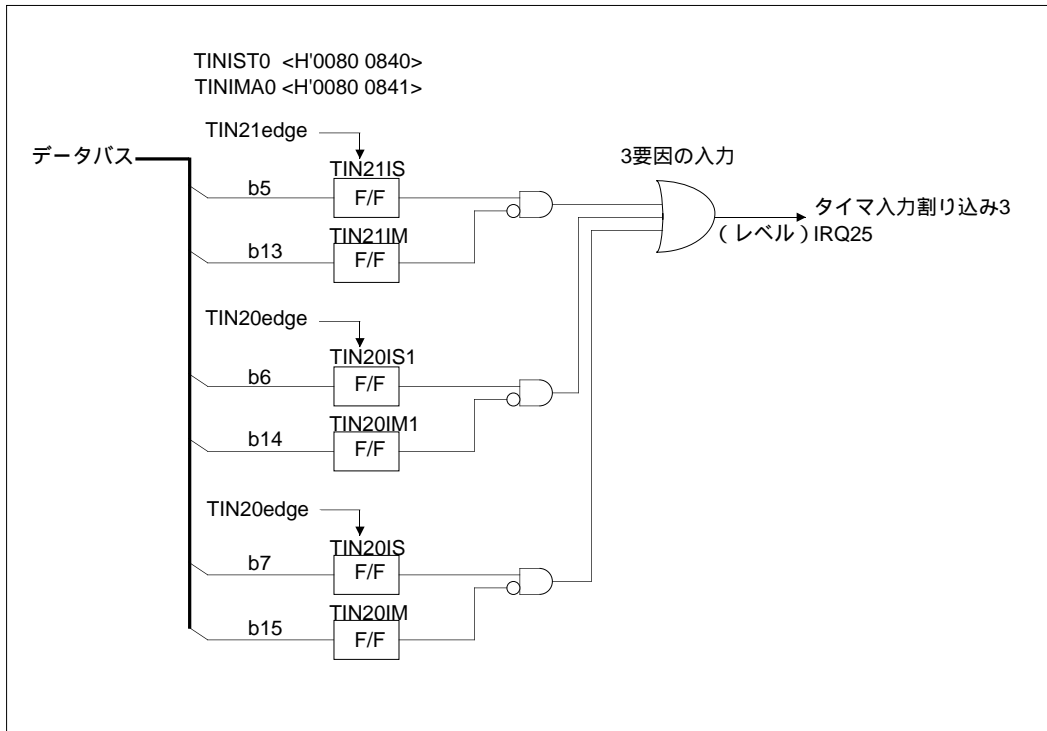
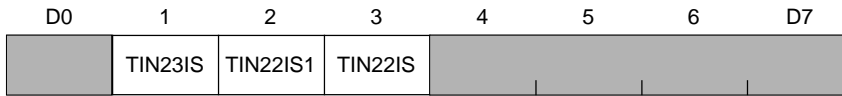


図10.2.11 タイマ入力割り込み3ブロック図

TIN割り込みステータスレジスタ1(TINIST1)

<アドレス : H'0080 0842>



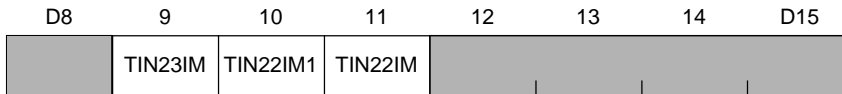
<リセット時 : H'00>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	TIN23IS(TIN23割り込みステータス)	0 : 割り込み要求なし		
2	TIN22IS1 (TML計測0入力検出割り込みステータス)	1 : 割り込み要求あり		
3	TIN22IS(TIN22 割り込みステータス)			
4~7	何も配置されていません		0	-

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタα(TINIMA1)

<アドレス : H'0080 0843>



<リセット時 : H'00>

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9	TIN23IM(TIN23割り込みマスク)	0 : 割り込み要求許可		
10	TIN22IM1 (TML計測0入力検出割り込みマスク)	1 : 割り込み要求マスク(禁止)		
11	TIN22IM(TIN22 割り込みマスク)			
12~15	何も配置されていません		0	-

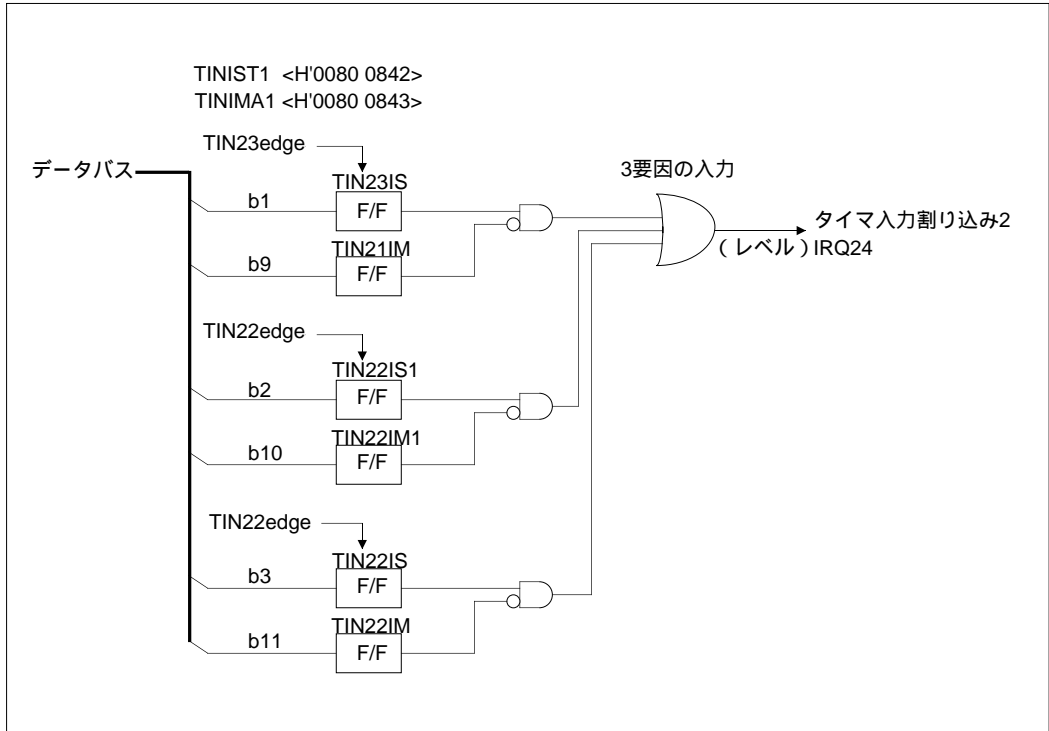


図10.2.12 タイマ入力割り込み2ブロック図

TIN割り込みステータスレジスタ2 (TINIST2)

<アドレス : H'0080 0844>



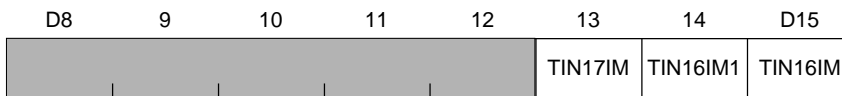
<リセット時 : H'00>

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	TIN17IS (TIN17 割り込みステータス)	0 : 割り込み要求なし		
6	TIN16IS1 (TMS計測2入力検出割り込みステータス)	1 : 割り込み要求あり		
7	TIN16IS (TIN16 割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタ2 (TINIMA2)

<アドレス : H'0080 0845>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~12	何も配置されていません		0	-
13	TIN17IM (TIN17 割り込みマスク)	0 : 割り込み要求許可		
14	TIN16IM1 (TMS計測2入力検出割り込みマスク)	1 : 割り込み要求マスク(禁止)		
15	TIN16IM (TIN16 割り込みマスク)			

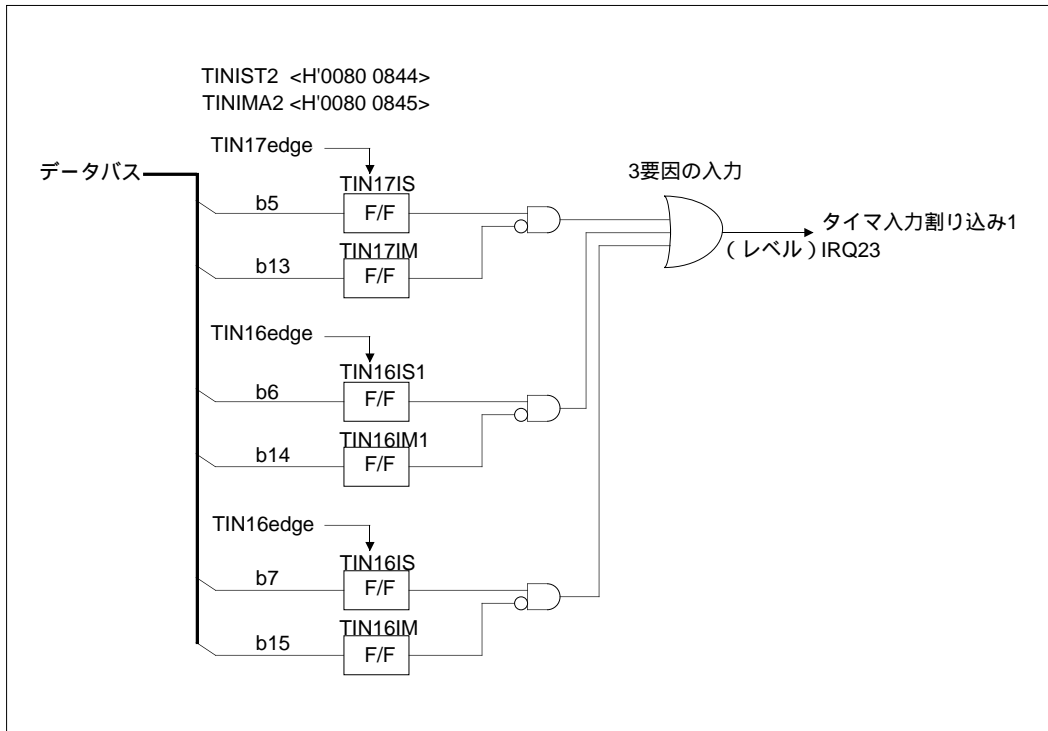
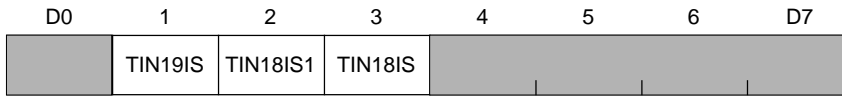


図10.2.13 タイマ入力割り込み1ブロック図

TIN割り込みステータスレジスタ3 (TINIST3)

<アドレス : H'0080 0846>



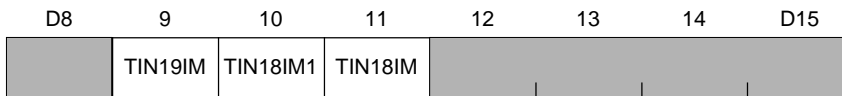
<リセット時 : H'00>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	TIN19IS (TIN19割り込みステータス)	0 : 割り込み要求なし		
2	TIN18IS1 (TMS計測0入力検出割り込みステータス)	1 : 割り込み要求あり		
3	TIN18IS (TIN22 割り込みステータス)			
4~7	何も配置されていません		0	-

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタ3 (TINIMA3)

<アドレス : H'0080 0847>



<リセット時 : H'00>

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9	TIN19IM (TIN19割り込みマスク)	0 : 割り込み要求許可		
10	TIN18IM1 (TMS計測0入力検出割り込みマスク)	1 : 割り込み要求マスク(禁止)		
11	TIN18IM (TIN18 割り込みマスク)			
12~15	何も配置されていません		0	-

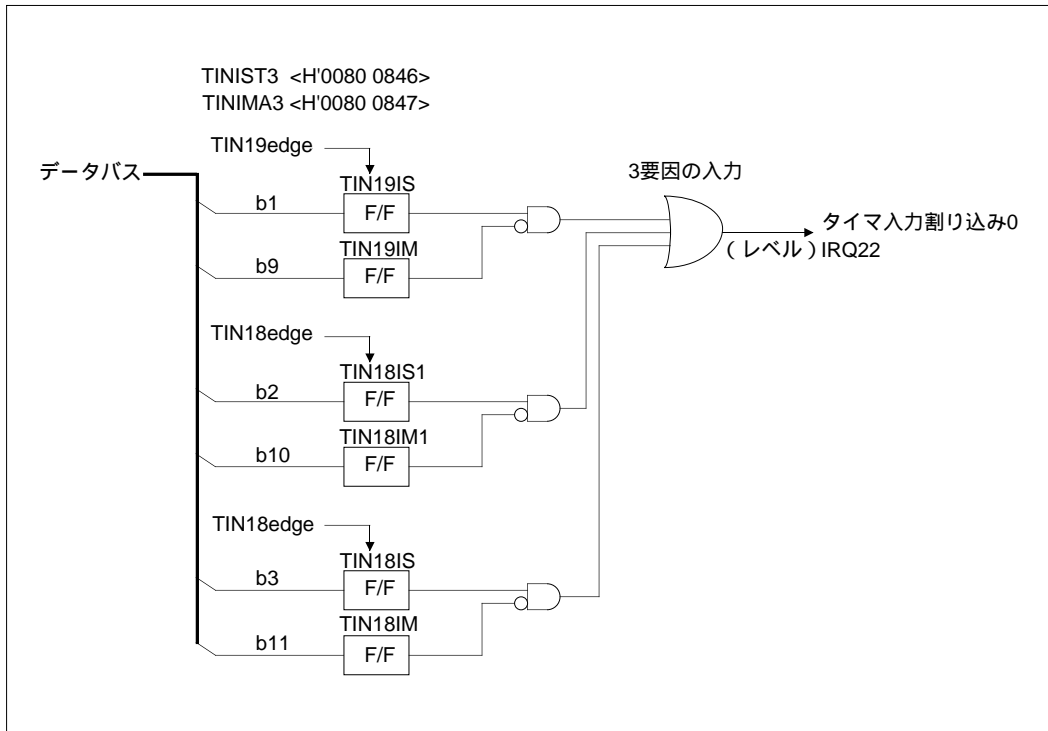


図10.2.14 タイマ入力割り込み0ブロック図

TIN割り込みステータスレジスタ4(TINIST4)

<アドレス : H'0080 0848>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	TIN9IS(TIN9割り込みステータス)	0 : 割り込み要求なし		
7	TIN8IS(TIN8割り込みステータス)	1 : 割り込み要求あり		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタ4(TINIMA4)

<アドレス : H'0080 0849>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~13	何も配置されていません		0	-
14	TIN9IM(TIN9割り込みマスク)	0 : 割り込み要求許可		
15	TIN8IM(TIN8割り込みマスク)	1 : 割り込み要求マスク(禁止)		

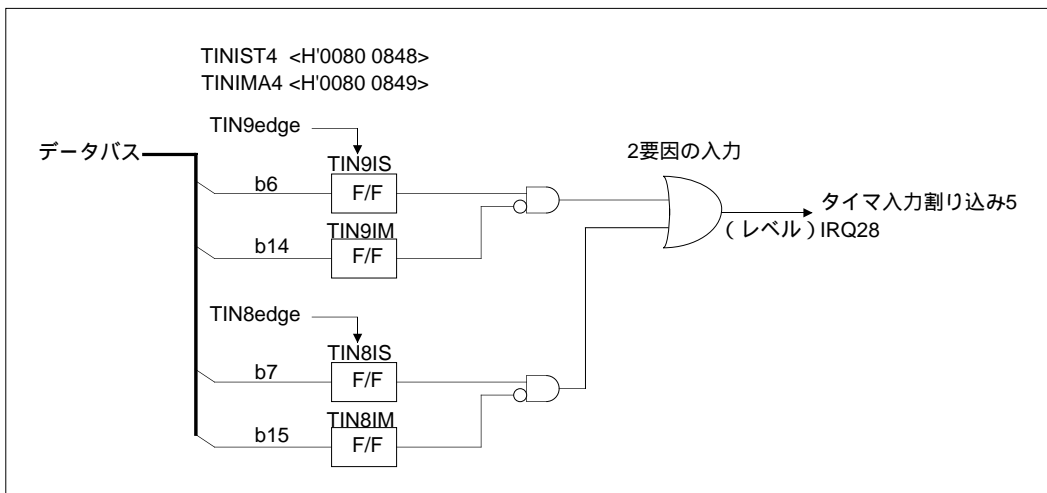
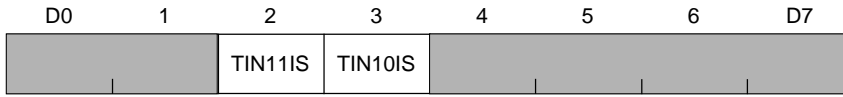


図10.2.15 タイマ入力割り込み5ブロック図

TIN割り込みステータスレジスタ5 (TINIST5)

<アドレス : H'0080 084A>



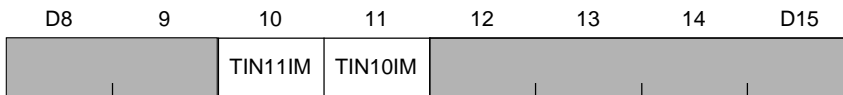
<リセット時 : H'00>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TIN11IS(TIN11割り込みステータス)	0 : 割り込み要求なし		
3	TIN10IS(TIN10割り込みステータス)	1 : 割り込み要求あり		
4~7	何も配置されていません		0	-

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタ5 (TINIMA5)

<アドレス : H'0080 084B>



<リセット時 : H'00>

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TIN11IM(TIN11割り込みマスク)	0 : 割り込み要求許可		
11	TIN10IM(TIN10割り込みマスク)	1 : 割り込み要求マスク(禁止)		
12~15	何も配置されていません		0	-

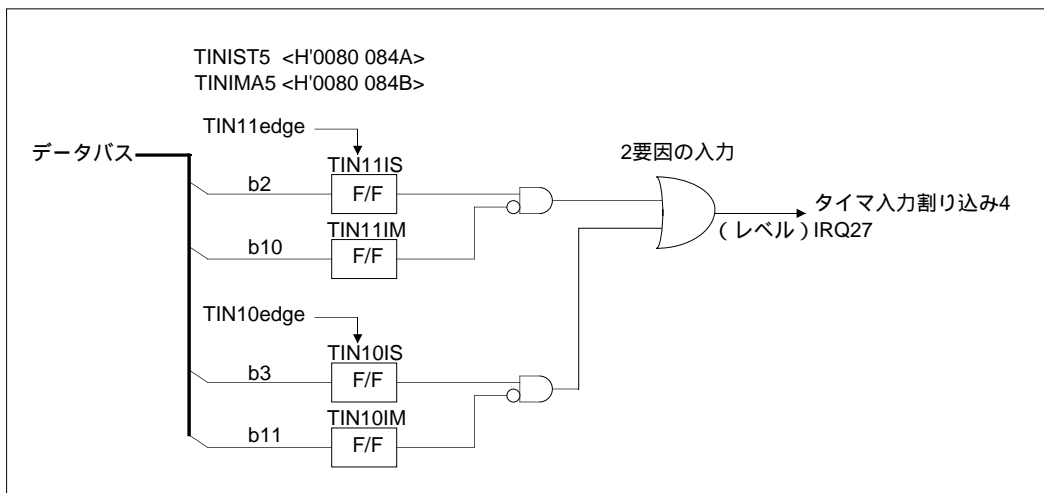


図10.2.16 タイマ入力割り込み4ブロック図

TIN割り込みステータスレジスタ& (TINIST8)

<アドレス : H'0080 0850>



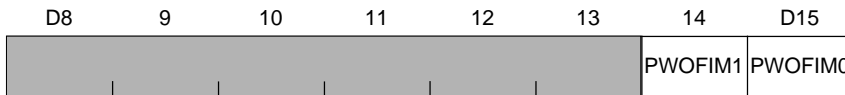
<リセット時 : H'00>

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	PWOFFIS1 (PWM出力禁止割り込みステータス1)	0 : 割り込み要求なし 1 : 割り込み要求あり		
7	PWOFFIS0 (PWM出力禁止割り込みステータス0)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込みマスクレジスタ& (TINIMA8)

<アドレス : H'0080 0851>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~13	何も配置されていません		0	-
14	PWOFFIM1 (PWM出力禁止割り込みマスク1)	0 : 割り込み要求許可 1 : 割り込み要求マスク (禁止)		
15	PWOFFIM0 (PWM出力禁止割り込みマスク0)			

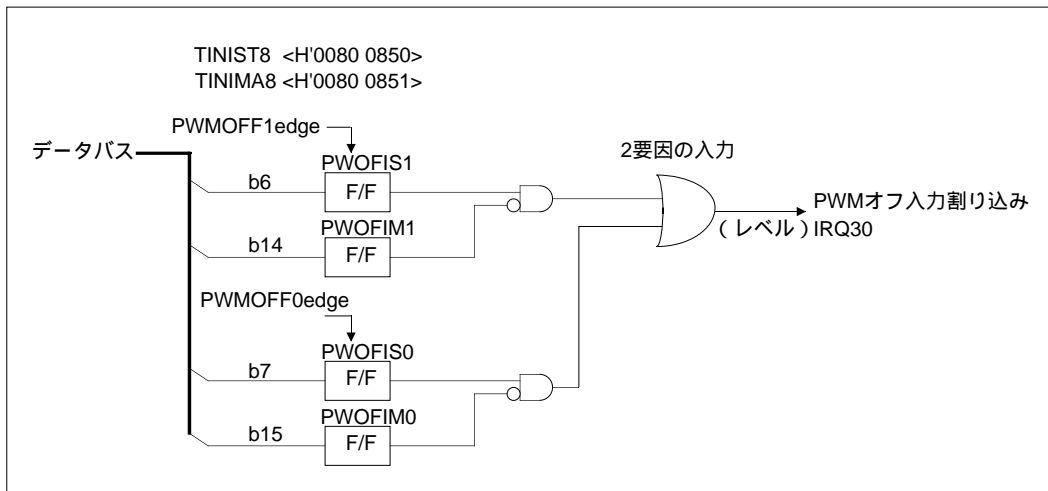


図10.2.17 PWMオフ入力割り込みブロック図

TOM0割り込みマスクレジスタ(TOM0IMA)

<アドレス : H'0080 0CD2>

D0	1	2	3	4	5	6	D7
TOM07IMA	TOM06IMA	TOM05IMA	TOM04IMA	TOM03IMA	TOM02IMA	TOM01IMA	TOM00IMA

<リセット時 : H'00>

D	ビット名	機能	R	W
0	TOM07IMA(TOM0_7割り込みマスク)	0 : 割り込み要求許可		
1	TOM06IMA(TOM0_6割り込みマスク)	1 : 割り込み要求マスク(禁止)		
2	TOM05IMA(TOM0_5割り込みマスク)			
3	TOM04IMA(TOM0_4割り込みマスク)			
4	TOM03IMA(TOM0_3割り込みマスク)			
5	TOM02IMA(TOM0_2割り込みマスク)			
6	TOM01IMA(TOM0_1割り込みマスク)			
7	TOM00IMA(TOM0_0割り込みマスク)			

TOM0割り込みステータスレジスタ(TOM0IST)

<アドレス : H'0080 0CD3>

D8	9	10	11	12	13	14	D15
TOM07IST	TOM06IST	TOM05IST	TOM04IST	TOM03IST	TOM02IST	TOM01IST	TOM00IST

<リセット時 : H'00>

D	ビット名	機能	R	W
8	TOM07IST(TOM0_7割り込みステータス)	0 : 割り込み要求なし		
9	TOM06IST(TOM0_6割り込みステータス)	1 : 割り込み要求あり		
10	TOM05IST(TOM0_5割り込みステータス)			
11	TOM04IST(TOM0_4割り込みステータス)			
12	TOM03IST(TOM0_3割り込みステータス)			
13	TOM02IST(TOM0_2割り込みステータス)			
14	TOM01IST(TOM0_1割り込みステータス)			
15	TOM00IST(TOM0_0割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

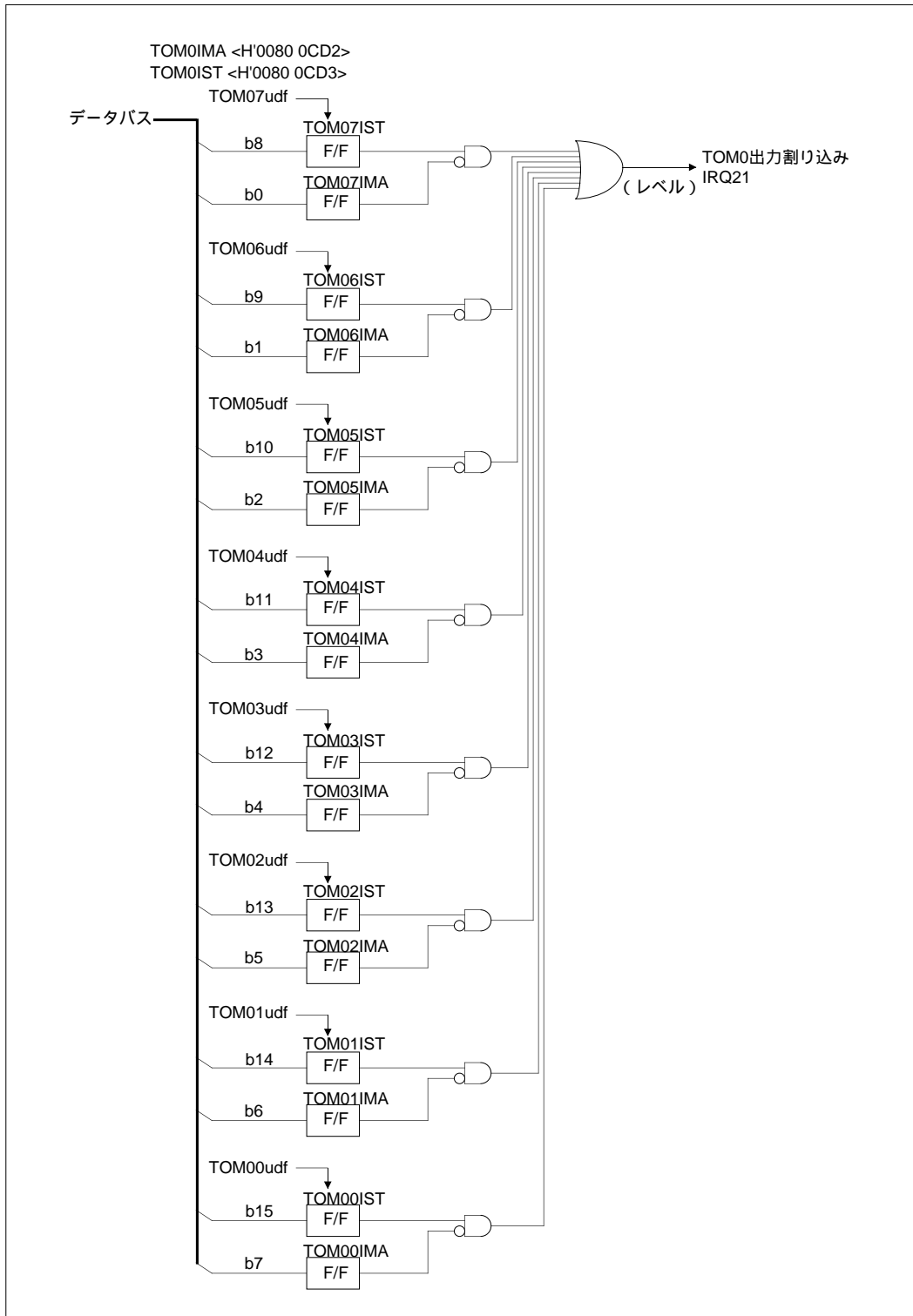


図10.2.18 TOM0出力割り込みブロック図

TOM1割り込みマスクレジスタ(TOM1IMA)

<アドレス : H'0080 0DD2>

D0	1	2	3	4	5	6	D7
TOM17IMA	TOM16IMA	TOM15IMA	TOM14IMA	TOM13IMA	TOM12IMA	TOM11IMA	TOM10IMA

<リセット時 : H'00>

D	ビット名	機能	R	W
0	TOM17IMA(TOM1_7割り込みマスク)	0 : 割り込み要求許可		
1	TOM16IMA(TOM1_6割り込みマスク)	1 : 割り込み要求マスク(禁止)		
2	TOM15IMA(TOM1_5割り込みマスク)			
3	TOM14IMA(TOM1_4割り込みマスク)			
4	TOM13IMA(TOM1_3割り込みマスク)			
5	TOM12IMA(TOM1_2割り込みマスク)			
6	TOM11IMA(TOM1_1割り込みマスク)			
7	TOM10IMA(TOM1_0割り込みマスク)			

TOM1割り込みステータスレジスタ(TOM1IST)

<アドレス : H'0080 0DD3>

D8	9	10	11	12	13	14	D15
TOM17IST	TOM16IST	TOM15IST	TOM14IST	TOM13IST	TOM12IST	TOM11IST	TOM10IST

<リセット時 : H'00>

D	ビット名	機能	R	W
8	TOM17IST(TOM1_7割り込みステータス)	0 : 割り込み要求なし		
9	TOM16IST(TOM1_6割り込みステータス)	1 : 割り込み要求あり		
10	TOM15IST(TOM1_5割り込みステータス)			
11	TOM14IST(TOM1_4割り込みステータス)			
12	TOM13IST(TOM1_3割り込みステータス)			
13	TOM12IST(TOM1_2割り込みステータス)			
14	TOM11IST(TOM1_1割り込みステータス)			
15	TOM10IST(TOM1_0割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

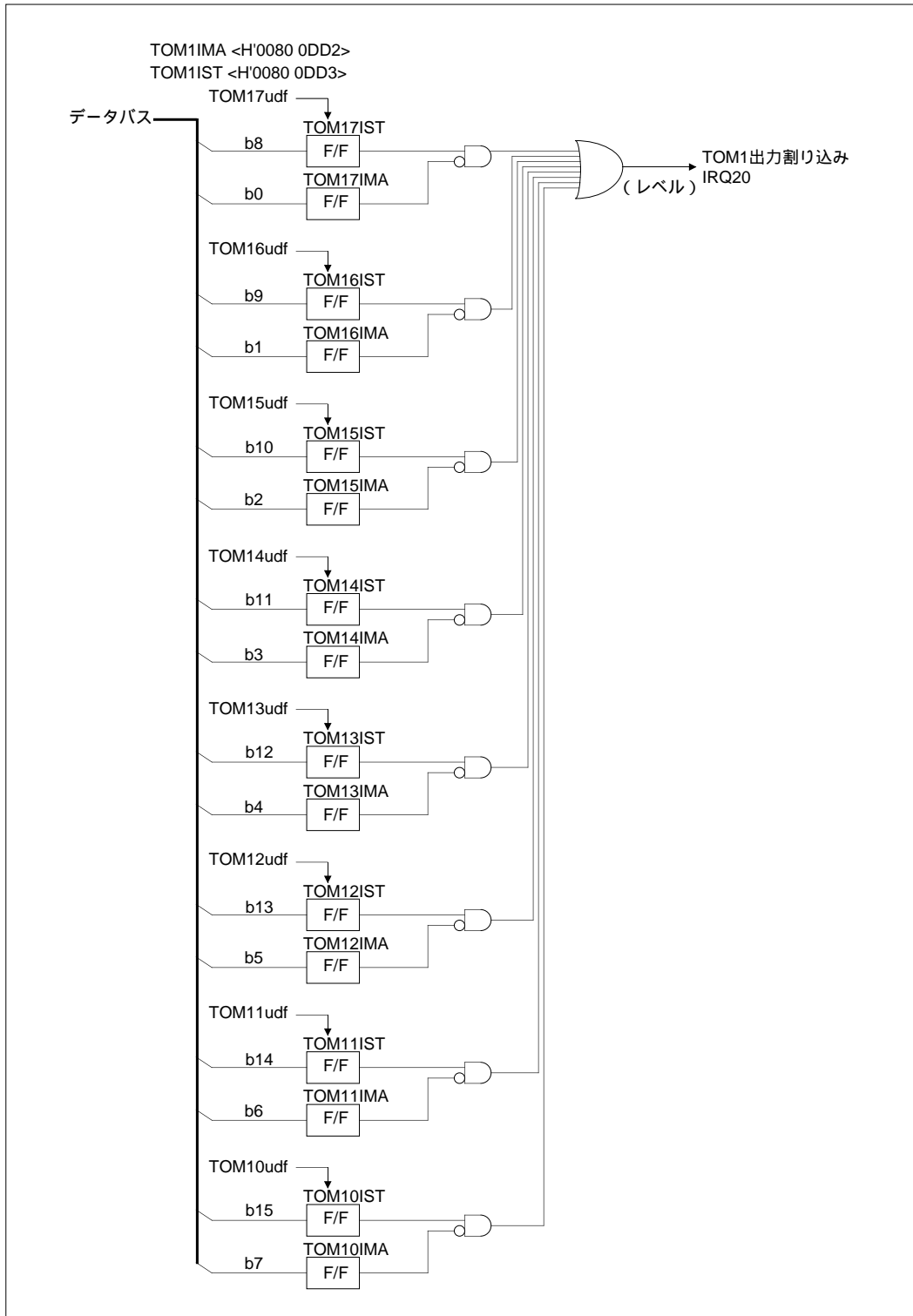


図10.2.19 TOM1出力割り込みブロック図

10.3 TMS(入力系16ビットタイマ)

10.3.1 TMS概要

TMS(Timer Measure Small)は入力系16ビットタイマで、4チャンネルの入力パルス計測が可能です。

以下にTMSの仕様を、また次ページにTMSのブロック図を示します。

表10.3.1 TMS(入力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	4チャンネル
カウンタ	16ビットアップカウンタ(1本)
計測レジスタ	16ビット計測レジスタ(4本)、16ビット旧計測レジスタ(4本)
タイマの起動	イネーブルビットへのソフトウェア書き込み
割り込み発生	カウンタのオーバーフローで発生可能

10.3.2 TMSの動作概要

TMSは、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウンタの動作を開始します。カウンタは16ビットのアップカウンタで、外部入力による計測信号の発生で、各計測レジスタの値を各旧計測レジスタへ、カウンタ値を各計測レジスタに取り込みます。

カウントの停止は、ソフトウェアによるイネーブルビットへのカウント停止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込みを、またカウンタのオーバーフロー発生でTMS割り込みを発生することができます。

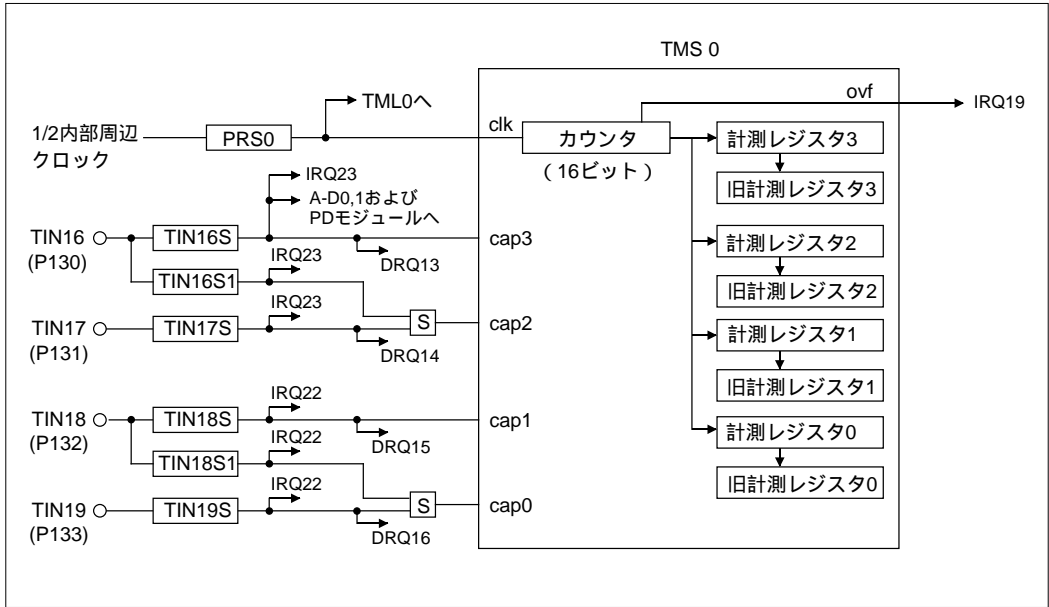


図10.3.1 TMS(入力系16ビットタイマ)ブロック図

10.3.3 TMS関連レジスタマップ

以下にTMS関連のレジスタマッピングを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 08E0	TMS0カウンタ (TMS0CT)					
H'0080 08E2	TMS0計測3レジスタ (TMS0MR3)					
H'0080 08E4	TMS0計測2レジスタ (TMS0MR2)					
H'0080 08E6	TMS0計測1レジスタ (TMS0MR1)					
H'0080 08E8	TMS0計測0レジスタ (TMS0MR0)					
H'0080 08EA	TMS0制御レジスタ (TMS0CR)			プリスケアラ0 (PRS0)		
		≈			≈	
H'0080 08F2	TMS0旧計測3レジスタ (TMS0OLDMR3)					
H'0080 08F4	TMS0旧計測2レジスタ (TMS0OLDMR2)					
H'0080 08F6	TMS0旧計測1レジスタ (TMS0OLDMR1)					
H'0080 08F8	TMS0旧計測0レジスタ (TMS0OLDMR0)					

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.3.2 TMS関連レジスタマップ

10.3.4 TMS制御レジスタ

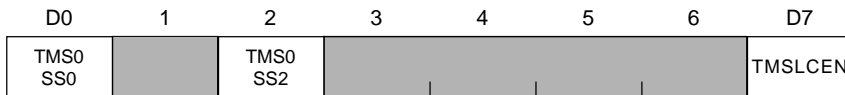
TMS制御レジスタは、TMS0の入カイベント選択、TMSおよびTMLのカウンタ起動の制御を行います。

TMS制御レジスタには、下記のレジスタがあります。

TMS0制御レジスタ(TMS0CR)

TMS0 制御レジスタ (TMS0CR)

<アドレス : H'0080 08EA >



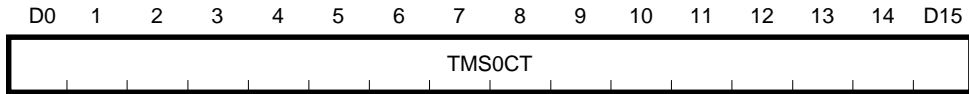
<リセット時 : H'00 >

D	ビット名	機能	R	W
0	TMS0SS0 (TMS0計測0ソース選択)	0 : 外部入力TIN19 1 : 外部入力TIN18		
1	何も配置されていません		0	-
2	TMS0SS2 (TMS0計測2ソース選択)	0 : 外部入力TIN17 1 : 外部入力TIN16		
3~6	何も配置されていません		0	-
7	TMSLCEN (TMS/TMLカウンタイネーブル)	0 : カウンタ停止 1 : カウンタ開始		

10.3.5 TMSカウンタ(TMSOCT)

TMSOカウンタ (TMSOCT)

<アドレス : H'0080 08E0 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TMSOCT	16ビットカウンタ値		

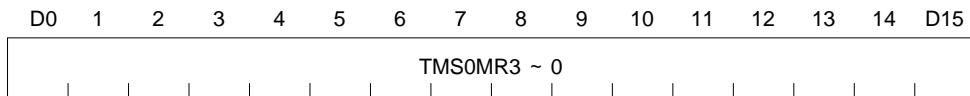
注. このレジスタは、必ずハーフワードでアクセスしてください。

TMSカウンタは16ビットのアップカウンタで、タイマの起動(イネーブルビットへのソフトウェア書き込み)によりカウント動作を開始します。

カウンタは動作中の読み出しが可能です。

10.3.6 TMS計測レジスタ(TMS0MR3~0)

TMS0 計測 3 レジスタ (TMS0MR3)	<アドレス : H'0080 08E2 >
TMS0 計測 2 レジスタ (TMS0MR2)	<アドレス : H'0080 08E4 >
TMS0 計測 1 レジスタ (TMS0MR1)	<アドレス : H'0080 08E6 >
TMS0 計測 0 レジスタ (TMS0MR0)	<アドレス : H'0080 08E8 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TMS0MR3~TMS0MR0	16ビットカウンタ値		—

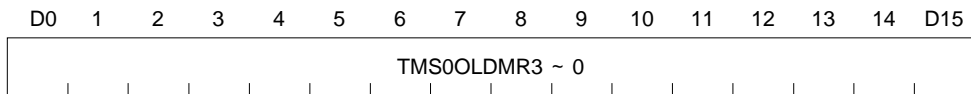
注1. このレジスタは読み出しのみ可能です。

注2. このレジスタはバイトでもハーフワードでもアクセス可能です。

TMS計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TMS計測レジスタは、読み出しのみ可能です。

10.3.7 TMS旧計測レジスタ(TMS0OLDMR3~0)

TMS0 旧計測 3 レジスタ (TMS0OLDMR3)	<アドレス : H'0080 08F2 >
TMS0 旧計測 2 レジスタ (TMS0OLDMR2)	<アドレス : H'0080 08F4 >
TMS0 旧計測 1 レジスタ (TMS0OLDMR1)	<アドレス : H'0080 08F6 >
TMS0 旧計測 0 レジスタ (TMS0OLDMR0)	<アドレス : H'0080 08F8 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TMS0OLDMR3~TMS0OLDMR0	TMS0計測レジスタ値		—

注1. このレジスタは読み出しのみ可能です。

注2. このレジスタはバイトでもハーフワードでもアクセス可能です。

TMS旧計測レジスタは、イベント入力時にTMS計測レジスタの内容を取り込むレジスタです。TMS旧計測レジスタは、読み出しのみ可能です。

10.3.8 TMS計測入力の動作

(1) TMS 計測入力概要

TMS計測入力では、まずタイマの起動(イネーブルビットへのソフトウェア書き込み)によりアップカウントを開始します。タイマ動作中にTMSへイベント入力がある場合、旧計測レジスタ0~3には計測レジスタ0~3の値を、計測レジスタ0~3にはカウンタ値を取り込みます。

タイマの停止は、イネーブルビットへのカウント停止書き込みと同時に Rowe れます。

外部から計測信号が入力された場合にはTIN割り込みを、またカウンタがオーバフローした場合にはTMS割り込みを発生させることができます。

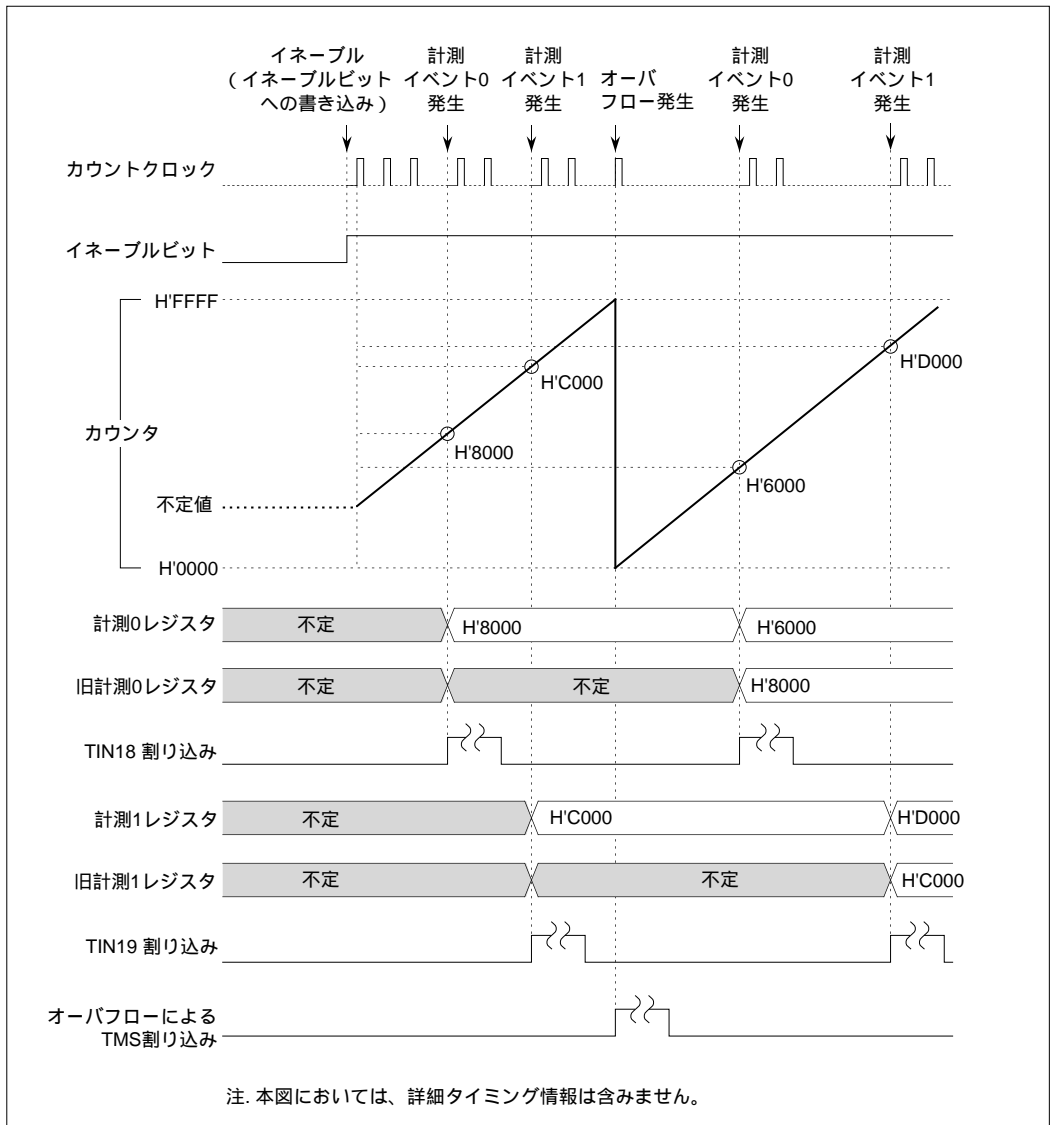


図10.3.3 TMS計測入力の動作例

(2) TMS 計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.4 TML(入力系32ビットタイマ)

10.4.1 TML概要

TML(Timer Measure Large)は入力系32ビットタイマで、4チャンネルの入力パルス計測が可能です。

以下にTMLの仕様を、また次ページにTMLのブロック図を示します。

表10.4.1 TML(入力系32ビットタイマ)の仕様

項目	仕様
チャンネル数	4チャンネル
カウンタ	32ビットアップカウンタ
計測レジスタ	32ビット計測レジスタ(4本)、32ビット旧計測レジスタ(4本)
タイマの起動	イネーブルビットへのソフトウェア書き込み

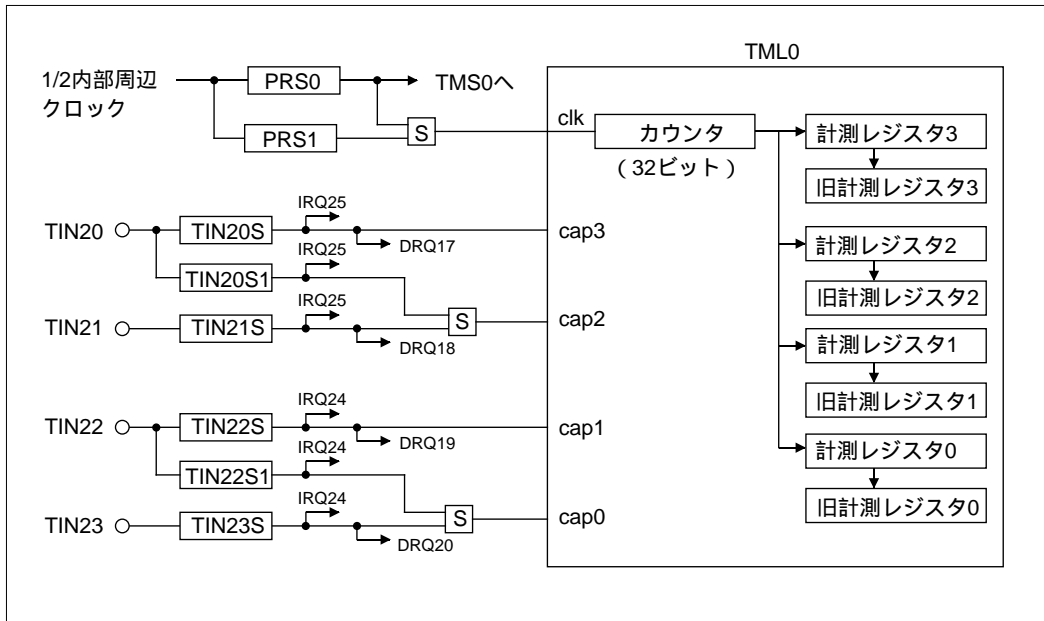


図10.4.1 TML(入力系32ビットタイマ)ブロック図

10.4.2 TMLの動作概要

TMLは、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウンタの動作を開始します。カウンタは32ビットのアップカウンタで、外部入力による計測イベント信号の発生で、各計測レジスタ(32ビット)の内容を各旧計測レジスタ(32ビット)へ、カウンタ値を各計測レジスタ(32ビット)にそれぞれ格納します。

カウンタの停止は、ソフトウェアによるイネーブルビットへのカウンタ停止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込みを発生することができます。ただし、TMLカウンタのオーバフロー割り込みはありません。

注 . TMLタイマのイネーブルビットは、TMSタイマのイネーブルビットと共用しています。詳細につきましては、10.3.4「TMS制御レジスタ」をご覧ください。

10.4.3 TML関連レジスタマップ

以下にTML関連のレジスタマップを示します。

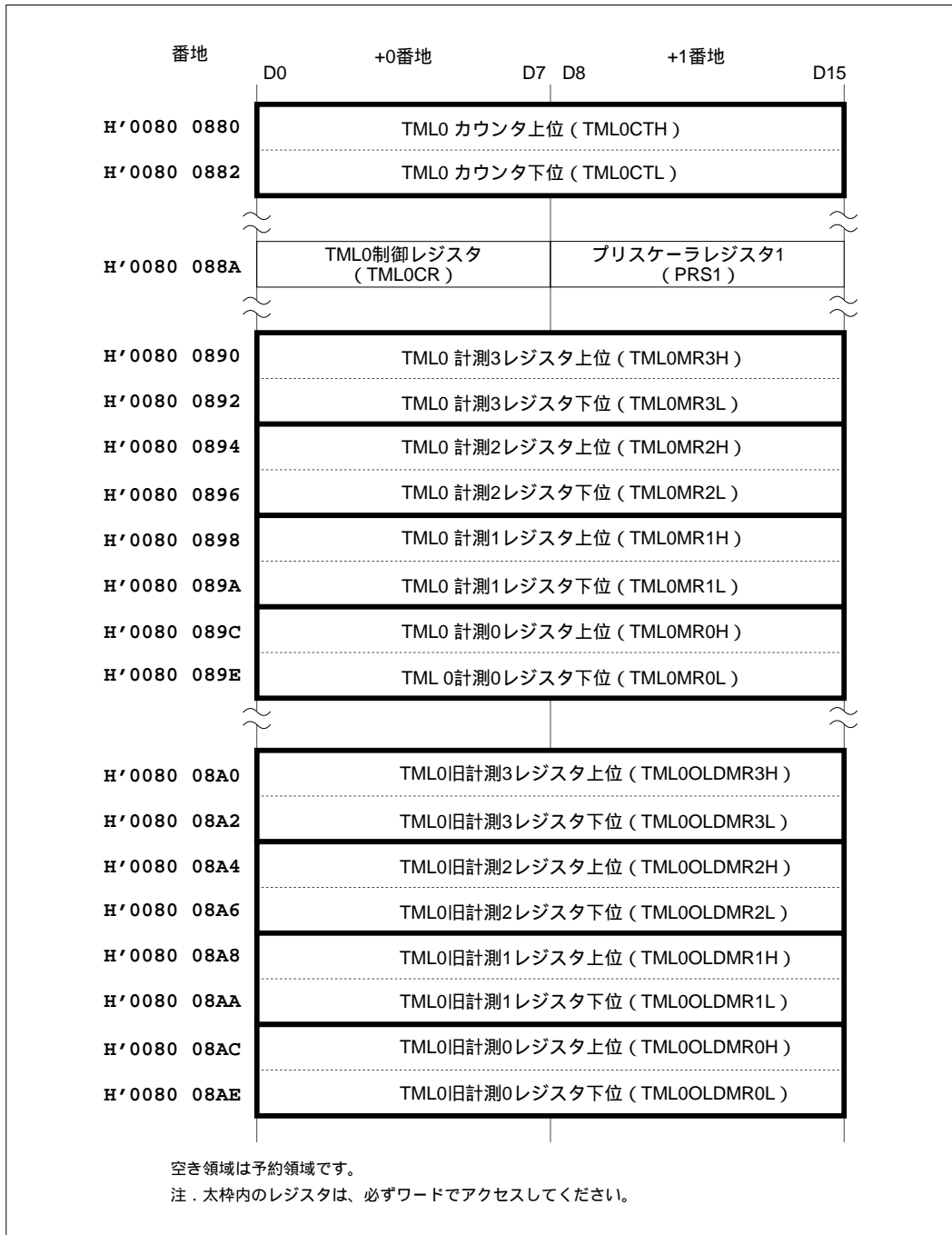
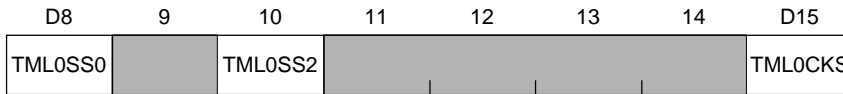


図10.4.2 TML関連レジスタマップ

10.4.4 TML制御レジスタ

TML0 制御レジスタ (TML0CR)

< アドレス : H'0080 088A >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8	TML0SS0 (TML0計測0ソース選択)	0 : 外部入力TIN23 1 : 外部入力TIN22		
9	何も配置されていません		0	-
10	TML0SS2 (TML0計測2ソース選択)	0 : 外部入力TIN21 1 : 外部入力TIN20		
11~14	何も配置されていません		0	-
15	TML0CKS (TML0クロックソース選択)	0 : プリスケアラ1(PRS1) 1 : プリスケアラ0(PRS0)		

TML0制御レジスタは、TML0の入カイベント選択およびカウントクロックの選択を行います。

注. クロックソースとして、1/2内部周辺クロックのクロックが入力されている場合のみ、カウンタの正常書き込みが可能です。1/2内部周辺クロック以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

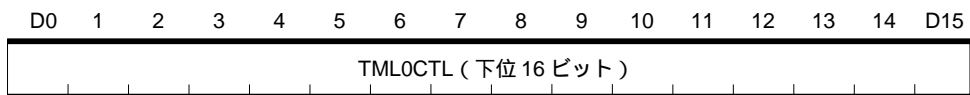
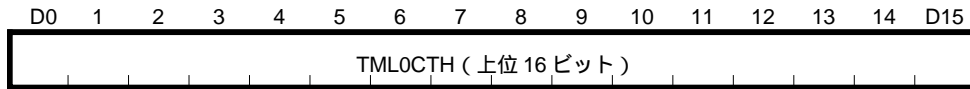
10.4.5 TMLカウンタ

TML0 カウンタ上位 (TML0CTH)

<アドレス : H'0080 0880 >

TML0 カウンタ下位 (TML0CTL)

<アドレス : H'0080 0882 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TML0CTH	32ビットカウンタ値(上位16ビット)		
	TML0CTL	32ビットカウンタ値(下位16ビット)		

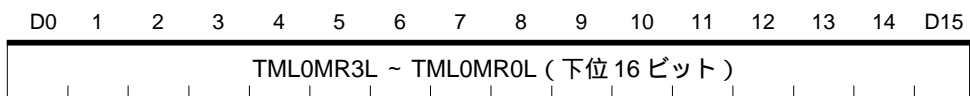
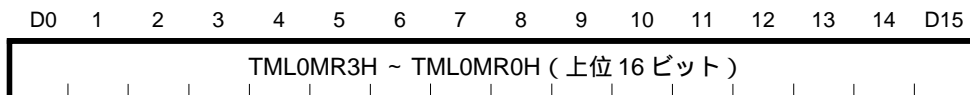
注. このレジスタは必ずTML0CTHのアドレスから始まるワード(32ビット)でアクセスしてください。

TML0カウンタは32ビットのアップカウンタで、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウント動作を開始します。TML0CTHが32ビットカウンタの上位16ビット、TML0CTLが下位16ビットのレジスタです。

カウンタは動作中の読み出しが可能です。

10.4.6 TML計測レジスタ

TML0 計測 3 レジスタ (TML0MR3H)	<アドレス: H'0080 0890 >
TML0 計測 3 レジスタ (TML0MR3L)	<アドレス: H'0080 0892 >
TML0 計測 2 レジスタ (TML0MR2H)	<アドレス: H'0080 0894 >
TML0 計測 2 レジスタ (TML0MR2L)	<アドレス: H'0080 0896 >
TML0 計測 1 レジスタ (TML0MR1H)	<アドレス: H'0080 0898 >
TML0 計測 1 レジスタ (TML0MR1L)	<アドレス: H'0080 089A >
TML0 計測 0 レジスタ (TML0MR0H)	<アドレス: H'0080 089C >
TML0 計測 0 レジスタ (TML0MR0L)	<アドレス: H'0080 089E >



<リセット時:不定>

D	ビット名	機能	R	W
0~15	TML0MR3H~0H	32ビット計測レジスタ値(上位16ビット)		—
	TML0MR3L~0L	32ビット計測レジスタ値(下位16ビット)		—

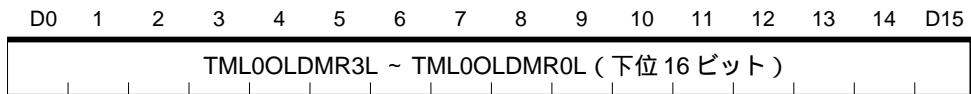
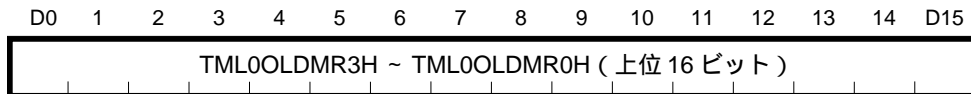
注1. これらのレジスタは読み出しのみ可能です。

注2. これらのレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TML0計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TML0計測レジスタは32ビット構成でTML0MR3H~0Hが上位16ビット、TML0MR3L~0Lが下位16ビットのレジスタです。TML0計測レジスタは、読み出しのみ可能です。レジスタへのアクセスは必ずワード境界からのワード単位で行ってください。

10.4.7 TML旧計測レジスタ

TML0 旧計測 3 レジスタ (TML0OLDMR3H)	<アドレス : H'0080 08A0 >
TML0 旧計測 3 レジスタ (TML0OLDMR3L)	<アドレス : H'0080 08A2 >
TML0 旧計測 2 レジスタ (TML0OLDMR2H)	<アドレス : H'0080 08A4 >
TML0 旧計測 2 レジスタ (TML0OLDMR2L)	<アドレス : H'0080 08A6 >
TML0 旧計測 1 レジスタ (TML0OLDMR1H)	<アドレス : H'0080 08A8 >
TML0 旧計測 1 レジスタ (TML0OLDMR1L)	<アドレス : H'0080 08AA >
TML0 旧計測 0 レジスタ (TML0OLDMR0H)	<アドレス : H'0080 08AC >
TML0 旧計測 0 レジスタ (TML0OLDMR0L)	<アドレス : H'0080 08AE >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	TML0OLDMR3H ~ 0H	32ビット旧計測レジスタ値 (上位16ビット)		—
	TML0OLDMR3L ~ 0L	32ビット旧計測レジスタ値 (下位16ビット)		

注1. これらのレジスタは読み出しのみ可能です。

注2. これらのレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TML0旧計測レジスタは、イベント入力時にTML0計測レジスタの内容を取り込むレジスタです。TML0旧計測レジスタは32ビット構成でTML0OLDMR3H~0Hが上位16ビット、TML0OLDMR3L~0Lが下位16ビットのレジスタです。TML0旧計測レジスタは、読み出しのみ可能です。レジスタへのアクセスは必ずワード境界からのワード単位で行ってください。

10.4.8 TML計測入力の動作

(1) TML 計測入力概要

TML計測入力では、タイマの起動(イネーブルビットへのソフトウェア書き込み)によりアップカウンタを開始します。計測レジスタ0~3 イベント入力があると、カウンタ値を計測レジスタに取り込みます。

タイマの停止は、イネーブルビットへのカウンタ停止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込みを発生することができます(カウンタのオーバーフロー割り込みはありません)。

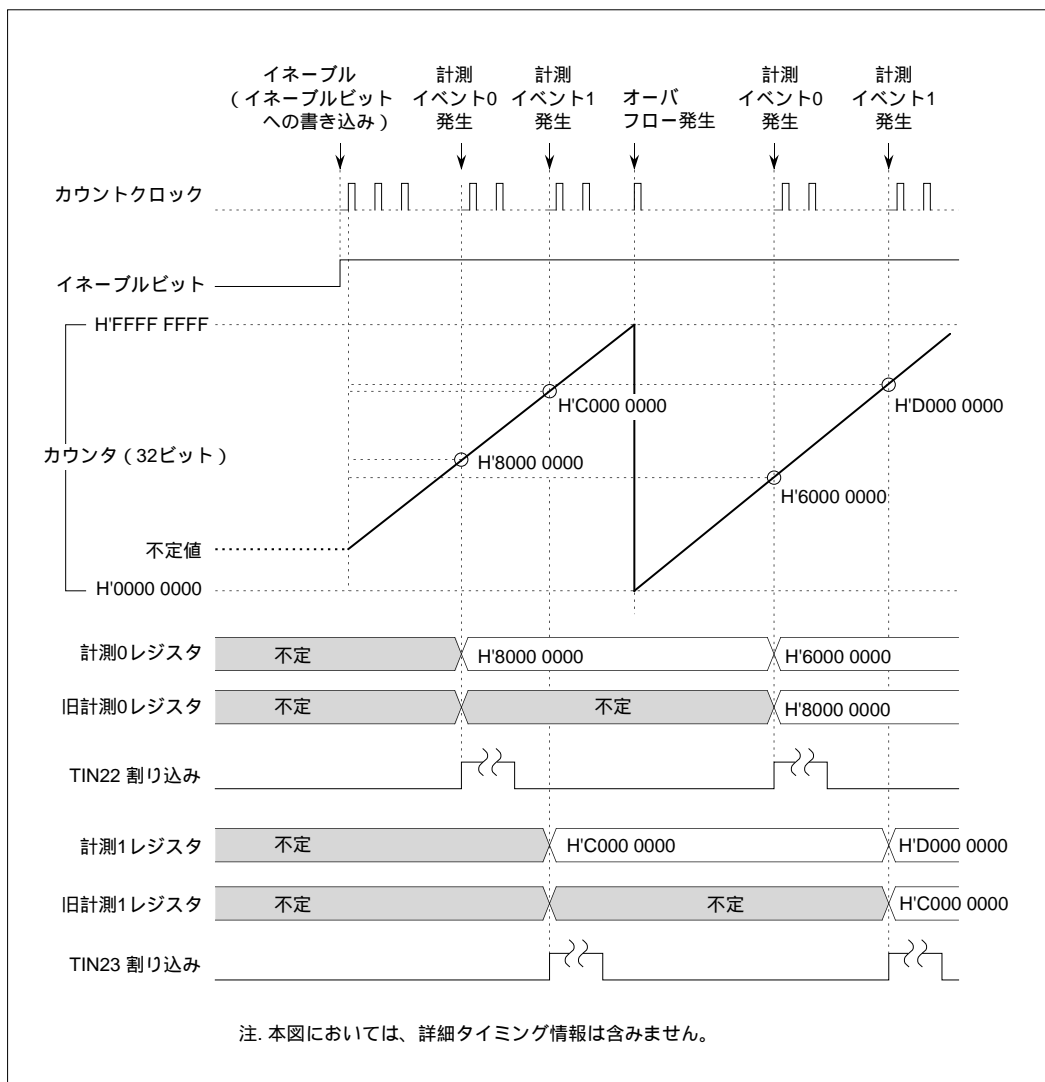


図10.4.3 TML計測入力の動作例

(2) TML 計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き替え前の)アップカウント値が取り込まれます。

1/2内部周辺クロック以外のクロックを使用すると、カウンタへの書き込みが正常にできなくなりますので、1/2内部周辺クロック以外のクロックを使用した場合はカウンタへの書き込みを行わないでください。

1/2内部周辺クロック以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも一つ進んだ値を取り込みます。ただし、カウンタクロックから1/2内部周辺クロック周期の間は、カウンタ値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。

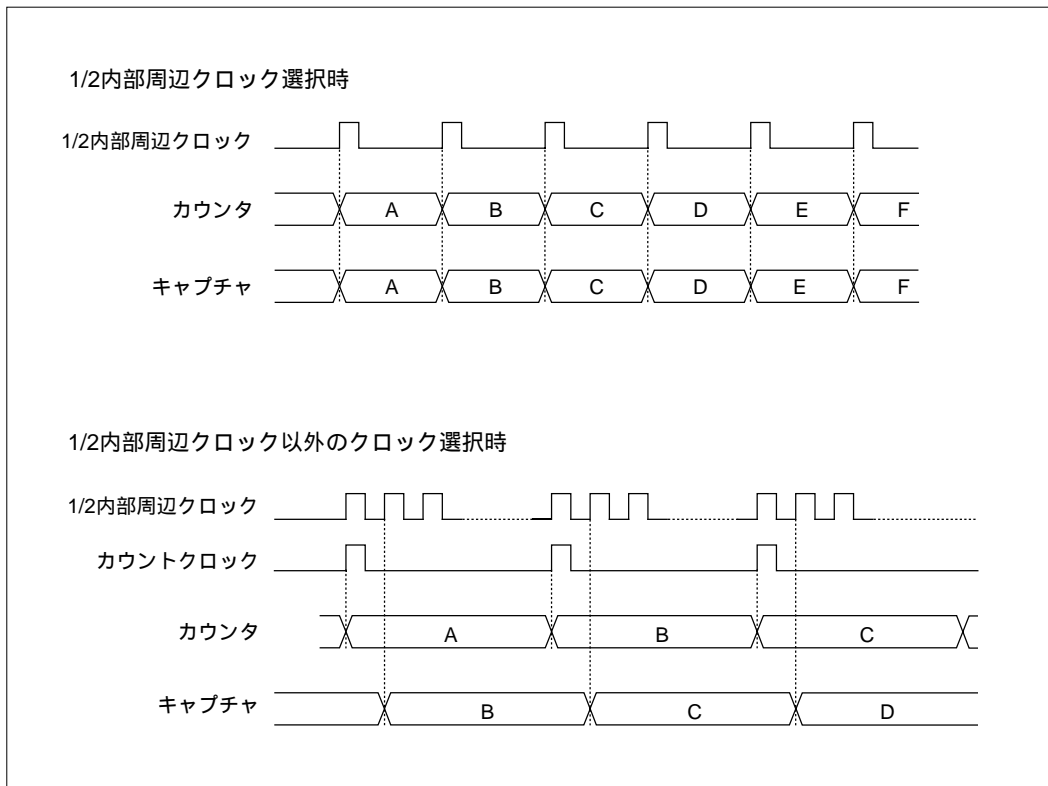


図10.4.4 カウンタ値とキャプチャ値のずれ

10.5 TID(入力系16ビットタイマ)

10.5.1 TID概要

TID(Timer Input Derivation)は入力系16ビットタイマで、ソフトウェアによるモード切り替えにより、以下のモードから1つを選択できます。

- 定周期カウントモード
- イベントカウントモード
- 4 逓倍イベントカウントモード
- アップ/ダウンイベントカウントモード

以下にTIDの仕様を、また次ページにTIDのブロック図を示します。

表10.5.1 TID(入力16ビットタイマ)の仕様

項目	仕様
チャンネル数	2チャンネル
カウンタ	16ビットアップダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み
モード切り替え	<入力モード> 定周期モード イベントカウントモード 4 逓倍イベントカウントモード アップ/ダウンイベントカウントモード
割り込み発生	カウンタのアンダフローとオーバフローで発生可能

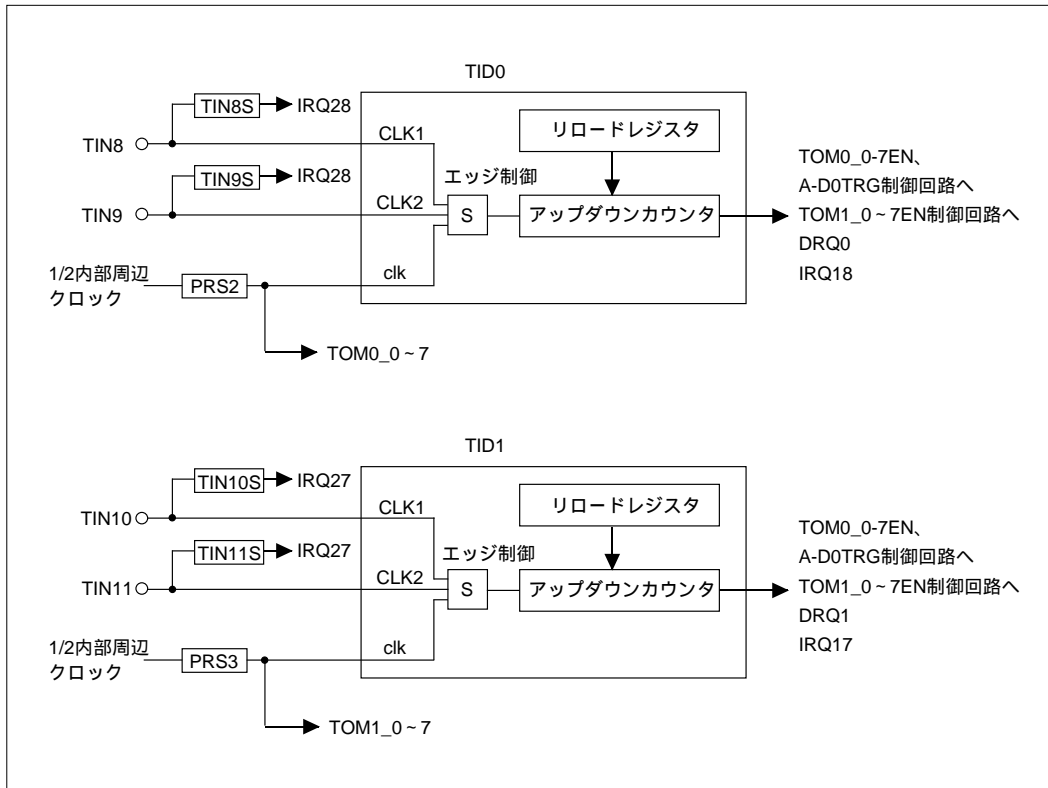


図10.5.1 TID(入力系16ビットタイマ)ブロック図

10.5.2 TID関連レジスタマップ

以下にTID関連のレジスタマップを示します

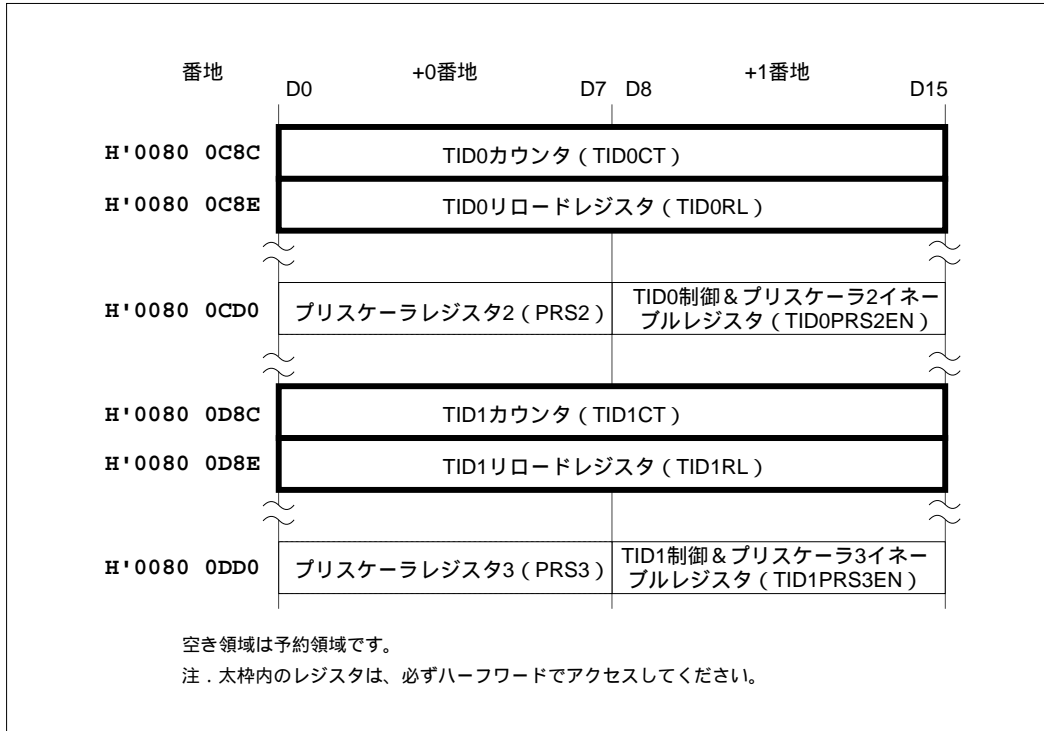


図10.5.2 TID関連レジスタマップ

10.5.3 TID制御&プリスケラ2イネーブルレジスタ

TID0制御&プリスケラ2イネーブルレジスタ(TID0PRS2EN) <アドレス:H'0080 OCD1 >

D8	9	10	11	12	13	14	D15
TID0M		TID0CEN	TOM0ENS			PRS2EN	

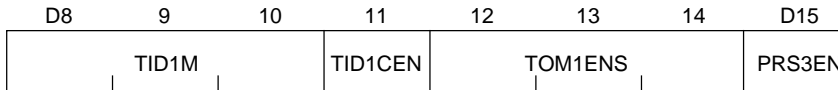
<リセット時:H'00 >

D	ビット名	機能	R	W
8~10	TID0M (TID0動作モード選択)	X0X: 定周期カウントモード X10: 4 通倍イベントカウントモード 011: イベントカウントモード 111: アップ/ダウンイベントカウントモード		
11	TID0CEN (TID0カウントイネーブル)	0: カウント停止 1: カウント開始		
12~14	TOM0ENS (TOM0_0~7 イネーブル要因選択)	X0X: イベントイネーブル禁止 010: TID0出力 011: TOM0_7出力 110: TID1またはTOM1_7出力 111: 外部入力TIN18		
15	PRS2EN (プリスケラ2イネーブル)	0: カウント停止 1: カウント開始		

注: 動作モードの設定・変更は必ずカウンタ停止状態で行ってください。

TID0制御&プリスケラ2イネーブルレジスタは、TID0の動作モード(定周期カウントモード、イベントカウント、4 通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOM0_0~7タイマのイネーブル要因選択、プリスケラ2の起動の制御を行います。

TID1 制御 & プリスケーラ3 イネーブルレジスタ (TID1PRS3EN) < アドレス : H'0080 0DD1 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	TID1M (TID1動作モード選択)	X0X : 定周期カウントモード X10 : 4 通倍イベントカウントモード 011 : イベントカウントモード 111 : アップ/ダウンイベントカウントモード		
11	TID1CEN (TID1カウントイネーブル)	0 : カウント停止 1 : カウント開始		
12~14	TOM1ENS (TOM1_0~7 イネーブル要因選択)	X0X : イベントイネーブル禁止 010 : TID1出力 011 : TOM1_7出力 110 : TID0またはTOM0_7出力 111 : 外部入力TIN19		
15	PRS3EN (プリスケーラ3イネーブル)	0 : カウント停止 1 : カウント開始		

注 : 動作モードの設定・変更は必ずカウンタ停止状態で行ってください。

TID1制御 & プリスケーラ3イネーブルレジスタは、TID1の動作モード(定周期カウントモード、イベントカウント、4通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOM1_0~7タイマのイネーブル要因選択、プリスケーラ3の起動の制御を行います。

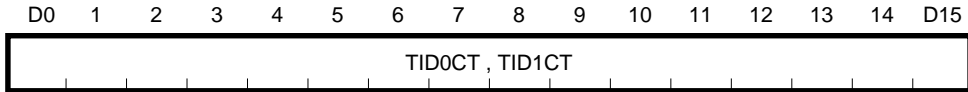
10.5.4 TIDカウンタ(TID0CT、TID1CT)

TID0 カウンタ (TID0CT)

< アドレス : H'0080 0C8C >

TID1 カウンタ (TID1CT)

< アドレス : H'0080 0D8C >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TID0CT,TID1CT	16ビットカウンタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIDカウンタは16ビットのダウンアップカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウントクロックに同期してカウント動作を開始します。

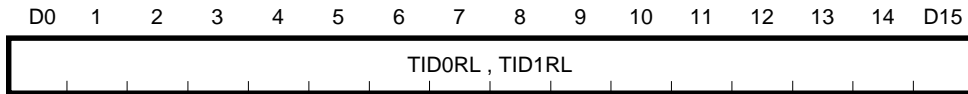
10.5.5 TIDリロードレジスタ(TID0RL、TID1RL)

TID0 リロードレジスタ (TID0RL)

< アドレス : H'0080 0C8E >

TID1 リロードレジスタ (TID1RL)

< アドレス : H'0080 0D8E >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TID0RL,TID1RL	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIDリロードレジスタは、TIDカウンタレジスタ(TID0CT,TID1CT)へデータをリロードするためのレジスタです。

リロードレジスタの内容がカウンタにデータがロードされるのは、以下の場合です。

- 定周期カウントモードでカウンタがアンダフローした時
- 定周期カウントモードでカウンタがイネーブルになった時

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.5.6 TID各モードの概略

以下にTIDの各モードの概要を示します。TIDのモードは、この中から1つだけを選択できます。

(1) 定周期カウントモード

定周期カウントモードは、リロードレジスタを使用してリロードレジスタの設定値+1の周期で割り込みを発生するモードです。

リロードレジスタ設定後(初期値は不定)、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期して、リロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローすると、再びリロードレジスタの内容をカウンタにロードし、カウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

また、カウンタのアンダフローごとに、割り込みを発生することができます。

リロードレジスタの設定値+1がカウント値として有効です。

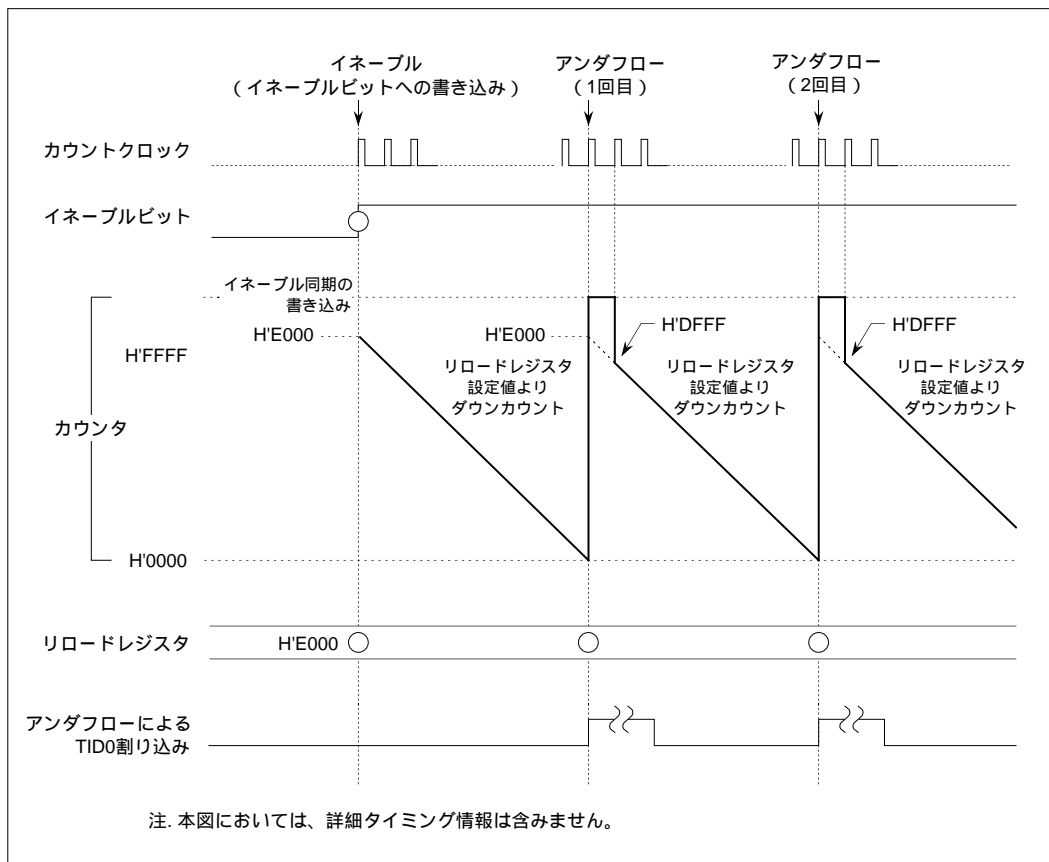


図10.5.3 TID定周期カウントモードの動作例

(2) イベントカウントモード

イベントカウントモードは、外部から入力された信号(TIN8, TIN10)をクロック源として、カウンタを動作させるモードです。

注 . TIN9, TIN11はクロック源として使用できません。

外部から入力された信号(TIN8, TIN10)の立ち上がり、立ち下がりのエッジを検出し、内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウント設定値からアップカウントを開始します。

また、カウンタのオーバーフローで割り込みを発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

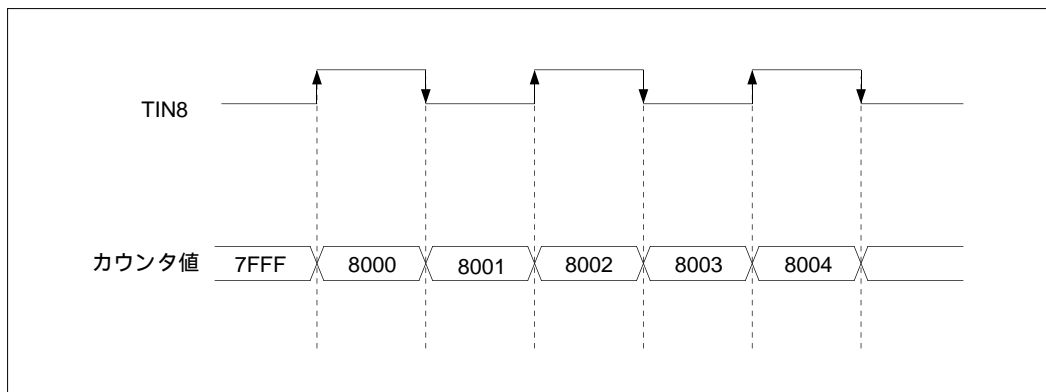


図10.5.4 TIDイベントカウントモード動作例(基本動作)

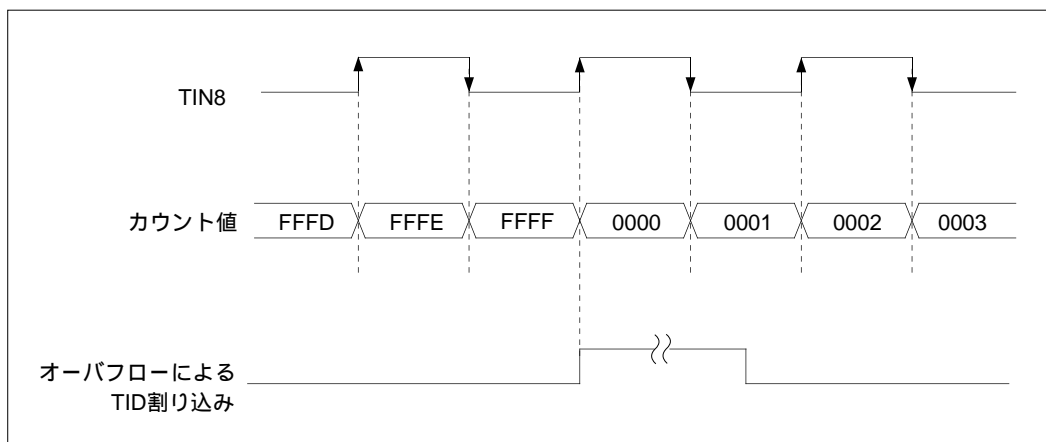


図10.5.5 TIDイベントカウントモード動作例(オーバーフロー発生時)

(3) 4 通倍イベントカウントモード

4 通倍イベントカウントモードは、外部から入力された 2 系統の信号(TIN8とTIN9, TIN10とTIN11)をクロック源として、カウンタを動作させるモードです。2 本の信号の入力状態によって、アップカウントとダウンカウントを切り替えます。

外部から入力された信号は、2 本とも立ち上がり、立ち下がりエッジを検出し内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウントを開始します。カウントの方向は、表10.5.2を参照して下さい。

また、カウンタのオーバーフロー、アンダフローで割り込みを発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定して下さい。

表10.5.2 4通倍イベントカウントモード時のカウント方向

入力	カウント方向							
	アップカウント				ダウンカウント			
TIN8 TIN10	H	↓	L	↑	H	↓	L	↑
TIN9 TIN11	↑	H	↓	L	↓	L	↑	H

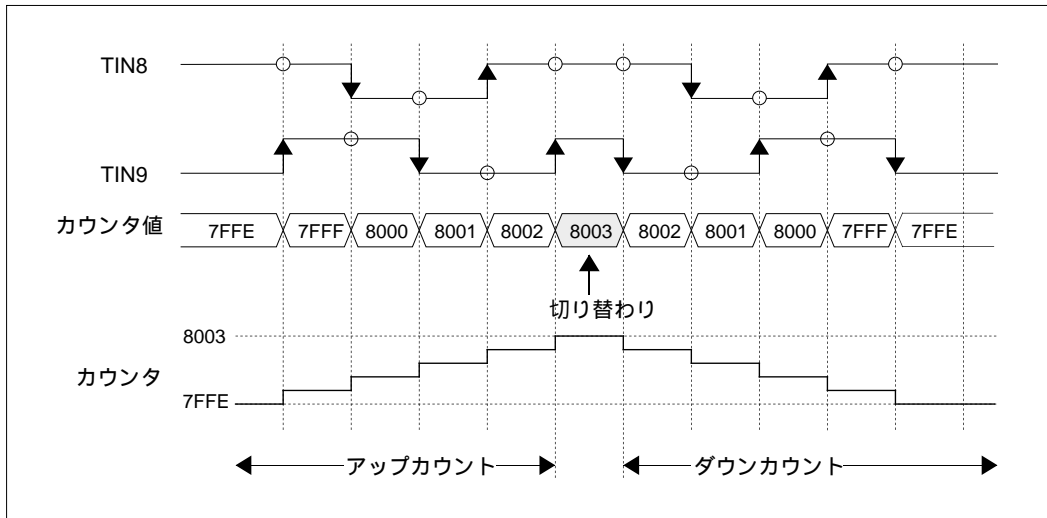


図10.5.6 アップダウンカウンタ動作(切り替わりタイミング)

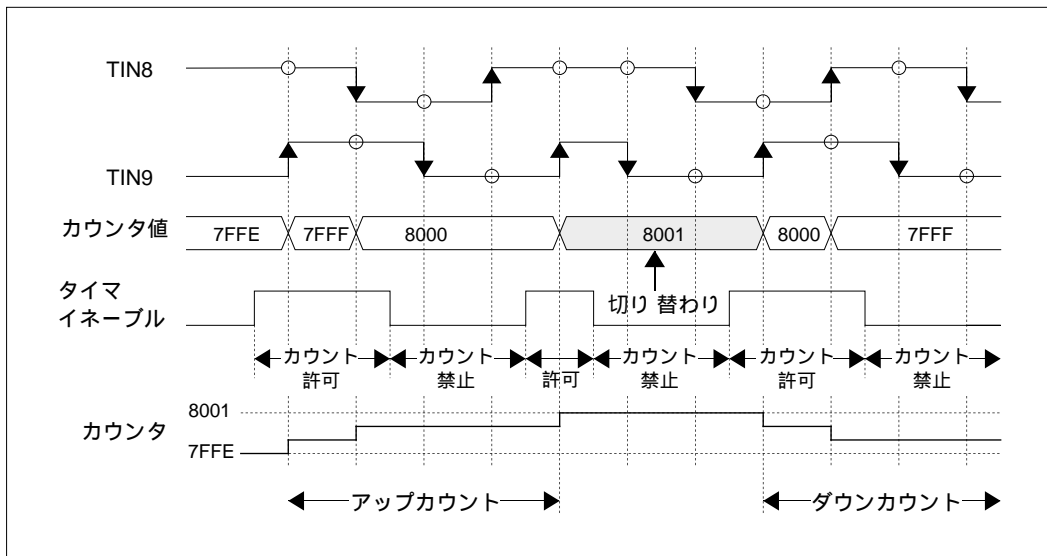


図10.5.7 アップダウンカウンタ動作(カウント許可禁止)

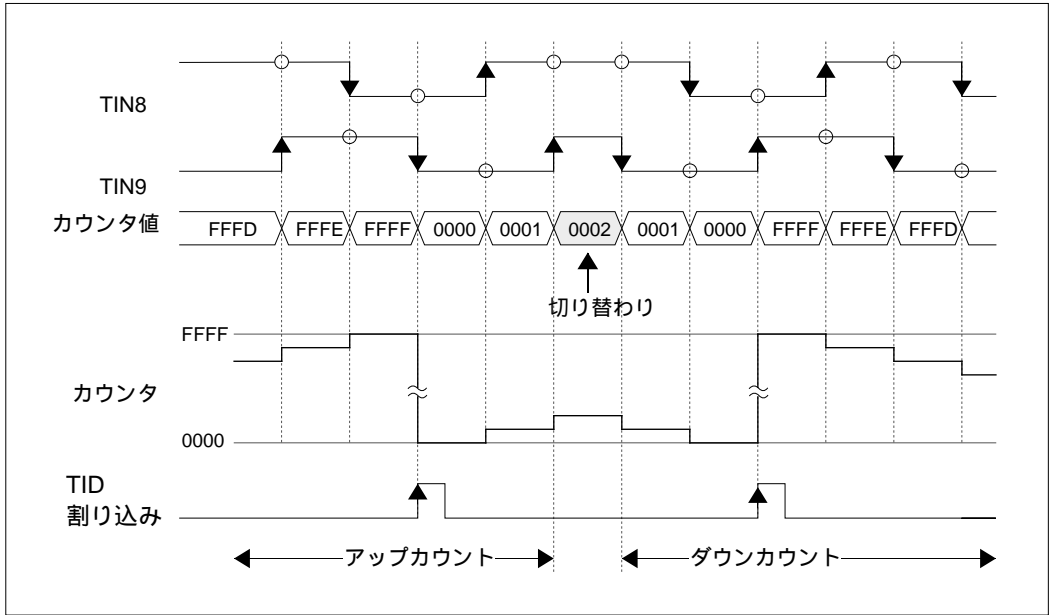


図10.5.8 アップダウンカウンタ動作(割り込みタイミング)

(5) アップ/ダウンイベントカウントモード

アップ/ダウンイベントカウントモードは、外部から入力された2系統の信号の一方(TIN8、TIN10)をクロック源として、もう一方(TIN9、TIN11)をアップ/ダウンの信号としてカウンタを動作させるモードです。アップ/ダウンの信号の入力状態によって、アップカウントとダウンカウントを切り替えます。

外部から入力されたクロック源の信号は、立ち上がり、立ち下がりエッジを検出し内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期してアップまたはダウンのカウントを開始します。

カウントの方向は、アップ/ダウンの信号の入力レベルにより決定されます(表10.5.3を参照して下さい)。また、カウンタのオーバフロー、アンダフローで割り込みを発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からのクロック源の入力信号を"H"または"L"レベルに固定して下さい。

注 . TIN9, TIN11はクロック源として使用できません。

表10.5.3 アップ/ダウンイベントカウントモード時のカウント方向

入力	カウント方向			
	アップカウント		ダウンカウント	
TIN8 TIN10	↑	↓	↑	↓
TIN9 TIN11	L	L	H	H

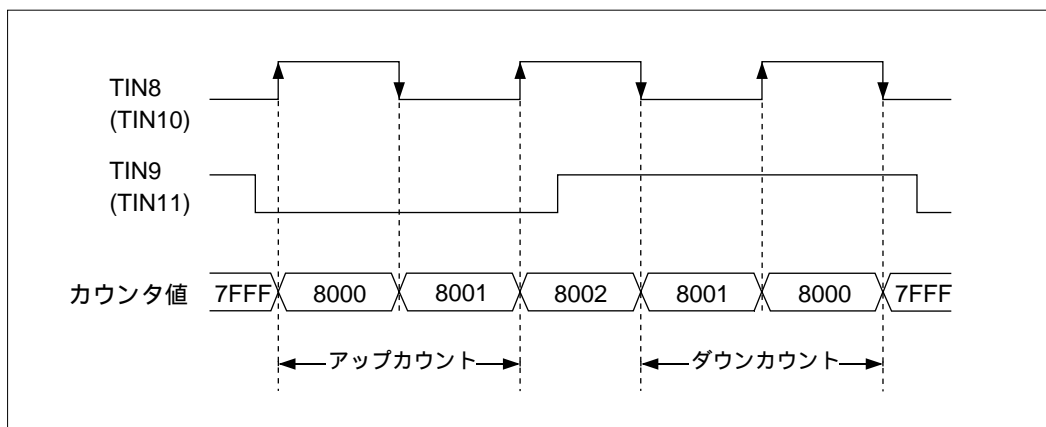


図10.5.9 アップダウンカウント動作

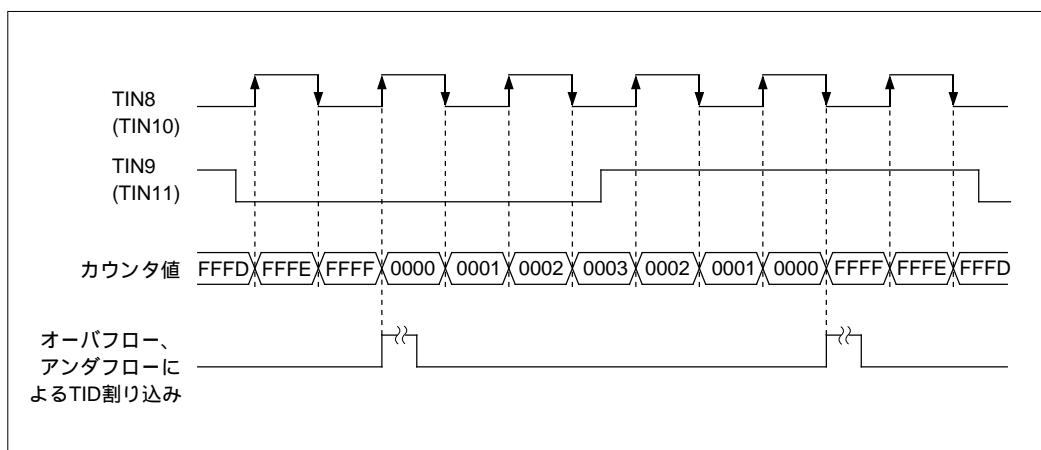


図10.5.10 アップダウンカウンタ動作(割り込みタイミング)

10.6 TOM(出力系16ビットタイマ)

10.6.1 TOM概要

TOM(Timer Output Modification)は出力系16ビットタイマで、ソフトウェアによるモード切り替えにより、以下のモードから1つを選択できます。

- < 補正機能なし出力モード >
 - PWM出力モード
 - ワンショット出力モード
 - ワンショットPWM出力モード
 - 連続出力モード

以下にTOMの仕様を、また次ページにTOMのブロック図を示します。

表10.6.1 TOM(出力16ビットタイマ)の仕様

項目	仕様
チャンネル数	16チャンネル(2系統、各8チャンネル、計16チャンネル)
カウンタ	16ビットダウンカウンタ(16本)
リロードレジスタ	16ビットリロードレジスタ(16本)
タイマの起動	<p>TOM0_0~7: イネーブルビットへのソフトウェア書き込み、TID0タイマからのアンダフロー/オーバフロー信号、TOM0_7からのアンダフロー信号、TID1タイマからのアンダフロー/オーバフロー信号またはTOM1_7からのアンダフロー信号</p> <p>TOM1_0~7: イネーブルビットへのソフトウェア書き込み、TID1タイマからのアンダフロー/オーバフロー信号、TOM1_7からのアンダフロー信号、TID0タイマからのアンダフロー/オーバフロー信号またはTOM0_7からのアンダフロー信号</p>
モード切り替え	<p>< 補正機能なし出力モード ></p> <ul style="list-style-type: none"> PWM出力モード ワンショット出力モード ワンショットPWM出力モード 連続出力モード
割り込み発生	カウンタのアンダフローで発生可能

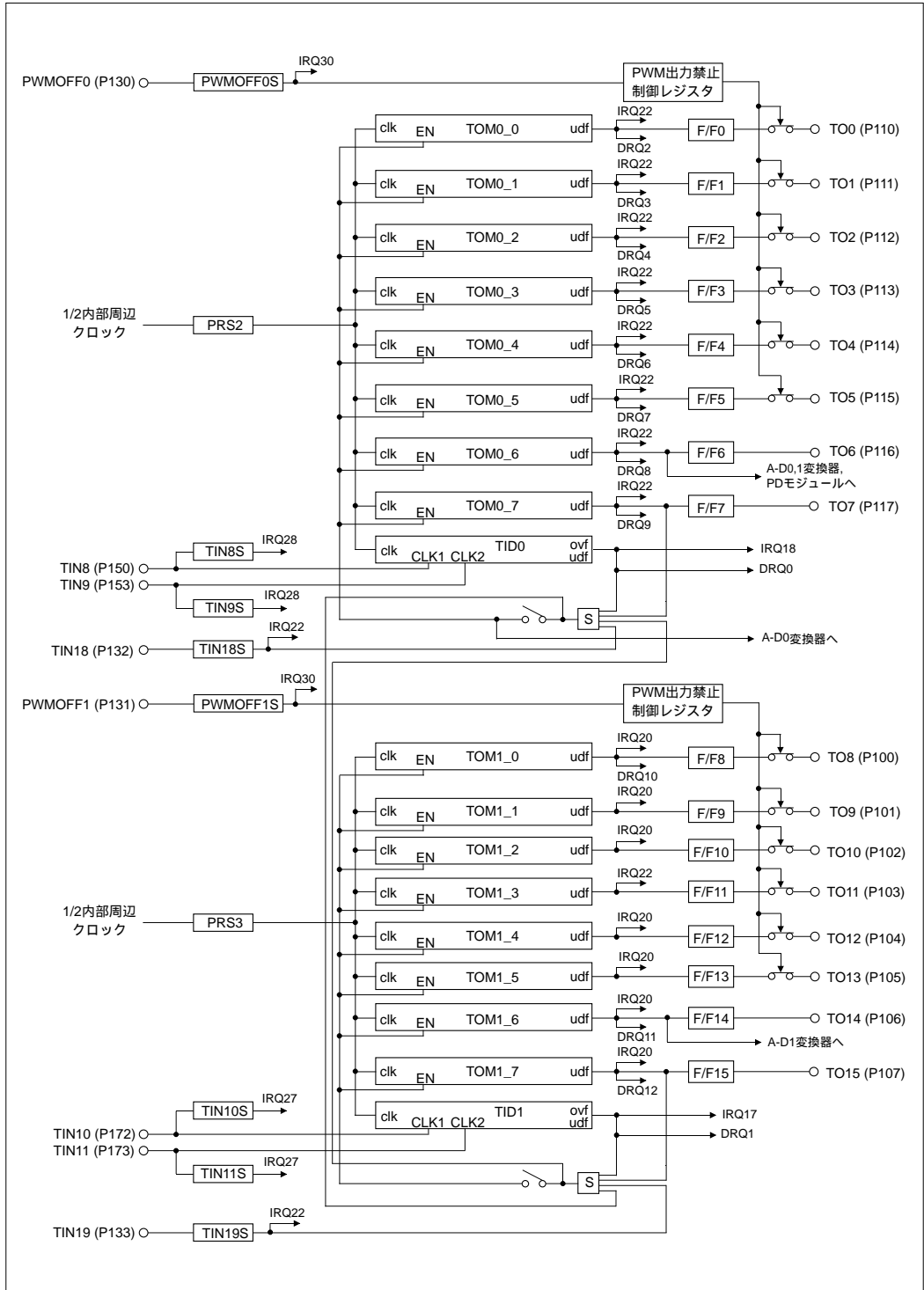


図10.6.1 TOM(出力系16ビットタイマ)ブロック図

10.6.2 TOM各モードの概要

以下にTOMの各モードの概要を示します。なおTOM各チャンネルのモードは、この中から1つだけを選択できます。

(1) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。

PWM出力モードのF/F出力波形は、カウント開始時と各アンダフロー発生時に反転します。タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に進行されます(PWM出力周期には同期しません)。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込みおよびDMA転送要求を発生することができます。

(2) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロード0レジスタの設定値+1のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みおよびDMA転送要求を発生することができます。

(3) ワンショットPWM出力モード(補正機能なし)

ワンショットPWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時にされます(PWM出力周期には同期しません)。

ワンショットPWM出力モードのF/F出力波形は、各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します(PWM出力モードと異なり、カウンタイネーブル時はF/F出力の反転はありません)。

また、カウンタイネーブル後の2回目のアンダフローで割り込みおよびDMA転送要求を発生することができます。

(4) 連続出力モード(補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロード0レジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1の連続的なパルスが発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとに繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込みおよびDMA転送要求を発生することができます。

10.6.3 TOM関連レジスタマップ

以下にTOM関連のレジスタマップを示します。

番地	+0番地	+1番地
	D0 D7	D8 D15
H'0080 07A0	PWM出力禁止レジスタ1 (PWMOFF1)	PWM出力禁止レジスタ0 (PWMOFF0)
H'0080 07A2		
H'0080 07A4	PWM出力禁止制御レジスタ1 (PLVCNT1)	PWM出力禁止制御レジスタ0 (PLVCNT0)
	≈	≈
H'0080 0C90	TOM0_0カウンタ (TOM00CT)	
H'0080 0C92		
H'0080 0C94	TOM0_0リロード1レジスタ (TOM00RL1)	
H'0080 0C96	TOM0_0リロード0レジスタ (TOM00RL0)	
H'0080 0C98	TOM0_1カウンタ (TOM01CT)	
H'0080 0C9A		
H'0080 0C9C	TOM0_1リロード1レジスタ (TOM01RL1)	
H'0080 0C9E	TOM0_1リロード0レジスタ (TOM01RL0)	
H'0080 0CA0	TOM0_2カウンタ (TOM02CT)	
H'0080 0CA2		
H'0080 0CA4	TOM0_2リロード1レジスタ (TOM02RL1)	
H'0080 0CA6	TOM0_2リロード0レジスタ (TOM02RL0)	
H'0080 0CA8	TOM0_3カウンタ (TOM03CT)	
H'0080 0CAA		
H'0080 0CAC	TOM0_3リロード1レジスタ (TOM03RL1)	
H'0080 0CAE	TOM0_3リロード0レジスタ (TOM03RL0)	
H'0080 0CB0	TOM0_4カウンタ (TOM04CT)	
H'0080 0CB2		
H'0080 0CB4	TOM0_4リロード1レジスタ (TOM04RL1)	
H'0080 0CB6	TOM0_4リロード0レジスタ (TOM04RL0)	
H'0080 0CB8	TOM0_5カウンタ (TOM05CT)	
H'0080 0CBA		
H'0080 0CBC	TOM0_5リロード1レジスタ (TOM05RL1)	
H'0080 0CBE	TOM0_5リロード0レジスタ (TOM05RL0)	
H'0080 0CC0	TOM0_6カウンタ (TOM06CT)	
H'0080 0CC2		

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.6.2 TOM関連レジスタマップ(1/3)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080	0CC4	TOM0_6リロード1レジスタ (TOM06RL1)				
H'0080	0CC6	TOM0_6リロード0レジスタ (TOM06RL0)				
H'0080	0CC8	TOM0_7カウンタ (TOM07CT)				
H'0080	0CCA					
H'0080	0CCC	TOM0_7リロード1レジスタ (TOM07RL1)				
H'0080	0CCE	TOM0_7リロード0レジスタ (TOM07RL0)				
H'0080	0CD0	プリスケアラレジスタ2 (PRS2)		TID0制御 & プリスケアラ2イネーブルレジスタ (TID0PRS2EN) (注1)		
H'0080	0CD2	TOM0割り込みマスクレジスタ (TOM0IMA)		TOM0割り込みステータスレジスタ (TOM0IST)		
H'0080	0CD4	F/Fプロテクトレジスタ0 (FFP0)				
H'0080	0CD6	F/Fデータレジスタ0 (FFD0)				
H'0080	0CD8					
H'0080	0CDA	TOM0制御レジスタ (TOM0CR)				
H'0080	0CDC	TOM0イネーブルプロテクトレジスタ (TOM0PRO)				
H'0080	0CDE	TOM0カウントイネーブルレジスタ (TOM0CEN)				
≈						
H'0080	0D90	TOM1_0カウンタ (TOM10CT)				
H'0080	0D92					
H'0080	0D94	TOM1_0リロード1レジスタ (TOM10RL1)				
H'0080	0D96	TOM1_0リロード0レジスタ (TOM10RL0)				
H'0080	0D98	TOM1_1カウンタ (TOM11CT)				
H'0080	0D9A					
H'0080	0D9C	TOM1_1リロード1レジスタ (TOM11RL1)				
H'0080	0D9E	TOM1_1リロード0レジスタ (TOM11RL0)				
H'0080	0DA0	TOM1_2カウンタ (TOM12CT)				
H'0080	0DA2					
H'0080	0DA4	TOM1_2リロード1レジスタ (TOM12RL1)				
H'0080	0DA6	TOM1_2リロード0レジスタ (TOM12RL0)				
H'0080	0DA8	TOM1_3カウンタ (TOM13CT)				
H'0080	0DAA					
H'0080	0DAC	TOM1_3リロード1レジスタ (TOM13RL1)				
H'0080	0DAE	TOM1_3リロード0レジスタ (TOM13RL0)				
H'0080	0DB0	TOM1_4カウンタ (TOM14CT)				
H'0080	0DB2					

空き領域は予約領域です。
 注1. プリスケアラ2レジスタはTOM0_0-7、TID0と共用で、TID0制御 & プリスケアラ2イネーブルレジスタは、TID0の制御で使用します。
 注2. 太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.6.3 TOM関連レジスタマップ (2/3)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0DB4	TOM1_4リロード1レジスタ (TOM14RL1)					
H'0080 0DB6	TOM1_4リロード0レジスタ (TOM14RL0)					
H'0080 0DB8	TOM1_5カウンタ (TOM15CT)					
H'0080 0DBA						
H'0080 0DBC	TOM1_5リロード1レジスタ (TOM15RL1)					
H'0080 0DBE	TOM1_5リロード0レジスタ (TOM15RL0)					
H'0080 0DC0	TOM1_6カウンタ (TOM16CT)					
H'0080 0DC2						
H'0080 0DC4	TOM1_6リロード1レジスタ (TOM16RL1)					
H'0080 0DC6	TOM1_6リロード0レジスタ (TOM16RL0)					
H'0080 0DC8	TOM1_7カウンタ (TOM17CT)					
H'0080 0DCA						
H'0080 0DCC	TOM1_7リロード1レジスタ (TOM17RL1)					
H'0080 0DCE	TOM1_7リロード0レジスタ (TOM17RL0)					
H'0080 0DD0	プリスケアラレジスタ3 (PRS3)			TID1制御&プリスケアラ3イネーブルレジスタ (TID1PRS3EN) (注1)		
H'0080 0DD2	TOM1割り込みマスクレジスタ (TOM1IMA)			TOM1割り込みステータスレジスタ (TOM1IST)		
H'0080 0DD4				F/Fプロテクトレジスタ1 (FFP1)		
H'0080 0DD6				F/Fデータレジスタ1 (FFD1)		
H'0080 0DD8						
H'0080 0DDA	TOM1制御レジスタ (TOM1CR)					
H'0080 0DDC				TOM1イネーブルプロテクトレジスタ (TOM1PRO)		
H'0080 0DDE				TOM1カウントイネーブルレジスタ (TOM1CEN)		

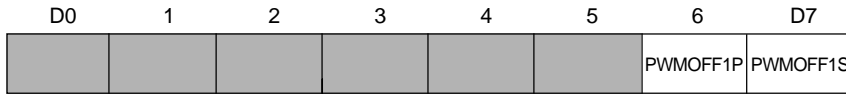
空き領域は予約領域です。
注1. プリスケアラレジスタはTOM1_0~7、TID1と共用で、TID1制御&プリスケアラ3イネーブルレジスタは、TID1の制御で使用します。
注2. 太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.6.4 TOM関連レジスタマップ (3/3)

10.6.4 PWM出力禁止レジスタ

PWM 出力禁止レジスタ 1 (PWMOFF1)

<アドレス : H'0080 07A0 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	PWMOFF1P (PWMOFF1S書き込み制御)	-	0	
7	PWMOFF1S (ポートP100~P105出力禁止選択)	0 : 出力許可 1 : 出力禁止		

このレジスタは、TOM1_0~TOM1_5タイマからのPWM出力に対応するポートP100~P105に対してPWM出力の許可/禁止を制御するレジスタです。

ポートP100~P105出力禁止選択(PWMOFF1S)ビットへの設定値("0": 出力許可、"1": 出力禁止)を有効にするためには、下記に示す手順で書き込む必要があります。

【書き込み手順】

PWMOFF1S書き込み制御(PWMOFF1P)ビットに"1"を書き込む。

上記の書き込み後連続してPWMOFF1S書き込み制御(PWMOFF1P)ビットに"0"を、ポートP100~P105出力禁止選択(PWMOFF1S)ビットに"0"または"1"を書き込む。

注. と の間に他の領域への書き込みサイクルがあるとポートP100~P105出力禁止選択(PWMOFF1S)ビットへの設定は無効になります。

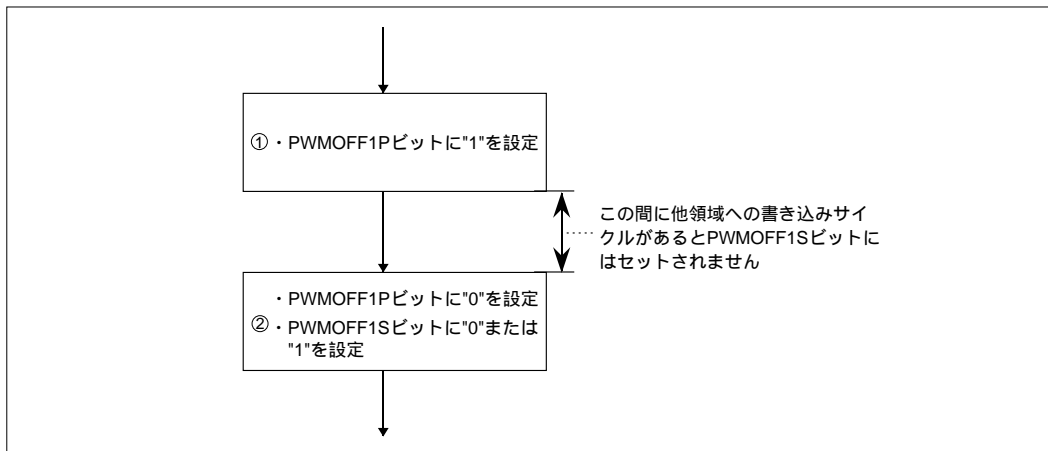
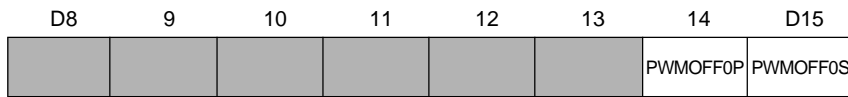


図10.6.5 PWMOFF1レジスタの設定手順

PWM 出力禁止レジスタ 0 (PWMOFF0)

<アドレス : H'0080 07A1 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~13	何も配置されていません		0	-
14	PWMOFF0P (PWMOFF0S書き込み制御)	-	0	
15	PWMOFF0S (ポートP110~P115出力禁止選択)	0 : 出力許可 1 : 出力禁止		

このレジスタは、TOM0_0~TOM0_5タイマからのPWM出力に対応するポートP110~P115に対してPWM出力の許可/禁止を制御するレジスタです。

ポートP110~P115出力禁止選択(PWMOFF0S)ビットへの設定値("0":出力許可、"1":出力禁止)を有効にするためには、下記に示す手順で書き込む必要があります。

【書き込み手順】

PWMOFF0S書き込み制御(PWMOFF0P)ビットに"1"を書き込む。

上記の書き込み後連続してPWMOFF0S書き込み制御(PWMOFF0P)ビットに"0"を、ポートP110~P115出力禁止選択(PWMOFF0S)ビットに"0"または"1"を書き込む。

注. との間には他の領域への書き込みサイクルがあるとポートP110~P115出力禁止選択(PWMOFF0S)ビットへの設定は無効になります。

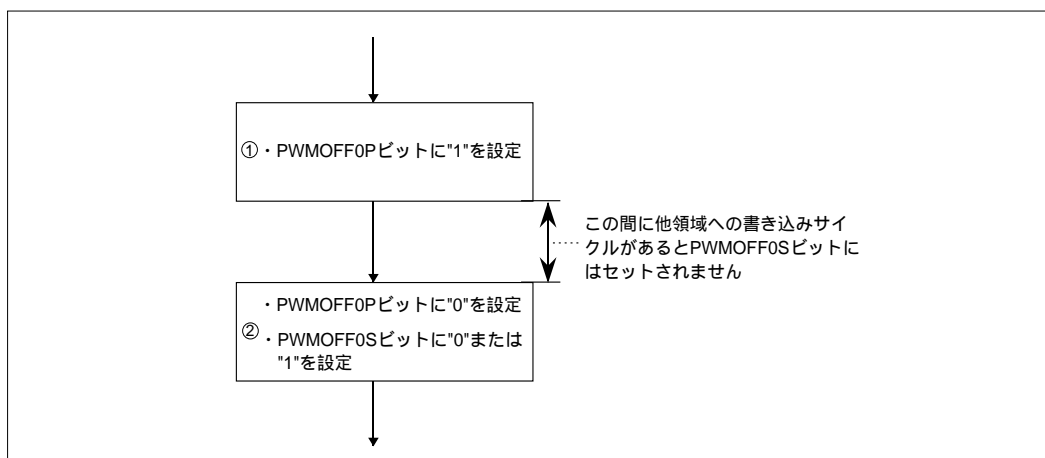
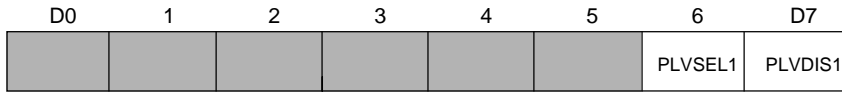


図10.6.6 PWMOFF0レジスタの設定手順

10.6.5 PWM出力禁止制御レジスタ

PWM 出力禁止制御レジスタ 1 (PLVCNT1)

< アドレス : H'0080 07A4 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	PLVSEL1 (ポートP100~P105出力禁止レベル選択)	0: "L"出力禁止選択 1: "H"出力禁止選択		
7	PLVDIS1 (出力禁止有効/無効選択)	0: 出力禁止選択無効 1: 出力禁止選択有効		

このレジスタは、ポートP100~P105のレベル("L"レベル、"H"レベル)によって対応するTOM1_0~TOM1_5タイマからのPWM出力の許可/禁止を制御するレジスタです。

ポート禁止レベル選択機能は、ポートの出力状態に応じてポートの出力を強制的にOFFします。

ポート禁止レベル選択機能は、3相PWMの信号同時ONの判定等で使用可能です。また、ポートの出力状態に応じて動作するためポートの2重検証としても使用可能です。

(1) PLVSEL1 (ポートP100~P105出力禁止レベル選択) ビット (D6)

ポートP100~P105のどのレベル("L"レベル、"H"レベル)でPWM出力を禁止するかを指定するビットです。

"L"レベルのときPWM出力を禁止する場合にはこのビットに"0"を、"H"レベルのときPWM出力を禁止する場合にはこのビットに"1"を設定します。

ポートの出力状態に応じてポートの出力をOFFにする場合の条件を以下に示します。

PLVSEL1=0、ポートレベル=0の場合

下記条件のうち、どれかの条件が揃えばポートを強制OFFします。

- ポートP100、P101が両方とも"0"
- ポートP102、P103が両方とも"0"
- ポートP104、P105が両方とも"0"

PLVSEL1=1、ポートレベル=1の場合

下記条件のうち、どれかの条件が揃えばポートを強制OFFします。

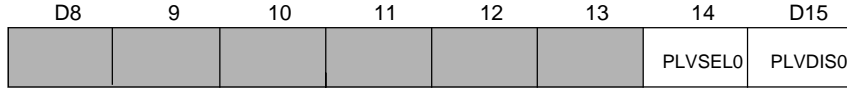
- ポートP100、P101が両方とも"1"
- ポートP102、P103が両方とも"1"
- ポートP104、P105が両方とも"1"

(2) PLVDIS1 (ポート P100 ~ P105 出力禁止有効/無効選択) ビット (D7)

PLVSEL1ビットで選択したPWM出力禁止レベルを有効/無効を指定するビットです。このビットに"1"を設定した場合、PLVSEL1ビットで選択したPWM出力禁止レベルが有効になり、ポートP100~P105がPLVSEL1ビットで選択したレベルのときPWM出力が禁止されます。このビットに"0"を設定した場合、PLVSEL1ビットで選択したPWM出力禁止レベルは無効になり、ポートP100~P105のレベルでのPWM出力禁止はできません。

PWM 出力禁止制御レジスタ 0 (PLVCNT0)

< アドレス : H'0080 07A5 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
14	PLVSEL0	0 : "L"出力禁止選択 (ポートP110~P115出力禁止レベル選択) 1 : "H"出力禁止選択		
15	PLVDIS0	0 : 出力禁止選択無効 (出力禁止有効/無効選択) 1 : 出力禁止選択有効		

このレジスタは、ポートP110~P115のレベル("L"レベル、"H"レベル)によって対応するTOM0_0~TOM0_5タイマからのPWM出力の許可/禁止を制御するレジスタです。

ポート禁止レベル選択機能は、ポートの出力状態に応じてポートの出力を強制的にOFFします。

ポート禁止レベル選択機能は、3相PWMの信号同時ONの判定等で使用可能です。また、ポートの出力状態に応じて動作するためポートの2重検証としても使用可能です。

(1) PLVSEL0 (ポートP110~P115出力禁止レベル選択) ビット (D14)

ポートP110~P115のどのレベル("L"レベル、"H"レベル)でPWM出力を禁止するかを指定するビットです。

"L"レベルのときPWM出力を禁止する場合にはこのビットに"0"を、"H"レベルのときPWM出力を禁止する場合にはこのビットに"1"を設定します。

ポートの出力状態状態に応じてポートの出力をOFFにする場合の条件を以下に示します。

PLVSEL0=0、ポートレベル=0の場合

下記条件のうち、どれかの条件が揃えばポートを強制OFFします。

ポートP110、P111が両方とも"0"

ポートP112、P113が両方とも"0"

ポートP114、P115が両方とも"0"

PLVSEL0=1、ポートレベル=1の場合

下記条件のうち、どれかの条件が揃えばポートを強制OFFします。

ポートP110、P111が両方とも"1"

ポートP112、P113が両方とも"1"

ポートP114、P115が両方とも"1"

(2) PLVDIS0 (ポート P110 ~ P115 出力禁止有効/無効選択) ビット (D15)

PLVSEL0ビットで選択したPWM出力禁止レベルを有効/無効を指定するビットです。このビットに"1"を設定した場合、PLVSEL0ビットで選択したPWM出力禁止レベルが有効になり、ポートP110~P115がPLVSEL0ビットで選択したレベルのときPWM出力が禁止されます。このビットに"0"を設定した場合、PLVSEL0ビットで選択したPWM出力禁止レベルは無効になり、ポートP110~P115のレベルでのPWM出力禁止はできません。

10.6.6 TOM制御レジスタ

TOM0 制御レジスタ (TOM0CR)

<アドレス : H'0080 0CDA >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TOM00M		TOM01M		TOM02M		TOM03M		TOM04M		TOM05M		TOM06M		TOM07M	

<リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TOM00M (TOM0_0動作モード選択)	00 : ワンショット出力モード 01 : ワンショットPWM出力モード		
2,3	TOM01M (TOM0_1動作モード選択)	10 : 連続出力モード 11 : PWM出力モード		
4,5	TOM02M (TOM0_2動作モード選択)			
6,7	TOM03M (TOM0_3動作モード選択)			
8,9	TOM04M (TOM0_4動作モード選択)			
10,11	TOM05M (TOM0_5動作モード選択)			
12,13	TOM06M (TOM0_6動作モード選択)			
14,15	TOM07M (TOM0_7動作モード選択)			

TOM0制御レジスタは、TOM0_0～7の動作モード(PWM出力，ワンショット出力，ワンショットPWM出力，連続出力モード)の選択を行います。

TOM1 制御レジスタ (TOM1CR)

<アドレス : H'0080 0DDA >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TOM10M		TOM11M		TOM12M		TOM13M		TOM14M		TOM15M		TOM16M		TOM17M	

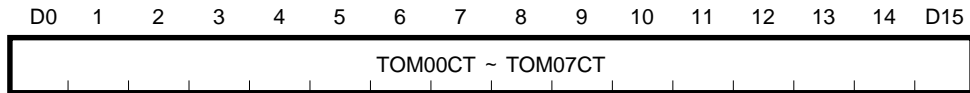
<リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TOM10M (TOM1_0動作モード選択)	00 : ワンショット出力モード 01 : ワンショットPWM出力モード		
2,3	TOM11M (TOM1_1動作モード選択)	10 : 連続出力モード 11 : PWM出力モード		
4,5	TOM12M (TOM1_2動作モード選択)			
6,7	TOM13M (TOM1_3動作モード選択)			
8,9	TOM14M (TOM1_4動作モード選択)			
10,11	TOM15M (TOM1_5動作モード選択)			
12,13	TOM16M (TOM1_6動作モード選択)			
14,15	TOM17M (TOM1_7動作モード選択)			

TOM1制御レジスタは、TOM1_0~7の動作モード(PWM出力、ワンショット出力、ワンショットPWM出力、連続出力モード)の選択を行います。

10.6.7 TOMカウンタ

TOM0_0カウンタ(TOM00CT)	<アドレス : H'0080 0C90>
TOM0_1カウンタ(TOM01CT)	<アドレス : H'0080 0C98>
TOM0_2カウンタ(TOM02CT)	<アドレス : H'0080 0CA0>
TOM0_3カウンタ(TOM03CT)	<アドレス : H'0080 0CA8>
TOM0_4カウンタ(TOM04CT)	<アドレス : H'0080 0CB0>
TOM0_5カウンタ(TOM05CT)	<アドレス : H'0080 0CB8>
TOM0_6カウンタ(TOM06CT)	<アドレス : H'0080 0CC0>
TOM0_7カウンタ(TOM07CT)	<アドレス : H'0080 0CC8>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOM00CT~TOM07CT	16ビットカウンタ値		

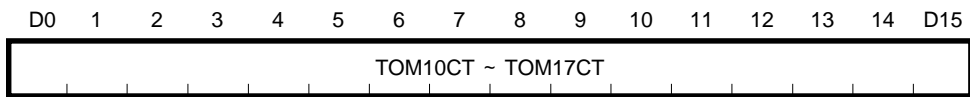
W= : 書き込みはワンショット出力、または連続出力モードで有効。

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOM0カウンタは16ビットのダウンカウンタで、タイマのイネーブル後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モード、ワンショットPWM出力モードでは書き込み不可になります。

TOM1_0カウンタ(TOM10CT)	<アドレス : H'0080 0D90>
TOM1_1カウンタ(TOM11CT)	<アドレス : H'0080 0D98>
TOM1_2カウンタ(TOM12CT)	<アドレス : H'0080 0DA0>
TOM1_3カウンタ(TOM13CT)	<アドレス : H'0080 0DA8>
TOM1_4カウンタ(TOM14CT)	<アドレス : H'0080 0DB0>
TOM1_5カウンタ(TOM15CT)	<アドレス : H'0080 0DB8>
TOM1_6カウンタ(TOM16CT)	<アドレス : H'0080 0DC0>
TOM1_7カウンタ(TOM17CT)	<アドレス : H'0080 0DC8>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOM10CT~TOM17CT	16ビットカウンタ値		

W= : 書き込みはワンショット出力、または連続出力モードで有効。

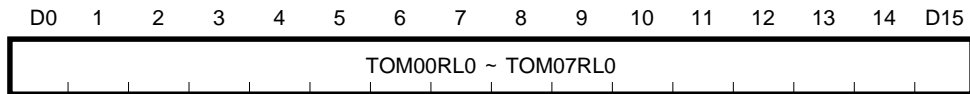
注. このレジスタは、必ずハーフワードでアクセスしてください。

TOM1カウンタは16ビットのダウンカウンタで、タイマのイネーブル後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モード、ワンショットPWM出力モードでは書き込み不可になります。

10.6.8 TOMリロード0レジスタ

TOM0_0リロード0レジスタ(TOM00RL0)	<アドレス: H'0080 0C96>
TOM0_1リロード0レジスタ(TOM01RL0)	<アドレス: H'0080 0C9E>
TOM0_2リロード0レジスタ(TOM02RL0)	<アドレス: H'0080 0CA6>
TOM0_3リロード0レジスタ(TOM03RL0)	<アドレス: H'0080 0CAE>
TOM0_4リロード0レジスタ(TOM04RL0)	<アドレス: H'0080 0CB6>
TOM0_5リロード0レジスタ(TOM05RL0)	<アドレス: H'0080 0CBE>
TOM0_6リロード0レジスタ(TOM06RL0)	<アドレス: H'0080 0CC6>
TOM0_7リロード0レジスタ(TOM07RL0)	<アドレス: H'0080 0CCE>



<リセット時: 不定>

D	ビット名	機能	R	W
0~15	TOM00RL0~TOM07RL0	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOM0リロード0レジスタは、TOM0カウンタレジスタ(TOM00CT~TOM07CT)へデータをリロードするためのレジスタです。

リロード0レジスタの内容がカウンタにロードされるのは、以下の場合はです。

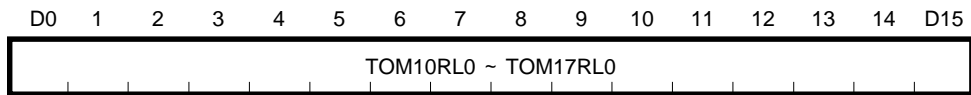
ワンショット出力、PWM出力、またはワンショットPWM出力モードでカウンタがイネーブルになった時

連続出力モードでカウンタがアンダフローした時

PWM出力モードで、リロード1レジスタでセットしたカウント値がアンダフローした時

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

TOM1_0リロード0レジスタ(TOM10RL0)	<アドレス : H'0080 0D96>
TOM1_1リロード0レジスタ(TOM11RL0)	<アドレス : H'0080 0D9E>
TOM1_2リロード0レジスタ(TOM12RL0)	<アドレス : H'0080 0DA6>
TOM1_3リロード0レジスタ(TOM13RL0)	<アドレス : H'0080 0DAE>
TOM1_4リロード0レジスタ(TOM14RL0)	<アドレス : H'0080 0DB6>
TOM1_5リロード0レジスタ(TOM15RL0)	<アドレス : H'0080 0DBE>
TOM1_6リロード0レジスタ(TOM16RL0)	<アドレス : H'0080 0DC6>
TOM1_7リロード0レジスタ(TOM17RL0)	<アドレス : H'0080 0DCE>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOM10RL0~TOM17RL0	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOM1リロード0レジスタは、TOM1カウンタレジスタ(TOM10CT~TOM17CT)へデータをリロードするためのレジスタです。

リロード0レジスタの内容がカウンタにロードされるのは、以下の場合です。

ワンショット出力、PWM出力、またはワンショットPWM出力モードでカウンタがイネーブルになった時

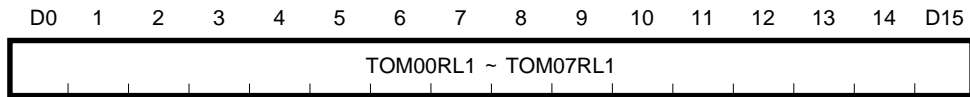
連続出力モードでカウンタがアンダフローした時

PWM出力モードで、リロード1レジスタでセットしたカウント値がアンダフローした時

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.6.9 TOMリロード1レジスタ

TOM0_0リロード1レジスタ(TOM00RL1)	<アドレス : H'0080 0C94>
TOM0_1リロード1レジスタ(TOM01RL1)	<アドレス : H'0080 0C9C>
TOM0_2リロード1レジスタ(TOM02RL1)	<アドレス : H'0080 0CA4>
TOM0_3リロード1レジスタ(TOM03RL1)	<アドレス : H'0080 0CAC>
TOM0_4リロード1レジスタ(TOM04RL1)	<アドレス : H'0080 0CB4>
TOM0_5リロード1レジスタ(TOM05RL1)	<アドレス : H'0080 0CBC>
TOM0_6リロード1レジスタ(TOM06RL1)	<アドレス : H'0080 0CC4>
TOM0_7リロード1レジスタ(TOM07RL1)	<アドレス : H'0080 0CCC>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOM00RL1~TOM07RL1	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

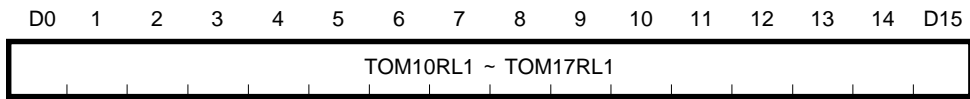
TOM0リロード1レジスタは、TOM0カウンタレジスタ(TOM00CT~TOM07CT)へデータをリロードするためのレジスタです。

リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

PWM出力、またはワンショットPWM出力モードでリロード0レジスタでセットしたカウンタ値がアンダフローした時

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

TOM1_0リロード1レジスタ(TOM10RL1)	<アドレス : H'0080 0D94>
TOM1_1リロード1レジスタ(TOM11RL1)	<アドレス : H'0080 0D9C>
TOM1_2リロード1レジスタ(TOM12RL1)	<アドレス : H'0080 0DA4>
TOM1_3リロード1レジスタ(TOM13RL1)	<アドレス : H'0080 0DAC>
TOM1_4リロード1レジスタ(TOM14RL1)	<アドレス : H'0080 0DB4>
TOM1_5リロード1レジスタ(TOM15RL1)	<アドレス : H'0080 0DBC>
TOM1_6リロード1レジスタ(TOM16RL1)	<アドレス : H'0080 0DC4>
TOM1_7リロード1レジスタ(TOM17RL1)	<アドレス : H'0080 0DCC>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOM10RL1~TOM17RL1	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOM1リロード1レジスタは、TOM1カウンタレジスタ(TOM10CT~TOM17CT)へデータをリロードするためのレジスタです。

リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

PWM出力、またはワンショットPWM出力モードでリロード0レジスタでセットしたカウンタ値がアンダフローした時

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.6.10 TOMイネーブルプロテクトレジスタ

TOM0 イネーブルプロテクトレジスタ (TOM0PRO)

<アドレス : H'0080 0CDD >

D8	9	10	11	12	13	14	D15
TOM00PRO	TOM01PRO	TOM02PRO	TOM03PRO	TOM04PRO	TOM05PRO	TOM06PRO	TOM07PRO

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TOM00PRO (TOM0_0イネーブルプロテクト)	0 : 書き換え許可 1 : 書き換え禁止		
9	TOM01PRO (TOM0_1イネーブルプロテクト)			
10	TOM02PRO (TOM0_2イネーブルプロテクト)			
11	TOM03PRO (TOM0_3イネーブルプロテクト)			
12	TOM04PRO (TOM0_4イネーブルプロテクト)			
13	TOM05PRO (TOM0_5イネーブルプロテクト)			
14	TOM06PRO (TOM0_6イネーブルプロテクト)			
15	TOM07PRO (TOM0_7イネーブルプロテクト)			

TOM0イネーブルプロテクトレジスタは、次に示すTOM0カウントイネーブルビットの書き換えの禁止 / 許可を制御するレジスタです。

TOM1 イネーブルプロテクトレジスタ (TOM1PRO)

<アドレス : H'0080 0DDD >

D8	9	10	11	12	13	14	D15
TOM10PRO	TOM11PRO	TOM12PRO	TOM13PRO	TOM14PRO	TOM15PRO	TOM16PRO	TOM17PRO

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TOM10PRO (TOM1_0イネーブルプロテクト)	0 : 書き換え許可 1 : 書き換え禁止		
9	TOM11PRO (TOM1_1イネーブルプロテクト)			
10	TOM12PRO (TOM1_2イネーブルプロテクト)			
11	TOM13PRO (TOM1_3イネーブルプロテクト)			
12	TOM14PRO (TOM1_4イネーブルプロテクト)			
13	TOM15PRO (TOM1_5イネーブルプロテクト)			
14	TOM16PRO (TOM1_6イネーブルプロテクト)			
15	TOM17PRO (TOM1_7イネーブルプロテクト)			

TOM1イネーブルプロテクトレジスタは、次に示すTOM1カウントイネーブルビットの書き換えの禁止 / 許可を制御するレジスタです。

10.6.11 TOMカウントイネーブルレジスタ

TOM0 カウントイネーブルレジスタ (TOM0CEN)

<アドレス : H'0080 0CDF >

D8	9	10	11	12	13	14	D15
TOM00CEN	TOM01CEN	TOM02CEN	TOM03CEN	TOM04CEN	TOM05CEN	TOM06CEN	TOM07CEN

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TOM00CEN (TOM0_0カウントイネーブル)	0 : カウント停止 1 : カウント許可		
9	TOM01CEN (TOM0_1カウントイネーブル)			
10	TOM02CEN (TOM0_2カウントイネーブル)			
11	TOM03CEN (TOM0_3カウントイネーブル)			
12	TOM04CEN (TOM0_4カウントイネーブル)			
13	TOM05CEN (TOM0_5カウントイネーブル)			
14	TOM06CEN (TOM0_6カウントイネーブル)			
15	TOM07CEN (TOM0_7カウントイネーブル)			

TOM0カウントイネーブルレジスタは、TOM0カウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTOM0イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TOM0プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

ワンショット出力、ワンショットPWM出力モードではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOM0カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

TOM1 カウントイネーブルレジスタ (TOM1CEN)

<アドレス : H'0080 0DDF >

D8	9	10	11	12	13	14	D15
TOM10CEN	TOM11CEN	TOM12CEN	TOM13CEN	TOM14CEN	TOM15CEN	TOM16CEN	TOM17CEN

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TOM10CEN (TOM1_0カウントイネーブル)	0 : カウント停止 1 : カウント許可		
9	TOM11CEN (TOM1_1カウントイネーブル)			
10	TOM12CEN (TOM1_2カウントイネーブル)			
11	TOM13CEN (TOM1_3カウントイネーブル)			
12	TOM14CEN (TOM1_4カウントイネーブル)			
13	TOM15CEN (TOM1_5カウントイネーブル)			
14	TOM16CEN (TOM1_6カウントイネーブル)			
15	TOM17CEN (TOM1_7カウントイネーブル)			

TOM1カウントイネーブルレジスタは、TOM1カウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTOM1イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TOM1プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

ワンショット出力、ワンショットPWM出力モードではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOM1カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

10.6.12 TID制御&プリスケラライネーブルレジスタ

TID0制御 & プリスケラ2イネーブルレジスタ (TID0PRS2EN) <アドレス: H'0080 0CD1 >

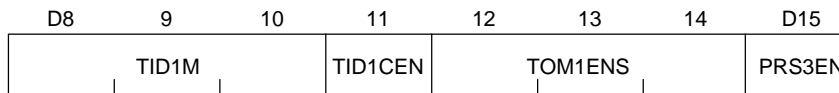
D8	9	10	11	12	13	14	D15
TID0M			TID0CEN	TOM0ENS			PRS2EN

<リセット時: H'00 >				
D	ビット名	機能	R	W
8~10	TID0M (TID0動作モード選択)	X0X: 定周期カウントモード X10: 4 逡倍イベントカウントモード 011: イベントカウントモード 111: アップ/ダウンイベントカウントモード		
11	TID0CEN (TID0カウントイネーブル)	0: カウント停止 1: カウント開始		
12~14	TOM0ENS (TOM0_0~7 イネーブル要因選択)	X0X: イベントイネーブル禁止 X10: TID0出力 011: TOM0_7出力 110: TID1またはTOM1_7出力 111: 外部入力TIN18		
15	PRS2EN (プリスケラ2イネーブル)	0: カウント停止 1: カウント開始		

注: 動作モードの設定・変更は必ずカウンタ停止状態で行ってください。

TID0制御 & プリスケラ2イネーブルレジスタは、TID0の動作モード(定周期カウントモード、イベントカウント、4 逡倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOM0_0~7タイマのイネーブル要因選択、プリスケラ2の起動の制御を行います。

TID1制御 & プリスケーラ3イネーブルレジスタ (TID1PRS3EN) <アドレス : H'0080 0DD1 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	TID1M (TID1動作モード選択)	X0X : 定周期カウントモード X10 : 4 通倍イベントカウントモード 011 : イベントカウントモード 111 : アップ/ダウンイベントカウントモード		
11	TID1CEN (TID1カウントイネーブル)	0 : カウント停止 1 : カウント開始		
12~14	TOM1ENS (TOM1_0~7 イネーブル要因選択)	X0X : イベントイネーブル禁止 X10 : TID1出力 011 : TOM1_7出力 110 : TID0またはTOM0_7出力 111 : 外部入力TIN19		
15	PRS3EN (プリスケーラ3イネーブル)	0 : カウント停止 1 : カウント開始		

注 : 動作モードの設定・変更は必ずカウンタ停止状態で行ってください。

TID1制御 & プリスケーラ3イネーブルレジスタは、TID1の動作モード(定周期カウントモード、イベントカウント、4 通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOM1_0~7タイマのイネーブル要因選択、プリスケーラ3の起動の制御を行います。

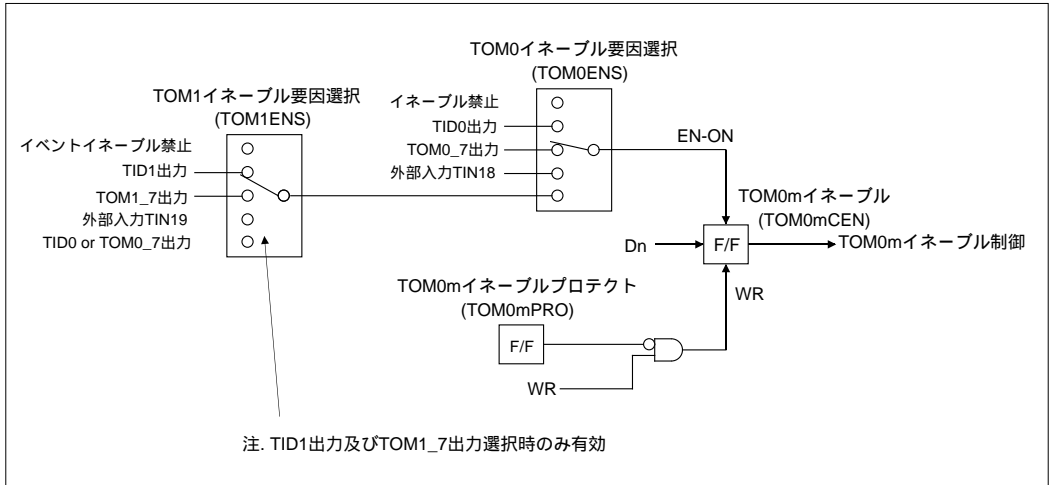


図10.6.7 TOM0イネーブル回路構成図

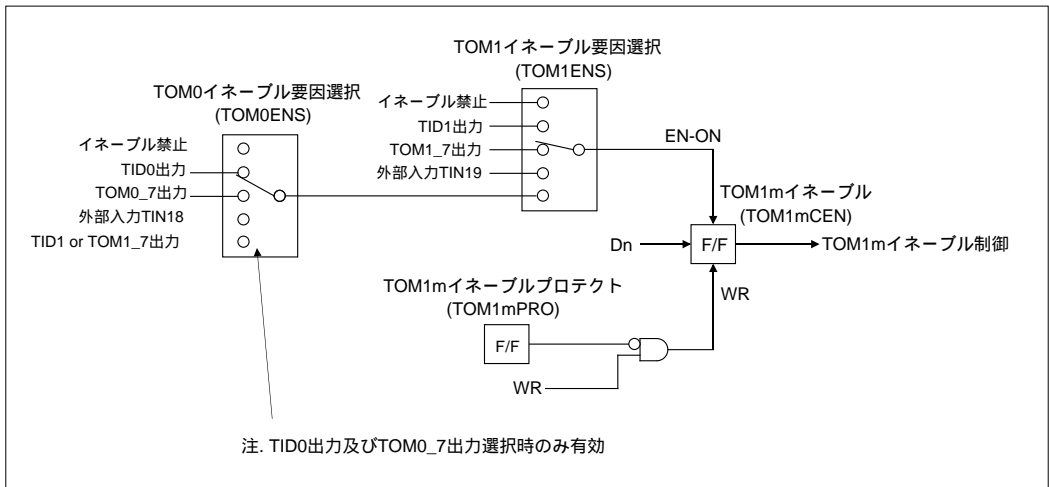


図10.6.8 TOM1イネーブル回路構成図

10.6.13 TOM PWM出力モード動作

(1) TOM PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われず(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込みおよびDMA転送要求を発生することができます。

なお、TOMのPWM出力モードには補正機能はありません。

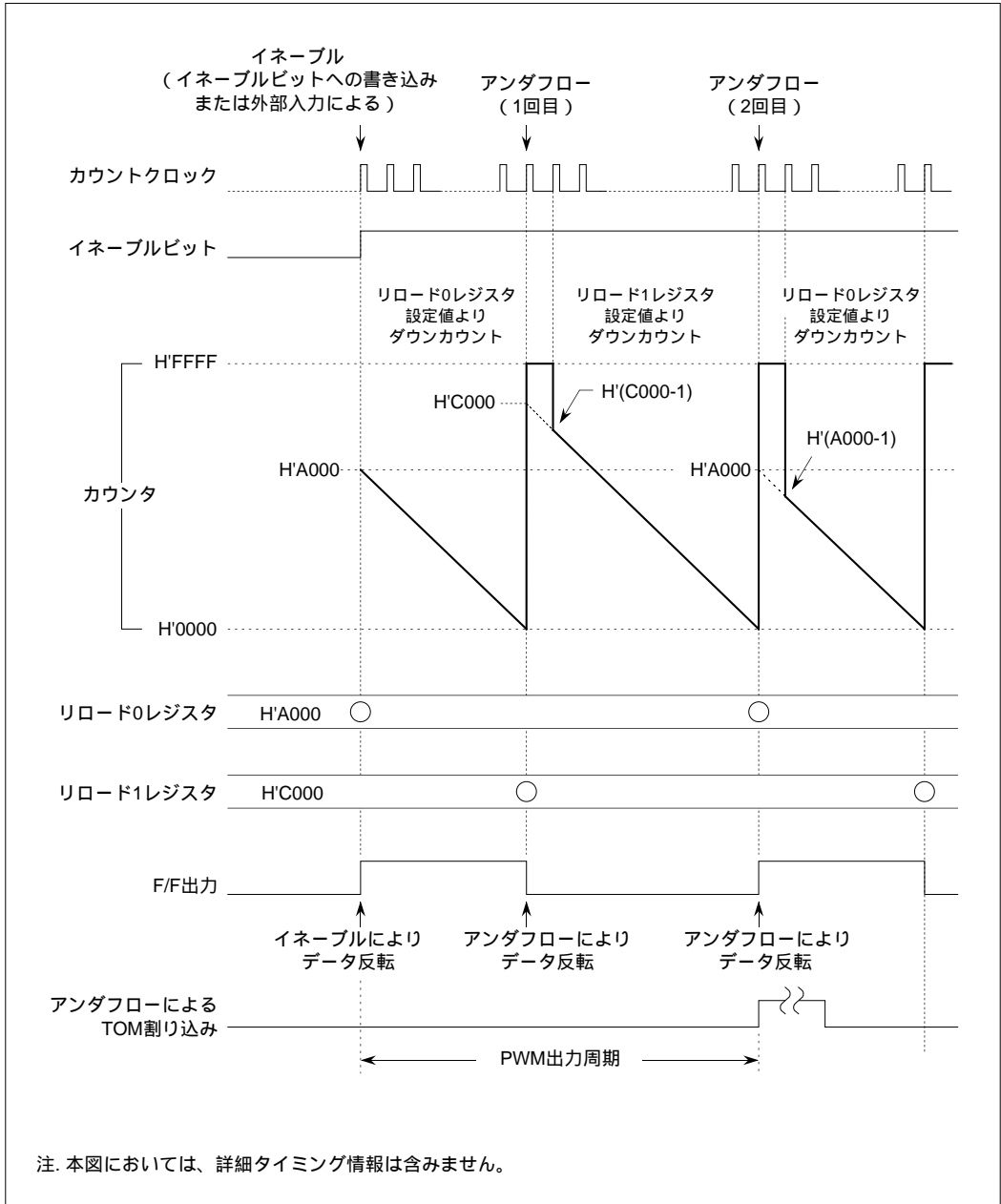


図10.6.9 PWM出力モードの動作例

(2)TOM PWMモードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0,1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新によって行われます。ただし、リロード0,1レジスタをリードすると、常に書き込んだデータが読み出されます。

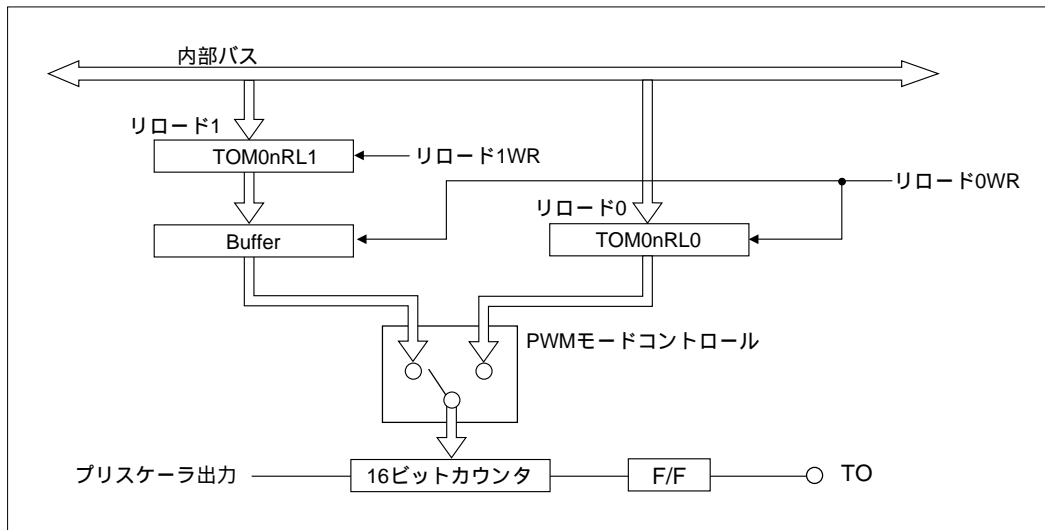


図10.6.10 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0,1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、リロード0レジスタのみ更新されます。また、リロード0,1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

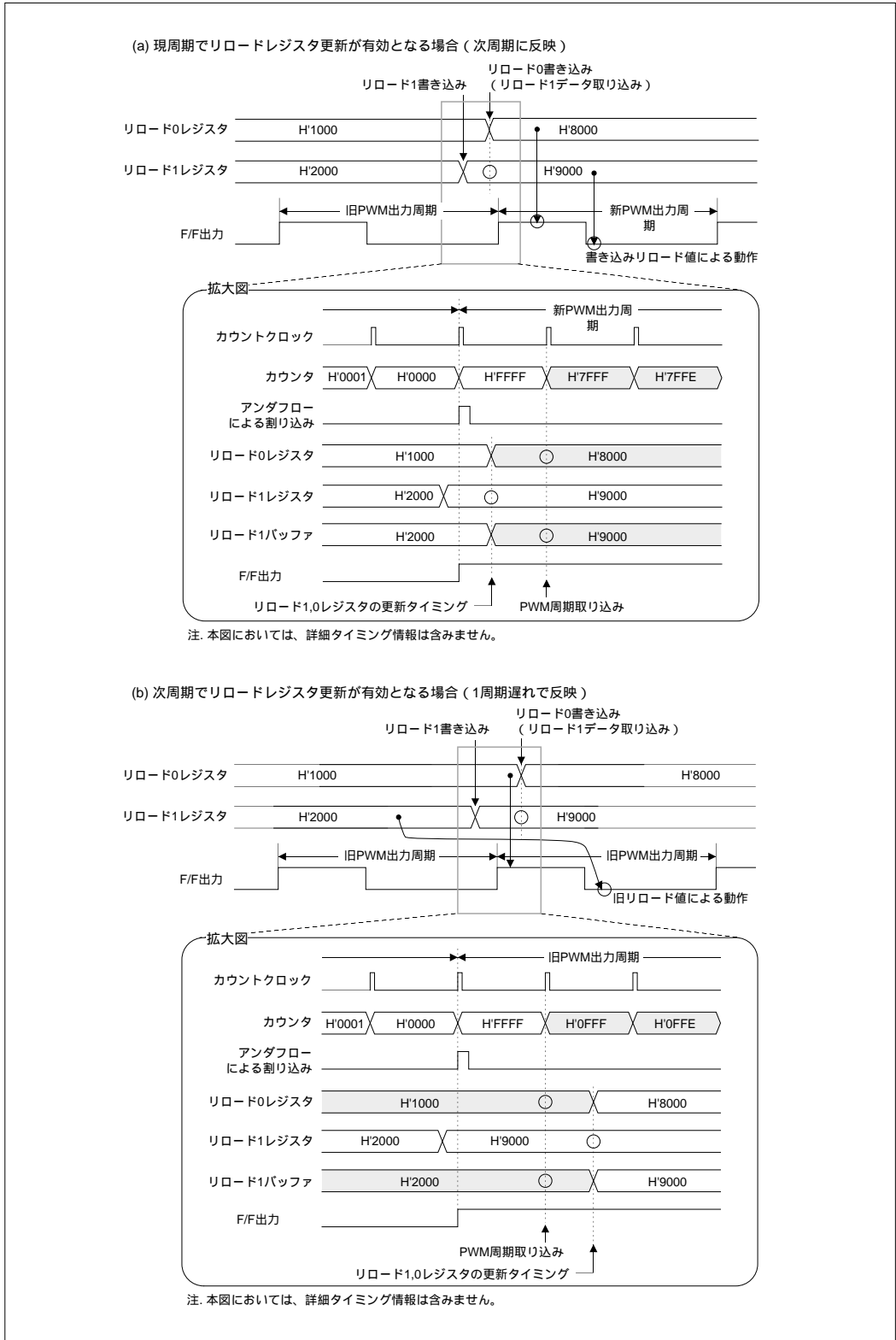


図10.6.11 PWM出力モードにおけるリロード0,1レジスタの更新

10.6.14 TOMワンショット出力モード(補正機能なし)の動作

(1) TOMワンショット出力モード概要

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みおよびDMA転送要求を発生することができます。

カウント値はリロード0レジスタの設定値+1です。

(2) TOMワンショット出力モード使用上の注意

TOMワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

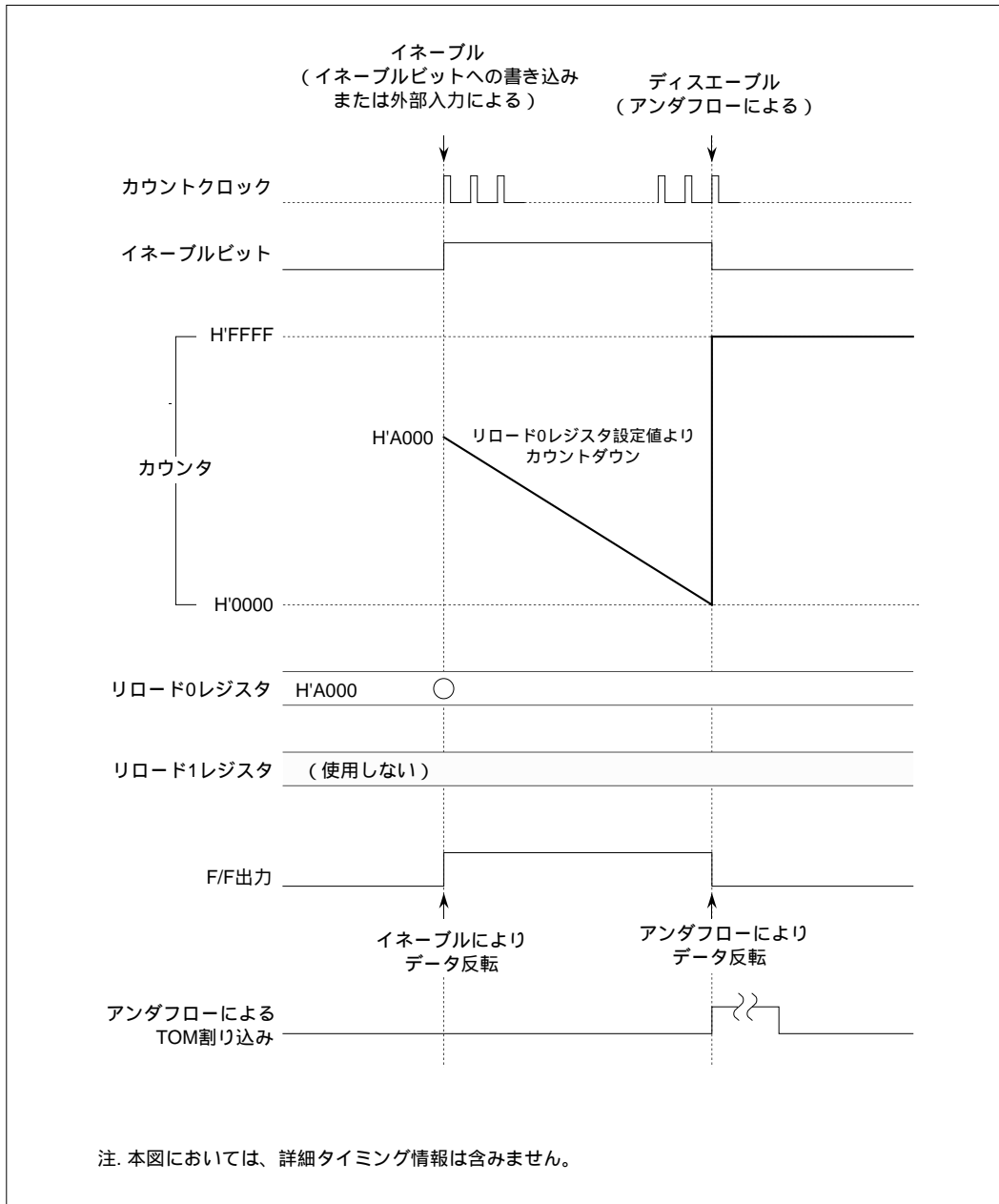


図10.6.12 TOMワンショット出力モード(補正機能なし)の動作例

10.6.15 TOMワンショットPWM出力モード(補正機能なし)の動作

(1) TOM ワンショット PWM 出力モード概要

ワンショットPWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

ワンショットPWM出力モードのF/F出力波形は、各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します(PWM出力モードと異なり、カウンタイネーブル時はF/F出力の反転はありません)。

また、カウンタイネーブル後の2回目のアンダフローで割り込みおよびDMA転送要求を発生することができます。

なお、TOMのワンショットPWM出力モードには補正機能はありません。

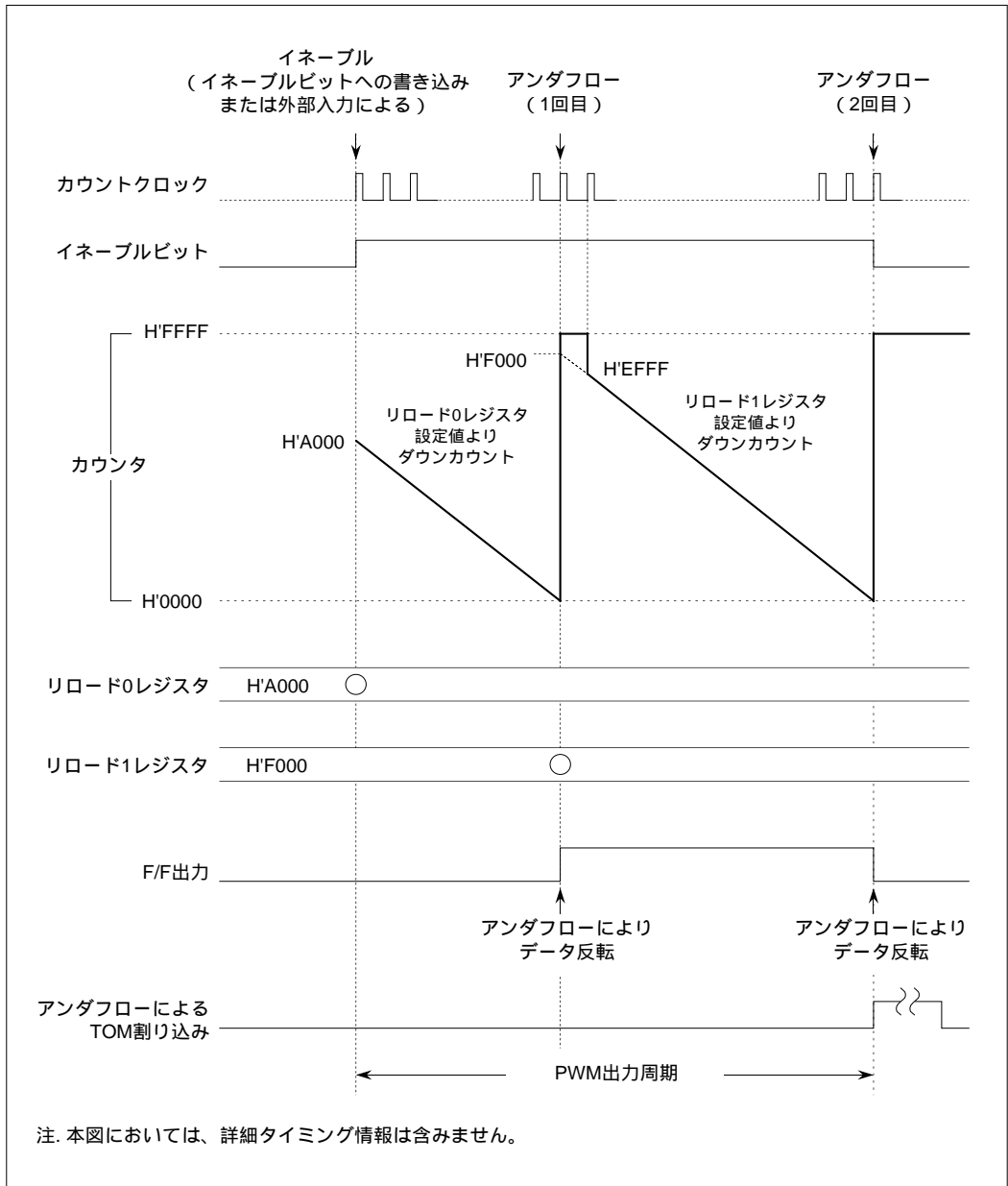


図10.6.13 TOMワンショットPWM出力モード(補正機能なし)の動作例

10.6.16 TOM連続出力モード(補正機能なし)の動作

(1) TOM 連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロード0レジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1の反転する連続的なパルスが発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込みおよびDMA転送要求を発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です。

(2) TOM 連続出力モード使用上の注意

TOM連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

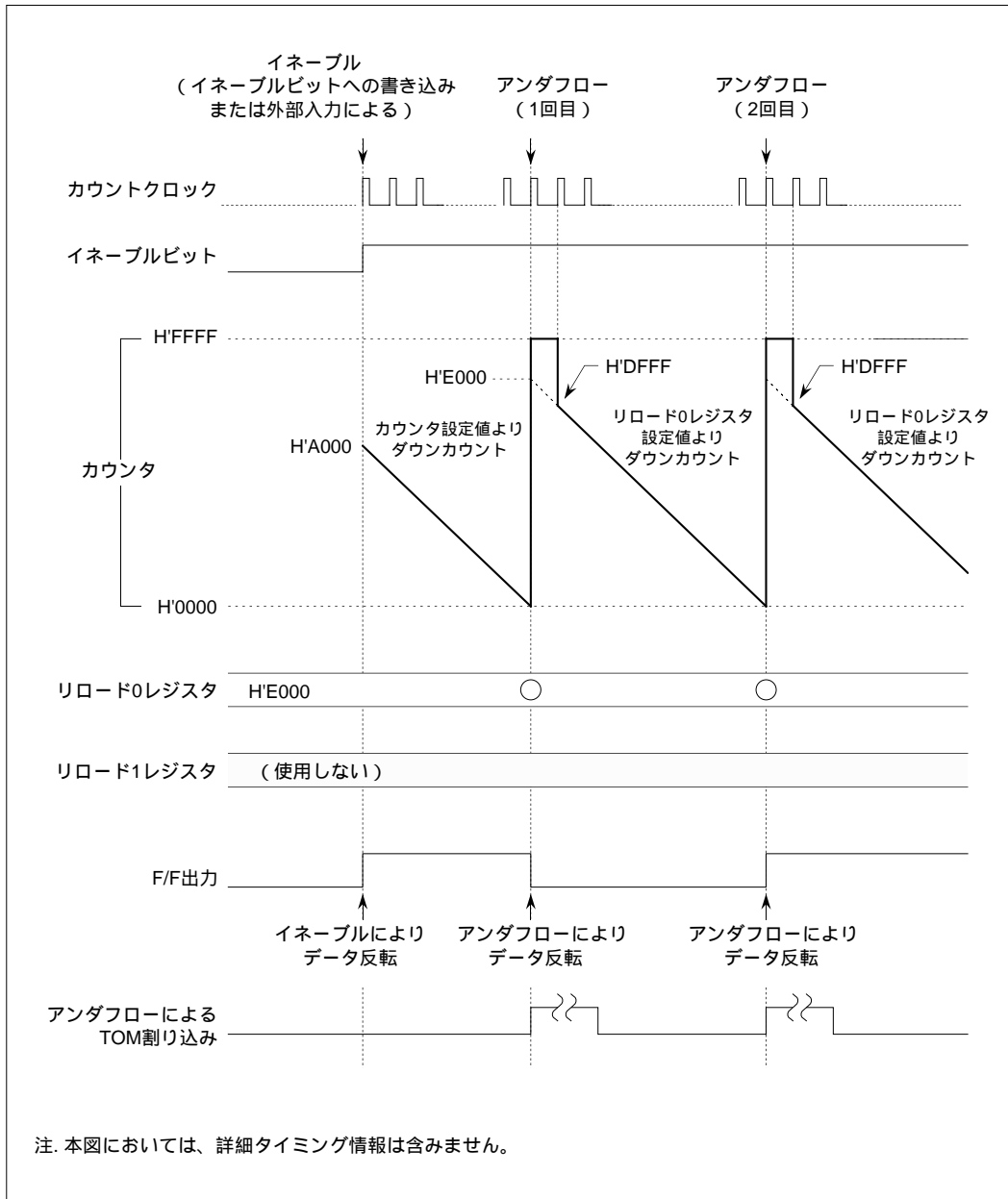


図10.6.14 TOM連続出力モード(補正機能なし)の動作例

10.6.17 TOM出力禁止機能

TOM0_0~TOM0_5タイマおよびTOM1_0~TOM1_5タイマからのPWM出力を禁止する機能を備えています。図10.6.15にPWM出力禁止機能の回路構成を示します。

PWM出力を禁止するには次の3つの方法があります。

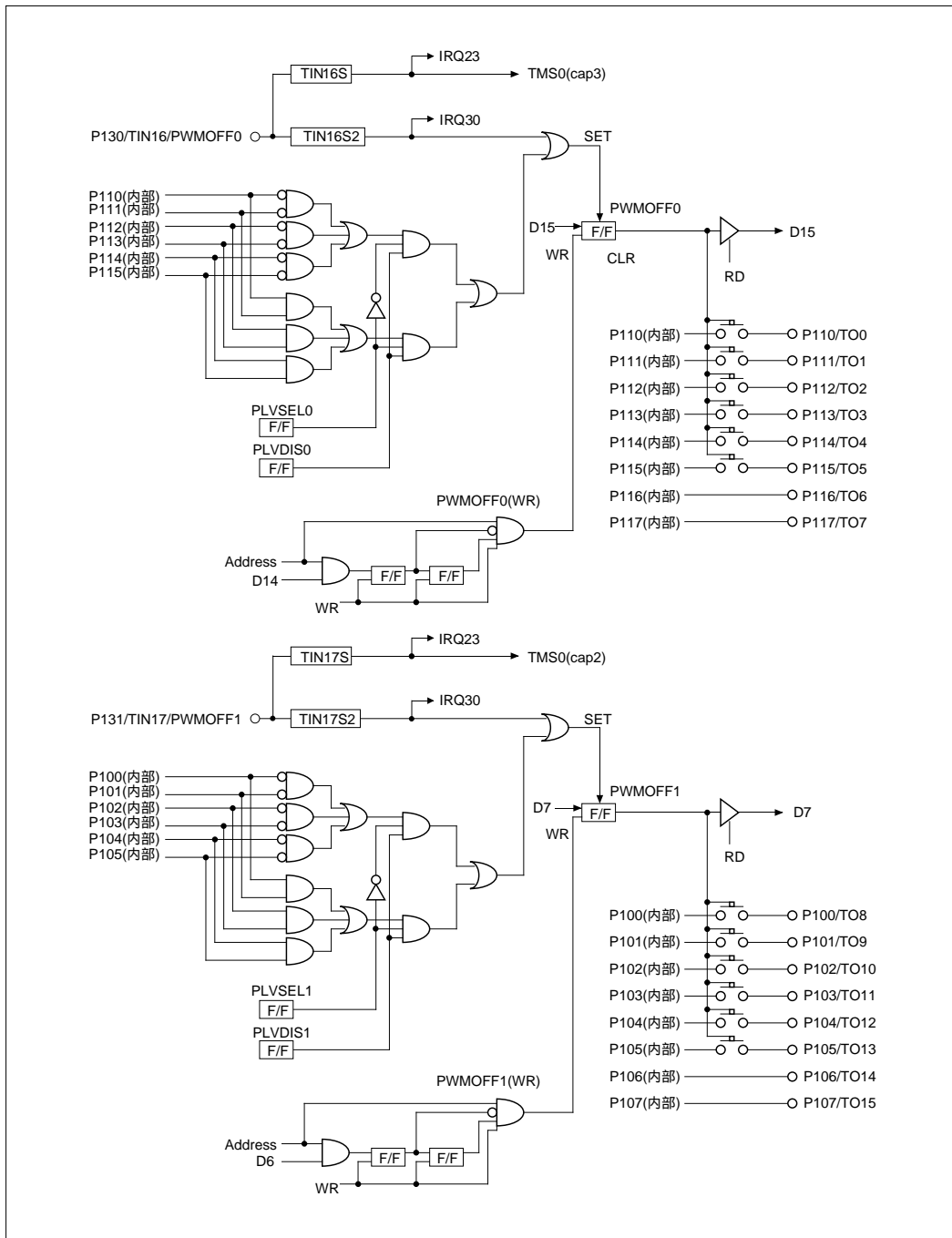


図10.6.15 PWM出力禁止機能の回路構成

(1) 外部端子 (TIN16、TIN17) から入力された信号による PWM 出力禁止

外部端子TIN16への入力信号によってTOM0_0～TOM0_5タイマのPWM出力を対応するポートP110～P115への出力を禁止することができます。また、外部端子TIN17への入力信号によってTOM1_0～TOM1_5タイマのPWM出力を対応するポートP100～P105への出力を禁止することができます。

外部端子TIN16またはTIN17への入力信号によってPWM出力を禁止するためには、TIN入力処理制御レジスタ4 (TINCR4) に対して下記の設定をします。

【TINCTR4レジスタの設定方法】

TIN17によるPWM出力禁止の場合

TINCR4のD0ビットに"1"を書き込む。

上記書き込み後連続してD0ビットに"0"を、D1～D3ビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注． と の間に他の領域への書き込みサイクルがあるとD1～D3ビットへの設定値は無効になります。

TIN16によるPWM出力禁止の場合

TINCR4のD4ビットに"1"を書き込む。

上記書き込み後連続してD4ビットに"0"を、D5～D7ビットに"000"、"001"、"010"、"011"、"10X"、または"11X"を書き込む。

注． と の間に他の領域への書き込みサイクルがあるとD5～D7ビットへの設定値は無効になります。

(2) ポート P100 ～ P115 および P110 ～ P115 の端子レベルによる PWM 出力禁止

ポートP100～P105の端子レベル("L" レベルまたは" H" レベル)によってTOM1_0～TOM1_5タイマのPWM出力を対応するポートP100～P105への出力を禁止することができます。また、ポートP110～P115の端子レベル("L" レベルまたは" H" レベル)によってTOM0_0～TOM0_5タイマのPWM出力を対応するポートP110～P115への禁止することができます。

ポートの端子レベルによってPWM出力を禁止するためには、ポートP100～P105出力禁止制御レジスタ(PLVCNT1)、ポートP110～P115出力禁止制御レジスタ(PLVCNT0)に対して下記の設定をします。

ポートP100～P105のレベルによるPWM出力禁止の場合

PLVCNT1レジスタのD6ビット(PLVSEL1)にどのレベル("L" レベル、" H" レベル)ときPWM出力禁止するかを設定する。

PLVCNT1レジスタのD7ビット(PLVDIS1)に"1"(出力禁止有効)を設定する。

ポートP110～P115のレベルによるPWM出力禁止の場合

PLVCNT0レジスタのD14ビット(PLVSEL0)にどのレベル("L"レベル、"H"レベル)ときPWM出力禁止するかを設定する。

PLVCNT0レジスタのD15ビット(PLVDIS0)に"1"(出力禁止有効)を設定する。

(3) ポート出力禁止レジスタ(PWMOFF0、PWMOFF1)によるPWM出力禁止

ポートP110～P115出力禁止レジスタ(PWMOFF0)によってTOM0_0～TOM0_5タイマのPWM出力を対応するポートP110～P115への出力を禁止することができます。また、ポートP100～P105出力禁止レジスタ(PWMOFF1)によってTOM1_0～TOM1_5タイマのPWM出力を対応するポートP100～P105への出力を禁止することができます。

ポートP110～P115出力禁止レジスタ(PWMOFF0)、ポートP100～P105出力禁止レジスタ(PWMOFF1)によってPWM出力を禁止するためには、PWMOFF0レジスタ、PWMOFF1レジスタに対して下記の設定をします。

ポートP110～P115出力禁止レジスタ(PWMOFF0)によるPWM出力禁止の場合

PWMOFF0のD14ビットに"1"を設定。

上記書き込み後連続してD14ビットに"0"を、D15ビットに"1"を設定。

注. と の間に他の領域への書き込みサイクルがあるとD15ビットへの設定は無効になります。

ポートP100～P105出力禁止レジスタ(PWMOFF1)によるPWM出力禁止の場合

PWMOFF1のD6ビットに"1"を設定。

上記書き込み後連続してD6ビットに"0"を、D7ビットに"1"を設定。

注. と の間に他の領域への書き込みサイクルがあるとD7ビットへの設定値は無効になります。

10.6.18 モータ制御機能への応用例

モータ制御時のS/W負荷を軽減したタイマTOMを2系統内蔵しています。ここでは、TOM0を使用したモータ制御機能への応用例を説明します。

3相モータ制御波形は、TID0で生成した20KHz定周期のTOM0起動タイミングに対応してTOM0を起動し実現します。TOM0に内蔵したワンショットPWM機能を使用することで書き替え必要タイミングのみに波形データを格納することで容易に出力波形を構成することができます。なお、H.Lトランジスタの短絡防止時間はTOM0への設定時間をS/W変更することにより実現します。TIDとTOMの組み合わせにより最大8相モータまでの制御を行うことができます。

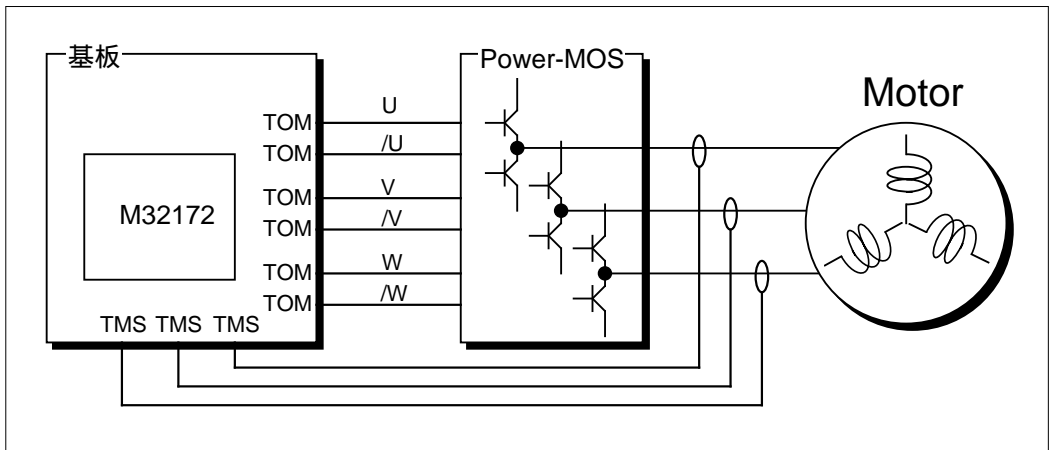


図10.6.16 システム構成図

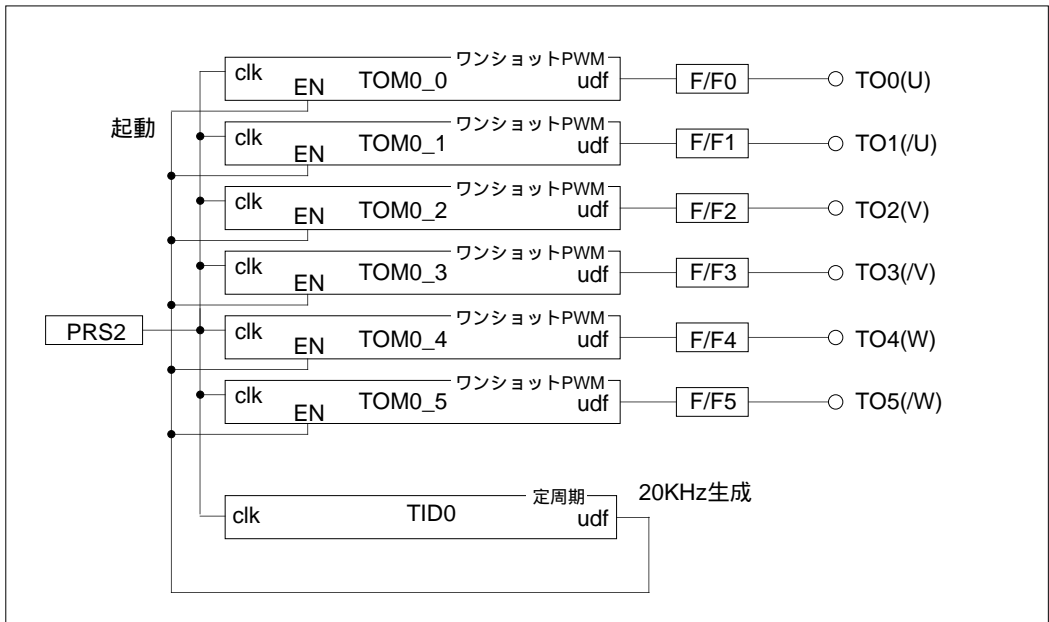


図10.6.17 3相モータ制御時のタイマ接続方法

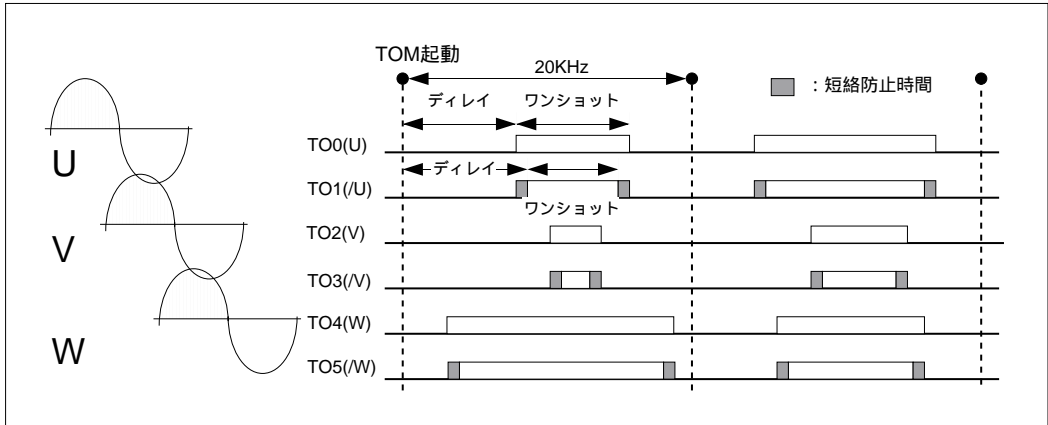


図10.6.18 制御イメージ図

空きページです

第11章

A-D変換器

- 11.1 A-D変換器概要
- 11.2 A-D変換器関連レジスタ
- 11.3 A-D変換器機能説明
- 11.4 A-D変換器の注意事項

11.1 A-D変換器概要

32172/32173は、10ビット分解能を持つ逐次近似比較方式のA-D変換器を2つ(A-D0変換器、A-D1変換器)内蔵しています。A-D0変換器にはアナログ入力専用端子(チャンネル)が8チャンネル(AD0IN0～AD0IN7)、入出力ポートや内蔵周辺I/Oの入出力端子と兼用のアナログ入力端子が8チャンネル(AD0IN8～AD0IN15)の計16チャンネルあります。A-D1変換器にはアナログ入力専用端子が4チャンネル(AD1IN0～AD1IN3)、入出力ポートや内蔵周辺I/Oの入出力端子と兼用のアナログ入力端子が12チャンネル(AD1IN4～AD1IN15)の計16チャンネルあります。

また、A-D変換結果の8ビット読み出し機能と10ビット読み出し機能があります。

A-D変換には、以下に示す変換モードと動作モードがあります。

(1) 変換モード

- A-D変換モード : 通常のアナログ入力電圧をA-D変換するモード
コンパレータモード(注) : 設定した比較電圧とアナログ入力電圧を比較して、その大小のみを得るモード(単一モードのみ)

(2) 動作モード

- 単一モード : 1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレート(注)するモード
スキャンモード : 指定された複数チャンネルのアナログ入力電圧を順次A-D変換するモード

(3) スキャンモードの種類

- スキャンワンショットモード : スキャン動作を1周期行うモード
スキャン連続モード : スキャン動作を停止するまで繰り返し行うモード

(4) 特殊動作モード

- スキャンモード動作中の単一モード強制実行 :
スキャン動作中に強制的に単一モード変換を実行するモード
単一モード実行後スキャンモード開始 :
単一モードからスキャン動作を連続して起動するモード
変換再スタート :
単一モードまたはスキャンモードで、動作中のA-D変換動作を再スタートするモード

A-D変換およびコンパレート速度は、低速モードノーマルと倍速および高速モードの2倍速と4倍速の4種類から選択できます。また、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。

注. 逐次近似比較方式であるA-D変換器内部の比較動作と、A-D変換器をコンパレータとして使用するコンパレータモードでの動作を区別するために、本書ではコンパレータモードでの比較動作のことを「コンパレート」と呼びます。

表11.1.1にA-D変換器の概要を、図11.1.1および図11.1.2にA-D変換器のブロック図を示します。

表11.1.1 A-D変換器の概要(1/2)

項目	内容		
アナログ入力	16チャンネル×2 A-D0変換器：アナログ入力専用端子 8チャンネル 入出力ポート・周辺I/O端子と兼用 8チャンネル A-D1変換器：アナログ入力専用端子 4チャンネル 入出力ポート・周辺I/O端子と兼用 12チャンネル		
A-D変換方式	逐次近似比較方式		
分解能	10ビット（8ビット/10ビット変換結果読み出し機能）		
絶対精度(注1) (条件：Ta = -40 ~ +125 °C， AVCC0 = VREF0 = 5.12V)	低速モード	ノーマル	±2LSB
		倍速	±2LSB
	高速モード	2倍速	±3LSB
		4倍速	±3LSB
変換モード	A-D変換モード，コンパレータモード		
動作モード	単一モード，スキャンモード		
スキャンモード	スキャンワンショットモード，スキャン連続モード		
変換起動トリガ	ソフトウェア起動 A-D変換スタートビットに"1"をセット		
	ハードウェア起動 A-D0変換器：外部端子TIN16への入力 TOM0_6のアンダフロー TOM0_0~7へのイネーブルイベント(注2) A-D1の変換終了 A-D1変換器：外部端子TIN16への入力 TOM0_6のアンダフロー TOM1_6のアンダフロー A-D0の変換終了		

注1. 規格値(精度)はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。

注2. TOM0_0~7へのイネーブルイベントには以下の要因があります(詳細は第10章「入出力タイマ」をご覧ください)。

- ・TID0のオーバフロー / アンダフロー
- ・TOM0_7のアンダフロー
- ・外部端子TIN18への入力
- ・TID1のオーバフロー / アンダフローまたはTOM1_7のアンダフロー

表11.1.2 A-D変換器の概要(2/2)

項目	内容			
変換速度 f(BCLK) : 内部周辺クロック動作周波数 (注)	単一モード時	低速モード	ノーマル	$299 \times 1 / f(\text{BCLK})$
			倍速	$173 \times 1 / f(\text{BCLK})$
	コンパレータ モード時	高速モード	2倍速	$131 \times 1 / f(\text{BCLK})$
			4倍速	$89 \times 1 / f(\text{BCLK})$
		低速モード	ノーマル	$47 \times 1 / f(\text{BCLK})$
			倍速	$29 \times 1 / f(\text{BCLK})$
	高速モード	2倍速	$23 \times 1 / f(\text{BCLK})$	
		4倍速	$17 \times 1 / f(\text{BCLK})$	
割り込み要求発生機能	A-D変換終了時, コンパレート終了時 スキャンワンショット終了時, スキャン連続モードの1周期終了時			
DMA転送要求発生機能	A-D変換終了時, コンパレート終了時 スキャンワンショット終了時, スキャン連続モードの1周期終了時			

注. 入力クロック(XIN)=10MHz時、f(BCLK) = 20MHz。

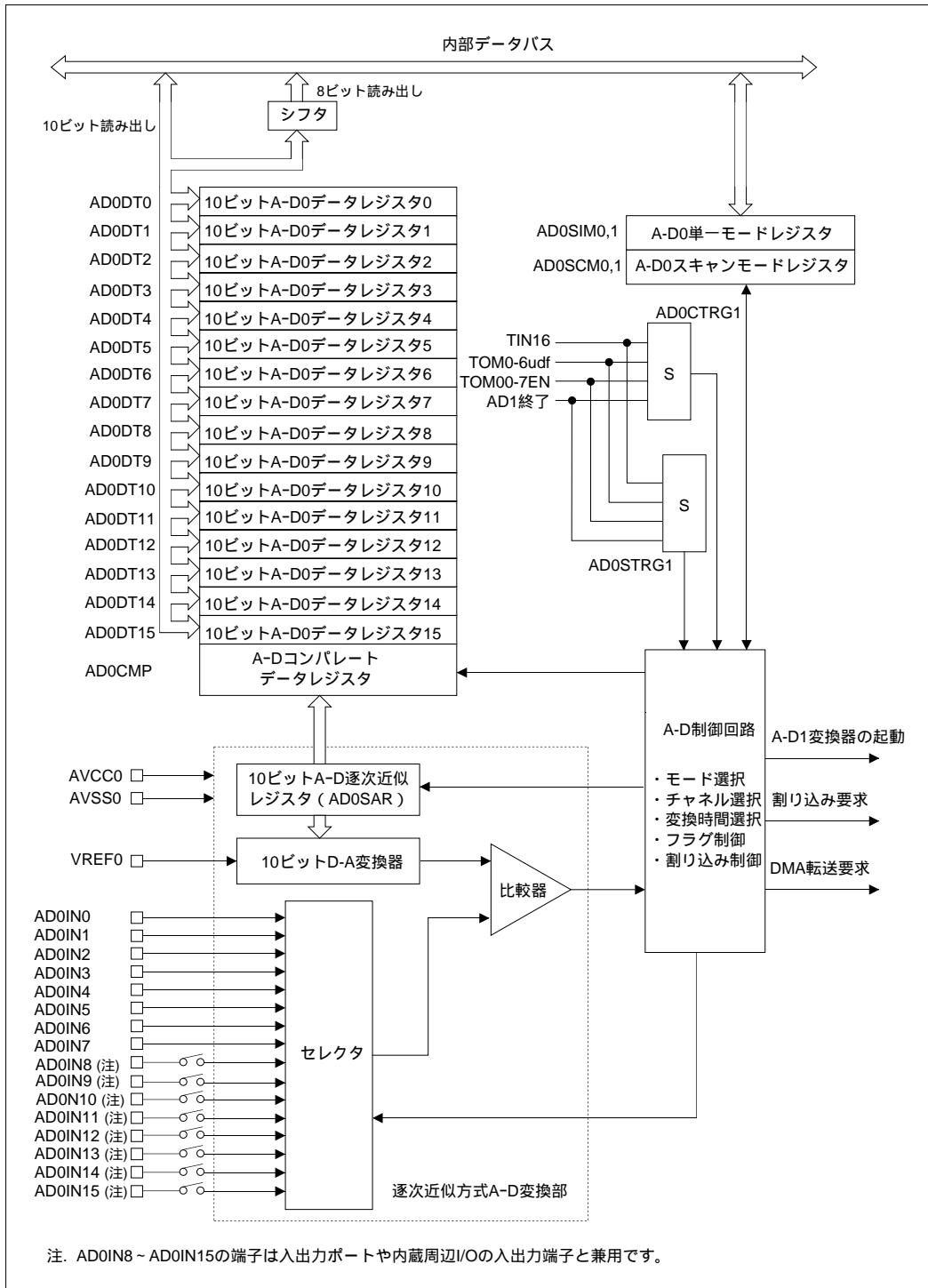


図11.1.1 A-D0変換器のブロック図

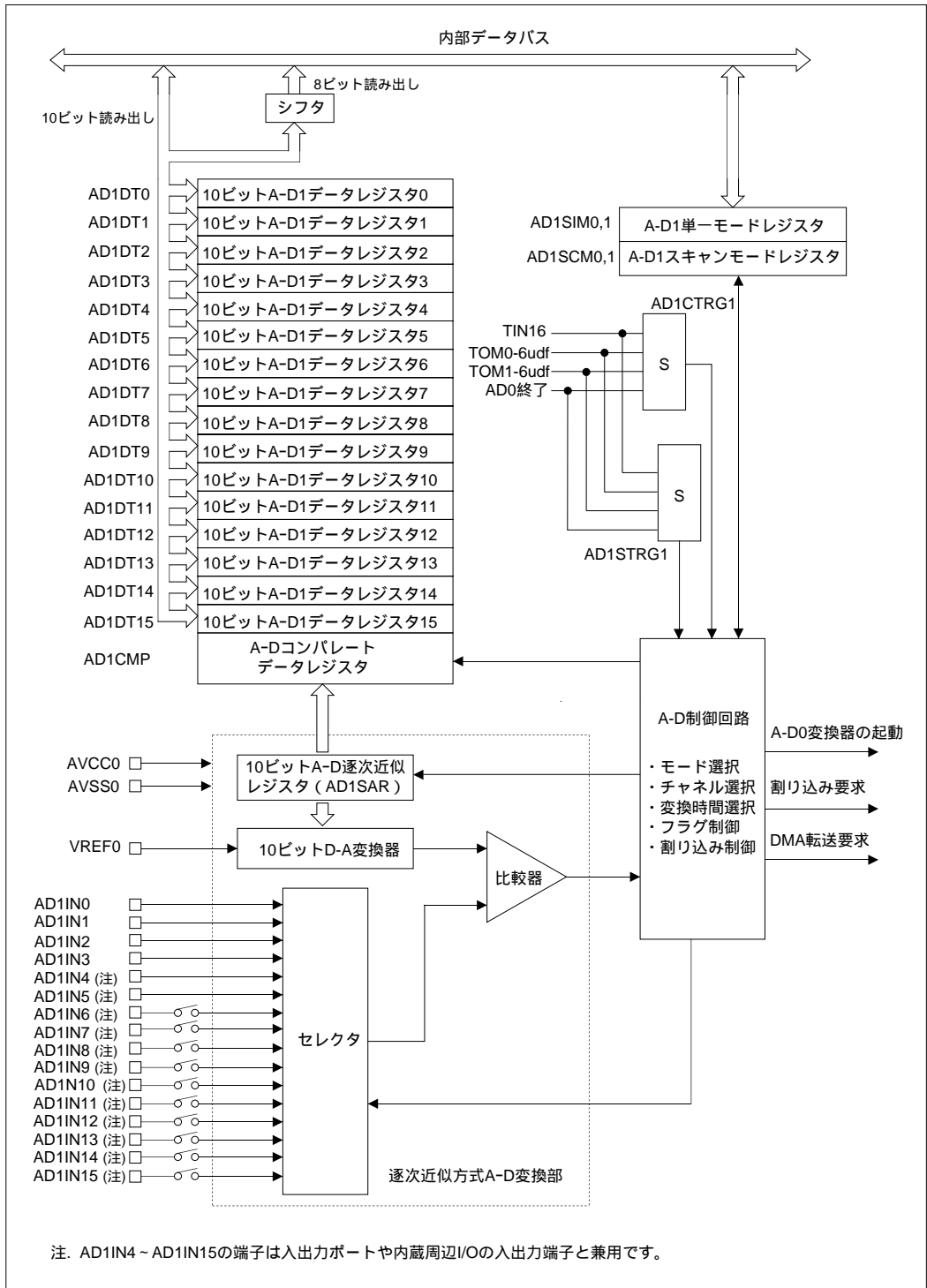


図11.1.2 A-D1変換器のブロック図

11.1.1 変換モード

A-D変換器の変換モードには、「A-D変換モード」と「コンパレータモード」があります。

(1) A-D 変換モード

A-D変換モードでは、指定されたチャンネルのアナログ入力電圧をA-D変換します。

単一モードの場合は、単一モードレジスタ1のアナログ入力端子選択ビット(注)で選択されたチャンネルのA-D変換を行います。

スキャンモードの場合は、スキャンモードレジスタ0の設定にしたがい、スキャンモードレジスタ1で選択されたチャンネルのA-D変換を行います。

変換結果はそれぞれのチャンネルに対応した10ビットA-Dデータレジスタに格納します。また、8ビットA-Dデータレジスタからは8ビットA-D変換結果が読み出せます。

単一モードの場合はA-D変換終了時に、またスキャンモードの場合はスキャンループの1周期終了時に、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

注. 単一モードレジスタ1でアナログ入力端子AD0IN8 ~ AD0IN15またはAD1IN6 ~ AD1IN15を選択した場合は、必ずADデジタル入力制御レジスタ(AD0CHCON,AD1CHCON)の設定を行ってください。

(2) コンパレータモード

コンパレータモードでは、指定されたチャンネルのアナログ入力電圧と逐次近似レジスタの値をコンパレート(比較)し、その結果(値の大小)をフラグに返します。

コンパレートするチャンネルの指定は、単一モードレジスタ1のアナログ入力端子選択ビット(注)で行います。またコンパレート結果のフラグ("1"または"0")は、A-Dコンパレートデータレジスタの、選択されたチャンネルに対応するビットにセットされます。

コンパレート終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

注. 単一モードレジスタ1でアナログ入力端子AD0IN8 ~ AD0IN15またはAD1IN6 ~ AD1IN15を選択した場合は、必ずADデジタル入力制御レジスタ(AD0CHCON,AD1CHCON)の設定を行ってください。

11.1.2 動作モード

A-D変換器の動作モードには、「単一モード」と「スキャンモード」があります。

(1) 単一モード

単一モードは、選択された1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレートするモードです。A-D変換の終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

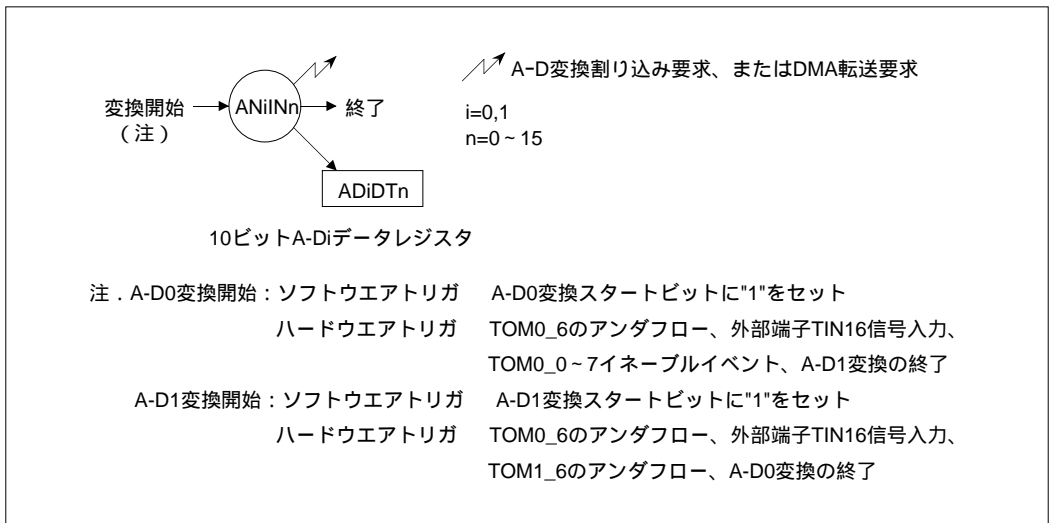


図11.1.3 単一モード動作(A-D変換)

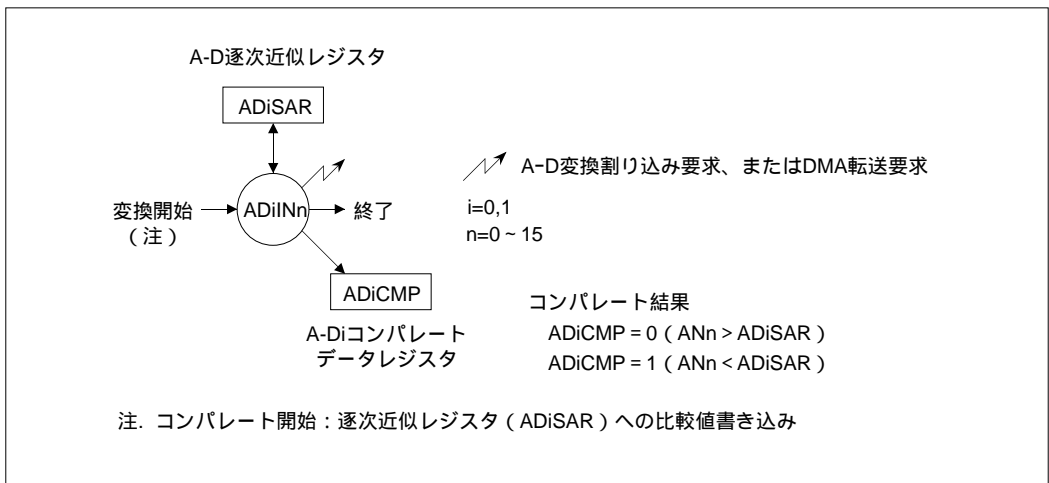


図11.1.4 単一モード動作(コンパレート)

(2) スキャンモード

スキャンモードは、ADiIN0チャンネル($i=0, 1$)からスキャンモードレジスタ1のスキャンループ指定ビットで指定したチャンネル($0 \sim 15$ チャンネル)のアナログ入力電圧を順次A-D変換するモードです。

スキャンモードには、1周期のスキャン動作でA-D変換を終了する「スキャンワンショットモード」と、スキャンモードレジスタのA-D変換ストップビットに"1"を書き込むまでスキャン動作を継続する「スキャン連続モード」があります。

スキャンモードの選択は、スキャンモードレジスタ0で行います。また、スキャンするチャンネルの指定は、スキャンモードレジスタ1のスキャンループ指定ビットで行います。なおスキャンされるチャンネルの組み合わせと順序は、ADiIN0チャンネルからスキャンループ指定ビットで指定したチャンネル($0 \sim 15$ チャンネル)までがスキャンループになり、ADiIN0チャンネルからスキャンされます。

1周期のスキャン動作終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

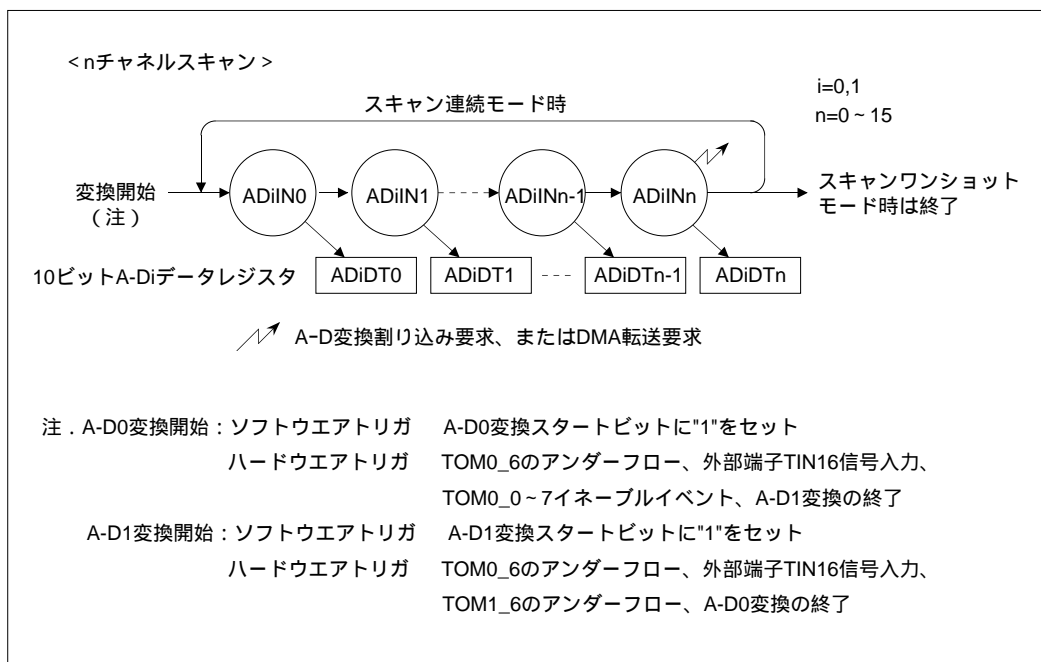


図11.1.5 スキャンモードA-D変換動作

表11.1.2 スキャンモードでのA-D変換結果の格納レジスタ

スキャンモードレジスタ1指定チャンネル	スキャンワンショットモード対象チャンネル	スキャン連続モード対象チャンネル	A-D変換結果格納レジスタ
B'0000 : 0 (ADiIN0)	ADiIN0	ADiIN0	10ビットA-Diデータレジスタ0
	終了	ADiIN0	10ビットA-Diデータレジスタ0
		∴ (強制終了まで繰り返し)	∴
B'0001 : 1 (ADiIN1)	ADiIN0	ADiIN0	10ビットA-Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA-Diデータレジスタ1
	終了	ADiIN0	10ビットA-Diデータレジスタ0
		∴ (強制終了まで繰り返し)	∴
B'0010 : 2 (ADiIN2)	ADiIN0	ADiIN0	10ビットA-Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA-Diデータレジスタ1
	ADiIN2	ADiIN2	10ビットA-Diデータレジスタ2
	終了	ADiIN0	10ビットA-Diデータレジスタ0
		∴ (強制終了まで繰り返し)	∴
B'0011 : 3 (ADiIN3)	ADiIN0	ADiIN0	10ビットA-Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA-Diデータレジスタ1
	ADiIN2	ADiIN2	10ビットA-Diデータレジスタ2
	ADiIN3	ADiIN3	10ビットA-Diデータレジスタ3
	終了	ADiIN0	10ビットA-Diデータレジスタ0
		∴ (強制終了まで繰り返し)	∴
B'XXXX : n (ADiINn)	ADiIN0	ADiIN0	10ビットA-Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA-Diデータレジスタ1
	ADiIN2	ADiIN2	10ビットA-Diデータレジスタ2
		∴	∴
	ADiINn	ADiINn	10ビットA-Diデータレジスタn
n 15	終了	ADiIN0	10ビットA-Diデータレジスタ0
		∴ (強制終了まで繰り返し)	∴

(i=0,1)

11.1.3 特殊動作モード

(1) スキャンモード動作中の単一モード強制実行

この特殊動作モードは、スキャンモード動作中に指定チャンネルの単一モード変換(A-D変換またはコンパレート)を強制的に実行します。A-D変換モードの場合は、指定チャンネルに対応した10ビットA-Dデータレジスタに、コンパレートモードの場合は10ビットA-Dコンパレートデータレジスタに変換結果を格納します。指定チャンネルのA-D変換またはコンパレートが終了すると、スキャン中にキャンセルされたチャンネルから再びスキャンモードのA-D変換を再開します。

ソフトウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、A-D変換の場合は、同レジスタのA-D変換スタートビットに"1"をセットします。また、コンパレートモードの場合は、スキャンモード動作中にA-D逐次近似レジスタ(AD0SAR, AD1SAR)へ比較する値を書き込みます。

ハードウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、同レジスタで指定したハードウェアトリガ(A-D0変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブルイベント、A-D1変換の終了、A-D1変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)を入力します。

指定チャンネルでの変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

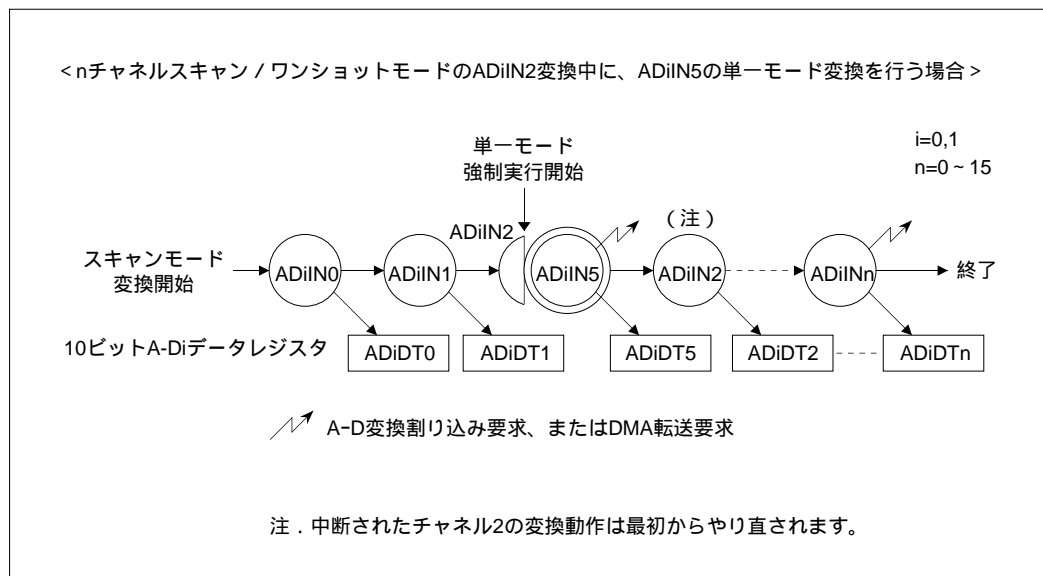


図11.1.6 スキャンモード動作中の単一モード強制実行

(2) 単一モード実行後スキャンモード開始

この特殊動作モードは、単一モード変換(A-D変換またはコンパレート)から連続してスキャン動作を起動します。

ソフトウェアで起動するには、スキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、単一モード変換動作中にスキャンモードレジスタ0内のA-D変換スタートビットに"1"をセットします。

ハードウェアで起動するには、スキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、単一モード変換動作中に同レジスタで指定したハードウェアトリガ(A-D0変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブリエント、A-D1変換の終了、A-D1変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)を入力します。

単一モードレジスタ0、およびスキャンモードレジスタ0の両方のレジスタのA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、ハードウェアトリガ(A-D0変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブリエント、A-D1変換の終了、A-D1変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)が入力された場合は、最初に単一モード変換を行い、単一モード変換実行後、続けてスキャンモード変換を行います。

指定チャンネルでの単一モード変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

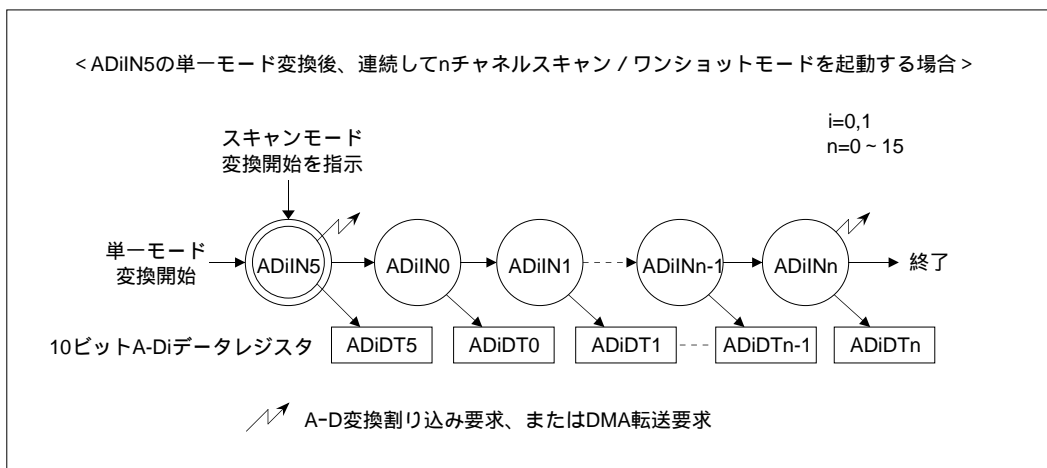


図11.1.7 単一モード実行後スキャンモード開始

(3) 変換再スタート

この特殊動作モードは、単一モードまたはスキャンモードで実行中の動作を中止して、再度最初からやり直すものです。

単一モードの場合は、A-D変換またはコンパレート中に単一モードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ信号(A-D0変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブルイベント、A-D1変換の終了、A-D1変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)を入力すると、実行中の動作をやり直します。

スキャンモードの場合は、スキャン動作中にスキャンモードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ信号(A-D0変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブルイベント、A-D1変換の終了、A-D1変換器はTOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)を入力すると、変換中のチャンネルをキャンセルし、チャンネル0からA-D変換を行います。

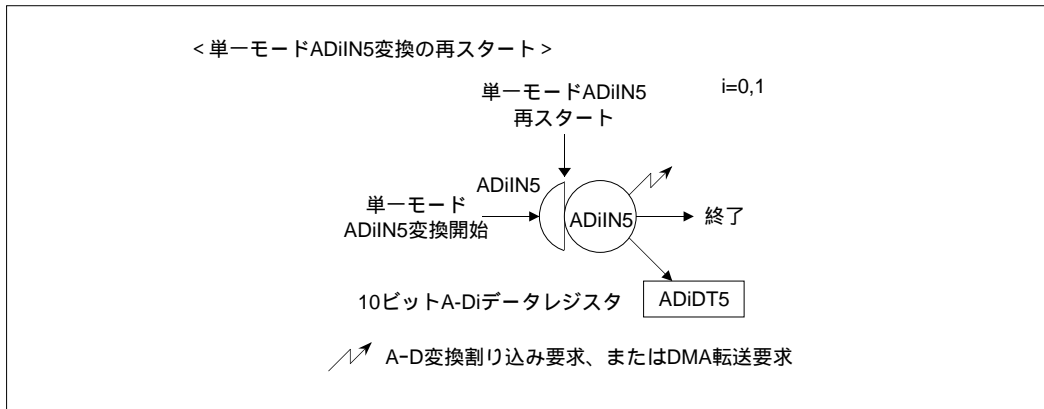


図11.1.8 単一モード動作中の変換再スタート

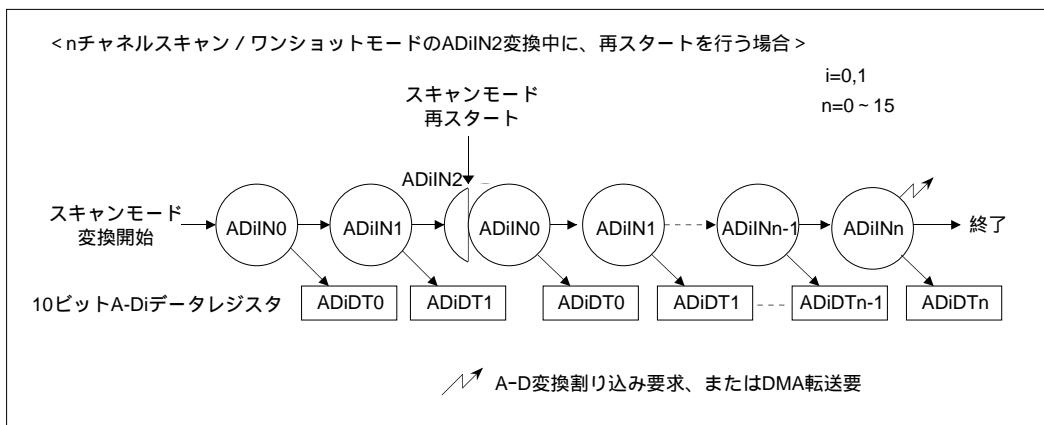


図11.1.9 スキャン動作中の変換再スタート

11.1.4 A-D変換器の割り込み要求とDMA転送要求

A-D変換器では、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。

A-D変換割り込み要求とDMA転送要求の選択は、単一モードレジスタ0と、スキャンモードレジスタ0で行います。

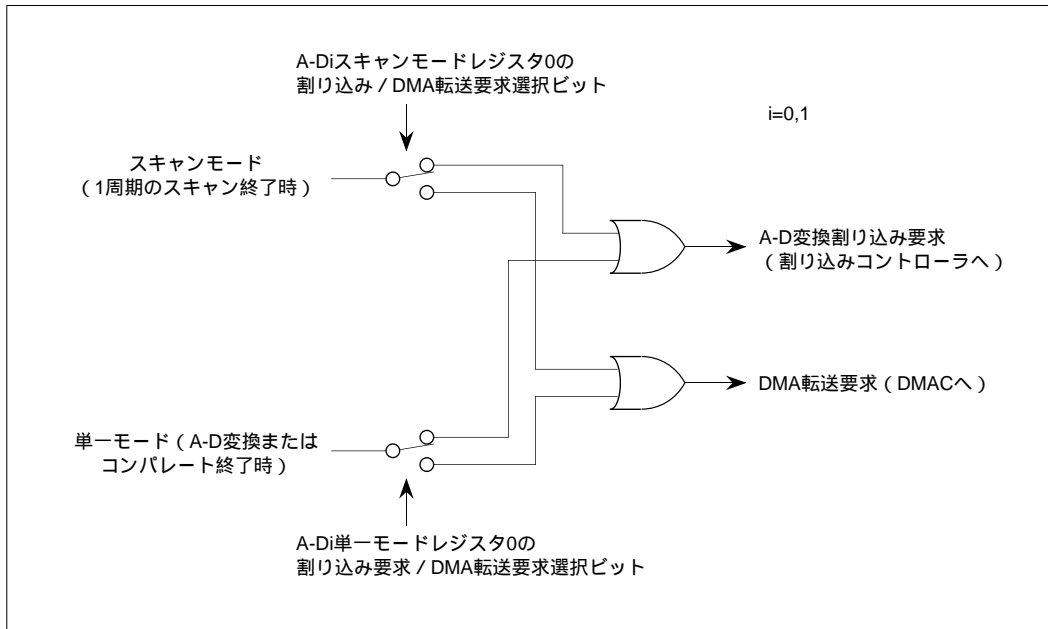


図11.1.10 割り込み要求とDMA転送要求の切り替え

11.2 A-D変換器関連レジスタ

A-D変換器関連レジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0080	A-D0単一モードレジスタ0 (AD0SIM0)			A-D0単一モードレジスタ1 (AD0SIM1)		
H'0080 0082						
H'0080 0084	A-D0スキャンモードレジスタ0 (AD0SCM0)			A-D0スキャンモードレジスタ1 (AD0SCM1)		
H'0080 0086				A-D0変換速度制御レジスタ (AD0CVSCR)		
H'0080 0088	A-D0逐次近似レジスタ (AD0SAR)					
H'0080 008A						
H'0080 008C	A-D0コンパレートデータレジスタ (AD0CMP)					
H'0080 008E	A-D0デジタル入力制御レジスタ (AD0CHCON)					
H'0080 0090	10ビットA-D0データレジスタ0 (AD0DT0)					
H'0080 0092	10ビットA-D0データレジスタ1 (AD0DT1)					
H'0080 0094	10ビットA-D0データレジスタ2 (AD0DT2)					
H'0080 0096	10ビットA-D0データレジスタ3 (AD0DT3)					
H'0080 0098	10ビットA-D0データレジスタ4 (AD0DT4)					
H'0080 009A	10ビットA-D0データレジスタ5 (AD0DT5)					
H'0080 009C	10ビットA-D0データレジスタ6 (AD0DT6)					
H'0080 009E	10ビットA-D0データレジスタ7 (AD0DT7)					
H'0080 00A0	10ビットA-D0データレジスタ8 (AD0DT8)					
H'0080 00A2	10ビットA-D0データレジスタ9 (AD0DT9)					
H'0080 00A4	10ビットA-D0データレジスタ10 (AD0DT10)					
H'0080 00A6	10ビットA-D0データレジスタ11 (AD0DT11)					
H'0080 00A8	10ビットA-D0データレジスタ12 (AD0DT12)					
H'0080 00AA	10ビットA-D0データレジスタ13 (AD0DT13)					
H'0080 00AC	10ビットA-D0データレジスタ14 (AD0DT14)					
H'0080 00AE	10ビットA-D0データレジスタ15 (AD0DT15)					

空き領域は予約領域です。
 注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図11.2.1 A-D変換器関連レジスタマップ(1/4)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 00D0					8ビットA-D0データレジスタ0 (AD08DT0)	
H'0080 00D2					8ビットA-D0データレジスタ1 (AD08DT1)	
H'0080 00D4					8ビットA-D0データレジスタ2 (AD08DT2)	
H'0080 00D6					8ビットA-D0データレジスタ3 (AD08DT3)	
H'0080 00D8					8ビットA-D0データレジスタ4 (AD08DT4)	
H'0080 00DA					8ビットA-D0データレジスタ5 (AD08DT5)	
H'0080 00DC					8ビットA-D0データレジスタ6 (AD08DT6)	
H'0080 00DE					8ビットA-D0データレジスタ7 (AD08DT7)	
H'0080 00E0					8ビットA-D0データレジスタ8 (AD08DT8)	
H'0080 00E2					8ビットA-D0データレジスタ9 (AD08DT9)	
H'0080 00E4					8ビットA-D0データレジスタ10 (AD08DT10)	
H'0080 00E6					8ビットA-D0データレジスタ11 (AD08DT11)	
H'0080 00E8					8ビットA-D0データレジスタ12 (AD08DT12)	
H'0080 00EA					8ビットA-D0データレジスタ13 (AD08DT13)	
H'0080 00EC					8ビットA-D0データレジスタ14 (AD08DT14)	
H'0080 00EE					8ビットA-D0データレジスタ15 (AD08DT15)	

空き領域は予約領域です。

図11.2.2 A-D変換器関連レジスタマップ(2/4)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0A80	A-D1単一モードレジスタ0 (AD1SIM0)			A-D1単一モードレジスタ1 (AD1SIM1)		
H'0080 0A82						
H'0080 0A84	A-D1スキャンモードレジスタ0 (AD1SCM0)			A-D1スキャンモードレジスタ1 (AD1SCM1)		
H'0080 0A86				A-D1変換速度制御レジスタ (AD1CVSCR)		
H'0080 0A88	A-D1逐次近似レジスタ (AD1SAR)					
H'0080 0A8A						
H'0080 0A8C	A-D1コンパレートデータレジスタ (AD1CMP)					
H'0080 0A8E	A-D1デジタル入力制御レジスタ (AD1CHCON)					
H'0080 0A90	10ビットA-D1データレジスタ0 (AD1DT0)					
H'0080 0A92	10ビットA-D1データレジスタ1 (AD1DT1)					
H'0080 0A94	10ビットA-D1データレジスタ2 (AD1DT2)					
H'0080 0A96	10ビットA-D1データレジスタ3 (AD1DT3)					
H'0080 0A98	10ビットA-D1データレジスタ4 (AD1DT4)					
H'0080 0A9A	10ビットA-D1データレジスタ5 (AD1DT5)					
H'0080 0A9C	10ビットA-D1データレジスタ6 (AD1DT6)					
H'0080 0A9E	10ビットA-D1データレジスタ7 (AD1DT7)					
H'0080 0AA0	10ビットA-D1データレジスタ8 (AD1DT8)					
H'0080 0AA2	10ビットA-D1データレジスタ9 (AD1DT9)					
H'0080 0AA4	10ビットA-D1データレジスタ10 (AD1DT10)					
H'0080 0AA6	10ビットA-D1データレジスタ11 (AD1DT11)					
H'0080 0AA8	10ビットA-D1データレジスタ12 (AD1DT12)					
H'0080 0AAA	10ビットA-D1データレジスタ13 (AD1DT13)					
H'0080 0AAC	10ビットA-D1データレジスタ14 (AD1DT14)					
H'0080 0AAE	10ビットA-D1データレジスタ15 (AD1DT15)					

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図11.2.3 A-D変換器関連レジスタマップ (3/4)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080	0AD0				8ビットA-D1データレジスタ0 (AD18DT0)	
H'0080	0AD2				8ビットA-D1データレジスタ1 (AD18DT1)	
H'0080	0AD4				8ビットA-D1データレジスタ2 (AD18DT2)	
H'0080	0AD6				8ビットA-D1データレジスタ3 (AD18DT3)	
H'0080	0AD8				8ビットA-D1データレジスタ4 (AD18DT4)	
H'0080	0ADA				8ビットA-D1データレジスタ5 (AD18DT5)	
H'0080	0ADC				8ビットA-D1データレジスタ6 (AD18DT6)	
H'0080	0ADE				8ビットA-D1データレジスタ7 (AD18DT7)	
H'0080	0AE0				8ビットA-D1データレジスタ8 (AD18DT8)	
H'0080	0AE2				8ビットA-D1データレジスタ9 (AD18DT9)	
H'0080	0AE4				8ビットA-D1データレジスタ10 (AD18DT10)	
H'0080	0AE6				8ビットA-D1データレジスタ11 (AD18DT11)	
H'0080	0AE8				8ビットA-D1データレジスタ12 (AD18DT12)	
H'0080	0AEA				8ビットA-D1データレジスタ13 (AD18DT13)	
H'0080	0AEC				8ビットA-D1データレジスタ14 (AD18DT14)	
H'0080	0AEE				8ビットA-D1データレジスタ15 (AD18DT15)	

空き領域は予約領域です。

図11.2.4 A-D変換器関連レジスタマップ(4/4)

11.2.1 A-D単一モードレジスタ0

A-D0単一モードレジスタ α (AD0SIM0)

< アドレス : H'0080 0080 >

D0	1	2	3	4	5	6	D7
AD0STRG1		AD0STRG0	AD0SSEL	AD0SREQ	AD0SCMP	AD0SSTP	AD0SSTT

< リセット時 : H'04 >

D	ビット名	機能	R	W
0	AD0STRG1(注1) (A-D0ハードウェアトリガ選択1)	D0およびD2ビットでA-D0ハードウェア トリガを選択 D0 D2 0 0 : TOM0_6アンダフロー 0 1 : TIN16入力 1 0 : TOM0_0~7イネーブルイベント(注2) 1 1 : A-D1変換終了		
1	何も配置されていません		0	-
2	AD0STRG α (注1) (A-D0ハードウェアトリガ選択0)	D0およびD2ビットでA-D0ハードウェア トリガを選択(D0ビットの欄参照)		
3	AD0SSEL (A-D0変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	AD0SREQ (割り込み要求 / DMA要求選択)	0 : A-D0割り込み要求 1 : DMA転送要求		
5	AD0SCMP (A-D0変換 / コンパレート終了)	0 : A-D0変換中 / コンパレート中 1 : A-D0変換終了 / コンパレート終了		-
6	AD0SSTP (A-D0変換ストップ)	0 : 何もしません 1 : A-D0変換停止	0	
7	AD0SSTT (A-D0変換スタート)	0 : 何もしません 1 : A-D0変換開始	0	

注1. ハードウェアトリガ選択はD0ビット(A-D0ハードウェアトリガ選択1)およびD2ビット(A-D0ハードウェアトリガ選択0)の2ビットで行います。

注2. TID0のオーバフロー / アンダフロー、TOM0_7のアンダフロー、外部端子TIN18への入力、TID1のオーバフロー / アンダフローまたはTOM1_7のアンダフロー(詳細は第10章「入出力タイマ」をご覧ください)。

A-D0単一モードレジスタ0は、A-D0変換器の単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

A-D1単一モードレジスタα (AD1SIM0)

<アドレス : H'0080 0A80 >

D0	1	2	3	4	5	6	D7
AD1STRG1		AD1STRG0	AD1SSEL	AD1SREQ	AD1SCMP	AD1SSTP	AD1SSTT

<リセット時 : H'04 >

D	ビット名	機能	R	W
0	AD1STRG1(注) (A-D1ハードウェアトリガ選択1)	D0およびD2ビットでA-D1ハードウェア トリガを選択 D0 D2 0 0 : TOM0_6アンダフロー 0 1 : TIN16入力 1 0 : TOM1_6アンダフロー 1 1 : A-D0変換終了		
1	何も配置されていません		0	-
2	AD1STRGα(注) (A-D1ハードウェアトリガ選択0)	D0およびD2ビットでA-D1ハードウェア トリガを選択(D0ビットの欄参照)		
3	AD1SSEL (A-D1変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	AD1SREQ (割り込み要求)	0 : A-D1割り込み要求 1 : DMA転送要求		
5	AD1SCMP (A-D1変換 / コンパレート終了)	0 : A-D1変換中 / コンパレート中 1 : A-D1変換終了 / コンパレート終了		-
6	AD1SSTP (A-D1変換ストップ)	0 : 何もしません 1 : A-D1変換停止	0	
7	AD1SSTT (A-D1変換スタート)	0 : 何もしません 1 : A-D1変換開始	0	

注. ハードウェアトリガ選択はD0ビット(A-D1ハードウェアトリガ選択1)およびD2ビット(A-D1ハードウェアトリガ選択0)の2ビットで行います。

A-D1単一モードレジスタ0は、A-D1変換器の単一モード時「特殊モード「スキャンモード動作中の単一モード強制実行」を含む」の動作を制御するためのレジスタです。

(1) ADnSTRG1, ADnSTRG0 (A-Dn ハードウェアトリガ選択) ビット (D0, D2)

A-Dn変換器のA-D変換をハードウェアで起動する場合に、起動要因を選択するビットです(A-D0: TOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブルイベント、A-D1変換の終了、A-D1: TOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)。ADnSSEL(A-Dn変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットの内容は無視されます。

(2) ADnSSEL (A-Dn 変換開始トリガ選択) ビット (D3)

単一モード時のA-Dn変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADnSSTT(A-Dn変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADnSTRG0(ハードウェアトリガ選択0)ビットおよびADnSTRG1(ハードウェアトリガ選択1)ビットで選択した要因でA-D変換が起動されます。

(3) ADnSREQ (A-Dn 割り込み要求/DMA 転送要求選択) ビット (D4)

A-Dn変換器の単一モード(A-D変換またはコンパレート)終了時に、A-Dn変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。割り込み、DMA転送共に使用しない場合は、ADn変換割り込み要求を選択し、ICUのA-Dn変換器割り込み制御レジスタでマスクするか、DMA転送を選択し、チャンネルDMAチャンネル制御レジスタでA-Dn変換終了によるDMA転送を行わないように設定してください。

(4) ADnSCMP (A-Dn 変換/コンパレート終了) ビット (D5)

読み出し専用のビットで、リセット時は"1"です。A-Dn変換器の単一モード(A-D変換またはコンパレート)動作中は"0"になり、終了時に"1"になります。

A-D変換中またはコンパレート中にADnSSTT(A-Dn変換ストップ)ビットを"1"にして、A-D変換動作またはコンパレート動作を強制終了したときも"1"になります。

(5) ADnSSTP (A-Dn 変換ストップ) ビット (D6)

A-Dn変換器の単一モード(A-D変換またはコンパレート)中にこのビットを"1"にすると、その動作を停止させることができます。単一モードの動作停止中、およびスキャンモードの動作に対しては、このビットの操作は無視されます。

動作の停止はこのビットへの書き込み後直ちに行われ、停止後に「A-Dn逐次近似レジスタ」の内容を読み出すと、変換途中の値が読み出されます(A-Dnデータレジスタへの転送は行われません)。

A-Dn変換スタートビットとA-Dn変換ストップビットを同時に"1"にした場合、A-Dn変換ストップビットが有効になります。

特殊モード「スキャンモード動作中の単一モード強制実行」で、単一モードの動作中にこのビットを"1"にすると単一モード変換のみが停止し、スキャンモード動作が再開されます。

(6) ADnSSTT (A-Dn 変換スタート) ビット (D7)

ADnSSEL (A-Dn変換開始トリガ選択) ビットでソフトウェアトリガを選択している場合、このビットを"1"にするとA-Dn変換器のA-D変換がスタートします。

A-Dn変換スタートビットとA-Dn変換ストップビットを同時に"1"にした場合、A-Dn変換ストップビットが有効になります。

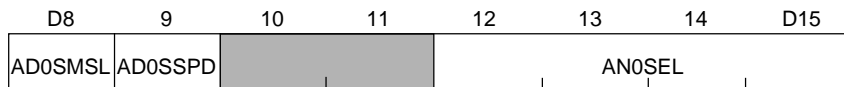
単一モード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、単一モードでの変換を再スタートします。

スキャンモードのA-D変換中にこのビットを"1"にすると、特殊動作モード「スキャンモード動作中の単一モード強制実行」になり、スキャンモードで変換中のチャンネルをキャンセルして単一モード変換を行います。単一モード変換終了後は、キャンセルされたチャンネルからスキャンモードでのA-D変換を再開します。

11.2.2 A-D単一モードレジスタ1

A-D0単一モードレジスタ1(AD0SIM1)

<アドレス : H'0080 0081 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8	AD0SMSL (A-D0変換モード選択)	0 : A-D0変換モード 1 : コンパレータモード		
9	AD0SSPD (注1) (A-D0変換速度選択)	低速モード選択時(AD0CVSD="0") 0 : ノーマル 1 : 倍速 倍速モード選択時(AD0CVSD="1") 0 : 2倍速 1 : 4倍速		
10,11	何も配置されていません			0
12~15	AN0SEL (注2) (アナログ入力端子選択)	0000 : AD0IN0を選択 0001 : AD0IN1を選択 0010 : AD0IN2を選択 0011 : AD0IN3を選択 0100 : AD0IN4を選択 0101 : AD0IN5を選択 0110 : AD0IN6を選択 0111 : AD0IN7を選択 1000 : AD0IN8を選択 1001 : AD0IN9を選択 1010 : AD0IN10を選択 1011 : AD0IN11を選択 1100 : AD0IN12を選択 1101 : AD0IN13を選択 1110 : AD0IN14を選択 1111 : AD0IN15を選択		

W = : "0"のみ書き込み可能。"1"を書き込んだ場合の動作は保証されません。

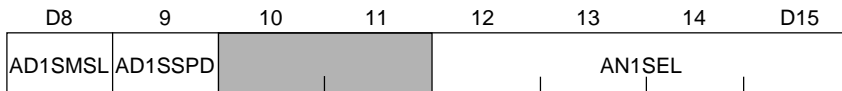
注1. A-D0変換速度はAD0SSPDビットとA-D0変換速度制御レジスタのAD0CVSDビットとの組み合わせで決まりますので、AD0SSPDビットおよびAD0CVSDビットの設定を行ってください。

注2. AD0IN8 ~ AD0IN15を選択した場合は、A-D0デジタル入力制御レジスタの設定が必要です。

A-D0単一モードレジスタ1は、A-D0変換器の単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

A-D1単一モードレジスタ1(AD1SIM1)

<アドレス : H'0080 0A81 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8	AD1SMSL (A-D1変換モード選択)	0 : A-D1変換モード 1 : コンパレータモード		
9	AD1SSPD (注1) (A-D1変換速度選択)	低速モード選択時(AD1CVSD="0") 0 : ノーマル 1 : 倍速 倍速モード選択時(AD1CVSD="1") 0 : 2倍速 1 : 4倍速		
10,11	何も配置されていません			0
12~15	AN1SEL (注2) (アナログ入力端子選択)	0000 : AD1IN0を選択 0001 : AD1IN1を選択 0010 : AD1IN2を選択 0011 : AD1IN3を選択 0100 : AD1IN4を選択 0101 : AD1IN5を選択 0110 : AD1IN6を選択 0111 : AD1IN7を選択 1000 : AD1IN8を選択 1001 : AD1IN9を選択 1010 : AD1IN10を選択 1011 : AD1IN11を選択 1100 : AD1IN12を選択 1101 : AD1IN13を選択 1110 : AD1IN14を選択 1111 : AD1IN15を選択		

W = : "0"のみ書き込み可能。"1"を書き込んだ場合の動作は保証されません。

注1. 単一モード時のA-D1変換速度はAD1SSPDビットとA-D1変換速度制御レジスタのAD1CVSDビットとの組み合わせで決まりますので、AD1SSPDビットおよびAD1CVSDビットの設定を行ってください。

注2. AD1IN6 ~ AD1IN15を選択した場合は、AD1デジタル入力制御レジスタの設定が必要です。

A-D1単一モードレジスタ1は、A-D1変換器の単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) ADnSMSL (A-Dn 変換モード選択) ビット (D8)

A-Dn変換器の単一モード時のA-D変換モードを選択するビットです。このビットが"0"のときはA-D変換モード、"1"のときはコンパレータモードになります。

(2) ADnSSPD (A-Dn 変換速度選択) ビット (D9)

A-Dn変換器の単一モード時のA-D変換速度を選択するビットです。低速モード選択時 (ADnCVSD="0")、このビットが"0"のときはノーマル、"1"のときは倍速になります。また、高速モード選択時 (ADnCVSD="1")、このビットが"0"のときは2倍速、"1"のときは4倍速になります。

注. 単一モード時のA-Dn変換速度はADnSSPDビットとA-Dn変換速度制御レジスタのADnCVSDビットとの組み合わせで決まりますので、ADnSSPDビットおよびADnCVSDビットの設定を行ってください。

(3) ANnSEL (アナログ入力端子選択) ビット (D12 ~ D15)

A-Dn変換器の単一モード時のアナログ入力端子選択ビットです。このビットで選択されたチャンネルがA-D変換またはコンパレータの対象チャンネルになります。なお、読み出し時は書き込んだ値が読み出されます。

11.2.3 A-Dスキャンモードレジスタ0

A-D0スキャンモードレジスタ0(AD0SCM0)

<アドレス : H'0080 0084 >

D0	1	2	3	4	5	6	D7
AD0CTRG1	AD0CMSL	AD0CTRG0	AD0CSEL	AD0CREQ	AD0CCMP	AD0CSTP	AD0CSTT

<リセット時 : H'04 >

D	ビット名	機能	R	W
0	AD0CTRG1(注1) (A-D0ハードウェアトリガ選択1)	D0およびD2ビットでA-D0ハードウェア トリガを選択 D0 D2 0 0 : TOM0_6アンダフロー 0 1 : TIN16入力 1 0 : TOM0_0~7イネーブルイベント(注2) 1 1 : A-D1変換終了		
1	AD0CMSL (A-D0スキャンモード選択)	0 : ワンショットモード 1 : 連続モード		
2	AD0CTRG0(注1) (A-D0ハードウェアトリガ選択0)	D0およびD2ビットでA-D0ハードウェア トリガを選択(D0ビットの欄参照)		
3	AD0CSEL (A-D0変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	AD0CREQ (割り込み要求 / DMA要求選択)	0 : A-D0割り込み要求 1 : DMA転送要求		
5	AD0CCMP (A-D0変換終了)	0 : A-D0変換中 1 : A-D0変換終了		-
6	AD0CSTP (A-D0変換ストップ)	0 : 何もしません 1 : A-D0変換停止	0	
7	AD0CSTT (A-D0変換スタート)	0 : 何もしません 1 : A-D0変換開始	0	

注1. ハードウェアトリガ選択はD0ビット(A-D0ハードウェアトリガ選択1)およびD2ビット(A-D0ハードウェアトリガ選択0)の2ビットで行います。

注2. TID0のオーバーフロー / アンダフロー、TOM0_7のアンダフロー、外部端子TIN18への入力、TID1のオーバーフロー / アンダフローまたはTOM1_7のアンダフロー(詳細は第10章「入出力タイム」をご覧ください)。

A-D0スキャンモードレジスタ0は、A-D0変換器のスキャンモード時の動作を制御するためのレジスタです。

A-D1スキャンモードレジスタ0(AD1SCM0)

<アドレス : H'0080 0A84 >

D0	1	2	3	4	5	6	D7
AD1CTRG1	AD1CMSL	AD1CTRG0	AD1CSEL	AD1CREQ	AD1CCMP	AD1CSTP	AD1CSTT

<リセット時 : H'04 >

D	ビット名	機能	R	W
0	AD1CTRG1(注) (A-D1ハードウェアトリガ選択1)	D0およびD2ビットでA-D1ハードウェアトリガを選択 D0 D2 0 0 : TOM0_6アンダフロー 0 1 : TIN16入力 1 0 : TOM1_6アンダフロー 1 1 : A-D0変換終了		
1	AD1CMSL (A-D1スキャンモード選択)	0 : ワンショットモード 1 : 連続モード		
2	AD1CTRG0(注) (A-D1ハードウェアトリガ選択0)	D0およびD2ビットでA-D1ハードウェアトリガを選択(D0ビットの欄参照)		
3	AD1CSEL (A-D1変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	AD1CREQ (割り込み要求選択)	0 : A-D1割り込み要求 1 : DMA転送要求		
5	AD1CCMP (A-D1変換終了)	0 : A-D1変換中 1 : A-D1変換終了		-
6	AD1CSTP (A-D1変換ストップ)	0 : 何もしません 1 : A-D1変換停止		0
7	AD1CSTT (A-D1変換スタート)	0 : 何もしません 1 : A-D1変換開始		0

注. ハードウェアトリガ選択はD0ビット(A-D1ハードウェアトリガ選択1)およびD2ビット(A-D1ハードウェアトリガ選択0)の2ビットで行います。

A-D1スキャンモードレジスタ0は、A-D1変換器のスキャンモード時の動作を制御するためのレジスタです。

(1) ADnCTRG0,ADnCTRG0 (A-Dn ハードウェアトリガ選択) ビット (D0, D2)

ハードウェアでA-Dn変換器のA-D変換を起動する場合の起動要因を選択するビットです (A-D0 : TOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブルイベント、A-D1変換の終了、A-D1 : TOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了)。ADnSSEL(A-D変換開始トリガ選択)ビットでソフトウェアスタートを選択している場合、このビットの内容は無視されます。

(2) ADnCMSL (A-Dn スキャンモード選択) ビット (D1)

このビットでA-Dn変換器スキャンワンショットモードと、スキャン連続モードを選択します。

このビットが"0"のときはスキャンワンショットモードになり、ADnIN0チャンネルからANnSCAN(スキャンループ指定)ビットで指定されたチャンネルまでのA-D変換を順次行い、すべてのチャンネルのA-D変換が終了すると変換動作は停止します。

このビットが"1"のときはスキャン連続モードになり、スキャンワンショットモードの動作終了後、再び最初のチャンネルからA-D変換を行い、ADnCSTP(A-Dn変換ストップ)ビットを"1"にして停止するまでこれを継続します。

(3) ADnCSEL (A-Dn 変換開始トリガ選択) ビット (D3)

A-Dn変換器のスキャンモード時のA-D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADnCSTT(A-Dn変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADnCTRG0(ハードウェアトリガ選択0)ビットおよびADnCTRG1(ハードウェアトリガ選択1)ビットで選択した要因でA-D変換が起動されます。

(4) ADnCREQ (A-Dn 割り込み / DMA 転送要求選択) ビット (D4)

スキャンモードの1周期終了時に、A-Dn変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。割り込み、DMA転送共に使用しない場合は、ADn変換割り込み要求を選択し、ICUのA-Dn変換器割り込み制御レジスタでマスクするか、DMA転送を選択し、DMAnチャンネル制御レジスタでA-Dn変換終了によるDMA転送を行わないように設定してください。

(5) ADnCCMP (A-Dn変換終了)ビット (D5)

読み出し専用のビットで、リセット時は"1"です。A-Dn変換器のスキャンモードA-D変換動作中は"0"になり、スキャンワンショットモード終了時、またはスキャン連続モードをADnCSTT(A-Dn変換ストップ)ビットを"1"にして停止したとき"1"になります。

(6) ADnCSTP (A-Dn変換ストップ)ビット (D6)

A-Dn変換器でスキャンモードのA-D変換中に、このビットに"1"を書き込むことで、スキャンモードの動作を停止させることができます。このビットはスキャンモードの動作にのみ有効で、特殊動作モードで、単一モード、スキャンモードが共に起動されている場合でも単一モードの動作には影響を与えません。

動作の停止はこのビットへの書き込み後直ちに行われ、変換途中のチャンネルのA-D変換は途中で打ち切られ、A-Dデータレジスタへの転送は行われません。

A-Dn変換スタートビットとA-Dn変換ストップビットを同時に"1"にした場合、A-Dn変換ストップビットが有効になります。

(7) ADnCSTT (A-Dn変換スタート)ビット (D7)

ADnCSEL(A-Dn変換開始トリガ選択)ビットで、A-Dn変換器のスキャンモードをソフトウェアで起動するためのビットで、ソフトウェアトリガを選択している場合にのみ、このビットを"1"にするとA-D変換がスタートします。

A-Dn変換スタートビットとA-Dn変換ストップビットを同時に"1"にした場合、A-Dn変換ストップビットが有効になります。

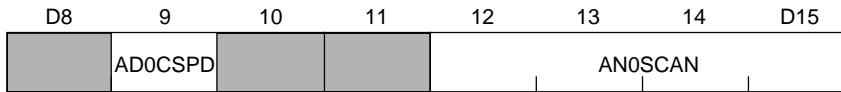
スキャンモード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、スキャンモードレジスタ0およびスキャンモードレジスタ1で設定された内容で、スキャン動作が再起動されます。

単一モードのA-D変換中にこのビットを"1"にすると、特殊動作モード「単一モード実行後スキャンモード開始」になり、単一モード終了後にスキャンモード動作を連続して開始します。

11.2.4 A-Dスキャンモードレジスタ1

A-D0スキャンモードレジスタ1(AD0SCM1)

<アドレス: H'0080 0085 >



<リセット時: H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9	AD0CSPD (注1) (A-D0変換速度選択)	低速モード選択時(AD0CVSD="0") 0: ノーマル 1: 倍速 高速モード選択時(AD0CVSD="1") 0: 2倍速 1: 4倍速		
10,11	何も配置されていません		0	-
12~15	AN0SCAN (注2) (A-D0スキャンループ指定)	<書き込み時> B'0000 ~ B'1111 (チャンネル0 ~ チャンネル15) <変換中読み出し時> 0000: AD0IN0を変換中 0001: AD0IN1を変換中 0010: AD0IN2を変換中 0011: AD0IN3を変換中 0100: AD0IN4を変換中 0101: AD0IN5を変換中 0110: AD0IN6を変換中 0111: AD0IN7を変換中 1000: AD0IN8を変換中 1001: AD0IN9を変換中 1010: AD0IN10を変換中 1011: AD0IN11を変換中 1100: AD0IN12を変換中 1101: AD0IN13を変換中 1110: AD0IN14を変換中 1111: AD0IN15を変換中		

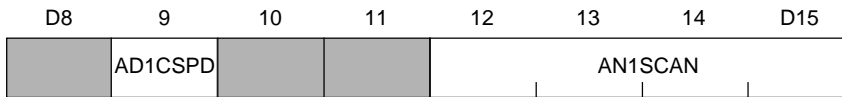
注1. スキャンモード時のA-D0変換速度はAD0CSPDビットとA-D0変換速度制御レジスタのAD0CVSDビットとの組み合わせで決まりますので、AD0CSPDビットおよびAD0CVSDビットの設定を行ってください。

注2. スキャンループにAD0IN8 ~ AD0IN15のチャンネルが含まれる場合は、AD0デジタル入力制御レジスタの設定が必要です。

A-D0スキャンモードレジスタ1は、A-D0変換器のスキャンモード時の動作を制御するためのレジスタです。

A-D1スキャンモードレジスタ1(AD1SCM1)

<アドレス : H'0080 0A85 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9	AD1CSPD (注1) (A-D1変換速度選択)	低速モード選択時(AD1CVSD="0") 0 : ノーマル 1 : 倍速 高速モード選択時(AD1CVSD="1") 0 : 2倍速 1 : 4倍速		
10,11	何も配置されていません		0	-
12~15	AN1SCAN (注2) (A-D1スキャンループ指定)	<書き込み時> B'0000 ~ B'1111 (チャンネル0 ~ チャンネル15) <変換中読み出し時> 0000 : AD1IN0を変換中 0001 : AD1IN1を変換中 0010 : AD1IN2を変換中 0011 : AD1IN3を変換中 0100 : AD1IN4を変換中 0101 : AD1IN5を変換中 0110 : AD1IN6を変換中 0111 : AD1IN7を変換中 1000 : AD1IN8を変換中 1001 : AD1IN9を変換中 1010 : AD1IN10を変換中 1011 : AD1IN11を変換中 1100 : AD1IN12を変換中 1101 : AD1IN13を変換中 1110 : AD1IN14を変換中 1111 : AD1IN15を変換中		

注1. スキャンモード時のA-D1変換速度はAD1CSPDビットとA-D1変換速度制御レジスタのAD1CVSDビットとの組み合わせで決まりますので、AD1CSPDビットおよびAD1CVSDビットの設定を行ってください。

注2. スキャンループにAD1IN4 ~ AD1IN15のチャンネルが含まれる場合は、AD1デジタル入力制御レジスタの設定が必要です。

A-D1スキャンモードレジスタ1は、A-D1変換器のスキャンモード時の動作を制御するためのレジスタです。

(1) ADnCSPD (A-Dn 変換速度選択) ビット (D9)

A-Dn変換器のスキャンモード時のA-D変換速度を選択するビットです。低速モード選択時(ADnCVSD="0")、このビットが"0"のときはノーマル、"1"のときは倍速になります。また、高速モード選択時(ADnCVSD="1")、このビットが"0"のときは2倍速、"1"のときは4倍速になります。

注. スキャンモード時のA-Dn変換速度はADnCSPDビットとA-Dn変換速度制御レジスタのADnCVSDビットとの組み合わせで決まりますので、ADnCSPDビットおよびADnCVSDビットの設定を行ってください。

(2) ANnSCAN (A-Dn スキャンループ指定) ビット (D12 ~ D15)

ANnSCAN(スキャンループ指定)ビットは、A-Dn変換器のスキャンモード時ADnIN0チャンネルをスタートとし、どのチャンネルまでをスキャンループとするかをチャンネル番号で指定します。

(指定チャンネル番号によるスキャンループの構成は表11.1.2を参照ください。)

ANnSCAN(A-Dnスキャンループ指定)ビットをスキャン動作時に読み出すと、変換中のチャンネルを示すステータスとなります。

単一モード時に、このビットは常に 'B'0000 'が読み出されます。

スキャンモード実行中に、スキャンモードレジスタ0のADnCSTP(A-Dn変換ストップ)ビットに"1"をセットしてA-D変換を中止した場合は、A-D変換動作をキャンセルされたチャンネルの値が読み出されます。

また、特殊動作モード「スキャンモード動作中の単一モード強制実行」で単一モード変換中は、スキャン途中でA-D変換動作をキャンセルされたチャンネルの値が読み出されます。

11.2.5 A-D変換速度制御レジスタ

A-D0変換速度制御レジスタ (AD0CVSCR)

< アドレス : H'0080 0087 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	AD0CVSD (注) (A-D0変換速度制御)	0: 低速モード 1: 高速モード		

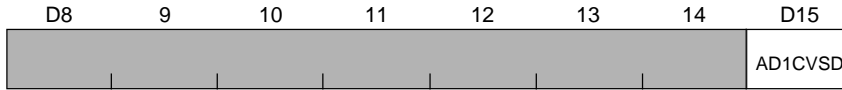
注. A-D0変換速度は、単一モードではAD0CVSDビットとA-D0単一モードレジスタ1のAD0SSPDビットとの組み合わせで、スキャンモードではAD0CVSDビットとA-D0スキャンモードレジスタ1のAD0CSPDビットとの組み合わせで決まります。単一モード時はAD0CVSDビットおよびAD0SSPDビットの設定を、スキャンモード時はAD0CVSDビットおよびAD0CSPDビットの設定を行ってください。

表11.2.1 A-D0変換速度

AD0CVSDビット 設定値	AD0SSPDビット(単一モード)設定値 AD0CSPDビット(スキャンモード)設定値	A-D0変換速度
0(低速モード)	0	ノーマル
0(低速モード)	1	倍速
1(高速モード)	0	2倍速
1(高速モード)	1	4倍速

A-D1変換速度制御レジスタ(AD1CVSCR)

<アドレス: H'0080 0A87>



<リセット時: H'00>

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	AD1CVSD (注) (A-D1変換速度制御)	0: 低速モード 1: 高速モード		

注. A-D1変換速度は、単一モードではAD1CVSDビットとA-D1単一モードレジスタ1のAD1SSPDビットとの組み合わせで、スキャンモードではAD1CVSDビットとA-D0スキャンモードレジスタ1のAD1CSPDビットとの組み合わせで決まります。単一モード時はAD1CVSDビットおよびAD1SSPDビットの設定を、スキャンモード時はAD1CVSDビットおよびAD1CSPDビットの設定を行ってください。

表11.2.2 A-D1変換速度

AD1CVSDビット 設定値	AD1SSPDビット(単一モード)設定値 AD1CSPDビット(スキャンモード)設定値	A-D1変換速度
0(低速モード)	0	ノーマル
0(低速モード)	1	倍速
1(高速モード)	0	2倍速
1(高速モード)	1	4倍速

(1) ADnCSPD (A-Dn 変換速度選択) ビット (D15)

A-Dn変換器の単一モードおよびスキャンモード時のA-D変換速度を制御するビットです。このビットが"0"のときは低速モード、"1"のときは高速モードです。

注. A-Dn変換速度は、単一モードではADnCVSDビットとA-Dn単一モードレジスタ1のADnSSPDビットとの組み合わせで、スキャンモードではADnCVSDビットとA-Dnスキャンモードレジスタ1のADnCSPDビットとの組み合わせで決まります。単一モード時はADnCVSDビットおよびADnSSPDビットの設定を、スキャンモード時はADnCVSDビットおよびADnCSPDビットの設定を行ってください。

11.2.6 A-Dデジタル入力制御レジスタ

A-D0デジタル入力制御レジスタ(AD0CHCON)

< アドレス : H'0080 008E >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
								AD0C H8CN	AD0C H9CN	AD0C H10CN	AD0C H11CN	AD0C H12CN	AD0C H13CN	AD0C H14CN	AD0C H15CN

< リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	何も配置されていません。(注1)			
8~15	AD0CH8CN ~ AD0CH15CN	0 : AD0CHnCNへの入力無効 (AD0チャンネル8~15への入力許可ビット) 1 : AD0CHnCNへの入力有効		

注1. D0~D7ビットは空きビットです。書き込んだ値が読み出せます。

注2. D8~D15の各ビットがチャンネル8~チャンネル15に対応します。

A-D0変換器へのアナログ入力AD0IN8~AD0IN15は、入力ポートおよび内部周辺I/O端子のモニタが可能となっています。アナログ入力端子AD0IN8~AD0IN15を使用する場合は、D8~D15の該当ビットに'1'を設定してください。

ただし、アナログ入力AD0IN8~AD0IN15は、アナログ入力専用端子AD0IN0~AD0IN7のような変換精度をもつものではありません。

A-D1デジタル入力制御レジスタ(AD1CHCON)

< アドレス : H'0080 0A8E >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
						AD1C H6CN	AD1C H7CN	AD1C H8CN	AD1C H9CN	AD1C H10CN	AD1C H11CN	AD1C H12CN	AD1C H13CN	AD1C H14CN	AD1C H15CN

< リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません。(注)			
6~15	AD1CH6CN ~ AD1CH15CN	0 : AD1CHnCNへの入力禁止 (AD1チャンネル6~15への入力許可ビット) 1 : AD1CHnCNへの入力許可		

注1. D0~D5ビットは空きビットです。書き込んだ値が読み出せます。

注2. D6~D15の各ビットがチャンネル6~チャンネル15に対応します。

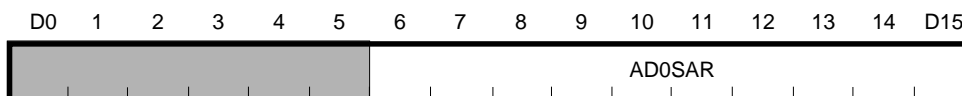
A-D1変換器へのアナログ入力AD1IN4~AD1IN15は、入力ポートおよび内部周辺I/O端子のモニタが可能となっています。アナログ入力端子AD1IN6~AD1IN15を使用する場合は、D6~D15の該当ビットに'1'を設定してください。

ただし、アナログ入力AD1IN4~AD1IN15は、アナログ入力専用端子AD1IN0~AD1IN3のような変換精度をもつものではありません。

11.2.7 A-D逐次近似レジスタ

A-D0逐次近似レジスタ(AD0SAR)

<アドレス: H'0080 0088 >



<リセット時: 不定>

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	AD0SAR	A-D逐次近似値(A-D変換モード) (A-D0逐次近似値/比較値) 比較値(コンパレータモード)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

A-D0逐次近似レジスタ(AD0SAR)は、A-D変換モードの場合はA-D0変換器の変換結果を読み出し、コンパレートモードの場合は比較値を書き込むレジスタです。

A-D変換モードでは、A-D変換を逐次近似比較方式で行いますが、この方式では基準電圧VREFとアナログ入力電圧を上位側から順に1ビット単位で比較した結果を、A-D0逐次近似レジスタ(AD0SAR)の各ビット(D6~D15)に対してセットします。A-D変換終了後はこのレジスタの値が、変換を行ったチャンネルに対応する10ビットA-D0データレジスタ(AD0DTn)に転送されます。なお、A-D変換の途中でこのレジスタを読み出すと、変換の途中結果が読み出されます。

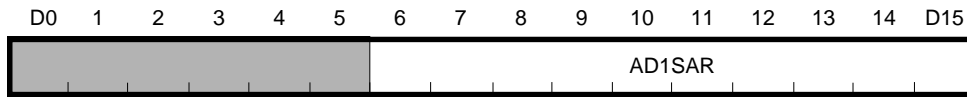
コンパレータモードでは、このレジスタに比較値(コンパレート比較電圧)を書き込みます。書き込みと同時に単一モードレジスタ1で設定したアナログ入力端子とのコンパレート動作が開始されます。コンパレート終了後、結果はA-D0コンパレートデータレジスタ(AD0CMP)に格納されます。

コンパレータモードでA-D0逐次近似レジスタ(AD0SAR)に書き込む比較値の値は、以下の計算式で求めます。

$$\text{比較値} = \text{H}'3\text{FF} \times \frac{\text{コンパレート比較電圧 [V]}}{\text{VREF0入力電圧 [V]}}$$

A-D1逐次近似レジスタ(AD1SAR)

<アドレス: H'0080 0A88 >



<リセット時: 不定 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	AD1SAR	A-D逐次近似値(A-D変換モード) (A-D1逐次近似値/比較値) 比較値(コンパレータモード)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

A-D1逐次近似レジスタ(AD1SAR)は、A-D変換モードの場合はA-D1変換器の変換結果を読み出し、コンパレータモードの場合は比較値を書き込むレジスタです。

A-D変換モードでは、A-D変換を逐次近似比較方式で行いますが、この方式では基準電圧VREFとアナログ入力電圧を上位側から順に1ビット単位で比較した結果を、A-D1逐次近似レジスタ(AD1SAR)の各ビット(D6~D15)に対してセットします。A-D変換終了後はこのレジスタの値が、変換を行ったチャンネルに対応する10ビットA-D1データレジスタ(AD1DTn)に転送されます。なお、A-D変換の途中でこのレジスタを読み出すと、変換の途中結果が読み出されます。

コンパレータモードでは、このレジスタに比較値(コンパレータ比較電圧)を書き込みます。書き込みと同時に単一モードレジスタ1で設定したアナログ入力端子とのコンパレータ動作が開始されます。コンパレータ終了後、結果はA-D1コンパレータデータレジスタ(AD1CMP)に格納されます。

コンパレータモードでA-D1逐次近似レジスタ(AD1SAR)に書き込む比較値の値は、以下の計算式で求めます。

$$\text{比較値} = \text{H}'3\text{FF} \times \frac{\text{コンパレータ比較電圧 [V]}}{\text{VREF1入力電圧 [V]}}$$

11.2.8 A-Dコンパレートデータレジスタ

A-D0コンパレートデータレジスタ(AD0CMP)

< アドレス : H'0080 008C >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
AD0 CMP0	AD0 CMP1	AD0 CMP2	AD0 CMP3	AD0 CMP4	AD0 CMP5	AD0 CMP6	AD0 CMP7	AD0 CMP8	AD0 CMP9	AD0 CMP10	AD0 CMP11	AD0 CMP12	AD0 CMP13	AD0 CMP14	AD0 CMP15

< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	AD0CMP0 ~ AD0CMP15	(注2)0 : アナログ入力電圧 > 比較電圧 (A-D0コンパレート結果フラグ) 1 : アナログ入力電圧 < 比較電圧		-

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. コンパレータモード時に、各ビットがチャンネル0 ~ チャンネル15に対応します。

A-D0単一モードレジスタ1のAD0SMSL(A-D0変換モード選択)ビットでコンパレートモードを選択した場合、選択されたアナログ入力値と、A-D0逐次近似レジスタに書き込んだ値との比較を行い、結果をこのレジスタの対応するビットに格納します。

アナログ入力電圧 > 比較電圧のとき"0"、アナログ入力電圧 < 比較電圧のとき"1"になります。

A-D1コンパレートデータレジスタ(AD1CMP)

<アドレス : H'0080 0A8C >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
AD1 CMP0	AD1 CMP1	AD1 CMP2	AD1 CMP3	AD1 CMP4	AD1 CMP5	AD1 CMP6	AD1 CMP7	AD1 CMP8	AD1 CMP9	AD1 CMP10	AD1 CMP11	AD1 CMP12	AD1 CMP13	AD1 CMP14	AD1 CMP15

<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	AD1CMP0~AD1CMP15	(注2)0 : アナログ入力電圧 > 比較電圧 (A-D1コンパレート結果フラグ) 1 : アナログ入力電圧 < 比較電圧		-

注1. このレジスタは、必ずハーフワードでアクセスしてください。

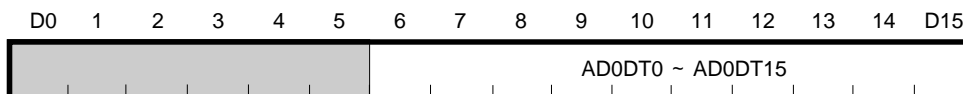
注2. コンパレータモード時に、各ビットがチャンネル0~チャンネル15に対応します。

A-D1単一モードレジスタ1のAD1SMSL(A-D1変換モード選択)ビットでコンパレートモードを選択した場合、選択されたアナログ入力値と、A-D1逐次近似レジスタに書き込んだ値との比較を行い、結果をこのレジスタの対応するビットに格納します。

アナログ入力電圧 > 比較電圧のとき"0"、アナログ入力電圧 < 比較電圧のとき"1"になります。

11.2.9 10ビットA-Dデータレジスタ

10ビットA-D0データレジスタα (AD0DT0)	<アドレス : H'0080 0090>
10ビットA-D0データレジスタ1 (AD0DT1)	<アドレス : H'0080 0092>
10ビットA-D0データレジスタ2 (AD0DT2)	<アドレス : H'0080 0094>
10ビットA-D0データレジスタ3 (AD0DT3)	<アドレス : H'0080 0096>
10ビットA-D0データレジスタ4 (AD0DT4)	<アドレス : H'0080 0098>
10ビットA-D0データレジスタ5 (AD0DT5)	<アドレス : H'0080 009A>
10ビットA-D0データレジスタ6 (AD0DT6)	<アドレス : H'0080 009C>
10ビットA-D0データレジスタ7 (AD0DT7)	<アドレス : H'0080 009E>
10ビットA-D0データレジスタ8 (AD0DT8)	<アドレス : H'0080 00A0>
10ビットA-D0データレジスタ9 (AD0DT9)	<アドレス : H'0080 00A2>
10ビットA-D0データレジスタ10 (AD0DT10)	<アドレス : H'0080 00A4>
10ビットA-D0データレジスタ11 (AD0DT11)	<アドレス : H'0080 00A6>
10ビットA-D0データレジスタ12 (AD0DT12)	<アドレス : H'0080 00A8>
10ビットA-D0データレジスタ13 (AD0DT13)	<アドレス : H'0080 00AA>
10ビットA-D0データレジスタ14 (AD0DT14)	<アドレス : H'0080 00AC>
10ビットA-D0データレジスタ15 (AD0DT15)	<アドレス : H'0080 00AE>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	AD0DT0 ~ AD0DT15 (A-D0データ)	A-D変換結果		-

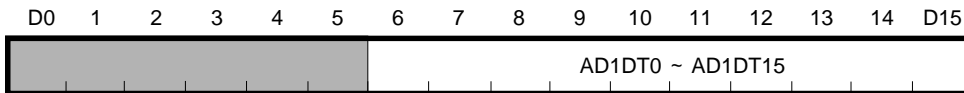
注. このレジスタは、必ずハーフワードでアクセスしてください。

A-D0変換器の単一モードでは、A-D変換の結果が、対応するチャンネルの10ビットA-D0データレジスタに格納されます。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D0逐次近似レジスタの内容が、対応するチャンネルの10ビットA-Dデータレジスタに転送されます。

各10ビットA-Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

10ビットA-D1データレジスタ0(AD1DT0)	<アドレス : H'0080 0A90>
10ビットA-D1データレジスタ1(AD1DT1)	<アドレス : H'0080 0A92>
10ビットA-D1データレジスタ2(AD1DT2)	<アドレス : H'0080 0A94>
10ビットA-D1データレジスタ3(AD1DT3)	<アドレス : H'0080 0A96>
10ビットA-D1データレジスタ4(AD1DT4)	<アドレス : H'0080 0A98>
10ビットA-D1データレジスタ5(AD1DT5)	<アドレス : H'0080 0A9A>
10ビットA-D1データレジスタ6(AD1DT6)	<アドレス : H'0080 0A9C>
10ビットA-D1データレジスタ7(AD1DT7)	<アドレス : H'0080 0A9E>
10ビットA-D1データレジスタ8(AD1DT8)	<アドレス : H'0080 0AA0>
10ビットA-D1データレジスタ9(AD1DT9)	<アドレス : H'0080 0AA2>
10ビットA-D1データレジスタ10(AD1DT10)	<アドレス : H'0080 0AA4>
10ビットA-D1データレジスタ11(AD1DT11)	<アドレス : H'0080 0AA6>
10ビットA-D1データレジスタ12(AD1DT12)	<アドレス : H'0080 0AA8>
10ビットA-D1データレジスタ13(AD1DT13)	<アドレス : H'0080 0AAA>
10ビットA-D1データレジスタ14(AD1DT14)	<アドレス : H'0080 0AAC>
10ビットA-D1データレジスタ15(AD1DT15)	<アドレス : H'0080 0AAE>



<リセット時 : 不定>				
D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	AD1DT0 ~ AD1DT15 (A-D1データ)	A-D変換結果		-

注. このレジスタは、必ずハーフワードでアクセスしてください。

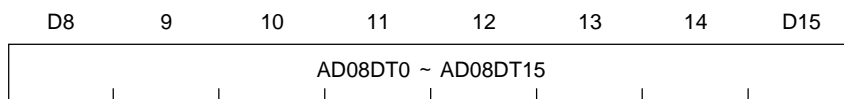
A-D1変換器の単一モードでは、A-D変換の結果が、対応するチャンネルの10ビットA-D1データレジスタに格納されます。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D1逐次近似レジスタの内容が、対応するチャンネルの10ビットA-Dデータレジスタに転送されます。

各10ビットA-Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

11.2.10 8ビットA-Dデータレジスタ

8ビットA-D0データレジスタ0(AD08DT0)	<アドレス : H'0080 00D1>
8ビットA-D0データレジスタ1(AD08DT1)	<アドレス : H'0080 00D3>
8ビットA-D0データレジスタ2(AD08DT2)	<アドレス : H'0080 00D5>
8ビットA-D0データレジスタ3(AD08DT3)	<アドレス : H'0080 00D7>
8ビットA-D0データレジスタ4(AD08DT4)	<アドレス : H'0080 00D9>
8ビットA-D0データレジスタ5(AD08DT5)	<アドレス : H'0080 00DB>
8ビットA-D0データレジスタ6(AD08DT6)	<アドレス : H'0080 00DD>
8ビットA-D0データレジスタ7(AD08DT7)	<アドレス : H'0080 00DF>
8ビットA-D0データレジスタ8(AD08DT8)	<アドレス : H'0080 00E1>
8ビットA-D0データレジスタ9(AD08DT9)	<アドレス : H'0080 00E3>
8ビットA-D0データレジスタ10(AD08DT10)	<アドレス : H'0080 00E5>
8ビットA-D0データレジスタ11(AD08DT11)	<アドレス : H'0080 00E7>
8ビットA-D0データレジスタ12(AD08DT12)	<アドレス : H'0080 00E9>
8ビットA-D0データレジスタ13(AD08DT13)	<アドレス : H'0080 00EB>
8ビットA-D0データレジスタ14(AD08DT14)	<アドレス : H'0080 00ED>
8ビットA-D0データレジスタ15(AD08DT15)	<アドレス : H'0080 00EF>



<リセット時 : 不定>

D	ビット名	機能	R	W
8~15	AD08DT0 ~ AD08DT15 (8ビットA-D0データ)	8ビットA-D変換結果		-

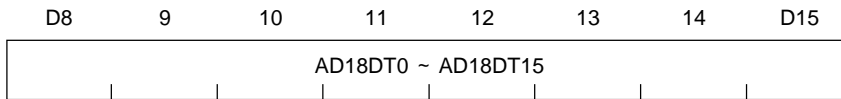
このA-Dデータレジスタには、A-D0変換器の8ビット変換データが格納されます。

A-D0変換器の単一モードでは、A-D変換の結果が、対応するチャンネルの8ビットA-D0データレジスタに格納されます。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D0逐次近似レジスタの内容が、対応するチャンネルの8ビットA-D0データレジスタに転送されます。

各8ビットA-D0データレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでもその内容を読み出すことができます。

8ビットA-D1データレジスタ0(AD18DT0)	<アドレス: H'0080 0AD1>
8ビットA-D1データレジスタ1(AD18DT1)	<アドレス: H'0080 0AD3>
8ビットA-D1データレジスタ2(AD18DT2)	<アドレス: H'0080 0AD5>
8ビットA-D1データレジスタ3(AD18DT3)	<アドレス: H'0080 0AD7>
8ビットA-D1データレジスタ4(AD18DT4)	<アドレス: H'0080 0AD9>
8ビットA-D1データレジスタ5(AD18DT5)	<アドレス: H'0080 0ADB>
8ビットA-D1データレジスタ6(AD18DT6)	<アドレス: H'0080 0ADD>
8ビットA-D1データレジスタ7(AD18DT7)	<アドレス: H'0080 0ADF>
8ビットA-D1データレジスタ8(AD18DT8)	<アドレス: H'0080 0AE1>
8ビットA-D1データレジスタ9(AD18DT9)	<アドレス: H'0080 0AE3>
8ビットA-D1データレジスタ10(AD18DT10)	<アドレス: H'0080 0AE5>
8ビットA-D1データレジスタ11(AD18DT11)	<アドレス: H'0080 0AE7>
8ビットA-D1データレジスタ12(AD18DT12)	<アドレス: H'0080 0AE9>
8ビットA-D1データレジスタ13(AD18DT13)	<アドレス: H'0080 0AEB>
8ビットA-D1データレジスタ14(AD18DT14)	<アドレス: H'0080 0AED>
8ビットA-D1データレジスタ15(AD18DT15)	<アドレス: H'0080 0AEF>



<リセット時: 不定>

D	ビット名	機能	R	W
8~15	AD18DT0~AD18DT15 (8ビットA-D0データ)	8ビットA-D1変換結果		-

このA-Dデータレジスタには、A-D1変換器の8ビット変換データが格納されます。

A-D1変換器の単一モードでは、A-D変換の結果が、対応するチャンネルの8ビットA-D1データレジスタに格納されます。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D1逐次近似レジスタの内容が、対応するチャンネルの8ビットA-D1データレジスタに転送されます。

各8ビットA-D1データレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでもその内容を読み出すことができます。

11.3 A-D変換器機能説明

11.3.1 アナログ入力電圧の求め方

A-D変換器は、10ビット逐次近似方式を採用しており、A-D変換の実行結果で得られる値（デジタル値）から実際のアナログ入力電圧を求めるには、以下の計算を行います。

$$\text{アナログ入力電圧 [V]} = \frac{\text{A-D変換結果} \times \text{VREF入力電圧 [V]}}{1024}$$

A-D変換器は10ビット構成であり、分解能は1024となります。A-D変換器の基準電圧は、VREF端子に入力された電圧になるため、VREFには正確かつ安定な定電圧電源を接続して下さい。またアナログ系の電源、グランド(AVCC, AVSS)はデジタル系の電源と分離し、ノイズ対策を十分とってください。

なお、変換の精度については、11.3.5「A-D変換の精度」をご覧ください。

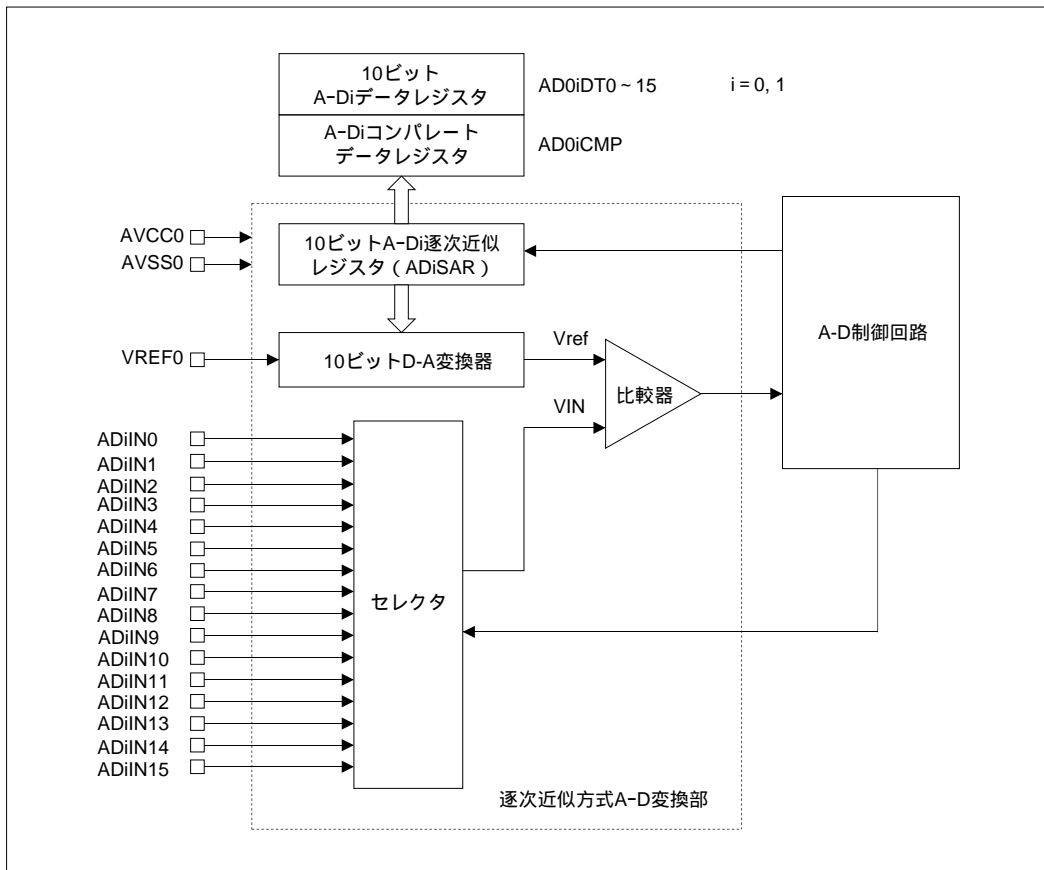


図11.3.1 逐次近似方式A-D0変換部概略ブロック図

11.3.2 逐次近似比較方式のA-D変換

A-D変換器は、A-D変換開始トリガ(ソフトウェアまたはハードウェア)によりA-D変換動作を開始します。A-D変換開始後は、以下の動作を自動的に実行します。

単一モード時は単一モードレジスタ0のA-D変換/コンパレート終了ビットを、またスキャンモード時はスキャンモードレジスタ0のA-D変換終了ビットを"0"にクリア

A-D逐次近似レジスタの内容を"H'0000"にクリア

A-D逐次近似レジスタの最上位ビット(D6)を"1"にセット

比較電圧Vref(注)を、D-Aコンバータから比較器へ入力

比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をD6に格納

Vref < VIN ならば、D6 = "1"

Vref > VIN ならば、D6 = "0"

上記(～)の動作を、以下D7～D15までの全ビットに対して実行

D15の比較終了時A-D逐次近似レジスタに格納されている値をA-D変換結果として確定

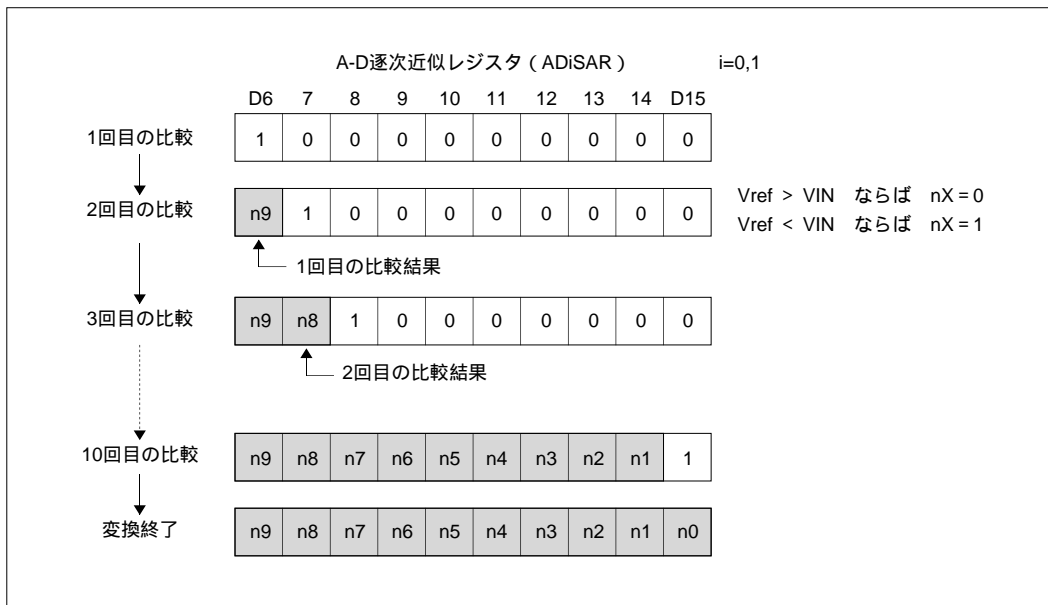


図11.3.2 A-D変換動作中のA-D逐次近似レジスタの変化

注. 比較電圧Vref(D-Aコンバータから比較器へ入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

A-D逐次近似レジスタの内容 = 0 の場合

$$V_{ref}[V] = 0$$

A-D逐次近似レジスタの内容 = 1 ~ 1023 の場合

$$V_{ref}[V] = (\text{基準電圧 } V_{REF} / 1024) \times (\text{A-D逐次近似レジスタの内容} - 0.5)$$

比較結果は、変換を行ったチャンネルに対応した10ビットA-Dデータレジスタ(AD0DTn, AD1DTn)に格納されます。また、8ビットA-Dデータレジスタ(AD08DTn, AD18DTn)からは、10ビットA-D変換結果の上位8ビットが読み出せます。

各動作モードにおける逐次近似比較方式のA-D変換の手順を以下に示します。

(1) 単一モードの場合

A-D逐次近似レジスタのD15ビットの比較が完了すると変換動作は停止します。A-D逐次近似レジスタの内容(A-D変換結果)は、変換を行った10ビットA-Dデータレジスタ0~15に転送されます。

(2) スキャンワンショットモードの場合

指定したあるチャンネルのA-D逐次近似レジスタでD15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記 ~ の変換動作を再び実行します。

スキャンワンショットモード時は、指定した1スキャンループのA-D変換が終了すると、変換動作は停止します。

(3) スキャン連続モードの場合

指定したチャンネルのA-D逐次近似レジスタでD15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記 ~ の変換動作を再び実行します。

スキャン連続モード時は、A-D変換ストップビット(スキャンモードレジスタ0のD6)を"1"にセットし、スキャン動作を強制停止させるまで、連続して変換動作を実行します。

11.3.3 コンパレータ動作

コンパレータモード(単一モードのみ)を選択すると、A-D変換器はソフトウェアによって設定した比較電圧と、アナログ入力電圧を比較するコンパレータとして機能します。

逐次近似レジスタに比較値を書き込むと、単一モードレジスタ1のアナログ入力選択ビットで選択されたアナログ入力電圧と、逐次近似レジスタに書き込んだ値とのコンパレートを開始します。コンパレートが開始すると、以下の動作が自動的に実行されます。

単一モードレジスタ0またはスキャンモードレジスタ0のA-D変換 / コンパレート終了フラグを"0"にクリア

比較電圧Vref(注)を、D-Aコンバータから比較器へ入力

比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をコンパレート結果フラグ(A-DコンパレートデータレジスタのD15)に格納

Vref < VIN ならば、コンパレート結果フラグ = " 0 "

Vref > VIN ならば、コンパレート結果フラグ = " 1 "

比較結果を格納後、コンパレート動作を停止

比較結果は、A-Dコンパレートデータレジスタ(AD0CMP, AD1CMP)の対応するビットに格納されます。

注. 比較電圧Vref(D-Aコンバータから比較器に入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

A-D逐次近似レジスタの内容 = 0 の場合

$$Vref[V] = 0$$

A-D逐次近似レジスタの内容 = 1 ~ 1023 の場合

$$Vref[V] = (\text{基準電圧 } VREF / 1024) \times (\text{A-D逐次近似レジスタの内容} - 0.5)$$

11.3.4 A-D変換時間算出方法

A-D変換時間はダミーサイクル時間と実際の実行サイクル時間との和で表されます。変換時間の算出に必要な各時間は以下の通りです。

開始ダミー時間

CPUがA-D変換の開始命令を実行した時点から、A-D変換器がA-D変換を開始するまでの時間

A-D変換実行サイクル時間

コンパレート実行サイクル時間

終了ダミー時間

A-D変換器がA-D変換を終了した時点から、CPUがその変換結果をA-Dデータレジスタから読み出せる(安定読み出し領域)までの時間

スキャン間ダミー時間

スキャンワンショット/連続モード時、A-D変換器があるチャンネルのA-D変換を終了した時点から、次のチャンネルのA-D変換を開始するまでの時間

A-D変換時間の計算式は以下のとおりです。

$$\begin{aligned} \text{A-D変換時間} &= \text{開始ダミー時間} + \text{実行サイクル時間} \\ & \quad (+ \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\ & \quad + \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\ & \quad + \text{スキャン間ダミー時間} \quad + \text{実行サイクル時間}) \\ & \quad + \text{終了ダミー時間} \end{aligned}$$

注.()内はスキャンモードで、2チャンネル目以降の変換時間を示します

(1) A-D 変換モード時の変換時間算出方法

A-D変換モード時の変換時間算出方法を以下に示します。

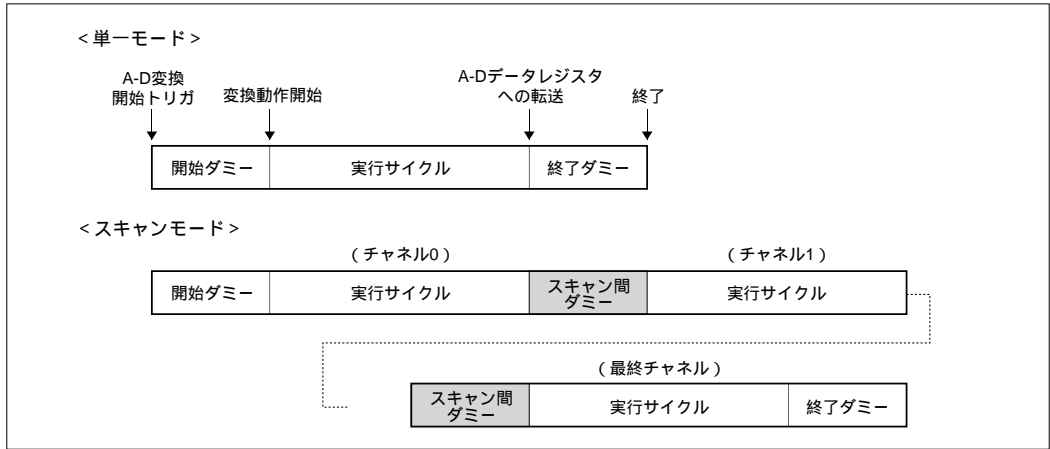


図11.3.3 A-D変換モードの変換時間概念図

表11.3.1 A-D変換モードの変換クロック数一覧

単位：内部周辺クロック

転送速度		開始ダミー	実行サイクル	終了ダミー	スキャン間ダミー(注)
低速モード	ノーマル	4	294	1	4
	倍速	4	168	1	4
高速モード	2倍速	4	126	1	4
	4倍速	4	84	1	4

注. スキャン動作時のみ、チャンネルごとの実行時間に加算されます。

(2) コンパレートモード時の変換時間算出方法

コンパレートモード時の変換時間算出方法を以下に示します。

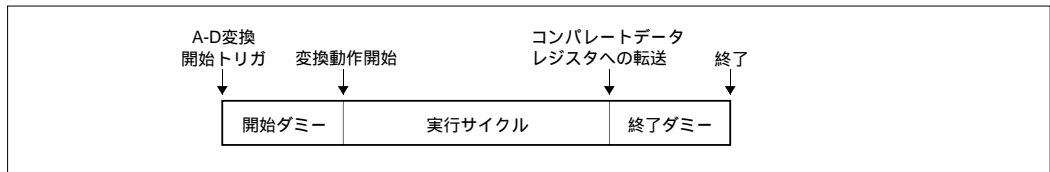


図11.3.4 コンパレートモードの変換時間概念図

表11.3.2 コンパレートモードの変換クロック数一覧

単位：内部周辺クロック

転送速度		開始ダミー	実行サイクル	終了ダミー
低速モード	ノーマル	4	42	1
	倍速	4	24	1
高速モード	2倍速	4	18	1
	4倍速	4	12	1

表11.3.2 ソフトウェアトリガによるA-D変換時間(合計時間)

変換開始方法	変換速度	変換モード(注1)	変換時間 [BCLK]	
(注2)	低速モード：ノーマル	単一モード	299	
		スキャンワンショット / 連続モード	n チャンネルスキャン (298×n)+1	
		コンパレータモード	47	
		低速モード：倍速	単一モード	173
			スキャンワンショット / 連続モード	n チャンネルスキャン (172×n)+1
			コンパレータモード	29
	高速モード：2倍速	単一モード	131	
		スキャンワンショット / 連続モード	n チャンネルスキャン (130×n)+1	
		コンパレータモード	23	
		高速モード：4倍速	単一モード	89
			スキャンワンショット / 連続モード	n チャンネルスキャン (88×n)+1
			コンパレータモード	17

注1. 単一モードおよびコンパレータモードは、1チャンネルのA-D変換、コンパレート時間を示します。
スキャンワンショット/連続モードは、1スキャンループのA-D変換時間を示します。

注2. レジスタの書き込みサイクルが終了してから、A-D変換終了割り込み要求が発生するまでの時間を示します。

表11.3.3 ハードウェアトリガによるA-D変換時間(合計時間)

変換開始方法	変換速度	変換モード(注1)	変換時間[BCLK]	
(注2)	低速モード：ノーマル	単一モード	299	
		スキャンワンショット / 連続モード	n チャンネルスキャン $(298 \times n) + 1$	
		コンパレータモード	47	
		低速モード：倍速	単一モード	173
			スキャンワンショット / 連続モード	n チャンネルスキャン $(172 \times n) + 1$
			コンパレータモード	29
	高速モード：2倍速	単一モード	131	
		スキャンワンショット / 連続モード	n チャンネルスキャン $(130 \times n) + 1$	
		コンパレータモード	23	
		高速モード：4倍速	単一モード	89
			スキャンワンショット / 連続モード	n チャンネルスキャン $(88 \times n) + 1$
			コンパレータモード	17

注1. 単一モードおよびコンパレータモードは、1チャンネルのA-D変換、コンパレート時間を示します。
スキャンワンショット/連続モードは、1スキャンループのA-D変換時間を示します。

注2. A-D0変換器の場合は、TOM0_6のアンダフロー、外部端子TIN16への入力、TOM0_0~7のイネーブルイベント、A-D1変換の終了からA-D0変換終了割り込み要求が発生するまでの時間を示します。
A-D1変換器の場合は、TOM0_6のアンダフロー、外部端子TIN16への入力、TOM1_6のアンダフロー、A-D0変換の終了からA-D1変換終了割り込み要求が発生するまでの時間を示します。

11.3.5 A-D変換精度の定義

A-D変換器の精度は絶対精度で示します。絶対精度とは、アナログ入力電圧をA-D変換して得られる出力コードと、理想的な特性を持つA-D変換器に期待される出力コードの差をLSBを用いて示した精度です。

精度測定時のアナログ入力電圧は、理想的な特性を持つA-D変換器が同一の出力コードを出力する電圧幅の中点の値とします。例えば、 $V_{REF0} = 5.12V$ の場合、10ビットA-D変換器の1LSBの幅は5mVとなり、アナログ入力電圧の中点として0mV, 5mV, 10mV, 15mV, 20mV, 25mV……が選ばれます。

A-D変換器の絶対精度 = $\pm 2LSB$ とは、例えば入力電圧が25mVの場合、理想的なA-D変換器に期待される出力コードが"H'005"であるのに対して、実際のA-D変換結果は"H'003 ~ H'007"の範囲にあることを示します。なお、絶対精度にはゼロ誤差、フルスケール誤差が含まれます。

実際にA-D変換器を使用するときの、アナログ入力電圧の範囲はAVSS0からVREF0までですが、VREF0の電圧を下げて使用すると分解能が悪くなります。また、VREF0からAVCC0までのアナログ入力電圧に対する出力コードは、常に"H'3FF"となります。

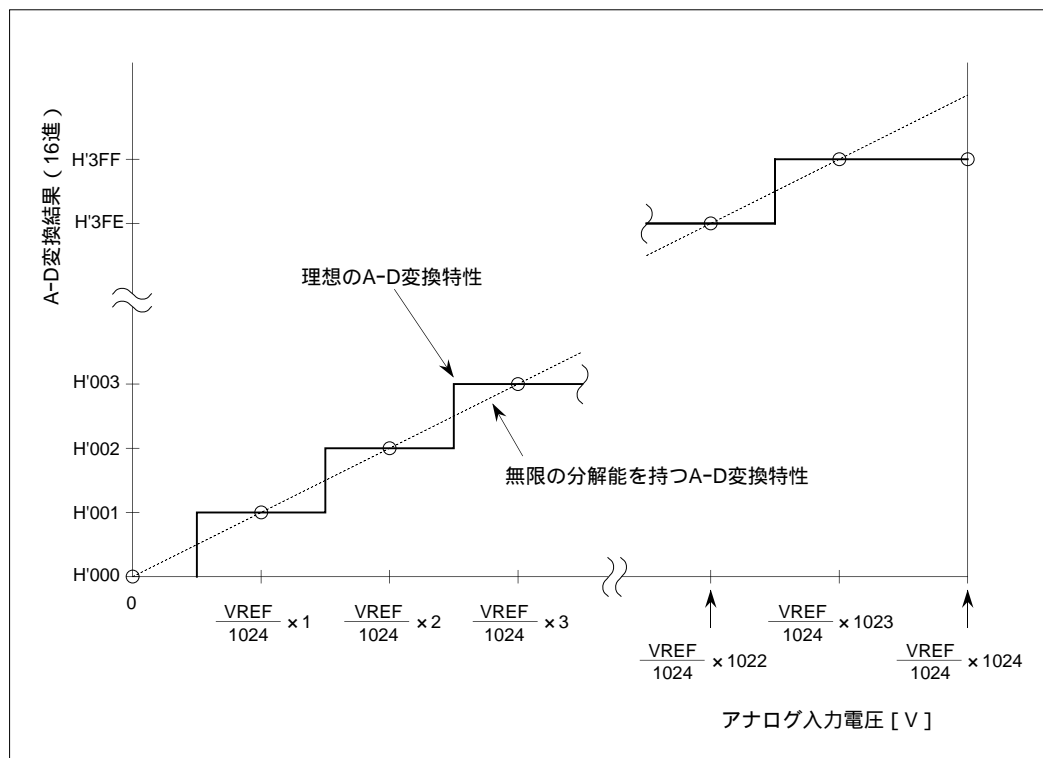


図11.3.4 10ビットA-D変換器のアナログ入力電圧に対する理想的A-D変換特性

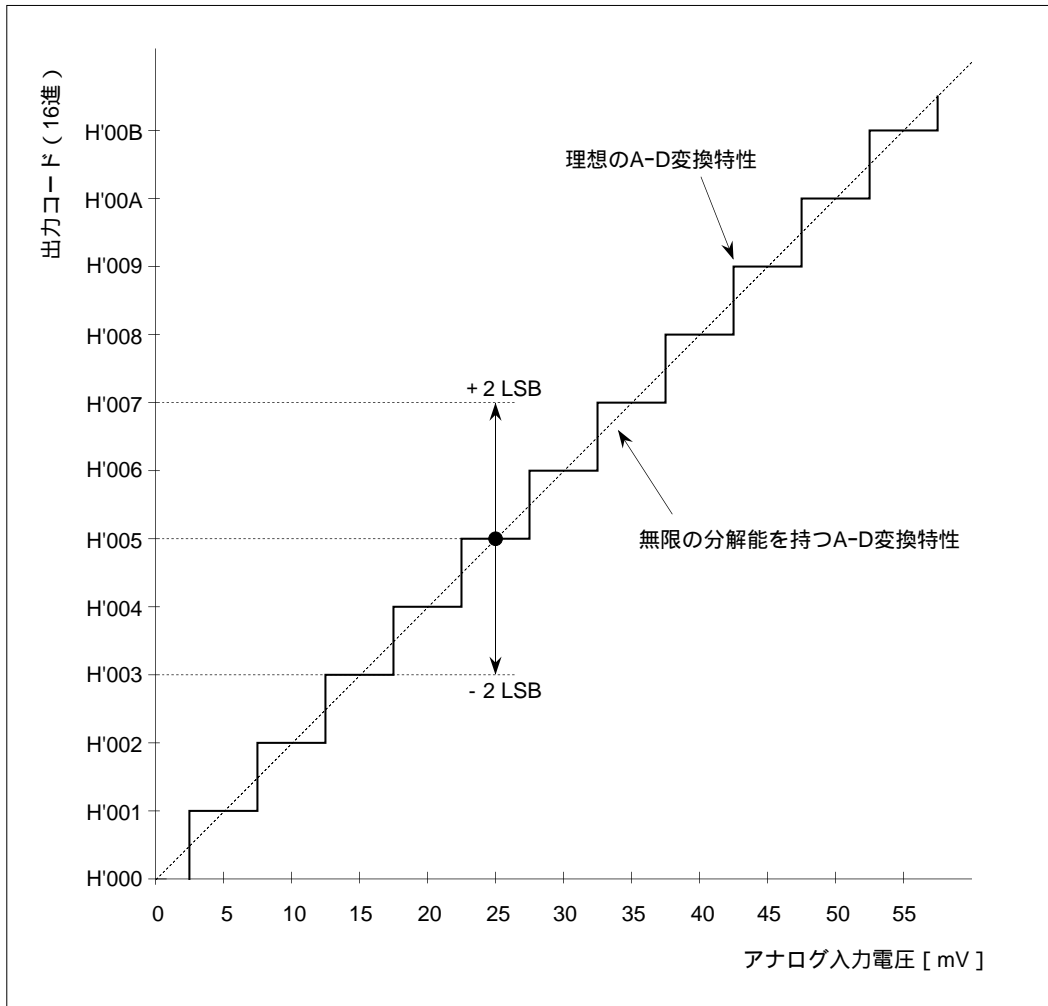


図11.3.5 A-D変換器の絶対精度

11.4 A-D変換器の注意事項

スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット(AD0CSTP, AD1CSTP)を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

アナログ入力信号の取り扱い

このA-D変換器には、サンプルアンドホールド回路は内蔵されていません。したがって、A-D変換中はアナログ入力レベルを固定してください。

A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のD5ビット、およびスキャンモードレジスタ0のD5ビット)を読み出す場合は、NOP命令などで1サイクル分タイミング調整してから読み出してください。

絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。ボード設計時にはAVCC0/AVSS0/VREF0を他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないようレイアウトには十分注意してください。

アナログ入力端子に関して

図11.4.1にアナログ入力部の内部等価回路を示します。正確なA-D変換結果を得るには、所定の時間(サンプリング時間)内にA-D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不要な場合についての考え方も示します。

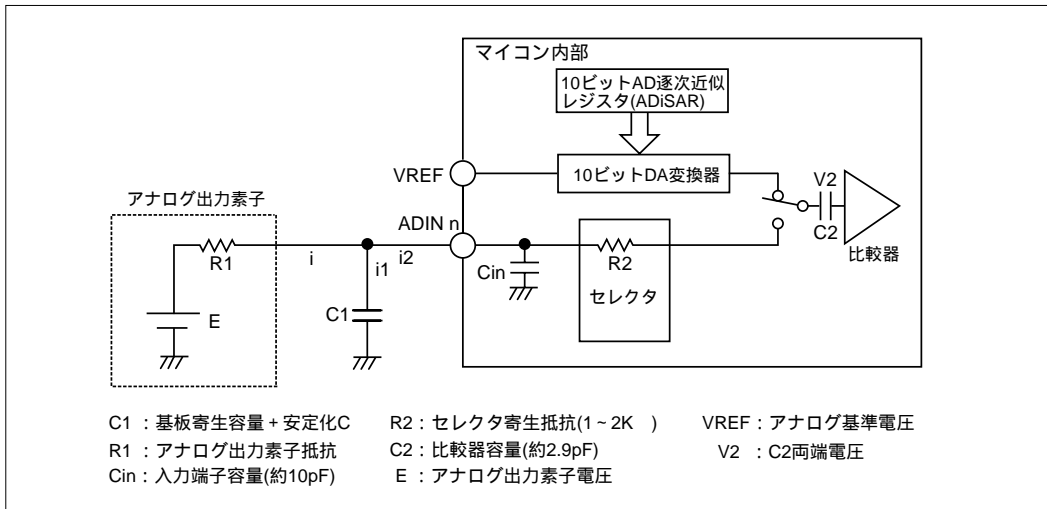


図11.4.1 アナログ入力部の内部等価回路

(a) 外付け安定化コンデンサC1 (付加を推奨) の算出例

図11.4.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VREFを5.12Vとした場合の10ビットA-D変換器では、1LSB判定電圧 = 5.12V / 1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \quad \dots \dots \dots (A-1)式$$

また、Vpは以下の式にても求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} \times \frac{V_{REF}}{10 \times 2^x} \quad \dots \dots \dots (A-2)式$$

注1. Vp1は、A-D変換1回目の電位変動

注2. 10ビット分解能A-D変換器のため、xは"10"です。

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \quad \dots \dots \dots (A-3)式$$

よって、10ビット分解能 = A-D変換器で C2 = 2.9pFの場合のC1は、0.06μF以上となります。C1設定時の参考としてご使用ください。

(b) C1を付加しない場合の出力インピーダンスR1の最大値

図11.4.1において、外付けコンデンサC1を使用しない場合、C2を十分に充電できるかを検討する必要があります。まず、図11.4.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i2 = \frac{C2(E - V2)}{Cin \times R1 + C2(R1 + R2)} \times \exp \left\{ \frac{-t}{Cin \times R1 + C2(R1 + R2)} \right\} \dots \dots \dots (B-1)式$$

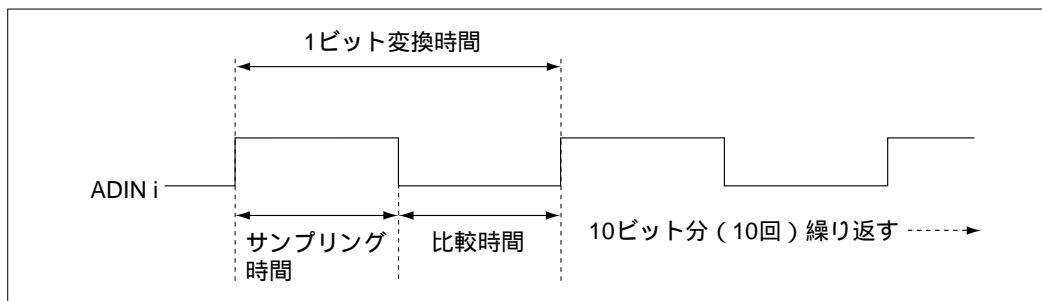


図11.4.2 A-D変換タイミング図

C2への充電に必要な時間は、図11.4.2でのA-D変換タイミング図に示すサンプリング時間/2の時間内に充電する必要があります。t = T(C2充電必要時間)として

$$T = \text{サンプル時間} / 2 = \frac{1 \text{ビット変換時間}}{4} = \frac{A-D変換時間}{10 \times 4}$$

よって、C2を充電するために必要な時間は、(B-1)式より

$$T = (C2充電必要時間) > Cin \times R1 + C2(R1 + R2) \dots \dots \dots (B-2)式$$

となり、R1の最大値を求める目安の式は、以下のようになります。

$$R1 < \frac{\frac{A-D変換時間}{10 \times 4} - C2 \times R2}{Cin + C2} \dots \dots \dots (B-3)式$$

以下に、Xin = 10/8MHz, Cin=10pF, C2=2.9pF, R2=2K時のA-D変換モードでのR1最大値算出例を示します。

Xin	BCLK 周期	変換モード	速度モード	A-D変換 実行サイクル	T (C2充電時間):ns	R1最大値()
10MHz	50ns	A-D変換モード/単一	低速モード:ノーマル	294	367	28,000
			低速モード:倍速	168	210	15,829
			高速モード:2倍速	126	157	11,720
			高速モード:4倍速	84	105	7,689
8MHz	62.5ns	A-D変換モード/単一	低速モード:ノーマル	294	459	35,131
			低速モード:倍速	168	262	19,860
			高速モード:2倍速	126	196	14,744
			高速モード:4倍速	84	131	9,705

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

また、コンパレートモードは、サンプリング/比較が各1回のため以下の式になります。

$$R1 < \frac{\frac{\text{A-D変換時間}}{4} - C2 \times R2}{Cin + C2} \dots \dots \dots \text{(B-4)式}$$

以下に、Xin = 10/8MHz, Cin=10pF, C2=2.9pF, R2=2K時のコンパレートモードでのR1最大値算出例を示します。

Xin	BCLK 周期	変換モード	速度モード	A-D変換 実行サイクル	T (C2充電時間):ns	R1最大値()
10MHz	50ns	コンパレートモード/単一	低速モード:ノーマル	42	525	40,248
			低速モード:倍速	24	300	22,806
			高速モード:2倍速	18	225	16,992
			高速モード:4倍速	12	150	11,403
8MHz	62.5ns	コンパレートモード/単一	低速モード:ノーマル	42	656	50,403
			低速モード:倍速	24	375	28,620
			高速モード:2倍速	18	281	21,333
			高速モード:4倍速	12	187	14,046

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

第12章

シリアル/O

- 12.1 シリアル/O概要
- 12.2 シリアル/O関連レジスタ
- 12.3 CSIOモード送信動作説明
- 12.4 CSIOモード受信動作説明
- 12.5 CSIOモード時の注意事項
- 12.6 UARTモード送信動作説明
- 12.7 UARTモード受信動作説明
- 12.8 定周期クロック出力機能
- 12.9 UARTモード時の注意事項

12.1 シリアルI/O概要

32172/32173は、SIO0、SIO1、SIO2、SIO3、SIO4、SIO5、SIO6、SIO7の計8チャンネルのシリアルI/Oを内蔵しております。SIO0、SIO1、SIO4、SIO5はCSIOモード(クロック同期形シリアルI/O)と、UARTモード(クロック非同期形シリアルI/O)を選択できます。SIO2、SIO3、SIO6、SIO7はUARTモード専用となっています。

CSIOモード(クロック同期形シリアルI/O)

転送クロックに同期して通信を行うモードで、送受信間で同一のクロックを使用します。転送データ長は8ビット固定です。

UARTモード(クロック非同期形シリアルI/O)

非同期形通信を行うモードで、転送データ長は7ビット、8ビット、9ビットから選択できます。

シリアルI/O0~7は、それぞれ送信DMA転送要求と受信DMA転送要求を持っています。内蔵DMAを用いることにより、高速なシリアル通信が可能となり、また、データ通信にともなうCPUの負荷も低減されます。

以下にシリアルI/Oの概要を示します。

表12.1.1 シリアルI/Oの概要

項目	内容
チャンネル数	CSIO/UART : 4チャンネル(SIO0,SIO1,SIO4,SIO5) UART専用 : 4チャンネル(SIO2,SIO3,SIO6,SIO7)
クロック	CSIOモード時 : 内部クロック / 外部クロック選択可 (注1) UARTモード時 : 内部クロック固定
転送モード	送信半二重, 受信半二重, 送受信全二重
BRGカウントソース	⌘(BCLK), ⌘(BCLK)Y8, ⌘(BCLK)Y32, ⌘(BCLK)Y256 (内部周辺クロック選択時) (注2) ⌘(BCLK): 内部周辺クロック動作周波数
データフォ - マット	CSIOモード : デ - タ長 = 8ビット固定 転送順序 = LSBファ - スト固定 UARTモード : スタ - トビット = 1ビット キャラクタ長 = 7ビット / 8ビット / 9ビット パリティビット = あり / なし (奇数 / 偶数選択可能) ストップビット = 1ビット / 2ビット 転送順序 = LSBファ - スト固定
ボーレート	CSIOモード : 152ビット/秒 ~ 2Mビット/秒 (⌘(BCLK) = 20MHz動作時) UARTモード : 19ビット/秒 ~ 156Kビット/秒 (⌘(BCLK) = 20MHz動作時)
エラー検出	CSIOモード : オ - バランエラーのみ UARTモード : オ - バランエラー, パリティエラー, フレ - ミングエラー (いずれかのエラーが発生したことはエラーサムビットで表示)
定周期クロック出力機能	SIO0, SIO1, SIO4, SIO5をUARTモードの場合, SCLK端子からBRGの2分周クロックを出力させる機能

注1 . CSIOモード時、外部クロックの最大入力周波数は ⌘(BCLK) の16分周です。

注2 . BRGカウントソースとして⌘(BCLK) を選択した場合、BRG設定値に制限があります。

表12.1.2 シリアルI/Oの割り込み要求発生機能

シリアルI/Oの割り込み要求	ICU割り込み要因
SIO0の送信バッファエンプティ割り込み	SIO0送信割り込み
SIO0の受信完了, または受信エラー割り込み (選択可能)	SIO0受信割り込み
SIO1の送信バッファエンプティ割り込み	SIO1送信割り込み
SIO1の受信完了, または受信エラー割り込み (選択可能)	SIO1受信割り込み
SIO2の送信バッファエンプティ割り込み	SIO2,3送受信割り込み(グループ割り込み)
SIO2の受信完了, または受信エラー割り込み (選択可能)	SIO2,3送受信割り込み(グループ割り込み)
SIO3の送信バッファエンプティ割り込み	SIO2,3送受信割り込み(グループ割り込み)
SIO3の受信完了, または受信エラー割り込み (選択可能)	SIO2,3送受信割り込み(グループ割り込み)
SIO4の送信バッファエンプティ割り込み	SIO4送信割り込み
SIO4の受信完了, または受信エラー割り込み (選択可能)	SIO4受信割り込み
SIO5の送信バッファエンプティ割り込み	SIO5送信割り込み
SIO5の受信完了, または受信エラー割り込み (選択可能)	SIO5受信割り込み
SIO6の送信バッファエンプティ割り込み	SIO6,7送受信割り込み(グループ割り込み)
SIO6の受信完了, または受信エラー割り込み (選択可能)	SIO6,7送受信割り込み(グループ割り込み)
SIO7の送信バッファエンプティ割り込み	SIO6,7送受信割り込み(グループ割り込み)
SIO7の受信完了, または受信エラー割り込み (選択可能)	SIO6,7送受信割り込み(グループ割り込み)

表12.1.3 シリアルI/OのDMA転送要求発生機能

シリアルI/OのDMA転送要求	DMA入力チャンネル
SIO0送信バッファEMPTY	チャンネル3
SIO0受信完了	チャンネル4
SIO1送信バッファEMPTY	チャンネル6
SIO1受信完了	チャンネル3
SIO2送信バッファEMPTY	チャンネル0, チャンネル7
SIO2受信完了	チャンネル5
SIO3送信バッファEMPTY	チャンネル4, チャンネル9
SIO3受信完了	チャンネル8
SIO4送信バッファEMPTY	チャンネル5
SIO4受信完了	チャンネル1
SIO5送信バッファEMPTY	チャンネル7
SIO5受信完了	チャンネル2
SIO6送信バッファEMPTY	チャンネル8
SIO6受信完了	チャンネル6
SIO7送信バッファEMPTY	チャンネル0
SIO7受信完了	チャンネル9

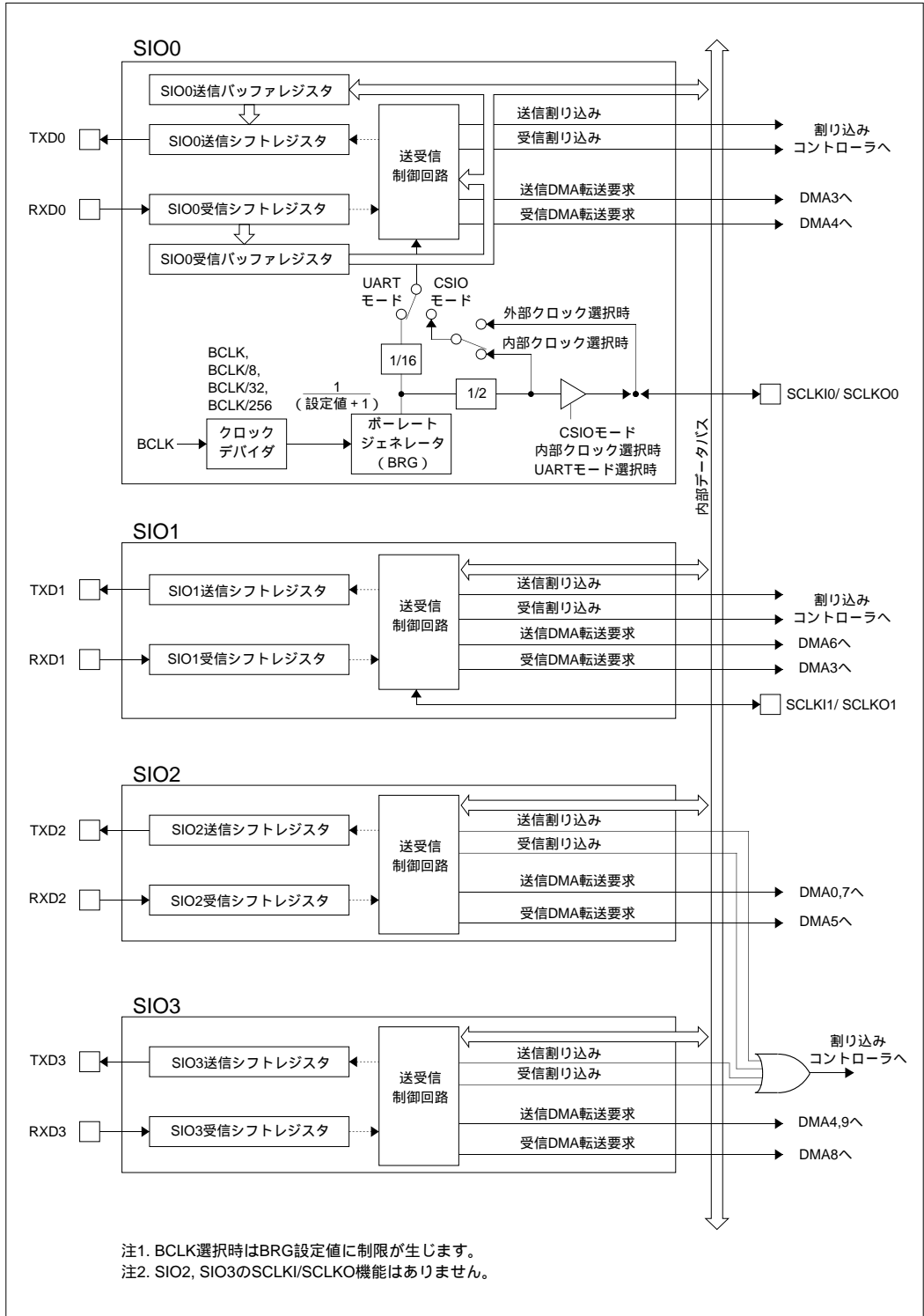


図12.1.1 SIO0 ~ SIO3のブロック図

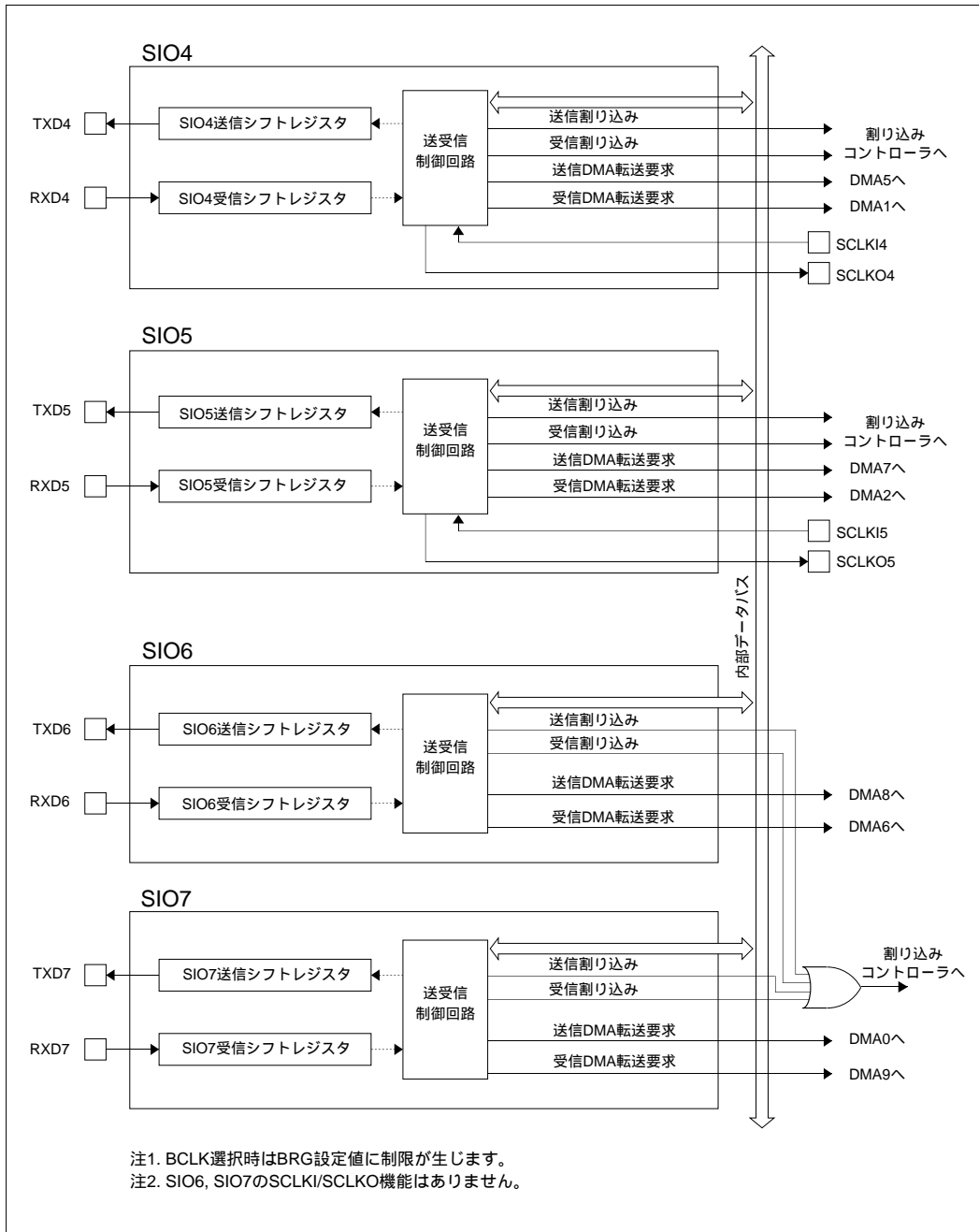


図12.1.2 SIO4 ~ SIO7のブロック図

12.2 シリアルI/O関連レジスタ

シリアルI/O関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0100	SIO23割り込みステータスレジスタ (S123STAT)			SIO03割り込みマスクレジスタ (SIO3MASK)		
H'0080 0102	SIO03受信割り込み要因選択レジスタ (SIO3SEL)					
~						
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)			SIO0送受信モードレジスタ (S0MOD)		
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)					
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)					
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)			SIO0ポーレートレジスタ (S0BAUR)		
~						
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)			SIO1送受信モードレジスタ (S1MOD)		
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)					
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)					
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)			SIO1ポーレートレジスタ (S1BAUR)		
~						
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)			SIO2送受信モードレジスタ (S2MOD)		
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)					
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)					
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)			SIO2ポーレートレジスタ (S2BAUR)		
~						
H'0080 0140	SIO3送信制御レジスタ (S3TCNT)			SIO3送受信モードレジスタ (S3MOD)		
H'0080 0142	SIO3送信バッファレジスタ (S3TXB)					
H'0080 0144	SIO3受信バッファレジスタ (S3RXB)					
H'0080 0146	SIO3受信制御レジスタ (S3RCNT)			SIO3ポーレートレジスタ (S3BAUR)		
~						
H'0080 0A00	SIO67割り込みステータスレジスタ (SI67STAT)			SIO47割り込みマスクレジスタ (SI47MASK)		
H'0080 0A02	SIO47受信割り込み要因選択レジスタ (SI47SEL)					

空き領域は予約領域です。

図12.2.1 シリアルI/O関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0A10	SIO4送信制御レジスタ (S4TCNT)		SIO4送受信モードレジスタ (S4MOD)			
H'0080 0A12	SIO4送信バッファレジスタ (S4TXB)					
H'0080 0A14	SIO4受信バッファレジスタ (S4RXB)					
H'0080 0A16	SIO4受信制御レジスタ (S4RCNT)		SIO4ポートレジスタ (S4BAUR)			
~						
H'0080 0A20	SIO5送信制御レジスタ (S5TCNT)		SIO5送受信モードレジスタ (S5MOD)			
H'0080 0A22	SIO5送信バッファレジスタ (S5TXB)					
H'0080 0A24	SIO5受信バッファレジスタ (S5RXB)					
H'0080 0A26	SIO5受信制御レジスタ (S5RCNT)		SIO5ポーレートレジスタ (S5BAUR)			
~						
H'0080 0A30	SIO6送信制御レジスタ (S6TCNT)		SIO6送受信モードレジスタ (S6MOD)			
H'0080 0A32	SIO6送信バッファレジスタ (S6TXB)					
H'0080 0A34	SIO6受信バッファレジスタ (S6RXB)					
H'0080 0A36	SIO6受信制御レジスタ (S6RCNT)		SIO6ポーレートレジスタ (S6BAUR)			
~						
H'0080 0A40	SIO7送信制御レジスタ (S7TCNT)		SIO7送受信モードレジスタ (S7MOD)			
H'0080 0A42	SIO7送信バッファレジスタ (S7TXB)					
H'0080 0A44	SIO7受信バッファレジスタ (S7RXB)					
H'0080 0A46	SIO7受信制御レジスタ (S7RCNT)		SIO7ポーレートレジスタ (S7BAUR)			

空き領域は予約領域です。

図12.2.2 シリアルI/O関連レジスタマップ(2/2)

12.2.1 SIO割り込み関連レジスタ

(1) 割り込み要因の選択

各SIOからICU(割り込みコントローラ)へ出力される割り込み信号には、送信割り込みと、受信割り込みとがあります。送信割り込みは、送信バッファエンプティ時に発生します。受信割り込みは、受信割り込み要因選択レジスタ(SI03SEL、SI47SEL)によって受信完了割り込みと受信エラー割り込みのどちらかを選択できます。

注1. 割り込み信号は、対応するSIOのTEN(送信許可)ビット、またはREN(受信許可)ビットを許可にし、SIO割り込みマスクレジスタで許可することによってはじめて発生します。

注2. SIO2とSIO3、SIO6とSIO7は、それぞれ2本でグループ割り込み一つとなっています。

(2) 送信割り込みに関する注意

SIO割り込みマスクレジスタが割り込み許可状態で、対応するTEN(送信許可)ビットを許可にすると、送信割り込みが発生します。

(3) SIOのDMA転送要求について

各SIOは送信DMA転送要求と受信完了DMA転送要求を発生することができます。DMA転送要求は各SIOの対応するTEN(送信許可)ビット、もしくはREN(受信許可)ビットを許可することで発生可能となります。

DMA転送を用いて通信を行う場合は、TENビット、RENビットを許可にする前にDMAの設定を行ってください。

受信エラーが発生した場合、受信完了DMA転送要求は発生しません。

送信DMA転送要求

送信バッファエンプティで、TENビットが許可の場合に発生します。

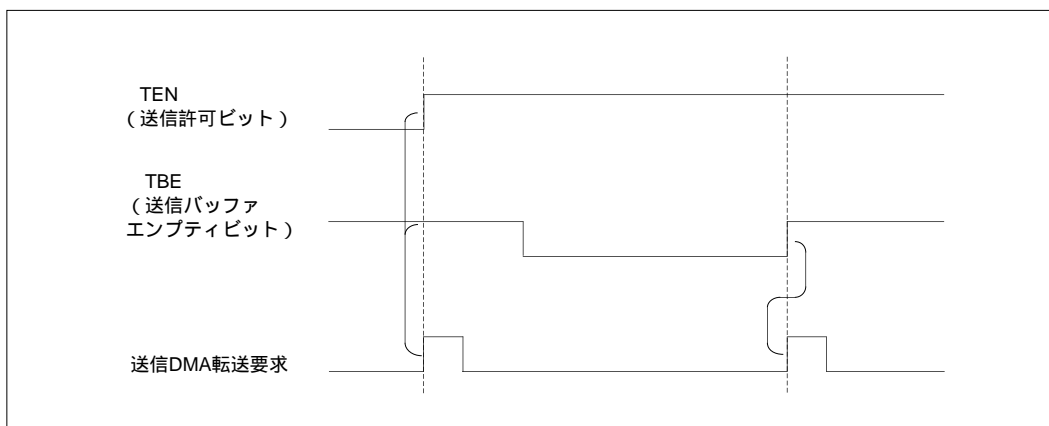


図12.2.3 送信DMA転送要求

受信完了DMA転送要求

受信バッファフルになった時にDMA転送要求を発生します。

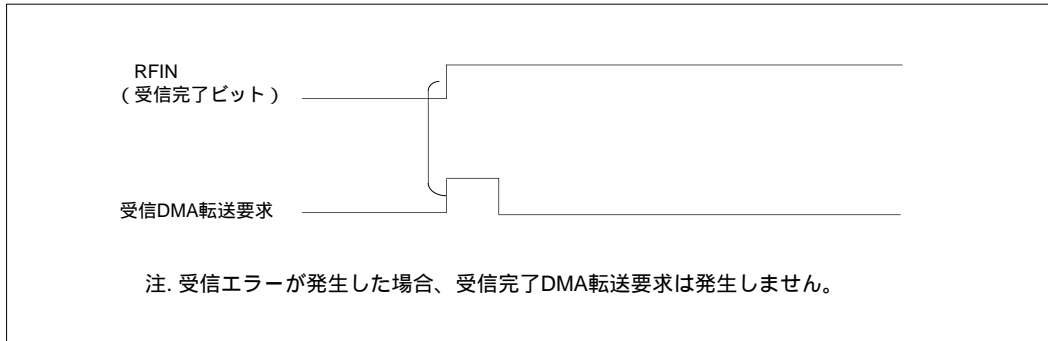


図12.2.4 受信完了DMA転送要求

12.2.2 SIO割り込み制御レジスタ

SIO23割り込みステータスレジスタ(SI23STAT)

<アドレス : H'0080 0100>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	IRQT2 (SIO2送信完了割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
5	IRQR2 (SIO2受信割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
6	IRQT3 (SIO3送信完了割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
7	IRQR3 (SIO3受信割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

SIO2、SIO3からの送受信割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ハードウェアによるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

SIO割り込みステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

SIO67割り込みステータスレジスタ(SI67STAT)

<アドレス : H'0080 0A00>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	IRQT6 (SIO6送信完了割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
5	IRQR6 (SIO6受信割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
6	IRQT7 (SIO7送信完了割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
7	IRQR7 (SIO7受信割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

SIO6、SIO7からの送受信割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ハードウェアによるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

SIO割り込みステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

SIO03割り込みマスクレジスタ(SI03MASK)

< アドレス : H'0080 0101 >

D8	9	10	11	12	13	14	D15
T0MASK	R0MASK	T1MASK	R1MASK	T2MASK	R2MASK	T3MASK	R3MASK

< リセット時 : H'00 >

D	ビット名	機能	R	W
8	T0MASK (SIO0送信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
9	R0MASK (SIO0受信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
10	T1MASK (SIO1送信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
11	R1MASK (SIO1受信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
12	T2MASK (SIO2送信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
13	R2MASK (SIO2受信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
14	T3MASK (SIO3送信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
15	R3MASK (SIO3受信割り込み マスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		

各SIOから出された割り込み要求の許可 / 不許可を制御するレジスタです。割り込みマスクビットに "1" をセットすると、対応する SIO からの割り込み要求が許可されます。

SIO47割り込みマスクレジスタ(SI47MASK)

<アドレス : H'0080 0A01>

D8	9	10	11	12	13	14	D15
T4MASK	R4MASK	T5MASK	R5MASK	T6MASK	R6MASK	T7MASK	R7MASK

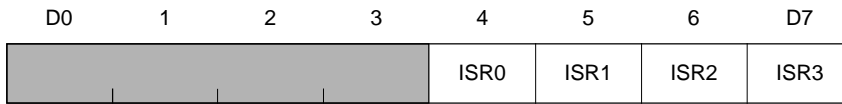
<リセット時 : H'00>

D	ビット名	機能	R	W
8	T4MASK (SIO4送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
9	R4MASK (SIO4受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
10	T5MASK (SIO5送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
11	R5MASK (SIO5受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
12	T6MASK (SIO6送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
13	R6MASK (SIO6受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
14	T7MASK (SIO7送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
15	R7MASK (SIO7受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		

各SIOから出された割り込み要求の許可/不許可を制御するレジスタです。割り込みマスクビットに "1" をセットすると、対応する SIO からの割り込み要求が許可されます。

SIO03受信割り込み要因選択レジスタ(SI03SEL)

<アドレス : H'0080 0102>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	ISR0	0 : 受信完了割り込み (SIO0受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
5	ISR1	0 : 受信完了割り込み (SIO1受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
6	ISR2	0 : 受信完了割り込み (SIO2受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
7	ISR3	0 : 受信完了割り込み (SIO3受信割り込み要因選択ビット) 1 : 受信エラー割り込み		

受信動作完了時に生じる割り込み要因が選択されます。

【"0" にセットした場合】

受信完了割り込み(受信バッファフル)が選択されます。受信完了割り込みは、受信エラー発生時でも発生します(オーバランエラーを除く)。

【"1" にセットした場合】

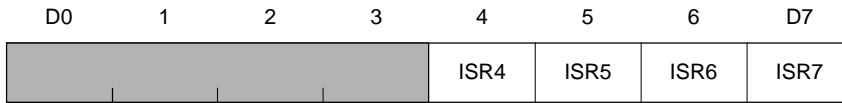
受信エラー割り込みが選択されます。受信エラーで検出されるエラーは以下の通りです。

CSIOモード : オーバランエラー

UARTモード : オーバランエラー、パリティエラー、フレーミングエラー

SIO47受信割り込み要因選択レジスタ(SI47SEL)

<アドレス : H'0080 0A02>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	ISR4	0 : 受信完了割り込み (SIO4受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
5	ISR5	0 : 受信完了割り込み (SIO5受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
6	ISR6	0 : 受信完了割り込み (SIO6受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
7	ISR7	0 : 受信完了割り込み (SIO7受信割り込み要因選択ビット) 1 : 受信エラー割り込み		

受信動作完了時に生じる割り込み要因が選択されます。

【"0" にセットした場合】

受信完了割り込み(受信バッファフル)が選択されます。受信完了割り込みは、受信エラー発生時でも発生します(オーバランエラーを除く)。

【"1" にセットした場合】

受信エラー割り込みが選択されます。受信エラーで検出されるエラーは以下の通りです。

CSIOモード : オーバランエラー

UARTモード : オーバランエラー、パリティエラー、フレーミングエラー

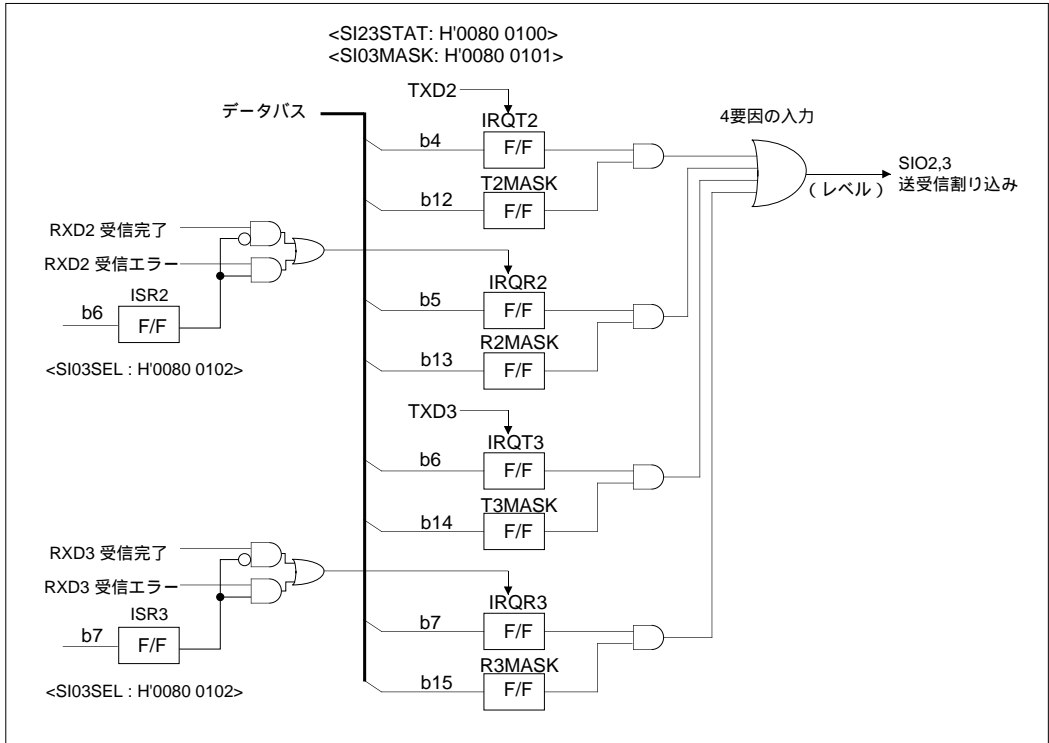


図12.2.5 SIO2,3送受信割り込みブロック図

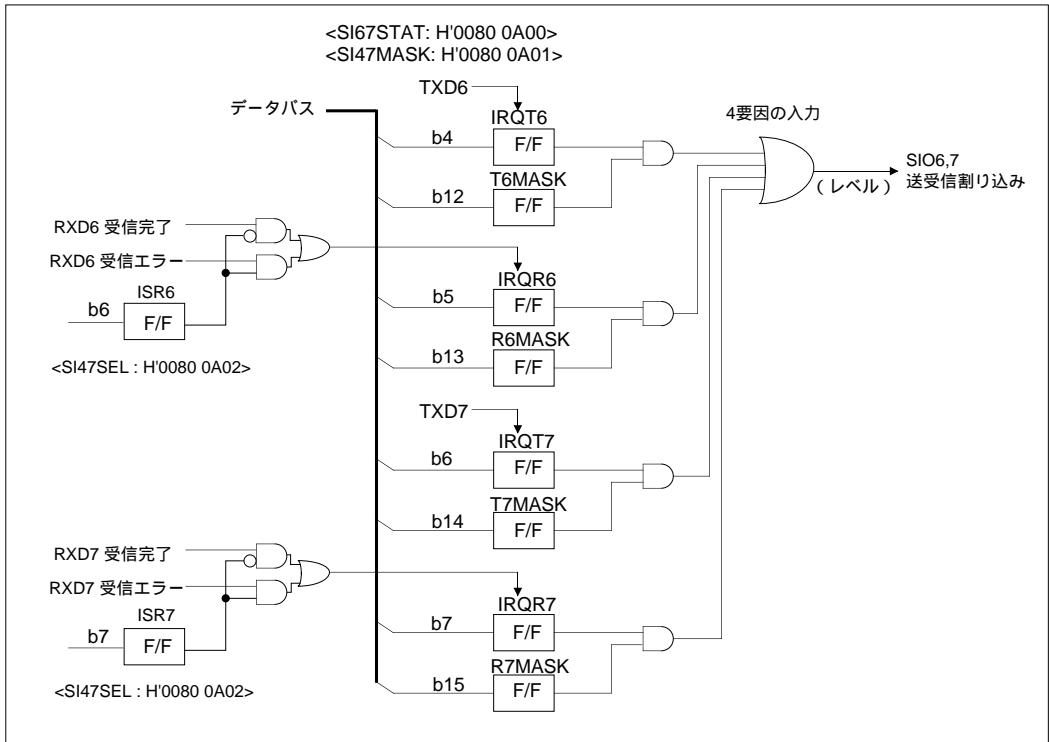


図12.2.6 SIO6,7送受信割り込みブロック図

12.2.3 SIO送信制御レジスタ

SIO0送信制御レジスタ(S0TCNT)	<アドレス : H'0080 0110>
SIO1送信制御レジスタ(S1TCNT)	<アドレス : H'0080 0120>
SIO2送信制御レジスタ(S2TCNT)	<アドレス : H'0080 0130>
SIO3送信制御レジスタ(S3TCNT)	<アドレス : H'0080 0140>
SIO4送信制御レジスタ(S4TCNT)	<アドレス : H'0080 0A10>
SIO5送信制御レジスタ(S5TCNT)	<アドレス : H'0080 0A20>
SIO6送信制御レジスタ(S6TCNT)	<アドレス : H'0080 0A30>
SIO7送信制御レジスタ(S7TCNT)	<アドレス : H'0080 0A40>



<リセット時 : H'12>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	CDIV (BRGカウントソース 選択ビット)	D2 D3 0 0 : f(BCLK)を選択 0 1 : f(BCLK)の8分周を選択 1 0 : f(BCLK)の32分周を選択 1 1 : f(BCLK)の256分周を選択		
4	何も配置されていません		0	-
5	TSTAT (送信ステータスビット)	0 : 送信停止 & 送信バッファレジスタ 内にデータなし 1 : 送信中 or 送信バッファレジスタ 内にデータあり		-
6	TBE (送信バッファ エンプティビット)	0 : 送信バッファレジスタ内に データあり 1 : 送信バッファレジスタ内に データなし		-
7	TEN (送信許可ビット)	0 : 送信禁止 1 : 送信許可		

(1) CDIV (ボーレートジェネレータカウントソース選択) ビット (D2,D3)

ボーレートジェネレータ(BRG)のカウントソースを選択するビットです。

注. BRGのカウントソースとして(BCLK)を選択した場合、ボーレートが最大転送速度を上回ることがないようにBRGを設定する必要があります。詳細は、BRGレジスタの項を参照ください。

(2) TSTAT (送信ステータス) ビット (D5)

[セット条件]

送信許可状態の時に送信バッファレジスタへ書き込むと"1"がセットされます。

[クリア条件]

送信停止(送信シフトレジスタにデータがない) かつ送信バッファレジスタにデータが存在しない場合、"0"にクリアされます。また、送信許可ビットのクリアによってもクリアされます。

(3) TBE (送信バッファエンプティ) ビット (D6)

[セット条件]

送信バッファレジスタから送信シフトレジスタにデータが転送され、送信バッファレジスタが空になると"1"にセットされます。また、送信許可ビットを"0"にクリアするとセットされます。

[クリア条件]

送信許可の状態(TENが"1"にセット)で送信バッファレジスタの下位バイトにデータを書き込むと"0"にクリアされます。

(4) TEN (送信許可) ビット (D7)

このビットを"1"にセットすると送信許可状態になり、"0"にクリアすると送信禁止となります。

データ送信中に"0"にクリアした場合、送信動作は停止します。

12.2.4 SIO送受信モードレジスタ

SIO0送受信モードレジスタ(S0MOD)	<アドレス : H'0080 0111>
SIO1送受信モードレジスタ(S1MOD)	<アドレス : H'0080 0121>
SIO2送受信モードレジスタ(S2MOD)	<アドレス : H'0080 0131>
SIO3送受信モードレジスタ(S3MOD)	<アドレス : H'0080 0141>
SIO4送受信モードレジスタ(S4MOD)	<アドレス : H'0080 0A11>
SIO5送受信モードレジスタ(S5MOD)	<アドレス : H'0080 0A21>
SIO6送受信モードレジスタ(S6MOD)	<アドレス : H'0080 0A31>
SIO7送受信モードレジスタ(S7MOD)	<アドレス : H'0080 0A41>

D8	9	10	11	12	13	14	D15
SMOD			CKS	STB	PSEL	PEN	SEN

<リセット時 : 00>

D	ビット名	機能	R	W
8~10	SMOD (シリアルI/Oモード選択ビット) (注1)	D8 D9 D10 0 0 0 : 7ビットUART 0 0 1 : 8ビットUART 0 1 X : 9ビットUART 1 X X : 8ビットクロック 同期シリアルI/O		
11	CKS(内部 / 外部クロック 選択ビット)	0 : 内部クロック 1 : 外部クロック		(注2)
12	STB(ストップビット長選択ビット、 UARTモード専用)	0 : 1ストップビット 1 : 2ストップビット		(注3)
13	PSEL(パリティ奇 / 偶選択ビット、 UARTモード専用)	0 : 奇数パリティ 1 : 偶数パリティ		(注3)
14	PEN(パリティ許可ビット、 UARTモード専用)	0 : パリティ禁止 1 : パリティ許可		(注3)
15	SEN(スリープ選択ビット、 UARTモード専用)	0 : スリープ機能無効 1 : スリープ機能有効		(注3)

注1. SIO2,3では、D8ビットはハードウェア的に"0"固定です。D8ビットに"1"を設定(クロック同期シリアルI/Oを選択)することはできません。

注2. UARTモード選択時は無効となります。

注3. クロック同期形モード時、D12~D15は無効になります。

SIO モードレジスタは、シリアルI/Oの動作モード、デ - タフォ - マットおよび通信時に使用する機能を設定するビットで構成されています。

SIO送受信モードレジスタは、必ずシリアルI/Oの動作開始前に設定を行ってください。送受信開始後に設定を変更する場合は、送信および受信動作の完了を確認し、送受信動作を禁止(SIO送信制御レジスタの送信許可ビットおよびSIO受信制御レジスタの受信許可ビットを"0"にクリア)したのち設定してください。

(1) SMOD (シリアルI/Oモード選択) ビット (D8 ~ D10)

シリアルI/Oモード選択ビットは、シリアルI/Oの動作モードを選択するビットです。

(2) CKS (内部/外部クロック選択) ビット (D11)

CSIOモード選択時に有効なビットです。UARTモード選択時は、このビットの設定は無効となり、内部クロックで動作します。

(3) STB (ストップビット長選択) ビット (D12)

UARTモード時に有効なビットです。送信するデータの終わりを示すストップビット長を、このビットで選択します。このビットが"0"のとき1ストップビット、"1"のとき2ストップビットです。

クロック同期形モード時、このビットの内容は無効になります。

(4) PSEL (パリティ奇/偶選択) ビット (D13)

UARTモード時に有効なビットです。パリティを許可(D14 = "1")した場合、このビットでパリティの属性(奇数/偶数)を選択します。このビットが"0"のとき奇数パリティ、"1"のとき偶数パリティです。

パリティを禁止(D14 = "0")した場合、およびクロック同期形モード時はこのビットの内容は無効になります。

(5) PEN (パリティ許可) ビット (D14)

UARTモード時に有効なビットです。このビットを"1"にしたとき、送信データのデータビットの直後にパリティビットを付加します。受信データに対しては、パリティチェックを行います。

送信データに付加されるパリティビットは、データビットの"1"の個数とパリティビットの内容を加算した結果の属性(奇数/偶数)が、パリティ奇/偶選択ビット(D13)で選択した属性と一致するように、自動的に"0"又は"1"に決定されます。

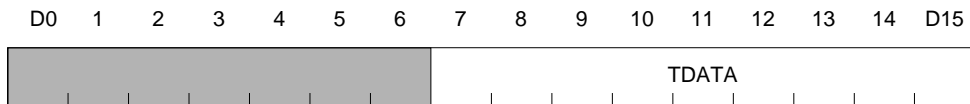
図12.2.4にパリティ許可時のデータフォーマット例を示します。

(6) SEN (スリープ選択) ビット (D15)

UARTモード時に有効なビットです。このビットを"1"にしてスリープ機能を有効にした場合、受信データの最上位ビット(MSB)の内容が"1"の場合だけ、UART受信バッファレジスタへデータを取り込みます。

12.2.5 SIO送信バッファレジスタ

SIO0送信バッファレジスタ(S0TXB)	<アドレス : H'0080 0112>
SIO1送信バッファレジスタ(S1TXB)	<アドレス : H'0080 0122>
SIO2送信バッファレジスタ(S2TXB)	<アドレス : H'0080 0132>
SIO3送信バッファレジスタ(S3TXB)	<アドレス : H'0080 0142>
SIO4送信バッファレジスタ(S4TXB)	<アドレス : H'0080 0A12>
SIO5送信バッファレジスタ(S5TXB)	<アドレス : H'0080 0A22>
SIO6送信バッファレジスタ(S6TXB)	<アドレス : H'0080 0A32>
SIO7送信バッファレジスタ(S7TXB)	<アドレス : H'0080 0A42>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~6	何も配置されていません		?	
7~15	TDATA (送信データ)	送信データを設定します。	?	

R = ? : 読み出し時不定

SIO送信バッファレジスタは、送信データを設定するレジスタです。このレジスタは書き込み専用レジスタで、このレジスタの内容を読み出すことはできません。データはLSB側につめて設定し、7ビットデータ(UARTモードのみ)時はD9~D15に、8ビットデータ時はD8~D15に、9ビットデータ(UARTモードのみ)時はD7~D15に送信データを書きます。

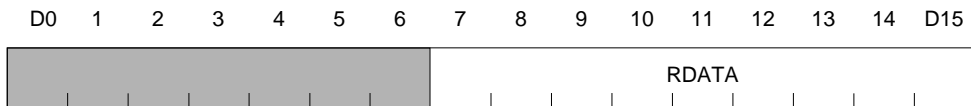
送信データの設定は、送信制御レジスタのTEN(送信許可)ビットを許可("1"にセット)にしてから行ってください。TENビットが不許可("0"にクリア)の状態での書き込みは無効です。

送信許可の状態で送信バッファレジスタにデータが書き込まれると、SIO送信バッファレジスタのデータはSIO送信シフトレジスタに転送され、送信が開始されます。

注. 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.6 SIO受信バッファレジスタ

SIO0受信バッファレジスタ(S0RXB)	<アドレス : H'0080 0114>
SIO1受信バッファレジスタ(S1RXB)	<アドレス : H'0080 0124>
SIO2受信バッファレジスタ(S2RXB)	<アドレス : H'0080 0134>
SIO3受信バッファレジスタ(S3RXB)	<アドレス : H'0080 0144>
SIO4受信バッファレジスタ(S4RXB)	<アドレス : H'0080 0A14>
SIO5受信バッファレジスタ(S5RXB)	<アドレス : H'0080 0A24>
SIO6受信バッファレジスタ(S6RXB)	<アドレス : H'0080 0A34>
SIO7受信バッファレジスタ(S7RXB)	<アドレス : H'0080 0A44>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
8~15	RDATA (受信データ)	受信データが格納されます。		-

SIO受信バッファレジスタは、受信データを格納するレジスタです。データの受信が完了すると、SIO受信シフトレジスタの内容がSIO受信バッファレジスタに転送されます。このレジスタは読み出し専用のレジスタです。

7ビットデータ(UARTモードのみ)時は、D9~D15にデータがセットされ、D8、D7には必ず"0"がセットされます。8ビットデータ時は、D8~D15にデータがセットされ、D7には必ず"0"がセットされます。

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、それ以後受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、受信制御レジスタのREN(受信許可)ビットを"0"にクリアしてください。

注. 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.7 SIO受信制御レジスタ

SIO0受信制御レジスタ(S0RCNT)	<アドレス: H'0080 0116>
SIO1受信制御レジスタ(S1RCNT)	<アドレス: H'0080 0126>
SIO2受信制御レジスタ(S2RCNT)	<アドレス: H'0080 0136>
SIO3受信制御レジスタ(S3RCNT)	<アドレス: H'0080 0146>
SIO4受信制御レジスタ(S4RCNT)	<アドレス: H'0080 0A16>
SIO5受信制御レジスタ(S5RCNT)	<アドレス: H'0080 0A26>
SIO6受信制御レジスタ(S6RCNT)	<アドレス: H'0080 0A36>
SIO7受信制御レジスタ(S7RCNT)	<アドレス: H'0080 0A46>

D0	1	2	3	4	5	6	D7
	RSTAT	RFIN	REN	OVR	PTY	FLM	ERS

<リセット時: H'00>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	RSTAT (受信ステータスビット)	0: 受信停止 1: 受信中		-
2	RFIN (受信完了ビット)	0: 受信バッファレジスタ内に データなし 1: 受信バッファレジスタ内に データあり		-
3	REN (受信許可ビット)	0: 受信禁止 1: 受信許可		-
4	OVR (オーバーランエラービット)	0: オーバーランエラーなし 1: オーバーランエラー発生		-
5	PTY (パリティエラービット、 UARTモード専用)	0: パリティエラーなし 1: パリティエラー発生		-
6	FLM (フレーミングエラービット、 UARTモード専用)	0: フレーミングエラーなし 1: フレーミングエラー発生		-
7	ERS (エラーサムビット)	0: エラーなし 1: エラー発生		-

(1) RSTAT (受信ステータス) ビット (D1)

[セット条件]

受信動作の開始によって"1"にセットされます。このビットが"1"の時は、データ受信中であることを示しています。

[クリア条件]

受信動作の完了、もしくはREN(受信許可)ビットを"0"にクリアすることによってクリアされます。

(2) RFIN (受信完了) ビット (D2)

[セット条件]

受信シフトレジスタにデータが揃い、その内容が受信バッファレジスタに転送された時、"1"にセットされます。

[クリア条件]

受信バッファレジスタの下位バイトの読み出し、もしくはREN(受信許可)ビットのクリアによって行います。ただし、オーバランエラー発生時は、受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(3) REN (受信許可) ビット (D3)

このビットを"1"にセットすると受信許可状態になり、"0"にクリアすると受信禁止となるとともに受信部を初期化します。これに伴い、受信ステータスフラグ、受信完了フラグビット、オーバランエラーフラグ、フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグの各ビットがクリアされます。

データ受信中に受信許可ビットを"0"にクリアした場合、受信動作は停止します。

(4) OVR (オーバランエラー) ビット (D4)

[セット条件]

受信バッファレジスタに前回の受信データが存在するにもかかわらず、受信シフトレジスタに次の受信データが揃ってしまった場合、"1"にセットされます。受信データの受信バッファレジスタへの格納は行われません。

オーバランエラーフラグが"1"の状態では受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、このビットをクリアする必要があります。

[クリア条件]

REN(受信許可)ビットを"0"にクリアすることによってのみクリアされます。

(5) PTY (パリティエラー) ビット (D5)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

PTY(パリティエラーフラグ)ビットはSIO送受信モードレジスタのPEN(パリティ有効/無効)ビットが有効でかつ、受信データのパリティ(偶数/奇数)が同じレジスタのPSEL(パリティ選択)ビットで設定した値と異なる場合、"1"がセットされます。

[クリア条件]

PTYビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくはSIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(6) FLM (フレーミングエラー) ビット (D6)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

FLM(フレーミングエラー)ビットは受信したビットの数が、SIO送受信モードレジスタで選択した数と異なる場合に"1"がセットされます。

ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

[クリア条件]

FLMビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

(7) ERS (エラーサム) ビット (D7)

[セット条件]

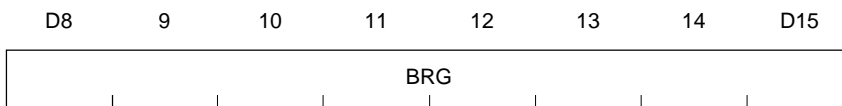
受信完了時にオーバーランエラー、フレーミングエラー、およびパリティエラーのうち、いずれかの一つでも発生した場合、このフラグに"1"がセットされます。

[クリア条件]

オーバーランエラー発生時は、REN(受信許可)ビットを"0"にクリアすることによって行います。それ以外の場合は、受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

12.2.8 SIOボーレートレジスタ

SIO0ボーレートレジスタ(S0BAUR)	<アドレス : H'0080 0117>
SIO1ボーレートレジスタ(S1BAUR)	<アドレス : H'0080 0127>
SIO2ボーレートレジスタ(S2BAUR)	<アドレス : H'0080 0137>
SIO3ボーレートレジスタ(S3BAUR)	<アドレス : H'0080 0147>
SIO4ボーレートレジスタ(S4BAUR)	<アドレス : H'0080 0A17>
SIO5ボーレートレジスタ(S5BAUR)	<アドレス : H'0080 0A27>
SIO6ボーレートレジスタ(S6BAUR)	<アドレス : H'0080 0A37>
SIO7ボーレートレジスタ(S7BAUR)	<アドレス : H'0080 0A47>



<リセット時 : 不定>

D	ビット名	機能	R	W
8 ~ 15	BRG (ボーレート分周値)	SIOモードレジスタで選択された ボーレートカウントソースを、 BRG設定値nにしたがって(n+1) 分周します。		

BRG (ボーレート分周値) (D8 ~ 15)

SIOボーレートレジスタは、SIOモードレジスタで選択したボーレートカウントソースを、BRG設定値に従って(BRG設定値+1)分周します。

初期状態ではBRGの値は不定となっているため、必ずシリアルI/O動作前に分周値を設定してください。送受信中のBRG書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。

CSIOモードで内部クロックを使用する(SCLKO信号を出力する)場合は、内部BCLKをクロックデバイダで分周し、次にBRG設定値に従って(BRG設定値+1)分周後、さらに2分周したクロックを送受信シフトクロックとします。

CSIOモードで外部クロックを使用する場合は、BRGは使用しません(外部から入力されたクロックに同期して送受信が行われます)。

UARTモードでは、内部BCLKをクロックデバイダで分周した後、BRG設定値に従って (BRG設定値 + 1)分周し、さらに16分周したクロックが送受信シフトクロックになります。

SIO0、SIO1、SIO4、SIO5をUARTモードで使用する場合、該当ポート(P84、P87、P65、P66)をそれぞれSCLKO端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

内部クロック使用時(内部クロックCSIOモード、UARTモード)で、BRGカウントソースとして(BCLK)を選択した場合、CSIOモードの時には転送速度が2Mビット/秒を越えないように、UARTモードの時にはBRGが7以上となるように設定してください。

12.3 CSIOモード送信動作説明

12.3.1 CSIOボーレートの設定

CSIOモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックを生成するクロックソースは、内部クロック($f(\text{BCLK})$)、または外部クロックから選択します。クロックソースの選択はCKS(内部/外部クロック選択)ビット(SIO送受信モードレジスタのD11)により行います。

送受信のボーレート値の算出式は、内部/外部クロックの選択によって異なります。

(1) CSIOモードで内部クロック選択時

内部クロックを選択した場合、 $f(\text{BCLK})$ はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力されます。

クロックデバイダの分周値は、CDIV(ボーレートジェネレータカウトソース選択)ビット(送信制御レジスタD2,D3)で、1分周、8分周、32分周または256分周から選択します。

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)分周し、さらに2分周したクロックを送受信シフトクロックとします。

CSIOモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート} = \frac{f(\text{BCLK})}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 2}$$

[bps]

ボーレートレジスタ設定値 = H'00 ~ H'FF (注)

クロックデバイダ分周値 = 1, 8, 32, 256

注. ボーレートジェネレータカウントソースとして1分周($f(\text{BCLK})$ そのもの)を選択した場合は、2Mbpsを越えないようにボーレートレジスタの値を設定してください。

(2) CSIOモードで外部クロック選択時

ボーレートジェネレータは使用されず、SCLKI端子からの入力クロックが、そのままCSIOの送受信シフトクロックになります。

SCLKI端子への入力クロック最大周波数は、 $f(\text{BCLK})/16$ です。

$$\text{ボーレート} = \text{SCLKI端子入力クロック}$$

[bps]

12.3.2 CSIO送信時の初期設定

CSIOで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

CSIOモードに設定
内部クロック / 外部クロック選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(12.3.1「CSIOボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

送信バッファエンプティ割り込みの許可 / 禁止(SIO割り込みマスクレジスタ)

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信時に送信バッファエンプティ割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMAの設定

送信バッファエンプティ時に内蔵DMAに対してDMA転送を要求する場合は、DMAの設定を行ってください(第9章「DMA」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)

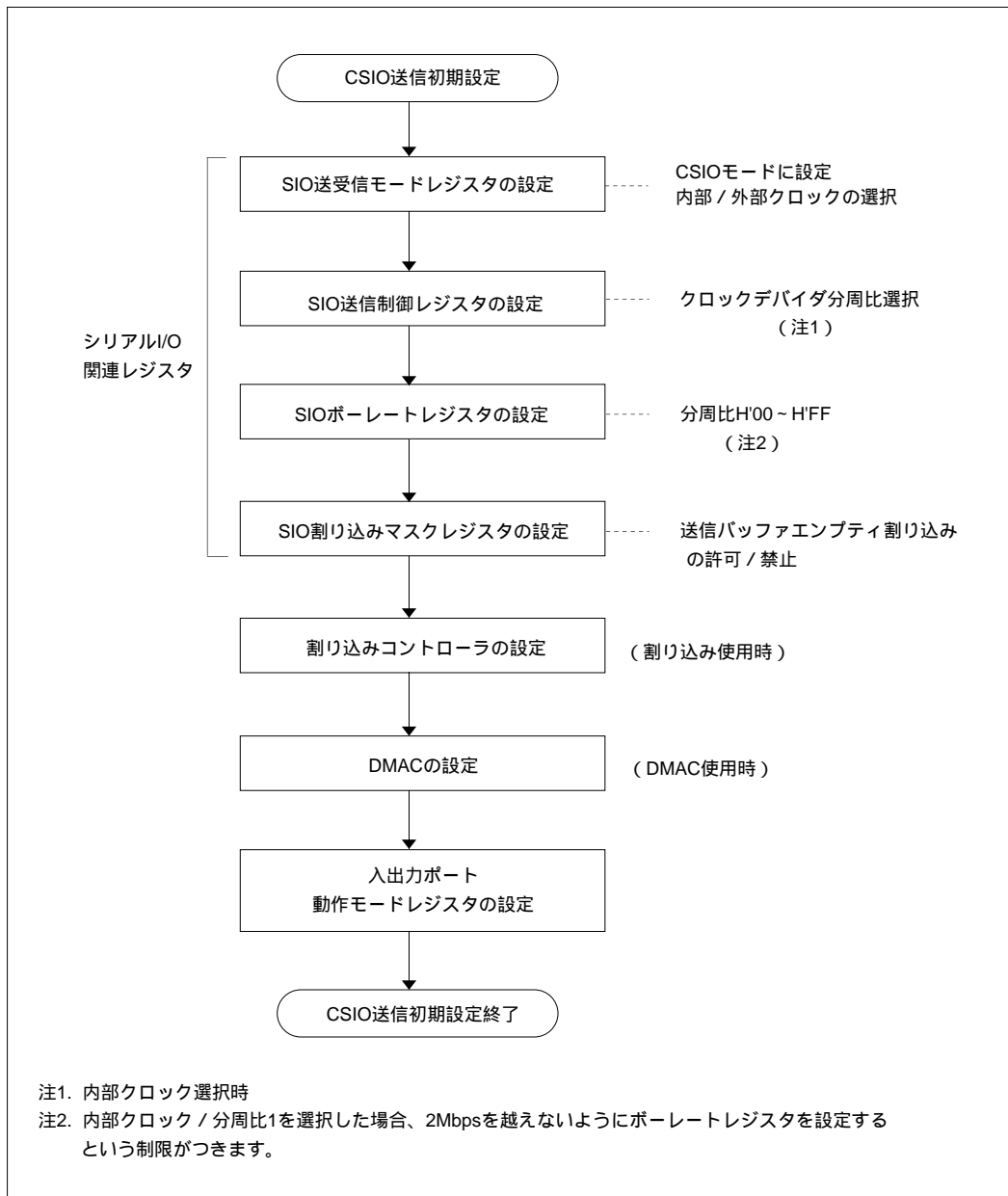


図12.3.1 CSIO送信初期化手順

12.3.3 CSIO送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

(1) CSIO モード内部クロック選択時の送信条件

SIO制御レジスタの送信許可ビットに"1"をセット
SIO送信バッファレジスタの下位バイトに送信データ(8ビット)を書き込み
(送信バッファエンプティビットが"0")

(2) CSIO モード外部クロック選択時の送信条件

SIO制御レジスタ0の送信許可ビットに"1"をセット
SIO送信バッファレジスタの下位バイトに送信データを書き込み
(送信バッファエンプティビットが"0")
SCLKI端子へ送信クロックの立ち下がりエッジが入力される

- 注1. 送信許可ビットが"0"にクリアされた状態では、送信バッファレジスタの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。
- 注2. 内部クロック選択時は、上記(注1)の送信バッファレジスタの下位バイトへの書き込みが送信開始のトリガとなります。
- 注3. SIO送信バッファレジスタの下位バイトにデータをセットした時点で、送信ステータスビットが"1"にセットされます。

送信が開始されると以下の手順でデータが送信されます。

SIO送信バッファの内容を、SIO送信シフトレジスタに転送
送信バッファエンプティビットに"1"をセット (注)
シフトクロックに同期してLSBからデータ送信を開始

注. 送信バッファエンプティにより送信バッファエンプティ割り込み要求、およびDMA転送要求を発生することができます。

12.3.4 CSIOの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIOステータスレジスタの送信バッファエンプティフラグで確認します。

12.3.5 CSIO送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

送信ステータスビットに"0"をセット

(2) 連続送信の場合

連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.3.6 送信割り込み

SIO割り込みマスクレジスタで送信バッファエンプティ割り込みを許可した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。送信割り込みを使用するためには、割り込みコントローラ(ICU)の設定が必要です。

12.3.7 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMAへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMAの設定が必要です。

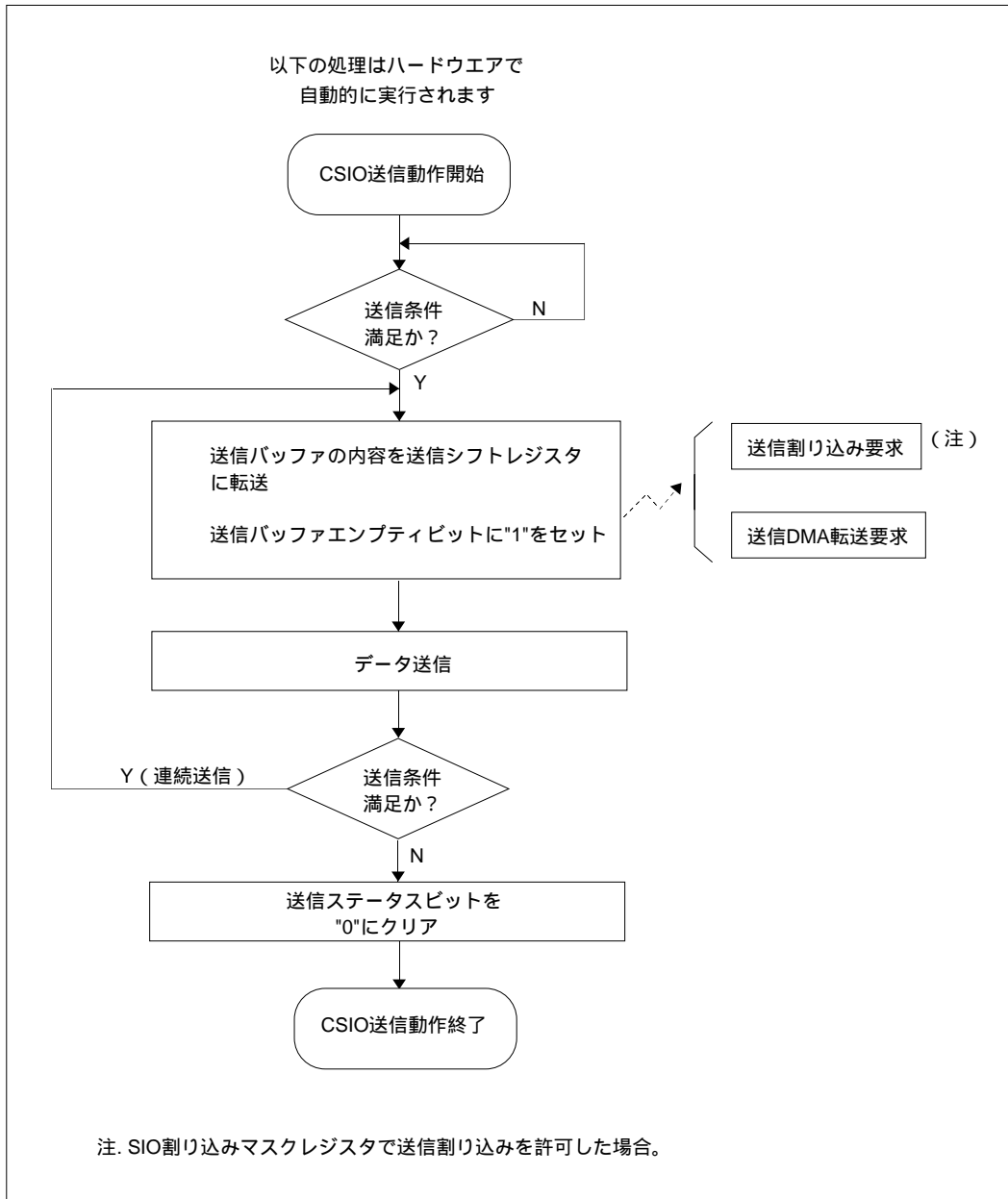


図12.3.2 CSIOモード時の送信動作(ハードウェア処理)

12.3.8 CSIO送信動作例

CSIOモードでの送信動作例を以下に示します。

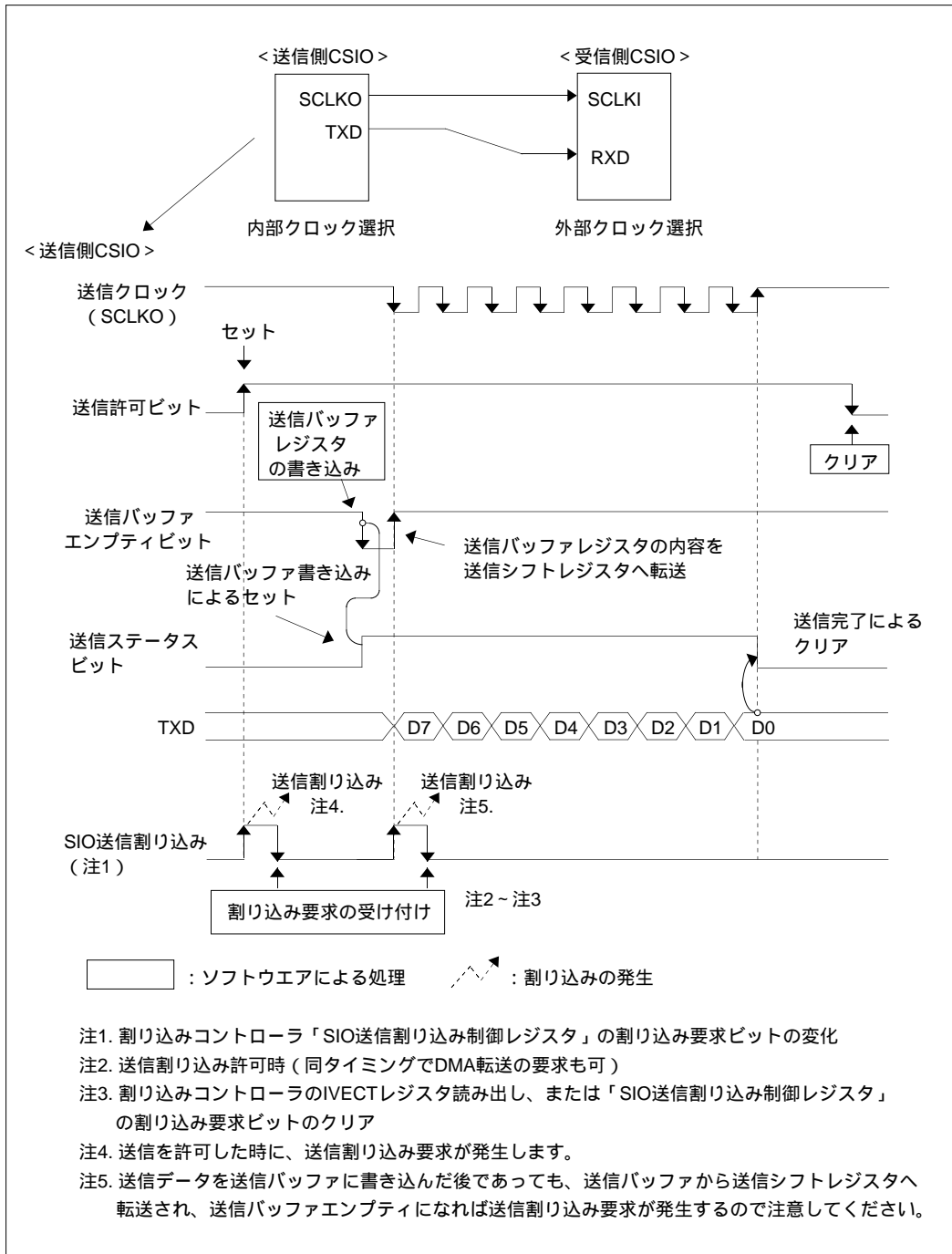


図12.3.3 CSIO送信例(1回だけの送信：送信割り込み使用)

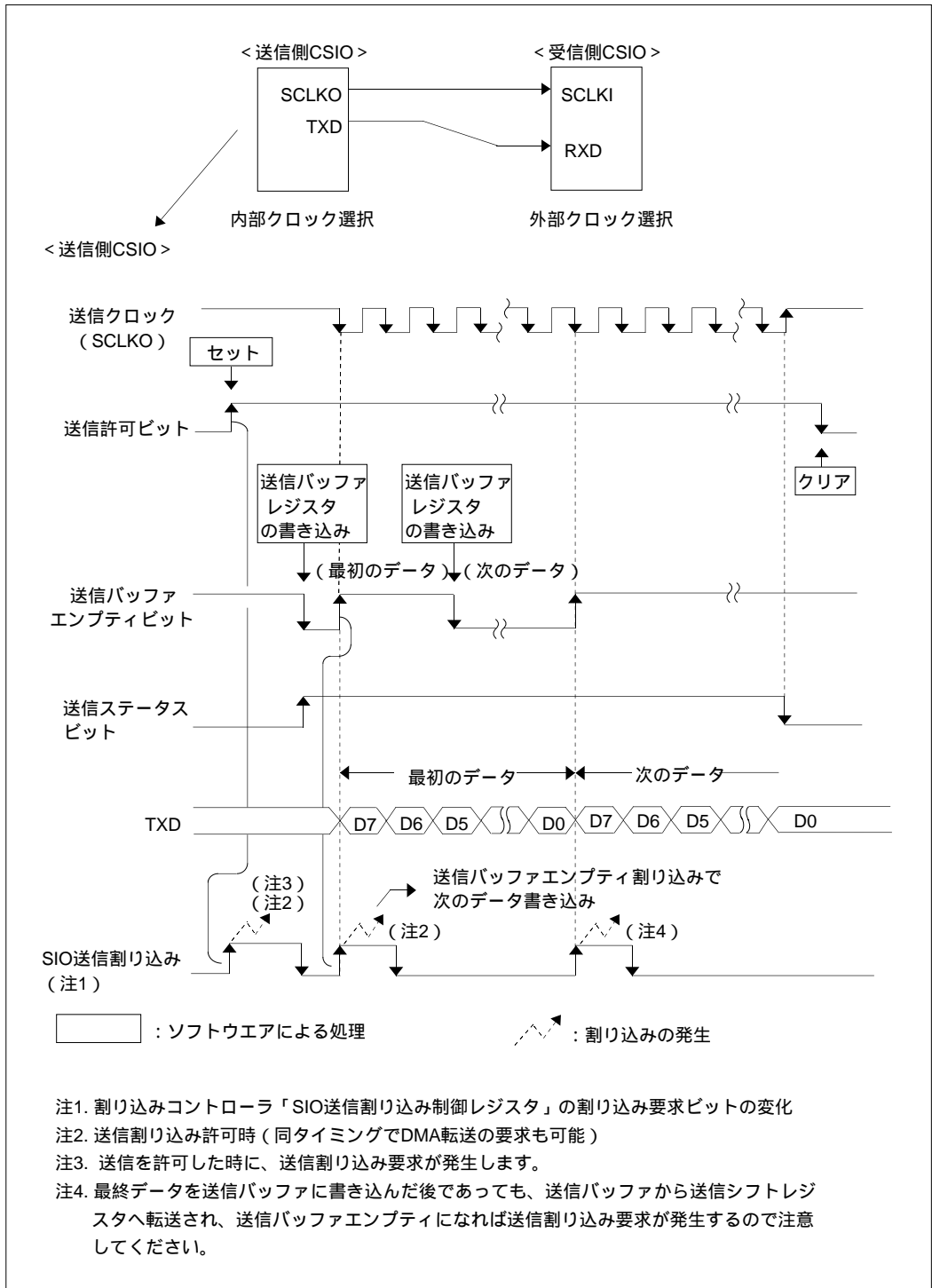


図12.3.4 CSIO送信例(連続送信：送信バッファエンプティ割り込みと送信完了割り込み使用)

12.4 CSIOモード受信動作説明

12.4.1 CSIO受信時の初期設定

CSIOで受信を行う場合は、以下の手順で初期設定を行います。なお、受信シフトクロックは送信回路の動作によって得られますので、受信だけ行う場合にも送信動作を実行させる必要があります。

(1) SIOモードレジスタの設定

CSIOモードに設定
内部クロック / 外部クロックの選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(12.3.1「CSIOボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

送受信割り込みの許可 / 禁止(SIO割り込みマスクレジスタ)
受信割り込み要因(受信完了 / エラー)の選択(受信割り込み要因選択レジスタ)

(5) SIO受信制御レジスタの設定

受信許可ビットのセット

(6) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送受信時に送信割り込み、または、受信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMAの設定

送信バッファエンプティ時、または、送信完了時に内蔵DMAに対してDMA転送を要求する場合は、DMAの設定を行ってください(第9章「DMA」をご覧ください)。

(8) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

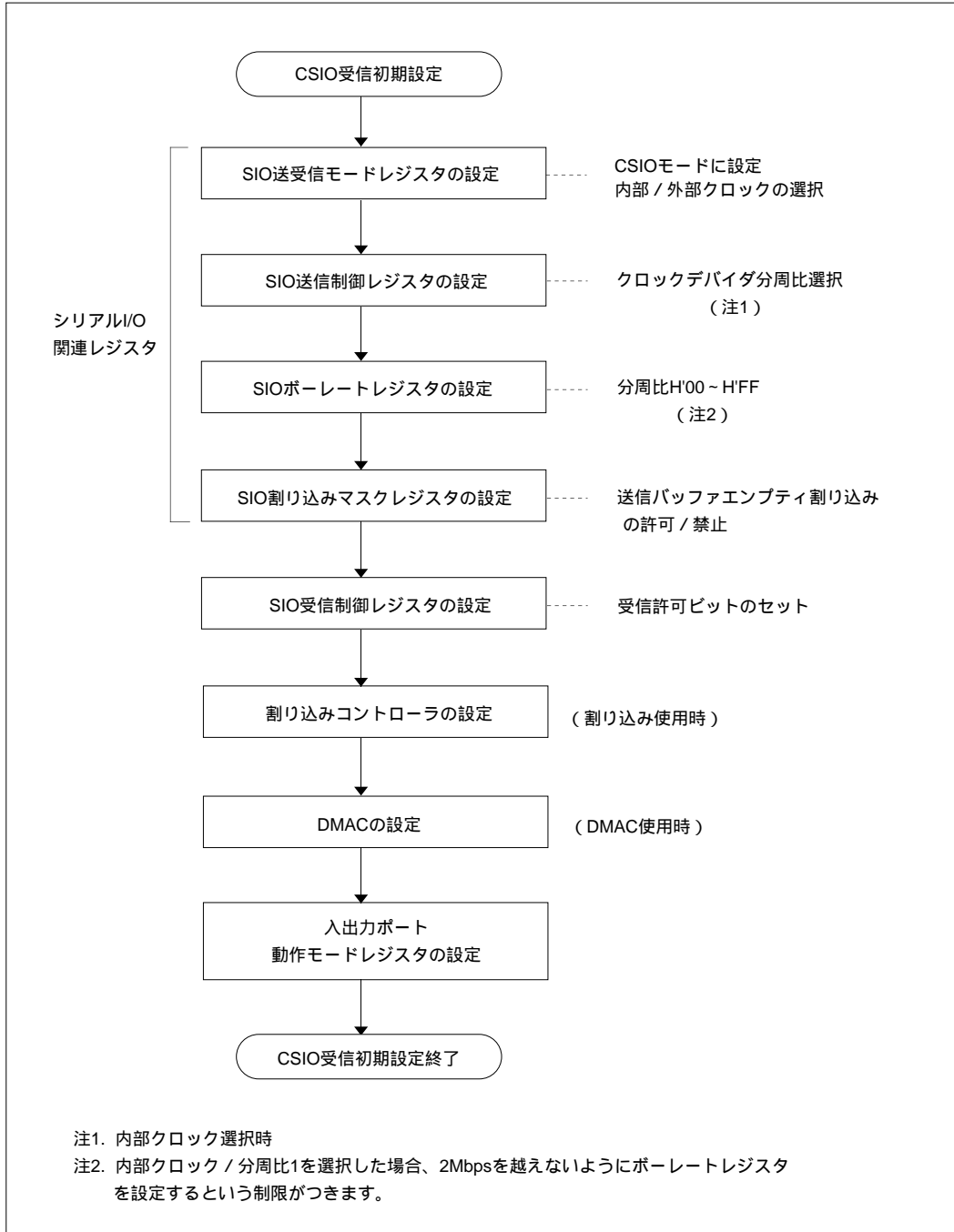


図12.4.1 CSIO受信初期化手順

12.4.2 CSIO受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

(1) CSIOモード内部クロック選択時の受信条件

SIO受信制御レジスタの受信許可ビットに"1"をセット
送信条件が満たされていること(12.3.3「CSIO送信の開始」を参照ください。)

(2) CSIOモード外部クロック選択時の受信条件

SIO受信制御レジスタの受信許可ビットに"1"をセット
送信条件が満たされていること(12.3.3「CSIO送信の開始」を参照ください。)

注. SIO送信バッファレジスタの下位バイトにダミーデータをセットした時点で、受信ステータスビットが"1"にセットされます。

上記の条件が満たされると、受信シフトクロックに同期して、8ビットのシリアルデータの受信(LSBファースト)を行います。

12.4.3 CSIO受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

注1. 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。

注2. DMA転送要求を発生します。

(2) 受信エラーが発生した場合

受信エラー(CSIOモード時はオーバランエラーのみ発生)時は、オーバランエラービットと受信エラーサムビットに"1"をセット

注1. 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時は、受信完了割り込み要求もDMA転送要求も発生しません。

注2. 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時に割り込み要求が許可された場合、受信エラー割り込み要求が発生します。DMA転送要求は発生しません。

12.4.4 連続受信について

データ受信完了時に以下の条件が満たされていれば、連続受信可能となります。

- 受信許可ビットが"1"にセットされていること
- 送信条件が満たされていること
- オーバランエラーが発生していないこと

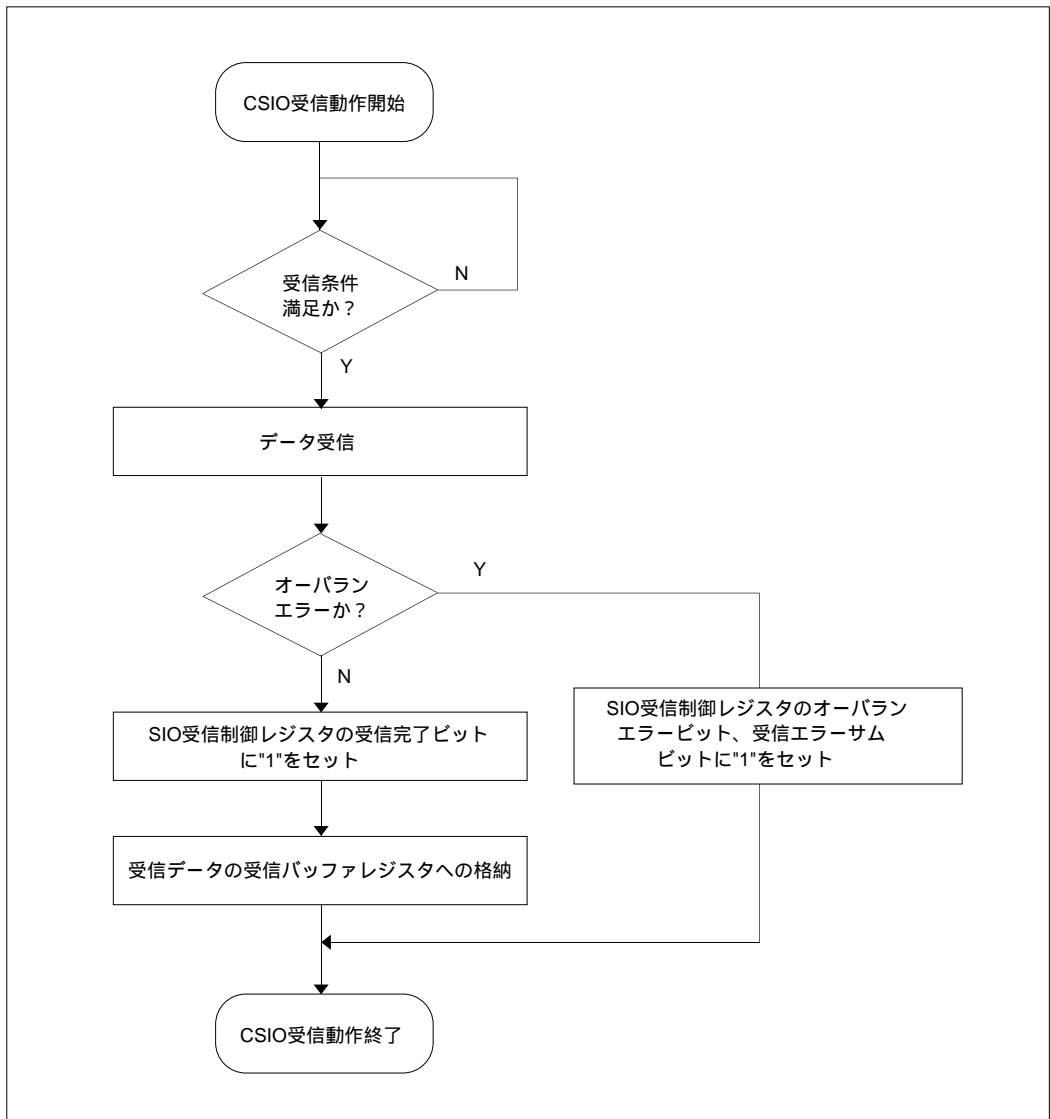


図12.4.2 CSIOモード時の受信動作(ハードウェア処理)

12.4.5 CSIO受信動作の状態を示すフラグ

CSIOモードの受信動作の状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、以後の受信データのSIO受信バッファレジスタへの格納は行われなくなります。

受信を再開するためには、いったん受信許可ビットを"0"にクリアし、受信制御部を初期化してやる必要があります。

上記の受信完了ビットのクリアは、受信エラー(注)が発生していない場合は、SIO受信バッファレジスタの下位バイト読み出し、もしくは、REN(受信許可)ビットのクリアで行います。

受信エラーが発生した場合は、REN(受信許可)ビットのクリアで行います。この場合、SIO受信バッファレジスタの下位バイトの読み出しでのクリアはできませんので、ご注意ください。

注. CSIOモードで検出可能なエラーは、オーバランエラーのみとなっています。

12.4.6 CSIO受信動作例

CSIOモードでの受信動作例を以下に示します。

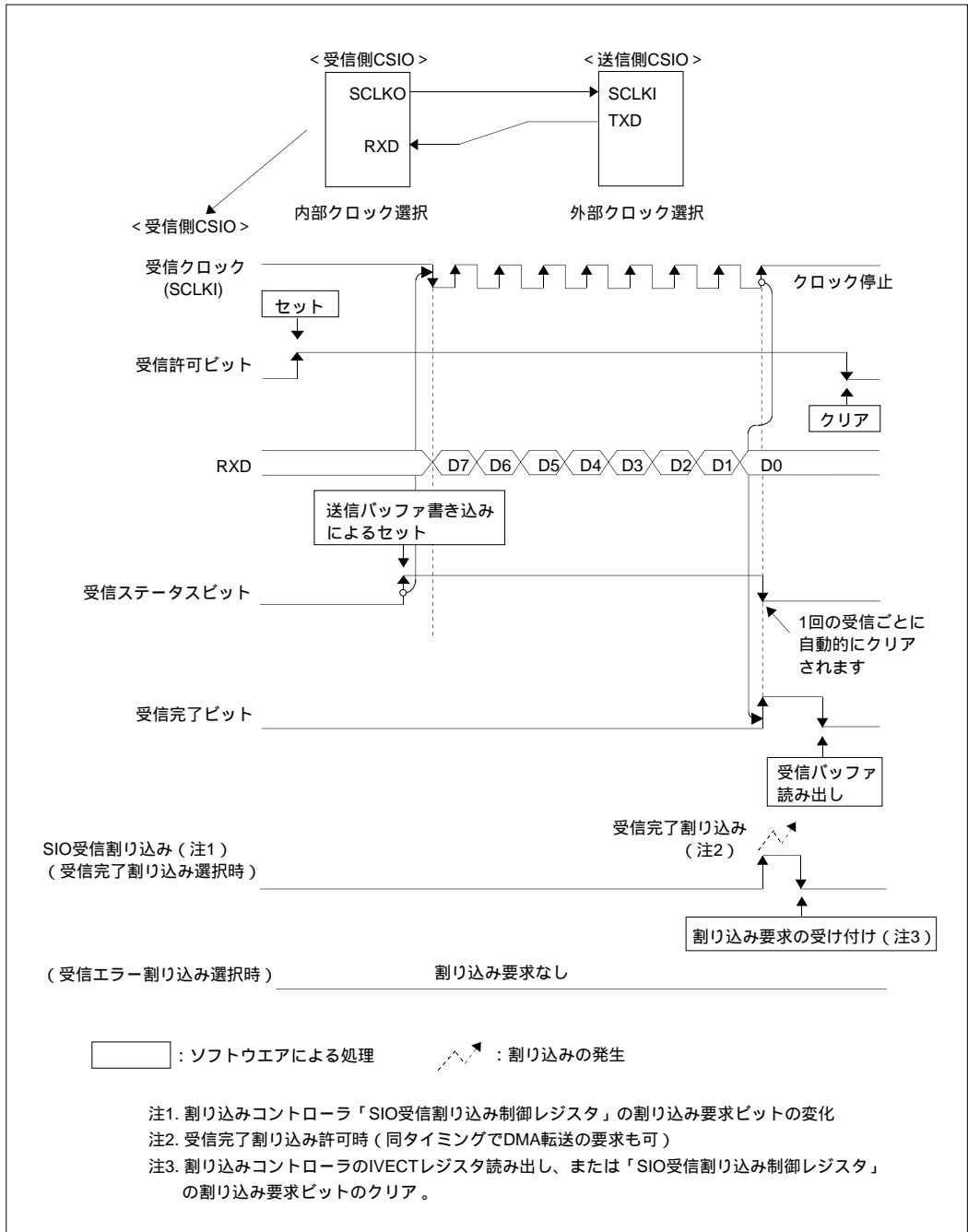


図12.4.3 CSIO受信例(正常受信時)

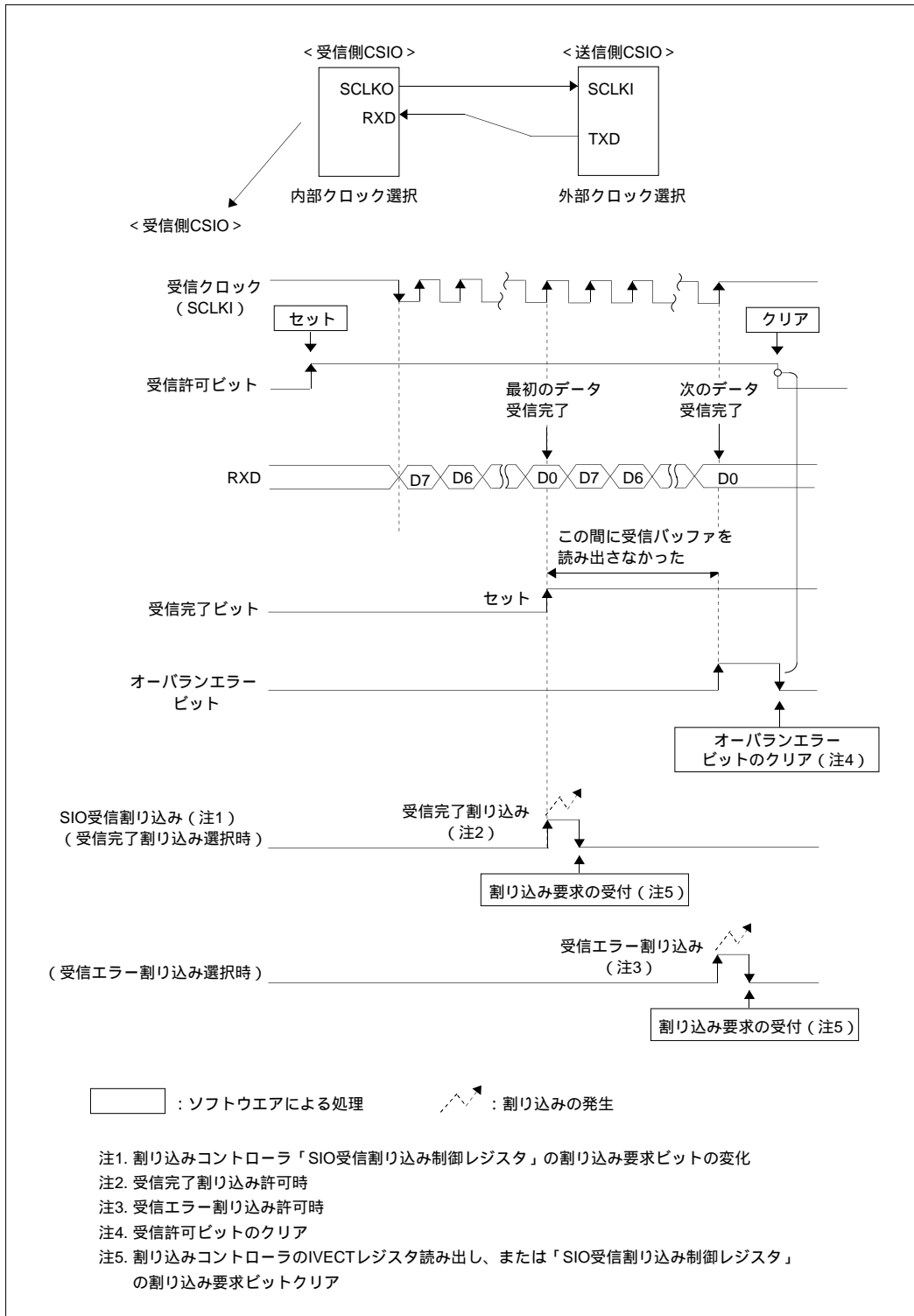


図12.4.4 CSIO受信例(オーバーランエラー発生時)

12.5 CSIOモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず停止中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、2 Mbpsを越えないようにBRGレジスタの値を設定してください。

連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMAを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんのでご注意ください。

12.6 UARTモード送信動作説明

12.6.1 UARTボーレートの設定

UARTモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックのソースは、内部/外部クロック選択ビット(SIO送受信モードレジスタのD11)の内容にかかわらず内部クロックとなります。

(1) UARTモードのボーレート算出

f(BCLK)はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力され、その後さらに16分周されて送受信シフトクロックになります。

クロックデバイダの分周値は、SIO送信制御レジスタのCDIV(ボーレートジェネレータカウンタソース選択)ビット(D2,D3)で、1分周, 8分周, 32分周または256分周から選択します。(注)

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)に分周し、さらにその後16分周して送受信シフトクロックとします。

UARTモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート [bps]} = \frac{f(\text{BCLK})}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 16}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF (注)

クロックデバイダ分周値 = 1, 8, 32, 256

注. ボーレートジェネレータカウンタソースとして1分周値(f(BCLK)そのもの)を選択した場合、ボーレートレジスタには7以上の値を設定してください。

12.6.2 UART送受信データフォーマット

UARTモード時の送受信データのフォーマットは、SIO送受信モードレジスタで設定します。以下にUARTモードで使用可能な送受信データフォーマットを示します。

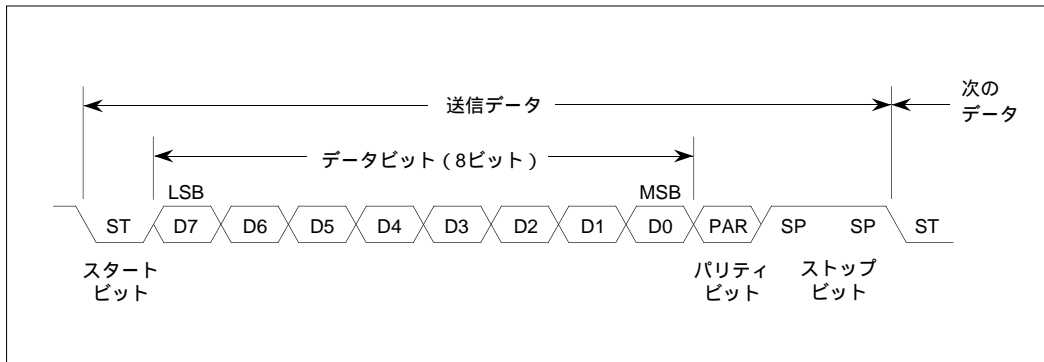


図12.6.1 UARTモード時の転送データフォーマット例

表12.6.1 UARTモード時の転送データ

ビット名称	内容
ST (スタートビット)	データの送信開始を示すビットで、1ビット分の"L"信号が送信データの直前に付加されます。
D0~D8 (キャラクタビット)	シリアルI/Oを通じて転送される送受信データです。UARTモードでは7ビット、8ビットデータ、または9ビットデータの送受信が可能です。
PAR (パリティビット)	送受信キャラクタに付加されるビットで、パリティ有効時、偶数 / 奇数パリティの選択によって、パリティビットを含めたキャラクタ中の"1"の個数が常に偶数、または奇数になるように自動的に設定されます。
SP (ストップビット)	データの送信終了を示すビットで、キャラクタの直後(パリティ有効時はパリティビットの直後)に付加されます。ストップビットは1ビット、または2ビットを選択することができます。

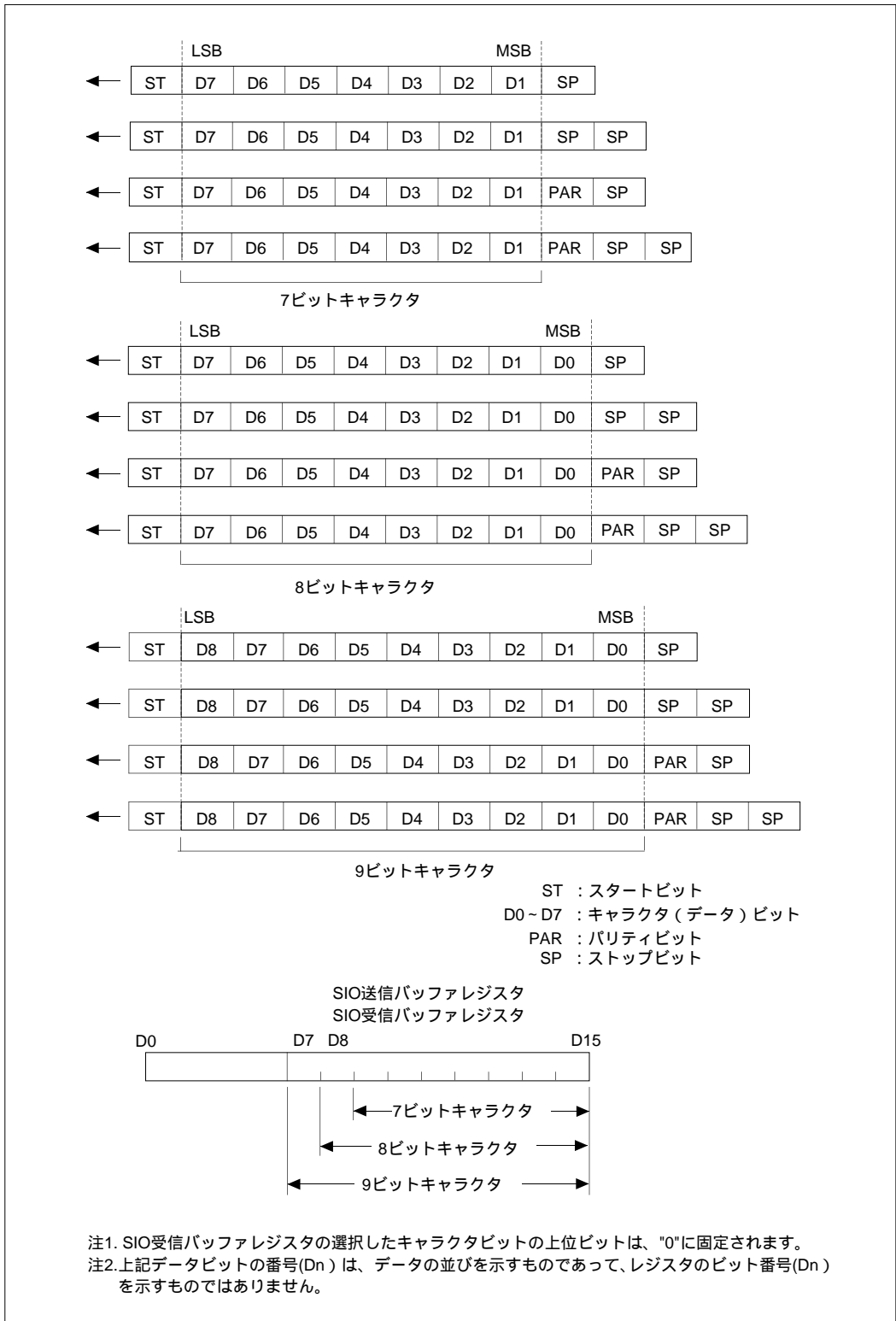


図12.6.2 UARTモード時に選択可能なデータフォーマット一覧

12.6.3 UART送信時の初期設定

UARTで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

UARTモードに設定
パリティの設定(有効時は奇数/偶数選択)
ストップビット長の設定
キャラクタ長の設定(注)

注. UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比を選択します。

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(12.6.1「UARTボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

SIO送信割り込みの許可/禁止

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMAの設定

送信バッファエンプティ時に内蔵DMAに対してDMA転送を要求する場合は、DMAの設定を行ってください(第9章「DMA」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

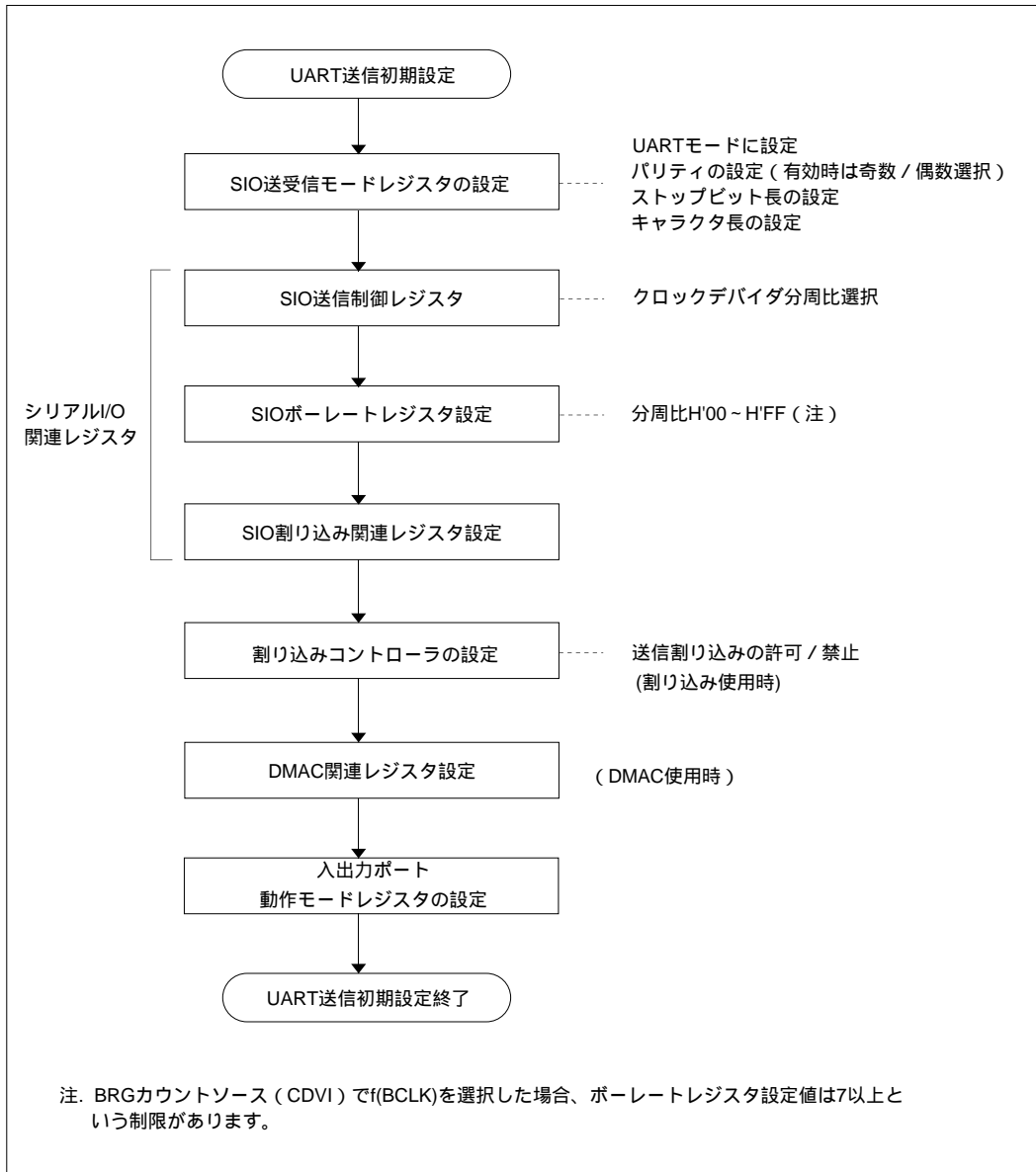


図12.6.3 UART送信初期化手順

12.6.4 UART送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

SIO送信制御レジスタのTEN(送信許可)ビットに"1"をセット (注)
SIO送信バッファレジスタに送信データを書き込み
(送信バッファエンプティビットが"0")

注. 送信許可ビットが"0"にクリアされている状態では、送信バッファへの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。

送信が開始されると以下の手順でデータが送信されます。

SIO送信バッファの内容を、SIO送信シフトレジスタに転送
送信バッファエンプティビットに"1"をセット (注)
シフトクロックに同期してデータ送信を開始(LSBファースト)

注. 送信バッファエンプティにより送信バッファエンプティ割り込み要求、およびDMA転送要求を発生することができます。

12.6.5 UARTの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIO送信制御レジスタの送信バッファエンプティフラグで確認します。

12.6.6 UART送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

送信ステータスビットに"0"をセット

(2) 連続送信の場合

連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.6.7 送信割り込み

SIO割り込みマスクレジスタで送信バッファEMPTY割り込みを許可した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたとき、送信バッファEMPTY割り込みが発生します。また、送信バッファEMPTY割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファEMPTY割り込みが発生します。

送信割り込みを使用するためには、割り込みコントローラ(ICU)の設定が必要です。

12.6.8 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMAへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMAの設定が必要となります。

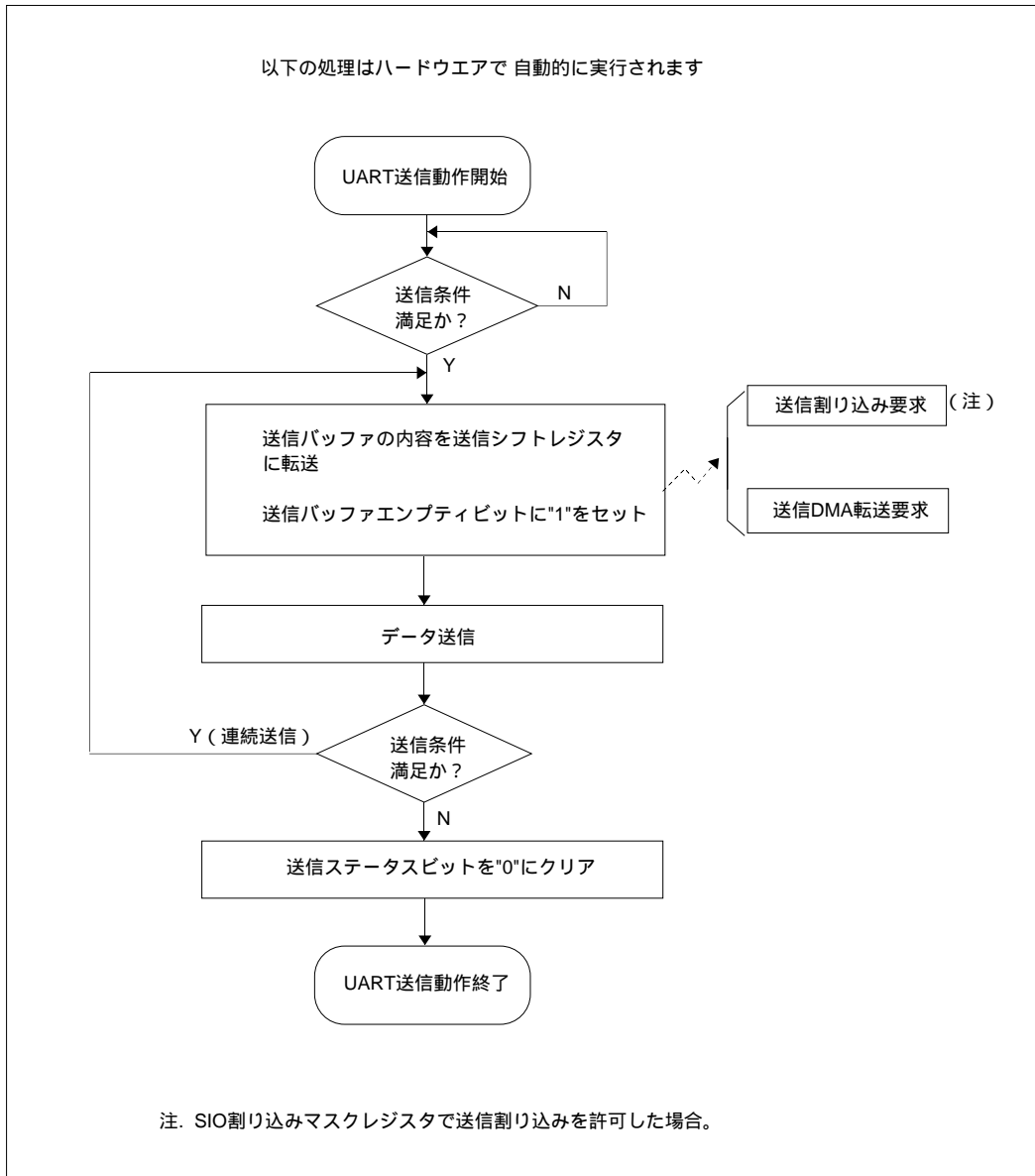


図12.6.4 UARTモード時の送信動作(ハードウェア処理)

12.6.9 UART送信動作例

UARTモードでの送信動作例を以下に示します。

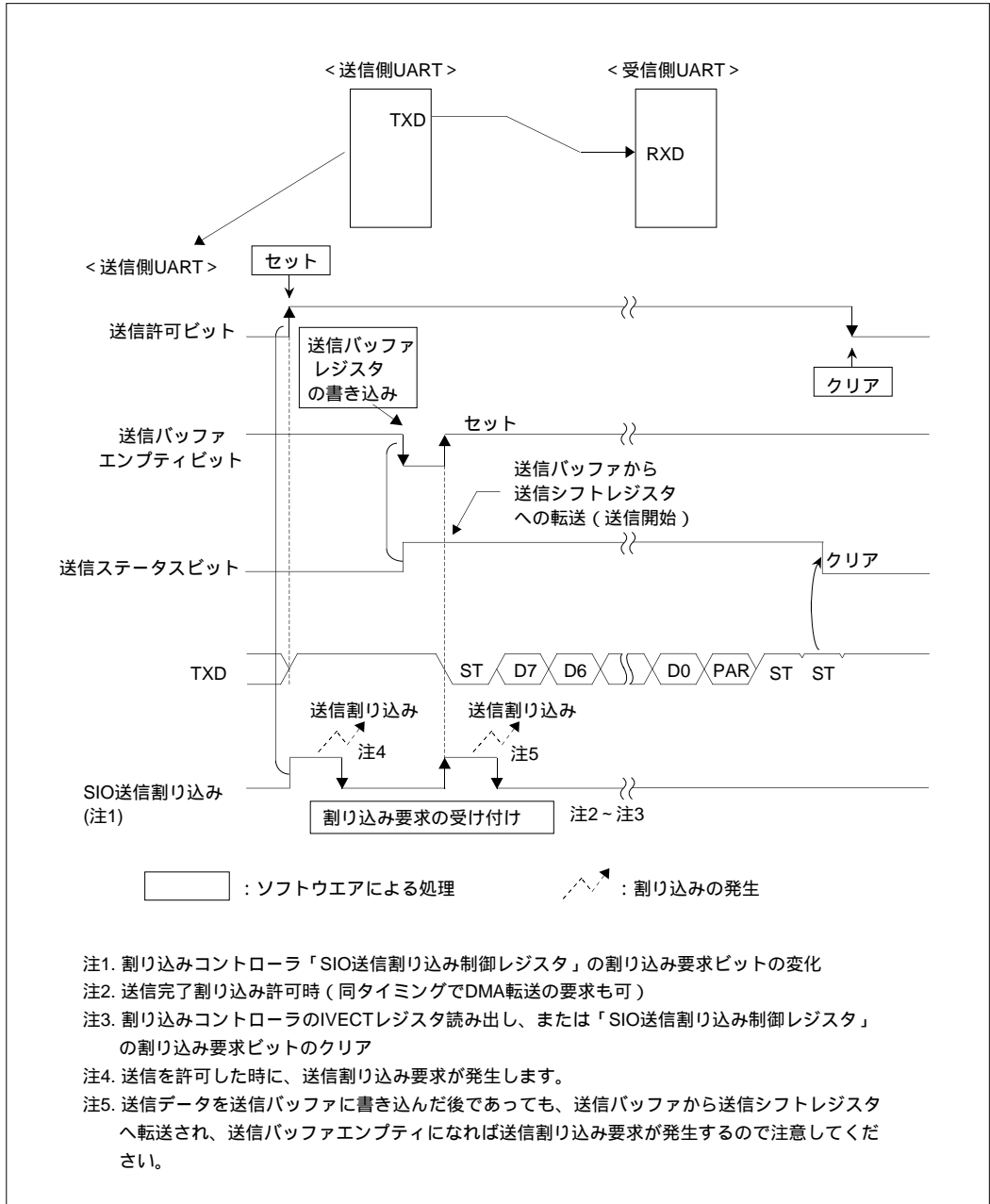


図12.6.5 UART送信例 (1回だけの送信：送信割り込みのみ使用)

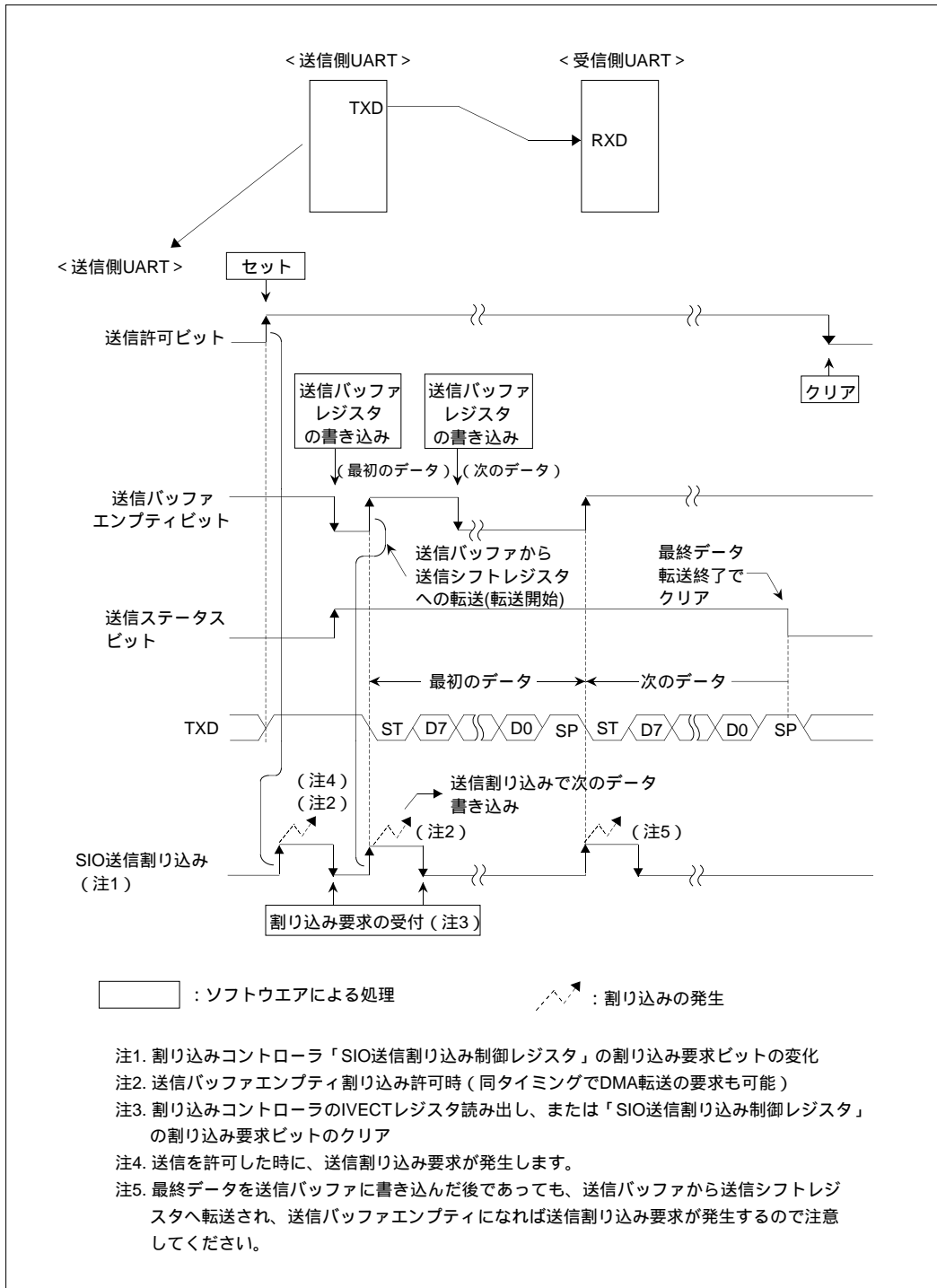


図12.6.6 UART送信例(連続送信：送信割り込み使用)

12.7 UARTモード受信動作説明

12.7.1 UART受信時の初期設定

UARTで受信を行う場合は、以下の手順で初期設定を行います。

(1) SIOモードレジスタの設定

UARTモードに設定
パリティの設定(有効時は奇数 / 偶数選択)
ストップビット長の設定
キャラクタ長の設定

注. UARTモード時は、内部 / 外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の設定

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(12.6.1「UARTボーレートの設定」をご覧ください)。

(4) SIO割り込み関連の設定

受信割り込み要因選択レジスタ
受信割り込み要因の選択(受信完了 / 受信エラー)
割り込みマスクレジスタ
受信割り込みの許可 / 禁止

(5) 割り込みコントローラの設定

受信時に割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMAの設定

受信完了時に内蔵DMAに対してDMA転送を要求する場合は、DMAの設定を行ってください(第9章「DMA」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

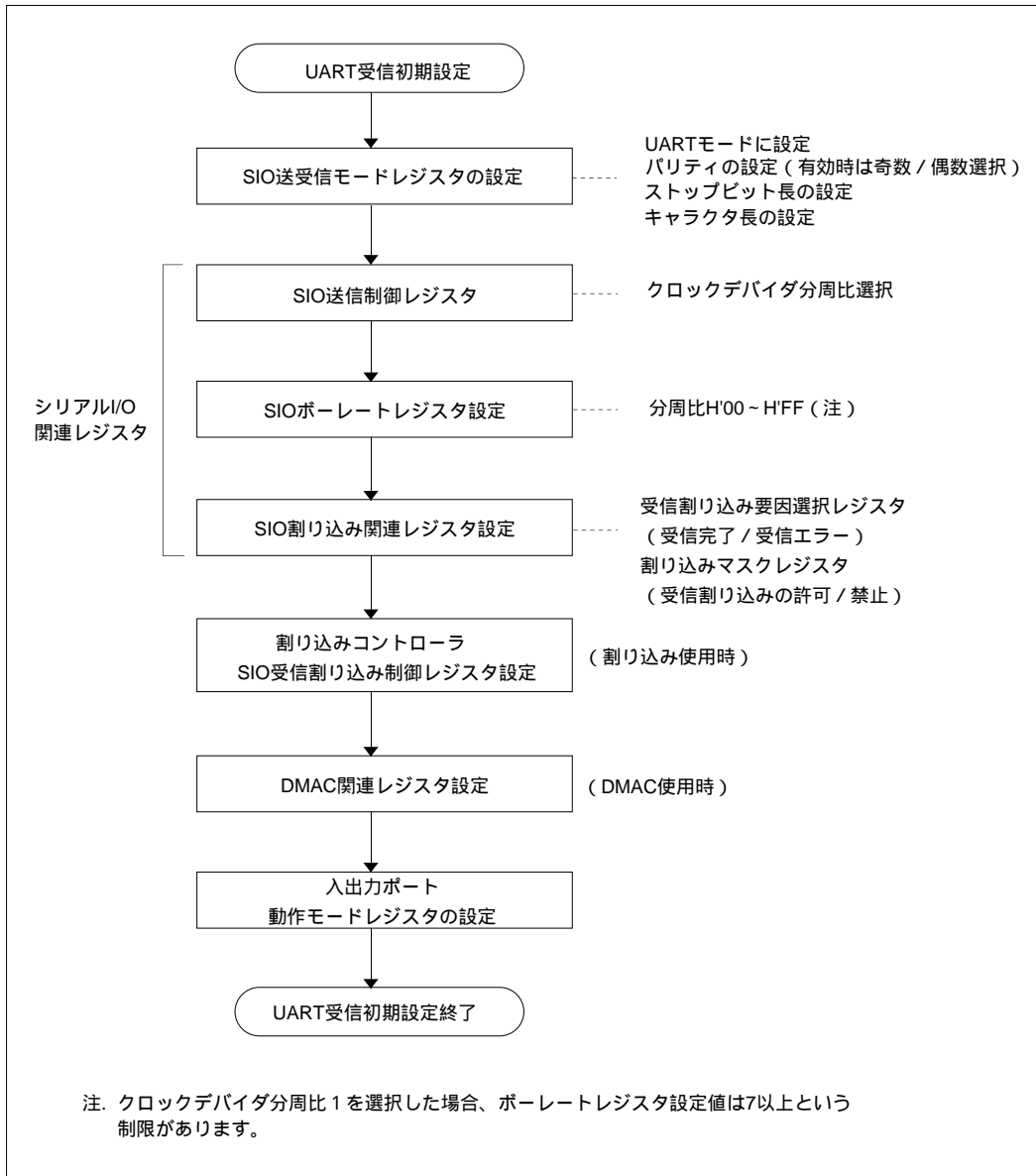


図12.7.1 UART受信初期化手順

12.7.2 UART受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

SIO受信制御レジスタの受信許可ビットに"1"をセット
RXD端子へのスタートビット(立ち下がりエッジ信号)入力

上記の条件が満たされるとUART受信動作に入ります。ただし、内部受信シフトクロックの最初の立ち上がりでもう一度スタートビットをチェックし、その時ノイズなどにより"H"が検出された場合は、受信動作を停止し、再度スタートビット待ちとなります。

12.7.3 UART受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

注1. 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。

注2. DMA転送要求を発生します。

(2) 受信エラーが発生した場合

エラー発生時は該当エラービット(OE, FE, PE)と受信エラーサムビットに"1"をセット

注1. 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時に割り込み要求が許可された場合、受信完了割り込み要求が発生します。ただし、オーバランエラー発生時は、受信完了割り込みは発生しませんのでご注意願います。

注2. 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時に割り込み要求が許可された場合、受信エラー割り込み要求が発生します。

注3. DMA転送要求は発生しません。

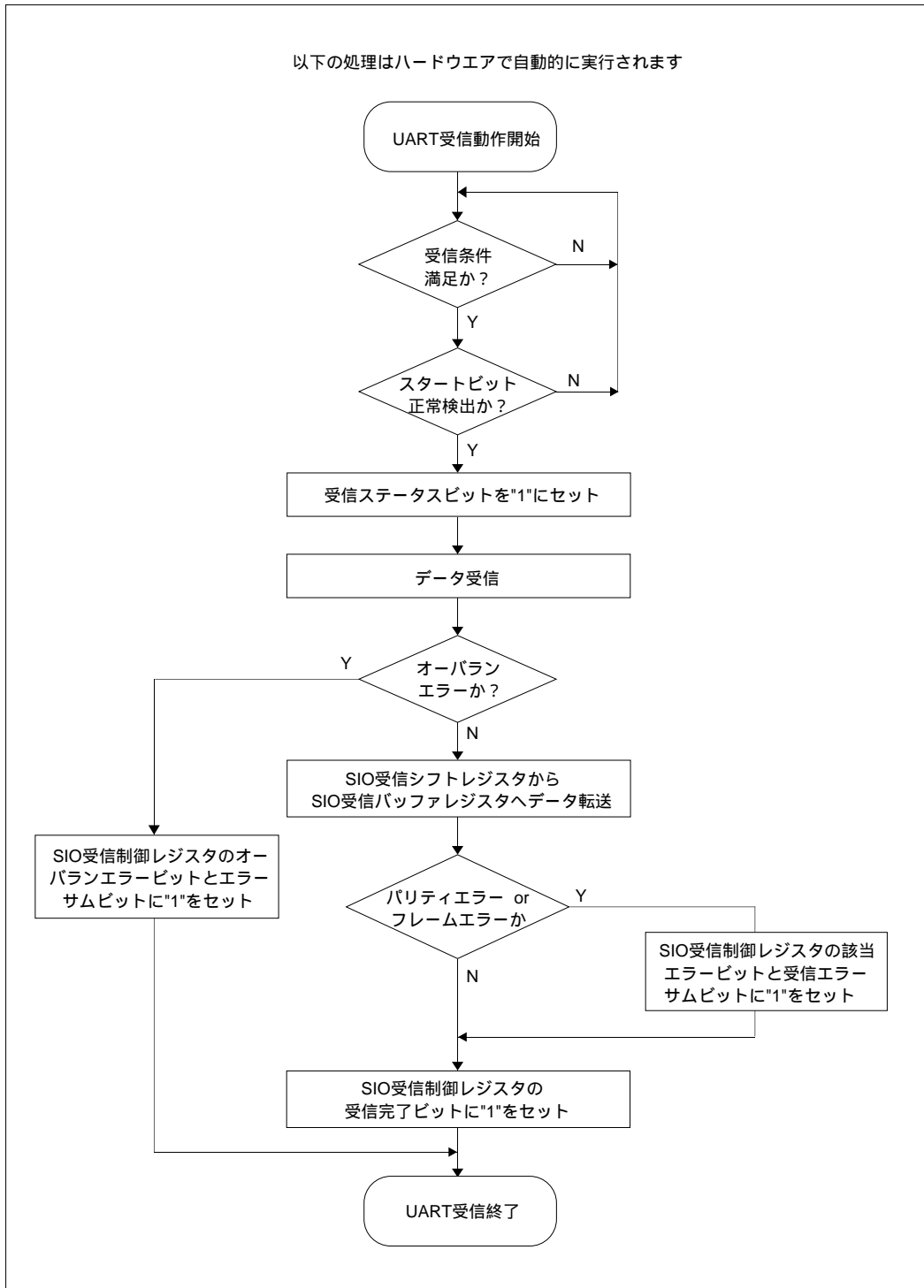


図12.7.2 UARTモード時の受信動作(ハードウェア処理)

12.7.4 UART受信動作例

UARTモードでの受信動作例を以下に示します。

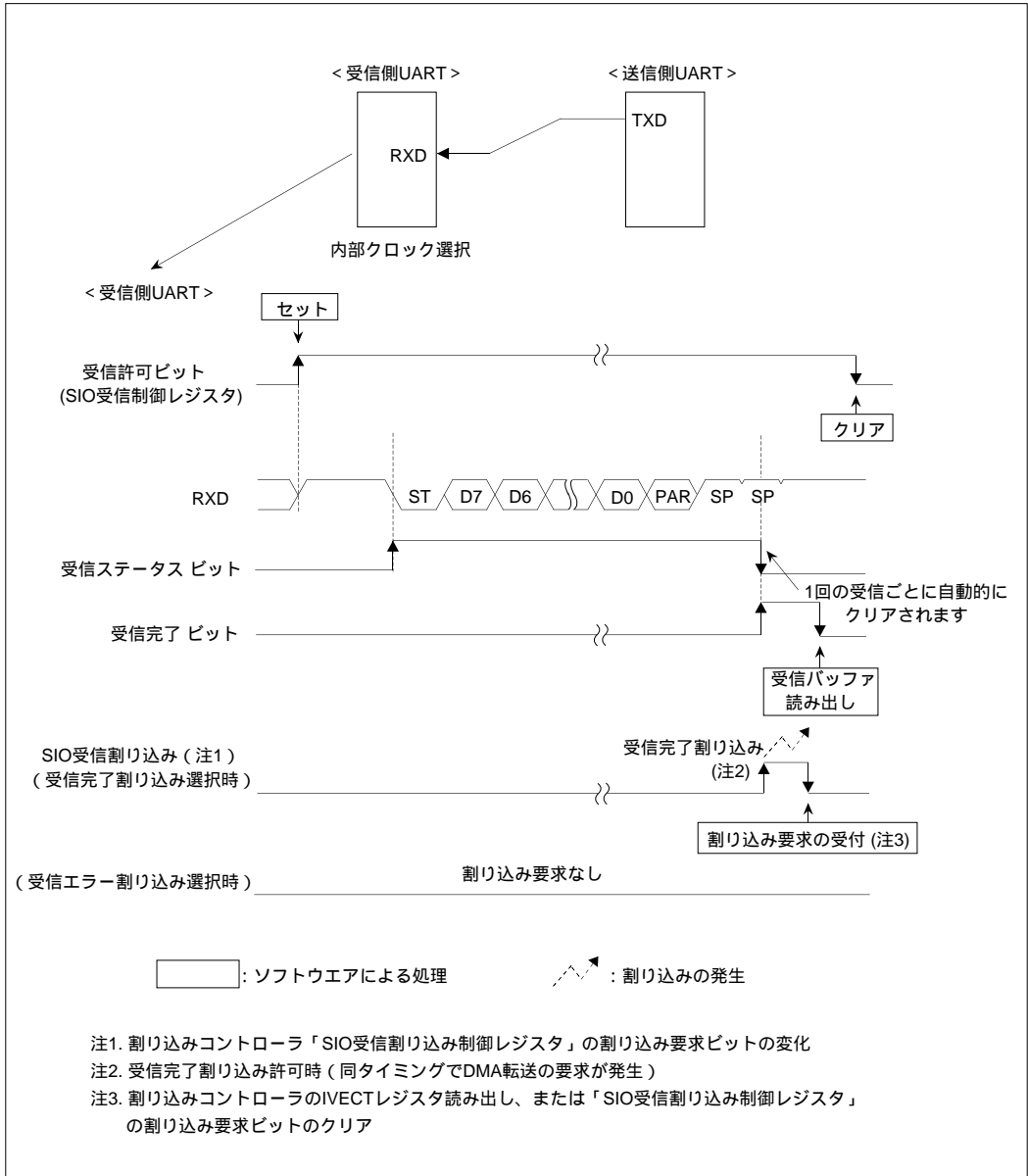


図12.7.3 UART受信例 (正常受信時)

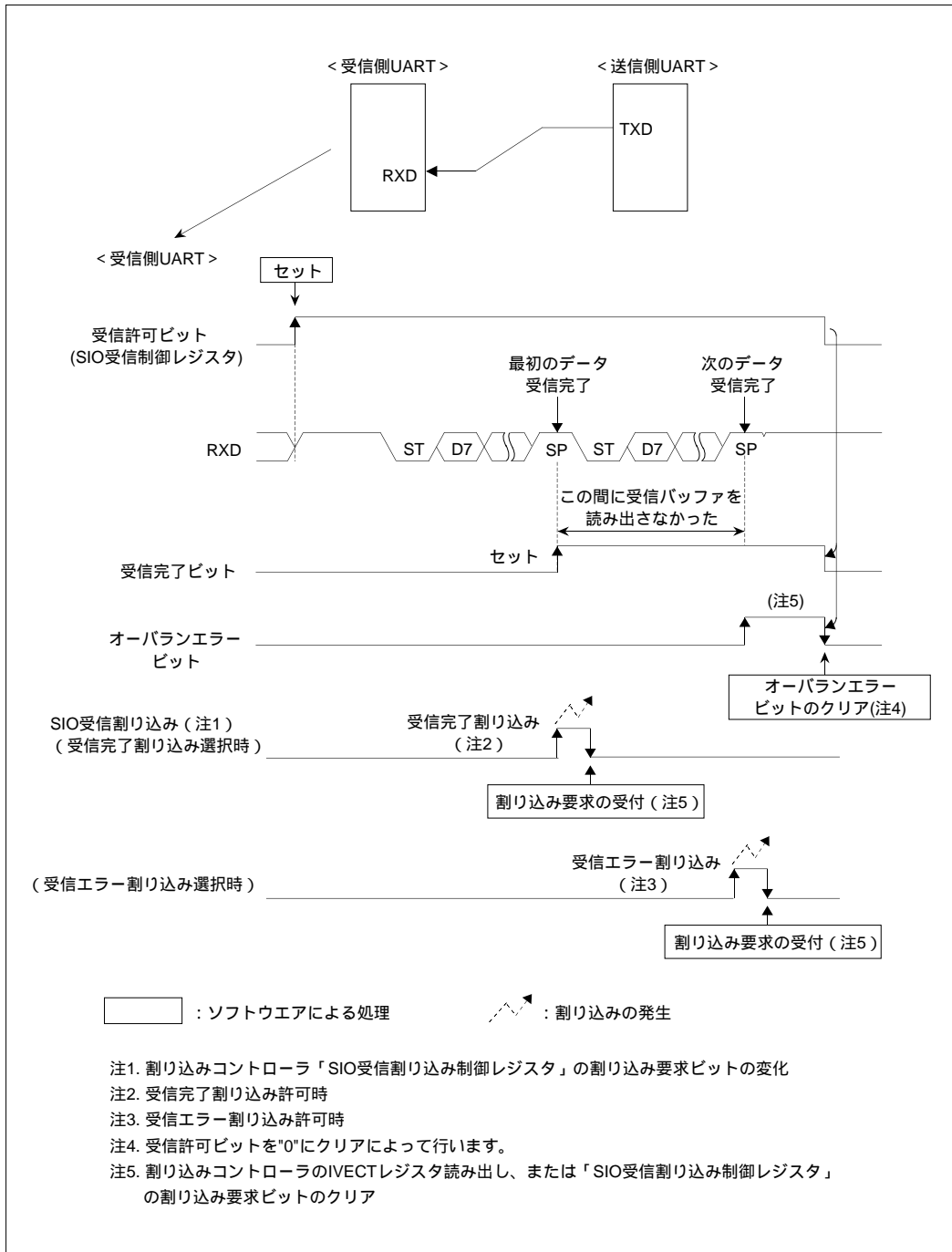


図12.7.4 UART受信例(オーバランエラー発生時)

12.7.5 UART受信時のスタートビットの検出

スタートビットは、内部BRG出力のタイミングでサンプリングします。スタートビットの立ち下がり検出後、内部BRG出力の8サイクル後のレベルが"L"であれば、スタートビットが確定し、更に8サイクル後からをLSBデータ(1ビット目のデータ)として取り込みます。スタートビット確定時に"H"であれば、再度立ち下がりの検出を行います。内部BRGに同期してサンプリングするため、最大BRG出力分のディレイが生じます。以降、ディレイが生じたタイミングで受信します。

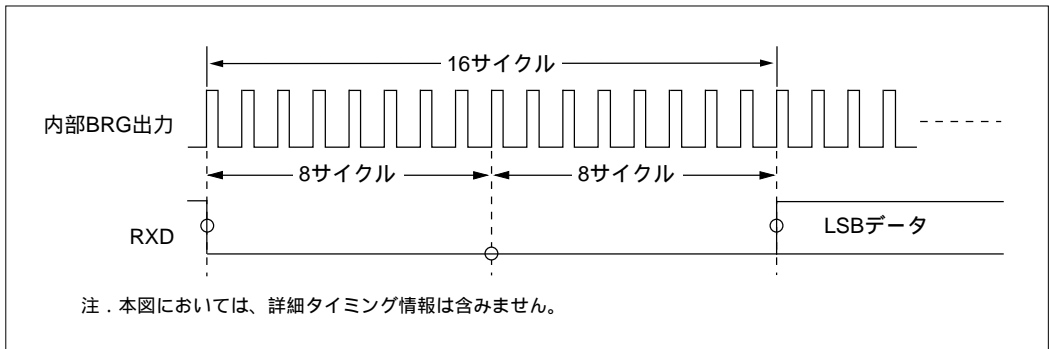


図12.7.5 スタートビットの検出

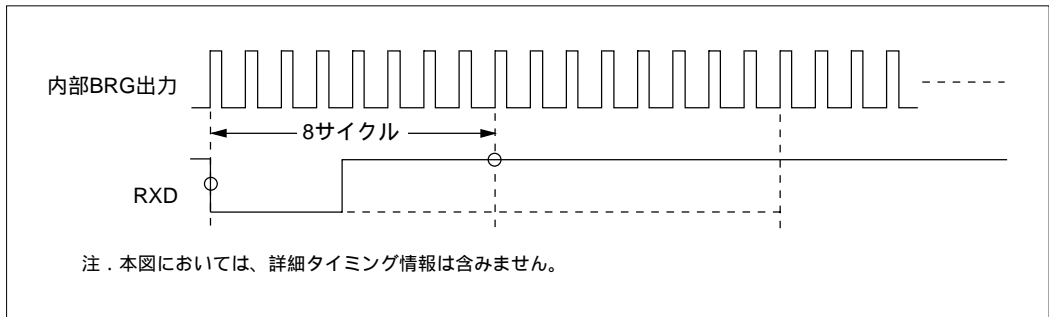


図12.7.6 スタートビット無効例(受信しない)

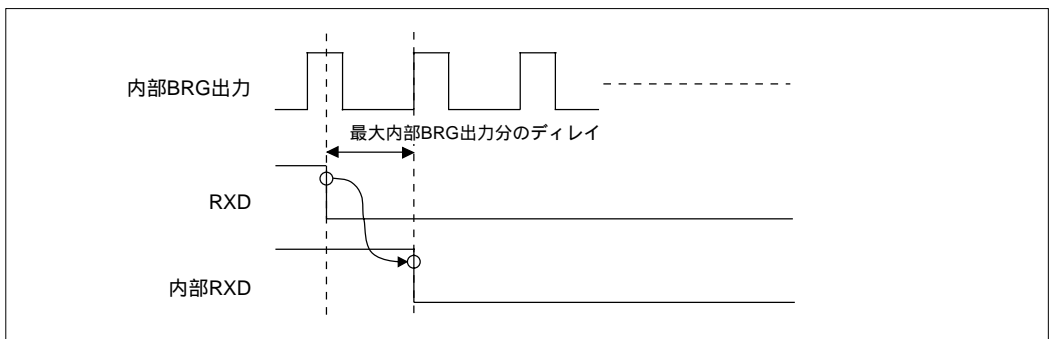


図12.7.7 受信時のディレイ

12.8 定周期クロック出力機能

SIO0、SIO1、SIO4、SIO5をUARTモードで使用する場合、該当ポート(P84、P87、P65、P66)をそれぞれSCLKO0端子、SCLKO1端子、SCLKO4端子、SCLKO5端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

注. クロック出力はデータ転送時以外も出力されます。

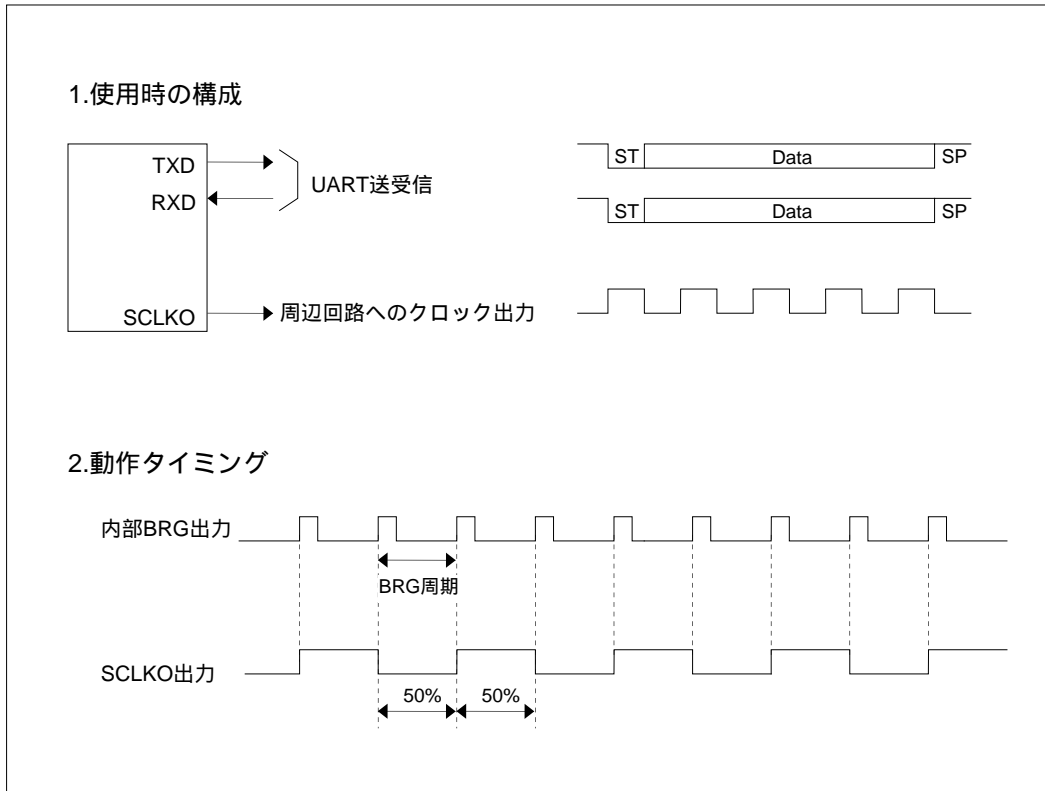


図12.8.1 定周期クロック出力例

12.9 UARTモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず停止中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウンタ終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMAを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

空きページです

第13章

CANモジュール

- 13.1 CANモジュールの概要
- 13.2 CANモジュール関連
レジスタ
- 13.3 CANプロトコル
- 13.4 CANモジュール初期設定
- 13.5 データフレーム送信
- 13.6 データフレーム受信
- 13.7 リモートフレーム送信
- 13.8 リモートフレーム受信

13.1 CANモジュールの概要

32172/32173は、CAN(Controller Area Network) Specification 2.0B active 準拠のFull CANモジュールを2つ(CAN0、CAN1)内蔵しています。CAN0、CAN1にはそれぞれ16本のメッセージスロットと3本のマスクレジスタがあります。メッセージスロットとマスクレジスタを有効に活用することにより、データ処理に伴うCPUの負荷を低減することができます。

以下にFull CANモジュールの概要を示します。

表13.1.1 CANモジュールの概要

項目	内容
プロトコル	CAN Specification 2.0B active
メッセージスロット数	16本(グローバルスロット：14本、ローカルスロット：2本)×2
極性	0：Dominant 1：Recessive
アクセプタンスフィルタ	グローバルマスク：1本×2(受信IDフィルタにより、指定範囲のIDのみ受信する機能) ローカルマスク：2本×2
ボーレート	1 Time quantum (Tq) = (BRP + 1) / CPUクロック (BRP：ボーレートプリスケアラ設定値) $\text{ボーレート} = \frac{1}{\text{Tq周期} \times \text{1ビット分のTqの数}} \quad \dots \text{Max 1 Mbps (注)}$ BRP：1～255(0：禁止) 1ビット分のTqの数 = Synchronization Segment + Propagation Segment + Phase Segment 1 + Phase Segment 2 Propagation Segment：1～8Tq Phase Segment 1：1～8Tq Phase Segment 2：2～8Tq (IPT = 2)
リモートフレーム自動応答機能	リモートフレームを受信したメッセージスロットが自動的に送信を行う機能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能。CANバスのビット周期を基本周期として、カウント周期を1,2,3,4分周に設定可能。
BasicCANモード	ローカルスロットを2本使用してBasicCAN機能を実現。
送信アボート機能	送信要求をキャンセルする機能。
ループバック機能	CANモジュールが送信したデータ自身を受信する機能。
リターンバスオフ機能	エラーカウンタをクリアし、強制的にエラーアクティブモードに移行させる機能

注. 最大ボーレートはシステム構成(バス長、クロック誤差、CANバストラシシーバ、サンプリング位置、ビット構成など)に依存します。

表13.1.2 CANモジュールの割り込み発生機能

CANモジュール割り込み要因	ICU割り込み要因
CAN0送信完了割り込み	CAN0送受信&エラー割り込み
CAN0受信完了割り込み	CAN0送受信&エラー割り込み
CAN0バスエラー割り込み	CAN0送受信&エラー割り込み
CAN0エラーパッシブ割り込み	CAN0送受信&エラー割り込み
CAN0バスオフ割り込み	CAN0送受信&エラー割り込み
CAN1送信完了割り込み	CAN1送受信&エラー割り込み
CAN1受信完了割り込み	CAN1送受信&エラー割り込み
CAN1バスエラー割り込み	CAN1送受信&エラー割り込み
CAN1エラーパッシブ割り込み	CAN1送受信&エラー割り込み
CAN1バスオフ割り込み	CAN1送受信&エラー割り込み

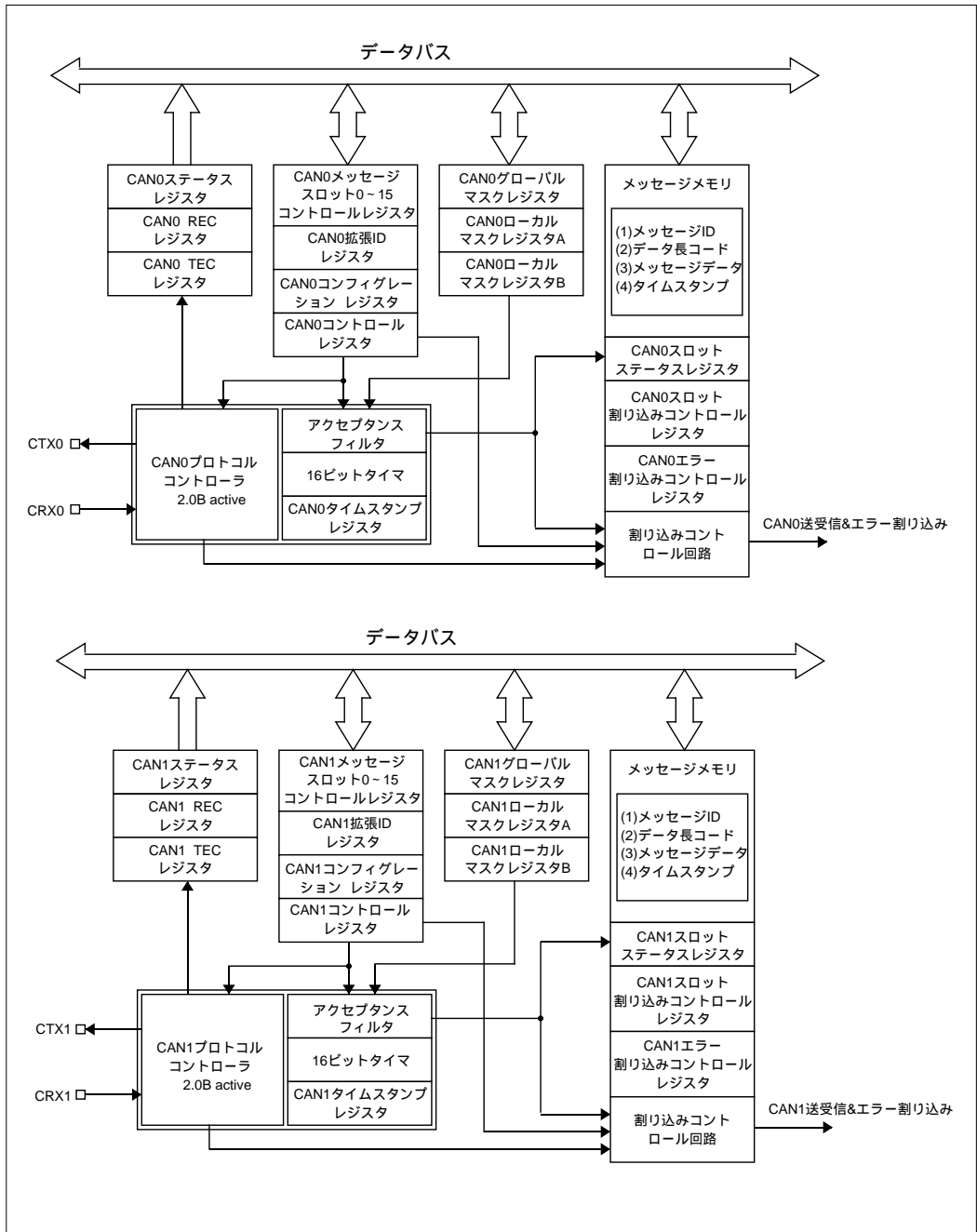


図13.1.1 CANモジュールブロック図

13.2 CANモジュール関連レジスタ

CANモジュール関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 1000	CAN0コントロールレジスタ(CAN0CNT)				
H'0080 1002	CAN0ステータスレジスタ(CAN0STAT)				
H'0080 1004	CAN0拡張IDレジスタ(CAN0EXTID)				
H'0080 1006	CAN0コンフィグレーションレジスタ(CAN0CONF)				
H'0080 1008	CAN0タイムスタンプカウンタレジスタ(CAN0TSTMP)				
H'0080 100A	CAN0受信エラーカウンタレジスタ(CAN0REC)		CAN0送信エラーカウンタレジスタ(CAN0TEC)		
H'0080 100C	CAN0スロット割り込みステータスレジスタ(CAN0SLIST)				
H'0080 100E					
H'0080 1010	CAN0スロット割り込みマスクレジスタ(CAN0SLIMK)				
H'0080 1012					
H'0080 1014	CAN0エラー割り込みステータスレジスタ(CAN0ERIST)		CAN0エラー割り込みマスクレジスタ(CAN0ERIMK)		
H'0080 1016	CAN0ポーレートプリスケアラ(CAN0BRP)				
	~				
H'0080 1028	CAN0グローバルマスクレジスタ標準ID0 (C0GMSKS0)		CAN0グローバルマスクレジスタ標準ID1 (C0GMSKS1)		
H'0080 102A	CAN0グローバルマスクレジスタ拡張ID0 (C0GMSKE0)		CAN0グローバルマスクレジスタ拡張ID1 (C0GMSKE1)		
H'0080 102C	CAN0グローバルマスクレジスタ拡張ID2 (C0GMSKE2)				
H'0080 102E					
H'0080 1030	CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0)		CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1)		
H'0080 1032	CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0)		CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)		
H'0080 1034	CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2)				
H'0080 1036					
H'0080 1038	CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0)		CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1)		
H'0080 103A	CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0)		CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)		
H'0080 103C	CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2)				
	~				
H'0080 1050	CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT)		CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT)		
H'0080 1052	CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT)		CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT)		
H'0080 1054	CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT)		CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT)		
H'0080 1056	CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT)		CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT)		
H'0080 1058	CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT)		CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT)		
H'0080 105A	CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT)		CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT)		
H'0080 105C	CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT)		CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT)		
H'0080 105E	CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT)		CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT)		
	~				

空き領域は予約領域です。

図13.2.1 CANモジュール関連レジスタマップ(1/8)

番地	+ 0番地		+ 1番地	
	D0	D7 D8	D7 D8	D15
H'0080 1100	CAN0メッセージスロット0標準ID0(C0MSL0SID0)	CAN0メッセージスロット0標準ID1(C0MSL0SID1)		
H'0080 1102	CAN0メッセージスロット0拡張ID0(C0MSL0EID0)	CAN0メッセージスロット0拡張ID1(C0MSL0EID1)		
H'0080 1104	CAN0メッセージスロット0拡張ID2(C0MSL0EID2)	CAN0メッセージスロット0データ長レジスタ(C0MSL0DLC)		
H'0080 1106	CAN0メッセージスロット0データ0(C0MSL0DT0)	CAN0メッセージスロット0データ1(C0MSL0DT1)		
H'0080 1108	CAN0メッセージスロット0データ2(C0MSL0DT2)	CAN0メッセージスロット0データ3(C0MSL0DT3)		
H'0080 110A	CAN0メッセージスロット0データ4(C0MSL0DT4)	CAN0メッセージスロット0データ5(C0MSL0DT5)		
H'0080 110C	CAN0メッセージスロット0データ6(C0MSL0DT6)	CAN0メッセージスロット0データ7(C0MSL0DT7)		
H'0080 110E	CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)			
H'0080 1110	CAN0メッセージスロット1標準ID0(C0MSL1SID0)	CAN0メッセージスロット1標準ID1(C0MSL1SID1)		
H'0080 1112	CAN0メッセージスロット1拡張ID0(C0MSL1EID0)	CAN0メッセージスロット1拡張ID1(C0MSL1EID1)		
H'0080 1114	CAN0メッセージスロット1拡張ID2(C0MSL1EID2)	CAN0メッセージスロット1データ長レジスタ(C0MSL1DLC)		
H'0080 1116	CAN0メッセージスロット1データ0(C0MSL1DT0)	CAN0メッセージスロット1データ1(C0MSL1DT1)		
H'0080 1118	CAN0メッセージスロット1データ2(C0MSL1DT2)	CAN0メッセージスロット1データ3(C0MSL1DT3)		
H'0080 111A	CAN0メッセージスロット1データ4(C0MSL1DT4)	CAN0メッセージスロット1データ5(C0MSL1DT5)		
H'0080 111C	CAN0メッセージスロット1データ6(C0MSL1DT6)	CAN0メッセージスロット1データ7(C0MSL1DT7)		
H'0080 111E	CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)			
H'0080 1120	CAN0メッセージスロット2標準ID0(C0MSL2SID0)	CAN0メッセージスロット2標準ID1(C0MSL2SID1)		
H'0080 1122	CAN0メッセージスロット2拡張ID0(C0MSL2EID0)	CAN0メッセージスロット2拡張ID1(C0MSL2EID1)		
H'0080 1124	CAN0メッセージスロット2拡張ID2(C0MSL2EID2)	CAN0メッセージスロット2データ長レジスタ(C0MSL2DLC)		
H'0080 1126	CAN0メッセージスロット2データ0(C0MSL2DT0)	CAN0メッセージスロット2データ1(C0MSL2DT1)		
H'0080 1128	CAN0メッセージスロット2データ2(C0MSL2DT2)	CAN0メッセージスロット2データ3(C0MSL2DT3)		
H'0080 112A	CAN0メッセージスロット2データ4(C0MSL2DT4)	CAN0メッセージスロット2データ5(C0MSL2DT5)		
H'0080 112C	CAN0メッセージスロット2データ6(C0MSL2DT6)	CAN0メッセージスロット2データ7(C0MSL2DT7)		
H'0080 112E	CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)			
H'0080 1130	CAN0メッセージスロット3標準ID0(C0MSL3SID0)	CAN0メッセージスロット3標準ID1(C0MSL3SID1)		
H'0080 1132	CAN0メッセージスロット3拡張ID0(C0MSL3EID0)	CAN0メッセージスロット3拡張ID1(C0MSL3EID1)		
H'0080 1134	CAN0メッセージスロット3拡張ID2(C0MSL3EID2)	CAN0メッセージスロット3データ長レジスタ(C0MSL3DLC)		
H'0080 1136	CAN0メッセージスロット3データ0(C0MSL3DT0)	CAN0メッセージスロット3データ1(C0MSL3DT1)		
H'0080 1138	CAN0メッセージスロット3データ2(C0MSL3DT2)	CAN0メッセージスロット3データ3(C0MSL3DT3)		
H'0080 113A	CAN0メッセージスロット3データ4(C0MSL3DT4)	CAN0メッセージスロット3データ5(C0MSL3DT5)		
H'0080 113C	CAN0メッセージスロット3データ6(C0MSL3DT6)	CAN0メッセージスロット3データ7(C0MSL3DT7)		
H'0080 113E	CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)			
H'0080 1140	CAN0メッセージスロット4標準ID0(C0MSL4SID0)	CAN0メッセージスロット4標準ID1(C0MSL4SID1)		
H'0080 1142	CAN0メッセージスロット4拡張ID0(C0MSL4EID0)	CAN0メッセージスロット4拡張ID1(C0MSL4EID1)		
H'0080 1144	CAN0メッセージスロット4拡張ID2(C0MSL4EID2)	CAN0メッセージスロット4データ長レジスタ(C0MSL4DLC)		
H'0080 1146	CAN0メッセージスロット4データ0(C0MSL4DT0)	CAN0メッセージスロット4データ1(C0MSL4DT1)		
H'0080 1148	CAN0メッセージスロット4データ2(C0MSL4DT2)	CAN0メッセージスロット4データ3(C0MSL4DT3)		
H'0080 114A	CAN0メッセージスロット4データ4(C0MSL4DT4)	CAN0メッセージスロット4データ5(C0MSL4DT5)		
H'0080 114C	CAN0メッセージスロット4データ6(C0MSL4DT6)	CAN0メッセージスロット4データ7(C0MSL4DT7)		
H'0080 114E	CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)			
H'0080 1150	CAN0メッセージスロット5標準ID0(C0MSL5SID0)	CAN0メッセージスロット5標準ID1(C0MSL5SID1)		
H'0080 1152	CAN0メッセージスロット5拡張ID0(C0MSL5EID0)	CAN0メッセージスロット5拡張ID1(C0MSL5EID1)		

空き領域は予約領域です。

図13.2.2 CANモジュール関連レジスタマップ(2/8)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1154	CAN0メッセージスロット5拡張ID2(C0MSL5EID2)		CAN0メッセージスロット5データ長レジスタ(C0MSL5DLC)		
H'0080 1156	CAN0メッセージスロット5データ0(C0MSL5DT0)		CAN0メッセージスロット5データ1(C0MSL5DT1)		
H'0080 1158	CAN0メッセージスロット5データ2(C0MSL5DT2)		CAN0メッセージスロット5データ3(C0MSL5DT3)		
H'0080 115A	CAN0メッセージスロット5データ4(C0MSL5DT4)		CAN0メッセージスロット5データ5(C0MSL5DT5)		
H'0080 115C	CAN0メッセージスロット5データ6(C0MSL5DT6)		CAN0メッセージスロット5データ7(C0MSL5DT7)		
H'0080 115E	CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)				
H'0080 1160	CAN0メッセージスロット6標準ID0(C0MSL6SID0)		CAN0メッセージスロット6標準ID1(C0MSL6SID1)		
H'0080 1162	CAN0メッセージスロット6拡張ID0(C0MSL6EID0)		CAN0メッセージスロット6拡張ID1(C0MSL6EID1)		
H'0080 1164	CAN0メッセージスロット6拡張ID2(C0MSL6EID2)		CAN0メッセージスロット6データ長レジスタ(C0MSL6DLC)		
H'0080 1166	CAN0メッセージスロット6データ0(C0MSL6DT0)		CAN0メッセージスロット6データ1(C0MSL6DT1)		
H'0080 1168	CAN0メッセージスロット6データ2(C0MSL6DT2)		CAN0メッセージスロット6データ3(C0MSL6DT3)		
H'0080 116A	CAN0メッセージスロット6データ4(C0MSL6DT4)		CAN0メッセージスロット6データ5(C0MSL6DT5)		
H'0080 116C	CAN0メッセージスロット6データ6(C0MSL6DT6)		CAN0メッセージスロット6データ7(C0MSL6DT7)		
H'0080 116E	CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)				
H'0080 1170	CAN0メッセージスロット7標準ID0(C0MSL7SID0)		CAN0メッセージスロット7標準ID1(C0MSL7SID1)		
H'0080 1172	CAN0メッセージスロット7拡張ID0(C0MSL7EID0)		CAN0メッセージスロット7拡張ID1(C0MSL7EID1)		
H'0080 1174	CAN0メッセージスロット7拡張ID2(C0MSL7EID2)		CAN0メッセージスロット7データ長レジスタ(C0MSL7DLC)		
H'0080 1176	CAN0メッセージスロット7データ0(C0MSL7DT0)		CAN0メッセージスロット7データ1(C0MSL7DT1)		
H'0080 1178	CAN0メッセージスロット7データ2(C0MSL7DT2)		CAN0メッセージスロット7データ3(C0MSL7DT3)		
H'0080 117A	CAN0メッセージスロット7データ4(C0MSL7DT4)		CAN0メッセージスロット7データ5(C0MSL7DT5)		
H'0080 117C	CAN0メッセージスロット7データ6(C0MSL7DT6)		CAN0メッセージスロット7データ7(C0MSL7DT7)		
H'0080 117E	CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)				
H'0080 1180	CAN0メッセージスロット8標準ID0(C0MSL8SID0)		CAN0メッセージスロット8標準ID1(C0MSL8SID1)		
H'0080 1182	CAN0メッセージスロット8拡張ID0(C0MSL8EID0)		CAN0メッセージスロット8拡張ID1(C0MSL8EID1)		
H'0080 1184	CAN0メッセージスロット8拡張ID2(C0MSL8EID2)		CAN0メッセージスロット8データ長レジスタ(C0MSL8DLC)		
H'0080 1186	CAN0メッセージスロット8データ0(C0MSL8DT0)		CAN0メッセージスロット8データ1(C0MSL8DT1)		
H'0080 1188	CAN0メッセージスロット8データ2(C0MSL8DT2)		CAN0メッセージスロット8データ3(C0MSL8DT3)		
H'0080 118A	CAN0メッセージスロット8データ4(C0MSL8DT4)		CAN0メッセージスロット8データ5(C0MSL8DT5)		
H'0080 118C	CAN0メッセージスロット8データ6(C0MSL8DT6)		CAN0メッセージスロット8データ7(C0MSL8DT7)		
H'0080 118E	CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)				
H'0080 1190	CAN0メッセージスロット9標準ID0(C0MSL9SID0)		CAN0メッセージスロット9標準ID1(C0MSL9SID1)		
H'0080 1192	CAN0メッセージスロット9拡張ID0(C0MSL9EID0)		CAN0メッセージスロット9拡張ID1(C0MSL9EID1)		
H'0080 1194	CAN0メッセージスロット9拡張ID2(C0MSL9EID2)		CAN0メッセージスロット9データ長レジスタ(C0MSL9DLC)		
H'0080 1196	CAN0メッセージスロット9データ0(C0MSL9DT0)		CAN0メッセージスロット9データ1(C0MSL9DT1)		
H'0080 1198	CAN0メッセージスロット9データ2(C0MSL9DT2)		CAN0メッセージスロット9データ3(C0MSL9DT3)		
H'0080 119A	CAN0メッセージスロット9データ4(C0MSL9DT4)		CAN0メッセージスロット9データ5(C0MSL9DT5)		
H'0080 119C	CAN0メッセージスロット9データ6(C0MSL9DT6)		CAN0メッセージスロット9データ7(C0MSL9DT7)		
H'0080 119E	CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)				
H'0080 11A0	CAN0メッセージスロット10標準ID0(C0MSL10SID0)		CAN0メッセージスロット10標準ID1(C0MSL10SID1)		
H'0080 11A2	CAN0メッセージスロット10拡張ID0(C0MSL10EID0)		CAN0メッセージスロット10拡張ID1(C0MSL10EID1)		
H'0080 11A4	CAN0メッセージスロット10拡張ID2(C0MSL10EID2)		CAN0メッセージスロット10データ長レジスタ(C0MSL10DLC)		
H'0080 11A6	CAN0メッセージスロット10データ0(C0MSL10DT0)		CAN0メッセージスロット10データ1(C0MSL10DT1)		

空き領域は予約領域です。

図13.2.3 CANモジュール関連レジスタマップ (3/8)

番地	+0番地		+1番地	
	D0	D7_D8	D7_D8	D15
H'0080 11A8	CAN0メッセージスロット10データ2(C0MSL10DT2)	CAN0メッセージスロット10データ3(C0MSL10DT3)		
H'0080 11AA	CAN0メッセージスロット10データ4(C0MSL10DT4)	CAN0メッセージスロット10データ5(C0MSL10DT5)		
H'0080 11AC	CAN0メッセージスロット10データ6(C0MSL10DT6)	CAN0メッセージスロット10データ7(C0MSL10DT7)		
H'0080 11AE	CAN0メッセージスロット10タイムスタンプ(C0MSL10TSP)			
H'0080 11B0	CAN0メッセージスロット11標準ID0(C0MSL11SID0)	CAN0メッセージスロット11標準ID1(C0MSL11SID1)		
H'0080 11B2	CAN0メッセージスロット11拡張ID0(C0MSL11EID0)	CAN0メッセージスロット11拡張ID1(C0MSL11EID1)		
H'0080 11B4	CAN0メッセージスロット11拡張ID2(C0MSL11EID2)	CAN0メッセージスロット11データ長レジスタ(C0MSL11DLC)		
H'0080 11B6	CAN0メッセージスロット11データ0(C0MSL11DT0)	CAN0メッセージスロット11データ1(C0MSL11DT1)		
H'0080 11B8	CAN0メッセージスロット11データ2(C0MSL11DT2)	CAN0メッセージスロット11データ3(C0MSL11DT3)		
H'0080 11BA	CAN0メッセージスロット11データ4(C0MSL11DT4)	CAN0メッセージスロット11データ5(C0MSL11DT5)		
H'0080 11BC	CAN0メッセージスロット11データ6(C0MSL11DT6)	CAN0メッセージスロット11データ7(C0MSL11DT7)		
H'0080 11BE	CAN0メッセージスロット11タイムスタンプ(C0MSL11TSP)			
H'0080 11C0	CAN0メッセージスロット12標準ID0(C0MSL12SID0)	CAN0メッセージスロット12標準ID1(C0MSL12SID1)		
H'0080 11C2	CAN0メッセージスロット12拡張ID0(C0MSL12EID0)	CAN0メッセージスロット12拡張ID1(C0MSL12EID1)		
H'0080 11C4	CAN0メッセージスロット12拡張ID2(C0MSL12EID2)	CAN0メッセージスロット12データ長レジスタ(C0MSL12DLC)		
H'0080 11C6	CAN0メッセージスロット12データ0(C0MSL12DT0)	CAN0メッセージスロット12データ1(C0MSL12DT1)		
H'0080 11C8	CAN0メッセージスロット12データ2(C0MSL12DT2)	CAN0メッセージスロット12データ3(C0MSL12DT3)		
H'0080 11CA	CAN0メッセージスロット12データ4(C0MSL12DT4)	CAN0メッセージスロット12データ5(C0MSL12DT5)		
H'0080 11CC	CAN0メッセージスロット12データ6(C0MSL12DT6)	CAN0メッセージスロット12データ7(C0MSL12DT7)		
H'0080 11CE	CAN0メッセージスロット12タイムスタンプ(C0MSL12TSP)			
H'0080 11D0	CAN0メッセージスロット13標準ID0(C0MSL13SID0)	CAN0メッセージスロット13標準ID1(C0MSL13SID1)		
H'0080 11D2	CAN0メッセージスロット13拡張ID0(C0MSL13EID0)	CAN0メッセージスロット13拡張ID1(C0MSL13EID1)		
H'0080 11D4	CAN0メッセージスロット13拡張ID2(C0MSL13EID2)	CAN0メッセージスロット13データ長レジスタ(C0MSL13DLC)		
H'0080 11D6	CAN0メッセージスロット13データ0(C0MSL13DT0)	CAN0メッセージスロット13データ1(C0MSL13DT1)		
H'0080 11D8	CAN0メッセージスロット13データ2(C0MSL13DT2)	CAN0メッセージスロット13データ3(C0MSL13DT3)		
H'0080 11DA	CAN0メッセージスロット13データ4(C0MSL13DT4)	CAN0メッセージスロット13データ5(C0MSL13DT5)		
H'0080 11DC	CAN0メッセージスロット13データ6(C0MSL13DT6)	CAN0メッセージスロット13データ7(C0MSL13DT7)		
H'0080 11DE	CAN0メッセージスロット13タイムスタンプ(C0MSL13TSP)			
H'0080 11E0	CAN0メッセージスロット14標準ID0(C0MSL14SID0)	CAN0メッセージスロット14標準ID1(C0MSL14SID1)		
H'0080 11E2	CAN0メッセージスロット14拡張ID0(C0MSL14EID0)	CAN0メッセージスロット14拡張ID1(C0MSL14EID1)		
H'0080 11E4	CAN0メッセージスロット14拡張ID2(C0MSL14EID2)	CAN0メッセージスロット14データ長レジスタ(C0MSL14DLC)		
H'0080 11E6	CAN0メッセージスロット14データ0(C0MSL14DT0)	CAN0メッセージスロット14データ1(C0MSL14DT1)		
H'0080 11E8	CAN0メッセージスロット14データ2(C0MSL14DT2)	CAN0メッセージスロット14データ3(C0MSL14DT3)		
H'0080 11EA	CAN0メッセージスロット14データ4(C0MSL14DT4)	CAN0メッセージスロット14データ5(C0MSL14DT5)		
H'0080 11EC	CAN0メッセージスロット14データ6(C0MSL14DT6)	CAN0メッセージスロット14データ7(C0MSL14DT7)		
H'0080 11EE	CAN0メッセージスロット14タイムスタンプ(C0MSL14TSP)			
H'0080 11F0	CAN0メッセージスロット15標準ID0(C0MSL15SID0)	CAN0メッセージスロット15標準ID1(C0MSL15SID1)		
H'0080 11F2	CAN0メッセージスロット15拡張ID0(C0MSL15EID0)	CAN0メッセージスロット15拡張ID1(C0MSL15EID1)		
H'0080 11F4	CAN0メッセージスロット15拡張ID2(C0MSL15EID2)	CAN0メッセージスロット15データ長レジスタ(C0MSL15DLC)		
H'0080 11F6	CAN0メッセージスロット15データ0(C0MSL15DT0)	CAN0メッセージスロット15データ1(C0MSL15DT1)		
H'0080 11F8	CAN0メッセージスロット15データ2(C0MSL15DT2)	CAN0メッセージスロット15データ3(C0MSL15DT3)		
H'0080 11FA	CAN0メッセージスロット15データ4(C0MSL15DT4)	CAN0メッセージスロット15データ5(C0MSL15DT5)		
H'0080 11FC	CAN0メッセージスロット15データ6(C0MSL15DT6)	CAN0メッセージスロット15データ7(C0MSL15DT7)		
H'0080 11FE	CAN0メッセージスロット15タイムスタンプ(C0MSL15TSP)			

空き領域は予約領域です。

図13.2.4 CANモジュール関連レジスタマップ(4/8)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1400	CAN1コントロールレジスタ(CAN1CNT)				
H'0080 1402	CAN1ステータスレジスタ(CAN1STAT)				
H'0080 1404	CAN1拡張IDレジスタ(CAN1EXTID)				
H'0080 1406	CAN1コンフィギュレーションレジスタ(CAN1CONF)				
H'0080 1408	CAN1タイムスタンプカウンタレジスタ(CAN1TSTMP)				
H'0080 140A	CAN1受信エラーカウンタレジスタ(CAN1REC)		CAN1送信エラーカウンタレジスタ(CAN1TEC)		
H'0080 140C	CAN1スロット割り込みステータスレジスタ(CAN1SLIST)				
H'0080 140E					
H'0080 1410	CAN1スロット割り込みマスクレジスタ(CAN1SLIMK)				
H'0080 1412					
H'0080 1414	CAN1エラー割り込みステータスレジスタ(CAN1ERIST)		CAN1エラー割り込みマスクレジスタ(CAN1ERIMK)		
H'0080 1416	CAN1ボーレートプリスケアラ(CAN1BRP)				
~					
H'0080 1428	CAN1グローバルマスクレジスタ標準ID0 (C1GMSKS0)		CAN1グローバルマスクレジスタ標準ID1 (C1GMSKS1)		
H'0080 142A	CAN1グローバルマスクレジスタ拡張ID0 (C1GMSKE0)		CAN1グローバルマスクレジスタ拡張ID1 (C1GMSKE1)		
H'0080 142C	CAN1グローバルマスクレジスタ拡張ID2 (C1GMSKE2)				
H'0080 142E					
H'0080 1430	CAN1ローカルマスクレジスタA標準ID0 (C1LMSKAS0)		CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1)		
H'0080 1432	CAN1ローカルマスクレジスタA拡張ID0 (C1LMSKAE0)		CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1)		
H'0080 1434	CAN1ローカルマスクレジスタA拡張ID2 (C1LMSKAE2)				
H'0080 1436					
H'0080 1438	CAN1ローカルマスクレジスタB標準ID0 (C1LMSKBS0)		CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1)		
H'0080 143A	CAN1ローカルマスクレジスタB拡張ID0 (C1LMSKBE0)		CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1)		
H'0080 143C	CAN1ローカルマスクレジスタB拡張ID2 (C1LMSKBE2)				
~					
H'0080 1450	CAN1メッセージスロット0コントロールレジスタ(C1MSLOCNT)		CAN1メッセージスロット1コントロールレジスタ(C1MSL1CNT)		
H'0080 1452	CAN1メッセージスロット2コントロールレジスタ(C1MSL2CNT)		CAN1メッセージスロット3コントロールレジスタ(C1MSL3CNT)		
H'0080 1454	CAN1メッセージスロット4コントロールレジスタ(C1MSL4CNT)		CAN1メッセージスロット5コントロールレジスタ(C1MSL5CNT)		
H'0080 1456	CAN1メッセージスロット6コントロールレジスタ(C1MSL6CNT)		CAN1メッセージスロット7コントロールレジスタ(C1MSL7CNT)		
H'0080 1458	CAN1メッセージスロット8コントロールレジスタ(C1MSL8CNT)		CAN1メッセージスロット9コントロールレジスタ(C1MSL9CNT)		
H'0080 145A	CAN1メッセージスロット10コントロールレジスタ(C1MSL10CNT)		CAN1メッセージスロット11コントロールレジスタ(C1MSL11CNT)		
H'0080 145C	CAN1メッセージスロット12コントロールレジスタ(C1MSL12CNT)		CAN1メッセージスロット13コントロールレジスタ(C1MSL13CNT)		
H'0080 145E	CAN1メッセージスロット14コントロールレジスタ(C1MSL14CNT)		CAN1メッセージスロット15コントロールレジスタ(C1MSL15CNT)		
~					
空き領域は予約領域です。					

図13.2.5 CANモジュール関連レジスタマップ (5/8)

番地	+ 0番地		+ 1番地	
	D0	D7, D8	D7, D8	D15
H'0080 1500	CAN1メッセージスロット0標準ID0(C1MSL0SID0)	CAN1メッセージスロット0標準ID1(C1MSL0SID1)		
H'0080 1502	CAN1メッセージスロット0拡張ID0(C1MSL0EID0)	CAN1メッセージスロット0拡張ID1(C1MSL0EID1)		
H'0080 1504	CAN1メッセージスロット0拡張ID2(C1MSL0EID2)	CAN1メッセージスロット0データ長レジスタ(C1MSL0DLC)		
H'0080 1506	CAN1メッセージスロット0データ0(C1MSL0DT0)	CAN1メッセージスロット0データ1(C1MSL0DT1)		
H'0080 1508	CAN1メッセージスロット0データ2(C1MSL0DT2)	CAN1メッセージスロット0データ3(C1MSL0DT3)		
H'0080 150A	CAN1メッセージスロット0データ4(C1MSL0DT4)	CAN1メッセージスロット0データ5(C1MSL0DT5)		
H'0080 150C	CAN1メッセージスロット0データ6(C1MSL0DT6)	CAN1メッセージスロット0データ7(C1MSL0DT7)		
H'0080 150E	CAN1メッセージスロット0タイムスタンプ(C1MSL0TSP)			
H'0080 1510	CAN1メッセージスロット1標準ID0(C1MSL1SID0)	CAN1メッセージスロット1標準ID1(C1MSL1SID1)		
H'0080 1512	CAN1メッセージスロット1拡張ID0(C1MSL1EID0)	CAN1メッセージスロット1拡張ID1(C1MSL1EID1)		
H'0080 1514	CAN1メッセージスロット1拡張ID2(C1MSL1EID2)	CAN1メッセージスロット1データ長レジスタ(C1MSL1DLC)		
H'0080 1516	CAN1メッセージスロット1データ0(C1MSL1DT0)	CAN1メッセージスロット1データ1(C1MSL1DT1)		
H'0080 1518	CAN1メッセージスロット1データ2(C1MSL1DT2)	CAN1メッセージスロット1データ3(C1MSL1DT3)		
H'0080 151A	CAN1メッセージスロット1データ4(C1MSL1DT4)	CAN1メッセージスロット1データ5(C1MSL1DT5)		
H'0080 151C	CAN1メッセージスロット1データ6(C1MSL1DT6)	CAN1メッセージスロット1データ7(C1MSL1DT7)		
H'0080 151E	CAN1メッセージスロット1タイムスタンプ(C1MSL1TSP)			
H'0080 1520	CAN1メッセージスロット2標準ID0(C1MSL2SID0)	CAN1メッセージスロット2標準ID1(C1MSL2SID1)		
H'0080 1522	CAN1メッセージスロット2拡張ID0(C1MSL2EID0)	CAN1メッセージスロット2拡張ID1(C1MSL2EID1)		
H'0080 1524	CAN1メッセージスロット2拡張ID2(C1MSL2EID2)	CAN1メッセージスロット2データ長レジスタ(C1MSL2DLC)		
H'0080 1526	CAN1メッセージスロット2データ0(C1MSL2DT0)	CAN1メッセージスロット2データ1(C1MSL2DT1)		
H'0080 1528	CAN1メッセージスロット2データ2(C1MSL2DT2)	CAN1メッセージスロット2データ3(C1MSL2DT3)		
H'0080 152A	CAN1メッセージスロット2データ4(C1MSL2DT4)	CAN1メッセージスロット2データ5(C1MSL2DT5)		
H'0080 152C	CAN1メッセージスロット2データ6(C1MSL2DT6)	CAN1メッセージスロット2データ7(C1MSL2DT7)		
H'0080 152E	CAN1メッセージスロット2タイムスタンプ(C1MSL2TSP)			
H'0080 1530	CAN1メッセージスロット3標準ID0(C1MSL3SID0)	CAN1メッセージスロット3標準ID1(C1MSL3SID1)		
H'0080 1532	CAN1メッセージスロット3拡張ID0(C1MSL3EID0)	CAN1メッセージスロット3拡張ID1(C1MSL3EID1)		
H'0080 1534	CAN1メッセージスロット3拡張ID2(C1MSL3EID2)	CAN1メッセージスロット3データ長レジスタ(C1MSL3DLC)		
H'0080 1536	CAN1メッセージスロット3データ0(C1MSL3DT0)	CAN1メッセージスロット3データ1(C1MSL3DT1)		
H'0080 1538	CAN1メッセージスロット3データ2(C1MSL3DT2)	CAN1メッセージスロット3データ3(C1MSL3DT3)		
H'0080 153A	CAN1メッセージスロット3データ4(C1MSL3DT4)	CAN1メッセージスロット3データ5(C1MSL3DT5)		
H'0080 153C	CAN1メッセージスロット3データ6(C1MSL3DT6)	CAN1メッセージスロット3データ7(C1MSL3DT7)		
H'0080 153E	CAN1メッセージスロット3タイムスタンプ(C1MSL3TSP)			
H'0080 1540	CAN1メッセージスロット4標準ID0(C1MSL4SID0)	CAN1メッセージスロット4標準ID1(C1MSL4SID1)		
H'0080 1542	CAN1メッセージスロット4拡張ID0(C1MSL4EID0)	CAN1メッセージスロット4拡張ID1(C1MSL4EID1)		
H'0080 1544	CAN1メッセージスロット4拡張ID2(C1MSL4EID2)	CAN1メッセージスロット4データ長レジスタ(C1MSL4DLC)		
H'0080 1546	CAN1メッセージスロット4データ0(C1MSL4DT0)	CAN1メッセージスロット4データ1(C1MSL4DT1)		
H'0080 1548	CAN1メッセージスロット4データ2(C1MSL4DT2)	CAN1メッセージスロット4データ3(C1MSL4DT3)		
H'0080 154A	CAN1メッセージスロット4データ4(C1MSL4DT4)	CAN1メッセージスロット4データ5(C1MSL4DT5)		
H'0080 154C	CAN1メッセージスロット4データ6(C1MSL4DT6)	CAN1メッセージスロット4データ7(C1MSL4DT7)		
H'0080 154E	CAN1メッセージスロット4タイムスタンプ(C1MSL4TSP)			
H'0080 1550	CAN1メッセージスロット5標準ID0(C1MSL5SID0)	CAN1メッセージスロット5標準ID1(C1MSL5SID1)		
H'0080 1552	CAN1メッセージスロット5拡張ID0(C1MSL5EID0)	CAN1メッセージスロット5拡張ID1(C1MSL5EID1)		

空き領域は予約領域です。

図13.2.6 CANモジュール関連レジスタマップ (6/8)

番地	+ 0番地	+ 1番地
	D0	D7, D8
	D15	
H'0080 1554	CAN1メッセージスロット5拡張ID2(C1MSL5EID2)	CAN1メッセージスロット5データ長レジスタ(C1MSL5DLC)
H'0080 1556	CAN1メッセージスロット5データ0(C1MSL5DT0)	CAN1メッセージスロット5データ1(C1MSL5DT1)
H'0080 1558	CAN1メッセージスロット5データ2(C1MSL5DT2)	CAN1メッセージスロット5データ3(C1MSL5DT3)
H'0080 155A	CAN1メッセージスロット5データ4(C1MSL5DT4)	CAN1メッセージスロット5データ5(C1MSL5DT5)
H'0080 155C	CAN1メッセージスロット5データ6(C1MSL5DT6)	CAN1メッセージスロット5データ7(C1MSL5DT7)
H'0080 155E	CAN1メッセージスロット5タイムスタンプ(C1MSL5TSP)	
H'0080 1560	CAN1メッセージスロット6標準ID0(C1MSL6SID0)	CAN1メッセージスロット6標準ID1(C1MSL6SID1)
H'0080 1562	CAN1メッセージスロット6拡張ID0(C1MSL6EID0)	CAN1メッセージスロット6拡張ID1(C1MSL6EID1)
H'0080 1564	CAN1メッセージスロット6拡張ID2(C1MSL6EID2)	CAN1メッセージスロット6データ長レジスタ(C1MSL6DLC)
H'0080 1566	CAN1メッセージスロット6データ0(C1MSL6DT0)	CAN1メッセージスロット6データ1(C1MSL6DT1)
H'0080 1568	CAN1メッセージスロット6データ2(C1MSL6DT2)	CAN1メッセージスロット6データ3(C1MSL6DT3)
H'0080 156A	CAN1メッセージスロット6データ4(C1MSL6DT4)	CAN1メッセージスロット6データ5(C1MSL6DT5)
H'0080 156C	CAN1メッセージスロット6データ6(C1MSL6DT6)	CAN1メッセージスロット6データ7(C1MSL6DT7)
H'0080 156E	CAN1メッセージスロット6タイムスタンプ(C1MSL6TSP)	
H'0080 1570	CAN1メッセージスロット7標準ID0(C1MSL7SID0)	CAN1メッセージスロット7標準ID1(C1MSL7SID1)
H'0080 1572	CAN1メッセージスロット7拡張ID0(C1MSL7EID0)	CAN1メッセージスロット7拡張ID1(C1MSL7EID1)
H'0080 1574	CAN1メッセージスロット7拡張ID2(C1MSL7EID2)	CAN1メッセージスロット7データ長レジスタ(C1MSL7DLC)
H'0080 1576	CAN1メッセージスロット7データ0(C1MSL7DT0)	CAN1メッセージスロット7データ1(C1MSL7DT1)
H'0080 1578	CAN1メッセージスロット7データ2(C1MSL7DT2)	CAN1メッセージスロット7データ3(C1MSL7DT3)
H'0080 157A	CAN1メッセージスロット7データ4(C1MSL7DT4)	CAN1メッセージスロット7データ5(C1MSL7DT5)
H'0080 157C	CAN1メッセージスロット7データ6(C1MSL7DT6)	CAN1メッセージスロット7データ7(C1MSL7DT7)
H'0080 157E	CAN1メッセージスロット7タイムスタンプ(C1MSL7TSP)	
H'0080 1580	CAN1メッセージスロット8標準ID0(C1MSL8SID0)	CAN1メッセージスロット8標準ID1(C1MSL8SID1)
H'0080 1582	CAN1メッセージスロット8拡張ID0(C1MSL8EID0)	CAN1メッセージスロット8拡張ID1(C1MSL8EID1)
H'0080 1584	CAN1メッセージスロット8拡張ID2(C1MSL8EID2)	CAN1メッセージスロット8データ長レジスタ(C1MSL8DLC)
H'0080 1586	CAN1メッセージスロット8データ0(C1MSL8DT0)	CAN1メッセージスロット8データ1(C1MSL8DT1)
H'0080 1588	CAN1メッセージスロット8データ2(C1MSL8DT2)	CAN1メッセージスロット8データ3(C1MSL8DT3)
H'0080 158A	CAN1メッセージスロット8データ4(C1MSL8DT4)	CAN1メッセージスロット8データ5(C1MSL8DT5)
H'0080 158C	CAN1メッセージスロット8データ6(C1MSL8DT6)	CAN1メッセージスロット8データ7(C1MSL8DT7)
H'0080 158E	CAN1メッセージスロット8タイムスタンプ(C1MSL8TSP)	
H'0080 1590	CAN1メッセージスロット9標準ID0(C1MSL9SID0)	CAN1メッセージスロット9標準ID1(C1MSL9SID1)
H'0080 1592	CAN1メッセージスロット9拡張ID0(C1MSL9EID0)	CAN1メッセージスロット9拡張ID1(C1MSL9EID1)
H'0080 1594	CAN1メッセージスロット9拡張ID2(C1MSL9EID2)	CAN1メッセージスロット9データ長レジスタ(C1MSL9DLC)
H'0080 1596	CAN1メッセージスロット9データ0(C1MSL9DT0)	CAN1メッセージスロット9データ1(C1MSL9DT1)
H'0080 1598	CAN1メッセージスロット9データ2(C1MSL9DT2)	CAN1メッセージスロット9データ3(C1MSL9DT3)
H'0080 159A	CAN1メッセージスロット9データ4(C1MSL9DT4)	CAN1メッセージスロット9データ5(C1MSL9DT5)
H'0080 159C	CAN1メッセージスロット9データ6(C1MSL9DT6)	CAN1メッセージスロット9データ7(C1MSL9DT7)
H'0080 159E	CAN1メッセージスロット9タイムスタンプ(C1MSL9TSP)	
H'0080 15A0	CAN1メッセージスロット10標準ID0(C1MSL10SID0)	CAN1メッセージスロット10標準ID1(C1MSL10SID1)
H'0080 15A2	CAN1メッセージスロット10拡張ID0(C1MSL10EID0)	CAN1メッセージスロット10拡張ID1(C1MSL10EID1)
H'0080 15A4	CAN1メッセージスロット10拡張ID2(C1MSL10EID2)	CAN1メッセージスロット10データ長レジスタ(C1MSL10DLC)
H'0080 15A6	CAN1メッセージスロット10データ0(C1MSL10DT0)	CAN1メッセージスロット10データ1(C1MSL10DT1)

空き領域は予約領域です。

図13.2.7 CANモジュール関連レジスタマップ(7/8)

番地	D0	+ 0番地	D7 D8	+ 1番地	D15
H'0080 15A8	CAN1メッセージスロット10データ2(C1MSL10DT2)		CAN1メッセージスロット10データ3(C1MSL10DT3)		
H'0080 15AA	CAN1メッセージスロット10データ4(C1MSL10DT4)		CAN1メッセージスロット10データ5(C1MSL10DT5)		
H'0080 15AC	CAN1メッセージスロット10データ6(C1MSL10DT6)		CAN1メッセージスロット10データ7(C1MSL10DT7)		
H'0080 15AE	CAN1メッセージスロット10タイムスタンプ(C1MSL10TSP)				
H'0080 15B0	CAN1メッセージスロット11標準ID0(C1MSL11SID0)		CAN1メッセージスロット11標準ID1(C1MSL11SID1)		
H'0080 15B2	CAN1メッセージスロット11拡張ID0(C1MSL11EID0)		CAN1メッセージスロット11拡張ID1(C1MSL11EID1)		
H'0080 15B4	CAN1メッセージスロット11拡張ID2(C1MSL11EID2)		CAN1メッセージスロット11データ長レジスタ(C1MSL11DLC)		
H'0080 15B6	CAN1メッセージスロット11データ0(C1MSL11DT0)		CAN1メッセージスロット11データ1(C1MSL11DT1)		
H'0080 15B8	CAN1メッセージスロット11データ2(C1MSL11DT2)		CAN1メッセージスロット11データ3(C1MSL11DT3)		
H'0080 15BA	CAN1メッセージスロット11データ4(C1MSL11DT4)		CAN1メッセージスロット11データ5(C1MSL11DT5)		
H'0080 15BC	CAN1メッセージスロット11データ6(C1MSL11DT6)		CAN1メッセージスロット11データ7(C1MSL11DT7)		
H'0080 15BE	CAN1メッセージスロット11タイムスタンプ(C1MSL11TSP)				
H'0080 15C0	CAN1メッセージスロット12標準ID0(C1MSL12SID0)		CAN1メッセージスロット12標準ID1(C1MSL12SID1)		
H'0080 15C2	CAN1メッセージスロット12拡張ID0(C1MSL12EID0)		CAN1メッセージスロット12拡張ID1(C1MSL12EID1)		
H'0080 15C4	CAN1メッセージスロット12拡張ID2(C1MSL12EID2)		CAN1メッセージスロット12データ長レジスタ(C1MSL12DLC)		
H'0080 15C6	CAN1メッセージスロット12データ0(C1MSL12DT0)		CAN1メッセージスロット12データ1(C1MSL12DT1)		
H'0080 15C8	CAN1メッセージスロット12データ2(C1MSL12DT2)		CAN1メッセージスロット12データ3(C1MSL12DT3)		
H'0080 15CA	CAN1メッセージスロット12データ4(C1MSL12DT4)		CAN1メッセージスロット12データ5(C1MSL12DT5)		
H'0080 15CC	CAN1メッセージスロット12データ6(C1MSL12DT6)		CAN1メッセージスロット12データ7(C1MSL12DT7)		
H'0080 15CE	CAN1メッセージスロット12タイムスタンプ(C1MSL12TSP)				
H'0080 15D0	CAN1メッセージスロット13標準ID0(C1MSL13SID0)		CAN1メッセージスロット13標準ID1(C1MSL13SID1)		
H'0080 15D2	CAN1メッセージスロット13拡張ID0(C1MSL13EID0)		CAN1メッセージスロット13拡張ID1(C1MSL13EID1)		
H'0080 15D4	CAN1メッセージスロット13拡張ID2(C1MSL13EID2)		CAN1メッセージスロット13データ長レジスタ(C1MSL13DLC)		
H'0080 15D6	CAN1メッセージスロット13データ0(C1MSL13DT0)		CAN1メッセージスロット13データ1(C1MSL13DT1)		
H'0080 15D8	CAN1メッセージスロット13データ2(C1MSL13DT2)		CAN1メッセージスロット13データ3(C1MSL13DT3)		
H'0080 15DA	CAN1メッセージスロット13データ4(C1MSL13DT4)		CAN1メッセージスロット13データ5(C1MSL13DT5)		
H'0080 15DC	CAN1メッセージスロット13データ6(C1MSL13DT6)		CAN1メッセージスロット13データ7(C1MSL13DT7)		
H'0080 15DE	CAN1メッセージスロット13タイムスタンプ(C1MSL13TSP)				
H'0080 15E0	CAN1メッセージスロット14標準ID0(C1MSL14SID0)		CAN1メッセージスロット14標準ID1(C1MSL14SID1)		
H'0080 15E2	CAN1メッセージスロット14拡張ID0(C1MSL14EID0)		CAN1メッセージスロット14拡張ID1(C1MSL14EID1)		
H'0080 15E4	CAN1メッセージスロット14拡張ID2(C1MSL14EID2)		CAN1メッセージスロット14データ長レジスタ(C1MSL14DLC)		
H'0080 15E6	CAN1メッセージスロット14データ0(C1MSL14DT0)		CAN1メッセージスロット14データ1(C1MSL14DT1)		
H'0080 15E8	CAN1メッセージスロット14データ2(C1MSL14DT2)		CAN1メッセージスロット14データ3(C1MSL14DT3)		
H'0080 15EA	CAN1メッセージスロット14データ4(C1MSL14DT4)		CAN1メッセージスロット14データ5(C1MSL14DT5)		
H'0080 15EC	CAN1メッセージスロット14データ6(C1MSL14DT6)		CAN1メッセージスロット14データ7(C1MSL14DT7)		
H'0080 15EE	CAN1メッセージスロット14タイムスタンプ(C1MSL14TSP)				
H'0080 15F0	CAN1メッセージスロット15標準ID0(C1MSL15SID0)		CAN1メッセージスロット15標準ID1(C1MSL15SID1)		
H'0080 15F2	CAN1メッセージスロット15拡張ID0(C1MSL15EID0)		CAN1メッセージスロット15拡張ID1(C1MSL15EID1)		
H'0080 15F4	CAN1メッセージスロット15拡張ID2(C1MSL15EID2)		CAN1メッセージスロット15データ長レジスタ(C1MSL15DLC)		
H'0080 15F6	CAN1メッセージスロット15データ0(C1MSL15DT0)		CAN1メッセージスロット15データ1(C1MSL15DT1)		
H'0080 15F8	CAN1メッセージスロット15データ2(C1MSL15DT2)		CAN1メッセージスロット15データ3(C1MSL15DT3)		
H'0080 15FA	CAN1メッセージスロット15データ4(C1MSL15DT4)		CAN1メッセージスロット15データ5(C1MSL15DT5)		
H'0080 15FC	CAN1メッセージスロット15データ6(C1MSL15DT6)		CAN1メッセージスロット15データ7(C1MSL15DT7)		
H'0080 15FE	CAN1メッセージスロット15タイムスタンプ(C1MSL15TSP)				
H'0080 3FFE	空き領域は予約領域です。				

図13.2.8 CANモジュール関連レジスタマップ(8/8)

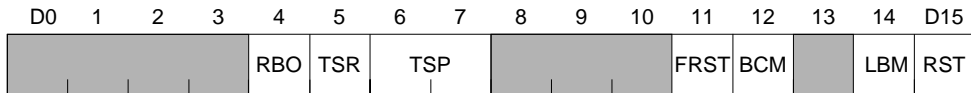
13.2.1 CANコントロールレジスタ

CAN0コントロールレジスタ(CAN0CNT)

<アドレス : H'0080 1000>

CAN1コントロールレジスタ(CAN1CNT)

<アドレス : H'0080 1400>



<リセット時 : H'0011>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	RBO (リターンバスオフ)	0: 通常動作許可 1: エラーカウンタのクリアを要求		
5	TSR (タイムスタンプ カウンタリセット)	0: カウント動作許可 1: カウントの初期化(H'0000のセット)		
6~7	TSP (タイムスタンププリスケアラ)	D6 D7 0 0: CANバスビットクロックを選択 0 1: CANバスビットクロックの2分周を選択 1 0: CANバスビットクロックの3分周を選択 1 1: CANバスビットクロックの4分周を選択		
8~9	何も配置されていません		0	-
10	何も配置されていません(必ず"0"を書き込んでください)		0	-
11	FRST (強制リセット)	0: リセット解除 1: 強制リセット		
12	BCM (BasicCANモード)	0: BasicCAN機能無効 1: BasicCANモード		
13	何も配置されていません		0	-
14	LBM (ループバックモード)	0: ループバック機能無効 1: ループバック機能有効		
15	RST (CANリセット)	0: リセット解除 1: リセット要求		

W = : 1のみ書き込み可能。"0"へのクリアはハードウェアによって自動的に行われます。

(1) RBO (リターンバスオフ) ビット (D4)

このビットに"1"を設定することによって、受信エラーカウンタ(CANREC)/送信エラーカウンタ(CANTEC)をクリアし、CANモジュールの状態を強制的にエラーアクティブにする事ができます。

このビットは、エラーアクティブに遷移したとき、クリアされます。

注.エラーカウンタクリア後は、CANバス上に11ビットの連続したレセシブビットを検出した後に通信可能となります。

(2) TSR (タイムスタンプカウンタリセット) ビット (D5)

このビットに"1"を設定することによって、CANタイムスタンプカウントレジスタ(CANTSTMP)の値をH'0000にクリアする事ができます。

このビットは、CANタイムスタンプカウントレジスタ(CANTSTMP)の値がH'0000にクリアされた後、クリアされます。

(3) TSP (タイムスタンププリスケーラ) ビット (D6, D7)

タイムスタンプカウンタのカウントクロックソースを選択します。

注. CAN動作中(CANステータスレジスタのCRSビットが"0")は、TSPビットの設定変更を行なわないでください。

(4) FRST(強制リセット)ビット (D11)

FRSTビットに"1"をセットすると、CANモジュールが通信中かどうかに関係なくCANモジュールをCANバスから切り離し、プロトコル制御部がリセットされます。

注1. CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。

注2. 通信中にFRSTビットに"1"をセットした場合、その直後からCTX0、CTX1端子出力は"H"になります。このため、CANフレーム送信中にFRSTビットに"1"をセットした場合、CANバスエラー発生の原因になることがあります。

注3. FRST、RSTビットのセットによりCANメッセージスロットコントロールレジスタの送受信要求はクリアされません。

(5) BCM (BasicCAN モード) ビット (D12)

このビットに"1"をセットすることによって、CANモジュールをBasicCANモードで動作させることができます。

BasicCAN モード時の動作

BasicCANモードでは、ローカルスロット14, 15の2本をダブルバッファとして使用し、アクセプタンスフィルタリングによってIDマッチした受信フレームをスロット14, 15へ交互に格納します。そのときのアクセプタンスフィルタリングには、スロット14がアクティブ(つぎの受信フレームが格納されるスロットが14)の場合はスロット14にセットしたIDとローカルマスクAが、スロット15がアクティブの場合はスロット15にセットしたIDとローカルマスクBが使用されます。また、データフレーム、リモートフレームの2タイプのフレームを受信することができます。2つのスロットのIDとマスクレジスタの設定を同じにすることによって、多数のIDを持ったフレームを受信する場合などで、メッセージロス発生の可能性を低くすることができます。

BasicCAN モードエントリ手順

初期設定の中で以下の手順で行います。

スロット14, 15のID、およびローカルマスクレジスタA, Bを設定する。(同一値設定を推奨)

スロット14, 15で扱うフレームのタイプ(標準/拡張)をCAN拡張IDレジスタへ設定する。(同一タイプを推奨)

スロット14, 15のメッセージスロットコントロールレジスタをデータフレーム受信に設定する。

BCMビットを"1"にセットする。

注1. CAN動作中(CANステータスレジスタのCRSビットが"0")は、BCMビットの設定変更を行なわないでください。

注2. RSTビットクリア後、最初にアクティブなスロットはスロット14です。

注3. BasicCANモードでもスロット0~スロット13は通常動作時と同様に使用できます。

(6) LBM (ループバックモード) ビット (D14)

LBMビットに"1"を設定すると、自分が送信したフレームとIDマッチする受信スロットがあった場合に、そのフレームを受信することができます。

注1. 自分が送信したフレームに対するACKは返しません。

注2. CAN動作中(CANステータスレジスタのCRSビットが"0")は、LBMビットの設定変更を行なわないでください。

(7) RST (CANリセット) ビット (D15)

RSTビットを"0"にクリアすると、CANモジュールはCANバスと接続され、11ビットの連続したレセプビットを検出した後に通信可能となります。また、これによってCANタイムスタンプカウントレジスタがカウントを開始します。

RSTビットを"1"にセットすると、それまでに送信要求をセットしたスロットのフレームを送信した後、プロトコル制御部がリセット状態になりCANバスから切り離されます。その間受信したフレームは正常に処理されます。

- 注1. RSTビットを"1"にセットした後、CANステータスレジスタのCRSビットが"1"となってプロトコル制御部がリセット状態になるまでの間、新たな送信要求をセットする事は禁止です。
- 注2. RSTビットを"1"にセットしプロトコル制御部がリセット状態になると、CANタイムスタンプカウントレジスタとCAN送受信エラーカウントレジスタは0に初期化されません。
- 注3. CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。

13.2.2 CANステータスレジスタ

CAN0ステータスレジスタ(CAN0STAT)

<アドレス : H'0080 1002>

CAN1ステータスレジスタ(CAN1STAT)

<アドレス : H'0080 1402>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
	BOS	EPS	CBS	BCS		LBS	CRS	RSB	TSB	RSC	TSC			MSN	

<リセット時 : H'0100>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	BOS (バスオフステータス)	0: バスオフでない 1: バスオフ状態		-
2	EPS (エラーパッシブステータス)	0: エラーパッシブでない 1: エラーパッシブ状態		-
3	CBS (CANバスエラー)	0: エラー発生なし 1: エラー発生あり		-
4	BCS (BasicCANステータス)	0: 通常モード 1: BasicCANモード		-
5	何も配置されていません		0	-
6	LBS (ループバックステータス)	0: 通常モード 1: ループバックモード		-
7	CRS (CANリセットステータス)	0: 動作中 1: リセット状態		-
8	RSB (受信ステータス)	0: 非受信状態 1: 受信状態		-
9	TSB (送信ステータス)	0: 非送信状態 1: 送信状態		-
10	RSC (受信完了ステータス)	0: 受信未完了 1: 受信完了		-
11	TSC (送信完了ステータス)	0: 送信未完了 1: 送信完了		-

D	ビット名	機能	R	W
12~15	MSN (メッセージスロットナンバー)	送信 / 受信完了したメッセージスロットの番号 0000 : スロット0 0001 : スロット1 0010 : スロット2 0011 : スロット3 0100 : スロット4 0101 : スロット5 0110 : スロット6 0111 : スロット7 1000 : スロット8 1001 : スロット9 1010 : スロット10 1011 : スロット11 1100 : スロット12 1101 : スロット13 1110 : スロット14 1111 : スロット15		-

(1) BOS (バスオフステータス) ビット (D1)

BOSビットが"1"のとき、CANモジュールの状態がバスオフであることを示します。

[セット条件]

送信エラーカウントレジスタの値が255を超えてバスオフになった場合に"1"がセットされます。

[クリア条件]

バスオフ状態から復帰したときにクリアされます。

(2) EPS (エラーパッシブステータス) ビット (D2)

EPSビットが"1"のとき、CANモジュールの状態がエラーパッシブであることを示します。

[セット条件]

送信エラーカウントレジスタの値、あるいは受信エラーカウントレジスタの値が127を超えてエラーパッシブになった場合に"1"がセットされます。

[クリア条件]

エラーパッシブ状態から変化したときにクリアされます。

(3) CBS (CANバスエラー) ビット (D3)

[セット条件]

CANバス上にエラーを検出した場合に"1"がセットされます。

[クリア条件]

正常に送受信が完了したときにクリアされます。

(4) BCS (BasicCAN ステータス) ビット (D4)

BCSビットが"1"のとき、BasicCANモードで動作していることを示します。

[セット条件]

BasicCANモードで動作しているとき、"1"がセットされます。

BasicCANモードは、下記条件で動作します。

- ・CANコントロールレジスタBCMビットが"1"にセットされていること。
- ・スロット14, 15がともにデータフレーム受信にセットされていること。

[クリア条件]

BCMビットを"0"にクリアすると、BCSビットもクリアされます。

(5) LBS (ループバックステータス) ビット (D6)

LBSビットが"1"のとき、ループバックモードで動作していることを示します。

[セット条件]

CANコントロールレジスタのLBM(ループバックモード)ビットに"1"をセットすると"1"がセットされます。

[クリア条件]

LBMビットを"0"にクリアすると、LBSビットもクリアされます。

(6) CRS (CANリセットステータス) ビット (D7)

CRSビットが"1"のとき、プロトコル制御部がリセット状態にあることを示します。

[セット条件]

CANのプロトコル制御部がリセット状態にあるとき、"1"がセットされます。

[クリア条件]

CANコントロールレジスタのRST(CANリセット)ビットを"0"にクリアすると、CRSビットもクリアされます。

(7) RSB (受信ステータス) ビット (D8)

[セット条件]

受信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

送信ノードとして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(8) TSB (送信ステータス) ビット (D9)

[セット条件]

送信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

受信ノードとして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(9) RSC (受信完了ステータス) ビット (D10)

[セット条件]

正常に受信完了した(受信条件を満たすスロットの有無にかかわらず)とき、"1"がセットされます。

[クリア条件]

正常に送信完了したときにクリアされます。

(10) TSC (送信完了ステータス) ビット (D11)

[セット条件]

正常に送信を完了したとき、"1"がセットされます。

[クリア条件]

正常に受信完了したときにクリアされます。

(11) MSN (メッセージスロットナンバー) ビット (D12 ~ D15)

送信完了時または受信データ格納完了時に、該当スロット番号を表示します。

MSNビットはソフトウェアによって"0"クリアすることはできません。

注. ループバックモード時に自分自身が送信したフレームを受信した場合、MSNビットは以下ようになります。

送信完了によって送信スロット番号を表示し、その後受信データ格納により"0"にクリアされます。

13.2.3 CAN拡張IDレジスタ

CAN0拡張IDレジスタ(CAN0EXTID)

<アドレス : H'0080 1004>

CAN1拡張IDレジスタ(CAN1EXTID)

<アドレス : H'0080 1404>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
IDE0	IDE1	IDE2	IDE3	IDE4	IDE5	IDE6	IDE7	IDE8	IDE9	IDE10	IDE11	IDE12	IDE13	IDE14	IDE15

<リセット時 : H'0000>

D	ビット名	機能	R	W
0	IDE0 (拡張ID0)	0 : 標準ID(Standard ID)フォーマット		
1	IDE1 (拡張ID1)	1 : 拡張ID(Extended ID)フォーマット		
2	IDE2 (拡張ID2)			
3	IDE3 (拡張ID3)			
4	IDE4 (拡張ID4)			
5	IDE5 (拡張ID5)			
6	IDE6 (拡張ID6)			
7	IDE7 (拡張ID7)			
8	IDE8 (拡張ID8)			
9	IDE9 (拡張ID9)			
10	IDE10 (拡張ID10)			
11	IDE11 (拡張ID11)			
12	IDE12 (拡張ID12)			
13	IDE13 (拡張ID13)			
14	IDE14 (拡張ID14)			
15	IDE15 (拡張ID15)			

各ビットに対応したメッセージスロットで取り扱うフレームのフォーマットを選択します。

"0"を設定した場合、標準(Standard ID)フォーマットが選択されます。

"1"を設定した場合、拡張(Extended ID)フォーマットが選択されます。

注. このレジスタの各ビットの変更は、対応するスロットの送信要求 / 受信要求が立っていない状態で行ってください。

13.2.4 CANコンフィグレーションレジスタ

CAN0コンフィグレーションレジスタ(CAN0CONF) <アドレス : H'0080 1006>
 CAN1コンフィグレーションレジスタ(CAN1CONF) <アドレス : H'0080 1406>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
SJW		PH2			PH1			PRB			SAM				

<リセット時 : H'0000>

D	ビット名	機能	R	W
0~1	SJW (reSynchronization Jump Width)	reSynchronization Jump Widthの設定 00 : SJW = 1Tq 01 : SJW = 2Tq 10 : SJW = 3Tq 11 : SJW = 4Tq		
2~4	PH2 (Phase Segment2)	Phase Segment2の設定 000 : 設定禁止 001 : Phase Segment2 = 2Tq 010 : Phase Segment2 = 3Tq 011 : Phase Segment2 = 4Tq 100 : Phase Segment2 = 5Tq 101 : Phase Segment2 = 6Tq 110 : Phase Segment2 = 7Tq 111 : Phase Segment2 = 8Tq		

注1. CAN動作中(CANステータスレジスタのCRSビットが"0")は、CANコンフィグレーションレジスタ(CAN0CONF、CAN1CONF)の設定変更を行なわないでください。

注2. ビット構成は以下の条件を満たすように設定して下さい。

- ・ 1ビット分のTq数 : 8 ~ 25Tq
- ・ SJW $\min(\text{Phase Segment1}, \text{Phase Segment2})$
- ・ Phase Segment2 = $\max(\text{Phase Segment1}, \text{IPT})$ ただし、M32R/ECU内蔵のCANモジュールはIPT=2となっています。
 $\min()$ は小さい方の値を返す関数です。
 $\max()$ は最大値を返す関数です。

<リセット時：H'0000>

D	ビット名	機能	R	W
5~7	PH1 (Phase Segment1)	Phase Segment1の設定 000 : Phase Segment1 = 1Tq 001 : Phase Segment1 = 2Tq 010 : Phase Segment1 = 3Tq 011 : Phase Segment1 = 4Tq 100 : Phase Segment1 = 5Tq 101 : Phase Segment1 = 6Tq 110 : Phase Segment1 = 7Tq 111 : Phase Segment1 = 8Tq		
8~10	PRB (Propagation Segment)	Propagation Segmentの設定 000 : Propagation Segment = 1Tq 001 : Propagation Segment = 2Tq 010 : Propagation Segment = 3Tq 011 : Propagation Segment = 4Tq 100 : Propagation Segment = 5Tq 101 : Propagation Segment = 6Tq 110 : Propagation Segment = 7Tq 111 : Propagation Segment = 8Tq		
11	SAM (サンプリング数)	0 : 1回サンプリング 1 : 3回サンプリング		
12~15	何も配置されていません。		0	-

(1) SJW ビット (D0 ~ D1)

reSynchronization Jump Widthの幅を設定します。

(2) PH2 ビット (D2 ~ D4)

Phase Segment2の幅を設定します。

注. M32R/ECU内蔵のCANモジュールはIPT(Information Processing Time)=2となっています。PH2ビットは、リセット後"0"になっていますので、2Tq以上に変更してからご使用ください。

(3) PH1 ビット (D5 ~ D7)

Phase Segment1の幅を設定します。

(4) PRB ビット (D8 ~ D10)

Propagation Segmentの幅を設定します。

(5) SAMビット (D11)

1ビットあたりのサンプリング数を設定します。

"0" : Phase Segment1の最後でサンプリングした値をそのビット値とみなします。

"1" : Phase Segment1の最後でサンプリングした値、1Tq前のサンプリング値、および2Tq前のサンプリング値の計3ポイントの値から多数決回路によって、ビットの値を決定します。

表13.2.1 CPUクロック : 40MHz時のビットタイミング設定例

ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	PH2	サンプリングポイント
1M bps	3	100	10	7	2	80%
	3	100	10	6	3	70%
	3	100	10	5	4	60%
	4	125	8	5	2	75%
	4	125	8	4	3	63%
500K bps	4	125	16	13	2	80%
	4	125	16	12	3	70%
	4	125	16	11	4	60%
	7	200	10	7	2	75%
	7	200	10	6	3	63%
	7	200	10	5	4	63%
	9	250	8	5	2	63%
	9	250	8	4	3	63%

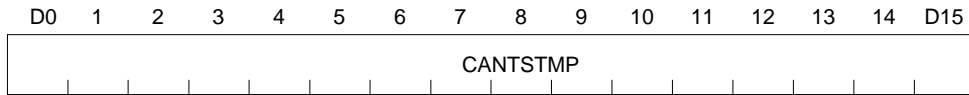
表13.2.2 CPUクロック : 32MHz時のビットタイミング設定例

ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	PH2	サンプリングポイント
1M bps	1	62.5	16	10	5	69%
	3	125	8	5	2	75%
	3	125	8	4	3	63%
500K bps	3	125	16	13	2	88%
	3	125	16	11	4	75%
	7	250	8	5	2	75%
	7	250	8	4	3	63%

13.2.5 CANタイムスタンプカウントレジスタ

CAN0タイムスタンプカウントレジスタ(CAN0TSTMP) <アドレス : H'0080 1008 >

CAN1タイムスタンプカウントレジスタ(CAN1TSTMP) <アドレス : H'0080 1408 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~15	CANiTSTMP	16ビットカウンタ値		-

CANモジュールは16ビットのアップカウントレジスタを内蔵しています。カウンタ周期はCANコントロールレジスタ(CANCNT)のTSP(タイムスタンププリスケラ)ビットでCANバスビット周期の1分周、2分周、3分周、4分周のいずれかを選択します。

送信 / 受信完了時、カウンタレジスタ値をキャプチャし、その値をメッセージスロットへ格納します。

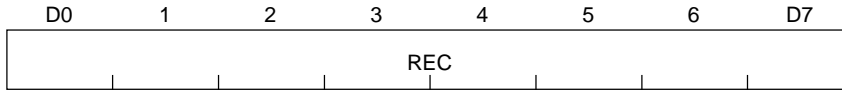
カウンタは、CANコントロールレジスタ(CANCNT)のRSTビットを"0"クリアすることによってカウンタ動作を開始します。

- 注1. CANコントロールレジスタ(CANCNT)のRST(CANリセット)ビットを"1"にセットすることによって、プロトコル制御部がリセットされH'0000へ初期化することができます。また、TSR(タイムスタンプカウンタリセット)ビットを"1"にセットすることによって、CANモジュールを動作させたままH'0000へ初期化することができます。
- 注2. ループバックモード時、IDマッチするスロットが存在する場合には、受信完了時に対応したスロットへタイムスタンプ値が格納されます(送信完了時、タイムスタンプ値の格納は行われません)。
- 注3. CANタイムスタンプカウントレジスタのカウンタ周期は、CAN再同期機能により変化します。

13.2.6 CANエラーカウントレジスタ

CAN0受信エラーカウントレジスタ(CAN0REC) <アドレス: H'0080 100A>

CAN1受信エラーカウントレジスタ(CAN1REC) <アドレス: H'0080 140A>



<リセット時: H'00>

D	ビット名	機能	R	W
0~7	REC (受信エラーカウンタ)	受信エラーカウント値		—

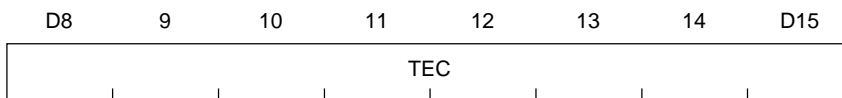
エラーアクティブ/エラーパッシブ状態のときは、受信エラーのカウンタ値が格納されま
す。正常受信時ダウンカウントし、エラー発生時にアップカウントします。

REC 128の状態(エラーパッシブ)で正常に受信完了した場合、RECは127にセットされ
ます。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリ
セットされます。

CAN0送信エラーカウントレジスタ(CAN0TEC) <アドレス: H'0080 100B>

CAN1送信エラーカウントレジスタ(CAN1TEC) <アドレス: H'0080 140B>



<リセット時: H'00>

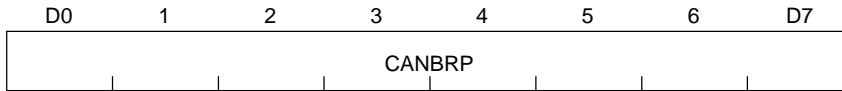
D	ビット名	機能	R	W
8~15	TEC (送信エラーカウンタ)	送信エラーカウント値		—

エラーアクティブ/エラーパッシブ状態のときは、送信エラーのカウンタ値が格納されま
す。正常送信時ダウンカウントし、エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリ
セットされます。

13.2.7 CANボーレートプリスケアラ

CAN0ボーレートプリスケアラ(CAN0BRP) <アドレス: H'0080 1016>
 CAN1ボーレートプリスケアラ(CAN1BRP) <アドレス: H'0080 1416>



<リセット時: H'01>

D	ビット名	機能	R	W
0~7	BRP	ボーレート プリスケアラ値の選択		

CANのTq周期を設定します。CANボーレートは、「Tq周期 × 1ビット内のTqの数」で決定します。

$$Tq周期 = (BRP + 1) \times CPUクロック$$

$$CAN転送ボーレート = \frac{1}{Tq周期 \times 1ビット内のTqの数}$$

$$1ビット内のTqの数 = \text{Synchronization Segment} + \\ \text{Propagation Segment} + \\ \text{Phase Segment 1} + \\ \text{Phase Segment 2}$$

- 注1. H'00(1分周)は設定禁止です。
 注2. CAN動作中(CANステータスレジスタのCRSビットが"0")は、CANボーレートプリスケアラ(CAN0BRP、CAN1BRP)の設定変更を行なわないでください。

13.2.8 CAN割り込み関連レジスタ

CAN0スロット割り込みステータスレジスタ(CAN0SLIST) <アドレス:H'0080 100C>

CAN1スロット割り込みステータスレジスタ(CAN1SLIST) <アドレス:H'0080 140C>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
SSB0	SSB1	SSB2	SSB3	SSB4	SSB5	SSB6	SSB7	SSB8	SSB9	SSB10	SSB11	SSB12	SSB13	SSB14	SSB15

<リセット時:H'0000>

D	ビット名	機能	R	W
0	SSB0 (スロット0割り込み要求ステータス)	0: 割り込み要求なし		
1	SSB1 (スロット1割り込み要求ステータス)	1: 割り込み要求あり		
2	SSB2 (スロット2割り込み要求ステータス)			
3	SSB3 (スロット3割り込み要求ステータス)			
4	SSB4 (スロット4割り込み要求ステータス)			
5	SSB5 (スロット5割り込み要求ステータス)			
6	SSB6 (スロット6割り込み要求ステータス)			
7	SSB7 (スロット7割り込み要求ステータス)			
8	SSB8 (スロット8割り込み要求ステータス)			
9	SSB9 (スロット9割り込み要求ステータス)			
10	SSB10 (スロット10割り込み要求ステータス)			
11	SSB11 (スロット11割り込み要求ステータス)			
12	SSB12 (スロット12割り込み要求ステータス)			
13	SSB13 (スロット13割り込み要求ステータス)			
14	SSB14 (スロット14割り込み要求ステータス)			
15	SSB15 (スロット15割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、どのスロットから割り込み要求があったかをこのレジスタで知ることができます。

送信設定スロット

送信が完了したとき"1"がセットされます。

このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

受信設定スロット

受信が完了し、受信メッセージのメッセージスロットへの格納が終わったとき"1"がセットされます。

このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

CANスロット割り込みステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

- 注1. リモートフレーム受信スロットで自動応答機能を有効にしている場合は、リモートフレーム受信後、およびデータフレーム送信後ともにステータスがセットされます。
- 注2. リモートフレーム送信スロットでは、リモートフレーム送信完了後、およびデータフレーム受信完了後ともにステータスがセットされます。
- 注3. 割り込み要求によるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合は、割り込み要求によるステータスのセットが優先されます。

CAN0スロット割り込みマスクレジスタ(CAN0SLIMK) <アドレス: H'0080 1010>
 CAN1スロット割り込みマスクレジスタ(CAN1SLIMK) <アドレス: H'0080 1410>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
IRB0	IRB1	IRB2	IRB3	IRB4	IRB5	IRB6	IRB7	IRB8	IRB9	IRB10	IRB11	IRB12	IRB13	IRB14	IRB15

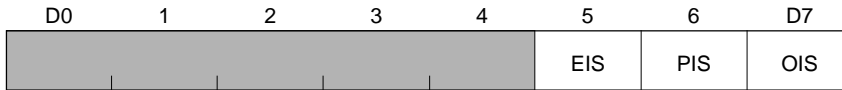
<リセット時: H'0000>

D	ビット名	機能	R	W
0	IRB0 (スロット0割り込み要求マスク)	0: 割り込み要求マスク(禁止)		
1	IRB1 (スロット1割り込み要求マスク)	1: 割り込み要求許可		
2	IRB2 (スロット2割り込み要求マスク)			
3	IRB3 (スロット3割り込み要求マスク)			
4	IRB4 (スロット4割り込み要求マスク)			
5	IRB5 (スロット5割り込み要求マスク)			
6	IRB6 (スロット6割り込み要求マスク)			
7	IRB7 (スロット7割り込み要求マスク)			
8	IRB8 (スロット8割り込み要求マスク)			
9	IRB9 (スロット9割り込み要求マスク)			
10	IRB10 (スロット10割り込み要求マスク)			
11	IRB11 (スロット11割り込み要求マスク)			
12	IRB12 (スロット12割り込み要求マスク)			
13	IRB13 (スロット13割り込み要求マスク)			
14	IRB14 (スロット14割り込み要求マスク)			
15	IRB15 (スロット15割り込み要求マスク)			

対応するスロットのデータの送信/受信完了による割り込み要求の許可/禁止を制御するレジスタです。IRBn(n=0~15)に"1"を設定した場合、対応するスロットの送信/受信完了による割り込み要求が許可されます。

どのスロットから割り込み要求があったかは、CANスロット割り込みステータスレジスタ(CANSLIST)で確認できます。

CAN0エラー割り込みステータスレジスタ(CAN0ERIST) <アドレス : H'0080 1014>
 CAN1エラー割り込みステータスレジスタ(CAN1ERIST) <アドレス : H'0080 1414>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	EIS (CANバスエラー割り込みステータス)	0 : 割り込み要求なし 1 : 割り込み要求あり		
6	PIS (エラーパッシブ割り込みステータス)			
7	OIS (バスオフ割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、割り込み要因がエラーに関連するものであったときはこのレジスタでその要因を確認することができます。

(1) EIS (CANバスエラー割り込みステータス) ビット (D5)

通信エラーが検出された場合、EISビットに"1"がセットされます。
 EISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(2) PIS (エラーパッシブ割り込みステータス) ビット (D6)

CANモジュールの状態がエラーパッシブとなった場合、PISビットに"1"がセットされます。
 PISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(3) OIS (バスオフ割り込みステータス) ビット (D7)

CANモジュールの状態がバスオフとなった場合、OISビットに"1"がセットされます。
 OISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

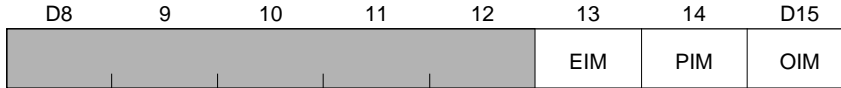
CANエラー割り込みステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

CAN0エラー割り込みマスクレジスタ(CAN0ERIMK)

<アドレス : H'0080 1015>

CAN1エラー割り込みマスクレジスタ(CAN1ERIMK)

<アドレス : H'0080 1415>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~12	何も配置されていません		0	-
13	EIM (CANバスエラー割り込みマスク)	0: 割り込み要求マスク(禁止) 1: 割り込み要求許可		
14	PIM (エラーパッシブ割り込みマスク)			
15	OIM (バスオフ割り込みマスク)			

(1) EIM (CAN バスエラー割り込みマスク) ビット (D5)

CANバスエラーの発生による割り込み要求の許可 / 禁止を制御するビットです。EIMビットに"1"をセットすることによって、CANバスエラー割り込み要求が許可されます。

(2) PIM (エラーパッシブ割り込みマスク) ビット (D6)

CANモジュールの状態がエラーパッシブに遷移したときの割り込み要求の許可 / 禁止を制御するビットです。PIMビットに"1"をセットすることによって、エラーパッシブ割り込み要求が許可されます。

(3) OIM (バスオフ割り込みマスク) ビット (D7)

CANモジュールの状態がバスオフに遷移したときの割り込み要求の許可 / 禁止を制御するビットです。OIMビットに"1"をセットすることによって、バスオフ割り込み要求が許可されます。

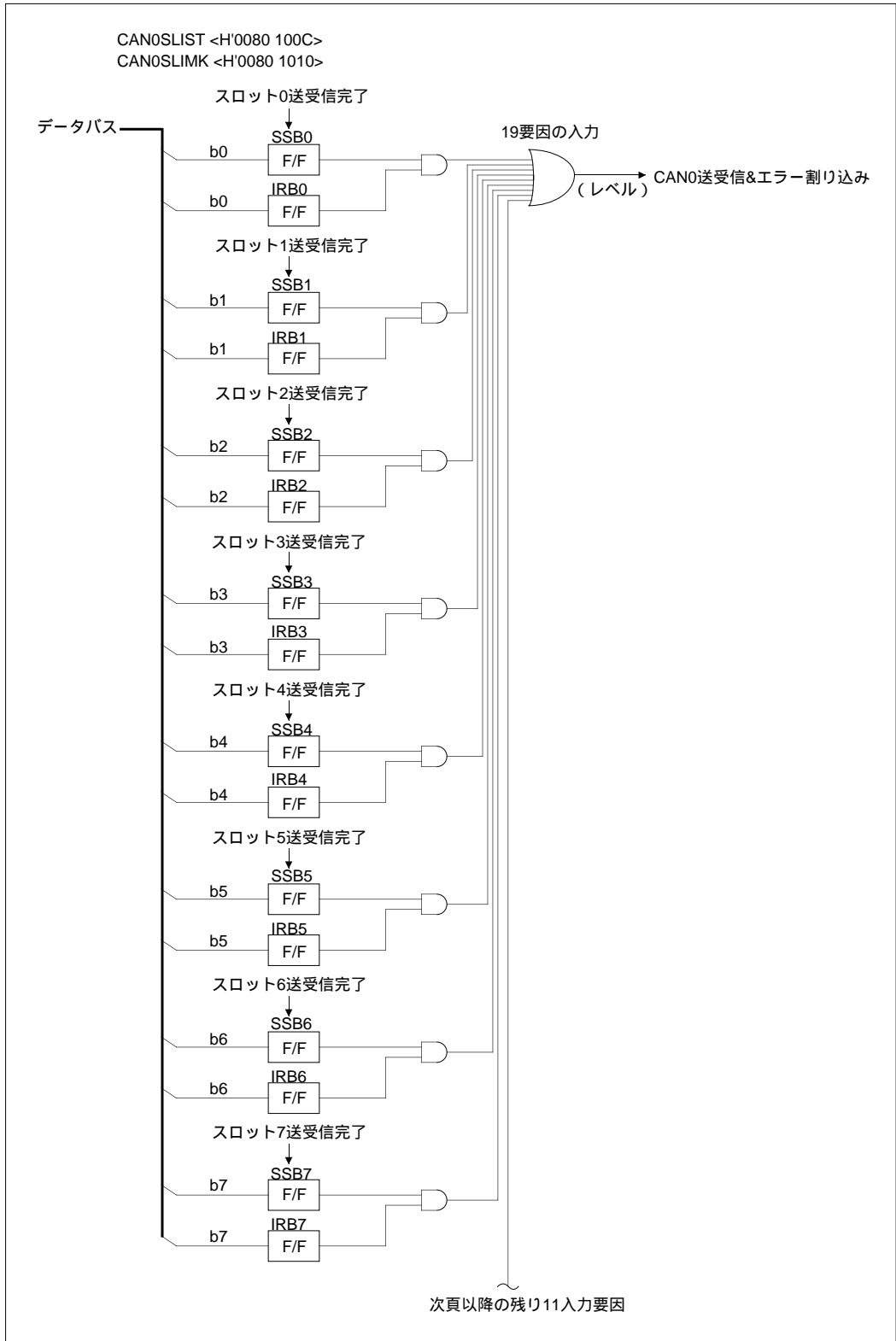


図13.2.9 CAN0送受信&エラー割り込みブロック図 (1/3)

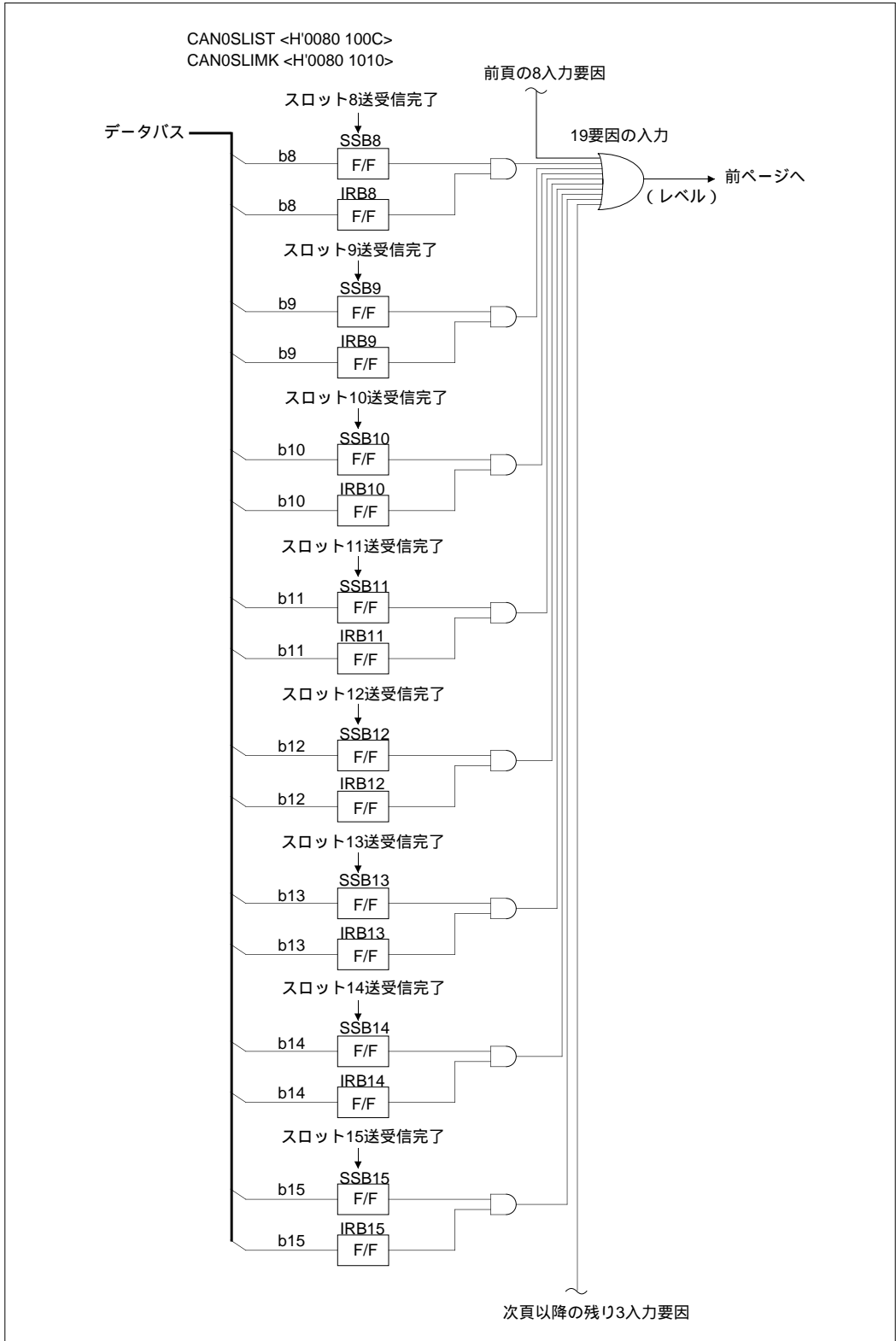


図13.2.10 CAN0送受信&エラー割り込みブロック図(2/3)

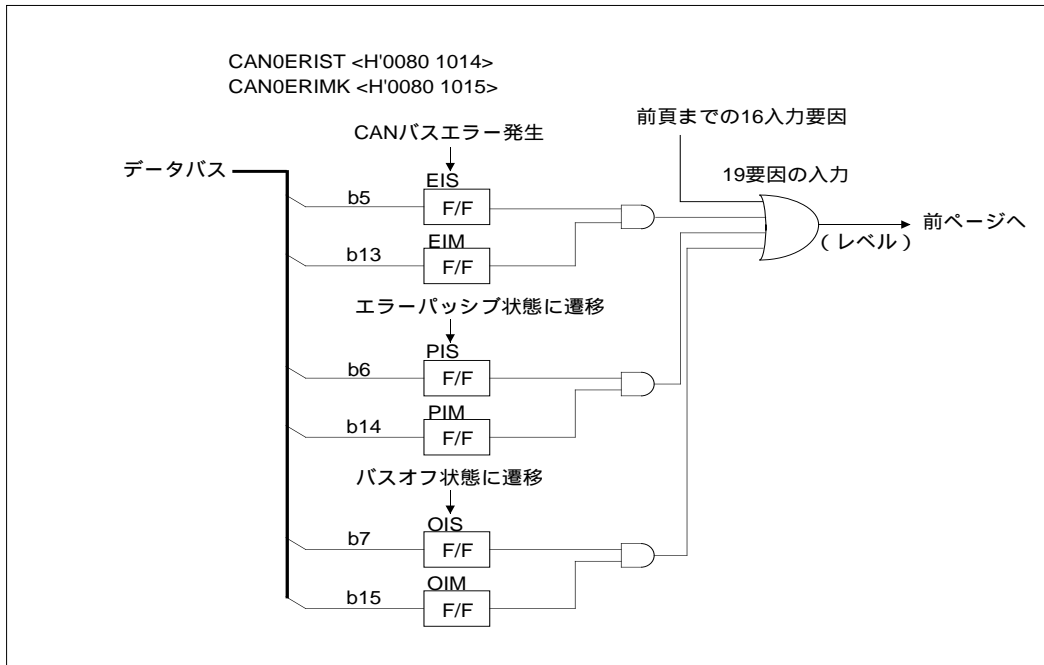


図13.2.11 CAN0送受信&エラー割り込みブロック図(3/3)

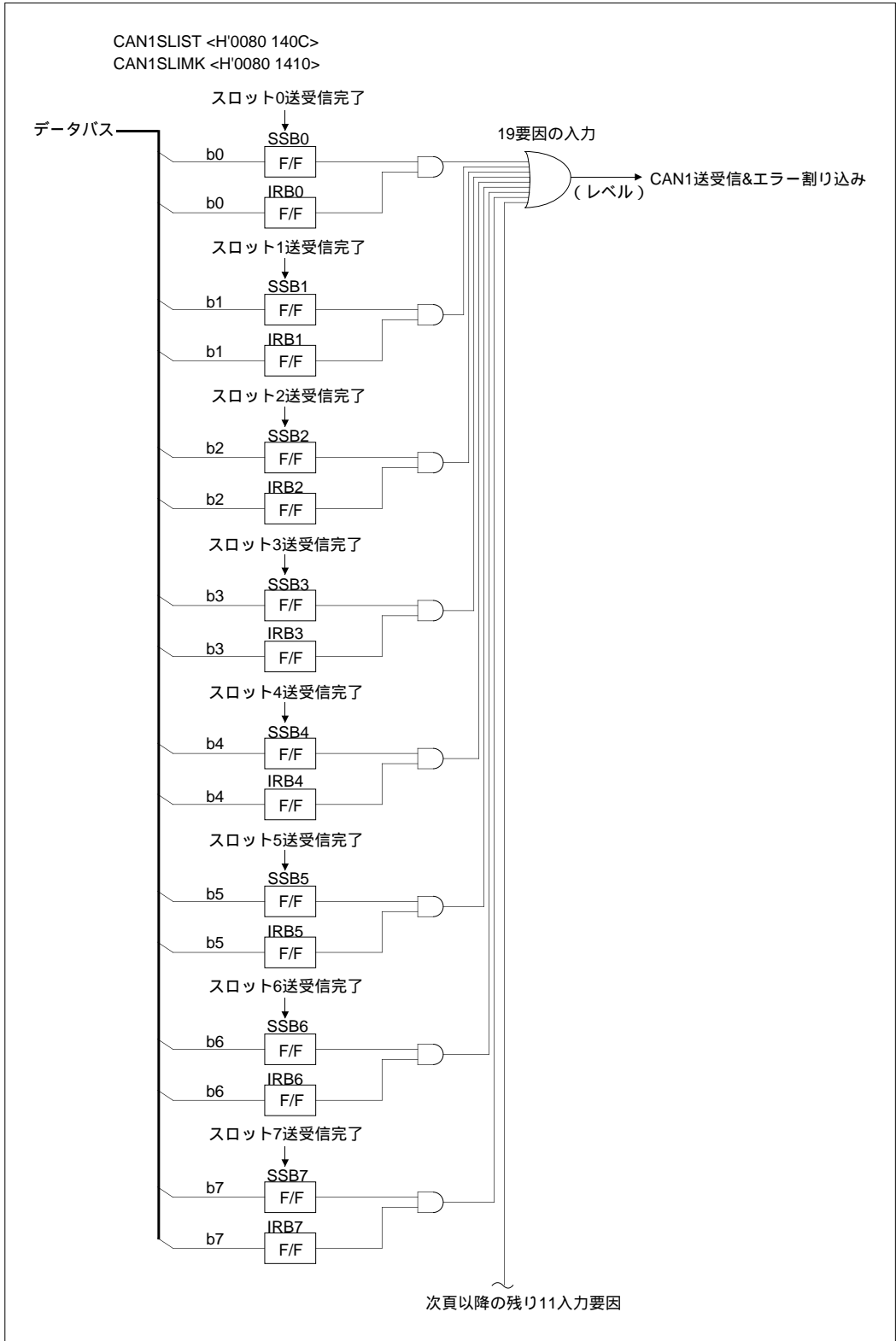


図13.2.12 CAN1送受信&エラー割り込みブロック図(1/3)

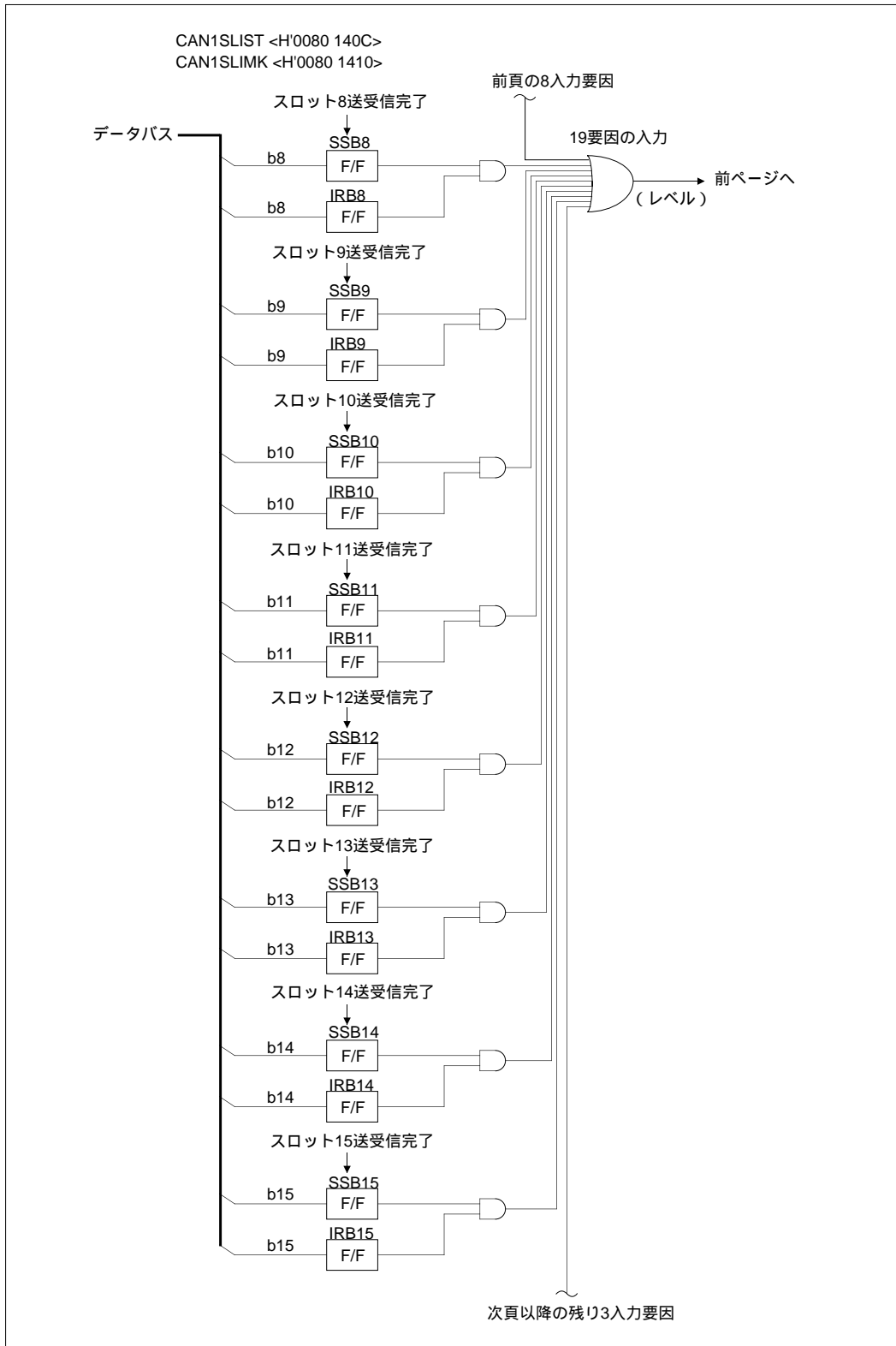


図13.2.13 CAN1送受信&エラー割り込みブロック図(2/3)

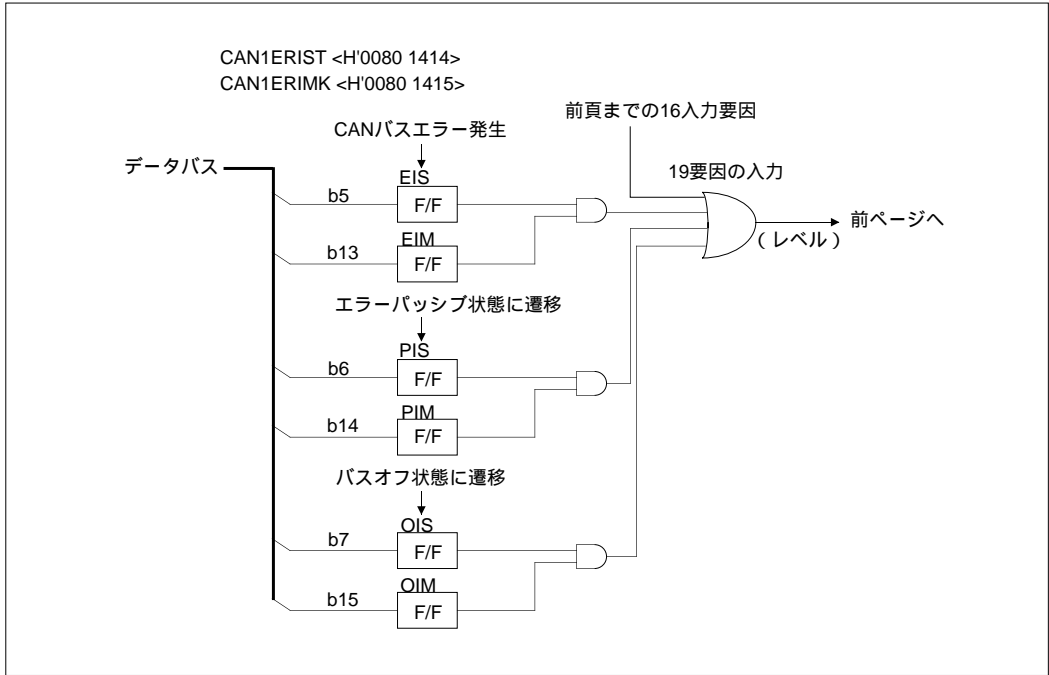
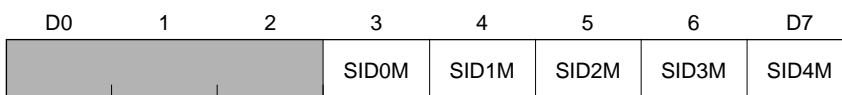


図13.2.14 CAN1送受信&エラー割り込みブロック図(3/3)

13.2.9 CANマスクレジスタ

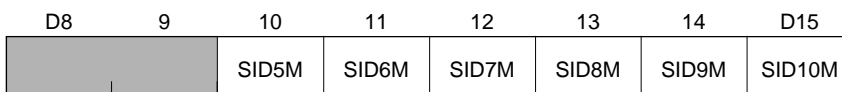
CAN0グローバルマスクレジスタ標準ID α (C0GMSKS0)	<アドレス : H'0080 1028>
CAN0ローカルマスクレジスタA標準ID α (C0LMSKAS0)	<アドレス : H'0080 1030>
CAN0ローカルマスクレジスタB標準ID α (C0LMSKBS0)	<アドレス : H'0080 1038>
CAN1グローバルマスクレジスタ標準ID α (C1GMSKS0)	<アドレス : H'0080 1428>
CAN1ローカルマスクレジスタA標準ID α (C1LMSKAS0)	<アドレス : H'0080 1430>
CAN1ローカルマスクレジスタB標準ID α (C1LMSKBS0)	<アドレス : H'0080 1438>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3~7	SID0M ~ SID4M (標準ID0 ~ 標準ID4)	0 : IDチェックなし 1 : IDチェックあり		

CAN0グローバルマスクレジスタ標準ID1(C0GMSKS1)	<アドレス : H'0080 1029>
CAN0ローカルマスクレジスタA標準ID1(C0LMSKAS1)	<アドレス : H'0080 1031>
CAN0ローカルマスクレジスタB標準ID1(C0LMSKBS1)	<アドレス : H'0080 1039>
CAN1グローバルマスクレジスタ標準ID1(C1GMSKS1)	<アドレス : H'0080 1429>
CAN1ローカルマスクレジスタA標準ID1(C1LMSKAS1)	<アドレス : H'0080 1431>
CAN1ローカルマスクレジスタB標準ID1(C1LMSKBS1)	<アドレス : H'0080 1439>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~9	何も配置されていません		0	-
10~15	SID5M ~ SID10M (標準ID5 ~ 標準ID10)	0 : IDチェックなし 1 : IDチェックあり		

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

グローバルマスクレジスタはメッセージスロット0～13に、ローカルマスクレジスタA, Bはそれぞれメッセージスロット14, 15に適用されます。

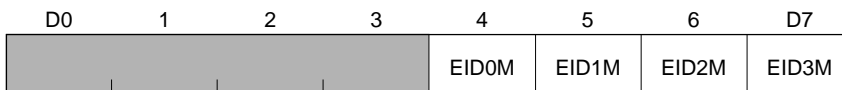
"0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。

"1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

- 注1. SID0Mが標準IDのMSBに対応します。
- 注2. グローバルマスクレジスタの変更は、スロット0～13のどのスロットにも受信要求をセットしていない状態で行ってください。
- 注3. ローカルマスクレジスタAの変更は、スロット14に受信要求をセットしていない状態で行ってください。
- 注4. ローカルマスクレジスタBの変更は、スロット15に受信要求をセットしていない状態で行ってください。

CAN0グローバルマスクレジスタ拡張ID α (C0GMSKE0) <アドレス: H'0080 102A>
 CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE0) <アドレス: H'0080 1032>
 CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE0) <アドレス: H'0080 103A>

CAN1グローバルマスクレジスタ拡張ID α (C1GMSKE0) <アドレス: H'0080 142A>
 CAN1ローカルマスクレジスタA拡張ID α (C1LMSKAE0) <アドレス: H'0080 1432>
 CAN1ローカルマスクレジスタB拡張ID α (C1LMSKBE0) <アドレス: H'0080 143A>

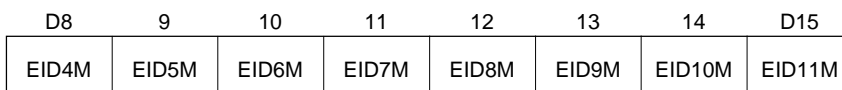


<リセット時: H'00>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	EID0M ~ EID3M (拡張ID0 ~ 拡張ID3)	0: IDチェックなし 1: IDチェックあり		

CAN0グローバルマスクレジスタ拡張ID1(C0GMSKE1) <アドレス: H'0080 102B>
 CAN0ローカルマスクレジスタA拡張ID1(C0LMSKAE1) <アドレス: H'0080 1033>
 CAN0ローカルマスクレジスタB拡張ID1(C0LMSKBE1) <アドレス: H'0080 103B>

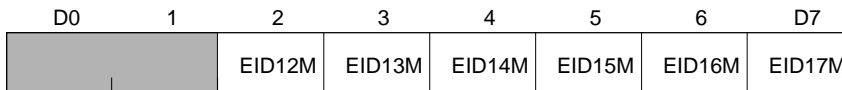
CAN1グローバルマスクレジスタ拡張ID1(C1GMSKE1) <アドレス: H'0080 142B>
 CAN1ローカルマスクレジスタA拡張ID1(C1LMSKAE1) <アドレス: H'0080 1433>
 CAN1ローカルマスクレジスタB拡張ID1(C1LMSKBE1) <アドレス: H'0080 143B>



<リセット時: H'00>

D	ビット名	機能	R	W
8~15	EID4M ~ EID11M (拡張ID4 ~ 拡張ID11)	0: IDチェックなし 1: IDチェックあり		

CAN0グローバルマスクレジスタ拡張ID α (C0GMSKE2)	<アドレス: H'0080 102C>
CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE2)	<アドレス: H'0080 1034>
CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE2)	<アドレス: H'0080 103C>
CAN1グローバルマスクレジスタ拡張ID α (C1GMSKE2)	<アドレス: H'0080 142C>
CAN1ローカルマスクレジスタA拡張ID α (C1LMSKAE2)	<アドレス: H'0080 1434>
CAN1ローカルマスクレジスタB拡張ID α (C1LMSKBE2)	<アドレス: H'0080 143C>



<リセット時: H'00>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2~7	EID12M~EID17M (拡張ID12~拡張ID17)	0: IDチェックなし 1: IDチェックあり		

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

グローバルマスクレジスタはメッセージスロット0~13に、ローカルマスクレジスタA, Bはそれぞれメッセージスロット14, 15に適用されます。

"0"を設定した場合、該当ビットの対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。

"1"を設定した場合、該当ビットの対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

注1. EID0Mが拡張IDのMSBに対応します。

注2. グローバルマスクレジスタの変更は、スロット0~13のどのスロットにも受信要求をセットしていない状態で行ってください。

注3. ローカルマスクレジスタAの変更は、スロット14に受信要求をセットしていない状態で行ってください。

注4. ローカルマスクレジスタBの変更は、スロット15に受信要求がセットしていない状態で行ってください。

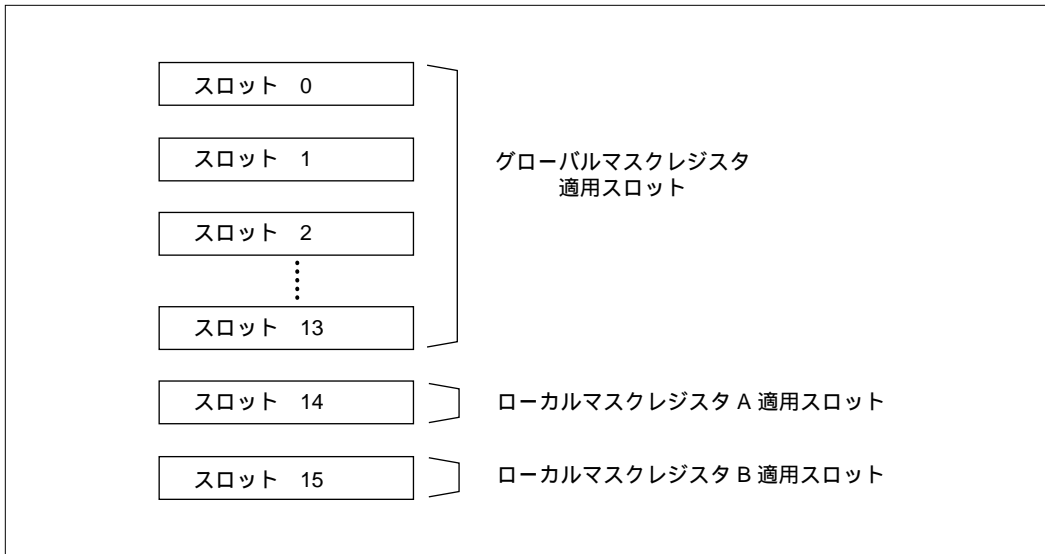


図13.2.15 マスクレジスタと適用スロットの対応

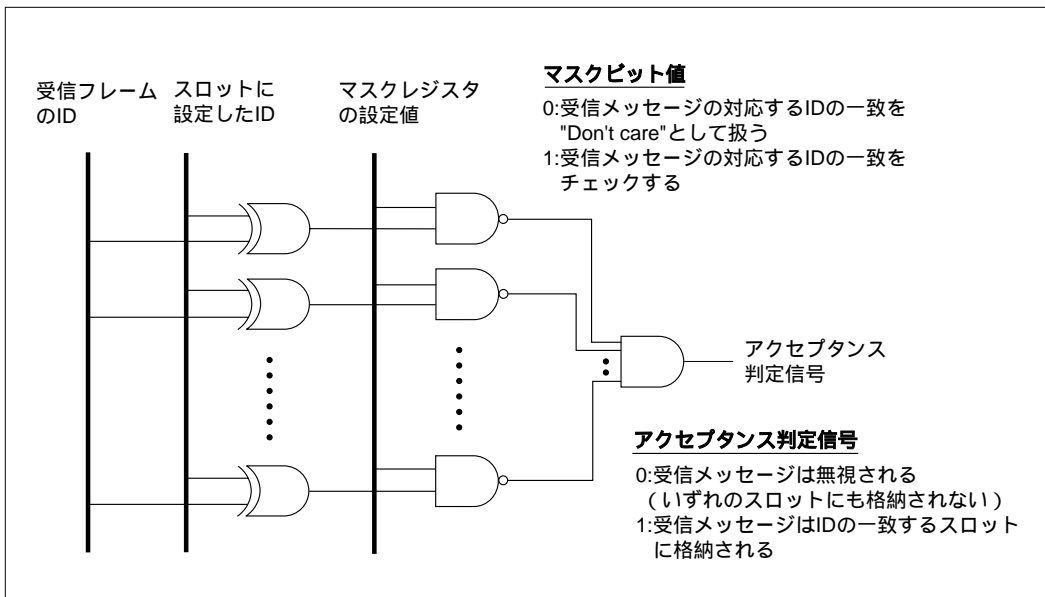


図13.2.16 アクセプタンスフィルタ動作説明

13.2.10 CANメッセージスロットコントロールレジスタ

CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT)	<アドレス: H'0080 1050>
CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT)	<アドレス: H'0080 1051>
CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT)	<アドレス: H'0080 1052>
CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT)	<アドレス: H'0080 1053>
CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT)	<アドレス: H'0080 1054>
CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT)	<アドレス: H'0080 1055>
CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT)	<アドレス: H'0080 1056>
CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT)	<アドレス: H'0080 1057>
CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT)	<アドレス: H'0080 1058>
CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT)	<アドレス: H'0080 1059>
CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT)	<アドレス: H'0080 105A>
CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT)	<アドレス: H'0080 105B>
CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT)	<アドレス: H'0080 105C>
CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT)	<アドレス: H'0080 105D>
CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT)	<アドレス: H'0080 105E>
CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT)	<アドレス: H'0080 105F>
CAN1メッセージスロット0コントロールレジスタ(C1MSL0CNT)	<アドレス: H'0080 1450>
CAN1メッセージスロット1コントロールレジスタ(C1MSL1CNT)	<アドレス: H'0080 1451>
CAN1メッセージスロット2コントロールレジスタ(C1MSL2CNT)	<アドレス: H'0080 1452>
CAN1メッセージスロット3コントロールレジスタ(C1MSL3CNT)	<アドレス: H'0080 1453>
CAN1メッセージスロット4コントロールレジスタ(C1MSL4CNT)	<アドレス: H'0080 1454>
CAN1メッセージスロット5コントロールレジスタ(C1MSL5CNT)	<アドレス: H'0080 1455>
CAN1メッセージスロット6コントロールレジスタ(C1MSL6CNT)	<アドレス: H'0080 1456>
CAN1メッセージスロット7コントロールレジスタ(C1MSL7CNT)	<アドレス: H'0080 1457>
CAN1メッセージスロット8コントロールレジスタ(C1MSL8CNT)	<アドレス: H'0080 1458>
CAN1メッセージスロット9コントロールレジスタ(C1MSL9CNT)	<アドレス: H'0080 1459>
CAN1メッセージスロット10コントロールレジスタ(C1MSL10CNT)	<アドレス: H'0080 145A>
CAN1メッセージスロット11コントロールレジスタ(C1MSL11CNT)	<アドレス: H'0080 145B>
CAN1メッセージスロット12コントロールレジスタ(C1MSL12CNT)	<アドレス: H'0080 145C>
CAN1メッセージスロット13コントロールレジスタ(C1MSL13CNT)	<アドレス: H'0080 145D>
CAN1メッセージスロット14コントロールレジスタ(C1MSL14CNT)	<アドレス: H'0080 145E>
CAN1メッセージスロット15コントロールレジスタ(C1MSL15CNT)	<アドレス: H'0080 145F>

D0(D8)	1	2	3	4	5	6	D7(D15)
TR	RR	RM	RL	RA	ML	TRSTAT	TRFIN

<リセット時: H'00>

D	ビット名	機能	R	W
0	TR (送信要求)	0: メッセージスロットを送信スロットとして 使用しない 1: メッセージスロットを送信スロットとして 使用する		
1	RR (受信要求)	0: メッセージスロットを受信スロットとして 使用しない 1: メッセージスロットを受信スロットとして 使用する		
2	RM (リモート)	0: データフレームの送受信 1: リモートフレームの送受信		
3	RL (自動応答禁止)	0: リモートフレームに対する自動応答許可 1: リモートフレームに対する自動応答禁止		
4	RA (リモートアクティブ)	BasicCANモード時 0: データフレーム受信(ステータス) 1: リモートフレーム受信(ステータス) 通常モード時 0: データフレーム 1: リモートフレーム		-
5	ML (メッセージロスト)	0: メッセージロスト発生なし 1: メッセージロスト発生		
6	TRSTAT (送受信ステータス)	送信スロット時 0: 送信停止 1: 送信要求受付 受信スロット時 0: 受信停止 1: 受信データ格納中		-
7	TRFIN (送受信完了)	送信スロット時 0: 未送信 1: 送信完了 受信スロット時 0: 未受信 1: 受信完了		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注1. CANモジュールがリセット状態(CANCNTのFRSTまたはRSTビットがセットされた状態)でCANメッセージスロットコントロールレジスタに送信要求を書き込んだ場合、リセット解除後CANバス上に11ビットの連続したレセシブビットを検出後、送信を開始します。

注2. 複数スロットにデータ/リモートフレーム送信要求が出ている場合、スロット番号の一番小さいスロットがフレーム送信を行います。
複数スロットにデータ/リモートフレーム受信要求が出ている場合、受信条件を満たすスロットのうち、スロット番号の一番小さいスロットがフレーム受信を行います。

(1) TR (送信要求) ビット (D0)

メッセージスロットを送信スロットとして使用する場合に"1"を設定します。
データフレーム受信/リモートフレーム受信スロットとして使用する場合は、"0"を設定してください。

(2) RR (受信要求) ビット (D1)

メッセージスロットを受信スロットとして使用する場合に"1"を設定します。
データフレーム送信/リモートフレーム送信スロットとして使用する場合は、"0"を設定してください。

TR(送信要求)ビットとRR(受信要求)ビットを両方とも"1"に設定した場合、動作は不定になります。

(3) RM (リモート) ビット (D2)

メッセージスロットでリモートフレームを扱う場合に"1"を設定します。
リモートフレームを扱う設定には以下の2通りがあります。

リモートフレーム送信設定

メッセージスロットに設定されているデータをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信スロットに切り替わります
ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータをメッセージスロットへ格納しリモートフレームの送信は行いません。

リモートフレーム受信設定

リモートフレームを受信します。受信後の処理はRL(自動応答禁止)ビットにより選択します。

(4) RL (自動応答禁止) ビット (D3)

リモートフレーム受信スロットとして設定した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

"0"を設定した場合は、リモートフレーム受信後、自動的に送信スロットに切り替わり、メッセージスロットに設定されているデータをデータフレームとして送信します。
また、"1"を設定した場合は、リモートフレーム受信後、停止します。

注. リモートフレーム受信スロット以外の設定の場合は、必ず"0"を設定してください。

(5) RA (リモートアクティブ) ビット (D4)

スロット0~13までと、スロット14, 15では機能が異なります。

スロット0~13

スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。その後、リモートフレームの送信(受信)が完了すると"0"にクリアされます。

スロット14, 15

CANコントロールレジスタのBCM(BasicCANモード)ビットの設定によって機能が異なります。

BCM="0"(通常動作時): スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。

BCM="1"(BasicCAN): RAビットは、どのタイプのフレームを受信したかを示します。BasicCANモード時のスロット14, 15ではデータフレーム、リモートフレームともに受信データの格納を行います。

RA="0": スロットに格納されているフレームがデータフレームである事を示します。

RA="1": スロットに格納されているフレームがリモートフレームである事を示します。

(6) ML (メッセージロスト) ビット (D5)

受信スロット時に有効なビットで、メッセージスロットに未読の受信データがあり、受信により上書きされた場合に"1"がセットされます。

このビットはソフトウェアによる"0"書き込みでクリアされます。

(7) TRSTAT (送受信ステータス) ビット (D6)

CANモジュールが送受信中で、メッセージスロットへアクセス中であることを示します。アクセス中は"1"がセットされ、アクセスしていないときは"0"がセットされます。

送信スロット時

メッセージスロットの送信要求が受け付けられたとき、"1"がセットされます。アービトラージに敗れた場合、CANバスエラー発生、送信完了によって"0"にクリアされます。

受信スロット時

データ受信中でメッセージスロットに受信データを格納中であるとき、"1"がセットされます。このビットが"1"の間にメッセージスロットから読み出した値は不定値となりますのでご注意ください。

(8) TRFIN (送受信完了) ビット (D7)

CANモジュールが送受信を完了したことを示します。

送信スロット設定時

メッセージスロットのデータが送信完了したとき、"1"がセットされます。

このビットはソフトウェアによる"0"書き込みでクリアされます。ただし、TRSTAT (送受信ステータス) ビットが"1"の場合は"0"クリアできません。

受信スロット設定時

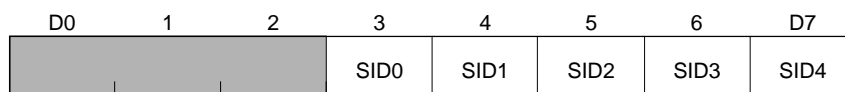
メッセージスロットへ格納すべきデータを正常受信にしたとき、"1"がセットされます。

このビットはソフトウェアによる"0"書き込みでクリアされます。ただし、TRSTAT (送受信ステータス) ビットが"1"の場合は"0"クリアできません。

- 注. 受信データをメッセージスロットから読み出す場合は、読み出し前にTRFIN(送受信完了)ビットをクリアしてください。また、読み出し後にTRFIN(送受信完了)ビットが"1"にセットされていた場合は、読み出し中に新しい受信データが格納され、読み出し値に不定値が含まれていることを示します。その場合は、読み出しデータを破棄し、TRFIN(送受信完了)ビットをクリア後、再度読み出し処理を行ってください。

13.2.11 CANメッセージスロット

CAN0メッセージスロット0標準IDα C0MSL0SID0)	<アドレス : H'0080 1100>
CAN0メッセージスロット1標準IDα C0MSL1SID0)	<アドレス : H'0080 1110>
CAN0メッセージスロット2標準IDα C0MSL2SID0)	<アドレス : H'0080 1120>
CAN0メッセージスロット3標準IDα C0MSL3SID0)	<アドレス : H'0080 1130>
CAN0メッセージスロット4標準IDα C0MSL4SID0)	<アドレス : H'0080 1140>
CAN0メッセージスロット5標準IDα C0MSL5SID0)	<アドレス : H'0080 1150>
CAN0メッセージスロット6標準IDα C0MSL6SID0)	<アドレス : H'0080 1160>
CAN0メッセージスロット7標準IDα C0MSL7SID0)	<アドレス : H'0080 1170>
CAN0メッセージスロット8標準IDα C0MSL8SID0)	<アドレス : H'0080 1180>
CAN0メッセージスロット9標準IDα C0MSL9SID0)	<アドレス : H'0080 1190>
CAN0メッセージスロット10標準IDα C0MSL10SID0)	<アドレス : H'0080 11A0>
CAN0メッセージスロット11標準IDα C0MSL11SID0)	<アドレス : H'0080 11B0>
CAN0メッセージスロット12標準IDα C0MSL12SID0)	<アドレス : H'0080 11C0>
CAN0メッセージスロット13標準IDα C0MSL13SID0)	<アドレス : H'0080 11D0>
CAN0メッセージスロット14標準IDα C0MSL14SID0)	<アドレス : H'0080 11E0>
CAN0メッセージスロット15標準IDα C0MSL15SID0)	<アドレス : H'0080 11F0>
CAN1メッセージスロット0標準IDα C1MSL0SID0)	<アドレス : H'0080 1500>
CAN1メッセージスロット1標準IDα C1MSL1SID0)	<アドレス : H'0080 1510>
CAN1メッセージスロット2標準IDα C1MSL2SID0)	<アドレス : H'0080 1520>
CAN1メッセージスロット3標準IDα C1MSL3SID0)	<アドレス : H'0080 1530>
CAN1メッセージスロット4標準IDα C1MSL4SID0)	<アドレス : H'0080 1540>
CAN1メッセージスロット5標準IDα C1MSL5SID0)	<アドレス : H'0080 1550>
CAN1メッセージスロット6標準IDα C1MSL6SID0)	<アドレス : H'0080 1560>
CAN1メッセージスロット7標準IDα C1MSL7SID0)	<アドレス : H'0080 1570>
CAN1メッセージスロット8標準IDα C1MSL8SID0)	<アドレス : H'0080 1580>
CAN1メッセージスロット9標準IDα C1MSL9SID0)	<アドレス : H'0080 1590>
CAN1メッセージスロット10標準IDα C1MSL10SID0)	<アドレス : H'0080 15A0>
CAN1メッセージスロット11標準IDα C1MSL11SID0)	<アドレス : H'0080 15B0>
CAN1メッセージスロット12標準IDα C1MSL12SID0)	<アドレス : H'0080 15C0>
CAN1メッセージスロット13標準IDα C1MSL13SID0)	<アドレス : H'0080 15D0>
CAN1メッセージスロット14標準IDα C1MSL14SID0)	<アドレス : H'0080 15E0>
CAN1メッセージスロット15標準IDα C1MSL15SID0)	<アドレス : H'0080 15F0>

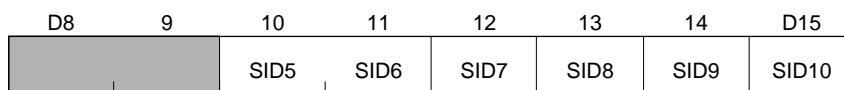


<リセット時：不定>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3~7	SID0~SID4 (標準ID0~標準ID4)	標準ID0~標準ID4		

送信フレーム / 受信フレームのメモリスペースです。

CAN0メッセージスロット0標準ID1(C0MSL0SID1)	<アドレス : H'0080 1101>
CAN0メッセージスロット1標準ID1(C0MSL1SID1)	<アドレス : H'0080 1111>
CAN0メッセージスロット2標準ID1(C0MSL2SID1)	<アドレス : H'0080 1121>
CAN0メッセージスロット3標準ID1(C0MSL3SID1)	<アドレス : H'0080 1131>
CAN0メッセージスロット4標準ID1(C0MSL4SID1)	<アドレス : H'0080 1141>
CAN0メッセージスロット5標準ID1(C0MSL5SID1)	<アドレス : H'0080 1151>
CAN0メッセージスロット6標準ID1(C0MSL6SID1)	<アドレス : H'0080 1161>
CAN0メッセージスロット7標準ID1(C0MSL7SID1)	<アドレス : H'0080 1171>
CAN0メッセージスロット8標準ID1(C0MSL8SID1)	<アドレス : H'0080 1181>
CAN0メッセージスロット9標準ID1(C0MSL9SID1)	<アドレス : H'0080 1191>
CAN0メッセージスロット10標準ID1(C0MSL10SID1)	<アドレス : H'0080 11A1>
CAN0メッセージスロット11標準ID1(C0MSL11SID1)	<アドレス : H'0080 11B1>
CAN0メッセージスロット12標準ID1(C0MSL12SID1)	<アドレス : H'0080 11C1>
CAN0メッセージスロット13標準ID1(C0MSL13SID1)	<アドレス : H'0080 11D1>
CAN0メッセージスロット14標準ID1(C0MSL14SID1)	<アドレス : H'0080 11E1>
CAN0メッセージスロット15標準ID1(C0MSL15SID1)	<アドレス : H'0080 11F1>
CAN1メッセージスロット0標準ID1(C1MSL0SID1)	<アドレス : H'0080 1501>
CAN1メッセージスロット1標準ID1(C1MSL1SID1)	<アドレス : H'0080 1511>
CAN1メッセージスロット2標準ID1(C1MSL2SID1)	<アドレス : H'0080 1521>
CAN1メッセージスロット3標準ID1(C1MSL3SID1)	<アドレス : H'0080 1531>
CAN1メッセージスロット4標準ID1(C1MSL4SID1)	<アドレス : H'0080 1541>
CAN1メッセージスロット5標準ID1(C1MSL5SID1)	<アドレス : H'0080 1551>
CAN1メッセージスロット6標準ID1(C1MSL6SID1)	<アドレス : H'0080 1561>
CAN1メッセージスロット7標準ID1(C1MSL7SID1)	<アドレス : H'0080 1571>
CAN1メッセージスロット8標準ID1(C1MSL8SID1)	<アドレス : H'0080 1581>
CAN1メッセージスロット9標準ID1(C1MSL9SID1)	<アドレス : H'0080 1591>
CAN1メッセージスロット10標準ID1(C1MSL10SID1)	<アドレス : H'0080 15A1>
CAN1メッセージスロット11標準ID1(C1MSL11SID1)	<アドレス : H'0080 15B1>
CAN1メッセージスロット12標準ID1(C1MSL12SID1)	<アドレス : H'0080 15C1>
CAN1メッセージスロット13標準ID1(C1MSL13SID1)	<アドレス : H'0080 15D1>
CAN1メッセージスロット14標準ID1(C1MSL14SID1)	<アドレス : H'0080 15E1>
CAN1メッセージスロット15標準ID1(C1MSL15SID1)	<アドレス : H'0080 15F1>

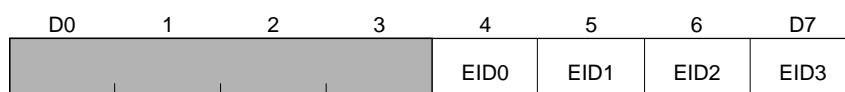


<リセット時：不定>

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10~15	SID5~SID10 (標準ID5~標準ID10)	標準ID5~標準ID10		

送信フレーム / 受信フレームのメモリスペースです。

CAN0メッセージスロット0拡張ID α (C0MSL0EID0)	<アドレス : H'0080 1102>
CAN0メッセージスロット1拡張ID α (C0MSL1EID0)	<アドレス : H'0080 1112>
CAN0メッセージスロット2拡張ID α (C0MSL2EID0)	<アドレス : H'0080 1122>
CAN0メッセージスロット3拡張ID α (C0MSL3EID0)	<アドレス : H'0080 1132>
CAN0メッセージスロット4拡張ID α (C0MSL4EID0)	<アドレス : H'0080 1142>
CAN0メッセージスロット5拡張ID α (C0MSL5EID0)	<アドレス : H'0080 1152>
CAN0メッセージスロット6拡張ID α (C0MSL6EID0)	<アドレス : H'0080 1162>
CAN0メッセージスロット7拡張ID α (C0MSL7EID0)	<アドレス : H'0080 1172>
CAN0メッセージスロット8拡張ID α (C0MSL8EID0)	<アドレス : H'0080 1182>
CAN0メッセージスロット9拡張ID α (C0MSL9EID0)	<アドレス : H'0080 1192>
CAN0メッセージスロット10拡張ID α (C0MSL10EID0)	<アドレス : H'0080 11A2>
CAN0メッセージスロット11拡張ID α (C0MSL11EID0)	<アドレス : H'0080 11B2>
CAN0メッセージスロット12拡張ID α (C0MSL12EID0)	<アドレス : H'0080 11C2>
CAN0メッセージスロット13拡張ID α (C0MSL13EID0)	<アドレス : H'0080 11D2>
CAN0メッセージスロット14拡張ID α (C0MSL14EID0)	<アドレス : H'0080 11E2>
CAN0メッセージスロット15拡張ID α (C0MSL15EID0)	<アドレス : H'0080 11F2>
CAN1メッセージスロット0拡張ID α (C1MSL0EID0)	<アドレス : H'0080 1502>
CAN1メッセージスロット1拡張ID α (C1MSL1EID0)	<アドレス : H'0080 1512>
CAN1メッセージスロット2拡張ID α (C1MSL2EID0)	<アドレス : H'0080 1522>
CAN1メッセージスロット3拡張ID α (C1MSL3EID0)	<アドレス : H'0080 1532>
CAN1メッセージスロット4拡張ID α (C1MSL4EID0)	<アドレス : H'0080 1542>
CAN1メッセージスロット5拡張ID α (C1MSL5EID0)	<アドレス : H'0080 1552>
CAN1メッセージスロット6拡張ID α (C1MSL6EID0)	<アドレス : H'0080 1562>
CAN1メッセージスロット7拡張ID α (C1MSL7EID0)	<アドレス : H'0080 1572>
CAN1メッセージスロット8拡張ID α (C1MSL8EID0)	<アドレス : H'0080 1582>
CAN1メッセージスロット9拡張ID α (C1MSL9EID0)	<アドレス : H'0080 1592>
CAN1メッセージスロット10拡張ID α (C1MSL10EID0)	<アドレス : H'0080 15A2>
CAN1メッセージスロット11拡張ID α (C1MSL11EID0)	<アドレス : H'0080 15B2>
CAN1メッセージスロット12拡張ID α (C1MSL12EID0)	<アドレス : H'0080 15C2>
CAN1メッセージスロット13拡張ID α (C1MSL13EID0)	<アドレス : H'0080 15D2>
CAN1メッセージスロット14拡張ID α (C0MSL14EID0)	<アドレス : H'0080 15E2>
CAN1メッセージスロット15拡張ID α (C0MSL15EID0)	<アドレス : H'0080 15F2>



<リセット時：不定>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	EID0~EID3 (拡張ID0~拡張ID3)	拡張ID0~拡張ID3		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID1(C0MSL0EID1)	<アドレス : H'0080 1103>
CAN0メッセージスロット1拡張ID1(C0MSL1EID1)	<アドレス : H'0080 1113>
CAN0メッセージスロット2拡張ID1(C0MSL2EID1)	<アドレス : H'0080 1123>
CAN0メッセージスロット3拡張ID1(C0MSL3EID1)	<アドレス : H'0080 1133>
CAN0メッセージスロット4拡張ID1(C0MSL4EID1)	<アドレス : H'0080 1143>
CAN0メッセージスロット5拡張ID1(C0MSL5EID1)	<アドレス : H'0080 1153>
CAN0メッセージスロット6拡張ID1(C0MSL6EID1)	<アドレス : H'0080 1163>
CAN0メッセージスロット7拡張ID1(C0MSL7EID1)	<アドレス : H'0080 1173>
CAN0メッセージスロット8拡張ID1(C0MSL8EID1)	<アドレス : H'0080 1183>
CAN0メッセージスロット9拡張ID1(C0MSL9EID1)	<アドレス : H'0080 1193>
CAN0メッセージスロット10拡張ID1(C0MSL10EID1)	<アドレス : H'0080 11A3>
CAN0メッセージスロット11拡張ID1(C0MSL11EID1)	<アドレス : H'0080 11B3>
CAN0メッセージスロット12拡張ID1(C0MSL12EID1)	<アドレス : H'0080 11C3>
CAN0メッセージスロット13拡張ID1(C0MSL13EID1)	<アドレス : H'0080 11D3>
CAN0メッセージスロット14拡張ID1(C0MSL14EID1)	<アドレス : H'0080 11E3>
CAN0メッセージスロット15拡張ID1(C0MSL15EID1)	<アドレス : H'0080 11F3>
CAN1メッセージスロット0拡張ID1(C1MSL0EID1)	<アドレス : H'0080 1503>
CAN1メッセージスロット1拡張ID1(C1MSL1EID1)	<アドレス : H'0080 1513>
CAN1メッセージスロット2拡張ID1(C1MSL2EID1)	<アドレス : H'0080 1523>
CAN1メッセージスロット3拡張ID1(C1MSL3EID1)	<アドレス : H'0080 1533>
CAN1メッセージスロット4拡張ID1(C1MSL4EID1)	<アドレス : H'0080 1543>
CAN1メッセージスロット5拡張ID1(C1MSL5EID1)	<アドレス : H'0080 1553>
CAN1メッセージスロット6拡張ID1(C1MSL6EID1)	<アドレス : H'0080 1563>
CAN1メッセージスロット7拡張ID1(C1MSL7EID1)	<アドレス : H'0080 1573>
CAN1メッセージスロット8拡張ID1(C1MSL8EID1)	<アドレス : H'0080 1583>
CAN1メッセージスロット9拡張ID1(C1MSL9EID1)	<アドレス : H'0080 1593>
CAN1メッセージスロット10拡張ID1(C1MSL10EID1)	<アドレス : H'0080 15A3>
CAN1メッセージスロット11拡張ID1(C1MSL11EID1)	<アドレス : H'0080 15B3>
CAN1メッセージスロット12拡張ID1(C1MSL12EID1)	<アドレス : H'0080 15C3>
CAN1メッセージスロット13拡張ID1(C1MSL13EID1)	<アドレス : H'0080 15D3>
CAN1メッセージスロット14拡張ID1(C1MSL14EID1)	<アドレス : H'0080 15E3>
CAN1メッセージスロット15拡張ID1(C1MSL15EID1)	<アドレス : H'0080 15F3>

D8	9	10	11	12	13	14	D15
EID4	EID5	EID6	EID7	EID8	EID9	EID10	EID11

<リセット時：不定>

D	ビット名	機能	R	W
8 ~ 15	EID4 ~ EID11 (拡張ID4 ~ 拡張ID11)	拡張ID4 ~ 拡張ID11		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID α (C0MSL0EID2)	<アドレス : H'0080 1104>
CAN0メッセージスロット1拡張ID α (C0MSL1EID2)	<アドレス : H'0080 1114>
CAN0メッセージスロット2拡張ID α (C0MSL2EID2)	<アドレス : H'0080 1124>
CAN0メッセージスロット3拡張ID α (C0MSL3EID2)	<アドレス : H'0080 1134>
CAN0メッセージスロット4拡張ID α (C0MSL4EID2)	<アドレス : H'0080 1144>
CAN0メッセージスロット5拡張ID α (C0MSL5EID2)	<アドレス : H'0080 1154>
CAN0メッセージスロット6拡張ID α (C0MSL6EID2)	<アドレス : H'0080 1164>
CAN0メッセージスロット7拡張ID α (C0MSL7EID2)	<アドレス : H'0080 1174>
CAN0メッセージスロット8拡張ID α (C0MSL8EID2)	<アドレス : H'0080 1184>
CAN0メッセージスロット9拡張ID α (C0MSL9EID2)	<アドレス : H'0080 1194>
CAN0メッセージスロット10拡張ID α (C0MSL10EID2)	<アドレス : H'0080 11A4>
CAN0メッセージスロット11拡張ID α (C0MSL11EID2)	<アドレス : H'0080 11B4>
CAN0メッセージスロット12拡張ID α (C0MSL12EID2)	<アドレス : H'0080 11C4>
CAN0メッセージスロット13拡張ID α (C0MSL13EID2)	<アドレス : H'0080 11D4>
CAN0メッセージスロット14拡張ID α (C0MSL14EID2)	<アドレス : H'0080 11E4>
CAN0メッセージスロット15拡張ID α (C0MSL15EID2)	<アドレス : H'0080 11F4>
CAN1メッセージスロット0拡張ID α (C1MSL0EID2)	<アドレス : H'0080 1504>
CAN1メッセージスロット1拡張ID α (C1MSL1EID2)	<アドレス : H'0080 1514>
CAN1メッセージスロット2拡張ID α (C1MSL2EID2)	<アドレス : H'0080 1524>
CAN1メッセージスロット3拡張ID α (C1MSL3EID2)	<アドレス : H'0080 1534>
CAN1メッセージスロット4拡張ID α (C1MSL4EID2)	<アドレス : H'0080 1544>
CAN1メッセージスロット5拡張ID α (C1MSL5EID2)	<アドレス : H'0080 1554>
CAN1メッセージスロット6拡張ID α (C1MSL6EID2)	<アドレス : H'0080 1564>
CAN1メッセージスロット7拡張ID α (C1MSL7EID2)	<アドレス : H'0080 1574>
CAN1メッセージスロット8拡張ID α (C1MSL8EID2)	<アドレス : H'0080 1584>
CAN1メッセージスロット9拡張ID α (C1MSL9EID2)	<アドレス : H'0080 1594>
CAN1メッセージスロット10拡張ID α (C1MSL10EID2)	<アドレス : H'0080 15A4>
CAN1メッセージスロット11拡張ID α (C1MSL11EID2)	<アドレス : H'0080 15B4>
CAN1メッセージスロット12拡張ID α (C1MSL12EID2)	<アドレス : H'0080 15C4>
CAN1メッセージスロット13拡張ID α (C1MSL13EID2)	<アドレス : H'0080 15D4>
CAN1メッセージスロット14拡張ID α (C1MSL14EID2)	<アドレス : H'0080 15E4>
CAN1メッセージスロット15拡張ID α (C1MSL15EID2)	<アドレス : H'0080 15F4>

D0	1	2	3	4	5	6	D7
		EID12	EID13	EID14	EID15	EID16	EID17

<リセット時：不定>

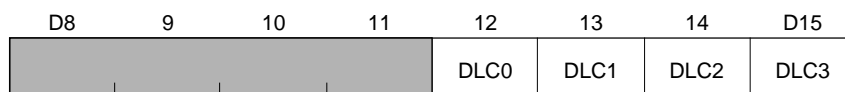
D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2~7	EID12~EID17 (拡張ID12~拡張ID17)	拡張ID12~拡張ID17		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0データ長レジスタ(C0MSL0DLC) <アドレス: H'0080 1105>
CAN0メッセージスロット1データ長レジスタ(C0MSL1DLC) <アドレス: H'0080 1115>
CAN0メッセージスロット2データ長レジスタ(C0MSL2DLC) <アドレス: H'0080 1125>
CAN0メッセージスロット3データ長レジスタ(C0MSL3DLC) <アドレス: H'0080 1135>
CAN0メッセージスロット4データ長レジスタ(C0MSL4DLC) <アドレス: H'0080 1145>
CAN0メッセージスロット5データ長レジスタ(C0MSL5DLC) <アドレス: H'0080 1155>
CAN0メッセージスロット6データ長レジスタ(C0MSL6DLC) <アドレス: H'0080 1165>
CAN0メッセージスロット7データ長レジスタ(C0MSL7DLC) <アドレス: H'0080 1175>
CAN0メッセージスロット8データ長レジスタ(C0MSL8DLC) <アドレス: H'0080 1185>
CAN0メッセージスロット9データ長レジスタ(C0MSL9DLC) <アドレス: H'0080 1195>
CAN0メッセージスロット10データ長レジスタ(C0MSL10DLC) <アドレス: H'0080 11A5>
CAN0メッセージスロット11データ長レジスタ(C0MSL11DLC) <アドレス: H'0080 11B5>
CAN0メッセージスロット12データ長レジスタ(C0MSL12DLC) <アドレス: H'0080 11C5>
CAN0メッセージスロット13データ長レジスタ(C0MSL13DLC) <アドレス: H'0080 11D5>
CAN0メッセージスロット14データ長レジスタ(C0MSL14DLC) <アドレス: H'0080 11E5>
CAN0メッセージスロット15データ長レジスタ(C0MSL15DLC) <アドレス: H'0080 11F5>

CAN1メッセージスロット0データ長レジスタ(C1MSL0DLC) <アドレス: H'0080 1505>
CAN1メッセージスロット1データ長レジスタ(C1MSL1DLC) <アドレス: H'0080 1515>
CAN1メッセージスロット2データ長レジスタ(C1MSL2DLC) <アドレス: H'0080 1525>
CAN1メッセージスロット3データ長レジスタ(C1MSL3DLC) <アドレス: H'0080 1535>
CAN1メッセージスロット4データ長レジスタ(C1MSL4DLC) <アドレス: H'0080 1545>
CAN1メッセージスロット5データ長レジスタ(C1MSL5DLC) <アドレス: H'0080 1555>
CAN1メッセージスロット6データ長レジスタ(C1MSL6DLC) <アドレス: H'0080 1565>
CAN1メッセージスロット7データ長レジスタ(C1MSL7DLC) <アドレス: H'0080 1575>
CAN1メッセージスロット8データ長レジスタ(C1MSL8DLC) <アドレス: H'0080 1585>
CAN1メッセージスロット9データ長レジスタ(C1MSL9DLC) <アドレス: H'0080 1595>
CAN1メッセージスロット10データ長レジスタ(C1MSL10DLC) <アドレス: H'0080 15A5>
CAN1メッセージスロット11データ長レジスタ(C1MSL11DLC) <アドレス: H'0080 15B5>
CAN1メッセージスロット12データ長レジスタ(C1MSL12DLC) <アドレス: H'0080 15C5>
CAN1メッセージスロット13データ長レジスタ(C1MSL13DLC) <アドレス: H'0080 15D5>
CAN1メッセージスロット14データ長レジスタ(C1MSL14DLC) <アドレス: H'0080 15E5>
CAN1メッセージスロット15データ長レジスタ(C1MSL15DLC) <アドレス: H'0080 15F5>

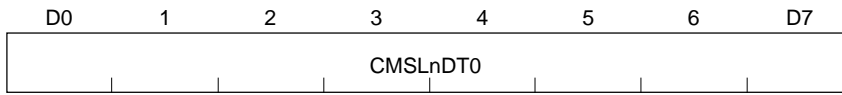


<リセット時：不定>

D	ビット名	機能	R	W
8~11	何も配置されていません		0	-
12~15	DLC0~DLC3 (データ長設定)	0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト		

送信フレーム / 受信フレームのメモリスペースです。送信時は送信データ長を設定します。受信時は受信DLCが格納されます。

CAN0メッセージスロット0データα (C0MSL0DT0)	<アドレス : H'0080 1106>
CAN0メッセージスロット1データα (C0MSL1DT0)	<アドレス : H'0080 1116>
CAN0メッセージスロット2データα (C0MSL2DT0)	<アドレス : H'0080 1126>
CAN0メッセージスロット3データα (C0MSL3DT0)	<アドレス : H'0080 1136>
CAN0メッセージスロット4データα (C0MSL4DT0)	<アドレス : H'0080 1146>
CAN0メッセージスロット5データα (C0MSL5DT0)	<アドレス : H'0080 1156>
CAN0メッセージスロット6データα (C0MSL6DT0)	<アドレス : H'0080 1166>
CAN0メッセージスロット7データα (C0MSL7DT0)	<アドレス : H'0080 1176>
CAN0メッセージスロット8データα (C0MSL8DT0)	<アドレス : H'0080 1186>
CAN0メッセージスロット9データα (C0MSL9DT0)	<アドレス : H'0080 1196>
CAN0メッセージスロット10データα (C0MSL10DT0)	<アドレス : H'0080 11A6>
CAN0メッセージスロット11データα (C0MSL11DT0)	<アドレス : H'0080 11B6>
CAN0メッセージスロット12データα (C0MSL12DT0)	<アドレス : H'0080 11C6>
CAN0メッセージスロット13データα (C0MSL13DT0)	<アドレス : H'0080 11D6>
CAN0メッセージスロット14データα (C0MSL14DT0)	<アドレス : H'0080 11E6>
CAN0メッセージスロット15データα (C0MSL15DT0)	<アドレス : H'0080 11F6>
CAN1メッセージスロット0データα (C1MSL0DT0)	<アドレス : H'0080 1506>
CAN1メッセージスロット1データα (C1MSL1DT0)	<アドレス : H'0080 1516>
CAN1メッセージスロット2データα (C1MSL2DT0)	<アドレス : H'0080 1526>
CAN1メッセージスロット3データα (C1MSL3DT0)	<アドレス : H'0080 1536>
CAN1メッセージスロット4データα (C1MSL4DT0)	<アドレス : H'0080 1546>
CAN1メッセージスロット5データα (C1MSL5DT0)	<アドレス : H'0080 1556>
CAN1メッセージスロット6データα (C1MSL6DT0)	<アドレス : H'0080 1566>
CAN1メッセージスロット7データα (C1MSL7DT0)	<アドレス : H'0080 1576>
CAN1メッセージスロット8データα (C1MSL8DT0)	<アドレス : H'0080 1586>
CAN1メッセージスロット9データα (C1MSL9DT0)	<アドレス : H'0080 1596>
CAN1メッセージスロット10データα (C1MSL10DT0)	<アドレス : H'0080 15A6>
CAN1メッセージスロット11データα (C1MSL11DT0)	<アドレス : H'0080 15B6>
CAN1メッセージスロット12データα (C1MSL12DT0)	<アドレス : H'0080 15C6>
CAN1メッセージスロット13データα (C1MSL13DT0)	<アドレス : H'0080 15D6>
CAN1メッセージスロット14データα (C1MSL14DT0)	<アドレス : H'0080 15E6>
CAN1メッセージスロット15データα (C1MSL15DT0)	<アドレス : H'0080 15F6>



<リセット時：不定>

D	ビット名	機能	R	W
0~7	CMSLnDT0	メッセージスロットnデータ0		

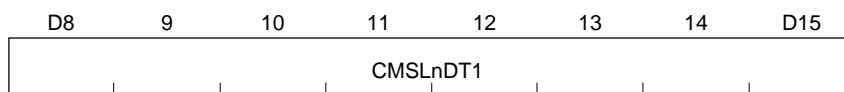
n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注1. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が0の場合には不定値が書き込まれます。

注2. CANフレームのデータフィールド1バイト目がメッセージスロットnデータ0に対応します。データはレジスタのMSB側から送受信されます。

CAN0メッセージスロット0データ1(C0MSL0DT1)	<アドレス: H'0080 1107>
CAN0メッセージスロット1データ1(C0MSL1DT1)	<アドレス: H'0080 1117>
CAN0メッセージスロット2データ1(C0MSL2DT1)	<アドレス: H'0080 1127>
CAN0メッセージスロット3データ1(C0MSL3DT1)	<アドレス: H'0080 1137>
CAN0メッセージスロット4データ1(C0MSL4DT1)	<アドレス: H'0080 1147>
CAN0メッセージスロット5データ1(C0MSL5DT1)	<アドレス: H'0080 1157>
CAN0メッセージスロット6データ1(C0MSL6DT1)	<アドレス: H'0080 1167>
CAN0メッセージスロット7データ1(C0MSL7DT1)	<アドレス: H'0080 1177>
CAN0メッセージスロット8データ1(C0MSL8DT1)	<アドレス: H'0080 1187>
CAN0メッセージスロット9データ1(C0MSL9DT1)	<アドレス: H'0080 1197>
CAN0メッセージスロット10データ1(C0MSL10DT1)	<アドレス: H'0080 11A7>
CAN0メッセージスロット11データ1(C0MSL11DT1)	<アドレス: H'0080 11B7>
CAN0メッセージスロット12データ1(C0MSL12DT1)	<アドレス: H'0080 11C7>
CAN0メッセージスロット13データ1(C0MSL13DT1)	<アドレス: H'0080 11D7>
CAN0メッセージスロット14データ1(C0MSL14DT1)	<アドレス: H'0080 11E7>
CAN0メッセージスロット15データ1(C0MSL15DT1)	<アドレス: H'0080 11F7>
CAN1メッセージスロット0データ1(C1MSL0DT1)	<アドレス: H'0080 1507>
CAN1メッセージスロット1データ1(C1MSL1DT1)	<アドレス: H'0080 1517>
CAN1メッセージスロット2データ1(C1MSL2DT1)	<アドレス: H'0080 1527>
CAN1メッセージスロット3データ1(C1MSL3DT1)	<アドレス: H'0080 1537>
CAN1メッセージスロット4データ1(C1MSL4DT1)	<アドレス: H'0080 1547>
CAN1メッセージスロット5データ1(C1MSL5DT1)	<アドレス: H'0080 1557>
CAN1メッセージスロット6データ1(C1MSL6DT1)	<アドレス: H'0080 1567>
CAN1メッセージスロット7データ1(C1MSL7DT1)	<アドレス: H'0080 1577>
CAN1メッセージスロット8データ1(C1MSL8DT1)	<アドレス: H'0080 1587>
CAN1メッセージスロット9データ1(C1MSL9DT1)	<アドレス: H'0080 1597>
CAN1メッセージスロット10データ1(C1MSL10DT1)	<アドレス: H'0080 15A7>
CAN1メッセージスロット11データ1(C1MSL11DT1)	<アドレス: H'0080 15B7>
CAN1メッセージスロット12データ1(C1MSL12DT1)	<アドレス: H'0080 15C7>
CAN1メッセージスロット13データ1(C1MSL13DT1)	<アドレス: H'0080 15D7>
CAN1メッセージスロット14データ1(C1MSL14DT1)	<アドレス: H'0080 15E7>
CAN1メッセージスロット15データ1(C1MSL15DT1)	<アドレス: H'0080 15F7>



<リセット時：不定>

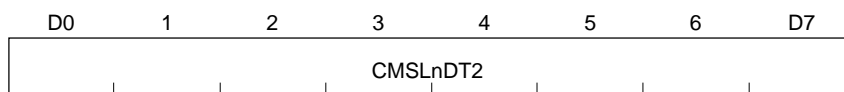
D	ビット名	機能	R	W
8~15	CMSLnDT1	メッセージスロットnデータ1		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が1以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データX (C0MSL0DT2)	<アドレス: H'0080 1108>
CAN0メッセージスロット1データX (C0MSL1DT2)	<アドレス: H'0080 1118>
CAN0メッセージスロット2データX (C0MSL2DT2)	<アドレス: H'0080 1128>
CAN0メッセージスロット3データX (C0MSL3DT2)	<アドレス: H'0080 1138>
CAN0メッセージスロット4データX (C0MSL4DT2)	<アドレス: H'0080 1148>
CAN0メッセージスロット5データX (C0MSL5DT2)	<アドレス: H'0080 1158>
CAN0メッセージスロット6データX (C0MSL6DT2)	<アドレス: H'0080 1168>
CAN0メッセージスロット7データX (C0MSL7DT2)	<アドレス: H'0080 1178>
CAN0メッセージスロット8データX (C0MSL8DT2)	<アドレス: H'0080 1188>
CAN0メッセージスロット9データX (C0MSL9DT2)	<アドレス: H'0080 1198>
CAN0メッセージスロット10データX (C0MSL10DT2)	<アドレス: H'0080 11A8>
CAN0メッセージスロット11データX (C0MSL11DT2)	<アドレス: H'0080 11B8>
CAN0メッセージスロット12データX (C0MSL12DT2)	<アドレス: H'0080 11C8>
CAN0メッセージスロット13データX (C0MSL13DT2)	<アドレス: H'0080 11D8>
CAN0メッセージスロット14データX (C0MSL14DT2)	<アドレス: H'0080 11E8>
CAN0メッセージスロット15データX (C0MSL15DT2)	<アドレス: H'0080 11F8>
CAN1メッセージスロット0データX (C1MSL0DT2)	<アドレス: H'0080 1508>
CAN1メッセージスロット1データX (C1MSL1DT2)	<アドレス: H'0080 1518>
CAN1メッセージスロット2データX (C1MSL2DT2)	<アドレス: H'0080 1528>
CAN1メッセージスロット3データX (C1MSL3DT2)	<アドレス: H'0080 1538>
CAN1メッセージスロット4データX (C1MSL4DT2)	<アドレス: H'0080 1548>
CAN1メッセージスロット5データX (C1MSL5DT2)	<アドレス: H'0080 1558>
CAN1メッセージスロット6データX (C1MSL6DT2)	<アドレス: H'0080 1568>
CAN1メッセージスロット7データX (C1MSL7DT2)	<アドレス: H'0080 1578>
CAN1メッセージスロット8データX (C1MSL8DT2)	<アドレス: H'0080 1588>
CAN1メッセージスロット9データX (C1MSL9DT2)	<アドレス: H'0080 1598>
CAN1メッセージスロット10データX (C1MSL10DT2)	<アドレス: H'0080 15A8>
CAN1メッセージスロット11データX (C1MSL11DT2)	<アドレス: H'0080 15B8>
CAN1メッセージスロット12データX (C1MSL12DT2)	<アドレス: H'0080 15C8>
CAN1メッセージスロット13データX (C1MSL13DT2)	<アドレス: H'0080 15D8>
CAN1メッセージスロット14データX (C1MSL14DT2)	<アドレス: H'0080 15E8>
CAN1メッセージスロット15データX (C1MSL15DT2)	<アドレス: H'0080 15F8>



<リセット時：不定>

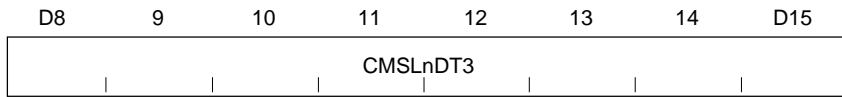
D	ビット名	機能	R	W
0~7	CMSLnDT2	メッセージスロットnデータ2		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が2以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(C0MSL0DT3)	<アドレス: H'0080 1109>
CAN0メッセージスロット1データ(C0MSL1DT3)	<アドレス: H'0080 1119>
CAN0メッセージスロット2データ(C0MSL2DT3)	<アドレス: H'0080 1129>
CAN0メッセージスロット3データ(C0MSL3DT3)	<アドレス: H'0080 1139>
CAN0メッセージスロット4データ(C0MSL4DT3)	<アドレス: H'0080 1149>
CAN0メッセージスロット5データ(C0MSL5DT3)	<アドレス: H'0080 1159>
CAN0メッセージスロット6データ(C0MSL6DT3)	<アドレス: H'0080 1169>
CAN0メッセージスロット7データ(C0MSL7DT3)	<アドレス: H'0080 1179>
CAN0メッセージスロット8データ(C0MSL8DT3)	<アドレス: H'0080 1189>
CAN0メッセージスロット9データ(C0MSL9DT3)	<アドレス: H'0080 1199>
CAN0メッセージスロット10データ(C0MSL10DT3)	<アドレス: H'0080 11A9>
CAN0メッセージスロット11データ(C0MSL11DT3)	<アドレス: H'0080 11B9>
CAN0メッセージスロット12データ(C0MSL12DT3)	<アドレス: H'0080 11C9>
CAN0メッセージスロット13データ(C0MSL13DT3)	<アドレス: H'0080 11D9>
CAN0メッセージスロット14データ(C0MSL14DT3)	<アドレス: H'0080 11E9>
CAN0メッセージスロット15データ(C0MSL15DT3)	<アドレス: H'0080 11F9>
CAN1メッセージスロット0データ(C1MSL0DT3)	<アドレス: H'0080 1509>
CAN1メッセージスロット1データ(C1MSL1DT3)	<アドレス: H'0080 1519>
CAN1メッセージスロット2データ(C1MSL2DT3)	<アドレス: H'0080 1529>
CAN1メッセージスロット3データ(C1MSL3DT3)	<アドレス: H'0080 1539>
CAN1メッセージスロット4データ(C1MSL4DT3)	<アドレス: H'0080 1549>
CAN1メッセージスロット5データ(C1MSL5DT3)	<アドレス: H'0080 1559>
CAN1メッセージスロット6データ(C1MSL6DT3)	<アドレス: H'0080 1569>
CAN1メッセージスロット7データ(C1MSL7DT3)	<アドレス: H'0080 1579>
CAN1メッセージスロット8データ(C1MSL8DT3)	<アドレス: H'0080 1589>
CAN1メッセージスロット9データ(C1MSL9DT3)	<アドレス: H'0080 1599>
CAN1メッセージスロット10データ(C1MSL10DT3)	<アドレス: H'0080 15A9>
CAN1メッセージスロット11データ(C1MSL11DT3)	<アドレス: H'0080 15B9>
CAN1メッセージスロット12データ(C1MSL12DT3)	<アドレス: H'0080 15C9>
CAN1メッセージスロット13データ(C1MSL13DT3)	<アドレス: H'0080 15D9>
CAN1メッセージスロット14データ(C1MSL14DT3)	<アドレス: H'0080 15E9>
CAN1メッセージスロット15データ(C1MSL15DT3)	<アドレス: H'0080 15F9>



<リセット時：不定>

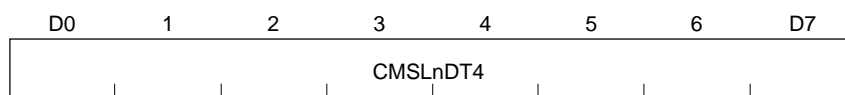
D	ビット名	機能	R	W
8~15	CMSLnDT3	メッセージスロットnデータ3		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が3以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ4 (C0MSL0DT4)	<アドレス : H'0080 110A>
CAN0メッセージスロット1データ4 (C0MSL1DT4)	<アドレス : H'0080 111A>
CAN0メッセージスロット2データ4 (C0MSL2DT4)	<アドレス : H'0080 112A>
CAN0メッセージスロット3データ4 (C0MSL3DT4)	<アドレス : H'0080 113A>
CAN0メッセージスロット4データ4 (C0MSL4DT4)	<アドレス : H'0080 114A>
CAN0メッセージスロット5データ4 (C0MSL5DT4)	<アドレス : H'0080 115A>
CAN0メッセージスロット6データ4 (C0MSL6DT4)	<アドレス : H'0080 116A>
CAN0メッセージスロット7データ4 (C0MSL7DT4)	<アドレス : H'0080 117A>
CAN0メッセージスロット8データ4 (C0MSL8DT4)	<アドレス : H'0080 118A>
CAN0メッセージスロット9データ4 (C0MSL9DT4)	<アドレス : H'0080 119A>
CAN0メッセージスロット10データ4 (C0MSL10DT4)	<アドレス : H'0080 11AA>
CAN0メッセージスロット11データ4 (C0MSL11DT4)	<アドレス : H'0080 11BA>
CAN0メッセージスロット12データ4 (C0MSL12DT4)	<アドレス : H'0080 11CA>
CAN0メッセージスロット13データ4 (C0MSL13DT4)	<アドレス : H'0080 11DA>
CAN0メッセージスロット14データ4 (C0MSL14DT4)	<アドレス : H'0080 11EA>
CAN0メッセージスロット15データ4 (C0MSL15DT4)	<アドレス : H'0080 11FA>
CAN1メッセージスロット0データ4 (C1MSL0DT4)	<アドレス : H'0080 150A>
CAN1メッセージスロット1データ4 (C1MSL1DT4)	<アドレス : H'0080 151A>
CAN1メッセージスロット2データ4 (C1MSL2DT4)	<アドレス : H'0080 152A>
CAN1メッセージスロット3データ4 (C1MSL3DT4)	<アドレス : H'0080 153A>
CAN1メッセージスロット4データ4 (C1MSL4DT4)	<アドレス : H'0080 154A>
CAN1メッセージスロット5データ4 (C1MSL5DT4)	<アドレス : H'0080 155A>
CAN1メッセージスロット6データ4 (C1MSL6DT4)	<アドレス : H'0080 156A>
CAN1メッセージスロット7データ4 (C1MSL7DT4)	<アドレス : H'0080 157A>
CAN1メッセージスロット8データ4 (C1MSL8DT4)	<アドレス : H'0080 158A>
CAN1メッセージスロット9データ4 (C1MSL9DT4)	<アドレス : H'0080 159A>
CAN1メッセージスロット10データ4 (C1MSL10DT4)	<アドレス : H'0080 15AA>
CAN1メッセージスロット11データ4 (C1MSL11DT4)	<アドレス : H'0080 15BA>
CAN1メッセージスロット12データ4 (C1MSL12DT4)	<アドレス : H'0080 15CA>
CAN1メッセージスロット13データ4 (C1MSL13DT4)	<アドレス : H'0080 15DA>
CAN1メッセージスロット14データ4 (C1MSL14DT4)	<アドレス : H'0080 15EA>
CAN1メッセージスロット15データ4 (C1MSL15DT4)	<アドレス : H'0080 15FA>



<リセット時：不定>

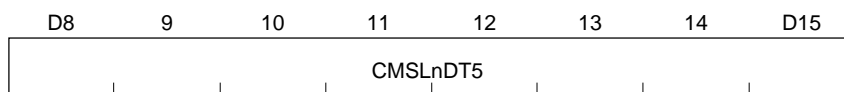
D	ビット名	機能	R	W
0~7	CMSLnDT4	メッセージスロットnデータ4		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が4以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(C0MSL0DT5)	<アドレス: H'0080 110B>
CAN0メッセージスロット1データ(C0MSL1DT5)	<アドレス: H'0080 111B>
CAN0メッセージスロット2データ(C0MSL2DT5)	<アドレス: H'0080 112B>
CAN0メッセージスロット3データ(C0MSL3DT5)	<アドレス: H'0080 113B>
CAN0メッセージスロット4データ(C0MSL4DT5)	<アドレス: H'0080 114B>
CAN0メッセージスロット5データ(C0MSL5DT5)	<アドレス: H'0080 115B>
CAN0メッセージスロット6データ(C0MSL6DT5)	<アドレス: H'0080 116B>
CAN0メッセージスロット7データ(C0MSL7DT5)	<アドレス: H'0080 117B>
CAN0メッセージスロット8データ(C0MSL8DT5)	<アドレス: H'0080 118B>
CAN0メッセージスロット9データ(C0MSL9DT5)	<アドレス: H'0080 119B>
CAN0メッセージスロット10データ(C0MSL10DT5)	<アドレス: H'0080 11AB>
CAN0メッセージスロット11データ(C0MSL11DT5)	<アドレス: H'0080 11BB>
CAN0メッセージスロット12データ(C0MSL12DT5)	<アドレス: H'0080 11CB>
CAN0メッセージスロット13データ(C0MSL13DT5)	<アドレス: H'0080 11DB>
CAN0メッセージスロット14データ(C0MSL14DT5)	<アドレス: H'0080 11EB>
CAN0メッセージスロット15データ(C0MSL15DT5)	<アドレス: H'0080 11FB>
CAN1メッセージスロット0データ(C1MSL0DT5)	<アドレス: H'0080 150B>
CAN1メッセージスロット1データ(C1MSL1DT5)	<アドレス: H'0080 151B>
CAN1メッセージスロット2データ(C1MSL2DT5)	<アドレス: H'0080 152B>
CAN1メッセージスロット3データ(C1MSL3DT5)	<アドレス: H'0080 153B>
CAN1メッセージスロット4データ(C1MSL4DT5)	<アドレス: H'0080 154B>
CAN1メッセージスロット5データ(C1MSL5DT5)	<アドレス: H'0080 155B>
CAN1メッセージスロット6データ(C1MSL6DT5)	<アドレス: H'0080 156B>
CAN1メッセージスロット7データ(C1MSL7DT5)	<アドレス: H'0080 157B>
CAN1メッセージスロット8データ(C1MSL8DT5)	<アドレス: H'0080 158B>
CAN1メッセージスロット9データ(C1MSL9DT5)	<アドレス: H'0080 159B>
CAN1メッセージスロット10データ(C1MSL10DT5)	<アドレス: H'0080 15AB>
CAN1メッセージスロット11データ(C1MSL11DT5)	<アドレス: H'0080 15BB>
CAN1メッセージスロット12データ(C1MSL12DT5)	<アドレス: H'0080 15CB>
CAN1メッセージスロット13データ(C1MSL13DT5)	<アドレス: H'0080 15DB>
CAN1メッセージスロット14データ(C1MSL14DT5)	<アドレス: H'0080 15EB>
CAN1メッセージスロット15データ(C1MSL15DT5)	<アドレス: H'0080 15FB>



<リセット時：不定>

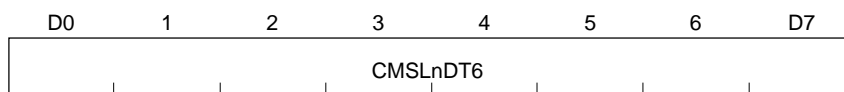
D	ビット名	機能	R	W
8~15	CMSLnDT5	メッセージスロットnデータ5		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が5以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データα (C0MSL0DT6)	<アドレス : H'0080 110C>
CAN0メッセージスロット1データα (C0MSL1DT6)	<アドレス : H'0080 111C>
CAN0メッセージスロット2データα (C0MSL2DT6)	<アドレス : H'0080 112C>
CAN0メッセージスロット3データα (C0MSL3DT6)	<アドレス : H'0080 113C>
CAN0メッセージスロット4データα (C0MSL4DT6)	<アドレス : H'0080 114C>
CAN0メッセージスロット5データα (C0MSL5DT6)	<アドレス : H'0080 115C>
CAN0メッセージスロット6データα (C0MSL6DT6)	<アドレス : H'0080 116C>
CAN0メッセージスロット7データα (C0MSL7DT6)	<アドレス : H'0080 117C>
CAN0メッセージスロット8データα (C0MSL8DT6)	<アドレス : H'0080 118C>
CAN0メッセージスロット9データα (C0MSL9DT6)	<アドレス : H'0080 119C>
CAN0メッセージスロット10データα (C0MSL10DT6)	<アドレス : H'0080 11AC>
CAN0メッセージスロット11データα (C0MSL11DT6)	<アドレス : H'0080 11BC>
CAN0メッセージスロット12データα (C0MSL12DT6)	<アドレス : H'0080 11CC>
CAN0メッセージスロット13データα (C0MSL13DT6)	<アドレス : H'0080 11DC>
CAN0メッセージスロット14データα (C0MSL14DT6)	<アドレス : H'0080 11EC>
CAN0メッセージスロット15データα (C0MSL15DT6)	<アドレス : H'0080 11FC>
CAN1メッセージスロット0データα (C1MSL0DT6)	<アドレス : H'0080 150C>
CAN1メッセージスロット1データα (C1MSL1DT6)	<アドレス : H'0080 151C>
CAN1メッセージスロット2データα (C1MSL2DT6)	<アドレス : H'0080 152C>
CAN1メッセージスロット3データα (C1MSL3DT6)	<アドレス : H'0080 153C>
CAN1メッセージスロット4データα (C1MSL4DT6)	<アドレス : H'0080 154C>
CAN1メッセージスロット5データα (C1MSL5DT6)	<アドレス : H'0080 155C>
CAN1メッセージスロット6データα (C1MSL6DT6)	<アドレス : H'0080 156C>
CAN1メッセージスロット7データα (C1MSL7DT6)	<アドレス : H'0080 157C>
CAN1メッセージスロット8データα (C1MSL8DT6)	<アドレス : H'0080 158C>
CAN1メッセージスロット9データα (C1MSL9DT6)	<アドレス : H'0080 159C>
CAN1メッセージスロット10データα (C1MSL10DT6)	<アドレス : H'0080 15AC>
CAN1メッセージスロット11データα (C1MSL11DT6)	<アドレス : H'0080 15BC>
CAN1メッセージスロット12データα (C1MSL12DT6)	<アドレス : H'0080 15CC>
CAN1メッセージスロット13データα (C1MSL13DT6)	<アドレス : H'0080 15DC>
CAN1メッセージスロット14データα (C1MSL14DT6)	<アドレス : H'0080 15EC>
CAN1メッセージスロット15データα (C1MSL15DT6)	<アドレス : H'0080 15FC>



<リセット時：不定>

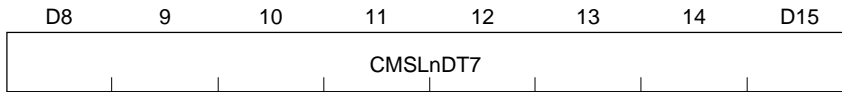
D	ビット名	機能	R	W
0~7	CMSLnDT6	メッセージスロットnデータ6		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が6以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(C0MSL0DT7)	<アドレス: H'0080 110D>
CAN0メッセージスロット1データ(C0MSL1DT7)	<アドレス: H'0080 111D>
CAN0メッセージスロット2データ(C0MSL2DT7)	<アドレス: H'0080 112D>
CAN0メッセージスロット3データ(C0MSL3DT7)	<アドレス: H'0080 113D>
CAN0メッセージスロット4データ(C0MSL4DT7)	<アドレス: H'0080 114D>
CAN0メッセージスロット5データ(C0MSL5DT7)	<アドレス: H'0080 115D>
CAN0メッセージスロット6データ(C0MSL6DT7)	<アドレス: H'0080 116D>
CAN0メッセージスロット7データ(C0MSL7DT7)	<アドレス: H'0080 117D>
CAN0メッセージスロット8データ(C0MSL8DT7)	<アドレス: H'0080 118D>
CAN0メッセージスロット9データ(C0MSL9DT7)	<アドレス: H'0080 119D>
CAN0メッセージスロット10データ(C0MSL10DT7)	<アドレス: H'0080 11AD>
CAN0メッセージスロット11データ(C0MSL11DT7)	<アドレス: H'0080 11BD>
CAN0メッセージスロット12データ(C0MSL12DT7)	<アドレス: H'0080 11CD>
CAN0メッセージスロット13データ(C0MSL13DT7)	<アドレス: H'0080 11DD>
CAN0メッセージスロット14データ(C0MSL14DT7)	<アドレス: H'0080 11ED>
CAN0メッセージスロット15データ(C0MSL15DT7)	<アドレス: H'0080 11FD>
CAN1メッセージスロット0データ(C1MSL0DT7)	<アドレス: H'0080 150D>
CAN1メッセージスロット1データ(C1MSL1DT7)	<アドレス: H'0080 151D>
CAN1メッセージスロット2データ(C1MSL2DT7)	<アドレス: H'0080 152D>
CAN1メッセージスロット3データ(C1MSL3DT7)	<アドレス: H'0080 153D>
CAN1メッセージスロット4データ(C1MSL4DT7)	<アドレス: H'0080 154D>
CAN1メッセージスロット5データ(C1MSL5DT7)	<アドレス: H'0080 155D>
CAN1メッセージスロット6データ(C1MSL6DT7)	<アドレス: H'0080 156D>
CAN1メッセージスロット7データ(C1MSL7DT7)	<アドレス: H'0080 157D>
CAN1メッセージスロット8データ(C1MSL8DT7)	<アドレス: H'0080 158D>
CAN1メッセージスロット9データ(C1MSL9DT7)	<アドレス: H'0080 159D>
CAN1メッセージスロット10データ(C1MSL10DT7)	<アドレス: H'0080 15AD>
CAN1メッセージスロット11データ(C1MSL11DT7)	<アドレス: H'0080 15BD>
CAN1メッセージスロット12データ(C1MSL12DT7)	<アドレス: H'0080 15CD>
CAN1メッセージスロット13データ(C1MSL13DT7)	<アドレス: H'0080 15DD>
CAN1メッセージスロット14データ(C1MSL14DT7)	<アドレス: H'0080 15ED>
CAN1メッセージスロット15データ(C1MSL15DT7)	<アドレス: H'0080 15FD>



<リセット時：不定>

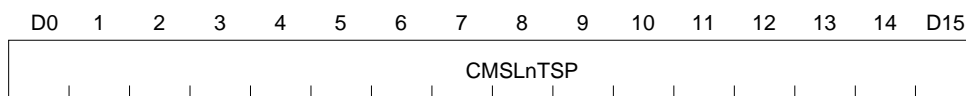
D	ビット名	機能	R	W
0~7	CMSLnDT7	メッセージ スロットnデータ7		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が7以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)	<アドレス: H'0080 110E>
CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)	<アドレス: H'0080 111E>
CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)	<アドレス: H'0080 112E>
CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)	<アドレス: H'0080 113E>
CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)	<アドレス: H'0080 114E>
CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)	<アドレス: H'0080 115E>
CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)	<アドレス: H'0080 116E>
CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)	<アドレス: H'0080 117E>
CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)	<アドレス: H'0080 118E>
CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)	<アドレス: H'0080 119E>
CAN0メッセージスロット10タイムスタンプ(C0MSL10TSP)	<アドレス: H'0080 11AE>
CAN0メッセージスロット11タイムスタンプ(C0MSL11TSP)	<アドレス: H'0080 11BE>
CAN0メッセージスロット12タイムスタンプ(C0MSL12TSP)	<アドレス: H'0080 11CE>
CAN0メッセージスロット13タイムスタンプ(C0MSL13TSP)	<アドレス: H'0080 11DE>
CAN0メッセージスロット14タイムスタンプ(C0MSL14TSP)	<アドレス: H'0080 11EE>
CAN0メッセージスロット15タイムスタンプ(C0MSL15TSP)	<アドレス: H'0080 11FE>
CAN1メッセージスロット0タイムスタンプ(C1MSL0TSP)	<アドレス: H'0080 150E>
CAN1メッセージスロット1タイムスタンプ(C1MSL1TSP)	<アドレス: H'0080 151E>
CAN1メッセージスロット2タイムスタンプ(C1MSL2TSP)	<アドレス: H'0080 152E>
CAN1メッセージスロット3タイムスタンプ(C1MSL3TSP)	<アドレス: H'0080 153E>
CAN1メッセージスロット4タイムスタンプ(C1MSL4TSP)	<アドレス: H'0080 154E>
CAN1メッセージスロット5タイムスタンプ(C1MSL5TSP)	<アドレス: H'0080 155E>
CAN1メッセージスロット6タイムスタンプ(C1MSL6TSP)	<アドレス: H'0080 156E>
CAN1メッセージスロット7タイムスタンプ(C1MSL7TSP)	<アドレス: H'0080 157E>
CAN1メッセージスロット8タイムスタンプ(C1MSL8TSP)	<アドレス: H'0080 158E>
CAN1メッセージスロット9タイムスタンプ(C1MSL9TSP)	<アドレス: H'0080 159E>
CAN1メッセージスロット10タイムスタンプ(C1MSL10TSP)	<アドレス: H'0080 15AE>
CAN1メッセージスロット11タイムスタンプ(C1MSL11TSP)	<アドレス: H'0080 15BE>
CAN1メッセージスロット12タイムスタンプ(C1MSL12TSP)	<アドレス: H'0080 15CE>
CAN1メッセージスロット13タイムスタンプ(C1MSL13TSP)	<アドレス: H'0080 15DE>
CAN1メッセージスロット14タイムスタンプ(C1MSL14TSP)	<アドレス: H'0080 15EE>
CAN1メッセージスロット15タイムスタンプ(C1MSL15TSP)	<アドレス: H'0080 15FE>



<リセット時：不定>

D	ビット名	機能	R	W
0~15	CMSLnTSP	メッセージスロットnタイムスタンプ		

n = 0 ~ 15

送信フレーム / 受信フレームのメモリスペースです。送信 / 受信完了時にCANタイムスタンプカウントレジスタの値が格納されます。

13.3 CANプロトコル

13.3.1 CANプロトコルフレーム

CANプロトコルで取り扱うフレームは

- (1) データフレーム
- (2) リモートフレーム
- (3) エラーフレーム
- (4) オーバロードフレーム

の4種類があります。各フレームはインタフレームスペースで区切られています。

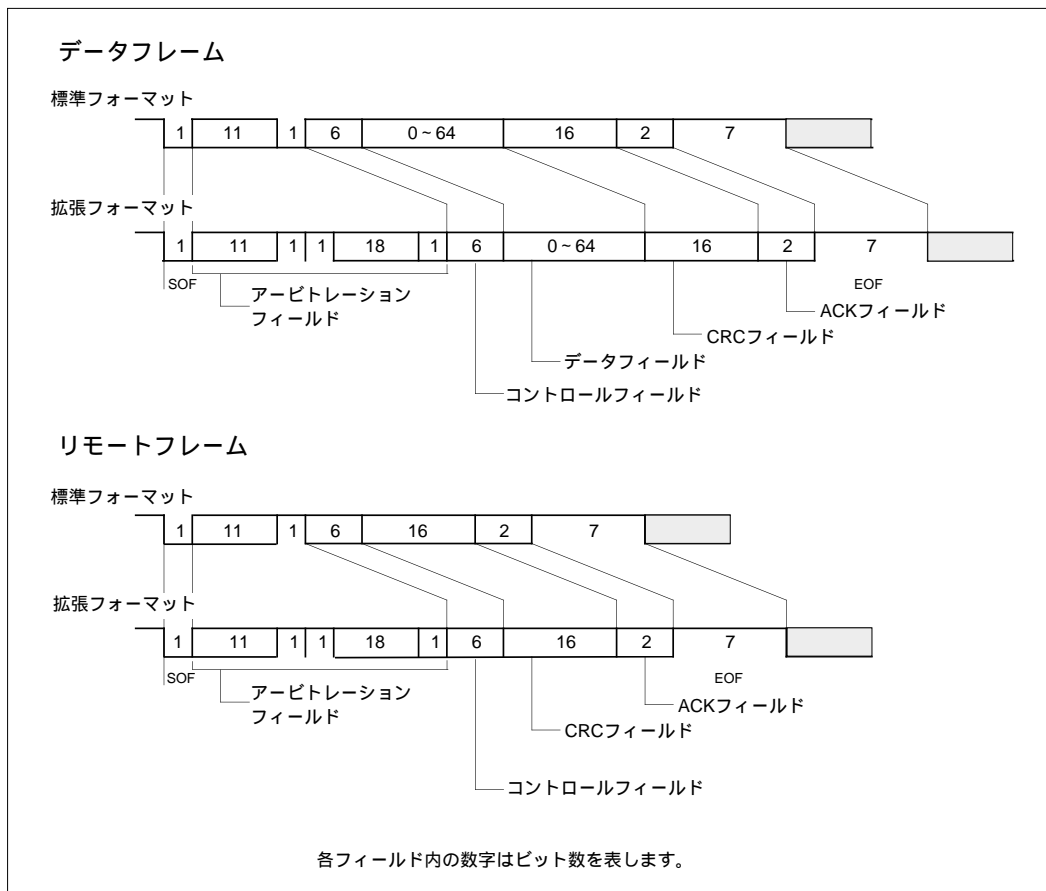


図13.3.1 CANプロトコルフレーム(1)

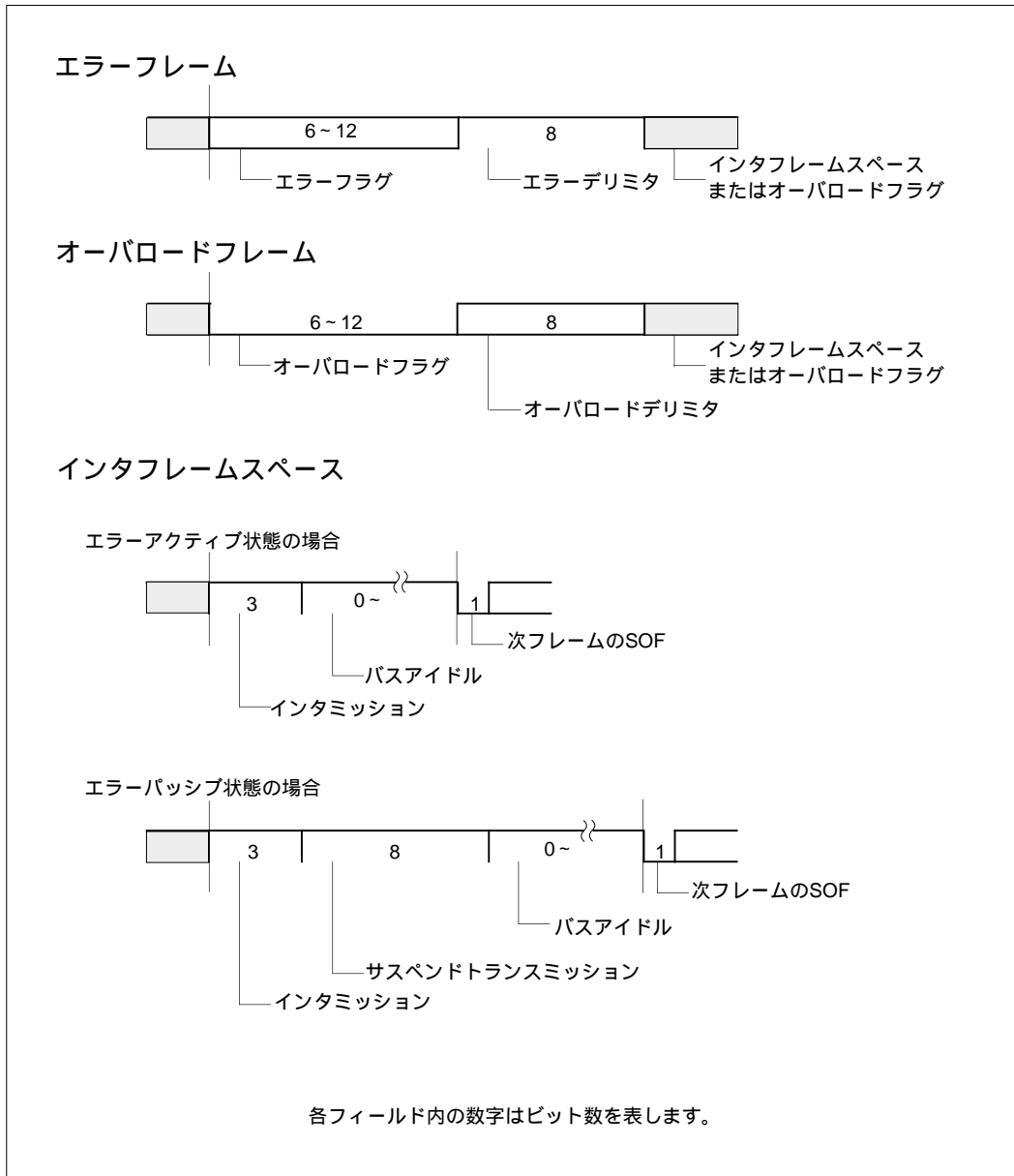


図13.3.2 CANプロトコルフレーム(2)

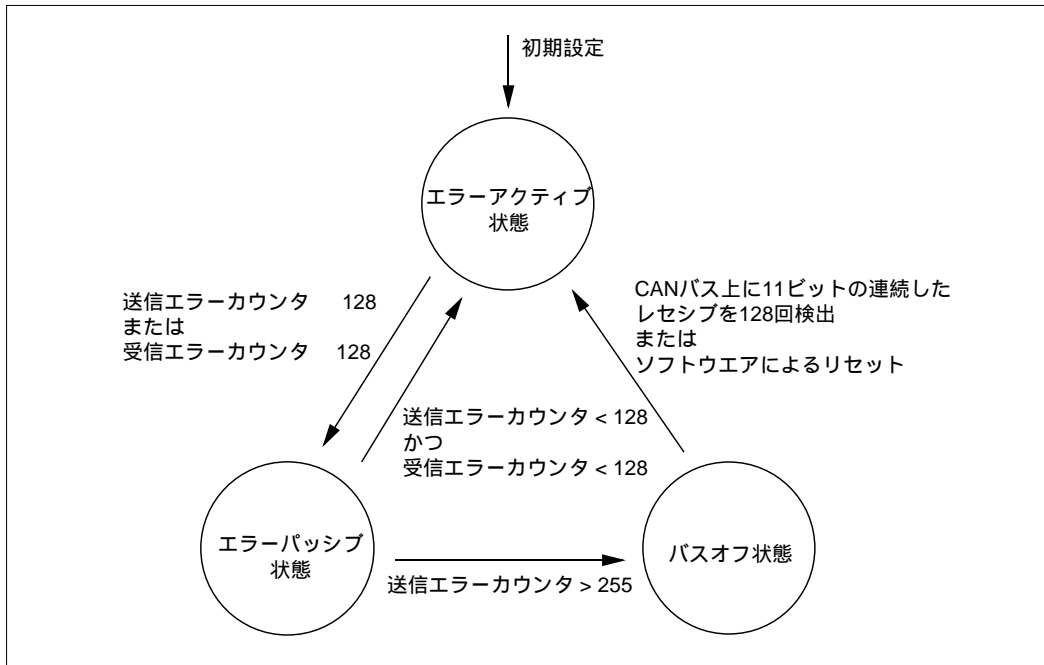


図13.3.3 CANコントローラのエラー状態

CANコントローラは送信エラーカウンタと受信エラーカウンタの値により次の三つのエラー状態をとります。

(1) エラーアクティブ状態

エラーがほとんど発生していない状態。
エラー検出時にアクティブエラーフラグを送信。
初期設定直後のCANコントローラの状態。

(2) エラーパッシブ状態

エラーが多数発生している状態。
エラー検出時にパッシブエラーフラグを送信。

(3) バスオフ状態

エラーが非常に多数発生している状態。
エラーアクティブ状態に戻るまで他のノードとのCAN通信が不可能。

ユニットエラーの状態	送信エラーカウンタ		受信エラーカウンタ
エラーアクティブ状態	0 ~ 127	かつ	0 ~ 127
エラーパッシブ状態	128 ~ 255	または	128 ~
バスオフ状態	256 ~		—

13.4 CANモジュール初期設定

13.4.1 CANモジュールの初期設定

通信を行う前に以下の設定を行います。

(1) 端子機能の選択

CAN送信データ出力端子(CTX0, CTX1)は、入出力ポートとのダブルファンクションになっていますので端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

(2) 割り込みコントローラ(ICU)の設定

CANモジュールの割り込みを使用する場合は、割り込み優先レベルの設定を行います。

(3) CANエラー割り込みマスクレジスタ、CANスロット割り込みマスクレジスタの設定

CANバスエラー割り込み、CANエラーパッシブ割り込み、CANエラーバスオフ割り込み、あるいはCANスロット割り込みを使用する場合は、対応するビットに"1"をセットして、割り込み要求を許可してください。

(4) ビットタイミング/サンプリング回数の設定

CANコンフィグレーションレジスタとCANボーレートプリスケアラでビットタイミングとCANバスのサンプリング回数を設定します。

ビットタイミングの設定

ビットタイミングの基本となる周期Tqと、Propagation Segment、Phase Segment1、Phase Segment2の構成、およびreSynchronization Jump Widthを決めます。Tqの計算式を以下に示します。

$$Tq = (CANBRP + 1) / \text{CPUクロック}$$

1ビットをいくつのTqで構成するかによってボーレートが決まります。ボーレートの計算式を以下に示します。

$$\text{ボーレート (bps)} = \frac{1}{Tq\text{周期} \times 1\text{ビット分の}Tq\text{の数}}$$

$$\begin{aligned} 1\text{ビット分の}Tq\text{の数} = & \text{Synchronization Segment} + \\ & \text{Propagation Segment} + \\ & \text{Phase Segment 1} + \\ & \text{Phase Segment 2} \end{aligned}$$

注. 通信可能な最大ボーレートは、システム構成(バス長、クロック誤差、CANバストランシーバ、サンプリング位置、ビット構成など)に依存します。システム構成を考慮したボーレート・Tq数設定を行ってください。

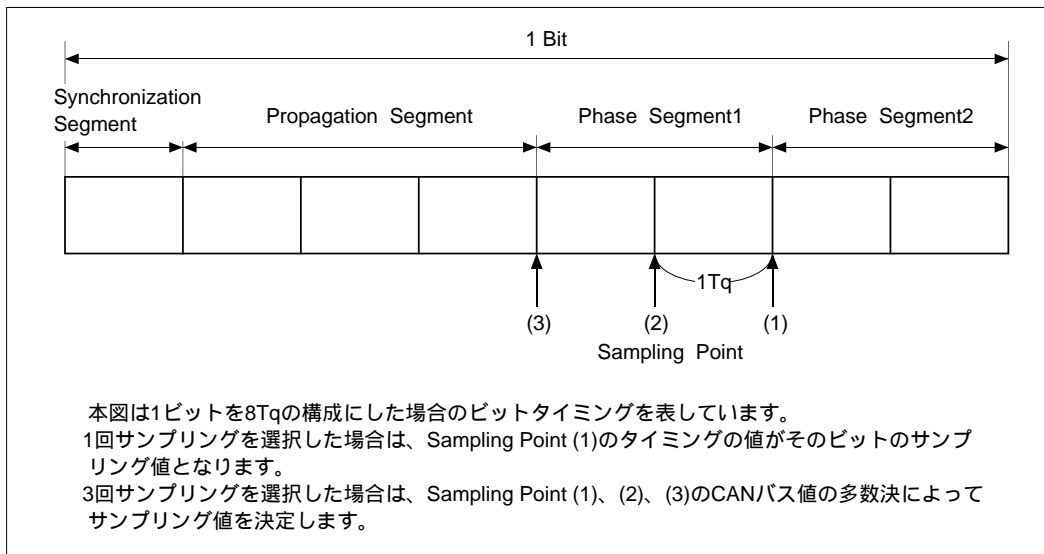


図13.4.1 ビットタイミング例

サンプリング回数の設定

CANバスのサンプリング回数を"1回"と"3回"とから選択します。

1回を選択した場合は、Phase Segment1の最後にサンプリングした値をそのビットの値とみなします。

3回を選択した場合は、1回のサンプリングに加え、そのTq前、および2Tq前のサンプリング値の計3ポイントのサンプリング値による多数決によって、そのビットの値とみなします。

(5) IDマスクレジスタ設定

受信メッセージのアクセプタンスフィルタリングに使用されるIDマスクレジスタ(グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタB)の値を設定します。

(6) BasicCANモードで使用する場合の設定

CAN拡張IDレジスタのIDE14, IDE15ビットを設定(同一設定を推奨)

メッセージスロット14, 15へIDを設定

メッセージコントロールレジスタ14, 15をデータフレーム受信(H'40)に設定

(7) CANモジュールの動作モードの設定

CANコントロールレジスタ(CANCNT)によって、CANモジュールの動作モード(BasicCANモード、ループバックモード)、およびタイムスタンプカウンタのクロックソースを選択します。

(8) CANモジュールのリセット解除

(1)~(7)の初期設定完了後、CANコントロールレジスタ(CANCNT)の強制リセットビット(FRST)およびリセットビット(RST)を"0"クリアすると、CANバス上に11個の連続した"recessive bit"を検出した後、CANモジュールは通信可能となります。

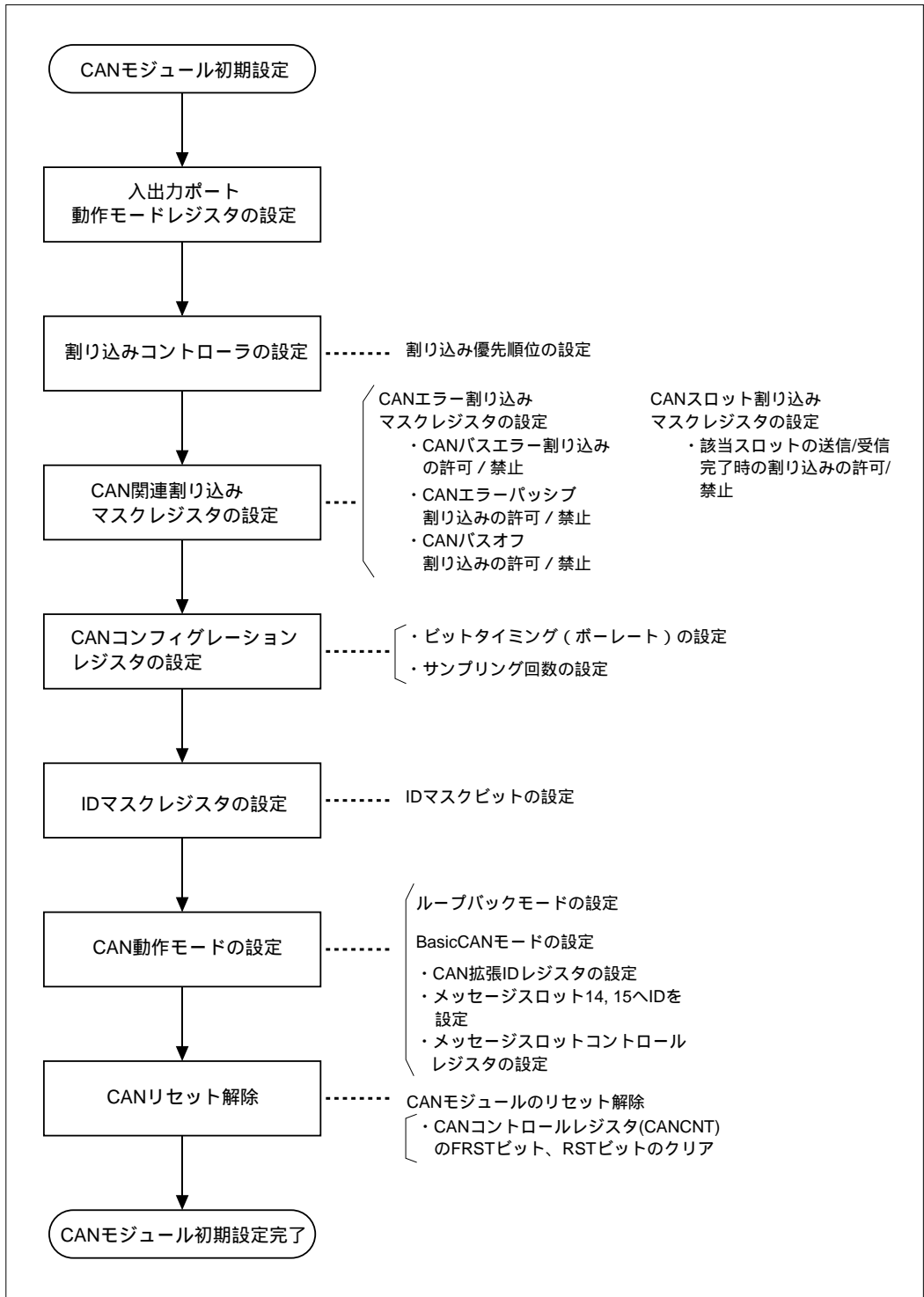


図13.4.2 CANモジュール初期設定

13.4.2 CANタイミング

M32R/ECU CANではCRX非同期入力信号をベースクロックであるTqクロック周期でサンプリングします。サンプリングした信号をCANバスの値とみなし制御を行っています。

以下に動作タイミングを示します。

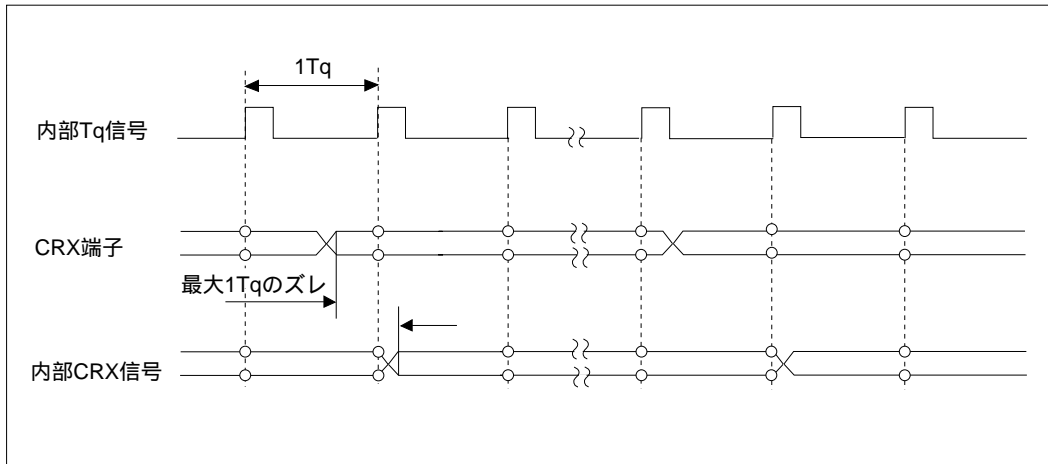


図13.4.3 動作タイミング

13.5 データフレーム送信

13.5.1 データフレーム送信手順

データフレーム送信手順を以下に示します。

(1) CAN メッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 送信データの設定

送信ID、送信データをメッセージスロットへセットします。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'80(注)を書き込み、TR(送信要求)ビットに"1"をセットします。

注. データフレーム送信の場合は、必ずH'80を書き込んでください。

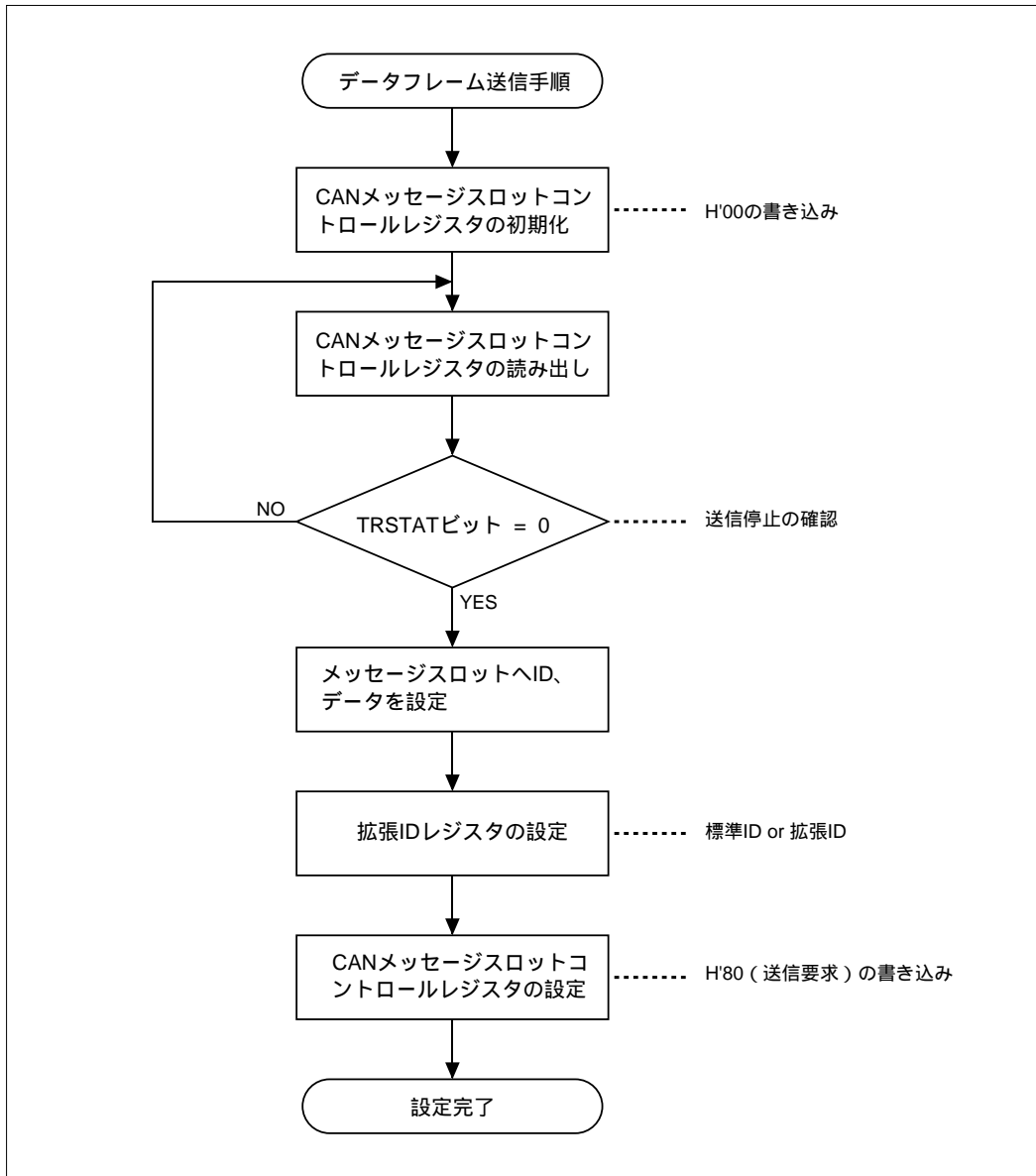


図13.5.1 データフレーム送信手順

13.5.2 データフレーム送信動作

データフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) 送信フレームの選択

CANモジュールはインタミッション毎に送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロット番号の小さいものから送信します。

(2) データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットに"1"をセットし、送信を開始します。

(3) CANバス上のアービトレーションに敗れた場合 / CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(4) データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込みステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(CMSLnTSP)へ送信が完了したときのタイムスタンプカウント値を書き込み、送信動作を完了します。

CANスロット割り込みを許可にしていた場合は、送信動作完了で割り込みが発生しません。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

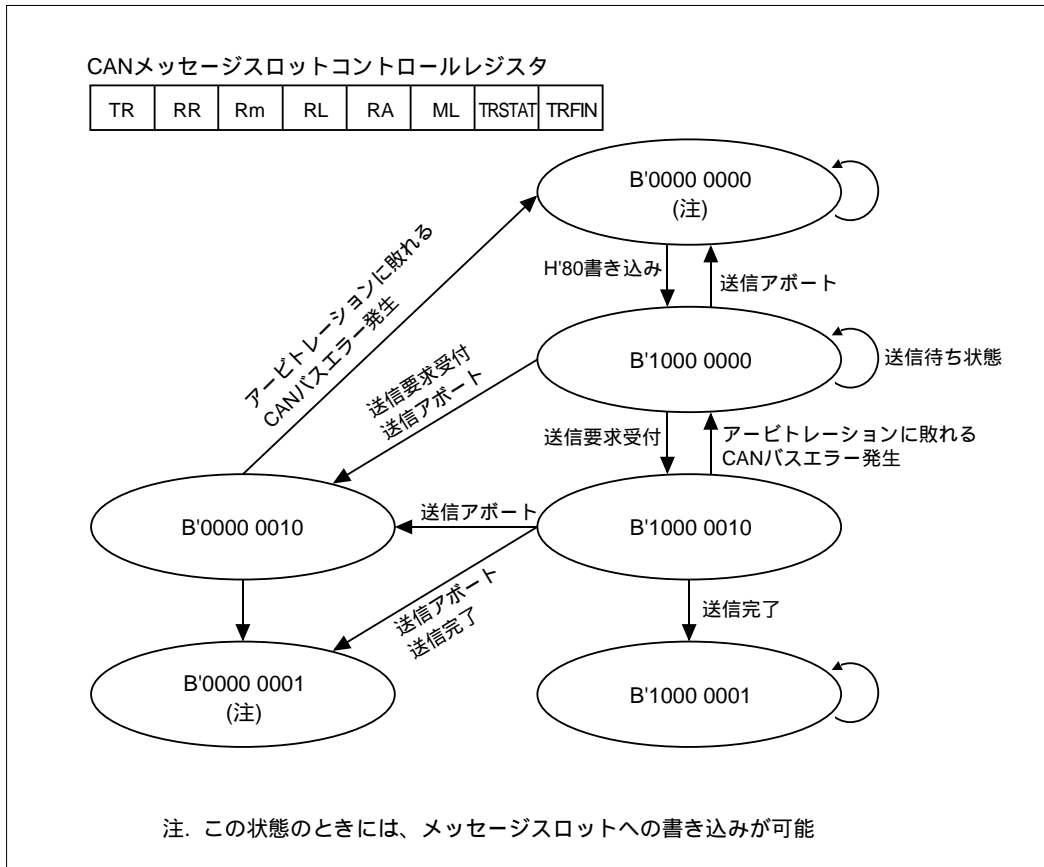


図13.5.2 データフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.5.3 送信アボート機能

送信アボート機能は、一度立てた送信要求をキャンセルする機能です。キャンセルしたいスロットに対応したCANメッセージスロットコントロールレジスタにH'0Fを書き込むことによって行います。

送信アボート機能が受け付けられると、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアし、メッセージスロットへの書き込みが可能になります。

送信アボートが受け付けられる条件を以下に示します。

【条件】

- 対象のメッセージが送信待ち状態の場合
- 送信中にCANバスエラーが発生した場合
- アービトレーションに敗れた場合

13.6 データフレーム受信

13.6.1 データフレーム受信手順

データフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'40を書き込み、RR(受信要求)ビットに"1"をセットします。

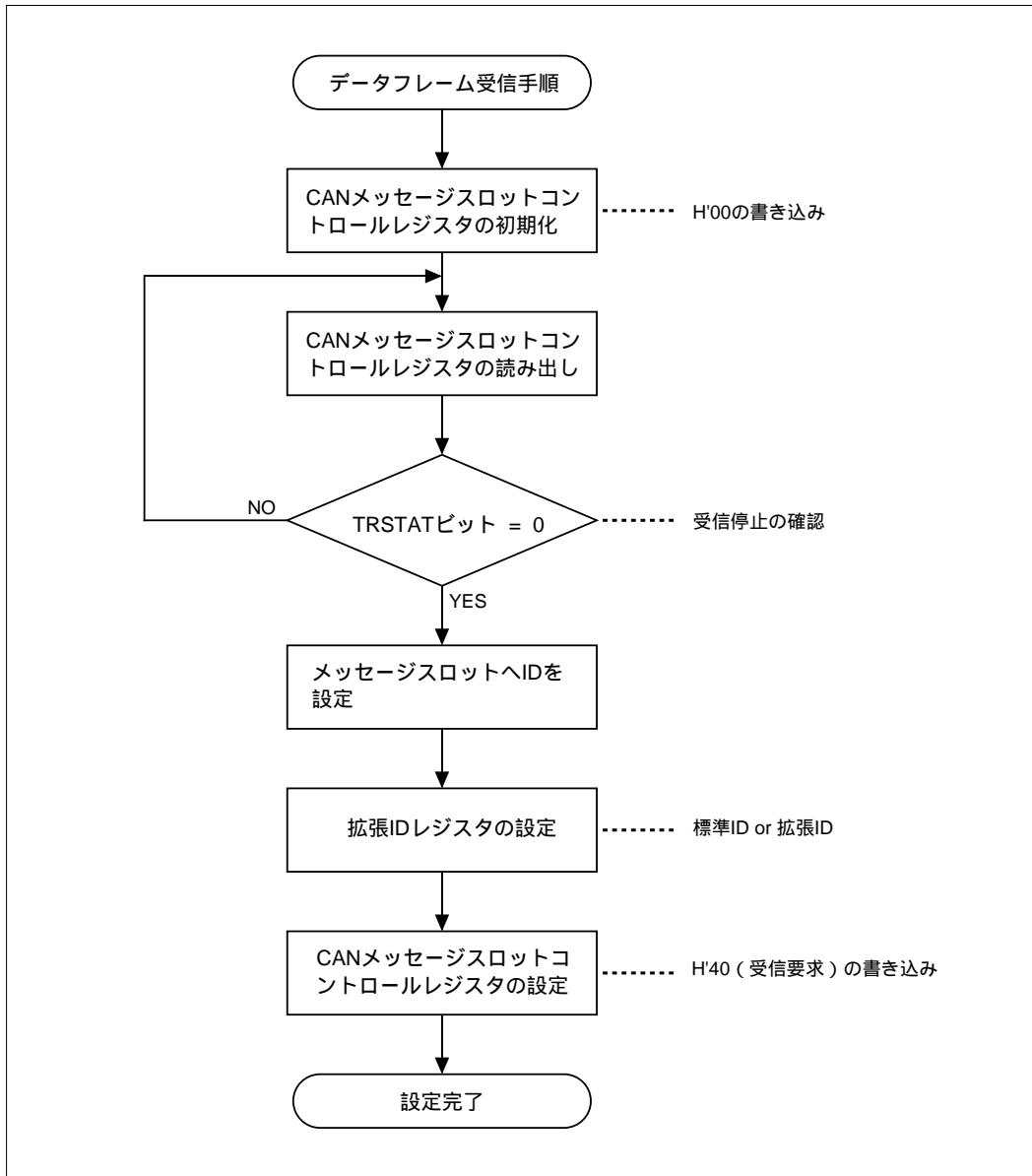


図13.6.1 データフレーム受信手順

13.6.2 データフレーム受信動作

データフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

受信フレームがデータフレームであること。

IDマスキングレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること。

標準/拡張のフレームタイプが同一であること。

注. BasicCANモード時のスロット14,15ではデータフレーム受信設定でリモートフレームの受信も行います。

(2) 受信条件を満たした場合

上記(1)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定し、メッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(CMSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込みステータスビットへ"1"をセットします。割り込みが許可されていれば割り込みを発生し、次の受信待ち状態となります。

(3) 受信条件を満たしていない場合

受信フレームは破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

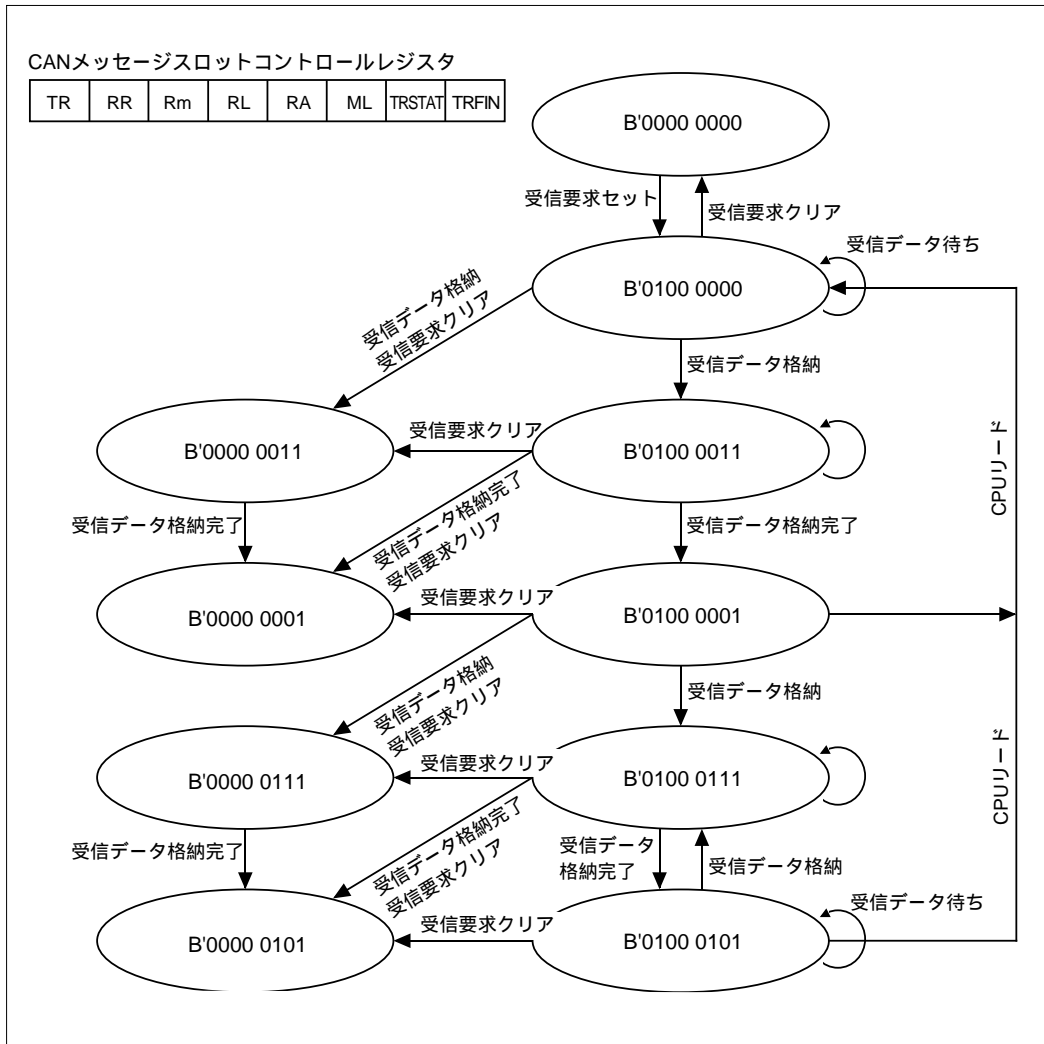


図13.6.2 データフレーム受信時のCANメッセージスロットコントロールレジスタの動作

13.6.3 受信データフレームの読み出し

受信データフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージコントロールレジスタ(CMSLnCNT)にH'4E、H'40またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

CMSLnCNTに書き込む値	書き込み後のスロットの動作
H'4E	データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。
H'40	データフレーム受信スロットとして動作します。 MLビットによる上書き確認はできません。
H'00	スロットは送受信動作を停止します。

注1. MLビットによるメッセージロスチェックが必要な場合には、H'4Eを書き込んでTRFINビットをクリアしてください。

注2. H'4E、H'40またはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。

(2) メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3) TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

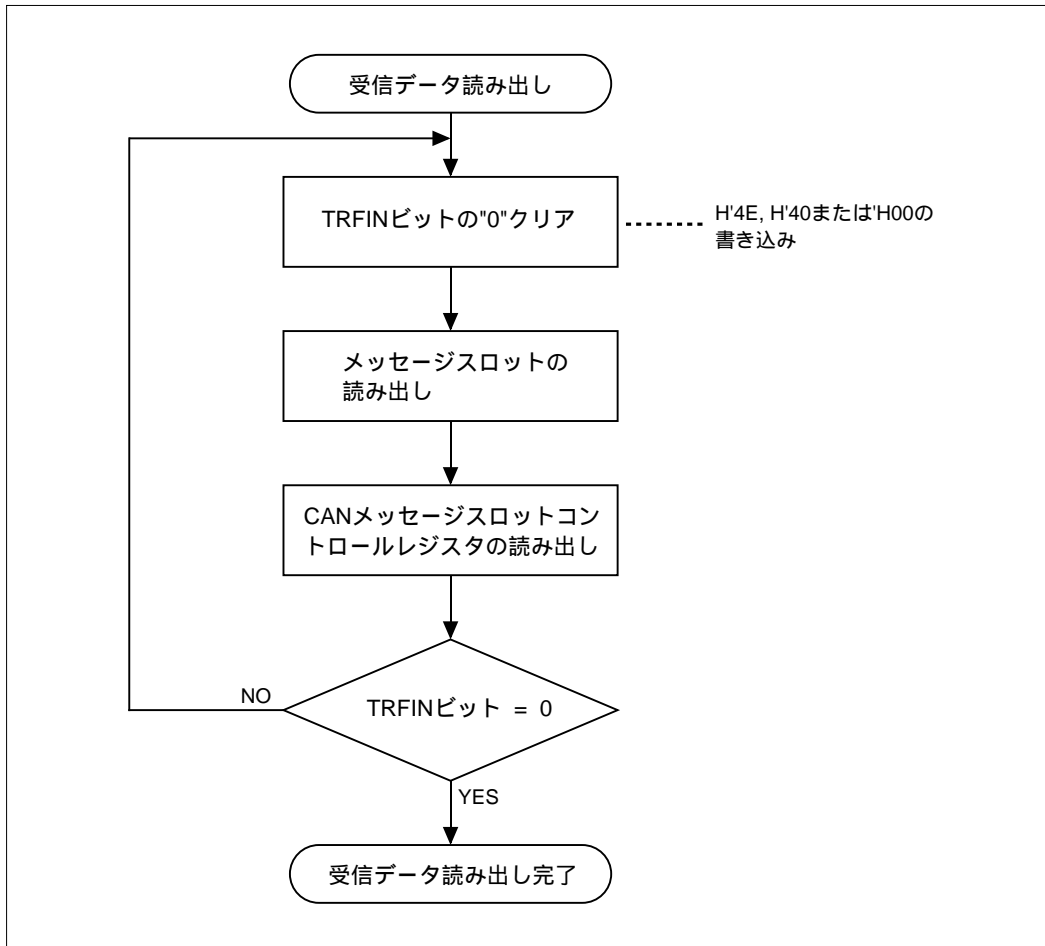


図13.6.3 受信データ読み出し手順

13.7 リモートフレーム送信

13.7.1 リモートフレーム送信手順

リモートフレーム送信手順を以下に示します。

(1) CAN メッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0" クリアされるまで待つ必要があります。

(3) 送信 ID のセット

メッセージスロットへ送信すべきIDをセットします。

(4) 拡張 ID レジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CAN メッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'A0を書き込み、TR(送信要求)ビット、RM(リモート)ビットに"1"をセットします。

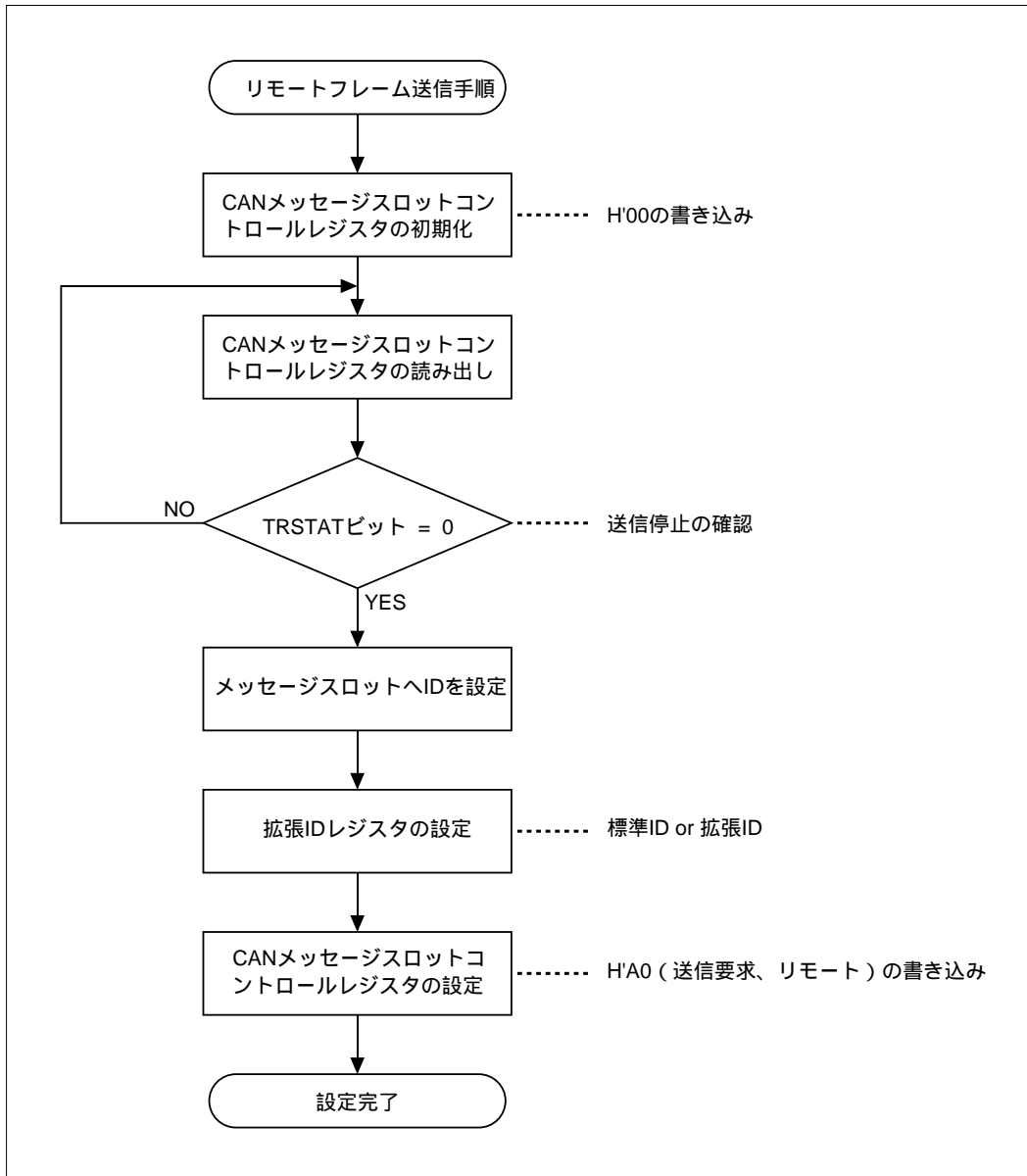


図13.7.1 リモートフレーム送信手順

13.7.2 リモートフレーム送信動作

リモートフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA (リモートアクティブ) ビットの設定

CANメッセージスロットコントロールレジスタへH'AQ(送信要求、リモート)を書き込むと同時に、対応するスロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) 送信フレームの選択

CANモジュールはインタミッション毎に送信要求のあるスロット(データフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロット番号の小さいものから送信します。

(3) リモートフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

(4) CANバス上のアービトレーションに敗れた場合 / CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(5) リモートフレーム送信完了

リモートフレームの送信が完了すると、完了したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(CMSLnTSP)に格納し、CANメッセージスロットコントロールレジスタのRA(リモートアクティブ)ビットを"0"クリアします。

また、送信完了によってCANスロット割り込みステータスビットは"1"がセットされますが、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビットへは"1"がセットされません。

CANスロット割り込みを許可にしていた場合は、送信完了で割り込みが発生します。

(6) データフレーム受信

リモートフレームの送信が完了したら、そのスロットは自動的にデータフレーム受信スロットとして機能します。

(7) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがデータフレームであること。
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること。
- 標準/拡張のフレームタイプが同一であること。

注. BasicCANモードではスロット14,15を送信スロットとして使用することはできません。

(8) 受信条件を満たした場合

上記(7)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定しメッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(CMSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込みステータスビットへ"1"をセットします。割り込みが許可されていれば割り込みを発生し、次のフレームの受信待ち状態となります。

注. リモートフレームを送信する前に対応するデータフレームを受信した場合は、データフレームの格納を行いリモートフレームは送信されません。

(9) 受信条件を満たしていない場合

受信フレームを破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

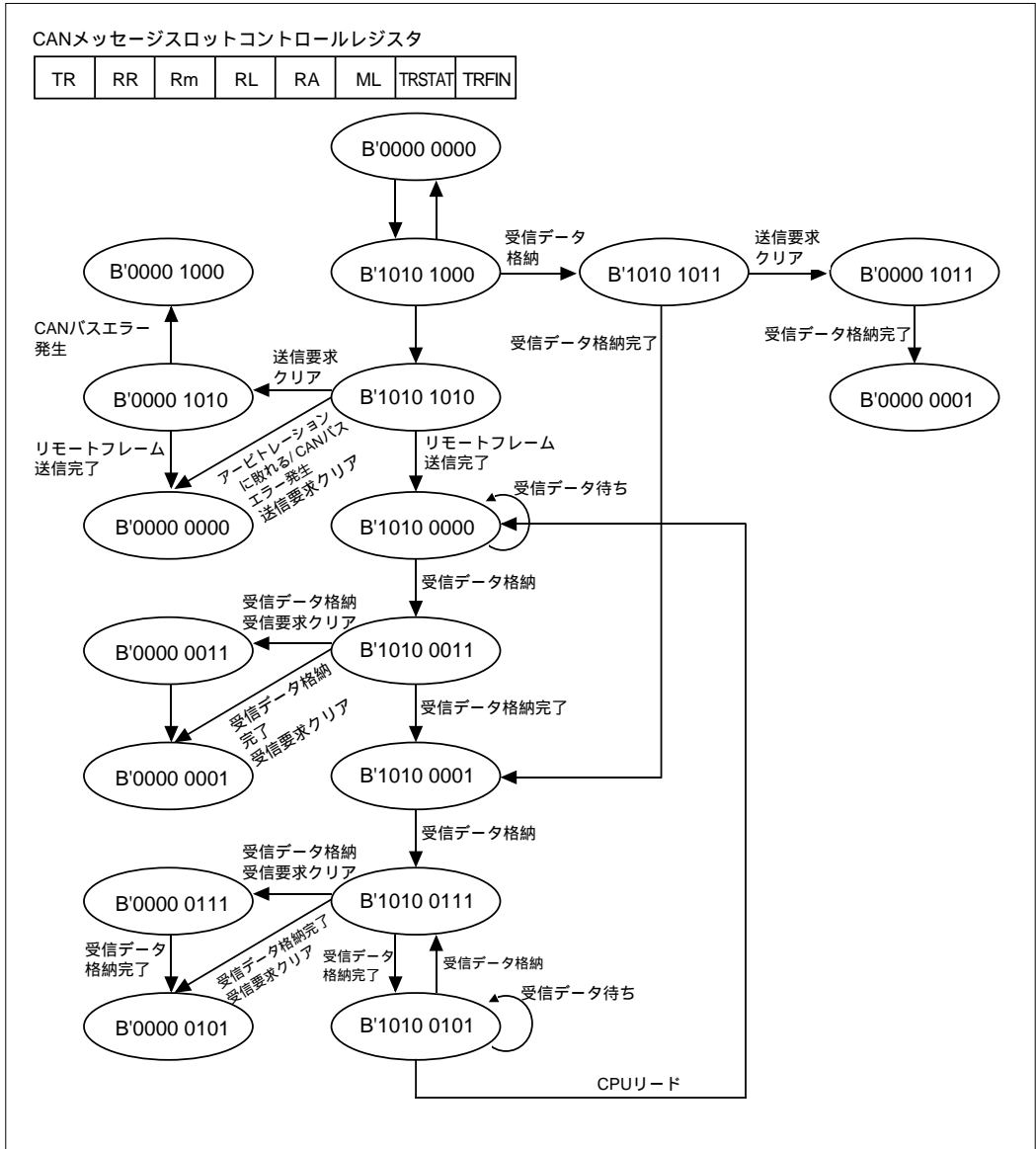


図13.7.2 リモートフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.7.3 リモートフレーム送信設定時の受信データフレームの読み出し

リモートフレーム送信設定時に受信したデータフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージコントロールレジスタ(CMSLnCNT)にH'AE、またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

CMSLnCNTに書き込む値	書き込み後のスロットの動作
H'AE	データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。
H'00	スロットは送受信動作を停止します。

注1. MLビットによるメッセージロスチェックが必要な場合には、H'AEを書き込んでTRFINビットをクリアしてください。

注2. H'AEまたはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。

注3. H'A0を書き込んで受信データフレームを読み出すことはできません。H'A0を書き込んでTRFINビットを"0"クリアした場合は、スロットはリモートフレーム送信動作を行いません。

(2) メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3) TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

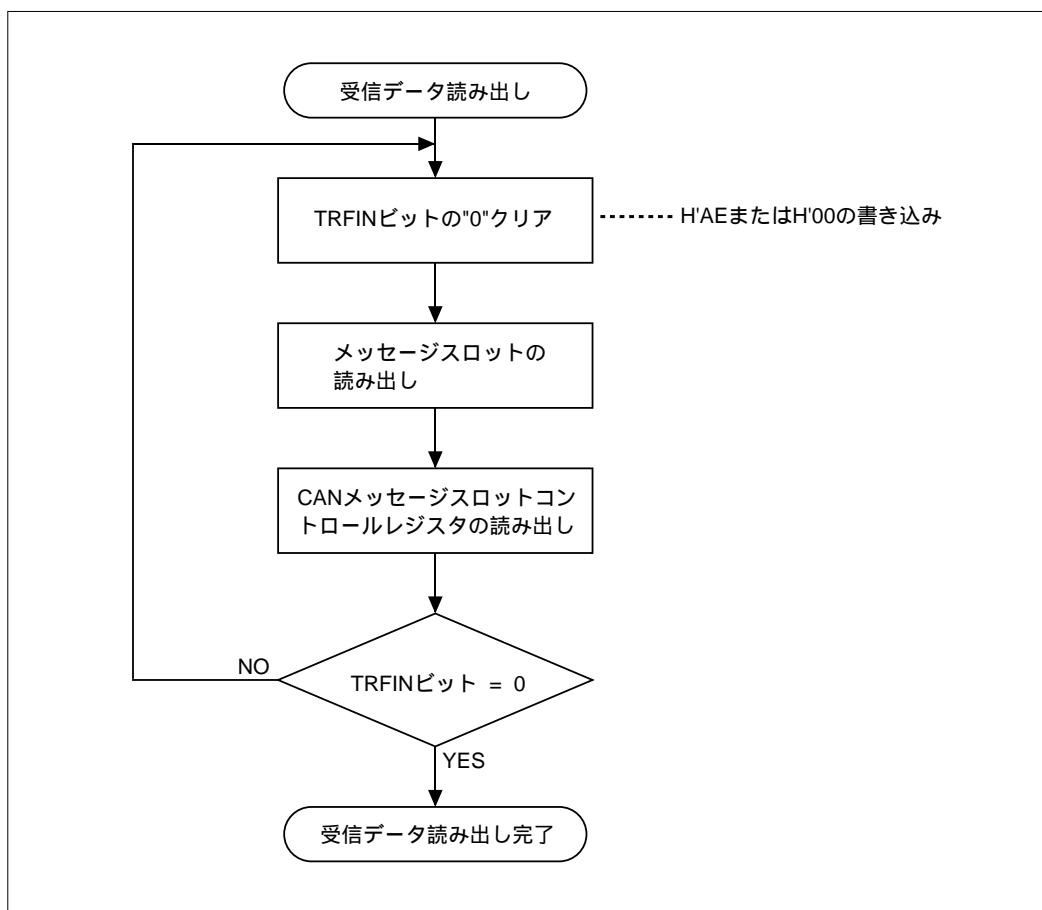


図13.7.3 リモートフレーム送信設定時の受信データ読み出し手順

13.8 リモートフレーム受信

13.8.1 リモートフレーム受信手順

リモートフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

リモートフレーム受信に対して自動応答させたい場合(データフレーム送信)

CANメッセージスロットコントロールレジスタへH'60を書き込み、RR(受信要求)ビット、RM(リモート)ビットに"1"をセットします。

リモートフレーム受信に対して自動応答を禁止させたい場合

CANメッセージスロットコントロールレジスタへH'70を書き込み、RR(受信要求)ビット、RM(リモート)ビット、RL(自動応答許可)ビットに"1"をセットします。

注. BasicCANモード時はスロット14,15ではリモートフレーム受信はできますが、自動応答を行うことはできません。

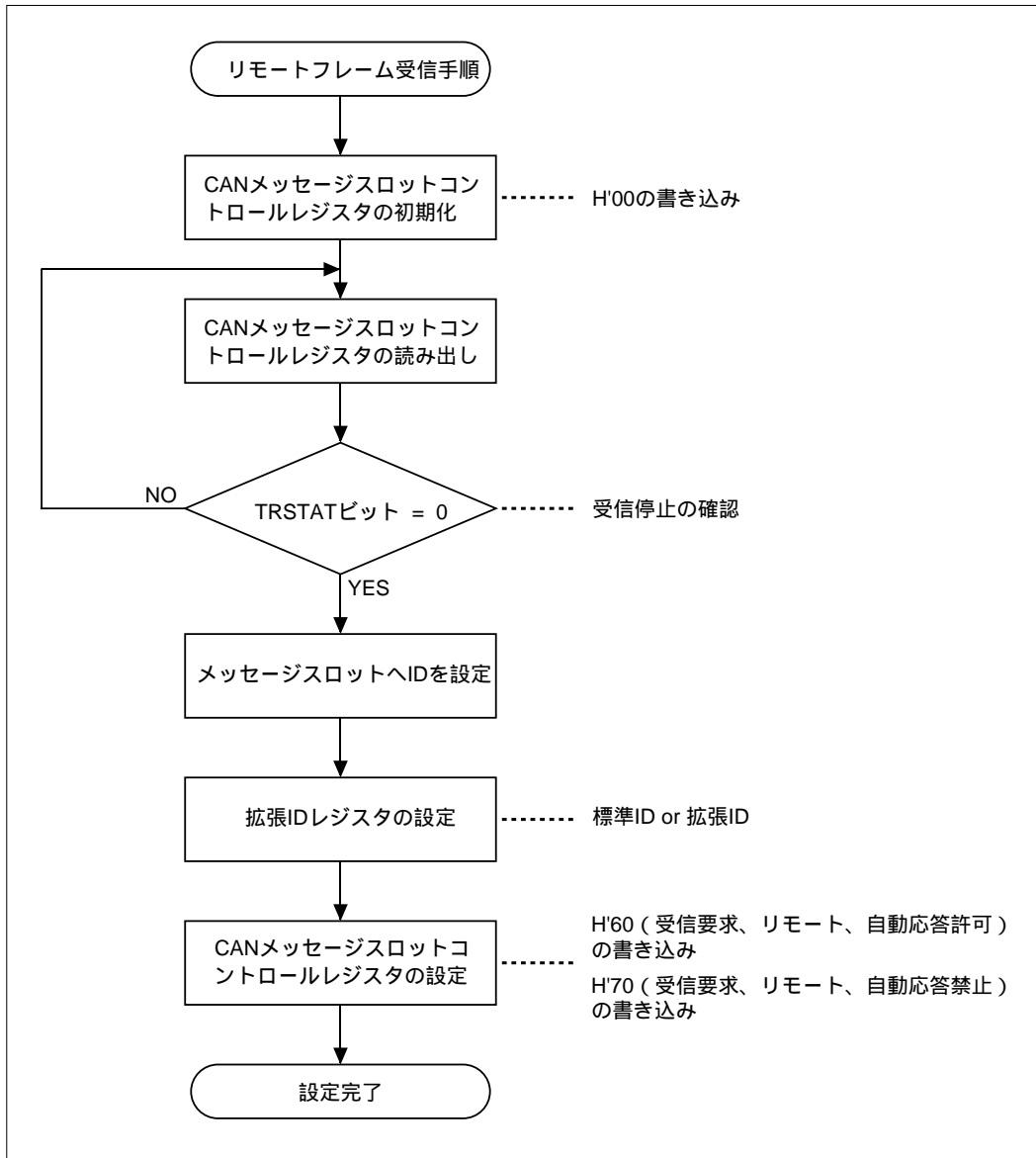


図13.8.1 リモートフレーム受信手順

13.8.2 リモートフレーム受信動作

リモートフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA (リモートアクティブ) ビットの設定

CANメッセージスロットコントロールレジスタへH'60(受信要求、リモート)またはH'70(受信要求、リモート、自動応答禁止)を書き込むと、対応スロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

受信フレームがリモートフレームであること。

IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること。

標準/拡張のフレームタイプが同一であること。

(3) 受信条件を満たした場合

上記(2)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(CMSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込みステータスビットへ"1"をセットします。割り込みが許可されていれば割り込みを発生します。

注1. メッセージスロットにはIDフィールドとDLCの値が書き込まれます。

注2. 標準フォーマット時の拡張ID領域には不定値が書き込まれます。

注3. データフィールドに対しては書き込み動作は行いません。

注4. リモートフレーム受信データの書き込み後、RAビット、TRFINビットは"0"クリアされます。

(4) 受信条件を満たしていない場合

受信データを破棄し、次の受信フレームを待ちます。メッセージスロットへの書き込みは行いません。

(5) リモートフレーム受信後の動作

リモートフレーム受信後の動作は、自動応答の設定によって異なります。

自動応答禁止の場合

受信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで該当スロットの送受信は行われません。

自動応答許可の場合

リモートフレーム受信後、自動的にデータフレーム送信スロットに切り替わり、以下動作で送信処理を行います。その場合、送信されるデータは受信したリモートフレームのID、DLCに従います。

送信フレーム選択

CANモジュールは、インタミッション毎に送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。送信スロットが複数ある場合は、スロット番号の小さいものから送信されます。

データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

CANバス上のアービトラージンに敗れた場合 / CANバスエラーが発生した場合

CANバス上のアービトラージンに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込みステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(CMSLnTSP)へ送信が完了したときのタイムスタンプカウント値を書き込み、送信動作を完了します。

CANスロット割り込みを許可にしていた場合は、送信動作完了で割り込みが発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

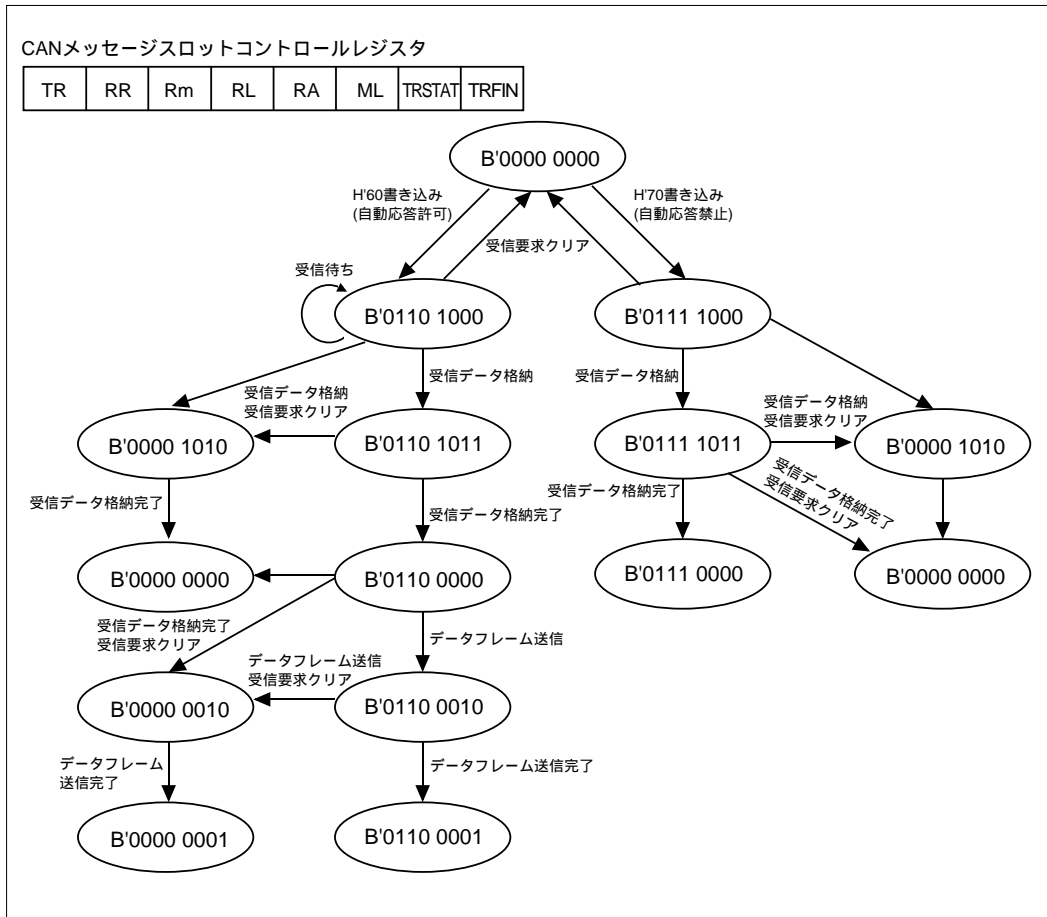


図13.8.2 リモートフレーム受信時のCANメッセージスロットコントロールレジスタの動作

空きページです

第14章

リアルタイムデバッグ(RTD)

- 14.1 リアルタイムデバッグ
(RTD)概要
- 14.2 RTD端子機能
- 14.3 RTD動作説明
- 14.4 ホストとの接続例

14.1 リアルタイムデバッガ(RTD)概要

リアルタイムデバッガ(Real Time Debugger)は、内蔵RAM全領域を、マイコン外部からコマンドを使用し、リード/ライトするためのシリアルI/Oです。RTDと内蔵RAM間のデータ転送はM32R CPUと別に内蔵した専用バスを通じて行なうため、M32R CPUの動作を停止させることなく制御することができます。

表14.1.1 リアルタイムデバッガ(RTD)の概要

項目	内容
転送方式	クロック同期形シリアルI/O
転送クロックの発生	外部ホスト側が発生
RAMアクセス領域	内蔵RAM全領域(A16～A29による制御)
送受信データ長	32ビット(固定)
ビット転送順序	LSBファースト
最大転送速度	2Mビット/秒
入出力端子	4本(RTDTXD, RTDRXD, RTDACK, RTDCLK)
コマンド数	以下の5機能 継続モニタ リアルタイムRAM内容出力 RAM内容強制書き替え(ベリファイ付き) 暴走状態からの復帰 RTD割り込み要求

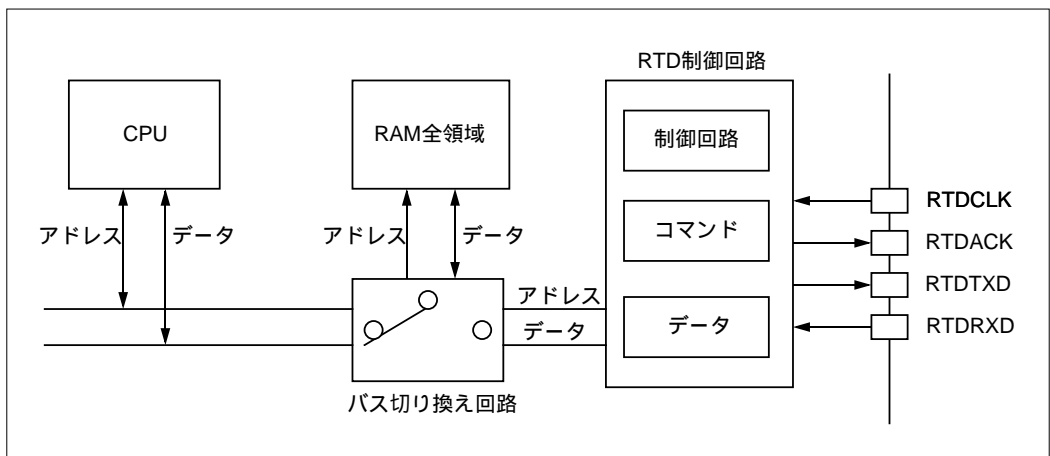


図14.1.1 リアルタイムデバッガ(RTD)のブロック図

14.2 RTD端子機能

RTDの端子機能を以下に示します。

表14.2.1 RTD端子機能

端子名	入出力	機能
RTDTXD	出力	RTDシリアルデータ出力
RTDRXD	入力	RTDシリアルデータ入力
RTDACK	出力	出力データワードの先頭クロックに同期した、"L"パルスを出力します。 出力される"L"パルスの幅は、RTDが受信した命令/データの種類を示します。 1クロック : VER(継続モニタ)コマンド 1クロック : VE(RTD割り込み要求)コマンド 2クロック : RDR(リアルタイムRAM内容出力)コマンド 3クロック : WRR(RAM内容強制書き替え)コマンド または、そのデータ 4クロック以上 : RCV(暴走状態からの復帰)コマンド
RTDCLK	入力	RTD転送クロック入力

14.3 RTD動作説明

14.3.1 RTD動作概要

RTDの動作は、チップ外部から入力されたコマンドで指定されます。コマンドは、RTD受信データのビット16～ビット19(注1)により指定します。

表14.3.1 RTDコマンド

RTD受信データ				コマンド	RTD機能
b19	b18	b17	b16	ニーモニック	
0	0	0	0	VER(VERify)	継続モニタ
0	1	0	0		
0	1	0	1		
0	1	1	0	VE(VERify Interrupt request)	RTD割り込み要求
0	0	1	0	RDR(ReaD RAM)	リアルタイムRAM内容出力
0	0	1	1	WRR(WRite RAM)	RAM内容強制書き替え(ペリファイ付き)
1	1	1	1	RCV(ReCoVer)	暴走状態からの復帰 (注2, 注3)
0	0	0	1	システム予約(使用禁止)	

(注1)

注1. RTD受信データのビット19は、実際にはコマンドレジスタには格納されず、RCVコマンド以外は、Don't Careとなります(ビット16～18がコマンド指定として有効です)。

注2. RCVコマンドは必ず2回連続して送信してください。

注3. RCVコマンドの場合は、ビット16～19以外のビット(ビット0～15, 20～31)もすべて"1"にしてください。

14.3.2 RDR(リアルタイムRAM内容出力)動作

RDR(リアルタイムRAM内容出力)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を外部に転送できます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMのデータを読み出すため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また内蔵RAMからは、32ビット単位で読み出したデータが転送されます。

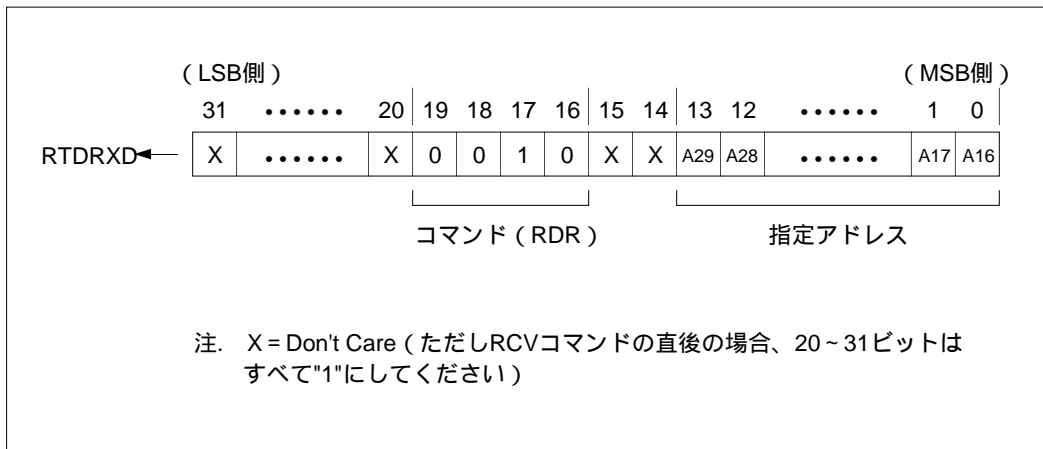


図14.3.1 RDRコマンドデータフォーマット

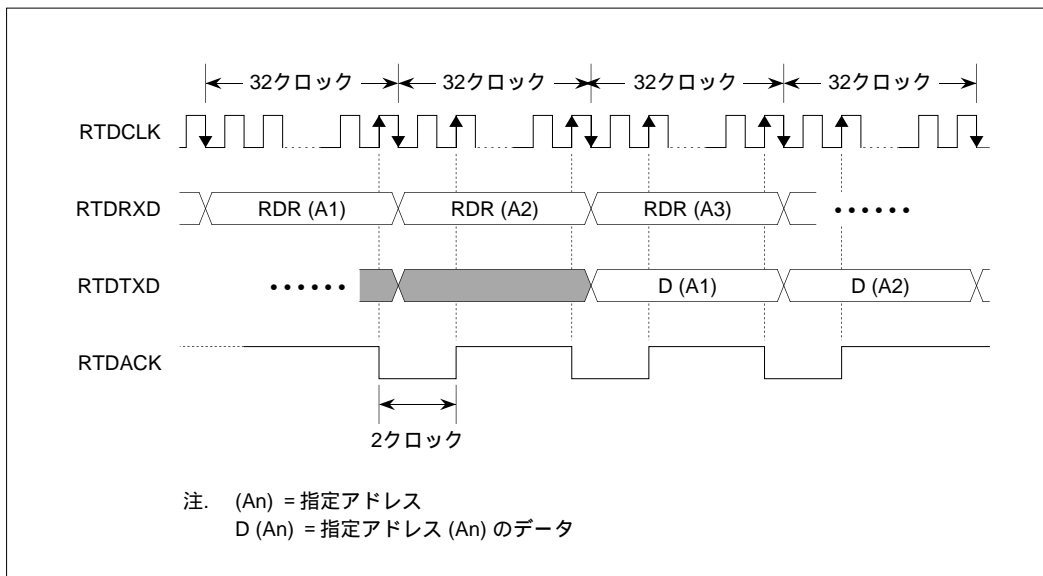


図14.3.2 RDRコマンド動作

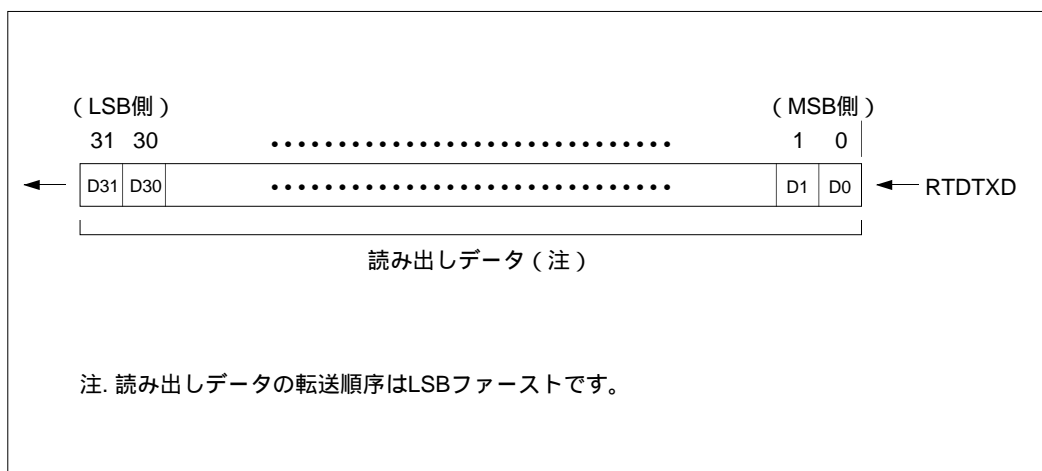


図14.3.3 読み出しデータ転送フォーマット

14.3.3 WRR(RAM内容強制書き替え)動作

WRR(RAM内容強制書き替え)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を強制的に書き替えます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMへデータを書き込むため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また、内蔵RAMへのデータ書き込みは、32ビット単位で行われます。

外部ホストからは、第1フレームでコマンドとアドレスを送信し、第2フレームで書き込みデータを送信します。

RTDから内蔵RAMへの書き込みは、書き込みデータ受信後の第3フレームで行われます。

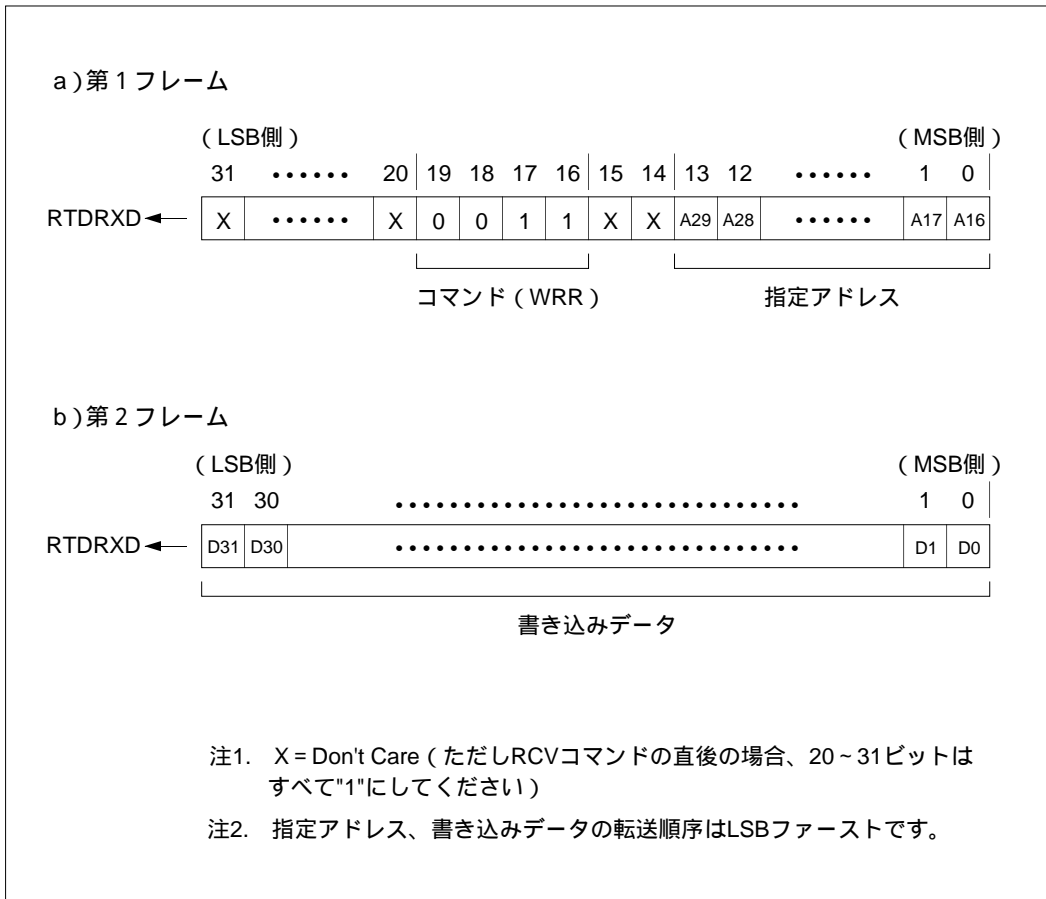


図14.3.4 WRRコマンドデータフォーマット

RTDは指定アドレスのデータを書き込みの前に読み出すとともに、書き込み直後に再度、同一アドレスのデータを読み出します(これによりベリファイができます)。読み出されたデータは以下のタイミングで出力されます。

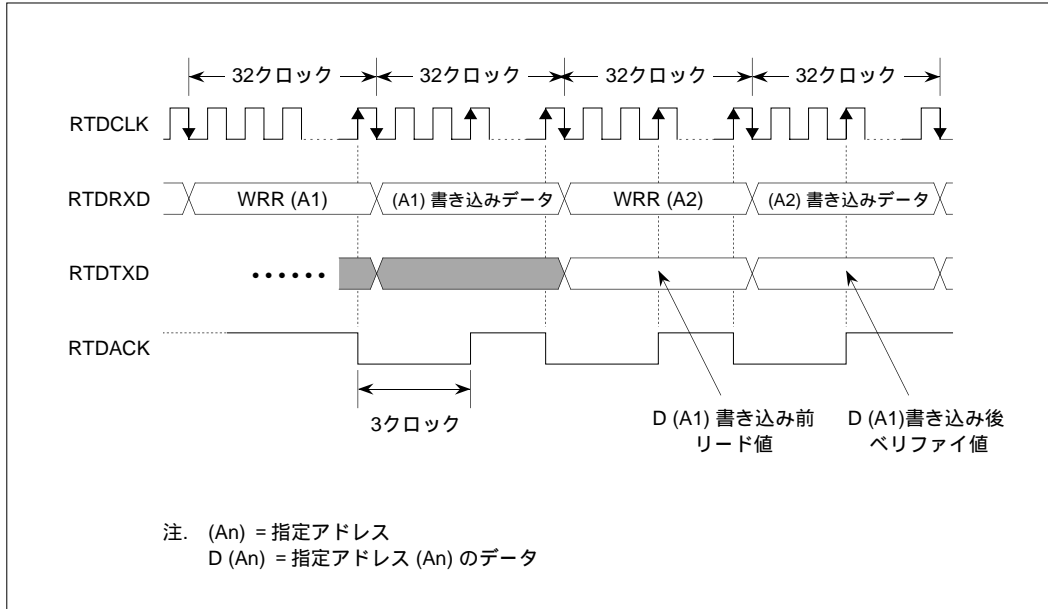


図14.3.5 WRRコマンド動作

14.3.4 VER(継続モニタ)動作

VER(継続モニタ)コマンドを発行すると、RTDはVERコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。

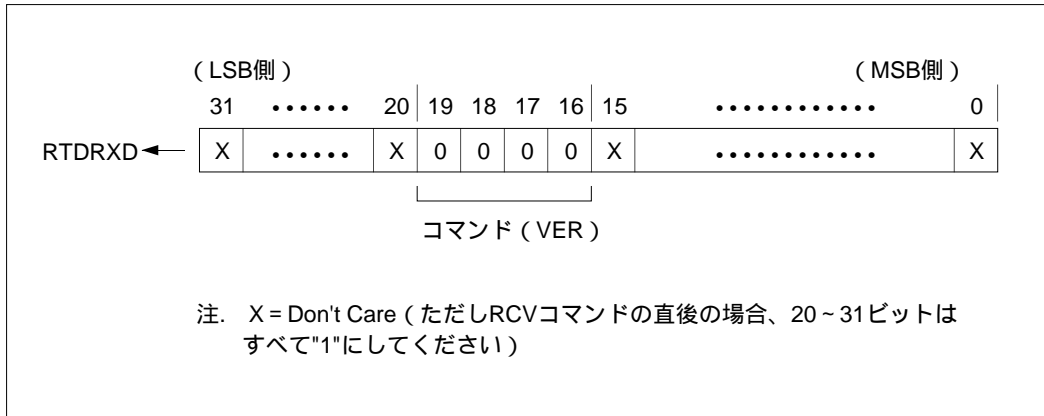


図14.3.6 VER(継続モニタ)コマンドデータフォーマット

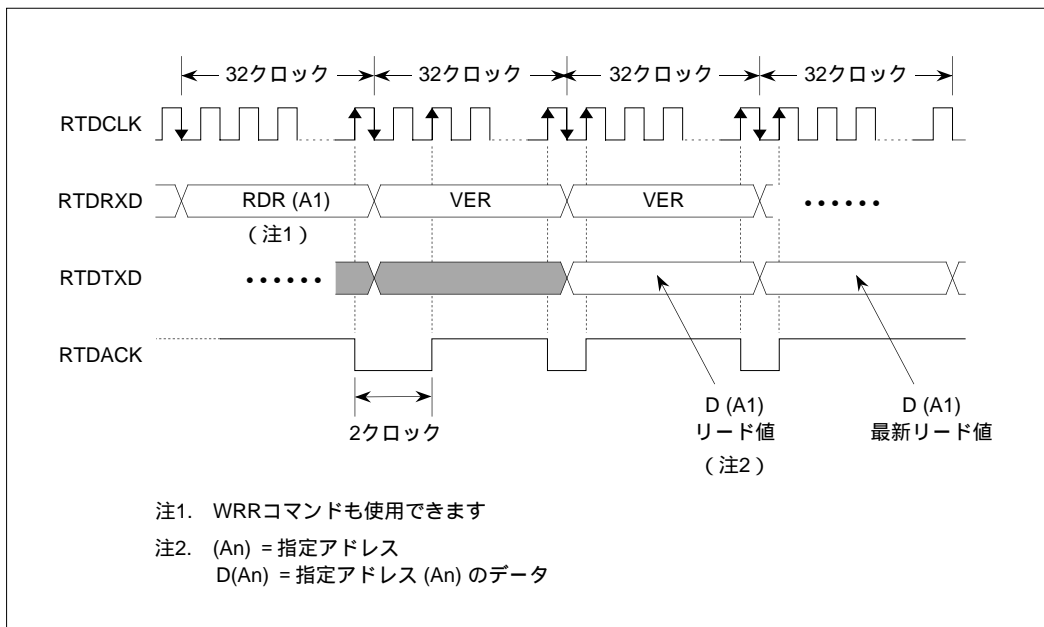


図14.3.7 VER(継続モニタ)コマンド動作

14.3.5 VEI(割り込み要求)動作

VEI(割り込み要求)コマンドを発行すると、RTD割り込み要求が発生します。また、RTDはVEIコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出します。

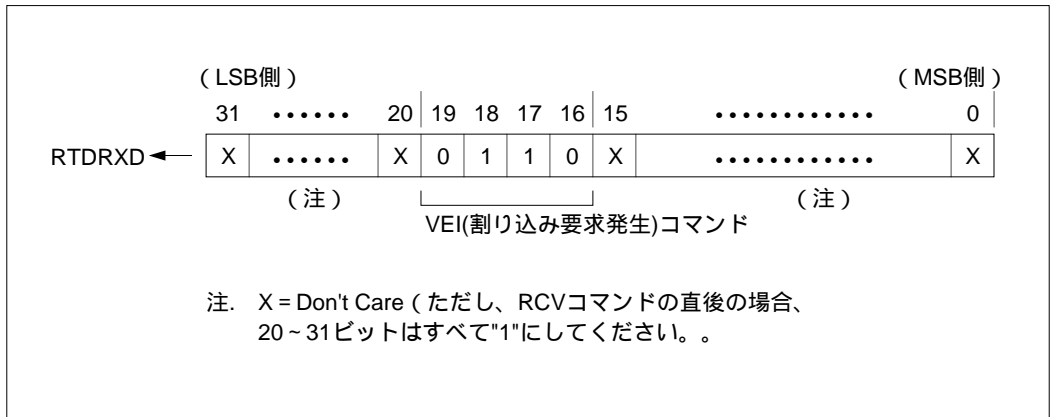


図14.3.8 VEI(割り込み要求)コマンドデータフォーマット

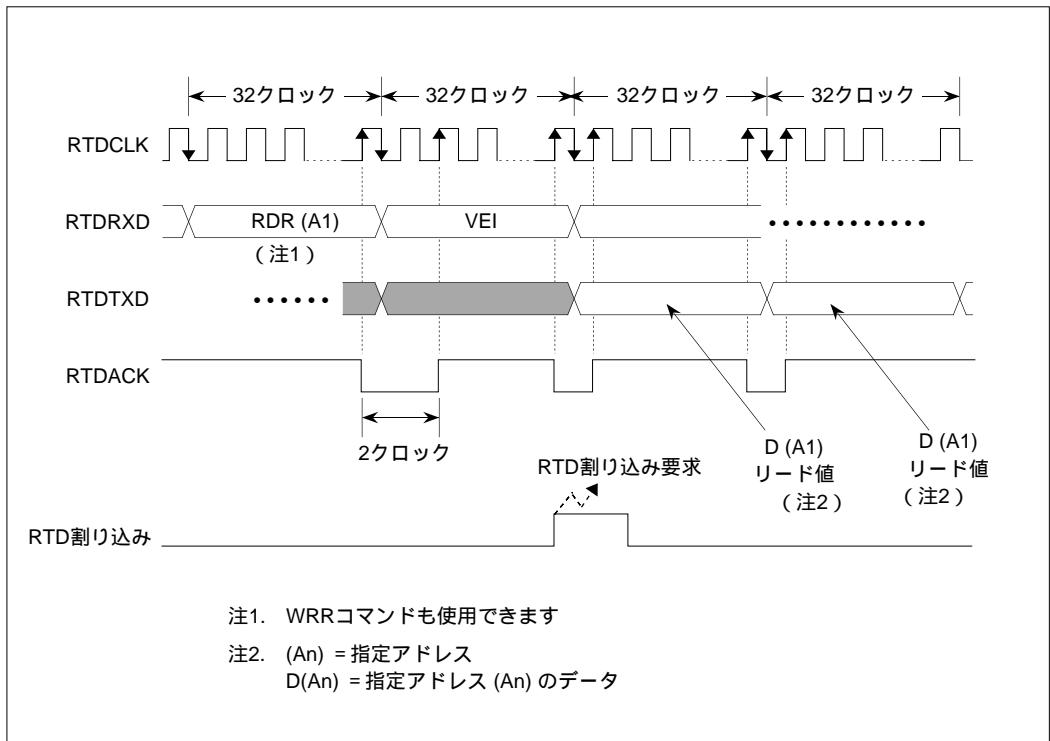


図14.3.9 VEI(割り込み要求)コマンド動作

14.3.6 RCV(暴走状態からの復帰)動作

RTDが暴走した場合、RCV(暴走状態からの復帰)コマンドを発行することでシステムリセットを行うことなく、強制的に暴走状態から復帰させることができます。RCVコマンドは必ず2回続けて発行してください。また、RCVコマンドに続けて発行するコマンドのビット20~31はすべて"1"にしてください。



図14.3.10 RCVコマンドデータフォーマット

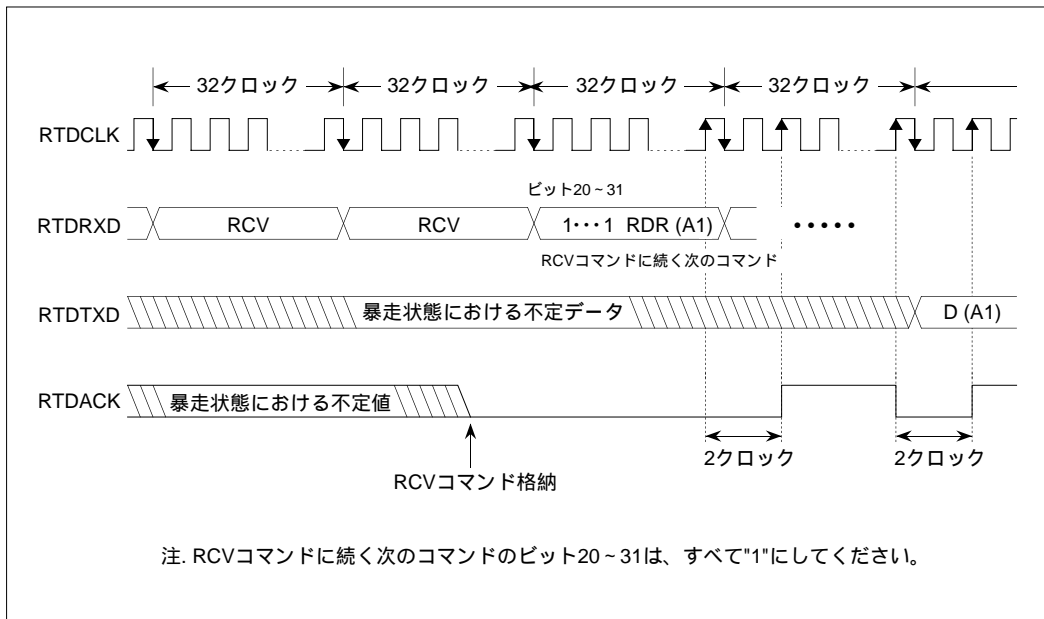


図14.3.11 RCVコマンド動作

14.3.7 リアルタイムデバッカ使用時の指定アドレス設定方法

RTDでは内蔵RAM領域の下位16ビットアドレスが設定可能です。内蔵RAM領域がH'0080 4000 ~ H'0080 FFFFの48KB領域内に配置しているため、その下位16ビットアドレス(H'4000 ~ H'FFFF)が設定できます。ただし、RAM配置領域以外はアクセスを禁止します。また、アドレス最下位の2ビットA31、A30はリード、ライトのデータ幅が32ビット固定長のため、常に"0"になります。

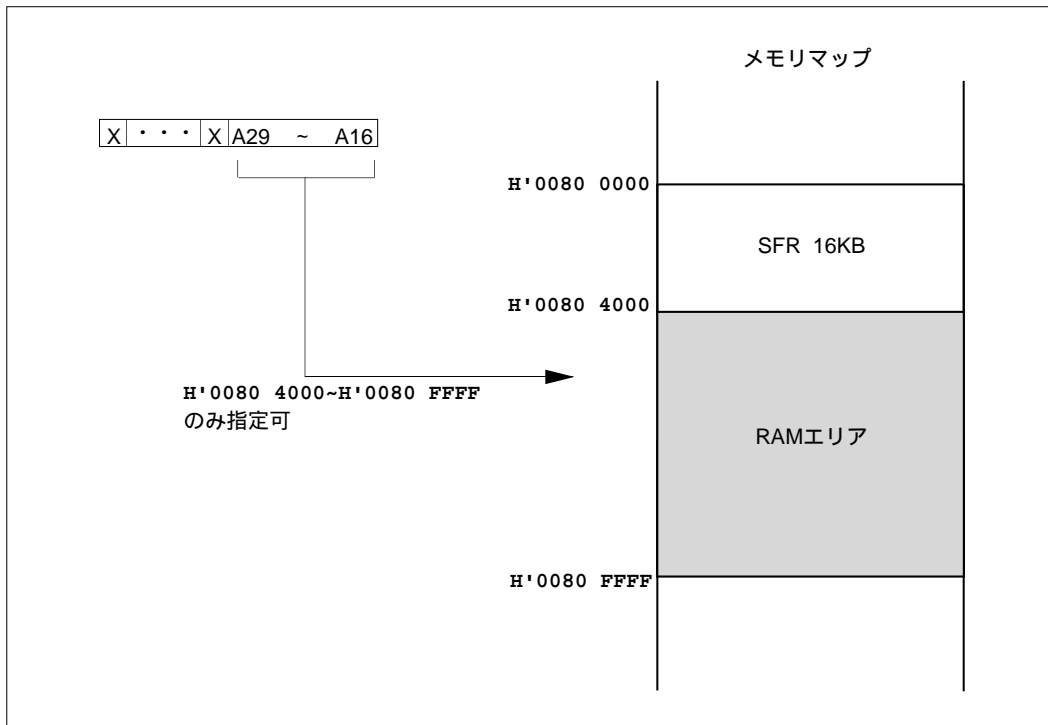


図14.3.12 リアルタイムデバッカのアドレス設定方法

14.3.8 RTDのリセット

RTDは、システムリセット($\overline{\text{RESET}}$ 信号の入力)によりリセットされます。システムリセット後のRTD関連の出力端子の状態は以下のとおりです。

表14.3.2 システムリセット解除後のRTD端子状態

端子名	状態
RTDACK	"H"レベル出力
RTDTXD	"H"レベル出力

RTDのリセットを行った後の最初のコマンド転送は、RTDCLKの立ち下がりエッジに同期してRTDRXD端子へデータを転送することで開始されます。

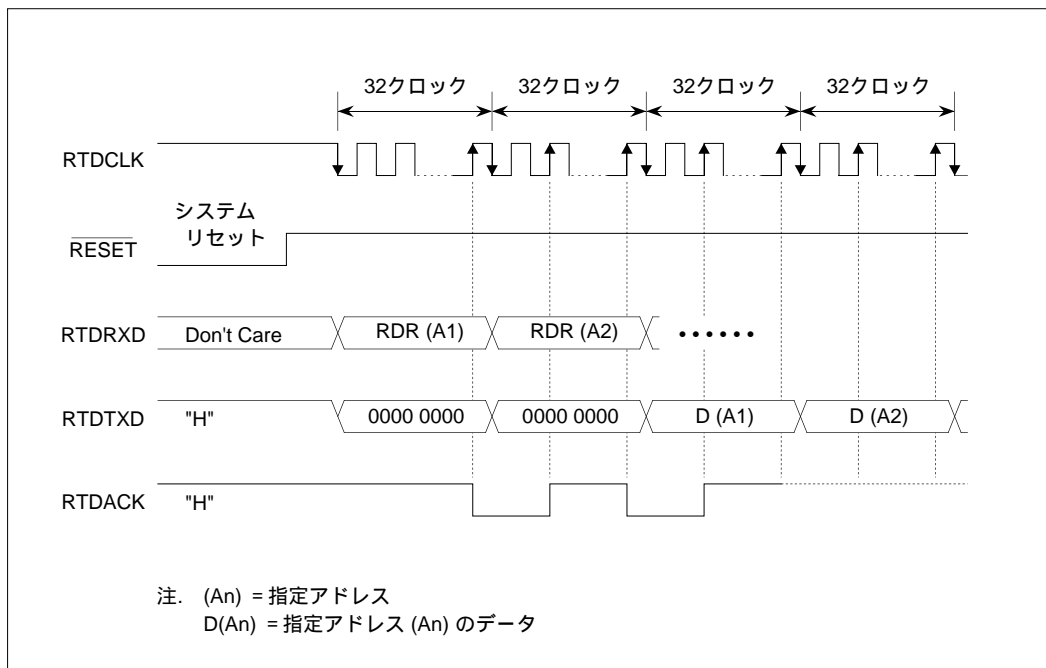


図14.3.13 システムリセット後のRTDへのコマンド転送

14.4 ホストとの接続例

ホスト側ではシリアル同期式のインタフェースで、データの転送を行います。同期通信用のクロックは、ホスト側が発生します。RTDとホストの接続例を以下に示します。

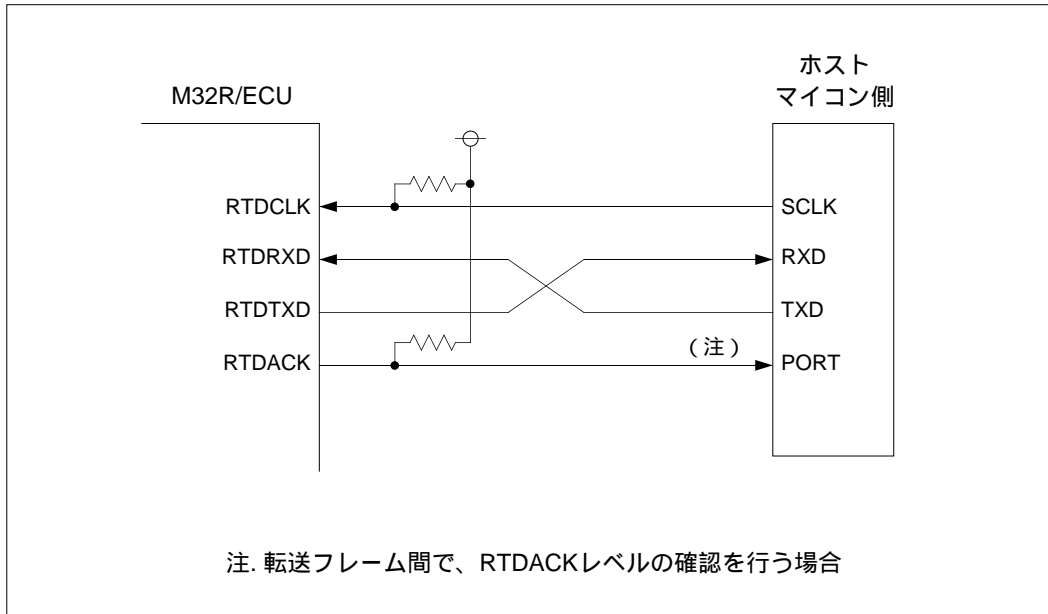


図14.4.1 RTDとホストの接続

1フレーム32ビット固定長のRTD通信は、一般にシリアルインタフェースでは8ビット単位で転送を行うため、8ビット単位で4回に分けて行います。また、通信が正常に行われていることは、RTDACK信号で確認します。

RTDACK信号は、コマンドを送信した後"L"レベルになることで通信状態を確認します。VERコマンド発行時には、1クロック分のみ"L"が出力されるため、シリアルインタフェースで1フレーム32ビットを送信した後、RTDCLKの送出を止めてRTDACKが"L"レベルになっていれば正常に通信できているか容易に判断できます。

なお、RTDACKの幅で送信コマンドの種類まで特定したい場合は、マイコン内蔵の計測タイマを利用(RTDACKが"L"の期間、RTDCLKをカウント)するか、または専用の回路を作成してください。

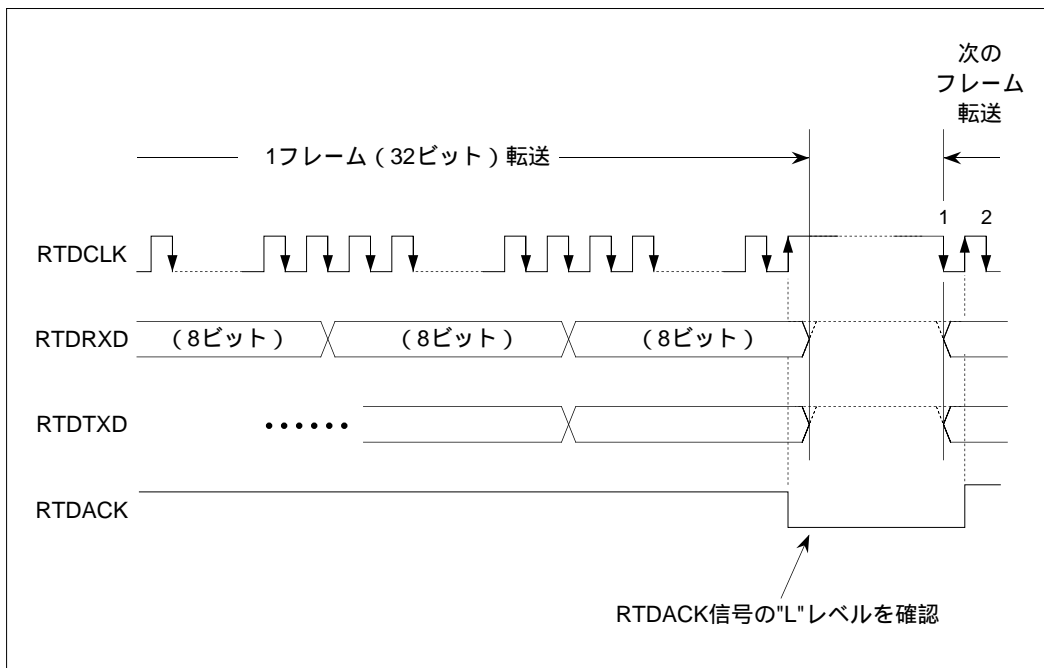


図14.4.2 ホストとの通信動作例(VERコマンド時)

* 空きページです *

第15章

PDモジュール

- 15.1 PDモジュール概要
- 15.2 PDモジュール関連レジスタ
- 15.3 PDセンサー対応初期設定
- 15.4 PDモジュール注意事項

15.1 PDモジュール概要

32172 / 32173は、PD(Phase Digital)センサに対応した専用インタフェース回路として使用可能な8チャンネルのイベントカウンタを内蔵しています。PDセンサと組み合わせることにより位置検出時に必要な予測演算処理を高速に行うことができます。

注．PDセンサと組み合わせるには、別途外付け回路が必要となります。

表15.1.1 PDモジュールの概要

項目	内容
TPD	16ビット入力計測タイマ(アップカウンタ) ソフトウェアにより2つのモードから選択 ・PDセンサ対応モード PDセンサ対応として動作します。 ・通常モード フリーランのアップカウンタとして動作します。
TEPiP TEPiM (i = 0,1)	16ビット入力系タイマ(アップカウンタ) ソフトウェアにより2つのモードから選択 ・イベントカウントモード 外部端子からの入力パルス数をカウントします。 ・PDセンサ対応モード PDセンサ対応として動作します。
PD対応演算機能	PDセンサ対応の各種演算を行い、結果をレジスタに格納します(2ch)

表15.1.2 PDモジュール割り込み発生機能

信号名	PDモジュール割り込み要求元	割り込みコントローラ(ICU)入力	ICU要因
IRQ31	TIN0A入力、TIN0B入力、 TIN1A入力、TIN1B入力、 TIN0Aエラー検出、 TIN0Bエラー検出、 TIN1Aエラー検出、 TIN1Bエラー検出	PDC入力割り込み	8
IRQ2	PD0_ABDコンペアマッチ、 PD1_ABDコンペアマッチ、 PD0_PITCHコンペアマッチ、 PD1_PITCHコンペアマッチ、 PD0_ABD&PITCHコンペアマッチ、 PD1_ABD&PITCHコンペアマッチ、 PD0_Sエラー、 PD1_Sエラー	PDC演算割り込み	8

表15.1.3 PDモジュールDAM転送要求発生機能

DMA転送要求発生機能	DMA入力チャンネル
PD0_ABDコンペアマッチ PD0_ABD&PITCHコンペアマッチ (注)	チャンネル1~9
PD1_ABDコンペアマッチ PD1_ABD&PITCHコンペアマッチ (注)	チャンネル1~9
TIN0A入力検出	チャンネル0
TIN0B入力検出	チャンネル2
TIN1A入力検出	チャンネル5
TIN1B入力検出	チャンネル7

注．DMA転送要求要因選択レジスタ(DMAREQSL)によって選択。

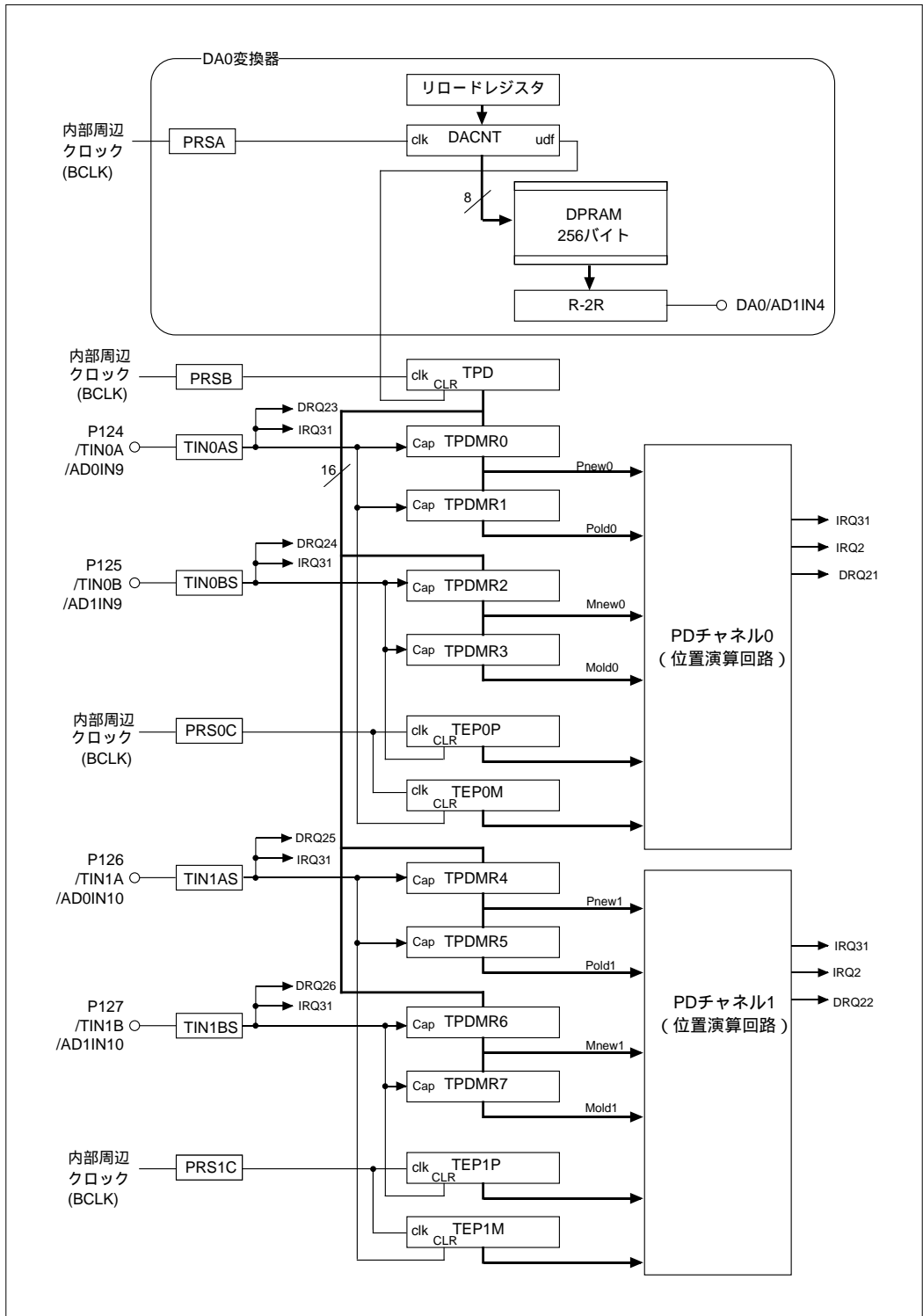


図15.1.1 PDモジュールブロック図

15.2 PDモジュール関連レジスタ

PDモジュール関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7 D8	+1番地	D15
H'0080 1800	ブリスケーラレジスタA(PRSA)		ブリスケーラレジスタB(PRSB)		
H'0080 1802	DACNTリロードレジスタ(DACNTRL)		TIN入力処理制御レジスタ(TINPDCR)		
H'0080 1804	TIN割り込み制御レジスタ(TINPDICR)		TIN割り込みステータスレジスタ(TINPDIST)		
H'0080 1806	DACNT制御レジスタ(DACNTCR)		TPD制御レジスタ(TPDCR)		
H'0080 1808	DACNTカウンタ(DACNT)				
⋮					
H'0080 180E	TPDカウンタ(TPDCT)				
H'0080 1810	TPD計測レジスタ0(TPDMR0)				
H'0080 1812	TPD計測レジスタ1(TPDMR1)				
H'0080 1814	TPD計測レジスタ2(TPDMR2)				
H'0080 1816	TPD計測レジスタ3(TPDMR3)				
H'0080 1818	TPD計測レジスタ4(TPDMR4)				
H'0080 181A	TPD計測レジスタ5(TPDMR5)				
H'0080 181C	TPD計測レジスタ6(TPDMR6)				
H'0080 181E	TPD計測レジスタ7(TPDMR7)				
⋮					
H'0080 1830	PD演算割り込み制御レジスタ(PDICR)		PD演算割り込みステータスレジスタ(PDIST)		
H'0080 1832	位置検出精度選択レジスタ(PDASR)		DMA転送要求要因選択レジスタ(DMAREQSL)		
⋮					
H'0080 1840	ブリスケーラレジスタ0C(PRS0C)		SMSB制御レジスタ0(SMSBCR0)		
H'0080 1842	TEP0P制御レジスタ(TEP0PCR)		TEP0M制御レジスタ(TEP0MCR)		
H'0080 1844	TEP0Pカウンタ(TEP0PCT)				
H'0080 1846	TEP0Mカウンタ(TEP0MCT)				
H'0080 1848	PD0データ更新禁止イベント選択レジスタ(PDNSEL0R)		PD0データ更新制御レジスタ(PDNCNT0R)		
H'0080 184A	ABD0マスクレジスタ(ABD0MK)		Sエラー0検出範囲選択レジスタ(SNEW0MK)		
H'0080 184C	ABD0コンペアレジスタ(ABD0CM)				
H'0080 184E	PICH0コンペアレジスタ(PICH0CMR)				
⋮					
H'0080 1860	PNEWLT0レジスタ(PNEWLT0)				
H'0080 1862	POLDLT0レジスタ(POLDLT0)				
H'0080 1864	MNEWLT0レジスタ(MNEWLT0)				
H'0080 1866	MOLDLT0レジスタ(MOLDLT0)				
H'0080 1868	PSUBLT0レジスタ(PSUBLT0)				
H'0080 186A	MSUBLT0レジスタ(MSUBLT0)				
H'0080 186C	SNEWLT0レジスタ(SNEWLT0)				
H'0080 186E	PRLT0レジスタ(PRLT0)				
H'0080 1870	MRLT0レジスタ(MRLT0)				
H'0080 1872	FDLT0レジスタ(FDLT0)				
H'0080 1874	PITCHLT0レジスタ(PITCHLT0)				
H'0080 1876	ABDLT0レジスタ(ABDLT0)				
H'0080 1878	RSUMLT0レジスタ(RSUMLT0)				
H'0080 187A	SSLT0レジスタ(SSLT0)				
⋮					

空き領域は予約領域です。

注 . のレジスタは演算のための中間レジスタです。R/Wアクセスを行わないでください。

図15.2.1 PDモジュールレジスタマップ(1/2)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1880	ブリスケーラレジスタ1C(PRS1C)		SMSB制御レジスタ1(SMSBCR1)		
H'0080 1882	TEP1P制御レジスタ(TEP1PCR)		TEP1M制御レジスタ(TEP1MCR)		
H'0080 1884	TEP1Pカウンタ(TEP1PCT)				
H'0080 1886	TEP1Mカウンタ(TEP1MCT)				
H'0080 1888	PD1データ更新禁止イベント選択レジスタ(PDNSEL1R)		PD1データ更新制御レジスタ(PDNCNT1R)		
H'0080 188A	ABD1マスクレジスタ(ABD1MK)		Sエラー1検出範囲選択レジスタ(SNEW1MK)		
H'0080 188C	ABD1コンペアレジスタ(ABD1CM)				
H'0080 188E	PITCH1コンペアレジスタ(PITCH1CMR)				
H'0080 18A0	PNEWLT1レジスタ(PNEWLT1)				
H'0080 18A2	POLDT1レジスタ(POLDLT1)				
H'0080 18A4	MNEWLT1レジスタ(MNEWLT1)				
H'0080 18A6	MOLDLT1レジスタ(MOLDLT1)				
H'0080 18A8	PSUBLT1レジスタ(PSUBLT1)				
H'0080 18AA	MSUBLT1レジスタ(MSUBLT1)				
H'0080 18AC	SNEWLT1レジスタ(SNEWLT1)				
H'0080 18AE	PRLT1レジスタ(PRLT1)				
H'0080 18B0	MRLT1レジスタ(MRTL1)				
H'0080 18B2	FDLT1レジスタ(FDLT1)				
H'0080 18B4	PITCHL1レジスタ(PITCHLT1)				
H'0080 18B6	ABDLT1レジスタ(ABDLT1)				
H'0080 18B8	RSUMLT1レジスタ(RSUMLT1)				
H'0080 18BA	SSLT1レジスタ(SSLT1)				

空き領域は予約領域です。

注 . のレジスタは演算のための中間レジスタです。R/Wアクセスを行わないでください。

図15.2.2 PDモジュールレジスタマップ(2/2)

15.2.1 プリスケーラ部

プリスケラPRSA、PRSB、PRS0C、PRS1Cは8ビット構成のカウンタで内部周辺クロック(CPUクロック40MHz時は20MHz)をもとに各タイマへクロックを供給します。

プリスケラの値はリセット時にH'00に初期化されます。

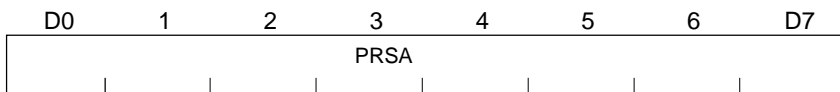
また、プリスケラレジスタの値を書き換えると、プリスケラのアンダフローに同期して、その書き換え値による動作を開始します。

プリスケラレジスタにはH'00～H'FFの値が設定できます。プリスケラの分周比は次の式で与えられます。

$$\text{プリスケラ分周比} = \frac{1}{\text{プリスケラ設定値}+1}$$

プリスケラレジスタ A (PRSA)

< アドレス : H'0080 1800 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	PRSA	プリスケラ分周設定		

内部周辺クロック(CPUクロック40MHz動作時は20MHz)をもとにクロックを分周してD-A変換器のパラメータテーブル用アドレスカウンタ(DACNT)のカウントクロックを生成します。DACNT動作時にプリスケラAの値を書き換えた場合は、プリスケラのアンダフローに同期して、その書き換えた値による動作を開始します。

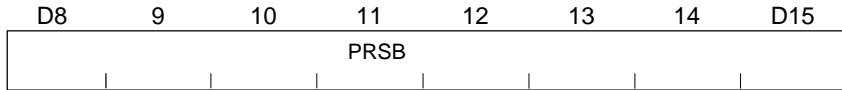
PRSAはDACNT制御レジスタのDACNTENビットに"1"をセット(カウント開始)すると起動し、プリスケラレジスタ値をリロードしてカウント動作を開始します。

$$\text{DACNTカウント周期} = \text{BCLK} / (\text{PRSA} + 1)$$

注 . PDセンサ対応で使用する場合は、PRSAの設定値は位置検出精度選択レジスタの設定によって制限を受けます。

プリスケアラレジスタB (PRSB)

<アドレス : H'0080 1801 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~15	PRSB	プリスケアラ分周設定		

内部周辺クロック(CPU40MHz動作時で20MHz)をもとにクロックを分周して16ビット入力測定カウンタ(TPDCT)のカウンタクロックを生成します。

DACNT動作時にプリスケアラレジスタBの値を書き換えた場合は、プリスケアラのアンダフローに同期して書き換えた値による動作を開始します。

PRSBはTPD制御レジスタのTPDENに"1"をセット(カウント開始)すると起動し、プリスケアラレジスタ値をリロードしてカウント動作を開始します。

$$\text{TPDカウント周期} = \text{BCLK} / (\text{PRSB} + 1)$$

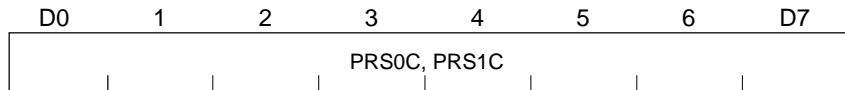
注 . PDセンサ対応でTPDカウンタ(TPDCT)を使用する場合は、PRSB設定値はH'00に設定してください。

プリスケアラレジスタ 0C (PRS0C)

< アドレス : H'0080 1840 >

プリスケアラレジスタ 1C (PRS1C)

< アドレス : H'0080 1880 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	PRS0C, PRS1C	プリスケアラ分周設定		

内部周辺クロック(CPU40MHz動作時で20MHz)をもとにクロックを分周してTEPiP/TEPiMカウンタのカウンタクロックを生成します。

TEPiP/TEPiMカウンタ動作時にプリスケアラ(PRS0C、PRS1C)の値を書きかえた場合は、プリスケアラのアンダフローに同期して書きかえた値による動作を開始します。

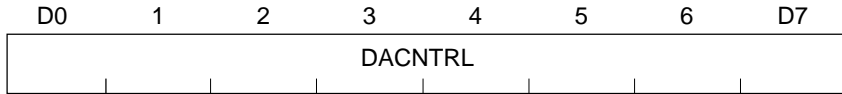
PRS0C(PRS1C)はTEP0P(TEP1P)制御レジスタのTEP0PEN(TEP1PEN)に"1"をセット(カウント開始)すると起動し、プリスケアラレジスタ値をリロードしてカウント動作を開始します。

注 . PDセンサ対応でTEPiP,TEPiMカウンタを使用する場合は、プリスケアラ(PRS0C,PRS1C)設定値はH'00に設定してください。

15.2.2 DACNTリロードレジスタ

DACNT リロードレジスタ (DACNTRL)

<アドレス : H'0080 1802 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	DACNTRL	8ビットリロードレジスタ値		

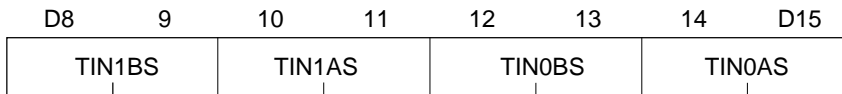
DACNTリロードレジスタは、DACNTカウンタへデータをリロードするためのレジスタです。DACNTカウンタへのロードはDACNTカウンタのアンダフローに同期して行われます。

DACNTリロードレジスタに書き込んだ時点では、DACNTカウンタにデータはロードされませんのでご注意ください。

15.2.3 TIN入力処理レジスタ

TIN 入力処理制御レジスタ (TINPDCR)

<アドレス : H'0080 1803 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~9	TIN1BS (TIN1BS入力処理選択)	00 : 入力無効 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
10~11	TIN1AS (TIN1AS入力処理選択)	00 : 入力無効 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
12~13	TIN0BS (TIN0BS入力処理選択)	00 : 入力無効 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
14~15	TIN0AS (TIN0AS入力処理選択)	00 : 入力無効 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

TIN入力信号制御処理レジスタで、信号のどのエッジで各タイマの計測信号/クリア信号/カウントソース信号を発生させるか選択します。

注 : TIN端子入力信号のパルス幅は内部周辺クロックの3.5クロック長以上にしてください。

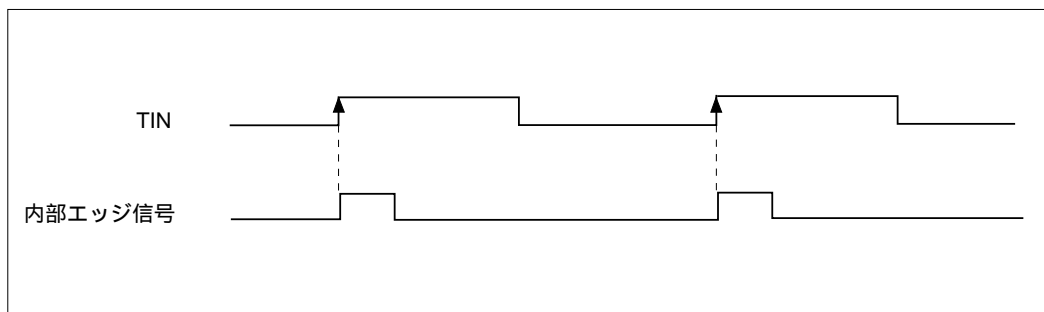


図15.2.3 立ち上がり検出

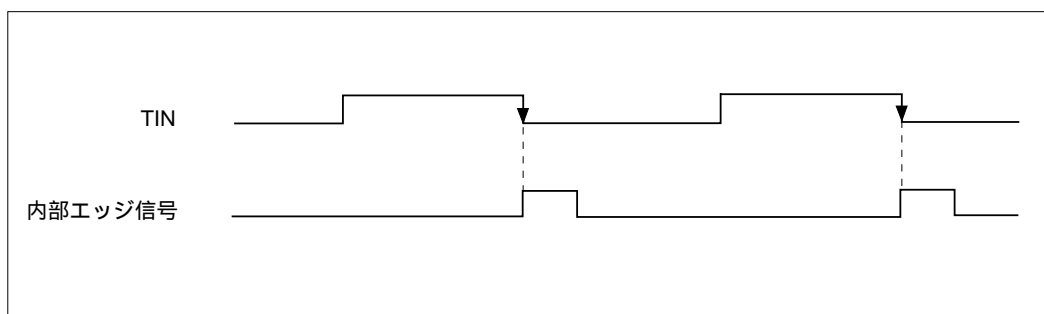


図15.2.4 立ち下がり検出

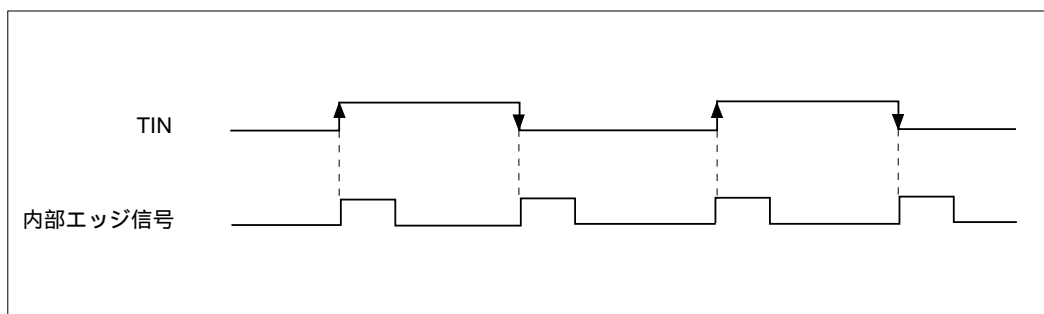


図15.2.5 両エッジ検出

15.2.4 TIN割り込み制御レジスタ

1つの割り込みベクタテーブルに対して、割り込み要因数が2以上の割り込みは割り込み制御レジスタを使用した割り込み要求制御と割り込み入力判定を行っています。このため割り込みコントローラ内のステータスフラグは割り込み許可された割り込み要求の判定ビットとしてのみ機能し、書き込み処理は出来ません。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることは出来ません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込みマスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することが出来ます。割り込み処理時には、グルーピングされた割り込みフラグの内、割り込み処理を行ったフラグのみクリアください。割り込み処理を行っていないフラグをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込みマスクビット

グルーピングされた割り込み要求の内不要な割り込みを禁止にするためのフラグです。割り込み許可時には"1"、割り込み禁止時には"0"を設定します。

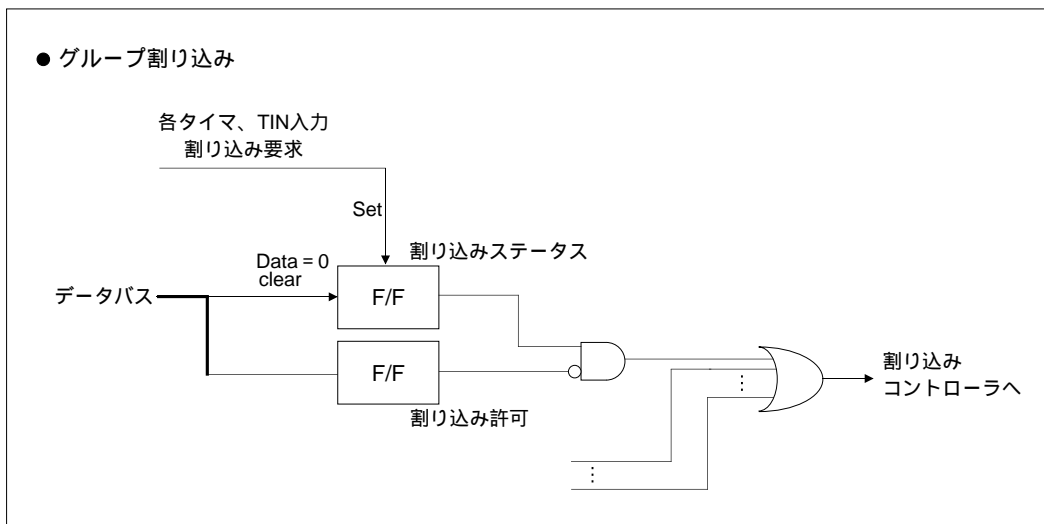


図15.2.6 割り込みステータスレジスタとマスクレジスタ

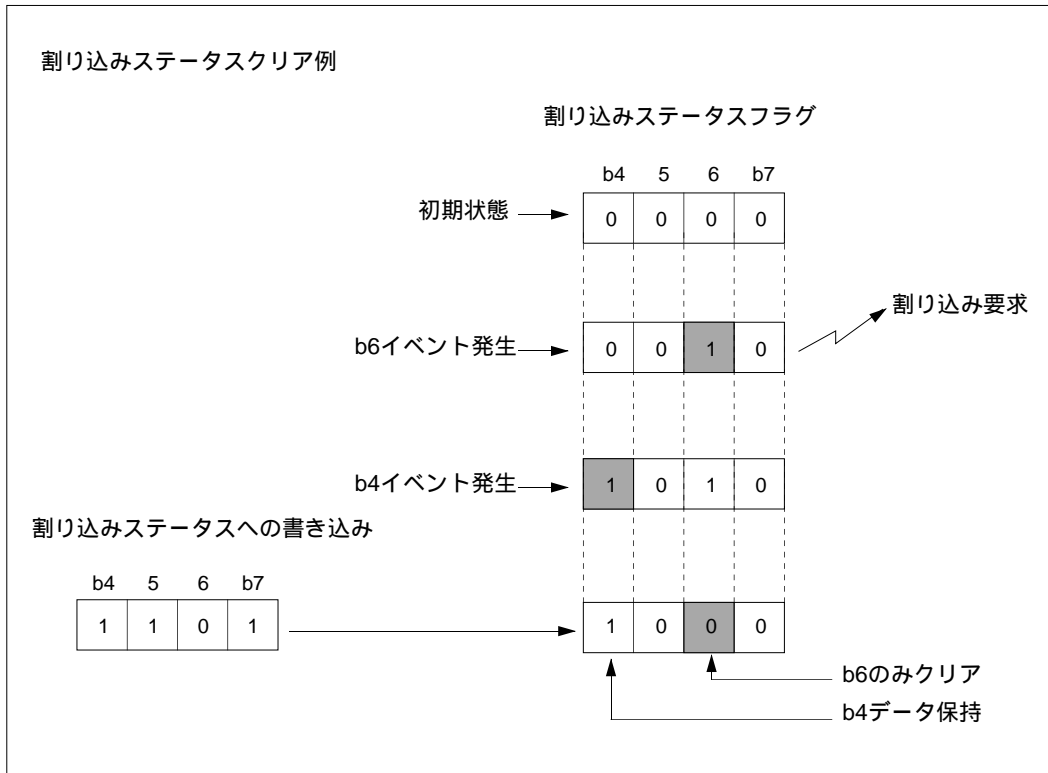


図15.2.7 割り込みステータスクリア例

TIN割り込み制御レジスタ(TINPDICR)

< アドレス : H'0080 1804 >

D0	1	2	3	4	5	6	D7
TIN1BEIM	TIN1AEIM	TIN0BEIM	TIN0AEIM	TIN1BIM	TIN1AIM	TIN0BIM	TIN0AIM

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	TIN1BEIM (注)	0 : 割り込み要求マスク(禁止)		
1	TIN1AEIM (注)	1 : 割り込み許可		
2	TIN0BEIM (注)			
3	TIN0AEIM (注)			
4	TIN1BIM			
5	TIN1AIM			
6	TIN0BIM			
7	TIN0AIM			

注 . D0 ~ D3ビットは、PDセンサ対応機能のためのビットです。PDセンサ対応で使用しない場合は、必ず'0'を書き込んでください。

15.2.5 TIN割り込みステータスレジスタ

TIN 割り込みステータスレジスタ (TINPDIST)

< アドレス : H'0080 1805 >

D8	9	10	11	12	13	14	D15
TIN1BEIS	TIN1AEIS	TIN0BEIS	TIN0AEIS	TIN1BIS	TIN1AIS	TIN0BIS	TIN0AIS

< リセット時 : H'00 >

D	ビット名	機能	R	W
8	TIN1BEIS	0 : 割り込み要求なし		
9	TIN1AEIS	1 : 割り込み要求あり		
10	TIN0BEIS			
11	TIN0AEIS			
12	TIN1BIS			
13	TIN1AIS			
14	TIN0BIS			
15	TIN0AIS			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

各端子からのTIN入力による割り込み要求の有無を示します。

(1) TIN 入力検出エラー割り込み要求ビット (D8、D9、D10、D11)

PDセンサ対応の割り込み要求ビットです。

詳細説明については作成中。

(2) TIN 入力検出割り込み要求ビット (D12、D13、D14、D15)

対応するTIN入力端子にエッジが検出された場合に"1"がセットされ割り込み要求があったことを示します。

"0"へのクリアはソフトウェアで"0"を書き込むことで行われます。

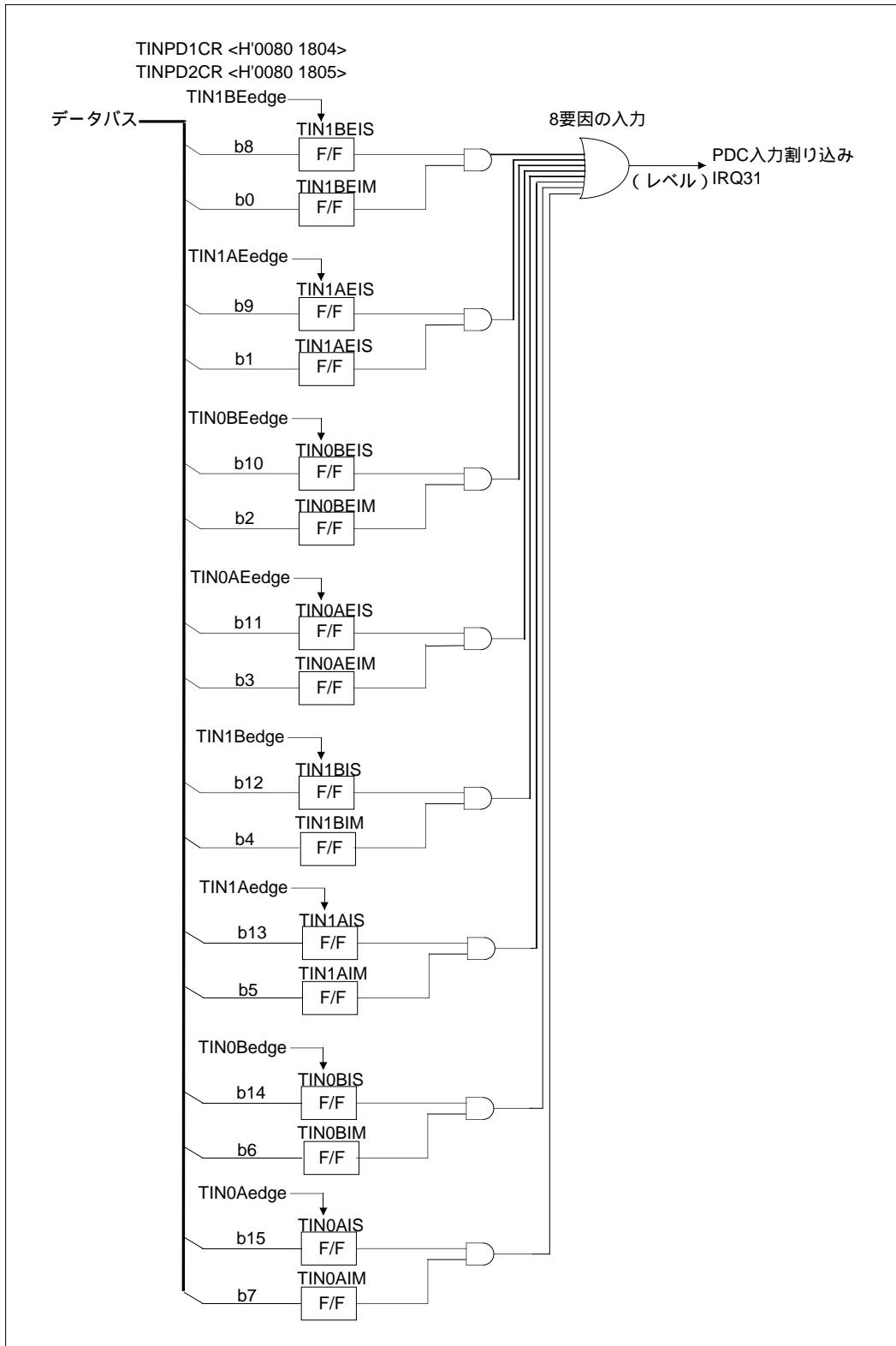
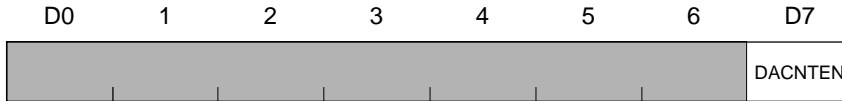


図15.2.8 TIN割り込み回路ブロック図

15.2.6 DACNT制御レジスタ

DACNT 制御レジスタ (DACNTCR)

< アドレス : H'0080 1806 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	DACNTEN	0 : カウント停止 (DACNTカウントイネーブル) 1 : カウント許可		

DACNTカウンタのカウント許可/停止を制御するレジスタです。

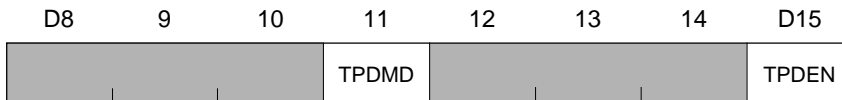
DACNTENビットに"1"をセットすると、PRSAで設定したカウント周期に基づいてDACNTカウンタ設定値よりダウンカウントを開始します。

DACNTENビットに"0"を書き込むとDACNTカウンタはカウンタ値を保持した状態で停止します。

15.2.7 TPD制御レジスタ

TPD 制御レジスタ (TPDCR)

< アドレス : H'0080 1807 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	TPDMD	0 : 通常モード (TPDカウンタ動作モード) 1 : PDセンサ対応モード		
12~14	何も配置されていません		0	-
15	TPDEN	0 : カウント停止 (TPDカウンタイネーブル) 1 : カウント許可		

TPDカウンタの動作モード、およびカウント許可/停止を制御するレジスタです。

(1) TPDMD ビット (D11)

このビットに"1"をセットすると、TPDカウンタ(TPDCT)はPDセンサ対応として動作します。
このビットに"0"をセットすると、TPDカウンタ(TPDCT)はフリーランのアップカウンタとして動作します。

注1. TPDカウンタ動作中のこのビットを書きかえることは禁止です。

注2. PDセンサ対応モードで使用する場合は、ハーフワードアクセスによってDACNT制御レジスタ(DACNTPCR)のDACNTENビットとこのレジスタのTPDENビットへ同時に"1"をセットしてください。

(2) TPDEN ビット (D15)

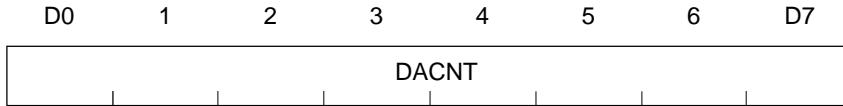
このビットに"1"をセットすると、PSRBで設定したカウント周期に基づいてカウンタ設定値よりアップカウントを開始します。

このビットに"0"をセットすると、TPDカウンタはカウンタ値を保持した状態で停止します。

15.2.8 DACNTカウンタ

DACNTカウンタ(DACNT)

<アドレス : H'0080 1808 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~7	DACNT	8ビットカウンタ値		

DACNTカウンタは8ビットのダウンカウンタで、カウンタのイネーブル後、PRSAによって生成されたカウンタクロックに同期してカウンタ設定値よりダウンカウント動作を開始します。DACNTカウンタの値はDA変換器のパラメータテーブルのアドレス値となります。

DACNTがアンダフロー(DACNT = H'00)すると、次のカウンタ周期でDACNTリロードレジスタの設定値をDACNTカウンタへリロードし、そこから再びダウンカウントを行います。

DACNTカウンタ初期値としてH'A0を、DACNTリロードレジスタにH'B0を設定した場合のDACNT動作を以下に示します。

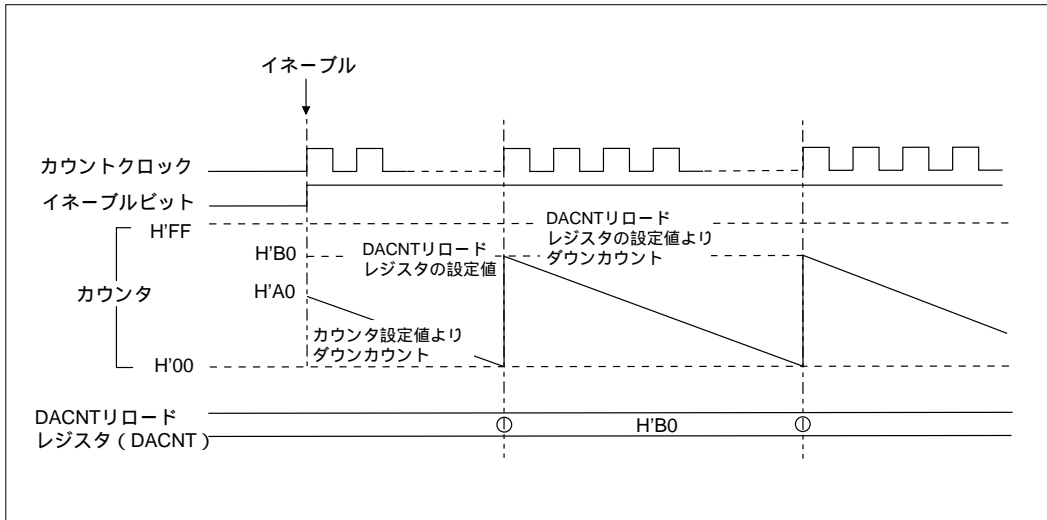
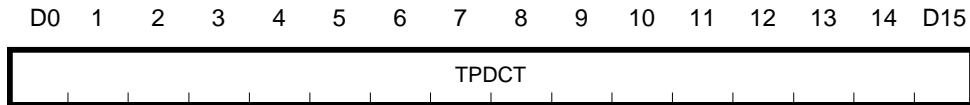


図15.2.9 DACNTカウンタ動作例

15.2.9 TPDカウンタ

TPDカウンタ(TPDCT)

<アドレス : H'0080 180E >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~15	TPDCT	16ビットカウンタ値		

TPDカウンタは16ビットのアップカウンタで、カウンタのイネーブル後、PRSBで生成されたカウントクロックに同期してカウンタ設定値からアップカウント動作を開始します。(フリーランカウンタ)。

TPDカウンタの動作は、TPD制御レジスタのTPDMDビットによって選択可能な2つのモードがあります。

以下にそれぞれのモードにおける動作例を示します。

(1) 通常モード

TPDカウンタは、フリーランのアップカウンタとして動作します。

TPDカウンタの初期設定値としてH'6000を設定した場合のイネーブル後のカウント動作例を以下に示します。

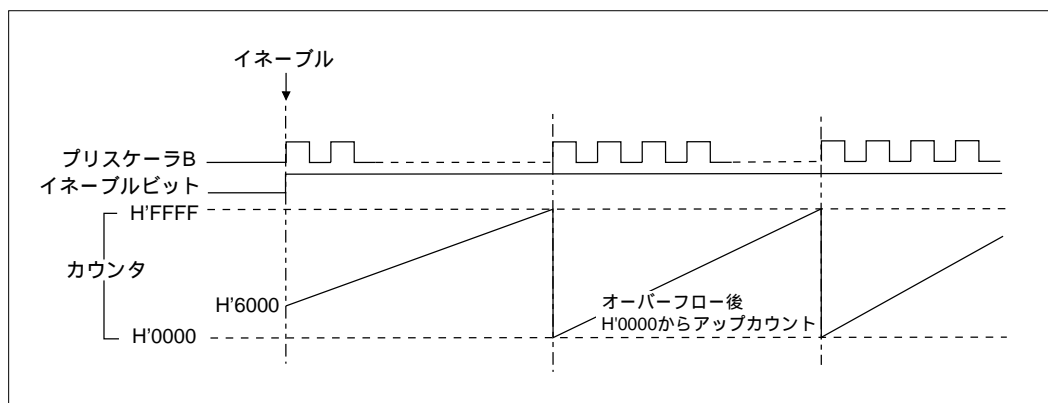


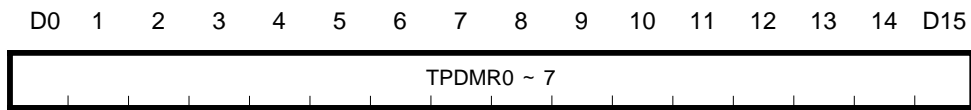
図15.2.10 TPD通常モード動作例

(2) PD センサ対応モード

詳細説明作成中。

15.2.10 TPD計測レジスタ

TPD計測レジスタ0(TPDMR0)	<アドレス : H'0080 1810 >
TPD計測レジスタ1(TPDMR1)	<アドレス : H'0080 1812 >
TPD計測レジスタ2(TPDMR2)	<アドレス : H'0080 1814 >
TPD計測レジスタ3(TPDMR3)	<アドレス : H'0080 1816 >
TPD計測レジスタ4(TPDMR4)	<アドレス : H'0080 1818 >
TPD計測レジスタ5(TPDMR5)	<アドレス : H'0080 181A >
TPD計測レジスタ6(TPDMR6)	<アドレス : H'0080 181C >
TPD計測レジスタ7(TPDMR7)	<アドレス : H'0080 181E >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0 ~ 15	TPDMR0 ~ 7	16ビット計測値		

TPD計測レジスタ0、2、4、6は、対応する端子にイベント入力があった場合に、TPDカウンタ値を計測値として取り込みます。

TPD計測レジスタ1、3、5、7は、対応する端子にイベント入力があった場合に、TPD計測レジスタ0、2、4、6の値を計測値として取り込みます。

注 . TPD制御レジスタのTPDTENビットに"0"がセットされカウント禁止の状態であっても、イベント入力が発生すれば計測動作を行います。

以下にTPD計測入力の動作例を示します。

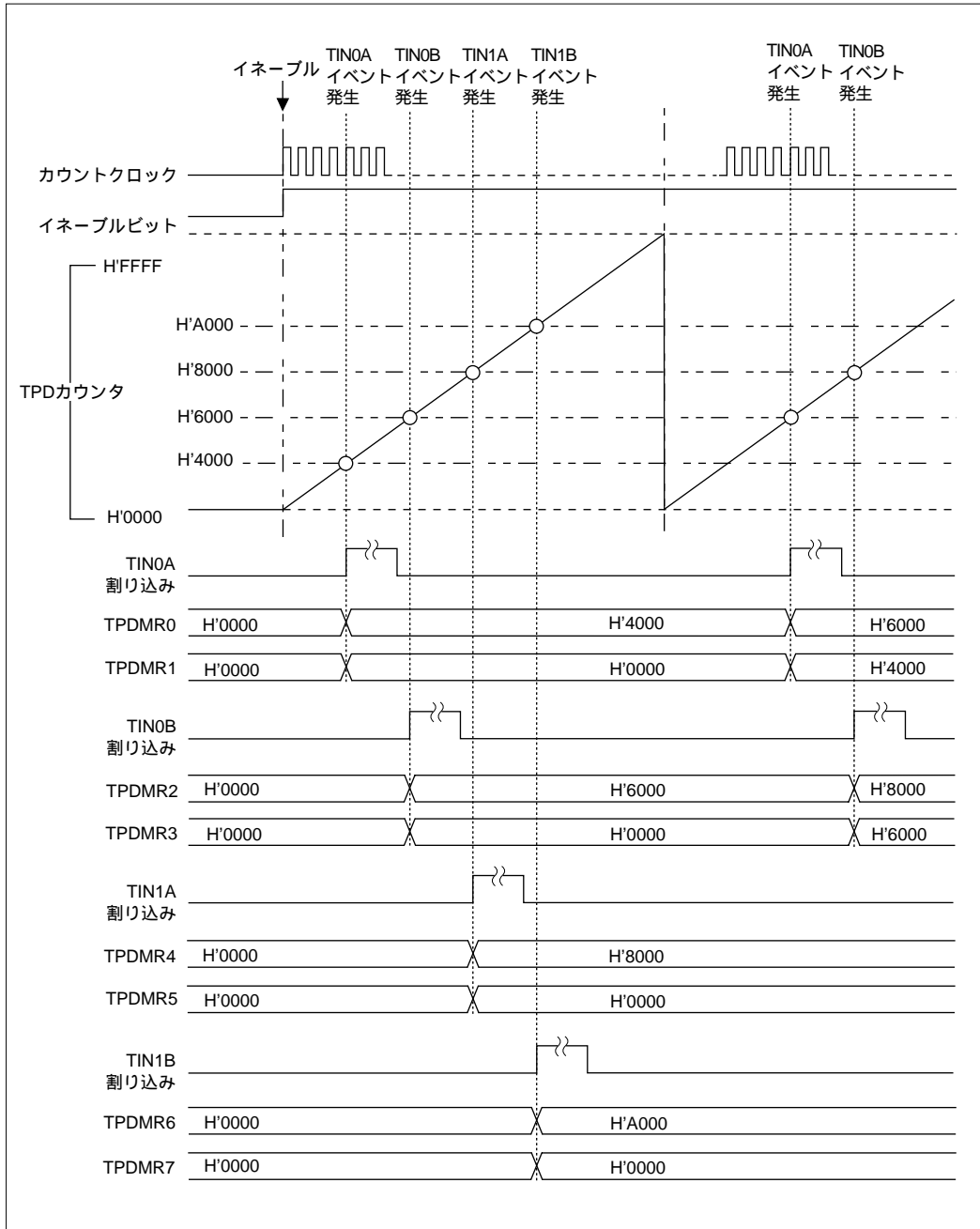


図15.2.11 TPD計測入力動作例

15.2.11 PD演算割り込み制御レジスタ

PD演算割り込み制御レジスタ(PDICR)

<アドレス : H'0080 1830 >

D0	1	2	3	4	5	6	D7
APCM1IM	SER1IM	PCM1IM	ACM1IM	APCM0IM	SER0IM	PCM0IM	ACM0IM

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	APCM1IM	0 : 割り込み禁止		
1	SER1IM	1 : 割り込み許可		
2	PCM1IM			
3	ACM1IM			
4	APCM0IM			
5	SER0IM			
6	PCM0IM			
7	ACM0IM			

PD演算対応割り込みの許可/禁止を制御するためのレジスタです。

"1"をセットしたビットではPD割り込みステータスレジスタの対応する割り込みが許可されます。

15.2.12 PD演算割り込みステータスレジスタ

PD演算割り込みステータスレジスタ(PDIST)

<アドレス : H'0080 1831 >

D8	9	10	11	12	13	14	D15
APCM1IS	SER1IS	PCM1IS	ACM1IS	APCM0IS	SER0IS	PCM0IS	ACM0IS

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	APCM1IS	0 : 割り込み要求なし		
9	SER1IS	1 : 割り込み要求あり		
10	PCM1IS			
11	ACM1IS			
12	APCM0IS			
13	SER0IS			
14	PCM0IS			
15	ACM0IS			

W = : "0"書き込み有効。"1"書き込み時は前の値を保持します。

PD演算割り込みを使用する場合は、このレジスタでどの要求があったのかを知ることができます。

(1) APCMiIS

ABDiの値とABDiコンペアレジスタの設定値が一致し、かつPITCHiの値とPITCHiコンペアレジスタの設定値が一致した場合に"1"がセットされます。

クリアは"0"の書き込みで行います。

(2) SERiIS

Sエラーが発生した場合に"1"がセットされます。

Sエラーについての詳細説明は作成中。

(3) PCMiIS

PITCHiの値とPITCHiコンペアレジスタの設定値が一致した場合に"1"がセットされます。

PITCHコンペアについての詳細は、PITCHiコンペアレジスタの項をご覧ください。

クリアは"0"の書き込みで行います。

(4) ACMiIS

ABDiの値とABDiコンペアレジスタの設定値が一致したば場合に"1"がセットされます。

ABDコンペアについての詳細は、ABDiコンペアレジスタの項をご覧ください。

クリアは"0"の書き込みで行います。

注 . 上記(1)および(4)でのABDiコンペアマッチ判定では、マスク機能を使用することができます。詳細についてはABDマスクレジスタの項をご覧ください。

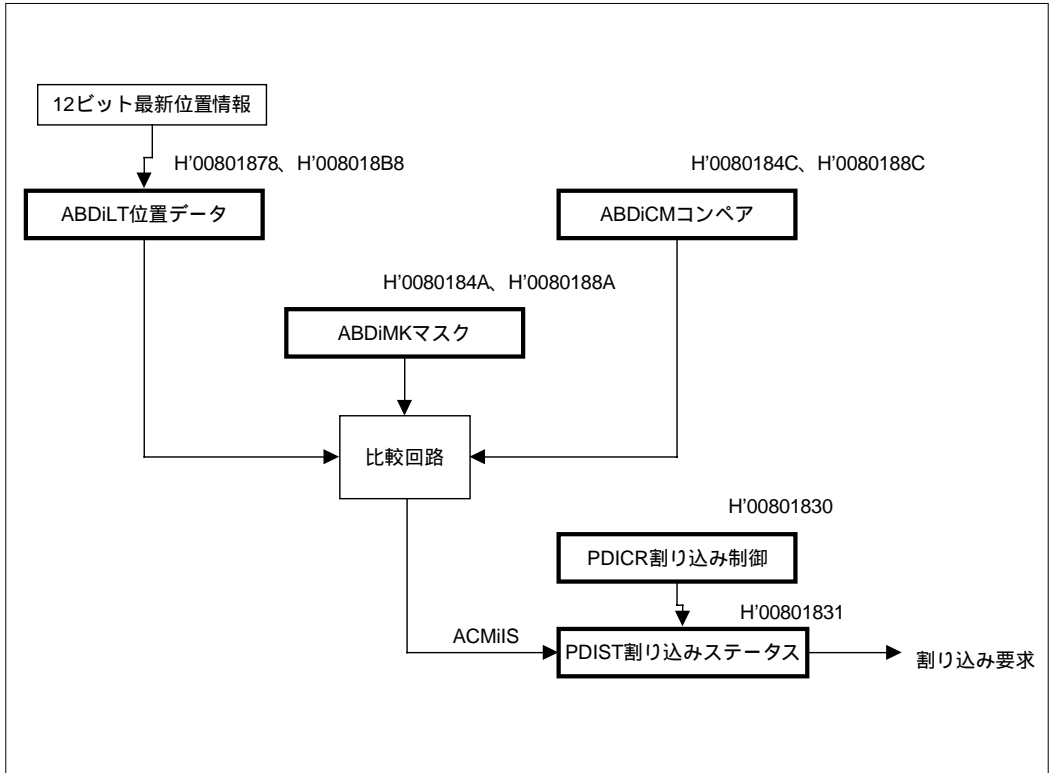


図15.2.12 ACMIIS割り込み条件

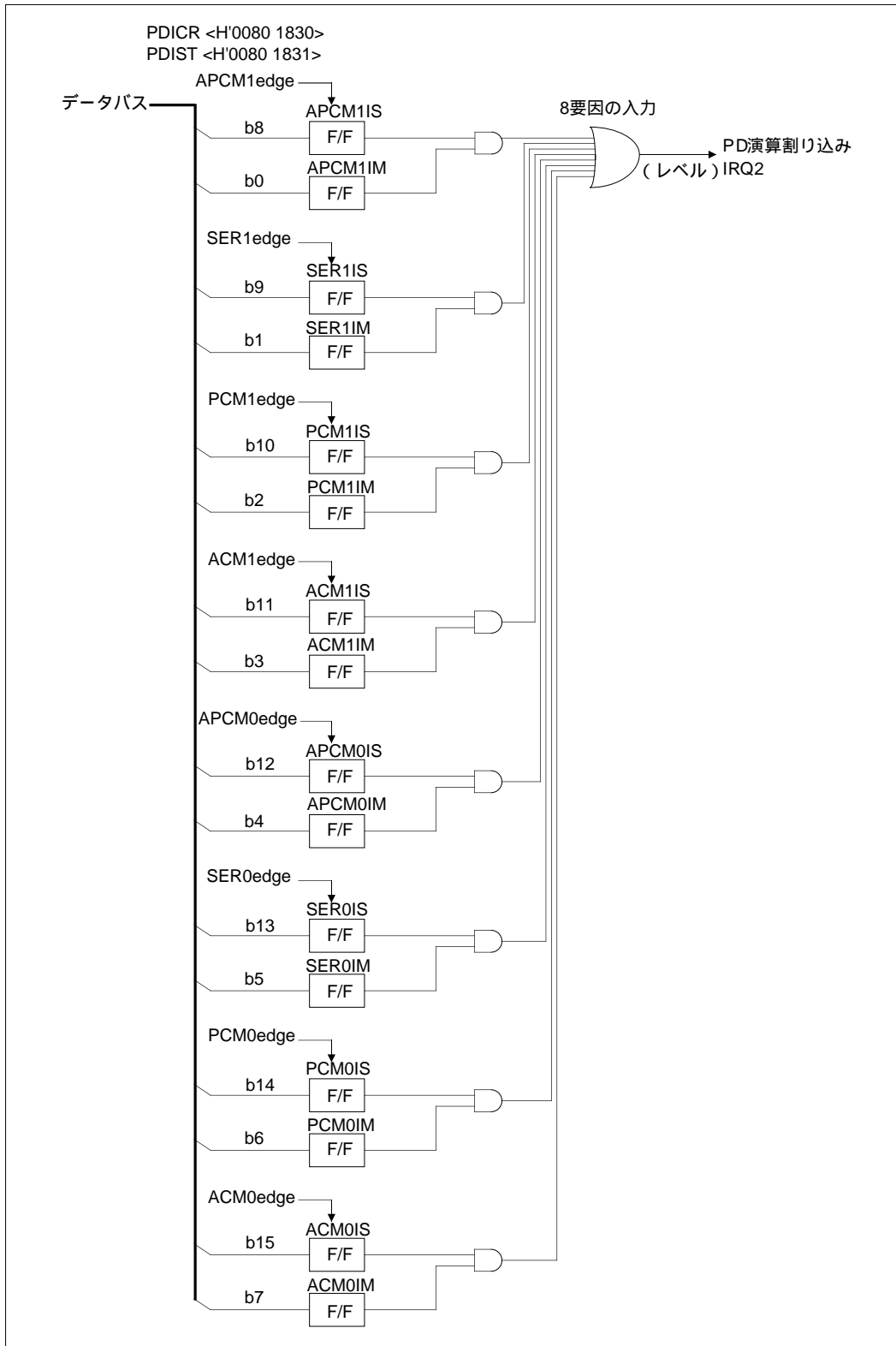


図15.2.13 PD回路演算終了割り込みブロック図

15.2.13 位置検出精度選択レジスタ

位置検出精度レジスタ(PDASR)

< アドレス : H'0080 1832 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~7	PDA (位置検出精度選択)	2'b00 : 10ビット精度 2'b01 : 11ビット精度 2'b10 : 12ビット精度 2'b11 : 使用禁止		

このレジスタは、PDセンサと組み合わせて使用するときを使うレジスタです。

PDAビットによって位置検出精度を選択します。選択した精度によってプリスケアラAおよびプリスケアラBへの設定値は決まります。

以下にその設定値とD-A変換によって生成されるSin波の関係を示します。

fcpu=40MHz時

Sin波	D-A変換用アドレス カウント周波数	D-A変換データテーブル 使用範囲	ベースカウント範囲 (PRS=H'00)	分解能
19.5KHz	5.0MHz(PRS=H'03)	H'00 ~ H'FF(256データ)	H'0000 ~ H'03FF	10ビット
9.77KHz	2.5MHz(PRS=H'07)	H'00 ~ H'FF(256データ)	H'0000 ~ H'07FF	11ビット
4.88KHz	1.25MHz(PRS=H'0F)	H'00 ~ H'FF(256データ)	H'0000 ~ H'0FFF	12ビット

fcpu=32MHz時

Sin波	D-A変換用アドレス カウント周波数	D-A変換データテーブル 使用範囲	ベースカウント範囲 (PRS=H'00)	分解能
15.6KHz	4.0MHz(PRS=H'03)	H'00 ~ H'FF(256データ)	H'0000 ~ H'03FF	10ビット
7.81KHz	2.0MHz(PRS=H'07)	H'00 ~ H'FF(256データ)	H'0000 ~ H'07FF	11ビット
3.91KHz	1.0MHz(PRS=H'0F)	H'00 ~ H'FF(256データ)	H'0000 ~ H'0FFF	12ビット

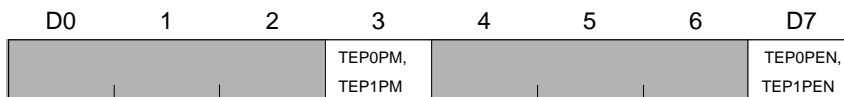
15.2.14 TEP制御レジスタ

TEP0P制御レジスタ(TEP0PCR)

<アドレス : H'0080 1842 >

TEP1P制御レジスタ(TEP1PCR)

<アドレス : H'0080 1882 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	TEP0PM, TEP1PM (動作モード)	0 : イベントカウントモード 1 : PDセンサ対応モード		
4~6	何も配置されていません		0	-
7	TEP0PEN, TEP1PEN (カウントイネーブル)	0 : カウント禁止 1 : カウント許可		

このレジスタは、TEPiPカウンタの動作モード/イネーブルを制御するためのレジスタです。

(1) TEPiPM ビット

このビットを"0"にセットすると、TEPiPカウンタは対応するTINイベント入力をカウントソースとするイベントカウンタ(アップカウンタ)として動作します。

このビットに"1"をセットすると、TEPiPカウンタはPDセンサ対応として動作します。

注 . TEPiPカウンタ動作中はこのビットの書き換えは禁止です。

(2) TEPiPEN ビット

このビットに"1"をセットすると、TEPiPカウンタのカウントが許可されます。イベントカウンタモード時は、TINイベント入力に同期して、PDセンサ対応モード時はプリスケアラ(PRS0C, PRS1C)で生成されたクロックに同期して、カウンタ設定値からカウントアップ動作を行います。

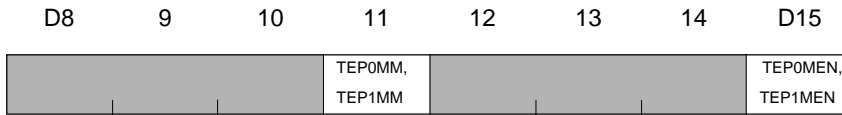
このビットに"0"をセットすると、TEPiPカウンタはカウンタ値を保持した状態で停止します。

TEP0M制御レジスタ(TEP0MCR)

<アドレス : H'0080 1843 >

TEP1M制御レジスタ(TEP1MCR)

<アドレス : H'0080 1883 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	TEP0MM, TEP1MM (動作モード)	0 : イベントカウントモード 1 : PDセンサ対応モード		
12~14	何も配置されていません		0	-
15	TEP0MEN, TEP1MEN (カウントイネーブル)	0 : カウント禁止 1 : カウント許可		

このレジスタは、TEPiMカウンタの動作モード/イネーブルを制御するためのレジスタです。

(1) TEPiMM ビット

このビットを"0"にセットすると、TEPiMカウンタは対応するTINイベント入力をカウントソースとするイベントカウンタ(アップカウンタ)として動作します。

このビットに"1"をセットすると、TEPiMカウンタはPDセンサ対応として動作します。

注 . TEPiMカウンタ動作中はこのビットの書き換えは禁止です。

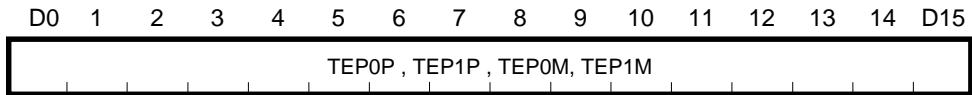
(2) TEPiMEN ビット

このビットに"1"をセットすると、TEPiMカウンタのカウントが許可されます。イベントカウンタモード時は、TINイベント入力に同期して、PDセンサ対応モード時はプリスケアラ(PRS0C, PRS1C)で生成されたクロックに同期して、カウンタ設定値からカウントアップ動作を行います。

このビットに"0"をセットすると、TEPiMカウンタはカウンタ値を保持した状態で停止します。

15.2.15 TEPカウンタ

TEP0P カウンタ (TEP0PCT)	< アドレス : H'0080 1844 >
TEP1P カウンタ (TEP1PCT)	< アドレス : H'0080 1884 >
TEP0M カウンタ (TEP0MCT)	< アドレス : H'0080 1846 >
TEP1M カウンタ (TEP1MCT)	< アドレス : H'0080 1886 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~15	TEP0P TEP1P TEP0M TEP1M	16ビットカウンタ値		

TEPiP/TEPiMカウンタは16ビットのアップカウンタです。

TEPiP/TEPiMカウンタの動作は、TEPiP/TEPiM制御レジスタのTEPiPEN/TEPiMENビットによって選択可能な2つの動作モードがあります。以下にそれぞれのモードにおける動作例を示します。

(1) イベントカウントモード

イベントカウントモードは、外部から入力された信号(TIN0A, TIN0B, TIN1A, TIN1B)をクロック源として、カウンタを動作させるモードです。

外部から入力された信号(TIN0A, TIN0B, TIN1A, TIN1B)の立ち上がり、立ち下りのエッジを検出し、内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(カウントイネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウント設定値からアップカウントを開始します。

また、カウンタのオーバフローで割り込みを発生することができます。

カウンタを停止する場合は、カウントイネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

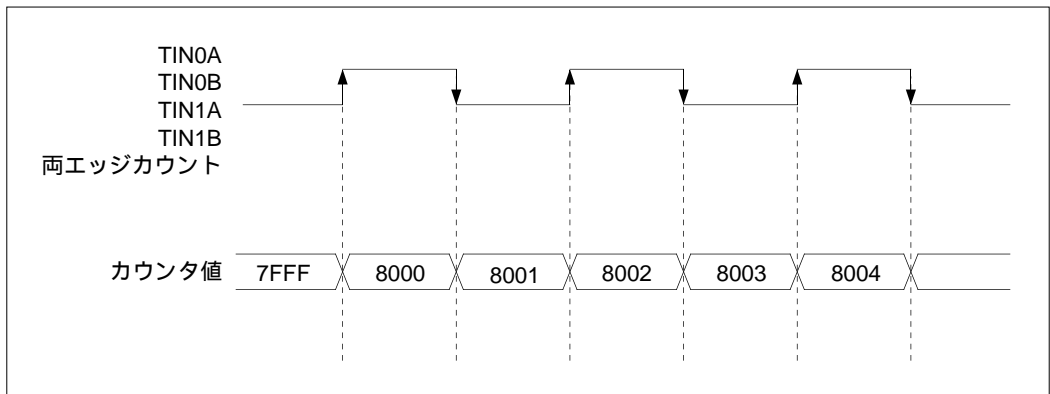


図15.2.14 TEP0P, TEP1P, TEP0M, TEP1M イベントカウントモード(基本動作)

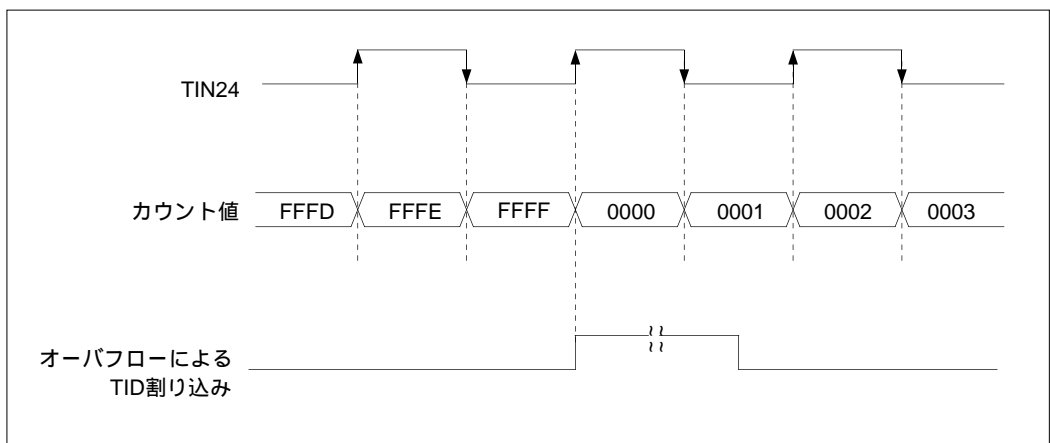


図15.2.15 TEP0P, TEP1P, TEP0M, TEP1M イベントカウントモード動作例(オーバフロー発生時)

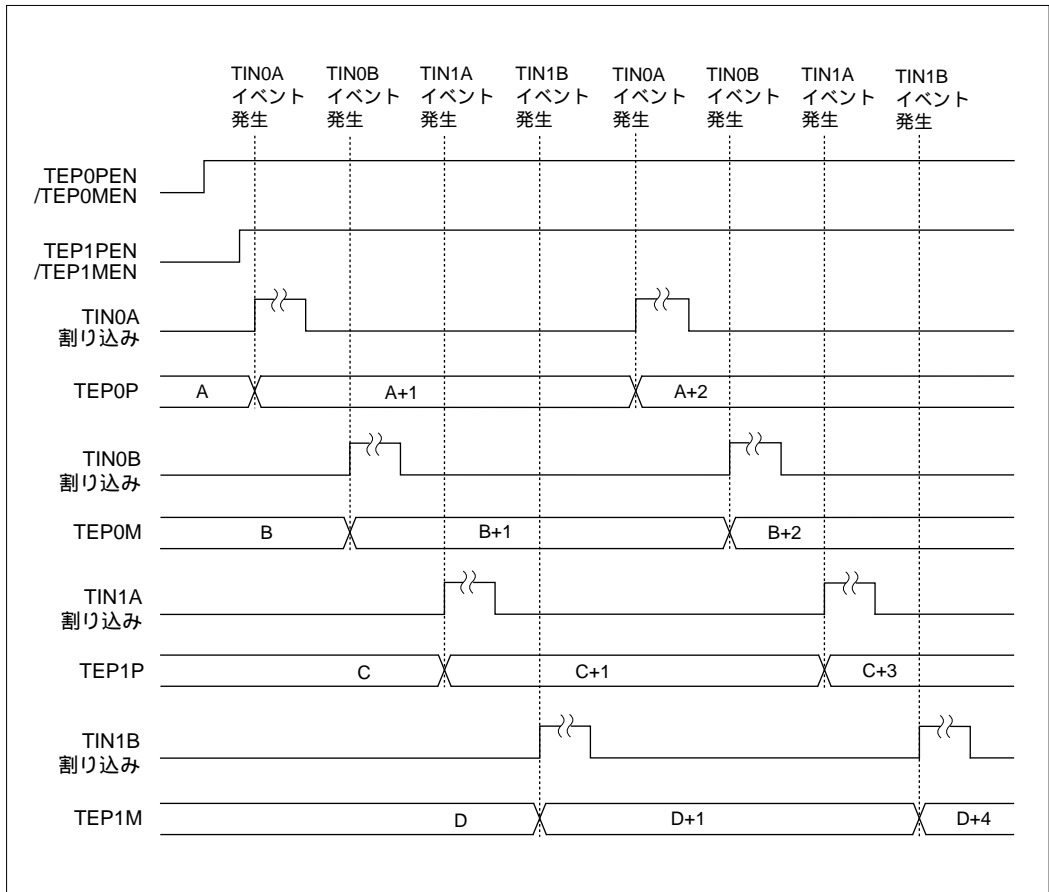


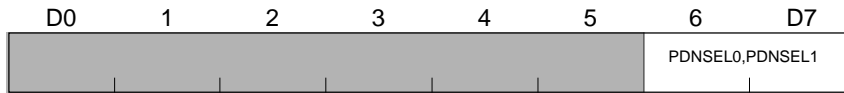
図15.2.16 イベントカウントモード

(2) PD センサ対応モード

詳細説明作成中。

15.2.16 PDデータ更新禁止イベント選択レジスタ

PD0 データ更新禁止イベント選択レジスタ (PDNSEL0R) <アドレス : H'0080 1848 >
 PD1 データ更新禁止イベント選択レジスタ (PDNSEL1R) <アドレス : H'0080 1888 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~7	PDNSEL0, PDNSEL1 (データ更新禁止イベント選択)	00 : 非選択 01 : TOM0_6タイマイイベント 10 : TIN16イベント入力 11 : 設定禁止		

PD演算ブロックは常に最新の計測値に基づいて演算を行っていますが、その結果を格納するレジスタのデータ更新についてはソフトウェアによって制御することが可能です。このレジスタでは、データ更新を禁止にするイベントを選択します。これによって、イベント発生時のデータを、更新を再度許可させるまで保持させることができます。データ更新の許可はソフトウェアによって、直接PDiデータ更新制御レジスタを設定することによって行います。

(1) 非選択 (PDNSELi = H'00)

データ更新の許可/禁止をすべてソフトウェアで行う場合に選択します。

(2) TOM0_6 タイマイイベント (PDNSELi = H'01)

TOM0_6のタイマイイベントに同期してデータ更新を禁止します。

(3) TIN16 イベント入力 (PDNSELi = H'10)

TIN16イベント入力に同期してデータ更新を禁止にします。

(4) 設定禁止 (PDNSELi = H'11)

この設定は使用禁止です。

15.2.17 PDデータ更新制御レジスタ

PD0データ更新制御レジスタ(PDNCNT0R)

<アドレス: H'0080 1849 >

PD1データ更新制御レジスタ(PDNCNT1R)

<アドレス: H'0080 1889 >



<リセット時: H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	PDNCNT0, PDNCNT1 (データ更新イネーブル)	0: データ更新許可 1: データ更新禁止		

PD演算結果を格納するレジスタのデータ更新を制御するレジスタです。

【セット条件】

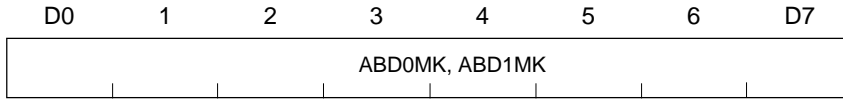
ソフトウェアによって"1"を書き込むことでセットできます。これはPDiデータ更新イベント選択レジスタによらず常に可能です。

PDiデータ更新禁止イベント選択レジスタでTOM0_6タイマイイベントを選択した場合は、TOM0_6のタイマイイベントによって"1"にセットされます。このタイマイイベントがソフトウェアによるPDNCNTiビット"0"クリアと同時に起こった場合は、タイマイイベントに"1"のセットが優先します。

Diデータ更新禁止イベント選択レジスタで外部入力を選択した場合は、外部入力イベントによって"1"にセットされます。この外部入力イベントがソフトウェアによるPDNCNTiビット"0"クリアと同時に起こった場合は、外部入力イベントによる"1"のセットが優先します。

15.2.18 ABDマスクレジスタ

ABD0 マスクレジスタ (ABD0MK) <アドレス : H'0080 184A >
 ABD1 マスクレジスタ (ABD1MK) <アドレス : H'0080 188A >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	ABD0MK, ABD1MK (ABDコンペアマッチマスク)	0 : マスク 1 : コンペア		

ABDiLTレジスタの値とABDiコンペアレジスタの値とのコンペアマッチを取るとき、比較結果の下位ビットについてはこのレジスタを使ってマスクをすることが可能です。"0"にセットされたビットに対応する比較結果は"Don't care"として扱います。

以下にABDマスクレジスタ、ABDレジスタ、ABDコンペアレジスタのビット間の関係を示します。

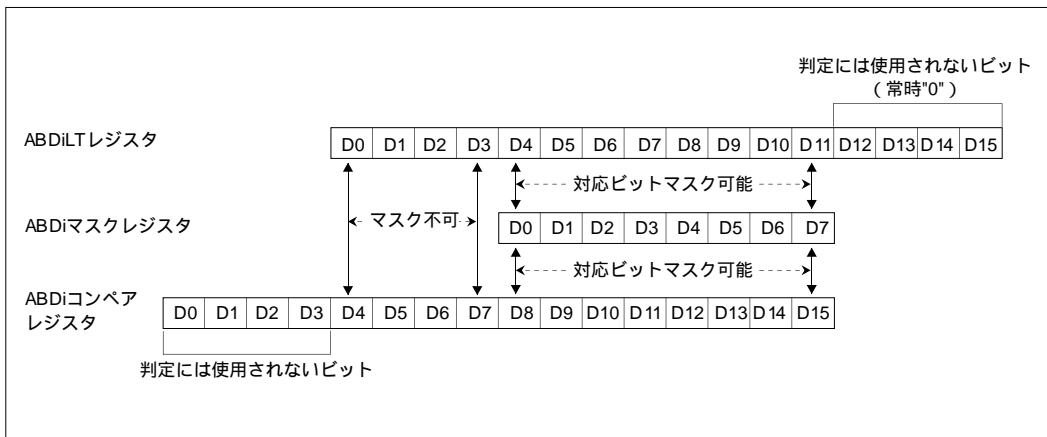
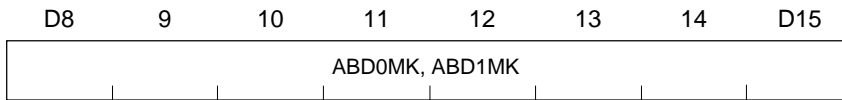


図15.2.17 コンペアマッチをとる時のデータフォーマット

15.2.19 Sエラー検出範囲選択レジスタ

Sエラー0検出範囲選択レジスタ (SNEW0MK) <アドレス: H'0080 184B >
 Sエラー1検出範囲選択レジスタ (SNEW1MK) <アドレス: H'0080 188B >



<リセット時: H'00 >

D	ビット名	機能	R	W
8~15	SNEW0MK	設定		
	SNEW1MK	検出範囲(注)		
	(Sエラー検出範囲選択)	b'00000000 : SS 256, SS -257		
		b'10000000 : SS 128, SS -129		
		b'11000000 : SS 64, SS -65		
		b'11100000 : SS 32, SS -33		
		b'11110000 : SS 16, SS -17		
		b'11111000 : SS 8, SS -9		
		b'11111100 : SS 4, SS -5		
		b'11111110 : SS 2, SS -3		
		b'11111111 : SS 1, SS -2		

注 . 検出範囲はSSLTレジスタのD11ビットを最下位ビットとみなして示したものです。

Sエラー検出範囲をこのレジスタによって設定します。

Sエラーの定義について

詳細説明作成中。

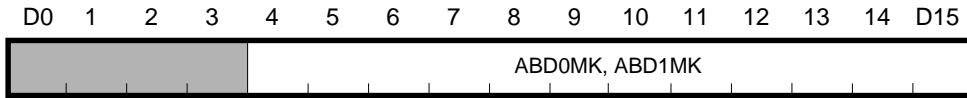
15.2.20 ABDコンペアレジスタ

ABD0 コンペアレジスタ (ABD0CM)

<アドレス : H'0080 184C >

ABD1 コンペアレジスタ (ABD1CM)

<アドレス : H'0080 188C >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~5	ABD0CM, ABD1CM	12ビットコンペア値		

このレジスタにセットされた値と、ABDiLTレジスタの値を比較し、一致していればABDコンペアマッチ割り込み要求をセットします。その際、下位ビットについては、ABDiマスクレジスタによって"Don't care"とすることが可能です。

- 注1 . ABDiCMの設定において、ABDiマスクレジスタで"0"にセットしたビットに対応するビットには必ず"0"をセットするようにしてください。
- 注2 . ABDのコンペアマッチ処理は常に最新の計測値に基づいて行われ、PDiデータ更新制御レジスタの影響は受けません。
- 注3 . ABDiマスクレジスタ、ABDiLTレジスタとのビット間の関係に注意してください(詳細はABDマスクレジスタをご覧ください)。

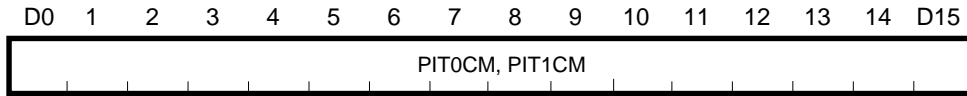
15.2.21 PITCHコンペアレジスタ

PITCH0 コンペアレジスタ (PITCH0CMR)

< アドレス : H'0080 184E >

PITCH1 コンペアレジスタ (PITCH1CMR)

< アドレス : H'0080 188E >



< リセット時 : H'0000 >

D	ビット名	機能	R	W
0~15	PIT0CM, PIT1CM	16ビットコンペア値		

このレジスタにセットされた値と、PITCHiカウンタレジスタの値を比較し、一致していればPITCHコンペアマッチ割り込み要求をセットします。

注 . PITCHのコンペアマッチ処理は常に最新の計測値に基づいて行われ、PDiデータ更新制御レジスタの影響はありません。

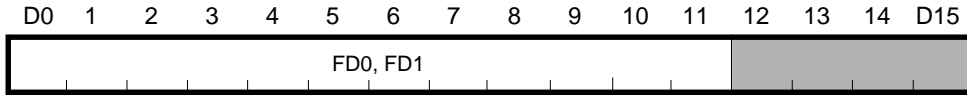
15.2.22 FDLTレジスタ

FDLT0レジスタ(FDLT0)

<アドレス : H'0080 1872 >

FDLT1レジスタ(FDLT1)

<アドレス : H'0080 18B2 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~11	FD0, FD1	12ビットFD値		-
12~15	何も配置されていません		0	-

このレジスタには位置の変化分に相当する値が格納されます。

注 . このレジスタを読み出す場合は、符号付きハーフワードデータとしてアクセスしてください。

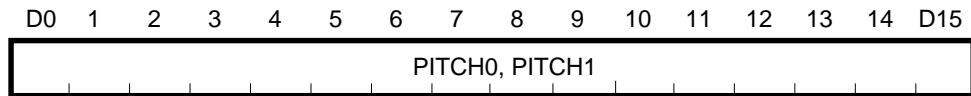
15.2.23 PITCHLTレジスタ

PITCHLT0レジスタ(PITCHLT0)

<アドレス : H'0080 1874 >

PITCHLT1レジスタ(PITCHLT1)

<アドレス : H'0080 18B4 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~15	PITCH0, PITCH1	16ビットPITCHカウンタ値		

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 予測演算を行う場合は、PITCHLTレジスタとABDLTレジスタとをLD命令を使用してワードデータとして読み出してください。

このレジスタにはPITCHカウンタの値が格納されます。

PITCH カウンタ

PITCH_iカウンタは、最新のABDiLTレジスタの上位2ビットと、前回のABDiLTレジスタの上位2ビットとから判定してUp/Down動作を行うカウンタです。Up/Downの判定は以下の通りです。

New	Old	カウンタ値
{ AB0、AB1 }	{ AB0、AB1 }	
LL	HH	+1
HH	LL	-1

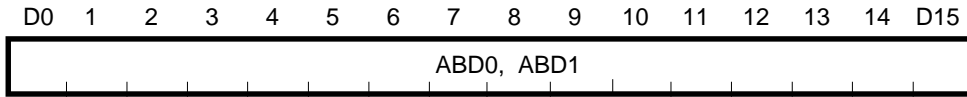
15.2.24 ABDLTレジスタ

ABDLT0レジスタ(ABDLT0)

<アドレス : H'0080 1876 >

ABDLT1レジスタ(ABDLT1)

<アドレス : H'0080 18B6 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~15	ABD0, ABD1	12ビットABD値		-

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 予測演算を行う場合は、PITCHLTレジスタとABDLTレジスタとをLD命令を使用してワードデータとして読み出してください。

このレジスタには計測された位置情報がD0～D11ビットに格納されます。D12～D15ビットは常に"0"が読み出されます。

なお、11ビット精度選択時はD11～D15ビットから、10ビット精度選択時はD10～D15ビットから常に"0"が読み出されます。

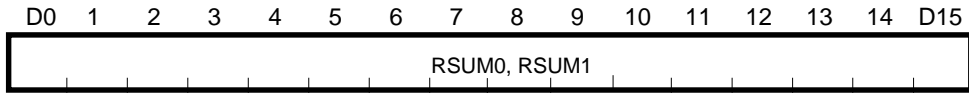
15.2.25 RSUMLTレジスタ

RSUMLT0レジスタ(RSUMLT0)

<アドレス : H'0080 1878 >

RSUMLT1レジスタ(RSUMLT1)

<アドレス : H'0080 18B8 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~15	RSUM0, RSUM1	16ビットの補正係数		-

注1 . このレジスタは、符号付きハーフワードデータとしてアクセスしてください。

このレジスタは、予測演算のための補正係数が格納されています。
このレジスタの値を用いて、予測位置Iは次の式で計算されます。

$$I = \{ \text{ABDLT}, \text{ABDLT} \} + (\text{FDLT} \times \text{RSUMLT}) T$$

注1 . T=H'1000となっています。

注2 . PITCHLレジスタとABDLTレジスタとをLD命令を使用してワードデータとしてアクセスしてください。

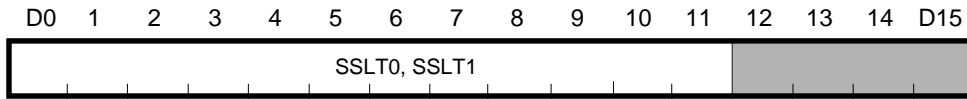
15.2.26 SSLTレジスタ

SSLT0レジスタ(SSLT0)

<アドレス : H'0080 187A >

SSLT1レジスタ(SSLT1)

<アドレス : H'0080 18BA >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~11	SSLT0, SSLT1	12ビットSSLT値		-
12~15	何も配置されていません		0	-

注 . このレジスタは、必ずハーフワードでアクセスしてください。

このレジスタには、Sエラー判定のために使用されるSSLTデータの最新値が格納されています。下位4ビットは"0"が読み出されます。

15.3 PDセンサ対応初期設定

PDセンサ対応としてPDモジュールを使用する場合は、次の手順で初期設定を行います。

(1) 入出力ポート動作モードレジスタの設定

TINA0端子、TENB0端子、TINA1端子、およびTENB1端子は、それぞれ入出力ポートとのダブルファンクションとなっていますので端子機能の設定を行ってください。

(2) D-A変換器、パラメータテーブル、D-A制御レジスタの設定

Sin波生成のためのD-A変換器のパラメータテーブル(0~255)のデータをDA0データレジスタ0~255へ設定し、D-A変換器のD-A制御レジスタでDA0を連続モード/出力許可に設定します。

注1. D-A変換器パラメータテーブルのすべて(0~255)を使用してSin波を定義してください。

注2. D-A制御レジスタの設定については、第16章「D-A変換器」をご覧ください。

(3) 位置検出精度選択レジスタの設定

位置検出精度を10ビット~12ビットから選択します。

(4) プリスケーラA/プリスケーラBの設定

プリスケーラAでは、DA0データレジスタへのアドレスのカウンタ周期を設定しています。この設定は(3)で選択した位置検出精度によって以下の値を設定してください。

10ビット精度選択時：H'03

11ビット精度選択時：H'07

12ビット精度選択時：H'0F

各設定でのSin波の周期 F_{sin} は次式で与えられます。

$$F_{sin} = F_{cpu} \{ 2 \times (1 + PRSA) \times 256 \} \quad (F_{cpu} : \text{CPUクロック周波数})$$

プリスケーラBでは、計測カウンタTPDCTのカウンタ周期を設定します。このレジスタへは必ずH'00を設定してください。このときTPDCTのカウンタ周期は $F_{cpu}/2$ となります。

(5) DACNTリロードレジスタの設定

Sin波生成のためのDA0データレジスタ0~255をすべて使用する必要があるため、このレジスタへはH'FFを設定します。DACNTがアンダフローするたびにこのレジスタ値がリロードされ、そこから再びダウンカウントされます。

(6) DACNTカウンタレジスタの設定

DACNTカウンタの初期設定値として、H'FFを設定してください。これによってDA0出力端子からDA0データレジスタ255に設定された値に対応したアナログ電圧値が出力されます。

(7) PD 関連各種レジスタ設定

プリスケアラ 0C、プリスケアラ 1C の設定

このレジスタへは必ずH'00を書き込んでください。

PD0 データ更新禁止イベント選択レジスタ、PD1 データ更新禁止イベント選択レジスタへの設定
データ更新禁止イベントを設定します。

PD0 データ更新制御レジスタ、PD1 データ更新制御レジスタの設定
データの更新の許可/禁止を設定します。

ABD0 マスクレジスタ、ABD1 マスクレジスタの設定
ABDコンペアマッチ機能を使用する場合、マスクするビットを設定します。

S エラー 0 検出範囲選択レジスタ、S エラー 1 検出範囲選択レジスタの設定
Sエラーの検出範囲を設定します。

ABD0 コンペアレジスタ、ABD1 コンペアレジスタの設定
ABDコンペアマッチを使用する場合、コンペア値を設定します。

PITCH0 コンペアレジスタ、PITCH1 コンペアレジスタの設定
PITCHコンペアマッチを使用する場合、コンペア値を設定します。

(8) 割り込みコントローラの設定

割り込みを使用する場合、割り込みの優先順位を設定します。

(9) TIN 割り込み制御レジスタ、PD 割り込み制御レジスタの設定

TIN割り込み制御レジスタでTIN関連の割り込み許可/禁止を設定します。
PD割り込み制御レジスタでPD演算関連の割り込み許可/禁止を設定します。

(10) DACNT 制御レジスタ、TPD 制御レジスタの設定

DACNT制御レジスタのDACNTENを許可に設定します。これによってDACNTがダウン
カウントを開始しSin波が出力されます。

TPD制御レジスタにH'11を設定し、PDセンサ対応モードでカウントを許可します。

注．この2つのレジスタは、STH命令を使用して同時に設定してください。

(11) TEP0P 制御レジスタ、TEP0M 制御レジスタ、TEP1P 制御レジスタ、TEP1M 制御レジスタの設定

各レジスタにH'11を設定し、PDセンサ対応モードでカウントを許可します。

注．データテーブルは0～255すべてのデータを使用してSin波を定義してください。

(12) TIN 入力処理制御レジスタの設定

各TIN入力を立ち上がりエッジ検出に設定します。

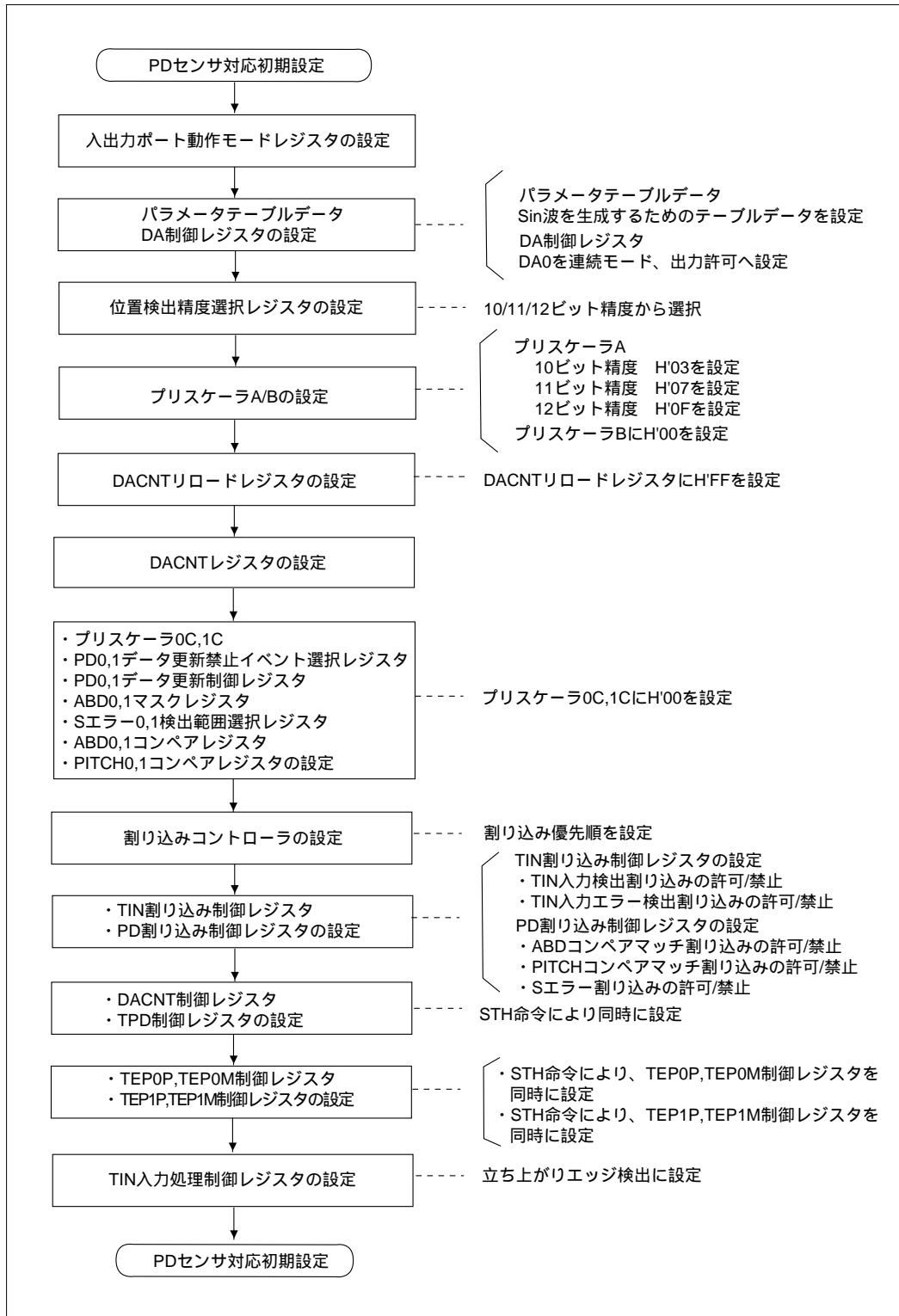


図15.3.1 PDセンサ対応初期設定フォロー

15.4 PDモジュール注意事項

PD演算処理は、PDiデータ更新制御レジスタの設定によらず常に最新の計測値に基づいて演算を行っています。従って、いったん更新禁止にした場合でも設定を変更すれば最新のイベント入力に基づいた演算結果を読み出すことが可能です。更新禁止期間中もイベント入力を取りこぼすことはありません。

予測演算処理を行う場合は、FDLTレジスタ、PITCHLTレジスタ、ABDLTレジスタ、およびRSUMLTレジスタの各レジスタを読み出す前にPDデータ更新を禁止してください。

第16章

D-A変換器

- 16.1 D-A変換器概要
- 16.2 D-A変換器関連レジスタ
- 16.3 D-A変換器機能説明
- 16.4 D-A変換器使用上の注意事項

16.1 D-A変換器概要

32172および32173は、8ビットのD-A変換器を2つ(D-A0変換器、D-A1変換器)内蔵しています。D-A変換には単一モードと連続モード(D-A0変換器のみ)があります。

単一モード：D-A変換レジスタ(DA0CNV, DA1CNV)の値に対応したアナログ値がDA0端子、DA1端子からそれぞれ出力されます。

連続モード：DA0データレジスタ($n=0 \sim 255$)設定した値を順次変換しアナログ値を出力します(連続モードはD-A0変換器のみで、D-A1変換器にはありません)。

表16.1.1にD-A変換器の概要を、図16.1.1、図16.1.2にD-A変換器のブロック図を、図16.1.3にD-A変換器の等価回路を示します。

表16.1.1 D-A変換器の概要

項目	内容
アナログ出力	2チャンネル
D-A変換方式	R-2R方式
分解能	8ビット
出力電圧	0 ~ VREF
変換モード	単一モード 連続モード (注)
パラメータテーブル	256バイトの出力用パラメータテーブル
変換速度	TBD

注. D-A0変換器のみ。D-A1変換器にはありません。

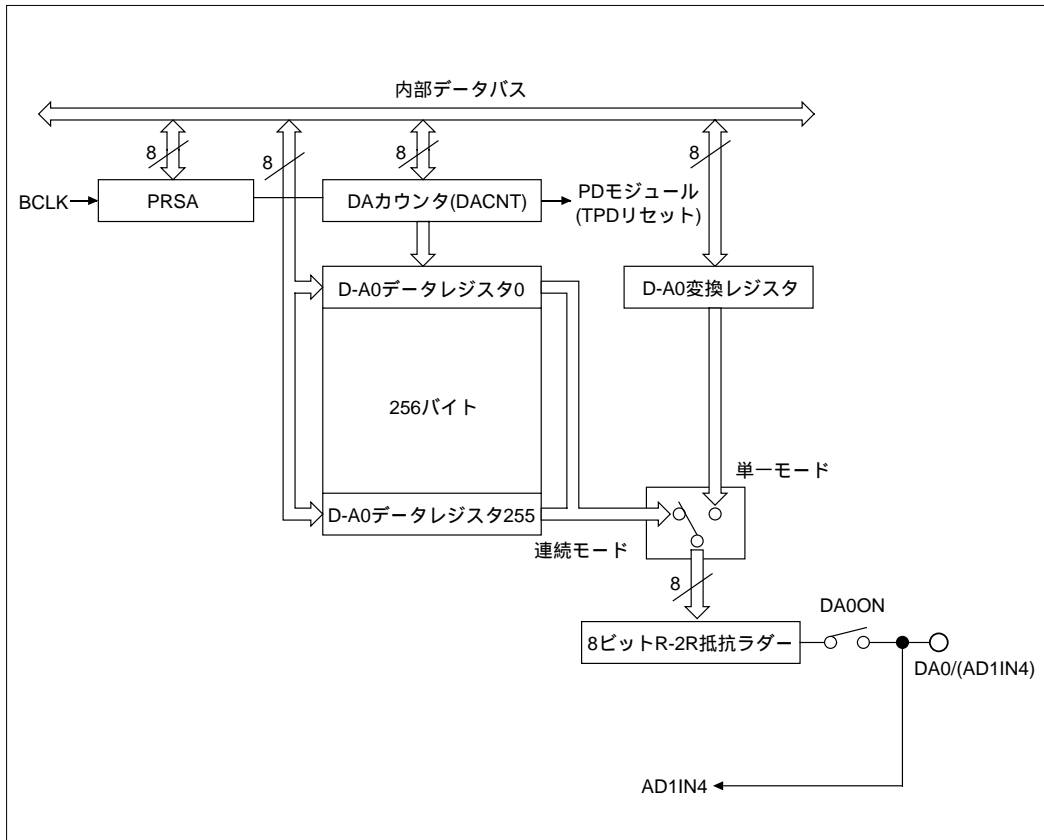


図16.1.1 D-A0変換器のブロック図

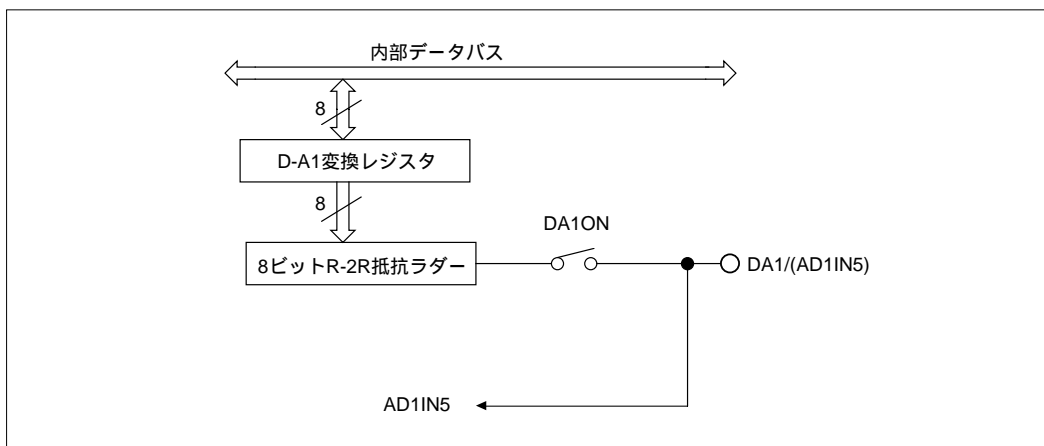


図16.1.2 D-A1変換器のブロック図

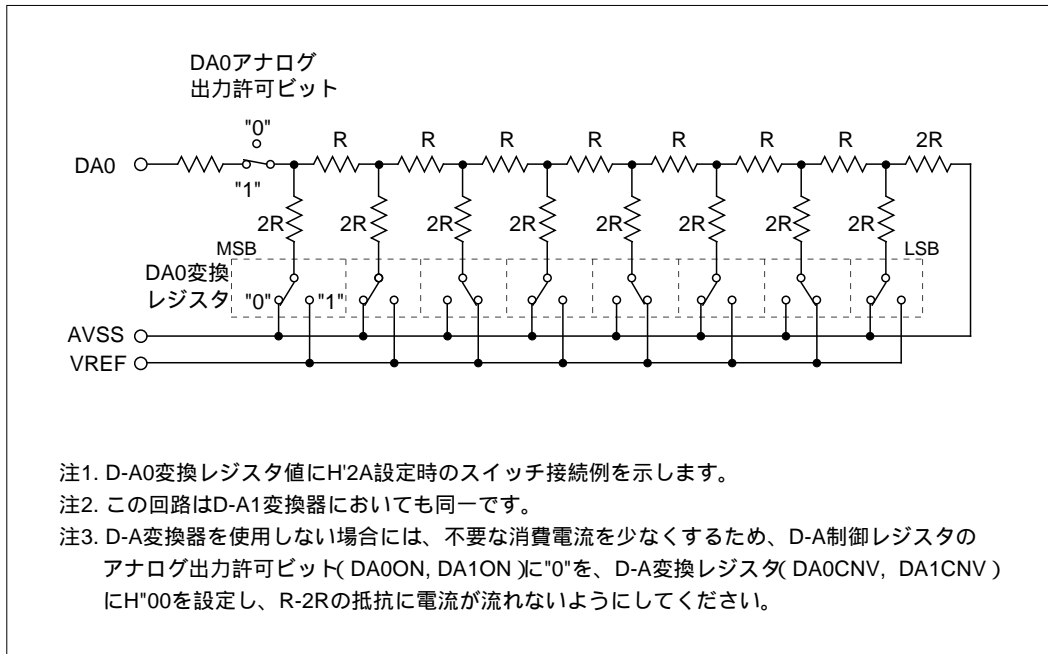


図16.1.3 D-A0変換器の等価回路図

16.2 D-A変換器関連レジスタ

D-A変換器関連レジスタマップを以下に示します。

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 1800	プリスケアラジスタA(PRSA)				
H'0080 1802	DACNTリロードレジスタ(DACNTRL)				
H'0080 1804					
H'0080 1806	DACNT制御レジスタ(DACNTCR)				
H'0080 1808	DACNTカウンタ(DACNT)				
↓					
H'0080 1C78	D-A0変換レジスタ (DA0CNV)				
H'0080 1C7A	D-A1変換レジスタ (DA1CNV)				
H'0080 1C7C	D-A制御レジスタ (DACR)				
↓					
H'0080 1D00	D-A0データレジスタ0 (DA0DT0)		D-A0データレジスタ1 (DA0DT1)		
H'0080 1D02	D-A0データレジスタ2 (DA0DT2)		D-A0データレジスタ3 (DA0DT3)		
H'0080 1D04	D-A0データレジスタ4 (DA0DT4)		D-A0データレジスタ5 (DA0DT5)		
H'0080 1D06	D-A0データレジスタ6 (DA0DT6)		D-A0データレジスタ7 (DA0DT7)		
H'0080 1D08	D-A0データレジスタ8 (DA0DT8)		D-A0データレジスタ9 (DA0DT9)		
H'0080 1D0A	D-A0データレジスタ10 (DA0DT10)		D-A0データレジスタ11 (DA0DT11)		
H'0080 1D0C	D-A0データレジスタ12 (DA0DT12)		D-A0データレジスタ13 (DA0DT13)		
H'0080 1D0E	D-A0データレジスタ14 (DA0DT14)		D-A0データレジスタ15 (DA0DT15)		
H'0080 1D10	D-A0データレジスタ16 (DA0DT16)		D-A0データレジスタ17 (DA0DT17)		
H'0080 1D12	D-A0データレジスタ18 (DA0DT18)		D-A0データレジスタ19 (DA0DT19)		
H'0080 1D14	D-A0データレジスタ20 (DA0DT20)		D-A0データレジスタ21 (DA0DT21)		
H'0080 1D16	D-A0データレジスタ22 (DA0DT22)		D-A0データレジスタ23 (DA0DT23)		
H'0080 1D18	D-A0データレジスタ24 (DA0DT24)		D-A0データレジスタ25 (DA0DT25)		
H'0080 1D1A	D-A0データレジスタ26 (DA0DT26)		D-A0データレジスタ27 (DA0DT27)		
H'0080 1D1C	D-A0データレジスタ28 (DA0DT28)		D-A0データレジスタ29 (DA0DT29)		
H'0080 1D1E	D-A0データレジスタ30 (DA0DT30)		D-A0データレジスタ31 (DA0DT31)		
H'0080 1D20	D-A0データレジスタ32 (DA0DT32)		D-A0データレジスタ33 (DA0DT33)		
H'0080 1D22	D-A0データレジスタ34 (DA0DT34)		D-A0データレジスタ35 (DA0DT35)		
H'0080 1D24	D-A0データレジスタ36 (DA0DT36)		D-A0データレジスタ37 (DA0DT37)		
H'0080 1D26	D-A0データレジスタ38 (DA0DT38)		D-A0データレジスタ39 (DA0DT39)		
H'0080 1D28	D-A0データレジスタ40 (DA0DT40)		D-A0データレジスタ41 (DA0DT41)		
H'0080 1D2A	D-A0データレジスタ42 (DA0DT42)		D-A0データレジスタ43 (DA0DT43)		
H'0080 1D2C	D-A0データレジスタ44 (DA0DT44)		D-A0データレジスタ45 (DA0DT45)		
H'0080 1D2E	D-A0データレジスタ46 (DA0DT46)		D-A0データレジスタ47 (DA0DT47)		
H'0080 1D30	D-A0データレジスタ48 (DA0DT48)		D-A0データレジスタ49 (DA0DT49)		
H'0080 1D32	D-A0データレジスタ50 (DA0DT50)		D-A0データレジスタ51 (DA0DT51)		
H'0080 1D34	D-A0データレジスタ52 (DA0DT52)		D-A0データレジスタ53 (DA0DT53)		
H'0080 1D36	D-A0データレジスタ54 (DA0DT54)		D-A0データレジスタ55 (DA0DT55)		
H'0080 1D38	D-A0データレジスタ56 (DA0DT56)		D-A0データレジスタ57 (DA0DT57)		
H'0080 1D3A	D-A0データレジスタ58 (DA0DT58)		D-A0データレジスタ59 (DA0DT59)		
H'0080 1D3C	D-A0データレジスタ60 (DA0DT60)		D-A0データレジスタ61 (DA0DT61)		
H'0080 1D3E	D-A0データレジスタ62 (DA0DT62)		D-A0データレジスタ63 (DA0DT63)		
H'0080 1D40	D-A0データレジスタ64 (DA0DT64)		D-A0データレジスタ65 (DA0DT65)		
H'0080 1D42	D-A0データレジスタ66 (DA0DT66)		D-A0データレジスタ67 (DA0DT67)		
H'0080 1D44	D-A0データレジスタ68 (DA0DT68)		D-A0データレジスタ69 (DA0DT69)		
H'0080 1D46	D-A0データレジスタ70 (DA0DT70)		D-A0データレジスタ71 (DA0DT71)		
H'0080 1D48	D-A0データレジスタ72 (DA0DT72)		D-A0データレジスタ73 (DA0DT73)		
H'0080 1D4A	D-A0データレジスタ74 (DA0DT74)		D-A0データレジスタ75 (DA0DT75)		
H'0080 1D4C	D-A0データレジスタ76 (DA0DT76)		D-A0データレジスタ77 (DA0DT77)		
H'0080 1D4E	D-A0データレジスタ78 (DA0DT78)		D-A0データレジスタ79 (DA0DT79)		

空き領域は予約領域です。

図16.2.1 SFR領域のレジスタマップ(1/3)

番地	D0	+0番地	D7 D8	+1番地	D15
H'0080 1D50		D-A0データレジスタ80 (DA0DT80)		D-A0データレジスタ81 (DA0DT81)	
H'0080 1D52		D-A0データレジスタ82 (DA0DT82)		D-A0データレジスタ83 (DA0DT83)	
H'0080 1D54		D-A0データレジスタ84 (DA0DT84)		D-A0データレジスタ85 (DA0DT85)	
H'0080 1D56		D-A0データレジスタ86 (DA0DT86)		D-A0データレジスタ87 (DA0DT87)	
H'0080 1D58		D-A0データレジスタ88 (DA0DT88)		D-A0データレジスタ89 (DA0DT89)	
H'0080 1D5A		D-A0データレジスタ90 (DA0DT90)		D-A0データレジスタ91 (DA0DT91)	
H'0080 1D5C		D-A0データレジスタ92 (DA0DT92)		D-A0データレジスタ93 (DA0DT93)	
H'0080 1D5E		D-A0データレジスタ94 (DA0DT94)		D-A0データレジスタ95 (DA0DT95)	
H'0080 1D60		D-A0データレジスタ96 (DA0DT96)		D-A0データレジスタ97 (DA0DT97)	
H'0080 1D62		D-A0データレジスタ98 (DA0DT98)		D-A0データレジスタ99 (DA0DT99)	
H'0080 1D64		D-A0データレジスタ100 (DA0DT100)		D-A0データレジスタ101 (DA0DT101)	
H'0080 1D66		D-A0データレジスタ102 (DA0DT102)		D-A0データレジスタ103 (DA0DT103)	
H'0080 1D68		D-A0データレジスタ104 (DA0DT104)		D-A0データレジスタ105 (DA0DT105)	
H'0080 1D6A		D-A0データレジスタ106 (DA0DT106)		D-A0データレジスタ107 (DA0DT107)	
H'0080 1D6C		D-A0データレジスタ108 (DA0DT108)		D-A0データレジスタ109 (DA0DT109)	
H'0080 1D6E		D-A0データレジスタ110 (DA0DT110)		D-A0データレジスタ111 (DA0DT111)	
H'0080 1D70		D-A0データレジスタ112 (DA0DT112)		D-A0データレジスタ113 (DA0DT113)	
H'0080 1D72		D-A0データレジスタ114 (DA0DT114)		D-A0データレジスタ115 (DA0DT115)	
H'0080 1D74		D-A0データレジスタ116 (DA0DT116)		D-A0データレジスタ117 (DA0DT117)	
H'0080 1D76		D-A0データレジスタ118 (DA0DT118)		D-A0データレジスタ119 (DA0DT119)	
H'0080 1D78		D-A0データレジスタ120 (DA0DT120)		D-A0データレジスタ121 (DA0DT121)	
H'0080 1D7A		D-A0データレジスタ122 (DA0DT122)		D-A0データレジスタ123 (DA0DT123)	
H'0080 1D7C		D-A0データレジスタ124 (DA0DT124)		D-A0データレジスタ125 (DA0DT125)	
H'0080 1D7E		D-A0データレジスタ126 (DA0DT126)		D-A0データレジスタ127 (DA0DT127)	
H'0080 1D80		D-A0データレジスタ128 (DA0DT128)		D-A0データレジスタ129 (DA0DT129)	
H'0080 1D82		D-A0データレジスタ130 (DA0DT130)		D-A0データレジスタ131 (DA0DT131)	
H'0080 1D84		D-A0データレジスタ132 (DA0DT132)		D-A0データレジスタ133 (DA0DT133)	
H'0080 1D86		D-A0データレジスタ134 (DA0DT134)		D-A0データレジスタ135 (DA0DT135)	
H'0080 1D88		D-A0データレジスタ136 (DA0DT136)		D-A0データレジスタ137 (DA0DT137)	
H'0080 1D8A		D-A0データレジスタ138 (DA0DT138)		D-A0データレジスタ139 (DA0DT139)	
H'0080 1D8C		D-A0データレジスタ140 (DA0DT140)		D-A0データレジスタ141 (DA0DT141)	
H'0080 1D8E		D-A0データレジスタ142 (DA0DT142)		D-A0データレジスタ143 (DA0DT143)	
H'0080 1D90		D-A0データレジスタ144 (DA0DT144)		D-A0データレジスタ145 (DA0DT145)	
H'0080 1D92		D-A0データレジスタ146 (DA0DT146)		D-A0データレジスタ147 (DA0DT147)	
H'0080 1D94		D-A0データレジスタ148 (DA0DT148)		D-A0データレジスタ149 (DA0DT149)	
H'0080 1D96		D-A0データレジスタ150 (DA0DT150)		D-A0データレジスタ151 (DA0DT151)	
H'0080 1D98		D-A0データレジスタ152 (DA0DT152)		D-A0データレジスタ153 (DA0DT153)	
H'0080 1D9A		D-A0データレジスタ154 (DA0DT154)		D-A0データレジスタ155 (DA0DT155)	
H'0080 1D9C		D-A0データレジスタ156 (DA0DT156)		D-A0データレジスタ157 (DA0DT157)	
H'0080 1D9E		D-A0データレジスタ158 (DA0DT158)		D-A0データレジスタ159 (DA0DT159)	
H'0080 1DA0		D-A0データレジスタ160 (DA0DT160)		D-A0データレジスタ161 (DA0DT161)	
H'0080 1DA2		D-A0データレジスタ162 (DA0DT162)		D-A0データレジスタ163 (DA0DT163)	
H'0080 1DA4		D-A0データレジスタ164 (DA0DT164)		D-A0データレジスタ165 (DA0DT165)	
H'0080 1DA6		D-A0データレジスタ166 (DA0DT166)		D-A0データレジスタ167 (DA0DT167)	
H'0080 1DA8		D-A0データレジスタ168 (DA0DT168)		D-A0データレジスタ169 (DA0DT169)	

図16.2.2 SFR領域のレジスタマップ(2/3)

番地	D0	+ 0番地	D7 D8	+ 1番地	D15
H'0080 1DA A	D-A0データレジスタ170	(DA0DT170)	D-A0データレジスタ171	(DA0DT171)	
H'0080 1DA C	D-A0データレジスタ172	(DA0DT172)	D-A0データレジスタ173	(DA0DT173)	
H'0080 1DA E	D-A0データレジスタ174	(DA0DT174)	D-A0データレジスタ175	(DA0DT175)	
H'0080 1DB 0	D-A0データレジスタ176	(DA0DT176)	D-A0データレジスタ177	(DA0DT177)	
H'0080 1DB 2	D-A0データレジスタ178	(DA0DT178)	D-A0データレジスタ179	(DA0DT179)	
H'0080 1DB 4	D-A0データレジスタ180	(DA0DT180)	D-A0データレジスタ181	(DA0DT181)	
H'0080 1DB 6	D-A0データレジスタ182	(DA0DT182)	D-A0データレジスタ183	(DA0DT183)	
H'0080 1DB 8	D-A0データレジスタ184	(DA0DT184)	D-A0データレジスタ185	(DA0DT185)	
H'0080 1DB A	D-A0データレジスタ186	(DA0DT186)	D-A0データレジスタ187	(DA0DT187)	
H'0080 1DB C	D-A0データレジスタ188	(DA0DT188)	D-A0データレジスタ189	(DA0DT189)	
H'0080 1DB E	D-A0データレジスタ190	(DA0DT190)	D-A0データレジスタ191	(DA0DT191)	
H'0080 1DC 0	D-A0データレジスタ192	(DA0DT192)	D-A0データレジスタ193	(DA0DT193)	
H'0080 1DC 2	D-A0データレジスタ194	(DA0DT194)	D-A0データレジスタ195	(DA0DT195)	
H'0080 1DC 4	D-A0データレジスタ196	(DA0DT196)	D-A0データレジスタ197	(DA0DT197)	
H'0080 1DC 6	D-A0データレジスタ198	(DA0DT198)	D-A0データレジスタ199	(DA0DT199)	
H'0080 1DC 8	D-A0データレジスタ200	(DA0DT200)	D-A0データレジスタ201	(DA0DT201)	
H'0080 1DC A	D-A0データレジスタ202	(DA0DT202)	D-A0データレジスタ203	(DA0DT203)	
H'0080 1DC C	D-A0データレジスタ204	(DA0DT204)	D-A0データレジスタ205	(DA0DT205)	
H'0080 1DC E	D-A0データレジスタ206	(DA0DT206)	D-A0データレジスタ207	(DA0DT207)	
H'0080 1DD 0	D-A0データレジスタ208	(DA0DT208)	D-A0データレジスタ209	(DA0DT209)	
H'0080 1DD 2	D-A0データレジスタ210	(DA0DT210)	D-A0データレジスタ211	(DA0DT211)	
H'0080 1DD 4	D-A0データレジスタ212	(DA0DT212)	D-A0データレジスタ213	(DA0DT213)	
H'0080 1DD 6	D-A0データレジスタ214	(DA0DT214)	D-A0データレジスタ215	(DA0DT215)	
H'0080 1DD 8	D-A0データレジスタ216	(DA0DT216)	D-A0データレジスタ217	(DA0DT217)	
H'0080 1DD A	D-A0データレジスタ218	(DA0DT218)	D-A0データレジスタ219	(DA0DT219)	
H'0080 1DD C	D-A0データレジスタ220	(DA0DT220)	D-A0データレジスタ221	(DA0DT221)	
H'0080 1DD E	D-A0データレジスタ222	(DA0DT222)	D-A0データレジスタ223	(DA0DT223)	
H'0080 1DE 0	D-A0データレジスタ224	(DA0DT224)	D-A0データレジスタ225	(DA0DT225)	
H'0080 1DE 2	D-A0データレジスタ226	(DA0DT226)	D-A0データレジスタ227	(DA0DT227)	
H'0080 1DE 4	D-A0データレジスタ228	(DA0DT228)	D-A0データレジスタ229	(DA0DT229)	
H'0080 1DE 6	D-A0データレジスタ230	(DA0DT230)	D-A0データレジスタ231	(DA0DT231)	
H'0080 1DE 8	D-A0データレジスタ232	(DA0DT232)	D-A0データレジスタ233	(DA0DT233)	
H'0080 1DE A	D-A0データレジスタ234	(DA0DT234)	D-A0データレジスタ235	(DA0DT235)	
H'0080 1DE C	D-A0データレジスタ236	(DA0DT236)	D-A0データレジスタ237	(DA0DT237)	
H'0080 1DE E	D-A0データレジスタ238	(DA0DT238)	D-A0データレジスタ239	(DA0DT239)	
H'0080 1DF 0	D-A0データレジスタ240	(DA0DT240)	D-A0データレジスタ241	(DA0DT241)	
H'0080 1DF 2	D-A0データレジスタ242	(DA0DT242)	D-A0データレジスタ243	(DA0DT243)	
H'0080 1DF 4	D-A0データレジスタ244	(DA0DT244)	D-A0データレジスタ245	(DA0DT245)	
H'0080 1DF 6	D-A0データレジスタ246	(DA0DT246)	D-A0データレジスタ247	(DA0DT247)	
H'0080 1DF 8	D-A0データレジスタ248	(DA0DT248)	D-A0データレジスタ249	(DA0DT249)	
H'0080 1DF A	D-A0データレジスタ250	(DA0DT250)	D-A0データレジスタ251	(DA0DT251)	
H'0080 1DF C	D-A0データレジスタ252	(DA0DT252)	D-A0データレジスタ253	(DA0DT253)	
H'0080 1DF E	D-A0データレジスタ254	(DA0DT254)	D-A0データレジスタ255	(DA0DT255)	

図16.2.3 SFR領域のレジスタマップ(3/3)

16.2.1 プリスケーラ部

プリスケーラPRSA、は8ビット構成のカウンタで内部周辺クロック(CPUクロック40MHz時は20MHz)をもとにDACNTカウンタへクロックを供給します。

プリスケーラの値はリセット時にH'00に初期化し、ダウンカウントを開始します。

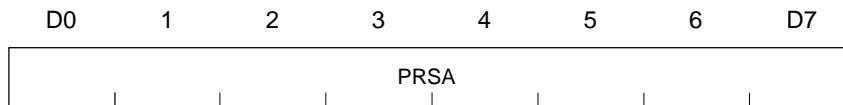
また、プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。

プリスケーラのカウンタレジスタにはH'00～H'FFの値が設定できます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{プリスケーラ設定値}+1}$$

プリスケーラレジスタ A (PRSA)

< アドレス : H'0080 1800 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	PRSA	プリスケーラ分周設定		

内部周辺クロック(CPUクロック40MHz動作時は20MHz)をもとにクロックを分周してD-A変換器のパラメータテーブル用アドレスカウンタ(DACNT)のカウンタクロックを生成します。DACNT動作時にプリスケーラAの値を書き換えた場合は、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。

PRSAはDACNT制御レジスタのDACNTENビットを"1"にセットしてからクロック生成を開始します。

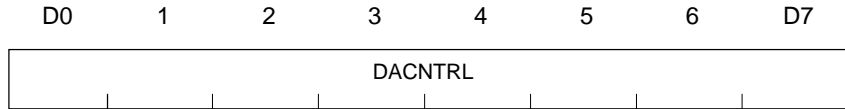
$$\text{DACNTカウンタ周期} = \text{BCLK} / (\text{PRSA} + 1)$$

注 . PD回路使用時には、PRSAの設定値は位置検出精度選択レジスタの設定によって決まります。

16.2.2 DACNTリロードレジスタ

DACNTリロードレジスタ (DACNTRL)

<アドレス : H'0080 1802 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	DACNTRL	8ビットリロードレジスタ値		

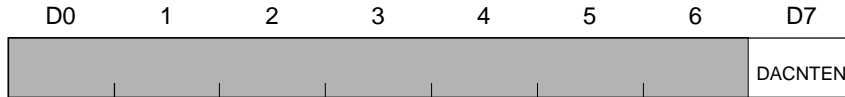
DACNTリロードレジスタは、DACNTカウンタ(DACNT)へデータをロードするためのレジスタです。DACNTカウンタへのロードはDACNTカウンタのアンダフローに同期して行われます。

DACNTリロードレジスタに書き込んだ時点では、DACNTカウンタにデータはロードされませんのでご注意ください。

16.2.3 DACNT制御レジスタ

DACNT 制御レジスタ (DACNTR)

< アドレス : H'0080 1806 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~6	何も配置されていません。		0	-
7	DACNTEN	0 : カウント停止 1 : カウント許可		

DACNTカウンタのカウント許可/停止を制御するレジスタです。

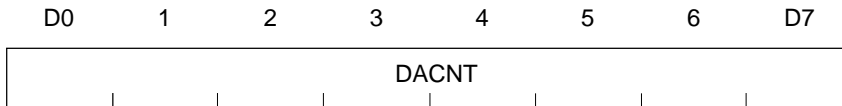
DACNTENビットに"1"をセットすると、PRSAで設定したカウント周期に基づいてDACNTカウンタ設定値よりダウンカウントを開始します。

DACNTENビットに"0"を書き込むとDACNTカウンタはカウンタ値を保持した状態で停止します。

16.2.4 DACNTカウンタ

DACNTカウンタ(DACNT)

<アドレス : H'0080 1808 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	DACNT	8ビットカウンタ値		

DACNTカウンタは8ビットのダウンカウンタで、カウンタのイネーブル後、PRSAによって生成されたカウントクロックに同期してカウンタ設定値よりダウンカウント動作を開始します。DACNTカウンタの値はD-A変換器のパラメータテーブルのアドレス値となります。

DACNTがアンダフロー(DACNT = H'00)すると、次のカウント周期でDACNTリロードレジスタの設定値をDACNTカウンタへカウンタ値としてリロードし、そこから再びダウンカウントを行います。

PD回路使用時には、DAによりSin波を生成するために使用されます。

DACNTカウンタ初期値としてH'A0を、DACNTリロードレジスタにH'B0を設定した場合のDACNT動作を以下に示します。

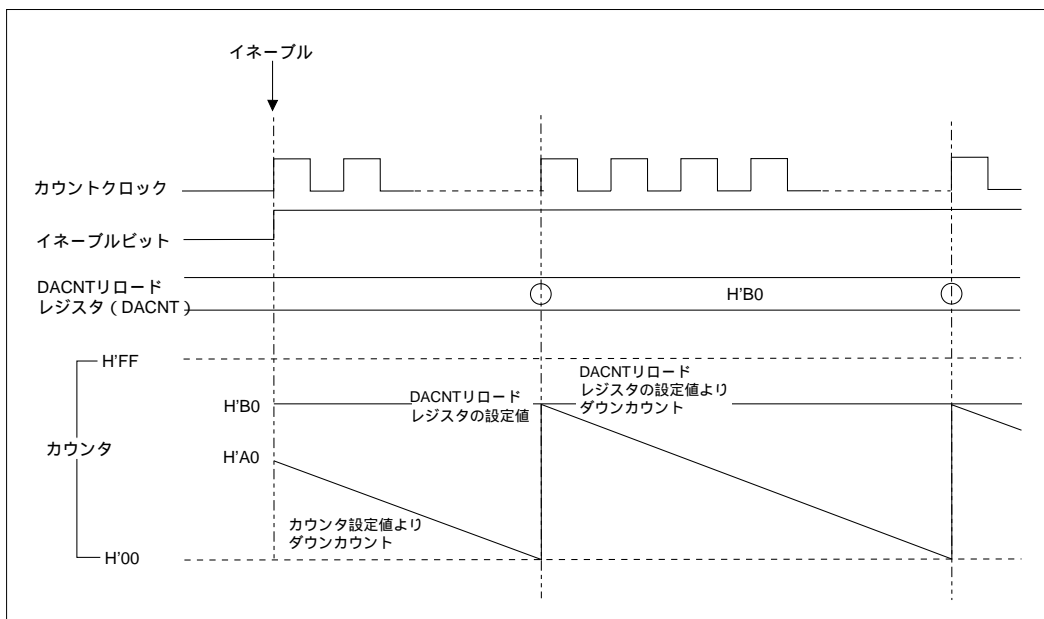
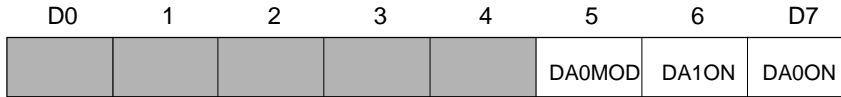


図16.2.4 DACNTカウンタ動作例

16.2.5 D-A制御レジスタ

D-A 制御レジスタ (DACR)

< アドレス: H'0080 1C7C >



< リセット時: H'00 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	DA0MO (DA0モード選択)	0: 単一モード 1: 連続モード		
6	DA1ON (DA1アナログ出力許可)	0: 出力禁止 1: 出力許可		
7	DA0ON (DA0アナログ出力許可)			

D-A制御レジスタは、D-A0変換器の変換モード選択、D-A変換結果の出力端子(DA0,DA1)への出力可否を制御するレジスタです。

(1) DA0MO(DA0モード選択)ビット(D5)

D-A0変換器の変換モード(単一モード、連続モード)を選択するビットです。このビットが"0"のときは単一モード、"1"のときは連続モードになります。

注. D-A1変換器には連続モードはありません(単一モードのみです)。

(2) DA1ON(DA1アナログ出力許可)ビット(D6)

D-A1変換器の変換結果の出力可否を制御するビットです。このビットが"1"(アナログ出力許可)のときは外部端子DA1へ変換結果が出力されます。"0"(アナログ出力禁止)のときは外部端子DA1へ変換結果が出力されません。

(3) DA0ON(DA0アナログ出力許可)ビット(D7)

D-A0変換器の変換結果の出力可否を制御するビットです。このビットが"1"(アナログ出力許可)のときは外部端子DA0へ変換結果が出力されます。"0"(アナログ出力禁止)のときは外部端子DA0へ変換結果が出力されません。

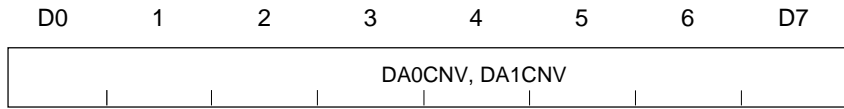
16.2.6 D-A変換レジスタ

D-A0 変換レジスタ (DA0CNV)

< アドレス : H'0080 1C78 >

D-A1 変換レジスタ (DA1CNV)

< アドレス : H'0080 1C7A >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	DA0CNV, DA1CNV	8ビットD-A変換データ(単一モード)		

D-A変換レジスタ(DA0CNV, DA1CNV)に値(0~255)を書き込むことで、D-A変換が行われます。

出力されるアナログ電圧Vは、D-A変換レジスタ(DA0CNV, DA1CNV)に設定した値n(0~255)で決まります。

$$V = VREF \times \frac{n}{256}$$

V : アナログ電圧

VREF : 基準電圧

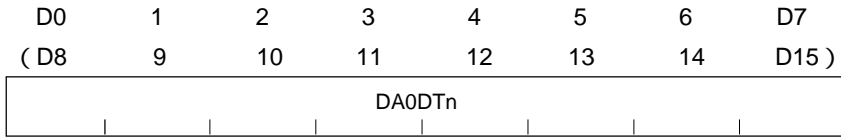
n : DA変換レジスタ値 0 ~ 255

注. アナログ電圧Vは、D-A変換器を構成しているR-2R抵抗の特性上V=VREF条件(n=256)は、生成できません。

16.2.7 D-A0データレジスタ

D-A0 データレジスタ n (DA0DT n)

< アドレス : H'0080 1D00 ~ H'0080 1DFF >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0~7	DA0DT n	8ビットD-A変換データ (連続モード)		

D-A0データレジスタ n ($n=0 \sim 255$)は、連続モードのD-A変換に使用するレジスタです。D-A0モード(DA0MO)により、D-A0を連続モードで使用する場合、DACNTカウンタ(DACNT)のカウンタ値の変化タイミングに合わせて、D-A0データレジスタ n (DA0DT n)を、DA0変換レジスタ(DA0CNV)へ転送します。DA0変換レジスタへ転送されるD-A0データレジスタ n の n は、DACNTカウンタのカウンタ値により決定されます。

注. 連続モードのD-A変換実行中にはアクセスしないでください。

16.3 D-A変換器機能説明

D-A変換には単一モードと連続モード(D-A0変換器のみ)があります。

16.3.1 単一モード

D-A変換レジスタDAiCNVに設定した値に対応したアナログ値が外部端子DAiから出力されるモードです。

D-A変換レジスタDAiCNVに値を設定するとD-A変換が開始されます。D-A制御レジスタのDAiONビットを"1"(アナログ出力許可)にすると外部端子DAiからアナログ値が出力されます。DAiONビットを"0"(アナログ出力禁止)にするまで外部端子DAiからアナログ値が出力され続けます。

出力電圧Vは下記の式で決まります。

$$V = VREF \times \frac{\text{D-A変換レジスタの設定値}}{256}$$

V : アナログ電圧

VREF : 基準電圧

16.3.2 連続モード

D-A0データレジスタn(n=0~255)に設定した値が順次アナログ値に変換され外部端子DA0から出力されるモードです。

D-A0データレジスタnに値を設定するとD-A変換が開始されます。D-A制御レジスタのDA0ONビット(D7)を"1"(アナログ出力許可)にすると外部端子DA0からアナログ値が出力されます。DA0ONビットを"0"(アナログ出力禁止)にするまで外部端子DA0からアナログ値が出力され続けます。

DACNTリロードにH'07を設定した場合の、DA0動作例を以下に示します。

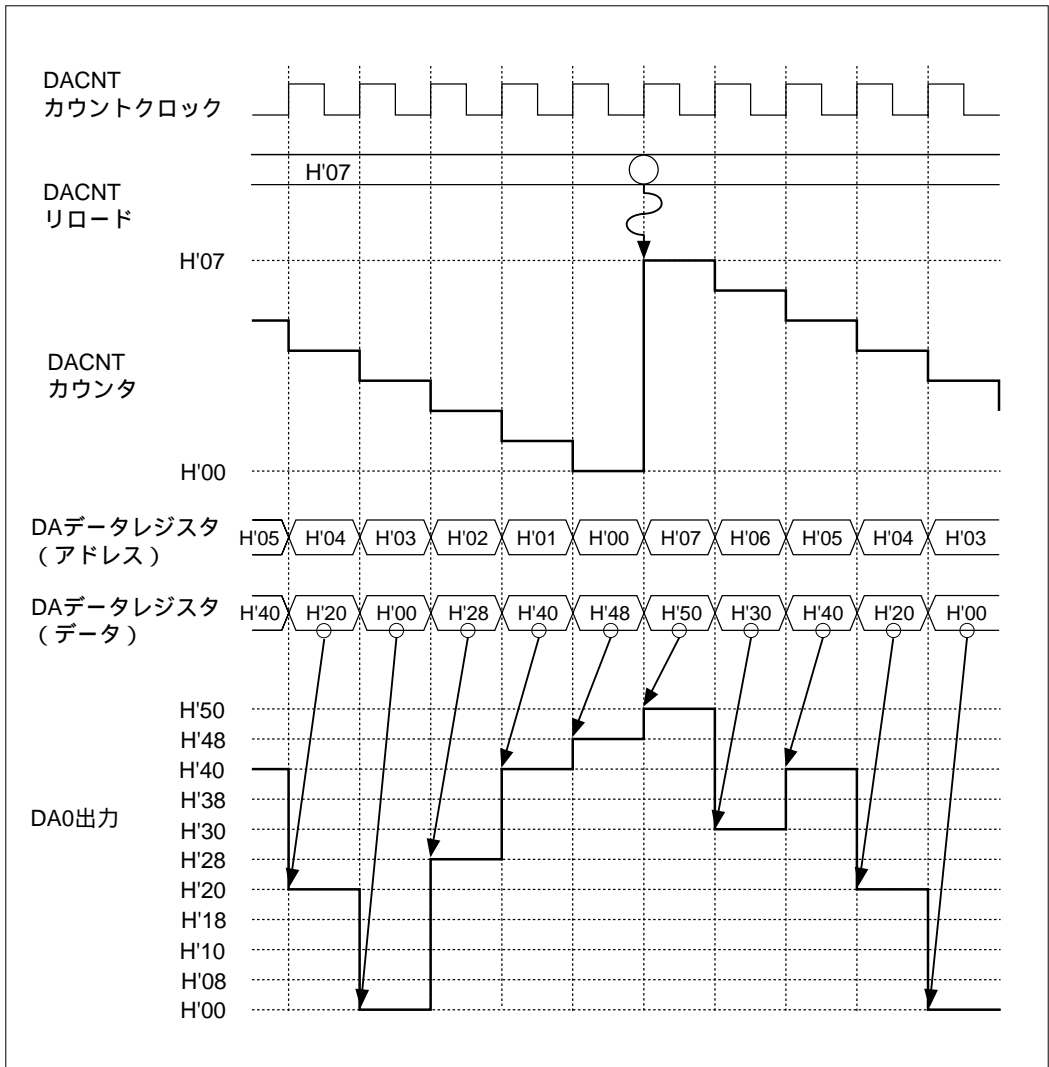


図16.3.1 DACNTリロードにH'07を設定した場合のDA0動作例

16.4 D-A変換器使用上の注意事項

D-A変換器を使用しない場合には、不要な消費電流を少なくするため、D-A制御レジスタのアナログ出力許可ビット(DA0ON, DA1ON)に"0"を、D-A変換レジスタ(DA0CNV, DA1CNV)にH"00を設定し、R-2Rの抵抗に電流が流れないようにしてください。

* 空きページです *

第17章

外部バスインタフェース

- 17.1 外部バスインタフェース
関連信号
- 17.2 リード/ライト動作
- 17.3 バスアービトレーション
- 17.4 外部拡張メモリ接続例

17.1 外部バスインタフェース関連信号

32172/32173は、以下に示す外部バスインタフェース関連信号を備えています。これらの信号は、外部拡張モードまたはプロセッサモードで使用できます。

(1) アドレス

1Mバイトの空間をアドレッシングする19ビットのアドレス(A12 ~ A30)を出力します。

最下位のA31は出力されず、外部ライトサイクルでは16ビットのデータバスのうち、有効な書き込みを行うバイト位置をBHW, BLW信号で出力します。リードサイクルでは常に16ビットでデータを読み込み、有効なバイト位置のデータのみ転送します。

注. 外部拡張モードの場合は、A12端子とCS2端子、A13端子とCS3端子は共用となりますのでポートP4およびP22周辺出力選択レジスタで端子機能の設定が必要です。(プロセッサモードの場合は、A12、A13固定になります。)

(2) チップセレクト (CS0, CS1, CS2, CS3)

外部拡張モードまたはプロセッサモードで出力する信号で、2Mバイト毎の外部拡張領域をCS0信号、CS1信号、CS2信号、CS3信号で出力します。

CS0信号は、プロセッサモード時で2Mバイト領域を示し、外部拡張モード時は1Mバイト領域を示します。(詳しくは第3章「アドレス空間」をご覧ください)。

注. 外部拡張モードの場合は、A12端子とCS2端子、A13端子とCS3端子は共用となりますのでポートP4およびP22周辺出力選択レジスタで端子機能の設定が必要です。(プロセッサモードの場合は、A12、A13端子固定になりCS2信号およびCS3信号は出力されません。)

(3) リードストロープ (RD)

外部リードサイクル中に出力され、リードデータの読み込みタイミングを示します。ライト時および内蔵機能をアクセス時には"H"を出力します。

(4) バイトハイライト/バイトハイイネーブル (BHW/BHE)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り替わります。

BUSMOD = 0 でバイトハイライト(BHW)の場合、外部ライトアクセス時にデータバスの上位側バイト(DB0 ~ DB7)で有効なデータ転送を示します。外部リード時及び内蔵機能をアクセス時には"H"を出力します。

BUSMOD = 1 でバイトハイイネーブル(BHE)の場合、外部アクセス時にデータバスの上位側バイト(DB0 ~ DB7)で有効なデータ転送を示します。内蔵機能をアクセス時には"H"を出力します。

(5) バイトローライト/バイトローイネーブル ($\overline{\text{BLW}}/\overline{\text{BLE}}$)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り替わります。

$\text{BUSMOD} = 0$ でバイトローライト($\overline{\text{BLW}}$)の場合、外部ライトアクセス時にデータバスの下位側バイト($\text{DB8} \sim \text{DB15}$)で有効なデータ転送を示します。外部リードサイクルには" H " を出力します。

$\text{BUSMOD} = 1$ でバイトローイネーブル($\overline{\text{BLE}}$)の場合、外部アクセス時にデータバスの下位側バイト($\text{DB8} \sim \text{DB15}$)で有効なデータ転送を示します。内蔵機能をアクセス時には" H " を出力します。

(6) データバス ($\text{DB0} \sim \text{DB15}$)

外部デバイスをアクセスするための16ビットデータバスです。

(7) システムクロック/ライト ($\text{BCLK}/\overline{\text{WR}}$)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り替わります。

$\text{BUSMOD} = 0$ でシステムクロック(BCLK)の場合、外部システムで同期設計を行うためのシステムクロックを出力します。CPUクロック40MHzの場合、 BCLK には20MHzのクロックが出力します。また、 $\text{BCLK}/\overline{\text{WR}}$ 機能を未使用時、P7動作モードレジスタのP70MODを" 0 "にしP70として使用できます。

$\text{BUSMOD} = 1$ でライト($\overline{\text{WR}}$)の場合、外部ライトアクセス時にデータバスの有効なデータ転送を示します。外部リードサイクルおよび内蔵機能をアクセス時には" H " を出力します。

(8) ウェイト ($\overline{\text{WAIT}}$)

外部バスサイクルを起動した場合、 $\overline{\text{WAIT}}$ 信号が入力されている間、ウェイトサイクルを自動的に挿入します。詳しくは第18章「ウェイトコントローラ」をご覧ください。また、 $\overline{\text{WAIT}}$ 機能を未使用時、P7動作モードレジスタのP71MODを" 0 "にしP71として使用できます。

なお、外部アクセスに対しては常に1ウェイト以上を挿入します。したがって外部デバイスへの最短アクセスは1ウェイト(2 BCLK 期間)となります。

(9) ホールド制御 ($\overline{\text{HREQ}}, \overline{\text{HACK}}$)

ホールド状態とは、バスアクセスを停止し、バスインタフェース関連の各端子がハイインピーダンスになっている状態をいいます。ホールド状態にある間は、外部にあるバスマスタはシステムバスを使用したデータ転送を行うことができます。

$\overline{\text{HREQ}}$ 端子に" L "信号を入力すると、ホールド状態へ遷移します。ホールド要求を受け付け後のホールド中およびホールド状態への遷移中は、 $\overline{\text{HACK}}$ 端子から" L "信号を出力します。ホールド状態から通常動作状態への復帰には $\overline{\text{HREQ}}$ 信号を" H "にして下さい。また、 $\overline{\text{HREQ}}, \overline{\text{HACK}}$ 機能を未使用時、P7動作モードレジスタのP72MOD, P73MODに" 0 "を設定すると、P72, P73として使用できます。

なお、ホールド中の各端子の状態は以下のようになります。

表17.1.1 ホールド期間中の端子の状態

端子名	端子の状態または動作
A12 ~ A30, DB0 ~ DB15, CS0, CS1, CS2, CS3, RD, BHW, BLW, BHE, BLE, WR	ハイインピーダンス
HACK	"L"を出力
その他の端子(ポート及びタイマ出力等)	通常動作

(10) ポート動作モードレジスタ

ポートP0 ~ P4、およびP225はCPUの動作モードを外部拡張モードおよびプロセッサモードに設定した場合、外部アクセスのための信号端子に切り替わります。このうちポートP0 ~ P4(P46は除く)は、外部拡張モード時ポートP0 ~ P4動作モードレジスタの設定で入出力ポートへの切り替えが可能です。

また、P46およびP225は、P4およびP22周辺出力選択レジスタの設定により外部アクセスのための信号機能に切り替えが可能です。

ポートP7は、ポートP7動作モードレジスタおよびポートP7周辺出力選択レジスタの設定で外部アクセスのための信号端子に切り替わります。

P0 動作モードレジスタ (P0MOD)

<アドレス : H'0080 0740 >

D0	1	2	3	4	5	6	D7
P00MOD	P01MOD	P02MOD	P03MOD	P04MOD	P05MOD	P06MOD	P07MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P00MOD (ポートP00動作モード)	0 : DB0 1 : P00		
1	P01MOD (ポートP01動作モード)	0 : DB1 1 : P01		
2	P02MOD (ポートP02動作モード)	0 : DB2 1 : P02		
3	P03MOD (ポートP03動作モード)	0 : DB3 1 : P03		
4	P04MOD (ポートP04動作モード)	0 : DB4 1 : P04		
5	P05MOD (ポートP05動作モード)	0 : DB5 1 : P05		
6	P06MOD (ポートP06動作モード)	0 : DB6 1 : P06		
7	P07MOD (ポートP07動作モード)	0 : DB7 1 : P07		

注. P0動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P1 動作モードレジスタ (P1MOD)

<アドレス : H'0080 0741 >

D8	9	10	11	12	13	14	D15
P10MOD	P11MOD	P12MOD	P13MOD	P14MOD	P15MOD	P16MOD	P17MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P10MOD (ポートP10動作モード)	0 : DB8 1 : P10		
9	P11MOD (ポートP11動作モード)	0 : DB9 1 : P11		
10	P12MOD (ポートP12動作モード)	0 : DB10 1 : P12		
11	P13MOD (ポートP13動作モード)	0 : DB11 1 : P13		
12	P14MOD (ポートP14動作モード)	0 : DB12 1 : P14		
13	P15MOD (ポートP15動作モード)	0 : DB13 1 : P15		
14	P16MOD (ポートP16動作モード)	0 : DB14 1 : P16		
15	P17MOD (ポートP17動作モード)	0 : DB15 1 : P17		

注. P1動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P2 動作モードレジスタ (P2MOD)

< アドレス : H'0080 0742 >

D0	1	2	3	4	5	6	D7
P20MOD	P21MOD	P22MOD	P23MOD	P24MOD	P25MOD	P26MOD	P27MOD

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	P20MOD (ポートP20動作モード)	0 : A23 1 : P20		
1	P21MOD (ポートP21動作モード)	0 : A24 1 : P21		
2	P22MOD (ポートP22動作モード)	0 : A25 1 : P22		
3	P23MOD (ポートP23動作モード)	0 : A26 1 : P23		
4	P24MOD (ポートP24動作モード)	0 : A27 1 : P24		
5	P25MOD (ポートP25動作モード)	0 : A28 1 : P25		
6	P26MOD (ポートP26動作モード)	0 : A29 1 : P26		
7	P27MOD (ポートP27動作モード)	0 : A30 1 : P27		

注. P2動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P3 動作モードレジスタ (P3MOD)

< アドレス : H'0080 0743 >

D8	9	10	11	12	13	14	D15
P30MOD	P31MOD	P32MOD	P33MOD	P34MOD	P35MOD	P36MOD	P37MOD

< リセット時 : H'00 >

D	ビット名	機能	R	W
8	P30MOD (ポートP30動作モード)	0 : A15 1 : P30		
9	P31MOD (ポートP31動作モード)	0 : A16 1 : P31		
10	P32MOD (ポートP32動作モード)	0 : A17 1 : P32		
11	P33MOD (ポートP33動作モード)	0 : A18 1 : P33		
12	P34MOD (ポートP34動作モード)	0 : A19 1 : P34		
13	P35MOD (ポートP35動作モード)	0 : A20 1 : P35		
14	P36MOD (ポートP36動作モード)	0 : A21 1 : P36		
15	P37MOD (ポートP37動作モード)	0 : A22 1 : P37		

注. P3動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P4 動作モードレジスタ (P4MOD)

<アドレス : H'0080 0744 >

D0	1	2	3	4	5	6	D7
	P41MOD	P42MOD	P43MOD	P44MOD	P45MOD		P47MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	P41MOD (ポートP41動作モード)	0 : $\overline{\text{BLW}} / \overline{\text{BLE}}$ 1 : P41		
2	P42MOD (ポートP42動作モード)	0 : $\overline{\text{BHW}} / \overline{\text{BHE}}$ 1 : P42		
3	P43MOD (ポートP43動作モード)	0 : $\overline{\text{RD}}$ 1 : P43		
4	P44MOD (ポートP44動作モード)	0 : $\overline{\text{CS0}}$ 1 : P44		
5	P45MOD (ポートP45動作モード)	0 : $\overline{\text{CS1}}$ 1 : P45		
6	何も配置されていません		0	-
7	P47MOD (ポートP47動作モード)	0 : A14 1 : P47		

注. P4動作モードレジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

P7 動作モードレジスタ (P7MOD)

<アドレス : H'0080 0747 >

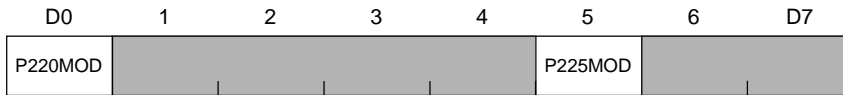
D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0 : P70 1 : BCLK / \overline{WR}		
9	P71MOD (ポートP71動作モード)	0 : P71 1 : \overline{WAIT}		
10	P72MOD (ポートP72動作モード)	0 : P72 1 : \overline{HREQ}		
11	P73MOD (ポートP73動作モード)	0 : P73 1 : \overline{HACK} / TXD3		
12	P74MOD (ポートP74動作モード)	0 : P74 1 : RTDTXD		
13	P75MOD (ポートP75動作モード)	0 : P75 1 : RTDRXD		
14	P76MOD (ポートP76動作モード)	0 : P76 1 : RTDACK		
15	P77MOD (ポートP77動作モード)	0 : P77 1 : RTDCLK		

P22 動作モードレジスタ (P22MOD)

<アドレス : H'0080 0756 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P220MOD (ポートP220動作モード)	0 : P220 1 : CTX0		
1~4	何も配置されていません		0	-
5	P225MOD (ポートP225動作モード)	0 : P225 1 : 使用禁止		
6~7	何も配置されていません		0	-

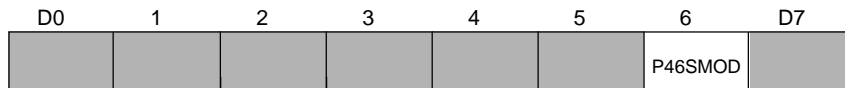
注1. P221はCAN0入力専用端子です。

注2. P225はMOD0,MOD1端子の設定により、端子機能が変わります。また、デバッグイベント機能がありますので使用上ご注意ください。

注3. P222~P224,P226,P227はありません。

P4 周辺出力選択レジスタ (P4SMOD)

<アドレス : H'0080 0764 >

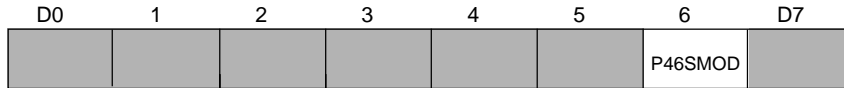


<リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	P46SMOD (ポートP46周辺出力選択)	0 : A13 1 : $\overline{CS3}$		
7	何も配置されていません		0	-

P4 周辺出力選択レジスタ (P4SMOD)

<アドレス : H'0080 0764 >

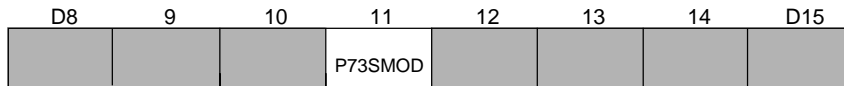


<リセット時 : H'00 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	P46SMOD (ポートP46周辺出力選択)	0 : A13 1 : $\overline{\text{CS3}}$		
7	何も配置されていません		0	-

P7 周辺出力選択レジスタ (P7SMOD)

<アドレス : H'0080 0767 >

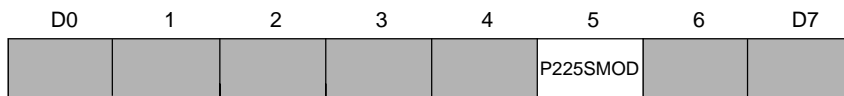


<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	P73SMOD (ポートP73周辺出力選択)	0 : $\overline{\text{HACK}}$ 1 : TXD3		
12~15	何も配置されていません		0	-

P22 周辺出力選択レジスタ (P22SMOD)

<アドレス : H'0080 0776 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	P225SMOD (ポートP225周辺出力選択)	0 : A12 1 : $\overline{\text{CS2}}$		
6~7	何も配置されていません		0	-

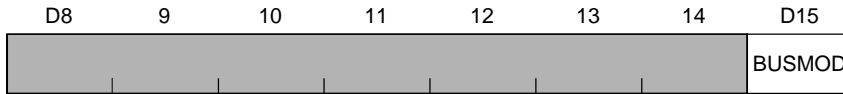
注. P22周辺出力選択レジスタへの設定は、CPU動作モードが外部拡張モードのときのみ有効になります。

(11) バスモード制御レジスタ (BUSMODC)

2種類の外部バスモードの切り替え機能を内蔵します。

バスモード制御レジスタ (BUSMODC)

<アドレス: H'0080 077F>



<リセット時: H'00>

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	BUSMOD	0: WR信号分離モード (バスモードコントロール)		
		1: バイトイネーブル分離モード		

プロセッサモードおよび外部拡張モードで、メモリ接続方法を容易にするため使用します。

バスモードコントロール (BUSMOD) ビットが"0"の場合、WR信号をバイト領域毎に分離して出力します。RD, BHW, BLW, BCLK, WAIT信号が使用可能です。ブートモードでメモリ接続時、バスモード制御レジスタは無効となりバスモードコントロール (BUSMOD) ビットが"0"の条件で動作します。

バスモードコントロール (BUSMOD) ビットが"1"の場合、バイトイネーブル信号をバイト領域毎に分離して出力します。RD, BHE, BLE, WR, WAIT信号が使用可能です。WAIT制御回路構成時、BCLKが出力されないため外部でタイミング制御が必要です。

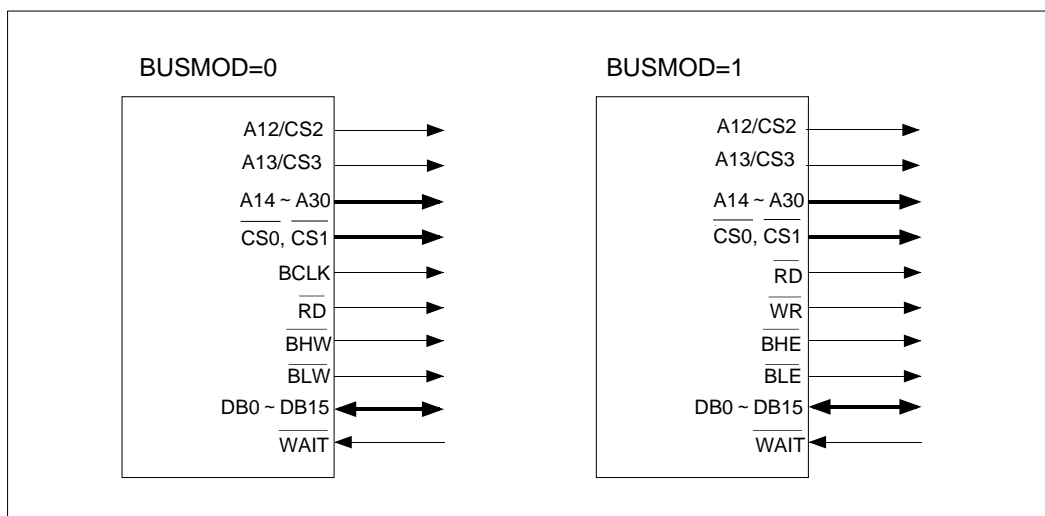


図 17.1.1 バスモード切り換え時の端子機能

17.2 リード/ライト動作

(1) バスモード制御レジスタが0の場合 (WR 信号分離モード)

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, \overline{RD} , \overline{BHW} , \overline{BLW} , \overline{WAIT} , BCLKの各信号により行います。外部リードサイクルで、 \overline{RD} 信号は"L"、 \overline{BHW} , \overline{BLW} は共に"H"になり、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、書き込みを行うバイト位置に対応した \overline{BHW} または \overline{BLW} 信号に"L"を出力し、データの書き込みを行います。

外部バスサイクル起動時、 \overline{WAIT} 信号を"L"にするとウエイトサイクルを挿入し続けます。 \overline{WAIT} 信号は必要なとき以外は、常に"H"状態を保ってください。なお外部バスサイクルは、最短でアクセスする場合でも常に1ウエイトが挿入します(最短バスサイクルは2 BCLK期間となります)。

注. $\overline{CS2}$, $\overline{CS3}$ は外部拡張モード時のみ出力可能です。

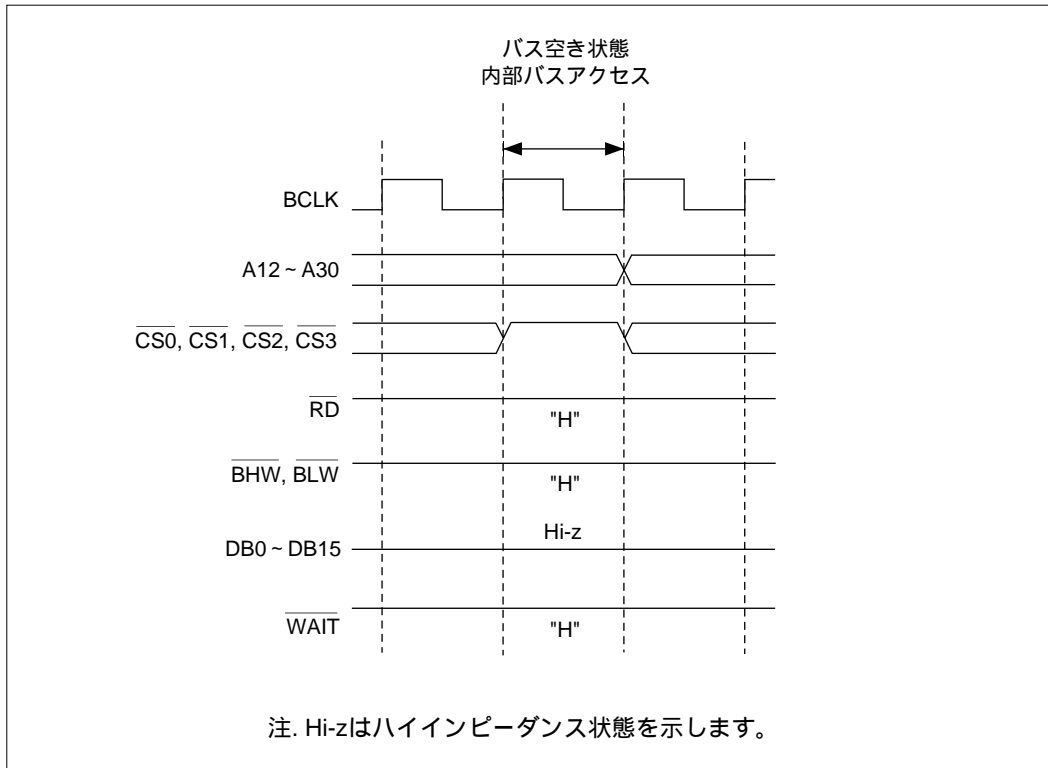


図17.2.1 バス空き状態 / 内部バスアクセス時

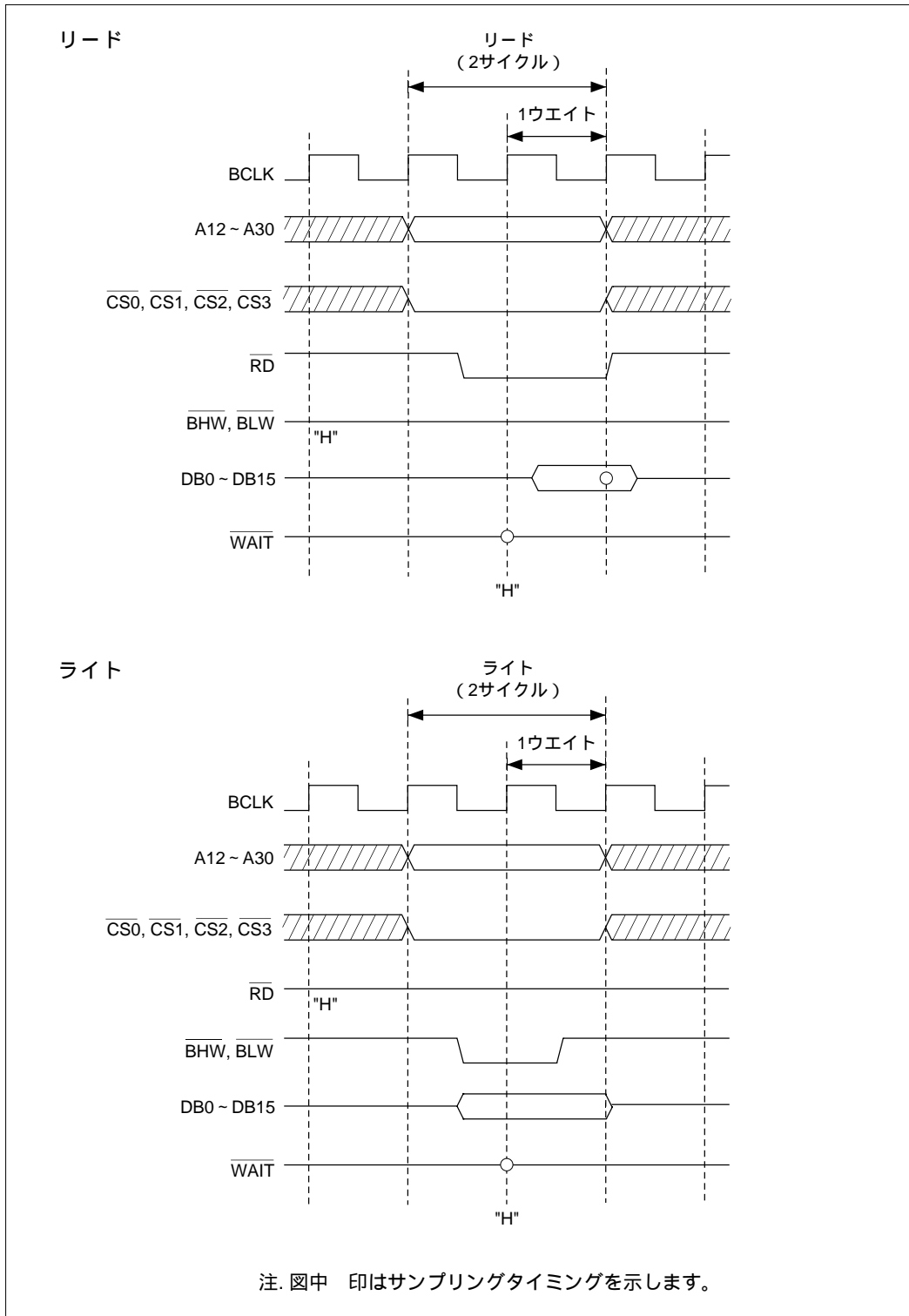


図17.2.2 リード/ライトタイミング(外部最短アクセス時)

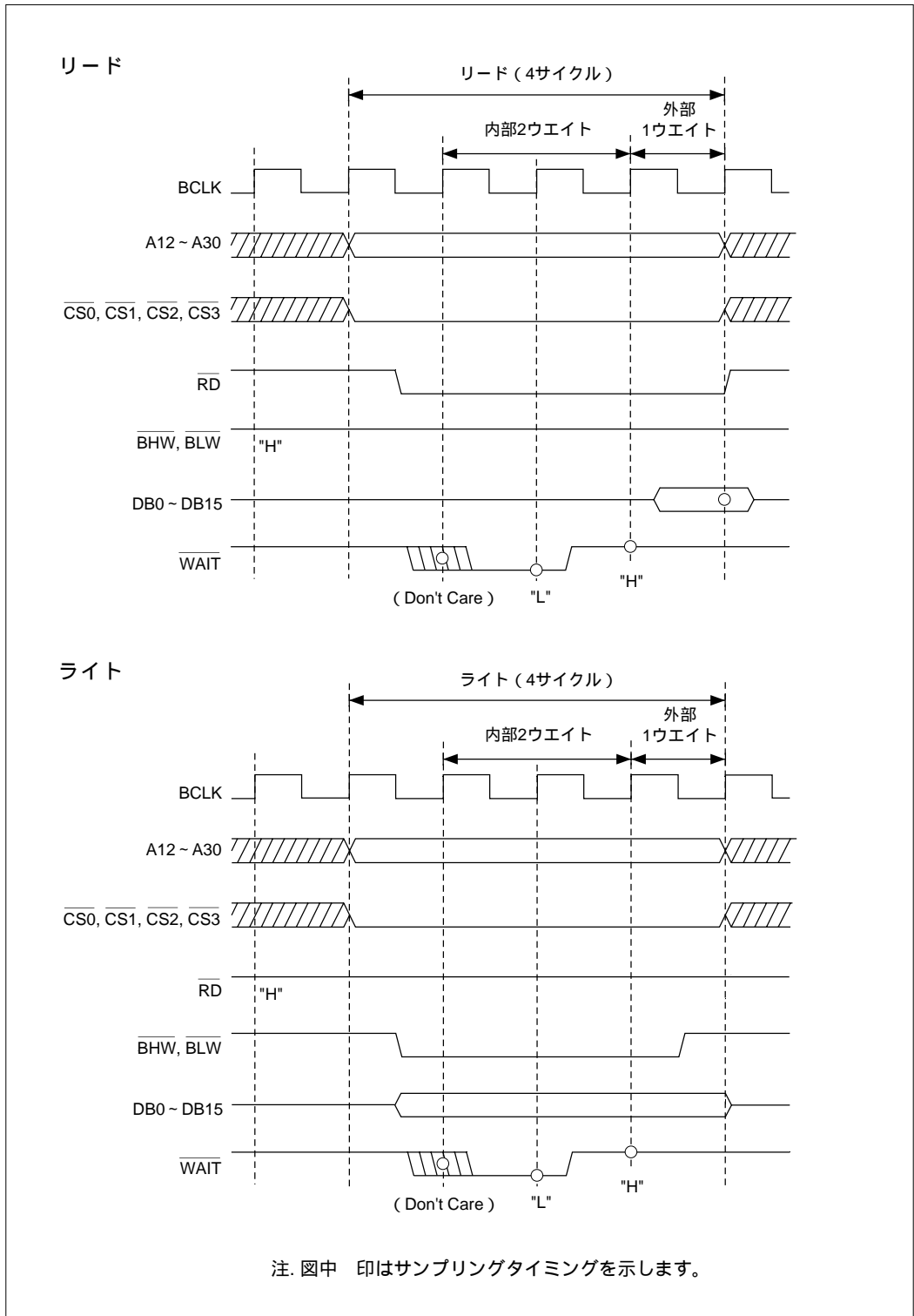


図17.2.3 リード/ライトタイミング(内部2+外部1ウエイトアクセス時)

(2) バスモード制御レジスタが1の場合 (WR 信号分離モード)

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, \overline{RD} , \overline{BHE} , \overline{BLE} , \overline{WAIT} , \overline{WR} の各信号により行います。外部リードサイクルでは、 \overline{RD} 信号は"L"、読み込みを行うバイト位置に対応した \overline{BHE} , または \overline{BLE} に"L"を出力し、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、 \overline{WR} 信号は"L"、書き込みを行うバイト位置に対応した \overline{BHE} , または \overline{BLE} に"L"を出力し、必要なバイト位置のデータの書き込みを行います。

外部バスサイクル起動時、 \overline{WAIT} 信号を"L"にするとウエイトサイクルを挿入し続けます。 \overline{WAIT} 信号は必要なとき以外は、常に"H"状態を保ってください。なお外部バスサイクルは、最短でアクセスする場合でも常に1ウエイトが挿入されます(最短バスサイクルは2 BCLK期間となります)。 \overline{WAIT} 機能を使用しない場合は、P7動作モードレジスタのP71MODを"0"にしてください。P71として使用できます。

注. $\overline{CS2}$, $\overline{CS3}$ は外部拡張モード時のみ出力可能です。

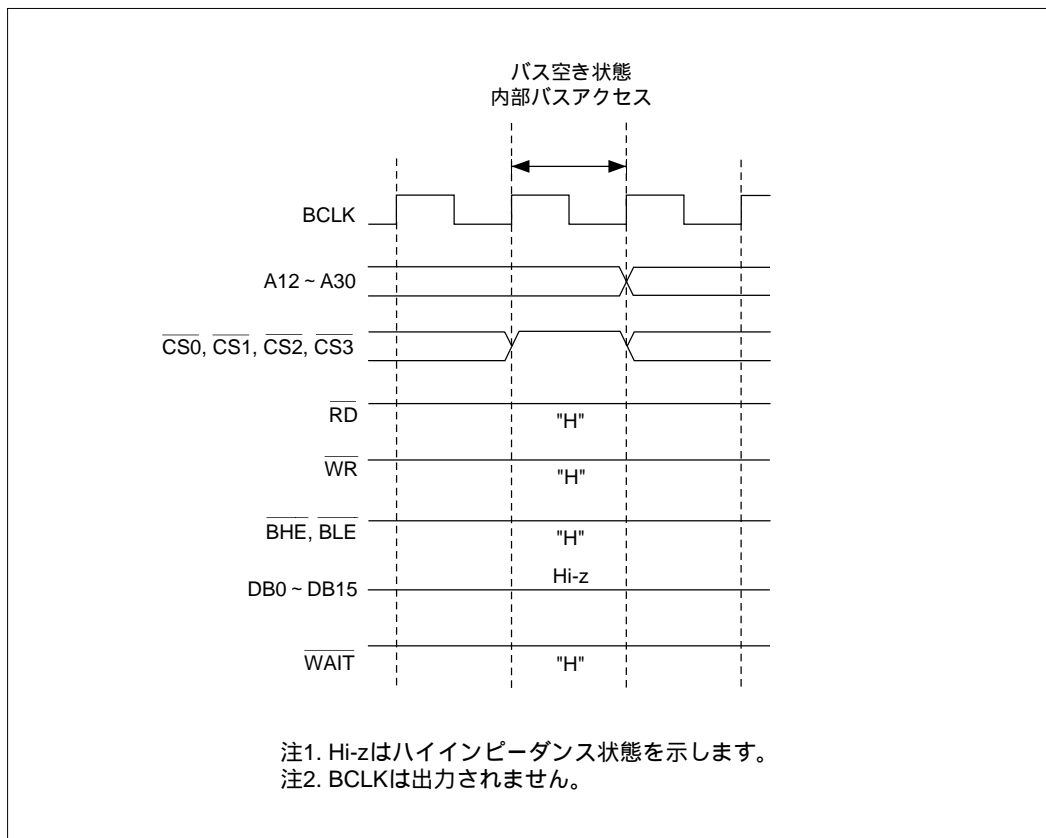


図17.2.4 バス空き状態 / 内部バスアクセス時

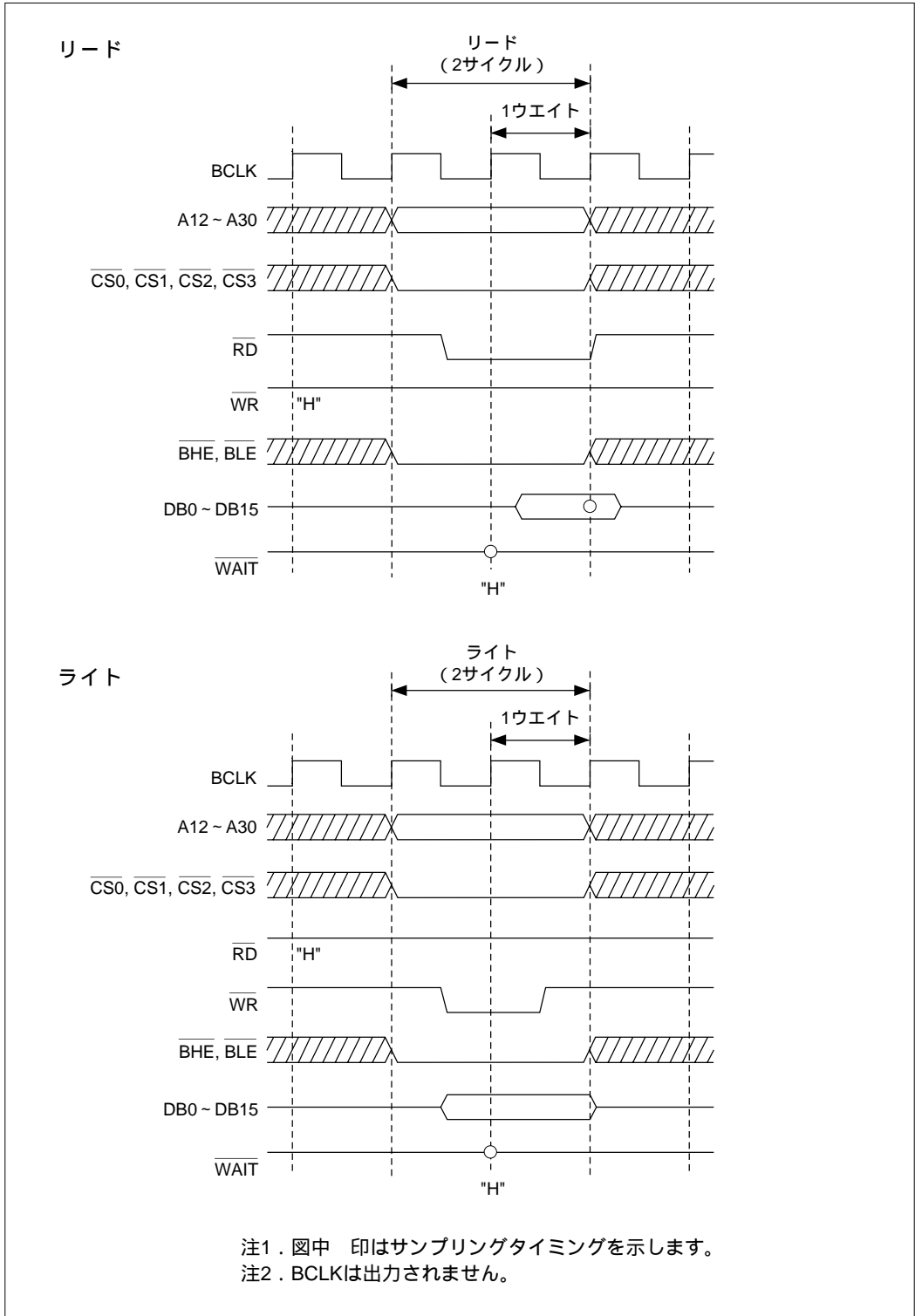


図17.2.5 リード/ライトタイミング(外部最短アクセス時)

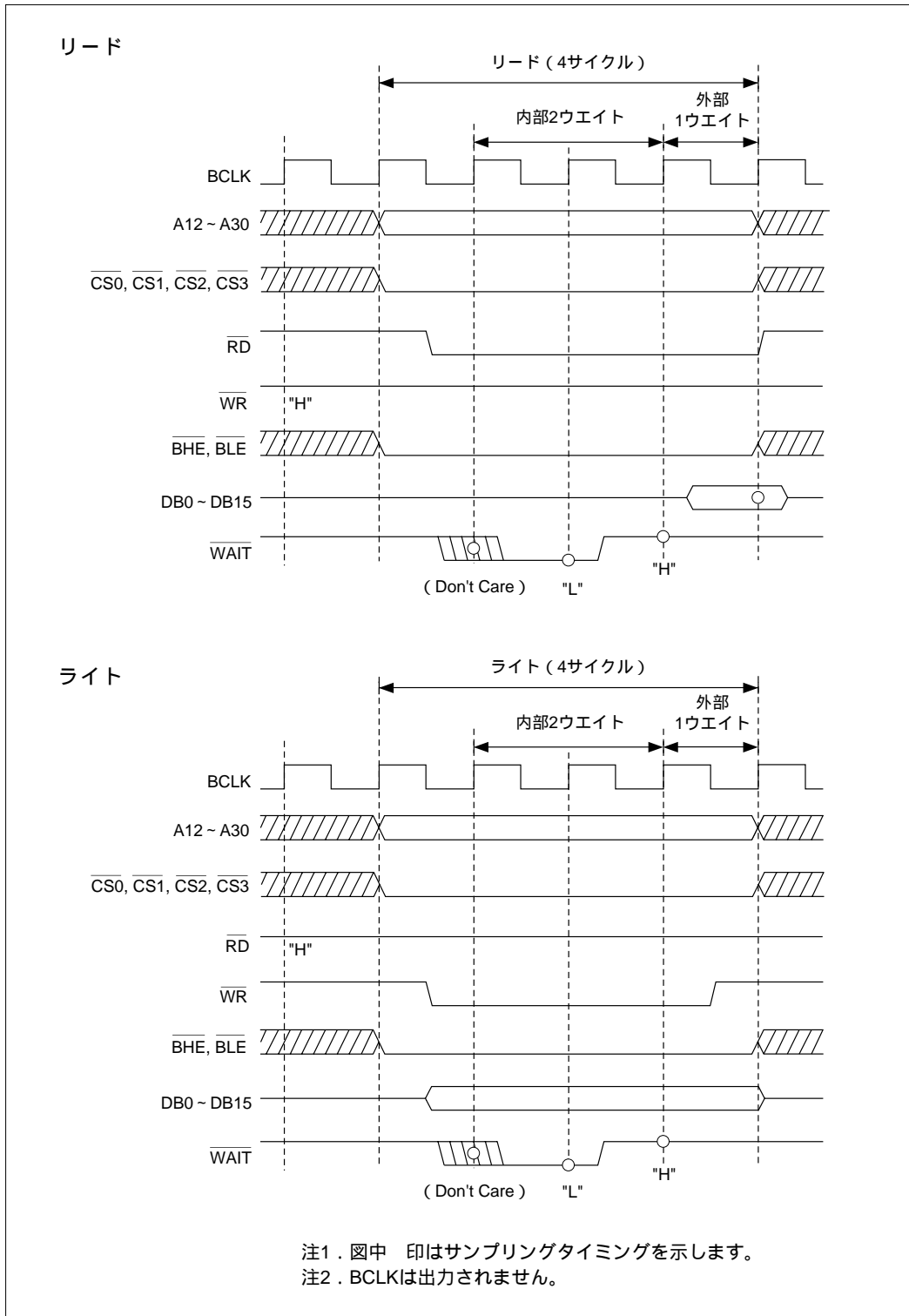


図17.2.6 リード/ライトタイミング(内部2+外部1ウエイトアクセス時)

17.3 バスアービトレーション

(1) バスモード制御レジスタが0の場合（WR信号分離モード）

$\overline{\text{HREQ}}$ 端子に"L"信号を入力し、それが受け付けられるとホールド状態へ遷移し、 $\overline{\text{HACK}}$ 端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ信号を"H"にして下さい。

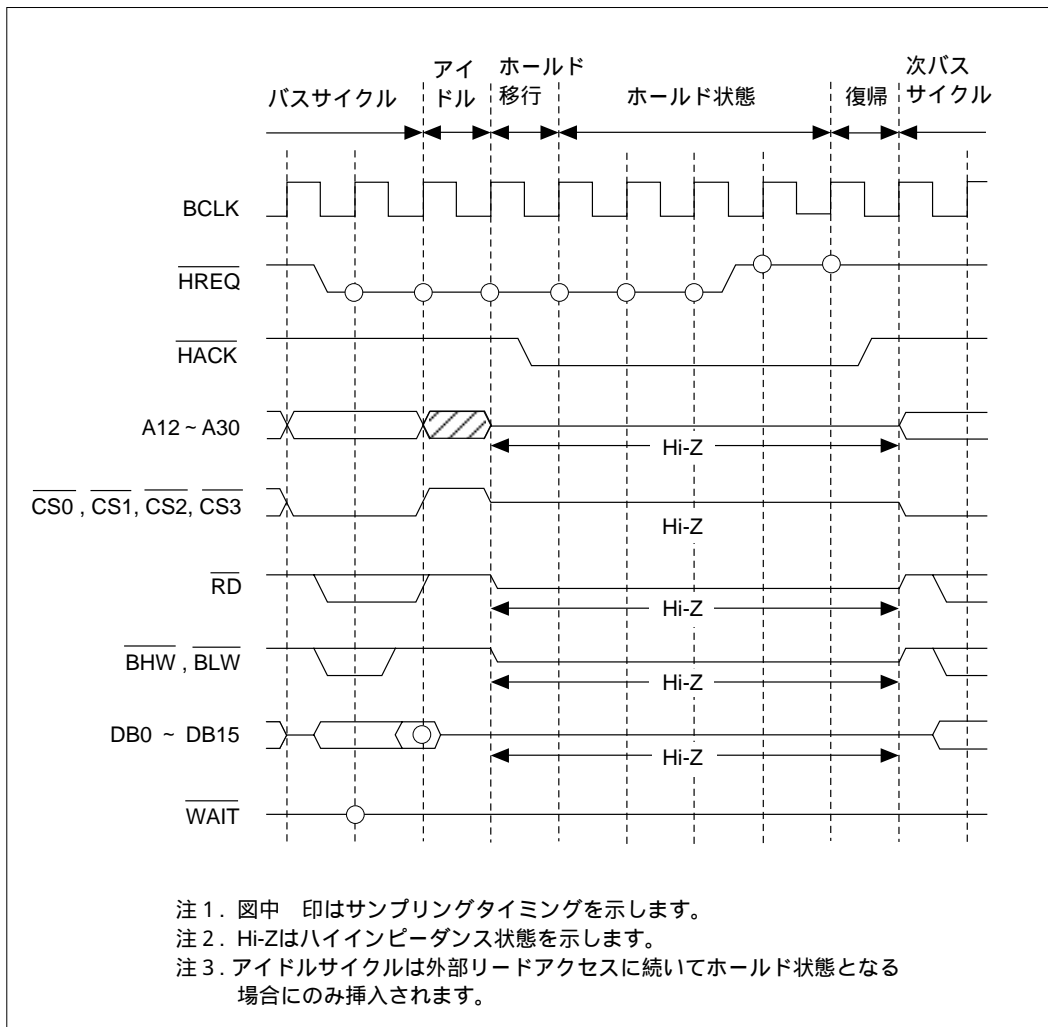


図17.3.1 バスアービトレーションタイミング

(2) バスモード制御レジスタが1の場合 (バイトイネーブル分離モード)

$\overline{\text{HREQ}}$ 端子に"L"信号を入力し、それが受け付けられるとホールド状態へ遷移し、 $\overline{\text{HACK}}$ 端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためには $\overline{\text{HREQ}}$ 信号を"H"にしてください。

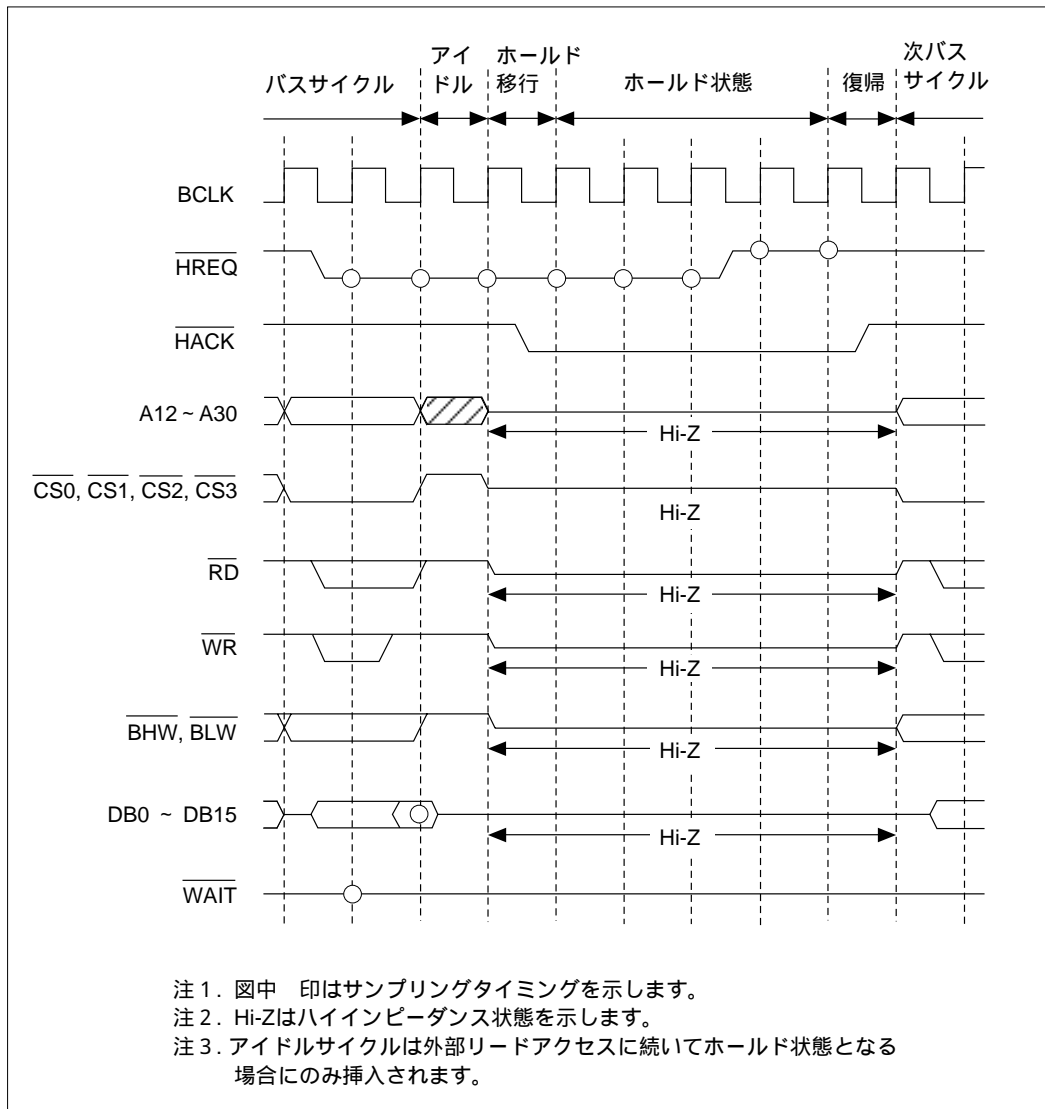


図17.3.2 バスアービトレーションタイミング

17.4 外部拡張メモリ接続例

(1) バスモード制御レジスタが0の場合(メモリ2系統接続時)

外部拡張メモリを使用(外部拡張モード)時の接続例を図17.4.1に示します。

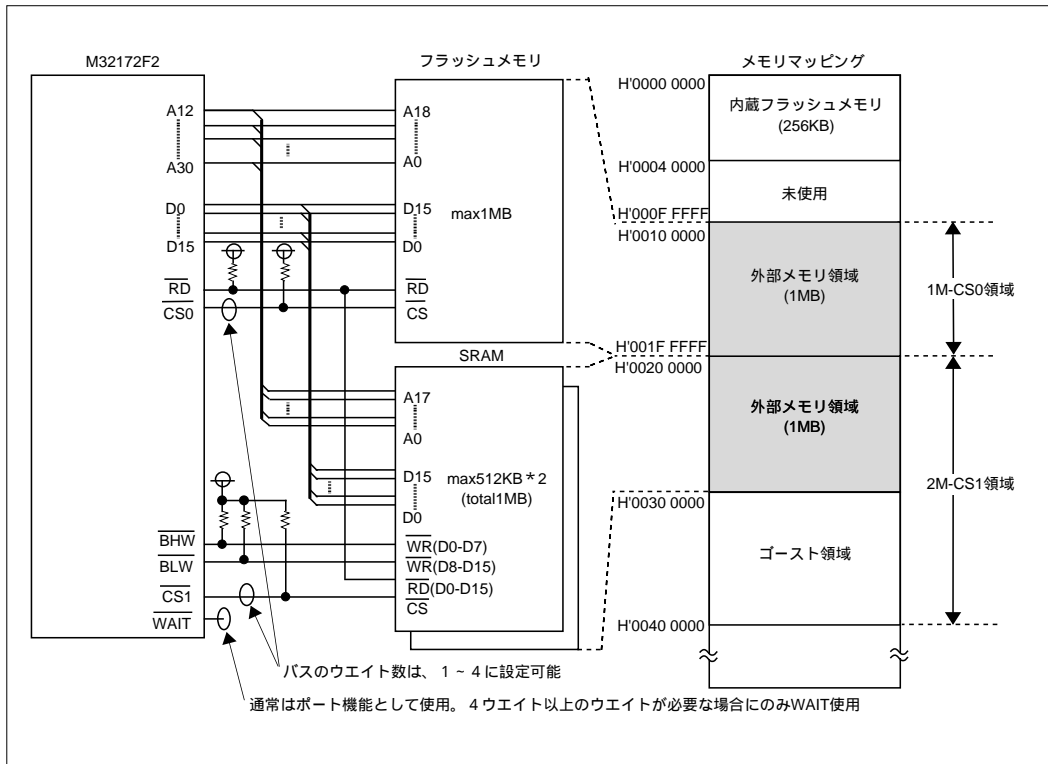


図17.4.1 メモリ2系統の外部拡張メモリ接続例(BUSMOD="0"の場合)

注. M32R/ECUのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
 外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(2) バスモード制御レジスタが0の場合(メモリ3系統接続時)

外部拡張メモリを使用(外部拡張モード)時の接続例を図17.4.2に示します。

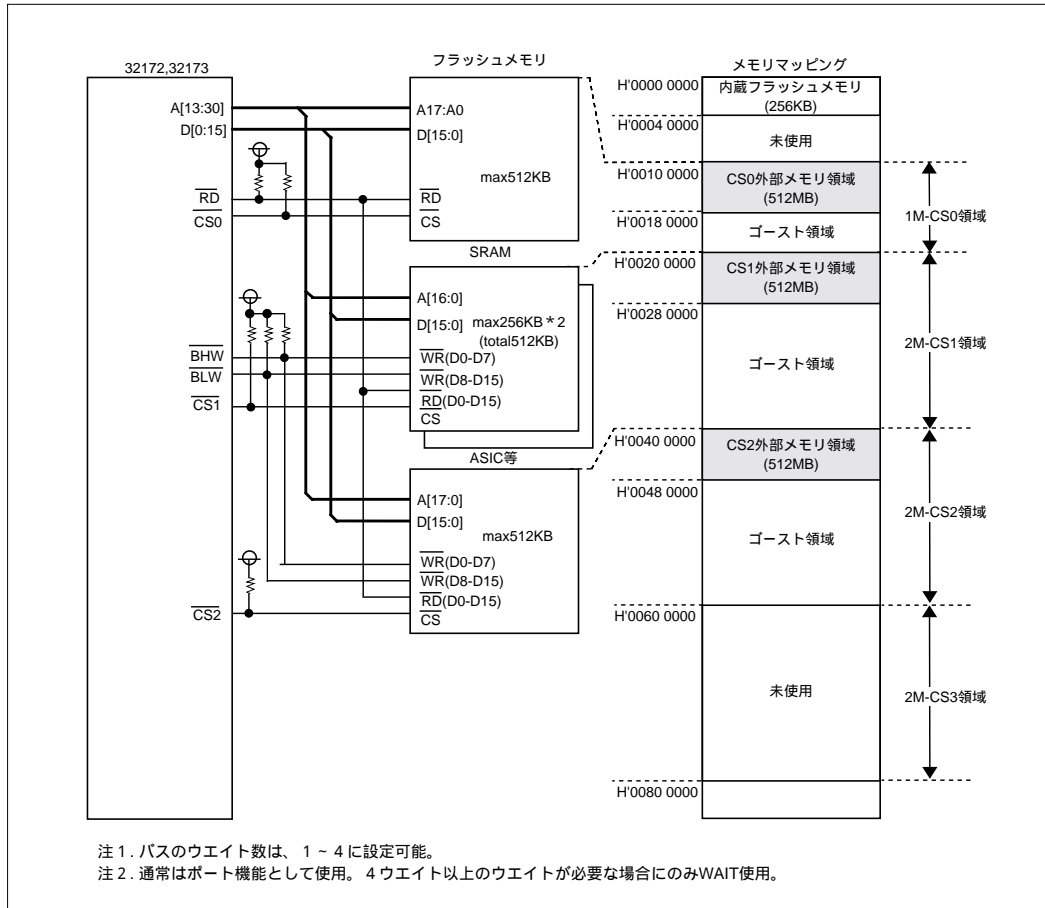


図17.4.2 メモリ3系統の外部拡張メモリ接続例(BUSMOD="0"の場合)

注. M32R/ECUのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(3) バスモード制御レジスタが0の場合(メモリ4系統接続時)

外部拡張メモリを使用(外部拡張モード)時の接続例を図17.4.3に示します。

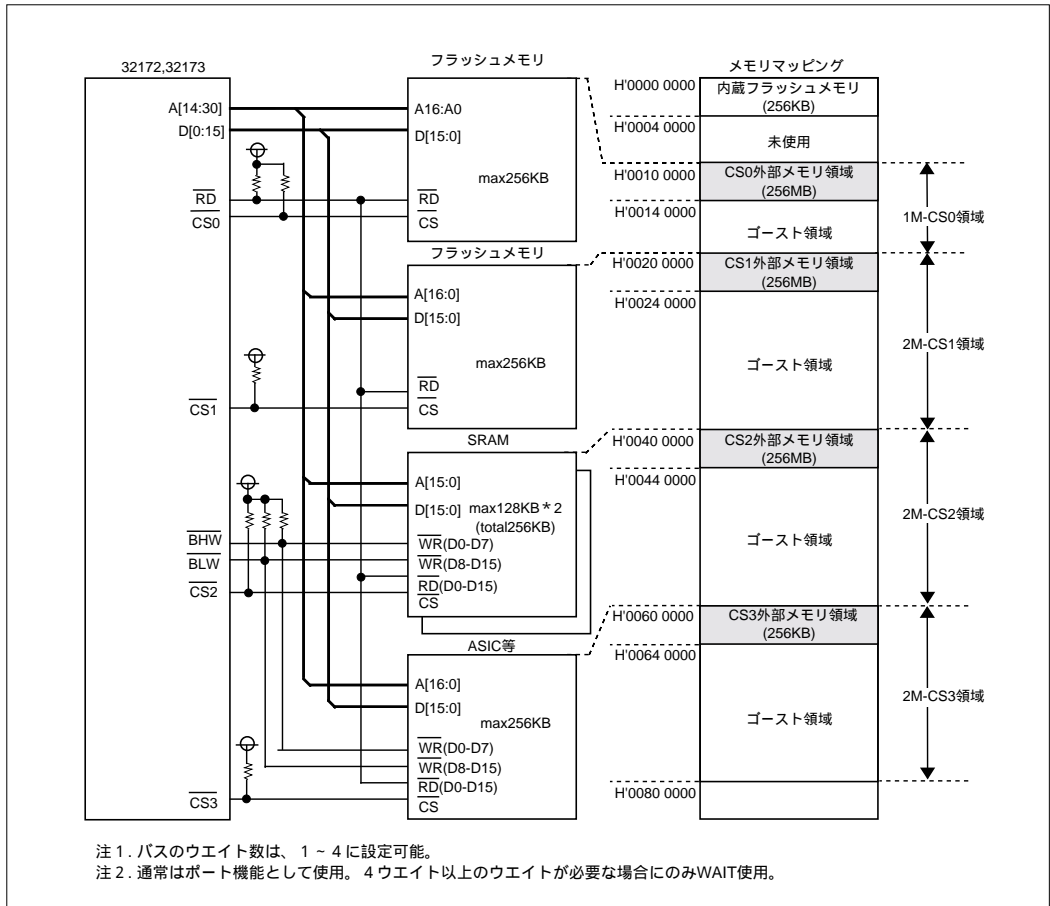


図17.4.3 メモリ4系統の外部拡張メモリ接続例(BUSMOD="0"の場合)

注. M32R/ECUのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
 外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(4) バスモード制御レジスタが1の場合 (メモリ2系統接続時)

外部拡張メモリを使用(外部拡張モード)時の接続例を図17.4.4に示します。

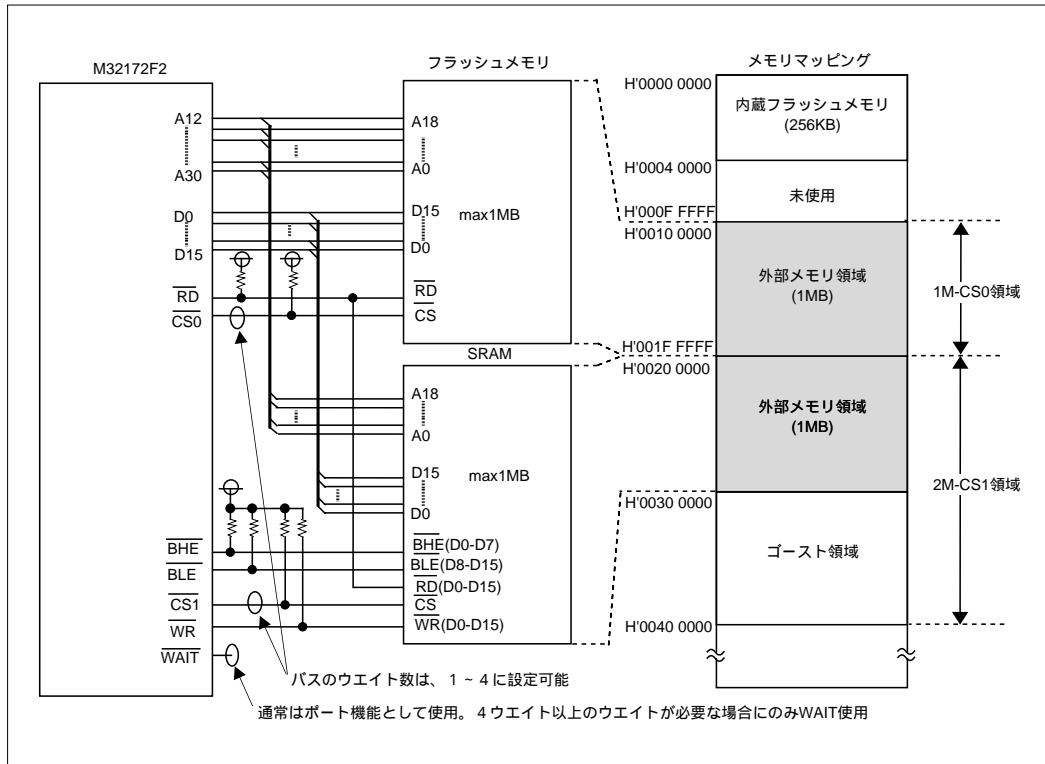


図17.4.4 メモリ2系統の外部拡張メモリ接続例 (BUSMOD="1"の場合)

注. M32R/ECUのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(5) バスモード制御レジスタが1で8/16ビットデータバスメモリを混在使用する場合

CS0領域に8ビットデータバスメモリを配置し、CS1領域に16ビットデータバスメモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図17.4.5に示します。

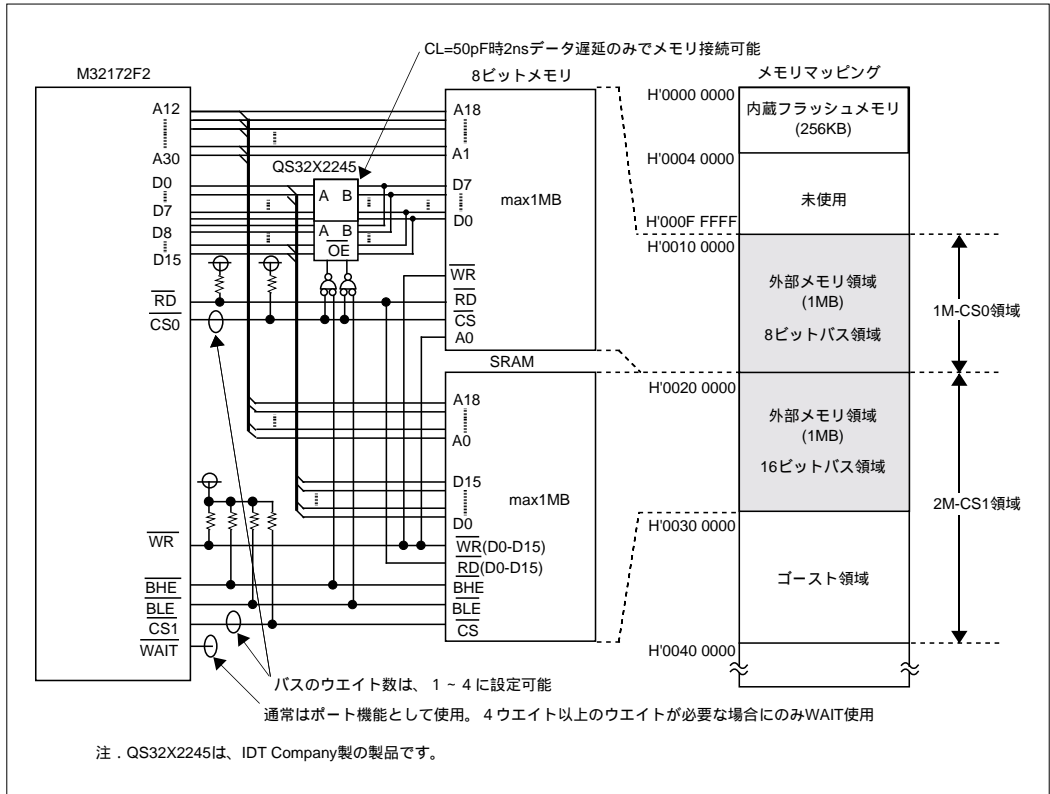


図17.4.5 32172外部拡張メモリ接続例(BUSMOD="1"で8/16ビット混在メモリ使用時)

注. M32R/ECUのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

第18章

ウェイトコントローラ

- 18.1 ウェイトコントローラ概要
- 18.2 ウェイトコントローラ
関連レジスタ
- 18.3 ウェイトコントローラ
動作例

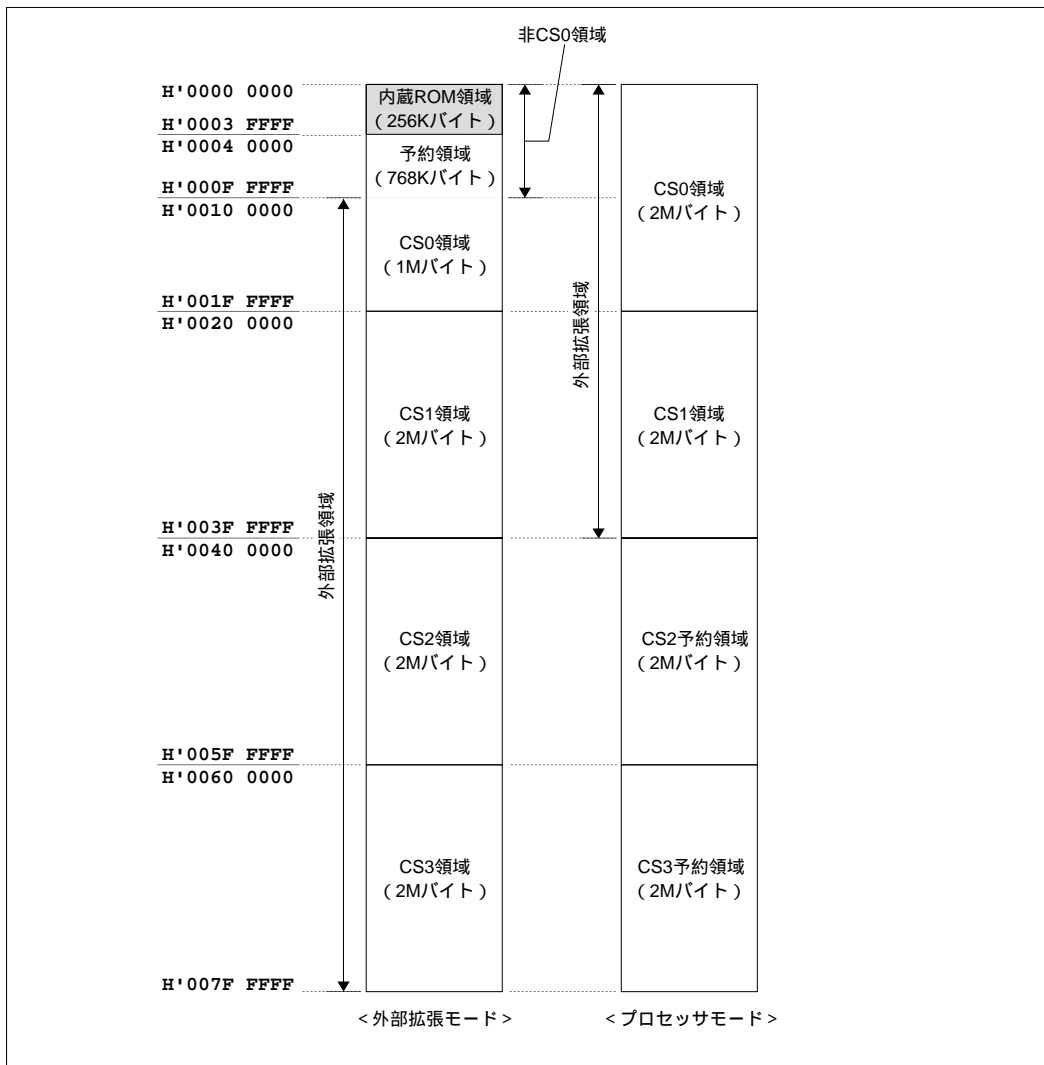


図18.1.1 CS0領域～CS3領域のアドレスマップ

外部拡張領域アクセス時、ウエイトコントローラはソフトウェアで設定されたウエイト数、および $\overline{\text{WAIT}}$ (ウエイト)端子からの入力信号に基づいて、バスサイクルに挿入されるウエイト数を制御します。

ソフトウェアで制御可能なウエイト数は、1から4です(外部アクセスは、1ウエイト挿入が最短のバスサイクルとなります)。

ソフトウェアで設定された内部ウエイトの最終サイクルで $\overline{\text{WAIT}}$ (ウエイト)端子に"L"レベル信号が入力されていると、ウエイトサイクルが延長されます。その後外部 $\overline{\text{WAIT}}$ 端子に"H"レベル信号が入力されると、ウエイトサイクルを終了し、次の新しいバスサイクルに移行します。

表18.1.2 外部拡張モード時のウェイトコントローラで設定可能なウェイト数

有効チップ レセクト信号	外部拡張 領域	アドレス	挿入ウェイト数
CS0, CS1	CS0領域	H'0010 0000 ~ H'001F FFFF	ソフトウェア設定により1~4ウェイト挿入 +WAIT端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)
	CS1領域	H'0020 0000 ~ H'002F FFFF (注1)	
CS0, CS1, CS2	CS0領域	H'0010 0000 ~ H'0017 FFFF (注2)	
	CS1領域	H'0020 0000 ~ H'0027 FFFF (注3)	
	CS2領域	H'0040 0000 ~ H'0047 FFFF (注4)	
CS0, CS1, CS3	CS0領域	H'0010 0000 ~ H'0013 FFFF, H'0018 0000 ~ H'001B FFFF (注5)	
	CS1領域	H'0020 0000 ~ H'0023 FFFF, H'0028 0000 ~ H'002B FFFF (注6)	
	CS3領域	H'0060 0000 ~ H'0063 FFFF H'0068 0000 ~ H'006B FFFF (注7)	
CS0, CS1, CS2, CS3	CS0領域	H'0010 0000 ~ H'0013 FFFF (注8)	
	CS1領域	H'0020 0000 ~ H'0023 FFFF (注9)	
	CS2領域	H'0040 0000 ~ H'0043 FFFF (注10)	
	CS3領域	H'0060 0000 ~ H'0063 FFFF (注11)	

注1. H'0030 0000 ~ H'003F FFFFの領域にCS1領域のゴーストが見えます。

注2. H'0018 0000 ~ H'001F FFFFの領域にCS0領域のゴーストが見えます。

注3. H'0028 0000 ~ H'003F FFFFの領域にCS1領域のゴーストが見えます。

注4. H'0048 0000 ~ H'005F FFFFの領域にCS2領域のゴーストが見えます。

注5. H'0014 0000 ~ H'0017 FFFFおよびH'001C 0000 ~ H'001F FFFFの領域にCS0領域のゴーストが見えます。

注6. H'0024 0000 ~ H'0027 FFFFおよびH'002C 0000 ~ H'003F FFFFの領域にCS1領域のゴーストが見えます。

注7. H'0064 0000 ~ H'0067 FFFFおよびH'006C 0000 ~ H'007F FFFFの領域にCS3領域のゴーストが見えます。

注8. H'0014 0000 ~ H'001F FFFFの領域にCS0領域のゴーストが見えます。

注9. H'0024 0000 ~ H'003F FFFFの領域にCS1領域のゴーストが見えます。

注10. H'0044 0000 ~ H'005F FFFFの領域にCS2領域のゴーストが見えます。

注11. H'0064 0000 ~ H'007F FFFFの領域にCS3領域のゴーストが見えます。

表18.1.3 プロセッサモード時のウェイトコントローラで設定可能なウェイト数

有効チップ レセクト信号	外部拡張 領域	アドレス	挿入ウェイト数
CS0	CS0領域	H'0000 0000 ~ H'000F FFFF (注1)	ソフトウェア設定により1~4ウェイト挿入 + WAIT端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)
CS1	CS1領域	H'0020 0000 ~ H'002F FFFF (注2)	

注1. H'0010 0000 ~ H'001F FFFFの領域にCS0領域のゴーストが見えます。

注2. H'0030 0000 ~ H'003F FFFFの領域にCS1領域のゴーストが見えます。

注3. プロセッサモード時、C2領域およびC3領域の外部拡張領域はありません。

18.2 ウェイトコントローラ関連レジスタ

以下にウェイトコントローラ関連のレジスタマップを示します。

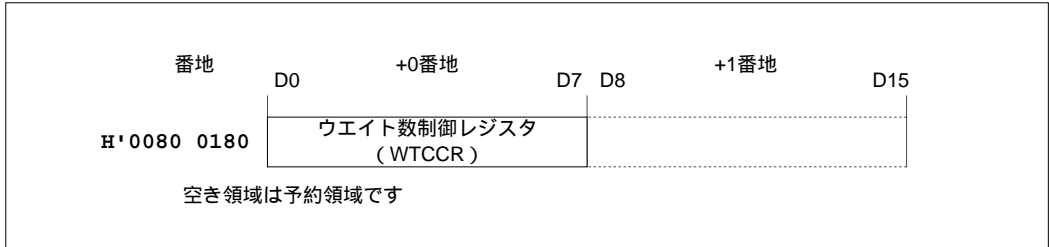
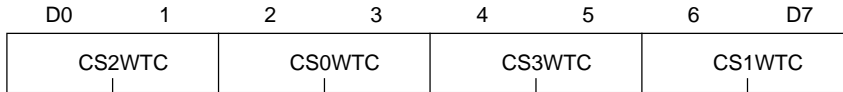


図18.2.1 ウェイトコントローラ関連レジスタマップ

18.2.1 ウェイト数制御レジスタ

ウェイト数制御レジスタ (WTCCR)

< アドレス : H'0080 0180 >



				< リセット時 : H'00 >	
D	ビット名	機能	R	W	
0,1	CS2WTC (CS2ウェイト数制御)	00 : 4ウェイト(リセット時) 01 : 3ウェイト 10 : 2ウェイト 11 : 1ウェイト			
2,3	CS0WTC (CS0ウェイト数制御)	00 : 4ウェイト(リセット時) 01 : 3ウェイト 10 : 2ウェイト 11 : 1ウェイト			
4,5	CS3WTC (CS3ウェイト数制御)	00 : 4ウェイト(リセット時) 01 : 3ウェイト 10 : 2ウェイト 11 : 1ウェイト			
6,7	CS1WTC (CS1ウェイト数制御)	00 : 4ウェイト(リセット時) 01 : 3ウェイト 10 : 2ウェイト 11 : 1ウェイト			

18.3 ウェイトコントローラ動作例

以下にウェイトコントローラの動作例を示します。

ウェイトコントローラでは2~5サイクルのバスアクセスが制御可能で、それ以上のアクセスサイクルが必要な場合にはWAIT機能との組み合わせ使用が必要です。

(1) バスモード制御レジスタが0の場合 (WR 信号分離モード)

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, \overline{RD} , \overline{BHW} , \overline{BLW} , \overline{WAIT} , \overline{BCLK} の各信号により行います。

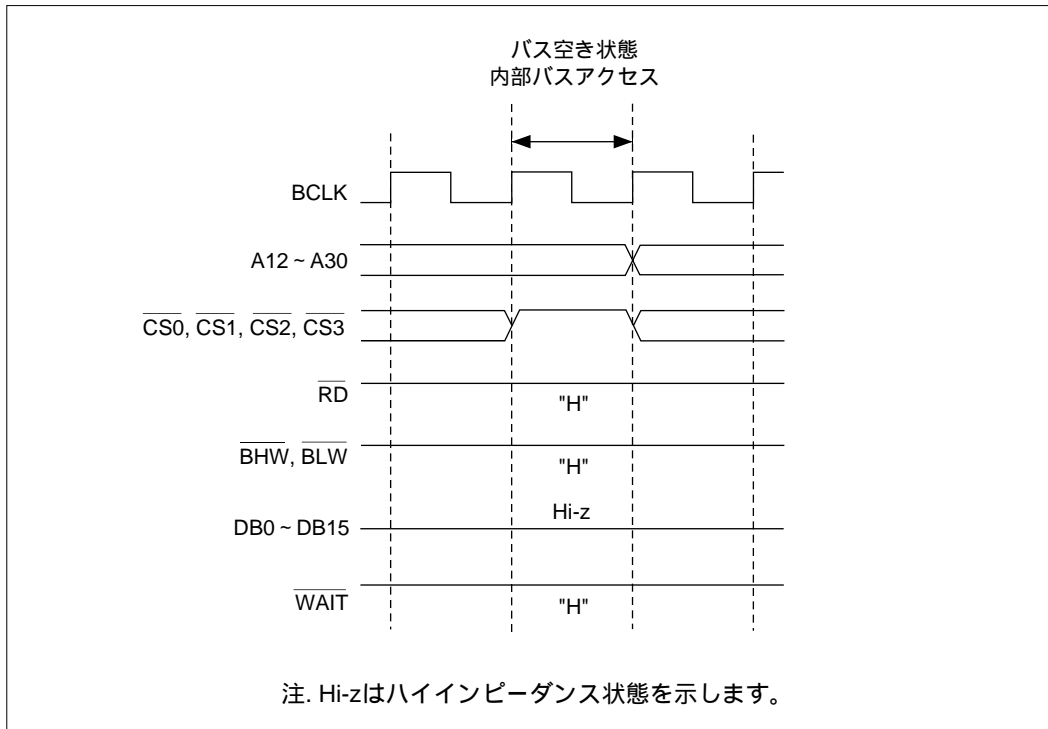


図18.3.1 バス空き状態/内部バスアクセス時

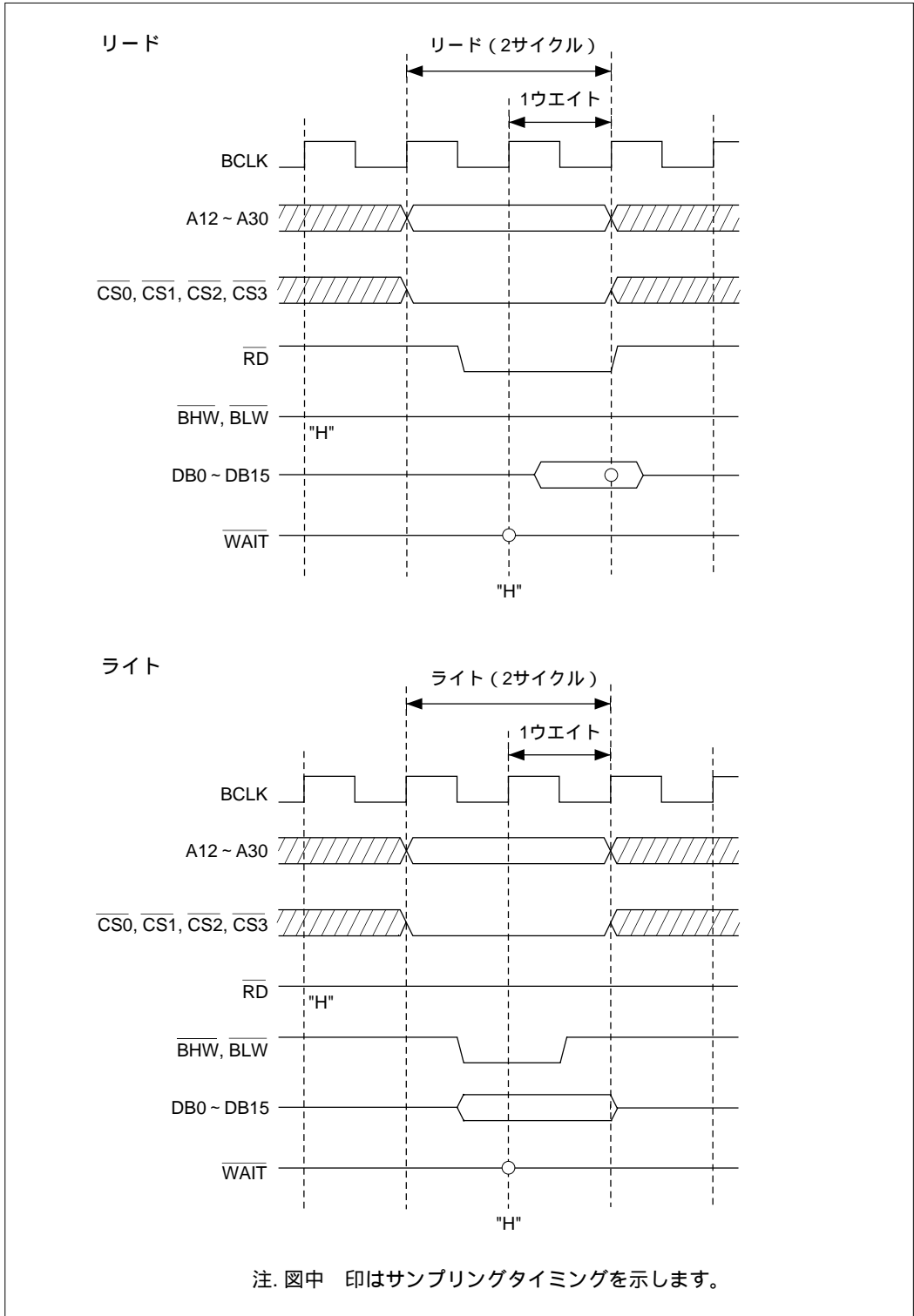


図18.3.2 リード/ライトタイミング(内部1ウェイトアクセス時)

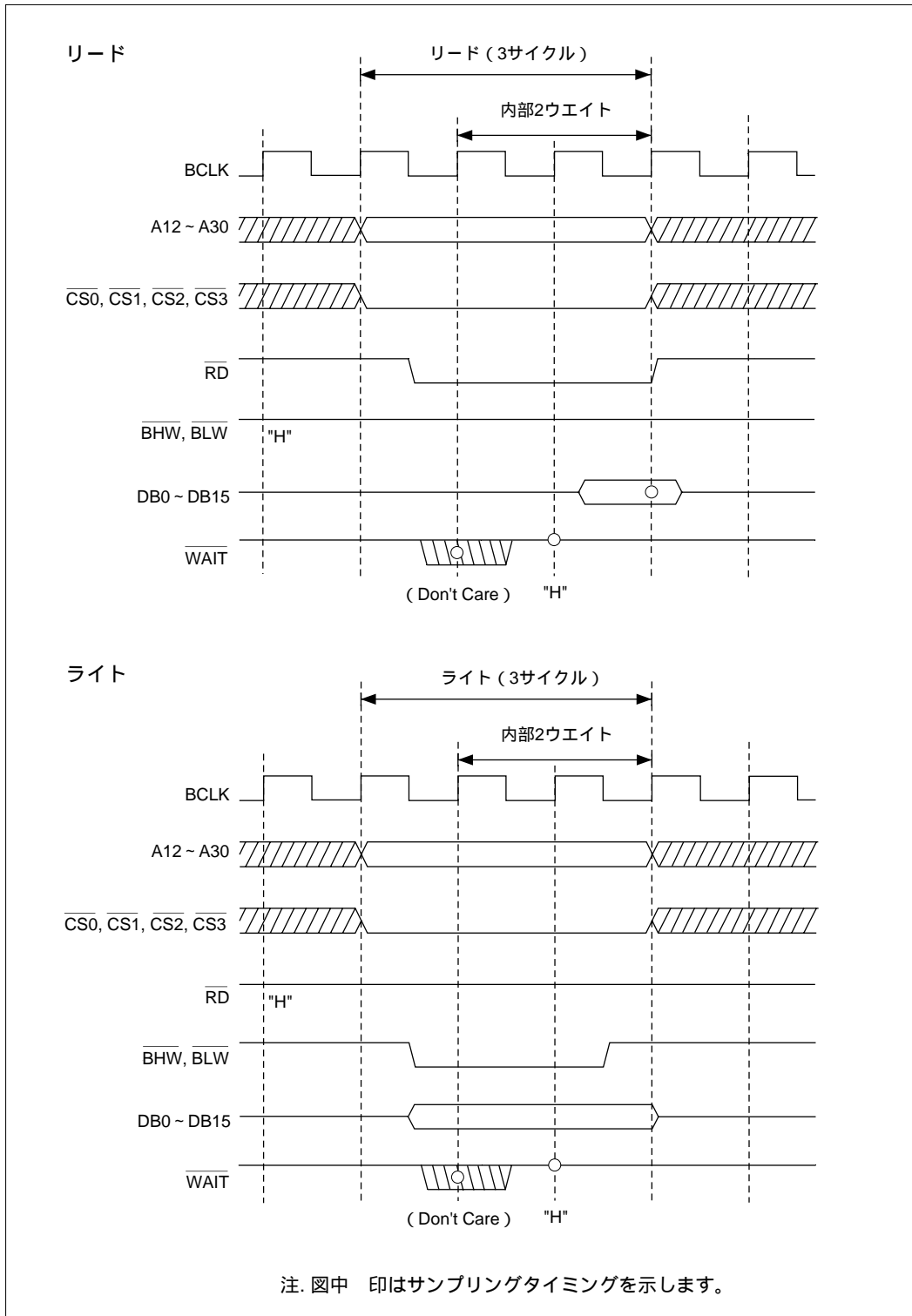


図18.3.3 リード/ライトタイミング(内部2ウェイトアクセス時)

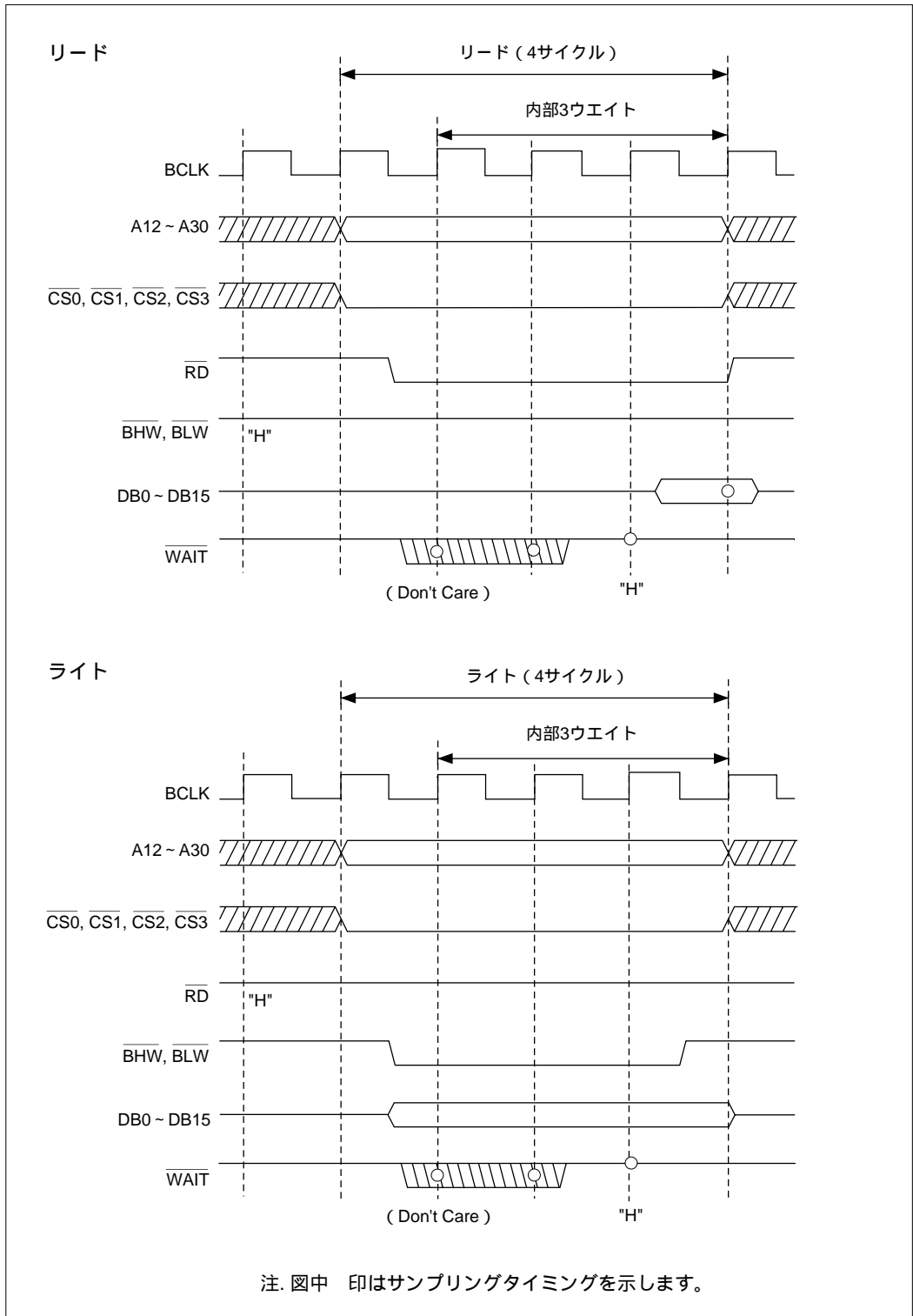


図18.3.4 リード/ライトタイミング(内部3ウェイトアクセス時)

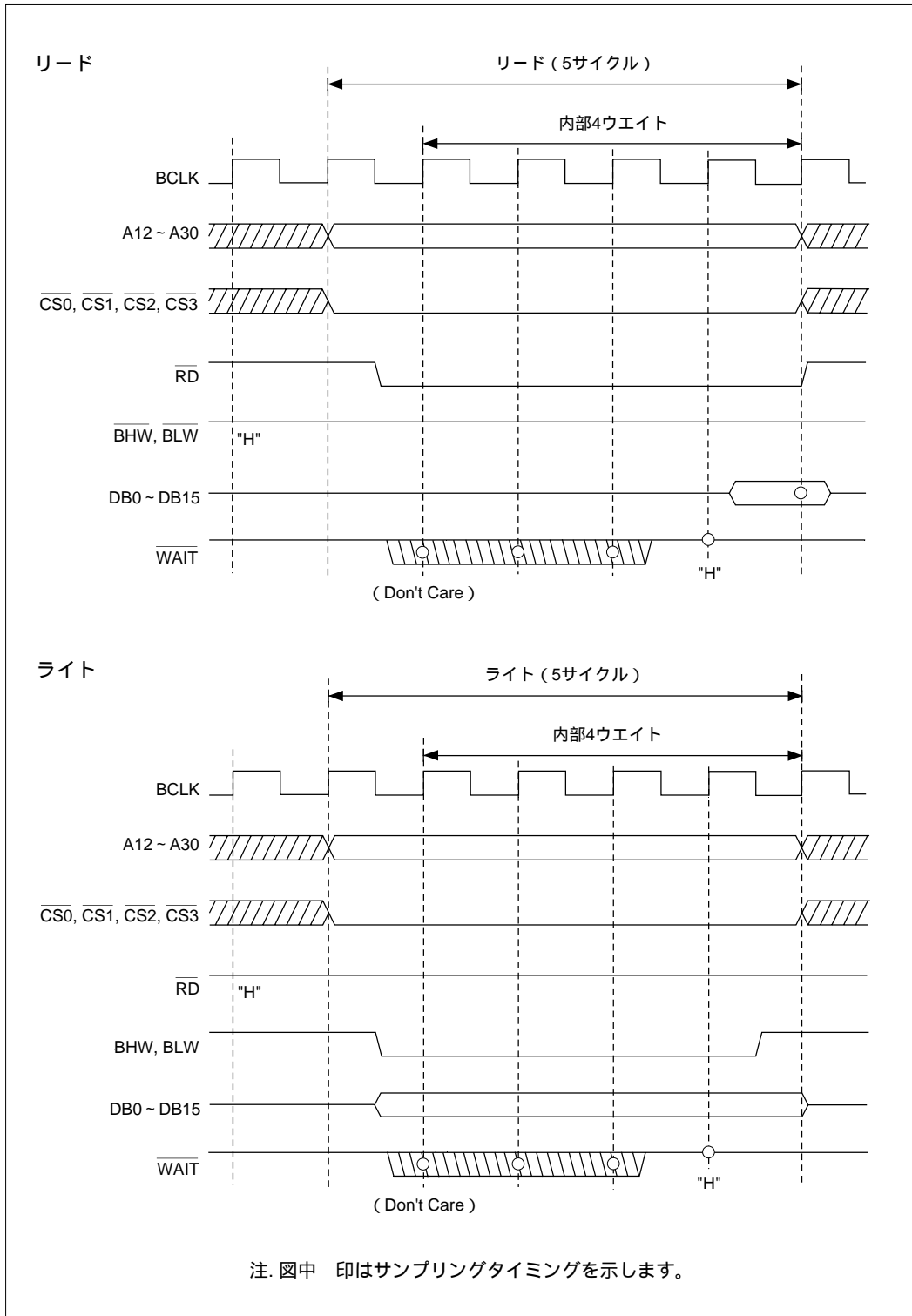


図18.3.5 リード/ライトタイミング(内部4ウェイトアクセス時)

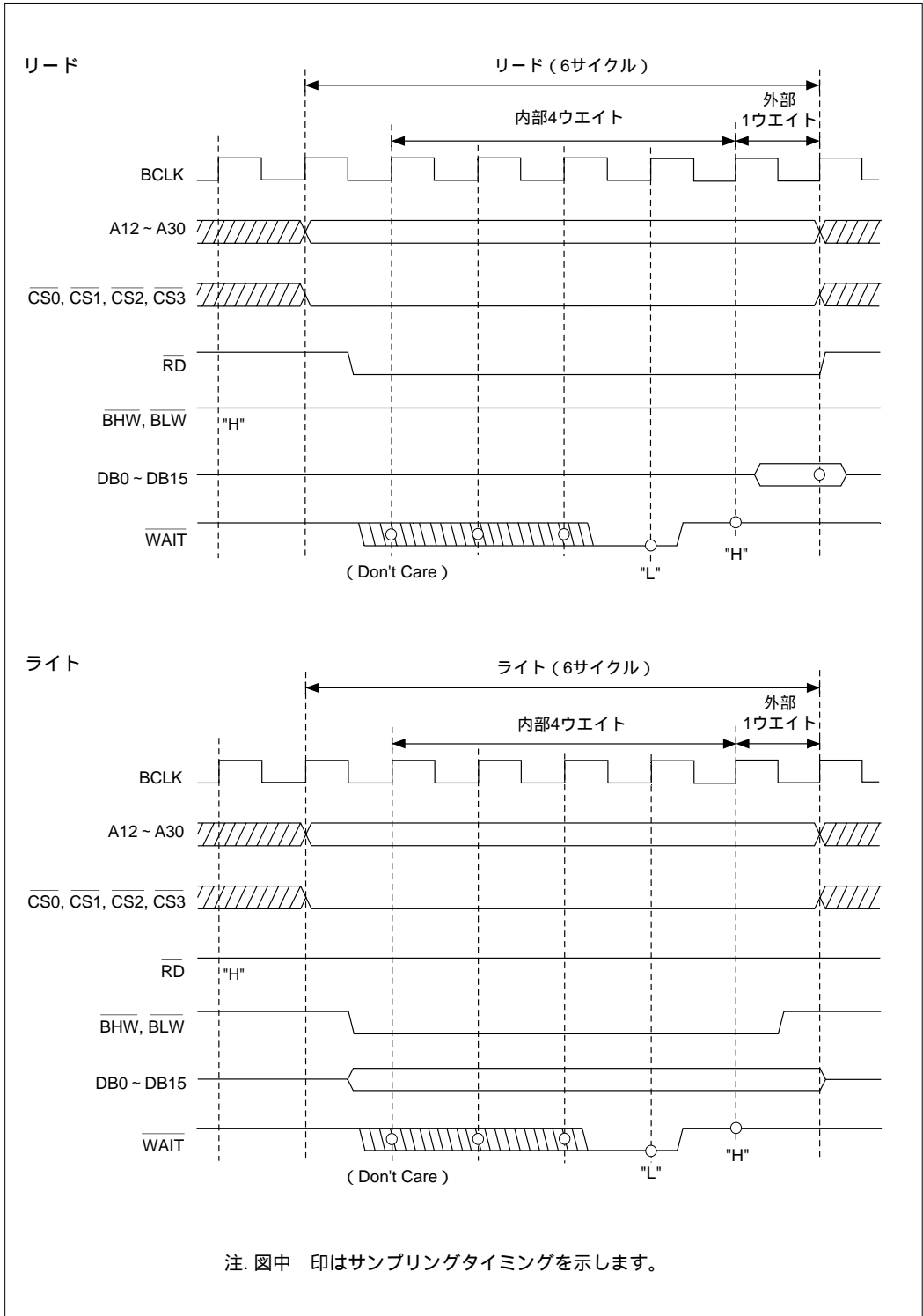


図18.3.6 リード/ライトタイミング(内部4+外部1ウェイトアクセス時)

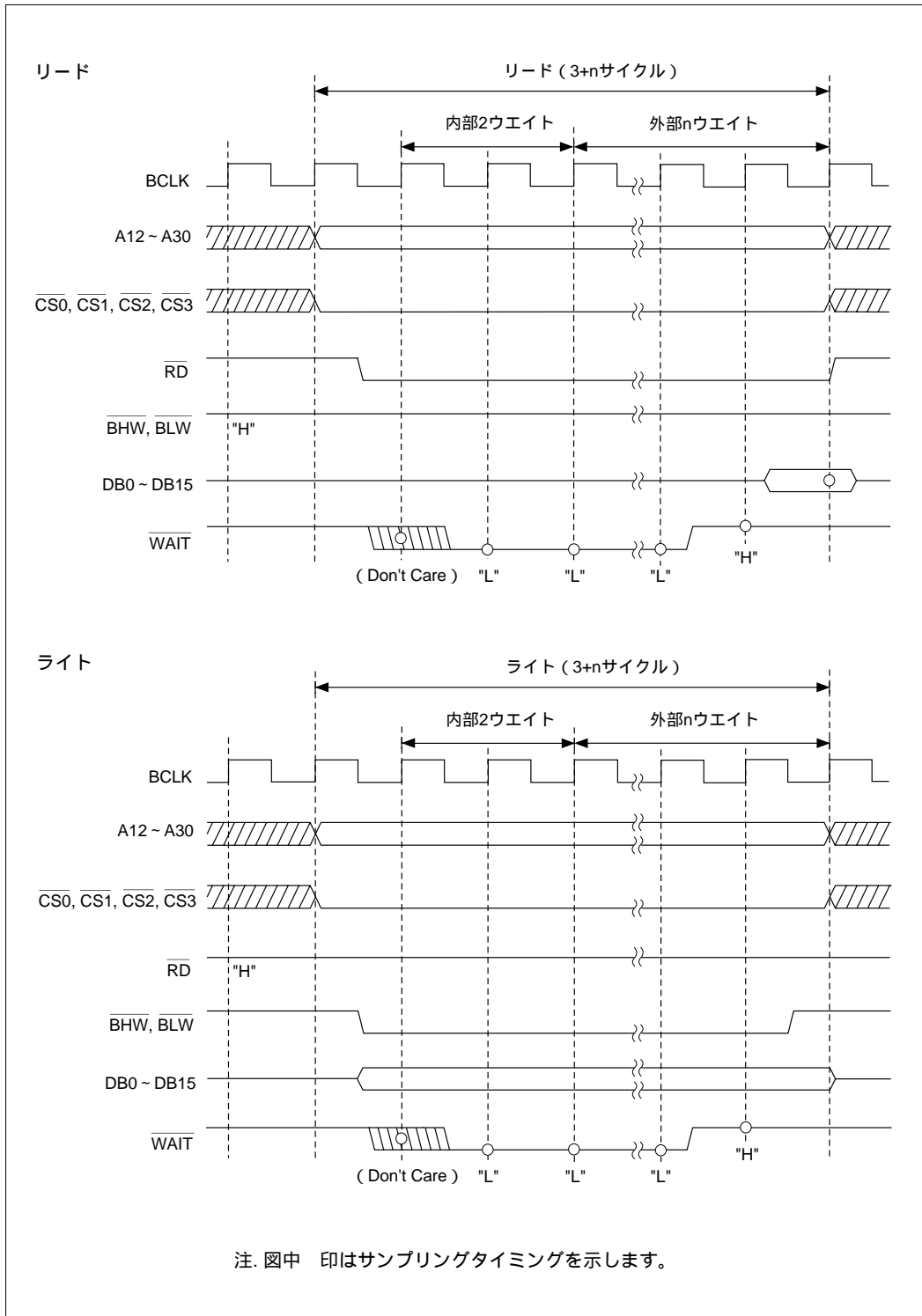


図18.3.7 リード/ライトタイミング(内部2 + 外部nウェイトアクセス時)

(2) バスモード制御レジスタが1の場合 (バイトイネーブル分離モード)

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, \overline{RD} , \overline{BHE} , \overline{BLE} , \overline{WAIT} , \overline{WR} の各信号により行います。

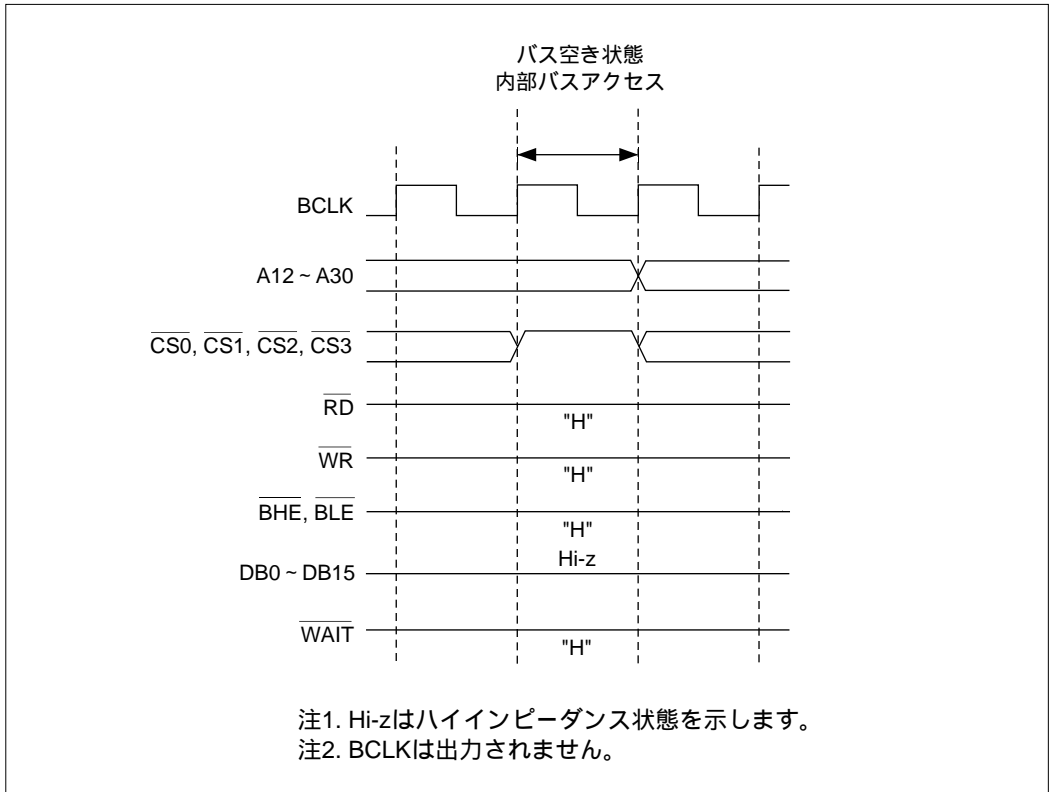


図18.3.8 バス空き状態/内部バスアクセス時

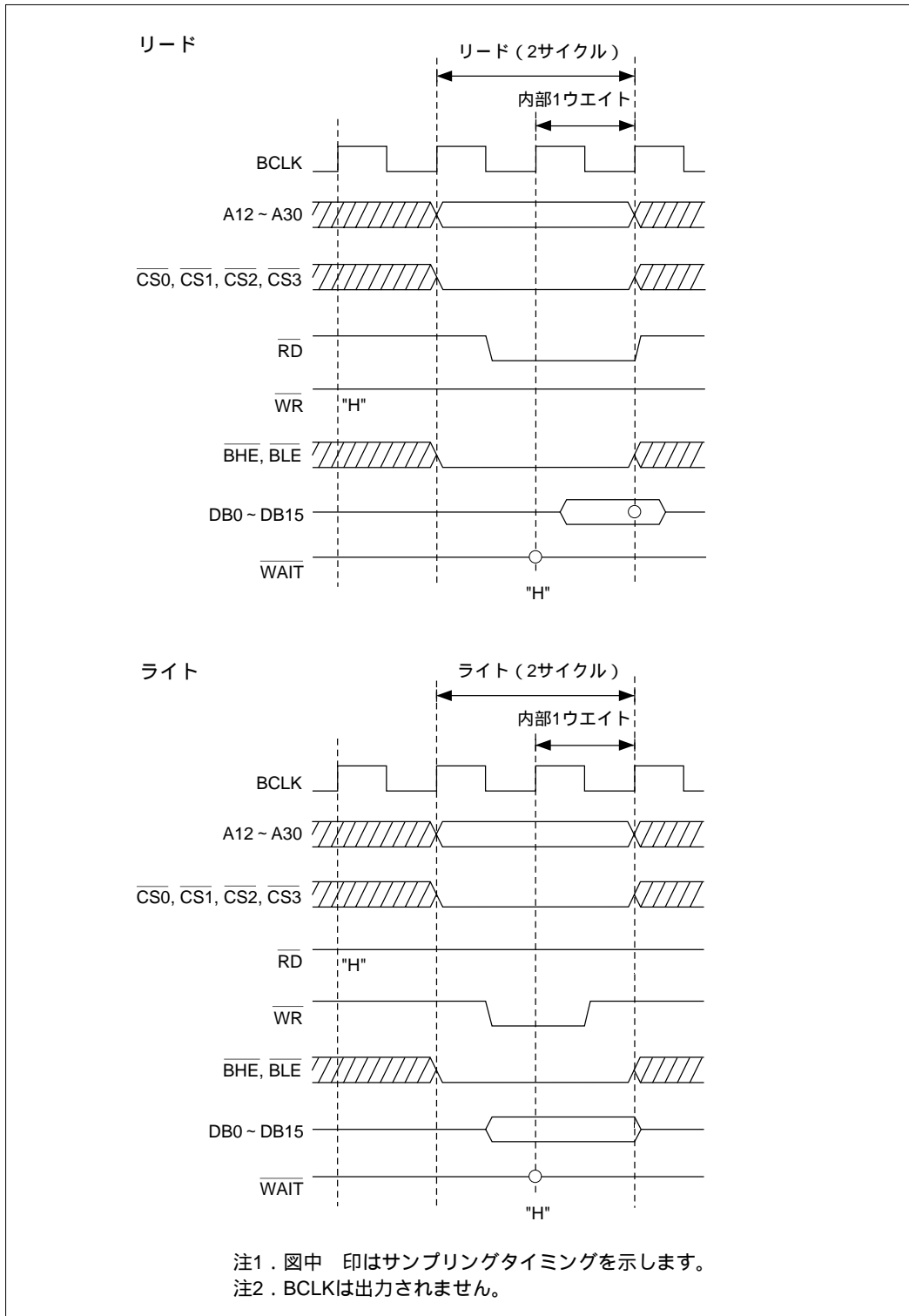


図18.3.9 リード/ライトタイミング(内部1ウェイトアクセス時)

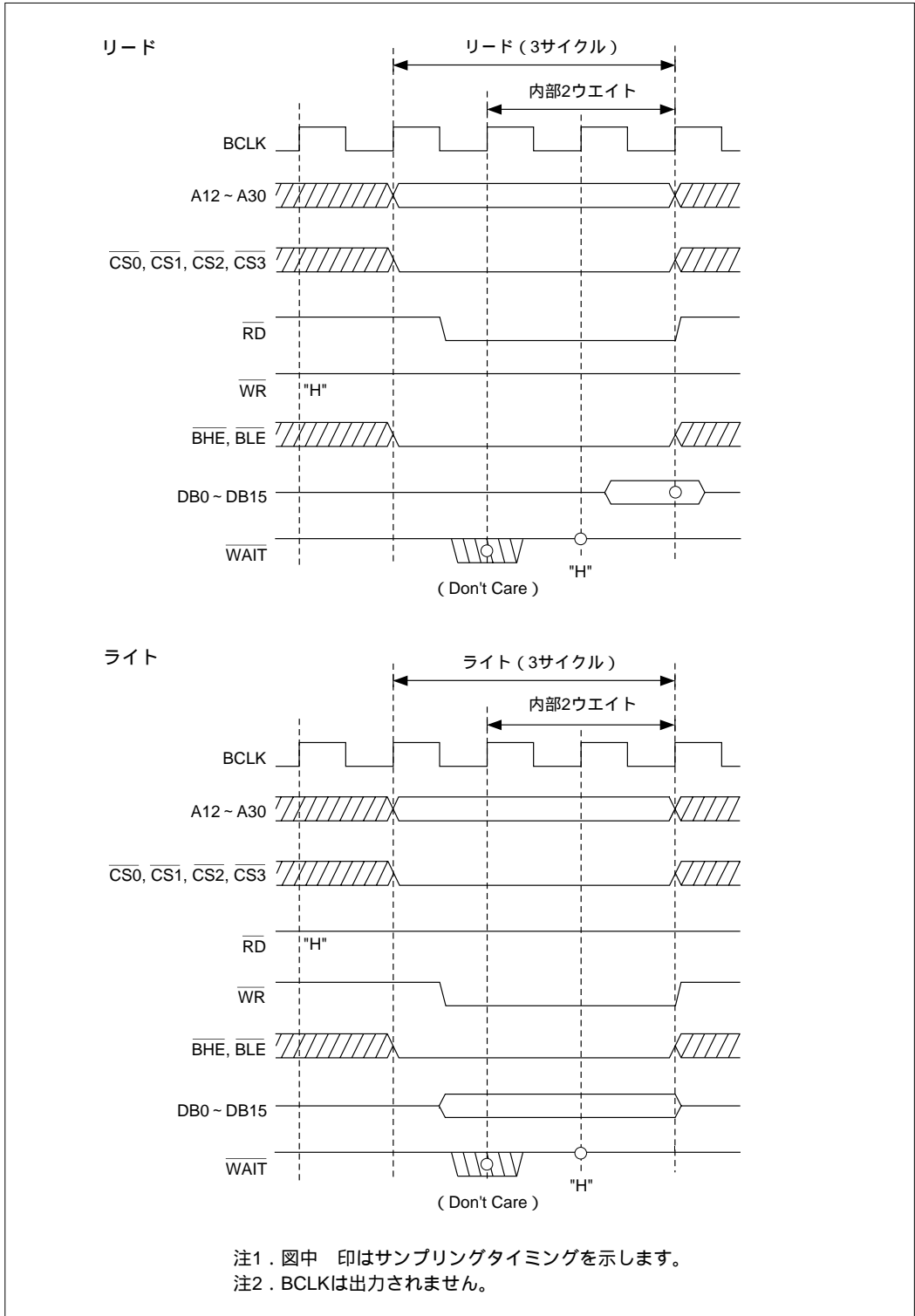


図18.3.10 リード/ライトタイミング(内部2ウェイトアクセス時)

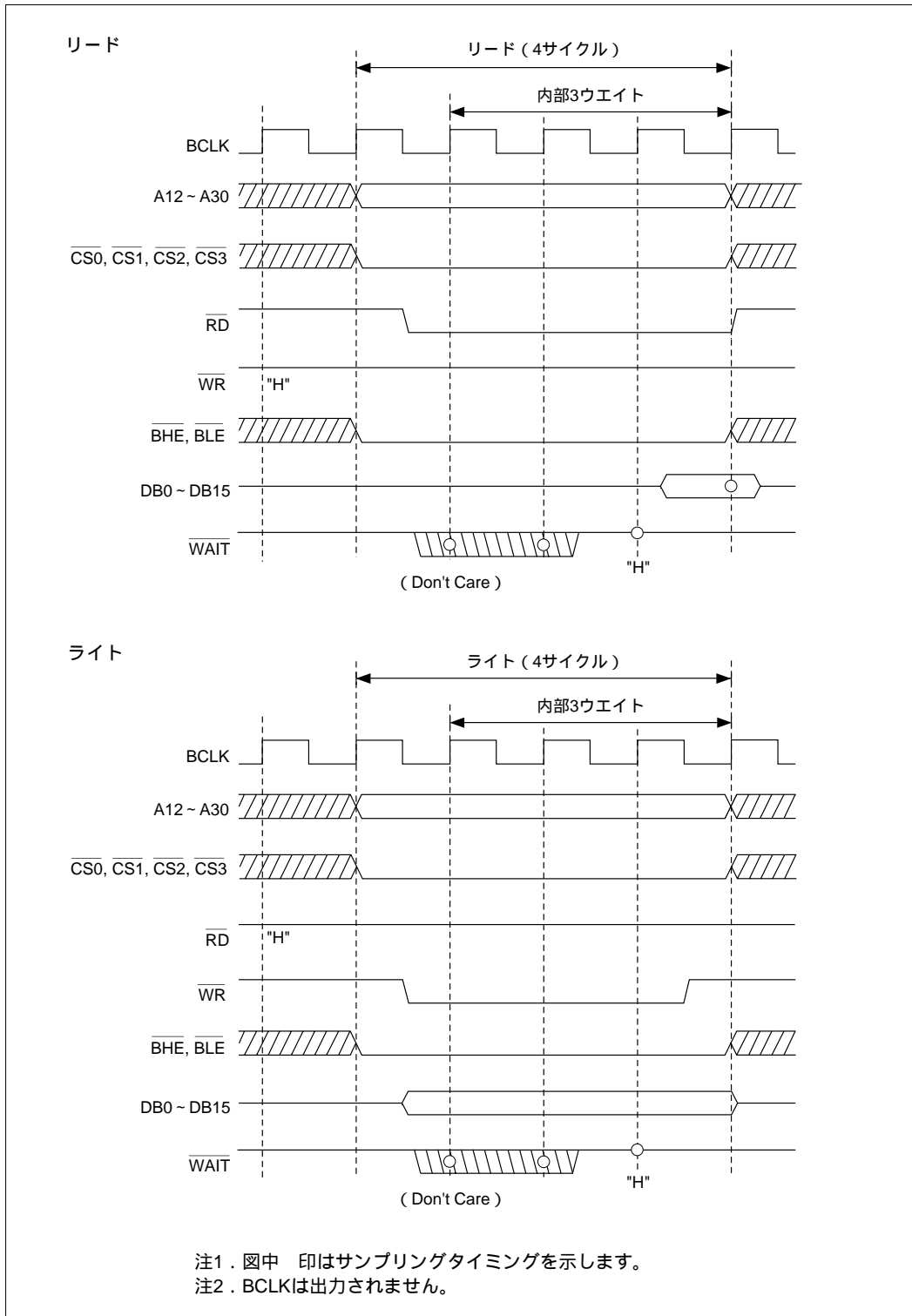


図18.3.11 リード/ライトタイミング(内部3ウェイトアクセス時)

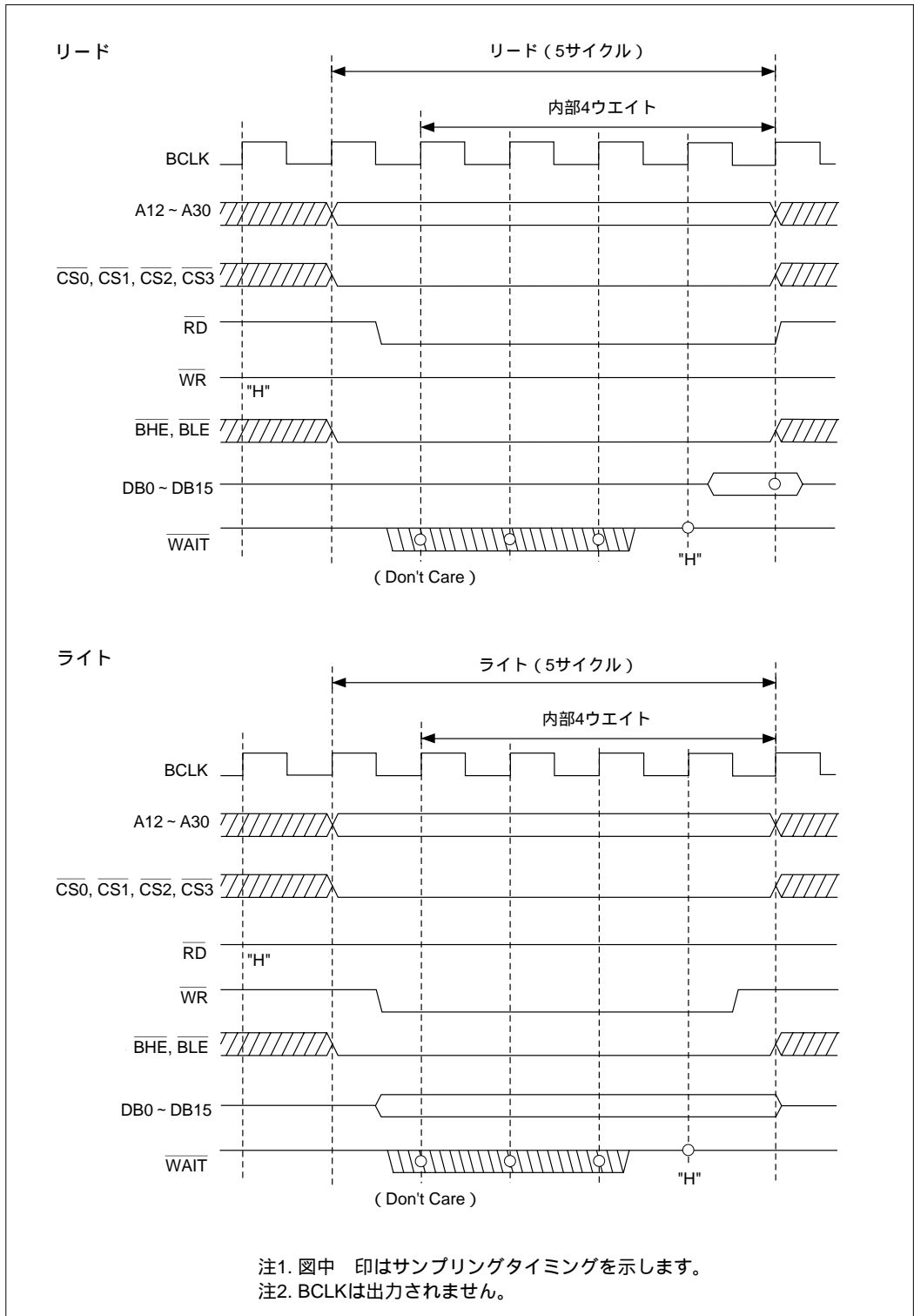


図18.3.12 リード/ライトタイミング(内部4ウェイトアクセス時)

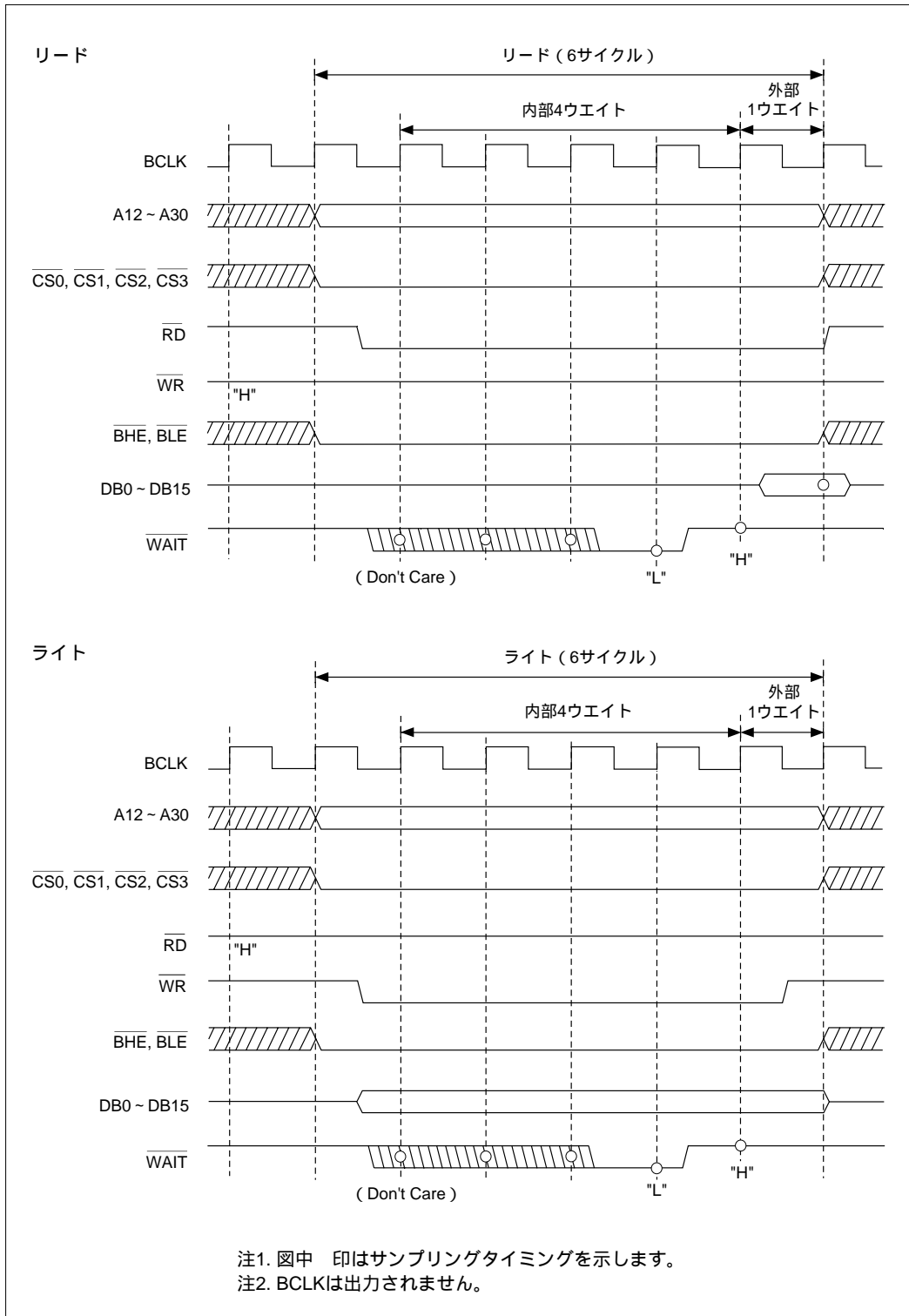


図18.3.13 リード/ライトタイミング(内部4+外部1ウェイトアクセス時)

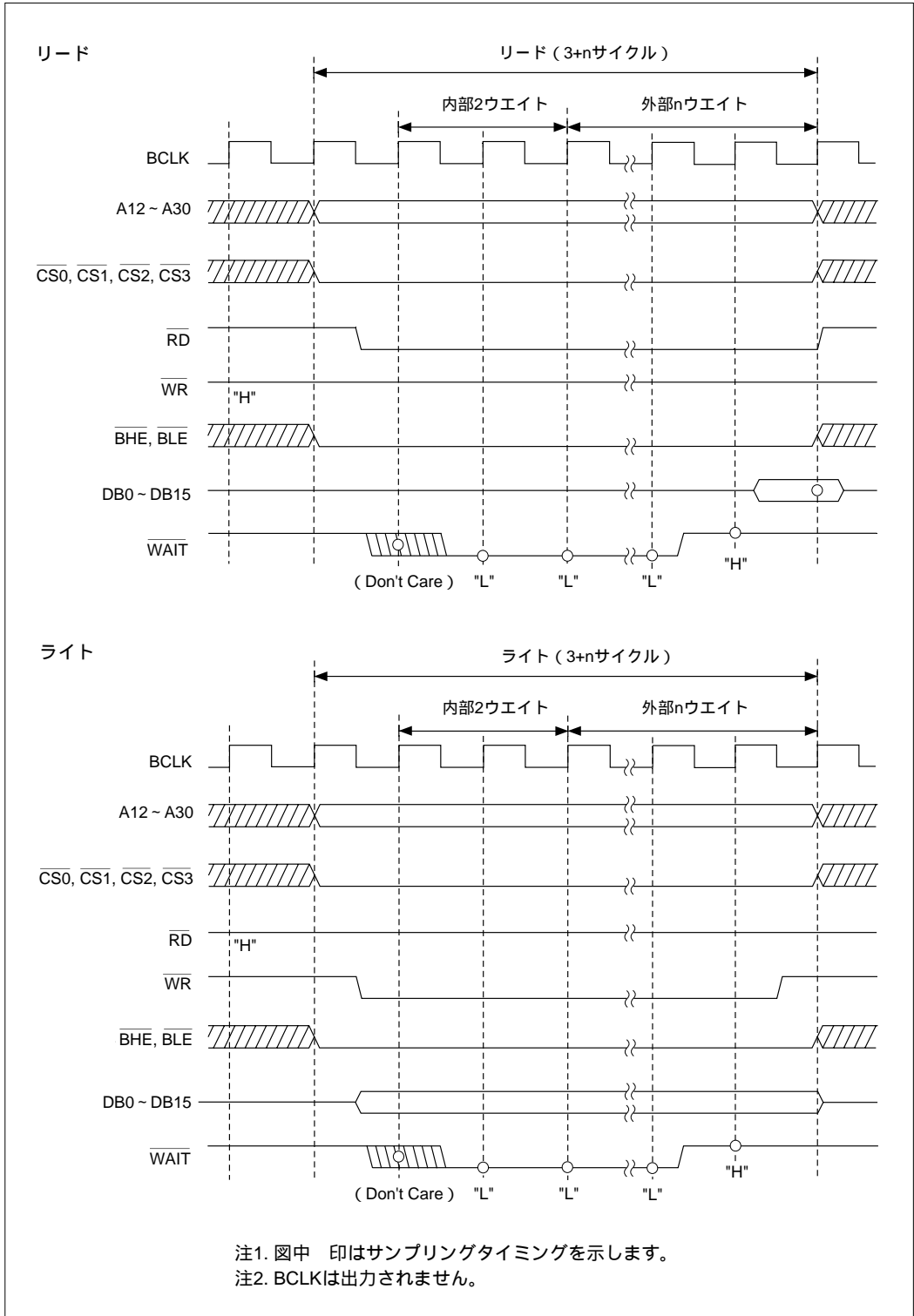


図18.3.14 リード/ライトタイミング(内部2+外部nウェイトアクセス時)

第19章

RAMバックアップモード

- 19.1 概要
- 19.2 電源断時のRAMバックアップ例
- 19.3 低消費電力化のためのRAMバックアップ例
- 19.4 RAMバックアップモードの解除(ウエイクアップ)

19.1 概要

RAMバックアップモードは、電源を切った状態で内部RAMの内容を保持するモードです。RAMバックアップモードは、次の二つの目的で使用されます。

電源断時の内蔵RAMデータのバックアップ

システムの低消費電力化のために任意のタイミングでCPUの電源を切りたい場合

RAMバックアップ用のVDD端子に2.0～3.3Vの電圧を印加し、その他の端子に0Vを印加すると、M32R/ECUはRAMバックアップモードになります。

RAMバックアップモード時、内部RAMの内容が保持された状態で、CPUおよび内蔵周辺I/Oは停止しています。また、RAMバックアップモード中はVDD端子以外の端子は“L”レベルのため、効果的な低消費電力が実現できます。

19.2 電源断時のRAMバックアップ例

電源断時のRAMバックアップ回路例を図19.2.1に示します。この回路例を使用した場合のRAMバックアップ例について、以下に説明します。

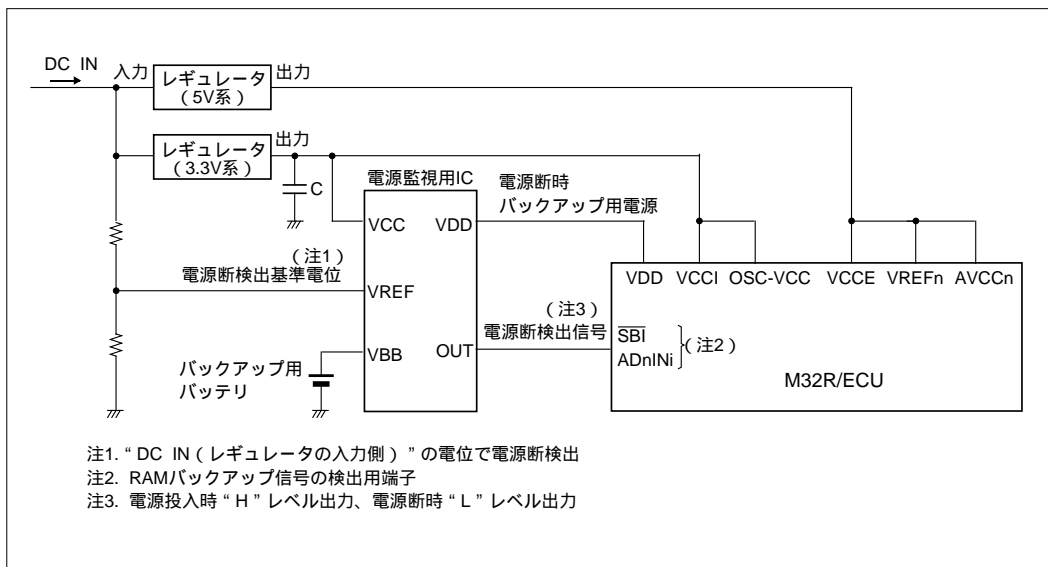


図19.2.1 電源断時のRAMバックアップ回路例

19.2.1 通常動作時の状態

図19.2.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号の検出用の $\overline{\text{SBI}}$ 端子または ADnINi ($i=0 \sim 15$)端子へは“H”レベルが入力されます。

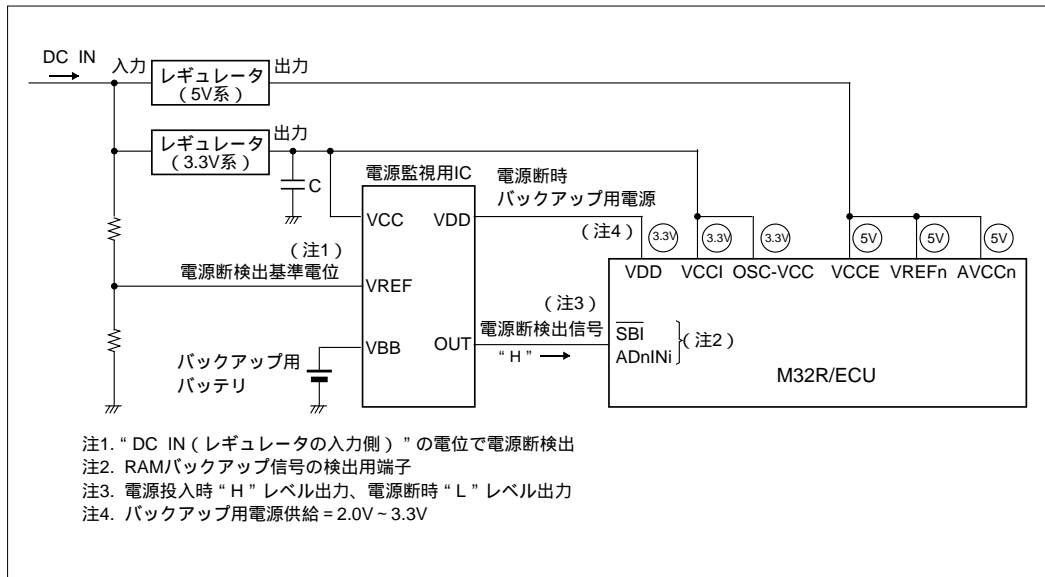


図19.2.2 通常動作時の状態

19.2.2 RAMバックアップ時の状態

図19.2.3に電源断時のRAMバックアップの状態を示します。電源が切れると電源監視用ICによって、バックアップ用バッテリーから電流が供給されます。また、電源監視用ICの電源断検出信号端子から“L”レベルが出力され、SBI端子またはADnINi端子は“L”レベルになりRAMバックアップ信号の発生となります(図19.2.3の)。電源断検出判定は、電源断時のソフトウェア処理時間を確保するため、必ず“DC IN(レギュレータの入力側)”の電位で行う必要があります。

RAMバックアップモードを有効にするためには、次の設定を行ってください。

(1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図19.2.3の)。

(1)の設定後、VCCへの電流の供給が切れると、VDD端子は2.0V～3.3V、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図19.2.3の)。

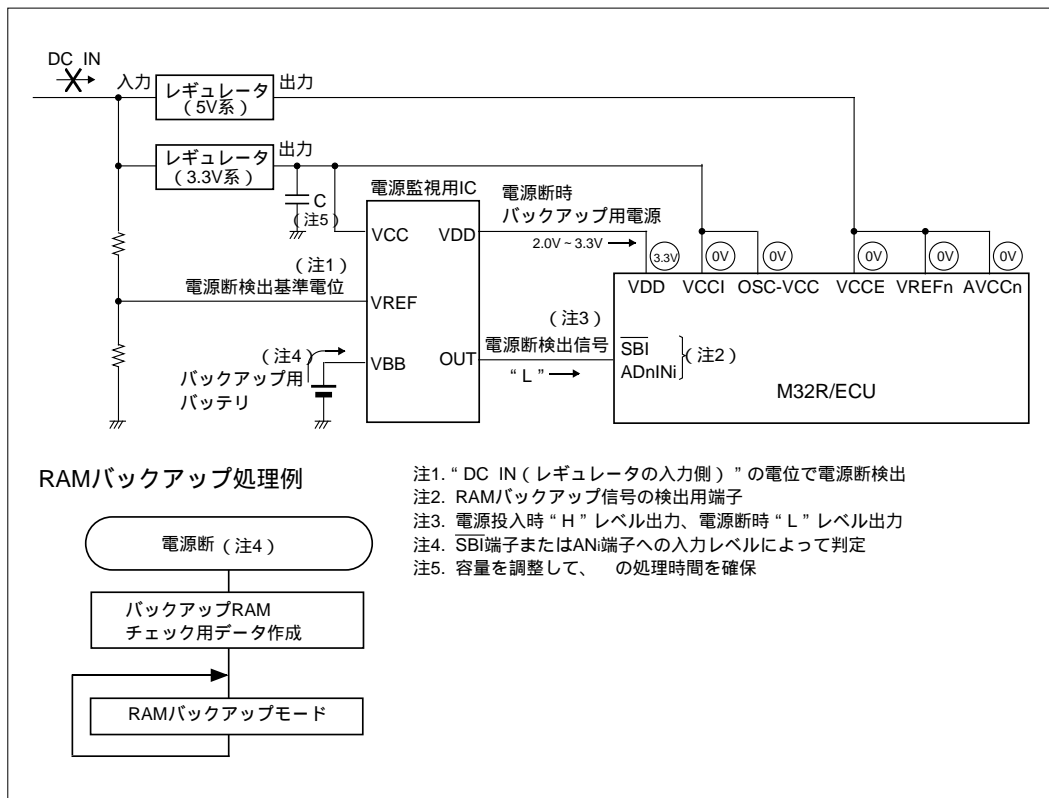


図19.2.3 電源断時のRAMバックアップ時の状態

19.3 低消費電力化のためのRAMバックアップ例

低消費電力化のためのRAMバックアップ回路例を図19.3.1に示します。この回路例を使用した場合の低消費電力化のためのRAMバックアップ例について、以下に説明します。

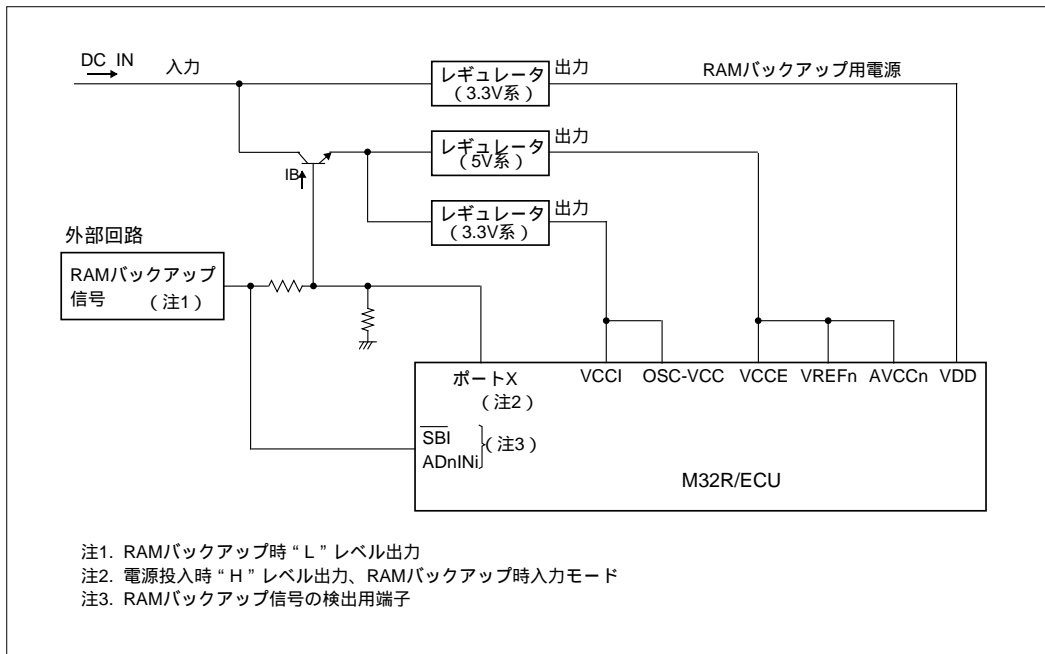


図19.3.1 低消費電力化のためのRAMバックアップ回路例

19.3.1 通常動作時の状態

図19.3.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号を出力する外部回路からは、“H”レベルが出力されます。RAMバックアップ信号の検出用のSBI端子またはADnINi(i=0～15)端子へは“H”レベルが入力されます。

トランジスタのベース接続端子であるポートXからは、“H”レベルを出力してください。この処置によって、トランジスタのベース電圧IBが“H”レベルになり、トランジスタを経由して電源からVCC端子へ電流が供給されます。

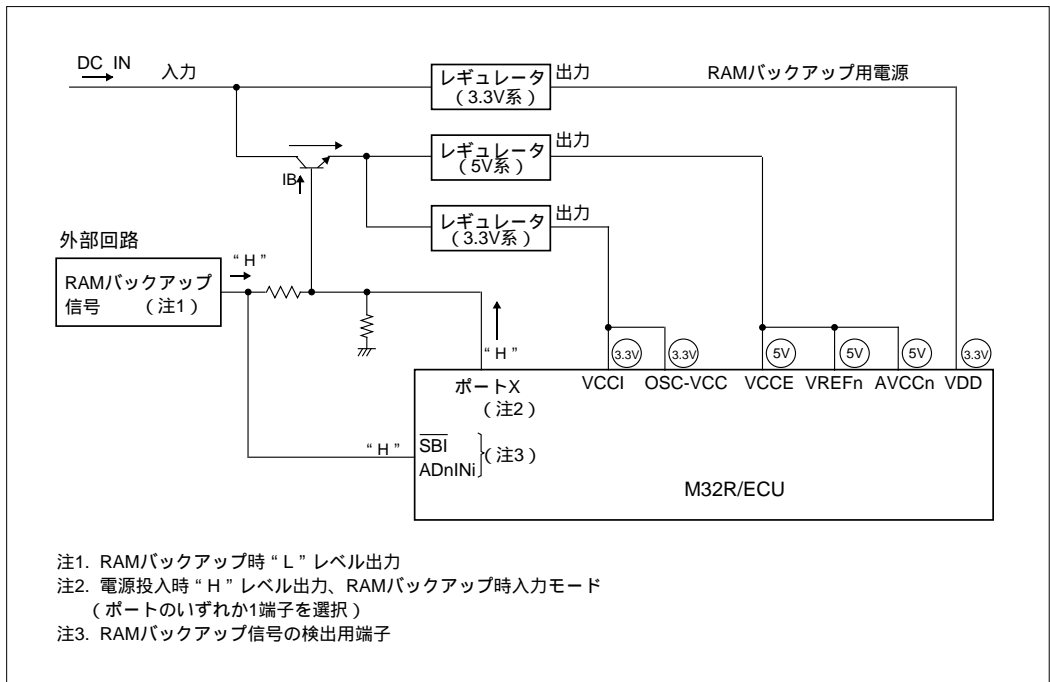


図19.3.2 通常動作時の状態

19.3.2 RAMバックアップ時の状態

図19.3.3にRAMバックアップ時の状態を、図19.3.4にRAMバックアップシーケンスを示します。外部回路から“L”レベルが出力されるとSBI端子またはADnINi端子へ“L”レベルが入力されます。これらの端子への“L”レベル入力が、RAMバックアップ信号の発生となります(図19.3.3のA、)。RAMバックアップモードを有効にするためには、次の設定を行ってください。

- (1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図19.3.3の)。)
 - (2) 低消費電力を実現するために、ポートX以外のプログラマブル入出力ポートをすべて入力モード(又は出力モードで“L”レベル出力)に設定する(図19.3.3の)。
 - (3) ポートXを入力モードに設定する(図19.3.3のB、)。この処置によってトランジスタのベース電圧IBが“L”レベルになり、電流はトランジスタを介して電源からVCC端子へ流れないため(図19.3.3のC)、VCC端子への電流の供給が切れます(図19.3.3のD)。
- (1)~(3)の設定によってVDD端子は $3.3V \pm 10\%$ 、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図19.3.3の)。

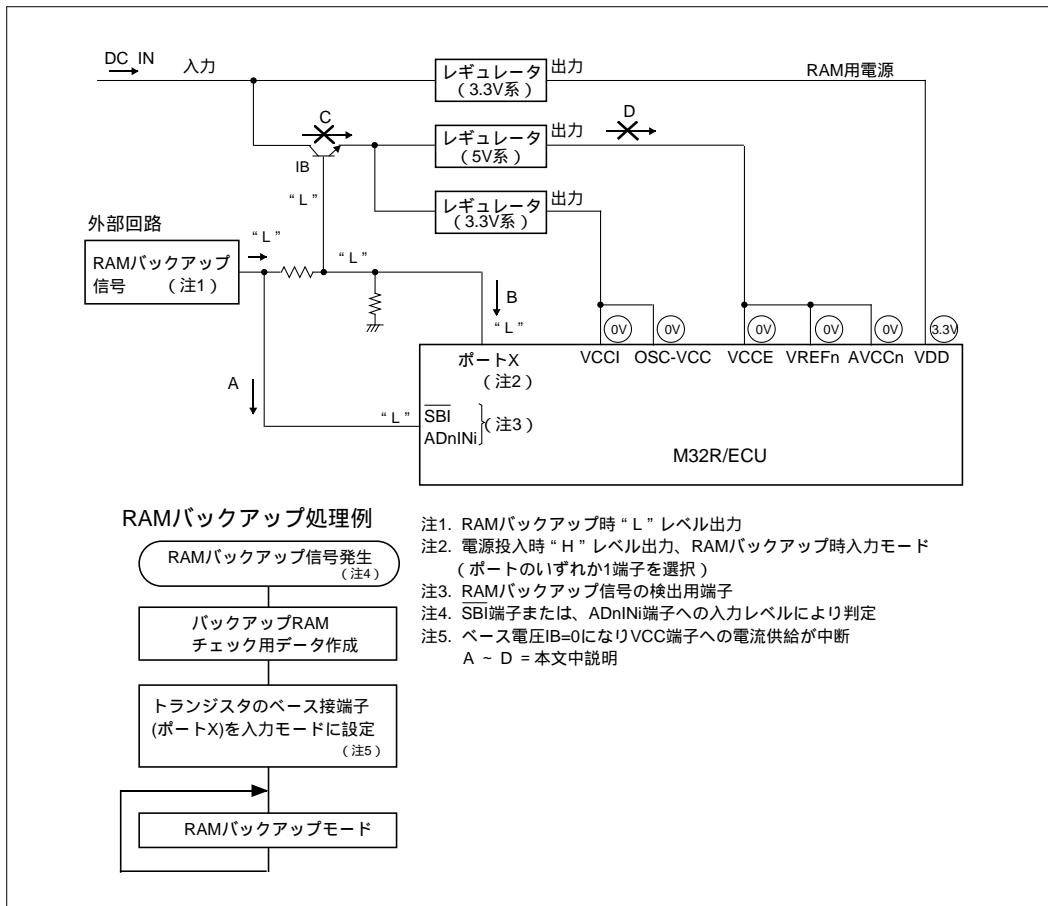


図19.3.3 低消費電力化時のRAMバックアップ時の状態

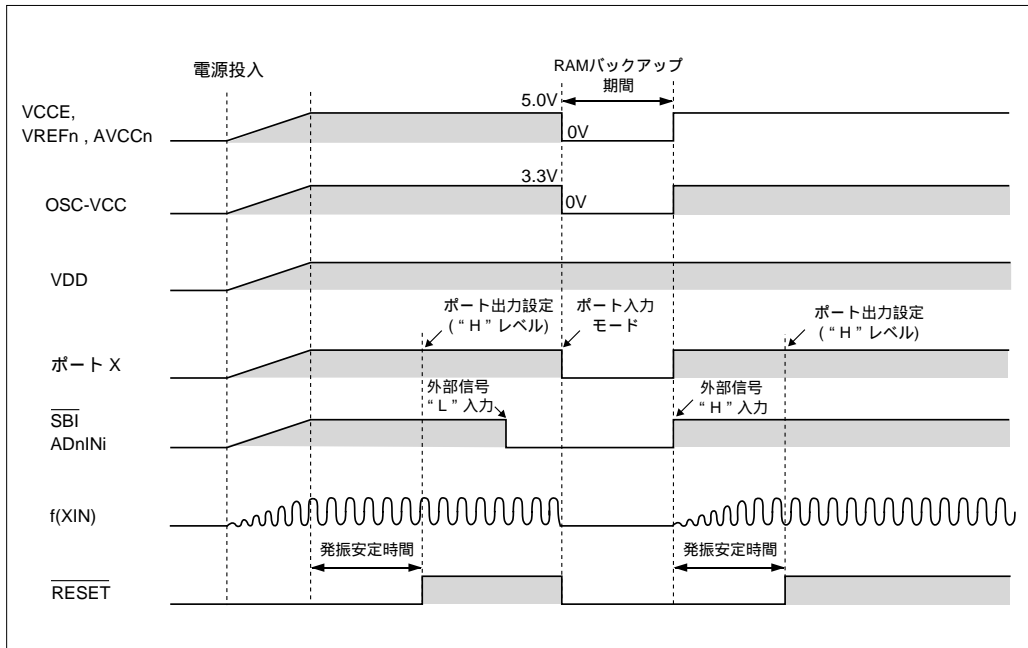


図19.3.4 低消費電力化のためのRAMバックアップシーケンス例

19.3.3 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

ポートXデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベル“H”を設定した後、ポートXを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が“L”レベルになり、RAMバックアップモードなることがあります。

19.4 RAMバックアップモードの解除(ウエイクアップ)

RAMバックアップモードを解除して通常動作に復帰するための処理を、ウエイクアップ処理と言います。図19.4.1にウエイクアップ処理例を示します。

ウエイクアップ処理は、リセット入力により行います。ウエイクアップ処理を次に示します。

- (1) リセット動作を実行(図19.4.1の ①)。
リセットについては「第6章 リセット」を参照。
- (2) ポートXを出力モードに設定し、“H”レベルを出力(図19.4.1の ②)。(注)
- (3) RAMバックアップモード時に作成した、チェック用データの内容を判定(図19.4.1の ③)。
- (4) (3)の判定結果が一致しなかった場合、RAMの初期設定を行う(図19.4.1の ④)。
(3)の判定結果が一致した場合は、保持されていたデータをプログラム中で使用。
- (5) 各初期設定を行った(図19.4.1の ⑤)後、メインルーチンへ復帰(図19.4.1の ⑥)。

注. 電源断時のRAMバックアップモードのウエイクアップには、ポートXの設定処理は不要となります。

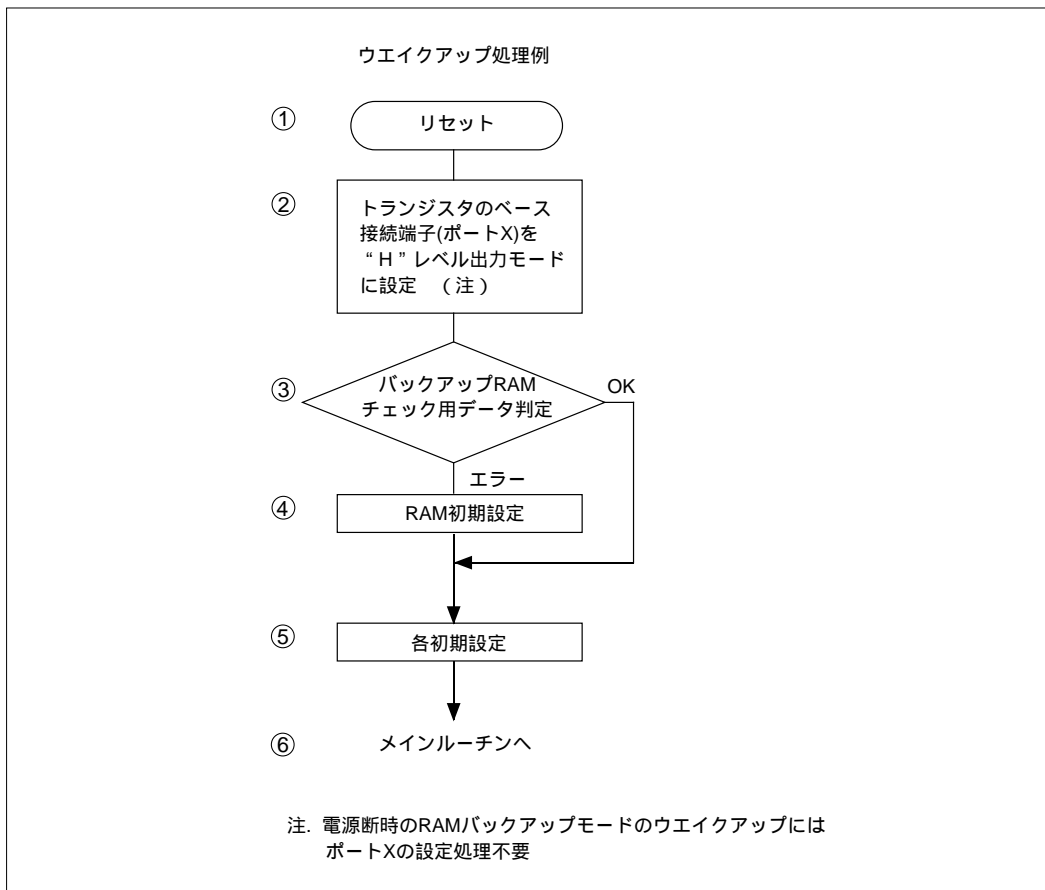


図19.4.1 ウエイクアップ処理

* 空きページです *

第20章

発振回路

- 20.1 発振回路
- 20.2 クロック発生回路

20.1 発振回路

M32R/ECUは、CPUコア、内蔵周辺I/Oおよび内蔵メモリなどの動作クロックを供給する発振回路を内蔵しています。クロック入力端子(XIN)に入力された周波数を内蔵PLL回路により4通倍したクロックがCPUコア、内蔵メモリの動作クロックであるCPUクロックになります。また、4通倍したクロックを2分周したクロックが内部周辺I/Oの動作クロックである内部周辺クロックになります。

20.1.1 発振回路例

XIN端子とXOUT端子の間にセラミック共振子(または水晶発振子)を外付けすることによって、クロック発振回路を構成することができます。

共振子を外付けした場合の回路およびPLL回路の制御端子(VCNT)に接続する回路を示したシステムクロック発生回路例を図20.1.1に示します。Rf,CIN,COOUT,Rdなどの定数は、共振子及び発振子メーカーにお問い合わせの上、推奨する値に設定してください。

発振回路を用いずに、外部からクロック信号を入力する場合は、XIN端子にクロック信号を入力し、XOUT端子はオープンにしてください。

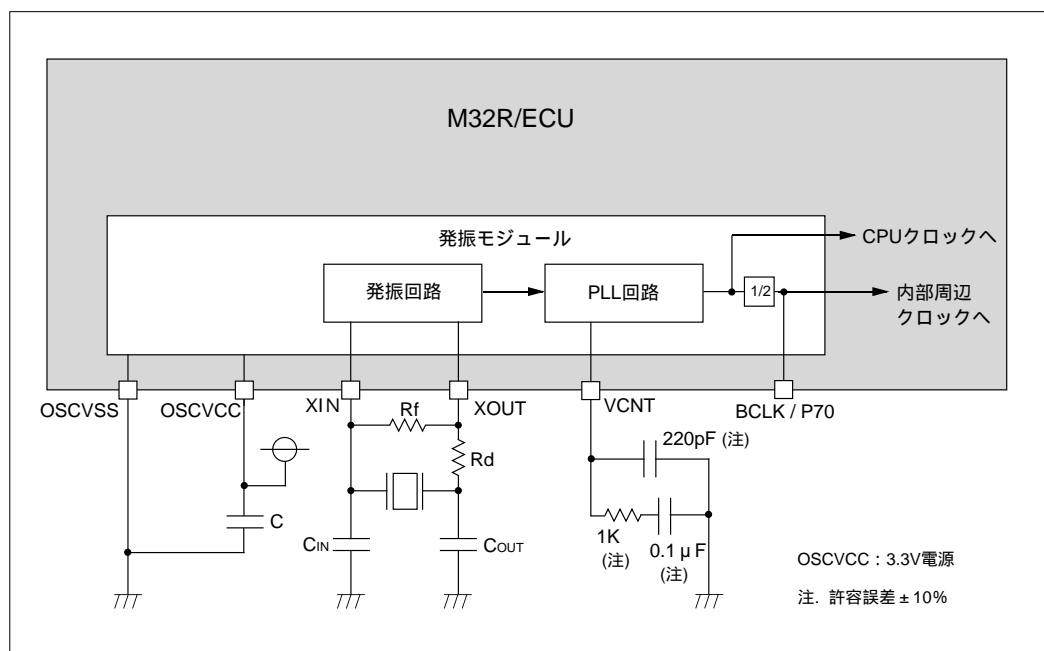


図20.1.1 システムクロック発生回路例

20.1.2 システムクロックの出力機能

入力クロックの2倍の周波数のクロックをBCLK端子から出力させることができます。BCLK端子はポートP70と共用しています。システムクロックを出力させる場合は、P7動作モードレジスタ(P7MOD)のD8を"1"にしてください。

下記にP7動作モードレジスタの構成を示します。

P7動作モードレジスタ (P7MOD)

<アドレス: H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時: H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0: P70 1: BCLK / \overline{WR}		
9	P71MOD (ポートP71動作モード)	0: P71 1: \overline{WAIT}		
10	P72MOD (ポートP72動作モード)	0: P72 1: \overline{HREQ}		
11	P73MOD (ポートP73動作モード)	0: P73 1: \overline{HACK} / TXD3		
12	P74MOD (ポートP74動作モード)	0: P74 1: RTDTXD		
13	P75MOD (ポートP75動作モード)	0: P75 1: RTDRXD		
14	P76MOD (ポートP76動作モード)	0: P76 1: RTDACK		
15	P77MOD (ポートP77動作モード)	0: P77 1: RTDCLK		

20.1.3 電源投入時の発振安定時間

セラミック共振子(または水晶発振子)を使用した発振回路では、電源投入後に発振が安定しない期間があります。このため、使用する発振回路条件に適応した発振安定時間を生成してください。

図20.1.2に電源投入時の発振安定時間を示します。

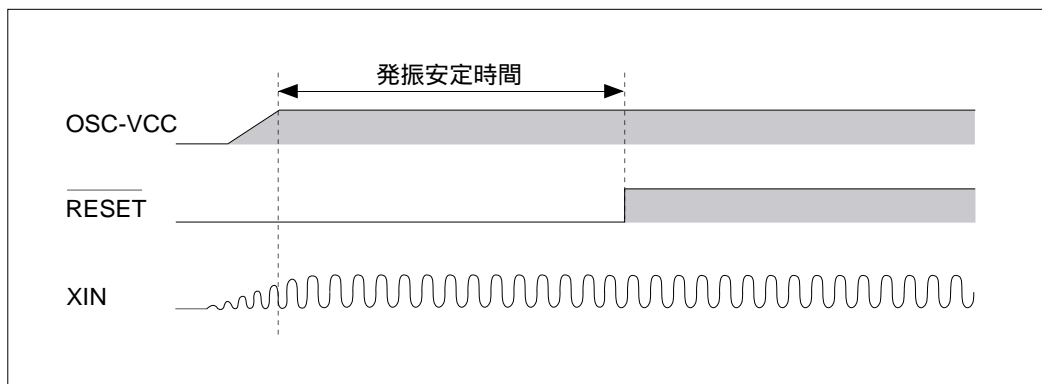


図20.1.2 電源投入時の発振安定時間

20.2 クロック発生回路

CPUおよび周辺回路にそれぞれ独立したクロックを供給します。

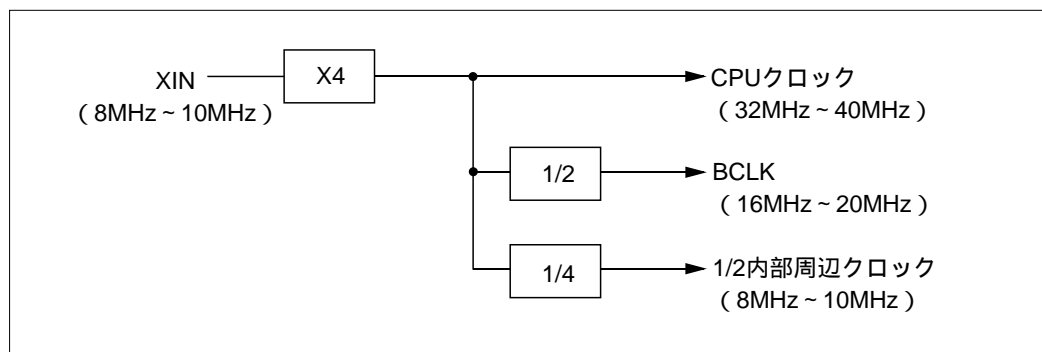


図20.2.1 クロック発生回路の構成

空きページです

第21章

JTAG

- 21.1 JTAG概要
- 21.2 JTAG回路構成
- 21.3 JTAGレジスタ
- 21.4 JTAG基本動作
- 21.5 バウンダリスキャン記述言語
- 21.6 JTAG使用時のボード設計注意事項
- 21.7 JTAG未使用時の端子処理

21.1 JTAG概要

32172 / 32173は、IEEE 1149.1テストアクセスポート規格(IEEE Standard Test Access Port and Boundary-Scan Architecture(IEEE Std. 1149.1a-1993))に準拠したJTAG(Joint Test Action Group)インタフェースを備えています。

このJTAGインタフェースは、バウンダリスキャンテストのための入出力バス(バウンダリスキャンパス)として使用できます。IEEE 1149.1 JTAGテストアクセスポートの詳細については、「IEEE Std. 1149.1a-1993」の文書を参照してください。

32172 / 32173に実装されているJTAGインタフェース関連端子の機能を、以下に示します。

表21.1.1 JTAG端子機能

種類	端子名	名称	入出力	機能
TAP (注)	JTCK	テスト クロック	入力	テスト回路へのクロック入力です。
	JTDI	テストデータ 入力	入力	テスト命令コード、テストデータを入力する同期シリアルデータ入力端子です。JTCKの立ち上がりでサンプリングされます。
	JTDO	テストデータ 出力	出力	テスト命令コード、テストデータを出力する同期シリアルデータ出力端子です。JTCKの立ち下がりで変化、Shift-IRもしくはShift-DR状態のときにのみ出力されます。それ以外の状態の時はHi-Zになります。
	JTMS	テストモード セレクト	入力	テスト回路の状態遷移を制御するテストモード選択入力です。JTCKの立ち上がりでサンプリングされます。
	JTRST	テスト リセット	入力	テスト回路を非同期に初期化する"L"アクティブのテストリセット入力です。リセット動作を保証するため、この信号が"L"から"H"に変化する時にはJTMS信号入力を"H"に保つ必要があります。

注. TAP : Test Access Port、IEEE 1149.1に規定されたJTAGインタフェース

21.2 JTAG回路構成

JTAG回路は、以下のブロックから構成されます。

- バウンダリスキャンパスを通してフェッチされる命令コードを保持する命令レジスタ
- バウンダリスキャンパスを通してアクセスされるデータレジスタ群
- JTAG部の状態遷移を制御するテストアクセスポート(以下TAPと略)コントローラ
- 入力選択、出力選択等の制御ロジック

JTAG回路構成を以下に示します。

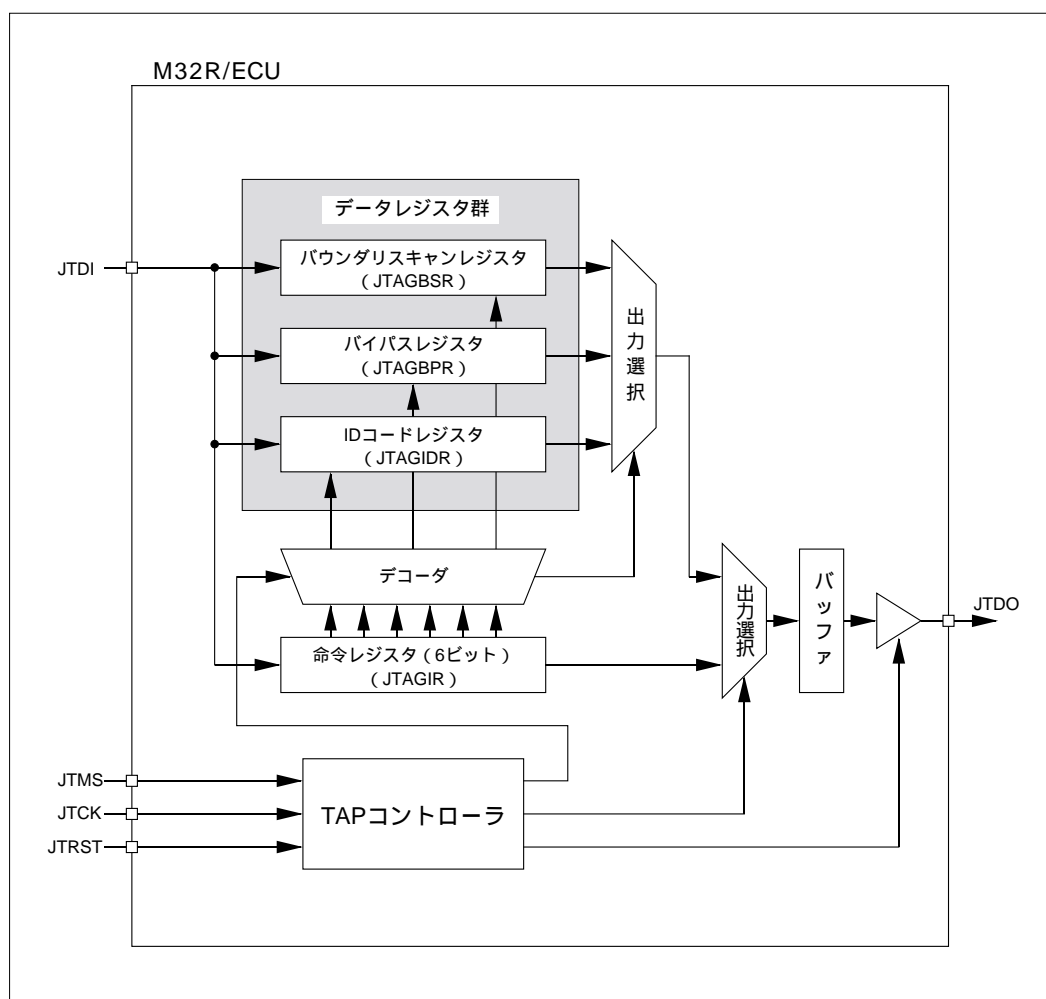


図21.2.1 JTAG回路構成

21.3 JTAGレジスタ

21.3.1 命令レジスタ(JTAGIR)

命令レジスタは、命令コードを保持する6ビットのレジスタであり、IRパスシーケンスで設定します。命令レジスタに設定された命令によって、続くDRパスシーケンスで選択するデータレジスタが決定されます。

テストリセット時(テスト回路の初期化)の初期値はb'000010(ICODE命令)です。テストリセット後は、外部から命令コードが設定されるまでデータレジスタとしてICODEレジスタが選択されています。

「Capture-IR」状態では必ずb'110001(固定値)がロードされます。このため、本レジスタに設定した値にかかわらず、「Shift-IR」状態では必ずb'110001が(LSB側から順に)JTDO端子から出力されます。ただし、通常はこの値が命令コードとして扱われることはありません。

以下の操作は動作保証対象外です。以下の操作を行うと、例外的にb'110001を命令コードとして扱おうとするため、正常動作できなくなりますのでご注意ください。

「Capture-IR」 「Exit1-IR」 「Update-IR」

32172 / 32173のJTAGインタフェースでは、以下の命令をサポートしています。

IEEE 1149.1で必須として定められた3命令(EXTTEST, SAMPLE/PRELOAD, BYPASS)
デバイス識別レジスタアクセス命令(ICODE)

表21.3.1 JTAG命令一覧

命令コード	命令略称	動作
b'000000	EXTTEST	チップ外の回路 / 基板レベルの接続テストを行います。
b'000001	SAMPLE/PRELOAD	動作中の回路の状態をサンプリングし、JTDO端子から出力すると同時に、次のバウンダリスキャンテストで使用されるデータをJTDI端子から入力し、事前に「バウンダリスキャンレジスタ」に設定します。
b'000010	ICODE	「IDコードレジスタ」を選択し、デバイスおよびメーカー識別データをJTDO端子から出力します。
b'111111	BYPASS	「バイパスレジスタ」を選択し、データの参照 / 設定を行います。

注1. 上記以外の命令コードは、設定しないでください。

注2. 「IRパスシーケンス」、「DRパスシーケンス」、「テストリセット」、「Capture-IR」状態、「Shift-IR」状態、「Exit1-IR」状態、「Update-IR」状態については、21.4章を参照ください。

21.3.2 データレジスタ

(1) バウンダリスキャンレジスタ (JTAGBSR)

バウンダリスキャンレジスタは、バウンダリスキャンテストを行うための265ビットのレジスタです。32172 / 32173の各端子ごとに割り当てられています。

JTDI / JTDO端子間に接続されており、「EXTEST命令」および「SAMPLE/PRELOAD命令」発行時に選択されます。本レジスタは、「Capture-DR」状態で入力端子または内部ロジック出力値の状態をキャプチャします。「Shift-DR」状態では、サンプリングした値を出力するのと並行して、バウンダリスキャンテスト用データを入力し、端子機能(入出力端子、3ステート出力端子の方向)および出力値を設定します。

(2) バイパスレジスタ (JTAGBPR)

バイパスレジスタは、バウンダリスキャンテストにおいて、32172 / 32173がその対象とならないときに、バウンダリスキャンパスをバイパスするための1ビットのレジスタです。

JTDI / JTDO端子間に接続されており、「BYPASS命令」発行時に選択されます。本レジスタは、「Capture-DR」状態でb'0(固定値)がロードされます。

(3) IDコードレジスタ (JTAGIDR)

IDコードレジスタは、デバイスおよびメーカーを識別するための32ビットのレジスタであり、以下の情報を保持しています。

バージョン情報(4ビット) : b'0000
 パート番号(16ビット) : b'0011 0010 0010 0000
 製造者ID(11ビット) : b'000 0001 1100

本レジスタは、JTDI / JTDO端子間に接続されており、「IDCODE命令」発行時に選択されます。「Capture-DR」状態で上記IDCODEデータをロードし、「Shift-DR」状態でJTDO端子から出力します。

本レジスタは読み出しのみ可能です。DRパスシーケンスにおけるJTDI端子からの書き込みデータは無視されますので、「Shift-DR」状態中はJTDI="L"を入力してください。

0	3 4	19 20	30 31
バージョン 4ビット	パート番号 16ビット	製造者ID 11ビット	1

注. 「Capture-DR」状態、「Shift-DR」状態については21.4章を参照ください。

21.4 JTAG基本動作

21.4.1 JTAG動作概要

命令レジスタおよびデータレジスタに対する基本的なアクセスには以下の3動作があり、TAPコントローラの状態遷移にもとづいて行われます。TAPコントローラは、JTMS入力によって状態遷移を行い、それぞれの状態における動作に必要な制御信号を生成し供給します。

キャプチャ (Capture) 動作

バウンダリスキャンテストの結果、またはレジスタごとに定義された固定データをサンプリングします。レジスタの動作としては、データ入力をシフトレジスタステージへロードします。

シフト (Shift) 動作

バウンダリスキャンパスを通して外部からアクセスを行います。外部からのデータ設定を行うと同時に、キャプチャ時にサンプリングした値を外部に出力します。レジスタの動作としては、各ビットのシフトレジスタステージ間で右シフト動作を行います。

アップデート (Update) 動作

シフト時に外部から設定したデータをドライブします。レジスタの動作としては、シフトレジスタステージに設定した値をパラレル出力ステージへ転送します。

JTAGインタフェースは、JTMS入力にしたがって内部状態を遷移し、以下の二つの動作を行います。いずれの場合も基本的に「キャプチャ シフト アップデート」の順で行われます。

IR パスシーケンス

命令コードを命令レジスタに設定して、続くDRパスシーケンスで操作の対象となるデータレジスタを選択します。

DR パスシーケンス

選択されたデータレジスタに対して、データの参照や設定を行います。

TAPコントローラの状態遷移およびJTAG関連レジスタの基本構成を以下に示します。

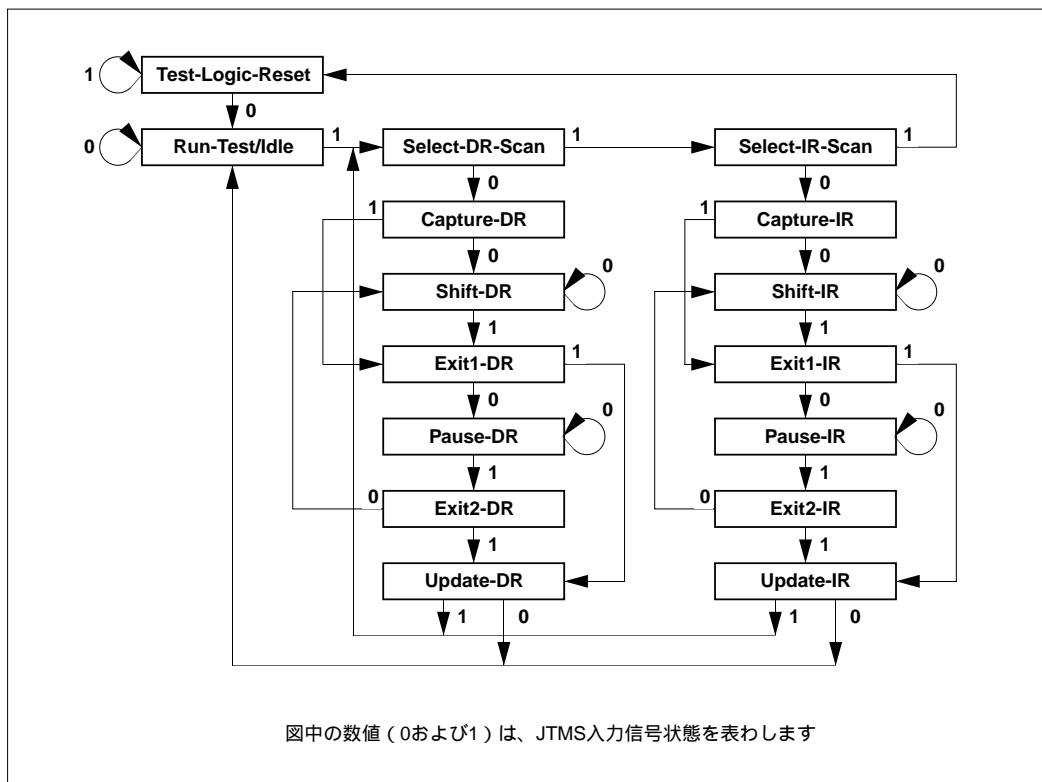


図21.4.1 TAPコントローラの状態遷移

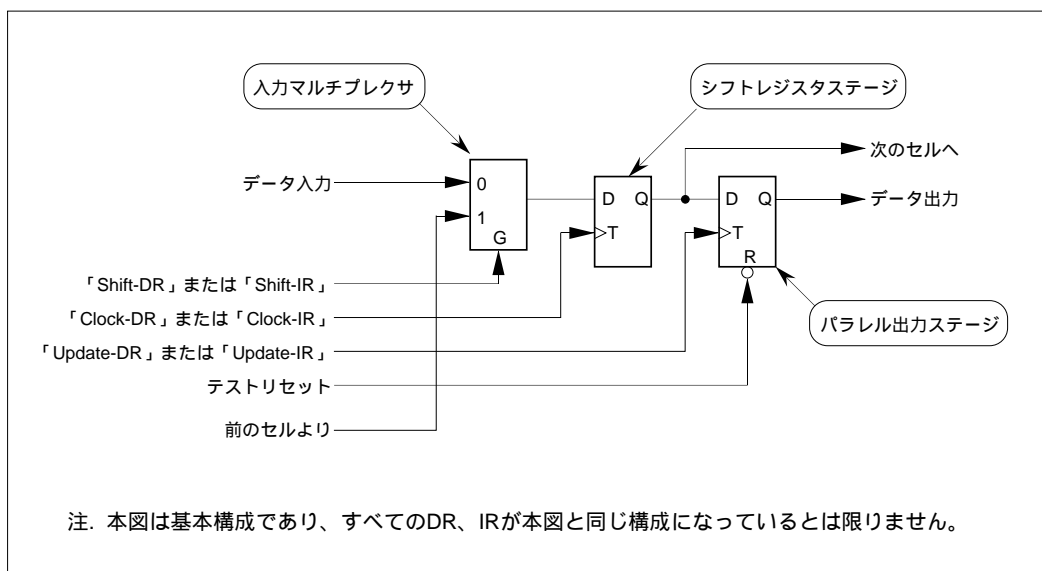


図21.4.2 JTAG関連レジスタの基本構成

21.4.2 IRパスシーケンス

命令レジスタ(JPEGIR)に命令コードを設定し、続くDRパスシーケンスでアクセス対象となるデータレジスタを選択します。IRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS="H"をJTCKの2サイクル期間入力し、「Select-IR-Scan」状態に移行します。
- (2) JTMS="L"にして「Capture-IR」状態に移行します。このとき、b'110001(固定値)が命令レジスタのシフトレジスタステージに設定されます。
- (3) 続けてJTMS="L"を入力すると「Shift-IR」状態に移行します。
「Shift-IR」状態では、各サイクルごとにシフトレジスタステージの値が1ビット右シフトされ、(2)で設定されたb'110001(固定値)がJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される命令コードがシフトレジスタステージに設定されていきます。6ビット構成の命令レジスタのシフトレジスタステージに命令コードを設定するため、「Shift-IR」状態はJTCKの6サイクル期間続けます。
シフト動作を中断したい場合は、一旦「Exit1-IR」状態を経由して「Pause-IR」状態へ移行します(JTMS="H" "L"を入力)。また「Pause-IR」状態から復帰する場合は、一旦「Exit2-IR」状態を経由して「Shift-IR」状態へ移行します(JTMS="H" "L"を入力)。
- (4) JTMS="H"にして「Shift-IR」状態から「Exit1-IR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS="H"を入力すると「Update-IR」状態に移行します。「Update-IR」状態では、命令レジスタのシフトレジスタステージに設定された命令コードが、命令レジスタのパラレル出力ステージに転送され、JTAG命令のデコードが開始されます。
- (6) 続けてJTMS="H"を入力すると「Select-DR-Scan」状態に、JTMS="L"を入力すると「Run-Test/Idle」状態に移行します。

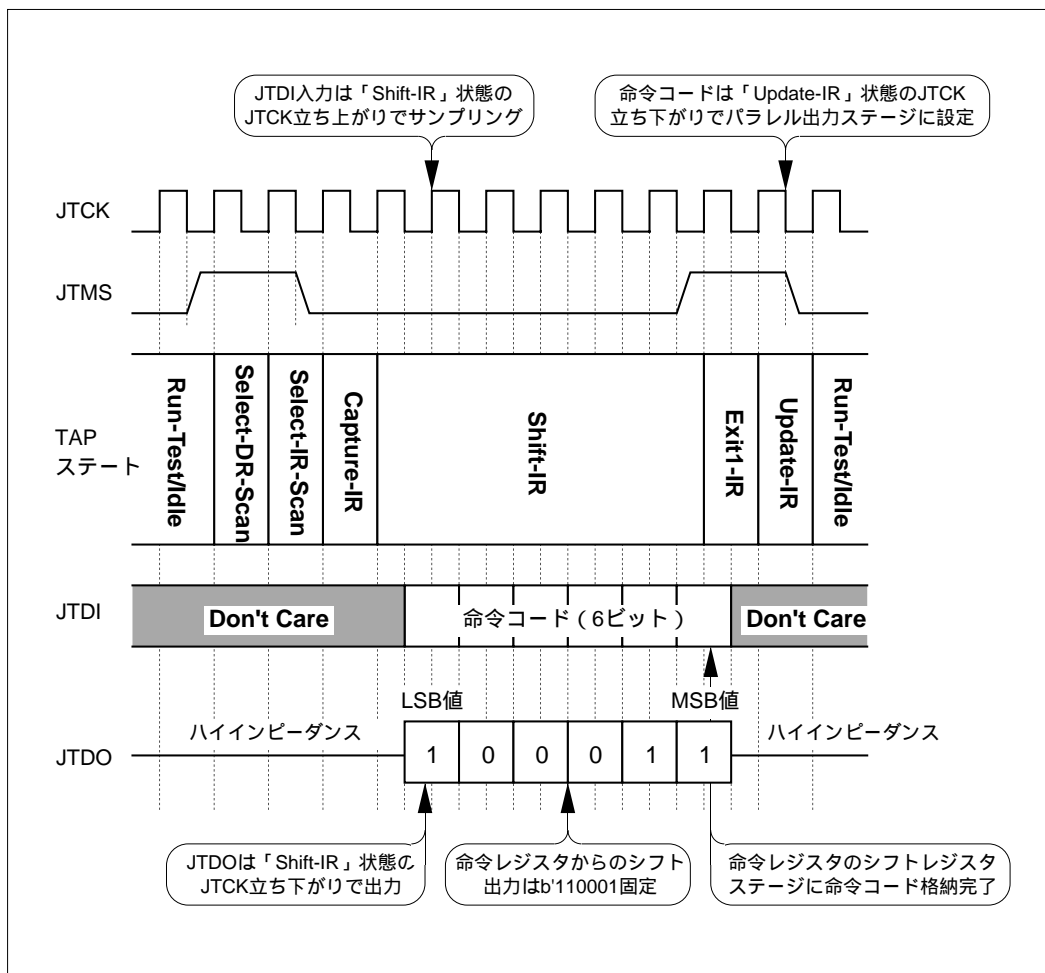


図21.4.3 IRパスシーケンス

21.4.3 DRパスシーケンス

DRパスシーケンスの前に行われたIRパスシーケンスで選択されたデータレジスタに対し、データの参照および設定を行います。DRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS="H"をJTCKの1サイクル期間入力し、「Select-DR-Scan」状態に移行します。このとき、どのデータレジスタが選択されるかは、DRパスシーケンスの前に行われたIRパスシーケンスで設定された命令によって決まります。
- (2) JTMS="L"にして「Capture-DR」状態に移行します。このとき、データレジスタのシフトレジスタステージに、バウンダリスキャンテストの結果またはレジスタごとに定義された固定データが設定されます。
- (3) 続けてJTMS="L"を入力すると「Shift-DR」状態に移行します。「Shift-DR」状態では、各サイクルごとにDRの値が1ビット右シフトされ、(2)で設定されたデータがJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される設定データがデータレジスタのシフトレジスタステージに設定されていきます。「Shift-IR」状態を選択したデータレジスタのビット数分続ける(JTMS="L"を入力する)ことで、シフトレジスタステージ全ビットのデータを設定および読み出すことができます。
シフト動作を中断したい場合は、一旦「Exit1-DR」状態を経由して「Pause-DR」状態へ移行します(JTMS="H" "L"を入力)。また「Pause-DR」状態から復帰する場合は、一旦「Exit2-DR」状態を経由して「Shift-DR」状態へ移行します(JTMS="H" "L"を入力)。
- (4) JTMS="H"にして「Shift-DR」状態から「Exit1-DR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS="H"を入力すると「Update-DR」状態に移行します。「Update-DR」状態では、データレジスタのシフトレジスタステージに設定されたデータがパラレル出力ステージに転送され、設定データが使用可能になります。
- (6) 続けてJTMS="H"を入力すると「Select-DR-Scan」状態に、JTMS="L"を入力すると「Run-Test/Idle」状態に移行します。

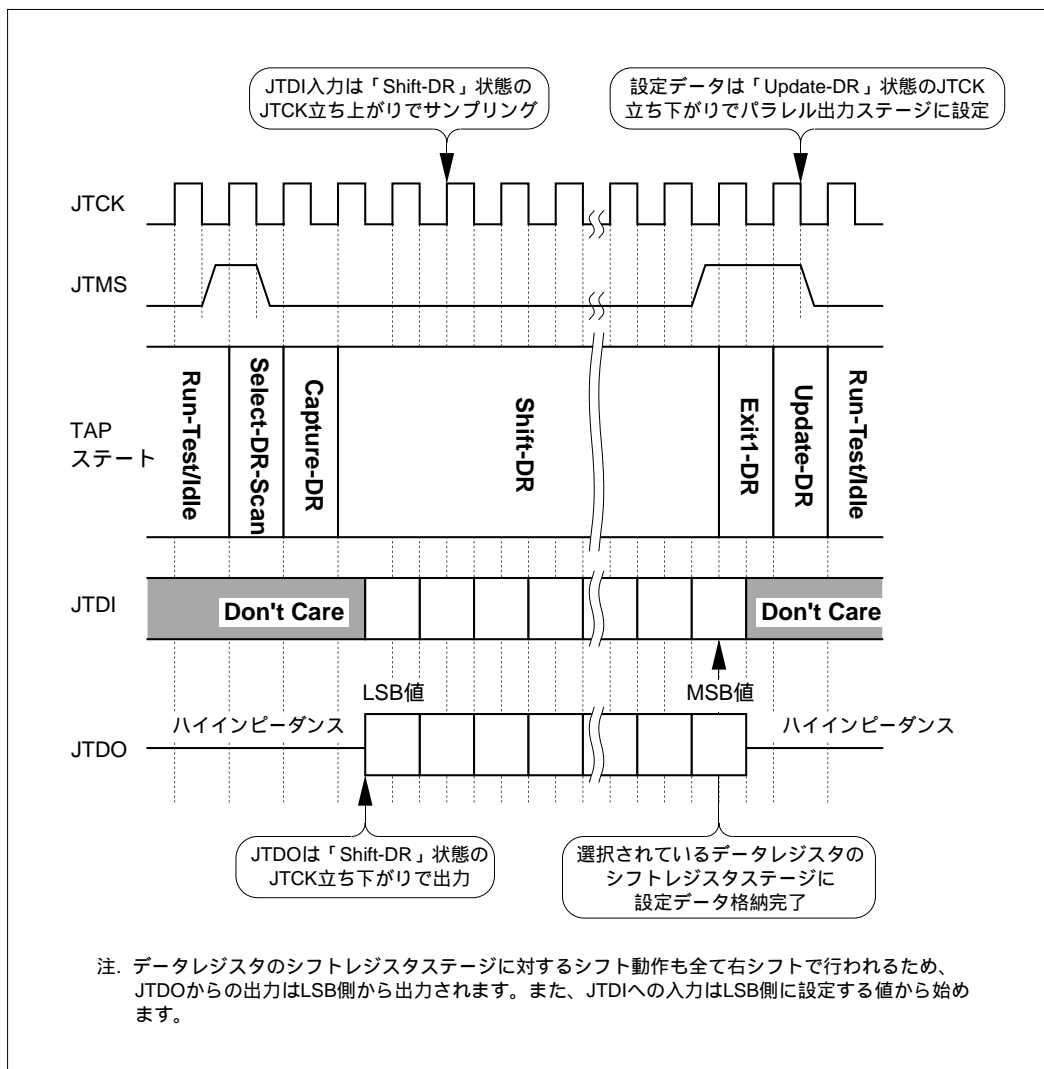


図21.4.4 DRパスシーケンス

21.4.4 データレジスタの参照および設定

データレジスタを参照 / 設定する場合は、以下の手順で行います。

- (1) 最初にテストアクセスポート(JTAG)をアクセスする場合は、テストリセット(テスト回路の初期化)を行います。テストリセットを行うには以下の二つの方法があります。

JTRST端子に"L"を入力する

JTMS端子を"H"にして5サイクル以上JTCKを入力する

- (2) JTMS="L"にして「Run-Test/Idle」状態に移行します。アイドル状態を続ける場合は、JTMS="L"を入力し続けます。
- (3) JTMS="H"にして「Run-Test/Idle」状態を抜け、IRパスシーケンスを行います。IRパスシーケンスでは参照 / 設定したいデータレジスタを指定します。
- (4) 続いてDRパスシーケンスを行います。IRパスシーケンスで指定したデータレジスタに対し、JTDI端子から設定データを入力し、JTDO端子から参照データを読み出します。
- (5) DRパスシーケンス完了後、続けてIRパスシーケンスやDRパスシーケンスを行う場合は、JTMS="H"を入力して「Select-DR-Scan」状態に戻ります。
一連のIR/DRパスシーケンス処理が完了して次の処理を待つ場合は、JTMS="L"を入力して「Run-Test/Idle」状態に移行し、その状態を保ちます。

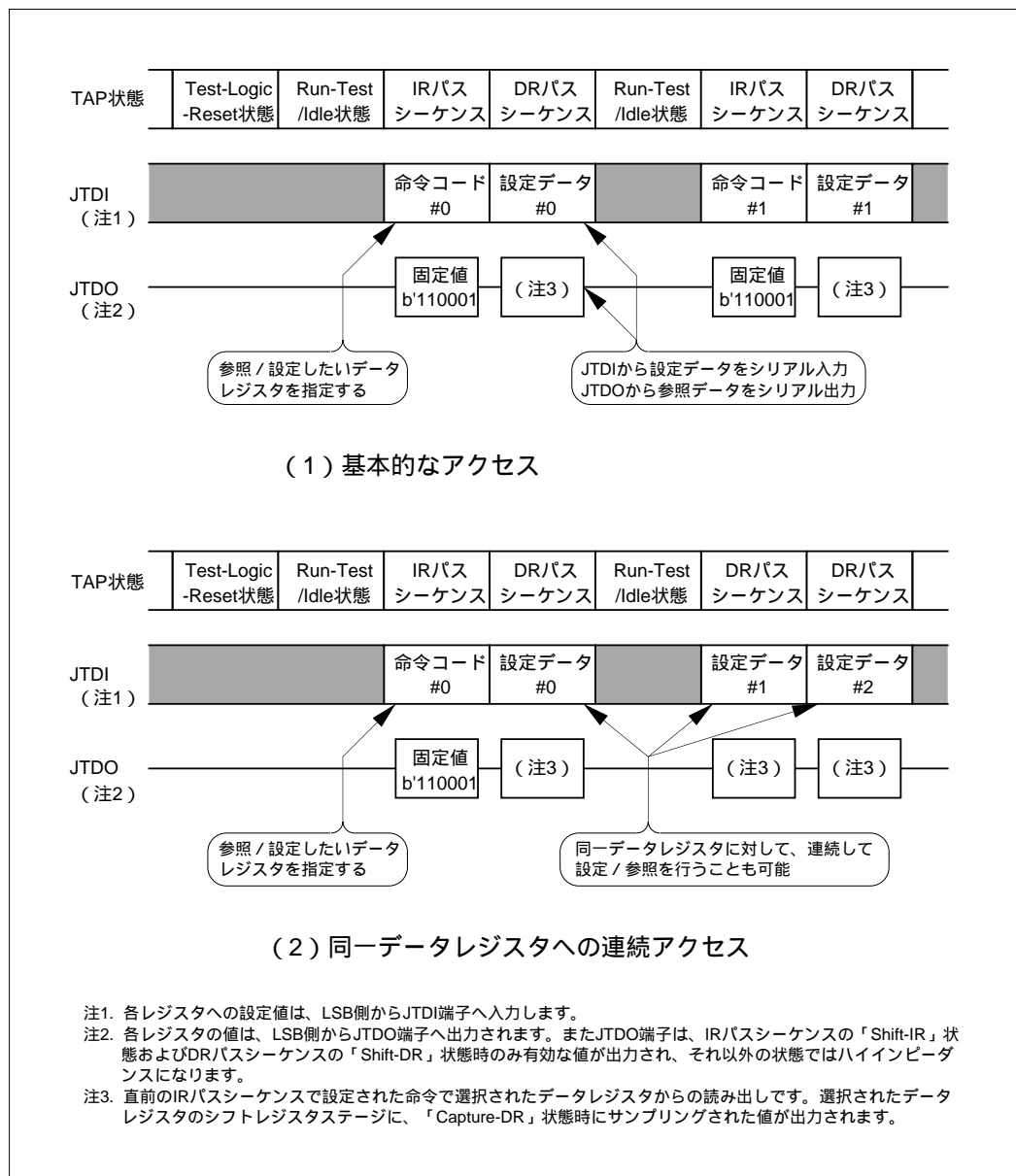


図21.4.5 JTAG連続アクセス

21.5 バウンダリスキャン記述言語

バウンダリスキャン記述言語(以下BSDLと略)は、IEEE 1149.1-1990およびIEEE 1149.1a-1993の「Standard Test Access Port and Boundary-Scan Architecture」に対する補足事項の中で述べられています。

BSDLは、IEEE 1076-1993 Standard VHSIC Hardware Description Language(VHDL)のサブセットです。BSDLでは、基準を満たすコンポーネントのテスト対象の機能を厳密に記述することができます。この言語は、パッケージ接続テストではAutomated Test Pattern Generationツールで、Synthesized Test Logic and VerificationではElectronic Design Automationツールで使用されます。BSDLは、内部のTest Generationで使用可能な、またHardware Debug and Diagnostics用のソフトウェアを記述するための強力な拡張機能を規定します。

BSDLのプライマリセクションには、論理ポート記述、物理ピンマップ、命令セット、およびバウンダリレジスタ記述のステートメントがあります。

論理ポート記述

論理ポート記述は、チップのピンに対して意味のある記号名を割り当てます。ここで、信号フローの論理方向を定義する各ピンの入力、出力、入出力、バッファ、またはリンクの論理タイプが決まります。

物理ピンマップ

物理ピンマップは、チップの論理ポートを各パッケージの物理ピンに関連付けます。各マップを個別の名前にすれば、1つのBSDL記述で複数の物理ピンマップを定義することができます。

命令セットステートメント

命令セットステートメントは、チップの命令レジスタにシフトインすべきビットパターンを記述します。このビットパターンは、基準で定義される各テストモードにチップを移行させるために必要です。また、チップ専用の命令を記述することも可能です。

バウンダリレジスタ記述

バウンダリレジスタ記述は、バウンダリレジスタの各セルまたはシフトステージのリストです。各セルには個別の番号が付きます。番号が0のセルは、テストデータ出力(JTDO)ピンに最も近接するセル、番号が最大のセルはテストデータ入力(JTDI)ピンに最も近接するセルです。セルにはそれ以外の関連情報、つまりセルタイプ、セルに対応する論理ポート、セルの論理機能、安全値、制御セル番号、ディセーブル値、および結果値などの情報も含まれます。

注 . バウンダリスキャン記述言語(BSDL)につきましては、「三菱マイコン技術ホームページ」のM32Rファミリ応用技術資料からダウンロードできます。
以下にホームページのURLを示します。

<http://www.infomicom.maec.co.jp/>

21.6 JTAG使用時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。

以下にJTAGツール使用時の端子処理例を示します。

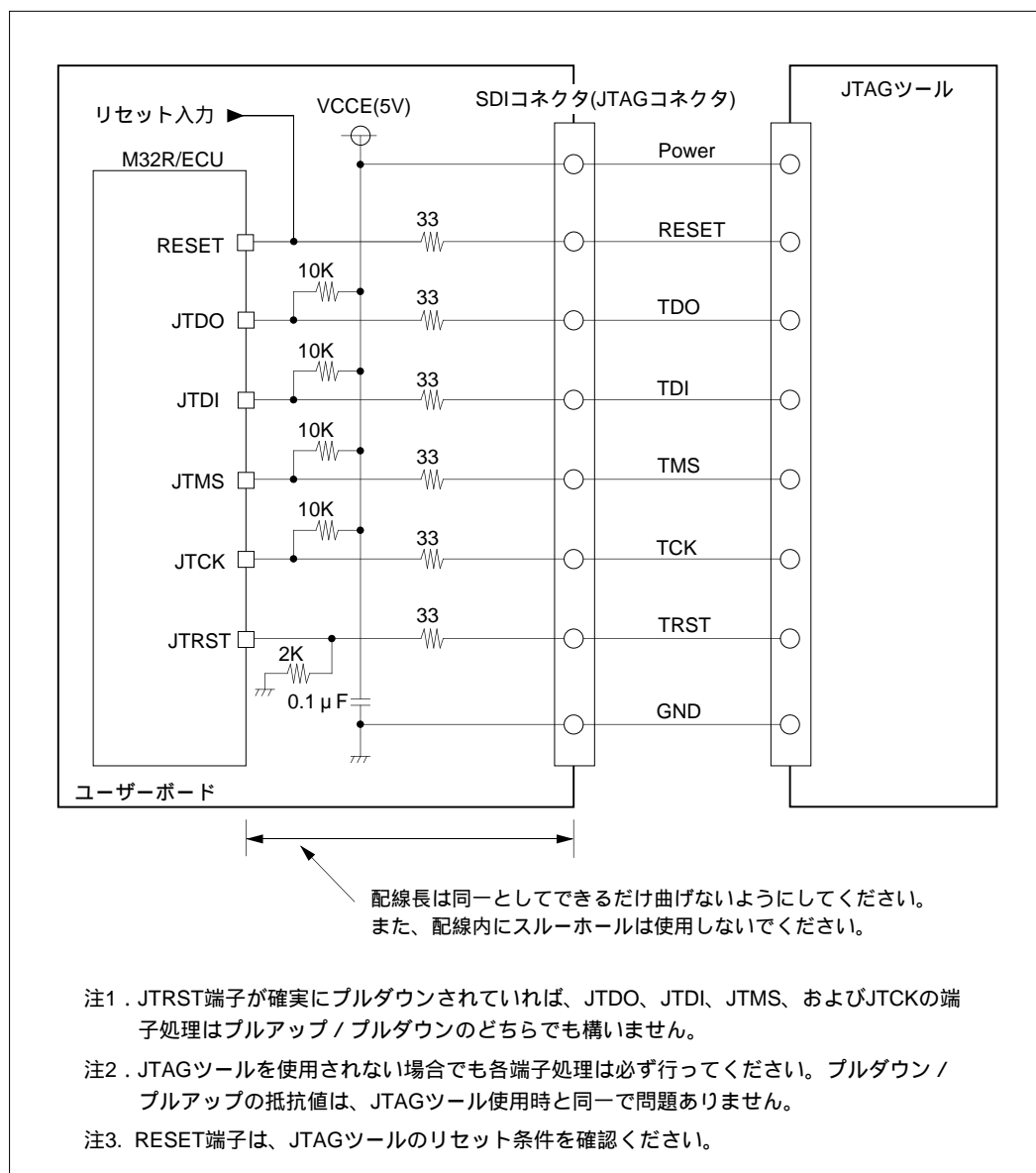


図21.6.1 JTAGツール使用時の端子処理例(144LQFP使用時)

21.7 JTAG未使用時の端子処理

JTAG端子を未使用(JTAGツール接続用の端子 / コネクタを持たないボード)の場合の端子処理例を以下に示します。

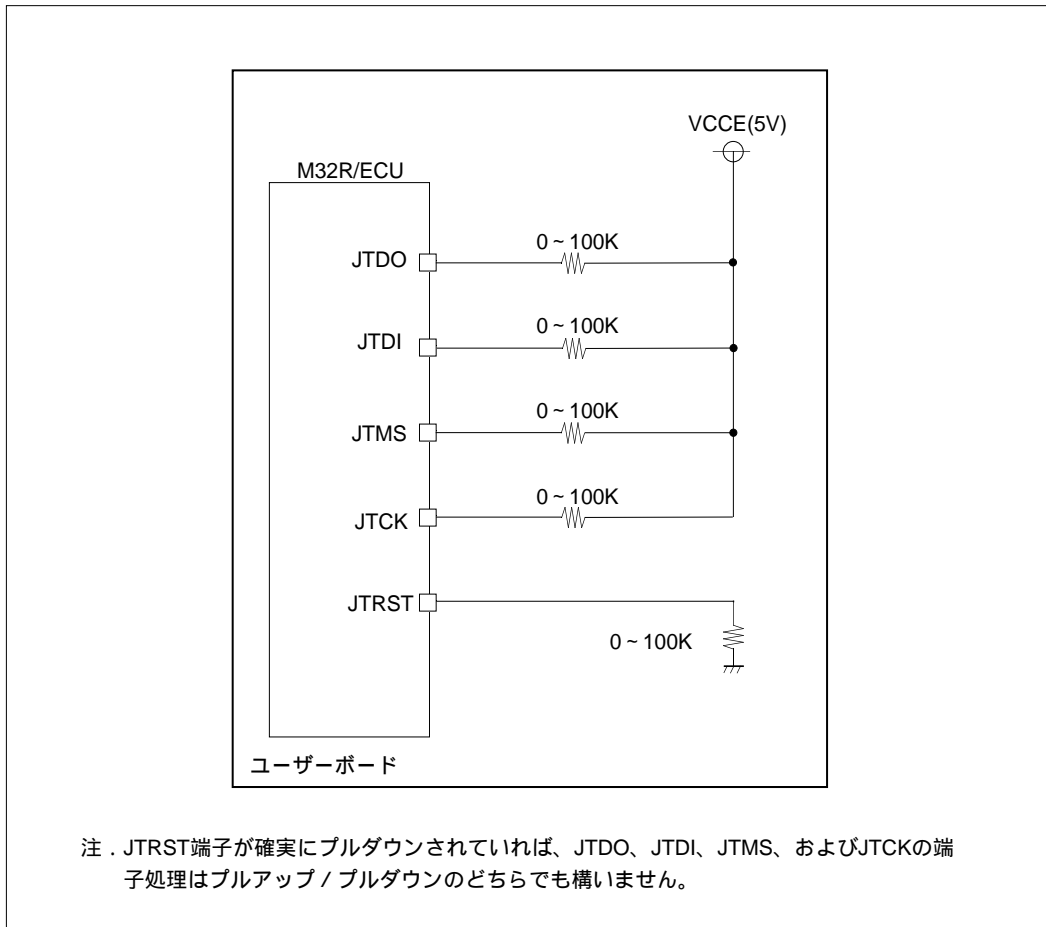


図21.7.1 JTAG未使用時の端子処理(144LQFP使用時)

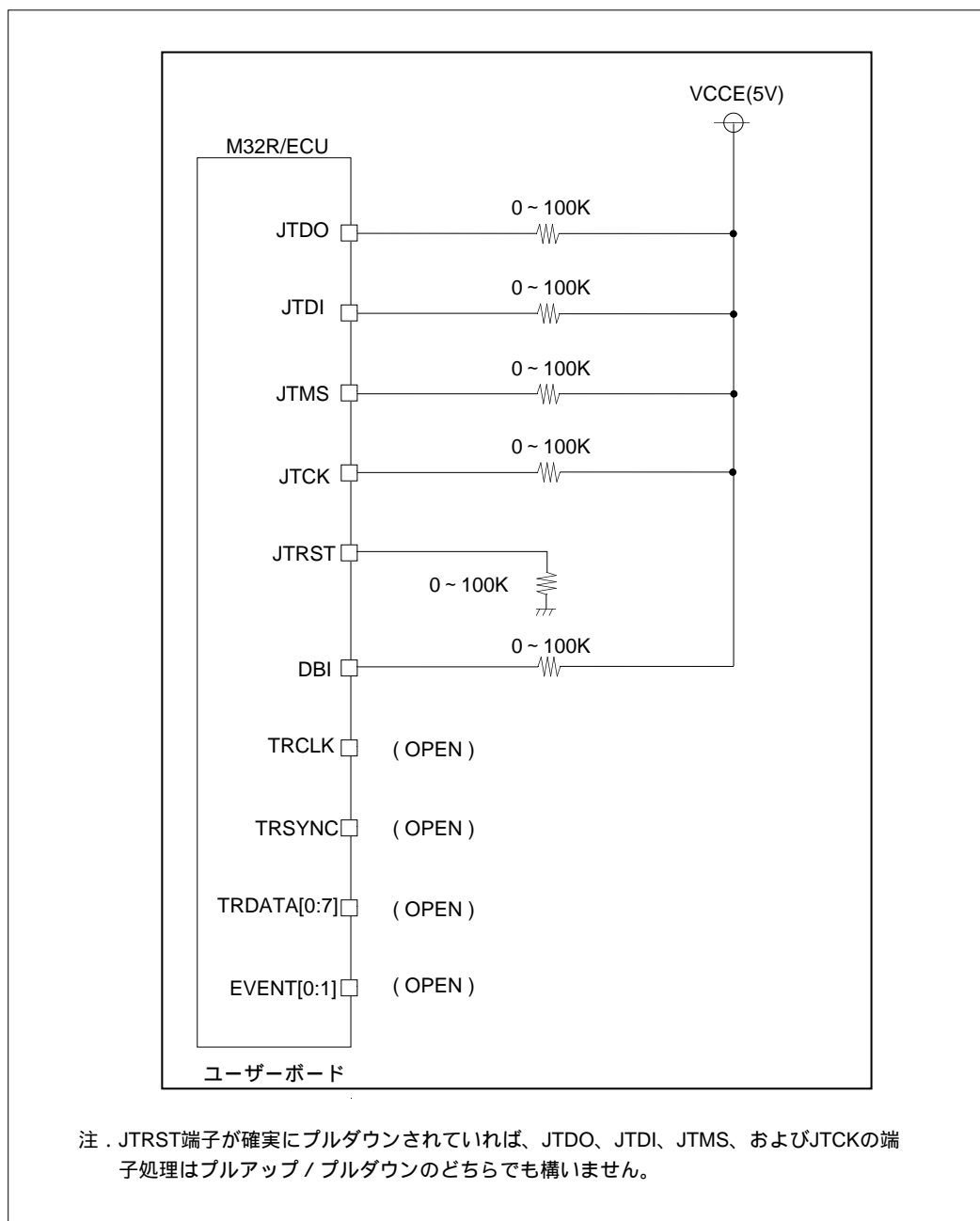


図21.7.2 JTAG未使用時の端子処理(175FBGA使用時)

第22章

電源立ち上げ / 立ち下げシーケンス

- 22.1 電源回路の構成
- 22.2 電源立ち上げシーケンス
- 22.3 電源立ち下げシーケンス

22.1 電源回路の構成

M32R/ECUでは、高速動作と低消費電力を実現するため、外部インターフェースの回路は5Vまたは3.3V外部I/O電源で動作し、それ以外の回路は3.3V内部電源で動作します。

このため、5V系及び3.3V系電源の制御タイミングを考慮した回路設計が必要となります。

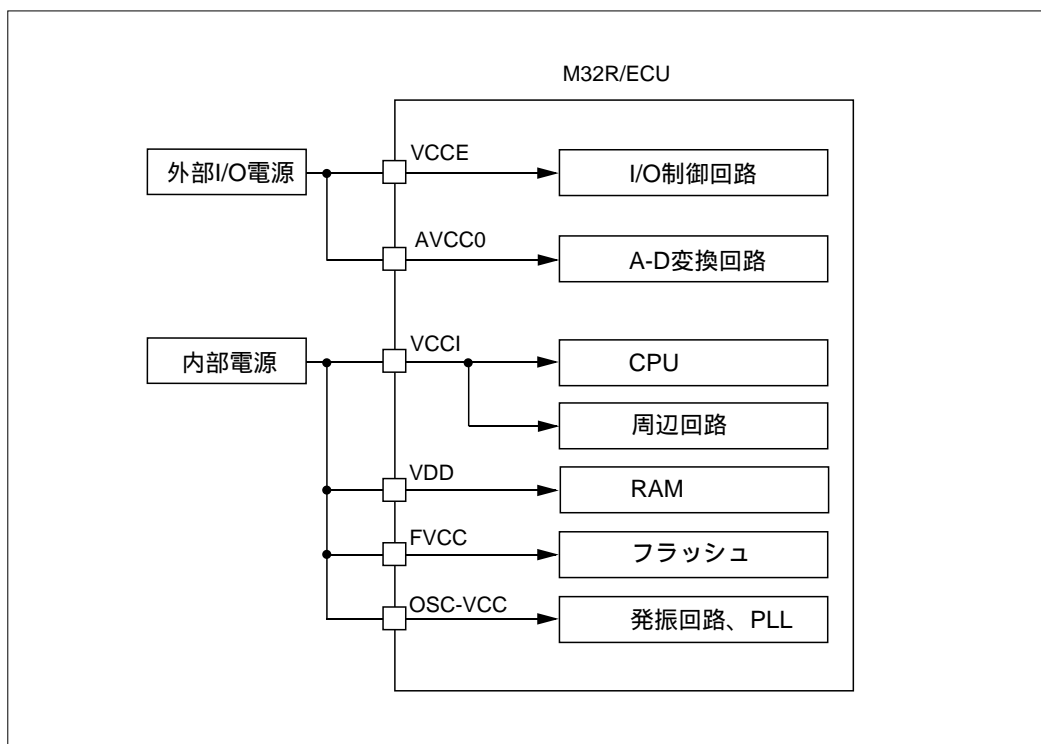


図22.1.1 電源回路構成図(外部I/O電源 = 5V時)

表22.1.1 電源機能一覧

電源種別	端子名	機能
外部I/O電源	VCCE	外部I/Oポートへの供給電源
	AVCC0	A-D変換器の電源
	VREF0	A-D変換器の基準電圧
内部電源	VCCI	内部ロジックへの供給電源
	FVCC	内部フラッシュメモリ用電源
	VDD	内部RAMバックアップ用電源
	OSC-VCC	発振回路、PLL回路の電源

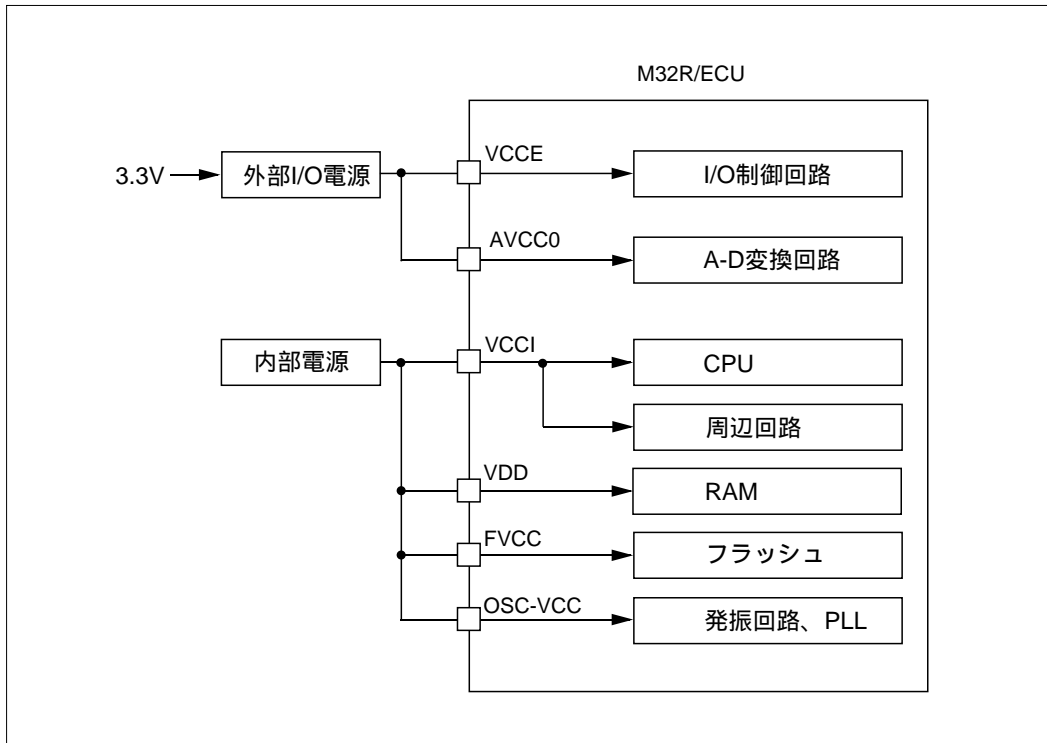


図22.1.2 電源回路構成図(外部I/O電源=3.3V時)

22.2 電源立ち上げシーケンス

22.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

RAMバックアップ未使用時のM32R/ECUの電源(外部I/O、内部)立ち上げシーケンスを以下に示します。

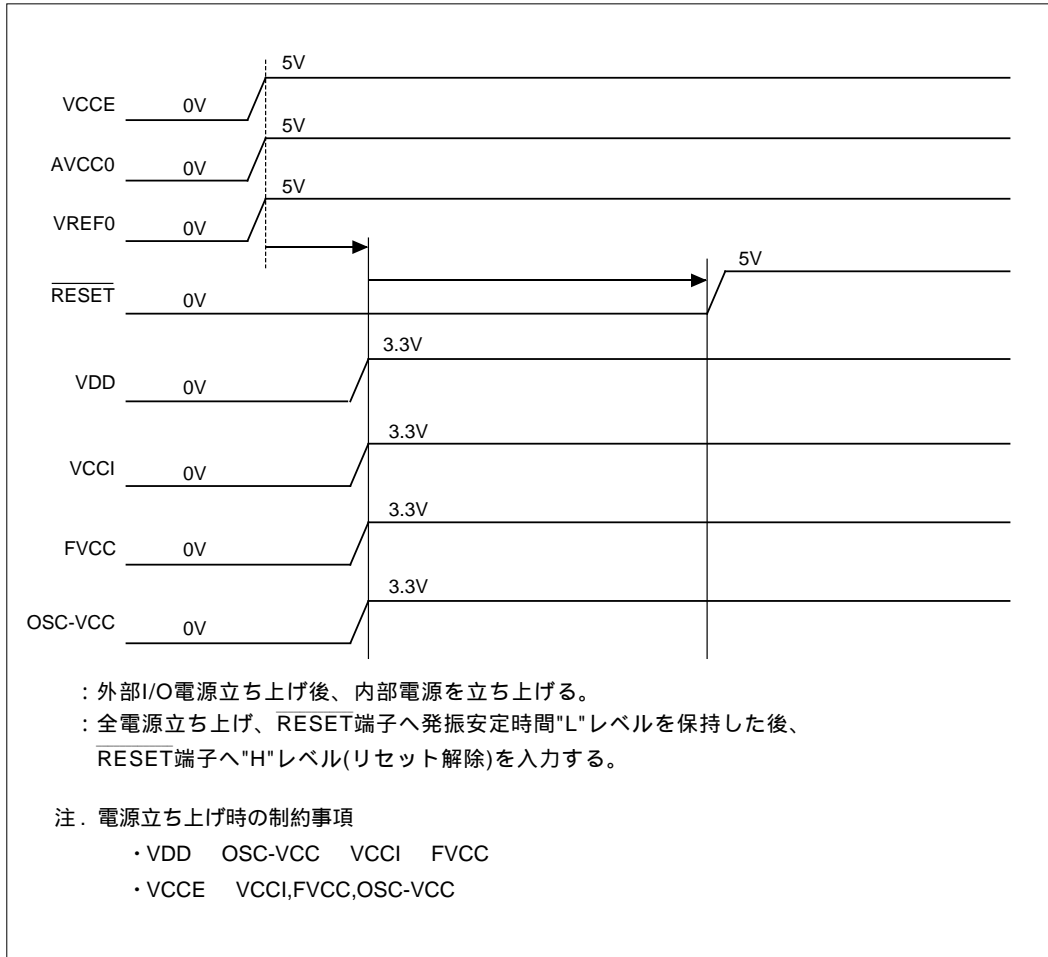


図22.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス(外部I/O電源 = 5V時)

注. ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには推奨の動作条件を満たす回路設計を行ってください。

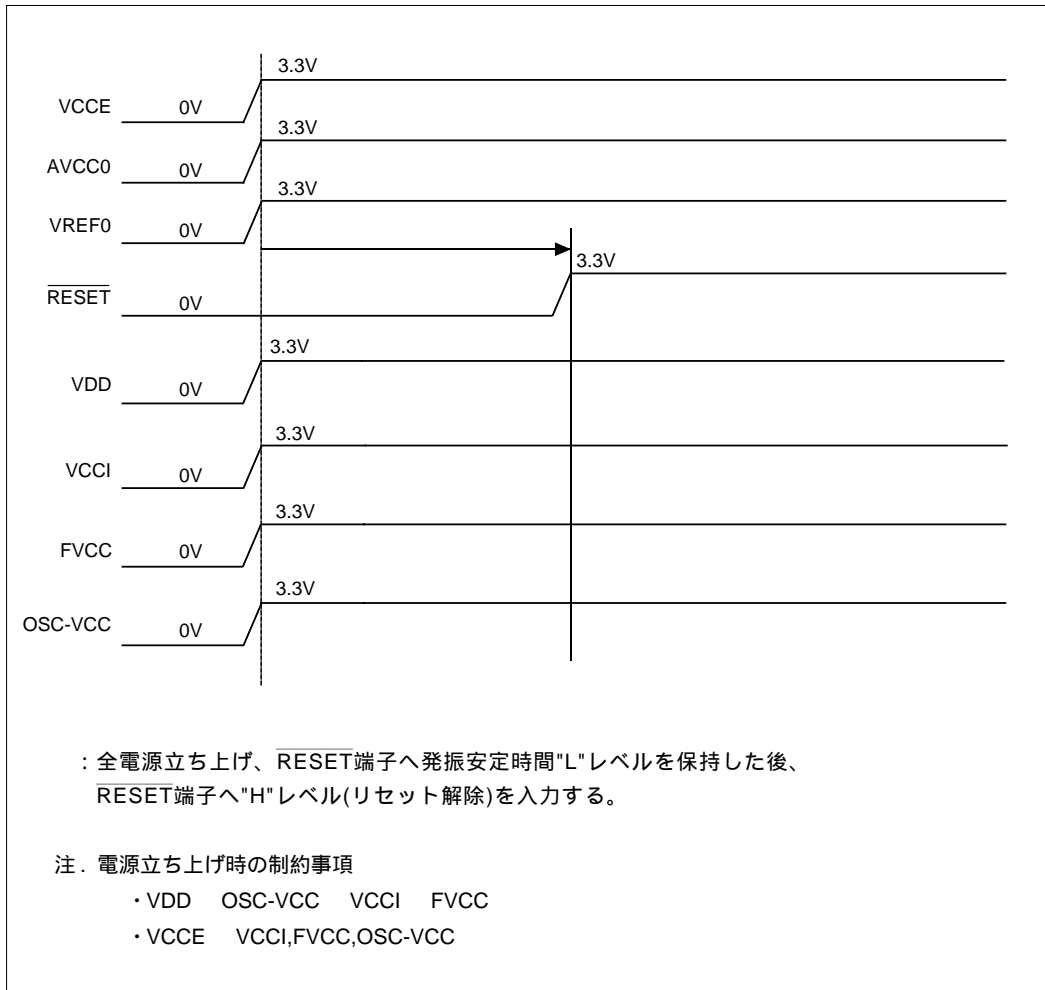


図22.2.2 RAMバックアップ未使用時の電源立ち上げシーケンス(外部I/O電源=3.3V時)

22.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

RAMバックアップ使用時のM32R/ECUの電源(外部I/O、内部)立ち上げシーケンスを以下に示します。

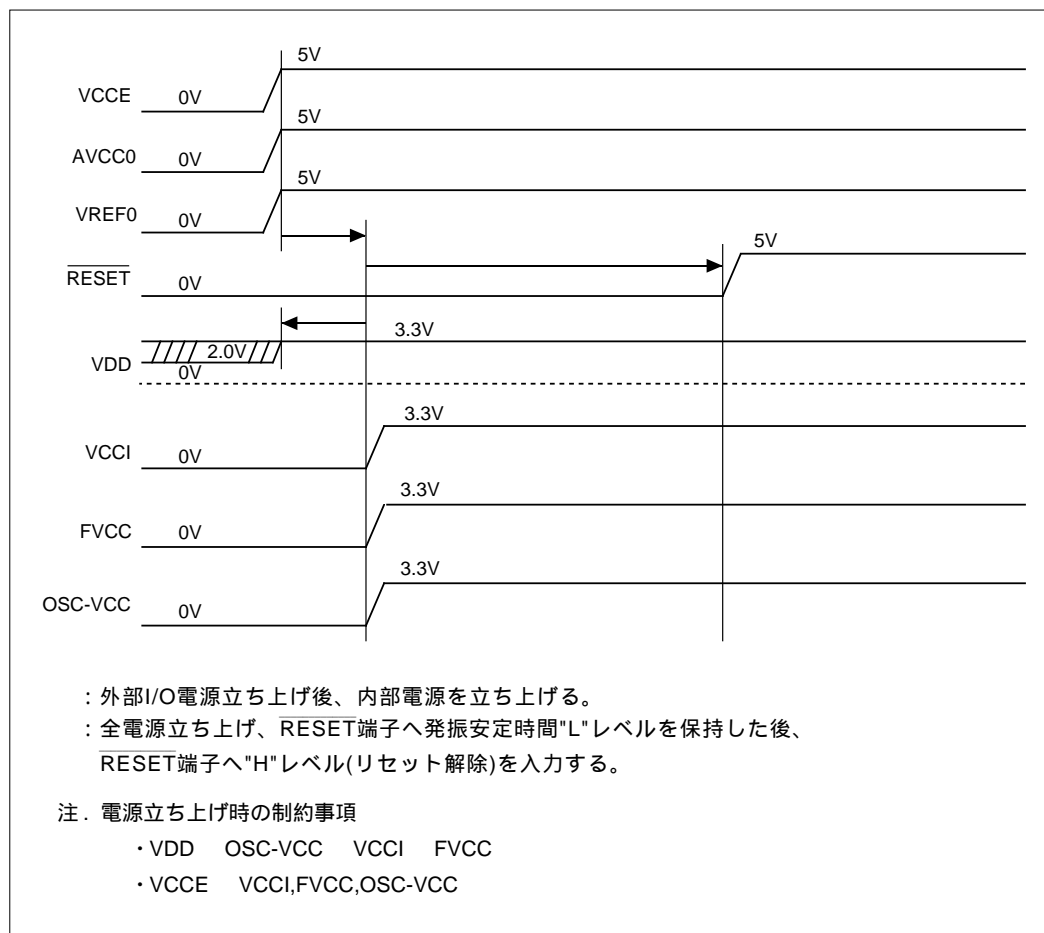


図22.2.3 RAMバックアップ使用時の電源立ち上げシーケンス(外部I/O電源=5V時)

注. ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには推奨の動作条件を満たす回路設計を行ってください。

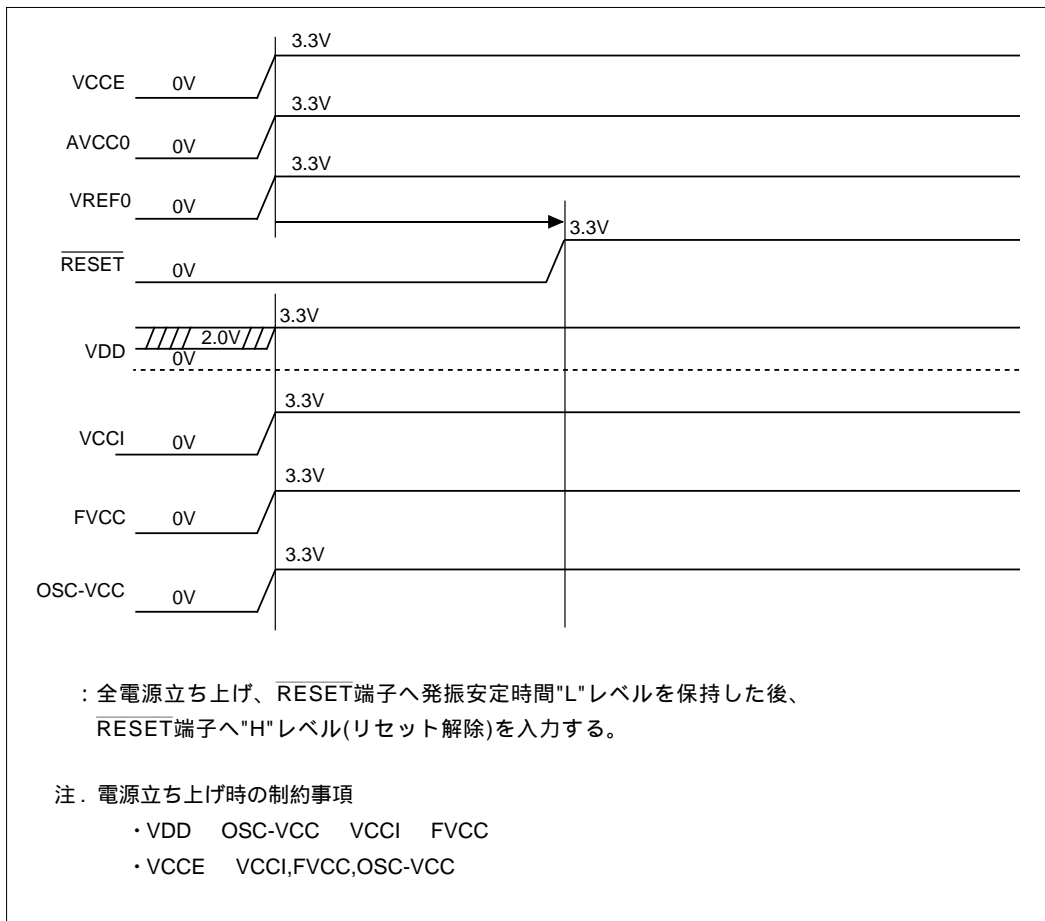


図22.2.4 RAMバックアップ使用時の電源立ち上げシーケンス(外部I/O電源=3.3V時)

22.3 電源立ち下げシーケンス

22.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

RAMバックアップ未使用時のM32R/ECUの電源(外部I/O、内部)立ち下げシーケンスを以下に示します。

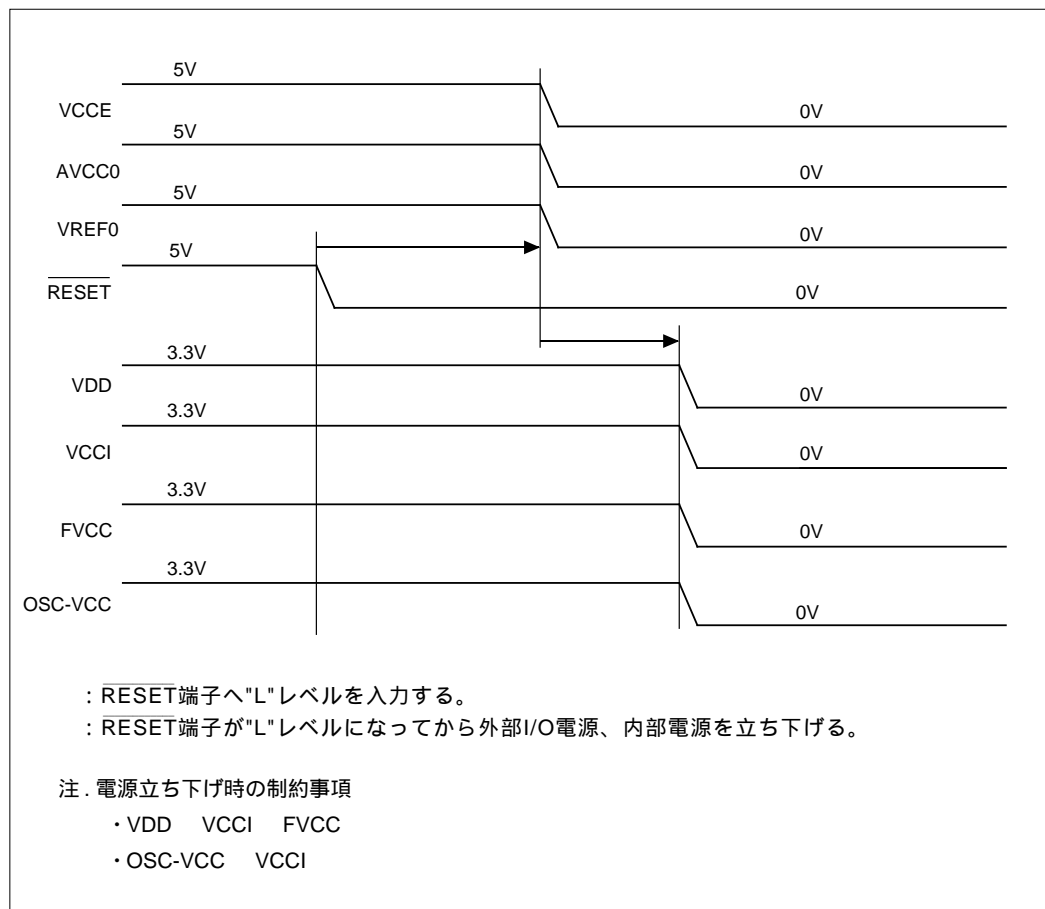


図22.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス(外部I/O電源=5V時)

注. ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには推奨の動作条件を満たす回路設計を行ってください。

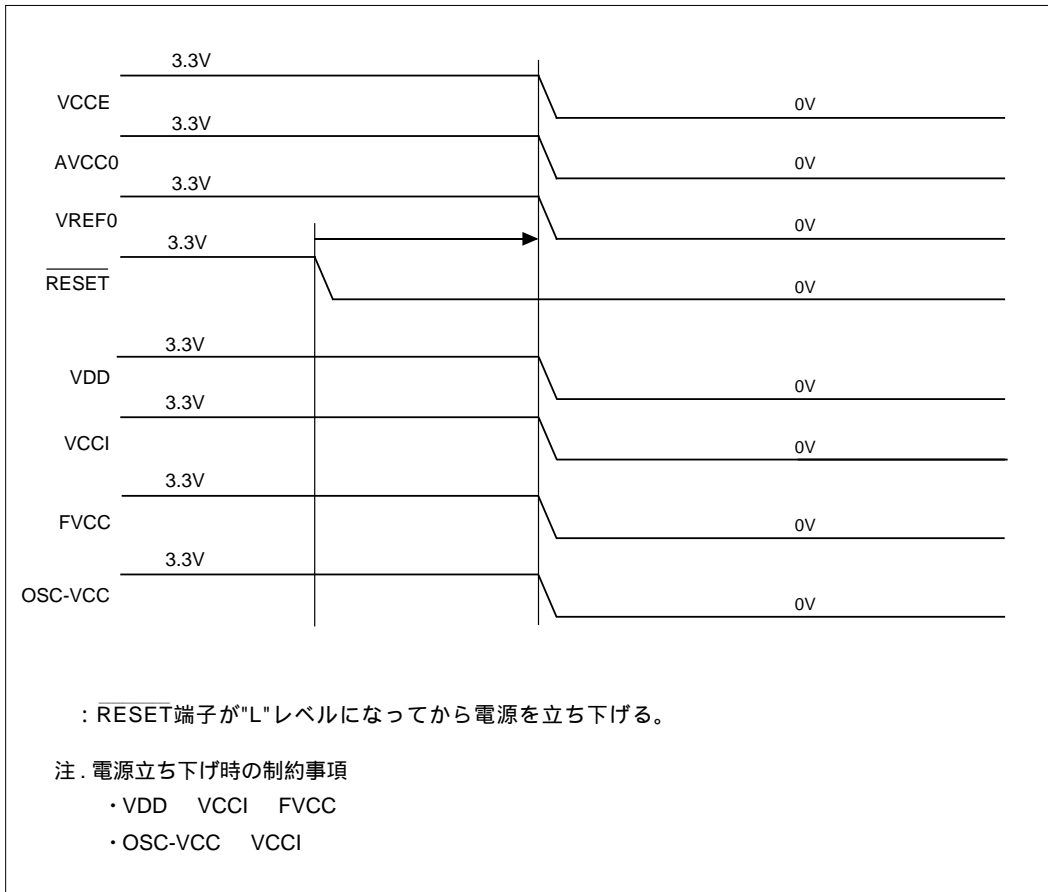


図22.3.2 RAMバックアップ未使用時の電源立ち下げシーケンス(外部I/O電源=3.3V時)

22.3.2 RAMバックアップ使用時の電源立ち下げシーケンス

RAMバックアップ使用時のM32R/ECUの電源(外部I/O、内部)立ち下げシーケンスを以下に示します。

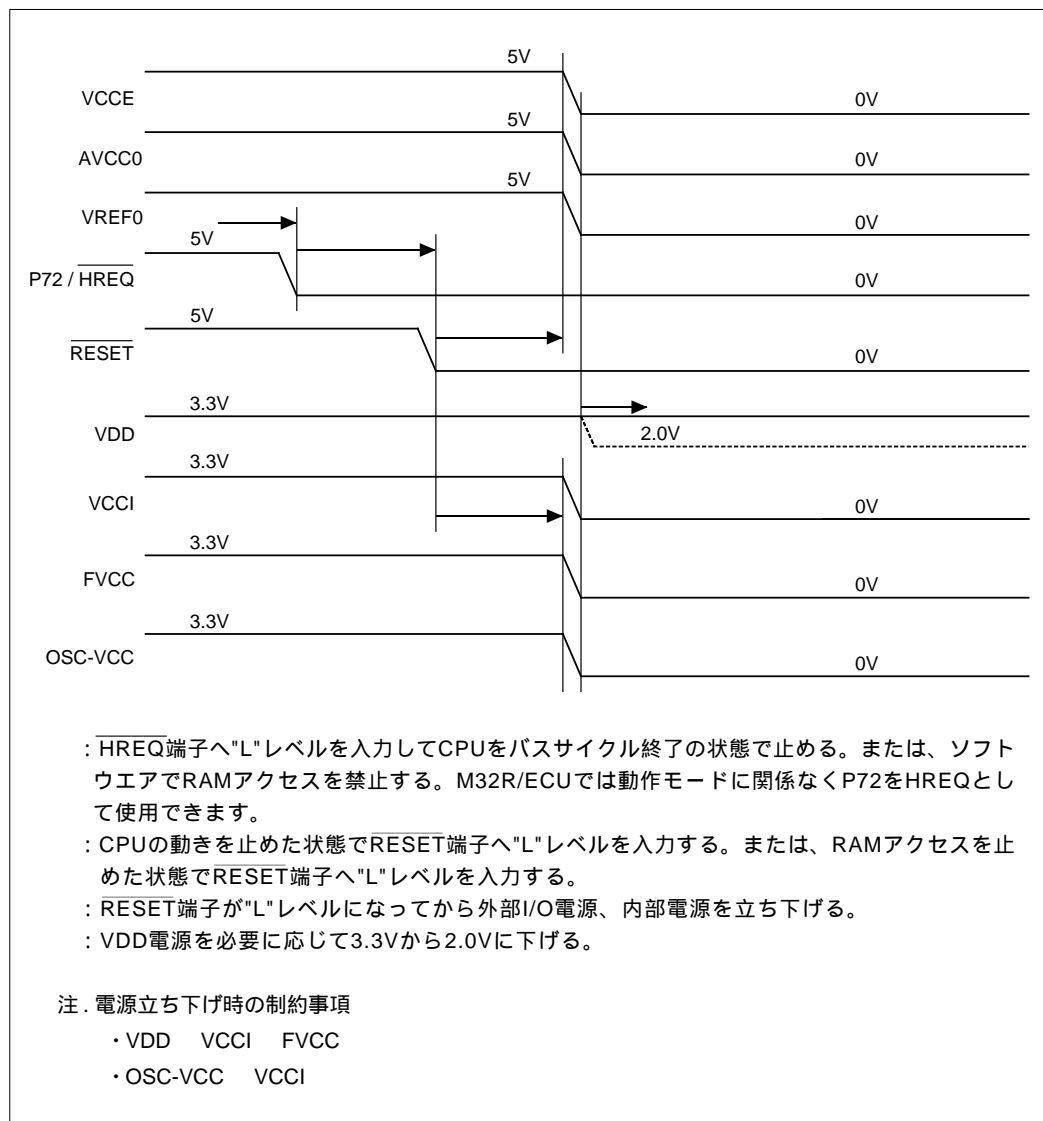


図22.3.3 RAMバックアップ使用時の電源立ち下げシーケンス(外部I/O電源=5V時)

注. ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには推奨の動作条件を満たす回路設計を行ってください。

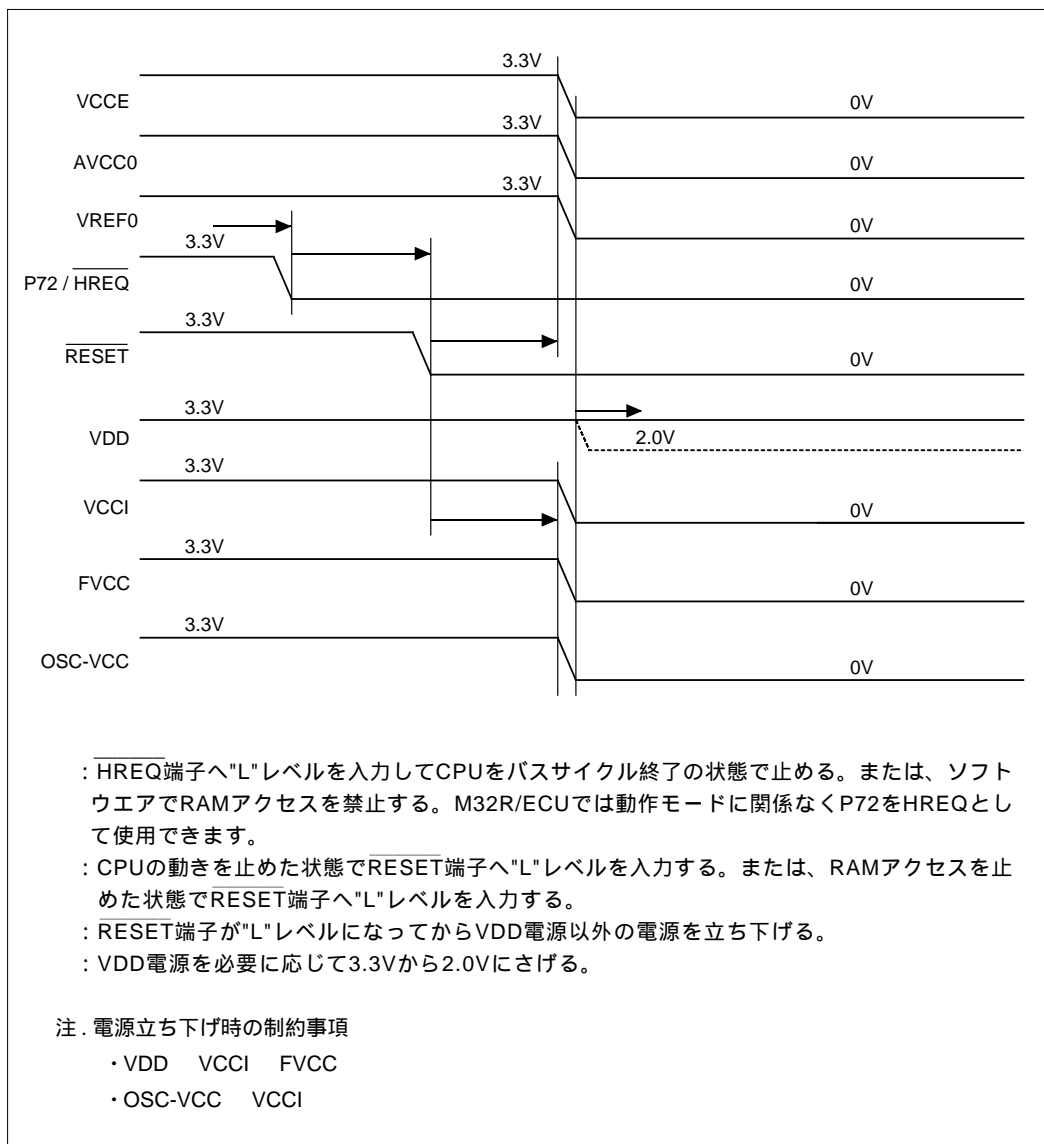


図22.3.4 RAMバックアップ使用時の電源立ち下げシーケンス(外部I/O電源=3.3V時)

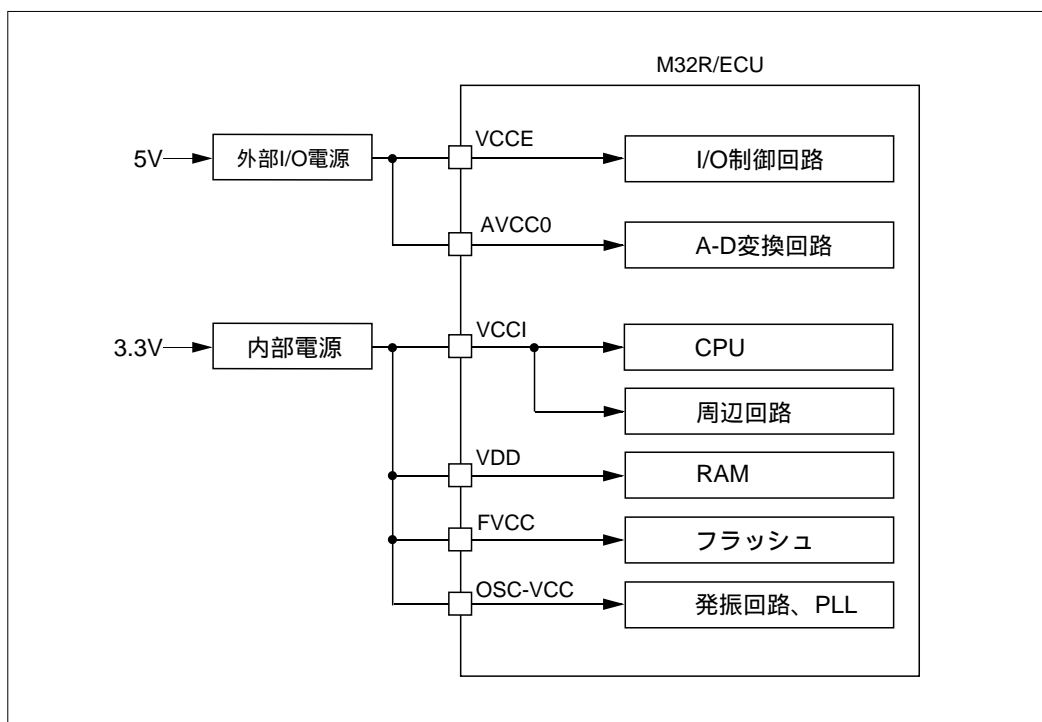


図22.3.5 マイコン動作可能状態(外部I/O電源 = 5V)

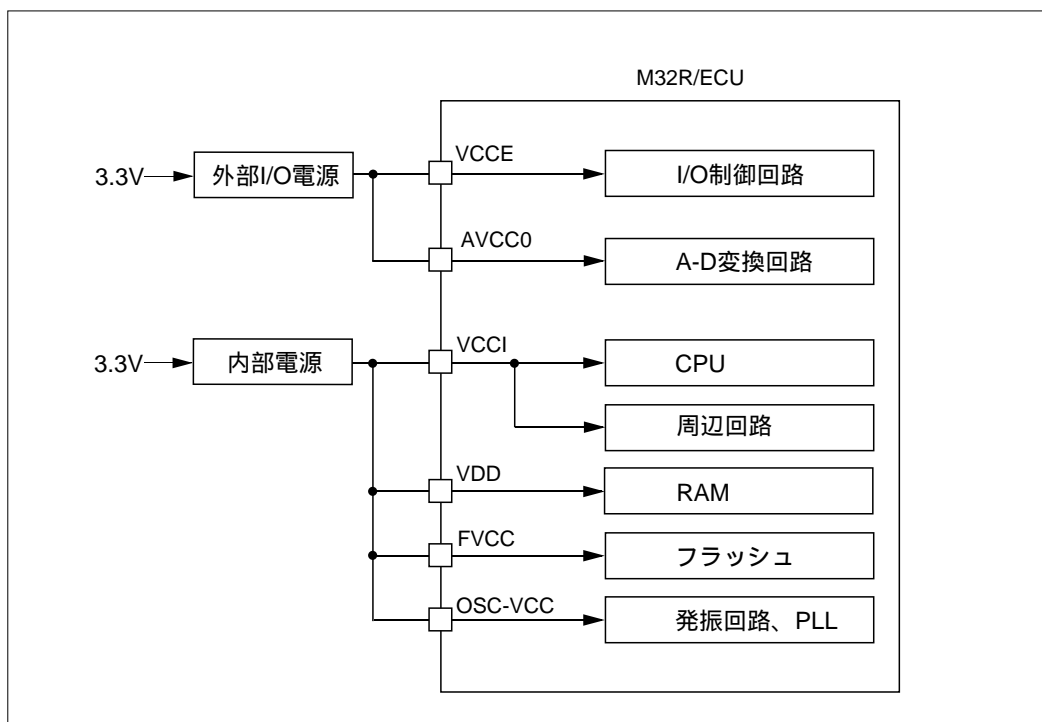


図22.3.6 マイコン動作可能状態(外部I/O電源 = 3.3V時)

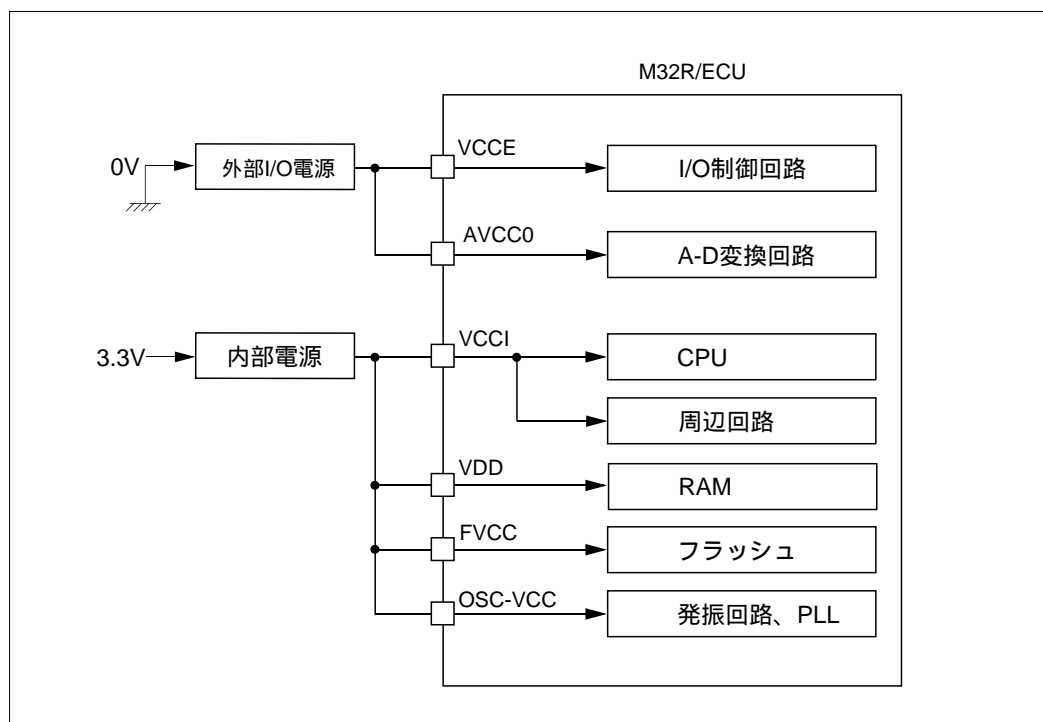


図22.3.7 CPUリセット状態

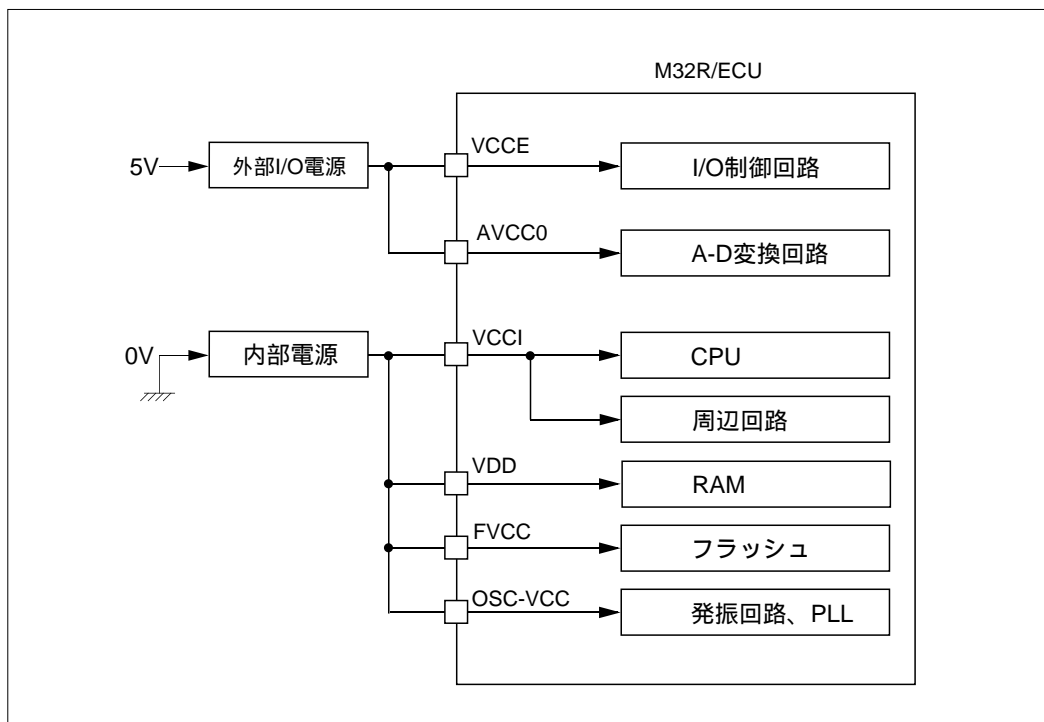


図22.3.8 CPU停止状態(外部I/O電源 = 5V時)

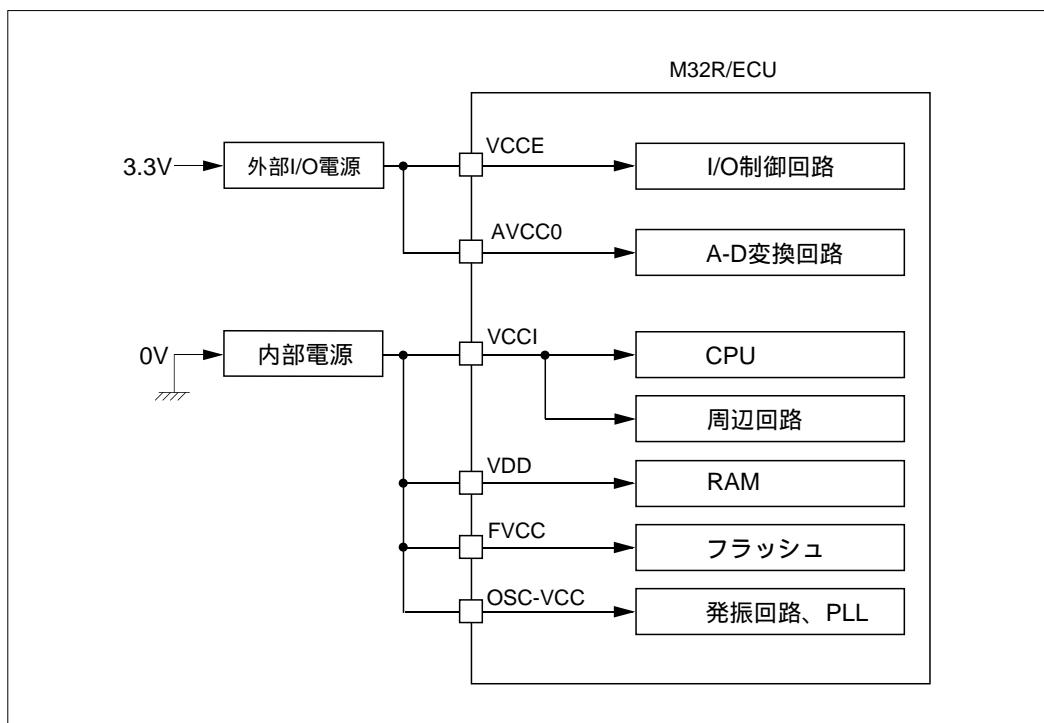


図22.3.9 CPU停止状態(外部I/O電源 = 3.3V時)

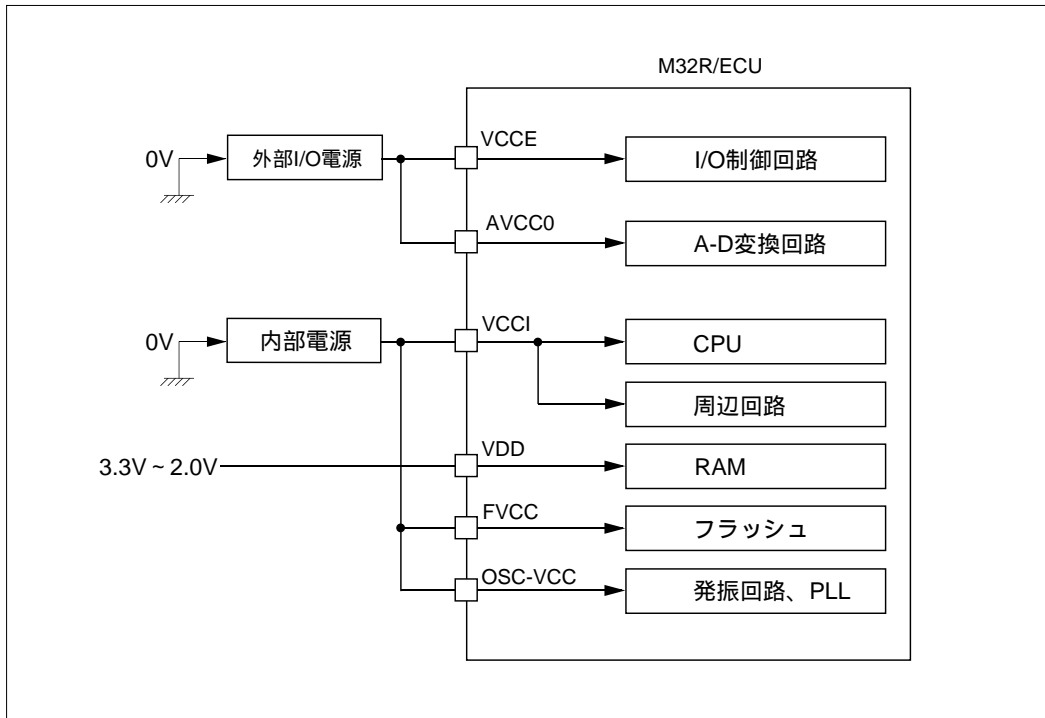


図22.3.10 SRAMデータバックアップ状態

* 空きページです *

第23章

電氣的特性

- 23.1 電氣的特性($V_{CE}=5V$ 時)
- 23.2 電氣的特性($V_{CE}=3.3V$ 時)
- 23.3 AC特性

23.1 電気的特性(VCCE=5V時)

23.1.1 絶対最大定格

絶対最大定格(- 40 ~ 125)

記号	項目	条件	定格値	単位
VCCI	内部ロジック電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VDD	RAM電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
OSC-VCC	PLL電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
FVCC	フラッシュ電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VCCE	外部I/Oバッファ電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
AVCC	アナログ電源電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VREF	アナログ基準電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VI	Xin, VCNT		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
VO	Xout		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
Pd	消費電力	Ta = -40 ~ 85	600	mW
		Ta = -40 ~ 125	500	mW
TOPR	動作周囲温度(注)		- 40 ~ 125	
Tstg	保存温度		- 65 ~ 150	

注 . 125 連続動作を保証するものではありません。125 応用を検討されているお客様は弊社までお問い合わせください。

23.1.2 推奨動作条件

推奨動作条件(指定のない場合は、 $V_{CC} = 5V \pm 0.5V$, $V_{CCI} = 3.3V \pm 0.3V$, $T_a = -40 \sim 85$)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧 (注1)		4.5	5.0	5.5	V
VCCI	内部ロジック電源電圧 (注2)		3.0	3.3	3.6	V
VDD	RAM電源電圧 (注2)		3.0	3.3	3.6	V
FVCC	フラッシュ電源電圧 (注2)		3.0	3.3	3.6	V
AVCC	アナログ電源電圧 (注1)		4.5	5.0	5.5	V
OSC-VCC	PLL電源電圧 (注2)		3.0	3.3	3.6	V
VREF	アナログ基準電圧 (注1)		4.5	5.0	5.5	V
VIH	"H"入力電圧	ポートP0~P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0~P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0~P11, P14~P22 (注3)				-10	mA
IOH(avg)	"H"平均出力電流 P0~P11, P14~P22 (注4)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0~P11, P14~P22 (注3)				10	mA
IOL(avg)	"L"平均出力電流 P0~P11, P14~P22 (注4)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		10	MHz

注1. 条件: VCCE AVCC VREF

注2. 条件: VDD VCCI FVCC OSC-VCC

注3. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 80mA

にしてください。

注4. 平均出力電流は、100msの期間内での平均値です。

推奨動作条件(指定のない場合は、 $V_{CC} = 5V \pm 0.5V$, $V_{CCI} = 3.3V \pm 0.3V$, $T_a = -40 \sim 125$)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧 (注1)		4.5	5.0	5.5	V
VCCI	内部ロジック電源電圧 (注2)		3.0	3.3	3.6	V
VDD	RAM電源電圧 (注2)		3.0	3.3	3.6	V
FVCC	フラッシュ電源電圧 (注2)		3.0	3.3	3.6	V
AVCC	アナログ電源電圧 (注1)		4.5	5.0	5.5	V
OSC-VCC	PLL電源電圧 (注2)		3.0	3.3	3.6	V
VREF	アナログ基準電圧 (注1)		4.5	5.0	5.5	V
VIH	"H"入力電圧	ポートP0~P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0~P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0~P11,P14~P22 (注3)				-10	mA
IOH(avg)	"H"平均出力電流 P0~P11,P14~P22(注4)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0~P11,P14~P22 (注3)				10	mA
IOL(avg)	"L"平均出力電流 P0~P11,P14~P22 (注4)				5	mA
CL	出力負荷容量	JTCK,JTDI,JTMS, JTDO,JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		8	MHz

注1. 条件 : VCCE AVCC VREF

注2. 条件 : VDD VCCI FVCC OSC-VCC

注3. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 80mA

にしてください。

注4. 平均出力電流は、100msの期間内での平均値です。

23.1.3 DC特性

23.1.3.1 電气的特性

(1) f(XIN)=10MHz時の電气的特性

(指定のない場合は、VCCE = 5V ± 0.5V, VCCI = 3.3V ± 0.3V, Ta = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 5mA	VCCE + 0.165 × IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 5mA	0		0.15 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	1.5		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICC-5V	5V系電源電流 (注1)	f(XIN) = 10.0MHz, リセット時			1	mA
		f(XIN) = 10.0MHz, 動作時		1	12	
ICCI-3V	3.3V系電源電流 (注2)	f(XIN) = 10.0MHz, リセット時			75	mA
		f(XIN) = 10.0MHz, 動作時		75	125	
IDDhold	RAM保持電源電流	Ta = 25		RAM保持電 源電流特性 グラフ参照	100	μA
		Ta = 85			2000	
V _{T+} - V _{T-}	ヒステリシス (注3) RTDCLK、RTDRXD、SCLKI0,1,4,5 RXD0,1,2,3,4,5,6,7、TIN0~11、TINA0,1 TINB0,1、RESET、FP、 MOD0,1、JTMS、JTRST、JTDI	VCCE = 5V	1.0			V
V _{T+} - V _{T-}	ヒステリシス (注4) SBI、HREQ	VCCE = 5V	0.3			V

注1. シングルチップモード、VCCE = AVCC = VREFの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注2. シングルチップモード、VCCI = VDD = FVCC = OSC-VCCの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注3. RESET端子以外はダブルまたはトリプルファンクションとなっています。

注4. HREQ端子はダブルファンクション端子です。

(2) f(XIN)=10MHz時の各電源端子の電気的特性

(指定のない場合は、V_{CC}E = 5V ± 0.5V, V_{CC}I = 3.3V ± 0.3V, T_a = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時V _{CC} E電源電流	f(XIN) = 10.0MHz			10	mA
ICCI	動作時V _{CC} I電源電流	f(XIN) = 10.0MHz			120	
IOSC-ICC	動作時OSC-V _{CC} 電源電流	f(XIN) = 10.0MHz			20	mA
FICC	動作時FV _{CC} 電源電流 (注1)	f(XIN) = 10.0MHz			50	mA
IDD	動作時V _{DD} 電源電流 (注2)	f(XIN) = 10.0MHz			35	mA
I _{AVCC}	動作時AV _{CC} 電源電流	f(XIN) = 10.0MHz			3	mA
I _{REF}	動作時V _{REF} 電源電流	f(XIN) = 10.0MHz			3	mA

注1. プログラム時 / イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

(3) f(XIN)=10MHz時のバックアップRAM保持電源電流

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
IDDhold	RAM保持電源電流	T _a =85、V _{DD} =1.5V			250	μA

(4) f(XIN)=8MHz時の電氣的特性

(指定のない場合は、VCCE = 5V ± 0.5V, VCCI = 3.3V ± 0.3V, Ta = - 40 ~ 125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 5mA	VCCE + 0.165 × IOH (mA)		VCCE	V
VOL	"L"出力電圧	IOL 5mA	0		0.15 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	1.5		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICC-5V	5V系電源電流 (注1)	f(XIN) = 8.0MHz, リセット時			1	mA
		f(XIN) = 8.0MHz, 動作時		1	12	
ICCI-3V	3.3V系電源電流 (注2)	f(XIN) = 8.0MHz, リセット時			70	mA
		f(XIN) = 8.0MHz, 動作時		60	110	
IDDhold	RAM保持電源電流	Ta = 25		RAM保持電 源電流特性 グラフ参照	100	μA
		Ta = 125			7500	
V _{T+} - V _{T-}	ヒステリシス (注3) RTDCLK、RTDRXD、SCLKI0,1,4,5 RXD0,1,2,3,4,5,6,7、TIN0~11、TINA0,1 TINB0,1、RESET、FP、 MOD0,1、JTMS、JTRST、JTDI	VCCE = 5V	1.0			V
V _{T+} - V _{T-}	ヒステリシス (注4) SBI、HREQ	VCCE = 5V	0.3			V

注1. シングルチップモード、VCCE = AVCC = VREFの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

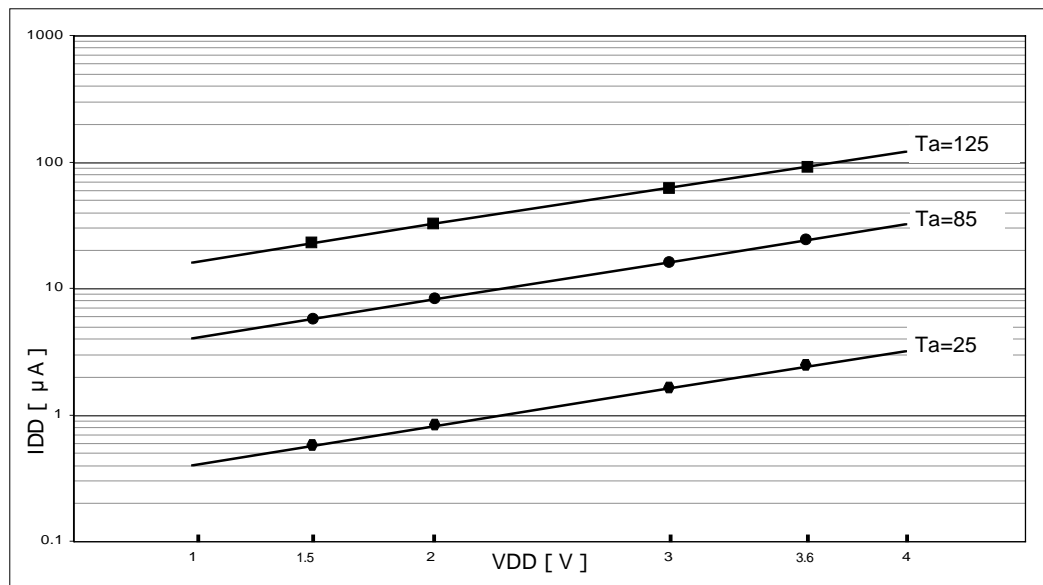
注2. シングルチップモード、VCCI = VDD = FVCC = OSC-VCCの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注3. RESET端子以外はダブルまたはトリプルファンクションとなっています。

注4. HREQ端子はダブルファンクション端子です。

標準サンプルのRAM保持電源電流（参考値）



(5) f(XIN)=8MHz時の各電源端子の電気的特性

(指定のない場合は、V_{CC}E = 5V ± 0.5V, V_{CC}I = 3.3V ± 0.3V, Ta = -40 ~ 125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時V _{CC} E電源電流	f(XIN) = 8.0MHz			10	mA
ICCI	動作時V _{CC} I電源電流	f(XIN) = 8.0MHz			105	
OSC-ICC	動作時OSC-V _{CC} 電源電流	f(XIN) = 8.0MHz			16	mA
FICC	動作時FV _{CC} 電源電流（注1）	f(XIN) = 8.0MHz			50	mA
IDD	動作時VDD電源電流（注2）	f(XIN) = 8.0MHz			30	mA
AICC	動作時AV _{CC} 電源電流	f(XIN) = 8.0MHz ²			3	mA
IREF	VREF電源電流	f(XIN) = 8.0MHz			3	mA

注1. プログラム時 / イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

(6) f(XIN)=8MHz時のバックアップRAM保持電源電流

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
IDDhold	RAM保持電源電流	Ta=125、VDD=1.5V			500	μA
		Ta=105、VDD=1.5V			300	μA

23.1.3.2 フラッシュ関連電気的特性

フラッシュ関連電気的特性(指定のない場合は、VCCE = 5V ± 0.5V、VCCI = 3.3V ± 0.3V)

記号	項目	測定条件	定格値			単位
			最小	標準	最大	
I _{FVCC1}	FVCC電源電流(プログラム時)				50	mA
I _{FVCC2}	FVCC電源電流(イレーズ時)				40	mA
T _{opr}	フラッシュ書き換え周囲温度		0		70	
cycle	書き換え回数				100	回
t _{PRG}	プログラム時間	1 Page		8	120	ms
t _{BERS}	ブロック消去時間	1 Block		50	600	ms

23.1.4 A-D変換特性

A-D変換特性(指定のない場合は、AV_{CC} = V_{REF} = V_{CC} = 5.12V、T_a = -40 ~ 85、f(XIN) = 10.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		V _{REF} = V _{CC}			10	Bits
—	絶対精度 (注)	低速モード				±2	LSB
		高速モード				±3	LSB
TCONV	変換時間	低速モード	ノーマル			14950	ns
			倍速			8650	
		高速モード	2倍速			6550	
			4倍速			4450	

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} \text{ANI} / 1\text{LSB})$$

AV_{CC} = V_{REF} = 5.12Vの時、1LSB = 5mVです。

A-D変換特性(指定のない場合は、AV_{CC} = V_{REF} = V_{CC} = 5.12V、T_a = -40 ~ 125、f(XIN) = 8.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		V _{REF} = V _{CC}			10	Bits
—	絶対精度 (注)	低速モード				±2	LSB
		高速モード				±3	LSB
TCONV	変換時間	低速モード	ノーマル			18687.5	ns
			倍速			10812.5	
		高速モード	2倍速			8187.5	
			4倍速			5562.5	

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} \text{ANI} / 1\text{LSB})$$

AV_{CC} = V_{REF} = 5.12Vの時、1LSB = 5mVです。

23.1.5 D-A変換特性

23.1.5.1 D-A 変換特性

D-A変換特性(指定のない場合は、AVCC = VREF=VCCF=5.12V, Ta=25 ,f(XIN)=10/8MHz)

記号	項目	測定条件	定格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1	%
tsu	設定時間				3	μS
Ro	出力抵抗		4	10	20	k
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用時、使用していないD-A変換器のD-Aレジスタの値が"H'00"の場合。
A-D変換器のラダー抵抗分は除きます。

23.2 電気的特性(V_{CC}E=3.3V時)

23.2.1 絶対最大定格

絶対最大定格(- 40 ~ 125)

記号	項目	条件	定格値	単位
V _{CCI}	内部ロジック電源電圧	VDD V _{CCI} FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VDD	RAM電源電圧	VDD V _{CCI} FVCC = OSC-VCC	- 0.3 ~ 4.2	V
OSC-VCC	PLL電源電圧	VDD V _{CCI} FVCC = OSC-VCC	- 0.3 ~ 4.2	V
FVCC	フラッシュ電源電圧	VDD V _{CCI} FVCC = OSC-VCC	- 0.3 ~ 4.2	V
V _{CC} E	外部I/Oバッファ電圧	V _{CC} E AVCC VREF	- 0.3 ~ 6.5	V
AVCC	アナログ電源電圧	V _{CC} E AVCC VREF	- 0.3 ~ 6.5	V
VREF	アナログ基準電圧	V _{CC} E AVCC VREF	- 0.3 ~ 6.5	V
V _I	Xin, VCNT		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ V _{CC} E + 0.3	
V _O	Xout		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ V _{CC} E + 0.3	
P _d	消費電力	Ta = -40 ~ 85	600	mW
		Ta = -40 ~ 125	500	mW
TOPR	動作周囲温度(注)		- 40 ~ 125	
Tstg	保存温度		- 65 ~ 150	

注. 125 連続動作を保証するものではありません。125 応用を検討されているお客様は弊社までお問い合わせください。

23.2.2 推奨動作条件

推奨動作条件(指定のない場合は、VCC_E = VCC_I = 3.3V ± 0.3V, Ta = -40 ~ 85)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧		3.0	3.3	3.6	V
VCCI	内部ロジック電源電圧		3.0	3.3	3.6	V
VDD	RAM電源電圧 (注1)		3.0	VCCI	3.6	V
FVCC	フラッシュ電源電圧 (注2)		3.0	VCCI	3.6	V
AVCC	アナログ電源電圧 (注3)		3.0	VCCE	3.6	V
OSC-VCC	PLL電源電圧 (注4)		3.0	VCCI	3.6	V
VREF	アナログ基準電圧 (注5)		3.0	VCCE	3.6	V
VIH	"H"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P22 (注6)				-10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P22 (注7)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P22 (注6)				10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P22 (注7)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		10	MHz

注1. 条件 : VCC_I - 0.3 VDD VCC_I + 0.3

注2. 条件 : VCC_I - 0.3 FVCC VCC_I + 0.3

注3. 条件 : VCCE - 0.3 AVCC VCCE + 0.3

注4. 条件 : VCC_I - 0.3 OSC-VCC VCC_I + 0.3

注5. 条件 : VCCE - 0.3 VREF VCCE + 0.3

注6. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 80mA

にしてください。

注7. 平均出力電流は、100msの期間内での平均値です。

推奨動作条件(指定のない場合は、VCC = VCCI = 3.3V ± 0.3V, Ta = -40 ~ 125)

記号	項目		定格値			単位
			最小	標準	最大	
VCC	外部I/Oバッファ電源電圧		3.0	3.3	3.6	V
VCCI	内部ロジック電源電圧		3.0	3.3	3.6	V
VDD	RAM電源電圧 (注1)		3.0	VCCI	3.6	V
FVCC	フラッシュ電源電圧 (注2)		3.0	VCCI	3.6	V
AVCC	アナログ電源電圧 (注3)		3.0	VCCE	3.6	V
OSC-VCC	PLL電源電圧 (注4)		3.0	VCCI	3.6	V
VREF	アナログ基準電圧 (注5)		3.0	VCCE	3.6	V
VIH	"H"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P22 (注6)				-10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P22 (注7)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P22 (注6)				10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P22 (注7)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		8	MHz

注1. 条件 : VCCI - 0.3 VDD VCCI + 0.3

注2. 条件 : VCCI - 0.3 FVCC VCCI + 0.3

注3. 条件 : VCCE - 0.3 AVCC VCCE + 0.3

注4. 条件 : VCCI - 0.3 OSC-VCC VCCI + 0.3

注5. 条件 : VCCE - 0.3 VREF VCCE + 0.3

注6. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 80mA

にしてください。

注7. 平均出力電流は、100msの期間内での平均値です。

23.2.3 DC特性

23.2.3.1 電氣的特性

(1) f(XIN)=10MHz時の電氣的特性

(指定のない場合は、VCC = VCCI = 3.3V ± 0.3V, Ta = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 2mA	VCCE + 0.5 × IOH (mA)		VCCE	V
VOL	"L"出力電圧	IOL 2mA	0		0.225 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICCres	リセット時電源電流 (注1)	f(XIN) = 10.0MHz, リセット時			76	mA
ICC	動作時電源電流 (注1)	f(XIN) = 10.0MHz, 動作時		76	132	
IDDhold	RAM保持電源電流	Ta = 25		RAM保持電 源電流特性 グラフ参照	100	μA
		Ta = 85			2000	
V _{T+} - V _{T-}	ヒステリシス (注2) ADTRG、RTDCLK、RTDRXD、 SCLKI0,1,4,5、RXD0,1, 2,3,4,5、 TCLK3-0、JTMS、JTRST、JTDI、 TIN0-33、RESET、FP、MOD0,1	VCCE = 3.3	0.65			V
V _{T+} - V _{T-}	ヒステリシス (注3) SBI、HREQ	VCCE = 3.3V	0.2			V

注1. シングルチップモード、VCC = AVCC = VREF = VCCI = VDD = FVCC = OSC-VCCの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注2. RESET端子以外はダブルファンクションとなっています。

注3. HREQ端子はダブルファンクション端子です。

(2) f(XIN)=10MHz時の各電源端子の電気的特性

(指定のない場合は、VCC = VCCI=3.3V ± 0.3V, Ta = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	f(XIN) = 10.0MHz			7	mA
ICCI	動作時VCCI電源電流	f(XIN) = 10.0MHz			120	
OSC-ICC	動作時OSCVCC電源電流	f(XIN) = 10.0MHz			20	mA
FICC	動作時FVCC電源電流 (注1)	f(XIN) = 10.0MHz			50	mA
IDD	動作時VDD電源電流 (注2)	f(XIN) = 10.0MHz			35	mA
IAVCC	動作時AVCC電源電流	f(XIN) = 10.0MHz			2	mA
IVREF	VREF電源電流	f(XIN) = 10.0MHz			1	mA

注1. プログラム時/イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

(3) f(XIN)=8MHz時の電氣的特性

(指定のない場合は、VCC = VCCI = 3.3V ± 0.3V, Ta = - 40 ~ 125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 2mA	VCCE + 0.5 × IOH (mA)		VCCE	V
VOL	"L"出力電圧	IOL 2mA	0		0.225 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICCres	リセット時電源電流 (注1)	f(XIN) = 8.0MHz, リセット時			71	mA
ICC	動作時電源電流 (注1)	f(XIN) = 8.0MHz, 動作時		61	117	
IDDhold	RAM保持電源電流	Ta = 25		RAM保持電 源電流特性 グラフ参照	100	μA
		Ta = 125			7500	
V _{T+} - V _{T-}	ヒステリシス (注2) ADTRG、RTDCLK、RTDRXD、 SCLKI0,1,4,5、RXD0,1, 2,3,4,5、 TCLK3-0、JTMS、JTRST、JTDI、 TIN0-33、RESET、FP、MOD0,1	VCCE = 3.3V	0.65			V
V _{T+} - V _{T-}	ヒステリシス (注3) SBI、HREQ	VCCE = 3.3V	0.2			V

注1. シングルチップモード、VCCE = AVCC = VREF = VCCI = VDD = FVCC = OSC-VCCの全電流。
各電源端子の電源電流の規格値は次ページを参照ください。

注2. RESET端子以外はダブルファンクションとなっています。

注3. HREQ端子はダブルファンクション端子です。

(4) $f(XIN)=8\text{MHz}$ 時の各電源端子の電気的特性

(指定のない場合は、 $V_{CC} = V_{CCI} = 3.3\text{V} \pm 0.3\text{V}$, $T_a = -40 \sim 125$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCC電源電流	$f(XIN) = 8.0\text{MHz}$			7	mA
ICCI	動作時VCCI電源電流	$f(XIN) = 8.0\text{MHz}$			105	
OSC-ICC	動作時OSC-VCC電源電流	$f(XIN) = 8.0\text{MHz}$			16	mA
FICC	動作時FVCC電源電流 (注1)	$f(XIN) = 8.0\text{MHz}$			50	mA
IDD	動作時VDD電源電流 (注2)	$f(XIN) = 8.0\text{MHz}$			30	mA
IAVCC	動作時AVCC電源電流	$f(XIN) = 8.0\text{MHz}^2$			2	mA
IVREF	VREF電源電流	$f(XIN) = 8.0\text{MHz}$			1	mA

注1. プログラム時/イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

23.2.3.2 フラッシュ関連電気的特性

フラッシュ関連電気的特性(指定のない場合は、 $V_{CC} = V_{CCI} = 3.3\text{V} \pm 0.3\text{V}$)

記号	項目	測定条件	定格値			単位
			最小	標準	最大	
I _{fvcc1}	FVCC電源電流(プログラム時)				50	mA
I _{fvcc2}	FVCC電源電流(イレーズ時)				40	mA
T _{opr}	フラッシュ書き換え周囲温度		0		70	
cycle	書き換え回数				100	回
t _{PRG}	プログラム時間	1 Page		8	120	ms
t _{BERS}	ブロック消去時間	1 Block		50	600	ms

23.2.4 A-D変換特性

A-D変換特性(指定のない場合は、AV_{CC} = V_{REF} = V_{CC}E = 3.3V、T_a = -40 ~ 85、f(XIN) = 10.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		V _{REF} = V _{CC}			10	Bits
—	絶対精度 (注)	低速モード				±4	LSB
		高速モード				±5	LSB
TCONV	変換時間	低速モード	ノーマル			14950	ns
			倍速			8650	
		高速モード	2倍速			6550	
			4倍速			4450	

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} AN_i / 1\text{LSB})$$

AV_{CC} = V_{REF} = 3.072Vの時、1LSB = 3mVです。

A-D変換特性(指定のない場合は、AV_{CC} = V_{REF} = V_{CC}E = 3.3V、T_a = -40 ~ 125、f(XIN) = 8.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		V _{REF} = V _{CC}			10	Bits
—	絶対精度 (注)	低速モード				±4	LSB
		高速モード				±5	LSB
TCONV	変換時間	低速モード	ノーマル			18687.5	ns
			倍速			10812.5	
		高速モード	2倍速			8187.5	
			4倍速			5562.5	

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} AN_i / 1\text{LSB})$$

AV_{CC} = V_{REF} = 3.072Vの時、1LSB = 3mVです。

23.3 AC特性

23.3.1 タイミング必要条件

- ・指定のないタイミング条件は、 $VCCE = 5V \pm 0.5V$ (または $VCCE = 3.3V \pm 0.3V$)、 $VCCI = 3.3V \pm 0.3V$ 、 $T_a = -40 \sim +125$ です。
- ・規格値は測定端子の負荷容量が15pF ~ 50pF時の保証値(ただし、JTAG関連は80pFの集中キャパシタンス時の保証値)です。

(1) 入出力ポート

記号	項目	測定条件	規格値		単位	参照番号 図23.3.1
			最小	最大		
$t_{su}(P-E)$	ポート入力セットアップ時間		100		ns	①
$t_h(E-P)$	ポート入力ホールド時間		0		ns	②

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図23.3.2
			最小	最大		
$t_{su}(D-CLK)$	RxD入力セットアップ時間		150		ns	④
$t_h(CLK-D)$	RxD入力ホールド時間		50		ns	⑤

b) CSIOモード、外部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図23.3.2
			最小	最大		
$t_c(CLK)$	CLK入力サイクル時間		640		ns	⑦
$t_w(CLKH)$	CLK入力“H”パルス幅		300		ns	⑧
$t_w(CLKL)$	CLK入力“L”パルス幅		300		ns	⑨
$t_{su}(D-CLK)$	RxD入力セットアップ時間		60		ns	⑩
$t_h(CLK-D)$	RxD入力ホールド時間		100		ns	⑪

(3) SBI

記号	項目	測定条件	規格値		単位	参照図番 図23.3.3
			最小	最大		
$t_w(SBIL)$	SBI入力Lパルス幅		$\frac{5}{2} t_c(BCLK)$		ns	⑬

(4)TIN_i (i=0,3,16 ~ 23)

記号	項目	測定条件	規格値		単位	参照図番 図23.3.5
			最小	最大		
tw(TIN _i)	TIN _i 入力パルス幅		$\frac{7}{2} t_{c(BCLK)}$		ns	⑭

(5)TIN8 ~ 11(4通倍イベントカウント、アップ/ダウンイベントカウントモード時)

記号	項目	測定条件	規格値		単位	参照図番 図23.3.6
			最小	最大		
tw(TIN8 ~ 11)	TIN8 ~ 11入力パルス幅 (4通倍イベントカウント、アップ/ ダウンイベントカウントモード時)		$\frac{7}{2} t_{c(BCLK)}$		ns	⑨①
tw(TIN8 ~ 11)	TIN8 ~ 11入力相規格 (4通倍イベントカウント、アップ/ ダウンイベントカウントモード時)		$\frac{7}{2} t_{c(BCLK)}$		ns	⑨②

(6)リードおよびライトタイミング

記号	項目	測定条件	規格値		単位	参照図番 図23.3.7 図23.3.8 図23.3.9
			最小	最大		
tsu(D-BCLKH)	BCLK前データ入力セットアップ時間		26		ns	③①
th(BCLKH-D)	BCLK後データ入力ホールド時間		0		ns	③②
tsu(WAITL-BCLKH)	BCLK前WAIT入力セットアップ時間		26		ns	③③
th(BCLKH-WAITL)	BCLK後WAIT入力ホールド時間		0		ns	③④
tsu(WAITH-BCLKH)	BCLK前WAIT入力セットアップ時間		26		ns	⑦⑧
th(BCLKH-WAITH)	BCLK後WAIT入力ホールド時間		0		ns	⑦⑨
tw(RDL)	リード“L”パルス幅		$\frac{3}{2} t_{c(BCLK)} - 23$		ns	④③
tsu(D-RDH)	リード前データ入力セットアップ時間		30		ns	④④
th(RDH-D)	リード後データ入力ホールド時間		0		ns	④⑤
tw(BLWL) tw(BHWL)	ライト“L”パルス幅 (バイトライトモード)		$t_{c(BCLK)} - 25$		ns	⑤①
td(RDH-BLWL) td(RDH-BHWL)	リード後ライト遅延時間		$\frac{t_{c(BCLK)}}{2} - 10$		ns	⑤⑥
td(BLWH-RDL) td(BHWH-RDL)	ライト後リード遅延時間		$\frac{t_{c(BCLK)}}{2} - 10$		ns	⑤⑦
tw(WRL)	ライト“L”パルス幅 (バイトイネーブルモード)		$t_{c(BCLK)} - 25$		ns	⑥⑧
td(RDH-BLEL) td(RDH-BHEL)	リード後ライト遅延時間 (バイトイネーブルモード)		$\frac{t_{c(BCLK)}}{2} - 10$		ns	⑥⑩
td(BLEH-RDL) td(BHEH-RDL)	ライト後リード遅延時間 (バイトイネーブルモード)		$\frac{t_{c(BCLK)}}{2} - 10$		ns	⑥①

(7) バスアービトレーションタイミング

記号	項目	測定条件	規格値		単位	参照図番 図23.3.10
			最小	最大		
tsu(HREQL-BCLKH)	BCLK前HREQ入力セットアップ時間		27		ns	(35)
th(BCLKH-HREQL)	BCLK後HREQ入力ホールド時間		0		ns	(36)

(8) JTAG端子の入力遷移時間

記号	測定条件		規格値		単位	参照図番 図23.3.11	
			最小	最大			
tr	入力立ち上がり 遷移時間	JTRST端子以外 (JTCK,JTDI,JTMS,JTDO)			10	ns	(58)
		JTRST端子	TAP使用時		10	ns	
			TAP未使用時		2	ms	
tf	入力立ち下がり 遷移時間	JTRST端子以外 (JTCK,JTDI,JTMS,JTDO)			10	ns	(59)
		JTRST端子	TAP使用時		10	ns	
			TAP未使用時		2	ms	

注. 規格値は測定端子の負荷容量CL=80pF時の保証値

(9) JTAGインタフェースタイミング

記号	項目	規格値		単位	参照図番 図23.3.12
		最小	最大		
tc(JTCK)	JTCK入力サイクル時間	100		ns	(60)
tw(JTCKH)	JTCK入力“H”パルス幅	40		ns	(61)
tw(JTCKL)	JTCK入力“L”パルス幅	40		ns	(62)
tsu(JTDI-JTCK)	JTDI,JTMS入力セットアップ時間	15		ns	(63)
th(JTCK-JTDI)	JTDI,JTMS入力ホールド時間	20		ns	(64)
td(JTCK-JTDOV)	JTCK立ち下がり後JTDO出力の遅延時間		40	ns	(65)
td(JTCK-JTDOX)	JTCK立ち下がり後JTDO出力Hi-Zまでの遅延時間		40	ns	(66)
tw(JTRST)	TRST入力“L”パルス幅	tc(JTCK)		ns	(67)

注. 規格値は測定端子の負荷容量CL=80pF時の保証値

(10) RTDタイミング

記号	項目	規格値		単位	参照図番 図23.3.13
		最小	最大		
tc(RTDCLK)	RTDCLK入力サイクル時間	500		ns	⑨0
tw(RTDCLKH)	RTDCLK入力"H"パルス幅	230		ns	⑧3
tw(RTDCLKL)	RTDCLK入力"L"パルス幅	230		ns	⑧4
td(RTDCLKH-RTDACK)	RTDCLK入力後RTDACK遅延時間		160	ns	⑧5
tv(RTDCLKL-RTDACK)	RTDCLK入力後RTDACK有効時間		160	ns	⑧6
td(RTDCLKH-RTDTRXD)	RTDCLK入力後RTDTRXD遅延時間		tw(RTDCLKH)+160	ns	⑧7
tv(RDTRXD-RTDCLKL)	RTDTRXD入力セットアップ時間	60		ns	⑧9
th(RTDCLKH-RTDTRXD)	RTDTRXD入力ホールド時間	100		ns	⑧8

23.3.2 スイッチング特性

(1) 入出力ポート

記号	項目	測定条件	規格値		単位	参照図番号 図23.3.1
			最小	最大		
td(E-P)	ポートデータ出力遅延時間			100	ns	③

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番号 図23.3.2
			最小	最大		
td(CLK-D)	TxD出力遅延時間			60	ns	⑥
th(CLK-D)	TxDホールド時間		0		ns	⑧2

b) CSIOモード、外部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番号 図23.3.2
			最小	最大		
td(CLK-D)	TxD出力遅延時間			160	ns	⑫

(3) TOi (i=0~20)

記号	項目	測定条件	規格値		単位	参照図番号 図23.3.4
			最小	最大		
td(BCLK-TOi)	TOi 出力遅延時間			100	ns	⑮

(4) リードおよびライトタイミング

記号	項目	測定条件	規格値		単位	参照図番 図23.3.7 図23.3.8 図23.3.9
			最小	最大		
tc(BCLK)	BCLK出力サイクル時間			$\frac{tc(Xin)}{2}$	ns	(16)
tw(BCLKH)	BCLK出力“H”パルス幅		$\frac{tc(BCLK)}{2} - 5$		ns	(17)
tw(BCLKL)	BCLK出力“L”パルス幅		$\frac{tc(BCLK)}{2} - 5$		ns	(18)
td(BCLKH-A)	BCLK後アドレス遅延時間			24	ns	(19)
td(BCLKH-CS)	BCLK後チップセレクト遅延時間			24	ns	(20)
tv(BCLKH-A)	BCLK後アドレス有効時間		-11		ns	(21)
tv(BCLKH-CS)	BCLK後チップセレクト有効時間		-11		ns	(22)
td(BCLKL-RDL)	BCLK後リード遅延時間			10	ns	(23)
tv(BCLKH-RDL)	BCLK後リード有効時間		-12		ns	(24)
td(BCLKL-BLWL) td(BCLKL-BHWL)	BCLK後ライト遅延時間			11	ns	(25)
tv(BCLKL-BLWL) tv(BCLKL-BHWL)	BCLK後ライト有効時間		-12		ns	(26)
td(BCLKL-D)	BCLK後データ出力遅延時間			18	ns	(27)
tv(BCLKH-D)	BCLK後データ出力有効時間		-16		ns	(28)
tpzx(BCLKL-DZ)	BCLK後データ出カインエーブル時間		-19		ns	(29)
tpxz(BCLKH-DZ)	BCLK後データ出力ディスインエーブル時間			5	ns	(30)
td(A-RDL)	リード前アドレス遅延時間		$\frac{tc(BCLK)}{2} - 15$		ns	(39)
td(CS-RDL)	リード前チップセレクト遅延時間		$\frac{tc(BCLK)}{2} - 15$		ns	(40)
tv(RDH-A)	リード後アドレス有効時間		0		ns	(41)
tv(RDH-CS)	リード後チップセレクト有効時間		0		ns	(42)
tpzx(RDH-DZ)	リード後データ出カインエーブル時間		$\frac{tc(BCLK)}{2}$		ns	(46)
td(A-BLWL) td(A-BHWL)	ライト前アドレス遅延時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(47)
td(CS-BLWL) td(CS-BHWL)	ライト前チップセレクト遅延時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(48)
tv(BLWH-A) tv(BHWH-A)	ライト後アドレス有効時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(49)
tv(BLWH-CS) tv(BHWH-CS)	ライト後チップセレクト有効時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(50)

リードおよびライトタイミング(前ページの続き)

記号	項目	測定条件	規格値		単位	参照図番 図23.3.7 図23.3.8 図23.3.9
			最小	最大		
td(BLWL-D) td(BHWL-D)	ライト後データ出力遅延時間 (バイトライトモード)			15	ns	(52)
tv(BLWH-D) tv(BHWH-D)	ライト後データ出力有効時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 13$		ns	(53)
tpxz(BLWH-DZ) tpxz(BHWH-DZ)	ライト後データ出力ディスエーブル時間 (バイトライトモード)			$\frac{tc(BCLK)}{2} + 5$	ns	(54)
td(A-WRL)	ライト前アドレス遅延時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(69)
td(CS-WRL)	ライト前チップセレクト遅延時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(70)
tv(WRH-A)	ライト後アドレス有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(71)
tv(WRH-CS)	ライト後チップセレクト有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(72)
td(BLE-WRL) td(BHE-WRL)	ライト前バイトイネーブル遅延時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(73)
tv(WRH-BLE) tv(WRH-BHE)	ライト後バイトイネーブル有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(74)
td(WRL-D)	ライト後データ出力遅延時間 (バイトイネーブルモード)			15	ns	(75)
tv(WRH-D)	ライト後データ出力有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 13$		ns	(76)
tpxz(WRH-DZ)	ライト後データ出力ディスエーブル時間 (バイトイネーブルモード)			$\frac{tc(BCLK)}{2} + 5$	ns	(77)
tw(RDH)	リード“H”パルス幅		$\frac{tc(BCLK)}{2} - 3$		ns	(55)

(5) バスアービトラーション

記号	項目	測定条件	規格値		単位	参照図番 図23.3.10
			最小	最大		
td(BCLKL-HACKL)	BCLK後HACK遅延時間			29	ns	(37)
tv(BCLKL-HACKL)	BCLK後HACK有効時間		-11		ns	(38)

23.3.3 AC特性

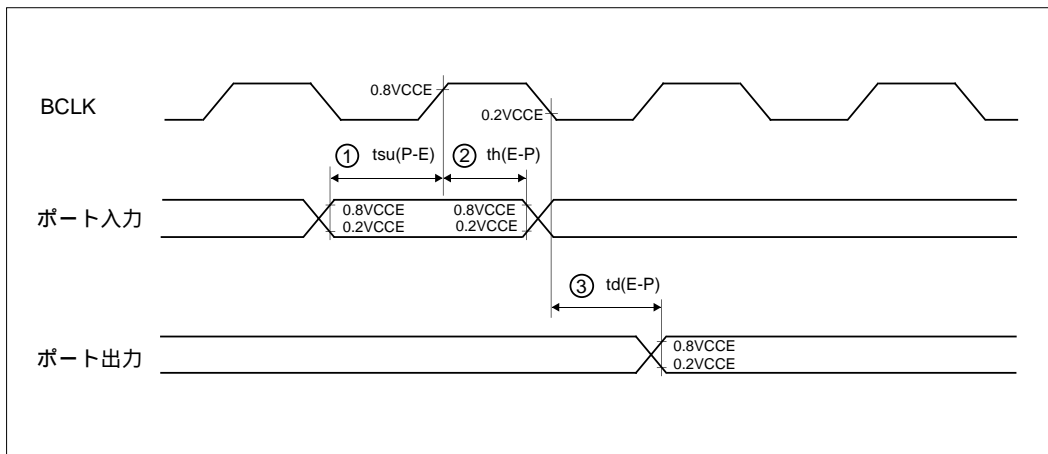


図23.3.1 入出力ポートタイミング

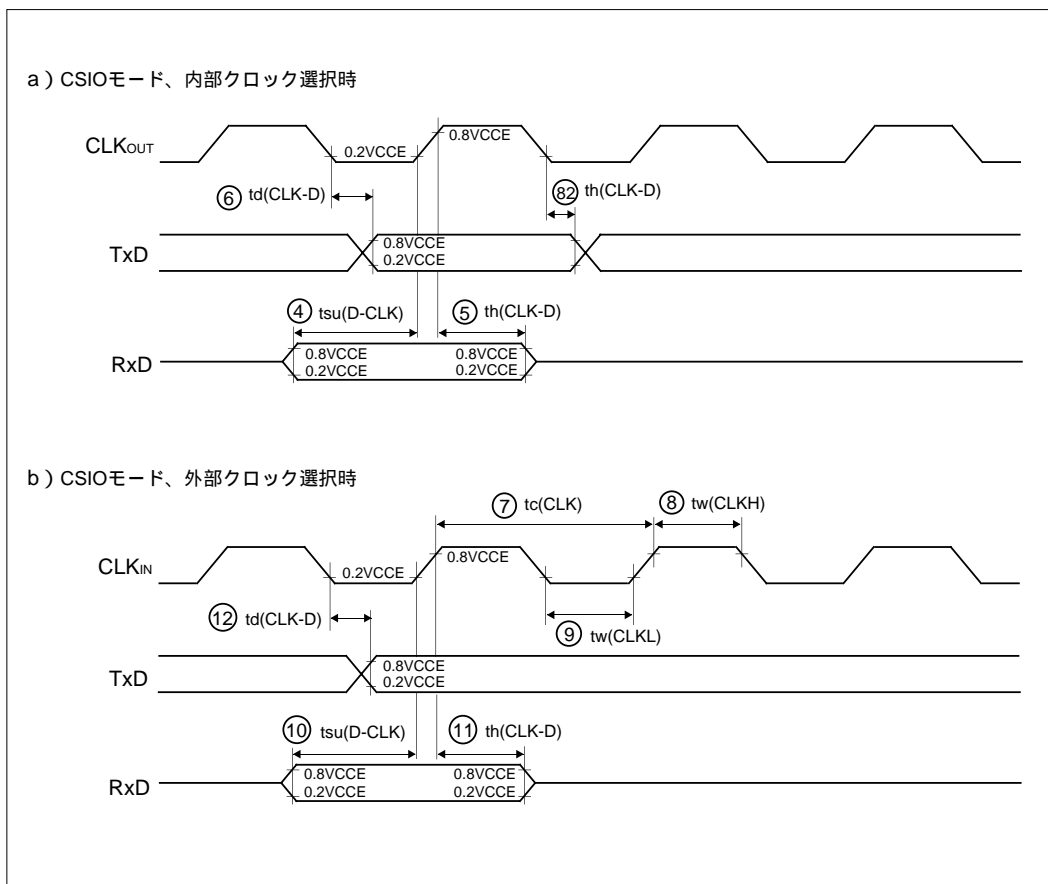


図23.3.2 シリアルI/Oタイミング

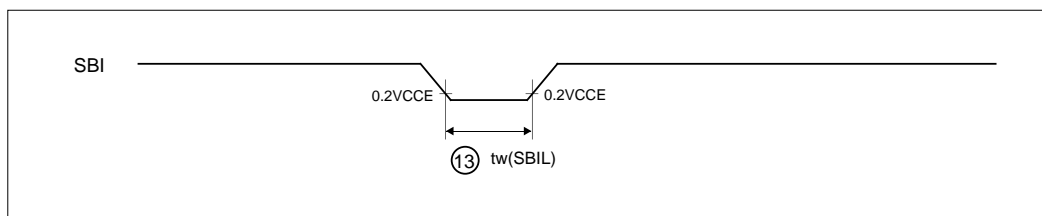


図23.3.3 SBIタイミング

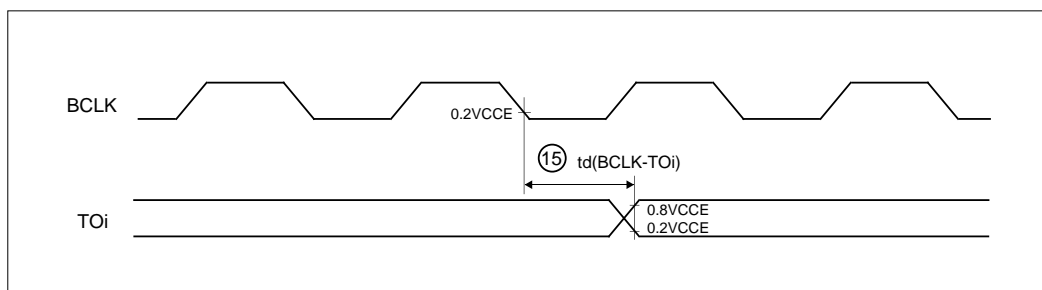


図23.3.4 TOiタイミング

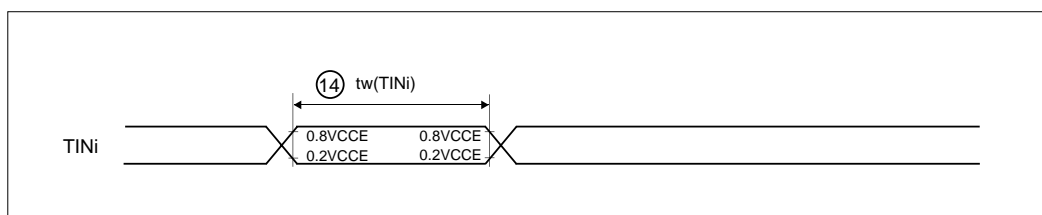


図23.3.5 TINiタイミング

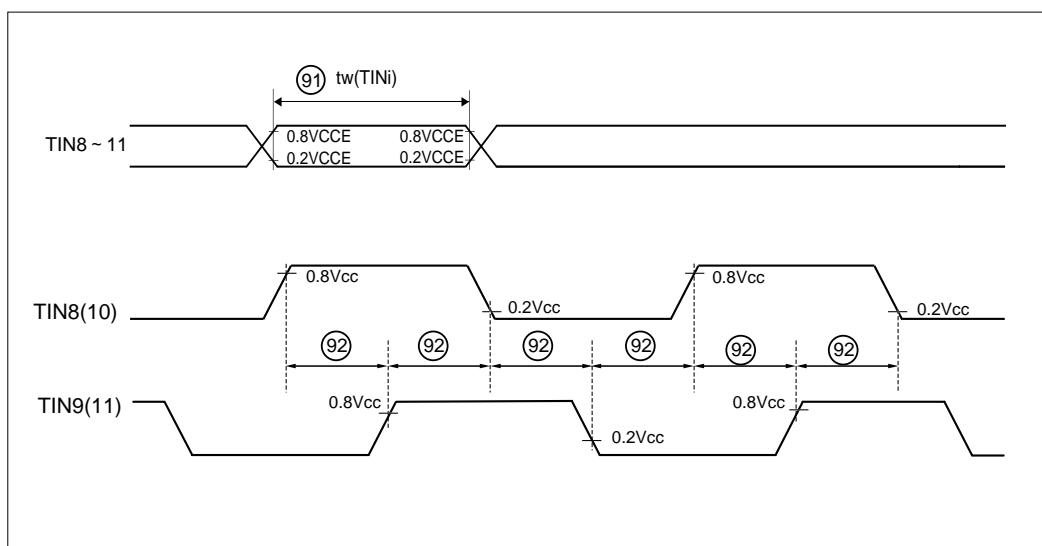


図23.3.6 TIN8~11入力タイミング (4通倍イベントカウント、アップ/ダウンイベントカウントモード時)

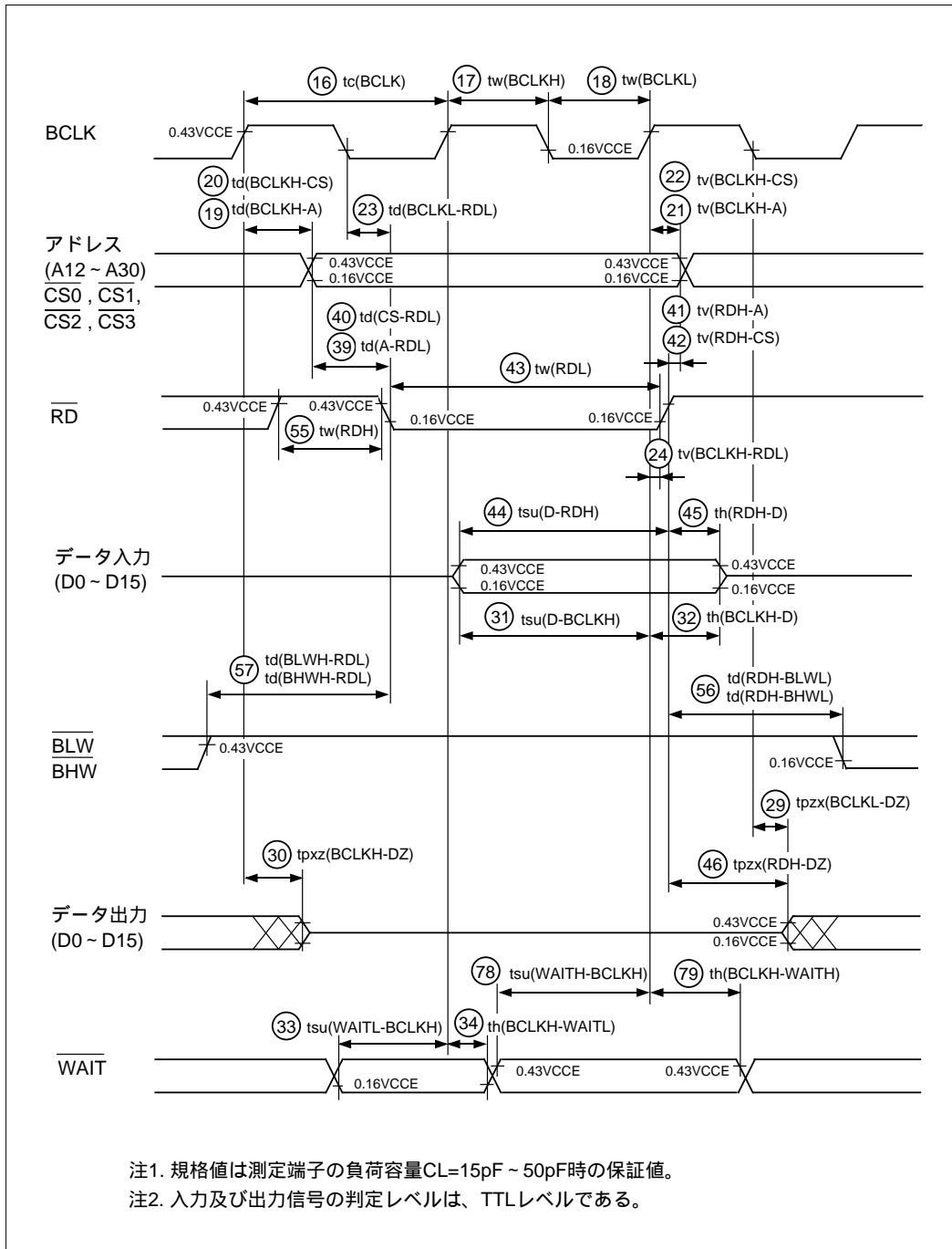


図23.3.7 リードタイミング

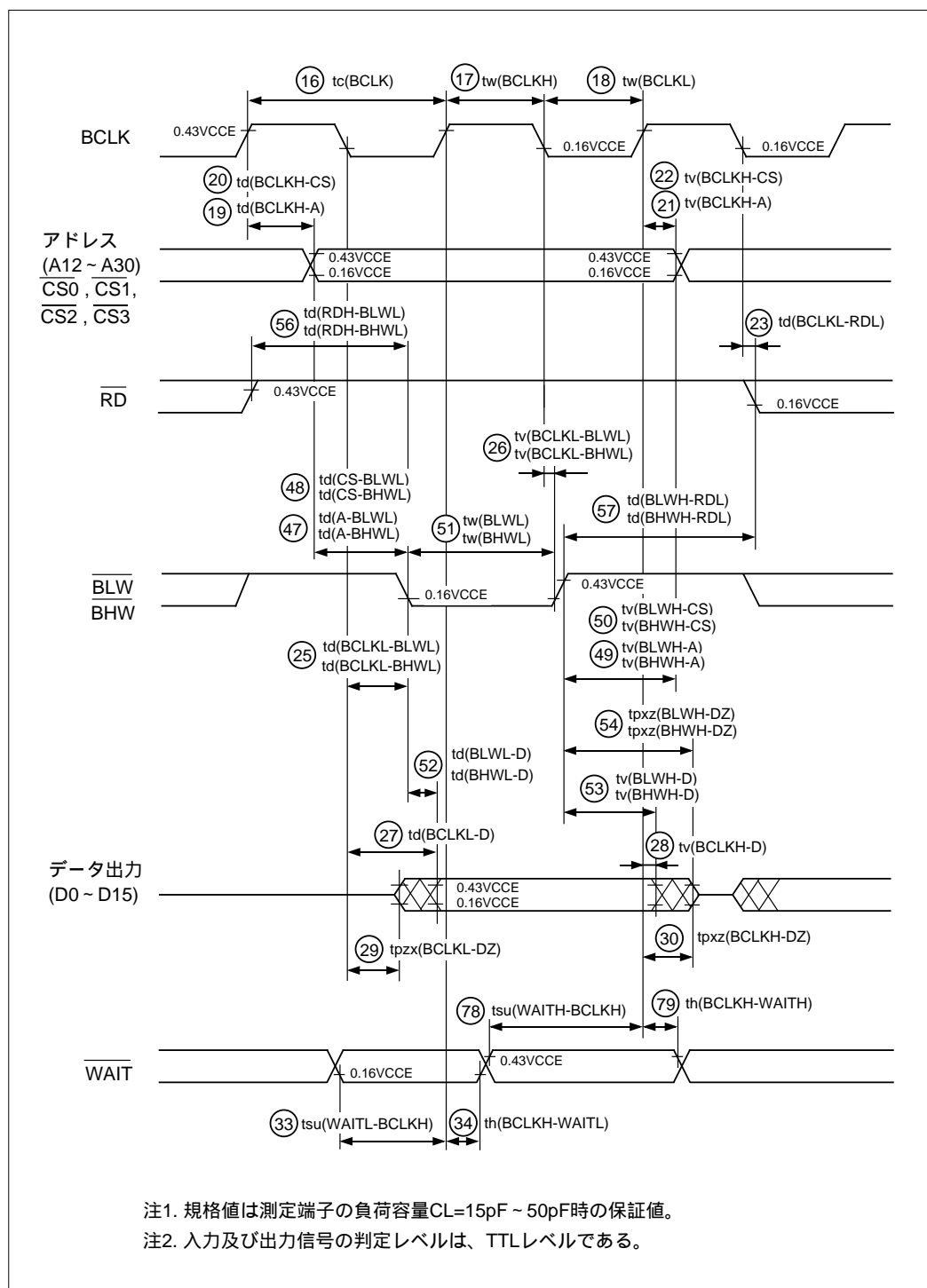


図23.3.8 ライトタイミング

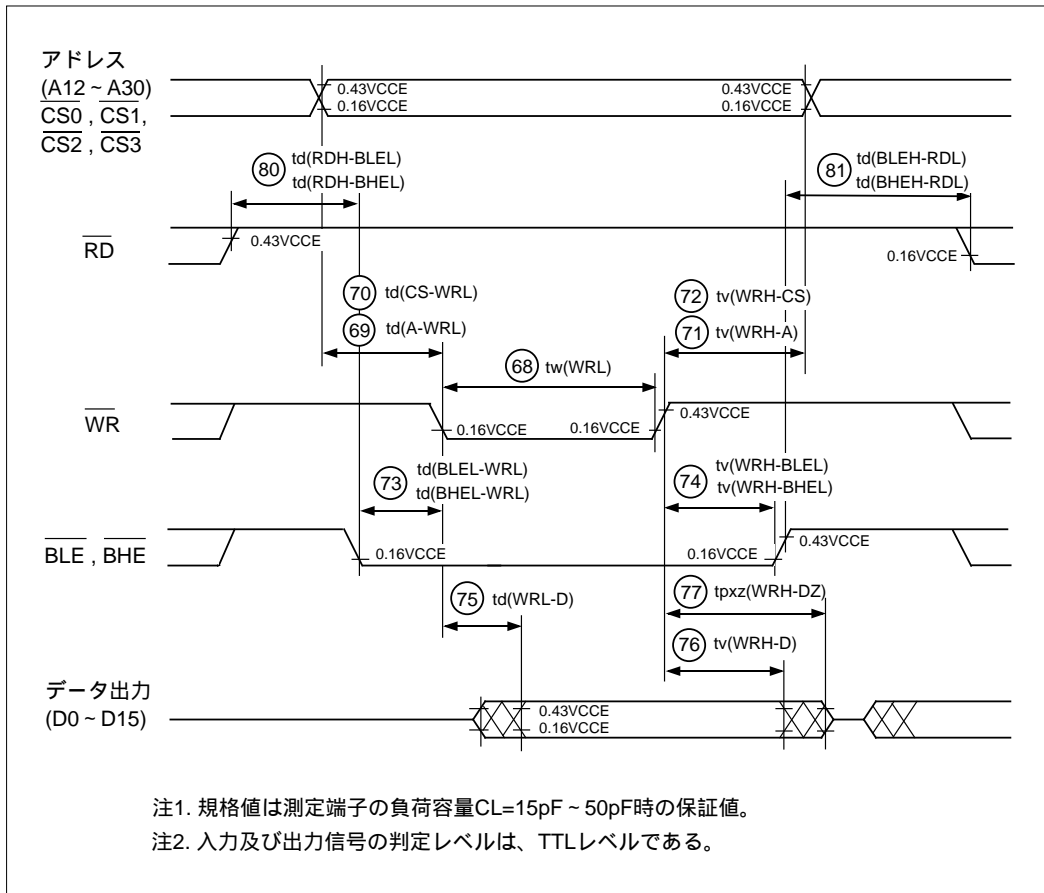


図23.3.9 ライトタイミング(バイトイネーブルモード)

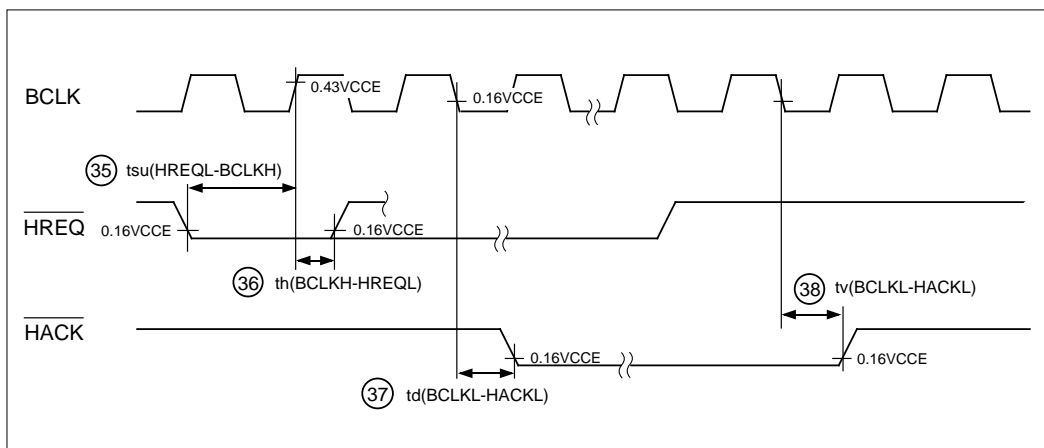


図23.3.10 バスアービトラクションタイミング

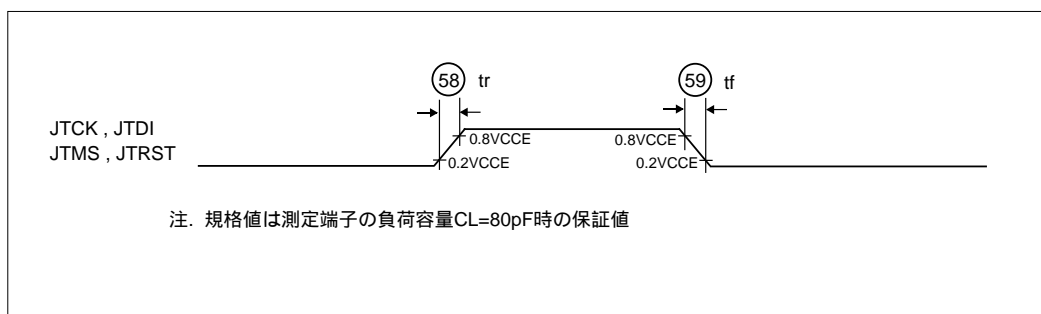


図23.3.11 JTAG端子の入力遷移時間

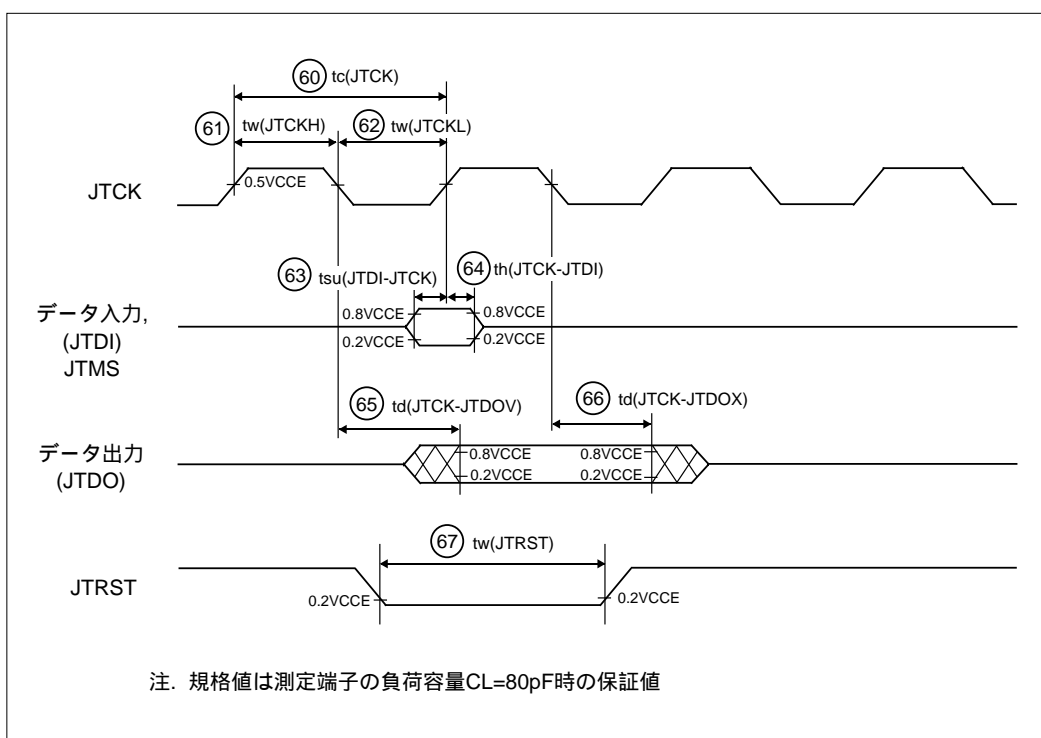


図23.3.12 JTAGインタフェースタイミング

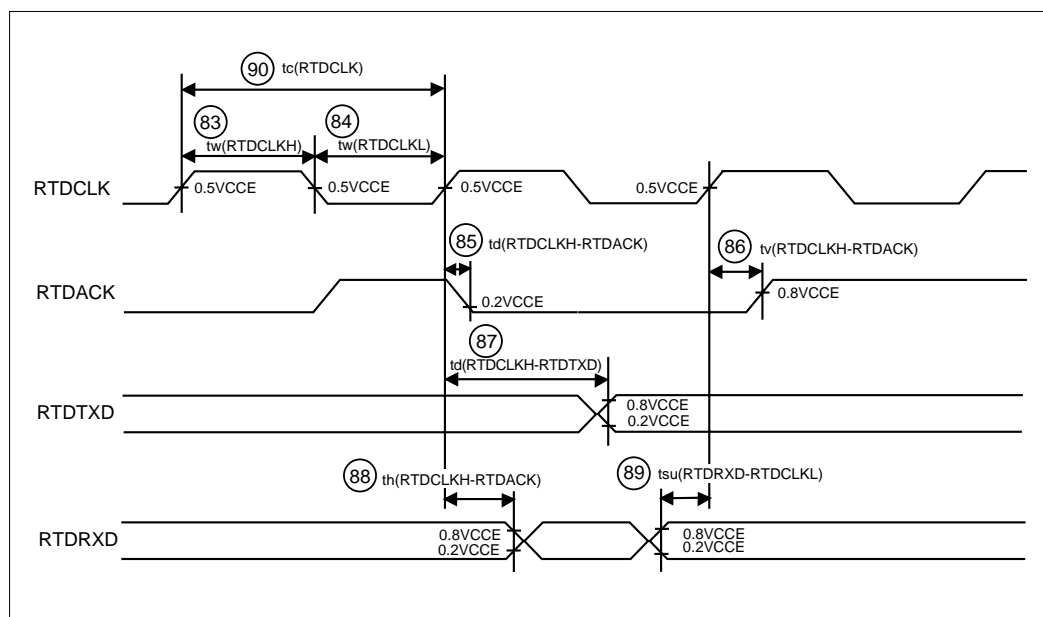


図23.3.13 RTDタイミング

空きページです

第24章

標準特性

24.1 A-D変換特性

24.1 A-D変換特性

* 後日記載 *

付録 1

機械の仕様

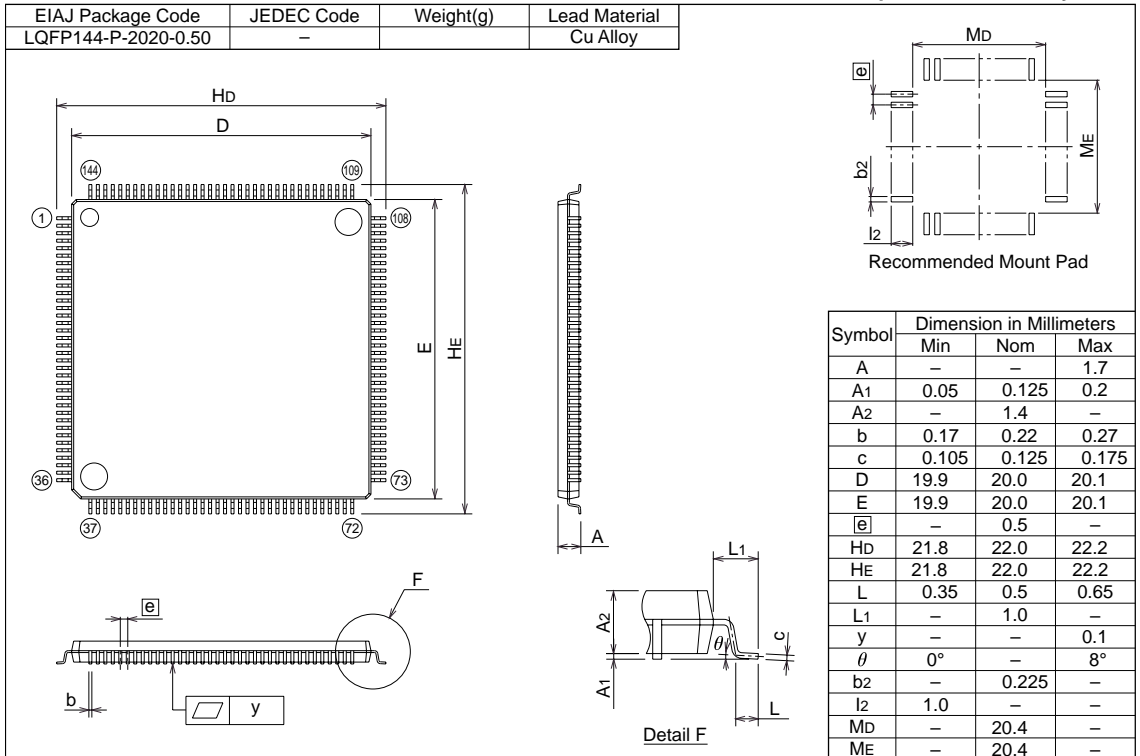
付録1.1 外形寸法図

付録1.1 外形寸法図

(1) 144pin LQFP

144P6Q-A

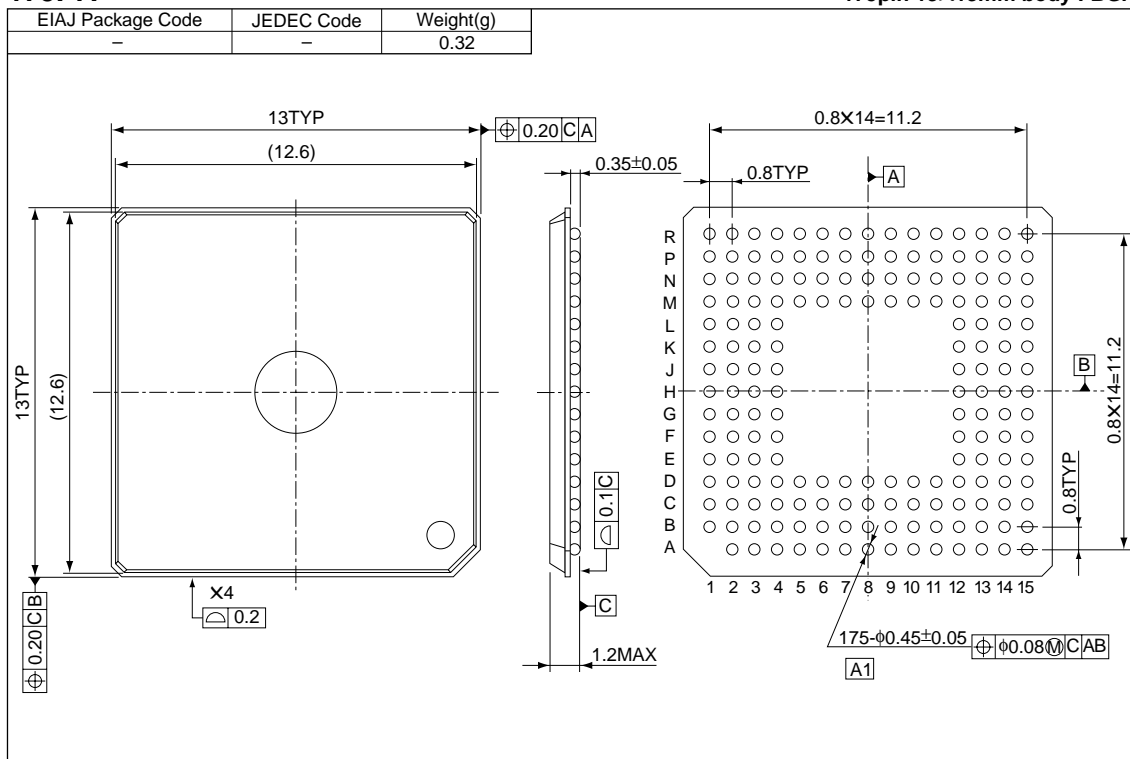
Plastic 144pin 20X20mm body LQFP



(2) 175pin FBGA

175F7F

175pin 13×13mm body FBGA



空きページです

付録 2

命令処理時間

付録2.1 M32R/ECU命令処理時間

付録2.1 M32R/ECU命令処理時間

M32R/ECUは、通常Eステージにおける命令実行サイクル数を命令処理時間として代表しますが、パイプラインの動作によっては、それ以外のステージが処理時間に影響を与えることがあります。特に分岐命令を実行した場合の次命令においては、IF(命令フェッチ)、D(デコード)、E(実行)の各ステージの処理時間を考慮に入れる必要があります。

以下にM32R/ECUの各パイプラインステージごとの命令処理時間を示します。

付表2.1.1 各パイプラインステージにおける命令処理時間

命令	各ステージにおける実行サイクル数(注)				
	IF	D	E	MEM	WB
ロード命令(LD, LDB, LDUB, LDH, LDUH, LOCK)	R	1	1	R	1
ストア命令(ST, STB, STH, UNLOCK)	R	1	1	W	-
乗算命令(MUL)	R	1	3	-	1
除算 / 剰余命令(DIV, DIVU, REM, REMU)	R	1	37	-	1
上記以外の命令 (DSP機能用命令を含む)	R	1	1	-	1

注. R, W : 計算方法は次ページを参照。

以下にIF、MEMステージでのメモリアクセスのサイクル数を示します。ここに示す値は、メモリアクセスのための最小サイクル数です。したがって実際のメモリやバスアクセスにかかるサイクル数とは異なる場合があります。

たとえばライトアクセスについては、CPUはライトバッファに書き込むだけでMEMステージを終了しますが、実際にはその後にメモリのライトが行われます。CPUがメモリアクセス要求した前後のメモリやバスの状態によって、命令処理時間は計算値から増える場合があります。

R (リードサイクル)

	サイクル
命令キューにある場合	1
内蔵リソース(ROM, RAM)をリードした場合	1
内蔵リソース(SFR)をリードした場合(バイト、ハーフワード)..	2
内蔵リソース(SFR)をリードした場合(ワード).....	4
外部メモリをリードした場合(バイト, ハーフワード).....	5(注)
外部メモリをリードした場合(ワード).....	9(注)
外部メモリから連続して命令フェッチした場合	8(注)

W (ライトサイクル)

	サイクル
内蔵リソース(RAM)にライトした場合	1
内蔵リソース(SFR)にライトした場合(バイト、ハーフワード)..	2
内蔵リソース(SFR)にライトした場合(ワード).....	4
外部メモリにライトした場合(バイト、ハーフワード).....	4(注)
外部メモリにライトした場合(ワード).....	8(注)

注. 外部アクセスが1ウエイトの場合です(M32R/ECUが外部アクセスを行う場合は、最低1ウエイトが入ります)。

空きページです

付録3

未使用端子の処理

付録3.1 未使用端子の処理例

付録3.1 未使用端子の処理例

未使用端子の処理例を以下に示します。

(1) 動作モードがシングルチップモードの場合

付表3.1.1 シングルチップモード時の未使用端子の処理例

端子名	処理
入出力ポート (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P61 ~ P63, P70 ~ P77, P82 ~ P87, P93 ~ P96, P97 (注2), P100 ~ P107, P110 ~ P117, P124 ~ P127, P130 ~ P137, P150, P153, P172 ~ P175, P220, P221 (注2), P225	入力モードに設定し、端子ごとに1K ~ 10K の抵抗を介してVSSに接続 (プルダウン)
P64/SBI (注3)	1K ~ 10K の抵抗を介してVSSに接続 (プルダウン)
XOUT (注4)	開放
A-D変換器, D-A変換器	
AD0IN0 ~ AD0IN7, AD1IN0 ~ AD1IN3 AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
DA0, DA1	VSSに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0 ~ 100K の抵抗を介してVCCEに接続 (プルアップ)、またはVSSに接続 (プルダウン)
JTRST	0 ~ 100K の抵抗を介してVSSに接続 (プルダウン)
DBI (注5)	0 ~ 100K の抵抗を介してVCCEに接続 (プルアップ)、またはVSSに接続 (プルダウン)
TRCLK, TRSYNC, TRDATA [0:7], EVENT [0:1] (注5)	開放

注1 . 入出力ポートはリセット解除後は入力ポートになっています。

注2 . P97はCAN1入力専用端子です。また、P221はCAN0入力専用端子です。

注3 . P64はSBI入力専用端子です。ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。

(P64/SBI端子に立ち下がりエッジ信号が入力されるとシステムブレーク割り込みが発生します。)

注4 . XINに外部クロック入力時。

注5 . 175FBGA使用時 (144LQFP使用時は該当端子はありません。)

(2) 動作モードが外部拡張モードまたはプロセッサモードの場合

付表3.1.2 外部拡張モードまたはプロセッサモード時の未使用端子の処理例

端子名	処理
入出力ポート ^(注1) P61 ~ P63, P70 ~ P77, P82 ~ P87, P93 ~ P96, P97 ^(注2) , P100 ~ P107, P110 ~ P117, P124 ~ P127, P130 ~ P137, P150, P153, P172 ~ P175, P220, P221 ^(注2) , P225	入力モードに設定し、端子ごとに1K ~ 10K の抵抗を介してVSSに接続（プルダウン）
P64/SBI ^(注3)	1K ~ 10K の抵抗を介してVSSに接続（プルダウン）
BLW/BLE, BHW/BHE, CS1	開放
XOUT ^(注4)	開放
A-D変換器, D-A変換器	
AD0IN0 ~ AD0IN7, AD1IN0 ~ AD1IN3 AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
DA0, DA1	VSSに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0 ~ 100K の抵抗を介してVCCEに接続（プルアップ）、またはVSSに接続（プルダウン）
JTRST	0 ~ 100K の抵抗を介してVSSに接続（プルダウン）
DBI ^(注5)	0 ~ 100K の抵抗を介してVCCEに接続（プルアップ）、またはVSSに接続（プルダウン）
TRCLK, TRSYNC, TRDATA [0:7], EVENT [0:1] ^(注5)	開放

注1．入出力ポートはリセット解除後は入力ポートになっています。

注2．P97はCAN1入力専用端子です。P221はCAN0入力専用端子です。

注3．P64はSBI入力専用端子です。ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。

（P64/SBI端子に立ち下がりエッジ信号が入力されるとシステムブレーク割り込みが発生します。）

注4．XINに外部クロック入力時。

注5．175FBGA使用時（144LQFP使用時は該当端子はありません）。

空きページです

付録4

注意事項のまとめ

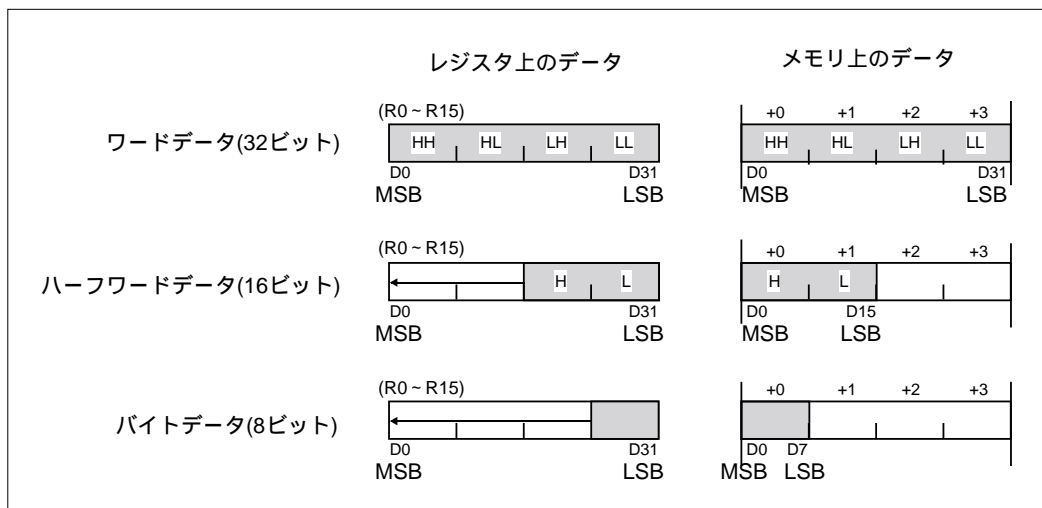
- 付録4.1 CPUに関する注意事項
- 付録4.2 アドレス空間の注意事項
- 付録4.3 EITの注意事項
- 付録4.4 フラッシュメモリ書き換え時の注意事項
- 付録4.5 リセット解除後の注意事項
- 付録4.6 入出力ポートの注意事項
- 付録4.7 DMACの注意事項
- 付録4.8 入出力タイマの注意事項
- 付録4.9 A-D変換器の注意事項
- 付録4.10 シリアルI/Oの注意事項
- 付録4.11 PDモジュール注意事項
- 付録4.12 D-A変換器使用上の注意事項
- 付録4.13 RAMバックアップモードの注意事項
- 付録4.14 JTAG端子処理の注意事項
- 付録4.15 ノイズに関する注意事項

付録4 注意事項のまとめ

付録4.1 CPUに関する注意事項

付録4.1.1 データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。



付図4.1.1 データ配置の違い

付録4.2 アドレス空間の注意事項

付録4.2.1 疑似フラッシュエミュレーション機能

32172には、内蔵フラッシュメモリを8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイト単位のブロック(最大2ブロック)をマッピングする機能、また、32173には内蔵フラッシュメモリを8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイト単位のブロック(最大3ブロック)をマッピングする機能、および内蔵フラッシュメモリを4Kバイト毎に区切った領域(Sバンク)に、内蔵RAMのH'0080 A000の領域から4Kバイト単位のブロック(最大2ブロック)をマッピングする機能(32173のみ)があり、これを疑似フラッシュエミュレーション機能と呼びます。この機能については、6.7「疑似フラッシュエミュレーション機能」をご覧ください。

付録4.3 EITの注意事項

アドレス例外は、「レジスタ間接+レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(Rsrc、Rsrc2)の値が不定となります。

なお、Rsrc、Rsrc2の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

対象命令

LD	Rdest、@Rsrc+
ST	Rsrc1、@-Rsrc2
ST	Rsrc1、@+Rsrc2

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

付録4.4 フラッシュメモリ書き換え時の注意事項

ブートモード+フラッシュE/Wイネーブルモードで内蔵フラッシュメモリを書き換える場合の注意事項を以下に示します。

フラッシュメモリ書き換え時は、内部で高電圧が生成されています。チップ破壊の原因となり得ますので、書き換え中のモード移行などしないように、モード端子、電源管理を十分に行ってください。

汎用書き換えツールで使用する端子をシステムで使用する場合、ツール接続時に影響がないよう考慮が必要です。

汎用書き換えツール使用時にフラッシュメモリプロテクトが必要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)に任意のIDを設定してください。

汎用書き換えツール使用時にフラッシュメモリプロテクトが不要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)すべてにH'FFを設定してください。

フラッシュステータスレジスタ2(FSTAT2)の各エラーステータスのクリア(初期化H'80)に、フラッシュ制御レジスタ4(FCNT4)のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)、及びフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"でフラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"0"(Busy)、及びフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"0"(Busy)場合、FENTRYビットのクリアは行わないでください。

付録4.5 リセット解除後の注意事項

付録4.5.1 入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力機能許可レジスタ(PIEN)のPIEN0で入力許可に設定してください。詳しくは、8.3「入出力ポート関連レジスタ」をご覧ください。

付録4.6 入出力ポートの注意事項

付録4.6.1 ポートを出力モードで使用する場合

リセット直後のポートデータレジスタ値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力設定するとポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

付録4.7 DMACの注意事項

付録4.7.1 DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないでください。

以下に、各レジスタのライトアクセスの可否を示します。

付表4.7.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	その他DMAC関連レジスタ
転送許可状態			x
転送禁止状態			

: 可 x : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守ってください。

DMA チャンネル制御レジスタの転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んで下さい。なお、転送要求フラグは"0"の書き込みのみ有効です。

DMA 転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

DMA 転送による異なるチャンネルのDMA ソースアドレス、およびDMA デスティネーションアドレスの書き替え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うこととなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

付録4.7.2 DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き替えが可能です(例えばチャンネル0による、チャンネル1のDMA_nソースアドレスレジスタとDMA_nデスティネーションアドレスレジスタの書き替え操作など)。

付録4.7.3 DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んで下さい。"1"を書き込んだビットは、書き込み前のデータが保持されます。

付録4.7.4 DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。

ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

付録4.8 入出力タイマの注意事項

付録4.8.1 TOMワンショット出力モード使用上の注意

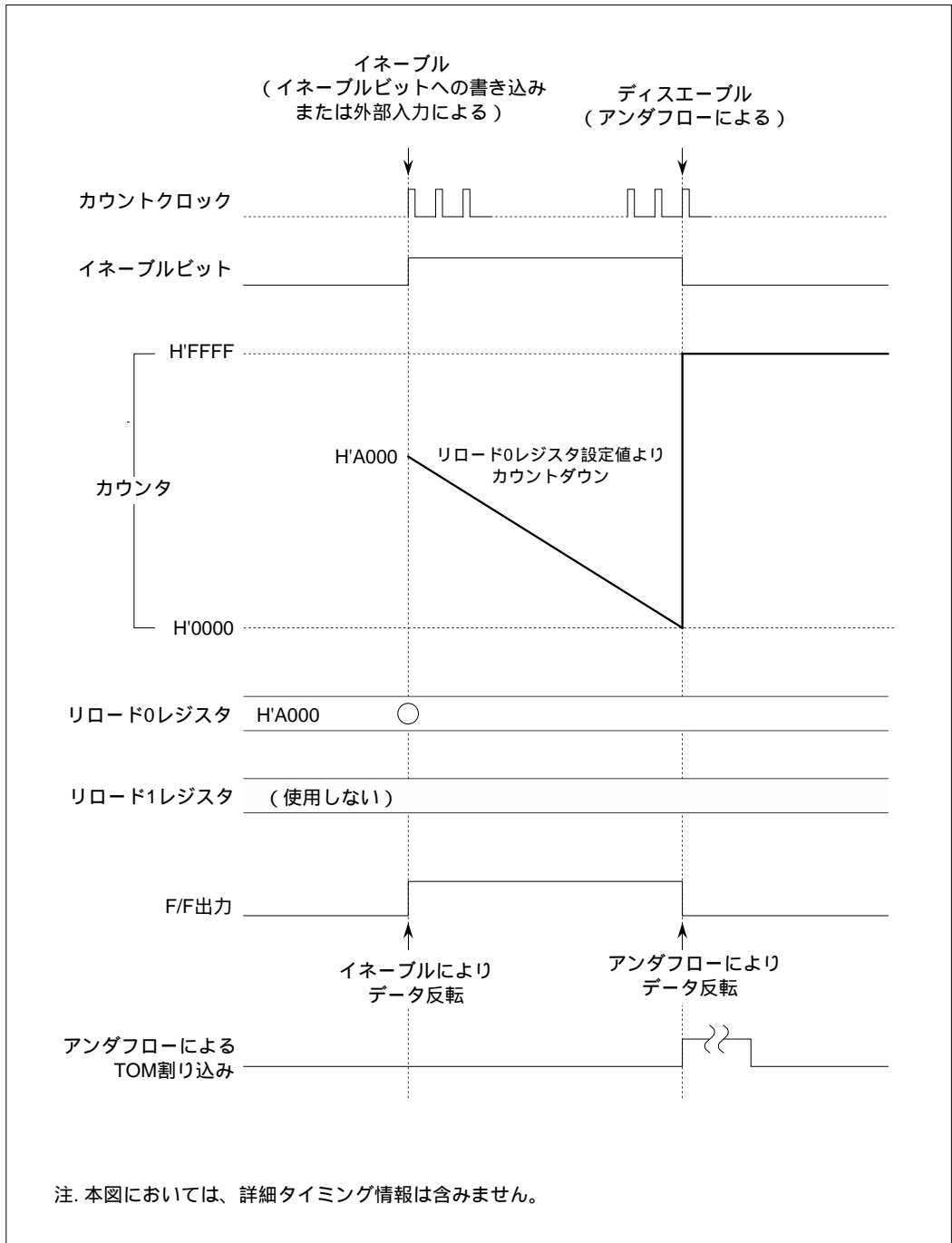
TOMワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。



付図4.8.1 TOMワンショット出力モード(補正機能なし)の動作例

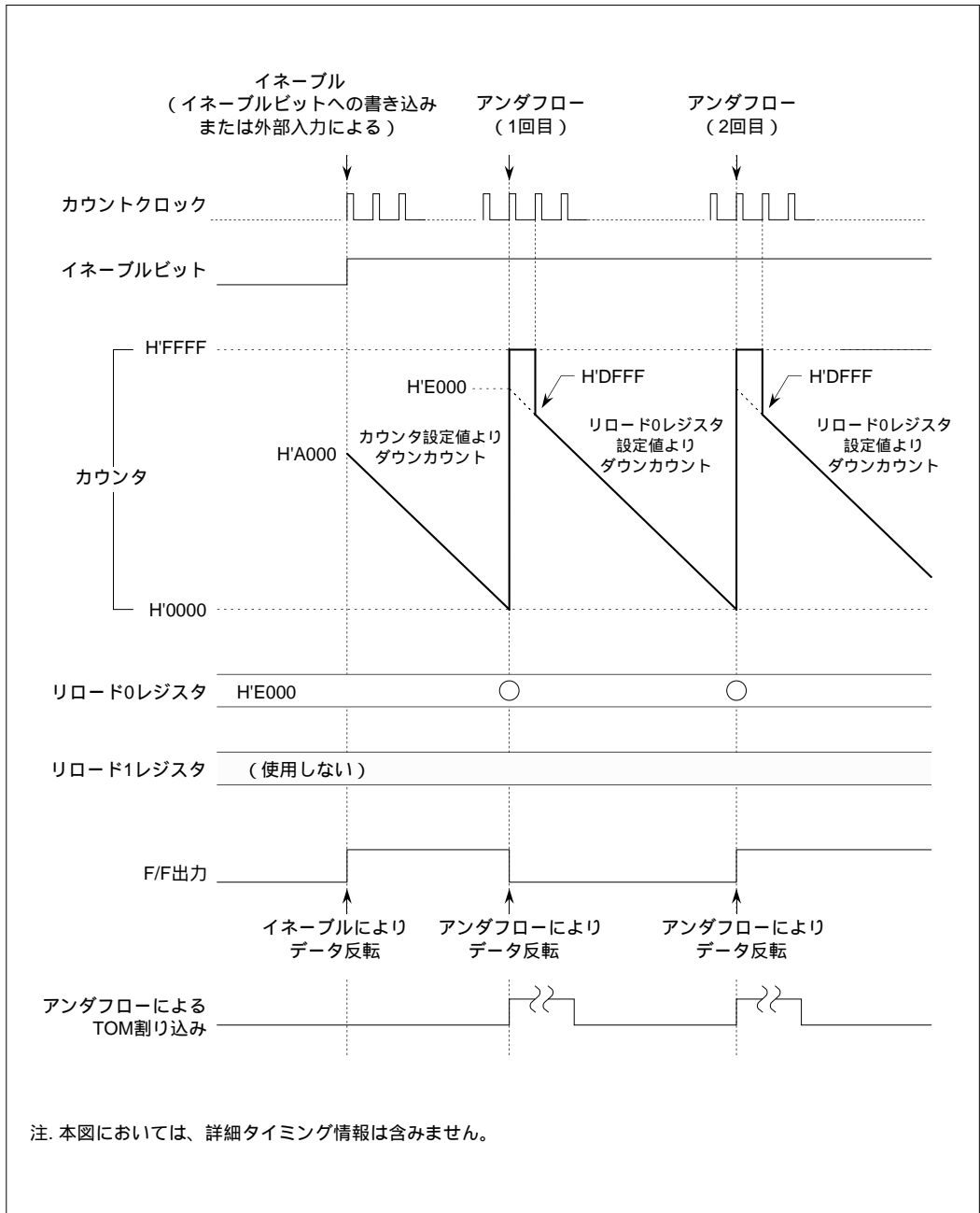
付録4.8.2 TOM連続出力モード使用上の注意

TOM連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。



付図4.8.2 TOM連続出力モード(補正機能なし)の動作例

付録4.9 A-D変換器の注意事項

スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット(AD0CSTP, AD1CSTP)を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

アナログ入力信号の取り扱い

このA-D変換器には、サンプルアンドホールド回路は内蔵されていません。したがって、A-D変換中はアナログ入力レベルを固定してください。

A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のD5ビット、およびスキャンモードレジスタ0のD5ビット)を読み出す場合は、NOP命令などで1サイクル分タイミング調整してから読み出してください。

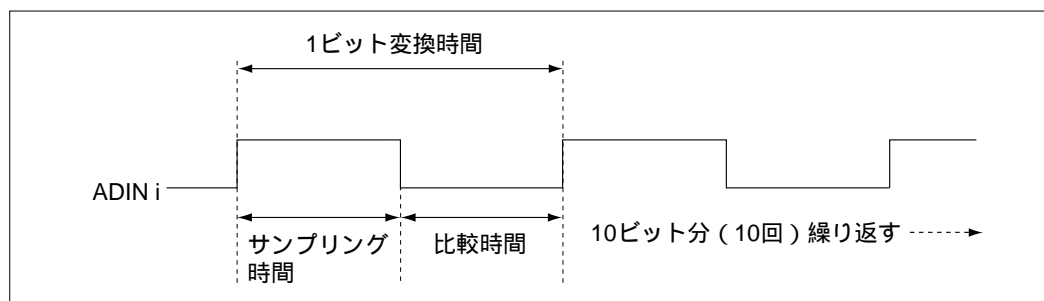
絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。ボード設計時にはAVCC0/AVSS0/VREF0を他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないようレイアウトには十分注意してください。

(b) C1を付加しない場合の出力インピーダンスR1の最大値

図11.4.1において、外付けコンデンサC1を使用しない場合、C2を十分に充電できるかを検討する必要があります。まず、図11.4.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i2 = \frac{C2(E - V2)}{Cin \times R1 + C2(R1 + R2)} \times \exp \left\{ \frac{-t}{Cin \times R1 + C2(R1 + R2)} \right\} \dots \dots \dots (B-1)式$$



付図4.9.2 A-D変換タイミング図

C2への充電に必要な時間は、図11.4.2でのA-D変換タイミング図に示すサンプリング時間/2の時間内に充電する必要があります。t = T(C2充電必要時間)として

$$T = \text{サンプル時間} / 2 = \frac{1 \text{ビット変換時間}}{4} = \frac{A-D変換時間}{10 \times 4}$$

よって、C2を充電するために必要な時間は、(B-1)式より

$$T = (C2充電必要時間) > Cin \times R1 + C2(R1 + R2) \dots \dots \dots (B-2)式$$

となり、R1の最大値を求める目安の式は、以下のようになります。

$$R1 < \frac{\frac{A-D変換時間}{10 \times 4} - C2 \times R2}{Cin + C2} \dots \dots \dots (B-3)式$$

以下に、Xin = 10/8MHz, Cin = 10pF, C2 = 2.9pF, R2 = 2K時のA-D変換モードでのR1最大値算出例を示します。

Xin	BCLK 周期	変換モード	速度モード	A-D変換 実行サイクル	T (C2充電時間):ns	R1最大値()
10MHz	50ns	A-D変換モード/単一	低速モード:ノーマル	294	367	28,000
			低速モード:倍速	168	210	15,829
			高速モード:2倍速	126	157	11,720
			高速モード:4倍速	84	105	7,689
8MHz	62.5ns	A-D変換モード/単一	低速モード:ノーマル	294	459	35,131
			低速モード:倍速	168	262	19,860
			高速モード:2倍速	126	196	14,744
			高速モード:4倍速	84	131	9,705

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

また、コンパレートモードは、サンプリング/比較が各1回のため以下の式になります。

$$R1 < \frac{\frac{\text{A-D変換時間}}{4} - C2 \times R2}{Cin + C2} \dots \dots \dots \text{(B-4)式}$$

以下に、Xin = 10/8MHz, Cin=10pF, C2=2.9pF, R2=2K時のコンパレートモードでのR1最大値算出例を示します。

Xin	BCLK 周期	変換モード	速度モード	A-D変換 実行サイクル	T (C2充電時間):ns	R1最大値()
10MHz	50ns	コンパレートモード/単一	低速モード:ノーマル	42	525	40,473
			低速モード:倍速	24	300	23,031
			高速モード:2倍速	18	225	17,217
			高速モード:4倍速	12	150	11,403
8MHz	62.5ns	コンパレートモード/単一	低速モード:ノーマル	42	656	50,628
			低速モード:倍速	24	375	28,845
			高速モード:2倍速	18	281	21,558
			高速モード:4倍速	12	187	14,271

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

付録4.10 シリアルI/Oの注意事項

付録4.10.1 CSIOモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず停止中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG（ボーレート）レジスタの設定

BRGクロックソース選択ビットでf(BCLK)を選択した場合は、2 Mbpsを越えないようにBRGレジスタの値を設定してください。

連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMAを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんのでご注意ください。

付録4.10.2 UARTモード時の注意事項

SIO 送受信モードレジスタ、SIO ボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず停止中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG (ボーレート) レジスタの設定

BRGクロックソース選択ビットでf(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

DMA による送受信

DMA要求モードで送受信を行う場合は、DMAを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

UART 受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

付録4.11 PDモジュール注意事項

PD演算処理は、PDiデータ更新制御レジスタの設定によらず常に最新の計測値に基づいて演算を行っています。従って、いったん更新禁止にした場合でも設定を変更すれば最新のイベント入力に基づいた演算結果を読み出すことが可能です。更新禁止期間中もイベント入力を取りこぼすことはありません。

予測演算処理を行う場合は、FDLTレジスタ、PITCHLTレジスタ、ABDLTレジスタ、およびRSUMLTレジスタの各レジスタを読み出す前にPDデータ更新を禁止してください。

付録4.12 D-A変換器使用上の注意事項

D-A変換器を使用しない場合には、不要な消費電流を少なくするため、D-A制御レジスタのアナログ出力許可ビット(DA00N, DA10N)に"0"を、D-A変換レジスタ(DA0CNV, DA1CNV)にH"00を設定し、R-2Rの抵抗に電流が流れないようにしてください。

付録4.13 RAMバックアップモードの注意事項

付録4.13.1 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

ポートXデータレジスタヘデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベルH"を設定した後、ポートXを出力モードにしてください。

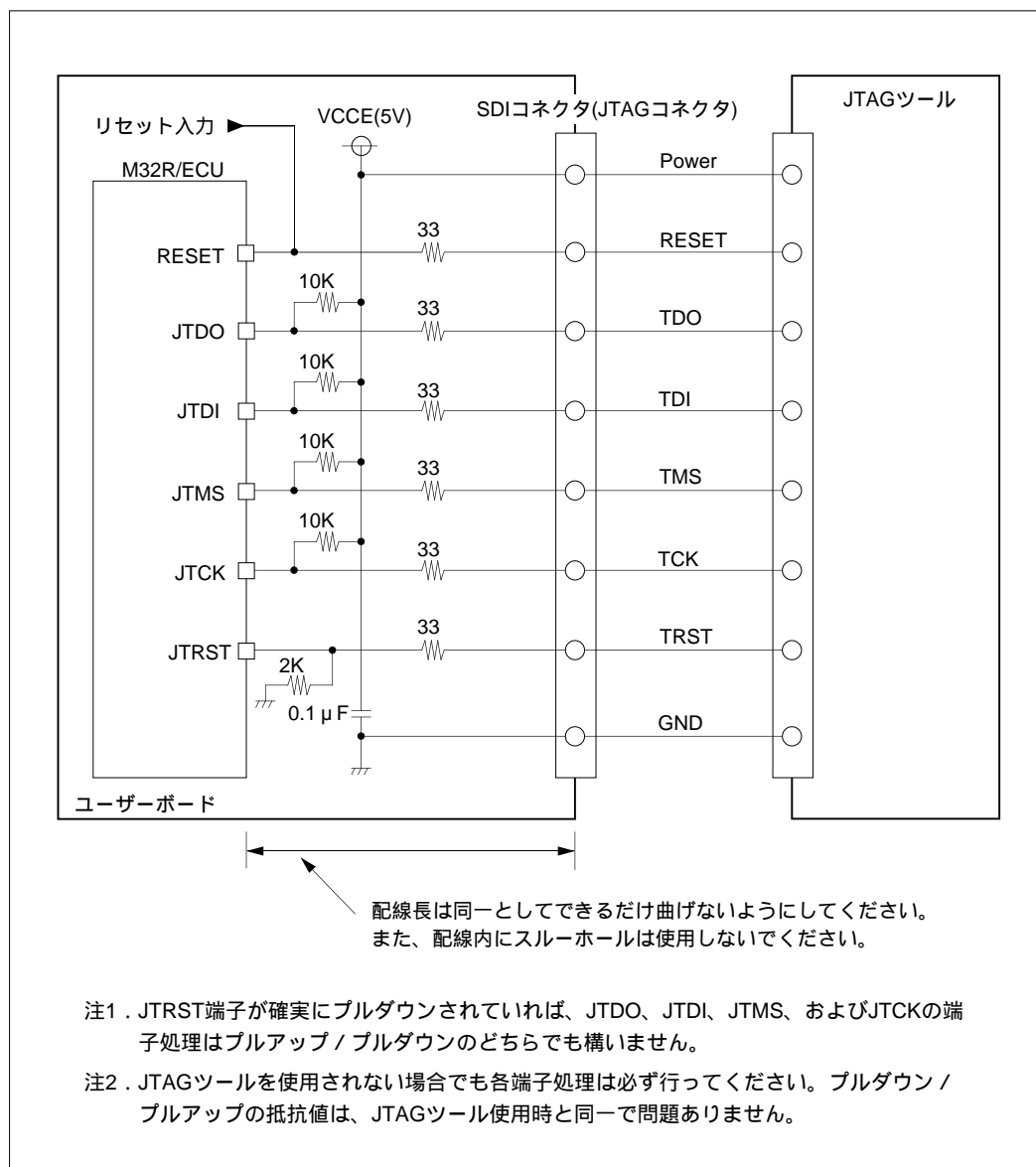
この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力がL"レベルになり、RAMバックアップモードなることがあります。

付録4.14 JTAG端子処理の注意事項

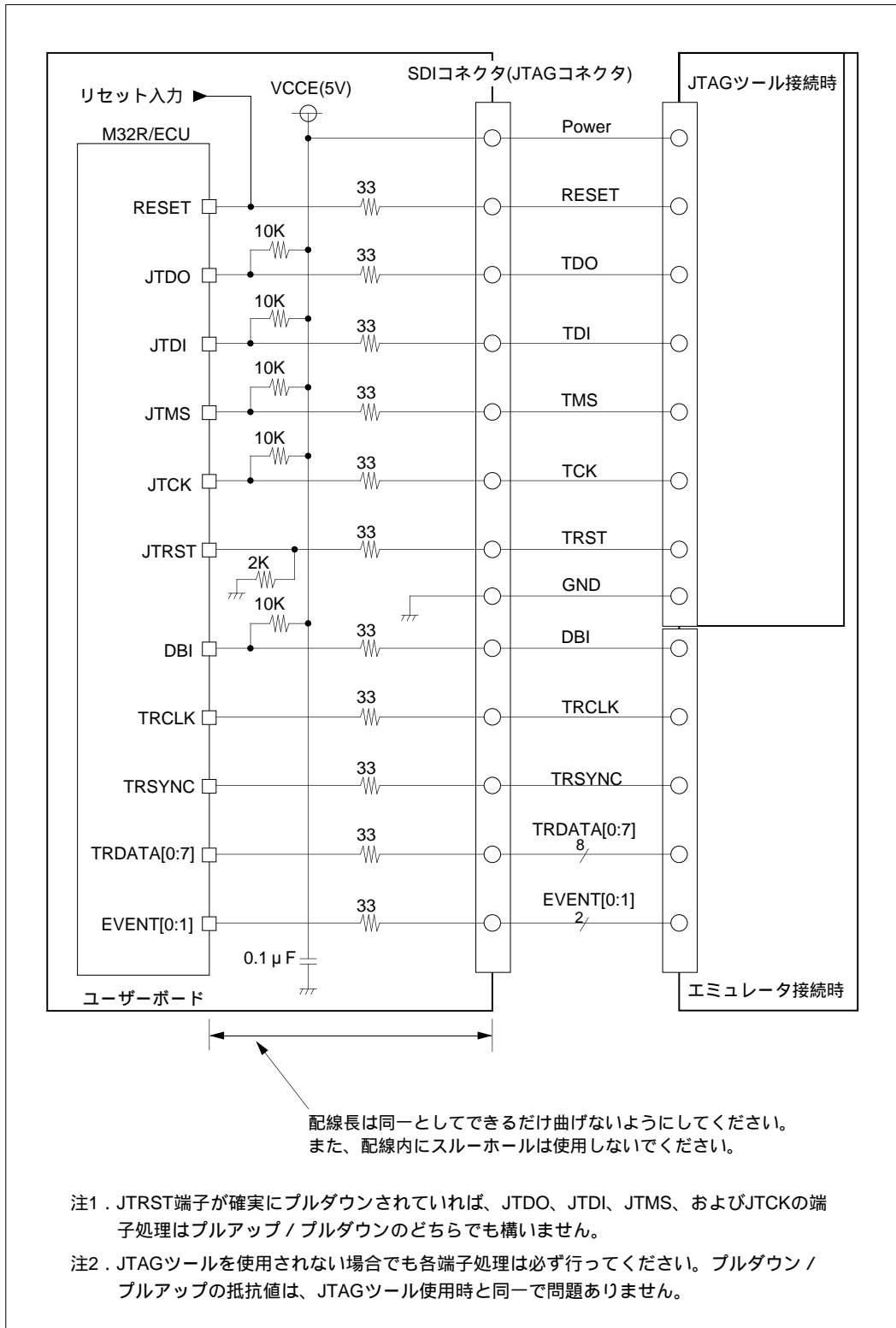
付録4.14.1 JTAG接続時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。

以下にJTAGツール使用時の端子処理例を示します。



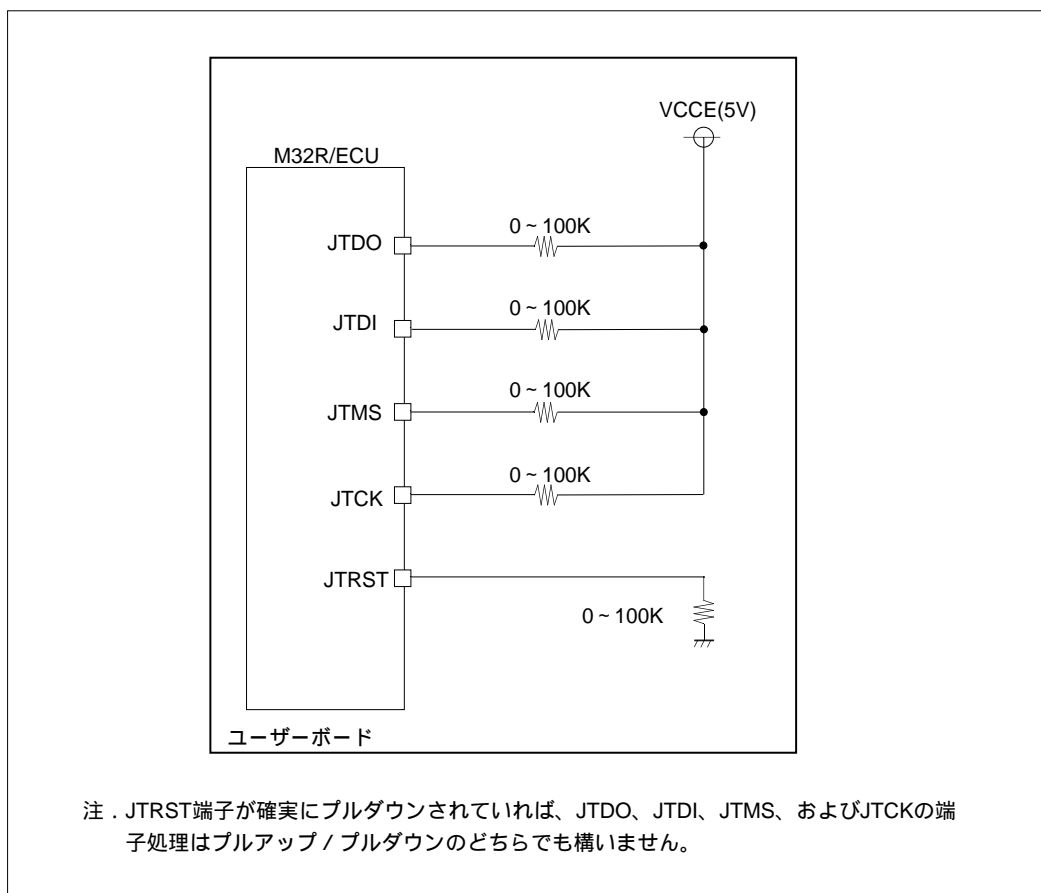
付図4.14.1 JTAGツール使用時の端子処理例



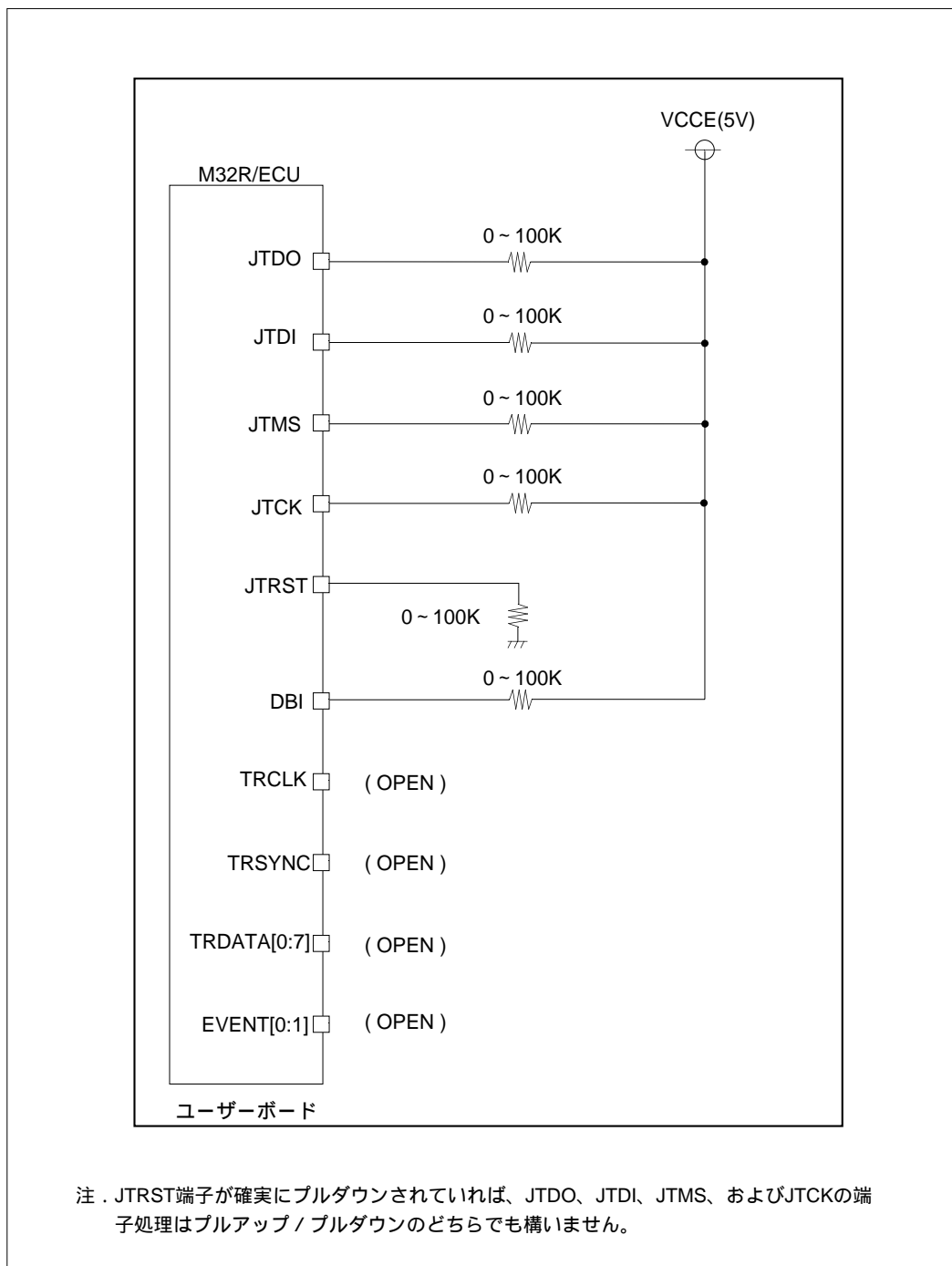
付図4.14.2 JTAGツール使用時の端子処理例(175FBGA使用時)

付録4.14.2 JTAG未使用時の端子処理

JTAG端子を未使用(JTAGツール接続用の端子 / コネクタを持たないボード)の場合の端子処理例を以下に示します。



付図4.14.3 JTAG未使用時の端子処理(144LQFP使用時)



付図4.14.4 JTAG未使用時の端子処理(175FBGA使用時)

付録4.15 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。文中でのVCCIはVCCE、VCCI、FVCC、OSC-VCCを示します。

付録4.15.1 配線長の短縮

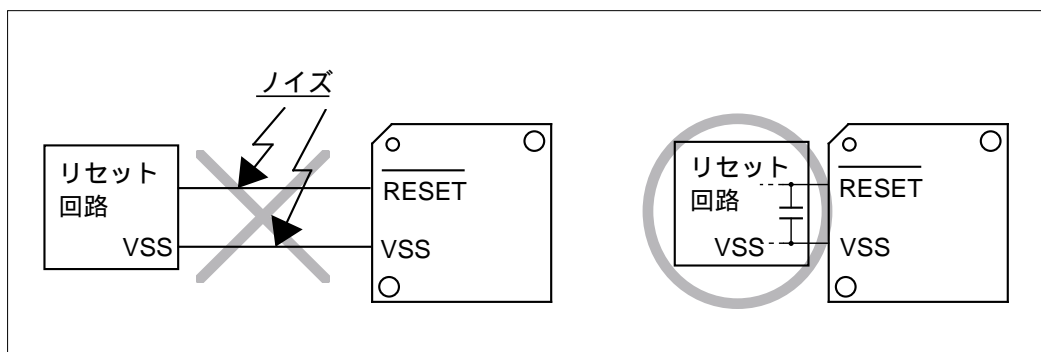
基板上的配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短いほど、ノイズをマイコン内部に引き込む可能性は低くなります。

(1) RESET 端子の配線

RESET端子に接続する配線は、短くしてください。特にRESET端子とVSS端子間に接続するコンデンサは、それぞれの端子とのできるだけ短い配線(20mm以内)で接続してください。

<理由>

リセットは、マイコン内部を初期状態にする機能です。RESET端子に入力されるパルス幅は、タイミング必要条件で規定されます。パルス幅が規定幅より短いノイズがRESET端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。



付図4.15.1 RESET端子の配線

(2) クロック入出力端子の配線

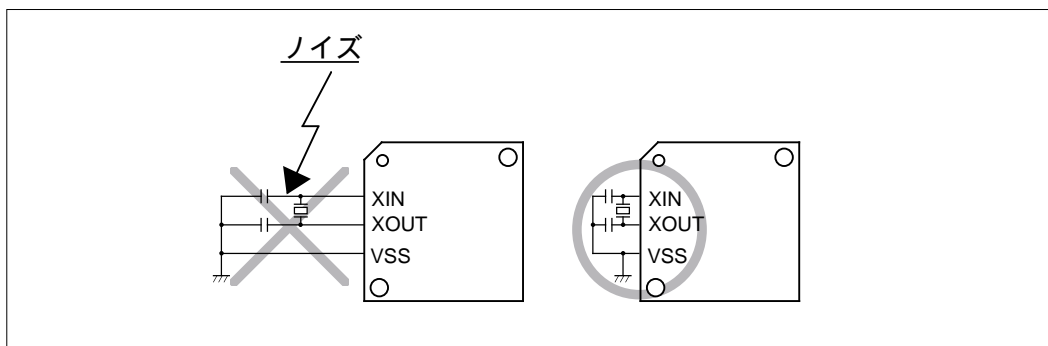
クロック入出力端子に接続する配線は、短くしてください。

発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは、最短(20mm以内)の配線で接続してください。

発振用のVSSパターンは発振回路専用とし、他のVSSパターンと分離してください。

<理由>

マイコンは発振子(回路)で生成されたクロックに同期して動作します。クロック入出力端子にノイズが侵入するとクロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると、正確なクロックがマイコンに入力されません。



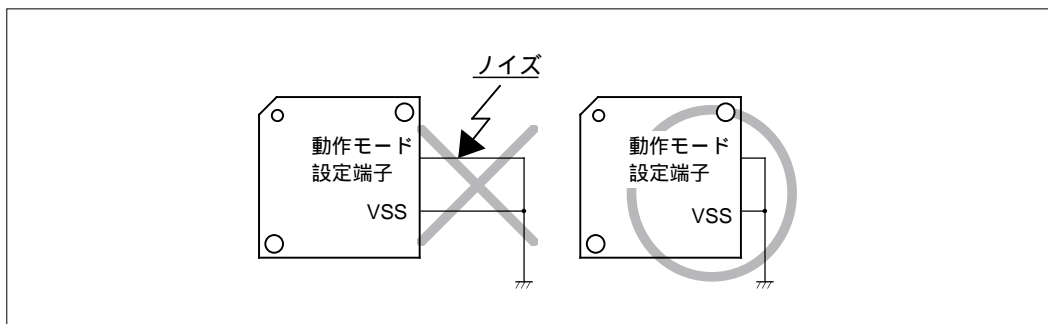
付図4.15.2 クロック入出力端子の配線

(3) 動作モード設定端子の配線

動作モード設定端子とVCC又はVSS端子とを接続する場合、最短の配線で接続してください。

<理由>

動作モード設定端子のレベルは、マイコンの動作モードに影響します。動作モード設定端子とVCC又はVSS端子とを接続する場合、動作モード設定端子とVCC又はVSS端子との間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。



付図4.15.3 MOD0, MOD1端子の配線例

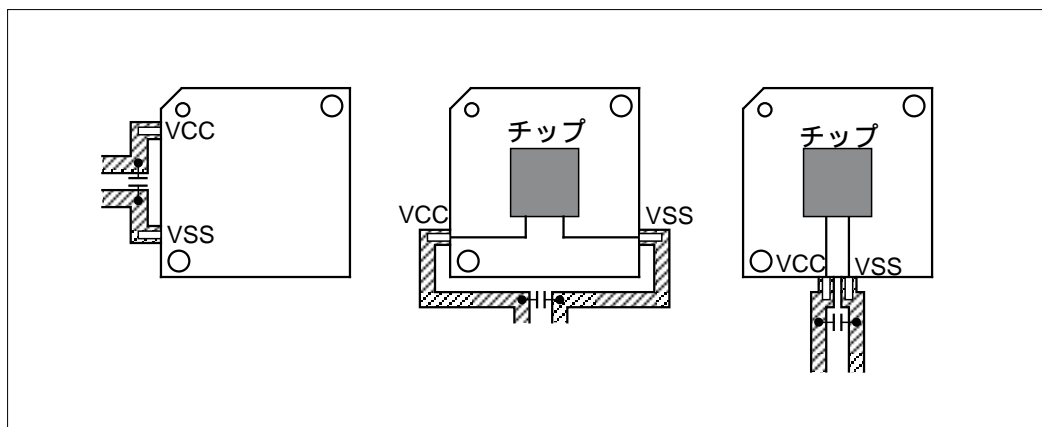
付録4.15.2 VSS - VCCライン間へのバイパスコンデンサ挿入

VSS - VCCライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を等しくする

VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を最短とする

VSSライン及びVCCラインは、他の信号線よりも幅の広い配線を使用する



付図4.15.4 VSS - VCCライン間のバイパスコンデンサ

付録4.15.3 アナログ入力端子の配線処理

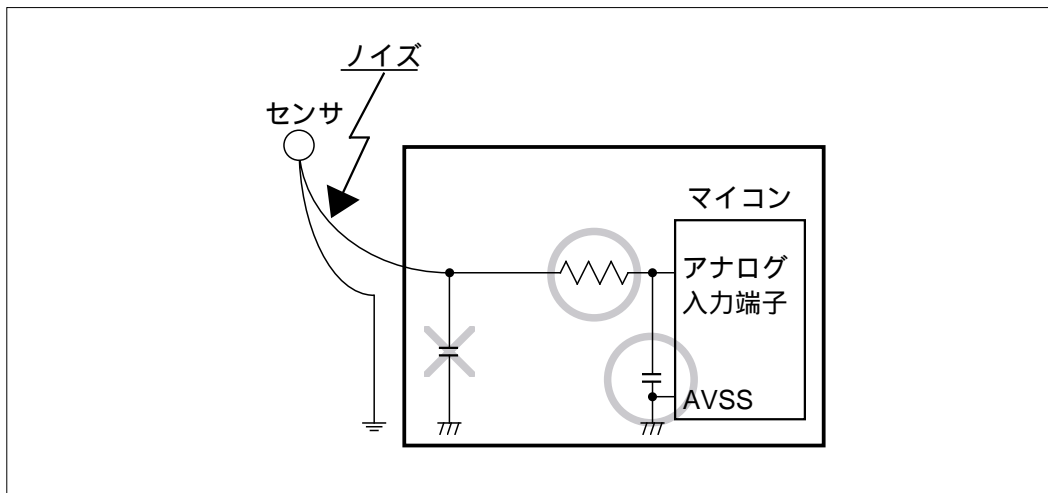
アナログ入力端子に接続されるアナログ信号線のマイコンのできるだけ近い位置に、100～500 程度の抵抗を直列に接続してください。

アナログ入力端子とAVSS端子間の、AVSS端子にできるだけ近い位置に容量100pF程度のコンデンサを挿入してください。

<理由>

通常、アナログ入力端子(A-D変換器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引きこむアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

また、アナログ入力端子とAVSS端子間のコンデンサをAVSS端子から遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経由でマイコンに侵入します。



付図4.15.5 アナログ信号線と抵抗及びコンデンサ

付録4.15.4 発振子への配慮

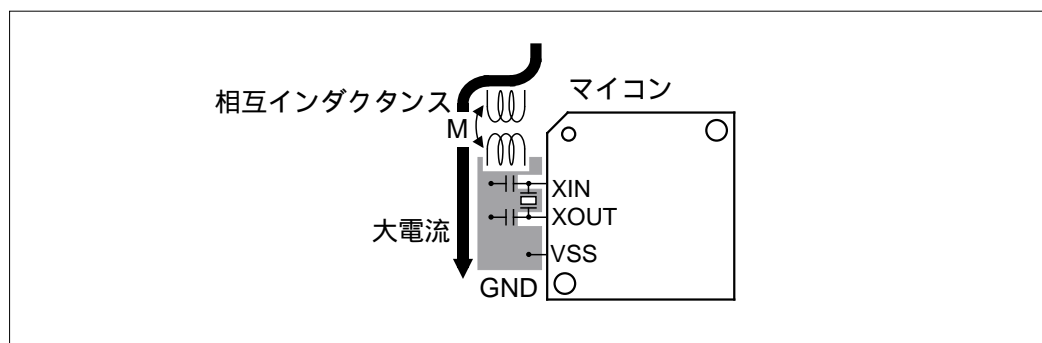
マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。



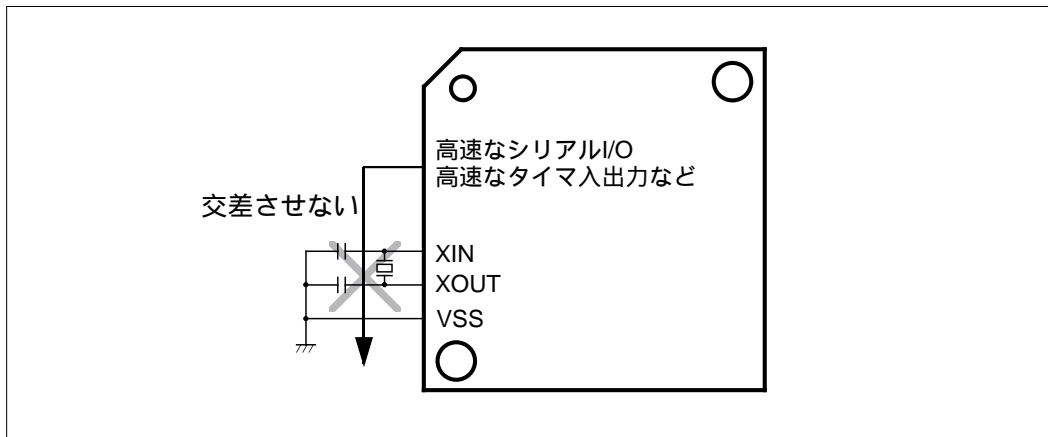
付図4.15.6 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置してください。
また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

<理由>

高速にレベル変化する信号線はその信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差する場合クロックの波形が乱れ、誤動作や暴走の原因となります。



付図4.15.7 高速にレベル変化する信号線の配線 (i=0~3)

付録4.15.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

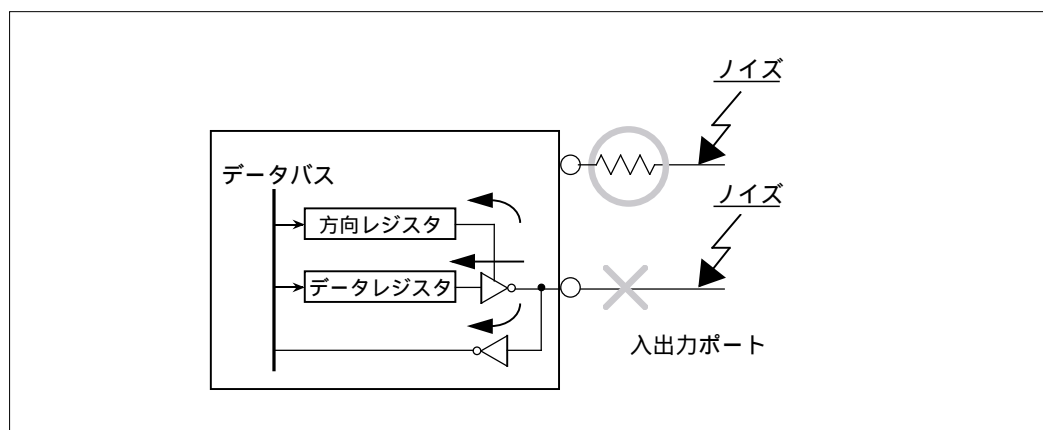
入出力ポートに100 Ω以上の抵抗を直列に挿入する

ソフトウェア面

入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認する

出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行う

一定周期で、方向レジスタの再書き込みを行う



付図4.15.8 入出力ポート処理

空きページです

三菱32ビットRISCシングルチップマイクロコンピュータ
ユーザズマニュアル
32172 / 32173グループ Rev. 1.2

発行所 三菱電機株式会社半導体営業統括部
〒100-8310 東京都千代田区丸の内2-2-3
TEL 03-3218-9450

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 2001 MITSUBISHI ELECTRIC CORPORATION

32172、32173 グループ
ユーザーズマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668