

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

32160グループ

ユーザーズマニュアル

ルネサス32ビットRISCシングルチップマイクロコンピュータ
M32Rファミリ M32R/Eシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

はじめに

このたび、CMOS32ビットマイクロコンピュータ32160グループのハードウェアについて、マニュアルを作成いたしましたのでご案内申し上げます。

このユーザーズマニュアルは、ユーザの皆様が32160グループのハードウェアをよく理解していただき、その機能を最大限に生かしていただくために作成いたしました。CPUの特徴や内蔵周辺機能について詳細に説明しておりますので、広くご活用ください。

なお、M32Rファミリのソフトウェア及び開発サポートツールにつきましては、各ユーザーズマニュアルまたは各操作説明書をご併用くださいますようお願い申し上げます。

32160グループユーザズマニュアルの変更点

・第一版から第二版への変更点を以下に示します(内容に直接関係しない誤字、脱字等の修正につきましては一部省略しております)

章	ページ	追加及び修正内容												
全体		以下の章の入れ替え												
		<table border="1"> <thead> <tr> <th></th> <th>変更前の章番号</th> <th>変更後の章番号</th> </tr> </thead> <tbody> <tr> <td>・電気的特性</td> <td>18</td> <td>19</td> </tr> <tr> <td>・標準特性</td> <td>19</td> <td>20</td> </tr> <tr> <td>・電源立ち上げ/ 立ち下げシーケンス</td> <td>20</td> <td>18</td> </tr> </tbody> </table>		変更前の章番号	変更後の章番号	・電気的特性	18	19	・標準特性	19	20	・電源立ち上げ/ 立ち下げシーケンス	20	18
	変更前の章番号	変更後の章番号												
・電気的特性	18	19												
・標準特性	19	20												
・電源立ち上げ/ 立ち下げシーケンス	20	18												
第2章	P.2-10 ~ P.2-13	図 2.6.4 ~ 図 2.6.9 を追加												
第5章	P.5-10	フラッシュ制御レジスタ(FCNT2)の説明に注意書きを追加												
第5章	P.5-15	5.5.1 フラッシュメモリ書き込みの概要の説明に注意書き(注 1, 注 2)を追加												
第5章	P.5-20	図 5.5.5 の図題の誤り訂正 (誤) (書き込みプログラムがフラッシュメモリ上にない場合) (正) (書き込みプログラムがフラッシュメモリ上にある場合)												
第5章	P.5-24	5.5.3 内蔵フラッシュメモリへの書き込み手順の説明に注意書きを追加												
第5章	P.5-25	(2) ページプログラムコマンドの説明に下記注意事項を追加 ただし、ポート入力機能許可レジスタ (PIEN) のポート入力機能許可ビット (PIEN0) が "1" であつポート P76 の端子レベルが "H" の状態では、プロテクトが無効となり該当ブロックへの書き込みが行われますのでご注意ください。												
第5章	P.5-25	(3) ロックビットプログラムコマンドの説明に注意書きを追加												
第5章	P.5-26	表 5.5.4 「M32160F3UFP の対象ブロックと指定番地」の追加												
第5章	P.5-29	(4) ブロックイレーズコマンドの説明に下記注意事項を追加 ただし、ポート入力機能許可レジスタ (PIEN) のポート入力機能許可ビット (PIEN0) が "1" であつポート P76 の端子レベルが "H" の状態ではプロテクトが無効となり、該当ブロックの消去が行われますのでご注意ください。												
第5章	P.5-29	(5) イレーズ全アンロックブロックコマンドの説明に注意書き(注 2)を追加												

< 注意事項 >

章	ページ	追加及び修正内容
第 5 章	P.5-30	(8) リードロックビットステータスコマンドの説明に注意書きを追加
第 5 章	P.5-30	ロックビットステータスレジスタ(FLBST)の未使用ビット(D0,D2 ~ D8, D10 ~ D15)の読み出し値。 (誤) 1 (正) ? (不定)
第 5 章	P.5-37	フラッシュ書き込み時間 (参考値) の誤りの訂正 フラッシュ書き込み時間 (誤) 512KB × 8ms × 512KB/256バイトブロック 16.384 [s] (正) (512KB/256バイトブロック) × 8ms 16.4 [s] イレーズ時間(全領域) (誤) 50ms × ブロック数 5.5 [s] (正) 50ms × ブロック数 550 [ms] トータルフラッシュ書き込み時間(512KB 全領域) (誤) (1) + (3) 105.6 [s] (正) (1) + (3) 100.7 [s] (誤) (2) + (3) 21.884 [s] (正) (2) + (3) 17.0 [s]
第 5 章	P.5-42	表 5.8.1 中の RXD1 端子および TXD1 端子の備考欄(プルアップ要否の記述) (誤) TXD1 端子にプルアップ必要 (正) RXD1 端子にプルアップ必要
第 5 章	P.5-43	図 5.8.1 端子接続図中の MOD0、MOD1 端子の接続訂正
第 5 章	P.5-44	5.9 フラッシュメモリ書き換え時の注意事項を追加
第 7 章	P.7-9	図 7.4.1 外部拡張メモリ接続例の誤り (CS0 端子) の訂正
第 10 章	P.10-12	(3) 出力イベントバスの説明の誤り訂正 (4 ~ 5 行目) (誤) ~、出力イベントバス 0 は DMAC チャンネル 2 に、出力イベントバス 1 は DMAC チャンネル 4 に接続できます。また、~ (正) ~、出力イベントバス 0 は DMAC チャンネル 1 に、出力イベントバス 1 は DMAC チャンネル 2 に接続できます。また、~
第 10 章	P.10-18	(2) TIN 入力処理制御レジスタ一覧 (表) の訂正
第 10 章	P.10-26	図 10.2.3 F/F 出力回路構成図の追加
第 10 章	P.10-39	図 10.2.6 MJT 出力割り込み 2 ブロック図の追加
第 10 章	P.10-40	図 10.2.7 MJT 出力割り込み 1 ブロック図の追加
第 10 章	P.10-41	図 10.2.8 MJT 出力割り込み 6 ブロック図の追加

章	ページ	追加及び修正内容
第 10 章	P.10-42	図 10.2.9 MJT 出力割り込み 0 ブロック図の追加
第 10 章	P.10-43	図 10.2.10 MJT 出力割り込み 4 ブロック図の追加
第 10 章	P.10-44	図 10.2.11 MJT 出力割り込み 3 ブロック図の追加
第 10 章	P.10-45	図 10.2.12 MJT 出力割り込み 7 ブロック図の追加
第 10 章	P.10-46	図 10.2.13 MJT 入力割り込み 1 ブロック図の追加
第 10 章	P.10-47	図 10.2.14 MJT 入力割り込み 4 ブロック図の追加
第 10 章	P.10-49	図 10.2.15 MJT 入力割り込み 0 ブロック図の追加
第 10 章	P.10-51	図 10.2.16 MJT 入力割り込み 2 ブロック図の追加
第 10 章	P.10-52	図 10.2.17 MJT 入力割り込み 3 ブロック図の追加
第 10 章	P.10-55	図 10.2.18 TOD 出力割り込みブロック図の追加
第 10 章	P.10-76	図 10.3.8 TOP イネーブル回路構成図の追加
第 10 章	P.10-117	図 10.4.7 TIO イネーブル回路構成図の追加
第 10 章	P.10-120	図 10.4.9 計測クリア入力モードの動作例(カウンタのアンダーフロー後の動作)の訂正
第 11 章	P.11-38 ~ P.11-40	11.3.5 A-D 変換精度の定義を追加
第 12 章	P.12-15	図 12.2.2 パリティ許可時のデータフォーマット中のデータビット(Dn)の並び (誤) LSB MSB D0 D1 D2 ... D6 D7 (正) LSB MSB D7 D6 D5 ... D1 D0
第 12 章	P.12-15	図 12.2.2 パリティ許可時のデータフォーマット中に注意書き(注 2)を追加
第 12 章	P.12-44	図 12.6.2 UART モード時に選択可能なデータフォーマット一覧中に注意書き(注 2)を追加

< 注意事項 >

章	ページ	追加及び修正内容
第 18 章	全体	RAM バックアップ未使用時の電源立ち上げ / 立ち下げシーケンスと RAM バックアップ使用時の電源立ち上げ / 立ち下げシーケンスとに分けた説明に変更
第 19 章	P.19-2	絶対最大定格の定格値の訂正 内部ロジック電源電圧 (記号 : VCCI) の定格値の欄 (誤) -0.3 ~ 4.5 (正) -0.3 ~ 4.6 RAM 電源電圧 (記号 : VDD) の定格値の欄 (誤) -0.3 ~ 4.5 (正) -0.3 ~ 4.6 PLL 電源電圧 (記号 : OSC-VCC) の定格値の欄 (誤) -0.3 ~ 4.5 (正) -0.3 ~ 4.6 フラッシュ電源電圧 (記号 : FVCC) の定格値の欄 (誤) -0.3 ~ 4.5 (正) -0.3 ~ 4.6
第 19 章	P.19-8	19.5.1 タイミング必要条件の(5)リードおよびライトタイミングの表 BCLK 前 WAIT 入力セットアップ時間 " tsu(WAITH-BCLKH) " および BCLK 後 WAIT 入力ホールド時間 " th(BCLKH-WAITH) " の規格を追加
第 19 章	P.19-10	19.5.2 スイッチング特性の(4)リードおよびライトタイミングの表 BCLK 出力 " L " パルス幅 [記号 : tw(BCLK)] の最小欄 (誤) $\frac{tc(BCLK)}{2} - 15$ (正) $\frac{tc(BCLK)}{2} - 8$
第 19 章	P.19-10	19.5.2 スイッチング特性の(4)リードおよびライトタイミングの表 リード後データ出力イネーブル時間 [記号 : t _{pzx} (RDH-DZ)] の最小欄 (誤) $\frac{tc(BCLK)}{2} - 9$ (正) $\frac{tc(BCLK)}{2}$
第 19 章	P.19-11	19.5.2 スイッチング特性の(4)リードおよびライトタイミングの表 ライト前アドレス遅延時間 [記号 : td(A-BLWL), td(A-BHWL)] の最小欄 (誤) $\frac{tc(BCLK)}{2} - 20$ (正) $\frac{tc(BCLK)}{2} - 10$

章	ページ	追加及び修正内容
第 19 章	P.19-11	19.5.2 スイッチング特性の(4)リードおよびライトタイミングの表 ライト前チップセレクト遅延時間 [記号 : $t_d(\text{CS-BLWL})$, $t_d(\text{CS-BHWL})$] の最小欄 (誤) $\frac{t_c(\text{BCLK})}{2} - 20$ (正) $\frac{t_c(\text{BCLK})}{2} - 10$
第 19 章	P.19-11	19.5.2 スイッチング特性の(4)リードおよびライトタイミングの表 ライト後データ出力有効時間 [記号 : $t_v(\text{BLWH-D})$, $t_v(\text{BWHW-D})$] の最小欄 (誤) $\frac{t_c(\text{BCLK})}{2} - 20$ (正) $\frac{t_c(\text{BCLK})}{2} - 10$
第 19 章	P.19-11	19.5.2 スイッチング特性の(4)リードおよびライトタイミングの表に注意書き を追加
第 19 章	P.19-14 ~ P.19-17	リードタイミングおよびライトタイミング (図 19.5.6 ~ 19.5.9) の見直し
付録 2	P. 付録 2-2	付表 2.1.1 のストア命令の "MEM" および "WB" ステージのサイクル数変更
付録 3	P. 付録 3-8	下記説明を削除 一定周期で方向レジスタを入力ポートに再設定すると、そのポートから 数nsの細かいパルスが出力される場合があります。これが問題となる場合は、 ポートにコンデンサを配置することによってこのパルスを除去してくださ い。

< 注意事項 >

内蔵周辺I/Oレジスタの表の見方

ビット番号： 各レジスタは16ビット幅の内部バスに接続されています。したがってレジスタのビット番号は、偶数番地はD0～D7に、奇数番地はD8～D15になります。

リセット時の状態： リセット直後の初期状態を16進数で示します。

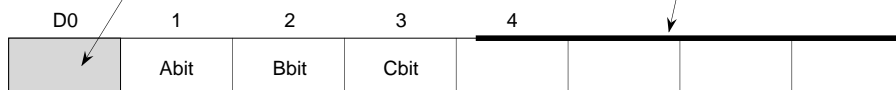
読み出し時の条件：
 ... 読み出し有効
 ? ... 読み出し無効（読み出し時データ不定）
 0 ... 常に "0" が読み出される
 1 ... 常に "1" が読み出される

書き込み時の条件：
 ... 書き込み有効
 ... 書き込みデータ条件付き（書き込みに関し何らかの条件があるもの）
 - ... 書き込み無効（書き込み時は "0" でも "1" でもよい）

< 表記例 >

網掛け部分には何も配置されていません

太枠で囲まれたレジスタはバイト（8ビット）アクセスはできません。ハーフワードまたはワードでのみアクセスできる条件付きレジスタです。



< リセット時：H'04 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	Abit ()	0 : 1 :		
2	Bbit ()	0 : 1 :		
3	Cbit ()	0 : 1 :		



目次

第1章 概要

1.1	32160 概要	1-2
1.1.1	M32R ファミリ CPU コア	1-2
1.1.2	積和演算機能の内蔵	1-3
1.1.3	フラッシュメモリとRAMの内蔵	1-3
1.1.4	クロック逡倍回路の内蔵	1-4
1.1.5	強力な周辺機能の内蔵	1-4
1.2	ブロック図	1-6
1.3	端子機能	1-9
1.4	端子配置	1-14

第2章 CPU

2.1	CPU レジスタ	2-2
2.2	汎用レジスタ	2-2
2.3	制御レジスタ	2-3
2.3.1	プロセッサ状態語レジスタ : PSW (CR0)	2-4
2.3.2	条件ビットレジスタ : CBR (CR1)	2-5
2.3.3	割り込み用スタックポインタ : SPI (CR2)	2-5
	ユーザ用スタックポインタ : SPU (CR3)	
2.3.4	バックアップ PC : BPC (CR6)	2-5
2.4	アキュムレータ	2-6
2.5	プログラムカウンタ	2-6
2.6	データフォーマット	2-7
2.6.1	データタイプ	2-7
2.6.2	データフォーマット	2-8

第3章 アドレス空間

3.1	アドレス空間概要	3-2
3.2	動作モード	3-5
3.3	内蔵 ROM 領域 / 外部拡張領域	3-7
3.3.1	内蔵 ROM 領域	3-7
3.3.2	外部拡張領域	3-7
3.4	内蔵 RAM 領域 / SFR 領域	3-8
3.4.1	内蔵 RAM 領域	3-8
3.4.2	SFR (Special Function Register) 領域	3-8
3.5	EIT ベクタエントリ	3-19
3.6	ICU ベクタテーブル	3-20
3.7	アドレス空間の注意事項	3-22

第4章 EIT

4.1	EIT の概要	4-2
4.2	32160 の EIT 事象	4-3
4.2.1	例外 (Exception)	4-3
4.2.2	割り込み (Interrupt)	4-3
4.2.3	トラップ (Trap)	4-3
4.3	EIT の処理手順	4-4
4.4	EIT の処理機構	4-6
4.5	EIT 事象の受け付け	4-7
4.6	PC, PSW の退避と復帰	4-8
4.7	EIT ベクタエントリ	4-10
4.8	例外 (Exception) 処理	4-11
4.8.1	予約命令例外 (RIE)	4-11
4.8.2	アドレス例外 (AE)	4-13
4.9	割り込み (Interrupt) 処理	4-15
4.9.1	リセット割り込み (RI)	4-15
4.9.2	システムブレーク割り込み (SBI)	4-16
4.9.3	外部割り込み (EI)	4-18

4.10	トラップ (Trap) 処理	4-20
4.10.1	トラップ (TRAP)	4-20
4.11	EIT の優先順位	4-22
4.12	EIT 処理の例	4-23

第5章 内蔵メモリ

5.1	内蔵メモリ概要	5-2
5.2	内蔵 RAM	5-2
5.3	内蔵フラッシュメモリ	5-2
5.4	内蔵フラッシュメモリ関連レジスタ	5-3
5.4.1	フラッシュモードレジスタ	5-4
5.4.2	フラッシュステータスレジスタ	5-5
5.4.3	フラッシュ制御レジスタ	5-8
5.5	内蔵フラッシュメモリの書き込み	5-15
5.5.1	フラッシュメモリ書き込みの概要	5-15
5.5.2	フラッシュ書き込み時における動作モードの制御	5-21
5.5.3	内蔵フラッシュメモリへの書き込み手順	5-24
5.5.4	フラッシュ書き込み時間 (参考値)	5-37
5.6	ブートROM	5-38
5.7	疑似フラッシュエミュレーション機能	5-39
5.7.1	疑似フラッシュエミュレーション領域	5-40
5.7.2	疑似フラッシュエミュレーションモードへの移行	5-41
5.8	シリアルライタとの接続	5-42
5.9	フラッシュメモリ書き換え時の注意事項	5-44

第6章 リセット

6.1	リセット概要	6-2
6.2	リセット動作	6-2
6.2.1	電源投入時のリセット	6-2
6.2.2	動作中のリセット	6-2
6.2.3	フラッシュ書き替え時のリセットベクタ移動	6-2

6.3	リセット解除直後の内部状態	6-3
6.4	リセット解除後の注意事項	6-4

第7章 外部バスインタフェース

7.1	外部バスインタフェース関連信号	7-2
7.2	リード/ライト動作	7-5
7.3	バスアービトレーション	7-8
7.4	外部拡張メモリ接続例	7-9

第8章 入出力ポートと端子機能

8.1	入出力ポート概要	8-2
8.2	端子機能の選択	8-4
8.3	入出力ポート関連レジスタ	8-6
8.3.1	ポートデータレジスタ	8-8
8.3.2	ポート方向レジスタ	8-9
8.3.3	ポート動作モードレジスタ	8-10
8.4	ポート周辺回路	8-23

第9章 DMAC

9.1	DMAC 概要	9-2
9.2	DMAC 関連レジスタ	9-4
9.2.1	DMA チャンネル制御レジスタ	9-6
9.2.2	DMA ソフトウェア要求発生レジスタ	9-17
9.2.3	DMA ソースアドレスレジスタ	9-18
9.2.4	DMA デスティネーションアドレスレジスタ	9-19
9.2.5	DMA 転送カウントレジスタ	9-20
9.2.6	DMA 割り込み要求ステータスレジスタ	9-21
9.2.7	DMA 割り込みマスクレジスタ	9-23
9.3	DMAC 機能説明	9-27
9.3.1	DMA 要求要因	9-27
9.3.2	DMA 転送の処理手順	9-30

9.3.3	DMA の起動	9-31
9.3.4	チャンネルの優先順位	9-31
9.3.5	内部バス権の獲得と解放	9-31
9.3.6	転送単位	9-32
9.3.7	転送回数	9-32
9.3.8	アドレス空間	9-32
9.3.9	転送動作	9-32
9.3.10	DMA の終了と割り込み	9-36
9.3.11	DMA 転送終了後の各レジスタの状態	9-36
9.4	DMAC の注意事項	9-37

第 10 章 マルチジャンクションタイマ

10.1	マルチジャンクションタイマ概要	10-2
10.2	タイマ共通部	10-8
10.2.1	タイマ共通部レジスタマップ	10-8
10.2.2	プリスケアラ部	10-10
10.2.3	クロックバス / 入出力イベントバス制御部	10-11
10.2.4	入力処理制御部	10-16
10.2.5	出力フリップフロップ制御部	10-25
10.2.6	割り込み制御部	10-35
10.3	TOP (出力系 16 ビットタイマ)	10-56
10.3.1	TOP 概要	10-56
10.3.2	TOP 各モードの概略	10-58
10.3.3	TOP 関連レジスタマップ	10-60
10.3.4	TOP 制御レジスタ	10-63
10.3.5	TOP カウンタ (TOP0CT ~ TOP10CT)	10-70
10.3.6	TOP リロードレジスタ (TOP0RL ~ TOP10RL)	10-71
10.3.7	TOP 補正レジスタ (TOP0CC ~ TOP10CC)	10-72
10.3.8	TOP イネーブル制御レジスタ	10-73
10.3.9	TOP ワンショット出力モード (補正機能あり) の動作	10-77
10.3.10	TOP デイレイドワンショット出力モード (補正機能あり) の動作	10-84
10.3.11	TOP 連続出力モード (補正機能なし) の動作	10-89
10.4	TIO (入出力系 16 ビットタイマ)	10-93
10.4.1	TIO 概要	10-93

10.4.2	TIO 各モードの概略	10-95
10.4.3	TIO 関連レジスタマップ	10-98
10.4.4	TIO 制御レジスタ	10-101
10.4.5	TIO カウンタ (TIO0CT ~ TIO9CT).....	10-112
10.4.6	TIO リロード 0 / 計測レジスタ (TIO0RL0 ~ TIO9RL0).....	10-113
10.4.7	TIO リロード 1 レジスタ (TIO0RL1 ~ TIO9RL1).....	10-114
10.4.8	TIO イネーブル制御レジスタ	10-115
10.4.9	TIO 計測 (フリーラン / クリア) 入力モードの動作.....	10-118
10.4.10	TIO ノイズ処理入力モードの動作	10-122
10.4.11	TIO PWM 出力モード動作	10-123
10.4.12	TIO ワンショット出力モード (補正機能なし) の動作	10-127
10.4.13	TIO ディレイドワンショット出力モード (補正機能なし) の動作	10-129
10.4.14	TIO 連続出力モード (補正機能なし) の動作	10-131
10.5	TMS (入力系 16 ビットタイマ).....	10-133
10.5.1	TMS 概要	10-133
10.5.2	TMS の動作概要	10-133
10.5.3	TMS 関連レジスタマップ	10-135
10.5.4	TMS 制御レジスタ	10-136
10.5.5	TMS カウンタ (TMS0CT , TMS1CT).....	10-138
10.5.6	TMS 計測レジスタ (TMS0MR3 ~ 0 , TMS1MR3 ~ 0).....	10-139
10.5.7	TMS 計測入力の動作	10-140
10.6	TML (入力系 32 ビットタイマ).....	10-142
10.6.1	TML 概要	10-142
10.6.2	TML の動作概要	10-143
10.6.3	TML 関連レジスタマップ	10-144
10.6.4	TML 制御レジスタ	10-145
10.6.5	TML カウンタ	10-146
10.6.6	TML 計測レジスタ	10-147
10.6.7	TML 計測入力の動作	10-148
10.7	TID (入力系 16 ビットタイマ).....	10-150
10.7.1	TID 概要	10-150
10.7.2	TID 関連レジスタマップ	10-152
10.7.3	TID 制御 & プリスケーライネーブルレジスタ.....	10-153
10.7.4	TID カウンタ	10-154
10.7.5	TID リロードレジスタ	10-155

10.7.6	TID 各モードの概略	10-156
10.8	TOD (出力系 16 ビットタイマ)	10-161
10.8.1	TOD 概要	10-161
10.8.2	TOD 各モードの概略	10-163
10.8.3	TOD 関連レジスタマップ	10-165
10.8.4	TOD 制御レジスタ	10-167
10.8.5	TOD カウンタ	10-169
10.8.6	TOD リロード 0 レジスタ	10-170
10.8.7	TOD リロード 1 レジスタ	10-171
10.8.8	TOD イネーブル制御レジスタ	10-172
10.8.9	TOD PWM 出力モード動作	10-175
10.8.10	TOD ワンショット出力モード (補正機能なし) の動作	10-179
10.8.11	TOD ディレイドワンショット出力モード (補正機能なし) の動作	10-181
10.8.12	TOD 連続出力モード (補正機能なし) の動作	10-183
10.8.13	モータ制御機能への応用例	10-185

第 11 章 A-D 変換器

11.1	A-D 変換器概要	11-2
11.1.1	変換モード	11-5
11.1.2	動作モード	11-6
11.1.3	特殊動作モード	11-10
11.1.4	A-D 変換器の割り込み要求と DMA 転送要求	11-13
11.2	A-D 変換器関連レジスタ	11-14
11.2.1	A-D 単一モードレジスタ 0	11-16
11.2.2	A-D 単一モードレジスタ 1	11-19
11.2.3	A-D スキャンモードレジスタ 0	11-22
11.2.4	A-D スキャンモードレジスタ 1	11-25
11.2.5	A-D 逐次近似レジスタ	11-27
11.2.6	A-D コンパレートデータレジスタ	11-28
11.2.7	10 ビット A-D データレジスタ	11-29
11.2.8	8 ビット A-D データレジスタ	11-30
11.3	A-D 変換器機能説明	11-31
11.3.1	アナログ入力電圧の求め方	11-31

11.3.2	逐次近似比較方式の A-D 変換	11-32
11.3.3	コンパレータ動作	11-34
11.3.4	A-D 変換時間算出方法	11-35
11.3.5	A-D 変換精度の定義	11-38
11.4	A-D 変換器の注意事項	11-41

第 12 章 シリアル I/O

12.1	シリアル I/O 概要	12-2
12.2	シリアル I/O 関連レジスタ	12-6
12.2.1	SIO 割り込み制御レジスタ	12-7
12.2.2	SIO 送信制御レジスタ	12-11
12.2.3	SIO 送受信モードレジスタ	12-13
12.2.4	SIO 送信バッファレジスタ	12-16
12.2.5	SIO 受信バッファレジスタ	12-17
12.2.6	SIO 受信制御レジスタ	12-18
12.2.7	SIO ボーレートレジスタ	12-21
12.2.8	SIO 割り込み関連レジスタ設定時の注意事項	12-23
12.3	CSIO モード送信動作説明 (SIO0, SIO1)	12-25
12.3.1	CSIO ボーレートの設定	12-25
12.3.2	CSIO 送信時の初期設定	12-26
12.3.3	CSIO 送信の開始	12-28
12.3.4	CSIO の連続送信	12-28
12.3.5	CSIO 送信完了処理	12-29
12.3.6	送信割り込み	12-29
12.3.7	送信 DMA 転送要求	12-29
12.3.8	CSIO 送信動作例	12-31
12.4	CSIO モード受信動作説明	12-33
12.4.1	CSIO 受信時の初期設定 (SIO0, SIO1)	12-33
12.4.2	CSIO 受信の開始	12-35
12.4.3	CSIO 受信完了処理	12-35
12.4.4	連続受信について	12-36
12.4.5	CSIO 受信動作の状態を示すフラグ	12-37
12.4.6	CSIO 受信動作例	12-38

12.5	CSIO モード時の注意事項	12-40
12.6	UART モード送信動作説明	12-42
12.6.1	UART ボーレートの設定	12-42
12.6.2	UART 送受信データフォーマット	12-43
12.6.3	UART 送信時の初期設定	12-45
12.6.4	UART 送信の開始	12-47
12.6.5	UART の連続送信	12-47
12.6.6	UART 送信完了処理	12-48
12.6.7	送信割り込み	12-48
12.6.8	送信 DMA 転送要求	12-48
12.6.9	UART 送信動作例	12-50
12.7	UART モード受信動作説明	12-52
12.7.1	UART 受信時の初期設定	12-52
12.7.2	UART 受信の開始	12-54
12.7.3	UART 受信完了処理	12-54
12.7.4	UART 受信動作例	12-56
12.8	定周期クロック出力機能	12-58
12.9	UART モード時の注意事項	12-59

第 13 章 割り込みコントローラ (ICU)

13.1	割り込みコントローラ (ICU) 概要	13-2
13.2	内蔵周辺 I/O の割り込み要因	13-4
13.3	ICU 関連レジスタ	13-5
13.3.1	割り込みベクタレジスタ	13-6
13.3.2	割り込みマスクレジスタ	13-7
13.3.3	SBI (システムブレーク割り込み) 制御レジスタ	13-8
13.3.4	割り込み制御レジスタ	13-9
13.4	ICU ベクタテーブル	13-13
13.5	割り込み動作説明	13-16
13.5.1	内蔵周辺 I/O の割り込み受け付け	13-16
13.5.2	内蔵周辺 I/O の割り込みハンドラ処理	13-18
13.6	システムブレーク割り込み (SBI) 動作説明	13-20
13.6.1	SBI の受け付け	13-20
13.6.2	SBI のハンドラ処理	13-20

第 14 章 ウェイトコントローラ

14.1	ウェイトコントローラ概要	14-2
14.2	ウェイトコントローラ関連レジスタ	14-4
14.2.1	ウェイト数制御レジスタ	14-5
14.3	ウェイトコントローラ動作例	14-6

第 15 章 リアルタイムデバッグ (RTD)

15.1	リアルタイムデバッグ (RTD) 概要	15-2
15.2	RTD 端子機能	15-3
15.3	RTD 動作説明	15-4
15.3.1	RTD 動作概要	15-4
15.3.2	RDR (リアルタイム RAM 内容出力) 動作	15-5
15.3.3	WRR (RAM 内容強制書き替え) 動作	15-7
15.3.4	VER (継続モニタ) 動作	15-9
15.3.5	VEI (割り込み要求) 動作	15-10
15.3.6	RCV (暴走状態からの復帰) 動作	15-11
15.3.7	リアルタイムデバッグ使用時の指定アドレス設定方法	15-12
15.3.8	RTD のリセット	15-13
15.4	ホストとの接続例	15-14

第 16 章 RAM バックアップモード

16.1	概要	16-2
16.2	電源断時の RAM バックアップ例	16-2
16.2.1	通常動作時の状態	16-3
16.2.2	RAM バックアップ時の状態	16-4
16.3	低消費電力化のための RAM バックアップ例	16-5
16.3.1	通常動作時の状態	16-6
16.3.2	RAM バックアップ時の状態	16-7
16.3.3	電源立ち上げ時の注意事項	16-8
16.4	RAM バックアップモードの解除 (ウエイクアップ)	16-9

第 17 章 発振回路

17.1 発振回路	17-2
17.1.1 発振回路例	17-2
17.1.2 システムクロックの出力機能	17-3
17.1.3 電源投入時の発振安定時間	17-4

第 18 章 電源立ち上げ / 立ち下げシーケンス

18.1 電源回路の構成	18-2
18.2 電源立ち上げシーケンス	18-3
18.2.1 RAM バックアップ未使用時の電源立ち上げシーケンス	18-3
18.2.2 RAM バックアップ使用時の電源立ち上げシーケンス	18-4
18.3 電源立ち下げシーケンス	18-5
18.3.1 RAM バックアップ未使用時の電源立ち下げシーケンス	18-5
18.3.2 RAM バックアップ使用時の電源立ち下げシーケンス	18-6

第 19 章 電気的特性

19.1 絶対最大定格	19-2
19.2 推奨動作条件	19-3
19.3 DC 特性	19-4
19.3.1 電気的特性	19-4
19.3.2 フラッシュ関連電気的特性	19-5
19.4 A-D 変換特性	19-6
19.5 AC 特性	19-7
19.5.1 タイミング必要条件	19-7
19.5.2 スイッチング特性	19-9
19.5.3 AC 特性	19-12

第 20 章 標準特性

20.1 A-D 変換特性	20-2
---------------------	------

付録 1 機械的仕様

付録 1.1 外形寸法図	付録 1-2
--------------------	--------

付録 2 命令処理時間

付録 2.1 32160 命令処理時間	付録 2-2
---------------------------	--------

付録 3 ノイズに関する注意事項

付録 3.1 ノイズに関する注意事項	付録 3-2
--------------------------	--------

付録 3.1.1 配線長の短縮	付録 3-2
-----------------------	--------

付録 3.1.2 VSS - VCC ライン間へのバイパスコンデンサ挿入	付録 3-4
--	--------

付録 3.1.3 アナログ入力端子の配線処理	付録 3-5
------------------------------	--------

付録 3.1.4 発振子への配慮	付録 3-6
------------------------	--------

付録 3.1.5 入出力ポート処理	付録 3-8
-------------------------	--------

第 1 章

概要

- 1.1 32160概要
- 1.2 ブロック図
- 1.3 端子機能
- 1.4 端子配置

1.1 32160概要

1.1.1 M32RファミリCPUコア

(1) RISCアーキテクチャの採用

32160は、32ビットRISCシングルチップマイクロコンピュータで、M32RファミリCPUコア(以下M32Rと略)を中心にして、フラッシュメモリ、RAM、および各種周辺機能を1チップに集積しています。

M32Rは、RISCアーキテクチャを採用しています。メモリアクセスはロード命令とストア命令により行い、各種の演算はレジスタ間演算命令で実行します。内部には32ビット汎用レジスタを16本備え、命令数は83あります。

M32Rは、通常のロード命令、ストア命令に加えて、ロード&アドレス更新、ストア&アドレス更新といった複合命令もサポートしています。これらの命令はデータ転送の高速化に有効です。

(2) 5ステージのパイプライン処理

M32Rは、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの5ステージのパイプライン処理により、命令を処理します。ロード命令、ストア命令、レジスタ間演算命令だけでなく、ロード&アドレス更新、ストア&アドレス更新といった複合命令も1サイクルで実行します。

命令は、フェッチされた順に実行ステージに投入されますが、先に投入されたロード命令やストア命令の実行がメモリアクセスのウエイトサイクルの挿入により延びた場合には、後続のレジスタ間演算命令が先に実行される場合があります。M32Rは、このような「out-of-order-completion」などの採用により、クロックサイクルをむだにしない命令実行制御を行います。

(3) コンパクトな命令コード

M32Rの命令には、16ビット長命令と32ビット長命令の2つの形式があります。特に16ビット長の命令形式の採用により、プログラムのコードサイズを抑えることができます。

32ビット長命令には、実行中の命令のアドレスから±32Mバイトの範囲に直接分岐することができる命令があり、アドレス空間がセグメント化されたアーキテクチャに比べ、プログラミングが容易になっています。

1.1.2 積和演算機能の内蔵

(1) 高速乗算器の内蔵

M32Rは、32ビット×16ビットの高速乗算器の内蔵により、32ビット×32ビットの整数乗算命令を3サイクル(内部動作25MHz時、1サイクルは40ns)で実行します。

(2) DSPに匹敵する積和演算命令をサポート

M32Rは、56ビットのアキュムレータによる積和演算命令(または乗算命令)として、次の4つをサポートしており、いずれも1サイクルで実行できます。

レジスタの上位16ビット×レジスタの上位16ビット
レジスタの下位16ビット×レジスタの下位16ビット
レジスタの32ビット全体×レジスタの上位16ビット
レジスタの32ビット全体×レジスタの下位16ビット

M32Rは、アキュムレータに格納された値を16ビットまたは32ビットに丸める命令や、アキュムレータ値の桁合わせのため、シフトしてレジスタに格納する命令を備えています。これらの命令も1サイクルで実行するため、ロード&アドレス更新、ストア&アドレス更新などの高速データ転送命令と組み合わせて使うことにより、DSPに匹敵するデータ処理能力を発揮できます。

1.1.3 フラッシュメモリとRAMの内蔵

32160は、ノーウエイトでアクセスが可能なフラッシュメモリとRAMを内蔵しており、高速な組み込みシステムを構成できます。

内蔵フラッシュメモリは、プリント基板に実装した状態での書き込み(オンボード書き込み)が可能です。フラッシュメモリの採用で開発時のチップがそのまま量産に使い、試作から量産へプリント基板を変更することなくスムーズに移行することができます。

内蔵フラッシュメモリは、100回書き換えることができます。

内蔵フラッシュメモリは、疑似フラッシュエミュレーション機能を備えており、内蔵フラッシュメモリの一部に疑似的に内蔵RAMをマッピングすることができます。この機能と内蔵リアルタイムデバッガ(RTD)を組み合わせることにより、ROMテーブル上のデータチューニングが容易に行えます。

内蔵RAMは、RTD(リアルタイムデバッガ)を使用することで、M32R CPUとは独立して外部からデータの読み出しや書き替えができます。外部との通信は、RTDの専用クロック同期形シリアルI/Oで行います。

1.1.4 クロック逡倍回路の内蔵

32160は、入力したクロック信号の周波数を内部で2倍にして使用しており、内部動作周波数25MHzの場合、入力クロック周波数は12.5MHzとなります。

1.1.5 強力な周辺機能の内蔵

(1) 42チャンネルマルチジャンクションタイマ (MJT) の内蔵

マルチジャンクションタイマは、下記の42チャンネルのタイマにより構成しています。

- 16ビット出力系タイマ19チャンネル
- 16ビット入出力系タイマ10チャンネル
- 16ビット入力系タイマ9チャンネル(4逡倍カウンタ1チャンネル内蔵)
- 32ビット入力系タイマ4チャンネル

各タイマは複数のモードを持ち、用途に応じた選択が可能です。

マルチジャンクションタイマは、内部にクロックバス、入力イベントバス、出力イベントバスを持ち、複数のタイマを内部で組み合わせて利用できます。これによりフレキシブルなタイマ機能の活用が可能です。

出力系タイマ(TOP)は補正機能を備えています。この機能によりカウント中のタイマのカウント値を自由に増減させることができ、リアルタイムな出力制御を実現できます。

(2) 10チャンネルのDMA内蔵

DMAは10チャンネル内蔵しており、内蔵周辺I/O間または内蔵周辺I/Oと内蔵RAM間のデータ転送をサポートします。DMA転送要求はソフトウェアのほか、内蔵周辺I/O(A-D変換器、MJT、シリアルI/O)の発生する信号をトリガとすることができます。

DMAチャンネル間のカスケード接続(あるチャンネルの転送終了で他のチャンネルのDMA転送を起動)もサポートしており、CPUに負荷をかけることなく高度な転送処理が可能です。

(3) 16チャンネルのA-D変換器内蔵

A-D変換器は10ビット分解能で、16チャンネル内蔵されています。各チャンネル単独のA-D変換のほか、4チャンネル、8チャンネルまたは16チャンネルを1つのグループとした連続的なA-D変換も可能です。

通常のA-D変換のほかに、ある設定値とのA-D変換の結果を比較して、その大小を判別するコンパレータモードをサポートしています。

A-D変換の終了時には割り込みを発生するほか、DMA転送要求を発生することもできます。

A-D変換結果の読み出し機能として、8ビットと10ビットの両モードをサポートしています。

(4) 4チャンネルの高速シリアルI/O

シリアルI/Oは4チャンネル内蔵しており、クロック同期形シリアルI/O、またはUARTに設定できます。

転送速度はクロック同期形シリアルI/O時に2Mビット/秒の高速データ転送が可能です。

データ受信完了時、または送信レジスタが空になった時に、DMAの転送要求信号を発生する機能を持ちます。

(5) リアルタイムデバッグ (RTD) の内蔵

リアルタイムデバッグ (RTD) は、32160の内蔵RAMを外部から直接アクセスする機能を提供します。外部との通信は、専用のクロック同期形シリアルI/Oで行います。

RTDを使うことで、M32RのCPUとは独立して外部から内蔵RAMの内容を読み出ししたり、データの書き替えが可能になります。

RTDを使用したデータ送受信の完了を知らせるための、RTD割り込みを発生することができます。

(6) 8レベルの割り込みコントローラ

割り込みコントローラは、各内蔵周辺I/Oからの割り込み要求を、割り込み禁止状態を含めて8レベルの優先順位を設けて管理します。また、電源断検出やウォッチドックタイムで発生した外部割り込み要求をシステムブレーク割り込み (SBI) として受け付けることができます。

(7) 3つの動作モード

32160は、シングルチップモード、外部拡張モードおよびプロセッサモードの3つの動作モードを備えています。32160のアドレス空間と外部端子機能は各モードに応じて切り替わります。モードの設定は、MOD0, MOD1端子で行います。

(8) ウェイトコントローラ

ウェイトコントローラは、外付けデバイスのアクセスをサポートします。シングルチップモード以外のモードでは、外部拡張領域は最大1Mバイトの空間が用意されています。

1.2 ブロック図

図1.2.1に32160のブロック図を示し、それぞれのブロックの特長を表1.2.1～表1.2.3に示します。

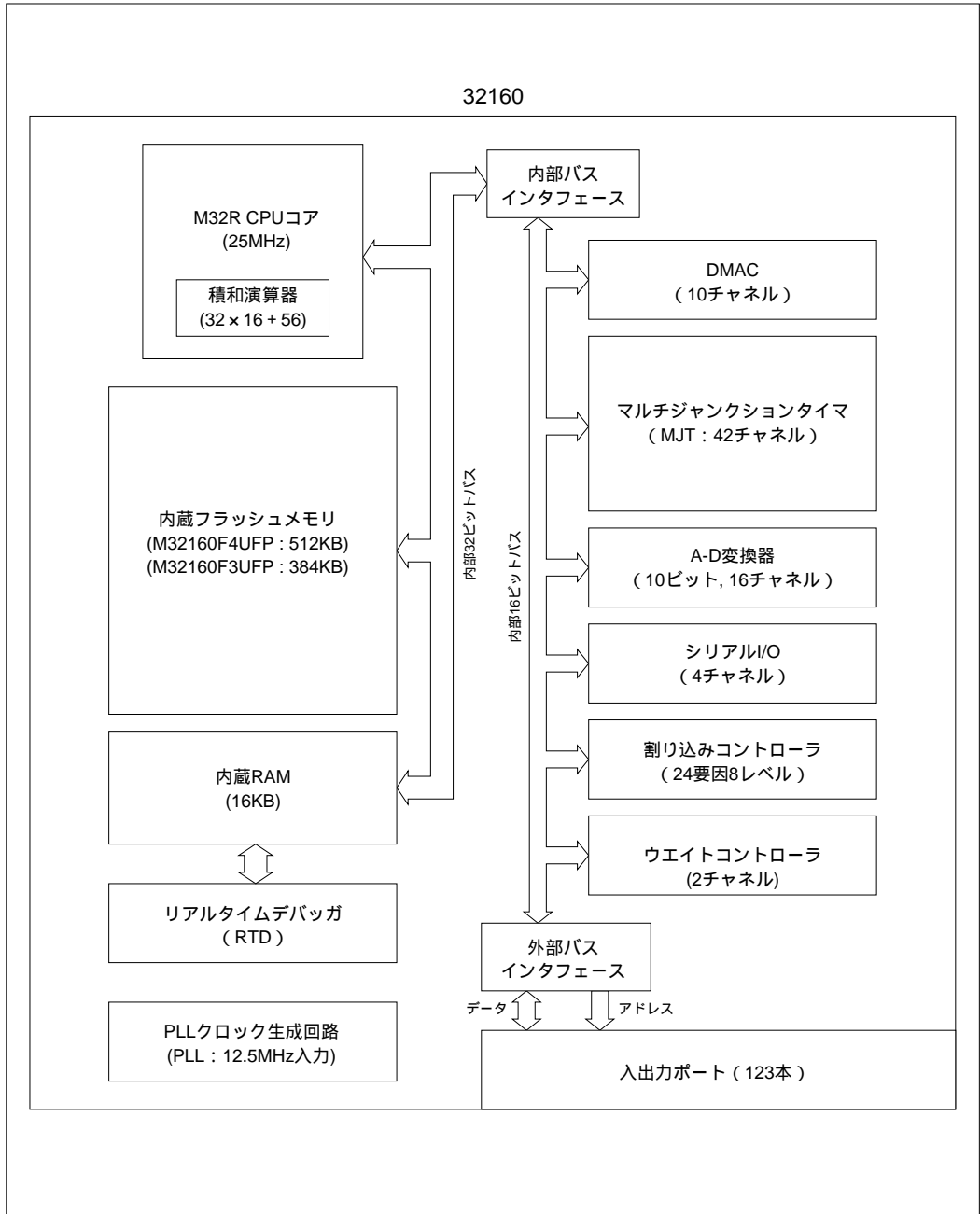


図1.2.1 32160のブロック図

表1.2.1 M32RファミリCPUコアの特長

機能ブロック	特長
M32Rファミリ CPUコア	<p>バス仕様</p> <p>基本バスサイクル：40ns(内部動作25MHz時)</p> <p>論理アドレス空間：4Gバイトリニア</p> <p>外部拡張領域：最大1Mバイト</p> <p>外部データバス：16ビット</p> <p>インプリメンテーション：5段パイプライン方式</p> <p>コア内部32ビット構成</p> <p>レジスタ構成</p> <p>汎用レジスタ：32ビット×16本</p> <p>制御レジスタ：32ビット×5本</p> <p>命令セット</p> <p>16ビット/32ビット命令形式</p> <p>83命令/9アドレッシングモード</p> <p>積和演算器内蔵 (32×16+56)</p>

表1.2.2 内蔵メモリの特長

機能ブロック	特長
RAM	<p>容量：16Kバイト</p> <p>ノーウエイトアクセス(内部動作25MHz時)</p> <p>RTD(リアルタイムデバッガ)を使用することで、M32R CPUとは独立して外部から内蔵RAMのデータ読み出しや書き替えが可能</p>
フラッシュメモリ	<p>容量： M32160F4UFP：512Kバイト / M32160F3UFP：384Kバイト</p> <p>ノーウエイトアクセス(内部動作25MHz時)</p> <p>書き換え回数：100回</p>

表1.2.3 内蔵周辺I/Oの特長

機能ブロック	特長
DMA	10チャンネルのDMAC 内蔵周辺I/O間、内蔵RAM間、または内蔵周辺I/Oと内蔵RAM間の転送サポート 内蔵周辺I/Oとのコンビネーションにより、高度なDMA転送が可能 DMA各チャンネルのカスケード接続(あるチャンネルの転送終了で他のチャンネルの起動)が可能
マルチ ジャンクション	42チャンネルの多機能タイマ 出力系タイマ19チャンネル、入出力系タイマ10チャンネル、16ビット入力系タイマ9チャンネル、32ビット入力系タイマ4チャンネル内蔵 各チャンネルの相互接続によるフレキシブルなタイマ構成が可能
A-D変換器	16チャンネル、8ビット分解能 or 10ビット分解能A-D変換器 コンパレータモード内蔵 A-D変換終了時の割り込みまたはDMA転送の起動が可能
シリアルI/O	4チャンネルのシリアルI/O クロック同期形シリアルI/O、またはUARTに設定可能 クロック同期時2Mビット/秒、UART時195Kビット/秒の高速データ転送
リアルタイム デバッグ	外部からのコマンド入力による、CPUとは独立した内蔵RAMの書き換え/モニタ機能 専用クロック同期シリアルポート装備
割り込み コントローラ	内蔵周辺I/Oからの割り込み要求管理 割り込み禁止状態を含めて8レベルの優先順位
ウェイト コントローラ	外部拡張領域のアクセスに対するウェイト制御 ソフトウェア設定による1~4ウェイト挿入 + 外部WAIT信号入力によるウェイト延長
クロックPLL	2通倍のクロック発生回路 内部動作25MHz時、入力クロック周波数は12.5MHz

1.3 端子機能

図1.3.1に端子機能図を示し、表1.3.1に端子機能説明を示します。

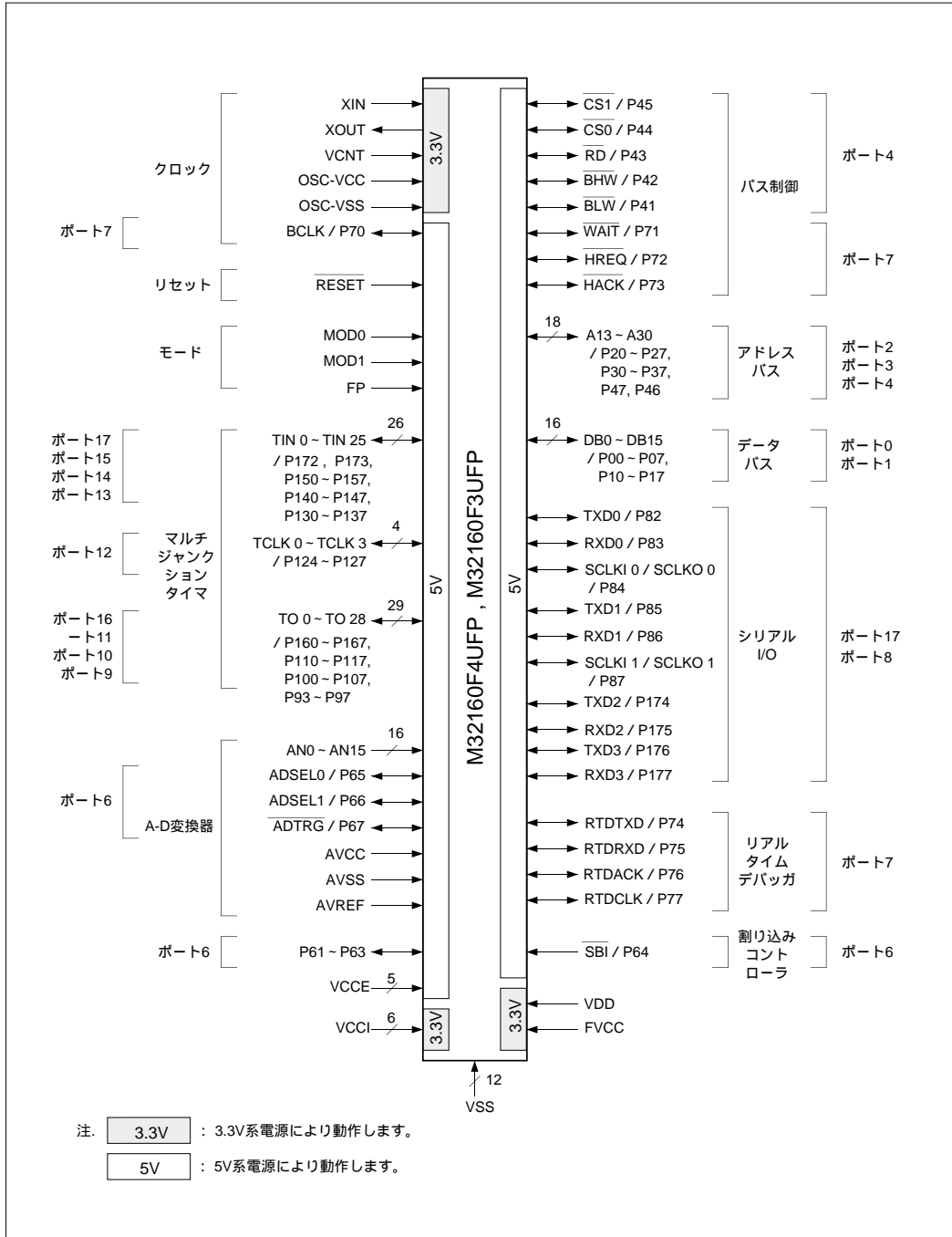


図1.3.1 端子機能図

表1.3.1 端子機能説明(1/4)

種類	端子名	名称	入出力	機能															
電源	VCCE	電源	-	外部I/Oポートへの供給電源(5V)。															
	VCCI	電源	-	内部ロジックへの供給電源(3.3V)。															
	VDD	RAM電源	-	内蔵RAMバックアップ用電源端子(3.3V)。															
	FVCC	FLASH電源	-	内蔵フラッシュメモリ用電源端子(3.3V)。															
	VSS	グランド	-	VSSIはすべてグランド(GND)に接続します。															
クロック	XIN, XOUT	クロック	入力 出力	クロック入出力端子です。PLLによる逡倍回路を内蔵しており、動作周波数の1/2の周波数のクロックを入力します(内部動作25MHz時 : XIN入力 = 12.5MHz)。															
	BCLK	システム クロック	出力	入力クロックの2倍の周波数のクロックを出力します(内部動作25MHz時 : BCLK出力 = 25MHz)。外部で同期設計を行う場合に使用します。															
	OSC-VCC	電源	-	PLL回路の電源です。OSC-VCCは電源に接続します。															
	OSC-VSS	グランド	-	OSC-VSSはグランドに接続します。															
VCNT	PLL制御	入力	PLL回路の制御端子で、抵抗とコンデンサを接続します。(外付け回路については、17.1.1「発振回路例」をご覧ください)																
リセット	RESET	リセット	入力	内部回路をリセットします。															
モード	MOD0 MOD1	モード	入力	動作モードを設定します															
				<table border="1"> <thead> <tr> <th>MOD0</th> <th>MOD1</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングルチップモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>プロセッサモード (ブートモード) (注)</td> </tr> <tr> <td>1</td> <td>1</td> <td>(Reserved)</td> </tr> </tbody> </table>	MOD0	MOD1	モード	0	0	シングルチップモード	0	1	外部拡張モード	1	0	プロセッサモード (ブートモード) (注)	1	1	(Reserved)
				MOD0	MOD1	モード													
				0	0	シングルチップモード													
				0	1	外部拡張モード													
1	0	プロセッサモード (ブートモード) (注)																	
1	1	(Reserved)																	
アドレス バス	A13 ~ A30 バス	アドレス バス	出力	最大512KBメモリ空間を2系統外付けするために18本のアドレスA13 ~ A30)を持っています。A31は出力されません。ライトサイクルでは16ビットのデータバスのうち、有効な書き込みを行うバイト位置をBHW, BLWとして出力します。リードサイクルでは常に16ビットのデータバスを読み込みます。ただしM32Rの内部へは、有効なバイト位置のデータのみが転送されます。															
データ バス	DB0 ~ DB15	データ バス	入出力	外部デバイス接続用の16ビットデータバスです。															

注. ブートモードについては、第5章「内蔵メモリ」をご覧ください。

表1.3.1 端子機能説明(2/4)

種類	端子名	名称	入出力	機能
バス制御	$\overline{CS0}$, $\overline{CS1}$	チップ セレクト	出力	外部デバイスのチップセレクト信号です。チップセレクト信号の出力される領域については、第3章「アドレス空間」をご覧ください。
	\overline{RD}	リード	出力	外部デバイスのリード時に出力される信号です。
	\overline{BHW}	バイトハイ ライト	出力	外部デバイスへのライト時に、有効なデータが転送されるバイト位置を示します。 \overline{BHW} が上位アドレス側(D0~D7が有効)、 \overline{BLW} が下位アドレス側(D8~D15が有効)に対応しています。
	\overline{BLW}	バイトロー ライト	出力	
	\overline{WAIT}	ウエイト	入力	M32Rが外部デバイスをアクセスした場合、 \overline{WAIT} に"L"信号が入力されていると、ウエイトサイクルが延長されます。
	\overline{HREQ}	ホールド リクエスト	入力	外部のデバイスが外部バスのバス権を要求するための入力端子です。 \overline{HREQ} 端子に"L"信号を入力するとM32Rはホールド状態へ遷移します。
	\overline{HACK}	ホールド アックノリッジ	出力	M32Rがホールド状態へ遷移し、外部バスのバス権を解放したことを通知するための信号です。
マルチ ジャンク ション タイマ	TIN0 ~ TIN25	タイマ入力	入力	マルチジャンクションタイマの入力端子です。
	TO0 ~ TO28	タイマ出力	出力	マルチジャンクションタイマの出力端子です。
	TCLK0 ~ TCLK3	タイマ クロック	入力	マルチジャンクションタイマのクロック入力端子です。
A-D 変換器	AVCC	アナログ電源	-	A-D変換器の電源です。AVCCは電源に接続します。
	AVSS	アナロググランド	-	AVSSはグランドに接続します。
	AN0 ~ AN15	アナログ入力	入力	A-D変換器の16チャンネルアナログ入力端子です。
	VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
	\overline{ADTRG}	変換トリガ	入力	A-D変換開始のハードウェアトリガ入力端子です。
	ADSEL0 ADSEL1	アナログ セクタ	出力	外部に接続されたアナログスイッチの切り替え信号です。A-D変換器の入力本数拡張のために使用します。

表1.3.1 端子機能説明(3/4)

種類	端子名	名称	入出力	機能
割り込み コント ローラ	SBI	システム ブレーク 割り込み	入力	割り込みコントローラのシステムブレーク割り込み(SBI)入力端子です。
シリアル I/O	TXD0	送信データ	出力	シリアルI/Oチャンネル0の送信データ出力端子です。
	RXD0	受信データ	入力	シリアルI/Oチャンネル0の受信データ入力端子です。
	SCLKI0 / SCLKO0	UART送受信 クロック出力 または CSIO送受信 クロック 入出力	入出力	チャンネル0がUARTモードの場合： BRG出力の2分周したクロック出力 チャンネル0がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力
	TXD1	送信データ	出力	シリアルI/Oチャンネル1の送信データ出力端子です。
	RXD1	受信データ	入力	シリアルI/Oチャンネル1の受信データ入力端子です。
	SCLKI1 / SCLKO1	UART送受信 クロック出力 または CSIO送受信 クロック 入出力	入出力	チャンネル1がUARTモードの場合： BRG出力の2分周したクロック出力 チャンネル1がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力
	TXD2	送信データ	出力	シリアルI/Oチャンネル2の送信データ出力端子です。
	RXD2	受信データ	入力	シリアルI/Oチャンネル2の受信データ入力端子です。
	TXD3	送信データ	出力	シリアルI/Oチャンネル3の送信データ出力端子です。
	RXD3	受信データ	入力	シリアルI/Oチャンネル3の受信データ入力端子です。
リアル タイム デバッグ	RTD TXD	送信データ	出力	リアルタイムデバッグのシリアルデータ出力端子です。
	RTD RXD	受信データ	入力	リアルタイムデバッグのシリアルデータ入力端子です。
	RTD CLK	クロック入力	入力	リアルタイムデバッグのシリアルデータ送受信クロック入力端子です。
	RTD ACK	アクノリッジ	出力	リアルタイムデバッグのシリアルデータ出力ワードの先頭クロックに同期して"L"パルスを出力します。"L"パルス幅はリアルタイムデバッグが受信したコマンド/データの種類を示します。
フラッ シュ専用	FP	Flash Protect	入力	フラッシュメモリに対してE/WをH/Wプロテクトする機能を持つモード端子です。

表1.3.1 端子機能説明(4/4)

種類	端子名	名称	入出力	機能
入出力ポート	P00 ~ P07	入出力ポート0	入出力	プログラマブル入出力ポートです。
(注)	P10 ~ P17	入出力ポート1	入出力	プログラマブル入出力ポートです。
	P20 ~ P27	入出力ポート2	入出力	プログラマブル入出力ポートです。
	P30 ~ P37	入出力ポート3	入出力	プログラマブル入出力ポートです。
	P41 ~ P47	入出力ポート4	入出力	プログラマブル入出力ポートです。
	P61 ~ P67	入出力ポート6	入出力	プログラマブル入出力ポートです。 (ただしP64は入力専用ポートです)
	P70 ~ P77	入出力ポート7	入出力	プログラマブル入出力ポートです。
	P82 ~ P87	入出力ポート8	入出力	プログラマブル入出力ポートです。
	P93 ~ P97	入出力ポート9	入出力	プログラマブル入出力ポートです。
	P100 ~ P107	入出力ポート10	入出力	プログラマブル入出力ポートです。
	P110 ~ P117	入出力ポート11	入出力	プログラマブル入出力ポートです。
	P124 ~ P127	入出力ポート12	入出力	プログラマブル入出力ポートです。
	P130 ~ P137	入出力ポート13	入出力	プログラマブル入出力ポートです。
	P140 ~ P147	入出力ポート14	入出力	プログラマブル入出力ポートです。
	P150 ~ P157	入出力ポート15	入出力	プログラマブル入出力ポートです。
	P160 ~ P167	入出力ポート16	入出力	プログラマブル入出力ポートです。
	P172 ~ P177	入出力ポート17	入出力	プログラマブル入出力ポートです。

注. 入出力ポート5は、将来のために予約されています。

1.4 端子配置

図1.4.1に端子配置図を、表1.4.1に端子配列表を示します。

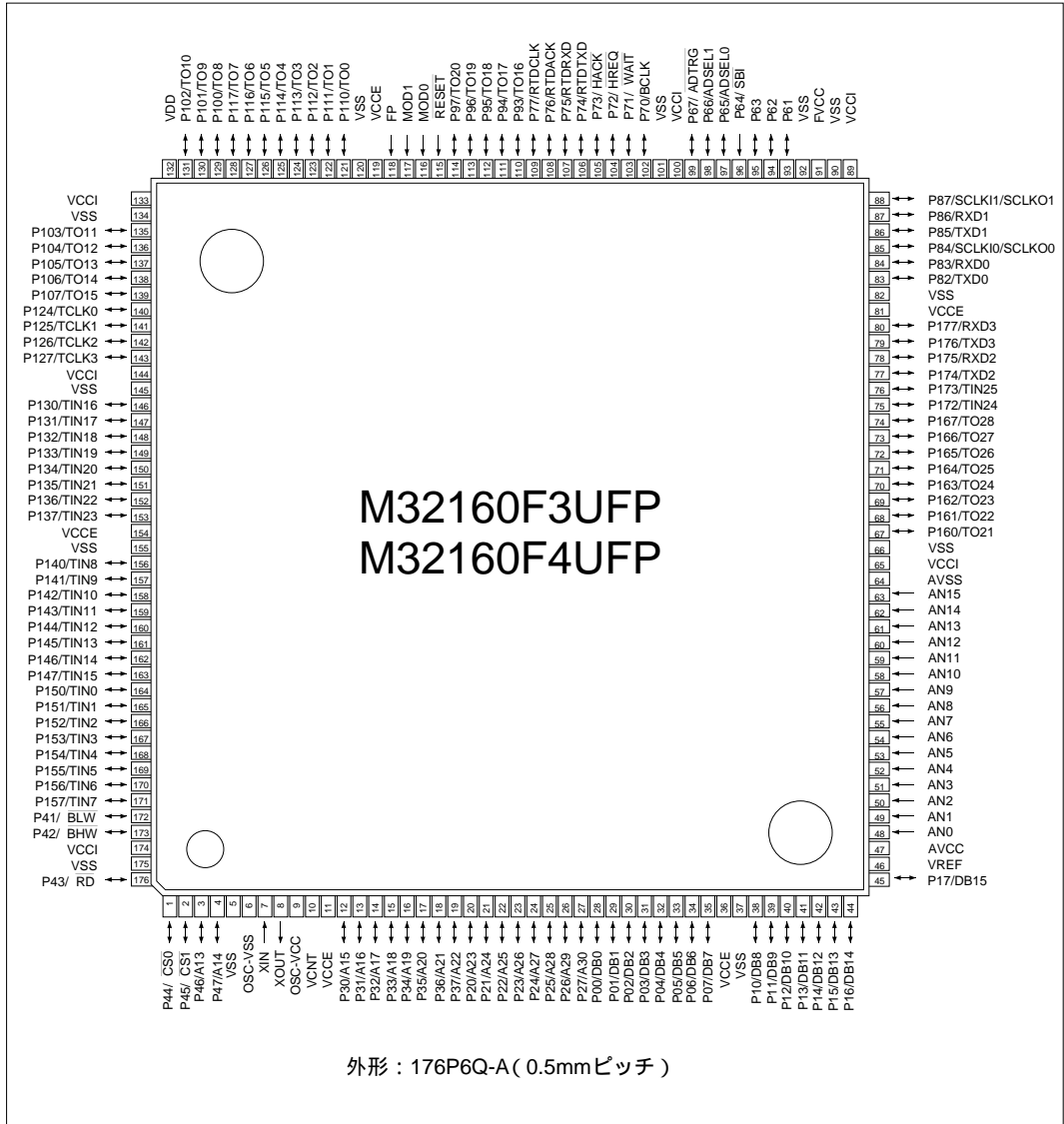


図1.4.1 端子配置図

表1.4.1 端子配列表

No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	P44 / CS0	45	P17 / DB15	89	VCCI	133	VCCI
2	P45 / CS1	46	VREF	90	VSS	134	VSS
3	P46 / A13	47	AVCC	91	FVCC	135	P103 / TO11
4	P47 / A14	48	AN0	92	VSS	136	P104 / TO12
5	VSS	49	AN1	93	P61	137	P105 / TO13
6	OSC-VSS	50	AN2	94	P62	138	P106 / TO14
7	XIN	51	AN3	95	P63	139	P107 / TO15
8	XOUT	52	AN4	96	P64 / $\overline{\text{SBI}}$	140	P124 / TCLK0
9	OSC-VCC	53	AN5	97	P65 / ADSEL0	141	P125 / TCLK1
10	VCNT	54	AN6	98	P66 / ADSEL1	142	P126 / TCLK2
11	VCCE	55	AN7	99	P67 / ADTRG	143	P127 / TCLK3
12	P30 / A15	56	AN8	100	VCCI	144	VCCI
13	P31 / A16	57	AN9	101	VSS	145	VSS
14	P32 / A17	58	AN10	102	P70 / BCLK	146	P130 / TIN16
15	P33 / A18	59	AN11	103	P71 / $\overline{\text{WAIT}}$	147	P131 / TIN17
16	P34 / A19	60	AN12	104	P72 / HREQ	148	P132 / TIN18
17	P35 / A20	61	AN13	105	P73 / $\overline{\text{HACK}}$	149	P133 / TIN19
18	P36 / A21	62	AN14	106	P74 / RTDXTD	150	P134 / TIN20
19	P37 / A22	63	AN15	107	P75 / RTDRXD	151	P135 / TIN21
20	P20 / A23	64	AVSS	108	P76 / RTDACK	152	P136 / TIN22
21	P21 / A24	65	VCCI	109	P77 / RTDCLK	153	P137 / TIN23
22	P22 / A25	66	VSS	110	P93 / TO16	154	VCCE
23	P23 / A26	67	P160 / TO21	111	P94 / TO17	155	VSS
24	P24 / A27	68	P161 / TO22	112	P95 / TO18	156	P140 / TIN8
25	P25 / A28	69	P162 / TO23	113	P96 / TO19	157	P141 / TIN9
26	P26 / A29	70	P163 / TO24	114	P97 / TO20	158	P142 / TIN10
27	P27 / A30	71	P164 / TO25	115	$\overline{\text{RESET}}$	159	P143 / TIN11
28	P00 / DB0	72	P165 / TO26	116	MOD0	160	P144 / TIN12
29	P01 / DB1	73	P166 / TO27	117	MOD1	161	P145 / TIN13
30	P02 / DB2	74	P167 / TO28	118	FP	162	P146 / TIN14
31	P03 / DB3	75	P172 / TIN24	119	VCCE	163	P147 / TIN15
32	P04 / DB4	76	P173 / TIN25	120	VSS	164	P150 / TIN0
33	P05 / DB5	77	P174 / TXD2	121	P110 / TO0	165	P151 / TIN1
34	P06 / DB6	78	P175 / RXD2	122	P111 / TO1	166	P152 / TIN2
35	P07 / DB7	79	P176 / TXD3	123	P112 / TO2	167	P153 / TIN3
36	VCCE	80	P177 / RXD3	124	P113 / TO3	168	P154 / TIN4
37	VSS	81	VCCE	125	P114 / TO4	169	P155 / TIN5
38	P10 / DB8	82	VSS	126	P115 / TO5	170	P156 / TIN6
39	P11 / DB9	83	P82 / TXD0	127	P116 / TO6	171	P157 / TIN7
40	P12 / DB10	84	P83 / RXD0	128	P117 / TO7	172	P41 / $\overline{\text{BLW}}$
41	P13 / DB11	85	P84 / SCLKI0 / SCLKO0	129	P100 / TO8	173	P42 / $\overline{\text{BHW}}$
42	P14 / DB12	86	P85 / TXD1	130	P101 / TO9	174	VCCI
43	P15 / DB13	87	P86 / RXD1	131	P102 / TO10	175	VSS
44	P16 / DB14	88	P87 / SCLKI1 / SCLKO1	132	VDD	176	P43 / $\overline{\text{RD}}$

空きページです

第2章

C P U

- 2.1 CPUレジスタ
- 2.2 汎用レジスタ
- 2.3 制御レジスタ
- 2.4 アキュムレータ
- 2.5 プログラムカウンタ
- 2.6 データフォーマット

2.1 CPUレジスタ

M32Rには16本の汎用レジスタ、5本の制御レジスタ、アキュムレータ及びプログラムカウンタがあります。アキュムレータは56ビット、その他のレジスタはすべて32ビット構成になっています。

2.2 汎用レジスタ

汎用レジスタは32ビット幅で16本(R0~R15)あり、データやベースアドレスの保持などに使用します。R14はリンクレジスタとして、R15はスタックポインタとして使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ(PSW)のスタックモード(SM)ビットの値に応じて割り込み用スタックポインタ(SPI)と、ユーザ用スタックポインタ(SPU)とに切り替わります。

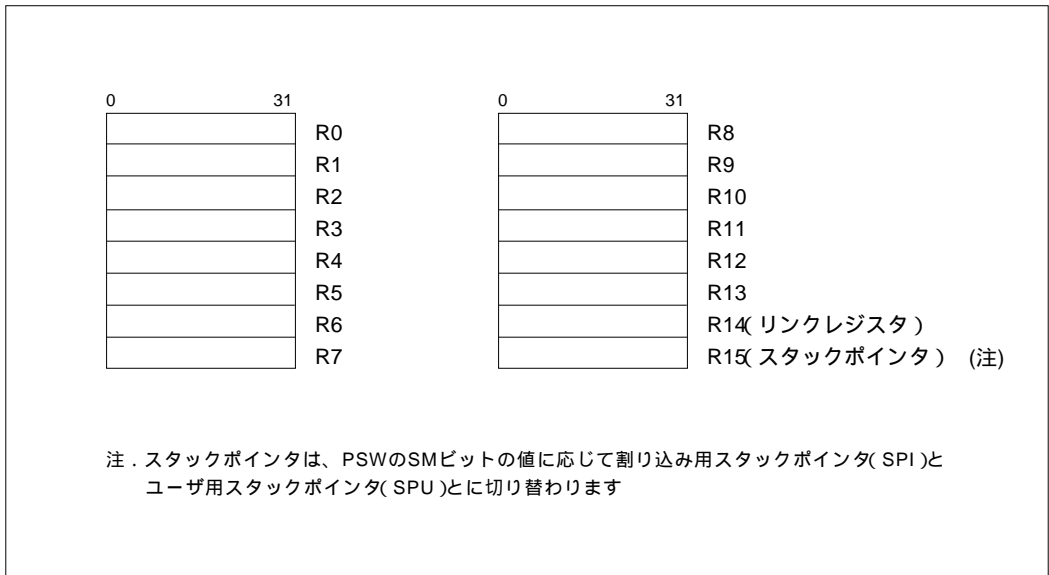


図2.2.1 汎用レジスタ

2.3 制御レジスタ

制御レジスタには、プロセッサ状態語レジスタ(PSW)、条件ビットレジスタ(CBR)、割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)、バックアップPC(BPC)の5つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。

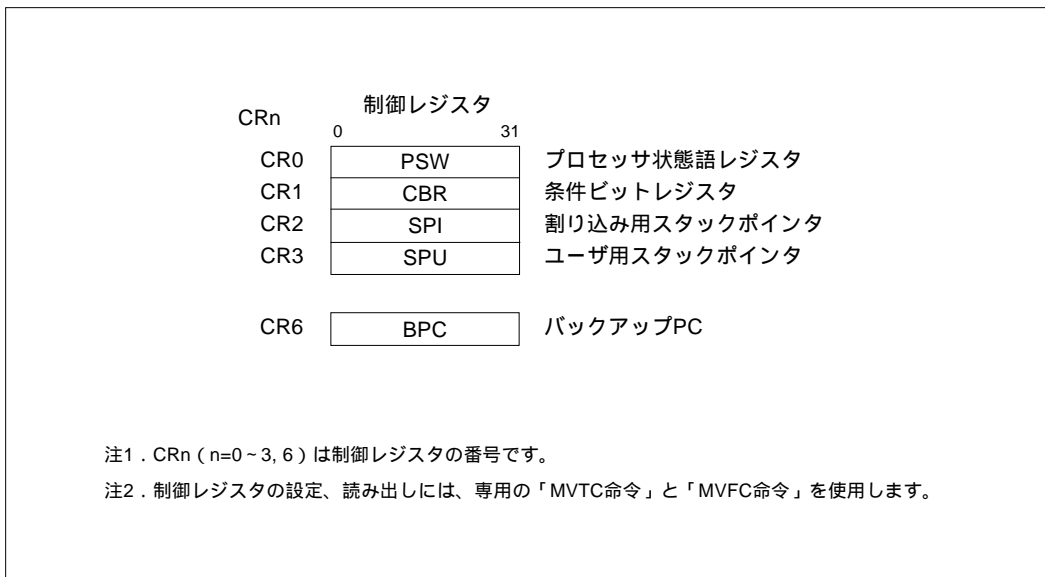


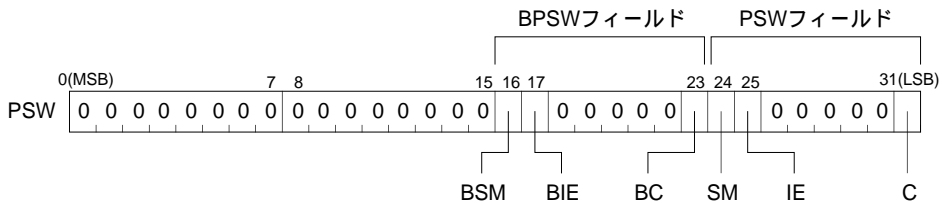
図2.3.1 制御レジスタ

2.3.1 プロセッサ状態語レジスタ：PSW(CR0)

プロセッサ状態語レジスタ(PSW)は、M32Rのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを待避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモード(SM)，割り込みイネーブル(IE)，条件ビット(C)の各ビットで構成しています。

また、BPSWフィールドはバックアップSMビット(BSM)，バックアップIEビット(BIE)，バックアップCビット(BC)の各ビットで構成しています。



(注1)

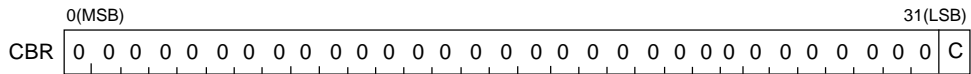
D	ビット名	機能	初	R	W
16	BSM(バックアップSM)	EIT受け付け時に、SMビットの値が保持される。	不定		
17	BIE(バックアップIE)	EIT受け付け時に、IEビットの値が保持される。	不定		
23	BC(バックアップC)	EIT受け付け時に、Cビットの値が保持される。	不定		
24	SM(スタックモード)	0：割り込み用スタックポインタを使用 1：ユーザ用スタックポインタを使用	0		
25	IE(割り込みイネーブル)	0：割り込みを受け付けない 1：割り込みを受け付ける	0		
31	α(条件ビット)	命令の実行に応じて演算結果のキャリー、ポロー、オーバーフローの有無を示す	0		

注1. 初 = リセット直後の状態，R = は読み出し可能を，W = は書き込み可能を示します。

注2. EIT事象発生時の各ビットの変化については、第4章「EIT」をご覧ください。

2.3.2 条件ビットレジスタ : CBR(CR1)

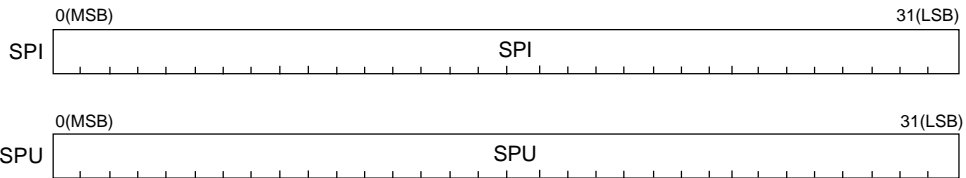
条件ビットレジスタ(CBR)は、PSWのうち条件ビット(C)を抜き出して別レジスタとしたものです。PSWのCビットに書き込まれた値はこのレジスタに反映されます。このレジスタは読み出しのみ可能です(「MVTC命令」で書き込みを行っても無視されます)。



2.3.3 割り込み用スタックポインタ : SPI(CR2)

ユーザ用スタックポインタ : SPU(CR3)

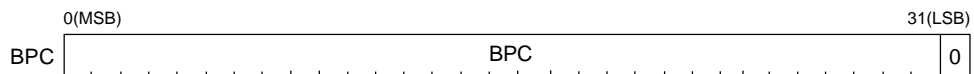
割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)は、現在のスタックポインタのアドレスを保持します。これらのレジスタは、汎用レジスタR15としてアクセスできます。このときR15をSPIとして使用するかSPUとして使用するかは、PSWのスタックモードビット(SM)によって切り替わります。



2.3.4 バックアップPC : BPC(CR6)

バックアップPC(BPC)は、EIT発生時にプログラムカウンタ(PC)の値を退避するためのレジスタです。ビット31は0固定です。

EIT発生時にはEIT発生直前のPCの値または次命令の値がセットされ、「RTE命令」実行時にBPCの値はPCに戻されます。ただし復帰時にPCの下位2ビットは常に"00"になります(常にワード境界に復帰します)。

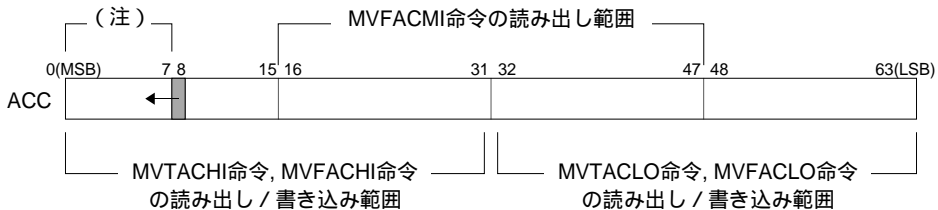


2.4 アキュムレータ

アキュムレータ(ACC)は、DSP機能用命令で使用される56ビットのレジスタです。読み出し時や書き込み時には64ビットのレジスタとして扱われ、読み出し時にはビット8の値が符号拡張されます。書き込み時にはビット0～7は無視されます。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット(ビット0～31)に、「MVTACLO命令」は下位側32ビット(ビット32～63)にデータを書き込みます。

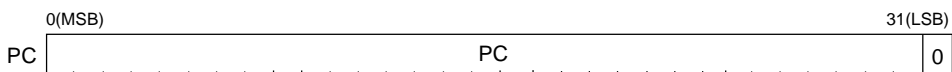
読み出しには「MVFACHI命令」、「MVFACLO命令」および「MVFACMI命令」を使用します。「MVFACHI命令」で上位側32ビット(ビット0～31)を、「MVFACLO命令」で下位側32ビット(ビット32～63)を、また「MVFACMI命令」で中央の32ビット(ビット16～47)のデータをそれぞれ読み出します。



注. ビット0～7は、ビット8の値を符号拡張された値が常に読み出されます。この部分への書き込みは無視されます。

2.5 プログラムカウンタ

プログラムカウンタ(PC)は32ビットのカウンタで、現在実行中の命令アドレスを保持します。M32Rの命令は偶数アドレスから始まるため、LSB(ビット31)は0になります。



2.6 データフォーマット

2.6.1 データタイプ

M32Rの命令セットで扱えるデータタイプは、符号付き、または符号なしの8, 16, 32ビット整数です。符号付き整数の値は2の補数で表現されます。

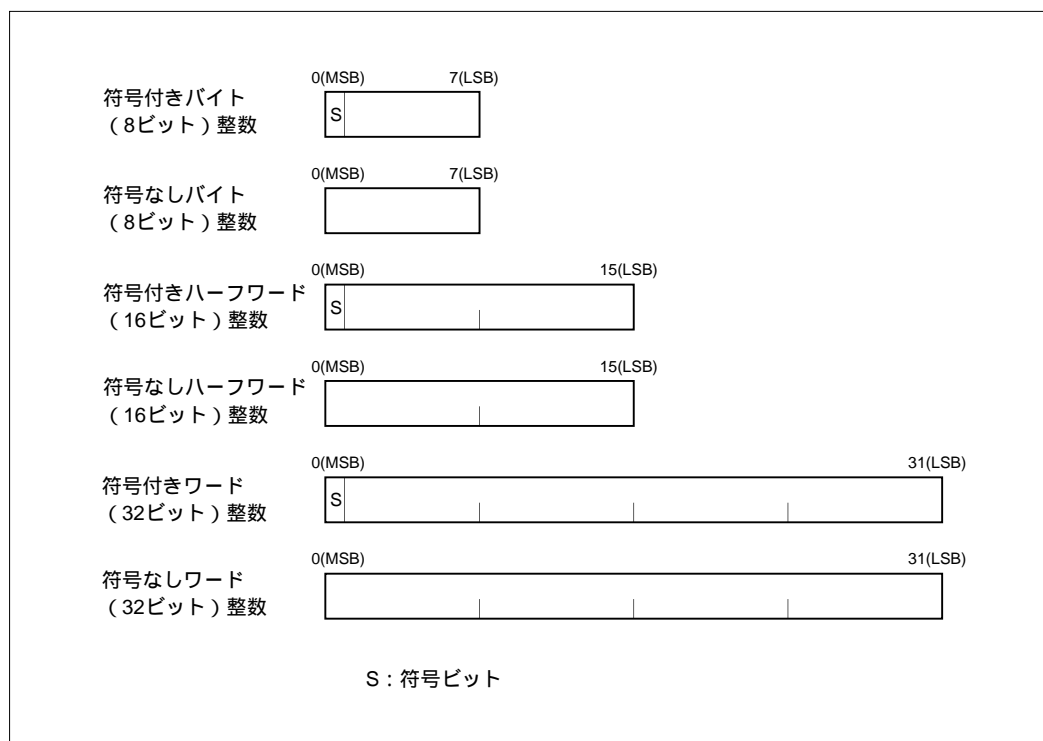


図2.6.1 データタイプ

2.6.2 データフォーマット

(1) レジスタ上のデータフォーマット

M32Rのレジスタ上でのデータサイズは常にワード(32ビット)です。

メモリ上のバイト(8ビット)、ハーフワード(16ビット)のデータをロードする場合は、ワード(32ビット)データに符号拡張(LDB, LDH命令)またはゼロ拡張(LDUB, LDUH命令)後、レジスタに格納されます。

M32Rのレジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

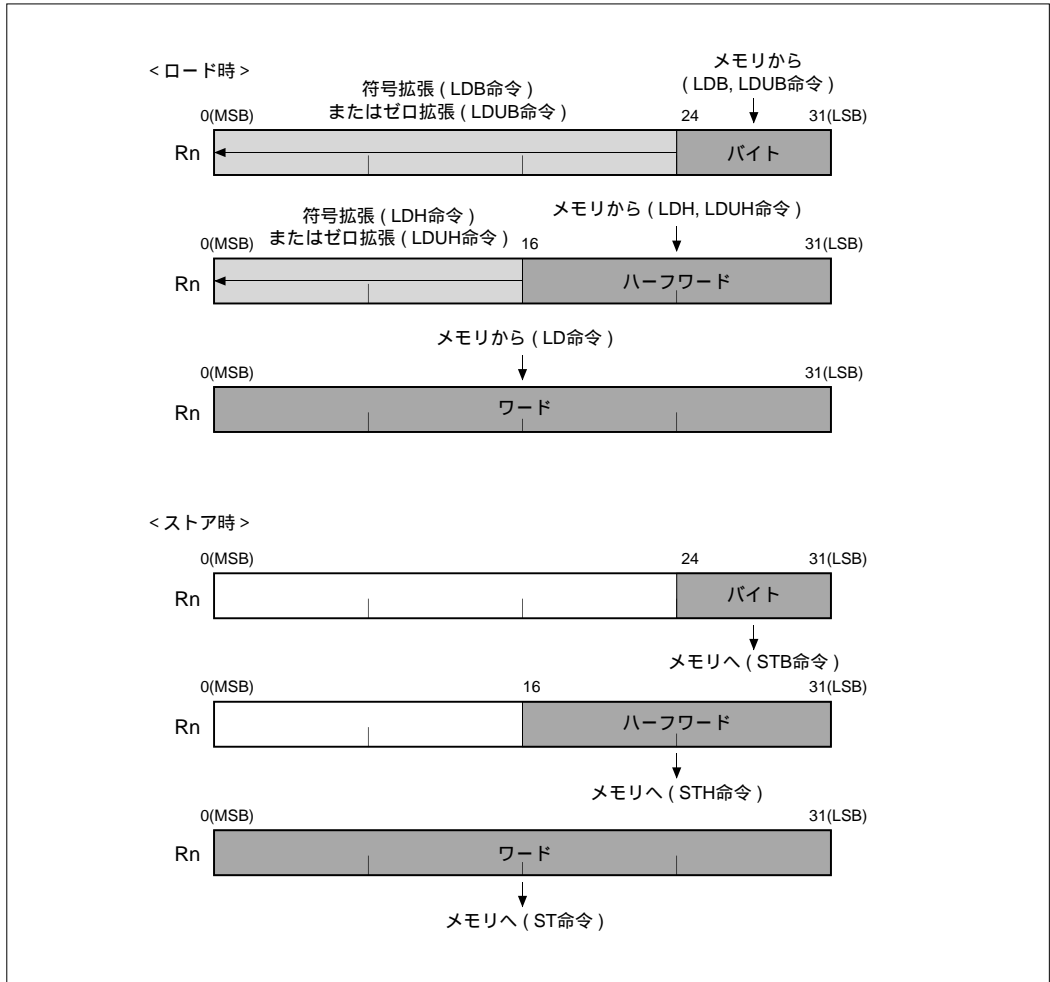


図2.6.2 レジスタ上のデータフォーマット

(2) メモリ上のデータフォーマット

メモリ上でのデータサイズはバイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界(アドレスの最下位ビットが"0"の番地)、またワードデータはワード境界(アドレスの下位2ビットが"00"の番地)に配置されなければなりません。この境界をまたぐメモリデータをアクセスしようとするするとアドレス例外が発生します。

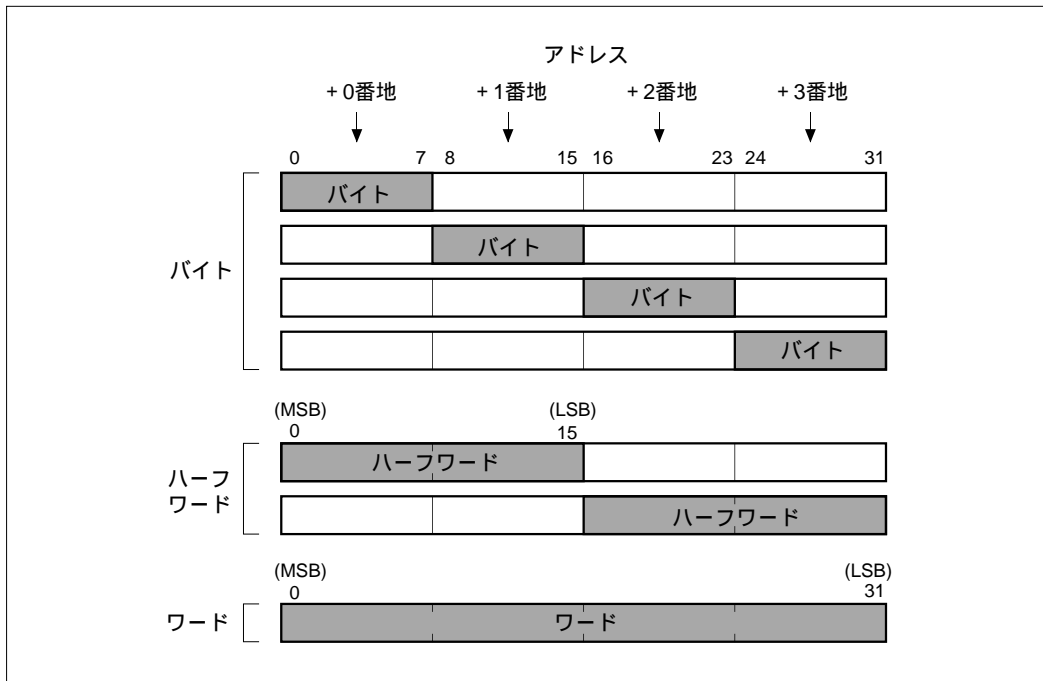


図2.6.3 メモリ上のデータフォーマット

(3) エンディアン

エンディアンの方式およびM32Rファミリのエンディアンを以下に示します。

	ビットエンディアン (H'01)	バイトエンディアン (H'01234567)
ビッグエンディアン	MSB LSB B'0000001 D0 D7	MSB LSB H'01 H'23 H'45 H'67 HH HL LH LL
リトルエンディアン	MSB LSB B'0000001 D7 D0	MSB LSB H'67 H'45 H'23 H'01 LL LH HL HH

注 . ビットビッグエンディアンであってもH'01がB'10000000ではありません。

図2.6.4 エンディアンの方式

MPU名	7700ファミリ M16Cファミリ	他社マイコン	M32Rファミリ M16ファミリ
エンディアン (ビット/バイト)	リトル/リトル	リトル/ビッグ	ビッグ/ビッグ
アドレス	+0 +1 +2 +3	+0 +1 +2 +3	+0 +1 +2 +3
データ配置	MSB LSB LL LH HL HH	MSB LSB HH HL LH LL	MSB LSB HH HL LH LL
ビット番号	31~24 23~16 15~8 7~0	31~24 23~16 15~8 7~0	0~7 8~15 16~23 24~31
例:0x01234567	.byte 67,45,23,01	.byte 01,23,45,67	.byte 01,23,45,67

注 . M32Rはビット・バイトともにビッグエンディアンです。

図2.6.5 M32Rファミリのエンディアン

(4)転送命令

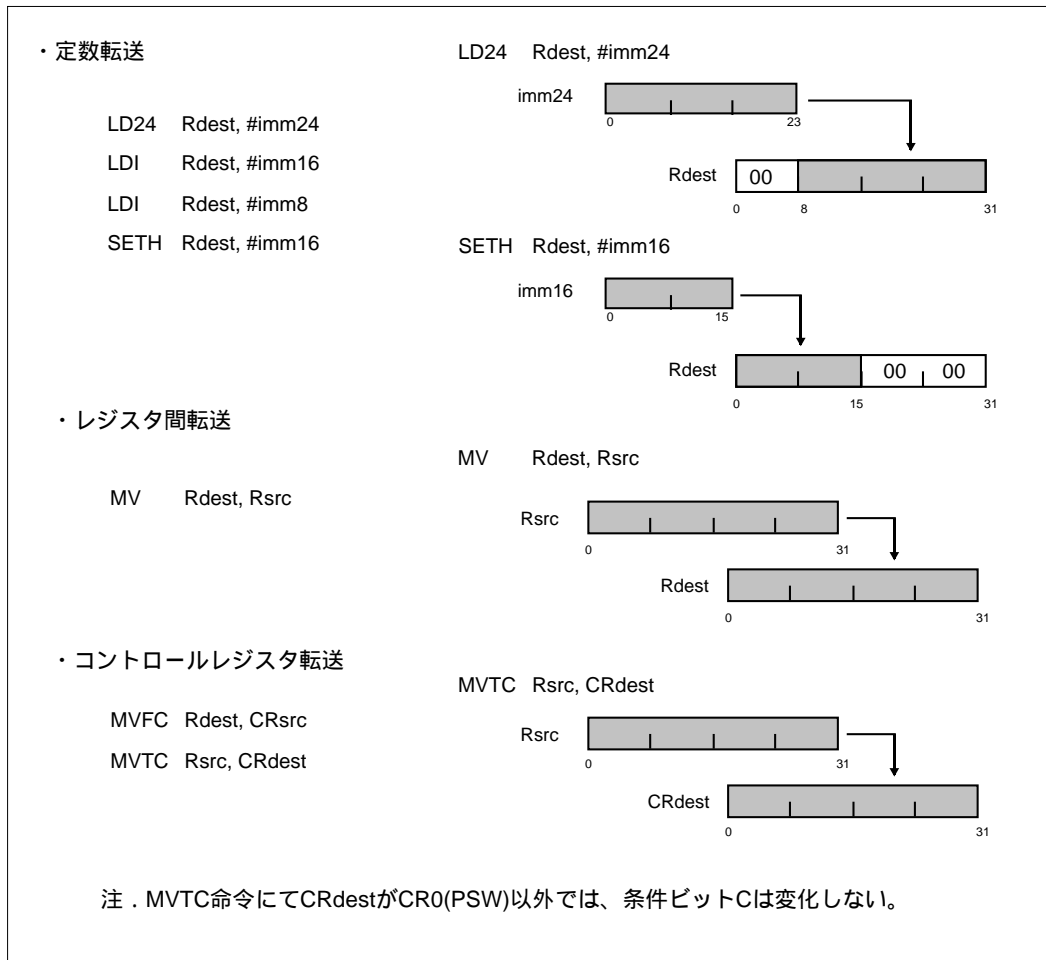


図2.6.6 転送命令

(5)メモリ(符号あり)からレジスタへの転送

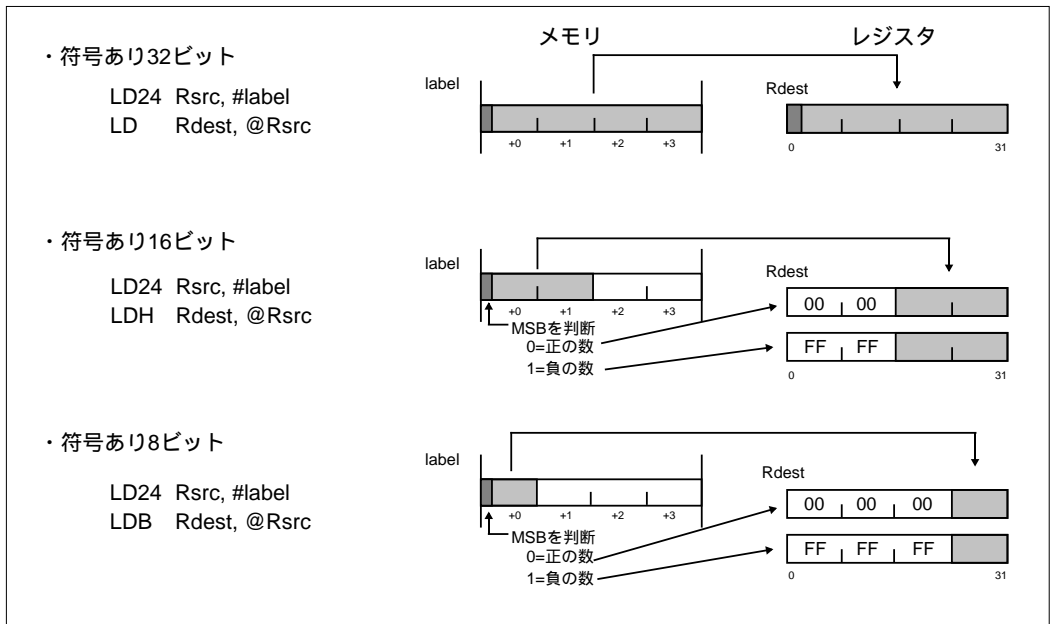


図2.6.7 メモリ(符号あり)からレジスタへの転送

(6)メモリ(符号なし)からレジスタ転送

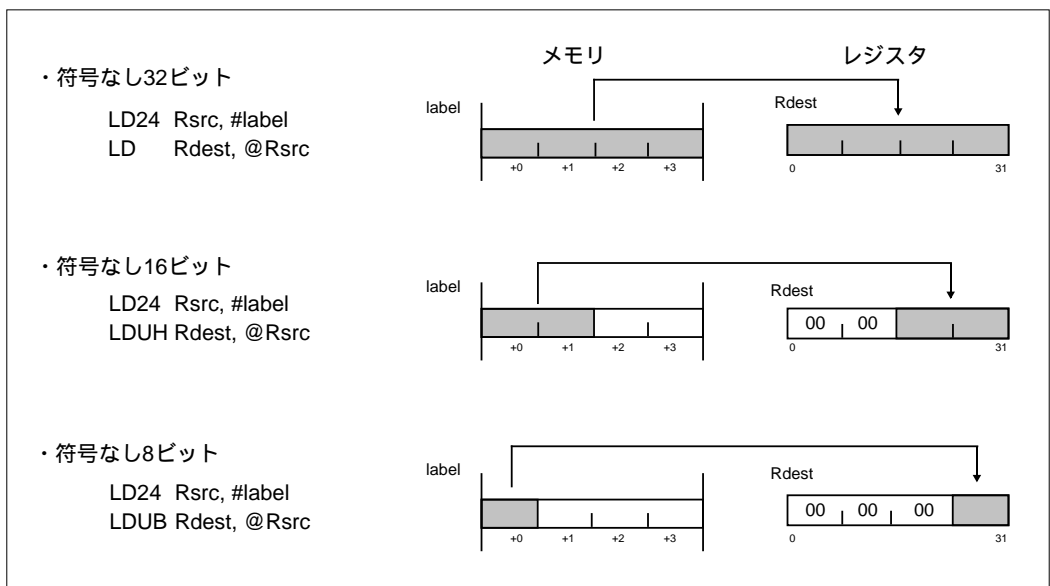


図2.6.8 メモリ(符号なし)からレジスタへの転送

(7)データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。

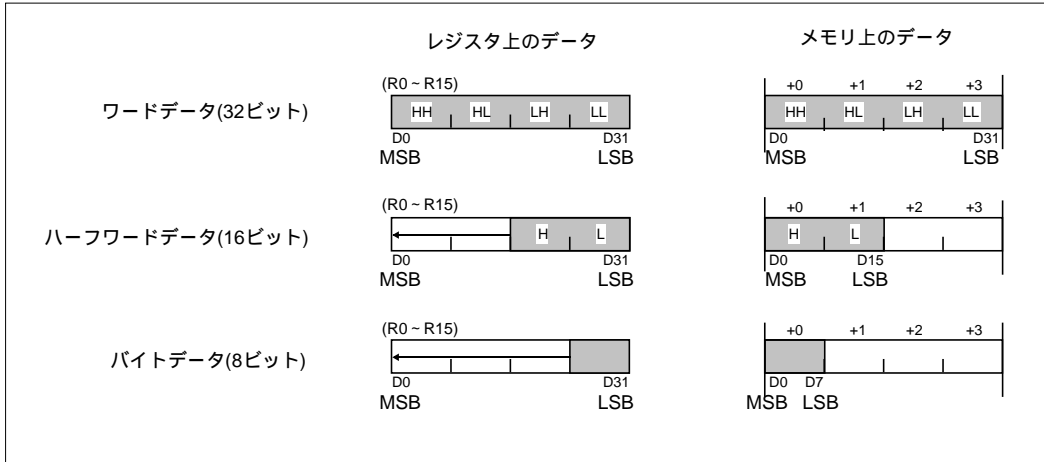


図2.6.9 データ配置の違い

空きページです

第3章

アドレス空間

- 3.1 アドレス空間概要
- 3.2 動作モード
- 3.3 内蔵ROM領域 / 外部拡張領域
- 3.4 内蔵RAM領域 / SFR領域
- 3.5 EITベクタエントリ
- 3.6 ICUベクタテーブル
- 3.7 アドレス空間の注意事項

3.1 アドレス空間概要

32160の論理アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。32160のアドレス空間には、以下の空間が存在します。

(1) ユーザ空間

内蔵ROM領域
外部拡張領域
内蔵RAM領域
SFR(Special Function Register)領域

(2) ブートプログラム空間

(3) システム空間(ユーザ非公開領域)

(1) ユーザ空間

H'0000 0000 ~ H'7FFF FFFF番地の2Gバイトはユーザ空間です。この空間には、内蔵ROM領域、外部拡張領域、内蔵RAM領域、SFR(Special Function Register)領域(内蔵周辺I/Oのレジスタ群)などが配置されます。このうち内蔵ROM領域と外部拡張領域は、後で述べるモード設定で配置が異なります。

(2) ブートプログラム空間

H'8000 0000 ~ H'BFFF FFFF番地の1Gバイトはブートプログラム領域です。この空間は、内蔵フラッシュ領域がブランク状態時、オンボード書き込みを可能にするためのプログラム(ブートプログラム)が格納されています。

(3) システム空間

H'C000 0000 ~ H'FFFF FFFF番地の1Gバイトはシステム領域です。この空間は、インサーキットエミュレータや、デバッグ用モニタなどの開発ツール提供のために予約されており、ユーザが使用することはできません。

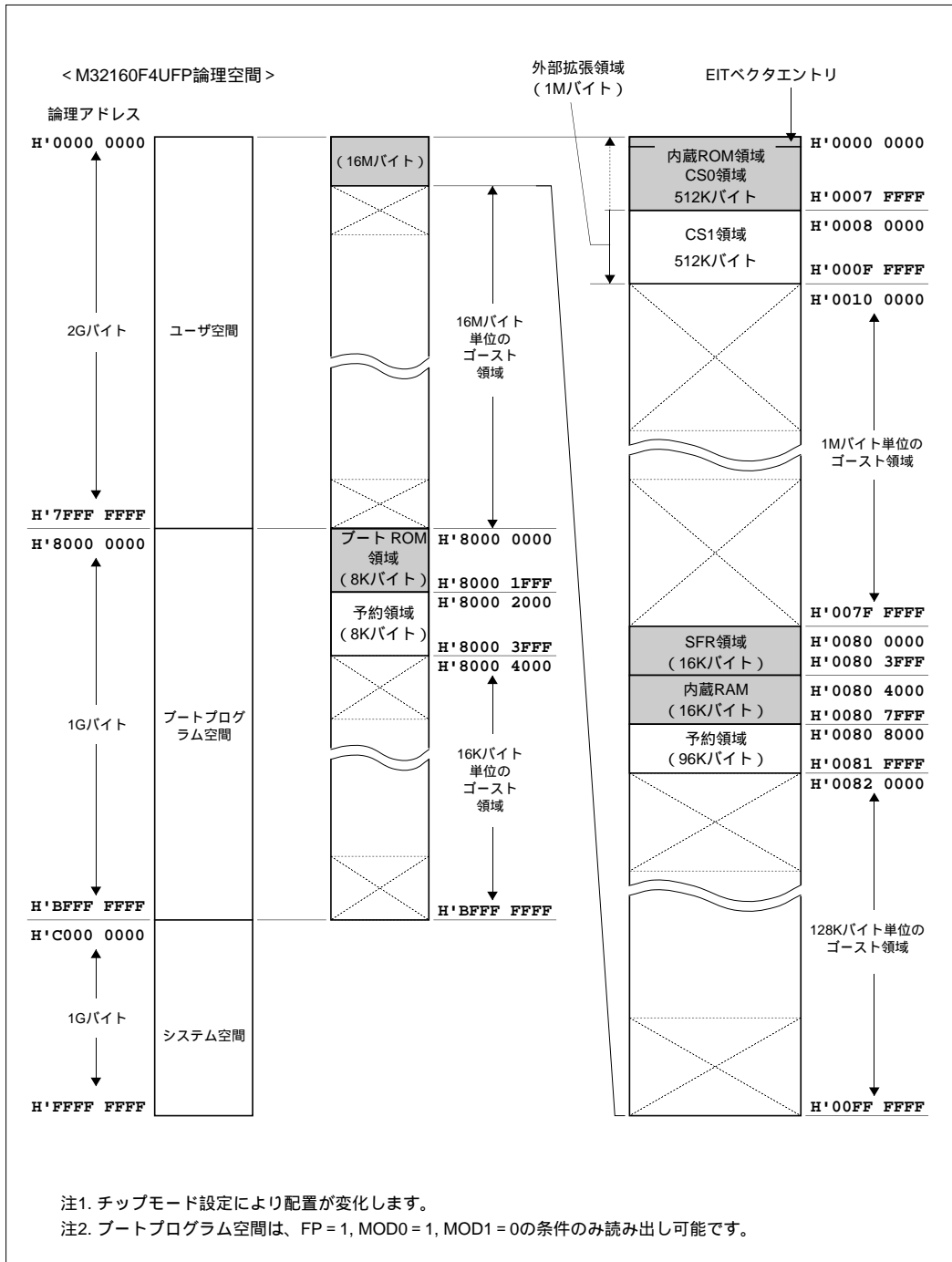


図3.1.1 M32160F4UFPのアドレス空間

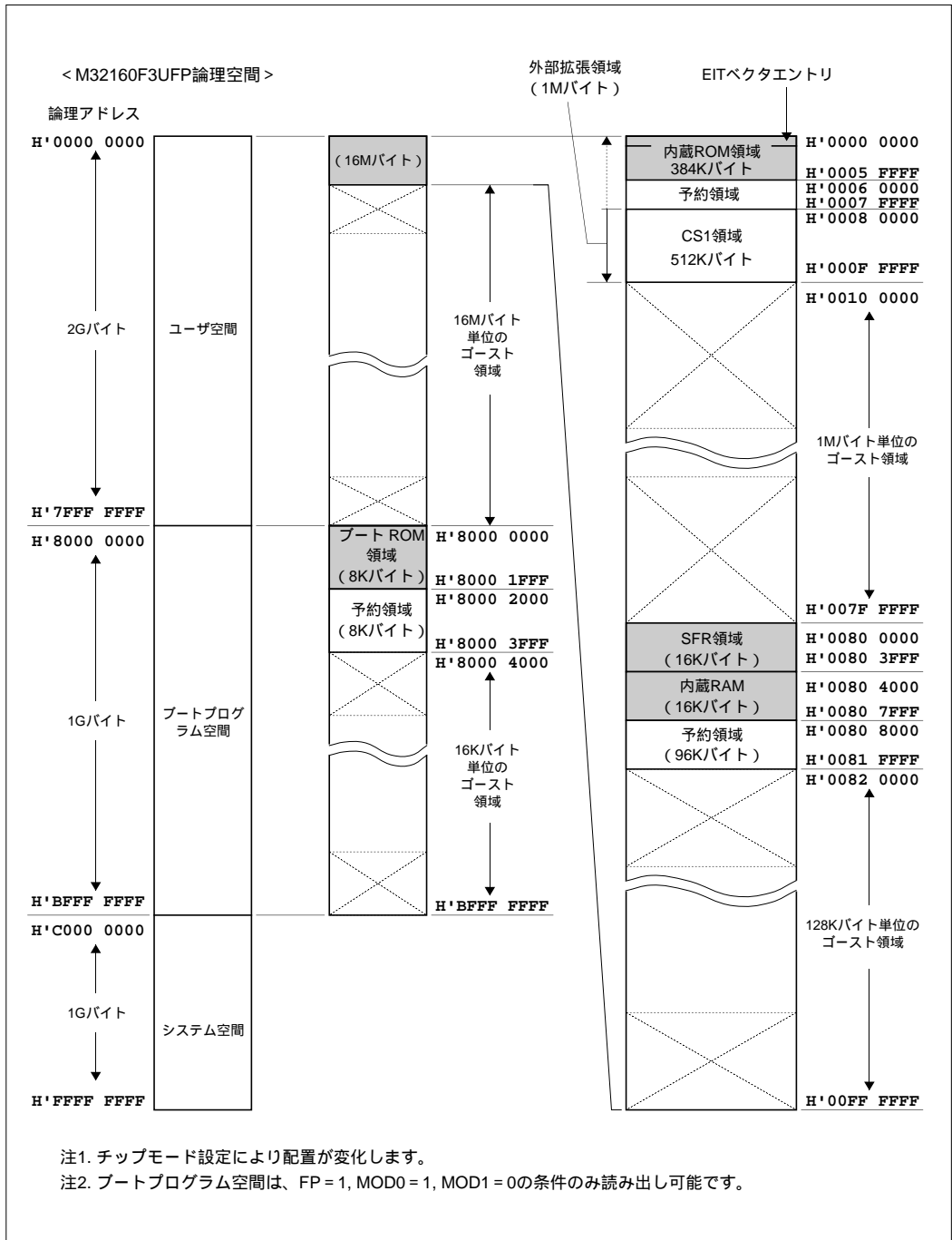


図3.1.2 M32160F3UFPのアドレス空間

3.2 動作モード

32160はチップ動作モードの設定(MOD0, MOD1端子の設定)により、以下のモードになります。ただし、内蔵フラッシュメモリ書き替えのためのモードについては、5.5章「内蔵フラッシュメモリの書き込み」をご覧ください。

表3.2.1 動作モードの設定

MOD0	MOD1(注1)	動作モード(注2)
VSS	VSS	シングルチップモード
VSS	VCC	外部拡張モード
VCC	VSS	プロセッサモード(FP=VSS)
VCC	VCC	reserved(使用禁止)

注1. 各記号、VCCは+5Vに、VSSはGNDに接続します。

注2. この表に書かれていないフラッシュ書き替えのためのモード(FP=VCC時)については、5.5「内蔵フラッシュメモリの書き込み」をご覧ください。

32160の動作モードによって内蔵ROM領域/外部拡張領域の配置は異なります(アドレス空間の他の領域は同じ配置です)。以下に各モードにおける内蔵ROM領域/外部拡張領域のアドレスマップを示します(フラッシュ書き替え時のモードについては5.5「内蔵フラッシュメモリの書き込み」をご覧ください)。

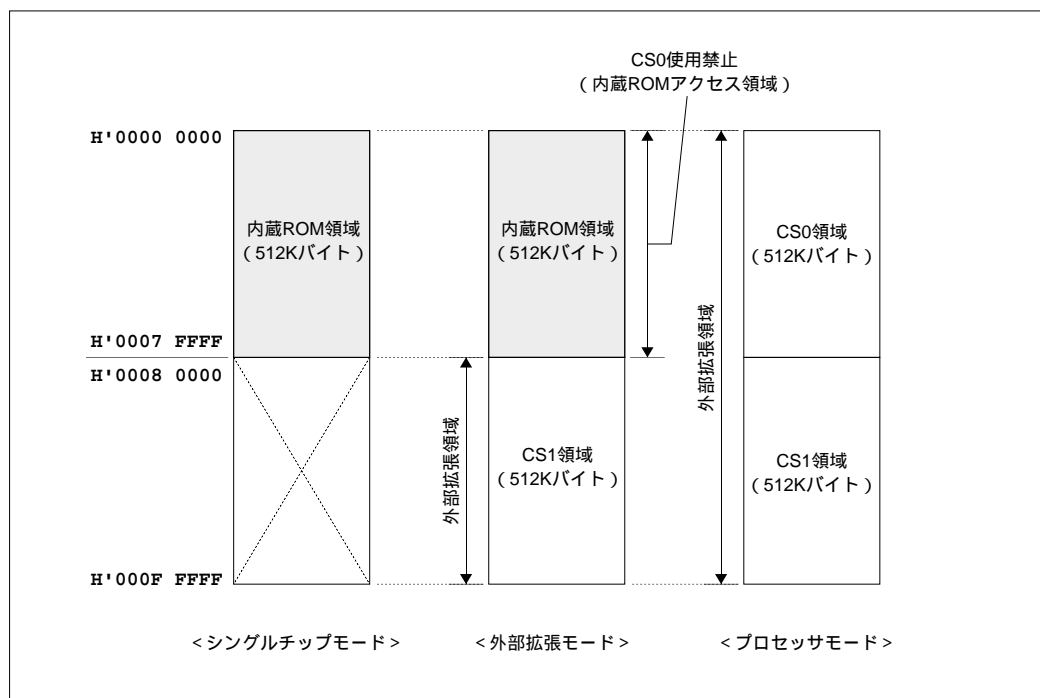


図3.2.1 M32160F4UFPの動作モードと内蔵ROM領域/外部拡張領域

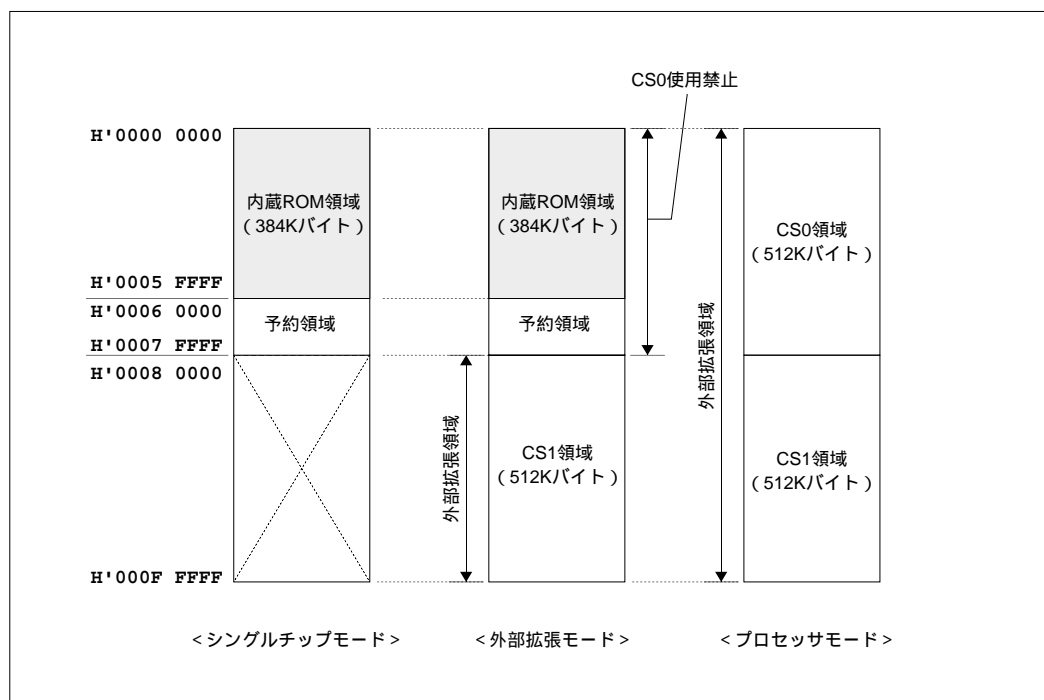


図3.2.2 M32160F3UFPの動作モードと内蔵ROM領域 / 外部拡張領域

3.3 内蔵ROM領域 / 外部拡張領域

ユーザ空間内のH'0000 0000 ~ H'007F FFFF番地の8Mバイト領域は、内蔵ROM領域 / 外部拡張領域です。このうち、ユーザが実際に利用可能な空間は、H'0000 0000 ~ H'000F FFFF番地の1Mバイトで、それ以外の領域には1Mバイト単位のゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

32160の動作モード設定による内蔵ROM領域 / 外部拡張領域の配置の変化については、3.2「動作モード」をご覧ください。

3.3.1 内蔵ROM領域

以下の領域に内蔵ROMが配置されます。この領域の先頭にはEITベクタエントリ(およびICUベクタテーブル)が配置されます。

表3.3.1 32160の内蔵ROM領域

形名	容量	配置アドレス
M32160F4UFP	512Kバイト	H'0000 0000 ~ H'0007 FFFF
M32160F3UFP	384Kバイト	H'0000 0000 ~ H'0005 FFFF

3.3.2 外部拡張領域

動作モード設定で、外部拡張モードおよびプロセッサモード選択時のみ、外部拡張領域になります。外部拡張領域へのアクセスに対して、外部デバイスのアクセスに必要な制御信号が出力されます。

32160の $\overline{CS0}$ 、 $\overline{CS1}$ 信号は、外部拡張領域のアドレスマッピングに対応して出力します。 $\overline{CS0}$ 信号がCS0領域に、 $\overline{CS1}$ 信号がCS1領域にそれぞれ出力します。

表3.3.2 各動作モードにおける外部拡張領域のマッピング

動作モード	外部拡張領域のアドレスマッピング
シングルチップモード	なし
外部拡張モード	H'0008 0000 ~ H'000F FFFF番地 (CS1領域: 512Kバイト)
プロセッサモード	H'0000 0000 ~ H'0007 FFFF番地 (CS0領域: 512Kバイト) H'0008 0000 ~ H'000F FFFF番地 (CS1領域: 512Kバイト)

3.4 内蔵RAM領域 / SFR領域

H'0080 0000 ~ H'00FF FFFF番地の8Mバイトの領域は、内蔵RAM領域 / SFR(Special Function Register)領域です。このうち、ユーザが実際に利用可能な空間は、H'0080 0000 ~ H'0081 FFFF番地の128Kバイトの領域で、それ以外の領域には128Kバイト単位のゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

3.4.1 内蔵RAM領域

H'0080 4000 ~ H'0080 7FFF番地には、内蔵RAM(16Kバイト)が配置されます。

3.4.2 SFR(Special Function Register)領域

H'0080 0000 ~ H'0080 3FFF番地はSFR(Special Function Register)領域です。SFR領域には、内蔵周辺I/Oのレジスタが配置されます。

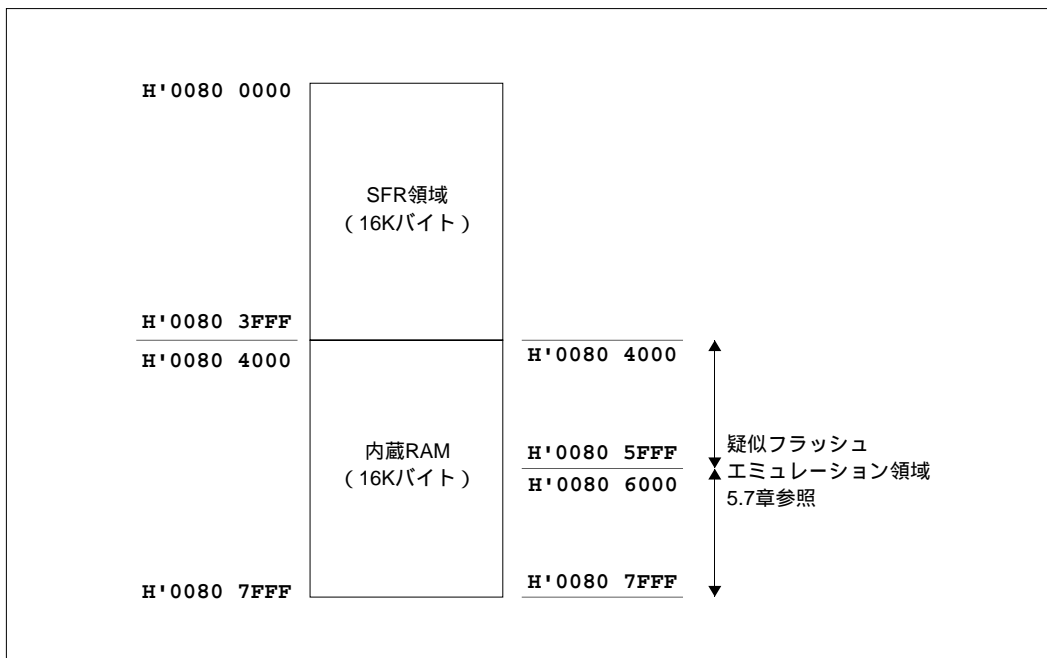


図3.4.1 内蔵RAM領域 / SFR(Special Function Register)領域

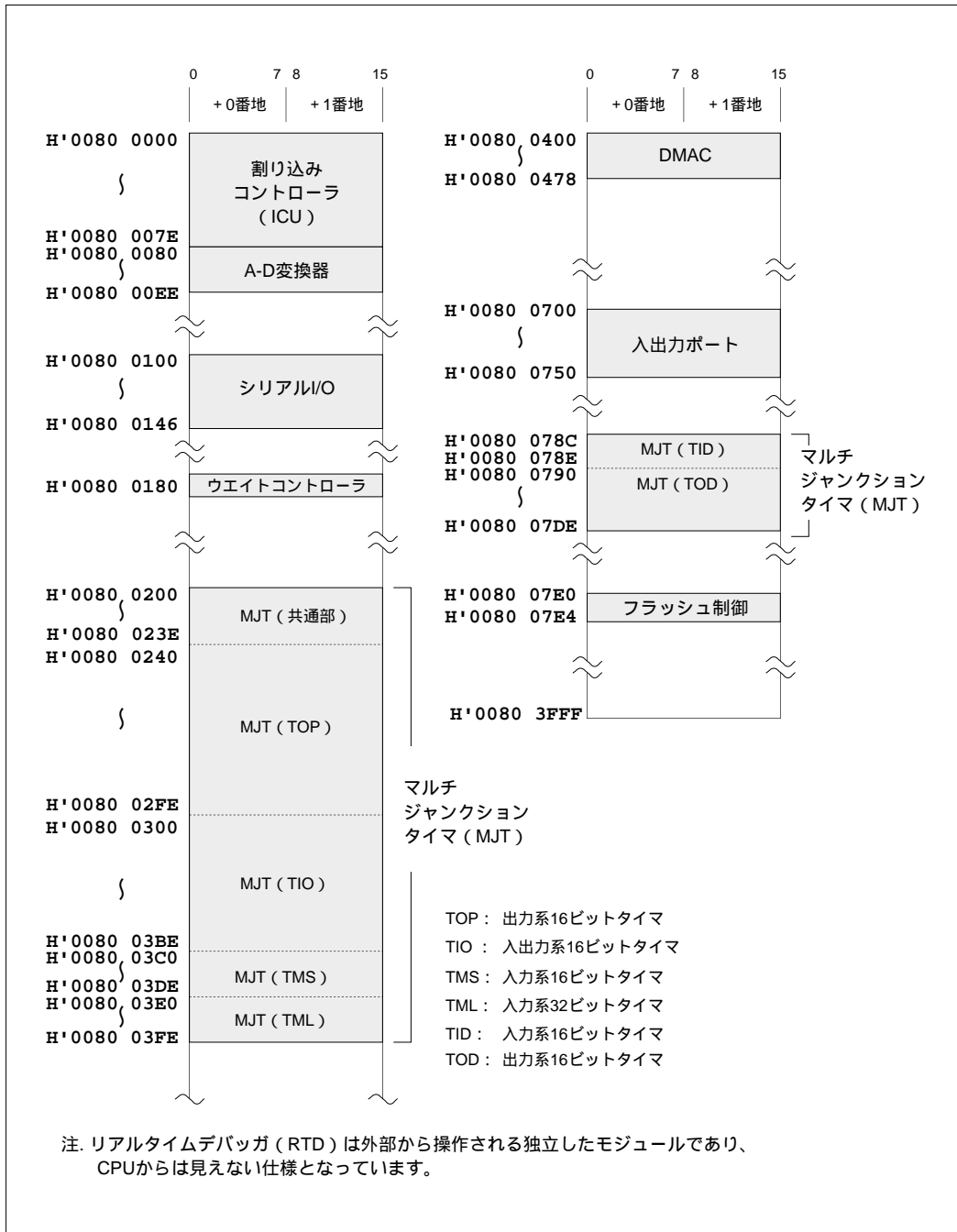


図3.4.2 SFR領域のマッピング概要

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 0000	割り込みベクタレジスタ (IVECT)				
H'0080 0002					
H'0080 0004	割り込みマスクレジスタ (IMASK)				
H'0080 0006	SBI制御レジスタ (SBICR)				
H'0080 0066	RTD割り込み制御レジスタ (IRTDCR)				
H'0080 0068	SIO2,3送受信割り込み制御レジスタ (ISIO23CR)		DMA5 ~ 9割り込み制御レジスタ (IDMA59CR)		
H'0080 006A	TOD出力割り込み制御レジスタ (ITODCR)		TID入力割り込み制御レジスタ (ITIDCR)		
H'0080 006C	A-D変換割り込み制御レジスタ (IADCCR)		SIO0送信割り込み制御レジスタ (ISIO0TXCR)		
H'0080 006E	SIO0受信割り込み制御レジスタ (ISIO0RXCR)		SIO1送信割り込み制御レジスタ (ISIO1TXCR)		
H'0080 0070	SIO1受信割り込み制御レジスタ (ISIO1RXCR)		DMA0 ~ 4割り込み制御レジスタ (IDMA04CR)		
H'0080 0072	MJT出力割り込み制御レジスタ0 (IMJTOCR0)		MJT出力割り込み制御レジスタ1 (IMJTOCR1)		
H'0080 0074	MJT出力割り込み制御レジスタ2 (IMJTOCR2)		MJT出力割り込み制御レジスタ3 (IMJTOCR3)		
H'0080 0076	MJT出力割り込み制御レジスタ4 (IMJTOCR4)		MJT出力割り込み制御レジスタ5 (IMJTOCR5)		
H'0080 0078	MJT出力割り込み制御レジスタ6 (IMJTOCR6)		MJT出力割り込み制御レジスタ7 (IMJTOCR7)		
H'0080 007A	MJT入力割り込み制御レジスタ0 (IMJTICR0)		MJT入力割り込み制御レジスタ1 (IMJTICR1)		
H'0080 007C	MJT入力割り込み制御レジスタ2 (IMJTICR2)		MJT入力割り込み制御レジスタ3 (IMJTICR3)		
H'0080 007E	MJT入力割り込み制御レジスタ4 (IMJTICR4)				
H'0080 0080	単一モードレジスタ0 (ADSIM0)		単一モードレジスタ1 (ADSIM1)		
H'0080 0082					
H'0080 0084	スキャンモードレジスタ0 (ADSCM0)		スキャンモードレジスタ1 (ADSCM1)		
H'0080 0086					
H'0080 0088	A-D逐次近似レジスタ (ADSAR)				
H'0080 008A					
H'0080 008C	A-Dコンパレートデータレジスタ (ADCMP)				
H'0080 008E					
H'0080 0090	10ビットA-Dデータレジスタ0 (ADDT0)				
H'0080 0092	10ビットA-Dデータレジスタ1 (ADDT1)				
H'0080 0094	10ビットA-Dデータレジスタ2 (ADDT2)				
H'0080 0096	10ビットA-Dデータレジスタ3 (ADDT3)				
H'0080 0098	10ビットA-Dデータレジスタ4 (ADDT4)				
H'0080 009A	10ビットA-Dデータレジスタ5 (ADDT5)				
H'0080 009C	10ビットA-Dデータレジスタ6 (ADDT6)				
H'0080 009E	10ビットA-Dデータレジスタ7 (ADDT7)				
H'0080 00A0	10ビットA-Dデータレジスタ8 (ADDT8)				
H'0080 00A2	10ビットA-Dデータレジスタ9 (ADDT9)				
H'0080 00A4	10ビットA-Dデータレジスタ10 (ADDT10)				
H'0080 00A6	10ビットA-Dデータレジスタ11 (ADDT11)				
H'0080 00A8	10ビットA-Dデータレジスタ12 (ADDT12)				
H'0080 00AA	10ビットA-Dデータレジスタ13 (ADDT13)				
H'0080 00AC	10ビットA-Dデータレジスタ14 (ADDT14)				
H'0080 00AE	10ビットA-Dデータレジスタ15 (ADDT15)				
H'0080 00D0	8ビットA-Dデータレジスタ0 (AD8DT0)				
H'0080 00D2	8ビットA-Dデータレジスタ1 (AD8DT1)				
H'0080 00D4	8ビットA-Dデータレジスタ2 (AD8DT2)				
H'0080 00D6	8ビットA-Dデータレジスタ3 (AD8DT3)				
H'0080 00D8	8ビットA-Dデータレジスタ4 (AD8DT4)				

空き領域は予約領域です

図3.4.3 SFR領域のレジスタマッピング(1)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 00DA				8ビットA-Dデータレジスタ5 (AD8DT5)	
H'0080 00DC				8ビットA-Dデータレジスタ6 (AD8DT6)	
H'0080 00DE				8ビットA-Dデータレジスタ7 (AD8DT7)	
H'0080 00E0				8ビットA-Dデータレジスタ8 (AD8DT8)	
H'0080 00E2				8ビットA-Dデータレジスタ9 (AD8DT9)	
H'0080 00E4				8ビットA-Dデータレジスタ10 (AD8DT10)	
H'0080 00E6				8ビットA-Dデータレジスタ11 (AD8DT11)	
H'0080 00E8				8ビットA-Dデータレジスタ12 (AD8DT12)	
H'0080 00EA				8ビットA-Dデータレジスタ13 (AD8DT13)	
H'0080 00EC				8ビットA-Dデータレジスタ14 (AD8DT14)	
H'0080 00EE				8ビットA-Dデータレジスタ15 (AD8DT15)	
H'0080 0100	SIO割り込みステータスレジスタ (SISTAT)		SIO割り込みマスクレジスタ (SIMASK)		
H'0080 0102	SIO受信割り込み要因選択レジスタ (SISEL)				
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)		SIO0送受信モードレジスタ (S0MOD)		
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)				
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)				
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)		SIO0ポーレートレジスタ (S0BAUR)		
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)		SIO1送受信モードレジスタ (S1MOD)		
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)				
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)				
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)		SIO1ポーレートレジスタ (S1BAUR)		
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)		SIO2送受信モードレジスタ (S2MOD)		
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)				
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)				
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)		SIO2ポーレートレジスタ (S2BAUR)		
H'0080 0140	SIO3送信制御レジスタ (S3TCNT)		SIO3送受信モードレジスタ (S3MOD)		
H'0080 0142	SIO3送信バッファレジスタ (S3TXB)				
H'0080 0144	SIO3受信バッファレジスタ (S3RXB)				
H'0080 0146	SIO3受信制御レジスタ (S3RCNT)		SIO3ポーレートレジスタ (S3BAUR)		
H'0080 0180	ウェイト数制御レジスタ (WTCCR)				
H'0080 0200				クロックバス&入カイベントバス制御レジスタ (CKIEBCR)	
H'0080 0202	プリスケアラレジスタ0 (PRS0)		プリスケアラレジスタ1 (PRS1)		
H'0080 0204	プリスケアラレジスタ2 (PRS2)		出力イベントバス制御レジスタ (OEBCR)		
H'0080 0210	TCLK入力処理制御レジスタ (TCLKCR)				
H'0080 0212	TIN入力処理制御レジスタ0 (TINCR0)				
H'0080 0214	TIN入力処理制御レジスタ1 (TINCR1)				
H'0080 0216	TIN入力処理制御レジスタ2 (TINCR2)				
H'0080 0218	TIN入力処理制御レジスタ3 (TINCR3)				
H'0080 021A				TIN入力処理制御レジスタ4 (TINCR4)	
H'0080 021C					

空き領域は予約領域です

図3.4.4 SFR領域のレジスタマッピング(2)

番地	+ 0番地	+ 1番地
	D0	D7, D8
		D15
H'0080 021E		
H'0080 0220	F/Fソース選択レジスタ0 (FFS0)	
H'0080 0222	F/Fソース選択レジスタ1 (FFS1)	
H'0080 0224	F/Fプロテクトレジスタ0 (FFP0)	
H'0080 0226	F/Fデータレジスタ0 (FFD0)	
H'0080 0228	F/Fプロテクトレジスタ1 (FFP1)	
H'0080 022A	F/Fデータレジスタ1 (FFD1)	
~		
H'0080 0230	TOP割り込み制御レジスタ0 (TOPIR0)	TOP割り込み制御レジスタ1 (TOPIR1)
H'0080 0232	TOP割り込み制御レジスタ2 (TOPIR2)	TOP割り込み制御レジスタ3 (TOPIR3)
H'0080 0234	TIO割り込み制御レジスタ0 (TIOIR0)	TIO割り込み制御レジスタ1 (TIOIR1)
H'0080 0236	TIO割り込み制御レジスタ2 (TIOIR2)	TMS割り込み制御レジスタ (TMSIR)
H'0080 0238	TIN割り込み制御レジスタ0 (TINIR0)	TIN割り込み制御レジスタ1 (TINIR1)
H'0080 023A	TIN割り込み制御レジスタ2 (TINIR2)	TIN割り込み制御レジスタ3 (TINIR3)
H'0080 023C	TIN割り込み制御レジスタ4 (TINIR4)	TIN割り込み制御レジスタ5 (TINIR5)
H'0080 023E	TIN割り込み制御レジスタ6 (TINIR6)	
H'0080 0240	TOP0カウンタ (TOP0CT)	
H'0080 0242	TOP0リロードレジスタ (TOP0RL)	
H'0080 0244		
H'0080 0246	TOP0補正レジスタ (TOP0CC)	
~		
H'0080 0250	TOP1カウンタ (TOP1CT)	
H'0080 0252	TOP1リロードレジスタ (TOP1RL)	
H'0080 0254		
H'0080 0256	TOP1補正レジスタ (TOP1CC)	
~		
H'0080 0260	TOP2カウンタ (TOP2CT)	
H'0080 0262	TOP2リロードレジスタ (TOP2RL)	
H'0080 0264		
H'0080 0266	TOP2補正レジスタ (TOP2CC)	
~		
H'0080 0270	TOP3カウンタ (TOP3CT)	
H'0080 0272	TOP3リロードレジスタ (TOP3RL)	
H'0080 0274		
H'0080 0276	TOP3補正レジスタ (TOP3CC)	
~		
H'0080 0280	TOP4カウンタ (TOP4CT)	
H'0080 0282	TOP4リロードレジスタ (TOP4RL)	
H'0080 0284		
H'0080 0286	TOP4補正レジスタ (TOP4CC)	
~		
H'0080 0290	TOP5カウンタ (TOP5CT)	
H'0080 0292	TOP5リロードレジスタ (TOP5RL)	
H'0080 0294		
H'0080 0296	TOP5補正レジスタ (TOP5CC)	
H'0080 0298		
H'0080 029A	TOP0 ~ 5制御レジスタ0 (TOP05CR0)	
H'0080 029C	TOP0 ~ 5制御レジスタ1 (TOP05CR1)	

空き領域は予約領域です

図3.4.5 SFR領域のレジスタマッピング(3)

番地	D0	+ 0番地	D7	D8	+ 1番地	D15
H'0080 029E						
H'0080 02A0		TOP6カウンタ (TOP6CT)				
H'0080 02A2		TOP6リロードレジスタ (TOP6RL)				
H'0080 02A4						
H'0080 02A6		TOP6補正レジスタ (TOP6CC)				
H'0080 02A8						
H'0080 02AA		TOP6,7制御レジスタ (TOP67CR)				
~						
H'0080 02B0		TOP7カウンタ (TOP7CT)				
H'0080 02B2		TOP7リロードレジスタ (TOP7RL)				
H'0080 02B4						
H'0080 02B6		TOP7補正レジスタ (TOP7CC)				
~						
H'0080 02C0		TOP8カウンタ (TOP8CT)				
H'0080 02C2		TOP8リロードレジスタ (TOP8RL)				
H'0080 02C4						
H'0080 02C6		TOP8補正レジスタ (TOP8CC)				
~						
H'0080 02D0		TOP9カウンタ (TOP9CT)				
H'0080 02D2		TOP9リロードレジスタ (TOP9RL)				
H'0080 02D4						
H'0080 02D6		TOP9補正レジスタ (TOP9CC)				
~						
H'0080 02E0		TOP10カウンタ (TOP10CT)				
H'0080 02E2		TOP10リロードレジスタ (TOP10RL)				
H'0080 02E4						
H'0080 02E6		TOP10補正レジスタ (TOP10CC)				
H'0080 02E8						
H'0080 02EA		TOP8~10制御レジスタ (TOP810CR)				
~						
H'0080 02FA		TOP0~10外部イネーブル許可レジスタ (TOPEEN)				
H'0080 02FC		TOP0~10イネーブルプロテクトレジスタ (TOPPRO)				
H'0080 02FE		TOP0~10カウントイネーブルレジスタ (TOPCEN)				
H'0080 0300		TIO0カウンタ (TIO0CT)				
H'0080 0302						
H'0080 0304		TIO0リロード1レジスタ (TIO0RL1)				
H'0080 0306		TIO0リロード0/計測レジスタ (TIO0RL0)				
~						
H'0080 0310		TIO1カウンタ (TIO1CT)				
H'0080 0312						
H'0080 0314		TIO1リロード1レジスタ (TIO1RL1)				
H'0080 0316		TIO1リロード0/計測レジスタ (TIO1RL0)				
H'0080 0318						
H'0080 031A		TIO0~3制御レジスタ0 (TIO03CR0)				
H'0080 031C						TIO0~3制御レジスタ1 (TIO03CR1)
~						
H'0080 0320		TIO2カウンタ (TIO2CT)				
H'0080 0322						

空き領域は予約領域です

図3.4.6 SFR領域のレジスタマッピング(4)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0324	TIO2リロード1レジスタ (TIO2RL1)				
H'0080 0326	TIO2リロード0/計測レジスタ (TIO2RL0)				
~					
H'0080 0330	TIO3カウンタ (TIO3CT)				
H'0080 0332					
H'0080 0334	TIO3リロード1レジスタ (TIO3RL1)				
H'0080 0336	TIO3リロード0/計測レジスタ (TIO3RL0)				
~					
H'0080 0340	TIO4カウンタ (TIO4CT)				
H'0080 0342					
H'0080 0344	TIO4リロード1レジスタ (TIO4RL1)				
H'0080 0346	TIO4リロード0/計測レジスタ (TIO4RL0)				
H'0080 0348					
H'0080 034A	TIO4制御レジスタ (TIO4CR)		TIO5制御レジスタ (TIO5CR)		
H'0080 034C					
H'0080 034E					
H'0080 0350	TIO5カウンタ (TIO5CT)				
H'0080 0352					
H'0080 0354	TIO5リロード1レジスタ (TIO5RL1)				
H'0080 0356	TIO5リロード0/計測レジスタ (TIO5RL0)				
~					
H'0080 0360	TIO6カウンタ (TIO6CT)				
H'0080 0362					
H'0080 0364	TIO6リロード1レジスタ (TIO6RL1)				
H'0080 0366	TIO6リロード0/計測レジスタ (TIO6RL0)				
H'0080 0368					
H'0080 036A	TIO6制御レジスタ (TIO6CR)		TIO7制御レジスタ (TIO7CR)		
~					
H'0080 0370	TIO7カウンタ (TIO7CT)				
H'0080 0372					
H'0080 0374	TIO7リロード1レジスタ (TIO7RL1)				
H'0080 0376	TIO7リロード0/計測レジスタ (TIO7RL0)				
~					
H'0080 0380	TIO8カウンタ (TIO8CT)				
H'0080 0382					
H'0080 0384	TIO8リロード1レジスタ (TIO8RL1)				
H'0080 0386	TIO8リロード0/計測レジスタ (TIO8RL0)				
H'0080 0388					
H'0080 038A	TIO8制御レジスタ (TIO8CR)		TIO9制御レジスタ (TIO9CR)		
~					
H'0080 0390	TIO9カウンタ (TIO9CT)				
H'0080 0392					
H'0080 0394	TIO9リロード1レジスタ (TIO9RL1)				
H'0080 0396	TIO9リロード0/計測レジスタ (TIO9RL0)				
~					
H'0080 03BC	TIO0~9イネーブルプロテクトレジスタ (TIOPRO)				
H'0080 03BE	TIO0~9カウンティネーブルレジスタ (TIOCEN)				

空き領域は予約領域です

図3.4.7 SFR領域のレジスタマッピング(5)

番地	+0番地	+1番地
	D0	D7, D8
		D15
H'0080 03C0	TMS0カウンタ (TMS0CT)	
H'0080 03C2	TMS0計測3レジスタ (TMS0MR3)	
H'0080 03C4	TMS0計測2レジスタ (TMS0MR2)	
H'0080 03C6	TMS0計測1レジスタ (TMS0MR1)	
H'0080 03C8	TMS0計測0レジスタ (TMS0MR0)	
H'0080 03CA	TMS0制御レジスタ (TMS0CR)	TMS1制御レジスタ (TMS1CR)
H'0080 03CC		
H'0080 03CE		
H'0080 03D0	TMS1カウンタ (TMS1CT)	
H'0080 03D2	TMS1計測3レジスタ (TMS1MR3)	
H'0080 03D4	TMS1計測2レジスタ (TMS1MR2)	
H'0080 03D6	TMS1計測1レジスタ (TMS1MR1)	
H'0080 03D8	TMS1計測0レジスタ (TMS1MR0)	
H'0080 03E0	TMLカウンタ上位 (TMLCTH)	
H'0080 03E2	TMLカウンタ下位 (TMLCTL)	
H'0080 03EA		TML制御レジスタ (TMLCR)
H'0080 03EC		
H'0080 03EE		
H'0080 03F0	TML計測3レジスタ上位 (TMLMR3H)	
H'0080 03F2	TML計測3レジスタ下位 (TMLMR3L)	
H'0080 03F4	TML計測2レジスタ上位 (TMLMR2H)	
H'0080 03F6	TML計測2レジスタ下位 (TMLMR2L)	
H'0080 03F8	TML計測1レジスタ上位 (TMLMR1H)	
H'0080 03FA	TML計測1レジスタ下位 (TMLMR1L)	
H'0080 03FC	TML計測0レジスタ上位 (TMLMR0H)	
H'0080 03FE	TML計測0レジスタ下位 (TMLMR0L)	
H'0080 03FF		
H'0080 0400	DMA0～4割り込み要求ステータスレジスタ (DM04ITST)	DMA0～4割り込みマスクレジスタ (DM04ITMK)
H'0080 0408	DMA5～9割り込み要求ステータスレジスタ (DM59ITST)	DMA5～9割り込みマスクレジスタ (DM59ITMK)
H'0080 0410	DMA0チャネル制御レジスタ (DM0CNT)	DMA0転送カウントレジスタ (DM0TCT)
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)	
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)	
H'0080 0416		
H'0080 0418	DMA5チャネル制御レジスタ (DM5CNT)	DMA5転送カウントレジスタ (DM5TCT)
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)	
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)	
H'0080 041E		
H'0080 0420	DMA1チャネル制御レジスタ (DM1CNT)	DMA1転送カウントレジスタ (DM1TCT)
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)	
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)	
H'0080 0426		
H'0080 0428	DMA6チャネル制御レジスタ (DM6CNT)	DMA6転送カウントレジスタ (DM6TCT)
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)	
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)	

空き領域は予約領域です

図3.4.8 SFR領域のレジスタマッピング(6)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 042E					
H'0080 0430	DMA2チャンネル制御レジスタ (DM2CNT)		DMA2転送カウントレジスタ (DM2TCT)		
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)				
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)				
H'0080 0436					
H'0080 0438	DMA7チャンネル制御レジスタ (DM7CNT)		DMA7転送カウントレジスタ (DM7TCT)		
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)				
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)				
H'0080 043E					
H'0080 0440	DMA3チャンネル制御レジスタ (DM3CNT)		DMA3転送カウントレジスタ (DM3TCT)		
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)				
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)				
H'0080 0446					
H'0080 0448	DMA8チャンネル制御レジスタ (DM8CNT)		DMA8転送カウントレジスタ (DM8TCT)		
H'0080 044A	DMA8ソースアドレスレジスタ (DM8SA)				
H'0080 044C	DMA8デスティネーションアドレスレジスタ (DM8DA)				
H'0080 044E					
H'0080 0450	DMA4チャンネル制御レジスタ (DM4CNT)		DMA4転送カウントレジスタ (DM4TCT)		
H'0080 0452	DMA4ソースアドレスレジスタ (DM4SA)				
H'0080 0454	DMA4デスティネーションアドレスレジスタ (DM4DA)				
H'0080 0456					
H'0080 0458	DMA9チャンネル制御レジスタ (DM9CNT)		DMA9転送カウントレジスタ (DM9TCT)		
H'0080 045A	DMA9ソースアドレスレジスタ (DM9SA)				
H'0080 045C	DMA9デスティネーションアドレスレジスタ (DM9DA)				
H'0080 045E					
H'0080 0460	DMA0ソフトウェア要求発生レジスタ (DM0SRI)				
H'0080 0462	DMA1ソフトウェア要求発生レジスタ (DM1SRI)				
H'0080 0464	DMA2ソフトウェア要求発生レジスタ (DM2SRI)				
H'0080 0466	DMA3ソフトウェア要求発生レジスタ (DM3SRI)				
H'0080 0468	DMA4ソフトウェア要求発生レジスタ (DM4SRI)				
H'0080 0470	DMA5ソフトウェア要求発生レジスタ (DM5SRI)				
H'0080 0472	DMA6ソフトウェア要求発生レジスタ (DM6SRI)				
H'0080 0474	DMA7ソフトウェア要求発生レジスタ (DM7SRI)				
H'0080 0476	DMA8ソフトウェア要求発生レジスタ (DM8SRI)				
H'0080 0478	DMA9ソフトウェア要求発生レジスタ (DM9SRI)				
H'0080 0700	P0データレジスタ (P0DATA)		P1データレジスタ (P1DATA)		
H'0080 0702	P2データレジスタ (P2DATA)		P3データレジスタ (P3DATA)		
H'0080 0704	P4データレジスタ (P4DATA)				
H'0080 0706	P6データレジスタ (P6DATA)		P7データレジスタ (P7DATA)		
H'0080 0708	P8データレジスタ (P8DATA)		P9データレジスタ (P9DATA)		
H'0080 070A	P10データレジスタ (P10DATA)		P11データレジスタ (P11DATA)		
H'0080 070C	P12データレジスタ (P12DATA)		P13データレジスタ (P13DATA)		
H'0080 070E	P14データレジスタ (P14DATA)		P15データレジスタ (P15DATA)		
H'0080 0710	P16データレジスタ (P16DATA)		P17データレジスタ (P17DATA)		
H'0080 0720	P0方向レジスタ (P0DIR)		P1方向レジスタ (P1DIR)		

空き領域は予約領域です

図3.4.9 SFR領域のレジスタマッピング(7)

番地	+ 0番地	+ 1番地
	D0	D7, D8
		D15
H'0080 0722	P2方向レジスタ (P2DIR)	P3方向レジスタ (P3DIR)
H'0080 0724	P4方向レジスタ (P4DIR)	
H'0080 0726	P6方向レジスタ (P6DIR)	P7方向レジスタ (P7DIR)
H'0080 0728	P8方向レジスタ (P8DIR)	P9方向レジスタ (P9DIR)
H'0080 072A	P10方向レジスタ (P10DIR)	P11方向レジスタ (P11DIR)
H'0080 072C	P12方向レジスタ (P12DIR)	P13方向レジスタ (P13DIR)
H'0080 072E	P14方向レジスタ (P14DIR)	P15方向レジスタ (P15DIR)
H'0080 0730	P16方向レジスタ (P16DIR)	P17方向レジスタ (P17DIR)
H'0080 0744		ポート入力機能許可レジスタ (PIEN)
H'0080 0746	P6動作モードレジスタ (P6MOD)	P7動作モードレジスタ (P7MOD)
H'0080 0748	P8動作モードレジスタ (P8MOD)	P9動作モードレジスタ (P9MOD)
H'0080 074A	P10動作モードレジスタ (P10MOD)	P11動作モードレジスタ (P11MOD)
H'0080 074C	P12動作モードレジスタ (P12MOD)	P13動作モードレジスタ (P13MOD)
H'0080 074E	P14動作モードレジスタ (P14MOD)	P15動作モードレジスタ (P15MOD)
H'0080 0750	P16動作モードレジスタ (P16MOD)	P17動作モードレジスタ (P17MOD)
H'0080 078C	TID0カウンタ (TID0CT)	
H'0080 078E	TID0リロードレジスタ (TID0RL)	
H'0080 0790	TOD0カウンタ (TOD0CT)	
H'0080 0792		
H'0080 0794	TOD0リロード1レジスタ (TOD0RL1)	
H'0080 0796	TOD0リロード0レジスタ (TOD0RL0)	
H'0080 0798	TOD1カウンタ (TOD1CT)	
H'0080 079A		
H'0080 079C	TOD1リロード1レジスタ (TOD1RL1)	
H'0080 079E	TOD1リロード0レジスタ (TOD1RL0)	
H'0080 07A0	TOD2カウンタ (TOD2CT)	
H'0080 07A2		
H'0080 07A4	TOD2リロード1レジスタ (TOD2RL1)	
H'0080 07A6	TOD2リロード0レジスタ (TOD2RL0)	
H'0080 07A8	TOD3カウンタ (TOD3CT)	
H'0080 07AA		
H'0080 07AC	TOD3リロード1レジスタ (TOD3RL1)	
H'0080 07AE	TOD3リロード0レジスタ (TOD3RL0)	
H'0080 07B0	TOD4カウンタ (TOD4CT)	
H'0080 07B2		
H'0080 07B4	TOD4リロード1レジスタ (TOD4RL1)	
H'0080 07B6	TOD4リロード0レジスタ (TOD4RL0)	
H'0080 07B8	TOD5カウンタ (TOD5CT)	
H'0080 07BA		
H'0080 07BC	TOD5リロード1レジスタ (TOD5RL1)	
H'0080 07BE	TOD5リロード0レジスタ (TOD5RL0)	
H'0080 07C0	TOD6カウンタ (TOD6CT)	
H'0080 07C2		
H'0080 07C4	TOD6リロード1レジスタ (TOD6RL1)	
H'0080 07C6	TOD6リロード0レジスタ (TOD6RL0)	
H'0080 07C8	TOD7カウンタ (TOD7CT)	

空き領域は予約領域です

図3.4.10 SFR領域のレジスタマッピング (8)

番地	+ 0番地	+ 1番地	
	D0	D7, D8	D15
H'0080 07CA			
H'0080 07CC	TOD7リロード1レジスタ (TOD7RL1)		
H'0080 07CE	TOD7リロード0レジスタ (TOD7RL0)		
H'0080 07D0	プリスケアラレジスタ3 (PRS3)	TID0制御&プリスケアラ3イネーブルレジスタ (TIDPRSEN)	
H'0080 07D2	TOD0~7割り込みマスクレジスタ (TOD07IMA)	TOD0~7割り込みステータスレジスタ (TOD07IST)	
H'0080 07D4		F/Fプロテクトレジスタ2 (FFP2)	
H'0080 07D6		F/Fデータレジスタ2 (FFD2)	
H'0080 07D8			
H'0080 07DA	TOD0~7制御レジスタ (TOD07CR)		
H'0080 07DC		TOD0~7イネーブルプロテクトレジスタ (TODPRO)	
H'0080 07DE		TOD0~7カウントイネーブルレジスタ (TODCEN)	
H'0080 07E0	フラッシュモードレジスタ (FMODE)	フラッシュステータスレジスタ1 (FSTAT1)	
H'0080 07E2	フラッシュ制御レジスタ1 (FCNT1)	フラッシュ制御レジスタ2 (FCNT2)	
H'0080 07E4	フラッシュ制御レジスタ3 (FCNT3)	フラッシュ制御レジスタ4 (FCNT4)	
H'0080 3FFE			

空き領域は予約領域です

図3.4.11 SFR領域のレジスタマッピング(9)

3.5 EITベクタエントリ

EITベクタエントリは、内蔵ROM領域 / 拡張領域の先頭に置かれ、各EIT事象の処理ハンドラ先頭アドレスへの分岐命令(分岐先アドレスではないことに注意)を、ここに配置します。詳しくは、第4章「EIT」をご覧ください。

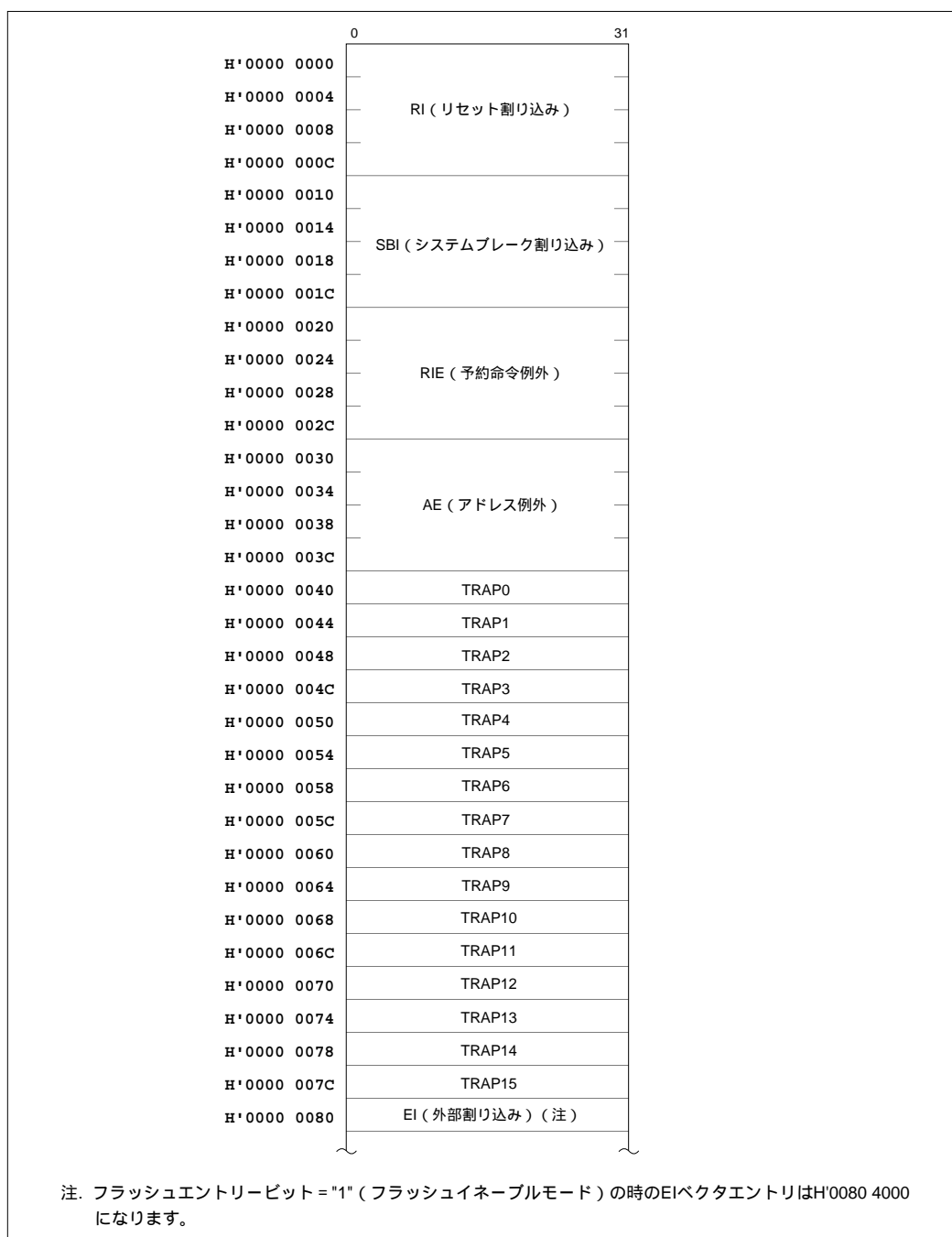


図3.5.1 EITベクタエントリ

3.6 ICUベクタテーブル

ICUベクタテーブルは、内蔵の割り込みコントローラで使用します。各内蔵周辺I/Oの割り込み要求に対応する割り込みハンドラの先頭アドレスを下記アドレスに設定します。詳しくは、第13章「割り込みコントローラ」をご覧ください。

番地	D0	+0番地	D7 D8	+1番地	D15
H'0000 0094		MJT入力割り込み4	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 0096		MJT入力割り込み4	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 0098		MJT入力割り込み3	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 009A		MJT入力割り込み3	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 009C		MJT入力割り込み2	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 009E		MJT入力割り込み2	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00A0		MJT入力割り込み1	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00A2		MJT入力割り込み1	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00A4		MJT入力割り込み0	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00A6		MJT入力割り込み0	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00A8		MJT出力割り込み7	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00AA		MJT出力割り込み7	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00AC		MJT出力割り込み6	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00AE		MJT出力割り込み6	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00B0		MJT出力割り込み5	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00B2		MJT出力割り込み5	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00B4		MJT出力割り込み4	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00B6		MJT出力割り込み4	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00B8		MJT出力割り込み3	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00BA		MJT出力割り込み3	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00BC		MJT出力割り込み2	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00BE		MJT出力割り込み2	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00C0		MJT出力割り込み1	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00C2		MJT出力割り込み1	ハンドラ先頭番地 (A16 ~ A31)		
H'0000 00C4		MJT出力割り込み0	ハンドラ先頭番地 (A0 ~ A15)		
H'0000 00C6		MJT出力割り込み0	ハンドラ先頭番地 (A16 ~ A31)		

図3.6.1 ICUベクタテーブル(1 / 2)

番地	+0番地		+1番地	
	D0	D7 D8	D7 D8	D15
H'0000 00C8	DMA0～4割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00CA	DMA0～4割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00CC	SIO1受信割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00CE	SIO1受信割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00D0	SIO1送信割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00D2	SIO1送信割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00D4	SIO0受信割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00D6	SIO0受信割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00D8	SIO0送信割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00DA	SIO0送信割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00DC	A-D変換割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00DE	A-D変換割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00E0	TID入力割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00E2	TID入力割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00E4	TOD出力割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00E6	TOD出力割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00E8	DMA5～9割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00EA	DMA5～9割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00EC	SIO2,3送受信割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00EE	SIO2,3送受信割り込み ハンドラ先頭番地 (A16～A31)			
H'0000 00F0	RTD割り込み ハンドラ先頭番地 (A0～A15)			
H'0000 00F2	RTD割り込み ハンドラ先頭番地 (A16～A31)			

図3.6.2 ICUベクタテーブル(2 / 2)

3.7 アドレス空間の注意事項

疑似フラッシュエミュレーション機能

32160には、内蔵ROM(フラッシュメモリ)のH'0000 4000 ~ H'0000 5FFF、またはH'0000 6000 ~ H'0000 7FFFFの領域の選択された一方の8KBに、内蔵RAMの先頭8KBをマッピングする機能があり、これを疑似フラッシュエミュレーション機能と呼びます。この機能については、5.7「疑似フラッシュエミュレーション機能」をご覧ください。

第 4 章

EIT

- 4.1 EITの概要
- 4.2 32160のEIT事象
- 4.3 EITの処理手順
- 4.4 EITの処理機構
- 4.5 EIT事象の受け付け
- 4.6 PC, PSWの退避と復帰
- 4.7 EITベクタエントリ
- 4.8 例外(Exception)処理
- 4.9 割り込み(Interrupt)処理
- 4.10 トラップ(Trap)処理
- 4.11 EITの優先順位
- 4.12 EIT処理の例

4.1 EITの概要

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して、EIT(Exception, Interrupt, Trap)事象と呼びます。

(1) 例外 (Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。32160では、アドレス例外(AE)と予約命令例外(RIE)が、これに該当します。

(2) 割り込み (Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号によって発生します。32160では外部割り込み(EI)とシステムブレーク割り込み(SBI)、およびリセット割り込み(RI)がこれに該当します。

(3) トラップ (Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのようにプログラマがプログラム中で意識的に発生させるものです。

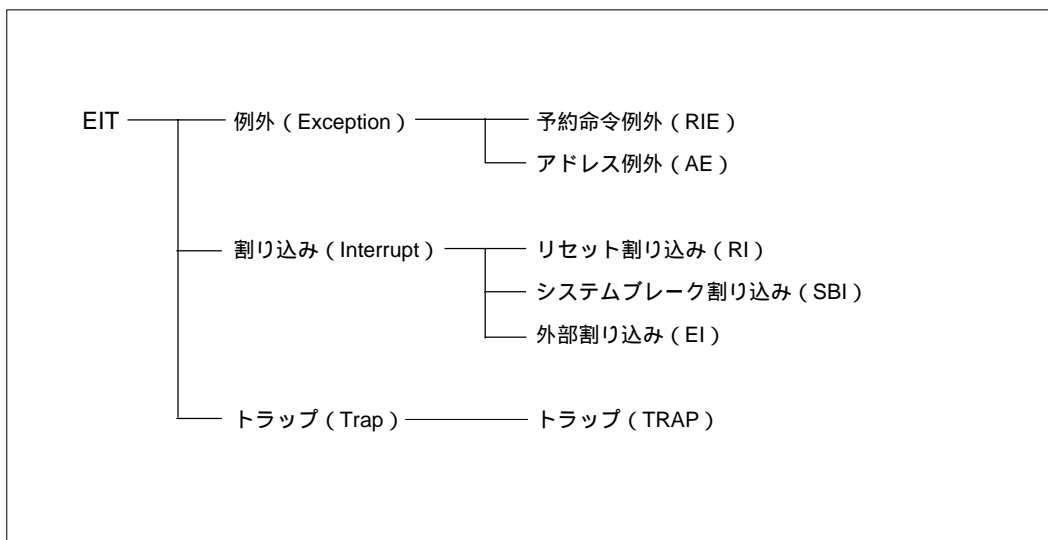


図4.1.1 EITの分類

4.2 32160のEIT事象

4.2.1 例外(Exception)

(1) 予約命令例外 (RIE)

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)の実行を検出した場合に発生します。

(2) アドレス例外 (AE)

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

4.2.2 割り込み(Interrupt)

(1) リセット割り込み (RI)

リセット割り込み(RI : Reset Interrupt)は、 $\overline{\text{RESET}}$ 信号を入力することにより常に受け付けられます。リセット割り込みは最高位の優先度を持ちます。

(2) システムブレーク割り込み (SBI)

システムブレーク割り込み(SBI : System Brake Interrupt)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用される緊急用割り込みです。割り込み処理後、原則として割り込み発生時に実行していた元のプログラムに復帰しない場合にのみ使用できます。

(3) 外部割り込み (EI)

外部割り込み(EI : External Interrupt)は、割り込みコントローラで管理される各内蔵周辺I/Oからの割り込み要求です。内蔵の割り込みコントローラでは、割り込み禁止を含めて8レベルの優先順位を設けて割り込み管理を行います。

4.2.3 トラップ(Trap)

トラップ(TRAP)とはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。TRAP命令のオペランド0~15に対応して、ベクタアドレスが16種類用意されています。

4.3 EITの処理手順

EIT処理には、ハードウェアが自動的に処理する部分とユーザが記述したプログラム（EITハンドラ）によって処理される部分があります。リセット割り込みを除くEIT受付時の処理手順を以下に示します。

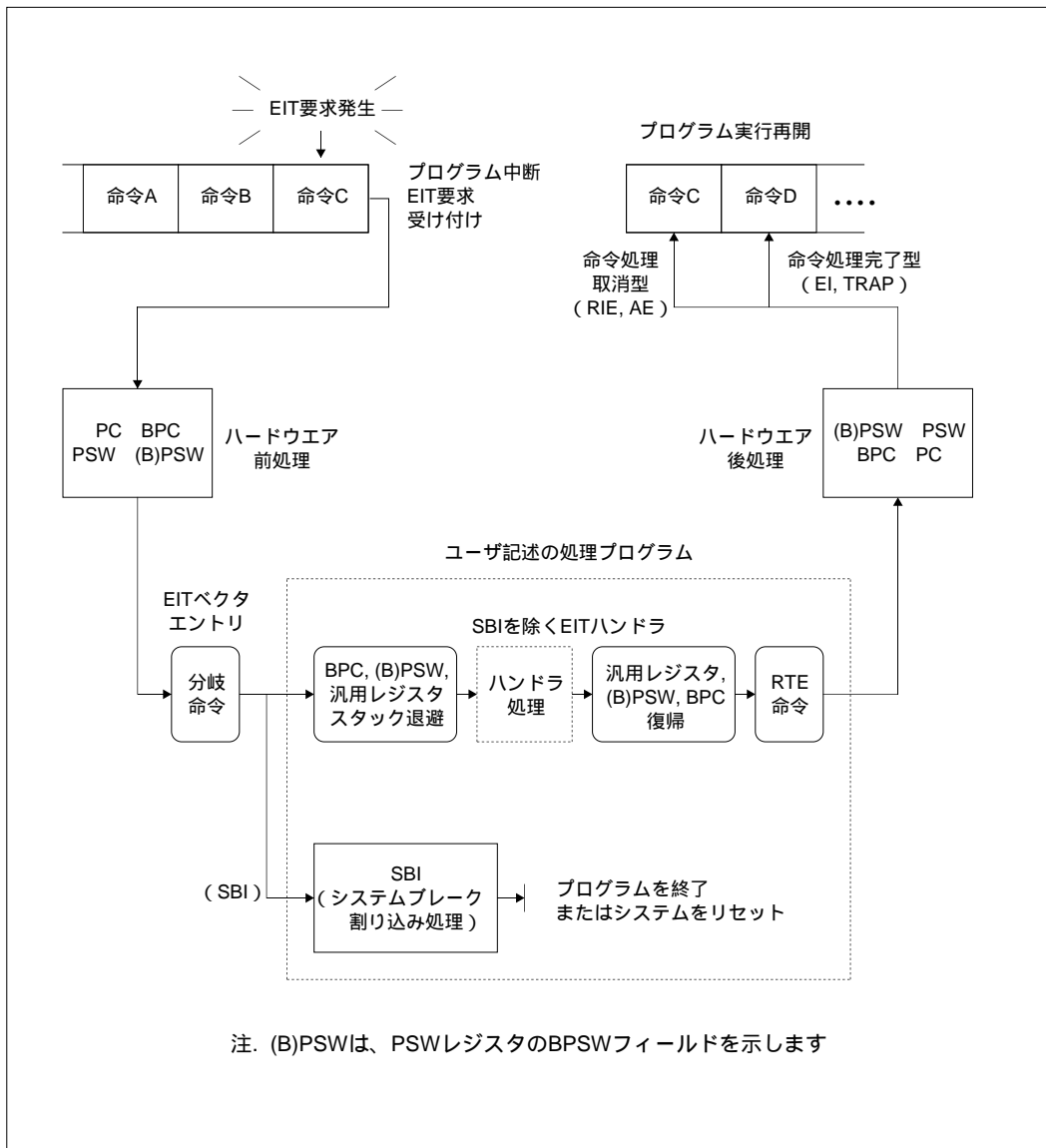


図4.3.1 EIT処理手順の概要

EITが受け付けられると、PCとPSWの退避(後述)を行った後、EITベクタに分岐します。EITベクタには各EITごとにエントリアドレスが割り当てられており、そこにEITハンドラへの「BRA命令(分岐命令)」を書きます(分岐先アドレスではないことに注意してください)。

ハードウェア前処理では、PC、PSWレジスタの内容を、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)へ移す作業のみ行います。

ユーザが記述するEITハンドラ中で、BPCレジスタとPSWレジスタ(BPSWフィールドを含む)、およびEITハンドラ内で使用する汎用レジスタをスタックに退避してください(スタックへの退避は、ユーザがプログラムで行うことに注意してください)。

EITハンドラ処理完了後は、スタックに退避したレジスタを復帰して、最後に「RTE命令」を実行することで、EIT処理から元のプログラムに復帰します(ただしシステムブレーク割り込みは除きます)。

ハードウェア後処理では、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)の内容を、PC、PSWレジスタへ戻します。

4.4 EITの処理機構

EIT処理機構は、M32R CPUコア部と内蔵周辺I/Oの割り込みコントローラで構成されます。また、PC, PSWのバックアップ用のレジスタ(BPCレジスタ, PSWのBPSWフィールド)を備えています。内部EIT処理機構を以下に示します。

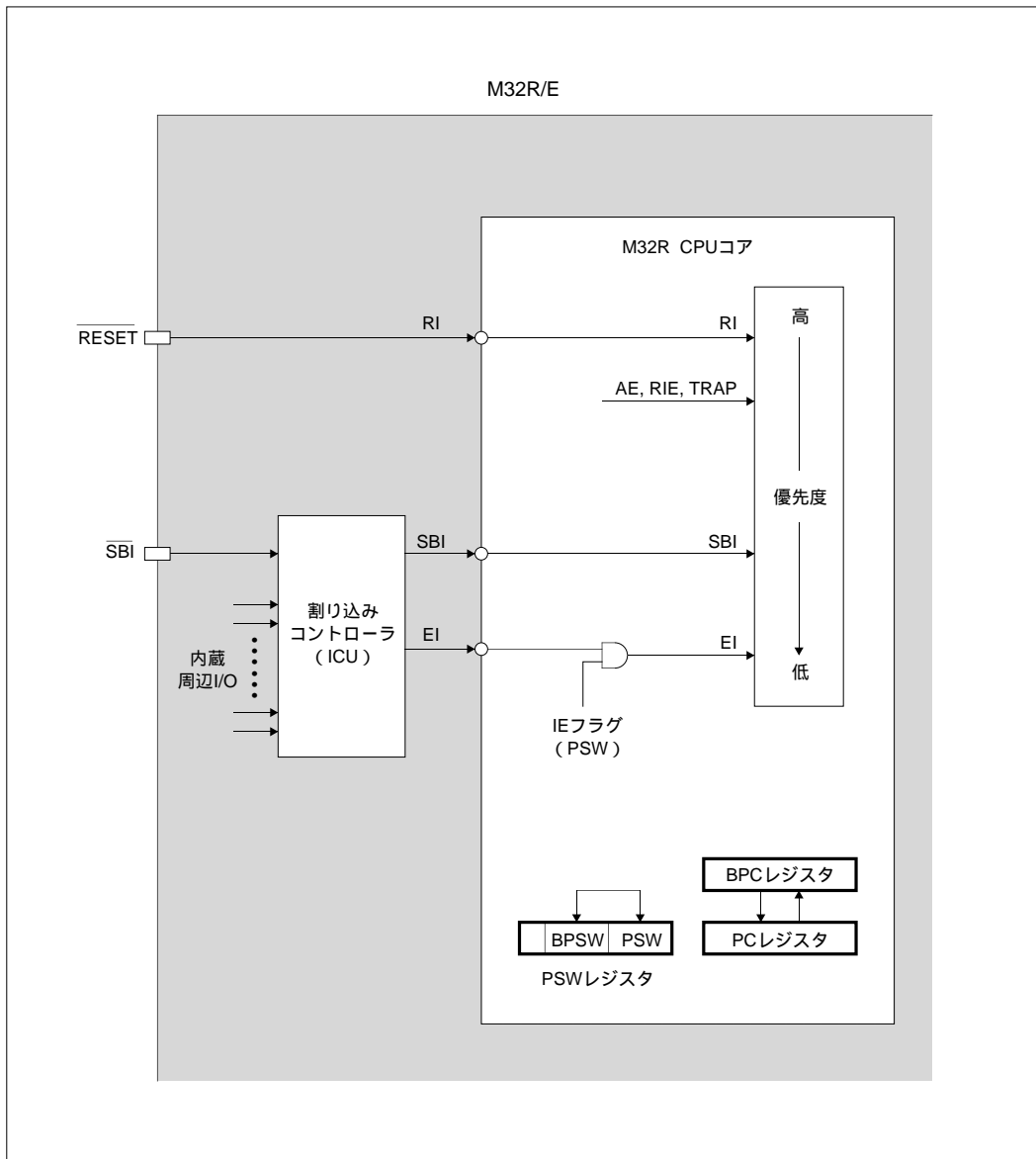


図4.4.1 32160のEIT処理機構

4.5 EIT事象の受け付け

EIT事象が発生すると、それまで実行していたプログラムを中断して、EITのハンドラ処理に分岐します。各EIT事象の発生条件と受け付けタイミングを以下に示します。

表4.5.1 EIT事象の受け付け

EIT事象	処理型	受付タイミング	BPCレジスタにセットされる値
予約命令例外(RIE)	命令処理取消型	命令実行中	RIEが発生した命令のPC値
アドレス例外(AE)	命令処理取消型	命令実行中	AEが発生した命令のPC値
リセット割り込み(RI)	命令処理放棄型	各マシンスイクル	不定値
システムブレーク 割り込み(SBI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
外部割り込み(EI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
トラップ(TRAP)	命令処理完了型	命令の区切り	TRAP命令のPC値 + 4

4.6 PC, PSWの退避と復帰

EIT受け付け時と「RTE命令」実行時の動作を以下に示します。

(1) EIT受け付け時のハードウェア前処理

PSWレジスタ中のSM, IE, Cビットの退避

BSM	SM
BIE	IE
BC	C

PSWレジスタ中のSM, IE, Cビットの更新

SM	不変(RIE, AE, TRAP), または0をセット(SBI, EI, RI)
IE	0をセット
C	0をセット

PCレジスタの退避

BPC	PC
-----	----

ベクタアドレスをPCレジスタにセット

EITベクタに分岐し、さらにそこに書かれている分岐命令(BRA命令)を実行することで、ユーザが記述したEITハンドラ処理を移します。

(2) 「RTE命令」実行時のハードウェア後処理

① PSWレジスタ中のBSM, BIE, BCビットの復帰

SM	BSM
IE	BIE
C	BC

② BPCレジスタの値をPCレジスタに復帰

PC	BPC
----	-----

(注)「RTE命令」実行後のBPC, PSWレジスタのBSM, BIE, BCビットの値は不定です。

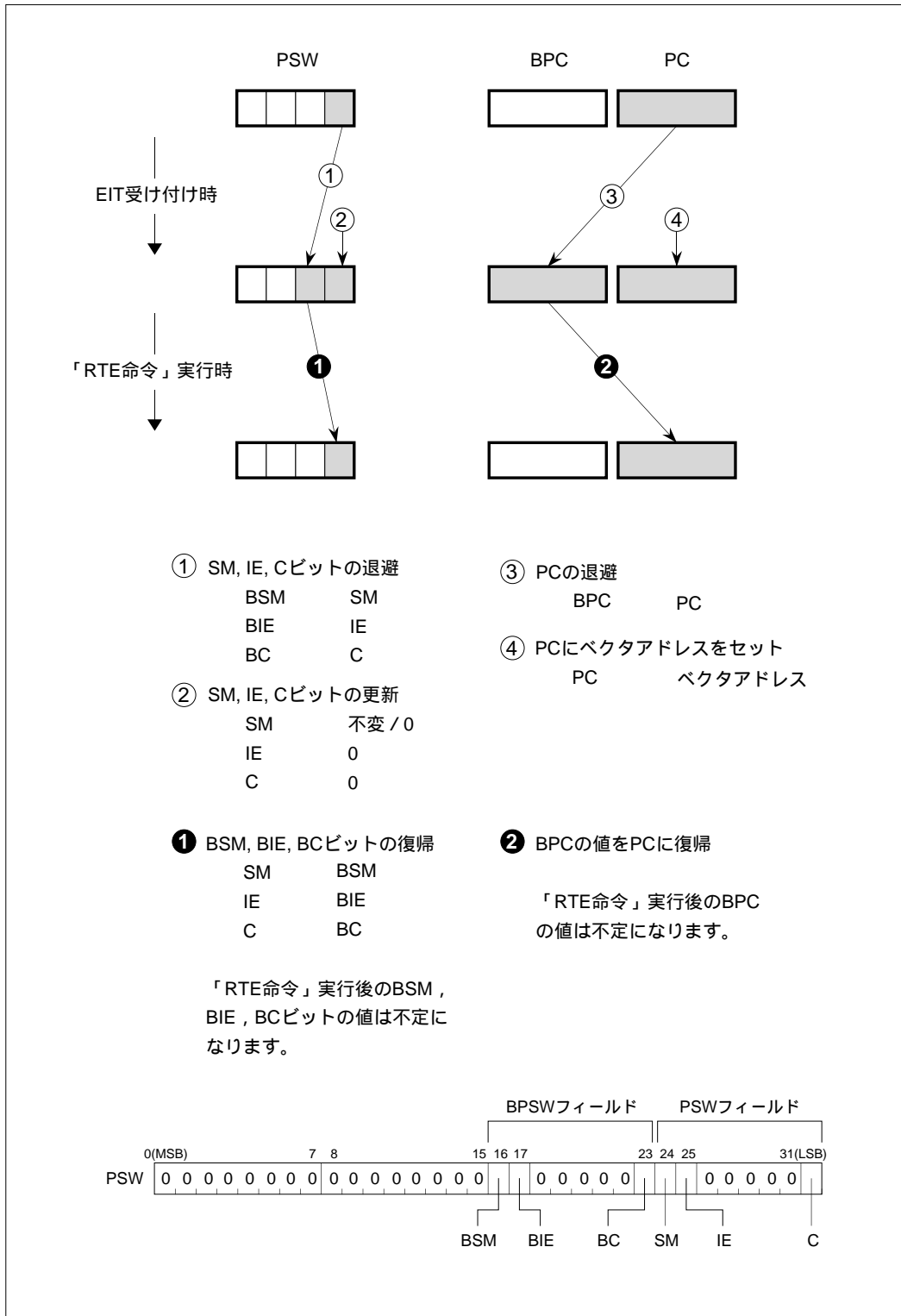


図4.6.1 PC, PSWの退避と復帰

4.7 EITベクタエントリ

EITベクタエントリはユーザ空間のH'0000 0000番地から置かれています。以下にEITベクタエントリの一覧を示します。

表4.7.1 EITベクタエントリ

名称	略号	ベクタアドレス	SM	IE	BPC
リセット割り込み	RI	H'0000 0000(注1)	0	0	不定
システムブレーク 割り込み	SBI	H'0000 0010	0	0	次命令のPC
予約命令例外	RIE	H'0000 0020	不変	0	発生命令のPC
アドレス例外	AE	H'0000 0030	不変	0	発生命令のPC
トラップ	TRAP0	H'0000 0040	不変	0	TRAP命令のPC + 4
	TRAP1	H'0000 0044	不変	0	"
	TRAP2	H'0000 0048	不変	0	"
	TRAP3	H'0000 004C	不変	0	"
	TRAP4	H'0000 0050	不変	0	"
	TRAP5	H'0000 0054	不変	0	"
	TRAP6	H'0000 0058	不変	0	"
	TRAP7	H'0000 005C	不変	0	"
	TRAP8	H'0000 0060	不変	0	"
	TRAP9	H'0000 0064	不変	0	"
	TRAP10	H'0000 0068	不変	0	"
	TRAP11	H'0000 006C	不変	0	"
	TRAP12	H'0000 0070	不変	0	"
	TRAP13	H'0000 0074	不変	0	"
	TRAP14	H'0000 0078	不変	0	"
	TRAP15	H'0000 007C	不変	0	"
外部割り込み	EI	H'0000 0080(注2)	0	0	次命令のPC

注1. ブートモード時は、ブートROMの先頭(H'8000 0000番地)へ移動します。詳しくは、5.5「内蔵フラッシュメモリの書き込み」をご覧ください。

注2. フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します。詳しくは、5.5「内蔵フラッシュメモリの書き込み」をご覧ください。

4.8 例外(Exception)処理

4.8.1 予約命令例外(RIE)

[発生条件]

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)を検出した場合に発生します。命令のチェックは命令のオペコード部に対して行われます。

予約命令例外が発生した場合には、その命令は実行されません。予約命令例外が検出されたときに外部割り込み要求があっても、予約命令例外が受け付けられません。

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

予約命令例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、予約命令例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、予約命令例外を起こした命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

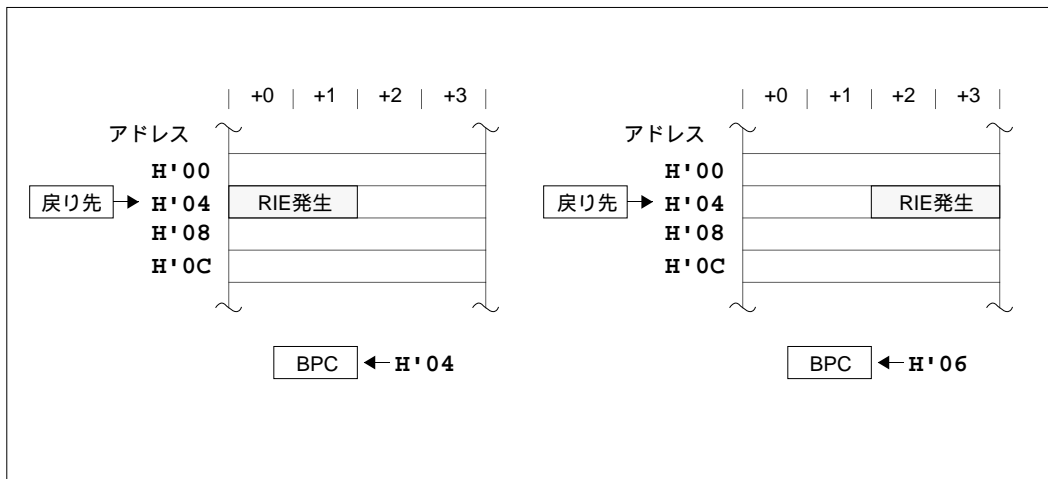


図4.8.1 予約命令例外(RIE)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0020番地へ分岐します。M32Rが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32Rは、EITベクタエントリのH'0000 0020番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.8.2 アドレス例外(AE)

[発生条件]

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。アドレス例外が起動される命令と、アドレスの組み合わせは次のとおりです。

LDH命令、LDUH命令、STH命令でアドレス下位2ビットが "01", "11" の場合。
LD命令、ST命令、LOCK命令、UNLOCK命令でアドレス下位2ビットが "01", "10", "11" の場合。

アドレス例外が発生した場合、その命令によるメモリアクセスは行われません。アドレス例外が検出されたときに外部割り込み要求があってもアドレス例外が受け付けられません。

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

アドレス例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、アドレス例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

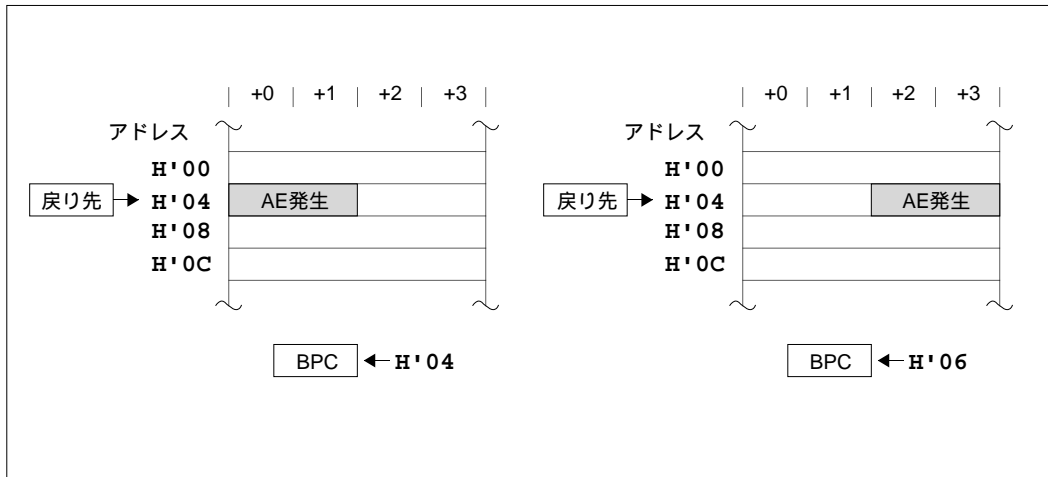


図4.8.2 アドレス例外(AE)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0030番地へ分岐します。M32Rが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32Rは、EITベクタエントリのH'0000 0030番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.9 割り込み(Interrupt)処理

4.9.1 リセット割り込み(RI)

[発生条件]

RESET端子に"L"レベル信号を入力すると、各マシンサイクルごと無条件にリセット割り込みが受け付けられます。リセット割り込みはEITの中で常に最高位の優先度を持ちます。

[EIT処理]

(1) SM, IE, Cビットの初期化

PSWレジスタ中のSM, IE, Cビットを次のように初期化します。

SM	0
IE	0
C	0

リセット割り込みの場合、BSM, BIE, BCビットの値は不定となります。

(2) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0000番地へ分岐します。ただし、ブートモード時は、ブートROMの先頭(H'8000 0000番地)へ移動します(詳しくは5.5「内蔵フラッシュメモリの書き込み」をご覧ください)。

(3) EITベクタエントリからユーザプログラムへの分岐

M32Rは、EITベクタエントリのH'0000 0000番地にユーザが書いた命令を実行しません。リセットベクタエントリでは、PSWとSPIレジスタの初期化を行った後、ユーザが記述したプログラムの先頭番地へ分岐してください。

4.9.2 システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用する緊急用割り込みです。システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません。

したがってシステムブレーク割り込みは、割り込みを検出した時点ですでにシステムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

[発生条件]

SBI端子への立ち下がりエッジの入力でシステムブレーク割り込みが受け付けられます(システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません)。

ワード境界から始まる16ビット命令の実行直後に、システムブレーク割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

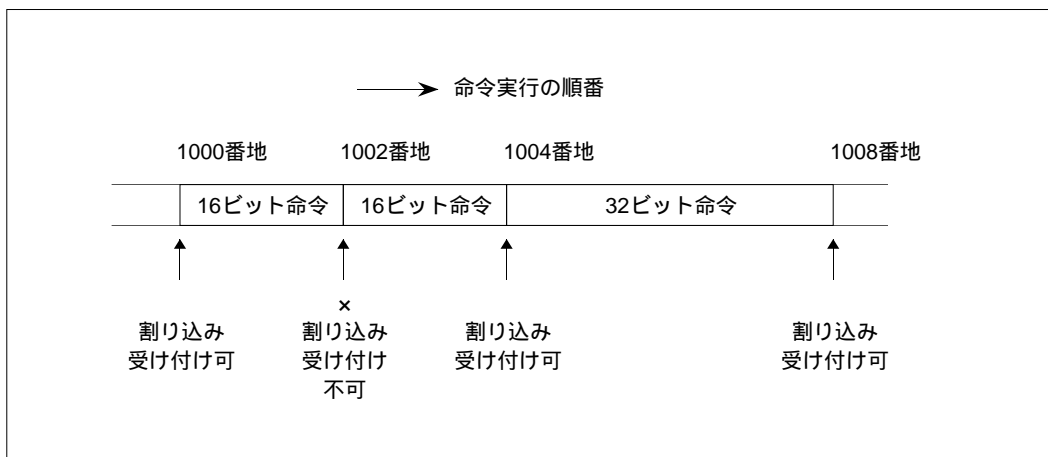


図4.9.1 システムブレーク割り込み(SBI)受け付けタイミング

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PC の退避

PCレジスタの内容(常にワード境界)を、BPCレジスタに退避します。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0010番地へ分岐します。M32Rが行うハードウェア前処理はここまです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32Rは、EITベクタエントリのH'0000 0010番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。

システムブレーク割り込みは、システムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

4.9.3 外部割り込み(EI)

外部割り込みは、内蔵の割り込みコントローラから出力された割り込み要求に基づいて発生します。割り込みコントローラでは7レベルの優先順位を設けて、割り込み要求の管理を行っています。割り込みコントローラの詳細については第13章「割り込みコントローラ」を、割り込み要因については内蔵周辺I/Oの各章をご覧ください。

[発生条件]

外部割り込みは、各内蔵周辺I/Oからの割り込み要求に基づいて内蔵割り込みコントローラが管理を行い、それをM32R CPUに伝えます。M32Rは、ワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSW中のIEフラグが1の時に外部割り込みは受け付けられます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

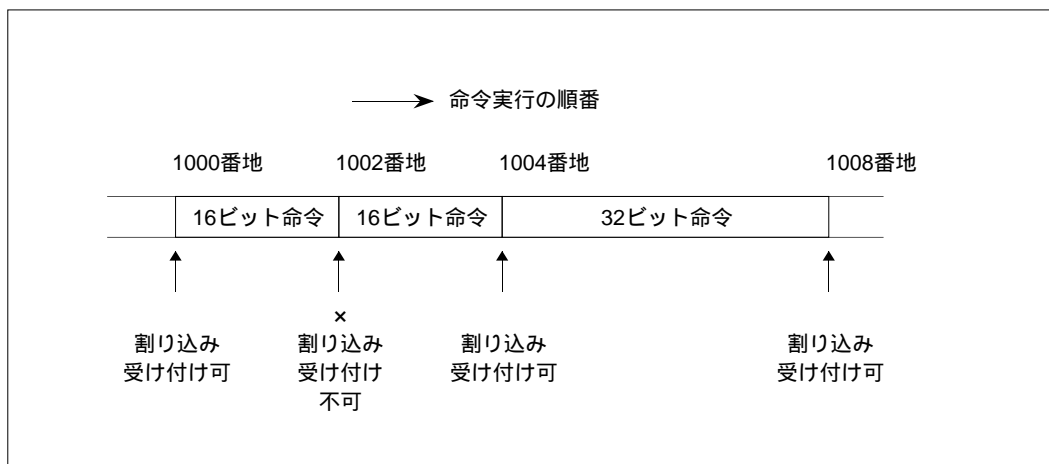


図4.9.2 外部割り込み(EI)受け付けタイミング

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PC の退避

PCレジスタの内容(常にワード境界)をBPCレジスタに退避します。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0080番地へ分岐します。ただし、フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します(詳しくは、5.5「内蔵フラッシュメモリの書き込み」をご覧ください)。M32Rが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32Rは、EITベクタエントリのH'0000 0080番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの手元番地へ分岐します。ユーザ記述のEITハンドラの手元では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.10 トラップ(Trap)処理

4.10.1 トラップ(TRAP)

[発生条件]

トラップとはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。「TRAP命令」のオペランド0～15に対応して16種類のトラップが発生します。これに対応して、ベクタエントリは16エントリ用意されています。

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

トラップ命令を実行すると、(TRAP命令のPC値 + 4)の値がBPCレジスタにセットされます。たとえば、4番地に「TRAP命令」が置かれた場合は、BPCレジスタにH'08がセットされます。同様に6番地に置かれた場合は、BPCレジスタにはH'0Aがセットされます。BPCレジスタのビット30の値は、トラップ命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も8番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

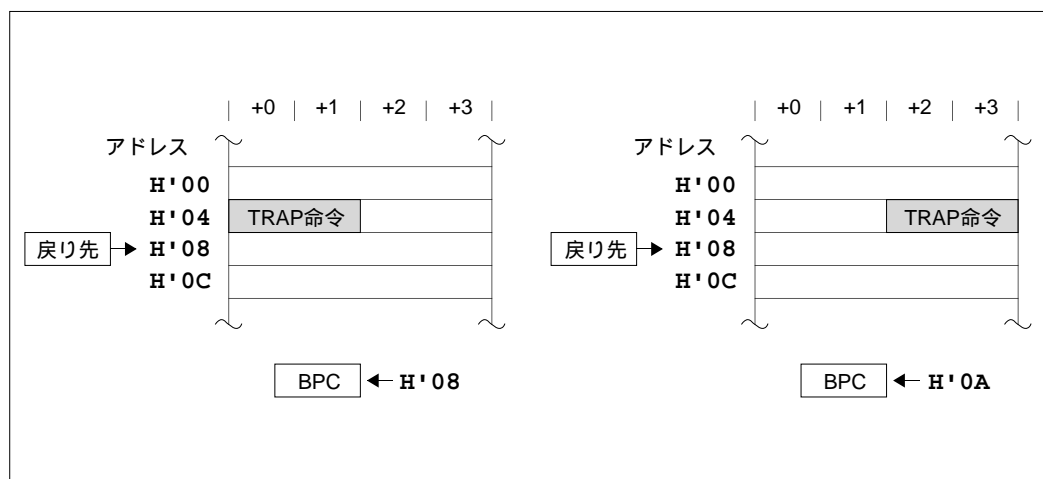


図4.10.1 トラップ(TRAP)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0040 ~ H'0000 007C番地へ分岐します。M32Rが行うハードウェア前処理はここまです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

M32Rは、EITベクタエントリのH'0000 0040 ~ H'0000 007C番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.11 EITの優先順位

EIT事象の優先順位は次のとおりです。複数のEITが同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表4.11.1 EIT事象の優先度と復帰形態

優先度	EIT事象	処理型	BPCレジスタにセットされる値
1(最優先)	リセット割り込み(RI)	命令処理放棄型	不定
2	アドレス例外(AE)	命令処理取消型	発生した命令のPC
	予約命令例外(RIE)	命令処理取消型	発生した命令のPC
	トラップ(TRAP)	命令処理完了型	TRAP命令+4
3	システムブレーク 割り込み(SBI)	命令処理完了型	次命令のPC
4	外部割り込み(EI)	命令処理完了型	次命令のPC

なお、外部割り込み(EI)における周辺I/Oからの各割り込み要求の優先順位設定は、内蔵の割り込みコントローラで行います。詳しくは第13章「割り込みコントローラ」をご覧ください。

4.12 EIT処理の例

(1) RIE, AE, SBI, EI, TRAP が単独で発生した場合

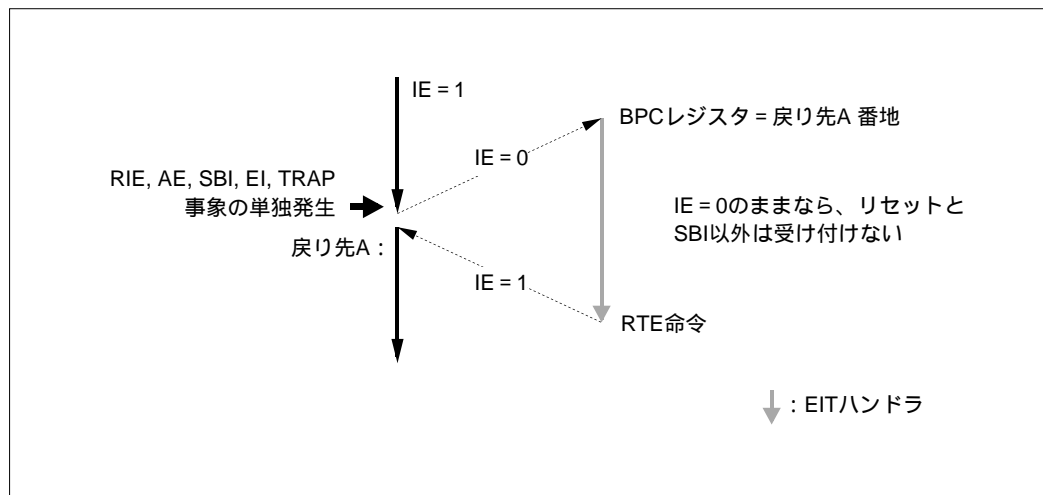


図4.12.1 RIE, AE, SBI, EI, TRAP各事象の処理

(2) RIE, AE, TRAPのいずれかとEIが同時に発生した場合

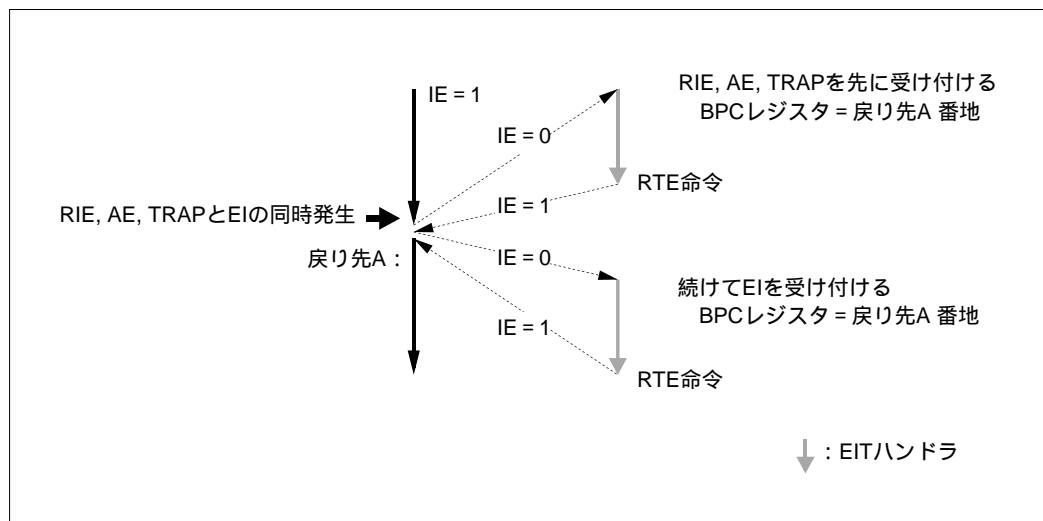


図4.12.2 RIE, AE, TRAPとEIが同時発生した場合の処理

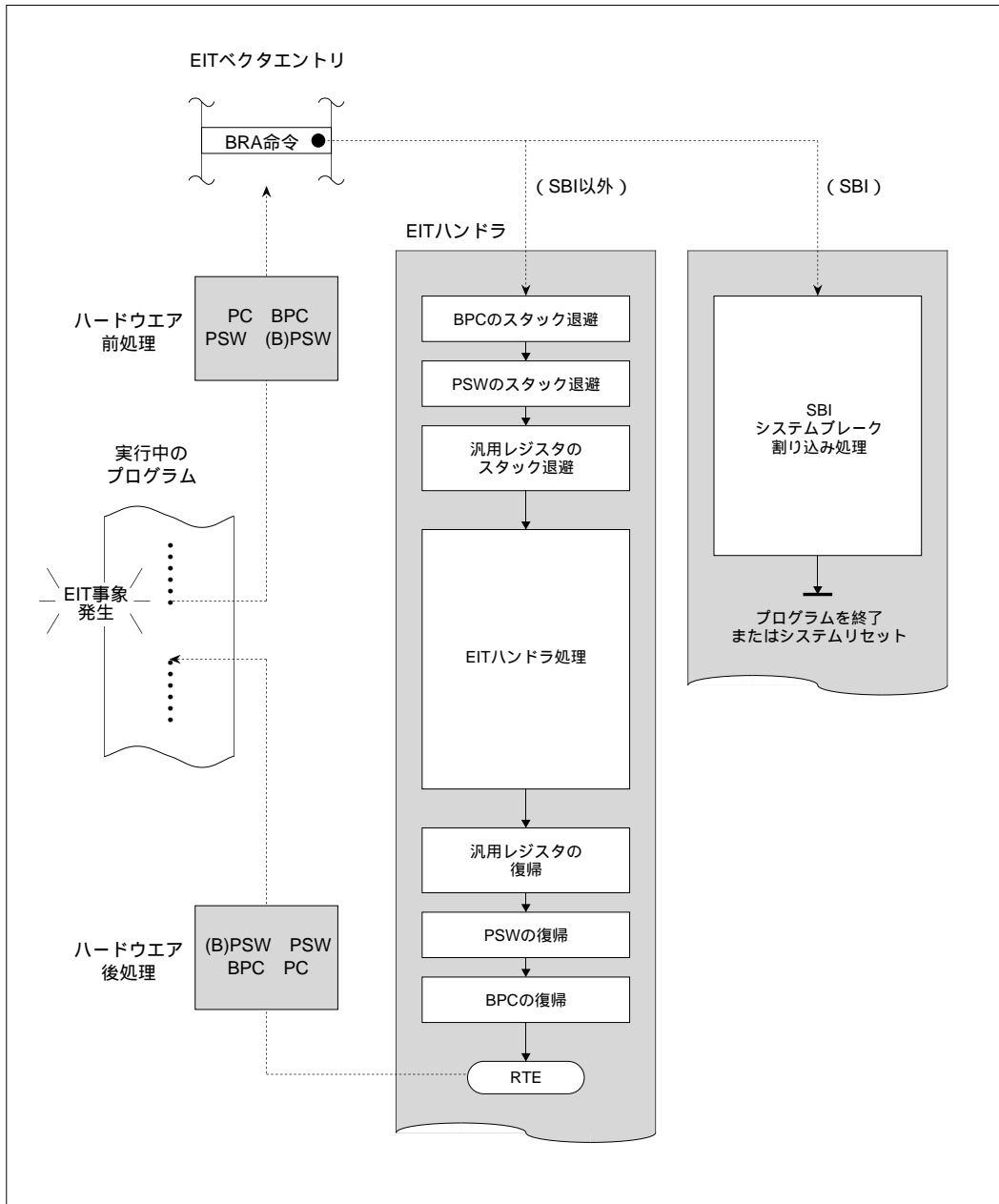


図4.12.3 EIT処理の例

第5章

内蔵メモリ

- 5.1 内蔵メモリ概要
- 5.2 内蔵RAM
- 5.3 内蔵フラッシュメモリ
- 5.4 内蔵フラッシュメモリ関連レジスタ
- 5.5 内蔵フラッシュメモリの書き込み
- 5.6 ブートROM
- 5.7 疑似フラッシュエミュレーション機能
- 5.8 シリアルライタとの接続
- 5.9 フラッシュメモリ書き換え時の注意事項

5.1 内蔵メモリ概要

32160Pは、以下のメモリを内蔵しています。

16KバイトのRAM

M32160F4UFP : 512Kバイト / M32160F3UFP : 384Kバイトのフラッシュメモリ

5.2 内蔵RAM

32160の内蔵RAM仕様を以下に示します。

表5.2.1 内蔵RAMの仕様

項目	仕様
容量	16Kバイト
配置アドレス	H'0080 4000 ~ H'0080 7FFF
ウェイト挿入	ノーウェイト動作(内部動作25MHz時)
内部バス接続	32ビットバス接続
デュアルポート	RTD(リアルタイムデバッガ)により、CPUとは独立して外部からシリアル通信で内蔵RAM全域のデータ読み出し(モニタ)、書き込みが可能(第15章「リアルタイムデバッガ」をご覧ください。)

5.3 内蔵フラッシュメモリ

32160の内蔵フラッシュメモリ仕様を以下に示します。

表5.3.1 内蔵フラッシュメモリの仕様

項目	仕様
容量	M32160F4UFP : 512Kバイト / M32160F3UFP : 384Kバイト
配置アドレス	M32160F4UFP : H'0000 0000 ~ H'0007 FFFF M32160F3UFP : H'0000 0000 ~ H'0005 FFFF
ウェイト挿入	ノーウェイト動作(内部動作25MHz時)
書き換え回数	100回
内部バス接続	32ビットバス接続
その他	疑似フラッシュエミュレーション機能装備 (5.7「疑似フラッシュエミュレーション機能」をご覧ください)

5.4 内蔵フラッシュメモリ関連レジスタ

内蔵フラッシュメモリ関連のレジスタマップを以下に示します。

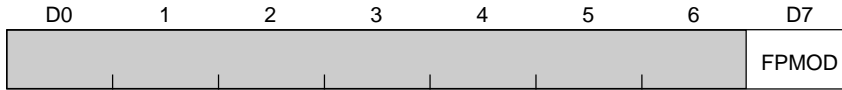
番地	+0番地		+1番地	
	D0	D7	D8	D15
H'0080 07E0	フラッシュモードレジスタ (FMODE)		フラッシュステータスレジスタ1 (FSTAT1)	
H'0080 07E2	フラッシュ制御レジスタ1 (FCNT1)		フラッシュ制御レジスタ2 (FCNT2)	
H'0080 07E4	フラッシュ制御レジスタ3 (FCNT3)		フラッシュ制御レジスタ4 (FCNT4)	

図5.4.1 内蔵フラッシュメモリ関連レジスタマップ

5.4.1 フラッシュモードレジスタ

フラッシュモードレジスタ (FMODE)

<アドレス : H'0080 07E0 >



<リセット時 : 0? >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	FPMOD	0 : FP端子 = 'L' (外部FP端子ステータス) 1 : FP端子 = 'H'		-

注. W = - : 書き込み無効

フラッシュモードレジスタ(FMODE)は読み出し専用のステータスレジスタで、FPMODはFP (Flash Protect)端子のステータスを示します。

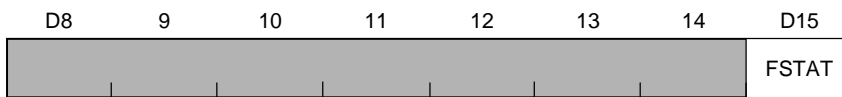
FPMODが"1"の時のみ、フラッシュメモリへの書き込みが許可状態となり、FPMODが"0"の時に実行したフラッシュメモリへの書き込みは無効となります。

5.4.2 フラッシュステータスレジスタ

32160には、フラッシュメモリのステータスを示すレジスタがSFR領域(アドレス：H'0080 07E1)のフラッシュステータスレジスタ 1(FSTAT1)と、フラッシュメモリ内蔵のフラッシュステータスレジスタ2(FSTAT2)があります。フラッシュメモリに対するプログラム、イレーズ時には、両ステータスレジスタ(FSTAT1,FSTAT2)を使用し、制御ください。

フラッシュステータスレジスタ 1 (FSTAT1)

<アドレス：H'0080 07E1 >



<リセット時：01 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FSTAT	0 : Busy (Ready/Busyステータス)		-
		1 : Ready		

注. W = - : 書き込み無効

フラッシュステータスレジスタ1(FSTAT1)は、フラッシュメモリに対するプログラム実行中、またはイレーズ実行中を知るための読み出し専用ステータスレジスタです。D15ビットが"0"の間は、プログラム実行中、またはイレーズ実行中でフラッシュメモリ領域へのプログラムは禁止されます。

フラッシュステータスレジスタ2 (FSTAT2)

D8	9	10	11	12	13	14	D15
FBUSY		ERASE	WRERR1	WRERR2			

<リセット時：H'80>

D	ビット名	機能	R	W
8	FBUSY (フラッシュビジー)	0: プログラム or イレーズ中 1: レディ状態		-
9	何も配置されていません		0	-
10	ERASE (オートイレーズの動作状況)	0: イレーズ正常動作中 / 終了 1: イレーズエラー発生		-
11	WRERR1 (プログラム動作状況)	0: プログラム正常動作中 / 終了 1: プログラムエラー発生		-
12	WRERR2 (プログラム動作状況)	0: プログラム正常動作中 / 終了 1: 過剰プログラムが発生		-
13~15	何も配置されていません		0	-

注. W = - : 書き込み無効

フラッシュステータスレジスタ2 (FSTAT2) はフラッシュメモリの動作状態を示す以下の4つの読み出し専用ステータスビットで構成されています。

(1) FBUSY (フラッシュビジー) ビット (D8)

FBUSYビットは、フラッシュメモリへのプログラムおよびイレーズ処理実行時に終了判定を行うビットです。

このビットが"0"のとき処理実行中を示し、"1"のとき終了を示します。

(2) ERASE (オートイレーズの動作状況) ビット (D10)

ERASEビットは、フラッシュメモリへのイレーズ処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときイレーズエラーを示します。

(3) WRERR1 (プログラム動作状況) ビット (D11)

WRERR1ビットはフラッシュメモリへのプログラム処理完了後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときプログラムエラーを示します。

WRERR1が"1"にセットされる条件は、書き込みデータとフラッシュメモリ上のデータを比較し、"0"にすべきビット以外で"0"のビットが検出された場合です。

(4) WRERR2 (プログラム動作状況) ビット (D12)

WRERR2ビットは、フラッシュメモリへのプログラム処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときプログラムエラーを示します。

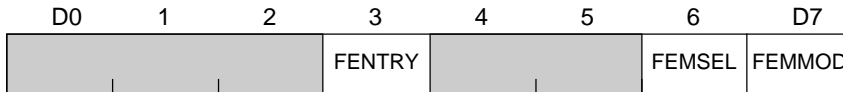
WRERR2が"1"にセットされる条件は、書き込み処理を指定回数繰り返しても書き込めない場合です。

注. このレジスタは、フラッシュメモリに内蔵されているステータスレジスタで、フラッシュメモリの任意アドレス(H'0000 0000 ~ H'0007 FFFF)にリードステータスコマンド(H'7070)をライトすることで読み出し可能となります。詳しくは、5.5「内蔵フラッシュメモリの書き込み」をご覧ください。

5.4.3 フラッシュ制御レジスタ

フラッシュ制御レジスタ1 (FCNT1)

<アドレス : H'0080 07E2 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	FENTRY (フラッシュモードエントリ)	0 : 通常リード 1 : イレーズ/プログラム可能		
4~5	何も配置されていません		0	-
6	FEMSEL (疑似フラッシュ エミュレーション領域選択)	0 : H'0000 4000 ~ H'0000 5FFF 1 : H'0000 6000 ~ H'0000 7FFF		
7	FEMMOD (疑似フラッシュ エミュレーションモード)	0 : 通常モード 1 : 内蔵フラッシュの8KBに、 内蔵RAMの先頭8KBをマッピング する疑似フラッシュエミュレーション モードになる		

注. W = - : 書き込み無効

フラッシュ制御レジスタ1(FCNT1)は内蔵フラッシュメモリの制御を行う以下の2つのビットで構成されています。

(1) FENTRY (フラッシュモードエントリ) ビット (D3)

FENTRYビットはフラッシュE/Wイネーブルモードへの移行を制御するビットです。このビットが"1"の場合のみフラッシュE/Wイネーブルモードへ移行します。

FENTRYビットに"1"をセットするには、FP端子 = "H"の状態ではFENTRYビットに連続して"0" "1"の書き込みを行います。

FENTRYビットのクリアには以下の条件があります。

- ・リセット時
- ・FENTRYビットへの"0"書き込み
- ・FP端子を"H"から"L"へ変化させた時

FENTRYビットが"0"でフラッシュ上のプログラムを使用する場合には、EIベクタエントリはフラッシュ上のH'0000 0080になります。FENTRYビットが"1"でフラッシュ書き換えプログラムをRAM上で動作させる場合には、EIベクタエントリはRAM上のH'0080 4000になり、割り込みを使用したフラッシュ書き換え制御が使用できます。

表5.4.1 FENTRYによるEIベクタエントリの遷移

FENTRY	EIベクタエントリ	番地
0	フラッシュ領域	H'0000 0080
1	内蔵RAM領域	H'0080 4000

(2) FEMSEL (疑似フラッシュエミュレーション領域選択) ビット (D6)

FEMSELビットは、疑似フラッシュエミュレーションモード(FEMMOD)を"1"に設定時、内蔵RAMの先頭8KB(H'0080 4000 ~ H'0080 5FFF)を以下に示す領域へマッピングし、リード及びライトすることができます。

FEMSELで選択した領域のフラッシュメモリは読み出し禁止となります。

また、FEMMODを"0"に設定すると、フラッシュメモリを読み出し、FEMSELで選択した領域の疑似フラッシュエミュレーションは禁止になります。この時、内蔵RAM(H'0080 4000 ~ H'0080 5FFF)は、内蔵RAM領域からのみ、リード及びライトすることができます。(詳しくは、5.7「疑似フラッシュエミュレーション機能」をご覧ください)。

表5.4.2 FEMSELと疑似フラッシュエミュレーション領域の関係

FEMMOD	FEMSEL	疑似フラッシュエミュレーション領域
0	X	無し
1	0	H'0080 4000 ~ H'0000 5FFF
1	1	H'0000 6000 ~ H'0000 7FFF

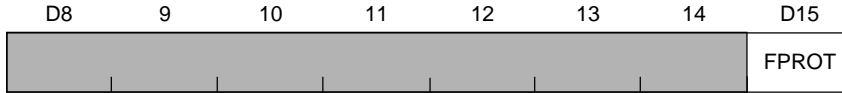
(3) FEMMOD (疑似フラッシュエミュレーションモード) ビット (D7)

FEMMODビットは、疑似フラッシュエミュレーションモードへの移行を制御するビットです。FENTRYビット="0"の状態ではFEMMODビットに"1"をセットすると疑似フラッシュエミュレーションモードへ移行します。

(詳しくは、5.7「疑似フラッシュエミュレーション機能」をご覧ください)。

フラッシュ制御レジスタ2 (FCNT2)

< アドレス : H'0080 07E3 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FPROT (ロック解除)	0 : ロックビットによるプロテクト有効 1 : ロックビットによるプロテクト無効		

注. W = - : 書き込み無効

フラッシュ制御レジスタ2(FCNT2)は、内蔵フラッシュメモリのロックビットによるプロテクト(フラッシュメモリへのイレーズ/プログラムの禁止)無効の制御を行います。FPROTビットに"1"をセットすると、フラッシュメモリのプロテクトが無効となり、ロックビットでプロテクトされたブロックに対するイレーズ/プログラムが可能となります。

FPROTビットに"1"をセットするには、FENTRYビット="1"の状態ではFPROTビットに連続して"0" "1"の書き込みを行います。

また、リセット直後、FPROTビットへの"0"書き込み、FP端子="L"、またはFENTRYビット="0"にすることでFPROTビットが"0"クリアされます。

注. 入出力ポートが下記に示す状態の場合は、FPROTビットに"1"(ロックビットによるプロテクト無効)を設定してください。

入出力ポートの状態：フラッシュメモリ書き換え時、ポート入力が必要でポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)に"1"(入力許可)を設定(詳しくは8章「入出力ポートと機能」をご覧ください)していて、かつポートP76の端子レベルが"H"の状態。

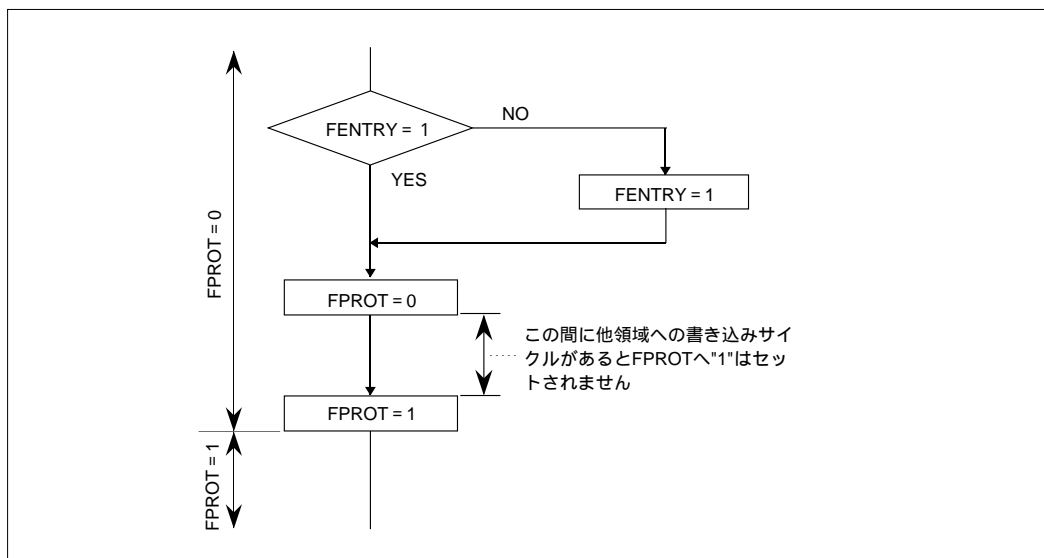
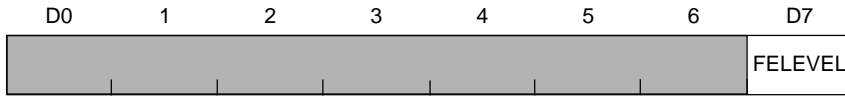


図5.4.2 プロテクト解除フロー

フラッシュ制御レジスタ3 (FCNT3)

< アドレス : H'0080 07E4 >



< リセット時 : H'00 >

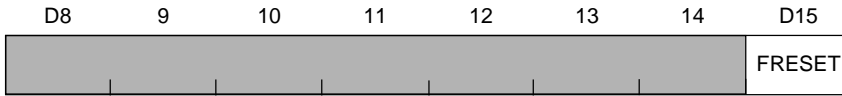
D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	FELEVEL (消去マージンアップ)	0 : 通常レベル 1 : 消去マージンアップ		

注. W = - : 書き込み無効

フラッシュ制御レジスタ3(FCNT3)は、イレーズ系コマンドで内蔵フラッシュメモリの消去する場合、消去レベルの深さの制御を行います。FELEVELビットに"1"をセットすると、フラッシュメモリの消去レベルをより深く行うことができ、信頼性マージンを向上させることができます。

フラッシュ制御レジスタ4 (FCNT4)

<アドレス : H'0080 07E5 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FRESET (フラッシュリセット)	0 : 何もしません 1 : リセット		

注. W = - : 書き込み無効

フラッシュ制御レジスタ4(FCNT4)は、プログラム/イレーズ動作途中でキャンセル、またはフラッシュステータスレジスタ2(FSTAT2)の各ステータスビットの初期化を制御するレジスタです。

FRESETビットに"1"をセットすると、プログラム/イレーズ動作途中でキャンセル、および、FSTAT2の各ステータスビットの初期化(H'80)を行います。

FRESETビットは、FENTRYビット = "1"のみ有効です。FENTRYビット = "1"以外は、FRESETビット情報を無視します。

フラッシュメモリへのプログラム/イレーズ時には、FRESETビットを"0"の状態でご制御ください。

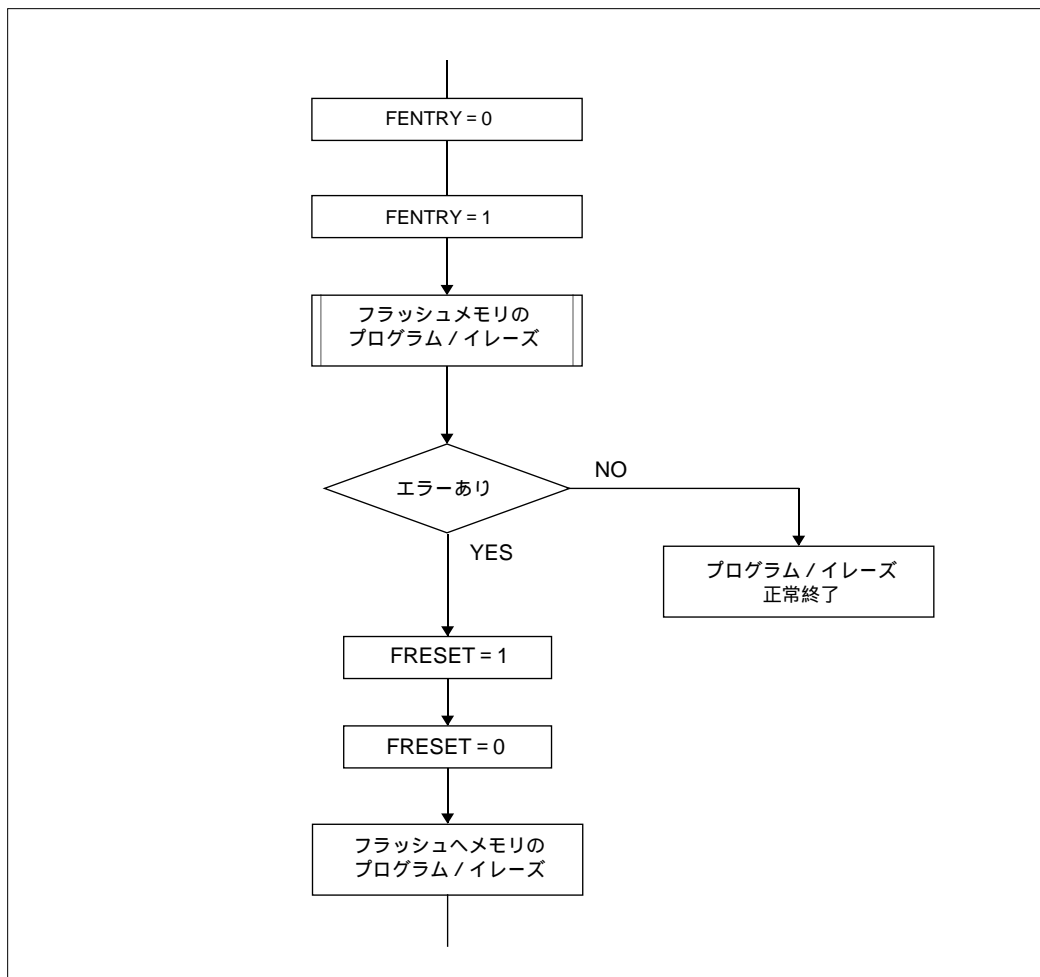


図5.4.3 FCNT4レジスタの使用例

5.5 内蔵フラッシュメモリの書き込み

5.5.1 フラッシュメモリ書き込みの概要

32160の内蔵フラッシュメモリへ書き込みを行う場合、次の2つの方法があります。

- (1) 内蔵フラッシュメモリ上に書き込みプログラムがない場合
- (2) 内蔵フラッシュメモリ上にすでに書き込みプログラムがある場合

(1)の場合は、FP端子="H"、MOD0="H"、MOD1="L"に設定し、ブート・フラッシュE/Wイネーブルモードに移行します。このときリセットベクタエントリは、ブートプログラム領域の先頭(H'8000 0000)になります(通常リセットベクタエントリは内蔵フラッシュメモリの先頭番地)。ブートモードでもE/W実行のためには、RAM上へのプログラム展開が必要です。

ブートプログラムを使用してフラッシュ制御レジスタ1のFENTRYビットに"1"をセットし、フラッシュメモリへ書き込み可能状態にします。

以後はブートプログラムにより、内蔵フラッシュメモリへの書き込み操作を行います。

(2)の場合は、FP端子="H"、MOD0="L"、MOD1="L"に設定し、シングルチップモードでフラッシュE/Wイネーブルモードに移行します。あらかじめ内蔵フラッシュメモリ内に用意した「フラッシュ書き込みプログラム」を内蔵RAMに転送します。転送後RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"にセットし、フラッシュメモリへ書き込み可能状態にします。

以後は内蔵RAM上に転送した「フラッシュ書き込みプログラム」により、内蔵フラッシュメモリへの書き込み操作を行います。

FP端子="H"、MOD0="L"、MOD1="H"に設定し、外部拡張モードでフラッシュE/Wイネーブルモードに移行することもできます。

フラッシュE/Wイネーブルモード(FP端子=1、FENTRY=1)時は、外部割り込み(EI)のEITベクタエントリが内蔵RAMの先頭(H'0080 4000)に移動します。通常モード時はフラッシュ領域(H'0000 0080)になります。

注1. フラッシュメモリ書き換え処理時、ポート入力を必要としない場合は、ポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)に"0"(入力禁止)を設定してください。

注2. フラッシュメモリ書き換え処理時、ポート入力が必要でポート入力機能を許可している場合は、ポートP76の端子レベルが"H"の状態ではフラッシュメモリのプロテクトはできません(ポートP76の端子レベルが"L"の状態時のみプロテクト有効)。

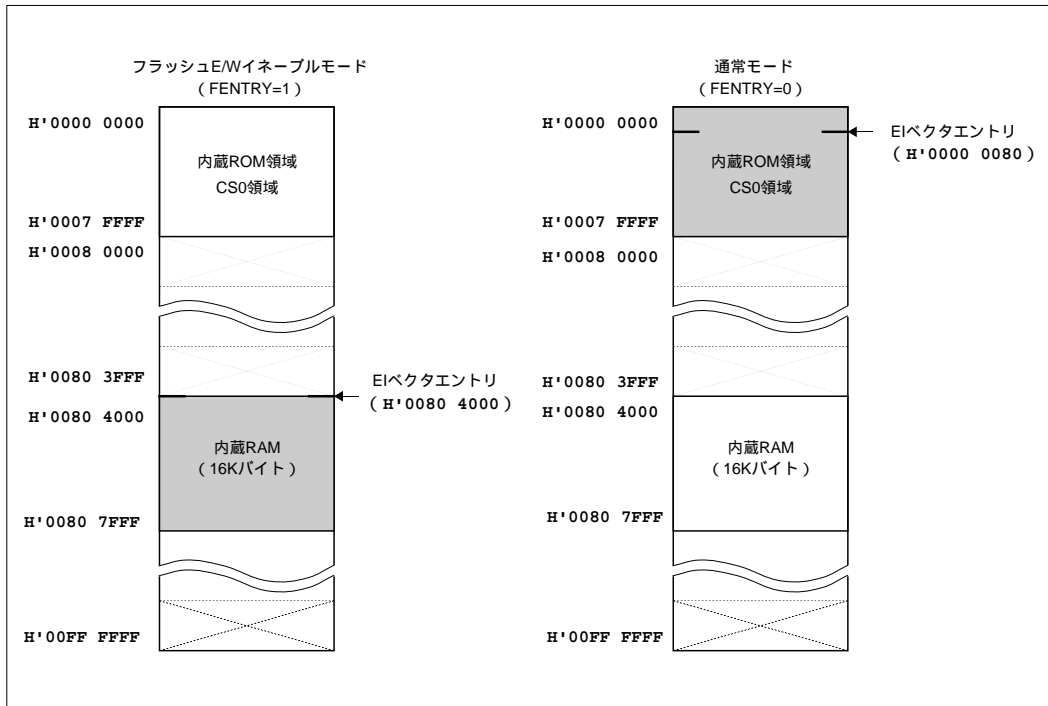


図5.5.1 フラッシュE/Wイネーブルモード時のEIベクタエントリ

エミュレータ使用時には、FP端子 = 1の状態ではEIベクタエントリがH'0080 4000へ移りますので、リセット投入直後にH'0000 0080から始まる32ビットデータをH'0080 4000へコピーして使用して下さい。

エミュレータ使用時(FP端子 = 1の条件で使用時)には、H'0080 4000 ~ H'0080 4003の領域はEI用の予約領域となります。

(1) 内蔵フラッシュメモリ上に書き込みプログラムがない場合

メモリマップ上に配置したブートROM上のプログラムにより、フラッシュメモリに書き込みます。書き込みデータの転送には、シリアルI/O1をクロック同期シリアルで使用します。フラッシュライタを使用してフラッシュ書き込みを行う場合に使用します。

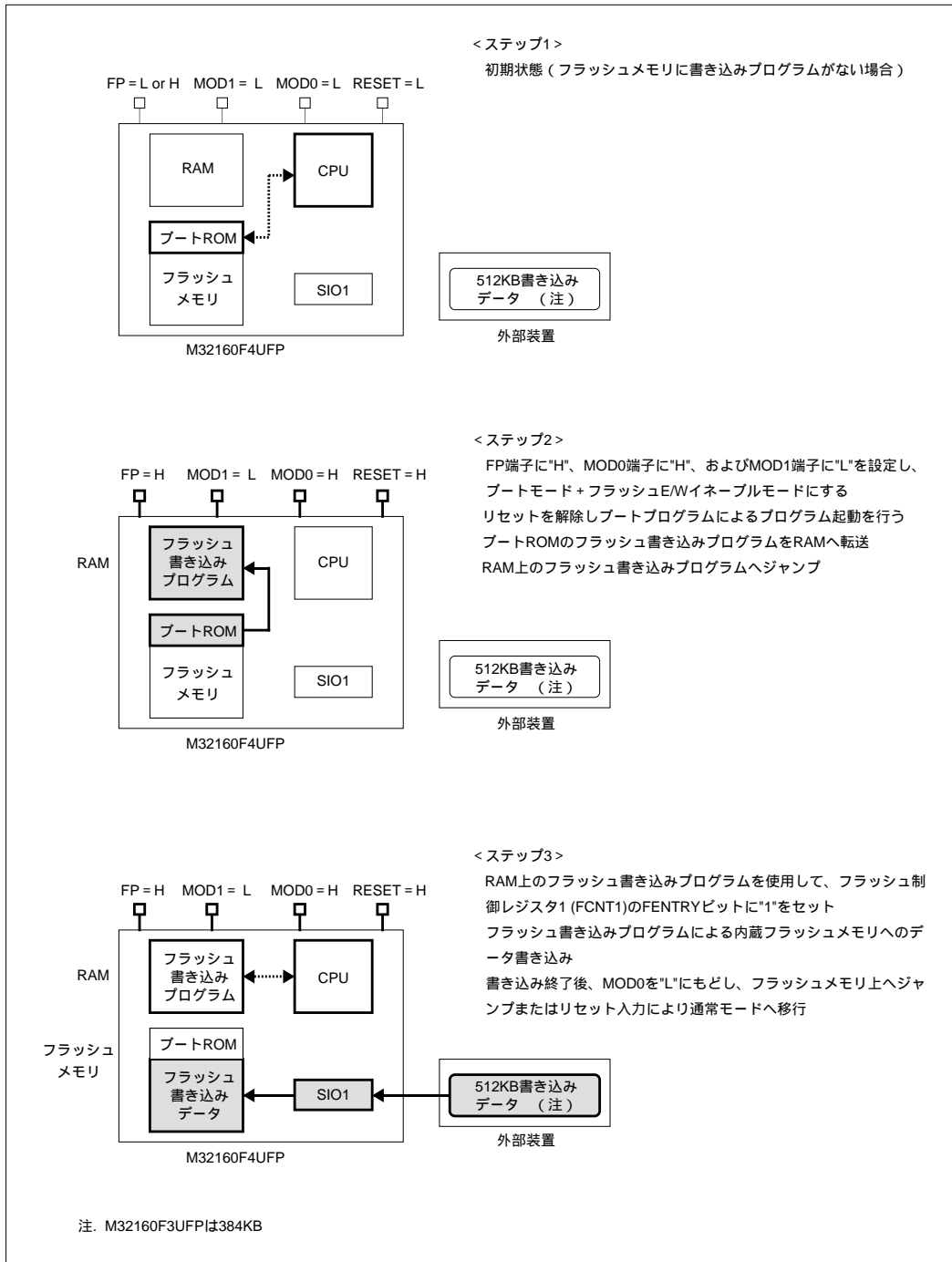


図5.5.2 内蔵フラッシュメモリへの書き込み手順（書き込みプログラムがフラッシュメモリ上にない場合）

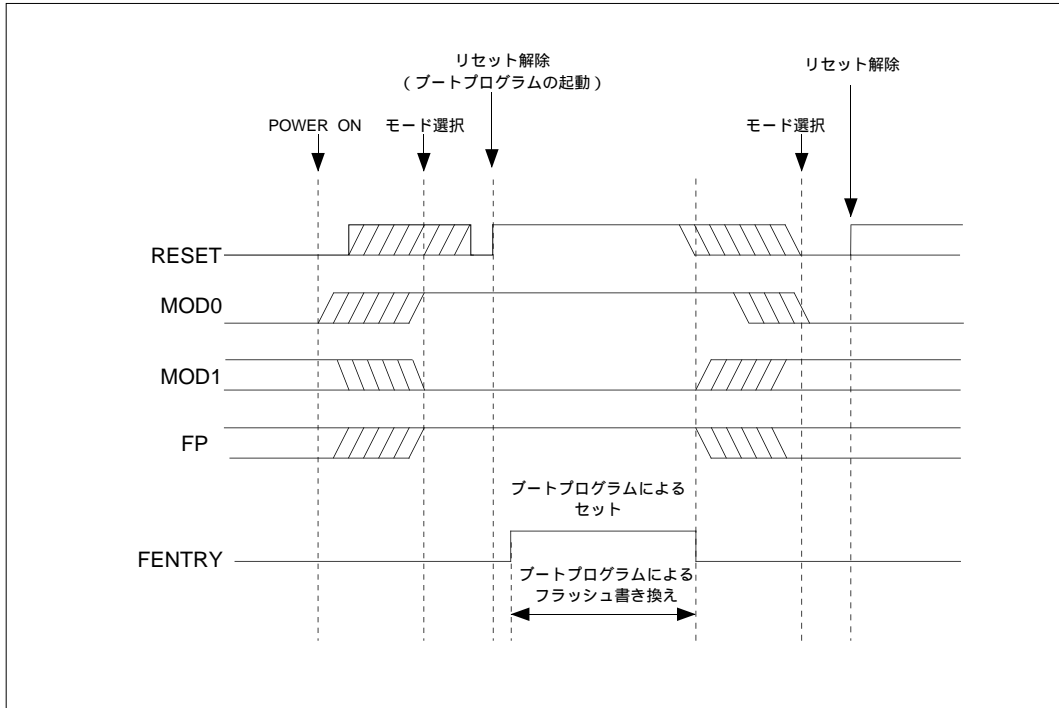


図5.5.3 内蔵フラッシュメモリ書き込みタイミング(書き込みプログラムがフラッシュメモリ上にない場合)

(2) 内蔵フラッシュメモリ上にすでに書き込みプログラムがある場合

内蔵フラッシュメモリ上に配置したフラッシュ書き込みプログラムにより、フラッシュメモリに書き込みます。

書き込みには書き込みシステムに合わせて内蔵周辺回路を使用します。(データバス及びシリアルI/O、ポート等使用できます。)

以下に、シングルチップモードでシリアルI/O0を使用した書き込み例を示します。

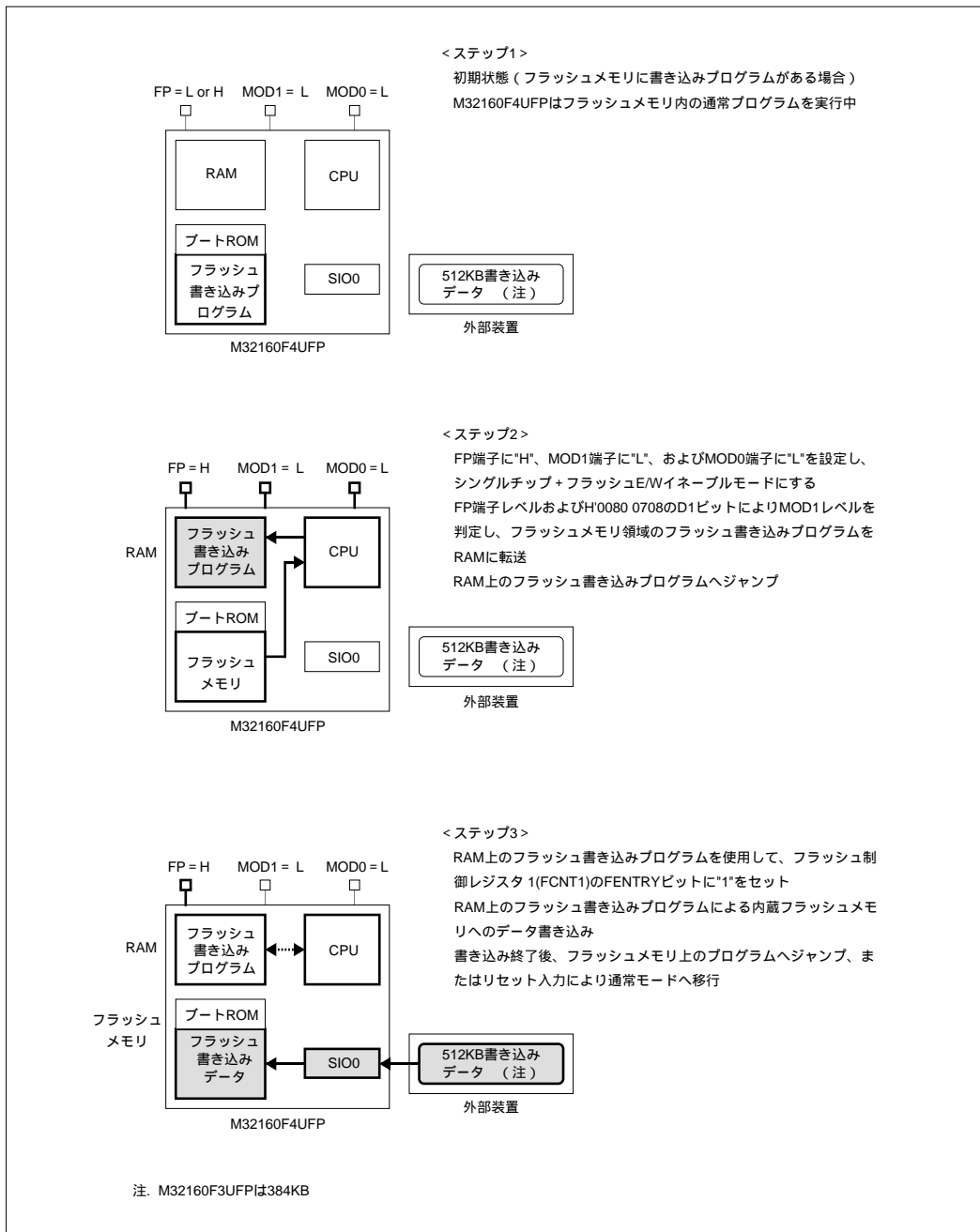


図5.5.4 内蔵フラッシュメモリへの書き込み手順 (書き込みプログラムがフラッシュメモリ上にある場合)

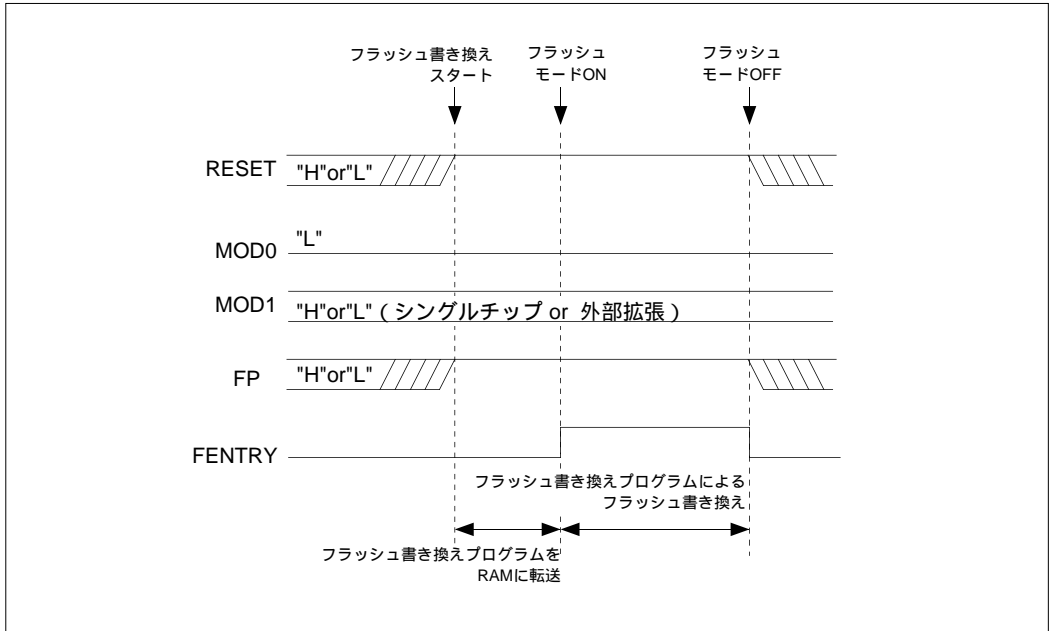


図5.5.5 内蔵フラッシュメモリ書き込みタイミング(書き込みプログラムがフラッシュメモリ上にある場合)

5.5.2 フラッシュ書き込み時における動作モードの制御

32160のチップ動作モードはMOD0、MOD1、およびフラッシュ制御レジスタ1(FCNT1)のFENTRYビットで設定されます。以下にフラッシュ書き込み時における動作モードの一覧を示します。

表5.5.1 フラッシュ書き込み時における動作モードの設定

FP	MOD0	MOD1	FENTRY(注1)	動作モード	リセットベクタエントリ	EIベクタエントリ
0	0	0	-	シングルチップ	フラッシュメモリ	フラッシュ領域
1	0	0	0	モード	先頭番地 (H'0000 0000)	(H'0000 0080)
0	1	0	-	プロセッサ	外部領域先頭番地	外部領域
				モード	(H'0000 0000)	(H'0000 0080)
0	0	1	-	外部拡張	フラッシュメモリ	フラッシュ領域
1	0	1	0	モード	先頭番地 (H'0000 0000)	(H'0000 0080)
1	0	0	1	シングルチップ	フラッシュメモリ	内蔵RAMの先頭
				モード	先頭番地 (H'0000 0000)	(H'0080 4000)
				+フラッシュ		
				E/Wイネーブル		
1	1	0	0	ブートモード	ブートプログラム	フラッシュ領域
					領域の先頭番地	(H'0000 0080)
					(H'8000 0000)	
1	1	0	1	ブートモード	ブートプログラム	内蔵RAMの先頭
				+フラッシュ	領域の先頭番地	(H'0080 4000)
				E/Wイネーブル	(H'8000 0000)	
1	0	1	1	外部拡張モード	フラッシュメモリ	内蔵RAMの先頭
				+フラッシュ	先頭番地	(H'0080 4000)
				E/Wイネーブル	(H'0000 0000)	
-	1	1	-	reserved	-	-

注. フラッシュ制御レジスタ1(FCNT1)内のFENTRYビット(- : Don't Care)の状態を示します。

(1) フラッシュE/Wイネーブルモード

フラッシュE/Wイネーブルモードは、32160の内蔵フラッシュメモリへの書き込みと消去をするモードです。フラッシュE/Wイネーブルモードでは、内蔵フラッシュメモリ上でのプログラムは実行できません。したがって、フラッシュE/Wイネーブルモード移行前に必要なプログラムを内蔵RAM上に転送し、RAM上でプログラム動作を行う必要があります。

(2) フラッシュE/W イネーブルモードへの移行

フラッシュE/Wイネーブルモードに移行できるのは、シングルチップモードと外部拡張モードだけです。FP端子が"H"レベルで、フラッシュ制御レジスタ1(FCNT1)のFENTRYビットが"1"の場合のみ、「フラッシュE/Wイネーブルモード」に移行します。プロセッサモードおよびFP端子が"L"の場合は移行できません。

(3) MOD0 端子、MOD1 端子レベルの検出

MOD0およびMOD1端子レベル("H" or "L")は、P8データレジスタ(ポートデータレジスタ、H'0080 0708)のD0ビットおよびD1ビットで確認できます。

P8 データレジスタ (P8DATA)

< アドレス : H'0080 0708 >

D0	1	2	3	4	5	6	D7
MOD0DT	MOD1DT	P82DT	P83DT	P84DT	P85DT	P86DT	P87DT

< リセット時 : 不定 >

D	ビット名	機能	R	W
0	MOD0DT (MOD0データ)	0 : MOD0端子 = L 1 : MOD0端子 = H		-
1	MOD1DT (MOD1データ)	0 : MOD1端子 = L 1 : MOD1端子 = H		-
2	P82DT (ポートP82データ)	ポート方向レジスタの設定により 方向ビットが"0"(入力モード)の場合		
3	P83DT (ポートP83データ)	0 : ポート入力端子 = "L" 1 : ポート入力端子 = "H"		
4	P84DT (ポートP84データ)	方向ビットが"1"(出力モード)の場合 0 : ポート出力ラッチ = "L" 1 : ポート出力ラッチ = "H"		
5	P85DT (ポートP85データ)			
6	P86DT (ポートP86データ)			
7	P87DT (ポートP87データ)			

注. W = - : 書き込み無効

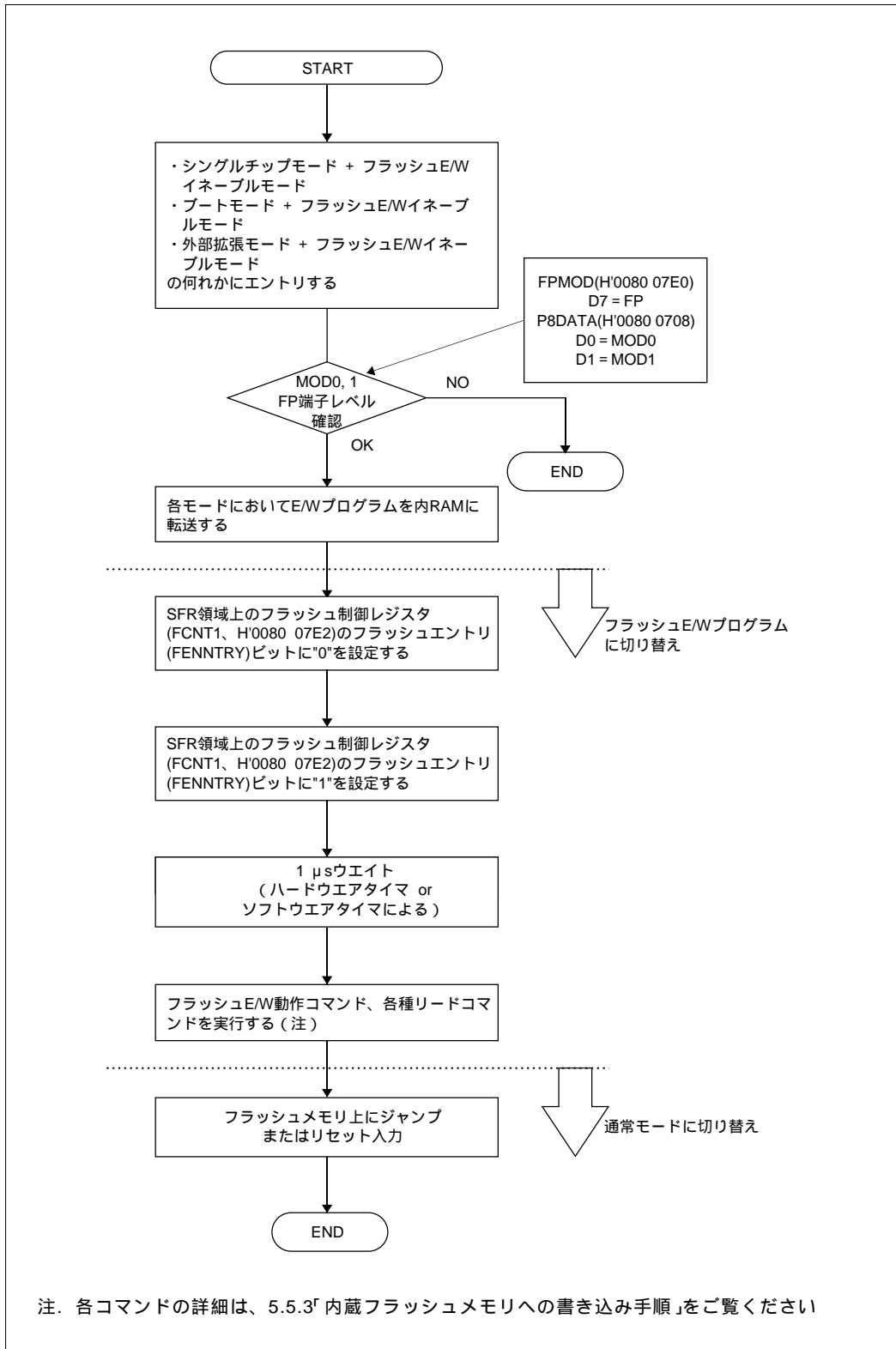


図5.5.6フラッシュE/Wイネーブル移行手順

5.5.3 内蔵フラッシュメモリへの書き込み手順

内蔵フラッシュメモリへの書き込みは、チップモードを制御してフラッシュE/Wイネーブルモードに移行した後、フラッシュメモリから内蔵RAMへ転送したフラッシュ書き込みプログラムで行います。

フラッシュE/Wイネーブルモードでは、通常モードのように内蔵フラッシュメモリからの読み出しができないので、内蔵フラッシュメモリ上のプログラムを実行することができません。そのため、フラッシュE/Wイネーブルモードへ移行する前にフラッシュ書き込みプログラムを内蔵RAM上に用意しておかなければなりません(フラッシュE/Wイネーブルモードへの移行後、フラッシュメモリへのアクセスはフラッシュコマンド以外、禁止します)。

フラッシュE/Wイネーブルモードにおける内蔵フラッシュメモリへのアクセスは、対象となる内蔵フラッシュメモリアドレスに対するコマンド発行により行います。フラッシュE/Wイネーブルモードにおいて発行できるコマンドを以下に示します。

注。フラッシュメモリへのリード/ライトはワードアクセスできません。

表5.5.2 フラッシュE/Wイネーブルモードにおけるコマンド

コマンド名	発行コマンドデータ
リードアレイコマンド	H'FFFF
ページプログラムコマンド	H'4141
ロックビットプログラムコマンド	H'7777
ブロックイレースコマンド	H'2020
イレース全アンロックブロックコマンド (注1)	H'A7A7
リードステータスレジスタコマンド	H'7070
クリアステータスレジスタコマンド	H'5050
リードロックビットステータスコマンド	H'7171
確認コマンド (注2)	H'D0D0

注1. M32160F3UFR(フラッシュメモリ384KB版)では、このコマンドの使用を禁止します。

注2. このコマンドは、ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックのときに使用します。

(1) リードアレイコマンド

内蔵フラッシュメモリの任意のアドレスに対して、コマンドデータH'FFFFをライトするとリードモードとなります。次に読み出したいアドレスをリードするとその内容が読み出せます。

フラッシュE/Wイネーブルモードから抜ける場合は、必ずリードアレイコマンドを実行してから抜けてください。

(2) ページプログラムコマンド

フラッシュメモリへのプログラムは、256バイト毎のページ単位(下位アドレスH'00~H'FF)で行います。

フラッシュへのデータ書き込み(プログラム)は、内蔵フラッシュメモリの任意のアドレスに対してプログラムコマンドH'4141をライトし、その後、書き込みたいアドレスにプログラムデータをライトします。

ページプログラムコマンドにおいて、プロテクトされているブロックへの書き込みはできません。

ただし、ポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)が"1"でかつポートP76の端子レベルが"H"の状態では、プロテクトが無効となり該当ブロックへの書き込みが行われますのでご注意ください。

ページプログラムは内部制御回路で自動的に行われ、プログラム完了はフラッシュステータスレジスタ1(FSTAT1)のFSTAT1ビットで確認することができます(5.4.2「フラッシュステータスレジスタ1」をご覧ください)。FSTAT1ビットが"1"の間は、次のプログラムは行えません。

(3) ロックビットプログラムコマンド

32160のフラッシュメモリは、ブロック単位にプロテクト(書き込み/イレーズ禁止)が可能です。ロックビットプログラムコマンドは、メモリブロックに対してプロテクトを行うコマンドです。

内蔵フラッシュメモリの任意アドレスに対して、ロックビットコマンドデータH'7777をライトします。次にプロテクトをかけたいブロックの最終偶数アドレスに確認コマンドデータH'D0D0をライトすると、該当メモリブロックがプロテクト(書き込み/イレーズ禁止)状態になります。プロテクトの解除は、フラッシュ制御レジスタ2(FCNT2)のFPROTビット(5.4.4「フラッシュ制御レジスタ2」をご覧ください)で、ロックビットによるプロテクトを無効にし、プロテクトを解除したいブロックをイレーズすることにより行います(該当メモリブロックの内容もイレーズされます)。

注. ロックビットプログラムコマンドでメモリブロックに対してプロテクトを行った場合であっても、ポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)が"1"でかつポートP76の端子レベルが"H"の状態では、メモリブロックがプロテクト無効の状態(書き込み/イレーズ可能な状態)になりますのでご注意ください。

以下に、確認コマンドデータをライトする際の対象ブロックと指定アドレスを示します。

表5.5.3 M32160F4UFPの対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 3FFE
1	H'0000 5FFE
2	H'0000 7FFE
3	H'0000 FFFE
4	H'0001 FFFE
5	H'0002 FFFE
6	H'0003 FFFE
7	H'0004 FFFE
8	H'0005 FFFE
9	H'0006 FFFE
10	H'0007 FFFE

表5.5.4 M32160F3UFPの対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 3FFE
1	H'0000 5FFE
2	H'0000 7FFE
3	H'0000 FFFE
4	H'0001 FFFE
5	H'0002 FFFE
6	H'0003 FFFE
7	H'0004 FFFE
8	H'0005 FFFE

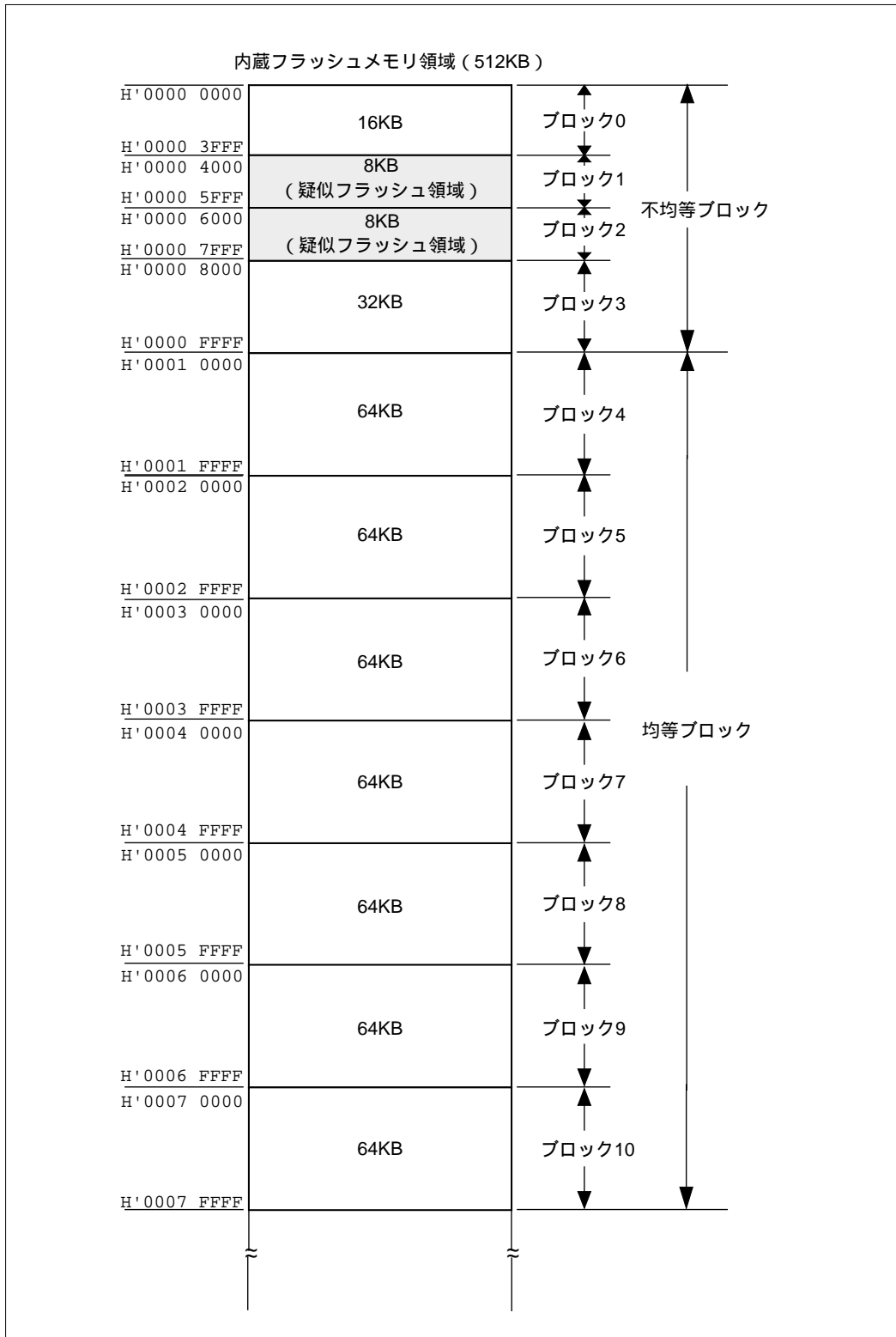


図5.5.7 M32160F4UFPフラッシュメモリのブロック構成

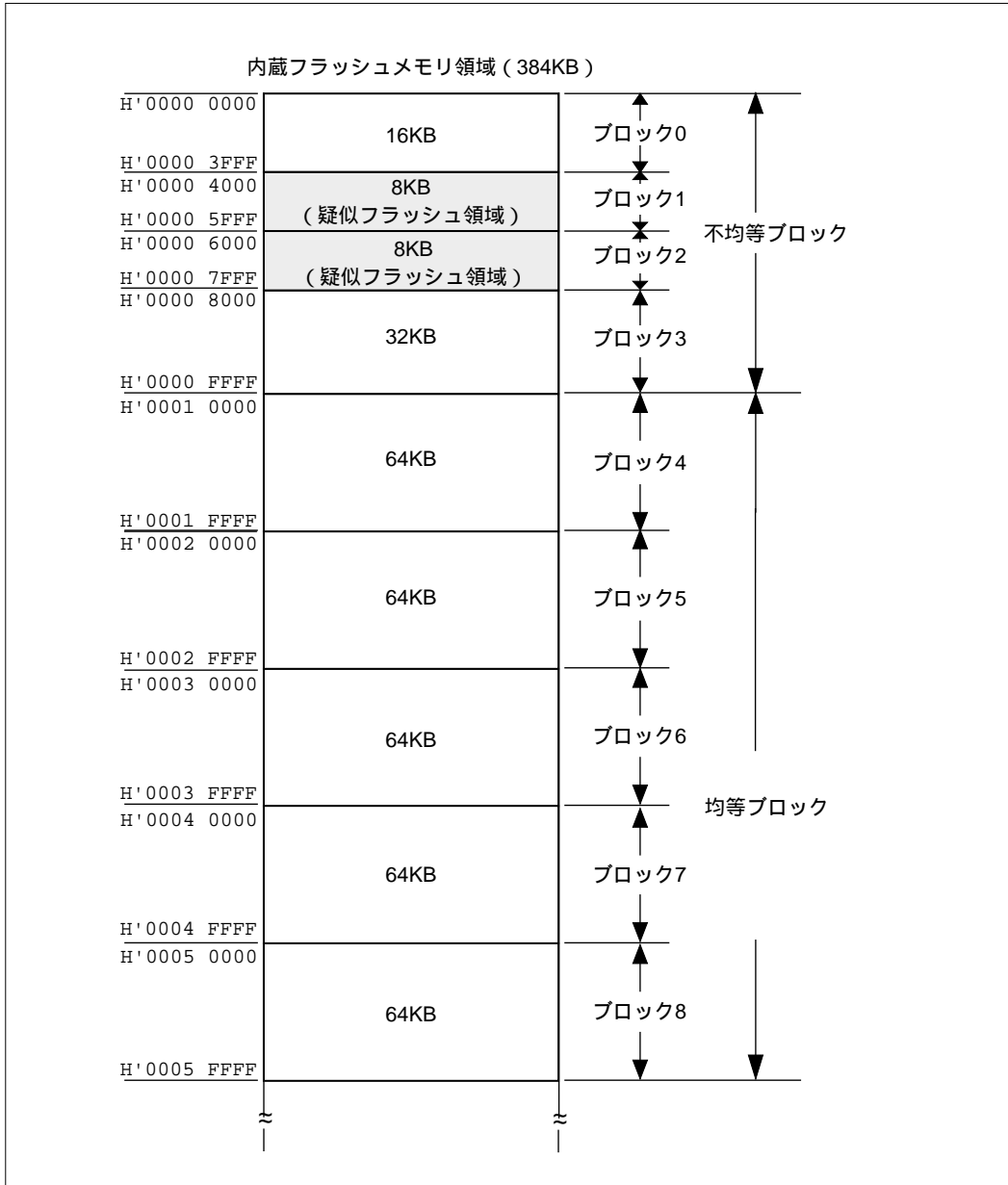


図5.5.8 M32160F3UFPフラッシュメモリのブロック構成

(4) ブロックイレーズコマンド

ブロックイレーズコマンドは、内蔵フラッシュメモリの内容をブロック単位で消去します。ブロックイレーズは内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'2020をライトします。次に、消去したいメモリブロックの最終偶数アドレス(表5.5.3 対象ブロックと指定番地を参照してください。)に確認コマンドデータH'D0D0をライトすることにより、該当メモリブロックの内容を消去します。

ブロックイレーズコマンドにおいて、プロテクトされているブロックへのイレーズはできません。

ただし、ポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)が"1"でかつポートP76の端子レベルが"H"の状態ではプロテクトが無効となり、該当ブロックの消去が行われますのでご注意ください。

ブロックイレーズは内部制御回路で自動的に行われ、ブロックイレーズ完了はフラッシュステータスレジスタ1(FSTAT1)のFSTAT1ビットで確認することができます(5.4.2「フラッシュステータスレジスタ1」をご覧ください)。FSTAT1ビットが"1"の間は、次のブロックイレーズは行えません。

(5) イレーズ全アンロックブロックコマンド

イレーズ全アンロックブロックコマンドは、プロテクトのかかっているすべてのメモリブロックを消去します。全アンロックブロックのイレーズは、内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'A7A7をライトします。次に、内蔵フラッシュメモリの任意アドレスにコマンドデータH'D0D0をライトすると、プロテクトのかかっているすべてのメモリブロックを消去します。

注1. M32160F3UFP では、このコマンドの使用を禁止します。

注2. ポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)が"1"でかつポートP76の端子レベルが"H"の状態ではプロテクトが無効となり、すべてのブロックの消去が行われますのでご注意ください。

(6) リードステータスレジスタコマンド

リードステータスレジスタコマンドは、フラッシュメモリへの書き込み、消去動作の終了状態(正常、異常)を示すフラッシュステータスレジスタ2(FSTAT2)の内容を読み出します。フラッシュステータスレジスタ2のリードは、内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7070をライトします。次に、内蔵フラッシュメモリの任意アドレスをリードすると、フラッシュステータスレジスタ2(FSTAT2)を読み出します。

(7) クリアステータスレジスタコマンド

クリアステータスレジスタコマンドは、フラッシュステータスレジスタ2(FSTAT2)のD10、D11およびD12ビットを"0"クリアするコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'5050をライトすると、フラッシュステータスレジスタ2が"0"クリアされます。

フラッシュメモリへの書き込み、消去動作でエラーが発生し、フラッシュステータスレジスタ2(FSTAT2)のD10、D11、またはD12ビットに"1"がセットされた場合、D10、D11、またはD12を"0"クリアしなければ、次の書き込み、消去はできません。

(8) リードロックビットステータスコマンド

リードロックビットステータスコマンドは、メモリブロックがプロテクト(書き込み/消去禁止)状態か、プロテクト状態でないかを確認するためのコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7171をライトします。次に、対象ブロックの最終偶数アドレス(表5.5.3、表5.5.4 対象ブロックと指定番地を参照してください。)をリードすると、対象ブロックがプロテクト状態か非プロテクト状態かを知ることができます。

リードしたデータのD1ビットおよびD9ビットが"0"の場合、該当メモリブロックがプロテクト状態であることを示し、D1ビットおよびD9ビットが"1"の場合、該当メモリブロックが非プロテクト状態であることを示します。

ロックビットステータスレジスタ(FLBST)

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
	FLBST0								FLBST1						

<リセット時：不定>

D	ビット名	機能	R	W
0	何も配置されていません		?	-
1	FLBST0 (ロックビット0)	0: プロテクト状態 1: 非プロテクト状態		-
2~8	何も配置されていません		?	-
9	FLBST1 (ロックビット1)	0: プロテクト状態 1: 非プロテクト状態 (FLBST0と同じ内容が出力されます)		-
10~15	何も配置されていません		?	-

ロックビットステータスレジスタは読み出し専用のレジスタで、各ブロックごとに独立したロックビットを内蔵しています。

注．ポート入力機能許可レジスタ(PIEN)のポート入力機能許可ビット(PIEN0)が"1"でかつポートP76の端子レベルが"H"の状態では、FLBST0ビットおよびFLBST1ビットが示す状態に関係なく、すべてのメモリブロックがプロテクト無効の状態になります。

ロックビットの書き込みは以下の方法で行います。

a) ロックビットの"0"セット方法(プロテクト状態)

プロテクトしたいメモリブロックにロックビットプログラムコマンド(H'7777)を発行することによって行います。

b) ロックビットの"1"セット方法(非プロテクト状態)

フラッシュ制御レジスタ2のFPROTを"ロックビットによるプロテクト無効"にしたのち、ブロックイレーズコマンド(H'2020)、またはイレーズ全アンロックブロックコマンド(H'A7A7)で、非プロテクト状態にしたいメモリブロックを消去することによってのみ行えます。

ロックビットのみを"1"セットすることはできません。

c) ロックビットのリセット時の状態

ロックビットは不揮発性のビットであるため、リセット及び電源断の影響を受けません。

(9) 各コマンドの実行フロー

以下に各コマンドの実行フロー図を示します。

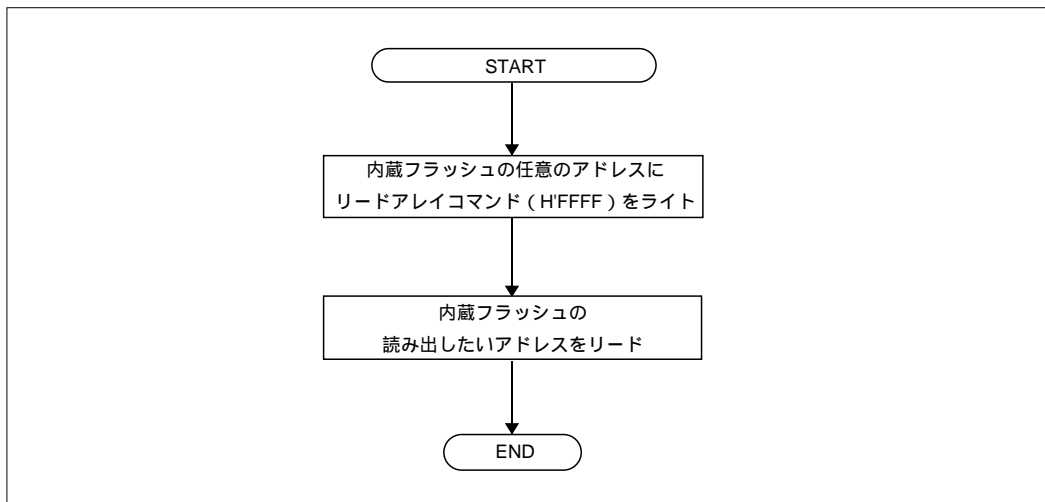


図5.5.9 リードアレイ

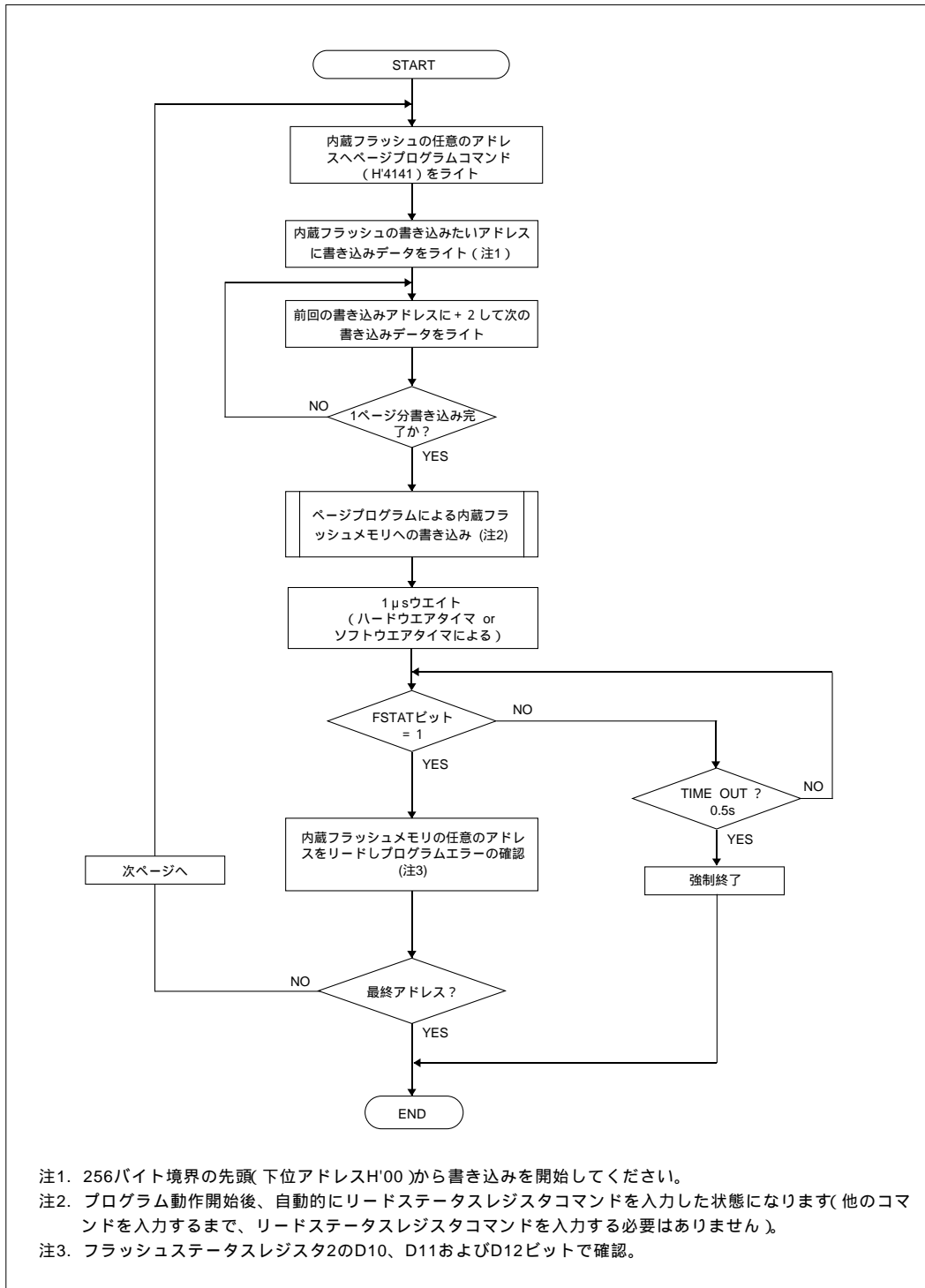


図5.5.10 ページプログラム

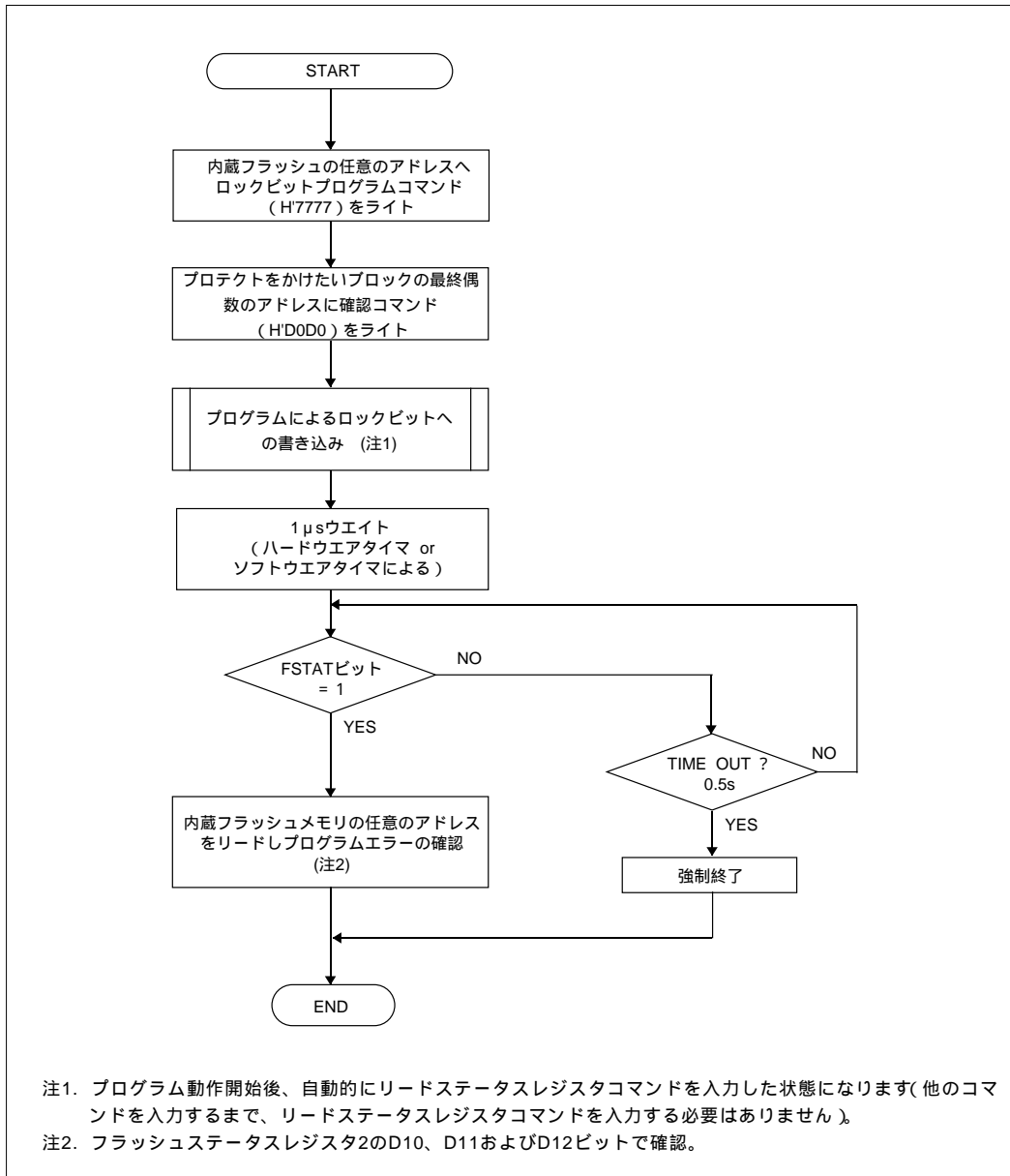


図5.5.11 ロックビットプログラム

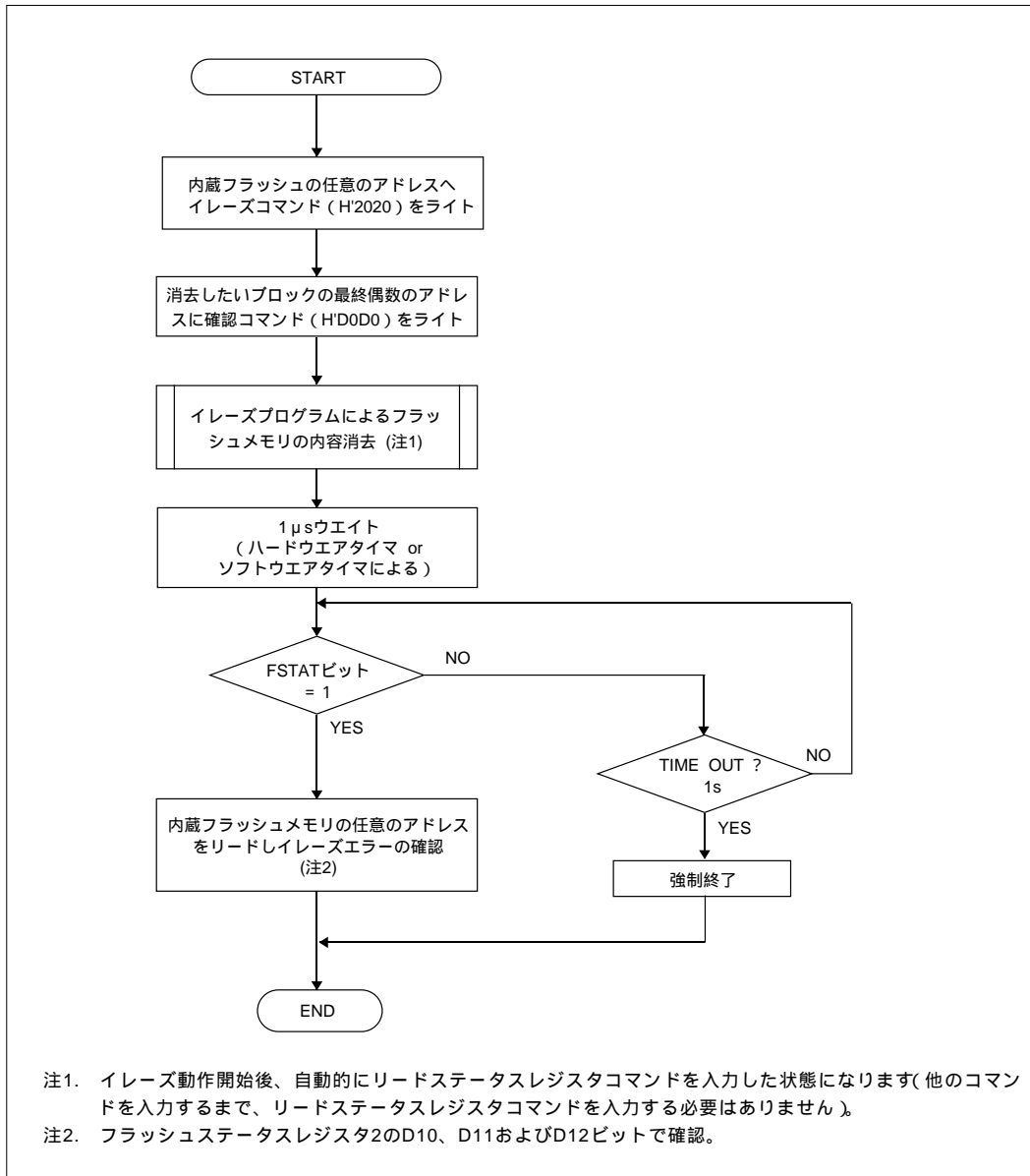


図5.5.12 ブロックイレーズ

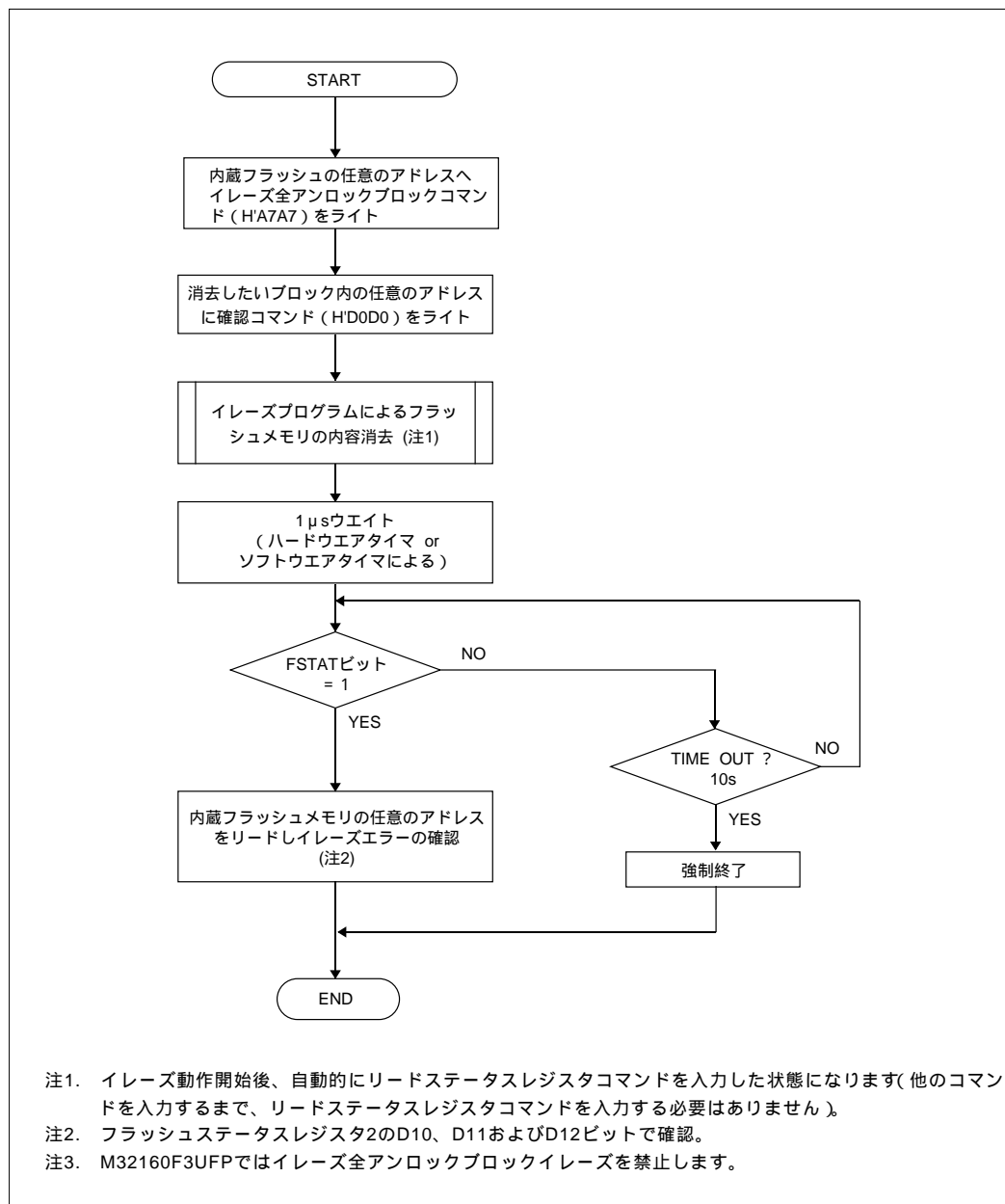


図5.5.13 イレーズ全アンロックブロックイレーズ

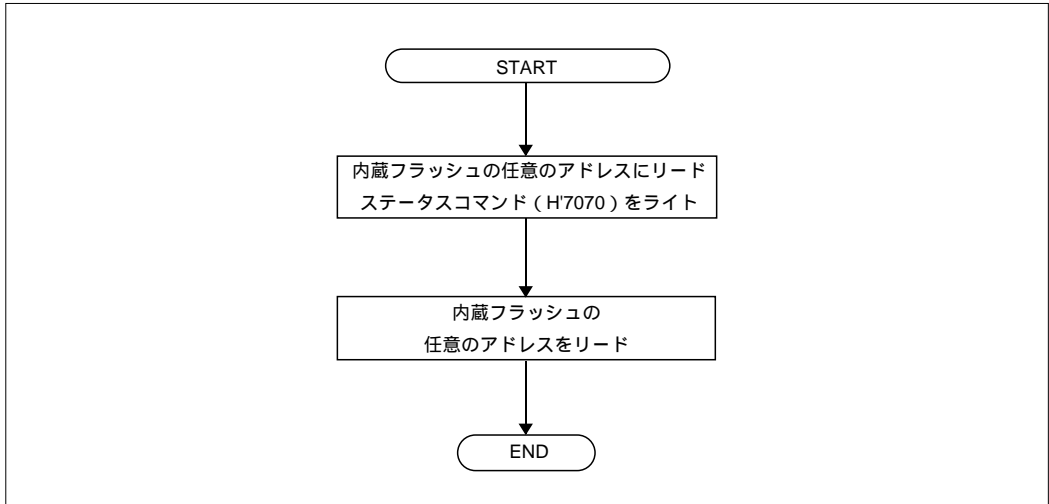


図5.5.14 リードステータスレジスタ

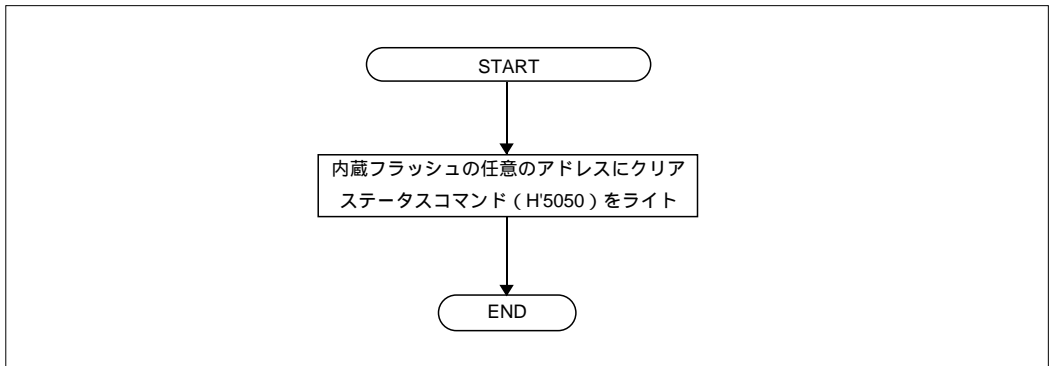


図5.5.15 クリアステータスレジスタ

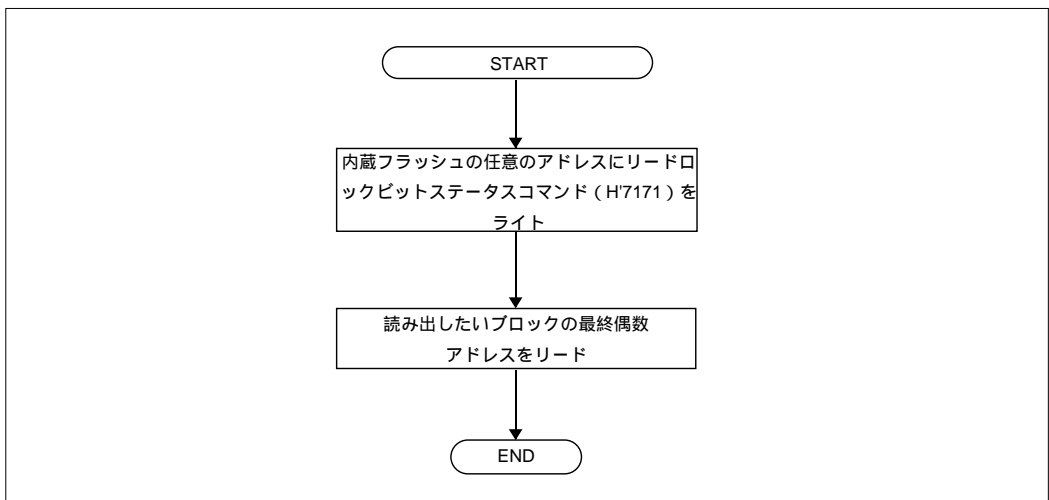


図5.5.16 リードロックビットステータスレジスタ

5.5.4 フラッシュ書き込み時間(参考値)

内蔵フラッシュメモリへの書き込み時間の参考値を以下に示します。

(1) M32160F4の場合

SIOによる転送時間(転送データ容量:512KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 512\text{KB} \quad 100.2[\text{s}]$$

フラッシュ書き込み時間

$$512\text{KB}/256\text{バイトブロック} \times 8\text{ms} \quad 16.4[\text{s}]$$

イレーズ時間(全領域)

$$50\text{ms} \times \text{ブロック数}(11\text{ブロック}) \quad 550[\text{ms}]$$

トータルフラッシュ書き込み時間(512KB全領域)

UARTで57600pbs通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$+ \quad 101[\text{s}]$$

なお、シリアル通信高速化又は他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$+ \quad 17[\text{s}]$$

(2) M32160F3の場合

SIOによる転送時間(転送データ容量:384KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 384\text{KB} \quad 75.1[\text{s}]$$

フラッシュ書き込み時間

$$384\text{KB}/256\text{バイトブロック} \times 8\text{ms} \quad 12.3[\text{s}]$$

イレーズ時間(全領域)

$$50\text{ms} \times \text{ブロック数}(9\text{ブロック}) \quad 450[\text{ms}]$$

トータルフラッシュ書き込み時間(384KB全領域)

UARTで57600pbs通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$+ \quad 76[\text{s}]$$

なお、シリアル通信高速化又は他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$+ \quad 13[\text{s}]$$

5.6 ブートROM

32160のブートメモリ仕様を以下に示します。

表5.6.1 ブートメモリ仕様

項目	仕様
容量	8Kバイト
配置アドレス	H'8000 0000 ~ H'8000 1FFF
ウエイト挿入	ノーウエイト動作(内部動作25MHZ時)
内部バス接続	32ビットバス接続
読み出し	FP=1, MOD0=1,MOD1=0の条件でのみ読み出し可能です。他のモード読み出しを行うと不定値が読み出されます。書き込み処理を行うことはできません。
その他	ブートROM領域はブートモード時のみ使用可能な予約領域のため、プログラムを変更することはできません。

5.7 疑似フラッシュエミュレーション機能

32160は、内蔵フラッシュ(H'0000 4000 ~ H'0000 5FFFまたはH'0000 6000 ~ H'0000 7FFF)の領域(8KB)に内蔵RAMの先頭8KB(H'0080 4000 ~ H'0080 5FFF)をマッピングする機能を備えており、これを疑似フラッシュエミュレーション機能と呼びます。

この機能を使用することで、内蔵RAMの先頭8KBに配置したデータはフラッシュメモリ内の8KBと切り換えて使用可能となります。このため、プログラム動作中にデータの変更を必要とするアプリケーションでは、8KB分のRAM領域を使用したダイナミックな変更が可能となります。疑似フラッシュエミュレーションに割り当てられたRAM(H'0080 4000 ~ H'0080 5FFF)は、内蔵RAM領域及び内蔵フラッシュ領域の両方からリード、ライトできます。

この機能と内蔵リアルタイムデバッグ(RTD)を組み合わせて使用することで、内蔵フラッシュメモリ上に設けたデータテーブルを外部から参照したり、書き替えることができ、外部からデータテーブルのチューニングが容易に行えます。

内蔵フラッシュメモリに対する書き込み操作を行う場合は、必ずこの疑似フラッシュエミュレーションモードを終了してください。

5.7.1 疑似フラッシュエミュレーション領域

疑似フラッシュエミュレーション機能が有効な領域を以下に示します。

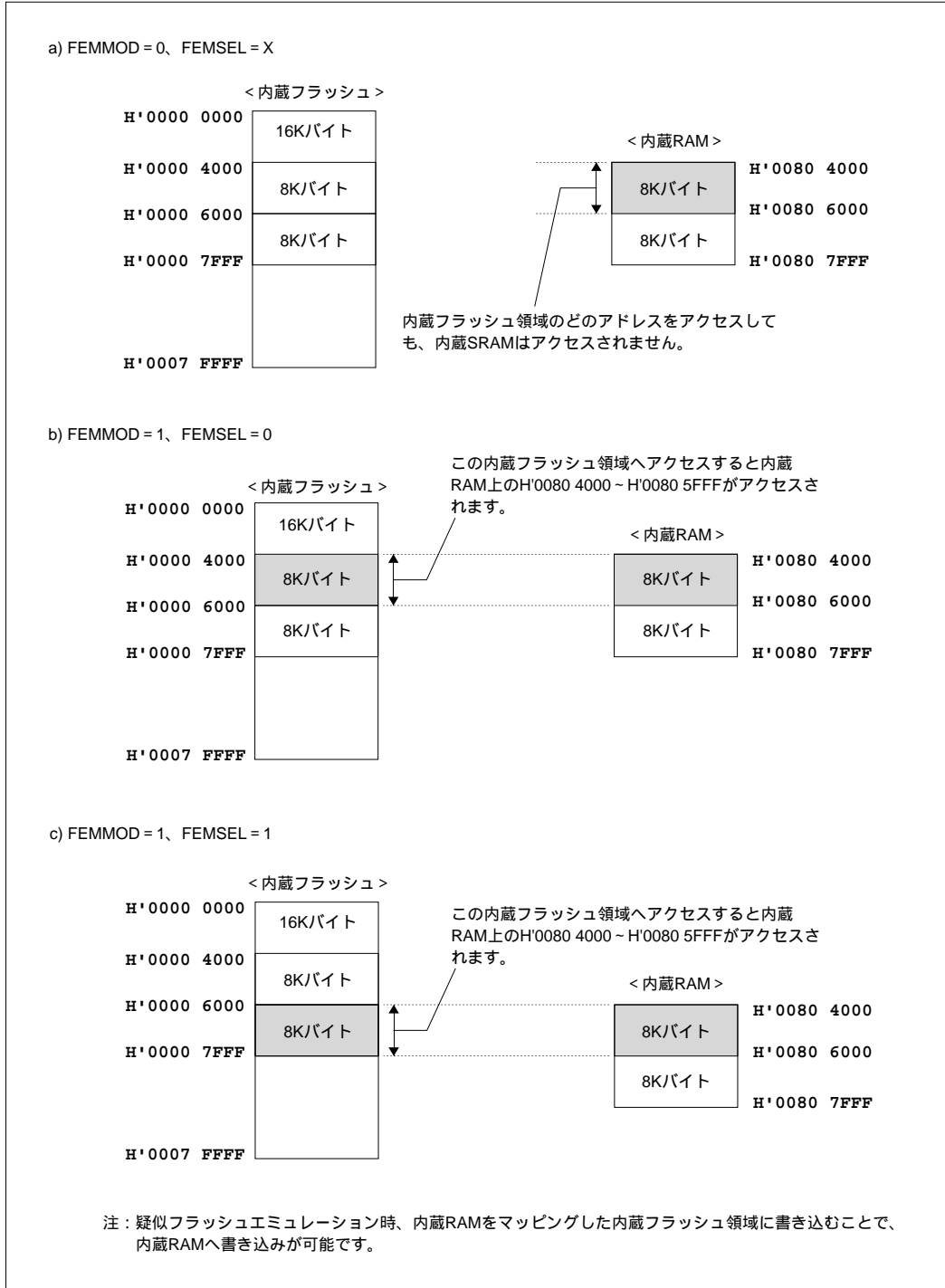


図5.7.1 疑似フラッシュエミュレーション領域

5.7.2 疑似フラッシュエミュレーションモードへの移行

疑似フラッシュエミュレーションモードに移行するには、フラッシュ制御レジスタ1 (FCNT1)のFEMMODビットに"1"を書き込みます。このビットを"1"にすると、フラッシュ (H'0000 4000 ~ H'000 5FFFまたはH'0000 6000 ~ H'0000 7FFF)領域の8KBが、内蔵RAM先頭の8KBに置き換わります。

疑似フラッシュエミュレーションモード時も、内蔵RAM領域(H'0080 4000 ~ H'0080 7FFF)は内蔵RAMとしてアクセス可能です。

5.8 シリアルライタとの接続

ブート・フラッシュE/Wイネーブルモードで汎用シリアルライタを使用して内蔵フラッシュメモリを書き換える場合、下記に示す端子のシリアルライタへ対応した端子処理が必要です。

表5.8.1 シリアルライタ使用時の端子処理

端子名	端子番号	機能	備考
SCLKI1	88	転送クロック入力	プルアップ必要
RXD1	87	シリアルデータ入力 (受信データ)	プルアップ必要
TXD1	86	シリアルデータ出力 (送信データ)	
P83	84	送受信制御	プルアップ必要
P84	85	送受信許可出力	プルアップ必要
FP	118	フラッシュメモリのプロテクト	
MOD0	116	動作モード0	
MOD1	117	動作モード1	グランドに接続
RESET	115	リセット	
XIN	7	クロック入力	
XOUT	8	クロック出力	
VCNT	10	PLL回路の制御入力	
OSC-VCC	9	PLL回路電源	3.3V系電源に接続
OSC-VSS	6	PLL回路グランド	グランドに接続
VREF	46	A-D変換器の基準電圧入力	5V系電源に接続
AVCC	47	アナログ電源	5V系電源に接続
AVSS	64	アナロググランド	グランドに接続
FVCC	91	フラッシュメモリ電源	3.3V系電源に接続
VDD	132	RAMバックアップ電源	3.3V系電源に接続
VCCE	11,36,81,119,154	5V系電源	
VCCI	65,89,100,133,144,174	3.3V系電源	
VSS	5,37,66,82,90,92,101, 120,134,145,155,175	グランド	

注. 上記以外の端子については、端子処理不要です。

シリアルライタ接続時の、ユーザシステム構成例を以下に示します。シリアルライタは、ユーザシステムへ電源投入後、クロック同期形シリアルを使用しフラッシュメモリへの書き込みを行います。また、発振周波数に依存した通信上の問題が発生することはありません。シリアルライタに接続する端子をシステムで使用する場合、シリアルライタ接続時に影響が出ないように考慮が必要です。なお、H'0000 0084~H'0000 0093間はフラッシュメモリプロテクト用のID照合領域にてシリアルライタで使用します。

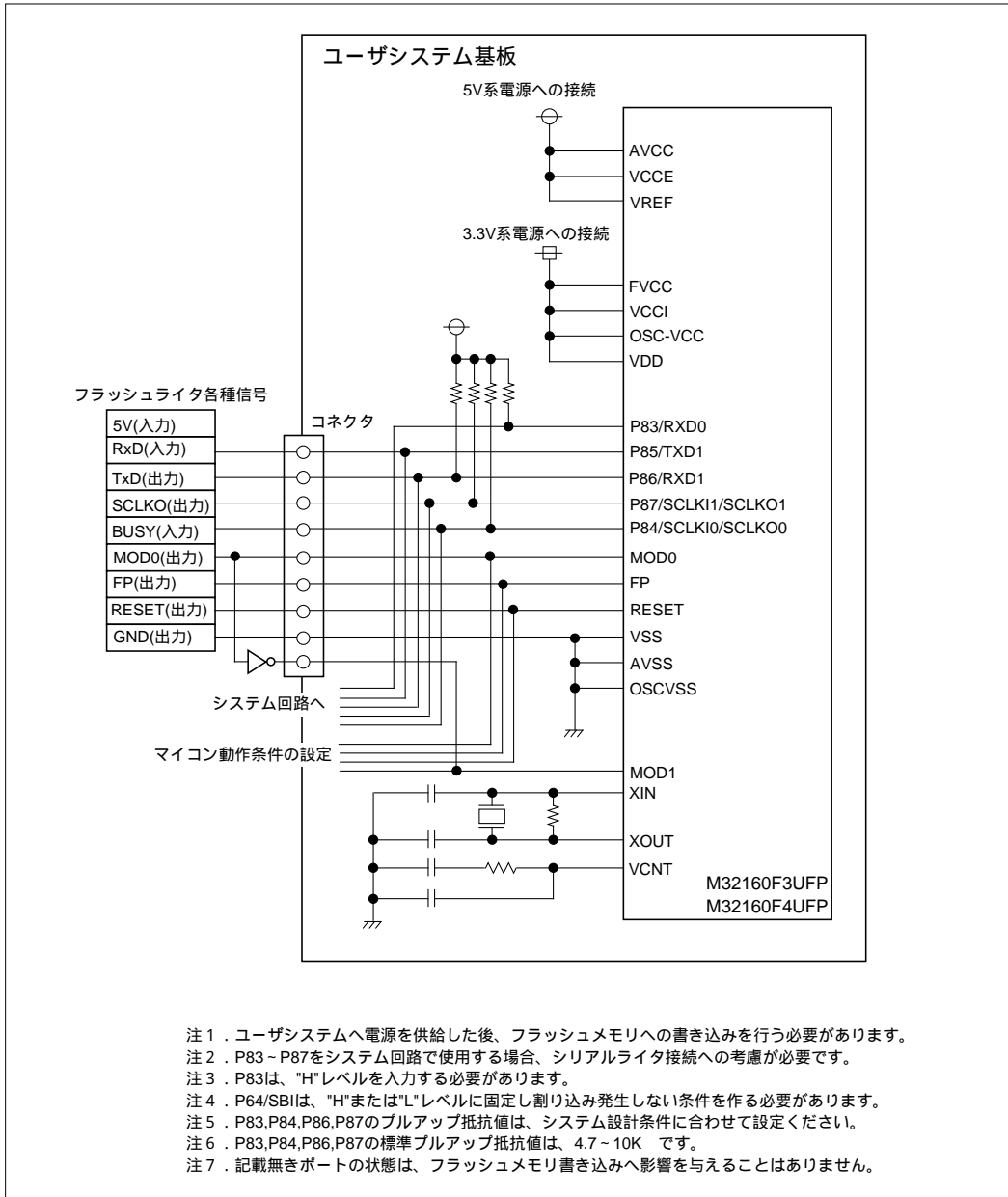


図5.8.1 端子接続図

5.9 フラッシュメモリ書き換え時の注意事項

ブート・フラッシュE/Wイネーブルモードで汎用シリアルライタを使用して内蔵フラッシュメモリを書き換える場合の注意事項を以下に示します。

シリアルライタで使用する端子をシステムで使用する場合、シリアルライタ接続時に影響がでないよう考慮が必要です。

フラッシュメモリプロテクトが必要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)に任意のIDを設定してください。

フラッシュメモリプロテクトが不要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)すべてにH'FFを設定してください。

第6章

リセット

- 6.1 リセット概要
- 6.2 リセット動作
- 6.3 リセット解除直後の内部状態
- 6.4 リセット解除後の注意事項

6.1 リセット概要

M32Rは、 $\overline{\text{RESET}}$ 端子に"L"レベル信号を入力するとリセット状態に入ります。その後、 $\overline{\text{RESET}}$ 端子を"H"にするとリセット状態が解除され、PC(プログラムカウンタ)にリセットベクタエントリの番地がセットされ、以後リセットベクタエントリから実行を開始します。

6.2 リセット動作

6.2.1 電源投入時のリセット

電源投入時は、M32Rが内蔵する2通倍のクロックジェネレータの発振が安定するまで、 $\overline{\text{RESET}}$ 端子に"L"レベル信号を入力してください。

6.2.2 動作中のリセット

M32Rの動作中のリセットは、XIN信号の4クロック以上の幅で $\overline{\text{RESET}}$ 端子に"L"レベル信号を入力してください。

6.2.3 フラッシュ書き替え時のリセットベクタ移動

ブートモードにすると、リセットベクタエントリのアドレスはブートプログラム空間の先頭番地(H'8000 0000番地)に移動します。詳しくは5.5「内蔵フラッシュメモリの書き込み」をご覧ください。

6.3 リセット解除直後の内部状態

以下にM32Rのリセット解除直後の内部状態を示します。各内蔵周辺I/Oのレジスタ初期状態については、それぞれの内蔵周辺I/Oの章をご覧ください。

表6.3.1 リセット解除直後の内部状態

レジスタ	リセット後の状態
PSW (CR0)	B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BCビット = 不定)
CBR (CR1)	H'0000 0000 (Cビット = 0)
SPI (CR2)	不定
SPU (CR3)	不定
BPC (CR6)	不定
PC	H'0000 0000 (H'0000 0000番地から実行) (注)
ACC(アキュムレ-タ)	不定

注. ブートモード時は、ブートプログラム空間の先頭番地(H'0080 0000番地)になります。

6.4 リセット解除後の注意事項

入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力機能許可レジスタ(PIEN)のPIEN0で入力許可に設定してください。詳しくは、8.3「入出力ポート関連レジスタ」をご覧ください。

第7章

外部バスインタフェース

- 7.1 外部バスインタフェース
関連信号
- 7.2 リード/ライト動作
- 7.3 バスアービトレーション
- 7.4 外部拡張メモリ接続例

7.1 外部バスインタフェース関連信号

32160は、以下に示す外部バスインタフェース関連信号を備えています。これらの信号は、外部拡張モードまたはプロセッサモードで使用できます。

(1) アドレス (A13 ~ A30)

32160は512Kバイトの空間をアドレッシングする18ビットのアドレス(A13~A30)を出力します。最下位のA31は出力されず、外部ライトサイクルでは16ビットのデータバスのうち、有効な書き込みを行うバイト位置をBHW, BLW信号で出力します。リードサイクルでは常に16ビットでデータを読み込み、有効なバイト位置のデータのみ転送します。

(2) チップセレクト ($\overline{CS0}$, $\overline{CS1}$)

外部拡張モードまたはプロセッサモードで出力される信号で、1Mバイトの外部の外部拡張領域の前半512Kバイトで $\overline{CS0}$ 信号、後半512Kバイトで $\overline{CS1}$ 信号を出力します。ただし外部拡張モードでは $\overline{CS0}$ 信号は出力されません(詳しくは第3章「アドレス空間」をご覧ください)。

(3) リードストロープ (\overline{RD})

外部リードサイクル中に出力され、リードデータの読み込みタイミングを示します。ライト時は"H"が出力されます。

(4) バイトハイライト (\overline{BHW})

ライトアクセス時に、データバスの上位側バイト(DB0~DB7)で有効なデータ転送が行われることを示します。外部リードサイクルでは"H"が出力されます。

(5) バイトローライト (\overline{BLW})

ライトアクセス時に、データバスの下位側バイト(DB8~DB15)で有効なデータ転送が行われることを示します。外部リードサイクルでは"H"が出力されます。

(6) データバス (DB0 ~ DB15)

外部デバイスをアクセスするための16ビットデータバスです。

(7) システムクロック (BCLK)

システムクロックは、外部システムで同期設計を行うためのクロックです。内部動作25MHzの場合、BCLKには25MHzのクロックが出力されます。

(8) ウェイト (WAIT)

32160が外部バスサイクルを起動した場合、WAIT信号が入力されている間、ウェイトサイクルを自動的に挿入します。詳しくは第14章「ウェイトコントローラ」をご覧ください。

なお、32160は外部アクセスに対しては常に1ウェイト以上を挿入します。したがって外部デバイスへの最短アクセスは1ウェイト(2 BCLK期間)となります。

(9) ホールド制御 (HREQ, HACK)

ホールド状態とは、32160がバスアクセスを停止し、バスインタフェース関連の各端子がハイインピーダンスになっている状態のことをいいます。32160がホールド状態にある間は、外部にあるバスマスタはシステムバスを使用したデータ転送を行うことができます。

HREQ端子に"L"信号を入力すると、32160はホールド状態へ遷移します。ホールド要求を受け付け後のホールド中およびホールド状態への遷移中は、HACK端子から"L"信号を出力します。ホールド状態から通常動作状態へ復帰させるためにはHREQ信号を"H"にして下さい。

なお、ホールド中の32160の各端子は以下のようになります。

表7.1.1 ホールド期間中の端子の状態

端子名	端子の状態または動作
A13 ~ A30, DB0 ~ DB15, CS0, CS1, RD, BHW, BLW	ハイインピーダンス
HACK	"L"を出力
その他の端子	通常動作

(10) ポートP7動作モードレジスタ (P7MOD)

WAIT端子はP71、HREQ端子はP72およびHACK端子はP73と共用しています。ポートP7動作モードレジスタはポートP7の機能を選択するレジスタです。ポートP7動作モードレジスタの構成を以下に示します。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0 : P70 1 : BCLK	?	
9	P71MOD (ポートP71動作モード)	0 : P71 1 : WAIT	?	
10	P72MOD (ポートP72動作モード)	0 : P72 1 : HREQ	?	
11	P73MOD (ポートP73動作モード)	0 : P73 1 : HACK	?	
12	P74MOD (ポートP74動作モード)	0 : P74 1 : RTD TXD	?	
13	P75MOD (ポートP75動作モード)	0 : P75 1 : RTD RXD	?	
14	P76MOD (ポートP76動作モード)	0 : P76 1 : RTD ACK	?	
15	P77MOD (ポートP77動作モード)	0 : P77 1 : RTD CLK	?	

R = ? : 読み出し値不定

7.2 リード/ライト動作

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHW} , \overline{BLW} , \overline{WAIT} の各信号により行われます。外部リードサイクルで、 \overline{RD} 信号は"L"、 \overline{BHW} , \overline{BLW} は共に"H"になり、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、書き込みを行うバイト位置に対応した \overline{BHW} または \overline{BLW} 信号に"L"を出力し、データの書き込みを行います。

外部バスサイクル起動時、 \overline{WAIT} 信号を"L"にするとウエイトサイクルを挿入し続けます。 \overline{WAIT} 信号は必要なとき以外は、常に"H"状態を保ってください。なお外部バスサイクルは、最短でアクセスする場合でも常に1ウエイトが挿入されます(最短バスサイクルは2 BCLK期間となります)。

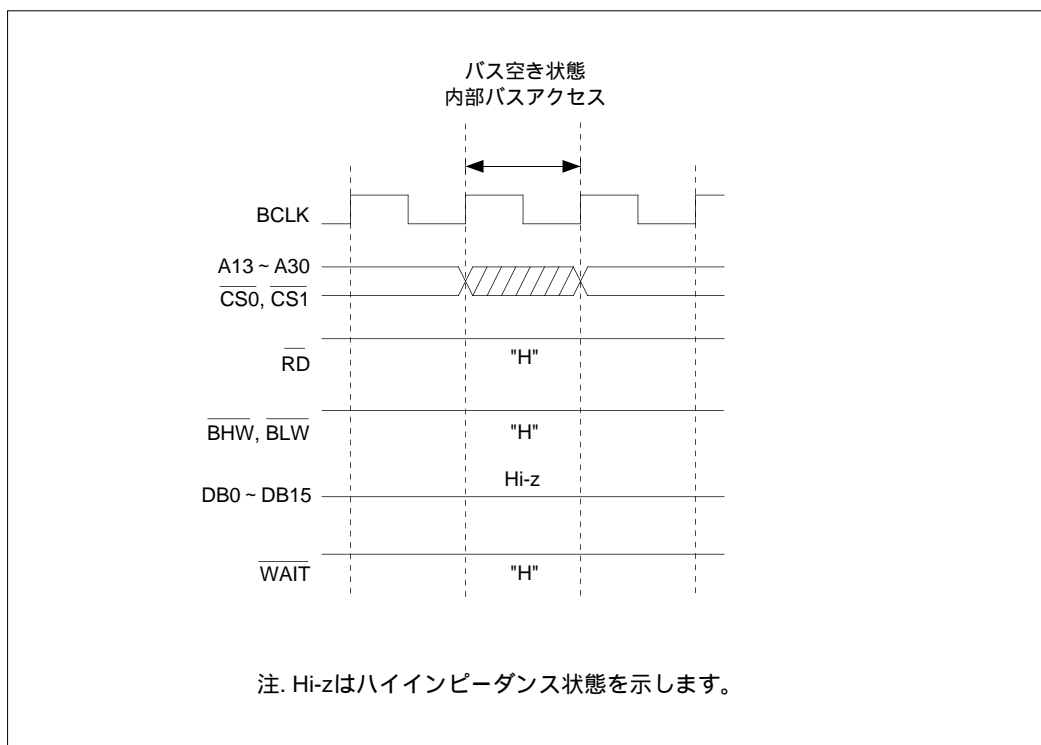


図7.2.1 バス空き状態 / 内部バスアクセス時

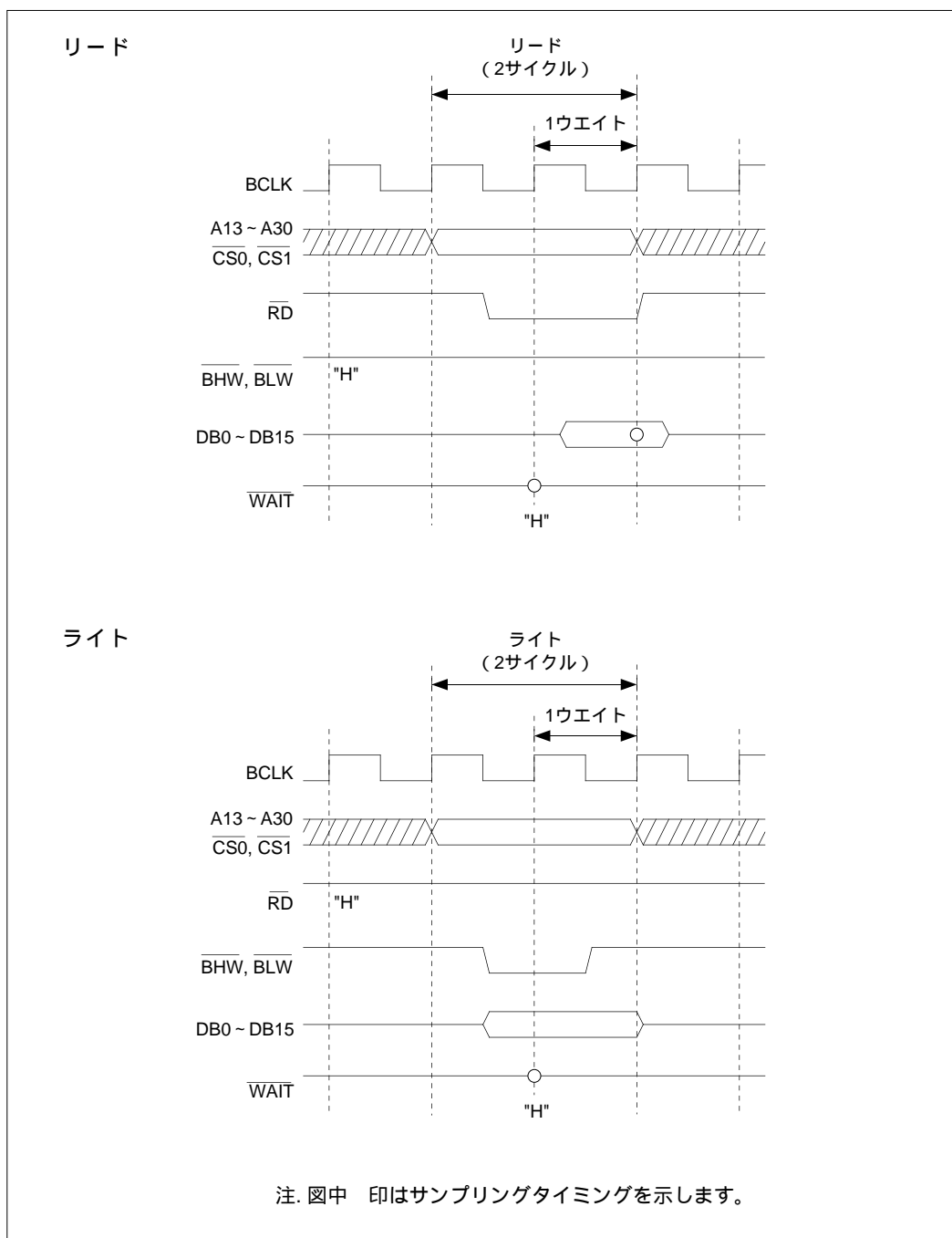


図7.2.2 リード/ライトタイミング(外部最短アクセス時)

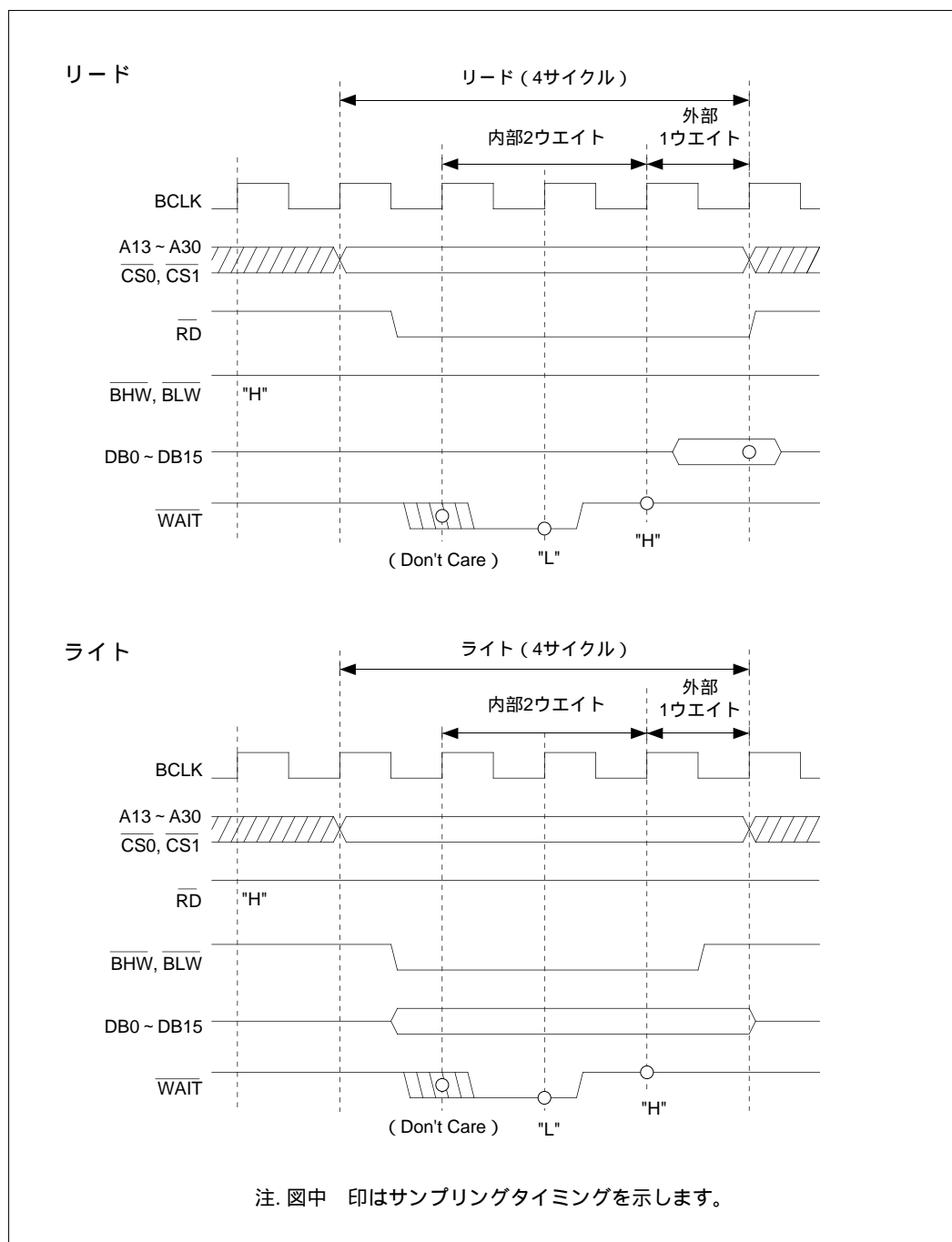


図7.2.3 リード/ライトタイミング(内部2+外部1ウエイトアクセス時)

7.3 バスアービトレーション

HREQ端子に"L"信号を入力し、それが受け付けられると32160はホールド状態へ遷移し、HACK端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ信号を"H"にして下さい。

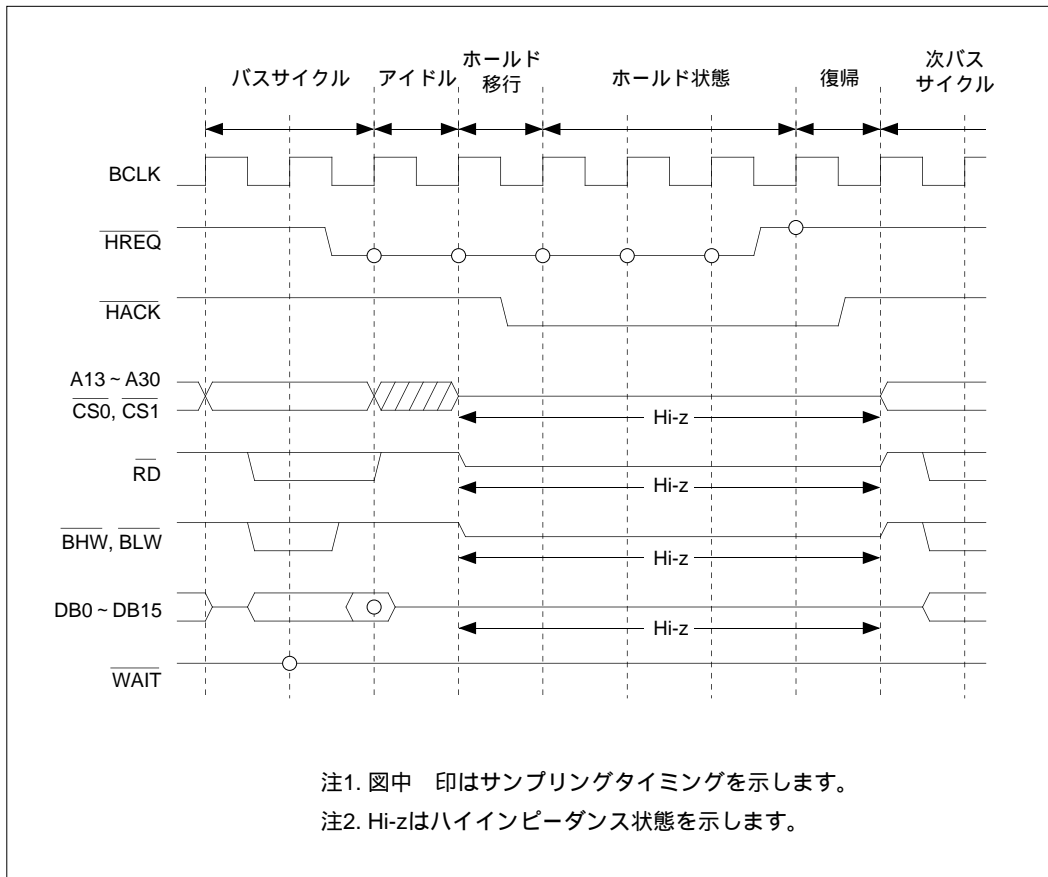


図7.3.1 バスアービトレーションタイミング

7.4 外部拡張メモリ接続例

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図7.4.1示します。

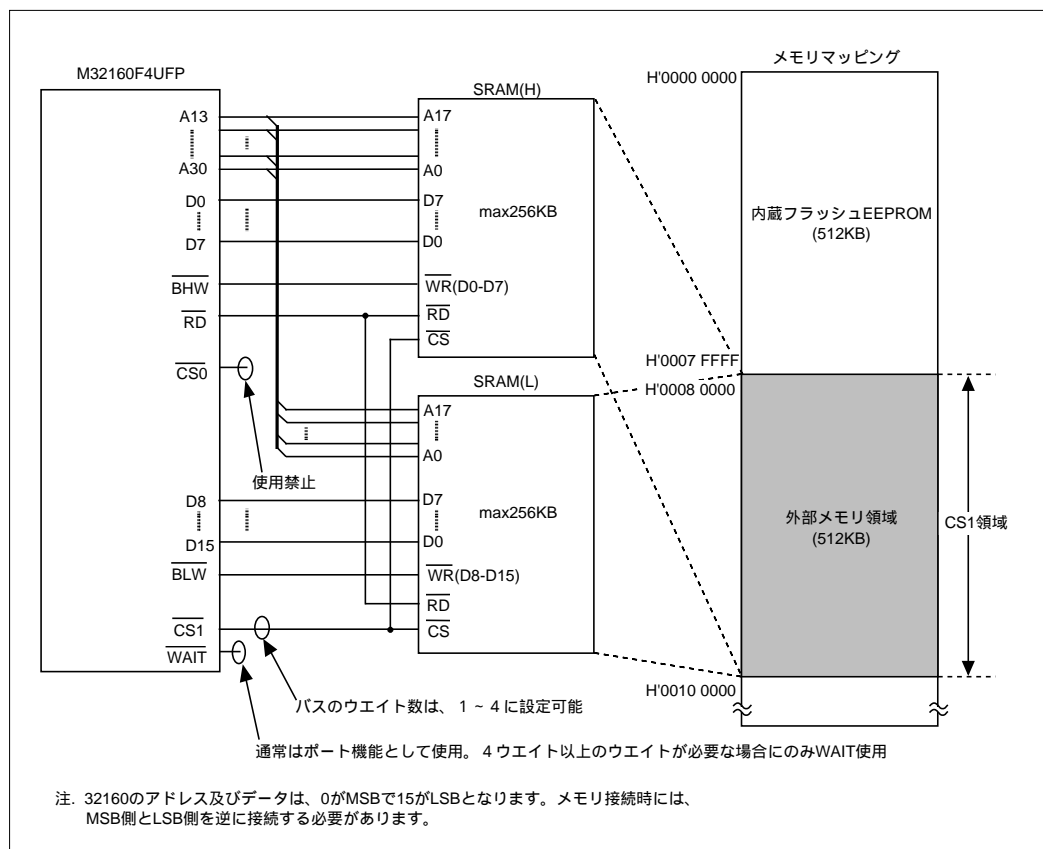


図7.4.1 外部拡張メモリ接続例

注. 32160のアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

空きページです

第 8 章

入出力ポートと端子機能

- 8.1 入出力ポート概要
- 8.2 端子機能の選択
- 8.3 入出力ポート関連レジスタ
- 8.4 ポート周辺回路

8.1 入出力ポート概要

32160は、P0～P17(ただしP5は将来のために予約)の計123本の入出力ポートを備えています。入出力ポートは、方向レジスタにより入力ポートまたは出力ポートとして使用できます。

各入出力ポートは、他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクション端子になっており、チップの動作モード選択、または入出力ポートの動作モードレジスタで端子機能を選択します(内蔵周辺I/Oがさらに複数の機能を持つ場合は、各内蔵周辺I/Oのレジスタ設定が必要です)。

新規機能として、入力ポートの貫通電流対策に使用可能なポート入力機能許可ビットを内蔵しており、リセット直後及びフラッシュ書き換え時のソフトウェア及びハードウェア処理を簡素化できます。

なお、ポートを入力モードで使用する場合には、ポート入力機能許可ビットの設定が必要です。

次ページに入出力ポートの概要を示します。

表8.1.1 入出力ポートの概要

項目	仕様
ポート数	合計123本 P0 : P00 ~ P07 (8本) P1 : P10 ~ P17 (8本) P2 : P20 ~ P27 (8本) P3 : P30 ~ P37 (8本) P4 : P41 ~ P47 (7本) P6 : P61 ~ P67 (7本) P7 : P70 ~ P77 (8本) P8 : P82 ~ P87 (6本) P9 : P93 ~ P97 (5本) P10 : P100 ~ P107 (8本) P11 : P110 ~ P117 (8本) P12 : P124 ~ P127 (4本) P13 : P130 ~ P137 (8本) P14 : P140 ~ P147 (8本) P15 : P150 ~ P157 (8本) P16 : P160 ~ P167 (8本) P17 : P172 ~ P177 (6本)
ポート機能	入出力ポートの方向制御レジスタにより、各ポート単位で入力ポートまたは出力ポートに設定可能(ただし、P64はSBI入力専用ポート)
端子機能	周辺I/Oまたは外部拡張信号とのダブルファンクション(または周辺I/Oの複数機能との多重ファンクション)
端子機能 切り替え	P0 ~ P4 : CPU動作モード設定(MOD0, MOD1端子)による P6 ~ P17 : 入出力ポートの動作モードレジスタ設定による (ただし周辺I/Oの端子機能は周辺I/Oのレジスタで選択)

8.2 端子機能の選択

各入出力ポートは他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクション(または周辺I/Oの複数機能とのトリプルファンクション)になっており、動作モードの設定、または入出力ポートの動作モードレジスタで機能を選択します。

P0～P4は、CPUの動作モードを外部拡張モード、またはプロセッサモードに設定した場合、すべて外部アクセスのための信号端子に切り替わります。動作モードはMOD0, MOD1端子の設定で決まります(下表参照)。

表8.2.1 CPU動作モードとP0～P4端子機能

MOD0	MOD1	動作モード	P0～P4端子機能
VSS	VSS	シングルチップモード	入出力ポート端子
VSS	VCC	外部拡張モード	外部拡張信号端子
VCC	VSS	プロセッサモード	
VCC	VCC	Reserved(使用禁止)	-

注. VCC = +5V, VSS = GNDに接続。

P6～P17は入出力ポートの動作モードレジスタの設定で、入出力ポート端子と内蔵周辺I/Oの端子に機能が切り替わります。なお、内蔵周辺I/Oが複数の端子機能を備える場合は、それぞれの内蔵周辺I/Oのレジスタで端子機能を選択してください。

なお、内蔵フラッシュメモリ書き替え時の、FP端子とMOD1端子の操作は、端子機能には影響を与えません。

	0	1	2	3	4	5	6	7	
チップ 動作モード 設定(注)	P0	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
	P1	DB8	DB9	DB10	DB11	DB12	DB13	DB14	DB15
	P2	A23	A24	A25	A26	A27	A28	A29	A30
	P3	A15	A16	A17	A18	A19	A20	A21	A22
	P4		$\overline{\text{BLW}}$	$\overline{\text{BHW}}$	$\overline{\text{RD}}$	$\overline{\text{CS0}}$	$\overline{\text{CS1}}$	A13	A14
(予約)	P5								
入出力ポート 動作モード レジスタ設定	P6		(P61)	(P62)	(P63)	$\overline{\text{SBI}}$	ADSEL0	ADSEL1	$\overline{\text{ADTRG}}$
	P7	BCLK	$\overline{\text{WAIT}}$	$\overline{\text{HREQ}}$	$\overline{\text{HACK}}$	RTDTXD	RTDRXD	RTDACK	RTDCLK
	P8			TXD0	RXD0	SCLKI0 / SCLKO0	TXD1	RXD1	SCLKI1 / SCLKO1
	P9				TO 16	TO 17	TO 18	TO 19	TO 20
	P10	TO 8	TO 9	TO 10	TO 11	TO 12	TO 13	TO 14	TO 15
	P11	TO 0	TO 1	TO 2	TO 3	TO 4	TO 5	TO 6	TO 7
	P12					TCLK 0	TCLK 1	TCLK 2	TCLK 3
	P13	TIN 16	TIN 17	TIN 18	TIN 19	TIN 20	TIN 21	TIN 22	TIN 23
	P14	TIN 8	TIN 9	TIN 10	TIN 11	TIN 12	TIN 13	TIN 14	TIN 15
	P15	TIN 0	TIN 1	TIN 2	TIN 3	TIN 4	TIN 5	TIN 6	TIN 7
	P16	TO 21	TO 22	TO 23	TO 24	TO 25	TO 26	TO 27	TO 28
	P17			TIN 24	TIN 25	TXD 2	RXD 2	TXD 3	RXD 3

注. FP, MOD0, MOD1端子の設定により、端子機能が切り替わります

図8.2.1 入出力ポートと端子機能の割り当て

8.3 入出力ポート関連レジスタ

入出力ポート関連のレジスタには、ポートデータレジスタ、ポート方向レジスタ、ポート動作モードレジスタがあります。このうちポート動作モードレジスタは、P6～P17のみあります。P0～P4は、CPUの動作モード設定(FP, MOD0, MOD1端子)で端子機能がきまります。

なお、P5は将来のために予約されています。以下に入出力ポート関連のレジスタマップを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0700	P0データレジスタ (P0DATA)		P1データレジスタ (P1DATA)			
H'0080 0702	P2データレジスタ (P2DATA)		P3データレジスタ (P3DATA)			
H'0080 0704	P4データレジスタ (P4DATA)					
H'0080 0706	P6データレジスタ (P6DATA)		P7データレジスタ (P7DATA)			
H'0080 0708	P8データレジスタ (P8DATA)		P9データレジスタ (P9DATA)			
H'0080 070A	P10データレジスタ (P10DATA)		P11データレジスタ (P11DATA)			
H'0080 070C	P12データレジスタ (P12DATA)		P13データレジスタ (P13DATA)			
H'0080 070E	P14データレジスタ (P14DATA)		P15データレジスタ (P15DATA)			
H'0080 0710	P16データレジスタ (P16DATA)		P17データレジスタ (P17DATA)			
	≈		≈			
H'0080 0720	P0方向レジスタ (P0DIR)		P1方向レジスタ (P1DIR)			
H'0080 0722	P2方向レジスタ (P2DIR)		P3方向レジスタ (P3DIR)			
H'0080 0724	P4方向レジスタ (P4DIR)					
H'0080 0726	P6方向レジスタ (P6DIR)		P7方向レジスタ (P7DIR)			
H'0080 0728	P8方向レジスタ (P8DIR)		P9方向レジスタ (P9DIR)			
H'0080 072A	P10方向レジスタ (P10DIR)		P11方向レジスタ (P11DIR)			
H'0080 072C	P12方向レジスタ (P12DIR)		P13方向レジスタ (P13DIR)			
H'0080 072E	P14方向レジスタ (P14DIR)		P15方向レジスタ (P15DIR)			
H'0080 0730	P16方向レジスタ (P16DIR)		P17方向レジスタ (P17DIR)			
	≈		≈			
空き領域は予約領域です						

図8.3.1 入出力ポート関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0744				ポート入力機能許可レジスタ (PIEN)		
H'0080 0746	P6動作モードレジスタ (P6MOD)			P7動作モードレジスタ (P7MOD)		
H'0080 0748	P8動作モードレジスタ (P8MOD)			P9動作モードレジスタ (P9MOD)		
H'0080 074A	P10動作モードレジスタ (P10MOD)			P11動作モードレジスタ (P11MOD)		
H'0080 074C	P12動作モードレジスタ (P12MOD)			P13動作モードレジスタ (P13MOD)		
H'0080 074E	P14動作モードレジスタ (P14MOD)			P15動作モードレジスタ (P15MOD)		
H'0080 0750	P16動作モードレジスタ (P16MOD)			P17動作モードレジスタ (P17MOD)		

空き領域は予約領域です

図8.3.2 入出力ポート関連レジスタマップ (2/2)

8.3.1 ポートデータレジスタ

P0データレジスタ(P0DATA)	<アドレス: H'0080 0700 >
P1データレジスタ(P1DATA)	<アドレス: H'0080 0701 >
P2データレジスタ(P2DATA)	<アドレス: H'0080 0702 >
P3データレジスタ(P3DATA)	<アドレス: H'0080 0703 >
P4データレジスタ(P4DATA)	<アドレス: H'0080 0704 >
P6データレジスタ(P6DATA)	<アドレス: H'0080 0706 >
P7データレジスタ(P7DATA)	<アドレス: H'0080 0707 >
P8データレジスタ(P8DATA)	<アドレス: H'0080 0708 >
P9データレジスタ(P9DATA)	<アドレス: H'0080 0709 >
P10データレジスタ(P10DATA)	<アドレス: H'0080 070A >
P11データレジスタ(P11DATA)	<アドレス: H'0080 070B >
P12データレジスタ(P12DATA)	<アドレス: H'0080 070C >
P13データレジスタ(P13DATA)	<アドレス: H'0080 070D >
P14データレジスタ(P14DATA)	<アドレス: H'0080 070E >
P15データレジスタ(P15DATA)	<アドレス: H'0080 070F >
P16データレジスタ(P16DATA)	<アドレス: H'0080 0710 >
P17データレジスタ(P17DATA)	<アドレス: H'0080 0711 >

	D0	1	2	3	4	5	6	D7
(D8	9	10	11	12	13	14	D15)
	Pn0DT	Pn1DT	Pn2DT	Pn3DT	Pn4DT	Pn5DT	Pn6DT	Pn7DT

注. n = 0 ~ 17 (ただしP5を除く)

<リセット時: 不定>

D	ビット名	機能	R	W
0	Pn0DT(ポートPn0 データ)	ポート方向レジスタの設定により		
1	Pn1DT(ポートPn1 データ)	方向ビットが"0"(入力モード)の場合		
2	Pn2DT(ポートPn2 データ)	0: ポート入力端子="L"		
3	Pn3DT(ポートPn3 データ)	1: ポート入力端子="H"		
4	Pn4DT(ポートPn4 データ)	方向ビットが"1"(出力モード)の場合		
5	Pn5DT(ポートPn5 データ)	0: ポート出力ラッチ="L"		
6	Pn6DT(ポートPn6 データ)	1: ポート出力ラッチ="H"		
7	Pn7DT(ポートPn7 データ)			

注1. 次のビットは配置されていません(リード時"0", ライト時無効)

P40, P60, P90 ~ P92, P120 ~ P123, P170, P171

注2. ポートP64は入力モードのみです。P64DTビットへの書き込みは無効です。

注3. ポートP80, P81は入力モードのみです。P80DT, P81DTビットへの書き込みは無効です。読み出し時 P80からはMOD0、P81からはMOD1の端子レベルが読み出せます。P80DT, P81DTビットへは書き込みはできません。

8.3.2 ポート方向レジスタ

P0方向レジスタ(P0DIR)	<アドレス: H'0080 0720 >
P1方向レジスタ(P1DIR)	<アドレス: H'0080 0721 >
P2方向レジスタ(P2DIR)	<アドレス: H'0080 0722 >
P3方向レジスタ(P3DIR)	<アドレス: H'0080 0723 >
P4方向レジスタ(P4DIR)	<アドレス: H'0080 0724 >
P6方向レジスタ(P6DIR)	<アドレス: H'0080 0726 >
P7方向レジスタ(P7DIR)	<アドレス: H'0080 0727 >
P8方向レジスタ(P8DIR)	<アドレス: H'0080 0728 >
P9方向レジスタ(P9DIR)	<アドレス: H'0080 0729 >
P10方向レジスタ(P10DIR)	<アドレス: H'0080 072A >
P11方向レジスタ(P11DIR)	<アドレス: H'0080 072B >
P12方向レジスタ(P12DIR)	<アドレス: H'0080 072C >
P13方向レジスタ(P13DIR)	<アドレス: H'0080 072D >
P14方向レジスタ(P14DIR)	<アドレス: H'0080 072E >
P15方向レジスタ(P15DIR)	<アドレス: H'0080 072F >
P16方向レジスタ(P16DIR)	<アドレス: H'0080 0730 >
P17方向レジスタ(P17DIR)	<アドレス: H'0080 0731 >

	D0	1	2	3	4	5	6	D7
(D8	9	10	11	12	13	14	D15)
	Pn0DIR	Pn1DIR	Pn2DIR	Pn3DIR	Pn4DIR	Pn5DIR	Pn6DIR	Pn7DIR

注. n = 0 ~ 17 (ただしP5を除く)

				<リセット時: H'00 >	
D	ビット名	機能	R	W	
0	Pn0DIR(ポートPn0 方向ビット)	0: 入力モード(リセット時)	?		
1	Pn1DIR(ポートPn1 方向ビット)	1: 出力モード	?		
2	Pn2DIR(ポートPn2 方向ビット)		?		
3	Pn3DIR(ポートPn3 方向ビット)		?		
4	Pn4DIR(ポートPn4 方向ビット)		?		
5	Pn5DIR(ポートPn5 方向ビット)		?		
6	Pn6DIR(ポートPn6 方向ビット)		?		
7	Pn7DIR(ポートPn7 方向ビット)		?		

注1. 次のビットは配置されていません(リード時不定, ライト時無効)。

P40, P60, P64, P80, P81, P90 ~ P92, P120 ~ P123, P170, P171

注2. リード時は不定です。

注3. リセット時は全ポート入力モードに設定されています。

注4. ポートP64は入力モードのみです。P64DIRビットはありません。

8.3.3 ポート動作モードレジスタ

P6動作モードレジスタ(P6MOD)

<アドレス : H'0080 0746 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~4	何も配置されていません		?	-
5	P65MOD (ポートP65動作モード)	0 : P65 1 : ADSELO	?	
6	P66MOD (ポートP66動作モード)	0 : P66 1 : ADSEL1	?	
7	P67MOD (ポートP67動作モード)	0 : P67 1 : $\overline{\text{ADTRG}}$?	

W= - : 書き込み無効

注1. ポートP60はありません。

注2. ポートP61 ~ P63は常に入出力ポートです(シングルファンクション端子)。

注3. ポートP64はSBI入力専用端子です。P64のデータレジスタを読むことで端子レベルを知ることができます。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0 : P70 1 : BCLK	?	
9	P71MOD (ポートP71動作モード)	0 : P71 1 : $\overline{\text{WAIT}}$?	
10	P72MOD (ポートP72動作モード)	0 : P72 1 : $\overline{\text{HREQ}}$?	
11	P73MOD (ポートP73動作モード)	0 : P73 1 : $\overline{\text{HACK}}$?	
12	P74MOD (ポートP74動作モード)	0 : P74 1 : RTDTXD	?	
13	P75MOD (ポートP75動作モード)	0 : P75 1 : RTDRXD	?	
14	P76MOD (ポートP76動作モード)	0 : P76 1 : RTDACK	?	
15	P77MOD (ポートP77動作モード)	0 : P77 1 : RTDCLK	?	

P8動作モードレジスタ(P8MOD)

<アドレス : H'0080 0748 >

D0	1	2	3	4	5	6	D7
		P82MOD	P83MOD	P84MOD	P85MOD	P86MOD	P87MOD

<リセット時 : H'00 >

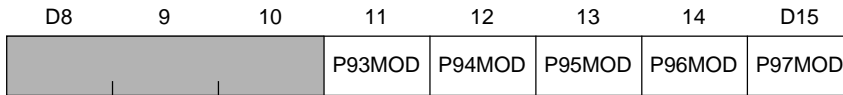
D	ビット名	機能	R	W
0,1	何も配置されていません		?	-
2	P82MOD (ポートP82動作モード)	0 : P82 1 : TXD0	?	
3	P83MOD (ポートP83動作モード)	0 : P83 1 : RXD0	?	
4	P84MOD (ポートP84動作モード)	0 : P84 1 : SCLKI 0 / SCLKO 0	?	
5	P85MOD (ポートP85動作モード)	0 : P85 1 : TXD1	?	
6	P86MOD (ポートP86動作モード)	0 : P86 1 : RXD1	?	
7	P87MOD (ポートP87動作モード)	0 : P87 1 : SCLKI 1 / SCLKO 1	?	

W= - : 書き込み無効

注. ポートP80, P81はありません。

P9動作モードレジスタ(P9MOD)

<アドレス : H'0080 0749 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		?	-
11	P93MOD (ポートP93動作モード)	0 : P93 1 : TO 16	?	
12	P94MOD (ポートP94動作モード)	0 : P94 1 : TO 17	?	
13	P95MOD (ポートP95動作モード)	0 : P95 1 : TO 18	?	
14	P96MOD (ポートP96動作モード)	0 : P96 1 : TO 19	?	
15	P97MOD (ポートP97動作モード)	0 : P97 1 : TO 20	?	

W= - : 書き込み無効

注. ポートP90 ~ P92はありません。

P10動作モードレジスタ(P10MOD)

<アドレス : H'0080 074A >

D0	1	2	3	4	5	6	D7
P100MOD	P101MOD	P102MOD	P103MOD	P104MOD	P105MOD	P106MOD	P107MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P100MOD (ポートP100動作モード)	0 : P100 1 : TO 8	?	
1	P101MOD (ポートP101動作モード)	0 : P101 1 : TO 9	?	
2	P102MOD (ポートP102動作モード)	0 : P102 1 : TO 10	?	
3	P103MOD (ポートP103動作モード)	0 : P103 1 : TO 11	?	
4	P104MOD (ポートP104動作モード)	0 : P104 1 : TO 12	?	
5	P105MOD (ポートP105動作モード)	0 : P105 1 : TO 13	?	
6	P106MOD (ポートP106動作モード)	0 : P106 1 : TO 14	?	
7	P107MOD (ポートP107動作モード)	0 : P107 1 : TO 15	?	

P11動作モードレジスタ(P11MOD)

<アドレス : H'0080 074B >

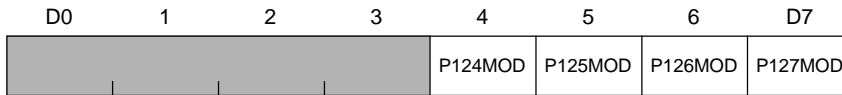
D8	9	10	11	12	13	14	D15
P110MOD	P111MOD	P112MOD	P113MOD	P114MOD	P115MOD	P116MOD	P117MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P110MOD (ポートP110動作モード)	0 : P110 1 : TO 0	?	
9	P111MOD (ポートP111動作モード)	0 : P111 1 : TO 1	?	
10	P112MOD (ポートP112動作モード)	0 : P112 1 : TO 2	?	
11	P113MOD (ポートP113動作モード)	0 : P113 1 : TO 3	?	
12	P114MOD (ポートP114動作モード)	0 : P114 1 : TO 4	?	
13	P115MOD (ポートP115動作モード)	0 : P115 1 : TO 5	?	
14	P116MOD (ポートP116動作モード)	0 : P116 1 : TO 6	?	
15	P117MOD (ポートP117動作モード)	0 : P117 1 : TO 7	?	

P12動作モードレジスタ(P12MOD)

<アドレス : H'0080 074C >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		?	-
4	P124MOD (ポートP124動作モード)	0 : P124 1 : TCLK 0	?	
5	P125MOD (ポートP125動作モード)	0 : P125 1 : TCLK 1	?	
6	P126MOD (ポートP126動作モード)	0 : P126 1 : TCLK 2	?	
7	P127MOD (ポートP127動作モード)	0 : P127 1 : TCLK 3	?	

W=- : 書き込み無効

注. ポートP120~P123はありません。

P13動作モードレジスタ(P13MOD)

<アドレス : H'0080 074D >

D8	9	10	11	12	13	14	D15
P130MOD	P131MOD	P132MOD	P133MOD	P134MOD	P135MOD	P136MOD	P137MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P130MOD (ポートP130動作モード)	0 : P130 1 : TIN 16	?	
9	P131MOD (ポートP131動作モード)	0 : P131 1 : TIN 17	?	
10	P132MOD (ポートP132動作モード)	0 : P132 1 : TIN 18	?	
11	P133MOD (ポートP133動作モード)	0 : P133 1 : TIN 19	?	
12	P134MOD (ポートP134動作モード)	0 : P134 1 : TIN 20	?	
13	P135MOD (ポートP135動作モード)	0 : P135 1 : TIN 21	?	
14	P136MOD (ポートP136動作モード)	0 : P136 1 : TIN 22	?	
15	P137MOD (ポートP137動作モード)	0 : P137 1 : TIN 23	?	

P14動作モードレジスタ(P14MOD)

<アドレス : H'0080 074E >

D0	1	2	3	4	5	6	D7
P140MOD	P141MOD	P142MOD	P143MOD	P144MOD	P145MOD	P146MOD	P147MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P140MOD (ポートP140動作モード)	0 : P140 1 : TIN 8		?
1	P141MOD (ポートP141動作モード)	0 : P141 1 : TIN 9		?
2	P142MOD (ポートP142動作モード)	0 : P142 1 : TIN 10		?
3	P143MOD (ポートP143動作モード)	0 : P143 1 : TIN 11		?
4	P144MOD (ポートP144動作モード)	0 : P144 1 : TIN 12		?
5	P145MOD (ポートP145動作モード)	0 : P145 1 : TIN 13		?
6	P146MOD (ポートP146動作モード)	0 : P146 1 : TIN 14		?
7	P147MOD (ポートP147動作モード)	0 : P147 1 : TIN 15		?

P15動作モードレジスタ(P15MOD)

<アドレス : H'0080 074F >

D8	9	10	11	12	13	14	D15
P150MOD	P151MOD	P152MOD	P153MOD	P154MOD	P155MOD	P156MOD	P157MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P150MOD (ポートP150動作モード)	0 : P150 1 : TIN 0	?	
9	P151MOD (ポートP151動作モード)	0 : P151 1 : TIN 1	?	
10	P152MOD (ポートP152動作モード)	0 : P152 1 : TIN 2	?	
11	P153MOD (ポートP153動作モード)	0 : P153 1 : TIN 3	?	
12	P154MOD (ポートP154動作モード)	0 : P154 1 : TIN 4	?	
13	P155MOD (ポートP155動作モード)	0 : P155 1 : TIN 5	?	
14	P156MOD (ポートP156動作モード)	0 : P156 1 : TIN 6	?	
15	P157MOD (ポートP157動作モード)	0 : P157 1 : TIN 7	?	

P16動作モードレジスタ(P16MOD)

<アドレス : H'0080 0750 >

D0	1	2	3	4	5	6	D7
P160MOD	P161MOD	P162MOD	P163MOD	P164MOD	P165MOD	P166MOD	P167MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P160MOD (ポートP160動作モード)	0 : P160 1 : TO21		?
1	P161MOD (ポートP161動作モード)	0 : P161 1 : TO22		?
2	P162MOD (ポートP162動作モード)	0 : P162 1 : TO23		?
3	P163MOD (ポートP163動作モード)	0 : P163 1 : TO24		?
4	P164MOD (ポートP164動作モード)	0 : P164 1 : TO25		?
5	P165MOD (ポートP165動作モード)	0 : P165 1 : TO26		?
6	P166MOD (ポートP166動作モード)	0 : P166 1 : TO27		?
7	P167MOD (ポートP167動作モード)	0 : P167 1 : TO28		?

P17動作モードレジスタ(P17MOD)

<アドレス : H'0080 0751 >

D8	9	10	11	12	13	14	D15
		P172MOD	P173MOD	P174MOD	P175MOD	P176MOD	P177MOD

<リセット時 : H'00 >

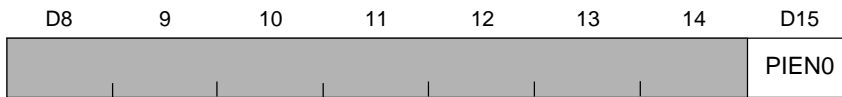
D	ビット名	機能	R	W
8,9	何も配置されていません		?	-
10	P172MOD (ポートP172動作モード)	0 : P172 1 : TIN24	?	
11	P173MOD (ポートP173動作モード)	0 : P173 1 : TIN25	?	
12	P174MOD (ポートP174動作モード)	0 : P174 1 : TXD2	?	
13	P175MOD (ポートP175動作モード)	0 : P175 1 : RXD2	?	
14	P176MOD (ポートP176動作モード)	0 : P176 1 : TXD3	?	
15	P177MOD (ポートP177動作モード)	0 : P177 1 : RXD3	?	

W= - : 書き込み無効

注. ポートP170, P171はありません。

ポート入力機能許可レジスタ(PIEN)

<アドレス : H'0080 0745 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	PIEN0 (ポート入力機能許可ビット)	0 : 入力禁止(貫通電流防止) 1 : 入力許可		

W= - : 書き込み無効

ポート入力端子の貫通電流を防止するためのレジスタです。

リセット後は入力禁止になっているため、"1"にして入力処理を行う必要があります。

ブートモード時は、シリアルI/O機能と兼用となっている端子は入力許可となるため、シリアルによるフラッシュ書き換え時には、"0"にしてシリアルI/O機能以外の端子から貫通電流を防止することができます。

各モードにおけるポート機能許可ビットで制御可能な端子を以下に示します。

モード名	制御可能な端子	制御非対象端子
シングルチップ	P00 ~ P07, P10 ~ P17, P20 ~ P27	P64, FP
	P30 ~ P37, P41 ~ P47, P61 ~ P63	
	P65 ~ P67, P70 ~ P77, P82 ~ P87	
	P93 ~ P97, P100 ~ P107, P110 ~ P117	
	P124 ~ P127, P130 ~ P137, P140 ~ P147 P150 ~ P157, P160 ~ P167, P172 ~ P177	
外部拡張	P61 ~ P63, P65 ~ P67, P70 ~ P77	P00 ~ P07, P10 ~ P17
	P82 ~ P87, P93 ~ P97, P100 ~ P107	P20 ~ P27, P30 ~ P37
マイクロプロセッサ	P110 ~ P117, P124 ~ P127, P130 ~ P137	P41 ~ P47, P64, FP
	P140 ~ P147, P150 ~ P157, P160 ~ P167 P172 ~ P177	
ブート (シングルチップ)	P00 ~ P07, P10 ~ P17, P20 ~ P27	P64, FP
	P30 ~ P37, P41 ~ P47, P61 ~ P63	P82 ~ P87, P174 ~ P177
	P65 ~ P67, P70 ~ P77, P93 ~ P97	
	P100 ~ P107, P110 ~ P117, P124 ~ P127	
	P130 ~ P137, P140 ~ P147, P150 ~ P157 P160 ~ P167, P172 ~ P173	

8.4 ポート周辺回路

図8.4.1～図8.4.4にポートの周辺回路図を示します。

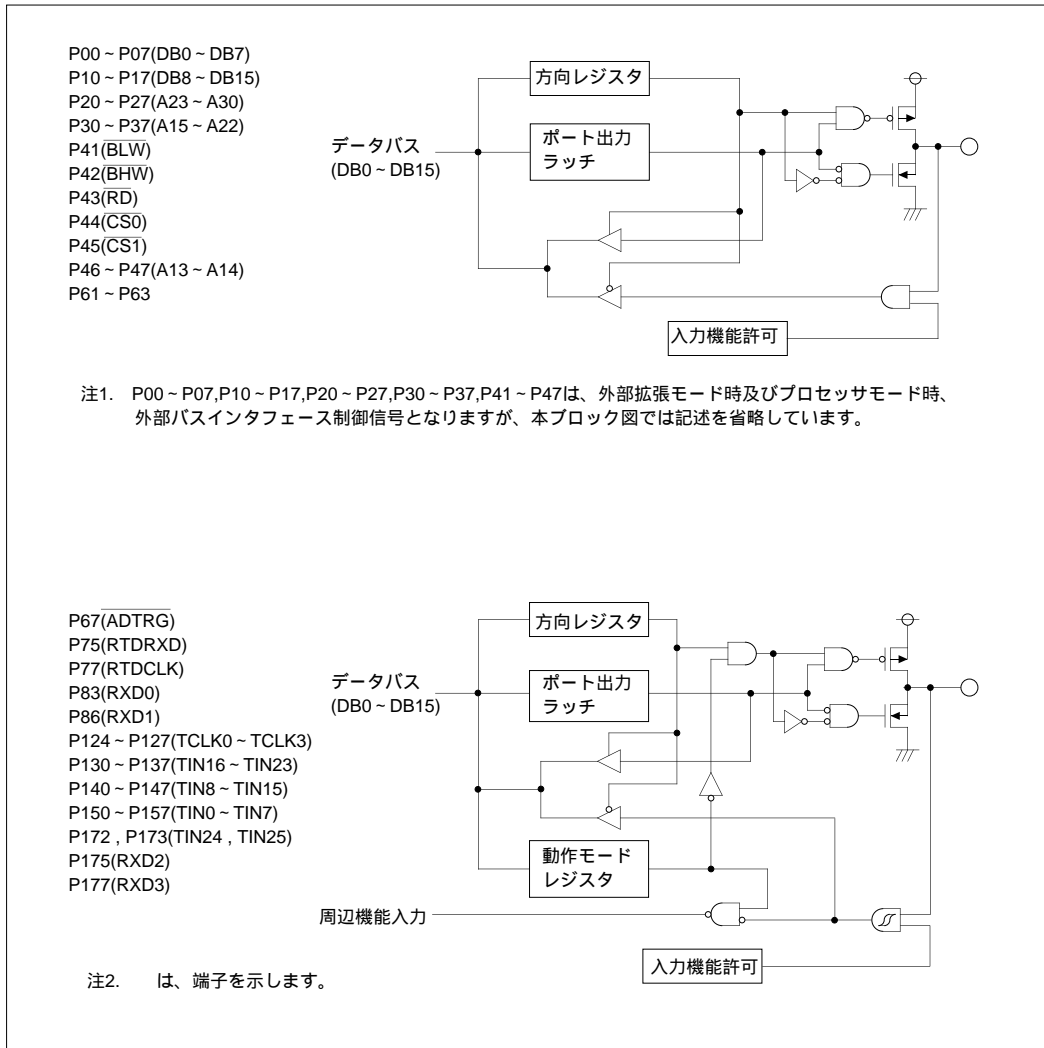


図8.4.1 ポート周辺回路図(1)

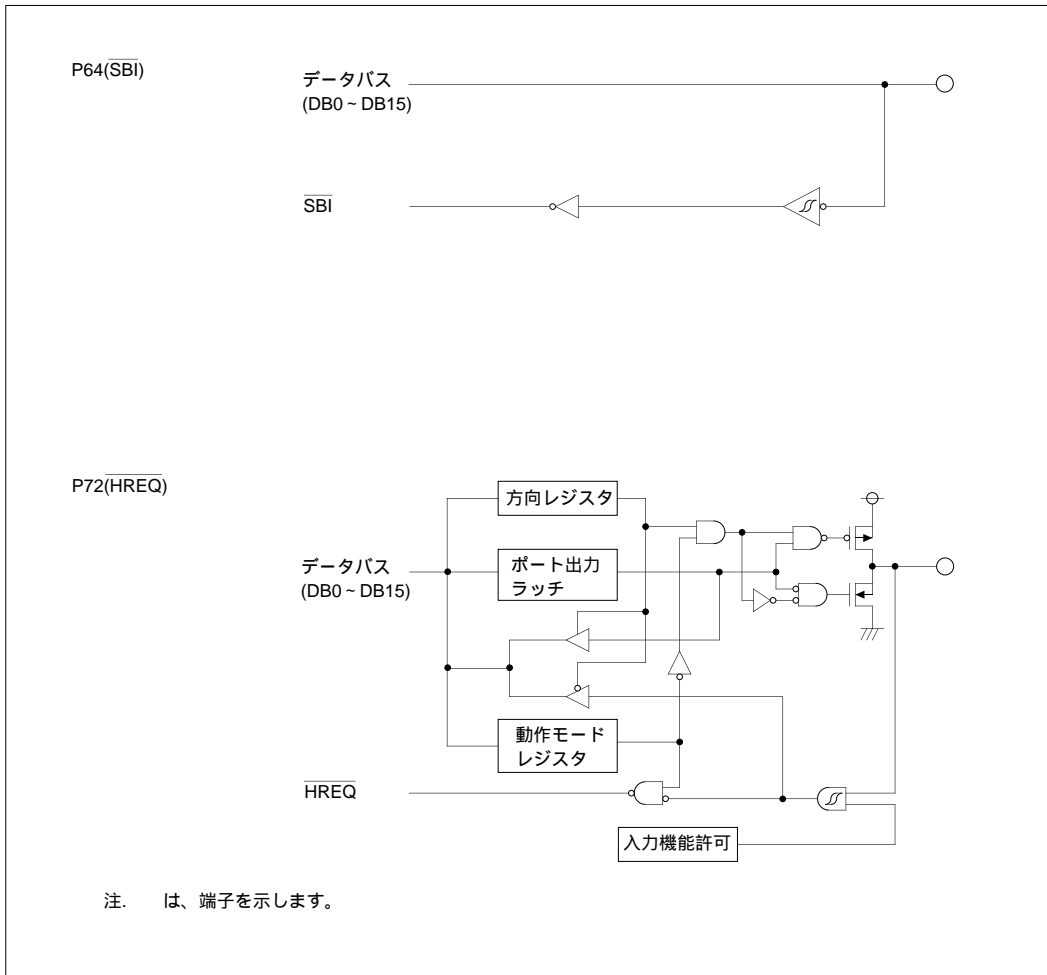


図8.4.2 ポート周辺回路図(2)

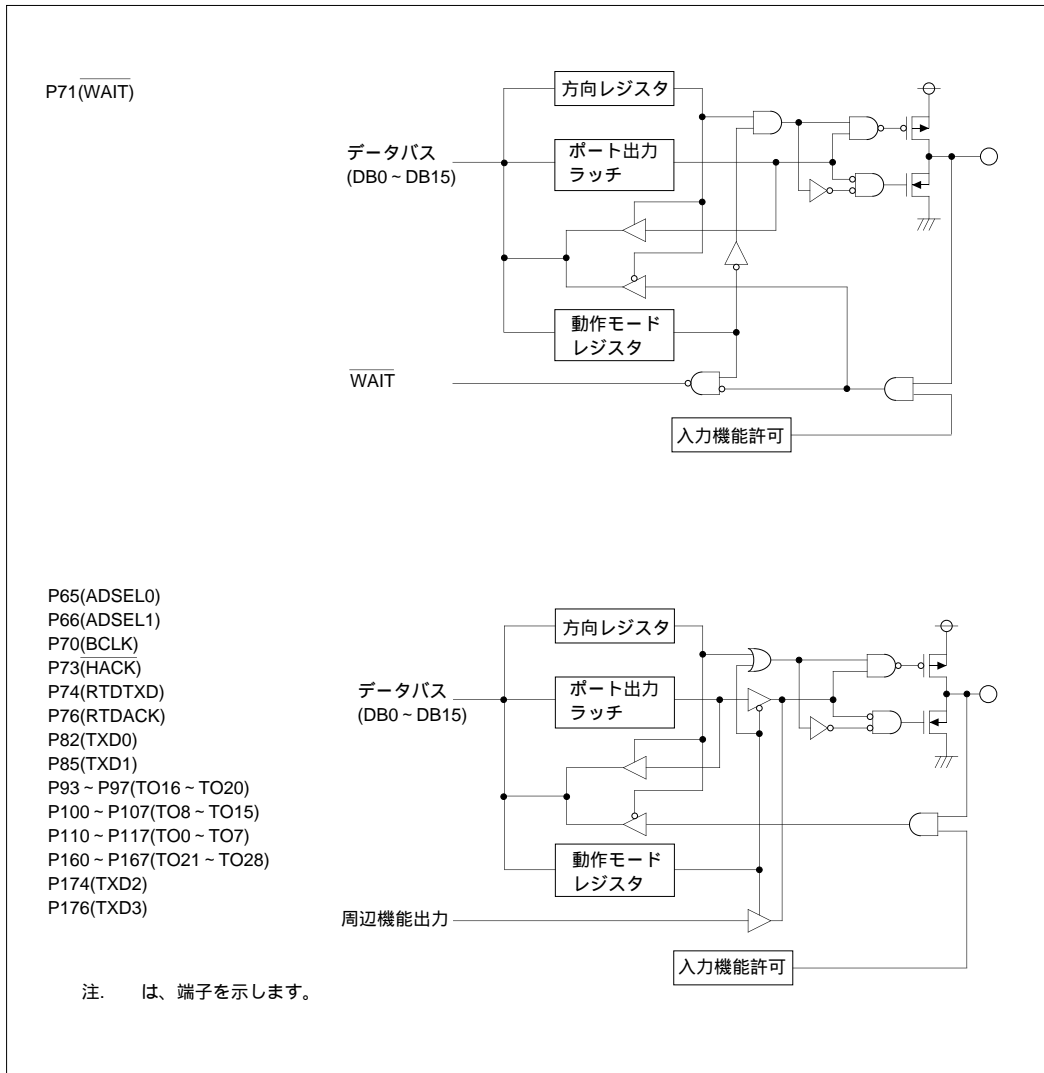


図8.4.3 ポート周辺回路図(3)

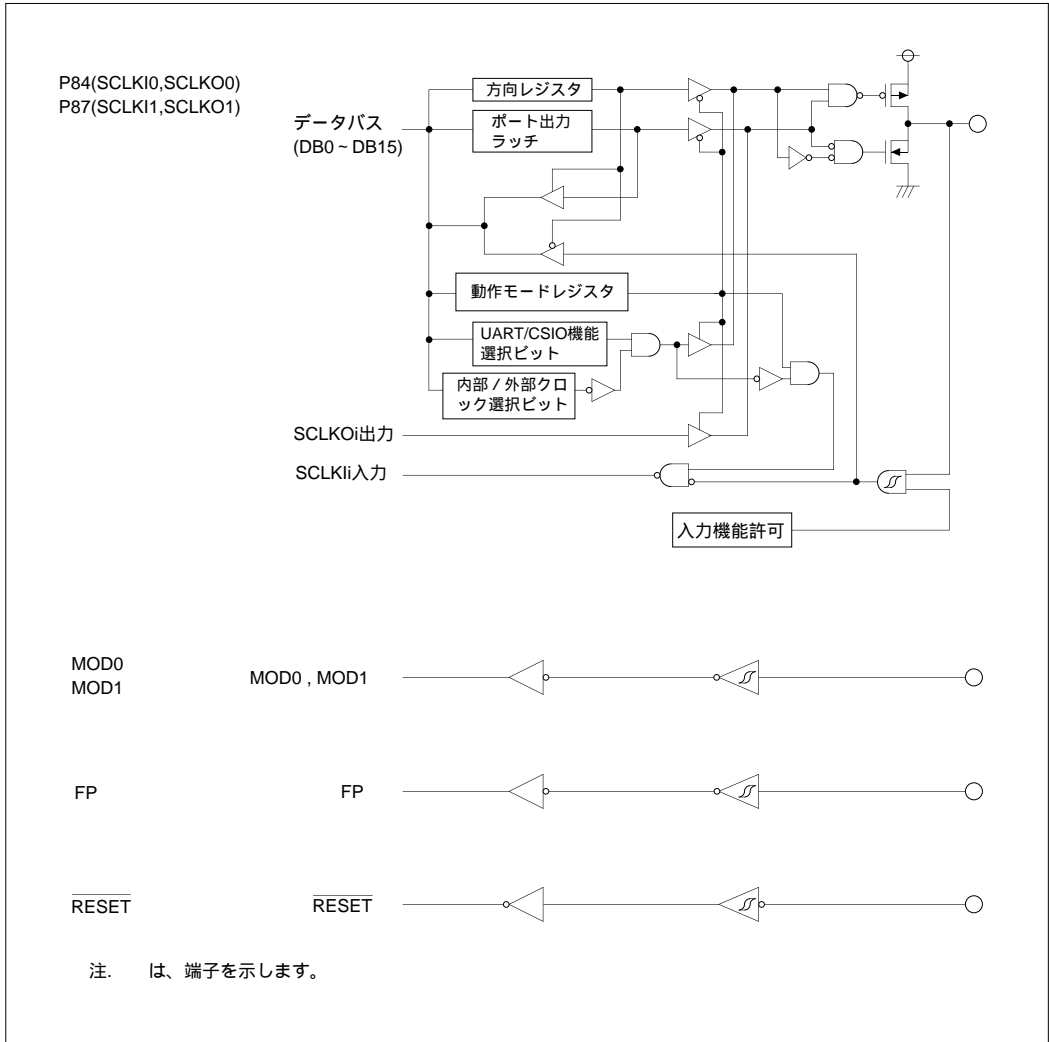


図8.4.4 ポート周辺回路図(4)

第9章

DMAC

- 9.1 DMAC概要
- 9.2 DMAC関連レジスタ
- 9.3 DMAC機能説明
- 9.4 DMACの注意事項

9.1 DMAC概要

32160は10チャンネルのDMA(ダイレクトメモリアクセス)を内蔵しており、ソフトウェアトリガや、内蔵周辺I/Oからの要求により、内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間において、高速なデータ転送を行うことができます。

表9.1.1 DMAC概要

項目	内容
チャンネル数	10チャンネル
転送要求	ソフトウェアトリガ 内蔵周辺I/Oからの要求：A-D変換器、マルチジャンクションタイマ、およびシリアルI/O(受信完了、送信バッファエンプティ) DMAチャンネル間のカスケード接続可能(注)
最大転送回数	256回
転送可能アドレス空間	64Kバイト(H'0080 0000 ~ H'0080 FFFFのアドレス空間) 内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間の転送をサポート
転送データサイズ	16ビットまたは8ビット
転送方式	単転送方式DMA(1回の転送ごとに内部バス権を解放)、デュアルアドレス転送
転送モード	単転送モード
転送方向	ソースとデスティネーションに対して、3種類のモードを選択可能 アドレス固定 アドレスインクリメント リングバッファ
チャンネル優先度	チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 > チャンネル4 > チャンネル5 > チャンネル6 > チャンネル7 > チャンネル8 > チャンネル9 (優先順位固定)
最大転送速度	16.6Mバイト/秒(内部動作25MHz時)
割り込み要求	各転送カウントレジスタのアンダフロー発生時にグループ割り込み要求発生可能
転送エリア	H'0080 0000 ~ H'0080 FFFFの64Kバイト (内蔵RAM / SFRの全領域で転送可能)

注. 下記のDMAチャンネルのカスケード接続が可能です。

チャンネル0の1回のDMA転送完了で、チャンネル1のDMA転送を起動
 チャンネル1の1回のDMA転送完了で、チャンネル2のDMA転送を起動
 チャンネル2の1回のDMA転送完了で、チャンネル0のDMA転送を起動
 チャンネル3の1回のDMA転送完了で、チャンネル4のDMA転送を起動
 チャンネル5の1回のDMA転送完了で、チャンネル6のDMA転送を起動
 チャンネル6の1回のDMA転送完了で、チャンネル7のDMA転送を起動
 チャンネル7の1回のDMA転送完了で、チャンネル5のDMA転送を起動
 チャンネル8の1回のDMA転送完了で、チャンネル9のDMA転送を起動
 チャンネル0のDMA全転送終了(転送カウントレジスタのアンダフロー)で、チャンネル5のDMA転送を起動

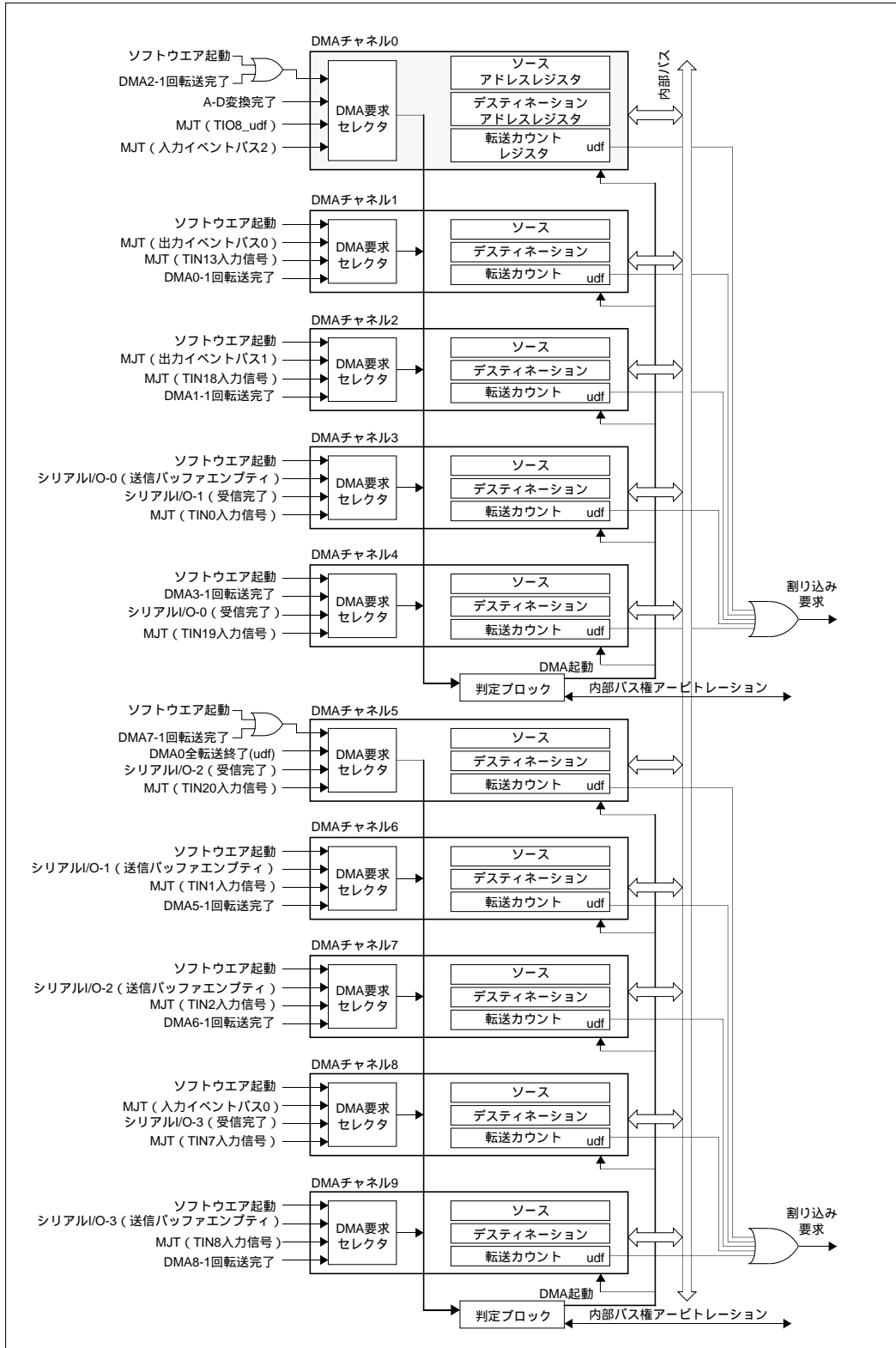


図9.1.1 DMACのブロック図

9.2 DMAC関連レジスタ

DMAC関連レジスタのメモリマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0400	DMA0-4割り込み要求ステータスレジスタ (DM04ITST)		DMA0-4割り込みマスクレジスタ (DM04ITMK)			
	~~~~~		~~~~~			
H'0080 0408	DMA5-9割り込み要求ステータスレジスタ (DM59ITST)		DMA5-9割り込みマスクレジスタ (DM59ITMK)			
	~~~~~		~~~~~			
H'0080 0410	DMA0チャンネル制御レジスタ (DM0CNT)		DMA0転送カウントレジスタ (DM0TCT)			
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)					
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)					
H'0080 0416						
H'0080 0418	DMA5チャンネル制御レジスタ (DM5CNT)		DMA5転送カウントレジスタ (DM5TCT)			
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)					
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)					
H'0080 041E						
H'0080 0420	DMA1チャンネル制御レジスタ (DM1CNT)		DMA1転送カウントレジスタ (DM1TCT)			
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)					
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)					
H'0080 0426						
H'0080 0428	DMA6チャンネル制御レジスタ (DM6CNT)		DMA6転送カウントレジスタ (DM6TCT)			
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)					
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)					
H'0080 042E						
H'0080 0430	DMA2チャンネル制御レジスタ (DM2CNT)		DMA2転送カウントレジスタ (DM2TCT)			
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)					
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)					
H'0080 0436						
H'0080 0438	DMA7チャンネル制御レジスタ (DM7CNT)		DMA7転送カウントレジスタ (DM7TCT)			
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)					
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)					
H'0080 043E						

空き領域は予約領域です。
注：太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図9.2.1 DMAC関連レジスタマップ(1/2)

番地	+0番地		+1番地	
	D0	D7	D8	D15
H'0080 0440	DMA3チャンネル制御レジスタ (DM3CNT)		DMA3転送カウンタレジスタ (DM3TCT)	
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)			
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)			
H'0080 0446				
H'0080 0448	DMA8チャンネル制御レジスタ (DM8CNT)		DMA8転送カウンタレジスタ (DM8TCT)	
H'0080 044A	DMA8ソースアドレスレジスタ (DM8SA)			
H'0080 044C	DMA8デスティネーションアドレスレジスタ (DM8DA)			
H'0080 044E				
H'0080 0450	DMA4チャンネル制御レジスタ (DM4CNT)		DMA4転送カウンタレジスタ (DM4TCT)	
H'0080 0452	DMA4ソースアドレスレジスタ (DM4SA)			
H'0080 0454	DMA4デスティネーションアドレスレジスタ (DM4DA)			
H'0080 0456				
H'0080 0458	DMA9チャンネル制御レジスタ (DM9CNT)		DMA9転送カウンタレジスタ (DM9TCT)	
H'0080 045A	DMA9ソースアドレスレジスタ (DM9SA)			
H'0080 045C	DMA9デスティネーションアドレスレジスタ (DM9DA)			
H'0080 045E				
H'0080 0460	DMA0ソフトウェア要求発生レジスタ (DM0SRI)			
H'0080 0462	DMA1ソフトウェア要求発生レジスタ (DM1SRI)			
H'0080 0464	DMA2ソフトウェア要求発生レジスタ (DM2SRI)			
H'0080 0466	DMA3ソフトウェア要求発生レジスタ (DM3SRI)			
H'0080 0468	DMA4ソフトウェア要求発生レジスタ (DM4SRI)			
	~		~	
H'0080 0470	DMA5ソフトウェア要求発生レジスタ (DM5SRI)			
H'0080 0472	DMA6ソフトウェア要求発生レジスタ (DM6SRI)			
H'0080 0474	DMA7ソフトウェア要求発生レジスタ (DM7SRI)			
H'0080 0476	DMA8ソフトウェア要求発生レジスタ (DM8SRI)			
H'0080 0478	DMA9ソフトウェア要求発生レジスタ (DM9SRI)			

空き領域は予約領域です。
注：太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図9.2.2 DMAC関連レジスタマップ(2/2)

9.2.1 DMAチャンネル制御レジスタ

DMA0チャンネル制御レジスタ(DMOCNT)

<アドレス : H'0080 0410 >

D0	1	2	3	4	5	6	D7
MDSEL0	TREQF0	REQSLO		TENL0	TSZSLO	SADSL0	DADSL0

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL0 (DMA0転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF0 (DMA0転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSLO (DMA0要求要因選択)	00 : ソフトウェア起動 または、DMA2-1回転送完了 01 : A-D0変換終了 10 : MJT(TIO8_udf) 11 : MJT(入力イベントバス2)		
4	TENL0 (DMA0転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSLO (DMA0転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL0 (DMA0ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL0 (DMA0デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

注. W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA1チャンネル制御レジスタ(DM1CNT)

<アドレス : H'0080 0420 >

D0	1	2	3	4	5	6	D7
MSEL1	TREQF1	REQSL1		TENL1	TSZSL1	SADSL1	DADSL1

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MSEL1 (DMA1転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF1 (DMA1転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL1 (DMA1要求要因選択)	00 : ソフトウェア起動 01 : MJT(出力イベントバス0) 10 : MJT(TIN13入力信号) 11 : DMA0-1回転送完了		
4	TENL1 (DMA1転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL1 (DMA1転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL1 (DMA1ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL1 (DMA1デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA2チャンネル制御レジスタ(DM2CNT)

<アドレス : H'0080 0430 >

D0	1	2	3	4	5	6	D7
MSEL2	TREQF2	REQSL2		TENL2	TSZSL2	SADSL2	DADSL2

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MSEL2 (DMA2転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF2 (DMA2転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL2 (DMA2要求要因選択)	00 : ソフトウェア起動 01 : MJT(出力イベントバス1) 10 : MJT(TIN18入力信号) 11 : DMA1-1回転送完了		
4	TENL2 (DMA2転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL2 (DMA2転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL2 (DMA2ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL2 (DMA2デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA3チャンネル制御レジスタ(DM3CNT)

<アドレス : H'0080 0440 >

D0	1	2	3	4	5	6	D7
MDSL3	TREQF3	REQSL3		TENL3	TSZSL3	SADSL3	DADSL3

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSL3 (DMA3転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF3 (DMA3転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL3 (DMA3要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O-0(送信バッファ エンブティ) 10 : シリアルI/O-1(受信完了) 11 : MJT(TIN0入力信号)		
4	TENL3 (DMA3転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL3 (DMA3転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL3 (DMA3ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL3 (DMA3デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA4チャンネル制御レジスタ(DM4CNT)

<アドレス : H'0080 0450 >

D0	1	2	3	4	5	6	D7
MDSEL4	TREQF4	REQSL4		TENL4	TSZSL4	SADSL4	DADSL4

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL4 (DMA4転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF4 (DMA4転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL4 (DMA4要求要因選択)	00 : ソフトウェア起動 01 : DMA3-1回転送完了 10 : シリアルI/O-α 受信完了) 11 : MJT(TIN19入力信号)		
4	TENL4 (DMA4転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL4 (DMA4転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL4 (DMA4ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL4 (DMA4デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5チャンネル制御レジスタ(DM5CNT)

<アドレス : H'0080 0418 >

D0	1	2	3	4	5	6	D7
MDSEL5	TREQF5	REQSL5		TENL5	TSZSL5	SADSL5	DADSL5

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL5 (DMA5転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF5 (DMA5転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL5 (DMA5要求要因選択)	00 : ソフトウェア起動 または、DMA7-1回転送完了 01 : DMA0全転送終了 10 : シリアルI/O- α 受信完了) 11 : MJT(TIN20入力信号)		
4	TENL5 (DMA5転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL5 (DMA5転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL5 (DMA5ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL5 (DMA5デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA6チャンネル制御レジスタ(DM6CNT)

<アドレス : H'0080 0428 >

D0	1	2	3	4	5	6	D7
MDSEL6	TREQF6	REQSL6		TENL6	TSZSL6	SADSL6	DADSL6

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL6 (DMA6転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF6 (DMA6転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL6 (DMA6要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O-1(送信バッファ エンプティ) 10 : MJT(TIN1入力信号) 11 : DMA5-1回転送完了		
4	TENL6 (DMA6転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL6 (DMA6転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL6 (DMA6ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL6 (DMA6デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA7チャンネル制御レジスタ(DM7CNT)

<アドレス : H'0080 0438 >

D0	1	2	3	4	5	6	D7
MSEL7	TREQF7	REQSL7		TENL7	TSZSL7	SADSL7	DADSL7

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MSEL7 (DMA7転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF7 (DMA7転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL7 (DMA7要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O- α 送信バッファ エンプティ) 10 : MJT(TIN2入力信号) 11 : DMA6-1回転送終了		
4	TENL7 (DMA7転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL7 (DMA7転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL7 (DMA7ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL7 (DMA7デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA8チャンネル制御レジスタ(DM8CNT)

<アドレス : H'0080 0448 >

D0	1	2	3	4	5	6	D7
MDSEL8	TREQF8	REQSL8		TENL8	TSZSL8	SADSL8	DADSL8

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL8 (DMA8転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF8 (DMA8転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL8 (DMA8要求要因選択)	00 : ソフトウェア起動 01 : MJT(入力イベントバス0) 10 : シリアルI/O-3(受信完了) 11 : MJT(TIN7入力信号)		
4	TENL8 (DMA5転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL8 (DMA8転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL8 (DMA8ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL8 (DMA8デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA9チャンネル制御レジスタ(DM9CNT)

<アドレス : H'0080 0458 >

D0	1	2	3	4	5	6	D7
MDSSEL9	TREQF9	REQSL9		TENL9	TSZSL9	SADSL9	DADSL9

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSSEL9 (DMA9転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF9 (DMA9転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL9 (DMA9要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O- α 送信バッファ エンブティ) 10 : MJT(TIN8入力信号) 11 : DMA8-1回転送完了		
4	TENL9 (DMA7転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL9 (DMA9転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL9 (DMA9ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL9 (DMA9デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMAチャンネル制御レジスタは、各チャンネルのDMA転送モード選択、DMA転送要求フラグ、要求要因選択、DMA転送許可、転送サイズ、ソース/デスティネーションアドレス方向を設定するビットで構成しています。

(1) MDSELn (DMA_n 転送モード選択) ビット (D0)

単転送モードにおいて、ノーマルモードかリングバッファモードかを選択するビットです。このビットを"0"にするとノーマルモードに、"1"にするとリングバッファモードになります。

リングバッファモードでは、転送開始アドレスから32回転送後、再び転送開始アドレスに戻り、転送動作を繰り返します。このとき転送カウントレジスタはフリーランとなり、転送許可ビットを"0"(転送禁止)にするまで転送動作を継続します。また、DMA転送終了割り込み要求は発生しません。

(2) TREQFn (DMA_n 転送要求フラグ) ビット (D1)

このフラグは、DMA転送要求が発生したとき"1"にセットされます。フラグを読み出すことにより、各チャンネルのDMA転送要求が確認できます。

このビットに"0"を書き込むと、発生したDMA転送要求をクリアします。"1"を書き込んだ場合は、書き込み前の値を保持します。

すでにDMA転送要求フラグが"1"にセットされているチャンネルに対して新たなDMA転送要求が発生しても、そのチャンネルが転送を完了するまで次のDMA転送要求は受け付けられません。

(3) REQSLn (DMA_n 要求要因選択) ビット (D2, D3)

DMAの各チャンネルに対するDMA要求要因を選択します。

(4) TENLn (DMA_n 転送許可) ビット (D4)

このビットを"1"にすると転送が許可され、DMA転送可能状態となります。また、"0"にすると転送が禁止されます。ただし、既に転送要求が受け付けられていた場合は、その転送が完了後に禁止されます。

(5) TSZSLn (DMA_n 転送サイズ選択) ビット (D5)

1回のDMA転送動作(1転送単位)で転送するビット数を選択します。

このビットを"0"にすると1転送単位が16ビット、"1"にすると1転送単位が8ビットになります。

(6) SADSLn (DMA_n ソースアドレス方向選択) ビット (D6)

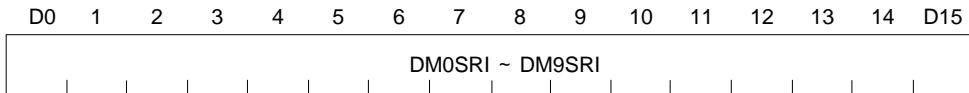
ソースアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

(7) DADSLn (DMA_n デスティネーションアドレス方向選択) ビット (D7)

デスティネーションアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

9.2.2 DMAソフトウェア要求発生レジスタ

DMA0ソフトウェア要求発生レジスタ(DM0SRI)	<アドレス : H'0080 0460 >
DMA1ソフトウェア要求発生レジスタ(DM1SRI)	<アドレス : H'0080 0462 >
DMA2ソフトウェア要求発生レジスタ(DM2SRI)	<アドレス : H'0080 0464 >
DMA3ソフトウェア要求発生レジスタ(DM3SRI)	<アドレス : H'0080 0466 >
DMA4ソフトウェア要求発生レジスタ(DM4SRI)	<アドレス : H'0080 0468 >
DMA5ソフトウェア要求発生レジスタ(DM5SRI)	<アドレス : H'0080 0470 >
DMA6ソフトウェア要求発生レジスタ(DM6SRI)	<アドレス : H'0080 0472 >
DMA7ソフトウェア要求発生レジスタ(DM7SRI)	<アドレス : H'0080 0474 >
DMA8ソフトウェア要求発生レジスタ(DM8SRI)	<アドレス : H'0080 0476 >
DMA9ソフトウェア要求発生レジスタ(DM9SRI)	<アドレス : H'0080 0478 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0SRI ~ DM9SRI	任意データの書き込みで (DMAソフトウェア要求発生) DMA転送要求を発生	?	

注. このレジスタはバイトでもハーフワードでもアクセス可能です。

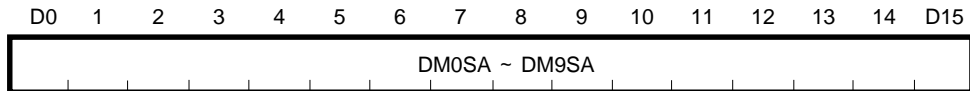
DMAソフトウェア要求発生レジスタは、ソフトウェアでDMA転送要求を発生するためのレジスタで、DMA要求要因として「ソフトウェア起動」を選択しているとき、このレジスタに任意の値を書き込むとDMA転送要求を発生することができます。

DM0SRI ~ DM9SRI (DMAソフトウェア要求発生) ビット

DMA要求要因としてソフトウェアを選択(DMAチャネル制御レジスタのD2, D3を"00"に設定)した場合、このレジスタにハーフワード(16ビット)か、偶数もしくは奇数番地で始まるバイト(8ビット)に任意データを書き込むと、ソフトウェアDMA転送要求が発生します。

9.2.3 DMAソースアドレスレジスタ

DMA0ソースアドレスレジスタ(DM0SA)	<アドレス : H'0080 0412 >
DMA1ソースアドレスレジスタ(DM1SA)	<アドレス : H'0080 0422 >
DMA2ソースアドレスレジスタ(DM2SA)	<アドレス : H'0080 0432 >
DMA3ソースアドレスレジスタ(DM3SA)	<アドレス : H'0080 0442 >
DMA4ソースアドレスレジスタ(DM4SA)	<アドレス : H'0080 0452 >
DMA5ソースアドレスレジスタ(DM5SA)	<アドレス : H'0080 041A >
DMA6ソースアドレスレジスタ(DM6SA)	<アドレス : H'0080 042A >
DMA7ソースアドレスレジスタ(DM7SA)	<アドレス : H'0080 043A >
DMA8ソースアドレスレジスタ(DM8SA)	<アドレス : H'0080 044A >
DMA9ソースアドレスレジスタ(DM9SA)	<アドレス : H'0080 045A >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0SA ~ DMA9SA (DMAソースアドレス)	ソースアドレスのA16 ~ A31 (A0 ~ A15 はH'0080に固定)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

DMAソースアドレスレジスタには、D0がA16、D15がA31になるようにDMA転送元のアドレスを設定します。このレジスタはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウントレジスタアンダーフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)になります。

DMAソースアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

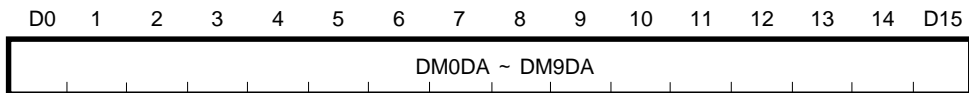
DM0SA ~ DM9SA (ソースアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のソースアドレスを指定します。

ソースアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではソースアドレスの下位16ビットを設定します(D0がソースアドレスのA16、D15がソースアドレスのA31に相当します)。

9.2.4 DMAデスティネーションアドレスレジスタ

DMA0 デスティネーションアドレスレジスタ (DM0DA)	<アドレス : H'0080 0414 >
DMA1 デスティネーションアドレスレジスタ (DM1DA)	<アドレス : H'0080 0424 >
DMA2 デスティネーションアドレスレジスタ (DM2DA)	<アドレス : H'0080 0434 >
DMA3 デスティネーションアドレスレジスタ (DM3DA)	<アドレス : H'0080 0444 >
DMA4 デスティネーションアドレスレジスタ (DM4DA)	<アドレス : H'0080 0454 >
DMA5 デスティネーションアドレスレジスタ (DM5DA)	<アドレス : H'0080 041C >
DMA6 デスティネーションアドレスレジスタ (DM6DA)	<アドレス : H'0080 042C >
DMA7 デスティネーションアドレスレジスタ (DM7DA)	<アドレス : H'0080 043C >
DMA8 デスティネーションアドレスレジスタ (DM8DA)	<アドレス : H'0080 044C >
DMA9 デスティネーションアドレスレジスタ (DM9DA)	<アドレス : H'0080 045C >



<リセット時 : 不定>

D	ビット名	機能	R	W
0 ~ 15	DM0DA ~ DM9DA (DMAデスティネーション アドレス)	デスティネーションアドレスの A16 ~ A31(A0 ~ A15はH'0080に固定)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

DMAデスティネーションアドレスレジスタには、D0がA16、D15がA31になるようにDMA転送先のアドレスを設定します。このレジスタへのアクセスはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダーフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)になります。

DMAデスティネーションアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

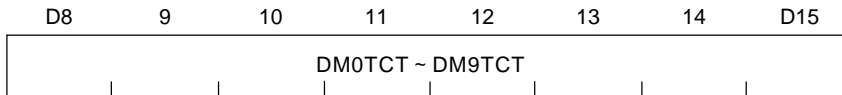
DM0DA ~ DM9DA (デスティネーションアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のデスティネーションアドレスを指定します。

デスティネーションアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではデスティネーションアドレスの下位16ビットを設定します(D0がデスティネーションアドレスのA16、D15がデスティネーションアドレスのA31に相当します)。

9.2.5 DMA転送カウントレジスタ

DMA0転送カウントレジスタ(DM0TCT)	<アドレス : H'0080 0411 >
DMA1転送カウントレジスタ(DM1TCT)	<アドレス : H'0080 0421 >
DMA2転送カウントレジスタ(DM2TCT)	<アドレス : H'0080 0431 >
DMA3転送カウントレジスタ(DM3TCT)	<アドレス : H'0080 0441 >
DMA4転送カウントレジスタ(DM4TCT)	<アドレス : H'0080 0451 >
DMA5転送カウントレジスタ(DM5TCT)	<アドレス : H'0080 0419 >
DMA6転送カウントレジスタ(DM6TCT)	<アドレス : H'0080 0429 >
DMA7転送カウントレジスタ(DM7TCT)	<アドレス : H'0080 0439 >
DMA8転送カウントレジスタ(DM8TCT)	<アドレス : H'0080 0449 >
DMA9転送カウントレジスタ(DM9TCT)	<アドレス : H'0080 0459 >



<リセット時：不定>			
D	ビット名	機能	R W
8 ~ 15	DM0TCT ~ DM9TCT (DMA転送カウント)	DMA転送回数 (32チャンネルリングバッファ モード時は無視)	

DMA転送カウントレジスタは、各チャンネルごとに転送する回数を設定します。ただし、リングバッファモード時はこのレジスタの値は無視されます。

転送回数は(転送カウントレジスタの設定値 + 1)となります。DMA転送カウントレジスタは、カレントレジスタで構成されているため、読み出し値は現在値となります(ただし、転送直後のサイクルで読み出した場合は、転送前のカウントレジスタ値となります)。

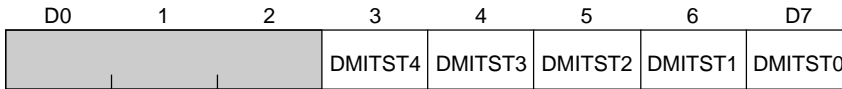
また転送終了時は、アンダーフロー(読み出し値はH'FF)となります。

なお、カスケード接続されたチャンネルがある場合、DMAの1回転送(バイトまたはハーフワード)完了ごとに、または全転送終了(転送カウントレジスタのアンダーフロー)で、カスケード接続されたチャンネルが起動されます。

9.2.6 DMA割り込み要求ステータスレジスタ

DMA0-4割り込み要求ステータスレジスタ(DM04ITST)

<アドレス: H'0080 0400 >



<リセット時: H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	DMITST4 (DMA4割り込み要求ステータス)	0: 要求なし 1: 要求あり		
4	DMITST3 (DMA3割り込み要求ステータス)	0: 要求なし 1: 要求あり		
5	DMITST2 (DMA2割り込み要求ステータス)	0: 要求なし 1: 要求あり		
6	DMITST1 (DMA1割り込み要求ステータス)	0: 要求なし 1: 要求あり		
7	DMITST0 (DMA0割り込み要求ステータス)	0: 要求なし 1: 要求あり		

W = -: 書き込み無効。

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA0-4割り込み要求ステータスレジスタで、各チャネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=0\sim4$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 0 \sim 4$)【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

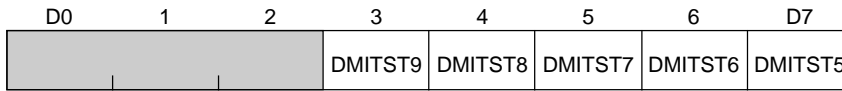
ソフトウェアで"0"を書き込むことによって行います。

注: 割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んでも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA0-4割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

DMA5-9割り込み要求ステータスレジスタ(DM59ITST)

< アドレス : H'0080 0408 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	DMITST9 (DMA9割り込み要求ステータス)	0: 要求なし 1: 要求あり		
4	DMITST8 (DMA8割り込み要求ステータス)	0: 要求なし 1: 要求あり		
5	DMITST7 (DMA7割り込み要求ステータス)	0: 要求なし 1: 要求あり		
6	DMITST6 (DMA6割り込み要求ステータス)	0: 要求なし 1: 要求あり		
7	DMITST5 (DMA5割り込み要求ステータス)	0: 要求なし 1: 要求あり		

W = - : 書き込み無効。

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5-9割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=5\sim 9$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 5 \sim 9$)【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

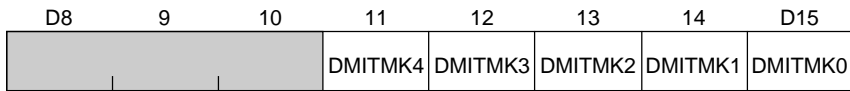
注. 割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んだ場合でも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA5-9割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

9.2.7 DMA割り込みマスクレジスタ

DMA0-4割り込みマスクレジスタ(DM04ITMK)

< アドレス : H'0080 0401 >



				< リセット時 : H'00 >	
D	ビット名	機能		R	W
8 ~ 10	何も配置されていません			0	-
11	DMITMK4 (DMA4割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク			
12	DMITMK3 (DMA3割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク			
13	DMITMK2 (DMA2割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク			
14	DMITMK1 (DMA1割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク			
15	DMITMK0 (DMA0割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク			

W = - : 書き込み無効。

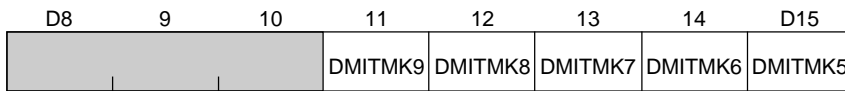
DMA0-4割り込みマスクレジスタは、DMA各チャネルの割り込み要求をマスクするレジスタです。

DMITMKn (DMA n 割り込み要求マスク) ビット (n = 0 ~ 4)

DMA n 割り込みマスクビットを"1"にすると、DMA n の割り込み要求がマスクされます。ただし割り込み要求発生時、DMA n 割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

DMA5-9割り込みマスクレジスタ(DM59ITMK)

< アドレス : H'0080 0409 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	DMITMK9 (DMA9割り込み要求マスク)	0: 割り込み要求許可 1: 割り込み要求マスク		
12	DMITMK8 (DMA8割り込み要求マスク)	0: 割り込み要求許可 1: 割り込み要求マスク		
13	DMITMK7 (DMA7割り込み要求マスク)	0: 割り込み要求許可 1: 割り込み要求マスク		
14	DMITMK6 (DMA6割り込み要求マスク)	0: 割り込み要求許可 1: 割り込み要求マスク		
15	DMITMK5 (DMA5割り込み要求マスク)	0: 割り込み要求許可 1: 割り込み要求マスク		

W = - : 書き込み無効。

DMA5-9割り込みマスクレジスタは、DMA各チャンネルの割り込み要求をマスクするレジスタです。

DMITMK n (DMA n 割り込み要求マスク) ビット ($n = 5 \sim 9$)

DMA n 割り込みマスクビットを"1"にすると、DMA n の割り込み要求がマスクされます。ただし割り込み要求発生時、DMA n 割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

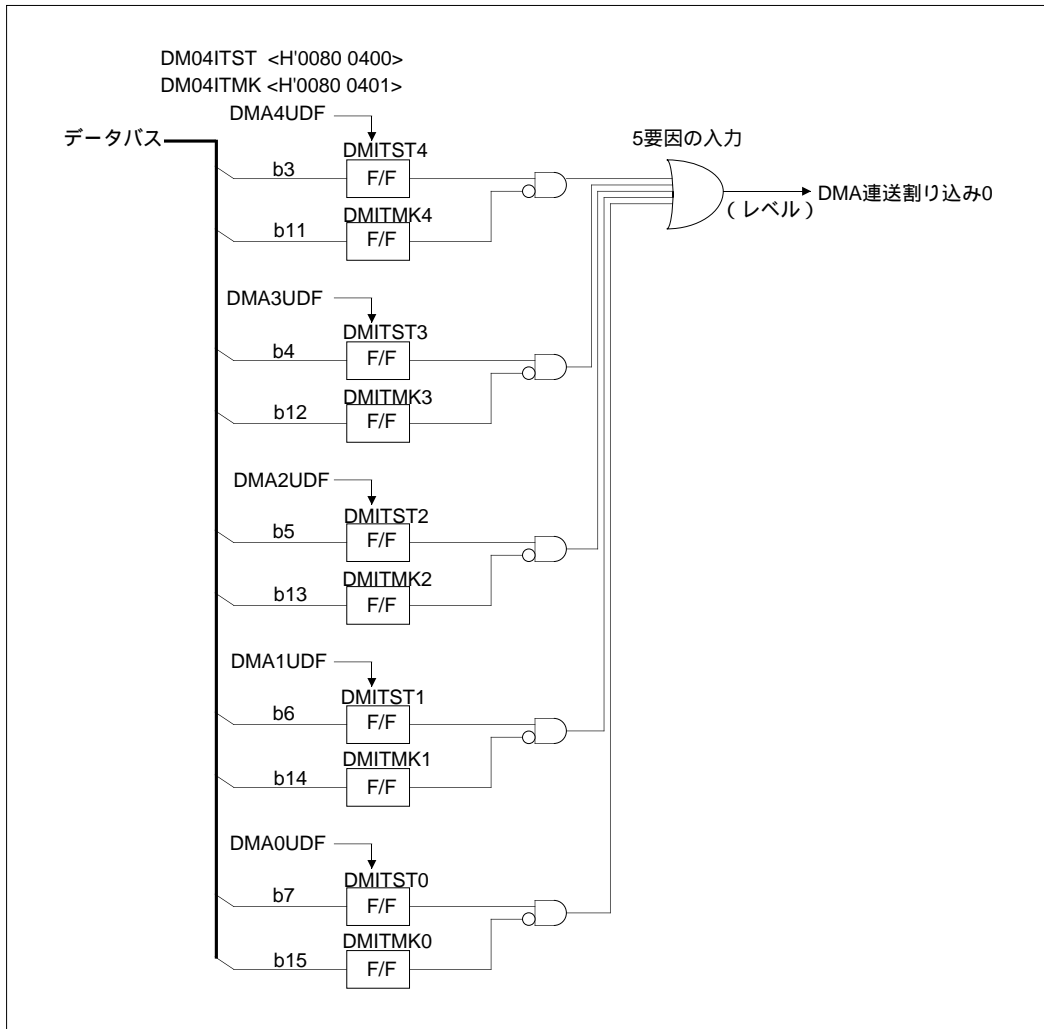


図9.2.3 DMAC転送割り込み0ブロック図

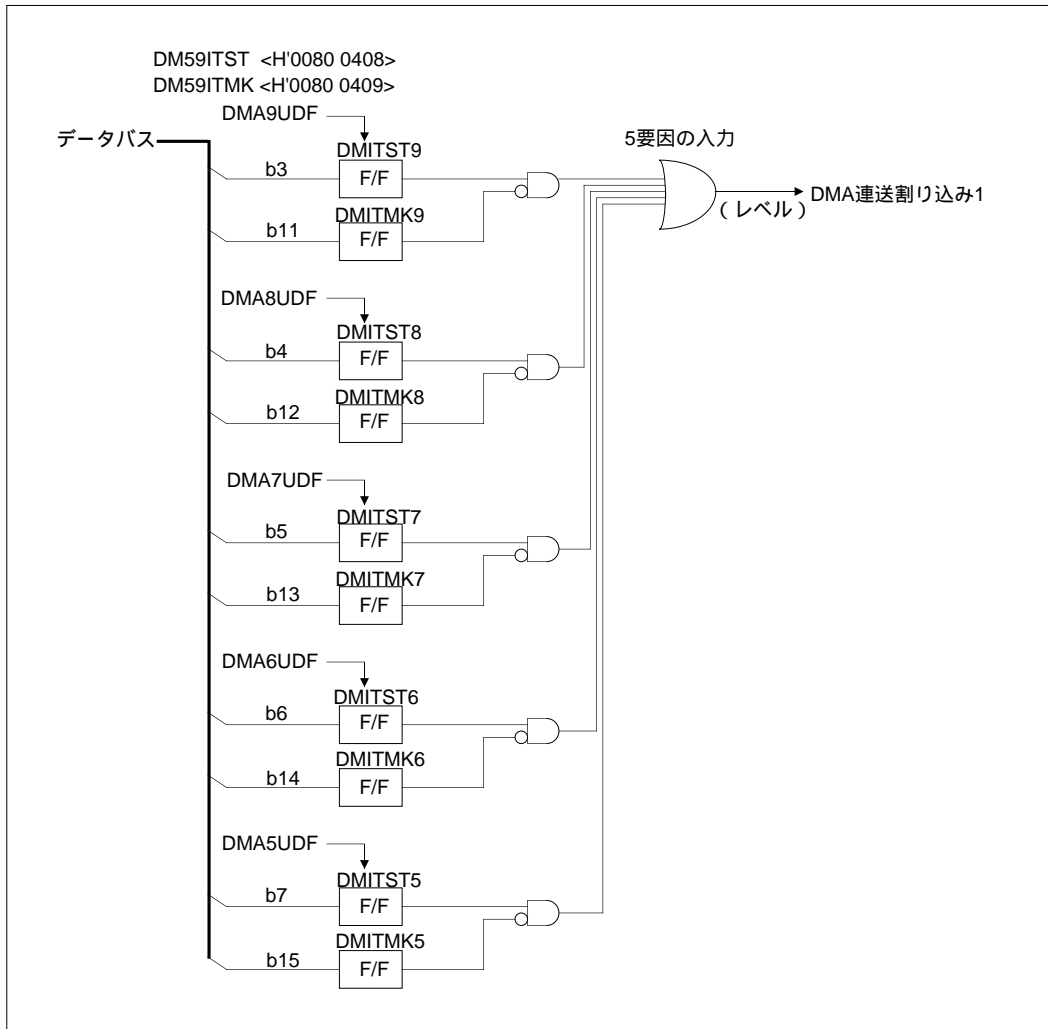


図9.2.4 DMAC転送割り込み1ブロック図

9.3 DMAC機能説明

9.3.1 DMA要求要因

DMAは各チャンネル(0~9チャンネル)ごとに、複数の要因からDMA転送を要求することができます。DMA転送の要求要因には、内蔵周辺I/Oによる起動、プログラムによるソフトウェア起動、およびDMA他チャンネルの1回転送完了、または全転送終了による起動(カスケードモード)があります。

DMA要求要因の選択は、各チャンネルの要求要因選択ビットREQSLn(DMA nチャンネル制御レジスタのD2とD3)で行います。以下に各チャンネルのDMA要求要因の一覧を示します。

表9.3.1 DMA0のDMA要求要因とその発生タイミング

REQSL0	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動 またはDMA2-1回転送完了	DMA0ソフトウェア要求発生レジスタに任意データを書き込んだとき(ソフトウェア起動)、またはDMA2-1回転送完了時(カスケードモード)
0 1	A-D0変換終了	A-D0変換終了時
1 0	MJT(TIO8_udf)	MJTのTIO8アンダーフロー発生時
1 1	MJT(入力イベントバス2)	MJTの入力イベントバス2の信号発生時

表9.3.2 DMA1のDMA要求要因とその発生タイミング

REQSL1	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA1ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(出力イベントバス0)	MJTの出力イベントバス0の信号発生時
1 0	MJT(TIN13入力信号)	MJTのTIN13入力信号発生時
1 1	DMA0-1回転送完了	DMA0-1回転送完了時(カスケードモード)

表9.3.3 DMA2のDMA要求要因とその発生タイミング

REQSL2	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA2ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(出力イベントバス1)	MJTの出力イベントバス1の信号発生時
1 0	MJT(TIN18入力信号)	MJTのTIN18入力信号発生時
1 1	DMA1-1回転送完了	DMA1-1回転送完了時(カスケードモード)

表9.3.4 DMA3のDMA要求要因とその発生タイミング

REQSL3	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA3ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアル/O-0 (送信バッファエンプティ)	シリアル/O-0送信バッファが空になった時
1 0	シリアル/O-1(受信完了)	シリアル/O-1の受信完了時
1 1	MJT(TIN0入力信号)	MJTのTIN0入力信号発生時

表9.3.5 DMA4のDMA要求要因とその発生タイミング

REQSL4	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA4ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	DMA3-1回転送完了	DMA3-1回転送完了時(カスケードモード)
1 0	シリアル/O-0(受信完了)	シリアル/O-0受信完了時
1 1	MJT(TIN19入力信号)	MJTのTIN19入力信号発生時

表9.3.6 DMA5のDMA要求要因とその発生タイミング

REQSL5	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動 またはDMA-1回転送完了	DMA5ソフトウェア要求発生レジスタに任意データを書き込んだとき、またはDMA7-1回転送完了時(カスケードモード)
0 1	DMA0全転送終了	DMA0全転送終了時(カスケードモード)
1 0	シリアル/O-2(受信完了)	シリアル/O-2受信完了時
1 1	MJT(TIN20入力信号)	MJTのTIN20入力信号発生時

表9.3.7 DMA6のDMA要求要因とその発生タイミング

REQSL6	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA6ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-1 (送信バッファエンプティ)	シリアルI/O-1送信バッファが空になった時
1 0	MJT(TIN1入力信号)	MJTのTIN1入力信号発生時
1 1	DMA5-1回転送完了	DMA5-1回転送完了時(カスケードモード)

表9.3.8 DMA7のDMA要求要因とその発生タイミング

REQSL7	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA7ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-2 (送信バッファエンプティ)	シリアルI/O-2送信バッファが空になった時
1 0	MJT(TIN2入力信号)	MJTのTIN2入力信号発生時
1 1	DMA6-1回転送完了	DMA6-1回転送完了時(カスケードモード)

表9.3.9 DMA8のDMA要求要因とその発生タイミング

REQSL8	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA8ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(入力イベントバス0)	MJTの入力イベントバス0の信号発生時
1 0	シリアルI/O-3(受信完了)	シリアルI/O-3受信完了時
1 1	MJT(TIN7入力信号)	MJTのTIN7入力信号発生時

表9.3.10 DMA9のDMA要求要因とその発生タイミング

REQSL9	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA9ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-3 (送信バッファエンプティ)	シリアルI/O-3送信バッファが空になった時
1 0	MJT(TIN8入力信号)	MJTのTIN8入力信号発生時
1 1	DMA8-1回転送完了	DMA8-1回転送完了時(カスケードモード)

9.3.2 DMA転送の処理手順

DMAチャンネル0を使用してDMA転送を行う場合の制御例を以下に示します。

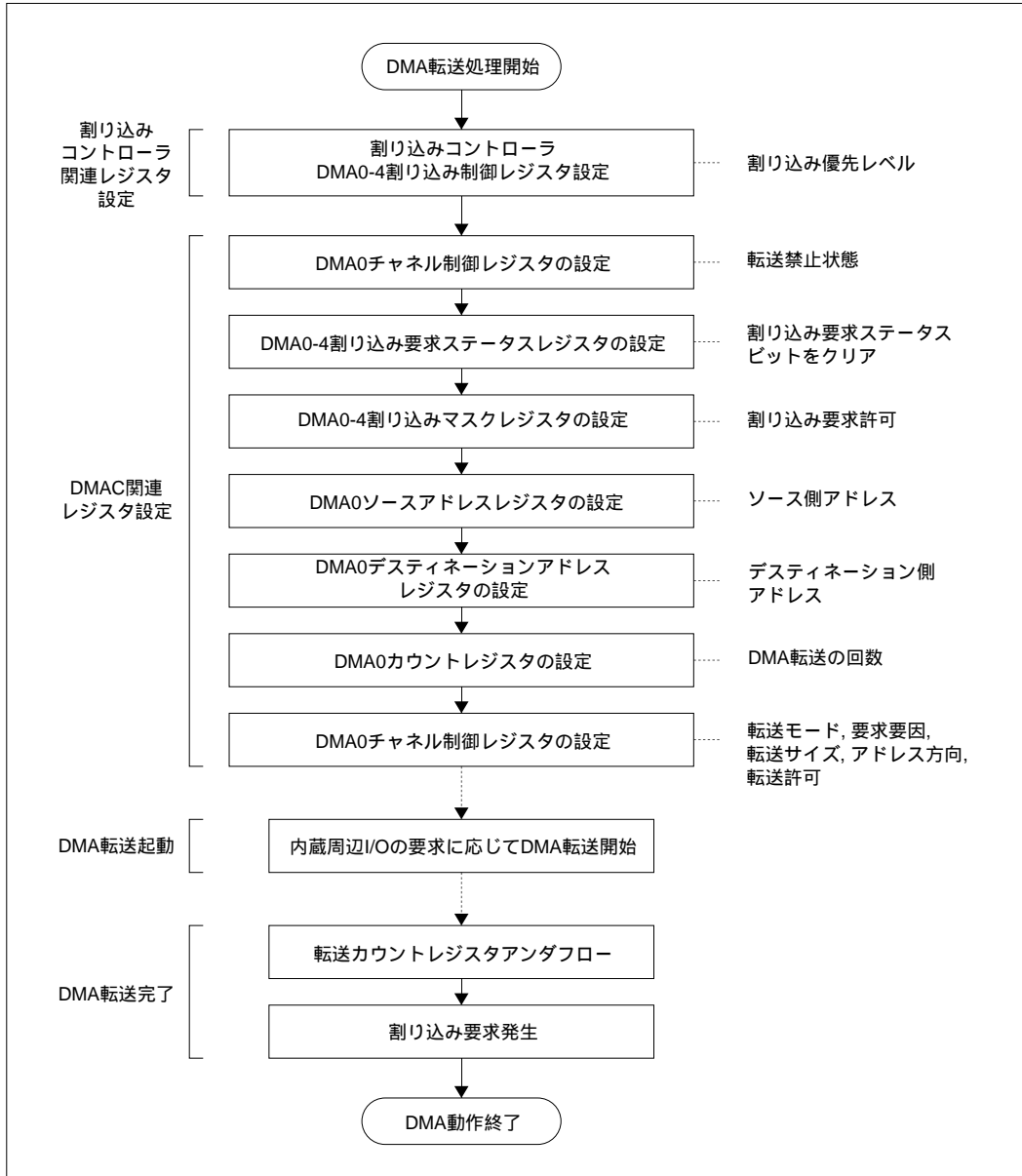


図9.3.1 DMA転送の処理手順(例)

9.3.3 DMAの起動

DMA要求要因は、要求要因選択ビット(DMA n チャンネル制御レジスタのD2, D3)で設定します。DMAの許可は、転送許可ビット(DMA n チャンネル制御レジスタのD4)を"1"にセットすることにより行います。転送許可ビットを"1"にセットし、指定した要求要因が有効になるとDMA転送が開始されます。

9.3.4 チャンネルの優先順位

チャンネルの優先順位はチャンネル0が最優先で、以下、

チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 > チャンネル4 > チャンネル5 >
チャンネル6 > チャンネル7 > チャンネル8 > チャンネル9

の順で固定です。転送サイクル単位(DMAバスサイクル=3サイクル)ごとに行い、要求の出ているチャンネルの中で最も優先順位の高いチャンネルが選択されます。

9.3.5 内部バス権の獲得と解放

内部バス権の獲得/解放は、各チャンネルすべて「単転送方式DMA」で行われます。単転送方式DMAでは、DMA転送要求が受け付けられると内部バス権を獲得し、1回の転送(内部周辺クロックの1リードサイクル+1ライトサイクル)のDMA転送実行後、CPUへバス権を返します。以下に単転送方式DMAの動作を示します。

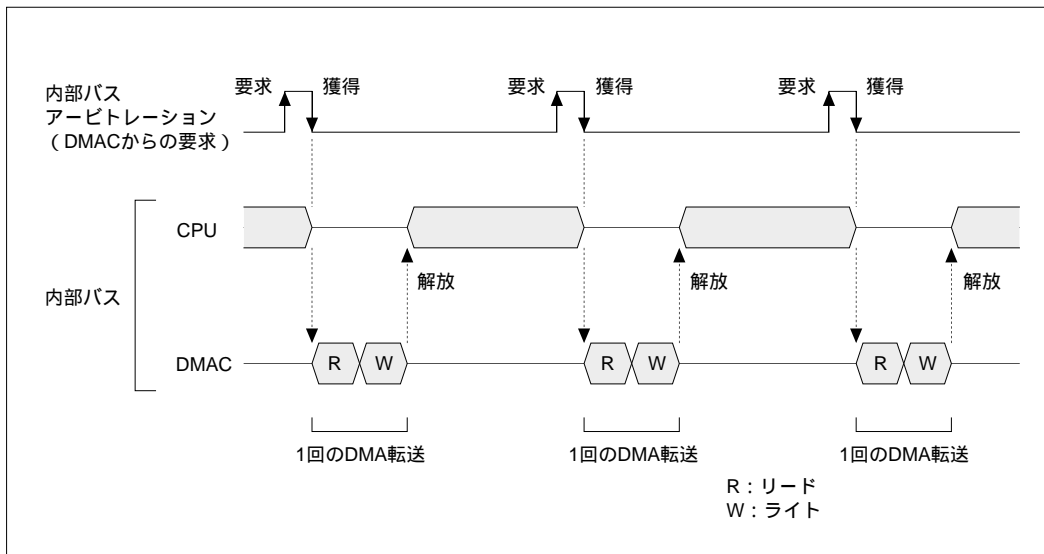


図9.3.2 内部バス権の獲得と解放

9.3.6 転送単位

1回のDMAで転送するビット数(8ビットまたは16ビット)は、チャンネルごとに転送サイズ選択ビット(DMA_nチャンネル制御レジスタのD5)で設定します。

9.3.7 転送回数

転送回数は、チャンネルごとにDMA_n転送カウントレジスタに設定します。最大256回まで転送できます。1転送単位を転送するごとに、転送カウントレジスタの値が1ずつダウンカウントします。

リングバッファモードではDMA_n転送カウントレジスタはフリーランとなり、設定値は無視されます。

9.3.8 アドレス空間

DMA転送が可能なアドレス空間は、ソース/デスティネーションとも内蔵周辺I/OまたはRAM空間の64Kバイト(H'0080 0000 ~ H'0080 FFFF)です。各DMAチャンネルのソース/デスティネーションアドレスは、DMA_nソースアドレスレジスタおよびDMA_nデスティネーションアドレスレジスタで設定します。

9.3.9 転送動作

(1) デュアルアドレス転送

転送単位にかかわらずソースリードアクセスと、デスティネーションライトアクセスの2つのバスサイクルによって転送します(転送データは一度、DMA内部のテンポラリレジスタに取り込まれます)。

(2) バスプロトコルおよびバスタイミング

バスインタフェースはCPUと共通であるため、バスプロトコル、バスタイミングともにCPUからの周辺モジュールアクセスと同じです。

(3) 転送速度

最大転送速度は、次式で算出されます。

$$\text{最大転送速度 [バイト/秒]} = 2\text{バイト} \times \frac{1}{1/f(\text{BCLK}) \times 3\text{サイクル}}$$

(4) アドレスカウント方向とアドレス変化

ソースアドレス、デスティネーションアドレスのカウント方向(アドレスの固定/インクリメント)は、チャンネルごとにソースアドレス方向選択ビット(DMA_nチャンネル制御レジスタのD6)と、デスティネーションアドレス方向選択ビット(DMA_nチャンネル制御レジスタのD7)で設定します。

アドレスは、1回のDMA転送につき転送単位が16ビットの場合は+2され、転送単位が8ビットの場合は+1されます。

表9.3.11 アドレスカウント方向とアドレス変化

アドレスカウント方向	転送単位	1回のDMAによるアドレス変化
アドレス固定	8ビット	0
	16ビット	0
アドレスインクリメント	8ビット	+1
	16ビット	+2

(5) 転送カウント値

転送カウント値は、転送単位(8ビット/16ビット)に関係なく、1ずつデクリメントされます。

(6) 転送バイト位置

転送単位が8ビット単位の場合はソース/デスティネーションとも、アドレスレジスタのLSBが有効です(したがって偶数 偶数、奇数 奇数番地転送の他に、偶数 奇数、奇数 偶数番地転送も行われます)。

転送単位が16ビットの場合、アドレスレジスタのLSB(アドレスレジスタのD15)は無視され、常に16ビットバスに対してアライメントのとれた2バイトを転送します。

以下に有効な転送バイト位置を示します。

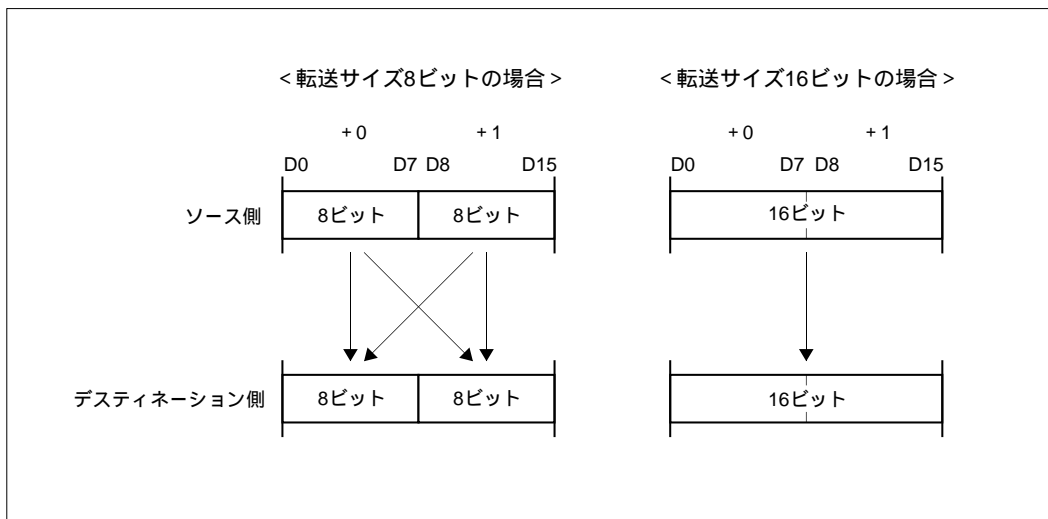


図9.3.3 転送バイト位置

(7) リングバッファモード

リングバッファモードを選択すると、転送開始アドレスから32回転送後再び転送開始アドレスに戻り、転送動作を繰り返します。ただし、リングバッファの開始アドレスの下位5ビットは必ずB'00000でなければなりません。

リングバッファモードにおけるアドレスのインクリメント動作は、次のとおりです。

転送サイズ8ビットの場合

転送開始アドレスの上位27ビットは固定で、下位5ビットが1ずつインクリメントされます。開始アドレスから下位5ビットがB'11111に達したとき、次のインクリメント動作で下位5ビットはB'00000になり開始アドレスに戻ります。

転送サイズ16ビットの場合

転送開始アドレスの上位26ビットは固定で、下位6ビットが2ずつインクリメントされます。開始アドレスから下位6ビットがB'111110に達したとき、次のインクリメント動作で下位6ビットはB'000000になり開始アドレスに戻るようインクリメントされます。

開始アドレスに戻るのは、ソース側がインクリメントに設定されている場合はソースアドレス、デスティネーション側がインクリメントに設定されている場合はデスティネーションアドレスです。

ソース側とデスティネーション側がともにインクリメントの場合は、両方のアドレスが開始アドレスに戻ります。ただしどちらの開始アドレスも初期値の下位5ビットは必ずB'00000でなければなりません。

リングバッファモード時は転送カウンレジスタは無視されます。また、DMA動作開始後はフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。

<転送サイズ8ビットの場合>		<転送サイズ16ビットの場合>	
転送回数	転送アドレス	転送回数	転送アドレス
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
3	H'0080 1002	3	H'0080 1004
}	}	}	}
31	H'0080 101E	31	H'0080 103C
32	H'0080 101F	32	H'0080 103E
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
}	}	}	}

図9.3.4 32チャンネルリングバッファモードにおけるアドレスインクリメント動作例

9.3.10 DMAの終了と割り込み

ノーマルモードの場合、DMA転送は転送カウントレジスタのアンダフローで終了します。転送が終了すると、転送許可ビットが"0"にクリアされ転送禁止状態になります。また、転送終了時に割り込み要求が発生しますが、DMA割り込みマスクレジスタで割り込み要求がマスクされているチャンネルについては、割り込みは発生しません。

リングバッファモード時は、転送カウントレジスタはフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。このため、DMA転送終了割り込み要求は発生しません。また、転送許可ビットをクリアしてリングバッファモード転送を終了したときも、DMA転送終了割り込み要求は発生しません。

9.3.11 DMA転送終了後の各レジスタの状態

DMA転送終了時、ソースアドレスレジスタおよびデスティネーションアドレスレジスタは以下の条件となります。

(1)アドレス固定

DMA転送開始前の設定値のまま固定

(2)アドレスインクリメント時

8ビット転送時、最終転送アドレス+1

16ビット転送時、最終転送アドレス+2

また、転送カウントレジスタはDMA転送終了時、アンダーフロー(H'FF)状態となっています。したがって再度DMA転送を行う場合は、256(H'FF)回の転送を行う場合を除き、転送カウントレジスタの再設定を行ってください。

9.4 DMACの注意事項

DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないでください。

以下に、各レジスタのライトアクセスの可否を示します。

表9.4.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	その他DMAC関連レジスタ
転送許可状態			×
転送禁止状態			

: 可 × : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守ってください。

DMAn チャンネル制御レジスタの転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んで下さい。なお、転送要求フラグは"0"の書き込みのみ有効です。

DMA 転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

DMA 転送による異なるチャンネルのDMAn ソースアドレス、およびDMAn デスティネーションアドレスの書き替え

この場合DMAの許可状態でDMA関連レジスタの操作を行うことにはなりますが、問題はありませぬ。ただし、自チャンネルのDMA関連レジスタへのDMA転送はできません。

DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないで下さい(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き替えが可能です(例えばチャンネル0による、チャンネル1のDMA_nソースアドレスレジスタとDMA_nデスティネーションアドレスレジスタの書き替え操作など)。

DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んで下さい。"1"を書き込んだビットは、書き込み前のデータが保持されます。

DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。

ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

第10章

マルチジャンクションタイマ

- 10.1 マルチジャンクション
タイマ概要
- 10.2 タイマ共通部
- 10.3 TOP(出力系16ビット
タイマ)
- 10.4 TIQ(入出力系16ビット
タイマ)
- 10.5 TMS(入力系16ビット
タイマ)
- 10.6 TML(入力系32ビット
タイマ)
- 10.7 TID(入力系16ビット
タイマ)
- 10.8 TOD(出力系16ビット
タイマ)

10.1 マルチジャンクションタイマ概要

マルチジャンクションタイマ(以下MJTと略)には入力イベントバスおよび出力イベントバスが備えられており、タイマ単独での使用に加えてタイマ相互の内部接続が可能です。この機能によりフレキシビリティに富んだタイマが構成でき、多様なアプリケーションに対応できます。タイマが内部のイベントバスとの多数の接続点を持つことからマルチジャンクションの名前が付けられています。

MJTには以下の6種類、合計42チャンネルのタイマがあります。

表10.1.1 MJTの概要(1/2)

名称	種類	チャンネル数	内容
TOP (Timer OutPut)	出力系 16ビットタイマ (ダウンカウンタ)	11	ソフトウェアにより、3種類の出力モードを選択。 <補正機能あり> ワンショット出力モード ディレイドワンショット出力モード <補正機能なし> 連続出力モード
TIO (Timer Input OutPut)	入出力系 16ビットタイマ (ダウンカウンタ)	10	ソフトウェアにより、3種類の入力モードと4種類の出力モードを選択。 <入力モード> 計測クリア入力モード 計測フリーラン入力モード ノイズ処理入力モード <補正機能なし出力モード> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード
TMS (Timer Measure Small)	入力系 16ビットタイマ (アップカウンタ)	8	16ビット入力計測タイマ。
TML (Timer Measure Large)	入力系 32ビットタイマ (アップカウンタ)	4	32ビット入力計測タイマ。

表10.1.1 MJTの概要(2/2)

名称	種類	チャンネル数	内容
TID (Timer Input Derivation)	入力系 16ビットタイマ (アップダウンカウンタ)	1	ソフトウェアにより、3種類の入力モードを選択 定周期モード イベントカウントモード 4逓倍イベントカウントモード
TOD (Timer output Derivation)	出力系 16ビットタイマ (ダウンカウンタ)	8	ソフトウェアにより、4種類の出力モードを選択 <補正機能なし> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード

表10.1.2 MJTの割り込み発生機能

信号名	MJT割り込み要求元	割り込みコントローラ(ICU)入力	ICU入力要因数
IRQ14	TID0出力	TID出力割り込み	1
IRQ13	TOD0～TOD7出力	TOD出力割り込み	8
IRQ12	TIN3～TIN6入力	MJT入力割り込み4	4
IRQ11	TIN20～TIN23入力	MJT入力割り込み3	4
IRQ10	TIN12～TIN19入力	MJT入力割り込み2	8
IRQ9	TIN0～TIN2入力	MJT入力割り込み1	3
IRQ8	TIN7～TIN11入力	MJT入力割り込み0	5
IRQ7	TMS0, TMS1出力	MJT出力割り込み7	2
IRQ6	TOP8, TOP9出力	MJT出力割り込み6	2
IRQ5	TOP10出力	MJT出力割り込み5	1
IRQ4	TIO4～7出力	MJT出力割り込み4	4
IRQ3	TIO8, TIO9出力	MJT出力割り込み3	2
IRQ2	TOP0～5出力	MJT出力割り込み2	6
IRQ1	TOP6, TOP7出力	MJT出力割り込み1	2
IRQ0	TIO0～3出力	MJT出力割り込み0	4

表10.1.3 MJTのDMA転送要求発生機能

信号名	DMA転送要求元	DMAC入力チャンネル
DRQ0	TIO8アンダーフロー	チャンネル0
DRQ1	入力イベントバス2	チャンネル0
DRQ2	出力イベントバス0	チャンネル1
DRQ3	TIN13入力	チャンネル1
DRQ4	出力イベントバス1	チャンネル2
DRQ5	TIN18入力	チャンネル2
DRQ6	TIN19入力	チャンネル4
DRQ7	TIN0入力	チャンネル3
DRQ8	TIN1入力	チャンネル6
DRQ9	TIN2入力	チャンネル7
DRQ10	TIN7入力	チャンネル8
DRQ11	TIN8入力	チャンネル9
DRQ12	TIN20入力	チャンネル5
DRQ13	入力イベントバス0	チャンネル8

表10.1.4 MJTのA-D変換開始要求機能

信号名	A-D変換開始要求元	A-D変換器
ADTRG	出力イベントバス3	A-D変換開始トリガに入力可能

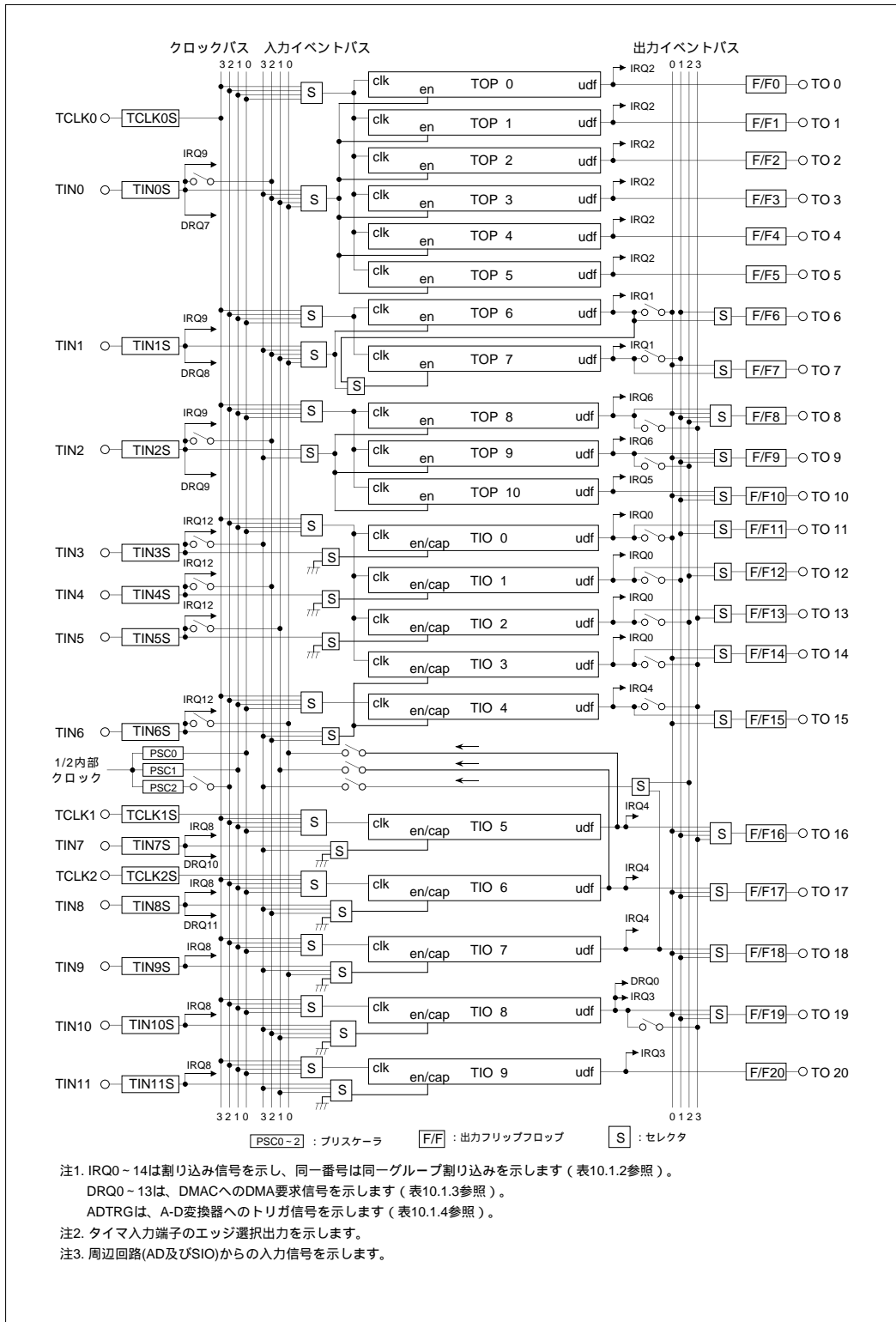


図10.1.1 MJTブロック図 (1/3)

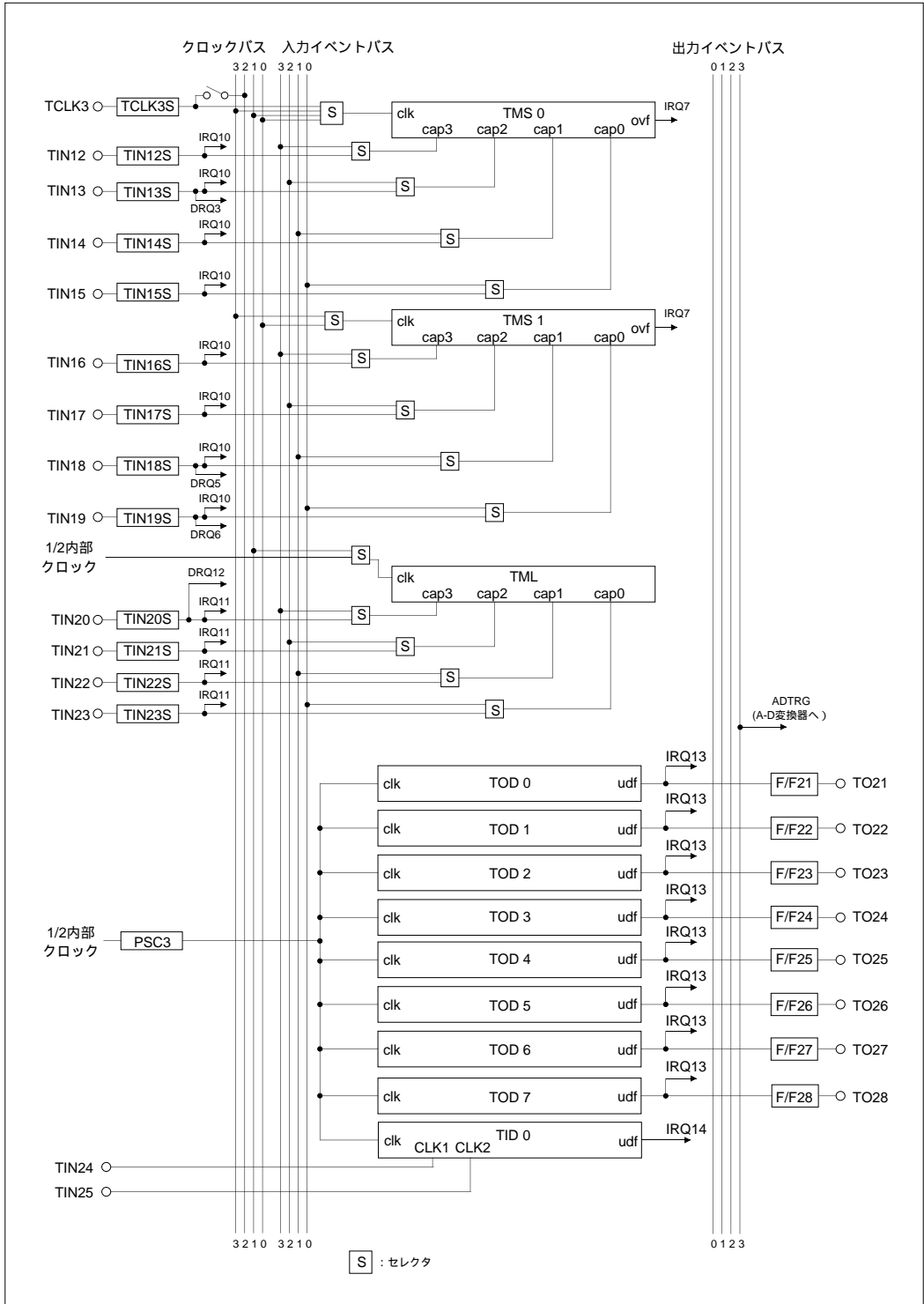


図10.1.2 MJTブロック図(2/3)

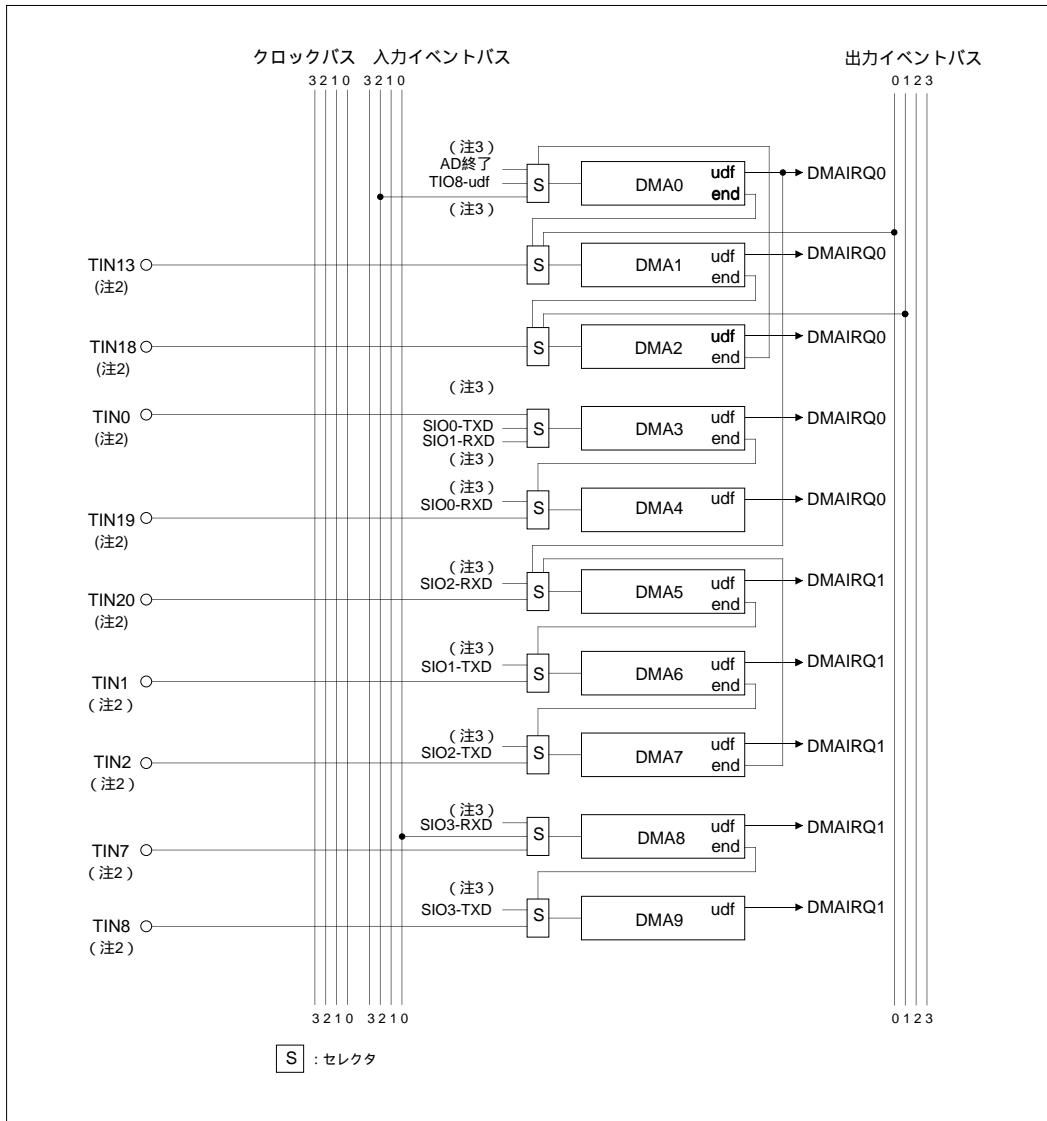


図10.1.3 MJTブロック図(3/3)

10.2 タイマ共通部

タイマ共通部には以下のブロックが含まれます。

- プリスケータ部
- クロックバス / 入出力イベントバス制御部
- 入力処理制御部
- 出力フリップフロップ制御部
- 割り込み制御部

10.2.1 タイマ共通部レジスタマップ

次ページにタイマ共通部のレジスタマップを示します。

番地	+0番地	+1番地
D0	D7	D8 D15
H'0080 0200		クロックバス&入カイベントバス制御レジスタ (CKIEBCR)
H'0080 0202	プリスケアラレジスタ0 (PRS0)	プリスケアラレジスタ1 (PRS1)
H'0080 0204	プリスケアラレジスタ2 (PRS2)	出カイベントバス制御レジスタ (OEBCR)
~		~
H'0080 0210	TCLK入力処理制御レジスタ (TCLKCR)	
H'0080 0212	TIN入力処理制御レジスタ0 (TINCR0)	
H'0080 0214	TIN入力処理制御レジスタ1 (TINCR1)	
H'0080 0216	TIN入力処理制御レジスタ2 (TINCR2)	
H'0080 0218	TIN入力処理制御レジスタ3 (TINCR3)	
H'0080 021A		TIN入力処理制御レジスタ4 (TINCR4)
~		~
H'0080 0220	F/Fソース選択レジスタ0 (FFS0)	
H'0080 0222		F/Fソース選択レジスタ1 (FFS1)
H'0080 0224	F/Fプロテクトレジスタ0 (FFP0)	
H'0080 0226	F/Fデータレジスタ0 (FFD0)	
H'0080 0228		F/Fプロテクトレジスタ1 (FFP1)
H'0080 022A		F/Fデータレジスタ1 (FFD1)
~		~
H'0080 0230	TOP割り込み制御レジスタ0 (TOPIR0)	TOP割り込み制御レジスタ1 (TOPIR1)
H'0080 0232	TOP割り込み制御レジスタ2 (TOPIR2)	TOP割り込み制御レジスタ3 (TOPIR3)
H'0080 0234	TIO割り込み制御レジスタ0 (TIOIR0)	TIO割り込み制御レジスタ1 (TIOIR1)
H'0080 0236	TIO割り込み制御レジスタ2 (TIOIR2)	TMS割り込み制御レジスタ (TMSIR)
H'0080 0238	TIN割り込み制御レジスタ0 (TINIR0)	TIN割り込み制御レジスタ1 (TINIR1)
H'0080 023A	TIN割り込み制御レジスタ2 (TINIR2)	TIN割り込み制御レジスタ3 (TINIR3)
H'0080 023C	TIN割り込み制御レジスタ4 (TINIR4)	TIN割り込み制御レジスタ5 (TINIR5)
H'0080 023E	TIN割り込み制御レジスタ6 (TINIR6)	
~		~
H'0080 07D0	プリスケアラレジスタ3 (PRS3)	
H'0080 07D2	TOD0 - TOD7割り込みマスクレジスタ (TOD07IMA)	TOD0 - TOD7割り込みステータスレジスタ (TOD07IST)
H'0080 07D4		F/Fプロテクトレジスタ2 (FFP2)
H'0080 07D6		F/Fデータレジスタ2 (FFD2)
~		~
H'0080 07DC		TOD0 - 7イネーブルプロテクトレジスタ (TODPRO)
H'0080 07DE		TOD0 - 7カウントイネーブルレジスタ (TODCEN)

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.2.1 タイマ共通部レジスタマップ

10.2.2 プリスケーラ部

プリスケーラPRS0～3は8ビット構成のカウンタで、動作クロックの1/2の周波数(内部動作25MHz時は12.5MHz)をもとに、クロックを分周して各タイマ(TMLを除くTOP, TIO, TMS, TID, TOD)へクロックを供給します。

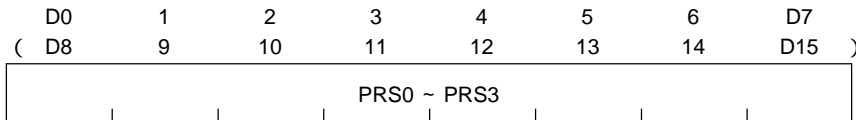
リセット時にプリスケーラレジスタがH'00に初期化され、リセット解除後、その値(H'00)でプリスケーラ動作を開始します。

また、プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダーフローに同期して、その書き換え値による動作を開始します。

4つのプリスケーラのカウンタレジスタにはH'00～H'FFの値が設定できます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{プリスケーラ設定値} + 1}$$

プリスケーラレジスタ0 (PRS0)	<アドレス: H'0080 0202 >
プリスケーラレジスタ1 (PRS1)	<アドレス: H'0080 0203 >
プリスケーラレジスタ2 (PRS2)	<アドレス: H'0080 0204 >
プリスケーラレジスタ3 (PRS3)	<アドレス: H'0080 07D0 >



<リセット時: H'00 >

D	ビット名	機能	R	W
0~7	PRS0, 2, 3	プリスケーラ分周値設定		
8~15	PRS1			

プリスケーラレジスタ0～2は、リセット解除後カウント動作を開始します。

プリスケーラレジスタ3は、TID0制御&プリスケーラ3イネーブルレジスタのプリスケーラ3イネーブル(PRS3EN)ビットに"1"をセット(カウント開始)すると起動し、プリスケーラレジスタ値をリロードして、カウント動作を開始します。

詳細については、「10.7 TID」の章を参照ください。

10.2.3 クロックバス / 入出力イベントバス制御部

(1) クロックバス

クロックバスは、各タイマにクロックを供給するためのバスで、クロックバス0～3の4本で構成されます。各タイマではこのクロックバス信号をクロック入力信号とすることができます。

クロックバスに入力可能な信号は以下の通りです。

表10.2.1 クロックバス各線に入力可能な信号

クロックバス	入力可能信号
3	TCLK0入力
2	内部プリスケアラ(PSC2) または TCLK3入力
1	内部プリスケアラ(PSC1)
0	内部プリスケアラ(PSC0)

(2) 入力イベントバス

入力イベントバスは、各タイマのカウントイネーブル信号や計測キャプチャ信号を供給するためのバスで、入力イベントバス0～3の4本で構成されます。各タイマではこの入力イベントバス信号をイネーブル(またはキャプチャ)信号入力とすることができます。

入力イベントバスに入力可能な信号は以下の通りです。

表10.2.2 入力イベントバス各線に入力可能な信号

入力イベントバス	入力可能信号
3	TIN3入力、出力イベントバス2 または TIO7アンダーフロー信号
2	TIN0入力、TIN2入力 または TIN4入力
1	TIN5入力 または TIO6アンダーフロー信号
0	TIN6入力 または TIO5アンダーフロー信号

(3) 出力イベントバス

出力イベントバスは、各タイマのアンダーフロー信号が接続され、出力イベントバス0～3の4本で構成されます。出力イベントバスの信号は出力フリップフロップに接続されるほか、出力イベントバス3はA-D変換器に、出力イベントバス0はDMACチャンネル1に、出力イベントバス1はDMACチャンネル2に接続できます。また、出力イベントバス2は、入力イベントバス3に接続可能です。

出力イベントバスに接続可能な信号は以下の通りです。

表10.2.3 出力イベントバス各線に接続(入力)可能な信号

出力イベントバス	接続(入力)可能な信号(注)
3	TOP8、TIO3、TIO4、TIO8アンダーフロー信号
2	TOP9 または TIO2アンダーフロー信号
1	TOP7 または TIO1アンダーフロー信号
0	TOP6 または TIO0アンダーフロー信号

注. 出力イベントバス信号の接続先(出力)については、図10.1.1「MJTブロック図」をご覧ください。

なお、各タイマから出力イベントバスに対する信号(およびTIO5,6による入力イベントバスへの信号)が発生するのは、以下のタイミングです(タイマから出力フリップフロップへの信号出力タイミングとは異なるため注意してください)。

表10.2.4 各タイマから出力イベントバスに対する信号発生タイミング

タイマ	モード	出力イベントバスへの信号発生タイミング
TOP	ワンショット出力モード	カウンタアンダーフロー時
	ディレイドワンショット出力モード	〃
	連続出力モード	〃
TIO(注)	計測クリア入力モード	カウンタアンダーフロー時
	計測フリーラン入力モード	〃
	ノイズ処理入力モード	〃
	PWM出力モード	カウンタアンダーフロー時
	ワンショット出力モード	〃
	ディレイドワンショット出力モード	〃
	連続出力モード	〃
TMS	(16ビット計測入力)	信号発生機能なし
TML	(32ビット計測入力)	信号発生機能なし
TID	定周期モード	信号発生機能なし
	イベントカウントモード	〃
	4通倍イベントカウントモード	〃
TOD	PWM出力モード	信号発生機能なし
	ワンショット出力モード	〃
	ディレイドワンショット出力モード	〃
	連続出力モード	〃

注. TIO5,6は入力イベントバスに対してアンダーフロー信号を出力します。

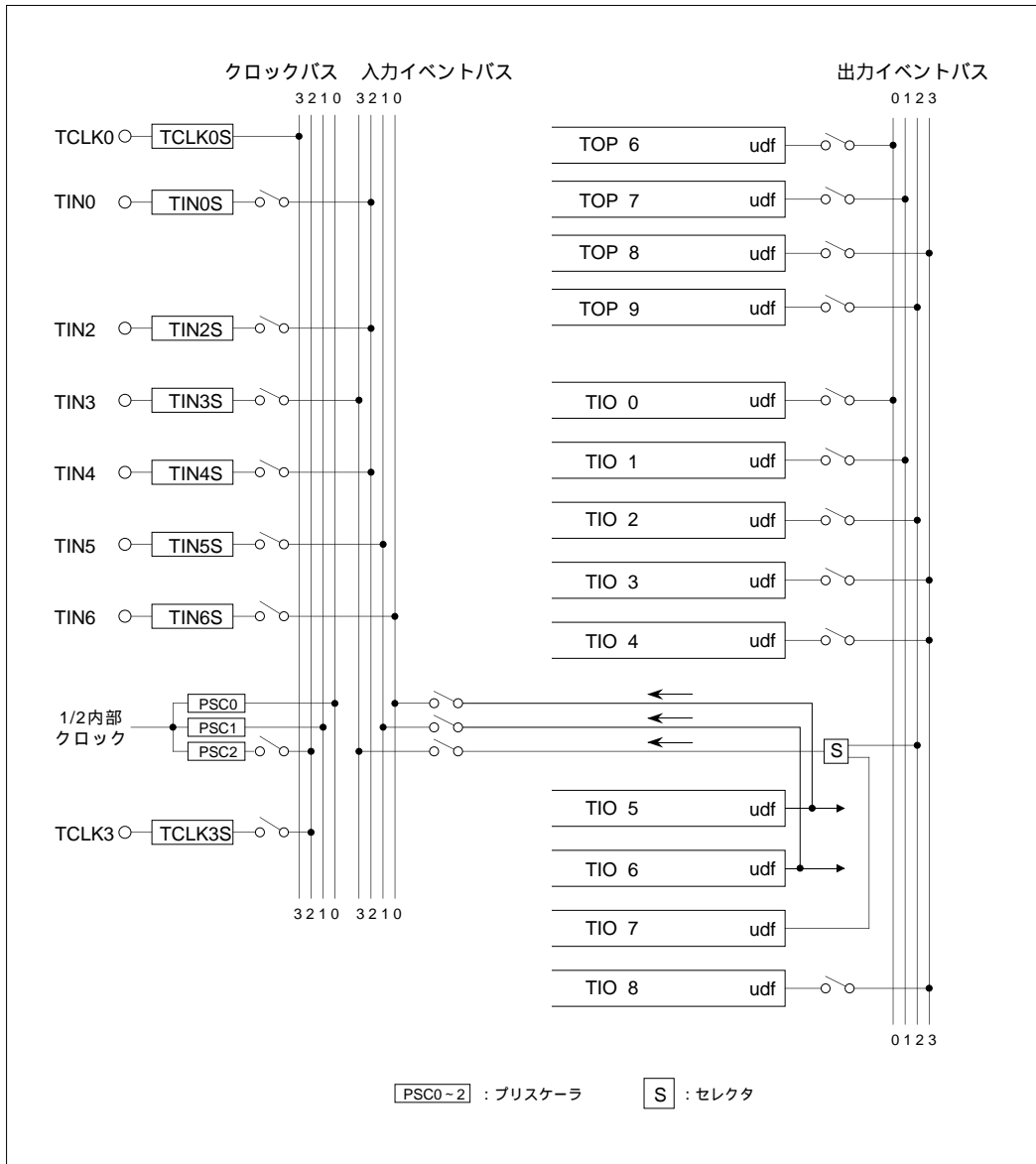
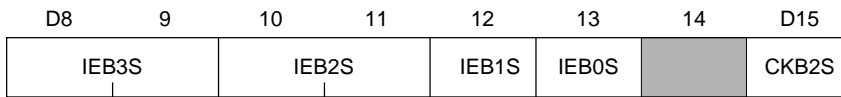


図10.2.2 クロックバス，入力/出力イベントバスの概念図

クロックバス / 入出力イベントバス制御部には以下のレジスタがあります。

クロックバス & 入力イベントバス制御レジスタ (CKIEBCR)
出力イベントバス制御レジスタ (OEBCR)

クロックバス & 入力イベントバス制御レジスタ (CKIEBCR) < アドレス : H'0080 0201 >



< リセット時 : H'00 >

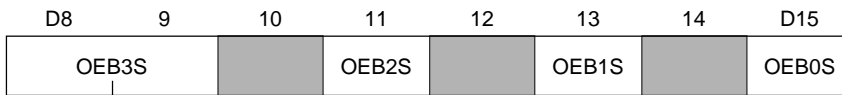
D	ビット名	機能	R	W
8, 9	IEB3S (入力イベントバス3 入力選択)	0X : 外部入力 α (TIN3) 選択 10 : 出力イベントバス2選択 11 : TIO7出力選択		
10, 11	IEB2S (入力イベントバス2 入力選択)	00 : 外部入力 α (TIN0) 選択 01 : 外部入力 α (TIN2) 選択 1X : 外部入力 α (TIN4) 選択		
12	IEB1S (入力イベントバス1 入力選択)	0 : 外部入力 α (TIN5) 選択 1 : TIO6出力選択		
13	IEB0S (入力イベントバス0 入力選択)	0 : 外部入力 α (TIN6) 選択 1 : TIO5出力選択		
14	何も配置されていません		0	-
15	CKB2S (クロックバス2 入力選択)	0 : プリスケアラ2選択 1 : 外部クロック α (TCLK3) 選択		

W = - : 書き込み無効

CKIEBCRは、クロックバスに供給するクロックソースの選択(外部入力またはプリスケアラ)、および入力イベントバスへ供給するカウントイネーブル / キャプチャ信号の選択(外部入力または出力イベントバス)を行うレジスタです。

出力イベントバス制御レジスタ(OEBCR)

<アドレス: H'0080 0205>



<リセット時: H'00>

D	ビット名	機能	R	W
8, 9	OEB3S(出力イベントバス3 入力選択)	00: TOP8出力選択 01: TIO3出力選択 10: TIO4出力選択 11: TIO8出力選択		
10	何も配置されていません		0	-
11	OEB2S(出力イベントバス2 入力選択)	0: TOP9出力選択 1: TIO2出力選択		
12	何も配置されていません		0	-
13	OEB1S(出力イベントバス1 入力選択)	0: TOP7出力選択 1: TIO1出力選択		
14	何も配置されていません		0	-
15	OEB0S(出力イベントバス0 入力選択)	0: TOP6出力選択 1: TIO0出力選択		

W = - : 書き込み無効

OEBCRは、出力イベントバスにどのタイマ(TOP, TIO)のアンダーフロー信号を供給するかを選択するレジスタです。

10.2.4 入力処理制御部

入力処理制御部では、TCLK信号およびTIN信号の入力処理を行います。TCLK入力処理部では、TCLK信号のソース、外部入力の場合は信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)でクロックバスへの供給クロック信号を発生させるかを選択します。

またTIN入力処理部では、信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)で、各タイマのイネーブル信号/計測信号/カウントソース信号、または各イベントバスへの供給信号を発生させるかを選択します。

入力処理制御レジスタには以下のものがあります。

TCLK入力処理制御レジスタ(TCLKCR)

TIN入力処理制御レジスタ0(TINCR0)

TIN入力処理制御レジスタ1(TINCR1)

TIN入力処理制御レジスタ2(TINCR2)

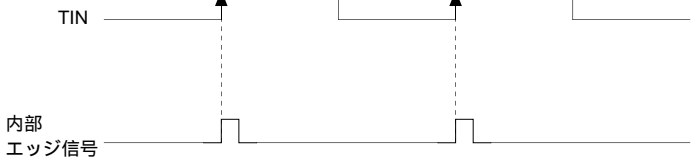
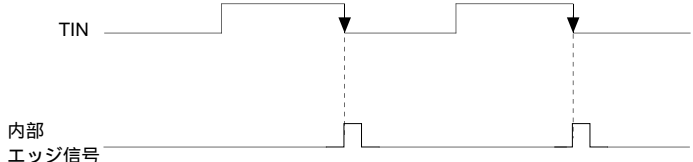
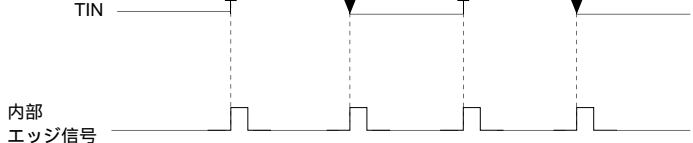
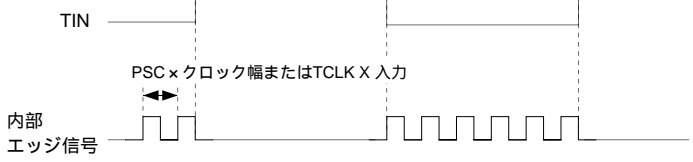
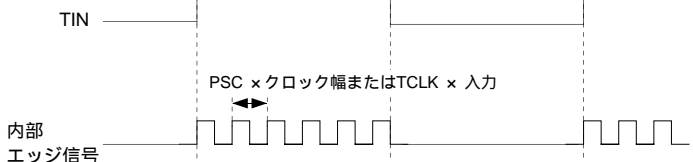
TIN入力処理制御レジスタ3(TINCR3)

TIN入力処理制御レジスタ4(TINCR4)

(1)TCLK入力処理制御レジスタ機能一覧

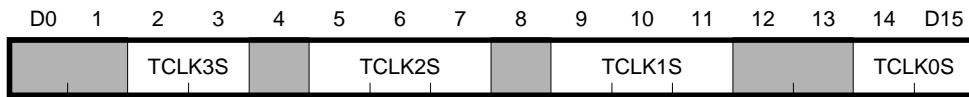
項目	動作機能
1/2内部クロック	
立ち上がりクロック	
立ち下がりクロック	
両エッジ	
Lレベル	
Hレベル	

(2) TIN入力処理制御レジスタ機能一覧

項目	動作機能
立ち上がりエッジ	
立ち下がりエッジ	
両エッジ	
Lレベル	
Hレベル	

TCLK入力処理制御レジスタ(TCLKCR)

<アドレス : H'0080 0210 >



<リセット時 : H'0000 >

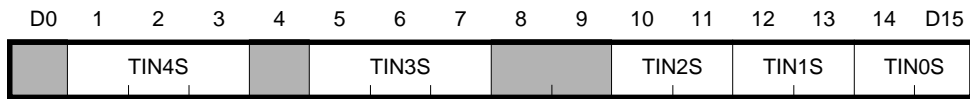
D	ビット名	機能	R	W
0, 1	何も配置されていません		0	-
2, 3	TCLK3S (TCLK3 入力処理 選択)	00 : 1/2内部クロック 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
4	何も配置されていません		0	-
5~7	TCLK2S (TCLK2 入力処理 選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
8	何も配置されていません		0	-
9~11	TCLK1S (TCLK1 入力処理 選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
12,13	何も配置されていません		0	-
14,15	TCLK0S (TCLK0 入力処理 選択)	00 : 1/2内部クロック 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ(TINCRO)

<アドレス : H'0080 0212 >



<リセット時 : H'0000 >

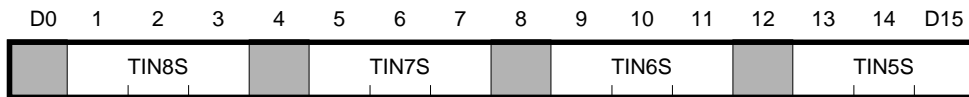
D	ビット名	機能	R	W
0	何も配置されていません		0	-
1~3	TIN4S (TIN4 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
4	何も配置されていません		0	-
5~7	TIN3S (TIN3 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
8,9	何も配置されていません		0	-
10,11	TIN2S (TIN2 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
12,13	TIN1S (TIN1 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
14,15	TIN0S (TIN0 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ1(TINCR1)

<アドレス : H'0080 0214 >



<リセット時 : H'0000 >

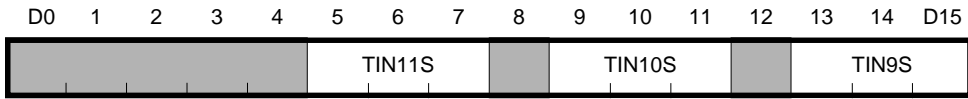
D	ビット名	機能	R	W
0	何も配置されていません		0	-
1~3	TIN8S(TIN8 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
4	何も配置されていません		0	-
5~7	TIN7S(TIN7 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
8	何も配置されていません		0	-
9~11	TIN6S(TIN6 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
12	何も配置されていません		0	-
13~15	TIN5S(TIN5 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ(TINCR2)

<アドレス : H'0080 0216 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5~7	TIN11S (TIN11 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
8	何も配置されていません		0	-
9~11	TIN10S (TIN10 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
12	何も配置されていません		0	-
13~15	TIN9S (TIN9 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ3 (TINCR3)

<アドレス : H'0080 0218 >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TIN19S		TIN18S		TIN17S		TIN16S		TIN15S		TIN14S		TIN13S		TIN12S	

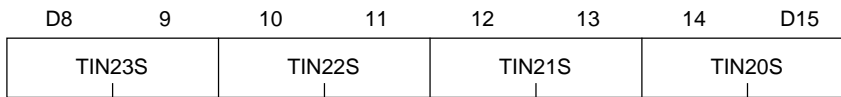
<リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TIN19S (TIN19 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ		
2,3	TIN18S (TIN18 入力処理選択)	10 : 立ち下がりエッジ 11 : 両エッジ		
4,5	TIN17S (TIN17 入力処理選択)			
6,7	TIN16S (TIN16 入力処理選択)			
8,9	TIN15S (TIN15 入力処理選択)			
10,11	TIN14S (TIN14 入力処理選択)			
12,13	TIN13S (TIN13 入力処理選択)			
14,15	TIN12S (TIN12 入力処理選択)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力制御レジスタ4(TINCR4)

<アドレス : H'0080 021B >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	TIN23S(TIN23 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ		
10,11	TIN22S(TIN22 入力処理選択)	10 : 立ち下がりエッジ 11 : 両エッジ		
12,13	TIN21S(TIN21 入力処理選択)			
14,15	TIN20S(TIN20 入力処理選択)			

10.2.5 出力フリップフロップ制御部

出力フリップフロップ制御部では、各タイマ出力に設けられたフリップフロップ(F/F)の制御を行います。出力フリップフロップ制御レジスタには以下のものがあります。

F/Fソース選択レジスタ0(FFS0)

F/Fソース選択レジスタ1(FFS1)

F/Fプロテクトレジスタ0(FFP0)

F/Fプロテクトレジスタ1(FFP1)

F/Fプロテクトレジスタ2(FFP2)

F/Fデータレジスタ0(FFD0)

F/Fデータレジスタ1(FFD1)

F/Fデータレジスタ2(FFD2)

なお、各タイマから出力フリップフロップに対する信号が発生するのは、以下のタイミングです(出力イベントバスへの信号出力タイミングと異なるため注意してください)。

表10.2.5 各タイマから出力フリップフロップに対する信号発生タイミング

タイマ	モード	出力フリップフロップへの信号発生タイミング
TOP	ワンショット出力モード	カウンタインエーブル時およびアンダーフロー時
	ディレイドワンショット出力モード	カウンタアンダーフロー時
	連続出力モード	カウンタインエーブル時およびアンダーフロー時
TIO	計測クリア入力モード	カウンタアンダーフロー時
	計測フリーラン入力モード	カウンタアンダーフロー時
	ノイズ処理入力モード	カウンタアンダーフロー時
	PWM出力モード	カウンタインエーブル時およびアンダーフロー時
	ワンショット出力モード	カウンタインエーブル時およびアンダーフロー時
	ディレイドワンショット出力モード	カウンタアンダーフロー時
	連続出力モード	カウンタインエーブル時およびアンダーフロー時
TMS	(16ビット計測入力)	信号発生機能なし
TML	(32ビット計測入力)	信号発生機能なし
TID	定周期カウントモード	信号発生機能なし
	イベントカウントモード	信号発生機能なし
	4逓倍イベントカウントモード	信号発生機能なし
TOD	PWM出力モード	カウンタインエーブル時およびアンダーフロー時
	ワンショット出力モード	カウンタインエーブル時およびアンダーフロー時
	ディレイドワンショット出力モード	カウンタアンダーフロー時
	連続出力モード	カウンタインエーブル時およびアンダーフロー時

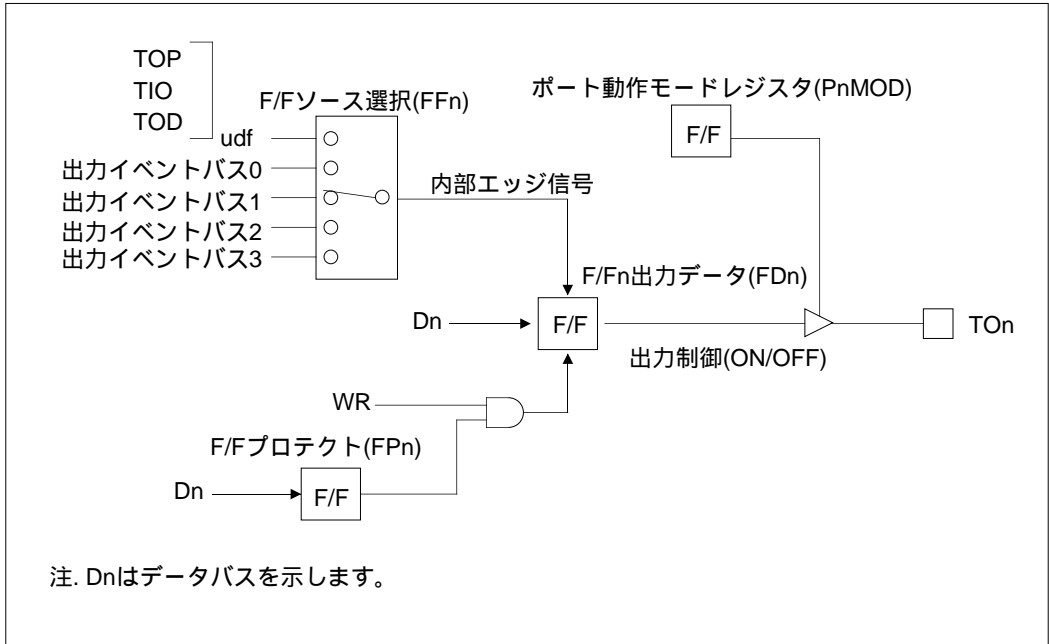
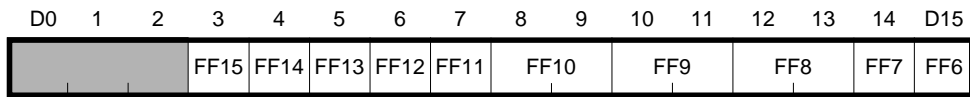


図10.2.3 F/F出力回路構成図

F/Fソース選択レジスタ α (FFS0)

<アドレス : H'0080 0220 >



<リセット時 : H'0000 >

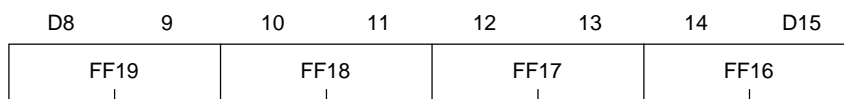
D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	FF1 α (F/F15 ソース選択)	0 : TIO 4 出力 1 : 出力イベントバス0		
4	FF14 α (F/F14 ソース選択)	0 : TIO 3 出力 1 : 出力イベントバス0		
5	FF13 α (F/F13 ソース選択)	0 : TIO 2 出力 1 : 出力イベントバス3		
6	FF12 α (F/F12 ソース選択)	0 : TIO 1 出力 1 : 出力イベントバス2		
7	FF11 α (F/F11 ソース選択)	0 : TIO 0 出力 1 : 出力イベントバス1		
8,9	FF10 α (F/F10 ソース選択)	0X : TOP 10 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
10,11	FF9 α (F/F9 ソース選択)	0X : TOP 9 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
12,13	FF8 α (F/F8 ソース選択)	00 : TOP 8 出力 01 : 出力イベントバス0 10 : 出力イベントバス1 11 : 出力イベントバス2		
14	FF7 α (F/F7 ソース選択)	0 : TOP 7 出力 1 : 出力イベントバス0		
15	FF6 α (F/F6 ソース選択)	0 : TOP 6 出力 1 : 出力イベントバス1		

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

F/Fソース選択レジスタ1(FFS1)

<アドレス : H'0080 0223 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	FF19(F/F19 ソース選択)	0X : TIO 8 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
10,11	FF18(F/F18 ソース選択)	0X : TIO 7 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
12,13	FF17(F/F17 ソース選択)	0X : TIO 6 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
14,15	FF16(F/F16 ソース選択)	00 : TIO 5 出力 01 : 出力イベントバス0 10 : 出力イベントバス1 11 : 出力イベントバス3		

FFS0,FFS1は、各出力F/F(フリップフロップ)への信号ソースの選択レジスタです。信号ソースには内部出力バスからの選択、または各タイマからのアンダーフロー出力を選択できます。

F/Fプロテクトレジスタ α (FFP0)

<アドレス : H'0080 0224 >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0

<リセット時 : H'0000 >

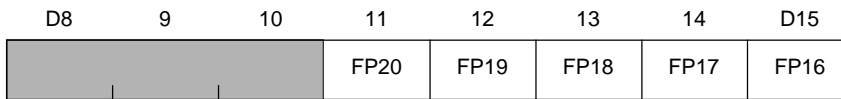
D	ビット名	機能	R	W
0	FP15(F/F15 プロテクト)	0 : F/F出力ビットへの書き込み許可		
1	FP14(F/F14 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
2	FP13(F/F13 プロテクト)			
3	FP12(F/F12 プロテクト)			
4	FP11(F/F11 プロテクト)			
5	FP10(F/F10 プロテクト)			
6	FP9(F/F9 プロテクト)			
7	FP8(F/F8 プロテクト)			
8	FP7(F/F7 プロテクト)			
9	FP6(F/F6 プロテクト)			
10	FP5(F/F5 プロテクト)			
11	FP4(F/F4 プロテクト)			
12	FP3(F/F3 プロテクト)			
13	FP2(F/F2 プロテクト)			
14	FP1(F/F1 プロテクト)			
15	FP0(F/F0 プロテクト)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

各出力F/F(フリップフロップ)への書き込み許可 / 禁止制御を行うレジスタです。書き込みを禁止にした場合は、F/Fデータレジスタへの書き込みは無効になります。

F/Fプロテクトレジスタ1(FFP1)

<アドレス : H'0080 0229 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	FP20(F/F20 プロテクト)	0 : F/F出力ビットへの書き込み許可		
12	FP19(F/F19 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
13	FP18(F/F18 プロテクト)			
14	FP17(F/F17 プロテクト)			
15	FP16(F/F16 プロテクト)			

W = - : 書き込み無効

各出力F/F(フリップフロップ)への書き込み許可/禁止制御を行うレジスタです。書き込みを禁止にした場合は、F/Fデータレジスタへの書き込みは無効になります。

F/Fプロテクトレジスタ α (FFP2)

<アドレス : H'0080 07D5 >

D8	9	10	11	12	13	14	D15
FP21	FP22	FP23	FP24	FP25	FP26	FP27	FP28

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	FP21(F/F21 プロテクト)	0 : F/F出力ビットへの書き込み許可		
9	FP2 α (F/F22 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
10	FP23(F/F23 プロテクト)			
11	FP24(F/F24 プロテクト)			
12	FP25(F/F25 プロテクト)			
13	FP2 α (F/F26 プロテクト)			
14	FP27(F/F27 プロテクト)			
15	FP2 α (F/F28 プロテクト)			

各出力F/F(フリップフロップ)への書き込み許可 / 禁止制御を行うレジスタです。書き込みを禁止にした場合は、F/Fデータレジスタへの書き込みは無効になります。

F/Fデータレジスタ α (FFD0)

<アドレス : H'0080 0226 >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

<リセット時 : H'0000 >

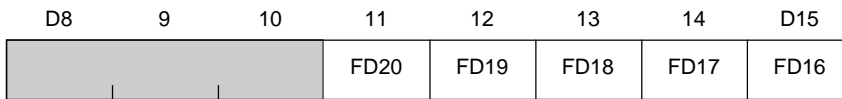
D	ビット名	機能	R	W
0	FD15(F/F15 出力データ)	0 : F/F出力データ = 0		
1	FD14(F/F14 出力データ)	1 : F/F出力データ = 1		
2	FD13(F/F13 出力データ)			
3	FD12(F/F12 出力データ)			
4	FD11(F/F11 出力データ)			
5	FD10(F/F10 出力データ)			
6	FD9(F/F9 出力データ)			
7	FD8(F/F8 出力データ)			
8	FD7(F/F7 出力データ)			
9	FD6(F/F6 出力データ)			
10	FD5(F/F5 出力データ)			
11	FD4(F/F4 出力データ)			
12	FD3(F/F3 出力データ)			
13	FD2(F/F2 出力データ)			
14	FD1(F/F1 出力データ)			
15	FD0(F/F0 出力データ)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

各出力F/R(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定がイネーブルの場合のみ操作できます。

F/Fデータレジスタ1(FFD1)

<アドレス : H'0080 022B >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	FD20(F/F20 出力データ)	0 : F/F出力データ=0		
12	FD19(F/F19 出力データ)	1 : F/F出力データ=1		
13	FD18(F/F18 出力データ)			
14	FD17(F/F17 出力データ)			
15	FD16(F/F16 出力データ)			

W = - : 書き込み無効

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定がイネーブルの場合のみ操作できます。

F/Fデータレジスタ(FFD2)

<アドレス : H'0080 07D7 >

D8	9	10	11	12	13	14	D15
FD21	FD22	FD23	FD24	FD25	FD26	FD27	FD28

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	FD21(F/F21 出力データ)	0 : F/F出力データ = 0		
9	FD22(F/F22 出力データ)	1 : F/F出力データ = 1		
10	FD23(F/F23 出力データ)			
11	FD24(F/F24 出力データ)			
12	FD25(F/F25 出力データ)			
13	FD26(F/F26 出力データ)			
14	FD27(F/F27 出力データ)			
15	FD28(F/F28 出力データ)			

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定がイネーブルの場合のみ操作できます。

10.2.6 割り込み制御部

割り込み制御部は、各タイマから割り込みコントローラに出力する割り込み信号を制御します。タイマ割り込み制御レジスタには、各タイマごとに次の17個のレジスタがあります。

TOP割り込み制御レジスタ0 (TOPIR0)

TOP割り込み制御レジスタ1 (TOPIR1)

TOP割り込み制御レジスタ2 (TOPIR2)

TOP割り込み制御レジスタ3 (TOPIR3)

TIO割り込み制御レジスタ0 (TIOIR0)

TIO割り込み制御レジスタ1 (TIOIR1)

TIO割り込み制御レジスタ2 (TIOIR2)

TMS割り込み制御レジスタ (TMSIR)

TIN割り込み制御レジスタ0 (TINIR0)

TIN割り込み制御レジスタ1 (TINIR1)

TIN割り込み制御レジスタ2 (TINIR2)

TIN割り込み制御レジスタ3 (TINIR3)

TIN割り込み制御レジスタ4 (TINIR4)

TIN割り込み制御レジスタ5 (TINIR5)

TIN割り込み制御レジスタ6 (TINIR6)

TOD0 ~ TOD7割り込みマスクレジスタ (TOD07IMA)

TOD0 ~ TOD7割り込みステータスレジスタ (TOD07IST)

タイマの各割り込み信号は、ステータスレジスタとマスクレジスタで管理されます。グループ割り込みでは、発生した割り込み要求を"0"書き込みによりクリアすることができます。クリアしたくないビットは"1"を書き込むと、書き込む前の値が保持されます。割り込みステータスレジスタとマスクレジスタは以下のような構成になっています。

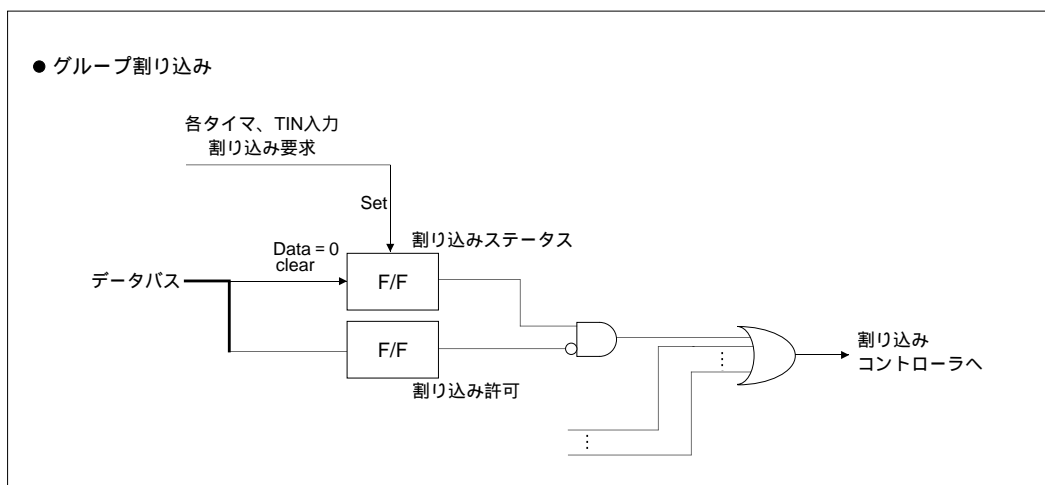


図10.2.4 割り込みステータスレジスタとマスクレジスタ

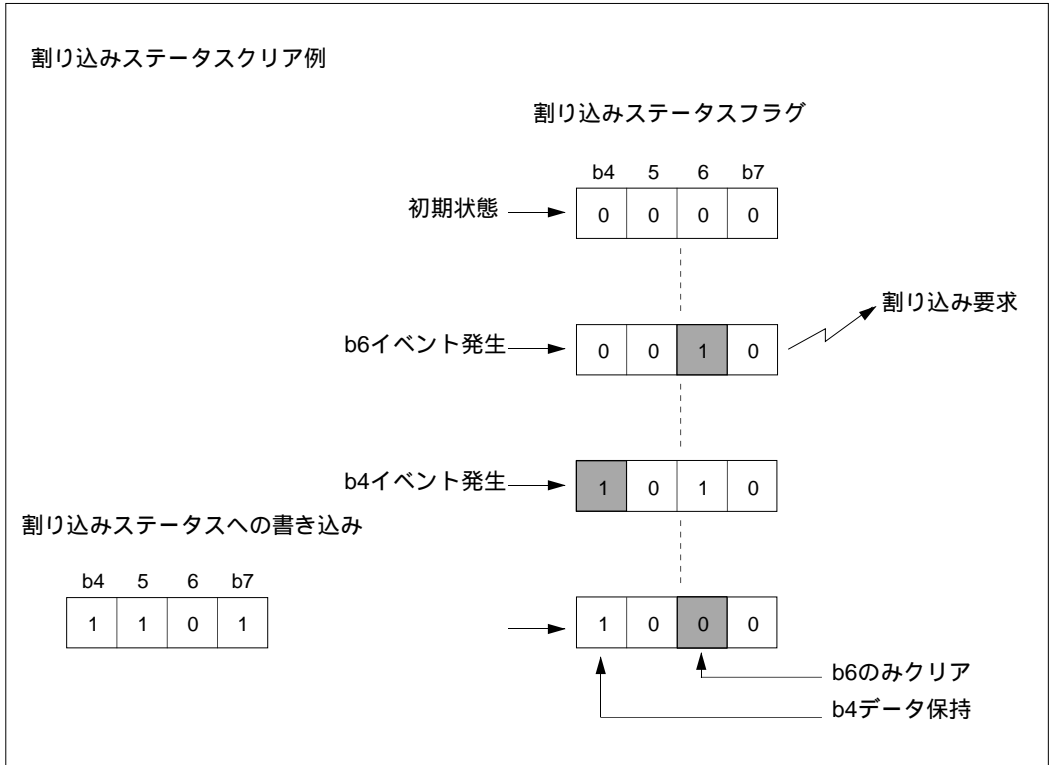


図10.2.5 割り込みステータスクリア例

マルチジャンクションタイマから出力される割り込み信号と、割り込みコントローラの入力の間係を以下に示します。

表10.2.6 MJTで発生する割り込み信号

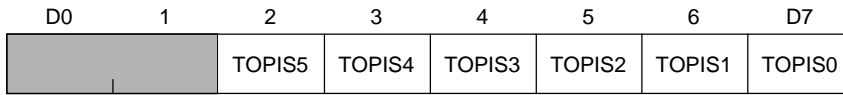
信号名	発生源	ICU割り込み入力要因(注1)	入力要因数
IRQ0	TIO0, TIO1, TIO2, TIO3	MJT出力割り込み0	4
IRQ1	TOP6, TOP7	MJT出力割り込み1	2
IRQ2	TOP0, TOP1, TOP2, TOP3, TOP4, TOP5	MJT出力割り込み2	6
IRQ3	TIO8, TIO9	MJT出力割り込み3	2
IRQ4	TIO4, TIO5, TIO6, TIO7	MJT出力割り込み4	4
IRQ5	TOP10	MJT出力割り込み5(注2)	1
IRQ6	TOP8, TOP9	MJT出力割り込み6	2
IRQ7	TMS0, TMS1	MJT出力割り込み7	2
IRQ8	TIN7, TIN8, TIN9, TIN10, TIN11	MJT入力割り込み0	5
IRQ9	TIN0, TIN1, TIN2	MJT入力割り込み1	3
IRQ10	TIN12, TIN13, TIN14, TIN15, TIN16, TIN17, TIN18, TIN19	MJT入力割り込み2	8
IRQ11	TIN20, TIN21, TIN22, TIN23	MJT入力割り込み3	4
IRQ12	TIN3, TIN4, TIN5, TIN6	MJT入力割り込み4	4
IRQ13	TOD0, TOD1, TOD2, TOD3, TOD4, TOD5, TOD6, TOD7	TOD出力割り込み	8
IRQ14	TID0	TID入力割り込み(注2)	1

注1. 第13章「割り込みコントローラ(ICU)」をご覧ください。

注2. TOP10およびTID0は割り込みグループで1つの要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

TOP割り込み制御レジスタ0 (TOPIR0)

<アドレス : H'0080 0230 >



<リセット時 : H'00 >

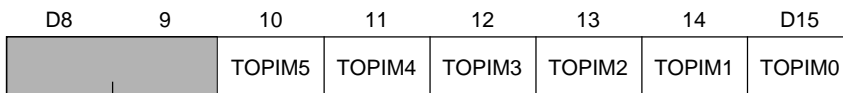
D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TOPIS5 (TOP5 割り込みステータス)	0 : 割り込み要求なし		
3	TOPIS4 (TOP4 割り込みステータス)	1 : 割り込み要求あり		
4	TOPIS3 (TOP3 割り込みステータス)			
5	TOPIS2 (TOP2 割り込みステータス)			
6	TOPIS1 (TOP1 割り込みステータス)			
7	TOPIS0 (TOP0 割り込みステータス)			

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TOP割り込み制御レジスタ1 (TOPIR1)

<アドレス : H'0080 0231 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TOPIM5 (TOP5 割り込みマスク)	0 : 割り込み要求許可		
11	TOPIM4 (TOP4 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
12	TOPIM3 (TOP3 割り込みマスク)			
13	TOPIM2 (TOP2 割り込みマスク)			
14	TOPIM1 (TOP1 割り込みマスク)			
15	TOPIM0 (TOP0 割り込みマスク)			

W = - : 書き込み無効

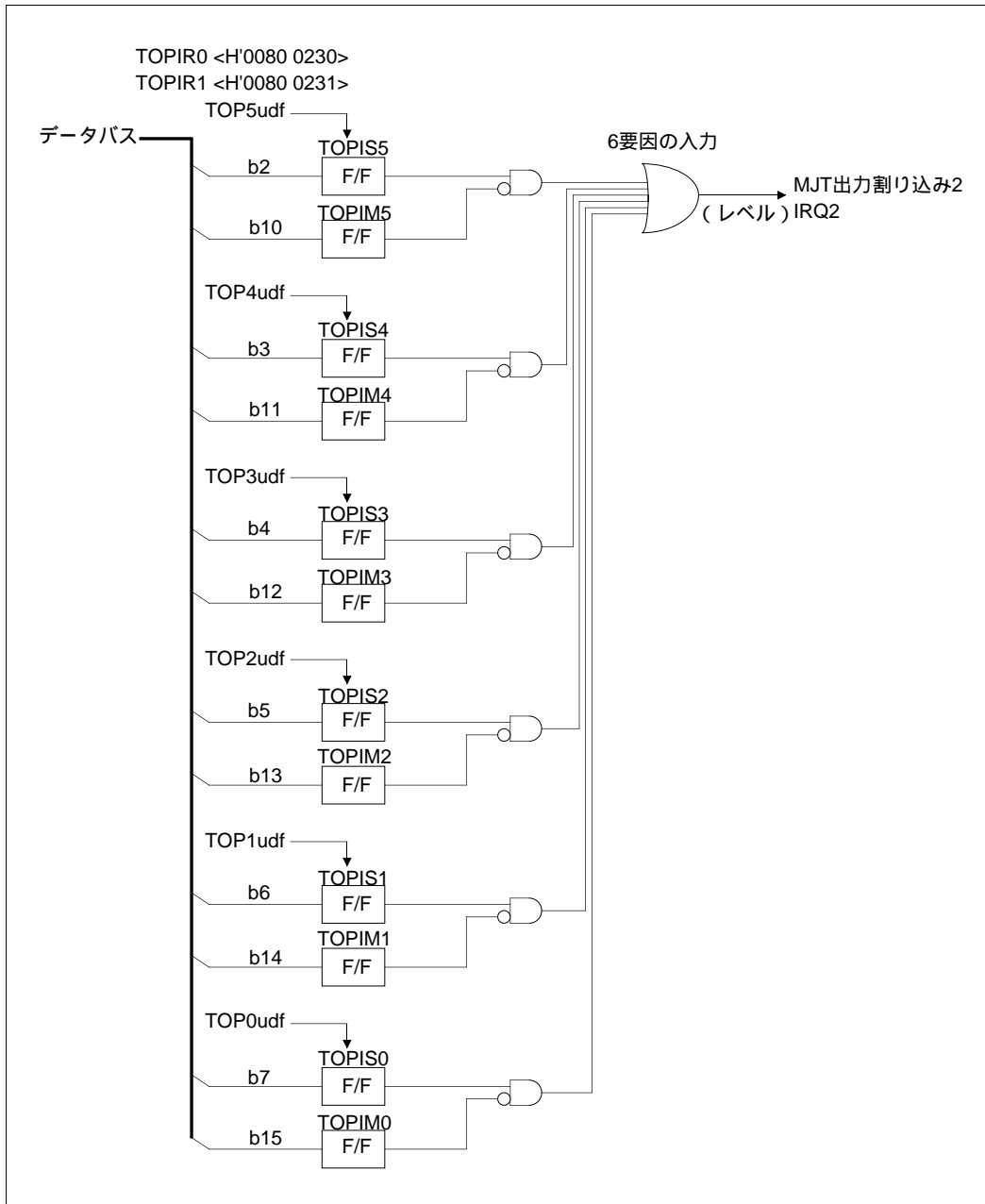
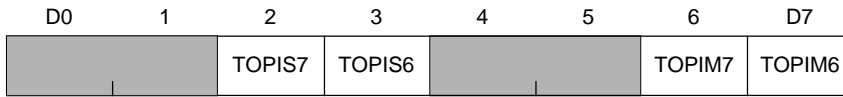


図10.2.6 MJT出力割り込み2ブロック図

TOP割り込み制御レジスタ α (TOPIR2)

<アドレス : H'0080 0232 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TOPIS7 (TOP7 割り込みステータス)	0 : 割り込み要求なし		
3	TOPIS6 (TOP6 割り込みステータス)	1 : 割り込み要求あり		
4,5	何も配置されていません		0	-
6	TOPIM7 (TOP7 割り込みマスク)	0 : 割り込み要求許可		
7	TOPIM6 (TOP6 割り込みマスク)	1 : 割り込み要求マスク(禁止)		

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

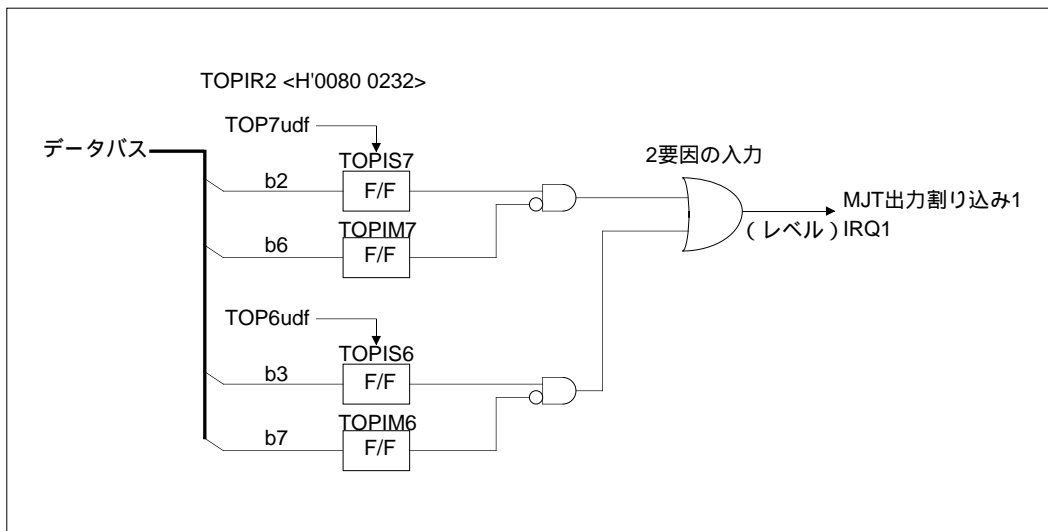
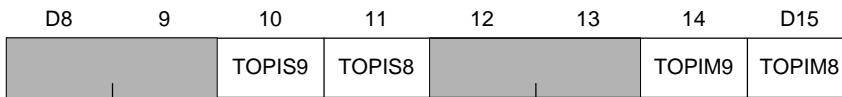


図10.2.7 MJT出力割り込み1ブロック図

TOP割り込み制御レジスタ3(TOPIR3)

<アドレス : H'0080 0233 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TOPIS9(TOP9 割り込みステータス)	0 : 割り込み要求なし		
11	TOPIS8(TOP8 割り込みステータス)	1 : 割り込み要求あり		
12,13	何も配置されていません		0	-
14	TOPIM9(TOP9 割り込みマスク)	0 : 割り込み要求許可		
15	TOPIM8(TOP8 割り込みマスク)	1 : 割り込み要求マスク(禁止)		

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. TOP10は割り込みグループで1つの要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

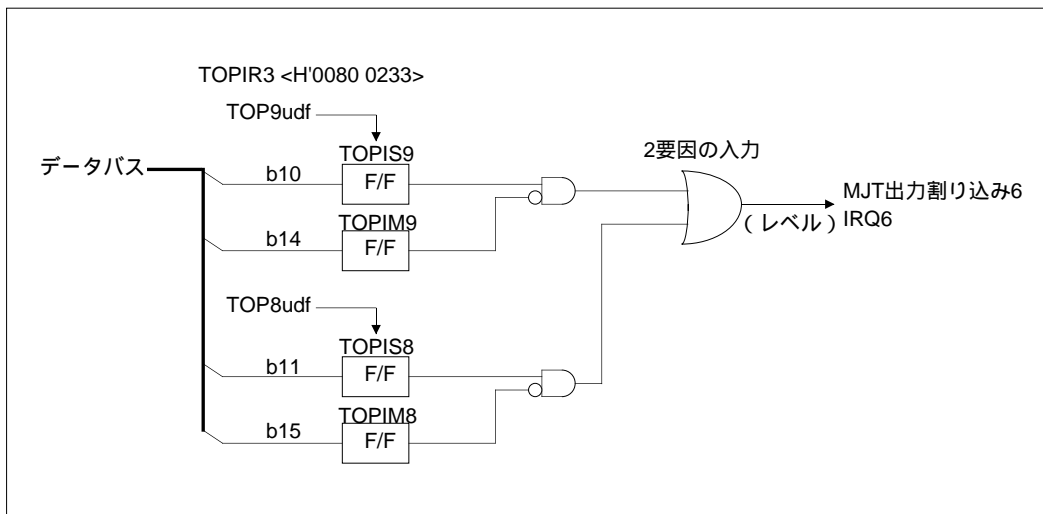


図10.2.8 MJT出力割り込み6ブロック図

TIO割り込み制御レジスタα(TIOIR0)

<アドレス: H'0080 0234>

D0	1	2	3	4	5	6	D7
TIOIS3	TIOIS2	TIOIS1	TIOIS0	TIOIM3	TIOIM2	TIOIM1	TIOIM0

<リセット時: H'00>

D	ビット名	機能	R	W
0	TIOIS3(TIO3 割り込みステータス)	0 : 割り込み要求なし		
1	TIOIS2(TIO2 割り込みステータス)	1 : 割り込み要求あり		
2	TIOIS1(TIO1 割り込みステータス)			
3	TIOIS0(TIO0 割り込みステータス)			
4	TIOIM3(TIO3 割り込みマスク)	0 : 割り込み要求許可		
5	TIOIM2(TIO2 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
6	TIOIM1(TIO1 割り込みマスク)			
7	TIOIM0(TIO0 割り込みマスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

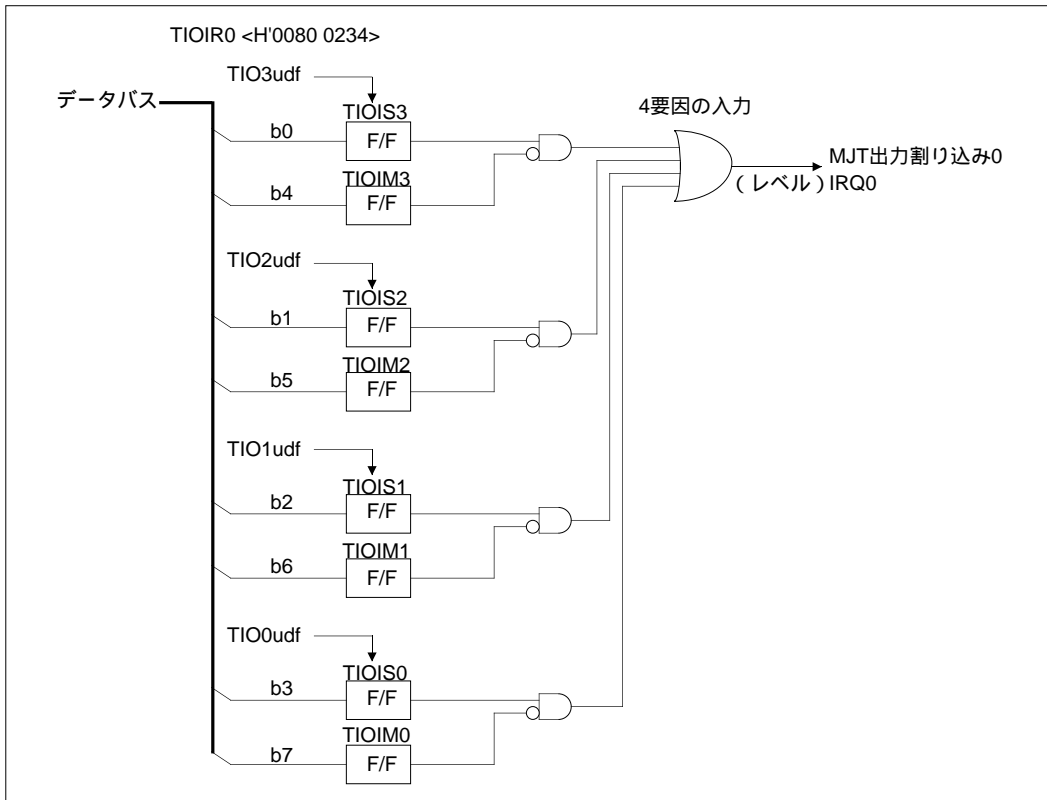


図10.2.9 MJT出力割り込み0ブロック図

TIO割り込み制御レジスタ1(TIOIR1)

<アドレス : H'0080 0235 >

D8	9	10	11	12	13	14	D15
TIOIS7	TIOIS6	TIOIS5	TIOIS4	TIOIM7	TIOIM6	TIOIM5	TIOIM4

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TIOIS7(TIO7 割り込みステータス)	0 : 割り込み要求なし		
9	TIOIS6(TIO6 割り込みステータス)	1 : 割り込み要求あり		
10	TIOIS5(TIO5 割り込みステータス)			
11	TIOIS4(TIO4 割り込みステータス)			
12	TIOIM7(TIO7 割り込みマスク)	0 : 割り込み要求許可		
13	TIOIM6(TIO6 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
14	TIOIM5(TIO5 割り込みマスク)			
15	TIOIM4(TIO4 割り込みマスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

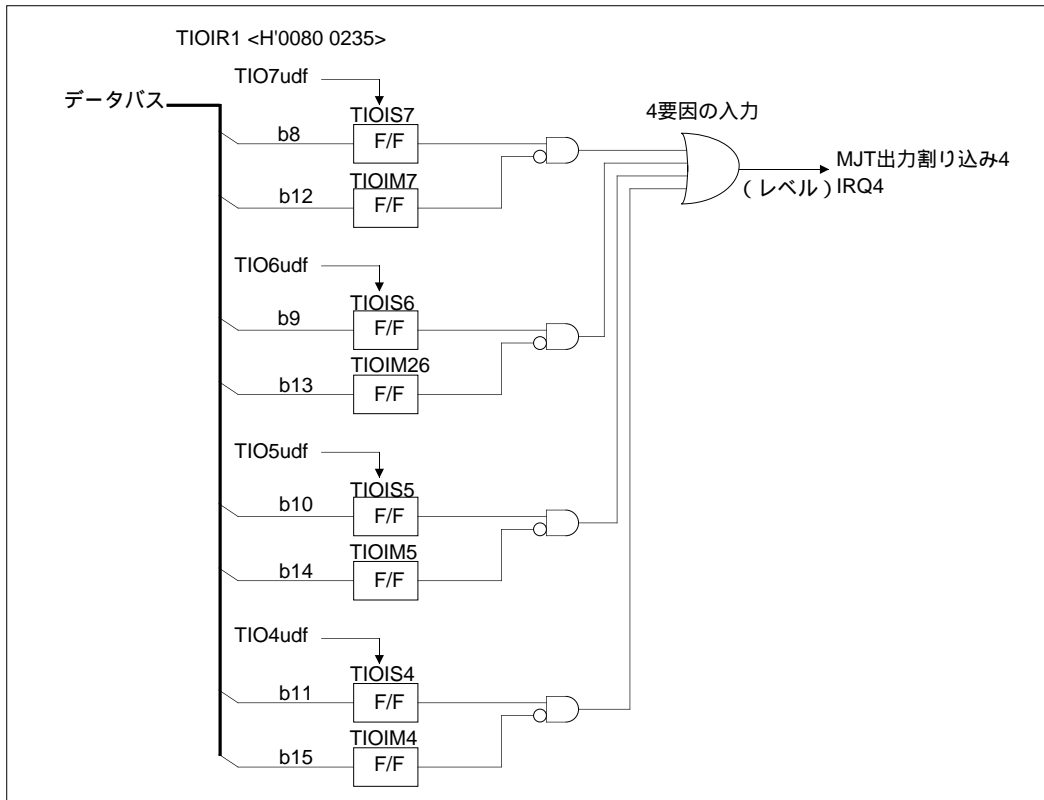
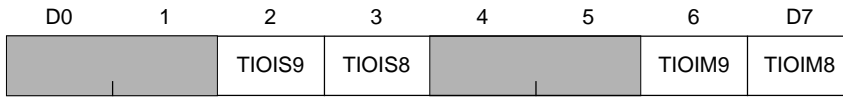


図10.2.10 MJT出力割り込み4ブロック図

TIO割り込み制御レジスタ(TIOIR2)

<アドレス : H'0080 0236 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TIOIS9(TIO9 割り込みステータス)	0 : 割り込み要求なし		
3	TIOIS8(TIO8 割り込みステータス)	1 : 割り込み要求あり		
4,5	何も配置されていません		0	-
6	TIOIM9(TIO9 割り込みマスク)	0 : 割り込み要求許可		
7	TIOIM8(TIO8 割り込みマスク)	1 : 割り込み要求マスク(禁止)		

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

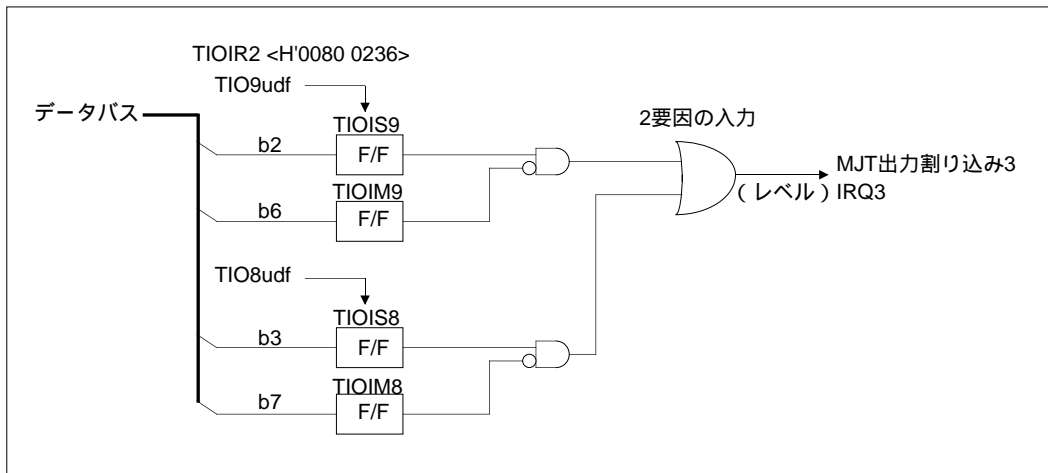
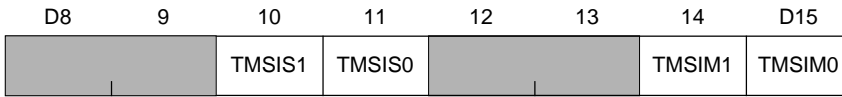


図10.2.11 MJT出力割り込み3ブロック図

TMS割り込み制御レジスタ(TMSIR)

<アドレス : H'0080 0237 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TMSIS1 (TMS1 割り込みステータス)	0 : 割り込み要求なし		
11	TMSIS0 (TMS0 割り込みステータス)	1 : 割り込み要求あり		
12,13	何も配置されていません		0	-
14	TMSIM1 (TMS1 割り込みマスク)	0 : 割り込み要求許可		
15	TMSIM0 (TMS0 割り込みマスク)	1 : 割り込み要求マスク(禁止)		

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

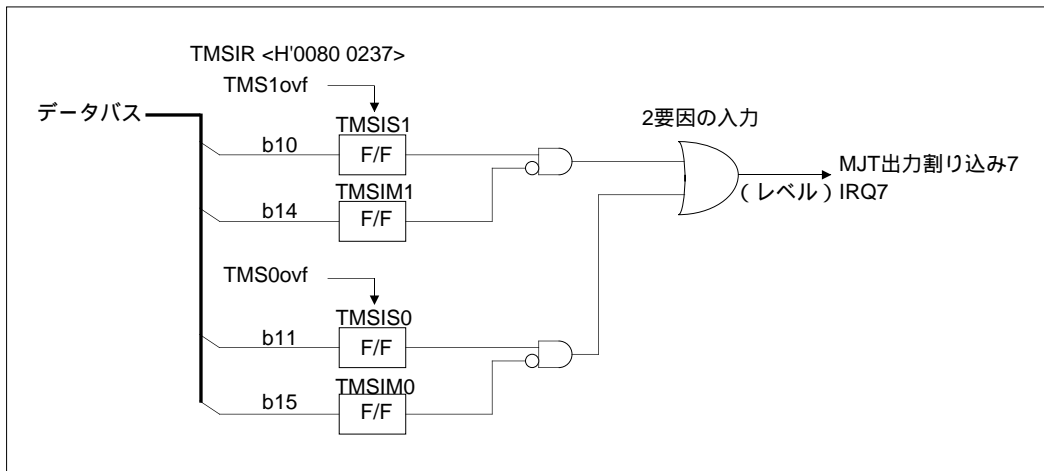


図10.2.12 MJT出力割り込み7ブロック図

TIN割り込み制御レジスタ(TINIR0)

<アドレス : H'0080 0238 >

D0	1	2	3	4	5	6	D7
	TINIS2	TINIS1	TINIS0		TINIM2	TINIM1	TINIM0

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	TINIS2(TIN2 割り込みステータス)	0 : 割り込み要求なし		
2	TINIS1(TIN1 割り込みステータス)	1 : 割り込み要求あり		
3	TINIS0(TIN0 割り込みステータス)			
4	何も配置されていません		0	-
5	TINIM2(TIN2 割り込みマスク)	0 : 割り込み要求許可		
6	TINIM1(TIN1 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
7	TINIM0(TIN0 割り込みマスク)			

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

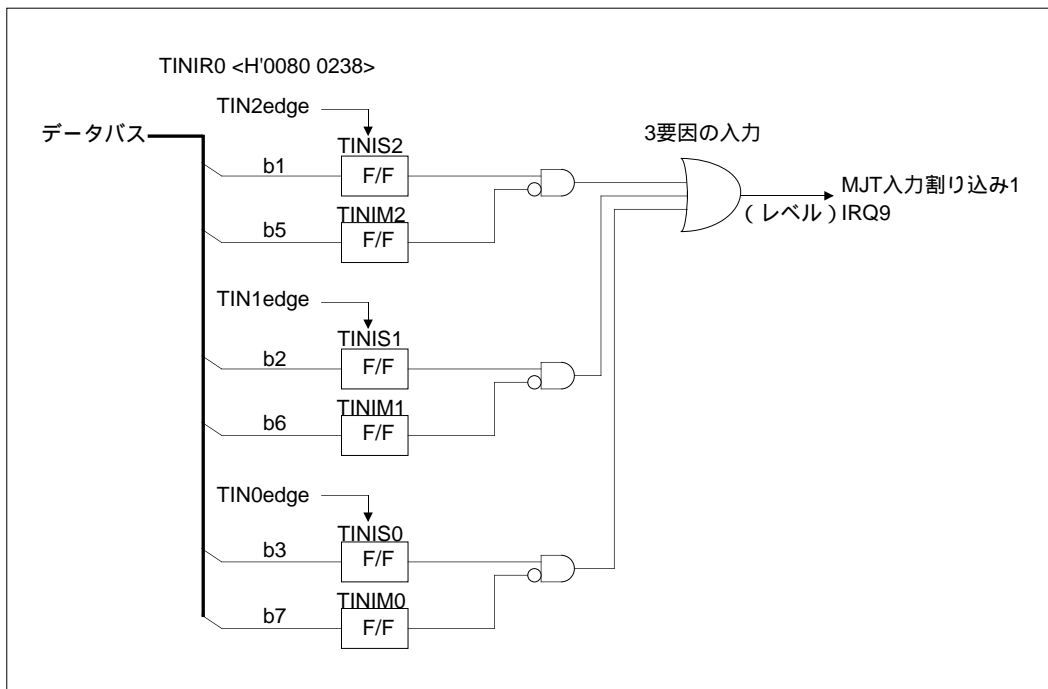


図10.2.13 MJT入力割り込み1ブロック図

TIN割り込み制御レジスタ1(TINIR1)

<アドレス : H'0080 0239 >

D8	9	10	11	12	13	14	D15
TINIS6	TINIS5	TINIS4	TINIS3	TINIM6	TINIM5	TINIM4	TINIM3

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TINIS6 (TIN6 割り込みステータス)	0 : 割り込み要求なし		
9	TINIS5 (TIN5 割り込みステータス)	1 : 割り込み要求あり		
10	TINIS4 (TIN4 割り込みステータス)			
11	TINIS3 (TIN3 割り込みステータス)			
12	TINIM6 (TIN6 割り込みマスク)	0 : 割り込み要求許可		
13	TINIM5 (TIN5 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
14	TINIM4 (TIN4 割り込みマスク)			
15	TINIM3 (TIN3 割り込みマスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

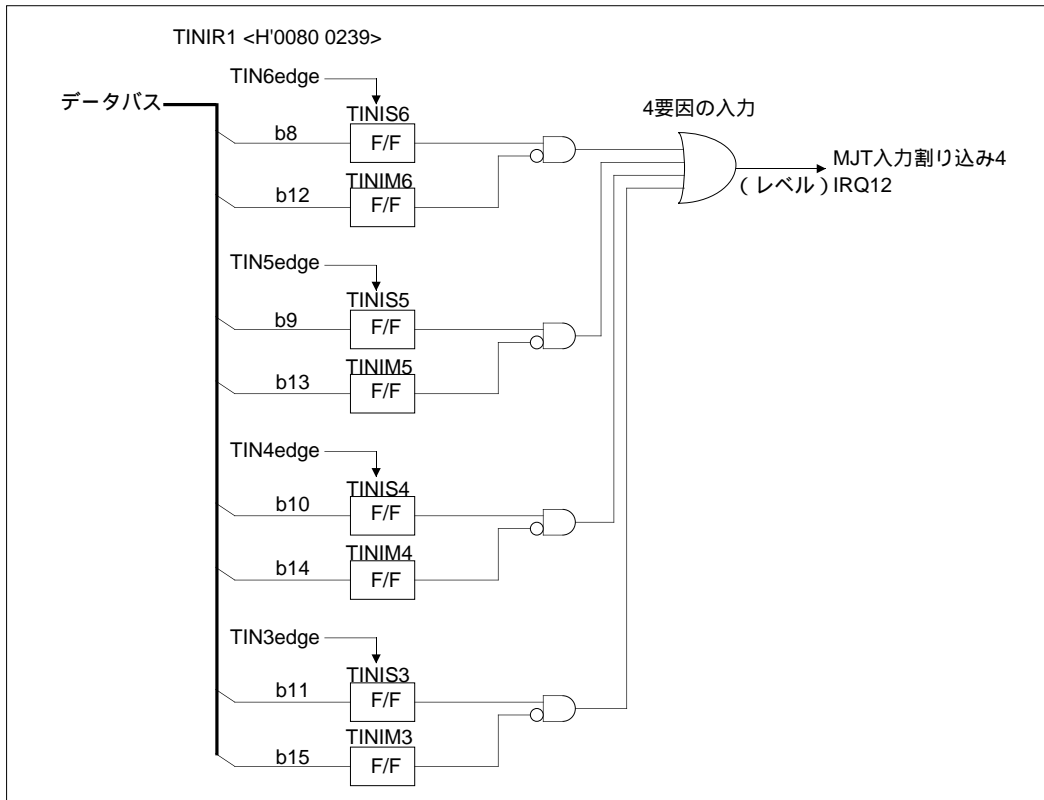
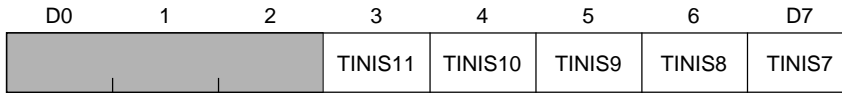


図10.2.14 MJT入力割り込み4ブロック図

TIN割り込み制御レジスタ α (TINIR2)

< アドレス : H'0080 023A >



< リセット時 : H'00 >

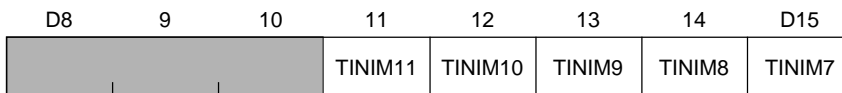
D	ビット名	機能	R	W
0,1,2	何も配置されていません		0	-
3	TINIS11(TIN11 割り込みステータス)	0 : 割り込み要求なし		
4	TINIS10(TIN10 割り込みステータス)	1 : 割り込み要求あり		
5	TINIS9(TIN9 割り込みステータス)			
6	TINIS8(TIN8 割り込みステータス)			
7	TINIS7(TIN7 割り込みステータス)			

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込み制御レジスタ α (TINIR3)

< アドレス : H'0080 023B >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8,9,10	何も配置されていません		0	-
11	TINIM11(TIN11 割り込みマスク)	0 : 割り込み要求許可		
12	TINIM10(TIN10 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
13	TINIM9(TIN9 割り込みマスク)			
14	TINIM8(TIN8 割り込みマスク)			
15	TINIM7(TIN7 割り込みマスク)			

W = - : 書き込み無効

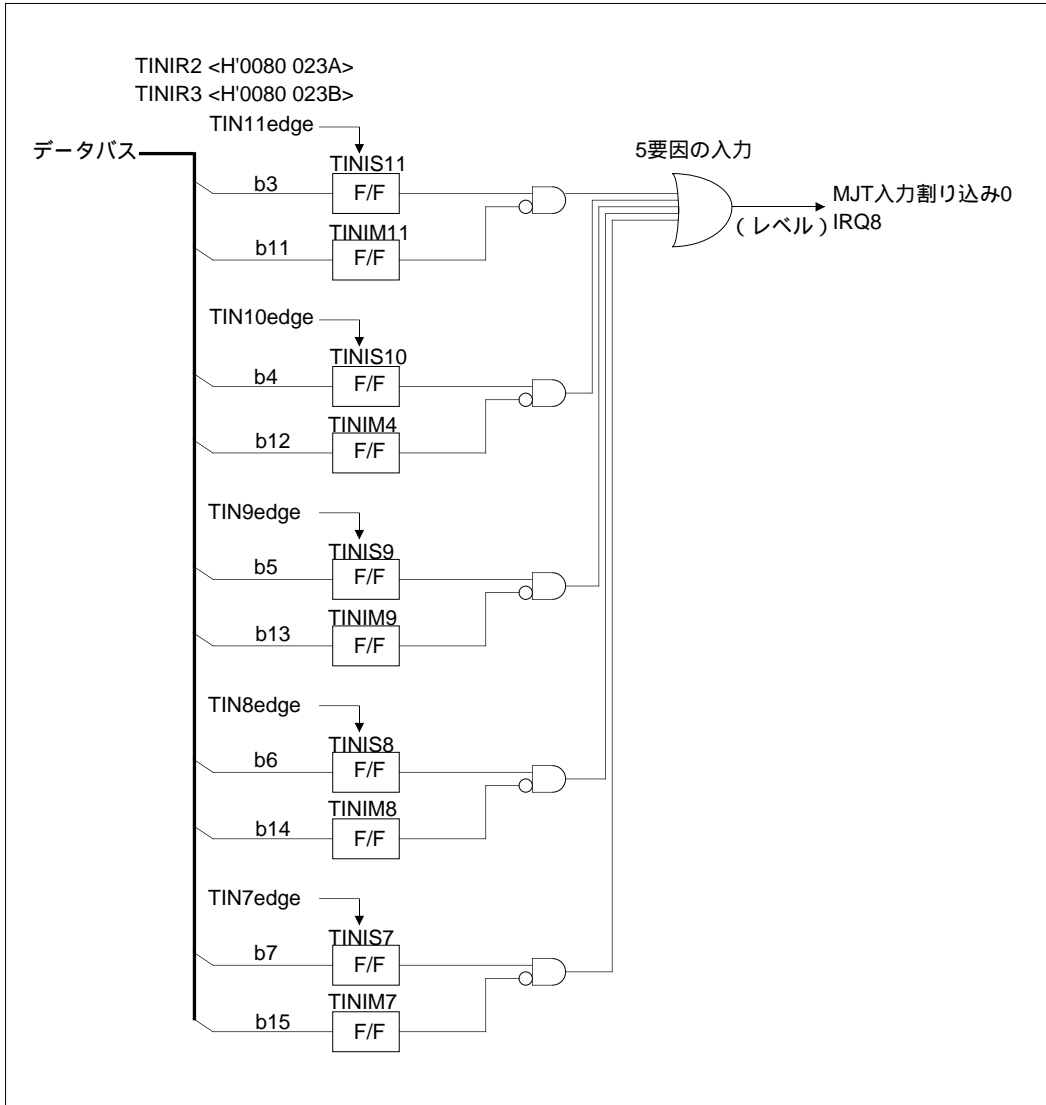


図10.2.15 MJT入力割り込み0ブロック図

TIN割り込み制御レジスタ4(TINIR4)

<アドレス : H'0080 023C >

D0	1	2	3	4	5	6	D7
TINIS19	TINIS18	TINIS17	TINIS16	TINIS15	TINIS14	TINIS13	TINIS12

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	TINIS19(TIN19 割り込みステータス)	0 : 割り込み要求なし		
1	TINIS18(TIN18 割り込みステータス)	1 : 割り込み要求あり		
2	TINIS17(TIN17 割り込みステータス)			
3	TINIS16(TIN16 割り込みステータス)			
4	TINIS15(TIN15 割り込みステータス)			
5	TINIS14(TIN14 割り込みステータス)			
6	TINIS13(TIN13 割り込みステータス)			
7	TINIS12(TIN12 割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込み制御レジスタ5(TINIR5)

<アドレス : H'0080 023D >

D8	9	10	11	12	13	14	D15
TINIM19	TINIM18	TINIM17	TINIM16	TINIM15	TINIM14	TINIM13	TINIM12

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TINIM19(TIN19 割り込みマスク)	0 : 割り込み要求許可		
9	TINIM18(TIN18 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
10	TINIM17(TIN17 割り込みマスク)			
11	TINIM16(TIN16 割り込みマスク)			
12	TINIM15(TIN15 割り込みマスク)			
13	TINIM14(TIN14 割り込みマスク)			
14	TINIM13(TIN13 割り込みマスク)			
15	TINIM12(TIN12 割り込みマスク)			

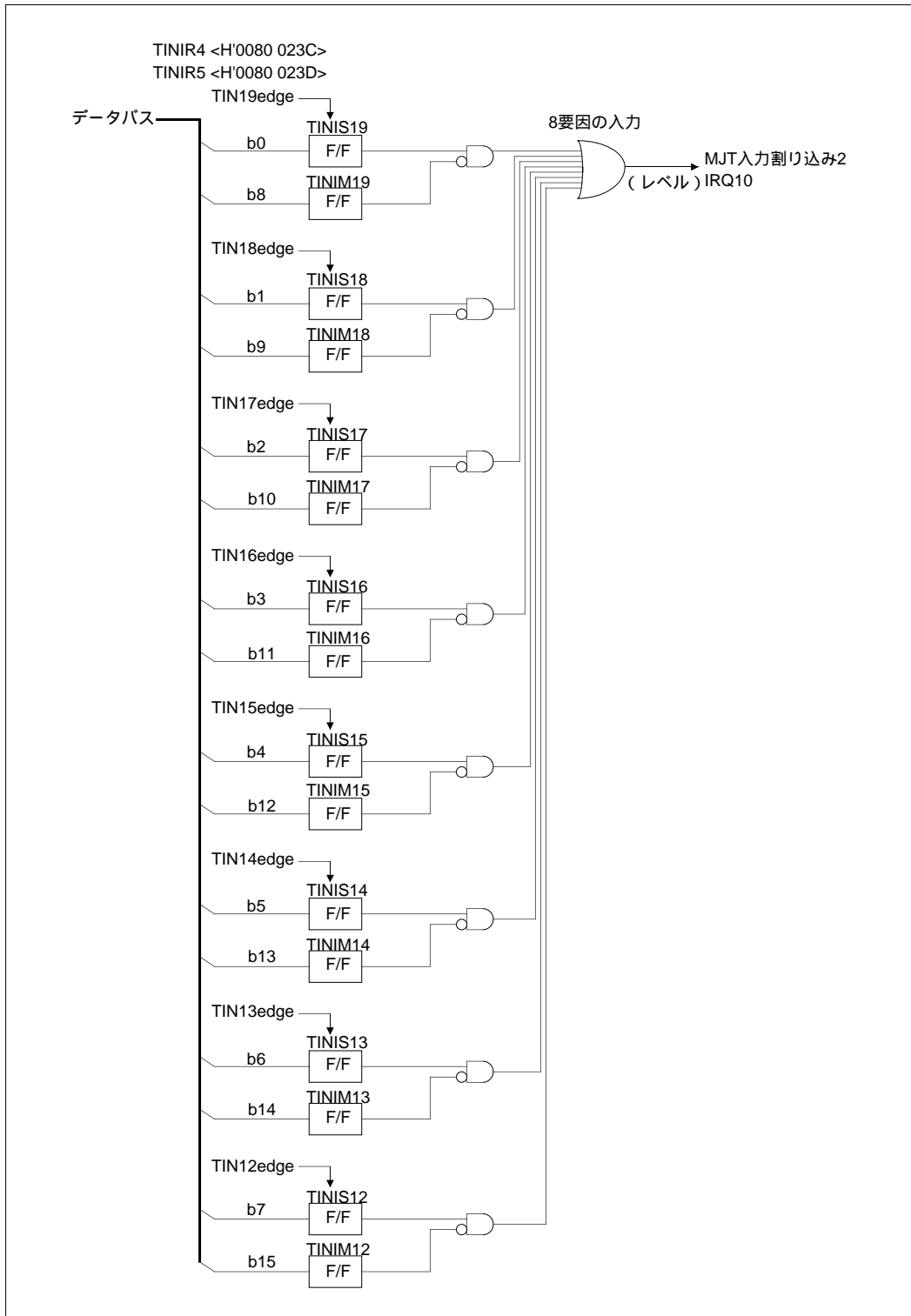


図10.2.16 MJT入力割り込み2ブロック図

TIN割り込み制御レジスタ(TINIR6)

<アドレス : H'0080 023E >

D0	1	2	3	4	5	6	D7
TINIS23	TINIS22	TINIS21	TINIS20	TINIM23	TINIM22	TINIM21	TINIM20

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	TINIS23(TIN23 割り込みステータス)	0 : 割り込み要求なし		
1	TINIS22(TIN22 割り込みステータス)	1 : 割り込み要求あり		
2	TINIS21(TIN21 割り込みステータス)			
3	TINIS20(TIN20 割り込みステータス)			
4	TINIM23(TIN23 割り込みマスク)	0 : 割り込み要求許可		
5	TINIM22(TIN22 割り込みマスク)	1 : 割り込み要求マスク(禁止)		
6	TINIM21(TIN21 割り込みマスク)			
7	TINIM20(TIN20 割り込みマスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

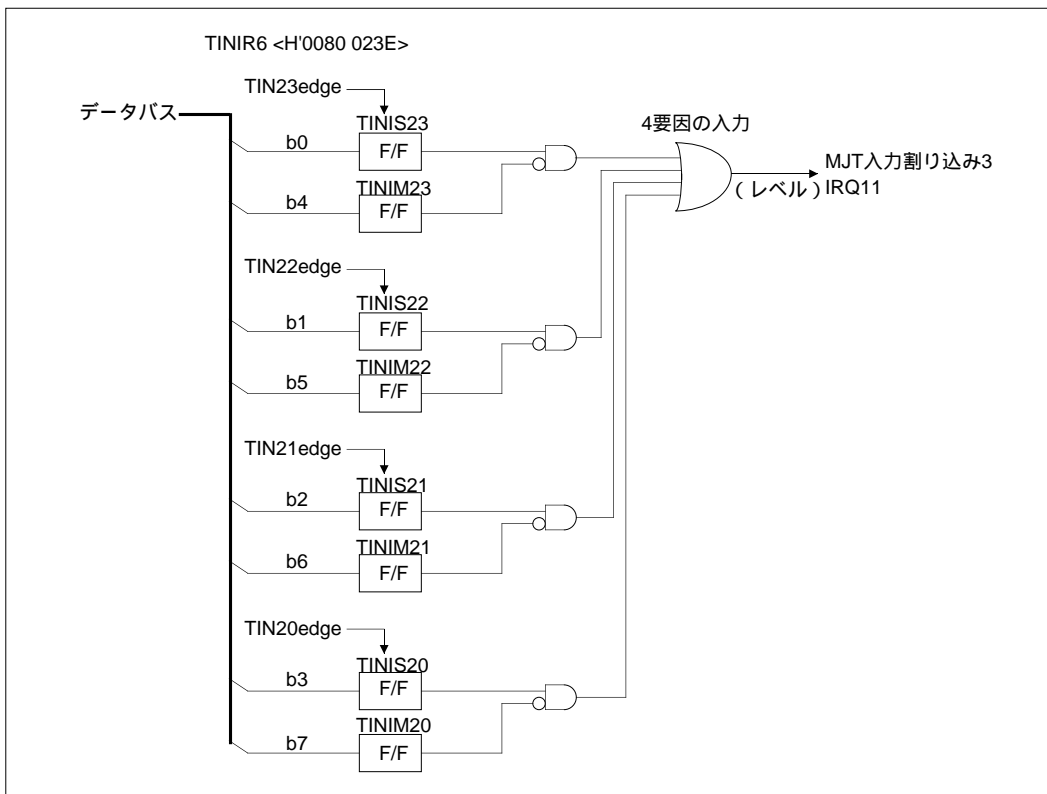


図10.2.17 MJT入力割り込み3ブロック図

TOD0～TOD7割り込みマスクレジスタ(TOD07IMA)

<アドレス：H'0080 07D2>

D0	1	2	3	4	5	6	D7
TOD7IMA	TOD6IMA	TOD5IMA	TOD4IMA	TOD3IMA	TOD2IMA	TOD1IMA	TOD0IMA

<リセット時：H'00>

D	ビット名	機能	R	W
0	TOD7IMA (TOD7割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
1	TOD6IMA (TOD6割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
2	TOD5IMA (TOD5割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
3	TOD4IMA (TOD4割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
4	TOD3IMA (TOD3割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
5	TOD2IMA (TOD2割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
6	TOD1IMA (TOD1割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		
7	TOD0IMA (TOD0割り込みマスク)	0：割り込み要求許可 1：割り込み要求マスク(禁止)		

各TODから出された割り込み要求の許可/不許可を制御するレジスタです。割り込みマスクビットに"0"をセットすると、対応するTODからの割り込み要求が許可されます。

TOD0～TOD7割り込みステータスレジスタ(TOD07IST) <アドレス：H'0080 07D3>

D8	9	10	11	12	13	14	D15
TOD7IST	TOD6IST	TOD5IST	TOD4IST	TOD3IST	TOD2IST	TOD1IST	TOD0IST

<リセット時：H'00>

D	ビット名	機能	R	W
8	TOD7IST (TOD7割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
9	TOD6IST (TOD6割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
10	TOD5IST (TOD5割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
11	TOD4IST (TOD4割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
12	TOD3IST (TOD3割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
13	TOD2IST (TOD2割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
14	TOD1IST (TOD1割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		
15	TOD0IST (TOD0割り込みステータス)	0：割り込み要求なし 1：割り込み要求あり		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TOD0～7からの出力割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ハードウェアによるステータスのセットとソフトウェアによるステータスのクリア同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

TOD0～7割り込みステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

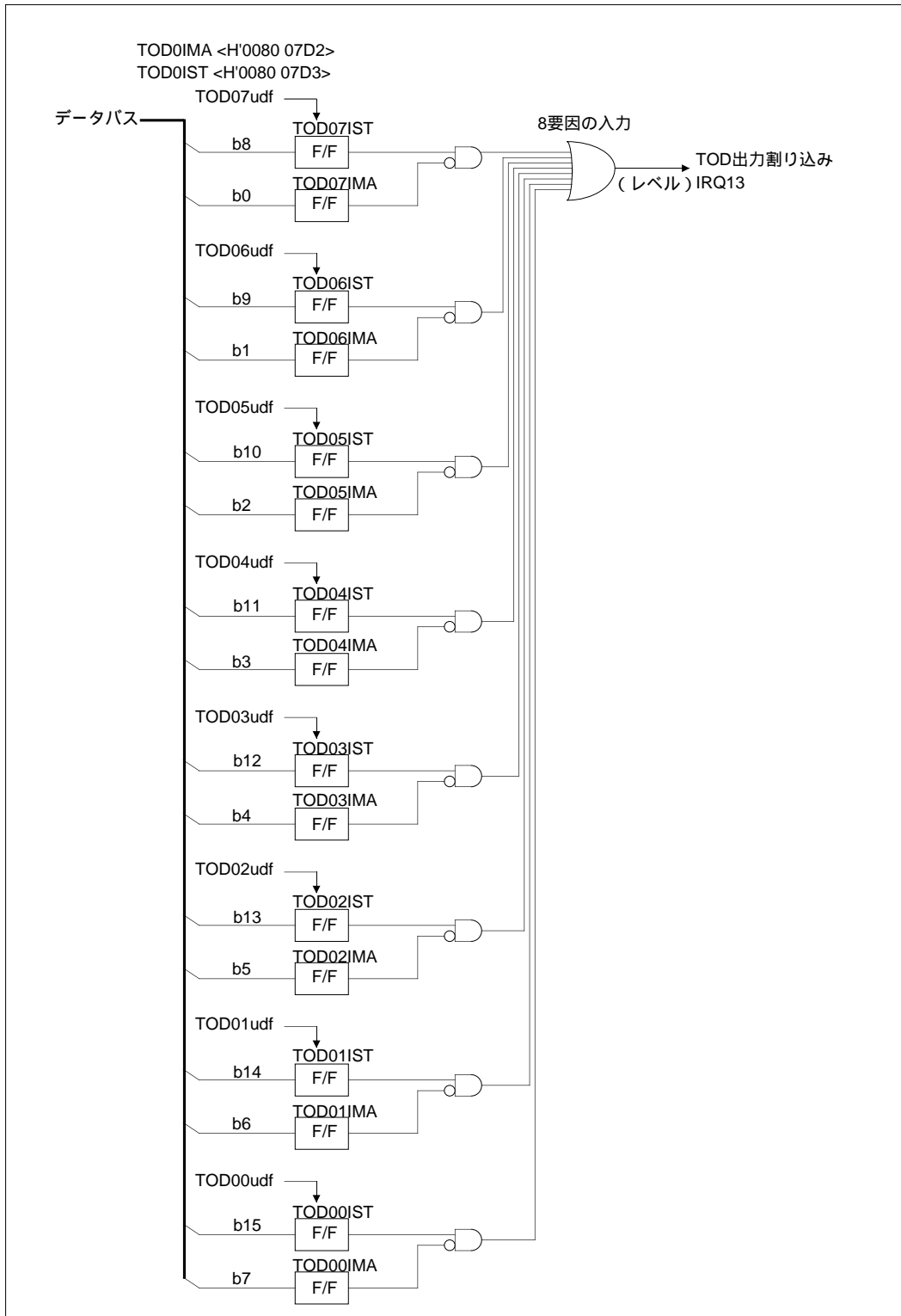


図10.2.18 TOD出力割り込みブロック図

10.3 TOP(出力系16ビットタイマ)

10.3.1 TOP概要

TOP(Timer OutPut)は出力系16ビットタイマで、ソフトウェアによるモード切り替えにより以下のモードを選択できます。

ワンショット出力モード
ディレイドワンショット出力モード
連続出力モード

以下にTOPの仕様を、また次ページにTOPのブロック図を示します。

表10.3.1 TOP(出力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	11チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
補正レジスタ	16ビット補正レジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル(立ち上がりエッジ/立ち下がりエッジ/両エッジ)
モード切り替え	<補正機能あり> ワンショット出力モード ディレイドワンショット出力モード <補正機能なし> 連続出力モード
割り込み発生	カウンタのアンダーフローで発生可能

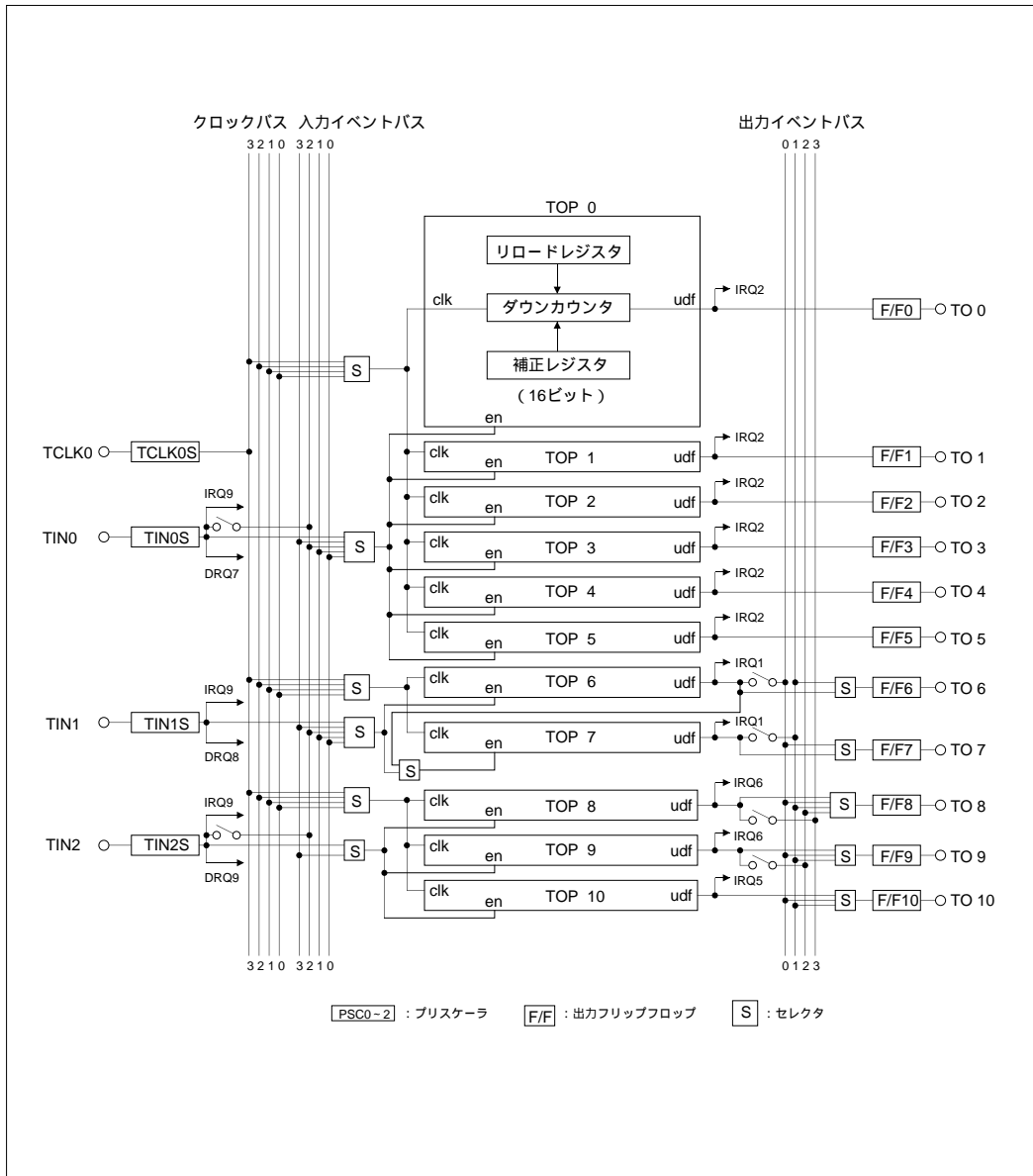


図10.3.1 TOP(出力系16ビットタイマ)ブロック図

10.3.2 TOP各モードの概略

以下にTOPの各モードの概要を示します。なお、TOP各チャンネルのモードは、この中から1つだけを選択できます。

(1) ワンショット出力モード

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダーフロー時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダーフロー時には、割り込みを発生することができます。

(2) ディレイドワンショット出力モード

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

また、1回目のカウンタアンダーフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダーフロー発生時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダーフロー時に、それぞれ割り込みを発生することができます。

(3) 連続出力モード

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダーフローでリロードレジスタの値をロードします。以後カウンタのアンダーフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の幅で反転する波形を持った連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダーフローを発生します。

このアンダーフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダーフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダーフローごとに、割り込みを発生することができます。

10.3.3 TOP関連レジスタマップ

以下にTOP関連のレジスタマップを示します。

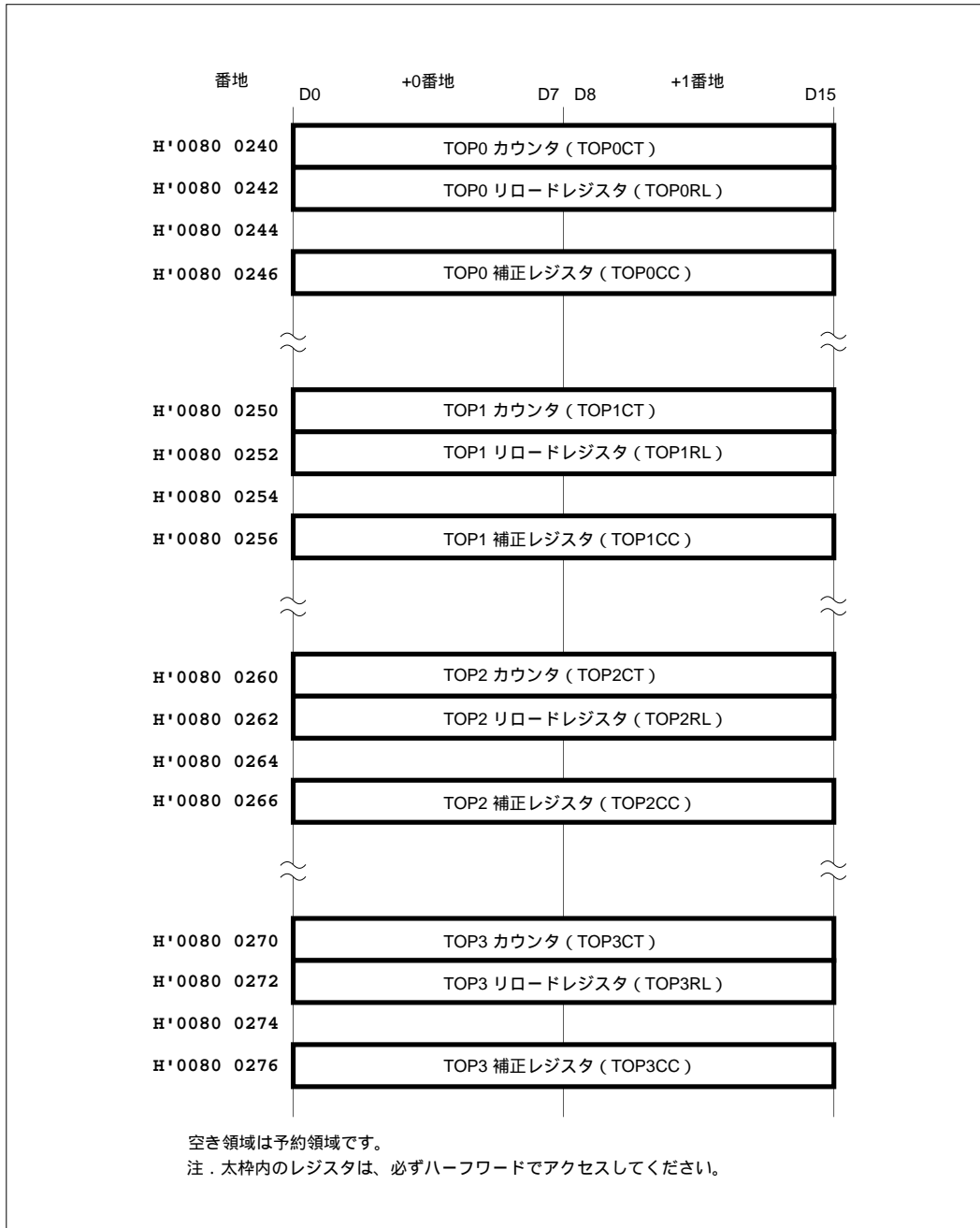


図10.3.2 TOP関連レジスタマップ(1/3)

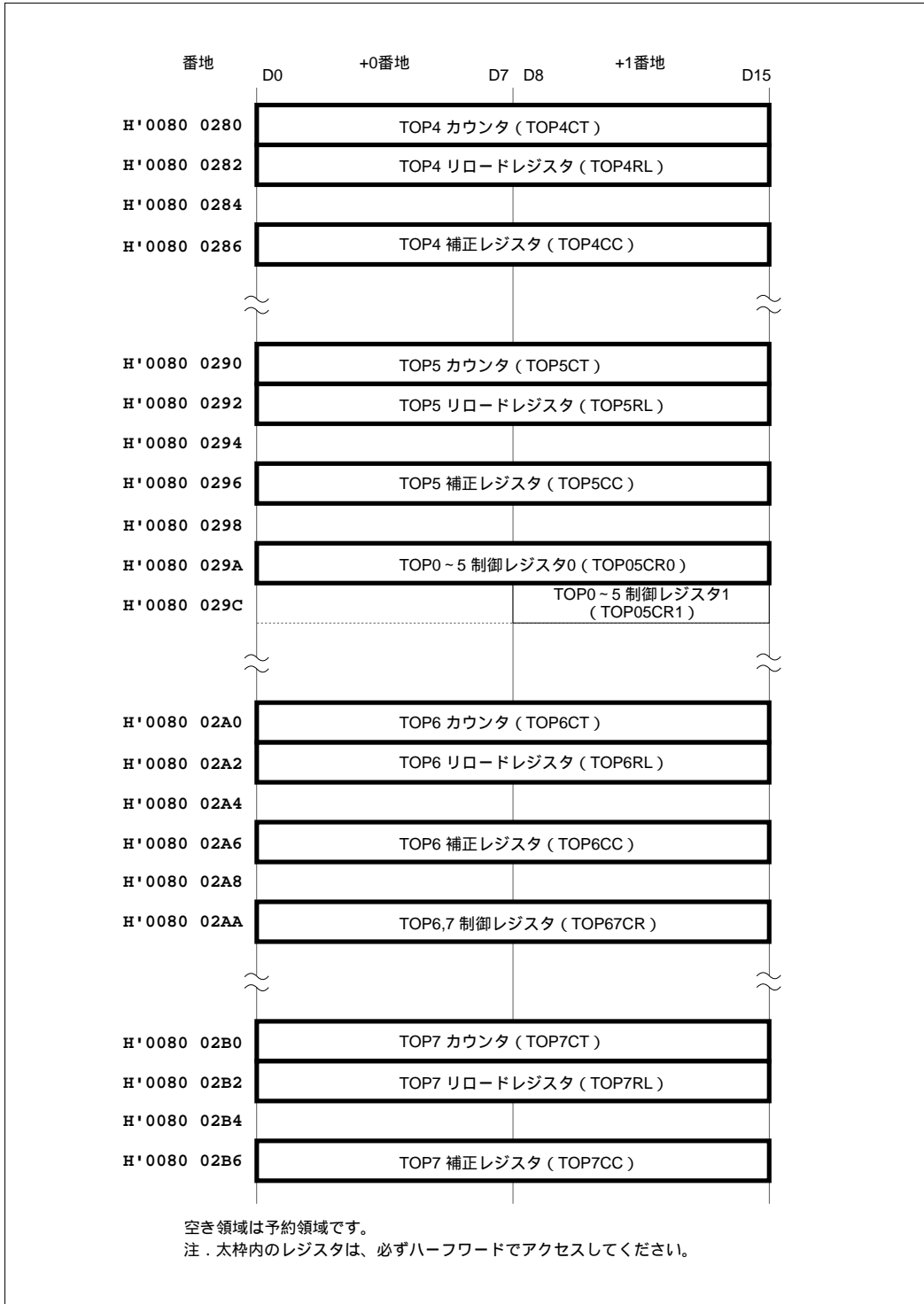


図10.3.3 TOP関連レジスタマップ(2/3)

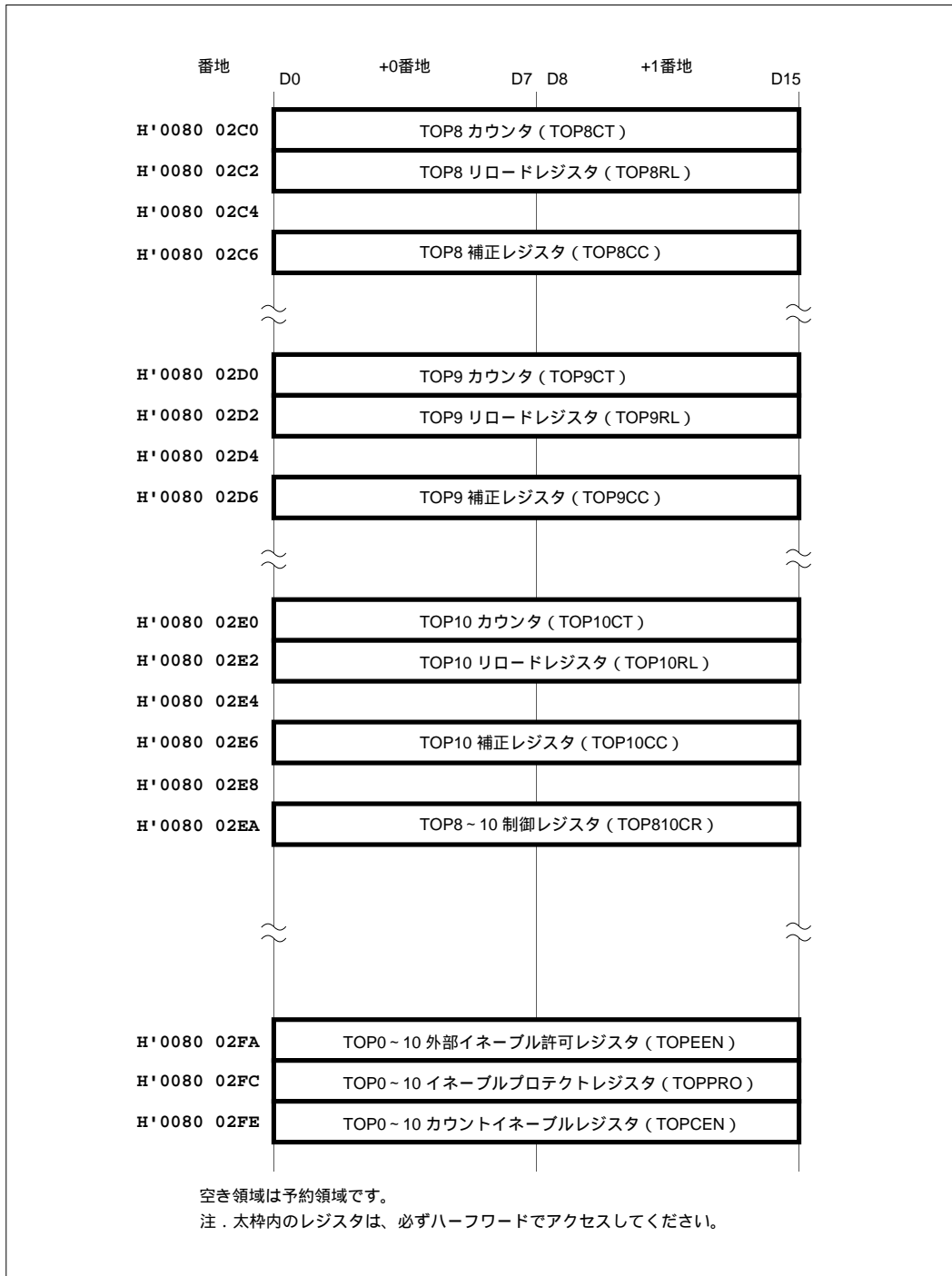


図10.3.4 TOP関連レジスタマップ(3/3)

10.3.4 TOP制御レジスタ

TOP制御レジスタは、TOP0～10の動作モード(ワンショット、ディレイドワンショット、連続モード)の選択、カウンタインエーブルの入力選択、およびカウンタクロックの入力選択を行います。

TOP制御レジスタには、タイマのグループごとに次の4つのレジスタがあります。

TOP0～5制御レジスタ0(TOP05CR0)

TOP0～5制御レジスタ1(TOP05CR1)

TOP6,7制御レジスタ(TOP67CR)

TOP8～10制御レジスタ(TOP810CR)

TOP0～5制御レジスタ(TOP05CR0)

<アドレス : H'0080 029A >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TOP3M		TOP2M		TOP1M		TOP0M		TOP05ENS			TOP05CKS				

<リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TOP3M(TOP3動作モード選択)	00 : ワンショット出力モード		
2,3	TOP2M(TOP2動作モード選択)	01 : デイレイドワンショット出力モード		
4,5	TOP1M(TOP1動作モード選択)	1X : 連続出力モード		
6,7	TOP0M(TOP0動作モード選択)			
8	何も配置されていません		0	-
9~11	TOP05ENS (TOP0～5イネーブルソース選択)	0XX : 外部TIN0 入力 100 : 入カイベントバス0 101 : 入カイベントバス1 110 : 入カイベントバス2 111 : 入カイベントバス3		
12,13	何も配置されていません		0	-
14,15	TOP05CKS (TOP0～5クロックソース選択)	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		

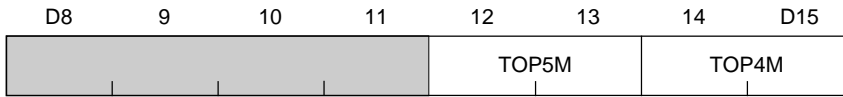
W = - : 書き込み無効

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TOP0～5制御レジスタ1(TOP05CR1)

<アドレス : H'0080 029D >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~11	何も配置されていません		0	-
12,13	TOP5M(TOP5動作モード選択)	00 : ワンショット出力モード		
14,15	TOP4M(TOP4動作モード選択)	01 : ディレイドワンショット出力モード 1X : 連続出力モード		

W = - : 書き込み無効

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

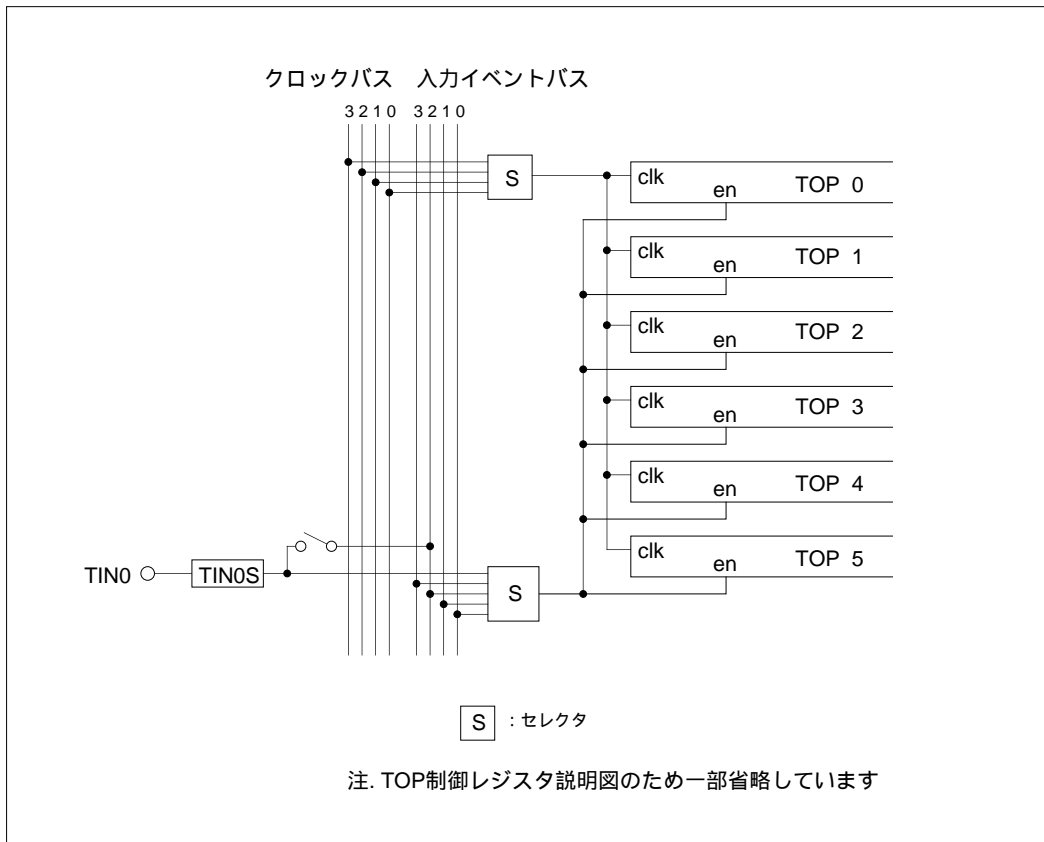
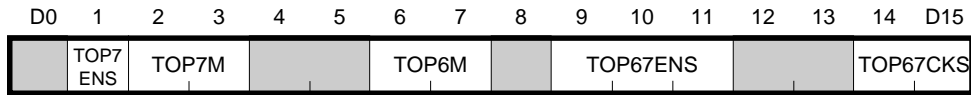


図10.3.5 TOP0～5のクロック/イネーブル入力概略図

TOP6, 7制御レジスタ(TOP67CR)

< アドレス : H'0080 02AA >



< リセット時 : H'0000 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	TOP7ENS (TOP7イネーブルソース選択)	0 : 「TOP67ENS」ビットの選択結果 1 : TOP6出力		
2,3	TOP7M(TOP7動作モード選択)	00 : ワンショット出力モード 01 : デイレイドワンショット出力モード 1X : 連続出力モード		
4,5	何も配置されていません		0	-
6,7	TOP6M(TOP6動作モード選択)	00 : ワンショット出力モード 01 : デイレイドワンショット出力モード 1X : 連続出力モード		
8	何も配置されていません		0	-
9~11	TOP67ENS (TOP6, TOP7イネーブルソース 選択)	0XX : 外部TIN1 入力 100 : 入カイベントバス0 101 : 入カイベントバス1 110 : 入カイベントバス2 111 : 入カイベントバス3		
12,13	何も配置されていません		0	-
14,15	TOP67CKS (TOP6, TOP7クロックソース選択)	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		

W = - : 書き込み無効

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

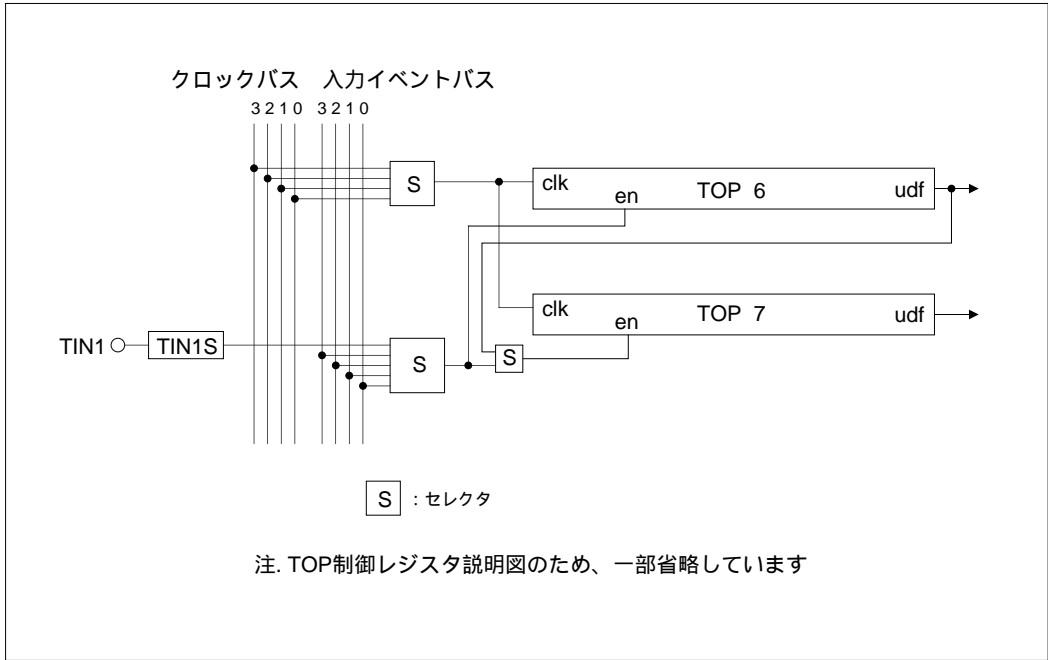


図10.3.6 TOP6, TOP7のクロック/イネーブル入力概略図

TOP8～10制御レジスタ(TOP810CR)

<アドレス: H'0080 02EA>



<リセット時: H'0000>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	TOP10M(TOP10動作モード選択)	00: ワンショット出力モード		
4,5	TOP9M(TOP9動作モード選択)	01: デイレイドワンショット出力モード		
6,7	TOP8M(TOP8動作モード選択)	1X: 連続出力モード		
8~10	何も配置されていません		0	-
11	TOP810ENS (TOP8～10イネーブルソース選択)	0: 外部TIN2入力 1: 入力イベントバス3		
12,13	何も配置されていません		0	-
14,15	TOP810CKS (TOP8～10クロックソース選択)	00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3		

W = - : 書き込み無効

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

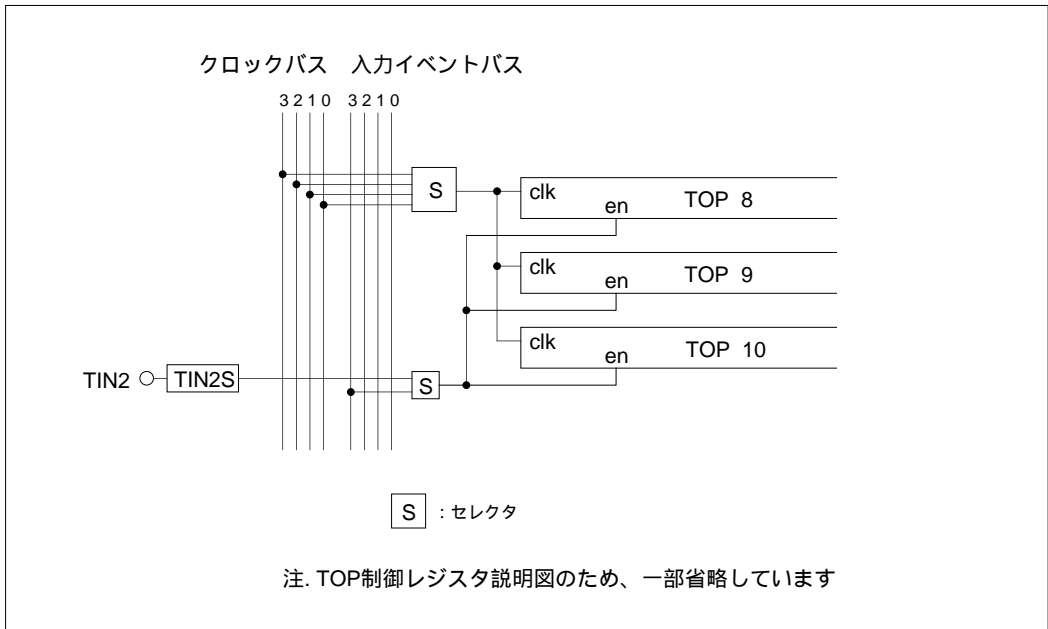
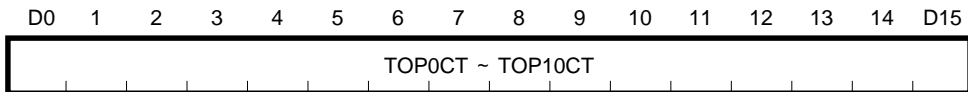


図10.3.7 TOP8~10のクロック/イネーブル入力概略図

10.3.5 TOPカウンタ(TOP0CT ~ TOP10CT)

TOP0カウンタ(TOP0CT)	<アドレス : H'0080 0240 >
TOP1カウンタ(TOP1CT)	<アドレス : H'0080 0250 >
TOP2カウンタ(TOP2CT)	<アドレス : H'0080 0260 >
TOP3カウンタ(TOP3CT)	<アドレス : H'0080 0270 >
TOP4カウンタ(TOP4CT)	<アドレス : H'0080 0280 >
TOP5カウンタ(TOP5CT)	<アドレス : H'0080 0290 >
TOP6カウンタ(TOP6CT)	<アドレス : H'0080 02A0 >
TOP7カウンタ(TOP7CT)	<アドレス : H'0080 02B0 >
TOP8カウンタ(TOP8CT)	<アドレス : H'0080 02C0 >
TOP9カウンタ(TOP9CT)	<アドレス : H'0080 02D0 >
TOP10カウンタ(TOP10CT)	<アドレス : H'0080 02E0 >



<リセット時 : 不定 >

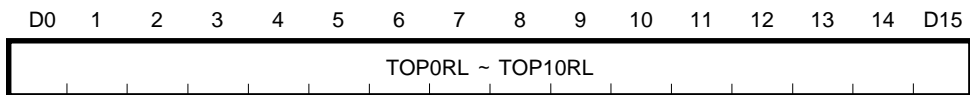
D	ビット名	機能	R	W
0 ~ 15	TOP0CT ~ TOP10CT	16ビットカウンタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOPカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

10.3.6 TOPリロードレジスタ(TOP0RL ~ TOP10RL)

TOP0リロードレジスタ(TOP0RL)	<アドレス : H'0080 0242 >
TOP1リロードレジスタ(TOP1RL)	<アドレス : H'0080 0252 >
TOP2リロードレジスタ(TOP2RL)	<アドレス : H'0080 0262 >
TOP3リロードレジスタ(TOP3RL)	<アドレス : H'0080 0272 >
TOP4リロードレジスタ(TOP4RL)	<アドレス : H'0080 0282 >
TOP5リロードレジスタ(TOP5RL)	<アドレス : H'0080 0292 >
TOP6リロードレジスタ(TOP6RL)	<アドレス : H'0080 02A2 >
TOP7リロードレジスタ(TOP7RL)	<アドレス : H'0080 02B2 >
TOP8リロードレジスタ(TOP8RL)	<アドレス : H'0080 02C2 >
TOP9リロードレジスタ(TOP9RL)	<アドレス : H'0080 02D2 >
TOP10リロードレジスタ(TOP10RL)	<アドレス : H'0080 02E2 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOP0RL~TOP10RL	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOPリロードレジスタは、TOPカウンタレジスタ(TOP0CT ~ TOP10CT)へデータをロードするためのレジスタです。リロードレジスタの内容がカウンタにロードされるのは、以下の場合です。

ワンショットモードでカウンタがイネーブルになった時
ディレイドワンショットまたは連続モードでカウンタがアンダーフローした時

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

なおアンダーフロー後のデータリロードは、アンダーフローを起こしたクロックに同期して行われます。

10.3.7 TOP補正レジスタ(TOP0CC ~ TOP10CC)

TOP0補正レジスタ(TOP0CC)	<アドレス : H'0080 0246 >
TOP1補正レジスタ(TOP1CC)	<アドレス : H'0080 0256 >
TOP2補正レジスタ(TOP2CC)	<アドレス : H'0080 0266 >
TOP3補正レジスタ(TOP3CC)	<アドレス : H'0080 0276 >
TOP4補正レジスタ(TOP4CC)	<アドレス : H'0080 0286 >
TOP5補正レジスタ(TOP5CC)	<アドレス : H'0080 0296 >
TOP6補正レジスタ(TOP6CC)	<アドレス : H'0080 02A6 >
TOP7補正レジスタ(TOP7CC)	<アドレス : H'0080 02B6 >
TOP8補正レジスタ(TOP8CC)	<アドレス : H'0080 02C6 >
TOP9補正レジスタ(TOP9CC)	<アドレス : H'0080 02D6 >
TOP10補正レジスタ(TOP10CC)	<アドレス : H'0080 02E6 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0 ~ 15	TOP0CC ~ TOP10CC	16ビット補正レジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP補正レジスタは、TOPカウンタの値を動作途中で補正(加減算)するために使用されます。カウンタの増減を行いたい場合は、カウンタの初めの設定からの増減値をこの補正レジスタに書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値 + 1)の変更が行われることに注意してください。

たとえばカウンタ初期値が10で、カウンタが5まで来たところで3を補正レジスタに書き込んだ場合、全体としては14をカウントしたところでアンダーフローします。

10.3.8 TOPイネーブル制御レジスタ

TOP0～10外部イネーブル許可レジスタ(TOPEEN)

<アドレス : H'0080 02FA >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
					TOP10 EEN	TOP9 EEN	TOP8 EEN	TOP7 EEN	TOP6 EEN	TOP5 EEN	TOP4 EEN	TOP3 EEN	TOP2 EEN	TOP1 EEN	TOP0 EEN

<リセット時 : H'0000 >

D	ビット名	機能	R	W
0～4	何も配置されていません		0	-
5	TOP10EEN(TOP10外部イネーブル許可)	0 : 外部イネーブル禁止		
6	TOP9EEN(TOP9外部イネーブル許可)	1 : 外部イネーブル許可		
7	TOP8EEN(TOP8外部イネーブル許可)			
8	TOP7EEN(TOP7外部イネーブル許可)			
9	TOP6EEN(TOP6外部イネーブル許可)			
10	TOP5EEN(TOP5外部イネーブル許可)			
11	TOP4EEN(TOP4外部イネーブル許可)			
12	TOP3EEN(TOP3外部イネーブル許可)			
13	TOP2EEN(TOP2外部イネーブル許可)			
14	TOP1EEN(TOP1外部イネーブル許可)			
15	TOP0EEN(TOP0外部イネーブル許可)			

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP0～10外部イネーブル許可レジスタは、TOPカウンタの外部からのイネーブル操作の許可/禁止を制御します。

TOP0～10イネーブルプロテクトレジスタ(TOPPRO) <アドレス:H'0080 02FC>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
					TOP10 PRO	TOP9 PRO	TOP8 PRO	TOP7 PRO	TOP6 PRO	TOP5 PRO	TOP4 PRO	TOP3 PRO	TOP2 PRO	TOP1 PRO	TOP0 PRO

<リセット時:H'0000>

D	ビット名	機能	R	W
0～4	何も配置されていません		0	-
5	TOP10PRQ(TOP10イネーブルプロテクト)	0:書き換え許可		
6	TOP9PRQ(TOP9イネーブルプロテクト)	1:書き換え禁止		
7	TOP8PRQ(TOP8イネーブルプロテクト)			
8	TOP7PRQ(TOP7イネーブルプロテクト)			
9	TOP6PRQ(TOP6イネーブルプロテクト)			
10	TOP5PRQ(TOP5イネーブルプロテクト)			
11	TOP4PRQ(TOP4イネーブルプロテクト)			
12	TOP3PRQ(TOP3イネーブルプロテクト)			
13	TOP2PRQ(TOP2イネーブルプロテクト)			
14	TOP1PRQ(TOP1イネーブルプロテクト)			
15	TOP0PRQ(TOP0イネーブルプロテクト)			

W = - :書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP0～10イネーブルプロテクトレジスタは、次ページに示すTOP0～10カウントイネーブルビットの書き換えの許可/禁止を制御するレジスタです。

TOP0～10カウントイネーブルレジスタ(TOPCEN)

<アドレス：H'0080 02FE>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
					TOP10 CEN	TOP9 CEN	TOP8 CEN	TOP7 CEN	TOP6 CEN	TOP5 CEN	TOP4 CEN	TOP3 CEN	TOP2 CEN	TOP1 CEN	TOP0 CEN

<リセット時：H'0000>

D	ビット名	機能	R	W
0～4	何も配置されていません		0	-
5	TOP10CEN(TOP10カウントイネーブル)	0 : カウント停止		
6	TOP9CEN(TOP9カウントイネーブル)	1 : カウント許可		
7	TOP8CEN(TOP8カウントイネーブル)			
8	TOP7CEN(TOP7カウントイネーブル)			
9	TOP6CEN(TOP6カウントイネーブル)			
10	TOP5CEN(TOP5カウントイネーブル)			
11	TOP4CEN(TOP4カウントイネーブル)			
12	TOP3CEN(TOP3カウントイネーブル)			
13	TOP2CEN(TOP2カウントイネーブル)			
14	TOP1CEN(TOP1カウントイネーブル)			
15	TOP0CEN(TOP0カウントイネーブル)			

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP0～10カウントイネーブルレジスタは、TOPカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTOP0～10プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TOP0～10イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続モード以外ではアンダーフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOP0～10イネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

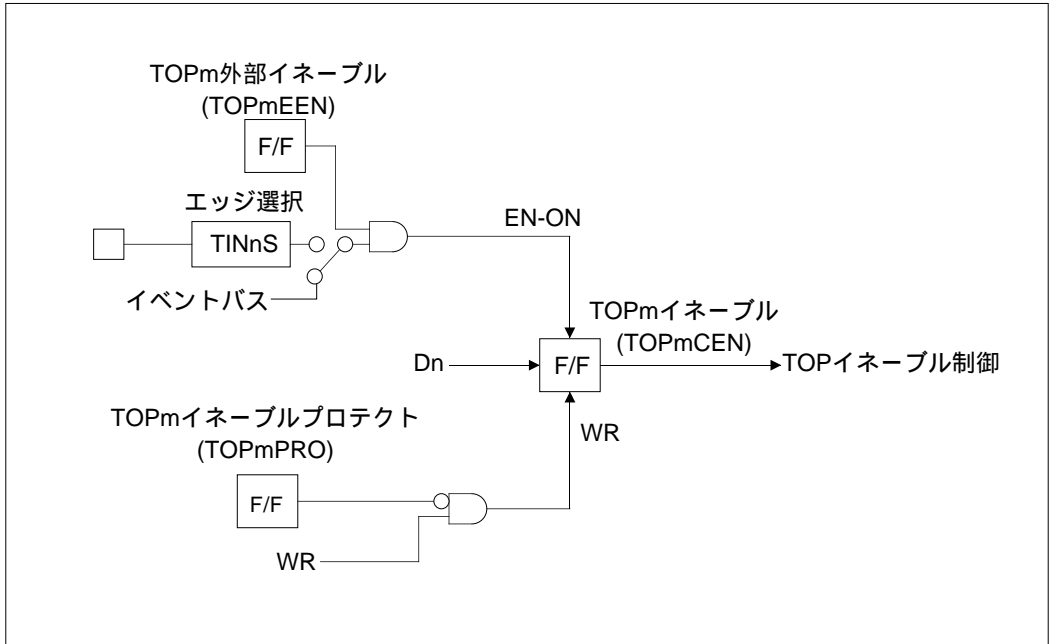


図10.3.8 TOPイネーブル回路構成

10.3.9 TOPワンショット出力モード(補正機能あり)の動作

(1) TOPワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダーフロー時には、割り込みを発生することができます。

カウント値はリロードレジスタの設定値+1です。たとえば以下の例で、リロードレジスタの初期値が7の場合、カウント値は8となります。

すべての内部回路動作が、カウントクロックに同期するため、イネーブル後 F/F出力変化までにプリスケアラ分のディレイを含みます。

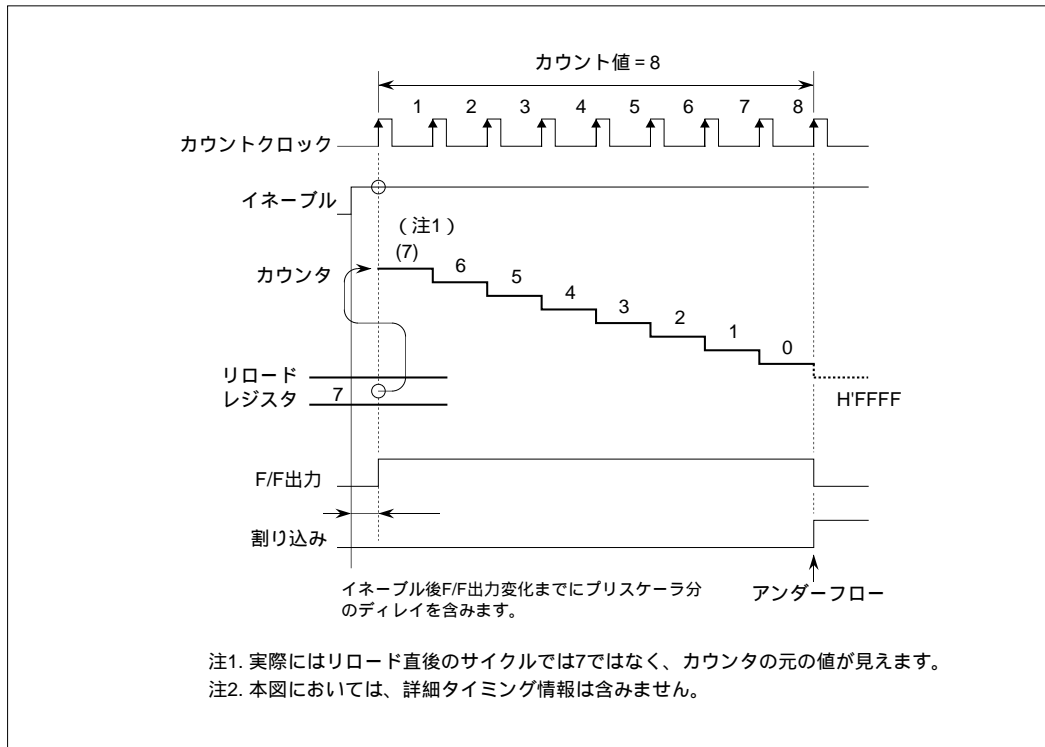


図10.3.9 TOPワンショット出力モードのカウント例

以下の例ではリロードレジスタの初期値にH'A000を設定しています(カウンタの初期値は不定でよい)。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、以後カウンタがアンダーフローするまでダウンカウントします。

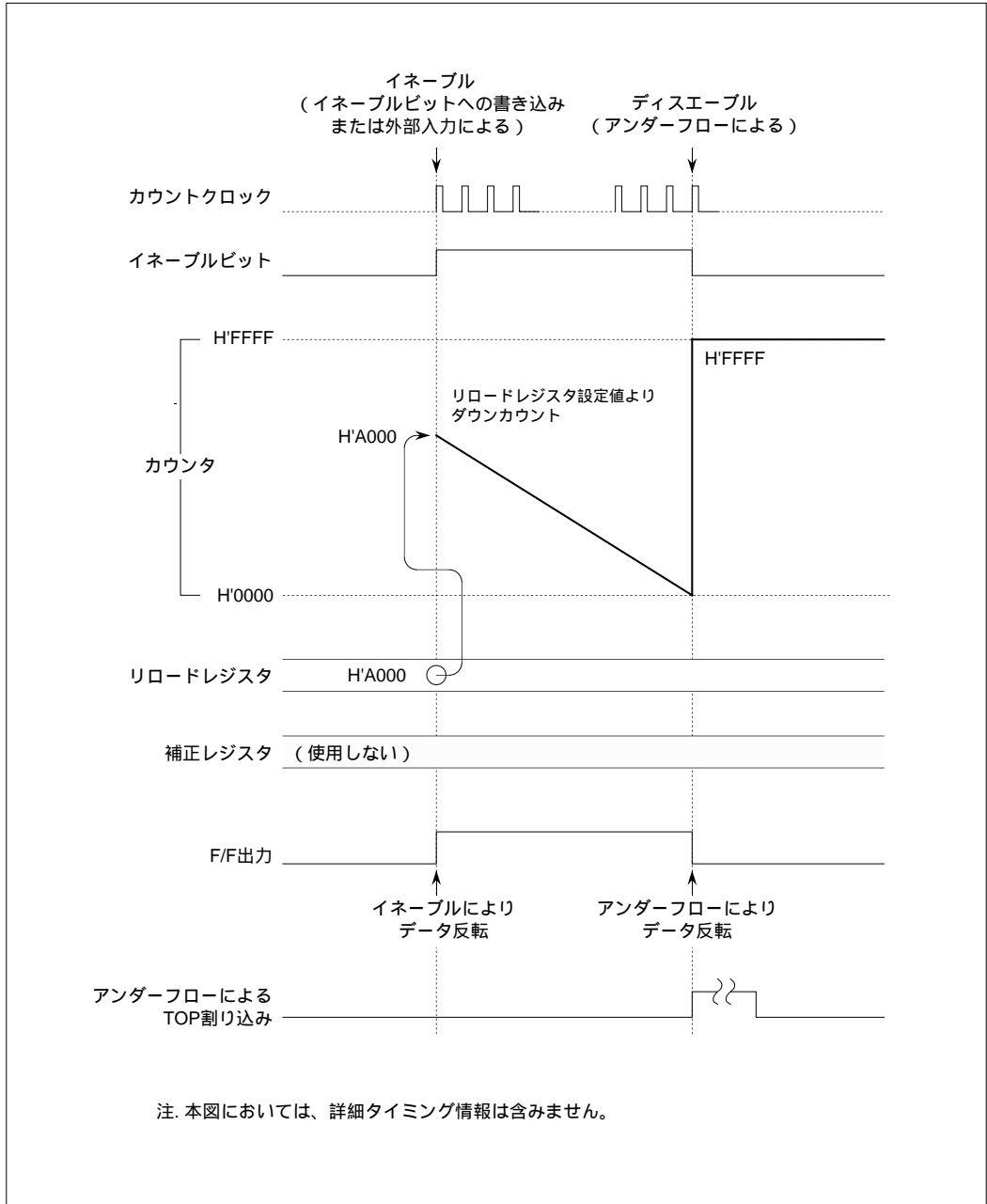


図10.3.10 TOPワンショット出力モード動作例

(2) TOPワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

たとえばカウンタ初期値が7で、カウンタが3まで来たところで3を補正レジスタに書き込んだ場合、全体としては12をカウントしたところでアンダーフローします。

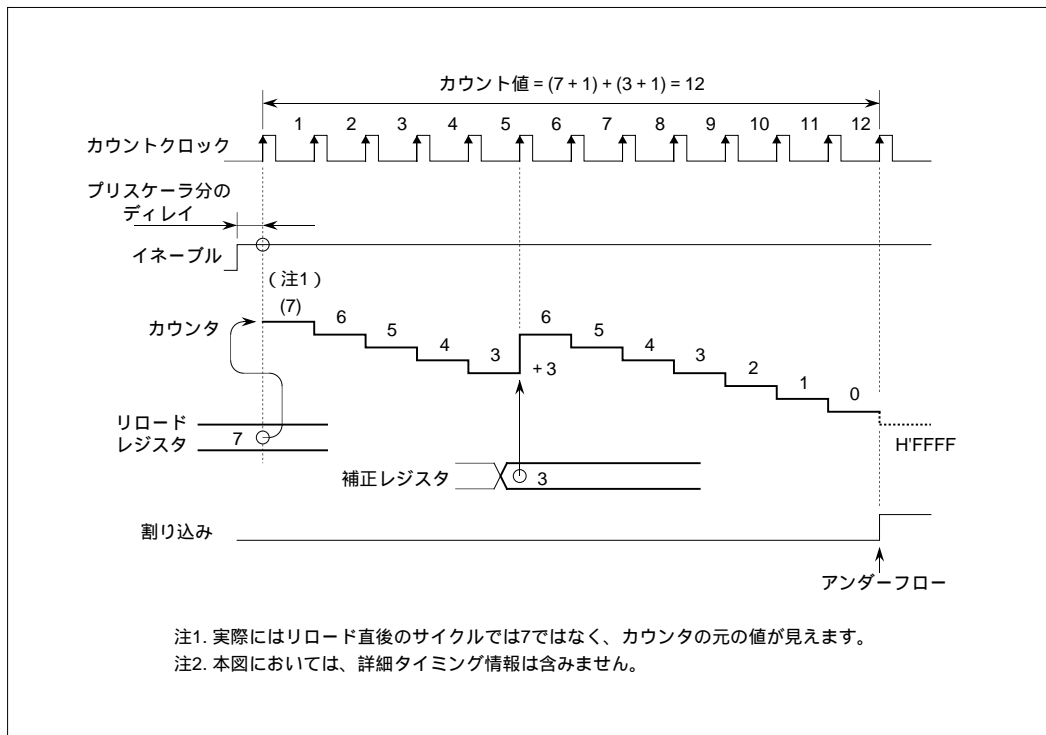


図10.3.11 TOPワンショット出力モード補正時のカウンタ例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万が一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。

次ページの例では、リロードレジスタの初期値にH'8000を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'5000までカウントしたところで、補正レジスタにH'4000を書き込んでいます。この補正の結果、カウンタはH'9000になり、全体としては(H'8000 + 1 + H'4000 + 1)をカウントしたところで停止します。

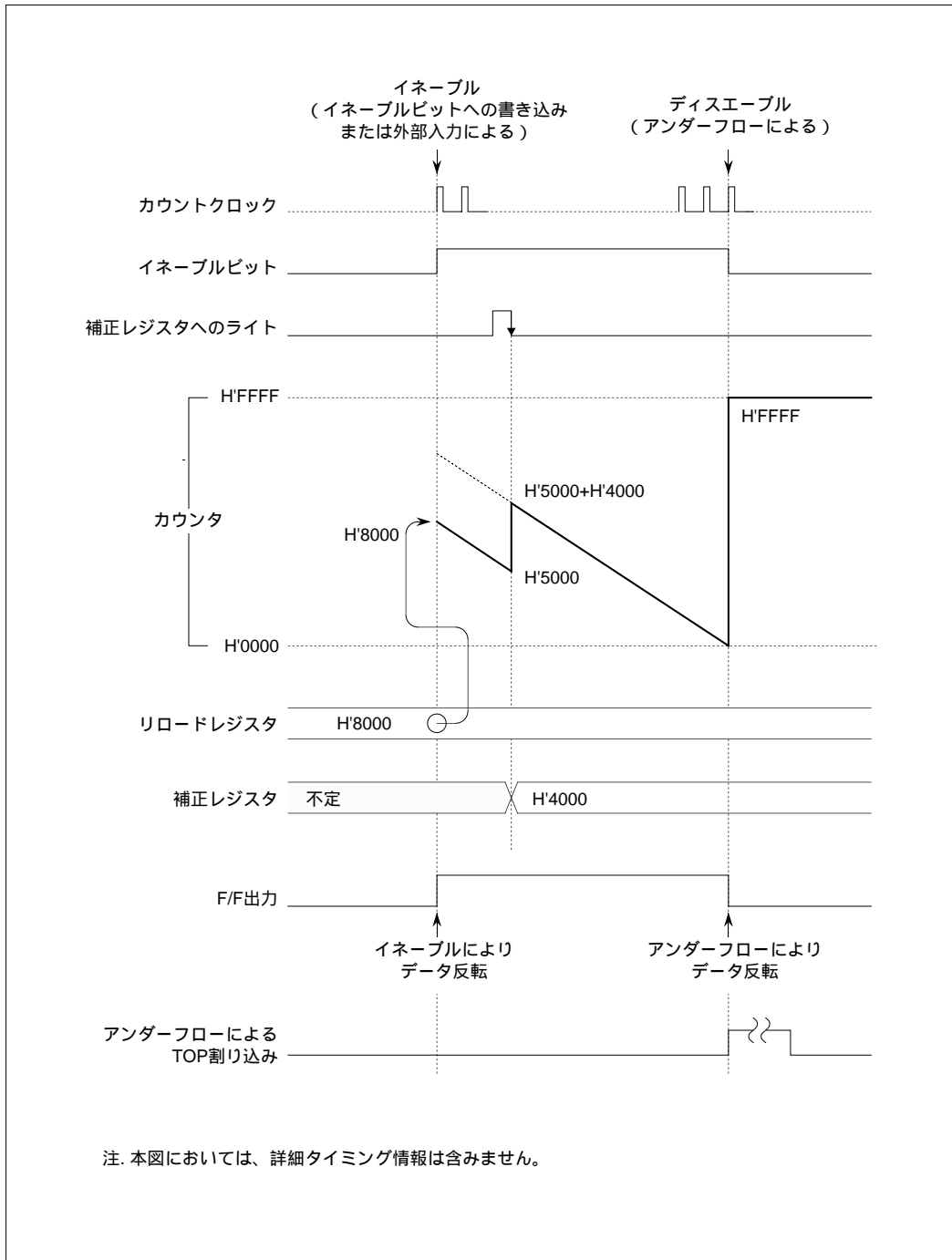


図10.3.12 TOPワンショット出力モード補正時の動作例

(3) TOPワンショット出力モード使用上の注意

TOPワンショット出力モードを使用する場合の注意点を以下に示します。

アンダーフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダーフローによるカウンタ停止が優先されます。

アンダーフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

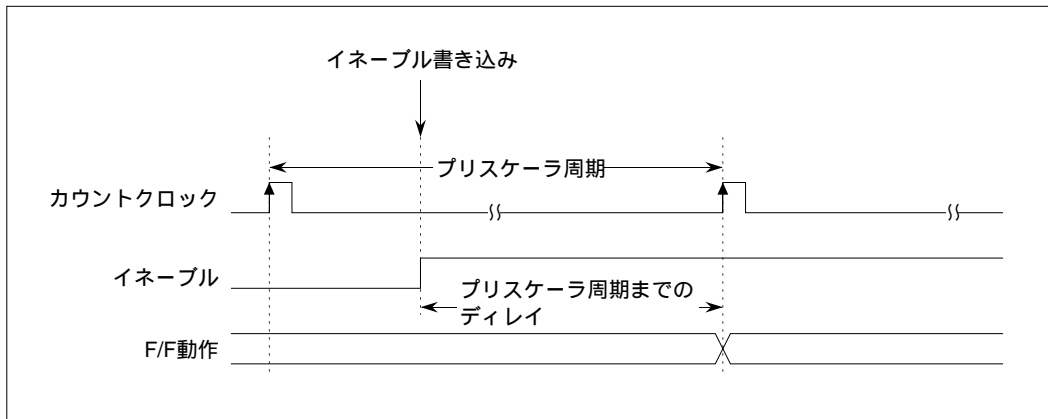


図10.3.13 プリスケアラディレイ

補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万が一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダーフローした場合は、オーバーフローした値での誤ったアンダーフロー割り込みが発生します。

次ページの例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込みは、オーバーフローした誤った値で発生しています。

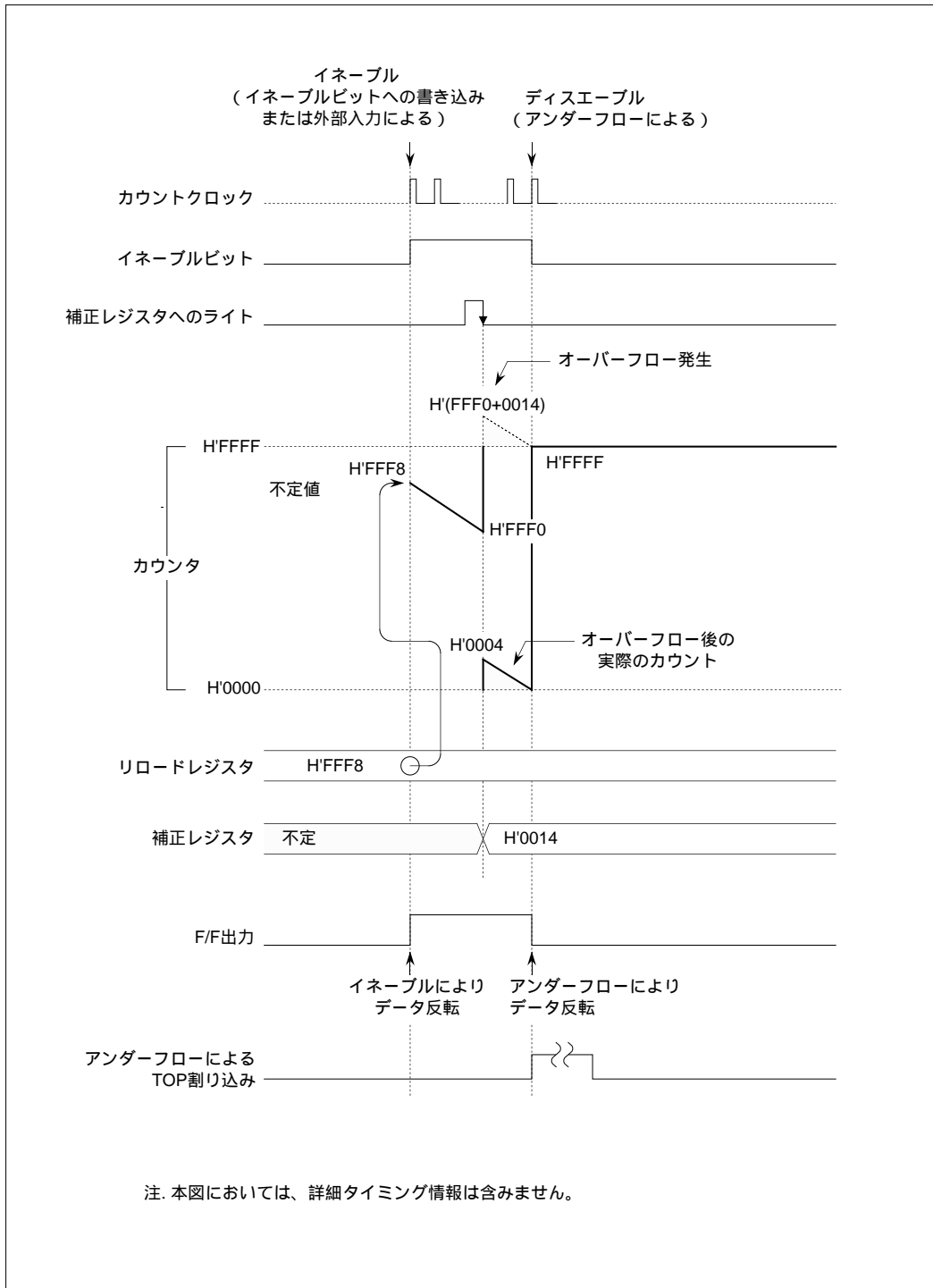


図10.3.14 TOPワンショット出力モード補正実行でオーバーフローした場合の例

10.3.10 TOPディレイドワンショット出力モード(補正機能あり)の動作

(1) TOPディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウンタクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダーフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダーフロー時に、それぞれ割り込みを発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。たとえばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

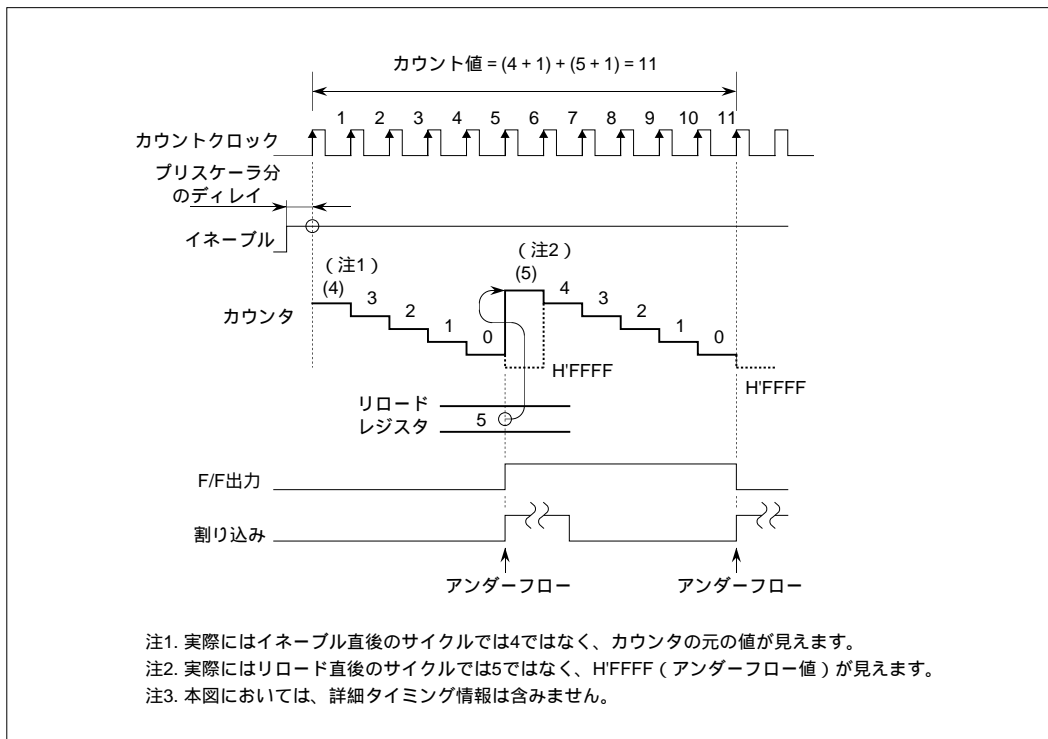


図10.3.15 TOPディレイドワンショット出力モードのカウンタ例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'F000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダーフローするとリロードレジスタの内容をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止しています。

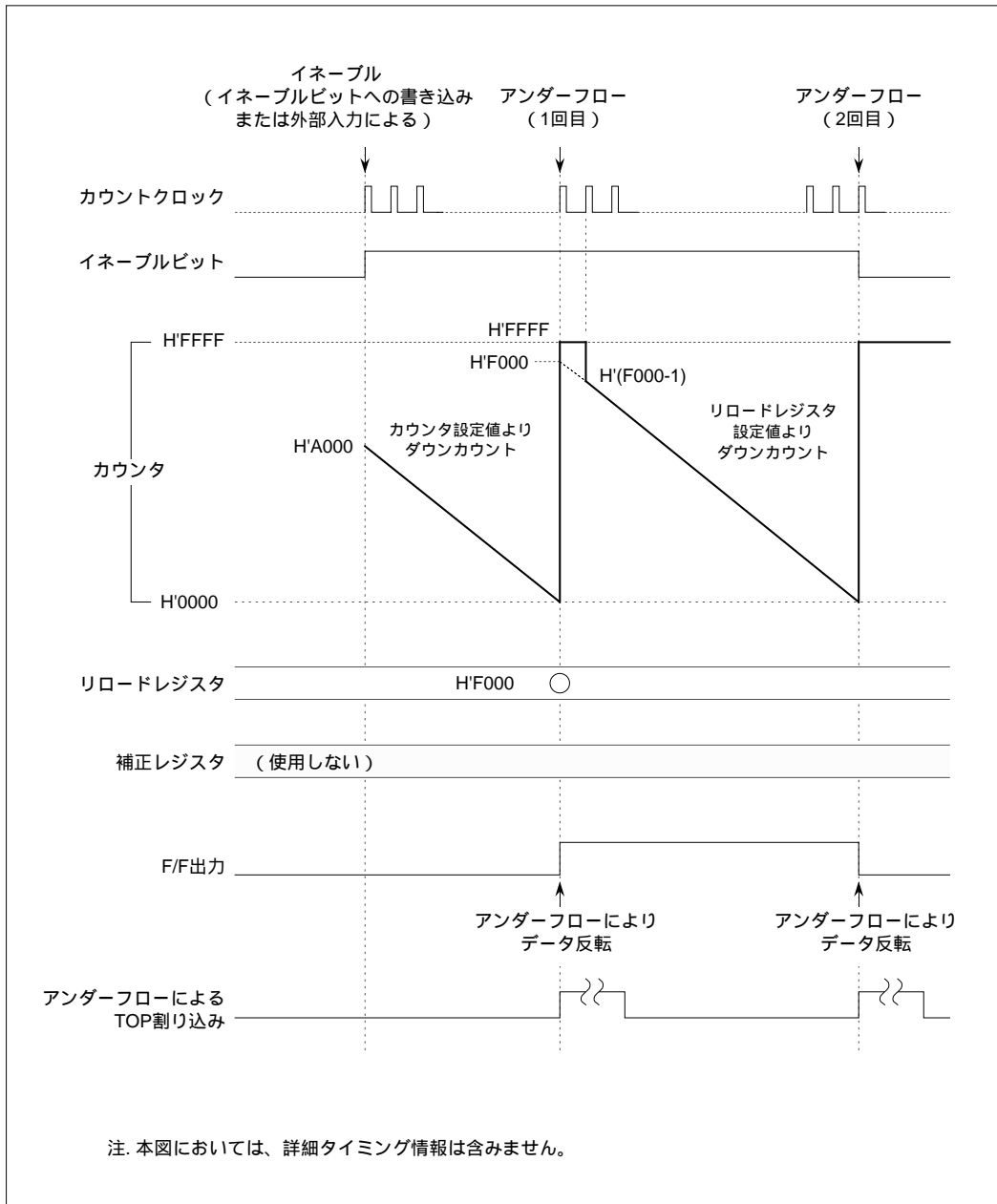


図10.3.16 TOPディレイドワンショット出力モード動作例

(2) TOPディレイドワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値 + 1)の変更が行われることに注意してください。

たとえばリロードレジスタ値が7で、リロード後カウンタが3まで来たところで3を補正レジスタに書き込むと、リロード後のカウント値は12でアンダーフローします。

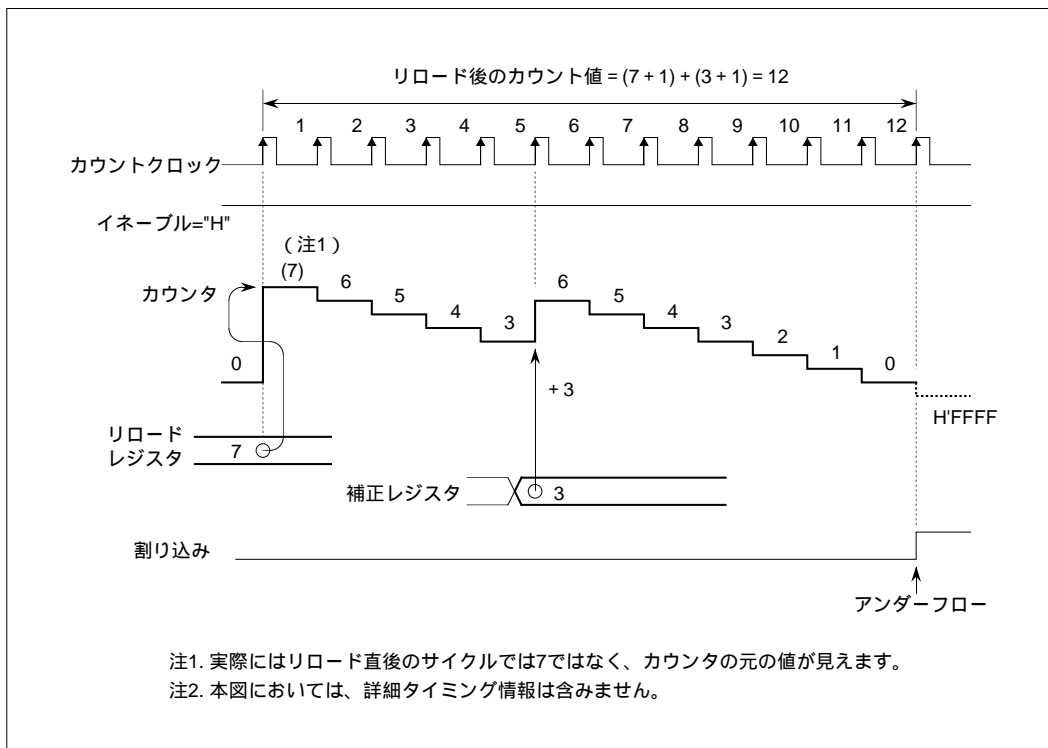


図10.3.17 TOPディレイドワンショット出力モード補正時のカウント例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万が一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。

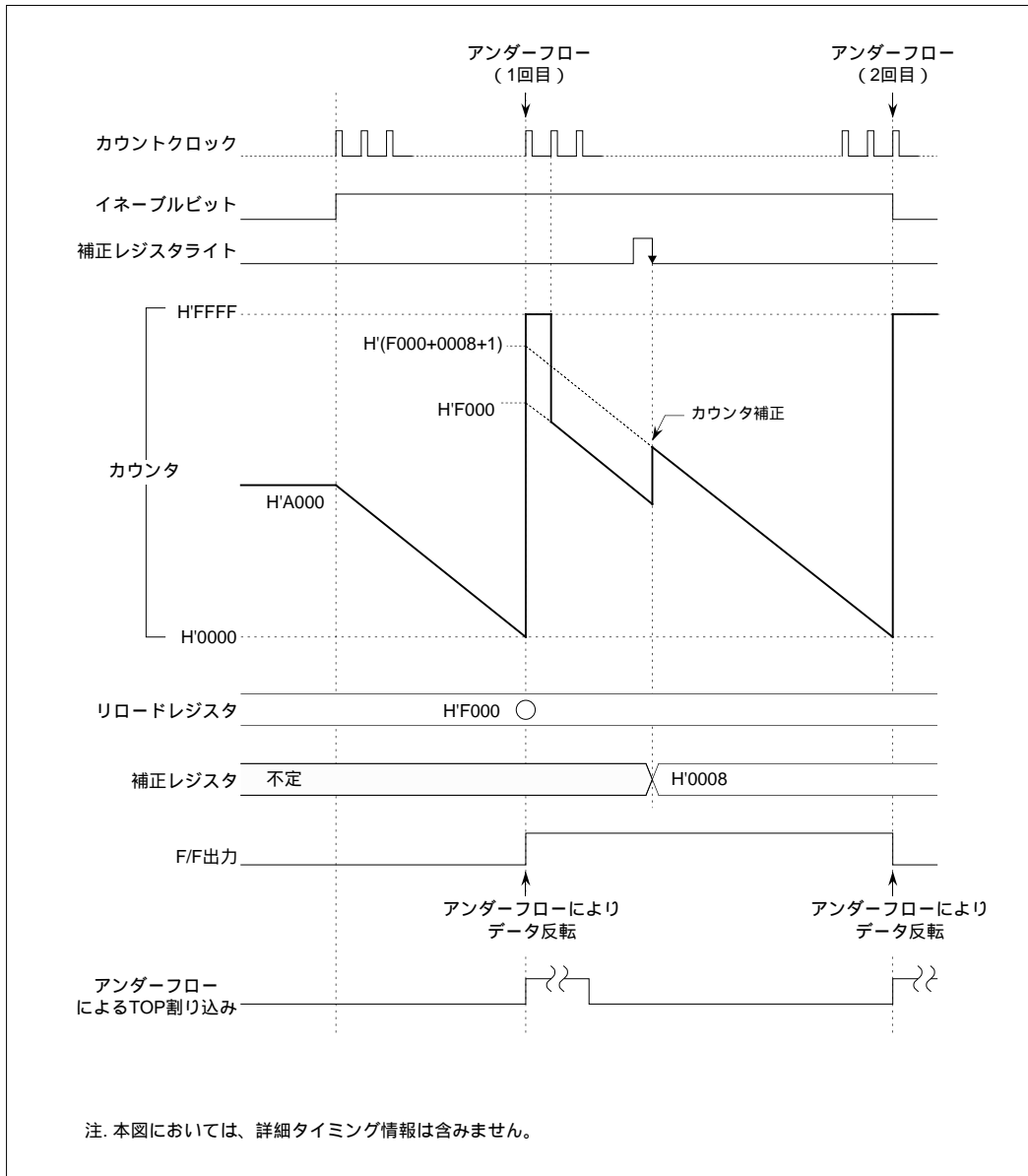


図10.3.18 TOPディレイドワンショット出力モード補正時の動作例

(3) TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

アンダーフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダーフローによるカウンタ停止が優先されます。

アンダーフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

補正レジスタの操作により万一カウンタがオーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダーフローした場合は、オーバーフローした値での誤ったアンダーフロー割り込みが発生します。

アンダーフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

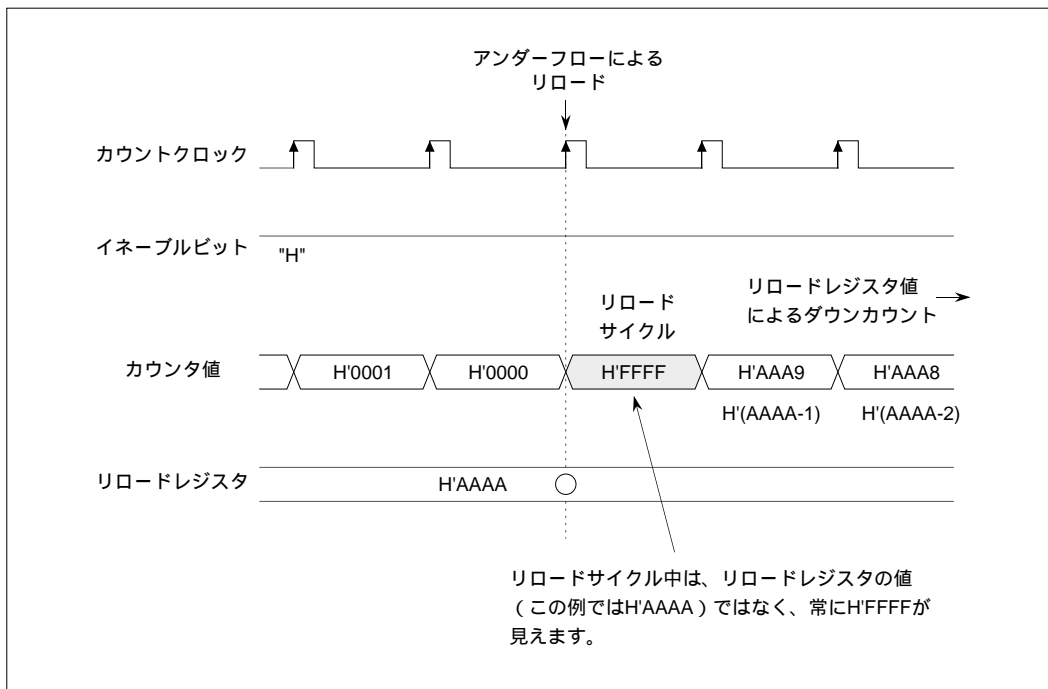


図10.3.19 アンダーフロー直後のカウンタ値

10.3.11 TOP連続出力モード(補正機能なし)の動作

(1) TOP 連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダーフローでリロードレジスタの値をロードします。以後カウンタのアンダーフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の幅で反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダーフローが発生します。

このアンダーフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダーフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。また、カウンタアンダーフローごとに、割り込みが発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。たとえばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

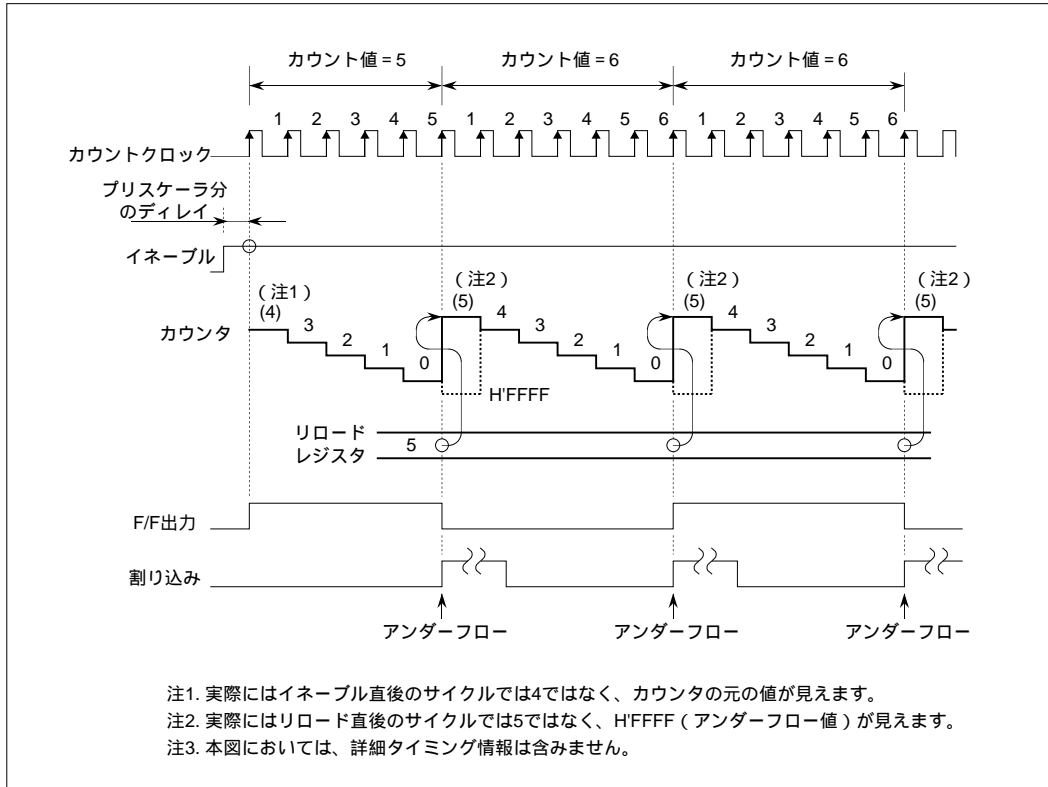


図10.3.20 TOP連続出力モードのカウント例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'E000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダーフローするごとにリロードレジスタの内容をカウンタにロードし、ダウンカウントを続けます。

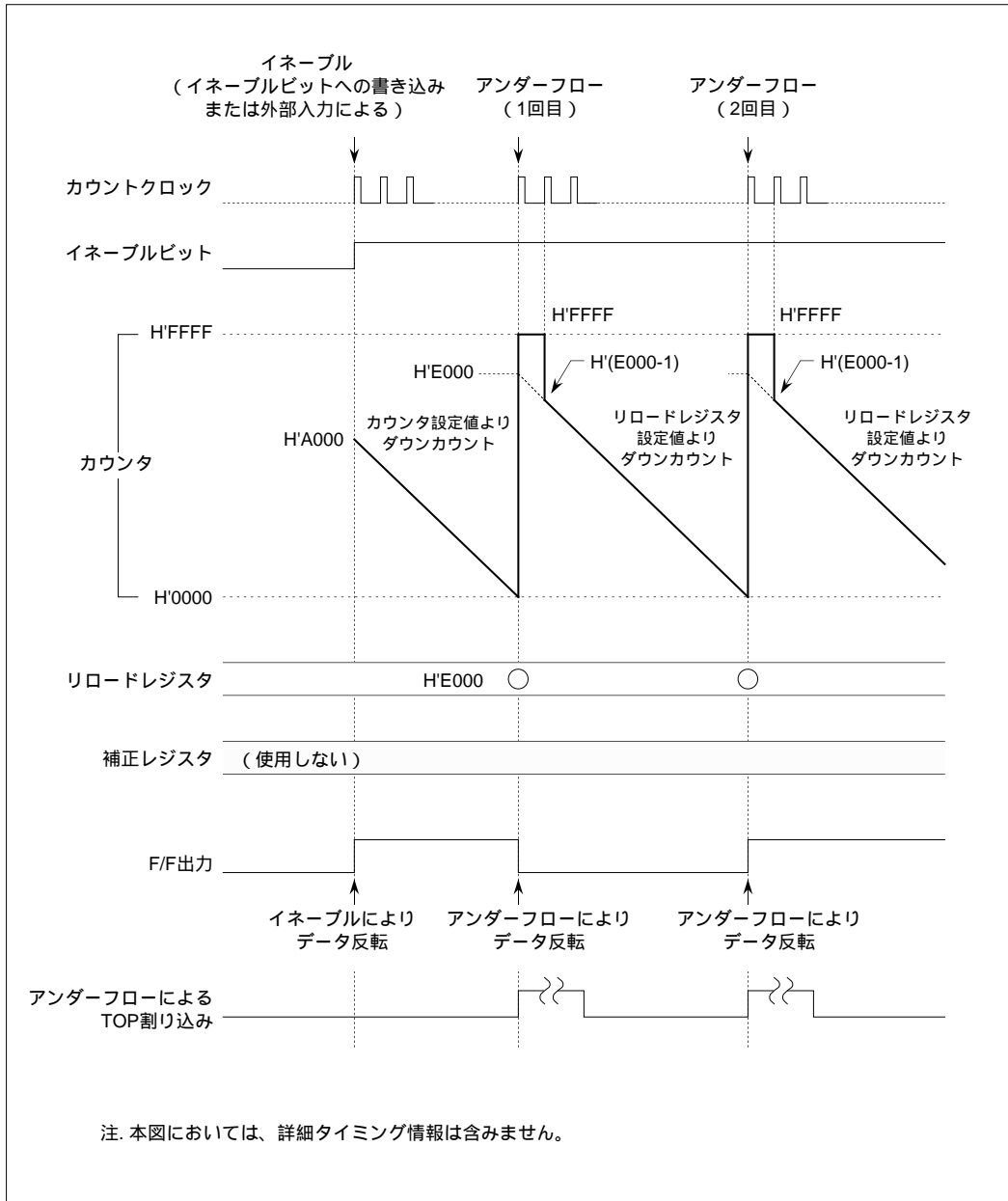


図10.3.21 TOP連続出力モード動作例

(2) TOP 連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダーフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

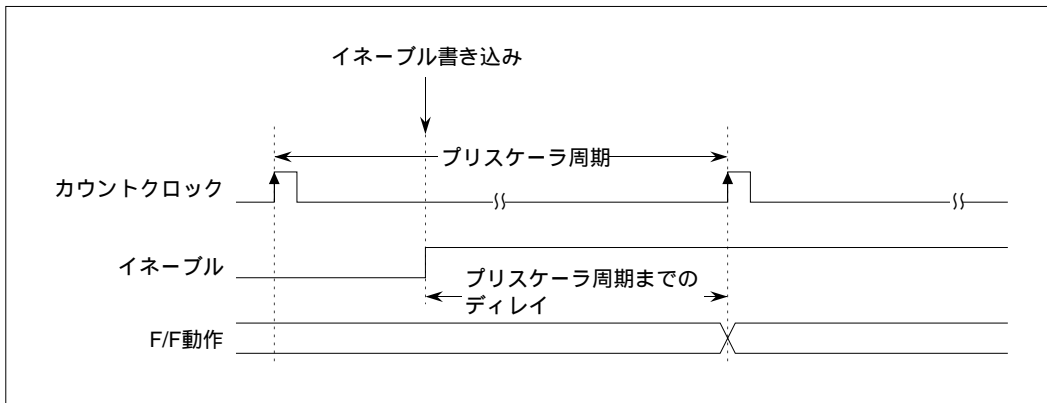


図10.3.22 プリスケアラディレイ

10.4 TIO(入出力系16ビットタイマ)

10.4.1 TIO概要

TIO(Timer Input/Output)は入出力系16ビットタイマで、ソフトウェアによるモード切り替えにより、以下のモードから1つを選択できます。

<入力モード>

- 計測クリア入力モード
- 計測フリーラン入力モード
- ノイズ処理入力モード

<補正機能なし出力モード>

- PWM出力モード
- ワンショット出力モード
- ディレイドワンショット出力モード
- 連続出力モード

以下にTIOの仕様を、また次ページにTIOのブロック図を示します。

表10.4.1 TIO(入出力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	10チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
計測レジスタ	16ビットキャプチャレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル(立ち上がりエッジ/立ち下がりエッジ/両エッジ/H/Lレベル)
モード切り替え	<入力モード> <ul style="list-style-type: none"> 計測クリア入力モード 計測フリーラン入力モード ノイズ処理入力モード <補正機能なし出力モード> <ul style="list-style-type: none"> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード
割り込み発生	カウンタのアンダーフローで発生可能

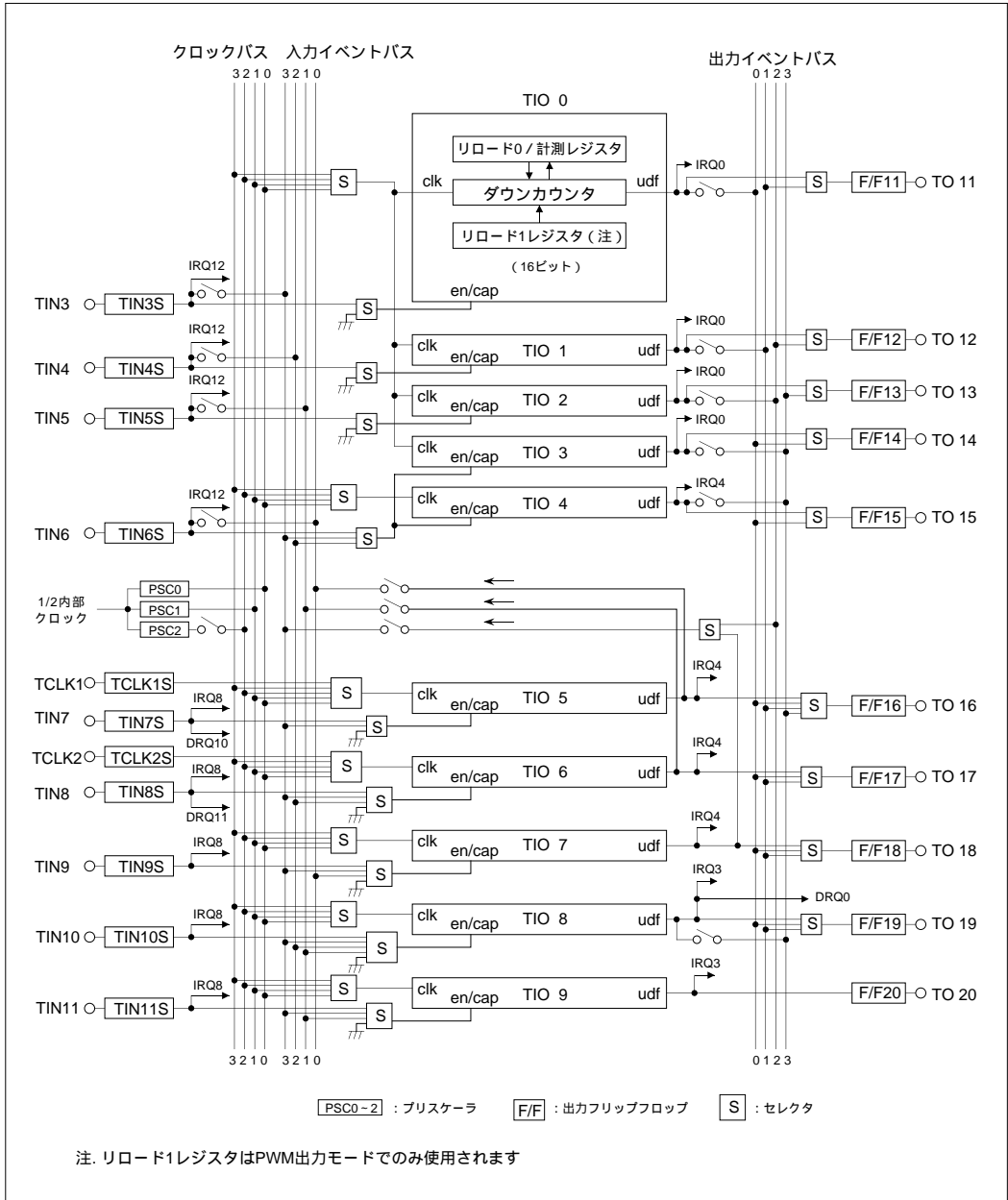


図10.4.1 TIO(入出力系16ビットタイマ)ブロック図

10.4.2 TIO各モードの概略

以下にTIOの各モードの概要を示します。なおTIO各チャンネルのモードは、この中から1つだけを選択できます。

(1) 計測(クリア/フリーラン)入力モード

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。

計測フリーラン入力モードではキャプチャ後もカウンタはそのままダウンカウントを続け、アンダーフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

なお、カウンタのアンダーフローまたは計測動作の実行で割り込みを発生することができます。

(2) ノイズ処理入力モード

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダーフローするまで一定時間以上同じ状態であれば、割り込みを発生して停止します。有効なレベルの信号が入力されても、カウンタアンダーフロー前に無効レベルになった場合はいったんカウントを停止し、再度有効なレベルが入力されたら初期値をカウンタにリロードしてカウント動作を再開します。

タイマの停止は、カウンタアンダーフロー時、またはイネーブルビットへのカウント停止書き込みと同時に行われます。

なお、カウンタのアンダーフローで割り込みを発生することができます。

(3) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダーフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダーフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。

PWM出力モードのF/F出力波形は、カウント開始時と各アンダーフロー発生時に反転します。タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に終わります(PWM出力周期には同期しません)。

また、カウンタイネーブル後の偶数回目のアンダーフローで割り込みを発生させることができます。

(4) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダーフロー時には、割り込みを発生させることができます。

(5) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダーフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダーフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダーフロー時に、それぞれ割り込みを発生させることができます。

(6) 連続出力モード (補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダーフローでリロード0レジスタの値をロードします。以後カウンタのアンダーフローごとにこの動作を繰り返し、リロード0レジスタ設定値 + 1の連続的なパルスが発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダーフローが発生します。

このアンダーフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダーフロー発生ごとに繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダーフローごとに、割り込みを発生することができます。

10.4.3 TIO関連レジスタマップ

以下にTIO関連のレジスタマップを示します。

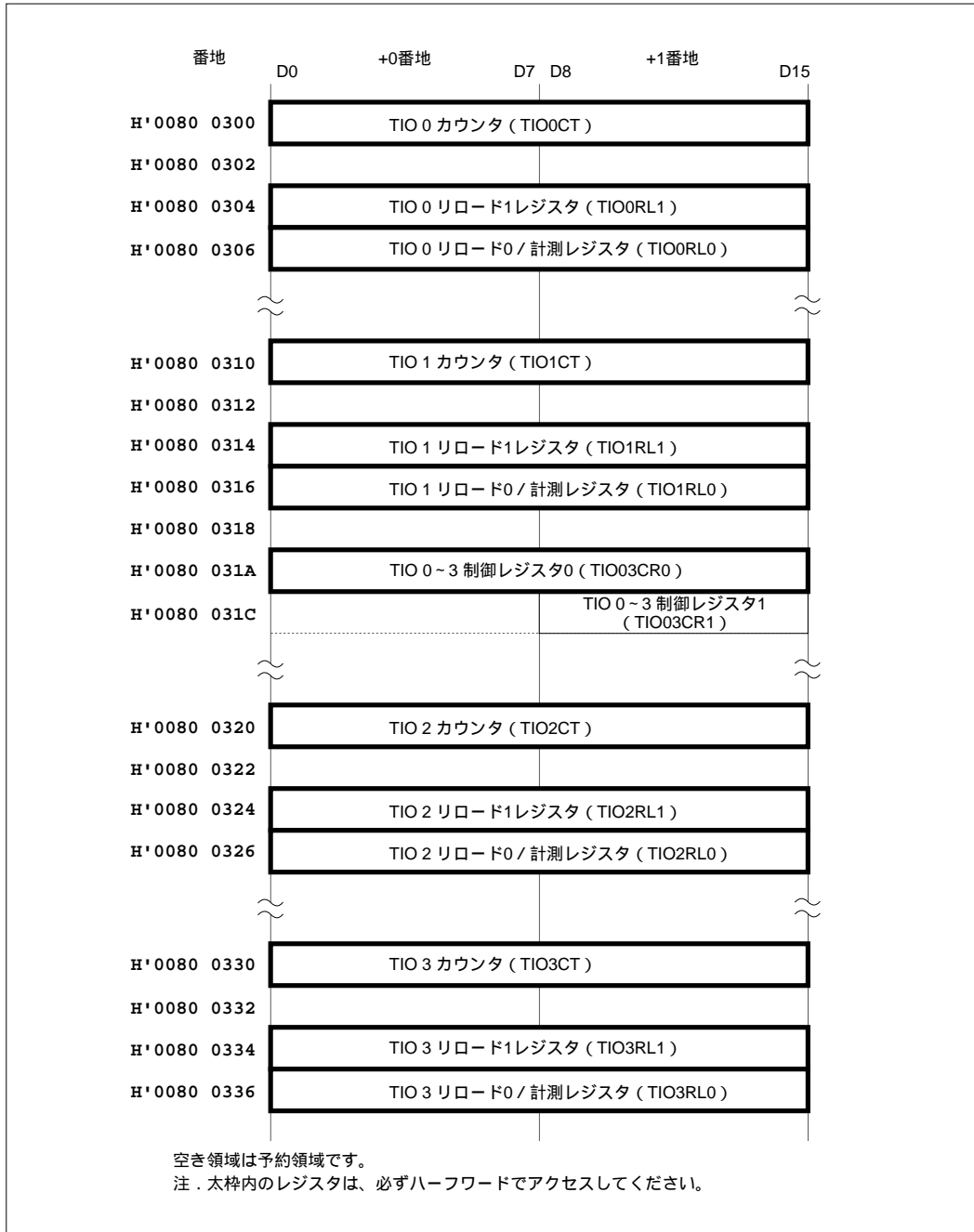


図10.4.2 TIO関連レジスタマップ(1/3)

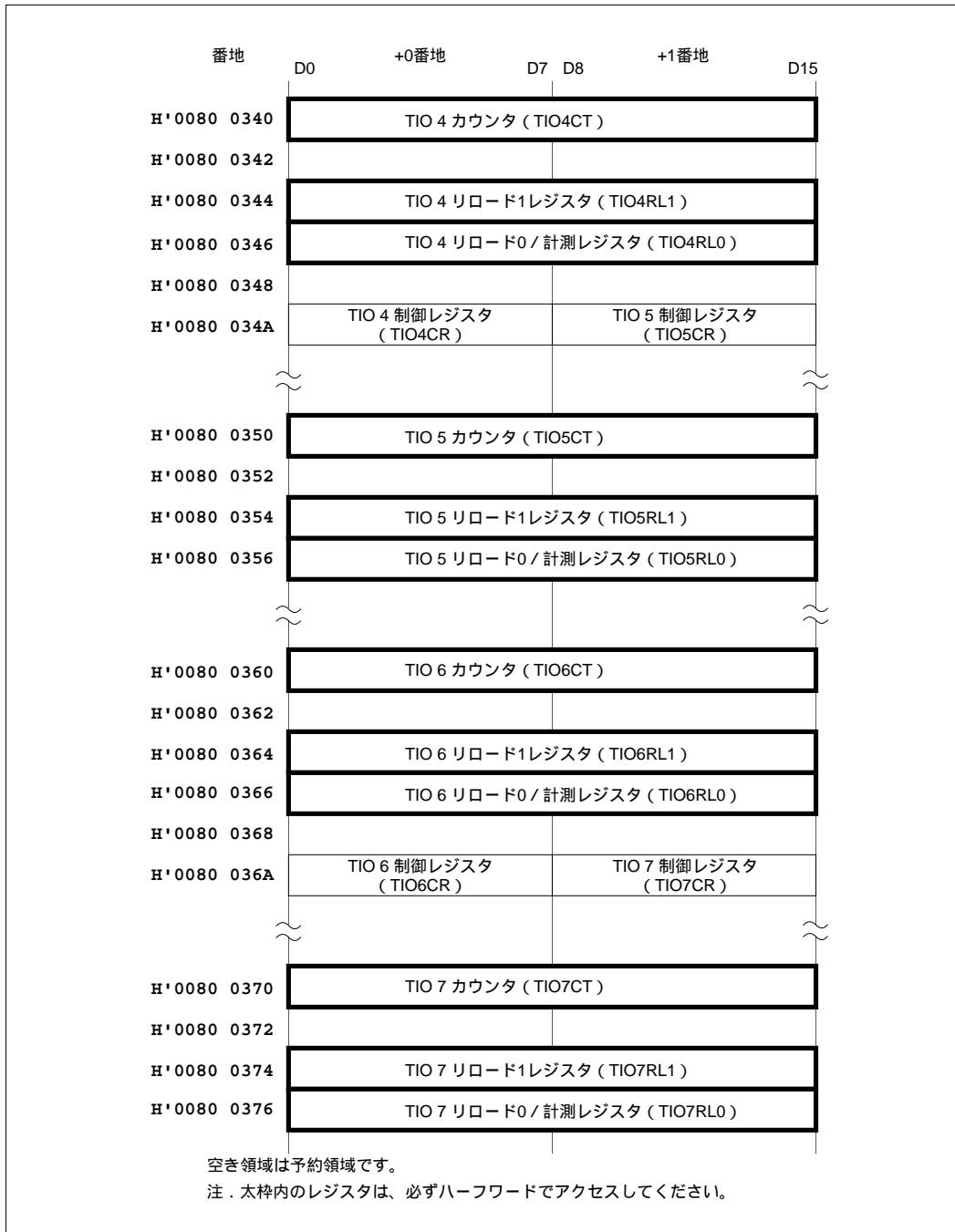


図10.4.3 TIO関連レジスタマップ(2/3)

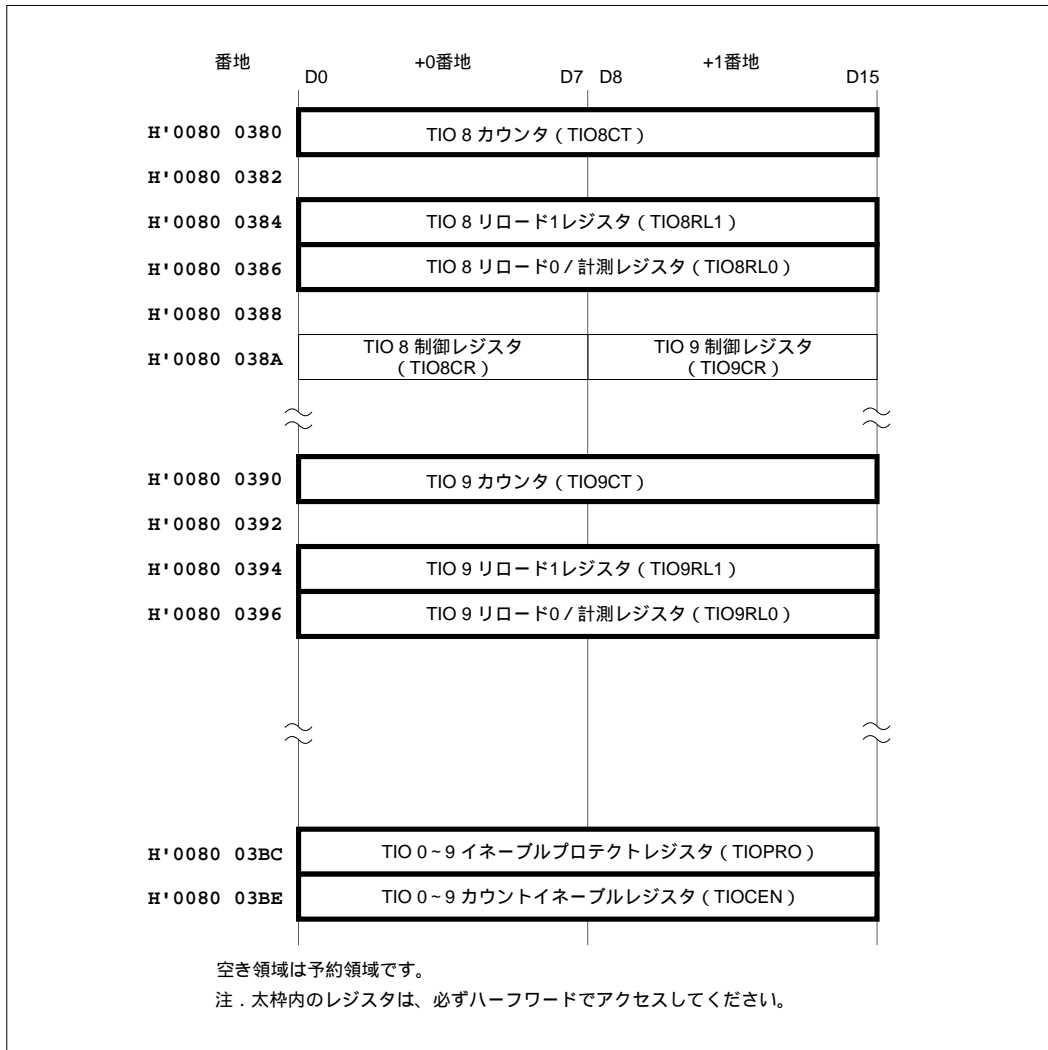


図10.4.4 TIO関連レジスタマップ(3/3)

10.4.4 TIO制御レジスタ

TIO制御レジスタは、TIO0～9の動作モード(計測入力、ノイズ処理入力、PWM出力、ワンショット出力、ディレイドワンショット出力、連続出力モード)の選択、カウンタインープルの入力選択、およびカウンタクロックの入力選択を行います。

TOP制御レジスタには、タイマのグループごとに次の8つのレジスタがあります。

TIO0～3制御レジスタ0(TIO03CR0)

TIO0～3制御レジスタ1(TIO03CR1)

TIO4制御レジスタ(TIO4CR)

TIO5制御レジスタ(TIO5CR)

TIO6制御レジスタ(TIO6CR)

TIO7制御レジスタ(TIO7CR)

TIO8制御レジスタ(TIO8CR)

TIO9制御レジスタ(TIO9CR)

TIO0 ~ 3制御レジスタ(TIO03CR0)

< アドレス : H'0080 031A >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TIO3 EEN	TIO3M			TIO2 ENS	TIO2M			TIO1 ENS	TIO1M			TIO0 ENS	TIO0M		

< リセット時 : H'0000 >

D	ビット名	機能	R	W
0	TIO3EEN(TIO3外部入力許可) (注1)	0 : 外部入力禁止 1 : 外部入力許可		
1~3	TIO3M (TIO3動作モード選択)	000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		
4	TIO2ENS(TIO2イネーブル / 計測入力ソース選択)	0 : 非選択 1 : 外部入力TIN5		
5~7	TIO2M (TIO2動作モード選択)	000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		
8	TIO1ENS(TIO1イネーブル / 計測入力ソース選択)	0 : 非選択 1 : 外部入力TIN4		

(次ページへつづく)

- 注1. 計測(フリーラン/クリア)入力モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。
ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。
- 注2. このレジスタは、必ずハーフワードでアクセスしてください。
- 注3. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

(つづき)

D	ビット名	機能	R	W
9~11	TIO1M (TIO1動作モード選択)	000: ワンショット出力モード 001: デイレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 11X: ノイズ処理入力モード		
12	TIO0ENS(TIO0イネーブル/ 計測入力ソース選択)	0: 非選択 1: 外部入力TIN3		
13~15	TIO0M (TIO0動作モード選択)	000: ワンショット出力モード 001: デイレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 11X: ノイズ処理入力モード		

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

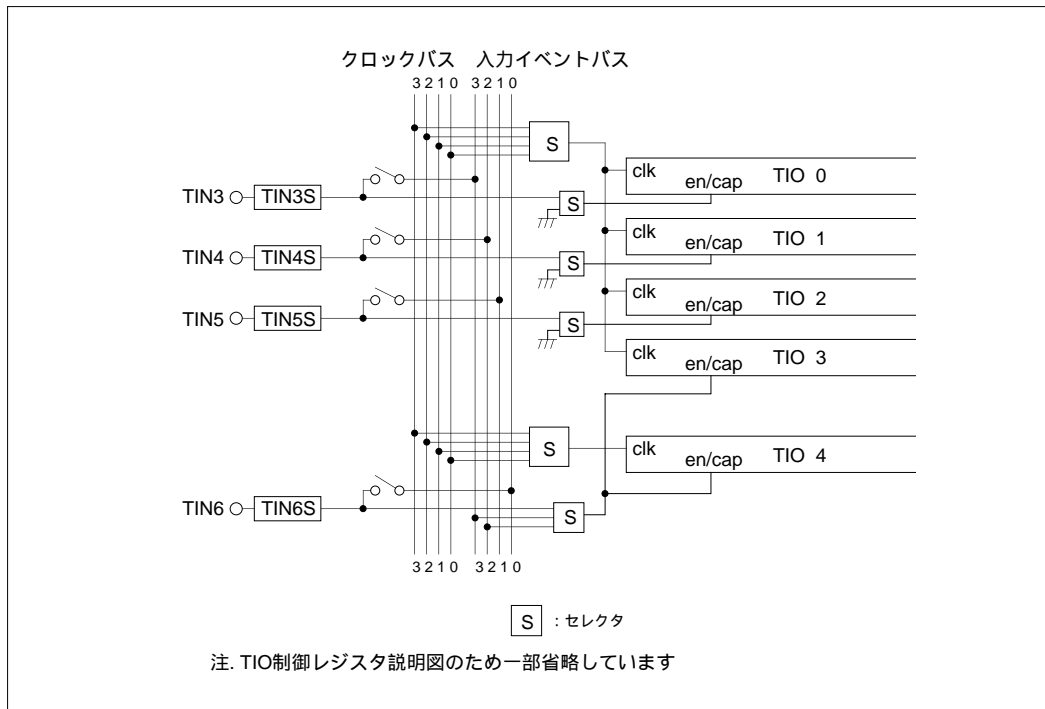
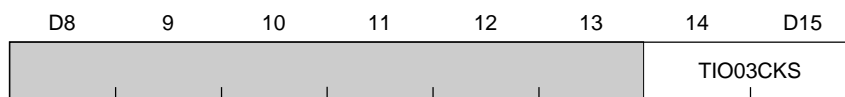


図10.4.5 TIO0~4のクロック/イネーブル入力概略図

TIO0~3制御レジスタ1(TIO03CR1)

<アドレス : H'0080 031D >



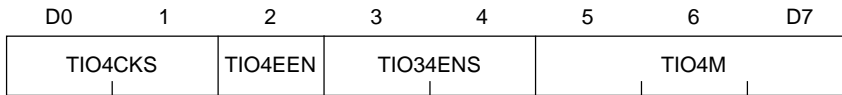
<リセット時 : H'00 >

D	ビット名	機能	R	W
8~13	何も配置されていません		0	-
14,15	TIO03CKS	00 : クロックバス0 (TIO0~3クロックソース選択) 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		

W = - : 書き込み無効

TIO4制御レジスタ(TIO4CR)

<アドレス : H'0080 034A >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	TIO4CKS (TIO4クロックソース選択)	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		
2	TIO4EEN (注1) (TIO4外部入力許可)	0 : 外部入力禁止 1 : 外部入力許可		
3,4	TIO34ENS (TIO3,4イネーブル/ 計測入力ソース選択)	0X : 外部入力TIN6 10 : 入カイベントバス2 11 : 入カイベントバス3		
5~7	TIO4M (TIO4動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注1. 計測(フリーラン/クリア)入力モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

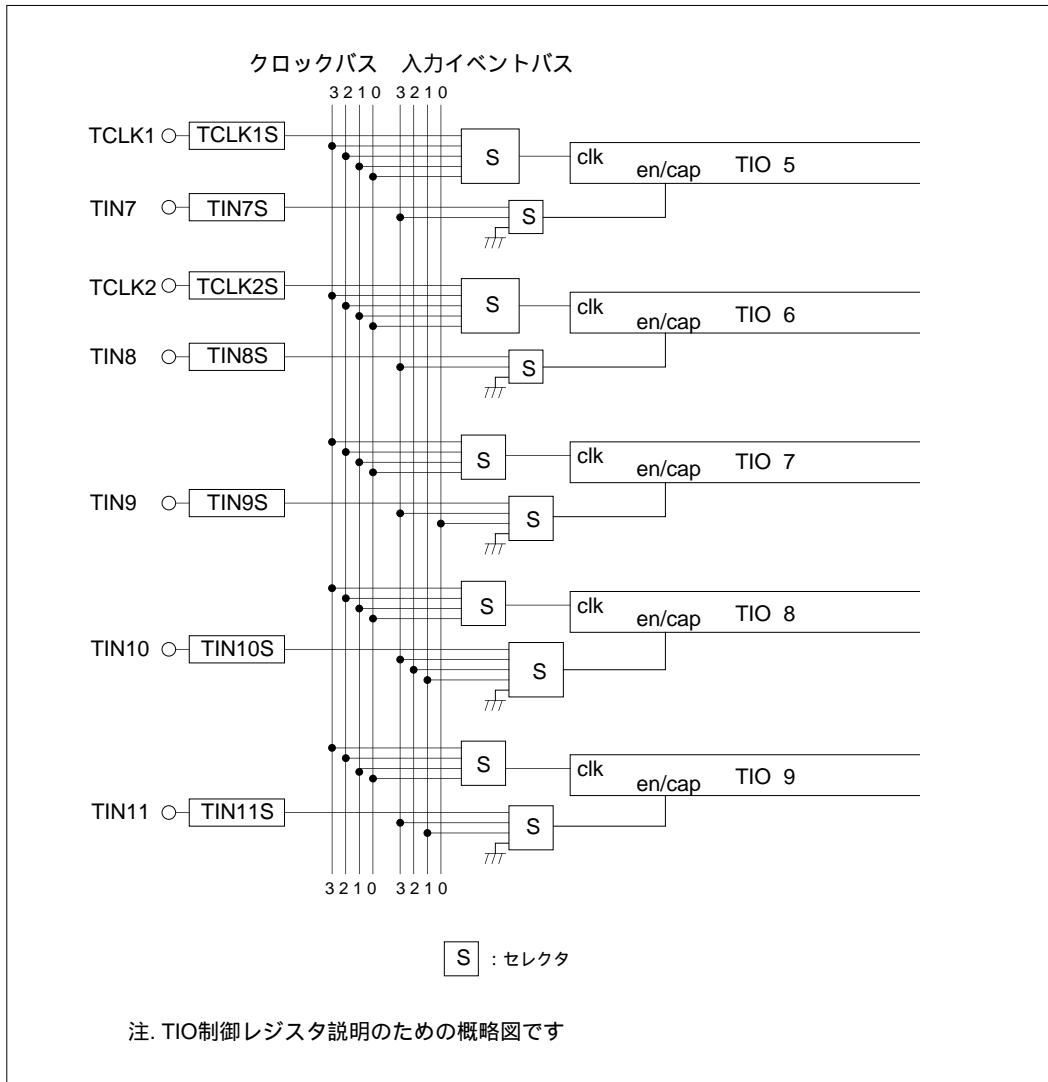
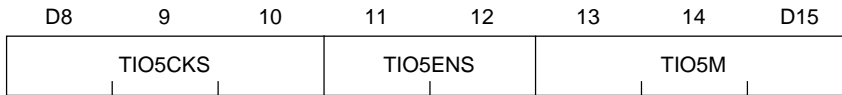


図10.4.6 TIO5~9のクロック/イネーブル入力概略図

TIO5制御レジスタ(TIO5CR)

<アドレス : H'0080 034B >



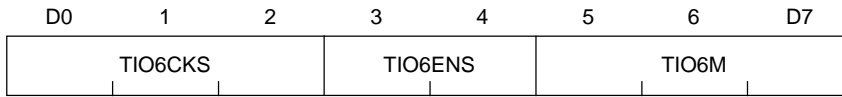
<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	TIO5CKS (TIO5クロックソース選択)	0XX : 外部入力TCLK1 100 : クロックバス0 101 : クロックバス1 110 : クロックバス2 111 : クロックバス3		
11,12	TIO5ENS (TIO5イネーブル/ 計測入力ソース選択)	0X : 非選択 10 : 外部入力TIN7 11 : 入力イベントバス3		
13~15	TIO5M (TIO5動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO6制御レジスタ(TIO6CR)

<アドレス : H'0080 036A >



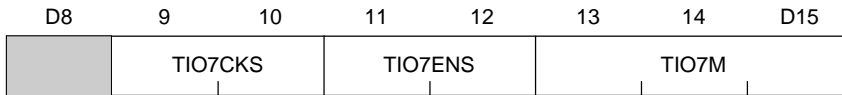
<リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	TIO6CKS (TIO6クロックソース選択)	0XX : 外部入力TCLK2 100 : クロックバス0 101 : クロックバス1 110 : クロックバス2 111 : クロックバス3		
3,4	TIO6ENS (TIO6イネーブル/ 計測入力ソース選択)	00 : 非選択 01 : 外部入力TIN8 10 : 入力イベントバス2 11 : 入力イベントバス3		
5~7	TIO6M (TIO6動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO7制御レジスタ(TIO7CR)

<アドレス : H'0080 036B >



<リセット時 : H'00 >

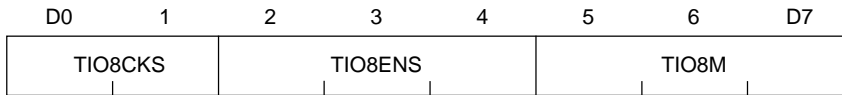
D	ビット名	機能	R	W
8	何も配置されていません		0	-
9,10	TIO7CKS (TIO7クロックソース選択)	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		
11,12	TIO7ENS (TIO7イネーブル/ 計測入力ソース選択)	00 : 非選択 01 : 外部入力TIN9 10 : 入力イベントバス0 11 : 入力イベントバス3		
13~15	TIO7M (TIO7動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

W = - : 書き込み無効

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO8制御レジスタ(TIO8CR)

<アドレス : H'0080 038A >



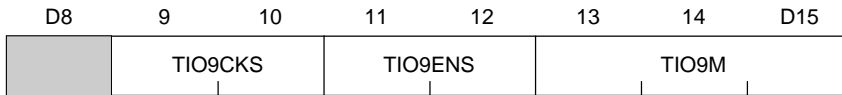
<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	TIO8CKS (TIO8クロックソース選択)	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		
2~4	TIO8ENS (TIO8イネーブル/ 計測入力ソース選択)	0XX : 非選択 100 : 外部入力TIN10 101 : 入力イベントバス1 110 : 入力イベントバス2 111 : 入力イベントバス3		
5~7	TIO8M (TIO8動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO9制御レジスタ(TIO9CR)

<アドレス : H'0080 038B >



<リセット時 : H'00 >

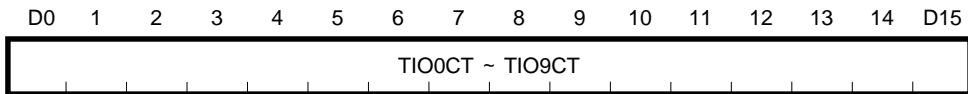
D	ビット名	機能	R	W
8	何も配置されていません		0	-
9,10	TIO9CKS (TIO9クロックソース選択)	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3		
11,12	TIO9ENS (TIO9イネーブル/ 計測入力ソース選択)	00 : 非選択 01 : 外部入力TIN11 10 : 入力イベントバス1 11 : 入力イベントバス3		
13~15	TIO9M (TIO9動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

W = - : 書き込み無効

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

10.4.5 TIOカウンタ(TIO0CT ~ TIO9CT)

TIO0カウンタ(TIO0CT)	<アドレス : H'0080 0300 >
TIO1カウンタ(TIO1CT)	<アドレス : H'0080 0310 >
TIO2カウンタ(TIO2CT)	<アドレス : H'0080 0320 >
TIO3カウンタ(TIO3CT)	<アドレス : H'0080 0330 >
TIO4カウンタ(TIO4CT)	<アドレス : H'0080 0340 >
TIO5カウンタ(TIO5CT)	<アドレス : H'0080 0350 >
TIO6カウンタ(TIO6CT)	<アドレス : H'0080 0360 >
TIO7カウンタ(TIO7CT)	<アドレス : H'0080 0370 >
TIO8カウンタ(TIO8CT)	<アドレス : H'0080 0380 >
TIO9カウンタ(TIO9CT)	<アドレス : H'0080 0390 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	TIO0CT ~ TIO9CT	16ビットカウンタ値		

W = : PWM出力モード時は書き込み不可

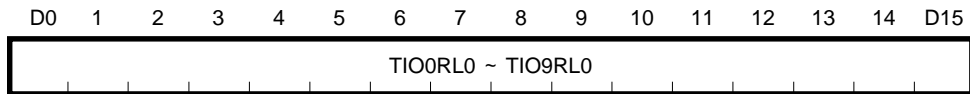
注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モードでは書き込み不可になります。

10.4.6 TIOリロード0 / 計測レジスタ(TIO0RL0 ~ TIO9RL0)

TIO0リロード0 / 計測レジスタ(TIO0RL0)	<アドレス : H'0080 0306 >
TIO1リロード0 / 計測レジスタ(TIO1RL0)	<アドレス : H'0080 0316 >
TIO2リロード0 / 計測レジスタ(TIO2RL0)	<アドレス : H'0080 0326 >
TIO3リロード0 / 計測レジスタ(TIO3RL0)	<アドレス : H'0080 0336 >
TIO4リロード0 / 計測レジスタ(TIO4RL0)	<アドレス : H'0080 0346 >
TIO5リロード0 / 計測レジスタ(TIO5RL0)	<アドレス : H'0080 0356 >
TIO6リロード0 / 計測レジスタ(TIO6RL0)	<アドレス : H'0080 0366 >
TIO7リロード0 / 計測レジスタ(TIO7RL0)	<アドレス : H'0080 0376 >
TIO8リロード0 / 計測レジスタ(TIO8RL0)	<アドレス : H'0080 0386 >
TIO9リロード0 / 計測レジスタ(TIO9RL0)	<アドレス : H'0080 0396 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	TIO0RL0 ~ TIO9RL0	16ビットリロードレジスタ値		

W = : 計測入力モード時は書き込み不可

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード0 / 計測レジスタは、TIOカウンタレジスタ(TIO0CT ~ TIO9CT)へデータをリロードするためのレジスタと、計測入力モードでの計測レジスタを兼ねています。このレジスタは、計測入力モード時には書き込み不可となります。

リロード0レジスタの内容がカウンタにロードされるのは、以下の場合です。

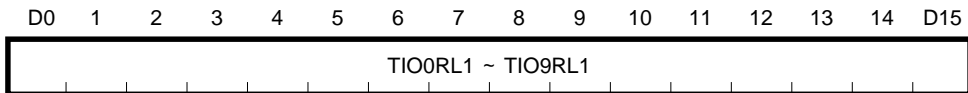
- ノイズ処理入力モードでカウントを開始した後、カウンタアンダーフロー前に、入力信号が反転し、再度有効レベルの入力があった時
- ワンショットモードでカウンタがイネーブルになった時
- ディレイドワンショットまたは連続モードでカウンタがアンダーフローした時
- PWMモードでイネーブルになった時と、リロード1レジスタでセットしたカウンタ値がアンダーフローした時

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

一方計測レジスタとして使用する場合は、イベント入力により、カウンタの値をこの計測レジスタに取り込みます。

10.4.7 TIOリロード1レジスタ(TIO0RL1~TIO9RL1)

TIO0リロード1レジスタ(TIO0RL1)	<アドレス : H'0080 0304 >
TIO1リロード1レジスタ(TIO1RL1)	<アドレス : H'0080 0314 >
TIO2リロード1レジスタ(TIO2RL1)	<アドレス : H'0080 0324 >
TIO3リロード1レジスタ(TIO3RL1)	<アドレス : H'0080 0334 >
TIO4リロード1レジスタ(TIO4RL1)	<アドレス : H'0080 0344 >
TIO5リロード1レジスタ(TIO5RL1)	<アドレス : H'0080 0354 >
TIO6リロード1レジスタ(TIO6RL1)	<アドレス : H'0080 0364 >
TIO7リロード1レジスタ(TIO7RL1)	<アドレス : H'0080 0374 >
TIO8リロード1レジスタ(TIO8RL1)	<アドレス : H'0080 0384 >
TIO9リロード1レジスタ(TIO9RL1)	<アドレス : H'0080 0394 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	TIO0RL1 ~ TIO9RL1	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード1レジスタは、TIOカウンタレジスタ(TIO0CT~TIO9CT)へデータをリロードするためのレジスタです。

リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

PWM出力モードでリロード0レジスタでセットしたカウント値がアンダーフローした時

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.4.8 TIOイネーブル制御レジスタ

TIO0～9イネーブルプロテクトレジスタ(TIOPRO)

<アドレス : H'0080 03BC >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
						TIO9 PRO	TIO8 PRO	TIO7 PRO	TIO6 PRO	TIO5 PRO	TIO4 PRO	TIO3 PRO	TIO2 PRO	TIO1 PRO	TIO0 PRO

<リセット時 : H'0000 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	TIO9PRQ (TIO9イネーブルプロテクト)	0 : 書き換え許可		
7	TIO8PRQ (TIO8イネーブルプロテクト)	1 : 書き換え禁止		
8	TIO7PRQ (TIO7イネーブルプロテクト)			
9	TIO6PRQ (TIO6イネーブルプロテクト)			
10	TIO5PRQ (TIO5イネーブルプロテクト)			
11	TIO4PRQ (TIO4イネーブルプロテクト)			
12	TIO3PRQ (TIO3イネーブルプロテクト)			
13	TIO2PRQ (TIO2イネーブルプロテクト)			
14	TIO1PRQ (TIO1イネーブルプロテクト)			
15	TIO0PRQ (TIO0イネーブルプロテクト)			

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIO0～9イネーブルプロテクトレジスタは、次に示すTIOカウンタイネーブルビットの書き換えの禁止 / 許可を制御するレジスタです。

TIO0~9カウントイネーブルレジスタ(TIOCEN)

<アドレス: H'0080 03BE >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
						TIO9 CEN	TIO8 CEN	TIO7 CEN	TIO6 CEN	TIO5 CEN	TIO4 CEN	TIO3 CEN	TIO2 CEN	TIO1 CEN	TIO0 CEN

<リセット時: H'0000 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	TIO9CEN(TIO9カウントイネーブル)	0: カウント停止		
7	TIO8CEN(TIO8カウントイネーブル)	1: カウント許可		
8	TIO7CEN(TIO7カウントイネーブル)			
9	TIO6CEN(TIO6カウントイネーブル)			
10	TIO5CEN(TIO5カウントイネーブル)			
11	TIO4CEN(TIO4カウントイネーブル)			
12	TIO3CEN(TIO3カウントイネーブル)			
13	TIO2CEN(TIO2カウントイネーブル)			
14	TIO1CEN(TIO1カウントイネーブル)			
15	TIO0CEN(TIO0カウントイネーブル)			

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIO0~9カウントイネーブルレジスタは、TIOカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTIO0~9イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TIO0~9プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続モード以外ではアンダーフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTIO0~9カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

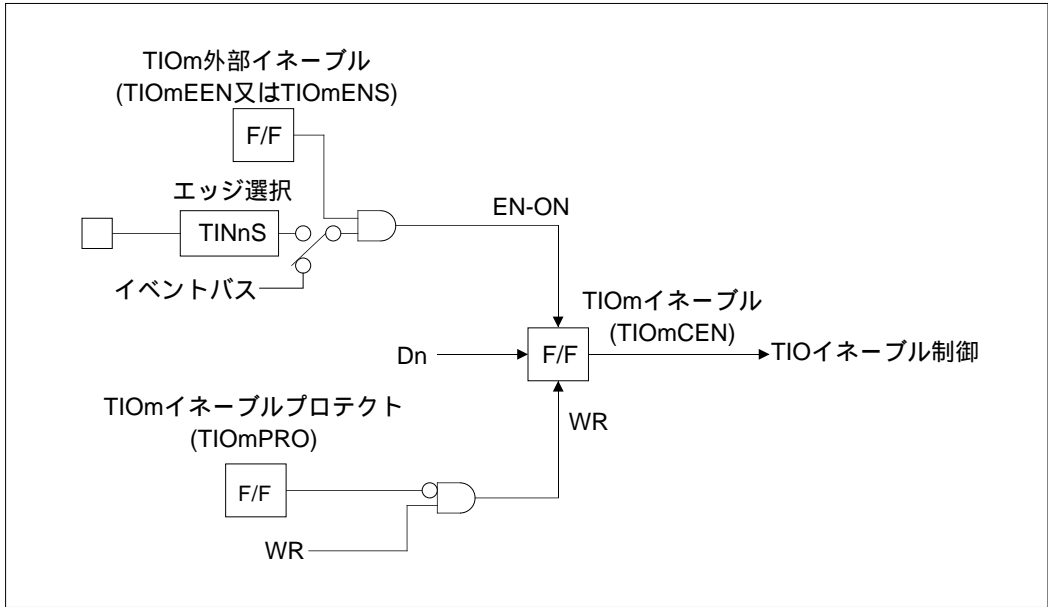


図10.4.7 TIOイネーブル回路構成図

10.4.9 TIO計測(フリーラン/クリア)入力モードの動作

(1) TIO 計測(フリーラン/クリア)入力モード概要

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。カウンタのアンダーフローまたは計測動作の実行で割り込みを発生することができます。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。

計測フリーラン入力モードでは、キャプチャ後もカウンタはそのままダウンカウントを続け、アンダーフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

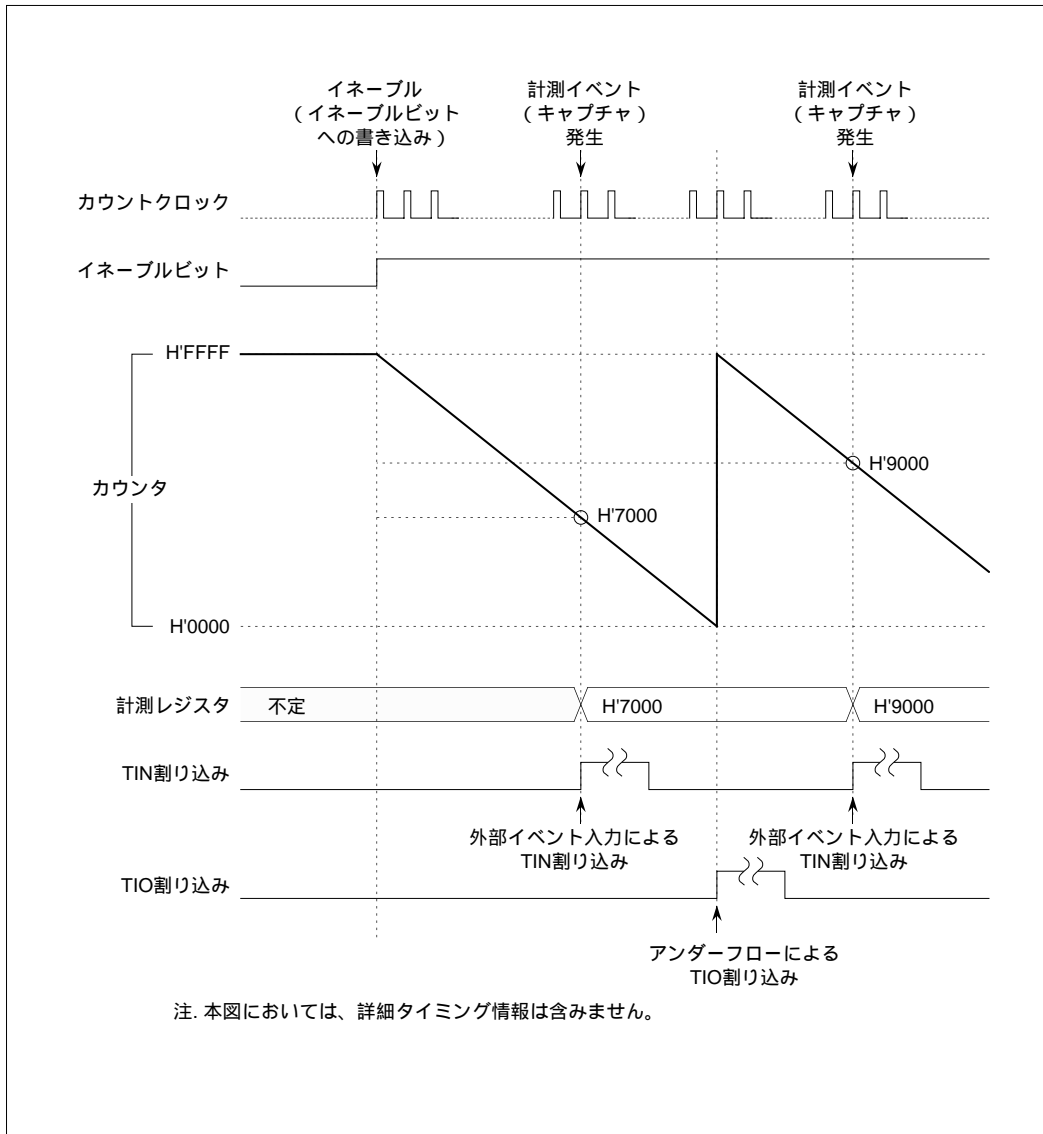


図10.4.8 計測フリーラン入力モードの動作例

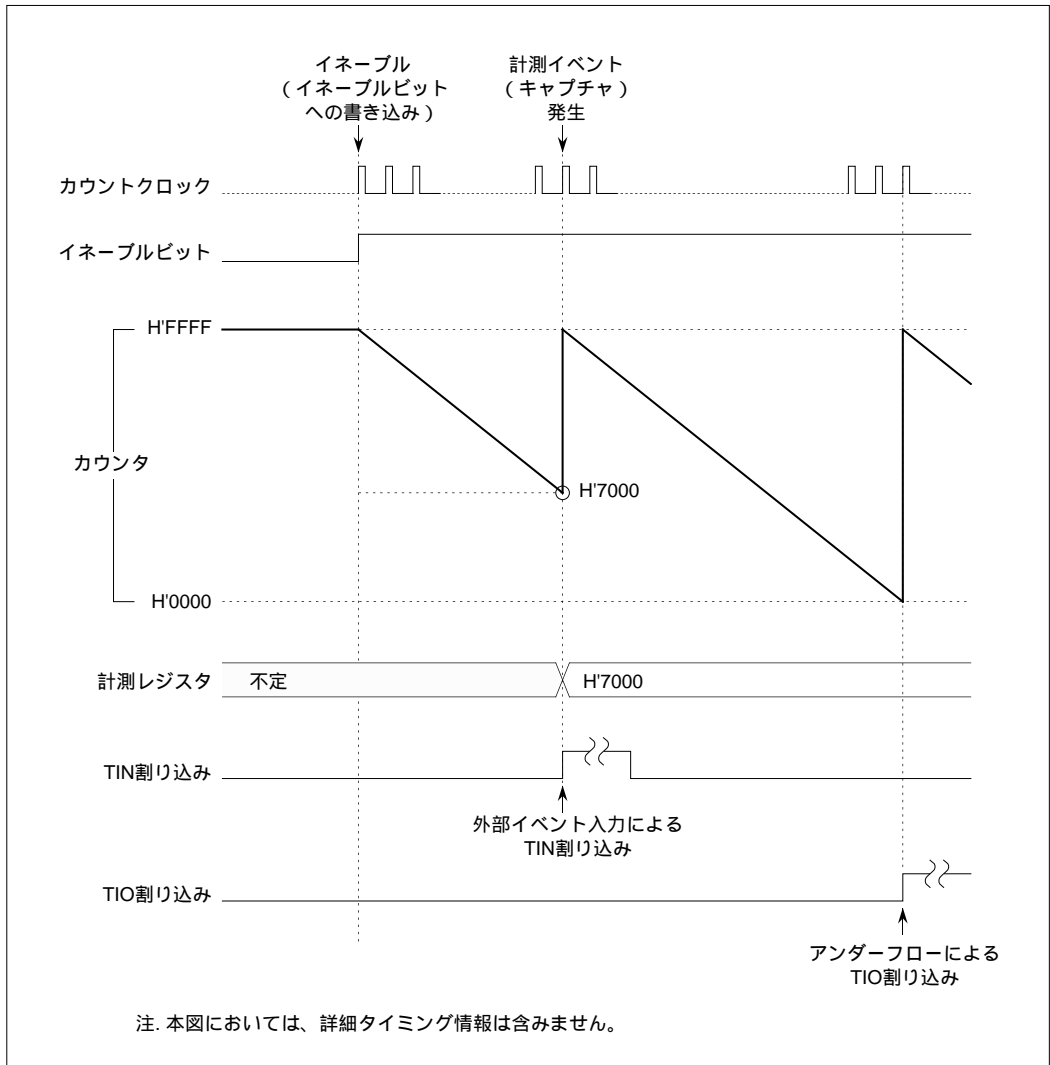


図10.4.9 計測クリア入力モードの動作例

(2) TIO 計測 (フリーラン/クリア) 入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.4.10 TIOノイズ処理入力モードの動作

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダーフローするまで一定時間以上同じ状態であれば、割り込みを発生して停止します。有効なレベルの信号が入力されても、カウンタアンダーフロー前に無効になった場合はいったんカウントを停止し、再度有効なレベルが入力されたら初期値をカウンタにリロードしてカウント動作を再開します。有効カウント幅はリロード0レジスタの設定値+1です。

タイマの停止は、カウンタアンダーフロー時、またはイネーブルビットへのカウント停止書き込みと同時にされます。

なお、カウンタのアンダーフローで割り込みを発生することができます。

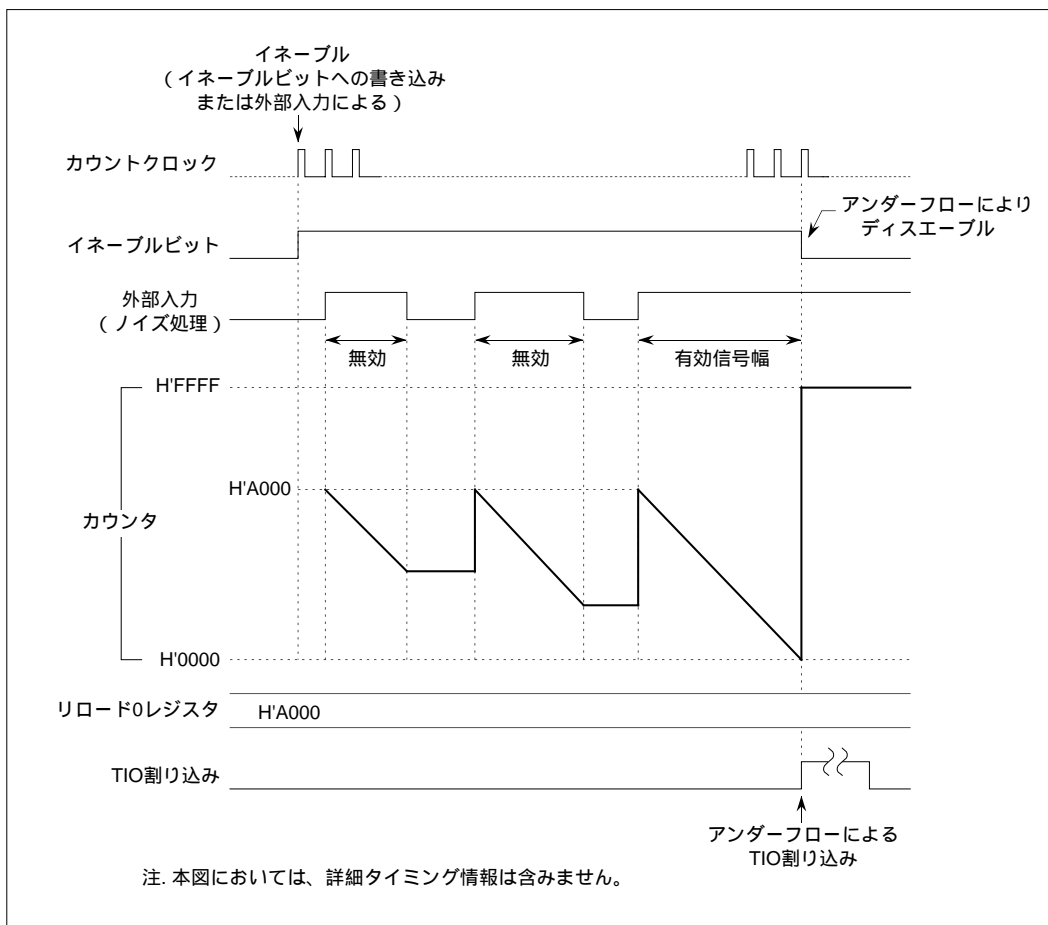


図10.4.10 ノイズ処理入力モードの動作例

10.4.11 TIO PWM出力モード動作

(1) TIO PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダーフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダーフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われ(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダーフローで割り込みを発生することができます。

なお、TIOのPWM出力モードには補正機能はありません。

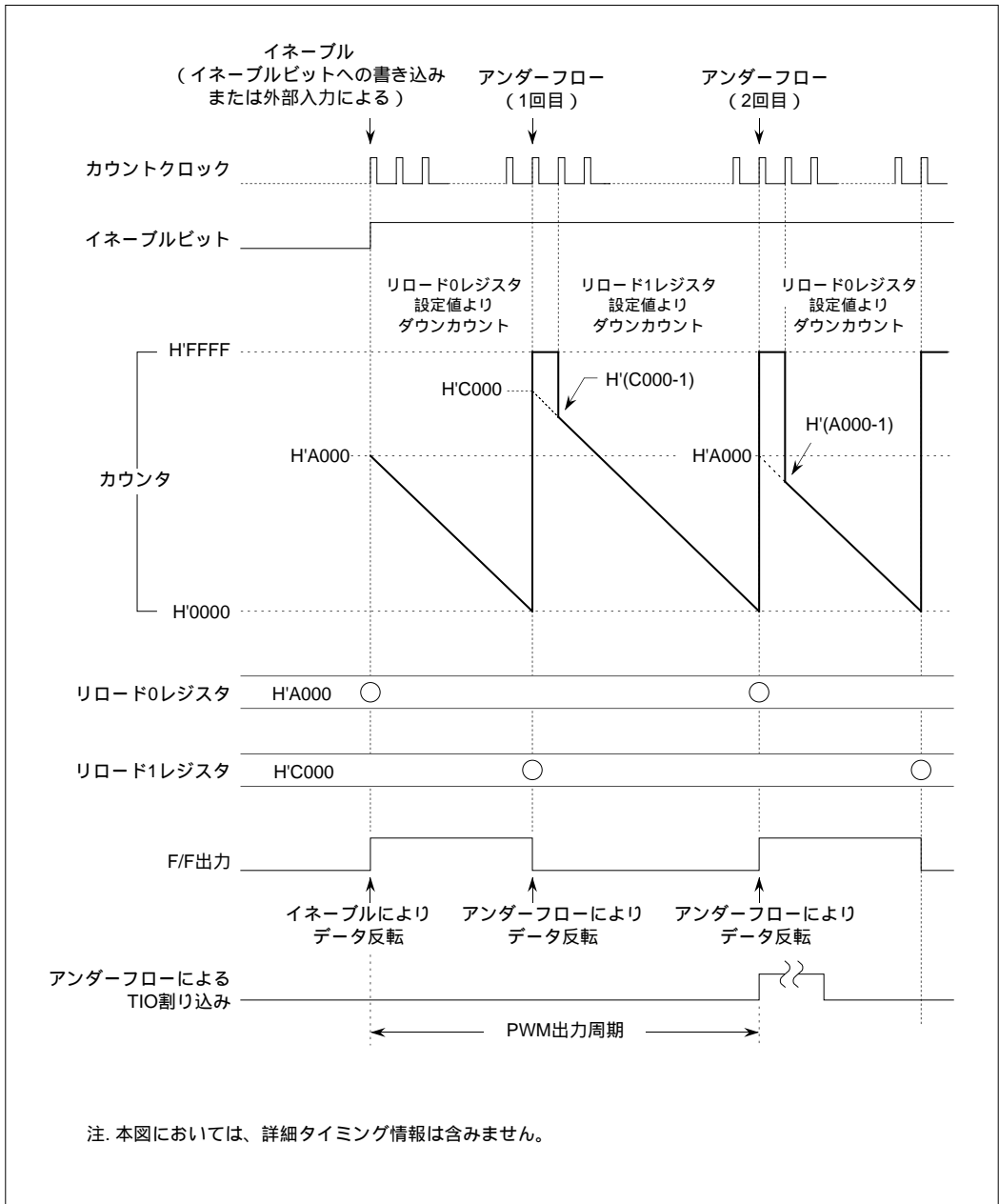


図10.4.11 PWM出力モードの動作例

(2)TIO PWMモードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0,1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新によって行われます。ただし、リロード0,1レジスタをリードすると、常に書き込んだデータが読み出されます。

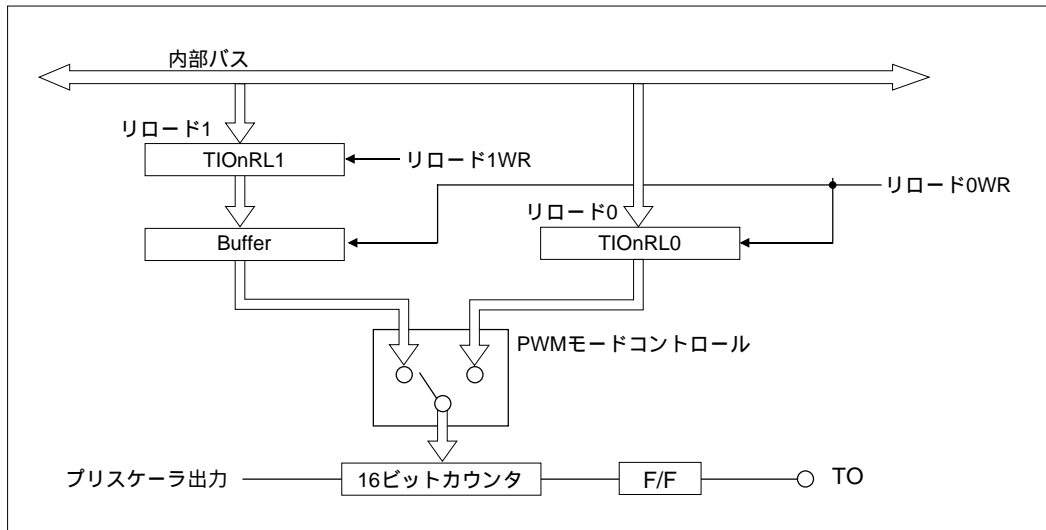


図10.4.12 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0,1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、リロード0レジスタのみ更新されます。また、リロード0,1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

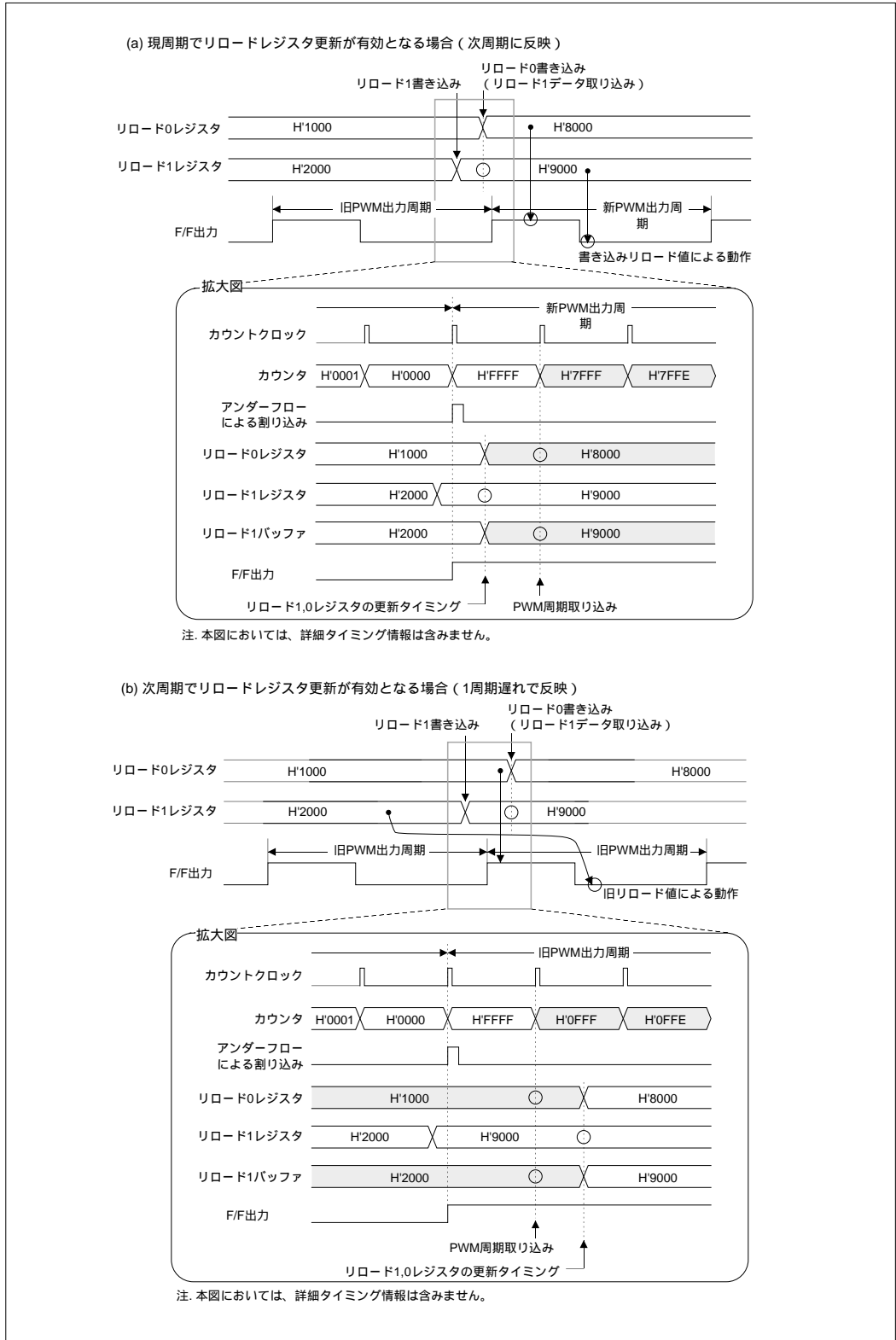


図10.4.13 PWM出力モードにおけるリロード0,1レジスタの更新

10.4.12 TIOワンショット出力モード(補正機能なし)の動作

(1) TIO ワンショット出力モード概要

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転し(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダーフロー時には、割り込みを発生することができます。

カウント値はリロード0レジスタの設定値+1です(カウント動作については10.3.9「TOPワンショット出力モード」も参照してください)。

(2) TIO ワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

アンダーフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダーフローによるカウンタ停止が優先されます。

アンダーフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

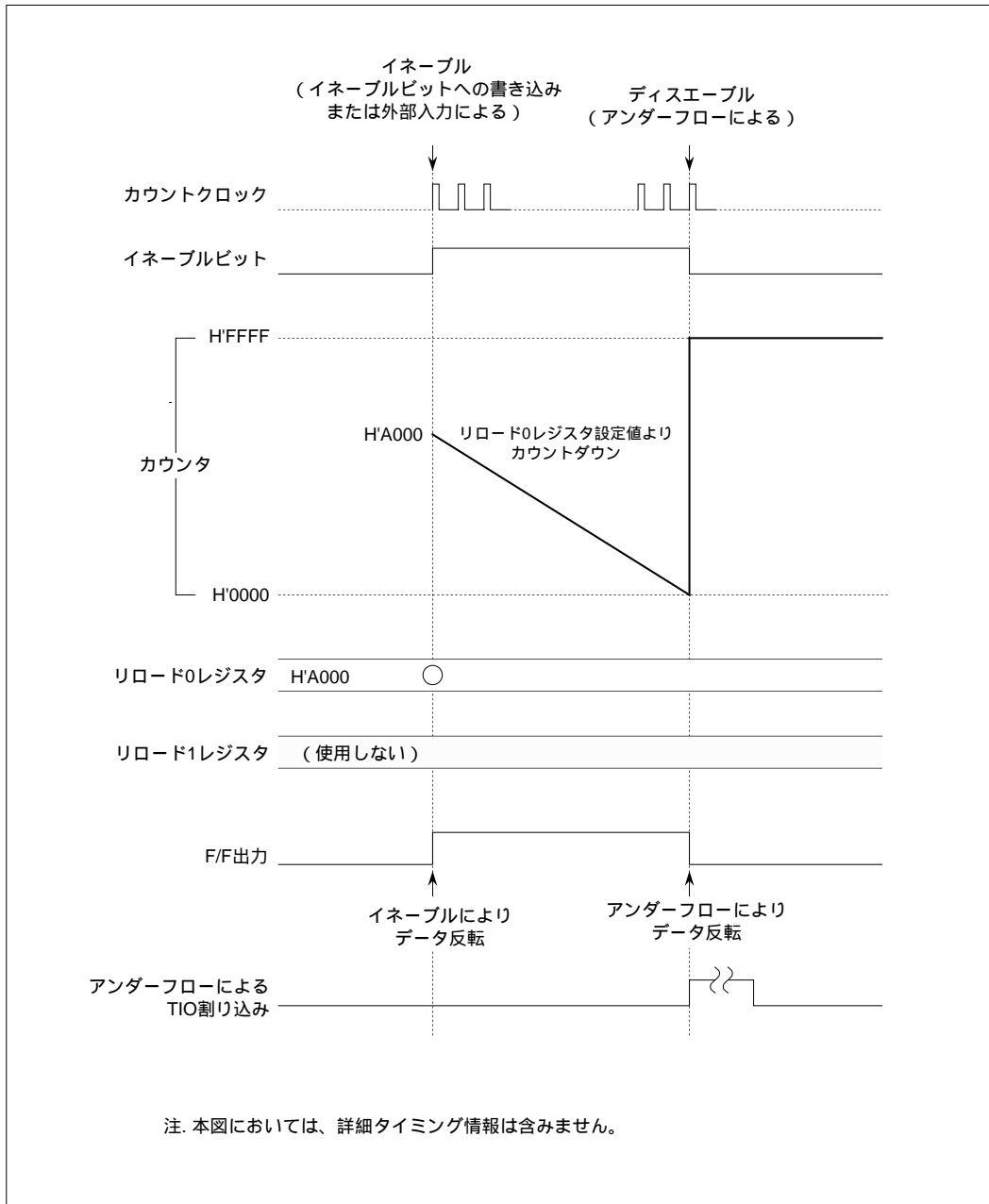


図10.4.14 TIOワンショット出力モード(補正機能なし)の動作例

10.4.13 TIOディレイドワンショット出力モード(補正機能なし)の動作

(1) TIOディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダーフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダーフロー時に、それぞれ割り込みを発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については10.3.10「TOPディレイドワンショット出力モード」も参照してください)。

(2) TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

アンダーフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダーフローによるカウンタ停止が優先されます。

アンダーフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダーフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

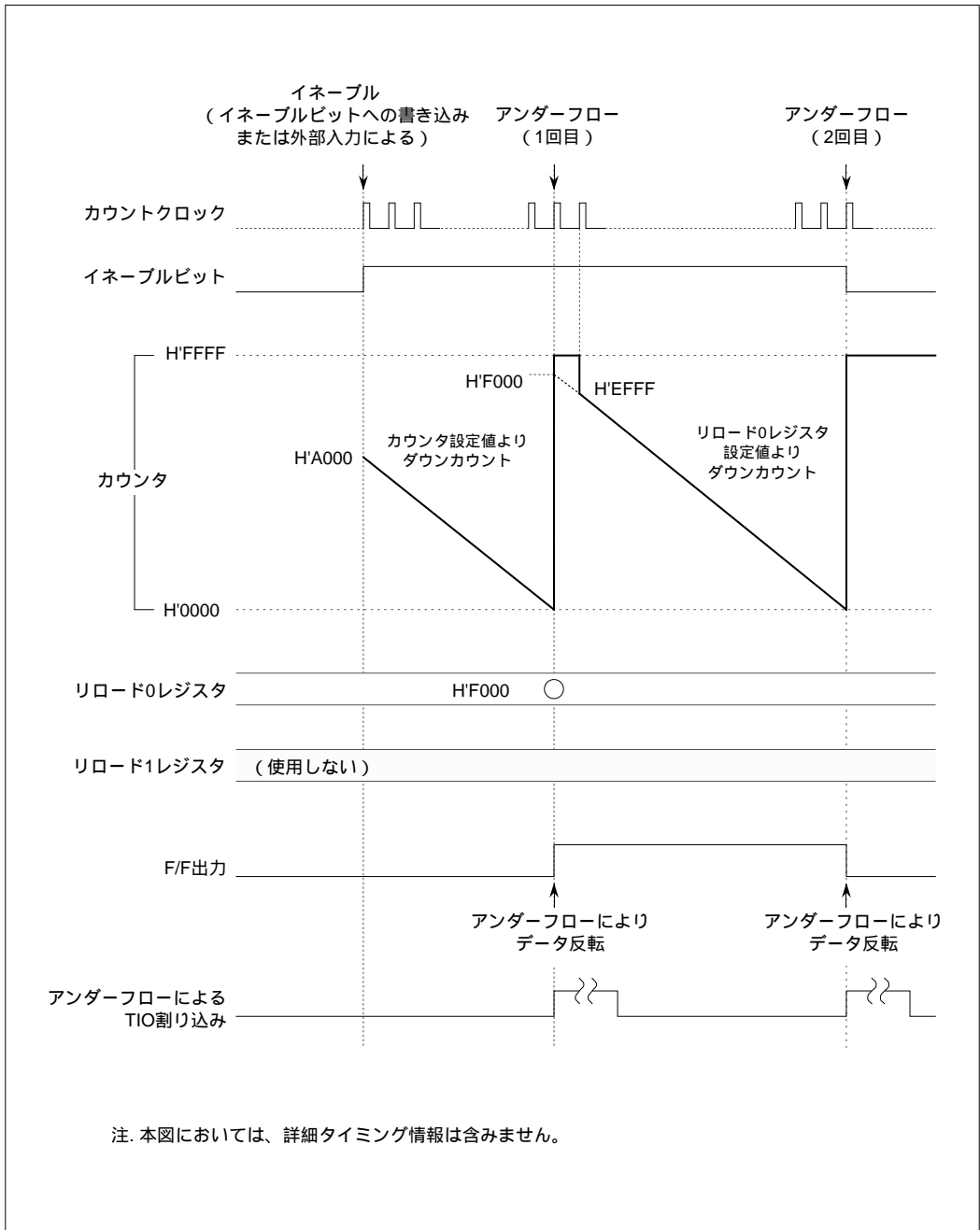


図10.4.15 TIOディレイドワンショット出力モード(補正機能なし)の動作例

10.4.14 TIO連続出力モード(補正機能なし)の動作

(1) TIO 連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダーフローでリロード0レジスタの値をロードします。以後カウンタのアンダーフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1で反転する連続的なパルスが発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダーフローが発生します。

このアンダーフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダーフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダーフローごとに、割り込みが発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については10.3.11「TOP連続出力モード」も参照してください)。

(2) TIO 連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダーフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ)出力に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

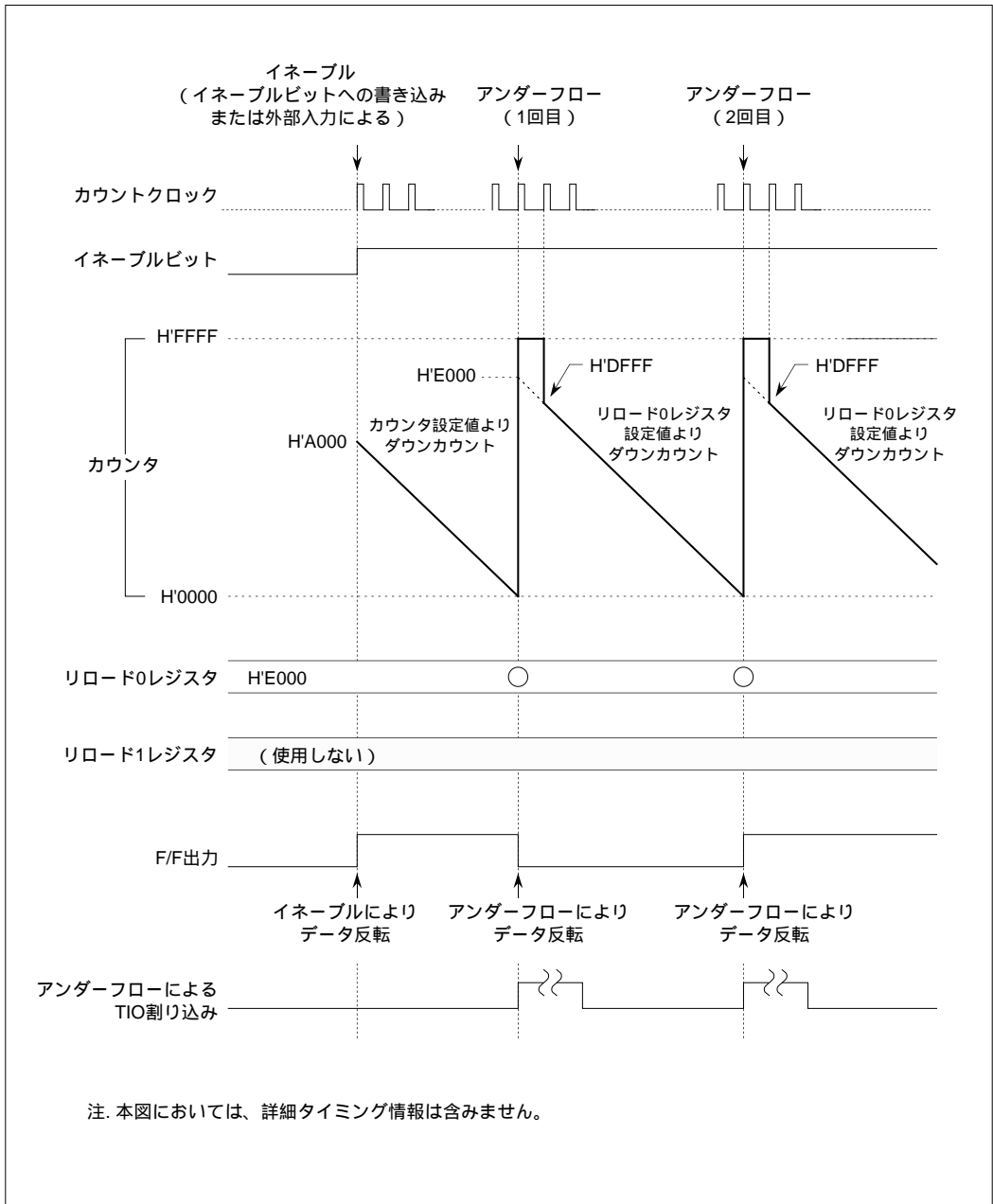


図10.4.16 TIO連続出力モード(補正機能なし)の動作例

10.5 TMS(入力系16ビットタイマ)

10.5.1 TMS概要

TMS(Timer Measure Small)は入力系16ビットタイマで、2系統、計8チャンネルの入カパルス計測が可能です。

以下にTMSの仕様を、また次ページにTMSのブロック図を示します。

表10.5.1 TMS(入力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	8チャンネル(2系統 各4チャンネル、計8チャンネル)
カウンタ	16ビットアップカウンタ(2本)
計測レジスタ	16ビット計測レジスタ(8本)
タイマの起動	イネーブルビットへのソフトウェア書き込み
割り込み発生	カウンタのオーバーフローで発生可能

10.5.2 TMSの動作概要

TMSは、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウンタの動作を開始します。カウンタは16ビットのアップカウンタで、外部入力による計測信号の発生で、カウンタ値を各計測レジスタに取り込みます。

カウントの停止は、ソフトウェアによるイネーブルビットへのカウント禁止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込みを、またカウンタのオーバーフロー発生でTMS割り込みを発生することができます。

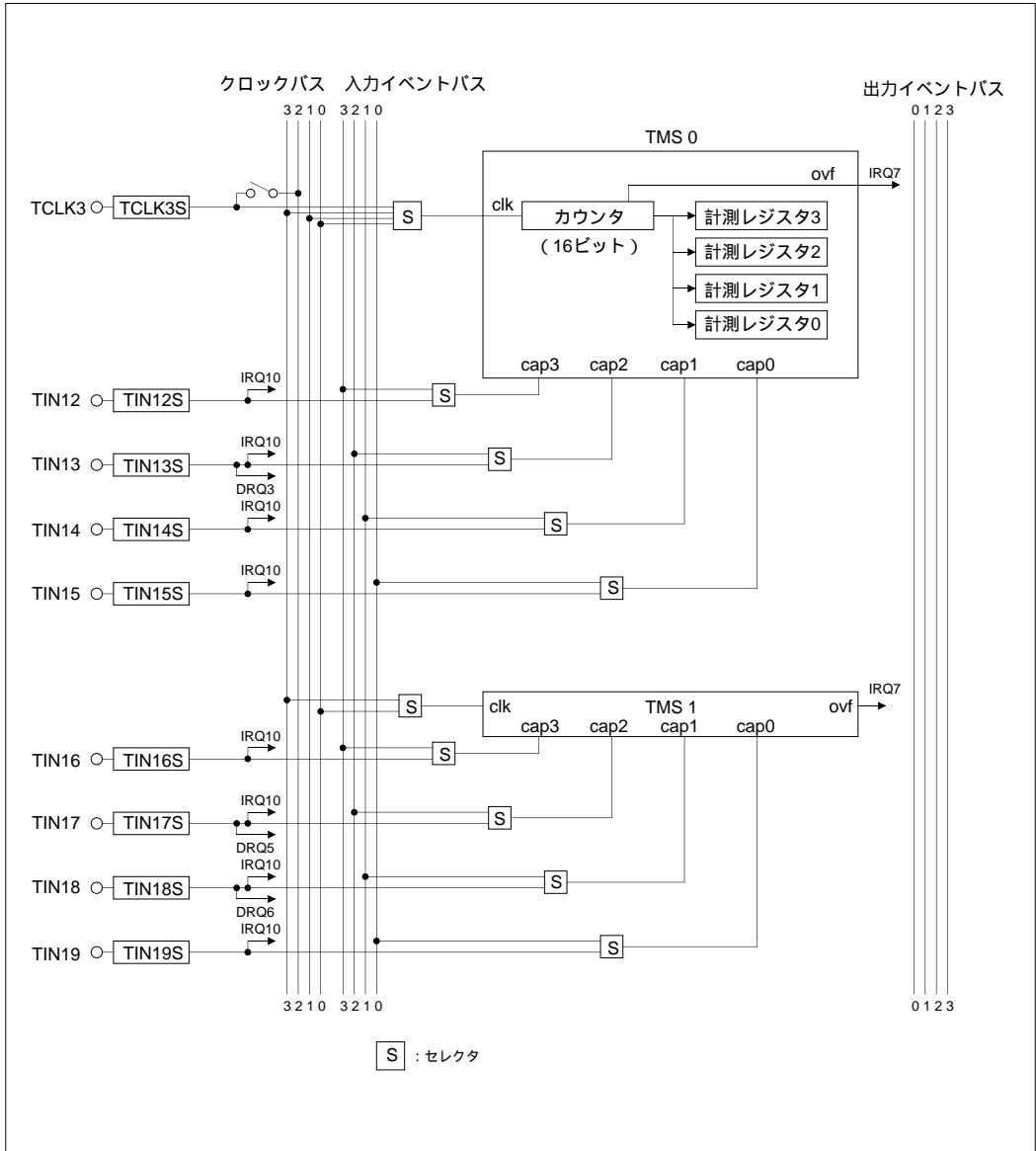


図10.5.1 TMS(入力系16ビットタイマ)ブロック図

10.5.3 TMS関連レジスタマップ

以下にTMS関連のレジスタマッピングを示します。



図10.5.2 TMS関連レジスタマップ

10.5.4 TMS制御レジスタ

TMS制御レジスタは、TMS0,1の入カイベント選択、カウンタクロックの入力選択およびカウンタ起動の制御を行います。

TMS制御レジスタには、次の2つのレジスタがあります。

TMS0制御レジスタ(TMS0CR)

TMS1制御レジスタ(TMS1CR)

TMS0制御レジスタ(TMS0CR)

<アドレス : H'0080 03CA >

D0	1	2	3	4	5	6	D7
TMS0SS0	TMS0SS1	TMS0SS2	TMS0SS3	TMS0CKS			TMS0CEN

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	TMS0SS0 (TMS0計測0ソース選択)	0 : 外部入力TIN15 1 : 入力イベントバス0		
1	TMS0SS1 (TMS0計測1ソース選択)	0 : 外部入力TIN14 1 : 入力イベントバス1		
2	TMS0SS2 (TMS0計測2ソース選択)	0 : 外部入力TIN13 1 : 入力イベントバス2		
3	TMS0SS3 (TMS0計測3ソース選択)	0 : 外部入力TIN12 1 : 入力イベントバス3		
4,5	TMS0CKS (TMS0クロックソース選択)	00 : 外部入力CLK3 01 : クロックバス0 10 : クロックバス1 11 : クロックバス3		
6	何も配置されていません		0	-
7	TMS0CEN (TMS0カウントイネーブル)	0 : カウント停止 1 : カウント開始		

W = - : 書き込み無効

TMS1制御レジスタ(TMS1CR)

<アドレス : H'0080 03CB >

D8	9	10	11	12	13	14	D15
TMS1 SS0	TMS1 SS1	TMS1 SS2	TMS1 SS3		TMS1CKS		TMS1CEN

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TMS1SS0 (TMS1計測0ソース選択)	0 : 外部入力TIN19 1 : 入力イベントバス0		
9	TMS1SS1 (TMS1計測1ソース選択)	0 : 外部入力TIN18 1 : 入力イベントバス1		
10	TMS1SS2 (TMS1計測2ソース選択)	0 : 外部入力TIN17 1 : 入力イベントバス2		
11	TMS1SS3 (TMS1計測3ソース選択)	0 : 外部入力TIN16 1 : 入力イベントバス3		
12	何も配置されていません		0	-
13	TMS1CKS (TMS1クロックソース選択)	0 : クロックバス0 1 : クロックバス3		
14	何も配置されていません		0	-
15	TMS1CEN (TMS1カウントイネーブル)	0 : カウント停止 1 : カウント開始		

W = - : 書き込み無効

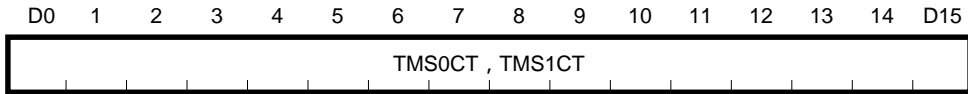
10.5.5 TMSカウンタ(TMS0CT, TMS1CT)

TMS0カウンタ(TMS0CT)

<アドレス : H'0080 03C0 >

TMS1カウンタ(TMS1CT)

<アドレス : H'0080 03D0 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TMS0CT, TMS1CT	16ビットカウンタ値		

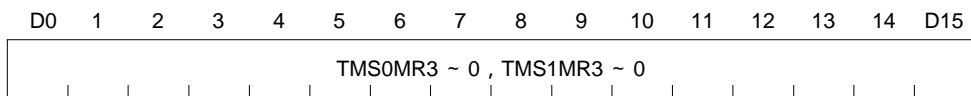
注. このレジスタは、必ずハーフワードでアクセスしてください。

TMSカウンタは16ビットのアップカウンタで、タイマの起動(イネーブルビットへのソフトウェア書き込み)によりカウント動作を開始します。

カウンタは動作中の読み出しが可能です。

10.5.6 TMS計測レジスタ(TMS0MR3~0, TMS1MR3~0)

TMS0計測3レジスタ(TMS0MR3)	<アドレス : H'0080 03C2 >
TMS0計測2レジスタ(TMS0MR2)	<アドレス : H'0080 03C4 >
TMS0計測1レジスタ(TMS0MR1)	<アドレス : H'0080 03C6 >
TMS0計測0レジスタ(TMS0MR0)	<アドレス : H'0080 03C8 >
TMS1計測3レジスタ(TMS1MR3)	<アドレス : H'0080 03D2 >
TMS1計測2レジスタ(TMS1MR2)	<アドレス : H'0080 03D4 >
TMS1計測1レジスタ(TMS1MR1)	<アドレス : H'0080 03D6 >
TMS1計測0レジスタ(TMS1MR0)	<アドレス : H'0080 03D8 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TMS0MR3~TMS0MR0 TMS1MR3~TMS1MR0	16ビットカウンタ値		×

注1. このレジスタは読み出しのみ可能です。

注2. このレジスタはバイトでもハーフワードでもアクセス可能です。

TMS計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TMS計測レジスタは、読み出しのみ可能です。

10.5.7 TMS計測入力の動作

(1) TMS 計測入力概要

TMS計測入力では、まずタイマの起動(イネーブルビットへのソフトウェア書き込み)によりアップカウントを開始します。タイマ動作中にTMSイベント入力がある場合、計測レジスタ0~3にカウンタ値を取り込みます。

タイマの停止は、イネーブルビットへのカウンタ停止書き込みと同時に行われます。

外部から計測信号が入力された場合にはTIN割り込みを、またカウンタがオーバーフローした場合にはTMS割り込みを発生させることができます。

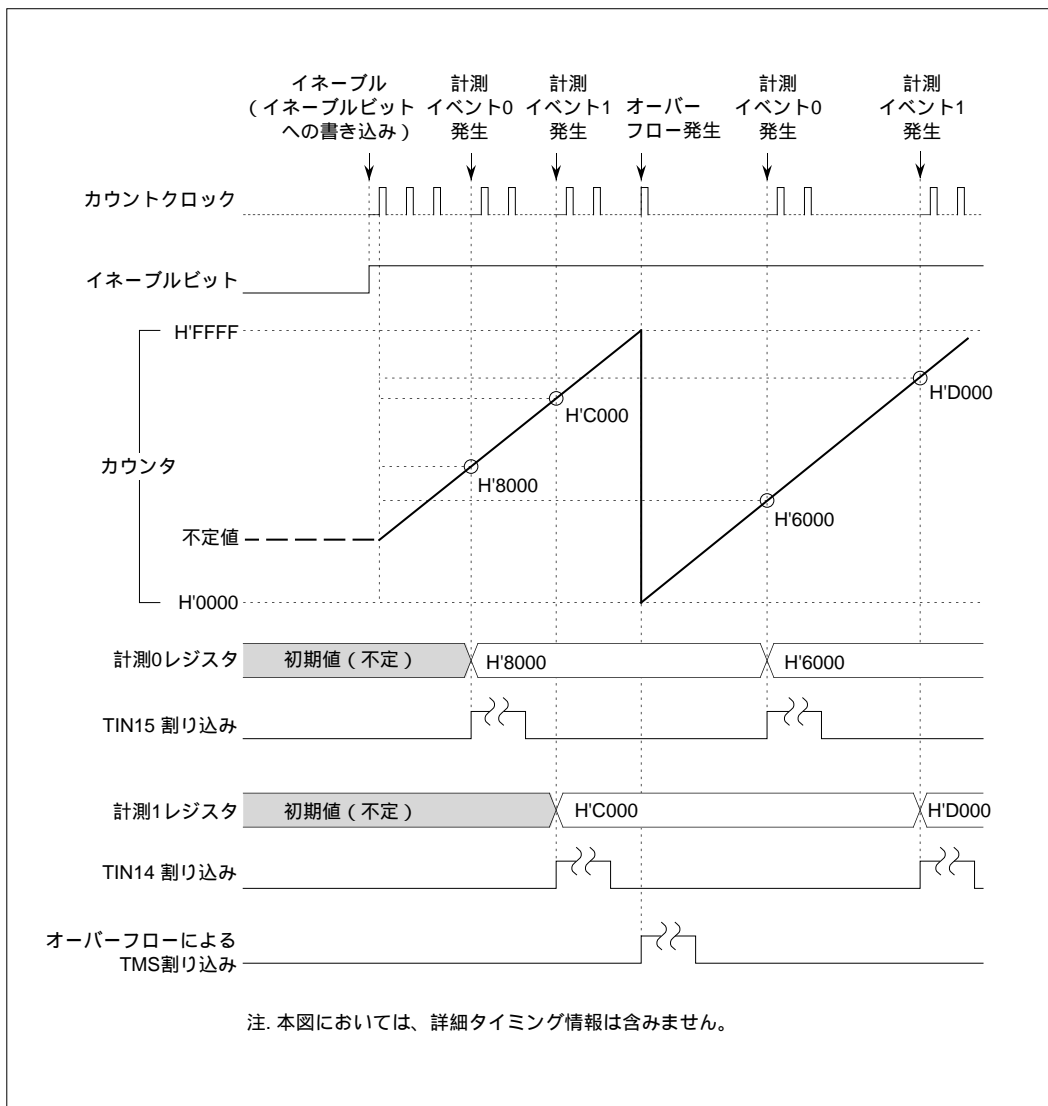


図10.5.3 TMS計測入力の動作例

(2) TMS 計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.6 TML(入力系32ビットタイマ)

10.6.1 TML概要

TML(Timer Measure Large)は入力系32ビットタイマで、1系統、計4チャンネルの入力パルス計測が可能です。

以下にTMLの仕様とブロック図を示します。

表10.6.1 TML(入力系32ビットタイマ)の仕様

項目	仕様
チャンネル数	4チャンネル(1系統、4チャンネル)
入力クロック	内部動作クロック周波数の1/2(内部動作25MHz時は12.5MHz)又は、クロックバス1入力
カウンタ	32ビットアップカウンタ(1本)
計測レジスタ	32ビット計測レジスタ(4本)
タイマの起動	リセット解除後カウント動作開始

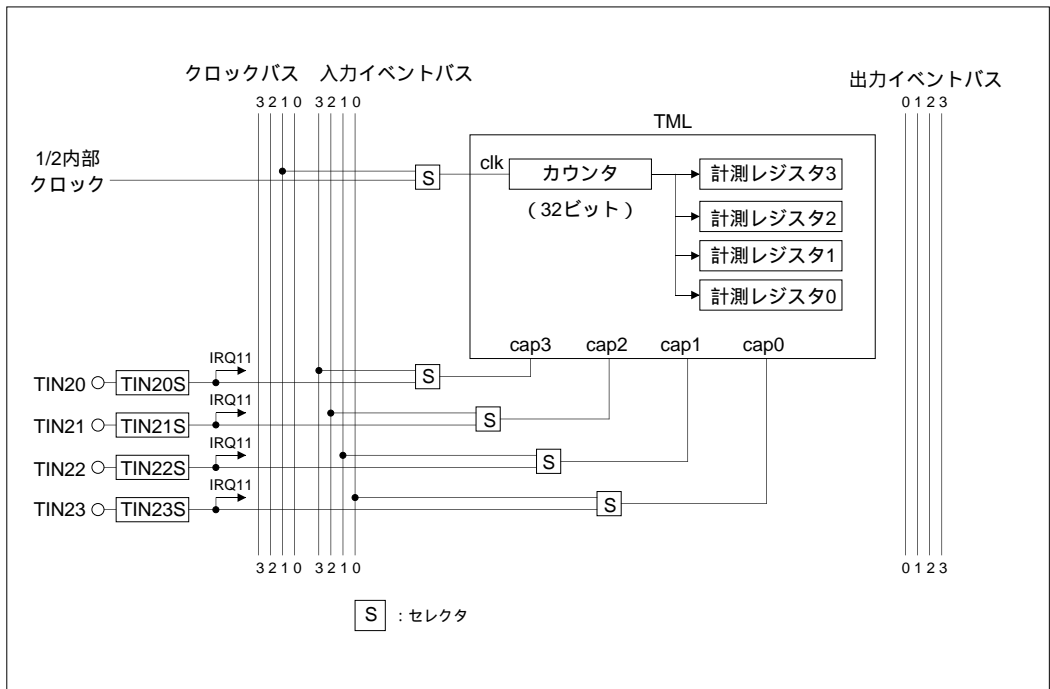


図10.6.1 TML(入力系32ビットタイマ)ブロック図

10.6.2 TMLの動作概要

TMLは、リセット解除により、カウンタの動作を開始します。カウンタは32ビットのアップカウンタで、外部入力による計測イベント信号の発生で、その時点のカウント値を各計測レジスタ(32ビット)に格納します。

カウンタはリセット解除により、1/2内部クロックで動作を開始します。動作開始後、カウンタを停止させることはできません。

リセット中のみカウントを停止します。

外部計測信号の入力でTIN割り込みを発生することができます。ただし、TMLカウンタのオーバーフロー割り込みはありません。

10.6.3 TML関連レジスタマップ

以下にTML関連のレジスタマップを示します。

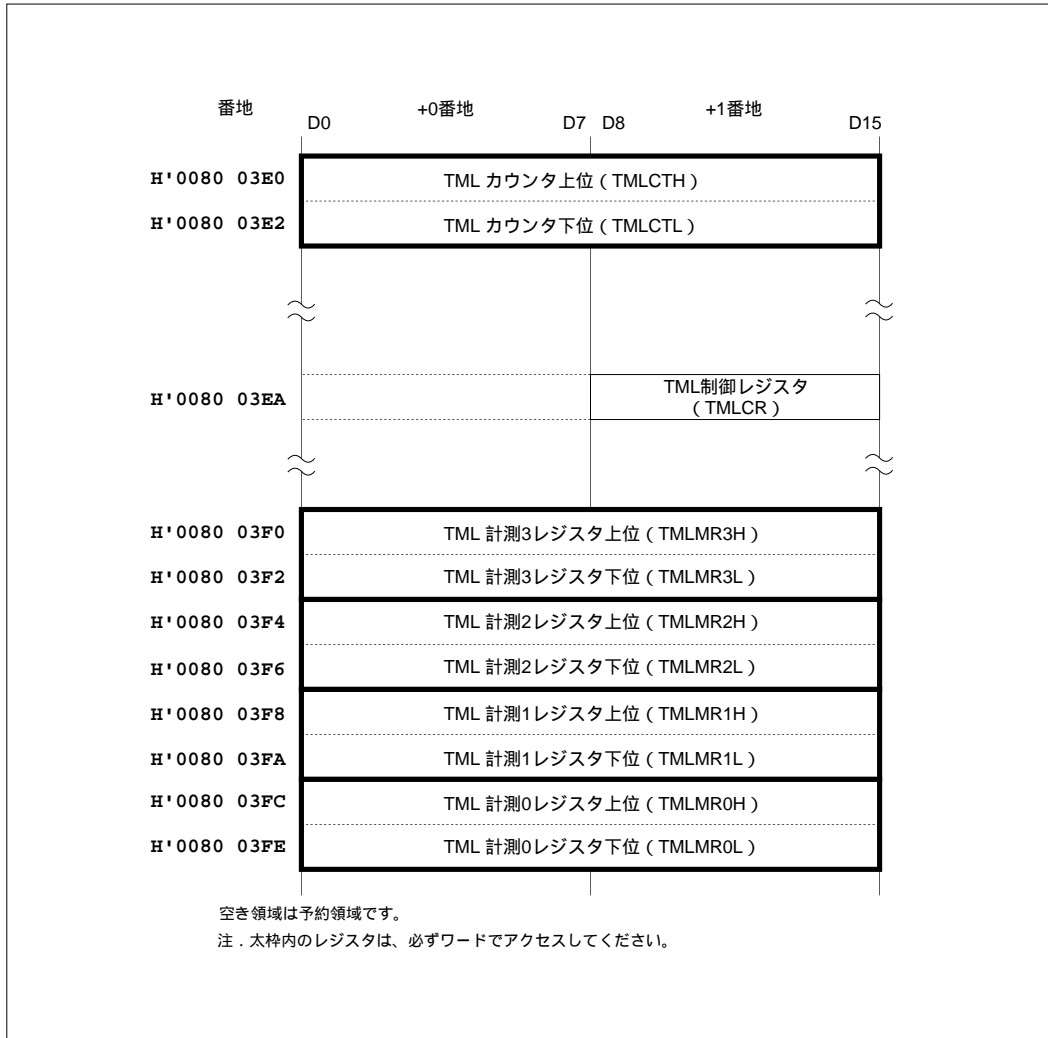
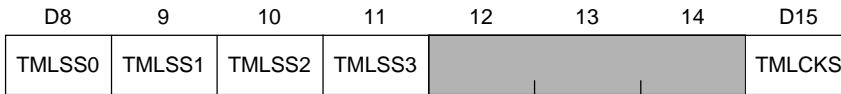


図10.6.2 TML関連レジスタマップ

10.6.4 TML制御レジスタ

TML制御レジスタ (TMLCR)

<アドレス : H'0080 03EB >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TMLSS0 (TML計測0ソース選択)	0 : 外部入力TIN23 1 : 入力イベントバス0		
9	TMLSS1 (TML計測1ソース選択)	0 : 外部入力TIN22 1 : 入力イベントバス1		
10	TMLSS2 (TML計測2ソース選択)	0 : 外部入力TIN21 1 : 入力イベントバス2		
11	TMLSS3 (TML計測3ソース選択)	0 : 外部入力TIN20 1 : 入力イベントバス3		
12~14	何も配置されていません		0	-
15	TMLCKS (TMLクロックソース選択)	0 : 1/2内部クロック 1 : クロックバス1		

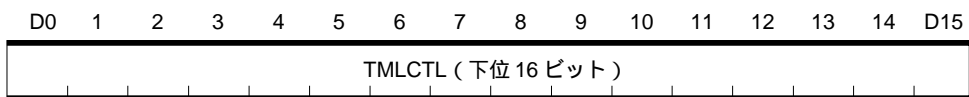
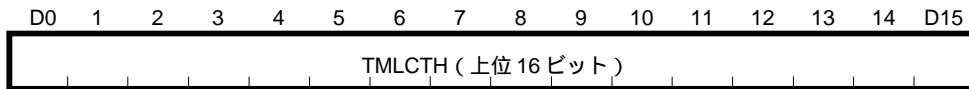
W = - : 書き込み無効

TML制御レジスタは、TMLの入力イベント選択およびカウントクロックの選択を行います。

注. クロックソースとして、1/2内部クロックが入力されている場合のみ、カウンタの正常書き込みが可能です。1/2内部クロック以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

10.6.5 TMLカウンタ

TMLカウンタ上位(TMLCTH) <アドレス : H'0080 03E0 >
 TMLカウンタ下位(TMLCTL) <アドレス : H'0080 03E2 >



<リセット時 : 不定>

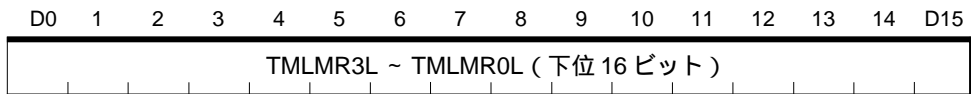
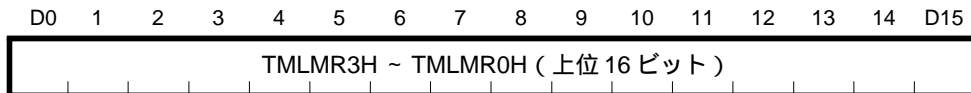
D	ビット名	機能	R	W
0~15	TML0CTH	32ビットカウンタ値(上位16ビット)		
	TML0CTL	32ビットカウンタ値(下位16ビット)		

TMLカウンタは32ビットのアップカウンタで、リセット解除後、カウント動作を開始します。TMLCTHが32ビットカウンタの上位16ビット、TML0CTLが下位16ビットのレジスタです。

カウンタは動作中の読み出しが可能です。

10.6.6 TML計測レジスタ

TML計測3レジスタ(TML0MR3H)	<アドレス: H'0080 03F0 >
TML計測3レジスタ(TML0MR3L)	<アドレス: H'0080 03F2 >
TML計測2レジスタ(TML0MR2H)	<アドレス: H'0080 03F4 >
TML計測2レジスタ(TML0MR2L)	<アドレス: H'0080 03F6 >
TML計測1レジスタ(TML0MR1H)	<アドレス: H'0080 03F8 >
TML計測1レジスタ(TML0MR1L)	<アドレス: H'0080 03FA >
TML計測0レジスタ(TML0MR0H)	<アドレス: H'0080 03FC >
TML計測0レジスタ(TML0MR0L)	<アドレス: H'0080 03FE >



<リセット時:不定>

D	ビット名	機能	R	W
0~15	TMLMR3H~0H	32ビット計測レジスタ値(上位16ビット)		
	TMLMR3L~0L	32ビット計測レジスタ値(下位16ビット)		

W = : クロックソースとして、1/2内部クロックが入力されている場合のみ、カウンタの正常書き込みが可能です。1/2内部クロック以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

注1. これらのレジスタは読み出しのみ可能です。

注2. これらのレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TML計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TML計測レジスタは32ビット構成でTMLMR3H~0Hが上位16ビット、TMLMR3L~0Lが下位16ビットのレジスタです。TML計測レジスタは、読み出しのみ可能です。レジスタへのアクセスは必ずワード境界からのワード単位で行ってください。

10.6.7 TML計測入力の動作

(1) TML 計測入力概要

TML計測入力では、リセット解除によりアップカウントを開始します。計測レジスタ0～3へイベント入力があると、カウンタ値を計測レジスタに取り込みます。

外部計測信号の入力でTIN割り込みを発生することができます(カウンタのオーバーフロー割り込みはありません)。

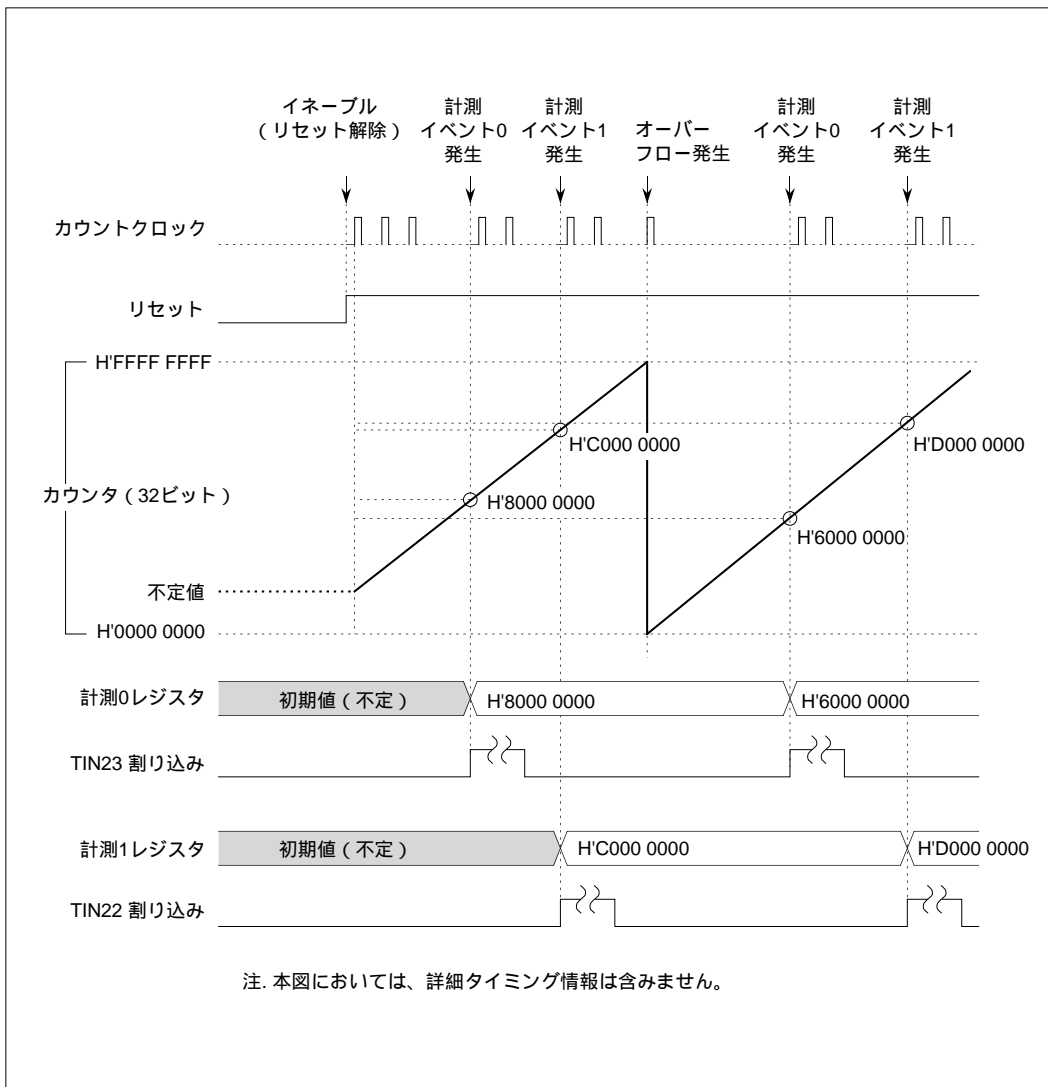


図10.6.3 TML計測入力の動作例

(2) TML 計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き替え前の)アップカウント値が取り込まれます。

クロックバス1を選択した場合で、1/2内部クロック以外のクロックを使用すると、カウンタへの書き込みが正常にできなくなりますので、1/2内部クロック以外のクロックを使用した場合はカウンタへの書き込みを行わないでください。

使用するカウンタクロックが1/2内部クロック、または1/2内部クロックと同一周期の場合以外では、キャプチャ値としてカウンタ値よりも1つ進んだ値が取り込まれます。ただし、1/2内部クロック周期に相当するごく一部の期間のみ、カウンタ値とキャプチャ値が一致します。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。

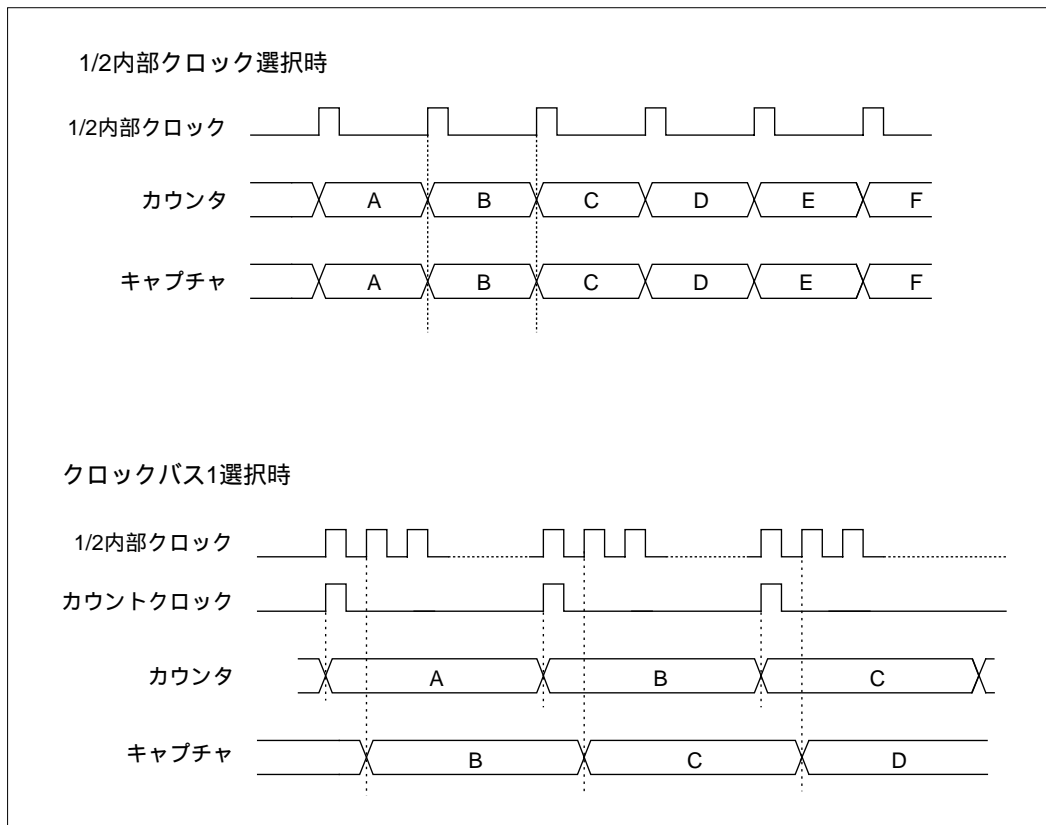


図10.6.4 カウンタ値とキャプチャ値のずれ

10.7 TID(入力系16ビットタイマ)

10.7.1 TID概要

TID(Timer Input Derivation)は入力系16ビットタイマで、ソフトウェアによるモード切り替えにより、以下のモードから1つを選択できます。

- 定周期カウントモード
- イベントカウントモード
- 4 逓倍イベントカウントモード

以下にTIDの仕様を、また次ページにTIDのブロック図を示します。

表10.7.1 TID(入力16ビットタイマ)の仕様

項目	仕様
チャンネル数	1チャンネル
カウンタ	16ビットアップダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み
モード切り替え	<入力モード> 定周期モード イベントカウントモード 4 逓倍イベントカウントモード
割り込み発生	カウンタのアンダーフローとオーバーフローで発生可能

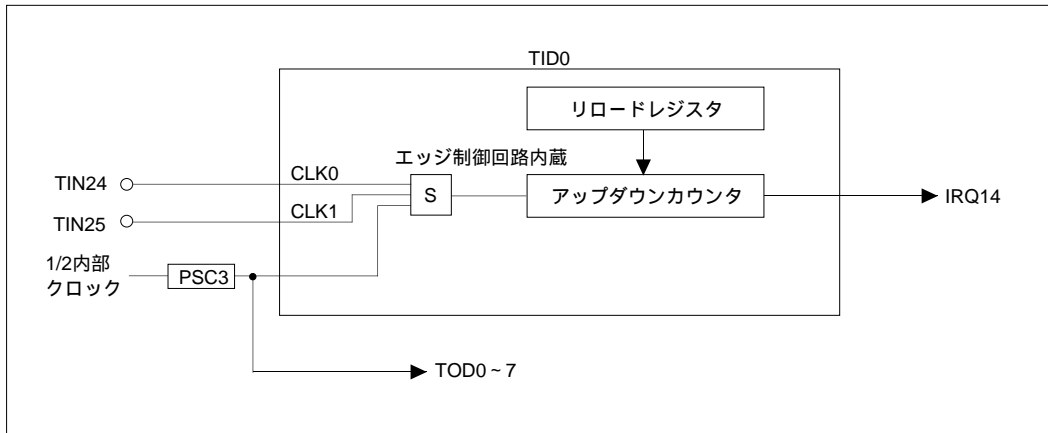


図10.7.1 TID(入力系16ビットタイマ)ブロック図

10.7.2 TID関連レジスタマップ

以下にTID関連のレジスタマップを示します

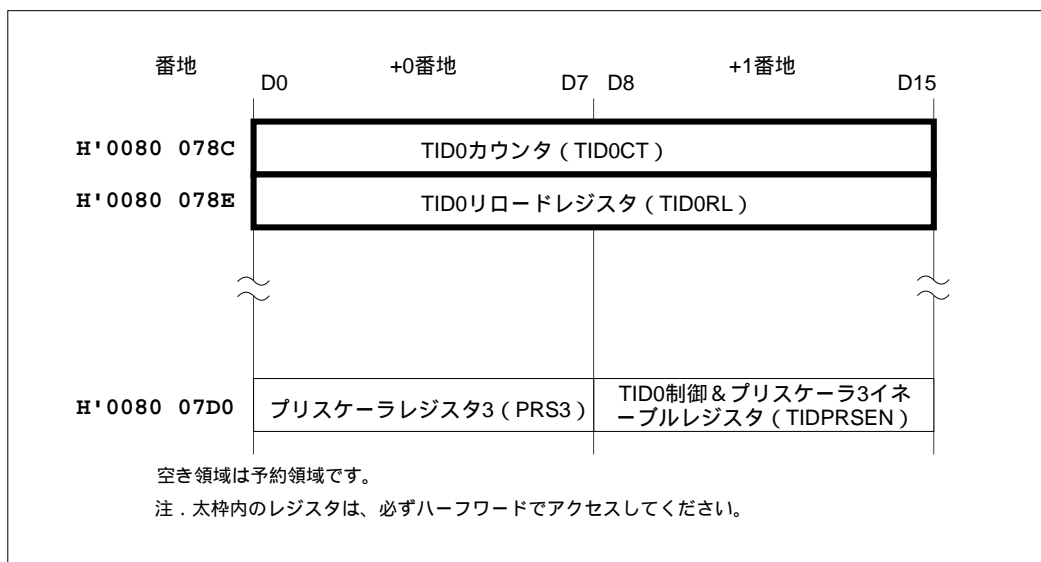
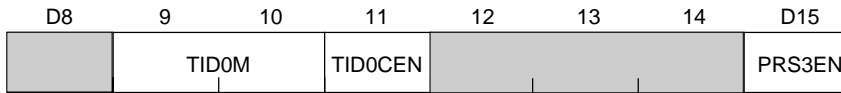


図10.7.2 TID関連レジスタマップ

10.7.3 TID制御&プリスケラ3イネーブルレジスタ

TID0制御&プリスケラ3イネーブルレジスタ(TIDPRSEN) <アドレス: H'0080 07D1 >



<リセット時: H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9,10	TID0M (TID0動作モード選択)	0X: 定周期カウントモード 10: 4 通倍イベントカウントモード 11: イベントカウントモード		
11	TID0CEN (TID0カウントイネーブル)	0: カウント停止 1: カウント開始		
12~14	何も配置されていません		0	-
15	PRS3EN (プリスケラ3イネーブル)	0: カウント停止 1: カウント開始		

W = - : 書き込み無効

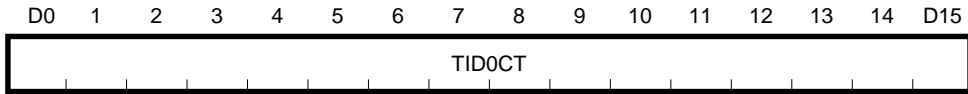
注: 動作モードの設定・変更は必ずカウンタ停止状態で行ってください。

TID0制御 & プリスケラ3イネーブルレジスタは、TID0の動作モード(定周期カウントモード、イベントカウント、4 通倍イベントカウントモード)の選択、プリスケラ3の起動の制御を行います。

10.7.4 TIDカウンタ

TID0カウンタ(TID0CT)

<アドレス : H'0080 078C >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TID0CT	16ビットカウンタ値		

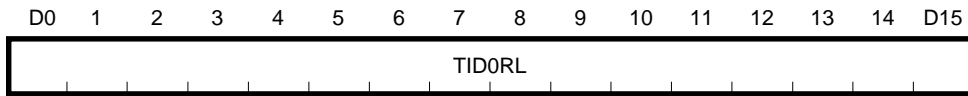
注. このレジスタは、必ずハーフワードでアクセスしてください。

TIDカウンタは16ビットのダウンアップカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウントクロックに同期してカウント動作を開始します。

10.7.5 TIDリロードレジスタ

TID0リロードレジスタ(TID0RL)

<アドレス : H'0080 078E >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TID0RL	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIDリロードレジスタは、TIDカウンタレジスタ(TID0CT)へデータをリロードするためのレジスタです。

リロードレジスタの内容がカウンタにデータがロードされるのは、以下の場合です。

- 定周期カウントモードでカウンタがアンダーフローした時
- 定周期カウントモードでカウンタがイネーブルになった時

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.7.6 TID各モードの概略

以下にTIDの各モードの概要を示します。TIDのモードは、この中から1つだけを選択できます。

(1) 定周期カウントモード

定周期カウントモードは、リロードレジスタを使用してリロードレジスタの設定値+1の周期で割り込みを発生するモードです。

リロードレジスタ設定後(初期値は不定)、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期して、リロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローすると、再びリロードレジスタの内容をカウンタにロードし、カウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

また、カウンタのアンダーフローごとに、割り込みを発生することができます。

リロードレジスタの設定値+1がカウント値として有効です。

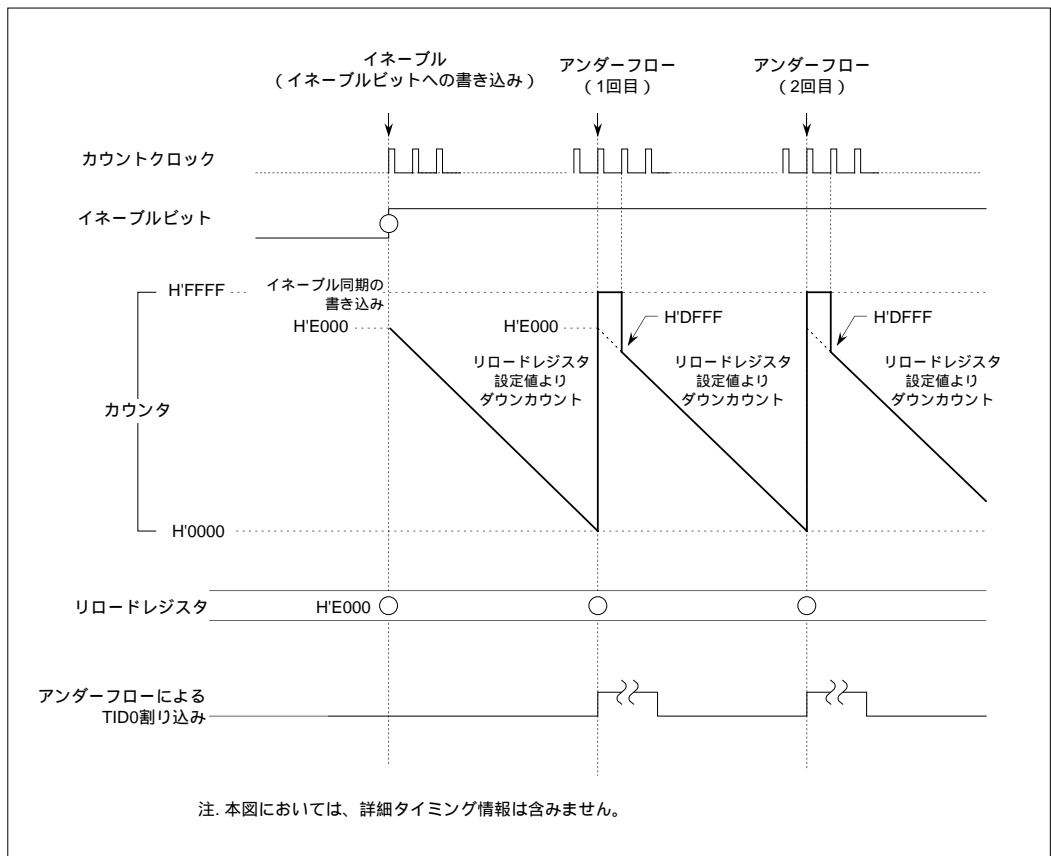


図10.7.3 TID定周期カウントモードの動作例

(2) イベントカウントモード

イベントカウントモードは、外部から入力された信号(TIN24)をクロック源として、カウンタを動作させるモードです。

外部から入力された信号(TIN24)の立ち上がり、立ち下がりのエッジを検出し、内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウント設定値からアップカウントを開始します。

また、カウンタのオーバーフローで割り込みを発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

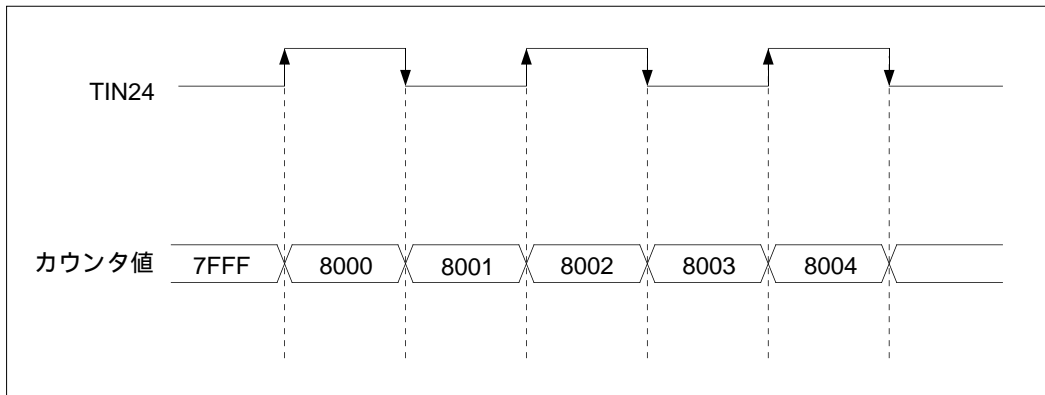


図10.7.4 TIDイベントカウントモード動作例(基本動作)

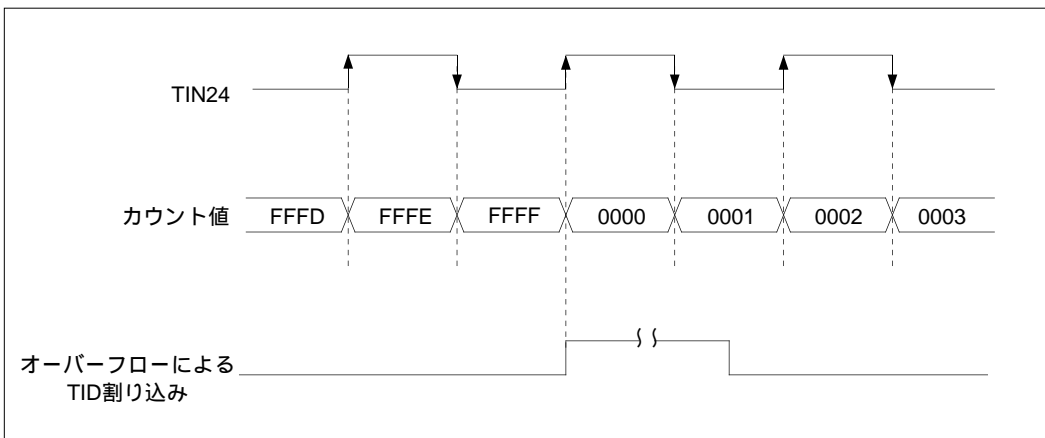


図10.7.5 TIDイベントカウントモード動作例(オーバーフロー発生時)

(3) 4 逓倍イベントカウントモード

4 逓倍イベントカウントモードは、外部から入力された 2 系統の信号(TIN24、TIN25)をクロック源として、カウンタを動作させるモードです。2 本の信号の入力状態によって、アップカウントとダウンカウントを切り替えます。

外部から入力された信号は、2 本とも立ち上がり、立ち下がりエッジを検出し内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウントを開始します。2 本の外部入力の入力状態において、TIN25が"L"レベルにあり、かつTIN24の立ち上がりエッジが存在するという状態になった時、アップカウントを開始し、各信号の立ち上がり、立ち下がりエッジごとにアップカウントします。

また、TIN24が"H"レベルにあり、かつTIN25の立ち下がりエッジが存在するという状態になった時、ダウンカウントを開始し、各信号の立ち上がり、立ち下がりエッジごとにダウンカウントします。

また、カウンタのオーバーフロー、アンダーフローで割り込みを発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定して下さい。

表10.7.2 4逓倍イベントカウントモード時のカウント方向

入力	カウント方向							
	アップカウント				ダウンカウント			
TIN24 (TIN26, TIN28)	H	↓	L	↑	H	↓	L	↑
TIN25 (TIN27, TIN29)	↑	H	↓	L	↓	L	↑	H

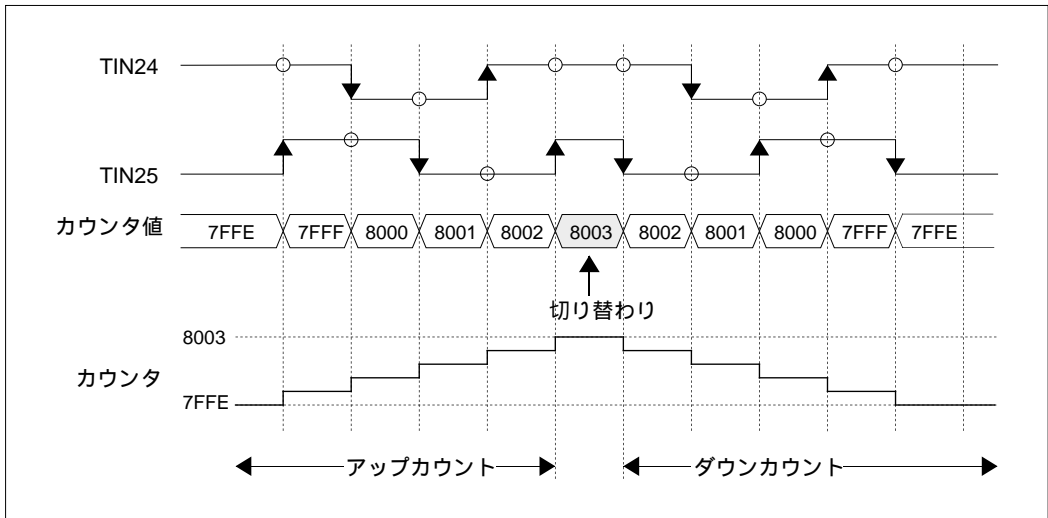


図10.7.6 アップダウンカウンタ動作(切り替わりタイミング)

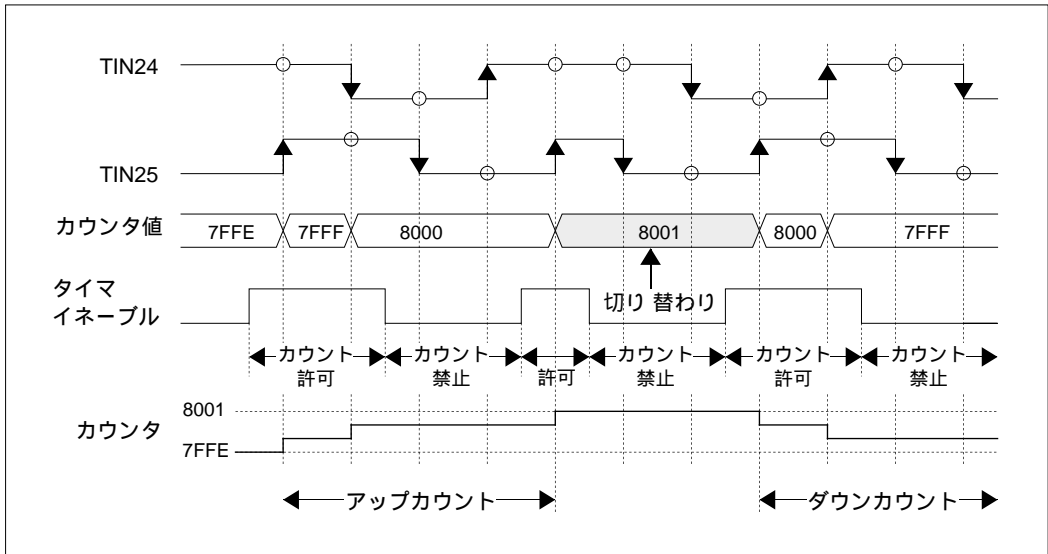


図10.7.7 アップダウンカウンタ動作(カウント許可禁止)

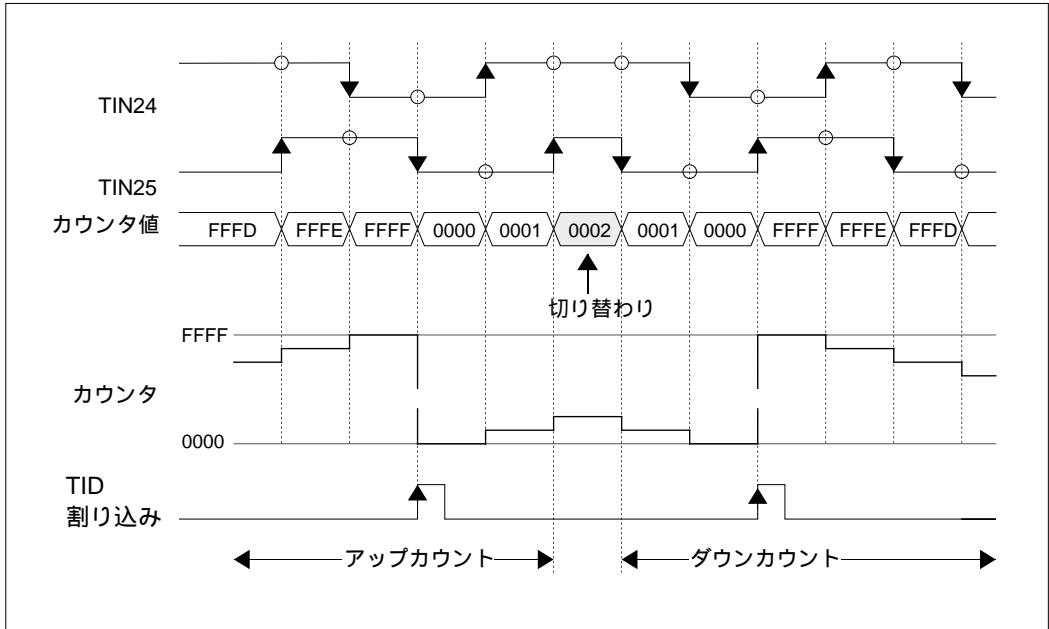


図10.7.8 アップダウンカウント動作(割り込みタイミング)

10.8 TOD(出力系16ビットタイマ)

10.8.1 TOD概要

TOD(Timer Output Derivation)は出力系16ビットタイマで、ソフトウェアによるモード切り替えにより、以下のモードから1つを選択できます。

TIOの入力モードのみを削除したタイマです。

<補正機能なし出力モード>

- PWM出力モード
- ワンショット出力モード
- ディレイドワンショット出力モード
- 連続出力モード

以下にTODの仕様を、また次ページにTODのブロック図を示します。

表10.8.1 TOD(出力16ビットタイマ)の仕様

項目	仕様
チャンネル数	8チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み
モード切り替え	<補正機能なし出力モード> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード
割り込み発生	カウンタのアンダーフローで発生可能

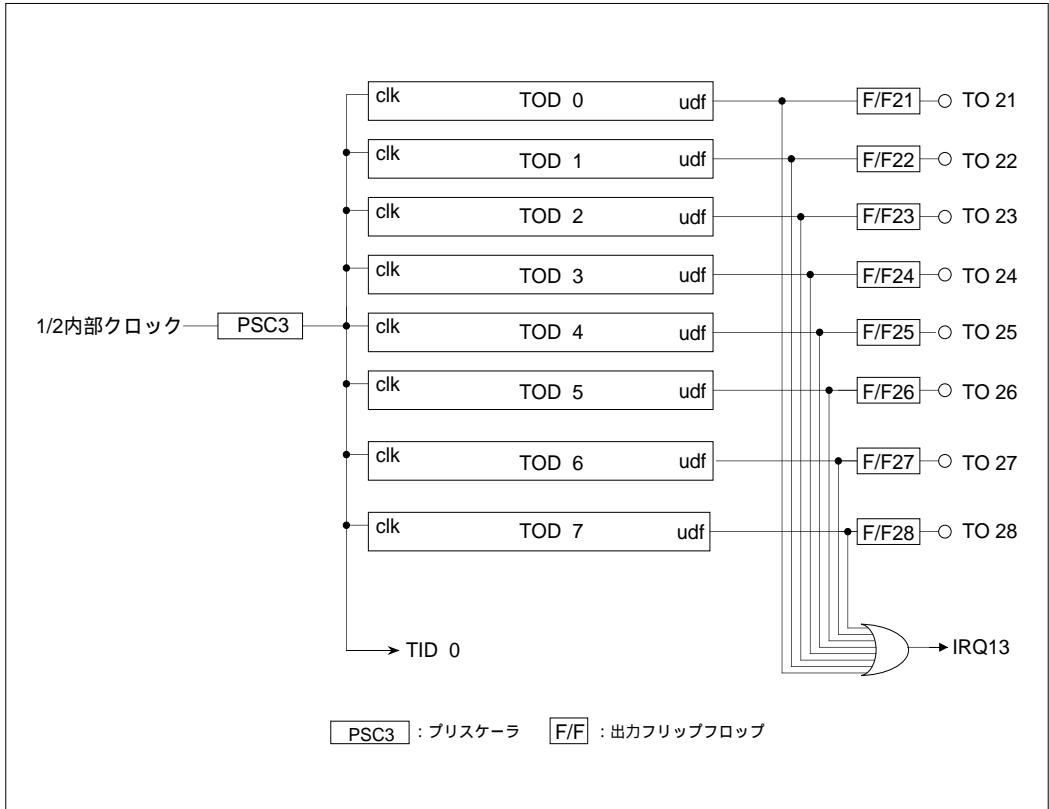


図10.8.1 TOD(出力系16ビットタイマ)ブロック図

10.8.2 TOD各モードの概略

以下にTODの各モードの概要を示します。なおTOD各チャンネルのモードは、この中から1つだけを選択できます。

(1) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダーフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダーフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。

PWM出力モードのF/F出力波形は、カウント開始時と各アンダーフロー発生時に反転します。タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に進行されます(PWM出力周期には同期しません)。

また、カウンタイネーブル後の偶数回目のアンダーフローで割り込みを発生することができます。

(2) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロード0レジスタの設定値+1のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダーフロー時には、割り込みを発生することができます。

(3) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロードレジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウンタクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダーフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダーフロー発生時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダーフロー時に、それぞれ割り込みを発生することができます。

(4) 連続出力モード(補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダーフローでリロードレジスタの値をロードします。以後カウンタのアンダーフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウンタクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダーフローを発生します。

このアンダーフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダーフロー発生ごとに繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダーフローごとに、割り込みを発生することができます。

10.8.3 TOD関連レジスタマップ

以下にTOD関連のレジスタマップを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0790	TOD0 カウンタ (TOD0CT)					
H'0080 0792						
H'0080 0794	TOD0 リロード1レジスタ (TOD0RL1)					
H'0080 0796	TOD0 リロード0レジスタ (TOD0RL0)					
H'0080 0798	TOD1 カウンタ (TOD1CT)					
H'0080 079A						
H'0080 079C	TOD1 リロード1レジスタ (TOD1RL1)					
H'0080 079E	TOD1 リロード0レジスタ (TOD1RL0)					
H'0080 07A0	TOD2 カウンタ (TOD2CT)					
H'0080 07A2						
H'0080 07A4	TOD2 リロード1レジスタ (TOD2RL1)					
H'0080 07A6	TOD2 リロード0レジスタ (TOD2RL0)					
H'0080 07A8	TOD3 カウンタ (TOD3CT)					
H'0080 07AA						
H'0080 07AC	TOD3 リロード1レジスタ (TOD3RL1)					
H'0080 07AE	TOD3 リロード0レジスタ (TOD3RL0)					
H'0080 07B0	TOD4 カウンタ (TOD4CT)					
H'0080 07B2						
H'0080 07B4	TOD4 リロード1レジスタ (TOD4RL1)					
H'0080 07B6	TOD4 リロード0レジスタ (TOD4RL0)					
H'0080 07B8	TOD5 カウンタ (TOD5CT)					
H'0080 07BA						
H'0080 07BC	TOD5 リロード1レジスタ (TOD5RL1)					
H'0080 07BE	TOD5 リロード0レジスタ (TOD5RL0)					

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.8.2 TOD関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 07C0	TOD6 カウンタ (TOD6CT)					
H'0080 07C2						
H'0080 07C4	TOD6 リロード1レジスタ (TOD6RL1)					
H'0080 07C6	TOD6 リロード0レジスタ (TOD6RL0)					
H'0080 07C8	TOD7 カウンタ (TOD7CT)					
H'0080 07CA						
H'0080 07CC	TOD7 リロード1レジスタ (TOD7RL1)					
H'0080 07CE	TOD7 リロード0レジスタ (TOD7RL0)					
H'0080 07D0	プリスケアラレジスタ3 (PRS3)			TID0制御&プリスケアラ3イネーブルレジスタ (TIDPRSEN) (注1)		
H'0080 07D2	TOD0~7割り込みマスクレジスタ (TOD07IMA)			TOD0~7割り込みステータスレジスタ (TOD07IST)		
H'0080 07D4				F/Fプロテクトレジスタ2 (FFP2)		
H'0080 07D6				F/Fデータレジスタ2 (FFD2)		
H'0080 07D8						
H'0080 07DA	TOD0~7 制御レジスタ (TOD07CR)					
H'0080 07DC				TOD0~7イネーブルプロテクトレジスタ (TODPRO)		
H'0080 07DE				TOD0~7カウントイネーブルレジスタ (TODCEN)		

空き領域は予約領域です。

注1. プリスケアラレジスタ3はTOD0~7、TID0と共用で、TID0制御&プリスケアラ3イネーブルレジスタは、TID0の制御で使用します。

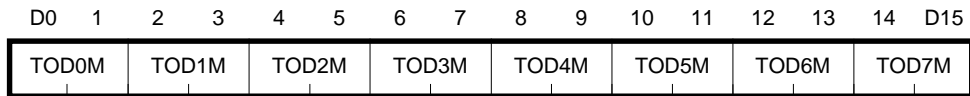
注2. 太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.8.3 TOD関連レジスタマップ(2/2)

10.8.4 TOD制御レジスタ

TOD0~7制御レジスタ(TOD07CR)

<アドレス : H'0080 07DA >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TOD0M (TOD0動作モード選択)	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : PWM出力モード		
2,3	TOD1M (TOD1動作モード選択)	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : PWM出力モード		
4,5	TOD2M (TOD2動作モード選択)	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : PWM出力モード		
6,7	TOD3M (TOD3動作モード選択)	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : PWM出力モード		
8,9	TOD4M (TOD4動作モード選択)	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : PWM出力モード		
10,11	TOD5M (TOD5動作モード選択)	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : PWM出力モード		

(次ページへつづく)

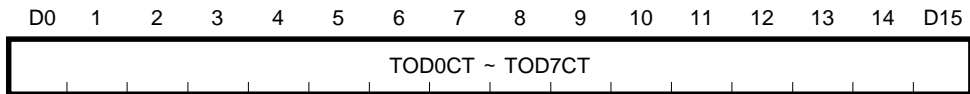
(つづき)

D	ビット名	機能	R	W
12,13	TOD6M(TOD6動作モード選択)	00: ワンショット出力モード 01: ディレイドワンショット出力モード 10: 連続出力モード 11: PWM出力モード		
14,15	TOD7M(TOD7動作モード選択)	00: ワンショット出力モード 01: ディレイドワンショット出力モード 10: 連続出力モード 11: PWM出力モード		

TOD制御レジスタは、TOD0~7の動作モード(PWM出力, ワンショット出力, ディレイドワンショット出力, 連続出力モード)の選択を行います。

10.8.5 TODカウンタ

TOD0カウンタ(TOD0CT)	<アドレス : H'0080 0790 >
TOD1カウンタ(TOD1CT)	<アドレス : H'0080 0798 >
TOD2カウンタ(TOD2CT)	<アドレス : H'0080 07A0 >
TOD3カウンタ(TOD3CT)	<アドレス : H'0080 07A8 >
TOD4カウンタ(TOD4CT)	<アドレス : H'0080 07B0 >
TOD5カウンタ(TOD5CT)	<アドレス : H'0080 07B8 >
TOD6カウンタ(TOD6CT)	<アドレス : H'0080 07C0 >
TOD7カウンタ(TOD7CT)	<アドレス : H'0080 07C8 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOD0CT~TOD7CT	16ビットカウンタ値		

W = : 書き込みはPWM出力モード以外で有効、PWM出力モードでは無効

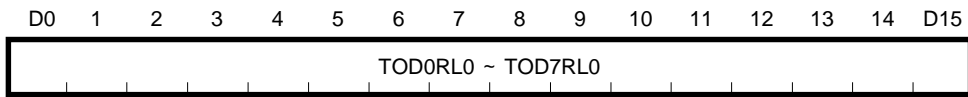
注. このレジスタは、必ずハーフワードでアクセスしてください。

TOD0カウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モードでは書き込み不可になります。

10.8.6 TODリロード0レジスタ

TOD0リロード0レジスタ(TOD0RL0)	<アドレス : H'0080 0796 >
TOD1リロード0レジスタ(TOD1RL0)	<アドレス : H'0080 079E >
TOD2リロード0レジスタ(TOD2RL0)	<アドレス : H'0080 07A6 >
TOD3リロード0レジスタ(TOD3RL0)	<アドレス : H'0080 07AE >
TOD4リロード0レジスタ(TOD4RL0)	<アドレス : H'0080 07B6 >
TOD5リロード0レジスタ(TOD5RL0)	<アドレス : H'0080 07BE >
TOD6リロード0レジスタ(TOD6RL0)	<アドレス : H'0080 07C6 >
TOD7リロード0レジスタ(TOD7RL0)	<アドレス : H'0080 07CE >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TOD0RL0~TOD7RL0	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TODリロード0レジスタは、TODカウンタレジスタ(TOD0CT~TOD7CT)へデータをリロードするためのレジスタです。

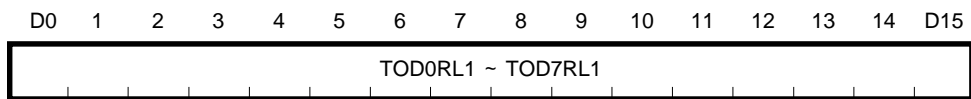
リロード0レジスタの内容がカウンタにロードされるのは、以下の場合です。

- ワンショット出力、またはPWM出力モードでカウンタがイネーブルになった時
- ディレイドワンショット出力または連続出力モードでカウンタがアンダーフローした時
- リロード1レジスタでセットしたカウント値がアンダーフローした時

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.8.7 TODリロード1レジスタ

TOD0リロード1レジスタ(TOD0RL1)	<アドレス : H'0080 0794 >
TOD1リロード1レジスタ(TOD1RL1)	<アドレス : H'0080 079C >
TOD2リロード1レジスタ(TOD2RL1)	<アドレス : H'0080 07A4 >
TOD3リロード1レジスタ(TOD3RL1)	<アドレス : H'0080 07AC >
TOD4リロード1レジスタ(TOD4RL1)	<アドレス : H'0080 07B4 >
TOD5リロード1レジスタ(TOD5RL1)	<アドレス : H'0080 07BC >
TOD6リロード1レジスタ(TOD6RL1)	<アドレス : H'0080 07C4 >
TOD7リロード1レジスタ(TOD7RL1)	<アドレス : H'0080 07CC >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TOD0RL1~TOD7RL1	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TODリロード1レジスタは、TOD0カウンタレジスタ(TOD0CT~TOD7CT)へデータをリロードするためのレジスタです。

リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

PWM出力モードでリロード0レジスタでセットしたカウント値がアンダーフローした時

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.8.8 TODイネーブル制御レジスタ

TOD0 ~ 7イネーブルプロテクトレジスタ (TODPRO) <アドレス : H'0080 07DD >

D8	9	10	11	12	13	14	D15
TOD0PRO	TOD1PRO	TOD2PRO	TOD3PRO	TOD4PRO	TOD5PRO	TOD6PRO	TOD7PRO

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TOD0PRQ (TOD0イネーブルプロテクト)	0 : 書き換え許可		
9	TOD1PRQ (TOD1イネーブルプロテクト)	1 : 書き換え禁止		
10	TOD2PRQ (TOD2イネーブルプロテクト)			
11	TOD3PRQ (TOD3イネーブルプロテクト)			
12	TOD4PRQ (TOD4イネーブルプロテクト)			
13	TOD5PRQ (TOD5イネーブルプロテクト)			
14	TOD6PRQ (TOD6イネーブルプロテクト)			
15	TOD7PRQ (TOD7イネーブルプロテクト)			

TOD0 ~ 7イネーブルプロテクトレジスタは、次に示すTODカウンタイネーブルビットの書き換えの禁止 / 許可を制御するレジスタです。

TOD0~7カウントイネーブルレジスタ(TODCEN)

<アドレス: H'0080 07DF >

D8	9	10	11	12	13	14	D15
TOD0CEN	TOD1CEN	TOD2CEN	TOD3CEN	TOD4CEN	TOD5CEN	TOD6CEN	TOD7CEN

<リセット時: H'00 >

D	ビット名	機能	R	W
8	TOD0CEN(TOD0カウントイネーブル)	0: カウント停止		
9	TOD1CEN(TOD1カウントイネーブル)	1: カウント許可		
10	TOD2CEN(TOD2カウントイネーブル)			
11	TOD3CEN(TOD3カウントイネーブル)			
12	TOD4CEN(TOD4カウントイネーブル)			
13	TOD5CEN(TOD5カウントイネーブル)			
14	TOD6CEN(TOD6カウントイネーブル)			
15	TOD7CEN(TOD7カウントイネーブル)			

TOD0~7カウントイネーブルレジスタは、TODカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTOD0~7イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TOD0~7プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続モード以外ではアンダーフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOD0~7カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

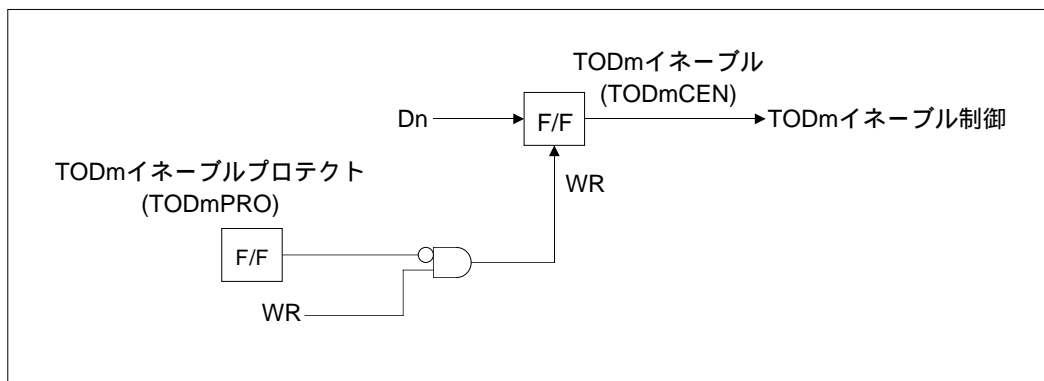


図10.8.4 TODmイネーブル回路構成図

10.8.9 TOD PWM出力モード動作

(1) TOD PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダーフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダーフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に終わります(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダーフローで割り込みを発生することができます。

なお、TODのPWM出力モードには補正機能はありません。

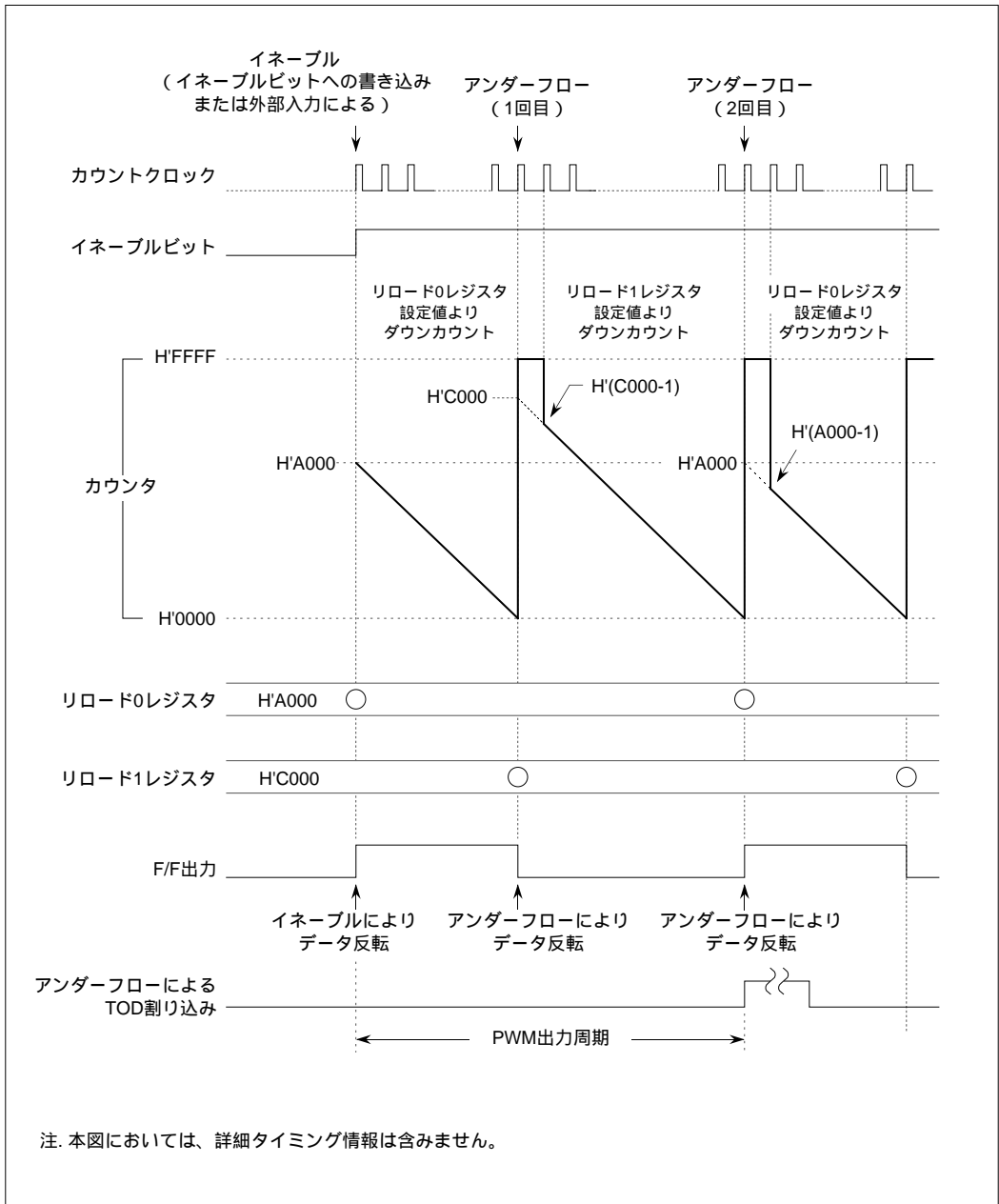


図10.8.5 PWM出力モードの動作例

(2)TOD PWMモードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0,1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新によって行われます。ただし、リロード0,1レジスタをリードすると、常に書き込んだデータが読み出されます。

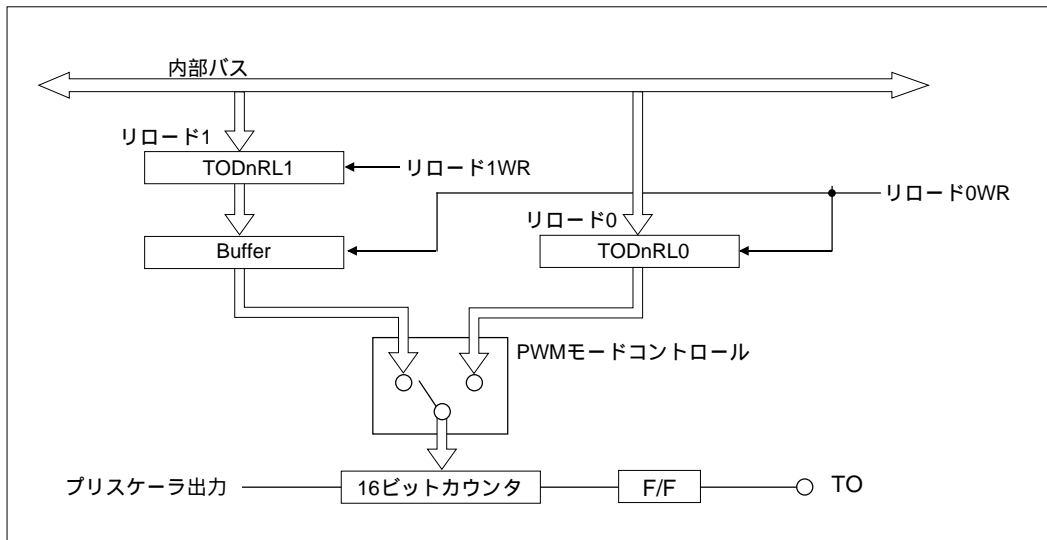


図10.8.6 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0,1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、リロード0レジスタのみ更新されます。また、リロード0,1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

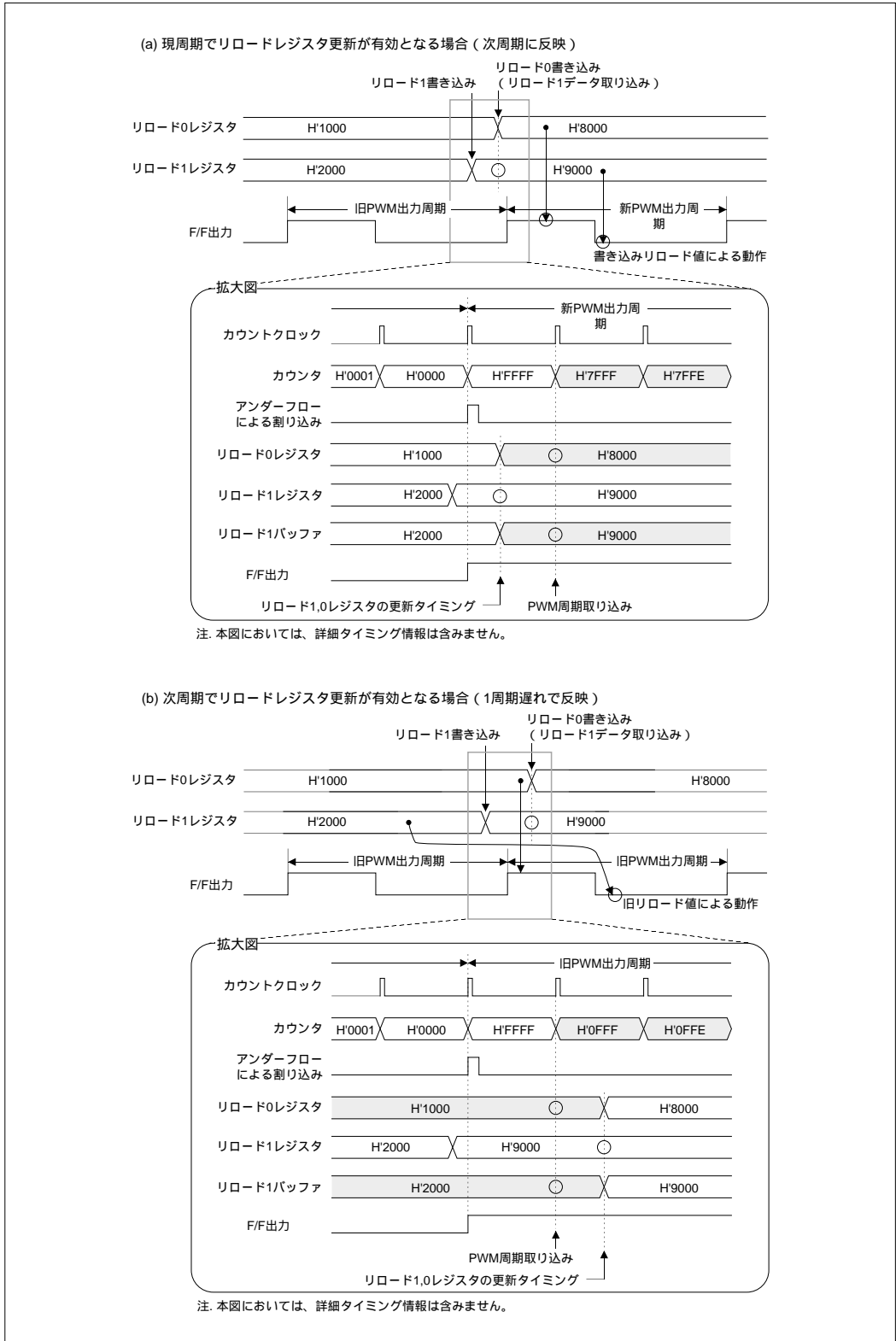


図10.8.7 PWM出力モードにおけるリロード0,1レジスタの更新

10.8.10 TODワンショット出力モード(補正機能なし)の動作

(1) TODワンショット出力モード概要

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダーフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダーフロー時には、割り込みを発生することができます。

カウント値はリロード0レジスタの設定値+1です(カウント動作については10.3.9「TOPワンショット出力モード」も参照してください)。

(2) TODワンショット出力モード使用上の注意

TODワンショット出力モードを使用する場合の注意点を以下に示します。

アンダーフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダーフローによるカウンタ停止が優先されます。

アンダーフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

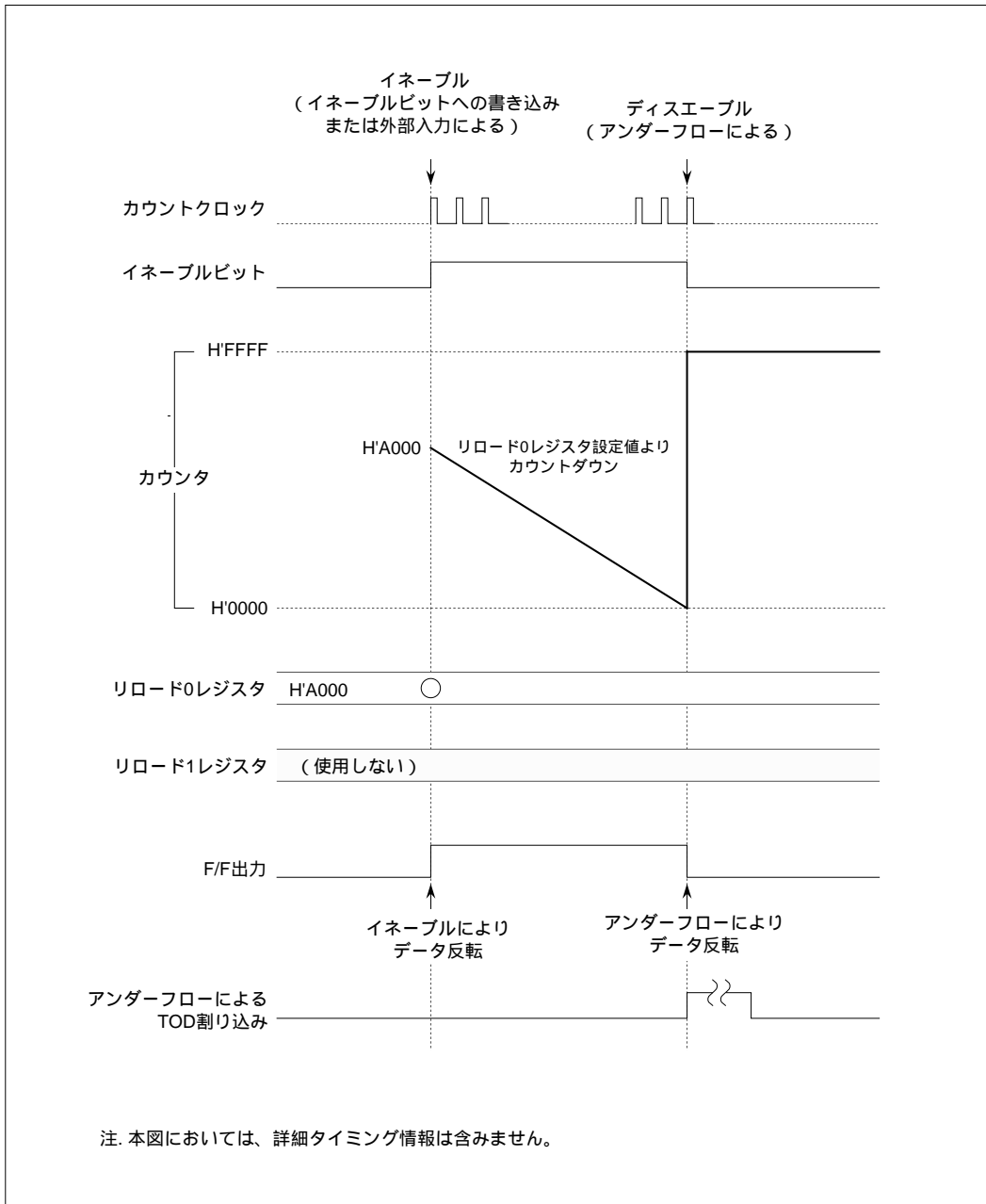


図10.8.8 TODワンショット出力モード(補正機能なし)の動作例

10.8.11 TODディレイドワンショット出力モード(補正機能なし)の動作

(1) TODディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダーフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダーフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダーフロー時に、それぞれ割り込みを発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については10.3.10「TOPディレイドワンショット出力モード」も参照してください)。

(2) TODディレイドワンショット出力モード使用上の注意

TODディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

アンダーフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダーフローによるカウンタ停止が優先されます。

アンダーフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダーフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はプリスケアラ出力に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

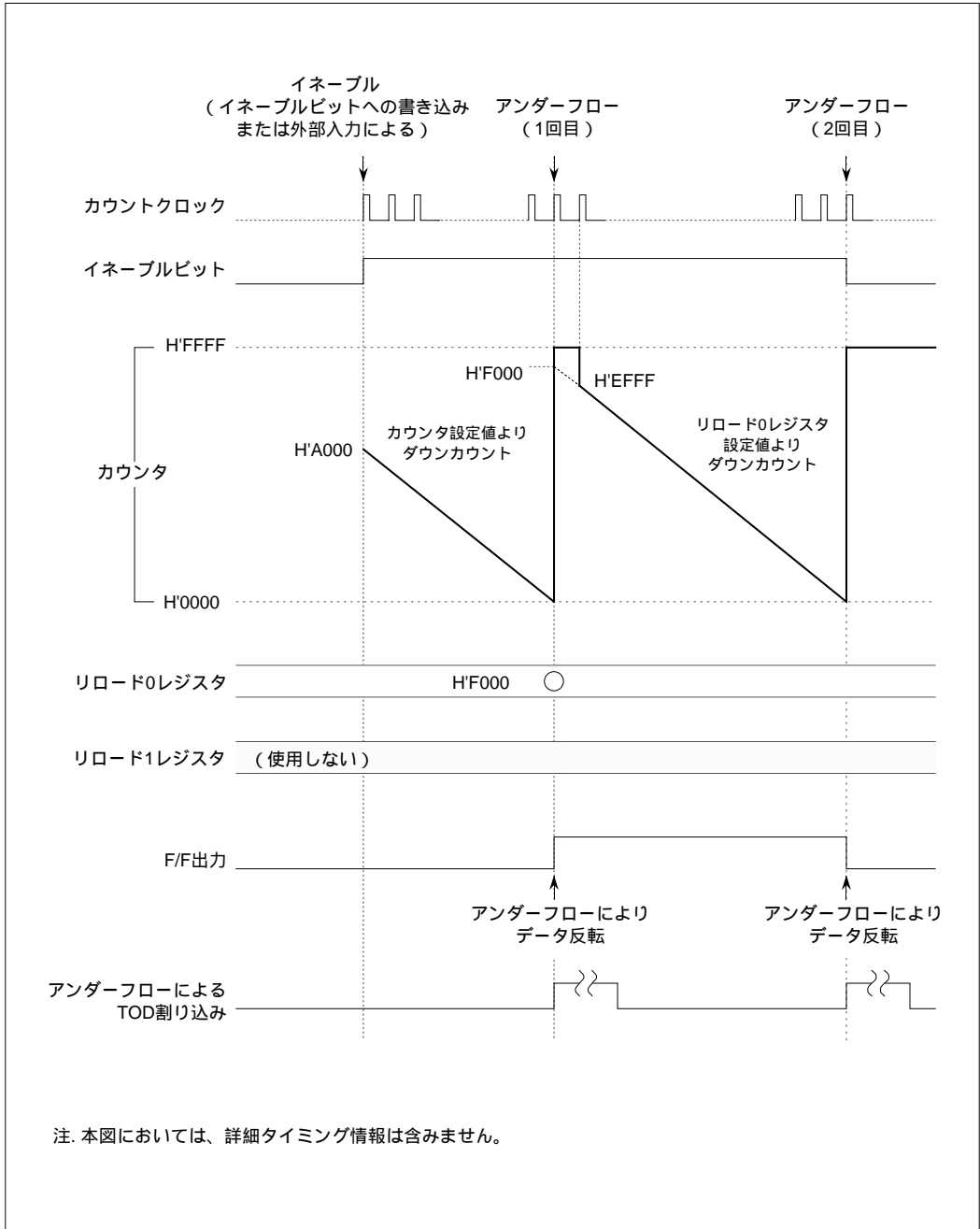


図10.8.9 TODディレイドワンショット出力モード(補正機能なし)の動作例

10.8.12 TOD連続出力モード(補正機能なし)の動作

(1) TOD連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダーフローでリロード0レジスタの値をロードします。以後カウンタのアンダーフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1の反転する連続的なパルスが発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダーフローが発生します。

このアンダーフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダーフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダーフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダーフローごとに、割り込みが発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については10.3.11「TOP連続出力モード」も参照してください)。

(2) TOD連続出力モード使用上の注意

TOD連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダーフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

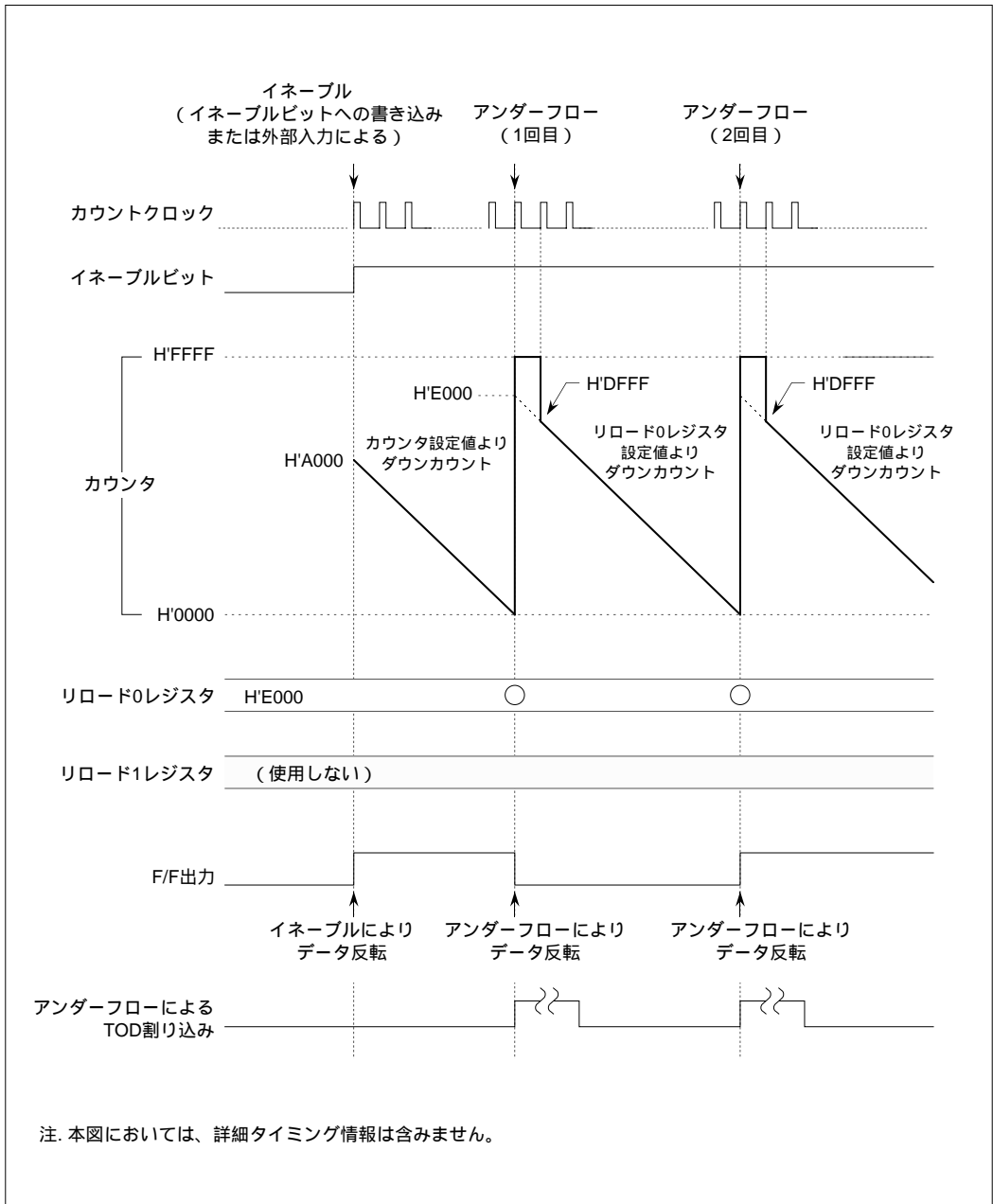


図10.8.10 TOD連続出力モード(補正機能なし)の動作例

10.8.13 モータ制御機能への応用例

TOP、またはTIOを使用してノコギリ波制御による三相モータ制御をすることができます。三相モータ制御波形出力にTOP、またはTIOを使用し、余ったタイマで生成した20KHz定周期で波形出力タイマを起動します。なお、短絡防止時間は波形出力タイマへの設定時間をソフトウェアで変更することにより実現します。各端子の動作極性は自由に設定可能です。

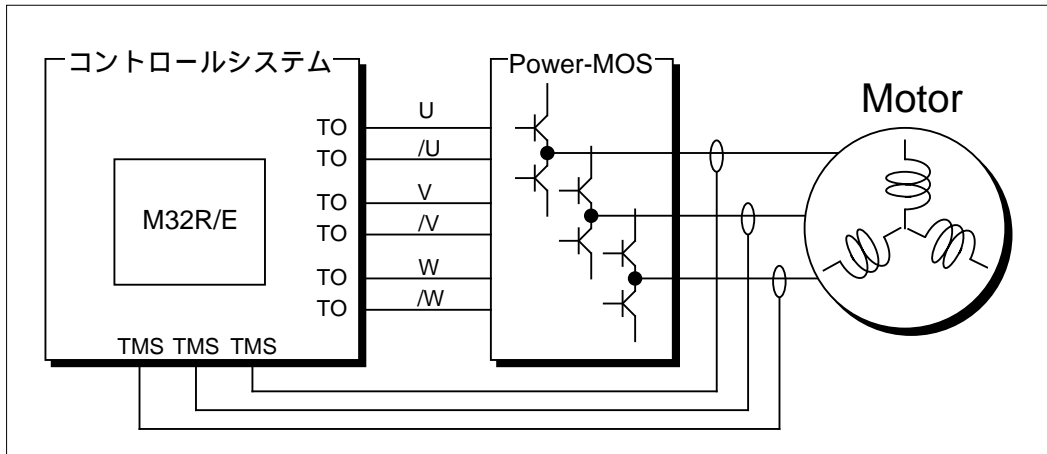


図10.8.11 システム構成図

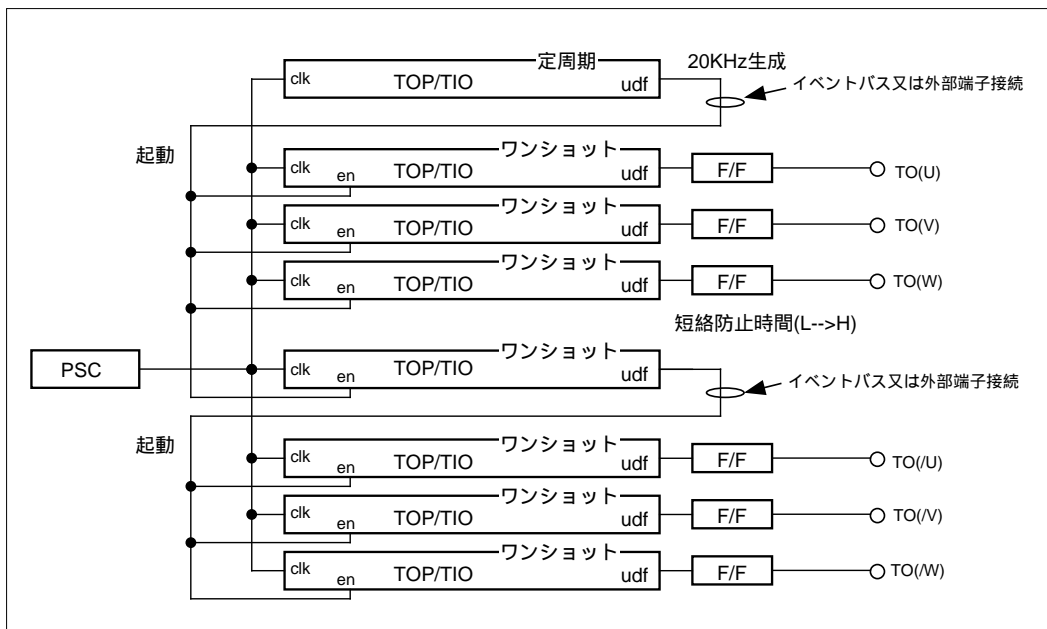


図10.8.12 3相モータ制御時のタイマ接続方法

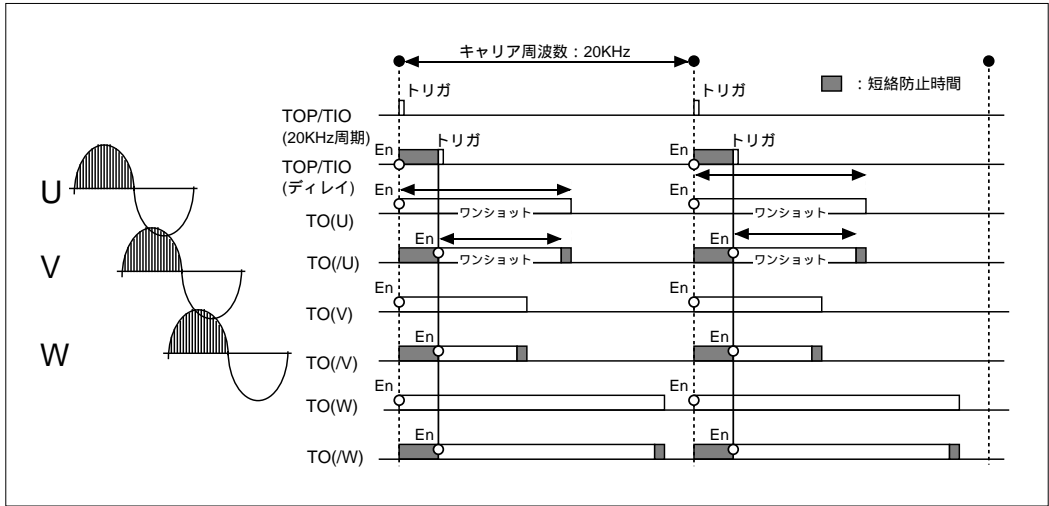


図10.8.13 制御イメージ図

第11章

A-D変換器

- 11.1 A-D変換器概要
- 11.2 A-D変換器関連レジスタ
- 11.3 A-D変換器機能説明
- 11.4 A-D変換器の注意事項

11.1 A-D変換器概要

32160は、10ビット分解能を持つ逐次近似比較方式のA-D変換器を内蔵しています。アナログ入力端子(チャンネル)はAN0～AN15の16チャンネルあり、拡張機能を使用すると最大19チャンネルまで変換できます。

また、A-D変換結果の8ビット読み出し機能と10ビット読み出し機能があります。

A-D変換には、以下に示す変換モードと動作モードがあります。

(1) 変換モード

A-D変換モード : 通常のアナログ入力電圧をA-D変換するモード
コンパレータモード(注) : 設定した比較電圧とアナログ入力電圧を比較して、その大小のみを得るモード(単一モードのみ)

(2) 動作モード

単一モード : 1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレータ(注)するモード
スキャンモード : 選択された複数チャンネル(4, 8, 16チャンネル単位)のアナログ入力電圧を順次A-D変換するモード

(3) スキャンモードの種類

スキャンワンショットモード : スキャン動作を1周期行うモード
スキャン連続モード : スキャン動作を停止するまで繰り返し行うモード

(4) 特殊動作モード

スキャンモード動作中の単一モード強制実行 :
スキャン動作中に強制的に単一モード変換を実行するモード
単一モード実行後スキャンモード開始 :
単一モードからスキャン動作を連続して起動するモード
変換再スタート :
単一モードまたはスキャンモードで、動作中のA-D変換動作を再スタートするモード

A-D変換およびコンパレート速度は、ノーマルと倍速の2種類から選択できます。また、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。

注. 逐次近似比較方式であるA-D変換器内部の比較動作と、A-D変換器をコンパレータとして使用するコンパレータモードでの動作を区別するために、本書ではコンパレータモードでの比較動作のことを「コンパレート」と呼びます。

表11.1.1にA-D変換器の概要を、図11.1.1にA-D変換器のブロック図を示します。

表11.1.1 A-D変換器の概要

項目	内容		
アナログ入力	16チャンネル(拡張機能により最大19チャンネル)		
A-D変換方式	逐次近似比較方式		
分解能	10ビット (8ビット/10ビット変換結果読み出し機能)		
非直線性誤差(注1)(条件: Ta = 25 , AVCC = AVREF = 5.12V)	ノーマルモード	±2LSB	
	倍速モード	±2LSB	
変換モード	A-D変換モード, コンパレータモード		
動作モード	単一モード, スキャンモード		
スキャンモード	スキャンワンショットモード, スキャン連続モード		
変換起動トリガ	ソフトウェア起動	A-D変換スタートビットに"1"をセット	
	ハードウェア起動	MJT出力イベントバス3 による起動 (注2) 外部ADTRG端子入力による起動	
変換速度 f(BCLK): 内部動作周波数	単一モード時 (最短時間)	ノーマル	299 × 1 / f(BCLK) (注3)
		倍速	173 × 1 / f(BCLK)
	コンパレータモード時 (最短時間)	ノーマル	47 × 1 / f(BCLK)
		倍速	29 × 1 / f(BCLK)
割り込み要求発生機能	A-D変換終了時, コンパレート終了時 スキャンワンショット終了時, スキャン連続モードの1周期終了時		
DMA転送要求発生機能	A-D変換終了時, コンパレート終了時 スキャンワンショット終了時, スキャン連続モードの1周期終了時		

注1. 非直線性誤差はオフセット誤差、フルスケール誤差を"0"に調整した後の理想変換特性から偏位です。

注2. 第10章「マルチジャンクションタイム」をご覧ください。

注3. BCLK = 25MHzの時 1 / f(BCLK) = 40ns。

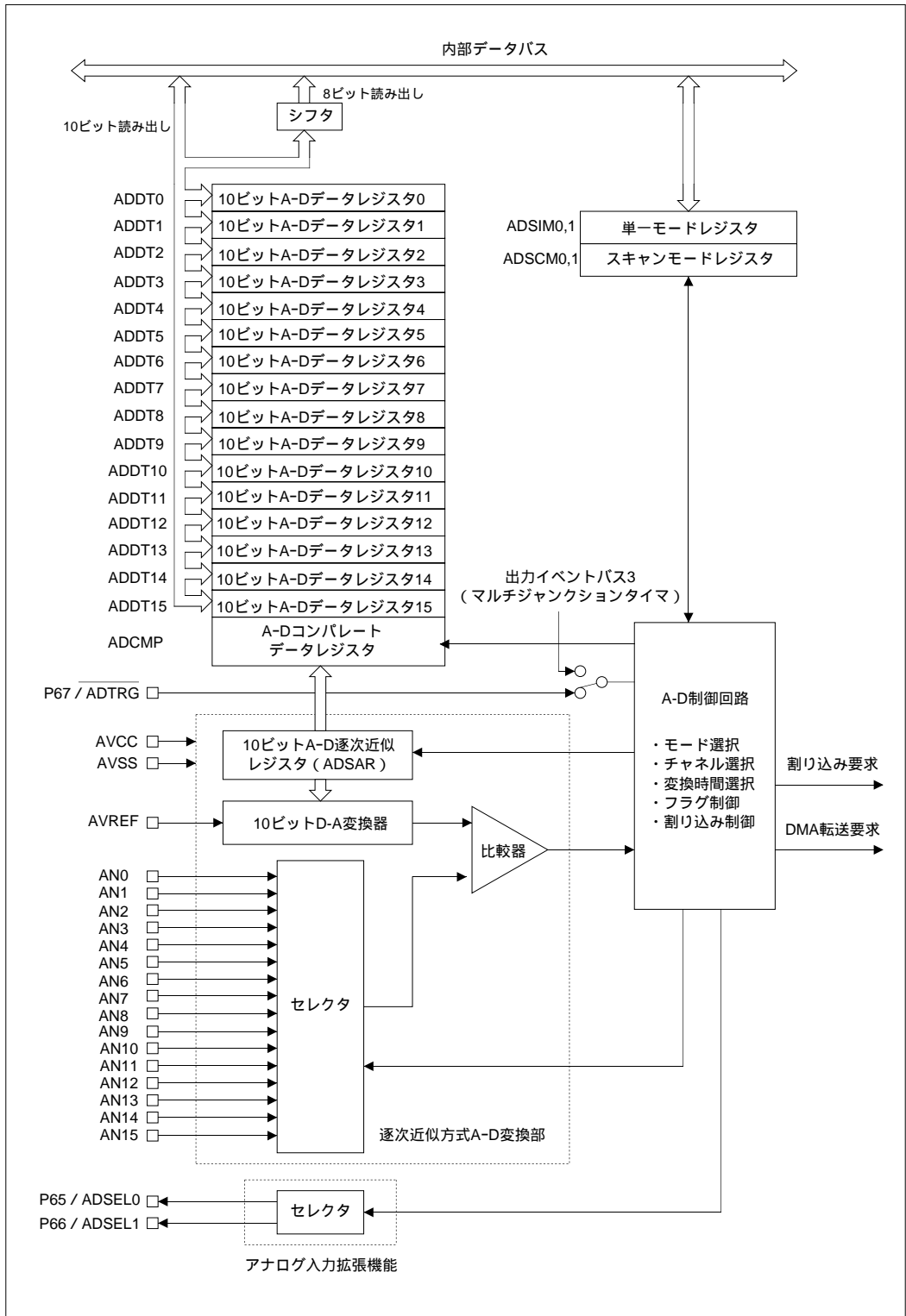


図11.1.1 A-D変換器のブロック図

11.1.1 変換モード

A-D変換器の変換モードには、「A-D変換モード」と「コンパレータモード」があります。

(1) A-D 変換モード

A-D変換モードでは、指定されたチャンネルのアナログ入力電圧をA-D変換します。

単一モードの場合は、単一モードレジスタ1のアナログ入力端子選択ビットで選択されたチャンネルのA-D変換を行います。

スキャンモードの場合は、スキャンモードレジスタ0の設定にしたがい、スキャンモードレジスタ1で選択されたチャンネルのA-D変換を行います。

変換結果はそれぞれのチャンネルに対応した10ビットA-Dデータレジスタ(ADDTn)に格納します。また、8ビットA-Dデータレジスタ(AD8DTn)からは8ビットA-D変換結果が読み出せます。

単一モードの場合はA-D変換終了時に、またスキャンモードの場合はスキャンループの1周期終了時に、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

(2) コンパレータモード

コンパレータモードでは、指定されたチャンネルのアナログ入力電圧と逐次近似レジスタ(ADSAR)の値をコンパレート(比較)し、その結果(値の大小)をフラグに返します。

コンパレートするチャンネルの指定は、単一モードレジスタ1のアナログ入力端子選択ビットで行います。またコンパレート結果のフラグ("1"または"0")は、A-Dコンパレートデータレジスタの、選択されたチャンネルに対応するビットにセットされます。

コンパレート終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

11.1.2 動作モード

A-D変換器の動作モードには、「単一モード」と「スキャンモード」があります。

(1) 単一モード

単一モードは、選択された1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレートするモードです。A-D変換の終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

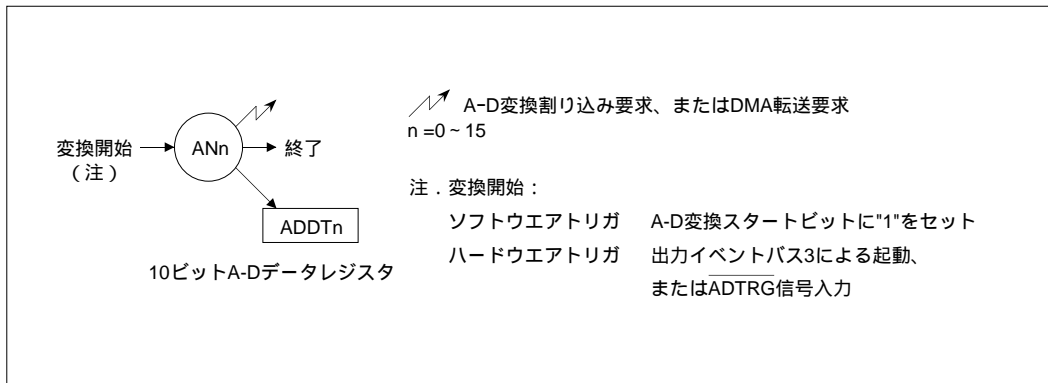


図11.1.2 単一モード動作(A-D変換)

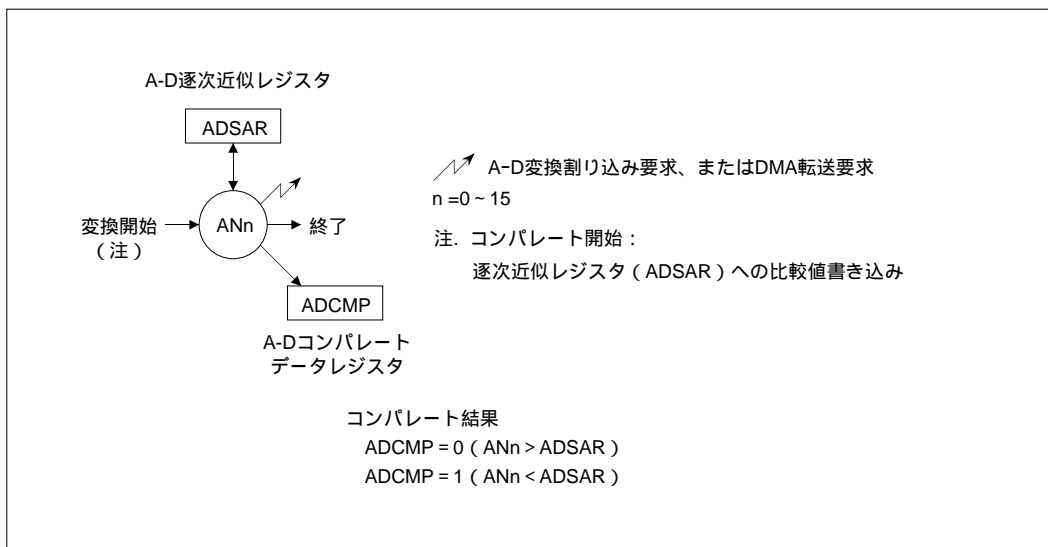


図11.1.3 単一モード動作(コンパレート)

(2) スキャンモード

スキャンモードは、選択された複数チャンネル(4, 8, 16チャンネル単位)のアナログ入力電圧を順次A-D変換するモードです。

スキャンモードには、1周期のスキャン動作でA-D変換を終了する「スキャンワンショットモード」と、スキャンモードレジスタのA-D変換ストップビットに"1"を書き込むまでスキャン動作を継続する「スキャン連続モード」があります。

スキャンモードの選択は、スキャンモードレジスタ0で行います。また、スキャンするチャンネルの選択は、スキャンモードレジスタ1で行います。なおスキャンされるチャンネルの組み合わせと順序は、4、8、16の3種類から選択できます(4チャンネルスキャン時はAN0～AN3、8チャンネルスキャン時はAN0～AN7、16チャンネルスキャン時はAN0～AN15が使用されます)。

1周期のスキャン動作終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

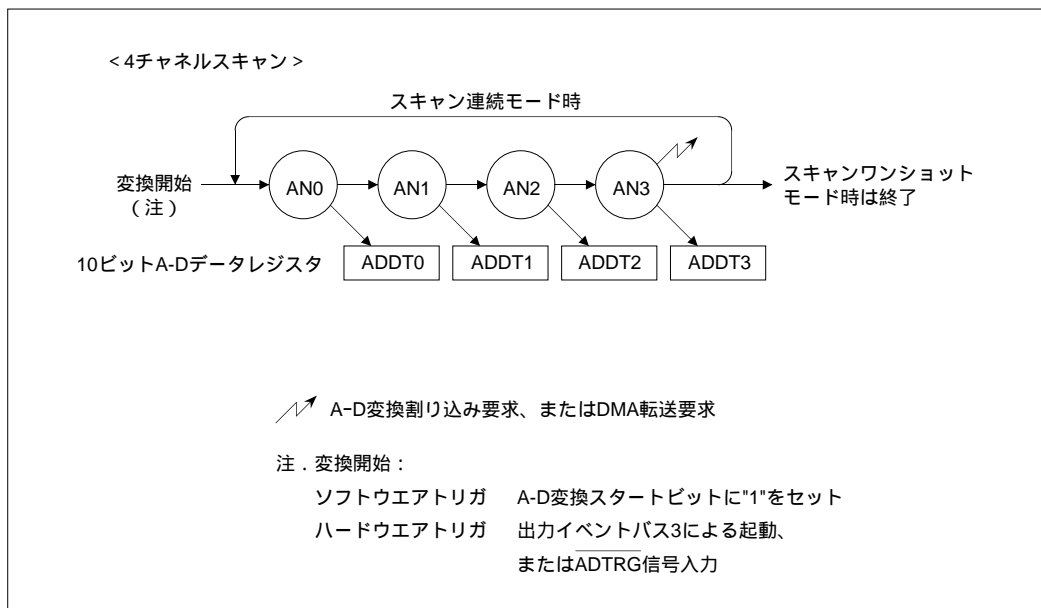


図11.1.4 スキャンモードA-D変換動作(4チャンネルスキャン時)

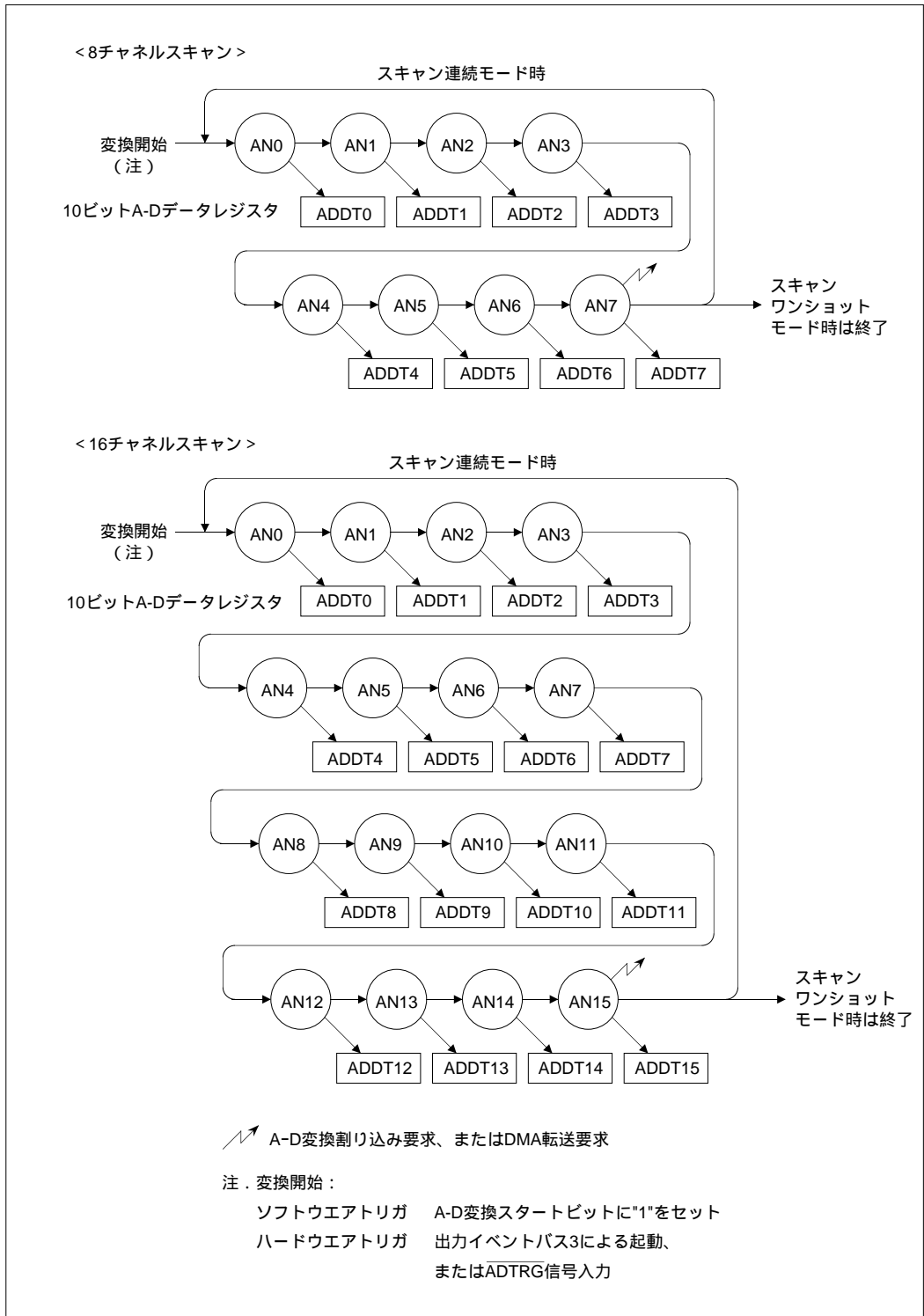


図11.1.5 スキャンモードA-D変換動作(8チャンネル、16チャンネルスキャン時)

表11.1.2 スキャンモードでのA-D変換結果の格納レジスタ

スキャン ループ選択	スキャンワンショット モード対象チャンネル	スキャン連続 モード対象チャンネル	A-D変換結果 格納レジスタ
4チャンネルスキャン	AN0	AN0	10ビットA-Dデータレジスタ0
	AN1	AN1	10ビットA-Dデータレジスタ1
	AN2	AN2	10ビットA-Dデータレジスタ2
	AN3	AN3	10ビットA-Dデータレジスタ3
	終了	AN0	10ビットA-Dデータレジスタ0
		∴（強制終了まで繰り返し）	∴
8チャンネルスキャン	AN0	AN0	10ビットA-Dデータレジスタ0
	AN1	AN1	10ビットA-Dデータレジスタ1
	AN2	AN2	10ビットA-Dデータレジスタ2
	AN3	AN3	10ビットA-Dデータレジスタ3
	AN4	AN4	10ビットA-Dデータレジスタ4
	AN5	AN5	10ビットA-Dデータレジスタ5
	AN6	AN6	10ビットA-Dデータレジスタ6
	AN7	AN7	10ビットA-Dデータレジスタ7
	終了	AN0	10ビットA-Dデータレジスタ0
		∴（強制終了まで繰り返し）	∴
16チャンネルスキャン	AN0	AN0	10ビットA-Dデータレジスタ0
	AN1	AN1	10ビットA-Dデータレジスタ1
	AN2	AN2	10ビットA-Dデータレジスタ2
	AN3	AN3	10ビットA-Dデータレジスタ3
	AN4	AN4	10ビットA-Dデータレジスタ4
	AN5	AN5	10ビットA-Dデータレジスタ5
	AN6	AN6	10ビットA-Dデータレジスタ6
	AN7	AN7	10ビットA-Dデータレジスタ7
	AN8	AN8	10ビットA-Dデータレジスタ8
	AN9	AN9	10ビットA-Dデータレジスタ9
	AN10	AN10	10ビットA-Dデータレジスタ10
	AN11	AN11	10ビットA-Dデータレジスタ11
	AN12	AN12	10ビットA-Dデータレジスタ12
	AN13	AN13	10ビットA-Dデータレジスタ13
	AN14	AN14	10ビットA-Dデータレジスタ14
	AN15	AN15	10ビットA-Dデータレジスタ15
	終了	AN0	10ビットA-Dデータレジスタ0
		∴（強制終了まで繰り返し）	∴

11.1.3 特殊動作モード

(1) スキャンモード動作中の単一モード強制実行

この特殊動作モードは、スキャンモード動作中に指定チャンネルの単一モード変換(A-D変換またはコンパレート)を強制的に実行します。A-D変換モードの場合は、指定チャンネルに対応した10ビットA-Dデータレジスタに、コンパレートモードの場合は10ビットA-Dコンパレートデータレジスタに変換結果を格納します。指定チャンネルのA-D変換またはコンパレートが終了すると、スキャン中にキャンセルされたチャンネルから再びスキャンモードのA-D変換を再開します。

ソフトウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、A-D変換の場合は、同レジスタのA-D変換スタートビットに"1"をセットします。また、コンパレートモードの場合は、スキャンモード動作中にA-D逐次近似レジスタ(ADSAR)へ比較する値を書き込みます。

ハードウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、同レジスタで指定したハードウェアトリガ(ADTRG信号または出力イベントバス3)を入力します。

指定チャンネルでの変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

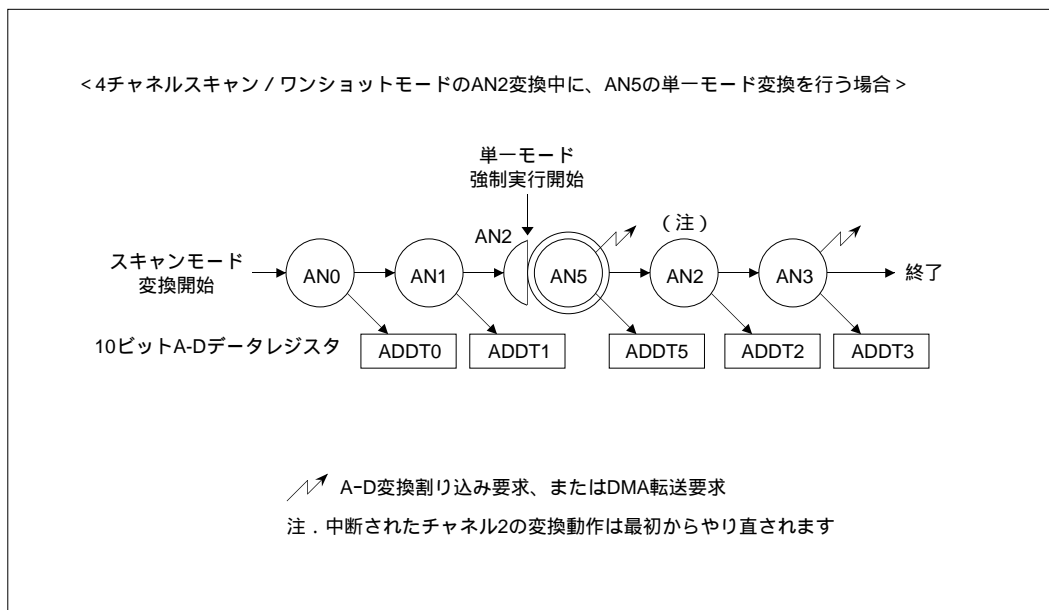


図11.1.6 スキャンモード動作中の単一モード強制実行

(2) 単一モード実行後スキャンモード開始

この特殊動作モードは、単一モード変換(A-D変換またはコンパレート)から連続してスキャン動作を起動します。

ソフトウェアで起動するには、スキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、単一モード変換動作中にスキャンモードレジスタ0内のA-D変換スタートビットに"1"をセットします。

ハードウェアで起動するには、スキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、単一モード変換動作中に同レジスタで指定したハードウェアトリガ(ADTRG信号または出力イベントバス3)を入力します。

単一モードレジスタ0、およびスキャンモードレジスタ0の両方のレジスタのA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、ハードウェアトリガ(ADTRG信号または出力イベントバス3)が入力された場合は、最初に単一モード変換を行い、単一モード変換実行後、続けてスキャンモード変換を行います。

指定チャンネルでの単一モード変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

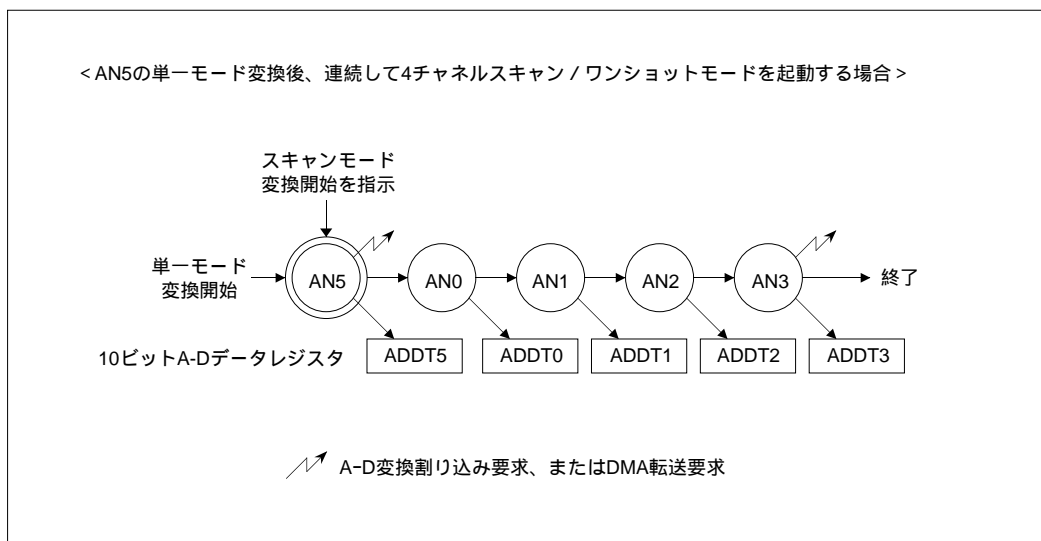


図11.1.7 単一モード実行後スキャンモード開始

(3) 変換再スタート

この特殊動作モードは、単一モードまたはスキャンモードで実行中の動作を中止して、再度最初からやり直すものです。

単一モードの場合は、A-D変換またはコンパレート中に単一モードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ(ADTRG信号または出力イベントバス3)を入力すると、実行中の動作をやり直します。

スキャンモードの場合は、スキャン動作中にスキャンモードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ信号(ADTRG信号または出力イベントバス3)を入力すると、変換中のチャンネルをキャンセルし、チャンネル0からA-D変換を行います。

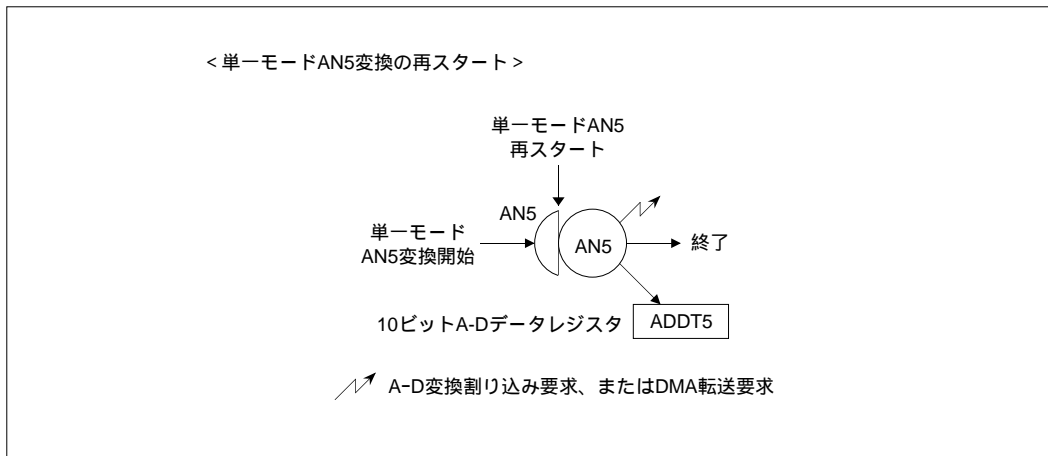


図11.1.8 単一モード動作中の変換再スタート

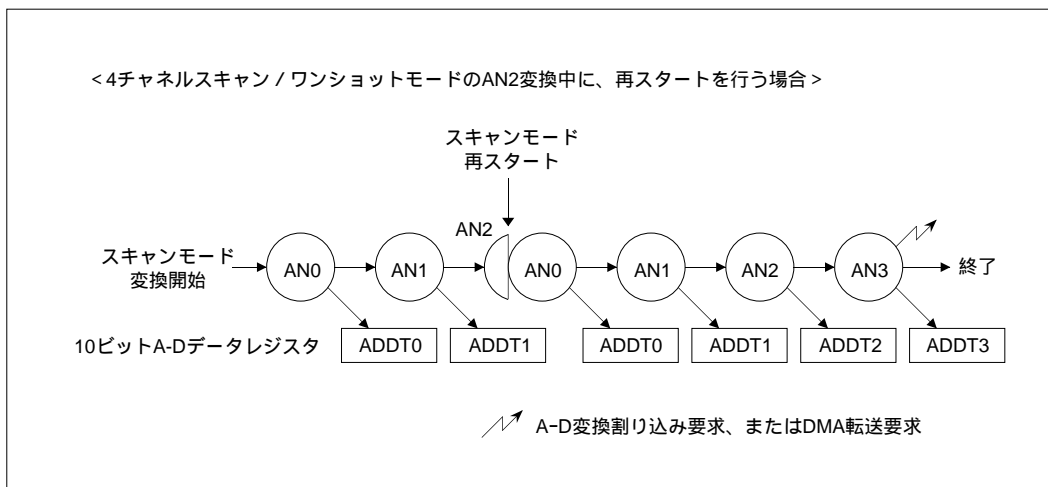


図11.1.9 スキャン動作中の変換再スタート

11.1.4 A-D変換器の割り込み要求とDMA転送要求

A-D変換器では、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。

A-D変換割り込み要求とDMA転送要求の選択は、単一モードレジスタ0と、スキャンモードレジスタ0で行います。

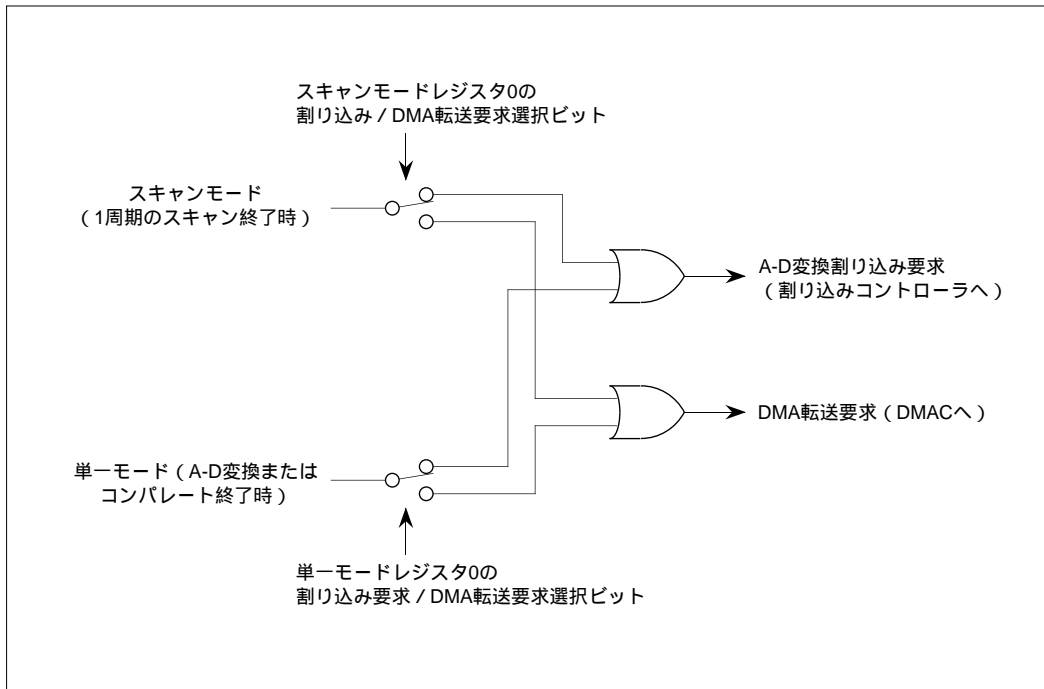


図11.1.10 割り込み要求とDMA転送要求の切り替え

11.2 A-D変換器関連レジスタ

A-D変換器関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0080	単一モードレジスタ0 (ADSIM0)			単一モードレジスタ1 (ADSIM1)		
H'0080 0082						
H'0080 0084	スキャンモードレジスタ0 (ADSCM0)			スキャンモードレジスタ1 (ADSCM1)		
H'0080 0086						
H'0080 0088	A-D逐次近似レジスタ (ADSAR)					
H'0080 008A						
H'0080 008C	A-Dコンバレートデータレジスタ (ADCMP)					
	⋮			⋮		
H'0080 0090	10ビットA-Dデータレジスタ0 (ADDT0)					
H'0080 0092	10ビットA-Dデータレジスタ1 (ADDT1)					
H'0080 0094	10ビットA-Dデータレジスタ2 (ADDT2)					
H'0080 0096	10ビットA-Dデータレジスタ3 (ADDT3)					
H'0080 0098	10ビットA-Dデータレジスタ4 (ADDT4)					
H'0080 009A	10ビットA-Dデータレジスタ5 (ADDT5)					
H'0080 009C	10ビットA-Dデータレジスタ6 (ADDT6)					
H'0080 009E	10ビットA-Dデータレジスタ7 (ADDT7)					
H'0080 00A0	10ビットA-Dデータレジスタ8 (ADDT8)					
H'0080 00A2	10ビットA-Dデータレジスタ9 (ADDT9)					
H'0080 00A4	10ビットA-Dデータレジスタ10 (ADDT10)					
H'0080 00A6	10ビットA-Dデータレジスタ11 (ADDT11)					
H'0080 00A8	10ビットA-Dデータレジスタ12 (ADDT12)					
H'0080 00AA	10ビットA-Dデータレジスタ13 (ADDT13)					
H'0080 00AC	10ビットA-Dデータレジスタ14 (ADDT14)					
H'0080 00AE	10ビットA-Dデータレジスタ15 (ADDT15)					
	⋮			⋮		

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図11.2.1 A-D変換器関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 00D0				8ビットA-Dデータレジスタ0 (AD8DT0)		
H'0080 00D2				8ビットA-Dデータレジスタ1 (AD8DT1)		
H'0080 00D4				8ビットA-Dデータレジスタ2 (AD8DT2)		
H'0080 00D6				8ビットA-Dデータレジスタ3 (AD8DT3)		
H'0080 00D8				8ビットA-Dデータレジスタ4 (AD8DT4)		
H'0080 00DA				8ビットA-Dデータレジスタ5 (AD8DT5)		
H'0080 00DC				8ビットA-Dデータレジスタ6 (AD8DT6)		
H'0080 00DE				8ビットA-Dデータレジスタ7 (AD8DT7)		
H'0080 00E0				8ビットA-Dデータレジスタ8 (AD8DT8)		
H'0080 00E2				8ビットA-Dデータレジスタ9 (AD8DT9)		
H'0080 00E4				8ビットA-Dデータレジスタ10 (AD8DT10)		
H'0080 00E6				8ビットA-Dデータレジスタ11 (AD8DT11)		
H'0080 00E8				8ビットA-Dデータレジスタ12 (AD8DT12)		
H'0080 00EA				8ビットA-Dデータレジスタ13 (AD8DT13)		
H'0080 00EC				8ビットA-Dデータレジスタ14 (AD8DT14)		
H'0080 00EE				8ビットA-Dデータレジスタ15 (AD8DT15)		

空き領域は予約領域です。

図11.2.2 A-D変換器関連レジスタマップ(2/2)

11.2.1 A-D単一モードレジスタ0

A-D単一モードレジスタ0(ADSIM0)

<アドレス : H'0080 0080 >

D0	1	2	3	4	5	6	D7
		ADSTRG	ADSSEL	ADSREQ	ADSCMP	ADSSTP	ADSSTT

<リセット時 : H'04 >

D	ビット名	機能	R	W
0, 1	何も配置されていません		0	-
2	ADSTRG (ハードウェアトリガ選択)	0 : ADTRG信号入力 1 : 出力イベントバス3起動		
3	ADSSEL (A-D変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	ADSREQ (割り込み要求 / DMA要求選択)	0 : 割り込み要求 1 : DMA転送要求		
5	ADSCMP (A-D変換 / コンパレート終了)	0 : A-D変換中 / コンパレート中 1 : A-D変換終了 / コンパレート終了		-
6	ADSSTP (A-D変換ストップ)	0 : 何もしません 1 : A-D変換停止	0	
7	ADSSTT (A-D変換スタート)	0 : 何もしません 1 : A-D変換開始	0	

W = - : 書き込み無効

単一モードレジスタ0は、単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) ADSTRG (ハードウェアトリガ選択) ビット (D2)

ハードウェアでA-D変換を起動する場合に、外部 $\overline{\text{ADTRG}}$ 信号入力を用いるか、出力イベントバス3(マルチジャンクションタイム)起動を用いるかを選択するビットです。ADSSEL (A-D変換開始トリガ選択)ビットでソフトウェアスタートを選択している場合、このビットの内容は無視されます。

$\overline{\text{ADTRG}}$ 端子を使用する場合、 $\overline{\text{ADTRG}}$ 端子に"L"を入力したままの状態でも、新たなA-D変換を開始しません。

(2) ADSSEL (A-D変換開始トリガ選択) ビット (D3)

単一モード時のA-D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADSSTT(A-D変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADSTRG(ハードウェアトリガ選択)ビットで選択した要因でA-D変換が起動されます。

(3) ADSREQ (割り込み要求/DMA転送要求選択) ビット (D4)

単一モード(A-D変換またはコンパレート)終了時に、A-D変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。

(4) ADSCMP (A-D変換/コンパレート終了) ビット (D5)

読み出し専用のビットで、リセット時は"1"です。単一モード(A-D変換またはコンパレート)動作中は"0"になり、終了時に"1"になります。

A-D変換中またはコンパレート中にADSSTT(A-D変換ストップ)ビットを"1"にして、A-D変換動作またはコンパレート動作を強制終了したときも"1"になります。

(5) ADSSTP (A-D変換ストップ) ビット (D6)

単一モード時のA-D変換またはコンパレート中にこのビットを"1"にすると、その動作を停止させることができます。単一モードの動作停止中、およびスキャンモードの動作に対しては、このビットの操作は無視されます。

動作の停止はこのビットへの書き込み後直ちに行われ、停止後に「A-D逐次近似レジスタ」の内容を読み出すと、変換途中の値が読み出されます(A-Dデータレジスタへの転送は行われません)。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

特殊モード「スキャンモード動作中の単一モード強制実行」で、単一モードの動作中にこのビットを"1"にすると単一モード変換のみが停止し、スキャンモード動作が再開されます。

(6) ADSSTT (A-D変換スタート)ビット (D7)

ADSSEL(A-D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットを"1"にするとA-D変換がスタートします。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

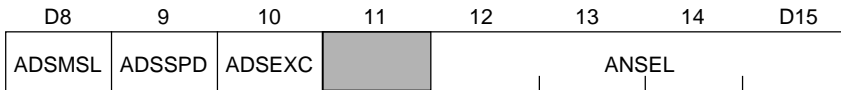
単一モード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、単一モードでの変換を再スタートします。

スキャンモードのA-D変換中にこのビットを"1"にすると、特殊動作モード「スキャンモード動作中の単一モード強制実行」になり、スキャンモードで変換中のチャンネルをキャンセルして単一モード変換を行います。単一モード変換終了後は、キャンセルされたチャンネルからスキャンモードでのA-D変換を再開します。

11.2.2 A-D単一モードレジスタ1

A-D単一モードレジスタ1(ADSIM1)

<アドレス : H'0080 0081 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8	ADSMSL (A-D変換モード選択)	0 : A-D変換モード 1 : コンパレータモード		
9	ADSSPD (A-D変換速度選択)	0 : ノーマル 1 : 倍速		
10	ADSEXC (アナログ拡張機能制御)	0 : アナログ拡張機能を使用しない 1 : アナログ拡張機能を使用する		
11	何も配置されていません		0	-
12~15	ANSEL (アナログ入力端子選択)	0000: AN0を選択 0001: AN1を選択 0010: AN2を選択 0011: AN3を選択 0100: AN4を選択 0101: AN5を選択 0110: AN6を選択 0111: AN7を選択 1000: AN8を選択 1001: AN9を選択 1010: AN10を選択 1011: AN11を選択 1100: AN12を選択 1101: AN13を選択 1110: AN14を選択 1111: AN15を選択		

W = - : 書き込み無効

単一モードレジスタ1は、単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) ADSMSL (A-D変換モード選択) ビット (D8)

単一モード時のA-D変換モードを選択するビットです。このビットが"0"のときはA-D変換モード、"1"のときはコンパレータモードになります。

(2) ADSSPD (A-D変換速度選択) ビット (D9)

単一モード時のA-D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(3) ADSEXC (アナログ拡張機能制御) ビット (D10)

単一モード時は、外付けのアナログスイッチ(セクタ)により、アナログ入力信号を最大4チャンネル拡張する機能を持ちます(AD0~AD14+拡張4本=合計19チャンネルのアナログ入力が可能)。

このビットが"0"のときチャンネルの拡張は行わず、ANSEL(アナログ入力端子選択)ビットによって内蔵の0~15チャンネルのうち1チャンネルを選択します。

このビットが"1"のときチャンネルの拡張機能が有効となります。このときアナログ入力はAN15に固定され、A-D変換結果はA-Dデータレジスタ15に格納されます。また、ANSEL(アナログ入力端子選択)ビットのD14、D15(ANSEL14、ANSEL15)の設定が外部端子P65/ADSEL0と、P66/ADSEL1に出力されます。外部のアナログスイッチ(セクタ)で、拡張したアナログ信号から1本を選択してAN15端子に入力してください。

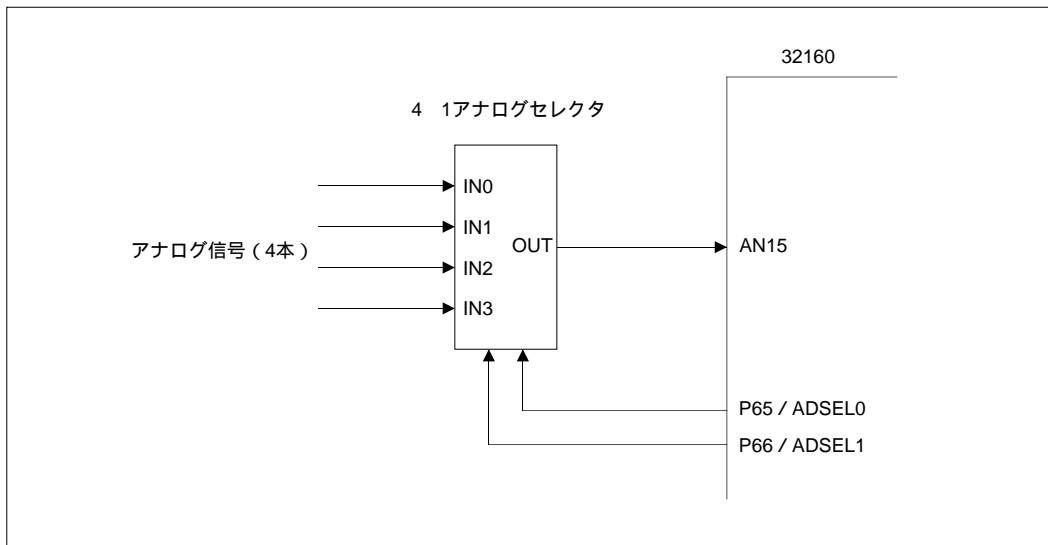


図11.2.3 アナログ入力の拡張例(4チャンネル拡張の場合)

(4) ANSEL (アナログ入力端子選択) ビット (D12 ~ D15)

単一モード時のアナログ入力端子選択ビットです。このビットで選択されたチャンネルがA-D変換またはコンパレートの対象チャンネルになります。なお、読み出し時は書き込んだ値が読み出されます。

また拡張機能使用時は、D14(ANSEL14)の設定が外部端子P65 / ADSEL0に、D15 (ANSEL15)の設定がP66 / ADSEL1に出力されます(レジスタ値が"1"の時"H"、"0"の時"L"出力)。

11.2.3 A-Dスキャンモードレジスタ0

A-Dスキャンモードレジスタ0(ADSCM0)

<アドレス : H'0080 0084 >

D0	1	2	3	4	5	6	D7
	ADCMSL	ADCTRG	ADCSEL	ADCREQ	ADCCMP	ADCSTP	ADCSTT

<リセット時 : H'04 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	ADCMSL (スキャンモード選択)	0 : ワンショットモード 1 : 連続モード		
2	ADCTRG (ハードウェアトリガ選択)	0 : ADTRG信号の入力 1 : 出力イベントバス3起動		
3	ADCSEL (A-D変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	ADCREQ (割り込み要求 / DMA要求選択)	0 : 割り込み要求 1 : DMA転送要求		
5	ADCCMP (A-D変換終了)	0 : A-D変換中 1 : A-D変換終了		-
6	ADCSTP (A-D変換ストップ)	0 : 何もしません 1 : A-D変換停止	0	
7	ADCSTT (A-D変換スタート)	0 : 何もしません 1 : A-D変換開始	0	

W = - : 書き込み無効

スキャンモードレジスタ0は、スキャンモード時の動作を制御するためのレジスタです。

(1) ADCMSL (スキャンモード選択) ビット (D1)

このビットでスキャンワンショットモードと、スキャン連続モードを選択します。

このビットが"0"のときはスキャンワンショットモードになり、ANSCAN(スキャンループ選択)ビットで選択されたチャンネルのA-D変換を順次行い、すべてのチャンネルのA-D変換が終了すると変換動作は停止します。

このビットが"1"のときはスキャン連続モードになり、スキャンワンショットモードの動作終了後、再び最初のチャンネルからA-D変換を行い、ADCSTP(A-D変換ストップ)ビットを"1"にして停止するまでこれを続けます。

(2) ADCTRG (ハードウェアトリガ選択) ビット (D2)

ハードウェアでA-D変換を起動する場合に、外部ADTRG信号入力を用いるか、出力イベントバス3(マルチジャンクションタイマ)起動を用いるかを選択するビットです。ADSSEL(A-D変換開始トリガ選択)ビットでソフトウェアスタートを選択している場合、このビットの内容は無視されます。

ADTRG端子は、立ち下がりエッジにより開始を発生します。ADTRG端子に"L"を入力したままの状態でも、新たなA-D変換を開始しません。

(3) ADCSEL (A-D変換開始トリガ選択) ビット (D3)

スキャンモード時のA-D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADCSTT(A-D変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADCTRG(ハードウェアトリガ選択)ビットで選択した要因でA-D変換が起動されます。

(4) ADCREQ (割り込み / DMA 転送要求選択) ビット (D4)

スキャンモードの1周期終了時に、A-D変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。

(5) ADCCMP (A-D変換終了) ビット (D5)

読み出し専用のビットで、リセット時は"1"です。スキャンモードA-D変換動作中は"0"になり、スキャンワンショットモード終了時、またはスキャン連続モードをADCSTT(A-D変換ストップ)ビットを"1"にして停止したとき"1"になります。

(6) ADCSTP (A-D変換ストップ) ビット (D6)

スキャンモードのA-D変換中にこのビットに"1"を書き込むことで、スキャンモードの動作を停止させることができます。このビットはスキャンモードの動作にのみ有効で、特殊動作モードで、単一モード、スキャンモードが共に起動されている場合でも単一モードの動作には影響を与えません。

動作の停止はこのビットへの書き込み後直ちに行われ、変換途中のチャンネルのA-D変換は途中で打ち切れ、A-Dデータレジスタへの転送は行われません。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

(7) ADCSTT (A-D変換スタート) ビット (D7)

ADCSEL(A-D変換開始トリガ選択)ビットで、スキャンモードをソフトウェアで起動するためのビットで、ソフトウェアトリガを選択している場合にのみ、このビットを"1"にするとA-D変換がスタートします。

A-D変換スタートビットとA-D変換ストップビットを同時に"1"にした場合、A-D変換ストップビットが有効になります。

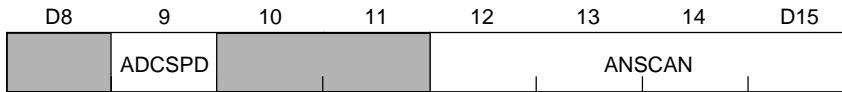
スキャンモード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、スキャンモードレジスタ0およびスキャンモードレジスタ1で設定された内容で、スキャン動作が再起動されます。

単一モードのA-D変換中にこのビットを"1"にすると、特殊動作モード「単一モード実行後スキャンモード開始」になり、単一モード終了後にスキャンモード動作を連続して開始します。

11.2.4 A-Dスキャンモードレジスタ1

A-Dスキャンモードレジスタ1(ADSCM1)

<アドレス: H'0080 0085 >



<リセット時: H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9	ADCSPD (A-D変換速度選択)	0: ノーマル 1: 倍速		
10,11	何も配置されていません		0	-
12~15	ANSCAN (スキャンループ選択)	<書き込み時> 01XX: 4チャンネルスキャン 10XX: 8チャンネルスキャン 11XX: 16チャンネルスキャン 00XX: 16チャンネルスキャン <変換中読み出し時> 0000: AN0を変換中 0001: AN1を変換中 0010: AN2を変換中 0011: AN3を変換中 0100: AN4を変換中 0101: AN5を変換中 0110: AN6を変換中 0111: AN7を変換中 1000: AN8を変換中 1001: AN9を変換中 1010: AN10を変換中 1011: AN11を変換中 1100: AN12を変換中 1101: AN13を変換中 1110: AN14を変換中 1111: AN15を変換中		

W = - : 書き込み無効

スキャンモードレジスタ1は、スキャンモード時の動作を制御するためのレジスタです。

(1) ADCSPD (A-D変換速度選択) ビット (D9)

スキャンモード時のA-D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(2) ANSCAN (スキャンループ選択) ビット (D12 ~ D15)

ANSCAN(スキャンループ選択)ビットで、スキャンモード時のスキャンチャンネルを設定します。このときD14、D15への書き込みは無効です。

ANSCAN(スキャンループ選択)ビットをスキャン動作時に読み出すと、変換中のチャンネルを示すステータスとなります。

単一モード時に、このビットは常に 'B'0000 'が読み出されます。

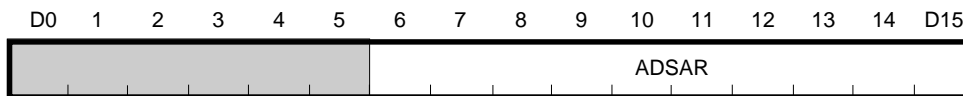
スキャンモード実行中に、スキャンモードレジスタ0のADCSTP(A-D変換ストップ)ビットに"1"をセットしてA-D変換を中止した場合は、A-D変換動作をキャンセルされたチャンネルの値が読み出されます。

また、特殊動作モード「スキャンモード動作中の単一モード強制実行」で単一モード変換中は、スキャン途中でA-D変換動作をキャンセルされたチャンネルの値が読み出されます。

11.2.5 A-D逐次近似レジスタ

A-D逐次近似レジスタ(ADSAR)

< アドレス : H'0080 0088 >



< リセット時 : 初 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	ADSAR	A-D逐次近似値(A-D変換モード) (A-D逐次近似値 / 比較値)		

W = - : 書き込み無効

注: このレジスタは、必ずハーフワードでアクセスしてください。

A-D逐次近似レジスタ(ADSAR)は、A-D変換モードの場合はA-D変換結果を読み出し、コンパレートモードの場合は比較値を書き込むレジスタです。

A-D変換モードでは、A-D変換を逐次近似比較方式で行いますが、この方式では基準電圧 AVREF とアナログ入力電圧を上位側から順に1ビット単位で比較した結果を、A-D逐次近似レジスタ(ADSAR)の各ビット(D6 ~ D15)に対してセットします。A-D変換終了後はこのレジスタの値が、変換を行ったチャネルに対応する10ビットA-Dデータレジスタ(ADDTn)に転送されます。なお、A-D変換の途中でこのレジスタを読み出すと、変換の途中結果が読み出されます。

コンパレートモードでは、このレジスタに比較値(コンパレート比較電圧)を書き込みます。書き込みと同時に単一モードレジスタ1で設定したアナログ入力端子とのコンパレート動作が開始されます。コンパレート終了後、結果はA-Dコンパレートデータレジスタ(ADCMP)に格納されます。

コンパレートモードでA-D逐次近似レジスタ(ADSAR)に書き込む比較値の値は、以下の計算式で求めます。

$$\text{比較値} = \text{H}'3\text{FF} \times \frac{\text{コンパレート比較電圧 [V]}}{\text{AVREF入力電圧 [V]}}$$

11.2.6 A-Dコンパレートデータレジスタ

A-Dコンパレートデータレジスタ(ADCMP)

< アドレス : H'0080 008C >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
AD CMP0	AD CMP1	AD CMP2	AD CMP3	AD CMP4	AD CMP5	AD CMP6	AD CMP7	AD CMP8	AD CMP9	AD CMP10	AD CMP11	AD CMP12	AD CMP13	AD CMP14	AD CMP15

< リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	ADCMP0~ADCMP15 (注2)	0 : アナログ入力電圧 > 比較電圧 (コンパレート結果フラグ) 1 : アナログ入力電圧 < 比較電圧		-

W = - : 書き込み無効

注1. このレジスタは、必ずハーフワードでアクセスしてください。

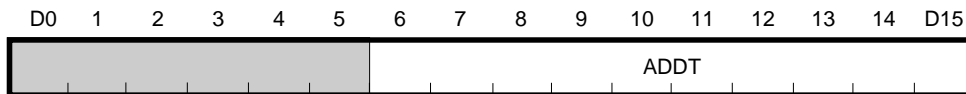
注2. コンパレータモード時に、各ビットがチャンネル0~チャンネル15に対応します。

単一モードレジスタ1のADSMSL(A-D変換モード選択)ビットでコンパレートモードを選択した場合、選択されたアナログ入力値と、A-D逐次近似レジスタに書き込んだ値との比較を行い、結果をこのレジスタの対応するビットに格納します。

アナログ入力電圧 > 比較電圧のとき"0"、アナログ入力電圧 < 比較電圧のとき"1"になります。

11.2.7 10ビットA-Dデータレジスタ

10ビットA-Dデータレジスタ0(ADDT0)	<アドレス : H'0080 0090 >
10ビットA-Dデータレジスタ1(ADDT1)	<アドレス : H'0080 0092 >
10ビットA-Dデータレジスタ2(ADDT2)	<アドレス : H'0080 0094 >
10ビットA-Dデータレジスタ3(ADDT3)	<アドレス : H'0080 0096 >
10ビットA-Dデータレジスタ4(ADDT4)	<アドレス : H'0080 0098 >
10ビットA-Dデータレジスタ5(ADDT5)	<アドレス : H'0080 009A >
10ビットA-Dデータレジスタ6(ADDT6)	<アドレス : H'0080 009C >
10ビットA-Dデータレジスタ7(ADDT7)	<アドレス : H'0080 009E >
10ビットA-Dデータレジスタ8(ADDT8)	<アドレス : H'0080 00A0 >
10ビットA-Dデータレジスタ9(ADDT9)	<アドレス : H'0080 00A2 >
10ビットA-Dデータレジスタ10(ADDT10)	<アドレス : H'0080 00A4 >
10ビットA-Dデータレジスタ11(ADDT11)	<アドレス : H'0080 00A6 >
10ビットA-Dデータレジスタ12(ADDT12)	<アドレス : H'0080 00A8 >
10ビットA-Dデータレジスタ13(ADDT13)	<アドレス : H'0080 00AA >
10ビットA-Dデータレジスタ14(ADDT14)	<アドレス : H'0080 00AC >
10ビットA-Dデータレジスタ15(ADDT15)	<アドレス : H'0080 00AE >



<リセット時:初>

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	ADDT (A-Dデータ)	A-D変換結果		-

W = - : 書き込み無効

注. このレジスタは、必ずハーフワードでアクセスしてください。

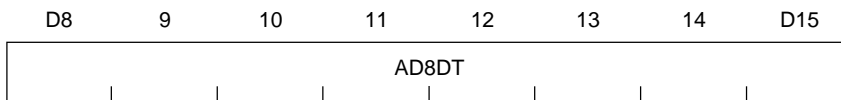
単一モードでは、A-D変換の結果が、対応するチャンネルの10ビットA-Dデータレジスタに格納されます。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D逐次近似レジスタの内容が、対応するチャンネルの10ビットA-Dデータレジスタに転送されます。

各10ビットA-Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

11.2.8 8ビットA-Dデータレジスタ

8ビットA-Dデータレジスタ0(AD8DT0)	<アドレス: H'0080 00D1 >
8ビットA-Dデータレジスタ1(AD8DT1)	<アドレス: H'0080 00D3 >
8ビットA-Dデータレジスタ2(AD8DT2)	<アドレス: H'0080 00D5 >
8ビットA-Dデータレジスタ3(AD8DT3)	<アドレス: H'0080 00D7 >
8ビットA-Dデータレジスタ4(AD8DT4)	<アドレス: H'0080 00D9 >
8ビットA-Dデータレジスタ5(AD8DT5)	<アドレス: H'0080 00DB >
8ビットA-Dデータレジスタ6(AD8DT6)	<アドレス: H'0080 00DD >
8ビットA-Dデータレジスタ7(AD8DT7)	<アドレス: H'0080 00DF >
8ビットA-Dデータレジスタ8(AD8DT8)	<アドレス: H'0080 00E1 >
8ビットA-Dデータレジスタ9(AD8DT9)	<アドレス: H'0080 00E3 >
8ビットA-Dデータレジスタ10(AD8DT10)	<アドレス: H'0080 00E5 >
8ビットA-Dデータレジスタ11(AD8DT11)	<アドレス: H'0080 00E7 >
8ビットA-Dデータレジスタ12(AD8DT12)	<アドレス: H'0080 00E9 >
8ビットA-Dデータレジスタ13(AD8DT13)	<アドレス: H'0080 00EB >
8ビットA-Dデータレジスタ14(AD8DT14)	<アドレス: H'0080 00ED >
8ビットA-Dデータレジスタ15(AD8DT15)	<アドレス: H'0080 00EF >



<リセット時: 初>

D	ビット名	機能	R	W
8~15	AD8DT (8ビットA-Dデータ)	8ビットA-D変換結果		-

W = - : 書き込み無効

このA-Dデータレジスタには8ビット変換データが格納されます。

単一モードでは、A-D変換の結果が、対応するチャンネルの8ビットA-Dデータレジスタに格納されます。

スキャンワンショット/連続モードでは、各チャンネルのA-D変換終了ごとにA-D逐次近似レジスタの内容が、対応するチャンネルの8ビットA-Dデータレジスタに転送されます。

各8ビットA-Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでもその内容を読み出すことができます。

11.3 A-D変換器機能説明

11.3.1 アナログ入力電圧の求め方

A-D変換器は、10ビット逐次近似方式を採用しており、A-D変換の実行結果で得られる値（デジタル値）から実際のアナログ入力電圧を求めるには、以下の計算を行います。

$$\text{アナログ入力電圧 [V]} = \frac{\text{A-D変換結果} \times \text{AVREF入力電圧 [V]}}{1024}$$

A-D変換器は10ビット構成であり、分解能は1024となります。A-D変換器の基準電圧は、AVREF端子に入力された電圧になるため、AVREFには正確かつ安定な定電圧電源を接続して下さい。またアナログ系の電源、グランド（AVCC、AVSS）はデジタル系の電源と分離し、ノイズ対策を十分とってください。

なお、変換の精度については、11.3.5「A-D変換の精度」をご覧ください。

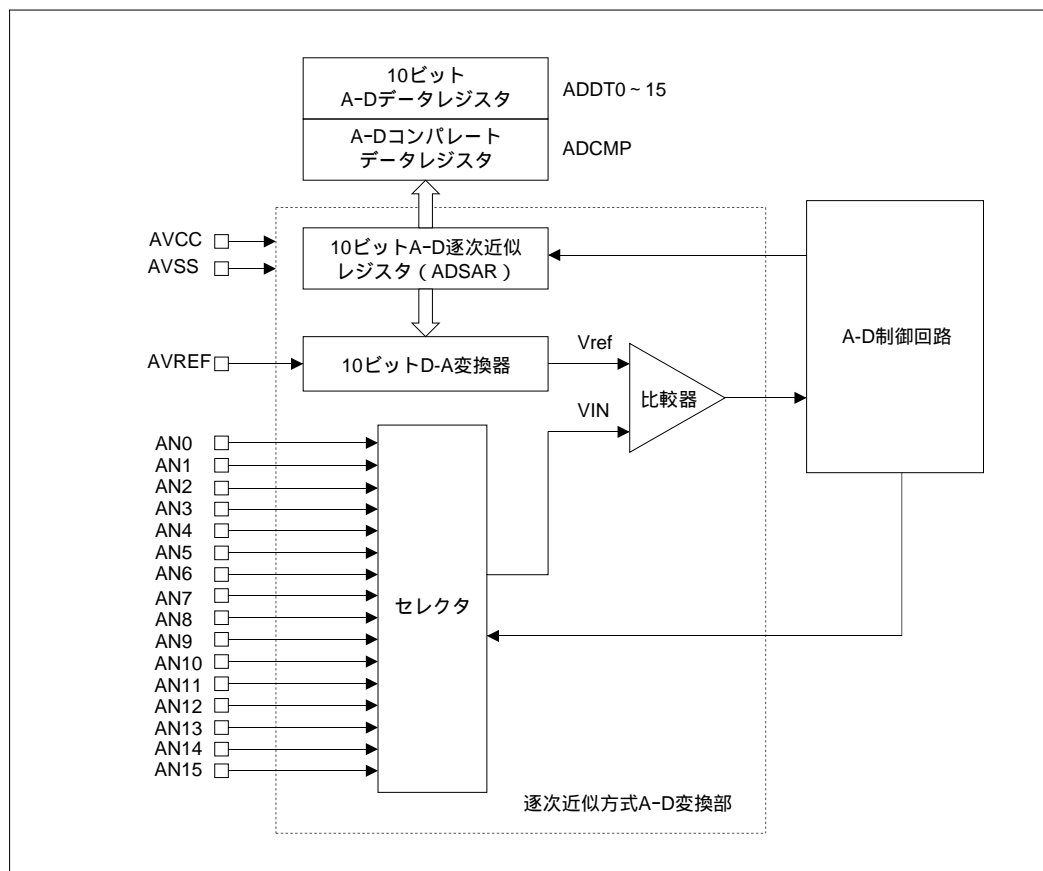


図11.3.1 逐次近似方式A-D変換部概略ブロック図

11.3.2 逐次近似比較方式のA-D変換

A-D変換器は、A-D変換開始トリガ(ソフトウェアまたはハードウェア)によりA-D変換動作を開始します。A-D変換開始後は、以下の動作を自動的に実行します。

単一モード時は単一モードレジスタ0のA-D変換/コンパレート終了ビットを、またスキャンモード時はスキャンモードレジスタ0のA-D変換終了ビットを"0"にクリア

A-D逐次近似レジスタの内容を"H'0000"にクリア

A-D逐次近似レジスタの最上位ビット(D6)を"1"にセット

比較電圧Vref(注)を、D-Aコンバータから比較器へ入力

比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をD6に格納

Vref < VIN ならば、D6 = "1"

Vref > VIN ならば、D6 = "0"

上記(～)の動作を、以下D7～D15までの全ビットに対して実行

D15の比較終了時A-D逐次近似レジスタに格納されている値をA-D変換結果として確定

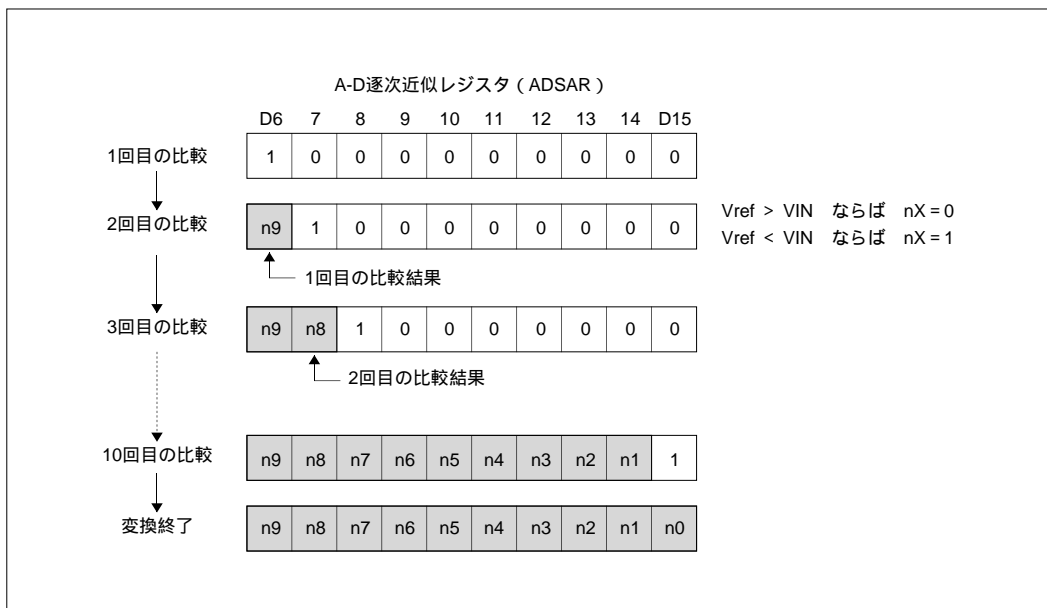


図11.3.2 A-D変換動作中のA-D逐次近似レジスタの変化

注. 比較電圧Vref(D-Aコンバータから比較器に入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

A-D逐次近似レジスタの内容 = 0 の場合

$$V_{ref}[V] = 0$$

A-D逐次近似レジスタの内容 = 1 ~ 1023 の場合

$$V_{ref}[V] = (AVREF / 1024) \times (\text{A-D逐次近似レジスタの内容} - 0.5)$$

比較結果は、変換を行ったチャンネルに対応した10ビットA-Dデータレジスタ(ADDTn)に格納されます。また、8ビットA-Dデータレジスタ(AD8DTn)からは、10ビットA-D変換結果の上位8ビットが読み出せます。

各動作モードにおける逐次近似比較方式のA-D変換の手順を以下に示します。

(1) 単一モードの場合

A-D逐次近似レジスタのD15ビットの比較が完了すると変換動作は停止します。A-D逐次近似レジスタの内容(A-D変換結果)は、変換を行った10ビットA-Dデータレジスタ0~15に転送されます。

(2) スキャンワンショットモードの場合

指定したあるチャンネルのA-D逐次近似レジスタでD15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記 ~ の変換動作を再び実行します。

スキャンワンショットモード時は、指定した1スキャンループのA-D変換が終了すると、変換動作は停止します。

(3) スキャン連続モードの場合

指定したチャンネルのA-D逐次近似レジスタでD15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記 ~ の変換動作を再び実行します。

スキャン連続モード時は、A-D変換ストップビット(スキャンモードレジスタ0のD6)を"1"にセットし、スキャン動作を強制停止させるまで、連続して変換動作を実行します。

11.3.3 コンパレータ動作

コンパレータモード(単一モードのみ)を選択すると、A-D変換器はソフトウェアによって設定した比較電圧と、アナログ入力電圧を比較するコンパレータとして機能します。

逐次近似レジスタに比較値を書き込むと、単一モードレジスタ1のアナログ入力選択ビットで選択されたアナログ入力電圧と、逐次近似レジスタに書き込んだ値とのコンパレートを開始します。コンパレートが開始すると、以下の動作が自動的に実行されます。

単一モードレジスタ0またはスキャンモードレジスタ0のA-D変換/コンパレート終了フラグを"0"にクリア

比較電圧Vref(注)を、D-Aコンバータから比較器へ入力

比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をコンパレート結果フラグ(A-DコンパレートデータレジスタのD15)に格納

Vref < VIN ならば、コンパレート結果フラグ = "0"

Vref > VIN ならば、コンパレート結果フラグ = "1"

比較結果を格納後、コンパレート動作を停止

比較結果は、A-Dコンパレートデータレジスタ(ADCMP)の対応するビットに格納されます。

注. 比較電圧Vref(D-Aコンバータから比較器に入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

A-D逐次近似レジスタの内容 = 0の場合

$$Vref[V] = 0$$

A-D逐次近似レジスタの内容 = 1 ~ 1023の場合

$$Vref[V] = (AVREF / 1024) \times (A-D逐次近似レジスタの内容 - 0.5)$$

11.3.4 A-D変換時間算出方法

A-D変換時間はダミーサイクル時間と実際の実行サイクル時間との和で表されます。変換時間の算出に必要な各時間は以下の通りです。

開始ダミー時間

CPUがA-D変換の開始命令を実行した時点から、A-D変換器がA-D変換を開始するまでの時間

A-D変換実行サイクル時間

コンパレート実行サイクル時間

終了ダミー時間

A-D変換器がA-D変換を終了した時点から、CPUがその変換結果をA-Dデータレジスタから読み出せる(安定読み出し領域)までの時間

スキャン間ダミー時間

スキャンワンショット/連続モード時、A-D変換器があるチャンネルのA-D変換を終了した時点から、次のチャンネルのA-D変換を開始するまでの時間

A-D変換時間の計算式は以下のとおりです。

$$\begin{aligned}
 \text{A-D変換時間} &= \text{開始ダミー時間} + \text{実行サイクル時間} \\
 &\quad (+ \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\
 &\quad + \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\
 &\quad + \text{スキャン間ダミー時間} \quad + \text{実行サイクル時間}) \\
 &\quad + \text{終了ダミー時間}
 \end{aligned}$$

注.()内はスキャンモードで、2チャンネル目以降の変換時間を示します

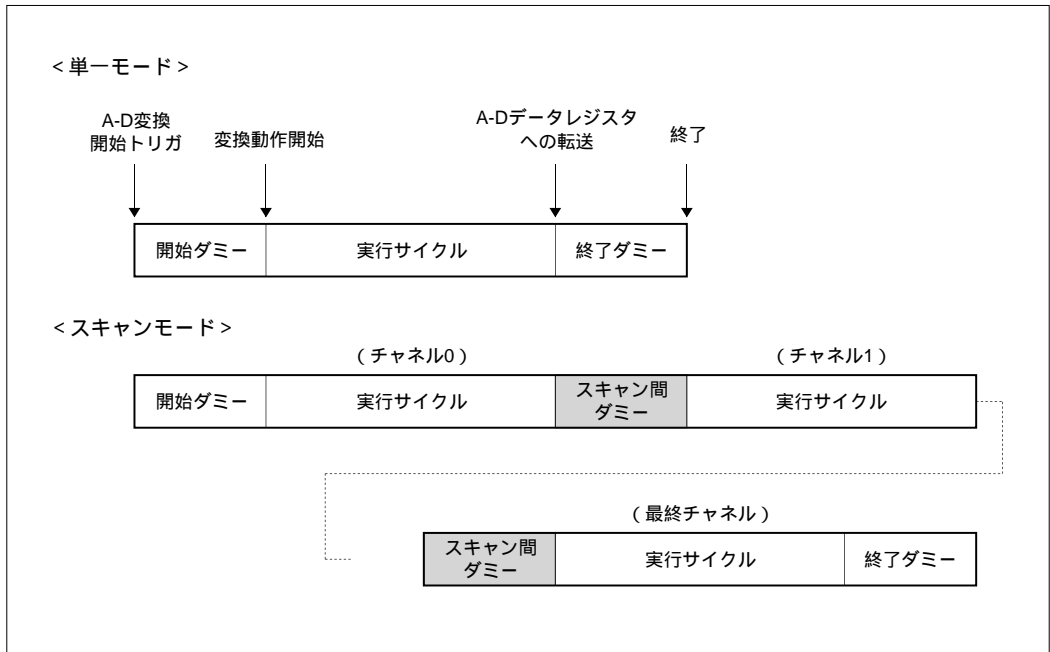


図11.3.3 A-D変換時間概念図

表11.3.1 変換クロック数一覧表

単位：BCLK

転送速度	開始ダミー (注1) (注2) (注3)			A-D変換 実行サイクル	コンパレート 実行サイクル	終了 ダミー	スキャン間 ダミー(注4)
ノーマル	4	4	4	294	42	1	4
倍速	4	4	4	168	24	1	4

注1. ソフトウェアトリガの場合

注2. ハードウェアトリガの場合

注3. A-D逐次近似レジスタへの書き込み(コンパレートモード)の場合

注4. スキャン動作時のみ、チャンネルごとの実行時間に加算されます。

表11.3.2 A-D変換時間(合計時間)

変換開始方法	変換速度	変換モード(注1)	変換時間 [BCLK]	
ソフトウエアトリガ (注2)	ノーマル	単一モード	299	
		スキャンワンショット /連続モード	4チャンネルスキャン	1193
			8チャンネルスキャン	2385
			16チャンネルスキャン	4769
		コンパレータモード	47	
	倍速	単一モード	173	
		スキャンワンショット /連続モード	4チャンネルスキャン	689
			8チャンネルスキャン	1377
			16チャンネルスキャン	2753
		コンパレータモード	27	
	ハードウエアトリガ (注3)	ノーマル	単一モード	299
			スキャンワンショット /連続モード	4チャンネルスキャン
8チャンネルスキャン				2385
16チャンネルスキャン				4769
コンパレータモード			47	
倍速		単一モード	173	
		スキャンワンショット /連続モード	4チャンネルスキャン	689
			8チャンネルスキャン	1377
			16チャンネルスキャン	2753
		コンパレータモード	27	

注1. 単一モードおよびコンパレータモードは、1チャンネルのA-D変換、コンパレート時間を示します。

スキャンワンショット/連続モードは、1スキャンループのA-D変換時間を示します。

注2. レジスタの書き込みサイクルが終了してから、A-D変換終了割り込み要求が発生するまでの時間を示します。

注3. ADTRG端子に"L"レベルが入力、または出力イベントバス3が起動されてから、A-D変換終了割り込み要求が発生するまでの時間を示します。

11.3.5 A-D変換精度の定義

以下に、A-D変換精度の定義を示します。

- (1) 分解能 ... A-D変換器のデジタル変換出力コード数
- (2) 非直線性誤差 ... オフセット誤差およびフルスケール誤差を"0"に調整した後の理想変換特性からの偏位。(図11.3.5)
- (3) オフセット誤差 ... A-D変換器の理想変換直線から得られるデジタル出力コードに対して、実際のデジタル出力コードがどの程度ずれているかをあらわしたものです。(図11.3.6)
- (4) フルスケール誤差 ... デジタル出力コードがフルスケールを示す値に達した時のアナログ入力電圧が、公称値からどのくらいずれているかを示すものです。(図11.3.7)

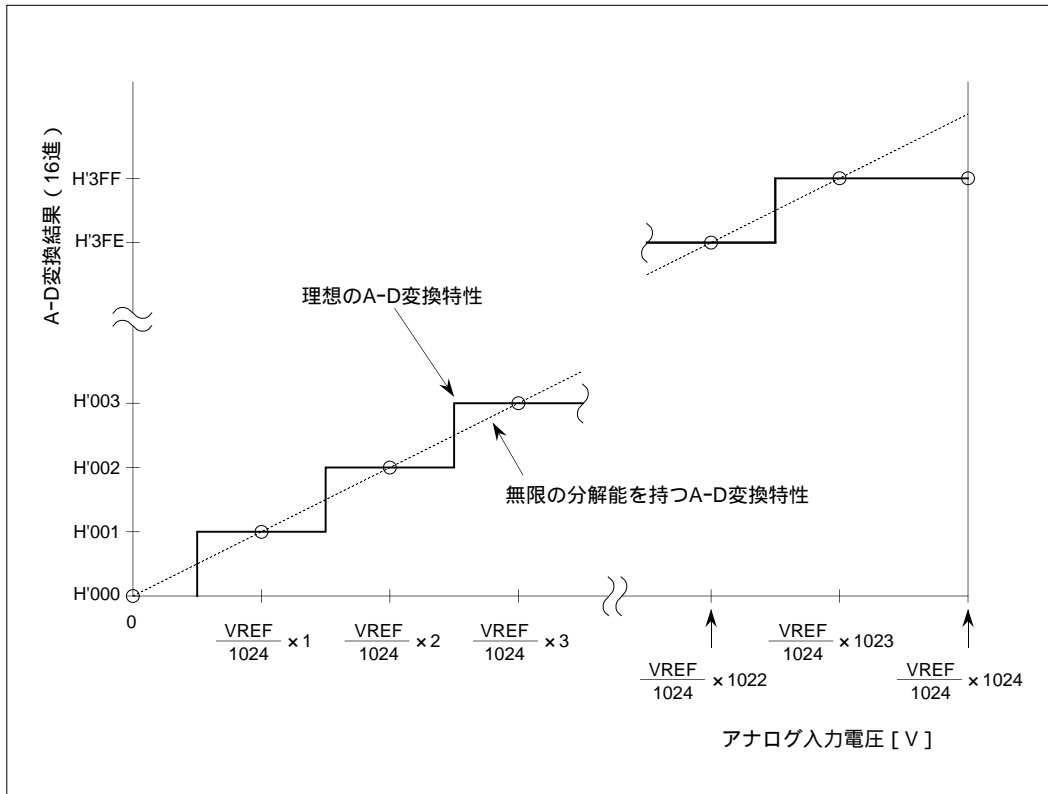


図11.3.4 10ビットA-D変換器のアナログ入力電圧に対する理想的A-D変換特性

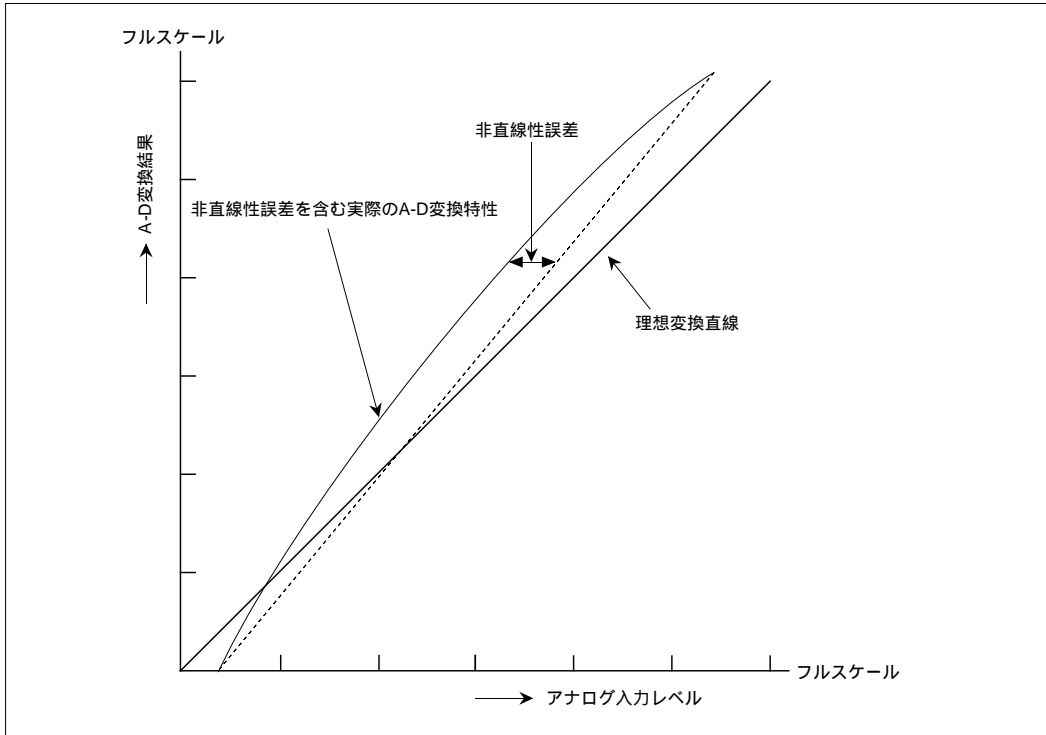


図11.3.5 A-D変換器の非直線性誤差

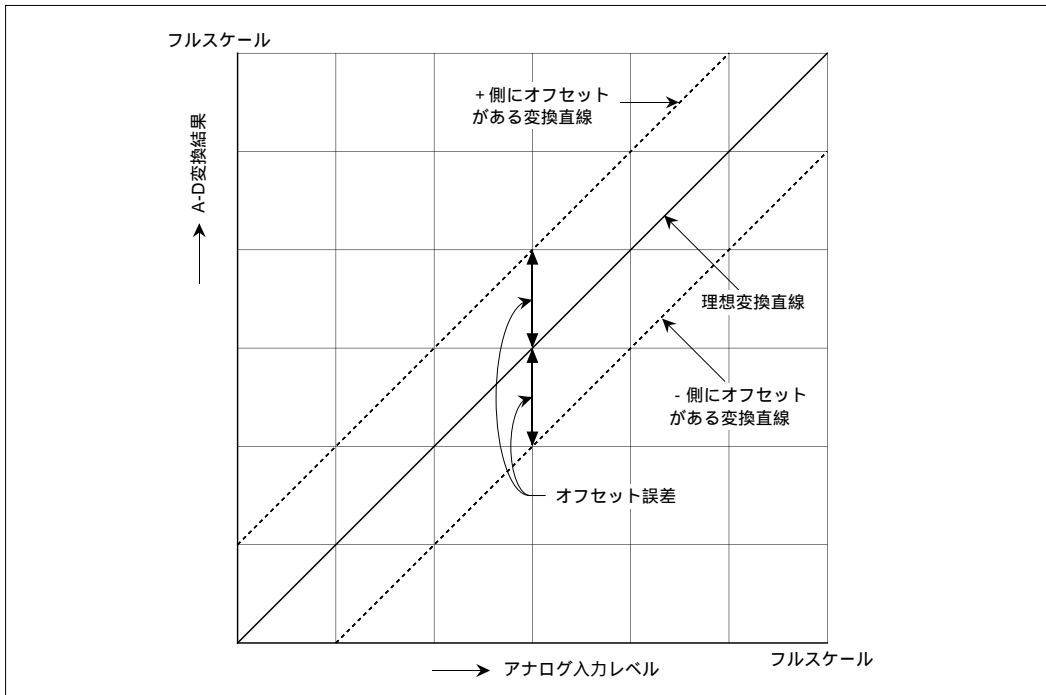


図11.3.6 A-D変換器のオフセット誤差

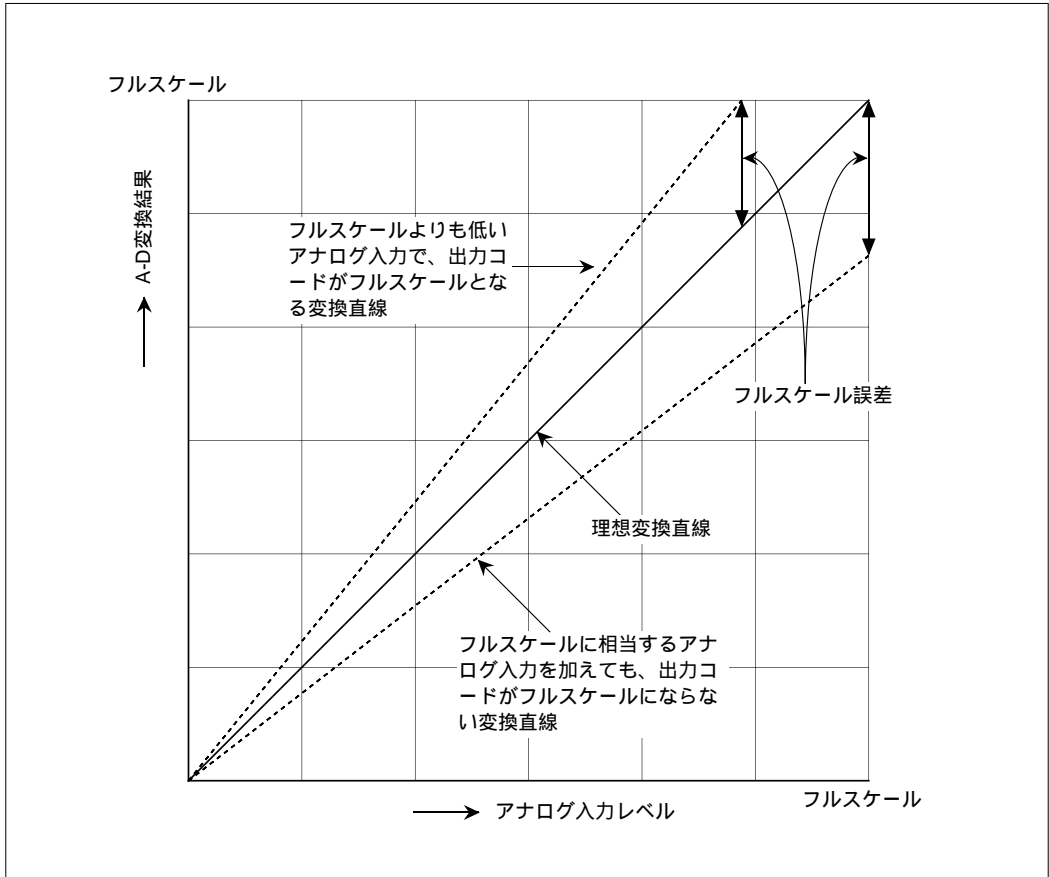


図11.3.7 A-D変換器のフルスケール誤差

11.4 A-D変換器の注意事項

スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット(ADCSTP)を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

$\overline{\text{ADTRG}}$ 信号と入出力ポート

$\overline{\text{ADTRG}}$ 信号入力をA-D変換開始トリガに設定した場合、 $\overline{\text{ADTRG}}$ 端子を入力ポート(P67)として使用しないでください。

A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

アナログ入力信号の取り扱い

このA-D変換器には、サンプルアンドホールド回路は内蔵されていません。したがって、A-D変換中はアナログ入力レベルを固定してください。

A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のD5ビット、およびスキャンモードレジスタ0のD5ビット)を読み出す場合は、NOP命令などで1サイクル分タイミング調整してから読み出してください。

空きページです

第12章

シリアル/O

- 12.1 シリアル/O概要
- 12.2 シリアル/O関連レジスタ
- 12.3 CSIOモード送信動作説明
- 12.4 CSIOモード受信動作説明
- 12.5 CSIOモード時の注意事項
- 12.6 UARTモード送信動作説明
- 12.7 UARTモード受信動作説明
- 12.8 定周期クロック出力機能
- 12.9 UARTモード時の注意事項

12.1 シリアルI/O概要

32160は、SIO0、SIO1、SIO2、SIO3の計4チャンネルのシリアルI/Oを内蔵しております。SIO0とSIO1はCSIOモード(クロック同期形シリアルI/O)と、UARTモード(クロック非同期形シリアルI/O)を選択できます。SIO2とSIO3はUARTモード専用となっています。

CSIOモード(クロック同期形シリアルI/O)

転送クロックに同期して通信を行うモードで、送受信間で同一のクロックを使用します。転送データ長は8ビット固定です。

UARTモード(クロック非同期形シリアルI/O)

非同期形通信を行うモードで、転送データ長は7ビット、8ビット、9ビットから選択できます。

各シリアルI/Oは、それぞれ送信DMA転送要求と受信DMA転送要求を持っています。内蔵DMACを用いることにより、高速なシリアル通信が可能となり、また、データ通信にともなうCPUの負荷も低減されます。

以下にシリアルI/Oの概要を示します。

表12.1.1 シリアルI/Oの概要

項目	内容
チャンネル数	CSIO/UART : 2チャンネル(SIO0,SIO1) UART専用 : 2チャンネル(SIO2,SIO3)
クロック	CSIOモード時 : 内部クロック / 外部クロック選択可 (注1) UARTモード時 : 内部クロック固定
転送モード	送信半二重, 受信半二重, 送受信全二重
BRGカウントソース	ƒ(BCLK), ƒ(BCLK)/8, ƒ(BCLK)/32, ƒ(BCLK)/256 (内部クロック選択時) (注2)
データフォーマット	CSIOモード : データ長 = 8ビット固定 転送順序 = LSBファースト固定 UARTモード : スタートビット = 1ビット キャラクタ長 = 7ビット / 8ビット / 9ビット パリティビット = あり / なし (ありの場合, 奇数 / 偶数選択可能) ストップビット = 1ビット / 2ビット 転送順序 = LSBファースト固定
ボーレート	CSIOモード : 190ビット/秒 ~ 1.79Mビット/秒 (ƒ(BCLK) = 25MHz動作時) UARTモード : 23ビット/秒 ~ 195Kビット/秒 (ƒ(BCLK) = 25MHz動作時)
エラー検出	CSIOモード : オバランエラーのみ UARTモード : オバランエラー, パリティエラー, フレミングエラー (いずれかのエラーが発生したことはエラーサムビットで表示)
定周期クロック出力機能	SIO0, SIO1をUARTとして用いる場合, SCLK端子からBRGの2分周クロックを出力させる機能

注1 . CSIOモード時の外部クロックの最大入力周波数は ƒ(BCLK) の16分周です。

注2 . BRGカウントソースとして ƒ(BCLK) を選択した場合, BRG設定値に制限があります。

表12.1.2 シリアルI/Oの割り込み要求発生機能

シリアルI/Oの割り込み要求	ICU割り込み要因
SIO0の送信バッファエンプティ割り込み	SIO0送信バッファエンプティ 割り込み
SIO0の受信完了, または受信エラー割り込み (選択可能)	SIO0受信割り込み
SIO1の送信バッファエンプティ割り込み	SIO1送信バッファエンプティ 割り込み
SIO1の受信完了, または受信エラー割り込み (選択可能)	SIO1受信割り込み
SIO2の送信バッファエンプティ割り込み	SIO2,SIO3グループ割り込み
SIO2の受信完了, または受信エラー割り込み (選択可能)	SIO2,SIO3グループ割り込み
SIO3の送信バッファエンプティ割り込み	SIO2,SIO3グループ割り込み
SIO3の受信完了, または受信エラー割り込み (選択可能)	SIO2,SIO3グループ割り込み

表12.1.3 シリアルI/OのDMA転送要求発生機能

シリアルI/OのDMA転送要求	DMAC入力チャンネル
SIO0送信バッファエンプティ	チャンネル3
SIO0受信完了	チャンネル4
SIO1送信バッファエンプティ	チャンネル6
SIO1受信完了	チャンネル3
SIO2送信バッファエンプティ	チャンネル7
SIO2受信完了	チャンネル5
SIO3送信バッファエンプティ	チャンネル9
SIO3受信完了	チャンネル8

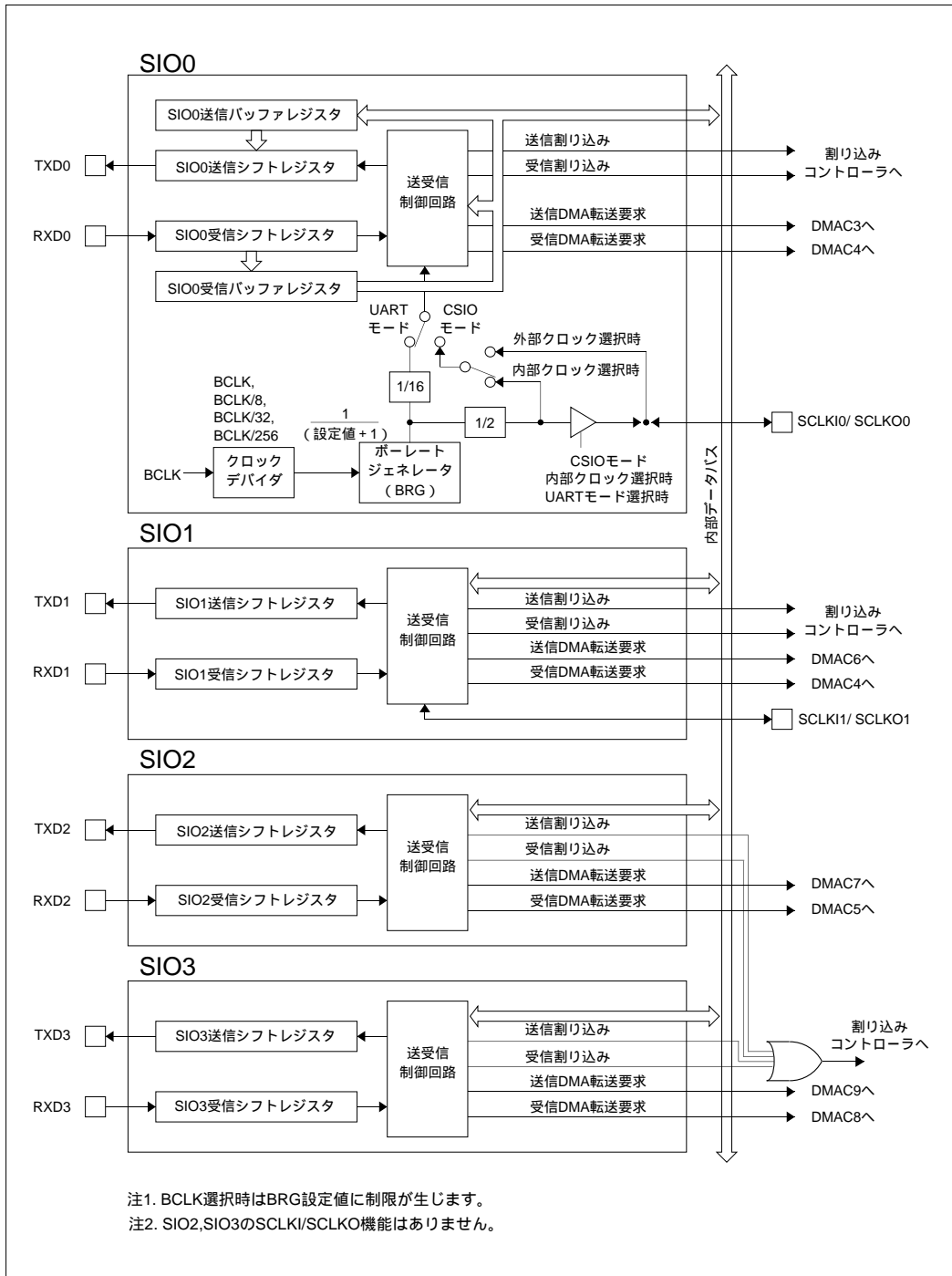


図12.1.1 SIO0～SIO3のブロック図

12.2 シリアルI/O関連レジスタ

シリアルI/O関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0100	SIO割り込みステータスレジスタ (SISTAT)			SIO割り込みマスクレジスタ (SIMASK)		
H'0080 0102	SIO受信割り込み要因選択レジスタ (SISEL)					
≈						
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)			SIO0送受信モードレジスタ (S0MOD)		
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)					
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)					
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)			SIO0ポーレートレジスタ (S0BAUR)		
≈						
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)			SIO1送受信モードレジスタ (S1MOD)		
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)					
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)					
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)			SIO1ポーレートレジスタ (S1BAUR)		
≈						
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)			SIO2送受信モードレジスタ (S2MOD)		
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)					
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)					
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)			SIO2ポーレートレジスタ (S2BAUR)		
≈						
H'0080 0140	SIO3送信制御レジスタ (S3TCNT)			SIO3送受信モードレジスタ (S3MOD)		
H'0080 0142	SIO3送信バッファレジスタ (S3TXB)					
H'0080 0144	SIO3受信バッファレジスタ (S3RXB)					
H'0080 0146	SIO3受信制御レジスタ (S3RCNT)			SIO3ポーレートレジスタ (S3BAUR)		

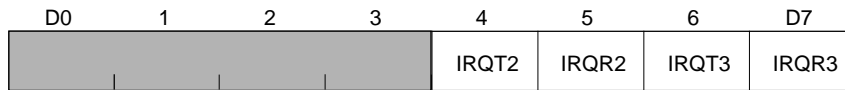
空き領域は予約領域です。

図12.2.1 シリアルI/O関連レジスタマップ

12.2.1 SIO割り込み制御レジスタ

SIO割り込みステータスレジスタ(SISTAT)

<アドレス : H'0080 0100 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	IRQT2 (SIO2送信完了割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
5	IRQR2 (SIO2受信割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
6	IRQT3 (SIO3送信完了割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		
7	IRQR3 (SIO3受信割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり		

W = - : 書き込み無効

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

SIO2、SIO3からの送受信割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ハードウェアによるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

SIO割り込みステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

SIO割り込みマスクレジスタ(SIMASK)

<アドレス : H'0080 0101 >

D8	9	10	11	12	13	14	D15
T0MASK	R0MASK	T1MASK	R1MASK	T2MASK	R2MASK	T3MASK	R3MASK

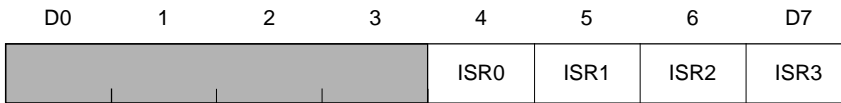
<リセット時 : H'00 >

D	ビット名	機能	R	W
8	T0MASK (SIO0送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
9	R0MASK (SIO0受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
10	T1MASK (SIO1送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
11	R1MASK (SIO1受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
12	T2MASK (SIO2送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
13	R2MASK (SIO2受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
14	T3MASK (SIO3送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
15	R3MASK (SIO3受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		

各SIOから出された割り込み要求の許可 / 不許可を制御するレジスタです。割り込みマスクビットに "1" をセットすると、対応するSIOからの割り込み要求が許可されます。

SIO受信割り込み要因選択レジスタ(SISEL)

< アドレス : H'0080 0102 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません			-
4	ISR0	0: 受信完了割り込み (SIO0受信割り込み要因選択ビット) 1: 受信エラー割り込み		
5	ISR1	0: 受信完了割り込み (SIO1受信割り込み要因選択ビット) 1: 受信エラー割り込み		
6	ISR2	0: 受信完了割り込み (SIO2受信割り込み要因選択ビット) 1: 受信エラー割り込み		
7	ISR3	0: 受信完了割り込み (SIO3受信割り込み要因選択ビット) 1: 受信エラー割り込み		

W = - : 書き込み無効

受信動作完了時に生じる割り込み要因が選択されます。

【"0" にセットした場合】

受信完了割り込み(受信バッファフル)が選択されます。受信完了割り込みは、受信エラー発生時でも発生します(オーバーランエラーを除く)。

【"1" にセットした場合】

受信エラー割り込みが選択されます。受信エラーで検出されるエラーは以下の通りです。

CSIOモード : オーバーランエラー

UARTモード : オーバーランエラー、パリティエラー、フレーミングエラー

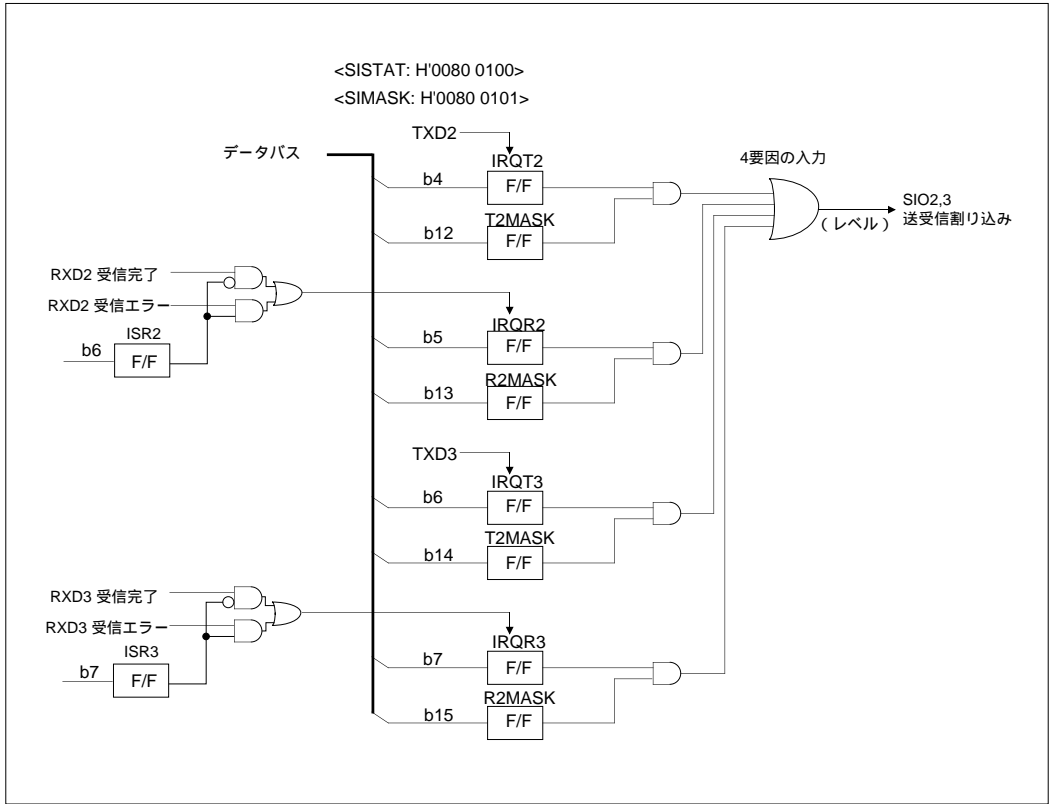
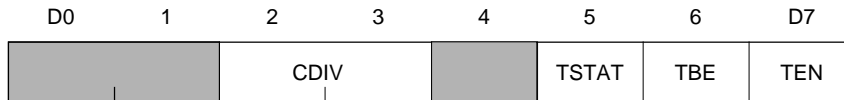


図12.2.2 SIO2,3送受信割り込み回路構成図

12.2.2 SIO送信制御レジスタ

SIO0送信制御レジスタ(S0TCNT)	<アドレス : H'0080 0110 >
SIO1送信制御レジスタ(S1TCNT)	<アドレス : H'0080 0120 >
SIO2送信制御レジスタ(S2TCNT)	<アドレス : H'0080 0130 >
SIO3送信制御レジスタ(S3TCNT)	<アドレス : H'0080 0140 >



<リセット時 : H'12 >

D	ビット名	機能	R	W
0,1	何も配置されていません			-
2,3	CDIV (BRGカウントソース 選択ビット)	D2 D3 0 0 : f(BCLK)を選択 0 1 : f(BCLK)の8分周を選択 1 0 : f(BCLK)の32分周を選択 1 1 : f(BCLK)の256分周を選択		
4	何も配置されていません			-
5	TSTAT (送信ステータスビット)	0 : 送信停止 & 送信バッファレジスタ 内にデータなし 1 : 送信中or送信バッファレジスタ 内にデータあり		-
6	TBE (送信バッファ エンプティビット)	0 : 送信バッファレジスタ内に データあり 1 : 送信バッファレジスタ内に データなし		-
7	TEN (送信許可ビット)	0 : 送信禁止 1 : 送信許可		

W = - : 書き込み無効

(1) CDIV (ボーレートジェネレータカウントソース選択) ビット (D2,D3)

ボーレートジェネレータ(BRG)のカウントソースを選択するビットです。

注. BRGのカウントソースとして(BCLK)を選択した場合、ボーレートが最大転送速度を上回ることがないようにBRGを設定する必要があります。詳細は、BRGレジスタの項を参照ください。

(2) TSTAT (送信ステータス) ビット (D5)

[セット条件]

送信許可状態の時に送信バッファレジスタへ書き込むと"1"がセットされます。

[クリア条件]

送信停止(送信シフトレジスタにデータがない) かつ送信バッファレジスタにデータが存在しない場合、"0"にクリアされます。また、送信許可ビットのクリアによってもクリアされます。

(3) TBE (送信バッファエンプティ) ビット (D6)

[セット条件]

送信バッファレジスタから送信シフトレジスタにデータが転送され、送信バッファレジスタが空になると"1"にセットされます。また、送信許可ビットを"0"にクリアするとセットされます。

[クリア条件]

送信許可の状態(TENが"1"にセット)で送信バッファレジスタの下位バイトにデータを書き込むと"0"にクリアされます。

(4) TEN (送信許可) ビット (D7)

このビットを"1"にセットすると送信許可状態になり、"0"にクリアすると送信禁止となります。

データ送信中に"0"にクリアした場合、送信動作は停止します。

12.2.3 SIO送受信モードレジスタ

SIO0モードレジスタ(S0MOD)	<アドレス : H'0080 0111 >
SIO1モードレジスタ(S1MOD)	<アドレス : H'0080 0121 >
SIO2モードレジスタ(S2MOD)	<アドレス : H'0080 0131 >
SIO3モードレジスタ(S3MOD)	<アドレス : H'0080 0141 >

D8	9	10	11	12	13	14	D15
SMOD			CKS	STB	PSEL	PEN	SEN

<リセット時 : 00 >

D	ビット名	機能	R	W
8~10	SMOD (シリアルI/Oモード選択ビット) (注1)	000 : 7ビットUART 001 : 8ビットUART 01X : 9ビットUART 1XX : 8ビットクロック同期シリアルI/O		
11	CKS(内部 / 外部クロック 選択ビット)	0 : 内部クロック 1 : 外部クロック		(注2)
12	STB(ストップビット長選択ビット、 UARTモード専用)	0 : 1ストップビット 1 : 2ストップビット		(注3)
13	PSEL(パリティ奇 / 偶選択ビット、 UARTモード専用)	0 : 奇数パリティ 1 : 偶数パリティ		(注3)
14	PEN(パリティ許可ビット、 UARTモード専用)	0 : パリティ禁止 1 : パリティ許可		(注3)
15	SEN(スリープ選択ビット、 UARTモード専用)	0 : スリープ機能無効 1 : スリープ機能有効		(注3)

注1. SIO2,3では、D8ビットはハードウェア的に"0"固定です。D8ビットに"1"を設定(クロック同期シリアルI/Oを選択)することはできません。

注2. UARTモード選択時は無効となります。

注3. クロック同期形モード時、D12~D15は無効になります。

SIO モードレジスタは、シリアルI/Oの動作モード、デ - タフォ - マットおよび通信時に使用する機能を設定するビットで構成されています。

SIO送受信モードレジスタは、必ずシリアルI/Oの動作開始前に設定を行ってください。送受信開始後に設定を変更する場合は、送信および受信動作の完了を確認し、送受信動作を禁止(SIO送信制御レジスタの送信許可ビットおよびSIO受信制御レジスタの受信許可ビットを"0"にクリア)したのち設定してください。

(1) SMOD (シリアルI/Oモード選択) ビット (D8 ~ D10)

シリアルI/Oモード選択ビットは、シリアルI/Oの動作モードを選択するビットです。

(2) CKS (内部/外部クロック選択) ビット (D11)

CSIOモード選択時に有効なビットです。UARTモード選択時は、このビットの設定は無効となり、内部クロックで動作します。

(3) STB (ストップビット長選択) ビット (D12)

UARTモード時に有効なビットです。送信するデータの終わりを示すストップビット長を、このビットで選択します。このビットが"0"のとき1ストップビット、"1"のとき2ストップビットです。

クロック同期形モード時、このビットの内容は無効になります。

(4) PSEL (パリティ奇/偶選択) ビット (D13)

UARTモード時に有効なビットです。パリティを許可(D14 = "1")した場合、このビットでパリティの属性(奇数 / 偶数)を選択します。このビットが"0"のとき奇数パリティ、"1"のとき偶数パリティです。

パリティを禁止(D14 = "0")した場合、およびクロック同期形モード時はこのビットの内容は無効になります。

(5) PEN (パリティ許可) ビット (D14)

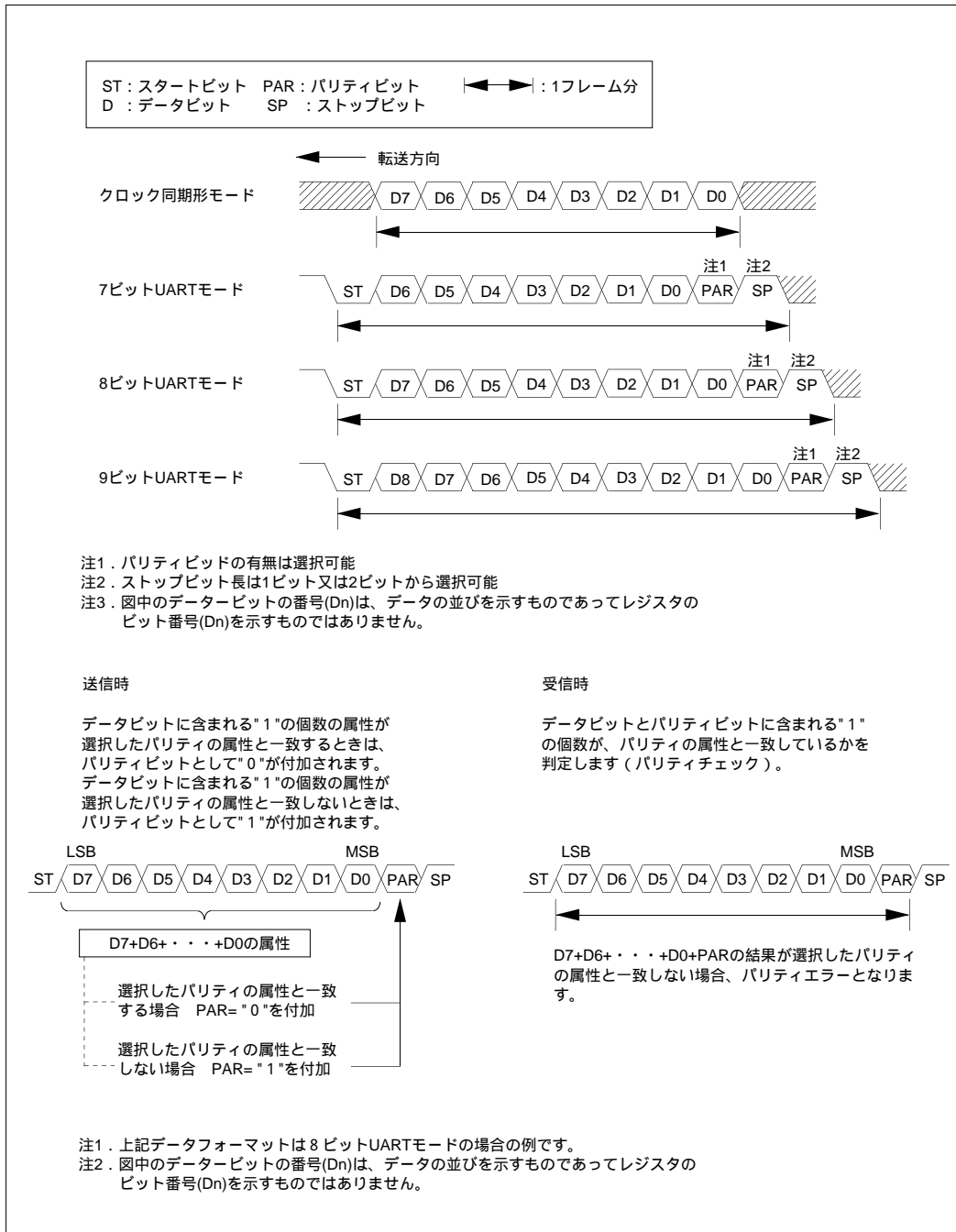
UARTモード時に有効なビットです。このビットを"1"にしたとき、送信データのデータビットの直後にパリティビットを付加します。受信データに対しては、パリティチェックを行います。

送信データに付加されるパリティビットは、データビットの"1"の個数とパリティビットの内容を加算した結果の属性(奇数 / 偶数)が、パリティ奇 / 偶選択ビット(D13)で選択した属性と一致するように、自動的に"0"又は"1"に決定されます。

図12.2.4にパリティ許可時のデータフォーマット例を示します。

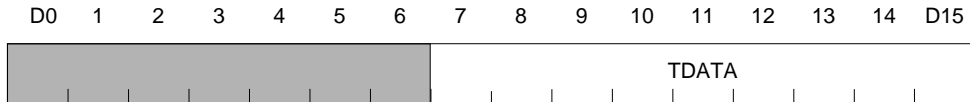
(6) SEN (スリープ選択) ビット (D15)

UARTモード時に有効なビットです。このビットを"1"にしてスリープ機能を有効にした場合、受信データの最上位ビット(MSB)の内容が"1"の場合だけ、UART受信バッファレジスタへデータを取り込みます。



12.2.4 SIO送信バッファレジスタ

SIO0送信バッファレジスタ(S0TXB)	<アドレス : H'0080 0112 >
SIO1送信バッファレジスタ(S1TXB)	<アドレス : H'0080 0122 >
SIO2送信バッファレジスタ(S2TXB)	<アドレス : H'0080 0132 >
SIO3送信バッファレジスタ(S3TXB)	<アドレス : H'0080 0142 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~6	何も配置されていません		?	
7~15	TDATA (送信データ)	送信データを設定します。	?	

R = ? : 読み出し時不定

SIO送信バッファレジスタは、送信データを設定するレジスタです。このレジスタは書き込み専用レジスタで、このレジスタの内容を読み出すことはできません。データはLSB側につめて設定し、7ビットデータ(UARTモードのみ)時はD9~D15に、8ビットデータ時はD8~D15に、9ビットデータ(UARTモードのみ)時はD7~D15に送信データを書きます。

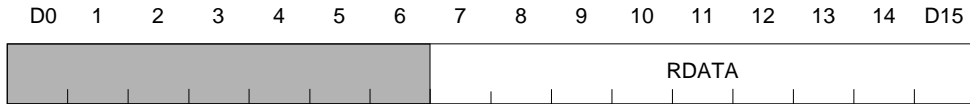
送信データの設定は、送信制御レジスタのTEN(送信許可)ビットを許可("1"にセット)してから行ってください。TENビットが不許可("0"にクリア)の状態での書き込みは無効です。

送信許可の状態で送信バッファレジスタにデータが書き込まれると、SIO送信バッファレジスタのデータはSIO送信シフトレジスタに転送され、送信が開始されます。

注. 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.5 SIO受信バッファレジスタ

SIO0受信バッファレジスタ(S0RXB)	<アドレス : H'0080 0114 >
SIO1受信バッファレジスタ(S1RXB)	<アドレス : H'0080 0124 >
SIO2受信バッファレジスタ(S2RXB)	<アドレス : H'0080 0134 >
SIO3受信バッファレジスタ(S3RXB)	<アドレス : H'0080 0144 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
8~15	RDATA (受信データ)	受信データが格納されます。		-

W = - : 書き込み無効

SIO受信バッファレジスタは、受信データを格納するレジスタです。データの受信が完了すると、SIO受信シフトレジスタの内容がSIO受信バッファレジスタに転送されます。このレジスタは読み出し専用のレジスタです。

7ビットデータ(UARTモードのみ)時は、D9~D15にデータがセットされ、D8、D7には必ず"0"がセットされます。8ビットデータ時は、D8~D15にデータがセットされ、D7には必ず"0"がセットされます。

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、それ以後受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、受信制御レジスタのREN(受信許可)ビットを"0"にクリアしてください。

注. 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.6 SIO受信制御レジスタ

SIO0受信制御レジスタ(S0RCNT)	<アドレス : H'0080 0116 >
SIO1受信制御レジスタ(S1RCNT)	<アドレス : H'0080 0126 >
SIO2受信制御レジスタ(S2RCNT)	<アドレス : H'0080 0136 >
SIO3受信制御レジスタ(S3RCNT)	<アドレス : H'0080 0146 >

D0	1	2	3	4	5	6	D7
	RSTAT	RFIN	REN	OVR	PTY	FLM	ERS

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	何も配置されていません			-
1	RSTAT (受信ステータスビット)	0 : 受信停止 1 : 受信中		-
2	RFIN (受信完了ビット)	0 : 受信バッファレジスタ内に データなし 1 : 受信バッファレジスタ内に データあり		-
3	REN (受信許可ビット)	0 : 受信禁止 1 : 受信許可		-
4	OVR (オーバーランエラービット)	0 : オーバーランエラーなし 1 : オーバーランエラー発生		-
5	PTY (パリティエラービット、 UARTモード専用)	0 : パリティエラーなし 1 : パリティエラー発生		-
5	FLM (フレーミングエラービット、 UARTモード専用)	0 : フレーミングエラーなし 1 : フレーミングエラー発生		-
7	ERS (エラーサムビット)	0 : エラーなし 1 : エラー発生		-

W = - : 書き込み無効

(1) RSTAT (受信ステータス) ビット (D1)

[セット条件]

受信動作の開始によって"1"にセットされます。このビットが"1"の時は、データ受信中であることを示しています。

[クリア条件]

受信動作の完了、もしくはREN(受信許可)ビットを"0"にクリアすることによってクリアされます。

(2) RFIN (受信完了) ビット (D2)

[セット条件]

受信シフトレジスタにデータが揃い、その内容が受信バッファレジスタに転送された時、"1"にセットされます。

[クリア条件]

受信バッファレジスタの下位バイトの読み出し、もしくはREN(受信許可)ビットのクリアによって行います。ただし、オーバーランエラー発生時は、受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(3) REN (受信許可) ビット (D3)

このビットを"1"にセットすると受信許可状態になり、"0"にクリアすると受信禁止となるとともに受信部を初期化します。これに伴い、受信ステータスフラグ、受信完了フラグビット、オーバーランエラーフラグ、フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグの各ビットがクリアされます。

データ受信中に受信許可ビットを"0"にクリアした場合、受信動作は停止します。

(4) OVR (オーバーランエラー) ビット (D4)

[セット条件]

受信バッファレジスタに前回の受信データが存在するにもかかわらず、受信シフトレジスタに次の受信データが揃ってしまった場合、"1"にセットされます。受信データの受信バッファレジスタへの格納は行われません。

オーバーランエラーフラグが"1"の状態では受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、このビットをクリアする必要があります。

[クリア条件]

REN(受信許可)ビットを"0"にクリアすることによってのみクリアされます。

(5) PTY (パリティエラー) ビット (D5)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

PTY(パリティエラーフラグ)ビットはSIO送受信モードレジスタのPEN(パリティ有効/無効)ビットが有効でかつ、受信データのパリティ(偶数/奇数)が同じレジスタのPSEL(パリティ選択)ビットで設定した値と異なる場合、"1"がセットされます。

[クリア条件]

PTYビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(6) FLM (フレーミングエラー) ビット (D6)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

FLM(フレーミングエラー)ビットは受信したビットの数が、SIO送受信モードレジスタで選択した数と異なる場合に"1"がセットされます。ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

[クリア条件]

FLMビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

(7) ERS (エラーサム) ビット (D7)

[セット条件]

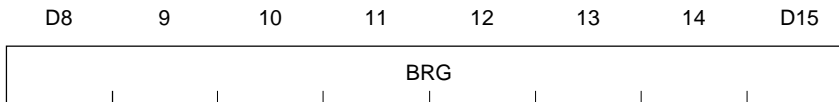
受信完了時にオーバーランエラー、フレーミングエラー、およびパリティエラーのうち、いずれかの一つでも発生した場合、このフラグに"1"がセットされます。

[クリア条件]

オーバーランエラー発生時は、REN(受信許可)ビットを"0"にクリアすることによって行います。それ以外の場合は、受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

12.2.7 SIOボーレートレジスタ

SIO0ボーレートレジスタ(S0BAUR)	<アドレス: H'0080 0117 >
SIO1ボーレートレジスタ(S1BAUR)	<アドレス: H'0080 0127 >
SIO2ボーレートレジスタ(S2BAUR)	<アドレス: H'0080 0137 >
SIO3ボーレートレジスタ(S3BAUR)	<アドレス: H'0080 0147 >



<リセット時: 不定>

D	ビット名	機能	R	W
8~15	BRG (ボーレート分周値)	SIOモードレジスタで選択された ボーレートカウントソースを、 BRG設定値nにしたがって(n+1) 分周します。		

BRG (ボーレート分周値) (D8 ~ 15)

SIOボーレートレジスタは、SIOモードレジスタで選択したボーレートカウントソースを、BRG設定値に従って(BRG設定値+1)分周します。

初期状態ではBRGの値は不定となっているため、必ずシリアルI/O動作前に分周値を設定してください。送受信中のBRG書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。

CSIOモードで内部クロックを使用する(SCLKO信号を出力する)場合は、内部BCLKをクロックデバイダで分周し、次にBRG設定値に従って(BRG設定値+1)分周後、さらに2分周したクロックを送受信シフトクロックとします。

CSIOモードで外部クロックを使用する場合は、BRGは使用しません(外部から入力されたクロックに同期して送受信が行われます)。

UARTモードでは、内部BCLKをクロックデバイダで分周した後、BRG設定値に従って(BRG設定値+1)分周し、さらに16分周したクロックが送受信シフトクロックになります。

SIO0、SIO1をUARTモードで使用する場合、該当ポート(P84、P87)をそれぞれSCLKO0端子、SCLKO1端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

内部クロック使用時(内部クロックCSIOモード、UARTモード)で、BRGカウントソースとして(BCLK)を選択した場合、CSIOモードの時には2Mビット/秒を越えないように、UARTモードの時にはBRGが7以下となるように設定してください。

12.2.8 SIO割り込み関連レジスタ設定時の注意事項

(1) 割り込み要因の選択

各SIOからICU(割り込みコントローラ)へ出力される割り込み信号には、送信割り込みと、受信割り込みとがあります。送信割り込みは、送信バッファエンプティ時に発生します。受信割り込みは、受信完了割り込みと受信エラー割り込みとからSISEL(受信割り込み要因選択レジスタ)によって選択できます。

注1. 割り込み信号は、対応するSIOのTEN(送信許可)ビット、またはREN(受信許可)ビットを許可にし、SIO割り込みマスクレジスタで許可することによってはじめて発生します。

注2. SIO2とSIO3は2本でグループ割り込み一つとなっています。

(2) 送信割り込みに関する注意

SIO割り込みマスクレジスタが割り込み許可状態で、対応するTEN(送信許可)ビットを許可にすると、送信割り込みが発生します。

(3) SIOのDMA転送要求について

各SIOは送信DMA転送要求と受信完了DMA転送要求を発生することができます。DMA転送要求は各SIOの対応するTEN(送信許可)ビット、もしくはREN(受信許可)ビットを許可することで発生可能となります。

DMA転送を用いて通信を行う場合は、TENビット、RENビットを許可にする前にDMACの設定を行ってください。

受信エラーが発生した場合、受信完了DMA転送要求は発生しません。

送信DMA転送要求

送信バッファエンプティで、TENビットが許可の場合に発生します。

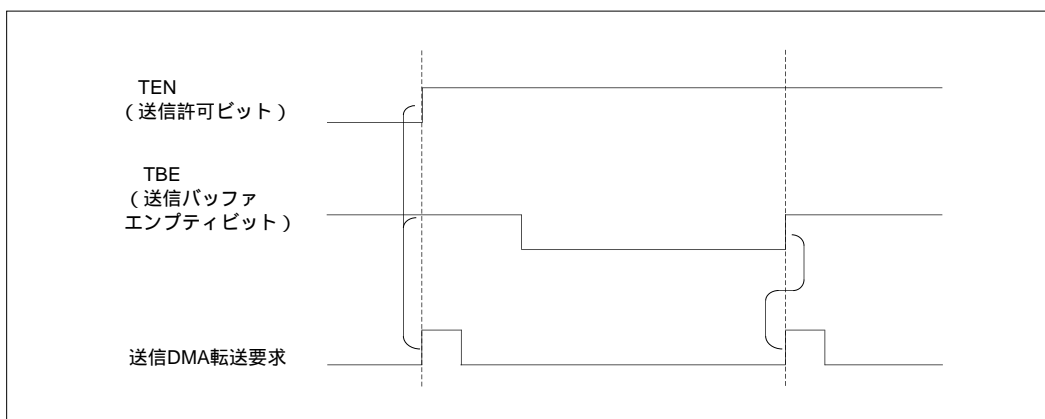


図12.2.4 送信DMA転送要求

受信完了DMA転送要求

受信バッファフルになった時にDMA転送要求を発生します。

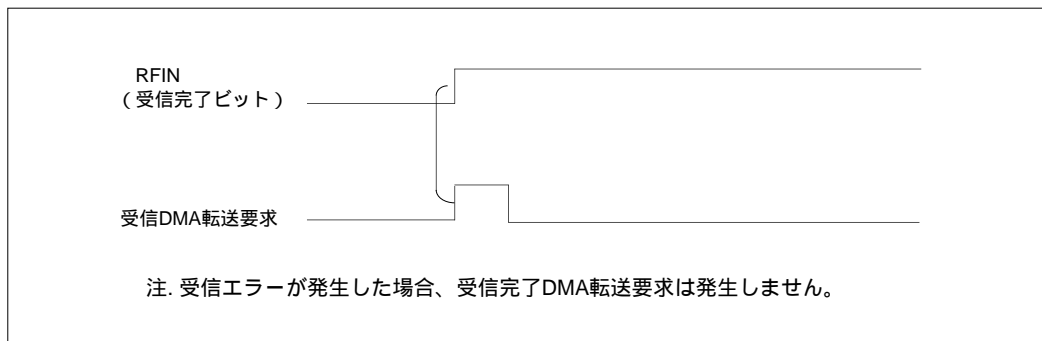


図12.2.5 受信完了DMA転送要求

12.3 CSIOモード送信動作説明(SIO0、SIO1)

12.3.1 CSIOボーレートの設定

CSIOモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックを生成するクロックソースは、内部クロック($f(\text{BCLK})$)、または外部クロックから選択します。クロックソースの選択はCKS(内部/外部クロック選択)ビット(SIO送受信モードレジスタのD11)により行います。

送受信のボーレート値の算出式は、内部/外部クロックの選択によって異なります。

(1) CSIOモードで内部クロック選択時

内部クロックを選択した場合、 $f(\text{BCLK})$ はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力されます。

クロックデバイダの分周値は、CDIV(ボーレートジェネレータカウトソース選択)ビット(送信制御レジスタD2,D3)で、1分周、8分周、32分周または256分周から選択します。

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)分周し、さらに2分周したクロックをデータの送受信シフトクロックとします。

CSIOモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート} \left[\text{bps} \right] = \frac{f(\text{BCLK})}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 2}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF (注)
クロックデバイダ分周値 = 1, 8, 32, 256

注. ボーレートジェネレータカウントソースとして1分周($f(\text{BCLK})$ そのもの)を選択した場合は、2Mbpsを越えないようにボーレートレジスタの値を設定してください。

(2) CSIOモードで外部クロック選択時

ボーレートジェネレータは使用されず、SCLKI端子からの入力クロックが、そのままCSIOの送受信シフトクロックになります。

SCLKI端子への入力クロック最大周波数は、 $f(\text{BCLK})/16$ です。

$$\text{ボーレート} \left[\text{bps} \right] = \text{SCLKI端子入力クロック}$$

12.3.2 CSIO送信時の初期設定

CSIOで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

CSIOモードに設定
内部クロック / 外部クロック選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(12.3.1「CSIOボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

送信バッファエンプティ割り込みの許可 / 禁止(SIO割り込みマスクレジスタ)

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信時に送信バッファエンプティ割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

送信バッファエンプティ時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

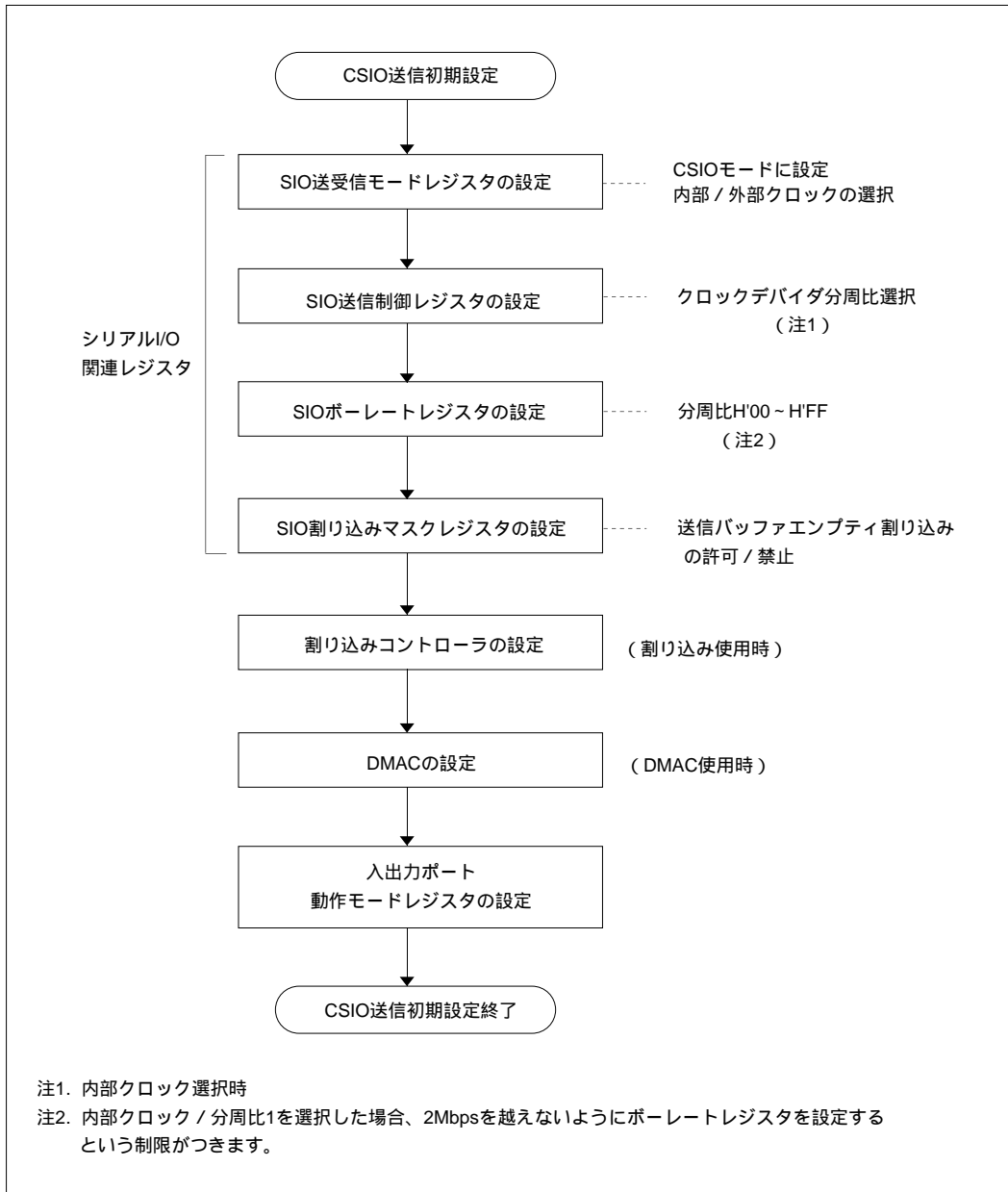


図12.3.1 CSIO送信初期化手順

12.3.3 CSIO送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

(1) CSIO モード内部クロック選択時の送信条件

SIO送信制御レジスタの送信許可ビットに"1"をセット
SIO送信バッファレジスタの下位バイトに送信データ(8ビット)を書き込み
(送信バッファエンプティビットが"0")

(2) CSIO モード外部クロック選択時の送信条件

SIO送信制御レジスタの送信許可ビットに"1"をセット
SIO送信バッファレジスタの下位バイトに送信データを書き込み
(送信バッファエンプティビットが"0")
SCLKI端子へ送信クロックの立ち下がりエッジが入力される

- 注1. 送信許可ビットが"0"にクリアされた状態では、送信バッファレジスタの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。
- 注2. 内部クロック選択時は、上記(注1)の送信バッファレジスタの下位バイトへの書き込みが送信開始のトリガとなります。
- 注3. SIO送信バッファレジスタの下位バイトにデータをセットした時点で、送信ステータスビットが"1"にセットされます。

送信が開始されると以下の手順でデータが送信されます。

SIO送信バッファの内容を、SIO送信シフトレジスタに転送
送信バッファエンプティビットに"1"をセット (注)
シフトクロックに同期してLSBからデータ送信を開始

- 注. 送信バッファエンプティにより送信バッファエンプティ割り込み要求、およびDMA転送要求を発生することができます。

12.3.4 CSIOの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIOステータスレジスタの送信バッファエンプティフラグで確認します。

12.3.5 CSIO送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

送信ステータスビットに"0"をセット

(2) 連続送信の場合

連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.3.6 送信割り込み

SIO割り込みマスクレジスタで送信バッファエンプティ割り込みを許可した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。送信割り込みを使用するためには、割り込みコントローラ(ICU)の設定が必要です。

12.3.7 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止 許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMACの設定が必要です。

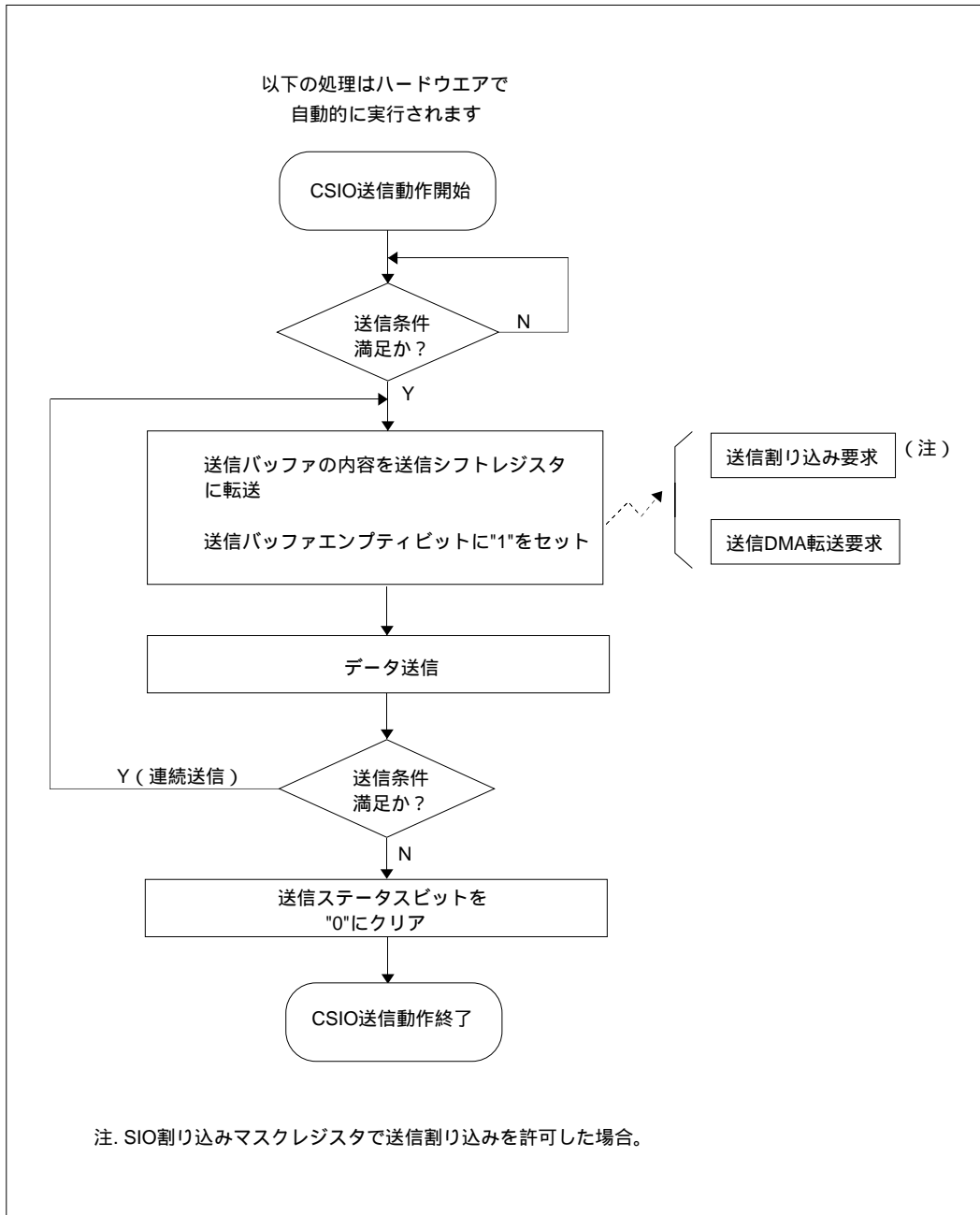


図12.3.2 CSIOモード時の送信動作(ハードウェア処理)

12.3.8 CSIO送信動作例

CSIOモードでの送信動作例を以下に示します。

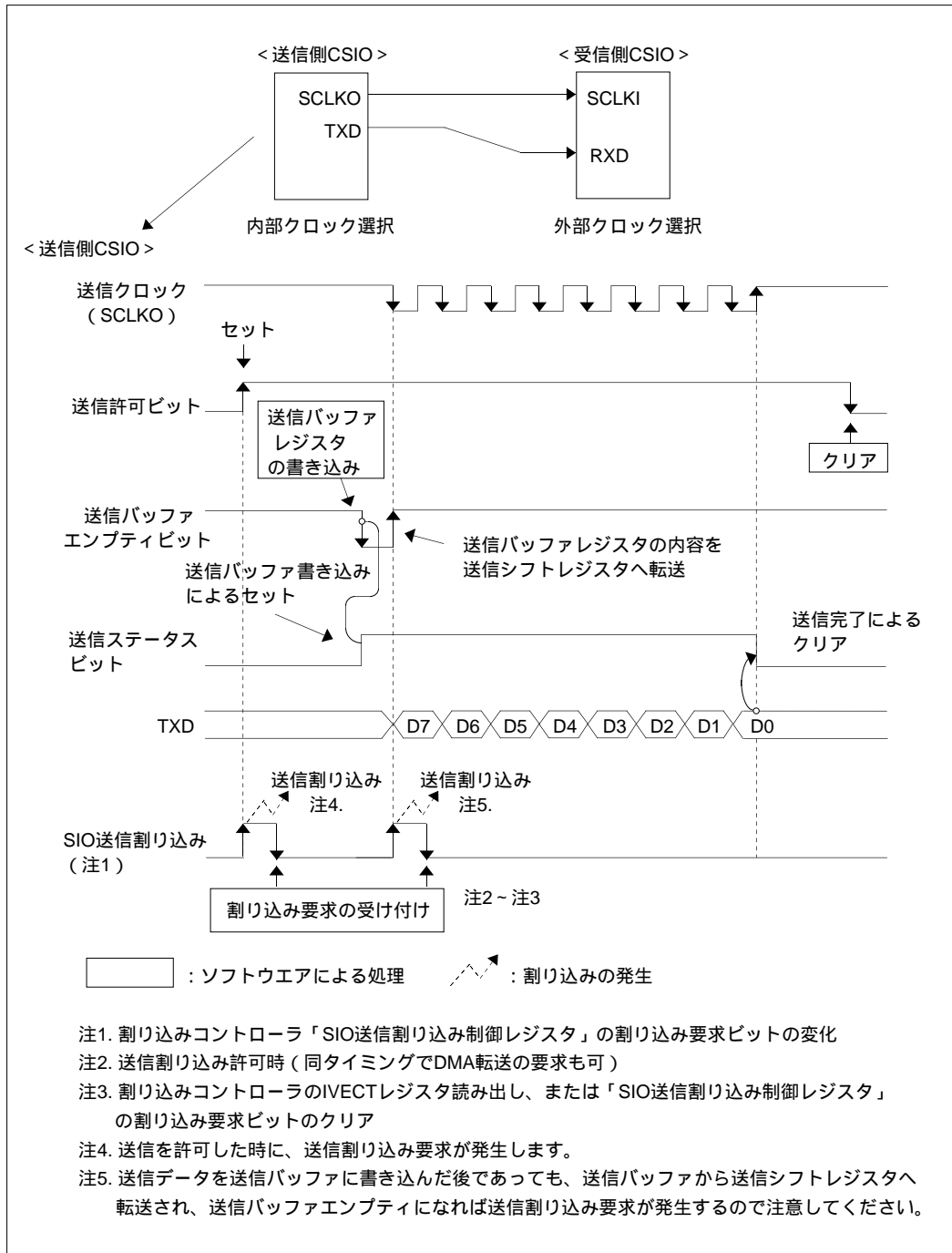


図12.3.3 CSIO送信例(1回だけの送信：送信割り込み使用)

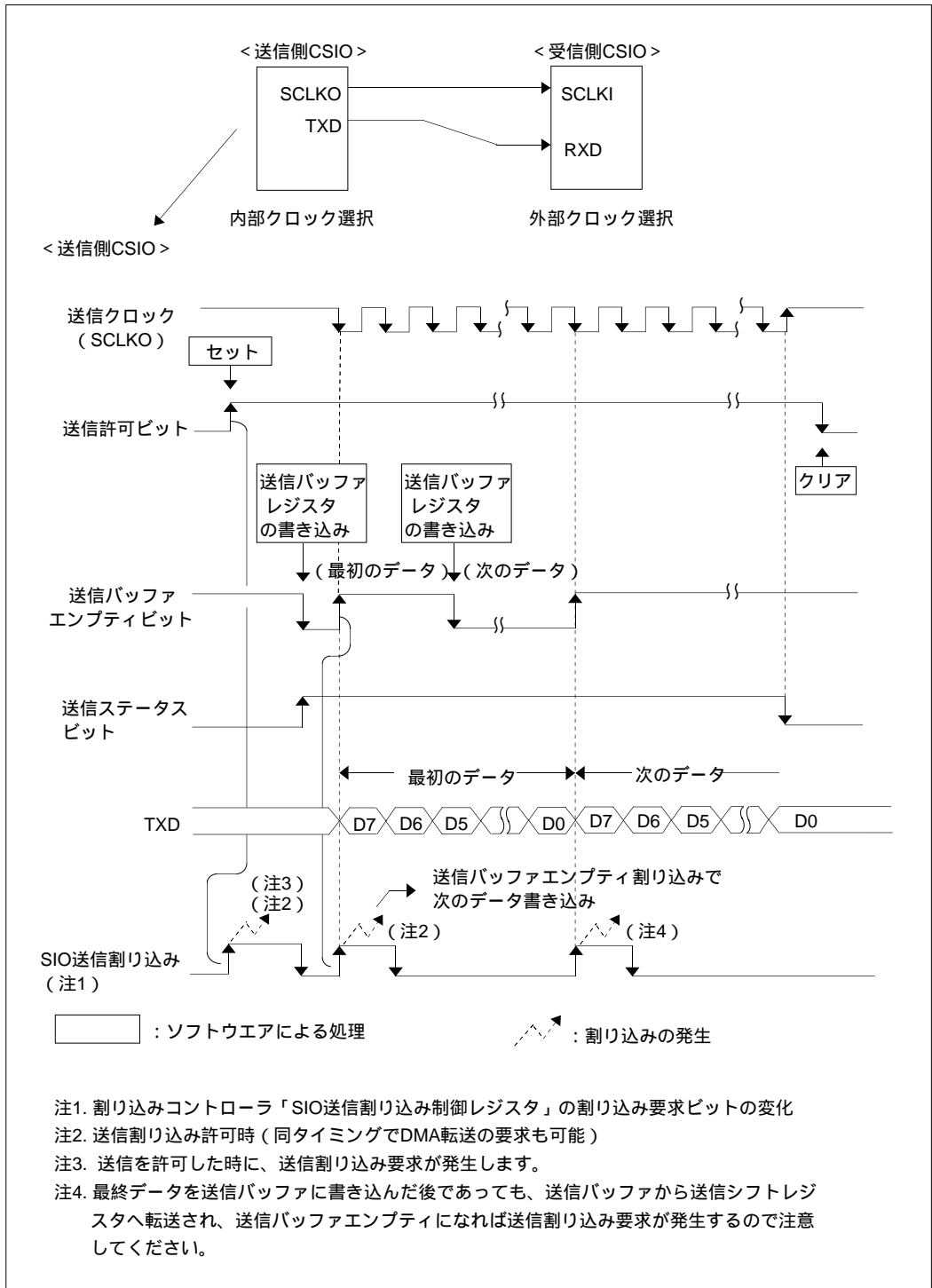


図12.3.4 CSIO送信例(連続送信：送信バッファエンプティ割り込みと送信完了割り込み使用)

12.4 CSIOモード受信動作説明

12.4.1 CSIO受信時の初期設定(SIO0、SIO1)

CSIOで受信を行う場合は、以下の手順で初期設定を行います。なお、受信シフトクロックは送信回路の動作によって得られますので、受信だけ行う場合にも送信動作を実行させる必要があります。

(1) SIOモードレジスタの設定

CSIOモードに設定
内部クロック / 外部クロックの選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(12.3.1「CSIOボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

送受信割り込みの許可 / 禁止(SIO割り込みマスクレジスタ)
受信割り込み要因(受信完了 / エラー)の選択(受信割り込み要因選択レジスタ)

(5) SIO受信制御レジスタの設定

受信許可ビットのセット

(6) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送受信時に送信割り込み、または、受信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMACの設定

送信バッファエンプティ時、または、送信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(8) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

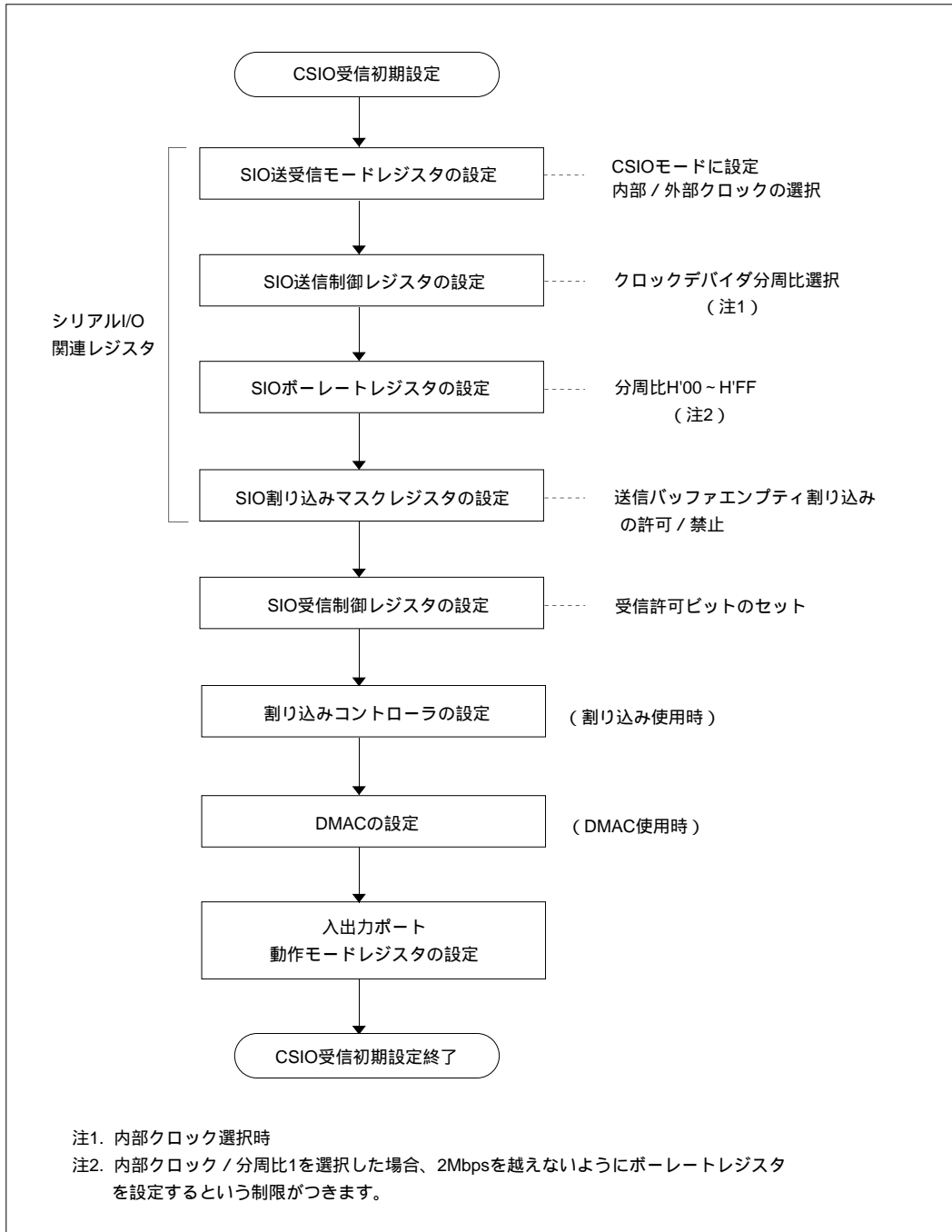


図12.4.1 CSIO受信初期化手順

12.4.2 CSIO受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

(1) CSIOモード内部クロック選択時の受信条件

SIO受信制御レジスタの受信許可ビットに"1"をセット
送信条件が満たされていること(12.3.3「CSIO送信の開始」を参照ください。)

(2) CSIOモード外部クロック選択時の受信条件

SIO受信制御レジスタの受信許可ビットに"1"をセット
送信条件が満たされていること(12.3.3「CSIO送信の開始」を参照ください。)

注. SIO送信バッファレジスタの下位バイトにダミーデータをセットした時点で、受信ステータスビットが"1"にセットされます。

上記の条件が満たされると、受信シフトクロックに同期して、8ビットのシリアルデータの受信(LSBファースト)を行います。

12.4.3 CSIO受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

注1. 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。

注2. DMA転送要求を発生します。

(2) 受信エラーが発生した場合

受信エラー(CSIOモード時はオーバーランエラーのみ発生)時は、オーバーランエラービットと受信エラーサムビットに"1"をセット

注1. 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時は、受信完了割り込み要求もDMA転送要求も発生しません。

注2. 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時は、割り込み要求が可許された場合、受信エラー割り込み要求が発生します。DMA転送要求は発生しません。

12.4.4 連続受信について

データ受信完了時に以下の条件が満たされていれば、連続受信可能となります。

- 受信許可ビットが"1"にセットされていること
- 送信条件が満たされていること
- オーバーランエラーが発生していないこと

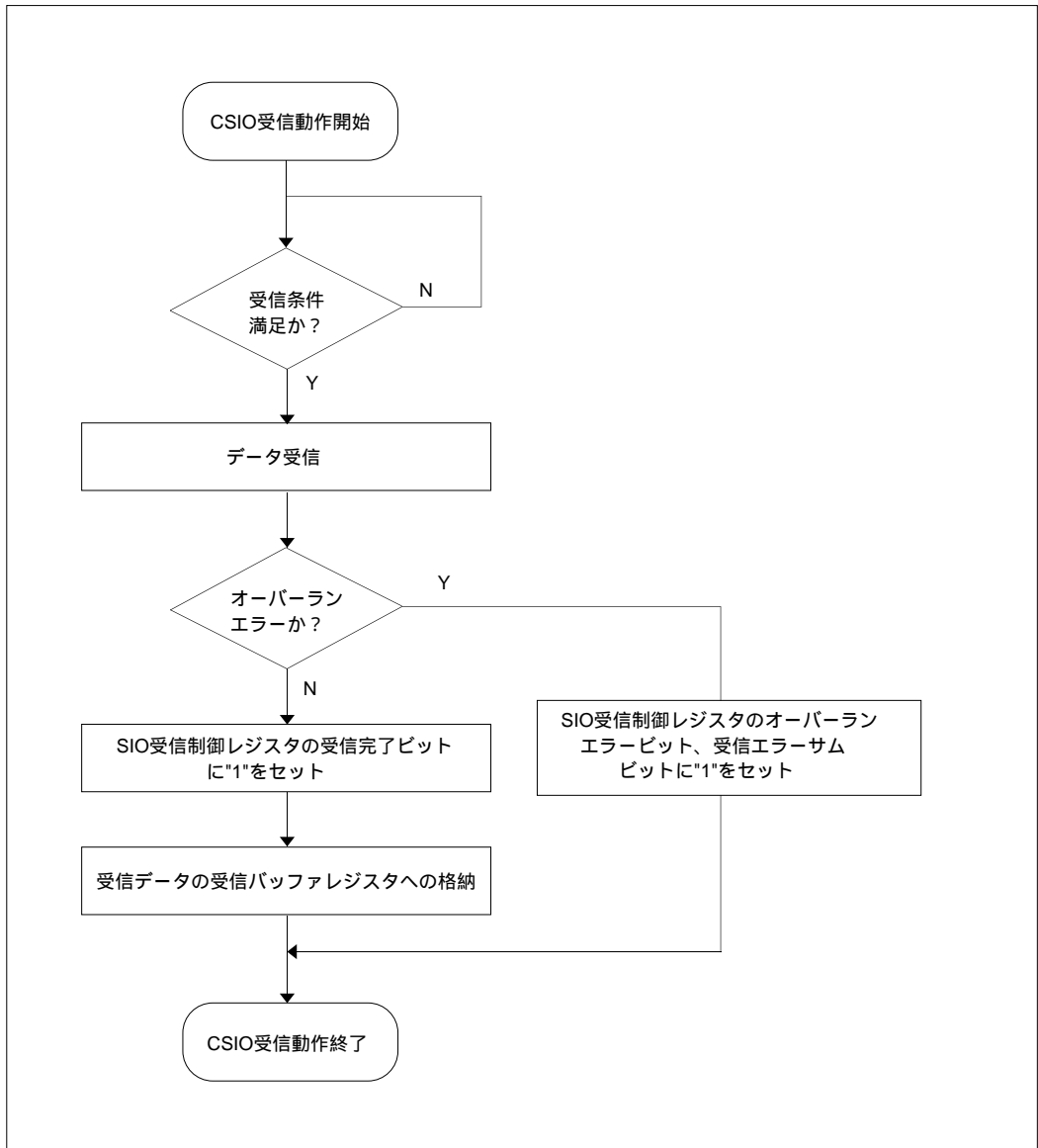


図12.4.2 CSIOモード時の受信動作(ハードウェア処理)

12.4.5 CSIO受信動作の状態を示すフラグ

CSIOモードの受信動作の状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバーランエラービット

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバーランエラーが発生し、以後の受信データのSIO受信バッファレジスタへの格納は行われなくなります。

受信を再開するためには、いったん受信許可ビットを"0"にクリアし、受信制御部を初期化してやる必要があります。

上記の受信完了ビットのクリアは、受信エラー(注)が発生していない場合は、SIO受信バッファレジスタの下位バイト読み出し、もしくは、REN(受信許可)ビットのクリアで行います。

受信エラーが発生した場合は、REN(受信許可)ビットのクリアで行います。この場合、SIO受信バッファレジスタの下位バイトの読み出しでのクリアはできませんので、ご注意ください。

注. CSIOモードで検出可能なエラーは、オーバーランエラーのみとなっています。

12.4.6 CSIO受信動作例

CSIOモードでの受信動作例を以下に示します。

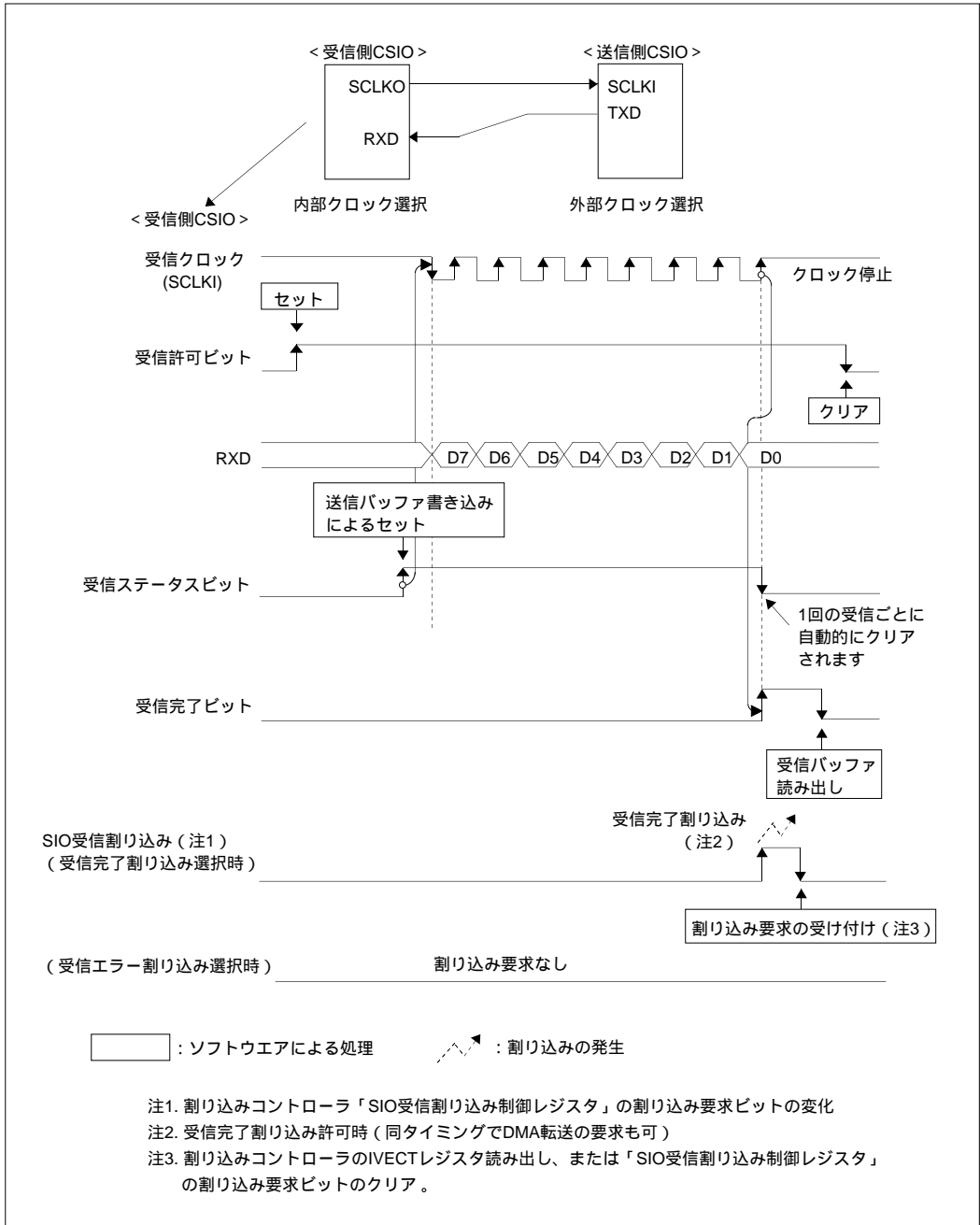


図12.4.3 CSIO受信例(正常受信時)

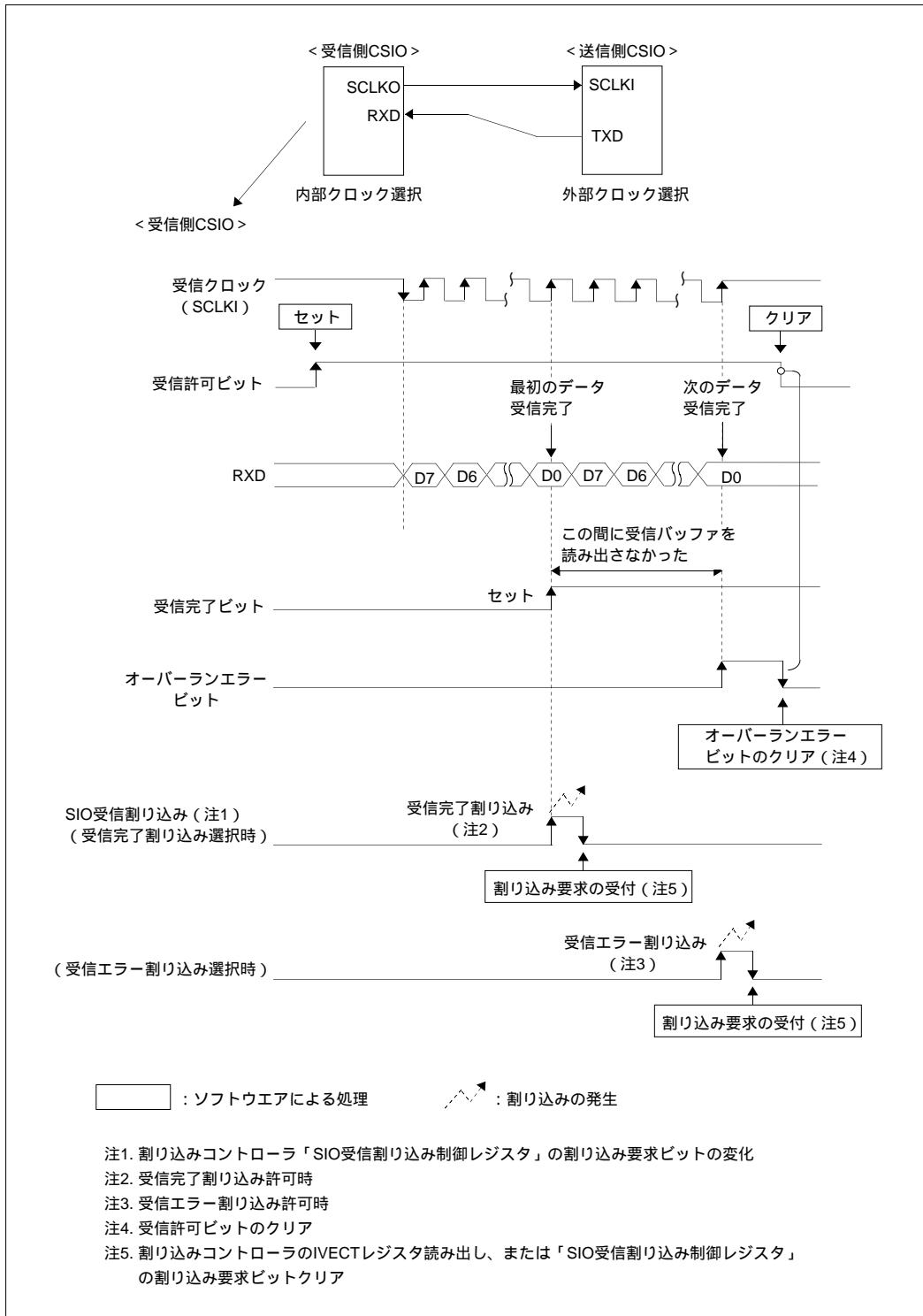


図12.4.4 CSIO受信例(オーバーランエラー発生時)

12.5 CSIOモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず非動作中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、2 Mbpsを越えないようにBRGレジスタの値を設定してください。

連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

受信完了ビットについて

受信エラー(オーバーランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

オーバーランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データが、SIO受信シフトレジスタに揃った場合(オーバーランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバーランエラーフラグのクリアが可能です。

SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバーランエラー発生時は、受信完了DMA転送要求は発生しませんのでご注意ください。

12.6 UARTモード送信動作説明

12.6.1 UARTボーレートの設定

UARTモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックのソースは、内部/外部クロック選択ビット(SIO送受信モードレジスタのD11)の内容にかかわらず内部クロックとなります。

(1) UARTモードのボーレート算出

f(BCLK)はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力され、その後さらに16分周されて送受信シフトクロックになります。

クロックデバイダの分周値は、SIO送信制御レジスタのCDIV(ボーレートジェネレータカウンタソース選択)ビット(D2,D3)で、1分周, 8分周, 32分周または256分周から選択します。(注)

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)に分周し、さらにその後16分周して送受信シフトクロックとします。

UARTモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート [bps]} = \frac{f(\text{BCLK})}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 16}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF (注)

クロックデバイダ分周値 = 1, 8, 32, 256

注. ボーレートジェネレータカウンタソースとして1分周値(f(BCLK)そのもの)を選択した場合、ボーレートレジスタには7以上の値を設定してください。

12.6.2 UART送受信データフォーマット

UARTモード時の送受信データのフォーマットは、SIO送受信モードレジスタで設定します。以下にUARTモードで使用可能な送受信データフォーマットを示します。

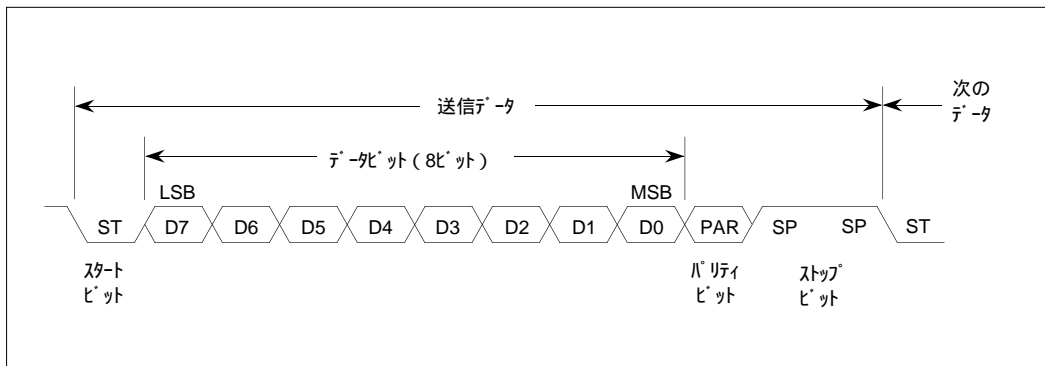


図12.6.1 UARTモード時の転送データフォーマット例

表12.6.1 UARTモード時の転送データ

ビット名称	内容
ST (スタートビット)	データの送信開始を示すビットで、1ビット分の"L"信号が送信データの直前に付加されます。
D0 ~ D8 (キャラクタビット)	シリアルI/Oを通じて転送される送受信データです。UARTモードでは7ビット、8ビットデータ、または9ビットデータの送受信が可能です。
PAR (パリティビット)	送受信キャラクタに付加されるビットで、パリティ有効時、偶数 / 奇数パリティの選択によって、パリティビットを含めたキャラクタ中の"1"の個数が常に偶数、または奇数になるように自動的に設定されます。
SP (ストップビット)	データの送信終了を示すビットで、キャラクタの直後(パリティ有効時はパリティビットの直後)に付加されます。ストップビットは1ビット、または2ビットを選択することができます。

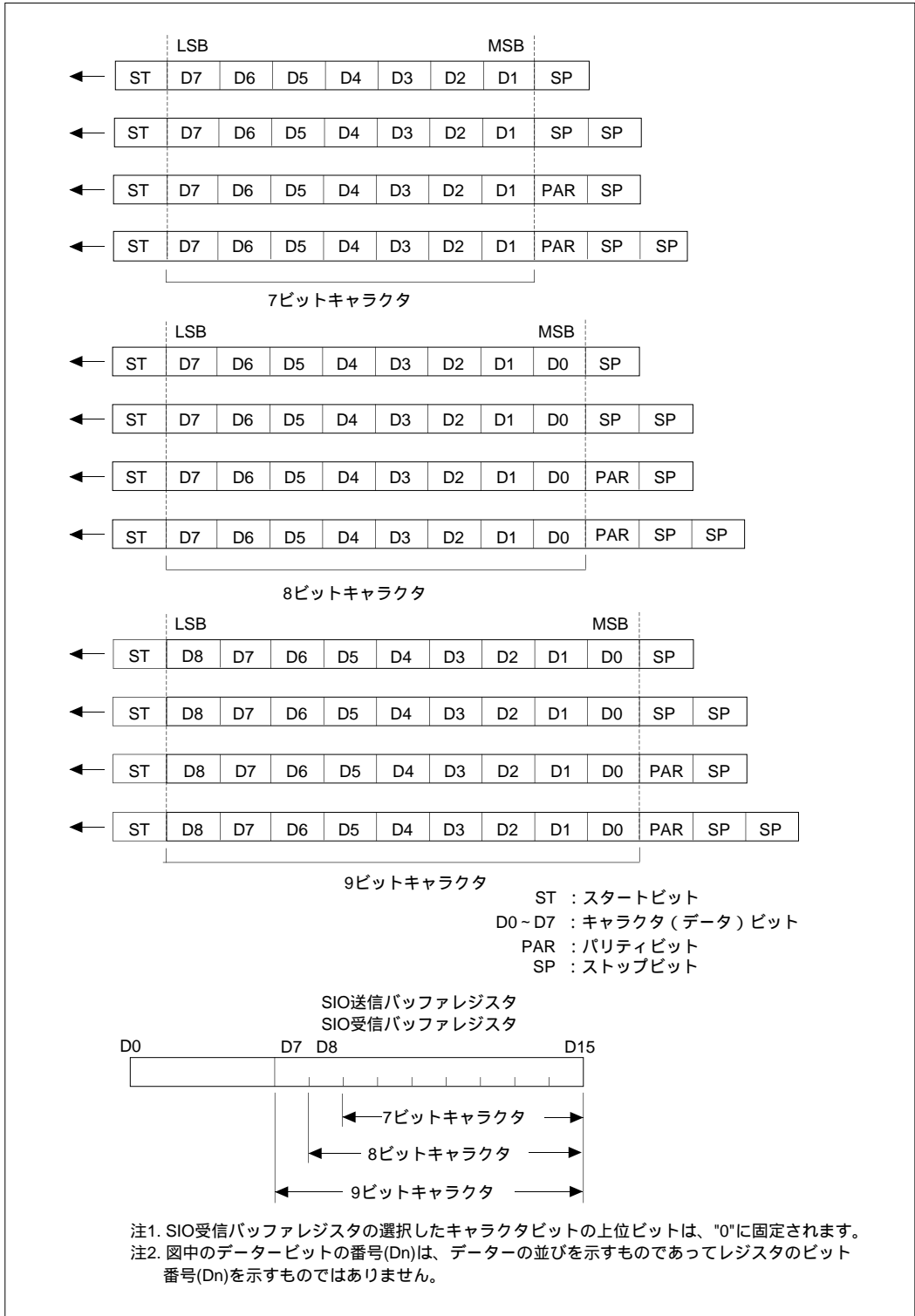


図12.6.2 UARTモード時に選択可能なデータフォーマット一覧

12.6.3 UART送信時の初期設定

UARTで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

UARTモードに設定
パリティの設定(有効時は奇数/偶数選択)
ストップビット長の設定
キャラクタ長の設定(注)

注. UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比を選択します。

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(12.6.1「UARTボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

SIO送信割り込みの許可/禁止

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

送信バッファエンブティ時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

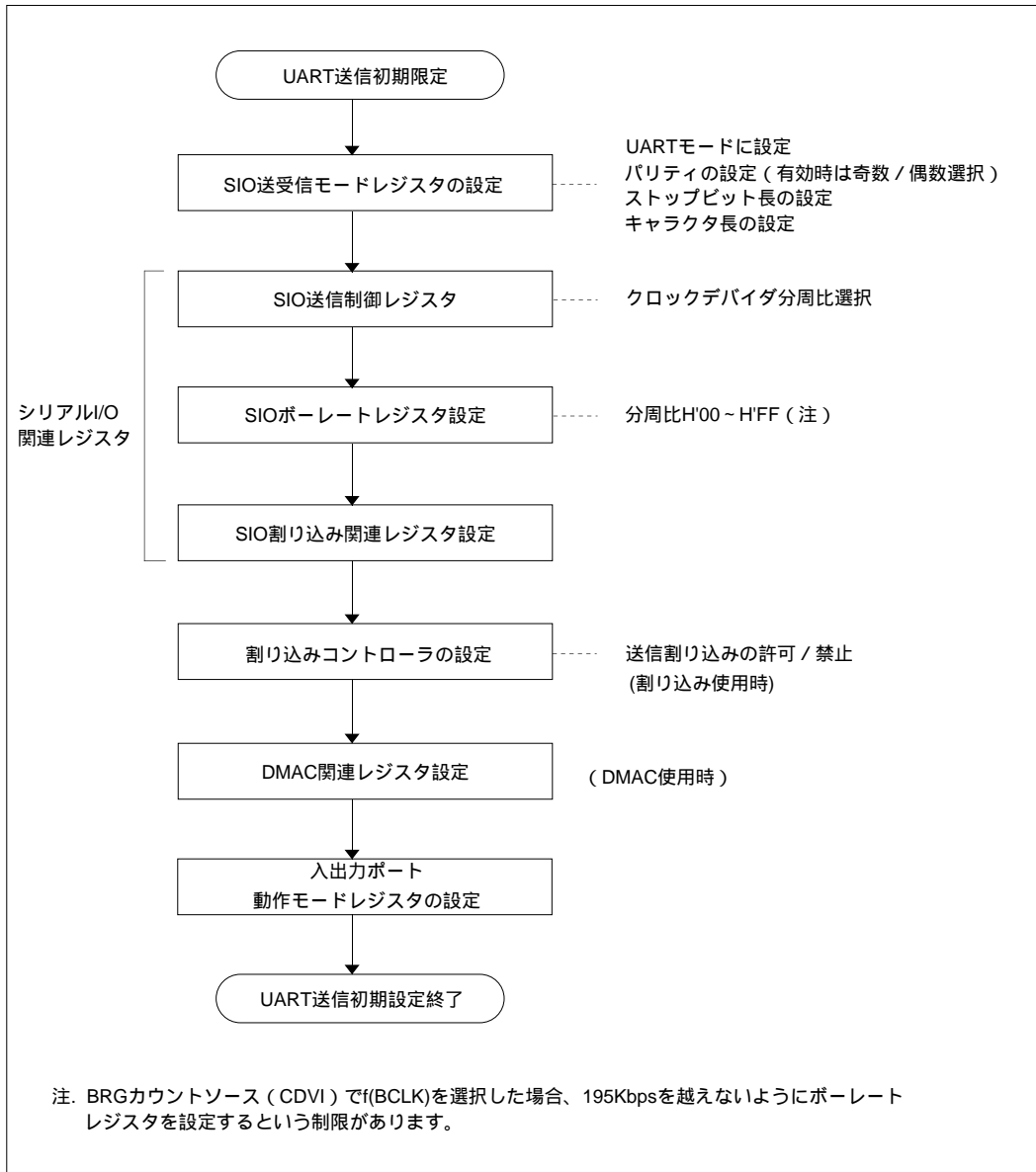


図12.6.3 UART送信初期化手順

12.6.4 UART送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

SIO送信制御レジスタのTEN(送信許可)ビットに"1"をセット (注)
SIO送信バッファレジスタに送信データを書き込み
(送信バッファエンプティビットが"0")

注. 送信許可ビットが"0"にクリアされている状態では、送信バッファへの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。

送信が開始されると以下の手順でデータが送信されます。

SIO送信バッファの内容を、SIO送信シフトレジスタに転送
送信バッファエンプティビットに"1"をセット (注)
シフトクロックに同期してデータ送信を開始(LSBファースト)

注. 送信バッファエンプティにより送信バッファエンプティ割り込み要求、およびDMA転送要求を発生することができます。

12.6.5 UARTの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIO送信制御レジスタの送信バッファエンプティフラグで確認します。

12.6.6 UART送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

送信ステータスビットに"0"をセット

(2) 連続送信の場合

連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.6.7 送信割り込み

SIO割り込みマスクレジスタで送信バッファエンプティ割り込みを許可した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたとき、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。

送信割り込みを使用するためには、割り込みコントローラ(ICU)の設定が必要です。

12.6.8 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMACの設定が必要となります。

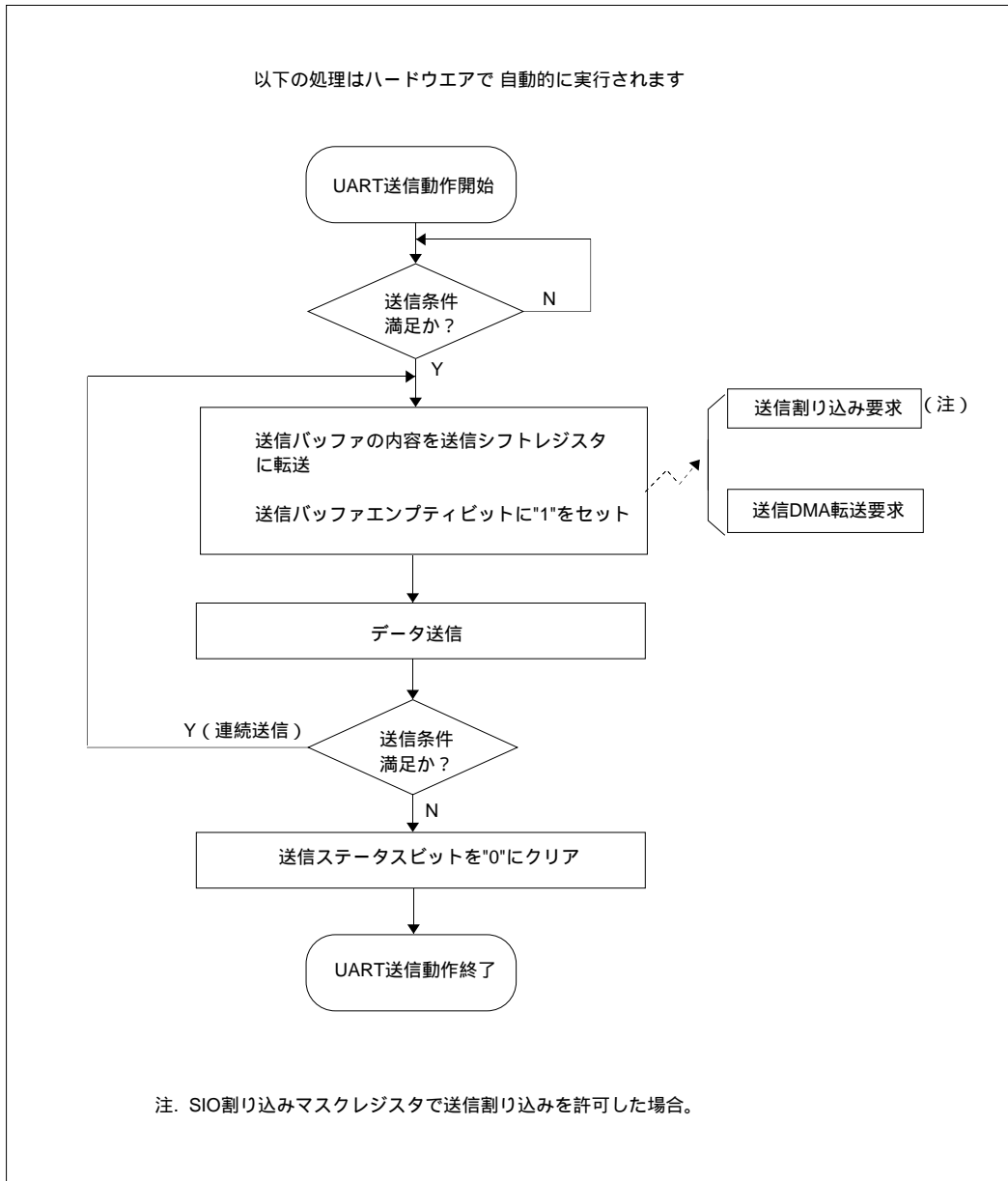


図12.6.4 UARTモード時の送信動作(ハードウェア処理)

12.6.9 UART送信動作例

UARTモードでの送信動作例を以下に示します。

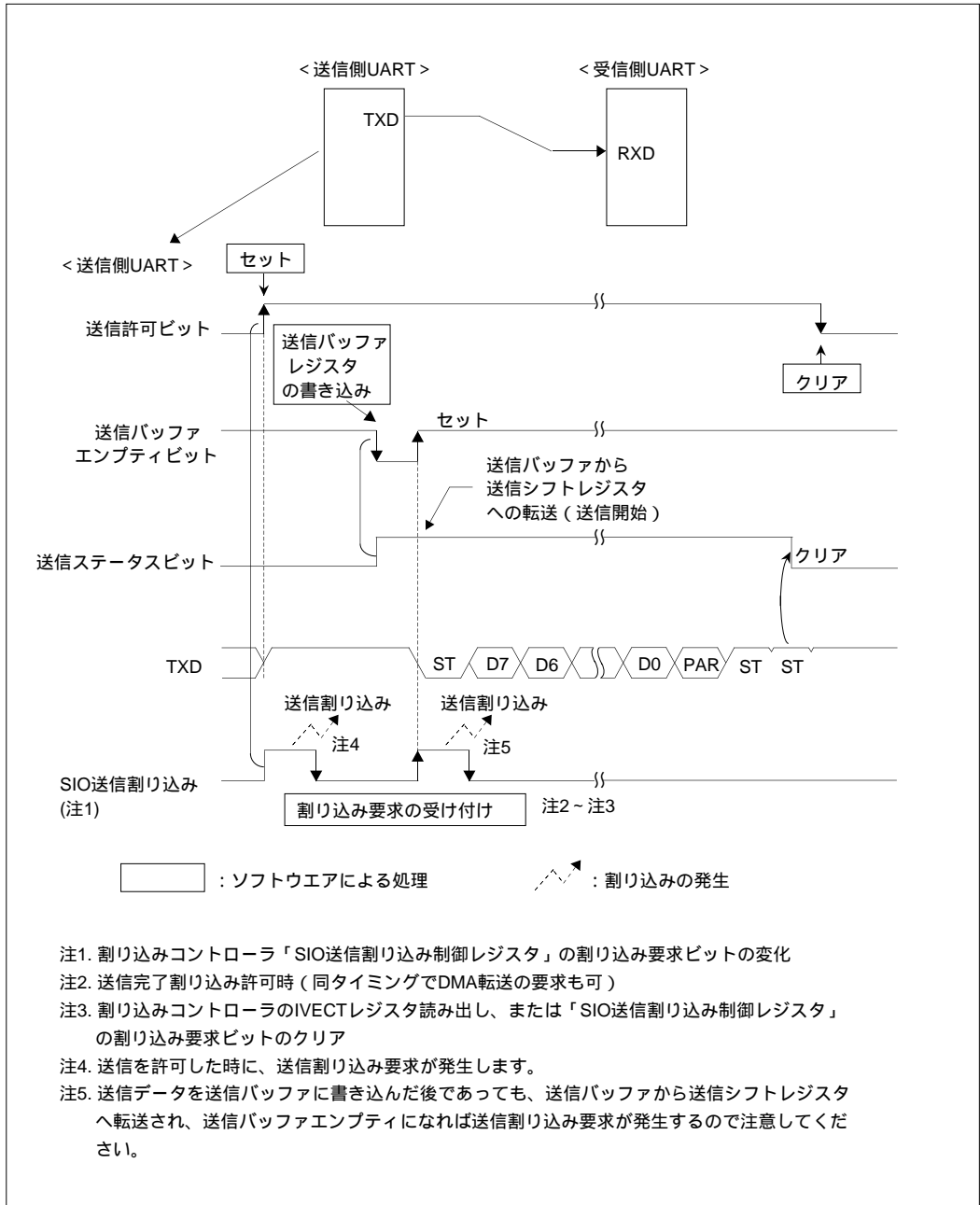


図12.6.5 UART送信例 (1回だけの送信：送信割り込みのみ使用)

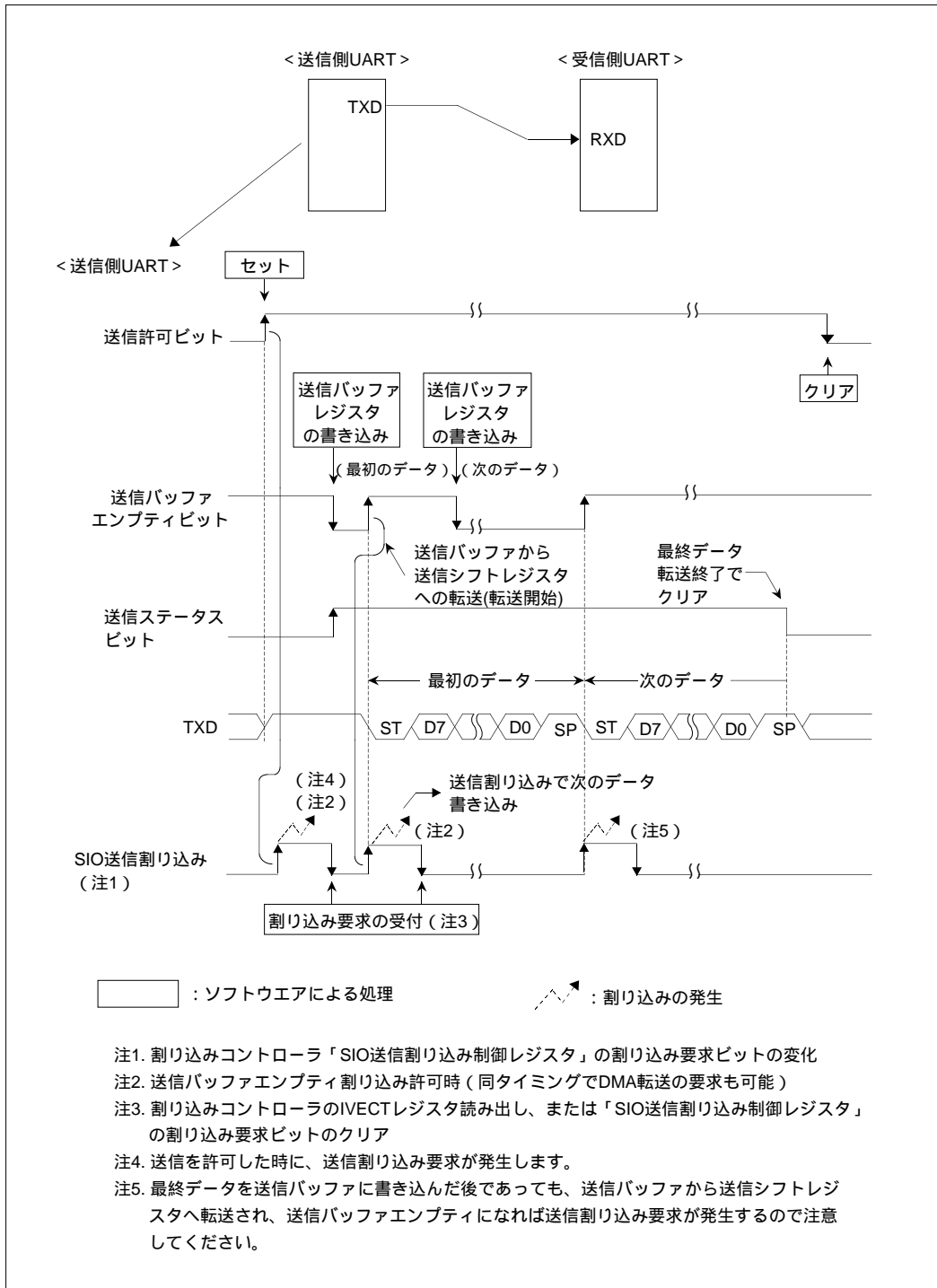


図12.6.6 UART送信例(連続送信：送信割り込み使用)

12.7 UARTモード受信動作説明

12.7.1 UART受信時の初期設定

UARTで受信を行う場合は、以下の手順で初期設定を行います。

(1) SIOモードレジスタの設定

UARTモードに設定
パリティの設定(有効時は奇数 / 偶数選択)
ストップビット長の設定
キャラクタ長の設定

注. UARTモード時は、内部 / 外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の設定

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(12.6.1「UARTボーレートの設定」をご覧ください)。

(4) SIO割り込み関連の設定

受信割り込み要因選択レジスタ
受信割り込み要因の選択(受信完了 / 受信エラー)
割り込みマスクレジスタ
受信割り込みの許可 / 禁止

(5) 割り込みコントローラの設定

受信時に割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

受信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションピンとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

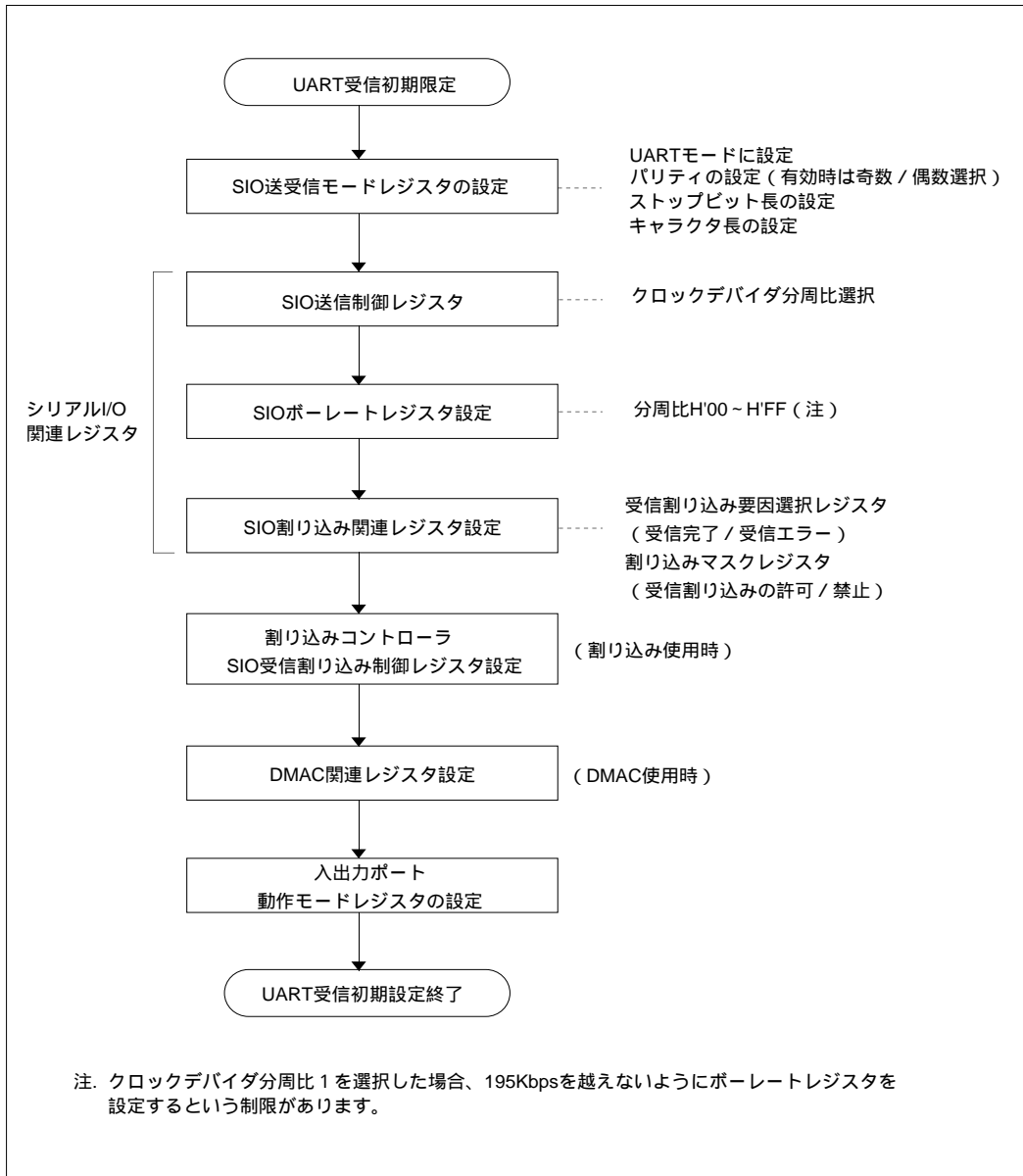


図12.7.1 UART受信初期化手順

12.7.2 UART受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

SIO受信制御レジスタの受信許可ビットに"1"をセット
RXD端子へのスタートビット(立ち下がりエッジ信号)入力

上記の条件が満たされるとUART受信動作に入ります。ただし、内部受信シフトクロックの最初の立ち上がりでもう一度スタートビットをチェックし、その時ノイズなどにより"H"が検出された場合は、受信動作を停止し、再度スタートビット待ちとなります。

12.7.3 UART受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

注1. 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。

注2. DMA転送要求を発生します。

(2) 受信エラーが発生した場合

エラー発生時は該当エラービット(OE, FE, PE)と受信エラーサムビットに"1"をセット

注1. 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時、割り込み要求が可許された場合、受信完了割り込み要求が発生します。ただし、オーバーランエラー発生時は、受信完了割り込みは発生しませんのでご注意願います。

注2. 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時、割り込み要求が可許された場合、受信エラー割り込み要求が発生します。

注3. DMA転送要求は発生しません。

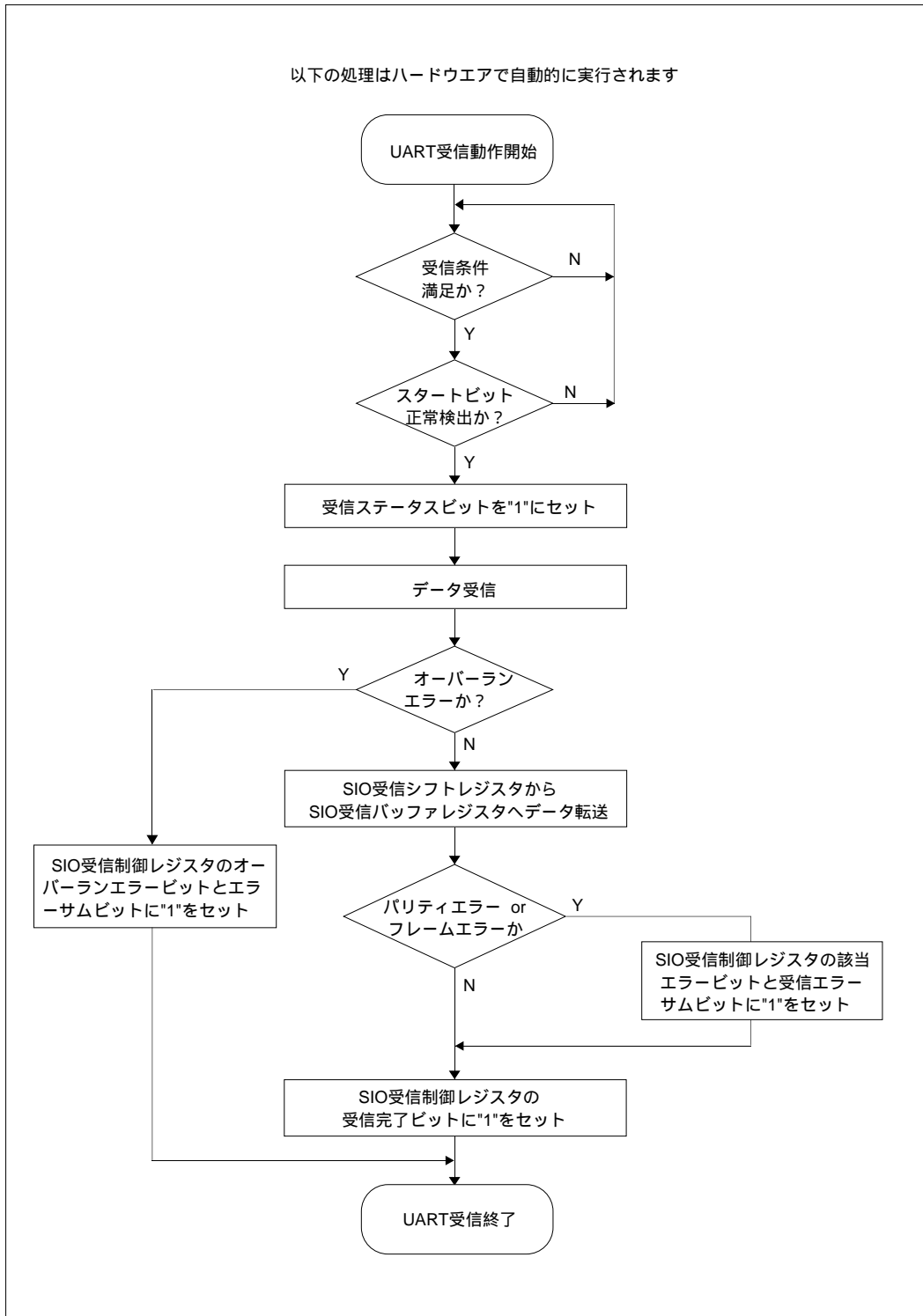


図12.7.2 UARTモード時の受信動作(ハードウェア処理)

12.7.4 UART受信動作例

UARTモードでの受信動作例を以下に示します。

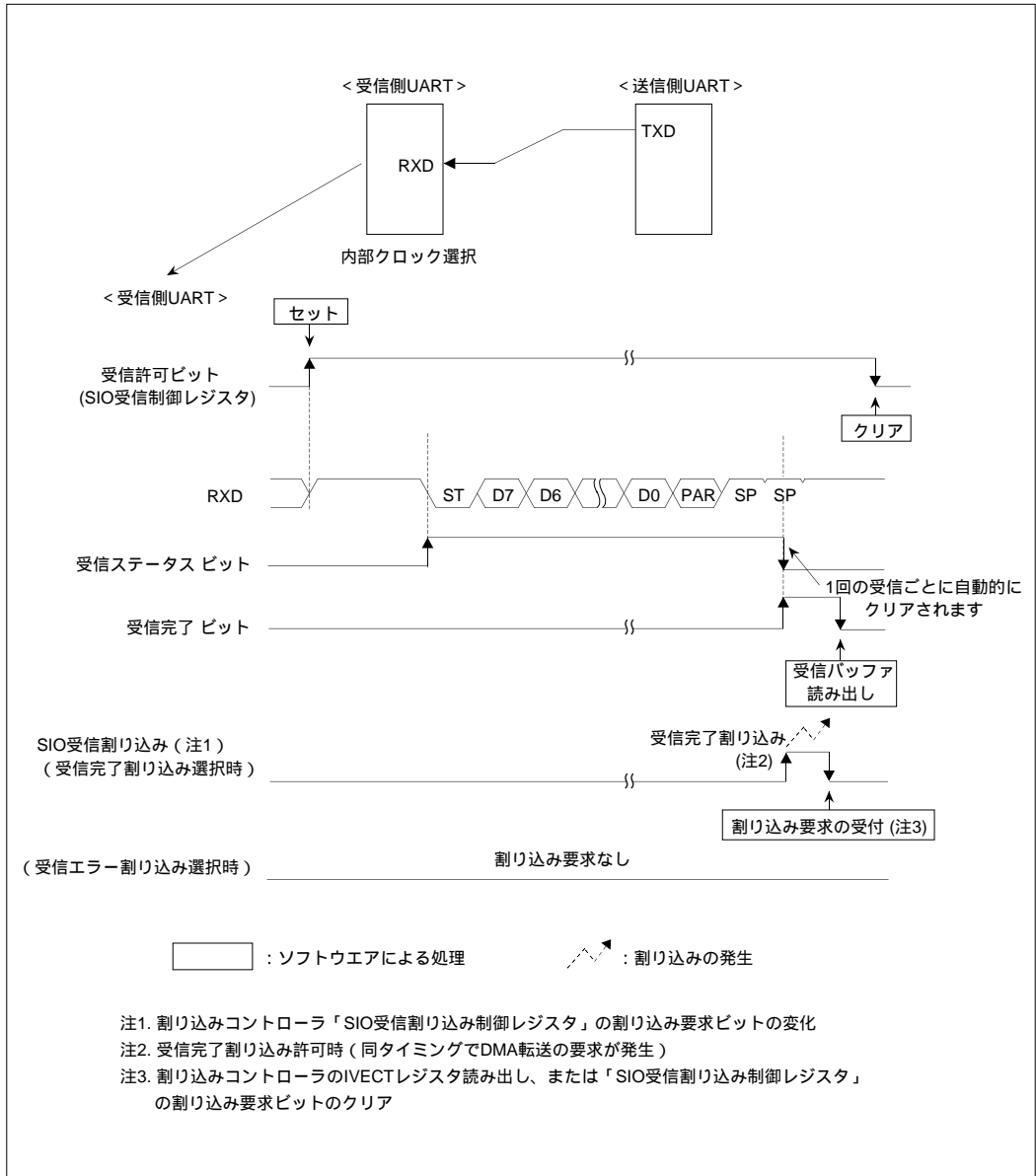


図12.7.3 UART受信例 (正常受信時)

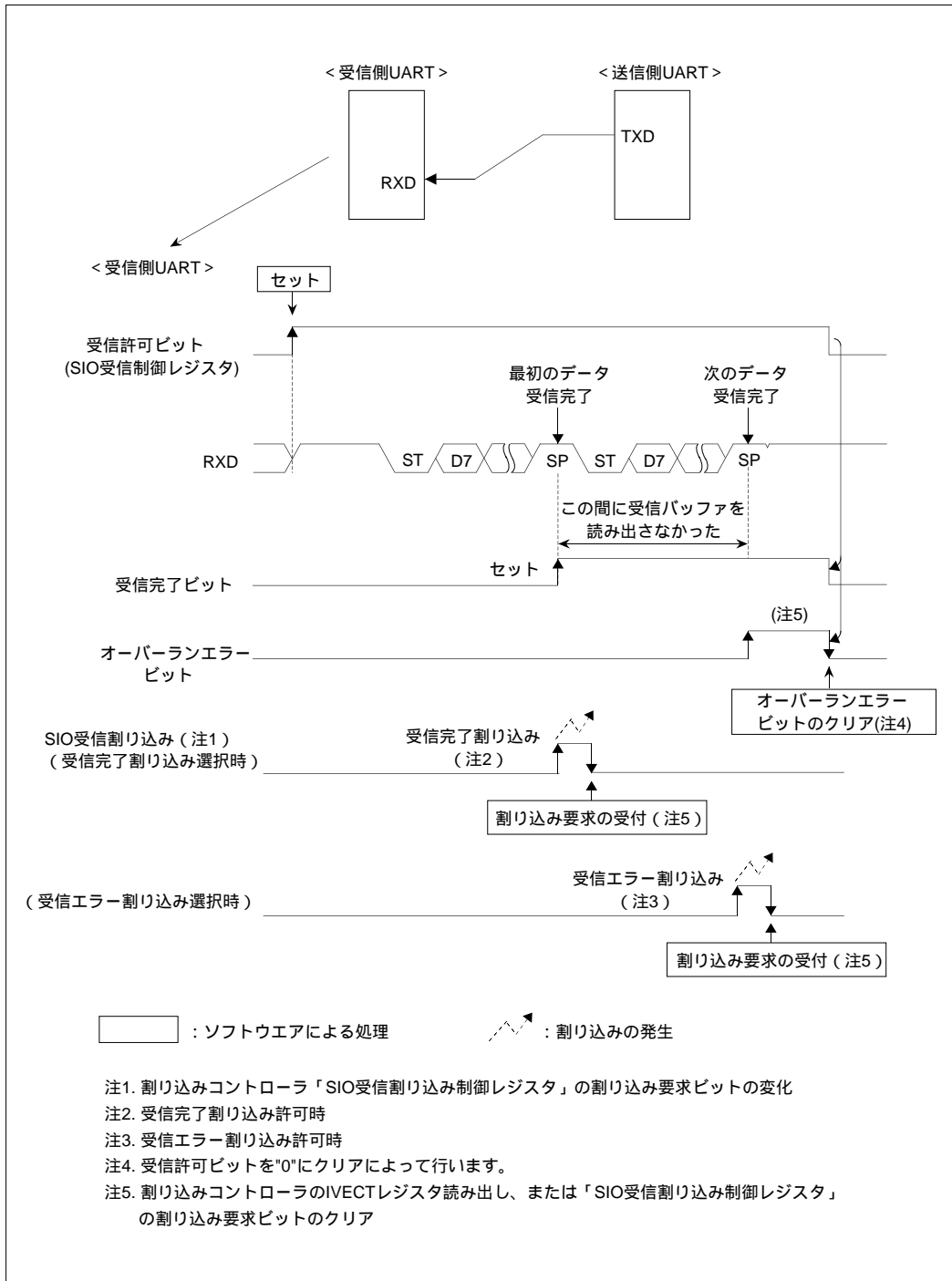


図12.7.4 UART受信例(オーバーランエラー発生時)

12.8 定周期クロック出力機能

SIO0、SIO1をUARTモードで使用する場合、該当ポート(P84、P87)をそれぞれSCLKO0端子、SCLKO1端子に切り換えることにより、2分周したBRGクロックを出力することができます。

注. クロック出力はデータ転送時以外も常時出力されます。

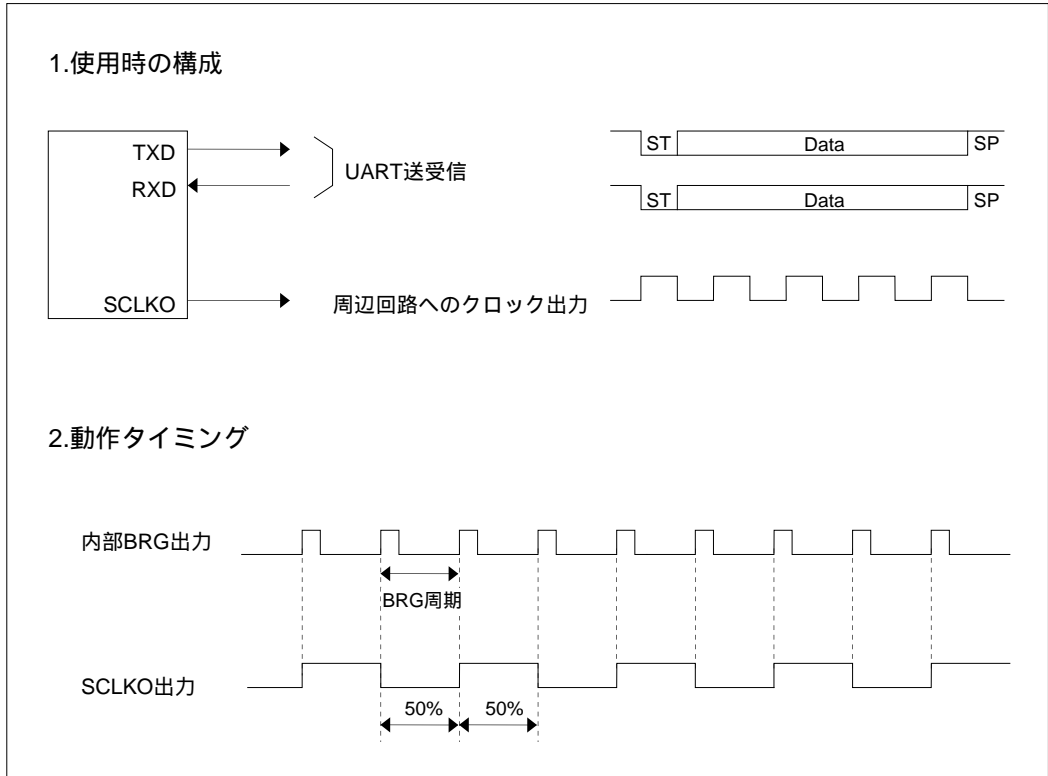


図12.8.1 定周期クロック出力例

12.9 UARTモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず非動作中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットでf(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

オーバーランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データがSIO受信シフトレジスタに揃った場合(オーバーランエラー発生)、受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバーランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバーランエラーフラグをクリアすることができます。

UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバーランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバーランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバーランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバーランエラー発生時】

受信許可ビットを"0"にクリア

第13章

割り込みコントローラ(ICU)

- 13.1 割り込みコントローラ
(ICU)概要
- 13.2 内蔵周辺I/Oの割り込み
要因
- 13.3 ICU関連レジスタ
- 13.4 ICUベクタテーブル
- 13.5 割り込み動作説明
- 13.6 システムブレーク割り込み
(SBI)動作説明

13.1 割り込みコントローラ(ICU)概要

割り込みコントローラ(ICU)は、内蔵周辺I/Oからのマスク可能な割り込みと、システムブレーク割り込み(SBI)の管理を行います。内蔵周辺I/Oからのマスク可能な割り込みは、外部割り込み(EI)としてM32R CPUに伝えられます。

内蔵周辺I/Oからのマスク可能な割り込みは全部で24要因あり、割り込み禁止を含めて8レベルの優先順位をつけて管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。内蔵周辺I/O内での割り込み要求発生元の特定は、内蔵周辺I/Oの割り込みステータスレジスタを読むことで行います。

一方システムブレーク割り込み(SBI)は、 $\overline{\text{SBI}}$ 信号に立ち下がりエッジが入力された場合に発生する割り込みです。PSWレジスタのIEビットの状態にかかわらず常に受け付けられ、電源の異常検出時や、外部ウォッチドックタイマによる異常検出時に使用される緊急用の割り込みです。SBIに対する処置が終わった後は、割り込み発生時に実行していた元のプログラムには復帰しないで、システムを終了またはリセットしてください。

割り込みコントローラの概要を以下に示します。

表13.1.1 割り込みコントローラ(ICU)の概要

項目	仕様
割り込み要因	内蔵周辺I/Oからのマスク可能な割り込み : 24要因 システムブレーク割り込み : 1要因($\overline{\text{SBI}}$ 端子からの入力)
レベル管理	割り込み禁止を含めて8レベル (ただし同一レベルの場合はハードウェアで固定された優先順位を適用)

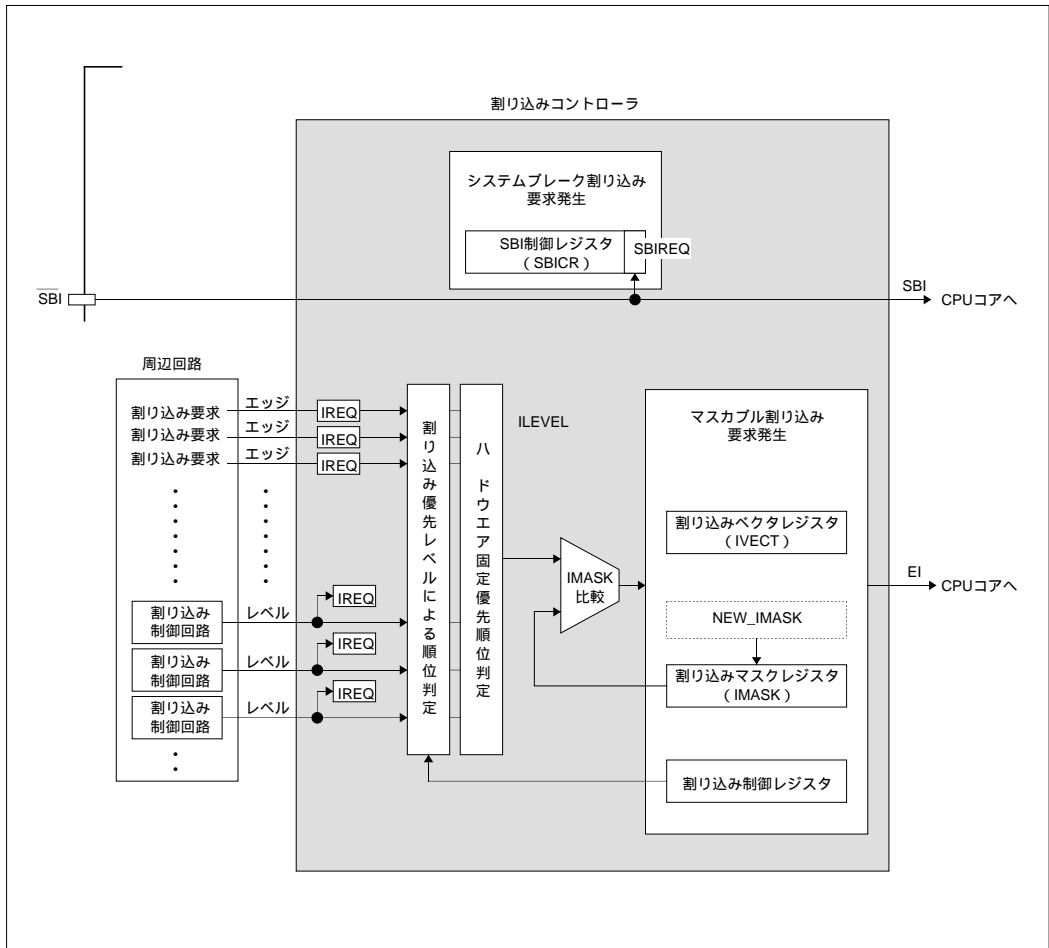


図13.1.1 割り込みコントローラブロック図

13.2 内蔵周辺I/Oの割り込み要因

割り込みコントローラには、MJT(マルチジャンクションタイマ)、DMAC、シリアルI/O、A-D変換器、RTDからの割り込み要求が入力されます。割り込みの詳細については、各内蔵周辺I/Oの章をご覧ください。

表13.2.1 内蔵周辺I/Oの割り込み要因

割り込み要因	内容	入力要因数	入力要因タイプ(注)
A-D変換器割り込み	A-D変換器のスキャンモードのワンショット終了, 単一モード終了, コンパレータモード終了	1	エッジ
SIO0 送信割り込み	SIO0の送信バッファエンプティ割り込み	1	エッジ
SIO0 受信割り込み	SIO0の受信完了, または受信エラー割り込み	1	エッジ
SIO1 送信割り込み	SIO1の送信バッファエンプティ割り込み	1	エッジ
SIO1 受信割り込み	SIO1の受信完了, または受信エラー割り込み	1	エッジ
SIO2,3送受信割り込み	SIO2,3の受信完了, または受信エラー割り込み, 送信バッファエンプティ割り込み	4	レベル
TID入力割り込み	TID0入力	1	エッジ
TOD出力割り込み	TOD0~TOD7出力	8	レベル
RTD割り込み	RTD割り込み発生コマンド	1	エッジ
DMA転送割り込み0	DMA0~4の転送終了	5	レベル
DMA転送割り込み1	DMA5~9の転送終了	5	レベル
MJT出力割り込み7	MJT出力割り込みグループ7 (TMS0, TMS1出力)	2	レベル
MJT出力割り込み6	MJT出力割り込みグループ6 (TOP8, TOP9出力)	2	レベル
MJT出力割り込み5	MJT出力割り込みグループ5 (TOP10出力)	1	エッジ
MJT出力割り込み4	MJT出力割り込みグループ4 (TIO4~TIO7出力)	4	レベル
MJT出力割り込み3	MJT出力割り込みグループ3 (TIO8, TIO9出力)	2	レベル
MJT出力割り込み2	MJT出力割り込みグループ2 (TOP0~TOP5出力)	6	レベル
MJT出力割り込み1	MJT出力割り込みグループ1 (TOP6, TOP7出力)	2	レベル
MJT出力割り込み0	MJT出力割り込みグループ0 (TIO0~TIO3出力)	4	レベル
MJT入力割り込み4	MJT入力割り込みグループ4 (TIN3~TIN6入力)	4	レベル
MJT入力割り込み3	MJT入力割り込みグループ3 (TIN20~TIN23入力)	4	レベル
MJT入力割り込み2	MJT入力割り込みグループ2 (TIN12~TIN19入力)	8	レベル
MJT入力割り込み1	MJT入力割り込みグループ1 (TIN0~TIN2入力)	3	レベル
MJT入力割り込み0	MJT入力割り込みグループ0 (TIN7~TIN11入力)	5	レベル

注. 入力要因タイプ

エッジ: ICUに入力される割り込み信号の立ち上がりエッジで、割り込み要求が発生します。

レベル: ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

13.3 ICU関連レジスタ

割り込みコントローラ(ICU)関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7 D8	+1番地	D15
H'0080 0000	割り込みベクタレジスタ (IVECT)				
H'0080 0002					
H'0080 0004	割り込みマスクレジスタ (IMASK)				
H'0080 0006	SBI制御レジスタ (SBICR)				
	≈		≈		
H'0080 0066			RTD割り込み制御レジスタ (IRTDCR)		
H'0080 0068	SIO2,3送受信割り込み制御レジスタ (ISIO23CR)		DMA5 ~ 9割り込み制御レジスタ (IDMA59CR)		
H'0080 006A	TOD出力割り込み制御レジスタ (ITODCR)		TID入力割り込み制御レジスタ (ITIDCR)		
H'0080 006C	A-D変換割り込み制御レジスタ (IADCCR)		SIO0送信割り込み制御レジスタ (ISIO0TXCR)		
H'0080 006E	SIO0受信割り込み制御レジスタ (ISIO0RXCR)		SIO1送信割り込み制御レジスタ (ISIO1TXCR)		
H'0080 0070	SIO1受信割り込み制御レジスタ (ISIO1RXCR)		DMA0 ~ 4割り込み制御レジスタ (IDMA04CR)		
H'0080 0072	MJT出力割り込み制御レジスタ0 (IMJTOCR0)		MJT出力割り込み制御レジスタ1 (IMJTOCR1)		
H'0080 0074	MJT出力割り込み制御レジスタ2 (IMJTOCR2)		MJT出力割り込み制御レジスタ3 (IMJTOCR3)		
H'0080 0076	MJT出力割り込み制御レジスタ4 (IMJTOCR4)		MJT出力割り込み制御レジスタ5 (IMJTOCR5)		
H'0080 0078	MJT出力割り込み制御レジスタ6 (IMJTOCR6)		MJT出力割り込み制御レジスタ7 (IMJTOCR7)		
H'0080 007A	MJT入力割り込み制御レジスタ0 (IMJTICR0)		MJT入力割り込み制御レジスタ1 (IMJTICR1)		
H'0080 007C	MJT入力割り込み制御レジスタ2 (IMJTICR2)		MJT入力割り込み制御レジスタ3 (IMJTICR3)		
H'0080 007E	MJT入力割り込み制御レジスタ4 (IMJTICR4)				

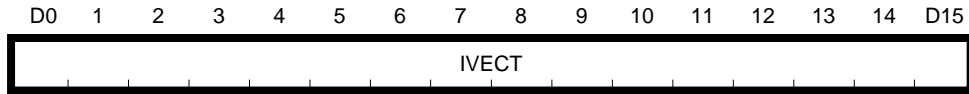
空き領域は予約領域です。
注 . 太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図13.3.1 割り込みコントローラ(ICU)関連レジスタマップ

13.3.1 割り込みベクタレジスタ

割り込みベクタレジスタ(IVECT)

<アドレス : H'0080 0000 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	IVECT(ICUベクタ テーブルアドレス 下位16ビット)	割り込み受け付け時に、受け付けた 割り込み要因に対応するICUベクタ テーブルアドレスの下位16ビットが 格納されます。		-

注 . このレジスタは、必ずハーフワードでアクセスしてください。

割り込みベクタレジスタ(IVECT)は、割り込み受け付け時に、受け付けた割り込み要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。

ICUベクタテーブル(H'0000 0094 ~ H'0000 00F3番地)には、あらかじめ各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定しておきます。割り込み受け付け時には、受け付けた割り込み要因に対応するICUベクタテーブルのアドレス下位16ビットが、このIVECTレジスタにセットされます。EITハンドラでは、このIVECTレジスタの内容を「LDH命令」で読み出すことで、ICUベクタテーブルのアドレスを得ます。

なお、IVECTレジスタを読み出すと、以下の(1)~(4)の動作がハードウェアによって自動的に行われます。

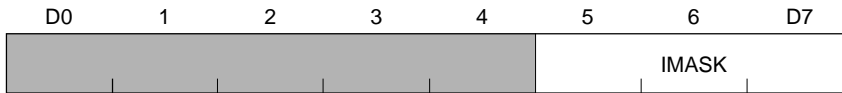
- (1) 受け付けられた新しいIMASK値(NEW_IMASK)を、IMASKレジスタにセット
- (2) 受け付けた割り込み要求をクリア(レベル割り込み要因はクリアされません)
- (3) CPUコアへの割り込み要求(EI)を解除
- (4) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注. EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込みマスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。

13.3.2 割り込みマスクレジスタ

割り込みマスクレジスタ(IMASK)

<アドレス : H'0080 0004 >



<リセット時 : H'07 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5~7	IMASK(割り込みマスク)	000 : マスカブル割り込み禁止 001 : レベル0 割り込み受け付け可 010 : レベル0~1 割り込み受け付け可 011 : レベル0~2 割り込み受け付け可 100 : レベル0~3 割り込み受け付け可 101 : レベル0~4 割り込み受け付け可 110 : レベル0~5 割り込み受け付け可 111 : レベル0~6 割り込み受け付け可		

W = - : 書き込み無効

割り込みマスクレジスタ(IMASK)は、各割り込み要因ごとに設定した優先レベル(割り込み制御レジスタのILEVELビットの設定)と比較して、最終的にその割り込み要求を受け付けるかどうかを決定するレジスタです。

前出の割り込みベクタレジスタ(IVECT)を読み出すと、このIMASKレジスタには新しいマスク値(NEW_IMASK)がセットされます。

なお、IMASKレジスタに書き込みを行うと、以下の(1)~(2)の動作がハードウェアによって自動的に行われます。

- (1) CPUコアへの割り込み要求(EI)を解除
- (2) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注. EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みマスクレジスタ(IMASK)への書き込みは行わないでください。

13.3.3 SBI(システムブレーク割り込み)制御レジスタ

SBI(システムブレーク割り込み)制御レジスタ(SBICR) <アドレス: H'0080 0006 >



<リセット時: H'00 >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	SBIREQ(SBI要求)	0: SBI要求なし 1: SBI要求あり		

W = - : 書き込み無効

W = : クリア動作のみ可能(下記参照)

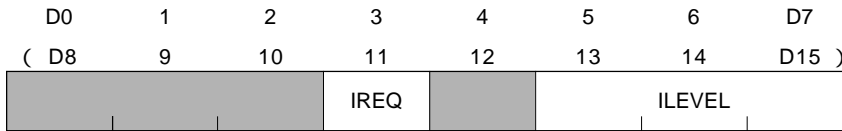
SBI(システムブレーク割り込み)は、 $\overline{\text{SBI}}$ 信号に立ち下がりエッジが入力された場合に発生する割り込みです。

SBIが発生するとSBI制御レジスタのSBIREQ(SBI要求)ビットが"1"にセットされます。SBIREQビットはソフトウェアでセットすることはできません。セットされたSBIREQをクリアする場合は次の動作を行ってください(ただし、SBI要求が発生していないときに、このクリア動作は行わないでください)。

SBIREQに"1"を書き込み、次にSBIREQに"0"を書き込む。

13.3.4 割り込み制御レジスタ

RTD割り込み制御レジスタ(IRTDCR)	< アドレス : H'0080 0067 >
SIO2,3送受信割り込み制御レジスタ(ISIO23CR)	< アドレス : H'0080 0068 >
DMA5 ~ 9割り込み制御レジスタ(IDMA59CR)	< アドレス : H'0080 0069 >
TOD出力割り込み制御レジスタ(ITODCR)	< アドレス : H'0080 006A >
TID入力割り込み制御レジスタ(ITIDCR)	< アドレス : H'0080 006B >
A-D変換器割り込み制御レジスタ(IADCCR)	< アドレス : H'0080 006C >
SIO0送信割り込み制御レジスタ(ISIO0TXCR)	< アドレス : H'0080 006D >
SIO0受信割り込み制御レジスタ(ISIO0RXCR)	< アドレス : H'0080 006E >
SIO1送信割り込み制御レジスタ(ISIO1TXCR)	< アドレス : H'0080 006F >
SIO1受信割り込み制御レジスタ(ISIO1RXCR)	< アドレス : H'0080 0070 >
DMA0 ~ 4割り込み制御レジスタ(IDMA04CR)	< アドレス : H'0080 0071 >
MJT出力割り込み制御レジスタα(IMJTOCR0)	< アドレス : H'0080 0072 >
MJT出力割り込み制御レジスタ1(IMJTOCR1)	< アドレス : H'0080 0073 >
MJT出力割り込み制御レジスタ2(IMJTOCR2)	< アドレス : H'0080 0074 >
MJT出力割り込み制御レジスタ3(IMJTOCR3)	< アドレス : H'0080 0075 >
MJT出力割り込み制御レジスタ4(IMJTOCR4)	< アドレス : H'0080 0076 >
MJT出力割り込み制御レジスタ5(IMJTOCR5)	< アドレス : H'0080 0077 >
MJT出力割り込み制御レジスタ6(IMJTOCR6)	< アドレス : H'0080 0078 >
MJT出力割り込み制御レジスタ7(IMJTOCR7)	< アドレス : H'0080 0079 >
MJT入力割り込み制御レジスタα(IMJTICR0)	< アドレス : H'0080 007A >
MJT入力割り込み制御レジスタ1(IMJTICR1)	< アドレス : H'0080 007B >
MJT入力割り込み制御レジスタ2(IMJTICR2)	< アドレス : H'0080 007C >
MJT入力割り込み制御レジスタ3(IMJTICR3)	< アドレス : H'0080 007D >
MJT入力割り込み制御レジスタ4(IMJTICR4)	< アドレス : H'0080 007E >



<リセット時：H'07>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
(8~10)				
3	IREQ(割り込み要求)	0: 割り込み要求なし 1: 割り込み要求あり		
(11)				
4	何も配置されていません		0	-
(12)				
5~7	ILEVEL(割り込み優先レベル)	000: 割り込み優先レベル0 001: 割り込み優先レベル1 010: 割り込み優先レベル2 011: 割り込み優先レベル3 100: 割り込み優先レベル4 101: 割り込み優先レベル5 110: 割り込み優先レベル6 111: 割り込み優先レベル7(割り込み禁止状態)		
(13~15)				

W = - : 書き込み無効

W = : 要因入力タイプがエッジタイプ(入力要因が1個の場合)のみセット/クリアできます

(1) IREQ(割り込み要求)ビット(D3またはD11)

内蔵周辺I/Oの割り込み要求が発生すると、IREQ(割り込み要求)ビットが"1"にセットされます。

このビットはエッジタイプ入力の割り込み要因のみソフトウェアでセット/クリアすることができます(レベルタイプは不可)。またエッジタイプ入力の割り込み要因のみ割り込み要求発生でセットされたIREQビットは、割り込みベクタレジスタ(IVECT)を読み出すと、自動的に"0"にクリアされます(ただしレベルタイプはクリアされません)。

割り込み要求発生によるセットとソフトウェアによるクリアが同時に発生した場合は、ソフトウェアによるクリアが優先されます。また、割り込み要求発生によるセットとIVECT読み出しによるクリアが同時に発生した場合は、IVECT読み出しによるクリアが優先されます。

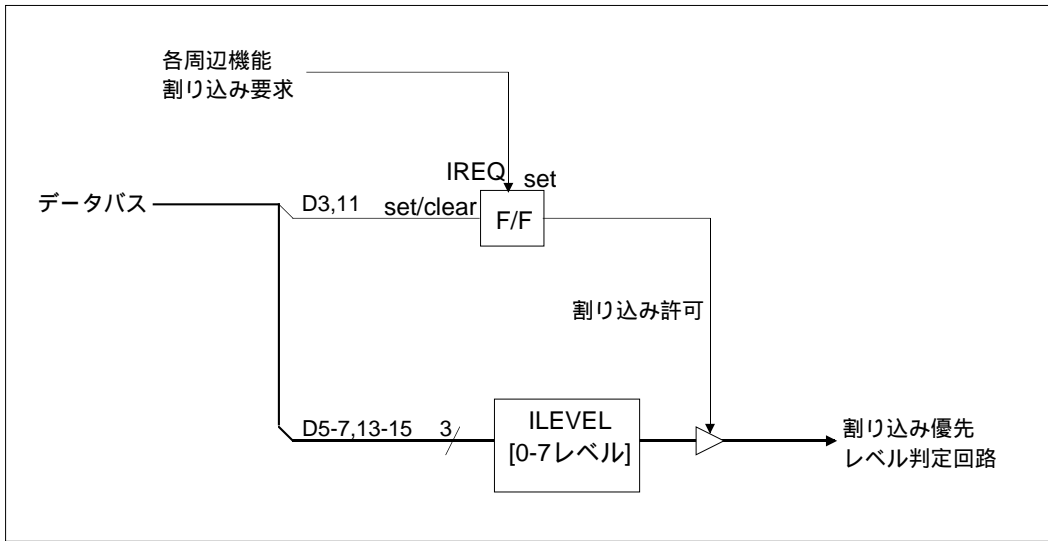


図13.3.2 割り込み制御レジスタ構成(エッジタイプ)

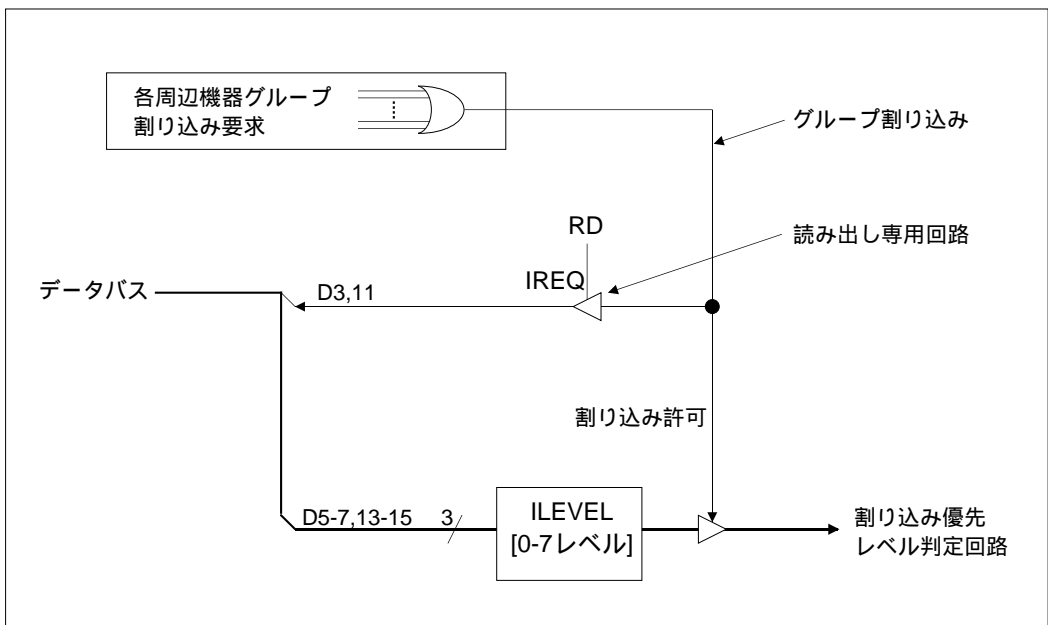


図13.3.3 割り込み制御レジスタ構成(レベルタイプ)

(2) ILEVEL (割り込み優先レベル) (D5 ~ D7またはD13 ~ D15)

各内蔵周辺I/Oの割り込み要求の優先レベルを設定します。内蔵周辺I/Oの割り込みを禁止する場合は7を、割り込みを使用する場合は0~6をセットします。

割り込み発生時、ILEVELの設定をもとに要因間の優先順位を判定するとともに、最終的にIMASKの値と比較してCPUへのEI要求を出力するか、保留するかが決定されます。

ILEVELの設定と受け付けられるIMASK値の関係を以下に示します。

表13.3.1 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0 (ILEVEL = "000")	IMASKが 1~7 のとき受け付けられる
1 (ILEVEL = "001")	IMASKが 2~7 のとき受け付けられる
2 (ILEVEL = "010")	IMASKが 3~7 のとき受け付けられる
3 (ILEVEL = "011")	IMASKが 4~7 のとき受け付けられる
4 (ILEVEL = "100")	IMASKが 5~7 のとき受け付けられる
5 (ILEVEL = "101")	IMASKが 6~7 のとき受け付けられる
6 (ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7 (ILEVEL = "111")	受け付けられない(割り込み禁止状態)

13.4 ICUベクタテーブル

ICUベクタテーブルは、各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定するテーブルで、24要因の割り込みに対して以下のアドレスが割り付けられています。

表13.4.1 ICUベクタテーブルアドレス

割り込み要因	ICUベクタテーブルアドレス
MJT入力割り込み4	H'0000 0094 ~ H'0000 0097
MJT入力割り込み3	H'0000 0098 ~ H'0000 009B
MJT入力割り込み2	H'0000 009C ~ H'0000 009F
MJT入力割り込み1	H'0000 00A0 ~ H'0000 00A3
MJT入力割り込み0	H'0000 00A4 ~ H'0000 00A7
MJT出力割り込み7	H'0000 00A8 ~ H'0000 00AB
MJT出力割り込み6	H'0000 00AC ~ H'0000 00AF
MJT出力割り込み5	H'0000 00B0 ~ H'0000 00B3
MJT出力割り込み4	H'0000 00B4 ~ H'0000 00B7
MJT出力割り込み3	H'0000 00B8 ~ H'0000 00BB
MJT出力割り込み2	H'0000 00BC ~ H'0000 00BF
MJT出力割り込み1	H'0000 00C0 ~ H'0000 00C3
MJT出力割り込み0	H'0000 00C4 ~ H'0000 00C7
DMA0 ~ 4割り込み	H'0000 00C8 ~ H'0000 00CB
SIO1 受信割り込み	H'0000 00CC ~ H'0000 00CF
SIO1 送信割り込み	H'0000 00D0 ~ H'0000 00D3
SIO0 受信割り込み	H'0000 00D4 ~ H'0000 00D7
SIO0 送信割り込み	H'0000 00D8 ~ H'0000 00DB
A-D変換器割り込み	H'0000 00DC ~ H'0000 00DF
TID入力割り込み	H'0000 00E0 ~ H'0000 00E3
TOD出力割り込み	H'0000 00E4 ~ H'0000 00E7
DMA5 ~ 9割り込み	H'0000 00E8 ~ H'0000 00EB
SIO2,3送受信割り込み	H'0000 00EC ~ H'0000 00EF
RTD割り込み	H'0000 00F0 ~ H'0000 00F3

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 0094	MJT入力割り込み4		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 0096	MJT入力割り込み4		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 0098	MJT入力割り込み3		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009A	MJT入力割り込み3		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 009C	MJT入力割り込み2		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009E	MJT入力割り込み2		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A0	MJT入力割り込み1		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00A2	MJT入力割り込み1		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A4	MJT入力割り込み0		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00A6	MJT入力割り込み0		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A8	MJT出力割り込み7		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AA	MJT出力割り込み7		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00AC	MJT出力割り込み6		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AE	MJT出力割り込み6		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B0	MJT出力割り込み5		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B2	MJT出力割り込み5		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B4	MJT出力割り込み4		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B6	MJT出力割り込み4		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B8	MJT出力割り込み3		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BA	MJT出力割り込み3		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00BC	MJT出力割り込み2		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BE	MJT出力割り込み2		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C0	MJT出力割り込み1		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C2	MJT出力割り込み1		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C4	MJT出力割り込み0		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C6	MJT出力割り込み0		ハンドラ先頭番地 (A16 ~ A31)			

図13.4.1 ICUベクタテーブルのメモリマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 00C8		DMA0 ~ 4割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00CA		DMA0 ~ 4割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00CC		SIO1受信割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00CE		SIO1受信割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00D0		SIO1送信割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00D2		SIO1送信割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00D4		SIO0受信割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00D6		SIO0受信割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00D8		SIO0送信割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00DA		SIO0送信割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00DC		A-D変換割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00DE		A-D変換割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00E0		TID入力割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00E2		TID入力割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00E4		TOD出力割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00E6		TOD出力割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00E8		DMA5 ~ 9割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00EA		DMA5 ~ 9割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00EC		SIO2,3送受信割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00EE		SIO2,3送受信割り込み	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00F0		RTD割り込み	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00F2		RTD割り込み	ハンドラ先頭番地 (A16 ~ A31)			

図13.4.2 ICUベクタテーブルのメモリマップ(2/2)

13.5 割り込み動作説明

13.5.1 内蔵周辺I/Oの割り込み受け付け

内蔵周辺I/Oからの割り込みは、割り込み制御レジスタで設定したILEVELと、割り込みマスクレジスタのIMASK値を比較して、IMASK値よりも優先度が高ければ受け付けます。ただし同時に複数の割り込み要求が発生した場合は、以下の手順で受け付けるかどうかを判定します。

各内蔵周辺I/Oの割り込み制御レジスタで設定されたILEVEL値の比較
 ILEVEL値が同一の場合は、ハードウェアであらかじめ決められた優先順位の適用
 ILEVEL値とIMASK値の比較

同時に複数の割り込み要求が発生した場合、まず、各割り込み制御レジスタのILEVELで設定した優先度を比較して、優先度のもっとも高い割り込みが選ばれます。ILEVELの値が同じ場合は、ハードウェア固定の優先順位に従います。

最終的に選ばれた割り込みのILEVELとIMASK値を比較して、IMASK値よりも優先度が高ければ、CPUに対してEI要求が出されます。

なお、割り込み要求のマスクは、各内蔵周辺I/Oの割り込みマスクレジスタ、割り込みコントローラのILEVEL設定(レベル7で禁止)、およびPSWレジスタのIEビットの設定で行います。

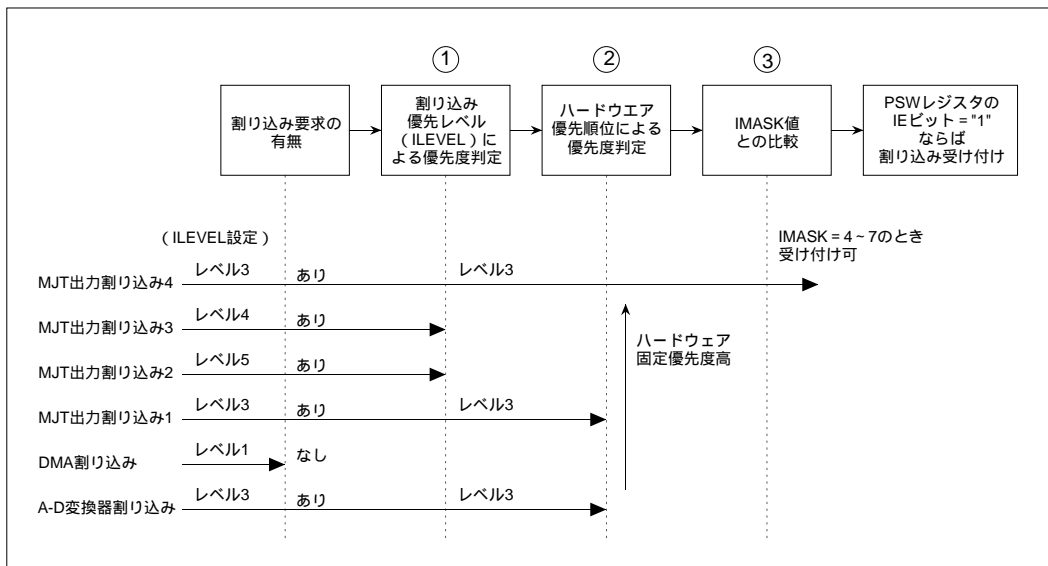


図13.5.1 割り込み受け付け時の優先順位判定例

13.5.2 内蔵周辺I/Oの割り込みハンドラ処理

(1) 割り込みハンドラへの分岐

CPUが割り込みを受け付けると、4.3章「EITの処理手順」に示すとおり、ハードウェア前処理を行った後、EITベクタエントリへ分岐します。外部割り込み(EI)に割り当てられたEITベクタエントリは、H'0000 0080番地で、ここには外部割り込みに対する割り込みハンドラプログラムの先頭への分岐命令(分岐先アドレスではないことに注意)を書きます。

(2) 割り込みハンドラでの処理

外部割り込み(EI)のハンドラでは、まずBPCレジスタ、PSWレジスタおよび汎用レジスタをスタックに退避してください。

次に割り込みマスクレジスタ(IMASK)を読み出してスタックに退避し、その後で割り込みベクタレジスタ(IVECT)を読み出します。IMASKは、必ずIVECTリードする前に読み出してください。IMASKへのリードとIVECTのリードは、ともにCPUへの割り込み要求のクリアと次の割り込み受け付けのための動作を引き起こします。またIVECTのリードは、これに加えてIMASKへのNEW_IMASKのセットと、受け付けられた割り込み要求のクリア(ただしレベル割り込み要因はクリアされない)を行います。

IVECTレジスタには、受け付けられた割り込み要因に対応したICUベクタテーブルのアドレスの下位16ビットがセットされています。IVECTレジスタを符号付きハーフワードロード命令(LDH命令)で読み出して、それをアドレスとするICU割り込みベクタテーブルの内容を読み出します。

ICUベクタテーブルには、各内蔵周辺I/Oの割り込みハンドラの前頭アドレスを書いておき、読み出したこのアドレスに分岐して各ハンドラ処理を実行します。

なお、復帰の際は、PSWレジスタのIEビットを"0"にクリアして割り込みを禁止してからIMASK値を戻してください。

(3) 割り込み発生元の特定

各内蔵周辺I/Oで割り込みに複数の要因がある場合は、各内蔵周辺I/Oの割り込みステータスレジスタで、要因を特定してください。

(4) 多重割り込みの許可

割り込みハンドラ内で多重割り込みを許可する場合は、PSWレジスタのIE(割り込みイネーブル)ビットに"1"をセットして、割り込みの受け付けを許可してください。ただし、IEに"1"を書き込む前に、必ず各レジスタ(BPC, PSW, 汎用レジスタおよびIMASK)をスタックに退避してください。

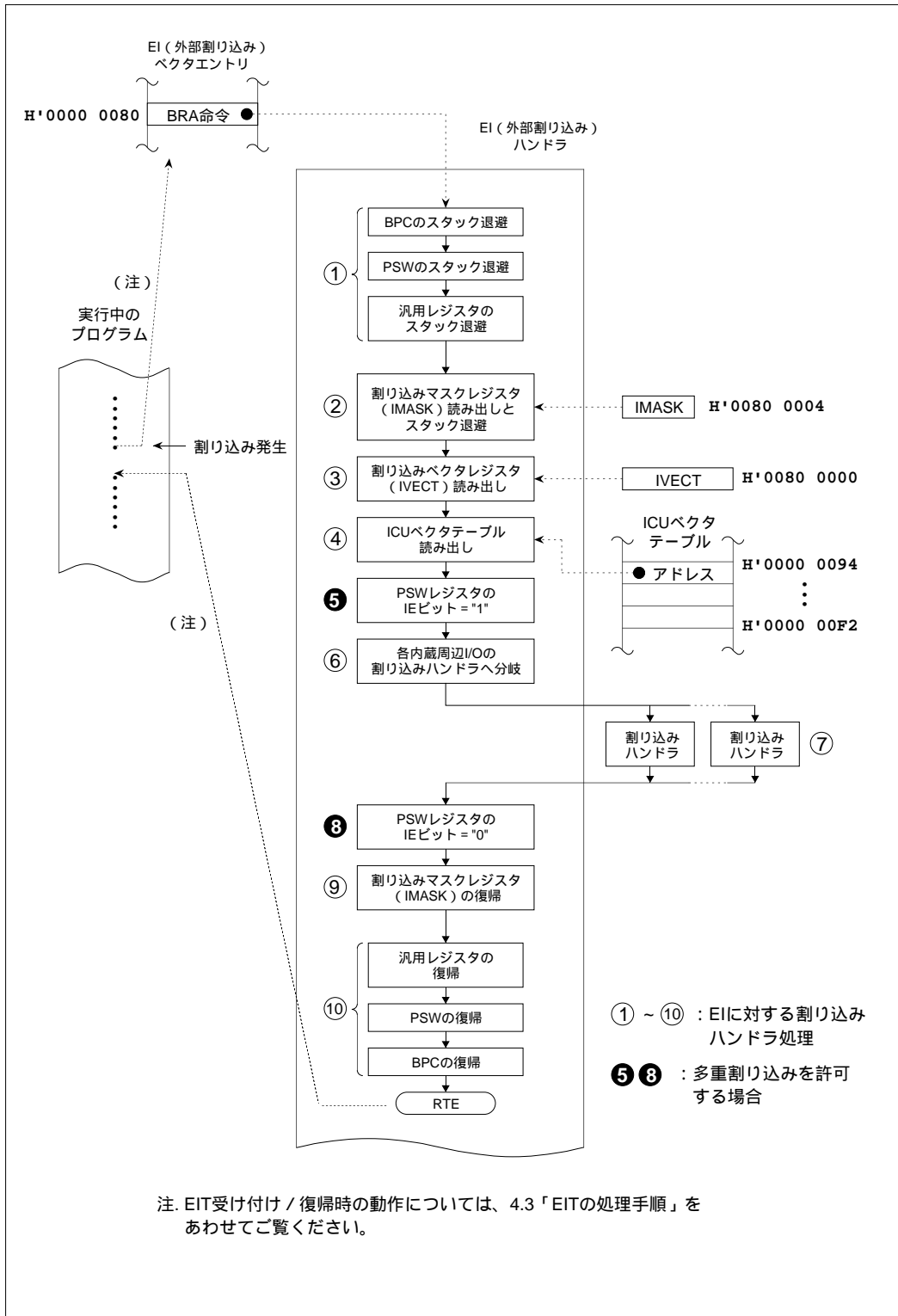


図13.5.2 内蔵周辺I/Oからの割り込み動作例

13.6 システムブレーク割り込み(SBI)動作説明

13.6.1 SBIの受け付け

SBIは、電源の異常検出や外部ウォッチドックタイマの異常検出に対して使用される緊急用の割り込みです。SBIは、PSWレジスタのIEビットの値にかかわらず、 $\overline{\text{SBI}}$ 信号の立ち下がりエッジの検出で常時受け付けられ、マスクすることはできません。

13.6.2 SBIのハンドラ処理

SBIに対する処置が終わった後は、割り込み発生時に実行していた元のプログラムには復帰しないで、必ずシステムを終了またはリセットしてください。

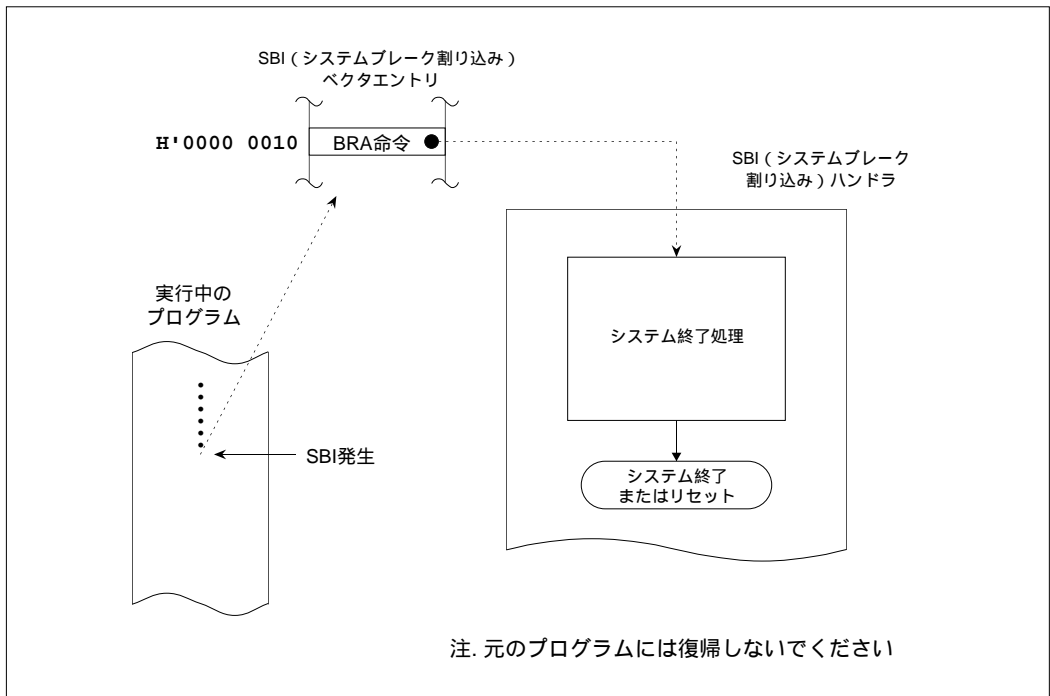


図13.6.1 SBI動作例

第14章

ウェイトコントローラ

- 14.1 ウェイトコントローラ概要
- 14.2 ウェイトコントローラ
関連レジスタ
- 14.3 ウェイトコントローラ
動作例

14.1 ウエイトコントローラ概要

ウエイトコントローラは、外部拡張領域アクセスにおけるバスサイクルの挿入ウエイト数を制御します。以下に32160のウエイトコントローラの概要を示します。

表14.1.1 ウエイトコントローラの概要

項目	仕様
対象空間	動作モードにより以下の空間を制御 シングルチップモード : 対象空間なし (ウエイトコントローラの設定は無効) 外部拡張モード : CS0領域 (使用禁止), CS1領域 (512Kバイト) プロセッサモード : CS0領域 (512Kバイト), CS1領域 (512Kバイト)
挿入ウエイト数	ソフトウェア設定による1~4ウエイト挿入 + WAIT端子入力による任意のウエイト数 挿入可能 (外部アクセス時のバスサイクルは、1ウエイト挿入が最短となります)

外部拡張モードとプロセッサモードでは、外部拡張領域に対して2本のチップセレクト信号 ($\overline{CS0}$, $\overline{CS1}$) が出力され、2本のチップセレクト信号に対応した2つの領域をそれぞれCS0領域、CS1領域と呼びます。

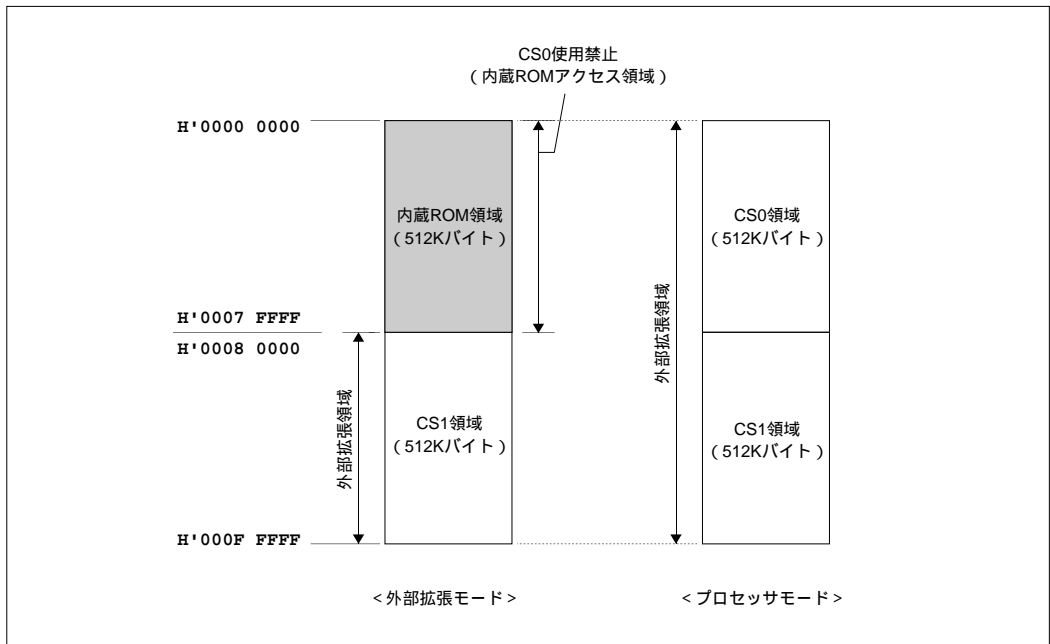


図14.1.1 CS0領域とCS1領域のアドレスマップ (M32160F4UFP)

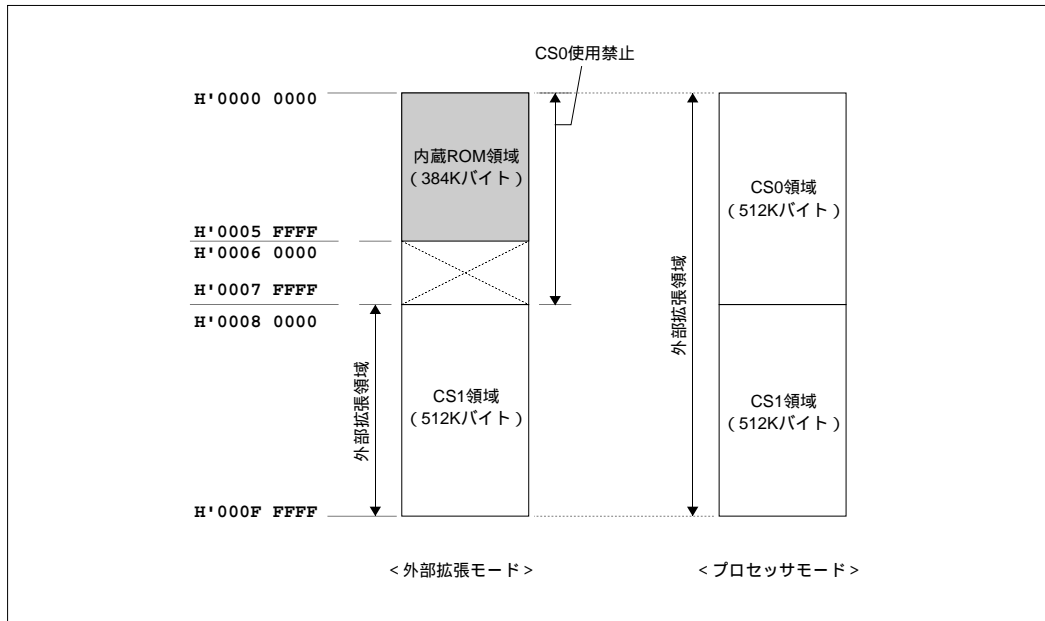


図14.1.2 CS0領域とCS1領域のアドレスマップ(M32160F3UFP)

外部拡張領域アクセス時、ウエイトコントローラはソフトウェアで設定されたウエイト数、および $\overline{\text{WAIT}}$ (ウエイト)端子からの入力信号に基づいて、バスサイクルに挿入されるウエイト数を制御します。

ソフトウェアで制御可能なウエイト数は、1から4です(外部アクセスは、1ウエイト挿入が最短のバスサイクルとなります)。

ソフトウェアで設定された内部ウエイトの最終サイクルで $\overline{\text{WAIT}}$ (ウエイト)端子に"L"レベル信号が入力されていると、ウエイトサイクルが延長されます。その後外部 $\overline{\text{WAIT}}$ 端子に"H"レベル信号が入力されると、ウエイトサイクルを終了し、次の新しいバスサイクルに移行します。

表14.1.2 ウエイトコントローラで設定可能なウエイト数

外部拡張領域	アドレス	挿入ウエイト数
CS0領域	使用禁止 (外部拡張モード) H'0000 0000 ~ H'0007 FFFF (プロセッサモード)	ソフトウェア設定により1~4ウエイト挿入 + $\overline{\text{WAIT}}$ 端子入力による任意のウエイト数挿入 (ただしソフトウェアの設定が優先されます)
CS1領域	H'0008 0000 ~ H'000F FFFF (外部拡張モード およびプロセッサモード)	ソフトウェア設定により1~4ウエイト挿入 + $\overline{\text{WAIT}}$ 端子入力による任意のウエイト数挿入 (ただしソフトウェアの設定が優先されます)

14.2 ウェイトコントローラ関連レジスタ

以下にウェイトコントローラ関連のレジスタマップを示します。

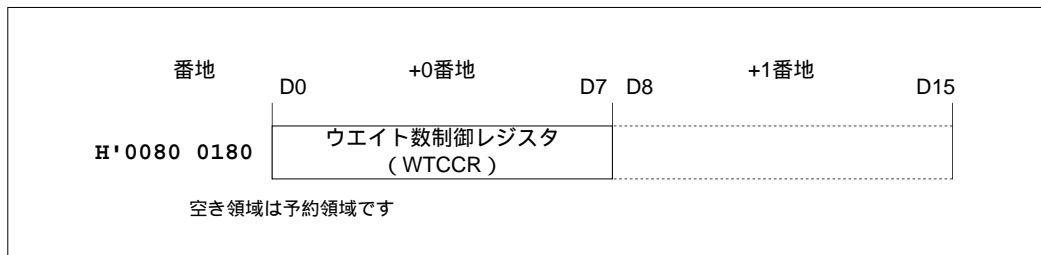
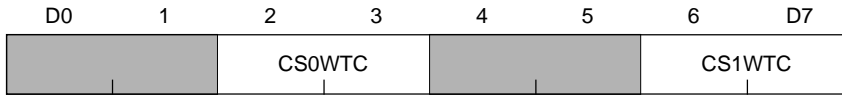


図14.2.1 ウェイトコントローラ関連レジスタマップ

14.2.1 ウエイト数制御レジスタ

ウエイト数制御レジスタ(WTCCR)

<アドレス : H'0080 0180 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	CS0WTC (CS0ウエイト数制御)	00 : 4ウエイト(リセット時) 01 : 3ウエイト 10 : 2ウエイト 11 : 1ウエイト		
4,5	何も配置されていません		0	-
6,7	CS1WTC (CS1ウエイト数制御)	00 : 4ウエイト(リセット時) 01 : 3ウエイト 10 : 2ウエイト 11 : 1ウエイト		

W = - : 書き込み無効

14.3 ウェイトコントローラ動作例

以下にウェイトコントローラの動作例を示します。

ウェイトコントローラでは2~5サイクルのバスアクセスが制御可能で、それ以上のアクセスサイクルが必要な場合にはWAIT機能との組み合わせ使用が必要です。

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHW} , \overline{BLW} , \overline{WAIT} , \overline{BCLK} の各信号により行います。

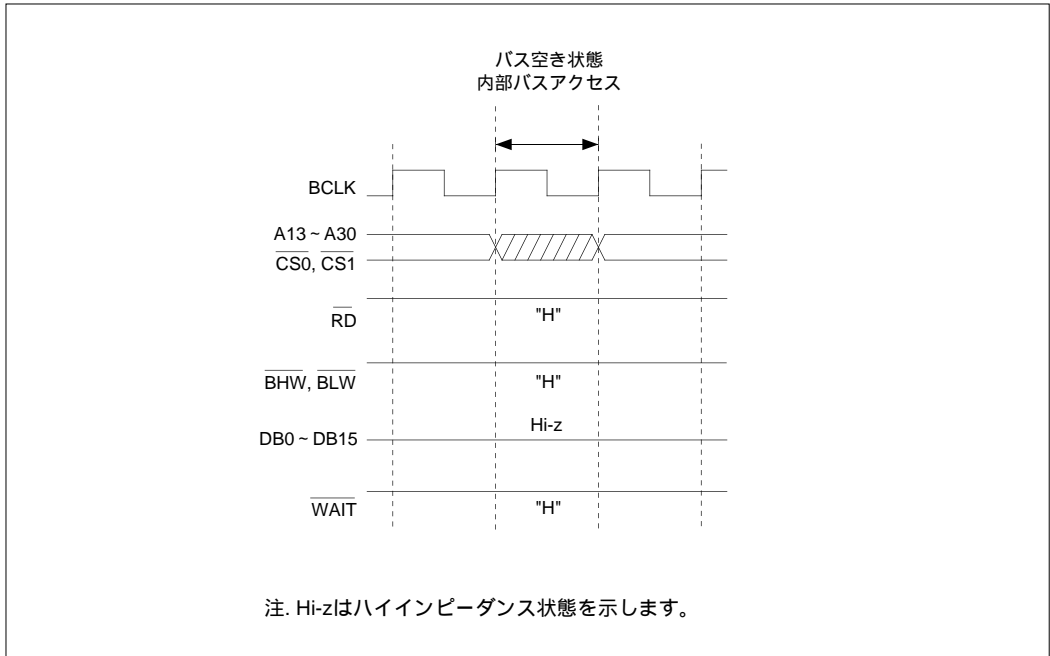


図14.3.1 バス空き状態/内部バスアクセス時

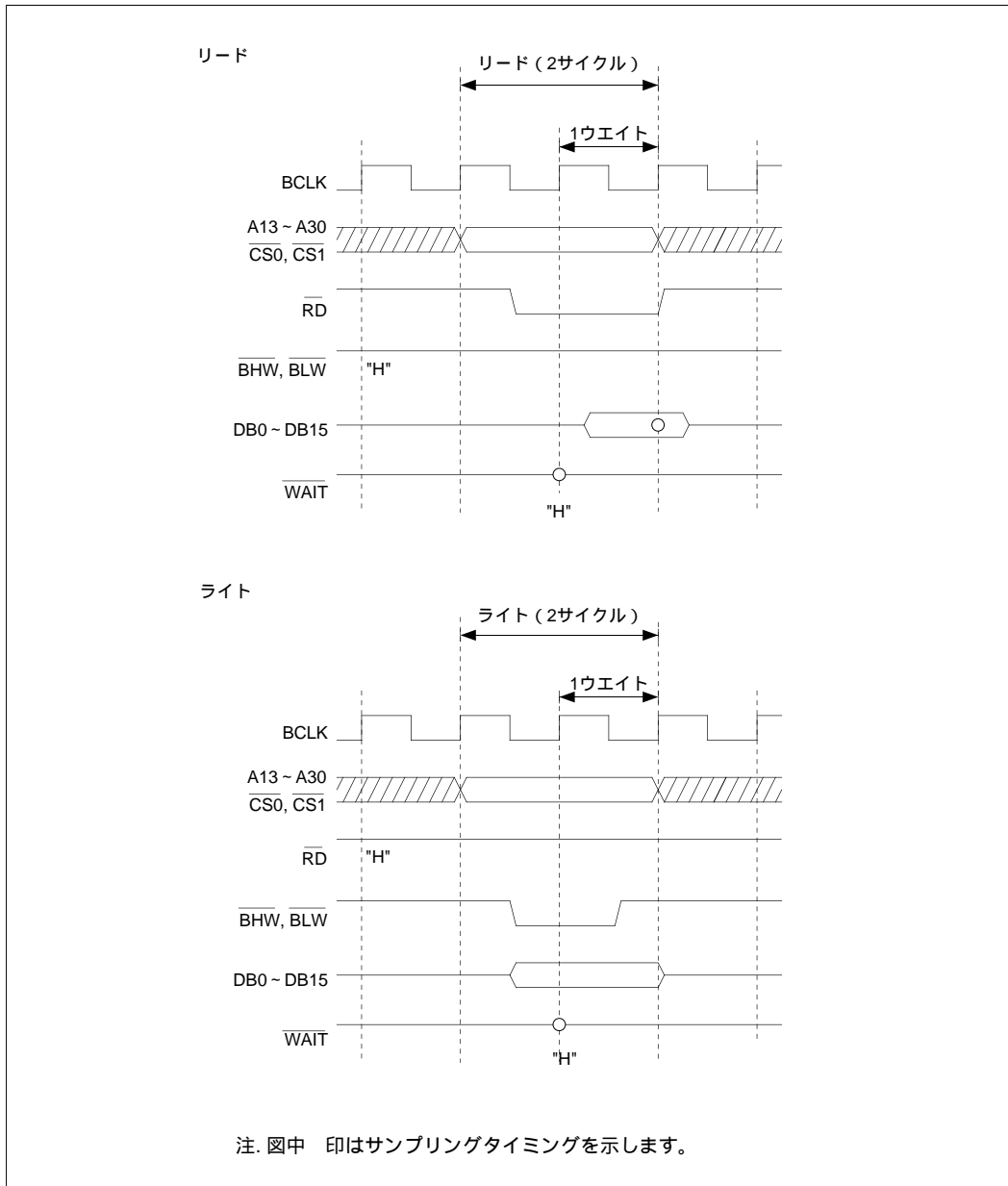


図14.3.2 リード/ライトタイミング(内部1ウェイトアクセス時)

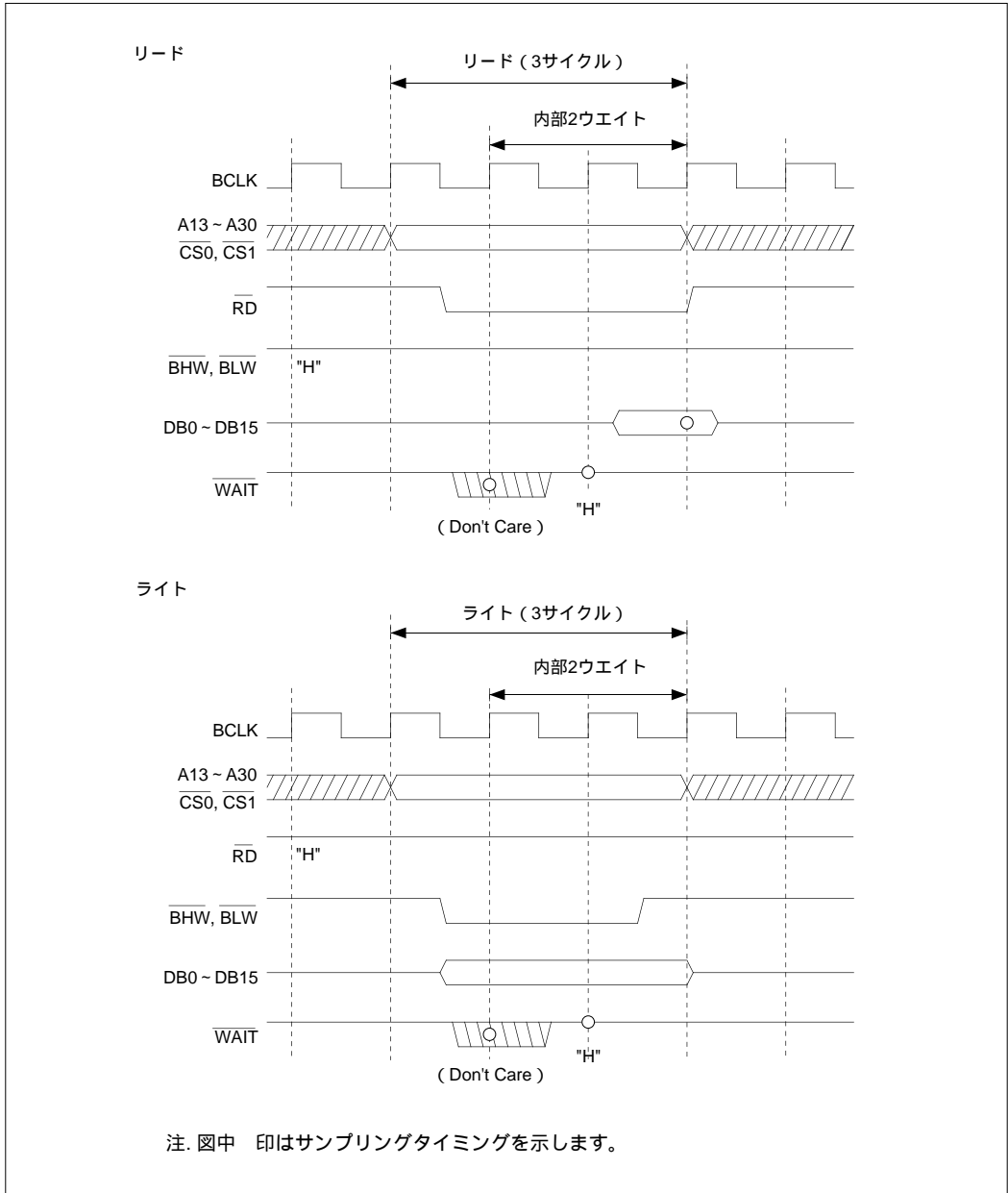


図14.3.3 リード/ライトタイミング(内部2ウェイトアクセス時)

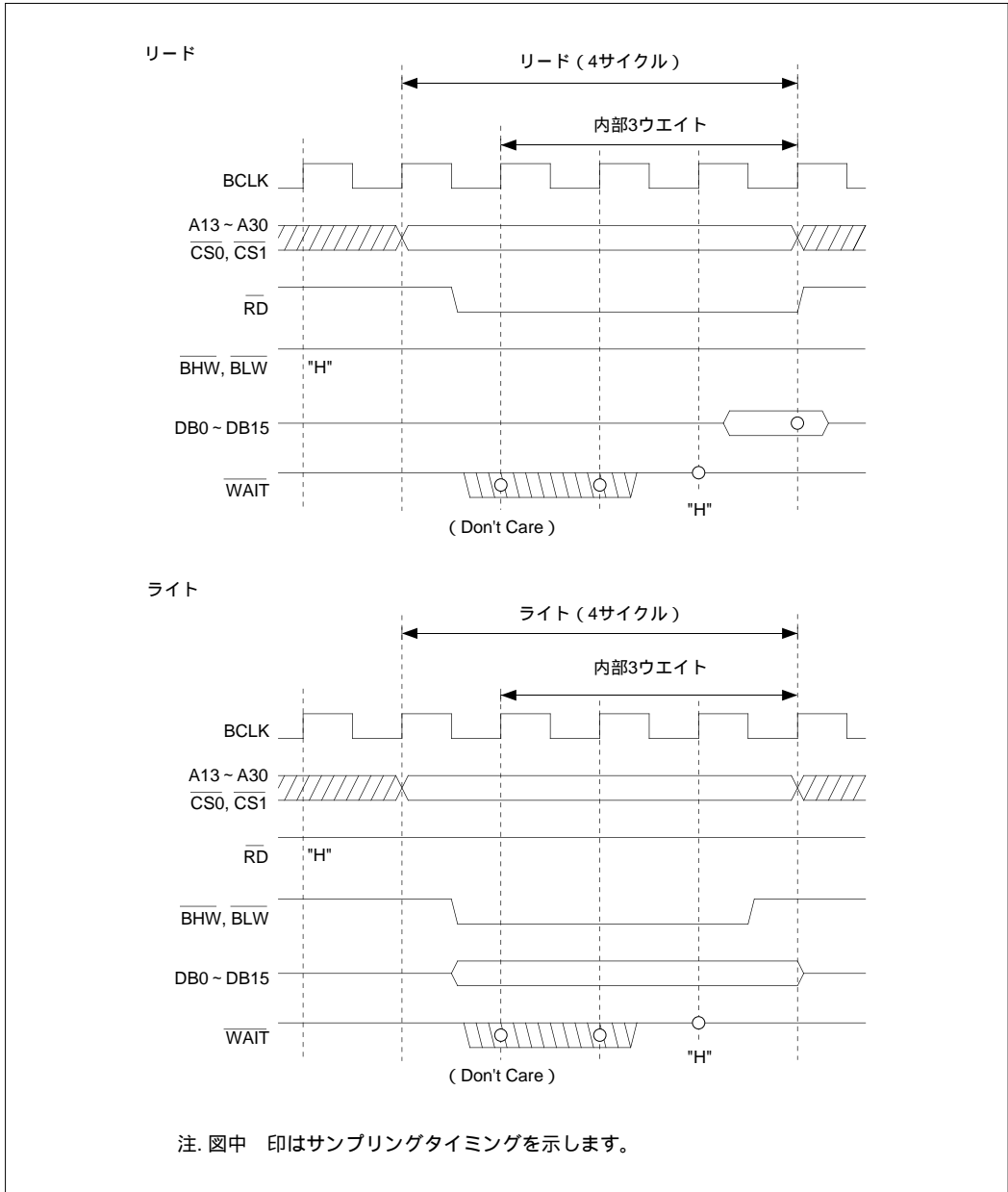


図14.3.4 リード/ライトタイミング(内部3ウェイトアクセス時)

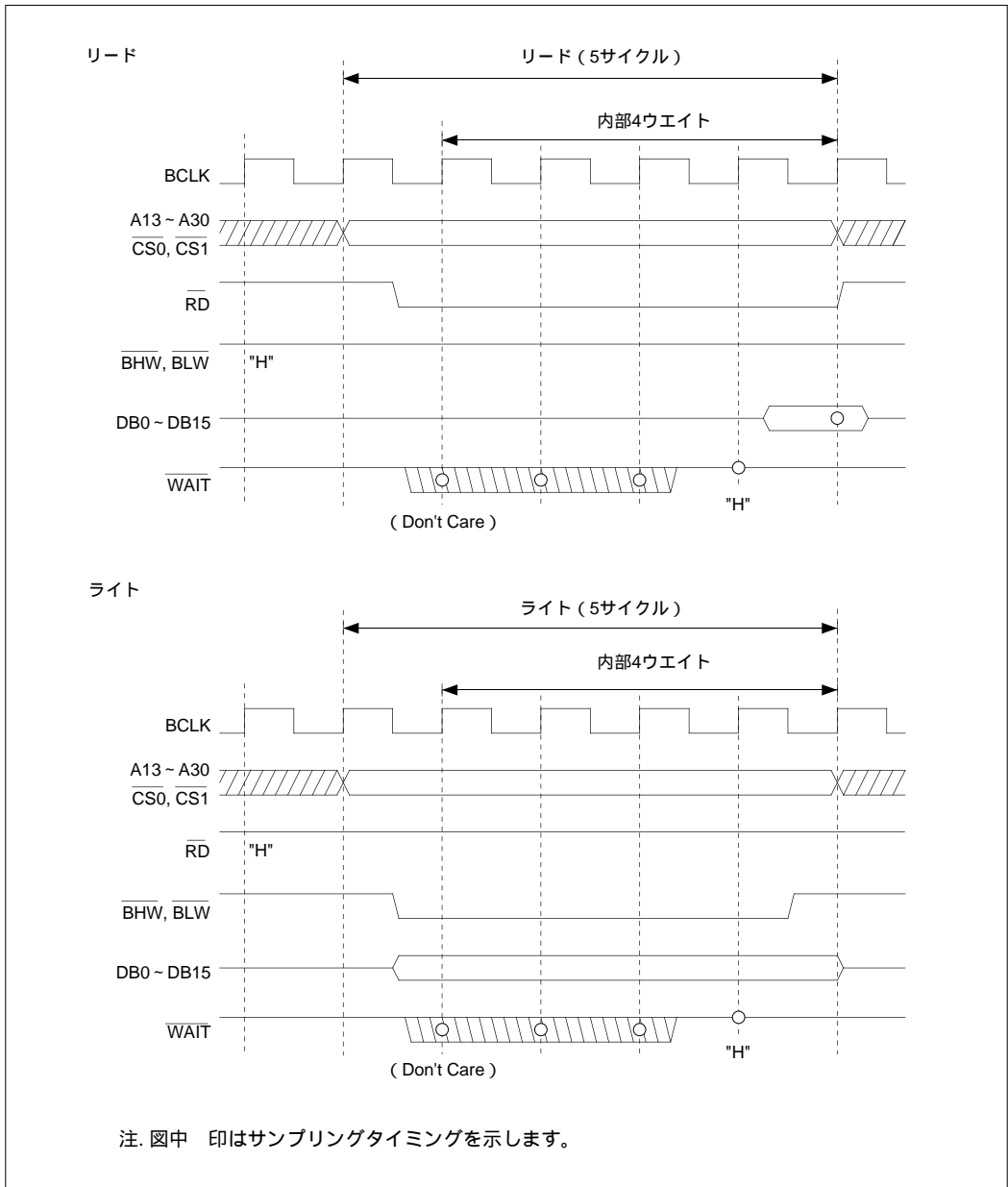


図14.3.5 リード/ライトタイミング(内部4ウェイトアクセス時)

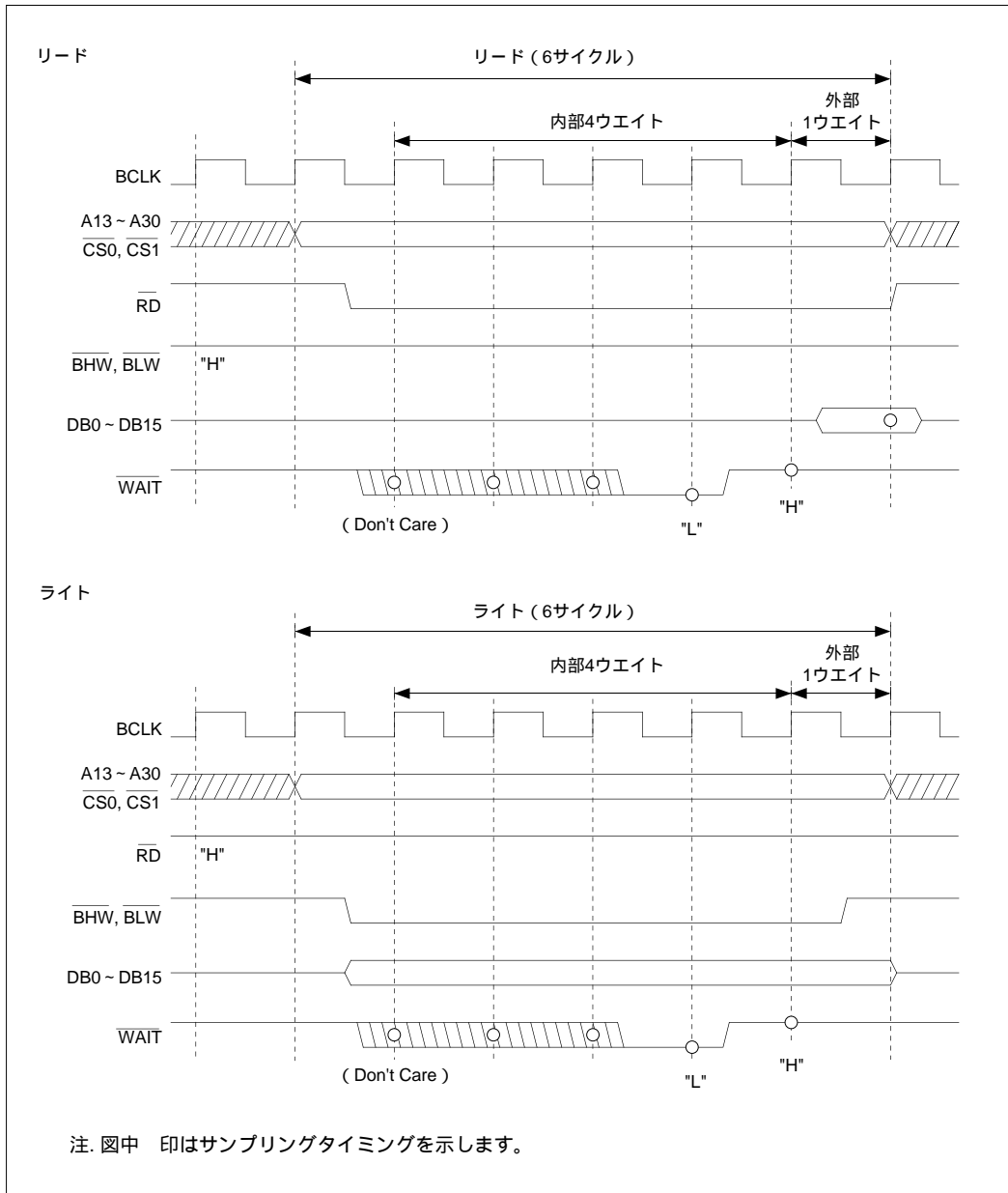


図14.3.6 リード/ライトタイミング(内部4+外部1ウェイトアクセス時)

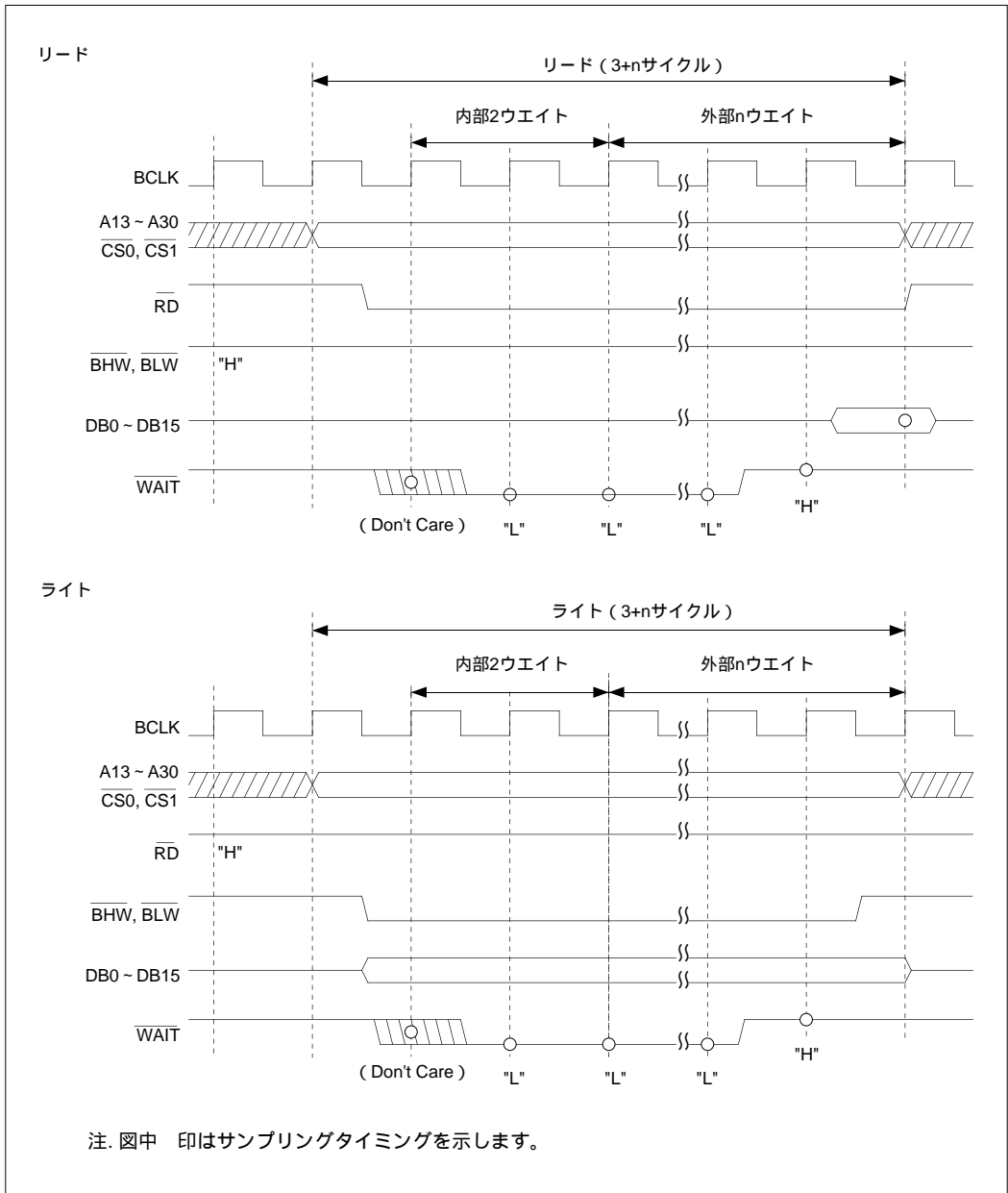


図14.3.7 リード/ライトタイミング(内部2 + 外部nウェイトアクセス時)

第15章

リアルタイムデバッグ(RTD)

- 15.1 リアルタイムデバッグ
(RTD)概要
- 15.2 RTD端子機能
- 15.3 RTD動作説明
- 15.4 ホストとの接続例

15.1 リアルタイムデバッガ(RTD)概要

リアルタイムデバッガ(Real Time Debugger)は、内蔵RAM全領域を、マイコン外部からコマンドを使用し、リード/ライトするためのシリアルI/Oです。RTDと内蔵RAM間のデータ転送はM32R CPUと別に内蔵した専用バスを通じて行なうため、M32R CPUの動作を停止させることなく制御することができます。

表15.1.1 リアルタイムデバッガ(RTD)の概要

項目	内容
転送方式	クロック同期形シリアルI/O
転送クロックの発生	外部ホスト側が発生
RAMアクセス領域	内蔵RAM全領域(A16 ~ A29による制御)
送受信データ長	32ビット(固定)
ビット転送順序	LSBファースト
最大転送速度	2Mビット/秒
入出力端子	4本(RTDTXD, RTDRXD, RTDACK, RTDCLK)
コマンド数	以下の5機能 継続モニタ リアルタイムRAM内容出力 RAM内容強制書き替え(ベリファイ付き) 暴走状態からの復帰 RTD割り込み要求

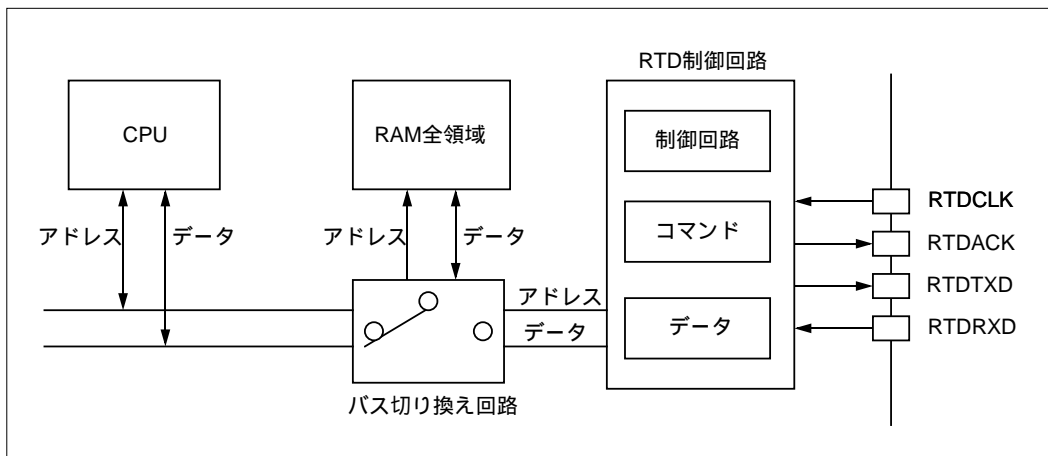


図15.1.1 リアルタイムデバッガ(RTD)のブロック図

15.2 RTD端子機能

RTDの端子機能を以下に示します。

表15.2.1 RTD端子機能

端子名	入出力	機能
RTDTXD	出力	RTDシリアルデータ出力
RTDRXD	入力	RTDシリアルデータ入力
RTDACK	出力	出力データワードの先頭クロックに同期した、"L"パルスを出力します。 出力される"L"パルスの幅は、RTDが受信した命令/データの種類を示します。 1クロック : VER(継続モニタ)コマンド 1クロック : VE(RTD割り込み要求)コマンド 2クロック : RDR(リアルタイムRAM内容出力)コマンド 3クロック : WRR(RAM内容強制書き替え)コマンド または、そのデータ 4クロック以上 : RCV(暴走状態からの復帰)コマンド
RTDCLK	入力	RTD転送クロック入力

15.3 RTD動作説明

15.3.1 RTD動作概要

RTDの動作は、チップ外部から入力されたコマンドで指定されます。コマンドは、RTD受信データのビット16～ビット19(注1)により指定します。

表15.3.1 RTDコマンド

RTD受信データ				コマンド	RTD機能
b19	b18	b17	b16	ニーモニック	
0	0	0	0	VER(VERify)	継続モニタ
0	1	0	0		
0	1	0	1		
0	1	1	0	VE(VERify Interrupt request)	RTD割り込み要求
0	0	1	0	RDR(ReaD RAM)	リアルタイムRAM内容出力
0	0	1	1	WRR(WRite RAM)	RAM内容強制書き替え(ベリファイ付き)
1	1	1	1	RCV(ReCoVer)	暴走状態からの復帰 (注2, 注3)
0	0	0	1	システム予約(使用禁止)	

(注1)

注1. RTD受信データのビット19は、実際にはコマンドレジスタには格納されず、RCVコマンド以外は、Don't Careとなります(ビット16～18がコマンド指定として有効です)。

注2. RCVコマンドは必ず2回連続して送信してください。

注3. RCVコマンドの場合は、ビット16～19以外のビット(ビット0～15, 20～31)もすべて"1"にしてください。

15.3.2 RDR(リアルタイムRAM内容出力)動作

RDR(リアルタイムRAM内容出力)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を外部に転送できます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMのデータを読み出すため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また内蔵RAMからは、32ビット単位で読み出したデータが転送されます。



図15.3.1 RDRコマンドデータフォーマット

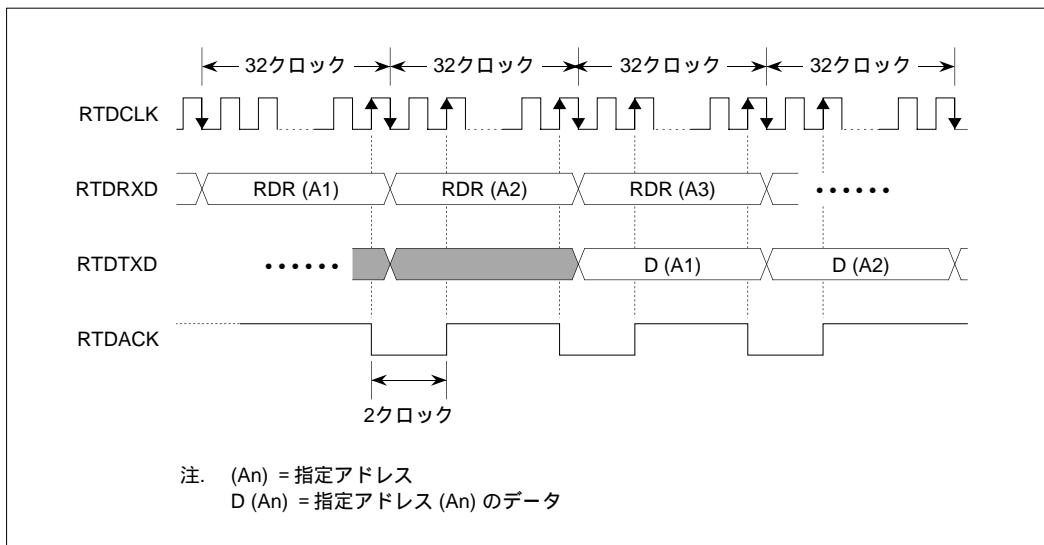


図15.3.2 RDRコマンド動作

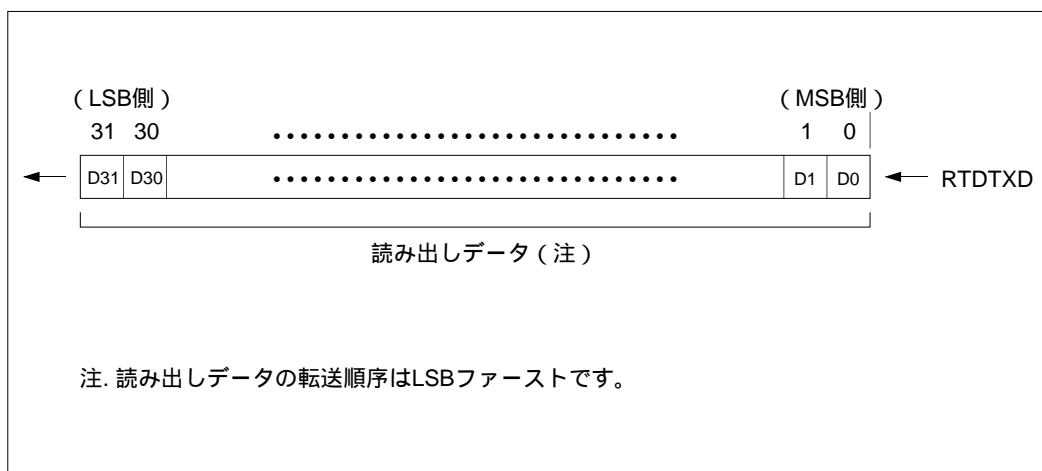


図15.3.3 読み出しデータ転送フォーマット

15.3.3 WRR(RAM内容強制書き替え)動作

WRR(RAM内容強制書き替え)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を強制的に書き替えます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMへデータを書き込むため、CPUに負荷はかかりません。

内蔵RAMの書き込みアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また、内蔵RAMへのデータ書き込みは、32ビット単位で行われます。

外部ホストからは、第1フレームでコマンドとアドレスを送信し、第2フレームで書き込みデータを送信します。

RTDから内蔵RAMへの書き込みは、書き込みデータ受信後の第3フレームで行われます。

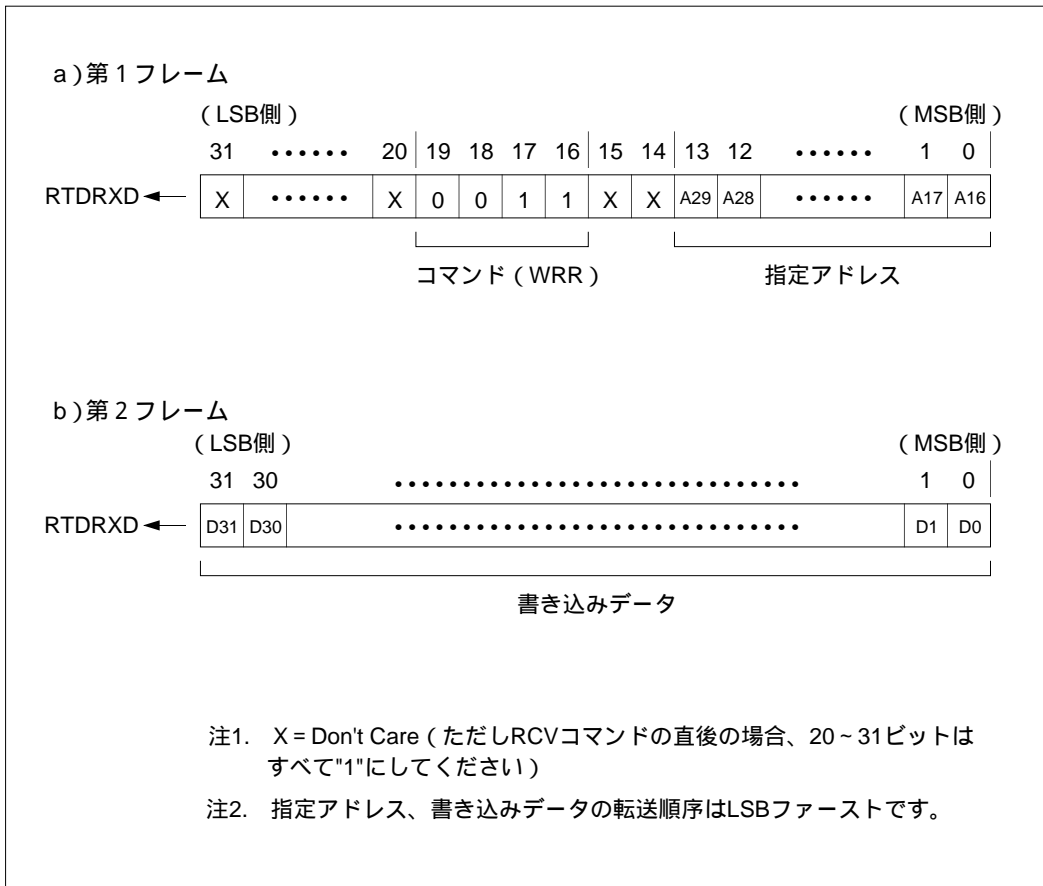


図15.3.4 WRRコマンドデータフォーマット

RTDは指定アドレスのデータを書き込みの前に読み出すとともに、書き込み直後に再度、同一アドレスのデータを読み出します(これによりベリファイができます)。読み出されたデータは以下のタイミングで出力されます。

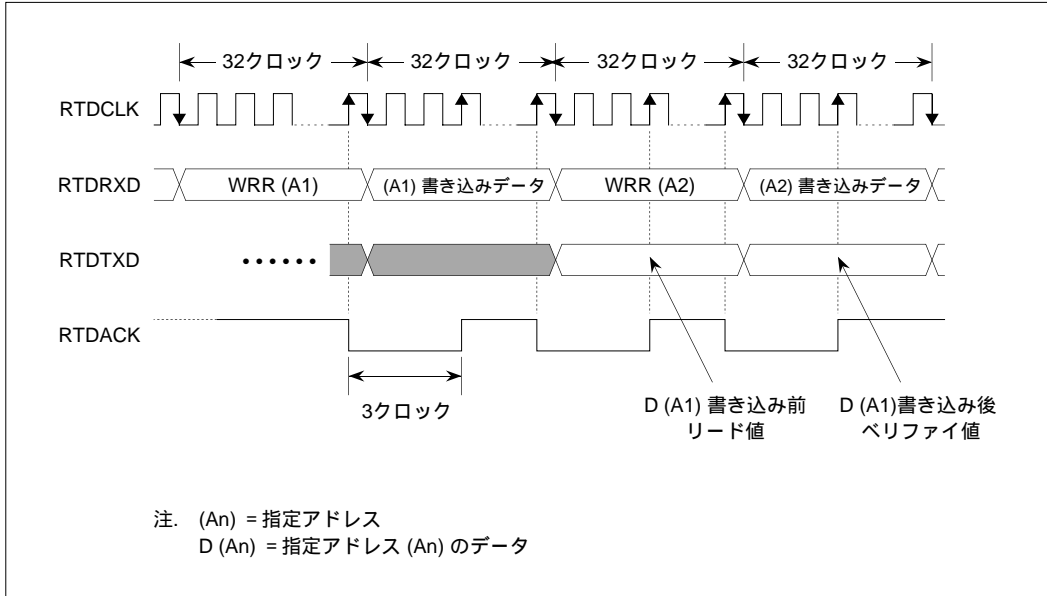


図15.3.5 WRRコマンド動作

15.3.4 VER(継続モニタ)動作

VER(継続モニタ)コマンドを発行すると、RTDはVERコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。



図15.3.6 VER(継続モニタ)コマンドデータフォーマット

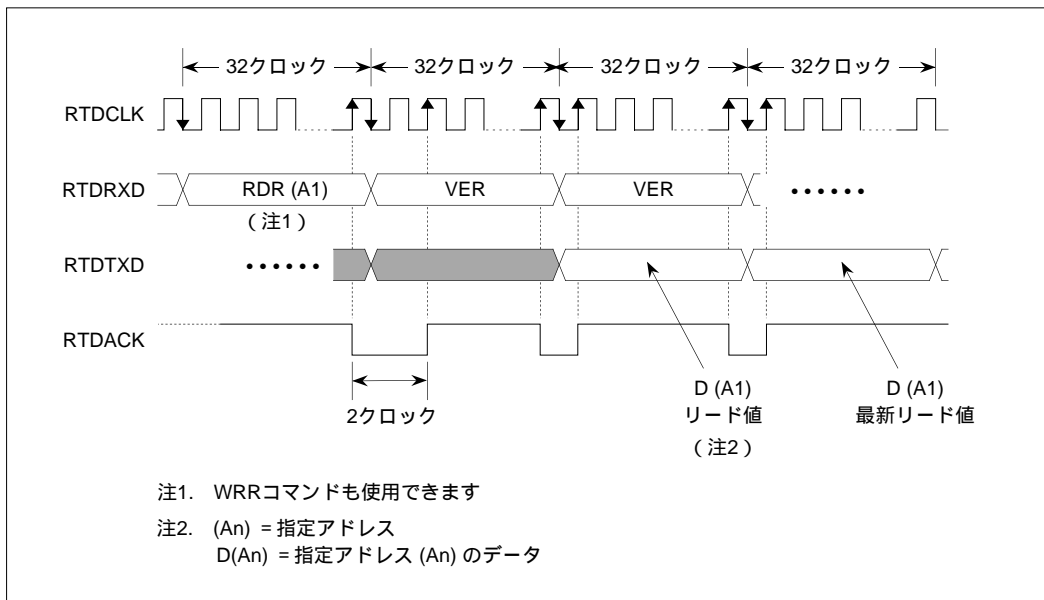


図15.3.7 VER(継続モニタ)コマンド動作

15.3.5 VEI(割り込み要求)動作

VEI(割り込み要求)コマンドを発行すると、RTD割り込み要求が発生します。また、RTDはVEIコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出します。

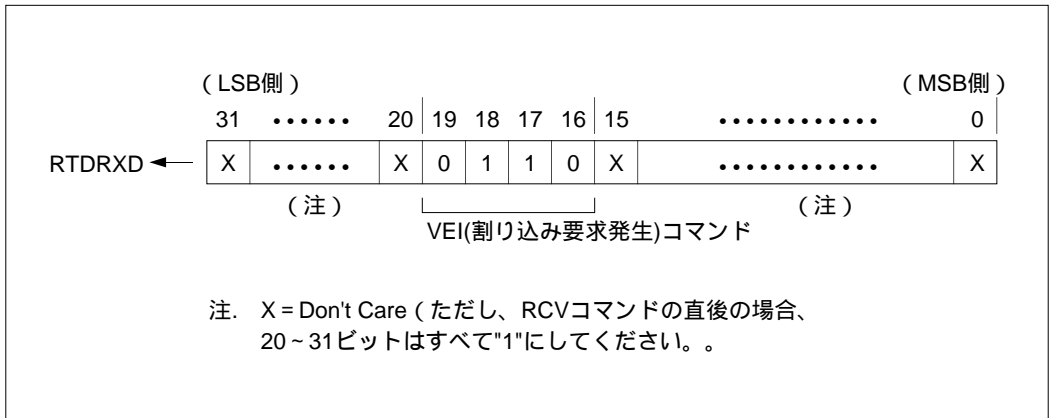


図15.3.8 VEI(割り込み要求)コマンドデータフォーマット

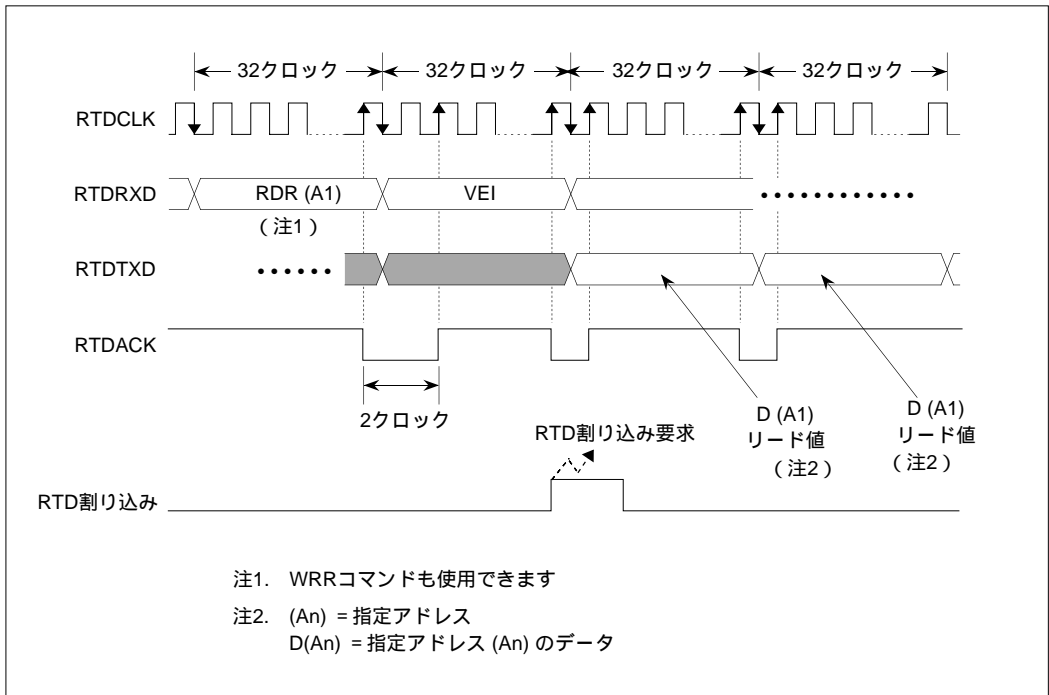


図15.3.9 VEI(割り込み要求)コマンド動作

15.3.6 RCV(暴走状態からの復帰)動作

RTDが暴走した場合、RCV(暴走状態からの復帰)コマンドを発行することでシステムリセットを行うことなく、強制的に暴走状態から復帰させることができます。RCVコマンドは必ず2回続けて発行してください。また、RCVコマンドに続けて発行するコマンドのビット20~31はすべて"1"にしてください。



図15.3.10 RCVコマンドデータフォーマット

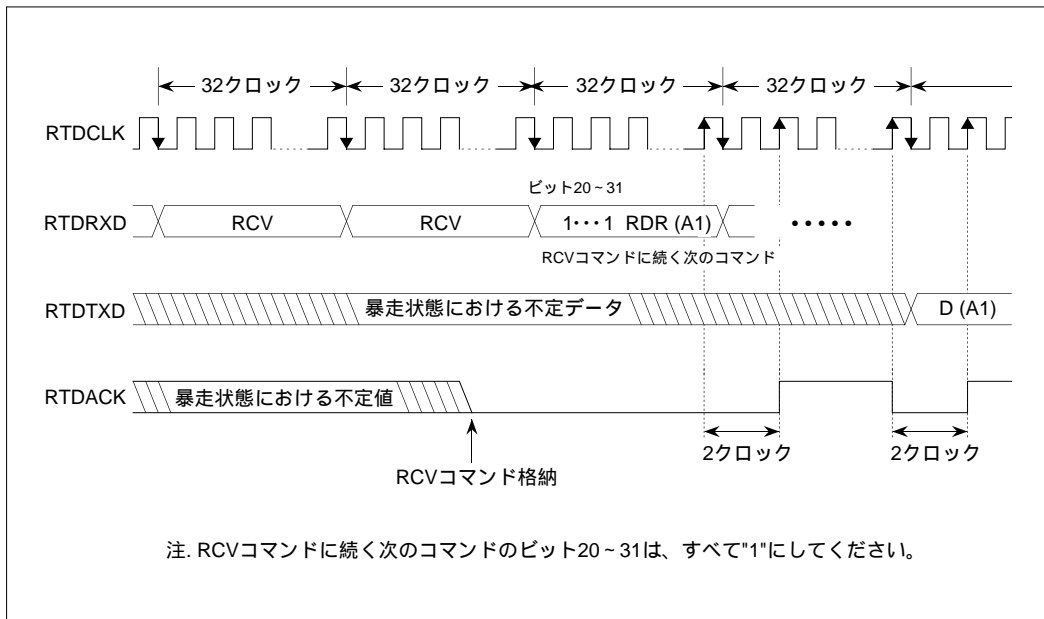


図15.3.11 RCVコマンド動作

15.3.7 リアルタイムデバッガ使用時の指定アドレス設定方法

RTDでは内蔵RAM領域の下位16ビットアドレスが設定可能です。内蔵RAM領域がH'0080 4000 ~ H'0080 FFFFの48KB領域内に配置しているため、その下位16ビットアドレス(H'4000 ~ H'FFFF)が設定できます。ただし、RAM配置領域以外はアクセスを禁止します。また、アドレス最下位の2ビットA31、A30はリード、ライトのデータ幅が32ビット固定長のため、常に"0"になります。

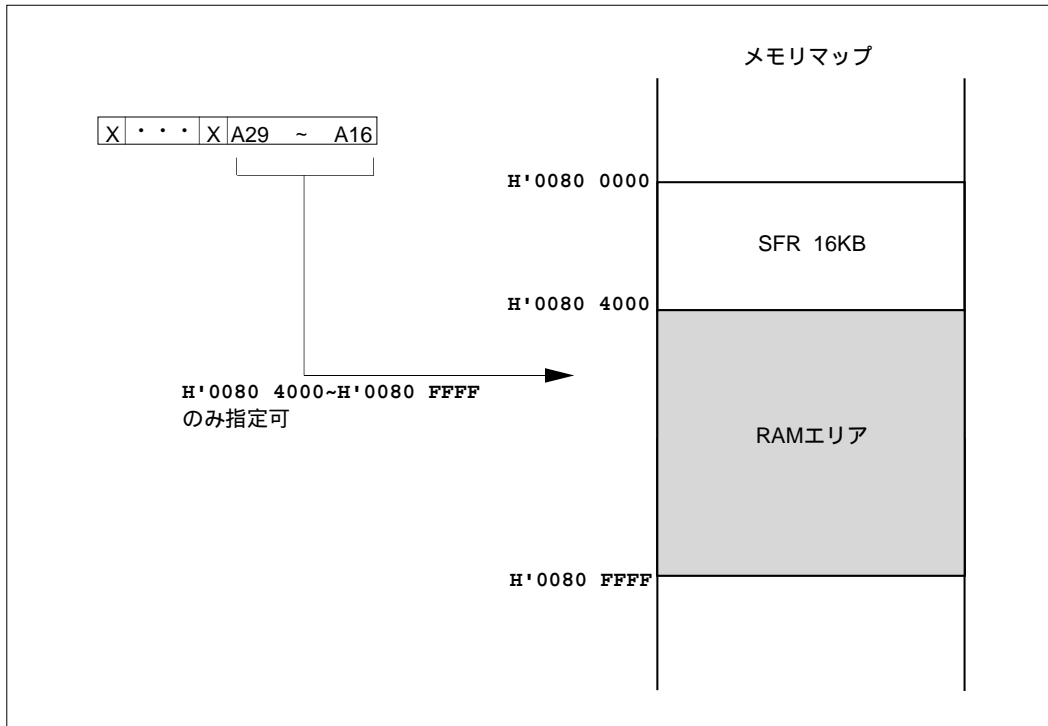


図15.3.12 リアルタイムデバッガのアドレス設定方法

15.3.8 RTDのリセット

RTDは、システムリセット($\overline{\text{RESET}}$ 信号の入力)によりリセットされます。システムリセット後のRTD関連の出力端子の状態は以下のとおりです。

表15.3.2 システムリセット解除後のRTD端子状態

端子名	状態
RTDACK	"H"レベル出力
RTDTXD	"H"レベル出力

RTDのリセットを行った後の最初のコマンド転送は、RTDCLKの立ち下がりエッジに同期してRTDRXD端子へデータを転送することで開始されます。

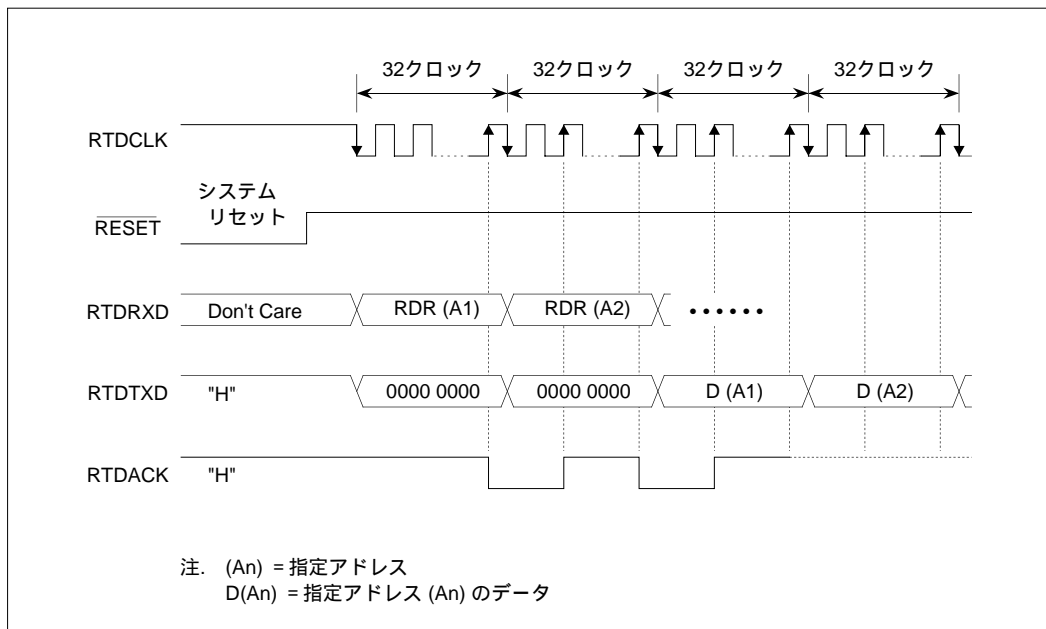


図15.3.13 システムリセット後のRTDへのコマンド転送

15.4 ホストとの接続例

ホスト側ではシリアル同期式のインタフェースで、データの転送を行います。同期通信のクロックは、ホスト側が発生します。RTDとホストの接続例を以下に示します。

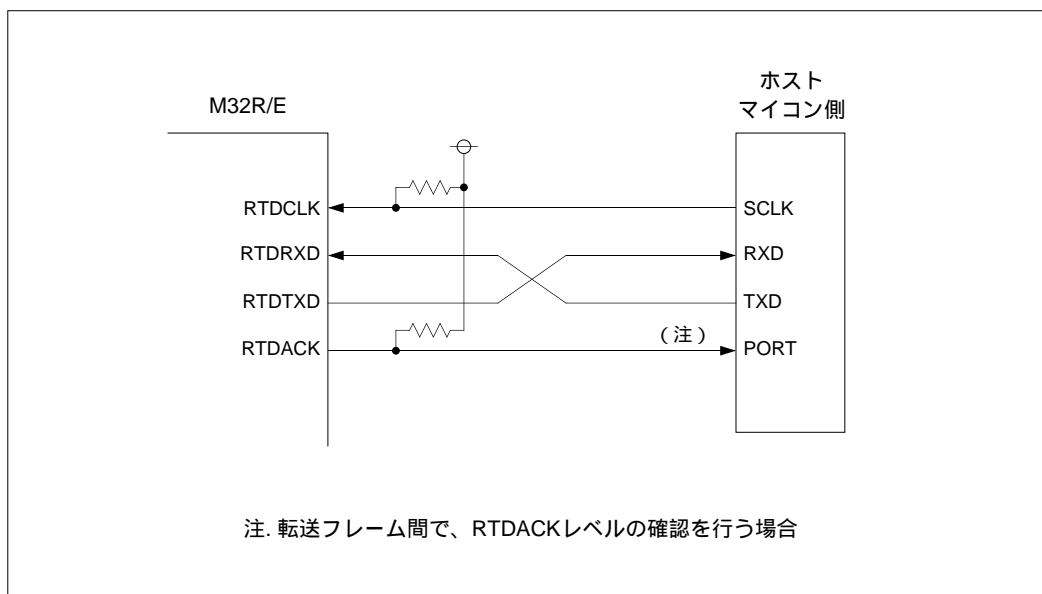


図15.4.1 RTDとホストの接続

1フレーム32ビット固定長のRTD通信は、一般にシリアルインタフェースでは8ビット単位で転送を行うため、8ビット単位で4回に分けて行います。また、通信が正常に行われていることは、RTDACK信号で確認します。

RTDACK信号は、コマンドを送信した後"L"レベルになることで通信状態を確認します。VERコマンド発行時には、1クロック分のみ"L"が出力されるため、シリアルインタフェースで1フレーム32ビットを送信した後、RTDCLKの送出を止めてRTDACKが"L"レベルになっていれば正常に通信できているか容易に判断できます。

なお、RTDACKの幅で送信コマンドの種類まで特定したい場合は、マイコン内蔵の計測タイマを利用(RTDACKが"L"の期間、RTDCLKをカウント)するか、または専用の回路を作成してください。

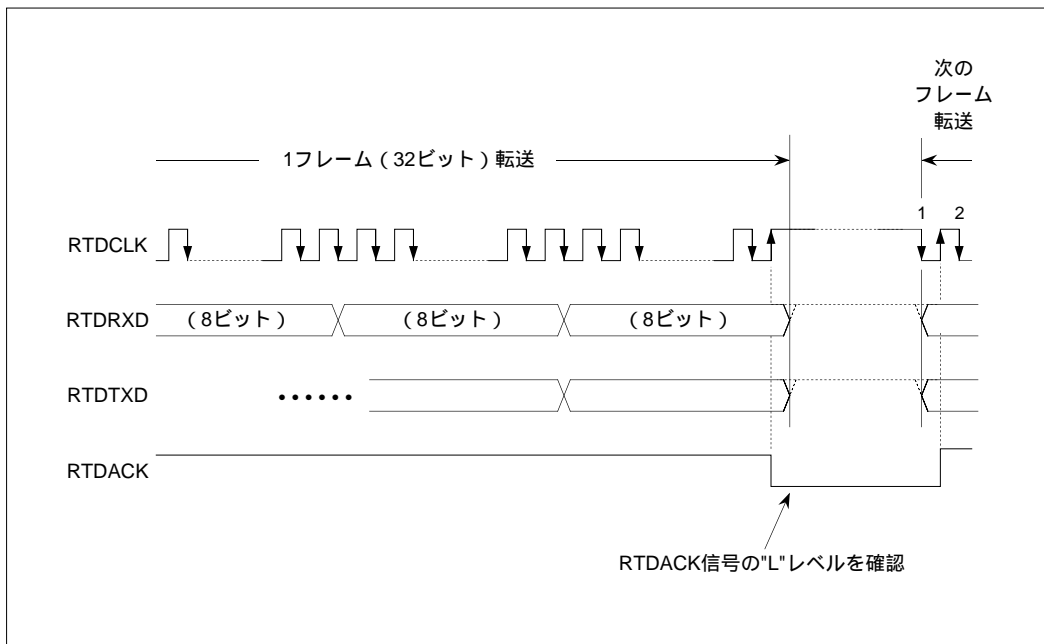


図15.4.2 ホストとの通信動作例(VERコマンド時)

* 空きページです *

第16章

RAMバックアップモード

- 16.1 概要
- 16.2 電源断時のRAMバックアップ例
- 16.3 低消費電力化のためのRAMバックアップ例
- 16.4 RAMバックアップモードの解除(ウエイクアップ)

16.1 概要

RAMバックアップモードは、電源を切った状態で内部RAMの内容を保持するモードです。RAMバックアップモードは、次の二つの目的で使用されます。

電源断時の内蔵RAMデータのバックアップ

システムの低消費電力化のために任意のタイミングでCPUの電源を切りたい場合

RAMバックアップ用のVDD端子に2.0～3.3Vの電圧を印加し、その他の端子に0Vを印加すると、32160はRAMバックアップモードになります。

RAMバックアップモード時、内部RAMの内容が保持された状態で、CPUおよび内蔵周辺I/Oは停止しています。また、RAMバックアップモード中はVDD端子以外の端子は“L”レベルのため、効果的な低消費電力が実現できます。

16.2 電源断時のRAMバックアップ例

電源断時のRAMバックアップ回路例を図16.2.1に示します。この回路例を使用した場合のRAMバックアップ例について、以下に説明します。

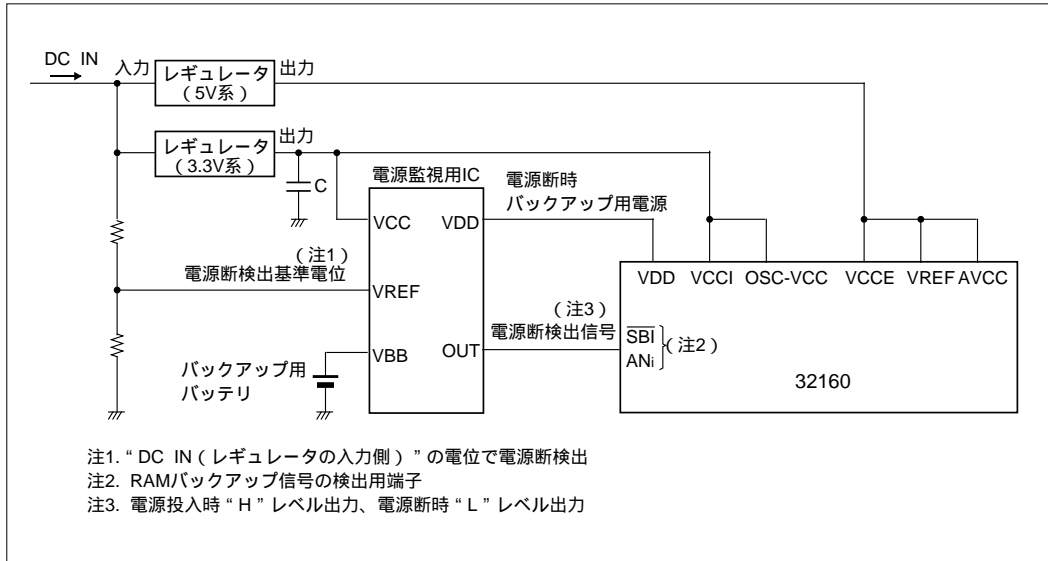


図16.2.1 電源断時のRAMバックアップ回路例

16.2.1 通常動作時の状態

図16.2.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号の検出用の $\overline{\text{SBI}}$ 端子または $\text{ANi}(i=0 \sim 15)$ 端子へは“H”レベルが入力されます。

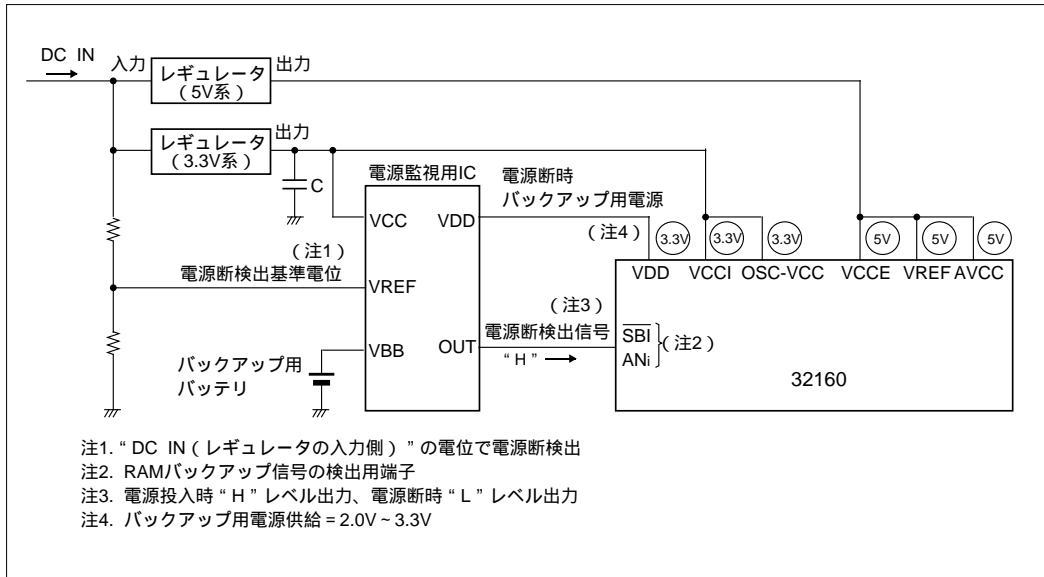


図16.2.2 通常動作時の状態

16.2.2 RAMバックアップ時の状態

図16.2.3に電源断時のRAMバックアップの状態を示します。電源が切れる(注)と電源監視用ICによって、バックアップ用バッテリーから電流が供給されます。また、電源監視用ICの電源断検出信号端子から“L”レベルが出力され、SBI端子またはANi端子は“L”レベルになりRAMバックアップ信号の発生となります(図16.2.3の)。電源断検出判定は、電源断時のソフトウェア処理時間を確保するため、必ず“DC IN(レギュレータの入力側)”の電位で行う必要があります。

RAMバックアップモードを有効にするためには、次の設定を行ってください。

- (1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図16.2.3の)。
- (1)の設定後、VCCへの電流の供給が切れると、VDD端子は2.0V～3.3V、その他の端子は0Vになり、32160はRAMバックアップモードになります(図16.2.3の)。

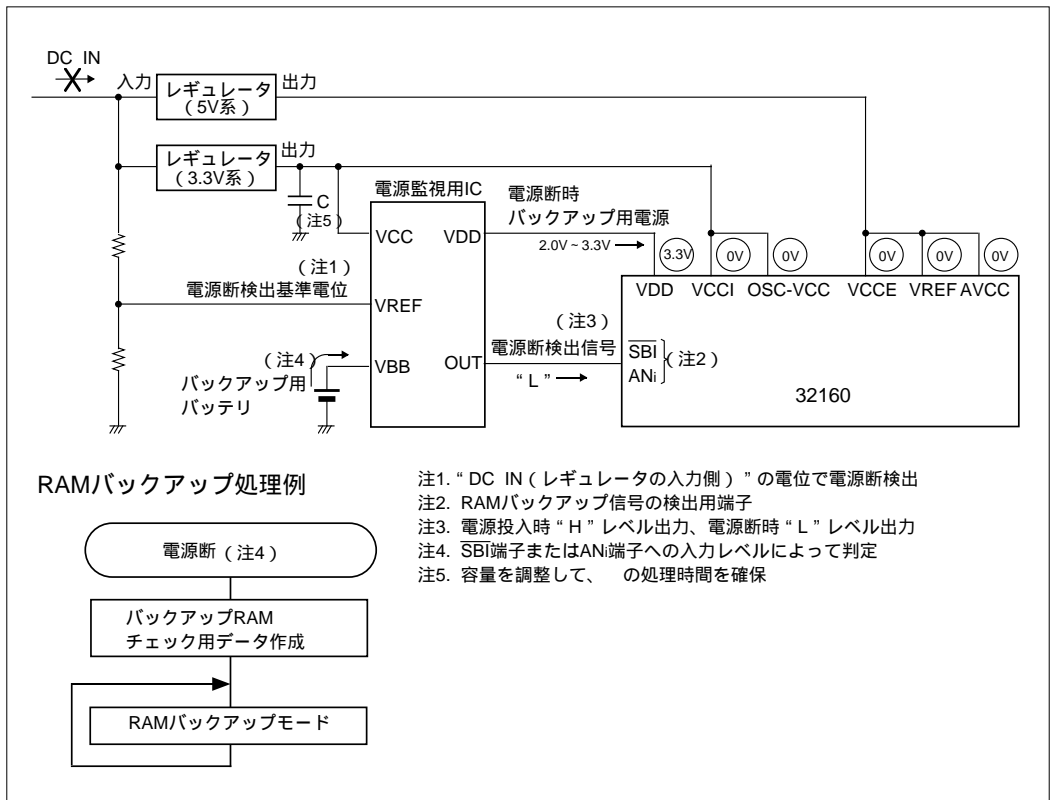


図16.2.3 電源断時のRAMバックアップ時の状態

16.3 低消費電力化のためのRAMバックアップ例

低消費電力化のためのRAMバックアップ回路例を図16.3.1に示します。この回路例を使用した場合の低消費電力化のためのRAMバックアップ例について、以下に説明します。

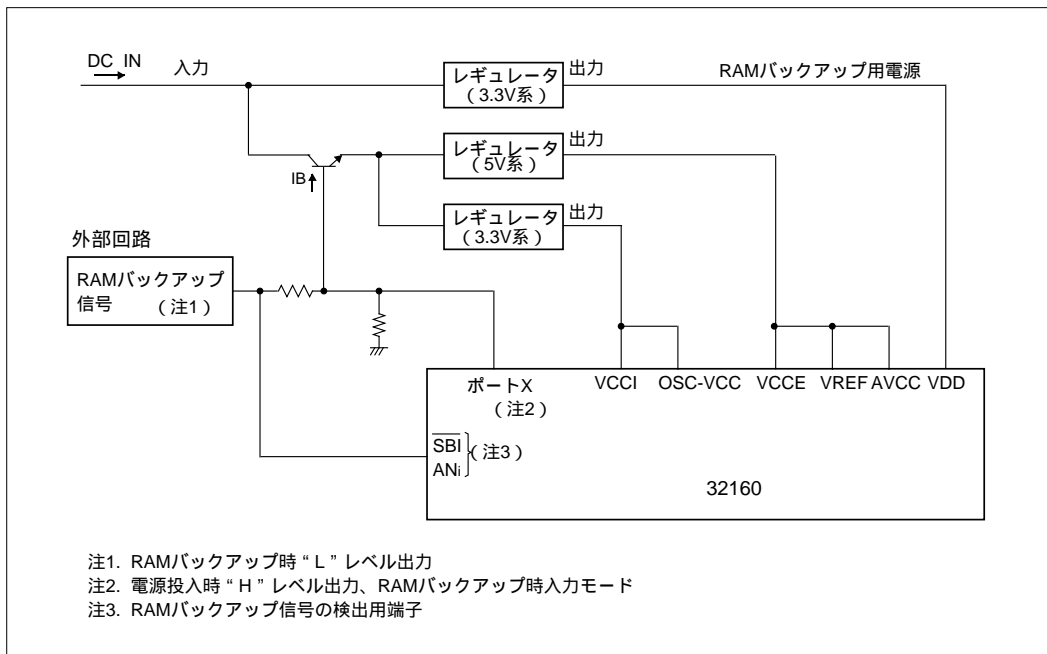


図16.3.1 低消費電力化のためのRAMバックアップ回路例

16.3.1 通常動作時の状態

図16.3.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号を出力する外部回路からは、“H”レベルが出力されます。RAMバックアップ信号の検出用のSBI端子またはANI($i=0 \sim 15$)端子へは“H”レベルが入力されます。

トランジスタのベース接続端子であるポートXからは、“H”レベルを出力してください。この処置によって、トランジスタのベース電圧IBが“H”レベルになり、トランジスタを経由して電源からVCC端子へ電流が供給されます。

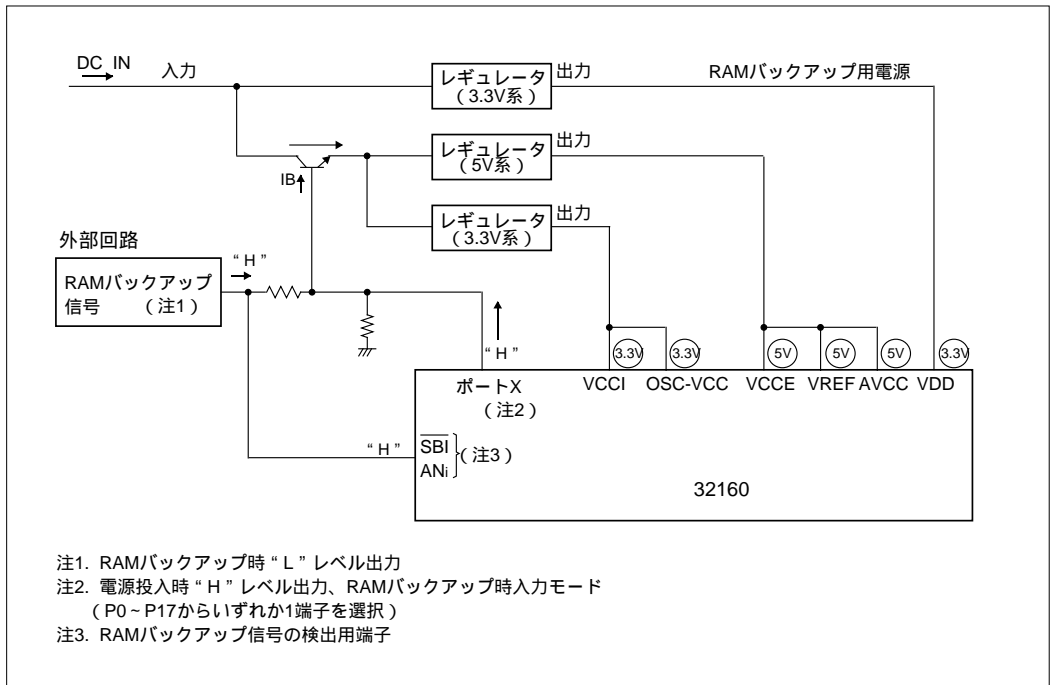


図16.3.2 通常動作時の状態

16.3.2 RAMバックアップ時の状態

図16.3.3にRAMバックアップ時の状態を、図16.3.4にRAMバックアップシーケンスを示します。外部回路から“L”レベルが出力されるとSBI端子またはANi端子へ“L”レベルが入力されます。これらの端子への“L”レベル入力が、RAMバックアップ信号の発生となります(図16.3.3のA、)。RAMバックアップモードを有効にするためには、次の設定を行ってください。

- (1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図16.3.3の)。
- (2) 低消費電力を実現するために、ポートX以外のプログラマブル入出力ポートをすべて入力モード(又は出力モードで“L”レベル出力)に設定する(図16.3.3の)。
- (3) ポートXを入力モードに設定する(図16.3.3のB、)。この処置によってトランジスタのベース電圧IBが“L”レベルになり、電流はトランジスタを経由して電源からVCC端子へ流れないため(図16.3.3のC)、VCC端子への電流の供給が切れます(図16.3.3のD)。

(1)~(3)の設定によってVDD端子は $3.3V \pm 10\%$ 、その他の端子は0Vになり、32160はRAMバックアップモードになります(図16.3.3の)。

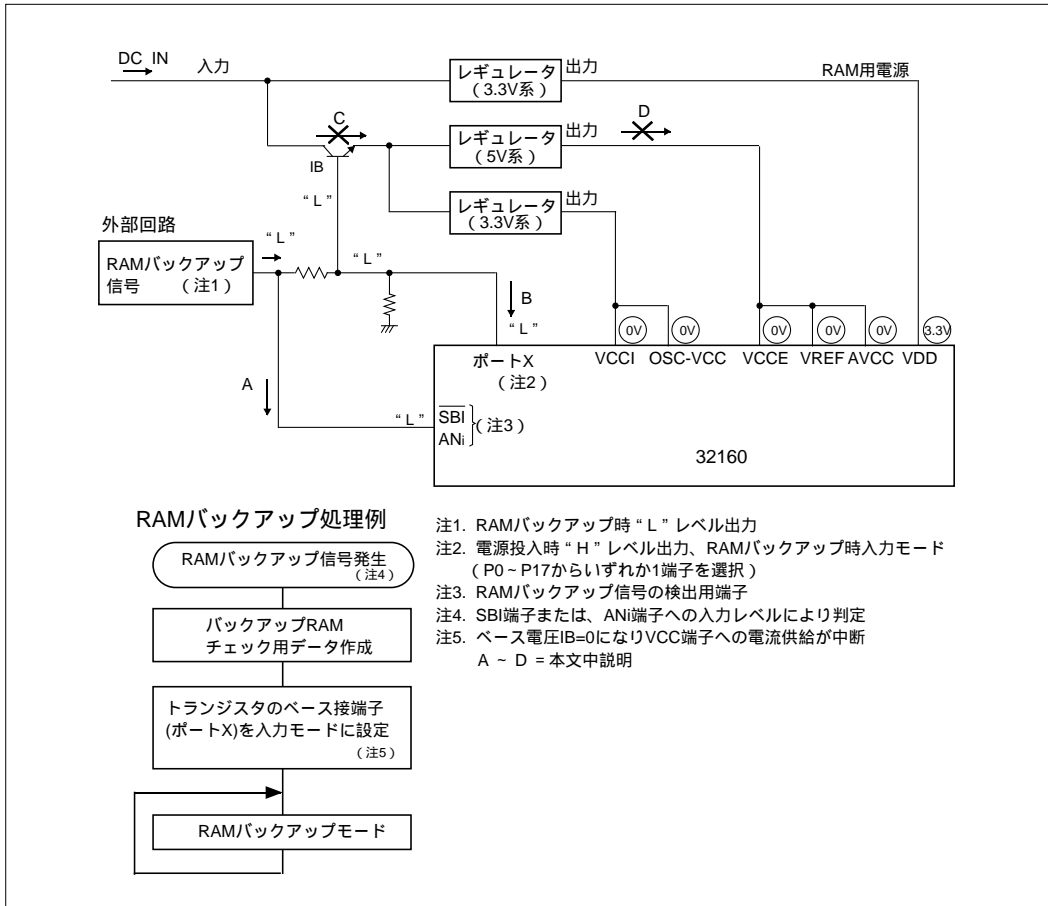


図16.3.3 低消費電力化時のRAMバックアップ時の状態

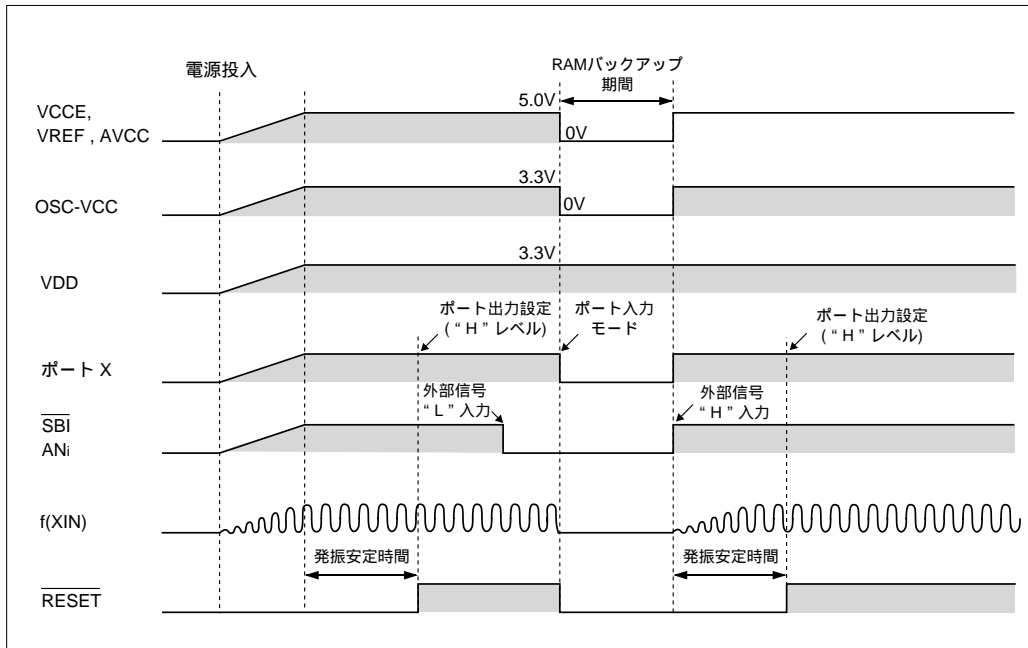


図16.3.4 低消費電力化のためのRAMバックアップシーケンス例

16.3.3 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

ポートXデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベル“H”を設定した後、ポートXを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が“L”レベルになり、RAMバックアップモードなることがあります。

16.4 RAMバックアップモードの解除(ウエイクアップ)

RAMバックアップモードを解除して通常動作に復帰するための処理を、ウエイクアップ処理と言います。図16.4.1にウエイクアップ処理例を示します。

ウエイクアップ処理は、リセット入力により行います。ウエイクアップ処理を次に示します。

- (1) リセット動作を実行(図16.4.1の)。
リセットについては「第6章 リセット」を参照。
- (2) ポートXを出力モードに設定し、“H”レベルを出力(図16.4.1の)。(注)
- (3) RAMバックアップモード時に作成した、チェック用データの内容を判定(図16.4.1の)。
- (4) (3)の判定結果が一致しなかった場合、RAMの初期設定を行う(図16.4.1の)。
(3)の判定結果が一致した場合は、保持されていたデータをプログラム中で使用。
- (5) 各初期設定を行った(図16.4.1の)後、メインルーチンへ復帰(図16.4.1の)。

注. 電源断時のRAMバックアップモードのウエイクアップには、ポートXの設定処理は不要となります。

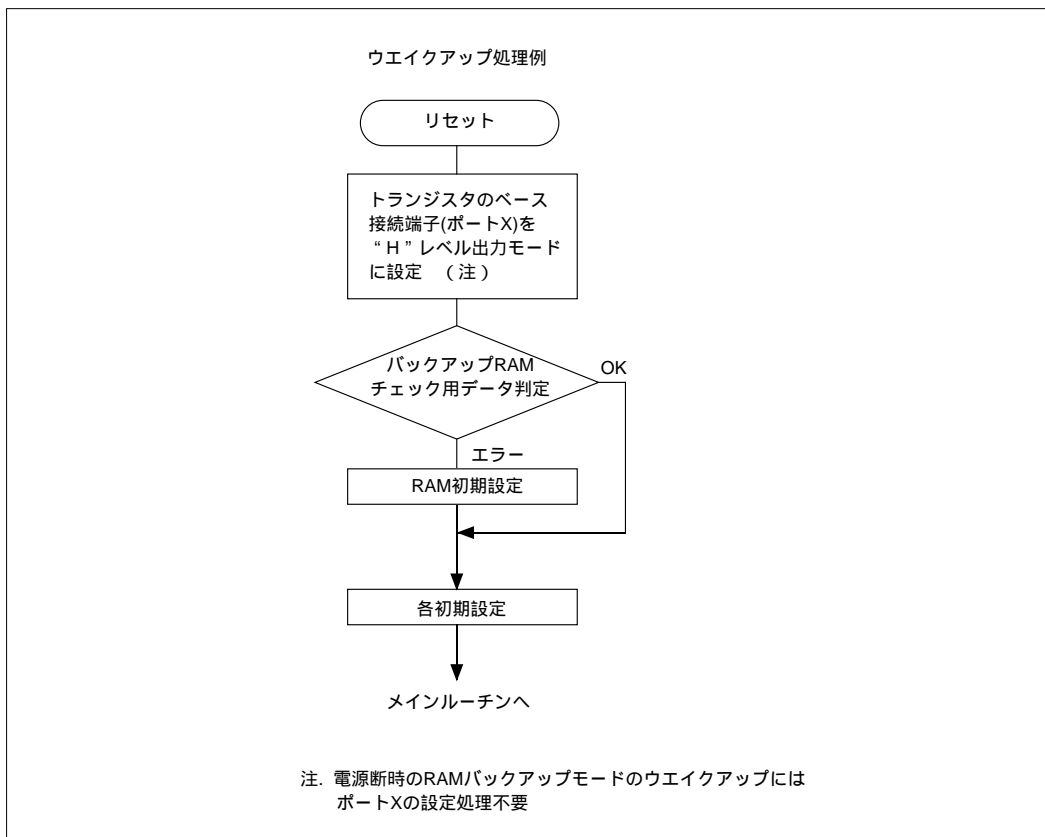


図16.4.1 ウエイクアップ処理

* 空きページです *

第17章

発振回路

17.1 発振回路

17.1 発振回路

32160は、CPUコア、内蔵周辺I/O及び内蔵メモリなどの動作クロックを供給する発振回路を内蔵しています。クロック入力端子(XIN)に入力された周波数を内蔵PLL回路により2週倍したクロックがシステムクロック(BCLK)になります。

17.1.1 発振回路例

XIN端子とXOUT端子の間にセラミック共振子(または水晶発振子)を外付けすることによって、クロック発振回路を構成することができます。

共振子を外付けした場合の回路およびPLL回路の制御端子(VCNT)に接続する回路を示したシステムクロック発生回路例を図17.1.1に示します。Rf,CIN,COUT,Rdなどの定数は、共振子及び発振子メーカーにお問い合わせの上、推奨する値に設定してください。

発振回路を用いずに、外部からクロック信号を入力する場合は、XIN端子にクロック信号を入力し、XOUT端子はオープンにしてください。

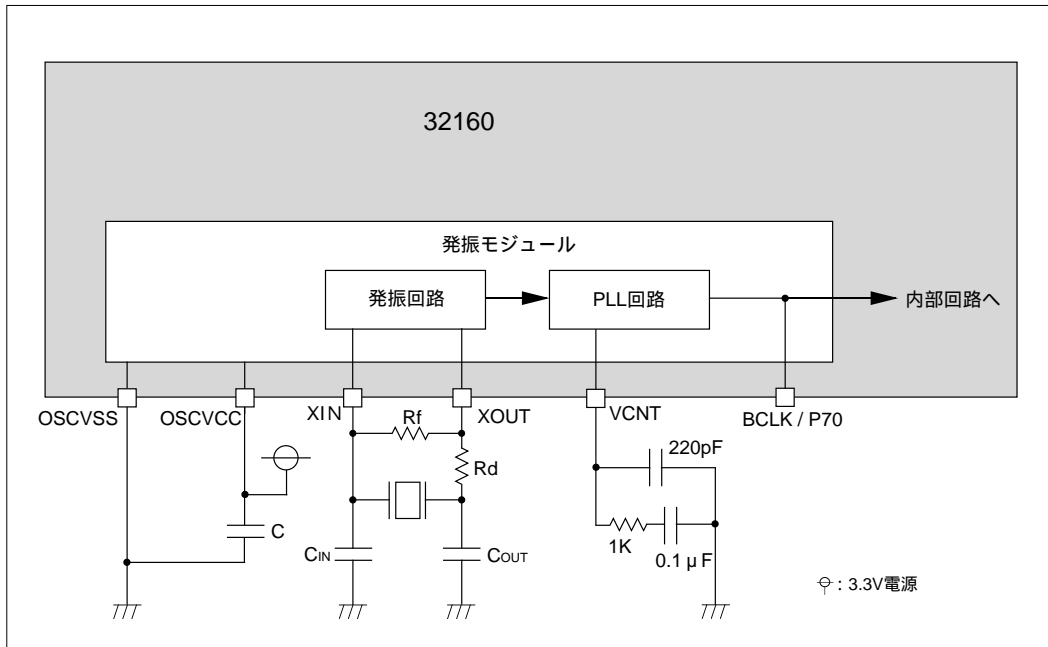


図17.1.1 システムクロック発生回路例

17.1.2 システムクロックの出力機能

入力クロックの2倍の周波数のクロックをBCLK端子から出力させることができます。BCLK端子はポートP70と共用しています。システムクロックを出力させる場合は、P7動作モードレジスタ(P7MOD)のD8を"1"にしてください。

下記にP7動作モードレジスタの構成を示します。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0 : P70 1 : BCLK		
9	P71MOD (ポートP71動作モード)	0 : P71 1 : $\overline{\text{WAIT}}$		
10	P72MOD (ポートP72動作モード)	0 : P72 1 : $\overline{\text{HREQ}}$		
11	P73MOD (ポートP73動作モード)	0 : P73 1 : $\overline{\text{HACK}}$		
12	P74MOD (ポートP74動作モード)	0 : P74 1 : RTDTXD		
13	P75MOD (ポートP75動作モード)	0 : P75 1 : RTDRXD		
14	P76MOD (ポートP76動作モード)	0 : P76 1 : RTDACK		
15	P77MOD (ポートP77動作モード)	0 : P77 1 : RTDCLK		

17.1.3 電源投入時の発振安定時間

セラミック共振子(または水晶発振子)を使用した発振回路では、電源投入後に発振が安定しない期間があります。このため、使用する発振回路条件に適応した発振安定時間を生成してください。

図17.1.2に電源投入時の発振安定時間を示します。

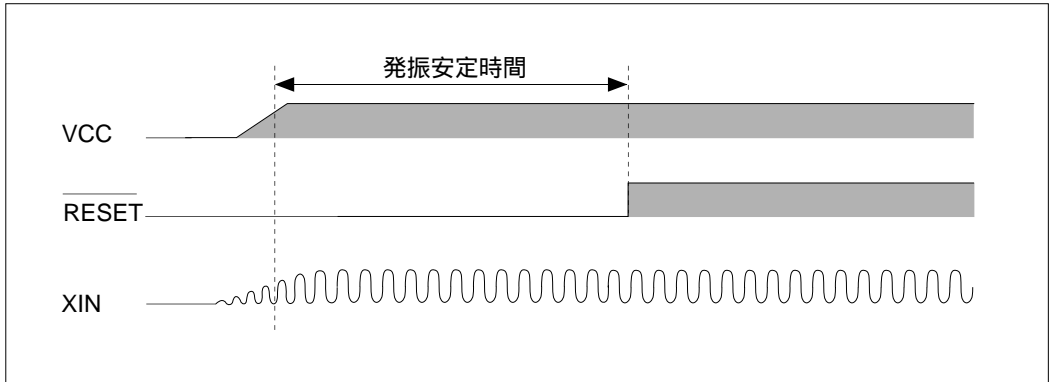


図17.1.2 電源投入時の発振安定時間

第18章

電源立ち上げ / 立ち下げシーケンス

- 18.1 電源回路の構成
- 18.2 電源立ち上げシーケンス
- 18.3 電源立ち下げシーケンス

18.1 電源回路の構成

M32R/Eでは、高速動作と低消費電力を実現するため、外部インターフェイスの回路は5V電源で動作し、それ以外の回路は3.3Vで動作します。

このため、5V系及び3.3V系電源の制御タイミングを考慮した回路設計が必要となります。

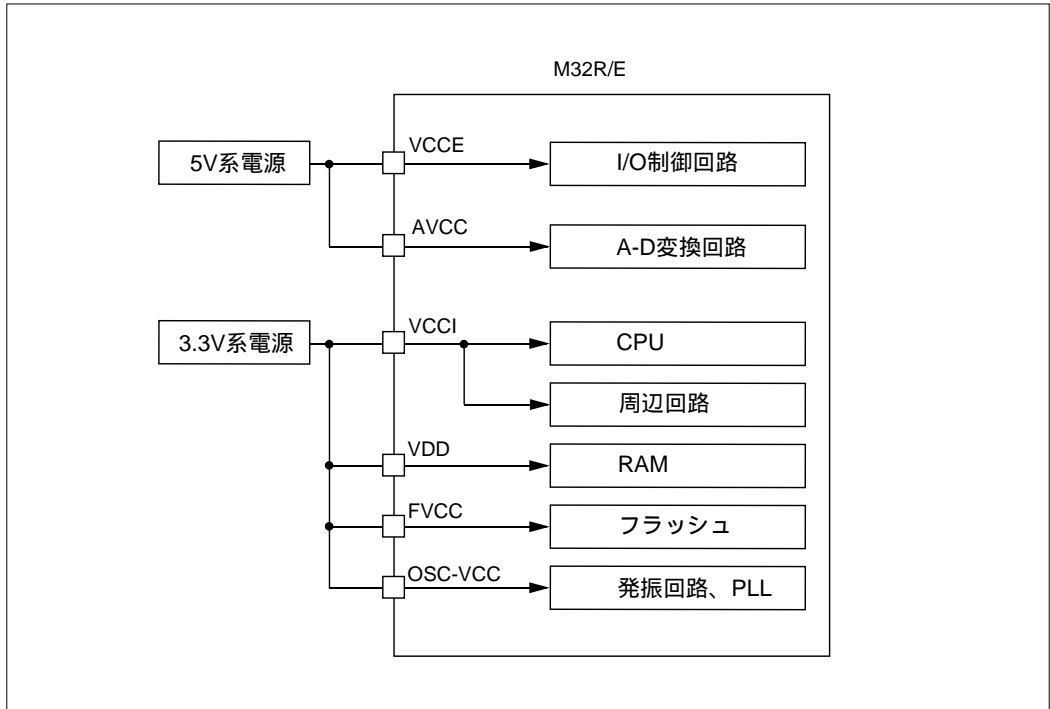


図18.1.1 電源回路構成図

表18.1.1 電源機能一覧

電源種別	端子名	機能
5.0V系	VCCE	外部I/Oポートへの供給電源
	AVCC	A-D変換器の電源
	VREF	A-D変換器の基準電圧
3.3V系	VCCI	内部ロジックへの供給電源
	FVCC	内部フラッシュメモリ用電源
	VDD	内部RAMバックアップ用電源
	OSC-VCC	発振回路、PLL回路の電源

18.2 電源立ち上げシーケンス

18.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

RAMバックアップ未使用時のM32R/Eの電源(5.0V系、3.3V系)立ち上げシーケンスを以下に示します。

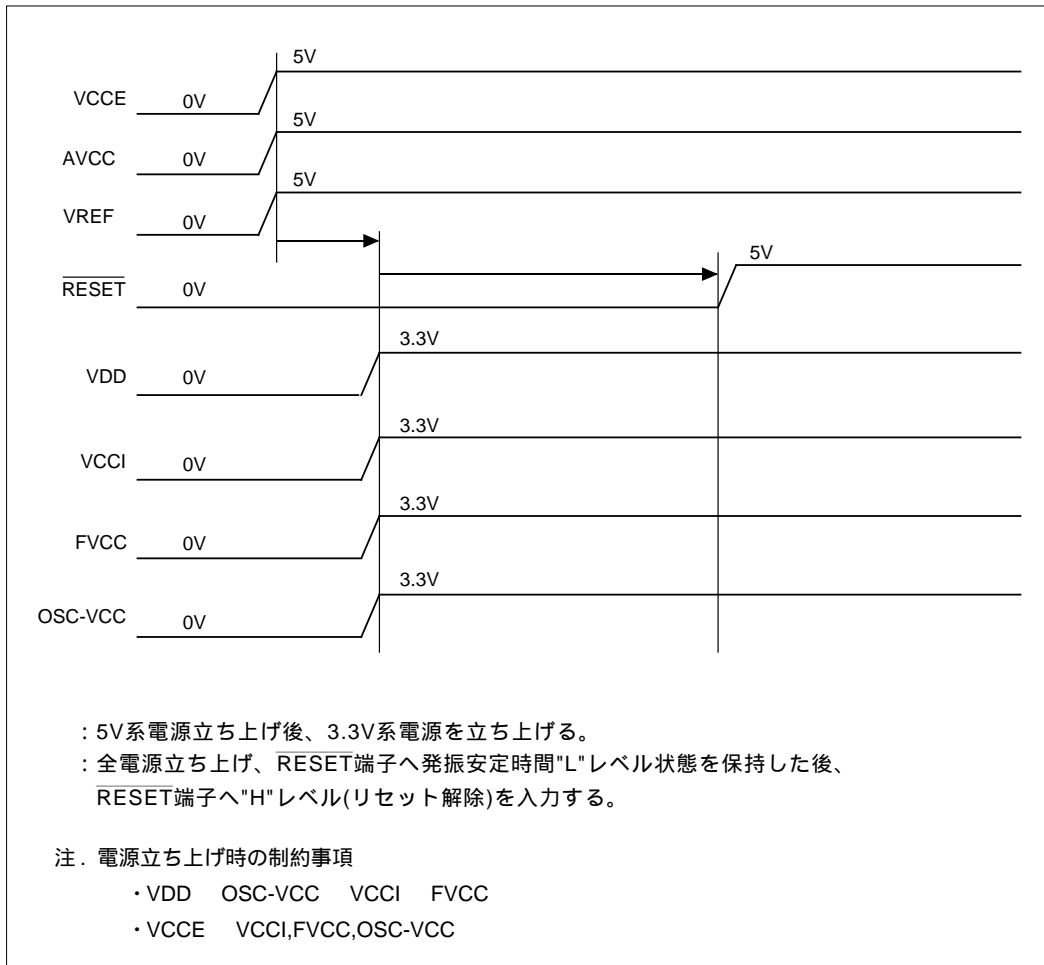


図18.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

18.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

RAMバックアップ使用時のM32R/Eの電源(5.0V系、3.3V系)立ち上げシーケンスを以下に示します。

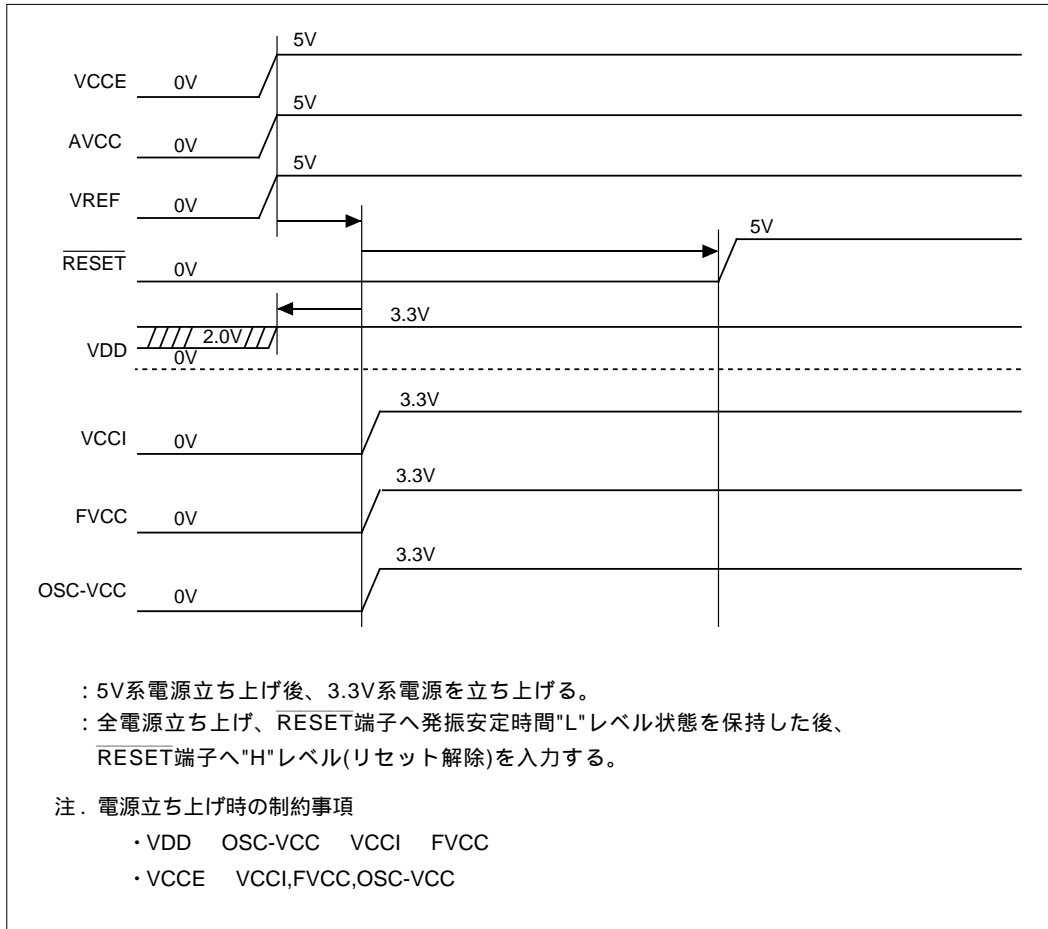


図18.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

18.3 電源立ち下げシーケンス

18.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

RAMバックアップ未使用時のM32R/Eの電源(5.0V系、3.3V系)立ち下げシーケンスを以下に示します。

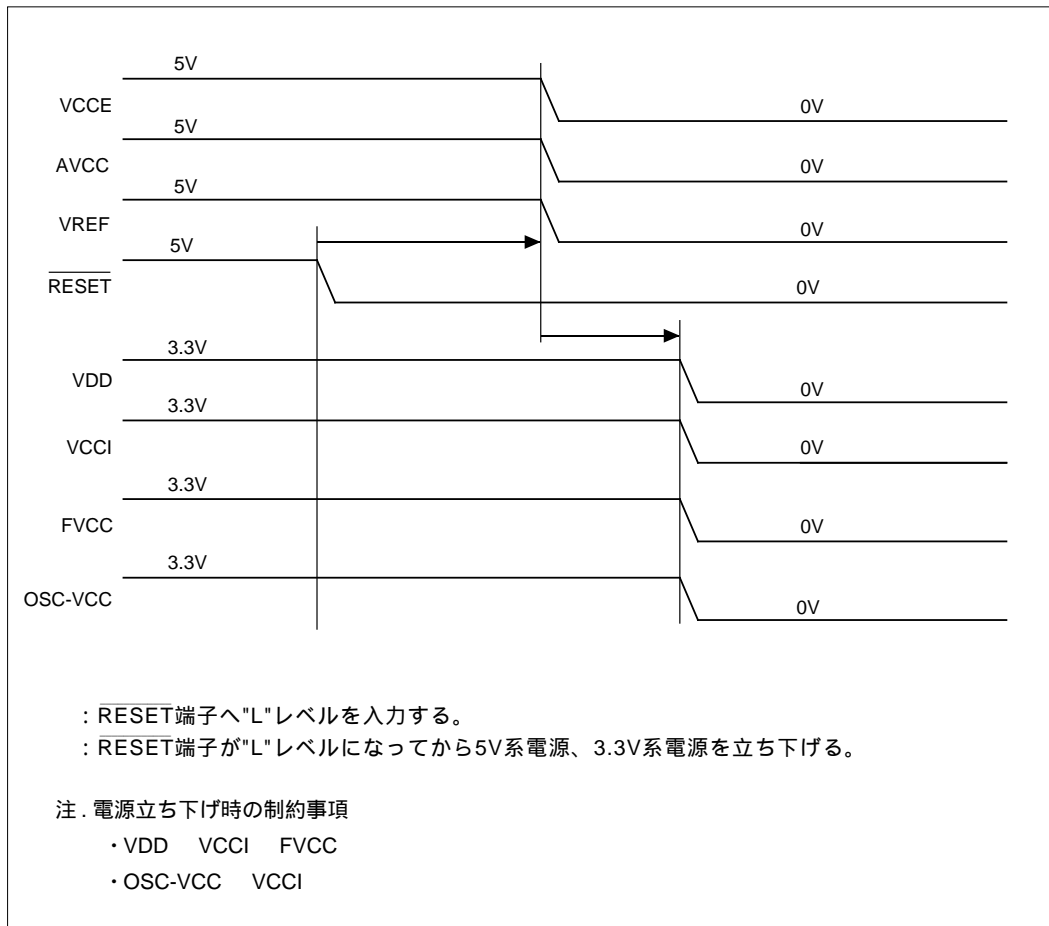


図18.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

18.3.2 RAMバックアップ使用時の電源立ち下げシーケンス

RAMバックアップ使用時のM32R/Eの電源(5.0V系、3.3V系)立ち下げシーケンスを以下に示します。

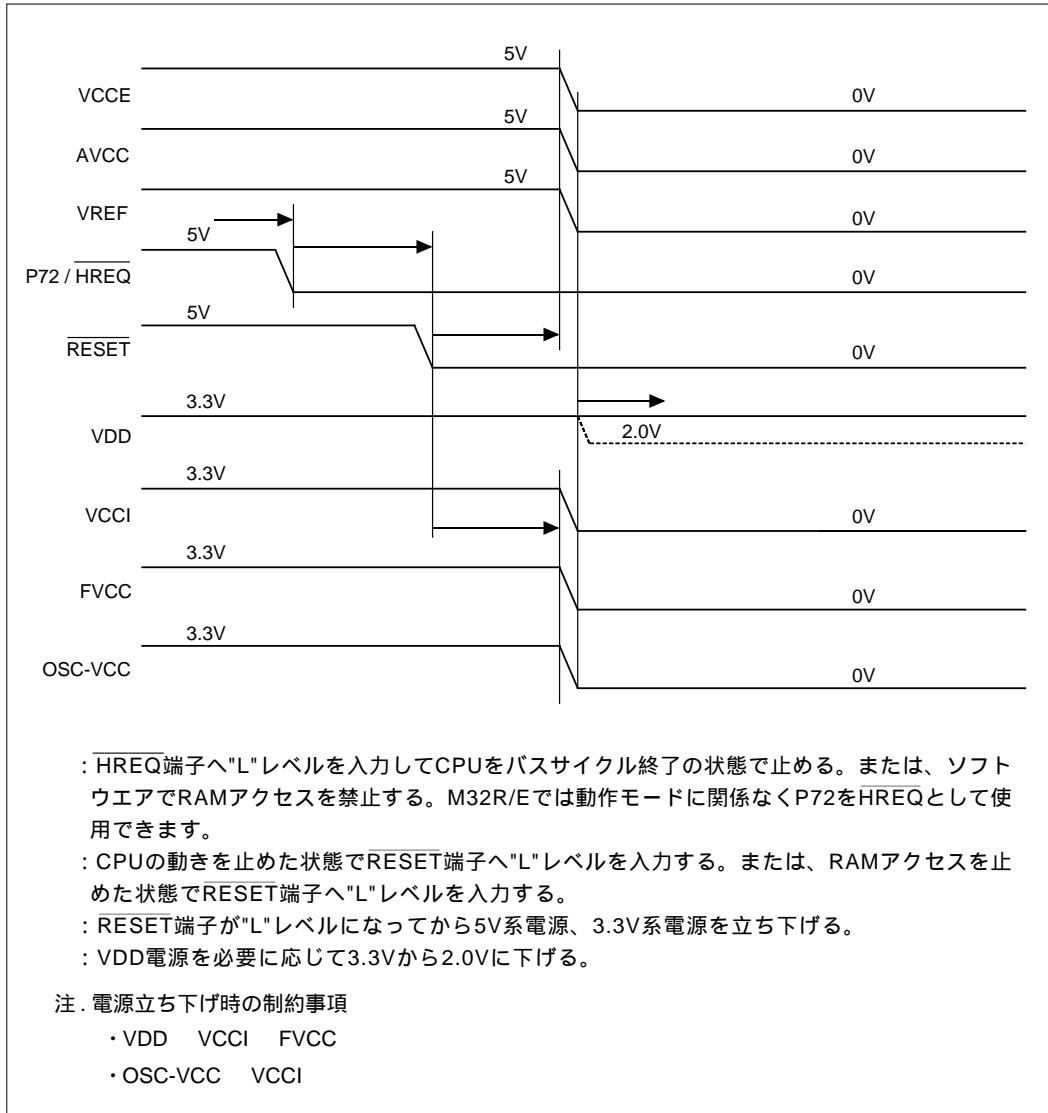


図18.3.2 RAMバックアップ使用時の電源立ち下げシーケンス

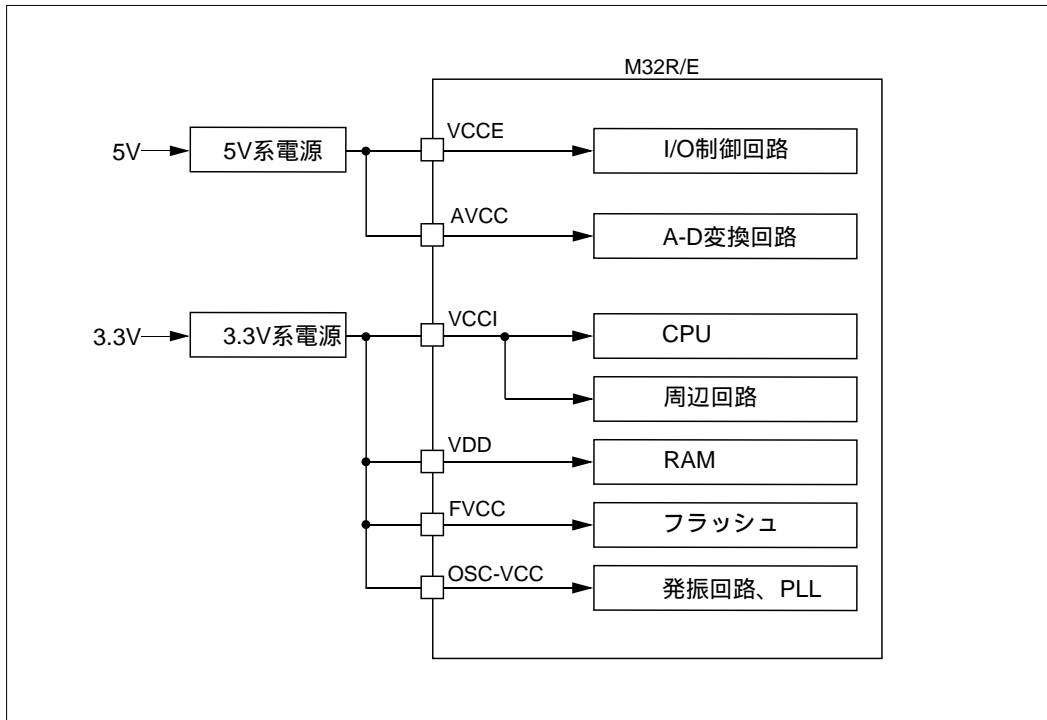


図18.3.3 マイコン動作可能状態(VCCE=5V, VCCI系=3.3V, VDD=3.3V)

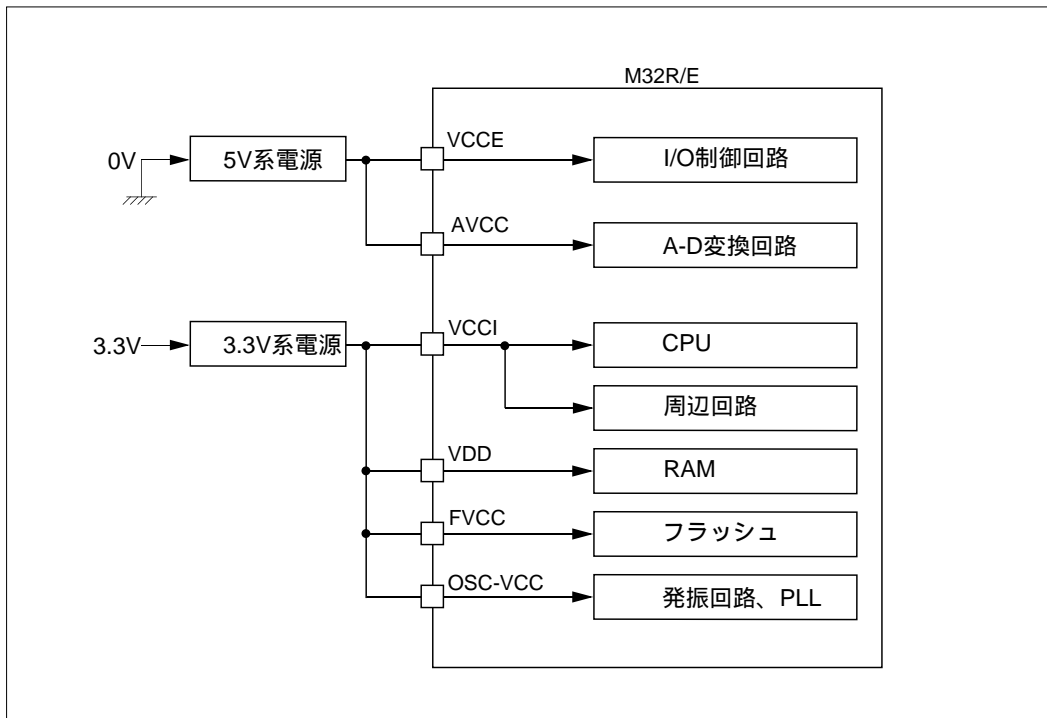


図18.3.4 CPUリセット状態

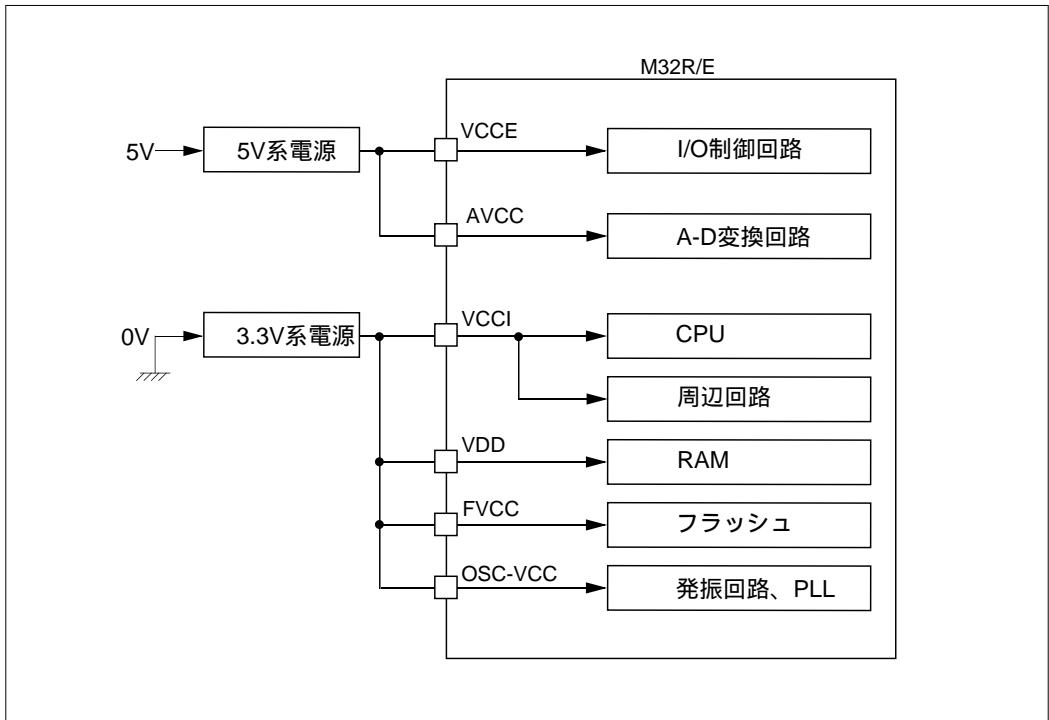


図18.3.5 CPU停止状態

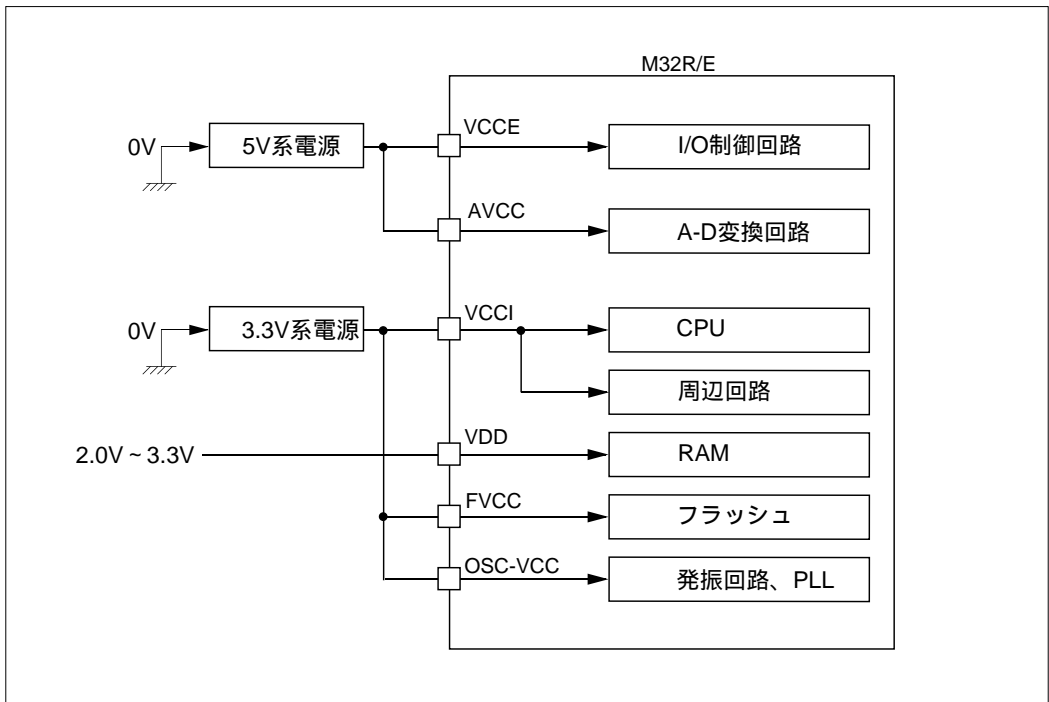


図18.3.6 SRAMデータバックアップ状態

第19章

電氣的特性

- 19.1 絶対最大定格
- 19.2 推奨動作条件
- 19.3 DC特性
- 19.4 A-D変換特性
- 19.5 AC特性

19.1 絶対最大定格

絶対最大定格

記号	項目	条件	定格値	単位
VCCI	内部ロジック電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.6	V
VDD	RAM電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.6	V
OSC-VCC	PLL電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.6	V
FVCC	フラッシュ電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.6	V
VCCE	外部I/Oバッファ電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
AVCC	アナログ電源電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VREF	アナログ基準電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VI	Xin, VCNT		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
VO	Xout		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
Pd	消費電力 (注)	TA = 25 , f(XIN) = 12.5MHz	450	mW
TOPR	動作周囲温度		- 40 ~ 110	
Tstg	保存温度		- 65 ~ 150	

注 . シングルチップモ - ド時

19.2 推奨動作条件

推奨動作条件(指定のない場合は、 $VCCE = 5V \pm 0.5V$, $VCCI = 3.3V \pm 0.3V$, $Ta = -40 \sim 110$)

記号	項目	定格値			単位
		最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧	4.5	5.0	5.5	V
VCCI	内部ロジック電源電圧	3.0	3.3	3.6	V
VDD	RAM電源電圧	3.0 VCCI - 0.3	VCCI	VCCI + 0.3 3.6	V
FVCC	フラッシュ電源電圧	3.0 VCCI - 0.3	VCCI	VCCI + 0.3 3.6	V
AVCC	アナログ電源電圧	4.5 VCCE - 0.3	VCCE	VCCE + 0.3 5.5	V
OSC-VCC	PLL電源電圧	3.0 VCCI - 0.3	VCCI	VCCI + 0.3 3.6	V
VREF	アナログ基準電圧		VCCE	VCCE + 0.3 5.5	V
VIH	"H"入力電圧	ポートP0~P17, RESET, MOD0, MOD1, FP	0.8VCCE	VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE	VCCE	V
VIL	"L"入力電圧	ポートP0~P17, RESET, MOD0, MOD1, FP	0	0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0	0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P17 (注1)			- 10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P17 (注2)			- 5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P17 (注1)			10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P17 (注2)			5	mA
f(XIN)	外部クロック入力周波数	10		12.5	MHz

注1. ポートの出力電流 (peak) の合計は、

ポートP0 + P1	80mA
ポートP2 + P3	80mA
ポートP4 + P15	80mA
ポートP12 + P13 + P14	80mA
ポートP10 + P11	80mA
ポートP6 + P7 + P9	80mA
ポートP8 + P16 + P17	80mA

にしてください。

注2. 平均出力電流は、100msの期間内での平均値です。

19.3 DC特性

19.3.1 電氣的特性

電氣的特性(指定のない場合は、 $VCCE = 5V \pm 0.5V$, $VCCI = 3.3V \pm 0.3V$, $T_a = -40 \sim 110$,
 $f(XIN) = 12.5MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	$I_{OH} = -2mA$	$VCCE - 1$		$VCCE$	V
VOL	"L"出力電圧	$I_{OL} = 2mA$	0		0.45	V
VDD	RAM保持電源電圧	動作時	3.0		3.6	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	$V_I = VCCE$	-5		5	μA
IIL	"L"入力電流	$V_I = 0V$	-5		5	μA
ICCEres	リセット時5V系電源電流 (注1)	$f(XIN) = 12.5MHz$			1	mA
ICCIres	リセット時3.3V系電源電流 (注2)	$f(XIN) = 12.5MHz$			45	
ICCE	動作時VCCE電源電流	$f(XIN) = 12.5MHz$			10	mA
ICCI	動作時VCCI電源電流	$f(XIN) = 12.5MHz$			80	
IOSCVCC	動作時OSCVCC電源電流	$f(XIN) = 12.5MHz$			14	mA
IDD	動作時VDD電源電流	$f(XIN) = 12.5MHz$		15	20	mA
IDDstandby	RAM保持電源電流 ($VCCE = AVCC = VREF = VCCI =$ $FVCC = OSCVCC = VSS$)	$T_a = 25$			1	μA
		$T_a = 110$			20	
IAVCC	動作時AVCC電源電流	$f(XIN) = 12.5MHz$			2	mA
IVREF	VREF電源電流				0.5	mA
$V_{T+} - V_{T-}$	ヒステリシス (注3) ADTRG、RTDCLK、RTDRXD、 SCLK0、1、RXD0、1、TCLK3-0、 TIN23-0、RESET、MOD0、1、FP	$VCCE = 5V$	1.0			V
$V_{T+} - V_{T-}$	ヒステリシス (注4) SBI、HREQ	$VCCE = 5V$	0.3			V

注1. リセット状態、シングルチップモード。 $VCCE = AVCC = VREF$ の全電流。

注2. リセット状態、シングルチップモード。 $VCCI = VDD = FVCC = OSC-VCC$ 時の全電流。

注3. RESET端子以外はダブルファンクションとなっています。

注4. HREQ端子はダブルファンクション端子です。

19.3.2 フラッシュ関連電気的特性

フラッシュ関連電気的特性(指定のない場合は、 $V_{CC} = 5V \pm 0.5V$ 、 $V_{CC1} = 3.3V \pm 0.3V$)

記号	項目	測定条件	定格値			単位
			最小	標準	最大	
lfvcc1	FVCC電源電流(プログラム時)				50	mA
lfvcc2	FVCC電源電流(イレーズ時)				40	mA
Topr	フラッシュ書き換え保障 周囲温度		0		70	
cycle	書き換え保障回数				100	回

19.4 A-D変換特性

A-D変換特性(指定のない場合は、AVCC = VREF = VCCE = 5.12V、Ta = 25、f(XIN) = 12.5MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能					10	Bits
—	非直線性誤差 (注1)					±2	LSB
—	オフセット誤差					±3	LSB
—	フルスケール誤差					±3	LSB
TCONV	変換時間	通常モード時		299			サイクル数
		倍速モード時		173			
IIAN	アナログ入力リーク電流		(注2)	-200		200	nA

注1. 非直線性誤差はフルセット/フルスケール誤差を"0"に調整した後の理想変換特性からの偏位。
AVCC = VREF = 5.12Vの時、1LSB = 5mVです。

注2. A-D変換器が静止した状態における、AN0 ~ AN15の入力リーク電流。
入力電圧の条件は0 ANi AVCC。温度条件はTa = -40 ~ 110。

19.5 AC特性

19.5.1 タイミング必要条件

指定のないタイミング条件は、 $V_{CC E} = 5V \pm 0.5V$, $V_{CC I} = 3.3V \pm 0.3V$, $T_a = -40 \sim +110$ です。

(1) 入出力ポート

記号	項目	測定条件	規格値		単位	参照番号 図19.5.1
			最小	最大		
$t_{su}(P-E)$	ポート入力セットアップ時間		100		ns	①
$t_h(E-P)$	ポート入力ホールド時間		0		ns	②

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図19.5.2
			最小	最大		
$t_{su}(D-CLK)$	RxD入力セットアップ時間		150		ns	④
$t_h(CLK-D)$	RxD入力ホールド時間		50		ns	⑤

b) CSIOモード、外部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図19.5.2
			最小	最大		
$t_c(CLK)$	CLK入力サイクル時間		640		ns	⑦
$t_w(CLKH)$	CLK入力“H”パルス幅		300		ns	⑧
$t_w(CLKL)$	CLK入力“L”パルス幅		300		ns	⑨
$t_{su}(D-CLK)$	RxD入力セットアップ時間		60		ns	⑩
$t_h(CLK-D)$	RxD入力ホールド時間		100		ns	⑪

(3) SBI

記号	項目	測定条件	規格値		単位	参照図番 図19.5.3
			最小	最大		
$t_w(SBIL)$	SBI入力Lパルス幅		$\frac{5}{2} t_c(BCLK)$		ns	⑬

(4) $TIN(i=0 \sim 25)$

記号	項目	測定条件	規格値		単位	参照図番 図19.5.5
			最小	最大		
tw(TINi)	TINi入力パルス幅		$\frac{7}{2}tc(BCLK)$		ns	(14)

(5) リードおよびライトタイミング

記号	項目	測定条件	規格値		単位	参照図番 図19.5.6 図19.5.7 図19.5.8 図19.5.9
			最小	最大		
tsu(D-BCLKH)	BCLK前データ入力セットアップ時間		26		ns	(31)
th(BCLKH-D)	BCLK後データ入力ホールド時間		0		ns	(32)
tsu(WAITL-BCLKH)	BCLK前WAIT入力セットアップ時間		26		ns	(33)
th(BCLKH-WAITL)	BCLK後WAIT入力ホールド時間		0		ns	(34)
tsu(WAITH-BCLKH)	BCLK前WAIT入力セットアップ時間		26		ns	(60)
th(BCLKH-WAITH)	BCLK後WAIT入力ホールド時間		0		ns	(61)
tw(RDL)	リード“L”パルス幅		$\frac{3}{2}tc(BCLK) - 23$		ns	(43)
tsu(D-RDH)	リード前データ入力セットアップ時間		30		ns	(44)
th(RDH-D)	リード後データ入力ホールド時間		0		ns	(45)
tw(BLWL) tw(BHWL)	ライト“L”パルス幅		$tc(BCLK) - 25$		ns	(51)
td(RDH-BLWL) td(RDH-BHWL)	リード後ライト遅延時間		$\frac{tc(BCLK)}{2} - 10$		ns	(56)
td(BLWH-RDL) td(BHWH-RDL)	ライト後リード遅延時間		$\frac{tc(BCLK)}{2} - 12$		ns	(57)
td(RDL-BCLKH)	リード後BCLK遅延時間		0		ns	(58)
td(BLWH-BCLKH) td(BHWH-BCLKH)	ライト後BCLK遅延時間		0		ns	(59)

注. 規格値は測定端子の負荷容量CL=15pF ~ 50pF時の保証値です。

(6) バスアービトラクションタイミング

記号	項目	測定条件	規格値		単位	参照図番 図19.5.10
			最小	最大		
tsu(HREQH-BCLKH)	BCLK前HREQ入力セットアップ時間		27		ns	(35)
th(BCLKH-HREQH)	BCLK後HREQ入力ホールド時間		0		ns	(36)

19.5.2 スイッチング特性

(1) 入出力ポート

記号	項目	測定条件	規格値		単位	参照図番号 図19.5.1
			最小	最大		
td(E-P)	ポートデータ出力遅延時間			100	ns	③

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番号 図19.5.2
			最小	最大		
td(CLK-D)	TxD出力遅延時間			160	ns	⑥

b) CSIOモード、外部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番号 図19.5.2
			最小	最大		
td(CLK-D)	TxD出力遅延時間			160	ns	⑫

(3) TOi (i=0 ~ 28)

記号	項目	測定条件	規格値		単位	参照図番号 図19.5.4
			最小	最大		
td(BCLK-TOi)	TOi 出力遅延時間			100	ns	⑮

(4) リードおよびライトタイミング

記号	項目	測定条件	規格値		単位	参照図番 図19.5.6 図19.5.7 図19.5.8 図19.5.9
			最小	最大		
tc(BCLK)	BCLK出力サイクル時間			$\frac{tc(Xin)}{2}$	ns	(16)
tw(BCLKH)	BCLK出力“H”パルス幅		$\frac{tc(BCLK)}{2} - 5$		ns	(17)
tw(BCLKL)	BCLK出力“L”パルス幅		$\frac{tc(BCLK)}{2} - 8$		ns	(18)
td(BCLKH-A)	BCLK後アドレス遅延時間			24	ns	(19)
td(BCLKH-CS)	BCLK後チップセレクト遅延時間			24	ns	(20)
tv(BCLKH-A)	BCLK後アドレス有効時間		-11		ns	(21)
tv(BCLKH-CS)	BCLK後チップセレクト有効時間		-11		ns	(22)
td(BCLKL-RDL)	BCLK後リード遅延時間		0	20	ns	(23)
tv(BCLKH-RDL)	BCLK後リード有効時間		-12		ns	(24)
td(BCLKL-BLWL) td(BCLKL-BHWL)	BCLK後ライト遅延時間		0	20	ns	(25)
tv(BCLKL-BLWL) tv(BCLKL-BHWL)	BCLK後ライト有効時間		-12		ns	(26)
td(BCLKL-D)	BCLK後データ出力遅延時間			18または、 $40 \cdot \frac{tc(BCLK)}{2}$ のどちらか 大きい値	ns	(27)
tv(BCLKH-D)	BCLK後データ出力有効時間		-16		ns	(28)
tpzx(BCLKL-DZ)	BCLK後データ出力イネーブル時間		-19		ns	(29)
tpxz(BCLKH-DZ)	BCLK後データ出力ディスイネーブル時間			-9	ns	(30)
td(A-RDL)	リード前アドレス遅延時間		$\frac{tc(BCLK)}{2} - 20$		ns	(39)
td(CS-RDL)	リード前チップセレクト遅延時間		$\frac{tc(BCLK)}{2} - 20$		ns	(40)
tv(RDH-A)	リード後アドレス有効時間		0		ns	(41)
tv(RDH-CS)	リード後チップセレクト有効時間		0		ns	(42)
tpzx(RDH-DZ)	リード後データ出力イネーブル時間		$\frac{tc(BCLK)}{2}$		ns	(46)

注1. アドレス出力、チップセレクト出力信号の“H”、“L”判定ポイントは0.43VCCです。

注2. 規格値は測定端子の負荷容量CL=15pF～50pF時の保証値です。

リードおよびライトタイミング(前ページの続き)

記号	項目	測定条件	規格値		単位	参照図番 図19.5.6 図19.5.7 図19.5.8 図19.5.9
			最小	最大		
td(A-BLWL) td(A-BHWL)	ライト前アドレス遅延時間		$\frac{tc(BCLK)}{2} - 10$		ns	(47)
td(CS-BLWL) td(CS-BHWL)	ライト前チップセレクト遅延時間		$\frac{tc(BCLK)}{2} - 10$		ns	(48)
tv(BLWH-A) tv(BHWH-A)	ライト後アドレス有効時間		$\frac{tc(BCLK)}{2} - 10$		ns	(49)
tv(BLWH-CS) tv(BHWH-CS)	ライト後チップセレクト有効時間		$\frac{tc(BCLK)}{2} - 10$		ns	(50)
td(BLWL-D) td(BHWL-D)	ライト後データ出力遅延時間			15または、 $36 - \frac{tc(BCLK)}{2}$ どちらか大きい値	ns	(52)
tv(BLWH-D) tv(BHWH-D)	ライト後データ出力有効時間		$\frac{tc(BCLK)}{2} - 10$		ns	(53)
tpxz(BLWH-DZ) tpxz(BHWH-DZ)	ライト後データ出力ディスエーブル時間			$\frac{tc(BCLK)}{2}$	ns	(54)
tw(RDH)	リード“H”パルス幅		$\frac{tc(BCLK)}{2} - 3$		ns	(55)

注1. アドレス出力、チップセレクト出力信号の“H”、“L”判定ポイントは0.43VCCです。

注2. 規格値は測定端子の負荷容量CL=15pF ~ 50pF時の保証値です。

(5)バスアービトレーション

記号	項目	測定条件	規格値		単位	参照図番 図19.5.10
			最小	最大		
td(BCLKL-HACKL)	BCLK後HACK遅延時間			29	ns	(37)
tv(BCLKL-HACKH)	BCLK後HACK有効時間		-11		ns	(38)

19.5.3 AC特性

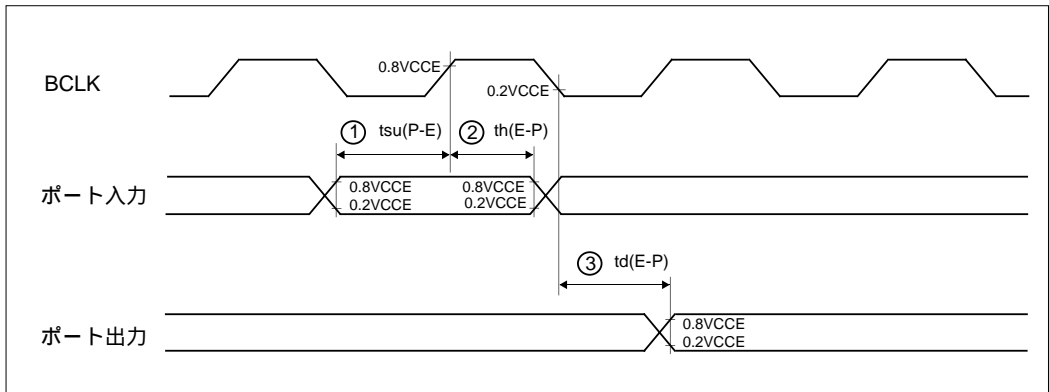


図19.5.1 入出力ポートタイミング

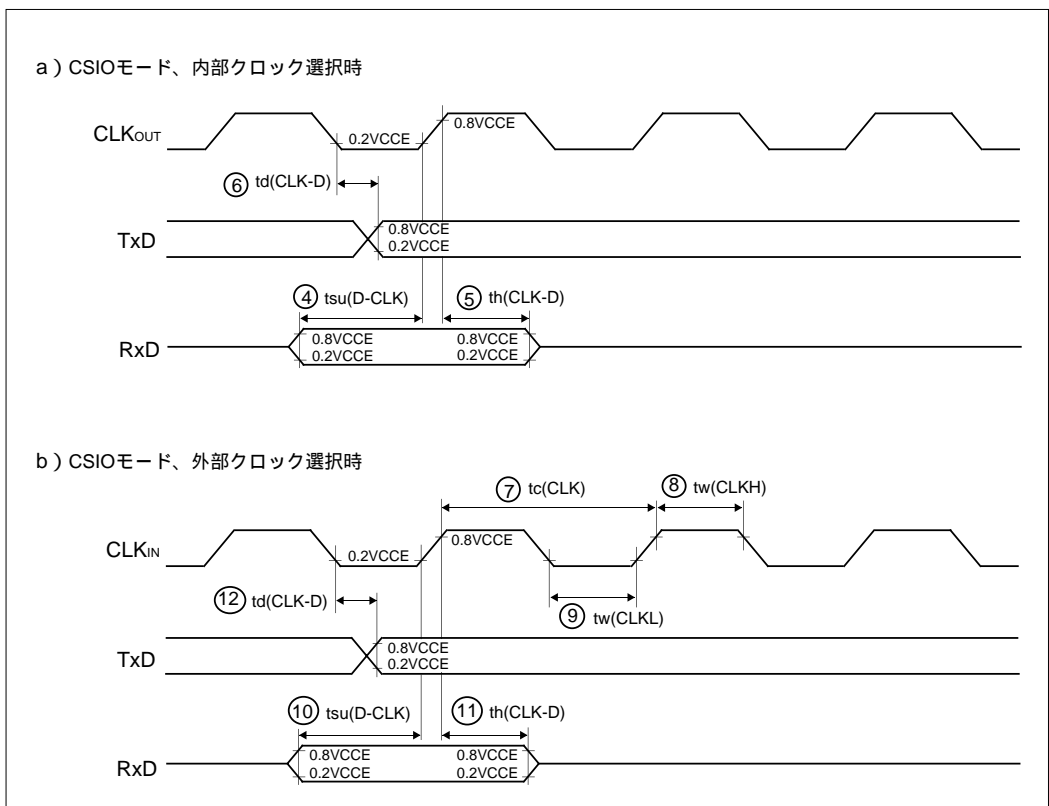


図19.5.2 シリアルI/Oタイミング

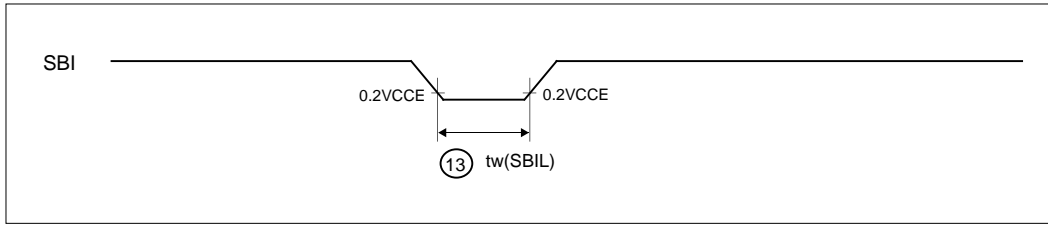


図19.5.3 SBIタイミング

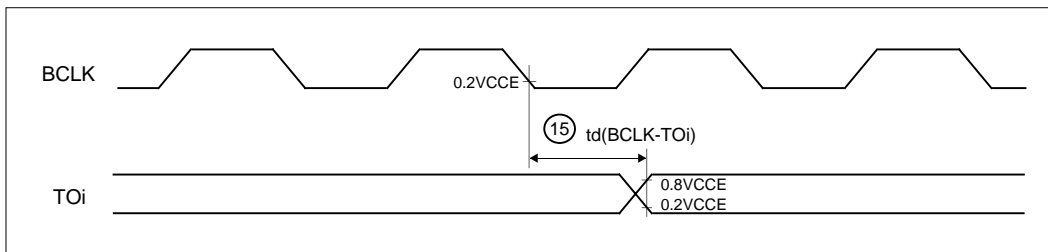


図19.5.4 TOiタイミング

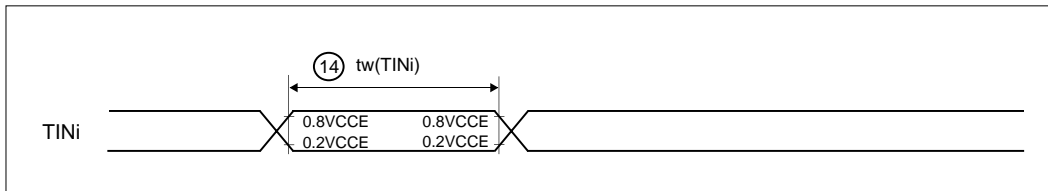


図19.5.5 TINiタイミング

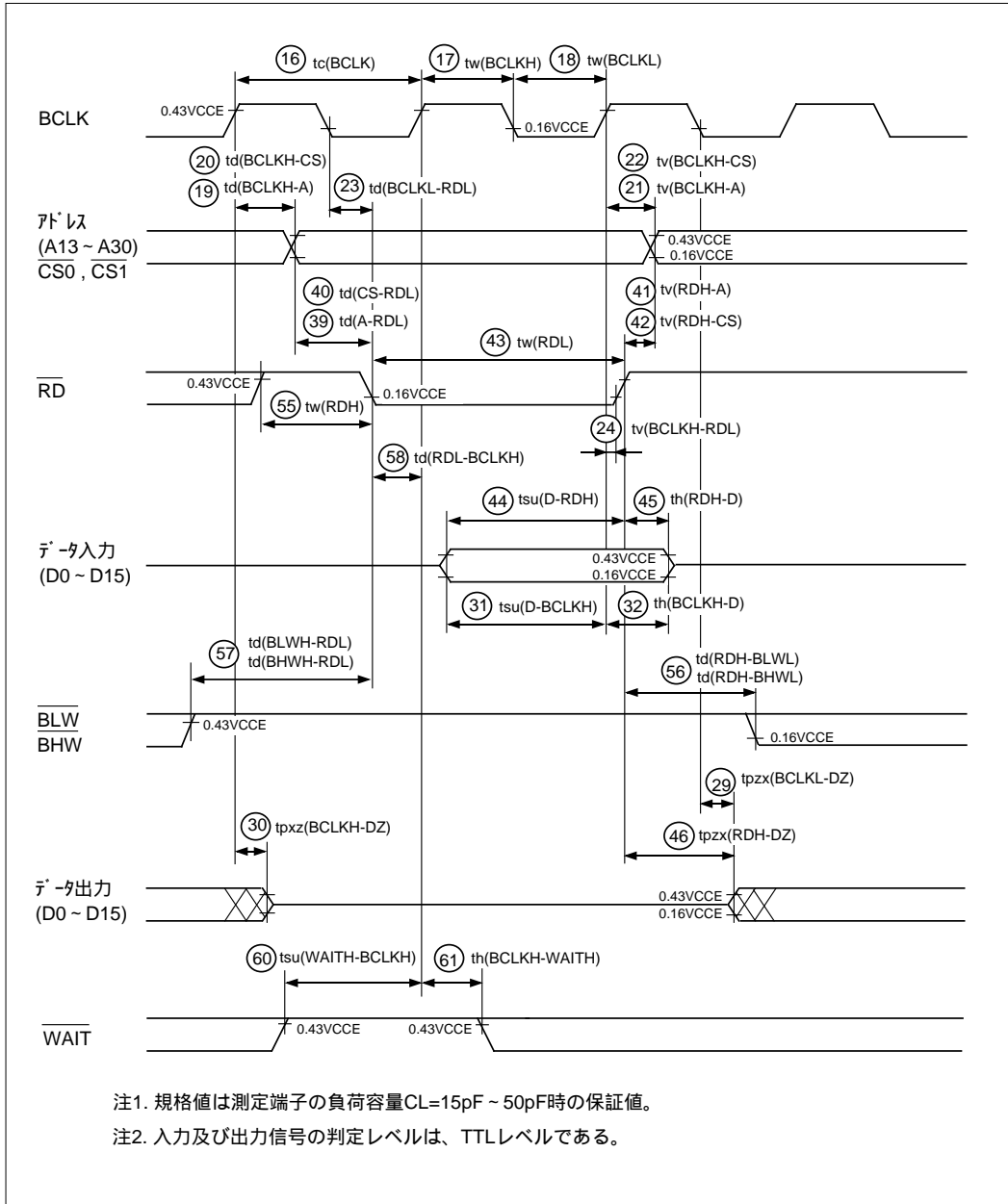


図19.5.6 リードタイミング(内部1ウエイトアクセス時)

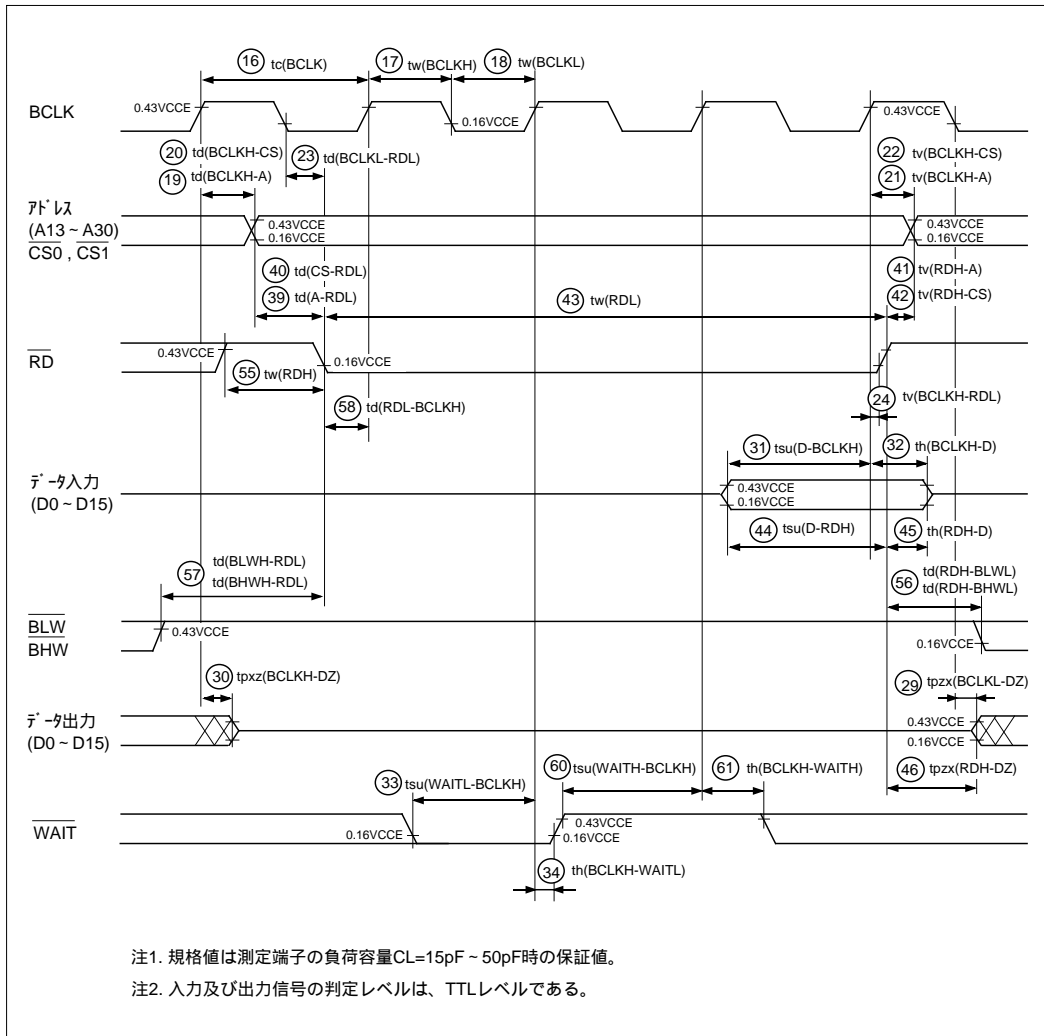


図19.5.7 リードタイミング(内部2ウエイト + 外部1ウエイトアクセス時)

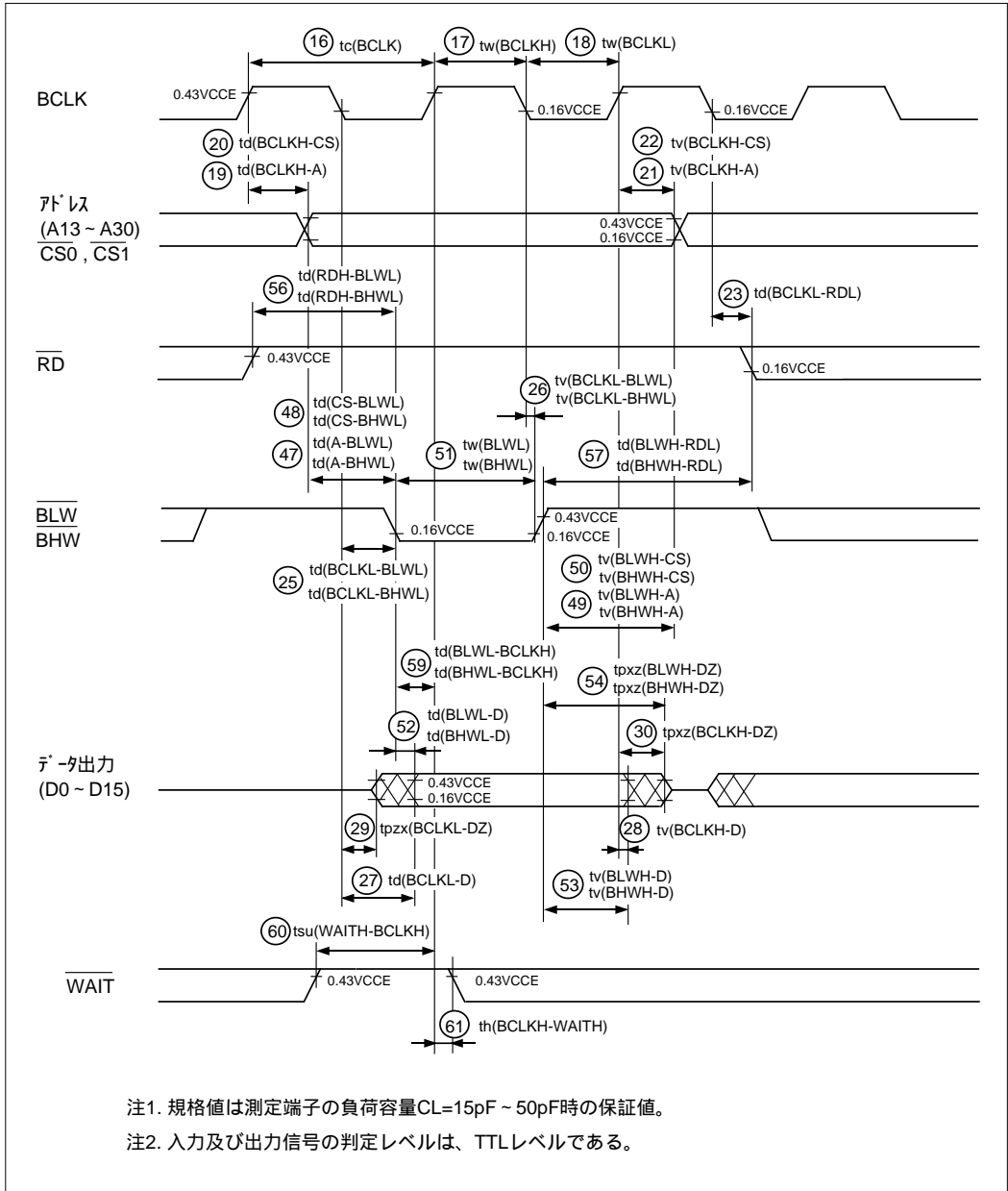


図19.5.8 ライトタイミング(内部1ウェイトアクセス時)

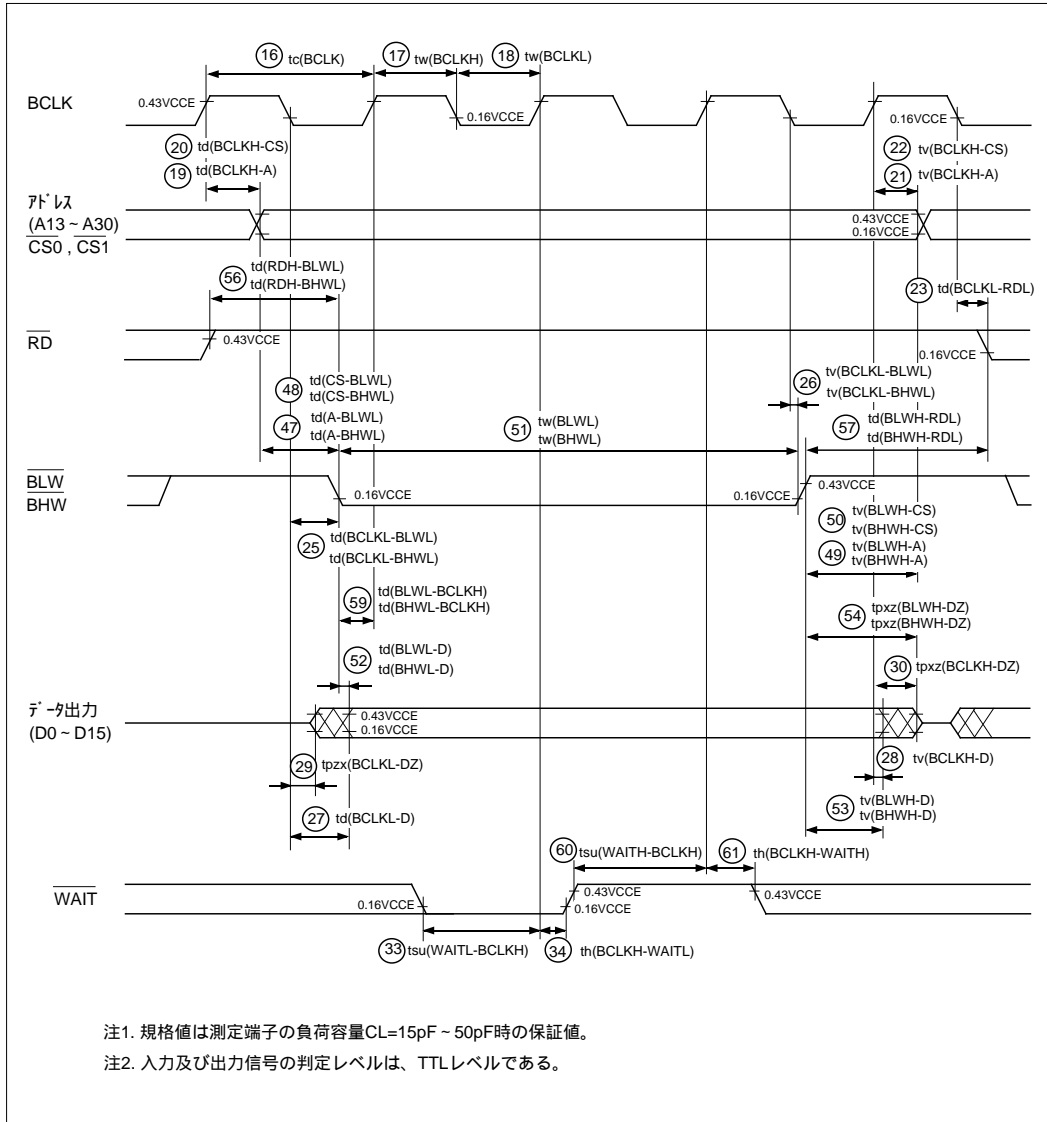


図19.5.9 ライトタイミング(内部2ウェイト+外部ウェイトアクセス時)

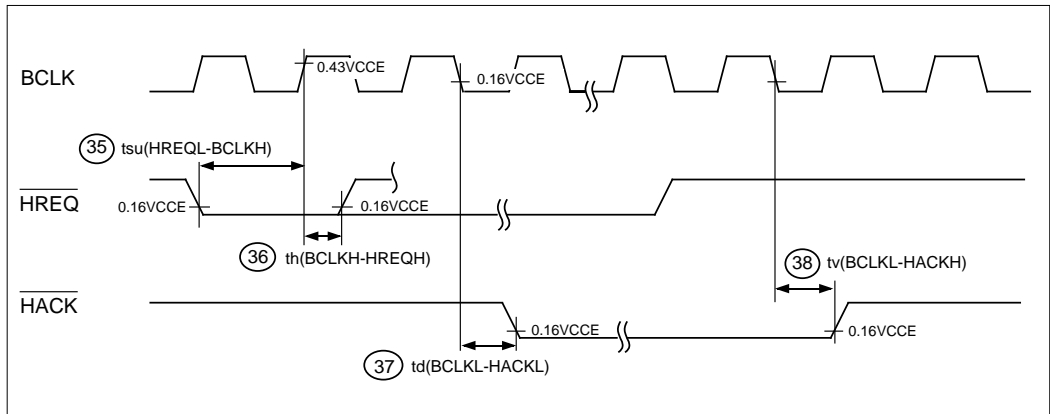


図19.5.10 バスアービトレーションタイミング

第20章

標準特性

20.1 A-D変換特性

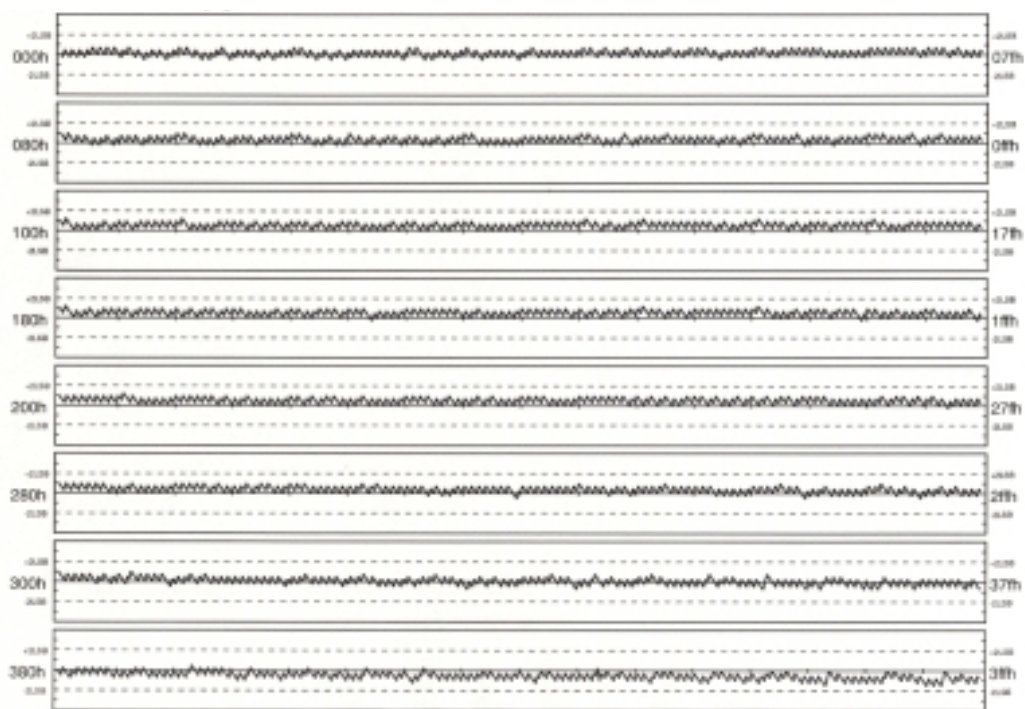
20.1 A-D変換特性

(1) 測定条件

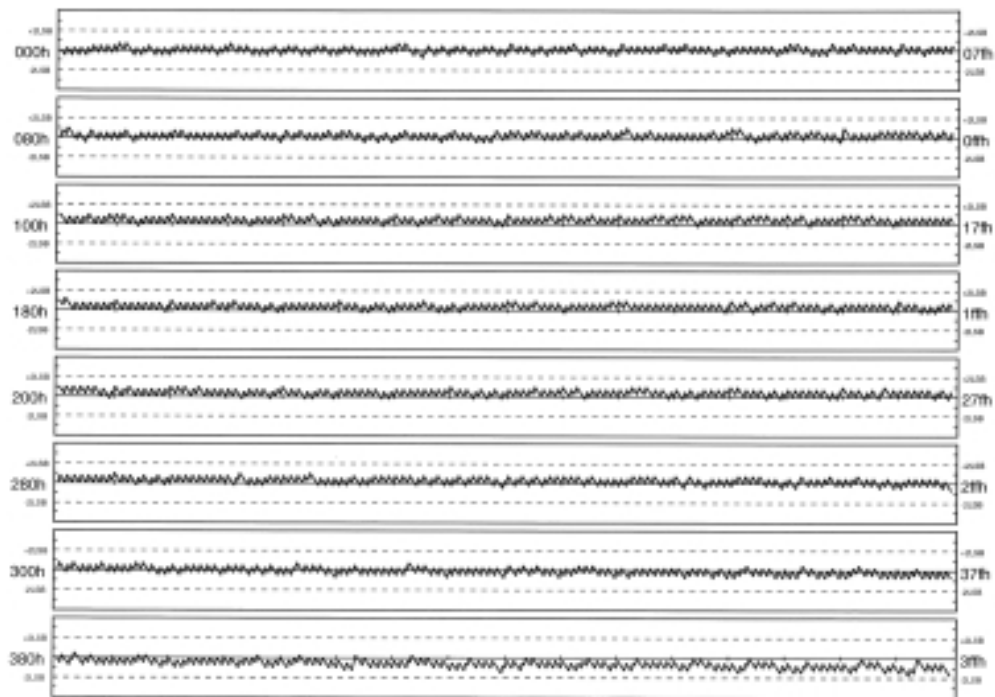
- $T_a = 25$
- 測定電圧 (VCC) = 5.12 V
- ノーマルモード、倍速モード

(2) 実測値 (参考値)

ノーマルスピード、 $T_a = 25$



縦軸：変換誤差
横軸：アナログ入力

倍速モード、 $T_a = 25$ 縦軸：変換誤差
横軸：アナログ入力

空きページです

付録 1

機械の仕様

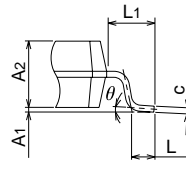
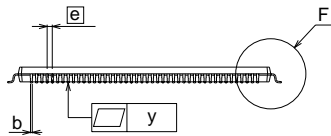
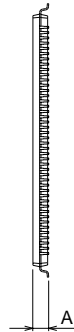
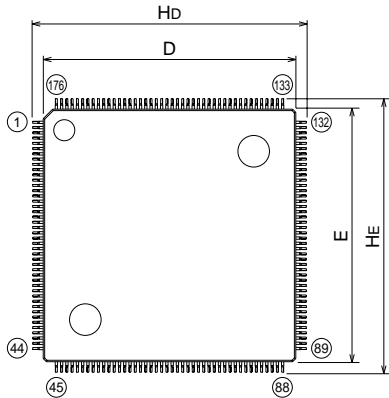
付録1.1 外形寸法図

付録1.1 外形寸法図

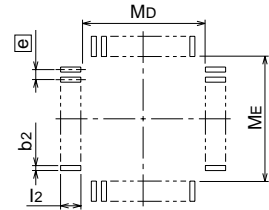
176P6Q-A

Plastic 176pin 24X24mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP176-P-2424-0.50	-		Cu Alloy



Detail F



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	23.9	24.0	24.1
E	23.9	24.0	24.1
e	-	0.5	-
Hd	25.8	26.0	26.2
HE	25.8	26.0	26.2
L	0.3	0.5	0.7
L1	-	1.0	-
y	-	-	0.1
θ	0°	-	10°
b2	-	0.225	-
l2	1.0	-	-
Md	-	24.4	-
ME	-	24.4	-

付録 2

命令処理時間

付録2.1 32160命令処理時間

付録2.1 32160命令処理時間

32160は、通常Eステージにおける命令実行サイクル数を命令処理時間として代表しますが、パイプラインの動作によっては、それ以外のステージが処理時間に影響を与えることがあります。特に分岐命令を実行した場合の次命令においては、IF(命令フェッチ)、D(デコード)、E(実行)の各ステージの処理時間を考慮に入れる必要があります。

以下に32160の各パイプラインステージごとの命令処理時間を示します。

付表2.1.1 各パイプラインステージにおける命令処理時間

命令	各ステージにおける実行サイクル数(注)				
	IF	D	E	MEM	WB
ロード命令(LD, LDB, LDUB, LDH, LDUH, LOCK)	R	1	1	R	1
ストア命令(ST, STB, STH, UNLOCK)	R	1	1	W	-
乗算命令(MUL)	R	1	3	-	1
除算/剰余命令(DIV, DIVU, REM, REMU)	R	1	37	-	1
上記以外の命令 (DSP機能用命令を含む)	R	1	1	-	1

注. R, W : 計算方法は次ページを参照。

以下にIF、MEMステージでのメモリアクセスのサイクル数を示します。ここに示す値は、メモリアクセスのための最小サイクル数です。したがって実際のメモリやバスアクセスにかかるサイクル数とは異なる場合があります。

たとえばライトアクセスについては、CPUはライトバッファに書き込むだけでMEMステージを終了しますが、実際にはその後にメモリのライトが行われます。CPUがメモリアクセス要求した前後のメモリやバスの状態によって、命令処理時間は計算値から増える場合があります。

R (リードサイクル)	サイクル
命令キューにある場合	1
内蔵リソース(ROM, RAM, SFR)をリードした場合	1
外部メモリをリードした場合(バイト, ハーフワード).....	3 (注)
外部メモリをリードした場合(ワード).....	5 (注)
外部メモリから連続して命令フェッチした場合	4 (注)

W (ライトサイクル)	サイクル
内蔵リソース(RAM, SFR)にライトした場合	1
外部メモリにライトした場合	2 (注)

注. 外部アクセスが1ウエイトの場合です(32160が外部アクセスを行う場合は、最低1ウエイトが入ります)。

空きページです

付録 3

ノイズに関する注意事項

付録3.1 ノイズに関する注意事項

付録3.1 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。文中でのVCCIはVCCE、VCCI、FVCC、OSC-VCCを示します。

付録3.1.1 配線長の短縮

基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短いほど、ノイズをマイコン内部に引き込む可能性は低くなります。

(1) RESET 端子の配線

RESET端子に接続する配線は、短くしてください。特にRESET端子とVSS端子間に接続するコンデンサは、それぞれの端子とのできるだけ短い配線(20mm以内)で接続してください。

<理由>

リセットは、マイコン内部を初期状態にする機能です。RESET端子に入力されるパルス幅は、タイミング必要条件で規定されます。パルス幅が規定幅より短いノイズがRESET端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

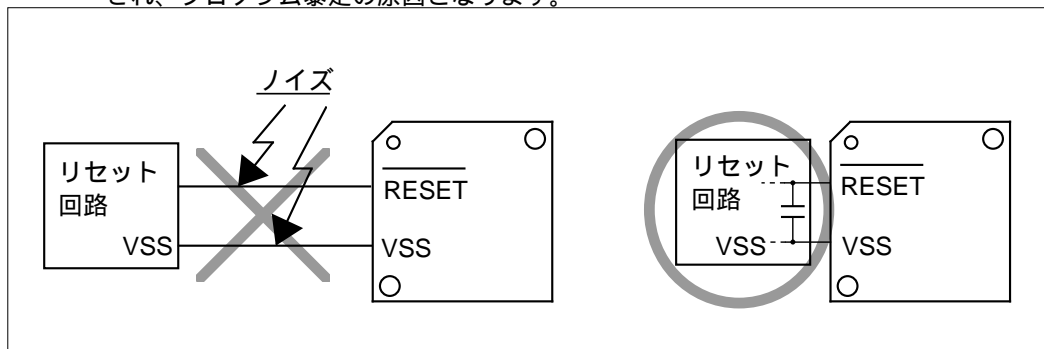


図3.1.1 RESET端子の配線

(2) クロック入出力端子の配線

クロック入出力端子に接続する配線は、短くしてください。

発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは、最短(20mm以内)の配線で接続してください。

発振用のVSSパターンは発振回路専用とし、他のVSSパターンと分離してください。

<理由>

マイコンは発振子(回路)で生成されたクロックに同期して動作します。クロック入出力端子にノイズが侵入するとクロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると、正確なクロックがマイコンに入力されません。

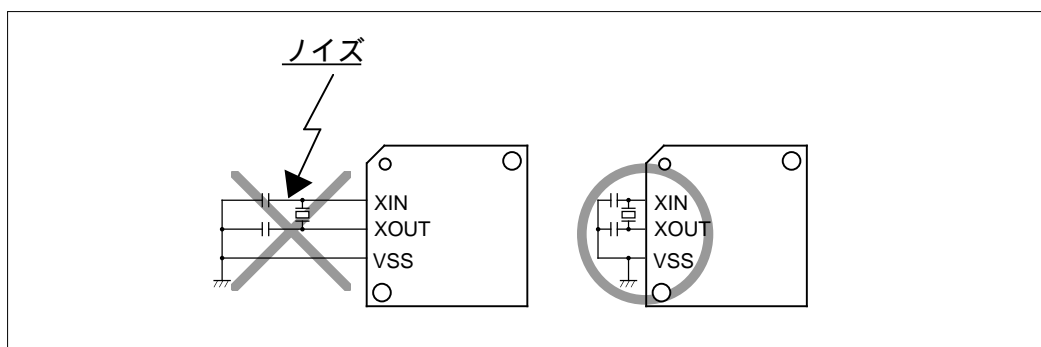


図3.1.2 クロック入出力端子の配線

(3) 動作モード設定端子の配線

動作モード設定端子とVCC又はVSS端子とを接続する場合、最短の配線で接続してください。

<理由>

動作モード設定端子のレベルは、マイコンの動作モードに影響します。動作モード設定端子とVCC又はVSS端子とを接続する場合、動作モード設定端子とVCC又はVSS端子との間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

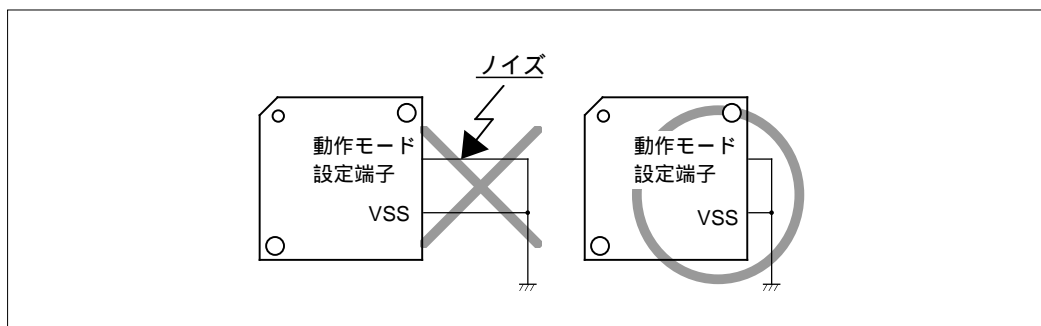


図3.1.3 MOD0, MOD1端子の配線例

付録3.1.2 VSS - VCCライン間へのバイパスコンデンサ挿入

VSS - VCCライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を等しくする

VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を最短とする

VSSライン及びVCCラインは、他の信号線よりも幅の広い配線を使用する

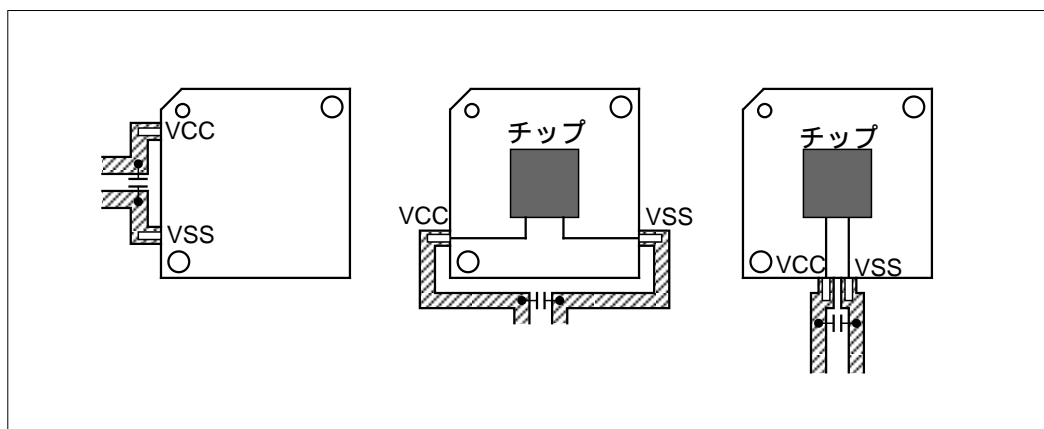


図3.1.4 VSS - VCCライン間のバイパスコンデンサ

付録3.1.3 アナログ入力端子の配線処理

アナログ入力端子に接続されるアナログ信号線のマイコンのできるだけ近い位置に、100～500程度の抵抗を直列に接続してください。

アナログ入力端子とAVSS端子間の、AVSS端子にできるだけ近い位置に容量100pF程度のコンデンサを挿入してください。

<理由>

通常、アナログ入力端子(A-D変換器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引きこむアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

また、アナログ入力端子とAVSS端子間のコンデンサをAVSS端子から遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経由でマイコンに侵入します。

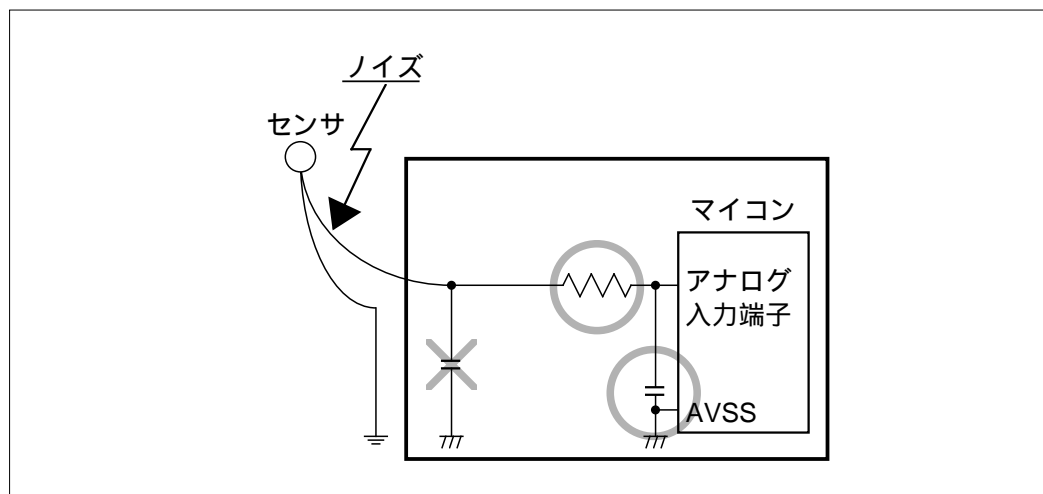


図3.1.5 アナログ信号線と抵抗及びコンデンサ

付録3.1.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

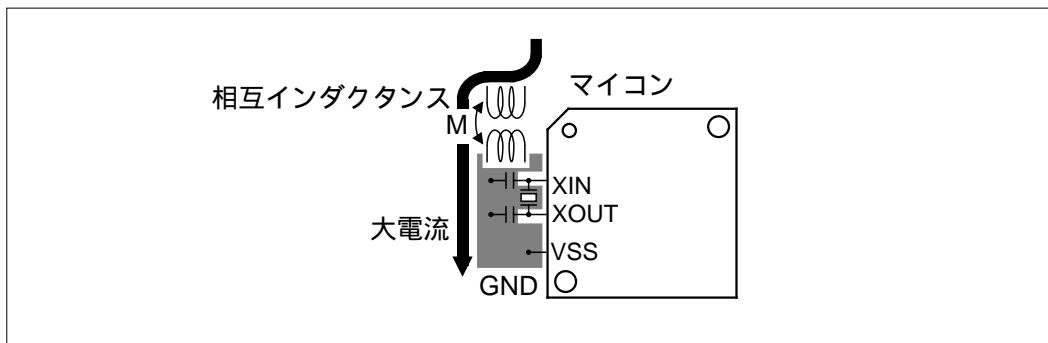


図3.1.6 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

<理由>

高速にレベル変化する信号線はその信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差する場合クロックの波形が乱れ、誤動作や暴走の原因となります。

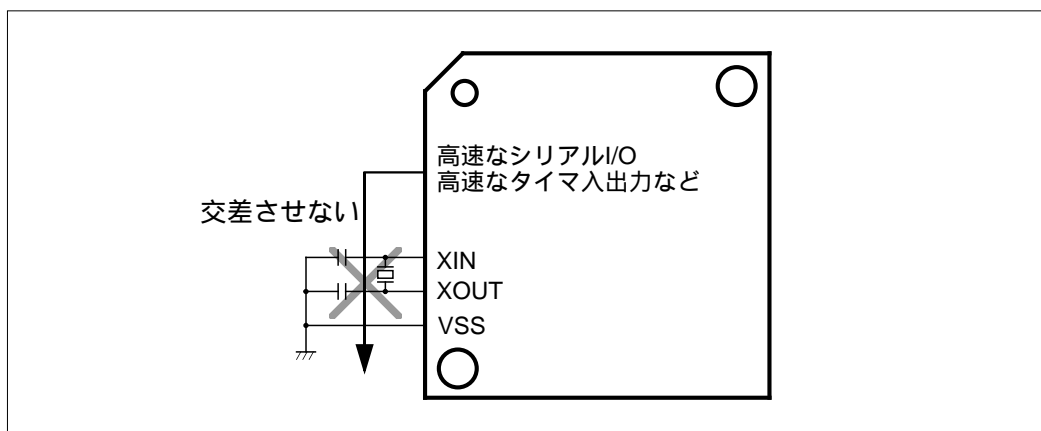


図3.1.7 高速にレベル変化する信号線の配線(i=0~3)

付録3.1.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

入出力ポートに100 Ω以上の抵抗を直列に挿入する

ソフトウェア面

入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認する

出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行う

一定周期で、方向レジスタの再書き込みを行う

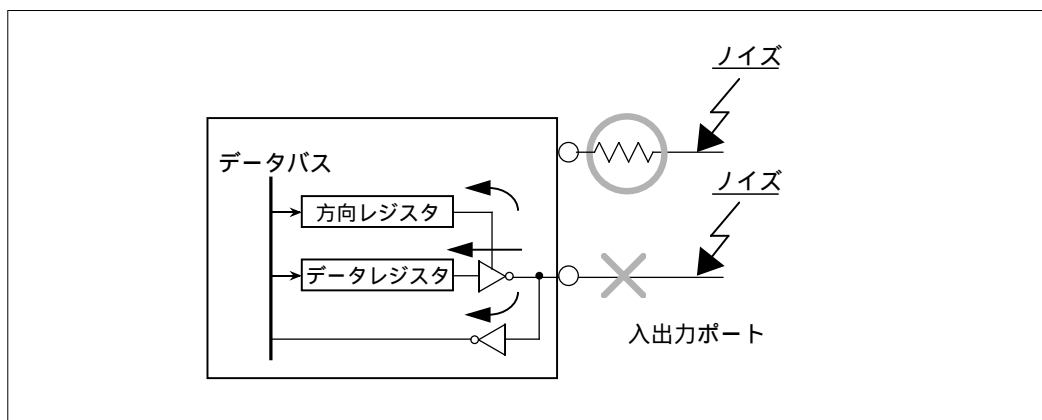


図3.1.8 入出力ポート処理

三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
32160 グループ

2000年2月 第二版第一刷発行
発行所 三菱電機株式会社半導体営業統括部
〒100-8310 東京都千代田区丸ノ内2-2-3 (三菱電機ビル)
TEL 03-3218-9450

禁無断転載

本書の一部または全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 2000 MITSUBISHI ELECTRIC CORPORATION

32160 グループ
ユーザーズマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

HU-095B 北 -0002(ROD)