User's Manual

32

Renesas RA2T1 グループ

ユーザーズマニュアル ハードウェア編

32 ビット MCU

Renesas RA ファミリ

Renesas RA2 シリーズ

ルネサス エレクトロニクス
www.renesas.com

Rev.1.00　Jun 2025

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1.　本ドキュメントについて

本マニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。本マニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2.　対象読者

本マニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3.　関連ドキュメント

弊社では、下記のドキュメントを用意しています。これらのドキュメントを使用する際は、www.renesas.com にアクセスして、最新版を取得してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特徴、概要、および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドライン、およびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール &キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK)、スタートキット (SK)、プロモーションキット (PK)、製品例 (PE)、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

4. 数値の表記法

本マニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。たとえば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。たとえば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、 16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、 10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

本マニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールのシンボル (AAA)、レジスタのシンボル (BBB)、およびビットフィールドのシンボル (CCC) は、ピリオドで区切られます。
AAA.BBB	機能モジュールのシンボル (AAA) とレジスタのシンボル (BBB) は、ピリオドで区切られます。
BBB.DDD	レジスタのシンボル (BBB) とビットフィールドのシンボル (DDD) は、ピリオドで区切られます。
EEE[3:0]	角括弧内の数値はビット番号を表します。たとえば、EEE[3:0]は 3〜0 ビットを占めます。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、本マニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU およびアドレス空間やメモリ容量に使用されます。
k	キロ	1000 = 10^3。k は 1024 (2^{10}) を示すためにも使用されますが、このユニットプレフィックスは本書全体で 1000 (10^3) を示すために使用されます。
K	キロ	1024 = 2^{10}。このユニットプレフィックスは、本マニュアル全体で、1000 (10^3) ではなく 1024 (2^{10}) を示すために使用されます。

7. 特殊用語

下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。特に指定のない場合、この端子はフローティングにしてください。
Hi-Z	ハイインピーダンス
x	Don't care または不定

8. レジスタの説明

各章のレジスタの説明には、ビットの並びを示すレジスター配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用される記号の例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールドの定義例です。

XX.X.X　{*register/name*} : {*register/description*}

Base address: {*peripheral/name*} = {*peripheral/baseAddress*}
Offset address: {*register/addressOffset*}　(1)

Bit potision:	7	6	5	4	3	2	1	0
Bit field:	–	–	–	–	–	–	–	{*field/name*}
Value after reset:	0	0	0	0	0	0	0	0

(2) (3)

(4) (5) (6)

ビット	シンボル	機能	R/W
0	{*field/name*}	{*field/description*} 0: {*enumeratedValue/description*} 1: {*enumeratedValue/description*}	{*access*}
7:1	–	読むと0が読めます。書く場合、0としてください。	R/W

(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレスの割り当て

この部分には、通常、機能モジュールのシンボル {*peripheral/name*}、レジスタのシンボル {*register/name*}、およびこのレジスタのアドレスの割り当てが記載されます。ベースアドレスとオフセットアドレスは、{*peripheral/name*} の {*register/name*} : {*register/description*} がアドレス {*peripheral/baseAddress*} + {*register/addressOffset*} に割り当てられることを意味します。

(2) ビット番号

この数字はビット番号を示します。これらのビットは、32 ビットレジスタの場合はビット 31 から 0 へ、16 ビットレジスタの場合はビット 15 から 0 へ、8 ビットレジスタの場合はビット 7 から 0 への順序で表示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。特に指定がない限り、値はバイナリで表示されます。

0: リセット後の値が 0 であることを示します。
1: リセット後の値が 1 であることを示します。
x: リセット後の値が不定であることを示します。

(4) ビットシンボル

{*filed/name*} は、ビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {*field/description*}、および列挙された値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかを示します。

R/W: 読み出しも書き込みも可能。
R: 読み出しのみ可能。書き込みは無効。
W: 書き込みのみ可能。特に指定のない限り、読み出し値はリセット後の値。

9. 略語

本マニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC 暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adleman による公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm®および Cortex®は、Arm Limited の登録商標です。CoreSight™は、Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

SuperFlash®は、Silicon Storage Technology, Inc.の米国と日本を含む数か国における登録商標です。

本書に記載されているその他のブランドおよび名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

本製品についてご意見やご提案がある場合は、 お問い合わせ にアクセスしてください。

目次

超低消費電力 64 MHz Arm® Cortex®-M23 コア、最大 64 KB のコードフラッシュメモリ、8 KB の SRAM、12 ビット A/D コンバータ、高速アナログコンパレータ、およびセーフティ機能

特長

■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数： 64 MHz
- Arm メモリプロテクションユニット (Arm MPU)（8 領域）
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大 64 KB のコードフラッシュメモリ
- 2 KB のデータフラッシュメモリ （100,000 書き込み／消去 (P/E) サイクル）
- 8 KB の SRAM
- メモリプロテクションユニット (MPU)
- 128 ビットのユニーク ID

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 4
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - 簡易 IIC
  - 簡易 SPI
  - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I^2C バスインタフェース (IIC) × 1

■ アナログ

- 12 ビット A/D コンバータ (ADC12)（サンプル＆ホールドホールド回路 × 3 を搭載）
- 温度センサ回路 (TSN)
- 高速アナログコンパレータ (ACMPHS) x 2

■ タイマ

- 16 ビット汎用 PWM タイマ (GPT16) × 4
- 32 ビット低消費電力非同期汎用タイマ (AGTW) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス検出

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出回路 (LVD)（電圧設定）

■ マルチクロックソース

- メインクロック発振器 (MOSC) (1〜20 MHz)
- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

■ 最大 40 本の汎用入出力ポート内蔵

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- VCC: 1.6〜5.5 V

■ 動作温度およびパッケージ

- Ta = -40 °C〜+105 °C
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）
  - 24 ピン HWQFN（4 mm × 4 mm、0.5 mm ピッチ）
- Ta = -40 °C〜+125 °C
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）
  - 24 ピン HWQFN（4 mm × 4 mm、0.5 mm ピッチ）

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 64 KB のコードフラッシュメモリ
- 8 KB の SRAM
- 12 ビット A/D コンバータ (ADC12)

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	● 最高動作周波数：64 MHz ● Arm Cortex-M23 コア： – リビジョン：r1p0-00rel0 – Armv8-M アーキテクチャプロファイル – シングルサイクル整数乗算器 – 19 サイクル整数除算器 ● Arm メモリプロテクションユニット (Arm MPU)： – Armv8 保護メモリシステムアーキテクチャ – 8 つの保護領域 ● SysTick タイマ： – SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 64 KB のコードフラッシュメモリ 「33. フラッシュメモリ」を参照してください。
データフラッシュメモリ	2 KB のデータフラッシュメモリ 「33. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「6. オプション設定メモリ」を参照してください。
SRAM	パリティビットを備えた高速 SRAM を内蔵しています。 「32. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI ブートモード 「3. 起動モード」を参照してください。
リセット	本 MCU は、12 種類のリセット（RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、バスマスタ／スレーブ MPU エラーリセット、CPU スタックポインタエラーリセット、ソフトウェアリセット）をサポートしています。 「5. リセット」を参照してください。
低電圧検出回路 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧レベル検出回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタにより、さまざまな電圧しきい値での VCC 端子への入力電圧の変動をアプリケーションで検出できます。 「7. 低電圧検出回路 (LVD)」を参照してください。

表 1.3　システム (2/2)

機能	機能の説明
クロック	● メインクロック発振器 (MOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● IWDT 専用オンチップオシレータ ● クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にないとき、割り込み要求が発生します。 「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。 「12. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。 「18. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「11. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニット (MPU) と CPU スタックポインタモニタ機能を備えています。 「14. メモリプロテクションユニット (MPU)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。 「22. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。 「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4　イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。 「16. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5　ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「15. データトランスファコントローラ (DTC)」を参照してください。

表 1.6　タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16×4 チャネルの 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「20. 汎用 PWM タイマ (GPT)」を参照してください。
GPT 用のポートアウトプットイネーブル (POEG)	POEG は、汎用 PWM タイマ (GPT) の出力端子からの出力を停止する要求を発行します。 「19. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGTW)	低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTW レジスタでアクセス可能です。 「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。

表 1.7　通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 4 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 「24. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I^2C バスインタフェース (IIC)	I^2C バスインタフェース (IIC) には 1 チャネルがあります。IIC は、NXP 社の I^2C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。 「25. I^2C バスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) にはチャネルが 1 つあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 「26. シリアルペリフェラルインタフェース (SPI)」を参照してください。

表 1.8　アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 13 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。 「29. 12 ビット A/D コンバータ (ADC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。 「30. 温度センサ回路 (TSN)」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャネルの ACMPHS0 と ACMPHS1 は、それぞれ独立しています。基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0, 1) 端子への入力、CMPIN0j (j = 0, 1, 2) 端子への入力、または MCU の内部に生成された内部基準電圧 (V_{ref}) から選択できます。 「28. 高速アナログコンパレータ (ACMPHS)」を参照してください。

表 1.9　データ処理

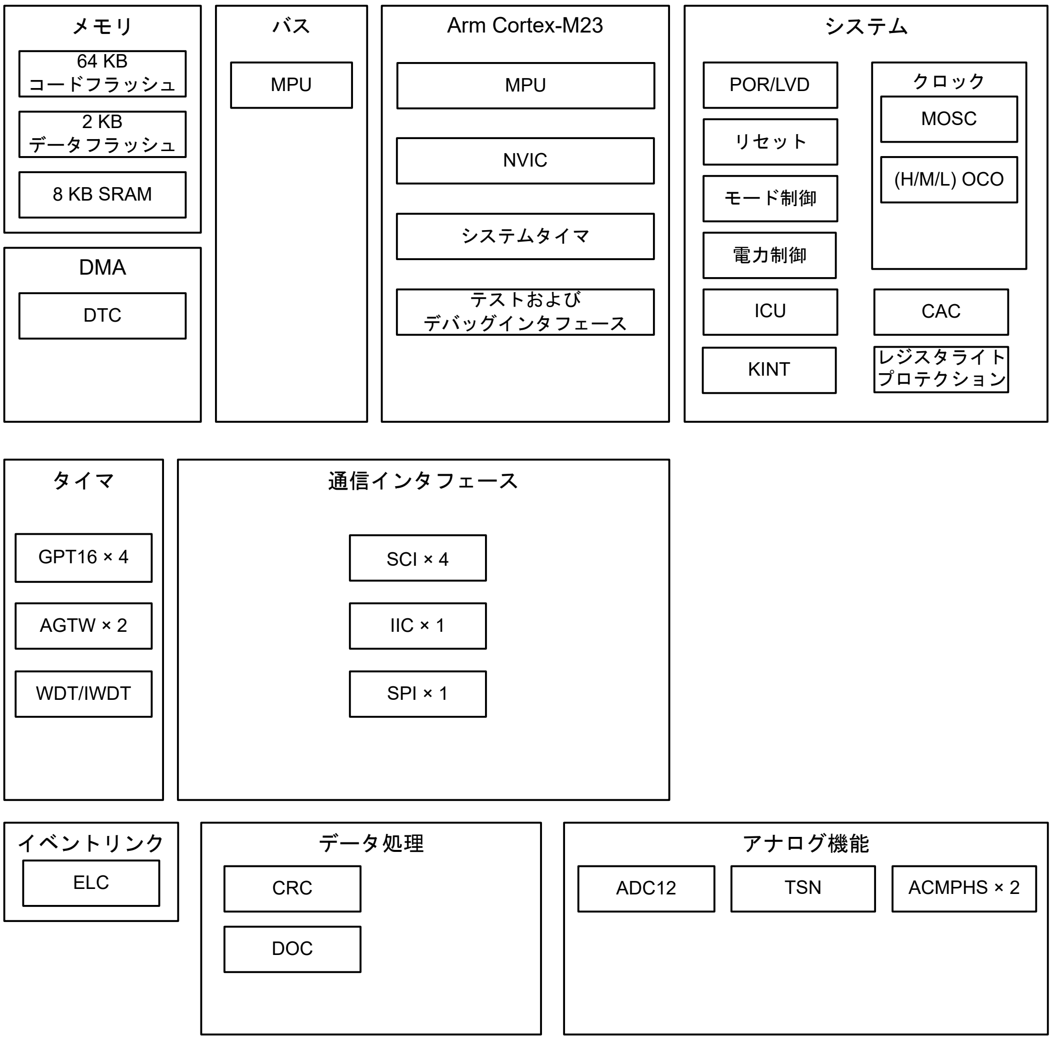
機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。 「27. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、16 ビットのデータが比較され、割り込みを生成可能です。 「31. データ演算回路 (DOC)」を参照してください。

表 1.10　I/O ポート

機能	機能の説明
I/O ポート	● 48 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：39 – 入力端子：1 – プルアップ抵抗：39 – N チャネルオープンドレイン出力：28 – 5 V トレランス：2 ● 32 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：25 – 入力端子：1 – プルアップ抵抗：25 – N チャネルオープンドレイン出力：17 ● 24 ピン HWQFN 用 I/O ポート – 入出力端子：17 – 入力端子：1 – プルアップ抵抗：17 – N チャネルオープンドレイン出力：10

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。



注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.11 に、製品一覧表を示します。

R 7 F A 2 T 1 0 7 3 C F L # A A 0

- 製造IDコード
- 端子材料（鉛フリー）
  A : Sn（スズ）のみ
  C : その他
- パッキング
  A : トレイ
  U : トレイ（フルトレイ）
  B : トレイ（フルカートン）
  H : テープ&リール
- パッケージタイプ
  FL: LQFP 48ピン
  FJ: LQFP 32ピン
  NH: HWQFN 32ピン
  NE: HWQFN 48ピン
  NK: HWQFN 24ピン
- 品質水準
  C : 産業用
- 動作温度
  3: -40 °C～105 °C
  4: -40 °C～125 °C
- コードフラッシュメモリ容量
  7: 64 KB
- 機能セット
- グループ名
- シリーズ名
- RAファミリ
- フラッシュメモリ
- Renesasマイクロコントローラ

注. #に続く有効な記号については、ルネサス Web サイト上の各製品の注文画面でご確認ください。

図 1.2 型名の読み方

表 1.11 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2T1073CFL	PLQP0048KB-B	64	2	8	-40～+105℃
R7FA2T1073CFJ	PLQP0032GB-A				
R7FA2T1073CNH	PWQN0032KE-A				
R7FA2T1073CNE	PWQN0048KC-A				
R7FA2T1073CNK	PWQN0024KG-A				
R7FA2T1074CFL	PLQP0048KB-B				-40～+125℃
R7FA2T1074CFJ	PLQP0032GB-A				
R7FA2T1074CNH	PWQN0032KE-A				
R7FA2T1074CNE	PWQN0048KC-A				
R7FA2T1074CNK	PWQN0024KG-A				

1.4 機能の比較

表 1.12 機能の比較

<table>
<tr><th colspan="2">型名</th><th>R7FA2T107xxFL</th><th>R7FA2T107xxNE</th><th>R7FA2T107xxFJ</th><th>R7FA2T107xxNH</th><th>R7FA2T107xCNK</th></tr>
<tr><td colspan="2">端子総数</td><td colspan="2">48</td><td colspan="2">32</td><td>24</td></tr>
<tr><td colspan="2">パッケージ</td><td>LQFP</td><td>WQFN</td><td>LQFP</td><td>WQFN</td><td>WQFN</td></tr>
<tr><td colspan="2">コードフラッシュメモリ</td><td colspan="5">64 KB</td></tr>
<tr><td colspan="2">データフラッシュメモリ</td><td colspan="5">2 KB</td></tr>
<tr><td colspan="2">SRAM</td><td colspan="5">8 KB</td></tr>
<tr><td rowspan="3">システム</td><td>CPU クロック</td><td colspan="5">64 MHz</td></tr>
<tr><td>ICU</td><td colspan="5">あり</td></tr>
<tr><td>KINT</td><td colspan="2">5</td><td colspan="3">4</td></tr>
<tr><td>イベントコントロール</td><td>ELC</td><td colspan="5">あり</td></tr>
<tr><td>DMA</td><td>DTC</td><td colspan="5">あり</td></tr>
<tr><td rowspan="4">タイマ</td><td>GPT (POEG)</td><td colspan="5">2</td></tr>
<tr><td>GPT16</td><td colspan="5">4</td></tr>
<tr><td>AGTW</td><td colspan="5">2</td></tr>
<tr><td>WDT/IWDT</td><td colspan="5">あり</td></tr>
<tr><td rowspan="3">通信</td><td>SCI</td><td colspan="5">4</td></tr>
<tr><td>IIC</td><td colspan="5">1</td></tr>
<tr><td>SPI</td><td colspan="5">1</td></tr>
<tr><td rowspan="3">アナログ</td><td>ADC12</td><td colspan="2">13</td><td colspan="2">10</td><td>9</td></tr>
<tr><td>ACMPHS</td><td colspan="5">2</td></tr>
<tr><td>TSN</td><td colspan="5">あり</td></tr>
<tr><td rowspan="2">データ処理</td><td>CRC</td><td colspan="5">あり</td></tr>
<tr><td>DOC</td><td colspan="5">あり</td></tr>
<tr><td rowspan="5">I/O ポート</td><td>入出力端子</td><td colspan="2">39</td><td colspan="2">25</td><td>17</td></tr>
<tr><td>入力端子</td><td colspan="5">1</td></tr>
<tr><td>プルアップ抵抗</td><td colspan="2">39</td><td colspan="2">25</td><td>17</td></tr>
<tr><td>N チャネルオープンドレイン出力</td><td colspan="2">28</td><td colspan="2">17</td><td>10</td></tr>
<tr><td>5 V トレランス</td><td colspan="2">2</td><td colspan="2">0</td><td>0</td></tr>
</table>

1.5　端子機能

表 1.13　端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	CLKOUT	出力	クロック出力端子
起動モード制御	MD	入力	起動モード設定用の端子。本端子の信号レベルは、リセット解除時の起動モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると､MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	マスカブル割り込み要求端子
GPT16	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
	GTIOCnA, GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTCPPOk	出力	PWM 同期トグル出力
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGTW	AGTEE0, AGTEE1	入力	外部イベント入力イネーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	アウトプットコンペアマッチ A 出力端子
	AGTOB0	出力	アウトプットコンペアマッチ B 出力端子

表 1.13　端子機能 (2/3)

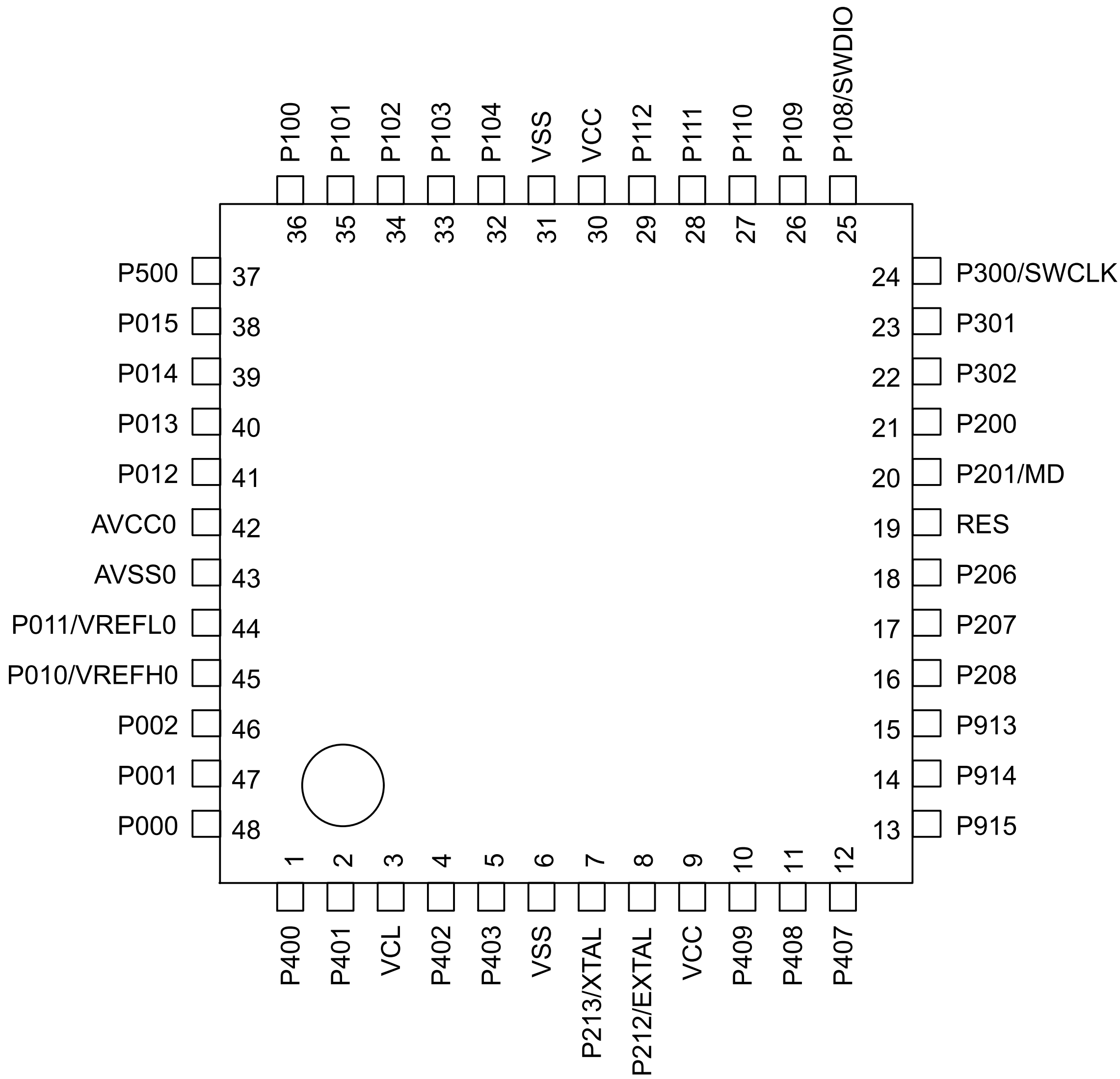
機能	端子名	入出力	説明
SCI	SCKn (n = 0～2, 9)	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn (n = 0～2, 9)	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn (n = 0～2, 9)	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn (n = 0～2, 9)	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	SCLn (n = 0～2, 9)	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn (n = 0～2, 9)	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn (n = 0～2, 9)	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn (n = 0～2, 9)	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn (n = 0～2, 9)	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn (n = 0～2, 9)	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn (n = 0)	入出力	クロック用の入出力端子
	SDAn (n = 0)	入出力	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	SSLA1	出力	スレーブ選択用の出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
アナログ電源	AVCC0	入力	ADC12 用のアナログ電源端子
	AVSS0	入力	ADC12 用のアナロググランド端子
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN000～AN002 (3 チャネル S/H)、AN005～AN010、AN019～AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0_A, ADTRG0_B	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
KINT	KR00～KR04	入力	キー割り込み入力端子
I/O ポート	P000～P002, P010～P015	入出力	汎用入出力端子
	P100～P104, P108～P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P206～P208, P212, P213	入出力	汎用入出力端子
	P300～P302	入出力	汎用入出力端子
	P400～P403, P407～P409	入出力	汎用入出力端子
	P500	入出力	汎用入出力端子
	P913～P915	入出力	汎用入出力端子

表 1.13　　端子機能 (3/3)

機能	端子名	入出力	説明
ACMPHS	CMPIN0n (n = 1, 2, 3), CMPIN1	入力	基準電圧およびアナログ電圧入力端子
	CMPREFn (n = 0, 1)	入力	基準電圧およびアナログ電圧入力端子
	VCOUT	出力	ACMPHS0 と ACMPHS1 の比較出力は VCOUT 端子にまとめられています。

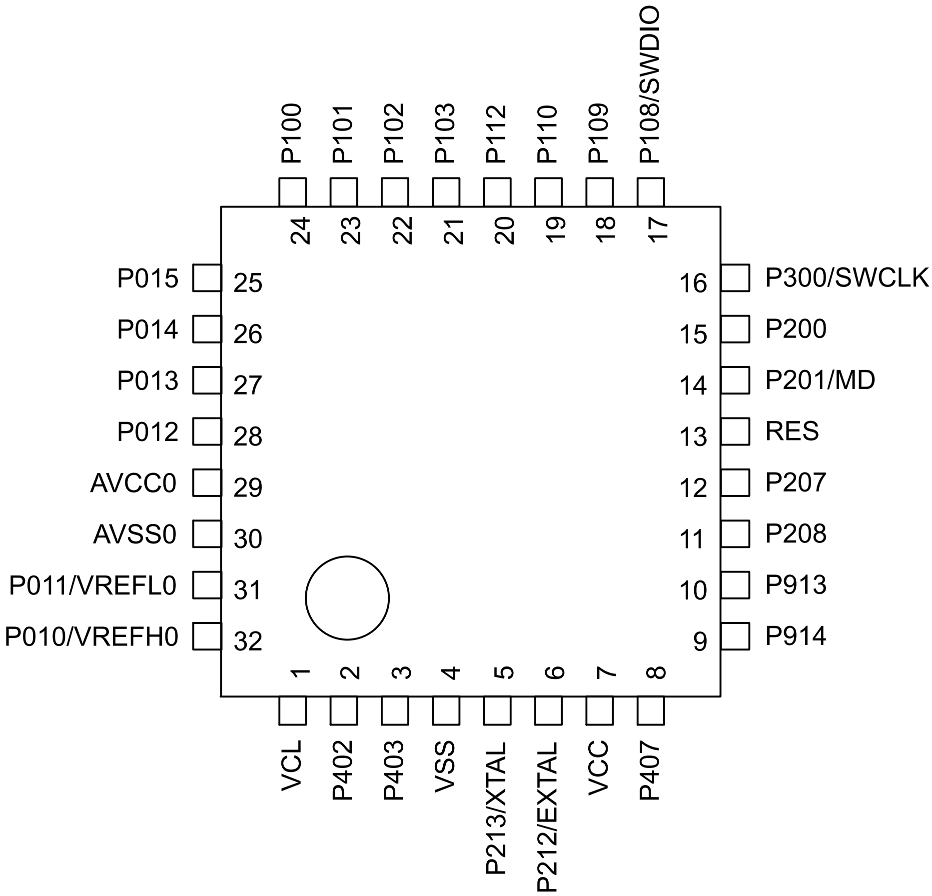
1.6　ピン配置図

図 1.3～図 1.5 にピン配置図（上面図）を示します。



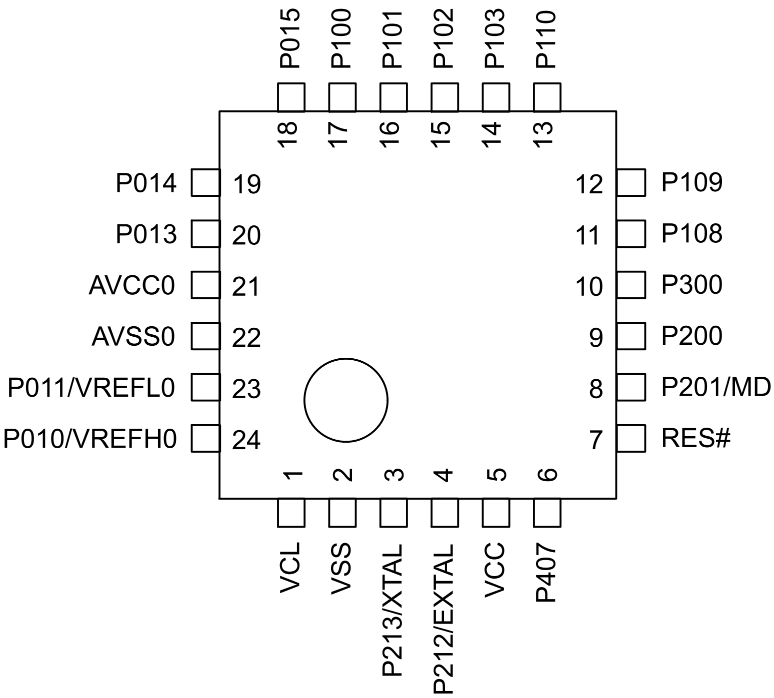
注.　QFN パッケージの製品では、露出ダイパッドを、電気的に接続されていない PCB のめっき領域にはんだ付けしてください。

図 1.3　48 ピン LQFP/QFN のピン配置図（上面図）



注.　QFN パッケージの製品では、露出ダイパッドを、電気的に接続されていない PCB のめっき領域にはんだ付けしてください。

図 1.4　32 ピン LQFP/QFN のピン配置図（上面図）



注.　QFN パッケージの製品では、露出ダイパッドを、電気的に接続されていない PCB のめっき領域にはんだ付けしてください。

図 1.5　24 ピン QFN のピン配置図（上面図）

1.7 端子一覧

表 1.14 端子一覧 (1/2)

端子番号			電源、システム、クロック、デバッグ、CAC	I/O ポート	タイマ			通信インタフェース			アナログ		HMI
LQFP/QFN 48 ピン	LQFP/QFN 32 ピン	LQFP/QFN 24 ピン			AGTW	GPT_OPS、POEG	GPT	SCI	IIC	SPI	ADC	ACMPHS	割り込み
1	—	—	CACREF_C	P400	AGTIO1_C	—	GTIOC3A_B	SCK0_B/SCK1_B	SCL0_A	—	—	—	IRQ0_A
2	—	—		P401	—	GTETRGA_B	GTIOC3B_B	CTS0_RTS0_B/SS0_B	SDA0_A	—	—	—	IRQ5_C
3	1	1	VCL		—	—	—	—	—	—	—	—	—
4	2	—		P402	—	—	GTADSM0	—	—	—	—	—	—
5	3	—		P403	—	—	GTADSM1	—	—	—	—	—	—
6	4	2	VSS		—	—	—	—	—	—	—	—	—
7	5	3	XTAL	P213	—	GTOUUP_A	GTIOC0A_A	—	—	—	—	—	IRQ2_B
8	6	4	EXTAL	P212	AGTEE1_A	GTOULO_A	GTIOC0B_A	—	—	—	—	—	IRQ7_C
9	7	5	VCC		—	—	—	—	—	—	—	—	—
10	—	—		P409	—	GTIV_B	—	—	—	—	—	—	IRQ6_B
11	—	—		P408	—	GTIW_B	—	CTS1_RTS1_D/SS1_D	SCL0_C	—	—	—	IRQ7_B
12	8	6		P407	AGTIO0_C	GTOULO_B/GTCPPO0	GTIOC0B_B	CTS0_RTS0_D/SS0_D	SDA0_B	—	ADTRG0_B	CMPREF1	—
13	—	—		P915	—	—	—	—	—	—	—	—	—
14	9	—		P914	AGTOA1_A	GTOVUP_A	GTIOC1A_A	—	—	—	—	—	—
15	10	—		P913	AGTIO1_F	GTOVLO_A	GTIOC1B_A	—	—	—	—	—	—
16	11	—		P208	AGTOB0_A	GTOUUP_B	GTIOC0A_B	—	—	—	—	—	—
17	12	—		P207	—	—	—	—	—	—	—	—	—
18	—	—		P206	—	GTIU_B	—	TXD0_C/MOSI0_C/SDA0_C	—	—	—	—	IRQ0_B
19	13	7	RES		—	—	—	—	—	—	—	—	—
20	14	8	MD	P201	—	—	—	—	—	—	—	—	—
21	15	9		P200	—	—	—	—	—	—	—	—	NMI
22	—	—		P302	—	GTETRGA_D	—	TXD2_A/MOSI2_A/SDA2_A	—	—	—	—	IRQ5_A
23	—	—		P301	AGTIO0_D	GTETRGB_A	—	RXD2_A/MISO2_A/SCL2_A/CTS9_RTS9_D/SS9_D	—	—	—	—	IRQ6_A
24	16	10	SWCLK	P300	—	GTETRGA_C/GTCPPO1	GTIOC3A_A	TXD1/MOSI1/SDA1	—	—	—	—	IRQ5_B
25	17	11	SWDIO	P108	AGTEE1_B	GTETRGB_C/GTCPPO2	GTIOC3B_A	RXD1/MISO1/SCL1/CTS9_RTS9_B/SS9_B	—	—	—	—	IRQ6_C
26	18	12	CLKOUT_B	P109	AGTOA1_B	GTOWUP_A	GTIOC2A_B	SCK1_E/TXD9_B/MOSI9_B/SDA9_B	—	—	—	—	—
27	19	13	VCOUT	P110	AGTIO1_A	GTOWLO_A	GTIOC2B_B	CTS2_RTS2_B/SS2_B/RXD9_B/MISO9_B/SCL9_B	—	—	—	—	IRQ3_A
28	—	—		P111	AGTOA0	—	GTIOC1A_C	SCK2_B/SCK9_B	—	—	—	—	IRQ4_A
29	20	—		P112	AGTOB0	—	GTIOC1B_C	SCK1_D	—	—	—	—	—
30	—	—	VCC		—	—	—	—	—	—	—	—	—
31	—	—	VSS		—	—	—	—	—	—	—	—	—
32	—	—		P104	—	GTETRGB_B	—	RXD0_C/MISO0_C/SCL0_C	—	SSLA1_A	—	—	KRM04/IRQ1_B
33	21	14		P103	—	GTOWUP_B/GTCPPO3	GTIOC2A_A	CTS0_RTS0_A/SS0_A/RXD2_D/MISO2_D/SCL2_D	—	SSLA0_A	AN019	CMPIN1	KRM03/IRQ4_B

表 1.14 端子一覧 (2/2)

端子番号					タイマ			通信インタフェース			アナログ		HMI
LQFP/QFN 48 ピン	LQFP/QFN 32 ピン	LQFP/QFN 24 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGTW	GPT_OPS, POEG	GPT	SCI	IIC	SPI	ADC	ACMPHS	割り込み
34	22	15		P102	AGTO0	GTOWLO_B	GTIOC2B_A	SCK0_A/ TXD2_D/ MOSI2_D/ SDA2_D	—	RSPCKA_A	ADTRG0_A/ AN020	CMPREF0	KRM02/IRQ1_A
35	23	16		P101	AGTEE0	GTOVUP_B	GTIOC1A_B	TXD0_A/ MOSI0_A/ SDA0_A/ CTS1_RTS1_A/ SS1_A	SDA0_C	MOSIA_A	AN021	—	KRM01/IRQ2_A
36	24	17		P100	AGTIO0_A	GTOVLO_B	GTIOC1B_B	RXD0_A/ MISO0_A/ SCL0_A/ SCK1_A	SCL0_D	MISOA_A	AN022	—	KRM00/IRQ0_C
37	—	—		P500	—	GTETRGA_A	GTIOC2A_C	—	—	—	—	—	—
38	25	18		P015	—	GTIU_A	—	—	—	—	AN002（3 チャネル S/H）	CMPIN01	IRQ2_C
39	26	19		P014	—	GTIV_A	—	—	—	—	AN001（3 チャネル S/H）	CMPIN02	IRQ3_B
40	27	20		P013	—	GTIW_A	—	—	—	—	AN000（3 チャネル S/H）	CMPIN03	IRQ1_C
41	28	—		P012	—	—	—	—	—	—	AN007	—	—
42	29	21	AVCC0	AVCC0	—	—	—	—	—	—	—	—	—
43	30	22	AVSS0	AVSS0	—	—	—	—	—	—	—	—	—
44	31	23	VREFL0	P011	—	—	—	—	—	—	AN006	—	—
45	32	24	VREFH0	P010	—	—	—	—	—	—	AN005	—	—
46	—	—		P002	—	—	—	—	—	—	AN010	—	—
47	—	—		P001	—	—	—	—	—	—	AN009	—	IRQ7_A
48	—	—		P000	—	—	—	—	—	—	AN008	—	—

注. いくつかの端子名には、_A、_B、_C、_D、_E、および_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. CPU

本 MCU は、Arm® Cortex®-M23 CPU コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M23
  - リビジョン：r1p0-00rel0
  - Armv8-M アーキテクチャプロファイル
  - メイン拡張機能は非実装
  - シングルサイクル整数乗算器
  - 19 サイクル整数除算器
- メモリプロテクションユニット (MPU)
  - Armv8 保護メモリシステムアーキテクチャ
  - 8 つのメモリ保護領域
- SysTick タイマ
  - SYSTICCLK (LOCO) または ICLK による駆動

詳細は、「2.8. 参考資料」の参考資料 1.および参考資料 2.を参照してください。

2.1.2 デバッグ

- Arm® CoreSight™ MTB-M23
  - リビジョン：r0p0-00rel0
  - バッファサイズ：1 KB／8-KB MTB SRAM 中
- データウォッチポイントユニット (DWT)
  - 2 つのウォッチポイント用コンパレータ
- フラッシュパッチおよびブレークポイントユニット (FPB)
  - 4 つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
  - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
  - リセットコントロール
  - 停止コントロール

詳細は、「2.8. 参考資料」の参考資料 1.および参考資料 2.を参照してください。

2.1.3 動作周波数

MCU の動作周波数は以下のとおりです。

- CPU コア：最高 64 MHz
- シリアルワイヤデバッグ (SWD) インタフェース：最高 12.5 MHz

2.1.4 ブロック図

図 2.1 に Cortex-M23 CPU のブロック図を示します。

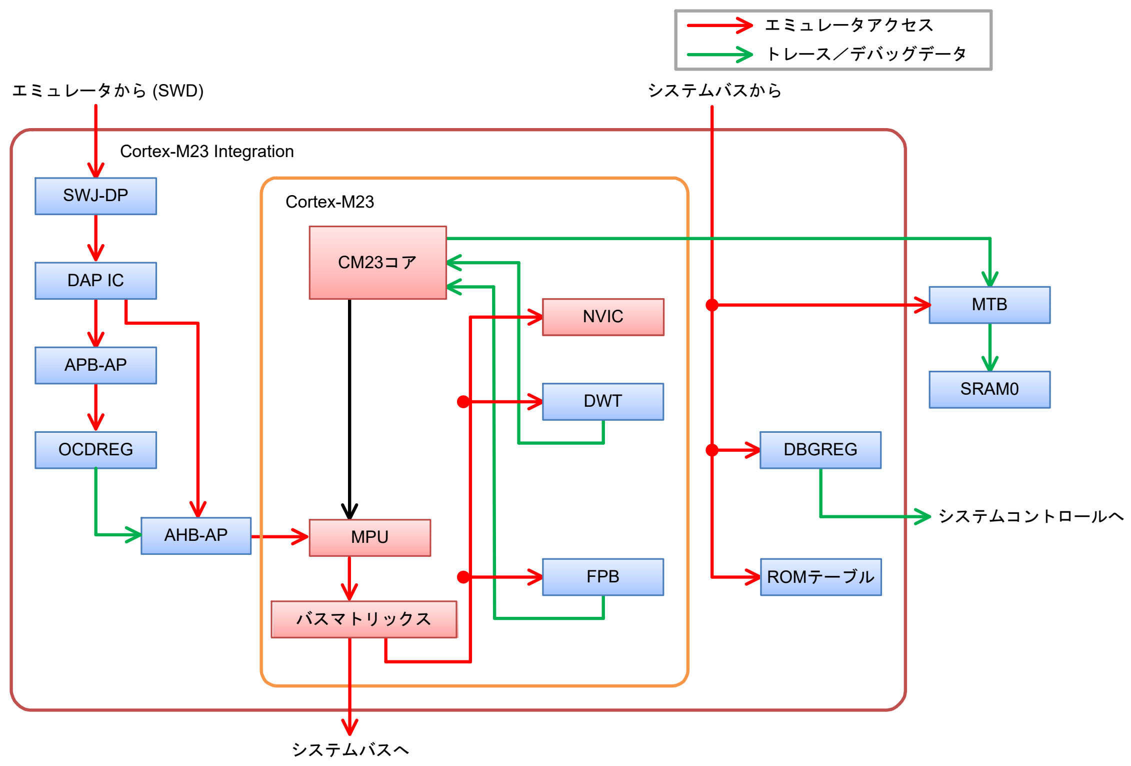


図 2.1 Cortex-M23 CPU のブロック図

2.2 実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1 実装オプション (1/2)

オプション	実装
非セキュア MPU	8 つの保護領域を含む
セキュア MPU	なし
セキュリティ拡張機能	なし
シングルサイクル乗算器	あり
分周器	19 サイクルを含む
割り込み本数	32
ウェイクアップ割り込みコントローラ (WIC) の数	なし
クロストリガインタフェース (CTI)	なし
マイクロトレースバッファ (MTB)	あり
エンベデッドトレースマクロセル (ETM)	なし
シリアルワイヤ用マルチドロップのサポート	サポートなし
スリープモードでの節電	スリープモードや他の低消費電力モードがサポートされています。詳細は、「10. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
エンディアン	リトルエンディアン

表 2.1　実装オプション (2/2)

オプション	実装	
SysTick	あり	
SYST_CALIB レジスタ (0x4000_0147)	ビット[31] = 0 ビット[30] = 1 ビット[29:24] = 0x00 ビット[23:0] = 0x000147	提供される基準クロック TENMS 値が精度異常 予約 TENMS: (32768 × 10 ms) - 1/32.768 kHz = 326.66（10 進数） = 327（スキュー含む） = 0x000147
イベント入力／出力	実装なし	
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットによって CPU リセットを発生	
フォルトでの補助入力 (AUXFAULT)	実装なし	

2.3　SWD インタフェース

表 2.2 に SWD 端子を示します。

表 2.2　SWD 端子

名称	入出力	機能	未使用時の端子処理
SWCLK	入力	シリアルワイヤクロック端子	プルアップ
SWDIO	入出力	シリアルワイヤデータ入出力端子	プルアップ

2.4　デバッグ機能

2.4.1　デバッグモードの定義

表 2.3 に、デバッグモードとその条件を示します。

表 2.3　デバッグモードとその条件

条件		モード	
エミュレータとの接続(注1)	SWD 認証	デバッグモード	デバッグ認証(注2)
未接続	—	ユーザーモード	禁止
接続	不合格	ユーザーモード	禁止
接続	合格	オンチップデバッグ (OCD) モード	許可

注 1.　エミュレータとの接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビットの値で判別されます。このビットはエミュレータによってのみ書き込むことができます。なお、このビットの値は、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。
注 2.　デバッグ認証は、Armv8-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

2.4.2　デバッグモードの影響

デバッグモードの影響を以下に示します。デバッグモードは CPU の内部および外部に影響を与えます。

2.4.2.1　低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモード、スヌーズモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、エミュレータは低消費電力モードが解除されるのを待つ必要があります。この場合、エミュレータは MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は、「2.5.6.3. MCUCTRL : MCU コントロールレジスタ」を参照してください。

2.4.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR レジスタの設定内容に従います。

表 2.4　リセット／割り込みおよびモード設定

リセット／割り込み名称	OCD モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
電圧監視 0 リセット	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 1 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 2 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM パリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
バスマスタ MPU エラーリセット／割り込み	ユーザーモードと同じ	
バススレーブ MPU リセット／割り込み	ユーザーモードと同じ	
スタックポインタエラーリセット／割り込み	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	

注.　「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は停止していないことを意味します。
注 1.　OCD ブレークモードでは IWDT/WDT は常に停止しています。

2.5 プログラマモデル

2.5.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP：CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP：専用のアドレス空間（OCD アドレス空間）を持ち、OCDREG レジスタに接続します。

図 2.2 に AP 接続とアドレス空間のブロック図を示します。

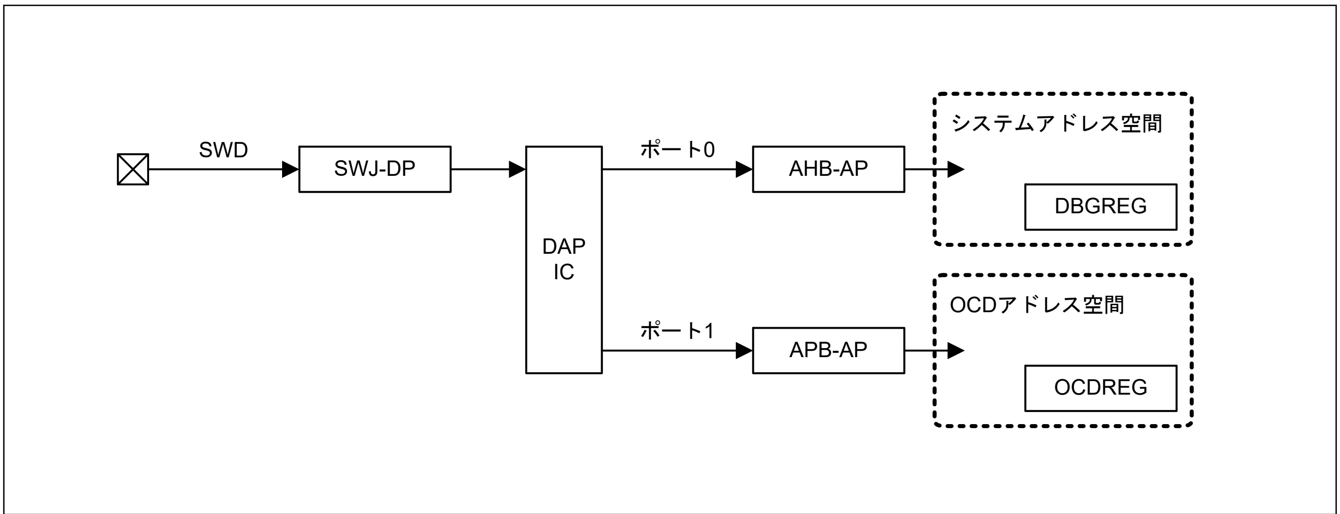


図 2.2　SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。

OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

2.5.2 Cortex-M23 周辺アドレスマップ

システムアドレス空間において、Cortex-M23 には専用周辺バス (PPB) があります。このバスは CPU および OCD エミュレータからのみアクセスが可能です。表 2.5 に MCU のアドレスマップを示します。

表 2.5 Cortex-M23 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	0xE000_1000	0xE000_1FFF	「2.8. 参考資料」にある参考資料 2.を参照してください。
FPB	0xE000_2000	0xE000_2FFF	「2.8. 参考資料」にある参考資料 2.を参照してください。
SCS	0xE000_E000	0xE000_EFFF	「2.8. 参考資料」にある参考資料 2.を参照してください。

2.5.3 外部デバッグアドレスマップ

システムアドレス空間において、Cortex-M23 コアには外部デバッグコンポーネントがあります。これらのコンポーネントは、システムバスを介して CPU および他のバスマスタからアクセスできます。表 2.6 に、Cortex-M23 外部デバッグコンポーネントのアドレスマップを示します。

表 2.6 外部デバッグコンポーネントのアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB（SRAM 領域）	0x2000_4000	0x2000_5FFF	MTB はトレースバッファとして最大 1 KB を使用します。 「2.8. 参考資料」にある参考資料 6.を参照してください。
MTB（SFR 領域）	0x4001_9000	0x4001_9FFF	「2.8. 参考資料」にある参考資料 6.を参照してください。
ROM テーブル	0x4001_A000	0x4001_AFFF	「2.8. 参考資料」にある参考資料 6.を参照してください。

2.5.4 CoreSight ROM テーブル

本 MCU には、1 つの CoreSight ROM テーブルがあり、それはユーザー領域に実装されている全コンポーネントのリストです。

2.5.4.1 ROM エントリ

表 2.7 に ROM エントリを示します。OCD エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	（ROM テーブルの終了マーカ）

2.5.4.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.8 にこれらのレジスタを示します。各レジスタの詳細は、「2.8. 参考資料」の参考資料 5.を参照してください。

表 2.8　CoreSight ROM テーブルの CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32 ビット	R	0x00000001
PIDR4	0x4001_AFD0	32 ビット	R	0x00000004
PIDR5	0x4001_AFD4	32 ビット	R	0x00000000
PIDR6	0x4001_AFD8	32 ビット	R	0x00000000
PIDR7	0x4001_AFDC	32 ビット	R	0x00000000
PIDR0	0x4001_AFE0	32 ビット	R	0x00000069
PIDR1	0x4001_AFE4	32 ビット	R	0x00000030
PIDR2	0x4001_AFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_AFEC	32 ビット	R	0x00000000
CIDR0	0x4001_AFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_AFF4	32 ビット	R	0x00000010
CIDR2	0x4001_AFF8	32 ビット	R	0x00000005
CIDR3	0x4001_AFFC	32 ビット	R	0x000000B1

2.5.5　DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.9 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスタ一覧です。

表 2.9　CoreSight 以外の DBGREG のレジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	R/W

2.5.5.1　DBGSTR : デバッグステータスレジスタ

Base address:　DBG = 0x4001_B000

Offset address:　0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0:　エミュレータはデバッグパワーアップを要求していない 1:　エミュレータはデバッグパワーアップを要求した	R

ビット	シンボル	機能	R/W
29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

2.5.5.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD2	DBGSTOP_LVD1	DBGSTOP_LVD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT	DBGSTOP_IWDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウントを停止	R/W
1	DBGSTOP_WDT	OCD RUN モードでの WDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT カウンタは停止します。 0: WDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウントを停止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DBGSTOP_LVD0	LVD0 リセット用のマスク 0: LVD0 リセットを許可 1: LVD0 リセットをマスク	R/W
17	DBGSTOP_LVD1	LVD1 リセット／割り込み用のマスク 0: LVD1 リセット／割り込みを許可 1: LVD1 リセット／割り込みをマスク	R/W
18	DBGSTOP_LVD2	LVD2 リセット／割り込み用のマスク 0: LVD2 リセット／割り込みを許可 1: LVD2 リセット／割り込みをマスク	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DBGSTOP_RPER	SRAM パリティエラーリセット／割り込み用のマスク 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。MCU が OCD モードではない場合、本レジスタのすべてのビットは 0 と見なされます。

2.5.5.3 DBGREG の CoreSight コンポーネントレジスタ

DBGREG は、Arm®CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを含んでいます。表 2.10 にこれらのレジスタを示します。各レジスタの詳細は、「2.8. 参考資料」の参考資料 4.を参照してください。

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000001A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

2.5.6 OCDREG

OCDREG モジュールは、オンチップデバッグ (OCD) エミュレータのみがアクセス可能です。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 は OCDREG のレジスタ一覧です。

表 2.11 OCDREG のレジスタ一覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート 1	0x8000_0000	32 ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート 1	0x8000_0100	32 ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート 1	0x8000_0200	32 ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート 1	0x8000_0300	32 ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8000_0410	32 ビット	R/W

注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。「2.5.2. Cortex-M23 周辺アドレスマップ」を参照してください。

2.5.6.1 IAUTHn : ID 認証コードレジスタ n (n = 0～3)

IAUTHn (n = 0～3) レジスタは、128 ビットキーのための認証レジスタです。これら 4 つのレジスタは、IAUTHn (n = 0～3) の順序で書き込む必要があります。

これらのレジスタの初期値はすべて 0xFFFFFFFF です。これは、OSIS レジスタの ID コードが初期値の場合、SWD アクセスが許可されることを意味します。「2.7.1. アンロック ID コード」を参照してください。

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x000 + 0x100 × n

Bit position:	31																														0
Bit field:	IAUTHn: AID (32+32×n -1)～(32×n) ビット																														
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

2.5.6.2　MCUSTAT : MCU ステータスレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	AUTH
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	機能	R/W
0	AUTH	デバッガ認証フラグ 0: 認証失敗 1: 認証成功	R
1	CPUSLEEP	スリープモード状態フラグ 0: CPU はスリープモードではない 1: CPU はスリープモードである	R
2	CPUSTOPCLK	CPU クロック状態 0: CPU へのクロックを供給中 1: CPU へのクロックは停止中	R
31:3	—	読むと 0 が読めます。	R

注 1.　MCU の状態に依存します。

2.5.6.3　MCUCTRL : MCU コントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EDBGRQ	外部デバッグ要求 EDBGRQ ビットに 1 を書き込むと、CPU が停止します。EDBGRQ ビットは、EDBGRQ ビットに 0 を書く、または CPU が停止するのどちらかの条件でクリアされます。 0: デバッグイベントを要求しない 1: デバッグイベントを要求する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBIRQ	デバッグ割り込み要求 DBIRQ ビットに 1 を書き込むと、MCU は低消費電力モードから復帰します。DBIRQ ビットに 0 を書き込むと、DBIRQ ビットはクリアされます。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. DBIRQ ビットと EDBGRQ ビットは同じ値にしてください。

2.5.6.4 OCDREG の CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.12 は、これらのレジスタの一覧です。各レジスタの詳細は、「2.8. 参考資料」の参考資料 4.を参照してください。

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1

2.6 SysTick タイマ

本 MCU は、簡易的な 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。このタイマは、ICLK または SYSTICCLK 基準クロックを選択できます。詳細は、「8. クロック発生回路」および「2.8. 参考資料」の参考資料 1.を参照してください。

2.7 OCD エミュレータ接続

本 MCU は、デバッグ時のチップリソースへのアクセス許可をチェックするための SWD 認証機構を搭載しています。全デバッグ機能を許可するには、この認証を合格することが必要です。

図 2.3 に SWD 認証機構のブロック図を示します。

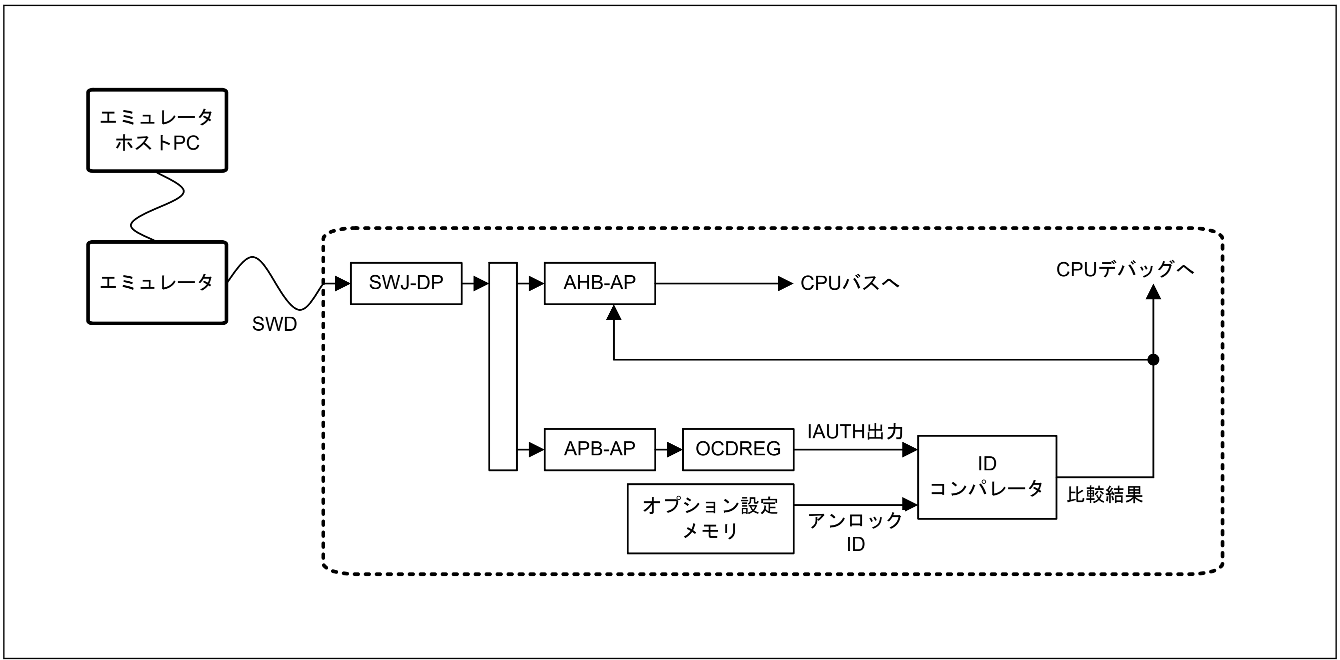


図 2.3　SWD 認証機構のブロック図

本 MCU には SWD 認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力値と、オプション設定メモリの OCD／シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれている 128 ビットのアンロック ID コードを比較します。これら 2 つの出力値が同一であると SWD 認証が合格となり、CPU デバッグ機能と、エミュレータからのシステムバスアクセスが許可されます。

エミュレータは SWD 認証合格後、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを設定する必要があります。また、エミュレータは DBGEN ビットをクリアしないと切断されません。「10.2.11. SYOCDCR : システムコントロール OCD コントロールレジスタ」の説明を参照してください。

2.7.1　アンロック ID コード

アンロック ID コードは、CPU デバッグ機能とシステムバスアクセスの許可を判定するために用いられます。アンロック ID コードが IAUTH0 〜 IAUTH3 レジスタに書き込まれた 128 ビットデータと一致した場合、SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD／シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (0xFFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF) です。OSIS レジスタの詳細は「6. オプション設定メモリ」を参照してください。

2.7.2　DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは切断する前に DBGEN ビットをクリアする必要があります。詳細は、「10. 低消費電力モード」を参照してください。

2.7.3　OCD エミュレータ接続における制限

本節では、エミュレータアクセスにおける制限を説明します。

2.7.3.1　低消費電力モードにおける接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU は通常モードかスリープモードでなければいけません。MCU がソフトウェアスタンバイモードかスヌーズモードであると、 OCD エミュレータは MCU をハングさせる場合があります。

2.7.3.2　OCD モード中の低消費電力モードの変更

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモード、スヌーズモードでは禁止されます。これらのモードでは、

SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.13 に制約事項を示します。

表 2.13　各モードの制限

現在のモード	OCD エミュレータの接続開始	低消費電力モードの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.DBIRQ ビットを用いることで、エミュレータは CPU の実行を開始することなく、本 MCU を復帰させることが可能です。

2.7.3.3　OSIS レジスタにおけるアンロック ID コードの変更

OSIS レジスタにおいてアンロック ID コードを変更した場合、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本 MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。システムコントロールブロックについては、「2.8. 参考資料」の 2.を参照してください。

エミュレータは、リセットする直前に変更後のアンロック ID コードを IAUTH0～IAUTH3 レジスタに設定しておく必要があります。IAUTH0～IAUTH3 レジスタを書き換えると、SYSRESETREQ ビットは書き換え不可となりますので、RES 端子をアサートして本 MCU をリセットしてください。

2.7.3.4　接続順序と SWD 認証

エミュレータとの接続は SWD 認証機構で保護されているため、SWD 認証レジスタに対しアンロック ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS レジスタの値によって、アンロック ID コードの入力が必要かどうか決まります。RES 端子の解除後、コールドスタート時の OSIS レジスタ値を比較する前に待機時間が必要です。「35.3.3. リセットタイミング」を参照してください。以下に SWD 認証プロセスの詳細を示します。

(1)　OSIS レジスタの MSB が 0（ビット[127] = 0）の場合

ID コードは常に不一致であり、エミュレータへの接続は禁止されます。

(2)　OSIS レジスタのビットがすべて 1 の場合（初期値）

ID 認証は不要であり、OCD エミュレータは認証なしで AHB-AP を使用できます。AHB-AP を使用するための詳細設定については、「2.8. 参考資料」の参考資料 4.を参照してください。

1. SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするように SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWRUPACK がアサートされるまで待機します。
3. システムアドレス空間にアクセスするように AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3)　OSIS[127:126] = 10b の場合

ID 認証が必要であり、OCD は OCDREG の IAUTH0～IAUTH3 レジスタにアンロック ID コードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。

2. DAP バスにアクセスするように SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWRUPACK がアサートされるまで待機します。
3. OCDREG にアクセスするように APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH0～IAUTH3 レジスタに 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS レジスタの値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビットまたは AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
   - DbgStatus ビットが 1 の場合、128 ビット ID コードは OSIS 値と一致しています。AHB 転送は許可されます。
   - DbgStatus ビットが 0 の場合、128 ビット ID コードは OSIS 値と一致していません。AHB 転送は許可されません。
6. システムアドレス空間にアクセスするように AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(4) OSIS[127:126] = 11b の場合

OCD 認証が必要であり、OCD は OCDREG の IAUTH0～IAUTH3 レジスタにアンロックコードを書き込む必要があります。「ALeRASE」能力を除き、接続シーケンスは OSIS[127:126] = 10b の場合と同じです。

IAUTH0～IAUTH3 レジスタが ASCII コード「ALeRASE」の場合、コードフラッシュ、データフラッシュおよび設定領域のコンテンツが同時に消去されます。詳細は、「33. フラッシュメモリ」を参照してください。

ALeRASE シーケンスは以下のとおりです。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするように SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWRUPACK がアサートされるまで待機します。
3. OCDREG にアクセスするように APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH0～IAUTH3 レジスタに 128 ビット ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コード「ALeRASE」 (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、コードフラッシュ、データフラッシュおよび設定領域のコンテンツが消去されます。その後、MCU はスリープモードに遷移します。

2.8 参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI 0553B.a)
2. *ARM® Cortex®-M23 Processor Technical Reference Manual* (ARM DDI 0550C)
3. *ARM® Cortex®-M23 Device Generic User Guide* (ARM DUI 1095A)
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480G)
5. *ARM® CoreSight™ Architecture Specification* (ARM IHI 0029E)
6. *ARM® CoreSight™ MTB-M23 Technical Reference Manual* (ARM DDI 0564C)

2.9 使用上の注意事項

セキュリティ MPU が有効であると、メモリのデバッグはできません。プログラムをデバッグする場合、セキュリティ MPU を無効にしてください。SECMPUAC レジスタが 0xFFFF_FFFF の場合、OCD エミュレータ接続のみ有効です。

3. 起動モード

3.1 起動モードの種類と選択

表 3.1 は起動モード設定端子による起動モードの選択を示しています。各起動モードの詳細は、「3.2. 起動モードの説明」を参照してください。内蔵フラッシュメモリが有効な場合、起動モードにかかわらず起動します。

表 3.1 起動モード設定端子による起動モードの選択

起動モード設定端子 (MD)	起動モード
1	シングルチップモード
0	SCI ブートモード

3.2 起動モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「33. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

3.3 起動モード遷移

3.3.1 モード設定端子による起動モード遷移

MD 端子の設定による起動モード遷移について、 図 3.1 に状態遷移図を示します。

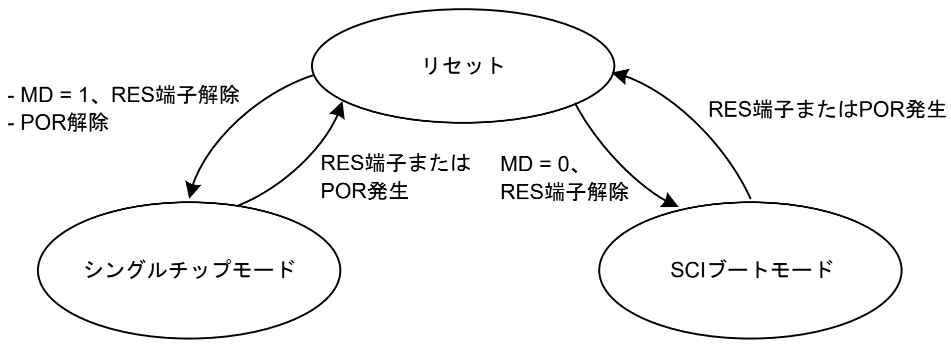
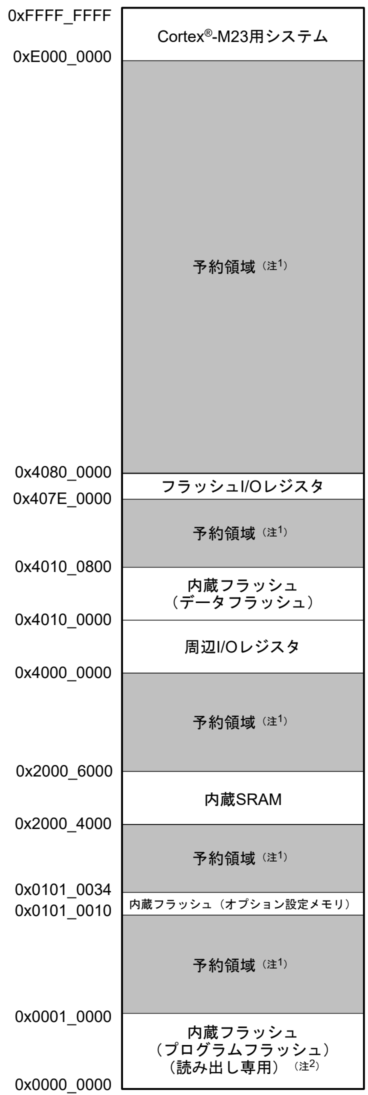


図 3.1 起動モード設定端子のレベルと起動モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。図 4.1 に 64 KB フラッシュ製品のメモリマップを示します。



注 1. 予約領域にアクセスしないでください。
注 2. 一部の領域はオプション設定メモリとして予約されています。領域についての詳細は、「6. オプション設定メモリ」を参照してください。

図 4.1 メモリマップ

5. リセット

5.1 概要

本 MCU は、12 種類のリセットをサポートしています。表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇（電圧検出：V_{POR}）(注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降（電圧検出：V_{det0}）(注1)
電圧監視 1 リセット	VCC の下降（電圧検出：V_{det1}）(注1)
電圧監視 2 リセット	VCC の下降（電圧検出：V_{det2}）(注1)
SRAM パリティエラーリセット	SRAM パリティエラーの検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラーの検出
CPU スタックポインタエラーリセット	CPU スタックポインタエラーの検出
ソフトウェアリセット	レジスタ設定（Arm®ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）

注 1. 監視電圧 (V_{POR}, V_{det0}, V_{det1}, V_{det2}) の詳細については、「7. 低電圧検出回路 (LVD)」と「35. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種別ごとの初期化対象を示します。

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (1/5)

初期化対象フラグ	リセット要因				
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	✓	✓	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	✓	✓	✓	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	✓	✓	✓	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	✓	✓	✓	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	✓	✓	✓	—	—
バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	✓	✓	✓	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	✓	✓	✓	—	—

表 5.2　リセット要因ごとの初期化対象リセット検出フラグ (2/5)

初期化対象フラグ	リセット要因				
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	✓	✓	✓	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—

表 5.2　リセット要因ごとの初期化対象リセット検出フラグ (3/5)

初期化対象フラグ	リセット要因			
	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—	—
バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	—	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	—	—	—	—
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—

表 5.2　リセット要因ごとの初期化対象リセット検出フラグ (4/5)

初期化対象フラグ	リセット要因		
	バスマスタ MPU エラーリセット	バススレーブ MPU エラーリセット	CPU スタックポインタエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—

表 5.2　リセット要因ごとの初期化対象リセット検出フラグ (5/5)

初期化対象フラグ	リセット要因		
	バスマスタ MPU エラーリセット	バススレーブ MPU エラーリセット	CPU スタックポインタエラーリセット
バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	—	—	—
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—

注.　✓ : 初期化される
　　— : 初期化されない

表 5.3　リセット要因ごとの初期化対象モジュール関連レジスタ (1/4)

初期化対象レジスタ		リセット要因				
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	✓	✓	✓	✓	✓
	LVD1CR1/LVD1SR	✓	✓	✓	✓	✓
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	✓	✓	✓	✓	✓
	LVD2CR1/LVD2SR	✓	✓	✓	✓	✓
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓	✓	✓
	LOCOUTCR	—	✓	✓	—	—
MOSC 関連のレジスタ	MOMCR	✓	✓	✓	✓	✓
AGT 関連のレジスタ		—	✓	✓	—	—
MPU 関連のレジスタ		✓	✓	✓	✓	✓
端子状態		✓	✓	✓	✓	✓
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓

表 5.3　リセット要因ごとの初期化対象モジュール関連レジスタ (2/4)

初期化対象レジスタ		リセット要因			
		電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	—	—	—	—
	LVD1CR1/LVD1SR	—	—	—	—

表 5.3　リセット要因ごとの初期化対象モジュール関連レジスタ (3/4)

初期化対象レジスタ		リセット要因			
		電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	—	—	—	—
	LVD2CR1/LVD2SR	—	—	—	—
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓	✓
	LOCOUTCR	✓	✓	—	—
MOSC 関連のレジスタ	MOMCR	✓	✓	✓	✓
AGT 関連のレジスタ		✓	✓	—	—
MPU 関連のレジスタ		✓	✓	✓	✓
端子状態		✓	✓	✓	✓
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓

表 5.3　リセット要因ごとの初期化対象モジュール関連レジスタ (4/4)

初期化対象レジスタ		リセット要因		
		バスマスタ MPU エラーリセット	バススレーブ MPU エラーリセット	CPU スタックポインタエラーリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	—	—	—
	LVD1CR1/LVD1SR	—	—	—
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	—	—	—
	LVD2CR1/LVD2SR	—	—	—
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓
	LOCOUTCR	—	—	—
MOSC 関連のレジスタ	MOMCR	✓	✓	✓
AGT 関連のレジスタ		—	—	—
MPU 関連のレジスタ		—	—	—
端子状態		✓	✓	✓
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓

注.　✓ : 初期化される
　　— : 初期化されない

表 5.4 にリセット発生時の LOCO の状態を示します。

表 5.4　リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1/LVD2	その他
LOCO	有効／無効	初期化（有効）	

リセットが解除されると、リセット例外処理を開始します。

表 5.5 にリセット機能に関連する端子を示します。

表 5.5　　リセット関連の端子

端子名	入出力	機能
RES	入力	リセット端子

5.2　　レジスタの説明

5.2.1　　RSTSR0 : リセットステータスレジスタ 0

Base address:　SYSC = 0x4001_E000

Offset address:　0x410

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
Value after reset:	0	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0:　パワーオンリセット未検出 1:　パワーオンリセット検出	R/W(注2)
1	LVD0RF	電圧監視 0 リセット検出フラグ 0:　電圧監視 0 リセット未検出 1:　電圧監視 0 リセット検出	R/W(注2)
2	LVD1RF	電圧監視 1 リセット検出フラグ 0:　電圧監視 1 リセット未検出 1:　電圧監視 1 リセット検出	R/W(注2)
3	LVD2RF	電圧監視 2 リセット検出フラグ 0:　電圧監視 2 リセット未検出 1:　電圧監視 2 リセット検出	R/W(注2)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　リセット後の値は、リセット要因で異なります。

注 2.　本レジスタは「5.1. 概要」に示すリセットが発生した時、およびフラグをクリアするための 0 書き込みによりクリアされます。クリアしたいフラグ以外は 1 を書き込む必要があります

PORF フラグ（パワーオンリセット検出フラグ）

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- PORF から 1 を読み出した後に、0 を書き込んだとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

LVD0RF フラグは VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- LVD0RF から 1 を読み出した後に、0 を書き込んだとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

LVD1RF フラグは VCC 電圧が V_{det1} レベル以下になったことを示します。

［1 になる条件］

- 電圧監視 1 リセットが発生したとき

［0 になる条件］

- 「5.1. 概要」に示すリセットが発生したとき
- LVD1RF から 1 を読み出した後に、0 を書き込んだとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

LVD2RF フラグは VCC 電圧が V_{det2} レベル以下になったことを示します。

［1 になる条件］

- 電圧監視 2 リセットが発生したとき

［0 になる条件］

- 「5.1. 概要」に示すリセットが発生したとき
- LVD2RF から 1 を読み出した後に、0 を書き込んだとき

5.2.2 RSTSR1 : リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPERF	BUSMRF	BUSSRF	—	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
Value after reset:	0	0	0	x(注1)	x(注1)	x(注1)	0	x(注1)	0	0	0	0	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDTRF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W(注2)
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RPERF	SRAM パリティエラーリセット検出フラグ 0: SRAM パリティエラーリセット未検出 1: SRAM パリティエラーリセット検出	R/W(注2)
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSSRF	バススレーブ MPU エラーリセット検出フラグ 0: バススレーブ MPU エラーリセット未検出 1: バススレーブ MPU エラーリセット検出	R/W(注2)
11	BUSMRF	バスマスタ MPU エラーリセット検出フラグ 0: バスマスタ MPU エラーリセット未検出 1: バスマスタ MPU エラーリセット検出	R/W(注2)

ビット	シンボル	機能	R/W
12	SPERF	CPU スタックポインタエラーリセット検出フラグ 0: CPU スタックポインタエラーリセット未検出 1: CPU スタックポインタエラーリセット検出	R/W(注2)
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　リセット後の値は、リセット要因で異なります。
注 2.　フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して IWDTRF に 0 を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

WDTRF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して WDTRF に 0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して SWRF に 0 を書いたとき

RPERF フラグ（SRAM パリティエラーリセット検出フラグ）

RPERF フラグは SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して RPERF に 0 を書いたとき

BUSSRF フラグ（バススレーブ MPU エラーリセット検出フラグ）

BUSSRF フラグはバススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して BUSSRF に 0 を書いたとき

BUSMRF フラグ（バスマスタ MPU エラーリセット検出フラグ）

BUSMRF フラグはバスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して BUSMRF に 0 を書いたとき

SPERF フラグ（CPU スタックポインタエラーリセット検出フラグ）

SPERF フラグはスタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1 を読み出して SPERF に 0 を書いたとき

5.2.3 RSTSR2 : リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x411

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。CWSF フラグはパワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切られ、本 MCU はリセット状態になります。適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

詳細は、「35. 電気的特性」を参照してください。

5.3.2 パワーオンリセット

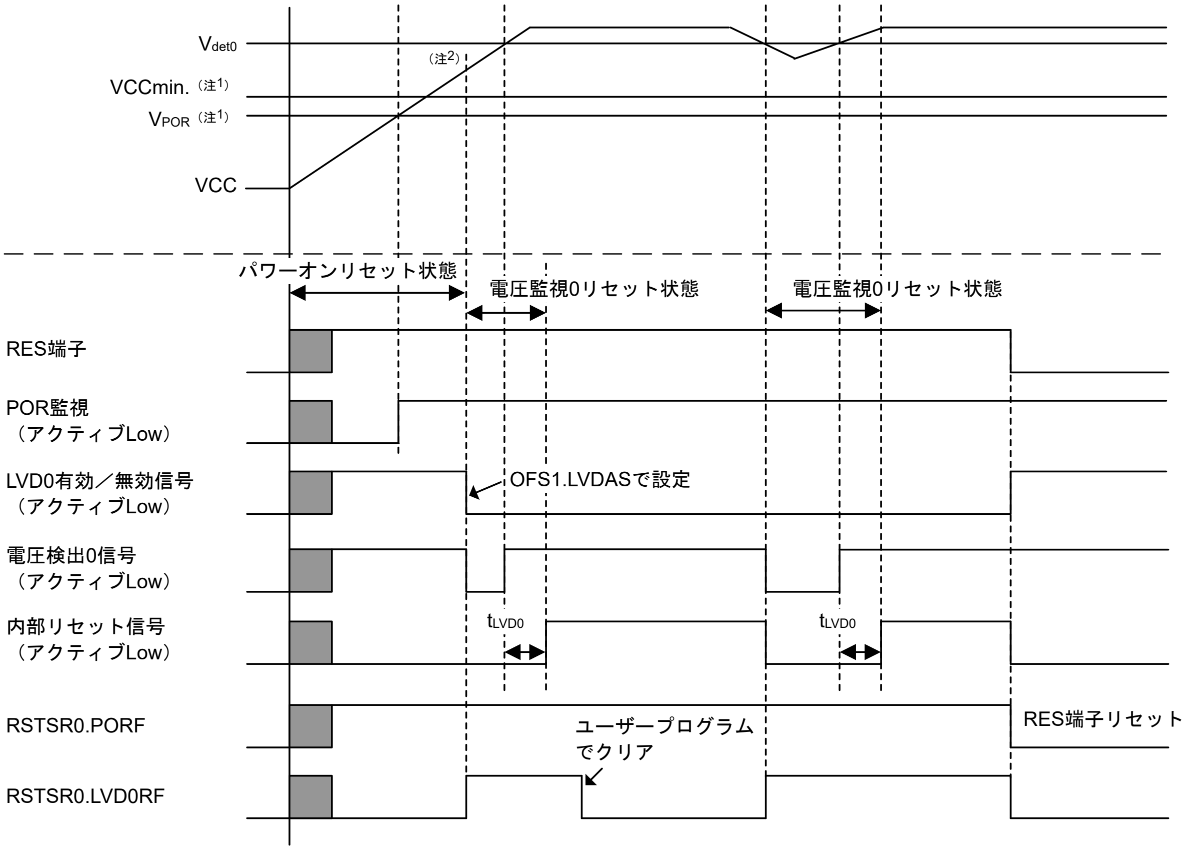
パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が V_{POR} 電圧より低下した場合

パワーオンリセット中に VCC 電圧が V_{POR} 電圧を超えると、パワーオンリセット時間 (t_{POR}) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源が安定し、かつ本 MCU が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。VCC 電圧が V_{POR} を下回った場合、パワーオンリセット状態となります。

図 5.1 に、パワーオンリセット時の動作例を示します。



注.　電気的特性についての詳細は、「35. 電気的特性」を参照してください。
注 1.　V_{POR} はパワーオンリセット回路の電圧検出レベル、VCCmin は MCU の最低保証動作電圧を表します。
注 2.　電源立ち上がり時、パワーオンリセットが解除されるまでに VCC が最低保証動作電圧以上まで上昇している必要があります。

図 5.1　パワーオンリセット時の動作例

5.3.3 電圧監視リセット

電圧監視 i リセット (i = 0, 1, 2) は、電圧監視 i 回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧監視 1 回路によるリセット／割り込み有効）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC の電圧が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧監視 1 回路は電圧監視 1 リセットを発生させます。

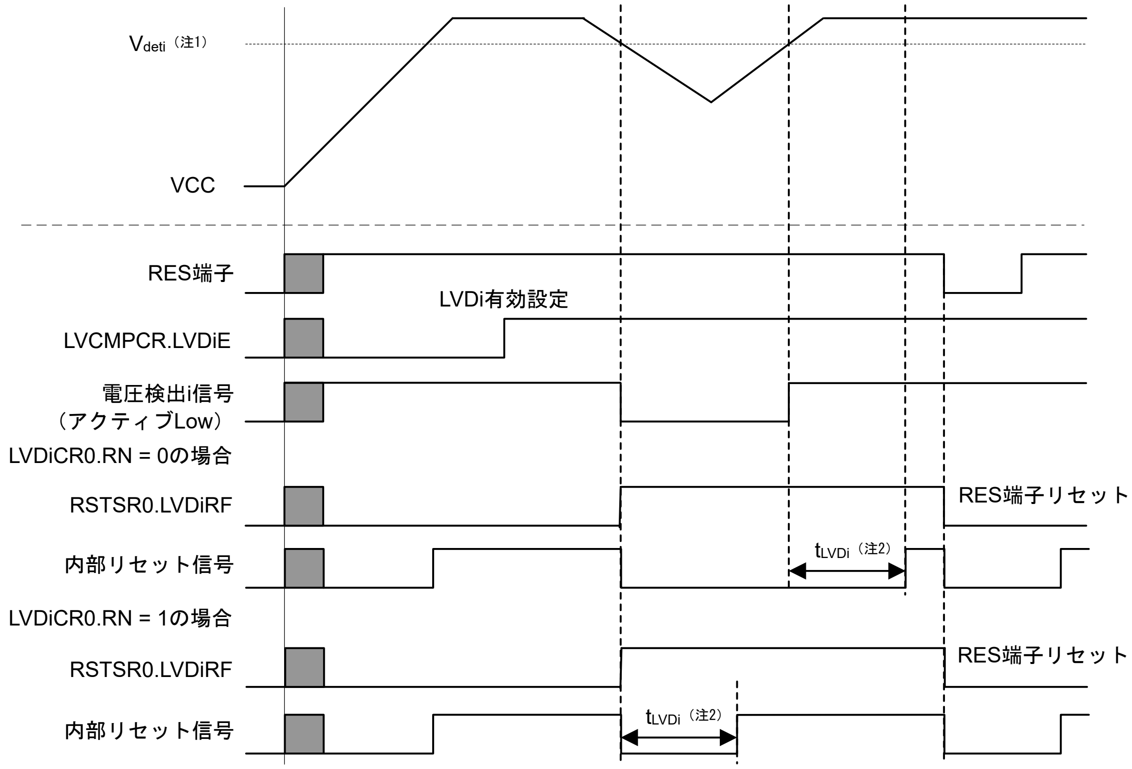
電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧監視 2 回路によるリセット／割り込み有効）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC の電圧が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧監視 2 回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC の電圧が V_{det1} 以下になっている場合、V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC の電圧が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングは、LDV2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

電圧検出レベル選択レジスタ (LVDLVLR) により、V_{det1} および V_{det2} の検出レベルは変更可能です。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出回路 (LVD)」を参照してください。



注.　電気的特性の詳細は、「35. 電気的特性」を参照してください。
注 1.　V_{deti} は、電圧監視 i リセットの検出レベルを表しています (i = 1, 2)。
注 2.　t_{LVDi} は、電圧監視 i リセット時間を表しています (i = 1, 2)。

図 5.2　電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4　独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。 オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

5.3.5　ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォ

ッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

5.3.6　ソフトウェアリセット

ソフトウェアリセットは、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間（t_{RESW2}）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM® Cortex®-M23 Technical Reference Manual* を参照してください。

5.3.7　コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.3 にコールドスタート／ウォームスタート判定機能の動作例を示します。

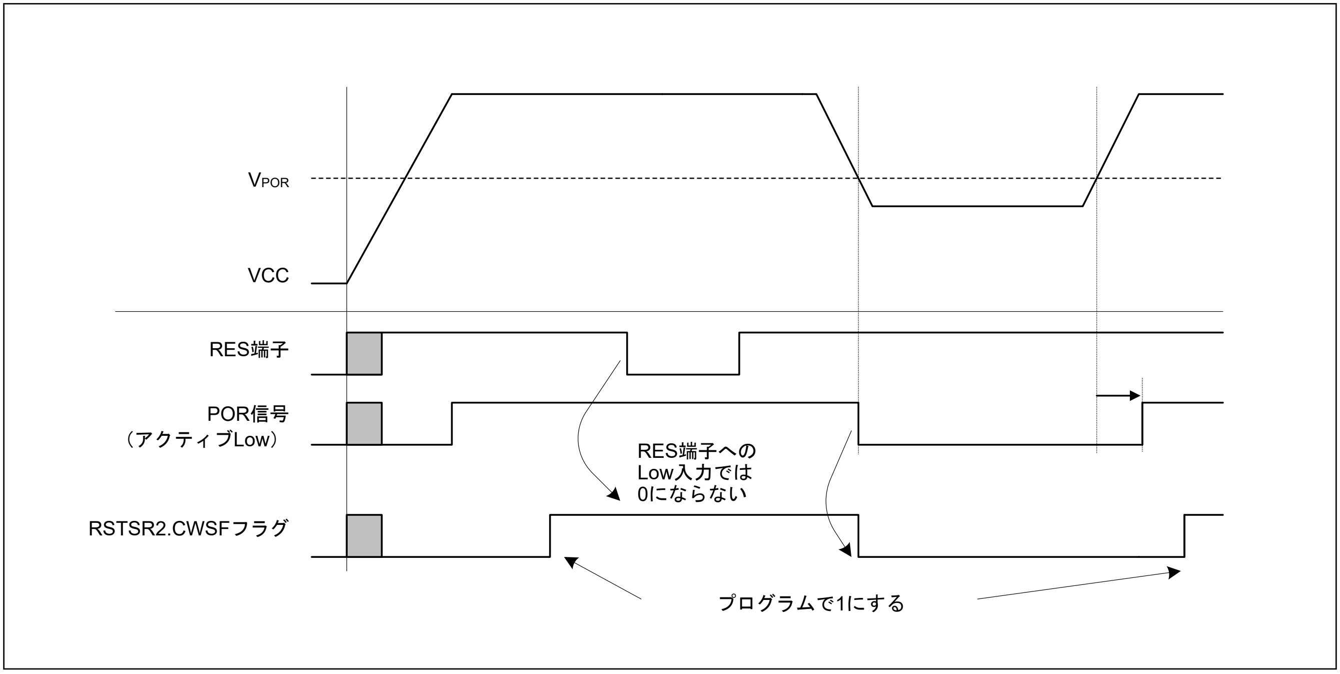
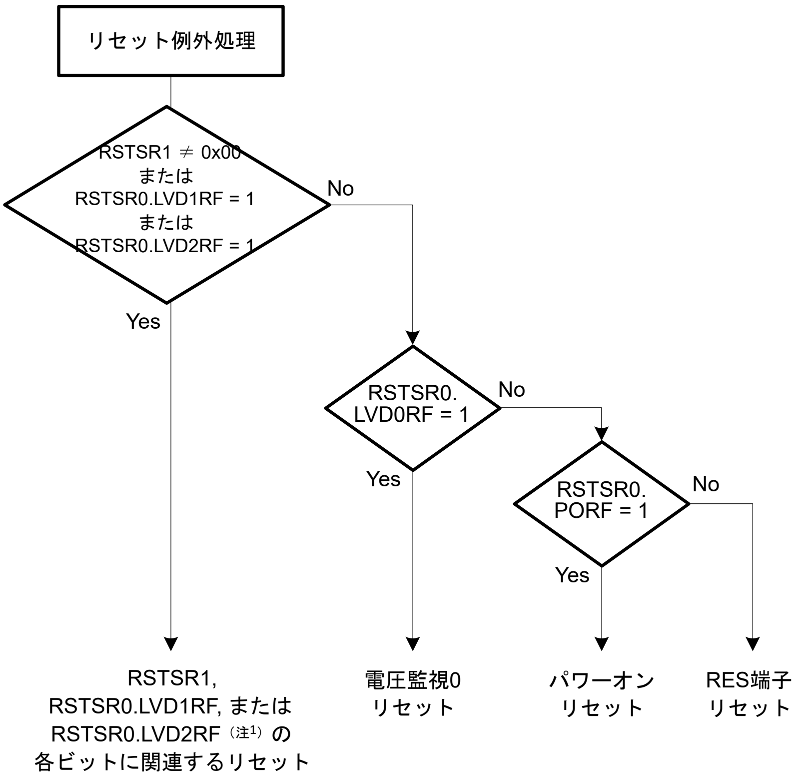


図 5.3　コールドスタート／ウォームスタート判定機能の動作例

5.3.8　リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、クリアするフラグ以外は 1 を書いてください。



注 1. 複数のリセット要因が同時に発生した場合は、複数のリセットフラグが 1 になります。

図 5.4 リセット発生要因の判定フロー例

5.4 使用上の注意

5.4.1 RES 端子リセットの注意事項

以下の条件で RES 端子リセットを使用すると、パワーオンリセットが発生する場合があります。

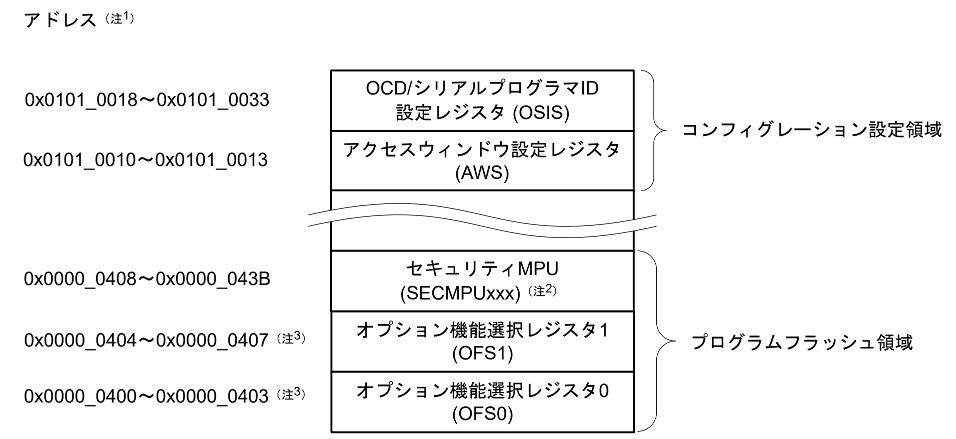
- VCC ≦ 1.7 V のとき
- 電圧検出 0 回路が使用可能なとき

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域に配置されます。これら 2 つの領域では設定方法が異なります。

図 6.1 にオプション設定メモリ領域を示します。



注 1. オプション設定メモリは、フラッシュメモリのユーザーエリアに配置する必要があります。
注 2. 詳細は、表 6.2 を参照してください。
注 3. ブートスワップが設定された時は、それらのレジスタのアドレスが変わります。詳細は、「6.2.1. OFS0 : オプション機能選択レジスタ 0」、「6.2.2. OFS1 : オプション機能選択レジスタ 1」、「6.2.3. MPU レジスタ」を参照してください。

図 6.1　　オプション設定メモリの領域

6.2 レジスタの説明

6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0000_0400, 0x0000_2400(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDTSTPCTL	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
Value after reset:	ユーザー設定値(注2)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDTSTPCTL	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
Value after reset:	ユーザー設定値(注2)															

ビット	シンボル	機能	R/W
0	—	読むと設定値が読めます。	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態	R

ビット	シンボル	機能	R/W
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDTRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDTRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDTRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
13	—	読むと設定値が読めます。	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
16:15	—	読むと設定値が読めます。	R
17	WDTSTRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R
19:18	WDTTOPS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDTCKS[3:0]	WDT クロック分周比選択 0x1: WDTCLK/4 0x4: WDTCLK/64 0xF: WDTCLK/128 0x6: WDTCLK/512 0x7: WDTCLK/2048 0x8: WDTCLK/8192 その他: 設定禁止	R
25:24	WDTRPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDTRPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R

ビット	シンボル	機能	R/W
28	WDTRSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	読むと設定値が読めます。	R
30	WDTSTPCTL	WDT 停止制御 0: カウント継続 1: スリープモード遷移時にカウント停止	R
31	—	読むと設定値が読めます。	R

注 1.　ブーストスワップを設定すると、本レジスタのアドレスが変更されます。そのため、ブーストスワップが使用されている場合は 0x0000_2400 および 0x0000_0400 を同じ値に設定します。
注 2.　未書き込み状態では、0xFFFFFFFF です。

IWDTSTRT ビット（IWDT スタートモード選択）

IWDTSTRT ビットは、リセット後の IWDT の起動モード（停止状態、またはオートスタートモード）が選択できます。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせにより決定されます。

詳細は「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットは、IWDT 専用クロックを分周するプリスケーラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0]ビットと組み合わせて、IWDT のカウント期間を 128～524288 サイクルの間で設定できます。

詳細は「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、IWDTTOPS[1:0]ビットの設定により変わります。

詳細は「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

IWDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットはスリープモード、スヌーズモード、ソフトウェアスタンバイモード遷移時のカウント停止を選択します。

表 6.1 に IWDTSTPCTL ビットによるカウント停止制御を示します。

表 6.1　IWDTSTPCTL ビットによるカウント停止制御

IWDTSTPCTL	モード	IWDT カウント
0	スリープ／スヌーズ／ソフトウェアスタンバイモード	カウント継続
1	スリープ／スヌーズ／ソフトウェアスタンバイモード	カウント停止

詳細は「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDTSTRT ビット（WDT スタートモード選択）

WDTSTRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0]ビット（WDT タイムアウト期間選択）

WDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、WDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で選択します。リフレッシュ後、アンダーフローするまでの WDTCLK サイクル数は、WDTCKS[3:0]ビットと WDTTOPS[1:0]ビットの組み合わせで決定されます。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

WDTCKS[3:0]ビット（WDT クロック分周比選択）

WDTCKS[3:0]ビットは WDTCLK を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。これらのビット設定を WDTTOPS[1:0]ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの WDTCLK サイクル数に設定可能です。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPES[1:0]ビット（WDT ウィンドウ終了位置選択）

WDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0]、WDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、WDTTOPS[1:0]ビットの設定により変わります。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPSS[1:0]ビット（WDT ウィンドウ開始位置選択）

WDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、

それ以外はリフレッシュ禁止期間となります。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRSTIRQS ビット（WDT リセット割り込み要求選択）

WDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

WDTSTPCTL ビット（WDT 停止制御）

WDTSTPCTL ビットはスリープモード遷移時のカウント停止を選択します。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.2 OFS1 : オプション機能選択レジスタ 1

Address: 0x0000_0404, 0x0000_2404(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ICSATS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注2)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	HOCOFRQ1[2:0]			—	—	—	HOCOEN	—	—	VDSEL0[2:0]			LVDAS	—	—
Value after reset:	ユーザー設定値(注2)															

ビット	シンボル	機能	R/W
1:0	—	読むと設定値が読めます。	R
2	LVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
5:3	VDSEL0[2:0]	電圧検出 0 レベル選択(注3) 0 0 0: V_{det0_0} 0 0 1: V_{det0_1} 0 1 0: V_{det0_2} 0 1 1: V_{det0_3} 1 0 0: V_{det0_4} その他: 設定禁止	R
7:6	—	読むと設定値が読めます。	R
8	HOCOEN	HOCO 発振有効 0: リセット中に HOCO が自動的に発振開始 1: リセット中に HOCO は発振しない	R
11:9	—	読むと設定値が読めます。	R
14:12	HOCOFRQ1[2:0]	HOCO 周波数設定 1 0 0 0: 24 MHz 0 1 0: 32 MHz 1 0 0: 48 MHz 1 0 1: 64 MHz その他: 設定禁止	R
30:15	—	読むと設定値が読めます。	R
31	ICSATS	内部クロック供給アーキテクチャタイプ選択 0: 内部クロック供給アーキテクチャタイプ B 1: 内部クロック供給アーキテクチャタイプ A	R

注 1. ブーストスワップを設定すると、本レジスタのアドレスが変更されます。そのため、ブーストスワップが使用されている場合は 0x0000_2404 および 0x0000_0404 を同じ値に設定します。
注 2. 未書き込み状態では、0xFFFFFFFF です。
注 3. 各電圧検出レベル値は「35. 電気的特性」を参照してください。LVD0 を使用しない場合は 100b に設定してください。

LVDAS ビット（電圧検出 0 回路起動）

LVDAS ビットは、リセット後に電圧監視 0 リセットを有効にするか無効にするかを選択します。

VDSEL0[2:0]ビット（電圧検出 0 レベル選択）

VDSEL0[2:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

HOCOEN ビット（HOCO 発振有効）

HOCOEN ビットは、リセット中に HOCO を発振させるかどうかを選択します。HOCO 発振有効ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注.　HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1.HOCOFRQ1 ビットを最適な値に設定してください。

HOCOFRQ1[2:0]ビット（HOCO 周波数設定 1）

HOCOFRQ1[2:0]ビットは、リセット後の HOCO 周波数を 24、32、48、または 64 MHz から選択します。

ICSATS ビット（内部クロック供給アーキテクチャタイプ選択）

ICSATS ビットは、リセット後の内部クロック供給アーキテクチャをタイプ A、タイプ B から選択します。

内部クロック供給アーキテクチャタイプ A は、ICLK、PCLKB、PCLKD の周波数をシステムクロック分周コントロールレジスタ (SCKDIVCR) で個別に設定できるクロックを備えています。

内部クロック供給アーキテクチャタイプ A の場合、各種アプリケーションにおけるシステムと周辺機能の動作周波数関係は極めて柔軟です。

内部クロック供給アーキテクチャタイプ B の場合、システムクロック分周コントロールレジスタ (SCKDIVCR) の PCKB[2:0]設定および PCKD[2:0] 設定にかかわらず、ICLK、PCLKB、PCLKD の周波数は ICLK = PCLKB = PCLKD で固定されます。

内部クロック供給アーキテクチャタイプ B では、各種アプリケーションにおけるシステムと周辺機能の動作周波数関係は単純です。そのため消費電源低減で有利なタイプと言えます。

システムクロック分周コントロールレジスタの詳細については、「8.2.1. SCKDIVCR : システムクロック分周コントロールレジスタ」を参照してください。

クロック発生回路ブロック図の詳細については、「8.1. 概要」を参照してください。

注.　内部クロック供給アーキテクチャタイプ B 選択時 :

- OFS1.HOCOFRQ1[2:0] の HOCO 周波数は、48 MHz または 64 MHz に設定できません。HOCO 周波数は、32 MHz または 24 MHz に設定してください。
- MEMWAIT.MEMWAIT および FLDWAITR.FLDWAIT1 でメモリウエイトは設定できません。デフォルトを使用してください。

6.2.3　MPU レジスタ

表 6.2 に MPU 機能に関連したレジスタを示します。詳細は、「14. メモリプロテクションユニット (MPU)」を参照してください。

フラッシュメモリを消去すると、セキュリティ MPU は無効になります。MPU レジスタに不正データが書き込まれた場合、MCU が動作しないことがあります。適正なデータを設定するには、「14. メモリプロテクションユニット (MPU)」を参照してください。

表 6.2　MPU レジスタ (1/2)

レジスタ名	シンボル	機能	アドレス(注1)	サイズ (バイト)
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ 0	SECMPUPCS0	コードフラッシュメモリまたは SRAM のセキュリティフェッチ領域を指定	0x0000_0408	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ 0	SECMPUPCE0	コードフラッシュメモリまたは SRAM のセキュリティフェッチ領域を指定	0x0000_040C	4
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ 1	SECMPUPCS1	コードフラッシュメモリまたは SRAM のセキュリティフェッチ領域を指定	0x0000_0410	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ 1	SECMPUPCE1	コードフラッシュメモリまたは SRAM のセキュリティフェッチ領域を指定	0x0000_0414	4
セキュリティ MPU 領域 0 開始アドレスレジスタ	SECMPUS0	コードフラッシュメモリのセキュアプログラムやデータを指定	0x0000_0418	4
セキュリティ MPU 領域 0 終了アドレスレジスタ	SECMPUE0	コードフラッシュメモリのセキュアプログラムやデータを指定	0x0000_041C	4
セキュリティ MPU 領域 1 開始アドレスレジスタ	SECMPUS1	SRAM のセキュアプログラムやデータを指定	0x0000_0420	4

表 6.2 MPU レジスタ (2/2)

レジスタ名	シンボル	機能	アドレス(注1)	サイズ(バイト)
セキュリティ MPU 領域 1 終了アドレスレジスタ	SECMPUE1	SRAM のセキュアプログラムやデータを指定	0x0000_0424	4
セキュリティ MPU 領域 2 開始アドレスレジスタ	SECMPUS2	セキュリティ機能のセキュアデータを指定	0x0000_0428	4
セキュリティ MPU 領域 2 終了アドレスレジスタ	SECMPUE2	セキュリティ機能のセキュアデータを指定	0x0000_042C	4
セキュリティ MPU 領域 3 開始アドレスレジスタ	SECMPUS3	セキュリティ機能のセキュアデータを指定	0x0000_0430	4
セキュリティ MPU 領域 3 終了アドレスレジスタ	SECMPUE3	セキュリティ機能のセキュアデータを指定	0x0000_0434	4
セキュリティ MPU アクセスコントロールレジスタ	SECMPUAC	セキュリティ許可／禁止領域を指定	0x0000_0438	4

注 1. ブートスワップ設定時、これらのレジスタのアドレスは変わります。そのため、ブートスワップを使う場合、(0x0000_2408～0x0000_243B) と (0x0000_0408～0x0000_043B) は同じ値に設定してください。

6.2.4 AWS : アクセスウィンドウ設定レジスタ

Address: 0x0101_0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	FAWE[10:0]										
Value after reset:	ユーザー設定値															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	FAWS[10:0]										
Value after reset:	ユーザー設定値															

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始ブロックアドレス これらのビットは、アクセスウィンドウの開始ブロックアドレスを指定します。 アクセスウィンドウのブロック番号を表すものではありません。 アクセスウィンドウは、プログラムフラッシュ領域でのみ有効です。 ブロックアドレスは、ブロックの最初のアドレスを指定し、アドレスビット [21:11] で構成されます。	R
14:11	—	読むと設定値が読めます。	R
15	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護 アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、およびテンポラリブートスワップに対するプログラム／イレース保護のプログラミングを制御します。このビットは一度 0 にすると、1 に変更できません。 0: アクセスウィンドウ (FAWE[10:0], FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効 1: アクセスウィンドウ (FAWE[10:0], FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効	R
26:16	FAWE[10:0]	アクセスウィンドウ終了ブロックアドレス これらのビットは、アクセスウィンドウの終了ブロックアドレスを指定します。 アクセスウィンドウのブロック番号を表すものではありません。 アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義される受け付け可能プログラムおよびイレース領域の次のブロックです。このブロックアドレスは、ブロックの先頭アドレスを指定し、アドレスビット [21:11] で構成されます。	R
30:27	—	読むと設定値が読めます。	R

ビット	シンボル	機能	R/W
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0:　1 番目の 8 KB 領域 (0x0000_0000～0x0000_1FFF) および 2 番目の 8 KB 領域 (0x0000_2000～0x0000_3FFF)が入れ替わる 1:　1 番目の 8 KB 領域 (0x0000_0000～0x0000_1FFF) および 2 番目の 8 KB 領域 (0x0000_2000～0x0000_3FFF)は入れ替わらない	R

アクセスウィンドウ外の領域にプログラム／イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュメモリ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS[10:0] ビットと FAWE[10:0] ビットで指定されています。FAWS[10:0] ビットおよび FAWE[10:0] ビットの設定値は以下のとおりです。

FAWE[10:0] = FAWS[10:0]: プログラム／イレースコマンドは、全プログラムフラッシュメモリ領域に対して実行が許可される

FAWE[10:0] > FAWS[10:0]: プログラム／イレースコマンドは、FAWS[10:0] ビットで指示されたブロックから、FAWE[10:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される

FAWE[10:0] < FAWS[10:0]: プログラム／イレースコマンドは、プログラムフラッシュメモリ領域に対して実行が禁止される

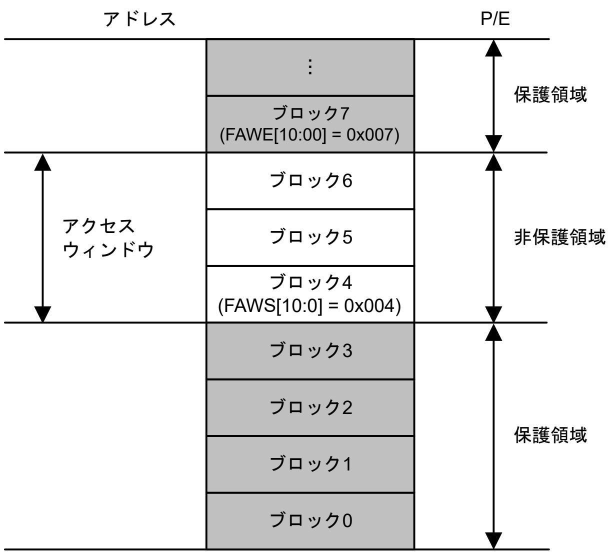


図 6.2　　アクセスウィンドウの概要

6.2.5　　OSIS : OCD／シリアルプログラマ ID 設定レジスタ

OSIS レジスタは、OCD／シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD／シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。本レジスタを用いて、OCD／シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定してください。ID コードが一致した場合は OCD/シリアルプログラマとの接続を許可しますが、一致しない場合は OCD/シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビットワード単位で設定する必要があります。

Address: 0x0101_0018, 0x0101_0020, 0x0101_0028, 0x0101_0030

Bit position:	31 … 0
Bit field:	
Value after reset:	ユーザー設定値

OCD／シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット[127]と[126]は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。 表 6.3 は、ID コードがどのように認証方法を決定するかについて示しています。

表 6.3　　ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード（SCI ブートモード） オンチップデバッグモード（SWD ブートモード）	0xFF, ..., 0xFF（全バイトが 0xFF）	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッガ(注1)への接続が許可されます。
	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッガとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。 シリアルプログラマまたはオンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、 ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッガとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。
	ビット[127] = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッガへの接続は禁止されます。 オンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。

注 1.　オンチップデバッガから ID コードを送信しないでください。または、オンチップデバッガから 0xFF, ..., 0xFF（すべてのバイトが 0xFF）の ID コードを送信してください。

6.3　　オプション設定メモリの設定方法

6.3.1　　オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 6.1 に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注.　　プログラミング形式はコンパイラによって異なります。 詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「6.3.1. オプション設定メモリへのデータの配置方法」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、プログラムフラッシュメモリ領域へデータを書き込んでください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。さらに、スタートアップ領域選択機能を用いて、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「33. フラッシュメモリ」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライタによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします
- ツールの GUI インタフェースを使用して、「6.3.1. オプション設定メモリへのデータの配置方法」に示すものと同じデータをプログラムします

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

6.4.2 FSPR ビットに関する注意事項

AWS.FSPR ビットは、一度 0 に設定すると、1 に変更できません。このため、アクセスウィンドウとスタートアップ領域選択の再設定が二度とできなくなります。FSPR ビットへの書き込みは、十分にご注意ください。

7. 低電圧検出回路 (LVD)

7.1 概要

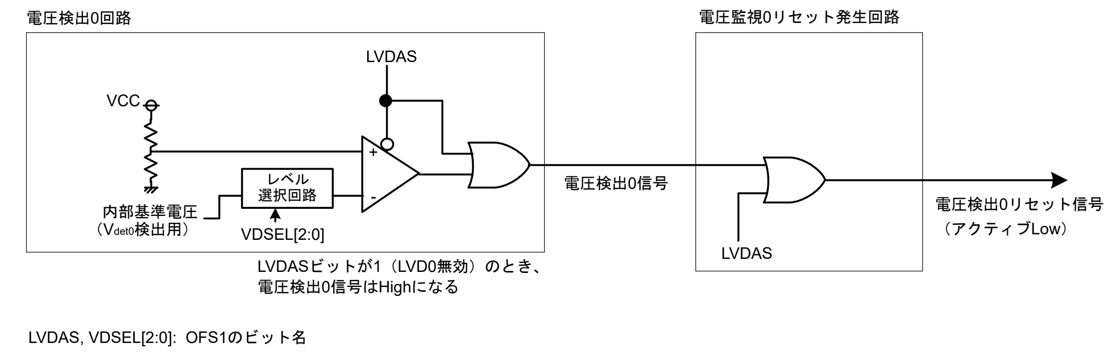
低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

また、電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させることもできます。

表 7.1 に LVD の仕様を示します。 図 7.1 に電圧監視 0 回路のブロック図を、図 7.2 に電圧監視 1 回路のブロック図を、図 7.3 に電圧監視 2 回路のブロック図を示します。

表 7.1　LVD の仕様

項目		電圧監視 0 の仕様	電圧監視 1 の仕様	電圧監視 2 の仕様
動作設定方法		OFS1 レジスタで設定	LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V_{det0}	V_{det1}	V_{det2}
検出イベント		下降して V_{det0} を通過	上昇または下降して V_{det1} を通過	上昇または下降して V_{det2} を通過
検出電圧		OFS1.VDSEL0[2:0]ビットで 5 レベルから選択可能	LVDLVLR.LVD1LVL[4:0]ビットで 16 レベルから選択可能	LVDLVLR.LVD2LVL[2:0]ビットで 4 レベルから選択可能
モニタフラグ		なし	LVD1SR.MON フラグ：電圧が V_{det1} より高いか低いかを監視	LVD2SR.MON フラグ：電圧が V_{det2} より高いか低いかを監視
			LVD1SR.DET フラグ : V_{det1} 通過検出	LVD2SR.DET フラグ : V_{det2} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		V_{det0} ＞ VCC でリセット。VCC ＞ V_{det0} の一定時間後に CPU 動作再開	V_{det1} ＞ VCC でリセット。CPU 動作再開タイミングとして、VCC ＞ V_{det1} の一定時間後、または V_{det1} ＞ VCC の一定時間後を選択可能	V_{det2} ＞ VCC でリセット。CPU 動作再開タイミングとして、VCC ＞ V_{det2} の一定時間後、または V_{det2} ＞ VCC の一定時間後を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
			V_{det1} ＞ VCC および VCC ＞ V_{det1} の両方、またはどちらかのとき割り込み要求	V_{det2} ＞ VCC および VCC ＞ V_{det2} の両方、またはどちらかのとき割り込み要求
イベントリンク機能		なし	あり V_{det1} 通過検出時にイベント信号出力	あり V_{det2} 通過検出時にイベント信号出力



注.　OFS1.LVDAS と OFS1.VDSEL0[2:0]の詳細は、「6. オプション設定メモリ」を参照してください。

図 7.1　電圧監視 0 リセット発生回路のブロック図

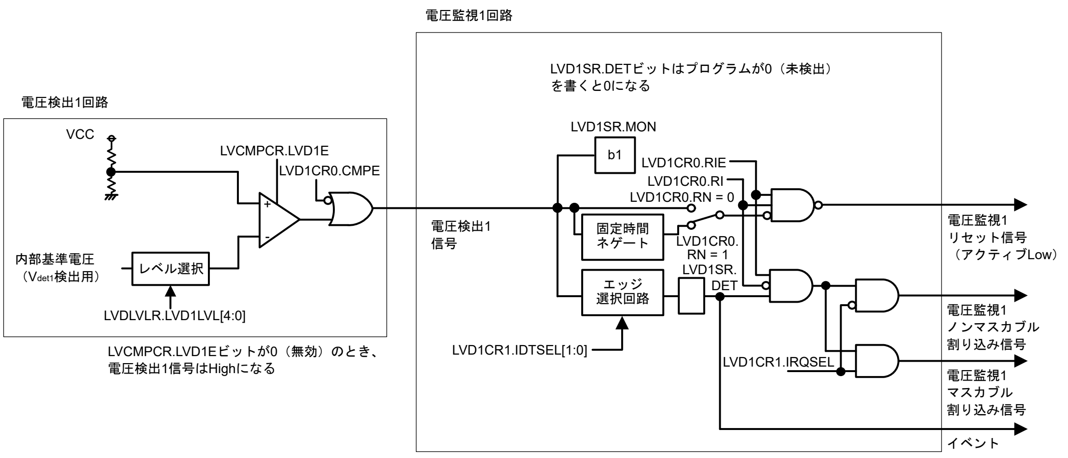


図 7.2　電圧監視 1 割り込み／リセット発生回路のブロック図

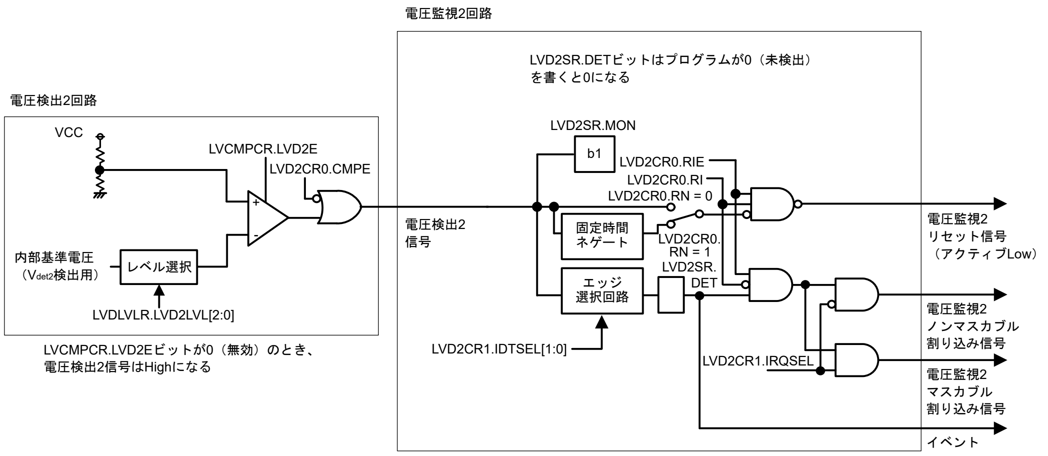


図 7.3　電圧監視 2 割り込み／リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 LVCMPCR : 電圧監視回路コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x417

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	LVD2E	LVD1E	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	LVD1E	電圧検出 1 回路イネーブル 0: 電圧検出 1 回路無効 1: 電圧検出 1 回路有効	R/W
6	LVD2E	電圧検出 2 回路イネーブル 0: 電圧検出 2 回路無効 1: 電圧検出 2 回路有効	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LVD1E ビット (電圧検出 1 回路イネーブル)

電圧検出 1 回路の割り込み／リセットを使用する場合、または LVD1SR.MON フラグを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットを 0 から 1 に変更した後、LVD1 動作安定時間 ($t_{d(E-A)}$) を経過すると、電圧監視 1 回路が動作します。LVD1 動作安定時間 ($t_{d(E-A)}$) については、「35. 電気的特性」を参照してください。

LVD2E ビット (電圧検出 2 回路イネーブル)

電圧検出 2 回路の割り込み／リセットを使用する場合、または LVD2SR.MON フラグを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットを 0 から 1 に変更した後、LVD2 動作安定時間 ($t_{d(E-A)}$) を経過すると、電圧監視 2 回路が動作します。LVD2 動作安定時間 ($t_{d(E-A)}$) については、「35. 電気的特性」を参照してください。

7.2.2 LVDLVLR : 電圧検出レベル選択レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x418

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD2LVL[2:0]			LVD1LVL[4:0]				
Value after reset:	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
4:0	LVD1LVL[4:0]	電圧検出 1 レベル選択（電圧降下時の標準電圧）(注1) 0x00: V_{det1_0} 0x01: V_{det1_1} 0x02: V_{det1_2} 0x03: V_{det1_3} 0x04: V_{det1_4} 0x05: V_{det1_5} 0x06: V_{det1_6} 0x07: V_{det1_7} 0x08: V_{det1_8} 0x09: V_{det1_9} 0x0A: V_{det1_A} 0x0B: V_{det1_B} 0x0C: V_{det1_C} 0x0D: V_{det1_D} 0x0E: V_{det1_E} 0x0F: V_{det1_F} その他: 設定禁止	R/W
7:5	LVD2LVL[2:0]	電圧検出 2 レベル選択（電圧降下時の標準電圧）(注1) 0 0 0: V_{det2_0} 0 0 1: V_{det2_1} 0 1 0: V_{det2_2} 0 1 1: V_{det2_3} その他: 設定禁止	R/W

注.　PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。.

注 1.　各電圧検出レベル値は「35. 電気的特性」を参照してください。LVD1 を使用しない場合は、初期値を維持してください。LVD0 を使用するときは、LVD1 の検出電圧を LVD0 の検出電圧より高く設定してください。LVD1LVL[4:0]ビットはリセットの後 1 回だけ書き換えできます。

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットがともに 0（電圧検出 n 回路無効、n = 1, 2）の場合のみ変更可能です。また、LVD の電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

7.2.3　LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0

Base address:　SYSC = 0x4001_E000

Offset address:　0x41A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—		—	CMPE	—	RIE
Value after reset:	1	0	0	0	x	0	0	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 1 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 1 回路比較結果出力許可 0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 1 回路モード選択 0: V_{det1} 通過時に電圧監視 1 割り込み発生 1: 下降して V_{det1} 通過時に電圧監視 1 リセット許可	R/W

ビット	シンボル	機能	R/W
7	RN	電圧監視 1 リセットネゲート選択 0: VCC ＞ V_{det1} 検出時、一定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1 リセットアサート時、一定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 1 割り込み／リセット許可）

RIE ビットは電圧監視 1 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 1 割り込みも電圧監視 1 リセットも発生しないように、0 に設定してください。

CMPE ビット（電圧監視 1 回路比較結果出力許可）

CMPE ビットは電圧監視 1 回路比較結果出力を許可または禁止します。電圧検出 1 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 1 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 1 回路を無効にしてください。

RN ビット（電圧監視 1 リセットネゲート選択）

RN ビットを 1（電圧監視 1 リセットアサート後、一定時間経過後に電圧監視 1 リセットをネゲート）にする場合は、MOCOCR.MCSTP ビットは 0（MOCO 動作）にしてください。また、ソフトウェアスタンバイモードでは、RN ビットは 0（VCC ＞ V_{det1} 検出時、一定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.4 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—		—	CMPE	—	RIE
Value after reset:	1	0	0	0	x	0	0	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 2 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 2 回路比較結果出力許可 0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 2 回路モード選択 0: V_{det2} 通過時に電圧監視 2 割り込み発生 1: 下降して V_{det2} 通過時に電圧監視 2 リセット許可	R/W
7	RN	電圧監視 2 リセットネゲート選択 0: VCC ＞ V_{det2} 検出時、一定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2 リセットアサート時、一定時間 (t_{LVD2}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 2 割り込み／リセット許可）

RIE ビットは電圧監視 2 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 2 割り込みも電圧監視 2 リセットも発生しないように、0 に設定してください。

CMPE ビット（電圧監視 2 回路比較結果出力許可）

CMPE ビットは電圧監視 2 回路比較結果出力を許可または禁止します。電圧検出 2 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 2 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 2 回路を無効にしてください。

RN ビット（電圧監視 2 リセットネゲート選択）

RN ビットを 1（電圧監視 2 リセットアサート後、一定時間経過後に電圧監視 2 リセットをネゲート）にする場合は、MOCOCR.MCSTP ビットは 0（MOCO 動作）にしてください。また、ソフトウェアスタンバイモードでは、RN ビットは 0（VCC > V_{det2} 検出時、一定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.5 LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択 0 0: VCC ≧ V_{det1}（上昇）検出時に発生 0 1: VCC < V_{det1}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

7.2.6 LVD1SR : 電圧監視 1 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: V_{det1} 通過検出	R/W(注1)
1	MON	電圧監視 1 信号モニタフラグ 0: VCC < V_{det1} 1: VCC ≧ V_{det1} または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

DET フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

V_{det1} を検出するとき、DET フラグを 0 にするときは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。LVD1CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

7.2.7 LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択 0 0: VCC ≧ V_{det2}（上昇）検出時に発生 0 1: VCC ＜ V_{det2}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 2 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1.　マスカブル割り込みを設定する場合、ICU にある NMIER.LVD2EN ビットをリセット状態から変更しないでください。

7.2.8 LVD2SR : 電圧監視 2 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 2 電圧変化検出フラグ 0: 未検出 1: V_{det2} 通過検出	R/W(注1)
1	MON	電圧監視 2 信号モニタフラグ 0: VCC < V_{det2} 1: VCC ≧ V_{det2} または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1.　0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 2 電圧変化検出フラグ）

DET フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

V_{det2} を検出するとき、LVD2CR0.RIE ビットを 0（禁止）にしてから、DET フラグを 0 にしてください。LVD2CR0.RIE ビットを 0 に設定した後、そのビットを 1（許可）に設定する場合は、PCLKB の 2 サイクル以上待ってから設定してください。

MON フラグ（電圧監視 2 信号モニタフラグ）

MON フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

7.3 VCC 入力電圧の監視

7.3.1 V_{det0} の監視

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{det1} の監視

表 7.2 に V_{det1} の監視の設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果を監視できます。

表 7.2　V_{det1} の監視の設定手順

手順		電圧監視 1 の比較結果の監視
電圧検出 1 回路の設定	1	LVCMPCR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする
	2	LVDLVLR.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする
	4	$t_{d(E-A)}$（LVD 有効切り替え後の LVD 動作安定時間）以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する

7.3.3 V_{det2} の監視

表 7.3 に V_{det2} の監視の設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果を監視できます。

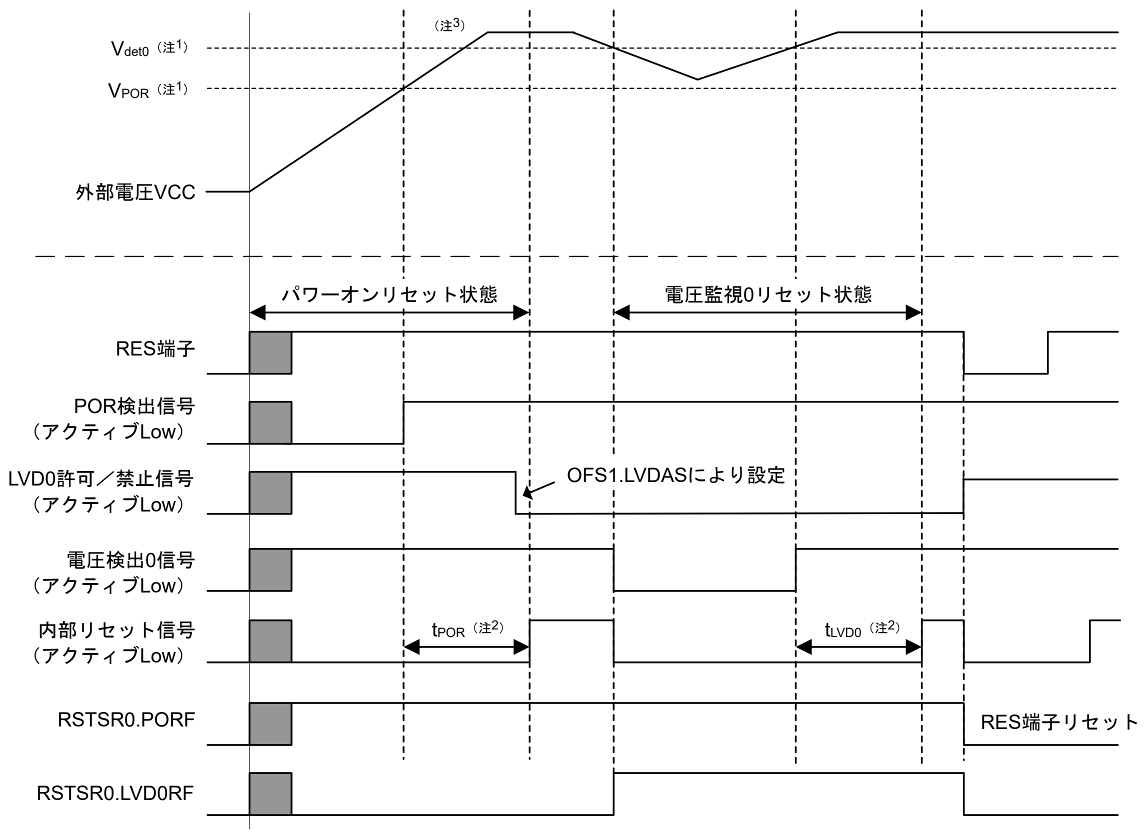
表 7.3　V_{det2} の監視の設定手順

手順		電圧監視 2 の比較結果の監視
電圧検出 2 回路の設定	1	LVCMPCR.LVD2LVL[2:0]ビットへ書き込む前に、LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする
	2	LVDLVLR.LVD2LVL[2:0]ビットで検出電圧を選択する
	3	LVCMPCR.LVD2E = 1 にして、電圧検出 2 を有効にする
	4	$t_{d(E-A)}$（LVD2 有効切り替え後の LVD2 動作安定時間）以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0（リセット後、電圧監視 0 リセット有効）にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 7.4 に電圧監視 0 リセットの動作例を示します。



注.　電気的特性の詳細は、「35. 電気的特性」を参照してください。
注 1.　V_{POR} はパワーオンリセットの検出レベルを表し、V_{det0} は電圧監視 0 リセットの検出レベルを表します。
注 2.　t_{POR}: パワーオンリセットが解除されるまでの期間
t_{LVD0}: LVD0 リセットが解除されるまでの期間
注 3.　パワーオンの際に VCC が最低保証電圧に達した後、パワーオンリセットが解除されます。

図 7.4　　電圧監視 0 リセットの動作例

7.5　　電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、回路を本項に記述している手順で設定してください。

(1)　ソフトウェアスタンバイモード時の設定

- VCC ＞ V_{det1} 検出時、LVD1 動作安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) にしてください。

表 7.4　電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にしてください	
	2	LVDLVLR.LVD1LVL[4:0]ビットで検出電圧を選択してください	
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にしてください	
	4	$t_{d(E-A)}$（LVD1 有効切り替え後の LVD1 動作安定時間）以上待ってください(注1)	
電圧監視 1 割り込み/リセットの設定	5	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択してください	● LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択してください ● LVD1CR0.RN ビットでリセットネゲートの種類を選択してください
	6	● LVD1CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択してください ● LVD1CR1.IRQSEL ビットで割り込みの種類を選択してください	—
出力許可の設定	7	LVD1SR.DET = 0 にしてください	
	8	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み／リセットを許可してください(注2)	
	9	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可してください	

注 1.　手順 4 の待ち時間中に手順 5～8 を行うことができます。$t_{d\ (E-A)}$の詳細は、「35. 電気的特性」を参照してください。
注 2.　ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.5　電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

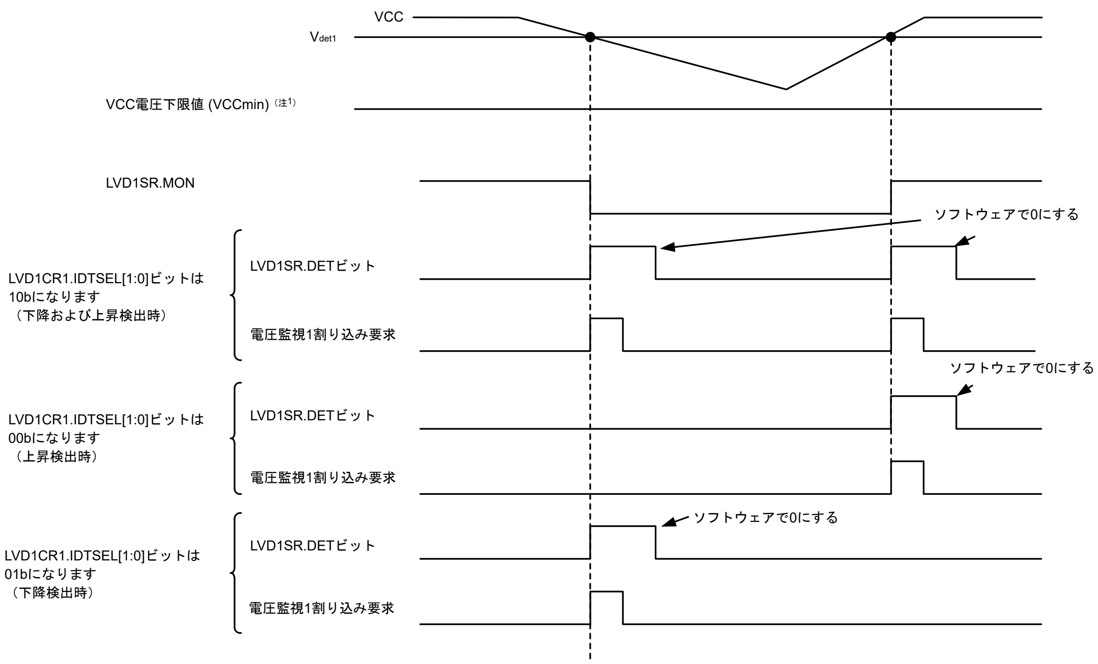
手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット
出力許可停止の設定	1	LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止してください
	2	LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み／リセットを禁止してください(注1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にしてください

注 1.　ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路に対する再設定は不要
- 電圧監視 1 割り込み／リセットの設定を変更しない場合、電圧監視 1 割り込み／リセットに対する再設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。



注 1.　電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 7.5　電圧監視 1 割り込みの動作例

7.6　電圧監視 2 割り込み、リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモード電圧監視 2 回路を使用する場合は、回路を以下のように設定してください。

(1)　ソフトウェアスタンバイモード時の設定

- VCC ＞ V_{det2} 検出時、LVD2 動作安定時間経過後に電圧監視 2 リセット信号をネゲート(LVD2CR0.RN = 0) にしてください。

表 7.6　電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (1/2)

手順		電圧監視 2 割り込み(電圧監視 2ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にしてください	
	2	LVDLVLR.LVD2LVL[2:0]ビットで検出電圧を選択してください	
	3	LVCMPCR.LVD2E = 1 にして、電圧検出 2 回路を有効にしてください	
	4	$t_{d(E-A)}$（LVD2 有効切り替え後の LVD2 動作安定時間）以上待ってください(注1)	

表 7.6　電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (2/2)

手順		電圧監視 2 割り込み(電圧監視 2ELC イベント出力)	電圧監視 2 リセット
電圧監視 2 割り込み/リセットの設定	5	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択してください	● LVD2CR0.RI = 1 にして、電圧監視 2 リセットを選択してください ● LVD2CR0.RN ビットでリセットネゲートの種類を選択してください
	6	● LVD2CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択してください ● LVD2CR1.IRQSEL ビットで割り込みの種類を選択してください	—
出力許可の設定	7	LVD2SR.DET = 0 にしてください	
	8	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み／リセットを許可してください(注2)	
	9	LVD2CR0.CMPE = 1 にして、電圧監視 2 回路の比較結果出力を許可してください	

注 1.　手順 4 の待ち時間中に手順 5~8 を行うことができます。$t_{d(E-A)}$の詳細は、「35. 電気的特性」を参照してください。
注 2.　ELC イベント信号のみが出力される場合は、手順 8 は不要です。

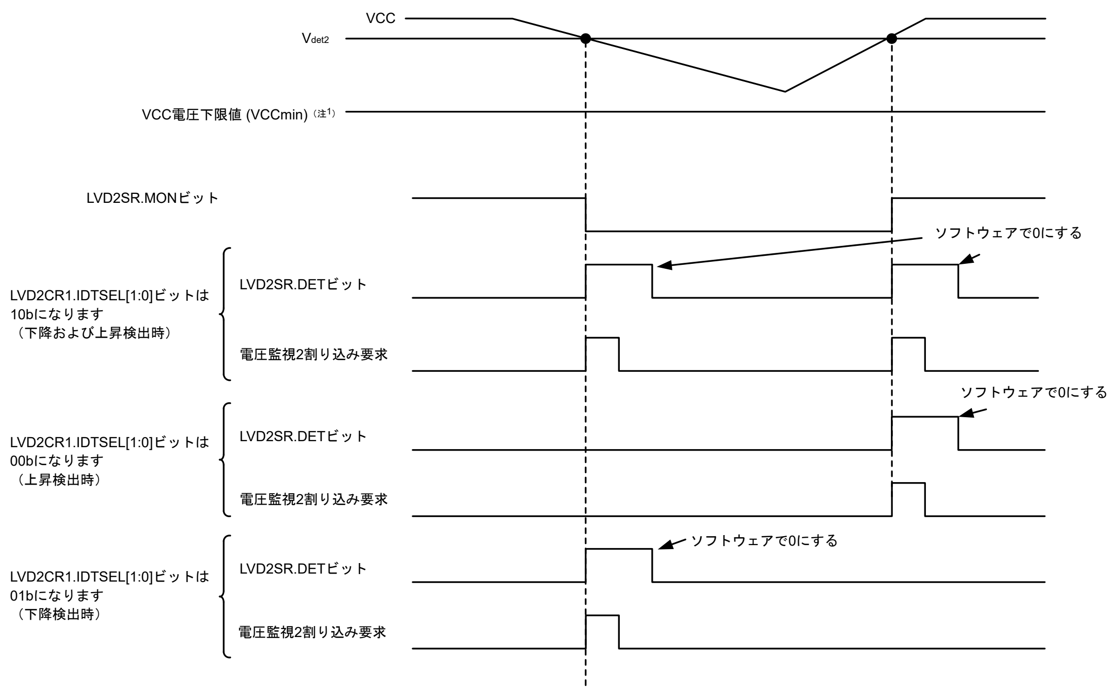
表 7.7　電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順		電圧監視 2 割り込み (電圧監視 2ELC イベント出力)、電圧監視 2 リセット
出力許可停止の設定	1	LVD2CR0.CMPE = 0 にして、電圧監視 2 回路の比較結果出力を禁止してください
	2	LVD2CR0.RIE = 0 にして、電圧監視 2 割り込み／リセットを禁止してください(注1)
電圧検出 2 回路停止の設定	3	LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にしてください

注 1.　ELC イベント信号のみが出力される場合は、手順 2 は不要です。

電圧監視 2 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合、その回路に対する再設定は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットに対する再設定は不要



注 1.　電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 7.6　　電圧監視 2 割り込みの動作例

7.7　　ELC によるリンク動作

LVD は、ELC に対してイベント信号出力が可能です。

(1)　V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、V_{det1} 通過を検出した場合にイベント信号を出力します。

(2)　V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、V_{det2} 通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

7.7.1　　割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 と電圧監視 2 割り込みに割り込み許可／禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 および電圧監視 2 割り込み信号を出力することができます。

- ソフトウェアスタンバイモード期間中に V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。V_{det1} および

V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、V_{det1} および V_{det2} 検出フラグ状態にしたがって ELC 用のイベント信号が出力されます。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 および表 8.2 に、クロック発生回路の仕様を示します。図 8.1 と図 8.2 にブロック図、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	1 MHz～20 MHz
	外部クロック入力周波数	最高 20 MHz
	外部発振子または付加回路	セラミック発振子、水晶振動子
	接続端子	EXTAL, XTAL
	駆動能力切り替え	あり
	発振停止検出機能	あり
高速オンチップオシレータ (HOCO)	発振周波数	24/32/48/64 MHz
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
IWDT 専用オンチップオシレータ (IWDTLOCO)	発振周波数	15 kHz
	ユーザートリミング	なし
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 12.5 MHz

表 8.2 クロック発生回路の仕様（内部クロック） (1/2)

項目	クロックソース	クロック供給先	内容
システムクロック (ICLK)	MOSC(注1)/HOCO/MOCO/LOCO	CPU、DTC、フラッシュ、Flash-IF、SRAM	最高 64 MHz 分周比：1/2/4/8/16/32/64 1 MHz～64 MHz (P/E)
周辺モジュールクロック B (PCLKB)	MOSC(注1)/HOCO/MOCO/LOCO	周辺モジュール（CAC、ELC、I/O ポート、KINT、POEG、GPT、AGTW、ACMPHS、WDT、IWDT、SCI、IIC、SPI、CRC、ADC12、DOC）	最高 32 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC(注1)/HOCO/MOCO/LOCO	周辺モジュール（GPT カウントクロック、ADC12 変換クロック）	最高 64 MHz 分周比：1/2/4/8/16/32/64
AGTW クロック (AGTLCLK)	LOCO	AGTW	32.768 kHz
CAC メインクロック (CACMCLK)	MOSC(注1)	CAC	最高 20 MHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACHCLK)	HOCO	CAC	24/32/48/64 MHz
CAC IWDTLOCO クロック (CACILCLK)	IWDTLOCO	CAC	15 kHz
IWDT クロック (IWDTCLK)	IWDTLOCO	IWDT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz

表 8.2　　クロック発生回路の仕様（内部クロック） (2/2)

項目	クロックソース	クロック供給先	内容
クロック／ブザー出力 (CLKOUT)	MOSC[注1]/LOCO/MOCO/HOCO	CLKOUT 端子	最高 16 MHz 分周比：1/2/4/8/16/32/64/128
シリアルワイヤクロック (SWCLK)	SWCLK 端子	OCD	最高 12.5 MHz

注.　クロック周波数の設定に関する制限：ICLK ≧ PCLKB、PCLKD ≧ PCLKB
PCLKB クロック周波数比に関する制限：（N は最大 64 の整数）
ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N
プログラミング／イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。

注 1.　Low-speed モードで MOSC をクロックソースとして使用することは禁止されています。

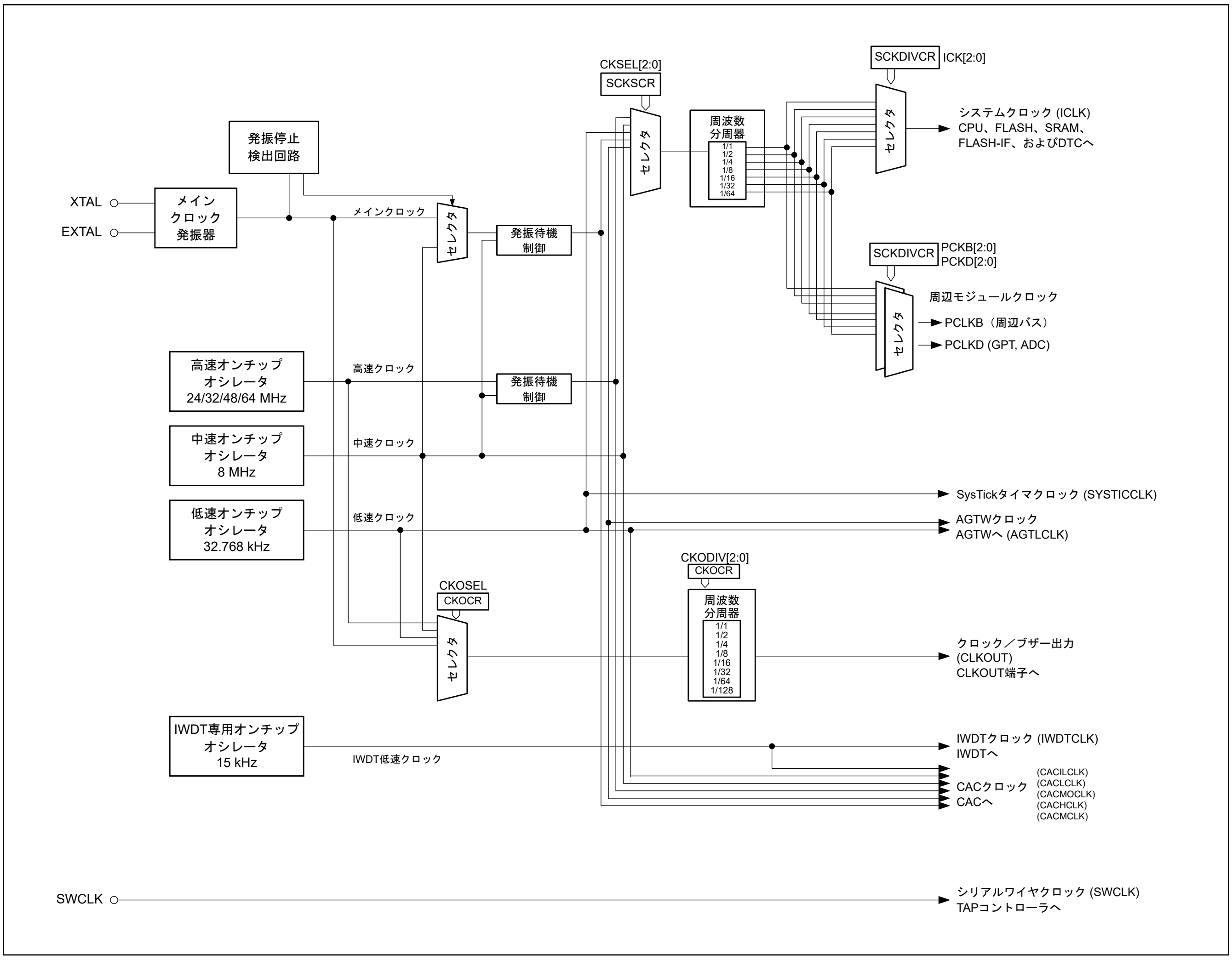


図 8.1　　クロック発生回路のブロック図（内部クロック供給先アーキテクチャ A）

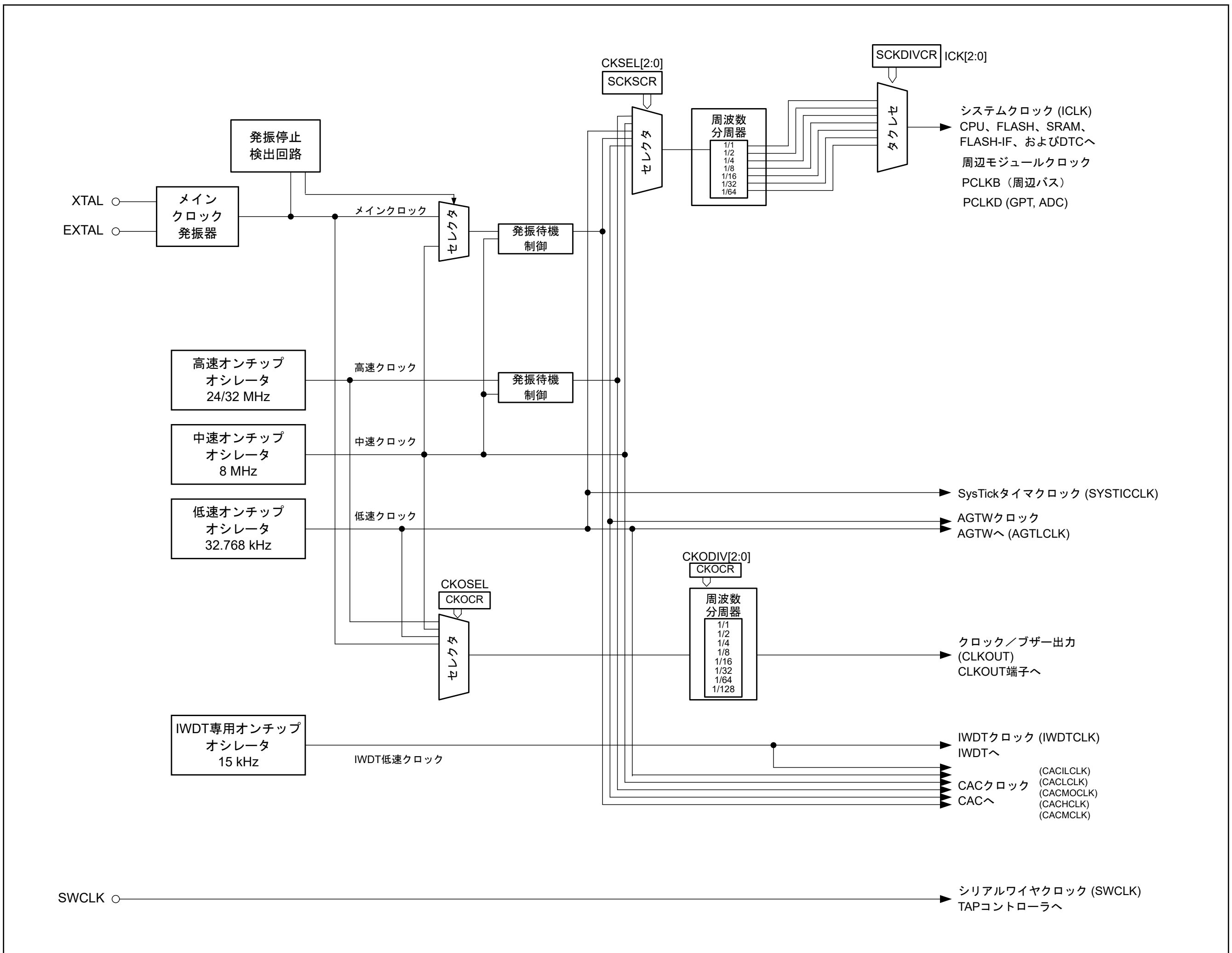


図 8.2　クロック発生回路のブロック図（内部クロック供給先アーキテクチャ B）

表 8.3　クロック発生回路入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子を接続します。EXTAL 端子は外部クロックを入力することもできます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
EXTAL	入力	
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。
SWCLK	入力	SWD からの入力です。

8.2 レジスタの説明

8.2.1 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	ICK[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PCKB[2:0]			—	—	—	—	—	PCKD[2:0]		
Value after reset:	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択(注2) (注3) 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択(注1) (注3) 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
23:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	ICK[2:0]	システムクロック (ICLK) 選択(注1) (注2) (注3) 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　内部クロック供給アーキテクチャタイプ B の場合、システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、および周辺モジュールクロック (PCLKD) の周波数の関係は ICLK にする必要があります。 PCLKB : PCLKD = 1 : 1 : 1
内部クロック供給アーキテクチャタイプ B で SCKDIVCR を設定するときは、ICK[2:0]と PCKB[2:0]と PCKD[2:0]に同じ値を書き込みます。

注 1.　システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数の関係を、ICLK : PCLKB = N : 1（ N : 整数）にしてください。

注 2.　システムクロック (ICLK) と周辺モジュールクロック (PCLKD) の周波数の関係を、 ICLK : PCLKD = N : 1 または 1 : N（N : 整数）にしてください。

注 3.　SCKSCR.CKSEL[2:0]ビットで 32 MHz よりも速いシステムクロック周波数を選択し、MEMORWAIT.MEMWAIT = 0 の場合、ICLK に 1 分周を設定しないでください。

SCKDIVCR レジスタは、システムクロック (ICLK) と周辺モジュールクロック (PCLKB, PCLKD) の周波数を選択するレジスタです。

8.2.2 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット(注1) 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC)(注2) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. SCKDIVCR.ICK[2:0]ビットで 1 分周を選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、32 MHz よりも速いシステムクロックソース（システムクロックソース > 32 MHz）の選択は禁止です。

注 2. 動作電力制御モードが Low-speed モードである場合は、メインクロック発振器をシステムクロックソースとして選択することは禁止されています。

SCKSCR レジスタは、システムクロックのクロックソースを選択します。

CKSEL[2:0]ビット（クロックソース選択ビット）

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB, PCLKD)

本ビットは下記のソースから 1 つを選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

8.2.3 MEMWAIT : メモリウェイトサイクルコントロールレジスタ（コードフラッシュ）

Base address: SYSC = 0x4001_E000

Offset address: 0x031

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MEM WAIT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MEMWAIT	メモリウェイトサイクル選択（コードフラッシュ） 0:　ウェイトなし 1:　ウェイトあり	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/(W)

注.　SCKDIVCR.ICK ビットが 1 分周を選択し、かつ SCKSCR.CKSEL[2:0]ビットが 32 MHz より速い (ICLK > 32 MHz) システムクロックソースを選択する場合、MEMWAIT ビットに 0 を書き込まないでください。
注.　OFS1.ICSATS ビットにより内部クロック供給先アーキテクチャ B が選択されている場合、MEMWAIT の設定はしないでください。

MEMWAIT レジスタはコードフラッシュ読み出しのウェイトサイクルを制御します。

MEMWAIT ビット (メモリウェイトサイクル選択（コードフラッシュ))

本ビットはコードフラッシュ読み出しのウェイトサイクルを選択します。コードフラッシュアクセスのウェイトサイクルはリセット解除後にウェイトなし (MEMWAIT = 0) に設定されます。

MEMWAIT ビットに書き込む前に、ICLK 周波数や動作パワーコントロールモードを確認してください。ICLK、動作パワーコントロールモード、および MEMWAIT ビットを設定するときに、次の制限が適用されます。

- ICLK が 32 MHz 以下 (ICLK ≦ 32 MHz) かつ動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) の間に ICLK を 32 MHz より高く (ICLK > 32 MHz) 設定する場合は、MEMWAIT を 1 に設定してください。高速モード以外の動作モードでは、MEMWAIT を 1 に設定しないでください。MEMWAIT = 0 の間は ICLK を 32 MHz より高く設定しないでください。
- ICLK を 32 MHz より高い周波数 (ICLK > 32 MHz) から 32 MHz 以下の周波数 (ICLK ≦ 32 MHz) に設定する場合は、MEMWAIT = 1 の間に ICLK 周波数を 32 MHz 以下にしてください。ICLK が 32 MHz より高いときに MEMWAIT を 0 に設定しないでください。高速モード以外の動作モードでは、MEMWAIT を 1 に設定しないでください。ICLK 周波数が 32 MHz 以下および動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) のとき、MEMWAIT は 0 に設定可能です。

表 8.4　MEMWAIT ビットの設定

MEMWAIT ビット	MCU 動作パワー制御		
		高速モード	
	モード : 高速モード以外	ICLK ≦ 32 MHz	ICLK > 32 MHz
0	✓	✓	—
1	—	✓	✓

注.　✓ : 設定可能
　　— : 設定不可

8.2.4　FLDWAITR : メモリウェイトサイクルコントロールレジスタ（データフラッシュ）

Base address:　FLCN = 0x407E_C000

Offset address:　0x3FC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLDWAIT1
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLDWAIT1	メモリウェイトサイクル選択（データフラッシュ） 0:　1 ウェイトアクセス（初期設定） 1:　2 ウェイトアクセス	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　SCKDIVCR.ICK ビットが 1 分周を選択し、かつ SCKSCR.CKSEL[2:0]ビットが 32 MHz より速い (ICLK > 32 MHz) システムクロックソースを選択する場合、FLDWAIT1 ビットに 0 を書き込まないでください。
注.　OFS1.ICSATS ビットにより内部クロック供給先アーキテクチャ B が選択されている場合、FLDWAIT1 の設定はしないでください。
注.　データフラッシュが使用されていない場合、FLDWAIT1 の設定は不要です。

FLDWAITR レジスタはデータフラッシュ読み出しのウェイトサイクルを制御します。

FLDWAIT1 ビット（メモリウェイトサイクル選択（データフラッシュ））

本ビットはデータフラッシュ読み出しのウェイトサイクルを選択します。データフラッシュアクセスのウェイトサイクルはリセット解除後に 1 ウェイト (FLDWAIT1 = 0) に設定されます。

データフラッシュ読み出しのウェイトサイクルの FLDWAIT1 設定は次の通りです。

- FLDWAIT1 = 0: 1 ウェイトサイクル
- FLDWAIT1 = 1: 2 ウェイトサイクル

FLDWAIT1 ビットに書き込む前に、ICLK 周波数や動作パワーコントロールモードを確認してください。ICLK、動作パワーコントロールモード、および FLDWAIT1 ビットを設定するときに、次の制限が適用されます。

- ICLK が 32 MHz 以下 (ICLK ≦ 32 MHz) かつ動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) の間に ICLK を 32 MHz より高く (ICLK > 32 MHz) 設定する場合は、FLDWAIT1 を 1 に設定してください。高速モード以外の動作モードでは、FLDWAIT1 を 1 に設定しないでください。FLDWAIT1 = 0 の間は ICLK を 32 MHz より高く設定しないでください。
- ICLK を 32 MHz より高い周波数 (ICLK > 32 MHz) から 32 MHz 以下の周波数 (ICLK ≦ 32 MHz) に設定する場合は、FLDWAIT1 = 1 の間に ICLK 周波数を 32 MHz 以下にしてください。ICLK が 32 MHz より高いときに FLDWAIT1 を 0 に設定しないでください。高速モード以外の動作モードでは、FLDWAIT1 を 1 に設定しないでください。ICLK 周波数が 32 MHz 以下および動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) のとき、FLDWAIT1 は 0 に設定可能です。

表 8.5　FLDWAIT1 ビットの設定

FLDWAIT1 ビット	MCU 動作パワー制御		
	モード：高速モード以外	高速モード	
		ICLK ≦ 32 MHz	ICLK > 32 MHz
0	✓	✓	—
1	—	✓	✓

注.　✓ : 設定可能
　　— : 設定不可

図 8.3 に ICLK を 32 MHz より高く設定する場合のフロー例を示します。

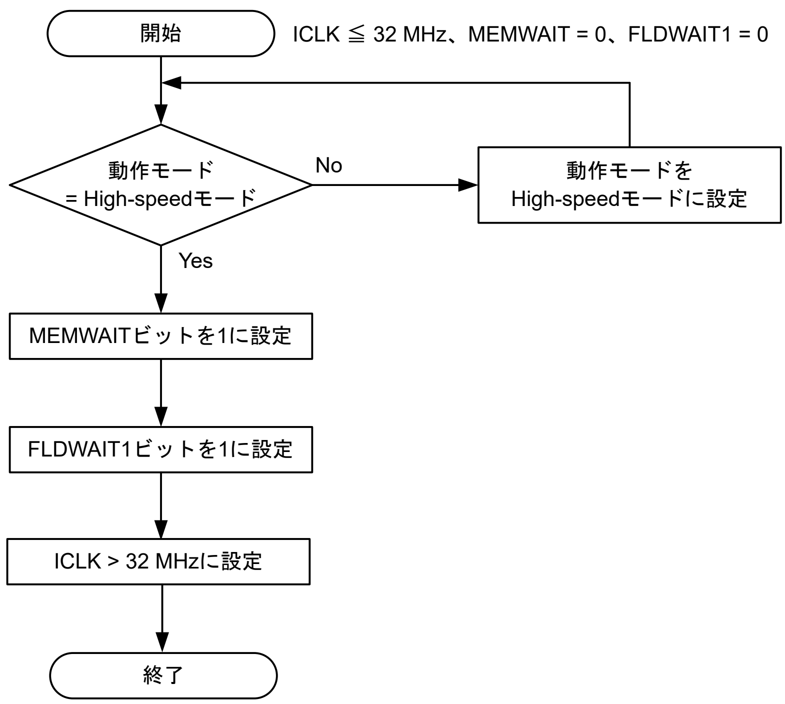


図 8.3　　ICLK > 32 MHz に設定する場合

図 8.4 に ICLK が 32 MHz より高いときに ICLK を 32 MHz 以下に設定する場合のフロー例を示します。

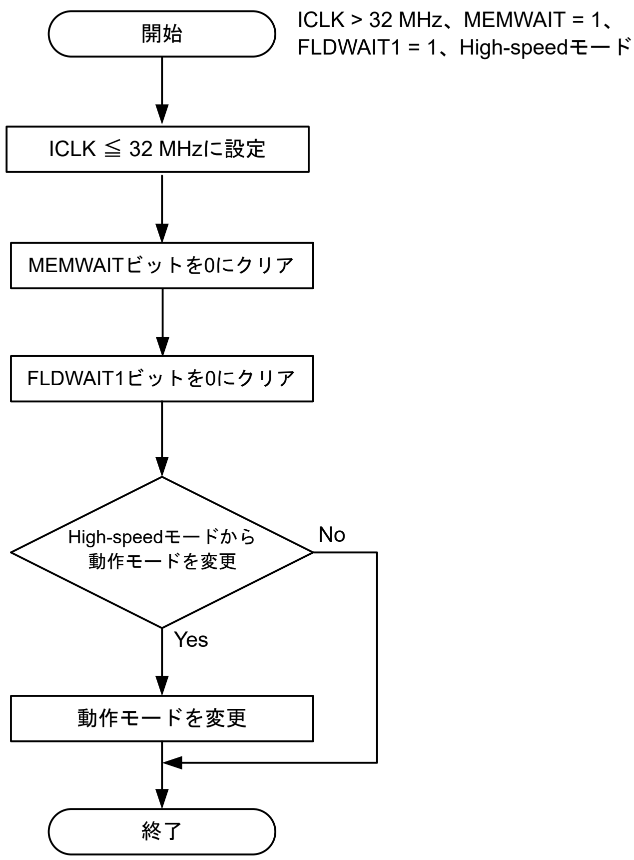


図 8.4　　ICLK > 32 MHz から ICLK ≦ 32 MHz に設定する場合

8.2.5　MOSCCR : メインクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MOSTP	メインクロック発振器停止 0: メインクロック発振器動作(注1) 1: メインクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1.　MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット（メインクロック発振器停止）

MOSTP ビットは、メインクロック発振器を動作または停止させます。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後､動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認してください。
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認してください。
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、メインクロック発振器の動作後に、MCU をソフトウェアスタンバイモードへ遷移させる場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認してから WFI 命令を実行してください。
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認したうえで WFI 命令を実行してください。

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）

Low-speed モードでのメインクロック発振器の動作 (MOSTP = 0) は禁止されています。

8.2.6 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x490

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット（LOCO 停止）

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定待機時間（t_{LOCOWT}）が経過してから、LOCO クロックを使用してください。LOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。

- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- LOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b（システムクロックソース = LOCO）

LOCO クロックは他の発振器の発振安定待ち時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、発振安定待ち時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

8.2.7　HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作 (注3) 1: HOCO 停止	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注.　本レジスタを設定して HOCO クロックを開始する前に、HOCOWTCR.HSTS[2:0]ビットを 011b に設定してください。
注.　HOCOCR.HCSTP = 0 および OSCSF.HOCOSF = 0（HOCO は安定待機時間カウント中）の状態にあるとき、OPCCR.OPCM[1:0]ビットへの書き込みは禁止されています。
注 1.　OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。
注 2.　OPCCR.OPCMTSF = 1、または OPCCR.OPCMTSF = 1（動作電力制御モードの遷移中）の状態にあるとき、HCSTP への書き込みは禁止されています。
注 3.　HOCO (HCSTP = 0) を動作させる前に、OFS1.HOCOFRQ1[2:0]ビットを最適な値に設定してください。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット（HOCO 停止）

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。また、HOCO を停止するように設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロック停止後に、OSCSF.HOCOSF ビットが 0 になっていることを確認してから、HOCO クロックを再開してください。
- HOCO を停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してください。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認した上で WFI 命令を実行してください。

- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認した上で WFI 命令を実行してください。

以下の条件で HCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b（システムクロックソース = HOCO）

8.2.8 MOCOCR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MOCOCR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット（MOCO 停止）

MCSTP は、MOCO を動作または停止させます。

MCSTP ビットを 0 にした後、MOCO クロック発振安定待機時間（t_{MOCOWT}）が経過してから、MOCO クロックを使用してください。MOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要です。
- MOCO を停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- MOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で MCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b（システムクロックソース = MOCO）

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) を有効にしているとき、MCSTP ビットを 1（MOCO 停止）にすることは禁止されています。

8.2.9 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MOSCSF	—	—	HOCOSF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックとして使用可能	R
2:1	—	読むと 0 が読めます。	R
3	MOSCSF	メインクロック発振安定フラグ 0: メインクロック発振器は停止 (MOSTP = 1) または発振安定待ち中(注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
7:4	—	読むと 0 が読めます。	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。
OFS1.HOCOEN = 1（HOCO 停止）の場合、HOCOSF のリセット後の値は 0 です。
OFS1.HOCOEN = 0（HOCO 動作）の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。

注 2. メインクロック発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値（待機時間）が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ（HOCO クロック発振安定フラグ）

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。
OFS1.HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF フラグが 1 であることを確認してください。

[1 になる条件]

- HOCO 停止時、HOCOCR.HCSTP ビットが 0 になった後、MOCO クロックで HOCO 発振安定時間をカウントし、MCU 内部へ HOCO クロック供給を開始したとき。HOCO 発振安定待機時間は「35. 電気的特性」を参照してください。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

MOSCSF フラグ（メインクロック発振安定フラグ）

MOSCSF フラグは、メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた MOCO サイクル数をカウントし、MCU 内部へメインクロック供給を開始したとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

8.2.10 OSTDCR : 発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OSTDE	—	—	—	—	—	—	OSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDIE	発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止（POEG への通知なし） 1: 発振停止検出割り込みを許可（POEG への通知あり）	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OSTDE	発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注.　本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット（発振停止検出割り込み許可）

OSTDIE ビットは、発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことで、PCLKB の 2 サイクル以上の待ち時間を確保できます。

OSTDE ビット（発振停止検出機能有効）

OSTDE ビットは、発振停止検出機能を有効にします。

OSTDE ビットを 1（有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードへ遷移する前に、OSTDE ビットを 0 にする必要があります。ソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。
Low-speed モードでは、ICLK、PCLKB、PCLKD に対する 1、2 分周は選択不可

8.2.11 OSTDSR : 発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x041

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OSTDF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDF	発振停止検出フラグ 0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1.　0 のみ書けます。本フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

OSTDF フラグ（発振停止検出フラグ）

OSTDF フラグは、メインクロック発振器の状態を示します。本フラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDF フラグは 0 にできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）

クロックソースをメインクロック発振器以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

[1 になる条件]

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0]ビットが 011b（システムクロックが MOSC）、101b 以外で、1 を読み出してから 0 を書き込み

8.2.12 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTS[3:0]			
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
3:0	MSTS[3:0]	メインクロック発振安定待機時間設定 0x0: 待機時間 = 2 サイクル (0.25 μs) 0x1: 待機時間 = 1024 サイクル (128 μs) 0x2: 待機時間 = 2048 サイクル (256 μs) 0x3: 待機時間 = 4096 サイクル (512 μs) 0x4: 待機時間 = 8192 サイクル (1024 μs) 0x5: 待機時間 = 16384 サイクル (2048 μs) 0x6: 待機時間 = 32768 サイクル (4096 μs) 0x7: 待機時間 = 65536 サイクル (8192 μs) 0x8: 待機時間 = 131072 サイクル (16384 μs) 0x9: 待機時間 = 262144 サイクル (32768 μs) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MSTS[3:0]ビット（メインクロック発振安定待機時間設定）

MSTS[3:0]ビットは、メインクロック発振器の発振安定待機時間を指定します。

発振器メーカが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0x0 に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。 1 サイクル (μs) = 1/(f_{MOCO}_typ [MHz]) = 1/8 = 0.125 (μs) (typ.)（f_{MOCO}_typ: MOCO 代表周波数）。MOCO は、必要であれば、MOCO.MCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

8.2.13 HOCOWTCR : 高速オンチップオシレータウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A5

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HSTS[2:0]		
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
2:0	HSTS[2:0]	HOCO 待機時間設定 1 0 1: リセット後の値 0 1 1: HOCOCR.HCSTP ビットを設定して高速オンチップオシレータを開始する前に、前もって HSTS[2:0]ビットを 011b に設定する必要があります。 待機時間 = 46 サイクル (5.75 µs) 待機時間は MOCO = 8 MHz（標準は 0.125 µs）として計算されます。 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

HOCOWTCR レジスタは、高速オンチップオシレータの出力を内部回路に供給するまでの待機時間を制御するレジスタです。HOCOCR.HCSTP ビットが 1 の場合、または OSCSF.HOCOSF フラグが 1 の場合にのみ、HOCOWTCR に書き込むことができます。それ以外では、このレジスタに書き込まないでください。

HSTS[2:0]ビット（HOCO 待機時間設定）

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。高速オンチップオシレータが動作を開始すると、発振安定待ち回路は、HOCOWTCR レジスタの設定値に応じた中速クロックサイクル数のカウントを開始します。設定したサイクル数のカウントが完了するまでの間、MCU のクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCSF.HOCOSF フラグが 1 になります。

発振安定待ち回路は、MOCOCR.MCSTP ビットの設定にかかわらず、中速クロックのサイクル数のカウントを継続します。待機時間の計測時には、ハードウェアで自動的に中速オンチップオシレータの動作／停止が制御されます。

8.2.14 MOMCR : メインクロック発振器モード発振コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x413

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MOSEL	—	—	MODRV1	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MODRV1	メインクロック発振器ドライブ能力 1 切り替え 0: 10 MHz～20 MHz 1: 1 MHz～10 MHz	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	MOSEL	メインクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. EXTAL/XTAL 端子はポートとしても使用されます。初期状態では、この端子がポートとして設定されます。
注. このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1（MOSC 停止）にする必要があります。

MODRV1 ビット （メインクロック発振器ドライブ能力 1 切り替え）

この MODRV1 ビットでメインクロック発振器のドライブ能力を切り替えます。

MOSEL ビット （メインクロック発振器切り替え）

MOSEL ビットでメインクロック発振器の発振源を切り替えます。

8.2.15 CKOCR : クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOEN	CKODIV[2:0]			—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO（リセット後の値） 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

CKOSEL[2:0]ビット（クロック出力ソース選択）

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0]ビット（クロック出力周波数分周比）

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「35. 電気的特性」を参照してください。

CKOEN ビット（クロック出力許可）

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。このビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。それ以外の場合は、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロック出力ソースを停止させる場合、事前にこのビットをクリアしてください。

8.2.16 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
Offset address: 0x492

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0xF8: -8 0xF9: -7 ⋮ 0xFF: -1 0x00: 0 0x01: +1 ⋮ 0x06: +6 0x07: +7	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

LOCO 周波数は、トリミング値を LOCOUTCR レジスタに設定することで、1 ビットあたりおよそ 3.9%の分解能でトリミングできます。

トリミング値を増やすと LOCO 周波数は高くなります。

トリミング値を減らすと LOCO 周波数は低くなります。

LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。LOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。LOCO 周波数と他の発振周波数の比が整数値の場合、LOCOUTCR の値を変更することは禁止されています。

注. 周波数トリミングの後、温度と電源電圧が変わると、周波数は変わります。そのような場合、定期的にトリミングを実施するか、高い周波数精度が必要な際にトリミングを実施する必要があります。

8.2.17 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
Offset address: 0x061

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0xF0: -16 0xF1: -15 ⋮ 0xFF: -1 0x00: 0 0x01: +1 ⋮ 0x0E: +14 0x0F: +15	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

MOCO 周波数は、トリミング値を MOCOUTCR レジスタに設定することで、1 ビットあたりおよそ 1.2%の分解能でトリミングできます。

トリミング値を増やすと MOCO 周波数は高くなります。

トリミング値を減らすと MOCO 周波数は低くなります。

MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
MOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。MOCO 周波数と他の発振周波数の比が整数値の場合、MOCOUTCR の値を変更することは禁止されています。

注.　周波数トリミングの後、温度と電源電圧が変わると、周波数は変わります。そのような場合、定期的にトリミングを実施するか、高い周波数精度が必要な際にトリミングを実施する必要があります。

8.2.18 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ

Base address:　SYSC = 0x4001_E000

Offset address:　0x062

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザートリミング 0xE0:　-32 0xE1:　-31 ⋮ 0xFF:　-1 0x00:　0 0x01:　+1 ⋮ 0x1E:　+30 0x1F:　+31	R/W

注.　PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

HOCO 周波数は、トリミング値を HOCOUTCR レジスタに設定することで、1 ビットあたりおよそ 0.028%の分解能でトリミングできます。

トリミング値を増やすと HOCO 周波数は高くなります。

トリミング値を減らすと HOCO 周波数は低くなります。

HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
HOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

注.　周波数トリミングの後、温度と電源電圧が変わると、周波数は変わります。そのような場合、定期的にトリミングを実施するか、高い周波数精度が必要な際にトリミングを実施する必要があります。

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

8.3.1 発振子を接続する方法

図 8.5 に発振子の接続例を示します。必要に応じてダンピング抵抗 (Rd) を挿入してください。

この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

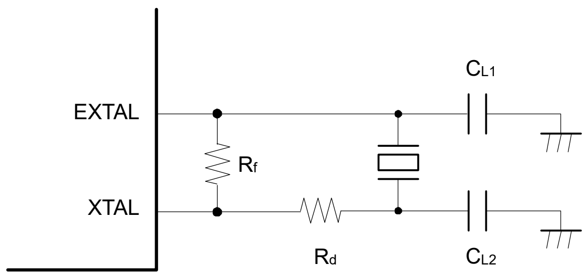


図 8.5　発振子の接続例

図 8.6 に発振子の等価回路を示します。

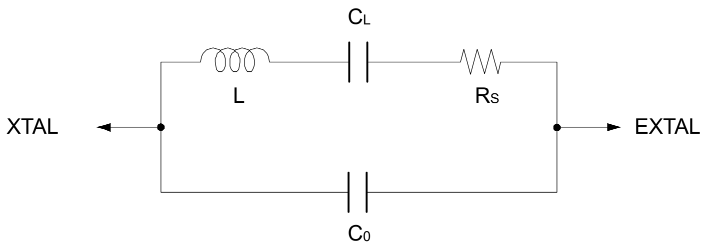


図 8.6　発振子の等価回路

8.3.2　外部クロックを入力する方法

図 8.7 に、外部クロック入力の接続例を示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

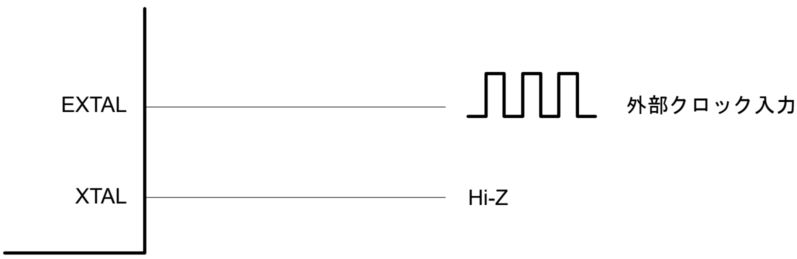


図 8.7　外部クロックの等価回路

8.3.3　外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット（MOSCCR.MOSTP）が 0 の場合、外部クロック入力の周波数を変更しないでください。

8.4 発振停止検出機能

8.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロックの発振停止が検出されます。「35. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、は、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが 1 になると MOCO クロックへ切り替わり、OSTDF フラグを 0 にするとメインクロックに戻ります。ただし、CKSEL[2:0]ビットでメインクロックを選択している場合は、OSTDF フラグを 0 にできません。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る

注. SCKSCR.CKSEL[2:0] ≠ 011b の場合、OSTDF は 0 にできない。

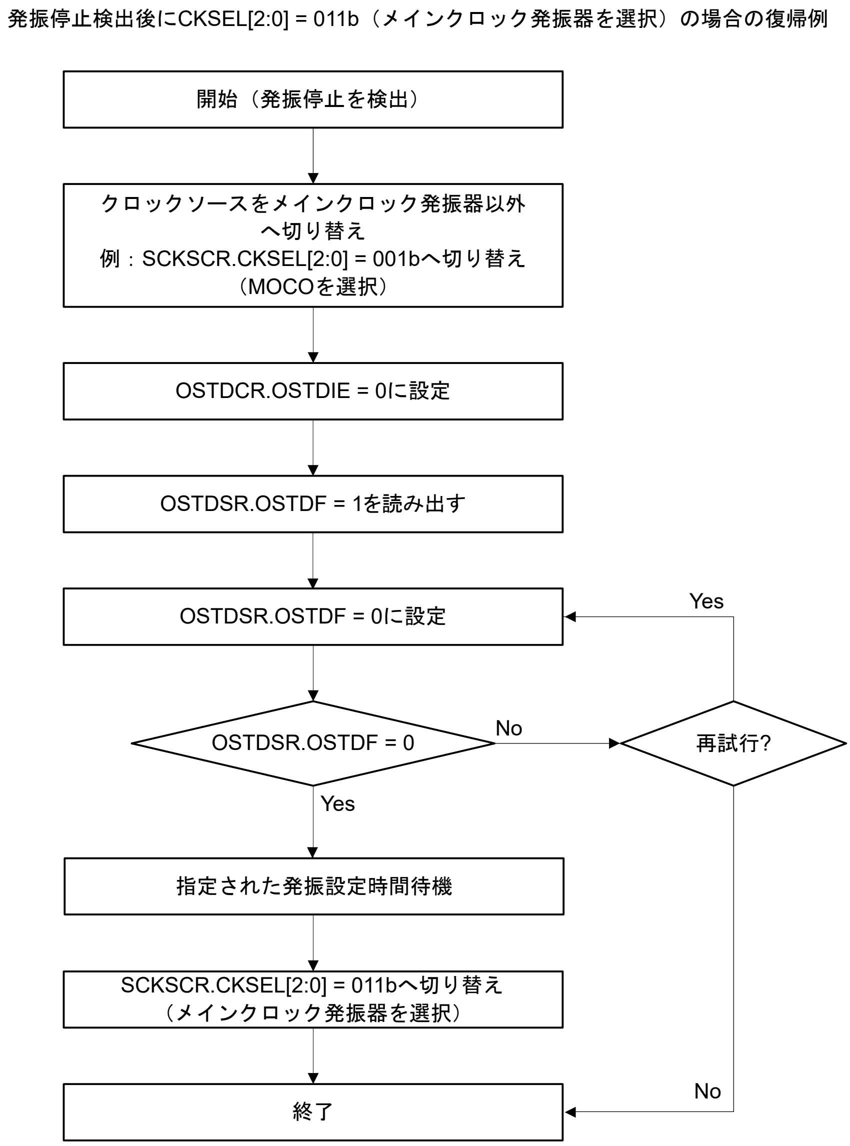
発振停止検出後にクロックソースをメインクロックに戻したい場合は、一度 CKSEL[2:0]ビットの設定をメインクロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0]ビットの設定をメインクロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアによるメインクロック発振器の停止、あるいはソフトウェアスタンバイモードへの遷移の前に、発振停止検出機能を無効にする必要があります。

発振停止検出機能は、CLKOUT 以外のメインクロックとして選択可能なすべてのクロックを MOCO（システムクロックが MOSC の場合）に切り替えます。

MOCO 動作中（システムクロックが MOSC の場合）のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比に指定されます。



注.　発振停止状態から復帰する際は、発振を再開できるように、メインクロック発振回路の停止要因をシステムから取り除く必要があります。

図 8.8　発振停止検出時の復帰フロー

8.4.2　発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1（許可）のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このときポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A, B) の発振停止検出フラグを 1 にします。

発振停止を検出後、POEGGn.OSTPF フラグに書き込みする場合は、PCLKB で 10 クロックサイクル以上待ってから行ってください。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。OSTDCR.OSTDIE ビットを 1 にする場合は、PCLKB で 2 クロックサイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

8.5 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック
- HOCO クロック
- MOCO クロック
- LOCO クロック
- IWDT 専用クロック

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU、DTC、フラッシュ、Flash-IF、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKB および PCLKD
- CAC の動作クロック — CACCLK
- IWDT の動作クロック — IWDTCLK
- AGTW LOCO クロックの動作クロック — AGTLCLK
- SysTick タイマ — SYSTICCLK の動作クロック
- 外部端子出力のクロック — CLKOUT

内部クロックの周波数設定に使用するレジスタの詳細については、「8.5.1. システムクロック (ICLK)」～「8.5.7. 外部端子出力クロック (CLKOUT)」を参照してください。

いずれかのビットの値を変更した場合、以降は変更後の値に応じた周波数で動作します。

8.5.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、フラッシュメモリ、Flash-IF、および SRAM の動作クロックです。

ICLK の周波数は、OFS1.HOCOFRQ1[2:0] ビット、SCKDIVCR.ICK[2:0] ビット、および SCKSCR.CKSEL[2:0] ビットで設定します。

ICLK クロックソース切り替え時、クロックソース移行期間中は、ICLK クロック周期が長くなります。図 8.9 および図 8.10 を参照してください。

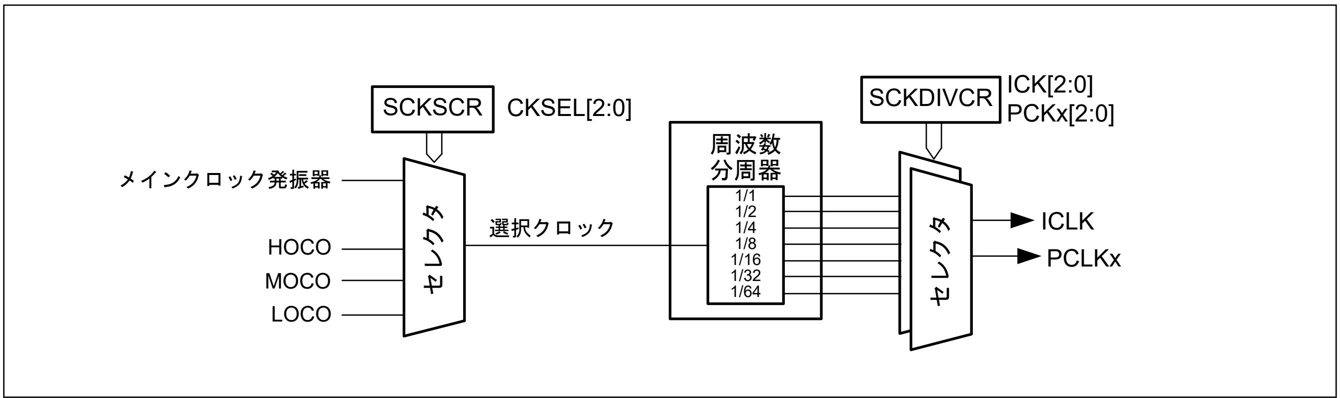


図 8.9 クロックソースセレクタのブロック図

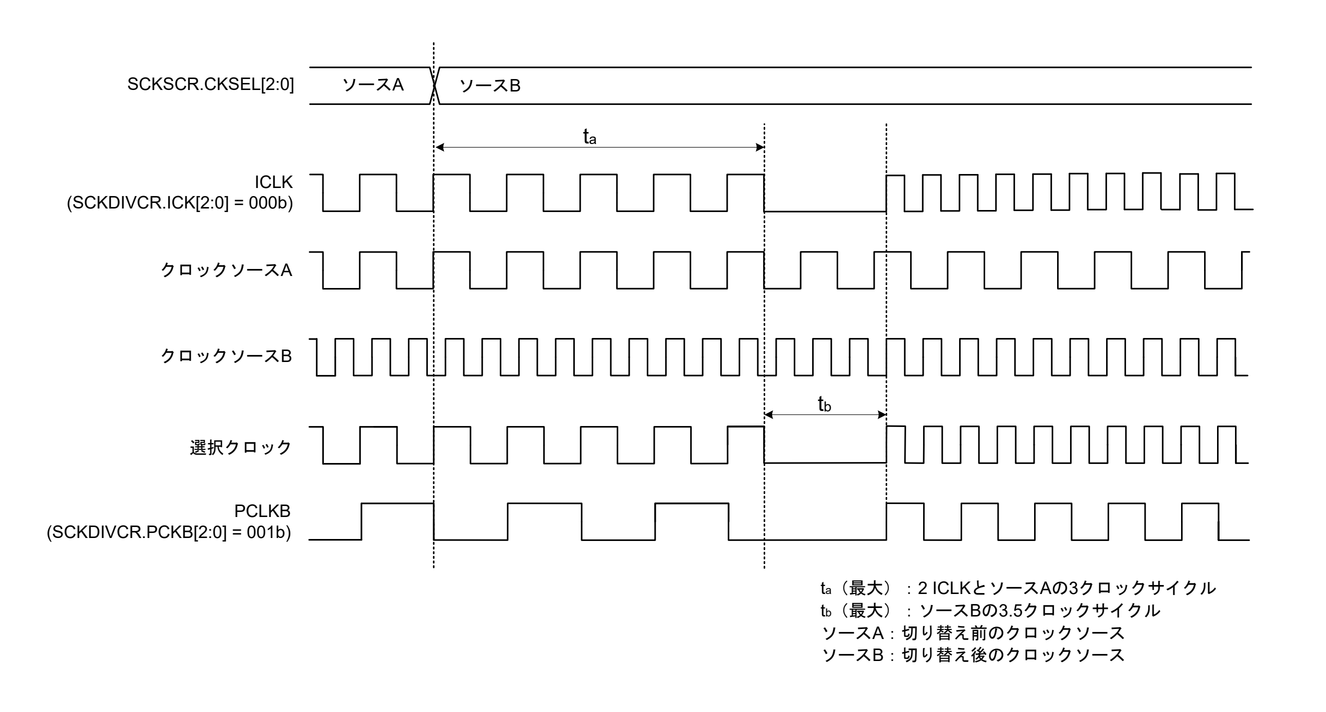


図 8.10　クロックソース切り替えのタイミング

8.5.2　周辺モジュールクロック (PCLKB, PCLKD)

周辺モジュールクロック（PCLKB および PCLKD）は、周辺モジュールで使用される動作クロックです。

各クロックの周波数は、以下のビットで指定されます。

- OFS1.HOCOFRQ1[2:0]
- SCKDIVCR.PCKB[2:0]および SCKDIVCR.PCKD[2:0]
- SCKSCR.CKSEL[2:0]

周辺モジュールクロックのクロックソース切り替え時、クロックソース移行期間中は、周辺モジュールクロックの周期が長くなります。図 8.9 と図 8.10 を参照してください。

8.5.3　CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は以下の発振器で生成されます。

- メインクロック発振器
- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDT 専用オンチップオシレータ (IWDTLOCO)

8.5.4　IWDT 専用クロック (IWDTCLK)

IWDT 専用クロック (IWDTCLK) は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

8.5.5　AGTW 専用クロック (AGTLCLK)

AGTW 専用クロック (AGTLCLK) は、AGTW の動作クロックです。AGTLCLK は LOCO クロックで生成されます。

8.5.6 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

8.5.7 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビット
- OFS1.HOCOFRQ1[2:0]ビット

8.6 使用上の注意

8.6.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR レジスタの設定に従って変わります。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB, PCLKD)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「35. 電気的特性」を参照してください。
- システムクロックと周辺モジュールクロックは、必ず表 8.2 に従い設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.6.2 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.11 に示すように、発振回路の近くには他の信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。図 8.11 に、メインクロック発振器を使用した場合を示します。

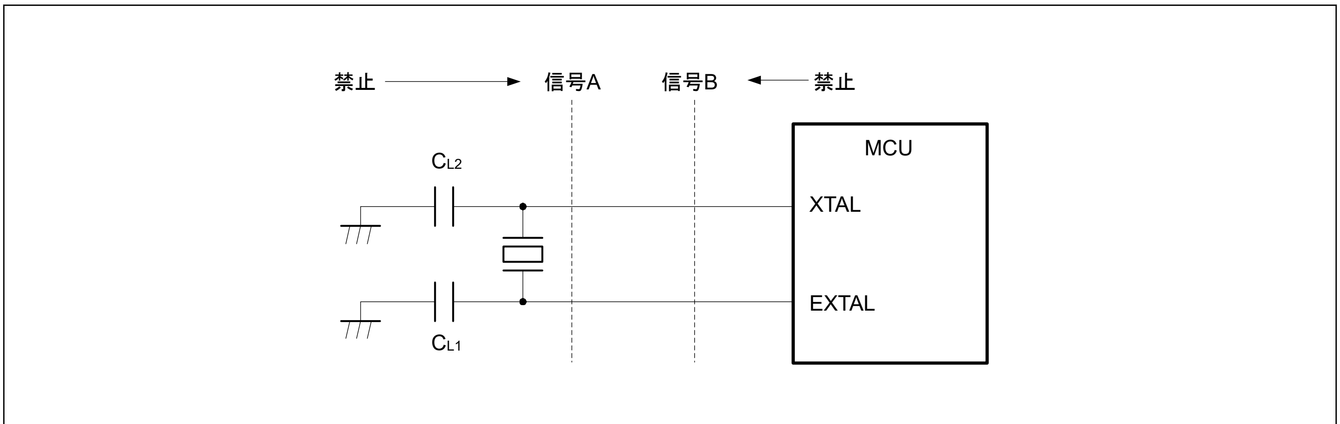


図 8.11 発振回路部のボード設計に関する信号のルーティング

8.6.3 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 ● メインクロック発振器 ● HOCO クロック ● MOCO クロック ● LOCO クロック ● 周辺モジュールクロック B (PCLKB) ● IWDT 専用クロック
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 ● CACREF 端子への外部クロック入力 ● メインクロック発振器 ● HOCO クロック ● MOCO クロック ● LOCO クロック ● 周辺モジュールクロック B (PCLKB) ● IWDT 専用クロック
選択機能	デジタルフィルタ機能
割り込み要因	● 測定終了割り込み ● 周波数エラー割り込み ● オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

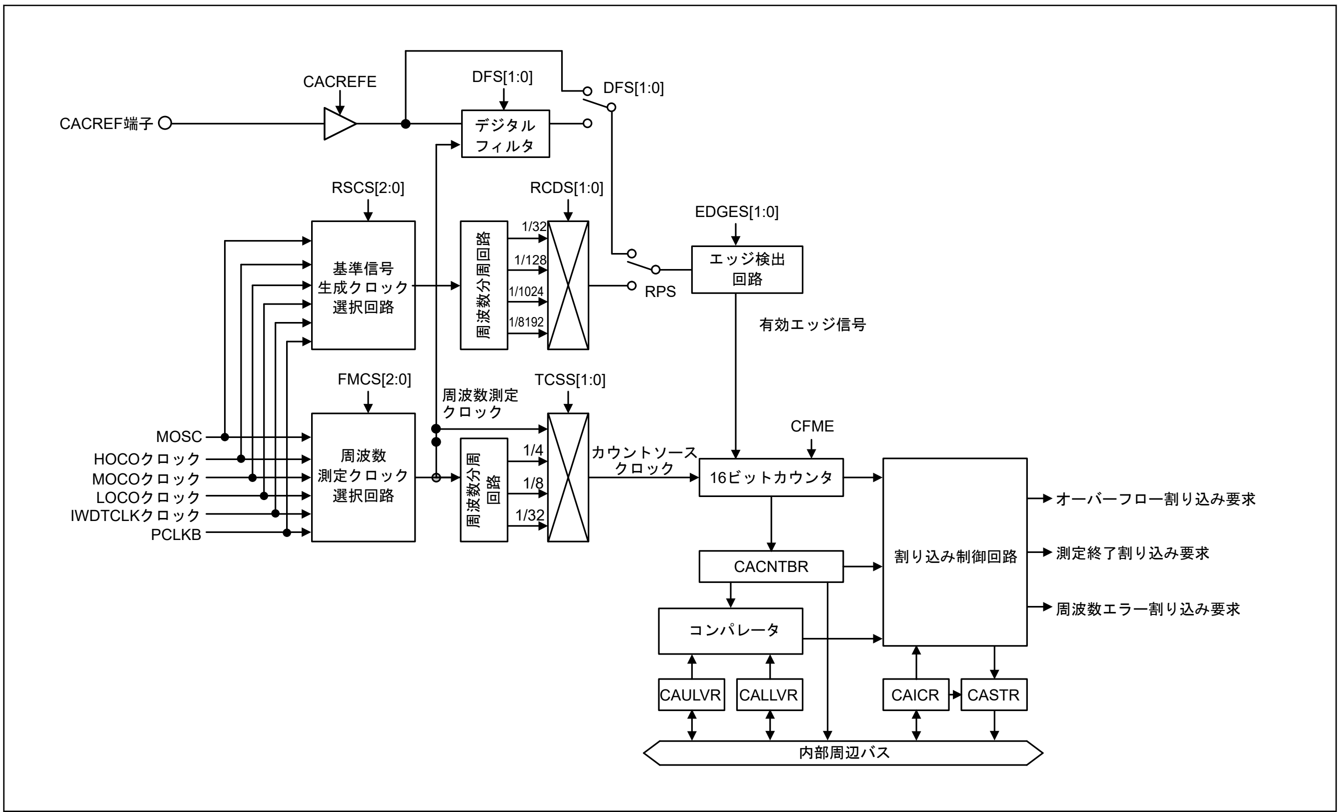


図 9.1　　CAC のブロック図

表 9.2　　CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

9.2　　レジスタの説明

9.2.1　　CACR0 : CAC コントロールレジスタ 0

Base address:　CAC = 0x4004_4600

Offset address:　0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFME
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0:　クロック周波数測定無効 1:　クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CFME ビット（クロック周波数測定有効）

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4004_4600
Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: メインクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDT 専用クロック その他: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: × 4 分周クロック 1 0: × 8 分周クロック 1 1: × 32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注.　CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット（CACREF 端子入力有効）

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0]ビット（測定対象クロック選択）

FMCS[2:0]ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

TCSS[1:0]ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0]ビット（有効エッジ選択）

EDGES[1:0]ビットは、測定基準クロックの有効エッジを選択します。

9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4004_4600
Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック（内部生成信号）	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: メインクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDT 専用クロック その他: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注.　CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット（基準信号選択）

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0]ビット（測定基準クロック選択）

RSCS[2:0]ビットは、測定基準クロックを選択します。

RCDS[1:0]ビット（測定基準クロック分周比選択）

RCDS[1:0]ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 （CACREF 端子入力が測定基準クロックとして使用）の場合、測定基準クロックは分周されません。

DFS[1:0]ビット（デジタルフィルタ機能選択）

DFS[1:0]ビットは、デジタルフィルタのサンプリングクロックを選択します。

9.2.4　CAICR : CAC 割り込み要求許可レジスタ

Base address:　CAC = 0x4004_4600

Offset address:　0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W

ビット	シンボル	機能	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FERRIE ビット（周波数エラー割り込み要求許可）

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

MENDIE ビット（測定終了割り込み要求許可）

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します

OVFIE ビット（オーバーフロー割り込み要求許可）

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

FERRFCL ビット（FERRF フラグクリア）

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット（MENDF フラグクリア）

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット（OVFF フラグクリア）

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

9.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MENDF	FERRF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた（周波数エラー）	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x06

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x08

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x0A

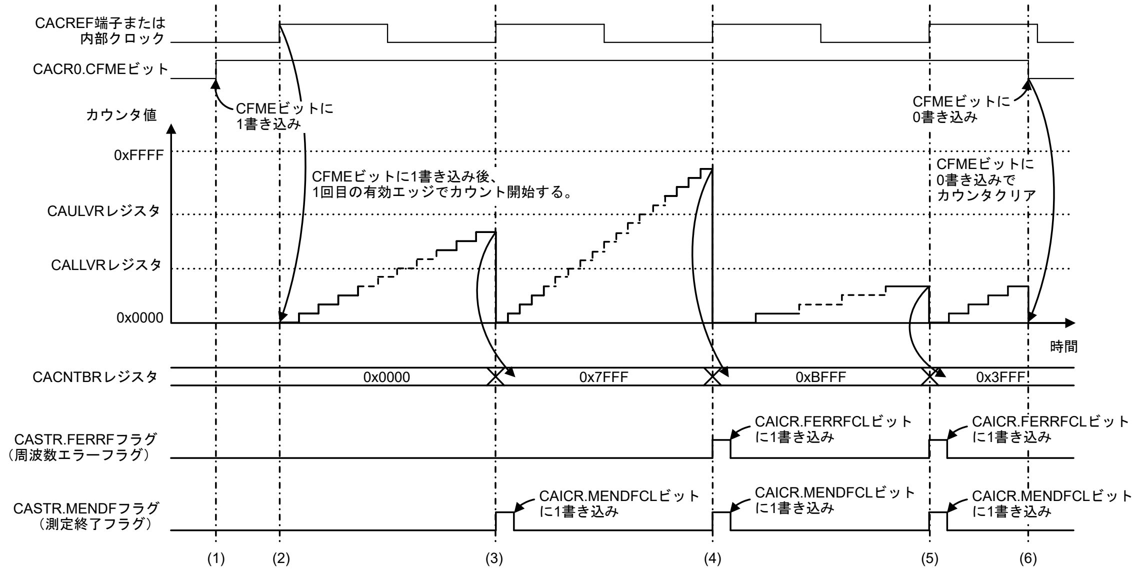
Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。 図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。



上図は次の条件の場合です。
CACREF端子入力を基準とした場合：
CACR1：CACREFE = 1、EDGES[1:0] = 00b
CAULVR = 0xAAAA、CALLVR = 0x5555
内部クロックを基準とした場合：
CACR1：CACREFE = 0、EDGES[1:0] = 00b
CAULVR = 0xAAAA、CALLVR = 0x5555

図 9.2　　CAC の動作例

図 9.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0]ビットで選択したクロックソースを元に CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 ≦ CAULVR レジスタの値かつ CACNTBR レジスタの値 ≧ CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 > CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 < CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2　CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

9.4　割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。 表 9.3 に CAC 割り込み要求を示します。

表 9.3　CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値> CAULVR レジスタ値または CACNTBR レジスタ値< CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	● 測定基準クロックの有効エッジが入力されたとき ● ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5　使用上の注意事項

9.5.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止／許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に低消費電力モード機能の仕様を示します。表 10.2 に低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK) と周辺モジュールクロック（PCLKB および PCLKD）に対して、個別に分周比の選択が可能(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	● スリープモード ● ソフトウェアスタンバイモード ● スヌーズモード
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能 以下の 4 つの動作電力制御モードが利用可能 ● High-speed モード ● Middle-speed モード ● Low-speed モード ● Subosc-speed モード

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
遷移条件	SBYCR.SSBY = 0 の状態で［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求(注2) (WFI 命令実行時からスリープモードへの遷移完了時への遷移を含む) ［条件 2］ ● SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求(注2) (WFI 命令実行時からスリープモードへの遷移完了時への遷移を含む)	SBYCR.SSBY = 1 の状態で［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求(注2) (WFI 命令実行時からソフトウェアスタンバイモードへの遷移完了時への遷移を含む) ［条件 2］ ● SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求(注2) (WFI 命令実行時からソフトウェアスタンバイモードへの遷移完了時への遷移を含む)	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込み。 このモードで利用可能なすべてのリセット。	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット。	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット。
割り込みによる解除後の状態	プログラム実行状態	プログラム実行状態	プログラム実行状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能(注3)
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能

表 10.2　各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
IWDT 専用オンチップオシレータ	選択可能(注5)	選択可能(注5)	選択可能(注5)
発振停止検出機能	選択可能	動作禁止	動作禁止
クロック／ブザー出力機能	選択可能	選択可能(注4)	選択可能
CPU	停止（保持）	停止（保持）	停止（保持）
SRAM	選択可能	停止（保持）	選択可能
フラッシュメモリ	動作	停止（保持）	停止（保持）
データトランスファコントローラ (DTC)	選択可能	停止（保持）	選択可能
ウォッチドッグタイマ (WDT)	選択可能(注5)	停止（保持）	停止（保持）
独立ウォッチドッグタイマ (IWDT)	選択可能(注5)	選択可能(注5)	選択可能(注5)
低消費電力非同期汎用タイマ (AGTWn, n = 0, 1)	選択可能	選択可能(注6)	選択可能(注6)
12 ビット A/D コンバータ (ADC12)	選択可能	停止（保持）	選択可能(注10)
データ演算回路 (DOC)	選択可能	停止（保持）	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止（保持）	選択可能(注8)
シリアルコミュニケーションインタフェース (SCIn, n = 1, 2, 9)	選択可能	停止（保持）	動作禁止
I^{2}C バスインタフェース (IIC0)	選択可能	選択可能(注9)	選択可能(注9)
イベントリンクコントローラ (ELC)	選択可能	停止（保持）	選択可能(注7)
高速アナログコンパレータ (ACMPHS0/1)	選択可能	選択可能(注11)	選択可能(注11)
NMI、IRQn (n = 0〜7) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出回路 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止（保持）	動作禁止
I/O ポート	動作	保持	動作

注.　「選択可能」とは、動作／停止がコントロールレジスタによって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
そうしないと、スヌーズモードでは適切な動作が保証されません。

注 1.　モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。
スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

注 2.　有効な割り込み要求は、現在の例外の優先レベルおよび BASEPRI によって設定された優先レベルによりマスクされていない、任意の割り込み／例外です。さらに、割り込み要求が IELSRn に基づいている場合、その割り込みは NVIC_ISERn により許可されなければなりません。

注 3.　スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットは 1 でなければなりません。

注 4.　クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) 以外の値に設定されている場合は停止します。

注 5.　IWDT 専用オンチップオシレータおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT 停止制御ビット (IWDTSTPCTL) の設定により、動作または停止が選択されます。WDT の場合、WDT オートスタートモード時はオプション機能選択レジスタ 0 (OFS0) の WDT 停止制御ビット (WDTSTPCTL) の設定により、動作または停止が選択されます。また、WDT レジスタスタートモード時は WDTCSTPR.SLCSTP ビットの設定により、動作または停止が選択されます。

注 6.　AGTW0.AGTMR1.TCK[2:0]ビットで 100b (LOCO) が選択されている場合、AGTW0 は動作可能です。
AGTW1.AGTMR1.TCK[2:0]ビットで 100b (LOCO) または 101（AGTW0 からのアンダーフローイベント信号）が選択されている場合、AGTW1 は動作可能です。

注 7.　イベントは、「10.9.12. スヌーズモードにおける ELC イベント」に記載されたものに限定されます。

注 8.　SCI0 のシリアル通信モードは、調歩同期式モードに限定されます。

注 9.　ウェイクアップ割り込みのみが利用可能です。

注 10.　スヌーズモードで 12 ビット A/D コンバータ (ADC12) を使用する場合は、ADCMPCR.CMPAE ビットおよび ADCMPCR.CMPBE ビットが 1 でなければなりません。

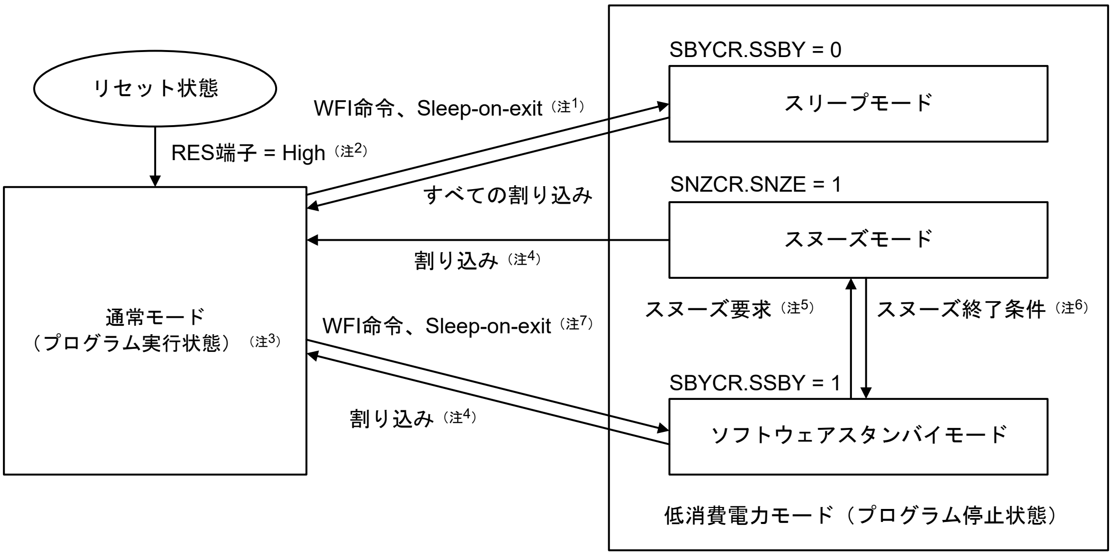
注 11.　VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。デジタルフィルタの詳細については、「28. 高速アナロググコンパレータ (ACMPHS)」を参照してください。

表 10.3　スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0～7)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
KINT	KEY_INTKR	可能	可能
AGTW1	AGT1_AGTI	可能	可能(注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPHS	ACMP_HS0	可能	可能
IIC0	IIC0_WUI	可能	可能
ADC120	ADC120_WCMPM	不可能	SELSR0 で可能(注1) (注3)
	ADC120_WCMPUM	不可能	SELSR0 で可能(注1) (注3)
SCI0	SCI0_AM	不可能	SELSR0 で可能(注1) (注2)
	SCI0_RXI_OR_ERI	不可能	SELSR0 で可能(注1) (注2)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能(注1)
DOC	DOC_DOPCI	不可能	SELSR0 で可能(注1)

注 1.　割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
注 2.　SCI0_AM または SCI0_RXI_OR_ERI のいずれか一方のみ選択可能です。
注 3.　SNZEDCR0 レジスタにより許可されるイベントは使用しないでください。

図 10.1 に通常モードと低消費電力モード間の遷移を示します。



注 1.　スリープモード状態への遷移中に、スリープモード状態の解除トリガとして機能する割り込みが受け付けられると、MCU はスリープモード状態へは遷移せずに、通常モード状態へ戻ります。
注 2.　リセット状態から通常モードへ遷移した後は、MOCO が動作クロックソースです。
注 3.　スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時の割り込みによって、通常モードへ遷移します。クロックソースは低消費電力モードへ遷移する前と同じです。
注 4.　表 10.3 を参照してください。
注 5.　「10.5.1. 動作電力制御モードの設定方法」を参照してください。
注 6.　「10.8.3. スヌーズモードからソフトウェアスタンバイモードへの復帰」を参照してください。
注 7.　ソフトウェアスタンバイモード状態への遷移中に、スリープモード状態の解除トリガとして機能する割り込みが受け付けられると、MCU はソフトウェアスタンバイモード状態へは遷移せずに、通常モード状態へ戻ります。

図 10.1　　低消費電力モードの遷移

10.2　　レジスタの説明

10.2.1　　SBYCR : スタンバイコントロールレジスタ

Base address:　SYSC = 0x4001_E000

Offset address:　0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むとリセット値が読めます。書く場合、リセット値を書いてください。	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0:　スリープモード 1:　ソフトウェアスタンバイモード	R/W

注.　　PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SSBY ビット（ソフトウェアスタンバイモード選択）

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

FENTRYR.FENTRY0 ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

10.2.2 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: SYSC = 0x4001_E000

Offset address: 0x01C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTP A22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
21:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DTC モジュールストップ設定(注1) 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DTC を無効にしてから MSTPA22 ビットを設定してください。

10.2.3 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4004_7000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTP B31	MSTP B30	MSTP B29	—	—	—	—	—	—	MSTP B22	—	—	MSTP B19	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTP B9	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
9	MSTPB9	I^{2}C バスインタフェース 0 モジュールストップ設定 対象モジュール : IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定 対象モジュール : SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定 対象モジュール：SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
29	MSTPB29	シリアルコミュニケーションインタフェース 2 モジュールストップ設定 対象モジュール：SCI2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30	MSTPB30	シリアルコミュニケーションインタフェース 1 モジュールストップ設定 対象モジュール：SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定 対象モジュール：SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

10.2.4 MSTPCRC : モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4004_7000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPC14	MSTPC13	—	—	—	—	—	—	—	—	—	—	—	MSTPC1	MSTPC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール: CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール：DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール: ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. MSTPC0 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが 2 サイクル経過してから WFI 命令を実行してください。

10.2.5 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4004_7000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTPD28	—	—	—	—	—	—	—	—	—	—	—	MSTPD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPD14	MSTPD13	—	—	—	—	—	—	MSTPD6	—	—	MSTPD3	MSTPD2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	MSTPD2	低消費電力非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール : AGTW1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3	MSTPD3	低消費電力非同期汎用タイマ 0 モジュールストップ設定(注2) 対象モジュール : AGTW0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
5:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
6	MSTPD6	汎用 PWM タイマ 160～163 および PWM 遅延生成回路モジュールストップ設定 対象モジュール : GPT160～GPT163 および PWM 遅延生成回路 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	MSTPD13	GPT 用ポートアウトプットイネーブル 1 モジュールストップ設定 対象モジュール : POEG1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブル 0 モジュールストップ設定 対象モジュール : POEG0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPD16	12 ビット A/D コンバータモジュールストップ設定 対象モジュール : ADC120 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
28	MSTPD28	高速アナログコンパレータモジュールストップ設定 対象モジュール : ACMPHS 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. カウントソースが LOCO の場合、MSTPD2 ビットを 1 にしても、AGTW1 のカウントは停止しません。カウントソースが LOCO の場合、AGTW1 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

注 2. カウントソースが LOCO の場合、MSTPD3 ビットを 1 にしても、AGTW0 のカウントは停止しません。カウントソースが LOCO の場合、AGTW0 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

10.2.6　OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCM TSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: Middle-speed モード 1 0: 設定禁止 1 1: Low-Speed モード	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。動作電力制御モードの変更手順については、「10.5. 動作電力低減機能」を参照してください。

OPCM[1:0]ビット（動作電力制御モード選択）

OPCM[1:0]ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

MCU が以下の条件下にあるとき、OPCCR.OPCM[1:0]に書き込むことは禁止されています。

1. HOCOCR.HCSTP と OSCSF.HOCOSF が 0（HOCO クロックの発振がまだ安定になっていない）のとき
2. MCU がスリープモードかスヌーズモードのとき、MCU がスリープモードまたはスヌーズモードから通常モードへ遷移中のとき、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移中のとき、MCU が動作電源モード遷移中のとき
3. フラッシュがプログラミングモードのとき
4. MCU が Subosc-speed モード（SOPCCR.SOPCM ビットが 1）のとき

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ リード時）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

10.2.7　SOPCCR : サブ動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0AA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SOPC MTSF	—	—	—	SOPC M
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOPCM	サブ動作電力制御モード選択 0: Subosc-speed モード以外 1: Subosc-speed モード	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SOPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰を行います。Subosc-speed モードは、分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、「10.5. 動作電力低減機能」を参照してください。

SOPCM ビット（サブ動作電力制御モード選択）

SOPCM ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、本ビットを 0 にすることで、Subosc-speed モード遷移前の動作モード（OPCCR.OPCM[1:0]で設定された動作モード）へ復帰できます。

MCU が以下の状態の場合は、SOPCCR.SOPCM への書き込みが禁止されます。

1. MCU がスリープモードまたはスヌーズモードである、MCU がスリープモード、スヌーズモード、またはソフトウェアスタンバイモードから通常モードに遷移している、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移している、または MCU が動作電力モードの遷移状態にある。
2. フラッシュがプログラミングモードである。
3. MOSC が動作中である（MOSCCR.MOSTP ビットが 0）、HOCO が動作中である（HOCOCR.HCSTP ビットが 0）、または MOCO が動作中である（MOCOCR.MCSTP ビットが 0）。
4. SCKDIVCR レジスタの値が 0x00000000 ではない。
5. データフラッシュが無効である（DFLCTL.DFLEN ビットが 0）。

表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ（動作電力制御モード遷移状態フラグ リード時）

SOPCMTSF フラグは、動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 動作電力制御モード

動作電力制御モード	OPCM[1:0]ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	High
Middle-speed モード	01b	0	↓
Low-speed モード	11b	0	↓
Subosc-speed モード	xxb	1	Low

10.2.8 SNZCR : スヌーズコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RXDREQEN	RXD0 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
1	SNZDTCEN	スヌーズモード時の DTC 許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SNZE	スヌーズモード許可 0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RXDREQEN ビット（RXD0 スヌーズ要求許可）

RXDREQEN ビットはソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは SCI0 が調歩同期式モードで動作しているときのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット（スヌーズモード時の DTC 許可）

SNZDTCEN ビットは、スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn レジスタを設定することで、DTC を起動することが可能です。

SNZE ビット（スヌーズモード許可）

SNZE ビットは、ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったん 0 にしてから再設定してください。詳細は「10.8. スヌーズモード」を参照してください。

10.2.9 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x094

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AGTUNFED	AGTW1 アンダーフロー時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
3	AD0MATED	ADC12 コンペアマッチスヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
4	AD0UMTED	ADC12 コンペア不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SCI0UMTED	SCI0 アドレス不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

注.　PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZEDCR0 レジスタは、スヌーズモードからソフトウェアスタンバイモードへの切り替え条件を制御します。表 10.7 に示すトリガをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用する場合は、SNZEDCR0 レジスタの対応するビットを 1 にする必要があります。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR0 レジスタで許可しないでください。

AGTUNFED ビット（AGTW1 アンダーフロー時スヌーズ終了許可）

AGTUNFED ビットは､AGTW1 アンダーフローを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。

DTCZRED ビット（最後の DTC 送信完了時スヌーズ終了許可）

DTCZRED ビットは、最後の DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「15. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット（最後以外の DTC 送信完了時スヌーズ終了許可）

DTCNZRED ビットは、各 DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0 以外）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「15. データトランスファコントローラ (DTC)」を参照してください。

AD0MATED ビット（ADC12 コンペアマッチスヌーズ終了許可）

AD0MATED ビットは、変換結果が期待値と一致した場合に、ADC120 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については､「29. 12 ビット A/D コンバータ (ADC12)」を参照してください。

AD0UMTED ビット（ADC12 コンペア不一致スヌーズ終了許可）

AD0UMTED ビットは、変換結果が期待値と一致しない場合に、ADC120 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「29. 12 ビット A/D コンバータ (ADC12)」を参照してください。

SCI0UMTED ビット（SCI0 アドレス不一致スヌーズ終了許可）

SCI0UMTED ビットは、ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指

定します。トリガ条件については、「24. シリアルコミュニケーションインタフェース (SCI)」を参照してください。このビットは SCI0 が調歩同期式モードを作動しているときにのみ 1 にしてください。

10.2.10 SNZREQCR0 : スヌーズ要求コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	—	—	SNZREQEN23	—	—	—	—	—	SNZREQEN17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZREQEN0	IRQ0 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
1	SNZREQEN1	IRQ1 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
2	SNZREQEN2	IRQ2 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
3	SNZREQEN3	IRQ3 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
4	SNZREQEN4	IRQ4 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
5	SNZREQEN5	IRQ5 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
6	SNZREQEN6	IRQ6 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
7	SNZREQEN7	IRQ7 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
16:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	SNZREQEN17	KEY_INTKR スヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
22:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	SNZREQEN23	ACMPHS スヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
27:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	SNZREQEN28	AGTW1 アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W

ビット	シンボル	機能	R/W
29	SNZREQEN29	AGTW1 コンペアマッチ A のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
30	SNZREQEN30	AGTW1 コンペアマッチ B のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SNZREQCR0 レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「12. 割り込みコントローラユニット (ICU)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR0 レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR0 レジスタの設定値よりも常に優先順位は高くなります。詳細は、「10.8. スヌーズモード」、および「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.2.11 SYOCDCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッガ有効 オンチップデバッグモードでは最初に 1 にしてください。 0: オンチップデバッガは無効 1: オンチップデバッガは有効	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DBGEN ビット（デバッガ有効）

DBGEN ビットは、オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードでは最初に 1 にする必要があります。

[1 になる条件]

- デバッガの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「2.7.3. OCD エミュレータ接続における制限」を参照してください。

10.2.12　LSMRWDIS : ロースピードモジュール R/W 禁止制御レジスタ

Base address: MSTP = 0x4004_7000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								WREN	—	—	—	—	IWDTDIS	WDTDIS	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	WDTDIS	WDT 動作クロックおよび R/W 禁止制御 WDT カウンタクロックとレジスタ R/W クロック（LPOPT.LPOPTEN = 1 のときのみ有効） 0: WDT は通常動作 1: WDT クロックとレジスタ R/W クロックを停止する	R/W
2	IWDTDIS	IWDT レジスタ R/W 禁止制御 IWDT レジスタ R/W クロックを停止（LPOPT.LPOPTEN = 1 のときのみ有効） 0: IWDT レジスタ R/W クロックは常にオン 1: IWDT レジスタ R/W クロックは停止する	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	WREN	ビット[2:0]の書き込み許可 0: ビット[2:0]の書き込み禁止 1: ビット[2:0]の書き込み許可	R/W
15:8	PRKEY[7:0]	LSMRWDIS キーコード LSMRWDIS レジスタへの書き込みを制御します。LSMRWDIS レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに目的の値を、16 ビット単位で書いてください。	W

WDTDIS ビット（WDT 動作クロックおよび R/W 禁止制御）

［1 になる条件］

- 本ビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは WDT 動作クロックを停止します。
- WDT がオートスタートモード (OFS0.WDTSTRT = 0) のとき、本ビットを 1 にしないでください。
- WDT が動作中のとき、本ビットを 1 にしないでください。
- 本ビットを 1 にすると、WDT のレジスタスタートモードが無効になります。

IWDTDIS ビット（IWDT レジスタ R/W 禁止制御）

［1 になる条件］

- 本ビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは IWDT レジスタ R/W クロックを停止します。
- IWDT がオートスタートモード (OFS0.IWDTSTRT = 0) のとき、本ビットを 1 にしないでください。
- IWDT が動作中のとき、本ビットを 1 にしないでください。

10.2.13　LPOPT : 消費電力低減動作コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x04C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPOPTEN	—	—	—	BPFCLKDIS	DCLKDIS[1:0]		MPUDIS
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MPUDIS	MPU クロック禁止制御 MPU 動作クロックを停止（LPOPTEN = 1 のときのみ有効） 0: MPU は通常動作する 1: MPU 動作クロックは停止する（MPU 機能は無効）	R/W
2:1	DCLKDIS[1:0]	デバッグクロック禁止制御 0 0: デバッグクロックは停止しない その他: デバッグクロックは停止する（LPOPT.LPOPTEN = 1 のときのみ有効）	R/W
3	BPFCLKDIS	フラッシュレジスタ R/W 禁止制御 フラッシュレジスタ R/W クロックを停止（LPOPT.LPOPTEN = 1 のときのみ有効） 0: フラッシュレジスタ R/W クロックは通常動作する 1: フラッシュレジスタ R/W クロックは停止する	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	LPOPTEN	消費電力低減動作許可 0: 消費電力低減機能をすべて禁止 1: 消費電力低減機能をすべて許可	R/W

LPOPT レジスタは、PRCR.PRC0 ビットで保護されています。

MPUDIS ビット（MPU クロック禁止制御）

[1 になる条件]

- MPU 機能が使用されているときは、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは MPU 動作クロックを停止します。

DCLKDIS[1:0]ビット（デバッグクロック禁止制御）

[1 になる条件]

- OCD モードまたは SCI ブートモード中は、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットはチップの機能をデバッグするためにデバッグシステムクロックを停止します。

BPFCLKDIS ビット（フラッシュレジスタ R/W 禁止制御）

[1 になる条件]

- OCD モードまたは SCI ブートモード中は、本ビットを 1 にしないでください。
- フラッシュレジスタによるコードフラッシュまたはデータフラッシュ動作中は、本ビットを 1 にしないでください。
- データフラッシュの動作中は、本ビットを 1 にしないでください。
- 電力制御モード遷移中（High-speed モードから Middle-speed モード、High-speed モードから Low-speed モードなど）は、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットはフラッシュレジスタ R/W クロックを停止します。

LPOPTEN ビット（消費電力低減動作許可）

[1 になる条件]

- 本ビットを 1 にすると MCU の電力消費量が低減されますが、システムに制約が生じます。

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「8.2.1. SCKDIVCR : システムクロック分周コントロールレジスタ」を参照してください。

10.4　モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn (n = A〜D) レジスタの MSTPmi ビット (m = A〜D, i = 31〜0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DTC 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

10.5　動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を低減できます。

10.5.1　動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5　各モードで利用可能な発振器

モード	発振器				
	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	IWDT 専用オンチップオシレータ
High-speed	可能	可能	可能	可能	可能
Middle-speed	可能	可能	可能	可能	可能
Low-speed	可能	可能	可能	不可能	可能
Subosc-speed	不可能	不可能	可能	不可能	可能

(1)　消費電力が大きいモードから小さいモードへ切り替える場合

例 1: High-speed モードから Low-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最高動作周波数以下にする。
2. Low-speed モードで不要な発振器を OFF にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. OPCCR.OPCM[1:0]ビットを 11b（Low-speed モード）にする。
5. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。

(動作は Low-speed モードになります)

例 2: High-speed モードから Subosc-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. クロックソースを LOCO に切り替える。HOCO、MOCO、およびメインクロック発振器を OFF にする。
2. すべてのクロックソース（LOCO を除く）が停止していることを確認する。
3. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
4. SOPCCR.SOPCM ビットを 1（Subosc-speed モード）にする。
5. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。

（動作は Subosc-speed モードになります）

(2)　消費電力が小さいモードから大きいモードへ切り替える場合

例 1: Subosc-speed モードから High-speed モードへの切り替え

（最初は Subosc-speed モードで動作しています）

1. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
2. SOPCCR.SOPCM ビットを 0（High-speed モード）にする。
3. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下にする。

（動作は High-speed モードになります）

例 2: Low-speed モードから High-speed モードへの切り替え

（最初は Low-speed モードで動作しています）

1. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
2. OPCCR.OPCM[1:0]ビットを 00b（High-speed モード）にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下にする。

（動作は High-speed モードになります）

10.5.2　動作範囲

図 10.2～図 10.5 に、ICLK の動作電圧と動作周波数を示します。ただし、PCLKB と PCLKD からクロック供給される周辺モジュールは ICLK と同じではありません。

High-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 64 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.8～5.5 V です。

フラッシュプログラム／イレース時では、動作周波数範囲は 1～64 MHz で、動作電圧範囲は 1.8～5.5 V です。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

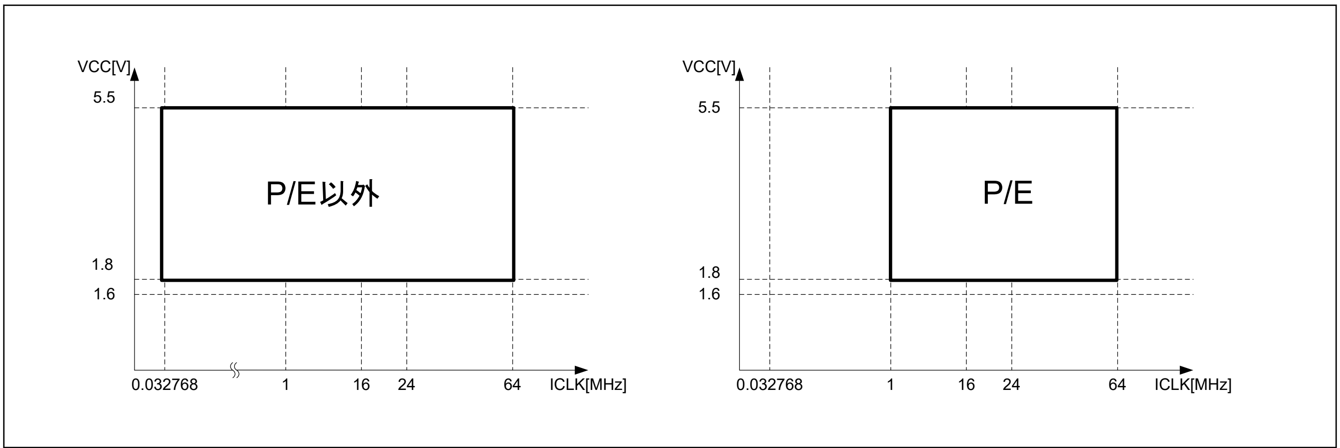


図 10.2　High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュ読み出し時の ICLK の最高動作周波数は 24 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。しかし、動作電圧が 1.6～1.8 V の場合、フラッシュ読み出し時の ICLK の最高動作周波数は 4 MHz になります。

フラッシュメモリのプログラム／イレース時の動作周波数範囲は 1～24 MHz、動作電圧範囲は 1.6～5.5 V です。しかし、動作電圧が 1.6～1.8 V の場合、フラッシュメモリのプログラム／イレース時の最高動作周波数は 4 MHz になります。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

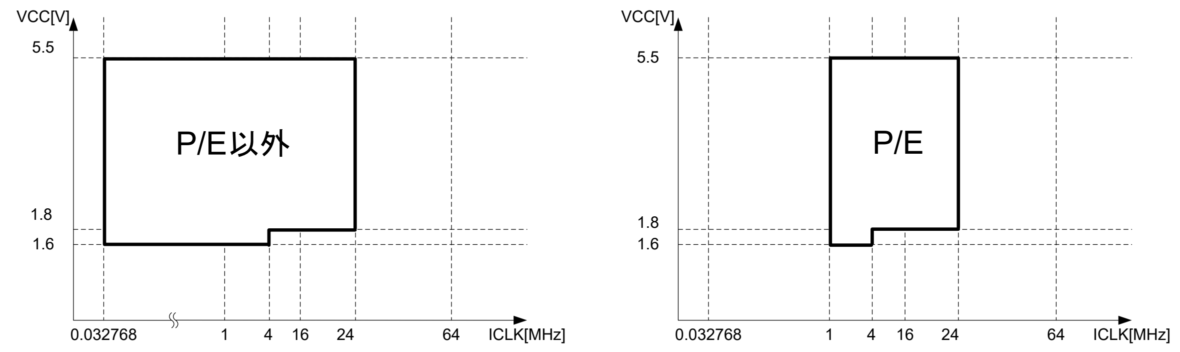


図 10.3　Middle-speed モードにおける動作電圧と動作周波数

Low-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 2 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。

フラッシュプログラム／イレース時では、動作周波数範囲は 1～2 MHz で、動作電圧範囲は 1.6～5.5 V です。

図 10.4 に、Low-speed モードにおける動作電圧と動作周波数を示します。

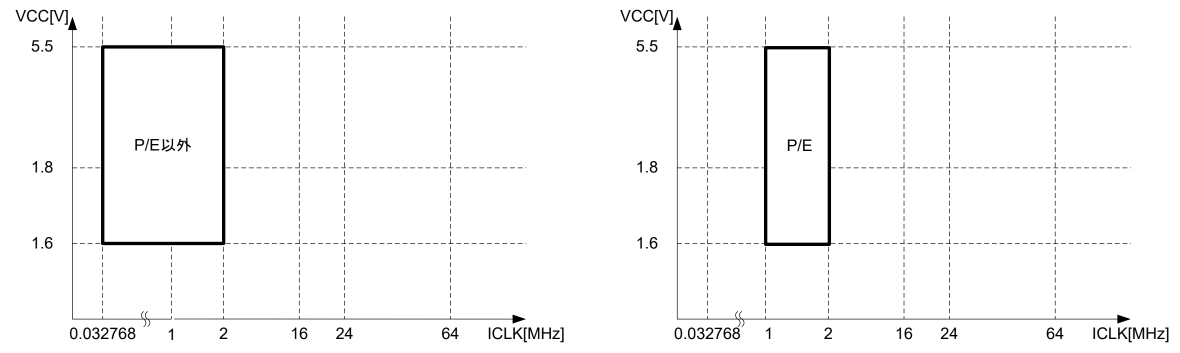


図 10.4　Low-speed モードにおける動作電圧と動作周波数

注.　Low-speed モードで使用する場合、メインクロック発振器をシステムクロックソースとして選択することは禁止されています。

Subosc-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 37.6832 kHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。フラッシュメモリの P/E 操作は禁止です。

LOCO 以外の発振器は使用禁止です。SCKDIVCR レジスタを 0x00000000 以外の値に設定するのも禁止です。

図 10.5 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

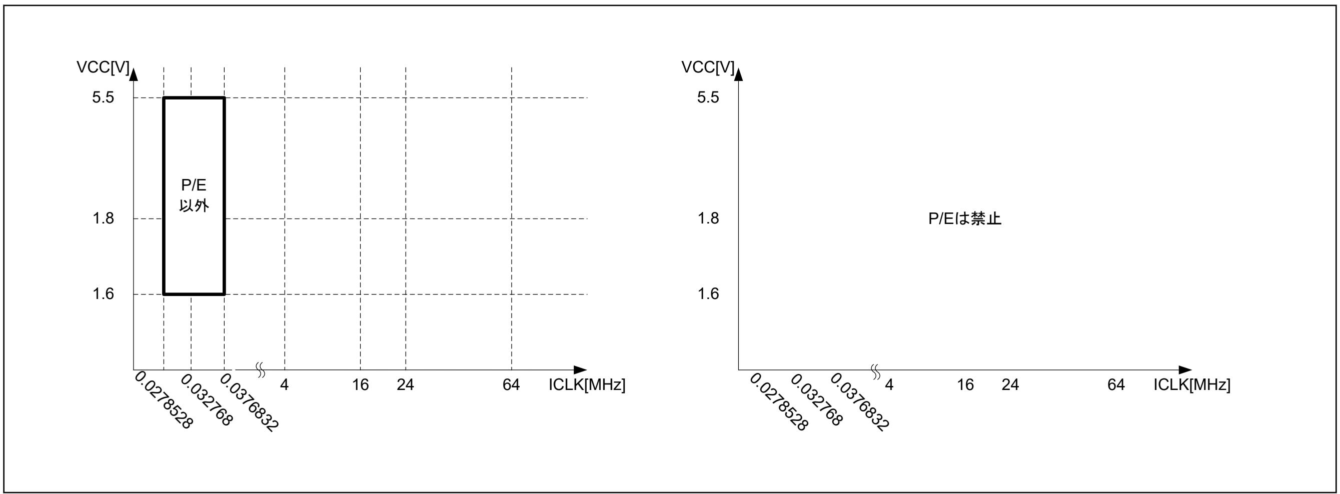


図 10.5 Subosc-speed モードにおける動作電圧と動作周波数

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「35. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
   - IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
   - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
   - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSTPR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注.　割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.7　ソフトウェアスタンバイモード

10.7.1　ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。 表 10.2 に、各内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードから復帰させる方法については、「12.2.8. WUPEN : ウェイクアップ割り込み許可レジスタ」を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE = 1（発振停止検出機能が有効）の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。また、フラッシュメモリのプログラム／イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム／イレース処理が完了してから WFI 命令を実行してください。

10.7.2　ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 10.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「12.2.8. WUPEN : ウェイクアップ割り込み許可レジスタ」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
   利用可能な割り込み要求（表 10.3 を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除
   RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「35. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
   パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
   電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
   IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

10.7.3　ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.6 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0]ビットが 00b（立ち下がりエッジ）の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0]ビットを 01b（立ち上がりエッジ）にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.6 の発振安定時間については、「35. 電気的特性」に示されています。

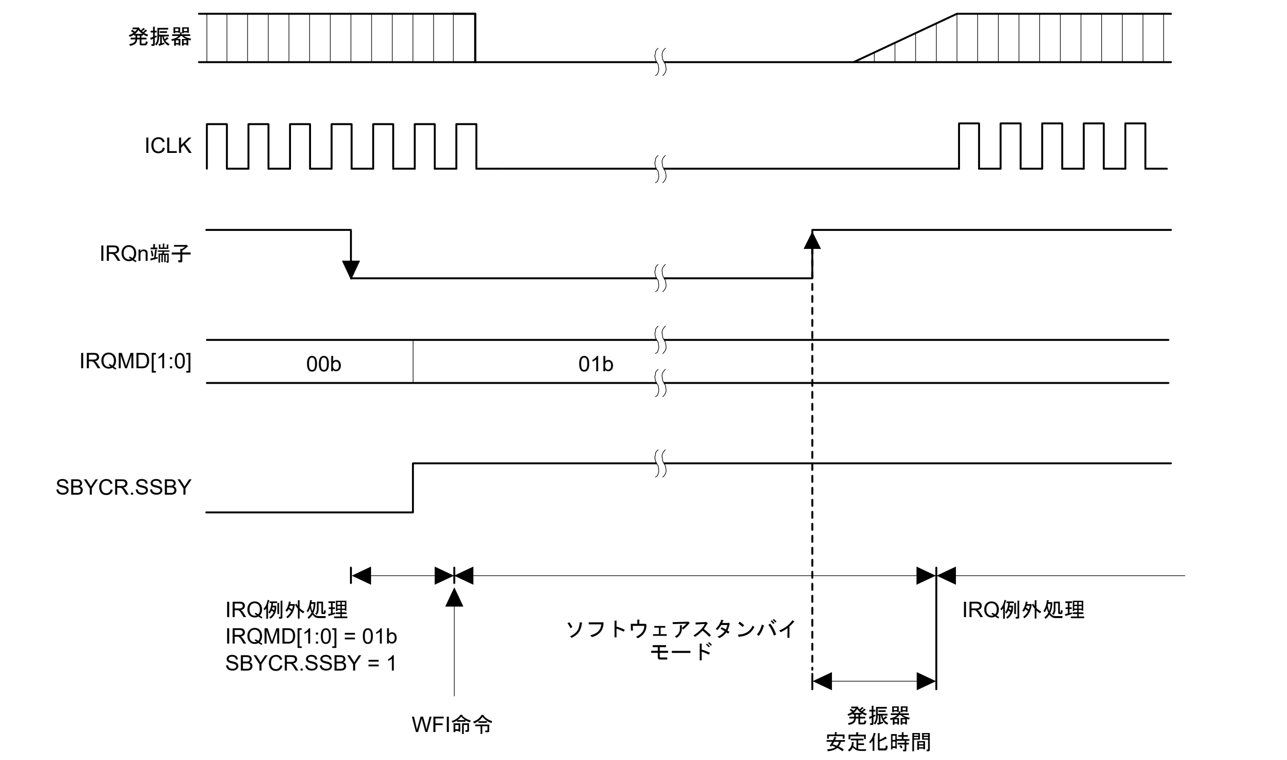
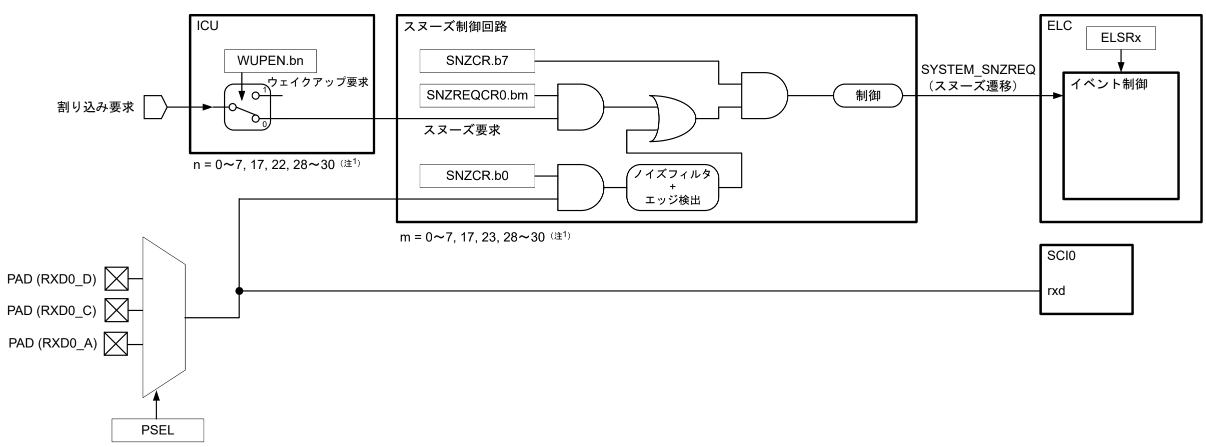


図 10.6　　ソフトウェアスタンバイモードの応用例

10.8　　スヌーズモード

10.8.1　　スヌーズモードへの遷移

図 10.7 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。表 10.2 に、スヌーズモードで動作可能な周辺モジュールを示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。



注 1.　ACMPHS の場合、スヌーズ要求のビットは SNZREQCR0 レジスタのビット 23 であり、ウェイクアップ要求のビットは WUPEN レジスタのビット 22 です。

図 10.7　　スヌーズモードへの遷移時構成

表 10.6 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR0 レジスタの対応する SNZREQENn ビットまたは SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

注. 同時に複数のスヌーズ要求を有効にしないでください。

表 10.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

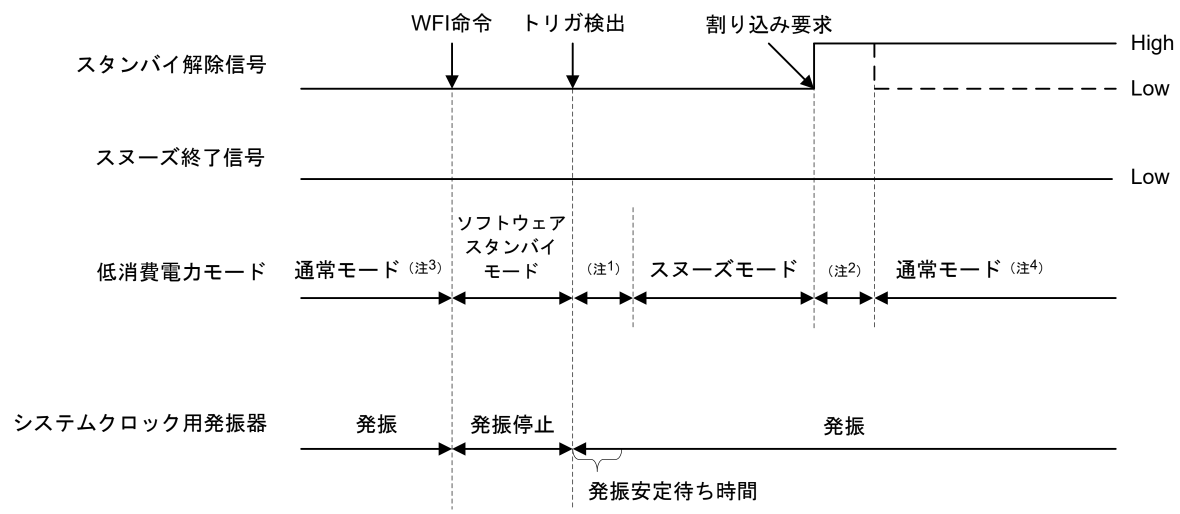
スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット
PORT_IRQn (n = 0～7)	SNZREQCR0	SNZREQENn (n = 0～7)
KEY_INTKR	SNZREQCR0	SNZREQEN17
ACMP_HS0	SNZREQCR	SNZREQEN23
AGT1_AGTI	SNZREQCR0	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR0	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR0	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN(注1)

注 1. 調歩同期式モードでない場合、RXDREQEN ビットを 1 にしないでください。

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn で選択してください。SELSR0 レジスタと IELSRn レジスタについては、「12. 割り込みコントローラユニット (ICU)」を参照してください。



注 1. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注 2. スヌーズモードから通常モードへの遷移時間
注 3. ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可します（SNZCR.SNZE = 1）
注 4. 通常モードへ復帰後ただちにスヌーズモードを禁止 (SNZCR.SNZE = 0) にする必要があります。

図 10.8 割り込み要求信号が発生する場合のスヌーズモードの解除

10.8.3　スヌーズモードからソフトウェアスタンバイモードへの復帰

表 10.7 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.8 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。SCI0、ADC12、および DTC は、動作終了まで MCU をスヌーズモードで保持できます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGTWn (n = 1) アンダーフローは、SCI0 動作の終了を待たずにスヌーズモードを解除します。

図 10.9 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このモード遷移は、SNZEDCR0 レジスタにスヌーズ終了要求が設定されると発生します。ソフトウェアスタンバイモードへ復帰後、スヌーズ要求は自動的にクリアされます。

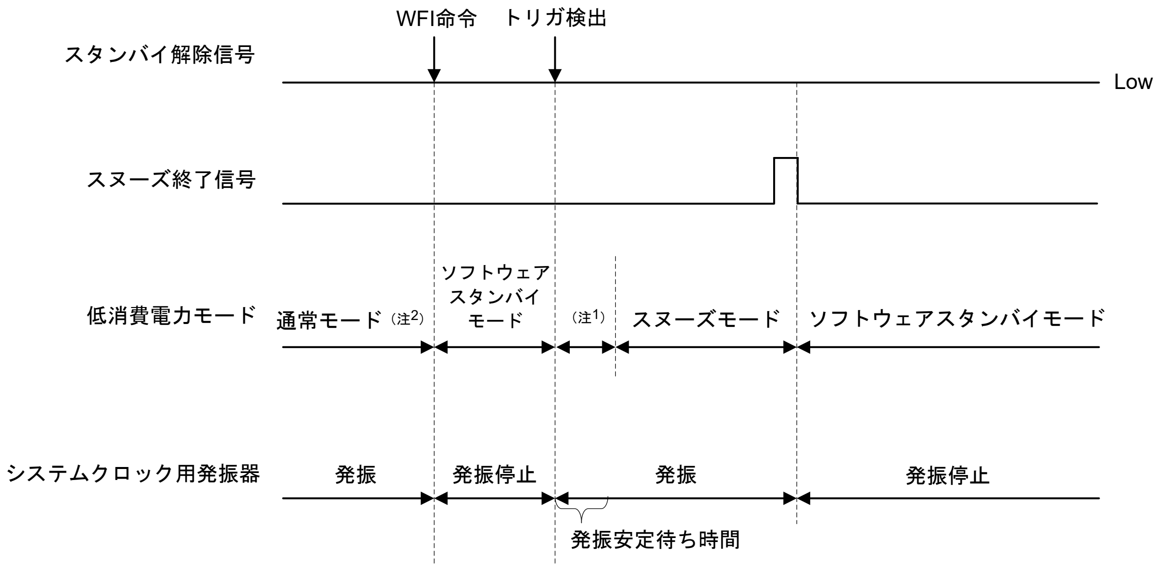
表 10.7　利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

周辺モジュール	スヌーズ終了要求	許可／禁止制御	
		レジスタ	シンボル
AGTW1	AGTW1 アンダーフロー (AGT1_AGTI)	SNZEDCR0	AGTUNFED
DTC	最終 DTC 転送終了 (DTC_COMPLETE)	SNZEDCR0	DTCZRED
DTC	最終 DTC 転送未了 (DTC_TRANSFER)	SNZEDCR0	DTCNZRED
ADC120	ウィンドウ A/B コンペアマッチ (ADC120_WCMPM)	SNZEDCR0	AD0MATED
ADC120	ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)	SNZEDCR0	AD0UMTED
SCI0	SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR0	SCI0UMTED

表 10.8　スヌーズ終了条件

<table>
<tr><th>スヌーズ終了要求発生時の動作モジュール</th><th>スヌーズ終了要求</th><th>AGTW1 アンダーフロー以外</th></tr>
<tr><td>DTC</td><td rowspan="2">本表に記載するすべてのモジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する</td><td rowspan="3">本列の左側に記載するすべてのモジュールが動作を完了した後､MCU はソフトウェアスタンバイモードへ遷移する</td></tr>
<tr><td>ADC120</td></tr>
<tr><td>SCI0</td><td>スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する</td></tr>
<tr><td>その他のモジュール</td><td colspan="2">スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する</td></tr>
</table>

注.　DTC を用いて ADC120 または SCI0 を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

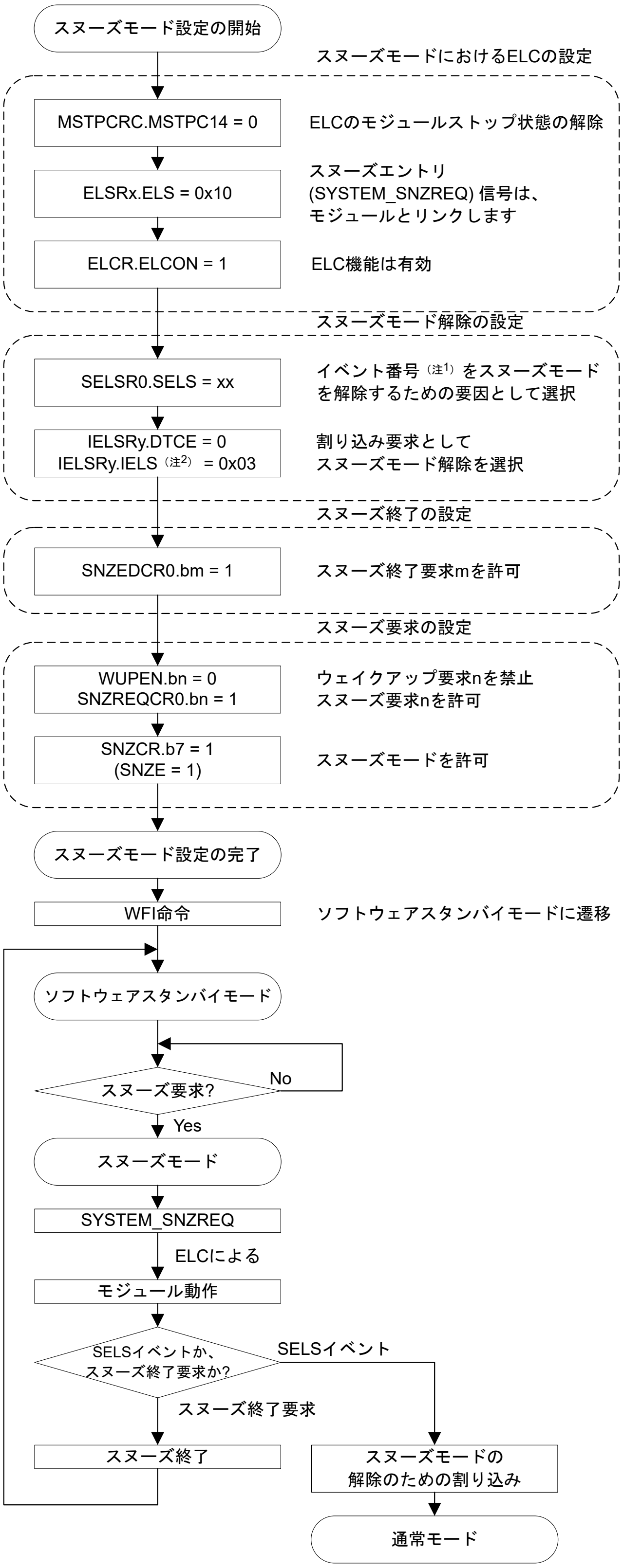


注 1.　ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注 2.　ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可にしてください (SNZCR.SNZE = 1)。

図 10.9　割り込み要求信号が発生しない場合のスヌーズモードの解除

10.8.4　スヌーズモードの動作例

図 10.10 にスヌーズモードで ELC を使用する場合の設定例を示します。



注 1.　表 12.4 を参照してください。
注 2.　y = 0, 4, 8, 12, 16, 20, 24, 28

図 10.10　スヌーズモードで ELC を使用する場合の設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合、以下の動作モードのいずれかを使用してください。

- High-speed モード
- Middle-speed モード
- Low-speed モード

Subosc-speed モードは使用しないでください。表 10.9 にスヌーズモードにおける SCI0 の最大転送レートを示します。スヌーズモードで SCI0 を使用する場合、以下の設定を使用してください。

- BGDM = 0
- ABCS = 0
- ABCSE = 0

これらのビットについての詳細は、「24. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

High-speed モード、Middle-speed モード、Low-speed モード

表 10.9　HOCO：±1%（単位：bps）

ICLK、PCLKB、PCLKD の最大分周比	HOCO 周波数			
	24 MHz	32 MHz	48 MHz	64 MHz
1	76800(注1)	76800(注5)	—	—
2	76800(注2)	76800(注6)	76800(注8)	76800(注12)
4	76800(注3)	76800(注7)	76800(注9)	76800(注13)
8	76800(注4)	62500	76800(注10)	76800(注14)
16	46875	62500	76800(注11)	62500
32	23437	31250	46875	62500
64	11718	15625	23437	31250

注 1.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x06、SCI0.MDDR = 0xB8 にしてください。
注 2.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x03、SCI0.MDDR = 0xD2 にしてください。
注 3.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x01、SCI0.MDDR = 0xD2 にしてください。
注 4.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x00、SCI0.MDDR = 0xD2 にしてください。
注 5.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x08、SCI0.MDDR = 0xB1 にしてください。
注 6.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x04、SCI0.MDDR = 0xC5 にしてください。
注 7.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x02、SCI0.MDDR = 0xEC にしてください。
注 8.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x06、SCI0.MDDR = 0xB8 にしてください。
注 9.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x03、SCI0.MDDR = 0xD2 にしてください。
注 10.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x01、SCI0.MDDR = 0xD2 にしてください。
注 11.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x00、SCI0.MDDR = 0xD2 にしてください。
注 12.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x08、SCI0.MDDR = 0xB1 にしてください。
注 13.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x04、SCI0.MDDR = 0xC5 にしてください。
注 14.　76800 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x02、SCI0.MDDR = 0xEC にしてください。

図 10.11 にスヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

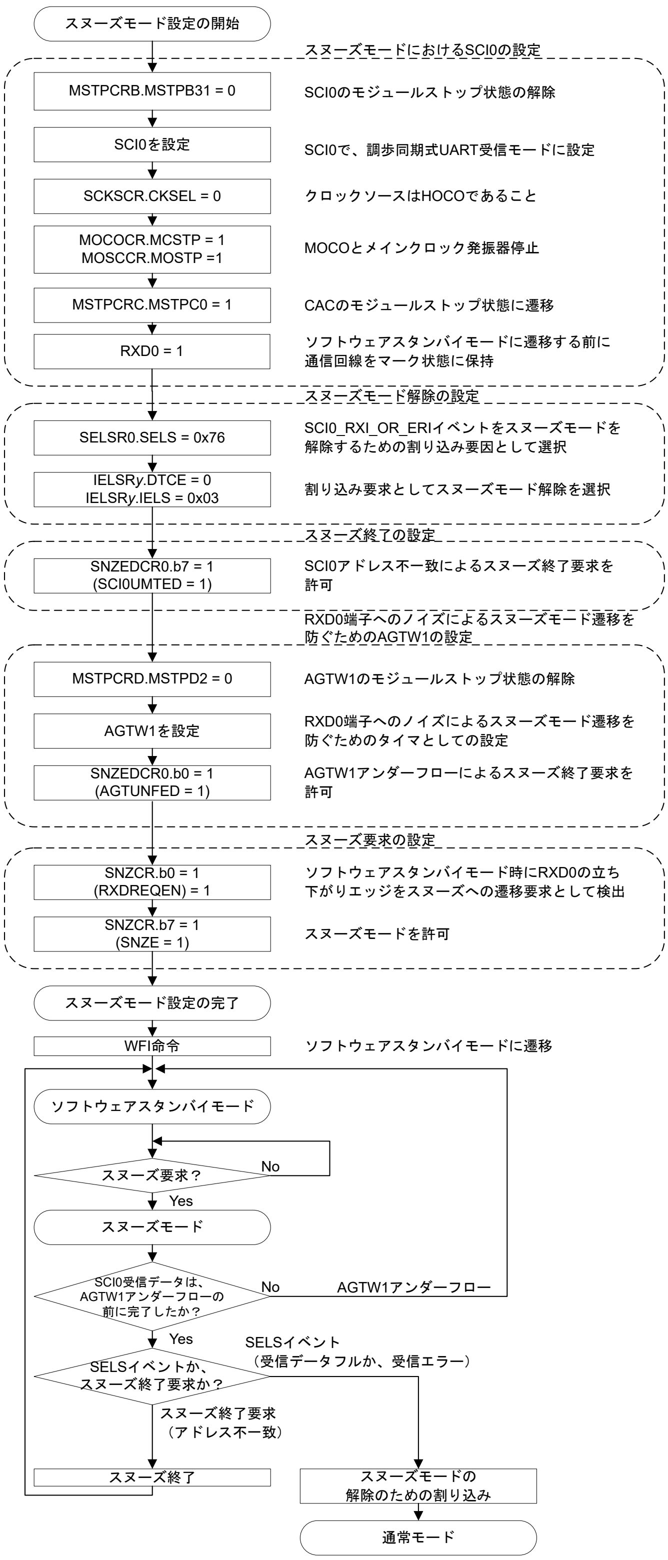


図 10.11　　スヌーズモードエントリで SCI0 を使用する場合の設定例

10.9 使用上の注意

10.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

［レジスタ］

- “SYSTEM”という周辺名をもつ全レジスタ

［条件］

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1（動作電力制御モード遷移中）
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- フラッシュ P/E モード、データフラッシュ P/E モード

(2) クロック関連レジスタに対する有効な設定値

表 10.10 と表 10.11 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モードに関連する条件以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.10 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値					
	SCKSCR.CKSEL[2:0] CKOCR.CKOSEL[2:0]	SCKDIVCR.ICK[2:0]	HOCOCR.HCSTP	MOCOCR.MCSTP	LOCOCR.LCSTP	MOSCCR.MOSTP
High-speed Middle-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）
Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	1（停止）
Subosc-speed	010b (LOCO)	000b (1/1)	1（停止）	1（停止）	0（動作） 1（停止）	1（停止）

表 10.11 クロック関連レジスタに対する有効な設定値 (2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
高速オンチップオシレータ	0	00b、01b、11b
中速オンチップオシレータ		
メインクロック発振器		00b、01b
低速オンチップオシレータ	0, 1	00b, 01b, 11b
IWDT 専用オンチップオシレータ		

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

［レジスタ］

- SCKSCR, OPCCR

［条件］

- SOPCCR.SOPCM = 1（Subosc-speed モード）

(4) DTC によって、下記のレジスタに書き込まないでください。

［レジスタ］

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD

(5) スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

［レジスタ］

- SNZCR, SNZEDCR0, SNZREQCR0

(6) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

［レジスタ］

- SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, OPCCR, SOPCCR

10.9.2 I/O ポートの端子状態

ソフトウェアスタンバイモード、およびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

10.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「15. データトランスファコントローラ (DTC)」を参照してください。

10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモードなど）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M23 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

10.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

10.9.7 スリープモード／スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC によって、WDT または IWDT 関連のレジスタを書き換えないでください。

10.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効に

する必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.9.9 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、SCI0 の UART をスヌーズモードで使用する場合、RXD0 端子の立ち下がりエッジを使用して本 MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えます。この場合、SCI0_ERI、SCI0_RXI、またはアドレス不一致イベントなどの割り込みが、スヌーズモードを解除するための要因として使用されます。ただし、RXD0 端子のノイズが原因で、本 MCU が意図せずソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み（SCI0_ERI、SCI0_RXI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。AGTWn (n = 1) アンダーフローの前に UART 受信データが完了しなければ、AGTWn (n = 1) アンダーフロー割り込みを使用して、ソフトウェアスタンバイモードまたは通常動作モードへ復帰するようにしてください。ただし UART 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGTWn (n = 1) アンダーフローを使用しないでください。これにより、UART が中途半端な状態で動作を停止します。

10.9.10 スヌーズモードにおける SCI0 の UART の使用

スヌーズモードで UART を使用する場合、スヌーズ要求（RXD0 端子の立ち下がりエッジ）が WUPEN レジスタにて設定されたウェイクアップ要求と競合しないようにしてください。競合した場合の UART 動作は保証されません。

スヌーズモードで UART を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、メインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI0 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

10.9.11 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC120 の開始トリガとなれます。ソフトウェアトリガや ADTRGn（n = 0）端子を使用しないでください。

10.9.12 スヌーズモードにおける ELC イベント

本節ではスヌーズモードで使用できる ELC イベントを示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- ADC120 ウィンドウ A/B コンペアマッチ (ADC120_WCMPM)
- ADC120 ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)
- データ演算回路割り込み (DOC_DOPCI)

10.9.13 ADC120 に対するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC120 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC120 のモジュールストップを解除すると、スヌーズモードで ADC120 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

10.9.14 未使用回路に対するモジュールストップ機能

ユーザーモードで使用されない回路はリセットされない可能性があり、また、MCU のリセット中はクロックが供給されないため不安定な状態のまま動作する恐れもあります。このような場合は、MCU が Low-speed モード

またはソフトウェアスタンバイモードに遷移すると、供給電流が、本ユーザーズマニュアルで既定された値よりも最大で 600μA 高い値に上昇する可能性があります。そのため、未使用回路は図 10.12 に示す方法で初期化してください。

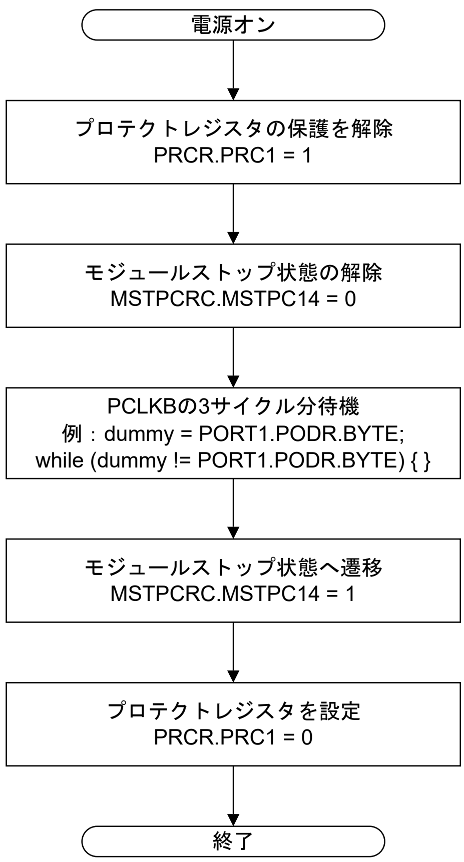


図 10.12　未使用回路の初期設定フロー例

10.9.15　Sleep-on-exit により低消費電力モードへ遷移する場合の注意事項

低消費電力モードに遷移する方法は 2 つあります。1 つは、WFI 命令であり、もう 1 つは Sleep-on-exit です。Sleep-on-exit を低消費電力モードへの遷移に使う場合、ユーザーズマニュアルハードウェア編に記載の WFI 命令に関するコメントを Sleep-on-exit に適用できます。

10.9.16　適用条件と注意事項

(1)　適用条件

ソフトウェアスタンバイモードまたはスヌーズモードを使用するために、SBYCR.SSBY = 1 に設定された状態で、トリガ（WFI 命令または Sleep-on-exit）によってソフトウェアスタンバイモードへの遷移が開始します。

ソフトウェアスタンバイモードに遷移するために指定された間隔（2 ICLK サイクル）の間は、ソフトウェアスタンバイモードから復帰するための割り込み要因ではない以下の割り込み要因のいずれか 1 つが CPU で受け付けられます。

1. SysTick 割り込み
   - 割り込みベクタテーブルの例外番号 15
2. ソフトウェアスタンバイモードから復帰するための割り込み要因ではないマスカブル割り込み要求（以下のすべてが適用可能）

- 割り込みベクタテーブルの例外番号 16～83 における WUPEN によって、ソフトウェアスタンバイモードからの復帰が許可されません。
- 割り込み許可セットレジスタ (NVIC_ISERn) によって、割り込み要求が許可されます。

3. 以下の要因でトリガされるノンマスカブル割り込み要求

   SRAM パリティエラー

   SRAM ECC 障害

   バスマスタ MPU エラー

   バススレーブ MPU エラー

(2) 備考

上記の条件が満たされる場合、MCU は以下の意図しない状態に遷移します。リセット、またはソフトウェアスタンバイモードから復帰するための割り込み要因の割り込み要求で通常モードへ復帰することによって、これらの意図しない状態を解決することができます。

1. ソフトウェアスタンバイモードへ遷移する場合 (SBYCR.SSBY = 1, SNZCR.SNZE = 0)
   CPU クロックのみが停止し、残りのクロックは動作を継続します。残りのクロックはソフトウェアスタンバイモードへの遷移よりも優先度が高いためです。
   - ソフトウェアスタンバイモードへの遷移を開始する前と同様に、設定に依存して、タイマまたは他の周辺モジュールは動作を継続し、周辺モジュールに関連する割り込み要求が発生します。
   - IWDT と WDT のクロック停止機能は無効なので、ソフトウェアスタンバイモードへの遷移を開始する前に、設定に依存して、IWDT と WDT に対するリセットまたは割り込みが発生します。
   - 割り込み要求は IR フラグ (IELSRn, DELSRn) で保持されます。
2. スヌーズモードへ遷移する場合 (SBYCR.SSBY = 1, SNZCR.SNZE = 1)
   スヌーズモードへの遷移は可能ではありません。「1) ソフトウェアスタンバイモードへ遷移する場合」に示される状態が継続します。
   割り込み要因 (SELSR0) によって、スヌーズモードから通常モードへ復帰することは、スヌーズモードから復帰するための割り込み要求 (SELSR0) が DTC 動作が禁止されている間に発生可能かどうかによります。
   スヌーズモードで DTC 動作が禁止されている場合 (SNZCR.SNZDTCEN = 0)、スヌーズモードから復帰するための割り込み要因 (SELSR0) に対する割り込み要求が発生可能であるため、通常モードへ復帰することができます。
   スヌーズモードで DTC 動作が許可されている場合 (SNZCR.SNZDTCEN = 1)、スヌーズモードから復帰するための割り込み要因 (SELSR0) に対する割り込み要求が発生不可能であるため、通常モードへ復帰することができません。

10.9.17 回避策

(1) 回避策

上記の意図しない状態を回避するために、ソフトウェアスタンバイモードまたはスヌーズモードへの遷移条件が満たされる前に、以下を適用してください。（設定手順については、「ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の設定手順」を参照してください。）

1. SysTick 割り込み要求を禁止してください。
   割り込みベクタテーブルの例外番号 15
2. ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止してください。
   ソフトウェアスタンバイモードから復帰するために、WUPEN が許可していない割り込みベクタテーブルの例外番号 16～83
3. 以下の要因によりノンマスカブル割り込みがトリガされないようにするため、CPU 以外のバスマスタからのアクセスを停止してください。

   SRAM パリティエラー

   SRAM ECC 障害

   バスマスタ MPU エラー

バススレーブ MPU エラー

(2) ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の設定手順

この項では、望ましくない状態を回避するための手順を説明します。

ソフトウェアスタンバイモードまたはスヌーズモードから復帰後の割り込み要求の処理は、マスカブル割り込み要求を禁止するために使用する方法によって変わります。2 つのうち、いずれか一方が適用されます。

- 手順 A：マスカブル割り込み要求の受け付けを禁止します。
  割り込み要求の受け付けが禁止されている間に発生する、任意の割り込み要求は破棄されます。

表 10.12　ソフトウェアスタンバイモードまたはスヌーズモードへ遷移する前の手順

手順	説明
1	CPU 以外のバスマスタからのバスアクセスを停止します。(注1)
2	SysTick 割り込み要求を禁止します。(注2)
3	ソフトウェアスタンバイモードから復帰するための割り込み要因ではないマスカブル割り込み要求の受け付けを禁止するために、ICU の IELSRn をクリアします。
4	ICU の IELSRn がクリアされたことを確認するために、ICU の IELSRn を読み出します。
5	ソフトウェアスタンバイモードへ遷移します（WFI 命令、Sleep-on-exit）。

注 1.　ノンマスカブル割り込みとして、SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、バスマスタ MPU エラー割り込み、またはバススレーブ MPU エラー割り込みが許可されます。
注 2.　SysTick 割り込み要求を禁止することにより、最新の SysTick 割り込み要求が発生せずに、SysTick 割り込み要求が SysTick タイマの 1 サイクル分の遅延を生じさせる可能性があります。

表 10.13　ソフトウェアスタンバイモードまたはスヌーズモードから復帰後の手順

手順	説明
1	SysTick 割り込み要求を許可します。
2	ソフトウェアスタンバイモードから復帰するための割り込み要因ではないマスカブル割り込み要求の受け付けを許可するために、ICU の IELSRn を設定します。
3	CPU 以外のバスマスタからのバスアクセスを許可します。

- 手順 B：マスカブル割り込み要求を禁止します。
  割り込み要求が禁止されている間に発生した割り込み要求は、IELSRn.IR フラグで保持されます。したがって、ソフトウェアスタンバイモードまたはスヌーズモードから復帰して、マスカブル割り込みを許可した後に、割り込みを処理することが可能です。

表 10.14　ソフトウェアスタンバイモード、スヌーズモード、ディープソフトウェアスタンバイモードへ遷移する前の手順

手順	説明
1	CPU 以外のバスマスタからのバスアクセスを停止します。(注1)
2	SysTick 割り込み要求を禁止します。(注2)
3	ソフトウェアスタンバイモードから復帰するための割り込み要因ではないマスカブル割り込み要求を禁止するために、CPU の NVIC_ICERn で対応するビットに 1 を書き込みます。
4	DSB（データ同期バリア）命令を実行します。
5	ソフトウェアスタンバイモードへ遷移します（WFI 命令、Sleep-on-exit）。

注 1.　ノンマスカブル割り込みとして、SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、バスマスタ MPU エラー割り込み、またはバススレーブ MPU エラー割り込みが許可されます。
注 2.　SysTick 割り込み要求を禁止することにより、最新の SysTick 割り込み要求が発生せずに、SysTick 割り込み要求が SysTick タイマの 1 サイクル分の遅延を生じさせる可能性があります。

表 10.15　ソフトウェアスタンバイモードまたはスヌーズモードから復帰後の手順 (1/2)

手順	説明
1	SysTick 割り込み要求を許可します。

表 10.15　ソフトウェアスタンバイモードまたはスヌーズモードから復帰後の手順 (2/2)

手順	説明
2	ソフトウェアスタンバイモードから復帰するための割り込み要因ではないマスカブル割り込み要求を許可するために、CPU の NVIC_ISERn で対応するビットに 1 を書き込みます。
3	CPU 以外のバスマスタからのバスアクセスを許可します。

11. レジスタライトプロテクション

11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	● クロック発生回路に関連するレジスタ： SCKDIVCR, SCKSCR, MEMWAIT, MOSCCR, HOCOCR, MOCOCR, CKOCR, OSTDCR, OSTDSR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, LOCOCR, LOCOUTCR, HOCOWTCR, LPOPT
PRC1	● 低消費電力モードに関連するレジスタ： SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, OPCCR, SOPCCR, SYOCDCR
PRC3	● LVD に関連するレジスタ： LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCR, LVDLVLR, LVD1CR0, LVD2CR0

11.2 レジスタの説明

11.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3FE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

PRCn ビット（プロテクトビット n）(n = 0, 1, 3)

PRCn ビットによって、表 11.1 に記載されているレジスタの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

12. 割り込みコントローラユニット (ICU)

12.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。

表 12.1 に ICU の仕様、図 12.1 に ICU のブロック図、表 12.2 に ICU の入出力端子を示します。

表 12.1　ICU の仕様

項目		内容
マスカブル割り込み	周辺機能割り込み	● 周辺モジュールからの割り込み 要因数：108
	外部端子割り込み	● 割り込み検出方式：Low レベル(注4)、立ち下がりエッジ、立ち上がりエッジ、立ち上がりエッジおよび立ち下がりエッジ。要因ごとにこれらの方式のうち 1 つを設定可能 ● デジタルフィルタ機能 ● 8 要因（IRQi (i = 0～7) 端子からの割り込み）
	CPU (NVIC) への割り込み要求	● 32 本の割り込み要求を NVIC に対して出力 ● マスカブル割り込みの要因を 8 つのグループに分けて配置しており、グループに配置された 31 要因から 1 要因を個別に選択可能
	DTC 制御	● 割り込み要因によって DTC の起動が可能(注1) ● 割り込み要因の選択方式は NVIC への割り込み要求と同一
ノンマスカブル割り込み(注2)	NMI 端子割り込み	● NMI 端子からの割り込み ● 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ ● デジタルフィルタ機能
	WDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	低電圧検出 1(注3)	電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
	低電圧検出 2(注3)	電圧監視 2 回路の電圧監視 2 割り込み (LVD_LVD2)
	RPEST	SRAM パリティエラー発生時の割り込み
	CPU スタックポインタモニタエラー	CPU スタックポインタモニタエラー発生時の割り込み
	発振停止検出割り込み(注3)	メイン発振器の停止を検出したときの割り込み
	バススレーブ MPU エラー	バススレーブ MPU エラー発生時の割り込み
	バスマスタ MPU エラー	バスマスタ MPU エラー発生時の割り込み
低消費電力モード		● スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 ● ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰。WUPEN レジスタで割り込みの選択が可能 ● スヌーズモード：ノンマスカブル割り込みによって復帰。SELSR0 および WUPEN レジスタで割り込みの選択が可能 「12.2.7. SELSR0：SYS イベントリンク設定レジスタ」と「12.2.8. WUPEN：ウェイクアップ割り込み許可レジスタ」を参照してください。

注 1.　DTC の起動要因については、表 12.4 を参照してください。
注 2.　リセット解除後に 1 回だけノンマスカブル割り込みを許可することができます。
注 3.　これらのノンマスカブル割り込みは、マスカブル割り込みとしても使用可能です。マスカブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 割り込みと電圧監視 2 割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。
注 4.　Low レベル：検出後にクリアしなければ、割り込み検出は中止されません。

図 12.1 に ICU のブロック図を示します。

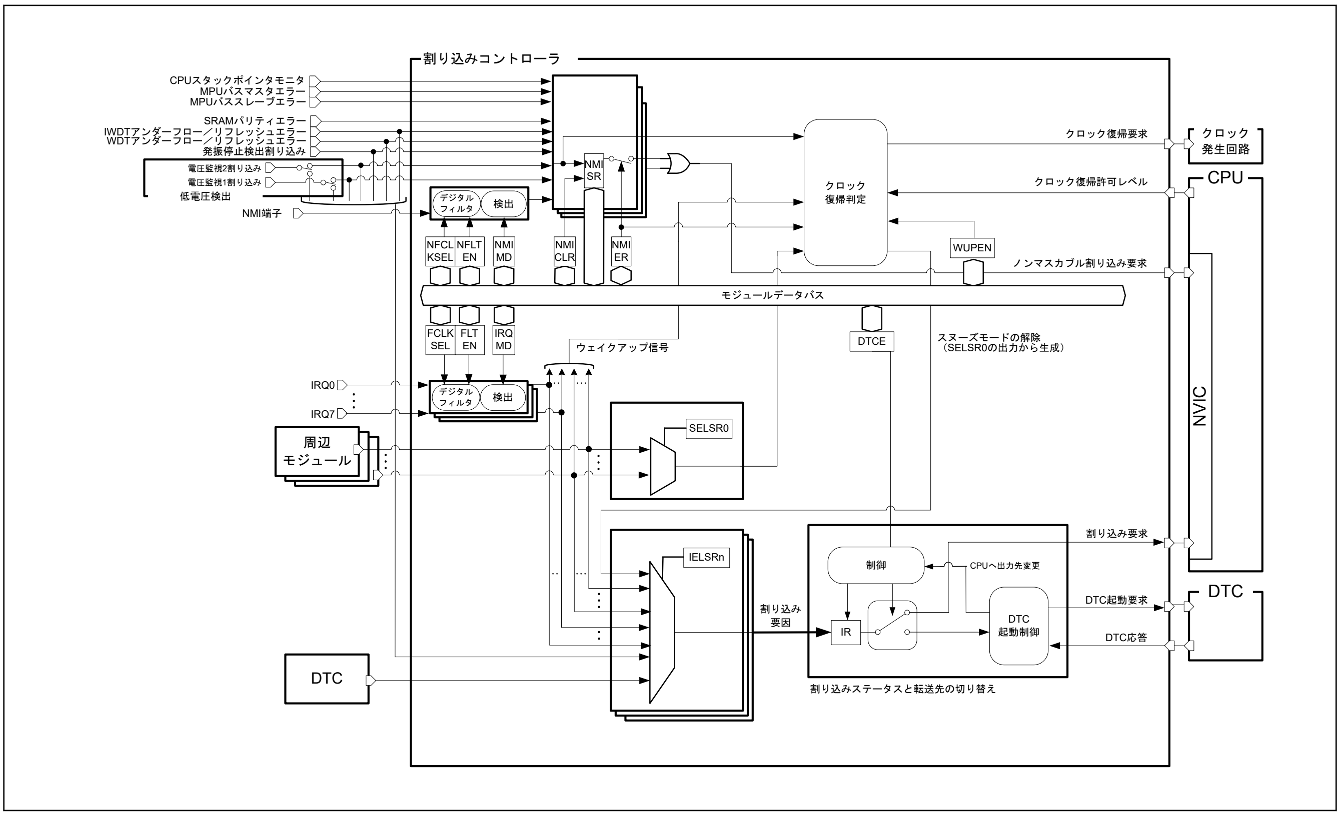


図 12.1　　ICU のブロック図

表 12.2 に ICU の入出力端子を示します。

表 12.2　　ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスカブル割り込み要求端子
IRQi (i = 0～7)	入力	外部割り込み要求端子

12.2　　レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C) を参照してください。

12.2.1　　IRQCRi : IRQ コントロールレジスタ i (i = 0～7)

Base address: ICU = 0x4000_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]		—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がりエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0～31) を設定する必要があります。対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
  IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPEN[n]ビット (n = 0～7) を設定する必要があります。対象の WUPEN.IRQWUPEN[n]ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット（IRQi 検出センス選択）

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「12.5.6. 外部端子割り込みの設定手順」を参照してください。

FCLKSEL[1:0]ビット（IRQi デジタルフィルタサンプリングクロック選択）

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルに 1 回）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

FLTEN ビット（IRQi デジタルフィルタ有効）

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

12.2.2　NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPEST	BUSMST	BUSSST	—	RPEST	NMIST	OSTST	—	—	LVD2ST	LVD1ST	WDTST	IWDTST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

ビット	シンボル	機能	R/W
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	LVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
5:4	—	読むと 0 が読めます。	R
6	OSTST	メインクロック発振停止検出割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
8	RPEST	SRAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
9	—	読むと 0 が読めます。	R
10	BUSSST	バススレーブ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
11	BUSMST	バスマスタ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
12	SPEST	CPU スタックポインタモニタエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
13	—	読むと 0 が読めます。	R
15:14	—	読むと 0 が読めます。	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

WDTST フラグは WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

LVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ（メインクロック発振停止検出割り込みステータスフラグ）

OSTST フラグはメインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ（SRAM パリティエラー割り込みステータスフラグ）

RPEST フラグは SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

BUSSST フラグ（バススレーブ MPU エラー割り込みステータスフラグ）

BUSSST フラグはバススレーブ MPU エラー割り込み要求を示します。

[1 になる条件]

バススレーブ MPU エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSSCLR ビットに 1 を書いたとき

BUSMST フラグ（バスマスタ MPU エラー割り込みステータスフラグ）

BUSMST フラグはバスマスタ MPU エラー割り込み要求を示します。

[1 になる条件]

バスマスタ MPU エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

SPEST フラグ（CPU スタックポインタモニタエラー割り込みステータスフラグ）

SPEST フラグは CPU スタックポインタモニタエラー割り込み要求を示します。

[1 になる条件]

CPU スタックポインタモニタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.SPECLR ビットに 1 を書いたとき

12.2.3 NMIER : ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPEEN	BUSMEN	BUSSEN	—	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEN	IWDTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
3	LVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTEN	メインクロック発振停止検出割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
8	RPEEN	SRAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSSEN	バススレーブ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
11	BUSMEN	バスマスタ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)

ビット	シンボル	機能	R/W
12	SPEEN	CPU スタックポインタモニタ割り込み許可 0: 禁止 1: 許可	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。
注 2.　イベント信号として使用する場合、1 にしないでください。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット（WDT アンダーフロー／リフレッシュエラー割り込み許可）

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット（電圧監視 1 割り込み許可）

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

LVD2EN ビット（電圧監視 2 割り込み許可）

LVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

OSTEN ビット（メインクロック発振停止検出割り込み許可）

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。

NMIEN ビット（NMI 端子割り込み許可）

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット（SRAM パリティエラー割り込み許可）

RPEEN ビットは、NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

BUSSEN ビット（バススレーブ MPU エラー割り込み許可）

BUSSEN ビットは、NMI の起動要因となるバススレーブエラー割り込みを許可します。

BUSMEN ビット（バスマスタ MPU エラー割り込み許可）

BUSMEN ビットは、NMI の起動要因となるバスマスタエラー割り込みを許可します。

SPEEN ビット（CPU スタックポインタモニタ割り込み許可）

SPEEN ビットは、NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

12.2.4　NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_6000
Offset address: 0x130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPECLR	BUSMCLR	BUSSCLR	—	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)

ビット	シンボル	機能	R/W
1	WDTCLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	LVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W(注1)
3	LVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD2ST フラグをクリア	R/W(注1)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
8	RPECLR	SRAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RPEST フラグをクリア	R/W(注1)
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSSCLR	バススレーブ MPU エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSSST フラグをクリア	R/W(注1)
11	BUSMCLR	バスマスタ MPU エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSMST フラグをクリア	R/W(注1)
12	SPECLR	CPU スタックポインタモニタ割り込みステータスフラグクリア 0: 影響なし 1: NMISR.SPEST フラグをクリア	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　このビットには 1 のみ書けます。

IWDTCLR ビット（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット（電圧監視 1 割り込みステータスフラグクリア）

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

LVD2CLR ビット（電圧監視 2 割り込みステータスフラグクリア）

LVD2CLR ビットに 1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット（発振停止検出割り込みステータスフラグクリア）

OSTCLR ビットに 1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット（NMI 端子割り込みステータスフラグクリア）

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット（SRAM パリティエラー割り込みステータスフラグクリア）

RPECLR ビットに 1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

BUSSCLR ビット（バススレーブ MPU エラー割り込みステータスフラグクリア）

BUSSCLR ビットに 1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット（バスマスタ MPU エラー割り込みステータスフラグクリア）

BUSMCLR ビットに 1 を書き込むことにより、NMISR.BUSMST フラグをクリアします。読むと 0 が読めます。

SPECLR ビット（CPU スタックポインタモニタ割り込みステータスフラグクリア）

SPECLR ビットに 1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

12.2.5 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTEN	—	NFCLKSEL[1:0]		—	—	—	NMIMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可（NMIER.NMIEN ビットを 1）にしてください。

NMIMD ビット（NMI 検出設定）

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0]ビット（NMI デジタルフィルタサンプリングクロック選択）

NFCLKSEL[1:0]ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルに 1 回）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

NFLTEN ビット（NMI デジタルフィルタ有効）

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィル

タからの出力レベルが変化します。デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

12.2.6 IELSRn : ICU イベントリンク設定レジスタ n (n = 0～31)

Base address: ICU = 0x4000_6000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	IELS[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	IELS[5:0]	ICU イベントリンク選択 0x00: 対応する NVIC モジュールまたは DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、「12.3.3. ICU および DTC のイベント番号」を参照してください。	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注1)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: DTC 起動禁止 1: DTC 起動許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタはハーフワードアクセスまたはワードアクセスを要求します。

注 1. IR フラグに 1 を書き込まないでください。

IELSRn レジスタは NVIC により使用される IRQi 要因を選択します。詳細は、表 12.3 を参照してください。IELSRn (n = 0～31) は NVIC IRQ 入力要因番号に対応します。

IELS[5:0]ビット（ICU イベントリンク選択）

IELS[5:0]ビットは、対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。イベント選択肢の組み合わせは、8 グループ（グループ 0～7）に分類されています。詳細は、表 12.3 および表 12.4 を参照してください。

IR フラグ（割り込みステータスフラグ）

IR ステータスフラグは、IELS[5:0]ビットで指定されたイベントからの個別の割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

IR フラグに 0 を書いたとき。DTCE ビットが 0 になったことを確認してから、IR フラグを 0 にしてください。

IR フラグのクリア方法：

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

DTCE ビット（DTC 起動許可）

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

［1 になる条件］

- DTCE ビットに 1 を書いたとき

［0 になる条件］

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

12.2.7 SELSR0 : SYS イベントリンク設定レジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x200

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SELS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SELS[7:0]	SYS イベントリンク選択 0x00: 対応する低消費電力モードのモジュールへのイベント出力無効 その他: リンクするイベント信号の番号。詳細は、表 12.4 を参照してください。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SELSR0 レジスタでは、CPU をスヌーズモードからウェイクアップさせるためのイベントを選択します。使用できるイベントは、表 12.4 の「スヌーズモードの解除」に✓マークが入っているイベントだけです。

IELSRn.IELS[5:0]ビットで ICU_SNZCANCEL を選択すると、スヌーズモードを解除する割り込みが発生します。

12.2.8 WUPEN : ウェイクアップ割り込み許可レジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IICOWUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	—	—	—	—	—	ACMPHS0WUPEN	—	—	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQWUPEN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQWUPEN[7:0]	IRQ 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: IRQn 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W

ビット	シンボル	機能	R/W
17	KEYWUPEN	キー割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: キー割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: キー割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: LVD2 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: LVD2 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	ACMPHS0WUPEN	ACMPHS0 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: ACMPHS0 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: ACMPHS0 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
27:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
31	IIC0WUPEN	IIC0 アドレスマッチ割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W

このレジスタの各ビットにはそれぞれ対応する割り込みがあり、割り込みによってソフトウェアスタンバイ／スヌーズモードの CPU をウェイクアップさせることができるかどうかを対応するビットで制御します。

IRQWUPEN[7:0]ビット（IRQ 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

IRQWUPEN[7:0]ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために IRQn 割り込みを使用することを許可します。

IWDTWUPEN ビット（IWDT 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

IWDTWUPEN ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために IWDT 割り込みを使用することを許可します。

KEYWUPEN ビット（キー割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

KEYWUPEN ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するためにキー割り込みを使用することを許可します。

LVD1WUPEN ビット（LVD1 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

LVD1WUPEN ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために LVD1 割り込みを使用することを許可します。

LVD2WUPEN ビット（LVD2 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

LVD2WUPEN ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために LVD2 割り込みを使用することを許可します。

ACMPHS0WUPEN ビット（ACMPHS0 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

ACMPHS0WUPEN ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために ACMPHS0 割り込みを使用することを許可します。

AGT1UDWUPEN ビット（AGT1 アンダーフロー割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

AGT1UDWUPEN ビットは、ソフトウェアスタンバイモード／スヌーズモードを解除するために AGT1 アンダーフロー割り込みを使用することを許可します。

AGT1CAWUPEN ビット（AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

AGT1CAWUPEN ビットは、ソフトウェアスタンバイモード／スヌーズモードを解除するために AGT1 コンペアマッチ A 割り込みを使用することを許可します。

AGT1CBWUPEN ビット（AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

AGT1CBWUPEN ビットは、ソフトウェアスタンバイモード／スヌーズモードを解除するために AGT1 コンペアマッチ B 割り込みを使用することを許可します。

IIC0WUPEN ビット（IIC0 アドレスマッチ割り込みソフトウェアスタンバイ／スヌーズモード復帰許可）

IIC0WUPEN ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために IIC0 割り込みを使用することを許可します。

12.2.9 IELEN : ICU イベントイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x1C0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IELEN	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	IELEN	パーツ非同期割り込み許可 0: 禁止 1: 許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタのビットは対応する割り込みの使用可否を制御します。

IELEN ビット（パーツ非同期割り込み許可）

IELEN ビットは、以下に示すパーツ非同期割り込みの使用を許可します。

- IIC0_WUI, AGT1_AGTCMBI, AGT1_AGTCMAI, AGT1_AGTI, ACMPHS0, LVD_LVD1, LVD_LVD2, KEY_INTKR, IWDT_NMIUNDF, PORT_IRQ0～PORT_IRQ7

12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「12.9. 参考資料」を参照してください。

12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 12.3　割り込みベクタテーブル (1/2)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ（リセットベクタ）
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	予約
5	—	0x014	Arm	予約
6	—	0x018	Arm	予約
7	—	0x01C	Arm	予約
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパバイザコール (SVCall)
12	—	0x030	Arm	予約
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント

表 12.3　割り込みベクタテーブル (2/2)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

12.3.2　イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 12.4　イベントテーブル (1/4)

イベント番号 (注5)	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動		
0x01	ポート	PORT_IRQ0	✓	✓	✓	✓
0x02		PORT_IRQ1	✓	✓	✓	✓
0x03		PORT_IRQ2	✓	✓	✓	✓
0x04		PORT_IRQ3	✓	✓	✓	✓
0x05		PORT_IRQ4	✓	✓	✓	✓
0x06		PORT_IRQ5	✓	✓	✓	✓
0x07		PORT_IRQ6	✓	✓	✓	✓
0x08		PORT_IRQ7	✓	✓	✓	✓
0x09	DTC	DTC_COMPLETE	✓	—	✓(注4)	—
0x0B	ICU	ICU_SNZCANCEL	✓	—	✓	—
0x0C	FLASH	FCU_FRDYI	✓	—	—	—
0x0D	LVD	LVD_LVD1	✓	—	✓	✓
0x0E		LVD_LVD2	✓	—	✓	✓
0x0F	MOSC	MOSC_STOP	✓	—	—	—
0x10	低消費電力モード	SYSTEM_SNZREQ	—	✓	—	—
0x11	AGT0	AGT0_AGTI	✓	✓	—	—
0x12		AGT0_AGTCMAI	✓	✓	—	—
0x13		AGT0_AGTCMBI	✓	✓	—	—

表 12.4　イベントテーブル (2/4)

イベント番号 (注5)	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動		
0x14	AGT1	AGT1_AGTI	✓	✓	✓	✓
0x15		AGT1_AGTCMAI	✓	✓	✓	✓
0x16		AGT1_AGTCMBI	✓	✓	✓	✓
0x17	IWDT	IWDT_NMIUNDF	✓	—	✓	✓
0x18	WDT	WDT_NMIUNDF	✓	—	—	—
0x1C	ADC12	ADC120_ADI	✓	✓	—	—
0x1D		ADC120_GBADI	✓	✓	—	—
0x1E		ADC120_CMPAI	✓	—	—	—
0x1F		ADC120_CMPBI	✓	—	—	—
0x20		ADC120_WCMPM	—	✓	✓(注4)	—
0x21		ADC120_WCMPUM	—	✓	✓(注4)	—
0x22	ACMPHS	ACMP_HS0	✓	—	✓	✓
0x23		ACMP_HS1	✓	—	—	—
0x27	IIC0	IIC0_RXI	✓	✓	—	—
0x28		IIC0_TXI	✓	✓	—	—
0x29		IIC0_TEI	✓	—	—	—
0x2A		IIC0_EEI	✓	—	—	—
0x2B		IIC0_WUI	✓	—	✓	✓
0x33	KINT	KEY_INTKR	✓	—	✓(注1)	✓(注1)
0x34	DOC	DOC_DOPCI	✓	—	✓(注4)	—
0x35	CAC	CAC_FERRI	✓	—	—	—
0x36		CAC_MENDI	✓	—	—	—
0x37		CAC_OVFI	✓	—	—	—
0x3D	I/O ポート	IOPORT_GROUP1	✓	✓(注2)	—	—
0x3E		IOPORT_GROUP2	✓	✓(注2)	—	—
0x3F	ELC	ELC_SWEVT0	✓(注3)	✓	—	—
0x40		ELC_SWEVT1	✓(注3)	✓	—	—
0x41	POEG	POEG_GROUPA	✓	—	—	—
0x42		POEG_GROUPB	✓	—	—	—
0x46	GPT160	GPT0_CCMPA	✓	✓	—	—
0x47		GPT0_CCMPB	✓	✓	—	—
0x48		GPT0_CMPC	✓	✓	—	—
0x49		GPT0_CMPD	✓	✓	—	—
0x4A		GPT0_CMPE	✓	✓	—	—
0x4B		GPT0_CMPF	✓	✓	—	—
0x4C		GPT0_OVF	✓	✓	—	—
0x4D		GPT0_UDF	✓	✓	—	—
0x4E		GPT0_PC	✓	✓	—	—
0x4F		GPT0_ADTRGA	✓	✓	—	—
0x50		GPT0_ADTRGB	✓	✓	—	—

表 12.4　イベントテーブル (3/4)

イベント番号 (注5)	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動		
0x51	GPT161	GPT1_CCMPA	✓	✓	—	—
0x52		GPT1_CCMPB	✓	✓	—	—
0x53		GPT1_CMPC	✓	✓	—	—
0x54		GPT1_CMPD	✓	✓	—	—
0x55		GPT1_CMPE	✓	✓	—	—
0x56		GPT1_CMPF	✓	✓	—	—
0x57		GPT1_OVF	✓	✓	—	—
0x58		GPT1_UDF	✓	✓	—	—
0x59		GPT1_PC	✓	✓	—	—
0x5A		GPT1_ADTRGA	✓	✓	—	—
0x5B		GPT1_ADTRGB	✓	✓	—	—
0x5C	GPT162	GPT2_CCMPA	✓	✓	—	—
0x5D		GPT2_CCMPB	✓	✓	—	—
0x5E		GPT2_CMPC	✓	✓	—	—
0x5F		GPT2_CMPD	✓	✓	—	—
0x60		GPT2_CMPE	✓	✓	—	—
0x61		GPT2_CMPF	✓	✓	—	—
0x62		GPT2_OVF	✓	✓	—	—
0x63		GPT2_UDF	✓	✓	—	—
0x64		GPT2_PC	✓	✓	—	—
0x65		GPT2_ADTRGA	✓	✓	—	—
0x66		GPT2_ADTRGB	✓	✓	—	—
0x70	GPT	GPT_UVWEDGE	✓	—	—	—
0x71	SCI0	SCI0_RXI	✓	✓	—	—
0x72		SCI0_TXI	✓	✓	—	—
0x73		SCI0_TEI	✓	—	—	—
0x74		SCI0_ERI	✓	—	—	—
0x75		SCI0_AM	✓	—	✓(注4)	—
0x76		SCI0_RXI_OR_ERI	—	—	✓(注4)	—
0x77	SCI1	SCI1_RXI	✓	✓	—	—
0x78		SCI1_TXI	✓	✓	—	—
0x79		SCI1_TEI	✓	—	—	—
0x7A		SCI1_ERI	✓	—	—	—
0x7B		SCI1_AM	✓	—	—	—
0x7C	SCI9	SCI9_RXI	✓	✓	—	—
0x7D		SCI9_TXI	✓	✓	—	—
0x7E		SCI9_TEI	✓	—	—	—
0x7F		SCI9_ERI	✓	—	—	—
0x80		SCI9_AM	✓	—	—	—

表 12.4　イベントテーブル (4/4)

イベント番号 (注5)	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動		
0x81	SPI0	SPI0_SPRI	✓	✓	—	—
0x82		SPI0_SPTI	✓	✓	—	—
0x83		SPI0_SPII	✓	—	—	—
0x84		SPI0_SPEI	✓	—	—	—
0x85		SPI0_SPTEND	✓	—	—	—
0x8E	SCI2	SCI2_RXI	✓	✓	—	—
0x8F		SCI2_TXI	✓	✓	—	—
0x90		SCI2_TEI	✓	—	—	—
0x91		SCI2_ERI	✓	—	—	—
0x92		SCI2_AM	✓	—	—	—
0x98	GPT163	GPT3_CCMPA	✓	✓	—	—
0x99		GPT3_CCMPB	✓	✓	—	—
0x9A		GPT3_CMPC	✓	✓	—	—
0x9B		GPT3_CMPD	✓	✓	—	—
0x9C		GPT3_CMPE	✓	✓	—	—
0x9D		GPT3_CMPF	✓	✓	—	—
0x9E		GPT3_OVF	✓	✓	—	—
0x9F		GPT3_UDF	✓	✓	—	—
0xA0		GPT3_PC	✓	✓	—	—
0xA1		GPT3_ADTRGA	✓	✓	—	—
0xA2		GPT3_ADTRGB	✓	✓	—	—

注 1.　KRCTL.KRMD が 1 の場合にのみサポートされます。
注 2.　最初のエッジ検出のみが有効です。
注 3.　DTC 転送後の割り込みのみがサポートされます。
注 4.　SELSR0 を使用します。
注 5.　イベント番号は、スヌーズモードの解除とソフトウェアスタンバイモードの解除においてのみアクティブです。CPU 割り込みと DTC 割り込みの設定については、表 12.7 を参照してください。

12.3.3　ICU および DTC のイベント番号

表 12.5 および表 12.6 に、CPU 割り込みまたは DTC 起動要求時の IELSRn.IELS[5:0]設定値を示します。表 12.7 に各イベント選択のレジスタ設定値を示します。

表 12.5　ICU 入力リンク選択 (1) (1/2)

IELS[5:0]	グループ 0（割り込みチャネル IELSR0/8/16/24）	グループ 1（割り込みチャネル IELSR1/9/17/25）	グループ 2（割り込みチャネル IELSR2/10/18/26）	グループ 3（割り込みチャネル IELSR3/11/19/27）
0x00	割り込み禁止	割り込み禁止	割り込み禁止	割り込み禁止
0x01	PORT_IRQ0	PORT_IRQ1	PORT_IRQ2	PORT_IRQ3
0x02	DTC_COMPLETE	LVD_LVD2	FCU_FRDYI	SYSTEM_SNZREQ
0x03	ICU_SNZCANCEL	AGT1_AGTCMAI	AGT1_AGTCMBI	IWDT_NMIUNDF
0x04	LVD_LVD1	設定禁止	設定禁止	設定禁止
0x05	AGT1_AGTI	ADC120_GBADI	ADC120_CMPAI	ADC120_CMPBI
0x06	WDT_NMIUNDF	ADC120_WCMPUM	IIC0_TEI	IIC0_EEI
0x07	ADC120_ADI	ACMP_HS1	設定禁止	設定禁止
0x08	ADC120_WCMPM	IIC0_TXI	CAC_MENDI	CAC_OVFI

表 12.5　ICU 入力リンク選択 (1) (2/2)

IELS[5:0]	グループ 0（割り込みチャネル IELSR0/8/16/24）	グループ 1（割り込みチャネル IELSR1/9/17/25）	グループ 2（割り込みチャネル IELSR2/10/18/26）	グループ 3（割り込みチャネル IELSR3/11/19/27）
0x09	ACMP_HS0	設定禁止	設定禁止	設定禁止
0x0A	IIC0_RXI	DOC_DOPCI	ELC_SWEVT0	ELC_SWEVT1
0x0B	IIC0_WUI	CAC_FERRI	POEG_GROUPA	POEG_GROUPB
0x0C	設定禁止	設定禁止	GPT0_CMPC	GPT0_CMPD
0x0D	設定禁止	GPT0_CCMPB	GPT2_CMPC	GPT2_CMPD
0x0E	GPT0_CCMPA	GPT0_UDF	GPT2_OVF	GPT2_UDF
0x0F	GPT0_OVF	GPT2_CCMPB	SCI0_TEI	SCI0_ERI
0x10	GPT2_CCMPA	SCI0_TXI	SPI0_SPII	SPI0_SPEI
0x11	GPT_UVWEDGE	SPI0_SPTI	SPI0_SPTEND	AGT0_AGTI
0x12	SCI0_RXI	設定禁止	設定禁止	GPT1_CMPD
0x13	SCI0_AM	AGT0_AGTCMBI	IOPORT_GROUP2	設定禁止
0x14	SPI0_SPRI	設定禁止	GPT1_CMPC	設定禁止
0x15	設定禁止	IOPORT_GROUP1	設定禁止	設定禁止
0x16	AGT0_AGTCMAI	GPT1_CCMPB	設定禁止	設定禁止
0x17	設定禁止	GPT3_UDF	設定禁止	設定禁止
0x18	KEY_INTKR	設定禁止	設定禁止	設定禁止
0x19	GPT1_CCMPA	設定禁止	設定禁止	SCI1_ERI
0x1A	GPT3_OVF	設定禁止	設定禁止	設定禁止
0x1B	設定禁止	SCI1_TXI	SCI1_TEI	SCI9_AM
0x1C	設定禁止	SCI2_AM	設定禁止	設定禁止
0x1D	設定禁止	設定禁止	設定禁止	設定禁止
0x1E	SCI1_RXI	設定禁止	設定禁止	設定禁止
0x1F	設定禁止	設定禁止	設定禁止	設定禁止
0x20	GPT0_ADTRGA	GPT0_ADTRGB	GPT0_CMPE	GPT0_CMPF
0x21	GPT1_ADTRGA	GPT1_ADTRGB	GPT0_PC	設定禁止
0x22	GPT2_CMPE	GPT2_CMPF	GPT1_PC	設定禁止
0x23	GPT2_PC	設定禁止	GPT2_ADTRGA	GPT2_ADTRGB
0x24	設定禁止	設定禁止	GPT3_CMPE	GPT3_CMPF

表 12.6　ICU 入力リンク選択 (2) (1/2)

IELS[5:0]	グループ 4（割り込みチャネル IELSR4/12/20/28）	グループ 5（割り込みチャネル IELSR5/13/21/29）	グループ 6（割り込みチャネル IELSR6/14/22/30）	グループ 7（割り込みチャネル IELSR7/15/23/31）
0x00	割り込み禁止	割り込み禁止	割り込み禁止	割り込み禁止
0x01	PORT_IRQ0	PORT_IRQ1	PORT_IRQ2	PORT_IRQ3
0x02	DTC_COMPLETE	LVD_LVD2	FCU_FRDYI	SYSTEM_SNZREQ
0x03	ICU_SNZCANCEL	AGT1_AGTCMAI	AGT1_AGTCMBI	IWDT_NMIUNDF
0x04	LVD_LVD1	設定禁止	設定禁止	設定禁止
0x05	AGT1_AGTI	ADC120_GBADI	ADC120_CMPAI	ADC120_CMPBI
0x06	WDT_NMIUNDF	ADC120_WCMPUM	IIC0_TEI	IIC0_EEI
0x07	ADC120_ADI	ACMP_HS1	設定禁止	設定禁止
0x08	ADC120_WCMPM	IIC0_TXI	CAC_MENDI	CAC_OVFI
0x09	ACMP_HS0	設定禁止	設定禁止	設定禁止

表 12.6　ICU 入力リンク選択 (2) (2/2)

IELS[5:0]	グループ 4（割り込みチャネル IELSR4/12/20/28）	グループ 5（割り込みチャネル IELSR5/13/21/29）	グループ 6（割り込みチャネル IELSR6/14/22/30）	グループ 7（割り込みチャネル IELSR7/15/23/31）
0x0A	IIC0_RXI	DOC_DOPCI	ELC_SWEVT0	ELC_SWEVT1
0x0B	IIC0_WUI	CAC_FERRI	POEG_GROUPA	POEG_GROUPB
0x0C	設定禁止	設定禁止	GPT0_CMPC	GPT0_CMPD
0x0D	設定禁止	GPT0_CCMPB	GPT2_CMPC	GPT2_CMPD
0x0E	GPT0_CCMPA	GPT0_UDF	GPT2_OVF	GPT2_UDF
0x0F	GPT0_OVF	GPT2_CCMPB	SCI0_TEI	SCI0_ERI
0x10	GPT2_CCMPA	SCI0_TXI	SPI0_SPII	SPI0_SPEI
0x11	GPT_UVWEDGE	SPI0_SPTI	SPI0_SPTEND	PORT_IRQ7
0x12	SCI0_RXI	設定禁止	設定禁止	GPT3_CMPD
0x13	SCI0_AM	PORT_IRQ5	PORT_IRQ6	設定禁止
0x14	SPI0_SPRI	設定禁止	MOSC_STOP	設定禁止
0x15	設定禁止	GPT1_UDF	GPT3_CMPC	設定禁止
0x16	PORT_IRQ4	GPT3_CCMPB	設定禁止	設定禁止
0x17	設定禁止	設定禁止	設定禁止	設定禁止
0x18	GPT1_OVF	設定禁止	設定禁止	設定禁止
0x19	GPT3_CCMPA	設定禁止	設定禁止	SCI2_ERI
0x1A	設定禁止	SCI1_AM	設定禁止	SCI9_ERI
0x1B	設定禁止	SCI2_TXI	設定禁止	設定禁止
0x1C	設定禁止	SCI9_TXI	SCI2_TEI	設定禁止
0x1D	SCI2_RXI	設定禁止	設定禁止	設定禁止
0x1E	SCI9_RXI	設定禁止	SCI9_TEI	設定禁止
0x1F	設定禁止	設定禁止	設定禁止	設定禁止
0x20	GPT0_ADTRGA	GPT0_ADTRGB	GPT0_CMPE	GPT0_CMPF
0x21	GPT3_ADTRGA	GPT3_ADTRGB	GPT0_PC	設定禁止
0x22	GPT2_CMPE	GPT2_CMPF	GPT1_CMPE	GPT1_CMPF
0x23	GPT2_PC	設定禁止	GPT2_ADTRGA	GPT2_ADTRGB
0x24	設定禁止	設定禁止	GPT3_PC	設定禁止

表 12.7　イベントのレジスタ設定 (1/4)

名称	IELSRn.IELS[5:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
PORT_IRQ0	0x01	—	—	—	0x01	—	—	—
PORT_IRQ1	—	0x01	—	—	—	0x01	—	—
PORT_IRQ2	—	—	0x01	—	—	—	0x01	—
PORT_IRQ3	—	—	—	0x01	—	—	—	0x01
PORT_IRQ4	—	—	—	—	0x16	—	—	—
PORT_IRQ5	—	—	—	—	—	0x13	—	—
PORT_IRQ6	—	—	—	—	—	—	0x13	—
PORT_IRQ7	—	—	—	—	—	—	—	0x11
DTC_COMPLETE	0x02(注1)	—	—	—	0x02(注1)	—	—	—
ICU_SNZCANCEL	0x03(注1)	—	—	—	0x03(注1)	—	—	—

表 12.7　イベントのレジスタ設定 (2/4)

名称	IELSRn.IELS[5:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
FCU_FRDYI	—	—	0x02(注1)	—	—	—	0x02(注1)	—
LVD_LVD1	0x04(注1)	—	—	—	0x04(注1)	—	—	—
LVD_LVD2	—	0x02(注1)	—	—	—	0x02(注1)	—	—
MOSC_STOP	—	—	—	—	—	—	0x14(注1)	—
SYSTEM_SNZREQ	—	—	—	0x02(注2)	—	—	—	0x02(注2)
AGT0_AGTI	—	—	—	0x11	—	—	—	—
AGT0_AGTCMAI	0x16	—	—	—	—	—	—	—
AGT0_AGTCMBI	—	0x13	—	—	—	—	—	—
AGT1_AGTI	0x05	—	—	—	0x05	—	—	—
AGT1_AGTCMAI	—	0x03	—	—	—	0x03	—	—
AGT1_AGTCMBI	—	—	0x03	—	—	—	0x03	—
IWDT_NMIUNDF	—	—	—	0x03(注1)	—	—	—	0x03(注1)
WDT_NMIUNDF	0x06(注1)	—	—	—	0x06(注1)	—	—	—
ADC120_ADI	0x07	—	—	—	0x07	—	—	—
ADC120_GBADI	—	0x05	—	—	—	0x05	—	—
ADC120_CMPAI	—	—	0x05(注1)	—	—	—	0x05(注1)	—
ADC120_CMPBI	—	—	—	0x05(注1)	—	—	—	0x05(注1)
ADC120_WCMPM	0x08(注2)	—	—	—	0x08(注2)	—	—	—
ADC120_WCMPUM	—	0x06(注2)	—	—	—	0x06(注2)	—	—
ACMP_HS0	0x09(注1)	—	—	—	0x09(注1)	—	—	—
ACMP_HS1	—	0x07(注1)	—	—	—	0x07(注1)	—	—
IIC0_RXI	0x0A	—	—	—	0x0A	—	—	—
IIC0_TXI	—	0x08	—	—	—	0x08	—	—
IIC0_TEI	—	—	0x06(注1)	—	—	—	0x06(注1)	—
IIC0_EEI	—	—	—	0x06(注1)	—	—	—	0x06(注1)
IIC0_WUI	0x0B(注1)	—	—	—	0x0B(注1)	—	—	—
KEY_INTKR	0x18(注1)	—	—	—	—	—	—	—
DOC_DOPCI	—	0x0A(注1)	—	—	—	0x0A(注1)	—	—
CAC_FERRI	—	0x0B(注1)	—	—	—	0x0B(注1)	—	—
CAC_MENDI	—	—	0x08(注1)	—	—	—	0x08(注1)	—
CAC_OVFI	—	—	—	0x08(注1)	—	—	—	0x08(注1)
IOPORT_GROUP1	—	0x15	—	—	—	—	—	—
IOPORT_GROUP2	—	—	0x13	—	—	—	—	—
ELC_SWEVT0	—	—	0x0A	—	—	—	0x0A	—
ELC_SWEVT1	—	—	—	0x0A	—	—	—	0x0A
POEG_GROUPA	—	—	0x0B(注1)	—	—	—	0x0B(注1)	—
POEG_GROUPB	—	—	—	0x0B(注1)	—	—	—	0x0B(注1)
GPT0_CCMPA	0x0E	—	—	—	0x0E	—	—	—

表 12.7　イベントのレジスタ設定 (3/4)

名称	IELSRn.IELS[5:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
GPT0_CCMPB	—	0x0D	—	—	—	0x0D	—	—
GPT0_CMPC	—	—	0x0C	—	—	—	0x0C	—
GPT0_CMPD	—	—	—	0x0C	—	—	—	0x0C
GPT0_CMPE	—	—	0x20	—	—	—	0x20	—
GPT0_CMPF	—	—	—	0x20	—	—	—	0x20
GPT0_OVF	0x0F	—	—	—	0x0F	—	—	—
GPT0_UDF	—	0x0E	—	—	—	0x0E	—	—
GPT0_PC	—	—	0x21	—	—	—	0x21	—
GPT0_ADTRGA	0x20	—	—	—	0x20	—	—	—
GPT0_ADTRGB	—	0x20	—	—	—	0x20	—	—
GPT1_CCMPA	0x19	—	—	—	—	—	—	—
GPT1_CCMPB	—	0x16	—	—	—	—	—	—
GPT1_CMPC	—	—	0x14	—	—	—	—	—
GPT1_CMPD	—	—	—	0x12	—	—	—	—
GPT1_CMPE	—	—	—	—	—	—	0x22	—
GPT1_CMPF	—	—	—	—	—	—	—	0x22
GPT1_OVF	—	—	—	—	0x18	—	—	—
GPT1_UDF	—	—	—	—	—	0x15	—	—
GPT1_PC	—	—	0x22	—	—	—	—	—
GPT1_ADTRGA	0x21	—	—	—	—	—	—	—
GPT1_ADTRGB	—	0x21	—	—	—	—	—	—
GPT2_CCMPA	0x10	—	—	—	0x10	—	—	—
GPT2_CCMPB	—	0x0F	—	—	—	0x0F	—	—
GPT2_CMPC	—	—	0x0D	—	—	—	0x0D	—
GPT2_CMPD	—	—	—	0x0D	—	—	—	0x0D
GPT2_CMPE	0x22	—	—	—	0x22	—	—	—
GPT2_CMPF	—	0x22	—	—	—	0x22	—	—
GPT2_OVF	—	—	0x0E	—	—	—	0x0E	—
GPT2_UDF	—	—	—	0x0E	—	—	—	0x0E
GPT2_PC	0x23	—	—	—	0x23	—	—	—
GPT2_ADTRGA	—	—	0x23	—	—	—	0x23	—
GPT2_ADTRGB	—	—	—	0x23	—	—	—	0x23
GPT3_CCMPA	—	—	—	—	0x19	—	—	—
GPT3_CCMPB	—	—	—	—	—	0x16	—	—
GPT3_CMPC	—	—	—	—	—	—	0x15	—
GPT3_CMPD	—	—	—	—	—	—	—	0x12
GPT3_CMPE	—	—	0x24	—	—	—	—	—
GPT3_CMPF	—	—	—	0x24	—	—	—	—
GPT3_OVF	0x1A	—	—	—	—	—	—	—
GPT3_UDF	—	0x17	—	—	—	—	—	—

表 12.7　　イベントのレジスタ設定 (4/4)

名称	IELSRn.IELS[5:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
GPT3_PC	—	—	—	—	—	—	0x24	—
GPT3_ADTRGA	—	—	—	—	0x21	—	—	—
GPT3_ADTRGB	—	—	—	—	—	0x21	—	—
GPT_UVWEDGE	0x11[注1]	—	—	—	0x11[注1]	—	—	—
SCI0_RXI	0x12	—	—	—	0x12	—	—	—
SCI0_TXI	—	0x10	—	—	—	0x10	—	—
SCI0_TEI	—	—	0x0F[注1]	—	—	—	0x0F[注1]	—
SCI0_ERI	—	—	—	0x0F[注1]	—	—	—	0x0F[注1]
SCI0_AM	0x13[注1]	—	—	—	0x13[注1]	—	—	—
SCI1_RXI	0x1E	—	—	—	—	—	—	—
SCI1_TXI	—	0x1B	—	—	—	—	—	—
SCI1_TEI	—	—	0x1B[注1]	—	—	—	—	—
SCI1_ERI	—	—	—	0x19[注1]	—	—	—	—
SCI1_AM	—	—	—	—	—	0x1A[注1]	—	—
SCI2_RXI	—	—	—	—	0x1D	—	—	—
SCI2_TXI	—	—	—	—	—	0x1B	—	—
SCI2_TEI	—	—	—	—	—	—	0x1C[注1]	—
SCI2_ERI	—	—	—	—	—	—	—	0x19[注1]
SCI2_AM	—	0x1C[注1]	—	—	—	—	—	—
SCI9_RXI	—	—	—	—	0x1E	—	—	—
SCI9_TXI	—	—	—	—	—	0x1C	—	—
SCI9_TEI	—	—	—	—	—	—	0x1E[注1]	—
SCI9_ERI	—	—	—	—	—	—	—	0x1A[注1]
SCI9_AM	—	—	—	0x1B[注1]	—	—	—	—
SPI0_SPRI	0x14	—	—	—	0x14	—	—	—
SPI0_SPTI	—	0x11	—	—	—	0x11	—	—
SPI0_SPII	—	—	0x10[注1]	—	—	—	0x10[注1]	—
SPI0_SPEI	—	—	—	0x10[注1]	—	—	—	0x10[注1]
SPI0_SPTEND	—	—	0x11[注1]	—	—	—	0x11[注1]	—

注 1.　CPU 割り込みのみで使用します。
注 2.　DTC 割り込みのみで使用します。

12.4　　割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動など）

12.4.1 割り込みの検出

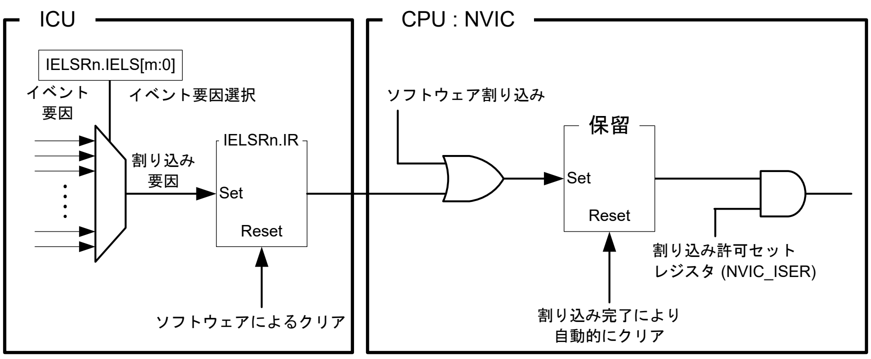
ICU は、IELSRn.IELS[5:0]で周辺機能割り込みまたは外部端子割り込みから入力されるイベント要因を選択します。

受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、NVIC へ割り込み要求を伝えます。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）
- 割り込み信号のレベル（Low レベル）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0]ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 12.3 および表 12.4 を参照してください。イベントは、割り込みが発生しCPU で受け付けられる前に、NVIC で受け付けられる必要があります。



注. m = 4

図 12.2 ICU および CPU の割り込み経路 (NVIC)

12.5 割り込みの設定手順

12.5.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込みイネーブルセットレジスタ (NVIC_ISER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[5:0]ビットを設定します。
3. スヌーズモードの解除 (SELSR0.SELS[7:0])、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する動作設定をしてください。

12.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. スヌーズモードの解除 (SELSR0.SELS[7:0])、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する動作設定を解除してください。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS[5:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. 割り込みイネーブルクリアレジスタ (NVIC_ICER) と割り込み保留クリアレジスタ (NVIC_ICPR) をクリアしてください。

12.5.3　割り込みのポーリング

割り込み要求をポーリングする手順を以下に示します。

1. 割り込みイネーブルクリアレジスタ (NVIC_ICER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[5:0]ビットを設定します。
3. スヌーズモードの解除 (SELSR0.SELS[7:0])、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する動作設定をしてください。
4. 割り込み保留セットレジスタ (NVIC_ISPR) をポーリングしてください。

12.5.4　割り込み要求先の選択

選択可能な要求先は、表 12.3、表 12.4、および表 12.6 に示されているように、割り込みごとに固定されています。

割り込み出力要求先（CPU または DTC）は、割り込み要因ごとに個別に選択できます。

イベント一覧表に✓印の記載がある割り込み要求先の設定を使用してください。

DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi.IRQMD[1:0] ビットをエッジ検出を選択するために設定してください。

12.5.4.1　CPU への割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。対象イベントに対応する IELSRn.IELS[5:0]ビットを設定し、IELSRn.DTCE ビットを 0 にします。

12.5.4.2　DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. 対象イベントに対応する IELSRn.IELS[5:0]ビットを設定し、IELSRn.DTCE ビットを 1 にします。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 12.8 に DTC が割り込み要求先となる場合の動作を示します。

表 12.8　DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	CPU（IELSRn.DTCE ビットが自動的にクリアされる）
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	CPU（IELSRn.DTCE ビットが自動的にクリアされる）

注 1.　DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生タイミングを設定します。
注 2.　IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求（DTC 起動要求）は無視されます。
注 3.　チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「15. データトランスファコントローラ (DTC)」の表 15.2 を参照してください。

12.5.5　デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 IRQi (i = 0～7) と NMI 端子割り込みのために用意されています。デジタルフィルタ機能は、フィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

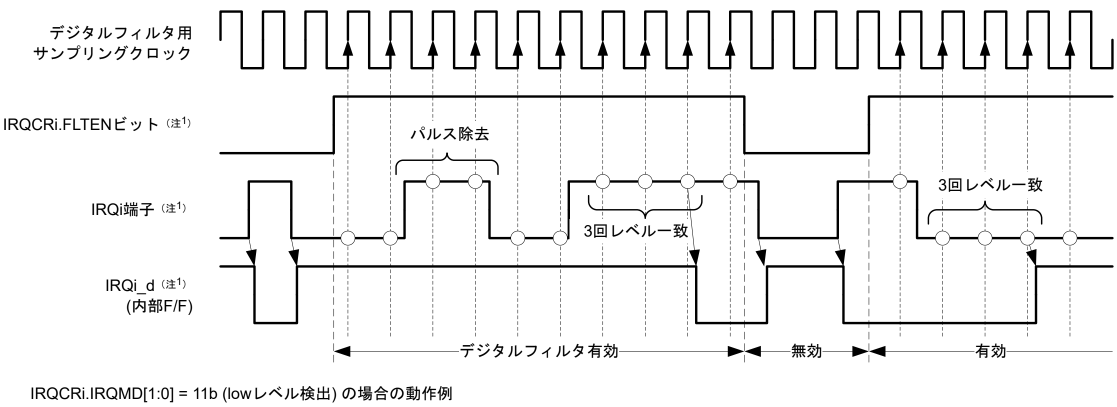
IRQi 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. IRQCRi.FCLKSEL[1:0]ビット (i = 0～7) で、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. IRQCRi.FLTEN ビット (i = 0～7) を 1（デジタルフィルタ有効）に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットで、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）に設定してください。

図 12.3 にデジタルフィルタの動作例を示します。



注 1.　i = 0～7

図 12.3　　デジタルフィルタの動作例

ソフトウェアスタンバイモードに遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットによりデジタルフィルタを無効にしてください。ソフトウェアスタンバイモードでは、ICU クロックは停止します。

ソフトウェアスタンバイモード終了時、回路はスタンバイモード前後の状態を比較することにより、エッジを検出します。ソフトウェアスタンバイモード中に入力が変化すると、不適切なエッジが検出される可能性があります。ソフトウェアスタンバイモード終了後は、再度、デジタルフィルタを有効にすることができます。

ソフトウェアスタンバイモードの間は、デジタルフィルタはハードウェアにより強制的に OFF になります。ソフトウェアスタンバイモードから通常モードに復帰した後は、IRQCRi.FLTEN (i = 0～15) と NMICR.NFLTEN の値に従ってください。デジタルフィルタがいったん無効になると、その時点までサンプリングされたイベント情報は失われます。

12.5.6　　外部端子割り込みの設定手順

外部端子割り込みを使用するときの手順を以下に示します。

1. I/O ポートの設定をしてください。
2. IRQCRi.FLTEN ビット (i = 0～7) を 0（デジタルフィルタ無効）にしてください。
3. IRQCRi レジスタ (i = 0～7) の IRQMD[1:0]ビットを設定して検出センスを選択してください。
4. IRQCRi レジスタの FCLKSEL[1:0]ビット、および FLTEN ビットを設定してください。
5. IRQ 端子を以下のように選択してください。
    - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSRn.IELS[5:0]ビットを設定し、IELSRn.DTCE ビットを 0 にしてください。
    - IRQ 端子を DTC の起動に使用する場合は、IELSRn.IELS[5:0]ビットを設定し、IELSRn.DTCE ビットを 1 にしてください。

12.6　ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- バスマスタ MPU エラー割り込み
- バススレーブ MPU エラー割り込み
- CPU スタックポインタモニタエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI ハンドラから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください（デジタルフィルタ無効）。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0]ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

12.7　低消費電力モードからの復帰

表 12.4 にスリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を示します。詳細は、「10. 低消費電力モード」を参照してください。

12.7.1　スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

- 割り込み要求先を CPU にしてください。
- NVIC のレジスタを設定して割り込みを許可してください。

12.7.2　ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスカブル割り込みについては、表 12.4 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードから復帰可能な割り込み要因を選択してください。

- ノンマスカブル割り込みの場合は、NMIER レジスタで該当する割り込み要求を許可してください。
- マスカブル割り込みの場合は、WUPEN レジスタで必要な割り込み要求を復帰許可にしてください。

2. 割り込み要求先として CPU を選択してください。
3. NVIC で割り込みを許可してください。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

12.7.3　スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰するとができます。

スヌーズモードから通常モードに復帰するには：

1. SELSR0 レジスタの SELS[7:0]ビットに、必要な割り込み要求を設定してください。
2. IELSRn.IELS[5:0]（n = 0、4、8、12、16、20、24、および 28 のいずれかの値）に、値 0x03 (ICU_SNZCANCEL) を設定してください。
3. 割り込み要求先を CPU にしてください。
4. NVIC で割り込みを許可してください。

注.　スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。

12.8　ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

12.9　参考資料

- ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C)

13. バス

13.1 概要

表 13.1 にバスの仕様を、図 13.1 にバスの構成図を、表 13.2 にバス種類別アドレス対応表を示します。

表 13.1 バスの仕様

バスの種類		内容
メインバス	システムバス (CPU)	• CPU に接続 • 内蔵メモリと内部周辺バスに接続
	DMA バス	• DTC に接続 • 内蔵メモリと内部周辺バスに接続
スレーブインタフェース	メモリバス 1	コードフラッシュメモリに接続
	メモリバス 4	SRAM0 に接続
	内部周辺バス 1	周辺モジュールに関連するシステム制御に接続
	内部周辺バス 3	• 周辺モジュール（CAC、ELC、I/O ポート、POEG、WDT、IWDT、IIC、ADC12、DOC、SCI、SPI、および CRC）を接続 • 周辺モジュール (KINT, AGTW, GPT, ACMPHS) を接続
	内部周辺バス 9	フラッシュメモリ（P/E（プログラム／イレース）時）、データフラッシュメモリ、および TSN に接続

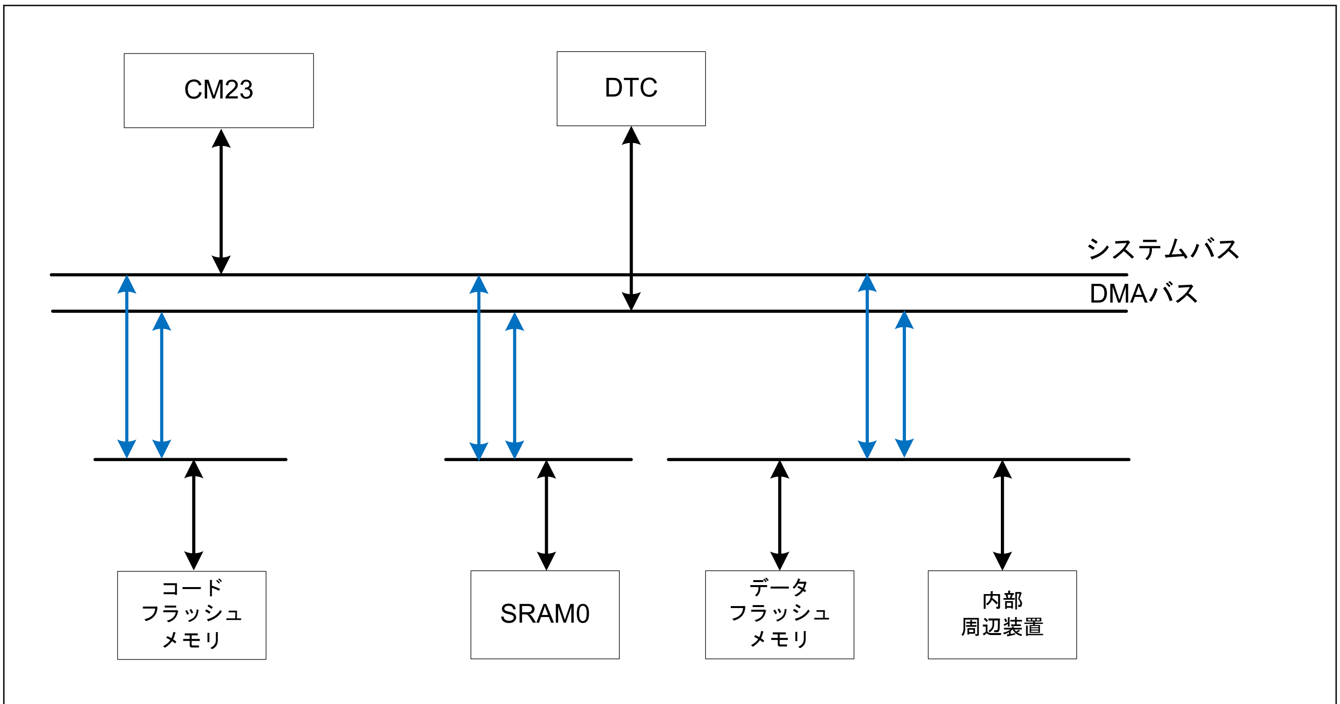


図 13.1 バスの構成図

表 13.2 バス種類別アドレス対応表 (1/2)

アドレス	バス	領域
0x0000_0000～0x01FF_FFFF	メモリバス 1	コードフラッシュメモリ
0x2000_0000～0x2000_7FFF	メモリバス 4	SRAM0
0x4000_0000～0x4001_8FFF	内部周辺バス 1	周辺 I/O レジスタ
0x4001_9000～0x4001_9FFF	メモリバス 4	MTB I/O レジスタ
0x4001_A000～0x4001_FFFF	内部周辺バス 1	周辺 I/O レジスタ
0x4004_0000～0x400B_FFFF	内部周辺バス 3	

表 13.2　バス種類別アドレス対応表 (2/2)

アドレス	バス	領域
0x4010_0000～0x407F_FFFF	内部周辺バス 9	フラッシュメモリ（P/E 時）、データフラッシュメモリ、TSN

13.2 バスの説明

13.2.1 メインバス

メインバスは、システムバスと DMA バスで構成されます。システムバスと DMA バスには以下が接続されます。

- コードフラッシュメモリ
- SRAM0
- データフラッシュメモリ
- 内部周辺バス

システムバスは、CPU への命令、およびデータアクセスに使用されます。

異なるマスタとスレーブ間の転送の組み合わせは、同時進行することができます。なお、DTC の転送制御情報を読み出している期間は、DTC 以外のマスタからバスアクセス要求は受け付けません。

13.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、「13.1. 概要」のスレーブインタフェースを参照してください。

システムバスと DMA バスからのバスアクセスは調停され、以下の固定優先順位になります。

DMA バス＞システムバス

異なるマスタとスレーブ間の転送の組み合わせは、同時進行することができます。

13.2.3 並列動作

それぞれのバスマスタが異なるバススレーブにアクセスする場合、並列に動作することが可能です。並列動作の例を図 13.2 に示します。この例では、フラッシュメモリと SRAM それぞれに同時アクセスを行う際、CPU は命令とオペランドバスを使用します。また、CPU がフラッシュメモリと SRAM にアクセスする間、DTC は同時に DMA バスを使用して、周辺バスにアクセスしています。

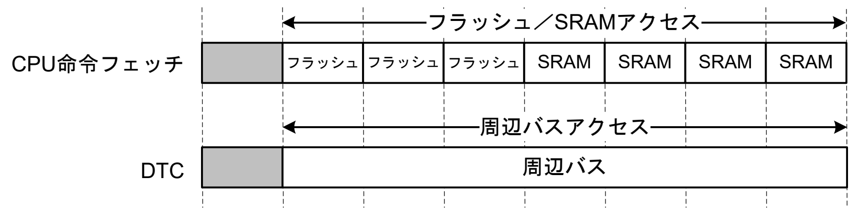


図 13.2　並列動作の例

13.2.4 エンディアンに関する制限事項

Cortex®-M23 コアで命令コードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

13.2.5 排他的アクセスに関する制限事項

メインバスは、排他的アクセスをサポートしておらず、本 MCU にグローバルモニタは存在しません。

メインバスは、常に CPU への HEXOKAY 信号（AHB-Lite protocol の信号）をデアサートします。これは、STREX 命令のような排他的書き込み命令は常に失敗のステータスを得ることを意味します。CPU から排他的書き込み操作が行われた場合、メインバスは常にデータの書き込みを行います。

13.3 レジスタの説明

13.3.1 BUSMCNTn : マスタバスコントロールレジスタ n (n = SYS, DMA)

Base address: BUS = 0x4000_3000

Offset address: 0x1008 (BUSMCNTSYS)
0x100C (BUSMCNTDMA)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	IERES	エラー応答無視 0: バスエラーを通知する 1: バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

IERES ビット（エラー応答無視）

IERES ビットは、AHB-Lite プロトコルにおけるエラー応答の許可または禁止を指定します。

表 13.3 に、バスの種類とレジスタの対応を示します。

表 13.3 バスマスタ種類とレジスタの対応

バスの種類	マスタバスコントロールレジスタ	バスエラーアドレスレジスタ	バスエラーステータスレジスタ
システムバス (CPU)	BUSMCNTSYS	BUS3ERRADD	BUS3ERRSTAT
DMA バス	BUSMCNTDMA	BUS4ERRADD	BUS4ERRSTAT

13.3.2 BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4)

Base address: BUS = 0x4000_3000

Offset address: 0x1820 (n = 3)
0x1830 (n = 4)

Bit position:	31–0
Bit field:	BERAD[31:0]
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. BUSnERRADD レジスタは、MPU に関連するリセット以外のリセットによってのみ、クリアされます。詳細は、「5. リセット」と「14. メモリプロテクションユニット (MPU)」を参照してください。

表 13.3 に、バスマスタの種類に対応したレジスタを示します。

BERAD[31:0]ビット（バスエラーアドレス）

BERAD[31:0]ビットは、バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、「13.3.3. BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)」の ERRSTAT フラグの説明と「13.4. バスエラー監視部」を参照してください。

BUSnERRADD.BERAD[31:0]ビット (n = 3, 4) の値は、BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) が 1 の場合にのみ有効です。

13.3.3 BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)

Base address: BUS = 0x4000_3000

Offset address: 0x1824 (n = 3)
0x1834 (n = 4)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ERRSTAT	—	—	—	—	—	—	ACCSTAT
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	ACCSTAT	エラーアクセス状態フラグ エラー発生時のアクセス状態 0: リードアクセス 1: ライトアクセス	R
6:1	—	読むと 0 が読めます。	R
7	ERRSTAT	バスエラー状態フラグ 0: バスエラー発生なし 1: バスエラー発生あり	R

注. BUSnERRSTAT レジスタは、MPU に関連するリセット以外のリセットによってのみ、クリアされます。詳細は、「5. リセット」と「14. メモリプロテクションユニット (MPU)」を参照してください。

表 13.3 に、バスの種類に対応したレジスタを示します。

ACCSTAT フラグ（エラーアクセス状態フラグ）

ACCSTAT フラグはバスにエラーが発生した場合、そのアクセス状態（ライトアクセスまたはリードアクセス）を示します。詳細については、BUSnERRSTAT.ERRSTAT フラグの説明と「13.4. バスエラー監視部」を参照してください。

本ビットの値は、BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) が 1 の場合にのみ有効です。

ERRSTAT フラグ（バスエラー状態フラグ）

ERRSTAT フラグはバスエラーの発生の有無を示します。バスエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) は 1 になります。

バスエラーの詳細は、「13.4. バスエラー監視部」と「14. メモリプロテクションユニット (MPU)」を参照してください。

13.4 バスエラー監視部

監視システムが各個別領域を監視し、エラーを検出したときは常に、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP へエラーを返します。

13.4.1 バスによって生じるエラーの種類

それぞれのバスでは、次の 3 種類のエラーが生じることがあります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー

「13.4.3. 不正アドレスアクセスエラーを引き起こす条件」に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスの範囲を示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。

バスマスタ MPU とバススレーブ MPU の詳細については、「14. メモリプロテクションユニット (MPU)」を参照してください。

13.4.2　バスエラー発生時の動作

バスエラーが発生すると、そのときのバスアクセス動作は保証されません。マスタごとに発生するバスエラー情報が、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは、リセットのみでクリアする必要があります。詳細は、「13.3.2. BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4)」と「13.3.3. BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)」を参照してください。

注.　DTC は、バスエラーを受信しません。DTC がバスにアクセスした場合、転送は継続されます。

13.4.3　不正アドレスアクセスエラーを引き起こす条件

表 13.4 に、不正アドレスアクセスエラーを発行するバスごとのアドレス空間を示します。

表 13.4　不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	メインバス	
		システムバス (CPU)	DMA バス
0x0000_0000～0x01FF_FFFF	メモリバス 1	—	—
0x0200_0000～0x1FFF_FFFF	予約領域	E	E
0x2000_0000～0x2000_7FFF	メモリバス 4	—	—
0x2000_8000～0x3FFF_FFFF	予約領域	E	E
0x4000_0000～0x4001_8FFF	内部周辺バス 1	—	—
0x4001_9000～0x4001_9FFF	メモリバス 4	—	—
0x4001_A000～0x4001_FFFF	内部周辺バス 1	—	—
0x4002_0000～0x4003_FFFF	予約領域	E	E
0x4004_0000～0x400B_FFFF	内部周辺バス 3	—	—
0x400C_0000～0x400D_FFFF	予約領域	—	—
0x400E_0000～0x400F_FFFF	予約領域	E	E
0x4010_0000～0x407F_FFFF	内部周辺バス 9	—	—
0x4080_0000～0xDFFF_FFFF	予約領域	E	E
0xE000_0000～0xFFFF_FFFF	Cortex®-M23 用システム	—	E

注.　E : 不正アドレスアクセスエラーが生じる経路を示します。
　　— : 不正アドレスアクセスエラーが生じない経路を示します。
注.　バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。
　　0x0200_0000～0x1FFF_FFFF : アクセスエラーを検出
　　0x0000_0000～0x01FF_FFFF : メモリバス 1 のアクセスエラー検出なし

13.5　参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI0553B.a)
2. *ARM® Cortex®-M23 Processor User Guide* (ARM DUI0963B)
3. *ARM® AMBA® 5 AHB-Lite Protocol Specification* (ARM IHI0033B.b)

14. メモリプロテクションユニット (MPU)

14.1 概要

本 MCU は、4 つのメモリプロテクションユニット (MPU) と CPU スタックポインタモニタ機能を備えています。

表 14.1 に MPU の仕様を示します。また、表 14.2 に各 MPU エラー検出の動作を示します。

表 14.1 MPU の仕様

項目	モジュール／機能	内容
不正メモリアクセス	不正アドレスアクセス	● Arm CPU はデフォルトのメモリマップを内蔵。CPU が不正アドレスアクセスを行うと、ハードフォルトが発生 ● Arm MPU はデフォルトのメモリマップを変更可能
	CPU スタックポインタモニタ	2 領域 ● メインスタックポインタ (MSP) ● プロセススタックポインタ (PSP)
メモリプロテクション	Arm® MPU	CPU 用のメモリプロテクション機能 ● 8 領域（サブ領域とバックグラウンド領域を含む）
	バスマスタ MPU	CPU を除く各バスマスタ用のメモリプロテクション機能 ● バスマスタ MPU グループ A : 4 領域
	バススレーブ MPU	各バススレーブ用のメモリプロテクション機能
セキュリティ	セキュリティ MPU	セキュア領域への非セキュアプログラムからのアクセスを保護 ● 2 領域 (PC) ● 4 領域（コードフラッシュ、SRAM、2 つのセキュア機能）

表 14.2 MPU エラー検出動作

MPU の種類	通知方法	エラー検出時のバスアクセス	エラーアクセス情報の格納
CPU スタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	格納しない
Arm MPU	ハードフォルト	● 正しくライトアクセスしない ● 正しくリードアクセスしない	格納しない
バスマスタ MPU	リセットまたはノンマスカブル割り込み	● 保護領域にライトアクセスする ● 保護領域にリードアクセスする	格納する
バススレーブ MPU	リセットまたはノンマスカブル割り込み	● ライトアクセスは無視 ● リードアクセスは 0 が読めます。	格納する
セキュリティ MPU	通知なし	● 正しくライトアクセスしない ● 正しくリードアクセスしない	格納しない

Arm MPU に対するエラーアクセスについては、「14.8. 参考資料」を参照してください。他の MPU に対するエラーアクセスについては、「13. バス」の「13.3. レジスタの説明」および 「13.4. バスエラー監視部」を参照してください。

14.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのアンダーフローとオーバーフローを検出します。Arm CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の 2 つのスタックポインタがあるため、2 つの CPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ（MSPMPUCTL、PSPMPUCTL）のスタックポインタモニタ有効ビットを 1 にします。

表 14.3 に、CPU スタックポインタモニタの仕様を示します。図 14.1 に CPU スタックポインタモニタのブロック図を、図 14.2 に CPU スタックポインタモニタレジスタ設定フローを示します。

表 14.3　CPU スタックポインタモニタの仕様

項目	機能
モニタする領域	SRAM 領域
領域数	2 領域： ● メインスタックポインタ (MSP) ● プロセススタックポインタ (PSP)
各領域のアドレス指定	各領域の開始アドレスと終了アドレスを指定
各領域のスタックポインタモニタ有効／無効設定	各領域のスタックポインタモニタの有効／無効を設定
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	CPU スタックポインタモニタレジスタに対する不正書き込みの防止が可能

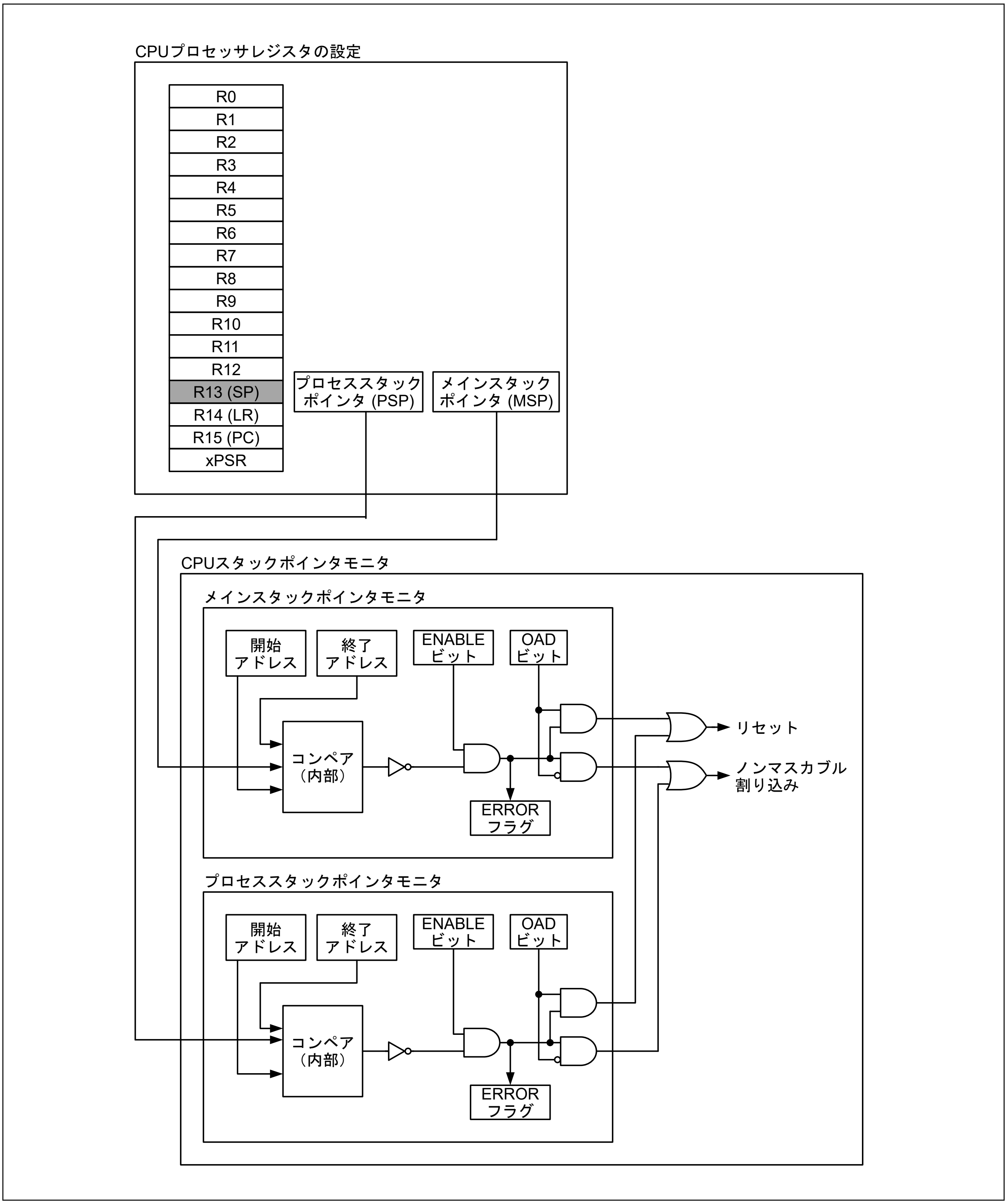


図 14.1　　CPU スタックポインタモニタのブロック図

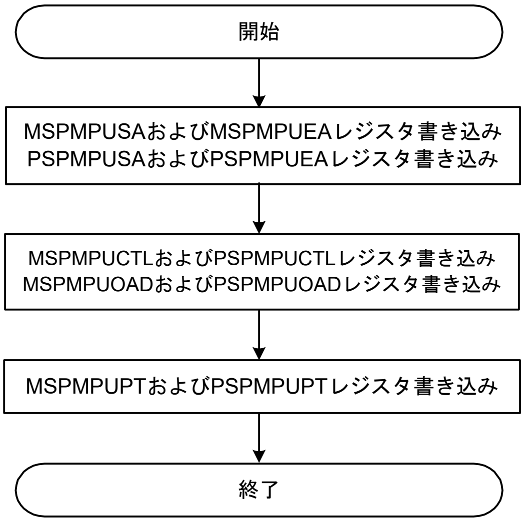


図 14.2　CPU スタックポインタモニタレジスタ設定フロー

14.2.1　レジスタの保護

CPU スタックポインタモニタ関連のレジスタは、MSPMPUPT レジスタおよび PSPMPUPT レジスタの PROTECT ビットで保護することができます。詳細は、「14.2.3.7. MSPMPUPT, PSPMPUPT : スタックポインタモニタ保護レジスタ」を参照してください。

14.2.2　オーバーフローエラーとアンダーフローエラー

オーバーフローやアンダーフローが検出されると、CPU スタックポインタモニタはオーバーフローエラーまたはアンダーフローエラーを発生させます。 CPU スタックポインタモニタエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.SPEST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.SPERF フラグに示されます。詳細は、「5. リセット」を参照してください。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR フラグを確認して、それがメインスタックポインタモニタエラーなのか、プロセススタックポインタモニタエラーなのかを判定してください。

スタックポインタがアンダーフローまたはオーバーフローすると、ノンマスカブル割り込みが出力され続けます。ノンマスカブル割り込みフラグをクリアする場合、ICU.NMICLR.SPECLR ビットを 1 にすると、スタックポインタがリセットされます。次に、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR フラグに 0 を書いてクリアしてください。

14.2.3　レジスタの説明

注.　MPU レジスタに書き込む前にバスアクセスを停止してください。

14.2.3.1　MSPMPUSA : メインスタックポインタ (MSP) モニタ開始アドレスレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0xD08

Bit position:	31–0
Bit field:	MSPMPUSA[31:0]
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

ビット	シンボル	機能	R/W
31:0	MSPMPUSA[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス 下位 2 ビットは 00b にしてください。値の範囲は、予約領域を除く 0x1FF0_0000～0x200F_FFFC です。	R/W

MSPMPUSA レジスタは、32 ビットの読み書き可能なレジスタです。SRAM の CPU スタック領域の開始アドレスを指定してください。（0x1FF0_0000～0x200F_FFFF、予約領域を除く）下位 2 ビットは 00b にしてください。設定できる値の範囲は、「4.1. アドレス空間」の SRAM の領域を参照してください。

14.2.3.2 MSPMPUEA : メインスタックポインタ (MSP) モニタ終了アドレスレジスタ

Base address: RMPU = 0x4000_0000
Offset address: 0xD0C

Bit position:	31 – 0
Bit field:	MSPMPUEA[31:0]
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

ビット	シンボル	機能	R/W
31:0	MSPMPUEA[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス 下位 2 ビットは 11b にしてください。値の範囲は、予約領域を除く 0x1FF0_0003～0x200F_FFFF です。 保護される SRAM 領域については、「4.1. アドレス空間」を参照してください。	R/W

14.2.3.3 PSPMPUSA : プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ

Base address: RMPU = 0x4000_0000
Offset address: 0xD18

Bit position:	31 – 0
Bit field:	PSPMPUSA[31:0]
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

ビット	シンボル	機能	R/W
31:0	PSPMPUSA[31:0]	領域開始アドレスレジスタ 領域判定に使用する領域開始アドレス 下位 2 ビットは 00b にしてください。値の範囲は、予約領域を除く 0x1FF0_0000～0x200F_FFFC です。	R/W

PSPMPUSA レジスタは、32 ビットの読み書き可能なレジスタです。SRAM の CPU スタック領域の開始アドレスを指定してください。（0x1FF0_0000～0x200F_FFFF、予約領域を除く）下位 2 ビットは 00b にしてください。設定できる値の範囲は、「4.1. アドレス空間」の SRAM の領域を参照してください。

14.2.3.4 PSPMPUEA : プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ

Base address: RMPU = 0x4000_0000
Offset address: 0xD1C

Bit position:	31 – 0
Bit field:	PSPMPUEA[31:0]
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

ビット	シンボル	機能	R/W
31:0	PSPMPUEA[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス 下位 2 ビットは 11b にしてください。値の範囲は、予約領域を除く 0x1FF0_0003～0x200F_FFFF です。 保護される SRAM 領域については、「4.1. アドレス空間」を参照してください。	R/W

14.2.3.5 MSPMPUOAD, PSPMPUOAD : スタックポインタモニタ検出後動作レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0xD00 (MSPMPUOAD)
0xD10 (PSPMPUOAD)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1.　書き込みデータは保持されません。

OAD ビット（検出後の動作）

OAD ビットは、CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタは、この OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットを設定する際は、ハーフワードアクセスで同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。KEY[7:0]ビットに 0xA5 以外の値を書き込む際は、OAD ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.2.3.6 MSPMPUCTL, PSPMPUCTL : スタックポインタモニタアクセスコントロールレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0xD04 (MSPMPUCTL)
0xD14 (PSPMPUCTL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	スタックポインタモニタ有効 0: スタックポインタモニタ無効 1: スタックポインタモニタ有効	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ERROR	スタックポインタモニタエラーフラグ 0: スタックポインタにオーバーフロー／アンダーフローなし 1: スタックポインタにオーバーフロー／アンダーフローあり	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　初期値はリセット発生要因によって異なります。

ENABLE ビット（スタックポインタモニタ有効）

ENABLE ビットは､スタックポインタモニタ機能を有効または無効にします。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに ENABLE ビットがあります。

MSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

ERROR フラグ（スタックポインタモニタエラーフラグ）

ERROR フラグは、スタックポインタモニタの状態を示します。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに ERROR フラグがあります。

［1 になる条件］

- スタックポインタがアンダーフローまたはオーバーフローしたとき

［0 になる条件］

- 本フラグに 0 を書いたとき
- バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、スタックポインタエラーリセット以外のリセット（リセット要因の詳細については、「5. リセット」を参照してください。）

注.　ERROR フラグには 0 のみ書けます。

14.2.3.7　MSPMPUPT, PSPMPUPT : スタックポインタモニタ保護レジスタ

Base address:　RMPU = 0x4000_0000

Offset address:　0xD06 (MSPMPUPT)
0xD16 (PSPMPUPT)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: スタックポインタモニタ関連レジスタへの書き込みを許可 1: スタックポインタモニタ関連レジスタへの書き込みを禁止（読み出しは可能）	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1.　書き込みデータは保持されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、下記のレジスタへの書き込みを許可または禁止します。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに PROTECT ビットがあります。

MSPMPUPT.PROTECT ビットは、メインスタックポインタ関連レジスタへの書き込みアクセスを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUPT.PROTECT ビットは、プロセススタックポインタ関連レジスタへの書き込みアクセスを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。KEY[7:0]ビットに 0xA5 以外の値を書き込む際は、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0 が読み出されます。

14.3 Arm MPU

Arm MPU は全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象に CPU がアクセスするアドレスを監視しており、次の機能を備えています。

- 8 つの保護領域を設定可能
- 保護領域へのアクセス権設定が可能（読み出し、書き込み、実行）
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォルト（ハードフォルト）ハンドラが呼び出されます。詳細は、「14.8. 参考資料」を参照してください。

14.4 バスマスタ MPU

本 MCU はバスマスタ MPU を内蔵しており、全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象にマスタがアクセスするアドレスを監視しています。アクセス制御情報は、読み出し保護／保護対象外と書き込み保護／保護対象外の情報で構成され、4 領域まで独立に設定可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。

保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

各領域のアクセス制御情報は、読み出し保護または保護対象外と書き込み保護または保護対象外の情報で構成されます。

表 14.4 にバスマスタ MPU の仕様を、図 14.3 にブロック図を示します。

表 14.4　バスマスタ MPU の仕様

項目	内容
マスタグループ	● バスマスタ MPU グループ A : DMA バス
メモリプロテクション対象領域	0x0000_0000～0xFFFF_FFFF
領域数	● バスマスタ MPU グループ A : 4 領域
各領域のアドレス指定	● 領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	● 対応する領域に対し有効または無効を設定
各領域のアクセス制御情報設定	● 読み出しおよび書き込み許可
検出後の動作	● リセットまたはノンマスカブル割り込み
レジスタの保護	● バスマスタ MPU レジスタに対する不正書き込みの検出が可能

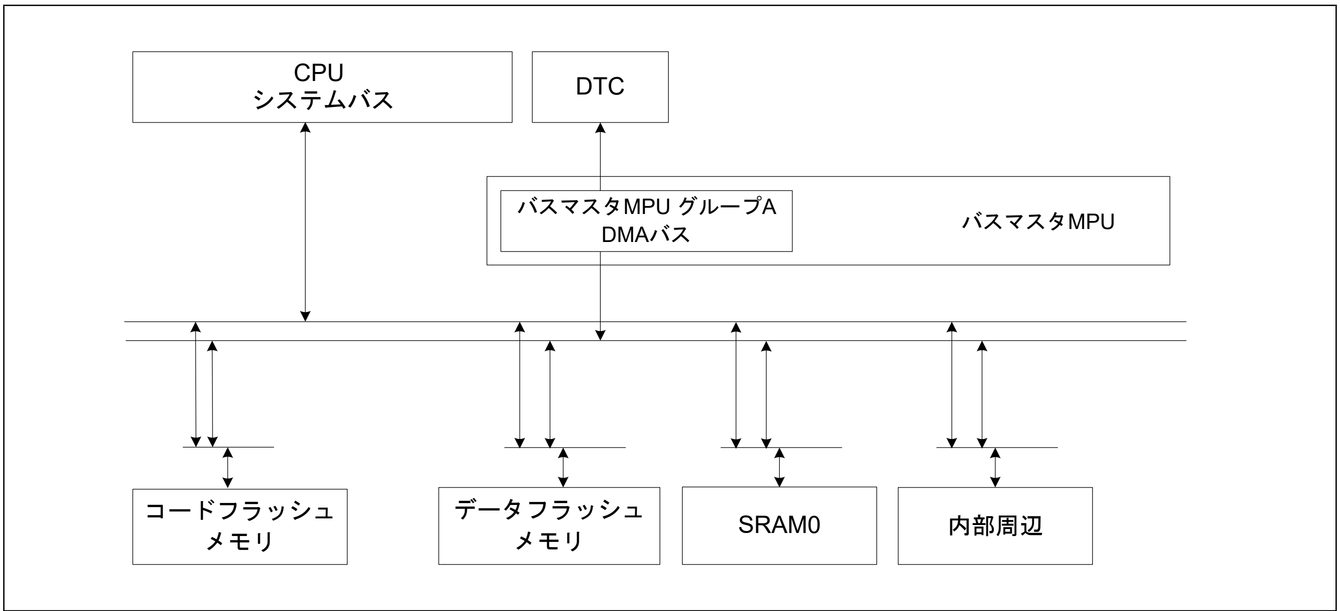


図 14.3　バスマスタ MPU のブロック図

図 14.4 にバスマスタ MPU のグループ A を示します。

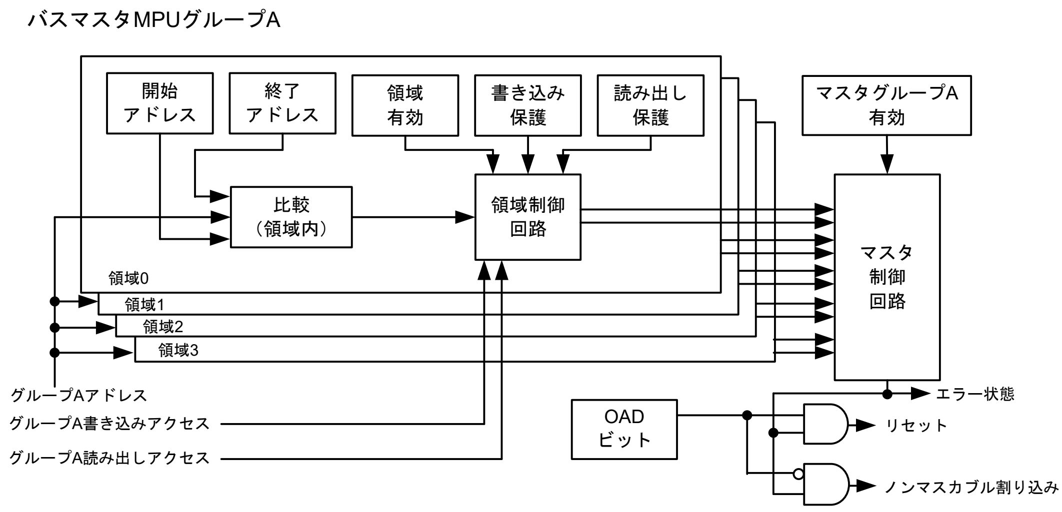


図 14.4 バスマスタ MPU のグループ A

14.4.1 レジスタの説明

注. MPU レジスタに書き込む前にバスアクセスを停止してください。

14.4.1.1 MMPUSAn : グループ A 領域 n 開始アドレスレジスタ (n = 0～3)

Base address: RMPU = 0x4000_0000

Offset address: 0x204 + (0x010 × n)

Bit position:	31	…	1	0
Bit field:	MMPUSA[31:0]			
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x		0	0

ビット	シンボル	機能	R/W
31:0	MMPUSA[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス	R/W

14.4.1.2 MMPUEAn : グループ A 領域 n 終了アドレスレジスタ (n = 0～3)

Base address: RMPU = 0x4000_0000

Offset address: 0x208 + 0x010 × n

Bit position:	31	…	1	0
Bit field:	MMPUEA[31:0]			
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x		1	1

ビット	シンボル	機能	R/W
31:0	MMPUEA[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス	R/W

14.4.1.3　MMPUACAn : グループ A 領域 n アクセスコントロールレジスタ (n = 0～3)

Base address: RMPU = 0x4000_0000

Offset address: 0x200 + 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
0	ENABLE	領域有効 0: グループ A 領域 n は無効 1: グループ A 領域 n は有効	R/W
1	RP	読み出し保護 0: 読み出し保護対象外 1: 読み出し保護対象	R/W
2	WP	書き込み保護 0: 書き込み保護対象外 1: 書き込み保護対象	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グループ A 領域 n ごとに、ENABLE ビット、RP ビット、WP ビットを個別に設定します。

ENABLE ビット（領域有効）

ENABLE ビットは、グループ A 領域 n を有効または無効にします。

ENABLE ビットを 1 にした場合、RP ビットと WP ビットによって、MMPUSAn レジスタと MMPUEAn レジスタに設定した領域へのアクセスを保護対象外または保護対象と設定することが可能です。ENABLE ビットを 0 にした場合、グループ A 領域 n へのアクセス制限はありません。

RP ビット（読み出し保護）

RP ビットは、グループ A 領域 n の読み出し保護を有効または無効（保護対象外）にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

WP ビット（書き込み保護）

WP ビットは、グループ A 領域 n の書き込み保護を有効または無効（保護対象外）にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

表 14.5　領域制御回路の機能 (1/2)

MMPUACAn.ENABLE	MMPUACAn.RP	MMPUACAn.WP	アクセス	領域	グループ A 領域 n の出力
0	—	—	読み出し	—	領域外
			書き込み		領域外

表 14.5　　領域制御回路の機能 (2/2)

MMPUACAn.ENABLE	MMPUACAn.RP	MMPUACAn.WP	アクセス	領域	グループ A 領域 n の出力
1	0	0	読み出し	内部	保護対象外領域
				外部	領域外
			書き込み	内部	保護対象外領域
				外部	領域外
	0	1	読み出し	内部	保護対象外領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外
	1	0	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	保護対象外領域
				外部	領域外
	1	1	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外

注.　　n = 0～3

表 14.6　　マスタ制御回路の機能

MMPUCTLA.ENABLE	グループ A 領域 0 の出力	グループ A 領域 1 の出力	グループ A 領域 2、3 の出力	グループ A の機能
1	保護領域	Don’t care	Don’t care	エラー発生
1	Don’t care	保護領域	Don’t care	エラー発生
1	Don’t care	Don’t care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
他の場合				エラーなし

以下の条件でマスタ MPU エラーが発生します。

- MMPUCTLA.ENABLE= 1、および 1 つ以上の領域 n の出力が保護領域への出力
- MMPUCTLA.ENABLE= 1、および全領域 n の出力が領域外

他の場合は保護対象外領域として処理されます。

14.4.1.4　　MMPUCTLA : バスマスタ MPU コントロールレジスタ

Base address:　RMPU = 0x4000_0000

Offset address:　0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	OAD	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	バスマスタ MPU グループ有効 0:　バスマスタ MPU グループ A は無効 1:　バスマスタ MPU グループ A は有効	R/W

ビット	シンボル	機能	R/W
1	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットと ENABLE ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

ENABLE ビット（バスマスタ MPU グループ有効）

ENABLE ビットは、マスタグループ A のバスマスタ MPU 機能を有効または無効にします。

このビットを 1 にすると、MMPUACAn は使用可能になります。このビットを 0 にすると、MMPUACAn は使用不可になり、すべての領域が許可になります。ENABLE ビットに同時に書き込む際は、ハーフワードアクセスを使用して、KEY[7:0]ビットに 0xA5 を書き込んでください。

OAD ビット（検出後の動作）

OAD ビットは、バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらかを発生させます。OAD ビットに同時に書き込む際は、ハーフワードアクセスを使用して、KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ同時に書き込む際は、KEY[7:0]ビットに 0xA5 を書き込んでください。KEY[7:0]ビットに他の値を書き込む際は、ENABLE ビットと OAD ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.4.1.5 MMPUPTA : グループ A レジスタの保護

Base address: RMPU = 0x4000_0000

Offset address: 0x102

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: 全バスマスタ MPU グループ A レジスタの書き込みを許可 1: 全バスマスタ MPU グループ A レジスタの書き込みを禁止（読み出しは可能）	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、下記のレジスタへの書き込みを許可または禁止します。

MMPUPTA.PROTECT はバスマスタ MPU グループ A レジスタの保護領域を制御します。下記のレジスタは MMPUPTA.PROTECT により保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットを同時に設定する際は、ハーフワードアクセスを使用して KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ同時に書き込む際は、KEY[7:0]ビットに 0xA5 を書き込んでください。KEY[7:0]ビットに他の値を書き込む際は、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.4.2 機能説明

14.4.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は最大 4 つの保護領域まで設定可能です。保護領域にはオーバーラップした許可領域と保護領域および 2 つのオーバーラップした許可領域があります。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、マスタグループに対してバスのアドレスをチェックし、マスタグループによる全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、すべての領域が保護されます。領域ごとに、許可領域が保護領域の内部に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 14.5 に、バスマスタ MPU の使用例を示します。

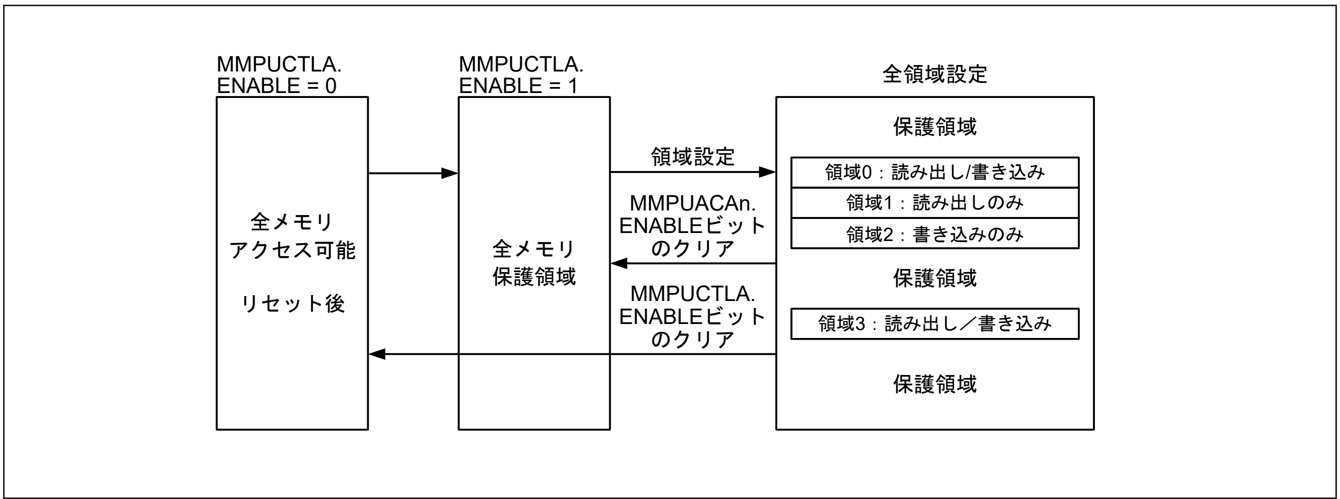


図 14.5 バスマスタ MPU の使用例

図 14.6 に、領域のオーバーラップによるアクセス制御について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合は許可領域として処理されます。

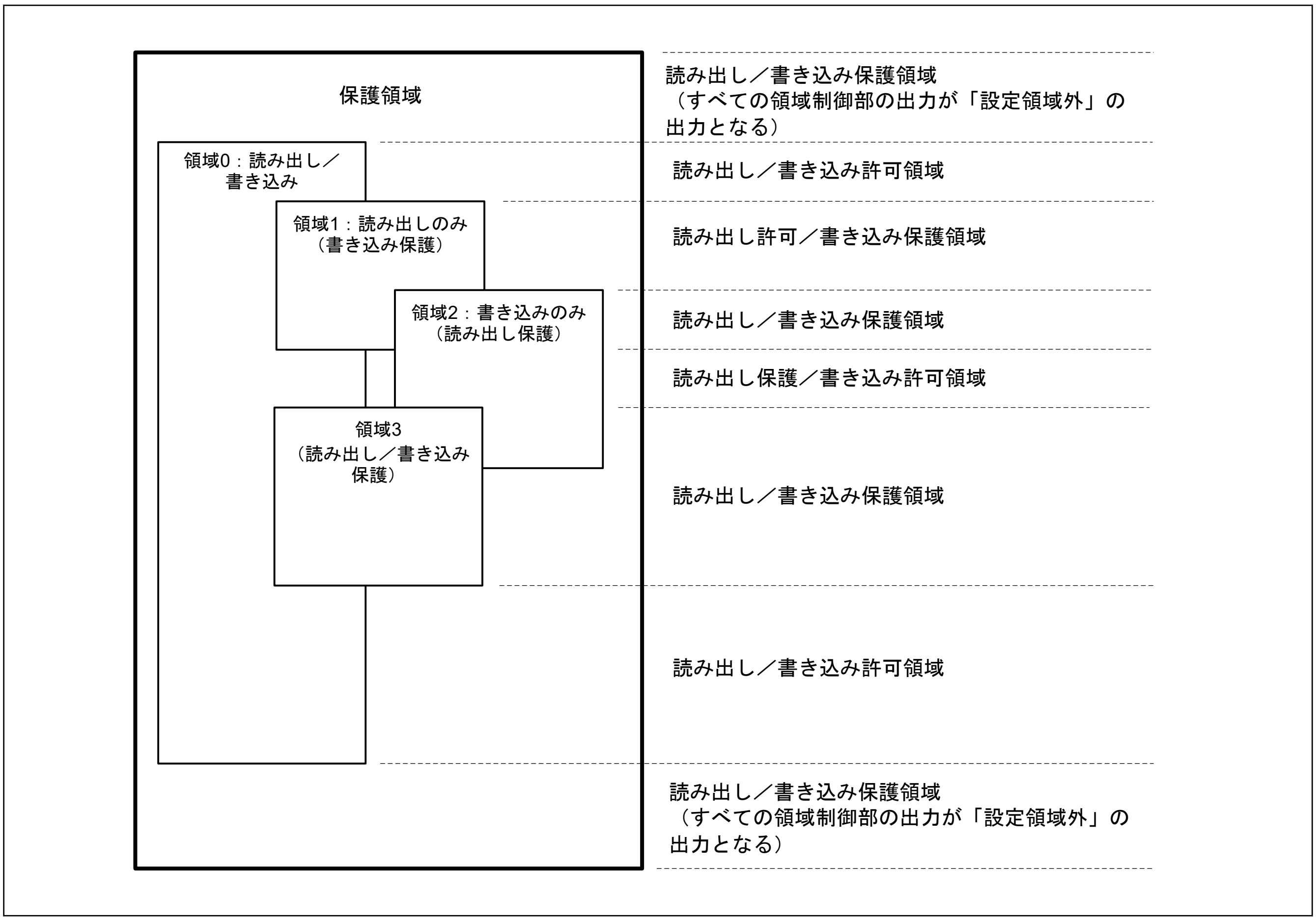


図 14.6　　領域のオーバーラップによるアクセス制御

図 14.7 にリセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのバスマスタを停止してください。

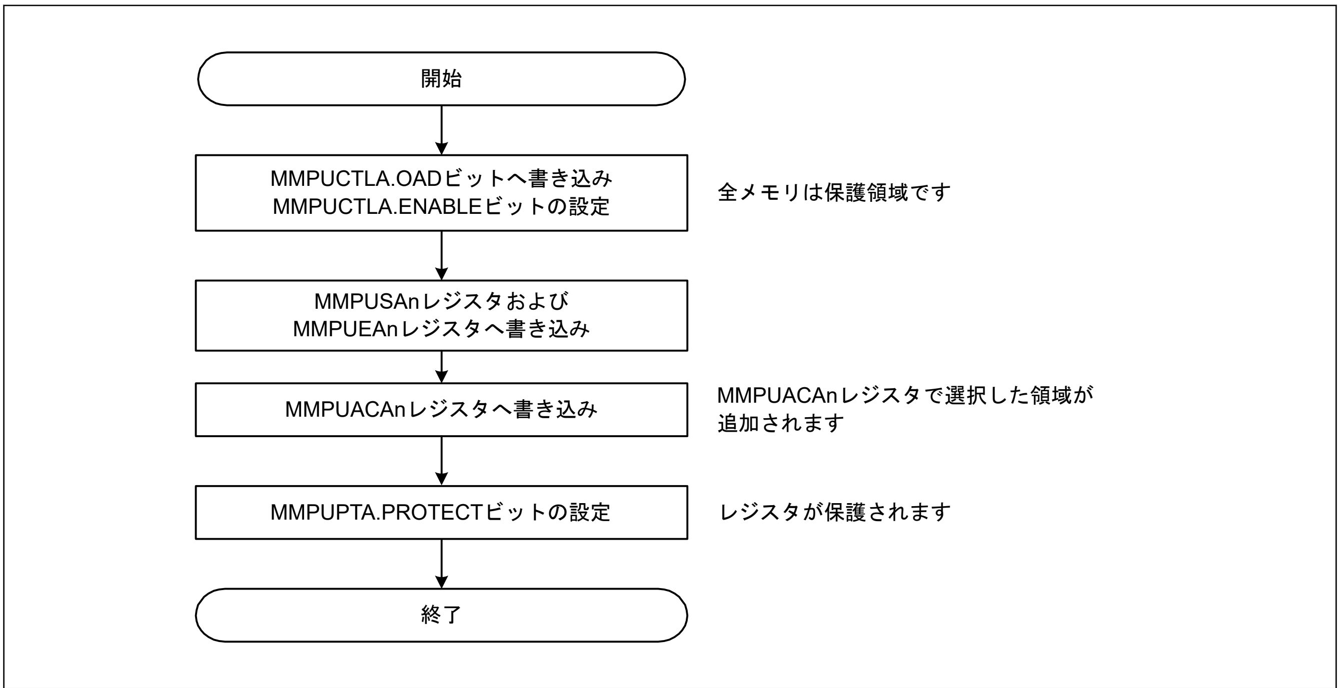


図 14.7　　リセット後のバスマスタ MPU のレジスタ設定フロー

図 14.8 に領域追加のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのマスタを停止してください。

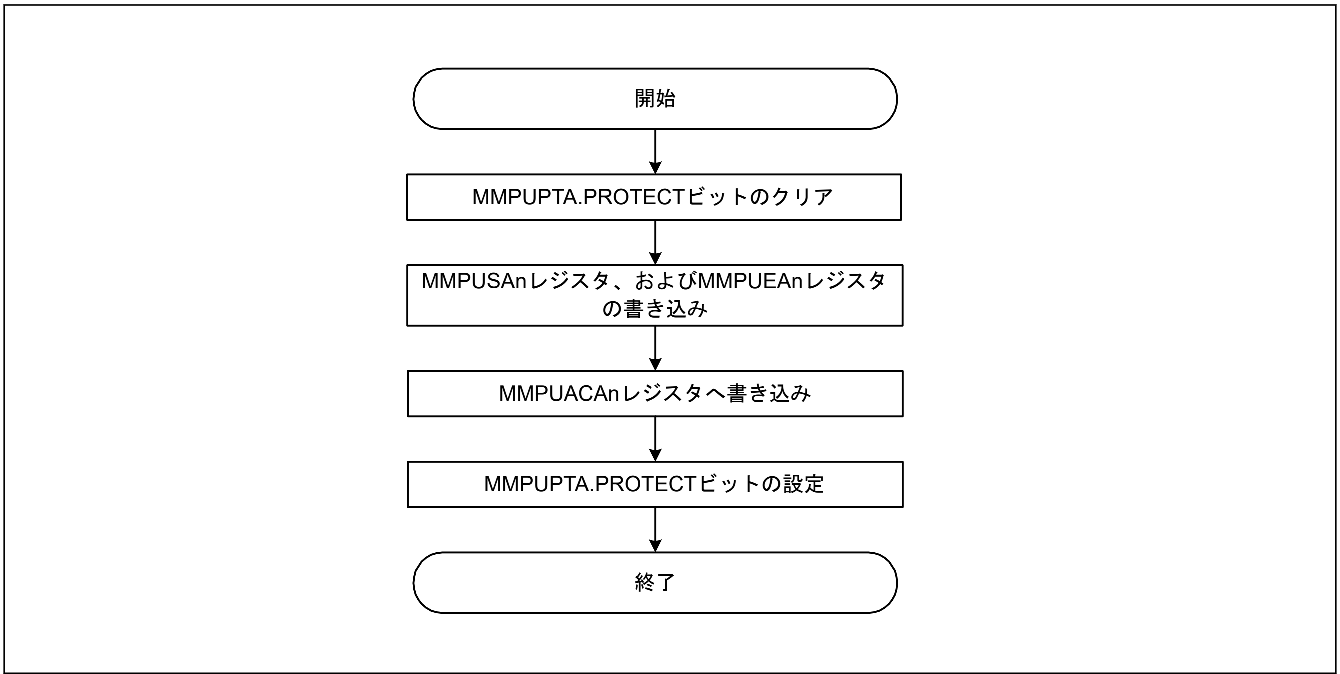


図 14.8　　領域追加のレジスタ設定フロー

14.4.2.2　　レジスタの保護

バスマスタ MPU 関連レジスタを保護するために、MMPUPTA レジスタの PROTECT ビットを設定してください。

14.4.2.3　　メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「5. リセット」を参照してください。

14.5　　バススレーブ MPU

バススレーブ MPU は、コードフラッシュメモリまたは SRAM などのバススレーブ機能に対するアクセスを監視します。バススレーブ機能には、2 つのバスマスタ（CPU、バスマスタ MPU グループ A）からアクセスできます。バススレーブ MPU は、2 つのバスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別にアクセス保護制御が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はリセットまたはノンマスカブル割り込みを発生させ、バスエラー状態、エラーアクセス状態、およびバスエラーアドレスを I/O レジスタに格納します。詳細については、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。各領域のアクセス制御情報は、読み出し許可と書き込み許可の情報で構成されます。

表 14.7 にバススレーブ MPU の仕様を、図 14.9 にバススレーブ MPU のブロック図を示します。

表 14.7　　バススレーブ MPU の仕様 (1/2)

項目	内容	
バスマスタの保護	バスマスタ MPU グループ A :	DMA バスおよびシステムバス (CPU)
バススレーブ機能の保護	メモリバス 1 :	コードフラッシュメモリ
	メモリバス 4 :	SRAM0
	内部周辺バス 1 :	システム制御関連の周辺モジュールに接続

表 14.7　　バススレーブ MPU の仕様 (2/2)

項目	内容	
	内部周辺バス 3：	周辺モジュール（CAC、ELC、I/O ポート、POEG、WDT、IWDT、IIC、ADC12、DOC、GPT、SCI、SPI、CRC、KINT、AGTW、ACMPHS、および MSTP）を接続
	内部周辺バス 9：	フラッシュメモリ（P/E 内）、データフラッシュ、TSN に接続
各領域のアクセス制御情報設定	読み出しおよび書き込み許可	
検出後の動作	リセットまたはノンマスカブル割り込み	
レジスタの保護	バススレーブ MPU レジスタに対する不正書き込みの防止が可能	

バススレーブ MPU はそれぞれのスレーブ側に配置され、各マスタから各スレーブへのアクセスを保護対象外または保護します。

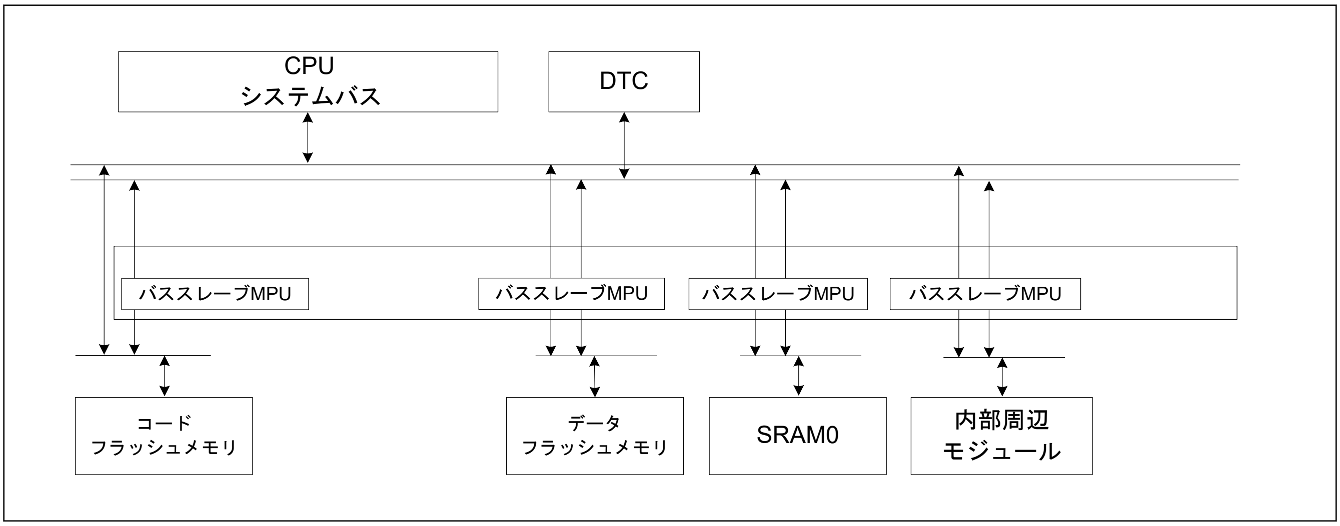


図 14.9　　バススレーブ MPU のブロック図

14.5.1　　レジスタの説明

注.　MPU レジスタに書き込む前にバスアクセスを停止してください。

14.5.1.1　　SMPUMBIU : メモリバス 1 アクセスコントロールレジスタ

Base address:　RMPU = 0x4000_0000

Offset address:　0xC10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGRPA	RPGRPA	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0:　メモリプロテクションは無効 1:　メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0:　メモリプロテクションは無効 1:　メモリプロテクションは有効	R/W

ビット	シンボル	機能	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPGRPA ビット（バスマスタ MPU グループ A 読み出し保護）

RPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 1（コードフラッシュメモリ）の読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（バスマスタ MPU グループ A 書き込み保護）

WPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 1（コードフラッシュメモリ）の書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.2 SMPUSRAM0 : メモリバス 4 アクセスコントロールレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0xC18

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGRPA	RPGRPA	WPCPU	RPCPU
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

RPCPU ビットは、CPU（システムバス）によるメモリバス 4 (SRAM0) の読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

WPCPU ビットは、CPU（システムバス）によるメモリバス 4 (SRAM0) の書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（バスマスタ MPU グループ A 読み出し保護）

RPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 4 (SRAM0) の読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（バスマスタ MPU グループ A 書き込み保護）

WPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 4 (SRAM0) の書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.3　SMPUP0BIU : 内部周辺バス 1 アクセスコントロールレジスタ

Base address: RMPU = 0x4000_0000
Offset address: 0xC20

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGRPA	RPGRPA	WPCPU	RPCPU
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	マスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	マスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

RPCPU ビットは、CPU（システムバス）による内部周辺バス 1（CPU 周辺、システム制御）の読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

WPCPU ビットは、CPU（システムバス）による内部周辺バス 1（CPU 周辺、システム制御）の書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタ MPU グループ A 読み出し保護）

RPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 1（CPU 周辺、システム制御）の読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタ MPU グループ A 書き込み保護）

WPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 1（CPU 周辺、システム制御）の書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.4　SMPUP2BIU : 内部周辺バス 3 アクセスコントロールレジスタ

Base address: RMPU = 0x4000_0000
Offset address: 0xC24

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGRPA	RPGRPA	WPCPU	RPCPU
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W

ビット	シンボル	機能	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

RPCPU ビットは、CPU（システムバス）による内部周辺バス 3（周辺モジュール、TSIP-Lite）の読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

WPCPU ビットは、CPU（システムバス）による内部周辺バス 3（周辺モジュール、TSIP-Lite）の書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（バスマスタ MPU グループ A 読み出し保護）

RPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 3（周辺モジュール、TSIP-Lite）の読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（バスマスタ MPU グループ A 書き込み保護）

WPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 3（周辺モジュール、TSIP-Lite）の書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.5 SMPUFBIU : 内部周辺バス 9 アクセスコントロールレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0xC14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGRPA	RPGRPA	WPCPU	RPCPU
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

RPCPU ビットは、CPU（システムバス）による内部周辺バス 9（フラッシュメモリ制御）の読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

WPCPU ビットは、CPU（システムバス）による内部周辺バス 9（フラッシュメモリ制御）の書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（バスマスタ MPU グループ A 読み出し保護）

RPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 9（フラッシュメモリ制御）の読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（バスマスタ MPU グループ A 書き込み保護）

WPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 9（フラッシュメモリ制御）の書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.6 SMPUCTL : バススレーブ MPU コントロールレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0xC00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	PROTECT	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
1	PROTECT	レジスタの保護 0: バススレーブ MPU レジスタの書き込みを許可 1: バススレーブ MPU レジスタの書き込みを禁止（読み出しは可能）	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1.　書き込みデータは保持されません。

OAD ビット（検出後の動作）

OAD ビットは、バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらかを発生させます。OAD ビットを同時に設定する際は、ハーフワードアクセスを使用して KEY[7:0]ビットに 0xA5 を書き込んでください。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、下記のレジスタへの書き込みを許可または禁止します。SMPUCTL.PROTECT ビットは下記のレジスタを制御します。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU

PROTECT ビットを設定する際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ同時に書き込む際は、KEY[7:0]ビットに 0xA5 を書き込んでください。他の値を書き込む際は、OAD ビットと PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.5.2 機能説明

14.5.2.1 メモリプロテクション

バススレーブ MPU は、各アクセスコントロールレジスタに設定されたアクセス制御情報を用いて、スレーブに対するアクセスを監視する機能です。 保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU) の書き込み保護 (WP) ビットまたは読み出し保護 (RP) ビットを 1 にすることで有効になります。

14.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

14.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSSST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。詳細は、「5. リセット」を参照してください。

14.6 セキュリティ MPU

本 MCU はセキュリティ MPU を内蔵しており、コードフラッシュメモリ、SRAM、および 2 つのセキュリティ機能を含む 4 つのセキュア領域があります。非セキュアプログラムによるアクセスからセキュア領域を保護できます。非セキュアプログラムは、保護領域にアクセスできません。

表 14.8 にセキュリティ MPU の仕様を示します。図 14.10 にセキュリティ MPU のブロック図を示します。

表 14.8　セキュリティ MPU の仕様

項目	内容
セキュリティ領域	コードフラッシュメモリ、SRAM、2 つのセキュリティ機能
保護領域	0x0000_0000～0xFFFF_FFFF
領域数	プログラムカウンタ：2 領域 データアクセス：4 領域
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクションの有効または無効設定	対応する領域に対し有効または無効を設定

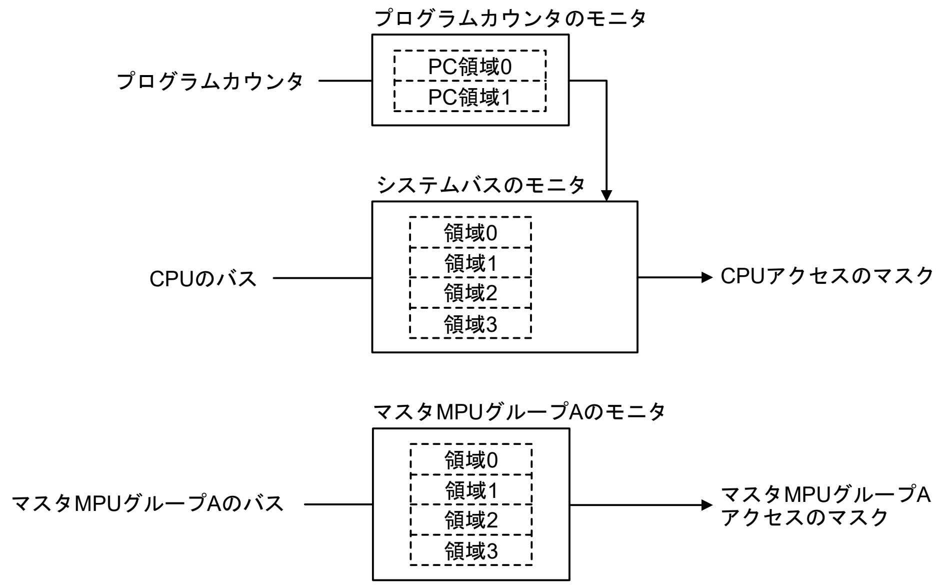


図 14.10　　セキュリティ MPU のブロック図

14.6.1　　レジスタの説明（オプション設定メモリ）

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはフラッシュメモリに配置されます。

14.6.1.1　　SECMPUPCSn : セキュリティ MPU プログラム開始アドレスレジスタ n (n = 0, 1)

Address: 0x0000_0408/0x0000_2408(注1) (n = 0), 0x0000_0410/0x0000_2410(注1) (n = 1)

Bit position:	31 … 0
Bit field:	SECMPUPCS[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUPCS[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス。値の範囲は予約領域を除く 0x0000_0000～0x000F_FFFC または 0x1FF0_0000～0x200F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUPCSn レジスタと SECMPUPCEn レジスタには、コードフラッシュメモリのセキュリティフェッチ領域のアドレス（予約領域を除く 0x0000_0000～0x000F_FFFF）、または SRAM のセキュリティフェッチ領域のアドレス（予約領域を除く 0x1FF0_0000～0x200F_FFFF）を設定してください。

セキュアプログラムは、SECMPUPCSn レジスタと SECMPUPCEn レジスタで定義されたメモリ空間で実行され、SECMPUSm レジスタと SECMPUEm レジスタ (m = 0～3) で指定されたセキュアデータにアクセスできます。

14.6.1.2　SECMPUPCEn : セキュリティ MPU プログラム終了アドレスレジスタ n (n = 0, 1)

Address: 0x0000_040C/0x0000_240C(注1) (n = 0), 0x0000_0414/0x0000_2414(注1) (n = 1)

Bit position:	31 … 0
Bit field:	SECMPUPCE[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUPCE[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス。値の範囲は予約領域を除く 0x0000_0003～0x000F_FFFF または 0x1FF0_0003～0x200F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

14.6.1.3　SECMPUS0 : セキュリティ MPU 領域 0 開始アドレスレジスタ

Address: 0x0000_0418/0x0000_2418(注1)

Bit position:	31								23 … 0
Bit field:	—	—	—	—	—	—	—	—	SECMPUS[23:0]
Value after reset:	0	0	0	0	0	0	0	0	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
23:0	SECMPUS[23:0]	領域開始アドレス 領域判定に使用する領域開始アドレス。値の範囲は予約領域を除く 0x0000_0000～0x000F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W
31:24	—	読むと 0 が読めます。コードフラッシュに書き込む場合、0 としてください。	R/W

SECMPUS0 レジスタと SECMPUE0 レジスタには、コードフラッシュメモリのセキュアプログラムとセキュアデータのアドレス（予約領域を除く 0x0000_0000～0x000F_FFFF）を設定してください。SECMPUS0 レジスタおよび SECMPUE0 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n = 0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

なお、ベクタテーブルは設定禁止です。

14.6.1.4　SECMPUE0 : セキュリティ MPU 領域 0 終了アドレスレジスタ

Address: 0x0000_041C/0x0000_241C(注1)

Bit position:	31								23 … 0
Bit field:	—	—	—	—	—	—	—	—	SECMPUE[23:0]
Value after reset:	0	0	0	0	0	0	0	0	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
23:0	SECMPUE[23:0]	領域終了アドレス 領域判定に使用する領域終了アドレス。値の範囲は予約領域を除く 0x0000_0003～0x000F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W
31:24	—	読むと 0 が読めます。コードフラッシュに書き込む場合、0 としてください。	R/W

14.6.1.5 SECMPUS1 : セキュリティ MPU 領域 1 開始アドレスレジスタ

Address: 0x0000_0420/0x0000_2420(注1)

Bit position:	31 ... 0
Bit field:	SECMPUS[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUS[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス。値の範囲は予約領域を除く 0x1FF0_0000～0x200F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUS1 レジスタと SECMPUE1 レジスタには、SRAM のセキュアプログラムとセキュアデータのアドレス（予約領域を除く 0x1FF0_0000～0x200F_FFFF）を設定してください。

SECMPUS1 レジスタおよび SECMPUE1 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n = 0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

なお、スタック領域やベクタテーブルは設定禁止です。

14.6.1.6 SECMPUE1 : セキュリティ MPU 領域 1 終了アドレスレジスタ

Address: 0x0000_0424/0x0000_2424(注1)

Bit position:	31 ... 0
Bit field:	SECMPUE[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUE[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス。値の範囲は予約領域を除く 0x1FF0_0003～0x200F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

14.6.1.7 SECMPUS2 : セキュリティ MPU 領域 2 開始アドレスレジスタ

Address: 0x0000_0428/0x0000_2428(注1)

Bit position:	31 ... 0
Bit field:	SECMPUS[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUS[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス。値の範囲は 0x4010_0000～0x407F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUS2 レジスタと SECMPUE2 レジスタは、セキュリティ機能のセキュア領域 (0x4010_0000～0x407F_FFFF) を指定します。SECMPUS2 レジスタおよび SECMPUE2 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n = 0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

14.6.1.8 SECMPUE2 : セキュリティ MPU 領域 2 終了アドレスレジスタ

Address: 0x0000_042C/0x0000_242C(注1)

Bit position:	31 … 0
Bit field:	SECMPUE[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUE[31:0]	領域終了アドレス 領域終了を判定するアドレス。値の範囲は 0x4010_0003～0x407F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

14.6.1.9 SECMPUS3 : セキュリティ MPU 領域 3 開始アドレスレジスタ

Address: 0x0000_0430/0x0000_2430(注1)

Bit position:	31 … 0
Bit field:	SECMPUS3[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUS3[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス。値の範囲は 0x4010_0000～0x407F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUS3 レジスタと SECMPUE3 レジスタは、セキュリティ機能のセキュア領域 (0x4010_0000～0x407F_FFFF) を指定します。SECMPUS3 レジスタおよび SECMPUE3 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n = 0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

14.6.1.10 SECMPUE3 : セキュリティ MPU 領域 3 終了アドレスレジスタ

Address: 0x0000_0434/0x0000_2434(注1)

Bit position:	31 … 0
Bit field:	SECMPUE3[31:0]
Value after reset:	ユーザー設定値

注 1.　ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUE3[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス。値の範囲は 0x4010_0003～0x407F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

14.6.1.11 SECMPUAC : セキュリティ MPU アクセスコントロールレジスタ

Address: 0x0000_0438/0x0000_2438(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DISPC1	DISPC0	—	—	—	—	DIS3	DIS2	DIS1	DIS0
Value after reset:	1	1	1	1	1	1	ユーザー設定値		1	1	1	1	ユーザー設定値			

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
0	DIS0	データ領域 0 保護 0: データ領域 0 は保護対象 1: データ領域 0 は保護対象外	R/W
1	DIS1	データ領域 1 保護 0: データ領域 1 は保護対象 1: データ領域 1 は保護対象外	R/W
2	DIS2	データ領域 2 保護 0: データ領域 2 は保護対象 1: データ領域 2 は保護対象外	R/W
3	DIS3	データ領域 3 保護 0: データ領域 3 は保護対象 1: データ領域 3 は保護対象外	R/W
7:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	DISPC0	プログラム領域 0 保護 0: プログラム領域 0 は保護対象 1: プログラム領域 0 は保護対象外	R/W
9	DISPC1	プログラム領域 1 保護 0: プログラム領域 1 は保護対象 1: プログラム領域 1 は保護対象外	R/W
15:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:16	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. フラッシュメモリが消去されると、セキュリティ MPU の設定も無効になります。
注. セキュリティ MPU の有効/無効については、「14.6.2. メモリプロテクション」を参照してください。

DIS0 ビット（データ領域 0 保護）

DIS0 ビットは、セキュリティ MPU のデータ領域 0 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 0 を保護対象にすると、SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内のコードフラッシュメモリ領域がセキュアデータとなります。

DIS1 ビット（データ領域 1 保護）

DIS1 ビットは、セキュリティ MPU のデータ領域 1 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 1 を保護対象にすると、SECMPUS1 レジスタと SECMPUE1 レジスタで設定した範囲内の SRAM 領域がセキュアデータとなります。

DIS2 ビット（データ領域 2 保護）

DIS2 ビットは、セキュリティ MPU のデータ領域 2 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 2 を保護対象にすると、SECMPUS2 レジスタと SECMPUE2 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

DIS3 ビット（データ領域 3 保護）

DIS3 ビットは、セキュリティ MPU のプログラム領域 3 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 3 を保護対象にすると、SECMPUS3 レジスタと SECMPUE3 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

DISPC0 ビット（プログラム領域 0 保護）

DISPC0 ビットは、セキュリティ MPU のプログラム領域 0 を保護対象または保護対象外にします。セキュリティ MPU のプログラム領域 0 を保護対象にすると、SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内のコードフラッシュメモリ領域、または SRAM 領域がセキュアプログラムとなります。

DISPC1 ビット（プログラム領域 1 保護）

DISPC1 ビットは、セキュリティ MPU のプログラム領域 1 を保護対象または保護対象外にします。セキュリティ MPU のプログラム領域 1 を保護対象にすると、SECMPUPCS1 レジスタと SECMPUPCE1 レジスタで設定した範囲内のコードフラッシュメモリ領域、または SRAM 領域がセキュアプログラムとなります。

14.6.2 メモリプロテクション

セキュリティ MPU は、非セキュアプログラムからアクセスできないようにセキュリティ領域（コードフラッシュメモリ、SRAM、セキュリティ機能）を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。

セキュリティ MPU が有効の場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DIS0、DIS1、DIS2、または DIS3 ビットを 0 にする必要があります。

セキュリティ MPU が無効の場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0、DISPC1、DIS0、DIS1、DIS2、および DIS3 ビットをすべて 1 にする必要があります。

セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の上記以外の設定を行わないでください。

セキュリティ MPU は、以下の条件下でアクセス保護を行います。

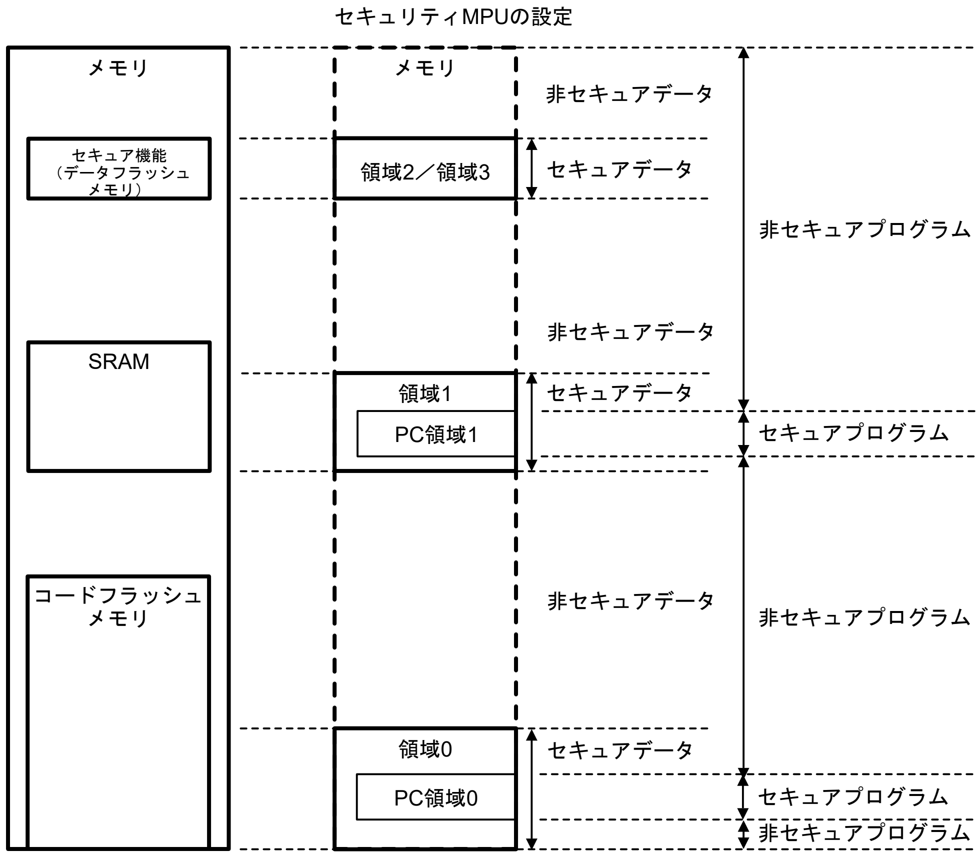
- セキュアデータが非セキュアプログラムからアクセスされるとき
- セキュアデータが CPU (DTC) 以外からアクセスされるとき
- セキュアデータがデバッガからアクセスされるとき

セキュアデータがセキュアプログラムのみからアクセスされるとき

注. セキュアプログラム：
SECMPUPCS0 と SECMPUPCE0 で設定された範囲内にあるコードフラッシュまたは SRAM の領域
SECMPUPCS1 と SECMPUPCE1 で設定された範囲内にあるコードフラッシュまたは SRAM の領域

非セキュアプログラム：
セキュアプログラム領域外の全領域

セキュアデータ：
SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内にあるコードフラッシュ領域
SECMPUS1 と SECMPUE1 で設定された範囲内にある SRAM 領域
SECMPUS2 と SECMPUE2 で設定された範囲内にあるセキュリティ機能領域
SECMPUS3 と SECMPUE3 で設定された範囲内にあるセキュリティ機能領域



注. コードフラッシュのセキュアプログラム（プログラム領域 0）はすべてのデータ（セキュアデータおよび非セキュアデータ）にアクセスできます。
注. SRAM のセキュアプログラム（プログラム領域 1）はすべてのデータ（セキュアデータおよび非セキュアデータ）にアクセスできます。
注. 非セキュアプログラム（PC 領域 0 でも PC 領域 1 でもない）は、セキュアデータ（領域 0、領域 1、領域 2、領域 3）にアクセスできません。
注. 非セキュアプログラム（プログラム領域 0 でもプログラム領域 1 でもない）は、非セキュアデータにアクセスできます。

図 14.11　セキュリティ MPU の使用例

14.7 使用上の注意事項

14.7.1 デバッガ使用時の注意事項

セキュリティ MPU が有効であると、メモリのデバッグはできません。プログラムをデバッグする時は、セキュリティ MPU を無効にして、SECMPUAC レジスタが 0xFFFF_FFFF であるときにのみ、OCD デバッグが有効です。

14.8 参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI 0553B.a)
2. *ARM® Cortex®-M23 Processor Technical Reference Manual* (ARM DDI 0550C)
3. *ARM® Cortex®-M23 Processor User Guide* (ARM DUI 0963B)

15. データトランスファコントローラ (DTC)

15.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 15.1 に DTC の仕様を、図 15.1 に DTC のブロック図を示します。

表 15.1 DTC の仕様

項目	内容
転送モード	● ノーマル転送モード 1 回の起動で 1 データを転送 ● リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大 256 回設定可能で、最大 256 × 32 ビット（1024 バイト）転送可能 ● ブロック転送モード 1 回の起動で 1 ブロックを転送 ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
転送チャネル	● 割り込み要因に対応するチャネルの転送が可能（ICU からの DTC 起動要求で転送） ● 1 つの起動要因に対して複数データの転送が可能（チェーン転送） ● チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	● 0x0000_0000～0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	● 1 データ：1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット） ● 1 ブロックサイズ：1～256 データ
CPU 割り込み要因	● DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 ● 1 回のデータ転送後に CPU への割り込み要求を発生可能 ● 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能

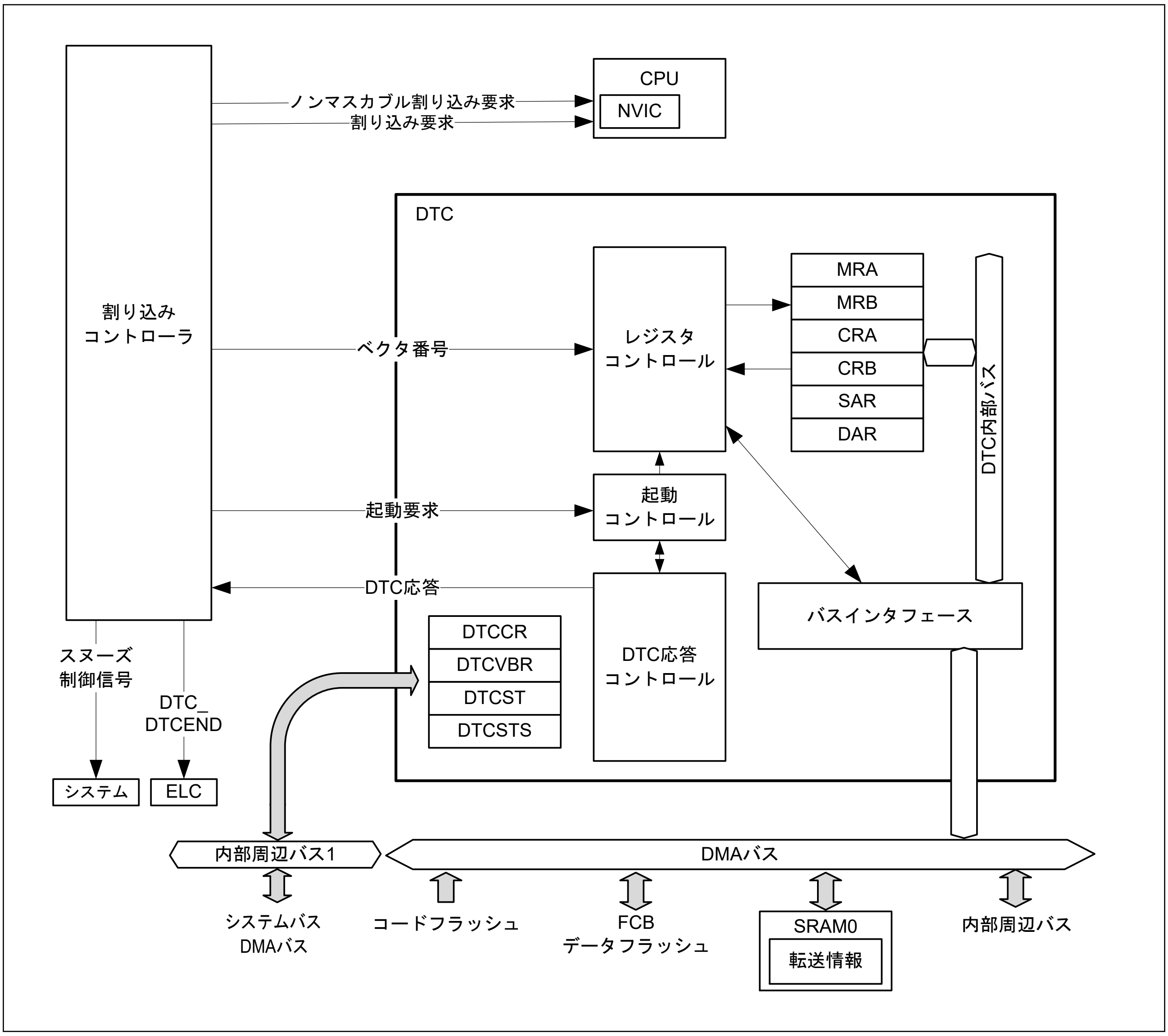


図 15.1　　DTC のブロック図

DTC と NVIC（CPU 内）の接続関係については、「12. 割り込みコントローラユニット (ICU)」の「12.1. 概要」を参照してください。

15.2　　レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

15.2.1　MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 0 1: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 1 0: 転送後 SAR レジスタをインクリメント： SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント： SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト（8 ビット）転送 0 1: ハーフワード（16 ビット）転送 1 0: ワード（32 ビット）転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x03）に MRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x03）から、MRA レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

15.2.2　MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—

ビット	シンボル	機能	R/W
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 0 1: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 1 0: 転送後 DAR レジスタをインクリメント： MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0]ビットが 10b のとき+4MRA.SZ[1:0]ビットが 01b のとき+2 1 1: 転送後 DAR レジスタをデクリメント： MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x02）に MRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x02）から、MRB レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 15.3 を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、「15.4.6. チェーン転送」を参照してください。

15.2.3 SAR : DTC 転送元レジスタ

Base address: DTCVBR

Offset address: 0x04 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31 … 0
Bit field:	
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x04）に SAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x04）から、SAR レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

15.2.4 DAR : DTC 転送先レジスタ

Base address: DTCVBR

Offset address: 0x08 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31 … 0
Bit field:	
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス 0x08）に DAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス 0x08）から、DAR レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

15.2.5 CRA : DTC 転送カウントレジスタ A

Base address: DTCVBR

Offset address: 0x0E + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	CRAL	転送カウンタ A 下位 転送回数を設定	—
15:8	CRAH	転送カウンタ A 上位 転送回数を設定	—

注. 転送モードによって機能が異なります。
注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは 16 ビットです。CRAL は下位 8 ビット、CRAH は上位 8 ビットです。CRA はノーマル転送モードで使用されます。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1)　ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。

(2)　リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3)　ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

15.2.6　CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

15.2.7　DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RRS ビット（DTC 転送情報リードスキップ許可）

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

15.2.8 DTCVBR : DTC ベクタベースアドレス

Base address: DTC = 0x4000_5400

Offset address: 0x04

Bit position:	31 ... 0
Bit field:	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス DTC ベクタベースアドレスを設定（下位 10 ビットは 0 にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

15.2.9 DTCST : DTC モジュール起動レジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DTCST ビット（DTC モジュール起動）

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、「15.9. 低消費電力機能」と「10. 低消費電力モード」を参照してください。

15.2.10 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中（ACT フラグが 1 の場合）にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

VECN[7:0]ビット（DTC アクティブベクタ番号モニタ）

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1（DTC 転送動作中）であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0（DTC 転送動作なし）であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ（DTC アクティブフラグ）

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

15.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn レジスタで設定されたセレクタ出力番号 *n* (n = 0～31) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 *n* に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[4:0] (n = 0～31) ビットによって選択されます。このビットの設定方法については、「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。ソフトウェアによる起動については、「16.2.2. ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が発生する

- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

15.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 *n* を持つ転送情報 *n* の開始アドレスは、ベクタテーブルのベースアドレス+4n 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を図 15.2 に示します。SRAM 領域上の転送情報の配置を図 15.3 に示します。

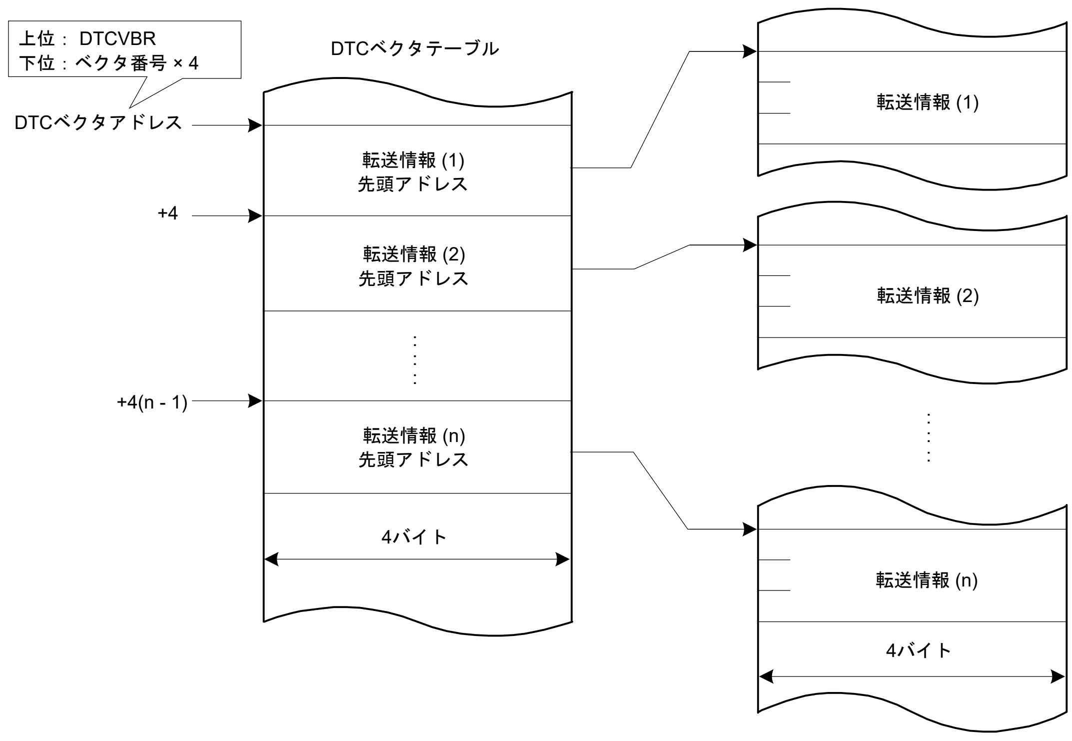


図 15.2 DTC ベクタテーブルと転送情報の対応関係

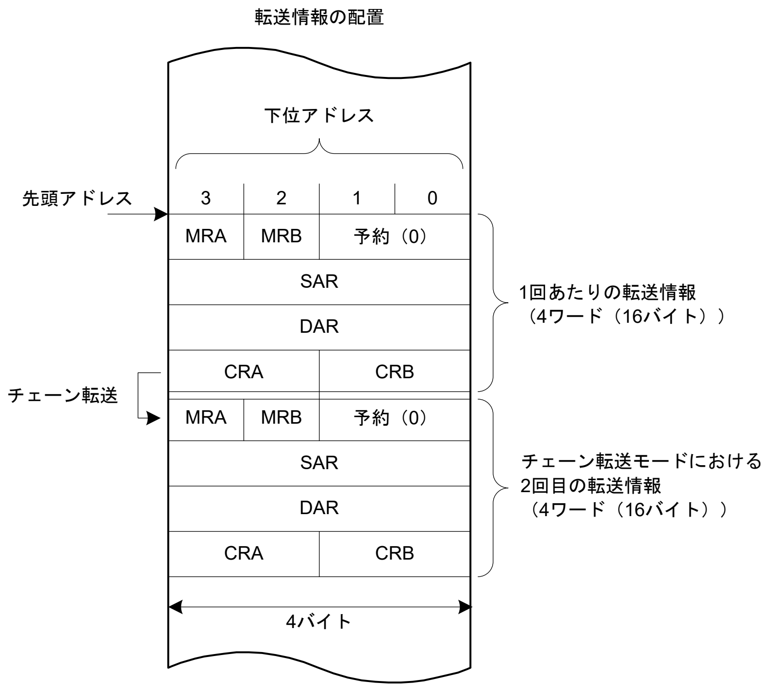


図 15.3　　SRAM 領域上の転送情報の配置

15.4　　動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 15.2 に DTC の転送モードを示します。

表 15.2　　DTC の転送モード

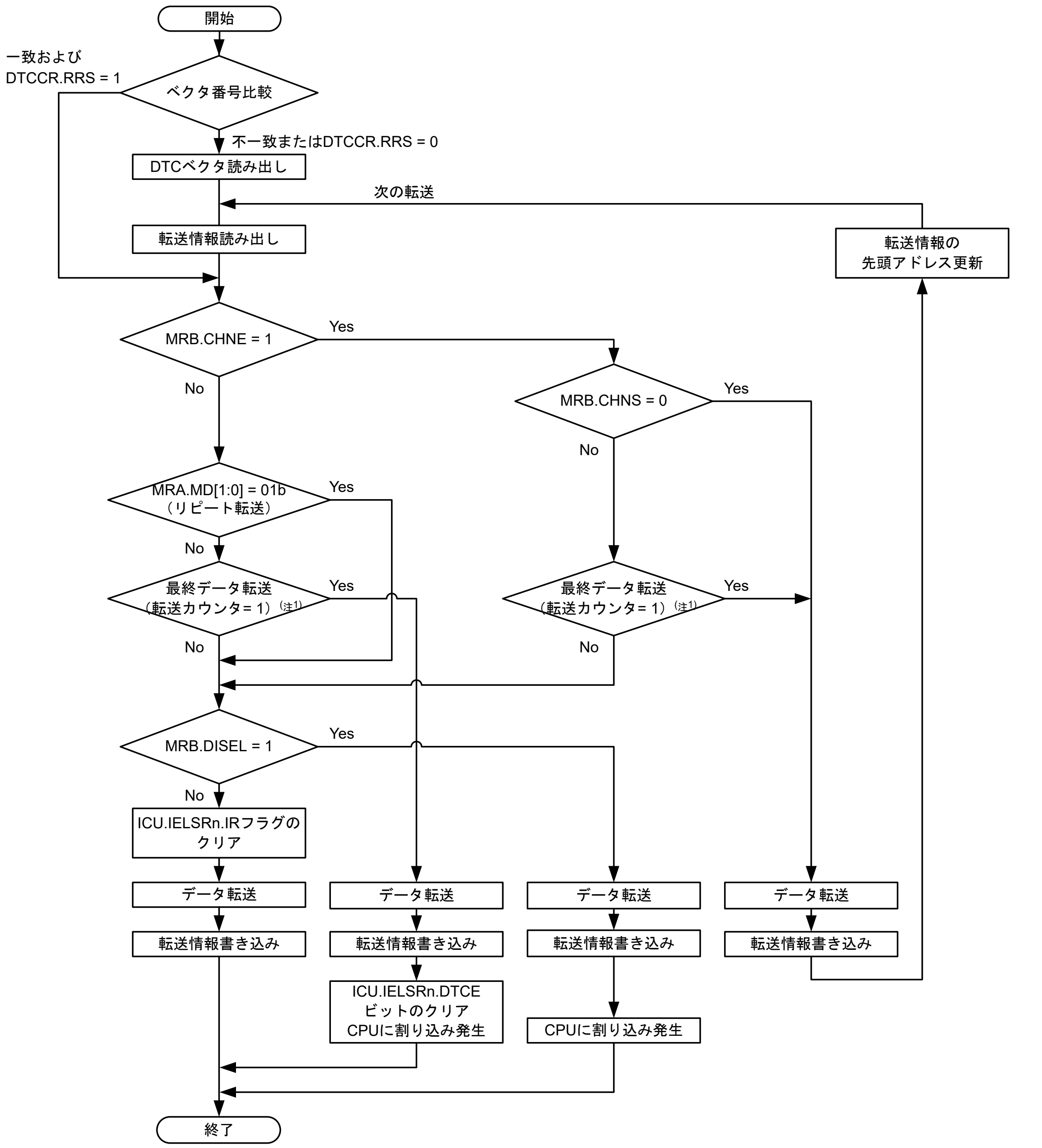
転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回
リピート転送モード (注1)	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ（1～256 バイト／1～256 ハーフワード（2～512 バイト）／1～256 ワード（4～1024 バイト））	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回

注 1.　転送元または転送先のいずれかをリピート領域に設定します。
注 2.　転送元または転送先のいずれかをブロック領域に設定します。

注 3.　指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 15.4 に DTC の動作フローチャートを示します。表 15.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1.　データ転送開始前のカウンタ値

図 15.4　　DTC 動作フローチャート

表 15.3　　チェーン転送の条件

第 1 転送				第 2 転送(注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求

注 1.　使用する転送カウンタは、以下のように、各転送モードで異なります。
ノーマル転送モード : CRA レジスタ
リピート転送モード : CRAL レジスタ
ブロック転送モード : CRB レジスタ

注 2.　転送終了時のカウンタ動作は以下の通りです。
ノーマル転送モードとブロック転送モードでは (1→0)
リピート転送モードでは (1→CRAH)
表中の (1→*) は、これら両方の動作を表します。

注 3.　2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

15.4.1　　転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 15.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットを一度 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

15.4.2　　転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。 表 15.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 15.4　転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット			
b3	b2	b3	b2	SAR レジスタ	DAR レジスタ
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

15.4.3　ノーマル転送モード

ノーマル転送モードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）のデータ転送が可能です。転送回数は 1～65536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

表 15.5 にノーマル転送モードのレジスタ機能を、図 15.5 にノーマル転送モードのメモリマップを示します。

表 15.5　ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1.　アドレス固定のとき、ライトバックはスキップされます。

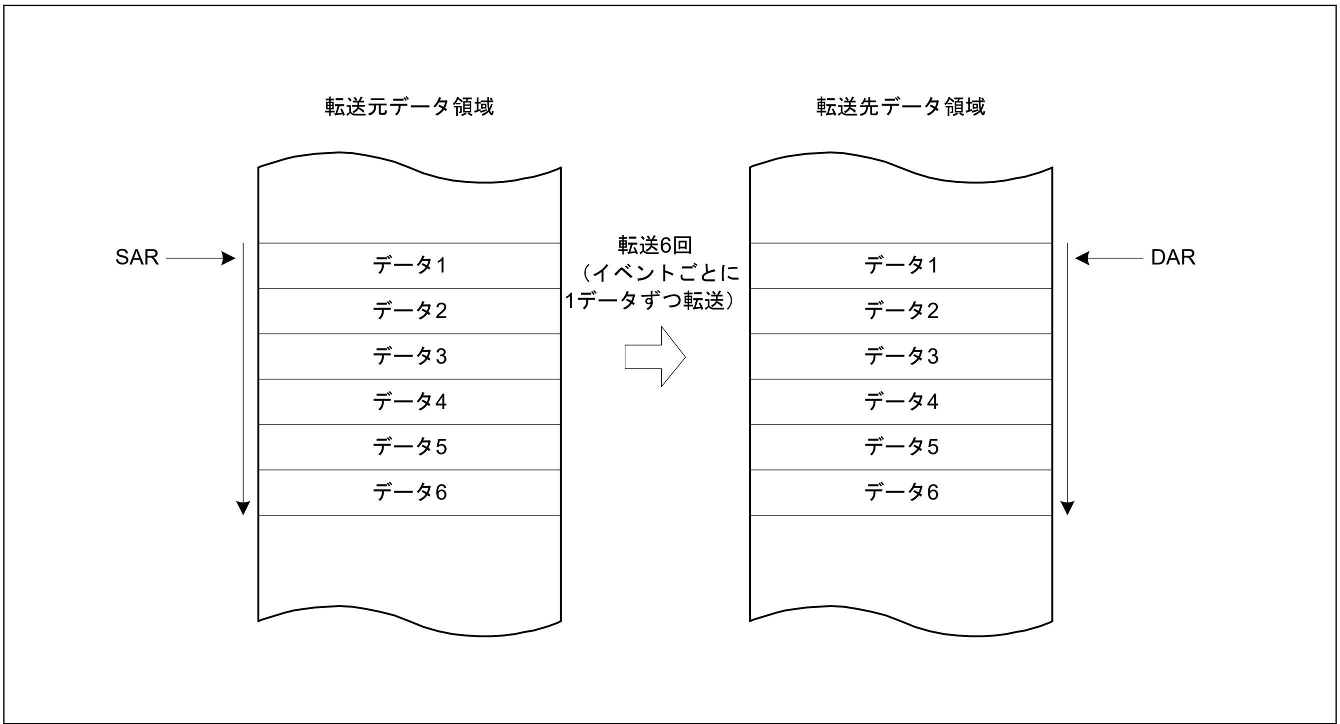


図 15.5　　ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

15.4.4　　リピート転送モード

このモードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、または 1 ワード（32 ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は 1～256 回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 0x00 になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 0x00 にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

表 15.6 にリピート転送モードのレジスタ機能を、図 15.6 にリピート転送モードのメモリマップを示します。

表 15.6　　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1.　アドレス固定のとき、ライトバックはスキップされます。

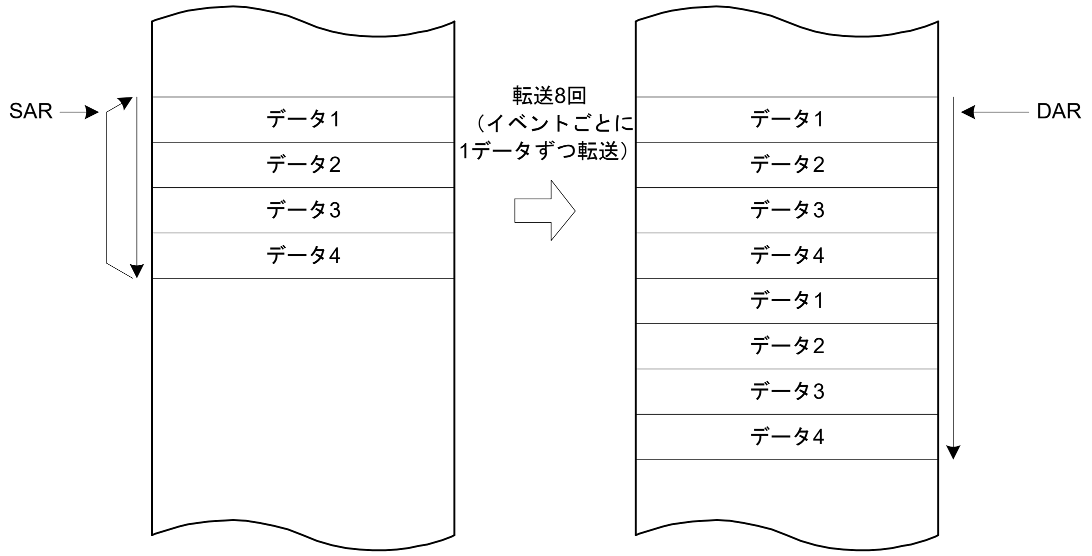


図 15.6　リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）(MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

15.4.5　ブロック転送モード

このモードでは、1 つの起動要因で 1 ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード（2～512 バイト）、または 1～256 ワード（4～1024 バイト）に設定できます。指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL レジスタ）と、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが 1 のときは SAR レジスタ、MRB.DTS ビットが 0 のときは DAR レジスタ）は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数（ブロック数）は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 15.7 にブロック転送モードのレジスタ機能を、図 15.7 にブロック転送モードのメモリマップを示します。

表 15.7　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	● （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) ● （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	● （MRB.DTS = 0 のとき） DAR レジスタの初期値 ● （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1.　アドレス固定のとき、ライトバックはスキップされます。

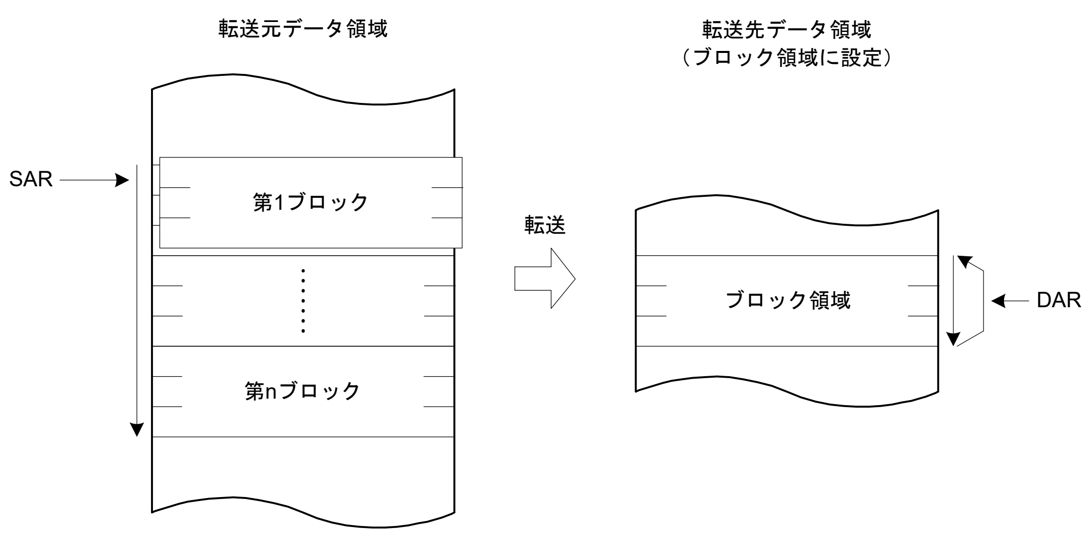


図 15.7　ブロック転送モードのメモリマップ

15.4.6　チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 15.8 にチェーン転送の動作を示します。

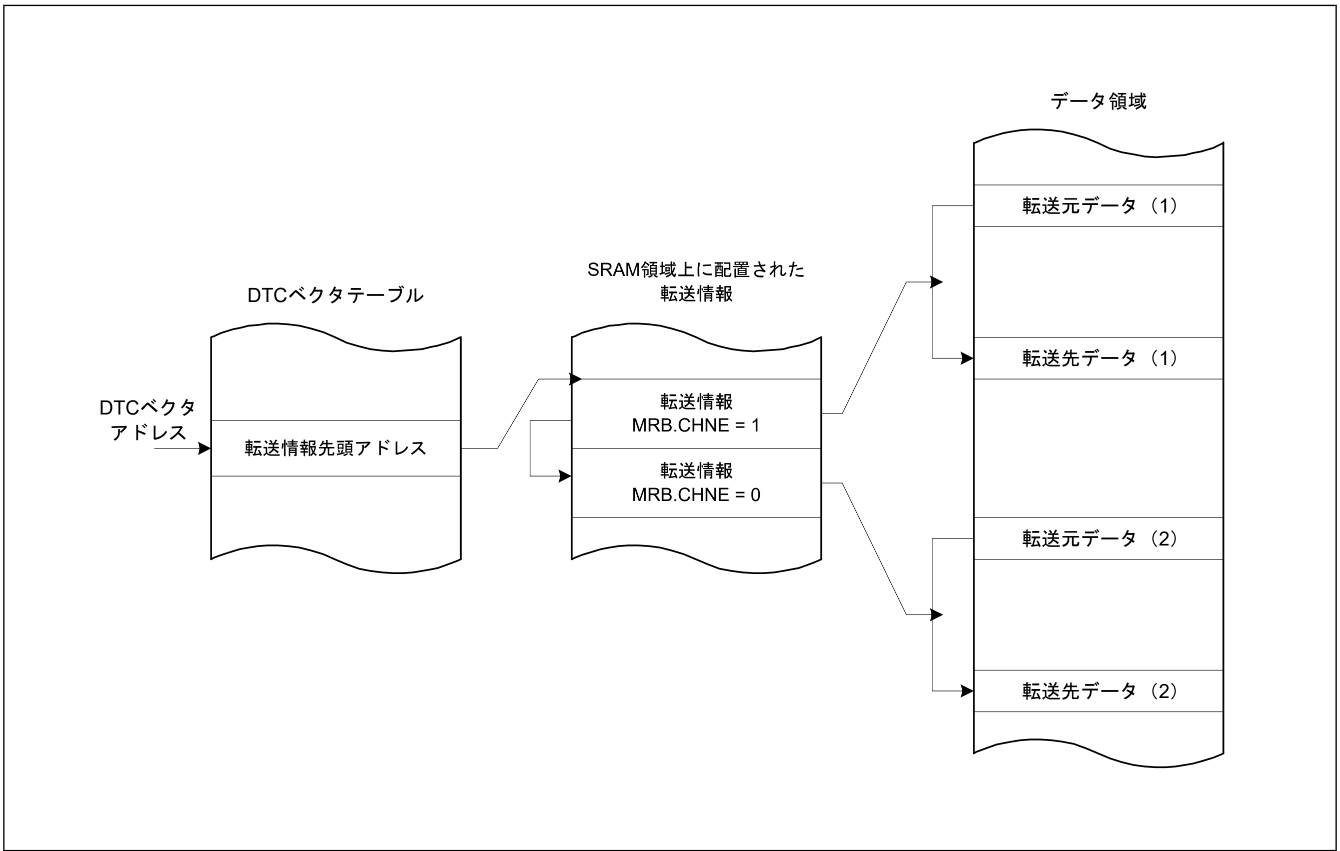


図 15.8　　チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 15.3 を参照してください。

15.4.7　　動作タイミング

図 15.9～図 15.12 に示すタイミング図は、最小実行サイクル数を示しています。

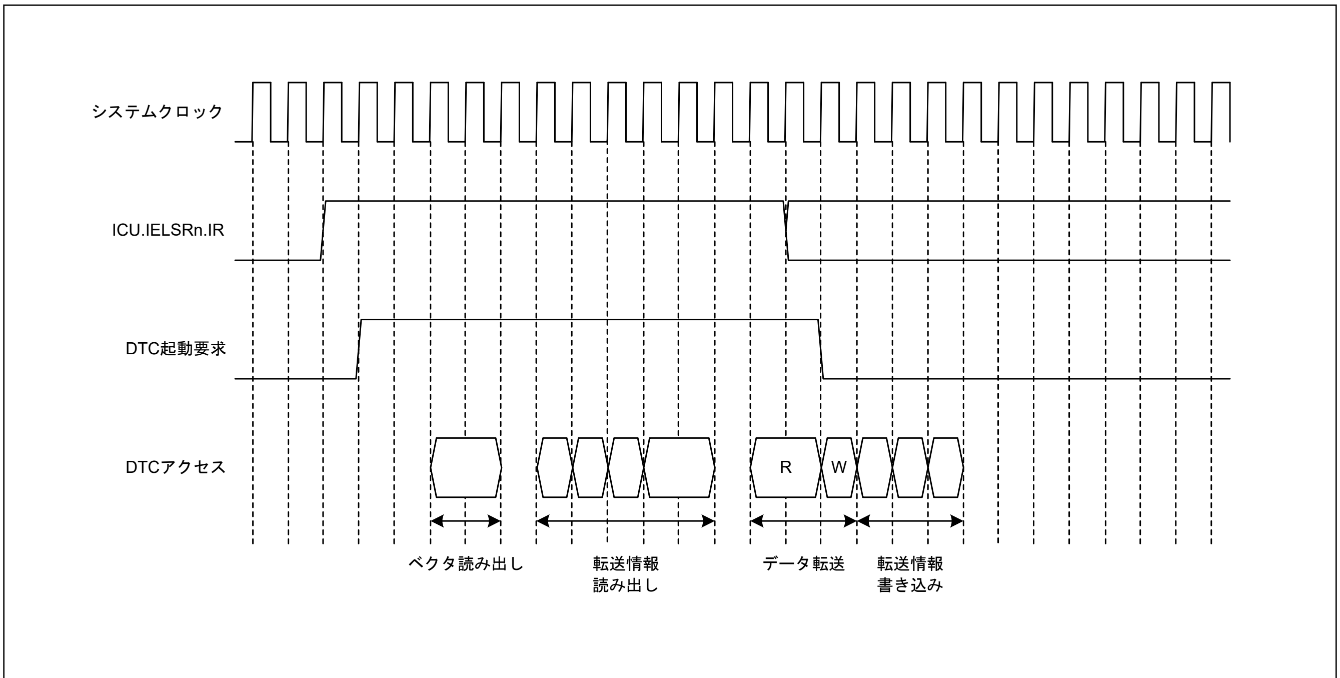


図 15.9　　動作タイミング例 (1)（ノーマル転送モード、リピート転送モードの場合）

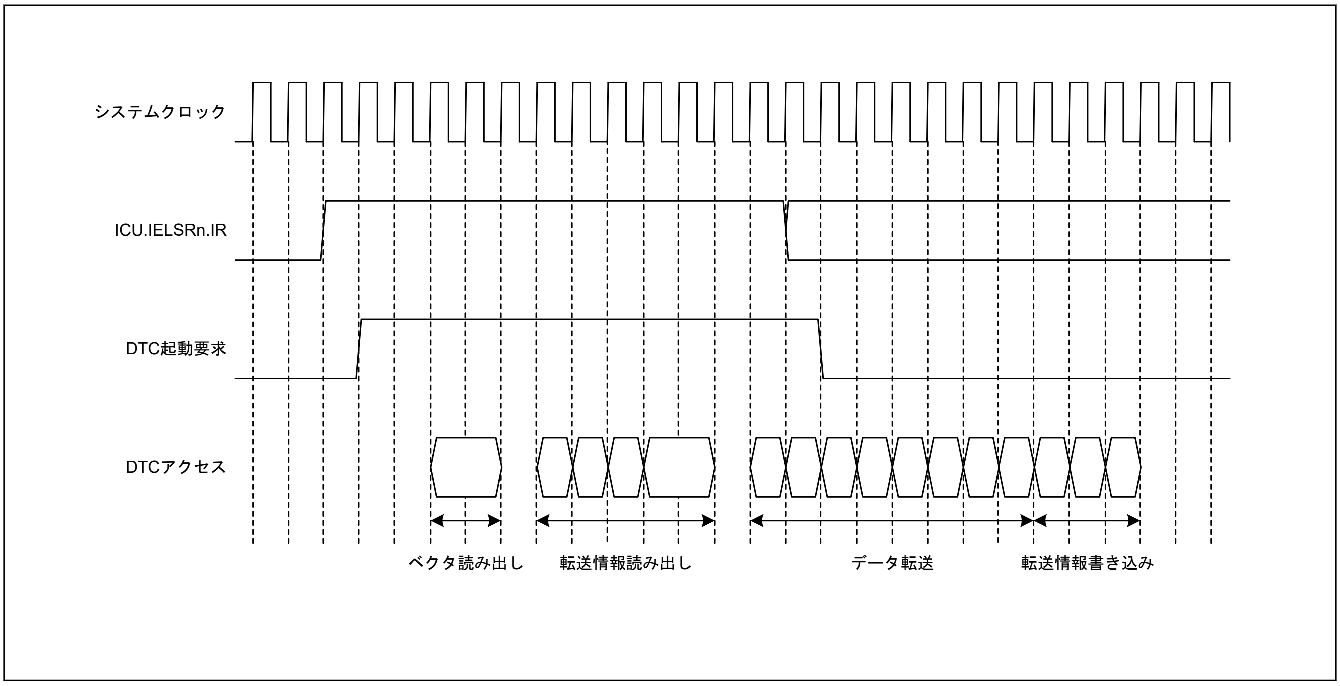


図 15.10　動作タイミング例 (2)（ブロック転送モード、ブロックサイズ = 4 の場合）

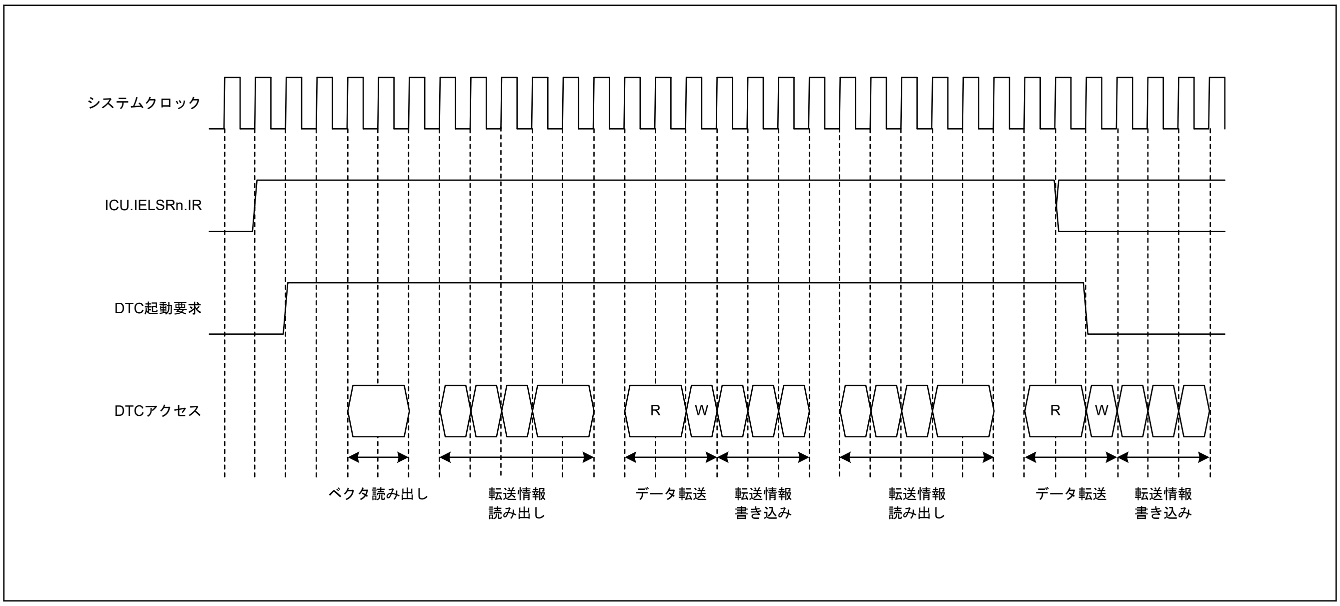
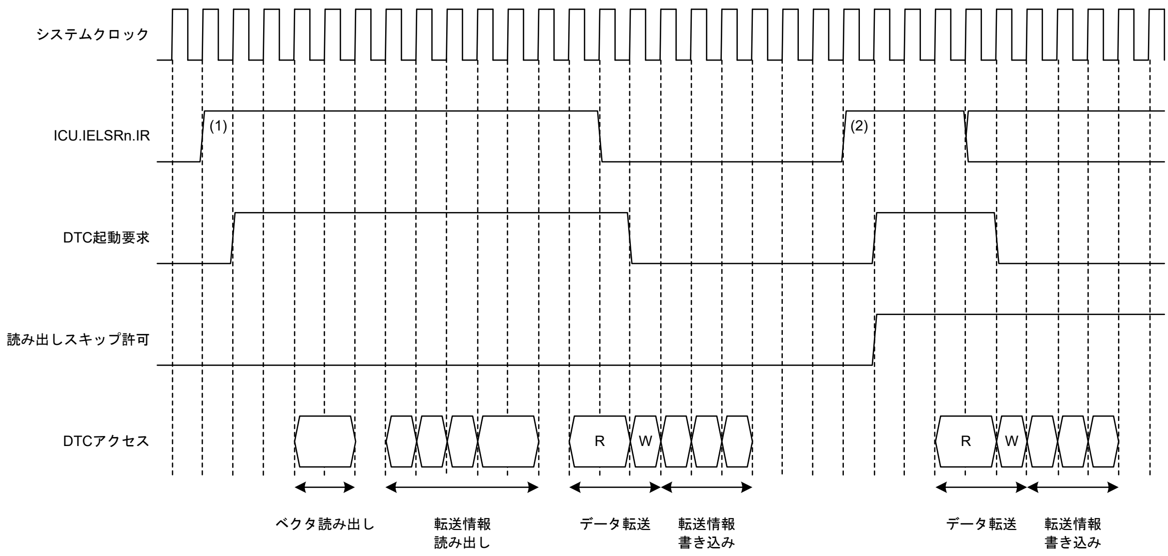


図 15.11　動作タイミング例 (3)（チェーン転送の場合）



注.　(1) と (2) で起動要因（ベクタ番号）が同一で、DTCCR.RRS = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 15.12　転送情報リードスキップ実行時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

15.4.8　DTC の実行サイクル

表 15.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「15.4.7. 動作タイミング」を参照してください。

表 15.8　DTC の実行サイクル

P: ブロックサイズ（CRAH および CRAL レジスタの初期設定値）
Cv: ベクタ転送情報格納先へのアクセスサイクル
Ci: 転送情報格納先アドレスへのアクセスサイクル
Cr: データリード先へのアクセスサイクル
Cw: データライト先へのアクセスサイクル
ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。
Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「32. SRAM」、「33. フラッシュメモリ」および「13. バス」を参照してください。
システムクロックと周辺クロックの周波数比も考慮されています。
DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。
表 15.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + 1	0[注1]	4 × Ci + 1	0[注1]	3 × Ci + 1[注2]	2 × Ci + 1[注3]	Ci[注4]	Cr + 1	Cw + 1	2	0[注1]
リピート								Cr + 1	Cw + 1		
ブロック (注5)								P × Cr	P × Cw		

注 1.　転送情報がリードスキップされる場合
注 2.　SAR レジスタと DAR レジスタがともにアドレス固定でない場合
注 3.　SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合
注 4.　SAR レジスタと DAR レジスタがともにアドレス固定の場合
注 5.　ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

15.4.9　DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

15.5　DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSRn.IELS[4:0]ビットを 0 にして NVIC の割り込みを禁止してから、表 15.9 の手順に従い DTC の設定を行ってください。

表 15.9　DTC の設定手順

No.	手順	内容
1	DTCCR.RRS ビットを 0 にします。	DTCCR.RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したときは、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「15.2. レジスタの説明」を参照してください。転送情報の配置方法は、「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR.RRS ビットを 1 にします。	DTCCR.RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットへの 1 の書き込みは可能ですが、DTC 転送中の設定は次回の転送から有効になります。
5	ICU.IELSRn.DTCE ビットを 1 にします。 ICU.IELSRn.IELS[4:0]ビットを割り込み要因として設定します。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSRn.IELS[4:0]を設定してください。この割り込みは NVIC で許可に設定する必要があります。「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 にします。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注.　DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。

15.6　DTC の使用例

15.6.1　ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1)　転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0、MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2)　DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3)　ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[4:0]ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4)　SCI の設定

SCI の SCR.RIE ビットを 1 にして SCIn_RXI (n = 0〜2, 9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5)　DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに SCIn_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6)　割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SCIn_RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

15.6.2　　チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタ (m = 160〜163) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタ (m = 160〜163) への転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタ (m = 160〜163) への転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT160.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1)　第 1 転送情報の設定

GPT160.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT160.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2)　第 2 転送情報の設定

GPT160.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT160.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3)　第 3 転送情報の設定

GPT160.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスを固定 (MRB.DM[1:0] = 00b) に選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT160.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4)　転送情報の配置

GPT160.GTPBR レジスタへの転送で使用する転送情報は、GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5)　DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6)　ICU の設定と DTC モジュールの起動

1. GPT160 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[4:0]ビットを設定して、GPT160 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7)　GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT160.GTIOR レジスタを設定します。
2. GPT160.GTCCRA レジスタと GPT160.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT160.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT160.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0]の周辺モジュール選択ビットを 00011b にします。

(8)　GPT の起動

GPT160.GTSTR.CSTRT ビットを 1 にして、GPT160.GTCNT カウンタのカウント動作を開始します。

(9)　DTC 転送

GPT160.GTPR レジスタで GPT160 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT160.GTPBR レジスタへ転送されます。

(10)　割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT160 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

15.6.3　　転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 15.13 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
   (a) 転送元アドレス = 固定
   (b) CRA = 0x0200（512 回）
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 1（転送カウンタが 0 の場合のみチェーン転送を行う）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（コードフラッシュメモリなど）に用意してください。たとえば、入力バッファを 0x8000～0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
   (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード（転送元および転送先アドレスは固定）に設定
   (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 0（連続チェーン転送を選択）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (f) CRA = 0x0101（転送回数は 1 回）
4. 第 3 転送は以下のように設定してください。
   (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
   (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
   (c) MRB.CHNE = 0（チェーン転送禁止）
   (d) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (e) 入力バッファを 0x8000～0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。
6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。
8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

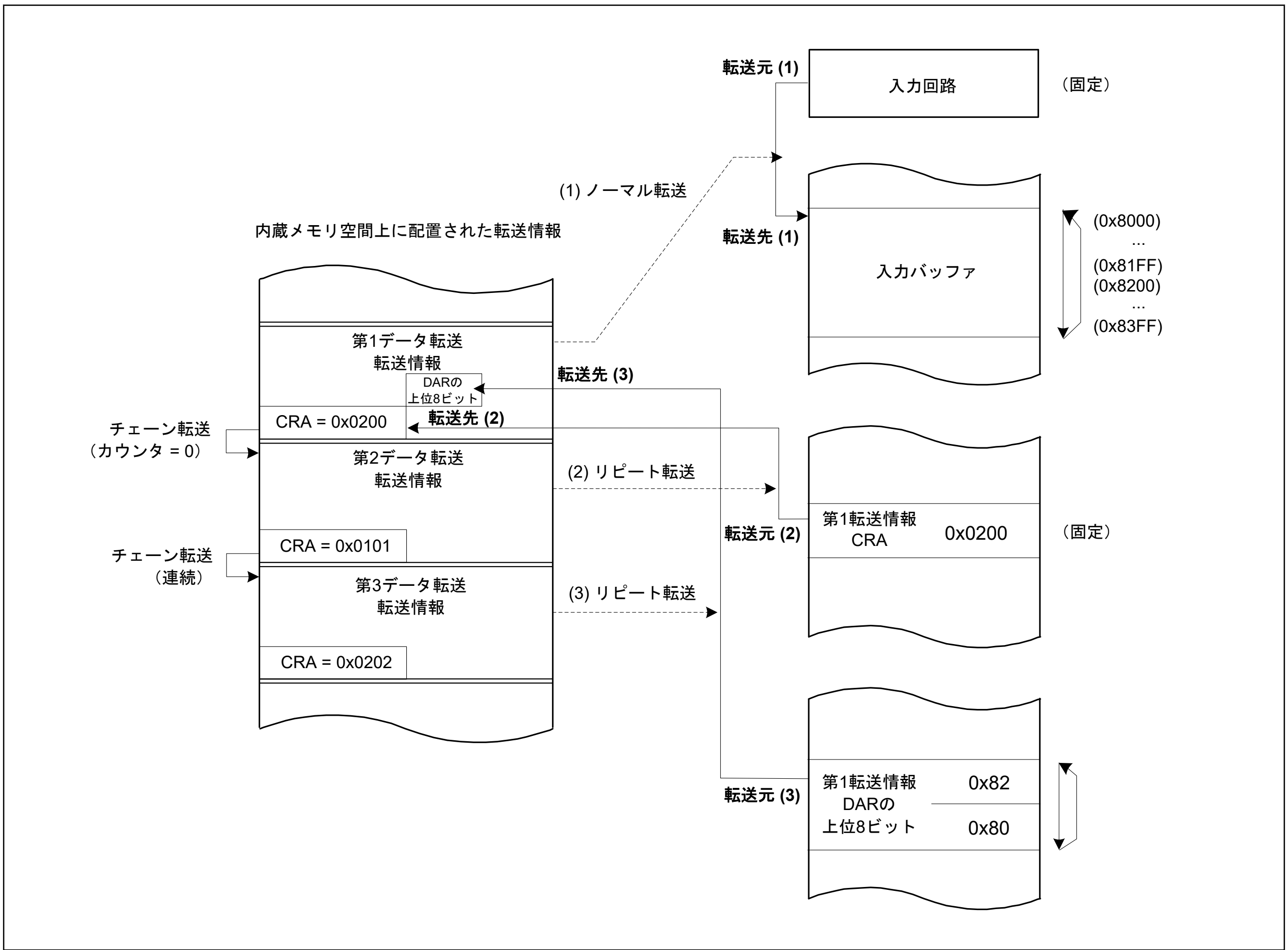


図 15.13　　転送カウンタ = 0 のときのチェーン転送

15.7　　割り込み

15.7.1　　割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャネルごと）とイベント信号 DTC_COMPLETE に起因する割り込み（全チャネル共通）の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[4:0]ビットの設定に従って制御されます。「12. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

15.8　　イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

15.9　　低消費電力機能

モジュールストップ状態、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。
SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「10. 低消費電力モード」を参照してください。

(1)　モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。
MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストッ

プ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2)　ソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

(3)　スヌーズモード

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。「10.8.1. スヌーズモードへの遷移」を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR0.DTCZRED ビットまたは SYSTEM.SNZEDCR0.DTCNZRED ビットを 1 にしてください。「10.8.3. スヌーズモードからソフトウェアスタンバイモードへの復帰」を参照してください。SYSTEM.SNZEDCR0.DTCZRED ビットは、最後の DTC 送信完了（CRA レジスタと CRB レジスタが 0 であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。SYSTEM.SNZEDCR0.DTCNZRED ビットは、最後以外の DTC 送信完了（CRA レジスタと CRB レジスタが 0 以外であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(4)　低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

15.10　使用上の注意

15.10.1　転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

16. イベントリンクコントローラ (ELC)

16.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 16.1 に ELC の仕様を、図 16.1 にブロック図を示します。

表 16.1　ELC の仕様

項目	内容
イベントリンク機能	105 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能

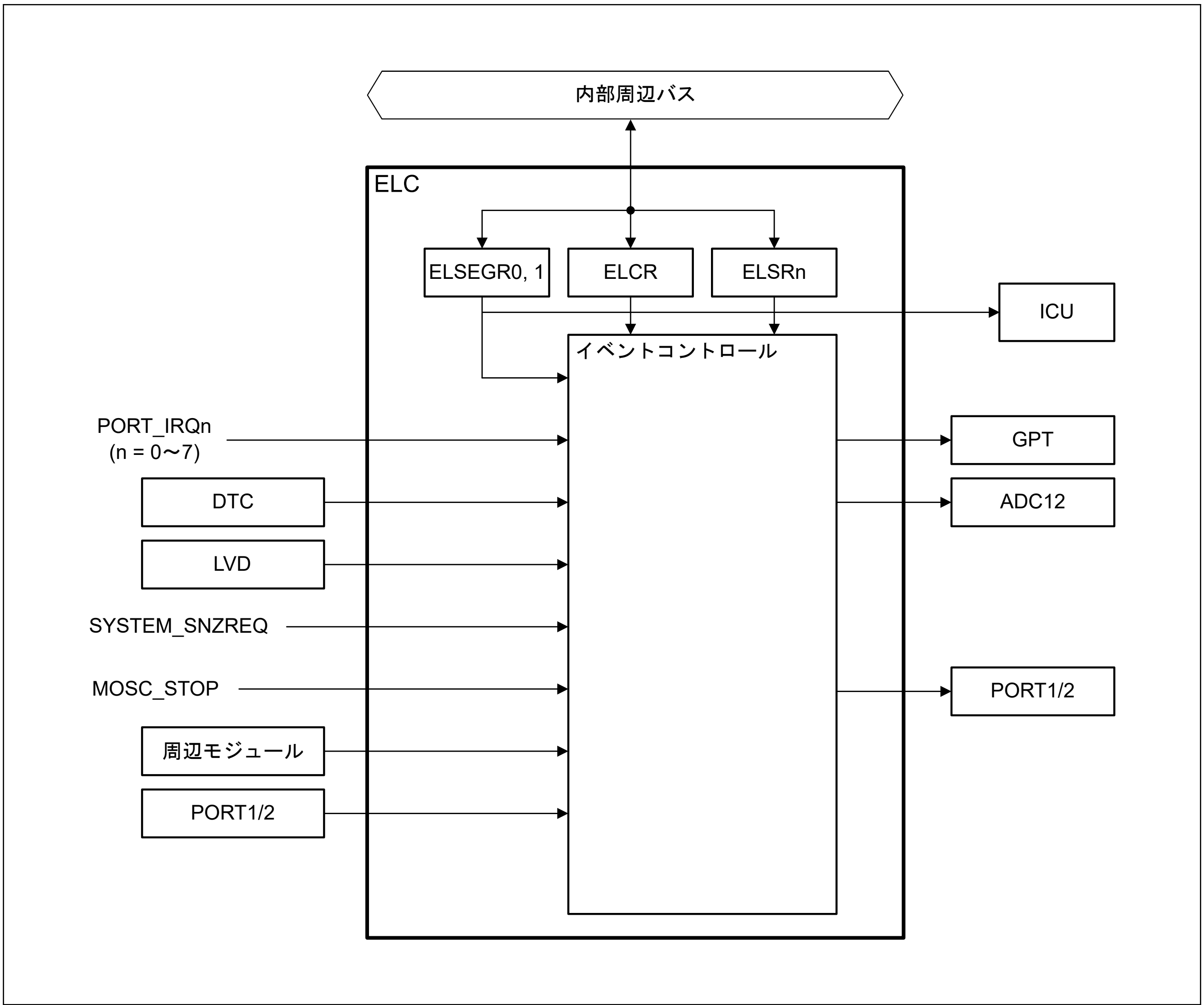


図 16.1　ELC のブロック図

16.2 レジスタの説明

16.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4004_1000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク許可 0: ELC 機能は無効 1: ELC 機能は有効	R/W

ELCR レジスタは、ELC の動作を制御します。

16.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)

Base address: ELC = 0x4004_1000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

SEG ビット（ソフトウェアイベント発生）

WE ビットが 1 の状態で、SEG ビットに 1 を書くと、ソフトウェアイベントが発生します。本ビットを読むと 0 が読めます。本ビットに 1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットに書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット（SEG ビット書き込み許可）

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みができます。WI ビットを 0 にクリアしてから、本ビットに書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、本ビットに 1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、本ビットに 0 を書いたとき

WI ビット（ELSEGR レジスタ書き込み禁止）

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタへの書き込みができます。本ビットを読むと 1 が読めます。WI ビットを 0 にしてから、WE ビットまたは SEG ビットを設定する必要があります。

16.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0〜9, 14, 15)

Base address: ELC = 0x4004_1000

Offset address: 0x10 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ELS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	ELS[7:0]	イベントリンク選択 0x00: 対応する周辺モジュールへのイベント出力は禁止 0x01: リンクするイベント信号の番号を指定 ⋮ 0xA2: リンクするイベント信号の番号を指定 その他: 設定禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定します。表 16.2 に、ELSRn レジスタと周辺モジュールの対応を示します。表 16.3 に、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を示します。

表 16.2 ELSRn レジスタと周辺機能の対応

レジスタ名称	周辺機能（モジュール）	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC12A	ELC_AD00
ELSR9	ADC12B	ELC_AD01
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2

表 16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1/3)

イベント番号	割り込み要求発生元	名称	内容
0x01	ポート	PORT_IRQ0(注1)	外部端子割り込み 0
0x02		PORT_IRQ1(注1)	外部端子割り込み 1
0x03		PORT_IRQ2(注1)	外部端子割り込み 2
0x04		PORT_IRQ3(注1)	外部端子割り込み 3
0x05		PORT_IRQ4(注1)	外部端子割り込み 4
0x06		PORT_IRQ5(注1)	外部端子割り込み 5
0x07		PORT_IRQ6(注1)	外部端子割り込み 6
0x08		PORT_IRQ7(注1)	外部端子割り込み 7
0x0A	DTC	DTC_DTCEND(注3)	DTC 転送終了
0x0D	LVD	LVD_LVD1	電圧監視 1 割り込み
0x0E		LVD_LVD2	電圧監視 2 割り込み
0x0F	MOSC	MOSC_STOP	メインクロック発振停止
0x10	低消費電力モード	SYSTEM_SNZREQ(注2) (注3)	スヌーズエントリ
0x11	AGT0	AGT0_AGTI	AGT 割り込み
0x12		AGT0_AGTCMAI	コンペアマッチ A
0x13		AGT0_AGTCMBI	コンペアマッチ B
0x14	AGT1	AGT1_AGTI	AGT 割り込み
0x15		AGT1_AGTCMAI	コンペアマッチ A
0x16		AGT1_AGTCMBI	コンペアマッチ B
0x17	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x18	WDT	WDT_NMIUNDF	WDT アンダーフロー
0x1C	ADC12	ADC120_ADI	A/D スキャン終了割り込み
0x20		ADC120_WCMPM(注3)	コンペアマッチ
0x21		ADC120_WCMPUM(注3)	コンペア不一致
0x22	ACMPHS	ACMP_HS0(注1)	高速アナログコンパレータ割り込み 0
0x23		ACMP_HS1(注1)	高速アナログコンパレータ割り込み 1
0x27	IIC0	IIC0_RXI	受信データフル
0x28		IIC0_TXI	送信データエンプティ
0x29		IIC0_TEI	送信終了
0x2A		IIC0_EEI	転送エラー
0x34	DOC	DOC_DOPCI(注3)	データ演算回路割り込み
0x3D	I/O ポート	IOPORT_GROUP1	ポート 1 イベント
0x3E		IOPORT_GROUP2	ポート 2 イベント
0x3F	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x40		ELC_SWEVT1	ソフトウェアイベント 1

表 16.3　ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (2/3)

イベント番号	割り込み要求発生元	名称	内容
0x46	GPT160	GPT0_CCMPA	コンペアマッチ A
0x47		GPT0_CCMPB	コンペアマッチ B
0x48		GPT0_CMPC	コンペアマッチ C
0x49		GPT0_CMPD	コンペアマッチ D
0x4A		GPT0_CMPE	コンペアマッチ E
0x4B		GPT0_CMPF	コンペアマッチ F
0x4C		GPT0_OVF	オーバーフロー
0x4D		GPT0_UDF	アンダーフロー
0x4E		GPT0_PC	周期計数機能終了
0x4F		GPT0_ADTRGA	A/D 変換開始要求 A
0x50		GPT0_ADTRGB	A/D 変換開始要求 B
0x51	GPT161	GPT1_CCMPA	コンペアマッチ A
0x52		GPT1_CCMPB	コンペアマッチ B
0x53		GPT1_CMPC	コンペアマッチ C
0x54		GPT1_CMPD	コンペアマッチ D
0x55		GPT1_CMPE	コンペアマッチ E
0x56		GPT1_CMPF	コンペアマッチ F
0x57		GPT1_OVF	オーバーフロー
0x58		GPT1_UDF	アンダーフロー
0x59		GPT1_PC	周期計数機能終了
0x5A		GPT1_ADTRGA	A/D 変換開始要求 A
0x5B		GPT1_ADTRGB	A/D 変換開始要求 B
0x5C	GPT162	GPT2_CCMPA	コンペアマッチ A
0x5D		GPT2_CCMPB	コンペアマッチ B
0x5E		GPT2_CMPC	コンペアマッチ C
0x5F		GPT2_CMPD	コンペアマッチ D
0x60		GPT2_CMPE	コンペアマッチ E
0x61		GPT2_CMPF	コンペアマッチ F
0x62		GPT2_OVF	オーバーフロー
0x63		GPT2_UDF	アンダーフロー
0x64		GPT2_PC	周期計数機能終了
0x65		GPT2_ADTRGA	A/D 変換開始要求 A
0x66		GPT2_ADTRGB	A/D 変換開始要求 B
0x70	GPT	GPT_UVWEDGE	UVW のエッジイベント
0x71	SCI0	SCI0_RXI(注4)	受信データフル
0x72		SCI0_TXI(注4)	送信データエンプティ
0x73		SCI0_TEI	送信終了
0x74		SCI0_ERI(注4)	受信エラー
0x75		SCI0_AM	アドレス一致イベント

表 16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (3/3)

イベント番号	割り込み要求発生元	名称	内容
0x77	SCI1	SCI1_RXI	受信データフル
0x78		SCI1_TXI	送信データエンプティ
0x79		SCI1_TEI	送信終了
0x7A		SCI1_ERI	受信エラー
0x7B		SCI1_AM	アドレス一致イベント
0x7C	SCI9	SCI9_RXI	受信データフル
0x7D		SCI9_TXI	送信データエンプティ
0x7E		SCI9_TEI	送信終了
0x7F		SCI9_ERI	受信エラー
0x80		SCI9_AM	アドレス一致イベント
0x81	SPI0	SPI0_SPRI	受信バッファフル
0x82		SPI0_SPTI	送信バッファエンプティ
0x83		SPI0_SPII	アイドル
0x84		SPI0_SPEI	エラー
0x85		SPI0_SPTEND	送信完了イベント
0x8E	SCI2	SCI2_RXI	受信データフル
0x8F		SCI2_TXI	送信データエンプティ
0x90		SCI2_TEI	送信終了
0x91		SCI2_ERI	受信エラー
0x92		SCI2_AM	アドレス一致イベント
0x98	GPT163	GPT3_CCMPA	コンペアマッチ A
0x99		GPT3_CCMPB	コンペアマッチ B
0x9A		GPT3_CMPC	コンペアマッチ C
0x9B		GPT3_CMPD	コンペアマッチ D
0x9C		GPT3_CMPE	コンペアマッチ E
0x9D		GPT3_CMPF	コンペアマッチ F
0x9E		GPT3_OVF	オーバーフロー
0x9F		GPT3_UDF	アンダーフロー
0xA0		GPT3_PC	周期計数機能終了
0xA1		GPT3_ADTRGA	A/D 変換開始要求 A
0xA2		GPT3_ADTRGB	A/D 変換開始要求 B

注 1. パルス（エッジ検出）のみがサポートされています。
注 2. ELSR8、ELSR9、ELSR14、ELSR15 が、本イベントを選択できます。
注 3. このイベントはスヌーズモードでも発生可能です。
注 4. このイベントは FIFO モードではサポートされていません。

16.3 動作説明

16.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生については、各イベントの出力元モジュールの章を参照してください。

16.3.2　イベントリンク

イベントリンク設定レジスタ (ELSRn) ですでにトリガとして設定されていたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、事前に完了しておく必要があります。表 16.4 にイベント発生時のモジュール動作を示します。

表 16.4　イベント発生時のモジュール動作

モジュール	イベント入力時の動作
GPT	● カウント開始 ● カウント停止 ● カウントクリア ● アップカウント ● ダウンカウント ● インプットキャプチャ
ADC12	A/D 変換開始
I/O ポート	● EORR（リセット）または EOSR（セット）に基づく端子出力の変更 ● EIDR に端子状態をラッチ ● 以下のポートを ELC に使用可能： ポート 1 ポート 2

16.3.3　イベントリンクの手順例

イベントリンクの手順は以下の通りです。

1. イベントをリンクするモジュールの動作を設定してください。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[7:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にしてください。
4. イベント出力元モジュールの設定を行い、モジュールを起動させてください。これにより、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[7:0]ビットを 0 にします。また、ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

16.4　使用上の注意事項

16.4.1　DTC 転送終了のイベントリンクを使用する場合

DTC 転送終了のイベントリンクを使用する場合、DTC 転送先とイベントリンク先を同一の周辺モジュールに設定しないでください。設定すると周辺モジュールへの DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

16.4.2　クロックの設定

イベントリンクを使用するには、ELC と対象モジュールを動作可能な状態にしなければなりません。対象モジュールがモジュールストップ状態の場合、または対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。

モジュールによっては、スヌーズモードで動作できるものもあります。詳細は、表 16.3 と「10. 低消費電力モード」を参照してください。

16.4.3　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を許可または禁止することができます。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細は、表 16.3 と「10. 低消費電力モード」を参照してください。

16.4.4 ELC 遅延時間

図 16.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 16.5 に ELC 遅延時間を示します。

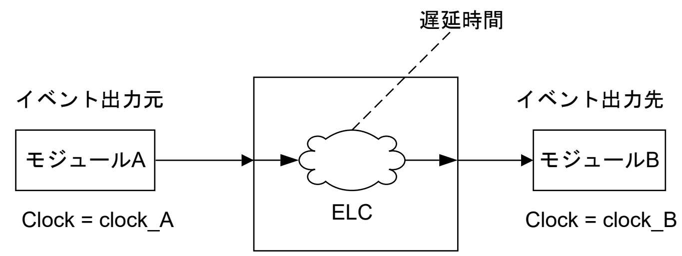


図 16.2 ELC 遅延時間

表 16.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル

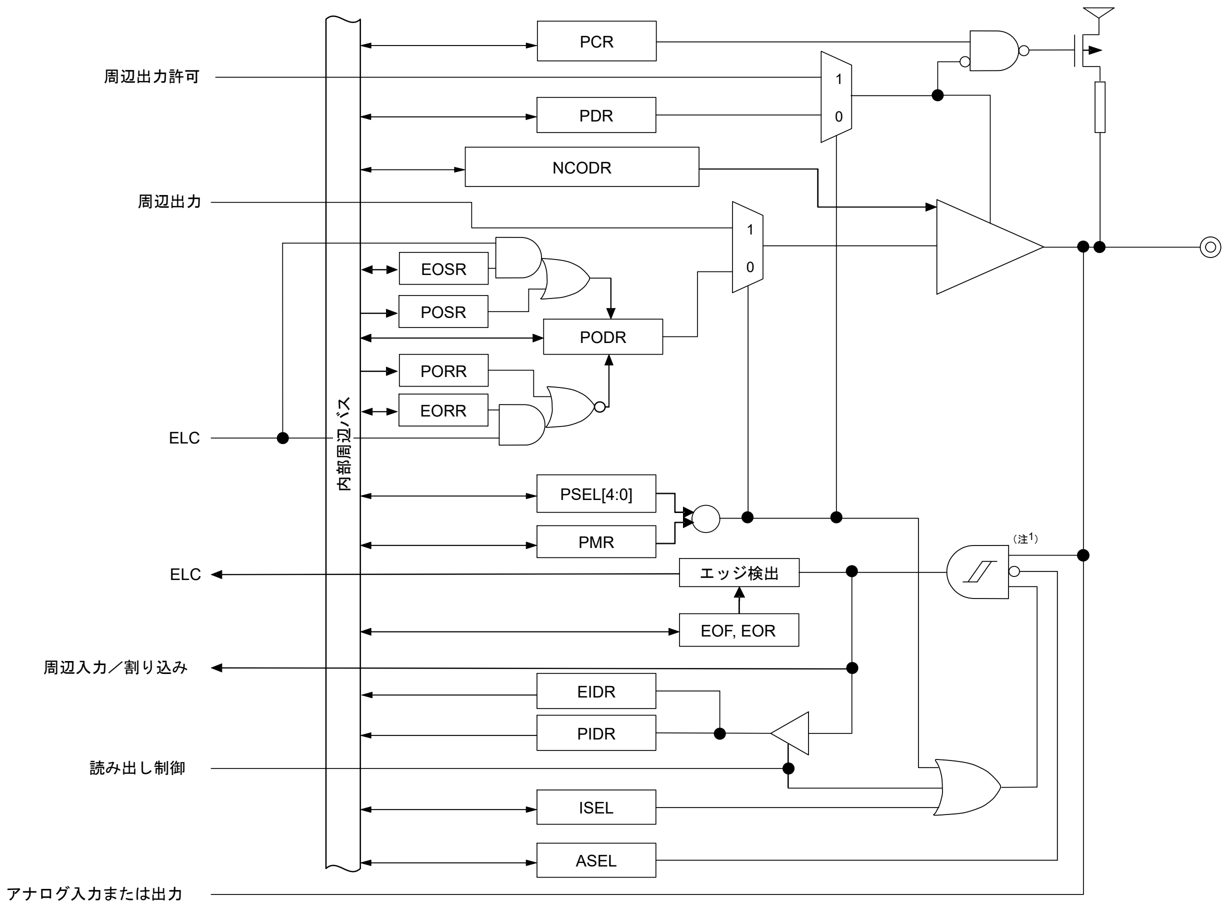
17. I/O ポート

17.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、関連するレジスタで指定されます。

図 17.1 に、I/O ポートレジスタの接続図を示します。パッケージによって I/O ポートの構成は異なります。表 17.1 にパッケージ別の I/O ポートの仕様を、表 17.2 に I/O ポートの機能を示します。



注. この図はポートの基本構成を示しています。ポートによって構成は異なります。
注 1. PMR = 1 または ISEL = 1 のとき、シュミットトリガは有効です。周辺機能選択については、「17.6. 製品ごとの周辺選択設定」を参照してください。

図 17.1 I/O ポートレジスタの接続図

表 17.1 に I/O ポートの仕様を、表 17.2 に I/O ポートの機能を示します。

表 17.1 I/O ポートの仕様 (1/2)

ポート	パッケージ		パッケージ		パッケージ	
	48 ピン	本数	32 ピン	本数	24 ピン	本数
ポート 0	P000～P002, P010～P015	9	P010～P015	6	P010～P011, P013～P015	5
ポート 1	P100～P104, P108～P112	10	P100～P103, P108～P110, P112	8	P100～P103, P108～P110	7

表 17.1　I/O ポートの仕様 (2/2)

ポート	パッケージ		パッケージ		パッケージ	
	48 ピン	本数	32 ピン	本数	24 ピン	本数
ポート 2	P200～P201, P206～P208, P212～P213	7	P200～P201, P207～P208, P212～P213	6	P200～P201, P212～P213	4
ポート 3	P300～P302	3	P300	1	P300	1
ポート 4	P400～P403, P407～P409	7	P402～P403, P407	3	P407	1
ポート 5	P500	1	—	0	—	0
ポート 9	P913～P915	3	P913～P914	2	—	0

表 17.2　I/O ポートの機能

ポート	ポート名	入力プルアップ	入力モード切り替え	開放ドレイン出力	5 V トレラント	入出力
ポート 0	P000～P002, P010～P015	✓	—	—	—	入出力
ポート 1	P100, P101	✓	CMOS/TTL	✓	—	入出力
	P102～P104, P108～P112	✓	—	✓	—	入出力
ポート 2	P200	—	—	—	—	入力
	P201, P206, P207, P208, P212, P213	✓	—	✓	—	入出力
ポート 3	P300～P302	✓	—	✓	—	入出力
ポート 4	P400, P401	✓	CMOS/TTL	✓	✓	入出力
	P407, P408	✓	CMOS/TTL	✓	—	入出力
	P402, P403, P409	✓	—	✓	—	入出力
ポート 5	P500	✓	—	✓	—	入出力
ポート 9	P913～P915	✓	—	✓	—	入出力

注.　✓ : 使用可能
　　— : 設定禁止

17.2　レジスタの説明

17.2.1　PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address:　PORTm = 0x4004_0000 + 0x0020 × m (m = 0～5、9)

Offset address:　0x000 (PCNTR1/PODR)
0x002 (PDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR15	PODR14	PODR13	PODR12	PODR11	PODR10	PODR09	PODR08	PODR07	PODR06	PODR05	PODR04	PODR03	PODR02	PODR01	PODR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15～PDR00	Pmn 方向 0:　入力（入力端子として機能） 1:　出力（出力端子として機能）	R/W

ビット	シンボル	機能	R/W
31:16	PODR15～PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W

注.　m = 0～5、9, n = 00～15

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットまたは 16 ビットの読み出し／書き込みレジスタで、ポート方向とポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn（PCNTR1 のビット[15:0]）および PODRn（PCNTR1 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット（Pmn 方向）

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用なので、PORT2.PCNTR1.PDR00 は予約ビットです。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

PODRn ビット（Pmn 出力データ）

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用なので、PORT2.PCNTR1.PODR00 は予約ビットです。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

17.2.2　PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address:　PORTm = 0x4004_0000 + 0x0020 × m (m = 0～5、9)

Offset address:　0x004 (PCNTR2/EIDR)
0x006 (PIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15～PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R
31:16	EIDR15～EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注.　m = 0～5、9, n = 00～15
注 1.　x = 1, 2（EIDR のみ）
注 2.　ポート 1 とポート 2 に対応しています。

ポートコントロールレジスタ 2 (PCNTR2//EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを表し、32 ビット単位でアクセスされます。

PIDRn（PCNTR2 のビット[15:0]）および EIDRn（PCNTR2 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット（Pmn 状態）

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- メインクロック発振器 (MOSC)
- アナログ機能 (ASEL = 1)

EIDRn ビット（ポートイベント入力データ）

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

17.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTm = 0x4004_0000 + 0x0020 × m (m = 0～5、9)

Offset address: 0x008 (PCNTR3/PORR)
0x00A (POSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15～POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15～PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

注. m = 0～5、9, n = 00～15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSRn（PCNTR3 のビット[15:0]）および PORRn（PCNTR3 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット（Pmn 出力設定）

POSR がソフトウェア書き込みによって設定されると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR3.POSR00 は予約ビットです。

PORRn ビット（Pmn 出力リセット）

PORR がソフトウェア書き込みによってリセットされると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR3.PORR00 は予約ビットです。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。
注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

17.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORTm = 0x4004_0000 + 0x0020 × m (m = 1、2)

Offset address: 0x00C (PCNTR4/EORR)
0x00E (EOSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR15	EORR14	EORR13	EORR12	EORR11	EORR10	EORR09	EORR08	EORR07	EORR06	EORR05	EORR04	EORR03	EORR02	EORR01	EORR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR15	EOSR14	EOSR13	EOSR12	EOSR11	EOSR10	EOSR09	EOSR08	EOSR07	EOSR06	EOSR05	EOSR04	EOSR03	EOSR02	EOSR01	EOSR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15～EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15～EORR00	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. m = 1, 2、n = 00～15、x = 1, 2

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn（PCNTR4 のビット[15:0]）および EORRn（PCNTR4 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット（Pmn イベント出力設定）

EOSR が ELC_PORTx 信号の発生によって設定されると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR4.EOSR00 は予約ビットです。

EORRn ビット（Pmn イベント出力リセット）

EORR が ELC_PORTx 信号の発生によってリセットされると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR4.EORR00 は予約ビットです。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

17.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜5、9, n = 00〜15)

Base address: PFS = 0x4004_0800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS)
0x002 + 0x040 × m + 0x004 × n (PmnPFS_HA)
0x003 + 0x040 × m + 0x004 × n (PmnPFS_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]					—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]		—	—	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R
2	PDR	ポート方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	EOFR[1:0]	立ち下がり時イベント／立ち上がり時イベント(注2) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　P108、P201、P300 の初期値は 0x00000000 ではありません。P108 の初期値は 0x00010010、P201 は 0x00000010、P300 は 0x00010010 です。
注 2.　ポート 1 とポート 2 に対応しています。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、32 ビット、16 ビット、および 8 ビットの読み出し／書き込みコントロールレジスタで、ポート mn 端子機能を選択し、32 ビット単位でアクセスされます。PmnPFS_HA（PmnPFS のビット[15:0]）は 16 ビット単位でアクセスされます。PmnPFS_BY（PmnPFS のビット[7:0]）は 8 ビット単位でアクセスされます。

PODR ビット（ポート出力データ）、PIDR ビット（ポート状態）、PDR ビット（ポート方向）

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット（プルアップ制御）

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR に関連するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビット（N チャネルオープンドレイン制御）

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOFR[1:0]ビット（立ち下がり時イベント／立ち上がり時イベント）

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビット（IRQ 入力許可）

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力を指定します。このとき、端子状態を読むことはできません。
   PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0]ビット（周辺機能選択）

PSEL[4:0]ビットは、周辺機能を割り当てます。製品ごとの周辺選択設定に関する詳細は「17.6. 製品ごとの周辺選択設定」を参照してください。

17.2.6 PWPR : 書き込みプロテクトレジスタ

Base address: PFS = 0x4004_0800

Offset address: 0x503

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

17.2.7 PRWCNTR : ポート読み出しウェイトコントロールレジスタ

Base address: PFS = 0x4004_0800

Offset address: 0x50F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WAIT[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	WAIT[2:0]	ウェイトサイクルコントロール 0 0 1: 1 サイクルウェイトを挿入 0 1 0: 2 サイクルウェイトを挿入 0 1 1: 3 サイクルウェイトを挿入 1 0 0: 4 サイクルウェイトを挿入 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

WAIT[2:0]ビット（ウェイトサイクルコントロール）

WAIT[2:0]ビットは、PCNTR2 レジスタおよび PFS レジスタにアクセスするときと、ELC イベントによってポートの端子状態を読み出すときのウェイトサイクルの数を指定します。

17.3 動作説明

17.3.1 汎用入出力ポート

P108、P300 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1～4) によるポート単位のアクセス、ま

たはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「17.2. レジスタの説明」を参照してください。

各ポートのビットを以下に示します。

- ポート方向ビット (PDRn)：入力／出力の方向を選択する
- ポート出力データビット (PODRn)：出力用データを格納する
- ポート入力データビット (PIDRn)：端子状態を示す
- イベント入力データビット (EIDRn)：ELC_PORT1, 2 信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn)：ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn)：ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn)：ELC_PORT1, 2 信号発生時の出力値を示す
- イベント出力リセットビット (EORRn)：ELC_PORT1, 2 信号発生時の出力値を示す

17.3.2　ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- 入出力設定：CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタには以下のビットがあります。

- PCR：入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- EOFR[1:0]：ポートグループから入力されるイベントのエッジを選択
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL：アナログ端子を設定するためのアナログ入力許可ビット
- PMR：各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0]：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、「17.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～5、9, n = 00～15)」を参照してください。

17.3.3　ELC のポートグループ機能

本 MCU では、ポート 1、2 が ELC ポートグループ機能に割り当てられています。

17.3.3.1　ELC から ELC_PORT1 または 2 が入力された場合の動作

ELC から ELC_PORT1 または 2 信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1)　EIDR への入力

GPI 機能（PmnPFS レジスタで PDR = 0 および PMR = 0）では、ELC から ELC_PORT1 または 2 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。図 17.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

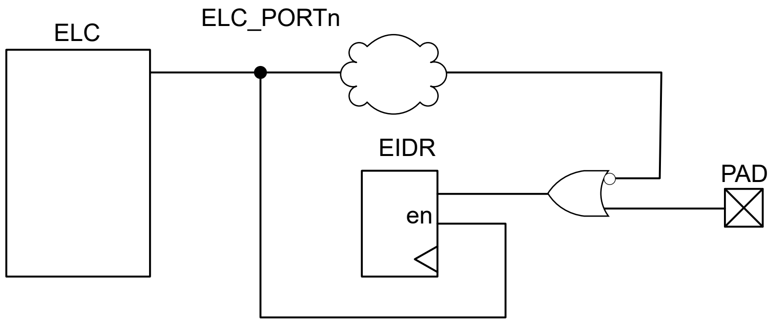


図 17.2　イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORT1 または 2 信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORT1 または 2 信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORT1 または 2 信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。

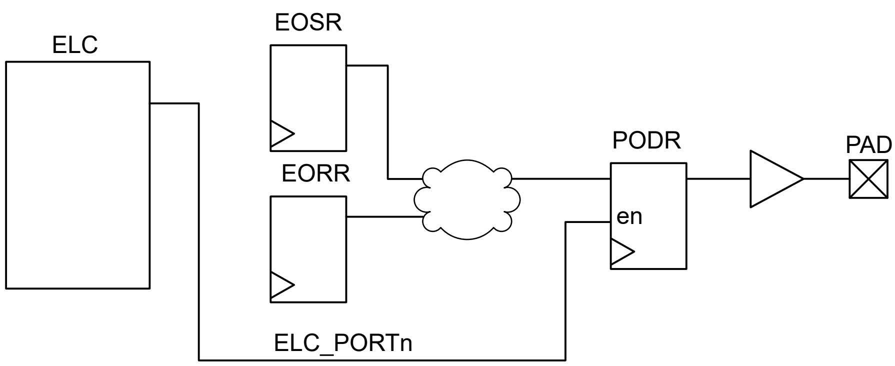


図 17.3　イベントポート出力データ

17.3.3.2　イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS レジスタの EOFR[1:0]ビットを設定します。詳細は、「17.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～5、9, n = 00～15)」を参照してください。EOFR[1:0]ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえば、ポート 1 に対して、P100 から P104 および P108 から P112 へデータが入力されると、これら 10 端子のデータは論理和で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 の動作もポート 1 と同様です。図 17.4 を参照してください。

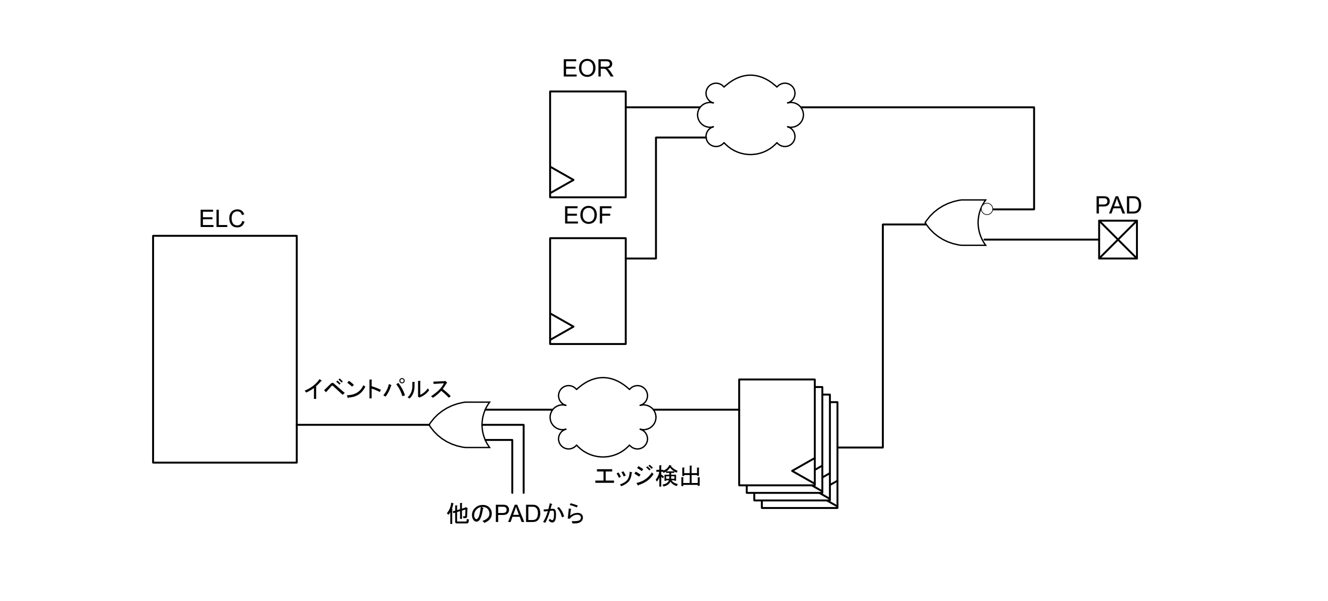


図 17.4　　イベントパルスの発生

17.3.4　　ポート読み出し時のウェイト機能

ポート入力データを読み出し時のウェイトサイクル数は、PRWCNTR.WAIT[2:0] ビットで以下のように設定できます。

- PCNTR2 または PFS レジスタを読み出すことで、ポート入力データ (PIDR) を読み出します。
- ELC_PORT1 または 2 信号の発生時に、ポート端子状態をイベント入力データレジスタ (EIDR) にラッチします。

アクセスサイクル数は、PRWCNTR.WAIT[2:0] ビットの値に 1 を足した値です。たとえば、PRWCNTR.WAIT[2:0] ビットが 010b のとき、ウェイトサイクルは 2 サイクル、アクセスサイクルは 3 サイクルになります。

表 17.3 に、電圧、周波数、ウェイトサイクルの関係を示します。

表 17.3　　電圧、周波数、ウェイトサイクルの関係

VCC = AVCC0	アクセスサイクル(注1)	ウェイトサイクル(注2)
2.7 V 超	3～5	2～4
2.4～2.7 V	4～5	3～4
1.8～2.4 V	5	4
1.6～1.8 V	2～4	1～3

注 1.　バスレイテンシは含まれません。
注 2.　ポート読み出しウェイトコントロールレジスタ (PRWCNTR) に設定されるウェイトサイクル

17.4　　未使用端子の処理

表 17.4 に、未使用端子の処理方法を示します。

表 17.4　　未使用端子の処理 (1/2)

端子名	未使用時の処理
P201/MD	モード端子として使用
RES	抵抗を介して VCC に接続（プルアップ）
P200/NMI	抵抗を介して VCC に接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定する。この端子をポート P212 として使用しない場合、ポート 0～5、9 と同じ方法で設定する。

表 17.4　未使用端子の処理 (2/2)

端子名	未使用時の処理
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定する。この端子をポート P213 として使用しない場合、ポート 0～5、9 と同じ方法で設定する。外部クロックが EXTAL 端子に入力される場合、この端子は開放する。
P1x～P5x、P9x	● 入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続（プルアップ）、または抵抗を介して VSS に接続（プルダウン）(注1)(注2) ● 出力 (PCNTR1.PDRn = 1) に設定した場合、端子を解放(注1)
P000～P002, P010～P015	入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC0 に接続（プルアップ）、または抵抗を介して AVSS0 に接続（プルダウン）(注1)
VREFH0	AVCC0 に接続
VREFL0	AVSS0 に接続

注 1.　PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
注 2.　P108、P201、および P300 は初期値から入力プルアップを有効にする必要があります (PmnPFS.PCR = 1)。

17.5　使用上の注意事項

17.5.1　端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0]ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.B0WI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

17.5.2　ポートグループ入力の使用手順

ポートグループ入力（ポート 1、2）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[7:0]ビットをすべて 0 にして、意図しないパルスを無視します。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0]ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスを無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[7:0]ビットを設定して、イベント信号を許可します。

17.5.3　ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORT1、2 信号の発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力する。
2. ELC_PORT1、2 信号の発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

17.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

17.6 製品ごとの周辺選択設定

本項では、PmnPFS レジスタでの端子機能選択設定について説明します。いくつかの端子名には、接尾語として _A、_B、_C、_D、_E、または_F が付加されています。これらの接尾語は、機能の割り当て時には無視できます。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることは禁止されます。PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

表 17.5 入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0]設定値	機能	端子								
		P000	P001	P002	P010	P011	P012	P013	P014	P015
00000b	（初期値）	Hi-Z								
00010b	GPT	—	—	—	—	—	—	GTIW_A	GTIV_A	GTIU_A
ASEL ビット		AN008	AN009	AN010	AN005/ VREFH0	AN006/ VREFL0	AN007	AN000/ CMPIN03	AN001/ CMPIN02	AN002/ CMPIN01
ISEL ビット		—	IRQ7_A	—	—	—	—	IRQ1_C	IRQ3_B	IRQ2_C
NCODR ビット		—	—	—	—	—	—	—	—	—
PCR ビット		✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓
32 ピン製品		—	—	—	✓	✓	✓	✓	✓	✓
24 ピン製品		—	—	—	✓	✓	—	✓	✓	✓

✓：利用可能
—：設定禁止

表 17.6 入出力端子機能のレジスタ設定 (PORT1)

PSEL[4:0]設定値	機能	端子									
		P100	P101	P102	P103	P104	P108	P109	P110	P111	P112
00000b	（初期値）	Hi-Z					SWDIO	Hi-Z			
00001b	AGT	AGTIO0_A	AGTEE0	AGTO0	—	—	AGTEE1_B	AGTOA1_B	AGTIO1_A	AGTOA0	AGTOB0
00010b	GPT	GTOVLO_B	GTOVUP_B	GTOWLO_B	GTOWUP_B	GTETRGB_B	GTETRGB_C	GTOWUP_A	GTOWLO_A	—	—
00011b	GPT	GTIOC1B_B	GTIOC1A_B	GTIOC2B_A	GTIOC2A_A	—	GTIOC3B_A	GTIOC2A_B	GTIOC2B_B	GTIOC1A_C	GTIOC1B_C
00100b	SCI	RXD0_A/ MISO0_A/ SCL0_A	TXD0_A/ MOSI0_A/ SDA0_A	SCK0_A	CTS0_RTS0_ A/SS0_A	RXD0_C/ MISO0_C/ SCL0_C	RXD1/ MISO1/SCL1	SCK1_E	CTS2_RTS2_ B/SS2_B	SCK2_B	—
00101b	SCI	SCK1_A	CTS1_RTS1_ A/SS1_A	TXD2_D/ MOSI2_D/ SDA2_D	RXD2_D/ MISO2_D/ SCL2_D	—	CTS9_RTS9_ B/SS9_B	TXD9_B/ MOSI9_B/ SDA9_B	RXD9_B/ MISO9_B/ SCL9_B	SCK9_B	SCK1_D
00110b	SPI	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	—	—	—	—	—
00111b	IIC	SCL0_D	SDA0_C	—	—	—	—	—	—	—	—
01000b	KINT	KRM00	KRM01	KRM02	KRM03	KRM04	—	—	—	—	—
01001b	CLKOUT/ ACMPHS	—	—	—	—	—	—	CLKOUT_B	VCOUT	—	—
01010b	CAC/ADC12	—	—	ADTRG0_A	—	—	—	—	—	—	—
11011b	GPT	—	—	—	GTCPPO3	—	GTCPPO2	—	—	—	—
ASEL ビット		AN022	AN021	AN020/ CMPREF0	AN019/ CMPIN1	—	—	—	—	—	—
ISEL ビット		IRQ0_C	IRQ2_A	IRQ1_A	IRQ4_B	IRQ1_B	IRQ6_C	—	IRQ3_A	IRQ4_A	—
NCODR ビット		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
32 ピン製品		✓	✓	✓	✓	—	✓	✓	✓	—	✓
24 ピン製品		✓	✓	✓	✓	—	✓	✓	✓	—	—

✓：利用可能
—：設定禁止

表 17.7　入出力端子機能のレジスタ設定 (PORT2)

PSEL[4:0]設定値	機能	端子 P200	P201	P206	P207	P208	P212	P213
00000b	(初期値)	Hi-Z						
00001b	AGT	—	—	—	—	AGTOB0_A	AGTEE1_A	—
00010b	GPT	—	—	GTIU_B	—	GTOUUP_B	GTOULO_A	GTOUUP_A
00011b	GPT	—	—	—	—	GTIOC0A_B	GTIOC0B_A	GTIOC0A_A
00100b	SCI	—	—	TXD0_C/ MOSI0_C/SDA0_C	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—
ISEL ビット		—	—	IRQ0_B	—	—	IRQ7_C	IRQ2_B
NCODR ビット		—	✓	✓	✓	✓	✓	✓
PCR ビット		—	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	✓	✓	✓
32 ピン製品		✓	✓	—	✓	✓	✓	✓
24 ピン製品		✓	✓	—	—	—	✓	✓

✓：利用可能
—：設定禁止

表 17.8　入出力端子機能のレジスタ設定 (PORT3)

PSEL[4:0]設定値	機能	端子 P300	P301	P302
00000b	(初期値)	SWCLK	Hi-Z	
00001b	AGT	—	AGTIO0_D	—
00010b	GPT	GTETRGA_C	GTETRGB_A	GTETRGA_D
00011b	GPT	GTIOC3A_A	—	—
00100b	SCI	—	RXD2_A/MISO2_A/SCL2_A	TXD2_A/MOSI2_A/SDA2_A
00101b	SCI	TXD1/MOSI1/SDA1	CTS9_RTS9_D/SS9_D	—
11011b	GPT	GTCPPO1	—	—
ASEL ビット		—	—	—
ISEL ビット		IRQ5_B	IRQ6_A	IRQ5_A
NCODR ビット		✓	✓	✓
PCR ビット		✓	✓	✓
48 ピン製品		✓	✓	✓
32 ピン製品		✓	—	—
24 ピン製品		✓	—	—

✓：利用可能
—：設定禁止

表 17.9　入出力端子機能のレジスタ設定 (PORT4) (1/2)

PSEL[4:0]設定値	機能	端子 P400	P401	P402	P403	P407	P408	P409
00000b	(初期値)	Hi-Z						
00001b	AGT	AGTIO1_C	—	—	—	AGTIO0_C	—	—
00010b	GPT	—	GTETRGA_B	—	—	GTOULO_B	GTIW_B	GTIV_B
00011b	GPT	GTIOC3A_B	GTIOC3B_B	GTADSM0	GTADSM1	GTIOC0B_B	—	—
00100b	SCI	SCK0_B	CTS0_RTS0_B/ SS0_B	—	—	CTS0_RTS0_D/ SS0_D	CTS1_RTS1_D/ SS1_D	—
00101b	SCI	SCK1_B	—	—	—	—	—	—
00111b	IIC	SCL0_A	SDA0_A	—	—	SDA0_B	SCL0_C	—
01010b	CAC/AD	CACREF_C	—	—	—	ADTRG0_B	—	—
11011b	GPT	—	—	—	—	GTCPPO0	—	—
ASEL ビット		—	—	—	—	CMPREF1	—	—
ISEL ビット		IRQ0_A	IRQ5_C	—	—	—	IRQ7_B	IRQ6_B
NCODR ビット		✓	✓	✓	✓	✓	✓	✓

表 17.9　入出力端子機能のレジスタ設定 (PORT4) (2/2)

PSEL[4:0]設定値	機能	端子						
		P400	P401	P402	P403	P407	P408	P409
PCR ビット		✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	✓	✓	✓
32 ピン製品		—	—	✓	✓	✓	—	—
24 ピン製品		—	—	—	—	✓	—	—

✓：利用可能
—：設定禁止

表 17.10　入出力端子機能のレジスタ設定 (PORT5)

PSEL[4:0]設定値	機能	端子
		P500
00000b	（初期値）	Hi-Z
00010b	GPT	GTETRGA_A
00011b	GPT	GTIOC2A_C
ASEL ビット		—
ISEL ビット		—
NCODR ビット		✓
PCR ビット		✓
48 ピン製品		✓
32 ピン製品		—
24 ピン製品		—

✓：利用可能
—：設定禁止

表 17.11　入出力端子機能のレジスタ設定 (PORT9)

PSEL[4:0]設定値	機能	端子		
		P913	P914	P915
00000b	（初期値）	Hi-Z		
00001b	AGT	AGTIO1_F	AGTOA1_A	—
00010b	GPT	GTOVLO_A	GTOVUP_A	—
00011b	GPT	GTIOC1B_A	GTIOC1A_A	—
NCODR ビット		✓	✓	✓
PCR ビット		✓	✓	✓
48 ピン製品		✓	✓	✓
32 ピン製品		✓	✓	—
24 ピン製品		—	—	—

✓：利用可能
—：設定禁止

18. キー割り込み機能 (KINT)

18.1 概要

キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。図 18.1 にブロック図を、表 18.1 に入出力端子を示します。

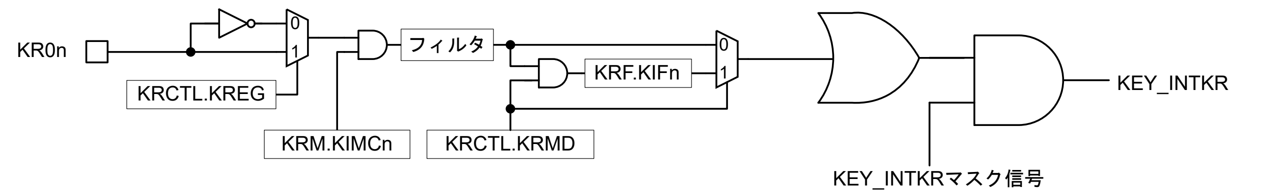


図 18.1　KINT のブロック図

すべてのキー割り込み信号は 1 つの OR ゲートに入力され、その OR ゲートの出力が KEY_INTKR マスク信号によってマスクされた信号がキー割り込み信号（KEY_INTKR 信号） になります。キー割り込みフラグ n (KRF.KIFn) を使用する (KRCTL.KRMD = 1) 場合、KEY_INTKR マスク信号は、KRF.KIFn フラグをクリアすることでアサートされる出力マスクとして使用されます。

表 18.1　KINT の入出力端子

端子名	入出力	機能
KR00～KR04	入力	キー割り込み入力端子

18.2 レジスタの説明

18.2.1 KRCTL : キーリターン制御レジスタ

Base address: KINT = 0x4008_0000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KRMD	—	—	—	—	—	—	KREG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	KREG	検出エッジ選択（KR00～KR04 端子） 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	KRMD	キー割り込みフラグ使用状態 (KRF.KIF0～KRF.KIF4) 0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ KRF.KIFn (n = 0～4) の状態を制御し、検出エッジを設定するためのレジスタです。

18.2.2　KRF : キーリターンフラグレジスタ

Base address: KINT = 0x4008_0000
Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	KIF4	KIF3	KIF2	KIF1	KIF0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	KIF0～KIF4	キー割り込みフラグ n 0: 割り込みの検出なし 1: 割り込みの検出あり	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

KRF レジスタは、キー割り込みフラグ (KIFn) を制御します。

KRCTL.KRMD = 0 の場合、KIFn フラグを 1 にすることは禁止です。KIFn フラグを 1 に設定しても、KIFn フラグの値は変化しません。

KIFn フラグをクリアする場合には、クリアするフラグが 1 であることを確認した後、クリアするフラグに 0、その他のフラグに 1 を同時に書いてください。

18.2.3　KRM : キーリターンモードレジスタ

Base address: KINT = 0x4008_0000
Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	KIMC4	KIMC3	KIMC2	KIMC1	KIMC0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	KIMC0～KIMC4	キー割り込みモード制御 n 0: キー割り込み信号を検出しない 1: キー割り込み信号を検出する	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

KRM レジスタは、キー割り込みモードを設定するレジスタです。

KR0n 端子へ入力中の信号が Low レベル（KRCTL.KREG = 0 の場合）または High レベル（KRCTL.KREG = 1 の場合）のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KINT は PmnPFS.PSEL[4:0] ビットで割り当てることができます。対応するキー割り込み入力端子をプルアップ機能に設定することで、内蔵プルアップ抵抗の適用も可能です。詳細は「17. I/O ポート」を参照してください。

18.3　動作説明

18.3.1　キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY_INTKR が発生します。有効エッジが入力されたチャネルを判別するには、KEY_INTKR 発生後にポートレジスタを読み出して、I/O ポートのレベルをチェックしてください。

KEY_INTKR 信号は、KR0n 端子の入力レベルに応じて変化します。

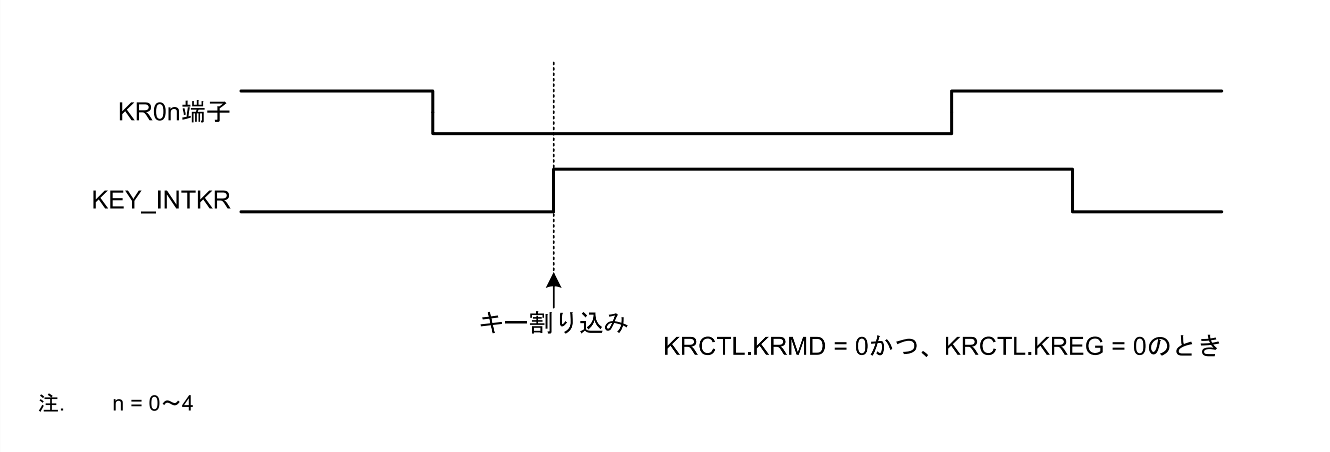


図 18.2　キー割り込みが 1 つのチャネルに入力された場合の KEY_INTKR 信号の動作

図 18.3 に有効エッジが複数の KR0n 端子に入力された場合の動作を示します。一方の端子に Low レベルが入力中であると、KEY_INTKR 信号がセットされます（KRCTL.KREG = 0 の場合）。そのため、この期間中に他の端子に立ち下がりエッジが入力されても、再度 KEY_INTKR は発生しません。図 18.3 の [1] を参照してください。

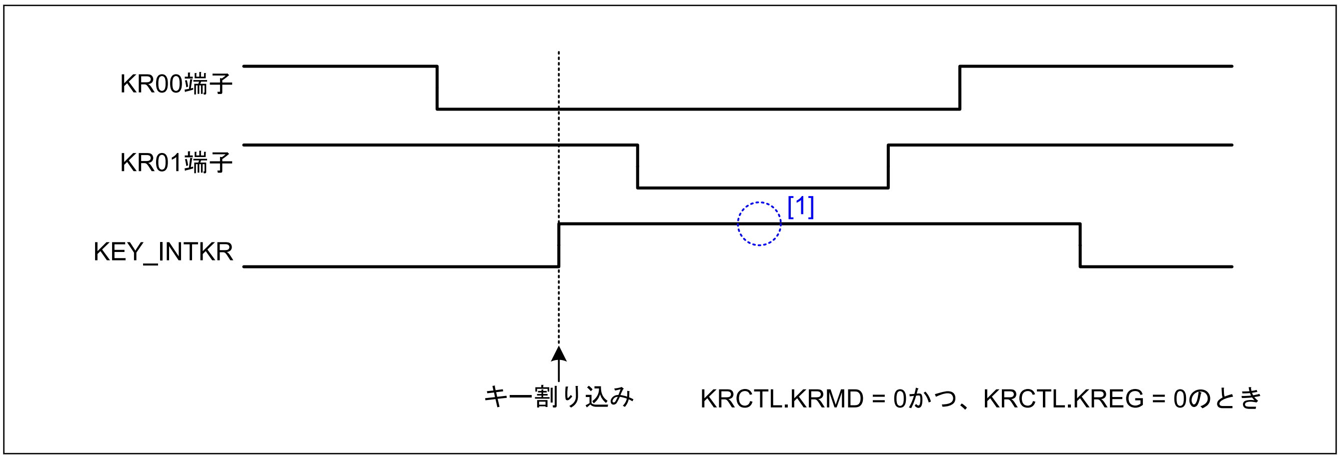


図 18.3　キー割り込みが複数のチャネルに入力された場合の KEY_INTKR 信号の動作

18.3.2　キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY_INTKR が発生します。有効エッジが入力されたチャネルを判別するには、KEY_INTKR の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRCTL.KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 18.4 に示すように、1 つのチャネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します（KRCTL.KREG = 0 の場合）。立ち上がりエッジが入力される前や後に KRF.KIFn フラグがクリアされても、それ以上割り込みは発生しません。

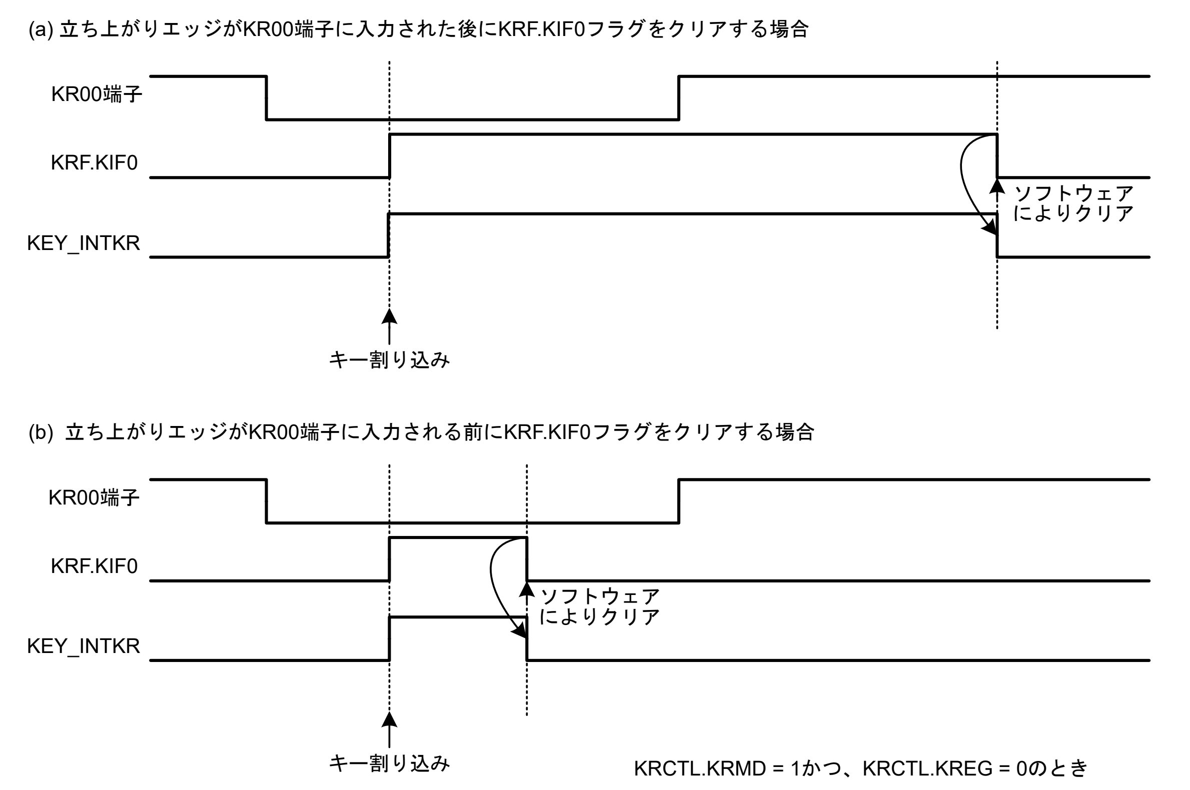


図 18.4　　キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

図 18.5 に有効エッジが複数の KR0n 端子に入力された場合の動作を示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR04 端子にも立ち下がりエッジが入力されます（KRCTL.KREG = 0 の場合）。KRF.KIF0 フラグがクリアされたとき、KRF.KIF1 フラグはセット状態になっています。KRF.KIF0 フラグがクリアされた後に、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図 18.5 の[1]を参照してください。

また、KR04 端子に立ち下がりエッジが入力された後に、KRF.KIF4 フラグがセットされます。図中の[2]で KRF.KIF1 フラグがクリアされます。KRF.KIF1 フラグがクリアされた後に、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図中の[3]を参照してください。したがって、複数チャネルに有効エッジが入力されたとき、各キー割り込みを発生させることが可能です。

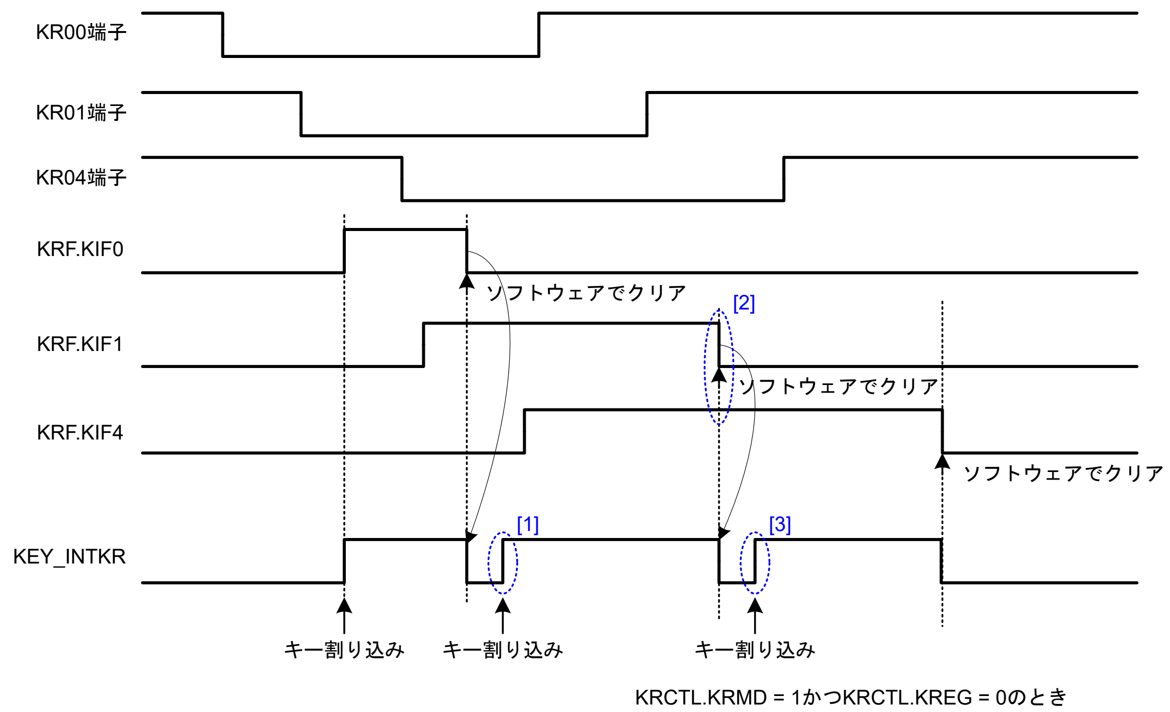


図 18.5　キー割り込みが複数入力された場合の KEY_INTKR 信号の動作

18.4　使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRCTL.KRMD ビットを 0 にしてください。
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRCTL.KRMD ビットを 1 にしてください。
- KINT が端子に割り当てられる場合、この端子入力はソフトウェアスタンバイモード時に常に許可されています。また、端子レベルが変化すると、対応する KRF.KIFn フラグがセットされる可能性があることがあります。そのため、ソフトウェアスタンバイモードの解除時に、KEY_INTKR が発生する場合があります。ソフトウェアスタンバイモード時の KR0n 端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM.KIMCn ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM.KIMCn ビットをセットする前に、KRF.KIFn フラグをクリアする必要があります。

19. GPT 用のポートアウトプットイネーブル (POEG)

19.1 概要

ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETRGn 端子 (n = A, B) の入力レベル検出
- GPT から出力停止検出
- コンパレータによる検出（エッジ検出かレベル検出）
- メインクロックの発振停止検出回路による発振停止検出
- レジスタ設定

GPT の外部トリガ入力端子への出力に GTETRGn ピンを使用できます。

表 19.1 に仕様を、図 19.1 にブロック図を、表 19.2 に入力端子を示します。

表 19.1　POEG の仕様

項目	説明
入力レベル検出に対する出力停止要求	● POEGGn.PIDF フラグが設定されている場合、対応する GTETRGn 端子 (n = A, B) で選択されたレベルの入力が検出されたことに対応して、出力を停止する要求が GPT に発行されます。 ● 出力停止要求は、対応する GTETRGn 端子で選択したレベルの入力が検出されるとただちに、GPT に対して発行されます。
GPT からの出力停止信号による出力停止要求	● 出力停止要求は、対応する POEGGn.IOCF フラグがセットされている状態で、GTIOCA 端子と GTIOCB 端子のアクティブレベル（High または Low）を同時に検出したときに、GPT に対して発行されます。 ● 出力停止要求は、対応する POEGGn.IOCF フラグがセットされている状態で、GPT がデッドタイムエラーを検出したときに、GPT に対して発行されます。
コンパレータによる検出に対する出力停止要求	● 出力停止要求は、コンパレータによるエッジ検出に対して POEGGn.IOCF フラグがセットされたときに、GPT に対して発行されます。 ● 出力停止要求は、コンパレータでレベルが検出されると、GPT に対して直接発行されます。
発振停止検出に対する出力停止要求	出力停止要求は、対応する POEGGn.OSTPF フラグがセットされている状態で、メインクロックの発振停止検出回路が発振停止を検出したときに、GPT に対して発行されます。
ソフトウェアによる出力停止要求	出力停止要求は、ソフトウェアが POEGGn.SSF フラグをセットしたときに、GPT に対して発行されます。
割り込み	● 割り込みは、POEGGn.PIDF フラグによる出力停止要求に対して発生します。 ● 割り込みは、POEGGn.IOCF フラグによる出力停止要求に対して発生します。
GPT に対する外部トリガ出力機能	GTETRGn 端子は、外部トリガとして出力に使用されます。
ノイズ除去	● 各 GTETRGn 端子はデジタルノイズフィルタ機能を持っています。 ● フィルタには 4 種類のサンプリングクロックが設定できます。

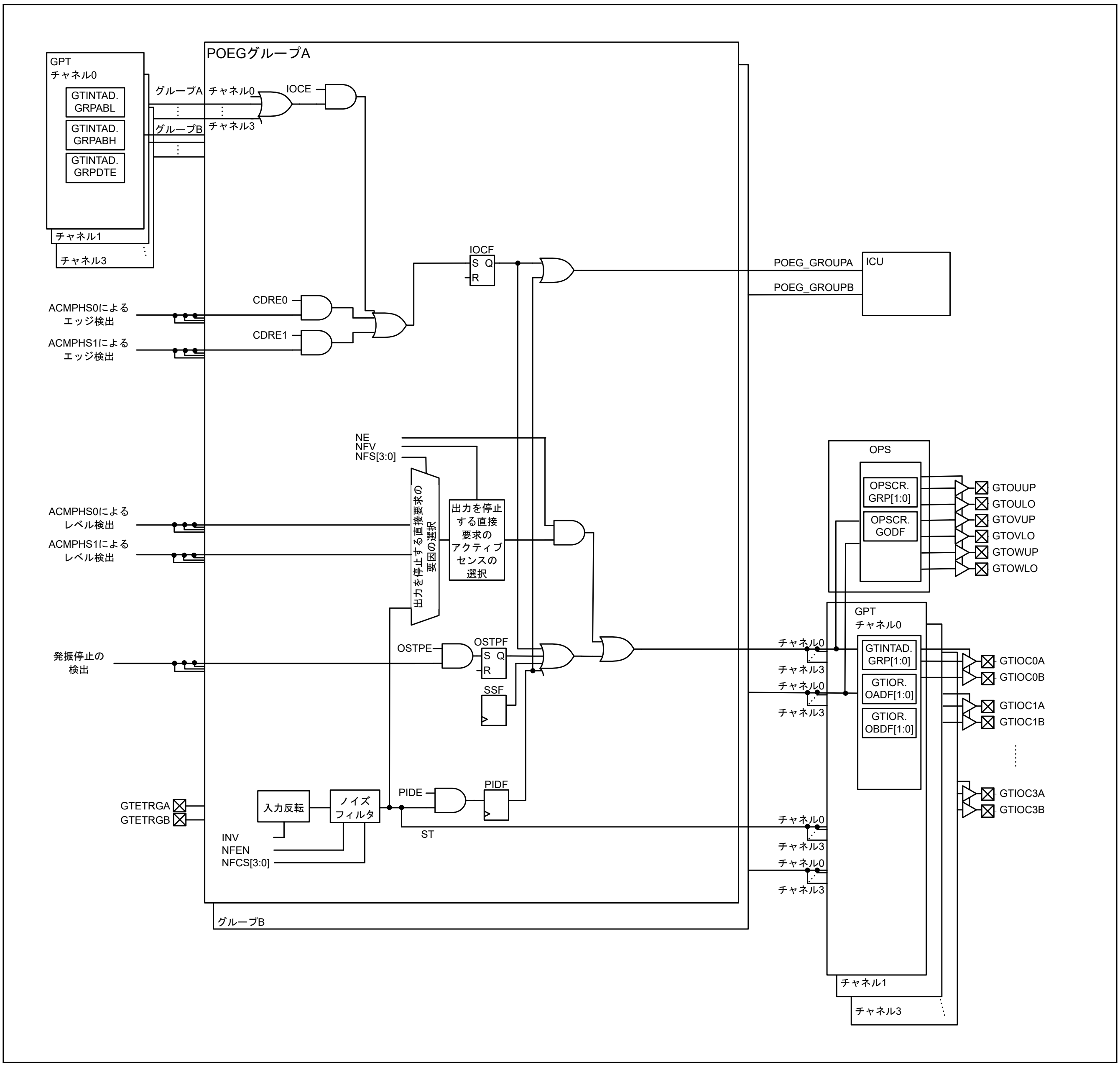


図 19.1　　POEG ブロック図

表 19.2　　POEG の入出力端子

端子名	入出力	機能
GTETRGA	入力	GPT 出力端子の出力停止検出信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力停止検出信号および GPT 外部トリガ入力端子 B

19.2 レジスタの説明

19.2.1 POEGGn : POEG グループ n 設定レジスタ (n = A, B)

Base address: POEG = 0x4004_2000

Offset address: 0x000 (POEGGA)
0x100 (POEGGB)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: 選択した入力レベルは GTETRGn 端子で未検出 1: 選択した入力レベルは GTETRGn 端子で検出	R/W(注1)
1	IOCF	GPT または ACMPHS 出力停止要求検出フラグ 0: GPT 出力の停止もコンパレータのエッジも未検出 1: GPT 出力の停止またはコンパレータのエッジを検出	R/W(注1)
2	OSTPF	発振停止検出フラグ 0: 発振停止を未検出 1: 発振停止を検出	R/W(注1)
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアが出力を停止していない 1: ソフトウェアが出力を停止した	R/W
4	PIDE	ポート入力検出許可 0: 対応する GTETRGn 端子における入力レベルの検出を禁止 1: 対応する GTETRGn 端子における入力レベルの検出を許可	R/W(注2)
5	IOCE	GPT 出力停止要求の許可 0: GPT からの出力停止検出を禁止 1: GPT からの出力停止検出を許可	R/W(注2)
6	OSTPE	発振停止時の出力停止の許可 0: 発振停止検出を禁止 1: 発振停止検出を許可	R/W(注2)
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CDRE0	ACMPHS0 有効 0: コンパレータのエッジ検出 0 が無効 1: コンパレータのエッジ検出 0 が有効	R/W(注2)
9	CDRE1	ACMPHS1 有効 0: コンパレータのエッジ検出 1 が無効 1: コンパレータのエッジ検出 1 が有効	R/W(注2)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ST	GTETRGn 入力ステータスフラグ 0: GPT への出力の対応する外部トリガが 0 1: GPT への出力の対応する外部トリガが 1	R
27:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	INV	GTETRGn 入力反転 0: GTETRGn 端子の入力を反転しない 1: GTETRGn 端子の入力を反転する	R/W

ビット	シンボル	機能	R/W
29	NFEN	ノイズフィルタ有効 0: GTETRGn 端子のデジタルノイズフィルタは無効 1: GTETRGn 端子のデジタルノイズフィルタは有効	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 0 0: GTETRGn 端子の入力レベルを PCLKB/1 クロックごとに 3 回サンプリング 0 1: GTETRGn 端子の入力レベルを PCLKB/8 クロックごとに 3 回サンプリング 1 0: GTETRGn 端子の入力レベルを PCLKB/32 クロックごとに 3 回サンプリング 1 1: GTETRGn 端子の入力レベルを PCLKB/128 クロックごとに 3 回サンプリング	R/W

注 1.　フラグをクリアするための 0 の書き込みのみ可能です。
注 2.　リセット後、1 回のみ書き込み可能です。

POEGGn レジスタ (n = A, B) は、さまざまな信号の検出に対応して、GPT に対する出力停止要求と外部トリガを制御します。

SSF フラグ（ソフトウェア停止フラグ）

SSF フラグに 1 を書くと、出力停止要求が GPT に対して発行され、0 を書くと GPT の出力停止要求が解除されます。また、ソフトウェアによって発行された出力停止要求は、本フラグを読み出すことでモニタできます。

19.2.2　GTONCWPn : GPT 出力停止制御グループ n 書き込み保護レジスタ (n = A, B)

Base address: POEG = 0x4004_2000

Offset address: 0x040 (GTONCWPA)
0x140 (GTONCWPB)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	—	—	—	—	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: GTONCCRn レジスタへの書き込みを許可 1: GTONCCRn レジスタへの書き込みを禁止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	キーコード これらのビットは、GTONCWPn レジスタに新しい値を書き込むことができるかどうかを制御します。GTONCWPn レジスタに書き込む場合、上位 8 ビットに 0xA5 を書き込み、同時に、16 ビット単位になるように下位 8 ビットに任意の値を書き込みます。読むと 0x00 が読めます。	R/W

GTONCWPn レジスタ (n = A, B) はレジスタへの不正書き込みを防止するために、GTONCCRn レジスタへの書き込みを許可します。

19.2.3　GTONCCRn : GPT 出力停止制御グループ n コントロールレジスタ (n = A, B)

Base address: POEG = 0x4004_2000

Offset address: 0x044 (GTONCCRA)
0x144 (GTONCCRB)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NFV	NFS[3:0]				—	—	—	NE
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NE	直接停止要求設定 0: 検出用の信号は直接停止要求信号として設定されていません。 1: 検出用の信号は直接停止要求信号として設定されています。	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	NFS[3:0]	直接停止要求選択 上記以外は設定しないでください。 0x0: コンパレータレベル検出 0 0x1: コンパレータレベル検出 1 0x7: GTETRGn 端子の入力レベル検出 (n = A, B) その他: 設定禁止	R/W
8	NFV	直接停止要求極性 0: 出力停止検出信号が 0 のとき、出力停止が要求されます。 1: 出力停止検出信号が 1 のとき、出力停止が要求されます。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTONCCRn レジスタ (n = A, B) は、検出された信号に対応して出力を停止するための要求を設定します。

NE ビット（直接停止要求設定）

NE ビットに 1 を書き込むと、NFS[3:0]ビットによって選択された検出用の信号に対応して停止要求信号の直接出力が発生します。

19.3 動作説明

19.3.1 対応する GTETRGn 端子 (n = A, B) での入力レベルの検出に対応して出力を停止する要求

出力停止要求は 2 種類あります。POEGGn.PIDF フラグ (n = A, B) の設定に対応して出力される要求と、検出された信号に直接対応する要求です。

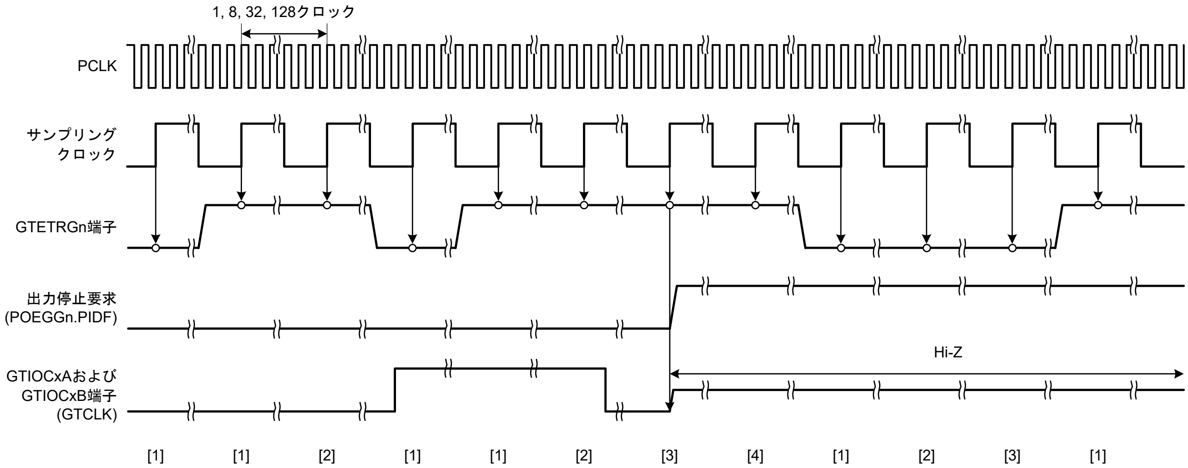
1. PIDF フラグの設定に対応して出力の停止を要求するため、POEGGn.PIDE ビットが 1 のときに、POEGGn レジスタで設定されている入力（INV ビットで設定される反転または非反転、NFEN ビットで有効または無効にされるフィルタ、NFCS[1:0]ビットで設定されるフィルタ用サンプリングクロック）が検出されます。これに対応して POEGGn.PIDF フラグが 1 になった後、GPT の各チャネルに対して、出力を禁止する要求がグループごとに発行されます。出力停止用の要求信号をデアサートするには、POEGGn.PIDF フラグをクリアします。出力を停止する要求のキャンセルについては、「19.3.6. 出力停止要求の解除」を参照してください。
2. 選択された信号の入力レベル検出に直接対応して出力の停止を要求するため、GTONCCRn.NE ビットが 1 のとき、GTONCCRn.NFS[3:0]ビットで選択される GTETRGn 端子に対して、POEGGn レジスタで設定されている入力（INV ビットで設定される反転または非反転、NFEN ビットで有効または無効にされるフィルタ、NFCS[1:0]ビットで設定されるフィルタ用サンプリングクロック）と、GTONCCRn レジスタで設定されている入力（NFV ビットで設定されるアクティブセンス）が検出されてから、出力を停止する要求が GPT のチャネルグループごとに直接発行されます。検出された入力レベルが、要求を発行するための条件に一致しない場合、出力停止を要求する信号がデアサートされます。詳細は「19.3.7. 検出信号に対応して出力を停止する要求と要求のキャンセル」を参照してください。

19.3.1.1 デジタルノイズフィルタ

GTETRGn 端子の入力にはそれぞれデジタルノイズフィルタがあります。図 19.2 に、フィルタを使用した High レベルの検出における動作例を示します。POEGGn.INV ビットの設定に従って非反転または反転のときに、デジタルノイズフィルタが有効（POEGGn.NFEN ビット = 1）で、POEGGn.NFCS[1:0]ビットによって選択されたサンプリングクロックサイクルで High レベルが 3 回連続で検出された場合、これは High レベルの検出と見なされて、出力を停止する要求が GPT に発行されます。

このとき、シーケンス内で 1 回でも Low レベルが検出された場合は、High レベルの検出とは見なされません。さらに、サンプリングクロックが出力されていないときの、端子 GTETRGA から端子 GTETRGB でのレベルの変化は無視されます。

POEGGn.PIDF フラグ (n = A, B) の設定に対応して出力を停止する要求、検出された信号に直接対応して出力を停止する要求、および GPT に対する外部トリガの出力により、デジタルノイズフィルタを利用できます。



注.　各チャネルの出力は、GPT16x で設定できます。
注.　POEGGn.INV ビットを 1 にすることで、極性を反転できます。
注.　PCLK = PCLKB

図 19.2　デジタルノイズフィルタの動作例

19.3.2　出力停止の検出に対応して GPT からの出力を停止する要求

GPT から、デッドタイムエラーまたは High レベルと Low レベルへの同時出力のいずれかが検出された場合、対応する POEGGn.IOCF フラグが 1 になり、GPT の各チャネルに対して、グループごとの出力停止要求が発行されます。POEGGn.IOCF フラグは、コンパレータによるエッジ検出と出力停止要求の両方を示すために使用されます。出力を停止する要求をキャンセルするには、特定の POEGGn.IOCF フラグをクリアします。詳細は「19.3.6. 出力停止要求の解除」を参照してください。

デッドタイムエラーまたは High レベルと Low レベルへの同時出力のいずれかを検出するには、特定の GPT16n.GTINTAD レジスタの GRPDTE ビット、GRPABH ビット、および GRPABL ビットで、出力停止の検出を許可する必要があります。停止を検出しようとしている GPT のグループは、GPT16n.GTINTAD.GRP[1:0]ビットで指定します。詳細は「20.2.15. GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ」を参照してください。

19.3.3　コンパレータ検出に対応した出力停止要求

コンパレータによる検出に対応して、出力を停止する要求を GPT に発行できます。出力を停止する要求は 2 種類あります。コンパレータによるエッジ検出によって POEGGn.IOCF フラグ (n = A, B) の設定に対応して出力される要求と、コンパレータによるレベル検出に対応して直接出力される要求です。

1. IOCF フラグの設定に応じた出力を停止するため、POEGGn.CDRE[1:0]ビットが 1 のとき、対応するエッジがコンパレータによって検出されます。POEGGn.IOCF フラグが次に 1 に設定されると、GPT のチャネルごとに、特定グループからの出力を停止する要求が生じることになります。POEGGn.IOCF フラグは、コンパレータのエッジ検出と出力を停止する要求の両方に使用されます。出力を停止する要求をキャンセルするには、POEGGn.IOCF フラグをクリアします。詳細は「19.3.6. 出力停止要求の解除」を参照してください。
2. 検出された信号を、出力を停止する直接の要求として利用しても出力を停止できます。GTONCCRn.NFS[3:0]ビットで選択されているコンパレータのレベル検出信号が、GTONCCRn.NFV ビットで設定されているレベルと一致すると、グループごとに出力を停止する要求が、GPT の各チャネルに発行されます。コンパレータのレベル検出が要求発行条件に一致しない場合は、出力を停止する要求が解除されます。詳細は「19.3.7. 検出信号に対応して出力を停止する要求と要求のキャンセル」を参照してください。

19.3.4　発振停止検出による出力停止要求

POEGGn.OSTPE ビットが 1 のときにメインクロック発振器の発振停止検出回路が発振停止を検出すると、POEGGn.OSTPF フラグが 1 になり、GPT の各チャネルにグループごとの出力停止要求が発行されます。出力停止要求を解除するには、POEGGn.OSTPF フラグをクリアします。詳細は、「19.3.6. 出力停止要求の解除」を参照してください。

19.3.5 レジスタによる出力停止要求

ソフトウェア停止フラグ (POEGGn.SSF) に 1 を書き込むと、グループごとに出力を停止する要求が GPT の各チャネルに発行されます。出力を禁止する要求を解除するには、POEGGn.SSF フラグをクリアします。詳細は「19.3.6. 出力停止要求の解除」を参照してください。

19.3.6 出力停止要求の解除

出力停止要求は、以下の 3 つの方法のいずれかによって解除できます。

1. リセットによる解除（初期状態への復帰）
2. POEGGn レジスタ内のすべてのフラグをクリアすることによる解除
3. 検出信号の直接入力への対応による解除

(1) リセットによる解除

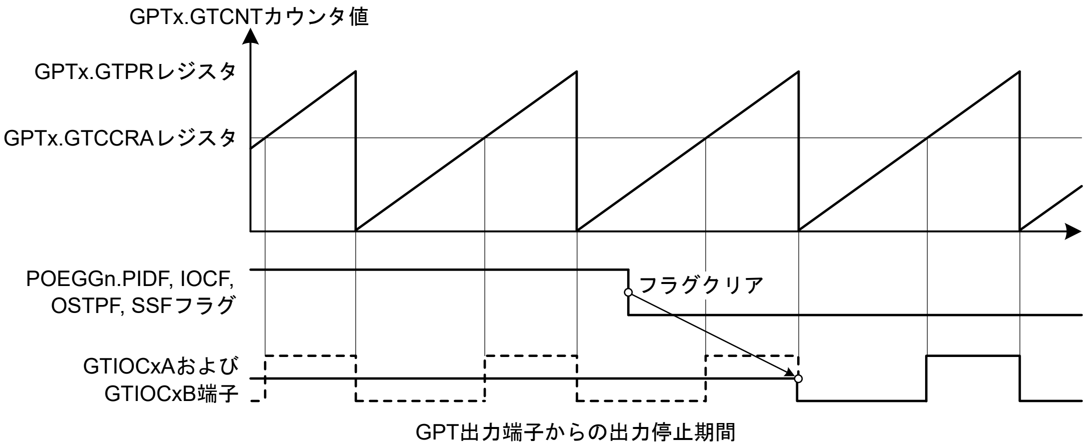
出力停止要求は、あらゆるタイプのリセットによって解除できます。詳細は、「5. リセット」を参照してください。

(2) POEGGn レジスタ内のすべてのフラグをクリアすることによる解除

- POEGGn.PIDF
- POEGGn.IOCF
- POEGGn.OSTPF
- POEGGn.SSF

要求の解除は GPT によるカウンティングのサイクル終了時に GPT に取り込まれ、その時点から 3 GTCLK サイクル以上経過した後に出力ピンが停止状態から解放されます。図 19.3 に、出力停止状態からの解放のタイミングを示します。それぞれのフラグをクリアするには、各ソースのステータスフラグを読み出してソース状態が検出されていないことを確認し、その後に 0 を書き込みます。検出状態でフラグがクリアされた場合でも、コンパレータによるエッジ検出以外のソースをクリアすることはできません。エッジ検出時にコンパレータがエッジを検出した後に、検出状態で 0 を書き込むとそのフラグがクリアされ、関連ソースが次のエッジを生成するまでフラグはセットされなくなります。それぞれのソースのステータスフラグを以下に示します。

入力レベルの検出	POEGGn.ST（GTETRGn 入力ステータスフラグ）
コンパレータのエッジ検出	ACMPHSn.CMPMON.CMPMON（コンパレータ出力モニタリングフラグ）
発振停止検出	OSTDSR.OSTDF（発振停止検出フラグ）
GPT からの停止検出	GPT16n.GTST.DTEF（デッドタイムエラーフラグ） GPT16n.GTST.OABLF（同時出力レベル Low フラグ） GPT16n.GTST.OABHF（同時出力レベル High フラグ）



注.　GPTx は GPT16x を示します。

図 19.3　出力停止要求の設定解除後に GPT 出力ピンからの出力を再度有効化するタイミング

(3)　検出信号の直接入力への対応による解除

詳細は、「19.3.7. 検出信号に対応して出力を停止する要求と要求のキャンセル」を参照してください。

19.3.7　検出信号に対応して出力を停止する要求と要求のキャンセル

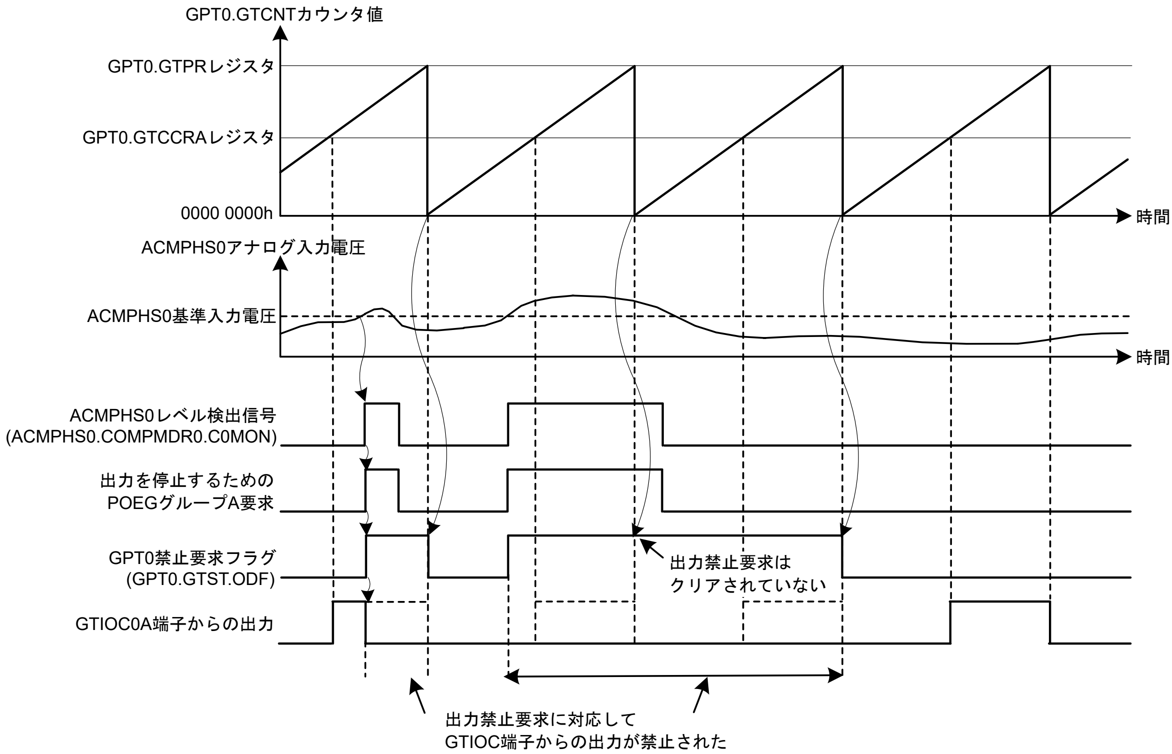
GTETRGn 端子 (n = A, B) での入力レベル検出信号と、ACMPHSm (m = 0, 1) でのコンパレータのレベル検出信号は、検出された信号に対応して出力を停止する直接要求として利用できます。検出用の信号の要因は GTONCCRn.NFS[3:0]ビットで選択し、検出用の信号のアクティブセンスは GTONCCRn.NFV ビットで設定します。出力を停止する直接要求を起動するために GTONCCRn.NE ビットを設定した場合、出力停止検出用に選択した要因の信号が生成されたときに、出力を停止する要求が GPT に発行されることになります。

出力を停止する要求は、GTETRGn 端子の入力レベル検出信号またはコンパレータレベル検出が、発行条件に一致しないときに解除されます。要求をキャンセルするには、POEGGn レジスタの PIDF フラグと IOCF フラグの値が 0 になっていることを確認します。

図 19.4 に、ACMPHS0 によるレベル検出に対応して発行される出力を停止する要求の動作を示します。この例では、ACMPHS0 のアナログ入力電圧が基準電圧より高くなったことをコンパレータが検出する一方、GPT はサイクルカウントベースで PWM 波形を GTIOC0A 端子に生成しており、コンパレータからのレベル検出信号は POEG に入力されている場合を示しています。POEG 出力は、上記のように検出に基づき出力を停止する要求を GPT に出力し、GPT はカウントサイクルの終了まで（出力を停止する要求がそれまでにキャンセルされた場合でも）停止したままになります。

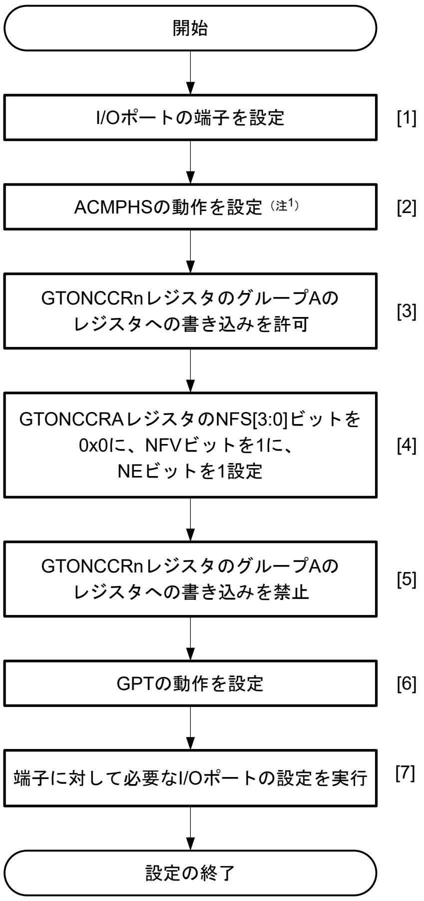
出力を停止する要求がカウントサイクルのサイクル終了時にキャンセルされていない場合、GPT からの出力は次のカウントサイクルの終了時まで停止し、その後も同様になります。

出力停止状態は、GPT の汎用 PWM タイマステータスレジスタ (GTST) の ODF フラグを読み出すことによってチェックできます。詳細は、「20.2.16. GTST : 汎用 PWM タイマステータスレジスタ」の ODF フラグの説明を参照してください。図 19.5 に、検出信号に対応して出力を停止する要求を設定するための手順を示します。



注.　GPT0 は GPT160 を示します。

図 19.4　コンパレータによるレベル検出に対応して GTIOC 端子からの出力を停止する動作の例



[1] I/Oポートの設定を行います。
ACMPHS0アナログ入力端子とGPT出力端子の機能を使用するため、I/Oポートの対応する端子を汎用入出力ポートの端子に設定します。

[2] アナログ入力電圧と基準入力電圧の比較に対応してレベル検出信号をPOEGに出力するため、ACMPHS0の動作を設定します。

[3] GTONCCRAレジスタへの書き込みを許可するため、0xA500をGTONCWPAレジスタに書き込みます。

[4] GTONCCRA.NFS[3:0]ビットを0x0に設定して、コンパレータのレベル検出を選択します。選択した要因が1を示したときに出力を停止する要求が送信されるように、GTONCCRA.NFVビットを1に設定します。出力を停止する要求の出力を許可するため、GTONCCRA.NEビットを1に設定します。

[5] GTONCCRAレジスタへの書き込みを禁止するため、0xA501をGTONCWPAレジスタに書き込みます。

[6] GTIOCn端子でPWM波形を出力するようGPTを設定します。

[7] ACMPHS0の必要なアナログ入力端子とGPTの出力端子を使用するため、I/Oポートを設定します。

上で説明した設定により、PWM波形がGPT端子から出力されている間の、アナログ入力電圧と基準入力電圧の比較に対応して、出力を停止する要求を出力し、GPT端子からの出力を停止することになります。

注 1.　この例では、コンパレータ出力は非反転です。

図 19.5　　コンパレータによるレベル検出に対応して GTIOC 端子の出力を停止する設定の例

19.4　　割り込み要因

POEG は、以下のいずれかが検出されると、割り込みコントローラに割り込みを発生させます。

- 入力レベルの検出。POEGGn.PIDF フラグで示されます
- GPT からの出力停止の検出。POEGGn.IOCF フラグで示されます
- コンパレータによるエッジの検出。POEGGn.IOCF フラグで示されます

表 19.3 に、割り込み要因と条件を示します。

表 19.3　　割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT からの出力停止検出
			コンパレータによるエッジ検出
		POEGGA.PIDF	GTETRGA 端子からの入力レベル検出
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT からの出力停止検出
			コンパレータによるエッジ検出
		POEGGB.PIDF	GTETRGB 端子からの入力レベル検出

19.5 GPT に対する外部トリガ出力

GTETRGn 端子 (n = A, B) からのレベル入力の検出は、アクティブセンスの選択とデジタルノイズフィルタを介して POEGGn.ST フラグで監視できます。GPT は、外部トリガ信号に対応して次のように機能できます。

- カウント開始
- カウント停止
- カウンタクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

上記機能の詳細については、「20. 汎用 PWM タイマ (GPT)」を参照してください。

19.6 使用上の注意事項

19.6.1 低消費電力モードへの遷移

POEG は、使用されているときにはソフトウェアスタンバイモードに遷移してはいけません。このモードでは、POEG が停止されてるため出力の停止を要求できません。

19.6.2 モジュールを停止するための機能の設定

モジュールストップコントロールレジスタによって、POEG の動作を許可または禁止できます。リセット後、POEG の動作はただちに停止します。モジュールストップ状態を解除することにより、POEG のレジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

19.6.3 出力停止要求の 2 重化

POEGGn レジスタの PIDF フラグまたは IOCF フラグが 1 の間は、GTONCCRn レジスタに設定された検出信号による停止要求の解除は機能しません。これは、このフラグの値のために引き続き停止要求が出力されるためです。つまり、対応フラグの検出に対する対応が出力停止に設定されている場合、出力停止要求は解除されません。フラグ設定に従って出力を停止するための要求信号は、出力を停止するための対応検出信号の論理 OR として得られます。

20. 汎用 PWM タイマ (GPT)

20.1 概要

汎用 PWM タイマ (GPT) は、GPT16×4 チャネルの 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

この GPT は、A/D 変換開始要求機能、チャネル 0～2 に対する非対称自動デッドタイム設定機能、チャネル 3 に対する対称自動デッドタイム設定機能、および拡張割り込み間引き機能を提供します。さらに、チャネル 3 に対する外部パルス幅測定機能、チャネル 0～2 に対する追加 PWM モード、拡張バッファ転送機能、GTCPPO 端子出力機能、およびチャネル間連携機能を提供します。

表 20.1 に GPT の仕様を、表 20.2 に GPT の機能一覧を示します。また、図 20.1 に GPT のブロック図を示します。

表 20.1 GPT の仕様

項目	内容
機能	● 16 ビット × 4 チャネル (GPT16n (n = 0～3)) ● 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波)、またはアップダウンカウント（三角波）を選択可能 ● チャネルごとに独立したクロックソースを選択可能 ● チャネルごとに 2 本の入出力端子 ● チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが 2 本 ● 各チャネル 2 本のアウトプットコンペア／インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 ● アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 ● チャネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） ● PWM 動作の際にデッドタイム生成が可能 ● デューティー 0%/100%の PWM 波形近傍の高精度デューティー生成 ● アウトプットコンペア動作では、コンペアレジスタの設定がただちにデッドタイム付き PWM 波形の生成に使用されます。 ● 任意チャネルのカウンタの同期スタート／ストップ／クリア可能 ● 最大 8 つの ELC イベントによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 ● 2 本の入力端子の状態を検出し、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 ● 最大 2 本の外部トリガによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 ● 出力端子間の短絡検出およびデッドタイムエラーによる出力端子無効機能 ● A/D 変換開始要求生成機能 ● ブラシレス DC モーター制御用の PWM 波形生成が可能 ● コンペアマッチ A～F イベント、オーバーフローイベント／アンダーフローイベントおよび入力 UVW エッジイベントを ELC に出力可能 ● インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効 ● 周期計数機能 ● 外部パルス幅測定機能 ● チャネル出力間の論理演算 ● 同期カウンタクリア／カウンタ設定／チャネル間インプットキャプチャ ● GTIOCnA/B 入出力端子の極性反転機能 ● バスクロック：PCLKB、コアクロック： GTCLK(注1) ● 周波数比：PCLKB:PCLKD = 1:N (N = 1/2/4/8/16/32/64)（同期クロック使用時）

注 1. GPT コアクロック (GTCLK) は PCLKD です。

表 20.2 GPT の機能一覧 (1/3)

項目	GPT0	GPT1	GPT2	GPT3
タイマカウンタ	16 ビット			

表 20.2　GPT の機能一覧 (2/3)

項目		GPT0	GPT1	GPT2	GPT3
カウントクロック		GTCLK GTCLK/2 GTCLK/4 GTCLK/8 GTCLK/16 GTCLK/32 GTCLK/64 GTCLK/256 GTCLK/1024 GTETRGA、GTETRGB			
アウトプットコンペア／インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB			
コンペア／バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF			
周期設定レジスタ		GTPR			
周期設定バッファレジスタ		GTPBR GTPDBR			
入出力端子		GTIOCnA GTIOCnB (n = 0～3)			
外部トリガ入力端子(注1)		GTETRGA GTETRGB			
カウンタクリア要因		GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 外部トリガ入力 GTCCR レジスタコンペアマッチ 他のチャネルのカウンタクリア要因			
周期計数機能		使用可能			
コンペアマッチ出力	Low 出力	✓			
	High 出力	✓			
	トグル出力	✓			
インプットキャプチャ機能		✓			
デッドタイム自動付加機能		✓			
PWM モード	のこぎり波 PWM モード 1	✓	✓	✓	✓
	のこぎり波 PWM モード 2	✓	✓	✓	—
	のこぎり波ワンショットパルスモード	✓	✓	✓	✓
	三角波 PWM モード 1/2/3	✓	✓	✓	✓
	相補 PWM モード 1/2/3/4	✓	✓	✓	—
位相計数機能		—	—	—	✓
外部パルス幅測定機能		—	—	—	✓

表 20.2　GPT の機能一覧 (3/3)

項目		GPT0	GPT1	GPT2	GPT3
バッファ動作	ダブルバッファ	✓			
	複数チャネルへの同時動作無効制御	✓			
	カウンタクリア／コンペアマッチによるバッファ転送	✓			
ワンショット動作		✓			
DTC の起動		すべての割り込み要因			
A/D 変換開始トリガ		GTADTRA レジスタまたは GTADTRB レジスタのコンペアマッチ			
ブラシレス DC モーター制御機能		✓			
割り込み要因		11 要因 ● GTCCRA コンペアマッチ／インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ／インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTADTRA コンペアマッチ (GPTn_ADTRGA) ● GTADTRB コンペアマッチ (GPTn_ADTRGB) ● GTCNT オーバーフロー（GTPR コンペアマッチ）(GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTn_PC)			
割り込み間引き機能		● GTCNT カウンタオーバーフロー（GTPR レジスタコンペアマッチ）(GTPn_OVF) および GTCNT カウンタアンダーフロー (GTPn_UDF) の割り込みスキップ（他の割り込みと A/D 変換開始要求のインターロック） ● GTADTRA レジスタ、GTADTRB レジスタのコンペアマッチのスキップ ● バッファ動作スキップ機能			
イベントリンク (ELC) 機能		✓(注2)			
ノイズフィルタ機能		✓			
同期カウンタクリア／カウンタ設定／インプットキャプチャ		✓			

注.　✓ : 可能
注 1.　GTETRGn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn (n = 13～14) ビットをクリアして POEG にクロックを供給する必要があります。
注 2.　「20.6. ELC によるリンク動作」を参照してください。

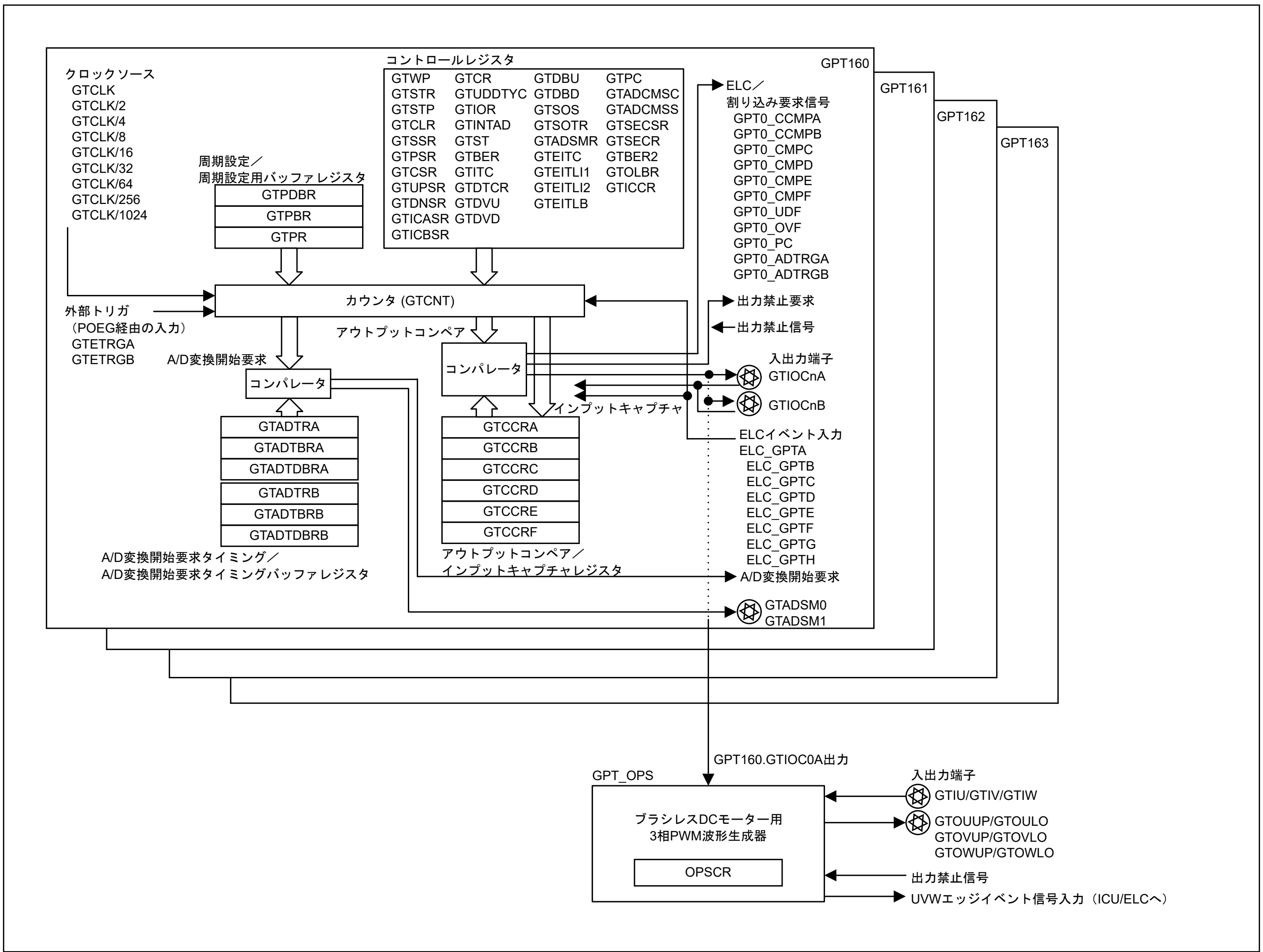


図 20.1　GPT のブロック図（のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3）

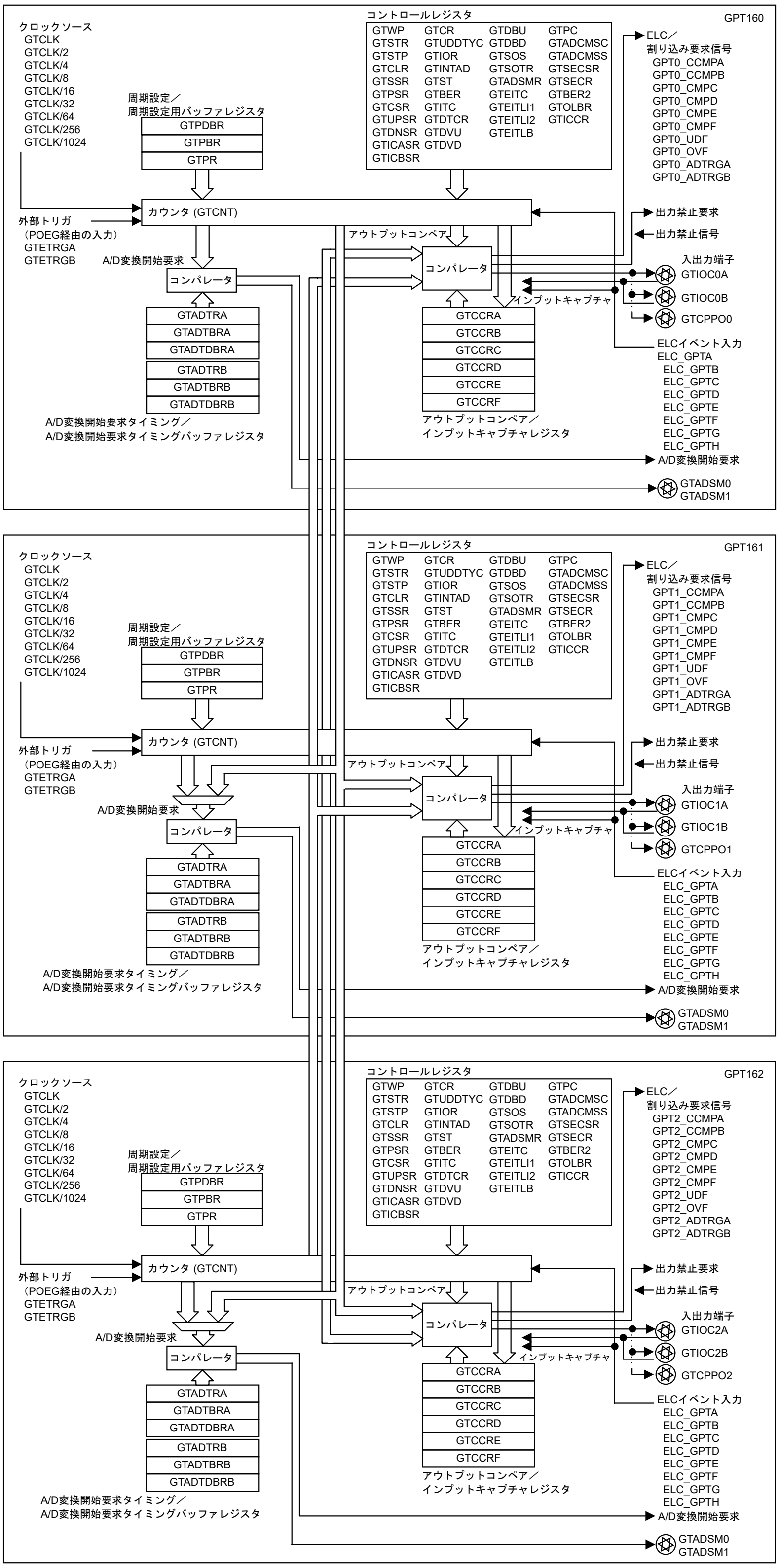


図 20.2　　GPT のブロック図（のこぎり波 PWM モード 1、2、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3、相補 PWM モード 1、2、3、4）

本仕様では、相補 PWM モードを構成する 3 つの連続したチャネルが相補 PWM モードチャネルグループとして定義されます。相補 PWM モードチャネルグループで最低位のチャネルは、マスタチャネルとして定義されます。

2 番目のチャネルはスレーブチャネル 1 として定義されます。最高位のチャネルはスレーブチャネル 2 として定義されます。

図 20.3 にチャネルとモジュール名の関係を示します。

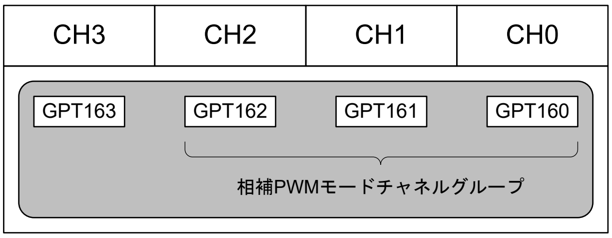


図 20.3　　GPT チャネルとモジュール名の関係

表 20.3 に入出力端子の一覧を示します。

表 20.3　　GPT の入出力端子

チャネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x（POEG 経由の入力）
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
GPT16n	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTCPPOk	出力	PWM 同期トグル出力
GPT_OPS	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）

注.　x: A, B
n: 0～3
k: 0～3

20.2　レジスタの説明

20.2.1　GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
1	STRWP	GTSTR.CSTRT ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
2	STPWP	GTSTP.CSTOP ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
3	CLRWP	GTCLR.CCLR ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
4	CMNWP	共通レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みが許可されます。読むと 0 が読めます。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止するレジスタです。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

WP ビット（レジスタ書き込み禁止）

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR、GTPSR、GTCSR、GTUPSR、GTDNSR、GTICASR、GTICBSR、GTCR、GTUDDTYC、GTIOR、GTINTAD、GTST、GTBER、GTITC、GTCNT、GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、GTCCRF、GTPR、GTPBR、GTPDBR、GTADTRA、GTADTBRA、GTADTDBRA、GTADTRB、GTADTBRB、GTADTDBRB、GTDTCR、GTDVU、GTDVD、GTDBU、GTDBD、GTSOS、GTSOTR、GTADSMR、GTEITC、GTEITLI1、GTEITLI2、GTEITLB、GTPC、GTADCMSC、GTADCMSS、GTBER2、GTOLBR、GTICCR

STRWP ビット（GTSTR.CSTRT ビット書き込み禁止）

STRWP ビットは、GTSTR レジスタのチャネル番号に対応する CSTRTn ビット (n = 0～3) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTR レジスタの各 CSTRTn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STRWP ビットは書き込みを制御するのではなく、すべてのチャネルに同時に書き込みを行う場合に、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

したがって、STRWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTRT ビットへの書き込みの場合、そのチャネルの CSTRT ビットは更新されませんが、STRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTRT ビットは更新されます。たとえば、GPT160.GTWP.STRWP ビットの設定が 0（書き込み許可）である場合、GPT161.GTSTR.CSTRT0 ビットに 1 を書き込むと（GPT161.GTSTR.CSTRT0 の現在の設定が 0 であるとき）、値が更新され、GPT160.GTCNT カウンタが動作を開始します。GPT160.GTWP.STRWP ビットが 1（書き込み禁止）である場合、GPT161.GTSTR.CSTRT0 ビットに 1 を書き込んでも（GPT161.GTSTR.CSTRT0 の現在の設定が 0 であるとき）、この値は 0 のままとなり、GPT160.GTCNT カウンタは動作しません。

GTSTR レジスタの全ビットの更新を保護したい場合は、全チャネルの STRWP ビットを 1 に設定してください。

STPWP ビット（GTSTP.CSTOP ビット書き込み禁止）

STPWP ビットは、GTSTP レジスタのチャネル番号に対応する CSTOPn ビット (n = 0～3) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTP レジスタの各 CSTOPn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTP レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STPWP ビットは書き込みを制御するのではなく、すべてのチャネルに同時に書き込みを行う場合に、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

したがって、STPWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTOP ビットへの書き込みの場合、そのチャネルの CSTOP ビットは更新されませんが、STPWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTOP ビットは更新されます。たとえば、GPT160.GTWP.STPWP ビットの設定が 0（書き込み許可）である場合、GPT161.GTSTP.CSTOP0 ビットに 1 を書き込むと（GPT161.GTSTP.CSTOP0 の現在の設定が 0 であるとき）、値が更新され、GPT160.GTCNT カウンタが停止します。GPT160.GTWP.STPWP ビットが 1（書き込み禁止）である場合、GPT161.GTSTP.CSTOP0 ビットに 1 を書き込んでも（GPT161.GTSTP.CSTOP0 の現在の設定が 0 であるとき）、この値は 0 のままとなり、GPT160.GTCNT カウンタは停止しません。

GTSTP レジスタの全ビットの更新を保護したい場合は、全チャネルの STPWP ビットを 1 に設定してください。

CLRWP ビット（GTCLR.CCLR ビット書き込み禁止）

CLRWP ビットは、GTCLR レジスタのチャネル番号に対応する CCLRn ビット (n = 0～3) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTCLR レジスタの各 CCLRn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTCLR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CLRWP ビットは書き込みを制御するのではなく、すべてのチャネルに同時に書き込みを行う場合に、そのチャネルに対応する CCLR ビットの更新のみを制御します。

したがって、CLRWP ビットが 1（書き込み禁止）に設定されたチャネルの CCLR ビットへの書き込みの場合、そのチャネルの CCLR ビットは更新されませんが、CLRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CCLR ビットは更新されます。たとえば、GPT160.GTWP.CLRWP ビットの設定が 0（書き込み許可）である場合、GPT161.GTCLR.CCLR0 ビットに 1 を書き込むと（GPT161.GTCLR.CCLR0 の現在の設定が 0 であるとき）、値が更新され、GPT160.GTCNT カウンタをクリアします。GPT160.GTWP.CLRWP ビットが 1（書き込み禁止）である場合、GPT161.GTCLR.CCLR0 ビットに 1 を書き込んでも（GPT161.GTCLR.CCLR0 の現在の設定が 0 であるとき）、この値は 0 のままとなり、GPT160.GTCNT カウンタはクリアしません。

GTCLR レジスタの全ビットの更新を保護したい場合は、全チャネルの CLRWP ビットを 1 に設定してください。

CMNWP ビット（共通レジスタ書き込み禁止）

CMNWP ビットは、GTSECSR レジスタまたは GTSECR レジスタのチャネル番号に対応する SECSELn ビット (n = 0～3) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSECSR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。いずれかのチャネルの GTSECR レジスタに書き込むと、すべてのチャネルのレジスタに書き込まれます。各チャネルの CMNWP ビットは書き込みを制御するのではなく、すべてのチャネルに同時に書き込みを行う場合に、そのチャネルに対応する SECSEL ビットと GTSECR レジスタ値の更新のみを制御します。

したがって、CMNWP ビットが 1（書き込み禁止）に設定されたチャネルの SECSEL ビットと GTSECR レジスタ値を書き込む場合、そのチャネルの SECSEL ビットと GTSECR レジスタ値は更新されませんが、CMNWP ビットが 0（書き込み許可）に設定されているチャネルに対応する SECSEL ビットと GTSECR レジスタ値は更新されます。

たとえば、GPT160.GTWP.CMNWP ビットが 0（書き込み許可）である場合、GPT161.GTSECSR.SECSEL0 ビットに値を書き込むと、GPT160.GTSECSR.SECSEL0 ビットの値が更新されます。同様に、GPT161.GTSECR レジスタに書き込むと、GPT160.GTSECR レジスタの値が更新されます。GPT160.GTWP.CMNWP ビットが 1（書き込み禁止）である場合、GPT161.GTSECSR.SECSEL0 ビットに値を書き込んでも、GPT160.GTSECSR.SECSEL0 ビットの値は更新されません。同様に、GPT161.GTSECR レジスタに書き込んでも、GPT160.GTSECR レジスタの値は更新されません。

GTSECSR レジスタと GTSECR レジスタの全ビットの更新を保護したい場合は、全チャネルの CMNWP ビットを 1 に設定してください。

PRKEY[7:0]ビット（GTWP キーコード）

PRKEY[7:0]ビットは WP、STRWP、STPWP、CLRWP、および CMNWP ビットの上書きを制御します。

20.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x04

Bit position:	31 … 0
Bit field:	CSTRT31〜CSTRT0
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	CSTRT0〜CSTRT31(注1)	チャネル n GTCNT カウントスタート（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W

注 1.　使用可能なビットは製品により変わります。CSTRTn の n は GPT のチャネル番号と同一です。本製品では、n は 0〜3 です。

GTSTR レジスタは、各チャネル n (n = 0〜3) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。 0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

相補 PWM モードでは、マスタチャネルの CSTRTn ビットへの書き込みのみ有効です。スレーブチャネルのビットはマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 20.3 を参照してください。

CSTRTn ビット（チャネル n GTCNT カウントスタート (n = 0〜3)）

CSTRTn ビットはチャネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRTn ビット (n = 0〜3) への書き込みは無効です。

リードデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

20.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x08

Bit position:	31 … 0
Bit field:	CSTOP31〜CSTOP0
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	CSTOP0〜CSTOP31(注1)	チャネル n GTCNT カウントストップ（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W

注 1.　使用可能なビットは製品により変わります。CSTOPn の n は GPT のチャネル番号と同一です。本製品では、n は 0〜3 です。

GTSTP レジスタは、各チャネル n (n = 0〜3) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。 1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

相補 PWM モードでは、マスタチャネルの CSTOPn ビットへの書き込みのみ有効です。スレーブチャネルのビットはマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 20.3 を参照してください。

CSTOPn ビット（チャネル n GTCNT カウントストップ (n = 0〜3)）

CSTOPn ビットはチャネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビット (n = 0〜3) への書き込みは無効です。リードデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

20.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x0C

Bit position:	31 … 0
Bit field:	CCLR31〜CCLR0
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	CCLR0〜CCLR31(注1)	チャネル n GTCNT カウントクリア（n：ビット値と同一） 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W

注 1.　使用可能なビットは製品により変わります。CCLRn の n は GPT のチャネル番号と同一です。本製品では、n は 0〜3 です。

GTCLR レジスタは書き込み専用レジスタで、各チャネル n (n = 0〜3) の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。 0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

相補 PWM モードでは、マスタチャネルの CCLRn ビットへの書き込みのみ有効です。スレーブチャネルのビットはマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 20.3 を参照してください。

CCLRn ビット（チャネル n GTCNT カウントクリア (n = 0～3)）

GTCR.MD[3:0]ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント（GTST.TUCF フラグ = 0）に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x0000 0000 になります。読むと 0 が読めます。

20.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	—	—	—	—	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可 0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可 0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
2	SSGTRGBR	GTETRGB 立ち上がり要因カウントスタート許可 0: GTETRGB 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
3	SSGTRGBF	GTETRGB 立ち下がり要因カウントスタート許可 0: GTETRGB 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W

ビット	シンボル	機能	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W(注1)
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W(注1)
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W(注1)
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W(注1)
20	SSELCE	ELC_GPTE イベント要因カウントスタート許可 0: ELC_GPTE イベント入力によるカウントスタートを禁止 1: ELC_GPTE イベント入力によるカウントスタートを許可	R/W(注1)
21	SSELCF	ELC_GPTF イベント要因カウントスタート許可 0: ELC_GPTF イベント入力によるカウントスタートを禁止 1: ELC_GPTF イベント入力によるカウントスタートを許可	R/W(注1)
22	SSELCG	ELC_GPTG イベント要因カウントスタート許可 0: ELC_GPTG イベント入力によるカウントスタートを禁止 1: ELC_GPTG イベント入力によるカウントスタートを許可	R/W(注1)
23	SSELCH	ELC_GPTH イベント要因カウントスタート許可 0: ELC_GPTH イベント入力によるカウントスタートを禁止 1: ELC_GPTH イベント入力によるカウントスタートを許可	R/W(注1)
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W(注1)

注 1.　相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

SSGTRGAR ビット（GTETRGA 立ち上がり要因カウントスタート許可）

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 立ち下がり要因カウントスタート許可）

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 立ち上がり要因カウントスタート許可）

SSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 立ち下がり要因カウントスタート許可）

SSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSELCm ビット（ELC_GPTm イベント要因カウントスタート許可） (m = A～H)

SSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウントスタート許可）

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

20.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	—	—	—	—	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可 0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W(注1)
1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可 0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W(注1)
2	PSGTRGBR	GTETRGB 立ち上がり要因カウントストップ許可 0: GTETRGB 入力の立ち上がりによるカウントストップを禁止 1: GTETRGB 入力の立ち上がりによるカウントストップを許可	R/W(注1)
3	PSGTRGBF	GTETRGB 立ち下がり要因カウントストップ許可 0: GTETRGB 入力の立ち下がりによるカウントストップを禁止 1: GTETRGB 入力の立ち下がりによるカウントストップを許可	R/W(注1)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
16	PSELCA	ELC_GPTA イベント要因カウントストップ許可 0: ELC_GPTA イベント入力によるカウントストップを禁止 1: ELC_GPTA イベント入力によるカウントストップを許可	R/W(注1)
17	PSELCB	ELC_GPTB イベント要因カウントストップ許可 0: ELC_GPTB イベント入力によるカウントストップを禁止 1: ELC_GPTB イベント入力によるカウントストップを許可	R/W(注1)
18	PSELCC	ELC_GPTC イベント要因カウントストップ許可 0: ELC_GPTC イベント入力によるカウントストップを禁止 1: ELC_GPTC イベント入力によるカウントストップを許可	R/W(注1)
19	PSELCD	ELC_GPTD イベント要因カウントストップ許可 0: ELC_GPTD イベント入力によるカウントストップを禁止 1: ELC_GPTD イベント入力によるカウントストップを許可	R/W(注1)
20	PSELCE	ELC_GPTE イベント要因カウントストップ許可 0: ELC_GPTE イベント入力によるカウントストップを禁止 1: ELC_GPTE イベント入力によるカウントストップを許可	R/W(注1)
21	PSELCF	ELC_GPTF イベント要因カウントストップ許可 0: ELC_GPTF イベント入力によるカウントストップを禁止 1: ELC_GPTF イベント入力によるカウントストップを許可	R/W(注1)
22	PSELCG	ELC_GPTG イベント要因カウントストップ許可 0: ELC_GPTG イベント入力によるカウントストップを禁止 1: ELC_GPTG イベント入力によるカウントストップを許可	R/W(注1)
23	PSELCH	ELC_GPTH イベント要因カウントストップ許可 0: ELC_GPTH イベント入力によるカウントストップを禁止 1: ELC_GPTH イベント入力によるカウントストップを許可	R/W(注1)
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウントストップ許可 0: GTSTP レジスタによるカウントストップを禁止 1: GTSTP レジスタによるカウントストップを許可	R/W(注1)

注 1.　相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

PSGTRGAR ビット（GTETRGA 立ち上がり要因カウントストップ許可）

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGAF ビット（GTETRGA 立ち下がり要因カウントストップ許可）

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBR ビット（GTETRGB 立ち上がり要因カウントストップ許可）

PSGTRGBR ビットは GTETRGB 入力の立ち上がりエッジでの GTCNT のカウントストップを許可または禁止します。

PSGTRGBF ビット（GTETRGB 立ち下がり要因カウントストップ許可）

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSELCm ビット（ELCm イベント要因カウントストップ許可）(m = A～H)

PSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウントストップ許可）

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

20.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	CP1CCE	CSCMSC[2:0]			CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	—	—	—	—	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可 0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可 0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W(注1)
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W(注1)
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W(注1)
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W(注1)
20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可 0: ELC_GPTE イベント入力によるカウンタクリアを禁止 1: ELC_GPTE イベント入力によるカウンタクリアを許可	R/W(注1)
21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可 0: ELC_GPTF イベント入力によるカウンタクリアを禁止 1: ELC_GPTF イベント入力によるカウンタクリアを許可	R/W(注1)
22	CSELCG	ELC_GPTG イベント要因カウンタクリア許可 0: ELC_GPTG イベント入力によるカウンタクリアを禁止 1: ELC_GPTG イベント入力によるカウンタクリアを許可	R/W(注1)
23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可 0: ELC_GPTH イベント入力によるカウンタクリアを禁止 1: ELC_GPTH イベント入力によるカウンタクリアを許可	R/W(注1)
26:24	CSCMSC[2:0]	コンペアマッチ／インプットキャプチャ／同期カウンタクリア要因カウンタクリア許可 0 0 0: コンペアマッチ／インプットキャプチャ／同期カウンタクリアグループによるカウンタクリア禁止 0 0 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャによるカウンタクリア許可 0 1 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャによるカウンタクリア許可 0 1 1: GTCCRC レジスタコンペアマッチによるカウンタクリア許可 1 0 0: GTCCRD レジスタコンペアマッチによるカウンタクリア許可 1 0 1: GTCCRE レジスタコンペアマッチによるカウンタクリア許可 1 1 0: GTCCRF レジスタコンペアマッチによるカウンタクリア許可 1 1 1: 同期カウンタクリアグループによるカウンタクリア許可	R/W
27	CP1CCE	相補 PWM モード 1 山要因カウンタクリア許可(注2) 0: 相補 PWM モード 1 の山でのカウンタクリアを禁止 1: 相補 PWM モード 1 の山でのカウンタクリアを許可	R/W(注1)

ビット	シンボル	機能	R/W
30:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W(注1)

注 1. 相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

注 2. このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合または、停止 (GTCR.CST = 0) の場合に実行することが可能です。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

CSGTRGAR ビット（GTETRGA 立ち上がり要因カウンタクリア許可）

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 立ち下がり要因カウンタクリア許可）

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 立ち上がり要因カウンタクリア許可）

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 立ち下がり要因カウンタクリア許可）

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSELCm ビット（ELCm イベント要因カウンタクリア許可） (m = A～H)

CSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCMSC[2:0]ビット（コンペアマッチ／インプットキャプチャ／同期カウンタクリア要因カウンタクリア許可）

CSCMSC[2:0]ビットは、コンペアマッチ／インプットキャプチャ／同期カウンタクリアグループによる GTCNT カウンタのカウンタクリアを許可または禁止します。

コンペアマッチ／インプットキャプチャによるカウンタクリアが許可される場合、「20.3.8.3. チャネル間連携による同期クリア動作」に記載されているチャネル間連携による同期クリアとして扱われます。

このビットが 001b または 010b に設定され、インプットキャプチャ（コンペアマッチを除く）によるカウンタクリアが許可されている場合、GTICmSR (m = A, B) レジスタで選択されたインプットキャプチャ要因と同じ要因が、GTCSR レジスタのカウンタクリア要因に設定されます。

また、タイマプリスケーラが使用されない場合（GTCR.TPCS[3:0] = 0000b の場合）、他のチャネル要因によるインプットキャプチャ（GTICASR.ASOC または GTICBSR.BSOC を 1 に設定）をカウンタクリア要因として使用できます。他のチャネル要因によるインプットキャプチャは、他チャネルの同期クリア要因として使用することはできませんが、そのチャネル自身のカウンタクリア要因としては使用できます。この場合、GTCSR 設定は必要ありません。

バッファ動作（波形モード固有の場合を含む）を実行しているレジスタによるコンペアマッチは発生しないので、バッファ動作の対象レジスタをコンペアマッチ要因とするカウンタクリア許可設定は無効です。

相補 PWM モードでは、GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタのコンペアマッチに対するカウンタクリア許可設定は、バッファ動作が実行されていない場合でも無効です。

CP1CCE ビット（相補 PWM モード 1 山要因カウンタクリア許可）

CP1CCE ビットは、相補 PWM モード 1 の山でのカウンタクリアを許可または禁止します。

本ビットを許可するために、GTIOR レジスタの PSYE ビットを 1 に設定しないでください。

相補 PWM モードでは、マスタチャネルに対してのみ有効です。相補 PWM モードでは、マスタチャネルの設定もスレーブチャネルの GTCNT カウンタをクリアします。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

20.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ

Base address: GPT163 = 0x4008_9300

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	USILVL[3:0]				USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	—	—	—	—	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRGA 立ち上がり要因アップカウント許可 0: GTETRGA 入力の立ち上がりによるアップカウントを禁止 1: GTETRGA 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRGA 立ち下がり要因アップカウント許可 0: GTETRGA 入力の立ち下がりによるアップカウントを禁止 1: GTETRGA 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRGB 立ち上がり要因アップカウント許可 0: GTETRGB 入力の立ち上がりによるアップカウントを禁止 1: GTETRGB 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRGB 立ち下がり要因アップカウント許可 0: GTETRGB 入力の立ち下がりによるアップカウントを禁止 1: GTETRGB 入力の立ち下がりによるアップカウントを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
11	USCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
20	USELCE	ELC_GPTE イベント要因アップカウント許可 0: ELC_GPTE イベント入力によるアップカウントを禁止 1: ELC_GPTE イベント入力によるアップカウントを許可	R/W
21	USELCF	ELC_GPTF イベント要因アップカウント許可 0: ELC_GPTF イベント入力によるアップカウントを禁止 1: ELC_GPTF イベント入力によるアップカウントを許可	R/W
22	USELCG	ELC_GPTG イベント要因アップカウント許可 0: ELC_GPTG イベント入力によるアップカウントを禁止 1: ELC_GPTG イベント入力によるアップカウントを許可	R/W
23	USELCH	ELC_GPTH イベント要因アップカウント許可 0: ELC_GPTH イベント入力によるアップカウントを禁止 1: ELC_GPTH イベント入力によるアップカウントを許可	R/W
27:24	USILVL[3:0]	外部入力レベル要因アップカウント許可 0 0 0 0: 外部入力レベルによるアップカウントを禁止 0 0 1 0: GTIOCnA 端子入力レベル 0 によるアップカウントを許可 0 0 1 1: GTIOCnA 端子入力レベル 1 によるアップカウントを許可 0 1 0 0: GTIOCnB 端子入力レベル 0 によるアップカウントを許可 0 1 0 1: GTIOCnB 端子入力レベル 1 によるアップカウントを許可 1 0 0 0: GTETRGA 端子入力レベル 0 によるアップカウントを許可 1 0 0 1: GTETRGA 端子入力レベル 1 によるアップカウントを許可 1 0 1 0: GTETRGB 端子入力レベル 0 によるアップカウントを許可 1 0 1 1: GTETRGB 端子入力レベル 1 によるアップカウントを許可 その他: 設定禁止	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

USGTRGAR ビット（GTETRGA 立ち上がり要因アップカウント許可）

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 立ち下がり要因アップカウント許可）

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 立ち上がり要因アップカウント許可）

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 立ち下がり要因アップカウント許可）

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USELCm ビット（ELC_GPTm イベント要因アップカウント許可） (m = A～H)

USELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可／禁止を選択します。

USILVL[3:0]ビット（外部入力レベル要因アップカウント許可）

USILVL[3:0]ビットは、GTIOCnA 端子入力レベル、GTIOCnB 端子入力レベル、および GTETRGA/GTETRGB 入力レベルによる GTCNT カウンタのアップカウントを許可または禁止します。

20.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT163 = 0x4008_9300

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	DSILVL[3:0]				DSEL CH	DSEL CG	DSEL CF	DSEL CE	DSEL CD	DSEL CC	DSEL CB	DSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCB FAH	DSCB FAL	DSCB RAH	DSCB RAL	DSCA FBH	DSCA FBL	DSCA RBH	DSCA RBL	—	—	—	—	DSGT RGBF	DSGT RGBR	DSGT RGAF	DSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
2	DSGTRGBR	GTETRGB 立ち上がり要因ダウンカウント許可 0: GTETRGB 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGB 立ち下がり要因ダウンカウント許可 0: GTETRGB 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち下がりによるダウンカウントを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W
20	DSELCE	ELC_GPTE イベント要因ダウンカウント許可 0: ELC_GPTE イベント入力によるダウンカウントを禁止 1: ELC_GPTE イベント入力によるダウンカウントを許可	R/W
21	DSELCF	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
22	DSELCG	ELC_GPTG イベント要因ダウンカウント許可 0: ELC_GPTG イベント入力によるダウンカウントを禁止 1: ELC_GPTG イベント入力によるダウンカウントを許可	R/W
23	DSELCH	ELC_GPTH イベント要因ダウンカウント許可 0: ELC_GPTH イベント入力によるダウンカウントを禁止 1: ELC_GPTH イベント入力によるダウンカウントを許可	R/W
27:24	DSILVL[3:0]	外部入力レベル要因ダウンカウント許可 0 0 0 0: 外部入力レベルによるダウンカウントを禁止 0 0 1 0: GTIOCnA 端子入力レベル 0 によるダウンカウントを許可 0 0 1 1: GTIOCnA 端子入力レベル 1 によるダウンカウントを許可 0 1 0 0: GTIOCnB 端子入力レベル 0 によるダウンカウントを許可 0 1 0 1: GTIOCnB 端子入力レベル 1 によるダウンカウントを許可 1 0 0 0: GTETRGA 端子入力レベル 0 によるダウンカウントを許可 1 0 0 1: GTETRGA 端子入力レベル 1 によるダウンカウントを許可 1 0 1 0: GTETRGB 端子入力レベル 0 によるダウンカウントを許可 1 0 1 1: GTETRGB 端子入力レベル 1 によるダウンカウントを許可 その他: 設定禁止	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

DSGTRGAR ビット（GTETRGA 立ち上がり要因ダウンカウント許可）

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 立ち下がり要因ダウンカウント許可）

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 立ち上がり要因ダウンカウント許可）

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 立ち下がり要因ダウンカウント許可）

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSELCm ビット（ELC_GPTm イベント要因ダウンカウント許可） (m = A～H)

DSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSILVL[3:0]ビット（外部入力レベル要因ダウンカウント許可）

DSILVL[3:0]ビットは、GTIOCnA 端子入力レベル、GTIOCnB 端子入力レベル、および GTETRGA/GTETRGB 入力レベルによる GTCNT カウンタのダウンカウントを許可または禁止します。

20.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ASOC	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	—	—	—	—	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを許可	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを許可	R/W
20	ASELCE	ELC_GPTE イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを許可	R/W
21	ASELCF	ELC_GPTF イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを許可	R/W
22	ASELCG	ELC_GPTG イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを許可	R/W
23	ASELCH	ELC_GPTH イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを許可	R/W
24	ASOC	他チャネル要因 GTCCRA インプットキャプチャ許可 0: 他のチャネル要因による GTCCRA インプットキャプチャを禁止 1: 他のチャネル要因による GTCCRA インプットキャプチャを許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

ASGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASELCm ビット（ELC_GPTm イベント要因 GTCCRA インプットキャプチャ許可）(m = A～H)

ASELCm ビットは ELC_GPTm からのイベント入力による GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASOC ビット（他チャネル要因 GTCCRA インプットキャプチャ許可）

ASOC ビットは他のチャネル要因による GTCCRA レジスタへのインプットキャプチャを許可または禁止します。

他のチャネル要因のインプットキャプチャは、GTICCR レジスタの ICAFA ビットと ICBFA ビットにより設定された他のチャネルに対するインプットキャプチャ要因には従いません。

20.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	BSOC	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	—	—	—	—	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
1	BSGTRGAF	GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
2	BSGTRGBR	GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
3	BSGTRGBF	GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを許可	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを許可	R/W
20	BSELCE	ELC_GPTE イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを許可	R/W
21	BSELCF	ELC_GPTF イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを許可	R/W
22	BSELCG	ELC_GPTG イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを許可	R/W
23	BSELCH	ELC_GPTH イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを許可	R/W
24	BSOC	他チャネル要因 GTCCRB インプットキャプチャ許可 0: 他のチャネル要因による GTCCRB インプットキャプチャを禁止 1: 他のチャネル要因による GTCCRB インプットキャプチャを許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

BSGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSELCm ビット（ELC_GPTm イベント要因 GTCCRB インプットキャプチャ許可）(m = A～H)

BSELCm ビットは ELC_GPTm からのイベント入力による GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSOC ビット（他チャネル要因 GTCCRB インプットキャプチャ許可）

BSOC ビットは他のチャネル要因による GTCCRB レジスタへのインプットキャプチャを許可または禁止します。

他のチャネル要因のインプットキャプチャは、GTICCR レジスタの ICAFB ビットと ICBFB ビットにより設定された他のチャネルに対するインプットキャプチャ要因には従いません。

20.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	TPCS[3:0]				—	—	—	MD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCEN	—	—	—	SSCGRP[1:0]		SCGTIOC	ICDS	—	—	BINV	AINV	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作を停止 1: カウント動作を実行	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	AINV	GTIOCnA 入出力端子極性反転制御 0: 反転しない 1: 反転する	R/W
5	BINV	GTIOCnB 入出力端子極性反転制御 0: 反転しない 1: 反転する	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ICDS	カウントストップ中のインプットキャプチャ動作選択 0: カウントストップ中のインプットキャプチャ動作あり 1: カウントストップ中のインプットキャプチャ動作なし	R/W
9	SCGTIOC	GTIOC 入力要因同期クリア許可 0: 他チャネルに対するクリア要因として GTIOC 入力によるカウンタクリアを使用することを禁止 1: 他チャネルに対するクリア要因として GTIOC 入力によるカウンタクリアを使用することを許可	R/W
11:10	SSCGRP[1:0]	同期セット／クリアグループ選択 0 0: 同期セット／クリアグループ A を選択 0 1: 同期セット／クリアグループ B を選択 1 0: 同期セット／クリアグループ C を選択 1 1: 同期セット／クリアグループ D を選択	R/W(注1)
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	SSCEN	同期セット／クリア許可 0: GTCNT カウンタの同期セット／クリア禁止 1: GTCNT カウンタの同期セット／クリア許可	R/W(注1)
19:16	MD[3:0]	モード選択(注2) 0x0: のこぎり波 PWM モード 1（シングルまたはダブルバッファ可） 0x1: のこぎり波ワンショットパルスモード（バッファ動作固定） 0x2: のこぎり波 PWM モード 2（シングルまたはダブルバッファ可） 0x4: 三角波 PWM モード 1（谷での 32 ビット転送）（シングルまたはダブルバッファ可） 0x5: 三角波 PWM モード 2（山と谷での 32 ビット転送）（シングルまたはダブルバッファ可） 0x6: 三角波 PWM モード 3（谷での 64 ビット転送）（バッファ動作固定） 0xC: 相補 PWM モード 1（山で転送） 0xD: 相補 PWM モード 2（谷で転送） 0xE: 相補 PWM モード 3（山と谷で転送） 0xF: 相補 PWM モード 4（即時転送） その他: 設定禁止	R/W(注1)
22:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:23	TPCS[3:0]	タイマプリスケーラ選択 0x0: GTCLK/1 0x1: GTCLK/2 0x2: GTCLK/4 0x3: GTCLK/8 0x4: GTCLK/16 0x5: GTCLK/32 0x6: GTCLK/64 0x8: GTCLK/256 0xA: GTCLK/1024 0xC: GTETRGA（POEG 経由） 0xD: GTETRGB（POEG 経由） その他: 設定禁止	R/W(注1)
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

注 2. MD[3]ビットは GPT160～GPT162 でのみ使用可能です。GPT163 は、のこぎり波 PWM モードと三角波 PWM モード（のこぎり波 PWM モード 2 以外）のみサポートします。

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

GTCR レジスタの 8 ビット単位でのアクセスは禁止です。

CST ビット（カウントスタート）

CST ビットは GTCNT カウンタのスタート／ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガまたは GTIOCnA 入力端子/GTIOCnB 入力端子条件が発生したとき (n = 0～3)
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガまたは GTIOCnA 入力端子/GTIOCnB 入力端子条件が発生したとき (n = 0～3)
- ソフトウェアで直接 0 を書き込んだとき
- GTPC.ASTP ビットが 1 のとき、周期カウント機能が終了する場合

AINV ビット（GTIOCnA 入出力端子極性反転制御）

AINV ビットは、GTIOCnA 入出力端子極性反転制御を選択します。

BINV ビット（GTIOCnB 入出力端子極性反転制御）

BINV ビットは、GTIOCnB 入出力端子極性反転制御を選択します。

ICDS ビット（カウントストップ中のインプットキャプチャ動作選択）

ICDS ビットは、インプットキャプチャ機能を選択した場合に、カウントストップ中のインプットキャプチャ動作を選択します。

SCGTIOC ビット（GTIOC 入力要因同期クリア許可）

SCGTIOC ビットは、GTCSR レジスタで選択した GTIOCnA/GTIOCnB 入力端子によるカウンタクリアを他チャネルに対するカウンタクリア要因として使用するかどうかを選択します。

SSCGRP[1:0]ビット（同期セット／クリアグループ選択）

SSCGRP[1:0]ビットは、同期セット／クリアのチャネルグループを選択します。

相補 PWM モードでは、マスタチャネルの SSCGRP[1:0]ビットの設定により、スレーブチャネルも制御されます。

SSCEN ビット（同期セット／クリア許可）

SSCEN ビットは、同期セット／クリアを許可または禁止します。

相補 PWM モードでは、マスタチャネルの SSCEN ビットの設定により、スレーブチャネルも制御されます。

MD[3:0]ビット（モード選択）

MD[3:0]ビットは GPT の動作モードを選択します。

相補 PWM モードでは、マスタチャネルの MD ビットの設定により、スレーブチャネルも制御されます。

インプットキャプチャ時は、MD[3:2]ビット（GPT163 の場合は MD[2]）だけが有効です。のこぎり波モードのカウントは、MD[3:0]ビットが 0x0、0x1、または 0x2（GPT163 では 0x0 または 0x1）に設定されると実行されます。三角波モードのカウントは、MD[3:0]ビットが 0x4、0x5、または 0x6 に設定されると実行されます。相補 PWM モードのカウントは、MD[3]ビットが 1（GPT160～GPT162 の場合のみ使用可能）に設定されると実行されます。

MD ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

イベントカウント動作中（GTUPSR レジスタと GTDNSR レジスタのビットの少なくとも 1 つが 1 に設定されているとき）、MD ビットの設定は無視され、のこぎり波モード、三角波モード、または相補 PWM モードのカウントは実行されません。代わりに、GTUPSR レジスタと GTDNSR レジスタによって設定されたソースによるアップカウントまたはダウンカウントが実行されます。

TPCS[3:0]ビット（タイマプリスケーラ選択）

TPCS[3:0]ビットは GTCNT カウンタのクロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[3:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

20.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	OABDTYT	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティー設定 0 0: GTIOCnA 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティーは 0% 1 1: GTIOCnA 端子のデューティーは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
19	OADTYR	0%/100%デューティー設定解除後の GTIOCnA 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティー比設定解除後に GTIOA[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティー設定 0 0: GTIOCnB 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティーは 0% 1 1: GTIOCnB 端子のデューティーは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
27	OBDTYR	0%/100%デューティー設定解除後の GTIOCnB 出力値選択 0: 0%または 100%デューティー比設定解除後にデューティー比が設定された場合、GTIOB[3:2]ビットで選択された機能が出力値に適用されます。 1: 0%または 100%デューティー比設定解除後に GTIOB[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用されます。	R/W
28	OABDTYT	GTIOCnA、GTIOCnB 端子出力 0%/100%デューティー設定反映タイミング設定 0: アンダーフロー時に変更された出力デューティー比設定が反映されます。 1: アンダーフロー時に、かつ三角波の頂点のときに変更された出力デューティー比設定が反映されます。 三角波 PWM モードを除き、設定値 1 は無効です。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCnA/GTIOCnB 端子出力のデューティーを設定するレジスタです。

イベントカウント動作、のこぎり波 PWM モード 2、相補 PWM モード中では、本設定は無効です。

【カウント方向】

- のこぎり波モードの場合
  アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウント停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。
- 三角波モードの場合
  カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。
  カウント停止中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

UD ビットは GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティー】

- のこぎり波モードの場合
  アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティーが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティーが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。
- 三角波モードの場合
  カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。ただし、アンダーフロー時に出力デューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

のこぎり波モードと三角波モードで、OADTYF/OBDTYF ビットが 0 に戻った場合、および OADTYF/OBDTYF ビットを 1 にして、カウント動作停止中に最初の周期のデューティーに対して OADTY[1:0]/OBDTY[1:0] ビットを設定した後に OADTY[1:0]/OBDTY[1:0] ビットを設定した場合、カウント動作停止中に設定されたこれらのデューティー周期は、カウント動作開始後の最初の周期と 2 番目の周期に反映されます。

OmDTY[1:0]ビット（GTIOCnm 出力デューティー設定）（m = A、B）

OmDTY[1:0]ビットは GTIOCnm 端子の出力デューティー（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYF ビット（GTIOCnm 出力デューティー強制設定）（m = A、B）

OmDTYF ビットは出力デューティー比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にしてください。

OmDTYR ビット（0%/100%デューティー設定解除後の GTIOCnm 出力値選択） (m = A, B)

制御が 0%/100%デューティー設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）に設定された場合、OmDTYR ビットは周期の終わりで出力保持／トグル出力の対象となる値を選択します。

デューティー比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでのコンペアマッチの値が GTIOm[3:2]ビットに適用されます。

OABDTYT ビット（GTIOCnm 端子出力 0%/100%デューティー設定反映タイミング設定） (m = A, B)

OABDTYT ビットは、三角波モードの GTIOCnm 端子について、0%/100%デューティー設定の反映タイミングを選択します。

OABDTYT ビットが 0 の場合、GTUDDTYC.OADTY[1:0]および OBDTY[1:0]ビットの出力デューティー設定は、アンダーフローが発生したときに反映されます。

OABDTYT ビットが 1 の場合、GTUDDTYC.OADTY[1:0]および OBDTY[1:0]ビットの出力デューティー設定は、アンダーフローが発生し、かつ三角波の頂点のときに反映されます。

20.2.14　GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCSB[1:0]		NFBEN	—	OBEOCD	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFCSA[1:0]		NFAEN	PSYE	OAEOCD	OADF[1:0]		OAE	OAHLD	OADFLT	CPSCIR	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 20.4 と表 20.5 を参照してください。	R/W
5	CPSCIR(注1)	同期クリア時の相補 PWM モード初期出力禁止 0: 相補 PWM モードの谷部分での同期クリア発生時に、GTIOR.GTIOA および GTIOB ビットで設定した初期値を出力 1: 初期値の出力を禁止	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHLD	カウントスタート／ストップ時の GTIOCnA 端子出力設定 0: カウントスタート／ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W

ビット	シンボル	機能	R/W
10:9	OADF[1:0]	GTIOCnA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力禁止制御に対応して GTIOCnA 端子を Hi-Z にする 1 0: 出力禁止制御に対応して GTIOCnA 端子を 0 にする 1 1: 出力禁止制御に対応して GTIOCnA 端子を 1 にする	R/W
11	OAEOCD(注1)	GTCCRA コンペアマッチ周期終了出力の無効化 0: GTIOA[3:2]設定を有効とする 1: GTIOA[3:2]設定を無効とする（GTIOCnA 端子出力を保持）	R/W
12	PSYE	PWM 同期出力許可 0: GTCPPOm 端子出力を禁止 1: GTCPPOm 端子出力を許可	R/W
13	NFAEN	GTIOCnA 端子入力ノイズフィルタ有効 0: GTIOCnA 端子のノイズフィルタは無効 1: GTIOCnA 端子のノイズフィルタは有効	R/W
15:14	NFCSA[1:0]	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W
20:16	GTIOB[4:0]	GTIOCnB 端子機能選択 表 20.4 と表 20.5 を参照してください。	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOCnB 端子出力値設定 0: カウントストップ時に GTIOCnB 端子は Low を出力 1: カウントストップ時に GTIOCnB 端子は High を出力	R/W
23	OBHLD	カウントスタート／ストップ時の GTIOCnB 端子出力設定 0: カウントスタート／ストップ時の GTIOCnB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnB 端子出力レベルは保持される	R/W
24	OBE	GTIOCnB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOCnB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力禁止制御に対応して GTIOCnB 端子を Hi-Z にする 1 0: 出力禁止制御に対応して GTIOCnB 端子を 0 にする 1 1: 出力禁止制御に対応して GTIOCnB 端子を 1 にする	R/W
27	OBEOCD(注1)	GTCCRB コンペアマッチ周期終了出力の無効化 0: のこぎり波 PWM モード 1 の場合、GTIOB[3:2]の設定は有効になります。 のこぎり波 PWM モード 2 の場合、GTIOA[3:2]の設定は有効になります。 1: のこぎり波 PWM モード 1 の場合、GTIOB[3:2]の設定は無効になります（GTIOCnB 端子出力は保持されます）。 のこぎり波 PWM モード 2 の場合、GTIOA[3:2]の設定は無効になります（GTIOCnA 端子出力は保持されます）。	R/W
28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOCnB 端子のノイズフィルタは無効 1: GTIOCnB 端子のノイズフィルタは有効	R/W
31:30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W

注 1.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTIOR レジスタは GTIOCnA 端子、GTIOCnB 端子、および GTCPPOm 端子の機能を設定するレジスタです。(n = 0～3, m = 0～3)

GTIOA[4:0]ビット（GTIOCnA 端子機能選択）

GTIOA[4:0]ビットは GTIOCnA 端子の機能を選択します。詳細は、表 20.4 および表 20.5 を参照してください。

CPSCIR ビット（同期クリア時の相補 PWM モード初期出力禁止）

CPSCIR ビットは、相補 PWM モードで同期クリアが発生したときの出力波形を選択します。

本機能によって初期出力が禁止されるのは、相補 PWM モードの谷部分で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、CPSCIR ビットの設定にかかわらず、GTIOA[4]および GTIOB[4]ビットで設定した初期値が出力されます。さらに、カウント開始直後に谷部分で同期クリアが発生した場合も、GTIOA[4]および GTIOB[4]ビットで設定した初期値が出力されます。

OADFLT ビット（カウントストップ時の GTIOCnA 端子出力値設定）

OADFLT ビットはカウントストップ時に、GTIOCnA 端子が High または Low のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCnA 端子出力設定）

OAHLD ビットはカウントスタート／ストップ時に、GTIOCnA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

［OAHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

［OAHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCnA 端子出力許可）

OAE ビットは GTIOCnA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合）は、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

OADF[1:0]ビット（GTIOCnA 端子禁止値設定）

OADF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnA 端子の出力値を選択します。

OAEOCD ビット（GTCCRA コンペアマッチ周期終了出力の無効化）

OAEOCD ビットは、のこぎり波 PWM モード 1 と 2 で、周期の終わりが GTCCRA コンペアマッチのタイミングと一致する場合に、GTIOA[3:2]ビットの設定を有効にするか無効にするかを選択します。1（無効）を設定すると、周期の終わりと GTCCRA コンペアマッチタイミングが一致したときに、GTIOCnA 端子が出力を保持します。

PSYE ビット（PWM 同期出力許可）

PSYE ビットは PWM 周期と同期した GTCPPOm 端子からの出力信号を有効または無効にします。この出力は相補 PWM モードおよび三角波モードの山／谷／GTCNT カウンタクリアまたはのこぎり波モードの周期の終わりでトグルします。

GTCPPOn 出力端子の初期出力は Low であり、カウント開始結果は High です。

NFAEN ビット（GTIOCnA 端子入力ノイズフィルタ有効）

NFAEN ビットは GTIOCnA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0]ビット（GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択）

NFCSA[1:0]ビットは GTIOCnA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0]ビット（GTIOCnB 端子機能選択）

GTIOB[4:0]ビットは GTIOCnB 端子の機能を選択します。詳細は、表 20.4 および表 20.5 を参照してください。

のこぎり波 PWM モード 2 では、GTIOB[1:0]ビットのみが有効で、GTCCRB レジスタコンペアマッチにより GTIOCnB 端子の代わりに GTIOCnA 端子出力が選択されます。

OBDFLT ビット（カウントストップ時の GTIOCnB 端子出力値設定）

OBDFLT ビットはカウントストップ時に、GTIOCnB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCnB 端子出力設定）

OBHLD ビットはカウントスタートまたはストップ時に、GTIOCnB 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

［OBHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOB[4]ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

［OBHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCnB 端子出力許可）

OBE ビットは GTIOCnB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合（GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合） は、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

OBDF[1:0]ビット（GTIOCnB 端子禁止値設定）

OBDF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnB 端子の出力値を選択します。

OBEOCD ビット（GTCCRB コンペアマッチ周期終了出力の無効化）

OBEOCD ビットは、のこぎり波 PWM モード 1 と 2 で周期の終わりが GTCCRB コンペアマッチのタイミングと一致する場合に、のこぎり波 PWM モード 1 の GTIOB[3:2]ビットまたはのこぎり波 PWM モード 2 の GTIOA[3:2]ビットの設定を有効にするか無効にするかを選択します。1（無効）を設定すると、周期の終わりと GTCCRB コンペアマッチタイミングが一致したときに、のこぎり波 PWM モード 1 の GTIOCnB 端子またはのこぎり波 PWM モード 2 の GTIOCnA 端子が出力を保持します。

NFBEN ビット（ノイズフィルタ B 有効）

NFBEN ビットは GTIOCnB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0]ビット（ノイズフィルタ B サンプリングクロック選択）

NFCSB[1:0]ビットは GTIOCnB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 20.4 GTIOA[4:0]および GTIOB[4:0]ビットの設定（のこぎり波モード、三角波モード）

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4(注4)	b3、b2(注1) (注2) (注3) (注4)	b1, b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、カウンタクリア、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。

注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致すると、OAEOCD および OBEOCD ビットが 0 で、周期の終わりの出力が許可されている場合、のこぎり波 PWM モードでは b3 と b2 の設定値が優先され、それ以外のモードでは b1 と b0 の設定値が優先されます。

注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合）、b3 と b2 の設定は無視されます (GPT163)。

注 4. のこぎり波 PWM モード 2 では、GTIOB[4:2]ビットの設定は無効になります。GTIOCnA 端子のみが出力端子であるため、GTIOA[4]ビットを初期出力として設定します。周期の終わりで、GTIOA[3:2]ビットを出力に設定します。

表 20.5　GTIOA[4:0]および GTIOB[4:0]ビットの設定（相補 PWM モード）

GTIOA/GTIOB[4:0]ビット(注1) (注2) (注3)					機能		
					初期出力、アクティブレベル	アップカウントコンペアマッチ出力	ダウンカウントコンペアマッチ出力
b4	b3	b2	b1	b0	b4	b3、b2	b1、b0
0	0	1	1	0	初期出力は Low アクティブレベルは High	Low 出力	High 出力
0	1	0	0	1		High 出力	Low 出力
1	0	1	1	0	初期出力は High アクティブレベルは Low	Low 出力	High 出力
1	1	0	0	1		High 出力	Low 出力

注 1.　相補 PWM モードでは、GTIOA[4:0]ビットに設定できる値は 01001b と 10110b のみです。それ以外の値は設定禁止です。
注 2.　相補 PWM モードでは、GTIOB[4:0]ビットに設定できる値は 00110b と 11001b のみです。それ以外の値は設定禁止です。
注 3.　相補 PWM モードでは、GTIOB[4:0]ビットの設定に GTCCRB レジスタのコンペアマッチを使いません。コンペアマッチの対象であるカウンタとレジスタの組み合わせは、相補 PWM モードの動作周期によります。詳細は、「20.3.3.7. 相補 PWM モード 1、2、3」を参照してください。

20.2.15　GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCFPU	SCFPO	SCFF	SCFE	SCFD	SCFC	SCFB	SCFA	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SCFA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可 0: 他チャネルに対するクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を許可	R/W
9	SCFB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可 0: 他チャネルに対するクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を許可	R/W
10	SCFC	GTCCRC レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルに対するクリア要因としての GTCCRC レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRC レジスタコンペアマッチの使用を許可	R/W
11	SCFD	GTCCRD レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルに対するクリア要因としての GTCCRD レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRD レジスタコンペアマッチの使用を許可	R/W
12	SCFE	GTCCRE レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルに対するクリア要因としての GTCCRE レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRE レジスタコンペアマッチの使用を許可	R/W

ビット	シンボル	機能	R/W
13	SCFF	GTCCRF レジスタコンペアマッチ要因同期クリア許可 0: 他チャネルに対するクリア要因としての GTCCRF レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRF レジスタコンペアマッチの使用を許可	R/W
14	SCFPO	オーバーフロー要因同期クリア許可 0: 他チャネルに対するクリア要因としてのオーバーフローの使用を禁止 1: 他チャネルに対するクリア要因としてのオーバーフローの使用を許可	R/W
15	SCFPU	アンダーフロー要因同期クリア許可 0: 他チャネルに対するクリア要因としてのアンダーフローの使用を禁止 1: 他チャネルに対するクリア要因としてのアンダーフローの使用を許可	R/W
16	ADTRAUEN	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
17	ADTRADEN	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
18	ADTRBUEN	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
19	ADTRBDEN	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 その他: 設定禁止	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	GRPDTE	デッドタイムエラー出力禁止要求許可(注1) 0: デッドタイムエラー出力禁止要求を禁止 1: デッドタイムエラー出力禁止要求を許可	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力禁止要求を許可または禁止します。

SCFA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可）

SCFA ビットは、他チャネルに対するクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を許可または禁止します。

SCFB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可）

SCFB ビットは、他チャネルに対するクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFC ビット（GTCCRC レジスタコンペアマッチ要因同期クリア許可）

SCFC ビットは、他チャネルに対するクリア要因としての GTCCRC レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFD ビット（GTCCRD レジスタコンペアマッチ要因同期クリア許可）

SCFD ビットは､他チャネルに対するクリア要因としての GTCCRD レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFE ビット（GTCCRE レジスタコンペアマッチ要因同期クリア許可）

SCFE ビットは、他チャネルに対するクリア要因としての GTCCRE レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFF ビット（GTCCRF レジスタコンペアマッチ要因同期クリア許可）

SCFF ビットは、他チャネルに対するクリア要因としての GTCCRF レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFPO ビット（オーバーフロー要因同期クリア許可）

SCFPO ビットは、他チャネルに対するクリア要因としてのオーバーフローの使用を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

SCFPU ビット（アンダーフロー要因同期クリア許可）

SCFPU ビットは、他チャネルに対するクリア要因としてのアンダーフローの使用を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

ADTRAUEN ビット（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

ADTRAUEN ビットは、GTCNT カウンタのアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRADEN ビット（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

ADTRADEN ビットは、GTCNT カウンタのダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBUEN ビット（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

ADTRBUEN ビットは、GTCNT カウンタのアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBDEN ビット（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

ADTRBDEN ビットは、GTCNT カウンタのダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

GRP[1:0]ビット（出力禁止要因選択）

GRP[1:0]ビットは、GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF フラグは、GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GRP[1:0]ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の状態で行ってください。

GRPDTE ビット（デッドタイムエラー出力禁止要求許可）

GRPDTE ビットは、デッドタイムエラーによる出力禁止要求を許可または禁止します。

イベントカウント動作中は、デッドタイムエラー出力禁止要求は発生しません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

20.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PCF	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インプットキャプチャ／コンペアマッチフラグ A 0: GTCCRA インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRA インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
1	TCFB	インプットキャプチャ／コンペアマッチフラグ B 0: GTCCRB インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRB インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
2	TCFC	インプットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インプットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インプットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インプットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)
6	TCFPO	オーバーフローフラグ 0: オーバーフロー（山）の発生なし 1: オーバーフロー（山）の発生あり	R/W(注1)

ビット	シンボル	機能	R/W
7	TCFPU	アンダーフローフラグ 0: アンダーフロー（谷）の発生なし 1: アンダーフロー（谷）の発生あり	R/W(注1)
10:8	ITCNT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ	R
14:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
16	ADTRAUF	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中に GTADTRA レジスタのコンペアマッチの発生なし 1: アップカウント中に GTADTRA レジスタのコンペアマッチの発生あり	R/W(注1)
17	ADTRADF	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中に GTADTRA レジスタのコンペアマッチの発生なし 1: ダウンカウント中に GTADTRA レジスタのコンペアマッチの発生あり	R/W(注1)
18	ADTRBUF	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中に GTADTRB レジスタのコンペアマッチの発生なし 1: アップカウント中に GTADTRB レジスタのコンペアマッチの発生あり	R/W(注1)
19	ADTRBDF	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中に GTADTRB レジスタのコンペアマッチの発生なし 1: ダウンカウント中に GTADTRB レジスタのコンペアマッチの発生あり	R/W(注1)
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
27:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	DTEF	デッドタイムエラーフラグ(注2) 0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
29	OABHF	同時出力レベル High フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生あり	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生あり	R
31	PCF	周期計数機能終了フラグ 0: 周期計数機能終了の発生なし 1: 周期計数機能終了の発生あり	R/W(注1)

注 1.　このビットは 0 のみ書けます。1 を書かないでください。
ADTRAUF、ADTRADF、ADTRBUF、または ADTRBDF フラグをクリアする場合は、クリアしたいフラグにのみ 0 を、クリアしたくないフラグには 1 を書き込んでください。
注 2.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

［1 になる条件］

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB レジスタ値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFC フラグ（インプットコンペアマッチフラグ C）

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を実行するとき、GTCCRC はコンペアマッチを実行しません。

［1 になる条件］

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[3:0] = 0x1（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0x6（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（インプットコンペアマッチフラグ D）

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を実行するとき、GTCCRD はコンペアマッチを実行しません。

［1 になる条件］

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[3:0] = 0x1（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0x6（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（インプットコンペアマッチフラグ E）

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を実行するとき、GTCCRE はコンペアマッチを実行しません。

［1 になる条件］

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[3:0] = 0x1（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0x6（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（インプットコンペアマッチフラグ F）

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を実行するとき、GTCCRF はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[3:0] = 0x1（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0x6（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバーフローフラグ）

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードにおいて、山（GTCNT カウンタが GTPR 値から GTPR 値-1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFPU フラグ（アンダーフローフラグ）

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

ITCNT[2:0]フラグ（GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ）

GPTn_OVF/GPTn_UDF 割り込み間引き機能を使用時（GTITC.IVTC[1:0]ビットを 00b 以外に設定時）、GTITC.IVTC[1:0]で選択した GPTn_OVF/GPTn_UDF 割り込み要因が発生するごとに 1 カウントアップします。

これらのビットは、GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

[0 になる条件]

- GPTn_OVF/GPTn_UDF 割り込み間引き機能を未使用時（GTITC.IVTT[2:0]ビットが 000b で、IVTC[1:0]ビットが 00b のとき）
- GPTn_OVF/GPTn_UDF 割り込み間引き回数が指定した回数と一致したとき（IVTT[2:0]ビットで指定した間引き回数と ITCNT[2:0]ビット値が一致したとき）
- カウント動作が停止したとき

TUCF フラグ（カウント方向フラグ）

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

ADTRAUF フラグは、アップカウント中の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRAUF フラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

ADTRADF フラグは、ダウンカウント中の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRADF フラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

ADTRBUF フラグは、アップカウント中の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBUF フラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

ADTRBDF フラグは、ダウンカウント中の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBDF フラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

ODF フラグは GRP[1:0]ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

DTEF フラグ（デッドタイムエラーフラグ）

DTEF は、デッドタイムの自動加算後のタイマ出力トグルポイントがカウント期間を超過したことを示します。

デッドタイムの自動加算の後にタイマ出力トグルポイントが期間内に戻ったときに、このフラグは 0 に戻ります。

このフラグは、読み出しのみ可能です。(フラグに 0 を書き込んでクリアすることは禁止されています。)

DTEF フラグによる出力禁止要求が許可されている場合(GTINTAD.GRPDTE ビットが 1 である場合)、出力禁止要求として DTEF フラグが POEG に出力されます。GPT にはデッドタイムエラー割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- デッドタイム自動設定後、波形の変化点がカウント期間を超過したとき(以下の場合)
  - 三角波モードのアップカウントの場合:
    GTCCRA レジスタ – GTDVU レジスタ ≦ 0
  - 三角波モードのダウンカウントの場合:
    GTCCRA レジスタ – GTDVD レジスタ < 0
  - のこぎり波ワンショットパルスモードのアップカウントの場合:
    GTCCRA レジスタ - GTDVU レジスタ < 0、または
    GTCCRA レジスタ + GTDVD レジスタ > GTPR レジスタ
  - のこぎり波ワンショットパルスモードのダウンカウントの場合:
    GTCCRA レジスタ + GTDVU レジスタ > GTPR レジスタ、または
    GTCCRA レジスタ – GTDVD レジスタ < 0

[0 になる条件]

- デッドタイムの自動加算後のタイマ出力トグルポイントがカウント期間内のとき

OABHF フラグ(同時出力レベル High フラグ)

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる出力禁止要求が許可(GTINTAD.GRPABH ビット = 1)されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に High に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ(同時出力レベル Low フラグ)

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる出力禁止要求が許可(GTINTAD.GRPABL ビット = 1)されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に Low に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

PCF フラグ（周期計数機能終了フラグ）

周期計数機能終了のステータスフラグです。

［1 になる条件］

- GTPC.PCEN ビットが 1、かつ周期の終わりの GTPC.PCNT カウンタが 1 のとき
- GTPC.PCEN ビットが 1、かつカウントクロックの GTPC.PCNT カウンタが 0 のとき

［0 になる条件］

- このビットに 0 を書いたとき

20.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DBRTECB	—	DBRTECA	—	—	—	—	BD3	BD2	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W(注1)
2	BD2	GTADTRA/GTADTRB レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
3	BD3	GTDVU/GTDVD レジスタバッファ動作禁止(注2) 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBRTECA	GTCCRA レジスタダブルバッファリピート動作許可 0: GTCCRA レジスタダブルバッファリピート動作を禁止 1: GTCCRA レジスタダブルバッファリピート動作を許可	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10	DBRTECB	GTCCRB レジスタダブルバッファリピート動作許可 0:　GTCCRB レジスタダブルバッファリピート動作を禁止 1:　GTCCRB レジスタダブルバッファリピート動作を許可	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 0 0:　バッファ動作しない 0 1:　シングルバッファ動作 (GTCCRA ↔GTCCRC) その他:　ダブルバッファ動作 (GTCCRA ↔ GTCCRC ↔ GTCCRD)	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 0 0:　バッファ動作しない 0 1:　シングルバッファ動作 (GTCCRB ↔ GTCCRE) その他:　ダブルバッファ動作 (GTCCRB ↔ GTCCRE ↔ GTCCRF)	R/W
21:20	PR[1:0]	GTPR バッファ動作 0 0:　バッファ動作しない 0 1:　シングルバッファ動作 (GTPBR → GTPR) その他:　ダブルバッファ動作 (GTPDBR → GTPBR → GTPR)	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	ADTTA[1:0]	GTADTRA レジスタバッファ転送タイミング選択 0 0:　三角波または相補 PWM モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1:　三角波モードまたは相補 PWM モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時)、オーバーフロー（アップカウント時)、またはカウンタクリアで転送 1 0:　三角波または相補 PWM モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時)、オーバーフロー（アップカウント時)、またはカウンタクリアで転送 1 1:　三角波または相補 PWM モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時)、オーバーフロー（アップカウント時)、またはカウンタクリアで転送	R/W
26	ADTDA	GTADTRA レジスタダブルバッファ動作 0:　シングルバッファ動作 (GTADTBRA →GTADTRA) 1:　ダブルバッファ動作 (GTADTDBRA → GTADTBRA → GTADTRA)	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	ADTTB[1:0]	GTADTRB レジスタバッファ転送タイミング選択 0 0:　三角波または相補 PWM モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1:　三角波モードまたは相補 PWM モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時)、オーバーフロー（アップカウント時)、またはカウンタクリアで転送 1 0:　三角波または相補 PWM モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時)、オーバーフロー（アップカウント時)、またはカウンタクリアで転送 1 1:　三角波または相補 PWM モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時)、オーバーフロー（アップカウント時)、またはカウンタクリアで転送	R/W
30	ADTDB	GTADTRB レジスタダブルバッファ動作 0:　シングルバッファ動作 (GTADTBRB → GTADTRB) 1:　ダブルバッファ動作 (GTADTDBRB → GTADTBRB → GTADTRB)	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2.　このビットは GPT160〜GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTBER レジスタは、バッファ動作を設定します。BDx (x = 0〜3) ビットを除く GTBER レジスタは、GTCNT カウンタが停止しているときに設定する必要があります。

BD0 ビット（GTCCR バッファ動作禁止）

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、のこぎり波ワンショットパルスモードまたは三角波 PWM モードでは、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

相補 PWM モードでは、GTCCRC レジスタと GTCCRE レジスタのバッファ動作に対してのみ有効です。GTCCRA レジスタのバッファ動作は禁止できません。GTCCRE レジスタと GTCCRF レジスタのバッファ動作は、GTBER2 レジスタの CP3DB ビットにより許可または禁止されます。相補 PWM モードでは、GTCCRB レジスタへのバッファ転送は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD0 ビット値は、GTSECR.SBDCE または GTSECR.SBDCD に 1 が書き込まれた場合に設定可能です。

DBRTECm (m = A, B) ビットが 1 の場合、動作モードがのこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 の間に BD0 ビットを 1 に設定すると、中間バッファから GTCCRm レジスタへ転送されます。

BD1 ビット（GTPR バッファ動作禁止）

BD1 ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD1 ビット値は、GTSECR.SBDPE または GTSECR.SBDPD に 1 が書き込まれた場合に設定可能です。

相補 PWM モードでは、マスタチャネルの BD1 ビットの設定により、スレーブチャネルも制御されます。

BD2 ビット（GTADTRA/GTADTRB レジスタバッファ動作禁止）

BD2 ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを共に使用したバッファ動作、および GTADTRB、GTADTBRB、GTADTDBRB レジスタを共に使用したバッファ動作を禁止します。

本設定はイベントカウント動作中は無効であり、GTADTRA、GTADTRB レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD2 ビット値は、GTSECR レジスタの SBDAE または SBDAD ビットに 1 が書き込まれたときに設定可能です。

BD3 ビット（GTDVU/GTDVD レジスタバッファ動作禁止）

BD3 ビットは、のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、または三角波 PWM モードにおいて、GTDVU と GTDBU レジスタを共に使用したバッファ動作、および GTDVD と GTDBD レジスタを共に使用したバッファ動作を禁止します。

BD3 ビットが 0 の場合でも、GTDVD レジスタのバッファ動作は、GTDTCR.TDFER ビットが 1 の場合には実行されません。その代わり、GTDVU レジスタ値は自動的に設定されます。

のこぎり波 PWM モード 2 または相補 PWM モードの場合、このビットは無効であり、GTDVU、GTDVD レジスタはバッファ動作を実行しません。

本設定はイベントカウント動作中は無効であり、GTDVU、GTDVD レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD3 ビット値は、GTSECR レジスタの SBDDE または SBDDD ビットに 1 が書き込まれたときに設定可能です。

DBRTECm ビット（GTCCRm レジスタダブルバッファリピート動作許可） (m = A, B)

DBRTECm ビットは、GTCCRA レジスタダブルバッファリピート動作を許可します。

GTCCRm レジスタを使用したダブルバッファ動作実行時に、本設定はバッファ転送禁止期間中の周期による中間バッファから GTCCRm レジスタへの転送リピート動作を許可します。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、有効です。

バッファ転送禁止期間は、BD0 ビットの設定によるバッファ転送停止期間（GTSECSR レジスタによる CPU 書き込みまたは同時バッファ動作制御）および GTEITLB レジスタによるバッファ転送拡張スキップ期間（山と谷両方でのカウントによるスキップの場合を除く）を示しています。

DBRTECm ビットが 1 のとき、CPU による GTCCRm レジスタへの書き込みはテンポラリレジスタ x (x = C, E) に同じ値を設定します。GTCCRx (x = C, E) レジスタ値もバッファ強制転送によりテンポラリレジスタ x (x = C, E) に転送されます。

CCRA[1:0]ビット（GTCCRA バッファ動作）

CCRA[1:0]ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

CCRB[1:0]ビット（GTCCRB バッファ動作）

CCRB[1:0]ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

PR[1:0]ビット（GTPR バッファ動作）

PR[1:0]ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を設定します。

相補 PWM モードでは、本設定は無効です。相補 PWM モード固有のバッファ動作は、PR[1:0]ビット設定値に関係なく実行されます。

CCRSWT ビット（GTCCRA・GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと GTCCRA レジスタおよび GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。このビットは 0 が読み出され、カウントストップ時にコンペマッチ動作が設定されている場合にのみ有効です。

相補 PWM モードでは、本設定は無効です。

ADTTA[1:0]ビット（GTADTRA レジスタバッファ転送タイミング選択）

ADTTA[1:0]ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDA ビット（GTADTRA レジスタダブルバッファ動作）

ADTDA ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

ADTTB[1:0]ビット（GTADTRB レジスタバッファ転送タイミング選択）

ADTTB[1:0]ビットは GTADTRB、GTADTBRB、GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDB ビット（GTADTRB レジスタダブルバッファ動作）

ADTDB ビットは GTADTRB、GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

20.2.18 GTITC : 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ITLA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
1	ITLB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
7:6	IVTC[1:0]	GPTn_OVF/GPTn_UDF 割り込み間引き機能選択 0 0: 間引かない 0 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに山をカウントして間引く 1 0: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに谷をカウントして間引く 1 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに谷／山の両方をカウントして間引く	R/W
10:8	IVTT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数選択 0 0 0: 間引かない 0 0 1: 間引き回数 : 1 回 0 1 0: 間引き回数 : 2 回 0 1 1: 間引き回数 : 3 回 1 0 0: 間引き回数 : 4 回 1 0 1: 間引き回数 : 5 回 1 1 0: 間引き回数 : 6 回 1 1 1: 間引き回数 : 7 回	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. のこぎり波 PWM モード 2 はこの機能の対象外です。

GTITC レジスタは、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）とアンダーフロー割り込み（GPTn_UDF）の間引き機能の設定と、他の割り込みおよび A/D 変換開始要求を GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかの設定をするレジスタです。POEG への出力禁止要求は、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動できないので注意してください。また、割り込み間引き機能を実行した場合、ステータスフラグの変化も間引かれます。

イベントカウント動作中は、この設定は無効です。

この設定の動作は GTEITC レジスタによる拡張割り込み間引きとは無関係に実行されます。

ITLA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

ITLA ビットは、GTCCRA コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPA) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

ITLB ビットは、GTCCRB コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPB) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLC ビット（GTCCRC レジスタコンペアマッチ割り込み連動）

ITLC ビットは、GTCCRC コンペアマッチ割り込み (GPTn_CMPC) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLD ビット（GTCCRD レジスタコンペアマッチ割り込み連動）

ITLD ビットは、GTCCRD コンペアマッチ割り込み (GPTn_CMPD) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLE ビット（GTCCRE レジスタコンペアマッチ割り込み連動）

ITLE ビットは、GTCCRE コンペアマッチ割り込み (GPTn_CMPE) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLF ビット（GTCCRF レジスタコンペアマッチ割り込み連動）

ITLF ビットは、GTCCRF コンペアマッチ割り込み (GPTn_CMPF) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

IVTC[1:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き機能選択）

IVTC[1:0]ビットは、GTPR コンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み (GPTn_OVF)/GTCNT カウンタのアンダーフロー割り込み (GPTn_UDF) の間引き機能を設定します。

IVTT[2:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き回数選択）

IVTT[2:0]ビットは、GTPR コンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み (GPTn_OVF)/GTCNT カウンタのアンダーフロー割り込み (GPTn_UDF) の間引き回数を設定します。

IVTT[2:0] ビットを書き換える場合は、最初に IVTC[1:0] ビットを 00b にしてください。

ADTAL ビット（GTADTRA レジスタ A/D 変換開始要求連動）

ADTAL ビットは、GTCNT カウンタと GTADTRA レジスタのコンペアマッチへの応答として発生した GTADTRA A/D 変換開始要求が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ADTBL ビット（GTADTRB レジスタ A/D 変換開始要求連動）

ADTBL ビットは、GTCNT カウンタと GTADTRB レジスタのコンペアマッチへの応答として発生した GTADTRB A/D 変換開始要求が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

20.2.19　GTCNT : 汎用 PWM タイマカウンタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x48

Bit position: 31 … 0

Bit field: (none)

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	GTCNT は GPT16n (n = 0〜3) 用の 16 ビットの読み出し／書き込みカウンタです。 GTCNT はカウント停止後に書き込みのみ可能です。 GTCNT カウンタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。 32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波または三角波の場合は、GTCNT は、0≦GTCNT≦GTPR の範囲に収まるように設定してください。	R/W

20.2.20　GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k (k = A〜F)

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x4C (GTCCRA)
0x50 (GTCCRB)
0x54 (GTCCRC)
0x58 (GTCCRE)
0x5C (GTCCRD)
0x60 (GTCCRF)

Bit position: 31 … 0

Bit field: (none)

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTCCRk レジスタは読み出し／書き込みレジスタです。GTCCRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTCCRk レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。	R/W

20.2.21　GTPR : 汎用 PWM タイマ周期設定レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x64

Bit position: 31 … 0

Bit field: (none)

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTPR レジスタは、読み出し／書き込みレジスタで、GTCNT カウンタのカウント最大値を設定します。GTPR レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPR レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波 PWM モード 2 では、本設定は無効です。のこぎり波 PWM モード 2 以外ののこぎり波の場合は、(GTPR + 1) の値が周期になります。三角波または相補 PWM モードの場合は、(GTPR × 2) の値が周期になります。 相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

20.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x68

Bit position:	31																														0
Bit field:																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能する読み出し／書き込みレジスタです。GTPBR レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPBR レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波 PWM モード 2 では、本設定は無効です。 相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

20.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x6C

Bit position:	31																														0
Bit field:																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタ用のバッファレジスタ（GTPR レジスタ用のダブルバッファレジスタ）です。 GTPDBR レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPDBR レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波 PWM モード 2 では、この設定は無効です。 相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

20.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B)

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x70 (GTADTRA)
0x7C (GTADTRB)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	A/D 変換開始要求発生のタイミングを設定。 GTADTRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTADTRk レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTADTRk レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。 相補 PWM モードでは、マスタチャネルの GTCNT カウンタがこのレジスタが一致したときに A/D 変換開始要求が発生します。	R/W

20.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B)

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x74 (GTADTBRA)
0x80 (GTADTBRB)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTADTRk レジスタ用のバッファレジスタ GTADTBRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTADTBRk レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B)

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0x78 (GTADTDBRA)
0x84 (GTADTDBRB)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTADTBRk レジスタ用のバッファレジスタ（すなわち、GTADTRk レジスタ用のダブルバッファレジスタ）です。 GTADTDBRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTADTDBRk レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0x88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: GTDVU レジスタおよび GTDVD レジスタを使用しないで、GTCCRB レジスタを設定する 1: GTDVU レジスタと GTDVD レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TDBUE	GTDVU レジスタバッファ動作許可(注1) 0: GTDVU レジスタバッファ動作を禁止 1: GTDVU レジスタバッファ動作を許可	R/W
5	TDBDE	GTDVD レジスタバッファ動作許可(注1) 0: GTDVD レジスタバッファ動作を禁止 1: GTDVD レジスタバッファ動作を許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDFER	GTDVD レジスタ設定(注1) 0: GTDVU レジスタと GTDVD レジスタを個別に設定 1: GTDVU レジスタに書き込まれた値が GTDVD レジスタに自動設定	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTDTCR レジスタは､デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可します。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタと GTDVD レジスタを使用します。

本レジスタはのこぎり波 PWM モード 2 または相補 PWM モードでは無効です。

イベントカウント動作中は、本設定は無効です。

TDE ビット（逆相波形設定）

TDE ビットは GTDVU レジスタおよび GTDVD レジスタを使用するか否かを指定します。GTDVU レジスタと GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA 値）とデッドタイム値（GTDVU 値と GTDVD 値）から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、以下のような上限値と下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。また、GTST.DTEF フラグが 1 になります。ただし、算出された GTCCRB 値が三角波 PWM モードの上限値を超える場合、DTEF フラグは 0 になります。

- 三角波の場合
  上限値：GTPR 値 − 1
  下限値：アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
  上限値：GTPR 値
  下限値：0

TDBUE ビット（GTDVU レジスタバッファ動作許可）

TDBUE ビットは GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

TDBDE ビット（GTDVD レジスタバッファ動作許可）

TDBDE ビットは GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

本ビットと TDFER ビットを同時に 1 にする場合、TDFER ビットの設定が優先されます。

TDFER ビット（GTDVD レジスタ設定）

TDFER ビットは GTDVU レジスタに書き込まれた値が GTDVD レジスタにも自動設定されるか否かを設定します。

20.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D)

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)

Offset address: 0x8C (GTDVU)
0x90 (GTDVD)

Bit position:	31 … 0
Bit field:	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTDVk レジスタは、読み出し／書き込みレジスタで、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定します。 GTDVk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTDVk レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波 PWM モード 2 では、本設定は無効です。 相補 PWM モードでは、GTDVD レジスタは無効で、GTDVU レジスタがアップカウントおよびダウンカウント中にデッドタイム値として使用されます。マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどの GTDVU レジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。 三角波の場合、GTDVU レジスタがアップカウントに使用され、GTDVD レジスタはダウンカウントに使用されます。 のこぎり波の場合、アップカウントかダウンカウントかにかかわらず、GTDVU レジスタが前部のデッドタイムを制御し、GTDVD レジスタが後部のデッドタイムを制御します。 GTPR 以上の GTDVk 値は設定しないでください。 相補 PWM モードでは、以下の条件を満たすために、GTDVU レジスタを設定します。 ● GTDVU > 0 ● GTDVU < GTPR/2 ● GTDVU + GTPR≦0xffffffff デッドタイム自動設定機能を使用する場合、波形の変化点がカウント周期を超えるような値を設定しないでください。自動計算される逆相波形の変化点は、GTCCRB レジスタの読み出しによって得られます。 GTDVk レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。相補 PWM モード以外では、このレジスタを 0 にすると、デッドタイムなしの波形が出力されます。 GTDTCR.TDFER ビットが 1 のとき、GTDVD レジスタへの書き込みは無効です。このとき、GTDVD レジスタを読み出すと、GTDVU レジスタの値が読み出せます。 GPT の動作中は、GTDVk レジスタ値の変更はしないでください。GTDVk を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。	R/W

20.2.29　GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D)

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)

Offset address: 0x94 (GTDBU)
0x98 (GTDBD)

Bit position: 31 … 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTDVk レジスタ用のバッファレジスタ。 GTDBk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTDBk レジスタへの 8 ビット単位でのアクセスは禁止されています。16 ビットまたは 32 ビット単位でアクセスしてください。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

注.　GTDBD は GPT160～GPT162 でのみ使用可能です。
GPT163 では、GTDBD は 0x0000FFFF が読めます。書く場合、0x0000FFFF としてください。

20.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)

Offset address: 0x9C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOS[1:0]	出力保護機能ステータス 0 0: 通常動作 0 1: 保護状態（谷もしくは山の転送で GTCCRA レジスタ = 0 が設定された） 1 0: 保護状態（谷の転送で GTCCRA レジスタ≧GTPR レジスタが設定された） 1 1: 保護状態（山の転送で GTCCRA レジスタ≧GTPR レジスタが設定された）	R
7:2	—	読むと 0 が読めます。	R
9:8	—	読み出し値は不定です。	R
31:10	—	読むと 0 が読めます。	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動的に設定（GTDTCR.TDE ビット = 1）されている場合にのみ有効です。

SOS[1:0]ビット（出力保護機能ステータス）

SOS[1:0]ビットは、三角波 PWM モードにおける出力保護機能の状態を示します。出力保護機能の詳細については、「20.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～2, m = A, B)」を参照してください。

20.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)

Offset address: 0xA0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOTR	出力保護機能一時解除 0: 保護状態を解除しない 1: 保護状態を解除する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSOTR レジスタは、出力保護が設定されたときに、GTIOCnB 端子出力 (n = 0～3) の保護状態を一時解除します。

GTSOS.SOS[1:0] ビットが 10b（谷の転送で GTCCRA レジスタ≧GTPR レジスタとなったことを示す保護状態）の場合のみ、解除することができます。他の状態の場合には、保護状態は解除できません。

SOTR ビット（出力保護機能一時解除）

SOTR ビットは、出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するかしないかを設定します。

SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能を解除します。SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護機能を再開します。

20.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0xA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	ADSMS1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	ADSMS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADSMS0[1:0]	A/D 変換開始要求信号監視 0 の選択 0 0: アップカウント中に GTADTRA レジスタによって生成された A/D 変換開始要求信号 0 1: ダウンカウント中に GTADTRA レジスタによって生成された A/D 変換開始要求信号 1 0: アップカウント中に GTADTRB レジスタによって生成された A/D 変換開始要求信号 1 1: ダウンカウント中に GTADTRB レジスタによって生成された A/D 変換開始要求信号	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ADSMEN0	A/D 変換開始要求信号監視 0 の出力許可 0: A/D 変換開始要求信号モニタ 0 の出力を禁止 1: A/D 変換開始要求信号モニタ 0 の出力を許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	ADSMS1[1:0]	A/D 変換開始要求信号監視 1 の選択 0 0: アップカウント中に GTADTRA レジスタによって生成された A/D 変換開始要求信号 0 1: ダウンカウント中に GTADTRA レジスタによって生成された A/D 変換開始要求信号 1 0: アップカウント中に GTADTRB レジスタによって生成された A/D 変換開始要求信号 1 1: ダウンカウント中に GTADTRB レジスタによって生成された A/D 変換開始要求信号	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ADSMEN1	A/D 変換開始要求信号監視 1 の出力許可 0: A/D 変換開始要求信号モニタ 1 の出力を禁止 1: A/D 変換開始要求信号モニタ 1 の出力を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTADSMR レジスタは、フレーム期間と同期した A/D 変換開始要求信号の監視を制御するために使用します。

ADSMSk[1:0] ビット（A/D 変換開始要求信号監視 k の選択）(k = 0, 1)

ADSMSk[1:0]ビットは、GTASMk 端子によって監視される、フレーム周期に同期される A/D 変換開始要求信号を選択するために使用されます。

三角波 PWM モードや相補 PWM モードでは、次の設定は禁止されています。

- GTADTRA = 0 の状態で ADSMSk[1:0]ビットを 00b にする（アップカウント中の A/D 変換開始要求）
- GTADTRB = 0 の状態で ADSMSk[1:0]ビットを 10b にする（アップカウント中の A/D 変換開始要求）
- GTADTRA = GTPR の状態で ADSMSk[1:0]ビットを 01b にする（ダウンカウント中の A/D 変換開始要求）
- GTADTRB = GTPR の状態で ADSMSk[1:0]ビットを 11b にする（ダウンカウント中の A/D 変換開始要求）

ADSMENk ビット（A/D 変換開始要求信号監視 k の出力許可）(k = 0, 1)

ADSMENk ビットは、GTADSMk 端子へのモニタ出力を許可または禁止します。

出力を禁止すると、GTADSMk 端子が Low になります。

このビットが 1 の場合、GTADSMk 端子の信号は、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号のアサート時に High になり、A/D 変換開始を要求する任意の信号を発生させるチャネルの現在のタイマ周期の終わりに Low に戻ります。カウンタが停止すると、カウンタ停止時の値が出力用に保持されます。ADSMENk ビットを 0 にして Low レベルを出力してください。

A/D 変換開始要求信号がタイマ周期の終わりに発生した場合、出力監視に関してはこの信号の発生が優先され、出力は次の周期の終わりまで High のままです。

複数チャネルに対して同じ A/D 変換開始要求信号監視の出力を許可した場合、信号の論理和が GPT から出力されます。

20.2.33 GTEITC : 汎用 PWM タイマ拡張割り込み間引きカウンタコントロールレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0xA8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EITCNT2[3:0]				EITCNT2IV[3:0]				EIVTT2[3:0]				—	—	EIVTC2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EITCNT1[3:0]				—	—	—	—	EIVTT1[3:0]				—	—	EIVTC1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	EIVTC1[1:0]	拡張割り込み間引きカウンタ 1 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山をカウント 1 0: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの谷をカウント 1 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山／谷両方をカウント	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	EIVTT1[3:0]	拡張割り込み間引き 1 の間引き回数設定 拡張割り込み間引き 1 の間引き回数	R/W
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	EITCNT1[3:0]	拡張割り込み間引きカウンタ 1	R

ビット	シンボル	機能	R/W
17:16	EIVTC2[1:0]	拡張割り込み間引きカウンタ 2 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山をカウント 1 0: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの谷をカウント 1 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山／谷両方をカウント	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:20	EIVTT2[3:0]	拡張割り込み間引き 2 の間引き回数設定 拡張割り込み間引き 2 の間引き回数	R/W
27:24	EITCNT2IV[3:0]	拡張割り込み間引きカウンタ 2 の初期値	R/W(注1)
31:28	EITCNT2[3:0]	拡張割り込み間引きカウンタ 2	R

注 1.　00b だった EIVTC2[1:0] ビットに 00b 以外の値を書き込んだときにだけ、EITCNT2IV[3:0] ビットへの書き込みが可能です。

GTEITC レジスタは、GTCNT カウンタのオーバーフロー時とアンダーフロー時のカウントによって割り込み、A/D 変換開始要求、バッファ転送を別々に間引くための拡張割り込み間引き機能を設定します。

この設定の動作は GTITC レジスタまたは GTADCMSC レジスタによる割り込み間引きとは無関係に実行されます。

イベントカウント動作中は、この設定は無効です。

GTEITC レジスタの 8 ビット単位でのアクセスは禁止です。

EIVTCk[1:0] ビット（拡張割り込み間引きカウンタ k カウントソース選択）(k = 1, 2)

EIVTCk[1:0]ビットは、拡張割り込み間引きカウンタ k のカウント方法を選択します。

これらのビットを設定するだけでは、割り込み、A/D 変換開始要求、バッファ転送を間引きません。間引き対象である割り込み、A/D 変換開始要求、バッファ転送に対する間引き機能は、それぞれ個別に GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで設定します。

EIVTTk[3:0] ビット（拡張割り込み間引き k の間引き回数設定）(k = 1, 2)

EIVTTk[3:0]ビットは、拡張割り込み間引き k に間引きカウントを設定します。

連続間引きがある期間の回数を、間引き回数として設定します。このとき、EIVTCk[1:0] ビットで選択したカウントソースの発生から次のカウントソースの発生までを 1 期間とします。

EIVTTk[3:0] ビットが EITCNTk[3:0] ビットに一致しているときにカウントソースが発生した場合、EITCNTk[3:0] ビットがクリアされます。

これらのビットが 0x0 の場合、間引きしません。

EITCNT1[3:0] ビット（拡張割り込み間引きカウンタ 1）

EITCNT1[3:0]ビットは、拡張割り込み間引きカウンタ 1 です。

EIVTC1[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）が発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～EIVTT1[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

[0 になる条件]

- EIVTC1[1:0] ビットに 00b を書き込む。
- EIVTT1[3:0] ビットに 0x0 を書き込む。
- EIVTC1[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）は、EIVTT1[3:0] ビットで設定した拡張割り込み間引き 1 の間引き回数設定が EITCNT1[3:0] の値に一致した場合に発生します。

EITCNT2IV[3:0]ビット（拡張割り込み間引きカウンタ 2 の初期値）

EITCNT2IV[3:0]ビットは、拡張割り込み間引きカウンタ 2 の初期値です。

EIVTC2[1:0]ビットへの書き込み値が 00b 以外であり、かつ EITCNT2[3:0]ビットがカウントしない設定（EIVTC2[1:0]ビットが 00b）の間に GTEITC レジスタが上位 16 ビットまたは 32 ビットのアクセスによって書き込まれる場合のみ、EITCNT2IV[3:0]ビットへの書き込みが実行されます。EITCNT2IV[3:0]ビットが書き込まれると、EITCNT2IV[3:0]ビットに書き込まれる値は EITCNT2[3:0]ビットに同時に書き込まれます。

EITCNT2[3:0] ビットをカウントありに設定した場合（EIVTC2[1:0] ビットは 00b 以外）またはカウントなしに設定した場合（EIVTC2[1:0] ビットに 00b 書き込み）は、EITCNT2IV[3:0] ビットへの書き込みは無視されます。

EITCNT2IV[3:0] ビットは、EIVTC2[1:0] ビットへの 00b 書き込みによりリセットされません。

EITCNT2[3:0] ビット（拡張割り込み間引きカウンタ 2）

EITCNT2[3:0]ビットは、拡張割り込み間引きカウンタ 2 です。

EIVTC2[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）が発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～EIVTT2[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

EITCNT2[3:0] ビットの初期値が設定されるのは、EIVTC2[1:0] ビットの書き込み値が 00b 以外のときと、拡張割り込み間引きカウンタ 2 をカウントなしに設定した状態（EIVTC2[1:0] ビットは 00b）で上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われたときのみです。

初期値を設定すると、EITCNT2IV[3:0] ビットの書き込み値が初期値として EITCNT2[3:0] ビットに書き込まれます。

［0 になる条件］

- EIVTC2[1:0] ビットに 00b を書き込む。
- EIVTT2[3:0] ビットに 0x0 を書き込む。
- EIVTC2[1:0] ビットに 00b を設定した状態で、EIVTC2[1:0] ビットに 00b 以外の値を書き込むと同時に EITCNT2IV[3:0] ビットに 0x0 を書き込む。
- EIVTC2[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）は、EIVTT2[3:0] ビットで設定した拡張割り込み間引き 2 の間引き回数が EITCNT2[3:0] の値に一致したときに発生する。

20.2.34 GTEITLI1 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0xAC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	EITLU[2:0]			—	EITLV[2:0]			—	EITLF[2:0]			—	EITLE[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	EITLD[2:0]			—	EITLC[2:0]			—	EITLB[2:0]			—	EITLA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EITLA[2:0]	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EITLB[2:0]	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10:8	EITLC[2:0]	GTCCRC レジスタコンペアマッチ割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	EITLD[2:0]	GTCCRD レジスタコンペアマッチ割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	EITLE[2:0]	GTCCRE レジスタコンペアマッチ割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	EITLF[2:0]	GTCCRF レジスタコンペアマッチ割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	EITLV[2:0]	オーバーフロー割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	EITLU[2:0]	アンダーフロー割り込み拡張間引き機能選択 表 20.6 を参照してください。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTEITLI1 レジスタは、コンペアマッチ／インプットキャプチャ、オーバーフロー、アンダーフローなどの割り込みに対する拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

この設定の動作は GTITC レジスタまたは GTADCMSC レジスタによる割り込み間引きとは無関係に実行されます。

イベントカウント動作中は、この設定は無効です。

EITLm[2:0] ビット（GTCCRm レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択）(m = A, B)

EITLm[2:0] ビットは、拡張割り込み間引き機能を選択し、GTCCRm レジスタでコンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPm) を間引きします。表 20.6 を参照してください。

EITLx[2:0] ビット（GTCCRx レジスタコンペアマッチ割り込み拡張間引き機能選択）(x = C, D, E, F)

EITLx[2:0] ビットは、拡張割り込み間引き機能を選択し、GTCCRx レジスタでコンペアマッチ割り込み (GPTn_CMPx) を間引きします。表 20.6 を参照してください。

EITLV[2:0] ビット（オーバーフロー割り込み拡張間引き機能選択）

EITLV[2:0] ビットは、拡張割り込み間引き機能を選択し、オーバーフロー (GPTn_OVF) で割り込みを間引きします。表 20.6 を参照してください。

EITLU[2:0] ビット（アンダーフロー割り込み拡張間引き機能選択）

EITLU[2:0] ビットは、拡張割り込み間引き機能を選択し、アンダーフロー (GPTn_UDF) で割り込みを間引きします。表 20.6 を参照してください。

表 20.6　GTEITLI1 の機能選択の設定 (1/2)

EITLy[2:0]	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外である期間、割り込みを間引きます（割り込みは、EITCNT2[3:0] ビット = 0 の期間に出力されます）

表 20.6　GTEITLI1 の機能選択の設定 (2/2)

EITLy[2:0]	機能
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に出力されます）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）

注.
- y = A, B, C, D, E, F, V, U
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。(k = 1, 2)
- EITLy[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

20.2.35　GTEITLI2 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0xB0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	EADTBL[2:0]			—	EADTAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EADTAL[2:0]	GTADTRA レジスタ A/D 変換開始要求の拡張間引き機能選択 表 20.7 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EADTBL[2:0]	GTADTRB レジスタ A/D 変換開始要求の拡張間引き機能選択 表 20.7 を参照してください。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTEITLI2 レジスタは A/D 変換開始要求の拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

この設定の動作は GTITC レジスタまたは GTADCMSC レジスタによる割り込み間引きとは無関係に実行されます。

イベントカウント動作中は、この設定は無効です。

EADTmL[2:0] ビット（GTADTRm レジスタ A/D 変換開始要求の拡張間引き機能選択）(m = A, B)

EADTmL[2:0]ビットは、GTADTRm レジスタのコンペアマッチについて A/D 変換開始要求を間引きする拡張間引き機能を選択します。表 20.7 を参照してください。

表 20.7　GTEITLI2 レジスタの機能選択の設定

EADTmL[2:0]	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に出力されます）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。 (k = 1, 2)
- EADTmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

20.2.36　GTEITLB : 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0xB4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	EBTLDVD[2:0]			—	EBTLDVU[2:0]			—	EBTLADB[2:0]			—	EBTLADA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EBTLPR[2:0]			—	EBTLCB[2:0]			—	EBTLCA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EBTLCA[2:0]	GTCCRA レジスタバッファ転送拡張間引き機能選択 表 20.8 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EBTLCB[2:0]	GTCCRB レジスタバッファ転送拡張間引き機能選択 表 20.8 を参照してください。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	EBTLPR[2:0]	GTPR レジスタバッファ転送拡張間引き機能選択 表 20.8 を参照してください。	R/W(注1)
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	EBTLADA[2:0]	GTADTRA レジスタバッファ転送拡張間引き機能選択 表 20.8 を参照してください。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	EBTLADB[2:0]	GTADTRB レジスタバッファ転送拡張間引き機能選択 表 20.8 を参照してください。	R/W

ビット	シンボル	機能	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	EBTLDVU[2:0]	GTDVU レジスタバッファ転送拡張間引き機能選択(注2) 表 20.8 を参照してください。	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	EBTLDVD[2:0]	GTDVD レジスタバッファ転送拡張間引き機能選択(注2) 表 20.8 を参照してください。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTEITLB レジスタはバッファ転送の拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

この設定の動作は GTITC レジスタによる割り込み間引きとは無関係に実行されます。

GTOLBR レジスタから GTIOR.GTIOA[4:0] ビットと GTIOB[4:0] ビットへのバッファ転送は、拡張バッファ転送間引き機能の対象外です。

イベントカウント動作中は、この設定は無効です。

EBTLCA[2:0]ビット（GTCCRA レジスタバッファ転送拡張間引き機能選択）

EBTLCA[2:0]ビットは、GTCCRA レジスタでバッファ転送（GTCCRA、GTCCRC、GTCCRD レジスタおよびテンポラリレジスタ A の間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 20.8 を参照してください。

カウント動作停止中は、GTCCRA レジスタのバッファ転送の拡張間引きは GTBER.CCRSWT ビットによるバッファ強制転送に対して有効です。GTCCRA レジスタのバッファ強制転送は、拡張バッファ転送間引きを実行しない状態で実施してください。

相補 PWM モードでの GTCCRC／GTCCRE／GTCCRA レジスタ間のバッファ転送は間引くことができません。

EBTLCB[2:0]ビット（GTCCRB レジスタバッファ転送拡張間引き機能選択）

EBTLCB[2:0]ビットは、GTCCRB レジスタでバッファ転送（GTCCRB、GTCCRE、GTCCRF レジスタおよびテンポラリレジスタ B の間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 20.8 を参照してください。

カウント動作停止中は、GTCCRB レジスタのバッファ転送の拡張間引きは GTBER.CCRSWT ビットによるバッファ強制転送に対して有効です。GTCCRB レジスタのバッファ強制転送は、拡張バッファ転送間引きを実行しない状態で実施してください。

EBTLPR[2:0]ビット（GTPR レジスタバッファ転送拡張間引き機能選択）

EBTLPR[2:0]ビットは、GTPR レジスタでバッファ転送（GTPR、GTPBR、GTPDBR レジスタ間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 20.8 を参照してください。

GTPR のバッファ転送を相補 PWM モードで間引いた場合、スレーブチャネルのバッファ転送タイミングがマスタチャネルと一致するように、スレーブチャネルの GTEITC 設定とマスタチャネルの設定を一致させてください。

EBTLADm[2:0] ビット（GTADTRm レジスタバッファ転送拡張間引き機能選択）(m = A, B)

EBTLADm[2:0]ビットは、GTADTRm レジスタでバッファ転送（GTADTRm、GTADTBRm、GTADTDBRm レジスタ間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 20.8 を参照してください。

EBTLDVm[2:0] ビット（GTDVm レジスタバッファ転送拡張間引き機能選択）(m = U, D)

EBTLDVm[2:0]ビットは、GTDVm レジスタでバッファ転送（GTDVm レジスタと GTDBm レジスタの間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 20.8 を参照してください。

表 20.8　GTEITLB レジスタの機能選択の設定

EBTLx[2:0] ビット	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = 0 の期間に発生します）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は EITCNT2[3:0] ビット = 0 の期間に発生します）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に発生します）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に発生します）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に発生します）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に発生します）

注.
- y = CA, CB, PR, ADA, ADB, DVU, DVD
- 目的の間引きカウンタがカウントしないように設定されている場合（EIVTCk[1:0]ビット = 00b または EIVTTk[3:0]ビット = 0x0）、間引きは実行されません (k = 1, 2)。
- EBTLx[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

20.2.37　GTPC : 汎用 PWM タイマ周期カウントレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0xBC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PCNT[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PCEN	周期計数機能許可 0:　周期計数機能は禁止 1:　周期計数機能は許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASTP	自動停止機能許可 0:　自動停止機能は禁止 1:　自動停止機能は許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	PCNT[11:0]	周期カウンタ 周期計数のカウンタ	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTPC レジスタは周期回数をカウントします。

PCEN ビット（周期計数機能許可）

PCEN ビットは周期計数機能を有効または無効にします。

計数が進行中、停止中いずれにおいても書き込み可能です。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットのどちらかに 1 が書き込まれたとき、GTSECSR レジスタにより 1 が設定されたチャネルの PCEN ビットに値が同時に設定されます。

ASTP ビット（自動停止機能許可）

ASTP ビットは周期計数終了後の GTCNT カウンタ自動停止を許可または禁止します。

PCEN ビットが 0 のとき、書き込み可能です。

PCEN ビットが 1 のとき、書き込み禁止です。

PCEN ビットが 1 のとき、ASTP ビットが 1 でありかつ PCNT カウンタが PCNT = 0 で停止すると、GTCNT カウンタも停止します。ASTP ビットが 0 のときは、GTCNT はカウント動作を継続します。

PCNT[11:0]ビット（周期カウンタ）

PCNT[11:0]ビットは周期の数を計数するカウンタです。

PCEN ビットが 0 のとき、周期の数を書き込み可能です。

PCEN ビットが 1 のとき、書き込みは無効であり、周期の終わりでダウンカウントが実行されます。のこぎり波モードの場合、周期の終わりがオーバーフロー、アンダーフロー、またはカウンタクリアを表します。三角波モードまたは相補 PWM モードの場合は、谷を表します。

周期の終わりに PCNT[11:0]カウンタが 1 であるとき、カウンタは 0 になり、計数を停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT[11:0]カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT[11:0]カウンタは保持していた値からダウンカウントを再開します。

PCNT[11:0]カウンタが 0 かつ ASTP ビットが 1 の間に PCEN ビットが 0 から 1 に変化するとき、GTCNT カウンタがその直後にカウントクロックで停止します。

20.2.38 GTADCMSC : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引きコントロールレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0xC0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADCMSCNT2[3:0]				ADCMSCNT2IV[3:0]				ADCMST2[3:0]				—	—	ADCMSC2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADCMSCNT1[3:0]				ADCMSCNT1IV[3:0]				ADCMST1[3:0]				—	—	ADCMSC1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADCMSC1[1:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 のカウントソース選択 0 0:　カウントしない（間引きなし） 0 1:　GTADTRA レジスタのコンペアマッチをカウント 1 0:　GTADTRB レジスタのコンペアマッチをカウント 1 1:　GTADTRA レジスタのコンペアマッチと GTADTRB レジスタのコンペアマッチの両方をカウント	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	ADCMST1[3:0]	A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数設定 A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数	R/W

ビット	シンボル	機能	R/W
11:8	ADCMSCNT1IV[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の初期値	R/W(注1)
15:12	ADCMSCNT1[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1	R
17:16	ADCMSC2[1:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: GTADTRA レジスタのコンペアマッチをカウント 1 0: GTADTRB レジスタのコンペアマッチをカウント 1 1: GTADTRA レジスタのコンペアマッチと GTADTRB レジスタのコンペアマッチの両方をカウント	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:20	ADCMST2[3:0]	A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数設定 A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数	R/W
27:24	ADCMSCNT2IV[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値	R/W(注2)
31:28	ADCMSCNT2[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2	R

注 1.　ADCMSC1[1:0] ビットが 00b のときに、00b 以外の値を ADCMSC1[1:0] ビットに書き込む場合のみ、書き込みが可能です。
注 2.　ADCMSC2[1:0] ビットが 00b のときに、00b 以外の値を ADCMSC2[1:0] ビットに書き込む場合のみ、書き込みが可能です。

GTADCMSC レジスタは A/D 変換開始要求コンペアマッチ間引き機能の間引きカウンタを制御します。この機能は GTADTRA レジスタと GTADTRB レジスタのコンペアマッチをカウントし、A/D 変換開始要求とバッファ転送を別々に間引きます。

このレジスタ設定の動作は GTITC レジスタまたは GTEITC レジスタによる割り込み間引きとは無関係に実行されます。

GTADCMSC レジスタの 8 ビット単位でのアクセスは禁止です。

ADCMSCk[1:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウントソース選択）(k = 1, 2)

ADCMSCk[1:0]ビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウント方法を選択します。

これらのビットを設定するだけでは、A/D 変換開始要求とバッファ転送は間引きされません。間引き対象である A/D 変換開始要求とバッファ転送に対する間引き機能は、それぞれ個別に GTADCMSS レジスタに設定します。

ADCMSTk[3:0] ビット（A/D 変換開始要求コンペアマッチ間引き k の間引き回数設定）(k = 1, 2)

ADCMST2[3:0]ビットは、A/D 変換開始要求コンペアマッチ間引き k に間引きカウントを設定します。

連続間引きがある期間の回数を、間引き回数として設定します。この場合、ADCMSCk[1:0] ビットで選択したカウントソースの発生から次のカウントソースの発生までを 1 期間とします。

ADCMSTk[3:0] ビットが ADCMSCNTk[3:0] ビットに一致しているときにカウントソースが発生した場合、ADCMSCNTk[3:0] ビットがクリアされます。

これらのビットが 0x0 の場合、間引きしません。

ADCMSCNTkIV[3:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値）(k = 1, 2)

ADCMSCNTkIV[3:0]ビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値です。

ADCMSCNTkIV[3:0] への書き込みが行われるのは、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合と、ADCMSCNTk[3:0] ビットをカウントなしに設定した状態（ADCMSCk[1:0] ビットは 00b）で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合のみです。ADCMSCNTkIV[3:0] ビットに書き込むと、ADCMSCNTkIV[3:0] ビットに書き込んだ値は同時に ADCMSCNTk[3:0] ビットに書き込まれます。

ADCMSCNTk[3:0] ビットをカウントありに設定した場合（ADCMSCk[1:0] ビットは 00b 以外）またはカウントなしに設定した場合（ADCMSCk[1:0] ビットに 00b 書き込み）は、ADCMSCNTkIV[3:0] ビットへの書き込みは無視されます。

ADCMSCNTkIV[3:0] ビットは、ADCMSCk[1:0] ビットへの 00b 書き込みによりリセットされません。

ADCMSCNTk[3:0]ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k） (k = 1, 2)

ADCMSCNT1[3:0]ビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ k です。

ADCMSCk[1:0] ビットで選択したカウントソースが発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～ADCMSTk[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

ADCMSCNTk[3:0] ビットの初期値が設定されるのは、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合と、A/D 変換開始要求コンペアマッチ間引きカウンタ k をカウントなしに設定した状態（ADCMSCk[1:0] ビットは 00b）で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合のみです。

初期値を設定すると、ADCMSCNTkIV[3:0] ビットへの書き込み値が初期値として ADCMSCNTk[3:0] ビットに書き込まれます。

[0 になる条件]

- ADCMSCk[1:0] ビットに 00b を書き込む。
- ADCMSTk[3:0] ビットに 0x0 を書き込む。
- ADCMSCk[1:0] ビットに 00b を設定した状態で、ADCMSCk[1:0] ビットに 00b 以外の値を書き込むと同時に ADCMSCNTkIV[3:0] ビットに 0x0 を書き込む。
- ADCMSCk[1:0] ビットで選択したカウントソースは、ADCMSTk[3:0] ビットで設定した拡張割り込み間引き 2 の間引き回数が ADCMSCNTk[3:0] の値に一致したときに発生します。

20.2.39 GTADCMSS : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0xC4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	ADCMBSB[2:0]			—	ADCMBSA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ADCMSBL[2:0]			—	ADCMSAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADCMSAL[2:0]	GTADTRA レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択 表 20.9 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	ADCMSBL[2:0]	GTADTRB レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択 表 20.9 を参照してください。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	ADCMBSA[2:0]	A/D 変換開始要求コンペアマッチ間引き機能による GTADTRA レジスタバッファ転送の選択 表 20.10 を参照してください。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	ADCMBSB[2:0]	A/D 変換開始要求コンペアマッチ間引き機能による GTADTRB レジスタバッファ転送の選択 表 20.10 を参照してください。	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTADCMSS レジスタは、A/D 変換開始要求コンペアマッチ間引き機能、または A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm (m = A, B) レジスタバッファ転送を選択するレジスタです。

このレジスタを設定するだけでは間引きは実行されません。対応する A/D 変換開始要求コンペアマッチ間引きカウンタがカウント動作するように GTADCMSC レジスタを設定してください。

このレジスタ設定の動作は GTITC レジスタまたは GTEITC レジスタによる割り込み間引きとは無関係に実行されます。

ADCMSmL[2:0] ビット（GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択）(m = A, B)

ADCMSmL[2:0]ビットは、GTADTRm (m = A, B) レジスタの A/D 変換開始要求コンペアマッチ間引き機能を選択します（表 20.9）。

ADCMBSm[2:0] ビット（A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm レジスタバッファ転送の選択）(m = A, B)

ADCMBSm[2:0]ビットは、A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm (m = A, B) レジスタのバッファ転送を選択します。これは、GTADTRm (m = A, B) レジスタのバッファ転送（GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタ間の転送）を間引きます。表 20.10 を参照してください。

表 20.9　GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビットの設定（m = A, B）

ADCMSmL[2:0]	機能
0 0 0	A/D 変換開始要求コンペアマッチ間引きしません
0 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = 0 かつ ADCMSCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットの期間に出力されます）
1 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に出力されます）
1 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットかつ ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に出力されます）。

注.
- m = A、B
- 目的の間引きカウンタがカウントしないように設定されている場合（ADCMSCk[1:0]ビット = 00b または ADCMSTk[3:0]ビット = 0x0）、間引きは実行されません (k = 1, 2)。
- ADCMSmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタのどちらかをカウントなしに設定した場合は間引きしません。

表 20.10　A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm レジスタバッファ転送選択ビットの設定（m = A, B）

ADCMBSm[2:0]	機能
0 0 0	A/D 変換開始要求コンペアマッチ間引きによる GTADTRm レジスタバッファ転送をしません
0 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = 0 の期間に発生します）
0 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は ADCMSCNT2[3:0] ビット = 0 の期間に発生します）
0 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = 0 かつ ADCMSCNT2[3:0] ビット = 0 の期間に発生します）
1 0 0	設定禁止
1 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットの期間に発生します）
1 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に発生します）
1 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットかつ ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に発生します）

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（ADCMSCk[1:0] ビット = 00b または ADCMSTk[3:0] ビット = 0x0）した場合は間引きしません。（k = 1, 2）
- ADCMSmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタのどちらかをカウントなしに設定した場合は間引きしません。

20.2.40 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0xD0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SECSEL3	SECSEL2	SECSEL1	SECSEL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SECSEL0	チャネル 0 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
1	SECSEL1	チャネル 1 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
2	SECSEL2	チャネル 2 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
3	SECSEL3	チャネル 3 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSECR レジスタにより動作許可ビットを更新するチャネル n (n = 0〜3) を、GTSECSR レジスタで選択します。GTSECSR レジスタのビット位置はチャネル番号を示します。各チャネルの GTSECSR レジスタは共通レジスタで、任意のチャネルの GTSECSR レジスタのビットに 1 を書き込み更新すると、GTSECSR レジスタにより 1 が書き込まれたビット位置に対応するチャネルを GTSECR レジスタによる動作許可ビットで同時制御できるようにします。

GTSECSR へ 8 ビット単位、16 ビット単位でのアクセスはしないでください。32 ビット単位でアクセスしてください。

SECSELn ビット（動作許可ビット同時制御チャネル選択） (n = 0〜3)

SECSELn ビットはチャネル n の動作許可の同時制御を許可または禁止します。

本ビットを 1 にすると、同時制御が許可されます。本ビットを 0 にすると、同時制御が禁止されます。

20.2.41 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0〜2)
GPT163 = 0x4008_9300

Offset address: 0xD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SSCD	SPCD	—	—	—	—	—	—	SSCE	SPCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SBDDD	SBDAD	SBDPD	SBDCD	—	—	—	—	SBDDE	SBDAE	SBDPE	SBDCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBDCE	GTCCR レジスタバッファ動作同時許可 0: GTCCR レジスタバッファの動作を同時に許可しない 1: GTCCR レジスタバッファの動作を同時に許可する	R/W
1	SBDPE	GTPR レジスタバッファ動作同時許可 0: GTPR レジスタバッファの動作を同時に許可しない 1: GTPR レジスタバッファの動作を同時に許可する	R/W(注1)
2	SBDAE	GTADTR レジスタバッファ動作同時許可 0: GTADTR レジスタバッファの動作を同時に許可しない 1: GTADTR レジスタバッファの動作を同時に許可する	R/W
3	SBDDE	GTDV レジスタバッファ動作同時許可(注2) 0: GTDV レジスタバッファの動作を同時に許可しない 1: GTDV レジスタバッファの動作を同時に許可する	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SBDCD	GTCCR レジスタバッファ動作同時禁止 0: GTCCR レジスタバッファ動作を同時に禁止しない 1: GTCCR レジスタバッファ動作を同時に禁止する	R/W
9	SBDPD	GTPR レジスタバッファ動作同時禁止 0: GTPR レジスタバッファ動作を同時に禁止しない 1: GTPR レジスタバッファ動作を同時に禁止する	R/W(注1)
10	SBDAD	GTADTR レジスタバッファ動作同時禁止 0: GTADTR レジスタバッファ動作を同時に禁止しない 1: GTADTR レジスタバッファ動作を同時に禁止する	R/W
11	SBDDD	GTDV レジスタバッファ動作同時禁止(注2) 0: GTDV レジスタバッファ動作を同時に禁止しない 1: GTDV レジスタバッファ動作を同時に禁止する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPCE	周期計数機能の同時許可 0: 周期計数機能を同時に許可しない 1: 周期計数機能を同時に許可する	R/W
17	SSCE	同期セット／クリア同時許可 0: 同期セット／クリアを同時に許可しない 1: 同期セット／クリアを同時に許可する	R/W(注1)
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPCD	周期計数機能の同時禁止 0: 周期計数機能を同時に禁止しない 1: 周期計数機能を同時に禁止する	R/W
25	SSCD	同期セット／クリア同時禁止 0: 同期セット／クリアを同時に禁止しない 1: 同期セット／クリアを同時に禁止する	R/W(注1)

ビット	シンボル	機能	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　相補 PWM モードでは、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTSECR レジスタは、GTSECSR レジスタで設定されたチャネルの動作許可ビットの値を同時に更新します。

任意のチャネルの GTSECR レジスタのビットに 1 を書き込み更新すると、全ての GTSECSR レジスタで 1 が書かれたビット位置に関連する全チャネルの動作許可ビットが更新されます。

GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを 1 に設定することは禁止です。

1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと 0 が読めます。

GTSECR レジスタへの 8 ビットまたは 16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット（GTCCR レジスタバッファ動作同時許可）

SBDCE ビットは、GTCCR レジスタバッファ動作を同時に許可します。

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 0 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が許可されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPE ビット（GTPR レジスタバッファ動作同時許可）

SBDPE ビットは、GTPR レジスタバッファ動作を同時に許可します。

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 0 が設定され、GTPR、GTPDBR、GTPBR レジスタによるバッファ動作が許可されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAE ビット（GTADTR レジスタバッファ動作同時許可）

SBDAE ビットは、GTADTR レジスタバッファ動作を同時に許可します。

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 0 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が許可されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDE ビット（GTDV レジスタバッファ動作同時許可）

SBDDE ビットは、GTDV レジスタバッファ動作を同時に許可します。

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 0 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が許可されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SBDCD ビット（GTCCR レジスタバッファ動作同時禁止）

SBDCD ビットは、GTCCR レジスタバッファ動作を同時に禁止します。

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 1 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が禁止されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPD ビット（GTPR レジスタバッファ動作同時禁止）

SBDPD ビットは、GTPR レジスタバッファ動作を同時に禁止します。

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 1 が設定され、GTPR、GTPDBR、GTPBR レジスタによるバッファ動作が禁止されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAD ビット（GTADTR レジスタバッファ動作同時禁止）

SBDAD ビットは、GTADTR レジスタバッファ動作を同時に禁止します。

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 1 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が禁止されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDD ビット（GTDV レジスタバッファ動作同時禁止）

SBDDD ビットは、GTDV レジスタバッファ動作を同時に禁止します。

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 1 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が禁止されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SPCE ビット（周期計数機能の同時許可）

SPCE ビットは、周期計数機能を同時に許可します。

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 1 が設定され、周期計数機能が許可されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SSCE ビット（同期セット／クリア同時許可）

SSCE ビットは、同期セット／クリア機能を同時に許可します。

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTCR.SSCEN ビットに同時に 1 が設定され、同期セット／クリア機能が許可されます。

SSCE ビットと SSCD ビットを同時に 1 に設定することは禁止です。

SPCD ビット（周期計数機能の同時禁止）

SPCD ビットは、周期計数機能を同時に禁止します。

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 0 が設定され、周期計数機能が禁止されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SSCD ビット（同期セット／クリア同時禁止）

SSCD ビットは、同期セット／クリア機能を同時に禁止します。

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTCR.SSCEN ビットに同時に 0 が設定され、同期セット／クリア機能が禁止されます。

SSCE ビットと SSCD ビットを同時に 1 に設定することは禁止です。

20.2.42 GTBER2 : 汎用 PWM タイマバッファイネーブルレジスタ 2

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0xE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	OLTTB[1:0]		OLTTA[1:0]		CPBTD	CP3DB	—		CPTDV	CPTADB	CPTADA	CPTPR	CPTCB	CPTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMTADB	CMTADA	—	CMTCB[1:0]		CMTCA[1:0]		—	—	CCTDV	CCTADB	CCTADA	CCTPR	CCTCB	CCTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CCTCA	カウンタクリア要因 GTCCRA レジスタバッファ転送禁止 0: カウンタクリアによる GTCCRA レジスタのバッファ転送を許可 1: カウンタクリアによる GTCCRA レジスタのバッファ転送を禁止	R/W
1	CCTCB	カウンタクリア要因 GTCCRB レジスタバッファ転送禁止 0: カウンタクリアによる GTCCRB レジスタのバッファ転送を許可 1: カウンタクリアによる GTCCRB レジスタのバッファ転送を禁止	R/W
2	CCTPR	カウンタクリア要因 GTPR レジスタバッファ転送禁止 0: カウンタクリアによる GTPR レジスタのバッファ転送を許可 1: カウンタクリアによる GTPR レジスタのバッファ転送を禁止	R/W
3	CCTADA	カウンタクリア要因 GTADTRA レジスタバッファ転送禁止 0: カウンタクリアによる GTADTRA レジスタのバッファ転送を許可 1: カウンタクリアによる GTADTRA レジスタのバッファ転送を禁止	R/W
4	CCTADB	カウンタクリア要因 GTADTRB レジスタバッファ転送禁止 0: カウンタクリアによる GTADTRB レジスタのバッファ転送を許可 1: カウンタクリアによる GTADTRB レジスタのバッファ転送を禁止	R/W
5	CCTDV	カウンタクリア要因 GTDVU/GTDVD レジスタバッファ転送禁止 0: カウンタクリアによる GTDVU/GTDVD レジスタのバッファ転送を許可 1: カウンタクリアによる GTDVU/GTDVD レジスタのバッファ転送を禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CMTCA[1:0]	コンペアマッチ要因 GTCCRA レジスタバッファ転送許可 0 0: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を禁止 0 1: GTCCRA レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を許可 1 0: GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を許可 1 1: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を許可	R/W
11:10	CMTCB[1:0]	コンペアマッチ要因 GTCCRB レジスタバッファ転送許可 0 0: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を禁止 0 1: GTCCRA レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を許可 1 0: GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を許可 1 1: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
13	CMTADA	コンペアマッチ要因 GTADTRA レジスタバッファ転送許可 0: GTADTRA レジスタのコンペアマッチによる GTADTRA レジスタのバッファ転送を禁止 1: GTADTRA レジスタのコンペアマッチによる GTADTRA レジスタのバッファ転送を許可	R/W
14	CMTADB	コンペアマッチ要因 GTADTRB レジスタバッファ転送許可 0: GTADTRB レジスタのコンペアマッチによる GTADTRB レジスタのバッファ転送を禁止 1: GTADTRB レジスタのコンペアマッチによる GTADTRB レジスタのバッファ転送を許可	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPTCA	オーバーフロー／アンダーフロー要因 GTCCRA レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTCCRA レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTCCRA レジスタのバッファ転送を禁止	R/W
17	CPTCB	オーバーフロー／アンダーフロー要因 GTCCRB レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTCCRB レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTCCRB レジスタのバッファ転送を禁止	R/W
18	CPTPR	オーバーフロー／アンダーフロー要因 GTPR レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTPR レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTPR レジスタのバッファ転送を禁止	R/W
19	CPTADA	オーバーフロー／アンダーフロー要因 GTADTRA レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTADTRA レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTADTRA レジスタのバッファ転送を禁止	R/W
20	CPTADB	オーバーフロー／アンダーフロー要因 GTADTRB レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTADTRB レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTADTRB レジスタのバッファ転送を禁止	R/W
21	CPTDV	オーバーフロー／アンダーフロー要因 GTDVU/GTDVD レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTDVU/GTDVD レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTDVU/GTDVD レジスタのバッファ転送を禁止	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	CP3DB	相補 PWM モード３、４ダブルバッファ選択(注1) 0: 相補 PWM モード 3、4 でのダブルバッファ機能を禁止 1: 相補 PWM モード 3、4 でのダブルバッファ機能を許可	R/W
25	CPBTD	相補 PWM モードのバッファ転送禁止(注1) 0: テンポラリレジスタから GTCCRC レジスタと GTPBR レジスタへのバッファ転送を許可 1: テンポラリレジスタから GTCCRC レジスタと GTPBR レジスタへのバッファ転送を禁止	R/W
27:26	OLTTA[1:0]	GTIOCnA 出力レベルのバッファ転送タイミング選択(注1) 0 0: 転送しない 0 1: 三角波、相補 PWM モード：山で転送 のこぎり波：期間の終わりで転送 1 0: 三角波、相補 PWM モード：谷で転送 のこぎり波：GTCCRA レジスタのコンペアマッチによる転送 1 1: 三角波、相補 PWM モード：山と谷で転送 のこぎり波：設定禁止	R/W

ビット	シンボル	機能	R/W
29:28	OLTTB[1:0]	GTIOCnB 出力レベルのバッファ転送タイミング選択(注1) 0 0: 転送しない 0 1: 三角波、相補 PWM モード：山で転送 のこぎり波：期間の終わりで転送 1 0: 三角波、相補 PWM モード：谷で転送 のこぎり波：GTCCRB レジスタのコンペアマッチによる転送 1 1: 三角波、相補 PWM モード：山と谷で転送 のこぎり波：設定禁止	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　このビットは GPT160～GPT162 でのみ使用可能です。
GPT163 でこのビットは 0 が読めます。書く場合、0 としてください。

GTBER2 レジスタは、バッファ動作用の設定をします。

CP3DB ビットと OLTTm[1:0] （m = A, B）ビットは GTCNT カウンタの停止時に設定してください。

CCTCA ビット（カウンタクリア要因 GTCCRA レジスタバッファ転送禁止）

CCTCA ビットは、GTCCRA レジスタ、GTCCRC レジスタ、および GTCCRD レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTCA ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTCA ビット設定と競合する場合、CCTCA ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTCB ビット（カウンタクリア要因 GTCCRB レジスタバッファ転送禁止）

CCTCB ビットは、GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTCB ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTCB ビット設定と競合する場合、CCTCB ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTPR ビット（カウンタクリア要因 GTPR レジスタバッファ転送禁止）

CCTPR ビットは、GTPR、GTPBR、GTPDBR レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[1] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.PR[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTPR ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

イベントカウント動作中は、この設定は無効です。

CCTADm ビット（カウンタクリア要因 GTADTRm レジスタバッファ転送禁止） (m = A, B)

CCTADm ビットは、GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTADm ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTADm ビット設定と競合する場合、CCTADm ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTDV ビット（カウンタクリア要因 GTDVU/GTDVD レジスタバッファ転送禁止）

CCTDV ビットは、GTDVU レジスタと GTDBU レジスタ、または GTDVD レジスタと GTDBD レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[3] ビットが 0（バッファ動作許可）で、のこぎり波の GTDTCR.TDBUE ビットまたは GTDTCR.TDBDE ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTDV ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

イベントカウント動作中は、この設定は無効です。

CMTCA[1:0]ビット（コンペアマッチ要因 GTCCRA レジスタバッファ転送許可）

CMTCA[1:0]ビットは、GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタを共に使用した GTCCRA のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTCA ビット設定と競合する場合、CCTCA ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CMTCB[1:0]ビット（コンペアマッチ要因 GTCCRB レジスタバッファ転送許可）

CMTCB[1:0]ビットは、GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタを共に使用した GTCCRB のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTCB ビット設定と競合する場合、CCTCB ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CMTADm ビット（コンペアマッチ要因 GTADTRm レジスタバッファ転送許可）(m = A, B)

CMTADm ビットは、GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタを共に使用した GTADTRm のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTADm ビット設定と競合する場合、CCTADm ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CPTCA ビット（オーバーフロー／アンダーフロー要因 GTCCRA レジスタバッファ転送禁止）

CPTCA ビットは、GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTCA ビットが 0（カウンタクリアによる GTCCRA レジスタバッファ転送許可）、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTCB ビット（オーバーフロー／アンダーフロー要因 GTCCRB レジスタバッファ転送禁止）

CPTCB ビットは、GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTCB ビットが 0（カウンタクリアによる GTCCRB レジスタバッファ転送許可）、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTPR ビット（オーバーフロー／アンダーフロー要因 GTPR レジスタバッファ転送禁止）

CPTPR ビットは、GTPR レジスタ、GTPBR レジスタ、GTPDBR レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTPR ビットが 0（カウンタクリアによる GTPR レジスタバッファ転送許可）、GTBER.BD[1] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.PR[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTADm ビット（オーバーフロー／アンダーフロー要因 GTADTRm レジスタバッファ転送禁止） (m = A, B)

CPTADm ビットは、GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTADm ビットが 0（カウンタクリアによる GTADTRm レジスタバッファ転送許可）、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTDV ビット（オーバーフロー／アンダーフロー要因 GTDVU/GTDVD レジスタバッファ転送禁止）

CPTDV ビットは、GTDVU レジスタと GTDBU レジスタ、または GTDVD レジスタと GTDBD レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTDV ビットが 0（カウンタクリアによる GTDVU/GTDVD レジスタバッファ転送許可）、GTBER.BD[3] ビットが 0（バッファ動作許可）で、のこぎり波の GTDTCR.TDBUE ビットまたは GTDTCR.TDBDE ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CP3DB ビット（相補 PWM モード３、４ダブルバッファ選択）

CP3DB ビットは、相補 PWM モード 3 および 4 での GTCCRA レジスタ、GTCCRE レジスタ、GTCCRF レジスタを共に使用したバッファ転送を許可します。

CPBTD ビット（相補 PWM モードのバッファ転送禁止）

CPBTD ビットは、相補 PWM モード 1、2、3 でのタイマカウント中における、テンポラリレジスタ（テンポラリレジスタ A とテンポラリレジスタ P）から GTCCRC レジスタと GTPBR レジスタへのバッファ転送を禁止します。CP3DB ビットが 1 の場合、テンポラリレジスタ B から GTCCRE レジスタへのバッファ転送も禁止されます。相補 PWM モード 4 では、本設定は無効です。

OLTTm[1:0] ビット（GTIOCnA 出力レベルのバッファ転送タイミング選択）(m = A, B)

OLTTm[1:0]ビットは、GTOLBR.GTIOmB[4:0]ビットから GTIOR.GTIOm[4:0]ビットへのバッファ転送のタイミングを設定します。

20.2.43　GTOLBR : 汎用 PWM タイマ出力レベルバッファレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)

Offset address: 0xE4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	GTIOBB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	GTIOAB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOAB[4:0]	GTIOA バッファビット	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	GTIOBB[4:0]	GTIOB バッファビット	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTOLBR レジスタは GTIOR.GTIOA[4:0] ビットと GTIOR.GTIOB[4:0] ビット用のバッファレジスタです。

GTIOmB[4:0] ビット（GTIOm バッファビット）(m = A, B)

GTIOmB[4:0]ビットは、GTIOR.GTIOm[4:0]ビットのバッファビットになります。

これらのビットは、GTBER2.OLTTm[1:0]（m = A, B）ビットで選択した転送タイミングで GTIOR.GTIOm[4:0] ビットへ転送されます。

20.2.44　GTICCR : 汎用 PWM タイマのチャネル間連携インプットキャプチャコントロールレジスタ

Base address: GPT16n = 0x4008_9000 + 0x0100 × n (n = 0～2)
GPT163 = 0x4008_9300

Offset address: 0xEC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ICBGRP[1:0]		—	—	—	—	—	ICBCLK	ICBFPU	ICBFPO	ICBFF	ICBFE	ICBFD	ICBFC	ICBFB	ICBFA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ICAGRP[1:0]		—	—	—	—	—	ICACLK	ICAFPU	ICAFPO	ICAFF	ICAFE	ICAFD	ICAFC	ICAFB	ICAFA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ICAFA	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W

ビット	シンボル	機能	R/W
1	ICAFB	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
2	ICAFC	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可 0: GTCCRC レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRC レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
3	ICAFD	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可 0: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
4	ICAFE	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可 0: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
5	ICAFF	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可 0: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
6	ICAFPO	他のチャネルの GTCCRA インプットキャプチャ要因へのオーバーフローの転送許可 0: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
7	ICAFPU	他のチャネルの GTCCRA インプットキャプチャ要因へのアンダーフローの転送許可 0: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
8	ICACLK	他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可 0: カウントクロックの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: カウントクロックの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
13:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	ICAGRP[1:0]	GTCCRA インプットキャプチャグループ選択 0 0: グループ A を選択 0 1: グループ B を選択 1 0: グループ C を選択 1 1: グループ D を選択	R/W
16	ICBFA	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W

ビット	シンボル	機能	R/W
17	ICBFB	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
18	ICBFC	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可 0: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
19	ICBFD	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可 0: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
20	ICBFE	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可 0: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
21	ICBFF	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可 0: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
22	ICBFPO	他のチャネルの GTCCRB インプットキャプチャ要因へのオーバーフローの転送許可 0: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
23	ICBFPU	他のチャネルの GTCCRB インプットキャプチャ要因へのアンダーフローの転送許可 0: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
24	ICBCLK	他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可 0: カウントクロックの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: カウントクロックの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
29:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:30	ICBGRP[1:0]	GTCCRB インプットキャプチャグループ選択 0 0: グループ A を選択 0 1: グループ B を選択 1 0: グループ C を選択 1 1: グループ D を選択	R/W

GTICCR レジスタはチャネル間連携によるインプットキャプチャを制御します。

チャネル間連携によるインプットキャプチャを実行するチャネルの場合、インプットキャプチャが発生する GTCCRA レジスタまたは GTCCRB レジスタに対応するインプットキャプチャ要因の転送許可ビットは無効です。

ICAFm ビット（他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRm レジスタコンペアマッチ／インプットキャプチャの転送許可）(m = A, B)

ICAFm ビットは、他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、GTCCRm レジスタのコンペアマッチ／インプットキャプチャを使用することを許可または禁止します。

ICAFx ビット（他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRx レジスタコンペアマッチの転送許可）(x = C, D, E, F)

ICAFx ビットは、他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、GTCCRx レジスタのコンペアマッチを使用することを許可または禁止します。

ICAFPO ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのオーバーフローの転送許可）

ICAFPO ビットは、他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードを使用することを許可または禁止します。

ICAFPU ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのアンダーフローの転送許可）

ICAFPU ビットは、他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードを使用することを許可または禁止します。

ICACLK ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可）

ICACLK ビットは、他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、カウントクロックを使用することを許可または禁止します。

ICAGRP[1:0]ビット（GTCCRA インプットキャプチャグループ選択）

ICAGRP[1:0]ビットは、GTCCRA レジスタのチャネル間連携によってインプットキャプチャのグループを選択します。

他のチャネルからのインプットキャプチャ要因により GTCCRA レジスタのインプットキャプチャを受け付けるチャネルの場合、GTICASR.ASOC ビットを 1 にして、ICAGRP[1:0] ビットでチャネル間連携のグループを選択してください。

ICBFm ビット（他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRm レジスタコンペアマッチ／インプットキャプチャの転送許可）(m = A, B)

ICBFm ビットは、他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、GTCCRm レジスタのコンペアマッチ／インプットキャプチャを使用することを許可または禁止します。

ICBFx ビット（他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRx レジスタコンペアマッチの転送許可）(x = C, D, E, F)

ICBFx ビットは、他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、GTCCRx レジスタのコンペアマッチを使用することを許可または禁止します。

ICBFPO ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのオーバーフローの転送許可）

ICBFPO ビットは、他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードを使用することを許可または禁止します。

ICBFPU ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのアンダーフローの転送許可）

ICBFPU ビットは、他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードを使用することを許可または禁止します。

ICBCLK ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可）

ICBCLK ビットは、他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、カウントクロックを使用することを許可または禁止します。

ICBGRP[1:0]ビット（GTCCRB インプットキャプチャグループ選択）

ICBGRP[1:0]ビットは、GTCCRB レジスタのチャネル間連携によってインプットキャプチャのグループを選択します。

他のチャネルからのインプットキャプチャ要因により GTCCRB レジスタのインプットキャプチャを受け付けるチャネルの場合、GTICBSR.BSOC ビットを 1 にして、ICBGRP[1:0] ビットでチャネル間連携のグループを選択してください。

20.2.45 OPSCR : 出力相切り替えコントロールレジスタ

Base address: GPT_OPS = 0x4008_9A00

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UF	入力相ソフト設定 ソフトウェア設定により入力相を設定します。 OPSCR.FB = 1 のとき、これらのビットの設定が有効になります。	R/W
1	VF		R/W
2	WF		R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	U	入力 U 相監視 入力相の状態を監視します。 OPSCRFB = 0: GTCLK と同期した外部入力 OPSCRFB = 1: ソフトウェア設定（UF ビット）	R
5	V	入力 V 相監視 入力相の状態を監視します。 OPSCRFB = 0 : GTCLK と同期した外部入力 OPSCRFB = 1: ソフトウェア設定（VF ビット）	R
6	W	入力 W 相監視 入力相の状態を監視します。 OPSCRFB = 0: GTCLK と同期した外部入力 OPSCRFB = 1: ソフトウェア設定（WF ビット）	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EN	出力相許可 0: 出力しない（外部端子は Hi-Z） 1: 出力(注1)	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FB	外部フィードバック信号許可 入力相をソフトウェア設定値と外部入力から選択します。 0: 外部入力を選択 1: ソフトウェア設定 (OPSCR.UF, VF, WF) を選択	R/W
17	P	正相出力 (P) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
18	N	逆相出力 (N) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
19	INV	出力相反転制御 0: 正論理（アクティブ High）を出力 1: 負論理（アクティブ Low）を出力	R/W
20	RV	出力相回転方向反転 0: 正回転 1: 逆回転	R/W

ビット	シンボル	機能	R/W
21	ALIGN	入力相アライメント 0: 入力相を GTCLK に調整 1: 入力相を PWM の立ち下がりエッジに調整	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
26	GODF	グループ出力禁止機能 0: このビット機能を無視 1: グループ禁止で OPSCR.EN ビットをクリア(注1)	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFEN	外部入力ノイズフィルタ有効 0: 外部入力にノイズフィルタを使用しない 1: 外部入力にノイズフィルタを使用する	R/W
31:30	NFCS[1:0]	外部入力ノイズフィルタクロック選択 外部入力のノイズフィルタサンプリングクロック設定 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W

注 1.　OPSCR.GODF = 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モーター制御に必要な信号波形の出力を設定するレジスタです。

UF、VF、WF ビット（入力相ソフト設定）

UF 、VF 、WF ビットはソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。UF /VF /WF ビットの設定値が U/V/W 外部入力の代わりになります。

U,V,W ビット（入力相監視）

U、V、W ビットは、U、V、W 入力相の状態を示します。

OPSCR.FB ビットが 0 の場合、GTCLK と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは OPSCR.UF、OPSCR.VF、OPSCR.WF ビットを読み出し可能です。

EN ビット（出力相許可）

EN ビットは出力相（正相／逆相）の出力許可信号を制御します。

OPSCR.EN ビットが 1 の時に出力します。

OPSCR.EN ビットが 0 のとき、まず OPSCR.FB、OPSCR.UF/VF /WF （ソフトウェア設定選択）、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP[1:0]、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS を設定してください。それから、EN ビットを 1 に設定してください。EN ビットは POEG から出力禁止要求が発生していない場合に設定してください。また、OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。ソフトウェアで 1 が書かれても、EN ビットは 0 のままです。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットの優先順位は以下のとおりです（競合発生時）。

EN ビットでソフトウェアによる 1 書き込みと出力禁止要求による 0 クリアが競合している場合は、出力禁止要求による 0 クリアが有効です。

FB ビット（外部フィードバック信号許可）

FB ビットは入力相にソフトウェアで設定した値 (OPSCR.UF, VF, WF) を用いるか、ホールエレメントのような外部入力を用いるかを選択します。

P ビット（正相出力 (P) 制御）

P ビットは正相出力（GTOUUP 端子、GTOVUP 端子、GTOWUP 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

N ビット（逆相出力 (N) 制御）

N ビットは逆相出力（GTOULO 端子、GTOVLO 端子、GTOWLO 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

INV ビット（出力相反転制御）

INV ビットは出力相として、正論理（アクティブ High）出力、または負論理（アクティブ Low）出力のどちらかを選択します。

RV ビット（出力相回転方向反転）

RV ビットは V 相／ W 相を入れ替えることにより、モーターの回転方向を反転させます。

ALIGN ビット（入力相アライメント）

ALIGN ビットは入力相のサンプリングとして、GTCLK または PWM を選択します（入力相は OPSCR.FB ビットで指定)。

OPSCR.ALIGN ビットが 0 のとき、入力相は GTCLK に調整されます。

注.　チョッピングが実行される場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、パルス出力切り替えタイミングと PWM 相の差分によります。

OPSCR.ALIGN ビットが 1 のとき、入力相は PWM の立ち下がりエッジに調整されます。

GRP[1:0]ビット（出力禁止要因選択）

GRP[1:0]ビットは出力禁止要因を選択します。

GODF ビットが 0 のときに GRP ビットを設定してください。GRP ビットが接続グループ以外の POEG を選択するとき、出力端子のステータスは禁止に変わりません。

GODF ビット（グループ出力禁止機能）

GODF ビットは OPSCR.EN ビットをクリアします。

OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。

OPSCR.GODF = 0 の時は、本ビットは無視されます。

GODF ビットは POEG から出力禁止要求が発生していない場合に設定してください。

NFEN ビット（外部入力ノイズフィルタ有効）

NFEN ビットは外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。

注.　本ビットの切り替えにより生じる、意図しない内部エッジの発生を避けるために、EN ビットが 0 の間に本ビットを設定してください。

NFCS[1:0]ビット（外部入力ノイズフィルタクロック選択）

NFCS[1:0]ビットは外部入力用のノイズフィルタのクロックを選択します。OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0]ビットを設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

20.3 動作説明

20.3.1 基本動作

各チャネルには 16 ビットタイマがあり、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタまたは GTCCRm (m = A〜F) レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA レジスタまたは GTCCRB レジスタの値に一致すると、対応する GTIOCnA 端子または GTIOCnB 端子からの出力を変更できます (n = 0〜3)。GTCCRA レジスタまたは GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、 GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、 GTCCRB レジスタ用のバッファレジスタとしても機能します。

20.3.1.1 カウンタの動作

(1) カウンタスタート／ストップ

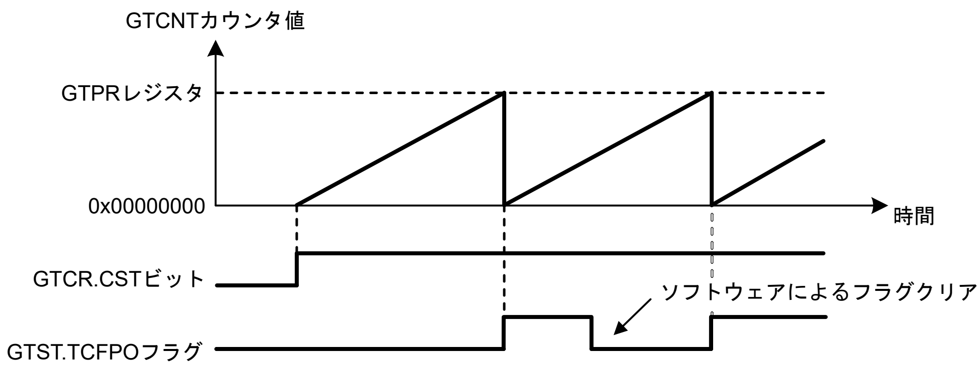
各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因
- GTPC.ASTP ビットが 1 の状態での周期計数機能の終了

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタおよび GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）する、またはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットで選択された GTCCRm (m = A〜F) の値が 0 になると、GTST.TCFPO フラグが 1 になり、オーバーフロー割り込み (GPTn_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 20.4 にカウントクロックによるアップカウント時の周期カウント動作例を示します。



注. レジスタのベースアドレスは同じです。

図 20.4 カウントクロックによるアップカウント時の周期カウント動作例

表 20.11 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 20.11　カウントクロックによるアップカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.4 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.4 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットで GTCCRx (x = A～F) を選択し、GTPR レジスタで周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。図 20.4 では、0x00000000 を設定します。
6	カウント動作開始	GTCR.CST ビットに 1 を設定すると、対応するチャネルがカウント動作を開始します。

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 20.5 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

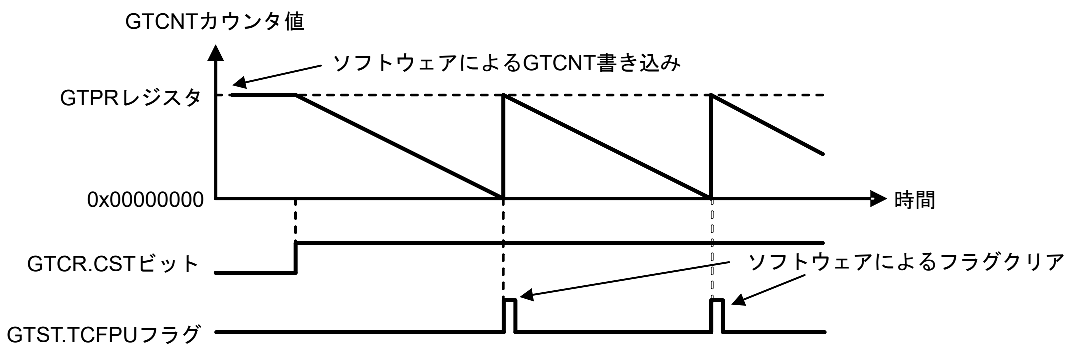


図 20.5　カウントクロックによるダウンカウント時の周期カウント動作例

表 20.12 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 20.12　カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.5 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 20.5 では、GTUDDTYC.UDF および UD ビットに 10b を設定してから、GTUDDTYC.UDF および UD ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.5 では GTPR 値を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。 図 20.5 では、CST ビットに 1 を設定します。

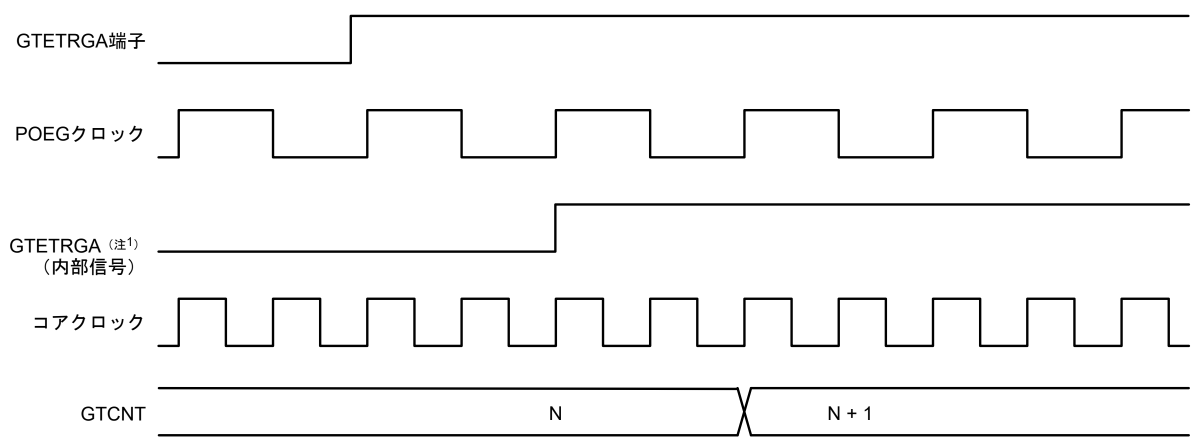
(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同じです。

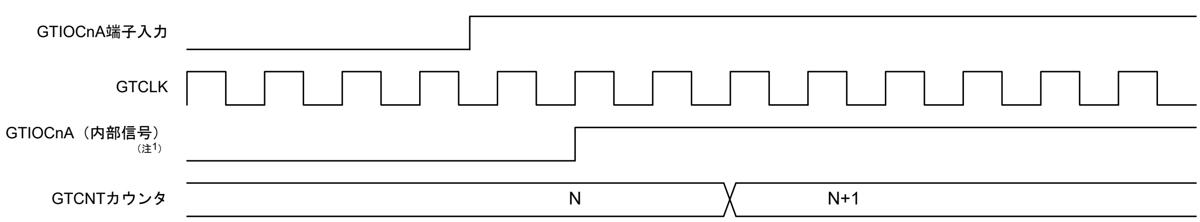
アップカウントにハードウェア要因を使用している場合は、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはアップカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 GTCLK 後からアップカウントを行うためには、GTCR.TPCS[3:0]ビットを 0x0 にしてください。

図 20.6 と図 20.7 に、ハードウェア要因（GTETRGA 端子入力の立ち上がりエッジおよび GTIOCnA 端子入力の立ち上がりエッジ）によるアップカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB、コアクロック：PCLKD
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.6 ハードウェア要因によるアップカウント時のイベントカウント動作例



注 1. これはデジタルノイズフィルタが使用されていない場合です。

図 20.7 イベントカウント動作例（GTIOCnA 端子入力の立ち上がりエッジによるアップカウント時）

図 20.8 に ELC_GPTA イベント入力によるイベントカウント動作例を示します。

これは GPT161.GTCNT カウンタのイベントカウント動作例です。GPT160.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT161 への出力用トリガとして選択されます。

GPT160 コンペアマッチ A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、GPT16 イベント要因 A 信号を出力します。

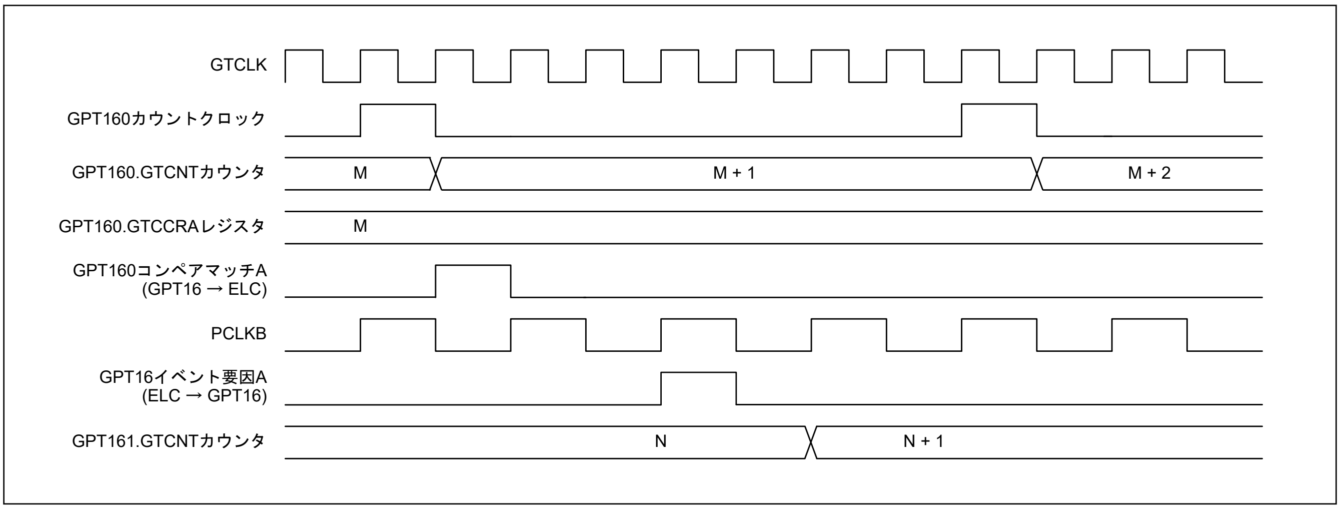


図 20.8　イベントカウント動作例（ELC_GPTA からのイベント信号入力数のアップカウント時）

表 20.13 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 20.13　ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

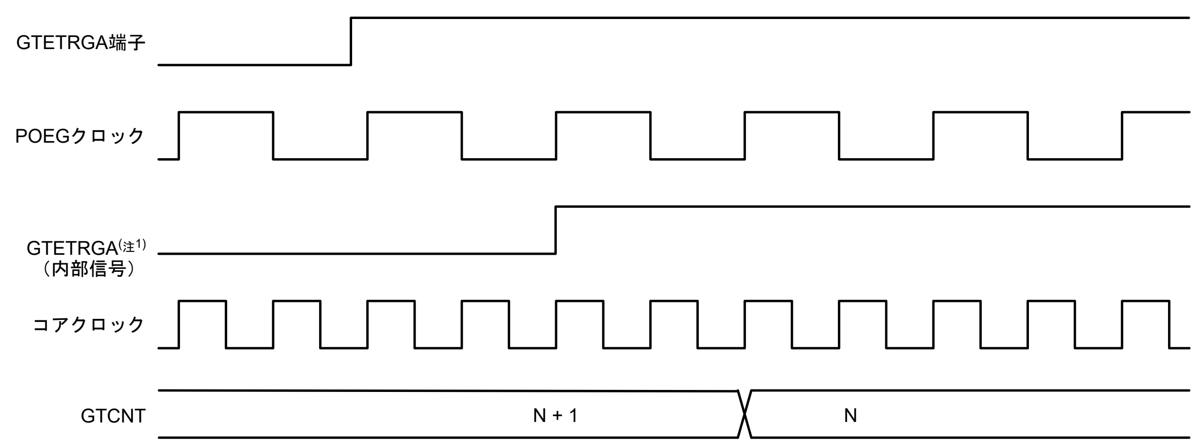
(5)　ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるダウンカウントを行うと、カウント動作が有効になります。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはダウンカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 GTCLK 後からダウンカウントを行うためには、GTCR.TPCS[3:0]ビットを 0x0 にしてください。

図 20.9 にハードウェア要因（GTETRGA の立ち上がりエッジ）によるダウンカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB、コアクロック：PCLKD
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.9 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 20.14 にハードウェア要因によるダウンカウント時の周期カウント動作の設定例を示します。

表 20.14 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の状態での GTCLR レジスタのチャネル番号に対応するビットへの 1 書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作中は、GTCNT レジスタに書き込むことはできません。カウント中の書き込みアクセス（CST = 1 の場合）はできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[3:0]ビットで選択されたのこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードで、カウント方向フラグがデクリメント（GTST.TCUF フラグ = 0）の場合、GTCLR レジスタへ 1 を書き込み、かつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、ダウンカウント以外のモードでは、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方が直ちに実行され、GTCLK と同期が取られます。その他の設定を使用すると、GTCR.TPCS[3:0]ビットで選択されたカウンタクロックと同期してクリアが実行されます。

20.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA レジスタ値または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマ

ッチフラグが発生します。同時に、GPT は対応する GTIOCnA 出力端子または GTIOCnB 出力端子から Low 出力、High 出力、またはトグル出力を行うことができます (n = 0〜3)。また、GTPR レジスタまたはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因として選択された GTCCRm レジスタ (n = 0〜3, m = A〜F) で決定される周期の終わりにおいても、GTIOCnA または GTIOCnB 端子出力を Low 出力、High 出力、またはトグル出力とすることができます。

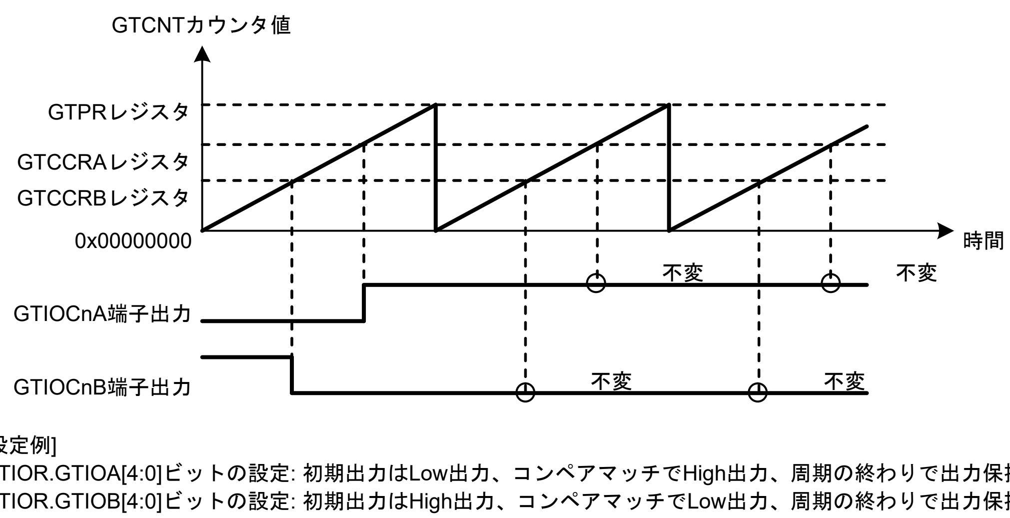
“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合（のこぎり波 PWM モード 2 以外）: GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合（のこぎり波 PWM モード 2 以外）: GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因として選択された GTCCRm レジスタ (m = A〜F) の場合 : GTCNT カウンタが GTCCRm レジスタ値から 0x0000 0000 に変化したとき
- のこぎり波の場合 : GTCNT カウンタがクリアされたとき
- 三角波または相補 PWM モードの場合 : GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

図 20.10 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCnB 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。



注. レジスタのベースアドレスは同じです。

図 20.10 Low 出力／High 出力動作例

表 20.15 に Low 出力／High 出力動作の設定例を示します。

表 20.15 Low 出力／High 出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.10 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.10 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。

表 20.15　Low 出力／High 出力動作の設定例 (2/2)

No.	手順名	説明
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.10 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCnm 端子出力許可設定(注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

注.　n: 0～3
　　m: A, B

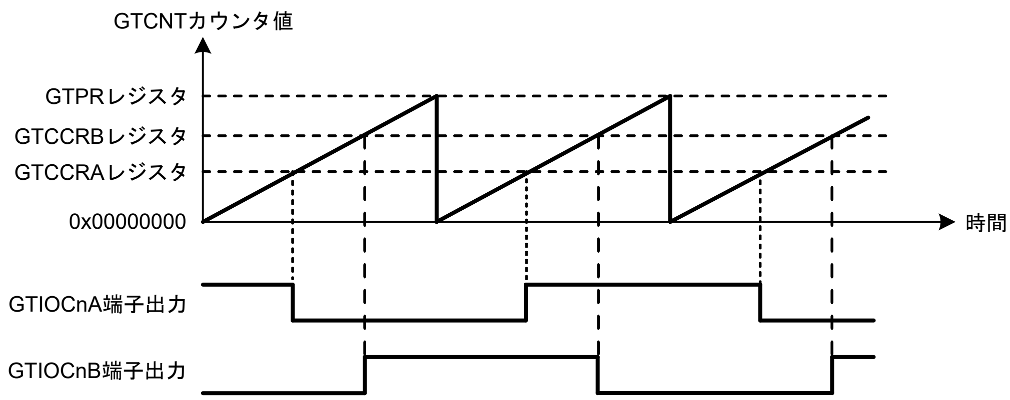
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

(2)　トグル出力

図 20.11 および図 20.12 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 20.11 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCnA 端子と GTIOCnB 端子がトグル出力となるように設定した例です。

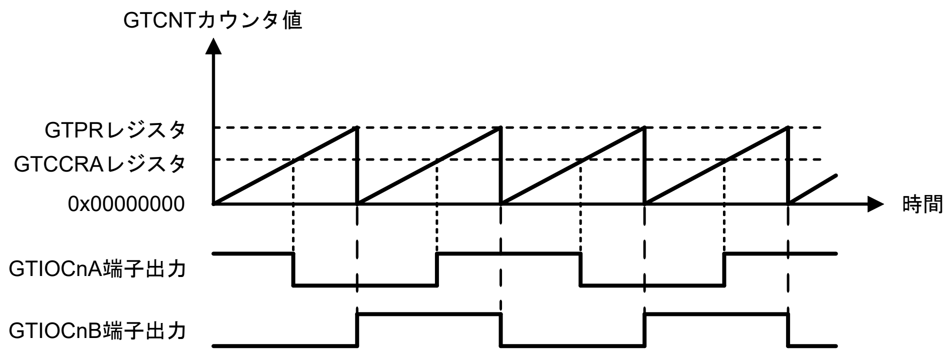
図 20.12 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子がトグル出力となり、周期の終わりで GTIOCnB 端子がトグル出力となるように設定した例です。



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

注.　レジスタのベースアドレスは同じです。

図 20.11　トグル出力動作例 (1)



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチで出力保持、周期の終わりでトグル出力

注.　レジスタのベースアドレスは同じです。

図 20.12　　トグル出力動作例 (2)

表 20.16 にトグル出力動作の設定例を示します。

表 20.16　　トグル出力動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.11 と図 20.12 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。図 20.11 と図 20.12 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.11 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 00011b、図 20.12 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 01100b
7	GTIOCnm 端子出力許可設定(注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

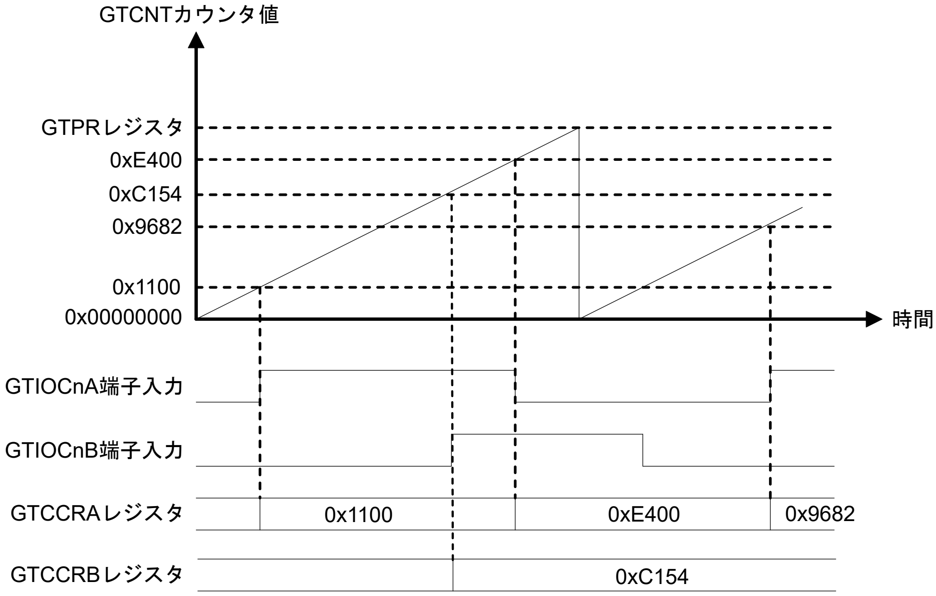
注.　n: 0～3
　　 m: A, B
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

20.3.1.3　　インプットキャプチャ機能

GTICASR レジスタおよび GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。相補 PWM モードでは、GTCCRA レジスタと GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。

インプットキャプチャ機能の動作例を図 20.13 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOCnA 入力端子の両エッジで GTCCRA レジスタにインプットキャプチャを実行し、GTIOCnB 入力端子の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャを実行するように設定しています。



注.　レジスタのベースアドレスは同じです。
注.　［設定例］
GTICASR 設定：両エッジでインプットキャプチャ
GTICBSR 設定：立ち上がりエッジでインプットキャプチャ

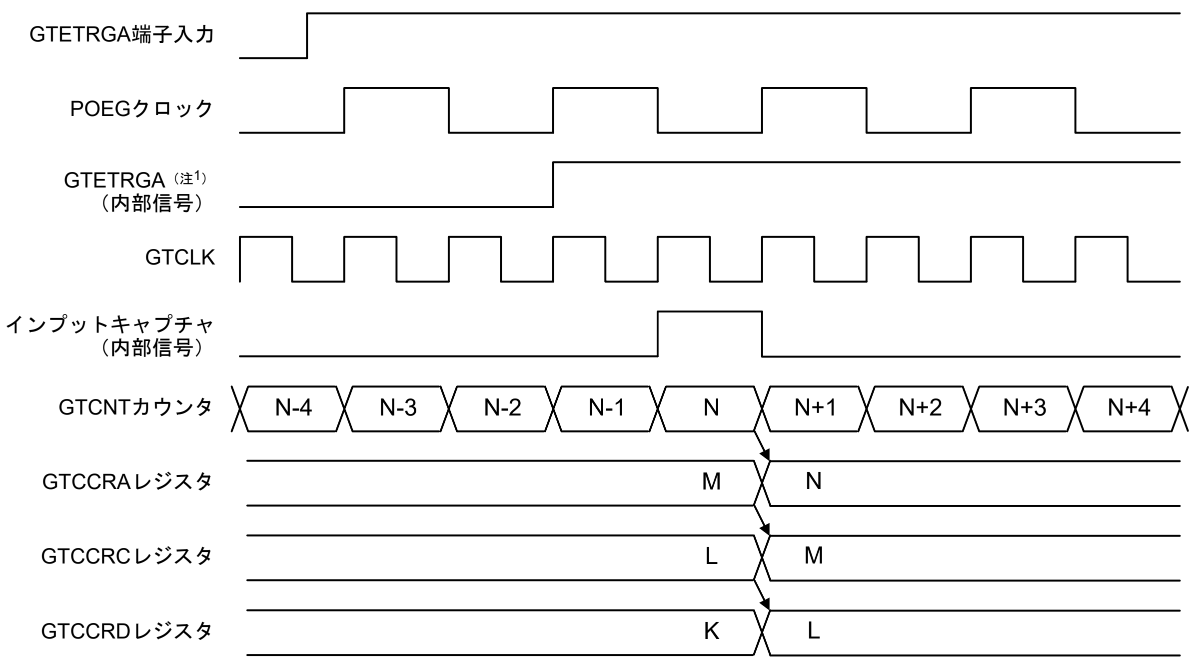
図 20.13　　インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 20.17 と表 20.21 に示します。

表 20.17　　インプットキャプチャ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.13 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.13 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.13 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000 他のチャネル要因によるインプットキャプチャを使用する場合、GTICmSR.mSOC ビット（m = A または B）を 1 に設定し、他のチャネル要因によるインプットキャプチャを有効にします。そして、GTICCR レジスタで他のチャネル要因によるインプットキャプチャをするグループを選択します。
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

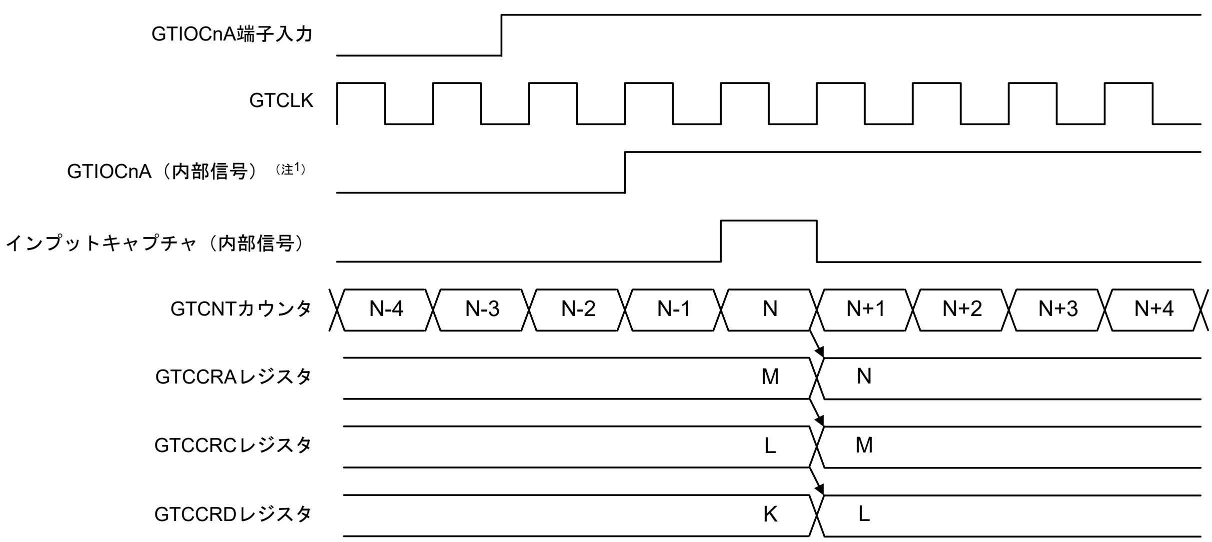
図 20.14 に GTETRGA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例を示します。



注.　POEG クロック：PCLKB
注 1.　POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.14　GTETRGA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例

図 20.15 に GTIOCnA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例を示します。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

図 20.15　GTIOCnA 端子の入力の立ち上がりエッジに対応するインプットキャプチャ動作のタイミング例

図 20.16 に ELC_GPTA のイベント入力に対応するインプットキャプチャ動作のタイミング例を示します。

これは入力信号に対応する GPT161.GTCCRA レジスタによるカウンタ値のキャプチャ例です。GPT160.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT161 への出力用トリガとして選択されます。

GPT160 コンペアマッチ A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、GPT16 イベント要因 A 信号を出力します。

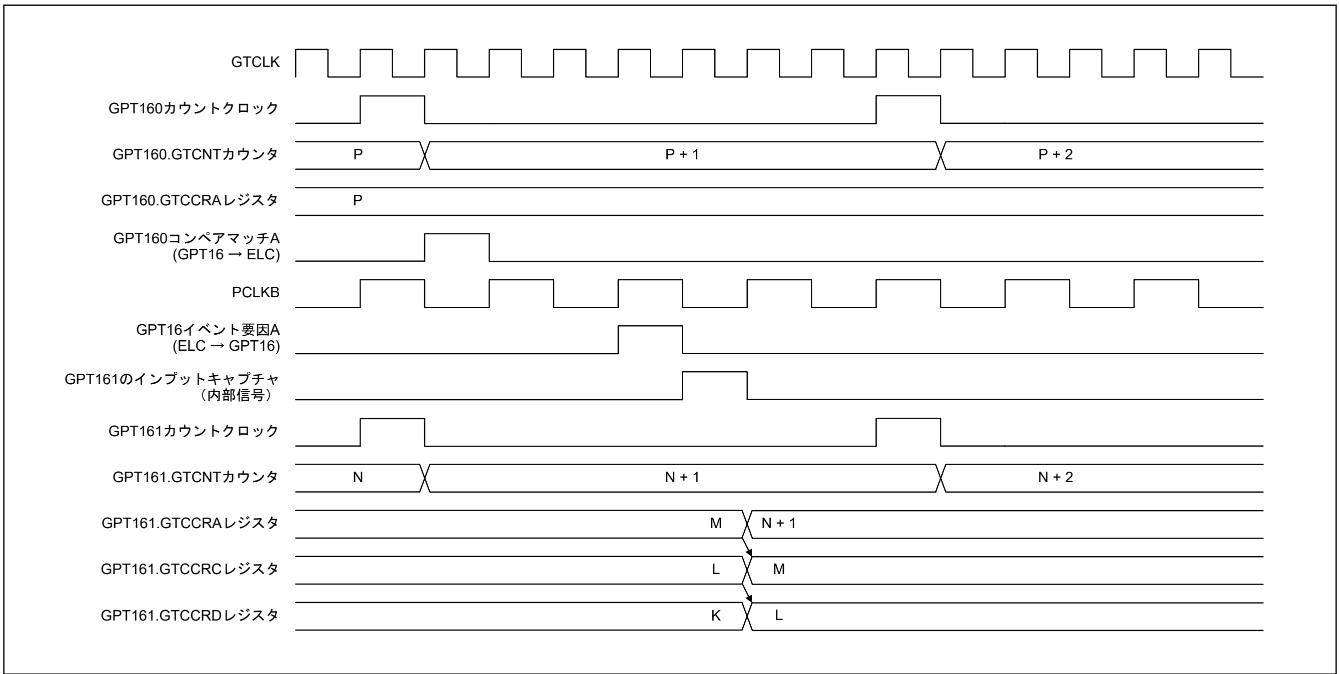


図 20.16　　ELC_GPTA のイベント入力に対応するインプットキャプチャ動作のタイミング例

図 20.17 に他のチャネルからのカウントクロックに対応するインプットキャプチャ動作のタイミング例を示します。

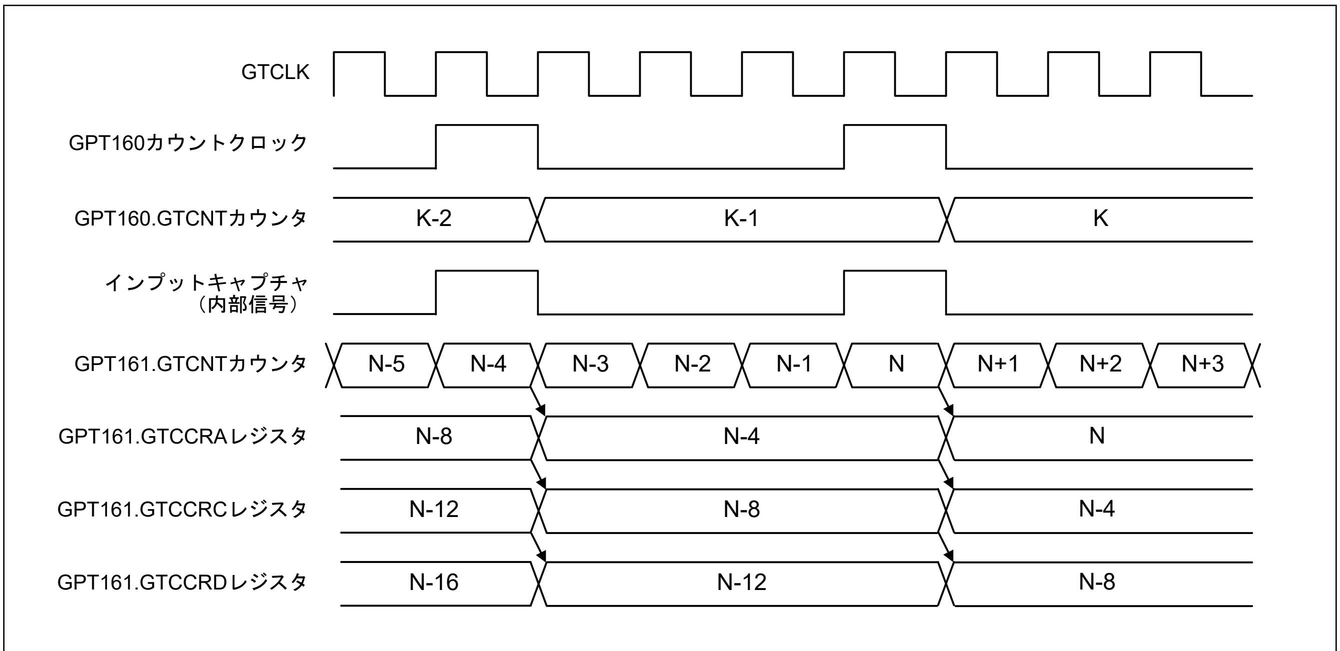


図 20.17　　他のチャネルからのカウントクロックに対応するインプットキャプチャ動作のタイミング例

20.3.2　　バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR、GTPBR、GTPDBR
- GTCCRA、GTCCRC、GTCCRD
- GTCCRB、GTCCRE、GTCCRF

- GTADTRA、GTADTBRA、GTADTDBRA
- GTADTRB、GTADTBRB、GTADTDBRB

GTDTCR レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTDVU レジスタ、GTDBU レジスタ
- GTDVD レジスタ、GTDBD レジスタ

GTBER2 レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTCCRA レジスタ、GTCCRE レジスタ、GTCCRF レジスタ（相補 PWM モード 3、4 の場合）
- GTOLBR.GTIOAB[4:0] ビット、GTIOR.GTIOA[4:0] ビット
- GTOLBR.GTIOBB[4:0] ビット、GTIOR.GTIOB[4:0] ビット

20.3.2.1　GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

GTPDBR レジスタは GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ）として機能します。

相補 PWM モードでは、マスタチャネル (GPT16n) でのみ、GTPDBR レジスタからテンポラリレジスタ P へのバッファ転送が実行されます。テンポラリレジスタ P はマスタチャネル、スレーブチャネル 1 (GPT16n+1)、およびスレーブチャネル 2 (GPT16n+2) の各 GTPBR レジスタに転送されます。GTPBR レジスタから GTPR レジスタへの転送は、3 チャネル同時に実行されます。したがって、同じ値はその 3 チャネルの同じレジスタに格納されます。マスタチャネルの GTPR レジスタは、GTCNT カウンタの (GTCNTn) 周期を示します。スレーブチャネルでは、GTPR レジスタ値と GTDVU レジスタ値を使って周期を制御します。

のこぎり波 PWM モード 2 では、本設定は無効です。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 0～3）

のこぎり波の場合、カウンタのクリアによるバッファ転送を GTBER2.CCTPR ビットで禁止できます。

相補 PWM モード時のバッファ転送のタイミングを表 20.18 に示します。

表 20.18　相補 PWM モードにおける GTPR バッファ転送タイミング

	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3、4
GTPDBR ↓ テンポラリレジスタ P	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ P ↓ GTPBR	(1) アップカウント中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) アップカウント中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 谷部分の最後	(1) ダウンカウント中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) ダウンカウント中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 山部分の最後	(1) 中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 山部分の最後および谷部分の最後
GTPBR ↓ GTPR	山部分の最後 アップカウント中間部分および山部分のカウンタクリア (GTCSR.CP1CCE の設定によるカウンタクリアを含む)	谷部分の最後 ダウンカウント中間部分とダウンカウント谷部分でカウンタクリア	山部分の最後 谷部分の最後 カウンタクリア

GTPR レジスタをバッファとして機能するように設定する場合は、GTBER.PR ビットを 1 にしてください。GTPR レジスタをバッファとして機能しないように設定する場合は、GTBER.PR ビットを 0 にしてください。

GTPR レジスタをダブルバッファとして機能するように設定する場合は、GTBER.PR[1:0]ビットを 10b または 11b にしてください。シングルバッファ動作の場合は、01b とします。バッファとして動作設定しない場合は、00b にしてください。

相補 PWM モードでは、相補 PWM モード固有のバッファ動作が GTBER.PR[1:0]ビットの設定に関係なく実行されます。

図 20.18～図 20.23 に GTPR レジスタのバッファ動作例を、表 20.19 に GTPR レジスタのバッファ動作の設定例を示します。相補 PWM モードでの動作設定の詳細は、「20.3.3.7. 相補 PWM モード 1、2、3」を参照してください。

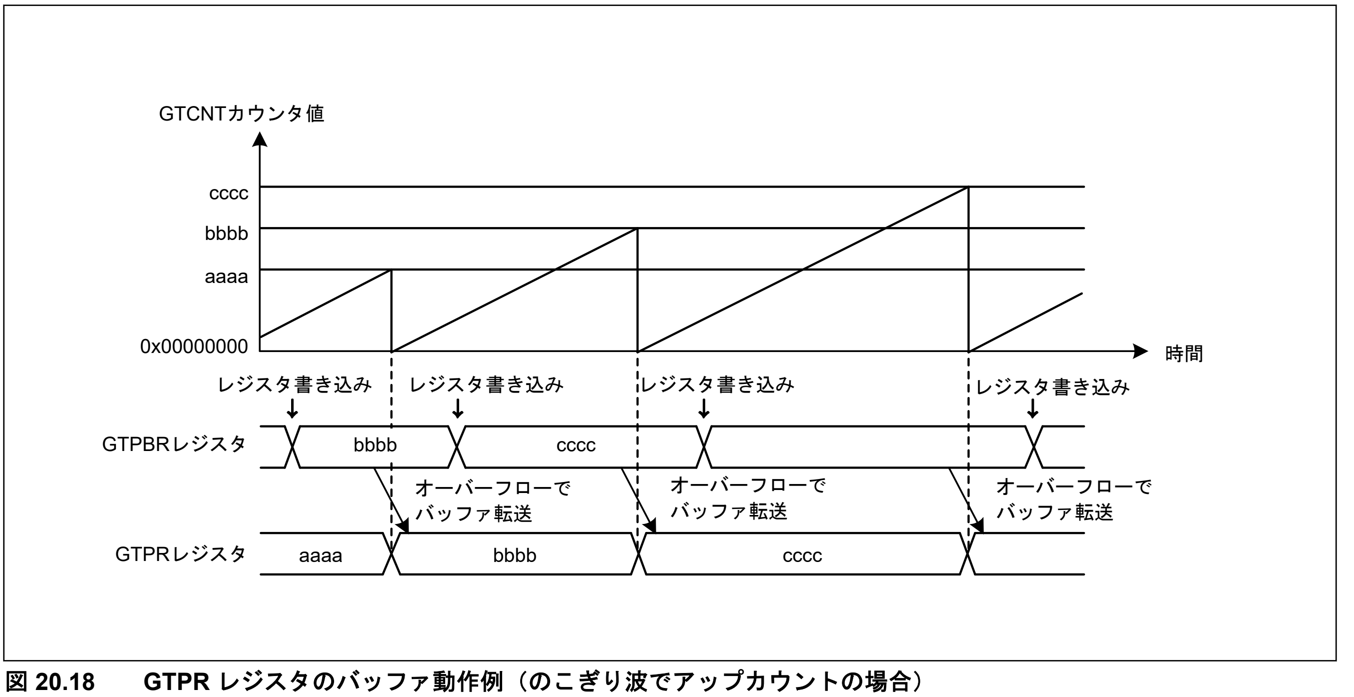


図 20.18　GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

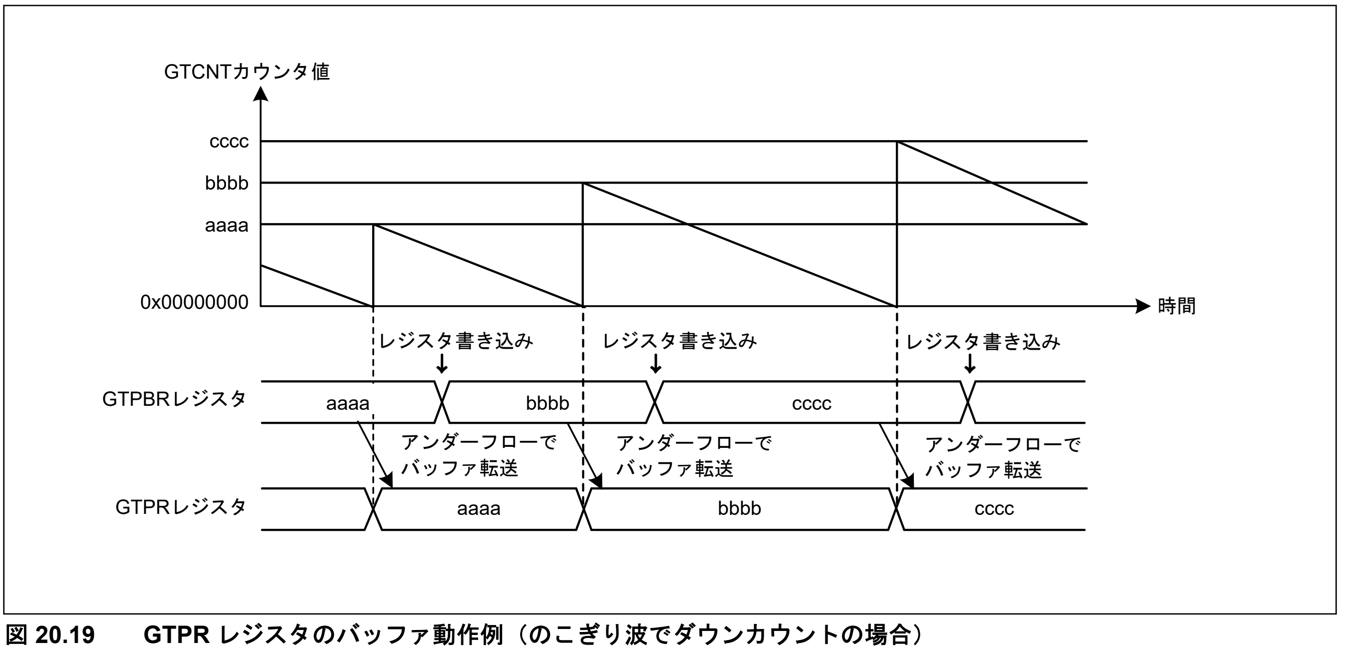


図 20.19　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

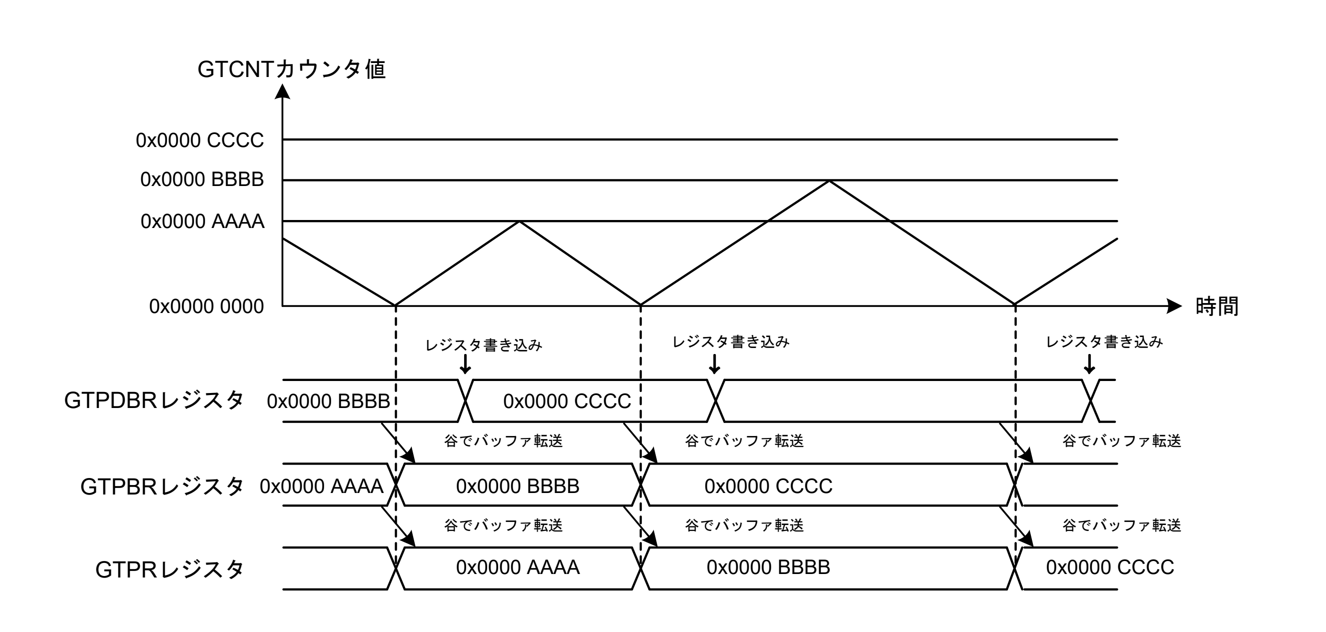


図 20.20　GTPR レジスタのダブルバッファ動作例（三角波の場合）

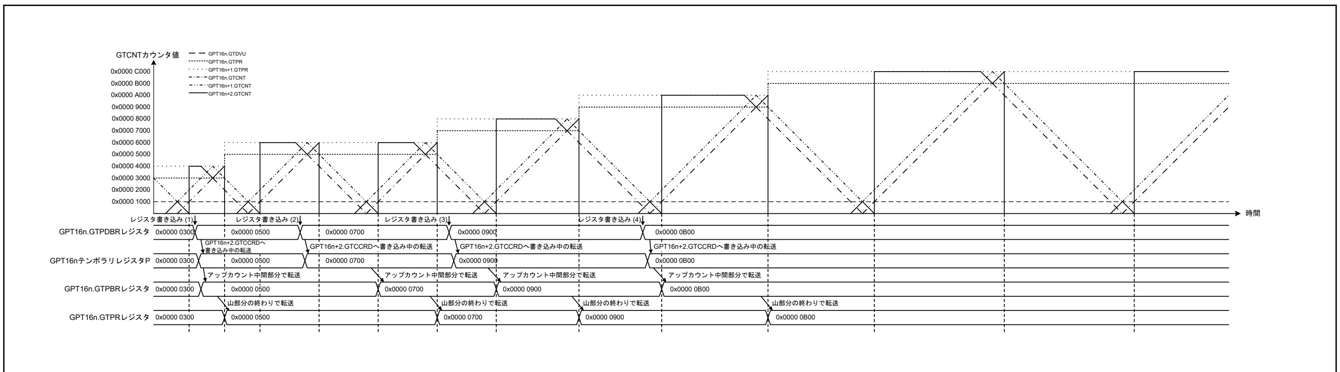


図 20.21　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 1 の場合）

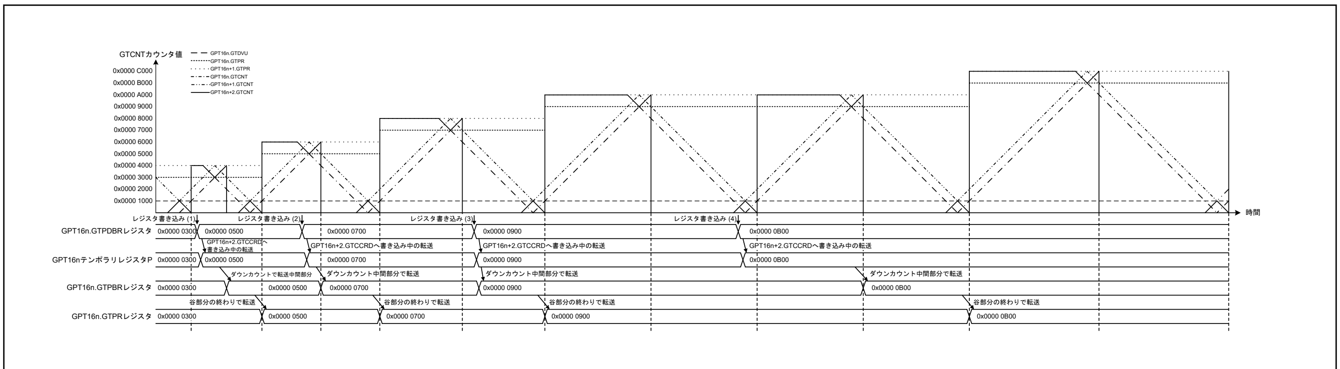


図 20.22　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 2 の場合）

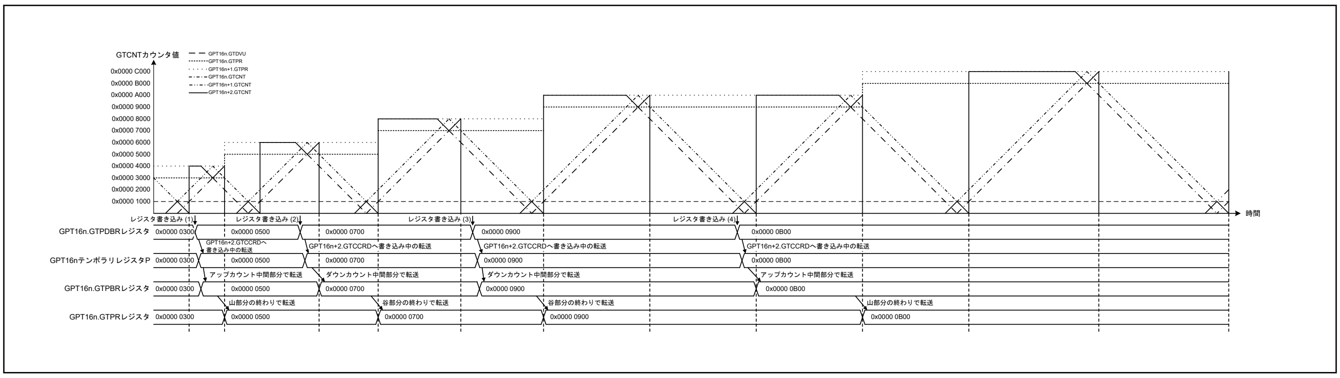


図 20.23　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 3、4 の場合）

表 20.19　GTPR レジスタのバッファ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.18、図 20.19 では 000b または 0000b（のこぎり波 PWM モード 1）、図 20.20 では 100b または 0100b（三角波 PWM モード 1）を設定します。図 20.21～図 20.23 では、11xxb（相補 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.18 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、UDF および UD ビットに 01b を設定します（アップカウント）。図 20.19 では、UDF および UD ビットに 10b を設定してから、UDF および UD ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 20.18 と図 20.19 では、PR[1:0] = 01b です。図 20.20 では、PR[1:0] = 1xb です。図 20.21～図 20.23 では PR[1:0]ビットの設定は必要ありません。
7	バッファ値設定	バッファ動作時は、現在の周期から 1 周期後の周期値を GTPBR レジスタに設定します。 ダブルバッファ動作時は、2 周期後の周期値を GTPDBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットに 1 を設定すると、対応するチャネルがカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、現在の周期から 1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時も、2 周期後の周期を GTPDBR レジスタに設定します。 相補 PWM モード 1（山で転送）で、GTPDBR レジスタがアップカウント谷部分または中間部分で設定されるときは、1 周期後の周期の値を設定します。他の部分では、2 周期後の周期の値を設定します。 相補 PWM モード 2（谷で転送）で、GTPDBR レジスタがアップカウント部分、またはダウンカウント山部分または中間部分で設定されるときは、1 周期後の周期の値を設定します。他の部分では、2 周期後の周期の値を設定します。 相補 PWM モード 3 または 4（山／谷で即時転送）で、GTPDBR レジスタがダウンカウント谷部分以外の部分で設定されるときは、1 周期後の周期の値を設定します。ダウンカウント谷部分では、2 周期後の周期の値を設定します。

20.3.2.2　GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および相補 PWM モードでは、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。

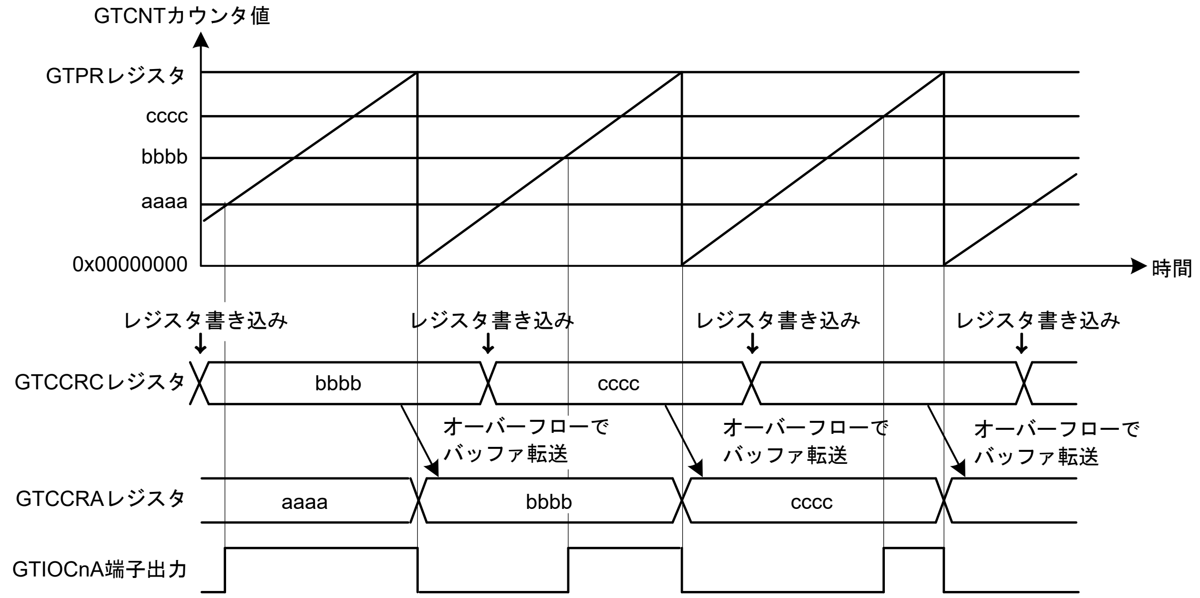
(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および相補 PWM モードでは、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。詳細は、「20.3.3. PWM 出力動作モード」を参照してください。上記の PWM 出力動作モード以外では、バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に「20.3.2.1. GTPR レジスタのバッファ動作」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。
  のこぎり波では、カウンタクリアによる GTCCRm レジスタのバッファ転送は、GTBER2.CCTCm ビット (m = A, B) で禁止できます。
  三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- コンペアマッチによるバッファ転送
  のこぎり波では、GTBER2.CMTCm (m = A, B) ビットにより許可される、GTCCRm レジスタのコンペアマッチによるバッファ転送が実行されます。
- バッファ強制転送
  のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。
  さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で GTBER.DBRTECm (m = A, B) ビットの設定値が 1 の場合、GTBER.BD[0]ビットの設定またはバッファ転送拡張スキップ機能（バッファ転送禁止時のリピートダブルバッファ動作に対する機能）によりバッファ転送が禁止されているときにおいても、中間バッファから GTCCRm (m = A, B) レジスタへの転送が周期ベースで繰り返されます。詳細は、「20.8.2.2. GTCCR バッファ転送禁止時のリピートダブルバッファ動作」を参照してください。

図 20.24～図 20.27 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.20 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.24 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波 PWM モード 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

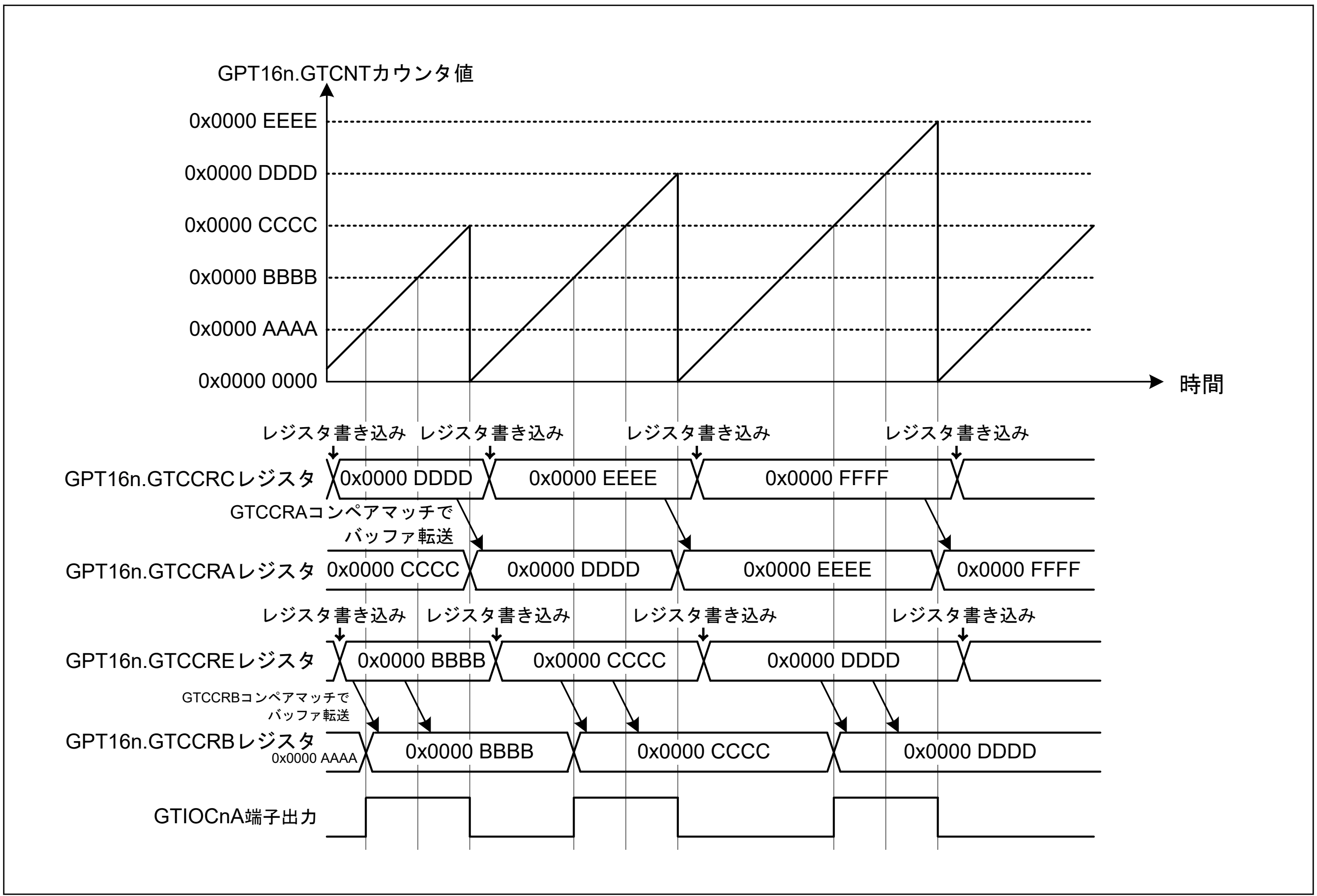


図 20.25　GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、のこぎり波 PWM モード 2、GTCCRA レジスタのコンペアマッチでのバッファ転送、カウンタクリア、Low 出力、GTCCRB レジスタのコンペアマッチでのバッファ転送、High 出力） (n = 0～2)

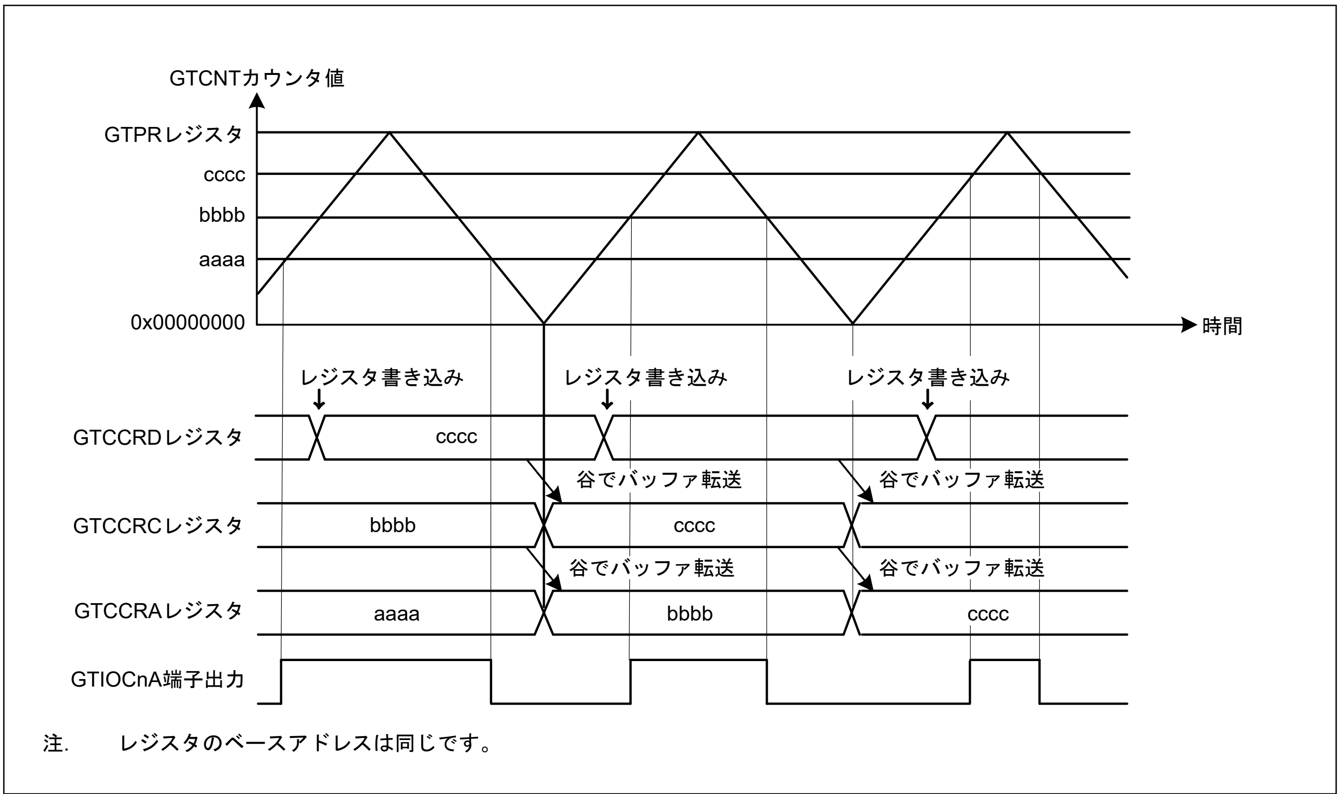


図 20.26　GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

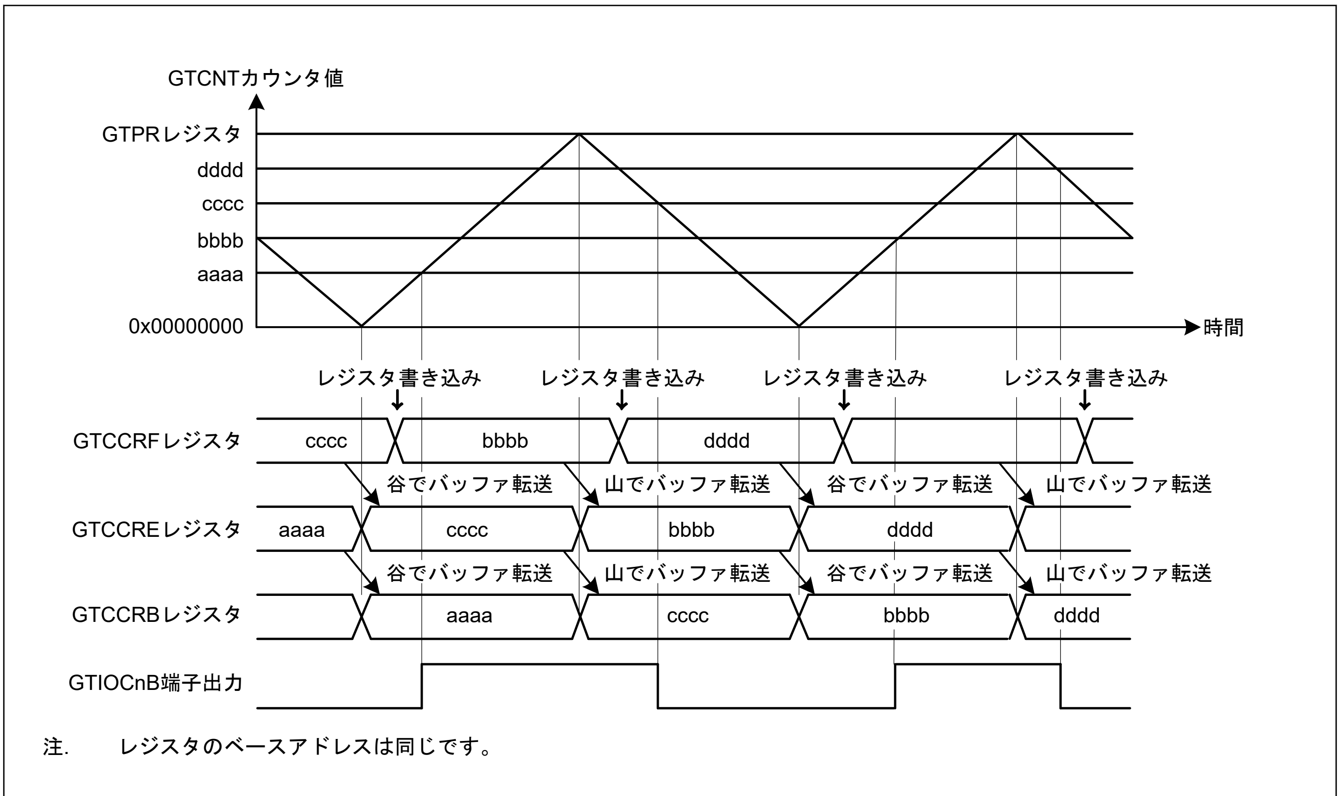


図 20.27　GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

表 20.20　GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

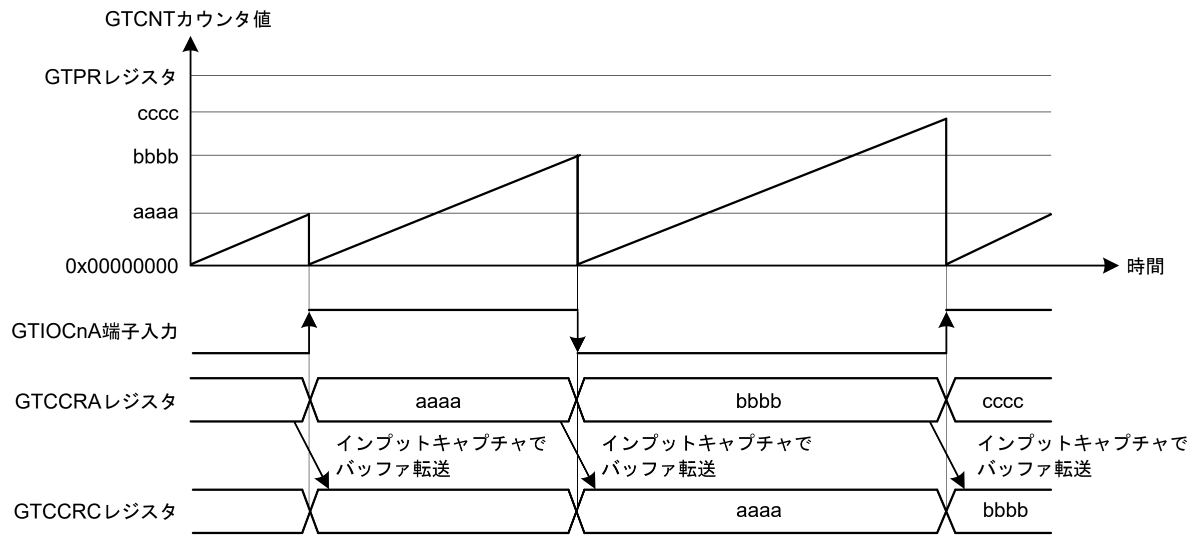
No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.24 の例では 000b または 0000b（のこぎり波 PWM モード 1）が設定され、図 20.25 の例では 0010b（のこぎり波 PWM モード 2）が設定され、図 20.26 の例では 100b または 0100b（三角波 PWM モード 1）が設定され、図 20.27 の例では 101b または 0101b（三角波 PWM モード 2）が設定されています。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.24 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.24 では、GTIOA[4:0] = 00110b、図 20.25 では、GTIOA[4:0] = 00101b および GTIOB[1:0] = 10b、図 20.26 では、GTIOA[4:0] = 00011b、図 20.27 では、GTIOB[4:0] = 00011b。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.24 では、CCRA[1:0] = 01b、図 20.25 では、CCRA[1:0] = 01b および CCRB[1:0] = 01b、図 20.26 では、CCRA[1:0] = 1xb、図 20.27 では、CCRB[1:0] = 1xb。
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0～3
　　m : A、B
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

(2)　GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

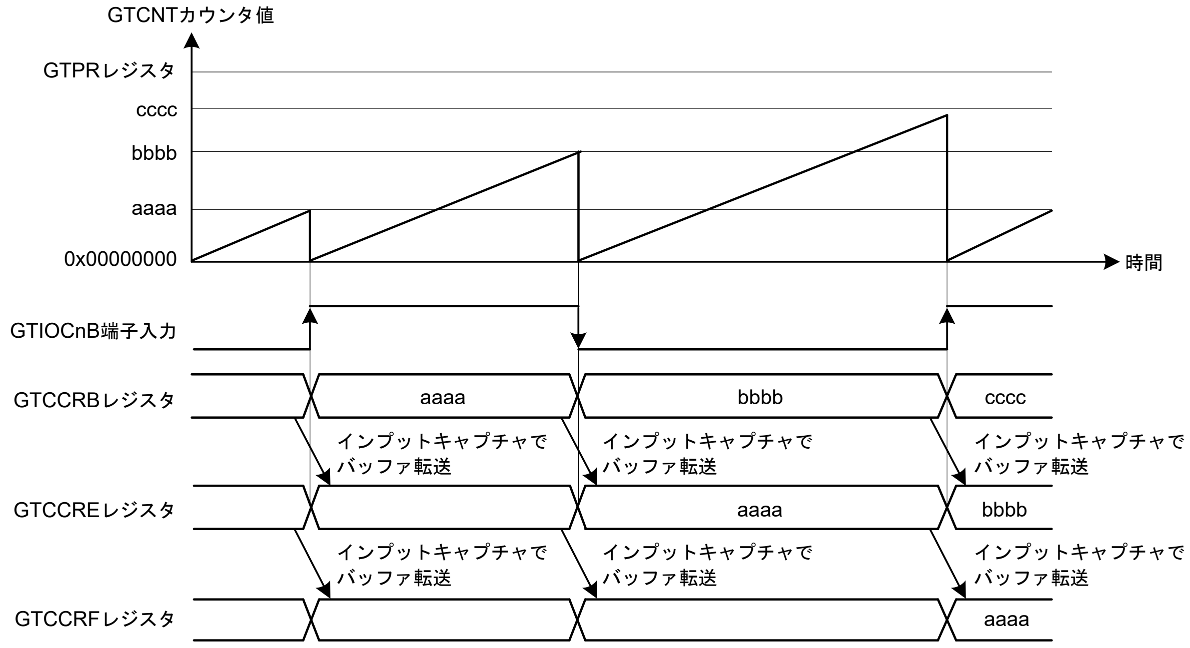
インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 20.28 と図 20.29 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.21 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注.　レジスタのベースアドレスは同じです。

図 20.28　GTCCRA および GTCCRB レジスタのバッファ動作例（GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合）



注.　レジスタのベースアドレスは同じです。

図 20.29　GTCCRA および GTCCRB レジスタのダブルバッファ動作例（GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合）

表 20.21　GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

No.	手順名	説明
1	動作モードとカウンタクリア要因の設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定し、GTCSR レジスタでカウンタクリア要因を設定します。 図 20.28 では、MD[2:0] = 000b または MD[3:0] = 0000b（のこぎり波 PWM モード 1）および GTCSR = 0x00000F00、図 20.29 では、MD[2:0] = 000b または MD[3:0] = 0000b（のこぎり波 PWM モード 1）および GTCSR = 0x0000F000。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.28 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.28 では GTICASR = 0x00000F00、図 20.29 では GTICBSR = 0x0000F000 他のチャネル要因でインプットキャプチャを実行するためには、GTICCR.ICmGRP ビット（m = A または B）によるチャネル間連携を行うグループを選択してください。インプットキャプチャ要因の出力側チャネルに対して、他のチャネルに出力するために、インプットキャプチャ要因が有効になるように GTICCR レジスタを設定してください。 入力側チャネルに対して、他のチャネル要因でのインプットキャプチャが有効になるように GTIOmSR.mSOC ビット（m = A または B）を設定してください。
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 20.28 では CCRA[1:0] = 01b、図 20.29 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

20.3.2.3　GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタをダブルバッファ動作させるには、GTBER.ADTDA または ADTDB ビットを 1 にします。シングルバッファ動作の場合は、0 にします。GTADTRA と GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0] または ADTTB[1:0] ビットを 00b にします。

バッファ転送タイミングは、のこぎり波モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを使用してオーバーフロー（アップカウントの場合）またはアンダーフロー（ダウンカウントの場合）に設定でき、三角波モードまたは相補 PWM モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを 01b にすると山、10b にすると谷、11b にすると山／谷両方に設定できます。

のこぎり波モードでは、ADTTA[1:0] ビットと ADTTB[1:0] ビットを 00b 以外の値に設定したカウント動作時、「20.3.2.1. GTPR レジスタのバッファ動作」と同様のカウンタクリア要因により、オーバーフロー時（アップカウント時）またはアンダーフロー時（ダウンカウント時）と同じ方法でバッファ転送が実行されます。

相補 PWM モードでは、バッファ転送は、スレーブチャネル 2 の GTCCRD レジスタ書き込みから 1 GTCLK サイクル後に行われます。

のこぎり波モードでは、カウンタクリアによる GTADTRm レジスタのバッファ転送は、GTBER2.CCTADm (m = A, B) ビット設定で禁止できます。

のこぎり波モードでは、自らのコンペアマッチによる GTADTRm レジスタのバッファ転送は、GTBER2.CMTADm (m = A, B) ビット設定で許可できます。

図 20.30～図 20.34 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作例を、表 20.22 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作設定例を示します。

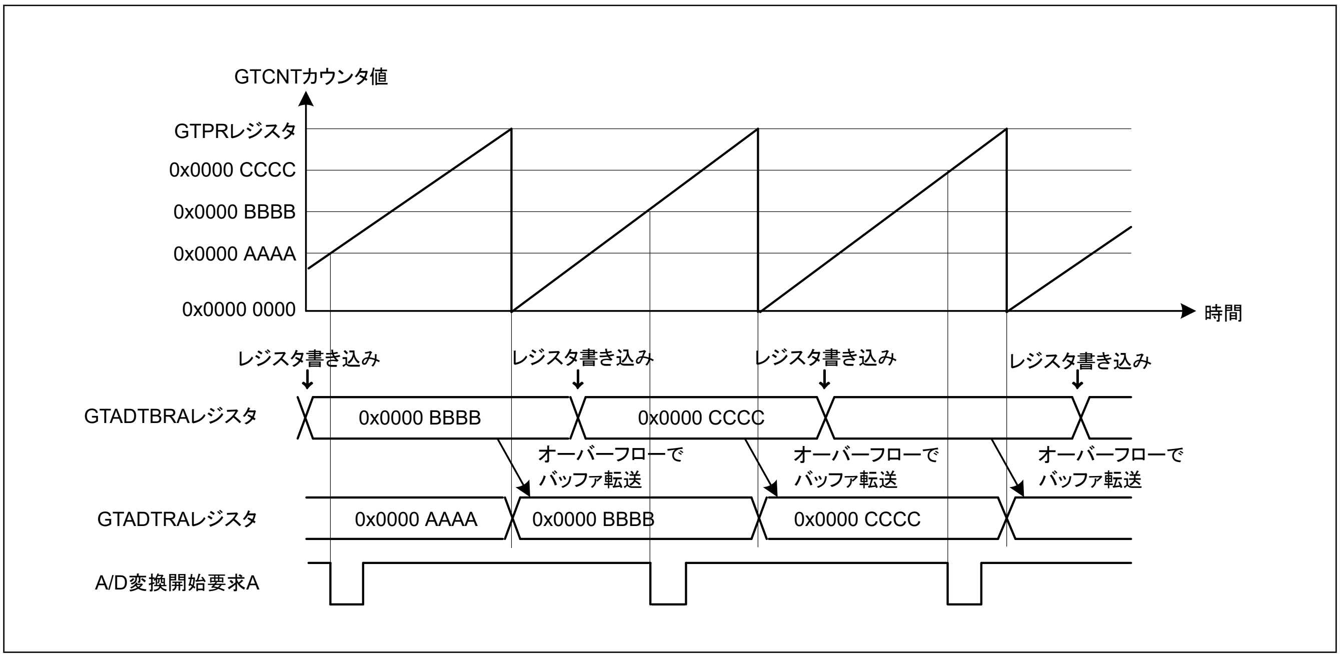


図 20.30　GTADTRA および GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合）

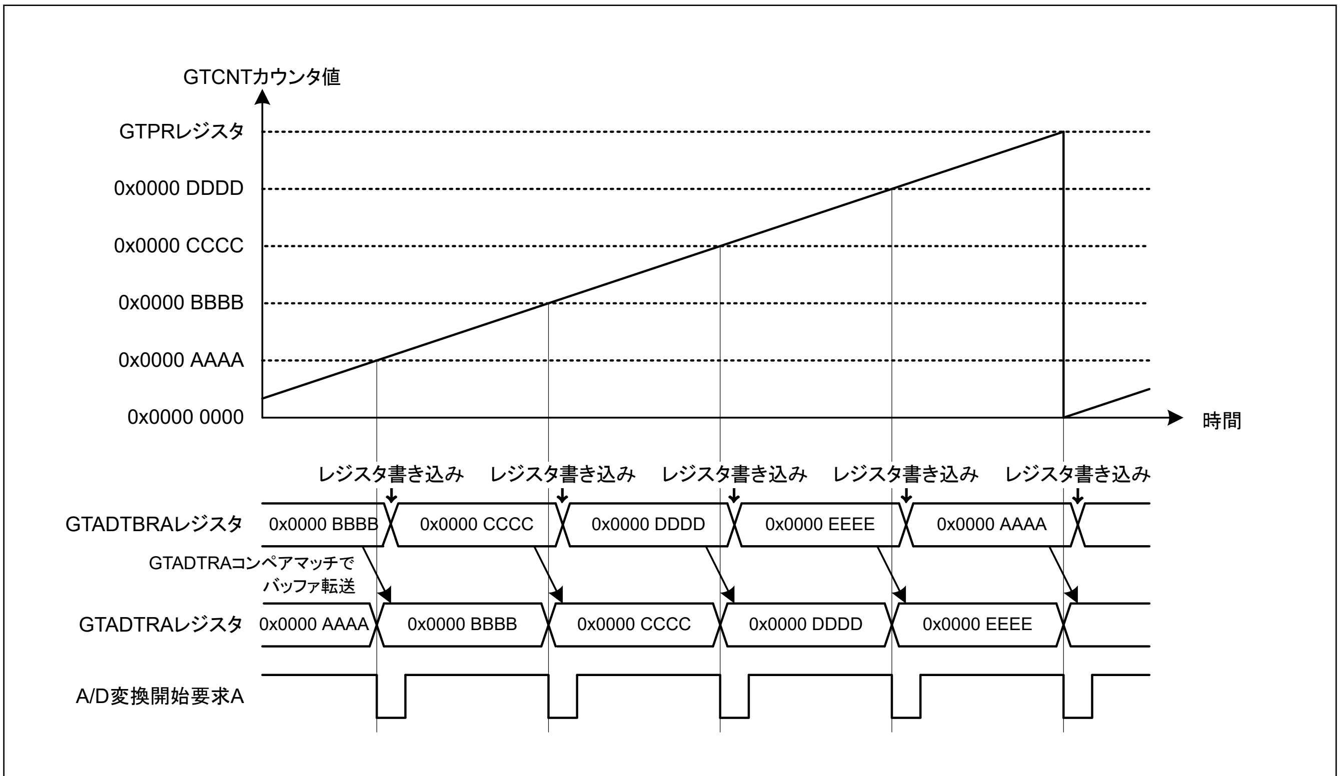


図 20.31　GTADTRA および GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、GTADTRA コンペアマッチでバッファ転送、アップカウントで A/D 変換開始要求発生の場合）

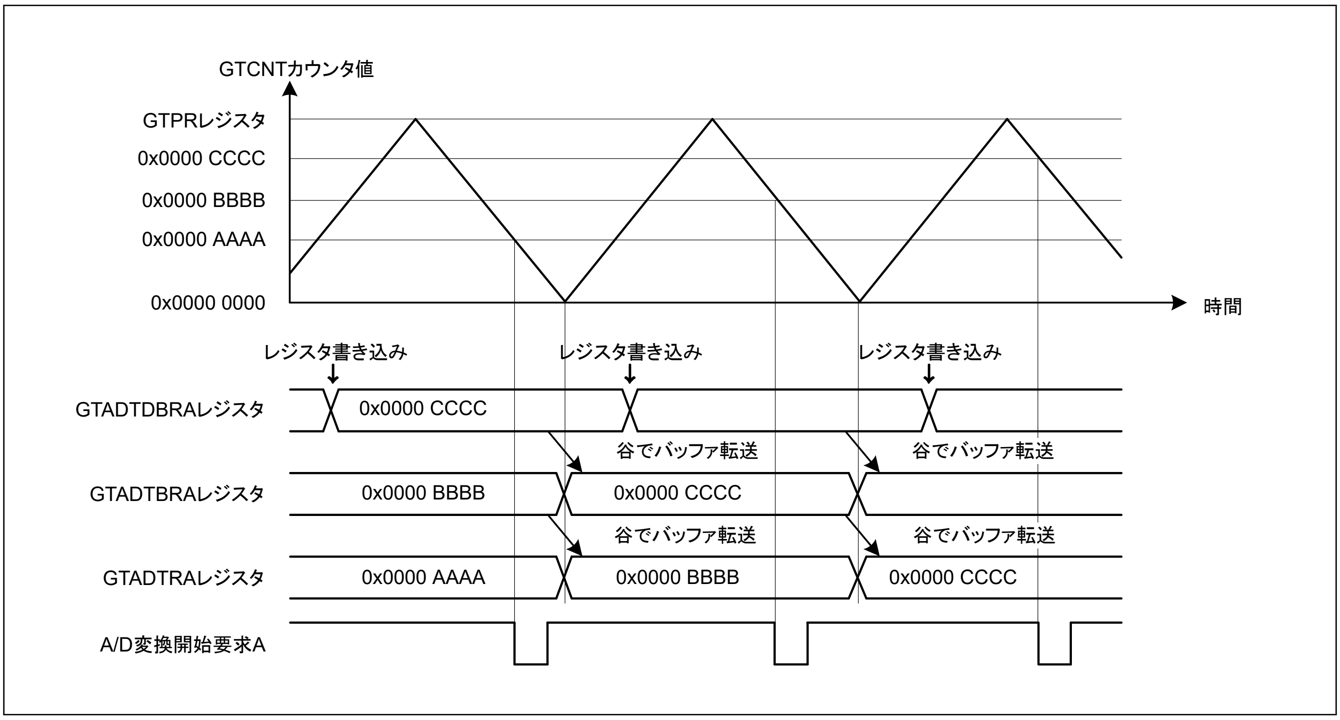


図 20.32 GTADTRA および GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合）

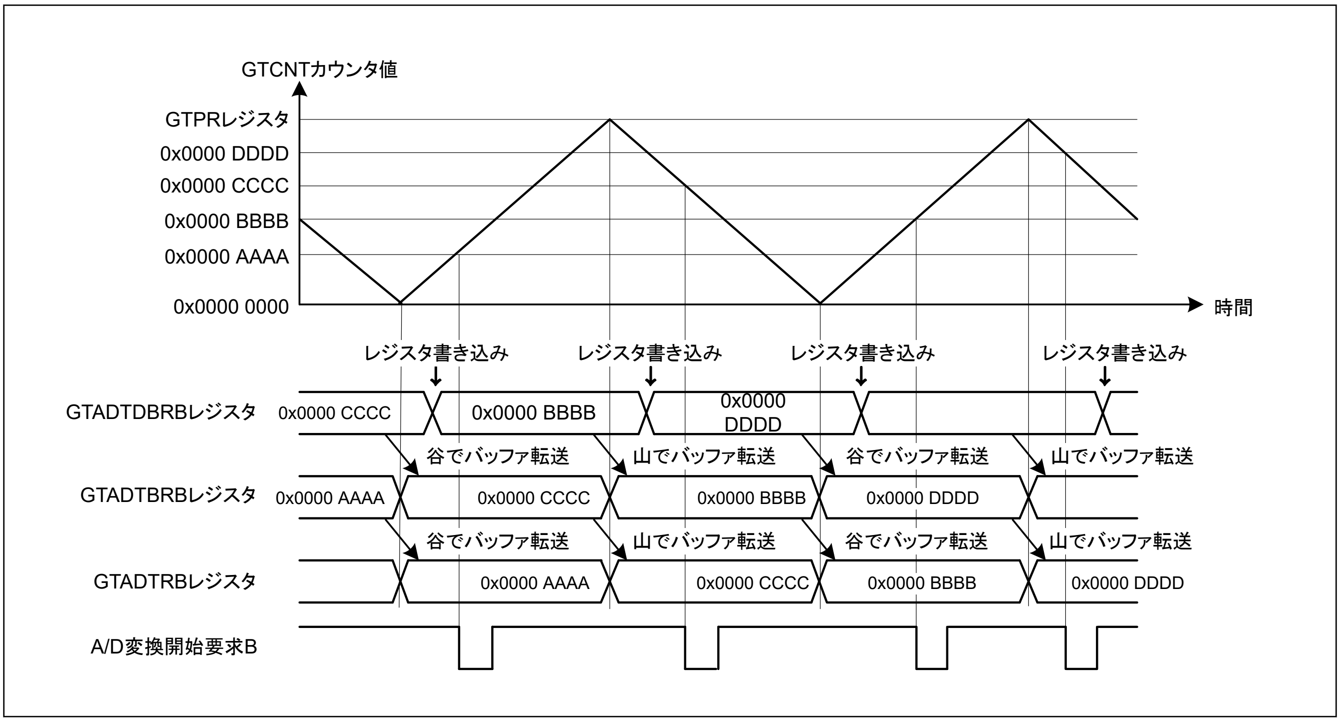


図 20.33 GTADTRA および GTADTRB レジスタのダブルバッファ動作例（三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウントの両方で A/D 変換開始要求発生の場合）

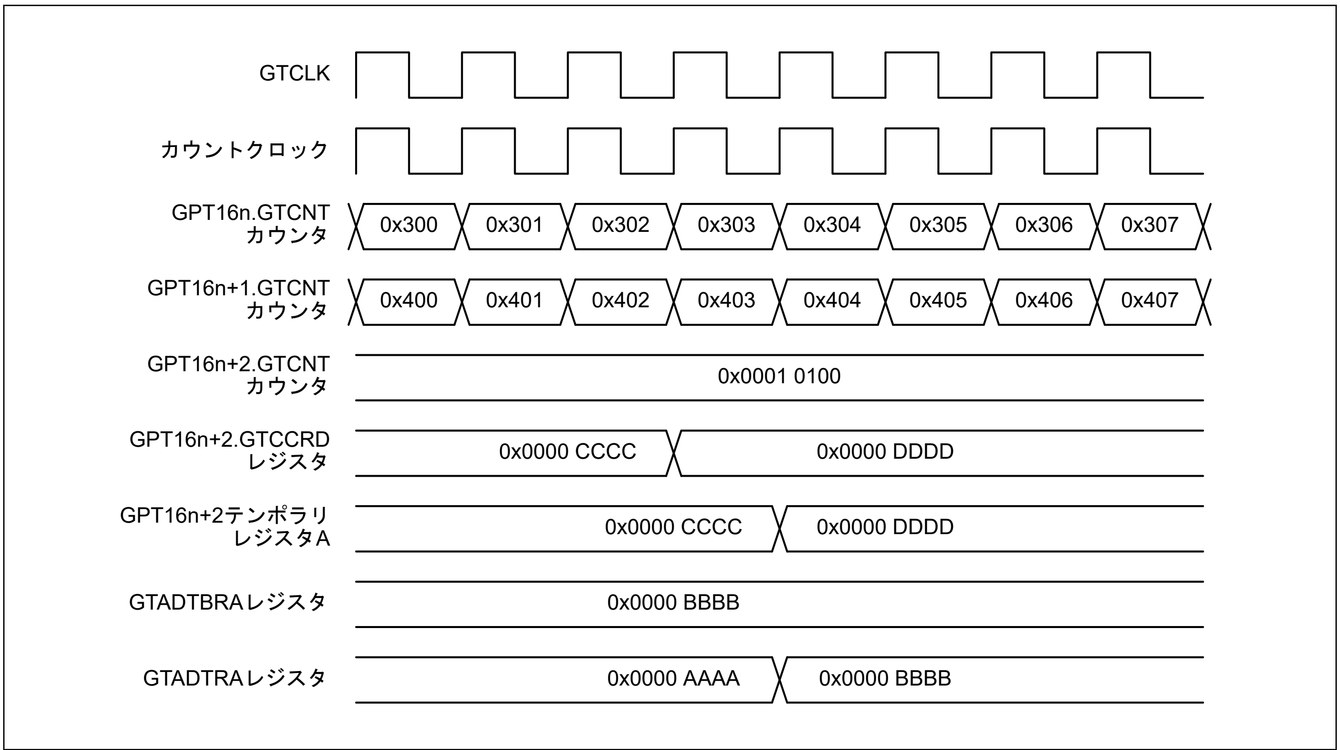


図 20.34　GTADTRA および GTADTRB レジスタのバッファ動作例（相補 PWM モードでスレーブチャネル 2 の GTCCRD レジスタが更新）

表 20.22　GTADTRA および GTADTRB レジスタのバッファ動作設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.30 および図 20.31 では、000b または 0000b（のこぎり波 PWM モード 1）を設定し、図 20.32 および図 20.33 では、100b、101b、110b、0100b、0101b、または 0110b（三角波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.30 と図 20.31 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]　ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 ADTRAm レジスタ (m = A, B) のコンペアマッチでバッファ転送を実行するには、GTBER2.CMTADm ビットを 1 にします。 図 20.30 では、ADTTA[1:0]ビット = 01b、10b、または 11b で、ADTDA ビット = 0 です。図 20.31 では、CMTADA ビット = 1 です。図 20.32 では、ADTTA[1:0]ビット = 10b で、ADTDA ビット = 1 です。図 20.33 では、ADTTB[1:0]ビット = 11b で、ADTDB ビット = 1 です。
7	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 20.30 と図 20.31 では、ADTRAUEN ビット = 1 で、図 20.32 では ADTRADEN ビット = 1 で、図 20.33 では ADTRBUEN ビット = 1 かつ ADTRBDEN ビット = 1 です。

表 20.22　　GTADTRA および GTADTRB レジスタのバッファ動作設定例 (2/2)

No.	ステップ名	説明
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モード、または三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

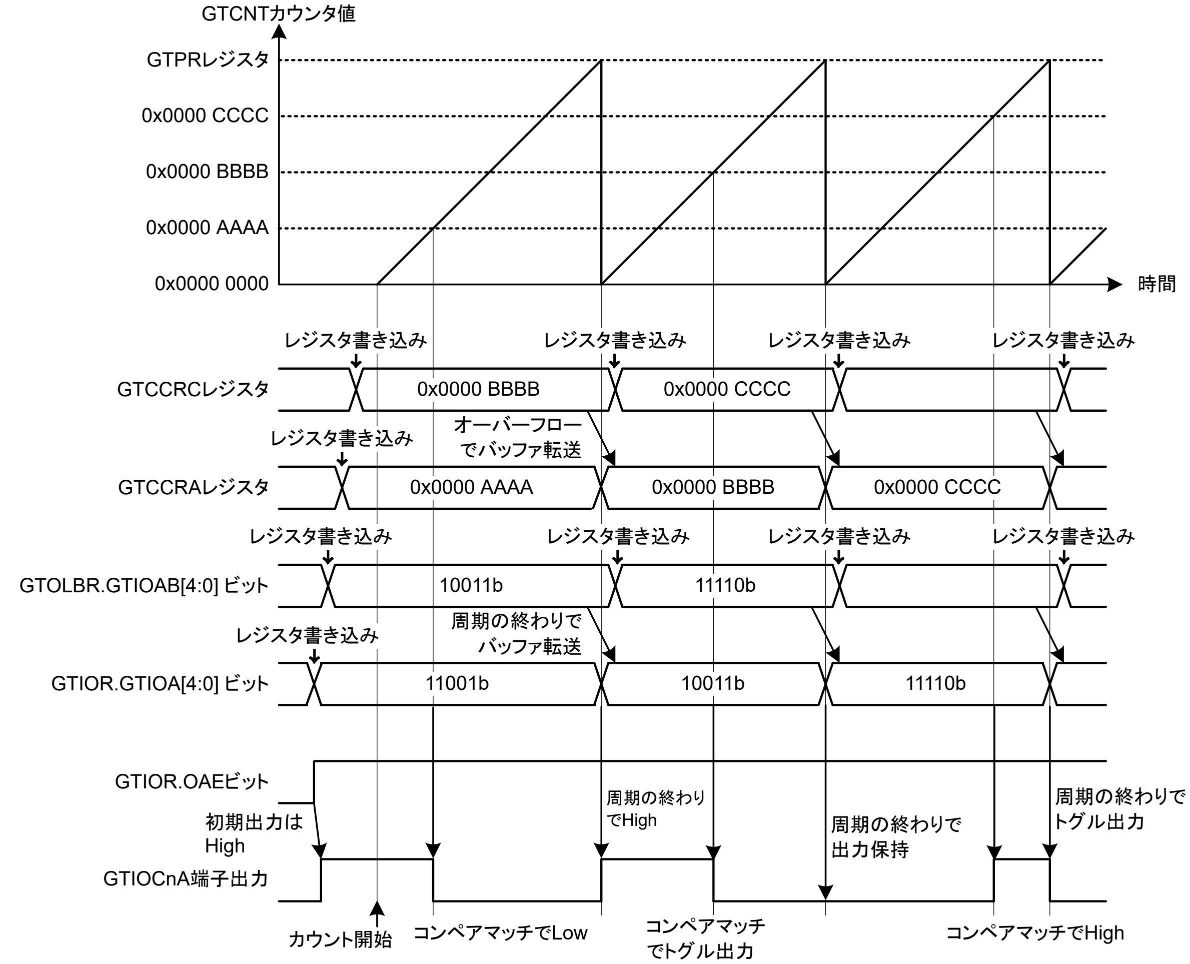
20.3.2.4　　GTIOA、GTIOB レジスタのバッファ動作

GTOLBR.GTIOAB[4:0]　ビットは GTIOR.GTIOA[4:0]　ビットのバッファレジスタ、GTOLBR.GTIOBB[4:0]　ビットは GTIOR.GTIOB[4:0]　ビットのバッファレジスタとして動作します。

バッファ転送のタイミングは、GTBER2.OLTTm[1:0]　ビット（m = A, B）で設定できます。このタイミングは、周期の終わりまたは GTCCR レジスタのコンペアマッチ（のこぎり波モードの場合）、もしくは山、谷、山と谷の両方（三角波モードおよび相補 PWM モードの場合）から選択できます。GTBER2.OLTTm[1:0]　ビットが 00b の場合、バッファ転送はしません。

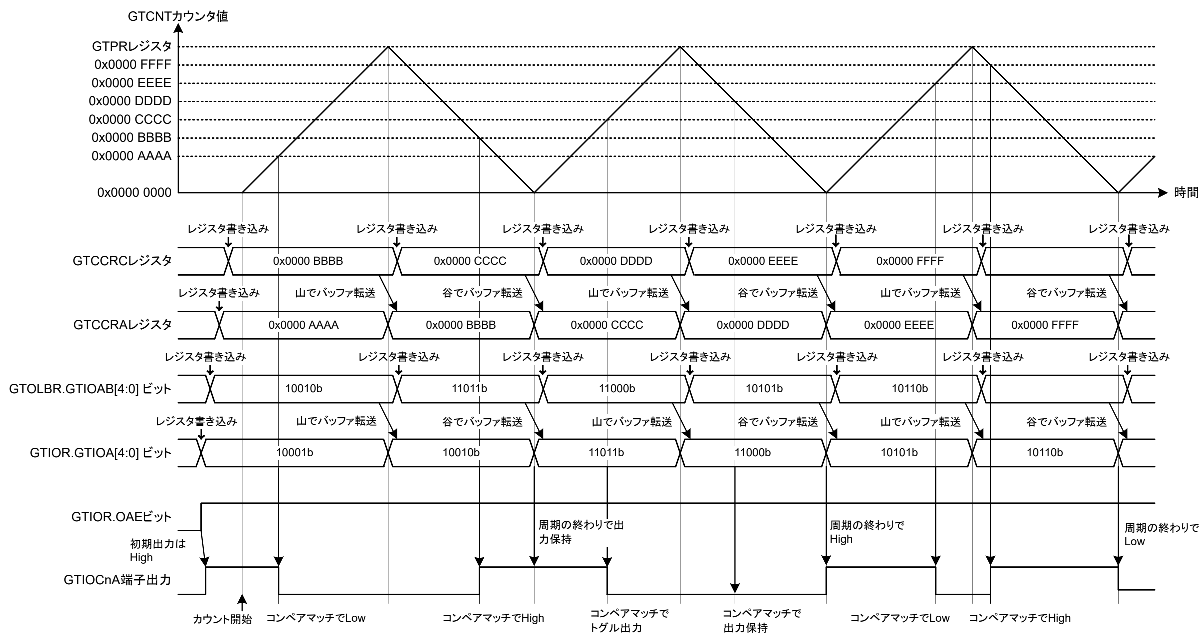
相補 PWM モードでは、相補 PWM のデッドタイム中にバッファ転送により GTIOA と GTIOB を変換する設定は禁止されています。そのため、バッファ転送によって GTIOA と GTIOB を変更する場合は、山と谷のタイミングがデッドタイムと重なり合わないように設定し、GTOLBR.GTIOAB と GTOLBR.GTIOBB を変更する必要があります。バッファ転送タイミングが山の場合、GTCCRm < GTPR を満たすように、GTCCRm (m = A, C, E) レジスタを設定します。バッファ転送タイミングが谷の場合、GTDVU < GTCCRm を満たすように、GTCCRm レジスタを設定します。

図 20.35～図 20.37 に GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0]　ビットのバッファ動作例を示します。表 20.23 に GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0]　ビットのバッファ動作の設定例を示します。



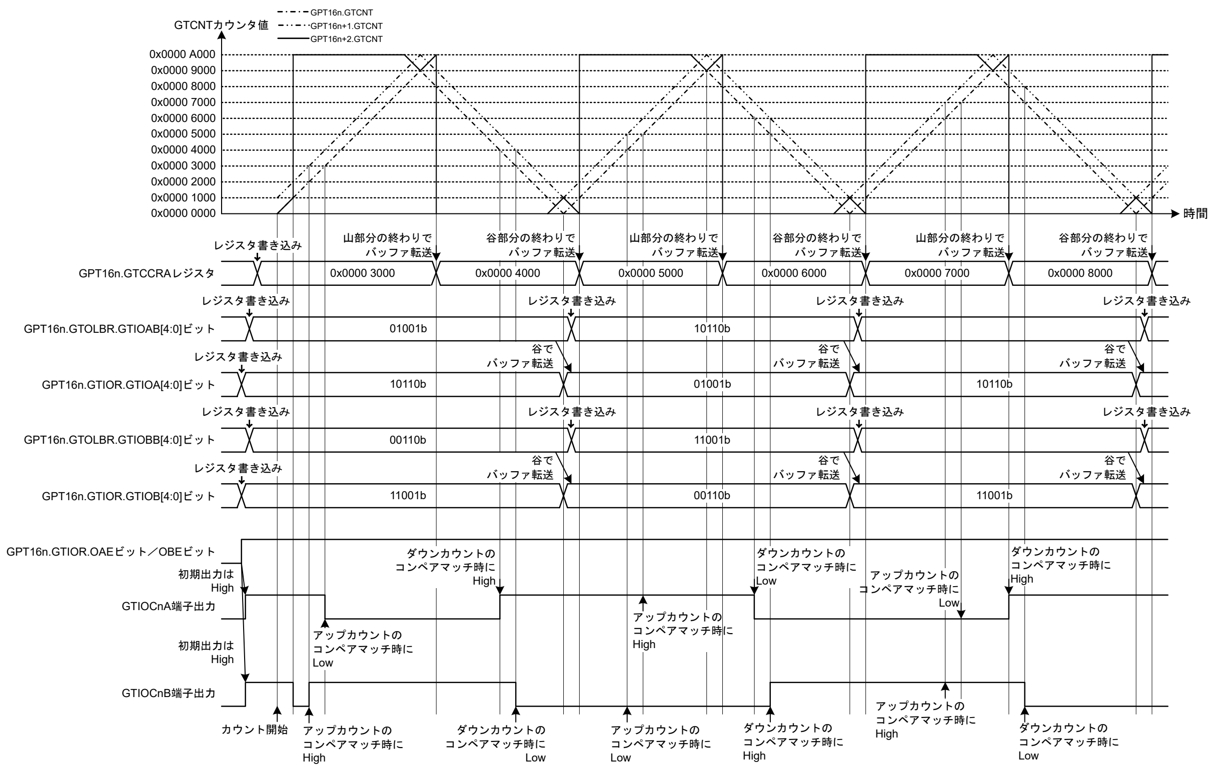
注.　初期出力はカウントクロックに同期します。

図 20.35　GTIOA ビットおよび GTIOB ビットのバッファ操作例（のこぎり波 PWM モード 1 のアップカウント、周期の終わりにバッファ転送）



注.　初期出力はカウントクロックに同期します。

図 20.36　GTIOA ビットおよび GTIOB ビットのバッファ操作例（三角波 PWM モード 2、山および谷でバッファ転送）



注.　初期出力はカウントクロックに同期します。

図 20.37　GTIOA ビットおよび GTIOB ビットのバッファ操作例（相補 PWM モード 3、谷でバッファ転送）

表 20.23　GTIOA ビットおよび GTIOB ビットのバッファ動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[3:0]　ビットで動作モードを設定します。 図 20.35 では 0000b（のこぎり波 PWM モード 1）、図 20.36 では 0101b（三角波 PWM モード 2）、図 20.37 では 1110b（相補 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.35 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]　ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR に周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタの周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]　ビット、GTIOB[4:0]　ビットに GTIOCnm 端子の機能を設定します。 図 20.35 では GTIOA[4:0] = 11001b、図 20.36 では GTIOA[4:0] = 10001b、および図 20.37 では GTIOA[4:0] = 10110b と GTIOB[4:0] = 11001b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER2 レジスタの OLTTm[1:0]　ビットでバッファ動作を設定します。 図 20.35 では 01b が OLTTA[1:0]に、図 20.36 では 11b が OLTTA[1:0]に、図 20.37 では 10b が OLTTA[1:0]に、10b が OLTTB[1:0]に設定されます。
9	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードおよび三角波モード／相補 PWM モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モード／相補 PWM モードで山と谷の両方でバッファ転送の場合）の GTIOCnm 端子機能を GTOLBR レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードおよび三角波モード／相補 PWM モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モード／相補 PWM モードで山と谷の両方でバッファ転送の場合）の GTIOCnm 端子機能を GTOLBR レジスタに設定します。

注.　n = 0～2
　　m = A, B

20.3.3　PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA レジスタまたは GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子 (n = 0～3) へ PWM 波形を出力することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

相補 PWM モードでは、0%/100%デューティー付近の PWM 出力パルス幅の直線性を保証する、デッドタイム付き PWM 波形（正相、逆相）を出力することが可能です。

のこぎり波 PWM モード 2 以外ののこぎり波モード、三角波モード、またはマスタチャネルの相補 PWM モードでは、GTIOR.PSYE ビットを 1 に設定することにより、PWM 周期と同期した信号を GTCPPOn 出力端子から出力可能です。のこぎり波モードでは周期の終わりに、三角波モードまたは相補 PWM モードでは山／谷／GTCNT カウンタクリアのタイミングで GTCPPOn がトグル出力されます。GTCPPOn の初期出力は Low であり、カウント開始時に High になります。

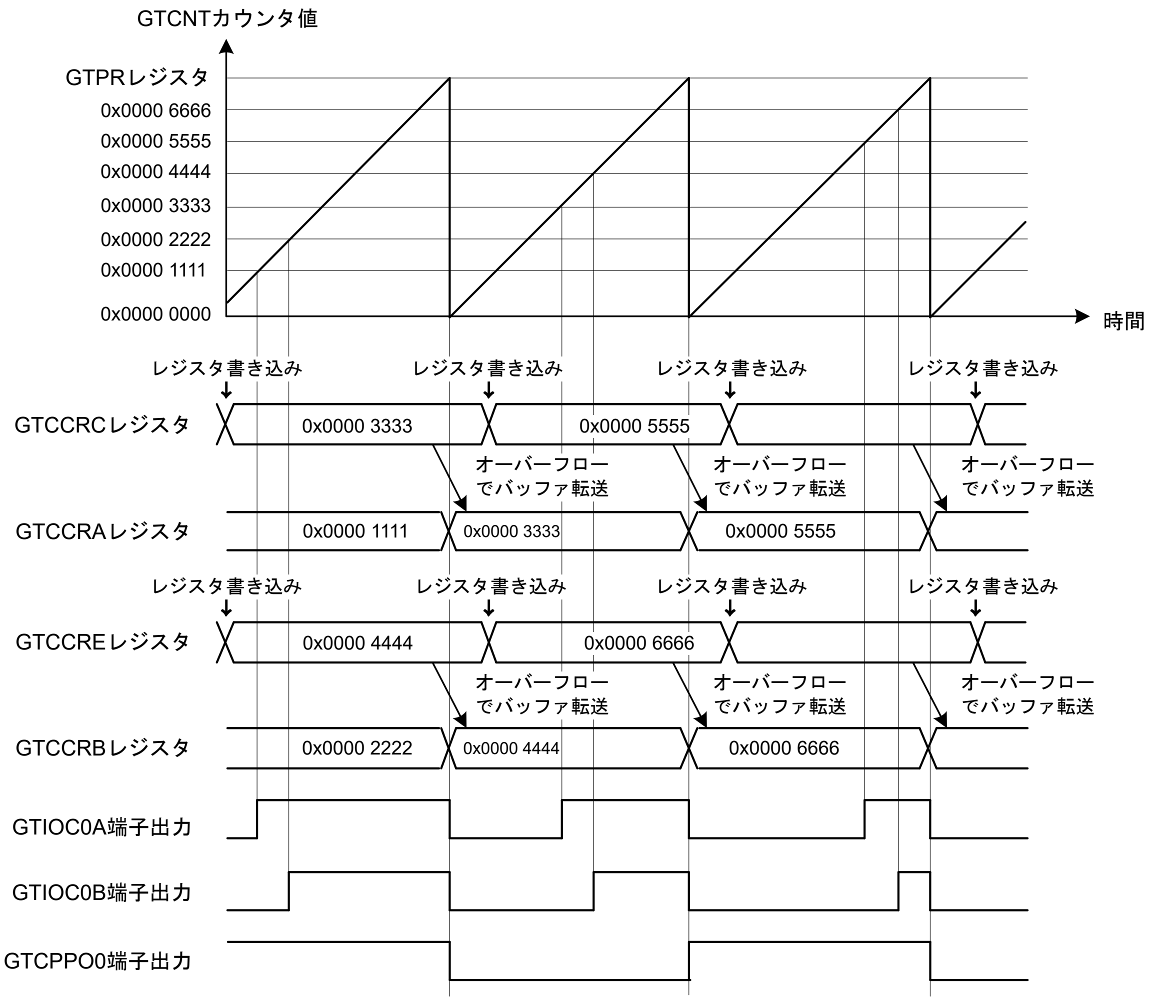
20.3.3.1　のこぎり波 PWM モード 1

のこぎり波 PWM モード 1 では、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子 (n = 0～2) に PWM 波形を出力させます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

GTIOR.OxEOCD (x = A, B) ビットが 0 に設定され、周期の終わりと GTCCRx レジスタのコンペアマッチのタイミングが同じ場合、出力端子は GTIOR.GTIOx[3:2]ビットで設定された周期の終わりに対する PWM 出力設定に従います。

GTIOR.OxEOCD ビットに 1 が設定されると、GTIOCnx 出力が保持されます。

図 20.38 にのこぎり波 PWM モード 1 の動作例を、表 20.24 にのこぎり波 PWM モード 1 の設定例を示します。



注.　レジスタのベースアドレスは同じです。

図 20.38　のこぎり波 PWM モード 1 の動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、GTIOR.PSYE = 1 の場合）

表 20.24　のこぎり波 PWM モード 1 の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。図 20.38 の例では 000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.38 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.38 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。

表 20.24　のこぎり波 PWM モード 1 の設定例 (2/2)

No.	手順名	説明
8	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
9	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 20.38 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
10	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。 GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
11	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0～3
　　m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

20.3.3.2　のこぎり波 PWM モード 2

のこぎり波 PWM モード 2 では、GTCNT カウンタは GTPR レジスタを使わずにアップカウントによりのこぎり波として動作し、GTCCRA レジスタと GTCCRB レジスタのコンペアマッチにより PWM 波形を出力します。端子の出力レベルは、GTIOR レジスタの設定によって、コンペアマッチ時にそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。

GTIOCnA 端子は出力端子として使用します。GTIOR.GTIOB[1:0] ビットを使用して、GTCCRB レジスタのコンペアマッチ時の GTIOCnA 端子出力を設定してください。

カウンタクリアが GTCSR レジスタで選択された GTCNT カウンタクリア要因のために発生した場合、これは周期の終わりに処理され、GTIOR.GTIOA[3:2]ビットで選択された周期の終わりの PWM 出力動作が実行されます。カウンタクリア（周期の終わり）が GTCCRx (x = A, B) レジスタコンペアマッチのために PWM 出力変更と競合した場合、PWM 出力動作は周期の終わりに実行されるか（GTIOR.OxEOCD ビット = 0 の場合）、PWM 出力は保持されます（GTIOR.OxEOCD ビット = 1 の場合）。

のこぎり波 PWM モード 2 の動作例を図 20.39～図 20.41 に示します。表 20.25 にのこぎり波 PWM モード 2 の設定例を示します。

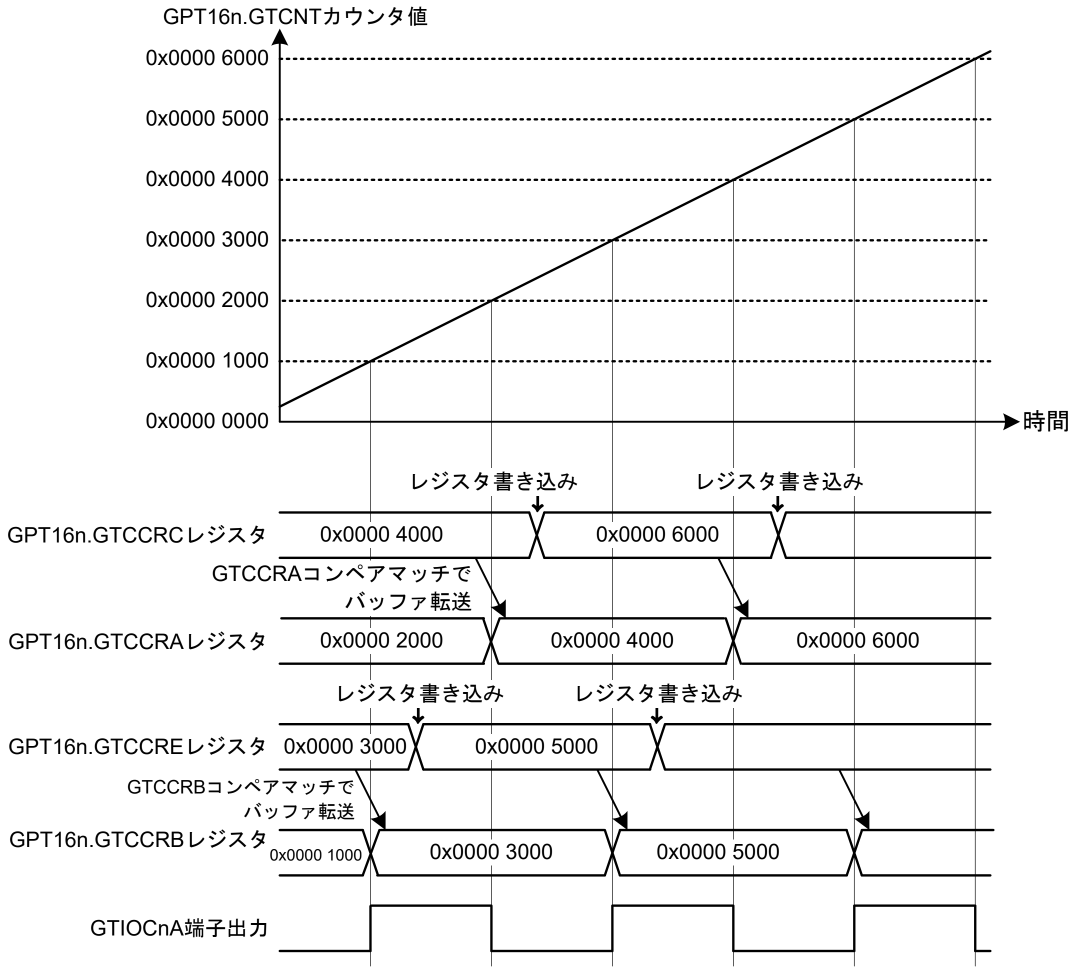


図 20.39　のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタコンペアマッチ時に Low 出力、GTCCRB レジスタコンペアマッチ時に High 出力、シングルバッファ動作、クリア設定なし） (n = 0～2)

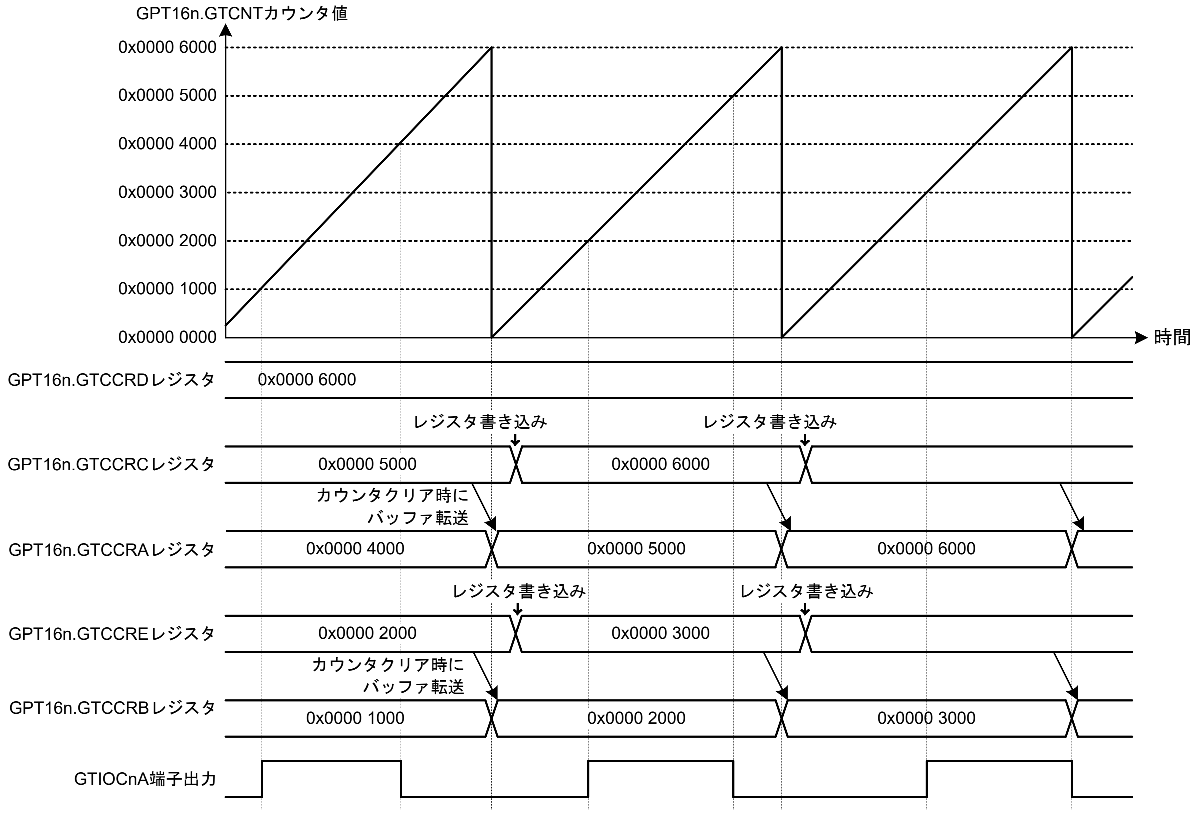


図 20.40 のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタコンペアマッチ時に Low 出力、GTCCRB レジスタコンペアマッチ時に High 出力、周期の終わりに Low 出力、シングルバッファ動作、GTCCRD レジスタコンペアマッチ時にクリア、GTIOR.OAEOCD ビット = 0）（n = 0～2)

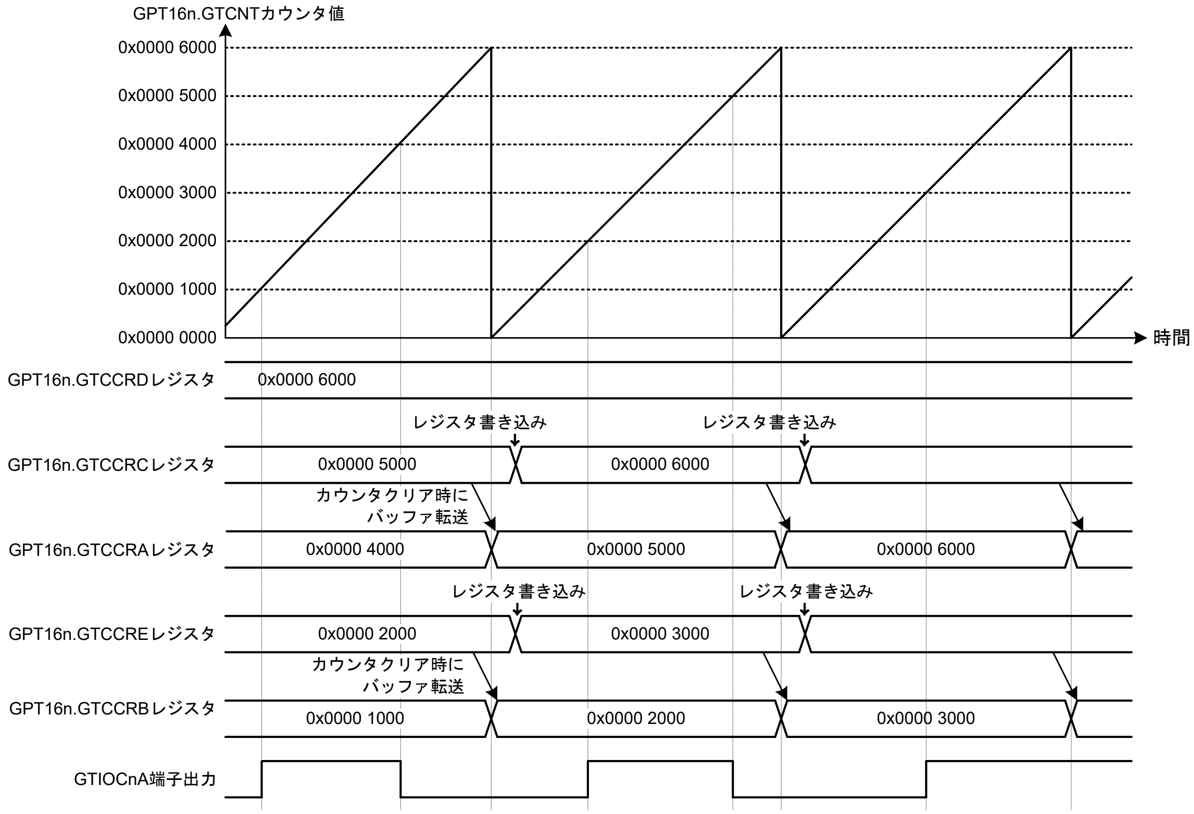


図 20.41　のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタコンペアマッチ時に Low 出力、GTCCRB レジスタコンペアマッチ時に High 出力、周期の終わりに Low 出力、シングルバッファ動作、GTCCRD レジスタコンペアマッチ時にクリア、GTIOR.OAEOCD ビット = 1） (n = 0～2)

表 20.25　のこぎり波 PWM モード 2 の設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[3:0] ビットで動作モードを設定します。 図 20.39～図 20.41 では、0010b（のこぎり波 PWM モード 2）が設定されます。
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	GTIOCnA 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビットと GTIOB[4:0] ビットで、GTIOCnA 端子の機能を設定します。 図 20.39～図 20.41 では、GTIOA[4:0] = 00001b および GTIOB[1:0] = 10b。
5	GTIOCnA 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビットで、GTIOCnA 端子出力の許可を設定します。
6	バッファ動作の設定	GTBER レジスタの CCRA[1:0] ビットと CCRB[1:0] ビットで、バッファ動作を設定します。 図 20.39～図 20.41 では、CCRA[1:0] = 01b および CCRB[1:0] = 01b。
7	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA、GTCCRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後に使用する GTCCRA レジスタ値を GTCCRC レジスタに、GTCCRB レジスタ値を GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後に使用する GTCCRA レジスタ値を GTCCRD レジスタに、GTCCRB レジスタ値を GTCCRF レジスタに設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
10	周期ごとのバッファ値設定	バッファ動作時は、1 周期後に使用する GTCCRA レジスタ値を GTCCRC レジスタに、GTCCRB レジスタ値を GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後に使用する GTCCRA レジスタ値を GTCCRD レジスタに、GTCCRB レジスタ値を GTCCRF レジスタに設定します。

注.　n: 0～2

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnA 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

20.3.3.3　のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子 (n = 0～3) に PWM 波形を出力するモードです。

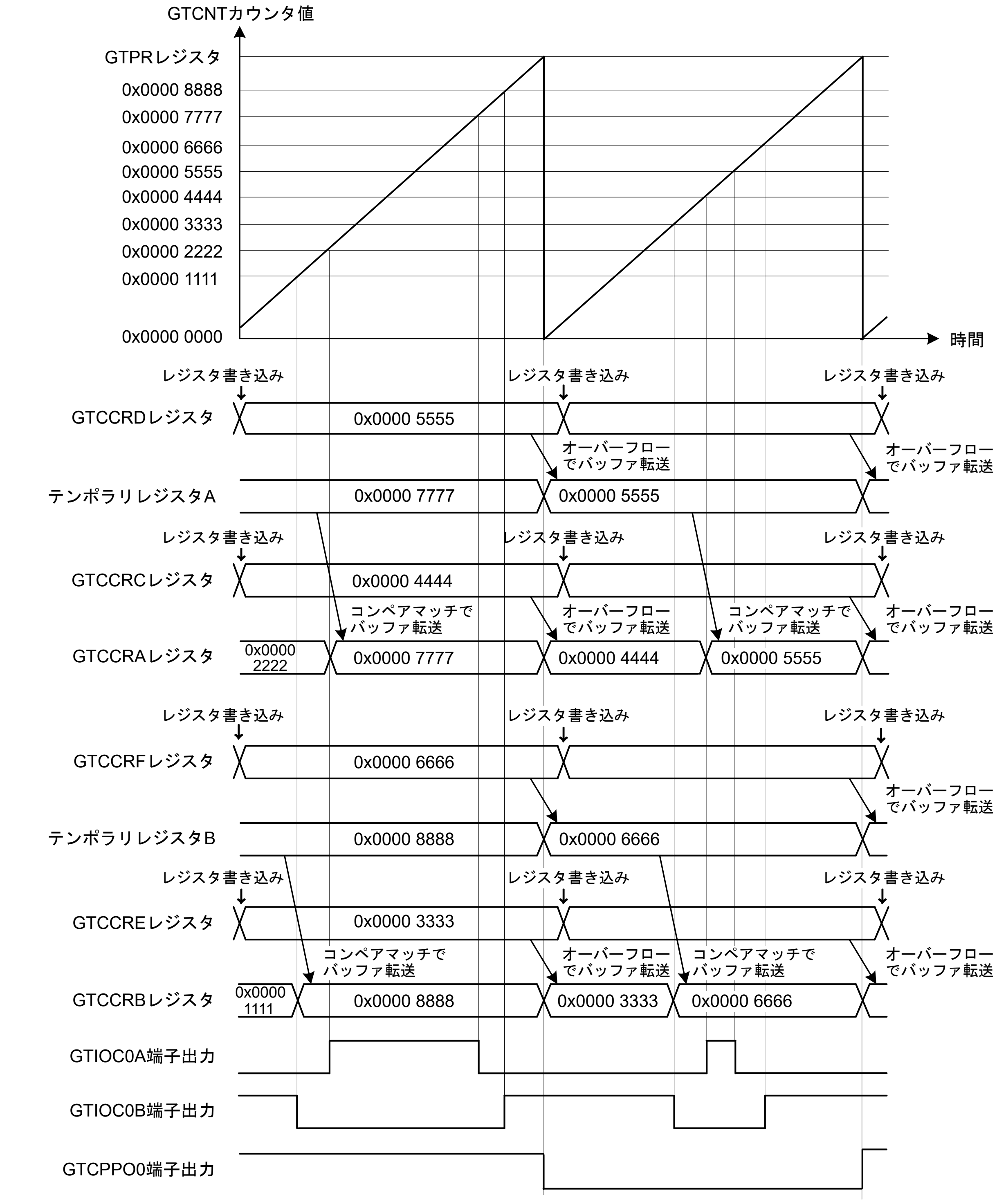
のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

GTBER.DBRTECm (m = A, B) ビットが 1 のとき、バッファ転送が禁止されている場合でも（バッファ転送禁止中のリピートダブルバッファ動作機能）、GTCCRx レジスタと GTCCRm レジスタの中間バッファとしてそれぞれ動作するテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m を使用して、中間バッファから GTCCRm レジスタへの転送が周期ベースで繰り返されます。詳細は、「20.8.2.2. GTCCR バッファ転送禁止時のリピートダブルバッファ動作」を参照してください。

図 20.42 に、のこぎり波ワンショットパルスモードの動作例を、表 20.26 に、のこぎり波ワンショットパルスモードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.42 のこぎり波ワンショットパルスモードの動作例（アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 20.26　のこぎり波ワンショットパルスモード設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.42 では 001b（のこぎり波ワンショットパルスモード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.42 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.42 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
8	GTIOCnm 端子出力許可設定(注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
9	コンペアマッチ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
11	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注.　n: 0～3
　　m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定+バッファ強制転送設定の順序を変更してください。

20.3.3.4　三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～3) に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.43 に三角波 PWM モード 1 の動作例を、表 20.27 に三角波 PWM モード 1 の設定例を示します。

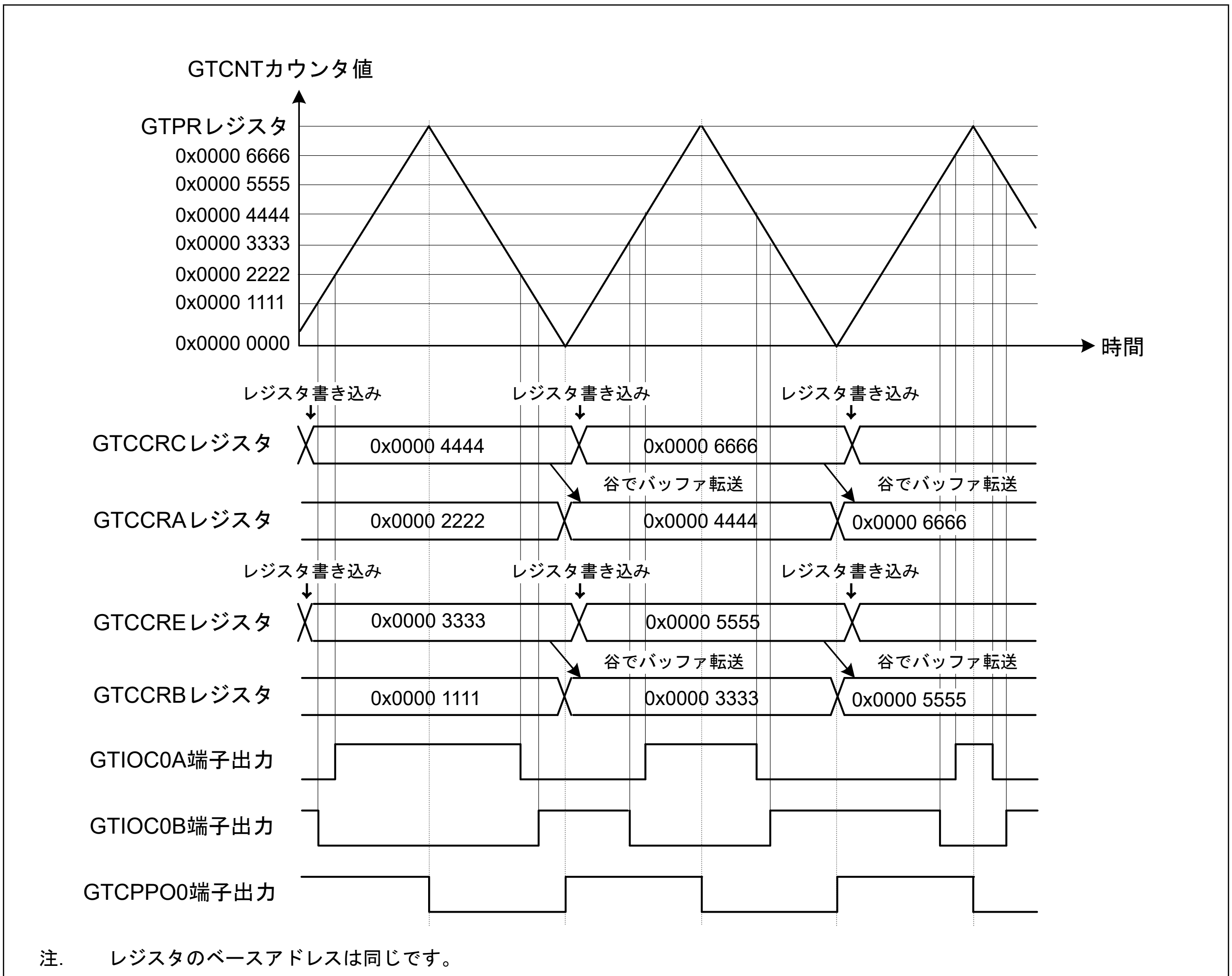


図 20.43　三角波 PWM モード 1 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 20.27　三角波 PWM モード 1 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.43 では、100b（三角波 PWM モード 1）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.43 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.43 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.27　三角波 PWM モード 1 設定例 (2/2)

No.	手順名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0〜3
m: A, B

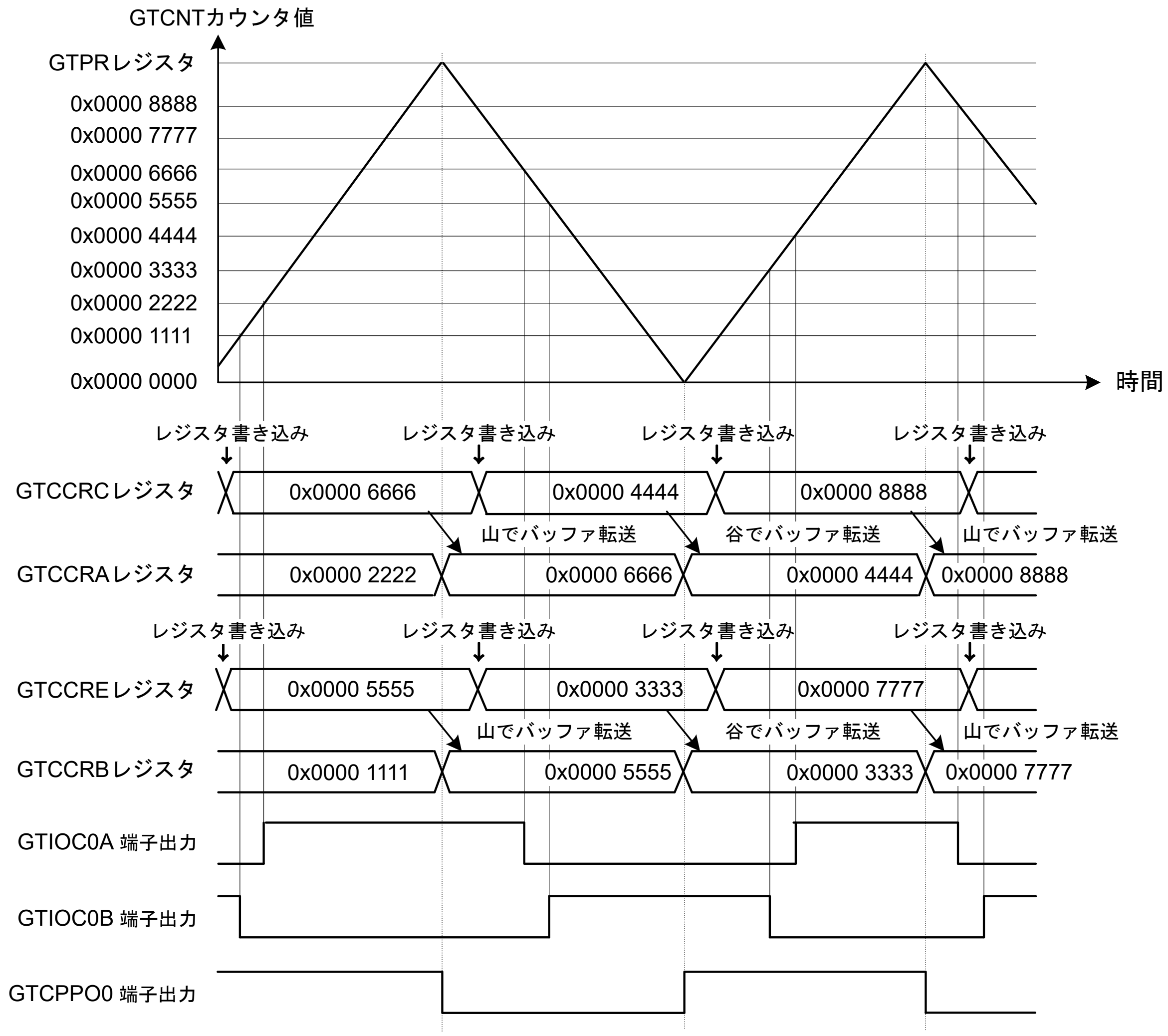
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

20.3.3.5　三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0〜3) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.44 に三角波 PWM モード 2 の動作例を、表 20.28 に三角波 PWM モード 2 の設定例を示します。



注.　　レジスタのベースアドレスは同じです。

図 20.44　　三角波 PWM モード 2 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 20.28　　三角波 PWM モード 2 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.44 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.44 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.44 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b

表 20.28　　三角波 PWM モード 2 設定例 (2/2)

No.	手順名	説明
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0～3
　　 m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

20.3.3.6　　三角波 PWM モード 3（谷 64 ビット転送）

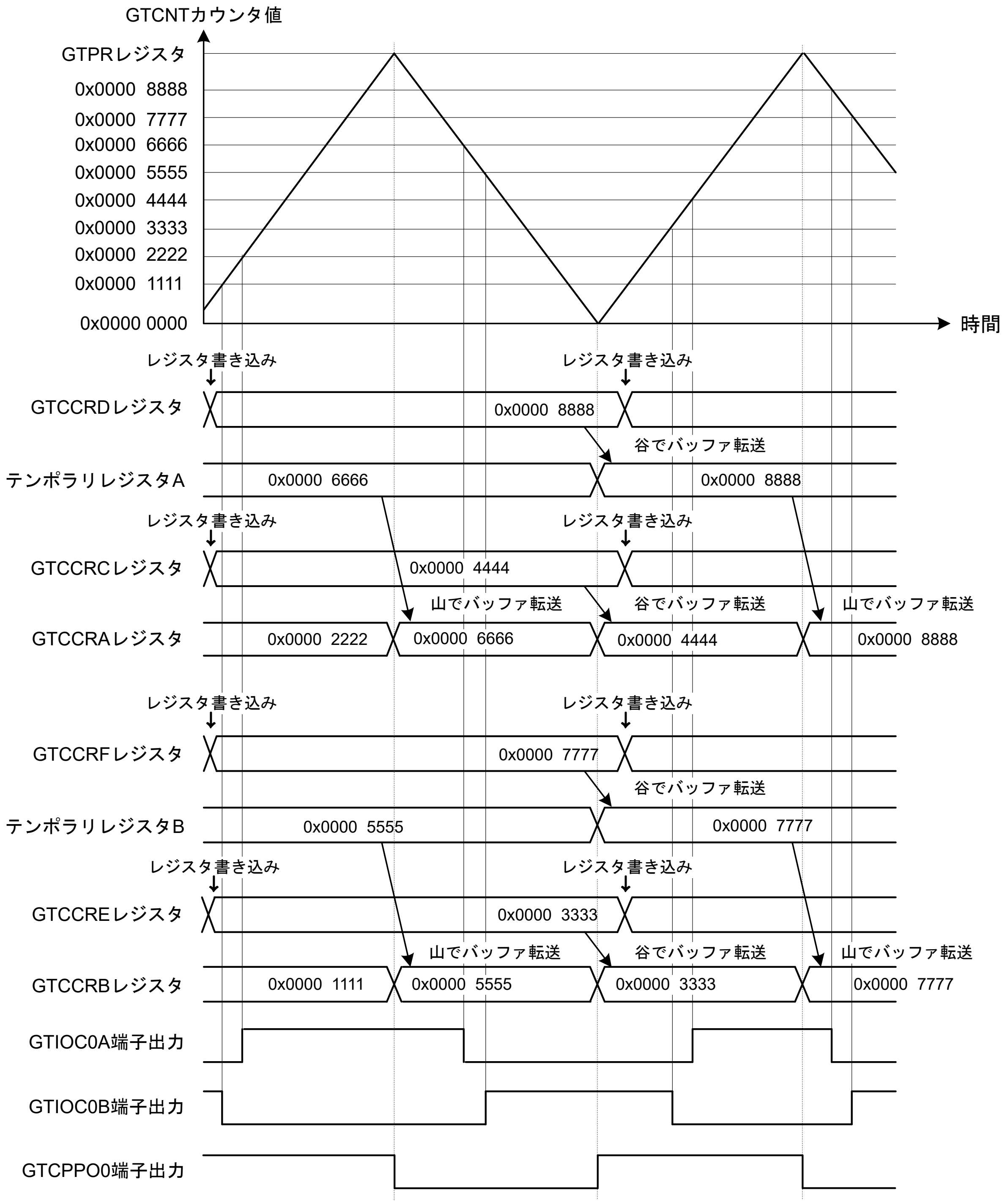
三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子 (n = 0～3) に PWM 波形を出力させます。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力、を設定することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.45 に三角波 PWM モード 3 の動作例を、表 20.29 に三角波 PWM モード 3 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.45 三角波 PWM モード 3 の動作例（カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 20.29 三角波 PWM モード 3 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.45 では 110b（三角波 PWM モード 3）を設定します。

表 20.29　三角波 PWM モード 3 設定例 (2/2)

No.	手順名	説明
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.45 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定(注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注.　n: 0〜3
　　m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定+バッファ強制転送設定の順序を変更してください。

20.3.3.7　相補 PWM モード 1、2、3

相補 PWM モードでは、連続する 3 つのチャネルの GTCNT カウンタを使い、0%/100%デューティー付近の直線性を確保するデッドタイム付き三相 PWM 波形を出力できます。バッファ動作の違いにより 4 つのモードがあります。

- 相補 PWM モード 1（山で転送）
- 相補 PWM モード 2（谷で転送）
- 相補 PWM モード 3（山と谷で転送）
- 相補 PWM モード 4（即時転送）

図 20.46 に、相補 PWM モード 1〜3 のブロック図を示します。

連続する 3 チャネルで、最低位のチャネルはマスタチャネルとします。隣接する上位 2 チャネルはスレーブチャネル 1（低位側）とスレーブチャネル 2（上位側）とします。

各チャネルの GTCNT カウンタは、マスタチャネルの周期動作のもとで、独立したカウント動作を行います。各チャネルでは、各動作部分の 3 つの GTCNT カウンタの 1 つを選択して、GTCCRA レジスタとのコンペアマッチを行います。そして、マスタチャネルの GTDVU レジスタに設定したデッドタイム値のオーバーラップをしていない部分で、GTIOCn+iA 端子と GTIOCn+iB 端子（i = 0、1、2）からそれぞれ正相波形と逆相波形を出力します。

GTCCRA レジスタは、GTCCRC レジスタ、テンポラリレジスタ A、GTCCRD レジスタによるバッファ動作を行います。また、相補 PWM モード 3 では、GTBER2.CP3DB ビットを 1 に設定すると、GTCCRA レジスタ、GTCCRE レジスタ、テンポラリレジスタ B、GTCCRF レジスタによるバッファ動作を許可し、ダブルバッファ動作が可能となります。

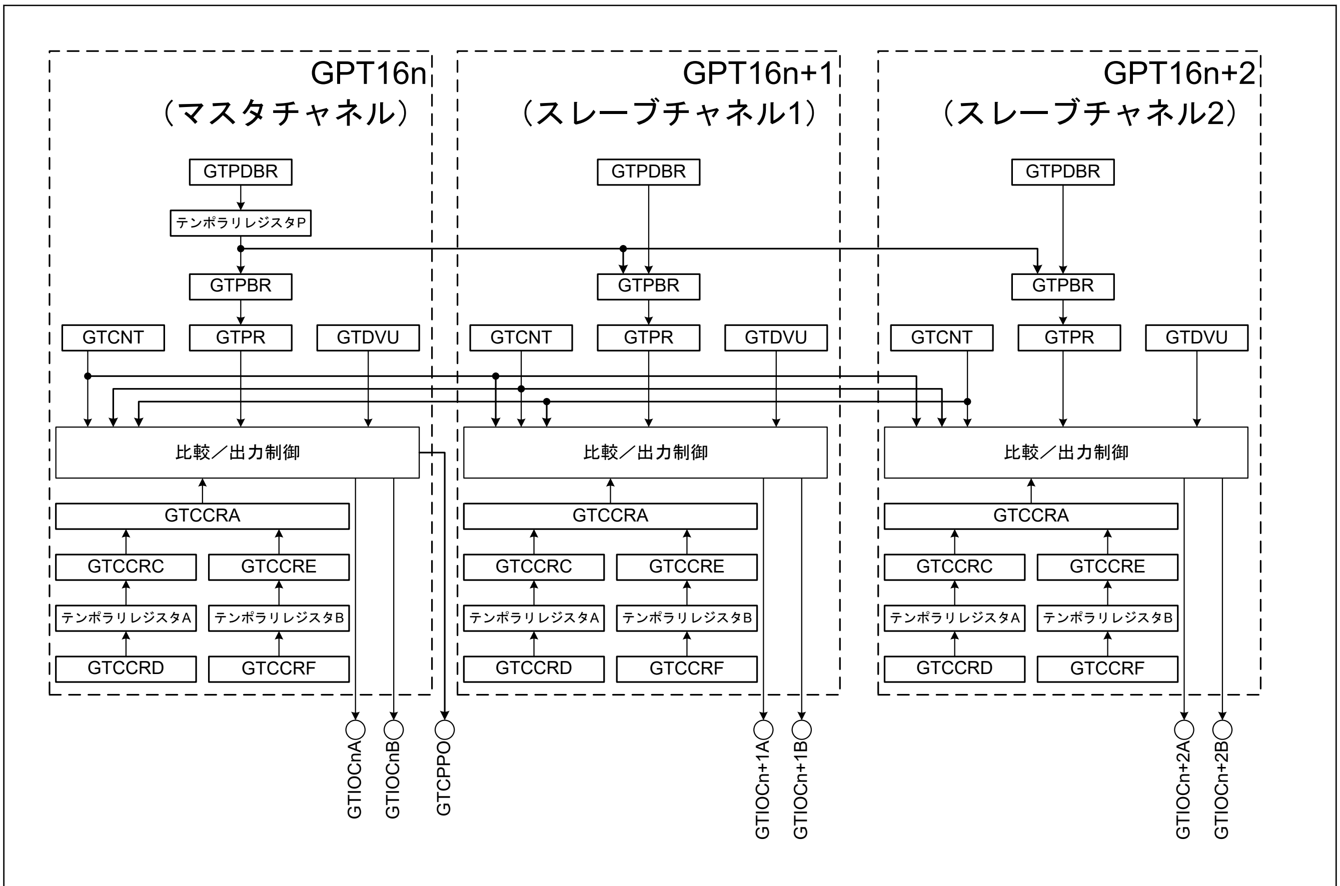


図 20.46　　相補 PWM モード 1、2、3 のブロック図 (n = 0)

GPT16n.GTCNT カウンタは、GPT16n.GTPR レジスタを周期レジスタとして用いた三角波のためのカウント動作を行います。GPT16n.GTCNT カウンタ値がデッドタイム値より大きくない部分は、谷部分を示します。

GPT16n+1.GTCNT カウンタは、(GPT16n.GTCNT カウンタ値 + GPT16n.GTDVU レジスタに設定されたデッドタイム値）を用いてカウント動作を行います。GPT16n+1.GTCNT カウンタ値が GPT16n.GTPR レジスタ値より大きい部分は、山部分を示します。

山部分と谷部分は、カウント方向によってアップカウント山部分、ダウンカウント山部分、アップカウント谷部分、ダウンカウント谷部分に分類できます。山と谷の間の部分は、カウント方向によってアップカウント中間部分またはダウンカウント中間部分に分類できます。カウント動作の開始後に、アップカウント谷部分と同様である部分は、初期出力部とされ、ほかのアップカウント谷部分と動作が部分的に異なります。

GPT16n+2.GTCNT カウンタは、0%/100%デューティー付近の直線性を確保するカウンタとして機能します。谷部分では、このカウンタは（GPT16n.GTPR レジスタ値 + デッドタイム値）の値を初期値として、GPT16n.GTPR レジスタ値を谷とした三角波のカウント動作（ダウンカウントの後アップカウント）を行います。このカウンタは、山部分の終わりで 0 にクリアされ、次の谷部分までカウントを停止します。谷部分でこのカウンタは、初期値が 0 で山としてのデッドタイム値である三角波のカウント動作を行います。このカウンタは、谷部分の終わりで（GPT16n.GTPR レジスタ値 + デッドタイム値）の値となり、次の山部分までカウントを停止します。初期の出力部で、このカウンタは初期値の 0 からデッドタイム値までカウントアップし、(GPT16n.GTPR レジスタ値 + デッドタイム値）の値になります。

相補 PWM モードでこのカウンタが停止して再スタートした場合、各チャネルのカウンタはカウント動作開始後に初期値に戻り、初期の出力部からカウントを開始します。

表 20.30 と表 20.31 に、各部分におけるカウント動作（カウント方向／カウント範囲）を示します。これらの表で、チャネル ID がないレジスタは、マスタチャネル、スレーブチャネル 1、スレーブチャネル 2 の各レジスタに同じ値が格納されることを示します。

表 20.30　相補 PWM モードのカウント動作

カウンタ	初期値	初期出力部（開始後）	アップカウント中間部分	アップカウント山部分	ダウンカウント山部分
GPT16n.GTCNT	0	アップカウント 0 → GTDVU	アップカウント GTDVU + 1 → GTPR - GTDVU	アップカウント GTPR - GTDVU + 1 → GTPR	ダウンカウント GTPR - 1 → GTPR - GTDVU
GPT16n+1.GTCNT	GTDVU	アップカウント GTDVU → GTDVU × 2	アップカウント GTDVU × 2 + 1 → GTPR	アップカウント GTPR + 1 → GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 → GTPR
GPT16n+2.GTCNT	0	アップカウント 0 → GTDVU	停止 GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 → GTPR	アップカウント GTPR + 1 → GTPR + GTDVU

表 20.31　相補 PWM モードのカウント動作

カウンタ	ダウンカウント中間部分	ダウンカウント谷部分	アップカウント谷部分
GPT16n.GTCNT	ダウンカウント GTPR - GTDVU-1 → GTDVU	ダウンカウント GTDVU - 1 → 0	アップカウント 1 → GTDVU
GPT16n+1.GTCNT	ダウンカウント GTPR - 1 → GTDVU × 2	ダウンカウント GTDVU × 2 + 1 → GTDVU	アップカウント GTDVU + 1 → GTDVU × 2
GPT16n+2.GTCNT	停止 0	アップカウント 1 → GTDVU	ダウンカウント GTDVU - 1 → 0

相補 PWM モードでは、GTCCRA レジスタが独特のバッファ動作を行います。

GPT16n+2 チャネルの GTCCRD レジスタに値を書き込むことで、GTCCRD レジスタからテンポラリレジスタ A へのデータ転送、および GTCCRF レジスタからテンポラリレジスタ B へのデータ転送が 3 チャネル同時に実行されます。

テンポラリレジスタ A とテンポラリレジスタ B から GTCCRC レジスタと GTCCRE レジスタへのデータ転送は、テンポラリレジスタ A とテンポラリレジスタ B への伝送タイミングによります。GTCCRC レジスタと GTCCRE レジスタから GTCCRA レジスタへのデータ転送は、各相補 PWM モード名（山転送、谷転送、山／谷転送）に従って行われます。

相補 PWM モードでの GTPR レジスタのバッファ動作を「20.3.2.1. GTPR レジスタのバッファ動作」に説明します。相補 PWM モードでは、GTDVU レジスタでバッファ動作を行わないでください。

表 20.32 に、相補 PWM モード 1～3 のシングルバッファ動作中のバッファ転送タイミングを示します。表 20.33 に、相補 PWM モード 3 のダブルバッファ動作中のバッファ転送タイミングを示します。

表 20.32　相補 PWM モード 1、2、3 におけるシングルバッファ転送タイミング

バッファ転送	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3（シングルバッファ）
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ A ↓ GTCCRC	(1) アップカウント中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) アップカウント中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 谷部分の最後	(1) ダウンカウント中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) ダウンカウント中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後	(1) 中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後および谷部分の最後
GTCCRC ↓ GTCCRA	山部分の最後 アップカウント中間部分とアップカウント山部分でカウンタクリア	谷部分の最後（初期出力部分を除く） ダウンカウント中間部分とダウンカウント谷部分でカウンタクリア	山部分の最後 谷部分の最後 （初期出力部分を除く）カウンタクリア

表 20.33　相補 PWM モード 3 におけるダブルバッファ転送タイミング

GTCCRD から GTCCRA への転送		GTCCRF から GTCCRA への転送	
バッファ転送	転送タイミング	バッファ転送	転送タイミング
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	GTCCRF ↓ テンポラリレジスタ B	スレーブチャネル 2 (GPT16n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ A ↓ GTCCRC	(1) 中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後および谷部分の最後	テンポラリレジスタ B ↓ GTCCRE	(1) 中間部分でテンポラリレジスタ B にデータ転送されたとき テンポラリレジスタ B へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ B にデータ転送されたとき 山部分の最後および谷部分の最後
GTCCRC ↓ GTCCRA	山部分の最後 カウンタクリア	GTCCRE ↓ GTCCRA	谷部分の最後（初期出力部分を除く）

各動作部分で決まるカウンタとレジスタの組み合わせによるコンペアマッチによって、GTIOCn+iA 端子 (i = 0, 1, 2) からの正相波形と GTIOCn+iB 端子からの逆相波形の出力レベルの変化が発生します。中間部分では、GPT16n.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで正相波形出力レベルが変わり、GPT16n+1.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで逆相波形出力レベルが変わります。山部分と谷部分では 0%/100%デューティー付近の直線性を確保するために、GPT16n+2.GTCNT カウンタ、GTCCRC レジスタ、GTCCRE レジスタを使ったコンペアマッチ動作が行われます。

コンペアマッチ値が GPT16n.GTPR レジスタ値以上の場合、デューティーが 0%（正相波形 OFF、逆相波形 ON）になります。コンペアマッチ値が 0 の場合、デューティーが 100%（正相波形 ON、逆相波形 OFF）になります。

表 20.34 に各動作部分で正相波形と逆相波形を生成するためのコンペアマッチ動作に使用するカウンタとレジスタの組み合わせを示します。

表 20.34　相補 PWM モードにおけるコンペアマッチ動作のカウンタとレジスタの組み合わせ

	アップカウント中間部分	アップカウント山部分	ダウンカウント山部分	ダウンカウント中間部分	ダウンカウント谷部分	アップカウント谷部分
逆相 OFF	GPT16n+1.GTCNT	GPT16n+1.GTCNT	—	GPT16n+2.GTCNT (注1)	GPT16n+2.GTCNT	GPT16n+1.GTCNT
	GTCCRA	GTCCRA	—	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）
正相 ON	GPT16n.GTCNT	GPT16n.GTCNT	GPT16n+2.GTCNT	—	GPT16n.GTCNT (注1)	GPT16n.GTCNT
	GTCCRA	GTCCRA	GTCCRA	—	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）
正相 OFF	GPT16n+2.GTCNT (注1)	GPT16n+2.GTCNT	GPT16n.GTCNT	GPT16n.GTCNT	GPT16n.GTCNT	—
	GTCCRC	GTCCRC	GTCCRC	GTCCRA	GTCCRA	—
逆相 ON	—	GPT16n+1.GTCNT (注1)	GPT16n+1.GTCNT	GPT16n+1.GTCNT	GPT16n+1.GTCNT	GPT16n+2.GTCNT
	—	GTCCRC	GTCCRC	GTCCRA	GTCCRA	GTCCRA

注 1.　対象部分の最終カウント時にのみコンペアマッチが行われ、最終カウント以外のカウント値では行われません。

通常の相補 PWM モード波形の場合、逆相 OFF → 正相 ON → 正相 OFF → 逆相 ON の順序で PWM 波形の変化が起こります。ただし、動作部分とレジスタ値によってはこの順序が変わります。この場合、逆相波形では、谷部分で OFF が優先となり、山部分で ON が優先となります。正相波形では、谷部分で ON が優先となり、山部分で OFF が優先となります。より高い優先度のコンペアマッチと同時に発生するか後に発生する低優先度のコンペアマッチは、無視されます。

初期出力部分で、GTIOR レジスタに設定される初期出力は維持されます。初期出力部分の最後で GTCCRA レジスタ値が GTDVU レジスタ値より大きい場合、逆相が有効になります。GTCCRA レジスタ値が GTDVU レジスタ値以下場合、正相が有効になります。

以下に、中間部分でコンペアマッチ動作が発生した場合の通常の相補 PWM モード波形の動作例を示します。 相補 PWM モード 1 の例：図 20.47、図 20.48 相補 PWM モード 2 の例：図 20.49、図 20.50 シングルバッファ相補 PWM モード 3 の例：図 20.51、図 20.52 ダブルバッファ相補 PWM モード 3 の例：図 20.53、図 20.54

図 20.55～図 20.66 に、山部分と谷部分でコンペアマッチ動作が発生した場合の相補 PWM モード波形と、コンペアマッチ発生順序による差異を示します。

図 20.67、図 20.68 に GTCCRA レジスタ値による初期出力動作を示します。

表 20.35 に、相補 PWM モード 1～3 の設定例を示します。

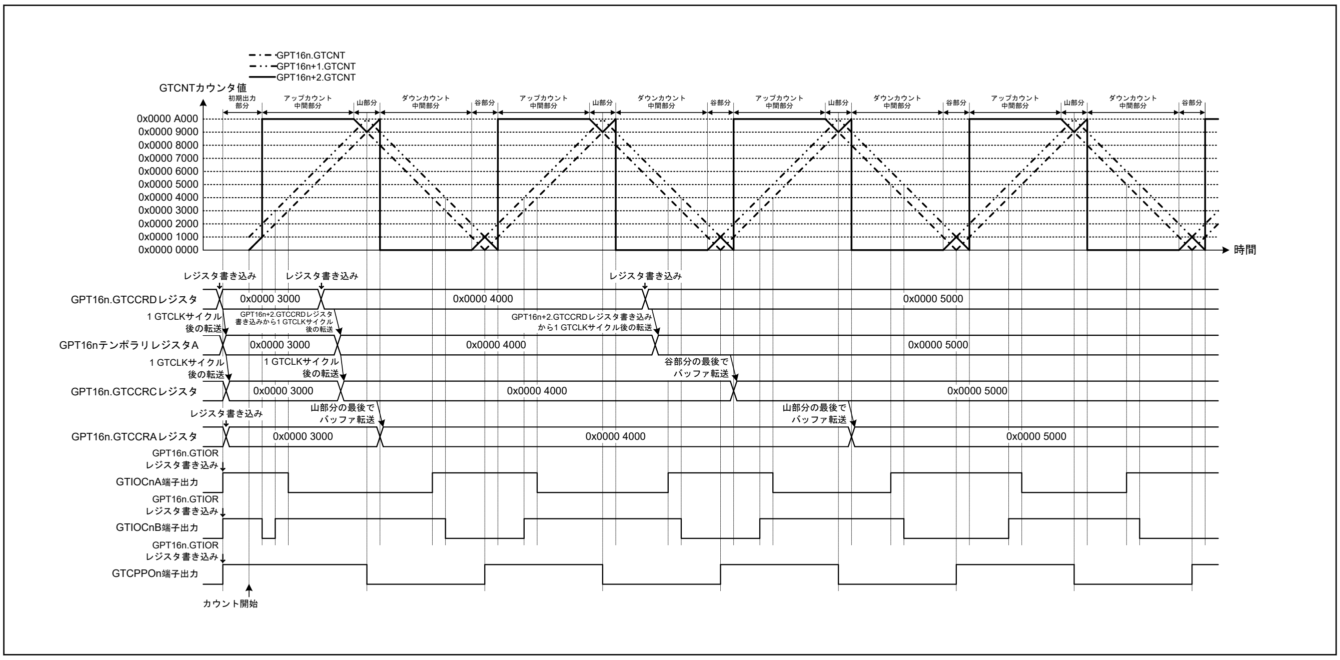


図 20.47　相補 PWM モード 1 動作例（初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新） (n = 0)

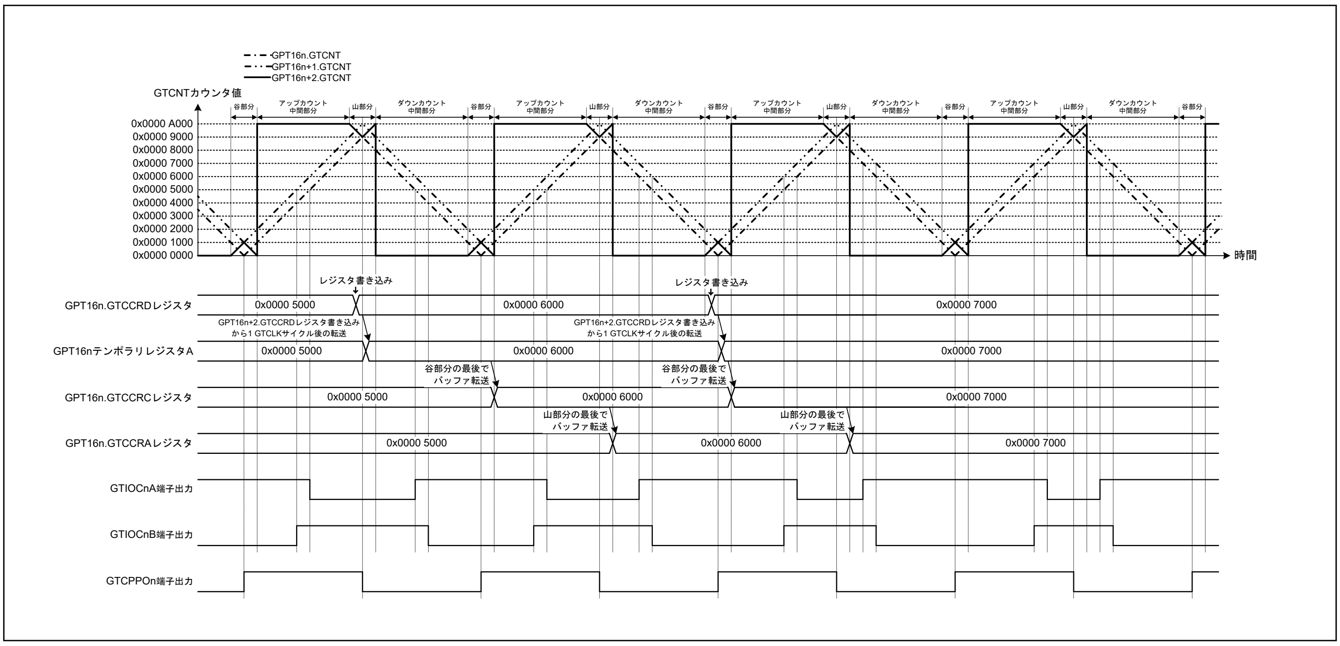


図 20.48　相補 PWM モード 1 動作例（アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新） (n = 0)

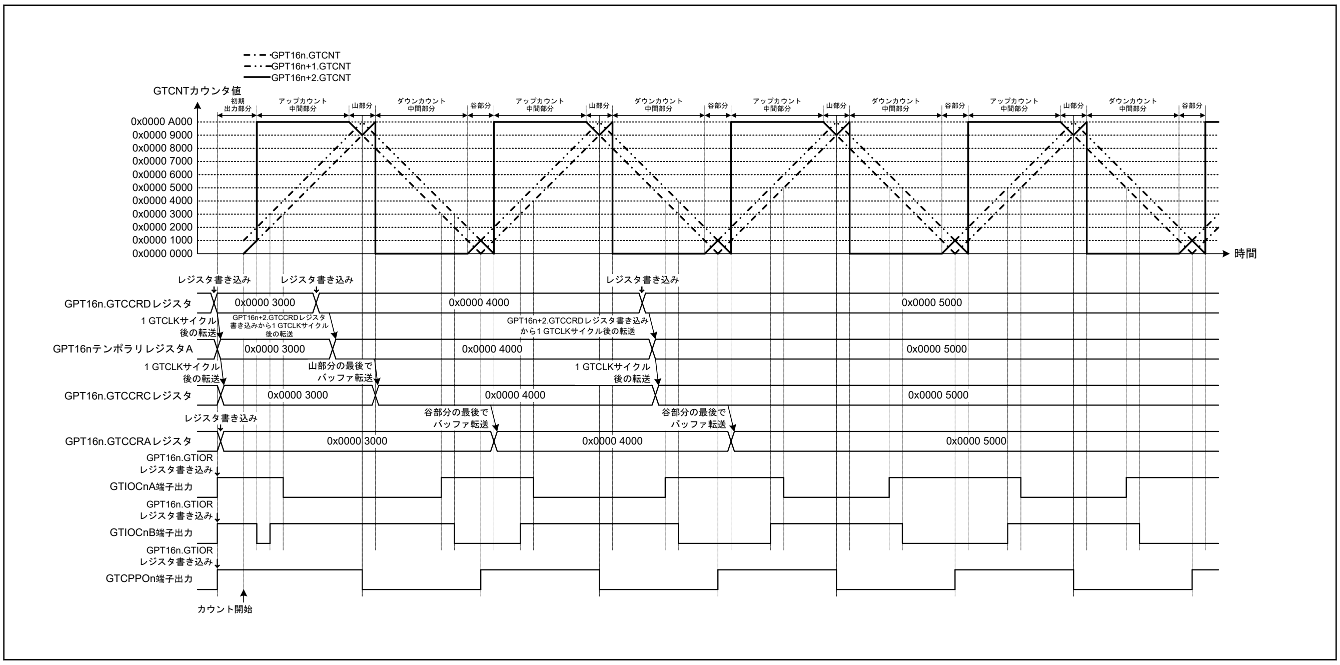


図 20.49　相補 PWM モード 2 動作例（初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新） (n = 0)

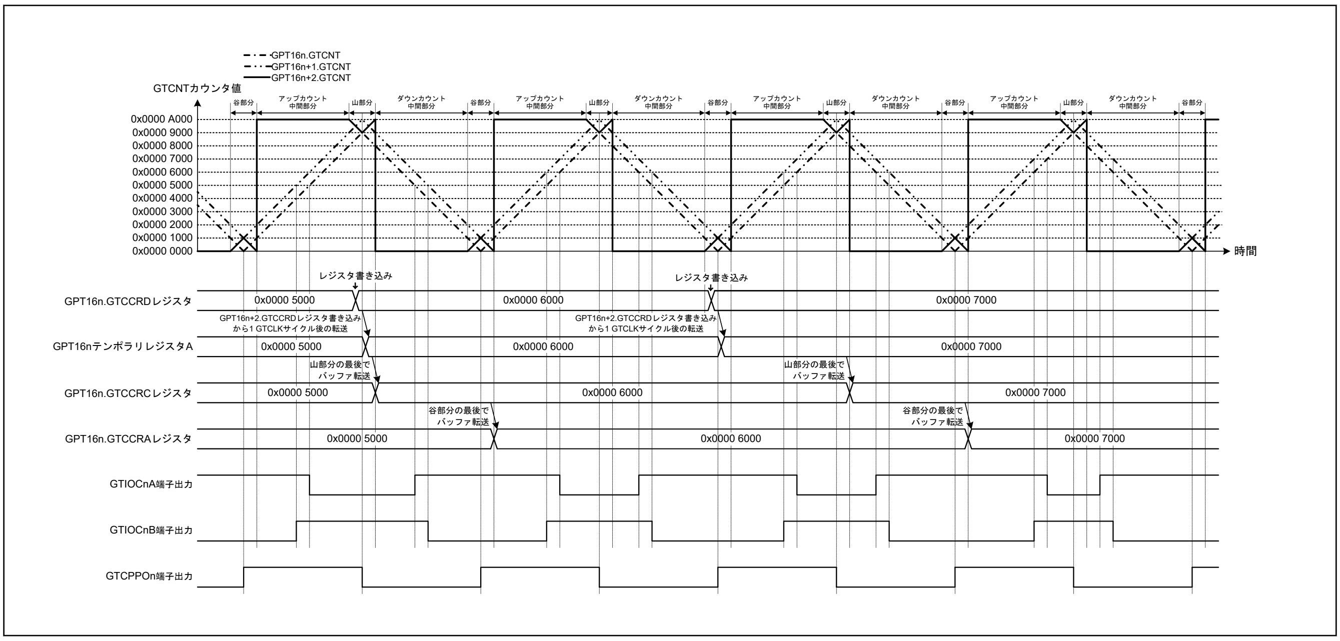


図 20.50　相補 PWM モード 2 動作例（アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）(n = 0)

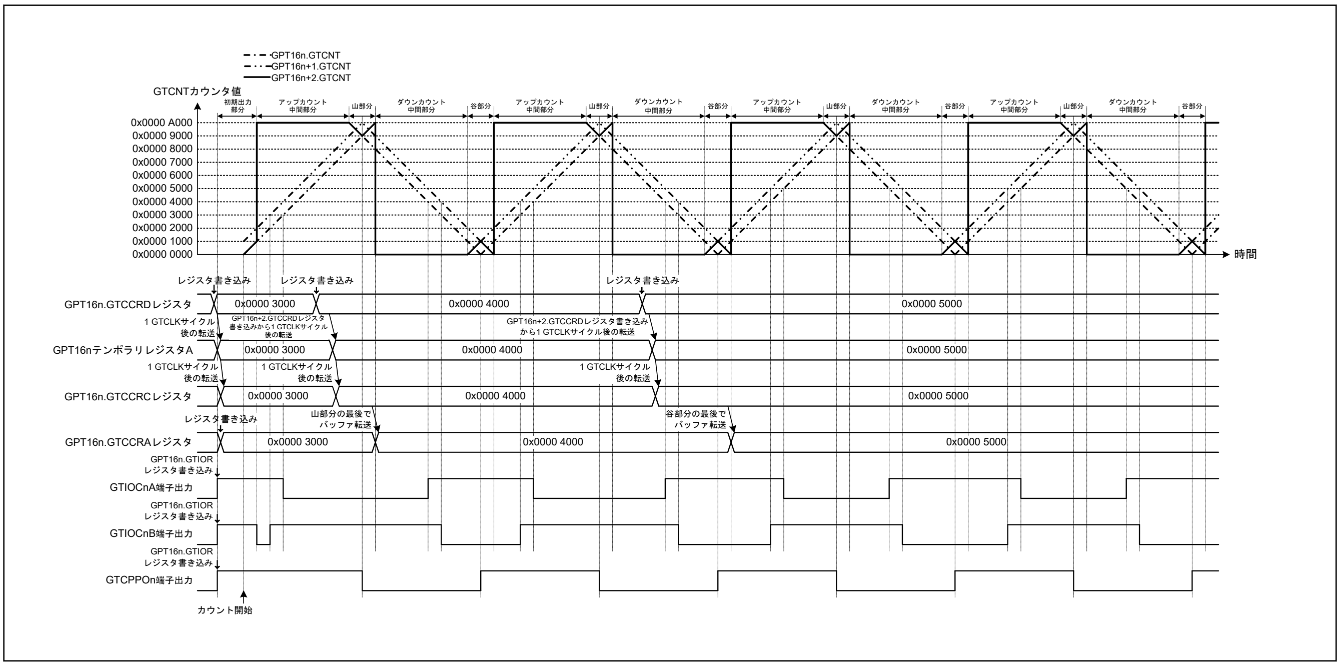


図 20.51　相補 PWM モード 3 動作例（シングルバッファ動作、初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）(n = 0)

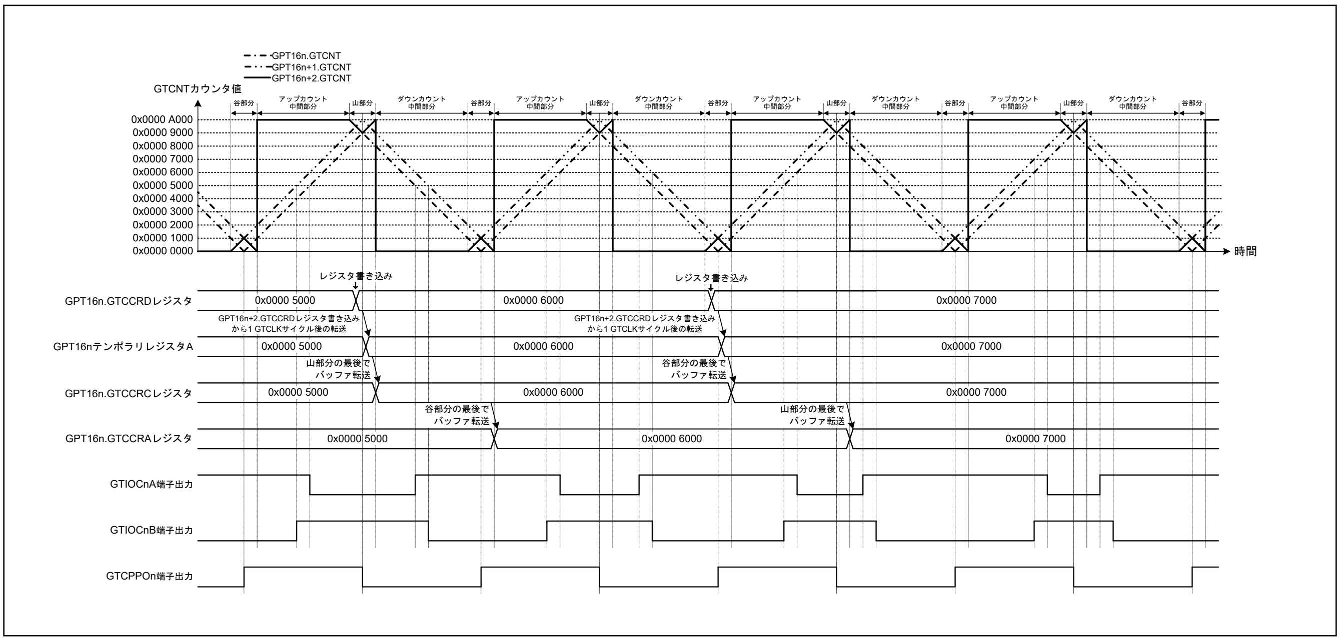


図 20.52　相補 PWM モード 3 動作例（シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）（n = 0）

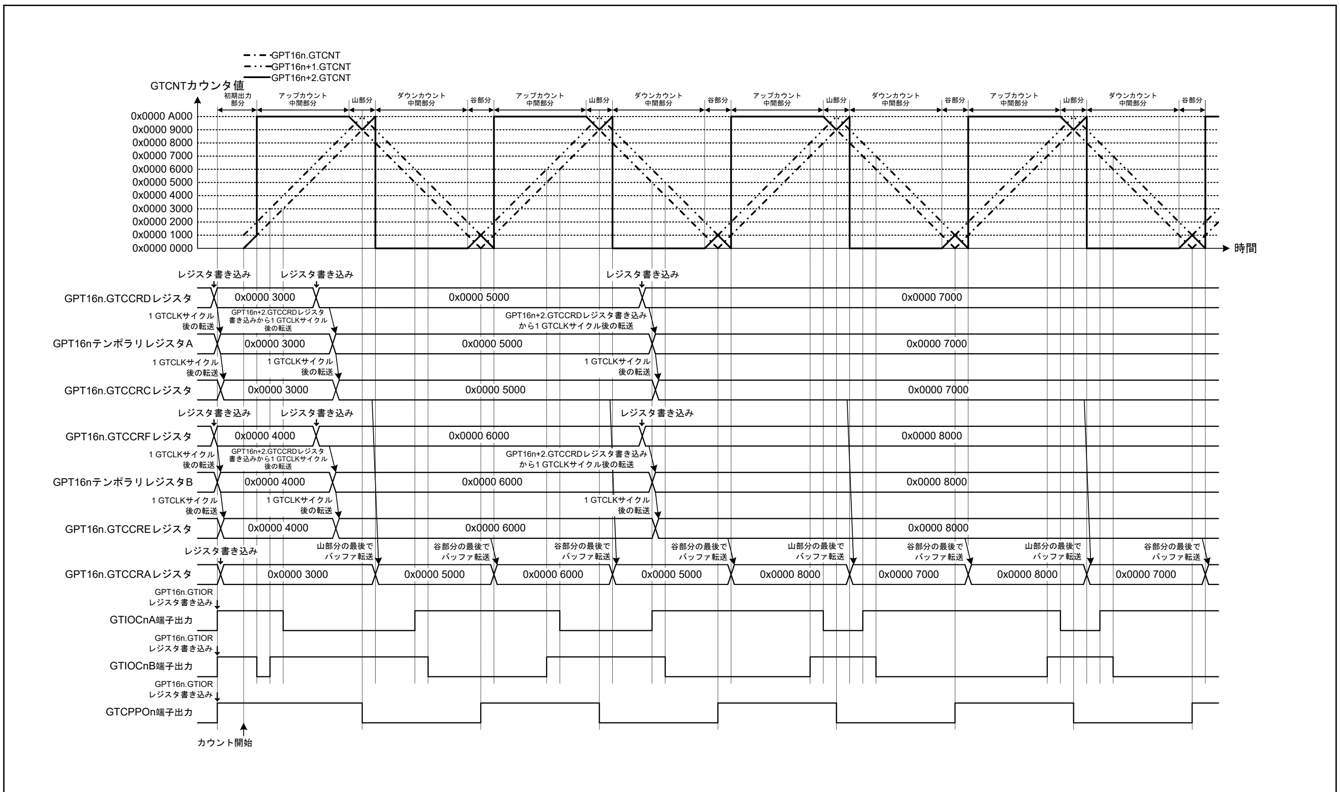


図 20.53　相補 PWM モード 3 動作例（ダブルバッファ動作、初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）（n = 0）

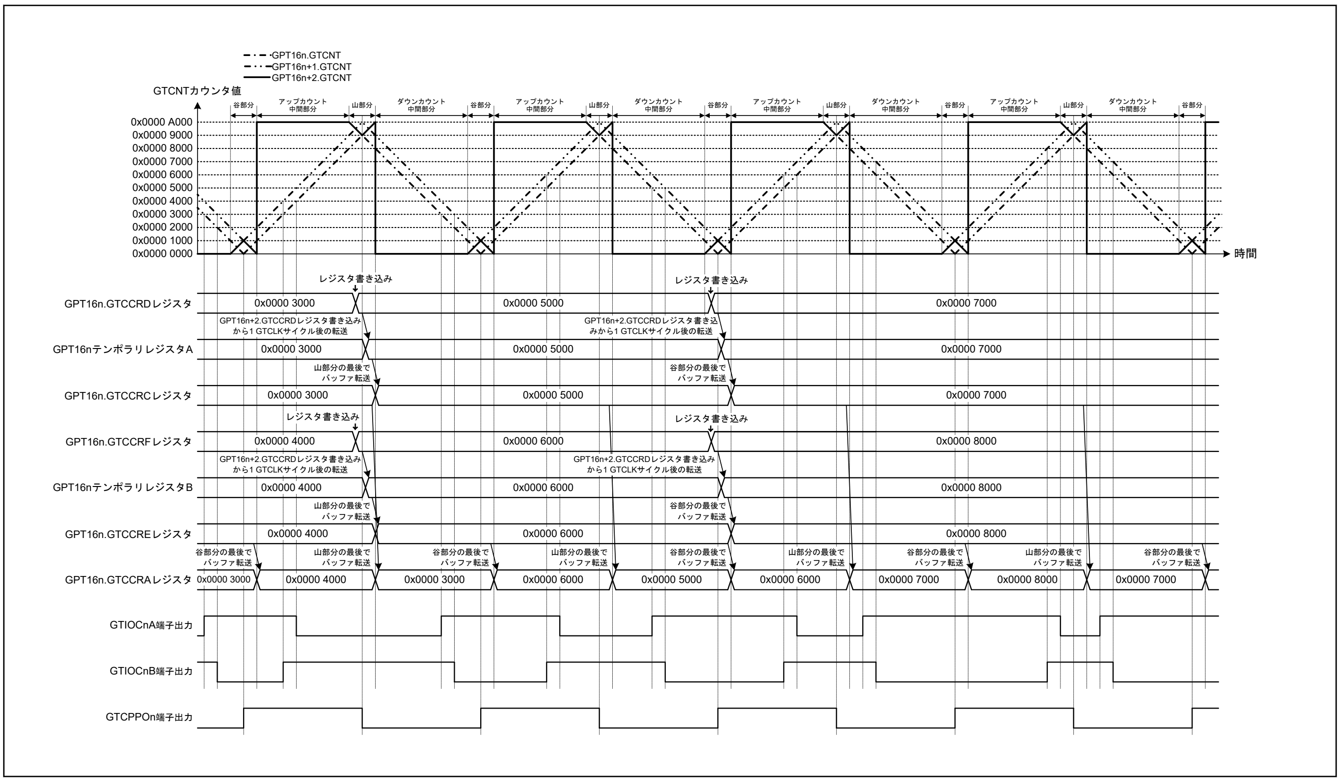


図 20.54　相補 PWM モード 3 動作例（ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新） (n = 0)

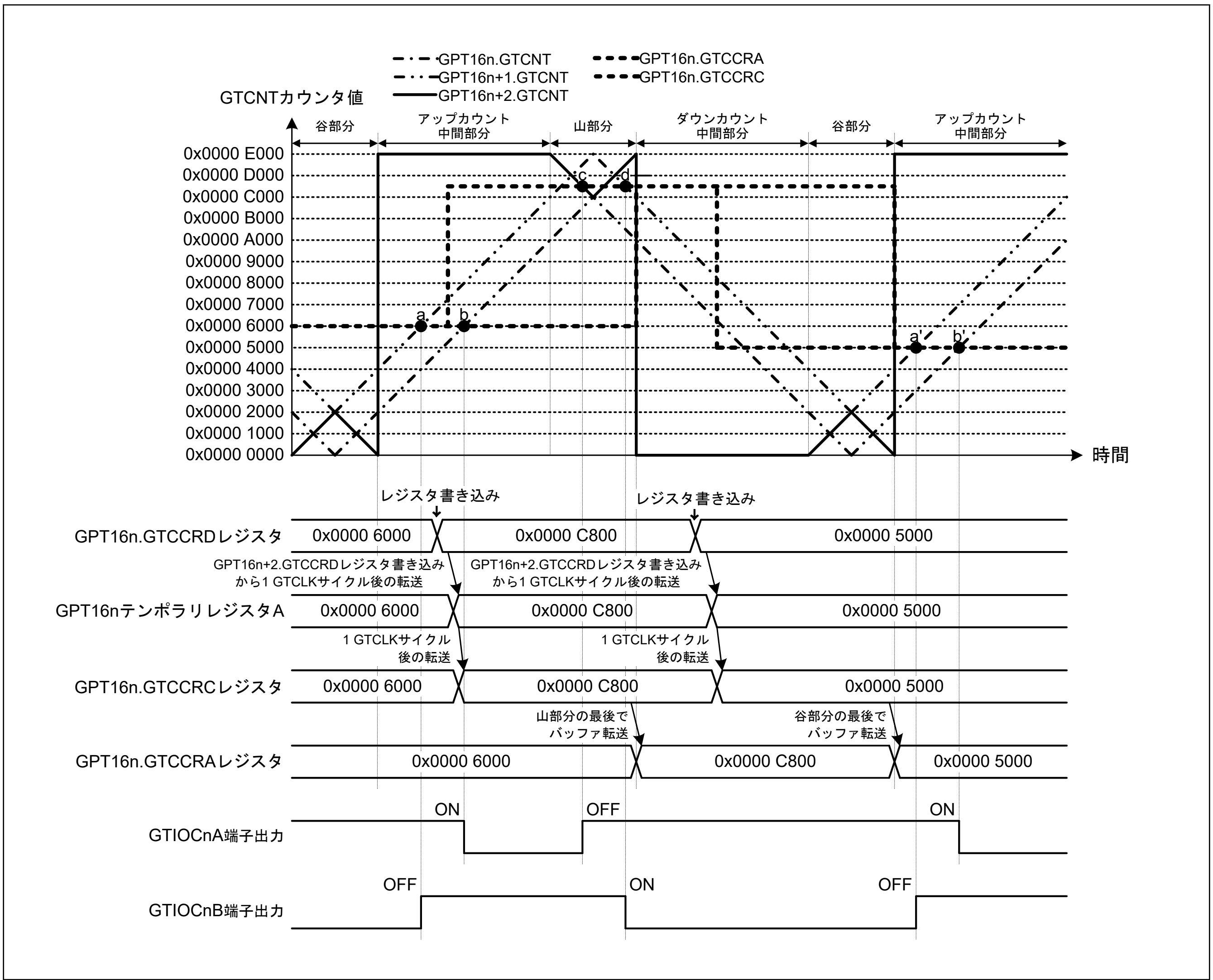


図 20.55　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → b → c → d）(n = 0)

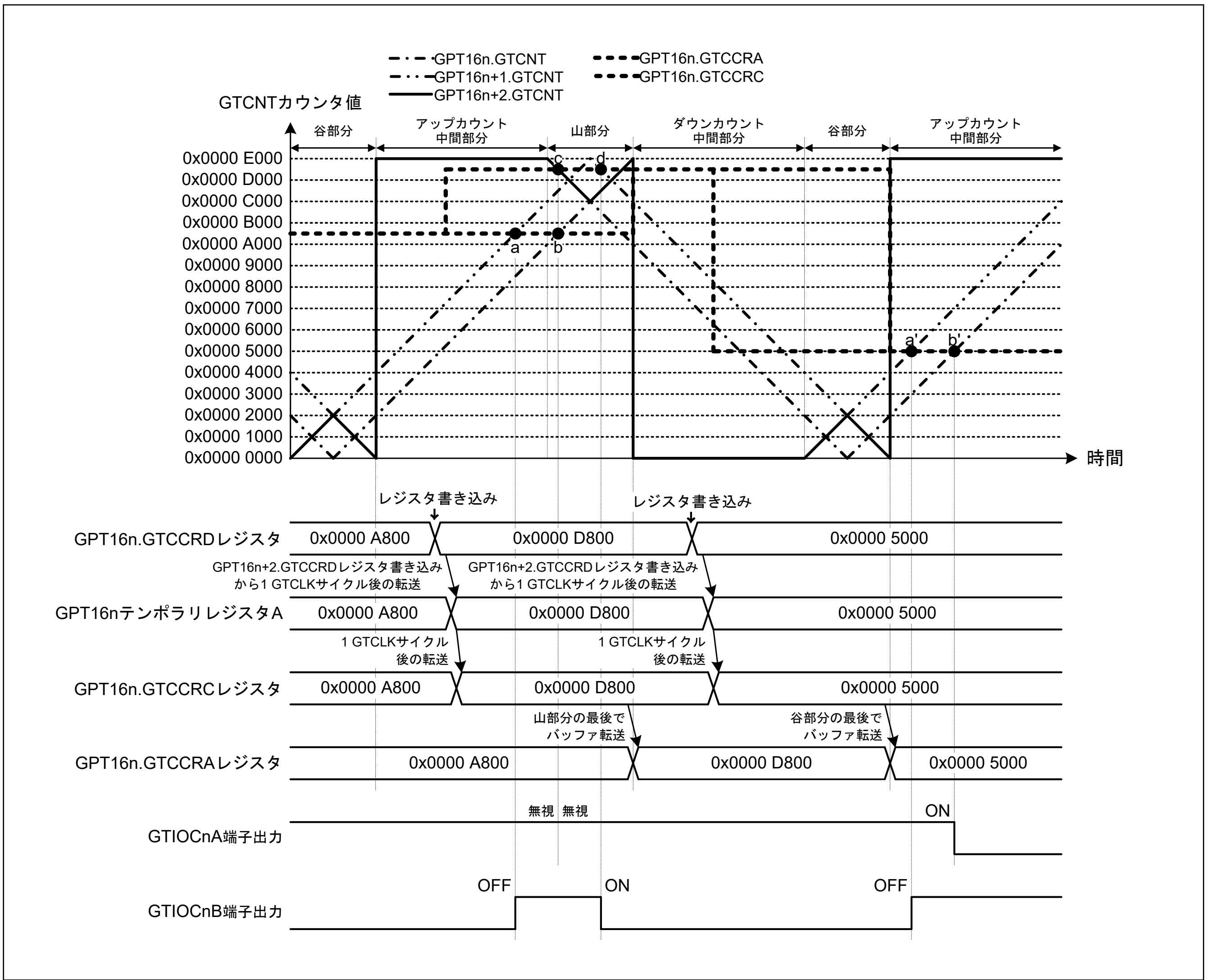


図 20.56　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → (b, c) → d）(n = 0)

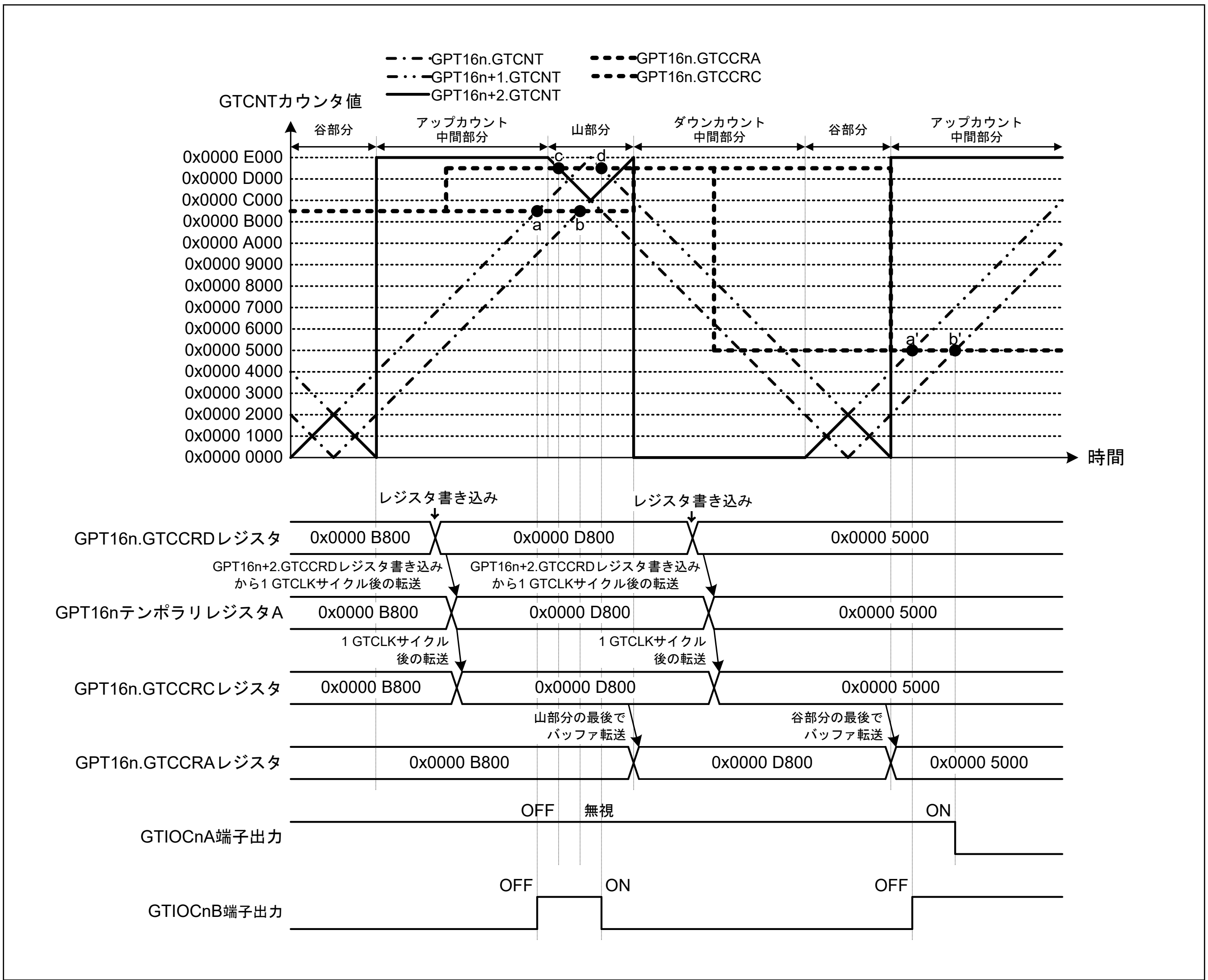


図 20.57　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → c → b → d）(n = 0)

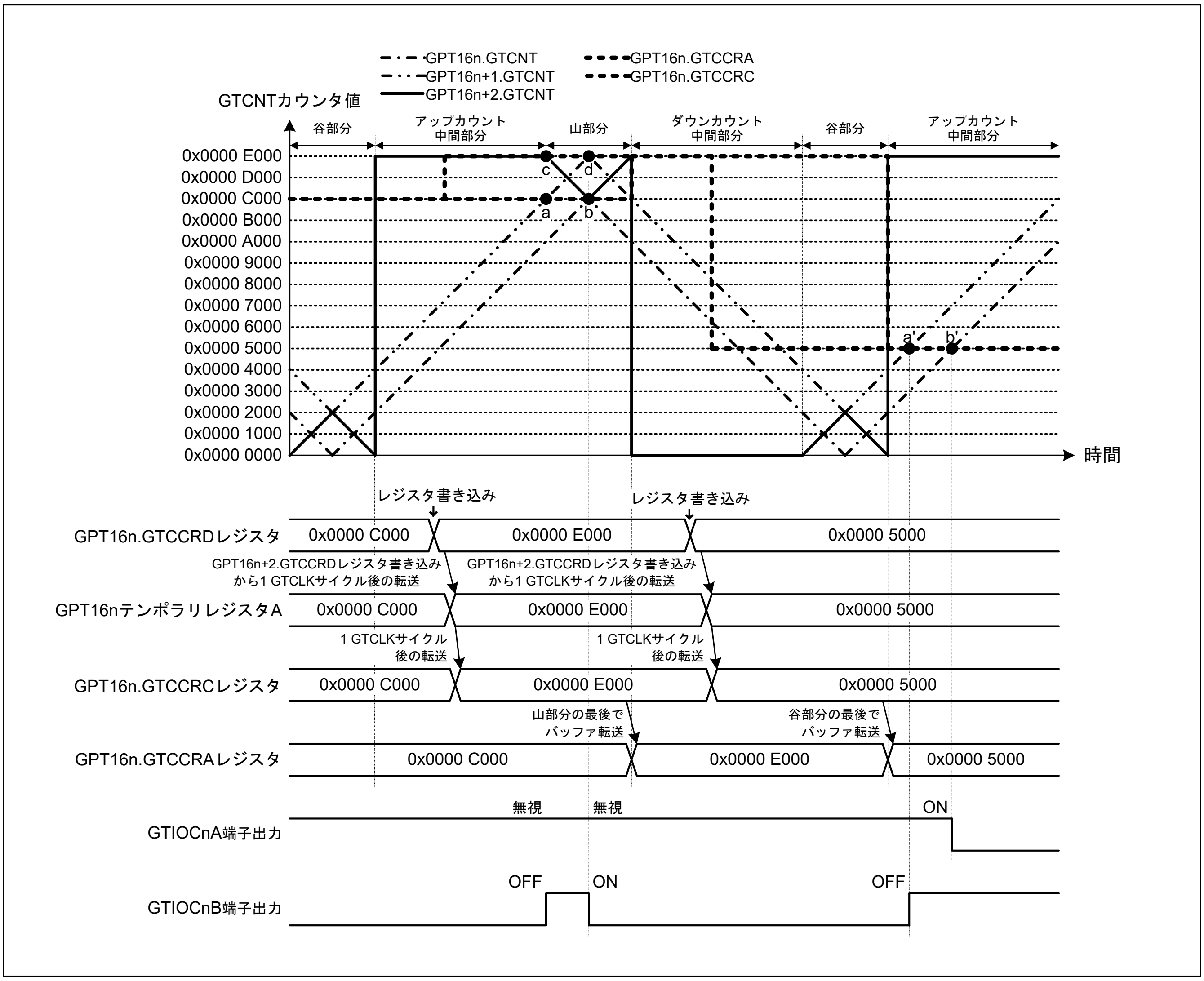


図 20.58　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：(a, c) → (b, d)） (n = 0)

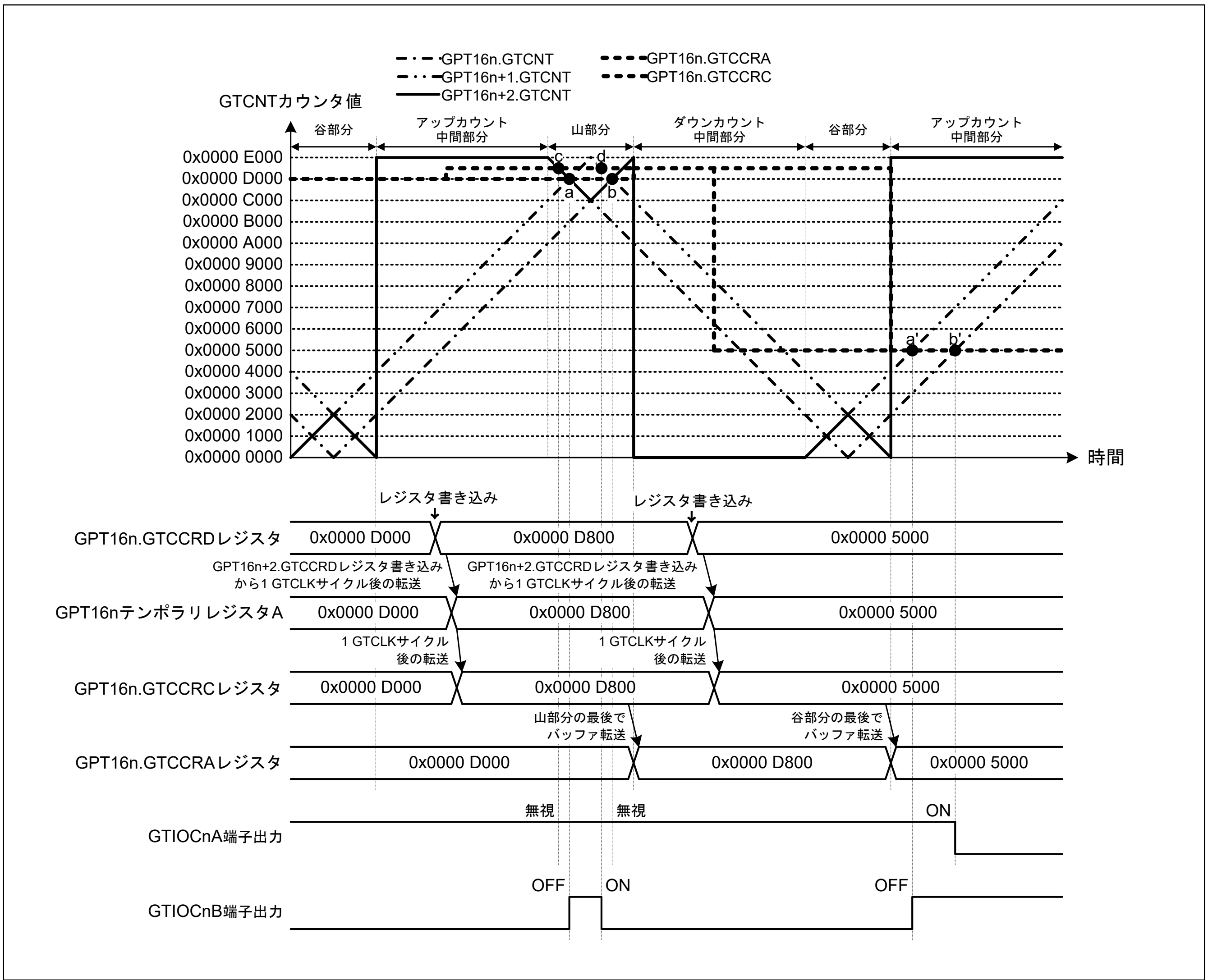


図 20.59　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → a → d → b）(n = 0)

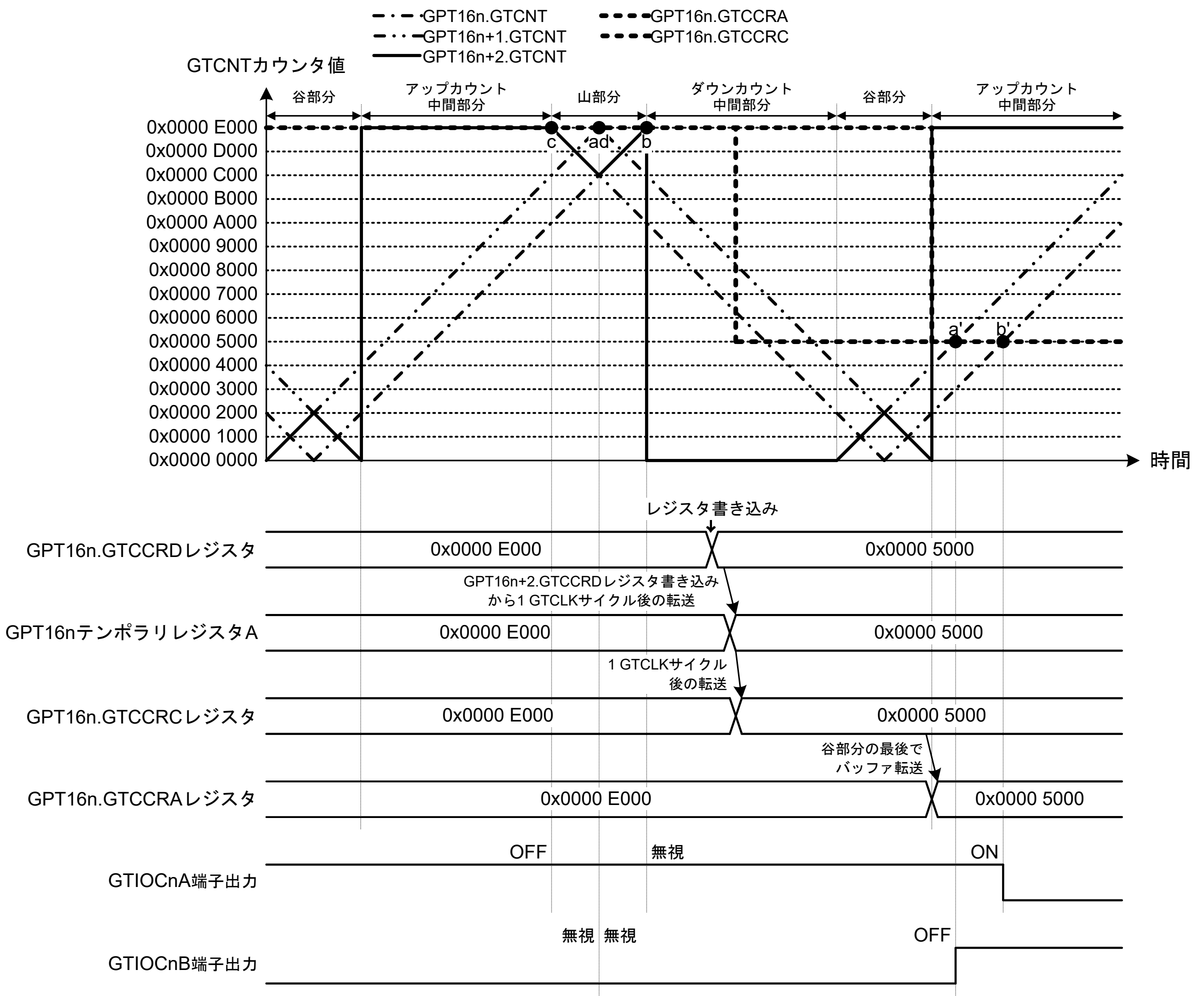


図 20.60　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → (a, d) → b） (n = 0)

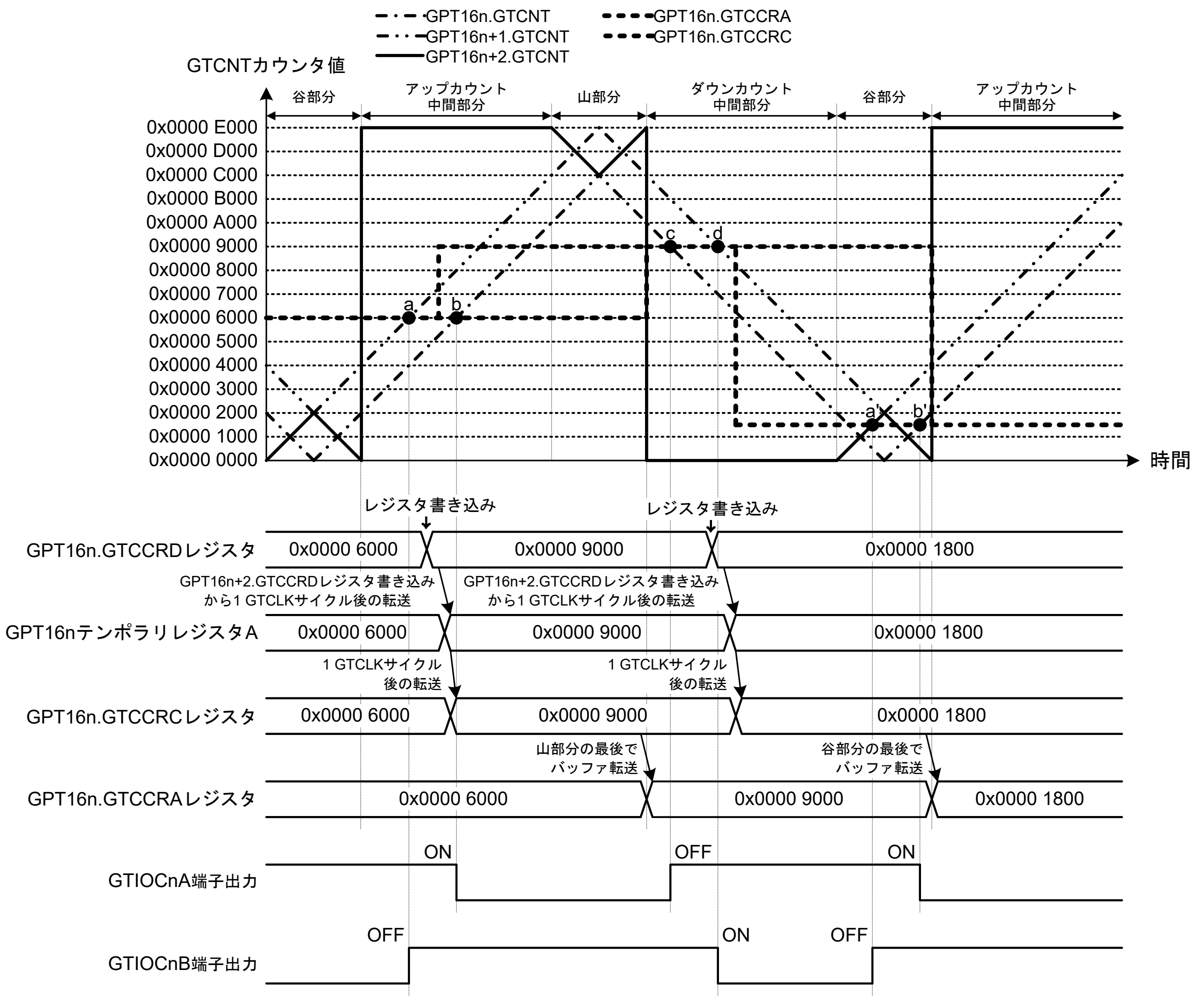


図 20.61　　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → d → a' → b'）(n = 0)

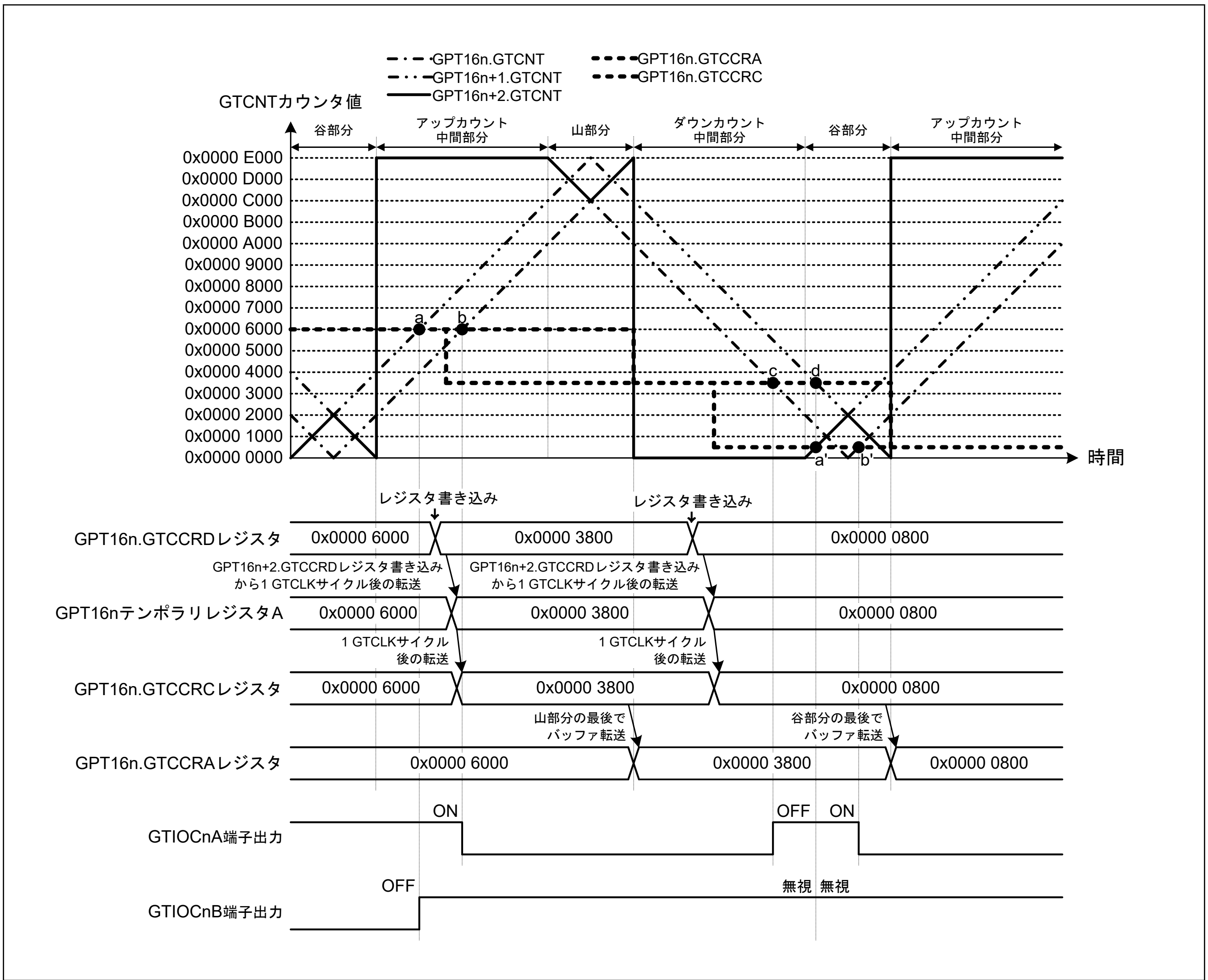


図 20.62　　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → (d, a') → b'）　(n = 0)

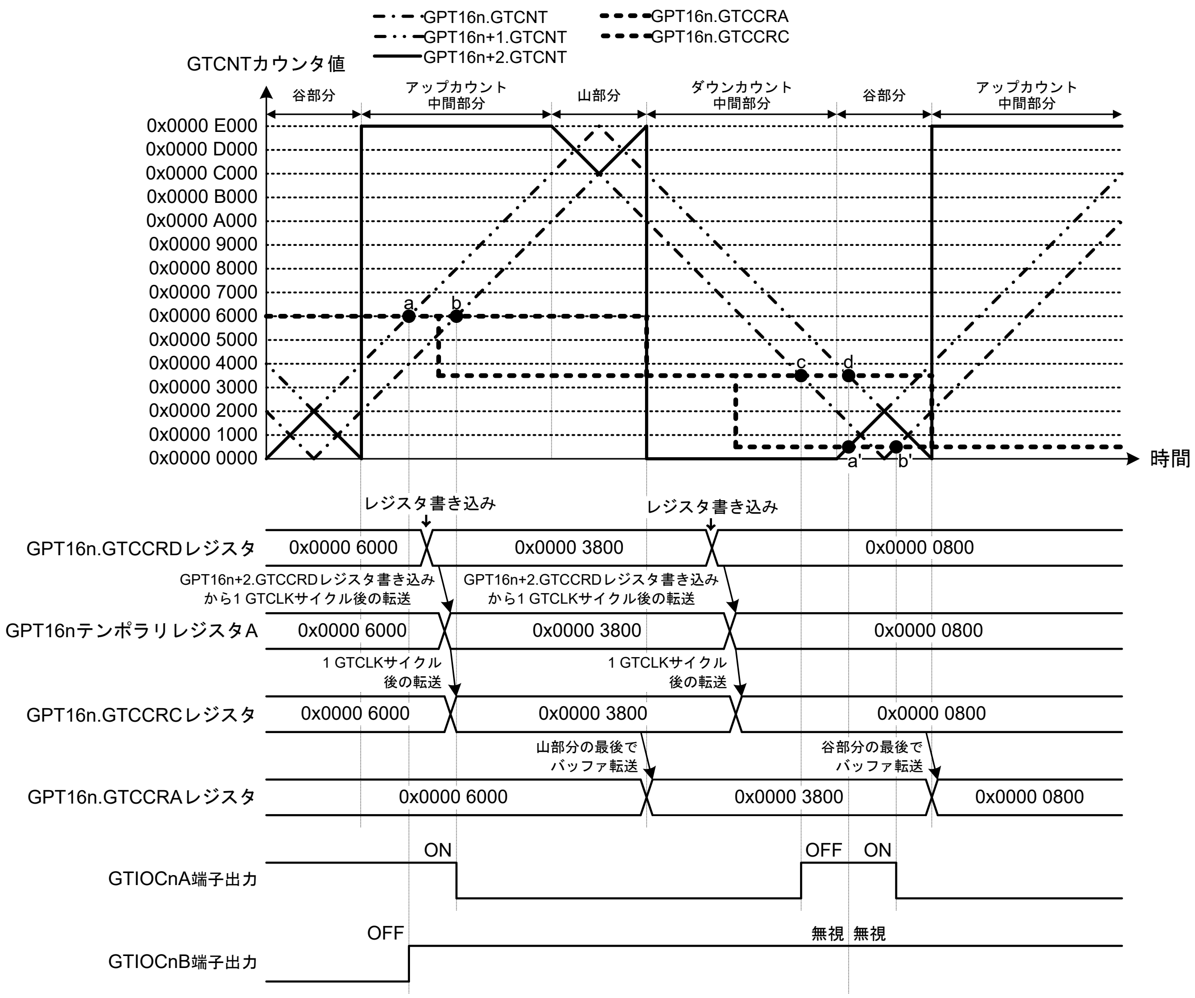


図 20.63　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → a' → d → b'）(n = 0)

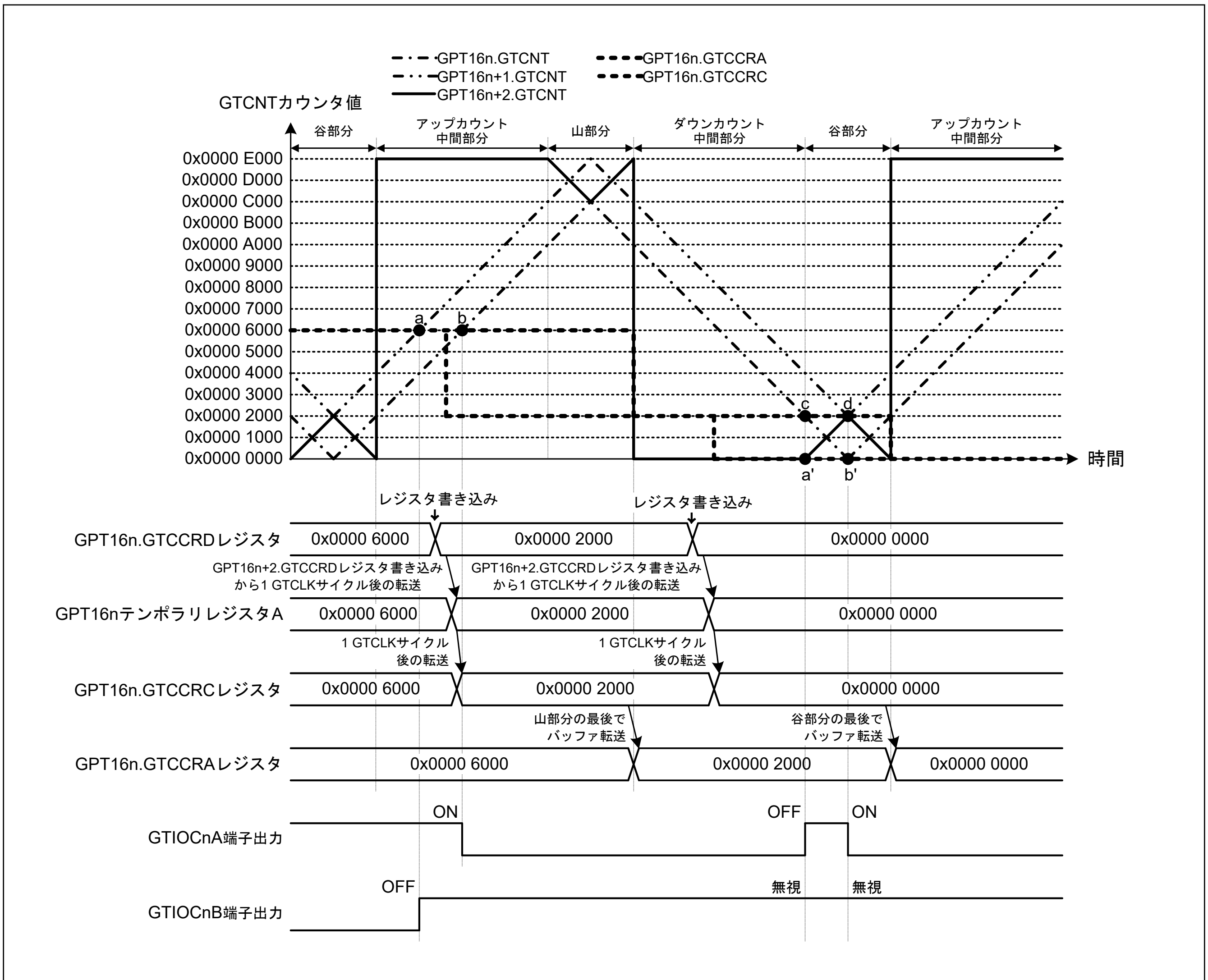


図 20.64　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：(c, a') → (d, b')） (n =0)

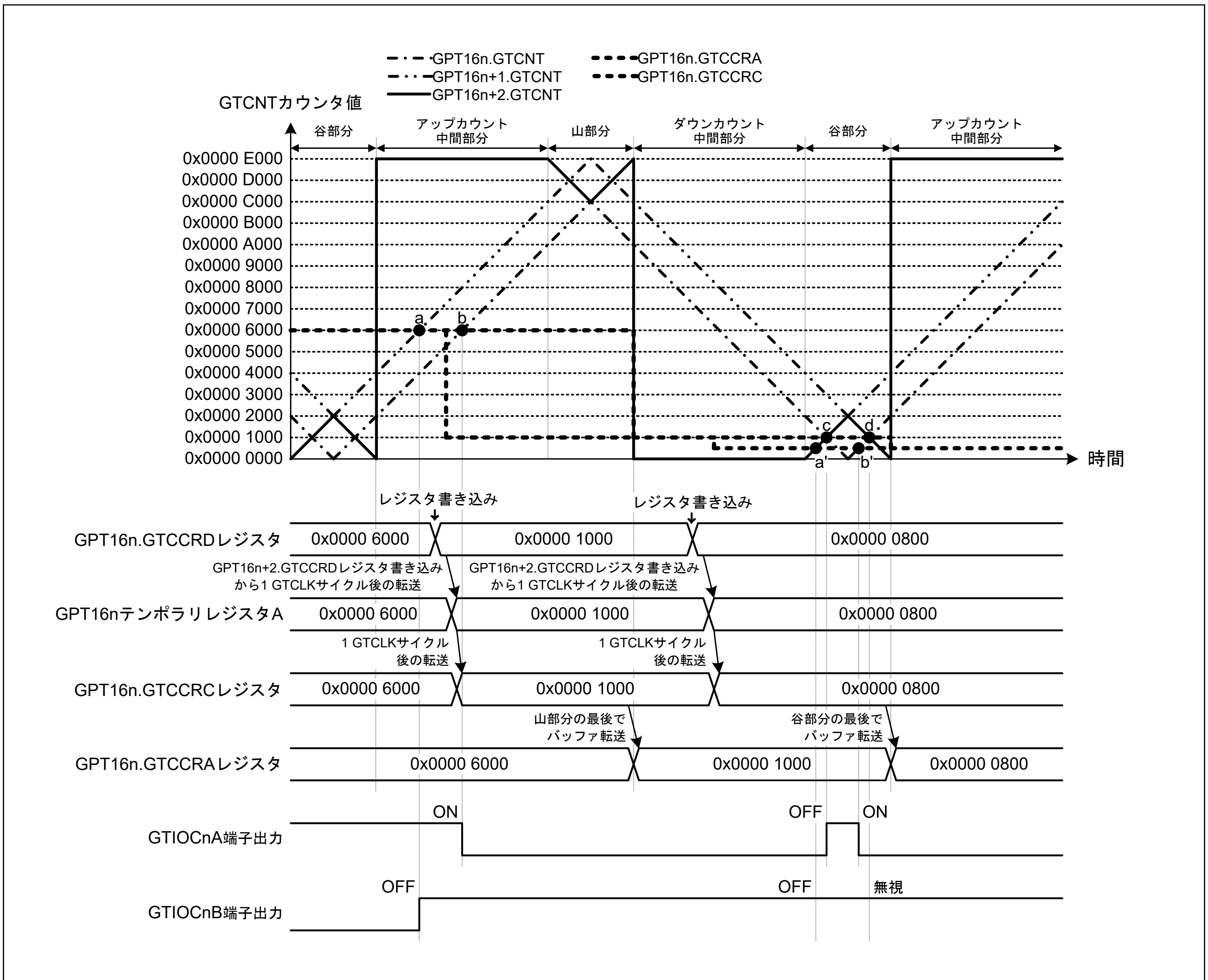


図 20.65　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a' → c → b' → d）(n = 0)

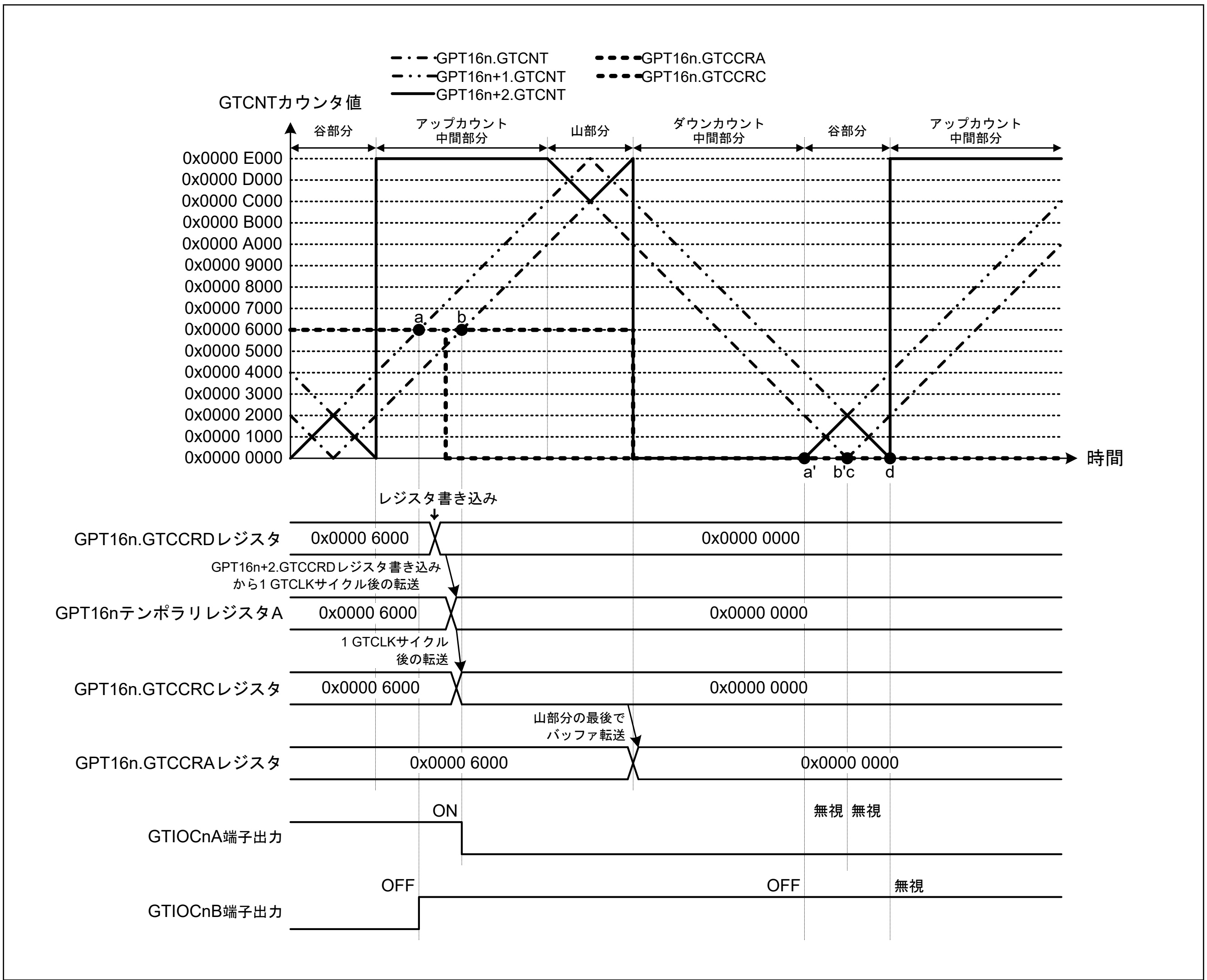


図 20.66　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a' → (b', c) → d） (n = 0)

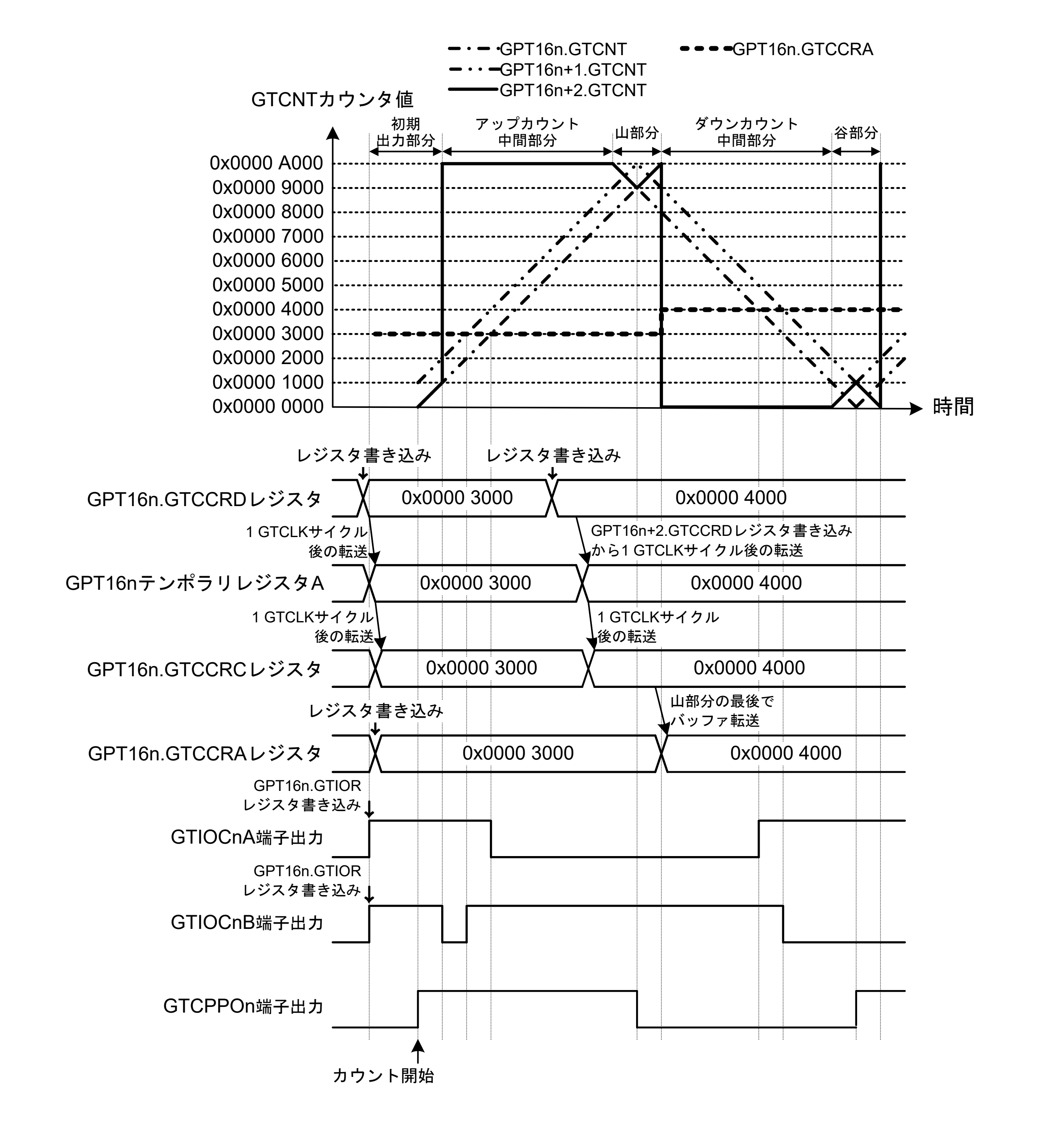


図 20.67 相補 PWM モード初期出力動作例（相補 PWM モード 1 動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、初期 GTCCRA レジスタ値がデッドタイム値より大きい場合） (n = 0)

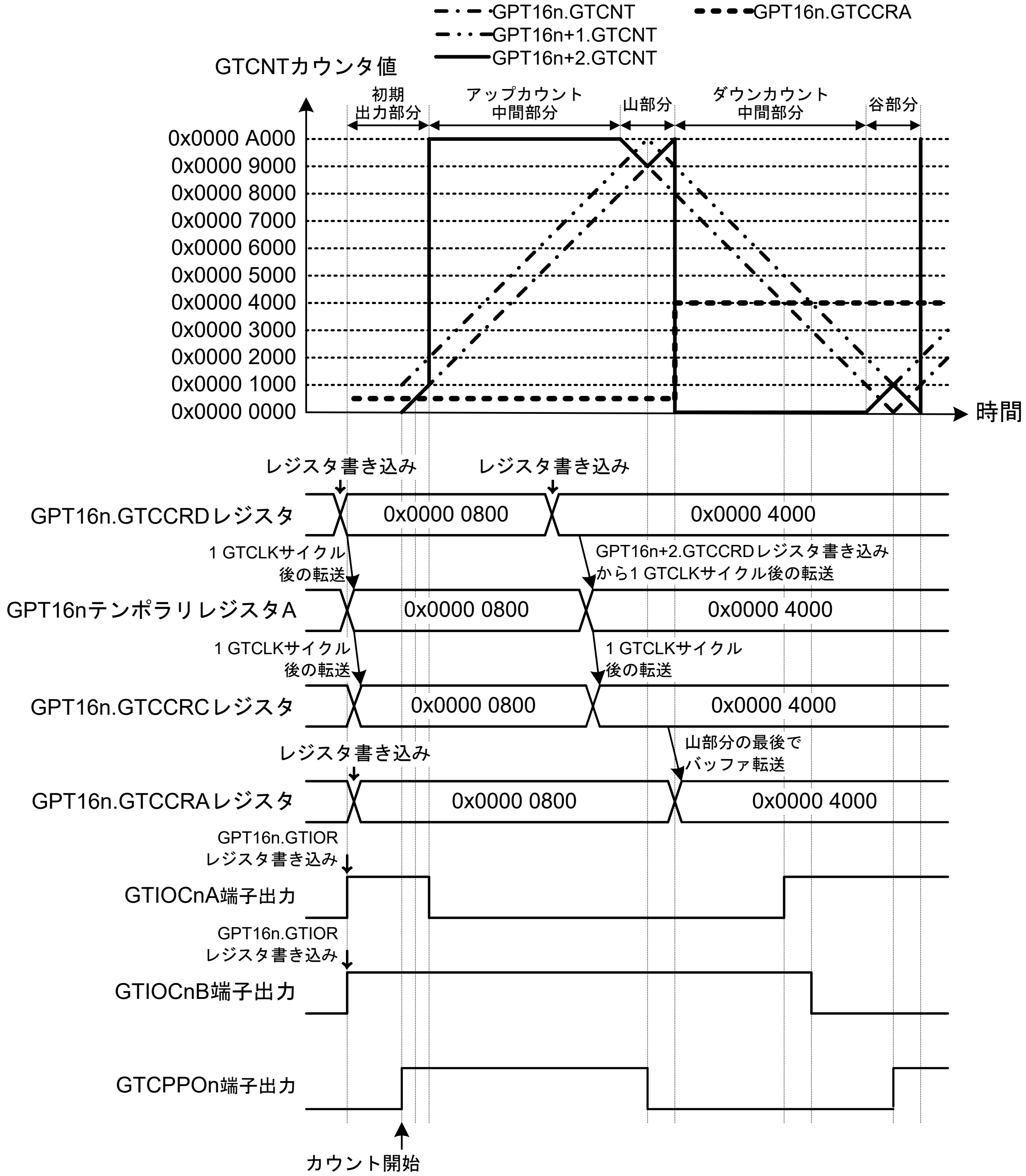


図 20.68　相補 PWM モード初期出力動作例（相補 PWM モード 1 動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、初期 GTCCRA レジスタ値がデッドタイム値以下の場合）(n = 0)

表 20.35　相補 PWM モード 1、2、3 の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GPT16n チャネルの GTCR.MD[3:0]ビットで動作モードを設定します。
2	カウントクロックの選択	GPT16n チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GPT16n チャネルの GTPR、GTPBR、GTPDBR レジスタに周期を設定します。
4	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子機能設定	GPT16n、GPT16n+1、および GPT16n+2 の各チャネルの GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm、GTIOCn+1m、および GTIOCn+2m 端子の機能を設定します。

表 20.35　相補 PWM モード 1、2、3 の設定例 (2/2)

No.	ステップ名	説明
5	GTCPPOn 端子出力許可設定	GPT16n チャネルの GTIOR レジスタの PSYE ビットで、GTCPPOn 端子からの PWM 同期出力の許可または禁止を設定します。
6	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子出力許可設定	GPT16n、GPT16n+1、GPT16n+2 の各チャネルの GTIOR レジスタの OAE ビット、OBE ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子出力許可を設定します。
7	バッファ動作の設定	相補 PWM モード 3 では、GPT16n、GPT16n+1、GPT16n+2 チャネルの GTBER2.CP3DB ビットの設定により、バッファ動作を設定します。
8	コンペアマッチ値設定	GPT16n、GPT16n+1、GPT16n+2 の各チャネルの GTCCRA レジスタにカウント開始後アップカウント中の出力端子変更ポイントを設定します。
9	バッファ値設定	シングルバッファ動作で、カウント開始後の最初の GTCCRA レジスタへのバッファ転送で転送されるデータを GTCCRD レジスタに設定します。 相補 PWM モード 2 のバッファ動作で最初のバッファ転送が実施されないため、GTCCRA レジスタと同じ値を GTCCRD レジスタに設定します。 相補 PWM モード 3 でのダブルバッファ動作時は、最初の山の終わりに転送するデータを GTCCRD レジスタに、最初の谷の終わりに転送するデータを GTCCRF レジスタに設定します。
10	デッドタイム値設定	デッドタイム値を GPT16n チャネルの GTDVU レジスタに設定します。
11	カウント動作開始	GPT16n チャネルの GTCR.CST ビットを 1 にしてカウント動作を開始してください。
12	周期ごとのバッファ値設定	シングルバッファ動作で、GTCCRA レジスタへの次のバッファ転送で転送されるデータを GTCCRD レジスタに設定します。 相補 PWM モード 3 のダブルバッファ動作で、次のバッファ転送で転送されるデータを GTCCRF レジスタに設定します。 最後に、GPT16n+2.GTCCRD レジスタを設定します（データはテンポラリレジスタに転送されます）。

注.　n = 0
　　m = A、B

20.3.3.8　相補 PWM モード 4

相補 PWM モード 4 では、山または谷の転送タイミングの前のテンポラリレジスタへの転送中に GTCCRA レジスタにもデータを転送することにより、GTCCRD レジスタと GTCCRF レジスタの書き込み値を即座にコンペアマッチ動作に適用します。

図 20.69 に、相補 PWM モード 4 のブロック図を示します。

相補 PWM モード 4 の構成では、GTCCRD レジスタから GTCCRC、GTCCRA レジスタへのバッファ転送経路と GTCCRF レジスタから GTCCRE、GTCCRA レジスタへのバッファ転送経路が表 20.35 に示す他の相補 PWM モードに追加されています。

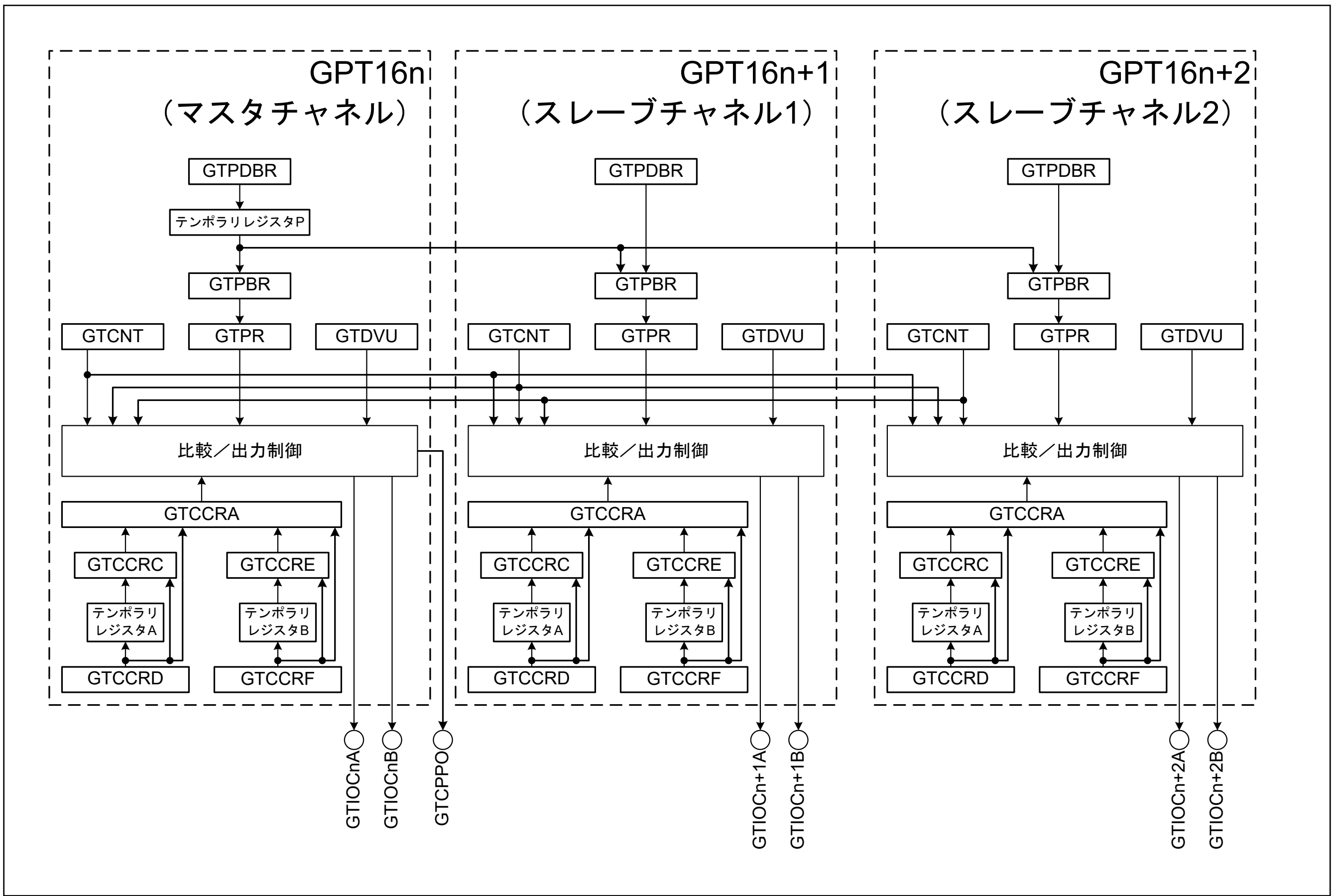


図 20.69　　相補 PWM モード 4 のブロック図 (n = 0)

相補 PWM モード 1～3 と同様にカウント動作を実行します。表 20.30 と表 20.31 を参照してください。

相補 PWM モード 4 でのバッファ動作と PWM 波形の変更に関しては、相補 PWM モード 3 の動作を基にして GTCCRD、GTCCRF レジスタからのバッファ転送（図 20.69 参照）が追加されます。バッファ転送と PWM 波形は、動作部分、GTCCRA レジスタとの比較状態、および書き込み値に従って制御されます。

GTCCRF レジスタの書き込みによるダブルバッファ機能は、GTBER2.CP3DB ビットで有効／無効の設定ができます。ダブルバッファ動作時は、GTCCRD レジスタの書き込み値はダウンカウント時の正相 OFF（逆相 ON）のコンペアマッチ値として使用し、GTCCRF レジスタの書き込み値はアップカウント時の逆相 OFF（正相 ON）のコンペアマッチ値として使用します。転送レジスタ、転送値、および PWM 出力の変更は動作部分（値の書き込み先）、GTCCRA レジスタとの比較状態、および書き込み値により制御されます。

ダブルバッファ動作はアップカウント中間部分とダウンカウント中間部分でのみ保証されます。デッドタイム値以下かつカウント周期以上の値は設定禁止です。

シングルバッファ動作時は、コンペアマッチ値は GTCCRD レジスタにのみ書き込まれ、転送レジスタ、転送値、および PWM 出力の変更は、動作部分（値の書き込み先）、GTCCRA レジスタとの比較状態、および書き込み値により制御されます。

GTCCRD レジスタからテンポラリレジスタ A への転送、および GTCCRF レジスタからテンポラリレジスタ B への転送は、その他の相補 PWM モードと同じように実行されます。GPT16n+2.GTCCRD レジスタに値を書き込むことで、転送は 3 チャネル同時に実行されます。前述のテンポラリレジスタへの転送と同様、GTCCRD レジスタから GTCCRC レジスタ、GTCCRA レジスタ、テンポラリレジスタ B、GTCCRE レジスタへの転送、および GTCCRF レジスタから GTCCRE レジスタと GTCCRA レジスタへの転送は、同時に実行されます。

表 20.36 と表 20.37 に、各動作部分のコンペアマッチ状態について、相補 PWM モード 4 のシングルバッファ動作中の GTCCRD レジスタへの値の書き込みによる、GTCCRC および GTCCRA レジスタへの即時バッファ転送を示します（テンポラリレジスタへの転送の場合、GPT16n+2.GTCCRD レジスタへの値の書き込みによります）。表 20.36 と表 20.37 に示された以外の転送（GTCCRD レジスタからテンポラリレジスタ A、テンポラリレジスタ A から GTCCRC レジスタ、GTCCRC レジスタから GTCCRA レジスタ）は、表 20.32 に示された相補 PWM モード 3 のシングルバッファ転送と同じ動作になります。

表 20.38 と表 20.39 に、各動作部分のコンペアマッチ状態について、相補 PWM モード 4 のダブルバッファ動作中の GTCCRD および GTCCRF レジスタへの値の書き込みによる、各レジスタへの即時バッファ転送を示します（テンポラリレジスタへの転送の場合、GPT16n+2.GTCCRD レジスタへの値の書き込みによります）。表 20.38 と表 20.39 に示された以外の転送（GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、テンポラリレジスタ A から GTCCRC レジスタ、テンポラリレジスタ B から GTCCRE レジスタ、GTCCRC と GTCCRE レジスタから GTCCRA レジスタ）は、表 20.33 に示された相補 PWM モード 3 のダブルバッファ転送と同じ動作になります。

表 20.36　　相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (1/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
アップカウント中間部分	アップカウントのコンペアマッチ前	GTCCRD	(i) GTCCRD > GPT16n+1.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT16+1.GTCNT の場合 GPT16n+1.GTCNT 逆相 OFF
	アップカウントのデッドタイム期間	GTCCRD	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	転送なし
アップカウント山部分	アップカウントのコンペアマッチ前	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	ダウンカウントのコンペアマッチ前 (i) GTCCRD > GPT16n+1.GTCNT の場合 GTCCRD (ii) GTCCRD≦ GPT16n+1.GTCNT の場合 GPT16n+1.GTCNT 逆相 OFF ダウンカウントのデッドタイム開始後 転送なし
	アップカウントのデッドタイム期間	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	転送なし
	アップカウントのコンペアマッチ後	ダウンカウントのコンペアマッチ前 (i) GTCCRD < GPT16n+2.GTCNT の場合 GTCCRD (ii) GTCCRD≧ GPT16n+2.GTCNT の場合 GPT16n+2.GTCNT 正相 OFF ダウンカウントのデッドタイム開始後 転送なし	転送なし

表 20.36　相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (2/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	**GTCCRA**
ダウンカウント山部分	ダウンカウントのコンペアマッチ前	アップカウントのデッドタイム期間 (i) GTCCRD < GPT16n+1.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT16n+1.GTCNT の場合 GPT16n+1.GTCNT 逆相 ON アップカウントのコンペアマッチ後 (i) GTCCRD < GPT16n.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT16n.GTCNT の場合 GPT16n.GTCNT 正相 OFF	転送なし
	ダウンカウントのデッドタイム期間	転送なし	転送なし
	ダウンカウントのコンペアマッチ後	転送なし	転送なし

表 20.37　相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (1/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	**GTCCRA**
ダウンカウント中間部分	ダウンカウントのコンペアマッチ前	GTCCRD	(i) GTCCRD < GPT16n.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT16n.GTCNT の場合 GPT16n.GTCNT 正相 OFF
	ダウンカウントのデッドタイム期間	GTCCRD	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	転送なし

表 20.37　　相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (2/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント谷部分	ダウンカウントのコンペアマッチ前	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	アップカウントのコンペアマッチ前 (i) GTCCRD < GPT16n.GTCNT の場合 GTCCRD (ii) GTCCRD≧GPT16n.GTCNT の場合 GPT16n.GTCNT 正相 OFF アップカウントのデッドタイム開始後 転送なし
	ダウンカウントのデッドタイム期間	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	転送なし
	ダウンカウントのコンペアマッチ後	アップカウントのコンペアマッチ前 (i) GTCCRD > GPT16n+2.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT16n+2.GTCNT の場合 GPT16n+2.GTCNT 逆相 OFF アップカウントのデッドタイム開始後 転送なし	転送なし
アップカウント谷部分	アップカウントのコンペアマッチ前	ダウンカウントのデッドタイム期間 (i) GTCCRD > GPT16n.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT16n.GTCNT の場合 GPT16n.GTCNT 正相 ON ダウンカウントのコンペアマッチ後 (i) GTCCRD > GPT16n+1.GTCNT の場合 GTCCRD (ii) GTCCRD≦GPT16n+1.GTCNT の場合 GPT16n+1.GTCNT 逆相 OFF	転送なし
	アップカウントのデッドタイム期間	転送なし	転送なし
	アップカウントのコンペアマッチ後	転送なし	転送なし

表 20.38 相補 PWM モード 4 での GTCCRD および GTCCRF レジスタからの即時ダブルバッファ転送

<table>
<tr><th rowspan="2">動作部分</th><th rowspan="2">コンペアマッチ状態</th><th colspan="3">即時転送先レジスタ</th></tr>
<tr><th>GTCCRC</th><th>GTCCRE</th><th>GTCCRA</th></tr>
<tr><td rowspan="3">アップカウント中間部分</td><td>アップカウントのコンペアマッチ前</td><td>GTCCRD</td><td>GTCCRF</td><td>(i) GTCCRF > GPT16n+1.GTCNT の場合
GTCCRF
(ii) GTCCRF≦ GPT16+1.GTCNT の場合
GPT16n+1.GTCNT
逆相 OFF</td></tr>
<tr><td>アップカウントのデッドタイム期間</td><td>GTCCRD</td><td>GTCCRF</td><td>転送なし</td></tr>
<tr><td>アップカウントのコンペアマッチ後</td><td>GTCCRD</td><td>GTCCRF</td><td>転送なし</td></tr>
</table>

表 20.39 相補 PWM モード 4 での GTCCRD および GTCCRF レジスタからの即時ダブルバッファ転送

<table>
<tr><th rowspan="2">動作部分</th><th rowspan="2">コンペアマッチ状態</th><th colspan="3">即時転送先レジスタ</th></tr>
<tr><th>GTCCRC</th><th>GTCCRE</th><th>GTCCRA</th></tr>
<tr><td rowspan="3">ダウンカウント中間部分</td><td>ダウンカウントのコンペアマッチ前</td><td>GTCCRD</td><td>GTCCRF</td><td>(i) GTCCRD < GPT16n.GTCNT の場合
GTCCRD
(ii) GTCCRD≧ GPT16n.GTCNT の場合
GPT16n.GTCNT
正相 OFF</td></tr>
<tr><td>ダウンカウントのデッドタイム期間</td><td>GTCCRD</td><td>GTCCRF</td><td>転送なし</td></tr>
<tr><td>ダウンカウントのコンペアマッチ後</td><td>GTCCRD</td><td>GTCCRF</td><td>転送なし</td></tr>
</table>

図 20.70～図 20.74 に、相補 PWM モード 4 でのシングルバッファ動作例を動作部分ごとに示します。

図 20.75～図 20.78 に、相補 PWM モード 4 セクションのダブルバッファ動作例をしましします。

表 20.40 に、相補 PWM モード 4 の設定例を示します。

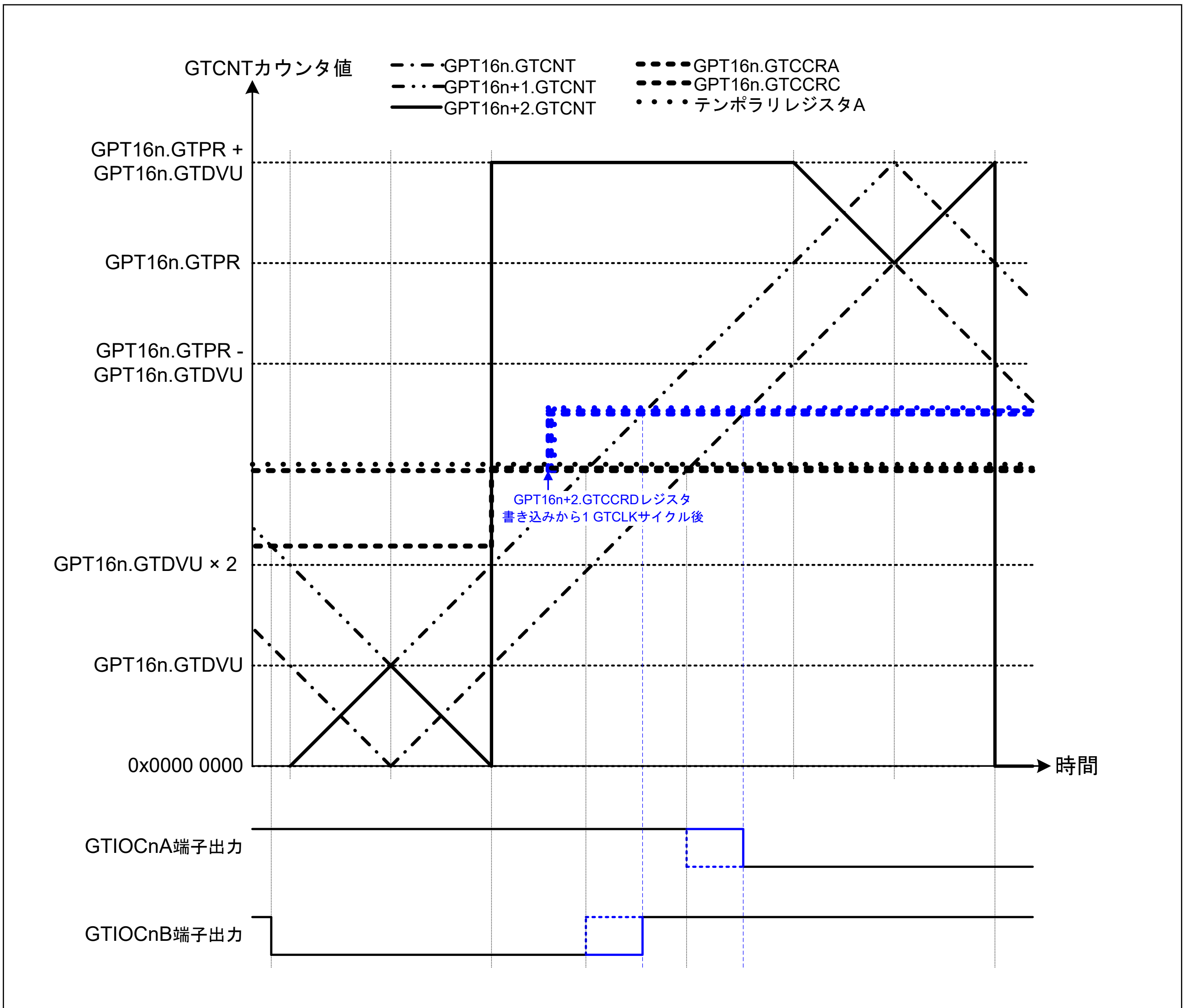


図 20.70　相補 PWM モード 4 のシングルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ前に GPT16n+1.GTCNT 値よりも大きい値が GTCCRD レジスタに書き込まれた場合） (n = 0)

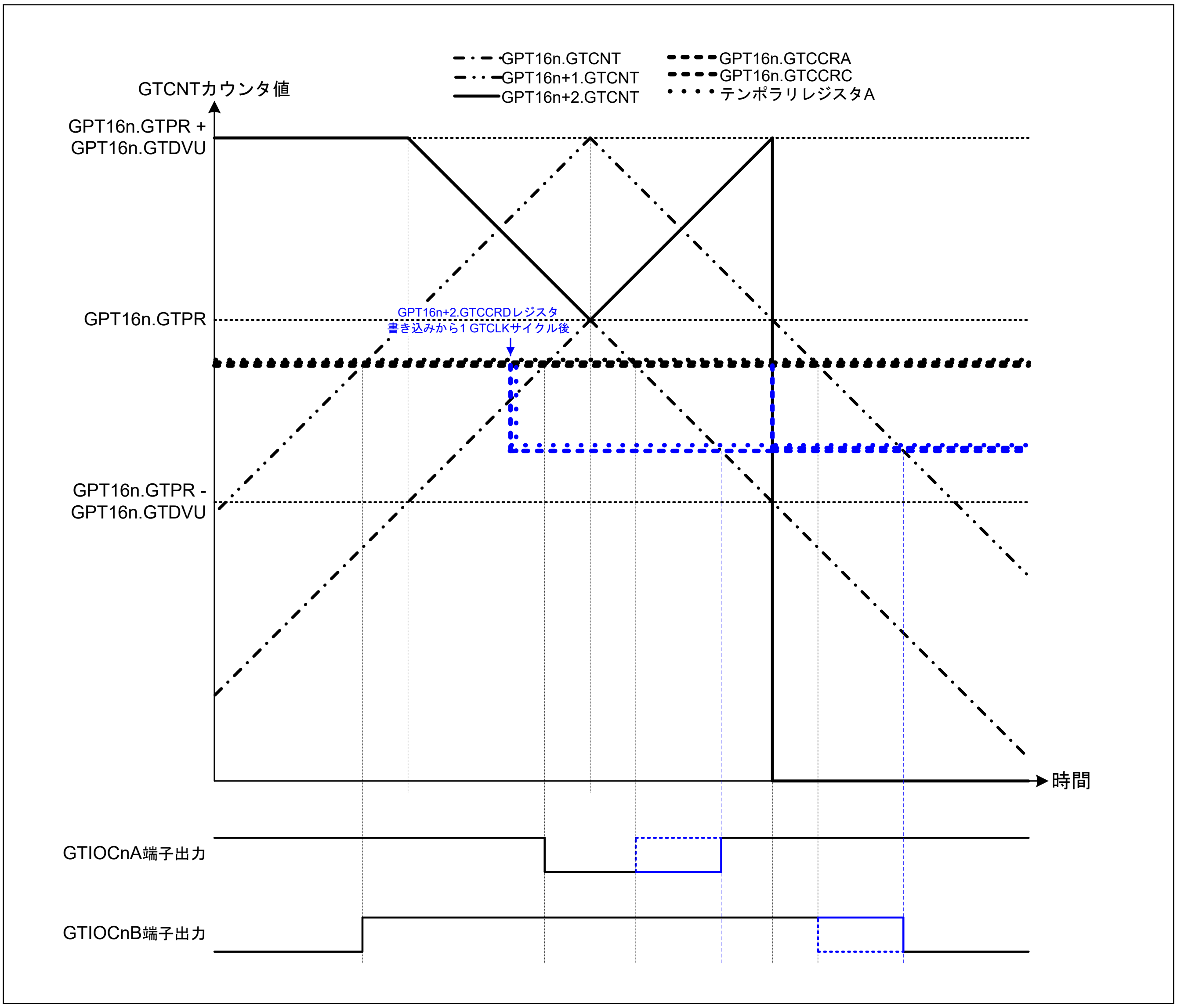


図 20.71　　相補 PWM モード 4 のシングルバッファ動作例（アップカウント山部分）（相補 PWM モード 4 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントデッドタイム時に値が GTCCRD レジスタに書き込まれた場合） (n = 0)

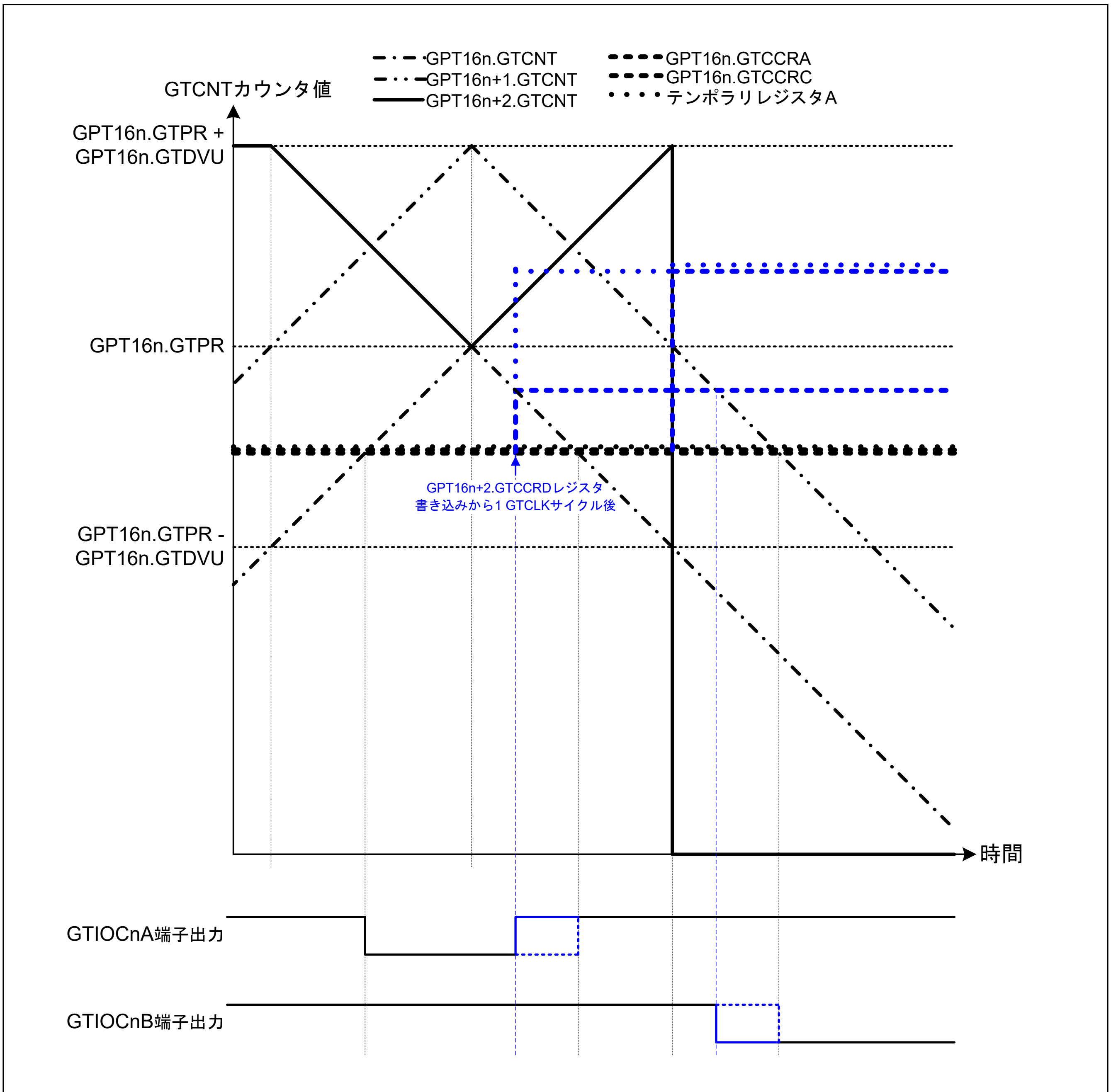


図 20.72　相補 PWM モード 4 のシングルバッファ動作例（ダウンカウント山部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ後ダウンカウントのコンペアマッチ前に GPT16n.GTCNT 値以上の値が GTCCRD レジスタに書き込まれた場合）(n = 0)

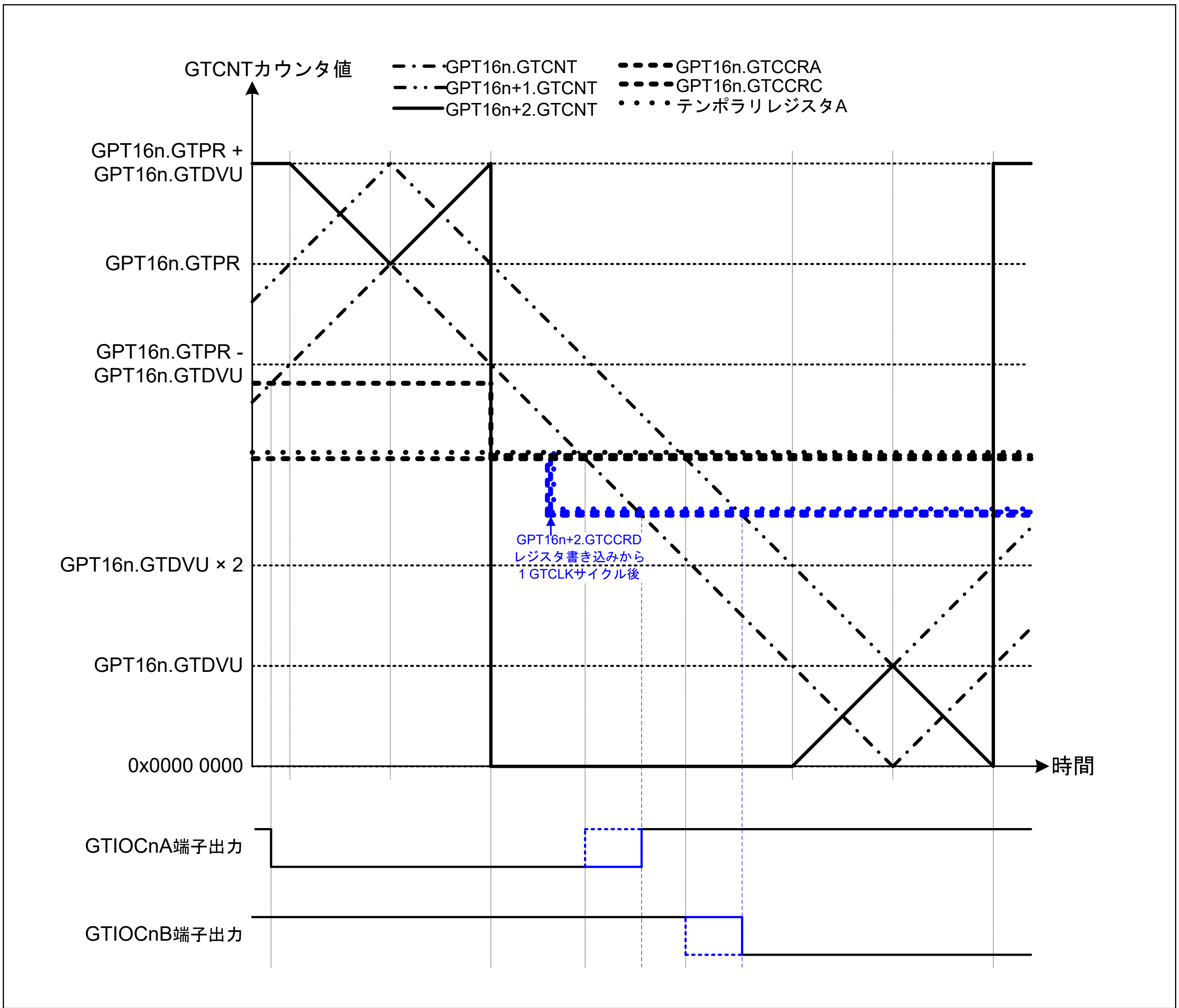


図 20.73 相補 PWM モード 4 のシングルバッファ動作の例（ダウンカウント中間部分）（相補 PWM モード 4 のシングルバッファ動作、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ前に GPT16n.GTCNT 値よりも小さい値が GTCCRD レジスタに書き込まれた場合） (n = 0)

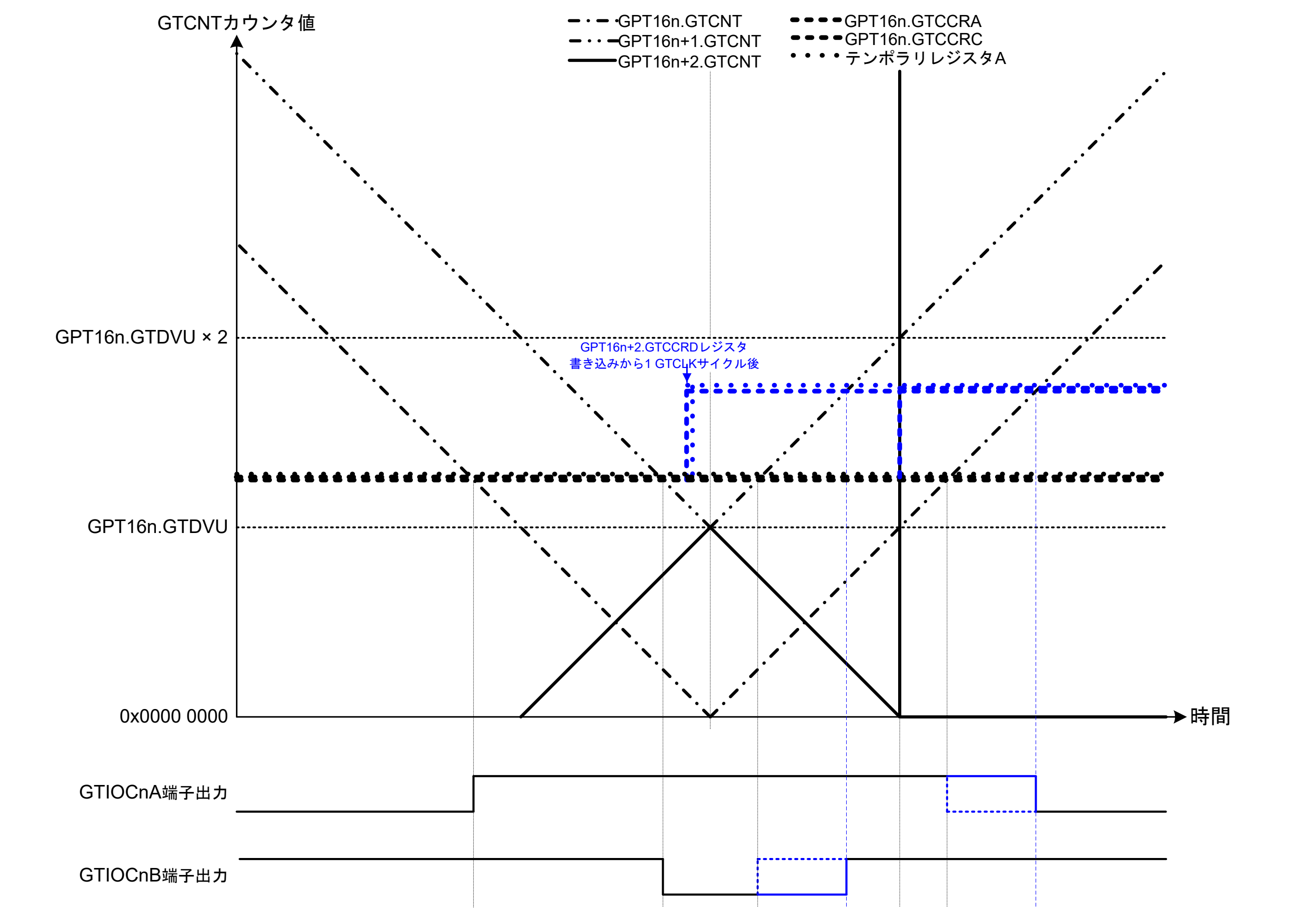


図 20.74　相補 PWM モード 4 のシングルバッファ動作例（ダウンカウント谷部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ後に GPT16n+2.GTCNT 値よりも大きい値が GTCCRD レジスタに書き込まれた場合） (n = 0)

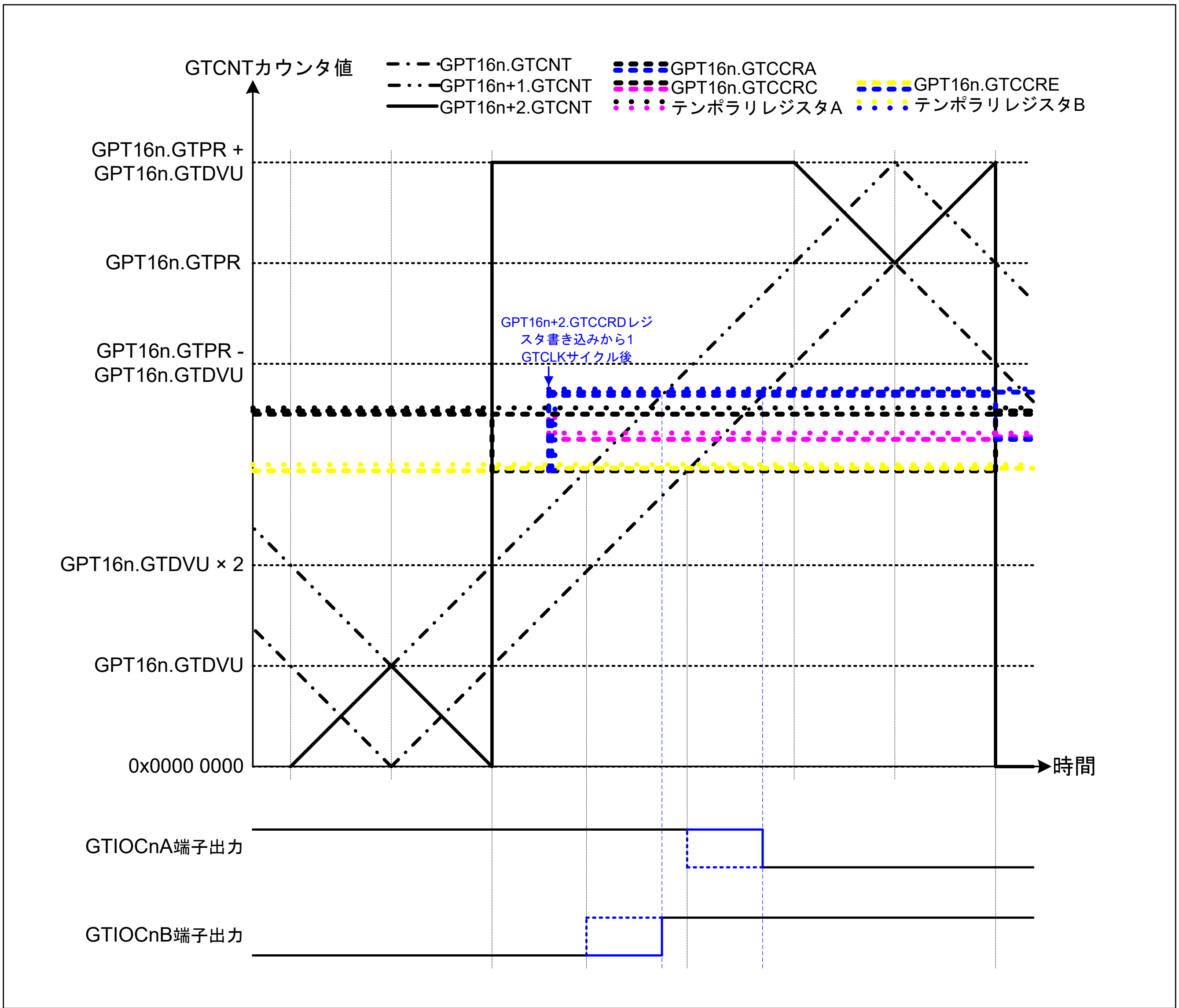


図 20.75　相補 PWM モード 4 のダブルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ前に GPT16n+1.GTCNT 値よりも大きい値が GTCCRF レジスタに書き込まれた場合） (n = 0)

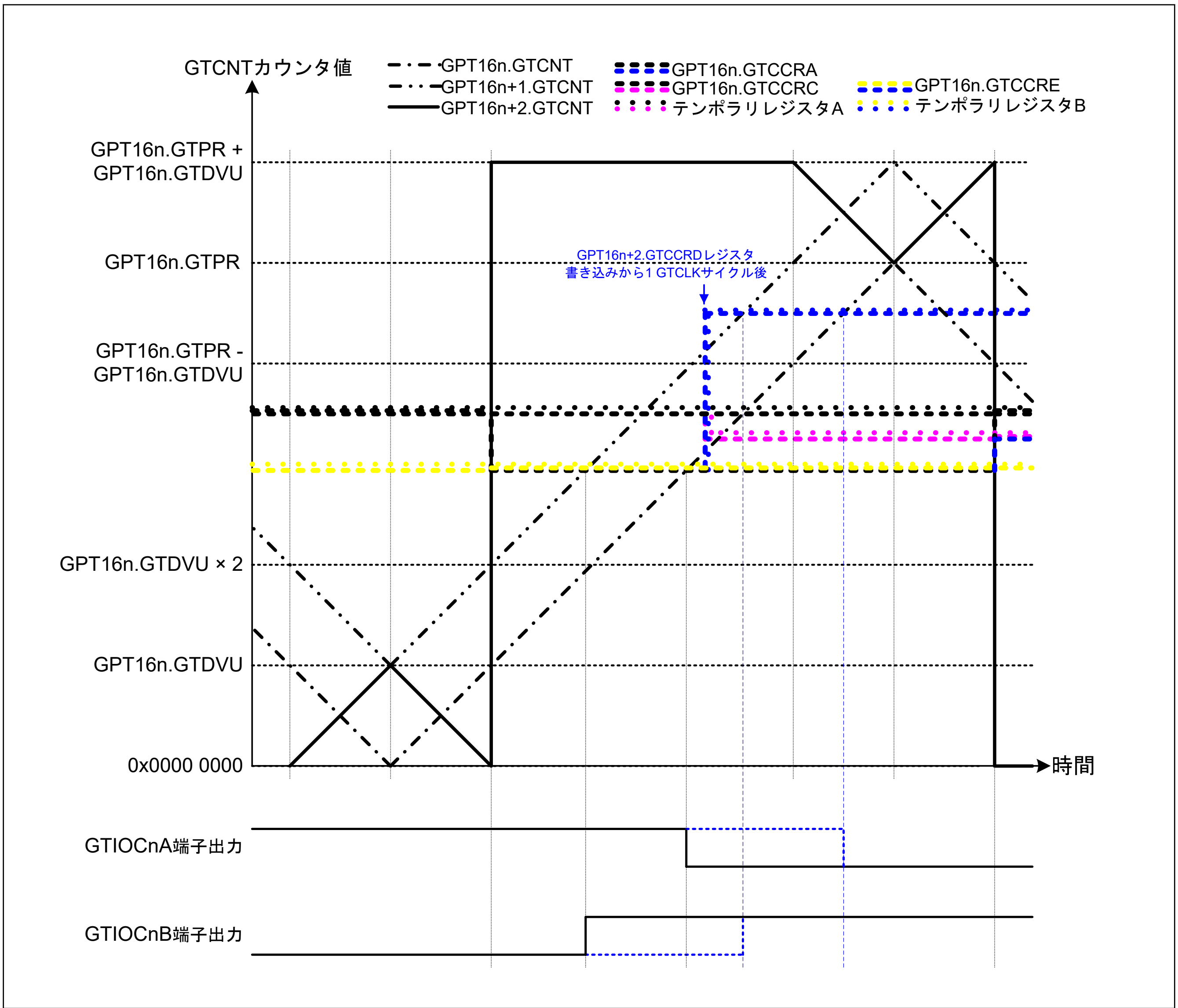


図 20.76　　相補 PWM モード 4 のダブルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントコンペアマッチ後に値が GTCCRF レジスタに書き込まれた場合） (n = 0)

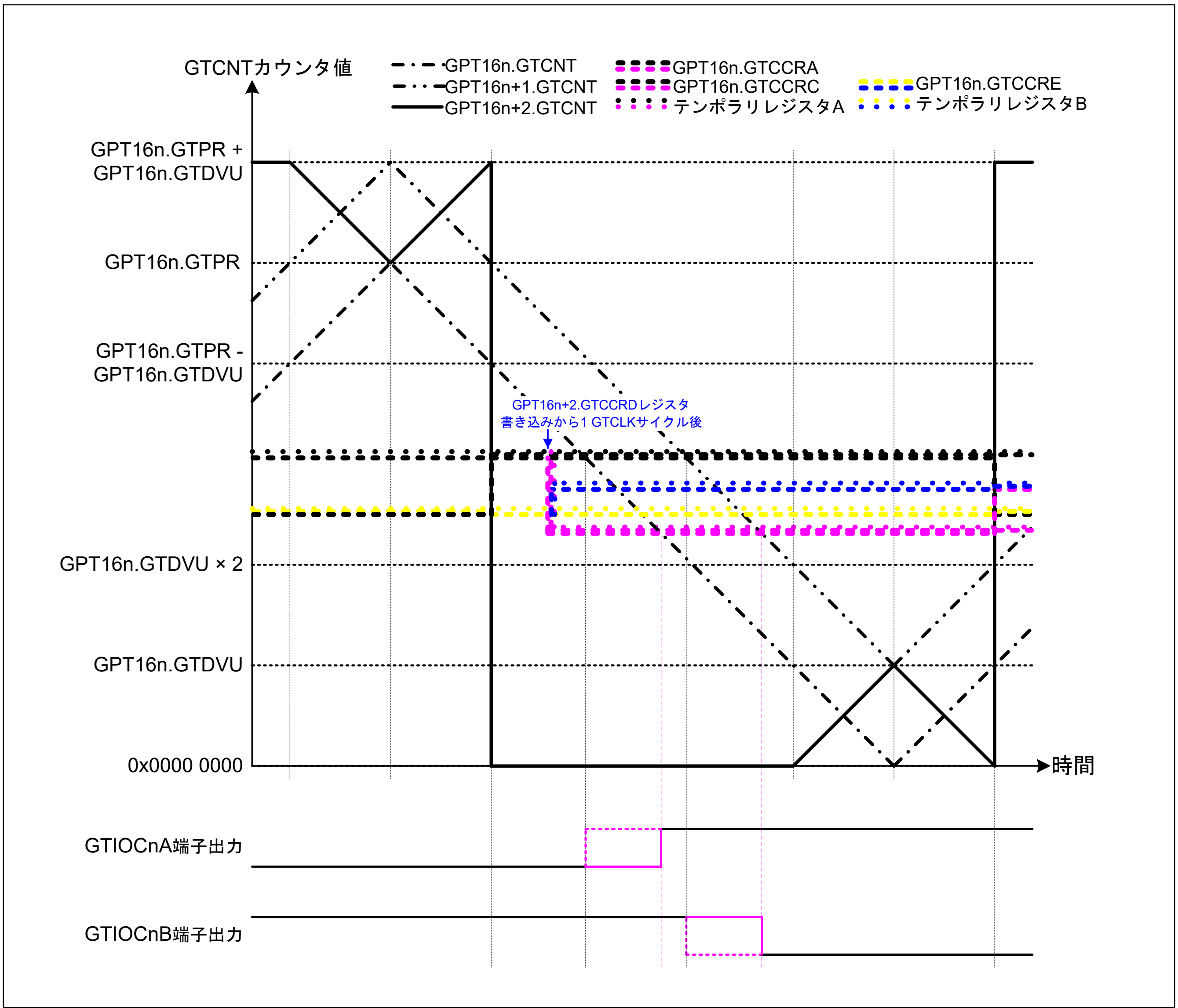


図 20.77　相補 PWM モード 4 のダブルバッファ動作の例（ダウンカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ前に GPT16n.GTCNT 値よりも小さい値が GTCCRD レジスタに書き込まれた場合） (n = 0)

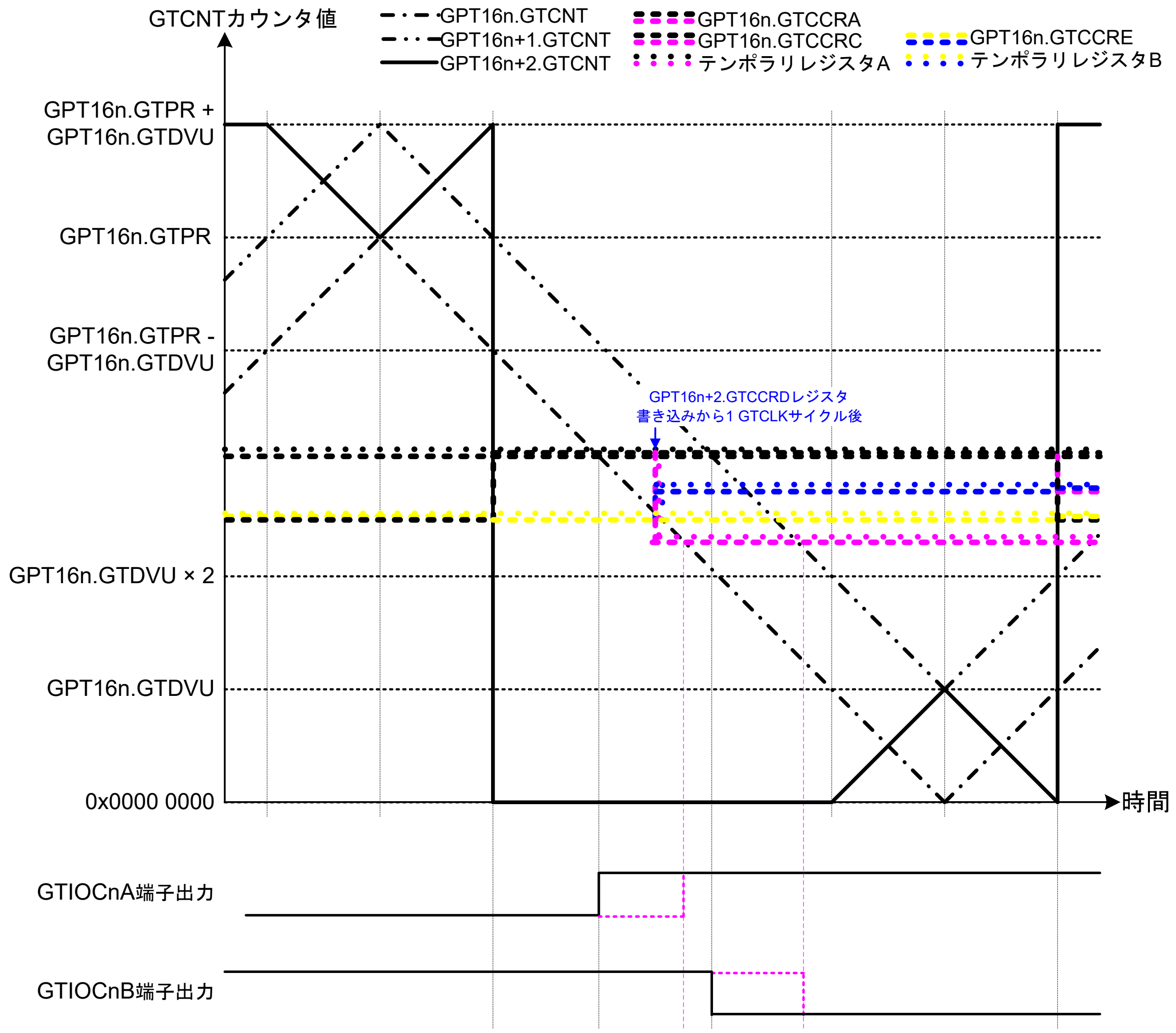


図 20.78 相補 PWM モード 4 のダブルバッファ動作例（ダウンカウント中間部分）（相補 PWM モード 4 ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントデッドタイム時に値が GTCCRD レジスタに書き込まれた場合）(n = 0)

表 20.40 相補 PWM モード 4 の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GPT16n チャネルの GTCR.MD[3:0]で動作モード (1111b) を設定します。
2	カウントクロックの選択	GPT16n チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GPT16n チャネルの GTPR、GTPBR.GTPDBR レジスタに周期を設定します。
4	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子機能設定	GPT16n、GPT16n+1、および GPT16n+2 の各チャネルの GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm、GTIOCn+1m、および GTIOCn+2m 端子の機能を設定します。
5	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子出力許可設定	GPT16n、GPT16n+1、GPT16n+2 の各チャネルの GTIOR レジスタの OAE ビット、OBE ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子出力許可を設定します。
6	GTCPPOn 端子出力許可設定	GPT16n チャネルの GTIOR レジスタの PSYE ビットで、GTCPPOn 端子からの PWM 同期出力の許可または禁止を設定します。
7	バッファ動作設定	GPT16n、GPT16n+1、GPT16n+2 チャネルの GTBER2.CP3DB ビットの設定により、バッファ動作を設定します。

表 20.40 相補 PWM モード 4 の設定例 (2/2)

No.	ステップ名	説明
8	コンペアマッチ値設定	GPT16n、GPT16n+1、GPT16n+2 の各チャネルの GTCCRA レジスタにカウント開始後アップカウント中の出力端子変更ポイントを設定します。
9	バッファ値設定	シングルバッファ動作で、カウント開始後の最初の GTCCRA レジスタへのバッファ転送で転送されるデータを GTCCRD レジスタに設定します。 ダブルバッファ動作の場合は、最初の山の終わりに転送するデータを GTCCRD レジスタに、最初の谷の終わりに転送するデータを GTCCRF レジスタに設定します。
10	デッドタイム値設定	デッドタイム値を GPT16n チャネルの GTDVU レジスタに設定します。
11	カウント動作開始	GPT16n チャネルの GTCR.CST ビットを 1 にしてカウント動作を開始してください。
12	即時転送対象のコンペアマッチ値設定	シングルバッファ動作で、GTCCRA レジスタに即時に転送されるデータを GTCCRD レジスタに設定します。 ダブルバッファ動作の場合は、即時転送対象のダウンカウント用コンペアマッチ値を GTCCRD レジスタに設定し、アップカウント用コンペアマッチ値を GTCCRF レジスタに設定します。 最後に、GPT16n+2.GTCCRD レジスタを設定します（データはテンポラリレジスタに転送されます）。

注. n = 0
m = A, B

20.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値（GTCCRA レジスタ値）とデッドタイム値（GTDVU および GTDVD レジスタ値）からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

逆相波形の変化点のデッドタイムは、GPT163 の GTDVU レジスタに設定します。デッドタイムは、GPT160～GPT162 の 1 つの波形の前半部と後半部で個別に設定できます。逆相波形の前半の切り替わりポイントに対するデッドタイムは GTDVU レジスタで設定し、後半の切り替わりポイントに対するデッドタイムは GTDVD レジスタで設定します。GTDTCR.TDFER を 1 にして、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして､GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。

バッファ転送は周期の終わりで実行されます。三角波モードの場合、谷の周期の終わりで実行されます。のこぎり波モードの場合、以下のいずれかの条件で周期の終わりに実行されます。

- GTCNT カウンタのオーバーフロー（アップカウント）
- GTCNT カウンタのアンダーフロー（ダウンカウント）
- GTCNT カウンタのクリア

自動計算される逆相波形の変化点は､GTCCRB レジスタの読み出しによって得られます。デッドタイム自動設定機能を使用するときは、GTCCRB レジスタへの書き込みは禁止です。

波形の変化点がカウント周期を超過する原因となるデッドタイムを設定してはなりません。デッドタイムエラーが発生するデッドタイム設定が行われたときは、表 20.41 に示すように正相および逆相波形の変化点を調整して、デッドタイムが確保された波形を生成するようにしてください。調整後の逆相波形の変化点は、GTCCRB レジスタに自動的に設定されます。内部信号は正相波形の変化点の決定のために使用されるため､GTCCRA レジスタの値は調整された値によって更新されることはありません。

のこぎり波ワンショットパルスモードにおいて、デッドタイムエラーが発生して波形の変化点を調整したことによって変化点の順序に不整合が生じた場合や、調整後も変化点がカウント周期を超過している場合、正相と逆相間の相補関係は保証されません。

三角波 PWM モードでは、0x00000000 を設定することによりデッドタイムがカウント周期を超えている場合、または GTPR レジスタの設定値以上の値が GTCCRA レジスタに設定されている場合、出力の変化は出力保護機能によって制御されます（「20.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～2, m = A, B)」を参照）。GTCCRA レジスタが[GTPR レジスタ + GTDVm (m = U, D) レジスタ]と同じか、それより大きい場合、GTCCRB レジスタには GPT160～GPT162 の上限として[GTPR レジスタ - 1]が設定されます。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値計算用レジスタ値が更新された後、次のカウントクロックで行われます。三角波モードでは、現在の山の次のカウントクロックで行うこともできます。

表 20.41　　GPT160～GPT162 でのデッドタイムエラー発生時の波形変化点の調整

PWM 出力動作モード	カウント方向	期間	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	GTCCRA - GTDVU < 0	GTDVU	0
		後半	GTCCRA + GTDVD > GTPR (GTCCRA + GTDVU > GTPR)(注1)	GTPR - GTDVD (GTPR - GTDVU)(注1)	GTPR
	ダウンカウント	前半	GTCCRA + GTDVU > GTPR	GTPR - GTDVU	GTPR
		後半	GTCCRA - GTDVD < 0 (GTCCRA - GTDVU < 0)(注1)	GTDVD (GTDVU)(注1)	0
三角波 PWM モード 1/2/3	アップカウント	前半	GTCCRA - GTDVU ≦ 0	GTDVU + 1	1
	ダウンカウント	後半	GTCCRA - GTDVD < 0 (GTCCRA - GTDVU < 0)(注1)	GTDVD (GTDVU)(注1)	0

注 1.　GTDTCR.TDFER = 1 の場合。

表 20.42　　GPT163 でのデッドタイムエラー発生時の波形変化点の調整

PWM 出力動作モード	カウント方向	周期	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	GTCCRA - GTDVU < 0	GTDVU	0
		後半	GTCCRA + GTDVD > GTPR	GTPR - GTDVU	GTPR
	ダウンカウント	前半	GTCCRA + GTDVU > GTPR	GTPR - GTDVU	GTPR
		後半	GTCCRA - GTDVD < 0	GTDVU	0
三角波 PWM モード 1/2/3	アップカウント	前半	GTCCRA - GTDVU ≦ 0	GTDVU + 1	1
	ダウンカウント	後半	GTCCRA - GTDVD < 0	GTDVU	0

図 20.79～図 20.85 にデッドタイム自動設定機能の動作例を示します。表 20.43 と表 20.44 に設定例を示します。

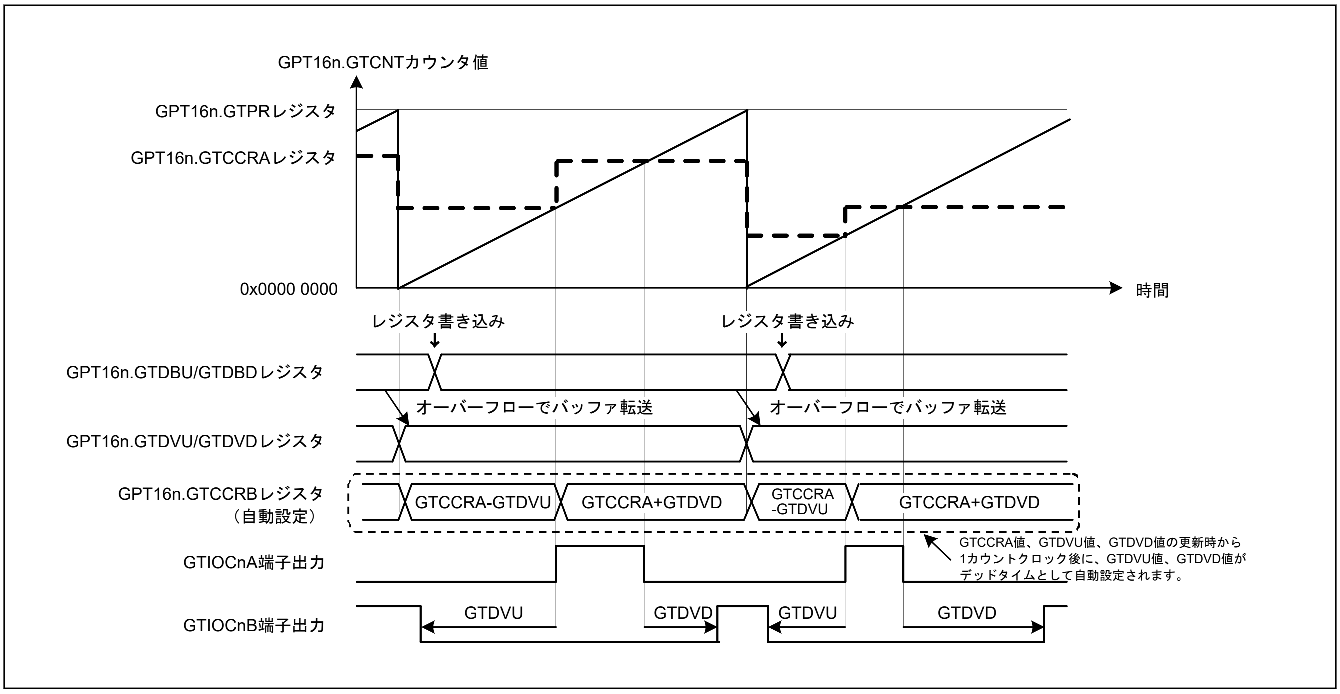


図 20.79　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GTDVU と GTDVD はバッファ動作に設定、GPT160～GPT162 でアクティブ High の場合）

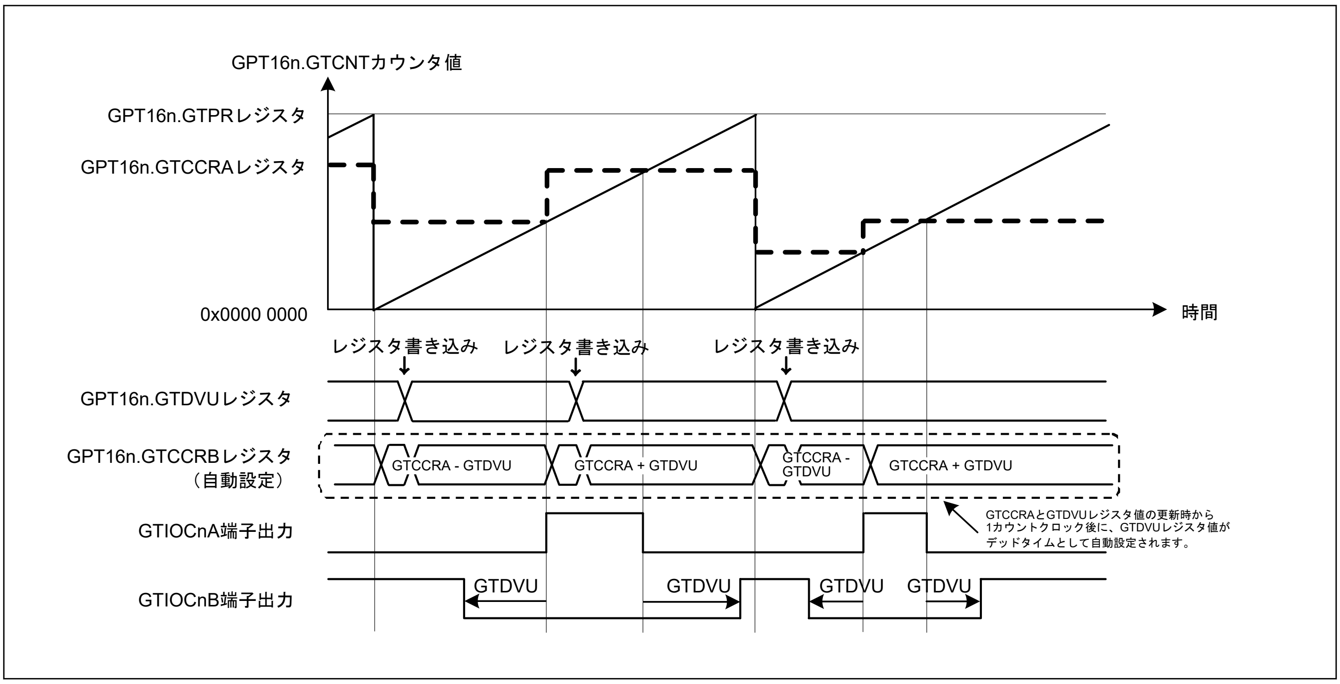


図 20.80　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GPT163 でアクティブ High の場合）

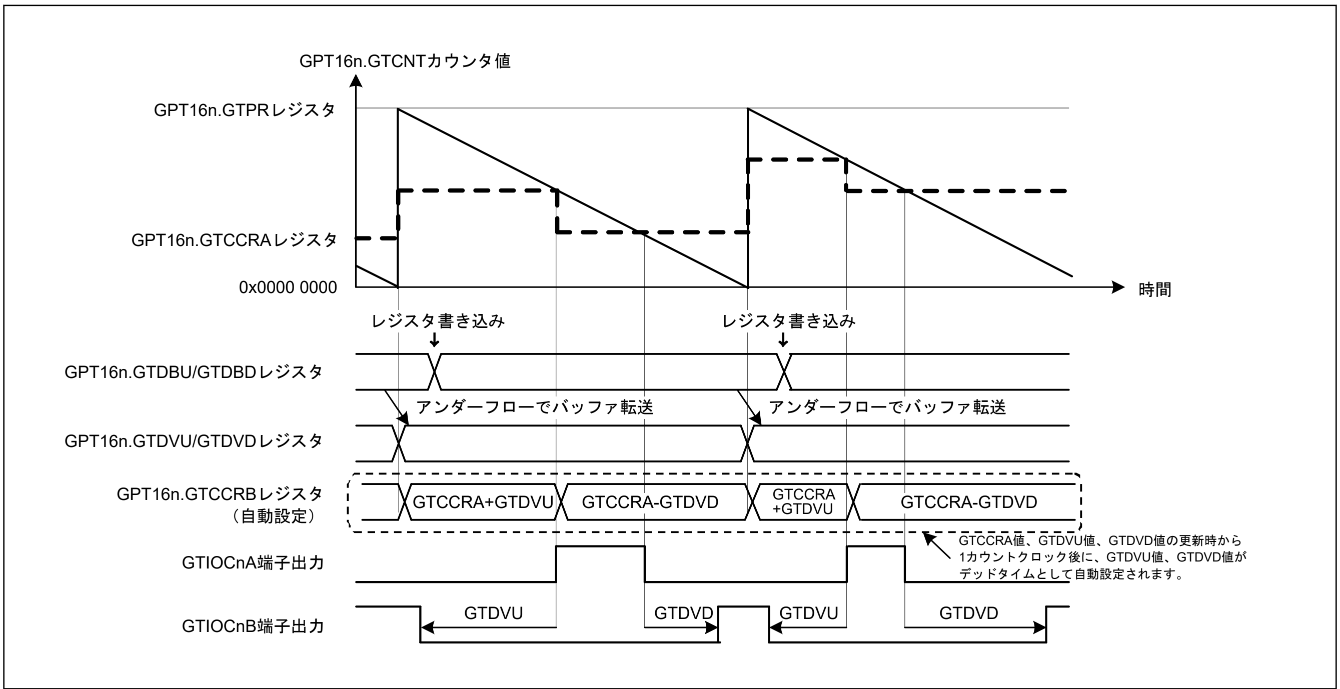


図 20.81　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU と GTDVD はバッファ動作に設定、GPT160～GPT162 でアクティブ High の場合）

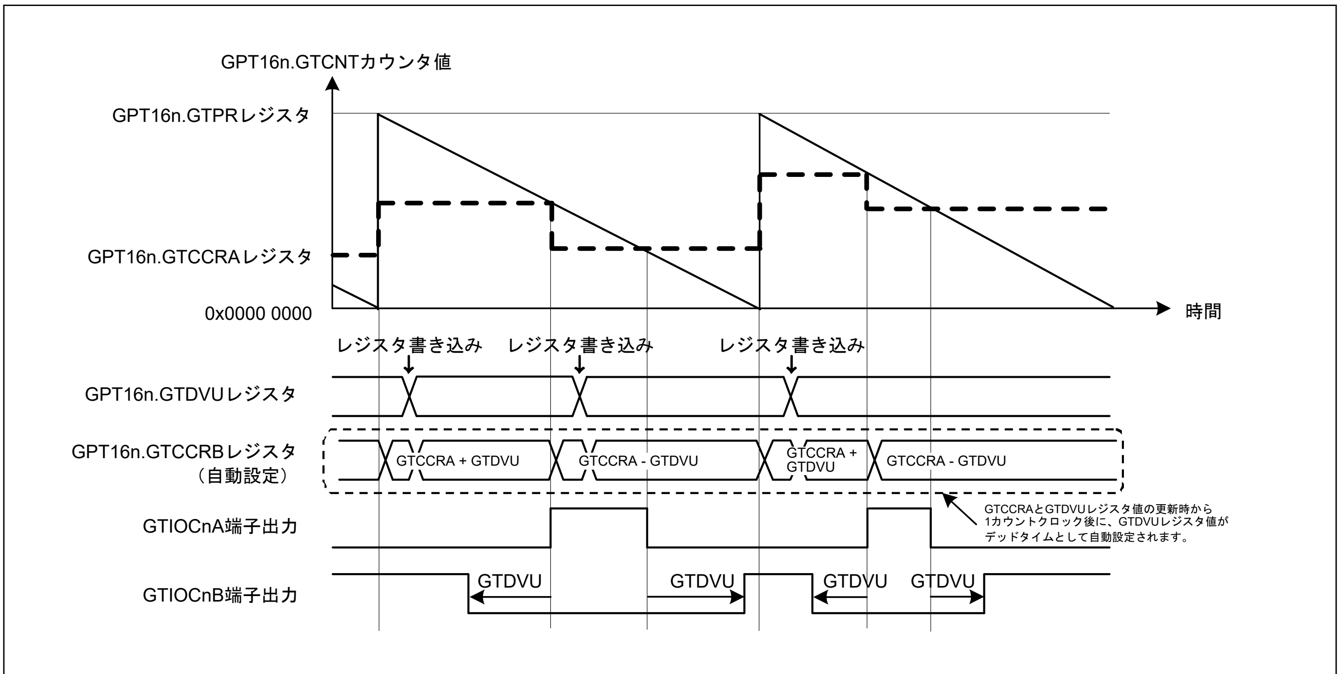


図 20.82　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GPT163 でアクティブ High の場合）

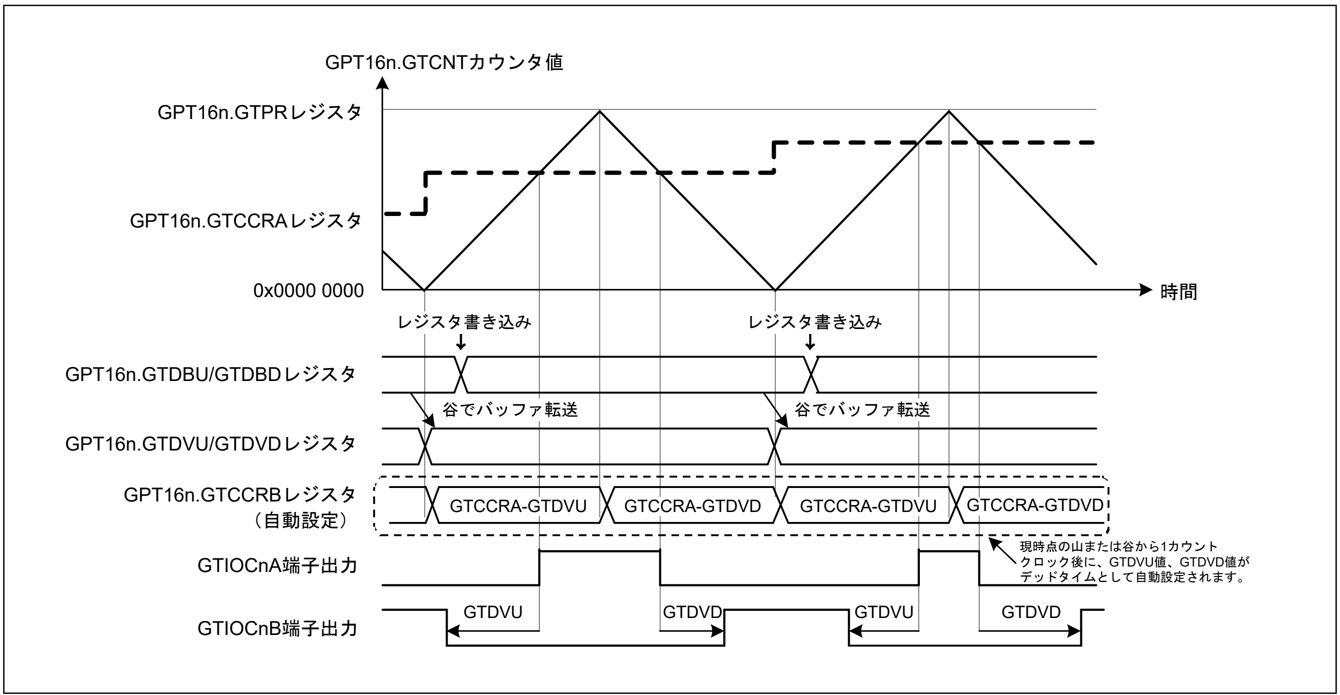


図 20.83　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GTDVU と GTDVD はバッファ動作に設定、GPT160～GPT162 でアクティブ High の場合）

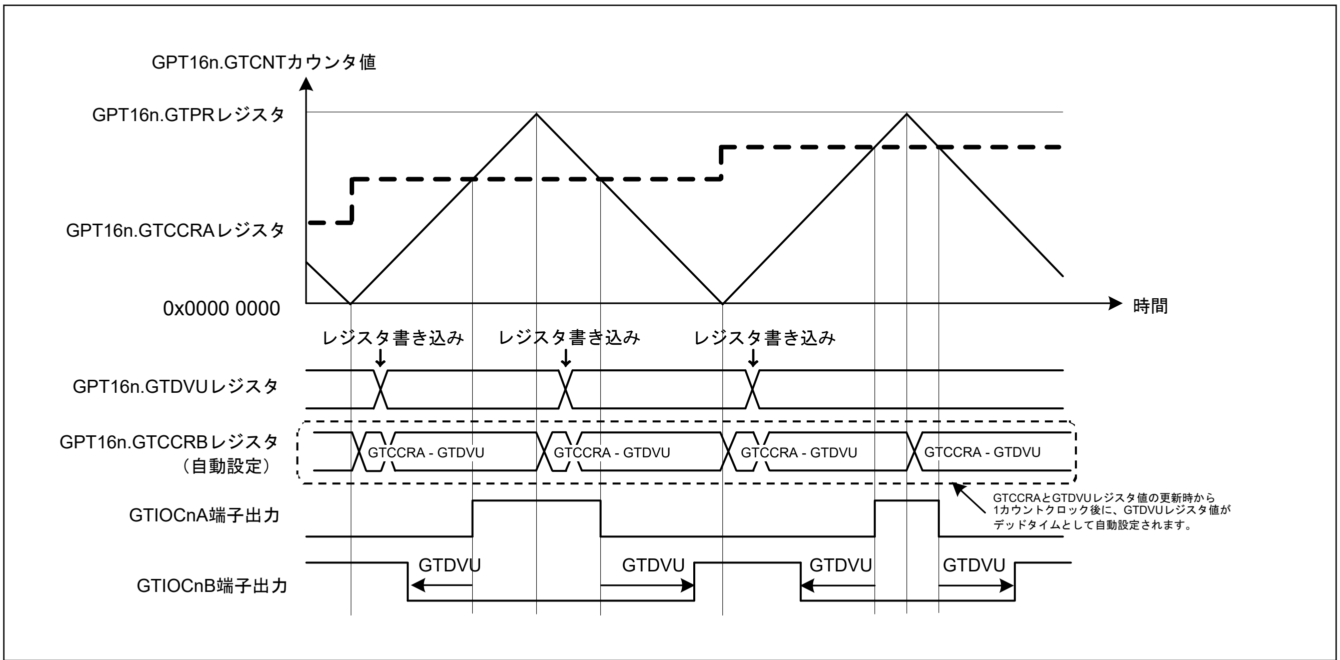


図 20.84　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GPT163 でアクティブ High の場合）

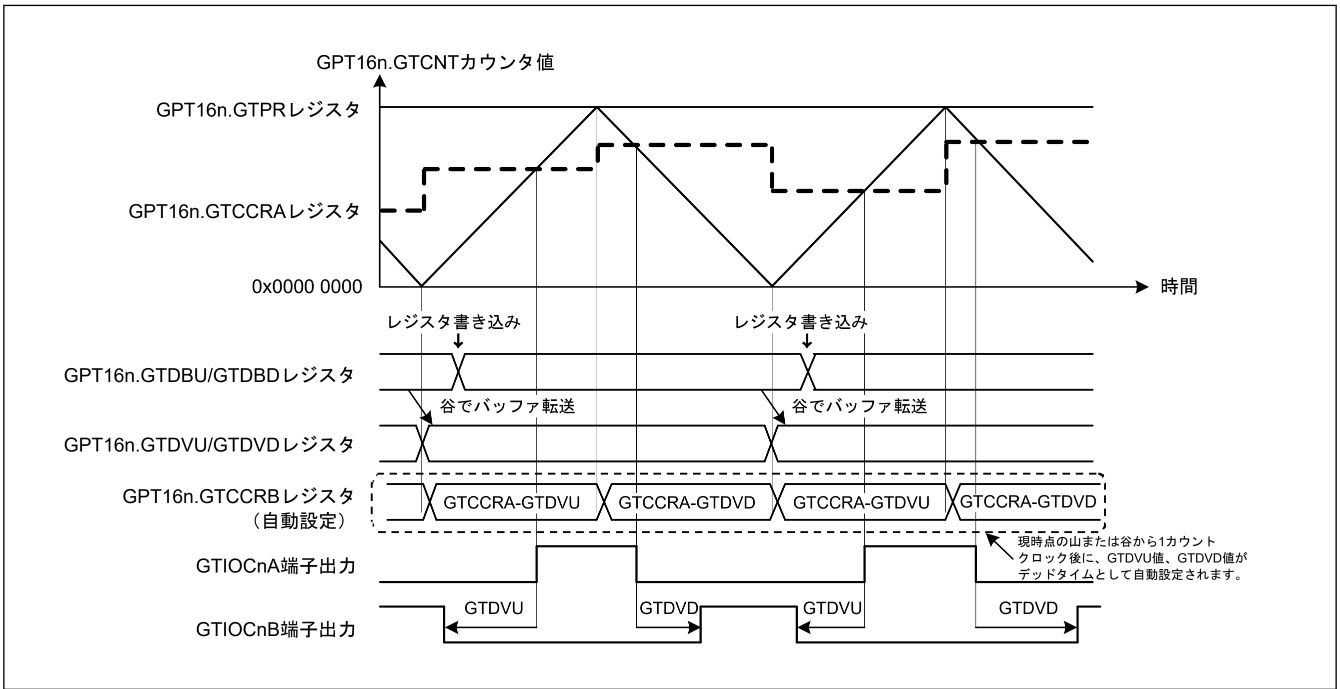


図 20.85　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GTDVU と GTDVD はバッファ動作に設定、GPT160～GPT162 でアクティブ High の場合）

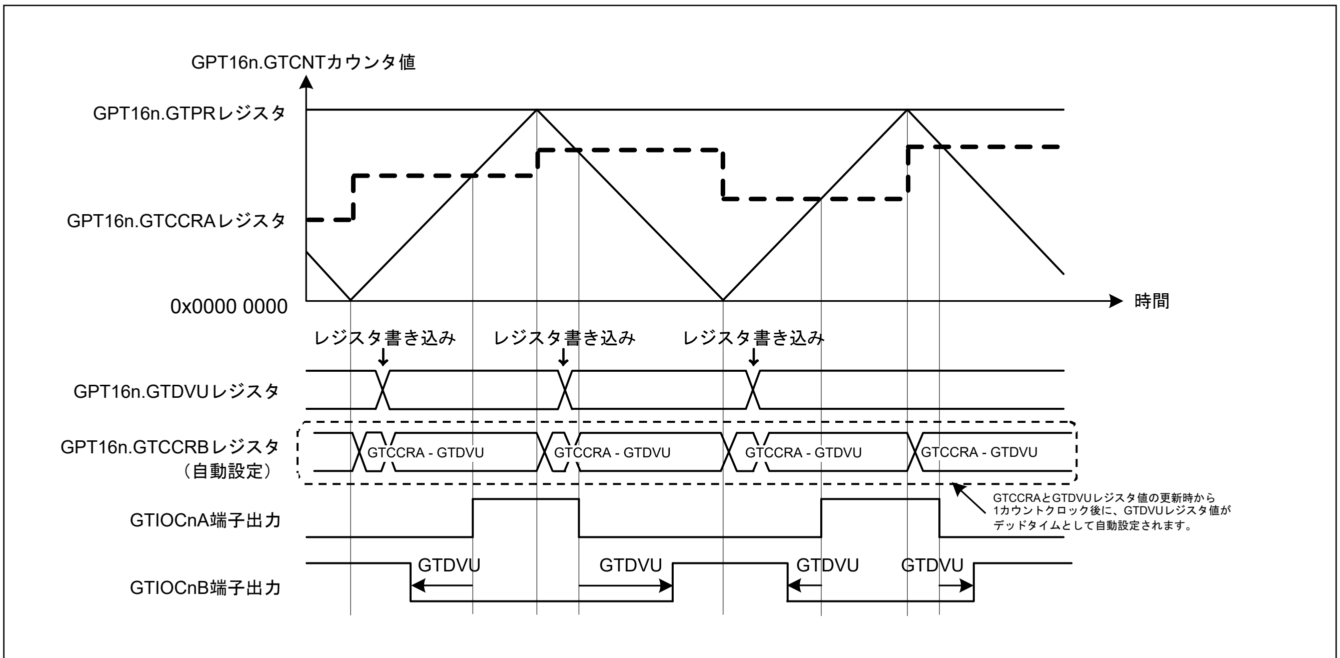


図 20.86　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GPT163 でアクティブ High の場合）

表 20.43　デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.79 と図 20.81 では、001b または 0001b（のこぎり波ワンショットパルスモード）を設定します。図 20.85 では、110b または 0110b（三角波 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。 図 20.79 では、GTUDDTYC.UDF と UD に 11b を設定してから 01b を設定します（アップカウント）。図 20.81 では、GTUDDTYC.UDF と UD に 10b を設定してから 00b を設定します（ダウンカウント）。

表 20.43　デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(2/2)

No.	手順名	説明
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.79、図 20.81、図 20.85 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定(注1)	カウント開始直後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタデータを GTCCRA レジスタへ強制転送します。
10	コンペアマッチ用バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム用バッファ動作設定	GPT160～GPT162 で、GTDTCR レジスタの TDBUE ビット、TDBDE ビットにバッファ動作を設定します。
13	デッドタイム値設定	デッドタイム値を GPT163 の GTDVU レジスタに設定します。GPT160～GPT162 で、前半部のデッドタイム値を GTDVU に、後半部のデッドタイム値を GTDVD に設定します。GTDTCR.TDFER ビットを 1 にして GTDVU を設定すると、同じ値が GTDVD にも設定され、同じデッドタイム値を前半部と後半部に設定することができます。
14	デッドタイム用バッファ値設定	バッファ動作時は、GPT160～GPT162 で、現在の周期の 1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。
15	カウント動作開始	GTCR.CST を 1 にしてカウント動作を開始します。
16	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。 デッドタイムレジスタをバッファレジスタとして使用する場合、GPT160～GPT162 で、現在の周期の次の周期での前半部のデッドタイム値を GTDBU に、後半部のデッドタイム値を GTDBD に設定します。

注.　n: 0～3
　　m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ用バッファ値設定+コンペアマッチ用バッファ強制転送設定の順序を変更してください。

表 20.44　デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合） (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.83 では、100b または 0100b（三角波 PWM モード 1）を設定します。図 20.85 では、101b または 0101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.83 と図 20.85 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b。
6	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA ビットにバッファ動作を設定します。
8	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。

表 20.44　デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合） (2/2)

No.	手順名	説明
9	コンペアマッチ用バッファ値設定	バッファ動作時は、1 周期後（三角波 PWM モード 1 時）あるいは半周期（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（三角波 PWM モード 1 時）あるいは 1 周期（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム用バッファ動作設定	GPT160～GPT162 で、GTDTCR レジスタの TDBUE ビット、TDBDE ビットにバッファ動作を設定します。
12	デッドタイム値設定	デッドタイム値を GPT163 の GTDVU レジスタに設定します。GPT160～GPT162 で、前半部のデッドタイム値を GTDVU に、後半部のデッドタイム値を GTDVD に設定します。GTDTCR.TDFER ビットを 1 にして GTDVU を設定すると、同じ値が GTDVD にも設定され、同じデッドタイム値を前半部と後半部に設定することができます。
13	デッドタイム用バッファ値設定	バッファ動作時は、GPT160～GPT162 で、現在の周期の 1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。
14	カウント動作開始	GTCR.CST を 1 にしてカウント動作を開始します。
15	周期ごとのバッファ値設定	コンペアマッチレジスタをバッファ動作に使用するときは、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 コンペアマッチレジスタのダブルバッファ動作時は、現在の周期の 2 周期後（三角波 PWM モード 1）、あるいは現在の周期の 1 周期後（三角波 PWM モード 2）の GTIOCnA 端子の変化ポイントを GTCCRD に設定します。 同様に、GPT160～GPT162 で、現在の周期の後の周期での前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。

注.　n: 0～3
　　m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

20.3.5　カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 20.87 にカウント方向切り替え機能の動作例を示します。

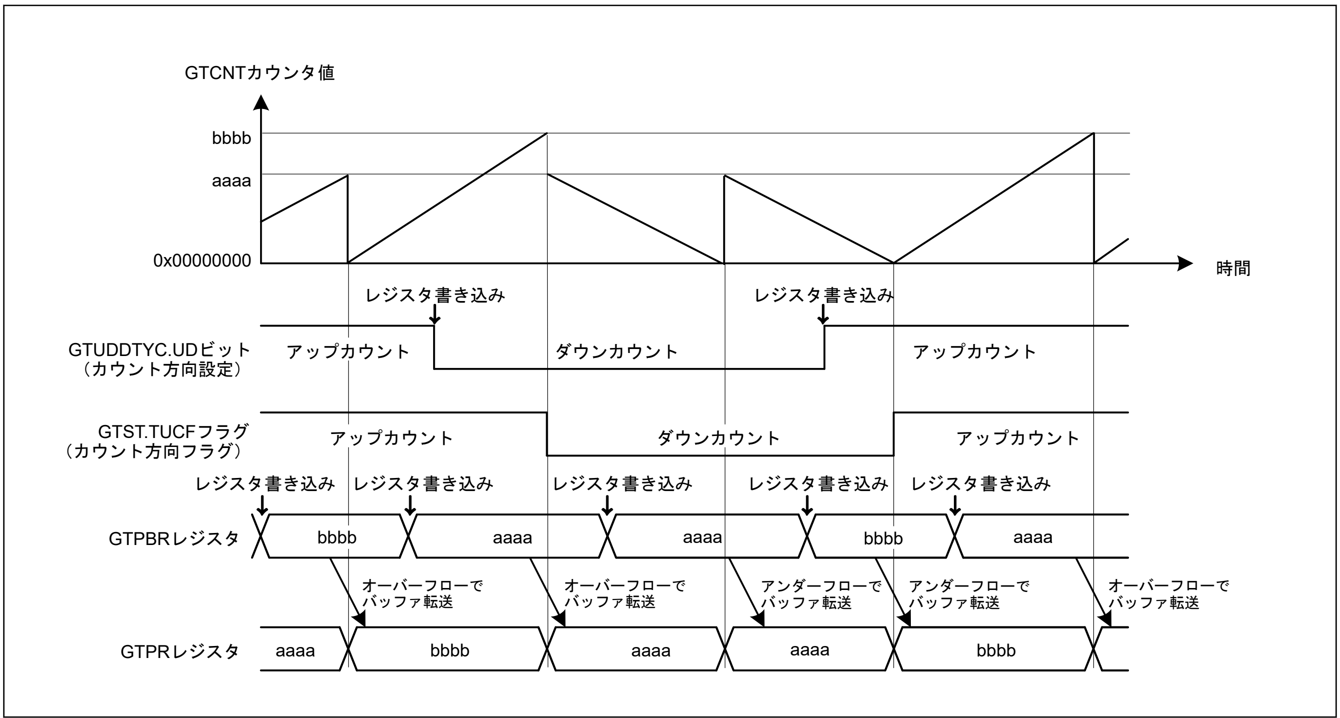


図 20.87　　カウント方向切り替え機能の動作例（バッファ動作時）

20.3.6　　出力デューティー 0%および出力デューティー 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子 (n = 0～3) の出力デューティーが 0%または 100%に設定されます。

本機能はのこぎり波 PWM モード 2 または相補 PWM モードでは無効です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティーの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。出力デューティーはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードでは、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットが変更された場合。GTUDDTYC.OABDTYT ビットが 0 の場合、アンダーフローが発生したときに変更された出力デューティー設定が反映され、GTUDDTYC.OABDTYT ビットが 1 の場合、アンダーフローが発生し、かつ三角波の頂点のときに変更された出力デューティー設定が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティーが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティーの変更値はカウントスタート時に反映されます。

0%または 100%デューティー動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティー設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

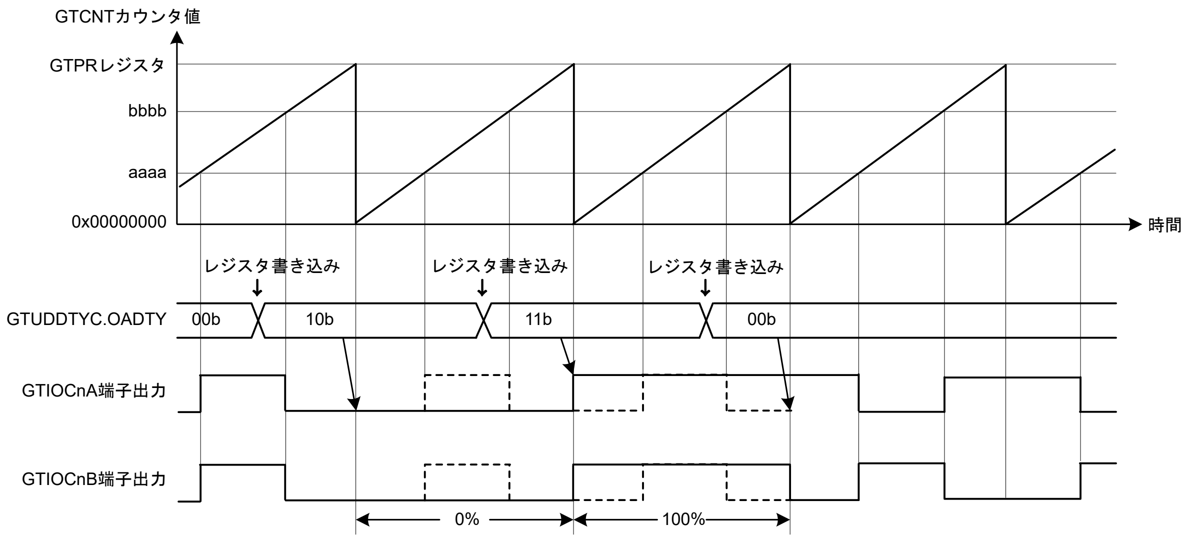
GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。 表 20.45 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 20.45　　0%または 100%デューティー設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティー設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR（デューティー 0%設定時）		GTUDDTYC.OADTYR（デューティー 100%設定時）	
		0	1	0	1
00（周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01（周期の終わりで Low 出力）	—	0	0	0	0
10（周期の終わりで High 出力）	—	1	1	1	1
11（周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 20.88 に出力デューティー 0%、100%機能の動作例を示します。



注.　レジスタのベースアドレスは同じです。

注.　［設定例］

GTIOR.GTIOA[4:0]ビット：　00011b
初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持

GTUDDTYC.OADTYR ビット：　0b
0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用されます。

GTIOR.GTIOB[4:0]ビット：　00011b
初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持

GTUDDTYC.OBDTYR ビット：　1
GTIOB[3:2]ビットの機能が 0%/100%デューティー設定解除後にマスクされたコンペアマッチ出力値に適用されます。

図 20.88　　出力デューティー 0%、100%機能動作例

20.3.7　　ハードウェアカウントスタート／カウントストップ、カウントクリア動作

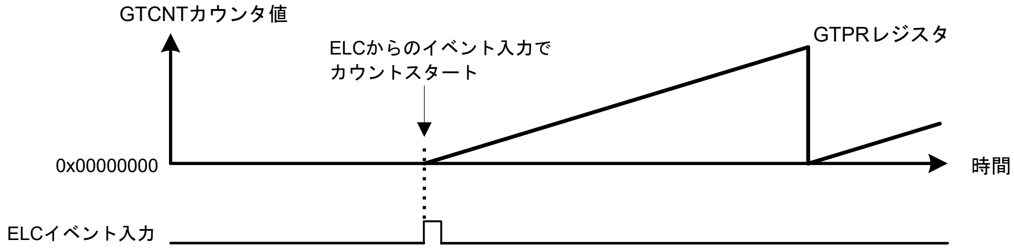
下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCnA/GTIOCnB 端子入力 (n = 0～3)

20.3.7.1　　ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 20.89 にハードウェア要因によるカウントスタートの動作例を示します。表 20.46 に設定例を示します。



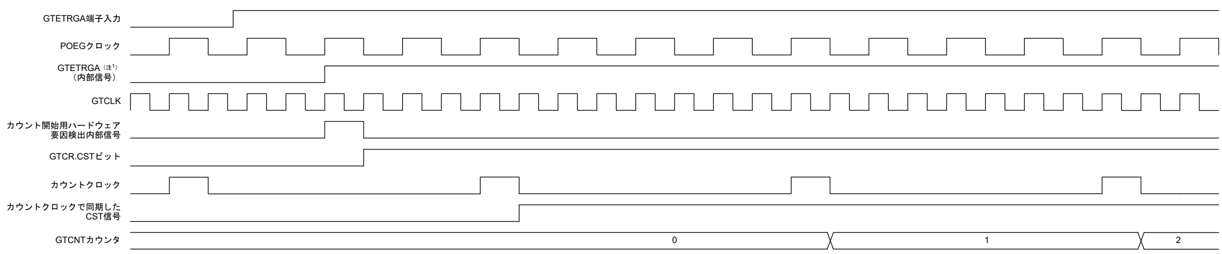
注. ELC イベント入力：ELC_GPTA イベント入力

図 20.89 ハードウェア要因によるカウントスタート動作例（ELC_GPTA イベントからの信号入力時のスタート）

表 20.46 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.89 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.89 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.89 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 20.89 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。 図 20.89 では ELC_GPTA イベント入力の動作を設定します。

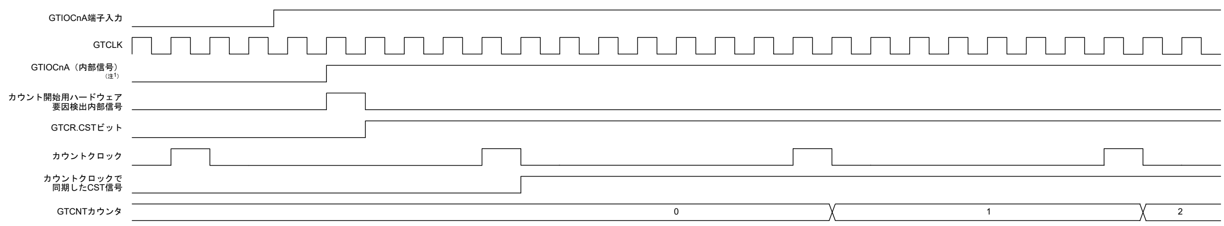
図 20.90 に GTETRGA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.90 GTETRGA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例

図 20.91 に GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例を示します。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

図 20.91　GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントスタート動作のタイミング例

図 20.92 に ELC_GPTA のイベント入力に対応するカウントスタート動作のタイミング例を示します。

これは信号に対応する GPT161.GTCNT カウンタによるカウントスタートの動作例です。GPT160.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT161 への出力用トリガとして選択されます。

GPT160 コンペアマッチ A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、GPT16 イベント要因 A 信号を出力します。

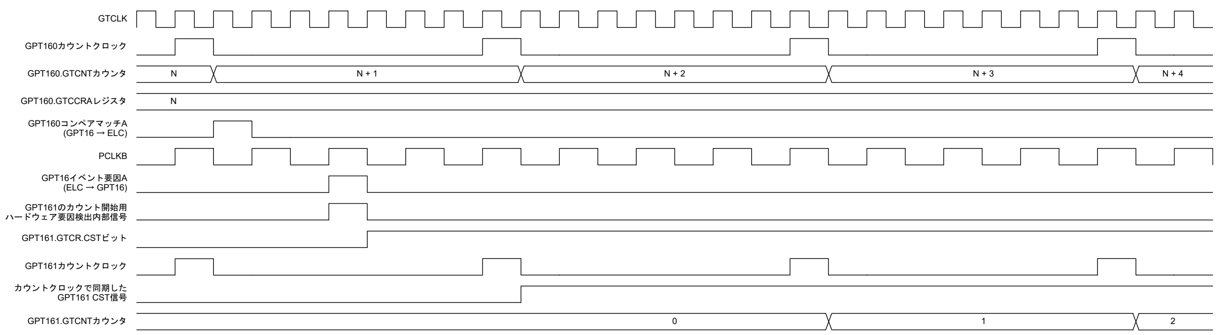


図 20.92　ELC_GPTA からのイベント入力に対応するカウントスタート動作のタイミング例

20.3.7.2　ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 20.93 にハードウェア要因によるカウントストップの動作例を示します。表 20.47 に設定例を示します。この例では、カウント動作が ELC_GPTA イベント入力でストップし、ELC_GPTB イベント入力で再スタートしています。

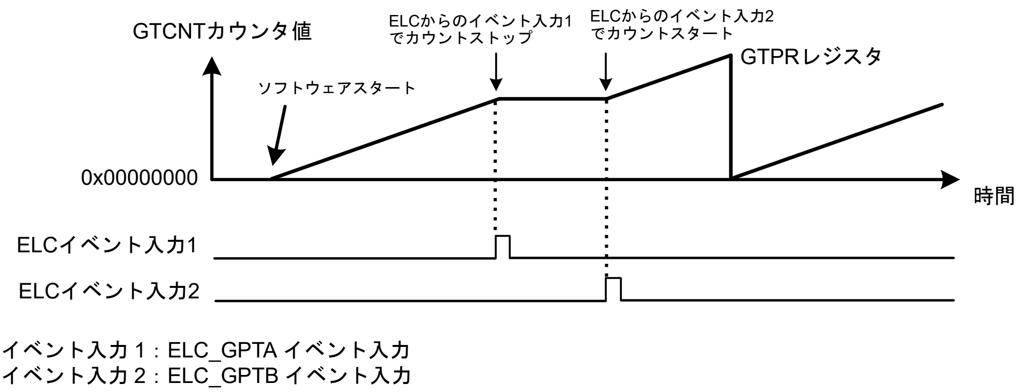


図 20.93 ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合）

表 20.47 ハードウェア要因によるカウントストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.93 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.93 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.93 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.93 では GTSSR.SSELCB = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.93 では GTPSR.PSELCA = 1
8	ハードウェア要因の動作設定	GTSSR レジスタまたは GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートまたはストップさせます。図 20.93 では ELC_GPTA 入力と ELC_GPTB 入力の動作を設定します。

図 20.94 にハードウェア要因によるカウントスタート／ストップ動作例を示します。表 20.48 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

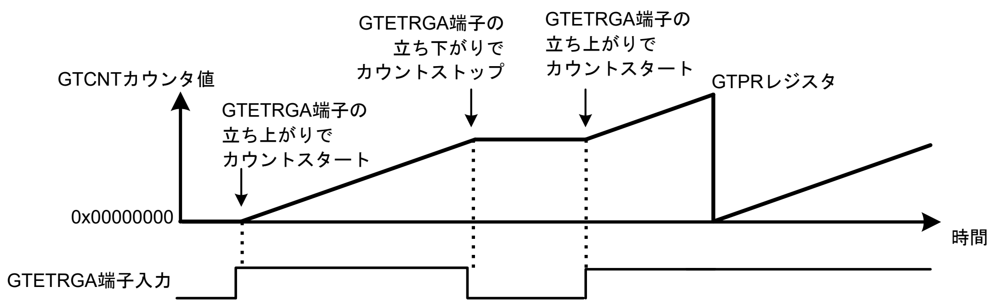
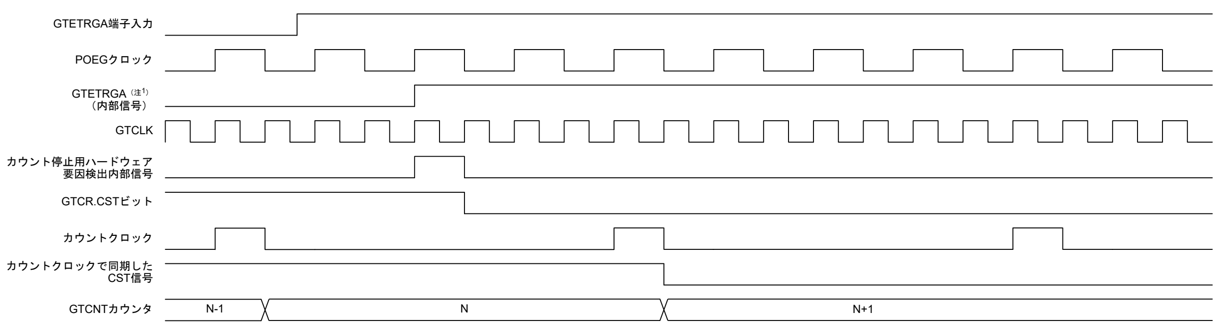


図 20.94 ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

表 20.48　ハードウェア要因によるカウントスタート／ストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.94 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.94 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.94 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.94 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.94 では GTPSR.PSGTRGAF = 1
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップさせます。 図 20.94 では GTETRGA 端子の動作を設定します。

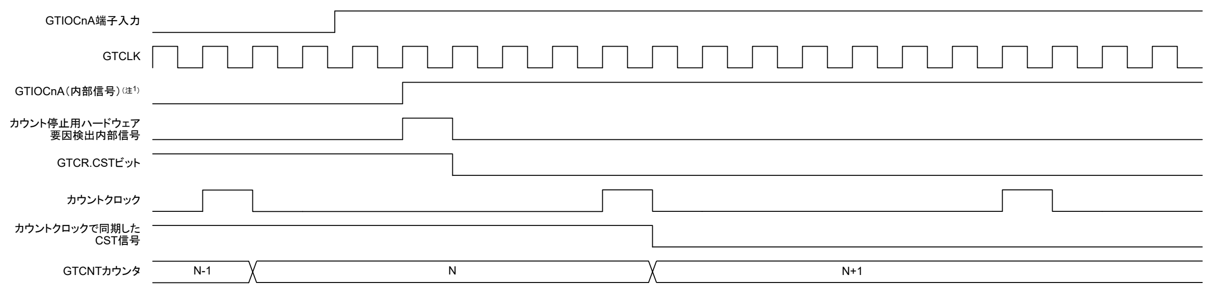
図 20.95 に GTETRGA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例を示します。



注.　POEG クロック：PCLKB
注 1.　POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.95　GTETRGA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例

図 20.96 に GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例を示します。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

図 20.96　GTIOCnA 端子の入力の立ち上がりエッジに対応するカウントストップ動作のタイミング例

図 20.97 に ELC_GPTA からのイベント入力に対応するカウントストップ動作のタイミング例を示します。

これは信号に対応する GPT161.GTCNT カウンタによるカウントストップの動作例です。GPT160.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT161 への出力用トリガとして選択されます。

GPT160 コンペアマッチ A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、GPT16 イベント要因 A 信号を出力します。

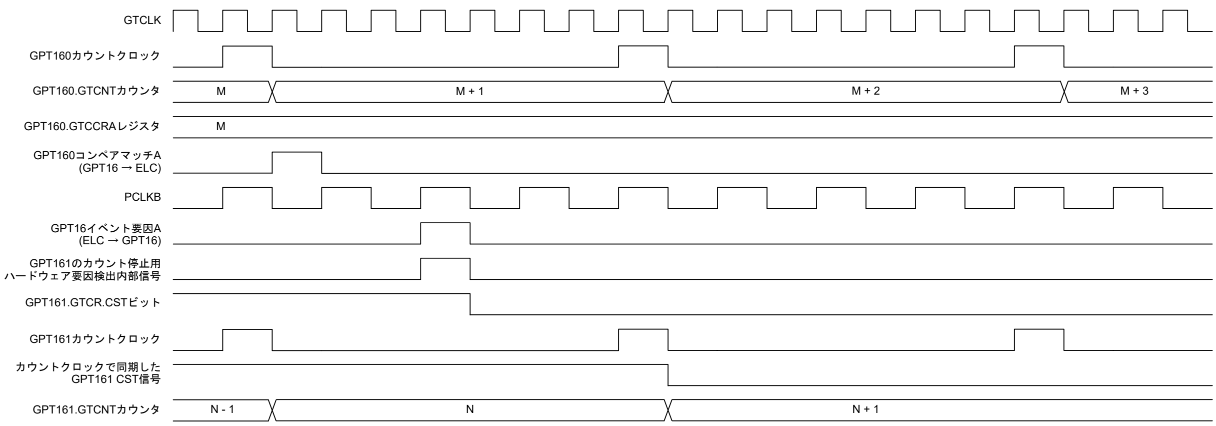


図 20.97　ELC_GPTA からのイベント入力に対応するカウントストップ動作のタイミング例

20.3.7.3　ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアができます。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～3) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 20.98 と図 20.99 にハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 20.49 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA 入力でスタートし、ELC_GPTB 入力でストップおよびクリアされています。

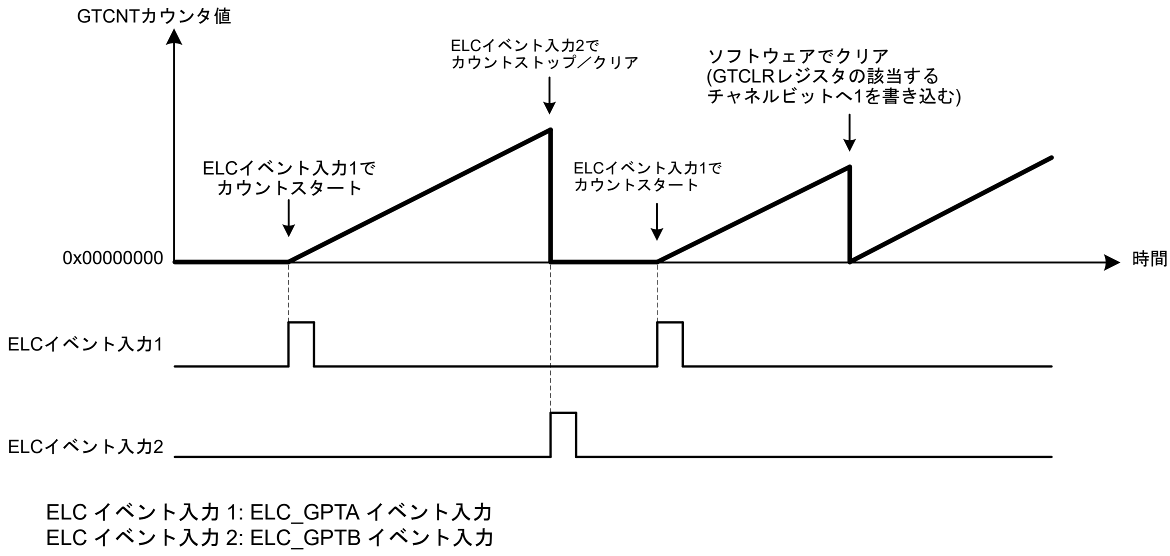


図 20.98 ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）

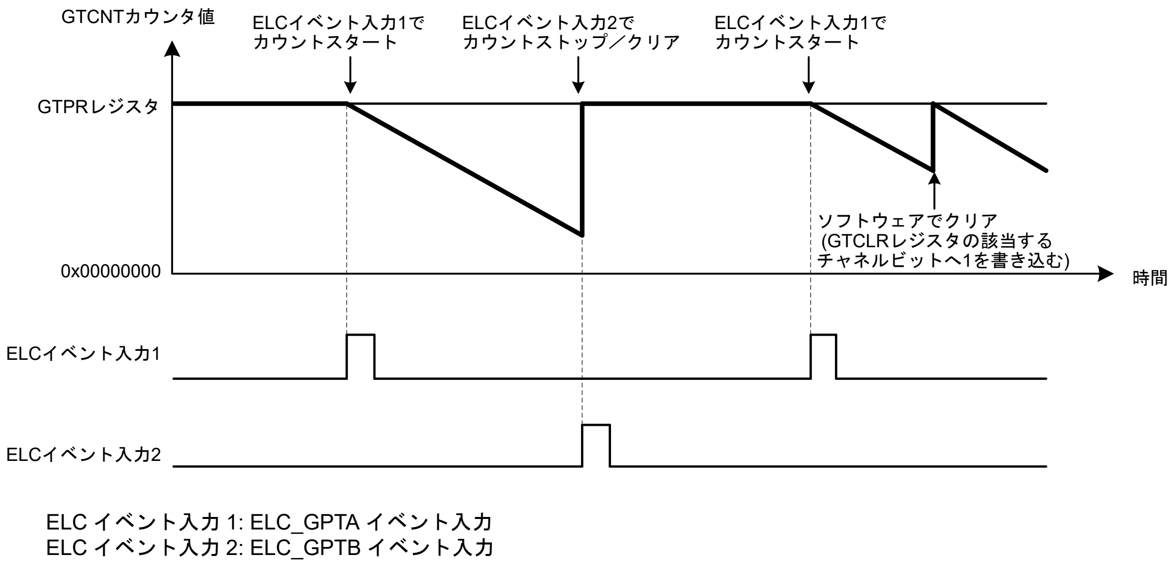


図 20.99 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）

表 20.49 ハードウェア要因によるカウントクリア動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.98 と図 20.99 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.98 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。 図 20.99 では、GTUDDTYC.UDF および UD ビットに 10b を設定してから、GTUDDTYC.UDF および UD ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

表 20.49 ハードウェア要因によるカウントクリア動作設定例 (2/2)

No.	手順名	説明
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.98 では 0x00000000 を設定します。図 20.99 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.98、図 20.99 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.98、図 20.99 では GTPSR.PSELCB = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。図 20.98、図 20.99 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 20.98 と図 20.99 では ELC_GPTA 入力と ELC_GPTB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0〜3) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 20.100 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0〜3) 割り込みの関係を示します。

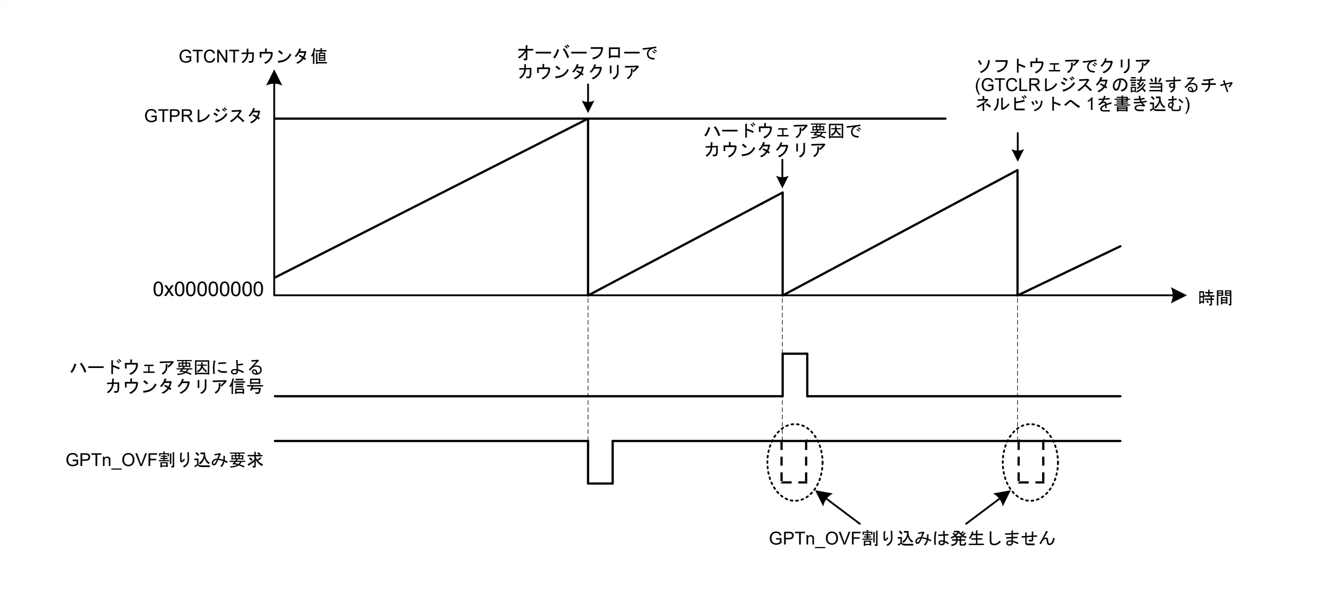
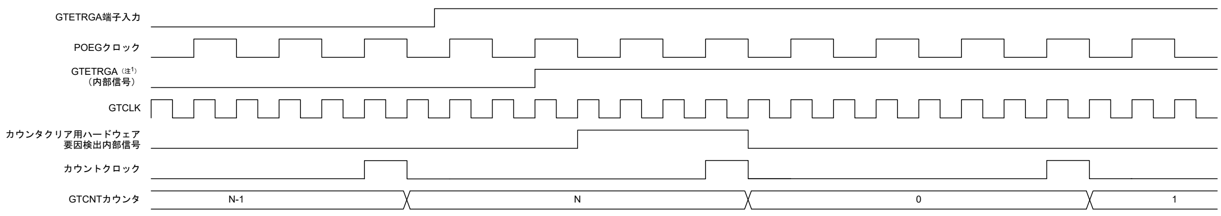


図 20.100 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0〜3) 割り込みの関係

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例を図 20.101 に示します。

GPT16 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。



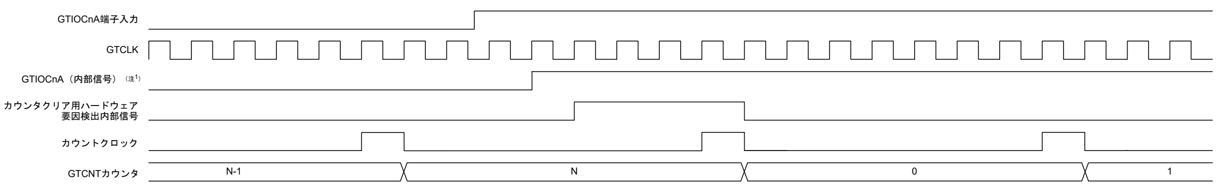
注.　POEG クロック：PCLKB

注 1.　POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.101　GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例を図 20.102 に示します。

GPT16 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

図 20.102　GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例を図 20.103 に示します。

これは信号に対応する GPT161.GTCNT カウンタによるカウントクリアの動作例です。GPT160.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT161 への出力用トリガとして選択されます。

GPT160 コンペアマッチ A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、GPT16 イベント要因 A 信号を出力します。

GPT16 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。

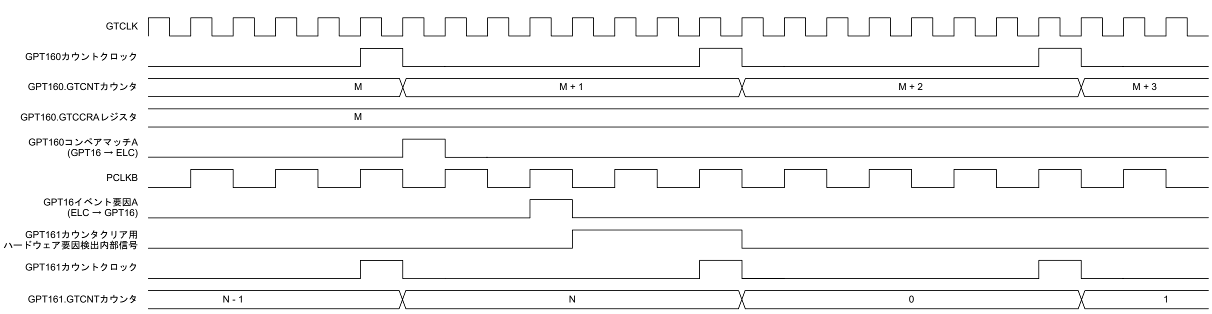
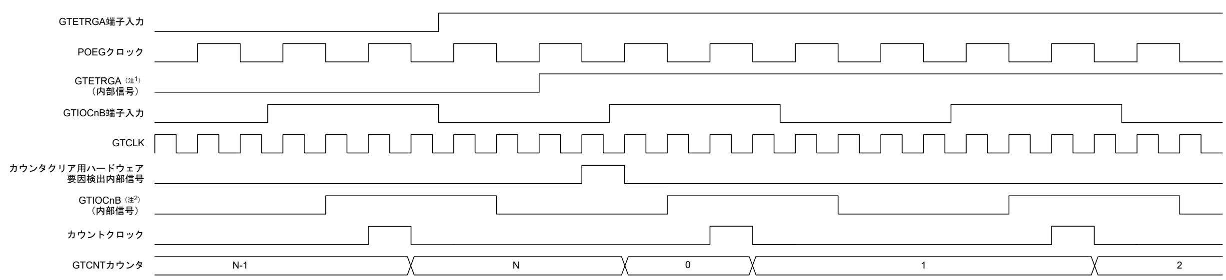


図 20.103　ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

図 20.104 にハードウェア要因によりカウントがトリガされる場合の GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリア動作のタイミング例を示します。

GPT16 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。



注.　POEG クロック：PCLKB

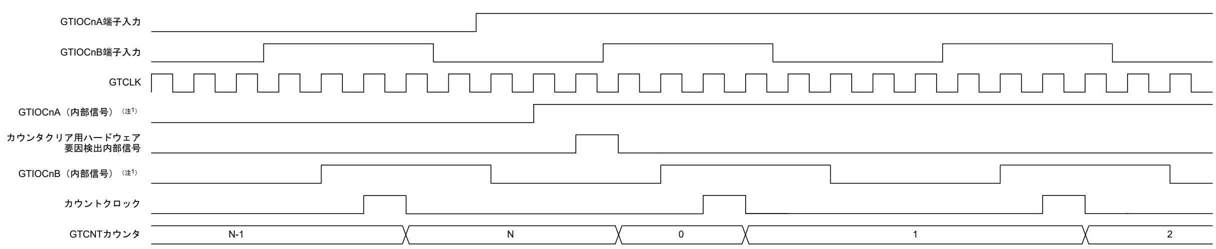
注 1.　POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

注 2.　これはデジタルノイズフィルタが使用されていない場合です。

図 20.104　GTETRGA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

図 20.105 にハードウェア要因によりカウントがトリガされる場合の GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリア動作のタイミング例を示します。

GPT16 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

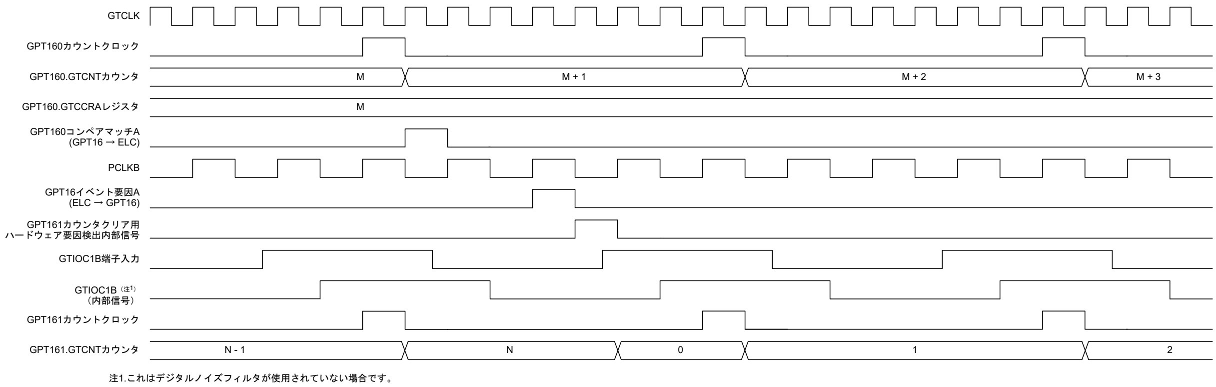
図 20.105　GTIOCnA 端子入力の立ち上がりエッジに対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

図 20.106 にハードウェア要因によりカウントがトリガされる場合の ELC_GPTA からのイベント信号入力に対応するカウンタクリア動作のタイミング例を示します。

これは信号に対応する GPT161.GTCNT カウンタによるカウントクリアの動作例です。GPT160.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT161 への出力用トリガとして選択されます。

GPT160 コンペアマッチ A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、GPT16 イベント要因 A 信号を出力します。

GPT16 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

図 20.106　　ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

20.3.8　　同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

20.3.8.1　　ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

GTCNT 同期セット／クリア機能が GTCR.SSCEN ビットで有効な場合、GTCR.SSCGRP [1:0]ビットの同じグループで設定されたチャネルの GTCNT レジスタは同時に書き込み可能です。

相補 PWM モードでは、GTCNT への同時書き込みは無効です。

GTSECR レジスタの SSCE ビットまたは SSCD ビットのどちらかが 1 の場合、GTSECSR レジスタで選択されたチャネルの GTCR.SSCEN ビットが 0 または 1 に設定され､複数のチャネル上での GTCNT 同期セット／クリア機能が同時に有効または無効になります。

カウント動作のクロックが各チャネルの GTCR.TPCS[3:0]ビットにより選択されるので、同期動作（カウントスタート／ストップ／クリア）を実行する各チャネルのクロック周期が他と異なる場合、チャネルごとの同期動作タイミングは全く同一ではありません。

図 20.107 にソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。図 20.108 にソフトウェアによる位相スタートの動作例を示します。図 20.109、図 20.110、図 20.111 に異なるカウント周期の同時スタート／ストップ／クリアの動作例を示します。

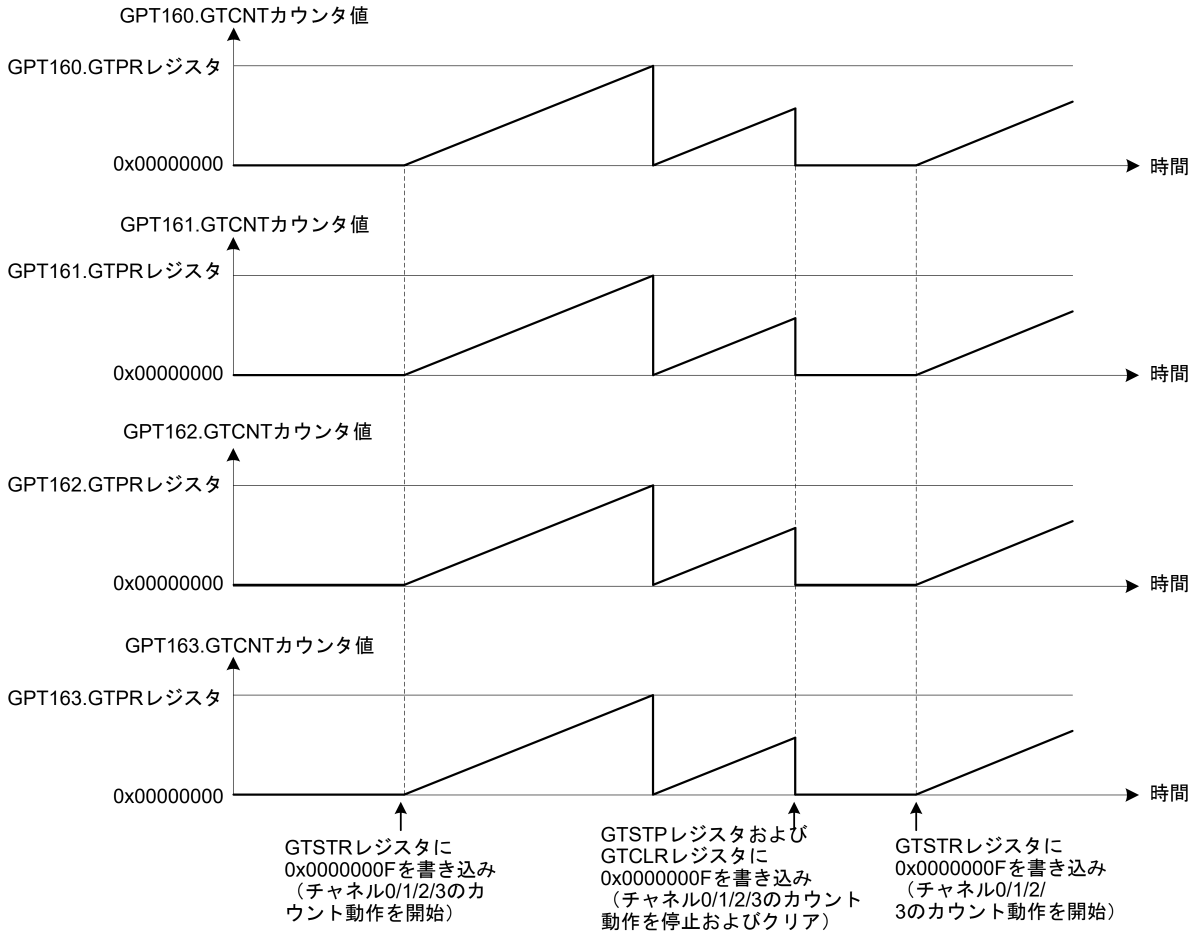


図 20.107 ソフトウェアによる同時スタート／ストップ／クリアの動作例（カウント周期（GTPR レジスタ値）が同一のとき）

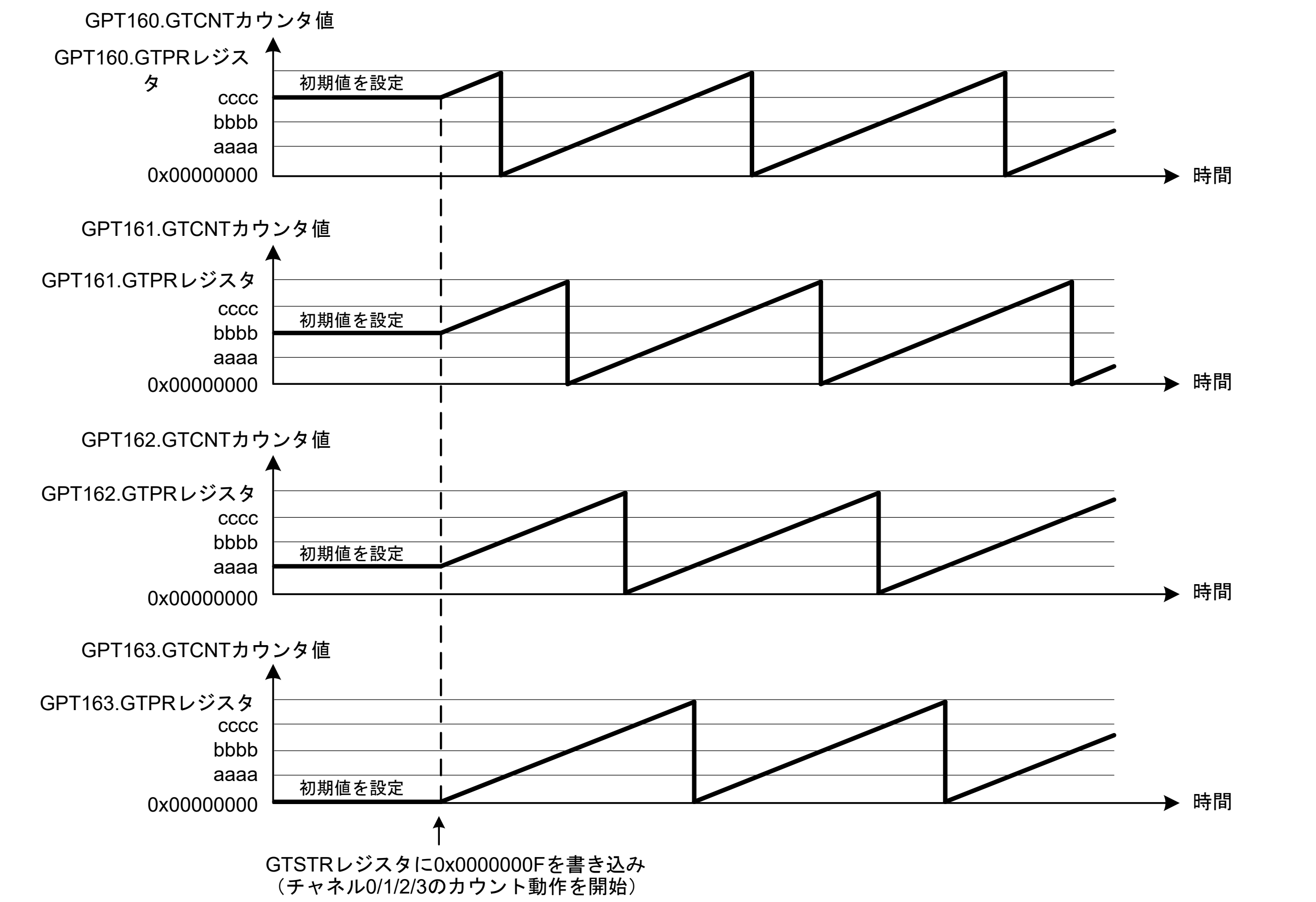


図 20.108　　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

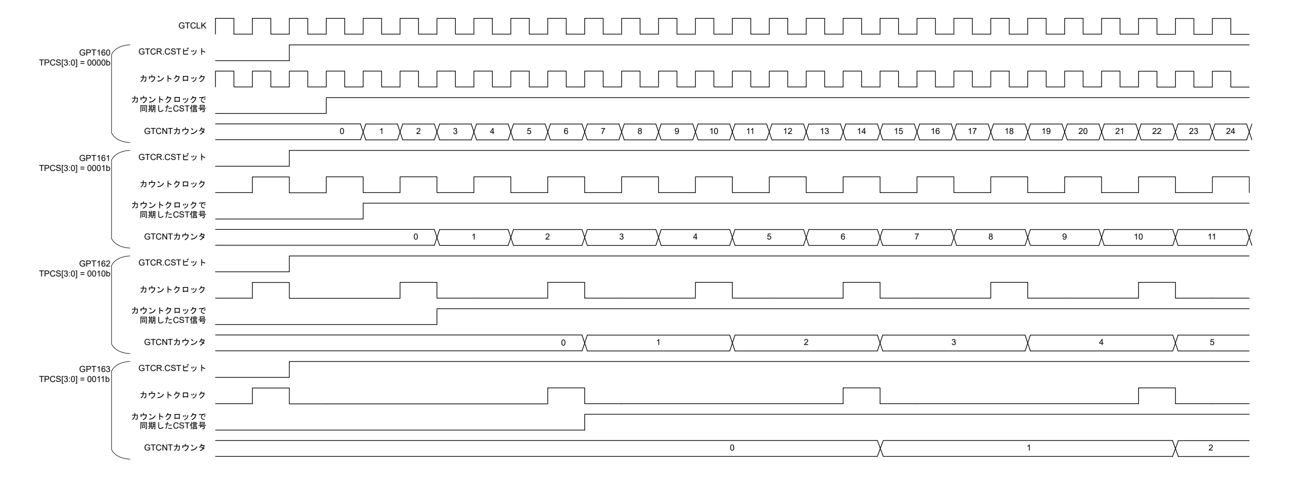


図 20.109　　ソフトウェアによる同時スタートの動作例（異なるカウント周期）

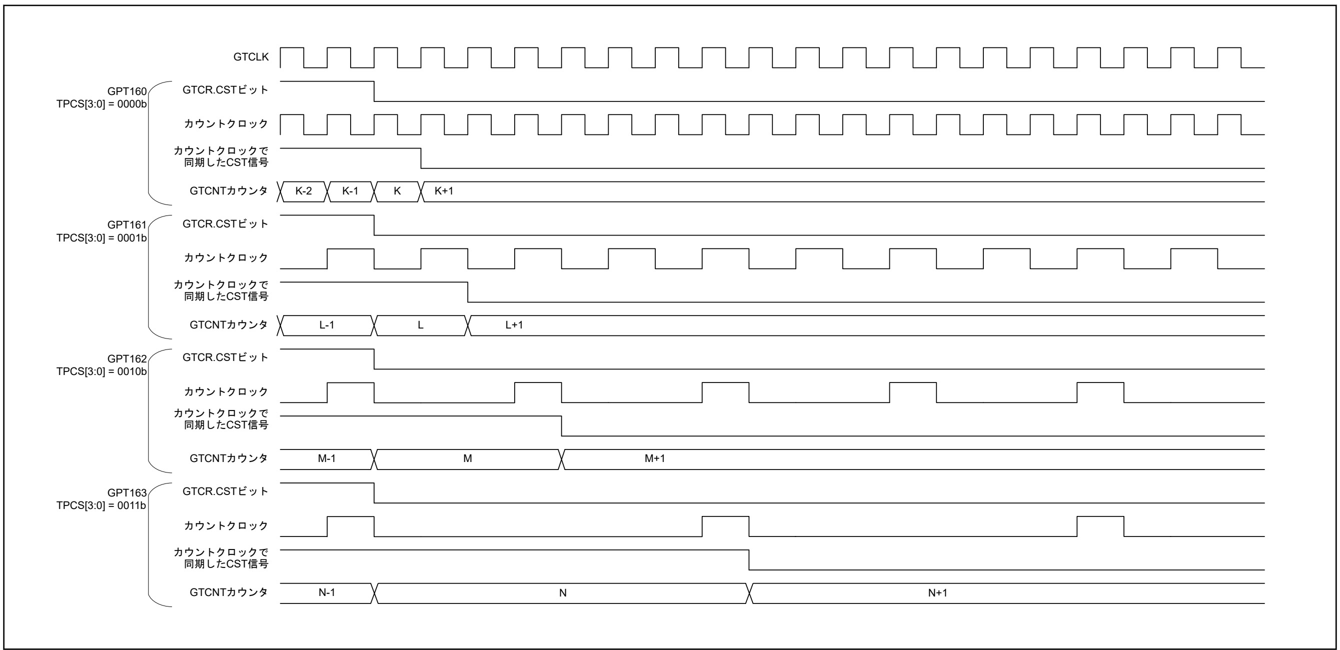


図 20.110　ソフトウェアによる同時ストップの動作例（異なるカウント周期）

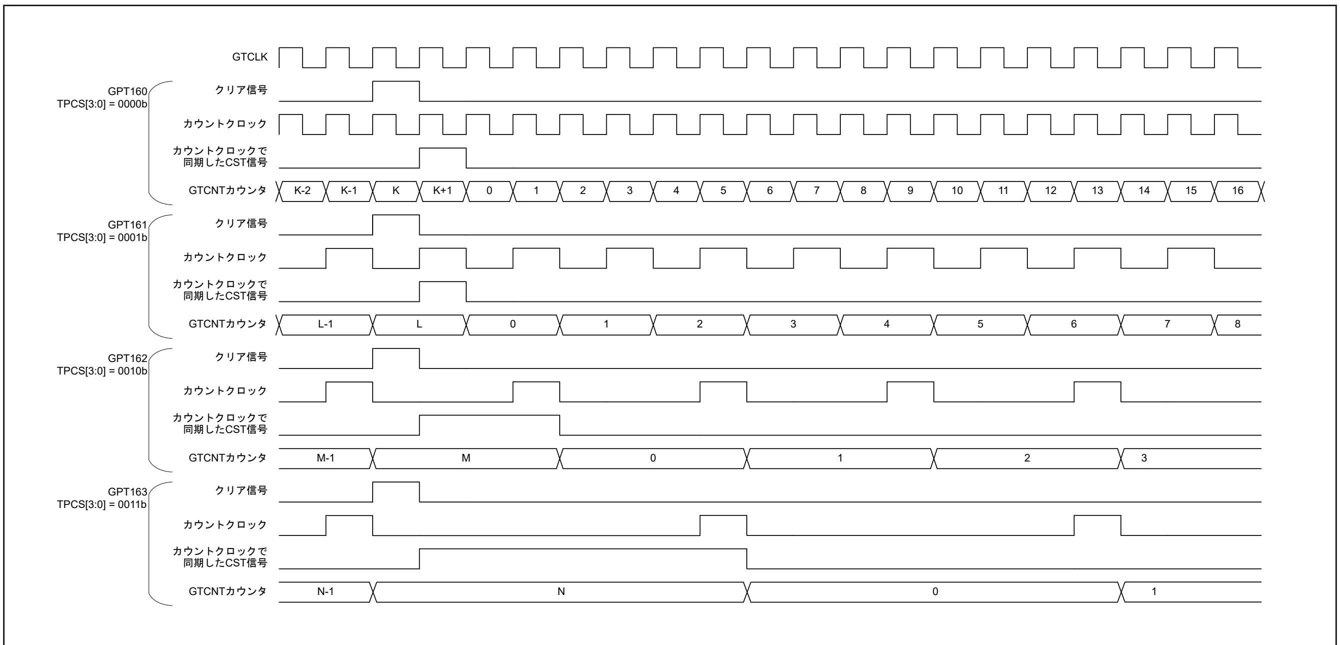
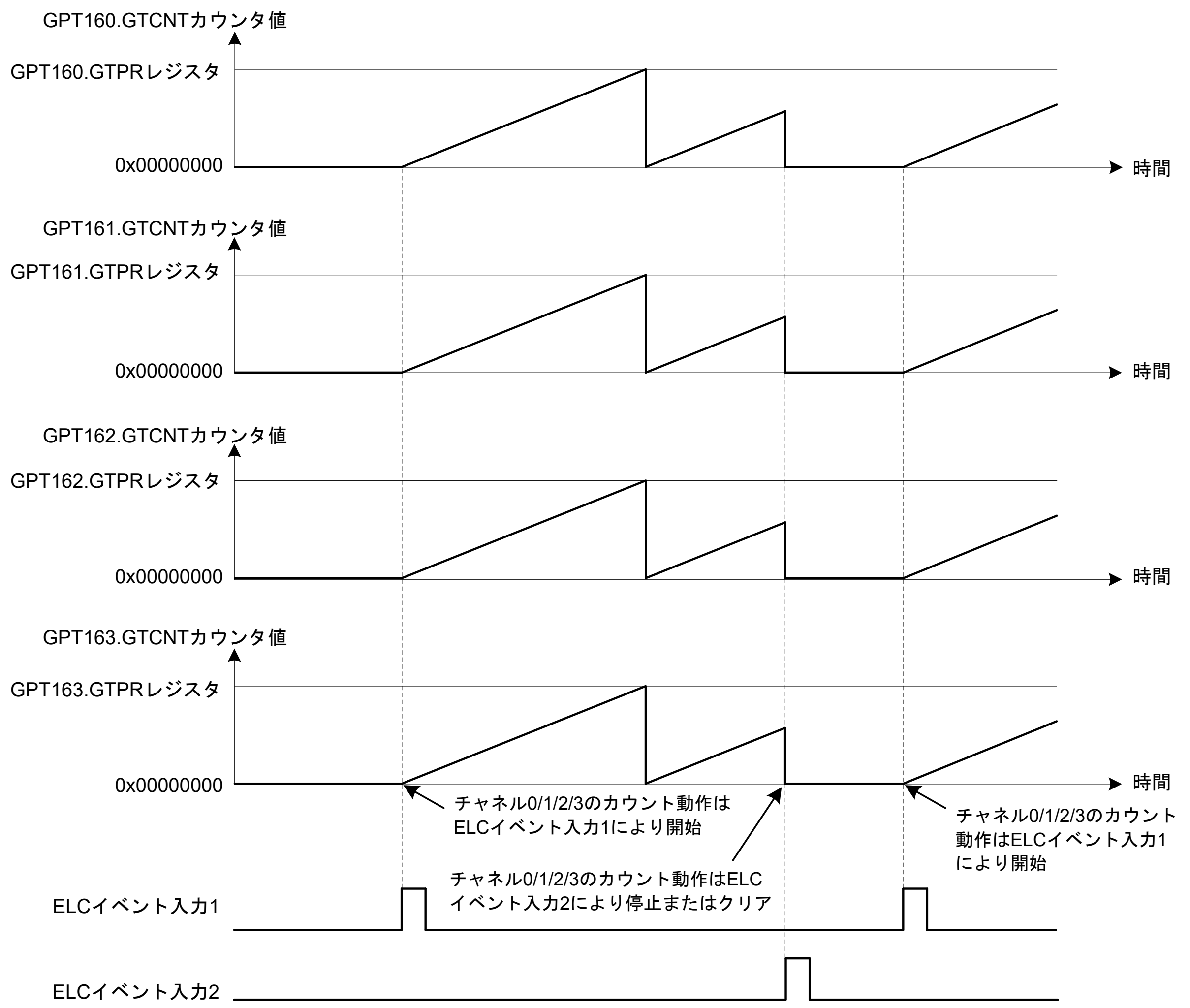


図 20.111　ソフトウェアによる同時クリアの動作例（異なるカウント周期）

20.3.8.2　ハードウェアによる同期動作

ハードウェア要因により、複数のチャネルのカウンタを同時にスタート、ストップ、クリアすることができます。同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOCnA 端子入力と GTIOCnB 端子入力による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで可能です (n = 0〜3)。

図 20.112 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。表 20.50 に設定例を示します。



注.　ELC イベント入力 1：ELC_GPTA イベント入力
ELC イベント入力 2：ELC_GPTB イベント入力

図 20.112　ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

表 20.50　ハードウェア要因による同時スタート設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.112 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.112 では、GTUDDTYC.UDF および UD ビットに 11b を設定してから、GTUDDTYC.UDF および UD ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.112 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.112 では GTSSR.SSELCA = 1

表 20.50　　ハードウェア要因による同時スタート設定例 (2/2)

No.	手順名	説明
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.112 では GTPSR.PSELCB = 1
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 20.112 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 20.112 では ELC_GPTA 入力と ELC_GPTB 入力を設定します。

20.3.8.3　　チャネル間連携による同期クリア動作

コンペアマッチ、インプットキャプチャ、のこぎり波のアップカウントオーバーフロー、のこぎり波のダウンカウントオーバーフロー、GTCSR レジスタの GTIOCnA／GTIOCnB 端子入力の選択によるチャネルのカウンタクリア時に、他のチャネルのカウンタも同時にクリアできます。

GTCLR レジスタ、外部トリガ入力、および ELC 入力によるカウンタクリアは、同じカウンタクリア要因を同期クリアの対象チャネルに設定している場合に、同期クリアとして実行できます。そのため、これらの要因はチャネル間連携による同期クリア動作用に準備されていません。

同期クリア要因を発生させるチャネルと、同期クリアするチャネルを、GTCR.SSCGRP[1:0] ビットで同じ同期セット／クリアグループに設定してください。

「20.3.8.1. ソフトウェアによる同期動作」の同期動作と同様に、GTCR.TPCS[3:0] ビットで選択したカウントクロックがチャネルごとに異なる場合、同期クリア動作を正確に同じタイミングで実行することはできません。図 20.111 のソフトウェアによる同期クリア動作例と同様に、カウントクロックがチャネルごとに異なる場合、同期クリア要因が各チャネルのカウントクロックに同期してからカウンタがクリアされます。

GTSECR レジスタの SSCE ビットまたは SSCD ビットのどちらかが 1 の場合、GTSECSR レジスタで選択されたチャネルの GTCR.SSCEN ビットが 0 または 1 に設定され、複数のチャネル上での GTCNT 同期セット／クリア機能が同時に有効または無効になります。

表 20.51 に同期クリア要因のレジスタ設定を示します。図 20.113 にチャネル間連携による同期クリアの動作例を示します。

表 20.52 と表 20.53 にチャネル間連携による同期クリア動作の設定例を示します。

表 20.51　　同期クリア要因のレジスタ設定

チャネル間連携による同期クリア要因	設定レジスタ	設定値
GTCCRA レジスタのコンペアマッチ／インプットキャプチャ	GTINTAD.SCFA	1b
	GTCSR.CSCMSC[2:0]	001b
GTCCRB レジスタのコンペアマッチ／インプットキャプチャ	GTINTAD.SCFB	1b
	GTCSR.CSCMSC[2:0]	010b
GTCCRC レジスタのコンペアマッチ	GTINTAD.SCFC	1b
	GTCSR.CSCMSC[2:0]	011b
GTCCRD レジスタのコンペアマッチ	GTINTAD.SCFD	1b
	GTCSR.CSCMSC[2:0]	100b
GTCCRE レジスタのコンペアマッチ	GTINTAD.SCFE	1b
	GTCSR.CSCMSC[2:0]	101b
GTCCRF レジスタのコンペアマッチ	GTINTAD.SCFF	1b
	GTCSR.CSCMSC[2:0]	110b
のこぎり波アップカウントのオーバーフロー	GTINTAD.SCFPO	1b
のこぎり波ダウンカウントのアンダーフロー	GTINTAD.SCFPU	1b
GTIOCnA/GTIOCnB 端子によるクリア	GTCR.SCGTIOC	1b

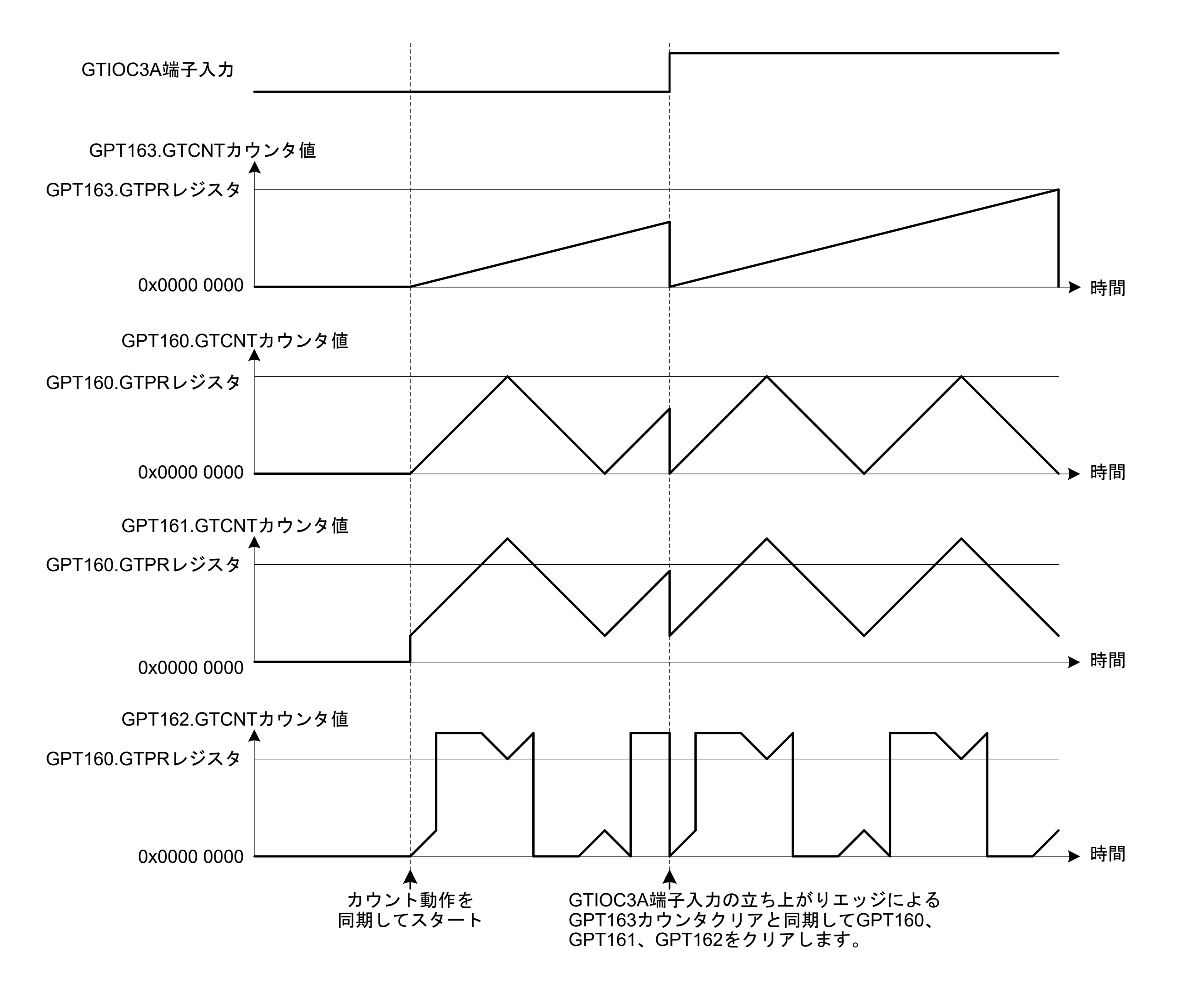


図 20.113　チャネル間連携による同期クリアの動作例（GTIOCnA/GTIOCnB 端子によるクリア）（GPT163 はのこぎり波で、カウンタは GTIOC3A の立ち上がりエッジによってクリアされます。GPT160、1、2 は相補 PWM モードです。GPT160、1、2、3 は同じ同期設定／クリアグループです）

表 20.52　チャネル間連携による同期クリア動作の設定例（GTIOCnA/GTIOCnB 端子によるクリア） (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.113 では、000b（のこぎり波 PWM モード 1）は GPT163 に設定され、1100b（相補 PWM モード 1）は GPT160 (GPT161, 2) に設定されています。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.113 では、GPT163 に対して、GTUDDTYC の下位 2 ビットが 11b に設定され、GTUDDTYC の下位 2 ビットは 01b（アップカウント）に設定されています。
3	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	各チャネルの GTPR レジスタに周期を設定します。 相補 PWM モードでは、マスタチャネルの GTPR で周期を設定します。
5	カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。
6	チャネル間連携の同期クリア設定（ソースチャネル）	同期クリアを許可するために、チャネル間連携の同期クリアのソースチャネルにおいて、GTINTAD レジスタ、GTCSR.CSCMSC[2:0]ビット、GTCR.SCGTIOC ビットを設定します。 相補 PWM モードでは、マスタチャネルの GTINTAD を設定します。 図 20.113 では、GPT163.GTCR.SCGTIOC ビットは 1 です。

表 20.52　　チャネル間連携による同期クリア動作の設定例（GTIOCnA/GTIOCnB 端子によるクリア） (2/2)

No.	ステップ名	説明
7	チャネル間連携の同期クリア設定（クリアチャネル）	チャネル間連携の同期クリアのクリアチャネルの GTCSR.CSCMSC[2:0]ビットを設定して同期カウンタクリアグループによるカウンタクリアを選択します。 相補 PWM モードでは、マスタチャネルの GTCSR を設定します。 図 20.113 では、GPT160 の GTCSR.CSCMSC[2:0]ビットは 111b です。
8	チャネル間連携の同期クリアのグループ設定	チャネル間連携の同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCGRP[1:0]ビットに同じ値を設定し、これらのチャネルを同じ同期セット／クリアグループに設定します。 相補 PWM モードでは、マスタチャネルの GTCR を設定します。
9	チャネル間連携の同期クリア許可	チャネル間連携の同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCEN ビットを設定して同期クリアを許可します。

表 20.53　　チャネル間連携による同期クリア動作の設定例（GTIOCnA/GTIOCnB 端子を使用した GTCCRA インプットキャプチャによるクリア）

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。
3	カウントクロックの選択	対応するチャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	対応するチャネルの GTPR レジスタに周期を設定します。 相補 PWM モードでは、マスタチャネルの GTPR で周期を設定します。
5	カウンタ初期値設定	対応するチャネルの GTCNT カウンタに初期値を設定します。
6	チャネル間連携の同期クリア設定（ソースチャネル）	GTIOCnA/B 端子を使用するインプットキャプチャ要因を GTICASR に設定し、GTICASR と同じ要因をカウントクリア要因として GTCSR に設定します。また、GTINTAD.SCFA ビット = 1b、GTCSR.CSCMSC[2:0]ビット = 001b を設定し、GTCCRA インプットキャプチャによって同期クリア要因を有効にします。 相補 PWM モードでは、マスタチャネルの GTINTAD を設定します。
7	チャネル間連携の同期クリア設定（クリアチャネル）	チャネル間連携同期クリアのクリアチャネルの GTCSR.CSCMSC[2:0]ビットを 111b に設定し、同期カウンタクリアグループによるカウンタクリアを選択します。 相補 PWM モードでは、マスタチャネルの GTCSR を設定します。
8	チャネル間連携の同期クリアのグループ設定	チャネル間連携同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCGRP[1:0]ビットに同じ値を設定し、これらを同じ同期セット／クリアグループに設定します。 相補 PWM モードでは、マスタチャネルの GTCR を設定します。
9	チャネル間連携の同期クリア許可	同期クリアを許可するために、チャネル間連携の同期クリアのソースチャネルとクリアチャネルにおける GTCR.SSCEN ビットを設定します。

20.3.8.4　　チャネル間連携によるインプットキャプチャ動作

コンペアマッチ、インプットキャプチャ、のこぎり波アップカウントオーバーフロー、のこぎり波ダウンカウントアンダーフロー、三角波と相補 PWM モードの山／谷、およびカウントクロックを、他チャネルの GTCCRm レジスタ（m = A または B）のインプットキャプチャ要因として使用できます。インプットキャプチャ要因が発生するチャネルの GTICCR レジスタで、チャネル間連携によるインプットキャプチャ要因を設定できます。キャプチャされるチャネルの GTICmSR.mSOC ビット（m = A または B）で、他のチャネル要因によるインプットキャプチャを許可できます。インプットキャプチャ要因が発生するチャネルとキャプチャされるチャネルは、GTICCR.ICmGRP[1:0]ビット（m = A または B）によって同じインプットキャプチャグループに設定されます。

図 20.114 にチャネル間連携によるインプットキャプチャ動作の例を示し、表 20.54 にチャネル間連携によるインプットキャプチャ動作の設定例を示します。

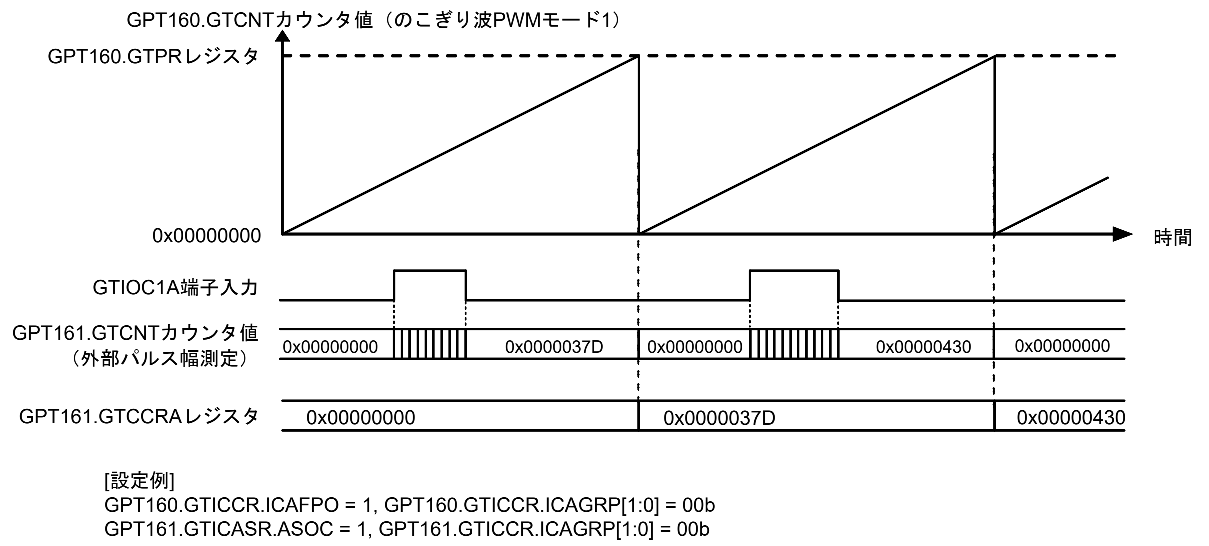


図 20.114 チャネル間連携によるインプットキャプチャ動作の例（チャネル 1 はチャネル 0 のオーバーフローによりキャプチャ）

表 20.54 GTIOCnA/GTIOCnB 端子を使用したチャネル間連携によるインプットキャプチャ動作の設定例

番号	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.114 では、GTCR.MD[2:0] = 000b または GTCR.MD[3:0] = 0000b（のこぎり波 PWM モード 1）を GPT160 に設定します。
2	外部パルス幅測定機能設定	アップカウント動作の GTUPSR.USILVL [3:0]ビットおよびダウンカウント動作の GTDNSR.DSILVL[3:0]ビットによる外部パルス幅測定機能を許可し、測定する入力端子とレベルを選択します。 図 20.114 の例では、GTUPSR.USILVL[3:0] = 0011b（GTIOCnA 端子が 1 のとき、アップカウント）
3	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を設定します。 図 20.114 では、GPT160 に対して、GTUDDTYC レジスタの下位 2 ビットが 11b に設定され、GTUDDTYC レジスタの下位 2 ビットは 01b（アップカウント）に設定されています。
4	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
5	周期設定	対応するチャネルの GTPR レジスタに周期を設定します。 相補 PWM モードでは、マスタチャネルの GTPR で周期を設定します。
6	カウンタ初期値設定	対応するチャネルの GTCNT カウンタに初期値を設定します。
7	カウンタクリア要因をチャネル間連携インプットキャプチャに設定（クリアされるチャネル）	チャネル間連携によるインプットキャプチャによってクリアされるチャネルの GTCSR.CSCMSC[2:0]ビットを 001b、010b に設定し、カウンタクリア要因としてインプットキャプチャを選択します。 図 20.114 では、GPT161.GTCSR.CSCMSC[2:0]ビットは 001b です。
8	チャネル間連携インプットキャプチャ設定（ソースチャネル）	チャネル間連携のインプットキャプチャのソースチャネルの GTICCR レジスタを使用して、インプットキャプチャ要因を設定します。 図 20.114 では、GPT160.GTICCR.ICAFPO ビットは 1b です。
9	チャネル間連携インプットキャプチャ設定（キャプチャされるチャネル）	他のチャネルの要因による GTCCRm レジスタ (m = A, B) へのインプットキャプチャを許可するために、キャプチャチャネルの GTICmSR.mSOC ビット (m = A, B) を設定します。 図 20.114 では、GPT161.GTICASR.ASOC ビットは 1b です。
10	チャネル間連携インプットキャプチャのグループ設定	同じ値をチャネル間連携のインプットキャプチャのソースチャネルとクリアチャネルにおける GTICCR.ICmGRP[1:0]ビット (m = A, B) ビットに設定し、同じインプットキャプチャグループにそれを設定します。

20.3.9　PWM 出力動作例

(1)　同期 PWM 出力

GPT は、最大 4 チャネルの 4 × 2 相の連動した PWM 波形を出力します。

図 20.115 に、4 チャネルをのこぎり波 PWM モード 1 で同期動作させて、8 相の PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

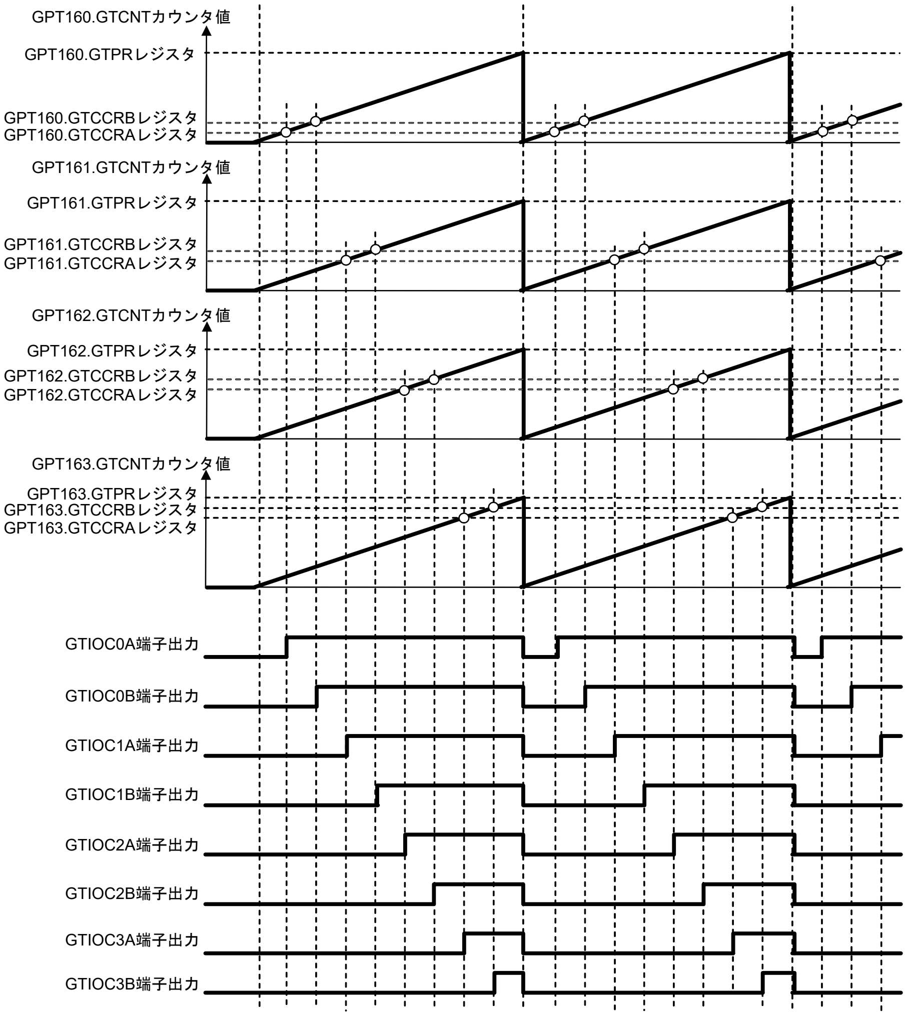


図 20.115　同期 PWM 出力例

(2)　のこぎり波 3 相相補 PWM 出力

図 20.116 に、3 チャネルをのこぎり波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

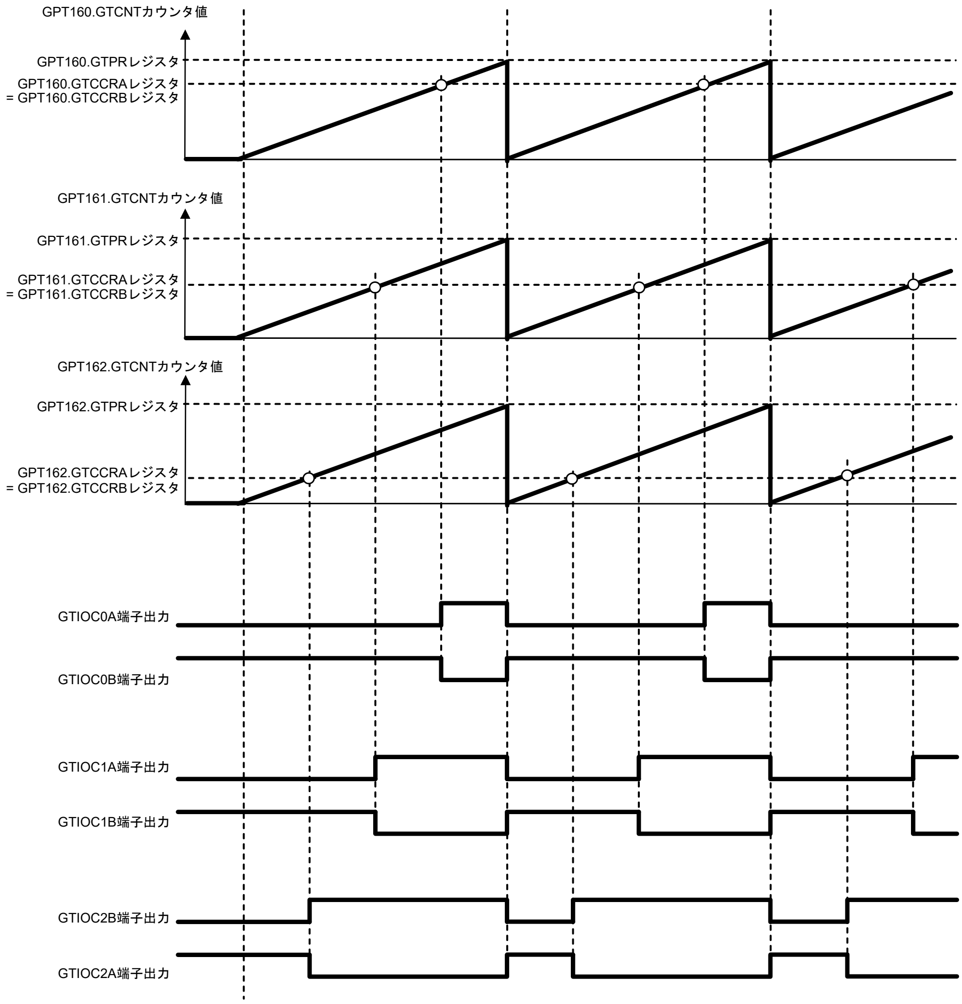


図 20.116　　のこぎり波 3 相相補 PWM 出力例

(3)　のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.117 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

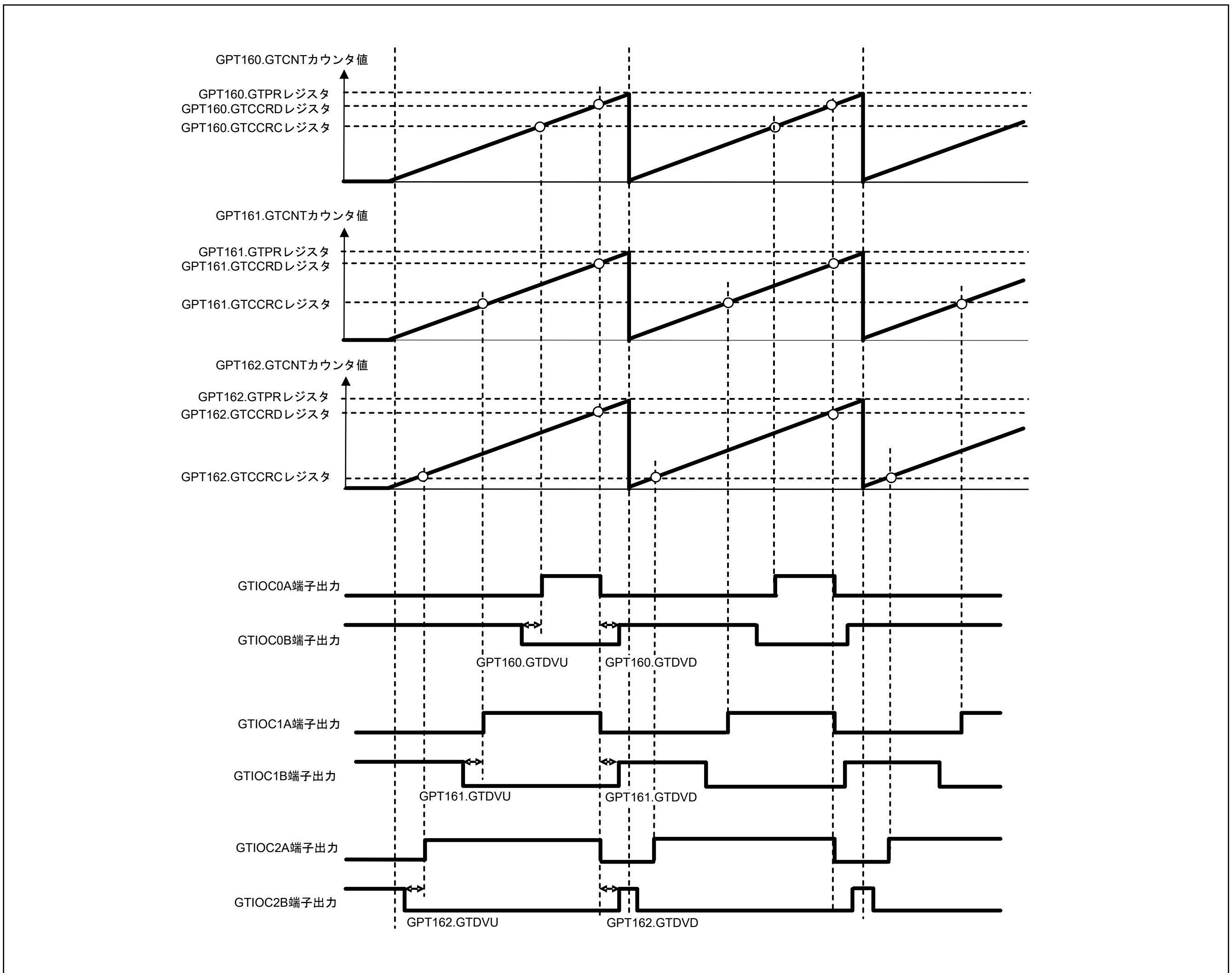


図 20.117　　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

(4)　三角波 3 相相補 PWM 出力

図 20.118 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

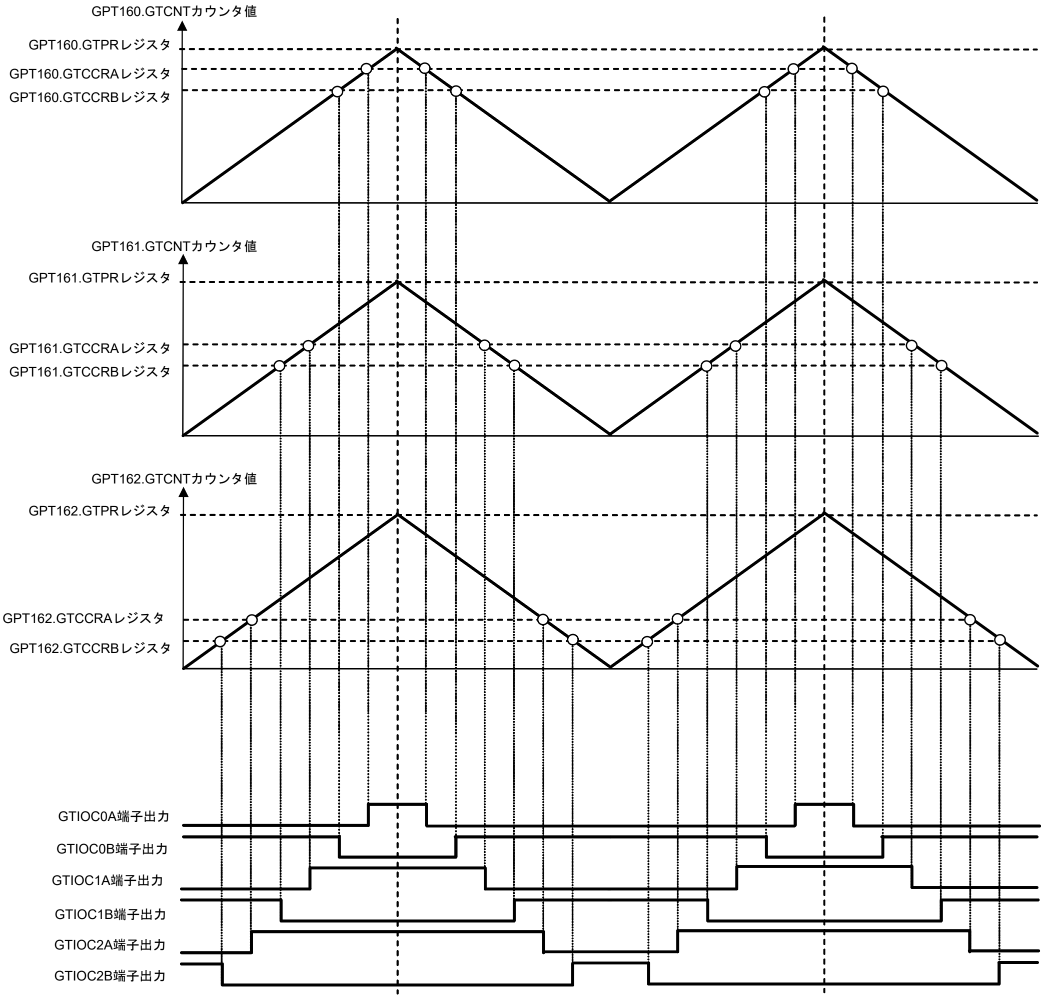


図 20.118　　三角波 3 相相補 PWM 出力例

(5)　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.119 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

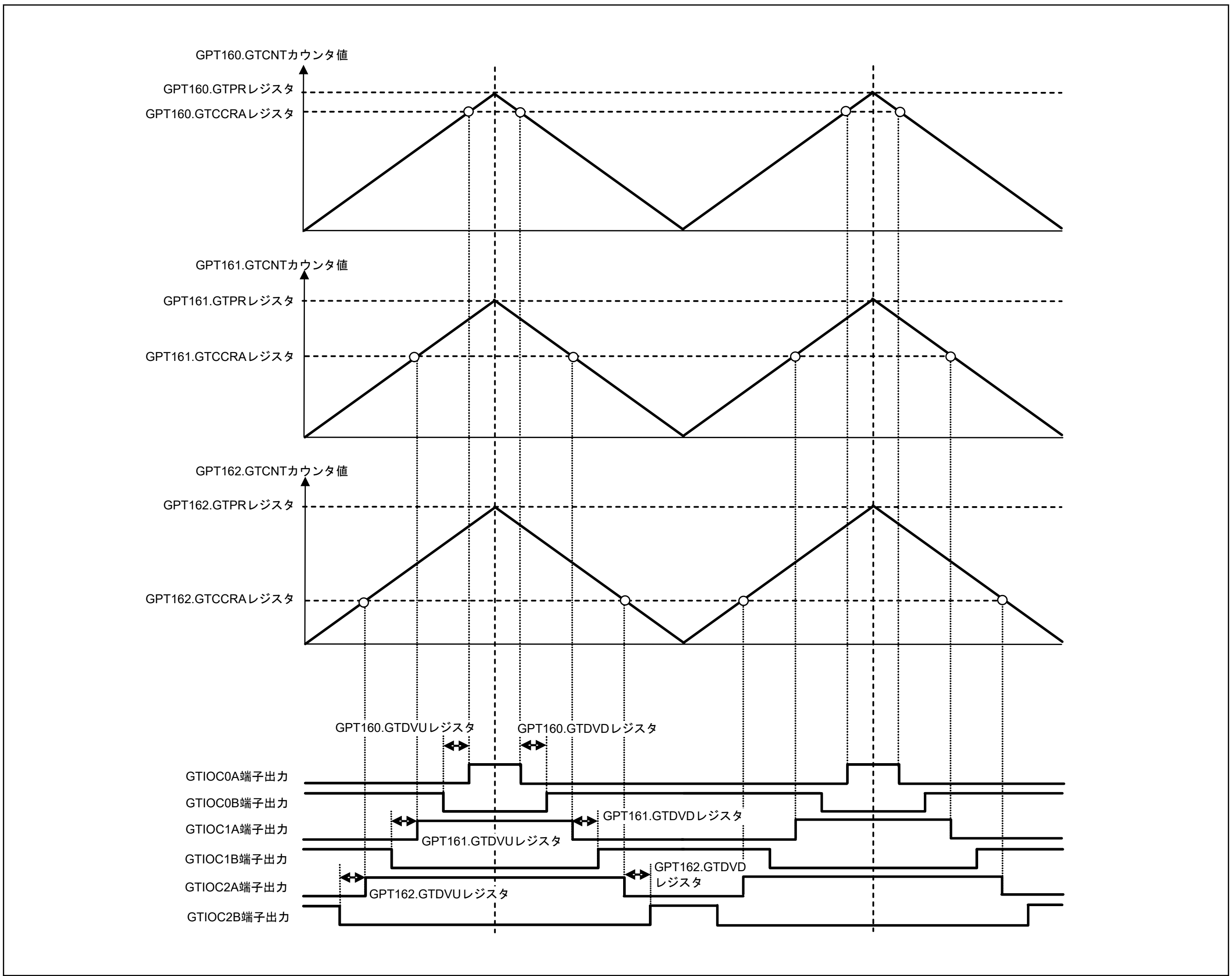


図 20.119　　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

(6)　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.120 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

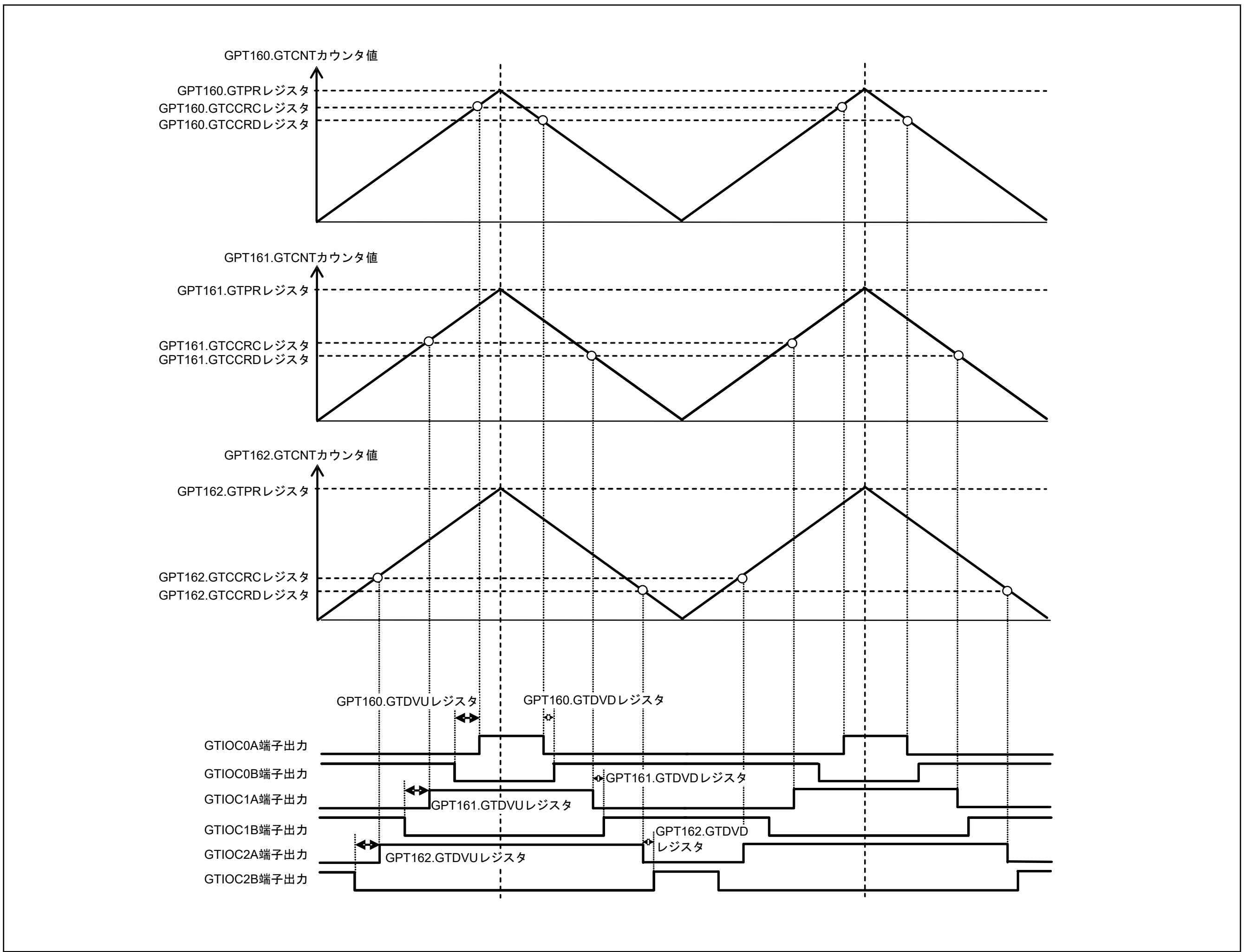


図 20.120　　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

20.3.10　　周期計数機能

GTPC レジスタを設定すると、周期の終了を計数できます。

GTPC.PCEN ビットが 0 の場合、計数する周期の数は GTPC.PCNT カウンタに設定します。PCEN ビットが 1 のとき、PCNT カウンタを読み出せますが、書き込みはできません。PCEN ビットが 1 のとき、周期の終わりでダウンカウントが実行されます。周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止し周期計数機能を終了します。その時、GTST.PCF フラグが設定され、周期計数機能終了割り込み要求 GPTn_PC が発生します。GTPC.ASTP ビットが 1 の場合、周期計数機能が終了したときに GTCNT カウンタも同時に停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 で ASTP ビットが 1 の状態で PCEN ビットを 0 から 1 に変更した場合、GTCNT カウンタはその直後にカウントクロックで停止します。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットいずれかが 1 に設定されたとき、GTSECSR レジスタによって 1 に設定されたチャネルの PCEN ビットが、複数のチャネルの周期計数機能を許可／禁止する値に同時に設定されます。

PWM 周期計数機能の例を図 20.121 と図 20.122 に示します。

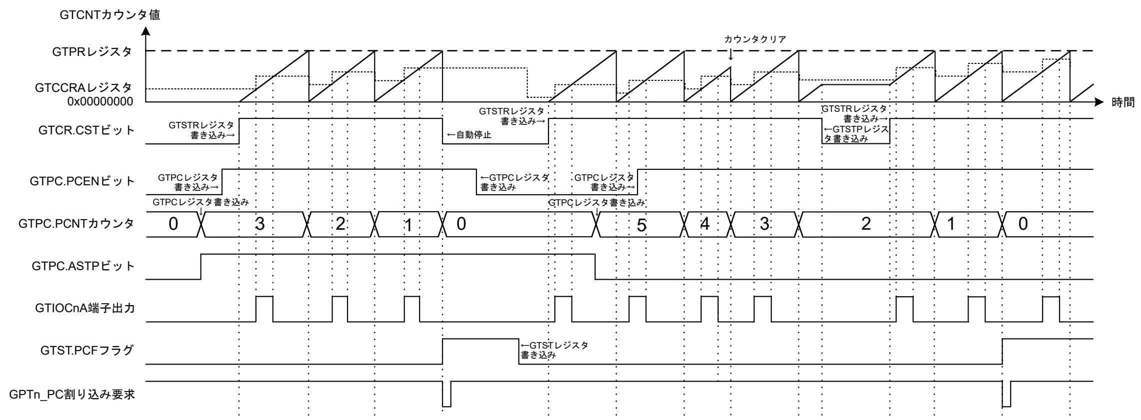
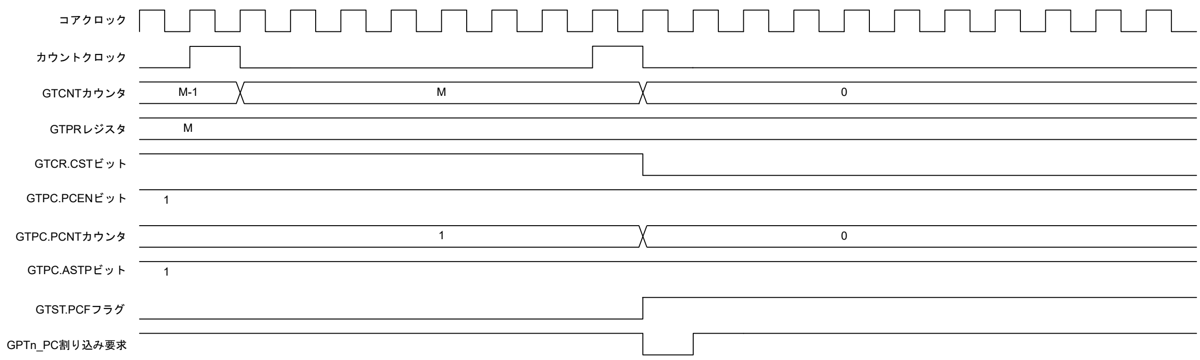


図 20.121　　PWM 周期計数機能の例（のこぎり波ワンショットパルスモード）



注.　　コアクロック：GTCLK

図 20.122　　PWM 周期計数機能の動作タイミング例（のこぎり波ワンショットパルスモード、アップカウント）

20.3.11　　位相計数機能

GTIOCnA 端子入力と GTIOCnB 端子入力 (n = 3) の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します。GTUPSR レジスタおよび GTDNSR レジスタに設定されている GTIOCnA 端子入力と GTIOCnB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作の詳細については、「20.3.1.1. カウンタの動作」を参照してください。

図 20.123〜図 20.132 に GTIOCnA 端子、GTIOCnB 端子を使用する場合の位相計数モード 1〜5 の動作例を示します。表 20.55〜表 20.64 にアップカウント／ダウンカウントの条件を、図 20.123〜図 20.132 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

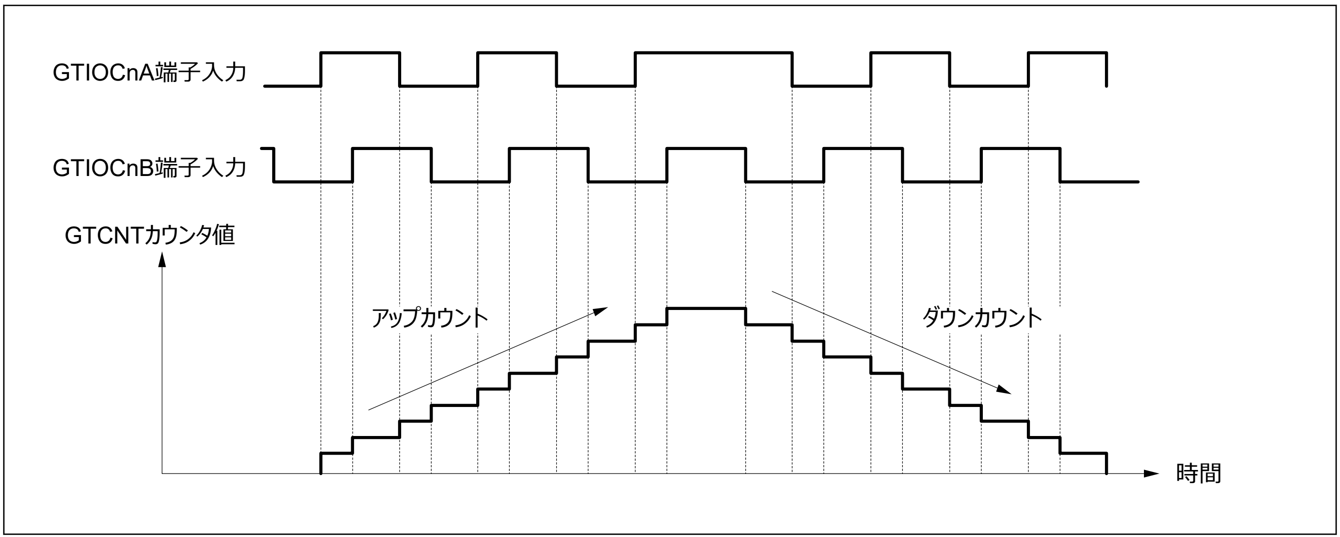


図 20.123　　位相計数モード 1 の動作例

表 20.55　　位相計数モード 1 でのアップカウント／ダウンカウントの条件

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

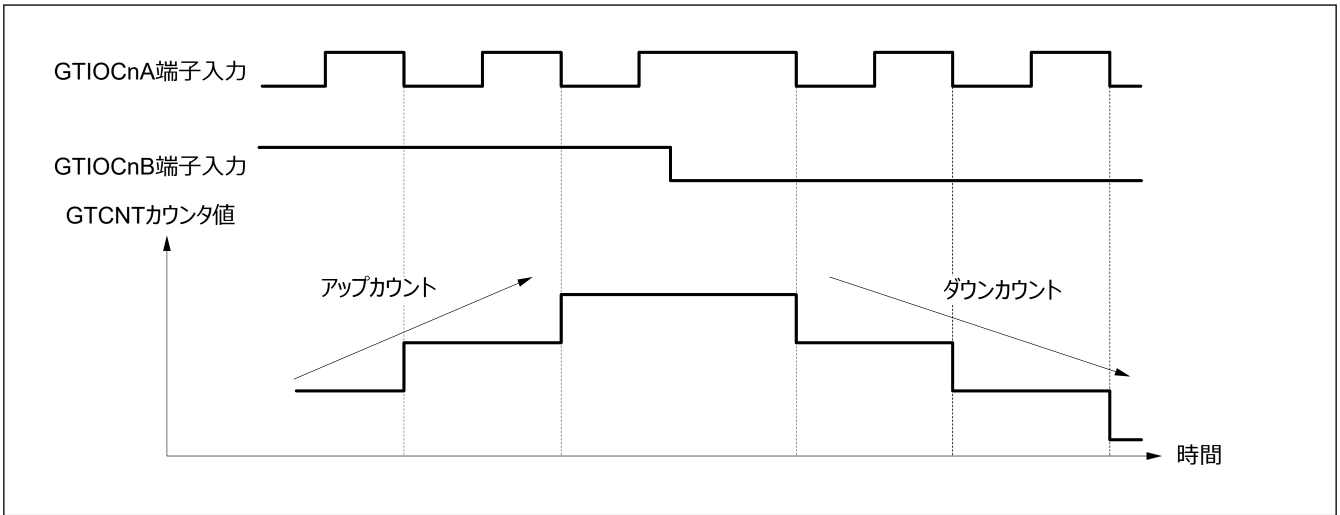


図 20.124　　位相計数モード 2 の動作例 (A)

表 20.56　　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (A)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	カウントしない	
Low	↑		
↑	High		
↓	Low	ダウンカウント	

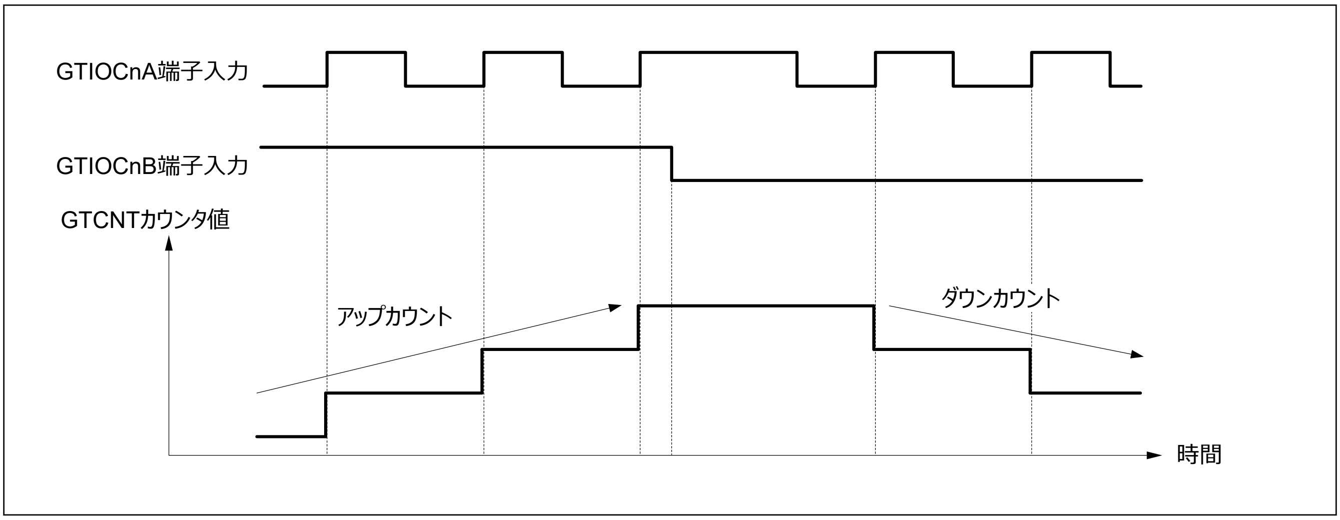


図 20.125　　位相計数モード 2 の動作例 (B)

表 20.57　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (B)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low	↓		
↑	Low	ダウンカウント	
↓	High	カウントしない	
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

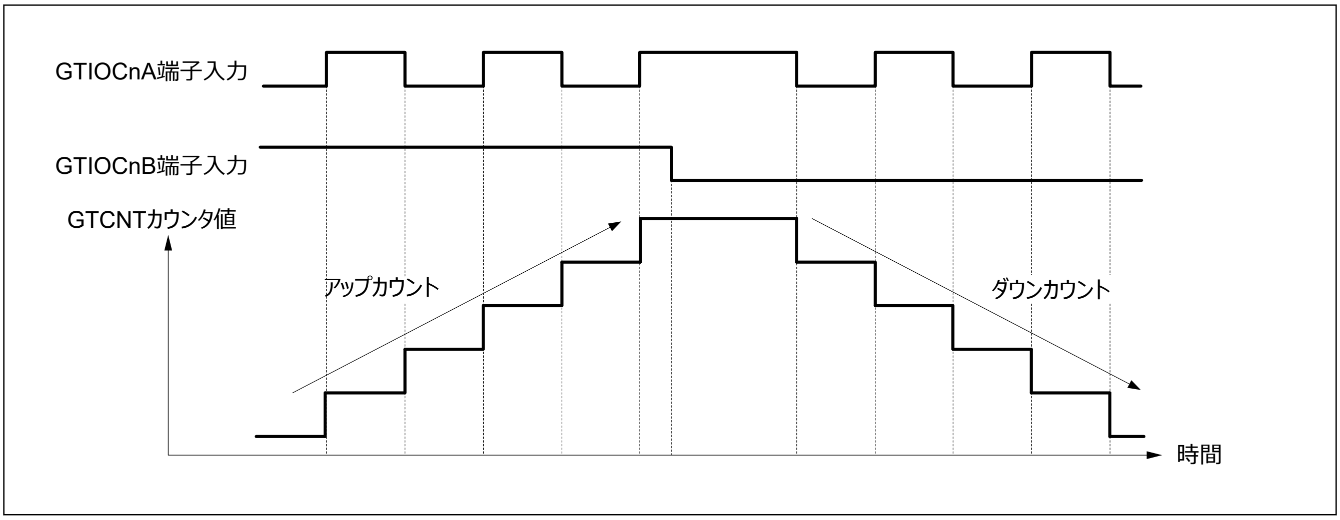


図 20.126　位相計数モード 2 の動作例 (C)

表 20.58　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (C)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low	↓		
↑	Low	ダウンカウント	
↓	High	アップカウント	
High	↓	カウントしない	
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

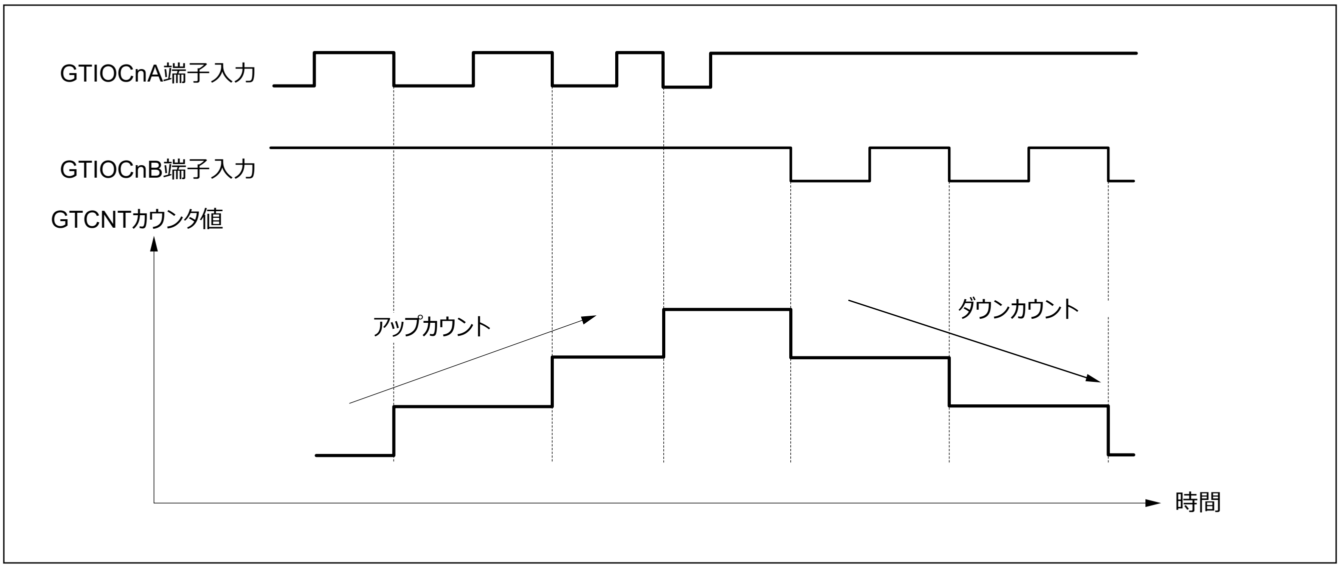


図 20.127　位相計数モード 3 の動作例 (A)

表 20.59　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (A)

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00008000
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	カウントしない	
↑	High		
↓	Low		

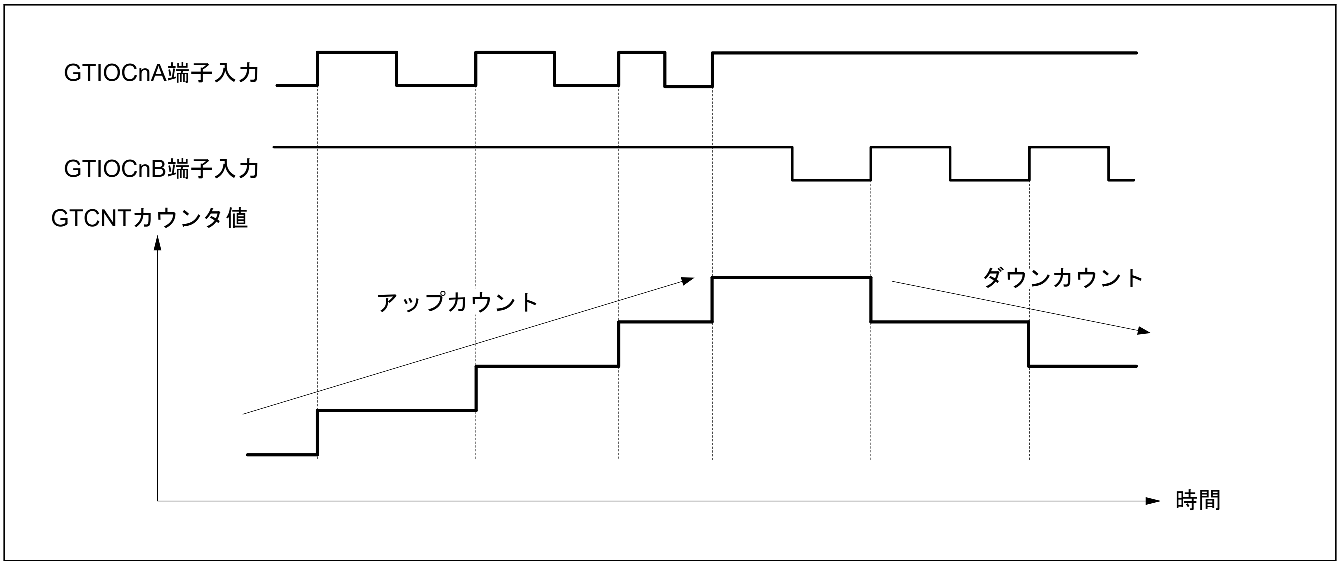


図 20.128　位相計数モード 3 の動作例 (B)

表 20.60　　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (B)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low	↓	カウントしない	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

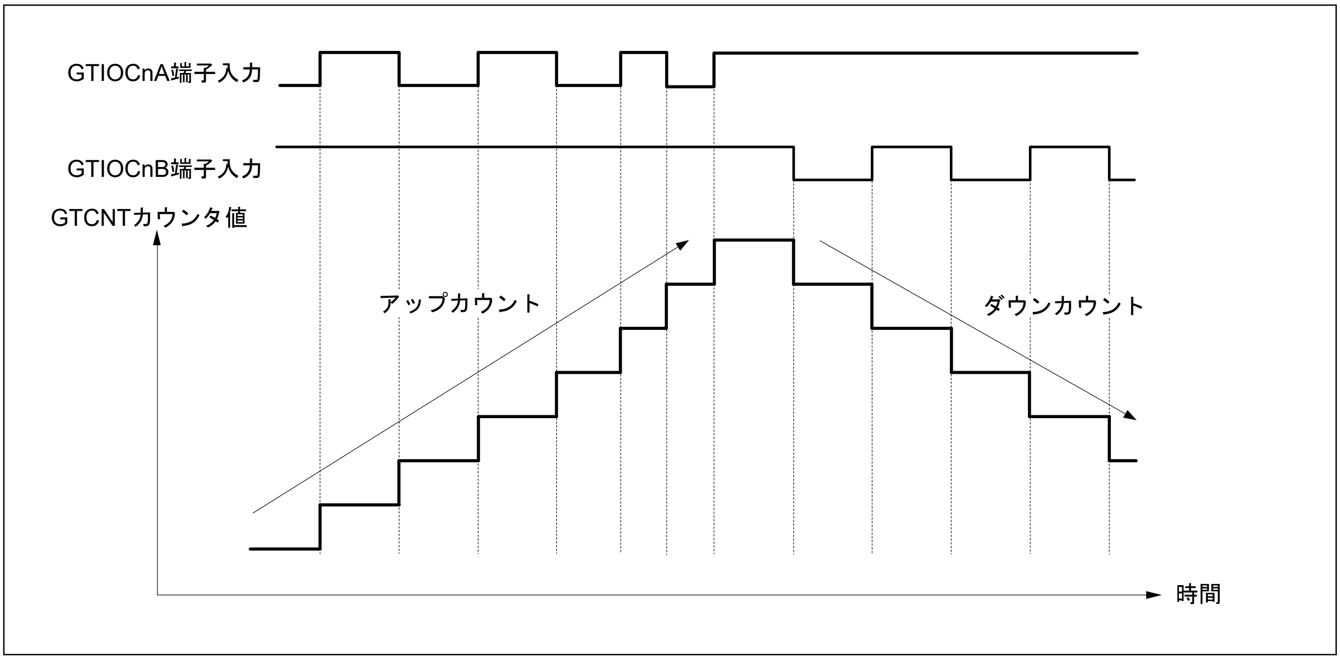


図 20.129　　位相計数モード 3 の動作例 (C)

表 20.61　　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (C)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low	↓	カウントしない	
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	カウントしない	
↑	High	アップカウント	
↓	Low	カウントしない	

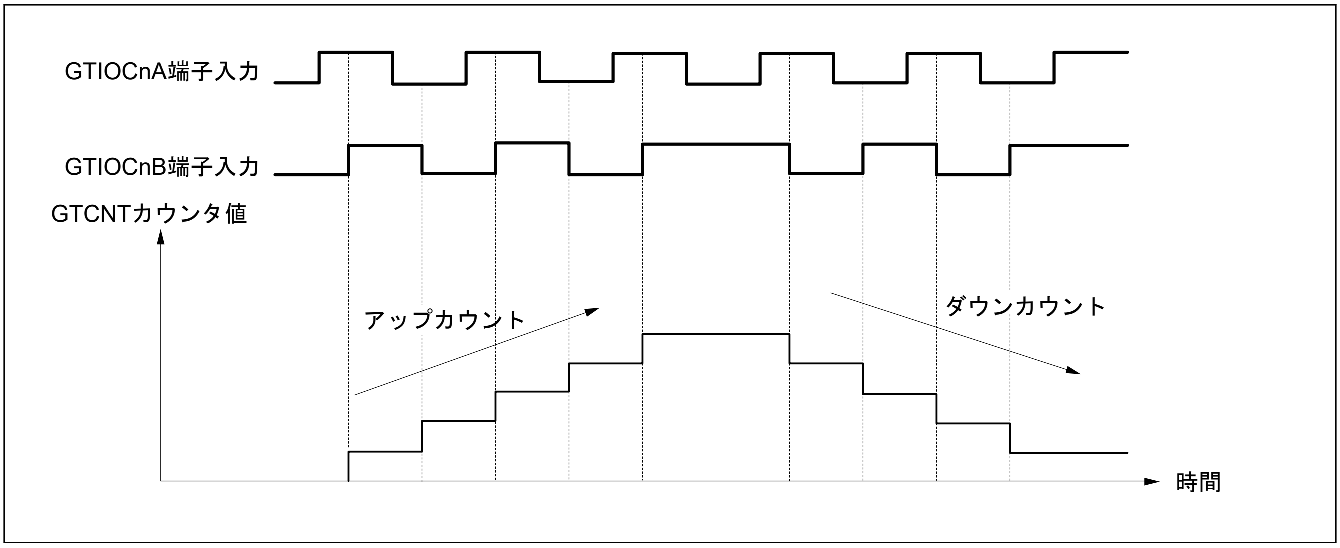


図 20.130　　位相計数モード 4 の動作例

表 20.62　　位相計数モード 4 でのアップカウント／ダウンカウントの条件

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low	↓		
↑	Low	カウントしない	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	カウントしない	
↓	Low		

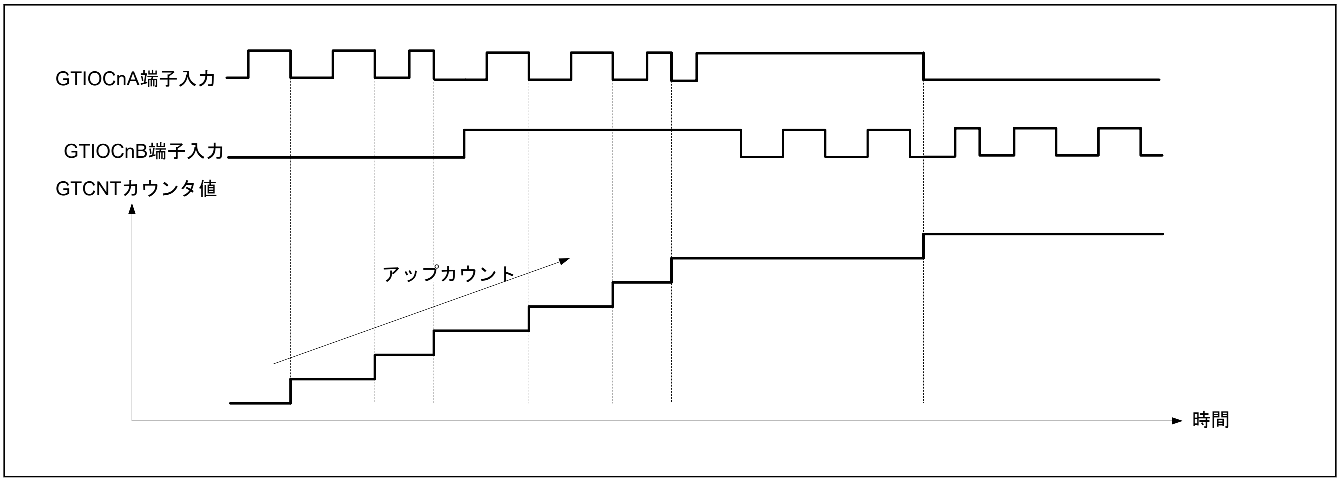


図 20.131　　位相計数モード 5 の動作例 (A)

表 20.63　　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (A)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	カウントしない	
Low	↑		
↑	High		
↓	Low	アップカウント	

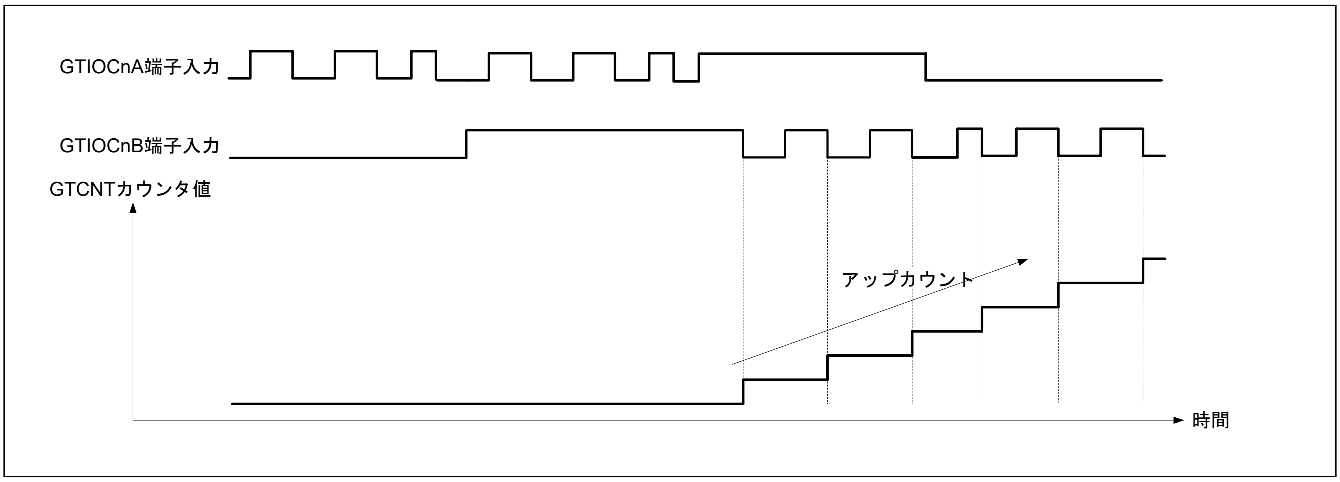


図 20.132　　位相計数モード 5 の動作例 (B)

表 20.64　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (B)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x0000C000 GTDNSR = 0x00000000
Low	↓	アップカウント	
↑	Low	カウントしない	
↓	High		
High	↓	アップカウント	
Low	↑	カウントしない	
↑	High		
↓	Low		

20.3.12　外部パルス幅測定機能

GTIOCnA 端子入力と GTIOCnB 端子入力 (n = 3)、および GTETRGA/GTETRGB 端子入力のパルス幅を計測できます。

GTCNT カウンタのアップカウントの許可／禁止設定およびパルス幅を測定する入力端子とレベルは、GTUPSR レジスタの USILVL[3:0]ビットで選択します。

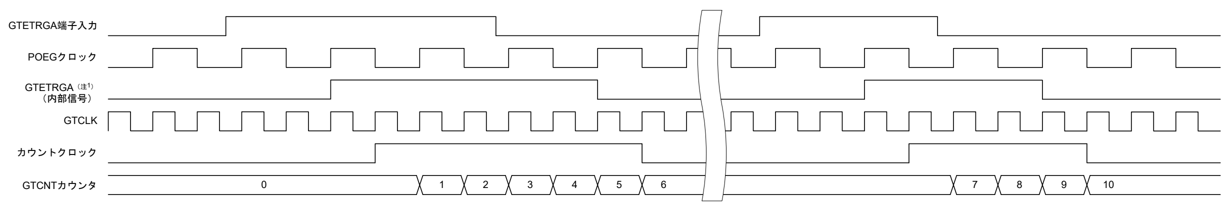
GTCNT カウンタのダウンカウントの許可／禁止設定およびパルス幅を測定する入力端子とレベルは、GTDNSR レジスタの DSILVL[3:0]ビットで選択します。

GTCNT カウンタのアップカウントとダウンカウントを同時に許可する設定は禁止です。

カウント動作は GTPR レジスタの周期で周期カウントを実行します。

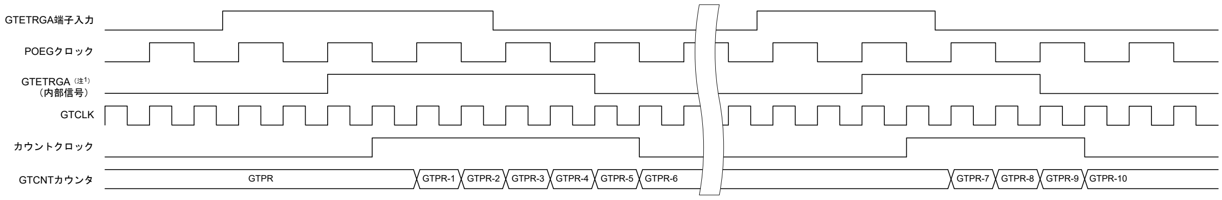
位相計数機能とパルス幅測定機能を同時に許可した場合、パルス幅測定機能は動作せず、位相計数機能が動作します。

図 20.133、図 20.134 に外部パルス幅測定機能の例を、表 20.65 に外部パルス幅測定機能の設定例を示します。



注.　POEG クロック：PCLKB
注 1.　GTETRGA 端子のデジタルノイズフィルタを POEG で使用しない場合の GPT への入力信号を示します。

図 20.133　外部パルス幅測定機能の例（アップカウント）



注.　POEG クロック：PCLKB
注 1.　GTETRGA 端子のデジタルノイズフィルタを POEG で使用しない場合の GPT への入力信号を示します。

図 20.134　外部パルス幅測定機能の例（ダウンカウント）

表 20.65　外部パルス幅測定機能の設定例

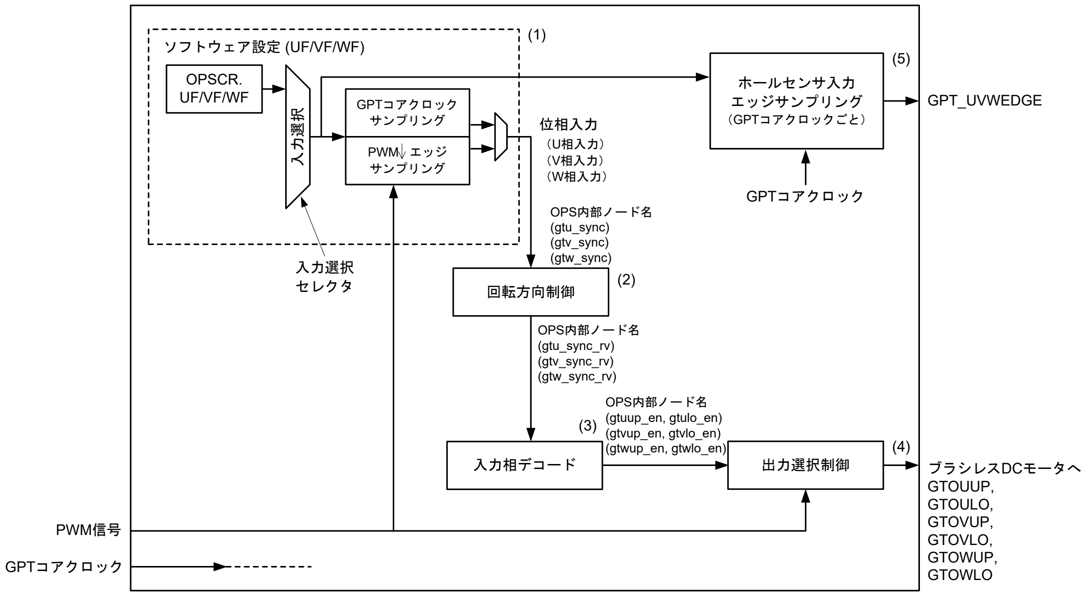
No.	ステップ名	説明
1	外部パルス幅測定機能の設定	外部パルス幅測定機能を許可し（アップカウント動作の場合は GTUPSR.USILVL[3:0] ビット、ダウンカウント動作の場合は GTDNSR.DSILVL[3:0] ビット）、測定対象の入力端子とレベルを選択します。 図 20.133 では、GTUPSR.USILVL[3:0] = 1001b（GTETRGA 端子が High の時にカウントアップ）、 図 20.134 では、GTDNSR.DSILVL[3:0] = 1001b（GTETRGA 端子が High の時にカウントダウン）
2	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	各チャネルの GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。 図 20.133 の例では、0000 0000h を設定。図 20.134 の例では、GTPR レジスタ値を設定。
5	カウント動作開始	測定対象の入力端子にパルスを入力してカウント動作を開始します。

20.3.13　出力相切り替え (GPT_OPS)

GPT_OPS は、出力位相スイッチコントロールレジスタ (OPSCR) を使ってブラシレス DC モーターを簡単に制御することができます。

GPT_OPS は、6 相モーター制御の各相（U 正相/逆相、V 正相/逆相、W 正相/逆相）のチョッパ制御またはレベル信号に使用する PWM 信号を出力します。本機能には、ソフトウェアで設定したソフトウェア設定値 (OPSCR.UF, VF, WF) と GPT164.GTIOC4A の PWM 波形を使用します。

図 20.135 に GPT_OPS 制御フローの概念図を示します。

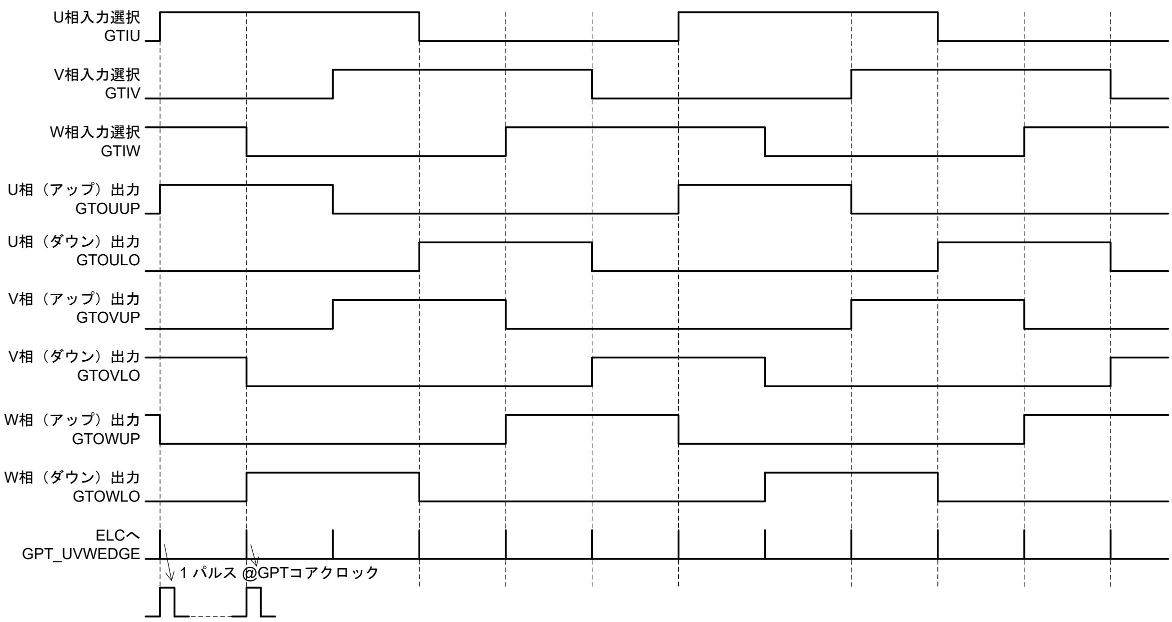


注.　GPT コアクロック：PCLKD
PWM 信号：GPT164.GTIOC4A からの PWM 信号

図 20.135　GPT_OPS 制御フロー概念図

図 20.136 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

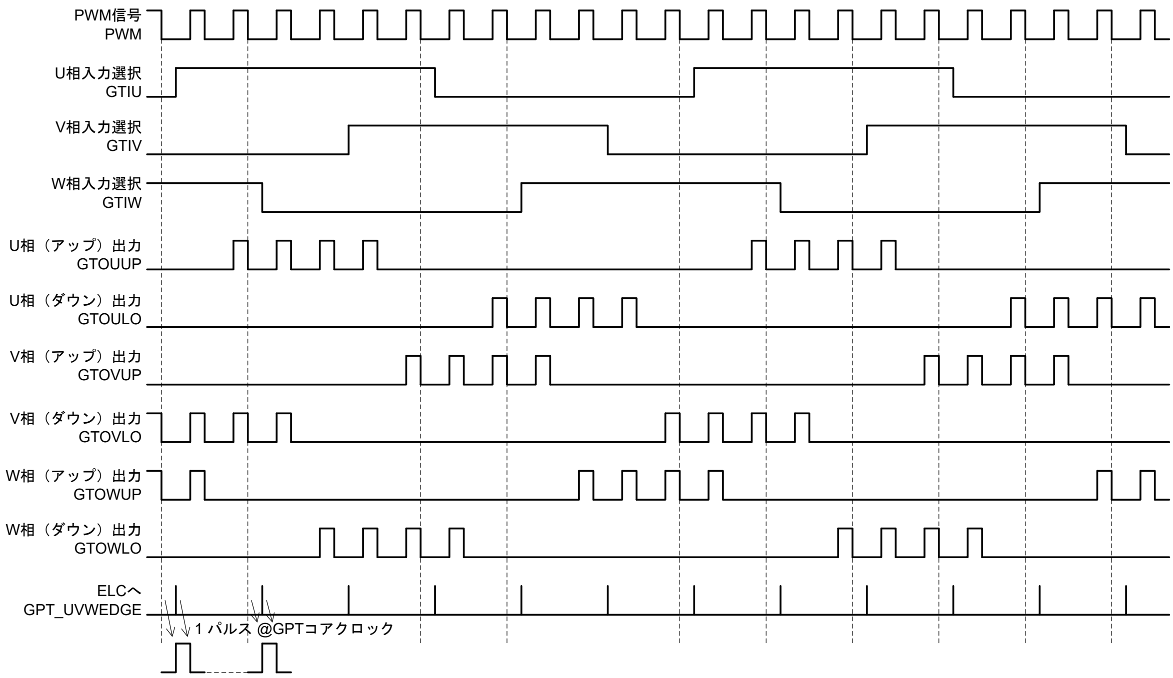
図 20.136 中の GPT_UVWEDGE 信号は、ELC へ出力する入力相エッジになります。



注.　レジスタ設定：OPSCR.ALIGN = 0, OPSCR.EN = 1, OPSCR.P = 0, OPSCR.N = 0, OPSCR.INV = 0, OPSCR.RV = 0
注.　GPT コアクロック：PCLKD

図 20.136　6 相レベル出力動作例

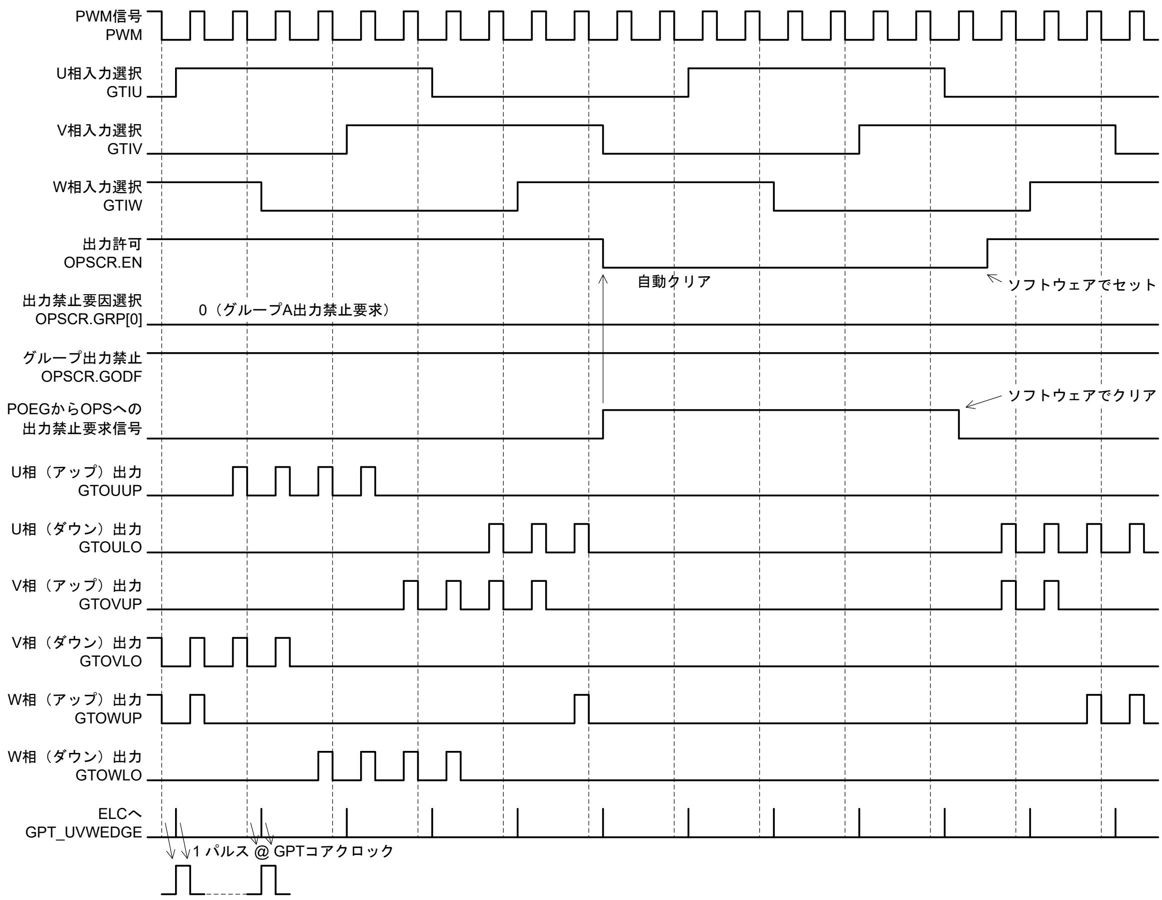
図 20.137 に GPT_OPS 動作の 6 相 PWM 出力例（チョッパ制御）を示します。



注.　レジスタ設定：OPSCR.ALIGN = 1, OPSCR.EN = 1, OPSCR.P = 1, OPSCR.N = 1, OPSCR.INV = 0, OPSCR.RV = 0
注.　GPT コアクロック：PCLKD
PWM 信号：GPT164.GTIOC4A からの PWM 信号

図 20.137　　6 相 PWM 出力動作例（チョッパ制御）

図 20.138 に出力禁止制御の例（6 相 PWM 出力動作）を示します。



注.　レジスタ設定：OPSCR.P = 1, OPSCR.N = 1, OPSCR.INV = 0, OPSCR.RV = 0
注.　GPT コアクロック：PCLKD
PWM 信号：GPT164.GTIOC4A からの PWM 信号

図 20.138　グループ出力禁止制御動作例

20.3.13.1　入力選択と外部入力信号の同期化

図 20.135 に示す GPT_OPS 制御フロー概念図の (1) は、OPSCR.FB ビットによってソフトウェア設定値から入力相の選択をします。

OPSCR.FB = 1 のとき、OPSCR.ALIGN = 1 によって立ち下がりエッジのサンプリングを実施後、PWM（GPT164.GTIOC4A の PWM）の入力相の値でソフトウェア設定値 (OPSCR.UF, VF, WF) を選択します。

OPSCR.ALIGN = 0 のとき、GPT_OPS は PCLKD 同期の入力相で動作します。ただし、出力 U/V/W 相（PWM 出力モード）の切り替えタイミング（直前／直後）の PWM パルス幅が短くなる場合があります。

表 20.66 に入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 20.66　入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択（U/V/W 相）	同期入出力選択処理（GPT_OPS 内部ノード名）
FB ビット	ALIGN ビット		
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定 （立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット）	入力相 U 相入力 (gtu_sync) V 相入力 (gtv_sync) W 相入力 (gtw_sync)
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値)（= PCLKD 同期）	

20.3.13.2　回転方向制御

図 20.135 に示す GPT_OPS 制御フロー概念図の (3) では、OPSCR.RV ビットを使用して 3 相モーターの回転方向を制御します。

OPSCR.RV ビットが 1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定 0 の回転方向を反転させます。

表 20.67 に、OPSCR.RV ビットへの出力相の割り当て（回転方向制御の実施前後）を示します。

表 20.67　回転方向制御方法

OPSCR レジスタ出力相回転方向反転	回転方向制御の出力［U/V/W（正／逆)］（制御後の GPT_OPS 内部ノード名）					
OPSCR.RV ビット	(gtuup_ren)	(gtulo_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)
0	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)
1	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)

20.3.13.3　入力相デコード

図 20.135 に示す GPT_OPS 制御フロー概念図の (3) は、入力相をデコードして、6 相信号を許可します。

表 20.68 に OPSCR.RV ビットが 0 の場合の入力相のデコード表を示します。

表 20.68　入力相のデコード表 (OPSCR.RV = 0)

入力相 (U/V/W)（GPT_OPS 内部ノード名）			入力相のデコードによる 6 相信号許可 [U/V/W (Up/Lo)]（GPT_OPS 内部ノード名）					
U 相入力	V 相入力	W 相入力	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

表 20.69　入力相のデコード表 (OPSCR.RV = 1) (1/2)

入力相 (U/V/W)（GPT_OPS 内部ノード名）			入力相のデコードによる 6 相信号許可 [U/V/W (Up/Lo)]（GPT_OPS 内部ノード名）					
U 相入力	V 相入力	W 相入力	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	0	1	1	0	0	0
1	0	0	0	1	0	0	1	0
1	1	0	0	0	0	1	1	0
0	1	0	1	0	0	1	0	0
0	1	1	1	0	0	0	0	1
0	0	1	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0

表 20.69　入力相のデコード表 (OPSCR.RV = 1) (2/2)

入力相 (U/V/W) （GPT_OPS 内部ノード名）			入力相のデコードによる 6 相信号許可 [U/V/W (Up/Lo)] （GPT_OPS 内部ノード名）					
U 相入力	V 相入力	W 相入力	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	1	1	0	0	0	0	0	0

20.3.13.4　出力選択制御

図 20.135 に示す GPT_OPS 制御フロー概念図の (4) は、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット：6 相出力の出力／停止を制御
- OPSCR.P ビットと OPSCR.N ビット：出力相に対してレベル信号／PWM 信号（チョッパ出力）を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理／負論理に設定可能

表 20.70 と表 20.71 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 20.70　出力選択制御方法（正相）

出力許可相制御	正相出力 (P) 制御	反転相出力制御	出力ポート名（正相 = Up） （出力選択内部ノード割り当て）	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 （外部端子：Hi-Z） GPT_OPS→0 出力
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード （正相） （正論理）
1	0	1	レベル信号 (~gtuup_ren) (~gtvup_ren) (~gtwup_ren)	レベル出力モード （正相） （負論理）
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード （正相） （正論理）
1	1	1	PWM 信号 (~(PWM & gtuup_ren)) (~(PWM & gtvup_ren)) (~(PWM & gtwup_ren))	PWM 出力モード （正相） （負論理）

表 20.71　出力選択制御方法（逆相） (1/2)

出力許可相制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名（逆相 = Lo） （出力選択内部ノード割り当て）	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 （外部端子：Hi-Z） GPT_OPS→0 出力

表 20.71　出力選択制御方法（逆相） (2/2)

出力許可相制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名（逆相 = Lo） （出力選択内部ノード割り当て）	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード （逆相） （正論理）
1	0	1	レベル信号 (~gtulo_ren) (~gtvlo_ren) (~gtwlo_ren)	レベル出力モード （逆相） （負論理）
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード （逆相） （正論理）
1	1	1	PWM 信号 (~(PWM & gtulo_ren)) (~(PWM & gtvlo_ren)) (~(PWM & gtwlo_ren))	PWM 出力モード （逆相） （負論理）

20.3.13.5　出力選択制御（グループ出力禁止機能）

グループ出力禁止機能は、OPSCR.GODF ＝ 1 かつ OPSCR.GRP ビットで選択した要因の信号値が High になると（出力禁止要求）、非同期で出力を Hi-Z にします。出力禁止要求が発生すると、OPSCR.EN ビットは 0 にクリアされます。復帰は、ソフトウェアで出力禁止要求をクリア後、OPSCR.EN ビットを 1 に設定してください。

出力禁止制御を確実に行うためには、POE のフラグクリアは POEG_GROUPn (n = A, B) 割り込みを使用するか、OPSCR.EN = 0 であることを確認してからフラグをクリアしてください。グループ出力禁止制御の動作例については、図 20.138 を参照してください。

20.3.13.6　イベントリンクコントローラ (ELC) 出力

図 20.135 に示す GPT_OPS 制御フロー概念図の (5) は、UVW 入力エッジ信号をイベントリンクコントローラ (ELC) へ出力します。

UVW 入力エッジ信号は、PCLKD でサンプリングした入力相の U 相、V 相、W 相それぞれの立ち上がりエッジと立ち下がりエッジの論理和です。よって、入力相の U 相、V 相、W 相それぞれの High 期間が短い場合、ホールセンサ入力エッジ信号は出力されません。

OPSCR.FB = 1 の時、UVW 入力エッジ信号は、PCLKD でサンプリングしたソフトウェア設定値 (OPSCR.UF/VF/WF) のエッジの論理和です。

ELC への出力信号の例については、図 20.136～図 20.138 を参照してください。

20.3.13.7　GPT_OPS スタート動作設定フロー

表 20.72　GPT_OPS スタート動作設定例 (1/2)

No.	手順名	説明
1	GPT164 動作モード設定	GPT164.GTIOC4A は、のこぎり波または三角波の PWM 出力動作モードを設定します。 詳細は、「20.3.3. PWM 出力動作モード」を参照してください。
2	GPT164 のカウント動作	GPT164 のカウント動作を開始して、PWM 波形を出力します。
3	GPT_OPS 入力データ設定	OPSCR.UF、VF、WF ビットにソフトウェア設定値の設定をします。
4	GPT_OPS 入力相許可設定／入力相アライメント設定	OPSCR.FB = 1 に設定して、入力相のソフトウェア設定を許可してください。 OPSCR.ALIGN ビットで入力相のアライメントを選択してください。

表 20.72　GPT_OPS スタート動作設定例 (2/2)

No.	手順名	説明
5	GPT_OPS 出力相の設定	OPSCR.P、OPSCR.N ビットで出力する正相、逆相のレベル出力／PWM 出力を設定してください。 OPSCR.INV ビットで出力相の正論理／負論理を設定してください。OPSCR.RV ビットで回転方向を設定してください。
6	GPT_OPS グループ出力禁止機能設定	OPSCR.GRP ビットで出力禁止要因の選択を設定してください。 OPSCR.GODF ビットでグループ出力禁止機能の ON/OFF の設定をしてください。
7	GPT_OPS 動作	OPSCR.EN = 1 に設定して、GPT_OPS からブラシレス DC モーターを駆動する 6 相出力を行います。

20.3.14　GTIOCnA/B 入出力端子極性反転機能

GTIOCnA/GTIOCnB 入力端子および GTIOCnA/GTIOCnB 出力端子の極性は、外部デバイスの極性に応じて反転できます。

GTCR.AINV が 1 のとき、GTIOCnA の入力と出力が反転します。

GTCR.BINV が 1 のとき、GTIOCnB の入力と出力が反転します。

入力直後の最終出力段階で GTIOCnA および GTIOCnB が反転します。GTIOCnA および GTIOCnB がカウントスタート／ストップ／クリア要因、ダウンカウント／アップカウント要因、インプットキャプチャ要因として使用される場合、または Low／High／トグル出力が PWM 出力として使用される場合、外部入力と外部出力が反転します。これを考慮に入れた設定を行う必要があります。

初期設定時に GTIOCnm 端子機能を設定した後、GTCR.AINV および GTCR.BINV を設定します。

20.4　割り込み要因

20.4.1　割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタのオーバーフロー（GTPR のコンペアマッチ）／アンダーフロー
- 周期計数機能終了

各割り込み要因には、それぞれ専用のステータスフラグと割り込み要求信号を発生するための制御ビットがあり、割り込み要求信号の発生を個別に許可または禁止することができます。割り込み要因の信号が生成されると、GTST の対応するステータスフラグが 1 に設定され、GTINTAD レジスタの対応する割り込み要求の許可または禁止ビットが 1 の場合、割り込み要求が発生します。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャネル間の優先順位を変更できます。ただし、1 つのチャネル内での優先順位は固定されています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 20.73 は、GPT の割り込み要因の一覧です。

表 20.73 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動
n = 0〜3	GPTn_CCMPA	GPT16n.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT16n.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT16n.GTCCRC コンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT16n.GTCCRD コンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT16n.GTCCRE コンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT16n.GTCCRF コンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT16n.GTCNT のオーバーフロー（GPT16n.GTPR のコンペアマッチ）	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT16n.GTCNT アンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_ADTRGA	GPT16n.GTADTRA のコンペアマッチ	GTST[17:16] (ADTRADF, ADTRAUF)	可能
	GPTn_ADTRGB	GPT16n.GTADTRB のコンペアマッチ	GTST[19:18] (ADTRBDF, ADTRBUF)	可能
	GPTn_PC	周期計数機能終了	GTST[31] (PCF)	可能

(1) GPTn_CCMPA 割り込み (n = 0〜3)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき。相補 PWM モードでは、GTCCRA レジスタはインプットキャプチャレジスタとして機能しません。

(2) GPTn_CCMPB 割り込み (n = 0〜3)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき。相補 PWM モードでは、GTCCRB レジスタはコンペアマッチレジスタとして機能しません。
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき。相補 PWM モードでは、GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。

(3) GPTn_CMPC 割り込み (n = 0〜3)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRC レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

(4) GPTn_CMPD 割り込み (n = 0〜3)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRD レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b、11b（GTCCRD レジスタがバッファ動作）

(5) GPTn_CMPE 割り込み (n = 0～3)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRE レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b、10b、11b（GTCCRE レジスタがバッファ動作）。

(6) GPTn_CMPF 割り込み (n = 0～3)

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRF レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b、11b（GTCCRF レジスタがバッファ動作）

(7) GPTn_OVF 割り込み (n = 0～3)

割り込み要求は以下の条件で発生します。

- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合に、オーバーフロー（アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する）で割り込み要求が許可されたとき
- のこぎり波 PWM モード 2 の場合に、オーバーフロー（GTCNT カウンタ値が GTCSR.CSCMSC[2:0] ビットで選択された GTCCRm (m = A～F) レジスタ値から 0 に変化する）で割り込み要求が許可されたとき、または GTCNT カウンタ値が GTPR レジスタ値と一致するとき。
- 三角波の場合、山（GTCNT が GTPR から GTPR-1 になる）が発生したとき
- 相補 PWM モードの場合に、山（マスタチャネルの GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値-1 に変化する）で割り込み要求が許可されたとき。
- ハードウェア要因によるカウント動作の場合に（外部パルス幅測定機能を含む）、オーバーフロー（アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する）が発生したとき。

(8) GPTn_UDF 割り込み (n = 0～3)

割り込み要求は以下の条件で発生します。

- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合に、アンダーフロー（ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する）で割り込み要求が許可されたとき
- 三角波の場合、谷（GTCNT が 0 から 1 になる）が発生したとき
- 相補 PWM モードの場合に、谷（マスタチャネルの GTCNT カウンタ値が 0 から 1 に変化する）で割り込み要求が許可されたとき。

- ハードウェア要因によるカウント動作の場合に（外部パルス幅測定機能を含む)、アンダーフロー（ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する）が発生したとき。

割り込み信号と割り込みステータスフラグについては、「20.2.16. GTST : 汎用 PWM タイマステータスレジスタ」を参照してください。

(9) GPTn_ADTRGA 割り込み (n = 0～3)

GTCNT カウンタ値が GTADTRA と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (ADTRAUEN) が 1 のとき。
- ダウンカウント動作時に割り込み許可ビット (ADTRADEN) が 1 のとき。
  イベントカウント動作実行時には、この割り込み要求は発生しません。

(10) GPTn_ADTRGB 割り込み (n = 0～3)

GTCNT カウンタ値が GTADTRB と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (ADTRBUEN) が 1 のとき。
- ダウンカウント動作時に割り込み許可ビット (ADTRBDEN) が 1 のとき。
  イベントカウント動作実行時には、この割り込み要求は発生しません。

(11) GPTn_PC 割り込み (n = 0～3)

GTPC.PCEN ビットが 1 かつ GTPC.PCNT カウンタが 1 の場合、周期の終わりに割り込み要求が発生します。

20.4.2 DTC の起動

各チャネルの割り込みによって、DTC を起動することができます。詳細は、「12. 割り込みコントローラユニット (ICU)」および「15. データトランスファコントローラ (DTC)」を参照してください。

20.4.3 割り込み、A/D 変換開始要求の間引き機能

20.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタを設定することにより、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）と、アンダーフロー割り込み（GPTn_UDF）を間引くことが可能です。また、他の割り込みや A/D 変換開始要求信号も、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動して間引くことができます。割り込みを間引いた場合、関連するステータスフラグの更新も間引かれます。ステータスフラグを 1 にしても、割り込み間引きは継続します。

割り込み間引き機能は GTITC レジスタ設定のみに関連する機能であり、GTINTAD レジスタ割り込み許可ビットの設定には関連しません。GTINTAD レジスタ設定で割り込みを禁止しても、割り込み間引きは継続します。

三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数に設定すると、間引きカウンタの開始タイミングによっては、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込み要求が発生しません。そのため、三角波モードで谷と山の両方をカウントし、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントして間引く場合、オーバーフローまたはアンダーフローのいずれか一方のみでは GPTn_OVF/GPTn_UDF 割り込み要求が発生しない場合があります。そのため、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントし、オーバーフローまたはアンダーフローのいずれか一方のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き状態を十分検討のうえ、使用してください。

間引き回数を変更する場合は、間引き機能をいったん解除（GTITC.IVTC[1:0] ビット = 00b）してから行ってください。

間引き機能の動作例を図 20.139～図 20.144 に示します。

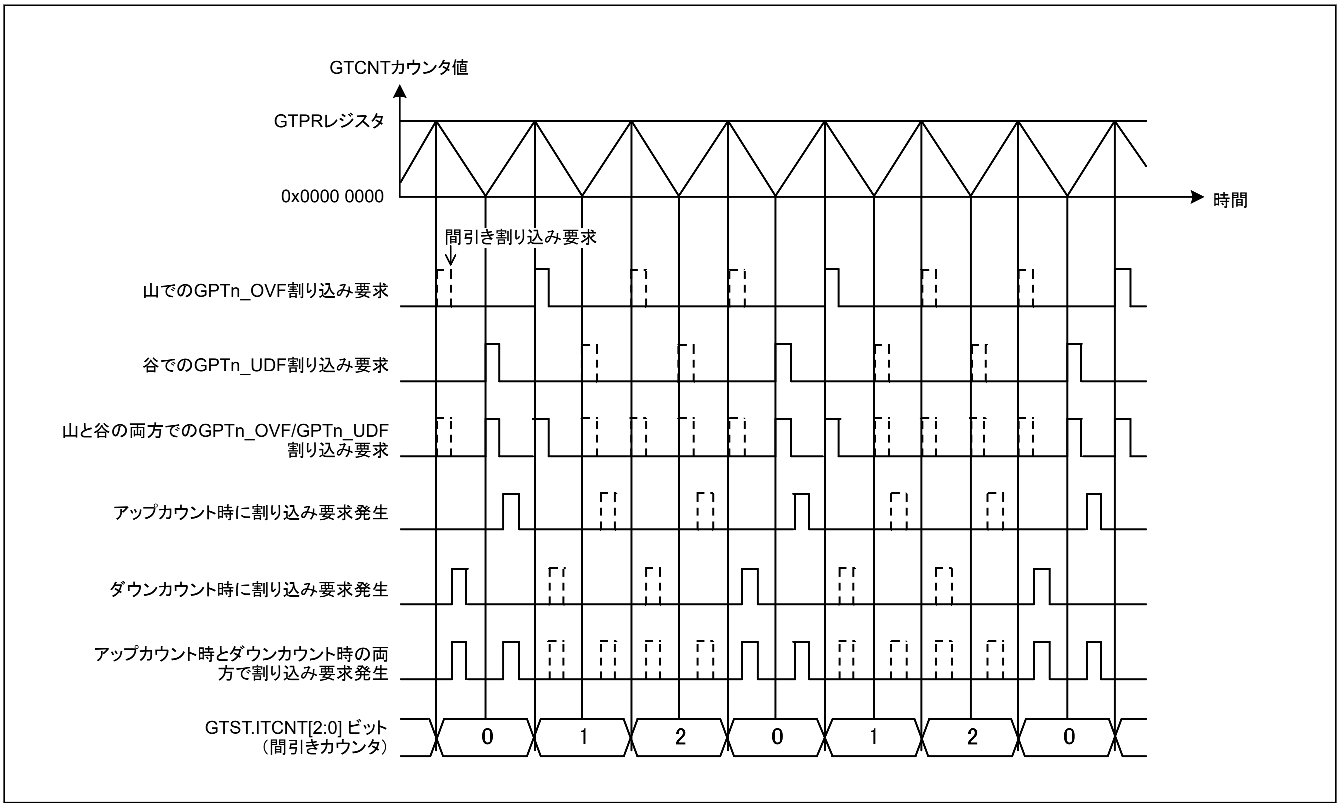


図 20.139　　割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

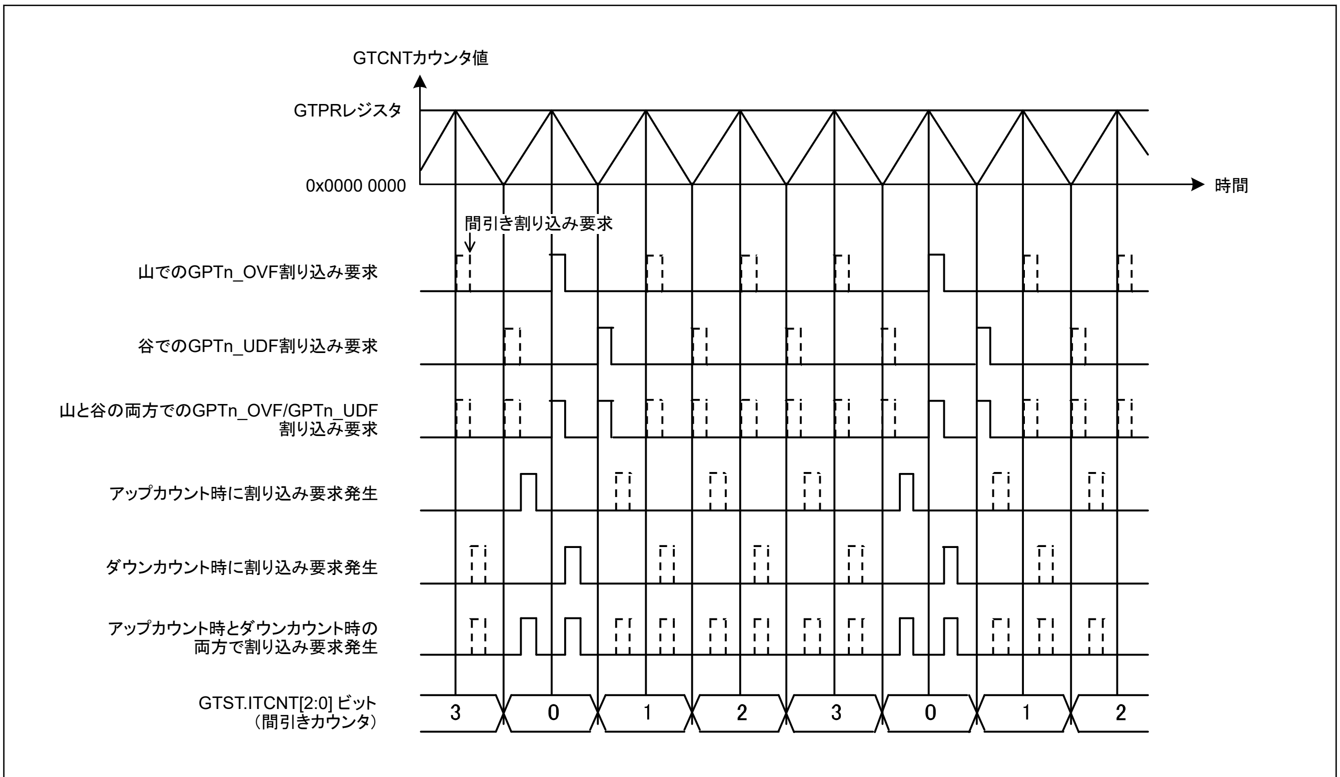


図 20.140　　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

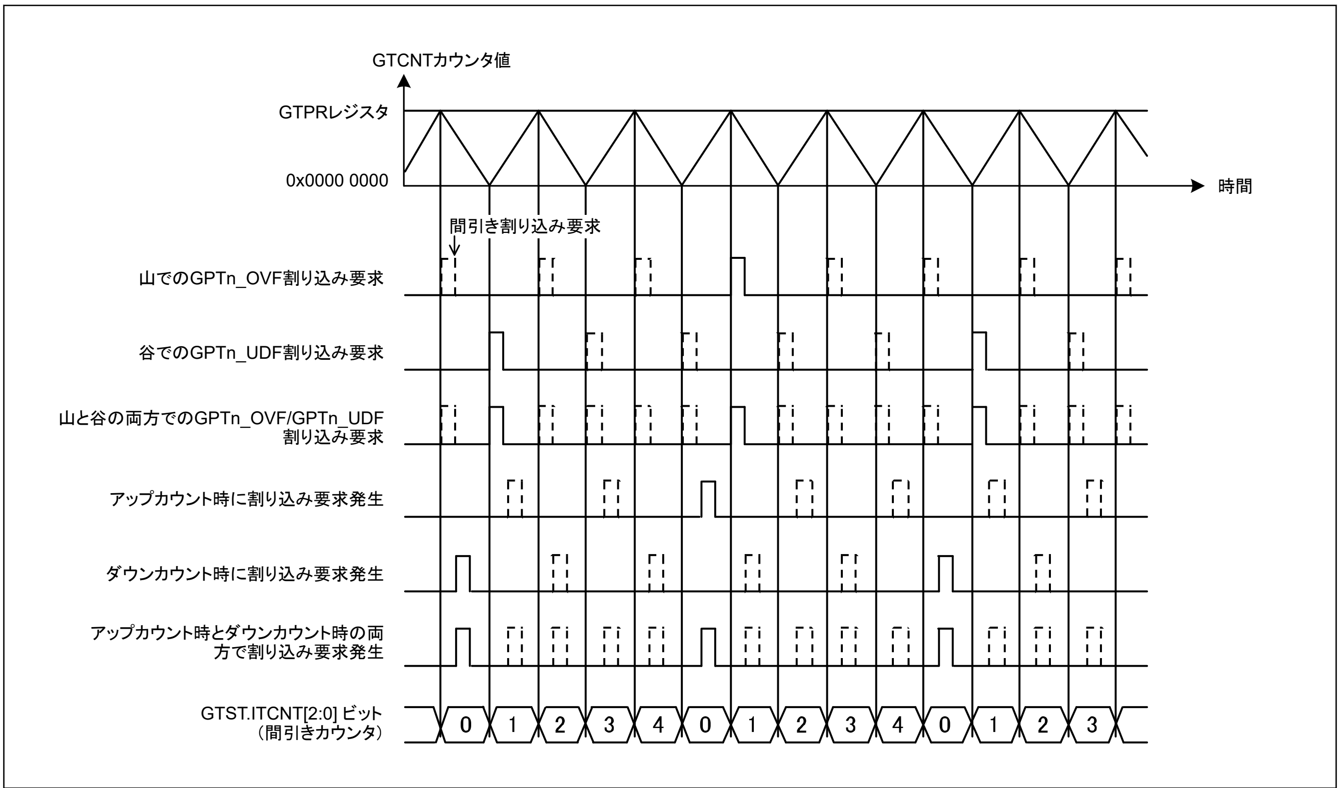


図 20.141　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合）

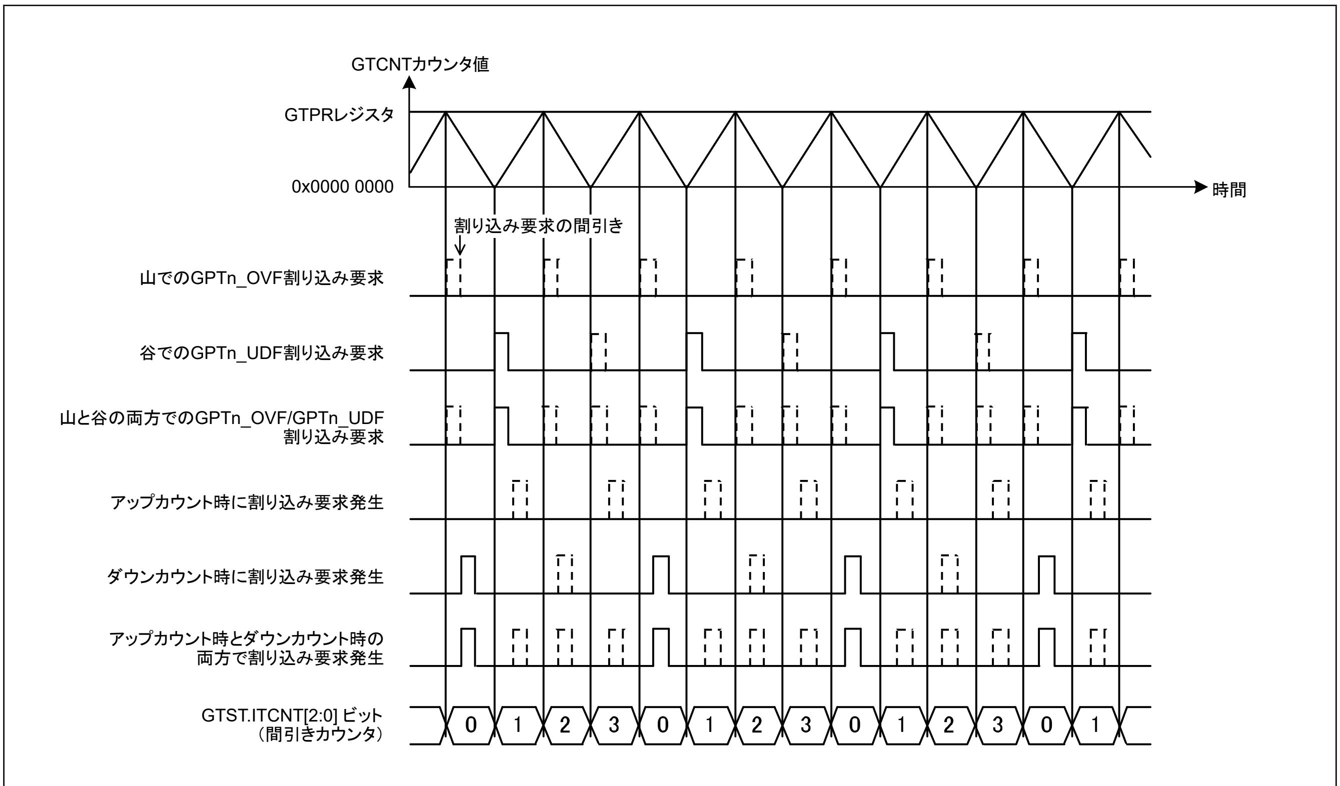


図 20.142　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

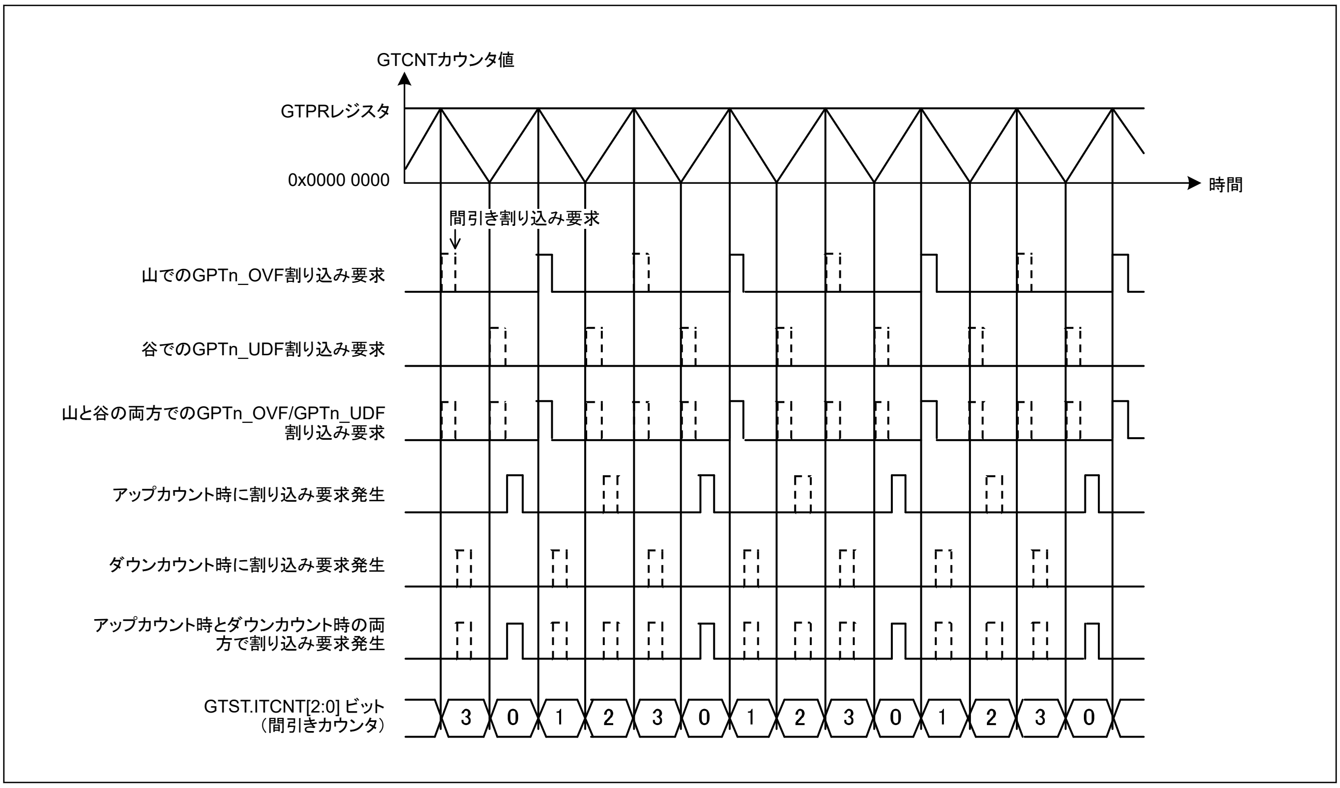


図 20.143　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

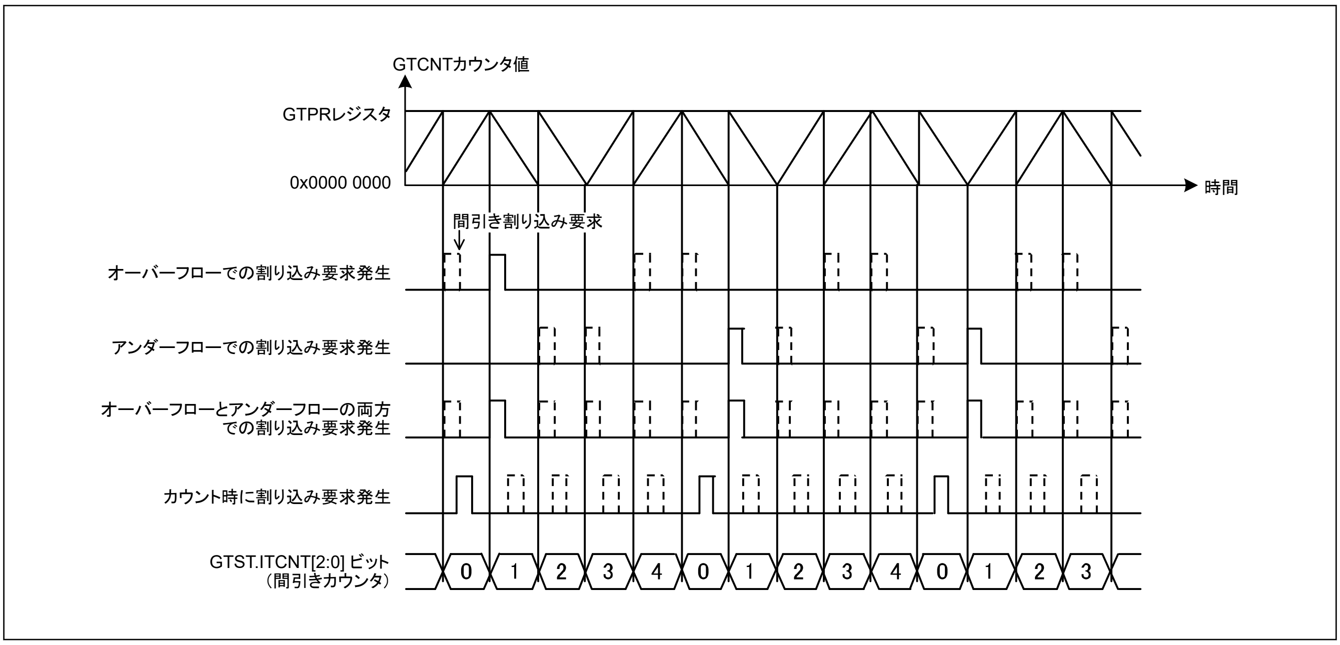


図 20.144　割り込み間引き機能の動作例（のこぎり波でカウント方向を変えながら動作、オーバーフローとアンダーフローの両方をカウントして間引き、間引き回数 4 の場合）

20.4.3.2　拡張割り込み間引き機能

GTEITC、GTEITLI1、GTEITLI2、GTEITLB レジスタの設定に基づいて GTCNT カウンタのオーバーフローまたはアンダーフローをカウントすることで、オーバーフロー／アンダーフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、およびバッファ転送を間引くことが可能です。

オーバーフロー／アンダーフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、およびバッファ転送は、GTEITLI1、GTEITLI2、GTEITLB レジスタを使って個別に間引き設定でき、間引き期間も設定できます。

間引き期間は、独立した 2 つの拡張割り込み間引きカウンタ（GTEITC レジスタの EITCNT1[3:0] ビットと EITCNT2[3:0]　ビット）の動作に関連して、これらの間引きカウンタのカウンタ値のいずれかが 0 以外または間引き回数以外の期間として設定します。間引き期間は、両方の間引きカウンタのカウンタ値が 0 以外または間引き回数以外に設定されている期間として設定することも可能です。

図 20.145 に GTITC レジスタによる割り込み間引きと拡張割り込み間引きのカウンタ動作を示します。

拡張割り込み間引きのカウンタ動作は GTEITC レジスタで設定します。

EITCNT1[3:0] ビットには初期値として 0 を設定します。この場合、拡張割り込みカウンタ 1 のカウントソース選択ビット（GTEITC.EIVTC1[1:0] ビット）で選択したカウントソース（図 20.145 では山を選択）をカウントし、拡張割り込み間引き 1 の間引き回数設定ビット（EIVTT1[3:0] ビット）で設定した間引き回数（図 20.145 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

EITCNT2[3:0] ビットに初期値を設定できます。この場合、拡張割り込みカウンタ 2 のカウントソース選択ビット（EIVTC2[1:0] ビット）で選択したカウントソース（ 図 20.145 では谷を選択）をカウントし、EIVTT2[3:0] ビット）で設定した間引き回数（図 20.145 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。初期値が設定されるのは、拡張割り込み間引きカウンタ 2 をカウントしない設定（EIVTC2[1:0] ビットを 00b）にした状態で上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われた場合と、EIVTC2[1:0] ビットの書き込み値が 00b 以外の場合です。初期値を設定すると、拡張割り込み間引きカウンタ 2 の初期値ビット（EITCNT2IV[3:0] ビット）の書き込み値が EITCNT2[3:0] ビットの初期値として設定されます。

拡張割り込み間引きカウンタは、「カウントしない」から「カウントする」に設定を変更した後の最初のカウントクロックからアップカウントを開始します。

GTITC レジスタで設定した割り込み間引き機能の割り込み間引きカウンタ(GTST.ITCNT[2:0] ビット) は、GTCNT カウンタ動作の停止時に 000b にリセットされます。ただし、拡張割り込み間引き機能の EITCNT1[3:0] ビットと EITCNT2[3:0] ビットは GTCNT カウンタ動作の停止後も値を保持し、カウンタが停止する前の値からカウントを再開することができます。EITCNT1[3:0] ビットと EITCNT2[3:0] ビットの値をリセット（0000b）する場合、EIVTC1[1:0] ビットと EIVTC2[1:0] ビットを 00b にしてカウントしない（間引きなし）設定にしてください。

間引き数を変更するときは、間引きカウンタ動作を停止（EIVTC1[1:0]ビットまたは EIVTC2[1:0]ビットのいずれかを 00b に設定）してから間引き数を変更してください。

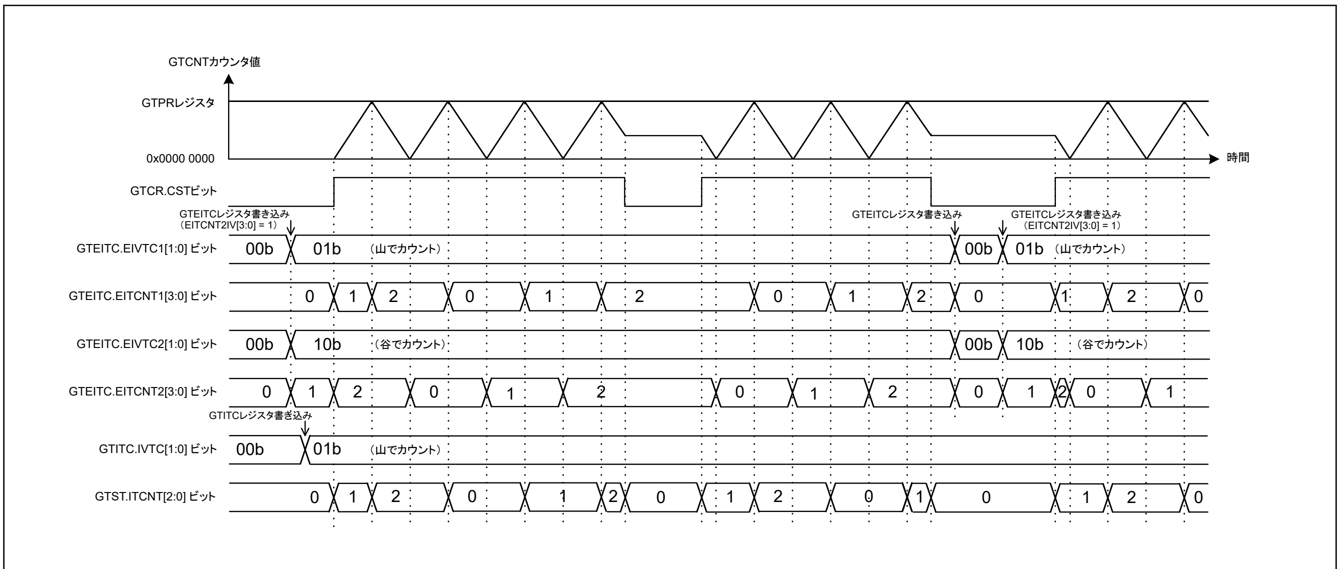


図 20.145　　割り込み間引き用のカウンタ動作例

GTEITL1 レジスタによる割り込み間引きと GTEITLI2 レジスタによる A/D 変換開始要求間引きは、GTITC レジスタまたは GTADCMSC レジスタによる間引きと同時に実行できます。この場合の間引き期間は各レジスタの間引き期間の論理和として表します。

図 20.146 に、対応する割り込み間引き動作を異なるレジスタで同時に実行する場合を示します。

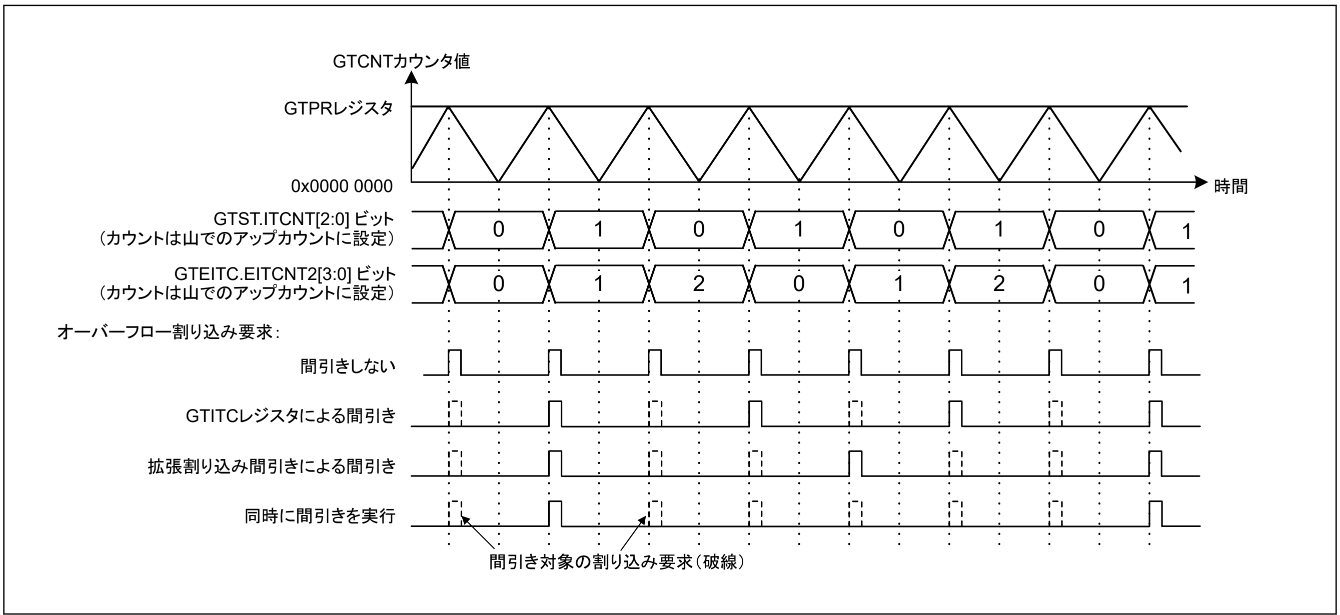


図 20.146　　割り込み間引き動作の例（GTITC レジスタによる間引き：山でカウント、拡張割り込み間引き：EIVTC1[1:0] = 00b、EIVTC2[1:0] = 01b、EITLV[2:0] = 010b）

GTEITLI1 レジスタで選択した拡張割り込み間引きを実行した場合、関連するステータスフラグも間引かれます。ステータスフラグを 1 にしても、間引き機能は継続します。

GTEITLI2 レジスタで選択した A/D 変換開始要求間引きを実行した場合、関連するステータスフラグも間引かれます。ステータスフラグを 1 にしても、間引き機能は継続します。

GTEITLI2 レジスタで間引き設定ができる A/D 変換開始要求に対応するステータスフラグの更新と ELC イベント要因出力の間引きは、GTITC レジスタと拡張割り込み間引きレジスタの設定のみに基づいて設定され、GTINTAD レジスタの A/D 変換開始要求許可ビットの設定とは関係ありません。A/D 変換開始要求許可ビットは、間引き後の A/D 変換開始要求の出力（ELC イベント要因出力）のみに使用します。

GTEITLB レジスタによるバッファ転送間引きは、GTBER レジスタ、GTDTCR レジスタ、および GTBER2 レジスタで許可されたすべてのバッファ動作、あるいはのこぎり波ワンショットパルスモード、三角波 PWM モード 3、または相補 PWM モードで行われるすべてのバッファ動作において実行されます（GTCCRC、GTCCRE から GTCCRA へのバッファ転送を除きます）。

割り込み間引きとバッファ転送間引きは個別に動作します。バッファ転送を実行しない割り込み出力と、割り込み出力なしのバッファ転送の実行も可能です。

拡張間引き機能の動作例を図 20.147～図 20.154 に示します。

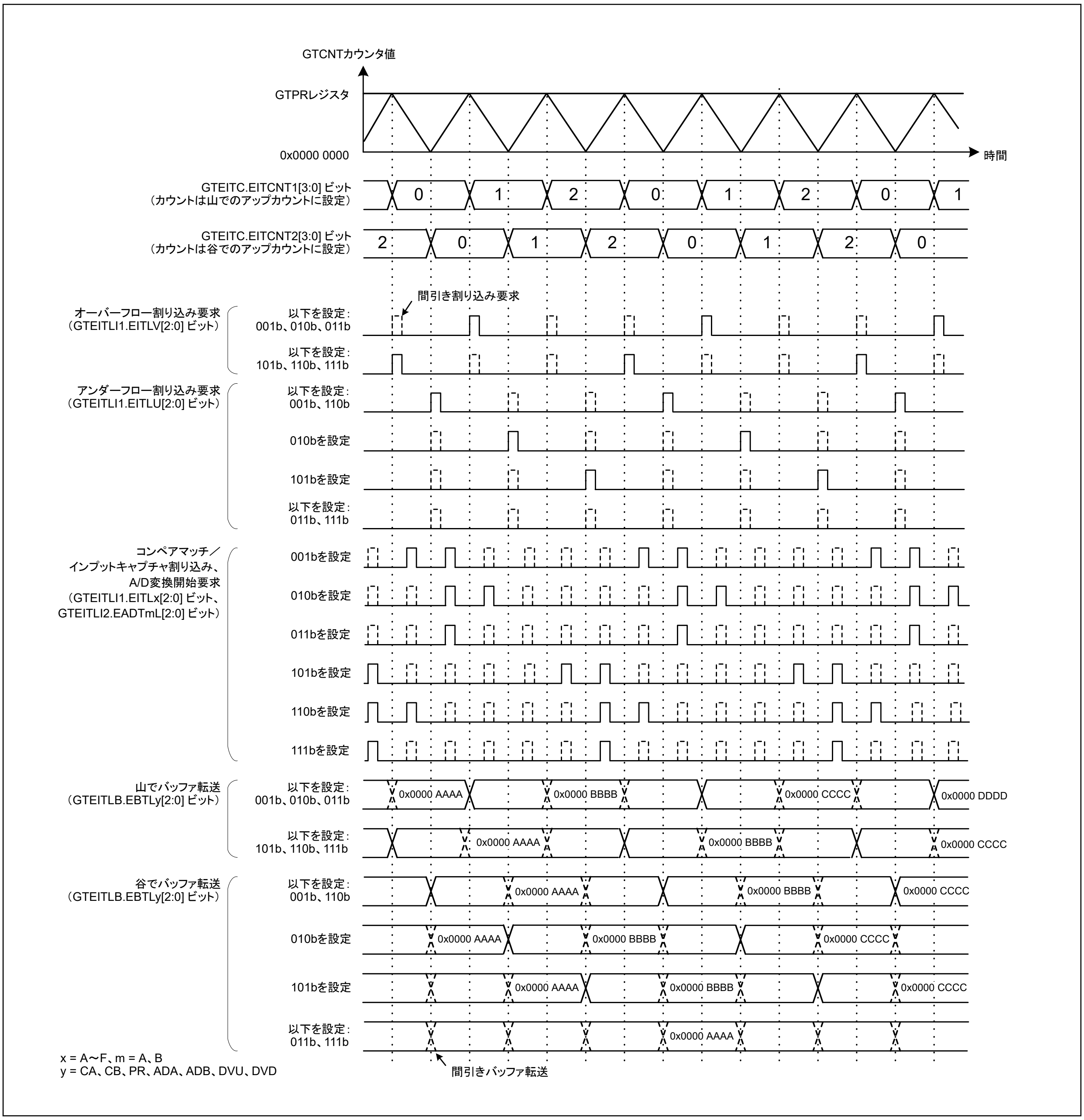


図 20.147 拡張割り込み間引き機能の例（三角波、山でカウント、拡張割り込み間引き 1 間引きカウント：2、谷でカウント、拡張割り込み間引き 2 間引きカウント：2、拡張割り込み間引きカウンタ 2 の初期値：0）

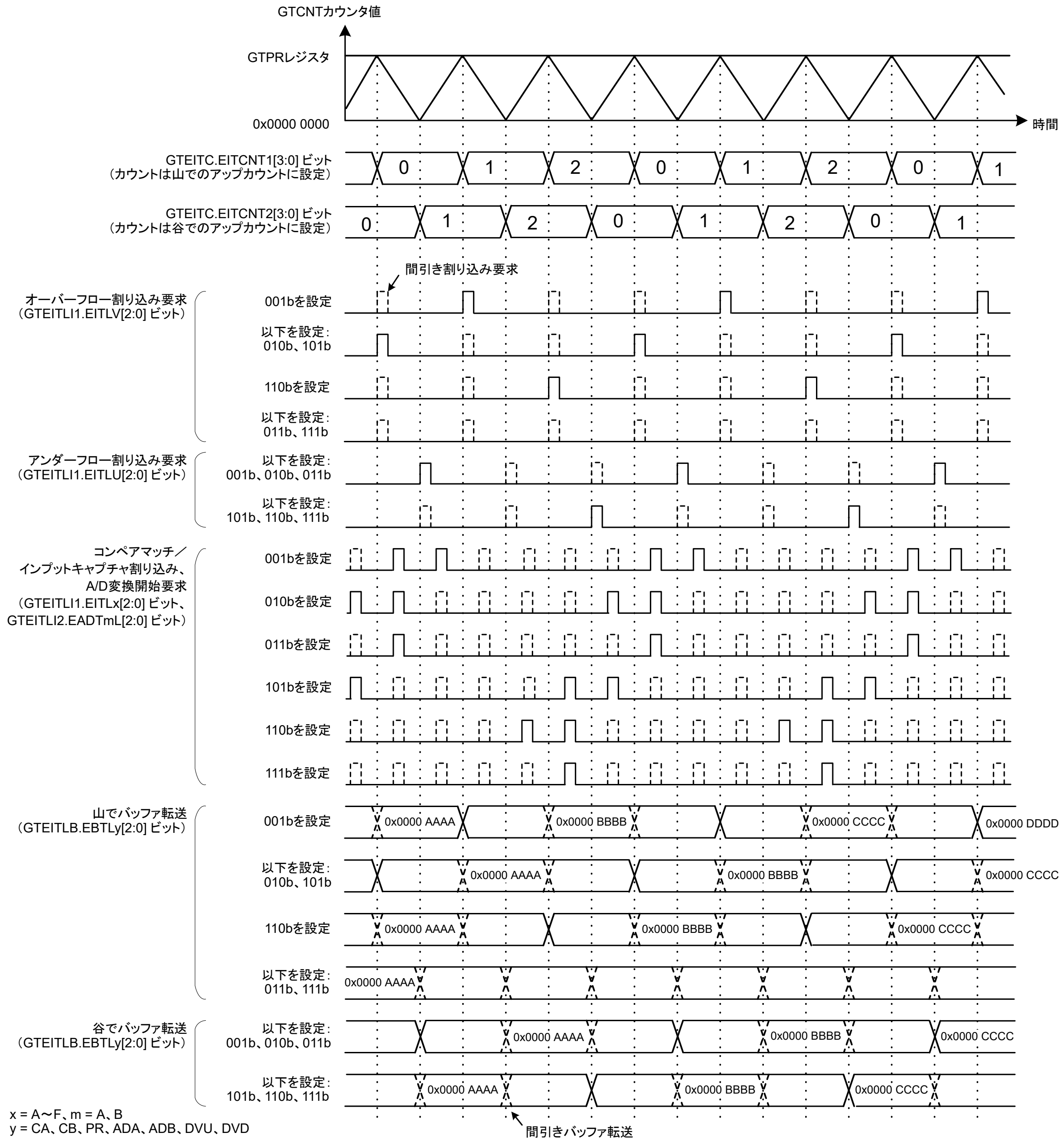


図 20.148　拡張割り込み間引き機能の例（三角波、拡張割り込み間引き 1 による山でのカウント、間引きカウント：2、拡張割り込み間引き 2 による谷でのカウント、間引きカウント：2、拡張割り込み間引きカウンタ 2 の初期値：1）

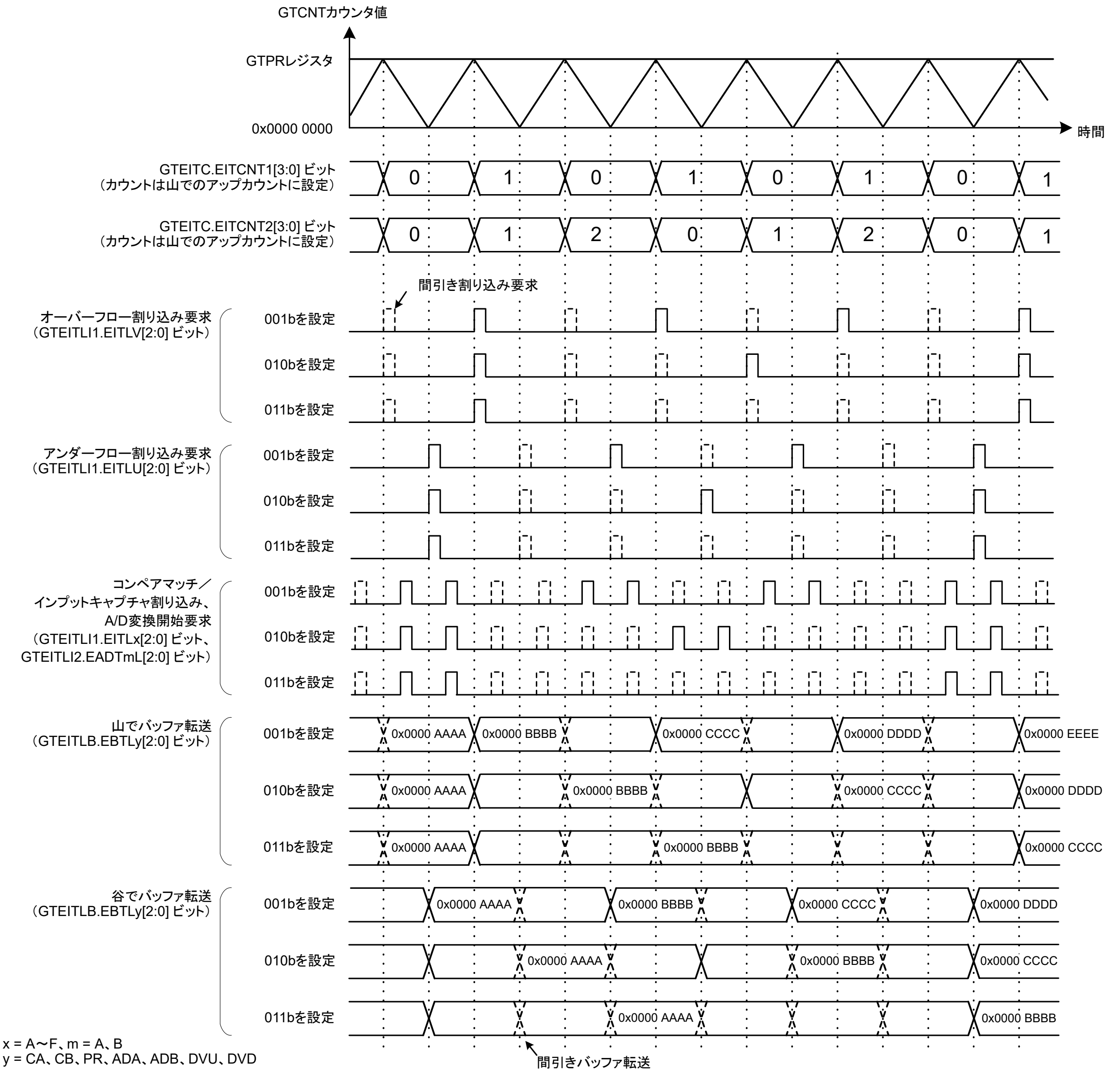


図 20.149　拡張割り込み間引き機能の動作例（三角波、山でカウント、拡張割り込み間引き 1 間引きカウント：1、谷でカウント、拡張割り込み間引き 2 間引きカウント：2、拡張割り込み間引きカウンタ 2 の初期値：0、GTEITC.EITCNTk ビット (k = 1, 2) が 0 以外の期間で間引き）

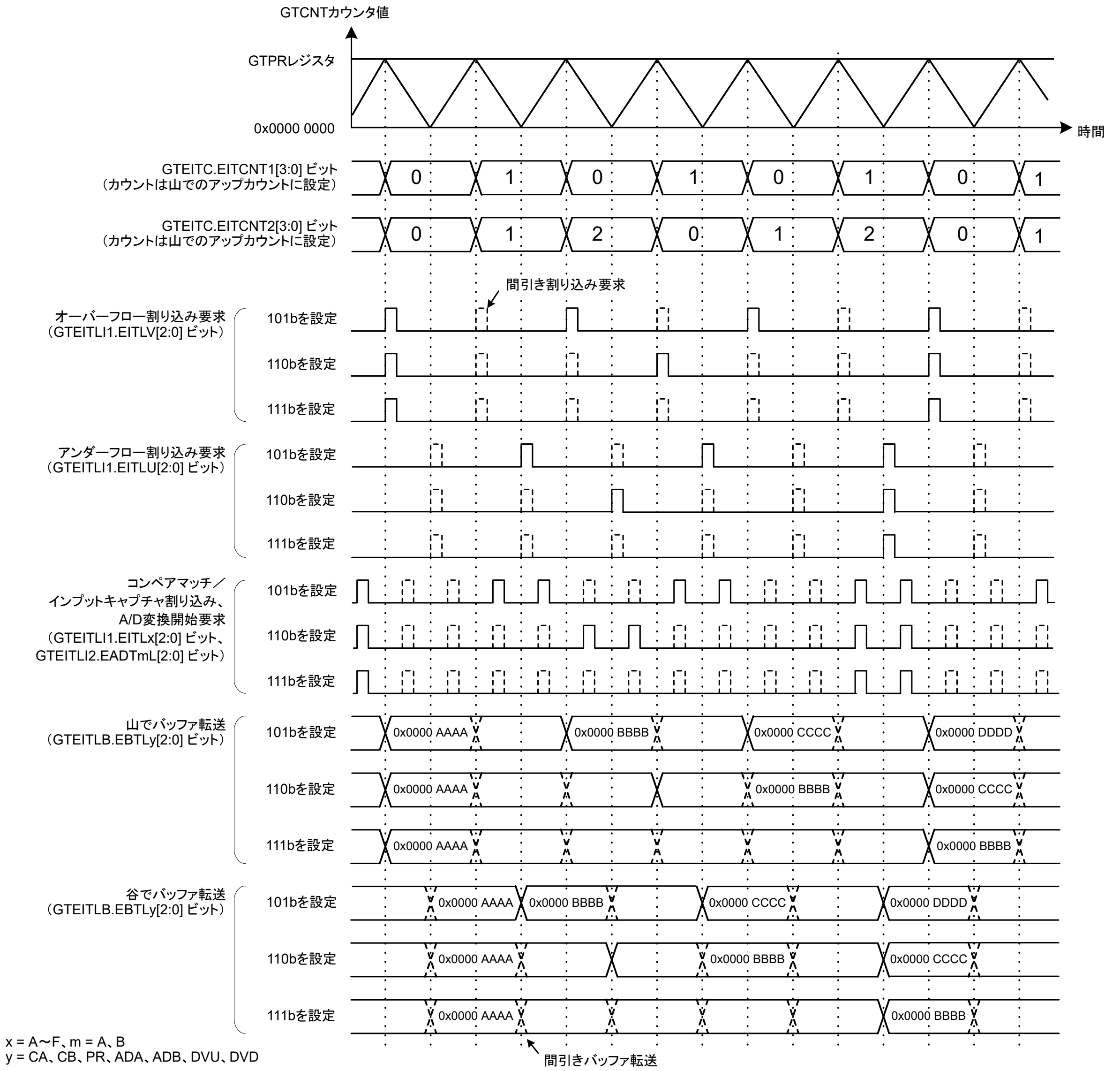


図 20.150　拡張割り込み間引き機能の動作例（三角波、山でカウント、拡張割り込み間引き 1 間引きカウント：1、谷でカウント、拡張割り込み間引き 2 間引きカウント：2、拡張割り込み間引きカウンタ 2 の初期値：0、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引き）

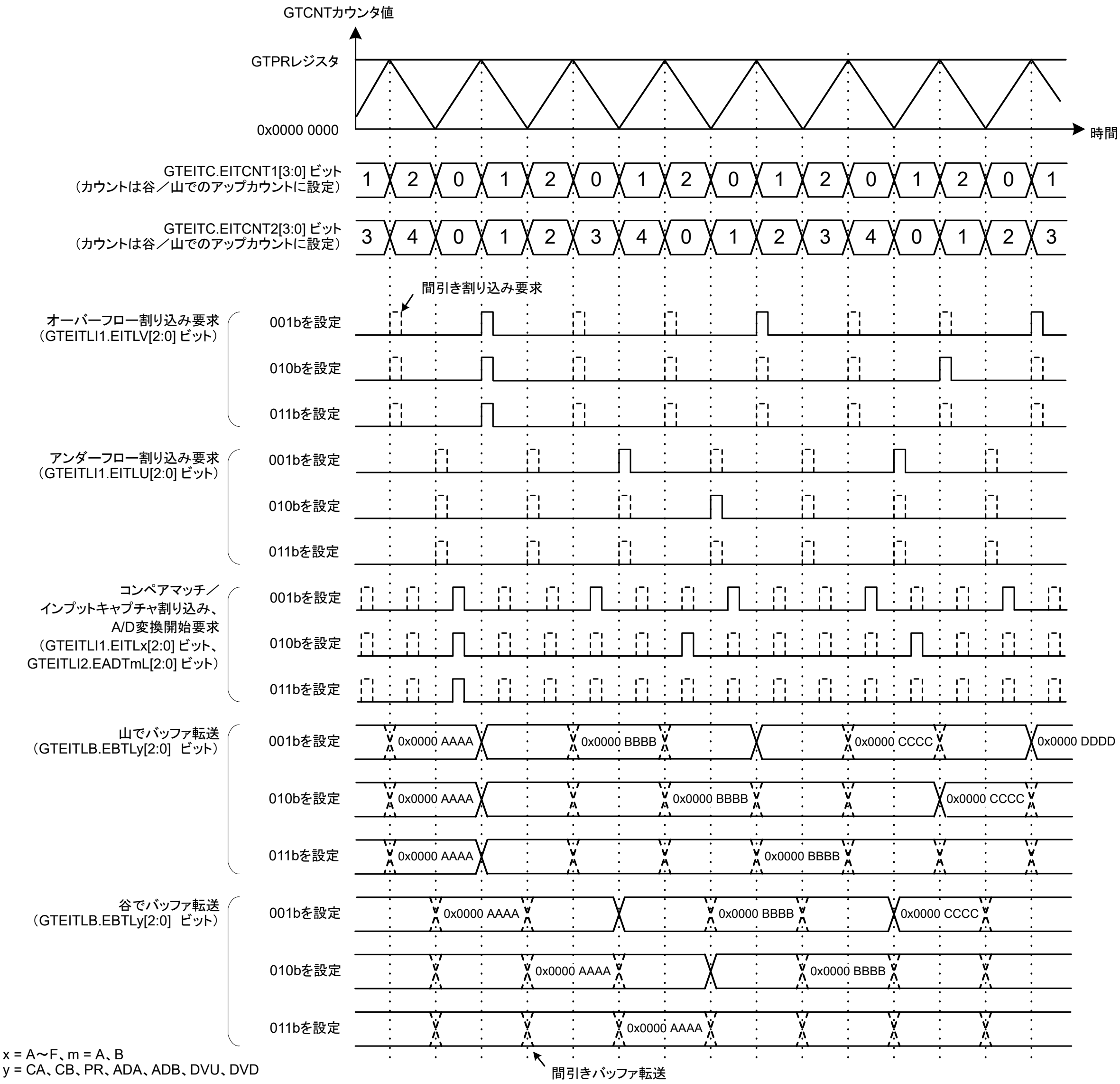


図 20.151　拡張割り込み間引き機能の動作例（三角波、山と谷の両方でカウント、拡張割り込み間引き 1 間引きカウント：2、山と谷の両方でカウント、拡張割り込み間引き 2 間引きカウント：4、拡張割り込み間引きカウンタ 2 の初期値：0、GTEITC.EITCNTk ビット (k = 1, 2) が 0 以外の期間で間引き）

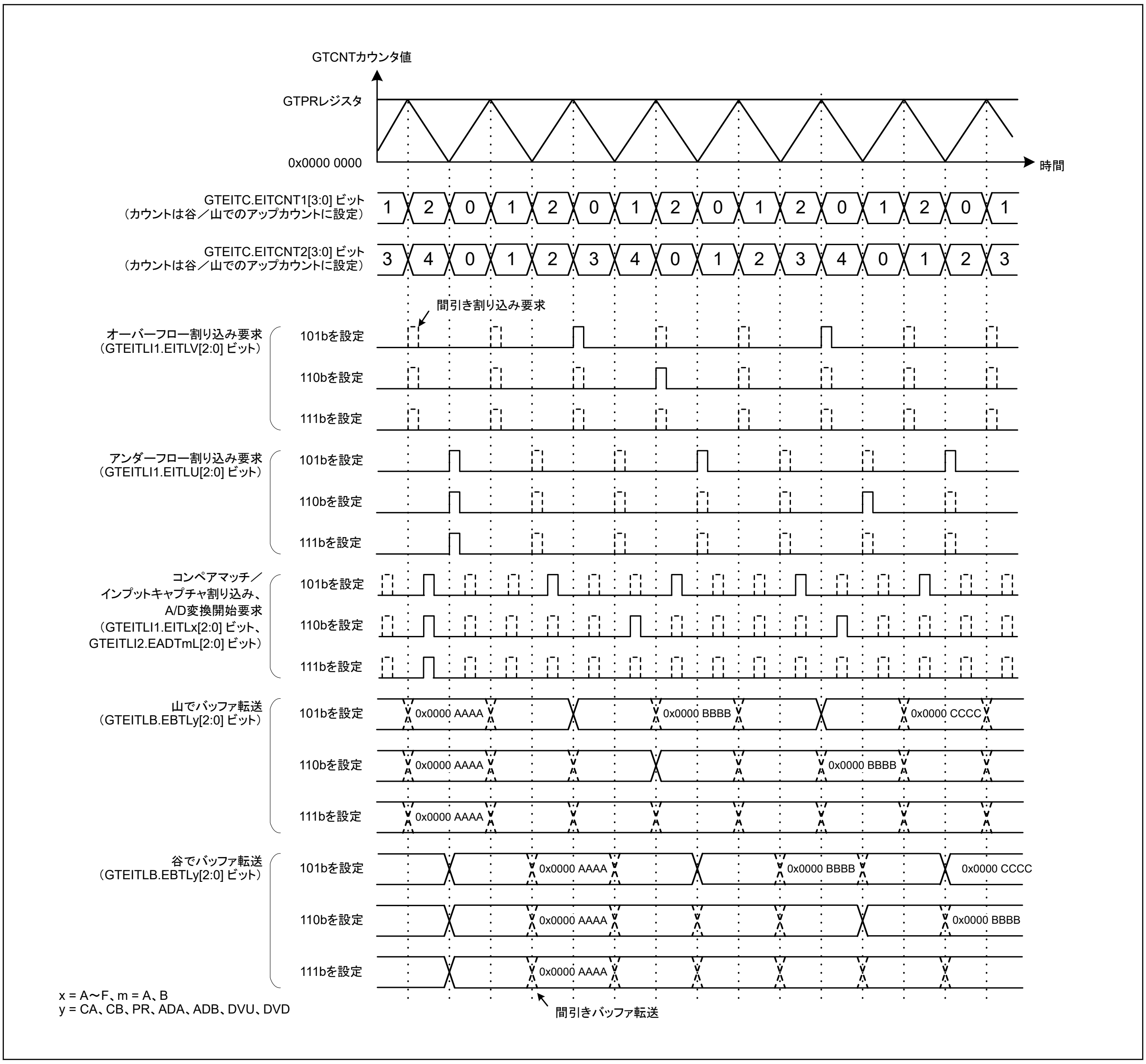


図 20.152　拡張割り込み間引き機能の動作例（三角波、山と谷の両方でカウント、拡張割り込み間引き 1 間引きカウント : 2、山と谷の両方でカウント、拡張割り込み間引き 2 間引きカウント : 4、拡張割り込み間引きカウンタ 2 の初期値 : 0、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引き）

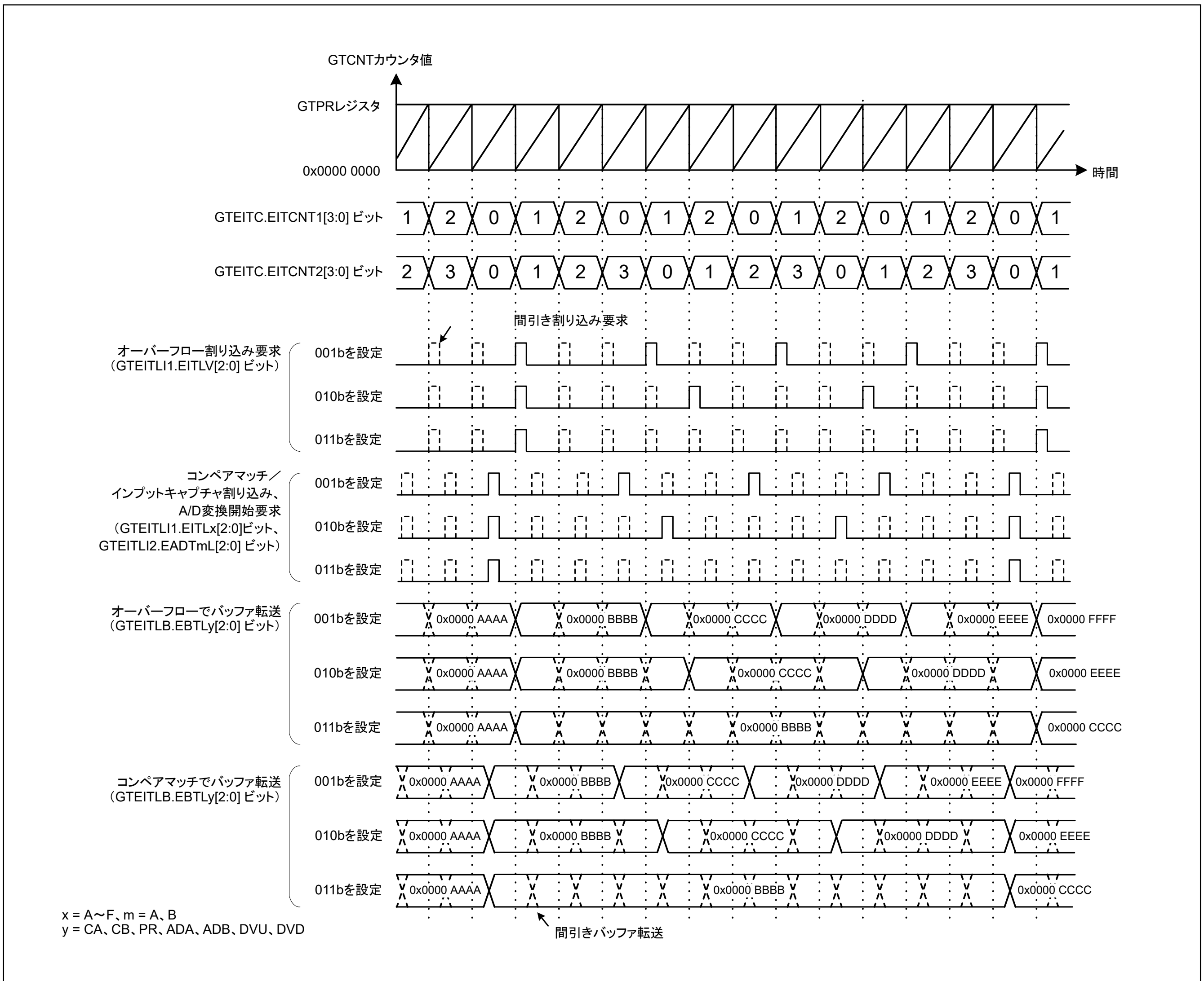


図 20.153　拡張割り込み間引き機能の動作例（三角波でアップカウント、オーバーフローのカウント、拡張割り込み間引き 1 間引きカウント：2、オーバーフローのカウント、拡張割り込み間引き 2 間引きカウント：3、拡張割り込み間引きカウンタ 2 の初期値：0、GTEITC.EITCNTk ビット (k = 1, 2) が 0 以外の期間で間引き）

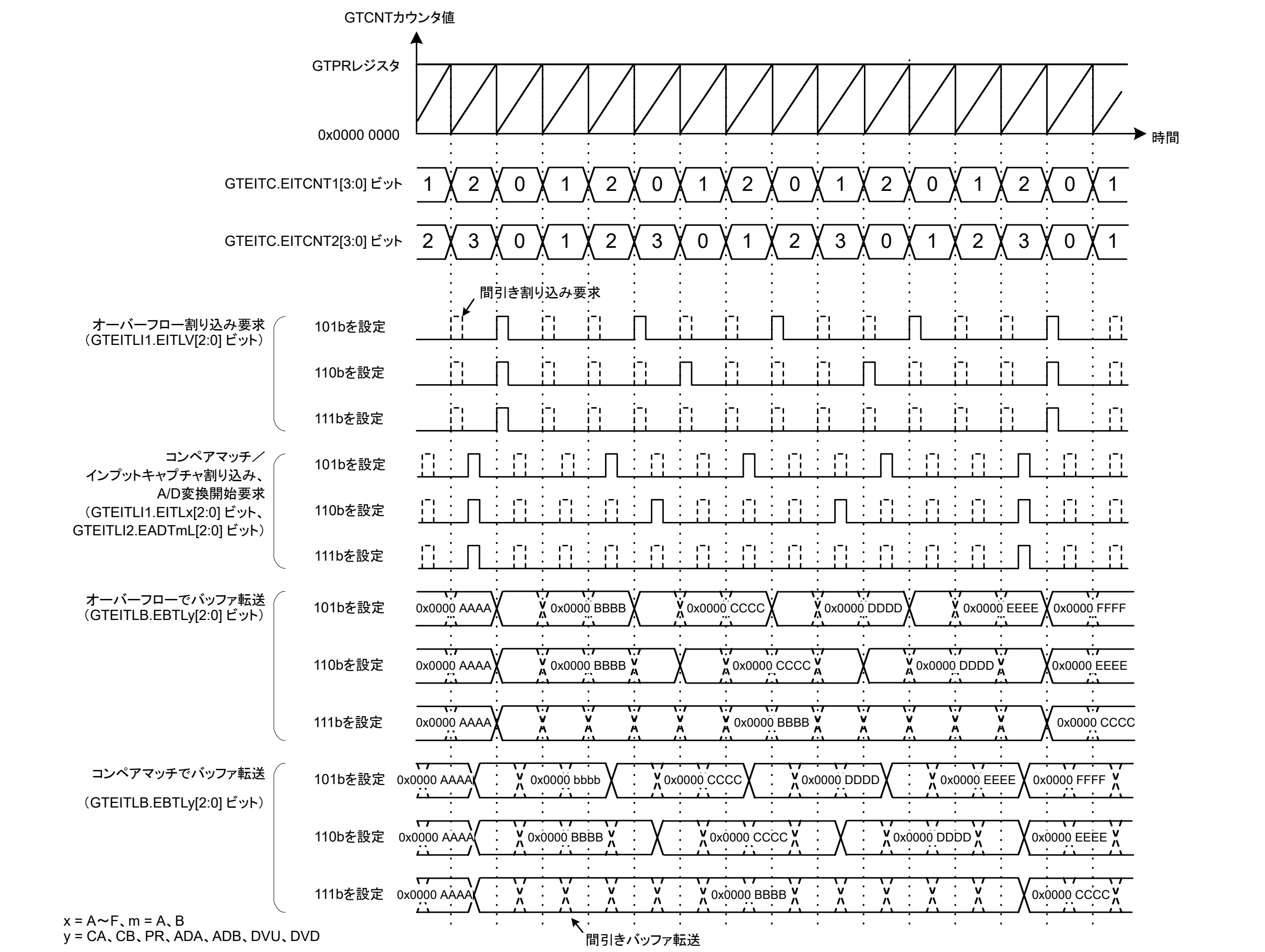


図 20.154　拡張割り込み間引き機能の動作例（三角波でアップカウント、オーバーフローのカウント、拡張割り込み間引き 1 間引きカウント : 2、オーバーフローのカウント、拡張割り込み間引き 2 間引きカウント : 3、拡張割り込み間引きカウンタ 2 の初期値 : 0、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引き）

図 20.155 に、インプットキャプチャでの拡張割り込み間引き動作例を示します。GTCNT カウンタのカウント停止時のインプットキャプチャ動作設定（GTCR.ICDS ビット = 0）の場合、インプットキャプチャによる割り込みとバッファ転送の拡張間引きは GTCNT カウンタのカウント停止中でも許可されます。

ICDS ビットを 0 にすることで GTCNT カウンタのカウント停止中にインプットキャプチャが発生した場合、間引きカウンタ値が、対応する割り込み間引き機能選択ビットで設定した間引き期間と同じならば、割り込みとバッファ転送が間引かれます。

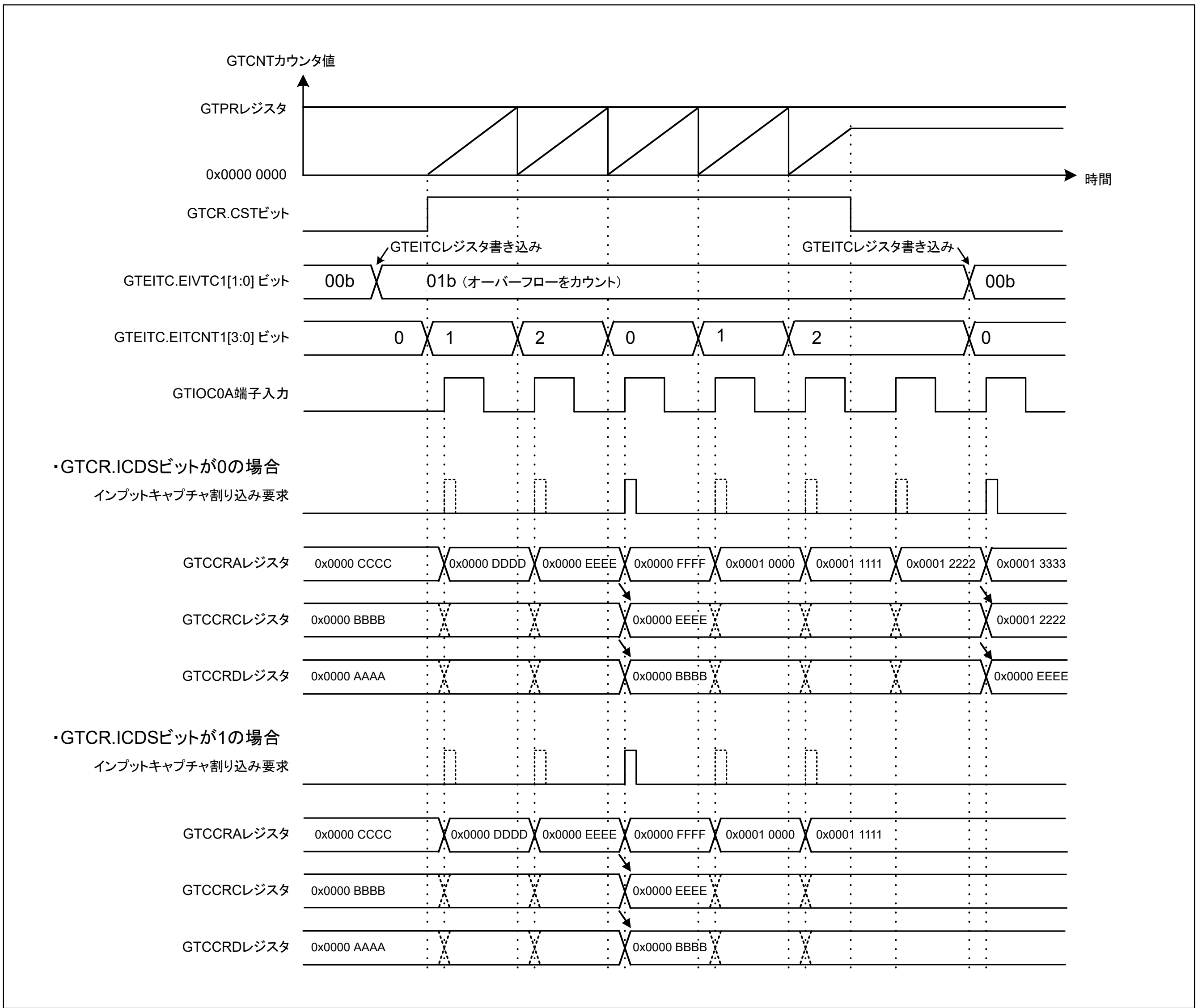


図 20.155　拡張割り込み間引き機能動作におけるインプットキャプチャの動作例（三角波でアップカウント、オーバーフローのカウント、拡張割り込み間引き 1 間引きカウント：2、EITCNT1 が 0 以外の期間での間引き、入力立ち上がりでインプットキャプチャ）

表 20.74 に拡張割り込み間引きの設定例を示します。

拡張割り込み間引きカウンタ 2 の初期値は、拡張割り込み間引きカウンタ 2 のカウントソースをカウントしない（GTEITC.EIVTC2[1:0] ビット = 00b）からカウントする（EIVTC2[1:0] ビット = 00b 以外）に設定変更するために適用する ETICNT2IV[3:0] ビットの書き込み値で設定されます。拡張割り込み間引きカウンタ 2 の初期値ビット（ETICNT2IV[3:0] ビット）への書き込みが行われるのは、上述の拡張割り込み間引きカウンタ 2 の初期値の設定を書き込んだときのみです。

表 20.74　拡張割り込み間引きの設定例 (1/2)

No.	ステップ名	説明
1	GTCNT カウンタ動作設定、 バッファ動作設定、 コンペアマッチ値設定	「20.3.2. バッファ動作」、「20.3.3. PWM 出力動作モード」などを参照してください。
2	拡張割り込み間引き機能の設定	間引き対象の割り込み、A/D 変換開始要求、バッファ転送に対する間引き機能選択ビットを、それぞれ GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで設定して、間引きに使用する間引きカウンタと間引き期間を選択します。

表 20.74　拡張割り込み間引きの設定例 (2/2)

No.	ステップ名	説明
3	拡張間引きカウンタの設定	GTEITC レジスタで、間引きに使用する間引きカウンタのカウントソース、間引き回数、間引きカウンタ 2 の初期値を以下の順番で設定します。 EIVTCk[1:0] ビット（k = 1, 2）を 00b 以外の値に、EIVTTk[3:0] ビットを 0000b 以外の値に設定します。 間引きカウンタ 2 を使用する場合、EIVTC2[1:0] ビットを 00b から 00b 以外の値に変更し、EITCNT2IV[3:0] ビットを間引きカウンタ 2 の初期値に設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
5	周期ごとのバッファ値設定	「20.3.2. バッファ動作」、「20.3.3. PWM 出力動作モード」などを参照してください。

20.4.3.3　A/D 変換開始要求コンペアマッチ間引き機能

GTADCMSC レジスタと GTADCMSS レジスタの設定に基づいて GTADTRA レジスタと GTADTRB レジスタのコンペアマッチをカウントすることで、A/D 変換開始要求と GTADTR レジスタバッファ転送を間引くことができます。

間引き期間は、独立した 2 つの A/D 変換開始要求コンペアマッチ間引きカウンタ（GTADCMSC レジスタの ADCMSCNT1[3:0]　ビットと ADCMSCNT2[3:0] ビット）の動作に関連して、これらの間引きカウンタのカウンタ値のいずれかが 0 以外または間引き回数以外の期間として設定します。間引き期間は、両方の間引きカウンタのカウンタ値が 0 以外または間引き回数以外に設定されている期間として設定することも可能です。

図 20.156 に、A/D 変換開始要求コンペアマッチ間引きのカウンタ動作を示します。

A/D 変換開始要求コンペアマッチ間引きのカウンタ動作は GTADCMSC レジスタで設定します。

ADCMSCNT1[3:0] ビットは A/D 変換開始要求コンペアマッチ間引きカウンタ 1 のカウントソース選択ビット（GTADCMSC.ADCMSC1[1:0] ビット）で選択したカウントソース（図 20.156 では山を選択）をカウントし、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数設定ビット（ADCMST1[3:0] ビット）で設定した間引き回数（図 20.156 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

ADCMSCNT2[3:0] ビットは A/D 変換開始要求コンペアマッチ間引きカウンタ 2 のカウントソース選択ビット（GTADCMSC.ADCMSC2[1:0] ビット）で選択したカウントソース（図 20.156 では谷を選択）をカウントし、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数設定ビット（ADCMST2[3:0] ビット）で設定した間引き回数（図 20.156 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

ADCMSCNTk[3:0] ビット（k = 1, 2）に初期値を設定できます。初期値が設定されるのは、A/D 変換開始要求コンペアマッチ間引きカウンタ k をカウントしない設定（ADCMSCk[1:0] ビットを 00b）にした状態で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合と、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合です。初期値を設定すると、A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値ビット（ADCMSCNTkIV[3:0] ビット）の書き込み値が ADCMSCNT2[3:0] ビットの初期値として設定されます。

A/D 変換開始要求コンペアマッチ間引きカウンタは、「カウントしない」から「カウントする」に設定を変更した後の最初のカウントクロックからアップカウントを開始します。

A/D 変換開始要求コンペアマッチ間引き機能の ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビットは GTCNT カウンタ動作の停止後も値を保持し、カウンタが停止する前の値からカウントを再開することができます。ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビットの値をリセット（0000b）する場合、ADCMSC1[1:0] ビットと ADCMSC2[1:0] ビットを 00b にしてカウントしない（間引きなし）設定にしてください。

間引き数を変更するときは、間引きカウンタ動作を停止（ADCMSC1[1:0]ビットまたは ADCMSC2[1:0]ビットのいずれかを 00b に設定）してから間引き数を変更してください。

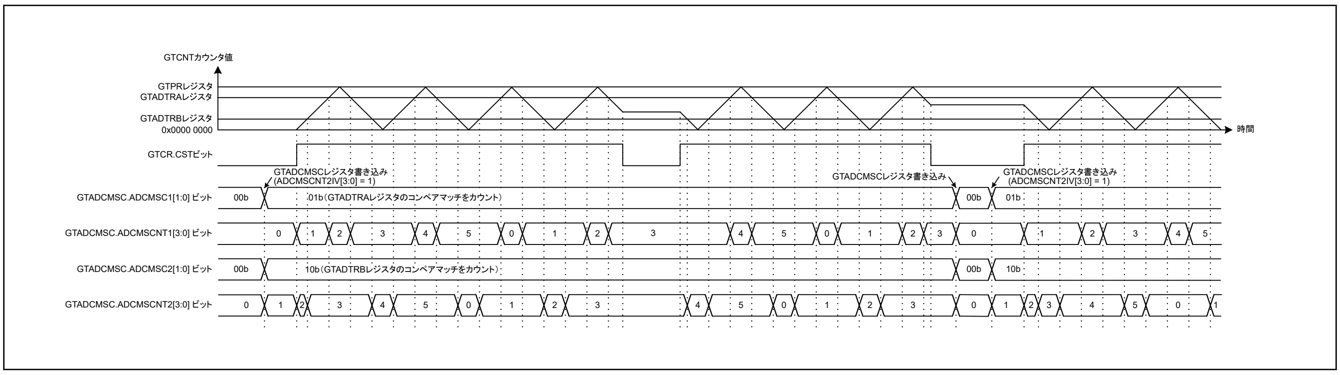


図 20.156　　A/D 変換開始要求コンペアマッチ間引き機能の動作例

ADCMSC レジスタによる A/D 変換開始要求間引きは、GTITC レジスタまたは GTEITC レジスタによる間引きと同時に実行できます。この場合の間引き期間は各レジスタの間引き期間の論理和として表します。

図 20.157 に、対応する割り込み間引き動作と A/D 変換開始要求間引き動作を同時に実行する場合を示します。

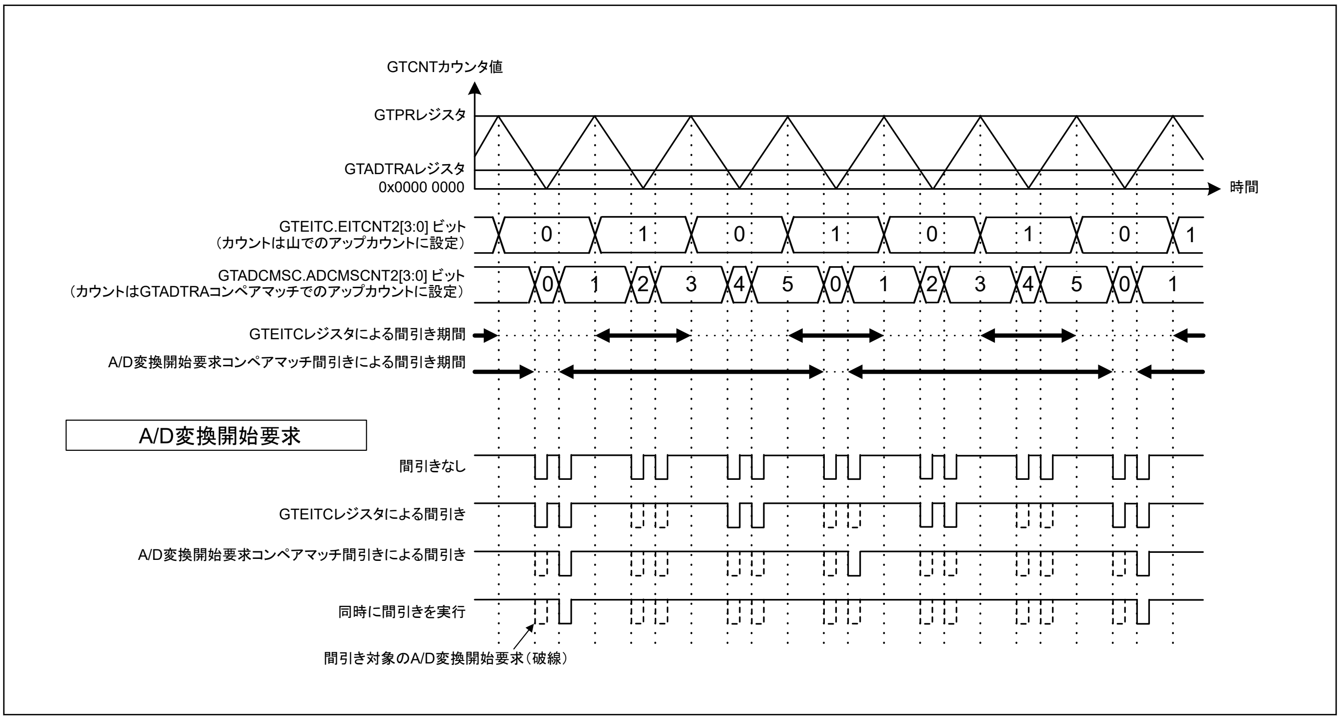


図 20.157　　A/D 変換開始要求コンペアマッチ間引き機能の動作例（拡張割り込み間引き：EIVTC2[1:0] = 01b、EADTAL[2:0] = 010b、A/D 変換開始要求コンペアマッチ間引き：ADCMSC2[1:0] = 01b、ADCMSAL[2:0] = 010b）

GTADCMSS レジスタで設定可能な A/D 変換開始要求間引きを実行した場合、ステータスフラグの更新と ELC イベント出力は GTINTAD レジスタの A/D 変換開始要求許可ビットにより異なります。GTINTAD レジスタで禁止設定した A/D 変換開始要求の動作は、すべて実行されません。

GTADCMSS レジスタによるバッファ転送間引きは、GTBER レジスタおよび GTBER2 レジスタで許可されたすべてのバッファ動作、あるいはのこぎり波ワンショットパルスモード、三角波 PWM モード 3、または相補 PWM モードで行われるすべてのバッファ動作において実行されます（GTCCRC、GTCCRE から GTCCRA へのバッファ転送を除きます）。

A/D 変換開始要求間引きとバッファ転送間引きは個別に動作します。

拡張間引き機能の動作例を図 20.158 と図 20.159 に示します。

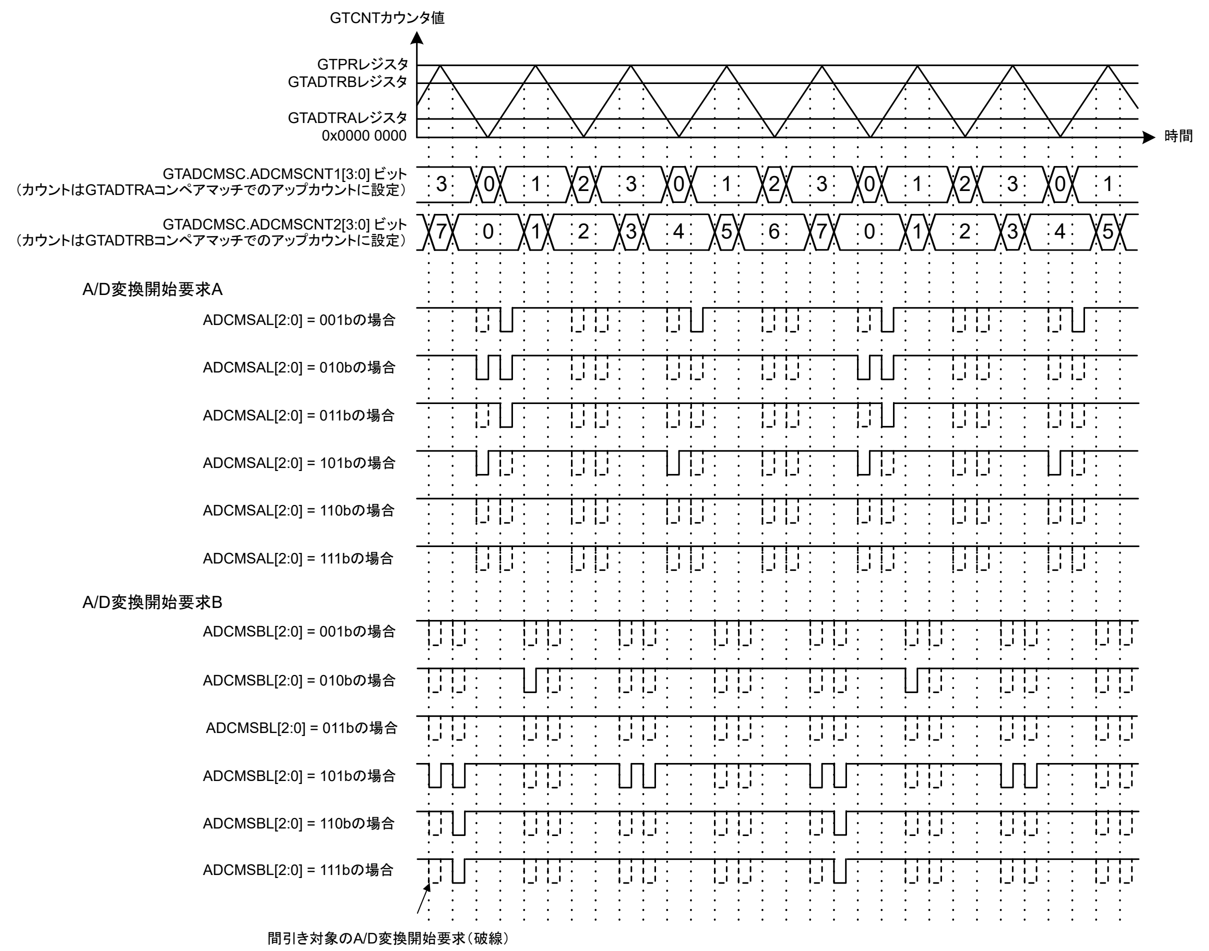


図 20.158　A/D 変換開始要求コンペアマッチ間引き機能の動作例（三角波、A/D 変換開始要求コンペアマッチ間引き 1 間引きカウント : 3 カウント GTADTRA コンペアマッチ、A/D 変換開始要求コンペアマッチ間引き 2 間引きカウント : 7 カウント GTADTRB コンペアマッチ）

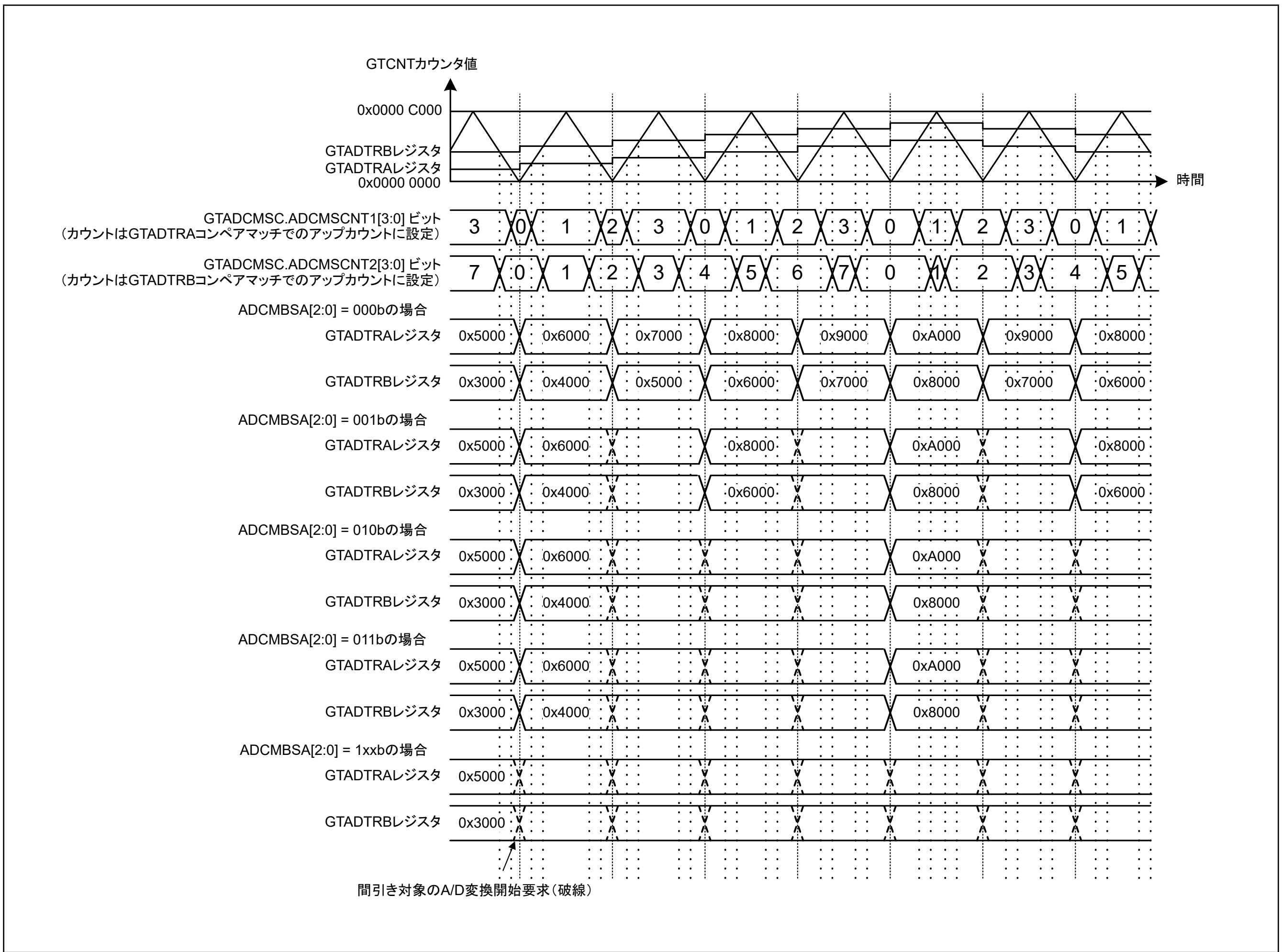


図 20.159　A/D 変換開始要求コンペアマッチ間引き機能の動作例（三角波、A/D 変換開始要求コンペアマッチ間引き 1 間引きカウント : 3 カウント GTADTRA コンペアマッチ、A/D 変換開始要求コンペアマッチ間引き 2 間引きカウント : 7 カウント GTADTRB コンペアマッチ、GTADTRA および GTADTRB の谷でのバッファ転送）

表 20.75 に、A/D 変換開始要求コンペアマッチ間引きの設定例を示します。

A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値は、拡張割り込み間引きカウンタ 2 のカウントソースをカウントしない（GTADCMSC.ADCMSC2[1:0] ビット = 00b）からカウントする（ADCMSC2[1:0] ビット = 00b 以外）に設定変更するために適用する ADCMSCNT2IV[3:0] ビットの書き込み値で設定されます。A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値ビット（ADCMSCNT2IV[3:0] ビット）への書き込みが行われるのは、上述の A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値の設定を書き込んだときのみです。

表 20.75　A/D 変換開始要求コンペアマッチ間引きの設定例 (1/2)

No.	ステップ名	説明
1	GTCNT カウンタ動作設定、 バッファ動作設定、 コンペアマッチ値設定	「20.3.2. バッファ動作」、「20.3.3. PWM 出力動作モード」、「20.5. A/D 変換開始要求」などを参照してください。
2	A/D 変換開始要求コンペアマッチ間引き機能の設定	間引き対象の A/D 変換開始要求またはバッファ転送に対する間引き機能選択ビットを GTADCMSS レジスタで設定して、間引きカウンタと割り込み期間を選択します。
3	A/D 変換開始要求コンペアマッチ間引きカウンタ k（k = 1, 2）の設定	GTADCMSC レジスタで、間引きカウンタのカウントソース、間引き回数、間引きカウンタ k の初期値を以下の順番で設定します。 GTADCMSC.ADCMSCk[[1:0] ビットを 00b 以外の値に、ADCMSTk[3:0] ビットを 0000b 以外の値に設定します。 ADCMSCk[1:0] ビットを 00b から 00b 以外の値に変更し、ADCMSCNTkIV[3:0] ビットを間引きカウンタ k の初期値に設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

表 20.75　A/D 変換開始要求コンペアマッチ間引きの設定例 (2/2)

No.	ステップ名	説明
5	周期ごとのバッファ値設定	「20.3.2. バッファ動作」、「20.3.3. PWM 出力動作モード」、「20.5. A/D 変換開始要求」などを参照してください。

20.5　A/D 変換開始要求

A/D 変換開始要求は GTCNT カウンタと GTADTRA レジスタまたは GTADTRB レジスタとのコンペアマッチで発行できます。また GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウントの両方が指定できます。

相補 PWM モードの場合、マスタチャネルの GTCNT カウンタとのコンペアマッチで A/D 変換開始要求を発行できます。

イベントカウント動作時は、A/D 変換開始要求は発生できません。

A/D 変換開始要求は、イベント信号として ELC に送信されます。

GTADTRA レジスタおよび GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタを GTADTBRA レジスタや GTADTDBRA レジスタと一緒に使用してバッファ動作を実行したり、GTADTRB レジスタを GTADTBRB レジスタや GTADTDBRB レジスタと一緒に使用してバッファ動作を実行したりできます。

A/D 変換開始要求の発生タイミングを外部端子で監視できます。監視対象の A/D 変換開始要求信号を GTADSMR.ADSMSk ビット (k = 0, 1) で選択し、ADSMENk ビットで出力を許可すると、A/D 変換開始要求信号の発生に使用されたタイマのサイクルフレームに同期した信号が出力されます。この出力は、GTADSMk 端子による A/D 変換開始要求信号発生時、または出力が Low の周期の終わりに High になります。A/D 変換開始要求信号が周期の終わりに発生した場合、この信号の発生がモニタ出力として優先され、次の周期の終わりまで出力は High のままとなります。A/D 変換開始要求信号の発生元であるレジスタ（GTADTRA および GTADTRB）と、そのカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRADF, ADTRBUF, ADTRBDF) で確認できます。複数のチャネルに対して同一の A/D 変換開始要求信号監視出力の出力を許可している場合、それらの論理和を取った信号が GPT16 から出力されます。

図 20.160 に A/D 変換開始要求動作の例、表 20.76 に A/D 変換開始要求動作の設定例を示します。

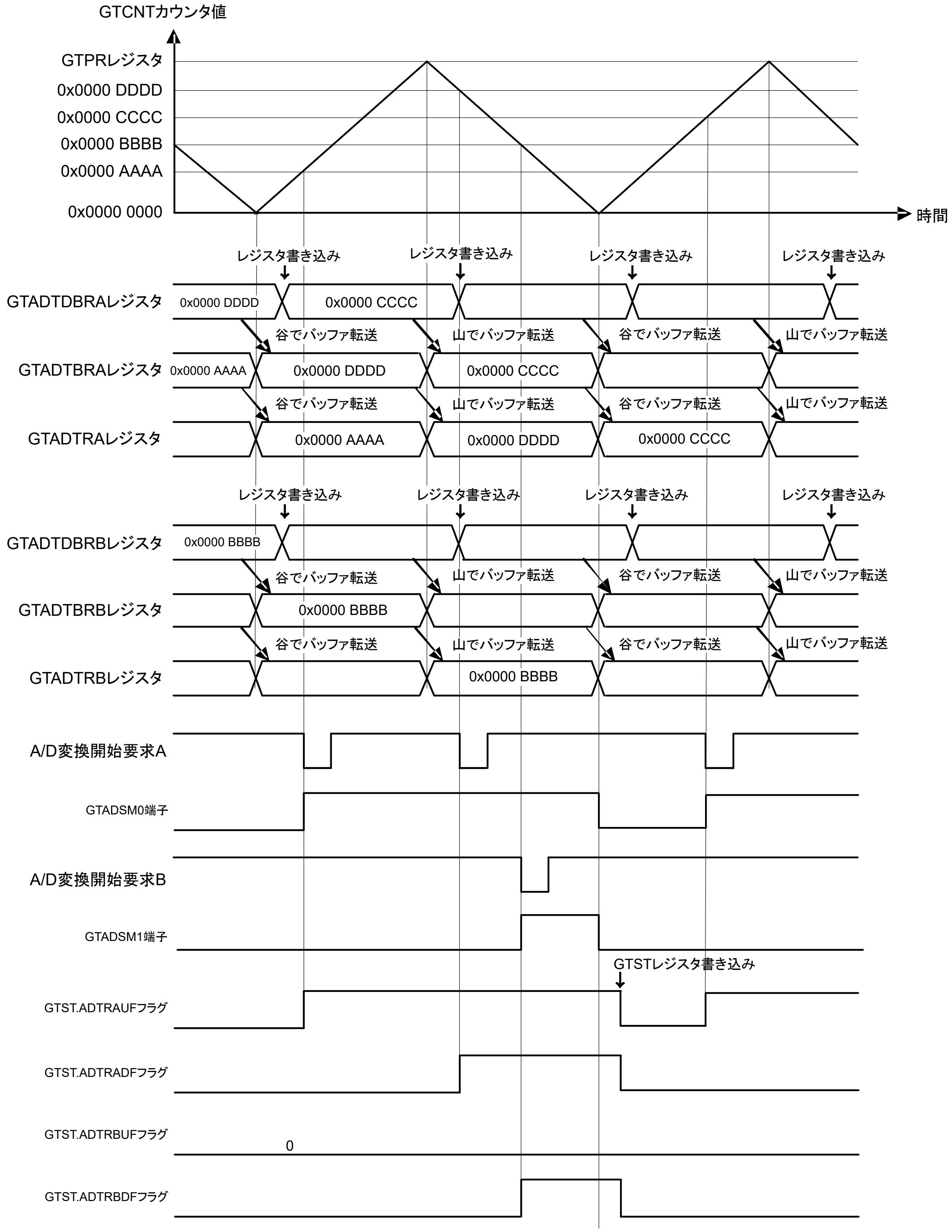


図 20.160　A/D 変換開始要求タイミング動作例（三角波、ダブルバッファ動作、谷／山両方でバッファ転送の場合、GTADTRA レジスタはアップカウント／ダウンカウント両方で A/D 変換開始要求、GTADTRB はダウンカウントで A/D 変換開始要求、GTADSM0 端子で GTADTRA レジスタのアップカウントを監視、GTADSM1 端子で GTADTRB レジスタのダウンカウントを監視の場合）

表 20.76　　A/D 変換開始要求タイミング動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 20.160 では、100b、101b、または 110b（0100b、0101b、または 0110b）（三角波 PWM モード）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 図 20.160 では、ADTTA[1:0] = 11b、ADTTB[1:0] = 11b、ADTDA = 1、ADTDB = 1 です。
6	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
7	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
8	監視用の A/D 変換開始要求を設定	GTADSMR レジスタの ADSMS0[1:0] ビットと ADSMS1[1:0] ビットで、監視対象の A/D 変換開始要求信号（GTADSM0 端子と GTADSM1 端子から出力）を選択し、GTADSMR レジスタの ADSMEN0 ビットと ADSMEN1 ビットで、監視中の A/D 変換開始要求信号の出力を許可します。 図 20.160 では、ADSMS0[1:0] = 00b、ADSMS1[1:0] = 11b、ADSMEN0 = 1、ADSMEN1 = 1 です。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 20.160 では、ADTRAUEN ビット = 1、ADTRADEN ビット = 1、ADTRBUEN ビット = 0、ADTRBDEN ビット = 1 です。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

図 20.161 に、A/D 変換開始要求タイミング動作の例を示します。

これは、A/D コンバータの開始要因 0 (ELC_AD00) として、ELC による A/D 変換開始要求 A の出力例を示します。A/D 変換開始要求 A 信号は、GTADTRA レジスタとのコンペアマッチ成立により ELC によって出力されます。

A/D 変換開始要求 A 信号は、GTADTRA レジスタとのコンペアマッチ成立により ELC によって出力されます。A/D 変換開始要求 A 信号は GTCLK と同期します。ELC は PCLKB と同期して信号を受信し、PCLKB の 1 周期が経過した後、A/D 変換開始要因 0 信号を出力します。

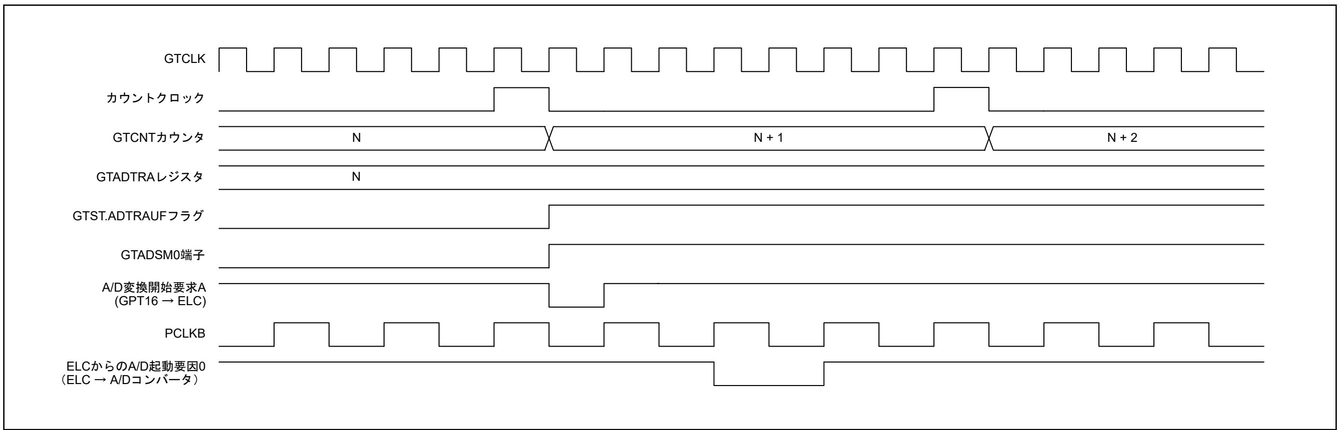


図 20.161　　A/D 変換開始要求タイミング動作例

A/D 変換開始要求の制限事項については、「16. イベントリンクコントローラ (ELC)」を参照してください。

20.6 ELC によるリンク動作

20.6.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

イベント信号は、A/D 変換開始要求以外は、対応する割り込み要求許可ビットの設定に関係なく出力することができます。アップカウント／ダウンカウント中の A/D 変換開始要求は、ELC へ割り込みとイベントの両方を出力するために、A/D 変換開始要求の許可ビットで個別に許可または禁止することができます。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)
- A/D 変換開始要求 A 発生 (GPTn_ADTRGA)
- A/D 変換開始要求 B 発生 (GPTn_ADTRGB)
- 周期計数機能の終了 (GPTn_PC)

注.　n = 0～3

20.6.2 ELC からのイベント信号入力

GPT は、ELC からの最大 8 個のイベントに対して、以下の動作を実行することができます。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ELC とイベント信号入力の接続関係は、「16. イベントリンクコントローラ (ELC)」を参照してください。

20.7 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャネルごとにサンプリングクロックを設定することが可能です。

図 20.162 にノイズフィルタのタイミングを示します。

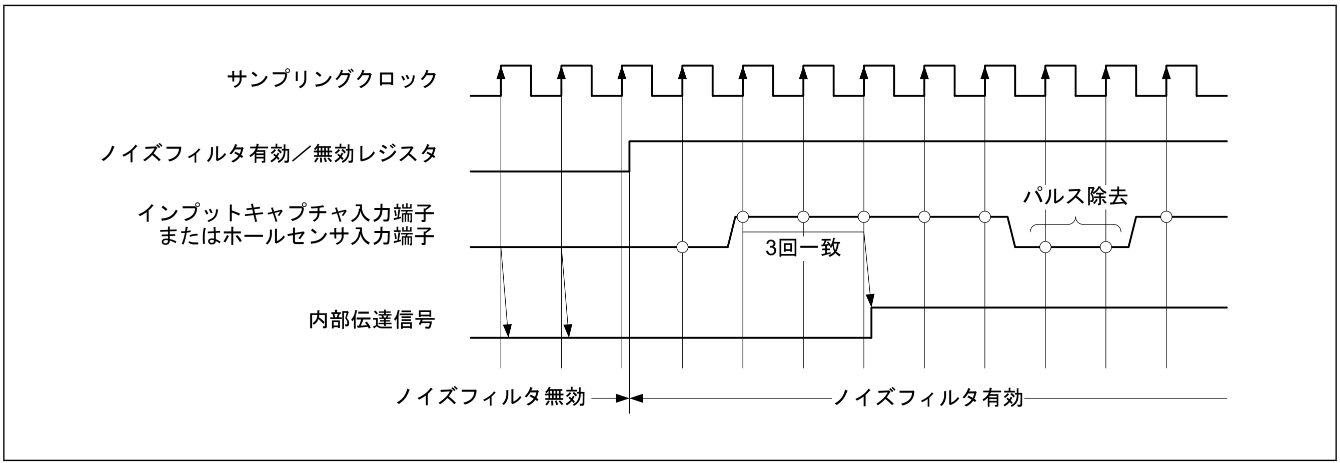


図 20.162　　ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、（サンプリング周期 × 2 + GTCLK）の最短の遅延の後、ノイズフィルタ対象信号のエッジでインプットキャプチャ動作または出力相切り替え動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

20.8　　保護機能

20.8.1　　レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR、GTPSR、GTCSR、GTUPSR、GTDNSR、GTICASR、GTICBSR、GTCR、GTUDDTYC、GTIOR、GTINTAD、GTST、GTBER、GTITC、GTCNT、GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、GTCCRF、GTPR、GTPBR、GTPDBR、GTADTRA、GTADTBRA、GTADTDBRA、GTADTRB、GTADTBRB、GTADTDBRB、GTDTCR、GTDVU、GTDVD、GTDBU、GTDBD、GTSOS、GTSOTR、GTADSMR、GTEITC、GTEITLI1、GTEITLI2、GTEITLB、GTPC、GTADCMSC、GTADCMSS、GTBER2、GTOLBR、GTICCR

GTSTR、GTSTP、および GTCLR レジスタ（他のチャネルの対応するレジスタを更新することができ、反対に他のチャネルの対応するレジスタによって更新されることができる）のすべてのビットは、チャネルごとにそれぞれ GTWP の STRWP、STPWP、および CLRWP ビットを設定することによって保護できます。

同様に、GTSECSR レジスタや GTSECR レジスタ（既定のチャネルの GTSECSR レジスタや GTSECR レジスタへの書き込みにより、全チャネルを制御可能）への書き込みは、GTWP.CMNWP ビットの設定により、許可または禁止することができます。

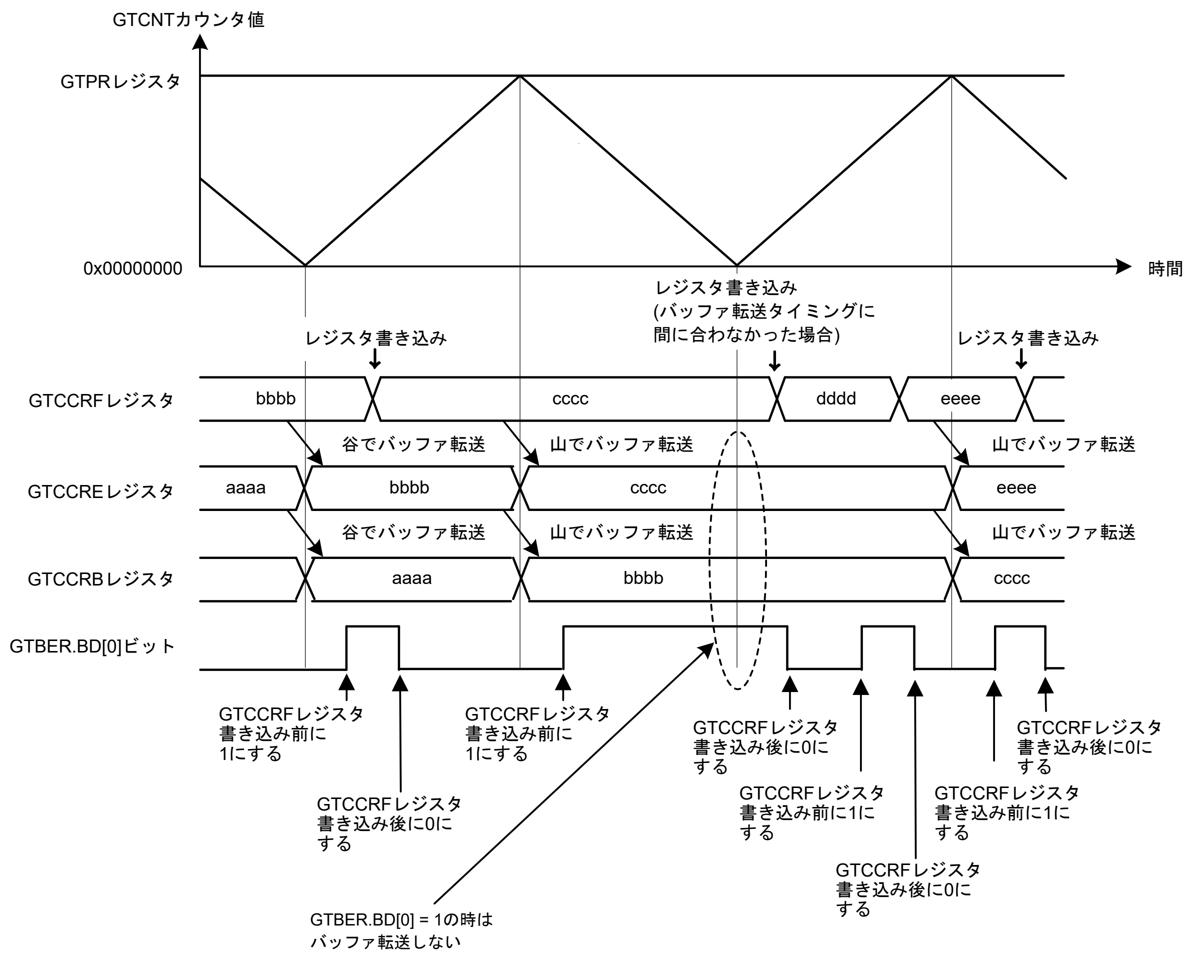
GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

20.8.2　　バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送より遅延している場合、GTBER.BD[3]、BD[2]、BD[1]、BD[0]ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。そのためには、バッファレジスタの書き込み前に BD[3]、BD[2]、BD[1]、BD[0]ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）に戻します。

BD[3]、BD[2]、BD[1]、BD[0]ビットは、GTBER レジスタに直接書き込むことでチャネル毎に設定できます。あるいは、GTSECSR によって事前に設定された複数のチャネルに対して GTSECR レジスタを設定することで同時に 0 にすることもできます。

GTBER レジスタに書き込むことによってバッファ動作を禁止にする動作の例を図 20.163 に示します。



注.　レジスタのベースアドレスは同じです。

図 20.163　バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合）

20.8.2.1　複数チャネルのバッファ動作の同時制御

GTBER.BD ビットは、チャネル毎の GTBER レジスタに直接書き込むか、GTSECSR にすでに設定された複数チャネルの GTSECR レジスタ内に設定を作成することにより設定できます。

複数チャネルの GTBER.BD ビットを同時に設定するには、以下の手順に従ってください。

1. GTSECSR レジスタによる同時設定用チャネルを選択してください。
   同時設定する GTBER.BD ビットのチャネルに対応するビット位置の値が 1 になるように、GTSECSR レジスタを設定してください。いずれかのチャネルの GTSECSR レジスタに書き込むと、全ての GTSECSR レジスタを更新できます。
2. GTSECR レジスタを更新することで、同時に GTBER.BD ビットを設定します。
   同時に設定される GTBER.BD ビットの動作（バッファ動作を許可／禁止）を、GTSECR レジスタで設定します。いずれかのチャネルの GTSECR レジスタに書き込むと、GTSECR レジスタの値に応じて GTSECSR レジスタに 1 が設定されているビットに対応する全てのチャネルの GTBER.BD ビットを更新します。

図 20.164 と図 20.165 に複数チャネルのバッファ動作の許可または禁止の同時制御の例を示します。

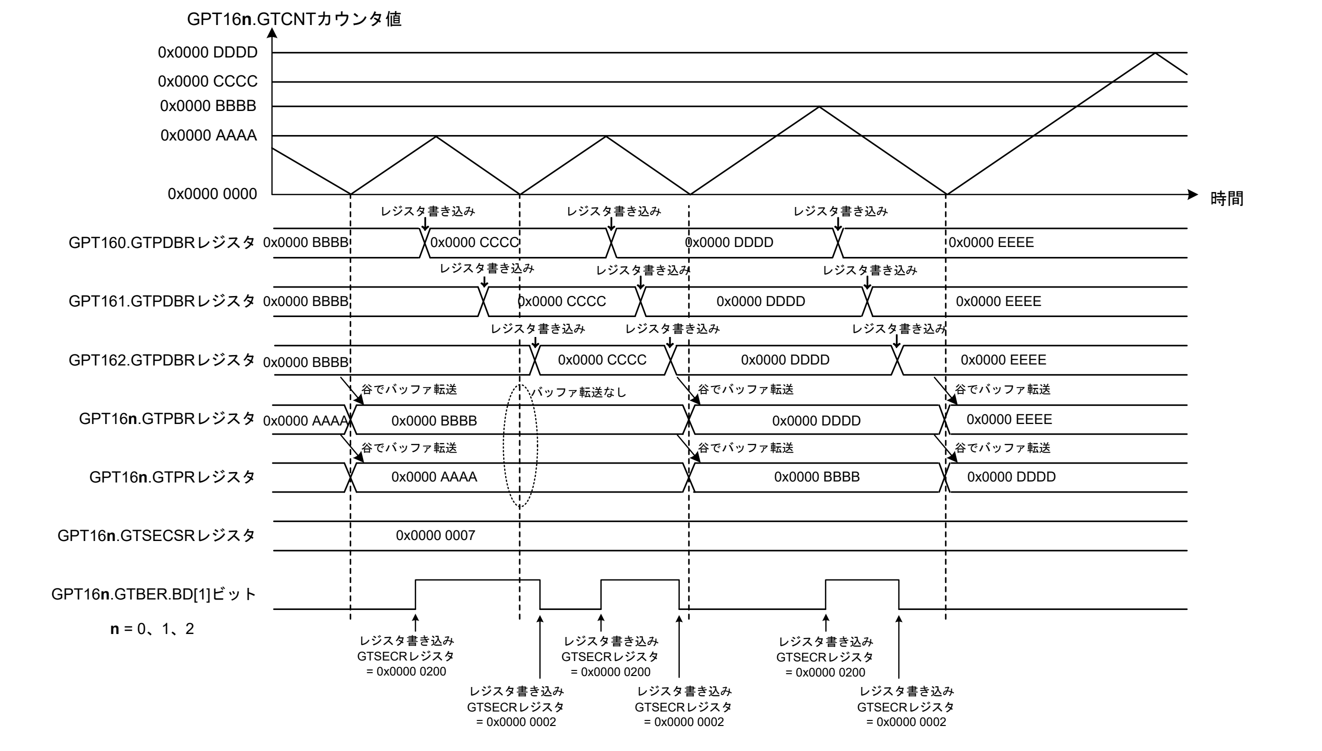


図 20.164　　バッファ動作禁止の複数チャネルの動作例（三角波、ダブルバッファ動作）

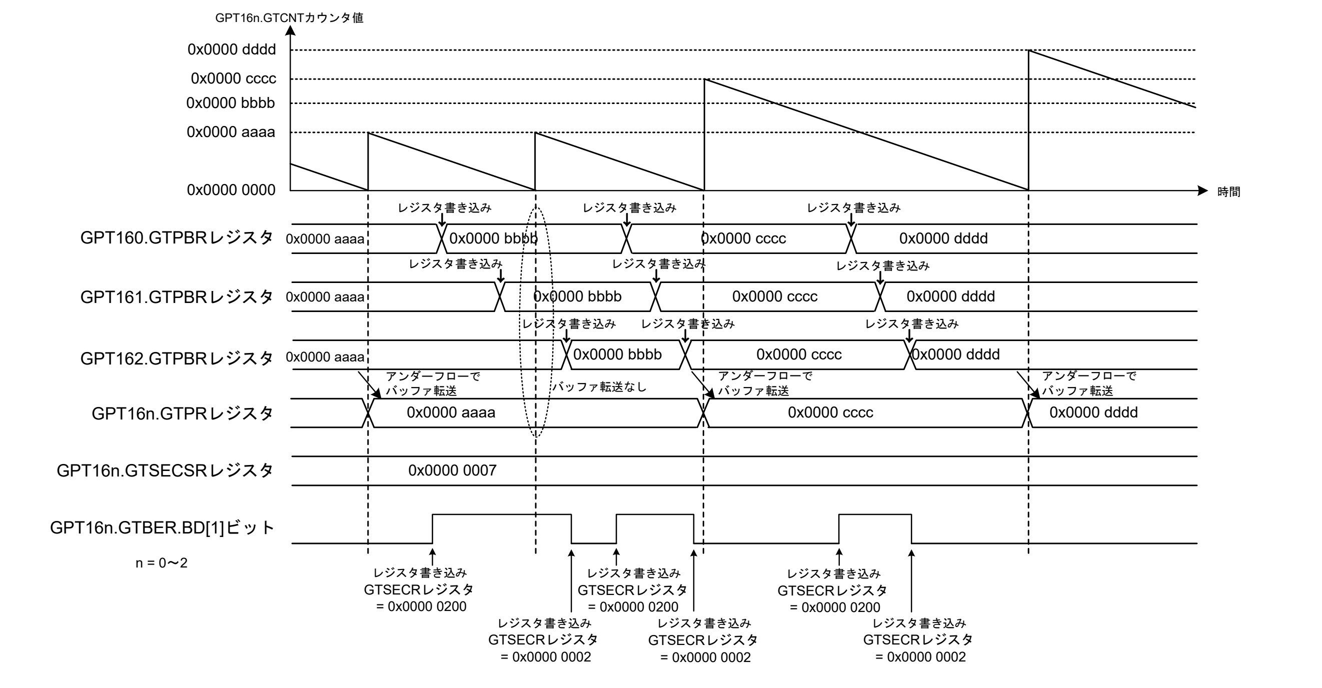


図 20.165　　バッファ動作禁止の複数チャネルの動作例（のこぎり波、シングルバッファ動作）

20.8.2.2　GTCCR バッファ転送禁止時のリピートダブルバッファ動作

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で GTBER.DBRTECm (m = A, B) ビットが 1 の場合、GTBER.BD[0]ビットの設定またはバッファ転送拡張スキップ機能によりバッファ転送が禁止されているときでも、中間バッファから GTCCRm (m = A, B) レジスタへの転送が周期ベースで繰り返されます。

(1)　のこぎり波ワンショットパルスモードの場合

のこぎり波ワンショットパルスモードでは、波形の前半のコンペアマッチ値は GTCCRx (x = C, E) レジスタの中間バッファとしてのテンポラリレジスタ x (x = C, E) に格納されます。波形の後半のコンペアマッチ値は GTCCRy (y = D, F) レジスタの中間バッファとしてのテンポラリレジスタ m (m = A, B) に格納されます。リピートバッファ動作中のコンペアマッチ値に対して、値は GTCCRm (m = A, B) レジスタに交互に転送されます。

のこぎり波ワンショットパルスモードでカウント中の GTCCR レジスタのバッファ転送の種類を表 20.77 に示します。

カウントが停止している間は、テンポラリレジスタの設定値はバッファ強制転送により、転送されます。バッファ強制転送では、対応する GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、GTCCRy (y = D, F) レジスタの値がテンポラリレジスタ m (m = A, B) に転送され、GTCCRx (x = C, E) レジスタの値がテンポラリレジスタ x (x = C, E) に転送されます。

GTBER.DBRTECm ビット (m = A, B) が 1 のとき、CPU による GTCCRm レジスタ (m = A, B) への書き込みはテンポラリレジスタ x (x = C, E) に同じ値を設定します。

表 20.77　GTCNT カウント動作中ののこぎり波ワンショットパルスモードの GTCCR バッファ転送動作

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	転送許可期間	オーバーフローまたはアンダーフロー	転送なし	転送なし	オーバーフローまたはアンダーフロー	GTCCRm コンペアマッチ
	転送禁止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	転送許可期間	オーバーフローまたはアンダーフロー	オーバーフローまたはアンダーフロー	転送なし	オーバーフローまたはアンダーフロー	GTCCRm コンペアマッチ
	転送禁止期間	転送なし	転送なし	オーバーフローまたはアンダーフロー	転送なし	GTCCRm コンペアマッチ

注.　m = A, B
x = C, E
y = D, F

のこぎり波ワンショットパルスモードでの GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、拡張バッファ転送スキップ機能による転送禁止期間発生の動作例を図 20.166 に示します。

のこぎり波ワンショットパルスモードでの GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、GTBER.BD[0]ビット更新による転送禁止期間発生の動作例を図 20.167 に示します。

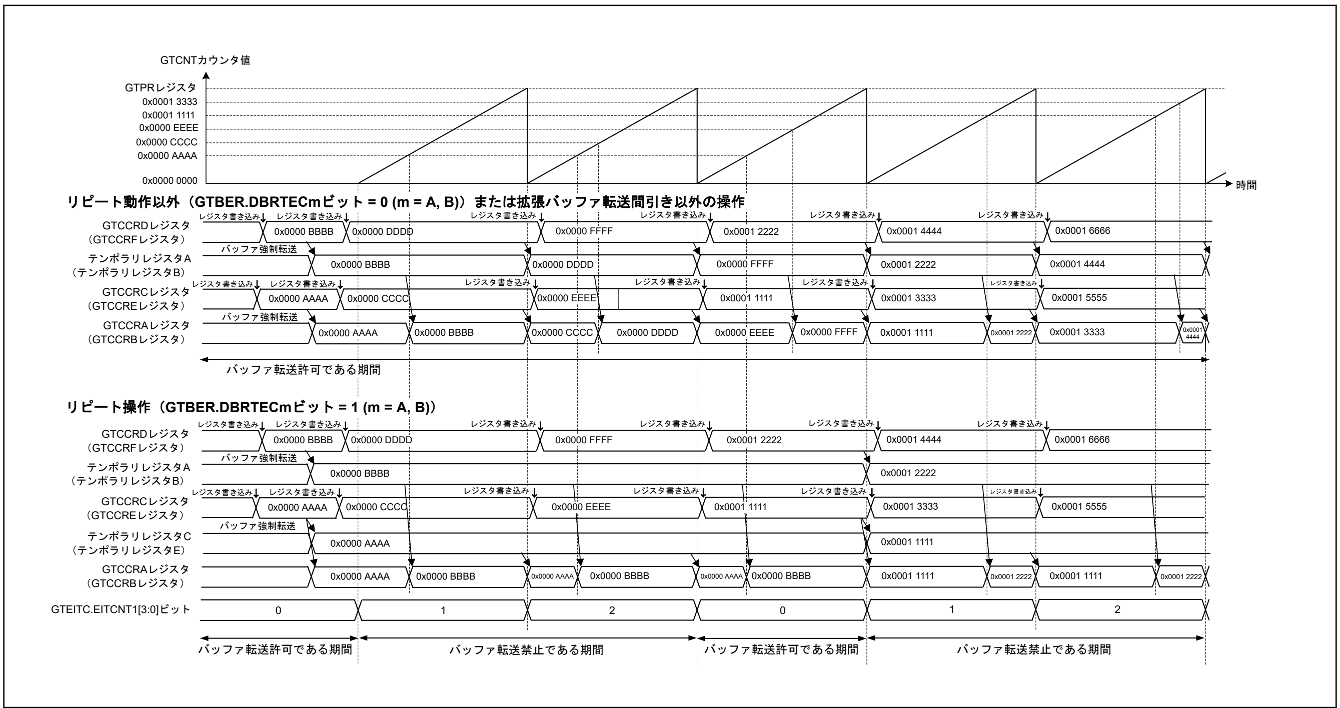


図 20.166　GTCCR バッファ転送が禁止されているときのリピートダブルバッファ動作例（のこぎり波ワンショットパルスモード、拡張バッファ転送間引きを使用、GTBER.BD[0]は常に 0 の場合）

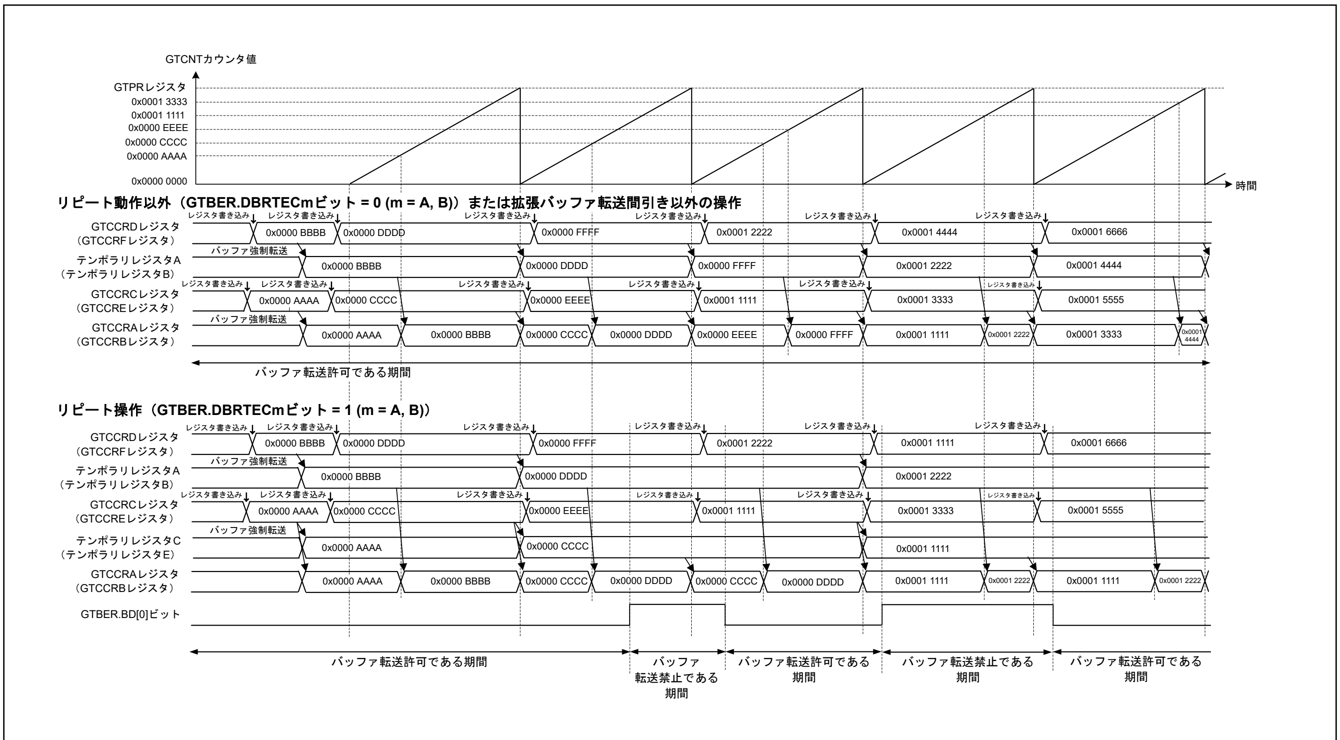


図 20.167　GTCCR バッファ転送が禁止されているときのリピートダブルバッファ動作例（のこぎり波ワンショットパルスモード、GTBER.BD[0]ビットを更新）

(2)　三角波 PWM モード 3 の場合

三角波 PWM モード 3 では、波形の前半のコンペアマッチ値は GTCCRx (x = C, E) レジスタの中間バッファとしてのテンポラリレジスタ x (x = C, E) に格納されます。波形の後半のコンペアマッチ値は GTCCRy (y = D, F) レジスタの中間バッファとしてのテンポラリレジスタ m (m = A, B) に格納されます。リピートバッファ動作中のコンペアマッチ値に対して、値は GTCCRm (m = A, B) レジスタに交互に転送されます。

三角波 PWM モード 3 でカウント中の GTCCR レジスタのバッファ転送の種類を表 20.78 に示します。

カウントが停止している間は、テンポラリレジスタの設定値はバッファ強制転送により、転送されます。バッファ強制転送では、対応する GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、GTCCRy (y = D, F) レジスタの値がテンポラリレジスタ m (m = A, B) に転送され、GTCCRx (x = C, E) レジスタの値がテンポラリレジスタ x (x = C, E) に転送されます。

GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、CPU により GTCCRm (m = A, B) レジスタに書き込まれた値がテンポラリレジスタ x (x = C, E) の値として反映されます。

表 20.78 GTCNT カウント動作中の三角波 PWM モード 3 の GTCCR バッファ転送動作

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	転送許可期間	谷	転送なし	転送なし	谷	山
	転送禁止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	転送許可期間	谷	谷	転送なし	谷	山
	転送禁止期間	転送なし	転送なし	谷	転送なし	山

注. m = A, B
x = C, E
y = D, F

三角波 PWM モード 3 での GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、拡張バッファ転送スキップ機能による転送禁止期間発生の動作例を図 20.168 に示します。

三角波 PWM モード 3 での GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、GTBER.BD[0] ビット更新による転送禁止期間発生の動作例を図 20.169 に示します。

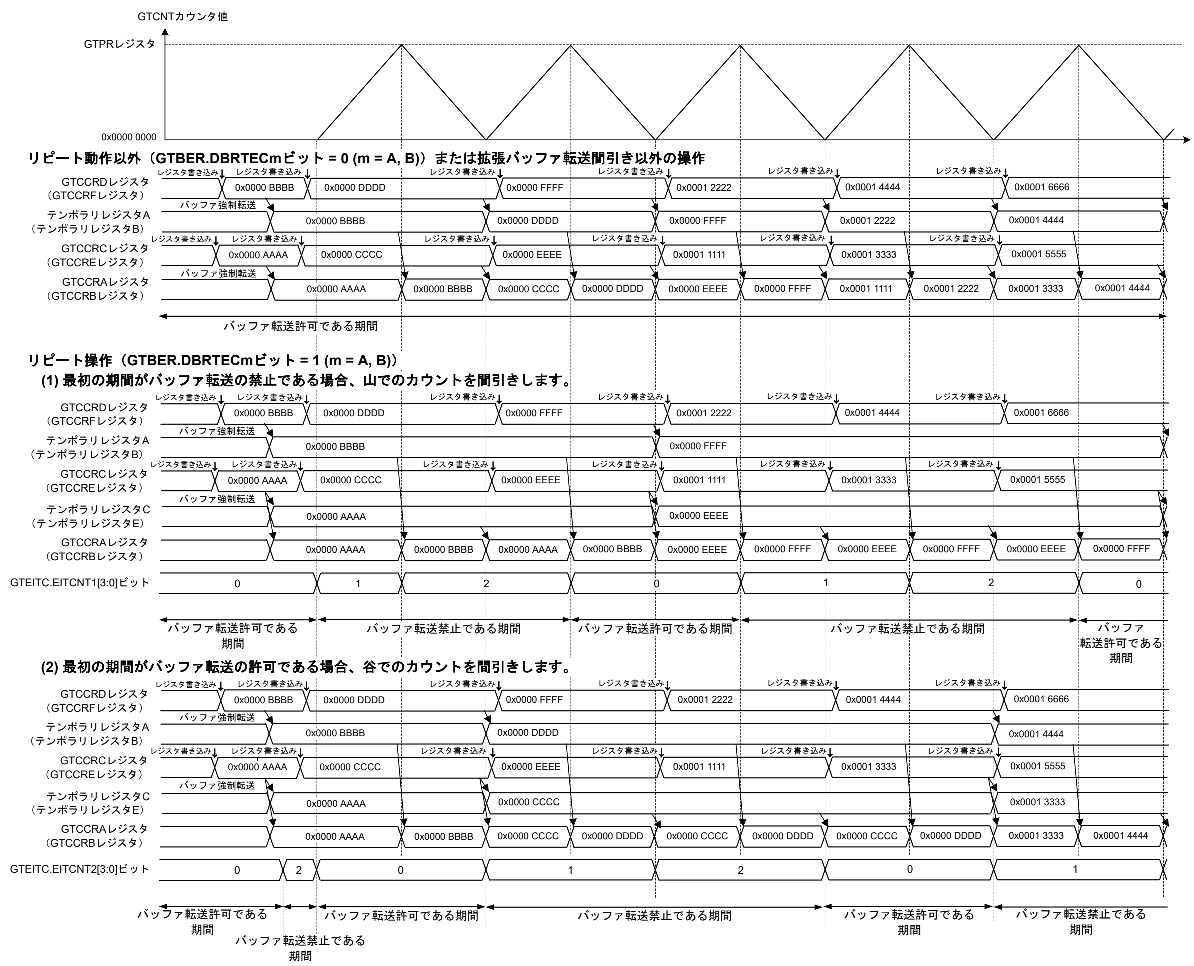


図 20.168　GTCCR バッファ転送が禁止されているときのリピートダブルバッファ動作例（三角波 PWM モード 3、拡張バッファ転送間引きを使用、GTBER.BD[0]は常に 0 の場合）

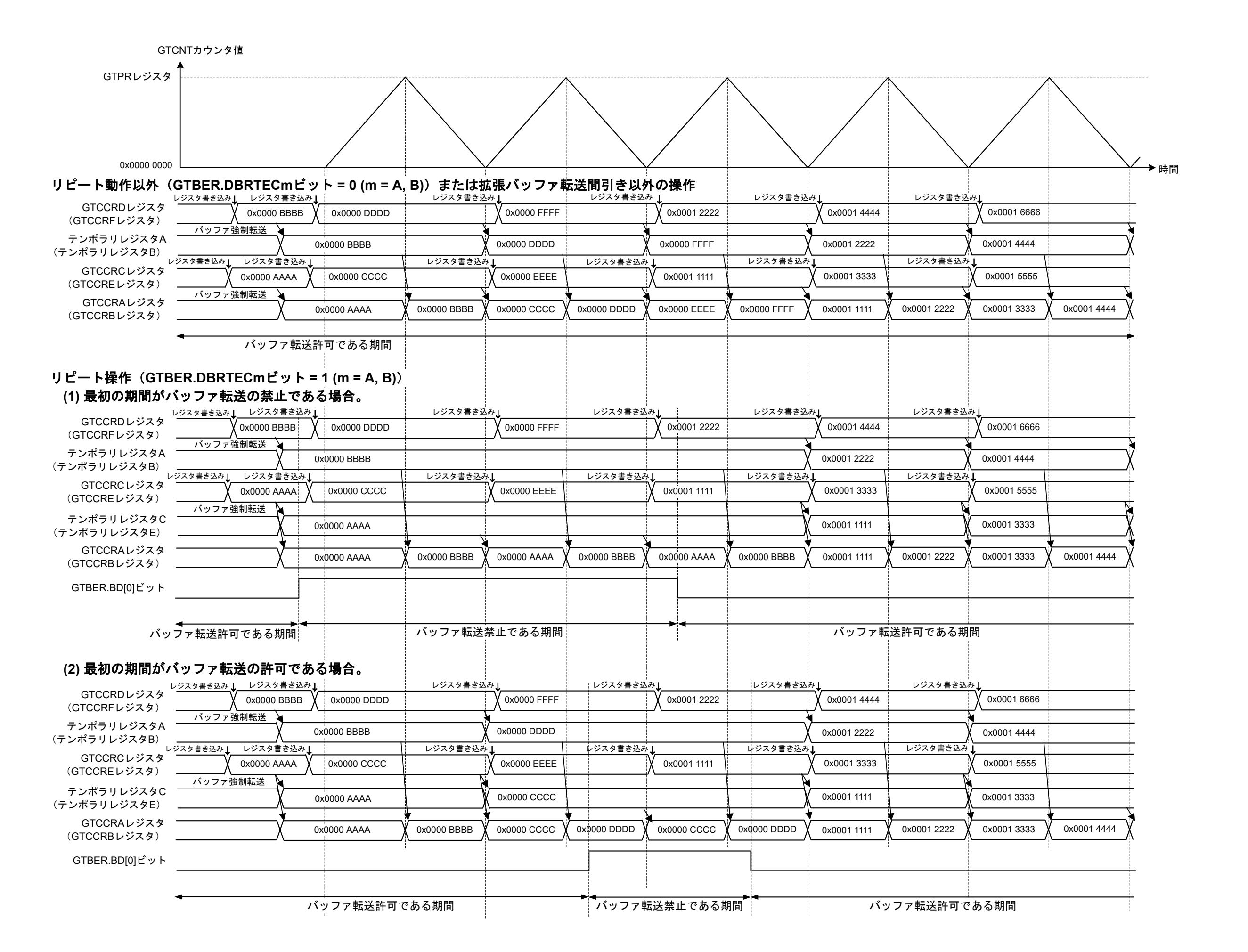


図 20.169　**GTCCR バッファ転送が禁止されているときのリピートダブルバッファ動作例（三角波 PWM モード 3、GTBER.BD[0]ビットを更新）**

20.8.3　GTIOCnm 端子出力の出力禁止制御 (n = 0～3, m = A, B)

システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCnm 端子出力値を強制的に変更する出力禁止制御を、GTIOCnm 端子出力に対して行うことができます。デッドタイムエラーまたは同じ出力レベルが GTIOCnA 端子と GTIOCnB 端子に検出されるとき、出力保護が要求されます。GTINTAD.GRPDTE、GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG が各チャネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0]ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力禁止要求信号として、POEG から入力される 4 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の出力レベルは、GTIOCnA 端子は GTIOR.OADF[1:0]ビット、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり、出力禁止要求が解除されるのは、最短で 3 GTCLK 目以降です。出力禁止を確実に制御するには、4 サイクルの GTCLK を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時、動作モードがのこぎり波 PWM モード 2 の場合、または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCnA 端子は GTIOR.OADF[1:0]ビットを 00b に、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットを 00b にしてください。

図 20.170 に GTIOCnm 端子出力禁止制御の動作例を示します。(n = 0～9, m = A, B)

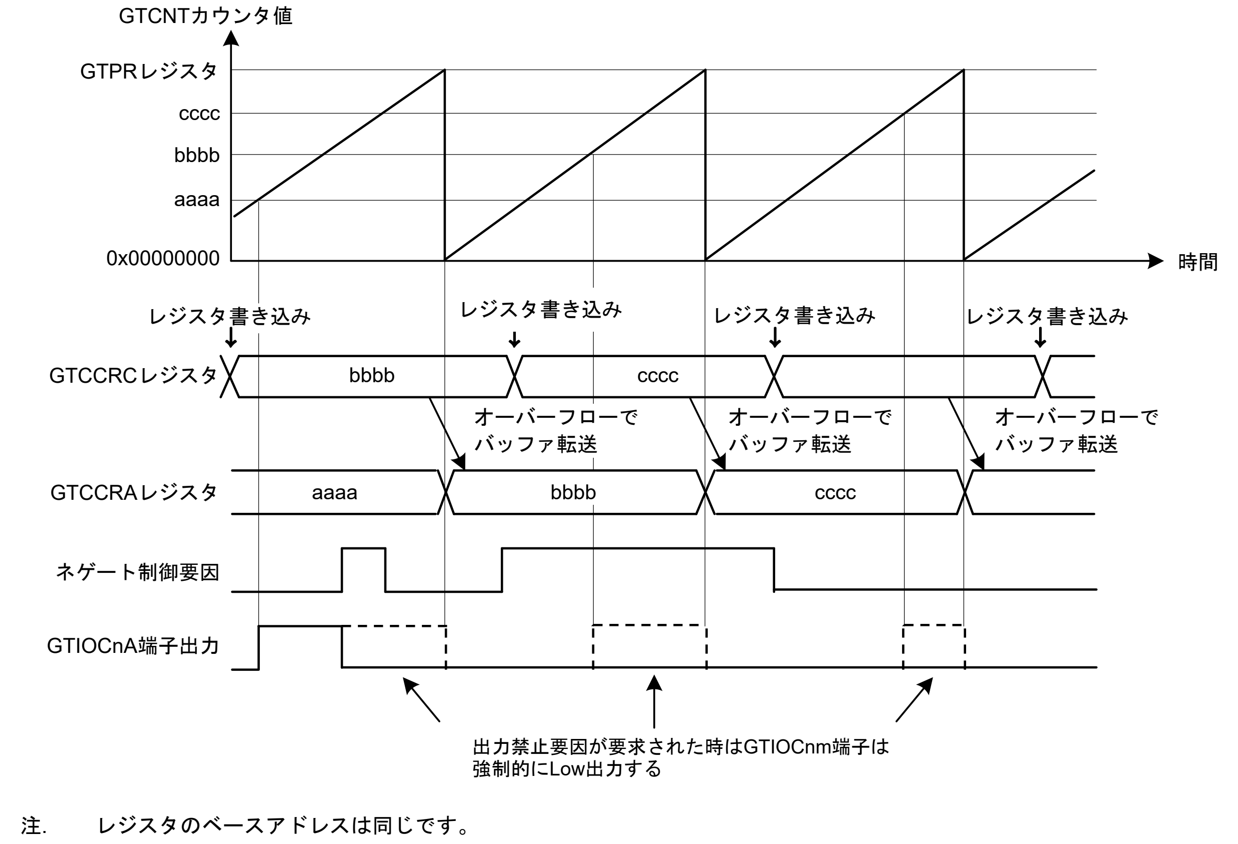


図 20.170　GTIOCnm 端子出力禁止制御の動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合） (n = 0～3, m = A, B)

20.8.4　GTIOCnm 端子出力の出力保護機能 (n = 0～2, m = A, B)

GTCCRA レジスタに誤った値（0x00000000 か、GTPR レジスタの値以上の値）が設定された場合に備えて、三角波 PWM モードで自動デッドタイムが設定されているとき（GTDTCR.TDE ビット = 1）、GTIOCnm 端子出力の出力保護機能（禁止機能）が起動されます。

出力保護機能の動作状態は、GTSOS.SOS[1:0]ビットで確認することができます。

図 20.171 に出力保護機能の状態遷移を示します。

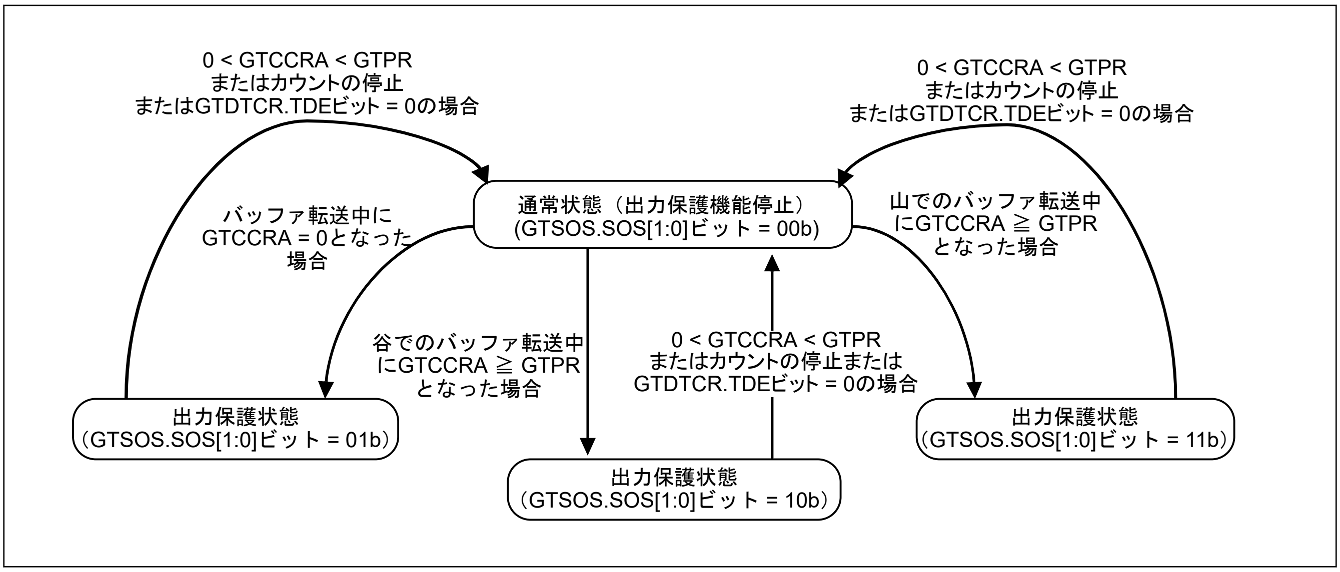


図 20.171 出力保護機能

(1) バッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能

図 20.172 と図 20.173 に、谷でのバッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能の動作例を、図 20.174 と図 20.175 に、山でのバッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能の動作例を示します。

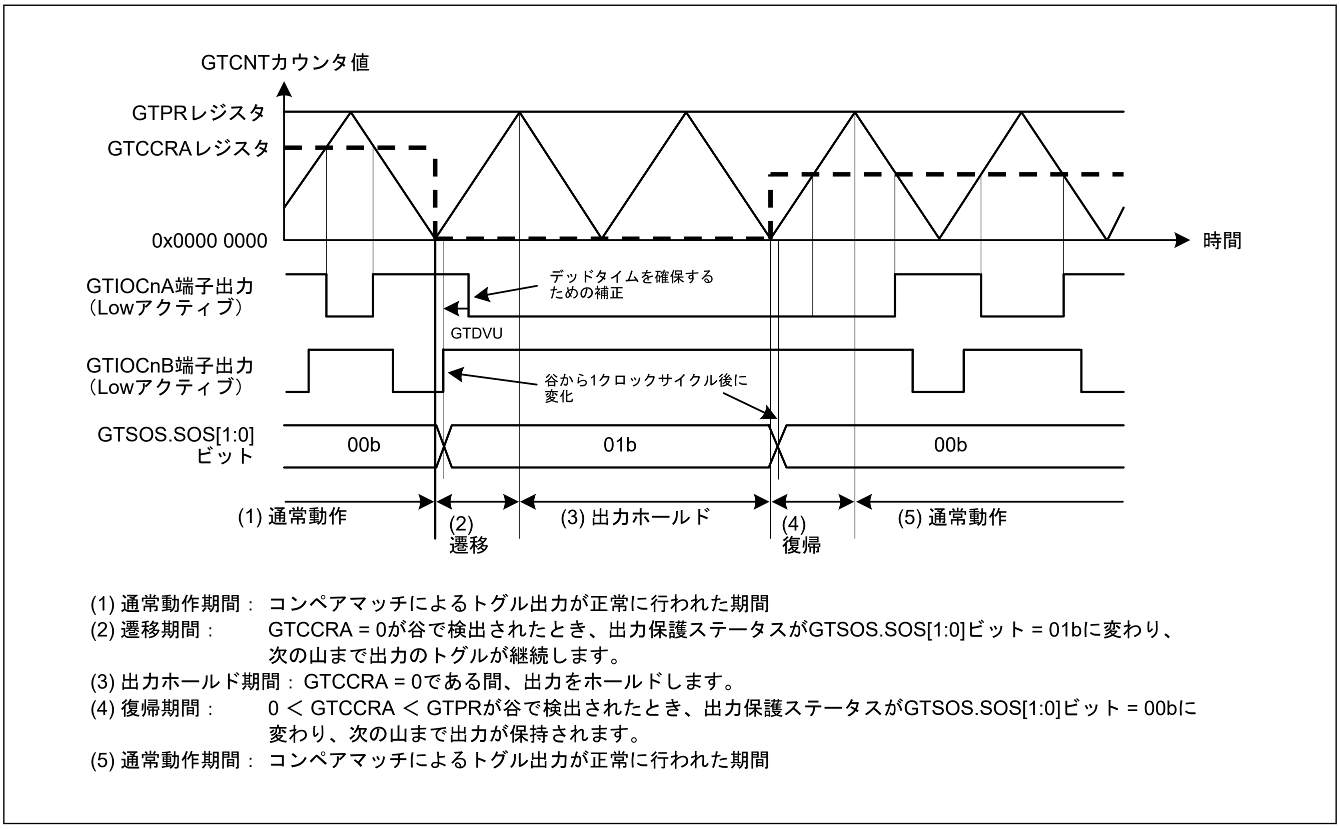
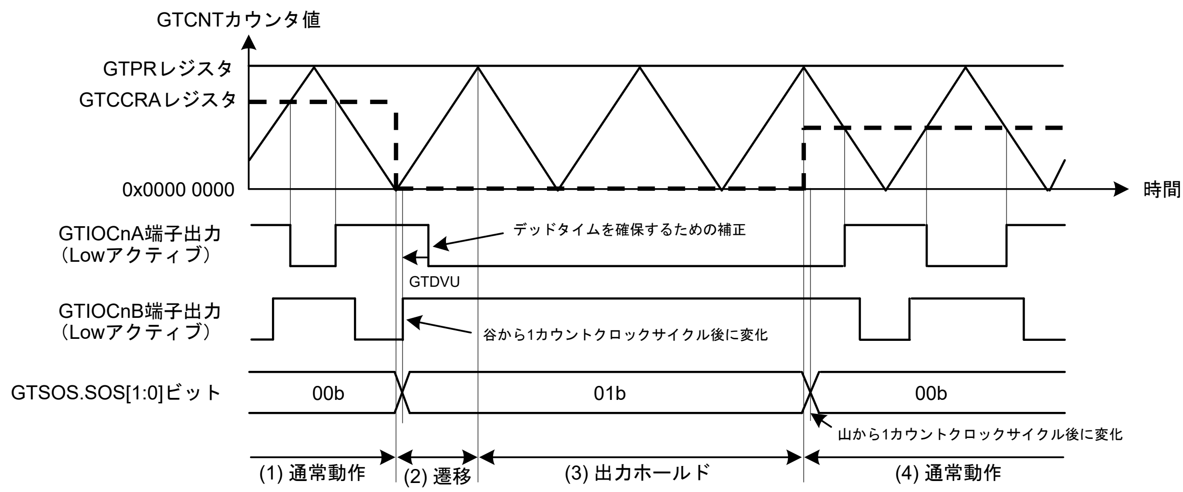


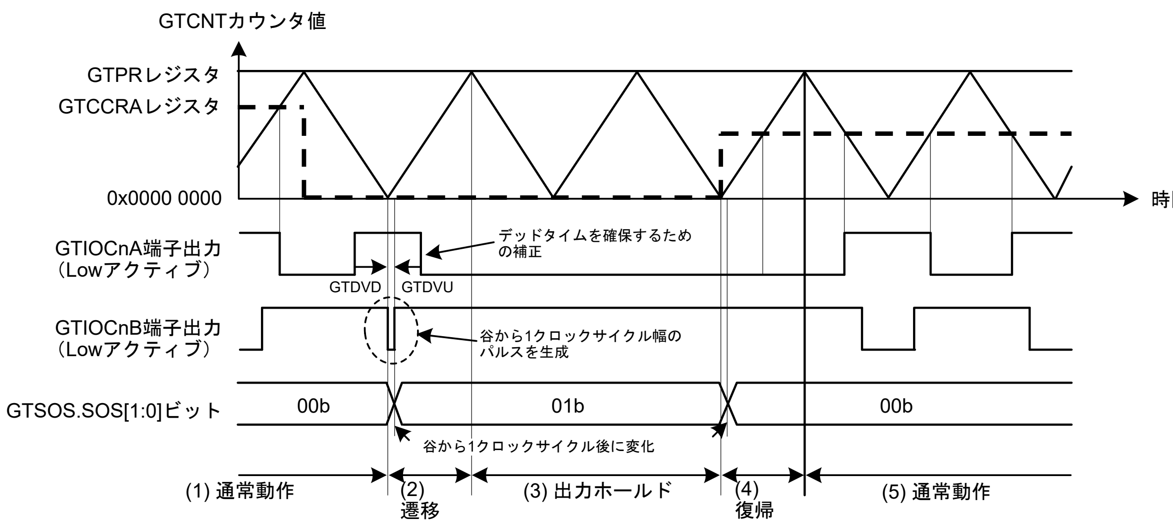
図 20.172 谷でのバッファ転送中に GTCCRA が 0x0000 0000 になったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0～2)



(1) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。

(3) 出力ホールド期間：　GTCCRA = 0である間、出力をホールドします。
(4) 通常動作期間：0 ＜ GTCCRA ＜ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.173　　谷でのバッファ転送中に GTCCRA が 0x0000 0000 になったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0～2)



(1) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：　GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間：GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間：　0 ＜ GTCCRA ＜ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間

図 20.174　　山のバッファ転送中に GTCCRA レジスタが 0x0000 0000 になったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは：Low） (n = 0～2)

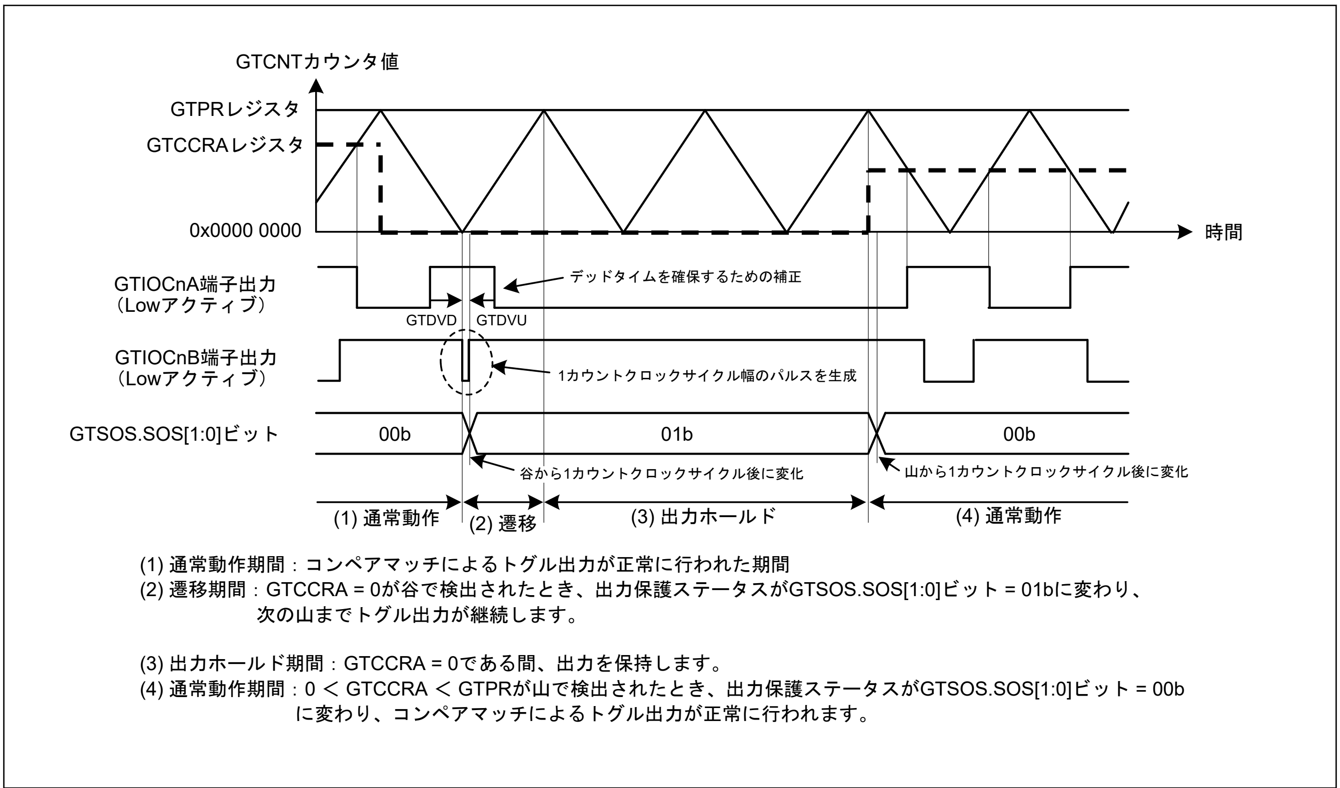


図 20.175　山でのバッファ転送中に GTCCRA が 0x0000 0000 になったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0～2)

(2)　谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

図 20.176 と図 20.177 に、谷でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例を示します。

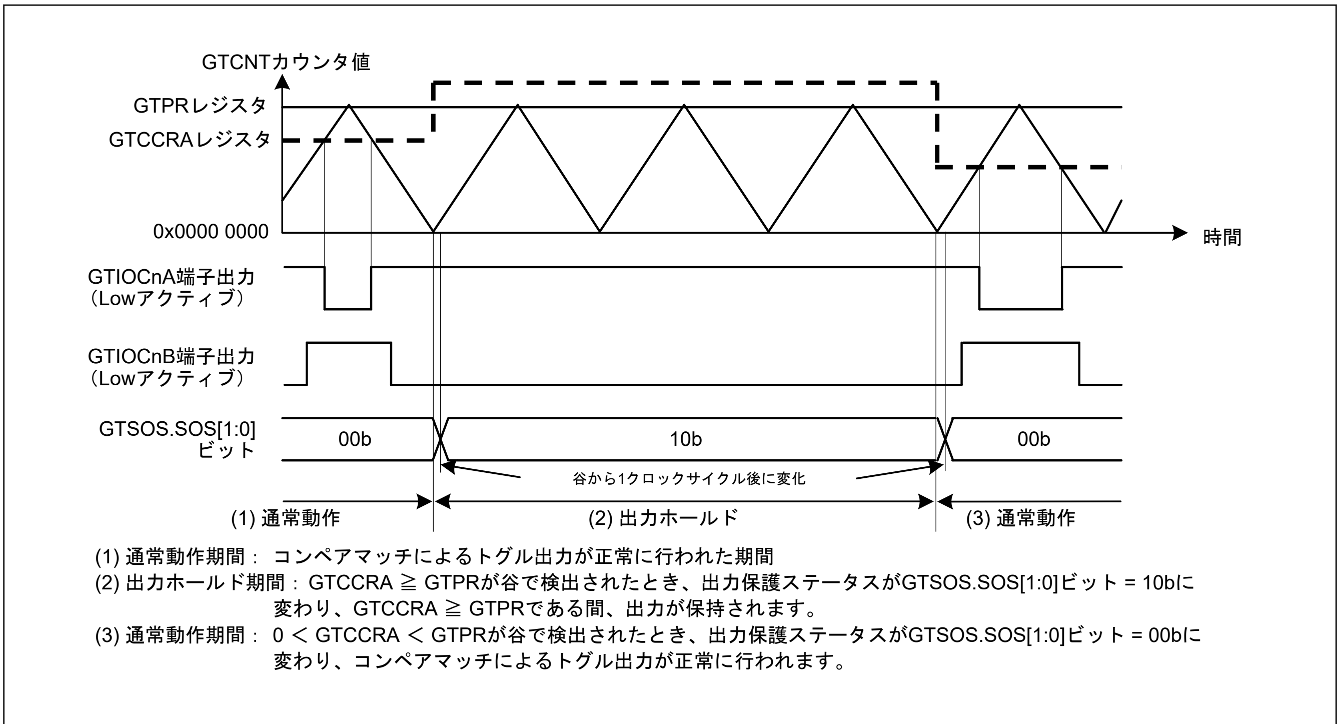


図 20.176　谷でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0～2)

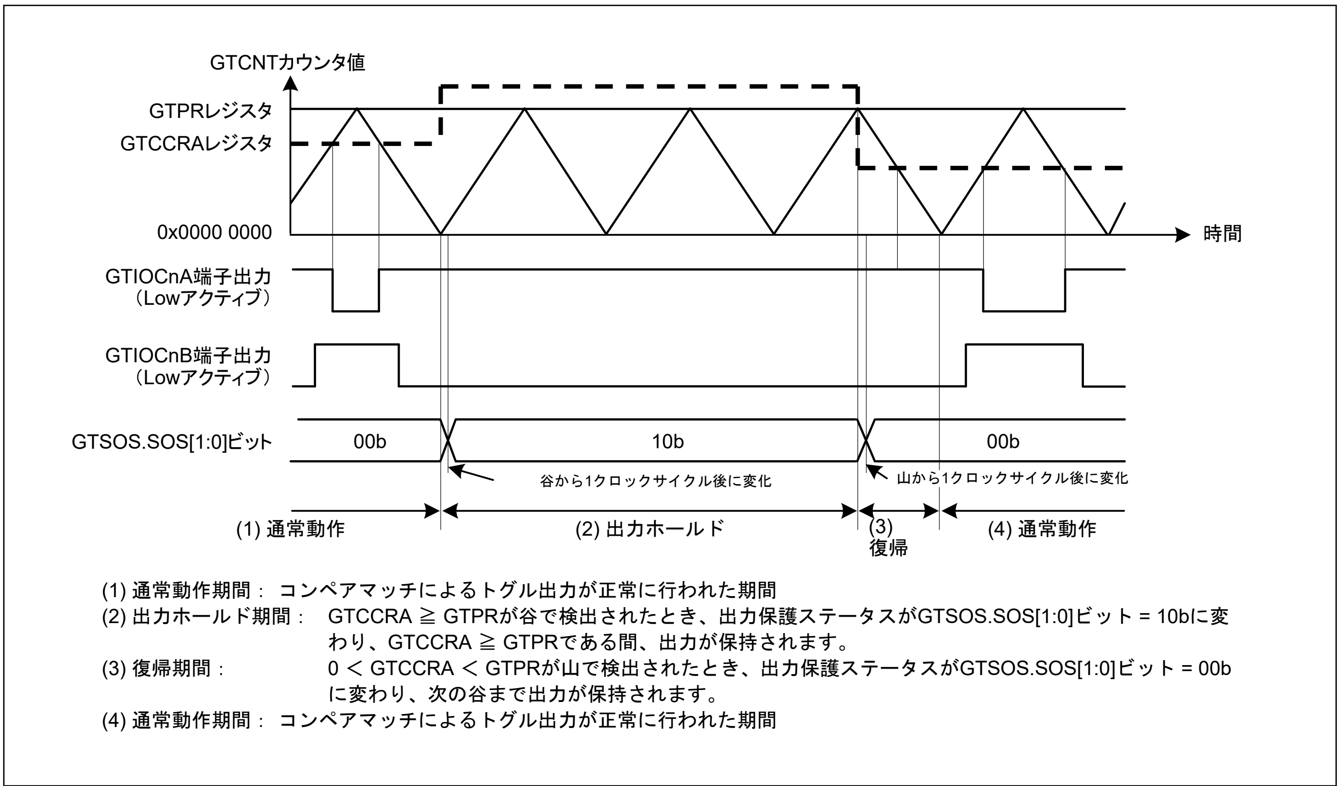


図 20.177　谷でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0～2)

(3)　山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

図 20.178 と図 20.179 に、山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例を示します。

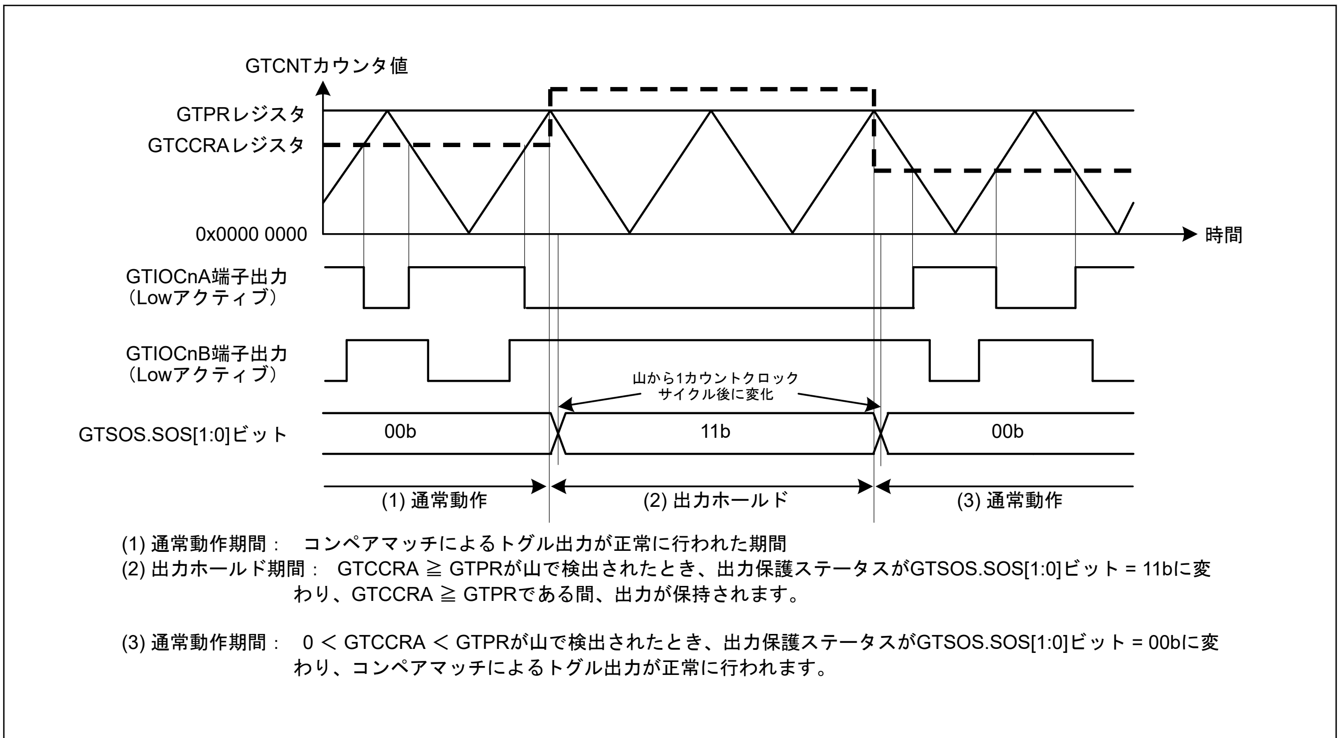
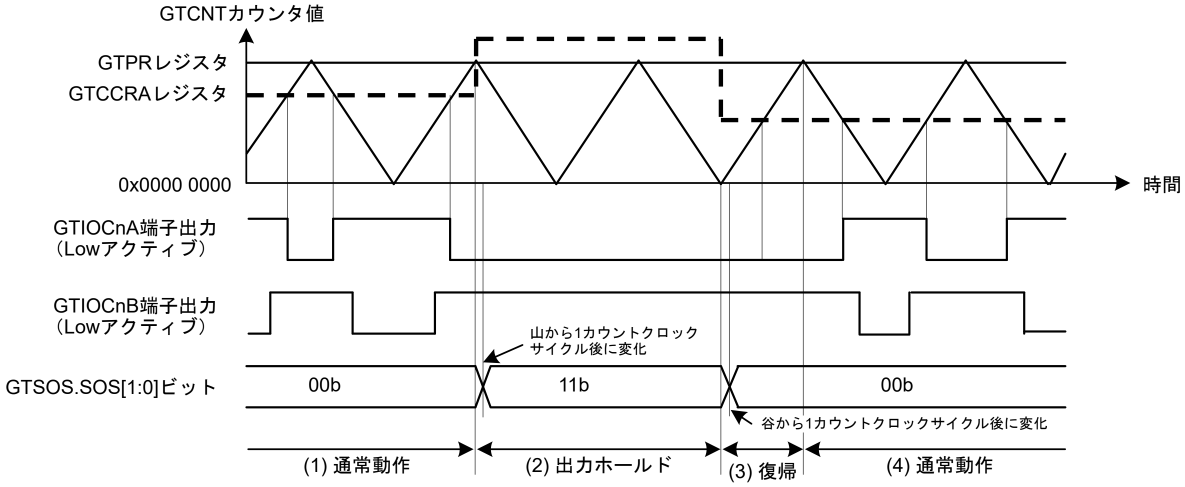


図 20.178　山でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0～2)



(1) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間

(2) 出力ホールド期間：　GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0] = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。

(3) 復帰期間：0 ＜ GTCCRA ＜ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0] = 00bに変わり、次の山まで出力が保持されます。

(4) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間

図 20.179　山でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low）(n = 0〜2)

(4)　出力保護機能の仕様上の制約事項

カウント動作で GTCCRA レジスタに誤った値（0x0000 0000 か、GTPR レジスタの値と等しいかより大きい値）が設定されても、出力保護機能が指定された通り働き、正相、逆相のうちいずれかの出力が非アクティブになります。ただし、下記の条件を満足しない場合、出力保護機能は正常に動作しません。

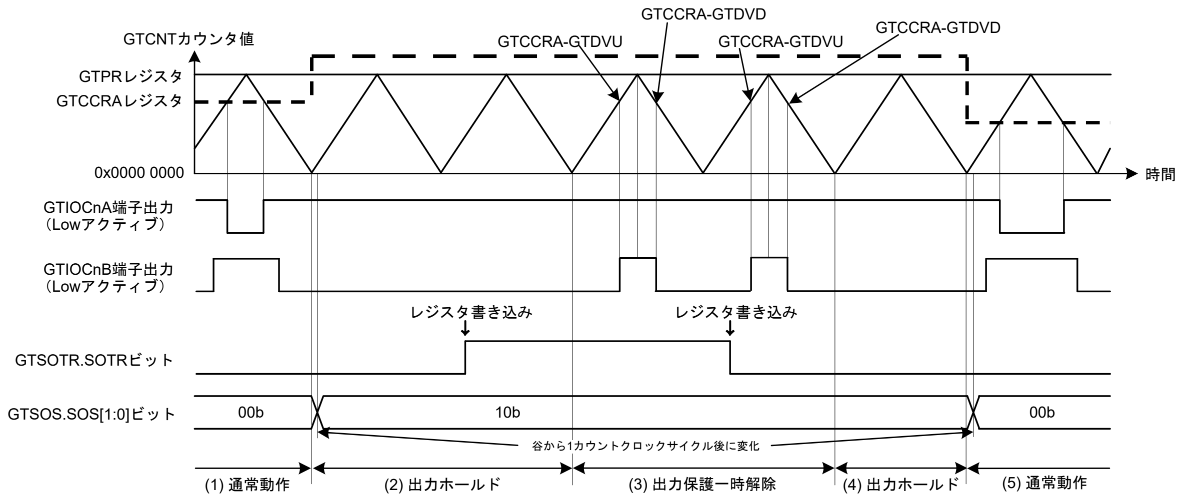
- カウント動作開始時点の GTCCRA レジスタの値が 0x0000 0000 より大きく、GTPR レジスタの設定値より小さい場合

(5)　出力保護機能の一時解除

GTSOS.SOS[1:0]ビット = 10b（谷の転送で GTCCRA レジスタ≧GTPR レジスタとなったことを示す保護状態）の場合、GTSOTR.SOTR ビットを 1 にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0]ビットは 10b を保持します。

また、SOTR ビットを 0 にすると、GTIOCnB 端子出力保護を再開できます。

図 20.180 に、谷でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の一時解除の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。出力保護期間中にGTSOTR.SOTRビットを1にしても、設定後の最初の谷からGTIOCnB端子出力が保持されます。

(3) 出力保護一時解除期間：GTSOTR.SOTRビットを1にすると、設定後の最初の谷からGTIOCnB端子出力が正常に行われます。
出力保護解除期間中にGTSOTR.SOTRビットを0にしても、設定後の最初の谷からGTIOCnB端子出力が保持されます。

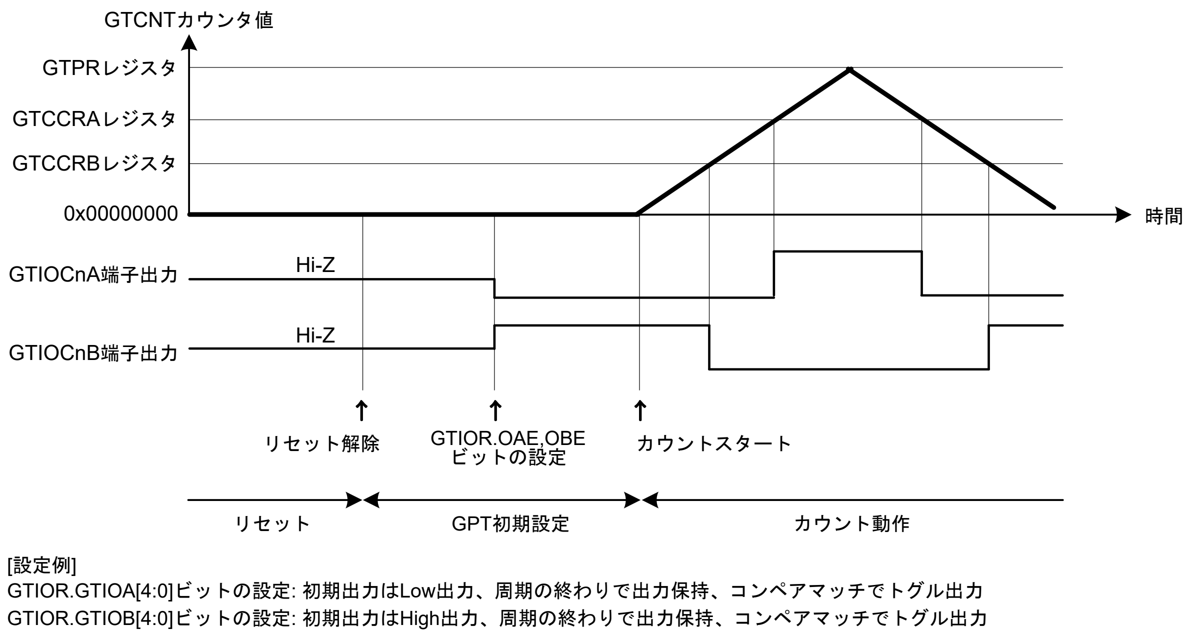
(4) 出力ホールド期間： 0 ＜ GTCCRA ＜ GTPRが谷で検出されるまで、出力が保持されます。
(5) 通常動作期間： 0 ＜ GTCCRA ＜ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.180 谷でのバッファ転送中に GTCCRA ≧ GTPR となった場合の出力保護の一時解除の例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベル：Low） (n = 0〜2)

20.9 出力端子の初期化方法

20.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、 GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。



注. レジスタのベースアドレスは同じです。

図 20.181 リセット後の端子設定例

20.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子コントロールを実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR ビットの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

20.10 使用上の注意事項

20.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、GPT の動作禁止／許可を設定できます。リセット後の初期状態では、GPT の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

20.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A～F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- GTDVU < GTCCRA
- GTCCRA > GTDVD
- 0 < GTCCRA < GTPR

カウント動作中に GTCCRA レジスタに、GTCCRA = 0 もしくは GTCCRA ≧ GTPR の値が設定されると出力保護機能が動作します。ただし、下記の条件を満足しない場合、出力保護機能は正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が、0 ＜ GTCCRA ＜ GTPR

詳細は、「20.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～2, m = A, B)」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 ＜ GTCCRA ＜ GTPR の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA ＞ GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 ＜ GTCCRB ＜ GTPR の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB ＞ GTPR が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時 : GTCCRC < GTCCRD、GTCCRC > GTDVU、GTCCRD < GTPR - GTDVD（GPT160～GPT162 のとき）、GTCCRD < GTPR – GTDVU（GPT163 のとき）
- ダウンカウント時 : GTCCRC > GTCCRD、GTCCRC < GTPR - GTDVU、GTCCRD > GTDVD（GPT160～GPT162 のとき）、GTCCRD > GTDVU（GPT163 のとき）

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC < GTCCRD < GTPR
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE < GTCCRF < GTPR
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

(5) のこぎり波 PWM モード 1 の場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(6) 相補 PWM モード 1、2、3 の場合

GTCCRn レジスタは、0≦GTCCRn≦GTPR + GTDVU の範囲に収まるように設定してください。

(7) 相補 PWM モード 4 の場合

シングルバッファ動作時では、GTCCRn レジスタは、0≦GTCCRn≦GTPR + GTDVU の範囲に収まるように設定してください。

ダブルバッファ動作時では、GTCCRn レジスタは、GTDVU < GTCCRn < GTPR の範囲に収まるように設定してください。

20.10.3 GTCNT カウンタの設定範囲

のこぎり波 PWM モード 2 および相補 PWM モード以外では、GTCNT カウンタのレジスタは、0≦GTCNT≦GTPR の範囲で設定してください。

GTCNT カウンタ>GTPR レジスタが設定され、カウンタが開始した場合、カウント動作は次の 3 つのケースで行われます。

1. 三角波の場合
   カウントの開始後、GTCNT カウンタ = GTPR レジスタおよび GTST.TCUF フラグ = 0 が設定され、カウンタはダウンカウントを実行します。
2. のこぎり波アップカウントの場合
   カウントの開始後、GTCNT カウンタ = 0 が設定され、カウンタはアップカウントを実行します。
3. のこぎり波ダウンカウントの場合
   カウントの開始後、GTCNT カウンタ = 0 および GTCNT カウンタ = GTPR レジスタが設定され、カウンタはダウンカウントを実行します。

20.10.4 相補 PWM モードにおける GTPBR レジスタと GTPDBR レジスタの設定範囲

相補 PWM モード 1、3、4 において、山部分の最後で GTPR バッファ転送が起こる場合、バッファ転送後の GTPR の値が山部分の最後でマスタチャネルの GTCNT カウンタ値より小さくならないように、GTPBR レジスタと GTPDBR レジスタの値を制限範囲 (GTPBR ≧ GTPR - GTDVU, GTPDBR ≧ GTPR - GTDVU) に設定してください。谷部分の最後またはカウンタクリア時に GTPR バッファ転送が起こる場合は、GTPBR レジスタと GTPDBR レジスタの設定範囲に制限はありません。

20.10.5 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[3:0]ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[3:0]ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

20.10.6 イベントごとの優先順位

(1) GTCNT レジスタ

表 20.79 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 20.79 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み（GTCNT/GTCLR レジスタへの書き込み）	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ／ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

周期計数機能によるストップと CPU 書き込み（GTCR/GTSTR レジスタへの書き込み）によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了します。CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し（GTCR/GTSTR/GTSTP レジスタからの読み出し）の間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A～F)

インプットキャプチャ／バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5) GTADTRm レジスタ　(m = A, B)

バッファ転送動作と GTADTRm レジスタへの書き込みの間で競合があると、GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6) GTDVm レジスタ (m = U, D)

バッファ転送動作と GTDVm レジスタへの書き込みの間で競合があると、GTDVm レジスタへの書き込みが優先されます。

GTDVm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(7) GTIOR.GTIOm レジスタ (m = A, B)

バッファ転送動作と GTIOR.GTIOm レジスタへの書き込みの間で競合があると、GTIOR.GTIOm レジスタへの書き込みが優先されます。

GTIOR.GTIOm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

20.10.7　相補 PWM モードでのカウンタクリア動作

相補 PWM モード中は、初期出力部分（マスタチャネルの GTCNT カウント値が GTDVU レジスタ値と一致）を含めて、谷部分の最後でのカウンタクリアは禁止されています。相補 PWM モードでカウンタがクリアされる場合、カウンタクリアが谷部分の最後で発生しないようにタイミングを調整してください。「20.3.8.3. チャネル間連携による同期クリア動作」に記載されているように、チャネル間連携による同期クリア動作を使用し、カウンタクリア要因としてコンペアマッチを選択することによって、谷部分の最後でのカウンタクリアを回避することが可能です。

20.10.8　GTIOR.CPSCIR = 1 の場合のコンペアマッチレジスタの設定範囲

相補 PWM モードでは、GTIOR.CPSCIR = 1 かつ同期クリア後の GTIOCnA/GTIOCnB 端子の初期出力が禁止されている場合、コンペアマッチレジスタ (GTCCRA, GTCCRC, GTCCRD, GTCCRE, GTCCRF) の値を GTDVU レジスタの値の 2 倍より大きい値に設定してください。

20.10.9　無効なレジスタ設定の禁止

「本設定はイベントカウント動作中は無効」などの無効と決められたレジスタ設定は、保証されません。これらの設定は禁止です。

21. 低消費電力非同期汎用タイマ (AGTW)

21.1 概要

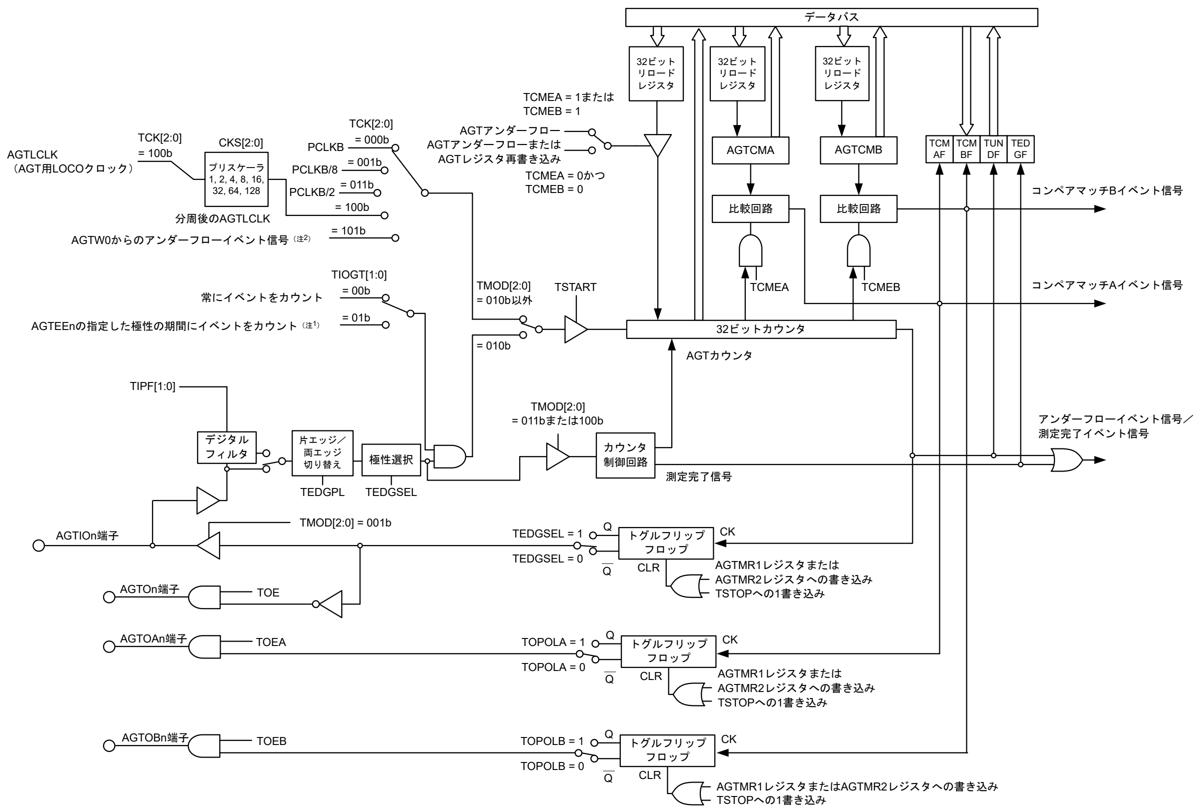
低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 21.1 に AGTW の仕様、図 21.1 にブロック図、表 21.2 に入出力端子を示します。

表 21.1 AGTW の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成		32 ビット × 2 チャネル (AGTWn (n = 0, 1))
カウントソース（動作クロック）(注2)	タイマモード パルス出力モード パルス幅測定モード パルス周期測定モード	PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d（d = 1、2、4、8、16、32、64、または 128）、または AGTW0 のアンダーフロー信号を選択可能。(注1)
	イベントカウントモード	外部イベント入力
割り込みとイベントリンク機能		● アンダーフローイベント信号または測定完了イベント信号 – カウンタがアンダーフローしたとき – パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が完了したとき – パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき ● コンペアマッチ A イベント信号 – AGT レジスタと AGTCMA レジスタの値が一致したとき（コンペアマッチ A 機能が有効） ● コンペアマッチ B イベント信号 – AGT レジスタと AGTCMB レジスタの値が一致したとき（コンペアマッチ B 機能が有効） ● AGT1_AGTCMAI、AGT0_AGTCMAI でソフトウェアスタンバイモードからの復帰を実行可能(注3)
選択可能な機能		● コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能

注 1. AGTW0 はアンダーフロー信号を使用できません。AGTW1 は、AGTW0 タイマからのアンダーフローイベント信号に直接接続します。
注 2. 周辺モジュールクロック (PCLKB) 周波数 ≧ カウントソースクロック周波数を満たすように設定してください。
注 3. 詳細は、「10. 低消費電力モード」を参照してください。



注 1.　AGTISR レジスタの EEPS ビットで極性を選択できます。
注 2.　AGTW0 では AGTW0 のアンダーフローイベントを使用できません。AGTW1 は AGTW0 のアンダーフローを使用します。

図 21.1　　AGTW のブロック図

表 21.2　　AGTW の入出力端子

端子名	入力／出力	機能
AGTEEn	入力	AGTW の外部イベント入力許可
AGTIOn	入出力	AGTW の外部イベント入力およびパルス出力
AGTOn	出力	AGTW のパルス出力
AGTOAn	出力	AGTW のコンペアマッチ A 出力
AGTOBn	出力	AGTW のコンペアマッチ B 出力

注.　　チャネル番号：n = 0、1

21.2　　レジスタの説明

21.2.1　　AGT : AGT カウンタレジスタ

Base address:　AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address:　0x00

Bit position:　31 ... 0

Bit field:

Value after reset:　1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットカウンタおよびリロードレジスタ 設定範囲：0x00000000～0xFFFFFFFF	R/W

AGTWn.AGT は 32 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「21.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。

AGTCR レジスタの TSTOP ビットに 1 を書くと、AGT カウンタは強制停止され、0xFFFFFFFF になります。

AGTMR1 レジスタの TCK[2:0]ビットの設定が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0x00000000 になると、ICU、DTC、および ELC への要求信号がカウント開始直後に一度発生します。AGTOn 端子、AGTIOn 端子はトグル出力となります。

イベントカウントモードで AGT レジスタが 0x00000000 になると、TCK[2:0]ビットの値にかかわらず、ICU、DTC、および ELC への要求信号がカウント開始直後に一度発生します。

また、指定したカウント期間以外の期間も AGTOn 端子出力はトグル出力となります。AGT レジスタが 0x00000001 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

21.2.2 AGTCMA : AGT コンペアマッチ A レジスタ

Base address: AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position: 31 … 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ A データを格納(注1) 設定範囲：0x00000000～0xFFFFFFFF	R/W

注 1.　コンペアマッチ A を使用しない場合、AGTCMA レジスタは 0xFFFFFFFF にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

21.2.3 AGTCMB : AGT コンペアマッチ B レジスタ

Base address: AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position: 31 … 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ B データを格納(注1) 設定範囲：0x00000000～0xFFFFFFFF	R/W

注 1.　コンペアマッチ B を使用しない場合、AGTCMB レジスタは 0xFFFFFFFF にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化しま

す。詳細は「21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

21.2.4　AGTCR : AGT コントロールレジスタ

Base address: AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W)(注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W)(注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W)(注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W)(注3)

注 1.　TSTOP ビットに 1（強制的にカウント停止）を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。
注 2.　TSTART ビットおよび TCSTF フラグの使用方法については、「21.4.1. カウント動作の開始および停止制御」を参照してください。
注 3.　フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット（AGT カウント開始）

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1（カウント実行中）になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0（カウント停止）になります。詳細は「21.4.1. カウント動作の開始および停止制御」を参照してください。

TCSTF フラグ（AGT カウント状態フラグ）

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき（カウントソースと同期して、TCSTF フラグが 1 になる）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（カウントソースと同期して、TCSTF フラグが 0 になる）
- TSTOP ビットに 1 を書いたとき

TSTOP ビット（AGT カウント強制停止）

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ（アクティブエッジ判定フラグ）

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子 (AGTIOn) のアクティブ幅の測定が完了したとき
- パルス周期測定モードで外部入力端子 (AGTIOn) の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TUNDF フラグ（アンダーフローフラグ）

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMAF フラグ（コンペアマッチ A フラグ）

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMBF フラグ（コンペアマッチ B フラグ）

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

21.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TCK[2:0]			TEDGPL	TMOD[2:0]		
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウントモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード その他: 設定禁止	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1) (注2) (注5) (注7) 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 1 0 1: AGTW0(注6)からのアンダーフローイベント信号 1 1 0: 設定禁止 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　AGTMR1 レジスタへの書き込みアクセスは、AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子からの出力を初期化します。初期化時の出力レベルの詳細は、「21.2.7. AGTIOC : AGT I/O コントロールレジスタ」を参照してください。

注 1.　イベントカウントモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTIOn) が選択されます。

注 2.　カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ切り替えてください。

注 3.　AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。

注 4.　TEDGPL ビットは、イベントカウントモード時に限り有効です。

注 5.　ソフトウェアスタンバイモード／スヌーズモードで AGT を動作させるには、AGTLCLK (TCK[2:0] = 100b) を選択してください。

注 6.　AGTW0 では AGTW0 のアンダーフローは使用できません（設定禁止）。AGTW1 が AGTW0 のアンダーフローを使用します。

注 7.　AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

21.2.6　AGTMR2 : AGT モードレジスタ 2

Base address: AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK カウントソースクロック周波数分周比(注1) (注2) (注3) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: ノーマルモード 1: 低消費電力モード	R/W

注 1.　カウント動作中は、CKS[2:0]ビットを書き換えないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも 0（カウント停止）の場合にのみ、CKS[2:0]ビットを書き換えてください。

注 2.　カウントソースが AGTLCLK の場合、CKS[2:0]ビットの切り替えが有効となります。

注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

CKS[2:0]ビット（AGTLCLK カウントソースクロック周波数分周比）

CKS[2:0]ビットは AGTLCLK カウントソースクロック周波数分周比を選択します。

LPM ビット（低消費電力モード）

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認する場合
  - カウント動作の停止時：データ書き込み後、次のサイクルで読み出し可能です。
  - カウント動作の実行中：データ書き込み後、カウントソースクロックの 4 サイクル後に読み出し可能です。

図 21.2 に、LPM ビットに書き込む方法のフローチャートを示します。

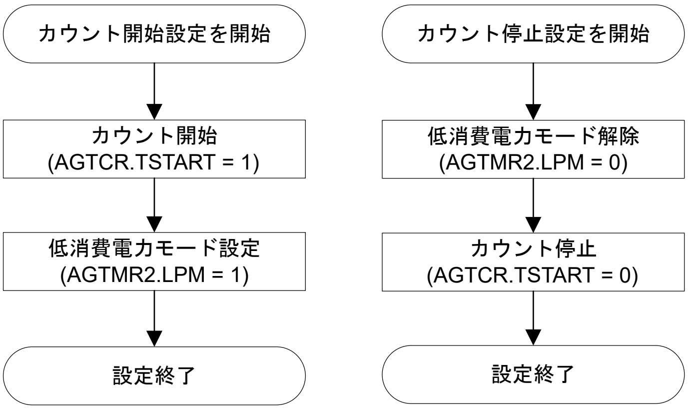


図 21.2 LPM ビットに書き込む方法のフローチャート

21.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDG SEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 21.3 と表 21.4 を参照してください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	AGTOn 端子出力許可 0: AGTOn 端子出力を禁止 1: AGTOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ(注3) これらのビットは、AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御(注1) (注2) 0 0: 常にイベントをカウントする 0 1: AGTEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注 1.　AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
注 2.　TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。
注 3.　ソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

TEDGSEL ビット（I/O 極性切り替え）

TEDGSEL ビットは AGTOn 端子の出力極性および AGTIOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTOn 端子の出力極性と AGTIOn 端子の出力極性のみが制御されます。AGTOn 端子出力と AGTIOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

TOE ビット（AGTOn 端子出力許可）

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

TIPF[1:0]ビット（入力フィルタ）

TIPF[1:0]ビットは AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

TIOGT[1:0]ビット（カウント制御）

TIOGT[1:0]ビットはイベントカウントを制御します。

表 21.3　AGTIOn 端子の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0: High で出力開始（初期レベル：High）：反転出力 1: Low で出力開始（初期レベル：Low）：通常出力
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 21.4　AGTOn 端子の出力極性切り替え

動作モード	機能
全モード	0: Low で出力開始（初期レベル：Low）：通常出力 1: High で出力開始（初期レベル：High）：反転出力

21.2.8　AGTISR : AGT イベント端子選択レジスタ

Base address:　AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address:　0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	EEPS	AGTEEn 極性選択 0:　Low の期間、イベントをカウントする 1:　High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

EEPS ビット（AGTEEn 極性選択）

EEPS ビットはカウントされるイベントの極性を選択します。

21.2.9　AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address:　AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address:　0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効(注1) (注2) 0:　AGT コンペアマッチ A レジスタを無効 1:　AGT コンペアマッチ A レジスタを有効	R/W
1	TOEA	AGTOAn 端子出力許可(注1) (注2) 0:　AGTOAn 端子出力を禁止 1:　AGTOAn 端子出力を許可	R/W
2	TOPOLA	AGTOAn 端子極性選択(注1) (注2) 0:　AGTOAn 端子出力を Low で開始：通常出力 1:　AGTOAn 端子出力を High で開始：反転出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効(注1) (注2) 0:　AGT コンペアマッチ B レジスタを無効 1:　AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTOBn 端子出力許可(注1) (注2) 0:　AGTOBn 端子出力を禁止 1:　AGTOBn 端子出力を許可	R/W

ビット	シンボル	機能	R/W
6	TOPOLB	AGTOBn 端子極性選択(注1) (注2) 0: AGTOBn 端子出力を Low で開始：通常出力 1: AGTOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ書き換えてください。
注 2.　パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

21.2.10　AGTIOSEL : AGT 端子選択レジスタ

Base address:　AGTWn = 0x4008_4000 + 0x0100 × n (n = 0, 1)

Offset address:　0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIES	AGTIOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

AGTIOSEL レジスタは、AGTIOn 端子をソフトウェアスタンバイモードで使用する場合に、AGTIOn 端子を設定します。

TIES ビット（AGTIOn 端子入力許可）

TIES ビットは外部イベント入力を許可または禁止します。

21.3　動作説明

21.3.1　リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。
TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。
TSTART ビットが 1（カウント開始）で、かつ TCMEA および TCMEB ビットが 0（AGT コンペアマッチ A/B レジスタが無効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA または TCMEB ビットが 1（AGT コンペアマッチ A/B レジスタが有効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 21.3 および図 21.4 に示します。

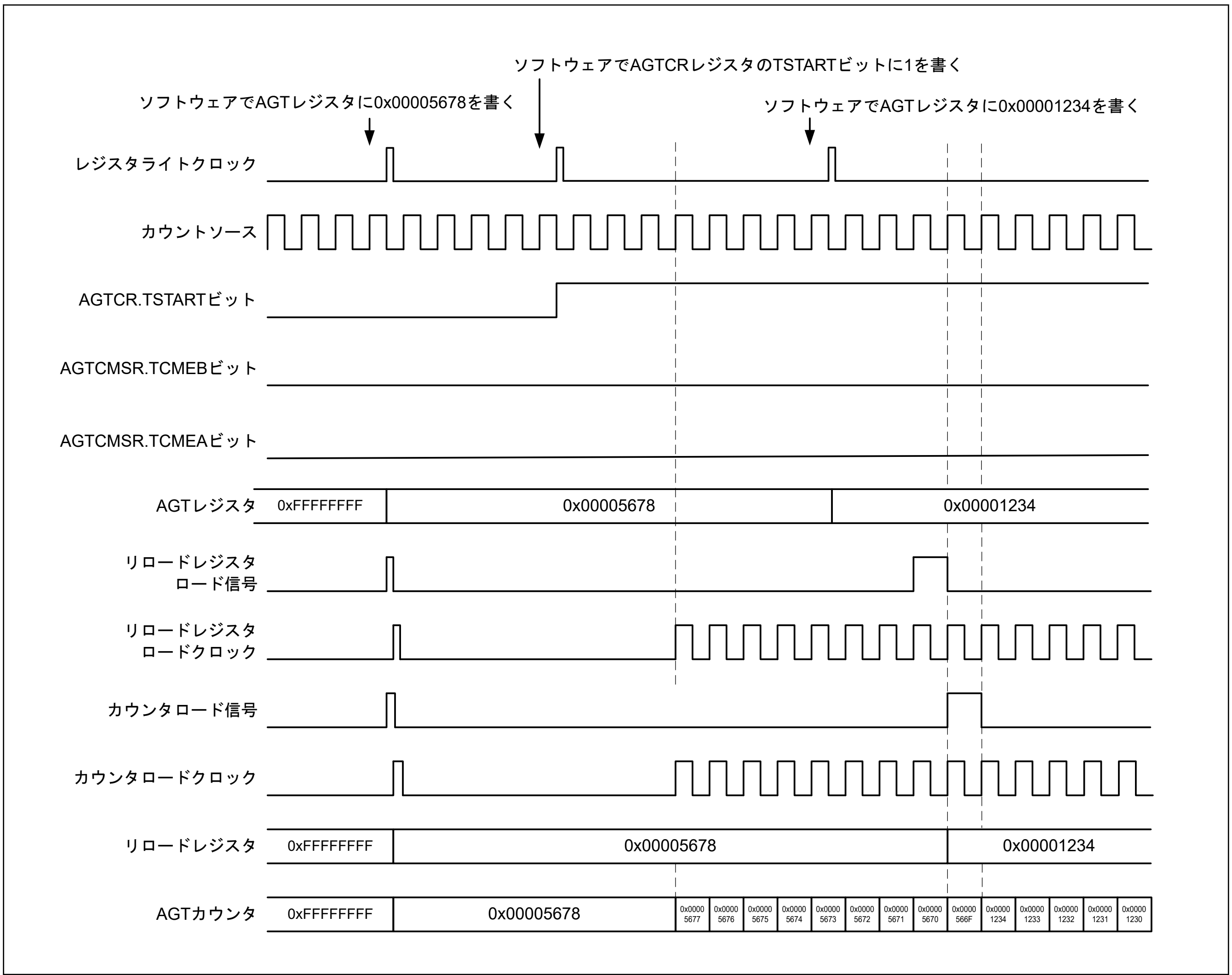


図 21.3　TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合）

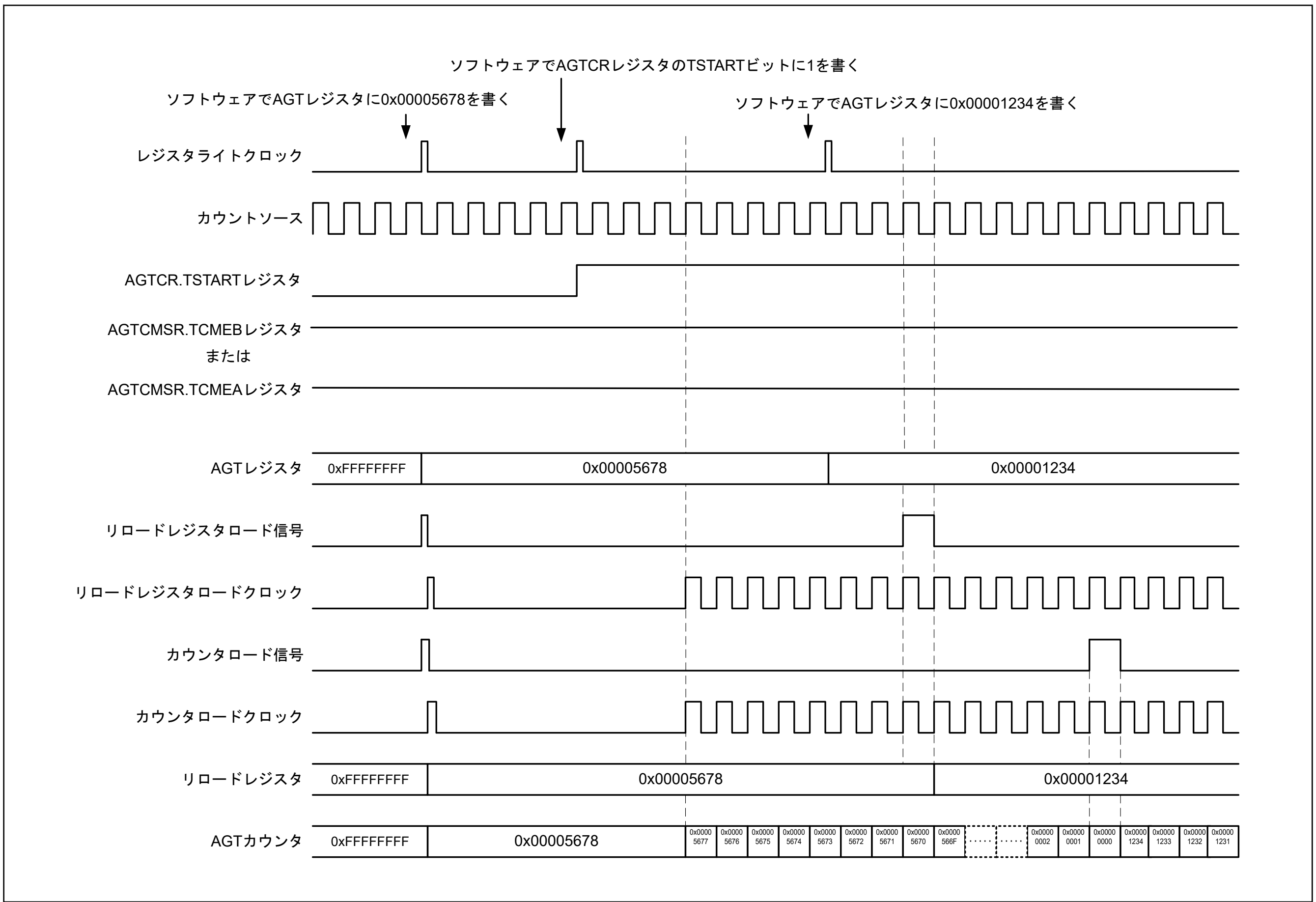


図 21.4　　TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合）

21.3.2　　リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1（カウント開始）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 21.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

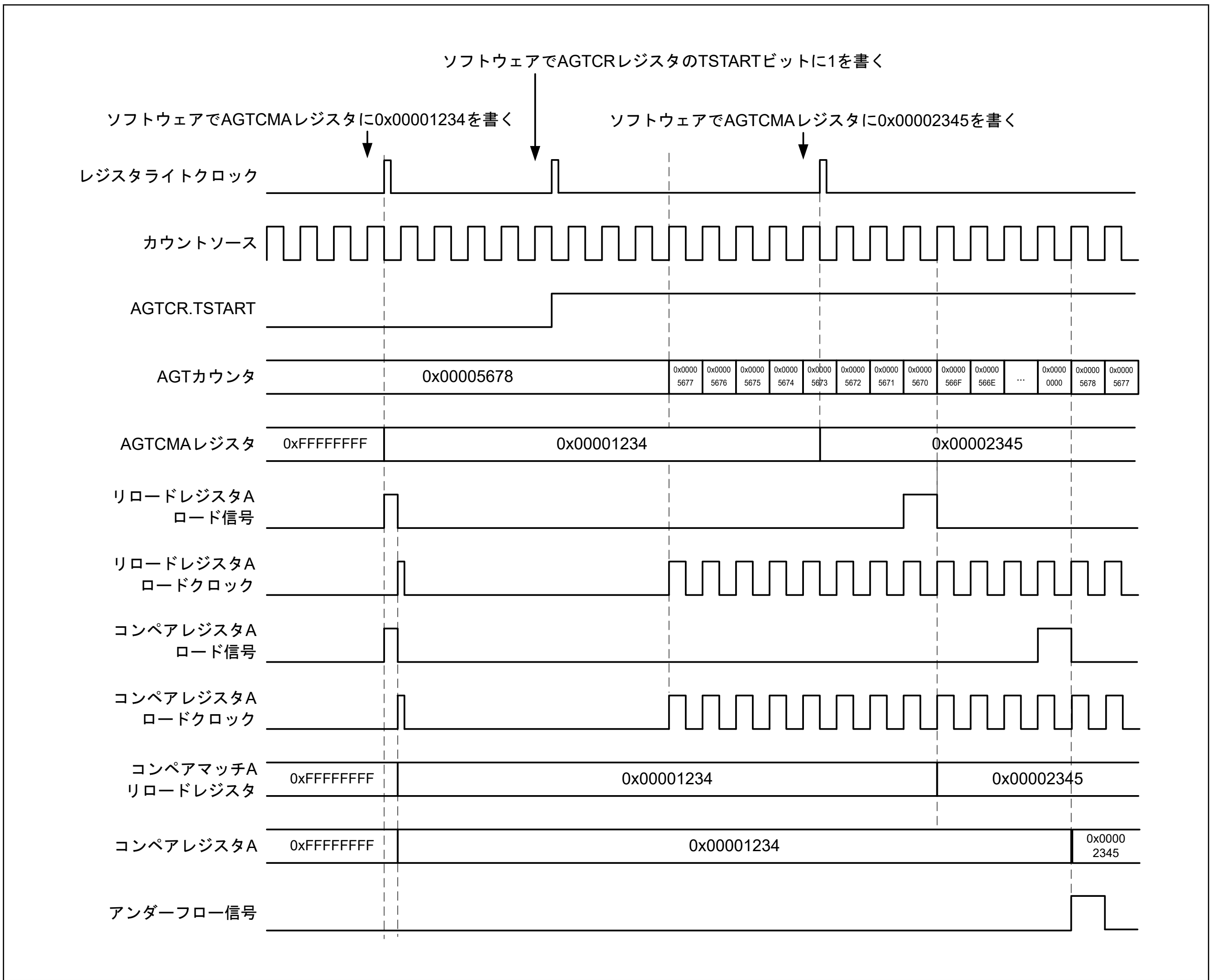


図 21.5　AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

21.3.3　タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 21.6 にタイマモードでの動作例を示します。

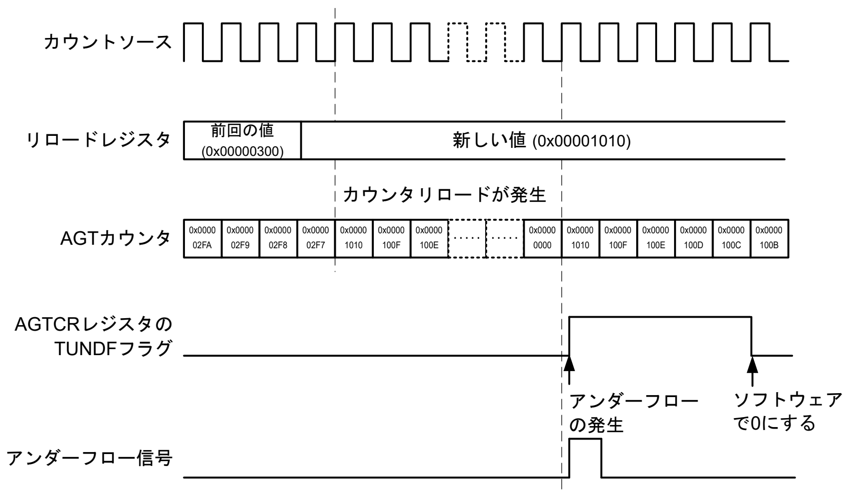


図 21.6　　タイマモードでの動作例

21.3.4　　パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIOn 端子と AGTOn 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIOn 端子と AGTOn 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTOn 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 21.7 に示します。

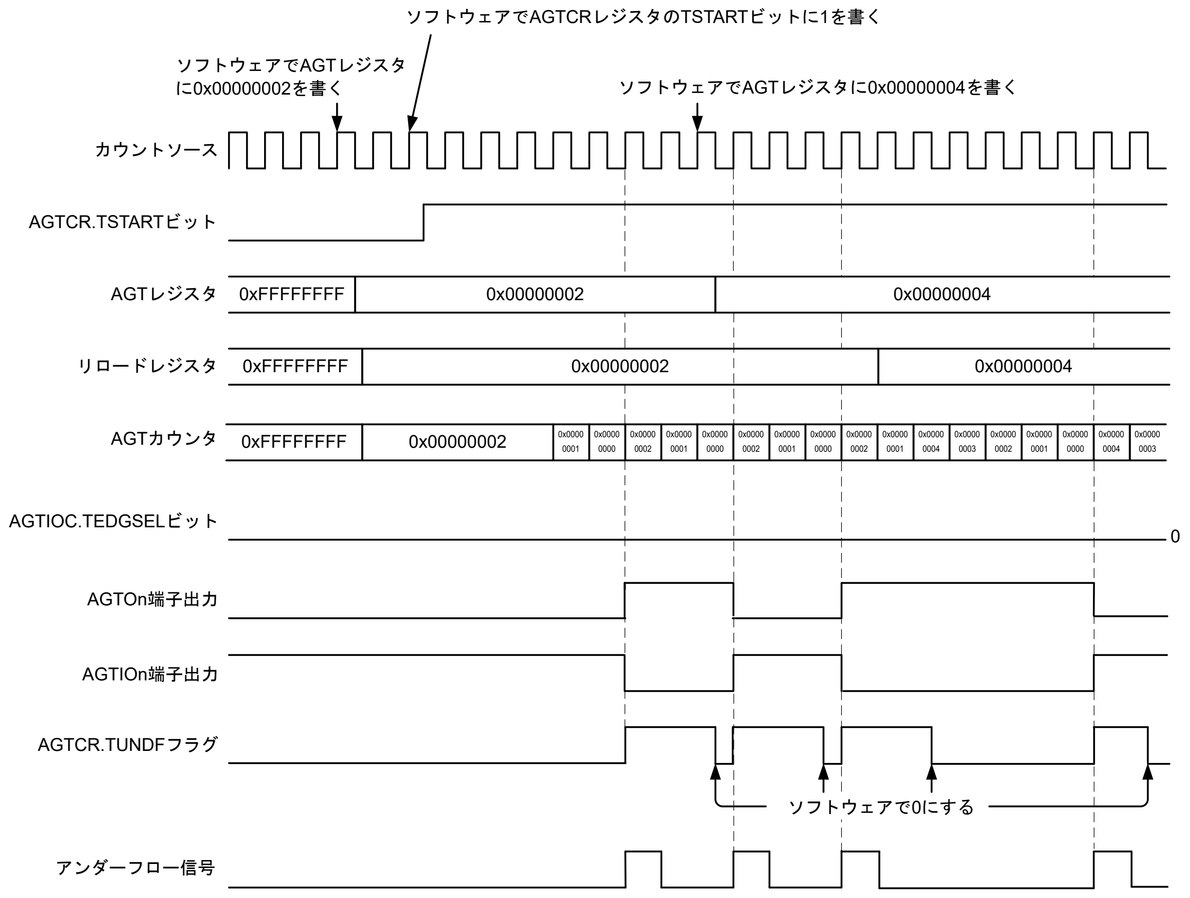


図 21.7　　パルス出力モードでの動作例

21.3.5　　イベントカウンタモード

イベントカウンタモードでは、カウンタは AGTIOn 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTIOn 端子入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTOn 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 21.8 に示します。

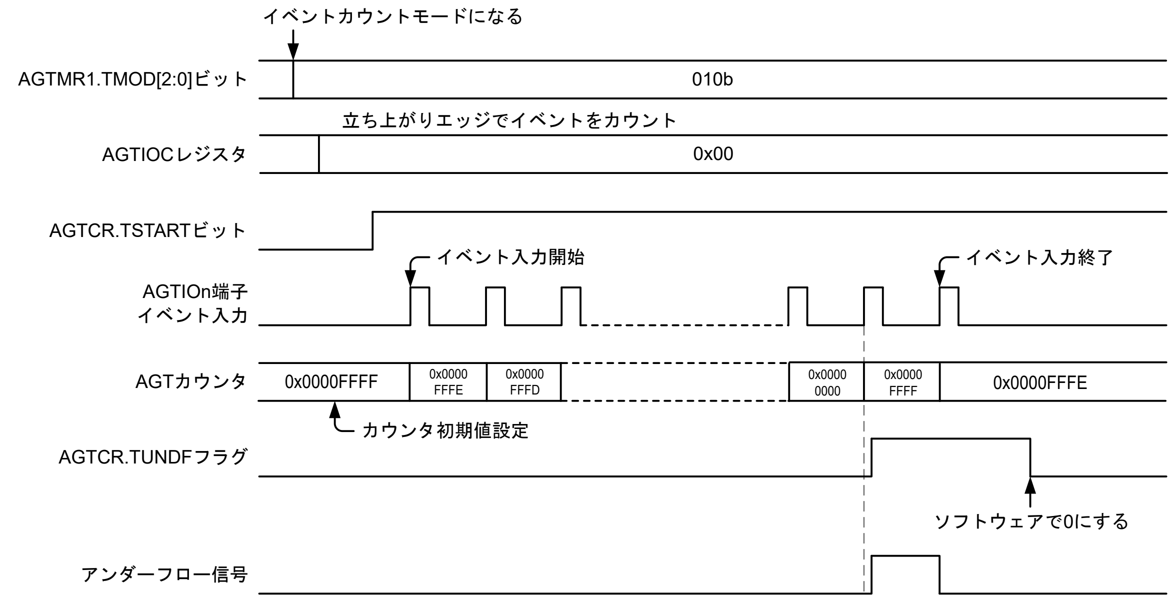
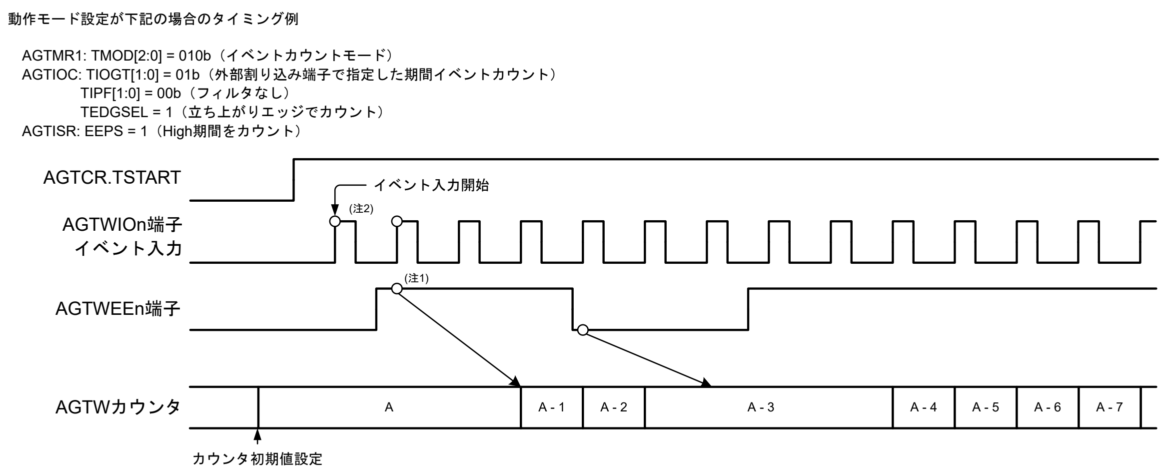


図 21.8　　イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように（AGTIOC レジスタの TIOGT[1:0]ビットを 01b に設定）した場合の動作例を図 21.9 に示します。



注 1.　同期を制御するため、カウント動作が変更されるまでに、カウントソースの 2 サイクル分遅延が生じます。また、AGTEEn 端子とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれる可能性があります。

注 2.　カウント停止前の状態によっては、カウント開始直後のカウントソースの 2 サイクル中にカウント動作が実行される場合があります。
カウント開始直後の 2 サイクル中のカウント動作を無効にするには、AGTCR レジスタの TSTOP ビットに 1 を書き込んで内部回路を初期化した後、動作設定を終えてからカウント動作を開始します。

図 21.9　　イベントカウンタモードでの動作例 2

21.3.6　　パルス幅測定モード

パルス幅測定モードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カ

ウンタは停止して、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 21.10 にパルス幅測定モードでの動作例を示します。

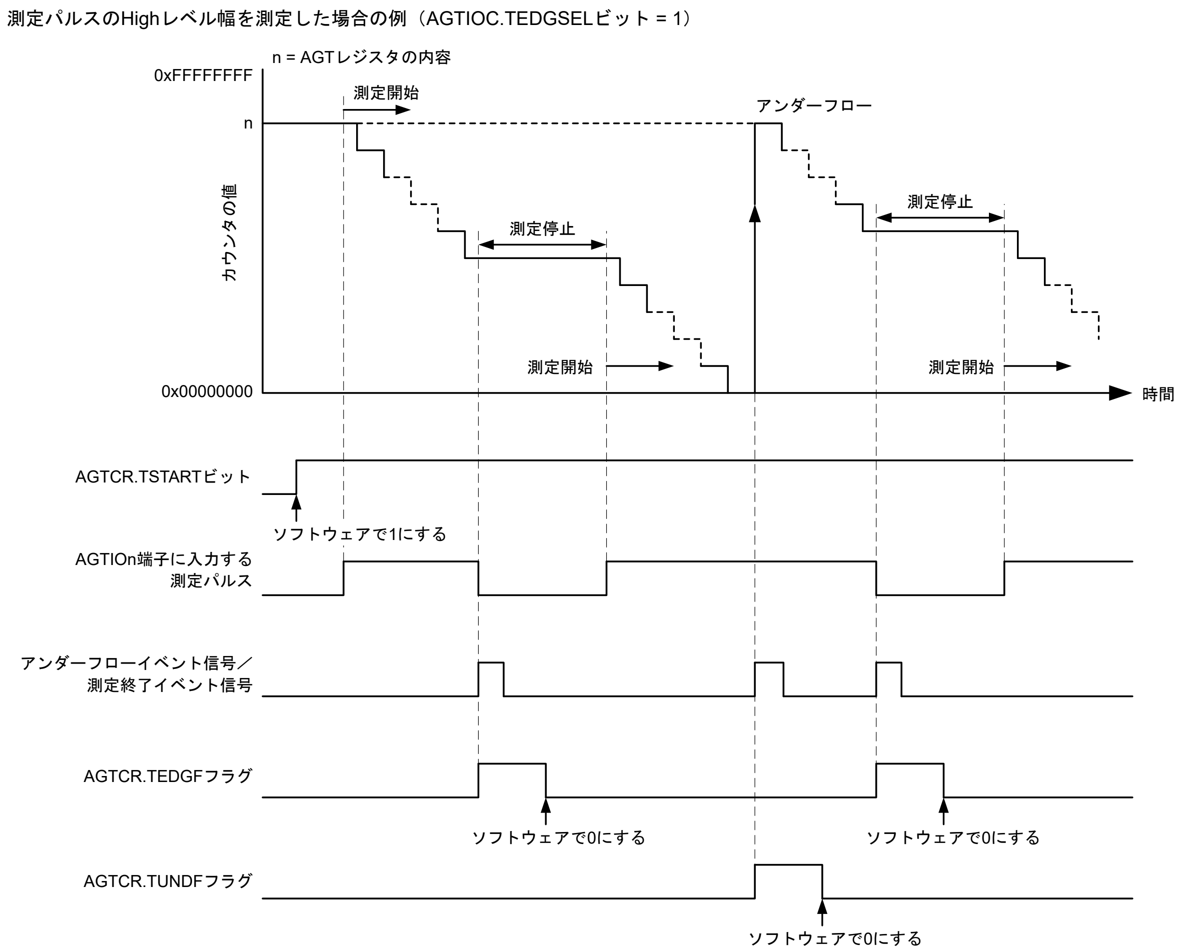


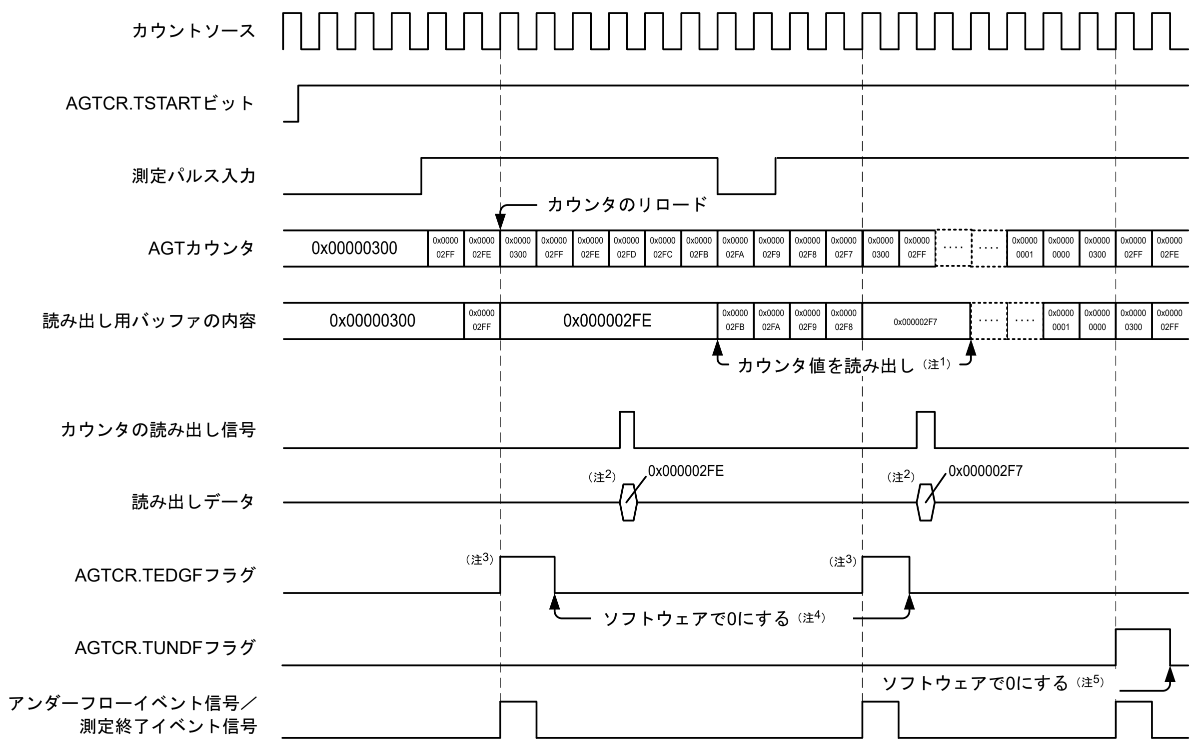
図 21.10　　パルス幅測定モードでの動作例

21.3.7　　パルス周期測定モード

パルス周期測定モードでは、AGTIOn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIOn 端子に入力されると、カウントソースの立ち上がりエッジでカウント値が読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。この時点で読み出しバッファ（AGT レジスタ）が読み出され、リロード値（「21.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照）との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1（アンダーフロー）になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 21.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。



この例は、AGTレジスタの初期値がA、AGTIOCレジスタのTEDGSELビットが0に設定され、
測定パルスの1つの立ち上がりエッジから次のエッジまでの期間が測定される場合に適用されます。

注 1.　AGT レジスタからの読み出しは、TEDGF フラグが 1（アクティブエッジ受信）になってから、次のアクティブエッジが入力されるまでの期間に行う必要があります。読み出しバッファの内容は、AGT レジスタが読み出されるまで保持されます。アクティブエッジが入力される前に読み出さないと、前の周期の測定結果が保持されます

注 2.　パルス周期測定モードで AGT レジスタを読み出すと、読み出しバッファの内容が読み出されます。

注 3.　測定パルスのアクティブエッジが入力された後に、外部パルスの設定エッジが入力された場合、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になります。

注 4.　ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TEDGF ビットに 0 を書いてください。

注 5.　ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TUNDF ビットに 0 を書いてください。

図 21.11　　パルス周期測定モードでの動作例

21.3.8　　コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は「21.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。また、AGTOAn 端子、AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA ビットまたは TOPOLB ビットで選択できます。

図 21.12 にコンペアマッチ機能の動作例を示します。

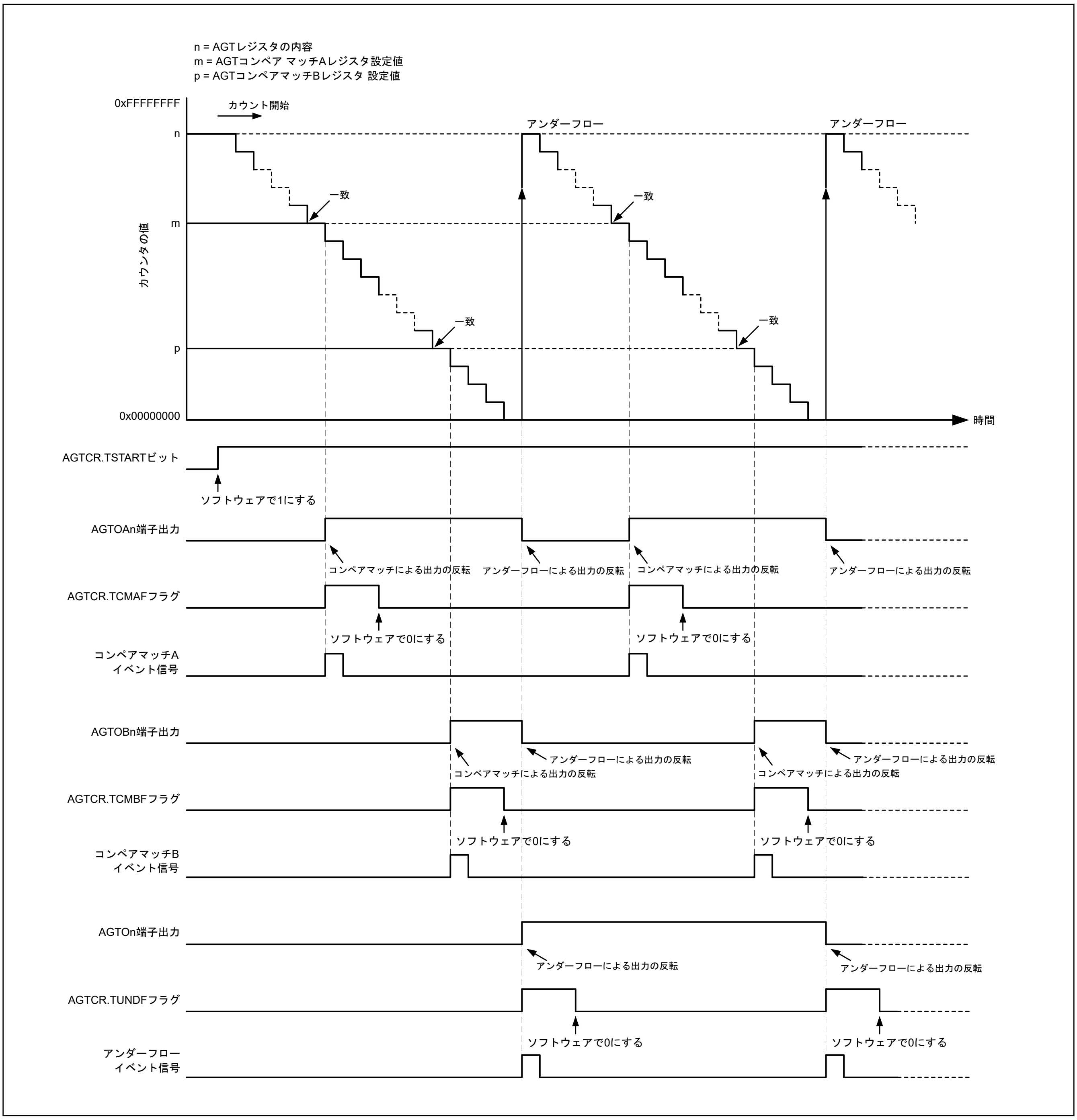


図 21.12 コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

21.3.9 各モードの出力設定

表 21.5～表 21.8 に各モードでの AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子の状態を示します。

表 21.5 AGTOn 端子の設定

動作モード	AGTIOC レジスタ		AGTOn 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 21.6　AGTIOn 端子の設定

動作モード	AGTIOC レジスタ TEDGSEL ビット	AGTIOn 端子入出力
タイマモード	0 または 1	入力（使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウントモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 21.7　AGTOAn 端子の設定

動作モード	AGTCMSR レジスタ		AGTOAn 端子出力
	TOEA ビット	TOPOLA ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 21.8　AGTOBn 端子の設定

動作モード	AGTCMSR レジスタ		AGTOBn 端子出力
	TOEB ビット	TOPOLB ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

21.3.10　スタンバイモード

AGTW はソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART = 1, TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

表 21.9 と表 21.10 にソフトウェアスタンバイモードで使用可能な設定を示します。

表 21.9　ソフトウェアスタンバイモードで使用可能な設定 (AGTW0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b	AGTLCLK	–
パルス出力モード	100b	AGTLCLK	–
イベントカウンタモード (注2)	–	AGTIOn (n = 0)(注1)	–
パルス幅測定モード	100b	AGTLCLK	–
パルス周期測定モード	100b	AGTLCLK	–

注.　ー（無効）
注 1.　ソフトウェアスタンバイモードで AGTIOn 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 2.　外部イベント入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。

表 21.10　ソフトウェアスタンバイモードで使用可能な設定 (AGTW1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	● アンダーフロー ● コンペアマッチ A/B
パルス出力モード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	● アンダーフロー ● コンペアマッチ A/B
イベントカウンタモード (注3)	–	AGTIOn (n = 1)(注2)	● アンダーフロー ● コンペアマッチ A/B
パルス幅測定モード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	● アンダーフロー ● アクティブエッジ
パルス周期測定モード	100b または 101b(注1)	AGTLCLK または AGTW0 アンダーフロー	● アンダーフロー ● アクティブエッジ

注.　ー（無効）
注.　ソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。
注 1.　AGTW0 が表 21.9 の状態で動作している場合のみ。
注 2.　ソフトウェアスタンバイモードで AGTIOn 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 3.　外部イベント入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。

21.3.11　割り込み要因

AGTWn には、表 21.11 に示すように、3 種類の割り込み要因があります。

表 21.11　AGTW 割り込み要因

名称	割り込み要因	DTC の起動
AGTn_AGTI	● カウンタがアンダーフローしたとき ● パルス幅測定モードで外部入力端子 (AGTIOn) のアクティブ幅の測定が終了したとき ● パルス周期測定モードで外部入力端子 (AGTIOn) の設定エッジが入力されたとき	可能
AGTn_AGTCMAI	● AGT レジスタと AGTCMA レジスタの値が一致したとき	可能
AGTn_AGTCMBI	● AGT レジスタと AGTCMB レジスタの値が一致したとき	可能

注.　チャネル番号 (n = 0, 1)

21.3.12　イベントリンクコントローラ (ELC) へのイベント信号出力

AGTWn (n = 0, 1) は ELC（イベントリンクコントローラ）により、割り込み要求をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGTWn (n = 0, 1) は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

21.4 使用上の注意事項

21.4.1 カウント動作の開始および停止制御

- 動作モード（表 21.1 を参照）がイベントカウントモード以外またはカウントソースが AGTWn アンダーフローイベント信号 (TCK[2:0] = 101b) 以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGTW(注1)関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGTW(注1)関連レジスタにはアクセスしないでください。
  - TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。
- 動作モード（表 21.1 を参照）がイベントカウントモードまたはカウントソースが AGTW1 アンダーフローイベント信号 (TCK[2:0] = 101b) に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル中は、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGTW(注1)関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGTW(注1)関連レジスタにはアクセスしないでください。
  - TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

注 1.　AGT に関連付けられているレジスタ：AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、AGTCMSR。

21.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1（カウント動作中）のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

21.4.3 モード変更時

AGT の動作モードに関連するレジスタ（AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR）は、TSTART ビットおよび TCSTF フラグがともに 0（カウント停止）になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF（アクティブエッジ未受信）
- TUNDF（アンダーフローなし）
- TCMAF（不一致）
- TCMBF（不一致）

21.4.4 出力端子の設定

AGTOn、AGTIOn、AGTOAn、または AGTOBn を出力端子として使用する場合、動作を設定し、初期出力値を決定してください。それからポートレジスタに出力モードを設定してください。

パルス幅測定モードまたはパルス周期幅測定モードで AGTIOn 端子を入力端子として使用する場合には、動作を設定し、カウント動作を開始してください。それから、AGTIOn 端子から外部イベントの入力を開始してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

21.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0]ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

21.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下の式で求められます。
  イベント番号 = カウンタ[AGT レジスタ]の初期値－アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。
  パルス幅 = 測定停止のカウンタ値－次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。
  入力パルス周期 = （カウンタ[AGT レジスタ]の初期値－読み出しバッファの読み出し値） + 1

21.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

21.4.8 カウントソースとして AGTW0 のアンダーフローイベント信号を選択した場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

(1) 動作開始手順

1. AGTW を設定します。
2. AGTW1 のカウント動作を開始します。
3. AGTW0 のカウント動作を開始します。

(2) 動作停止手順

1. AGTW0 のカウント動作を停止します。
2. AGTW1 のカウント動作を停止します。
3. AGTW1 のクロック供給を停止します（AGTMR1.TCK[2:0]ビットに 000b を書き込む）。

21.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D (MSTPCRD) により、AGTW の動作を無効または有効にすることが可能です。リセット後の初期状態で、AGTW モジュールは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

22. ウォッチドッグタイマ (WDT)

22.1 概要

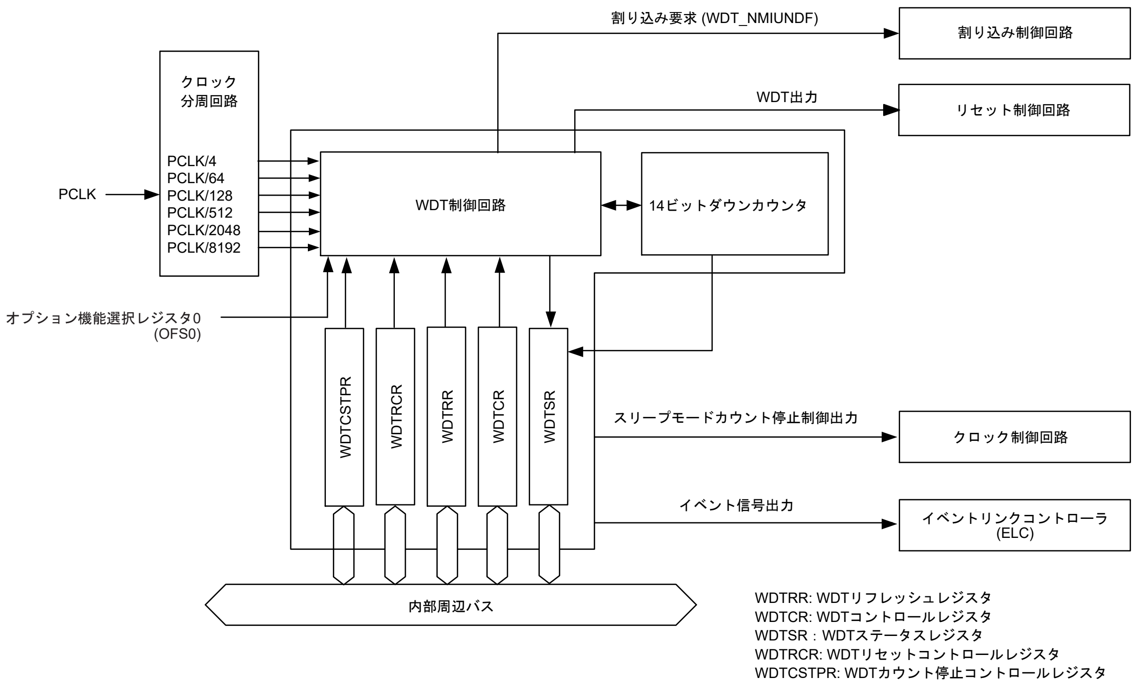
ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。

表 22.1 に WDT の仕様を、図 22.1 に WDT のブロック図を示します。

表 22.1 WDT の仕様

項目	内容
カウントソース[注1]	周辺クロック (PCLKB)
クロック分周比	4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	● オートスタートモード : リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 ● レジスタスタートモード : WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始
カウント停止条件	● リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） ● カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
ウォッチドッグタイマリセット要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	● ダウンカウンタアンダーフローイベント出力 ● リフレッシュエラーイベント出力
出力信号（内部信号）	● リセット出力 ● 割り込み要求出力 ● スリープモードカウント停止制御出力

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。



注.　PCLK = PCLKB

図 22.1　WDT のブロック図

22.2　レジスタの説明

22.2.1　WDTRR : WDT リフレッシュレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「22.3.3. リフレッシュ動作」を参照してください。

22.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウ終了位置の設定なし）	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウ開始位置の設定なし）	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「22.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「22.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（PCLKB サイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 22.2 に、CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 22.2　タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間（サイクル数）	PCLKB クロックサイクル
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、PCLKB クロックの 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビットの設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

RPSS[1:0]ビット（ウィンドウ開始位置選択）

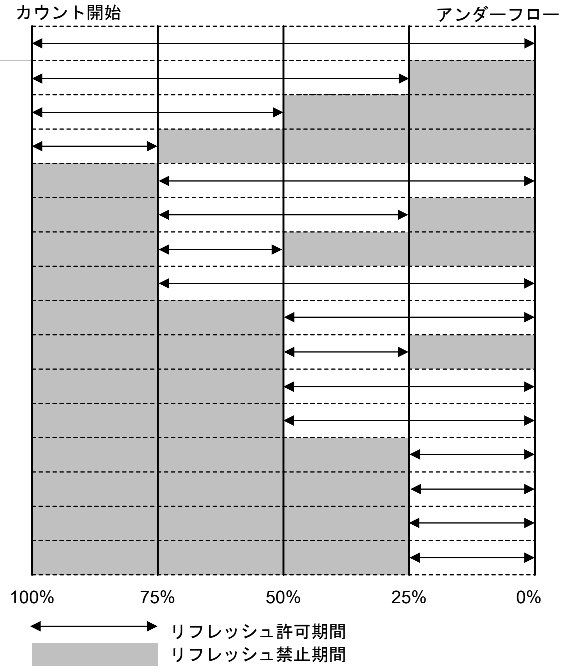
RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 22.3 にウィンドウ開始、終了位置のカウンタ値を、図 22.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 22.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0]ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF

RPSS[1:0]ビット b13	RPSS[1:0]ビット b12	RPES[1:0]ビット b9	RPES[1:0]ビット b8	ウィンドウ 開始(%)	ウィンドウ 終了(%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注.　ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 22.2　RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

22.2.3　WDTSR : WDT ステータスレジスタ

Base address:　WDT = 0x4004_4200

Offset address:　0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDFF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0:　アンダーフローなし 1:　アンダーフロー発生	R/W(注1)

ビット	シンボル	機能	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1.　フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、アンダーフローの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、リフレッシュエラーの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

22.2.4　WDTRCR : WDT リセットコントロールレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「22.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「22.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

22.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SLCSTP	スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。WDTCSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「22.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSTPR レジスタと同様の設定が可能です。詳細は、「22.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

SLCSTP ビット（スリープモードカウント停止コントロールレジスタ）

SLCSTP ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

22.2.6 OFS0 : オプション機能選択レジスタ 0

OFS0 レジスタの詳細は、「22.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

22.3 動作説明

22.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード : リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード : レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値が有効となります。

22.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

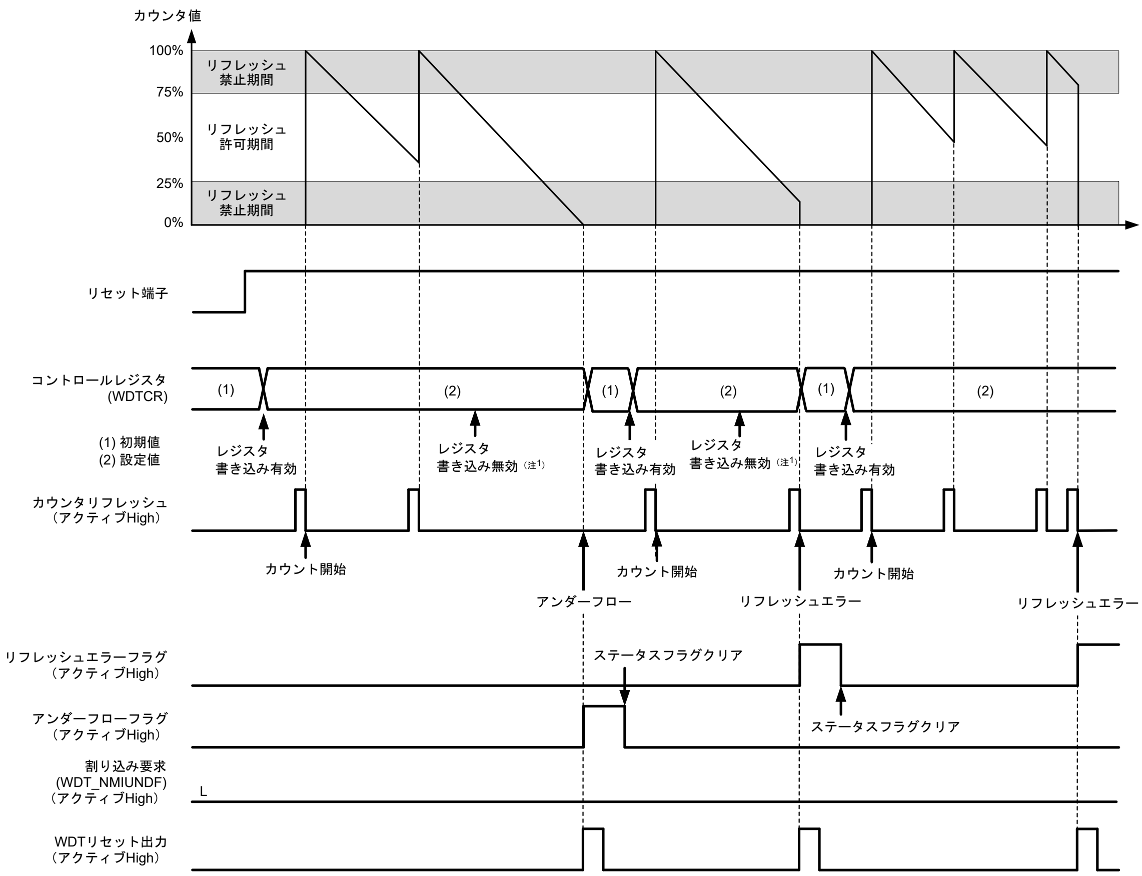
- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタのタイムアウト期間
- WDTRCR レジスタのリセット出力または割り込み要求出力
- WDTCSTPR レジスタのスリープモード遷移時のカウンタ停止制御

WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 22.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注 1. 「22.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。
リセット端子 = RES

図 22.3 レジスタスタートモードでの動作例

22.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号また

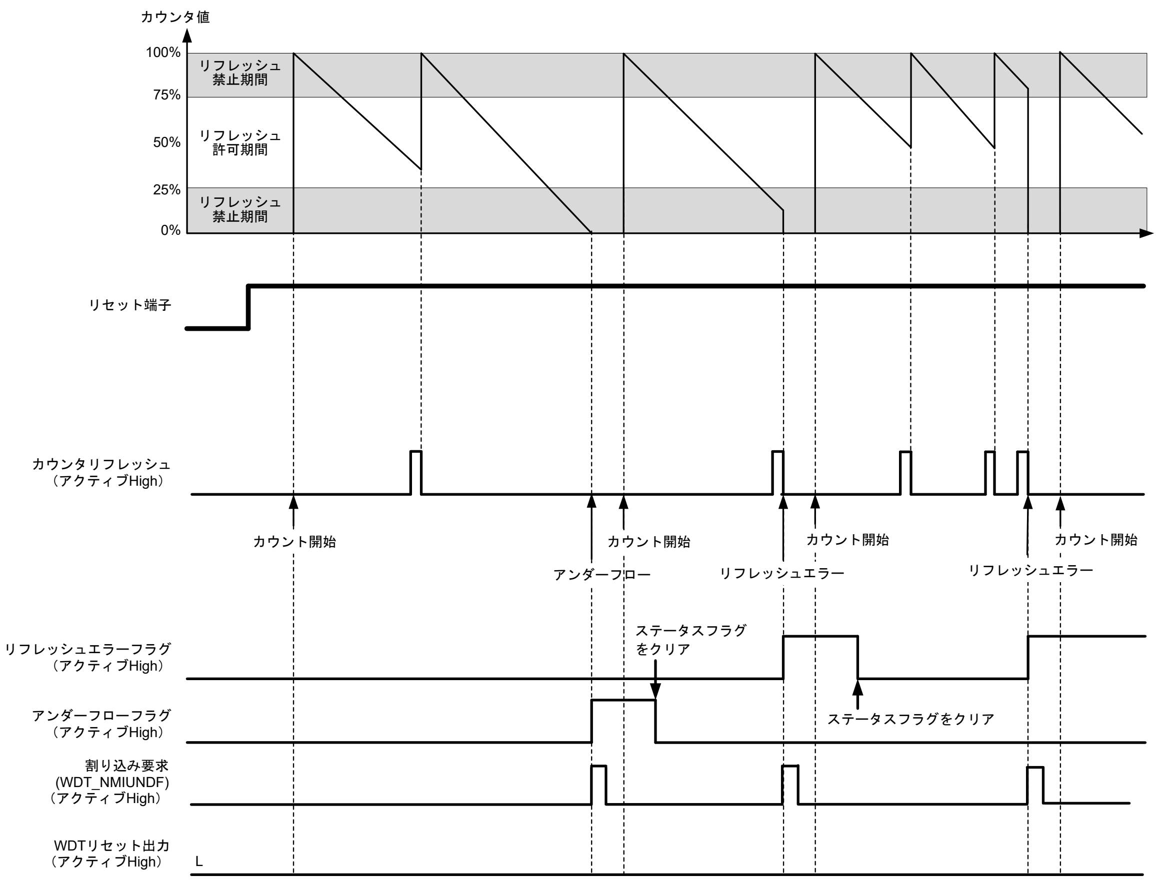
はノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 22.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)



注.　カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注.　リセット端子 = RES

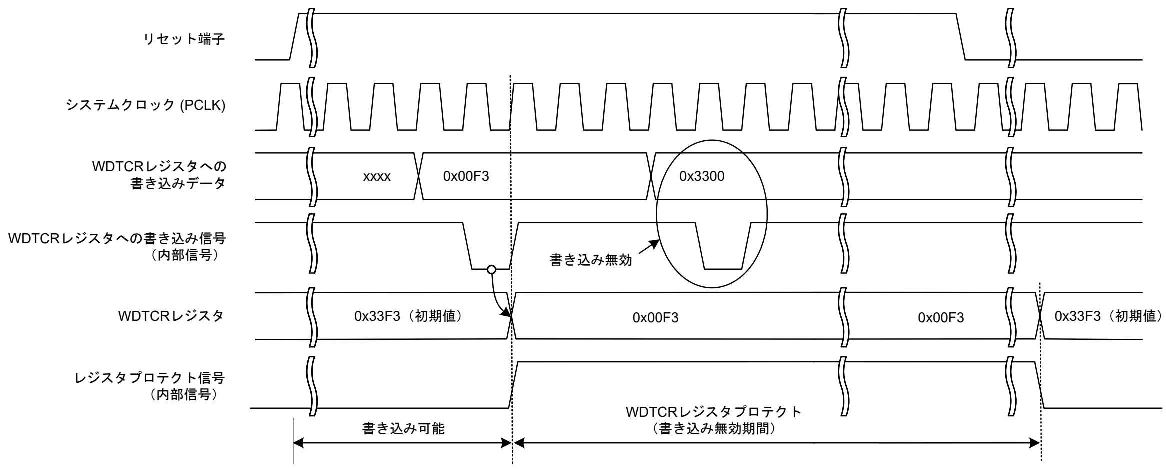
図 22.4　オートスタートモードでの動作例

22.3.2　WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ（カウントスタート）後、あるいは WDTCR、WDTRCR、または WDTCSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 22.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。



注.　PCLK = PCLKB
リセット端子 = RES

図 22.5　WDTCR レジスタへの書き込みに対して生成される制御波形

22.3.3　リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があり、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 →別レジスタへのアクセスまたは WDTRR レジスタの読み出し→ 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 22.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

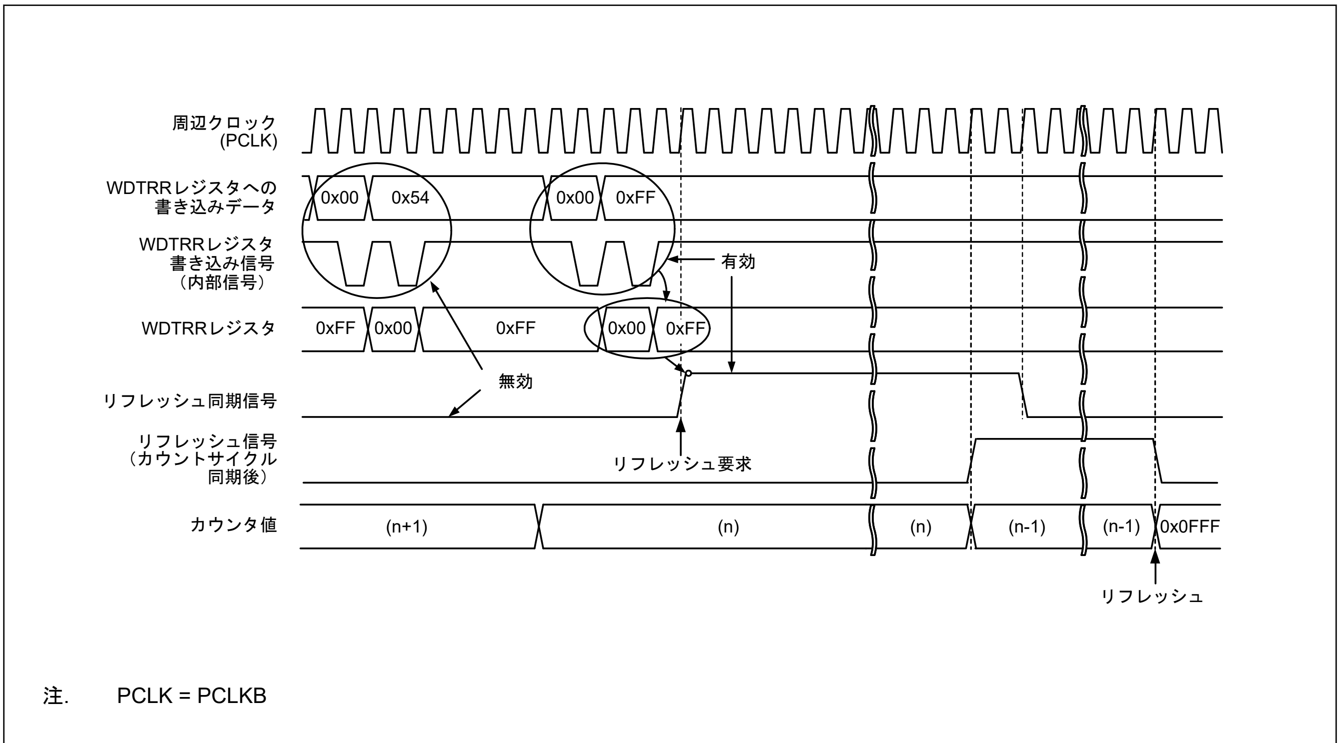


図 22.6　WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

注.　リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

22.3.4　ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDFF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしておいても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「22.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

22.3.5　リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

22.3.6　割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット

(OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT_NMIUNDF) 信号が発生します。この割り込みは、ノンマスカブル割り込みまたは割り込みとして使用可能です。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

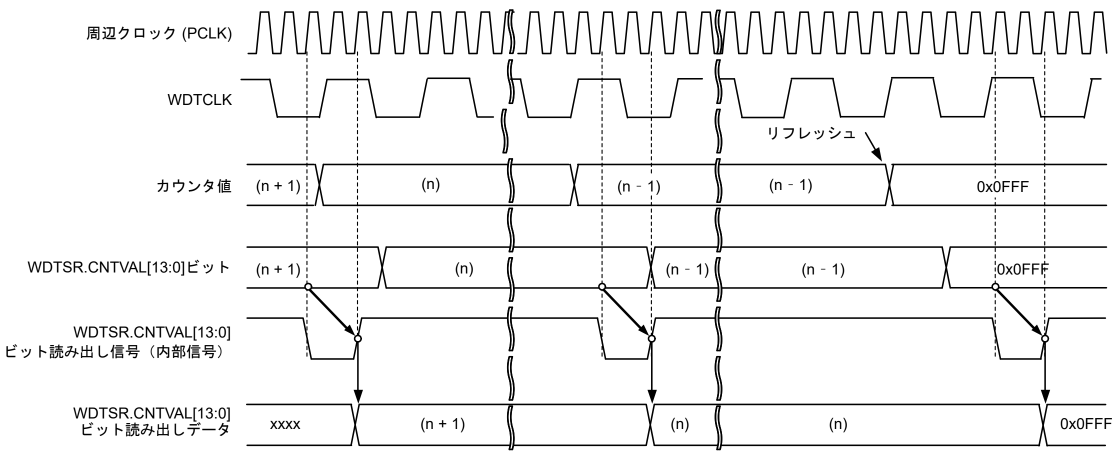
表 22.4　WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
WDT_NMIUNDF	● ダウンカウンタのアンダーフロー ● リフレッシュエラー	可能	不可能

22.3.7　ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウントから 1 カウントずれる場合があります。

図 22.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。



注.　PCLK = PCLKB

図 22.7　WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

22.3.8　オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 22.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。WDT 動作中に OFS0 レジスタの設定を変更しないでください。オプション機能選択レジスタ 0 (OFS0) の詳細については、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

表 22.5　オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFS0 レジスタ （オートスタートモードで有効） OFS0.WDTSTRT = 0	WDT のレジスタ （レジスタスタートモードで有効） OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]

表 22.5　オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFS0 レジスタ （オートスタートモードで有効） OFS0.WDTSTRT = 0	WDT のレジスタ （レジスタスタートモードで有効） OFS0.WDTSTRT = 1
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

22.4　イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT はあらかじめ設定したモジュールに対して、リンク動作が可能です。イベント信号はカウンタのアンダーフローとリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

22.5　使用上の注意事項

22.5.1　ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択をリセット（OFS0.WDTRSTIRQS = 1 または WDTRCR.RSTIRQS = 1）した場合、またはイベントリンク動作を許可 (ELSRn.ELS[7:0] = 0x18) にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x06 を設定することは禁止されています。

23. 独立ウォッチドッグタイマ (IWDT)

23.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用（PCLKB の影響を受けない）
- IWDT はレジスタスタートモードを非サポート

表 23.1 に IWDT の仕様を、図 23.1 に IWDT のブロック図を示します。

表 23.1　IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	● リセット後、自動的にカウント開始
カウント停止条件	● リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） ● カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
独立ウォッチドッグタイマリセット要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能	● ダウンカウンタアンダーフローイベント出力 ● リフレッシュエラーイベント出力
出力信号（内部信号）	● リセット出力 ● 割り込み要求出力 ● スリープモードカウント停止制御出力
オートスタートモード	以下のトリガに対して設定可能： ● リセット後のクロック分周比の選択（OFS0.IWDTCKS[3:0]ビット） ● 独立ウォッチドッグタイマのタイムアウト期間の選択（OFS0.IWDTTOPS[1:0]ビット） ● 独立ウォッチドッグタイマのウィンドウ開始位置の選択（OFS0.IWDTRPSS[1:0]ビット） ● 独立ウォッチドッグタイマのウィンドウ終了位置の選択（OFS0.IWDTRPES[1:0]ビット） ● リセット出力または割り込み要求出力の選択（OFS0.IWDTRSTIRQS ビット） ● スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択（OFS0.IWDTSTPCTL ビット）

注 1.　周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

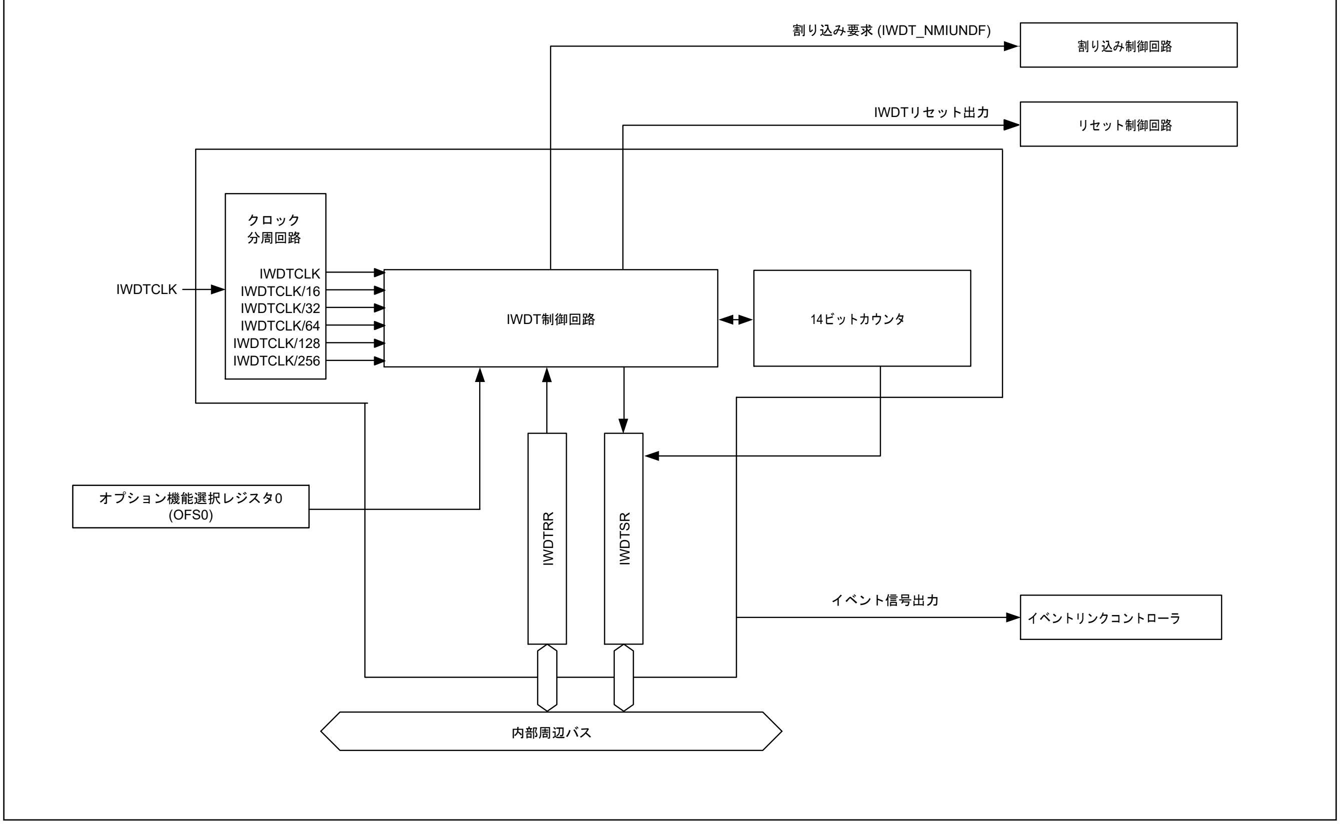


図 23.1　　IWDT のブロック図

23.2　　レジスタの説明

23.2.1　　IWDTRR : IWDT リフレッシュレジスタ

Base address:　IWDT = 0x4004_4400

Offset address:　0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「23.3.2. リフレッシュ動作」を参照してください。

23.2.2 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4004_4400

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDFF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDFF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32

- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

23.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（IWDTCLK サイクル数）は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせで決定されます。

表 23.2 に、IWDTCKS[3:0]および IWDTTOPS[1:0]ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 23.2　　タイムアウト期間の設定

IWDTCKS[3:0]ビット				IWDTTOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDTCLK クロックサイクル数
b7	b6	b5	b4	b3	b2			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は､IWDT 専用クロック (IWDTCLK) の 1 分周／16 分周／32 分周／64 分周／128 分周／256 分周から選択できます。IWDTTOPS[1:0]ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK の 128〜524288 サイクルから選択できます。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

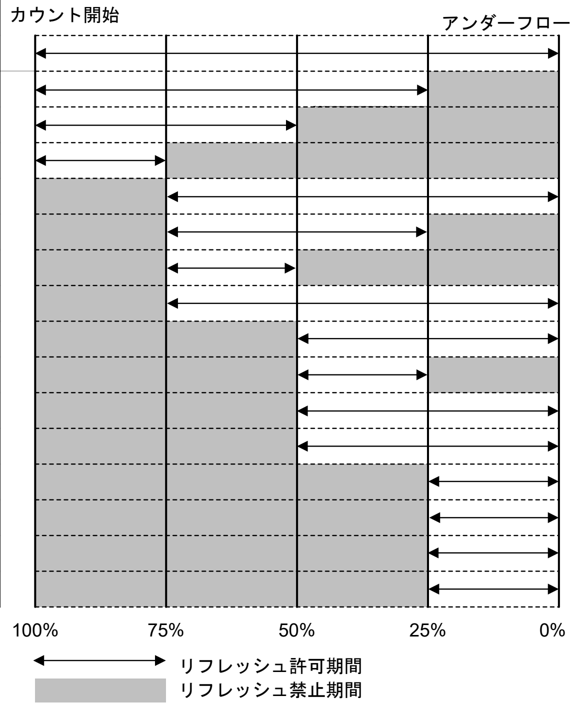
IWDTRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウンタ値を表 23.3 に、IWDTRPSS[1:0]、IWDTRPES[1:0]、IWDTTOPS[1:0]ビットで設定されるリフレッシュ許可期間を図 23.2 に示します。

表 23.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

IWDTTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
b3	b2	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

IWDTRPSS[1:0]ビット		IWDTRPES[1:0]ビット		ウィンドウ	
b11	b10	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注. ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 23.2 IWDTRPSS[1:0]および IWDTRPES[1:0]ビットとリフレッシュ許可期間

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

IWDTSTPCTL ビット（IWDT 停止制御）

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

23.3 動作説明

23.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDTRPSS[1:0]、OFS0.IWDTRPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDTRSTIRQS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

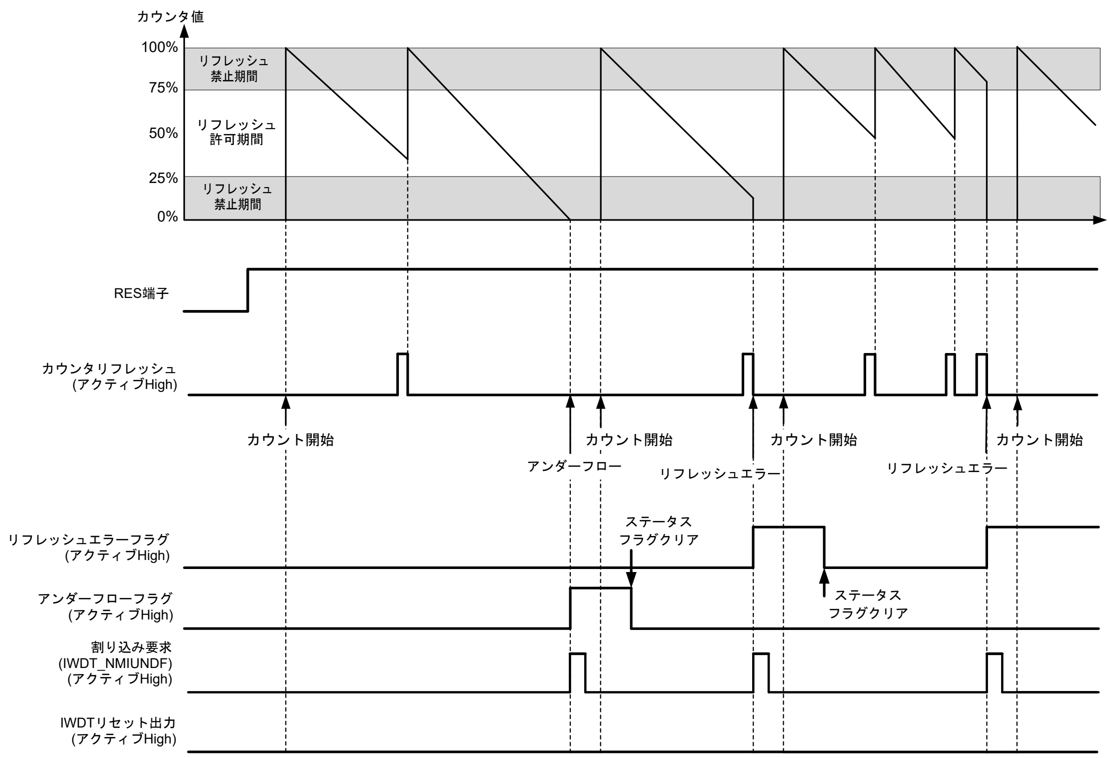
以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

ウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求または割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 23.3 に、下記の条件下での動作例（ノンマスカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)



注 1.　リセット端子 = RES

図 23.3　オートスタートモードでの動作例

23.3.2　リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDT リフレッシュレジスタ (IWDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

0X00（1 回目）→ 0x00（2 回目）の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0X00（n-1 回目）→ 0x00（n 回目）→ 0xFF という書き込み順序は有効であり、

正常にリフレッシュを行います。0X00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します（1 サイクル間の IWDT 専用クロック (IWDTCLK) 数は、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCKS[3:0]) の設定値により異なります）。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x01FF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x01FF より前（たとえば 0x0202）であっても、IWDTSR.CNTVAL[13:0]ビット値が 0x01FF になってから IWDTRR レジスタへ 0xFF を書き込めば、リフレッシュを行います。
- ウィンドウ終了位置を 0x01FF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0203（0x01FF の 4 カウントサイクル前）以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0003（アンダーフローの 4 カウントサイクル前）以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 23.4 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK × 1 分周である場合の IWDT リフレッシュ動作波形を示します。

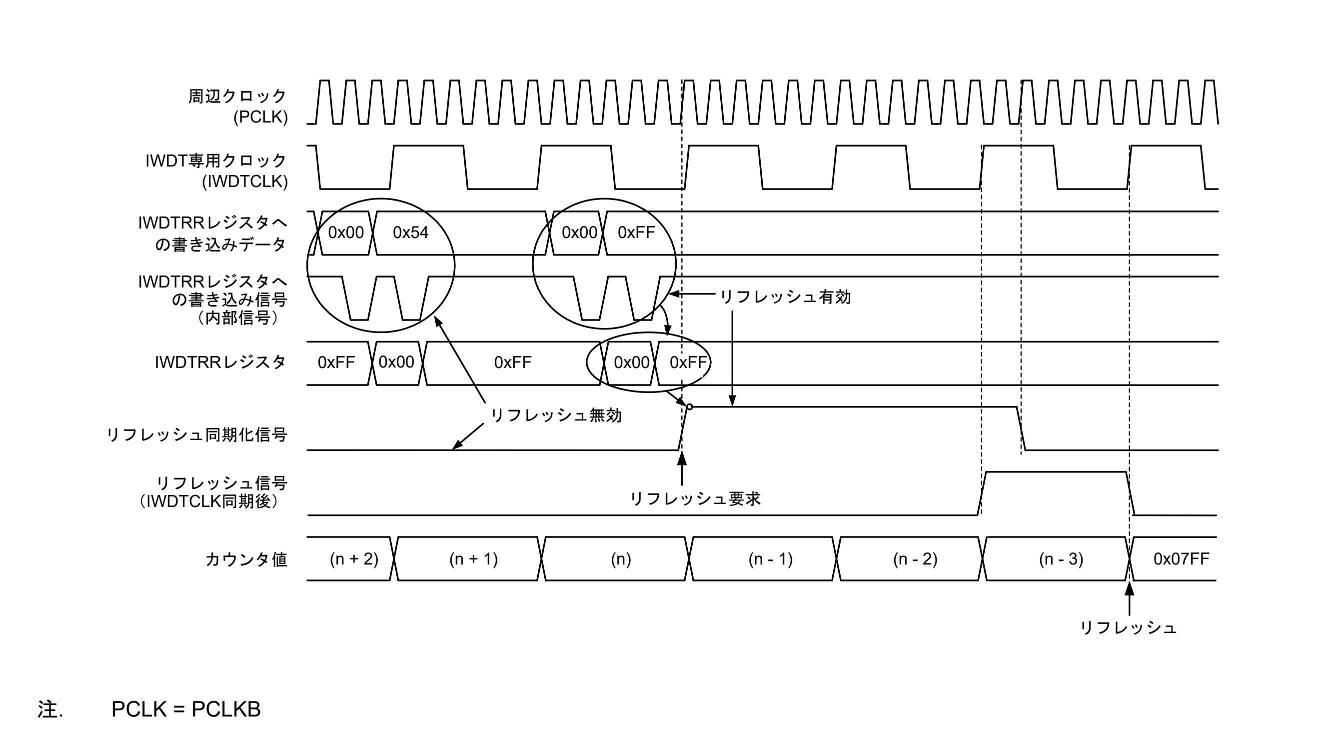


図 23.4　IWDT リフレッシュ動作波形（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

23.3.3　ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDFF) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEF フラグとIWDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしておいても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「23.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

23.3.4　リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

23.3.5　割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 23.4　IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
IWDT_NMIUNDF	● ダウンカウンタのアンダーフロー ● リフレッシュエラー	可能	不可能

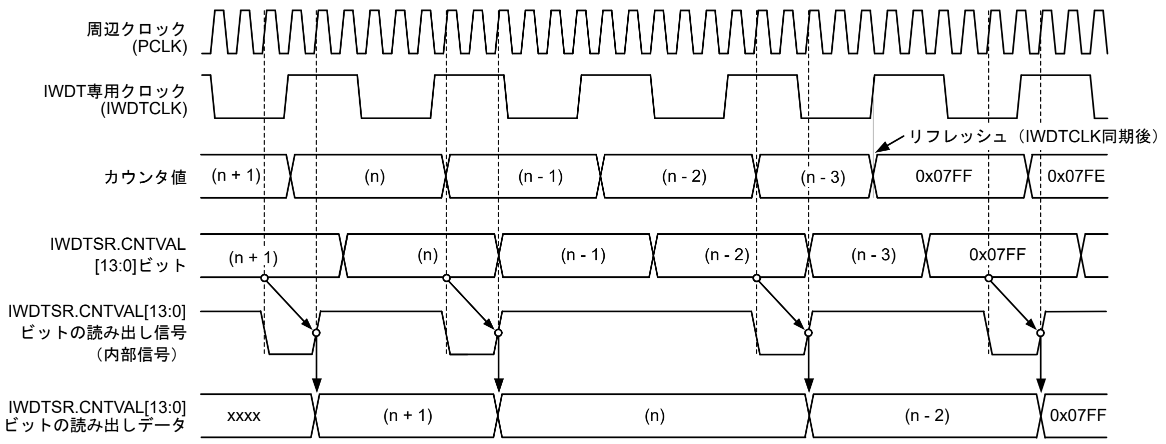
23.3.6　ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカ

ウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB で数クロックサイクル（最大 4 クロックサイクル）を要するため、読み出されるカウント値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 23.5 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK × 1 分周である場合の IWDT ダウンカウンタ値の読み出し処理を示します。



注.　PCLK = PCLKB

図 23.5　IWDT ダウンカウンタ値の読み出し処理（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

23.4　イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

23.5　使用上の注意事項

23.5.1　リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

23.5.2　クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) の周波数が下記の要件を満たすように設定してください。

PCLKB ≧ 4 ×（カウントクロックソースの分周後周波数）

23.5.3　ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

IWDT リセットアサートを許可 (OFS0.IWDTRSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (ELSRn.ELS[7:0] = 0x17) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[4:0]) に 0x03 を設定することは禁止されています。

24. シリアルコミュニケーションインタフェース (SCI)

24.1 概要

シリアルコミュニケーションインタフェース (SCI) × 4 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)）
- 8 ビットクロック同期式インタフェース
- 簡易 IIC（マスタのみ）
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本項では、PCLK = PCLKB を指します。

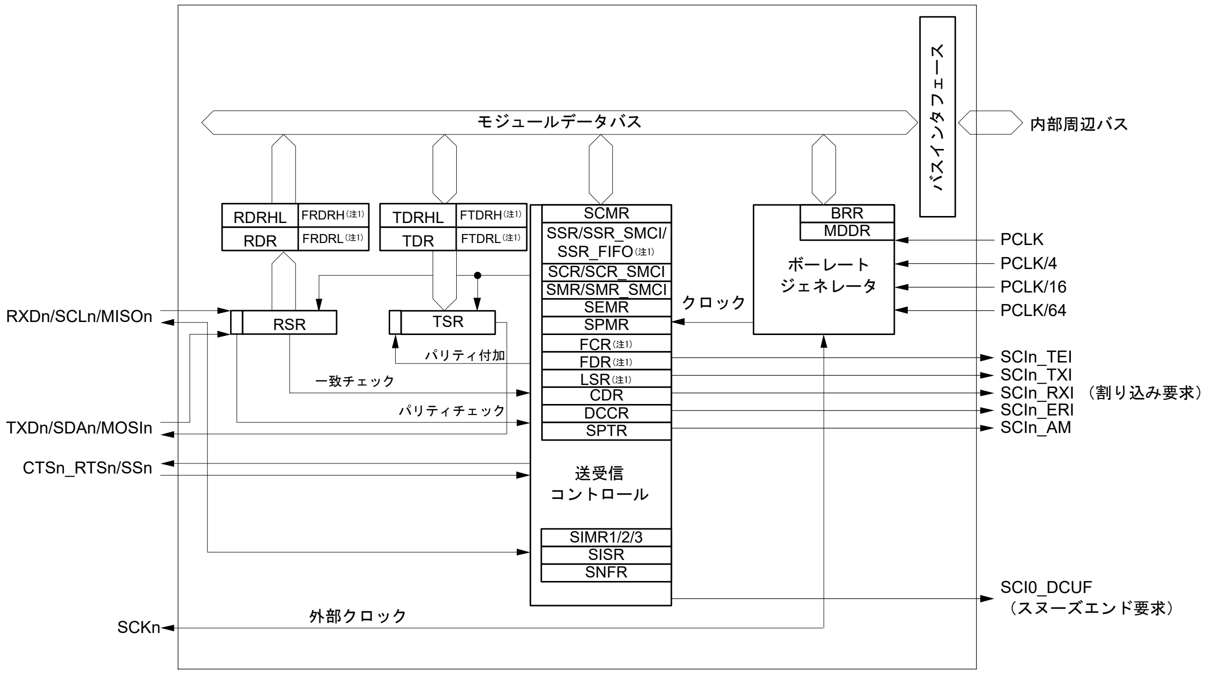
表 24.1 に SCI の仕様、図 24.1 に SCI のブロック図、表 24.3 に SCI の入出力端子を示します。

表 24.1　SCI の仕様 (1/2)

項目		内容
モジュール数		4 (SCIn (n = 0～2, 9))
シリアル通信方式		● 調歩同期式 ● クロック同期式 ● 簡易 IIC ● 簡易 SPI ● スマートカードインタフェース
転送速度		内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		● 送信部：ダブルバッファによる連続送信が可能 ● 受信部：ダブルバッファによる連続受信が可能
データ転送		LSB ファースト転送または MSB ファースト転送を選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 開始条件、再開始条件、停止条件の生成完了（簡易 IIC モード用）
モジュールストップ機能		チャネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求		SCI0 アドレス不一致 (SCI0_DCUF)
クロック同期式モード	データ長	8 ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO のいずれか（SCIn (n = 0) のみ FIFO をサポート）を選択可能
調歩同期式モード	データ長	7 ビット、8 ビット、または 9 ビット
	送信ストップビット	1 ビットまたは 2 ビット
	パリティ	偶数パリティ、奇数パリティ、パリティなし
	受信エラー検出機能	● パリティエラー ● オーバーランエラー ● フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能

表 24.1　SCI の仕様 (2/2)

項目		内容
	送信／受信	1 段レジスタまたは 16 段 FIFO のいずれか（SCIn (n = 0) で FIFO をサポート）を選択可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能
	アドレス不一致（SCI0 のみ）受信データ	受信データとコンペアマッチレジスタ内の値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Low 検出または立ち下がりエッジ検出を選択可能
	ブレークの検出	SPTR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンションとインバースコンベンションをサポート
簡易 IIC モード	通信フォーマット	I^2C バスフォーマット（MSB ファーストのみ）
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	最大 400 kbps
	ノイズ除去	SCLn 端子と SDAn 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	SSn 入力端子機能	SSn 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレート変調機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		受信エラーまたはエラーシグナル検出におけるエラーイベント出力 (SCIn_ERI) (n = 0～2, 9)
		受信データフルイベント出力 (SCIn_RXI) (n = 0～2, 9)
		送信データエンプティイベント出力 (SCIn_TXI) (n = 0～2, 9)
		アドレス一致イベント出力 (SCIn_AM) (n = 0～2, 9)
		送信終了イベント出力 (SCIn_TEI) (n = 0～2, 9)



注.　n = 0～2, 9
注 1.　SCIn (n = 0) のみ

図 24.1　SCI のブロック図

表 24.2　製品ごとの対応チャネル

SCI チャネル	製品	
	48 ピン	32 ピン／24 ピン
SCI0	✓	✓
SCI1	✓	✓
SCI2	✓	✓(注1)
SCI9	✓	✓(注1)

注.　✓ : 対応
　　— : 非対応
注 1.　SCI2/9 は、調歩同期式モードおよび簡易 I2C のみに対応します。

表 24.3　SCI の入出力端子

機能	端子名	入出力	説明
SCIn (n = 0～2, 9)	SCKn	入出力	SCIn のクロック入出力
	RXDn/SCLn/MISOn	入出力	SCIn の受信データ入力 SCIn の I2C クロック入出力 SCIn のスレーブ送信データ入出力
	TXDn/SDAn/MOSIn	入出力	SCIn の送信データ出力 SCIn の I2C データ入出力 SCIn のマスタ送信データ入出力
	SSn/CTSn_RTSn	入出力	SCIn のチップセレクト入力、アクティブ Low SCIn の送受信開始制御用入出力、アクティブ Low

24.2 レジスタの説明

24.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO レジスタへ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

24.2.2 RDR : 受信データレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1〜2, 9)

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生したときに 1 回だけ行ってください。

注.　受信データを RDR レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

24.2.3 RDRHL : 受信データレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1〜2, 9)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ	R
15:9	—	読むと 0 が読めます。	R

RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドーレジスタであるため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。
RDRHL レジスタの読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。

24.2.4 FRDRHL/FRDRH/FRDRL : 受信 FIFO データレジスタ

Base address: SCI0 = 0x4007_0000

Offset address: 0x10 (FRDRHL/FRDRH)
0x11 (FRDRL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	RDF	ORER	FER	PER	DR	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ シリアル受信データを格納します。 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	R
9	MPB	マルチプロセッサ シリアル受信データ (RDAT[8:0]) に関連するマルチプロセッサビットの値を格納します。 調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ このフラグは SSR_FIFO.DR と同じです。 0: 受信中であるか、または正常に受信を完了した後、FRDRH レジスタおよび FRDRL レジスタに受信データが残っていない 1: 正常に受信を完了した後、次の受信データが一定期間来ない	R(注1)
11	PER	パリティエラーフラグ 0: FRDRH および FRDRL の第 1 データにパリティエラーの発生なし 1: FRDRH および FRDRL の第 1 データにパリティエラーの発生あり	R
12	FER	フレーミングエラーフラグ 0: FRDRH および FRDRL の第 1 データにフレームミングエラーの発生なし 1: FRDRH および FRDRL の第 1 データにフレームミングエラーの発生あり	R
13	ORER	オーバーランエラーフラグ このフラグは SSR_FIFO.ORER と同じです。 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(注1)
14	RDF	受信 FIFO データフルフラグ このフラグは SSR_FIFO.RDF と同じです。 0: FRDRH と FRDRL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRH と FRDRL に書き込まれた受信データ量が指定された受信トリガ数以上である	R(注1)
15	—	読むと 0 が読めます。	R

注 1. 本フラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアする場合は、SSR_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、8 ビットの FRDRH レジスタと FRDRL レジスタからなる 16 ビットのレジスタです。FRDRH は FRDRHL[15:8]ビットに割り当てられ、FRDRHL と同じアドレスに割り付られます。FRDRL は FRDRHL[7:0]ビットに割り当てられ、FRDRHL のアドレス+1 のアドレスに割り付られます。

FRDRH と FRDRL は、ソフトウェアで読み出し可能なシリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、受信データを受信シフトレジスタ (RSR) から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定値です。FRDRH と FRDRL がいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH レジスタと FRDRL レジスタを読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読み出す場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

24.2.5 TDR : 送信データ レジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1〜2, 9)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	シリアル送信データ	R/W

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生するごとに 1 回だけ行ってください。

24.2.6 TDRHL : 送信データ レジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1〜2, 9)

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ	R/W
15:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドーレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し／書き込みが可能です。TDRHL レジスタのビット[15:9]は 1 に固定されています。これらビットから読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生したときに 1 回だけ行ってください。

24.2.7 FTDRHL/FTDRH/FTDRL : 送信 FIFO データレジスタ

Base address: SCI0 = 0x4007_0000

Offset address: 0x0E (FTDRHL/FTDRH)
0x0F (FTDRL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ シリアル送信データを設定します。 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	W
9	MPBT	マルチプロセッサ転送ビットフラグ 送信フレーム中のマルチプロセッサビットを設定します。調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および FIFO 選択に対してのみ有効です。 0: データ送信サイクル 1: ID 送信サイクル	W
15:10	—	書く場合、1 としてください。	W

FTDRHL レジスタは、8 ビットの FTDRH レジスタと FTDRL レジスタからなる 16 ビットのレジスタです。FTDRH は FTDRHL[15:8]ビットに割り当てられ、FTDRHL と同じアドレスに割り付けられます。FTDRL は FTDRHL[7:0]ビットに割り当てられ、FTDRHL のアドレス+1 のアドレスに割り付られます。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ転送ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、FTDRH レジスタと FTDRL レジスタに書き込まれたデータを TSR レジスタに転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでフルになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

TDAT[8:0]ビット（シリアル送信データ）

TDAT[8:0]ビットは、シリアル送信データを設定します。調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。

MPBT フラグ（マルチプロセッサ転送ビットフラグ）

MPBT フラグは、送信フレームのマルチプロセッサビットの値を指定します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

24.2.8 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

24.2.9 SMR : 非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0)(注1) 0 1: PCLK/4 クロック (n = 1)(注1) 1 0: PCLK/16 クロック (n = 2)(注1) 1 1: PCLK/64 クロック (n = 3)(注1)	R/W(注4)
2	MP	マルチプロセッサモード 調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W(注4)
3	STOP	ストップビット長 調歩同期式モードでのみ有効です。 0: 1 ストップビット 1: 2 ストップビット	R/W(注4)
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W(注4)
5	PE	パリティ許可 調歩同期式モードでのみ有効です。 0: 送信時パリティビットを付加しない 受信時パリティビットをチェックしない 1: 送信時パリティビットを付加する 受信時パリティビットをチェックする	R/W(注4)
6	CHR	キャラクタ長 調歩同期式モードでのみ有効です。(注2) SCMR.CHR1 ビットと組み合わせて送受信キャラクタ長を選択します。 0: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 8 ビットで送受信（初期値） 1: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 7 ビットで送受信(注3)	R/W(注4)
7	CM	通信モード 0: 調歩同期式モード、または簡易 IIC モード 1: クロック同期式モード、または簡易 SPI モード	R/W(注4)

注 1.　n は BRR レジスタの設定値を 10 進表記で示します。「24.2.17. BRR : ビットレートレジスタ」を参照してください。
注 2.　調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定です。
注 3.　LSB ファースト固定となり、送信モードでは TDR レジスタの MSB（ビット[7]）は送信されません。
注 4.　SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0]ビット（クロック選択）

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「24.2.17. BRR : ビットレートレジスタ」を参照してください。

MP ビット（マルチプロセッサモード）

MP ビットは、マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット（ストップビット長）

STOP ビットは、送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットと見なされます。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティ（偶数パリティ／奇数パリティ）を選択します。マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティ許可）

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット（キャラクタ長）

CHR ビットは、SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

CM ビット（通信モード）

CM ビットは、通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

24.2.10 SMR_SMCI : スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0)[注1] 0 1: PCLK/4 クロック (n = 1)[注1] 1 0: PCLK/16 クロック (n = 2)[注1] 1 1: PCLK/64 クロック (n = 3)[注1]	R/W[注2]
3:2	BCP[1:0]	基本クロックパルス SCMR.BCP2 ビットと組み合わせて基本クロックのサイクル数を選択します。表 24.4 に、SCMR.BCP2 ビットと SMR.BCP[1:0]ビットの組み合わせを示します。	R/W[注2]
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W[注2]
5	PE	パリティ許可 PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、本ビットを 1 にしてください。	R/W[注2]

ビット	シンボル	機能	R/W
6	BLK	ブロック転送モード 0: 通常モードで動作します 1: ブロック転送モードで動作	R/W(注2)
7	GM	GSM モード 0: 通常モードで動作します 1: GSM モードで動作	R/W(注2)

注 1.　n は BRR レジスタの設定値を 10 進表記で示します。「24.2.17. BRR : ビットレートレジスタ」を参照してください。
注 2.　SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0]ビット（クロック選択）

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「24.2.17. BRR : ビットレートレジスタ」を参照してください。

BCP[1:0]ビット（基本クロックパルス）

BCP[1:0]ビットは、スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SCMR.BCP2 ビットと組み合わせて設定します。

詳細は「24.6.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

表 24.4　SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数(注1)
0	00b ビット	93 クロック (S = 93)
0	01b ビット	128 クロック (S = 128)
0	10b ビット	186 クロック (S = 186)
0	11b ビット	512 クロック (S = 512)
1	00b ビット	32 クロック (S = 32)（初期値）
1	01b ビット	64 クロック (S = 64)
1	10b ビット	372 クロック (S = 372)
1	11b ビット	256 クロック (S = 256)

注 1.　S は BRR レジスタの S の値を表します（「24.2.17. BRR : ビットレートレジスタ」を参照してください）。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティモード（偶数パリティ／奇数パリティ）を選択します。スマートカードインタフェースモードにおけるこのビットの使用方法については、「24.6.2. データフォーマット（ブロック転送モード時を除く）」を参照してください。

PE ビット（パリティ許可）

PE ビットを 1 にする。送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送モード）

BLK ビットを 1 にすると、ブロック転送モードで動作します。詳細は「24.6.3. ブロック転送モード」を参照してください。

GM ビット（GSM モード）

GM ビットを 1 にすると、GSM モードで動作します。GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭ビットから 11.0 etu（elementary time unit = 1 ビット転送時間）に繰り上げられ、クロック出力制御が追加されます。詳細は、「24.6.6. シリアルデータの送信（ブロック転送モードを除く）」および「24.6.8. クロック出力制御」を参照してください。

24.2.11 SCR : 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: 調歩同期式モードでは、入出力ポートの設定に基づき、SCKn 端子は入出力ポートとして使用できます。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 0 1: 調歩同期式モードでは、SCKn 端子からビットレートと同じ周波数のクロックを出力します。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 その他: 調歩同期式モードでは、SEMR.ABCS ビットが 0 の場合、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが 1 の場合、8 倍の周波数のクロック信号を入力してください。 クロック同期モードでは、SCKn 端子はクロック入力端子となります。	R/W(注1)
2	TEIE	送信終了割り込み許可 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
3	MPIE	マルチプロセッサ割り込み許可 調歩同期式モードで、SMR.MP ビット = 1 のとき有効です。 0: 通常の受信動作 1: マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばし、SSR レジスタの RDRF、ORER および FER の各ステータスフラグを 1 にすることはできません。 マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。	R/W(注3)
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	受信割り込み許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
注 2. SMR.CM ビットが 1 のとき、TE ビット = 0 かつ RE ビット = 0 の場合にのみ 1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。
注 3. マルチプロセッサモード（SMR.MP ビット = 1）では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0]ビット（クロック許可）

CKE[1:0]ビットは、クロックソースと SCKn 端子機能を選択します。

TEIE ビット（送信終了割り込み許可）

TEIE ビットは、SCIn_TEI 割り込み要求を許可または禁止します。SCIn_TEI 割り込み要求を禁止にするには、TEIE ビットを 0 にしてください。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み（STIn 割り込み）に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止することが可能です。

MPIE ビット（マルチプロセッサ割り込み許可）

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR_FIFO レジスタの RDRF、ORER、FER、RDF、および DR の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 になり、通常の受信動作に戻ります。詳細は、「24.4. マルチプロセッサ通信機能」を参照してください。

SSR レジスタの MPB ビットが 0 のときは、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることはできません。

MPB ビットが 1 であると、MPIE ビットは自動的に 0 に設定され、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます（SCR.RIE ビットが 1 の場合）。また、ORER および FER フラグを 1 に設定できます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットは、シリアル受信動作を許可または禁止します。RE ビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信を開始します。RE ビットを 1 にする前に、SMR レジスタに受信フォーマットを設定してください。

非 FIFO 動作では、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、および PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、および DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット（送信許可）

TE ビットはシリアル送信動作を許可または禁止します。

TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR レジスタに送信フォーマットを設定してください。

RIE ビット（受信割り込み許可）

RIE ビットは、SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。

注.　FIFO モードで TIE ビット値を 0 から 1 に切り替えるには、TIE ビットと TE ビットを同時に 1 に設定するか、TE = 1 のときに TIE ビットを 1 に設定します。FIFO モードで TE = 0 の場合、TIE ビットを 1 に設定することは禁止されています。

24.2.12 SCR_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: SMR_SMCI.GM = 0 の場合 : 出力禁止 SCKn 端子は、入出力ポートの設定でセットアップされている場合は入出力ポートとして使用できます。 SMR_SMCI.GM = 1 の場合 : 出力を Low に固定 0 1: SMR_SMCI.GM = 0 の場合 : 出力クロック SMR_SMCI.GM = 1 の場合 : 出力クロック 1 0: SMR_SMCI.GM = 0 の場合 : 設定禁止 SMR_SMCI.GM = 1 の場合 : 出力を High に固定 1 1: SMR_SMCI.GM = 0 の場合 : 設定禁止 SMR_SMCI.GM = 1 の場合 : 出力クロック	R/W(注1)
2	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。	R/W
3	MPIE	マルチプロセッサ割り込み許可 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	レシーブインタラプト許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
注 2. TE ビット = 0 かつ RE ビット = 0 の場合にのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。

SCR_SMCI レジスタは、送受信制御、割り込み制御、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、「24.10. 割り込み要因」を参照してください。

CKE[1:0]ビット（クロック許可）

CKE[1:0]ビットは SCKn 端子からのクロック出力を制御します。GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「24.6.8. クロック出力制御」を参照してください。

TEIE ビット（送信終了割り込み許可）

スマートカードインタフェースモードでは、TEIE ビットを 0 にしてください。

MPIE ビット（マルチプロセッサ割り込み許可）

スマートカードインタフェースモードでは、MPIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットはシリアル受信動作を許可または禁止します。RE ビットを 1 にすると、スタートビットを検出することでシリアル受信を開始します。RE ビットを 1 にする前に、SMR_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、および PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット（送信許可）

TE ビットはシリアル送信動作を許可または禁止します。TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR_SMCI レジスタに送信フォーマットを設定してください。

RIE ビット（レシーブインタラプト許可）

RIE ビットは SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後にフラグを 0 にするか、あるいは RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。

24.2.13 SSR : 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 0）

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 送信フレーム中のマルチプロセッサビットの値を設定します。 0: データ送信サイクル 1: ID 送信サイクル	R/W
1	MPB	マルチプロセッサ 受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(/W) (注1)

ビット	シンボル	機能	R/W
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R(/W) (注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R(/W) (注1)

注 1.　フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT ビット（マルチプロセッサビット転送）

MPBT ビットは、送信フレームのマルチプロセッサビットの値を設定します。

MPB ビット（マルチプロセッサ）

MPB ビットは受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ（送信終了フラグ）

TEND フラグは、送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0（シリアル送信動作を禁止）、かつ FCR.FM ビットが 0（非 FIFO 選択時）のとき SCR.TE ビットが 1 のときは、TEND フラグは影響を受けず、1 の値を保持します
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき

  パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、PER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき

  2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされます。2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

［0 になる条件］

- FER = 1 を読んだ後、FER = 0 を書いたとき。FER フラグに 0 を書いた後は、FER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

［1 になる条件］

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき

  オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

［0 になる条件］

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、ORER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDRF レジスタ内の受信データの有無を示します。

［1 になる条件］

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

［0 になる条件］

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

［1 になる条件］

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

［0 になる条件］

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR.TE ビットが 1 の状態で、データを TDR レジスタに書き込んだとき

24.2.14 SSR_FIFO : 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 1）

Base address: SCI0 = 0x4007_0000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDFE	RDF	ORER	FER	PER	TEND	—	DR
Value after reset:	1	0	0	0	0	0	x	0

ビット	シンボル	機能	R/W
0	DR	受信データレディフラグ 0: 受信中であるか、または正常に受信を完了した後、FRDRHL に受信データが残っていない（受信 FIFO が空である） 1: FIFO に格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、次の受信データが一定期間来ない	R/W(注1)
1	—	読み出し値は不定です。書く場合、1 としてください。	R/W
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R/W(注1)
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W(注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W(注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
6	RDF	受信 FIFO データフルフラグ 0: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数以上である	R/W(注1)
7	TDFE	送信 FIFO データエンプティフラグ 0: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数を超えている 1: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数以下である	R/W(注1)

注 1.　フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ（受信データレディフラグ）

DR フラグは、受信 FIFO データレジスタ (FRDRHL) に格納されたデータ量が指定された受信トリガ数より少ないこと、および調歩同期式モードにおいて最後のストップビットから 15 etu (Elementary Time Unit) 経過しても次のデータが受信されていないことを示します。本フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 動作選択時にのみ有効です。

クロック同期式モードでは、DR フラグは 1 になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15 etu(注1)経過しても次のデータが受信されておらず、かつ SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読み出したとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1.　15ETU は、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します。
DR フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ 1 になります。他の動作モードでは 1 になりません。

TEND フラグ（送信終了フラグ）

TEND フラグは、シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタ(注1)に送信データを書いたとき

- SCR.TE ビットが 1 の状態で、TEND から 1 を読み出した後、TEND に 0 を書き込んだとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1.　SCIn_TXI 割り込み要求に応じて DTC が FTDRHL レジスタにデータを書き込む場合は、TEND ビットを送信終了フラグとして使用しないでください。

PER フラグ（パリティエラーフラグ）

PER フラグは、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき

データ受信中にパリティエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- FER = 1 を読んだ後、FER = 0 を書いたとき

データ受信中にフレーミングエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、オーバーランエラーの発生が原因で受信動作が異常停止したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでフルになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDF フラグ（受信 FIFO データフルフラグ）

RDF フラグは、受信データが FRDRHL レジスタへ転送されて、FRDRHL 内のデータ量が指定された受信トリガ数と等しいか、または超えたことを示します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグは 1 になりません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ量が FRDRHL レジスタ(注1)に格納され、かつ FIFO が空状態ではないとき

[0 になる条件]

- RDF = 1 を読んだ後、RDF = 0 を書いたとき
- FRDRHL レジスタが DTC によって読み出されたとき（ブロック転送が最終送信の場合のみ）
- 1 になる条件と 0 になる条件が同時に発生したとき この場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ量が RTRG の値以上になると、1PCLK 後に RDF フラグは 1 になります。

注 1.　FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は、指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

TDFE フラグ（送信 FIFO データエンプティフラグ）

TDFE フラグは、データが FTDRHL レジスタから TSR レジスタへ転送され、FTDRHL 内のデータ量が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ量が、指定された送信トリガ数以下であるとき(注1)

[0 になる条件]

- DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- TDFE = 1 を読んだ後、TDFE フラグに 0 を書いたとき(注2)
  TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 になります。その後、FTDRHL レジスタに格納されたデータ量が TTRG の値以下になると、1PCLK 後に TDFE フラグは 1 になります。

注 1.　FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに FTDRHL レジスタに書き込み可能なデータの最大バイト数は“16 - FDR.T[4:0]”になります。さらにデータを書き込んでも、そのデータは破棄されます。
注 2.　DTC によるブロック転送処理中には、TDFE フラグをクリアしないでください。

24.2.15 SSR_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ（SCMR.SMIF = 1）

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
1	MPB	マルチプロセッサ スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーなし 1: パリティエラーの発生あり	R/W(注1)
4	ERS	エラーシグナルステータスフラグ 0: エラーシグナル Low 応答なし 1: エラーシグナル Low 応答あり	R/W(注1)

ビット	シンボル	機能	R/W
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/W(注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/W(注1)

注 1.　フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグのためのレジスタです。

TEND フラグ（送信終了フラグ）

受信側からエラー信号がなく、次の転送データが TDR レジスタに転送可能となったとき、TEND フラグは 1 になります。

[1 になる条件]

- SCR_SMCI.TE = 0（シリアル送信動作を禁止）のとき
  SCR_SMCI.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトの最終データを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき

  1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。
  - SMR_SMCI.GM = 0、SMR_SMCI.BLK = 0 のとき、送信開始から 12.5 etu 経過後
  - SMR_SMCI.GM = 0、SMR_SMCI.BLK = 1 のとき、送信開始から 11.5 etu 経過後
  - SMR_SMCI.GM = 1、SMR_SMCI.BLK = 0 のとき、送信開始から 11.0 etu 経過後
  - SMR_SMCI.GM = 1、SMR_SMCI.BLK = 1 のとき、送信開始から 11.0 etu 経過後

[0 になる条件]

- SCR_SMCI.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 になった後は、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- ERS = 1 を読んだ後、ERS = 0 を書いたとき

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

［1 になる条件］

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

［0 になる条件］

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDRF レジスタ内の受信データの有無を示します。

［1 になる条件］

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

［0 になる条件］

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

［1 になる条件］

- SCR_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

［0 になる条件］

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR_SMCI.TE ビットが 1 の状態でデータを TDR レジスタに書き込んだとき

24.2.16 SCMR : スマートカードモードレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
Value after reset:	1	1	1	1	0	0	1	0

ビット	シンボル	機能	R/W
0	SMIF	スマートカードインタフェースモード選択 0: 非スマートカードインタフェースモード （調歩同期式モード、クロック同期式モード、簡易 SPI モード、または簡易 IIC モード） 1: スマートカードインタフェースモード	R/W(注1)
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
2	SINV	送受信データ反転 簡易 IIC モードで動作させる場合は、SINV ビットを 0 にしてください。 SINV ビットは以下のモードで使用可能です。 ● スマートカードインタフェースモード ● 調歩同期式モード（マルチプロセッサモードを含む） ● クロック同期式モード ● 簡易 SPI モード 0: TDR レジスタの内容をそのまま送信。受信データをそのまま RDR レジスタに格納。 1: TDR レジスタの内容を反転して送信。受信データを反転して RDR レジスタに格納	R/W(注1)
3	SDIR	送受信データ転送方向 簡易 IIC モードで動作させる場合は、SDIR ビットを 1 にしてください。 SDIR ビットは以下のモードで使用可能です。 ● スマートカードインタフェースモード ● 調歩同期式モード（マルチプロセッサモードを含む） ● クロック同期式モード ● 簡易 SPI モード 0: LSB ファースト転送 1: MSB ファースト転送	R/W(注1)
4	CHR1	キャラクタ長 1 調歩同期式モードでのみ有効です。(注2) SMR.CHR ビットと組み合わせて送受信キャラクタ長を選択します。 0: SMR.CHR = 0：データ長 9 ビットで送受信 SMR.CHR = 1：データ長 9 ビットで送受信 1: SMR.CHR = 0：データ長 8 ビットで送受信（初期値） SMR.CHR = 1：データ長 7 ビットで送受信(注3)	R/W(注1)
6:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	BCP2	基本クロックパルス 2 SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 24.5 に、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W(注1)

注 1.　SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。
注 2.　調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定となります。
注 3.　LSB ファーストを選択する必要があります。TDR レジスタの MSB（ビット［7］）の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット（スマートカードインタフェースモード選択）

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード（マルチプロセッサモードを含む）
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット（送受信データ反転）

SINV ビットは、送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット（キャラクタ長 1）

CHR1 ビットは、SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット（基本クロックパルス 2）

BCP2 ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR_SMCI.BCP[1:0]ビットと組み合わせて設定します。

表 24.5　SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数
0	00b	93 クロック (S = 93)(注1)
0	01b	128 クロック (S = 128)(注1)
0	10b	186 クロック (S = 186)(注1)
0	11b	512 クロック (S = 512)(注1)
1	00b	32 クロック (S = 32)（初期値）(注1)
1	01b	64 クロック (S = 64)(注1)
1	10b	372 クロック (S = 372)(注1)
1	11b	256 クロック (S = 256)(注1)

注 1.　S は「24.2.17. BRR : ビットレートレジスタ」レジスタの S の値を表します。

24.2.17　BRR : ビットレートレジスタ

Base address:　SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address:　0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

BRR レジスタは、ビットレートを調節するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。表 24.6 に通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を示します。

BRR レジスタの初期値は 0xFF です。BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 24.6　BRR レジスタの設定値 N とビットレート B の関係 (1/2)

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$誤差\ (\%) = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

表 24.6　BRR レジスタの設定値 N とビットレート B の関係 (2/2)

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
簡易 IIC(注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

注.　B：ビットレート (bps)
N：内蔵ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
PCLK：動作周波数 (MHz)
n および S：表 24.8 および表 24.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。
注 1.　簡易 IIC モードでは、SCLn 出力の High/Low 幅が I^2C バス規格を満たすように、ビットレートを調節してください。

表 24.7　SCLn の High レベル幅と Low レベル幅の計算

モード	SCLn	算出式（結果は秒単位）
IIC	High 幅（min 値）	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅（min 値）	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 24.8　クロックソースの設定

SMR または SMR_SMCI.CKS[1:0]ビットの設定値	クロックソース	n
CKS[1:0]ビット		
00b ビット	PCLK クロック	0
01b ビット	PCLK/4 クロック	1
10b ビット	PCLK/16 クロック	2
11b ビット	PCLK/64 クロック	3

表 24.9　スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定値	SMR_SMCI.BCP[1:0]ビットの設定値	1 ビット期間中の基本クロック数	S
BCP2 ビット	BCP[1:0]ビット		
0	00b	93 クロックサイクル	93
0	01b	128 クロックサイクル	128
0	10b	186 クロックサイクル	186
0	11b	512 クロックサイクル	512
1	00b	32 クロックサイクル	32
1	01b	64 クロックサイクル	64
1	10b	372 クロックサイクル	372
1	11b	256 クロックサイクル	256

表 24.10 に通常の調歩同期式モードにおける、BRR レジスタ値 (N) の設定例を示します。表 24.11 に各動作周波数において設定可能な最大ビットレートを示します。表 24.15 にスマートカードインタフェースモードにおける、BRR レジスタ値 (N) の設定例を示します。

スマートカードインタフェースモードでは、1 ビット転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「24.6.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 24.12 と表 24.14 に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは表 24.16 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 24.10　各ビットレートに対する BRR の設定例（調歩同期式モード）(1) (1/2)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

表 24.10　各ビットレートに対する BRR の設定例（調歩同期式モード）(1) (2/2)

ビットレート (bps)	動作周波数 PCLK (MHz)																	
	14			16			17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

注.　この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 24.11　各動作周波数における最大ビットレート（調歩同期式モード） (1/2)

PCLK (MHz)	SEMR の設定					最大ビットレート (bps)	PCLK (MHz)	SEMR の設定					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	17.2032	0	0	0	0	0	537600
		1	0	0	0	500000			1	0	0	0	1075200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1000000			1	0	0	0	2150400
	Don't care	Don't care	1	0	0	1333333		Don't care	Don't care	1	0	0	2867200

表 24.11　各動作周波数における最大ビットレート（調歩同期式モード） (2/2)

PCLK (MHz)	SEMR の設定 BGDM ビット	ABCS ビット	ABCSE ビット	n	N	最大ビットレート (bps)	PCLK (MHz)	SEMR の設定 BGDM ビット	ABCS ビット	ABCSE ビット	n	N	最大ビットレート (bps)
9.8304	0	0	0	0	0	307200	18	0	0	0	0	0	562500
		1	0	0	0	614400			1	0	0	0	1125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1228800			1	0	0	0	2250000
	Don’t care	Don’t care	1	0	0	1638400		Don’t care	Don’t care	1	0	0	3000000
10	0	0	0	0	0	312500	19.6608	0	0	0	0	0	614400
		1	0	0	0	625000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	2457600
	Don’t care	Don’t care	1	0	0	1666666		Don’t care	Don’t care	1	0	0	3276800
12	0	0	0	0	0	375000	20	0	0	0	0	0	625000
		1	0	0	0	750000			1	0	0	0	1250000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1500000			1	0	0	0	2500000
	Don’t care	Don’t care	1	0	0	2000000		Don’t care	Don’t care	1	0	0	3333333
12.288	0	0	0	0	0	384000							
		1	0	0	0	768000							
	1	0	0	0	0								
		1	0	0	0	1536000							
	Don’t care	Don’t care	1	0	0	2048000							
14	0	0	0	0	0	437500							
		1	0	0	0	875000							
	1	0	0	0	0								
		1	0	0	0	1750000							
	Don’t care	Don’t care	1	0	0	2333333							
16	0	0	0	0	0	500000							
		1	0	0	0	1000000							
	1	0	0	0	0								
		1	0	0	0	2000000							
	Don’t care	Don’t care	1	0	0	2666666							

表 24.12　外部クロック入力時の最大ビットレート（調歩同期式モード） (1/2)

最大ビットレート (bps)			
PCLK (MHz)	**外部入力クロック (MHz)**	**SEMR.ABCS = 0**	**SEMR.ABCS = 1**
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500

表 24.12　外部クロック入力時の最大ビットレート（調歩同期式モード） (2/2)

最大ビットレート (bps)			
PCLK (MHz)	外部入力クロック (MHz)	SEMR.ABCS = 0	SEMR.ABCS = 1
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000

表 24.13　各ビットレートに対する BBR の設定例（クロック同期式モード、簡易 SPI モード）

ビットレート (bps)	動作周波数 PCLK (MHz)							
	8		10		16		20	
	n	N	n	N	n	N	n	N
2.5k	1	199	1	249	2	99	2	124
5k	1	99	1	124	1	199	1	249
10k	0	199	0	249	1	99	1	124
25k	0	79	0	99	0	159	0	199
50k	0	39	0	49	0	79	0	99
100k	0	19	0	24	0	39	0	49
250k	0	7	0	9	0	15	0	19
500k	0	3	0	4	0	7	0	9
1M	0	1			0	3	0	4
2.5M			0	0[注1]			0	1
5M							0	0[注1]
7.5M								

注.　空欄：設定禁止
注 1.　連続送受信はできません。1 フレームの送受信後、次のフレームの送受信を開始するまでに 1 ビット期間の間隔が空きます。すなわち、同期クロックの出力が 1 ビット期間停止します。そのため、1 フレーム（8 ビット）のデータ転送に 9 ビット分の時間がかかり、平均転送レートはビットレートの 8/9 倍になります。

表 24.14　外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード）

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333

表 24.15　各ビットレートに対する BBR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合） (1/2)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

表 24.15　各ビットレートに対する BBR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合）(2/2)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

表 24.16　各動作周波数における最大ビットレート（スマートカードインタフェースモード、S = 32 の場合）

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0

表 24.17　各ビットレートに対する BRR の設定例（簡易 IIC モード）

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	1	12	-3.8	1	15	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	5	4.2
50k	0	4	0.0	0	5	4.2	1	2	-16.7	1	2	4.2
100k(注1)	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7
350k	—	—	—	—	—	—	—	—	—	0	1	-10.7
400k(注1)	—	—	—	—	—	—	—	—	—	0	1	-21.9

注 1.　100 kbps と 400 kbps のビットレートは、設定値の誤差がマイナス側にあることを意味しています。

表 24.18　各ビットレート設定での SCLn の High/Low 幅最小値（簡易 IIC モード）

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCLn High/Low 幅最小値 (µs)	n	N	SCLn High/Low 幅最小値 (µs)	n	N	SCLn High/Low 幅最小値 (µs)	n	N	SCLn High/Low 幅最小値 (µs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	5	16.80/19.20
50k	0	4	8.75/10.00	0	5	8.40/9.60	1	2	10.50/12.00	1	2	8.40/9.60
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k	—	—	—	—	—	—	—	—	—	0	1	1.40/1.60
400k	—	—	—	—	—	—	—	—	—	0	1	1.40/1.60

24.2.18　MDDR : 変調デューティーレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

MDDR レジスタは、BRR レジスタで調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 24.19 に示します。

MDDR レジスタの初期値は 0xFF です。本レジスタのビット[7]は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 24.19　ビットレート変調機能使用時の MDDR レジスタの設定値 M とビットレート B の関係

B : ビットレート (bps)
M : MDDR 設定値 (128 ≦ MDDR ≦ 256)
N : ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
PCLK : 動作周波数 (MHz)
n および S : 「24.2.17. BRR : ビットレートレジスタ」の表 24.8 と表 24.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。
x: Don't care

モード	SEMR レジスタの設定 BGDM ビット	ABCS ビット	ABCSE ビット	BRR レジスタの設定	誤差
調歩同期式マルチプロセッサ転送	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	$誤差(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	$誤差(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	$誤差(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	x	x	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	$誤差(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI(注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	$誤差(\%) = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易 IIC(注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	—

注 1.　クロック同期式モードと、簡易 SPI モードの最高速設定（SMR.CKS[1:0]ビット = 00b、SCR.CKE[1]ビット = 0、および BRR = 0）では、この機能を使用しないでください。
注 2.　簡易 IIC モードでは、SCLn 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

通常の調歩同期式モードにおける、BRR レジスタ値Nと MDDR レジスタ値 M の設定例を表 24.20 と表 24.21 に示します。

表 24.20　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード）(1) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

表 24.20　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード）(1) (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

表 24.20　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード）(1) (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1.　この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

表 24.21 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード）(2)

ビットレート (bps)	動作周波数 PCLK (MHz)									
	19.6608					20				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01
57600	0	9	240	0	0.00	0	9	236	0	0.03
115200	0	4	240	0	0.00	0	4	236	0	0.03
230400	0	1	192	0	0.00	0	4	236	1	0.03
460800	0	0	192	0	0.00	0	0	189	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

24.2.19 SEMR : シリアル拡張モードレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	BRME	ビットレート変調有効 0: ビットレート変調機能は無効 1: ビットレート変調機能は有効	R/W(注1)
3	ABCSE	調歩同期拡張基本クロック選択 1 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です。 0: 1 ビット期間のクロックサイクル数は、SEMR レジスタの BGDM ビットと ABCS ビットの組み合わせにより決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクル	R/W(注1)
4	ABCS	調歩同期基本クロック選択 調歩同期式モードでのみ有効 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W(注1)
5	NFEN	デジタルノイズフィルタ機能有効 他のすべてのモードでは、NFEN ビットは 0 でなければなりません。 0: 調歩同期式モードの場合 RXDn 入力信号のノイズ除去機能は無効 簡易 I^2C モードの場合 SCLn と SDAn の入力信号のノイズ除去機能は無効 1: 調歩同期式モードの場合 RXDn 入力信号のノイズ除去機能は有効 簡易 I^2C モードの場合 SCLn と SDAn の入力信号のノイズ除去機能は有効	R/W(注1)
6	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です 0: ボーレートジェネレータから通常の周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W(注1)
7	RXDESEL	調歩同期スタートビットエッジ検出選択 調歩同期式モードでのみ有効です。 0: RXDn 端子入力の Low レベルでスタートビットを検出 1: RXDn 端子入力の立ち下がりエッジでスタートビットを検出	R/W(注1)

注 1.　SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モードにおいて、1 ビット期間のクロックソースを選択するためのレジスタです。

BRME ビット（ビットレート変調有効）

BRME ビットは、ビットレート変調機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを均一に補正します。

ABCSE ビット（調歩同期拡張基本クロック選択 1）

ABCSE ビットは、1 ビット期間における基本クロックのパルス数を 6 に設定します。ボーレートジェネレータからは 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを 6 にする場合、本ビットを使用し、かつ SMR.CKS[1:0] = 00b、BRR = 0 に設定してください。

調歩同期式モード以外では、本ビットを 0 にしてください。調歩同期式モードにおいても、外部クロックを使用している場合は本ビットを 0 にしてください。

ABCS ビット (調歩同期基本クロック選択)

ABCS ビットは、1 ビット期間のクロックサイクル数を選択します。

NFEN ビット（デジタルノイズフィルタ機能有効）

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する。
- 簡易 I^2C モードでは、SDAn 入力信号と SCLn 入力信号のノイズを除去する。

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

BGDM ビット（ボーレートジェネレータ倍速モード選択）

BGDM ビットは、ボーレートジェネレータから出力する基本クロックの周波数を 2 倍にするかどうかを選択します

BGDM ビットは、調歩同期式モード（SMR.CM ビット = 0）において、クロックソースに内蔵ボーレートジェネレータ（SCR.CKE[1] ビット = 0）を選択したとき有効です。外部クロック選択時（SCR.CKE[1] ビット = 1）、0 にしてください。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

本ビットは、調歩同期式モード以外では 0 にしてください。

RXDESEL ビット（調歩同期スタートビットエッジ検出選択）

RXDESEL ビットは、調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。本ビットの設定により、ブレーク時のデータ受信動作が異なります。ブレーク中に受信動作を停止させたい場合、またはブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、本ビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

24.2.20　SNFR : ノイズフィルタ設定レジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	NFCS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モードの場合、基本クロックの標準設定を選択します。 簡易 I^{2}C モードの場合、SMR.CKS[1:0]ビットで選択した内蔵ボーレートジェネレータのクロックソースの標準設定を選択します。 0 0 0: 調歩同期式モードの場合：1 分周のクロックをノイズフィルタに使用 簡易 I^{2}C モードの場合：設定禁止 0 0 1: 調歩同期式モードの場合：設定禁止 簡易 I^{2}C モードの場合：1 分周のクロックをノイズフィルタに使用 0 1 0: 調歩同期式モードの場合：設定禁止 簡易 I^{2}C モードの場合：2 分周のクロックをノイズフィルタに使用 0 1 1: 調歩同期式モードの場合：設定禁止 簡易 I^{2}C モードの場合：4 分周のクロックをノイズフィルタに使用 1 0 0: 調歩同期式モードの場合：設定禁止 簡易 I^{2}C モードの場合：8 分周のクロックをノイズフィルタに使用 その他: 設定禁止	R/W(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作を禁止、かつ受信動作を禁止）の場合にのみ書き込み可能です。

SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCS[2:0]ビット（ノイズフィルタクロック選択）

NFCS[2:0]ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 I^{2}C モードで、SEMR レジスタの基本クロック選択ビットにおいて 32 個のクロックが 1 ビット期間として選択された場合、NFCS[2:0]ビットを 001b～100b の範囲に設定してください。基本クロック選択ビットにおいて他の値が選択されている場合は、NFCS ビットを 001b に設定してください。

24.2.21　SIMR1 : IIC モードレジスタ 1

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICDL[4:0]					—	—	IICM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICM	簡易 IIC モード選択 0: SCMR.SMIF = 0：調歩同期式モード、マルチプロセッサモード、クロック同期式モード、または簡易 SPI モード SCMR.SMIF = 1：スマートカードインタフェースモード 1: SCMR.SMIF = 0：簡易 IIC モード SCMR.SMIF = 1：設定禁止	R/W(注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:3	IICDL[4:0]	SDAn 遅延出力選択 SDAn 内蔵ボーレートジェネレータからのクロック信号のサイクル数で示す信号出力遅延です。 0x00: 出力遅延なし その他: (IICDL - 1) サイクル～(IICDL) サイクル	R/W(注1)

注 1.　SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

IICM ビット（簡易 IIC モード選択）

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

IICDL[4:0]ビット（SDAn 遅延出力選択）

IICDL[4:0]ビットは、SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を指定します。

内蔵ボーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0]ビットの設定によって分周された PCLK クロックが、内蔵ボーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、IICDL[4:0]ビットを 00000b に設定してください。簡易 IIC モードでは、これらのビットを 00001b～11111b の範囲で設定してください。

表 24.22　各通信モードで IICDL[4: 0]ビットに設定可能な値

通信モード	ABCS	IICDL[4:0]ビットに設定可能な値
簡易 IIC モード以外	Don't care	00000b
簡易 IIC モード	0	00001b～11111b
	1	00001b～00100b

24.2.22　SIMR2 : IIC モードレジスタ 2

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IICACKT	—	—	—	IICCSC	IICINTM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICINTM	IIC 割り込みモード選択 0: ACK/NACK 割り込みを使用 1: 受信割り込み、送信割り込みを使用	R/W(注1)
1	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W(注1)
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　SCR.RE ビットと SCR.TE ビットが 0（シリアル受信動作およびシリアル送信動作を禁止）の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

IICINTM ビット（IIC 割り込みモード選択）

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化）

他のデバイスがウェイトを挿入したため SCLn 端子が Low になったとき、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCLn クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット（ACK 送信データ）

送信データは ACK ビットを含みます。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。

24.2.23 SIMR3 : IIC モードレジスタ 3

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICSTAREQ	開始条件生成 0: 開始条件を生成しない 1: 開始条件を生成する(注1) (注3) (注5) (注6)	R/W
1	IICRSTAREQ	再開始条件生成 0: 再開始条件を生成しない 1: 再開始条件を生成する(注2) (注3) (注5) (注6)	R/W
2	IICSTPREQ	停止条件生成 0: 停止条件を生成しない 1: 停止条件を生成する(注2) (注3) (注5) (注6)	R/W
3	IICSTIF	開始/再開始/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または生成中の状態 1: 開始条件、再開始条件、停止条件の生成が完了した状態 IICSTIF ビットに 0 を書くと、0 になります。(注4)	R/W(注4)
5:4	IICSDAS[1:0]	SDAn 出力選択 0 0: シリアルデータ出力 0 1: 開始条件、再開始条件、または停止条件の生成 1 0: SDAn 端子には Low を出力 1 1: SDAn 端子はハイインピーダンス状態	R/W
7:6	IICSCLS[1:0]	SCLn 出力選択 0 0: シリアルクロック出力 0 1: 開始条件、再開始条件、または停止条件の生成 1 0: SCLn 端子には Low を出力 1 1: SCLn 端子はハイインピーダンス状態	R/W

注 1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。
注 2. バスの状態を確認し、バスビジー状態のときに再開始条件または停止条件を生成してください。
注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
注 4. 0 のみを書いてください。1 を書くと、その値は無視されます。
注 5. IICSTIF フラグを 0 にしてから、各条件生成を行ってください。
注 6. 1 の状態にあるとき、0 を書かないでください。このビットが 1 の状態にあるとき 0 を書くと、条件生成が中断します。

SIMR3 レジスタは、簡易 I^{2}C モードの開始条件、再開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成）

再開始条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始/再開始/停止条件生成完了フラグ）

IICSTIF フラグは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

［1 になる条件］

- 開始条件、再開始条件、停止条件の生成が完了したとき

  1 になる条件が 0 になる条件と競合した場合は、0 になる条件が優先されます。

［0 になる条件］

- 0 を書いたとき。IICSTIF ビットに 0 を書いた後は、ビットを読み出して、実際に 0 になっていることを確認してください。
- SIMR1.IICM ビットに 0 を書いたとき（簡易 IIC モード以外の場合）
- SCR.TE ビットに 0 を書いたとき

IICSDAS[1:0]ビット（SDAn 出力選択）

IICSDAS[1:0]ビットは、SDAn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

IICSCLS[1:0]ビット（SCLn 出力選択）

IICSCLS[1:0]ビットは、SCLn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

24.2.24　SISR : IIC ステータスレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IICACKR
Value after reset:	0	0	x	x	0	x	0	0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	—	読むと 0 が読めます。	R
5:4	—	読み出し値は不定です。	R
7:6	—	読むと 0 が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ（ACK 受信データフラグ）

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

24.2.25 SPMR : SPI モードレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1〜2, 9)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSE	SSn 端子機能有効 0: SSn 端子機能は無効 1: SSn 端子機能は有効	R/W(注1)
1	CTSE	CTS 有効 0: CTS 機能は無効（RTS 出力機能は有効） 1: CTS 機能は有効	R/W(注1)
2	MSS	マスタスレーブ選択 0: TXDn 端子は送信、RXDn 端子は受信（マスタモード） 1: TXDn 端子は受信、RXDn 端子は送信（スレーブモード）	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	MFF	モードフォルトフラグ 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W(注2)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CKPOL	クロック極性選択 0: クロック極性反転なし 1: クロック極性反転あり	R/W(注1)
7	CKPH	クロック位相選択 0: クロック遅延なし 1: クロック遅延あり	R/W(注1)

注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。
注 2. フラグをクリアするための 0 書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット（SSn 端子機能有効）

簡易 SPI モードで SSn 端子を用いて送受信制御を行うには、SSE ビットを 1 にしてください。他のすべてのモードでは 0 にしてください。簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] = 00b および SPMR.MSS = 0）選

択時にシングルマスタが存在する場合は、送受信制御にマスタ側 SSn 端子は必要ありません。そのような場合は、SSE ビットを 0 にします。SSE ビットと CTSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

CTSE ビット（CTS 有効）

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを 1 にしてください。本ビットを 0 にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを 0 にしてください。CTSE ビットと SSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

MSS ビット（マスタスレーブ選択）

MSS ビットは、簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。本ビットを 1 にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。

簡易 SPI モード以外では 0 にしてください。

MFF フラグ（モードフォルトフラグ）

MFF フラグは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、本フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード（SSE ビット = 1 かつ MSS ビット = 0）の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CKPOL ビット（クロック極性選択）

CKPOL ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、図 24.69 を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPOL ビットを 0 としてください。

CKPH ビット（クロック位相選択）

CKPH ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、図 24.69 を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPH ビットを 0 としてください。

24.2.26 FCR : FIFO コントロールレジスタ

Base address: SCI0 = 0x4007_0000

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RSTRG[3:0]				RTRG[3:0]				TTRG[3:0]				DRES	TFRST	RFRST	FM
Value after reset:	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FM	FIFO モード選択 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0: 非 FIFO モード。 通信には TDR/RDR または TDRHL/RDRHL レジスタが選択されます。 1: FIFO モード 通信には FTDRHL/FRDRHL レジスタが選択されます。	R/W(注1)
1	RFRST	受信 FIFO データレジスタリセット FCR.FM = 1 の場合にのみ有効です。 0: FRDRHL レジスタをリセットしない 1: FRDRHL レジスタをリセットする	R/W

ビット	シンボル	機能	R/W
2	TFRST	送信 FIFO データレジスタリセット FCR.FM = 1 の場合にのみ有効です。 0:　FTDRHL レジスタをリセットしない 1:　FTDRHL レジスタをリセットする	R/W
3	DRES	受信データレディエラー選択 受信データレディ検出時に要求する割り込みを選択します。 0:　受信データフル割り込み (SCIn_RXI) 1:　受信エラー割り込み (SCIn_ERI)	R/W
7:4	TTRG[3:0]	送信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 トリガ番号は、TTRG[3:0]ビットで指定されます。	R/W
11:8	RTRG[3:0]	受信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 トリガ番号は、RTRG[3:0]ビットで指定されます。	R/W
15:12	RSTRG[3:0]	RTS 出力アクティブトリガ数選択 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、および SPMR.SSE = 0 の場合にのみ有効です。 トリガ番号は、RSTRG[3:0]ビットで指定されます。	R/W

注 1.　TE ビット＝ 0、RE ビット＝ 0 の場合のみ書き込み可能です。

FCR レジスタは、FIFO モードの選択、FTDRHL レジスタと FRDRHL レジスタのリセット、送受信用 FIFO データトリガ数の選択、および RTS 出力アクティブトリガ数の選択を行います。

FM ビット（FIFO モード選択）

FM ビットを 1 にすると、通信には FTDRHL と FRDRHL が選択されます。FM ビットを 0 にすると、通信には TDR、RDR もしくは TDRHL、RDRHL が選択されます。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットを 1 にすると、FRDRHL レジスタがリセットされ、受信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、RFRST ビットは 0 にクリアされます。

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、TFRST ビットは 0 にクリアされます。

DRES ビット（受信データレディエラー選択）

受信データレディエラー検出時、SCIn_RXI 割り込み要求または SCIn_ERI 割り込み要求を選択できます。DTC を開始して FRDRH レジスタと FRDRL レジスタを読み出すときは、DRES ビットを 1 にしてください。

TTRG[3:0]ビット（送信 FIFO データトリガ数）

FTDRHL レジスタ内の送信データ数が TTRG[3:0]ビットに指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 の場合は、SCIn_TXI 割り込み要求が発生します。

RTRG[3:0]ビット（受信 FIFO データトリガ数）

FRDRHL レジスタ内の受信データ数が RTRG[3:0]ビットに指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 の場合は、SCIn_RXI 割り込み要求が発生します。

RTRG[3:0]ビットが 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされず、SCIn_RXI 割り込み要求も発生しません。

RSTRG[3:0]ビット（RTS 出力アクティブトリガ数選択）

FRDRHL レジスタに格納された受信データ数が RSTRG[3:0]ビットに指定された受信トリガ数以上の場合、RTS 信号は High 状態になります。

RSTRG[3:0]ビットが 0 の場合は、FRDRHL レジスタのデータ数が 0 であっても、RTS 信号は High 状態になりません。

24.2.27　FDR : FIFO データ数レジスタ

Base address: SCI0 = 0x4007_0000

Offset address: 0x16

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	T[4:0]					—	—	—	R[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	R[4:0]	受信 FIFO データ 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。 FRDRHL レジスタに格納された受信データ量を示します。	R
7:5	—	読むと 0 が読めます。	R
12:8	T[4:0]	送信 FIFO データ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。 FTDRHL レジスタに格納された未送信データ量を示します。	R
15:13	—	読むと 0 が読めます。	R

FDR レジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ量を示します。

R[4:0]ビット（受信 FIFO データ）

R[4:0]ビットは、FRDRHL レジスタに格納された受信データ量を示します。値 0x00 は受信データがないことを意味します。また、値 0x10 は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

T[4:0]ビット（送信 FIFO データ数）

T[4:0]ビットは、FTDRHL レジスタに格納された未送信データ量を示します。値 0x00 は送信データがないことを意味します。また、値 0x10 は全送信データ（最大数）が FTDRHL レジスタに格納されていることを意味します。

24.2.28　LSR : ラインステータスレジスタ

Base address: SCI0 = 0x4007_0000

Offset address: 0x18

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PNUM[4:0]					—	FNUM[4:0]					—	ORER
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ORER	オーバーランエラーフラグ 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(注1)
1	—	読むと 0 が読めます。	R
6:2	FNUM[4:0]	フレーミングエラー数 FRDRHL レジスタに格納された受信データ中の、フレーミングエラーのあるデータ数を示します。	R
7	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
12:8	PNUM[4:0]	パリティエラー数 FRDRHL レジスタに格納された受信データ中の、パリティエラーのあるデータ数を示します。	R
15:13	—	読むと 0 が読めます。	R

注 1.　SSR_FIFO.ORER に 0 を書いて、フラグをクリアしてください。

LSR レジスタは受信エラー状況を示すレジスタです。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、SSR_FIFO.ORER の値を反映します。

FNUM[4:0]ビット（フレーミングエラー数）

FNUM[4:0]ビットの値は、FRDRHL レジスタ中のフレーミングエラーのあるデータ数を示します。

PNUM[4:0]ビット（パリティエラー数）

PNUM[4:0]ビットの値は、FRDRHL レジスタ中のパリティエラーのあるデータ数を示します。

24.2.29　CDR : コンペアマッチデータレジスタ

Base address:　SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address:　0x1A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ アドレス一致ウェイクアップ機能用の比較データパターンを格納します。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CDR レジスタは、アドレス一致検出機能用の比較データを設定するためのレジスタです。

CMPD[8:0]ビット（コンペアマッチデータ）

CMPD[8:0]ビットは、アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

以下の 3 種類のビット長から選択できます。

- 7 ビット長の CMPD[6:0]
- 8 ビット長の CMPD[7:0]
- 9 ビット長の CMPD[8:0]

24.2.30　DCCR : データコンペアマッチコントロールレジスタ

Base address:　SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address:　0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DCMF	データコンペアマッチフラグ 0: 不一致 1: 一致	R(/W) (注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DPER	データコンペアマッチパリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	DFER	データコンペアマッチフレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IDSEL	ID フレーム選択 調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: MPB ビット値とは無関係に、常にデータを比較する 1: MPB ビットが 1（ID フレーム）の場合にのみデータを比較する	R/W
7	DCME	データコンペアマッチ有効 調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

DCMF フラグ（データコンペアマッチフラグ）

DCMF フラグは、SCI が受信データと比較データ (CDR.CMPD) の一致を検出したことを示します。

[1 になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0 になる条件]

- DCMF から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の値を保持します。

DPER フラグ（データコンペアマッチパリティエラーフラグ）

DPER フラグは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- DPER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DPER フラグは影響を受けず、以前の値を保持します。

DFER フラグ（データコンペアマッチフレーミングエラーフラグ）

DFER フラグは、アドレス一致検出（受信データの一致検出）時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき

  2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます（2 ビット目はチェックされません）。

[0 になる条件]

- DFER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DFER フラグは影響を受けず、以前の値を保持します。

IDSEL ビット（ID フレーム選択）

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または SSR.MPB ビット = 1（ID フレーム）の場合にのみ比較を行うかを選択します。

DCME ビット（データコンペアマッチ有効）

DCME ビットは、アドレス一致検出機能（データコンペアマッチ機能）の有効／無効を選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作モードは通常の受信モードになります。「24.3.6. アドレス一致（受信データ一致）検出機能」を参照してください。

調歩同期式モード以外では、書き込み値は 0 にする必要があります。

24.2.31 SPTR : シリアルポートレジスタ

Base address: SCI0 = 0x4007_0000
SCIm = 0x4007_0000 + 0x0020 × m (m = 1～2, 9)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPB2IO	SPB2DT	RXDMON
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	RXDMON	シリアル入力データモニタ RXDn 端子の状態を示します。 0: RXDn 端子は Low になる 1: RXDn 端子は High になる	R
1	SPB2DT	シリアルポートブレークデータ選択 SCR.TE = 0 の場合、TXDn 端子の出力レベルを選択します。 0: TXDn 端子は Low を出力する 1: TXDn 端子は High を出力する	R/W
2	SPB2IO	シリアルポートブレーク入出力 TXDn 端子へ SPB2DT の値を出力するか否かを選択します。 0: SPB2DT ビットの値を TXDn 端子に出力しない 1: SPB2DT ビットの値を TXDn 端子に出力する	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPTR レジスタは、シリアル受信端子（RXDn 端子）の状態を確認し、送信端子の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 24.23 に示すように、TXDn 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの各設定値の組み合わせで決定されます。

表 24.23 TXDn 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXDn 端子の状態
0	0	—	Hi-Z（初期値）
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注.　—: Do not care.
注.　SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

24.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 24.2 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットと見なしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信動作が実現されます。

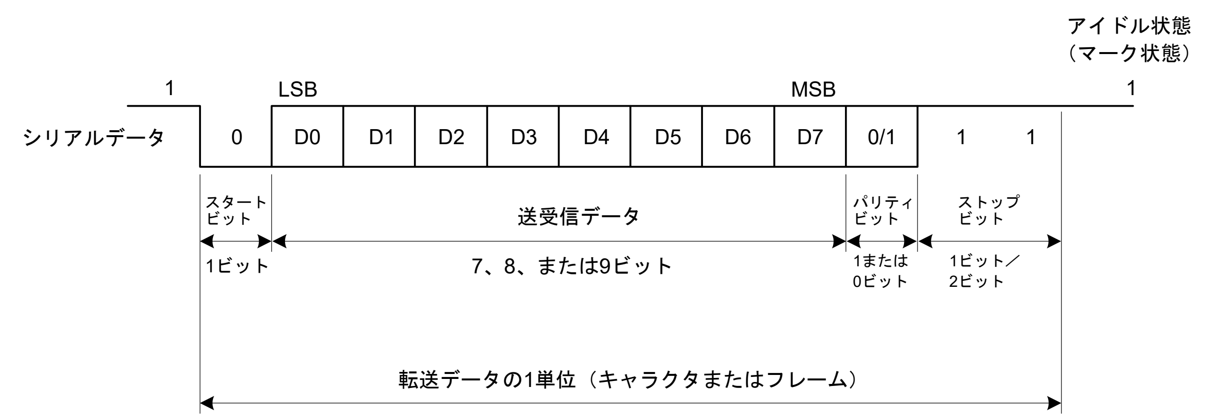


図 24.2　調歩同期式シリアル通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの場合）

24.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル送信／受信フォーマットを表 24.24 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については「24.4. マルチプロセッサ通信機能」を参照してください。

表 24.24　シリアル転送フォーマット（調歩同期式モード） (1/2)

SCMR 設定値	SMR 設定値				シリアル送信／受信フォーマットとフレーム長												
CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	ST	9 ビットデータ									SP		
0	0	0	0	1	ST	9 ビットデータ									SP	SP	
0	0	1	0	0	ST	9 ビットデータ									P	SP	
0	0	1	0	1	ST	9 ビットデータ									P	SP	SP
1	0	0	0	0	ST	8 ビットデータ								SP			
1	0	0	0	1	ST	8 ビットデータ								SP	SP		

表 24.24　シリアル転送フォーマット（調歩同期式モード） (2/2)

SCMR 設定値 CHR1	SMR 設定値 CHR	PE	MP	STOP	シリアル送信／受信フォーマットとフレーム長 (1～13)
1	0	1	0	0	ST | 8 ビットデータ | P | SP
1	0	1	0	1	ST | 8 ビットデータ | P | SP | SP
1	1	0	0	0	ST | 7 ビットデータ | SP
1	1	0	0	1	ST | 7 ビットデータ | SP | SP
1	1	1	0	0	ST | 7 ビットデータ | P | SP
1	1	1	0	1	ST | 7 ビットデータ | P | SP | SP
0	0	—	1	0	ST | 9 ビットデータ | MPB | SP
0	0	—	1	1	ST | 9 ビットデータ | MPB | SP | SP
1	0	—	1	0	ST | 8 ビットデータ | MPB | SP
1	0	—	1	1	ST | 8 ビットデータ | MPB | SP | SP
1	1	—	1	0	ST | 7 ビットデータ | MPB | SP
1	1	—	1	1	ST | 7 ビットデータ | MPB | SP | SP

ST: スタートビット
SP: ストップビット
P: パリティビット
MPB: マルチプロセッサビット

24.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。

また、図 24.3 に示すように、受信データは基本クロックの 8 パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) のように表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%] \quad \ldots \quad 式\ (1)$$

注.　M: 受信マージン

N: クロックに対するビットレートの比

（SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 の場合は、N = 16）

SEMR.ABCS = 1 の場合、N = 8

（SEMR.ABCSE = 1 の場合は、N = 6）

D: クロックのデューティーサイクル (D = 0.5～1.0)

L: フレーム長 (L = 9～13)

F: クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。
$M = \{0.5 - 1/(2 \times 16)\} \times 100\ (\%) = 46.875\ \%$

これは計算上の値を表しています。システム設計の際には 20～30%の余裕を持たせることが推奨されます。

注 1. この例では、SEMR.ABCS ビットと SEMR.ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。

ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

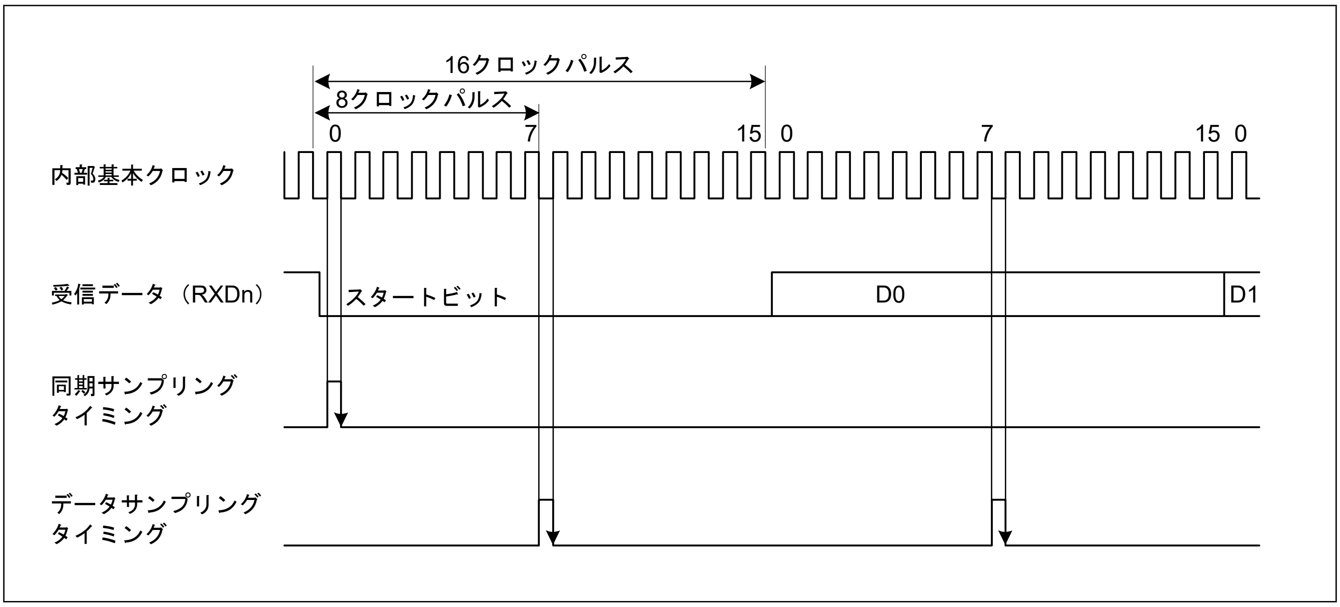


図 24.3　　調歩同期式モードでの受信データサンプリングタイミング

24.3.3　　クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット = 0 のとき）、または 8 倍（SEMR.ABCS ビット = 1 のとき）の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 24.4 に示すように、送信データの中間にクロックの立ち上がりエッジが来るように設定されます。

クロック出力を選択した場合は、SCR.TE = 1 もしくは SCR.RE = 1 に設定した後でクロック出力が行われます。

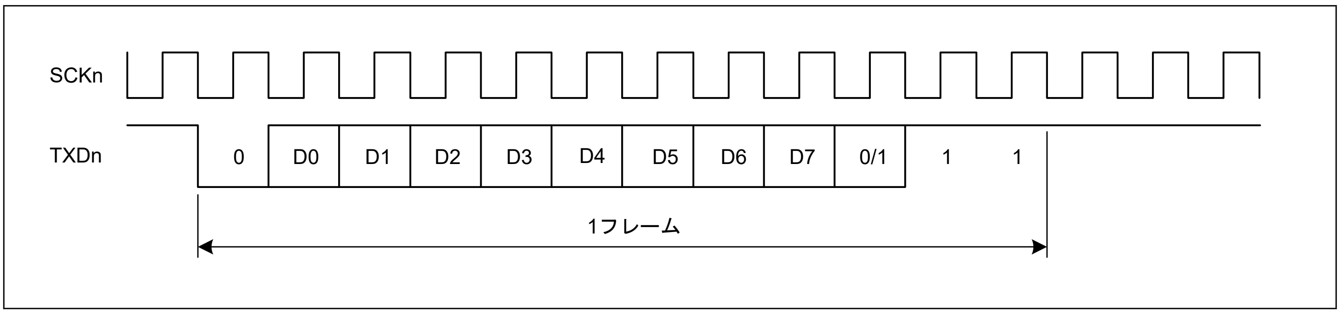


図 24.4　　調歩同期式モードにおける出力クロックと送信データの位相関係（SMR.CHR = 0、PE = 1、MP = 0、および STOP = 1 の場合）

24.3.4　倍速動作とビットレートの 6 倍の周波数

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1]ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になり、SEMR.ABCS、SEMR.BGDM、および SEMR.ABCSE が 0 の場合に比べて、SCI は 16/3 倍のビットレートで動作します。

「24.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示すとおり、SEMR.ABCS ビットまたは SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

24.3.5　CTS、RTS 機能

CTS 機能は、CTSn_RTSn 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。

CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して受信要求を行う機能で、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

［Low になる条件］

下記条件をすべて満たす場合

非 FIFO 選択時

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

FIFO 選択時

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が FCRH.RSTRG[3:0]の設定値以下
- SSR_FIFO レジスタの ORER フラグ (FRDRH.ORER) が 0

[High になる条件]

- Low になる条件を満たさない場合

24.3.6　アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットを 1 にした場合(注2)、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ（CDR.CMPD(注1)）の一致が検出された場合、SCIn_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード（SMR.MP ビット = 1）では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ（CDR.CMPD(注1)）の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。DCCR.IDSEL ビットが 1 の場合は、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCIn_RXI 割り込み要求を発行します。

一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタに格納されません。また､SSR.RDRF フラグは 0 を保持します。FCR.FM = 1 の場合、RDR レジスタは FRDRHL レジスタを示します。SSR.RDRF フラグは SSR_FIFO.RDF フラグを示します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 24.5 および図 24.6 に示します。

注 1.　比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]

注 2.　アドレス一致検出を実行する受信フレームのスタートビットを受信する前に､DCCR.DCME ビットを 1 にしてください。

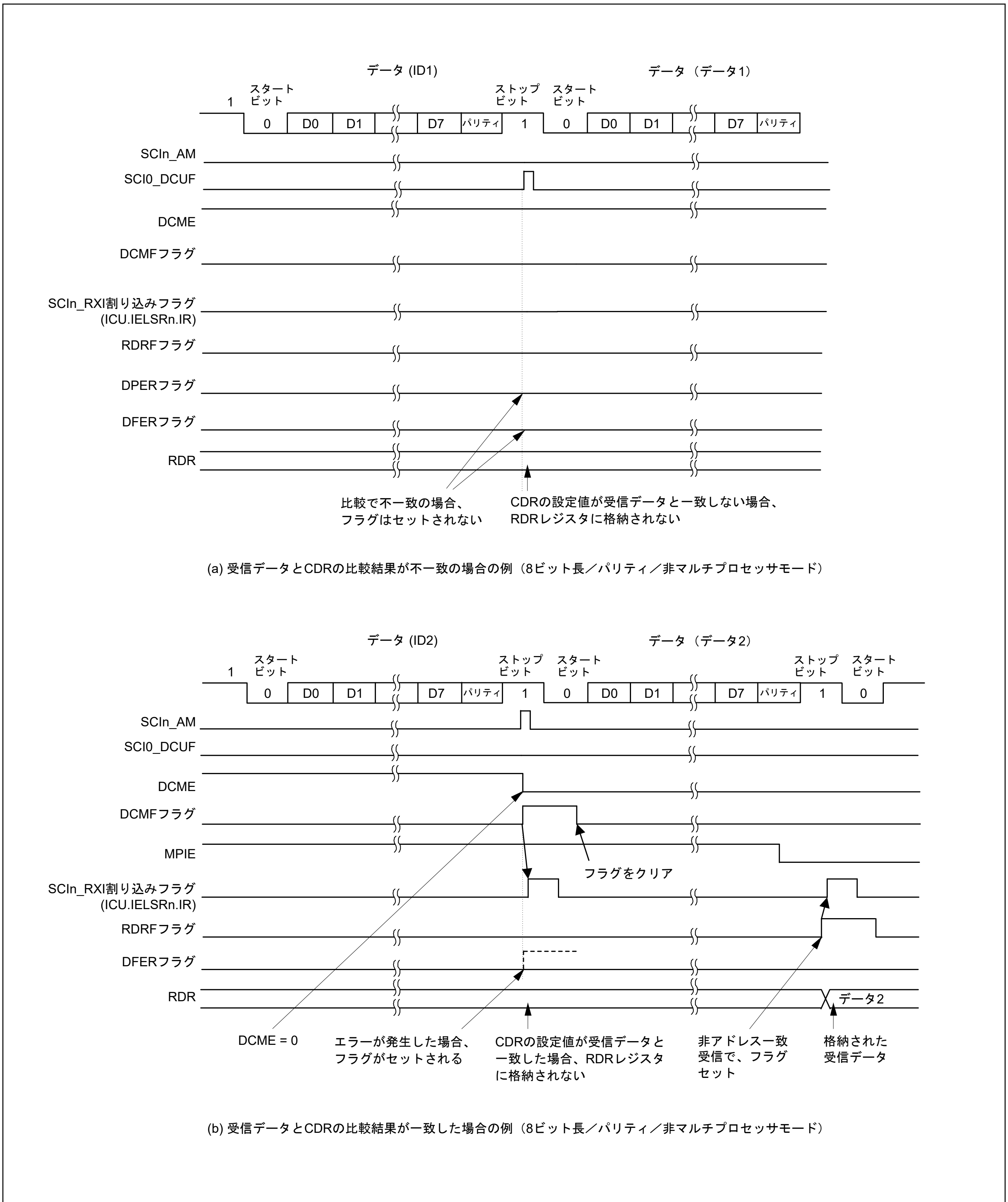


図 24.5　アドレス一致検出の例 (1)（通常モード）

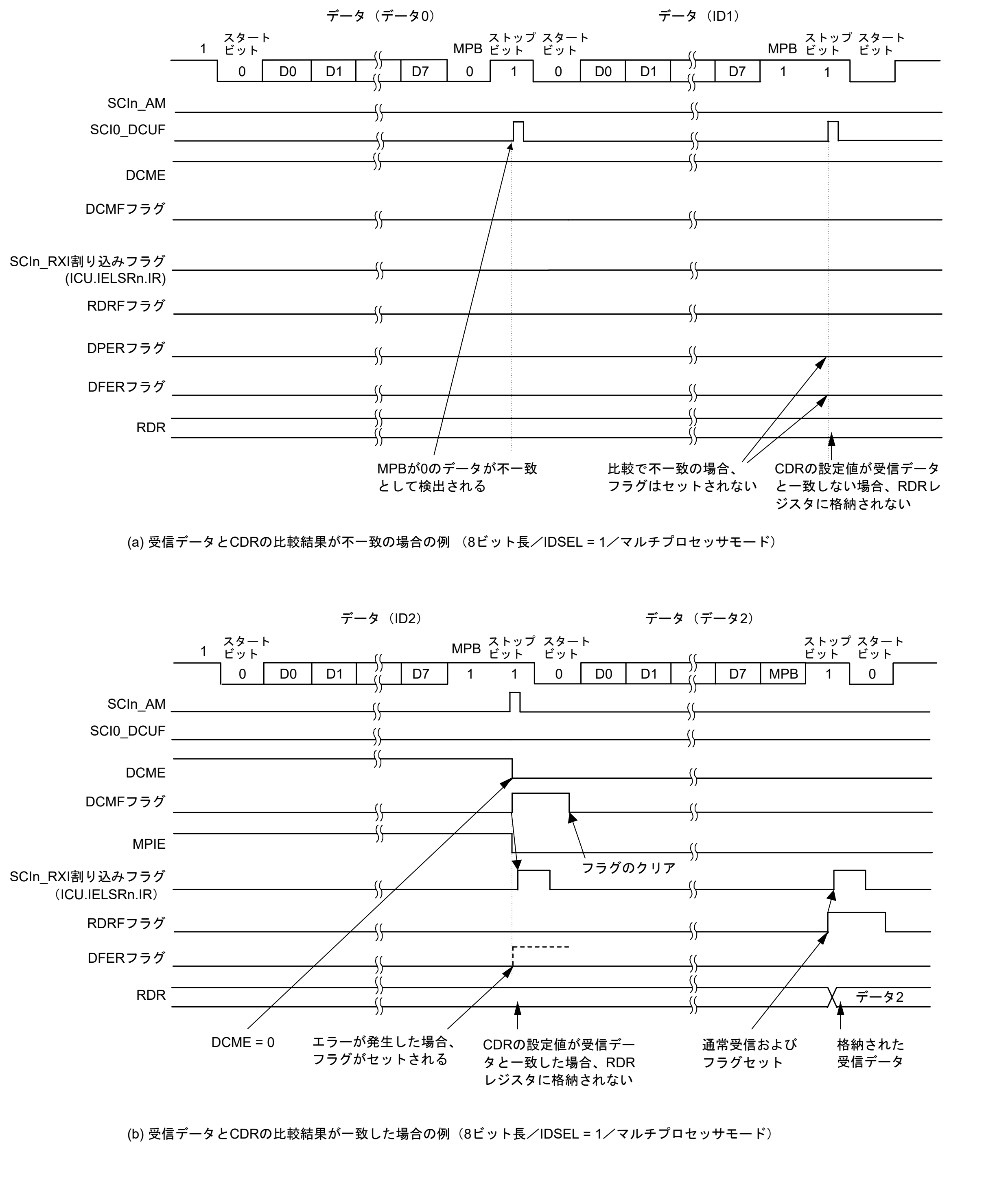


図 24.6　　アドレス一致検出の例 (2)（マルチプロセッサモード）

24.3.7　　SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に初期値 0x00 を SCR レジスタに書き込み、次に SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を表 24.25 と表 24.26 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注.　SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、RDRF、RDF、PER、DR の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注.　非 FIFO モードにおいて、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 24.25　調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビットを 0 に設定	FCR.FM ビットを 0 に設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
5	SIMR1.IICM ビットを 0 に設定します。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 にします。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 にします。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
8	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
9	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
10	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
11	初期化の完了	

表 24.26　調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビット、FCR.TFRST ビット、および FCR.RFRST ビットを 1 にします。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。	FCR.FM、TFRST、および RFRST ビットを 1 にします（FIFO モードが有効、送信/受信 FIFO が空）。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
5	SIMR1.IICM ビットを 0 に設定します。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 にします。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 にします。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。

表 24.26　調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (2/2)

番号	ステップ名	説明
7	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
8	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
9	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定	FCR.TFRST ビットと FCR.RFRST ビットを 0 にします。
10	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
11	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
12	初期化の完了	

24.3.8　シリアルデータの送信（調歩同期式モード）

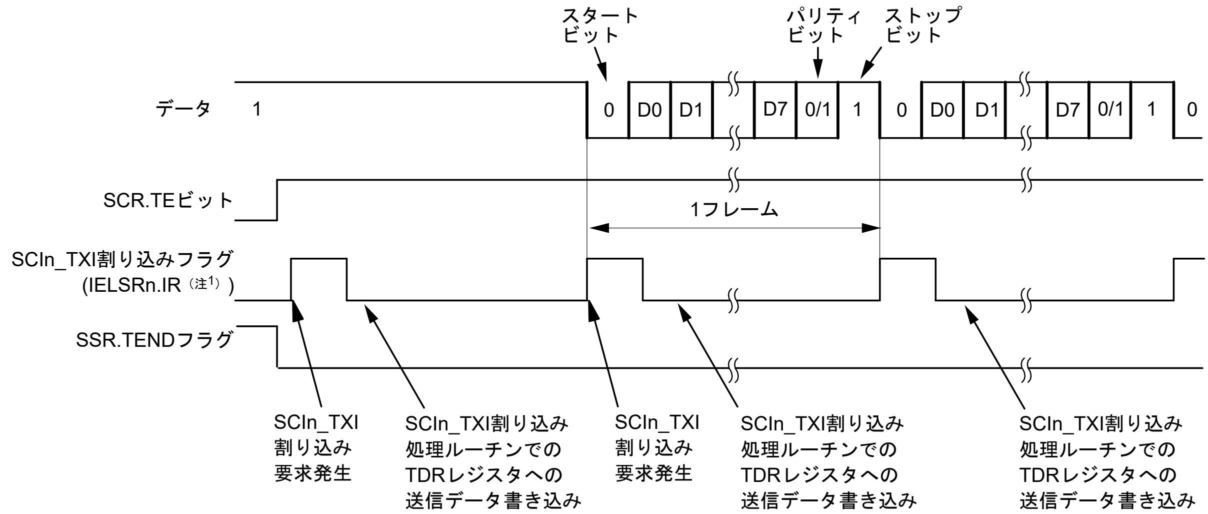
(1) 非 FIFO 選択時
図 24.7、図 24.8、および図 24.9 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本項では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム分の High レベルが TXDn 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタ(注1)にデータが書き込まれると、SCI は TDR レジスタ(注1)から TSR レジスタへデータを転送します。
なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ(注1)に書き込んだ後、SCR.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
    - スタートビット
    - 送信データ
    - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
    - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0（CTS 機能は無効）、または CTSn_RTSn 端子入力が Low に設定されていれば、次の送信データが TDR レジスタ(注1)から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

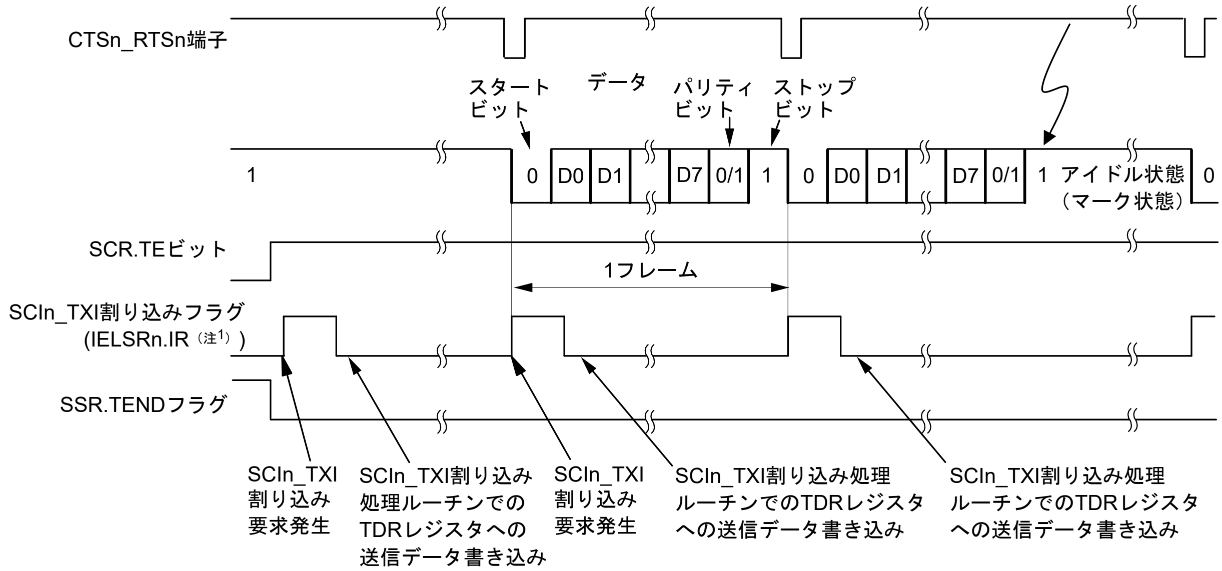
注 1.　データ長 9 ビット選択時は、TDR レジスタは TDRHL レジスタになります。

図 24.7、図 24.8、および図 24.9 に、調歩同期式モードにおけるシリアル送信の動作例を示します。



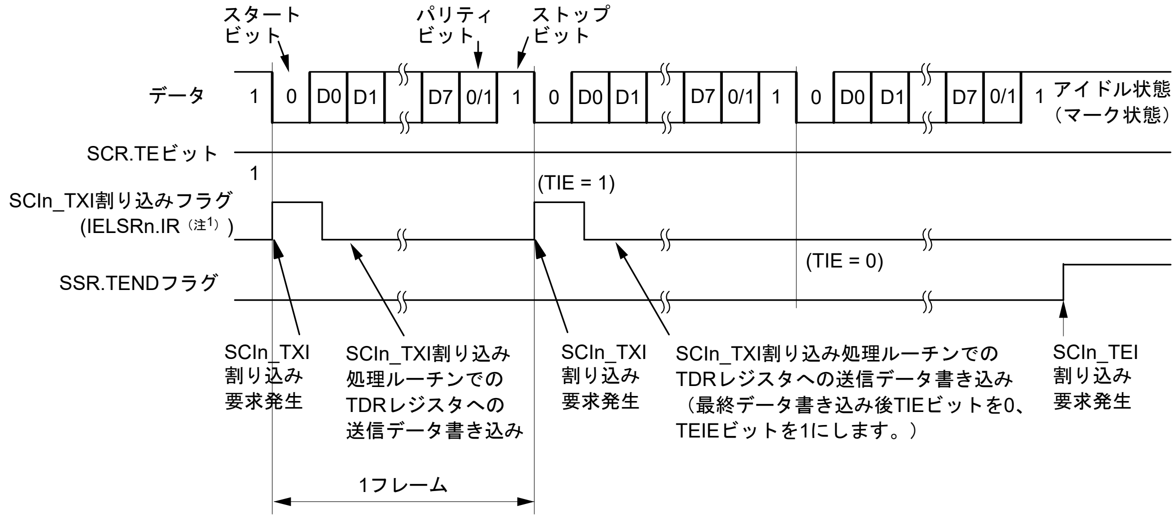
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.7　調歩同期式モードにおけるシリアル送信の動作例 (1)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信開始時）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.8　調歩同期式モードにおけるシリアル送信の動作例 (2)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用／送信開始時）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.9　調歩同期式モードにおけるシリアル送信の動作例 (3)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信中～送信終了時）

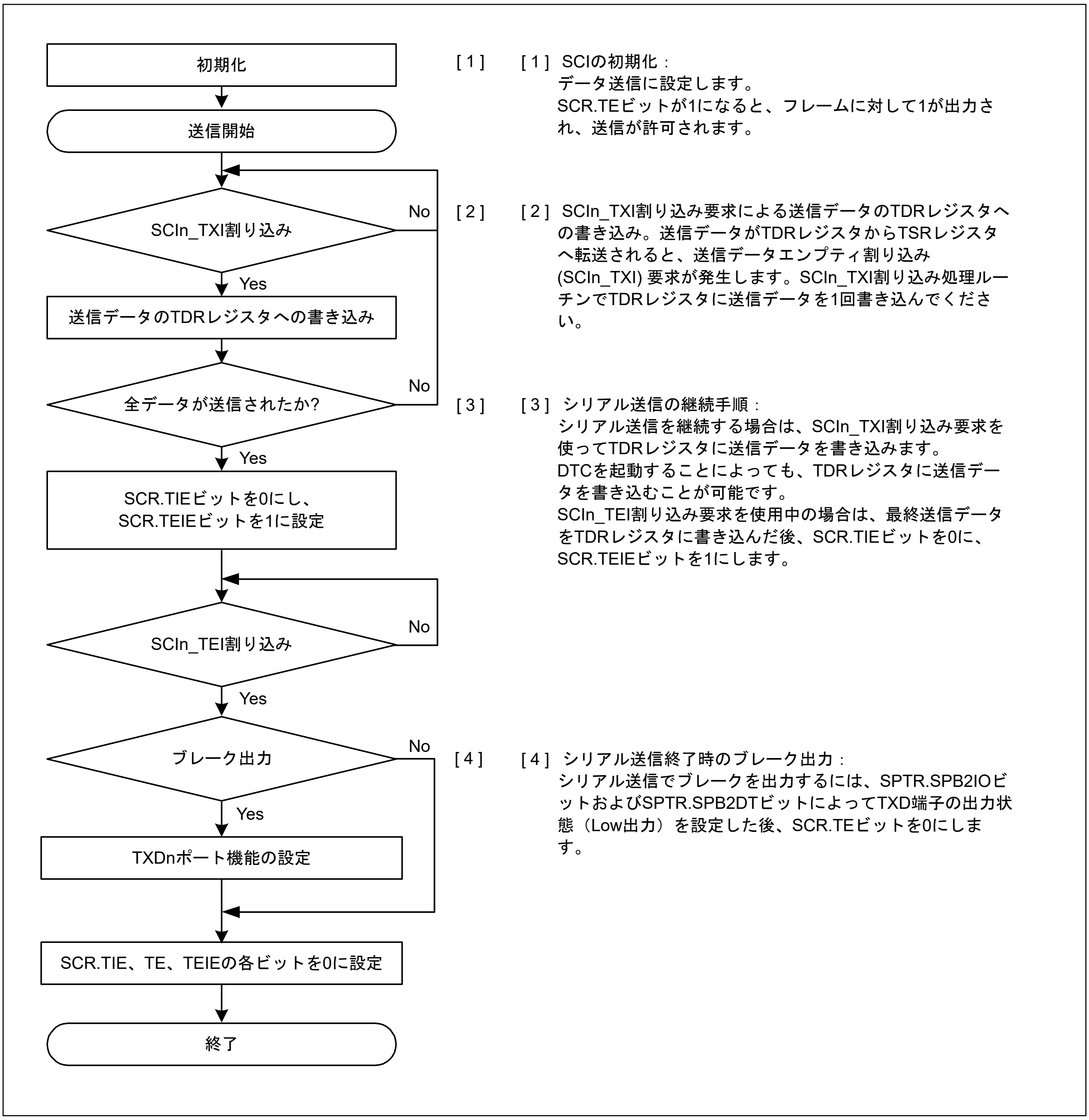


図 24.10　　調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 24.11 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに設定されます。使用しないビットには 0 を書いてください。FTDRH レジスタから FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRL内の送信データ															
			FTDRHL															
			FTDRH								FTDRL							
	SCMR.CHR1	SMR.CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	-	-	-	-	-	-	-	-	-	7ビットの送信データ						
8ビット	1	1	-	-	-	-	-	-	-	-	8ビットの送信データ							
9ビット	0	Don't care	-	-	-	-	-	-	-	9ビットの送信データ								

注.　— : 無効。書く場合、0 としてください。

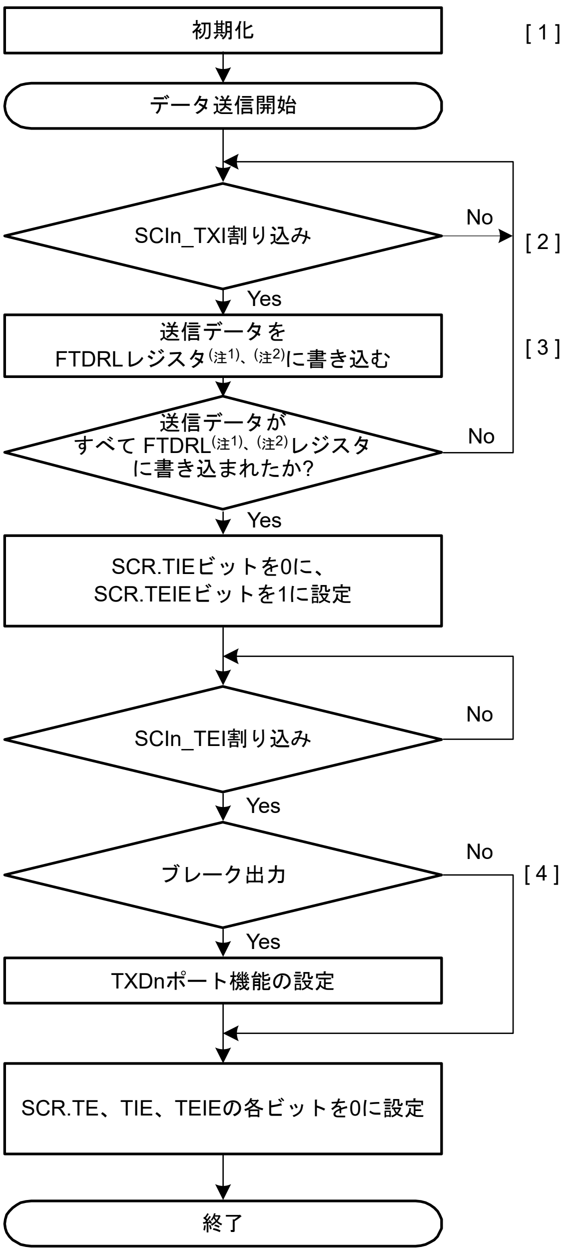
図 24.11　FTDRH と FTDRL に書き込まれるデータフォーマット（FIFO 選択時）

本項では、シリアルデータ送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム（プリアンブル）分の High レベルが TXDn 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ(注1)にデータが書き込まれると、SCI は FTDRL レジスタ(注1)から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0]です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、FTDRL レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。FTDRL レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ(注1) (注2)に書き込んだ後、SCR.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
    - スタートビット
    - 送信データ
    - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
    - ストップビット
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ(注3)に未送信データが残っていないかチェックします。
5. FTDRL レジスタ(注3)にデータがある場合、SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、次の送信データが FTDRL レジスタ(注1)から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. FTDRL レジスタ(注3)にデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

注 1.　FTDRL レジスタのみへの書き込みデータではなく、FTDRH レジスタと FTDRL レジスタへの書き込みデータになります。
注 2.　9 ビットデータ長選択時、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。
注 3.　データ長 9 ビット選択時、SCI は FTDRL レジスタの更新のみを確認し、FTDRH レジスタは確認しません。

図 24.12 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求による送信データのFTDRLレジスタ(注1)への書き込み ：
送信データがFTDRLレジスタからTSRレジスタへ転送されたとき、FTDRLレジスタに書き込まれた受信データ数が指定された送信トリガ数以下の場合、送信FIFOデータエンプティ割り込み（SCIn_TXI）要求が発生します。
SCIn_TXI割り込み処理ルーチンでFTDRLレジスタ(注1)(注2)に送信データを1回書き込みます。

[3] シリアル送信の継続手順：
シリアル送信を継続する場合は、SCIn_TXI割り込み要求を使用して全送信データをFTDRLに書き込み、SSR_FIFO.TDFEフラグを0にクリアします。書き込み可能な送信データ数は、16 -（格納された送信FIFOデータ数）です。
DTCを起動することによっても、FTDRLレジスタに送信データを書き込むことが可能です。DTCによってデータをFTDRLレジスタに書き込む場合、TDFEフラグは自動的にクリアされるため、TDFEフラグには書き込まないでください。
SCIn_TEI割り込み要求を使用する場合、最終送信データをFTDRLに書き込んだ後、SCR.TIEビットを0にして、SCR.TEIEビットを1にします。

[4] シリアル送信終了時のブレーク出力：
シリアル送信でブレークを出力するには、SPTR.SPB2IOビットとSPTR.SPB2DTビットでTXDn端子の出力状態（Low出力）を設定した後、SCR.TEビットを0にします。

注 1.　データ長が 9 ビットの場合、これは FTDRH レジスタと FTDRL レジスタになります。
注 2.　データ長 9 ビット選択時、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。

図 24.12　　調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

24.3.9　　シリアルデータの受信（調歩同期式モード）

(1) 非 FIFO 選択時

図 24.13 と図 24.14 に、調歩同期式モードにおけるシリアルデータ受信の動作例を示します。

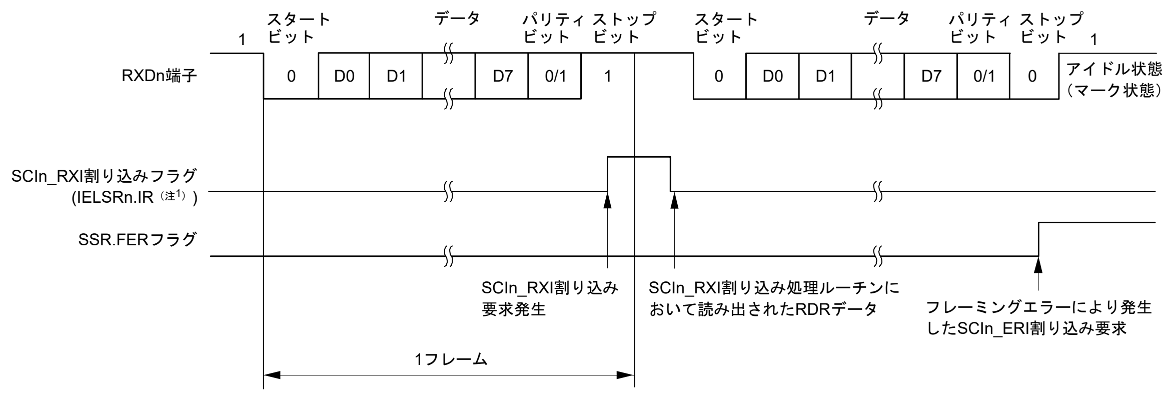
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込みます。
3. マルチプロセッサ通信機能が許可されている場合 (SMR.MP = 1)、「24.4.2. マルチプロセッサシリアルデータ受信」を参照してください。アドレス一致検出機能（データコンペアマッチ機能）が許可されている場合

(DCCR.DCME = 1)、SCI が受信データとコンペアデータ (CDR.CMPD(注1)) が一致するのを検出するまでの間、受信データはスキップ（廃棄）されるため、SCI はパリティエラーとフレーミングエラーを検知できません。

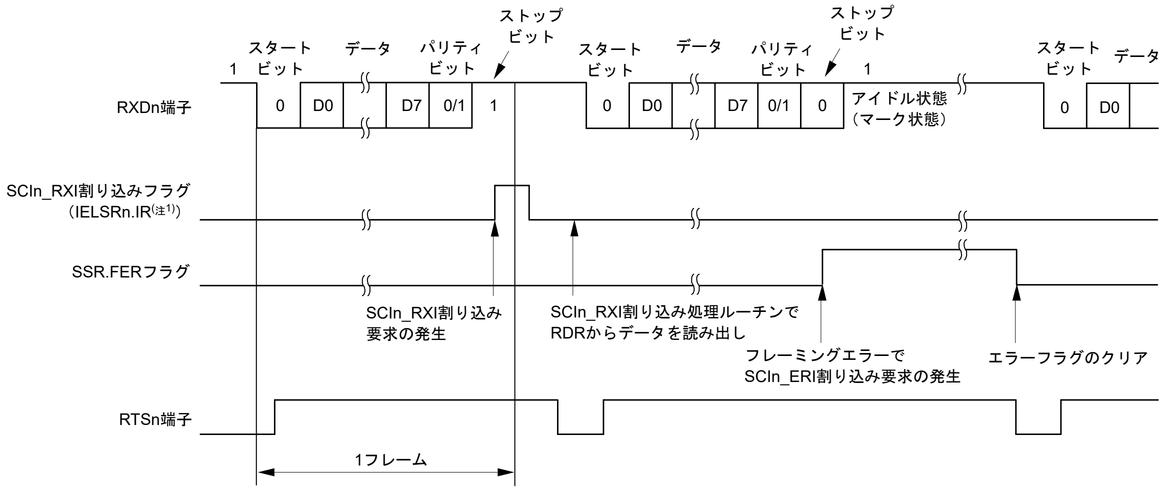
4. SCI がアドレスの一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn_AM 割り込み(注2)要求が発生します。SCIn_RXI 割り込み要求の発生を許可するには、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスの一致が検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn_ERI 割り込み要求の発生を許可するには、SCR.RIE ビットを 1 にしてください。
6. SCIn_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティーエラーを検出した場合（DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合）、アドレス一致検出機能を再び許可するため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合（DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合）、DCCR.DCMF フラグを 0 に設定してください。図 24.5 を参照してください。
7. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタ(注3)へ転送されません。
8. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
10. 正常に受信したときは、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。

注 1.　比較範囲は次の 3 種類のビット長から 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。
注 2.　SCIn_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることにより発生します。
注 3.　9 ビットデータ長選択時は、RDRHL レジスタのデータだけを読み出してください。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.13　調歩同期式モードにおけるシリアル受信の動作例 (1)（RTS 機能を使用しない場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.14　調歩同期式モードにおけるシリアル受信の動作例 (2)（RTS 機能を使用する場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）

受信エラーを検出した場合の SSR レジスタの各フラグの状態と受信データの処理を表 24.27 に示します。

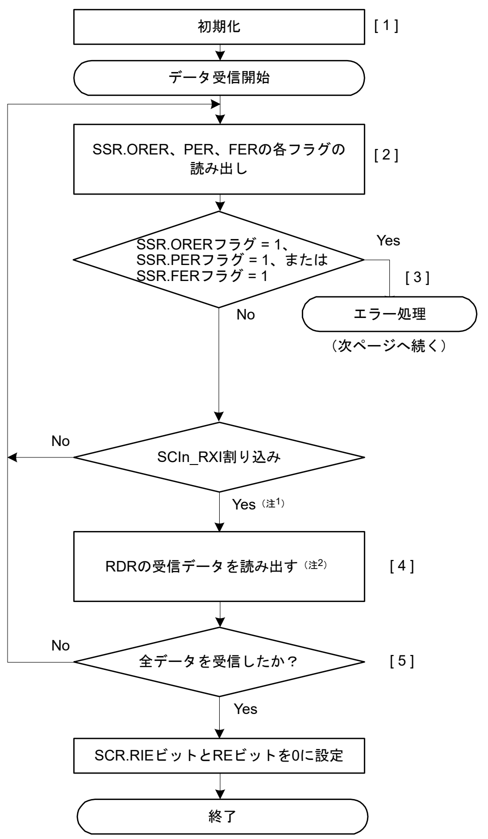
受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR（または RDRHL）レジスタに読み出し前の受信データが残っている可能性があるため、RDR（または RDRHL）レジスタを読み出す必要があります。

図 24.15 と図 24.16 に、シリアル受信のフローチャート例を示します。

表 24.27　SSR ステータスレジスタのフラグの状態と受信データの処理

SSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR レジスタ(注1)へ転送	フレーミングエラー
0	0	1	RDR レジスタ(注1)へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR レジスタ(注1)へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー

注 1.　データ長 9 ビット選択時は、RDRHL レジスタのデータだけを読み出してください。



[1] SCIの初期化：
データ受信に設定します。

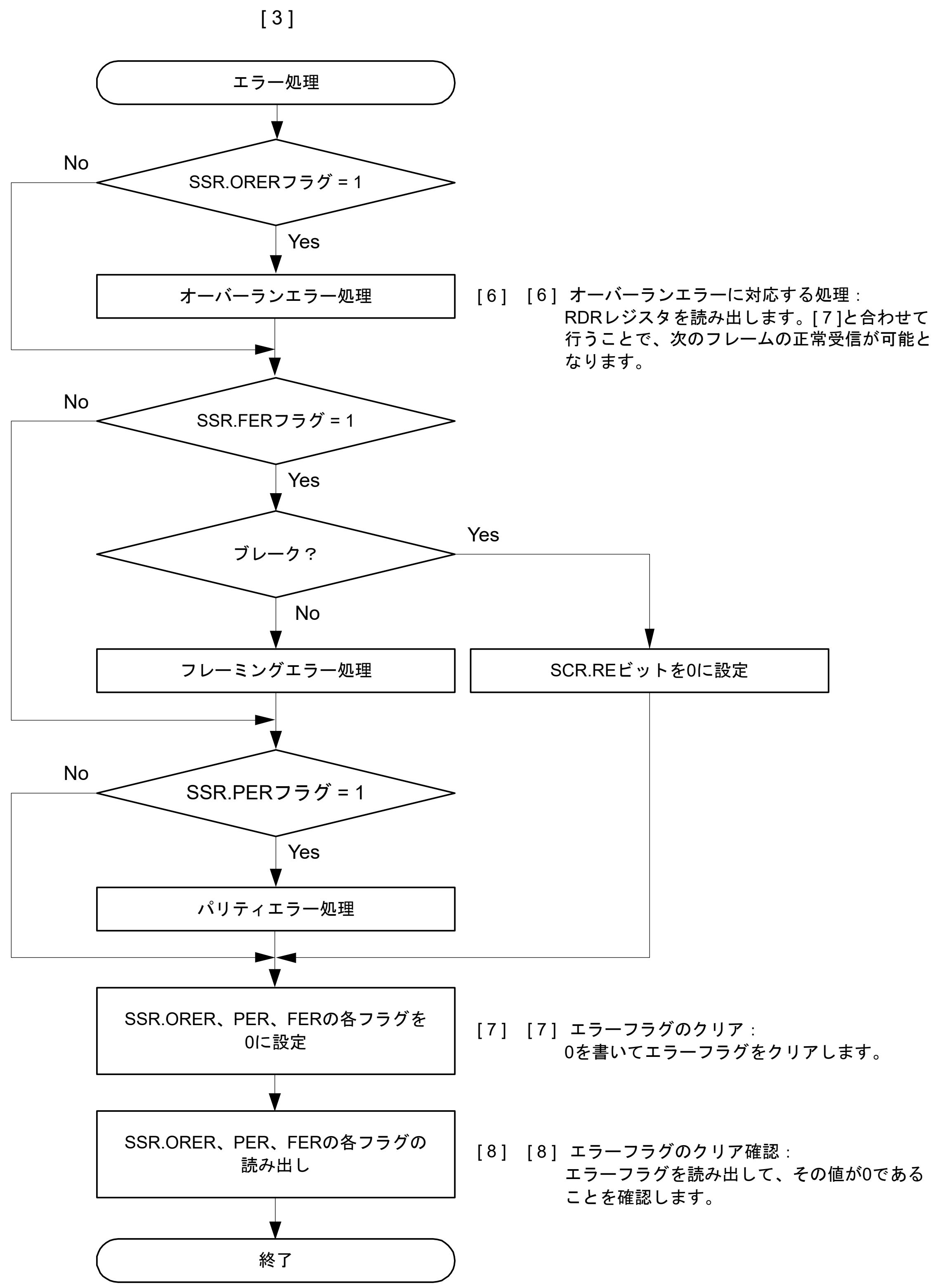
[2] [3] 受信エラー処理とブレークの検出：受信エラーが発生した場合、SCIn_ERI割り込みが発生します。SSR.ORER、PER、およびFERの各フラグを読み出すことでエラー種類を判定します。
所定のエラー処理を行った後、必ずORER、PER、FERフラグをすべて0にしてください。
これらのいずれかのフラグが1に設定された状態では、受信を再開できません。
また、フレーミングエラー時にRXDn端子に対応する入力ポートの値を読み出すことでブレークの検出が可能です。

[4] SCIn_RXI割り込み処理ルーチンで、RDRレジスタの受信データを1回読み出します。

[5] シリアル受信を継続する場合は、現在のフレームのストップビットを受信する前に、
SCIn_RXI割り込み処理ルーチンでRDRレジスタの値を読み出します。
DTCを起動することでも、RDRのデータを読み出すことができます。

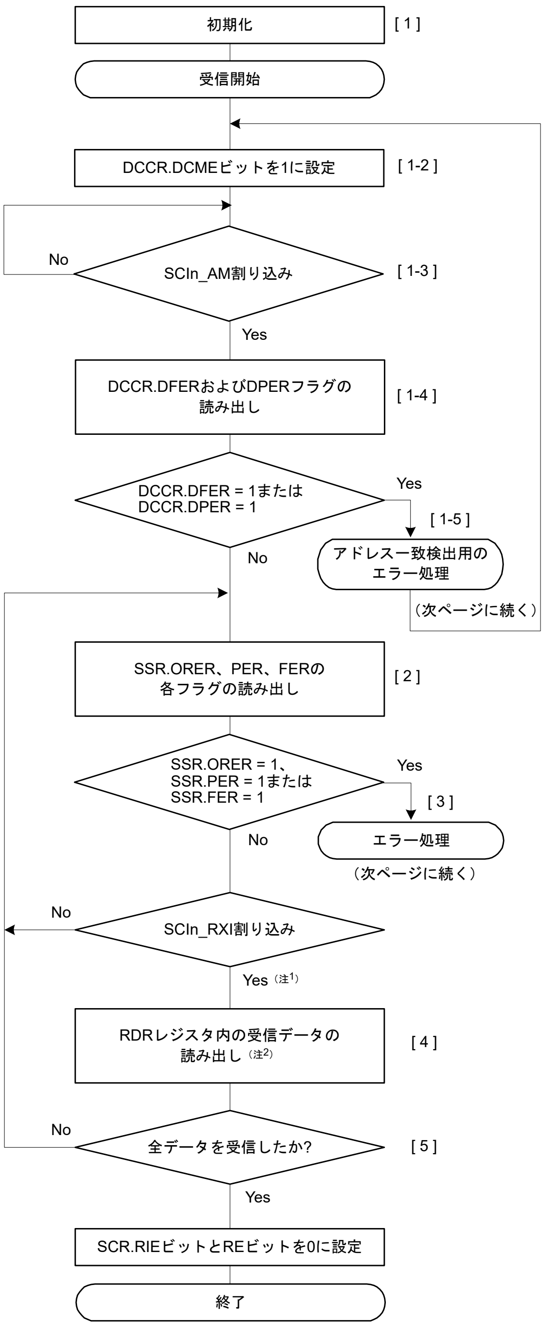
注 1.　RDR レジスタを読み出す前に、RE ビットを 0 にしないでください。
注 2.　9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 24.15　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(1)



注.　9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 24.16　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(2)



[1] SCIの初期化：
データ受信に設定します。

[1-2] アドレス一致検出サイクル：
DCCR.DCMEビットを1にして、アドレス一致検出を許可します。

[1-3] 受信データと比較データ (CDR.CMPD) の比較：
受信データと比較データ (CDR.CMPD) を比較します。
受信データと比較データ (CDR.CMPD) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCIはパリティエラーもフレーミングエラーも検出することができません。
SCIがアドレスの一致を検出すると、DCCR.DCMEビットはクリアされ、DCCR.DCMFフラグは1になり、SCIn_AM割り込み要求が発行されます。

[1-4] [1-5] 受信エラー処理：
SCIn_AM割り込み処理ルーチンにおいて、DCCRレジスタのDFERまたはDPERフラグを読み出すことでエラーを判定します。
エラーを正しく処理後DFERおよびDPERフラグを0にしてください。
これらのフラグのいずれかが1になると、アドレス一致は再開できません。

[2] [3] 受信エラー処理およびブレーク検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。
SSR.ORER、PER、FERの各フラグを読み出すことでエラーを判定します。
エラーを正しく処理後.ORER、PER、FERの各フラグをすべて0にしてください。これらのフラグのうち一つでも1であると、受信は再開できません。
また、フレーミングエラー時にRXDn端子に対応する入力ポートビットの値を読み出すことでブレークの検出が可能です。

[4] SCIn_RXI割り込み処理ルーチン内でRDRレジスタ内の受信データを読み出します。

[5] シリアル受信継続手順：
シリアル受信を継続するには、ストップビットを受信する前にSCIn_RXI割り込み処理ルーチンにおいてRDRレジスタの値を読み出します。
DTCを起動することでも、RDRレジスタの値を読み出すことが可能です。

注 1.　RDR レジスタを読み出す前に、RE ビットを 0 にしてください。
注 2.　9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 24.17　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出有効時）（1）

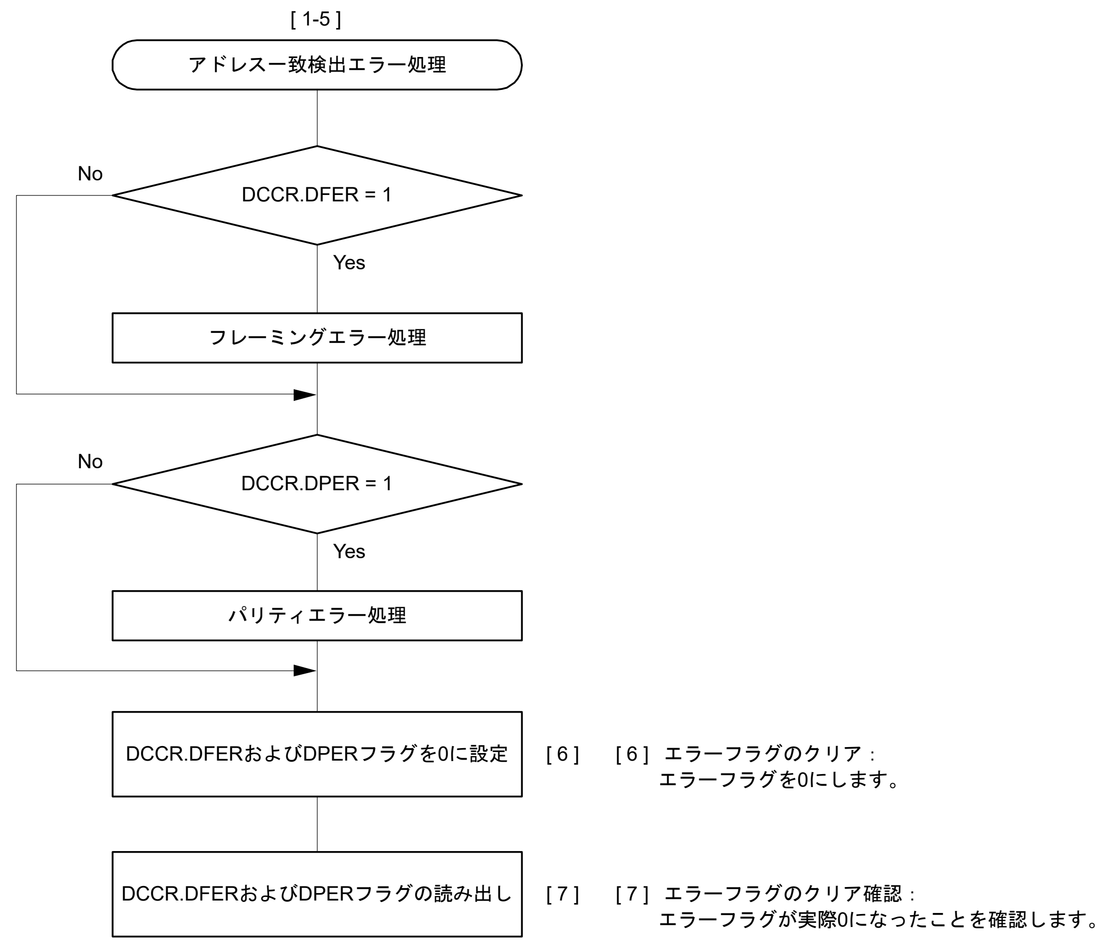
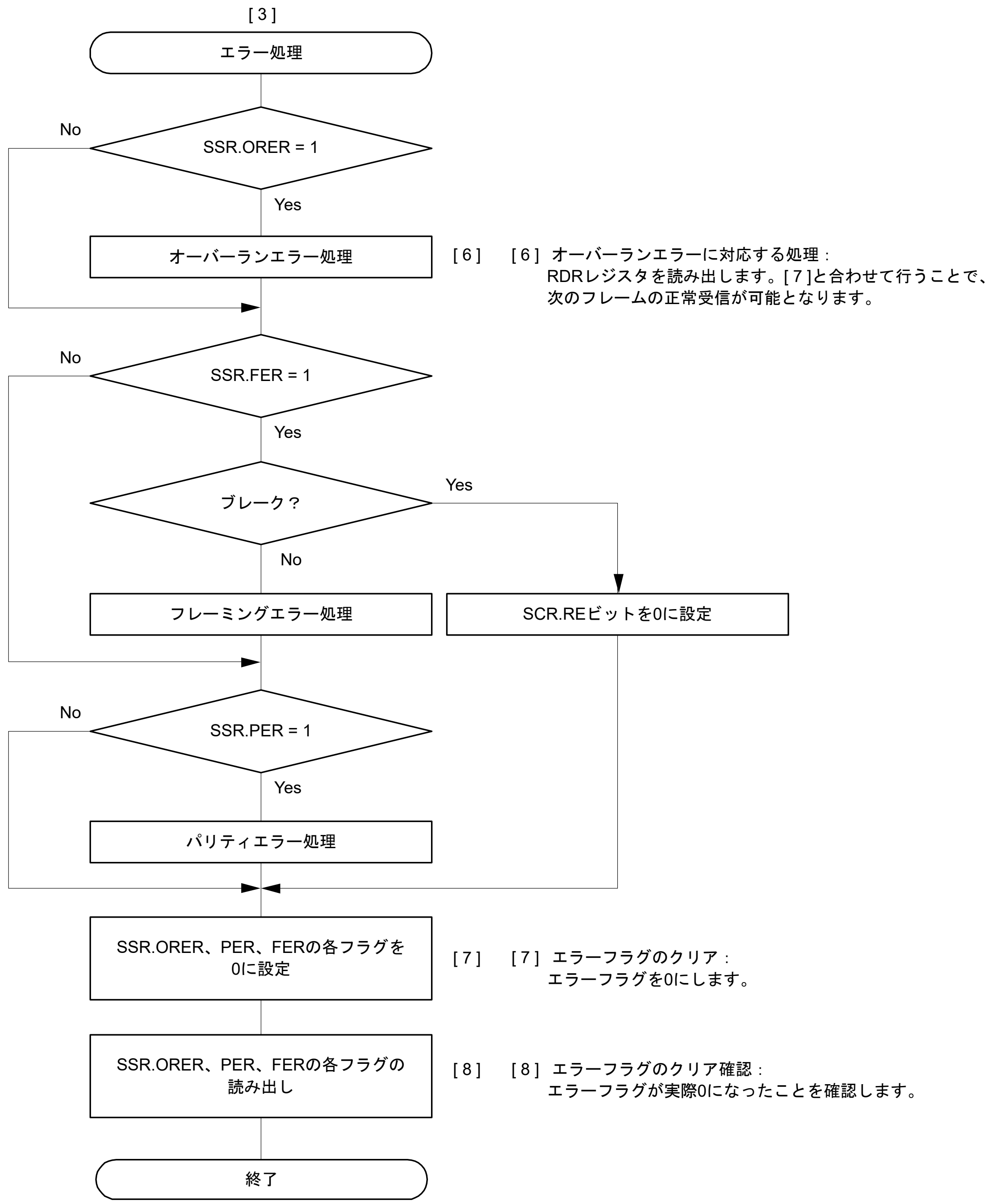


図 24.18　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出有効時）（2）



注.　9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 24.19　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出有効時）（3）

(2) FIFO 選択時

図 24.20 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB ビットに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出す

と、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
			FRDRH								FRDRL							
	SCMR.CHR1	SMR.CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	−	RDF	ORER	FER	PER	DR	0	0	0	7ビットの受信データ						
8ビット	1	1	−	RDF	ORER	FER	PER	DR	0	0	8ビットの受信データ							
9ビット	0	Don't care	−	RDF	ORER	FER	PER	DR	0	9ビットの受信データ								

注.　MPB ビット (FRDRH[1]) では常に 0 が読み出されます。
データ長が 7 ビットの場合、FRDRH[0]と FRDRL[7]では常に 0 が読み出されます。
データ長が 8 ビットの場合、FRDRH[0]では常に 0 が読み出されます。
FRDRH[7]ビットは不定値として読み出されます。

図 24.20　FRDRH と FRDRL に格納されるデータフォーマット（FIFO 選択時）

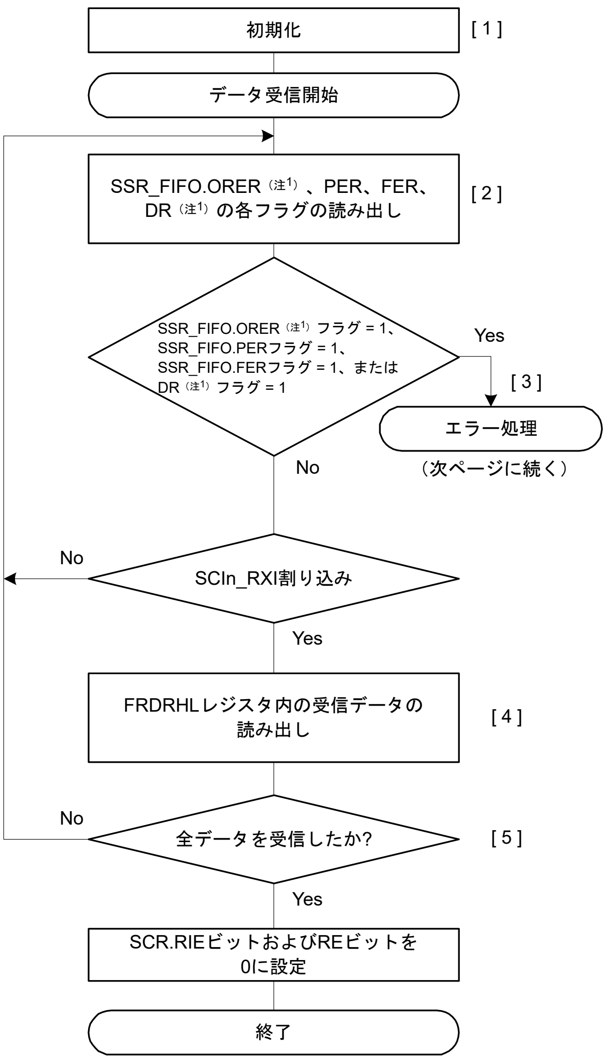
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込みます。
3. マルチプロセッサ通信機能が許可されている場合 (SMR.MP = 1)、「24.4.2. マルチプロセッサシリアルデータ受信」を参照してください。アドレス一致検出機能（データコンペアマッチ機能）が許可されている場合 (DCCR.DCME = 1)、SCI が受信データとコンペアデータ (CDR.CMPD(注1)) が一致するのを検出するまでの間、受信データはスキップ（廃棄）されるため、SCI はパリティエラーとフレーミングエラーを検知できません。
4. SCI がアドレスの一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn_AM 割り込み(注2)要求が発生します。SCIn_RXI 割り込み要求の発生を許可するには、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスの一致が検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn_ERI 割り込み要求の発生を許可するには、SCR.RIE ビットを 1 にしてください。
6. SCIn_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティーエラーを検出した場合（DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合）、アドレス一致検出機能を再び許可するため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合（DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合）、DCCR.DCMF フラグを 0 に設定してください。図 24.5 を参照してください。
7. 通常の通信でオーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR の SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ(注3)へ転送されません。
8. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
10. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分 0 であることが検出された場合、受信動作が停止します。
11. FRDRL レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15 ETU 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR

フラグが 1 になります。SCR.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。

12. 正常に受信したときは、受信データが FRDRL レジスタ(注3)へ転送されます。FRDRHL に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDF ビットが 1 になります。SCR の SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ(注4)へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL(注5)レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

注 1.　比較の対象として、次の 3 種類のビット長から 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。
注 2.　SCIn_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることで発生します。
注 3.　データ長 9 ビット選択時、FRDRH レジスタと FRDRL レジスタのデータだけを読み出してください。
注 4.　データ長 9 ビット選択時、FRDRH→FRDRL の順にデータを読み出してください。
注 5.　データ長 9 ビット選択時、SCI は FRDRL レジスタの更新のみを確認し、FRDRH レジスタの更新は確認しません。



[1]　SCIの初期化：
データ受信に設定します。

[2][3] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。SPTR.RXDMONフラグを読み出すことでブレークの検出が可能です。SSR_FIFO.ORER (注1)、PER、DR (注1)、FERの各フラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORER (注1) フラグを0にしてください。ORER (注1) フラグが1の状態では受信を再開できません。FER = 1、PER = 1、またはDR (注1) = 1であっても、受信動作は継続します。

[4]　SCIn_RXI割り込み処理ルーチンで、FRDRHLレジスタの受信データを読み出します。FRDRHLレジスタに格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FDR.Rビットを読み出し、FIFO内の受信データ数を確認してください。

[5]　シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチンでFRDRHLレジスタからデータを読み出して、RDFフラグとDRフラグを0にクリアします。DTCを起動することで、FRDRHLレジスタの値を読み出すことも可能です。この場合、RDFフラグは自動的にクリアされるため、RDFフラグには書き込まないでください。

注 1.　FRDRHL.ORER フラグと FRDRHL.DR フラグによって読み出し可能です。

図 24.21　　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(1)

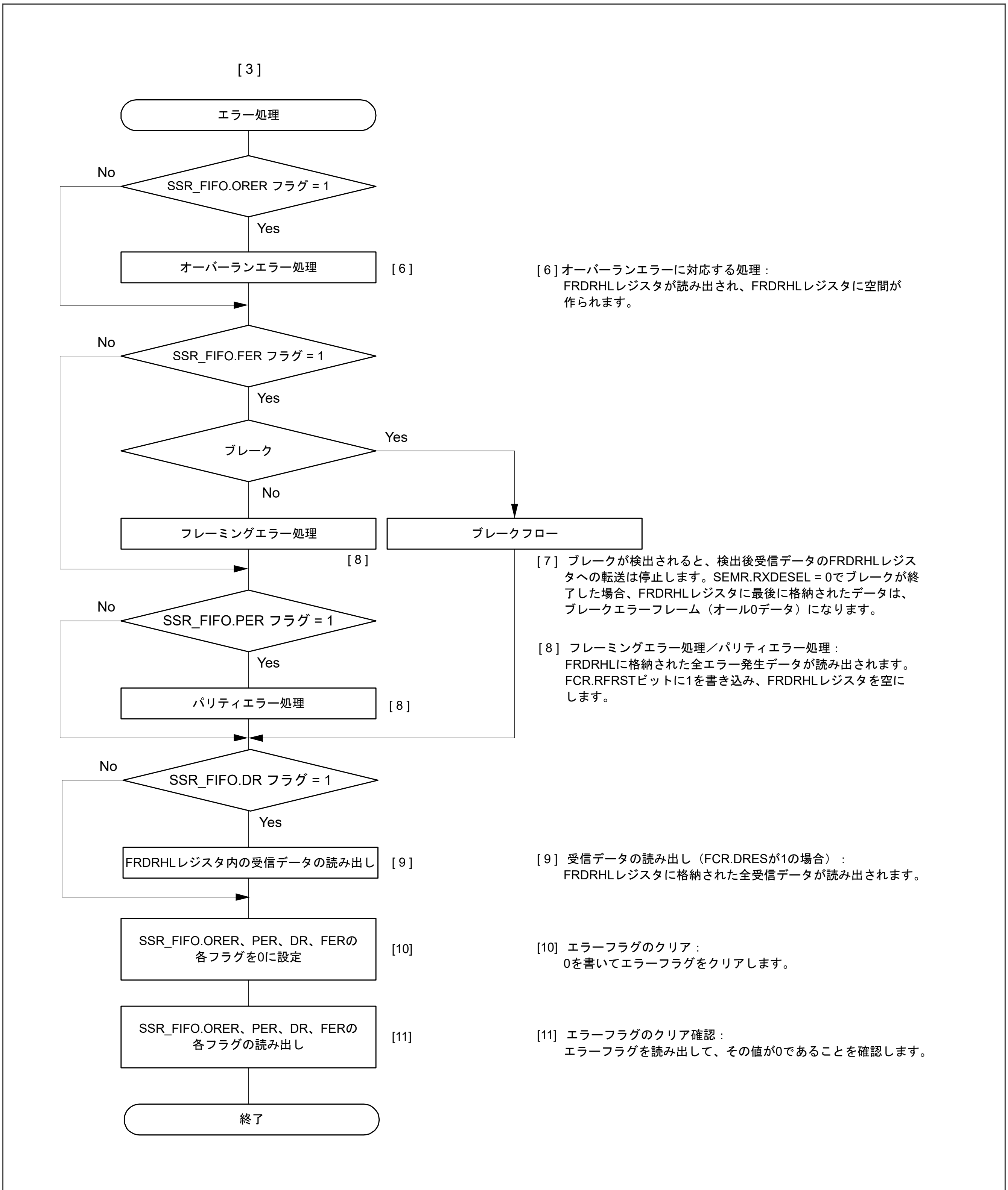
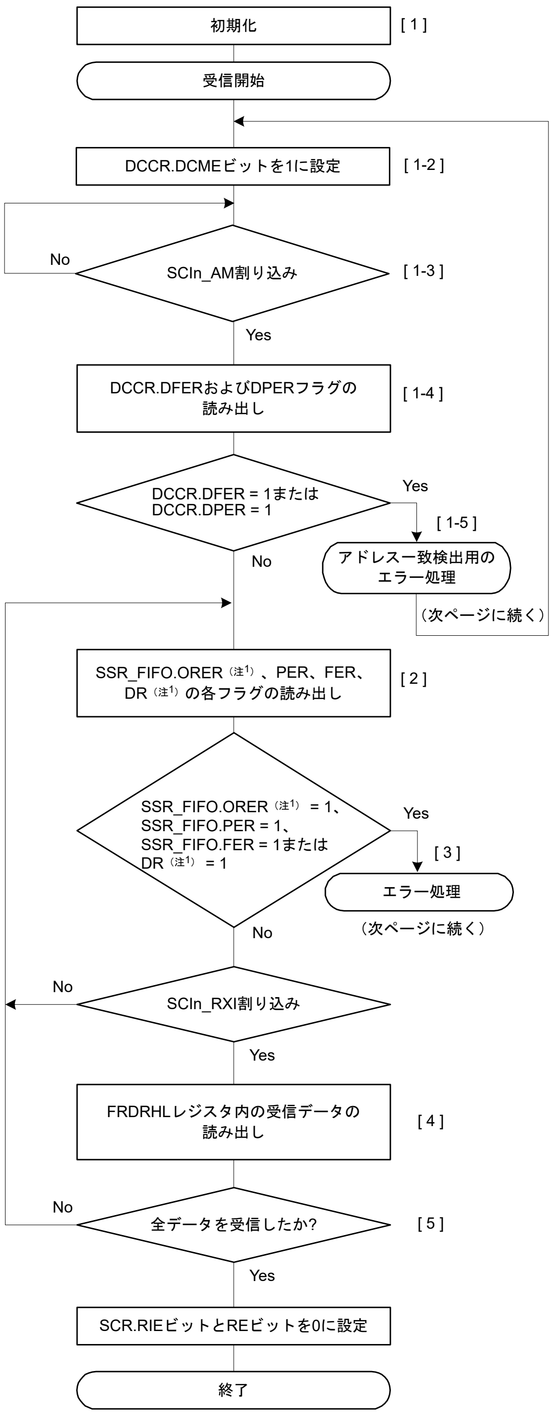


図 24.22　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出無効時）(2)



[1]　SCIの初期化：
データ受信に設定します。

[1-2] アドレス一致検出サイクル：
DCCR.DCMEビットを1にして、アドレス一致検出を許可します。

[1-3] 受信データと比較データ (CDR.CMPD) の比較：
受信データと比較データを比較します。
受信データと比較データ (CDR.CMPD) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCIはパリティエラーもフレーミングエラーも検出することができません。
SCIがアドレスの一致を検出すると、DCCR.DCMEビットは自動的にクリアされ、DCCR.DCMFフラグは1になり、SCIn_AM割り込み要求が発生します。

[1-4] [1-5] 受信エラー処理：
SCIn_AM割り込み処理ルーチンにおいて、DCCRレジスタのDFERまたはDPERフラグを読み出すことでエラーを判定します。
エラーを正しく処理後DFERおよびDPERフラグを0にしてください。
これらのフラグのうち一つでも1であると、アドレス一致検出は再開できません。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。
SPTR.RXDMONを読み出すことでブレークを判定します。
SSR_FIFO.ORER（注1）、PER、FER、DR（注1）の各フラグを読み出すことでエラーを判定します。
エラーを正しく処理後ORERフラグ（注1）を0にしてください。
ORERフラグ（注1）が1のままだと受信は再開できません。
FER = 1、PER = 1、またはDR（注1） = 1であっても、受信動作は継続します。

[4]　SCIn_RXI割り込み処理ルーチン内でのFRDRHLレジスタ内の受信データの読み出し：
FRDRHLレジスタに格納された受信データは、格納データ数がFCR.RTRG[3:0]ビットの値未満になるまで読み出されます。
FDR.R[4:0]ビットでFIFO内の受信データ数を確認してください。

[5]　シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチン内でFRDRHLレジスタ内のデータの読み出しを終了させ、RDFフラグとDRフラグを0にします。DTCを起動することでも、FRDRHLレジスタのデータを読み出すことが可能です。この場合、RDFフラグには書き込みを行わないでください。フラグは自動的にクリアされます。

注 1.　FRDRHL.ORER フラグと FRDRHL.DR フラグを読み出し可能です。

図 24.23　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(1)

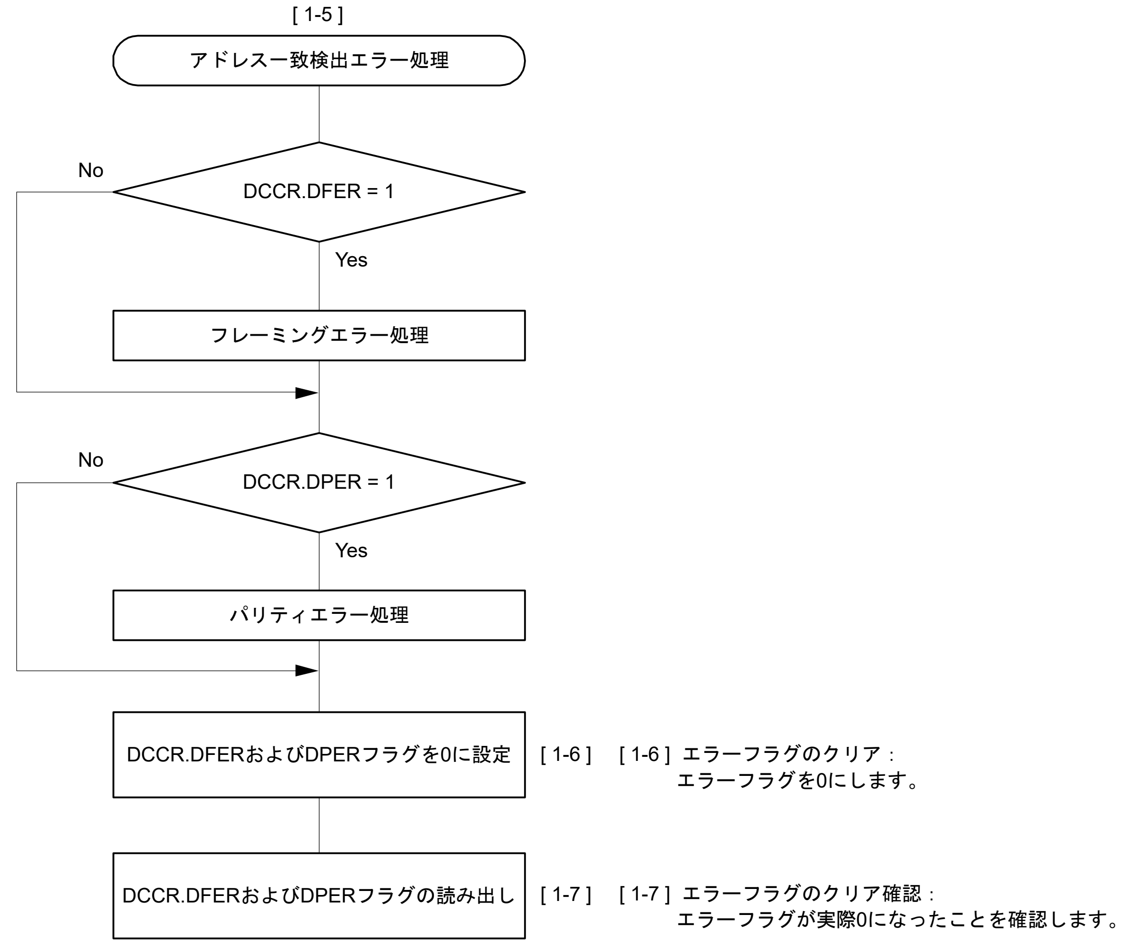


図 24.24　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(2)

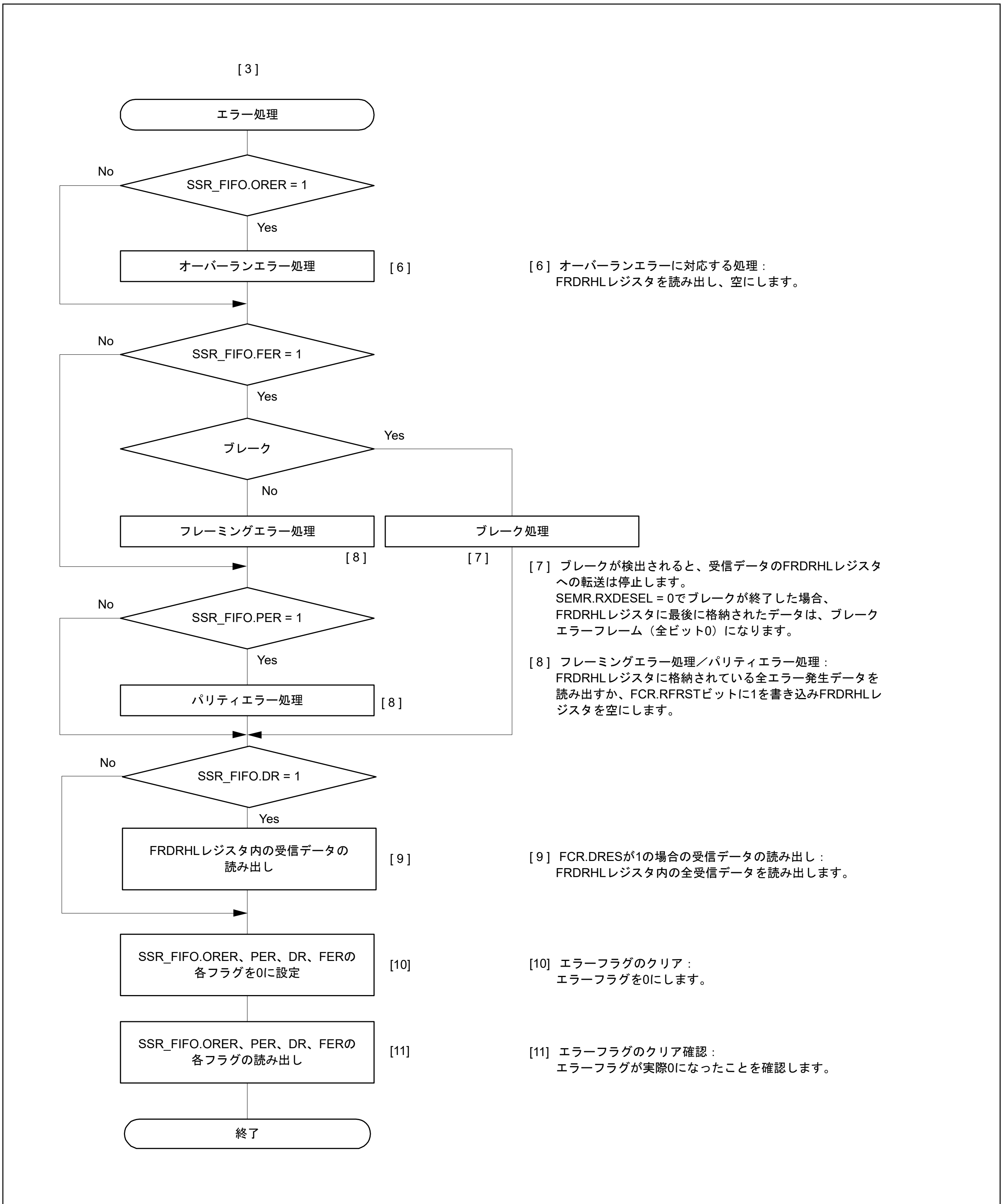


図 24.25　　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(3)

24.4　　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 24.26 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

(1) 非 FIFO 選択時

この機能をサポートするため、SCI は SCR.MPIE ビットを用意しています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）への受信データの転送
- 受信エラーの検出
- SSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

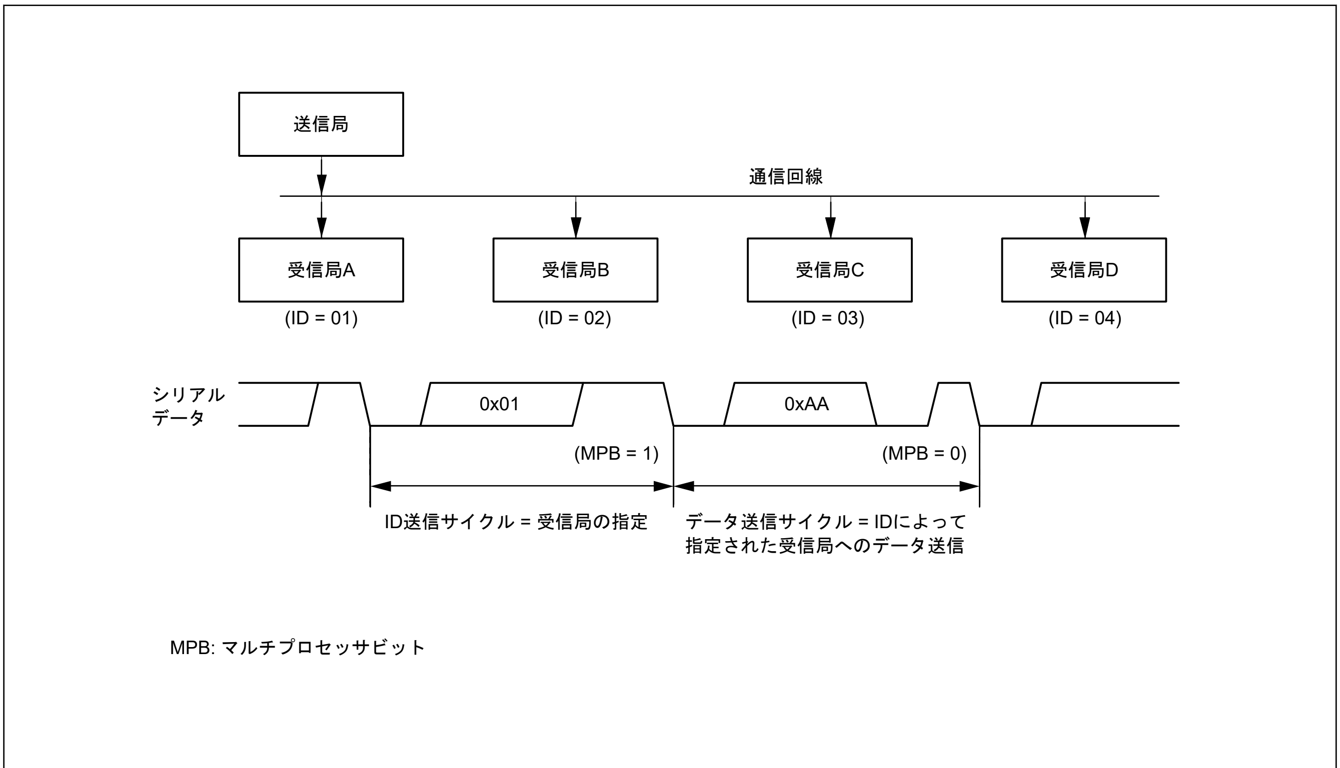


図 24.26　マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO レジスタの RDF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 の 8 ビットキャラクタを SCI が受信すると、FTDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は通常の調歩同期式モードの FIFO 選択時と変わりません。

24.4.1　マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 24.27 に、マルチプロセッサデータ送信のフロー例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。FTDRH から FTDRL の順に書いてください。

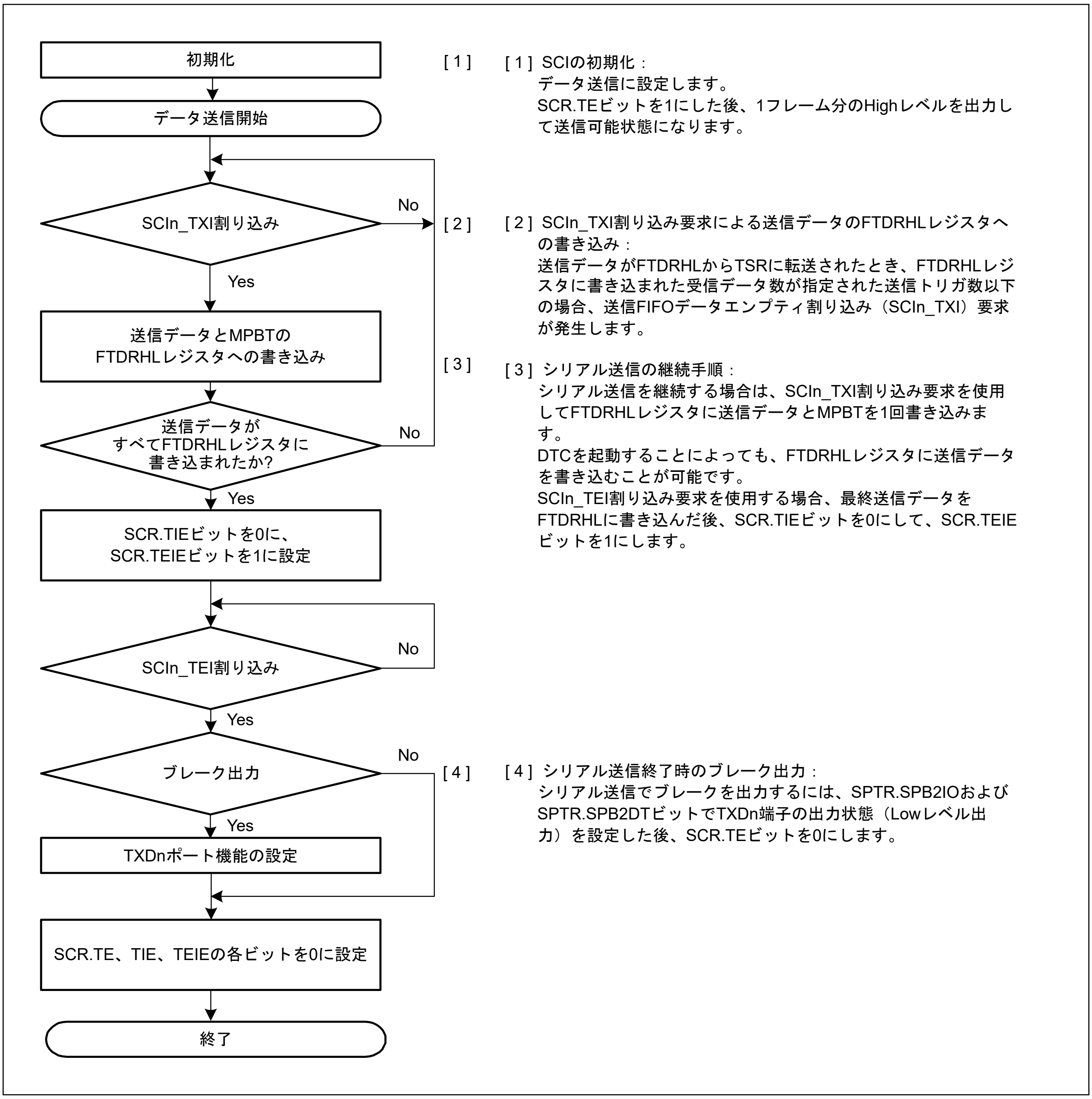


図 24.27　　マルチプロセッサシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

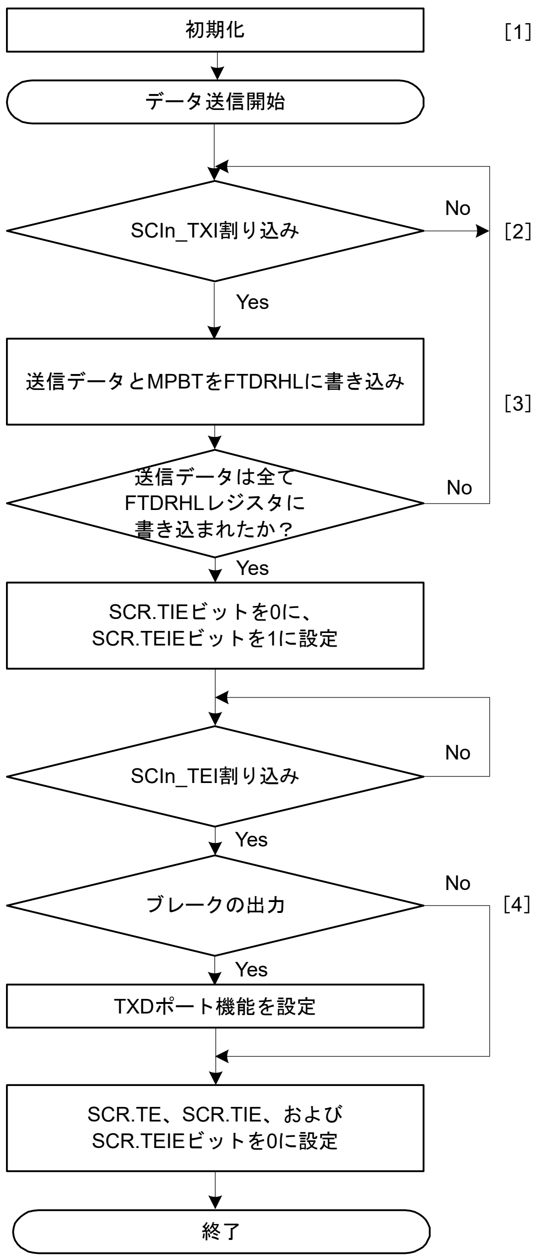
図 24.28 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。FTDRH.MPBT ビットは 1 になります。適切なデータ長のデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ															
			FTDRHL															
			FTDRH								FTDRL							
	SCMR.CHR1	SMR.CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	–	–	–	–	–	–	MPBT	–	–	7ビットの送信データ						
8ビット	1	1	–	–	–	–	–	–	MPBT	–	8ビットの送信データ							
9ビット	0	Don't care	–	–	–	–	–	–	MPBT	9ビットの送信データ								

注.　—：無効。書く場合、0 としてください。

図 24.28　マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット（FIFO 選択時）

図 24.29 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1]　SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分の1を出力して送信可能状態になります。

[2]　SCIn_TXI割り込み要求による送信データのFTDRHLレジスタへの書き込み：
FTDRHLレジスタからTSRレジスタへ送信データが転送されたとき、FTDRHLに書き込まれた受信データ数が指定された送信トリガ数以下である場合、送信データFIFOエンプティ割り込み (SCIn_TXI) 要求が発生します。

[3]　シリアル送信の継続手順：
シリアル送信を継続する場合は、SCIn_TXI割り込み要求を使用してFTDRHLレジスタに送信データとMPBTを1回書き込みます。
DTCを起動することによっても、FTDRHLレジスタに送信データを書き込むことが可能です。
SCIn_TEI割り込み要求を使用する場合は、最終送信データをFTDRHLレジスタに書き込んだ後、SCR.TIEビットを0にして、SCR.TEIEビットを1にします。

[4]　シリアル送信終了時のブレーク出力：
シリアル送信でブレークを出力するには、SPTR.SPB2IOビットおよびSPTR.SPB2DTビットによってTXD端子の出力状態（Low出力）を設定した後、SCR.TEビットを0にします。

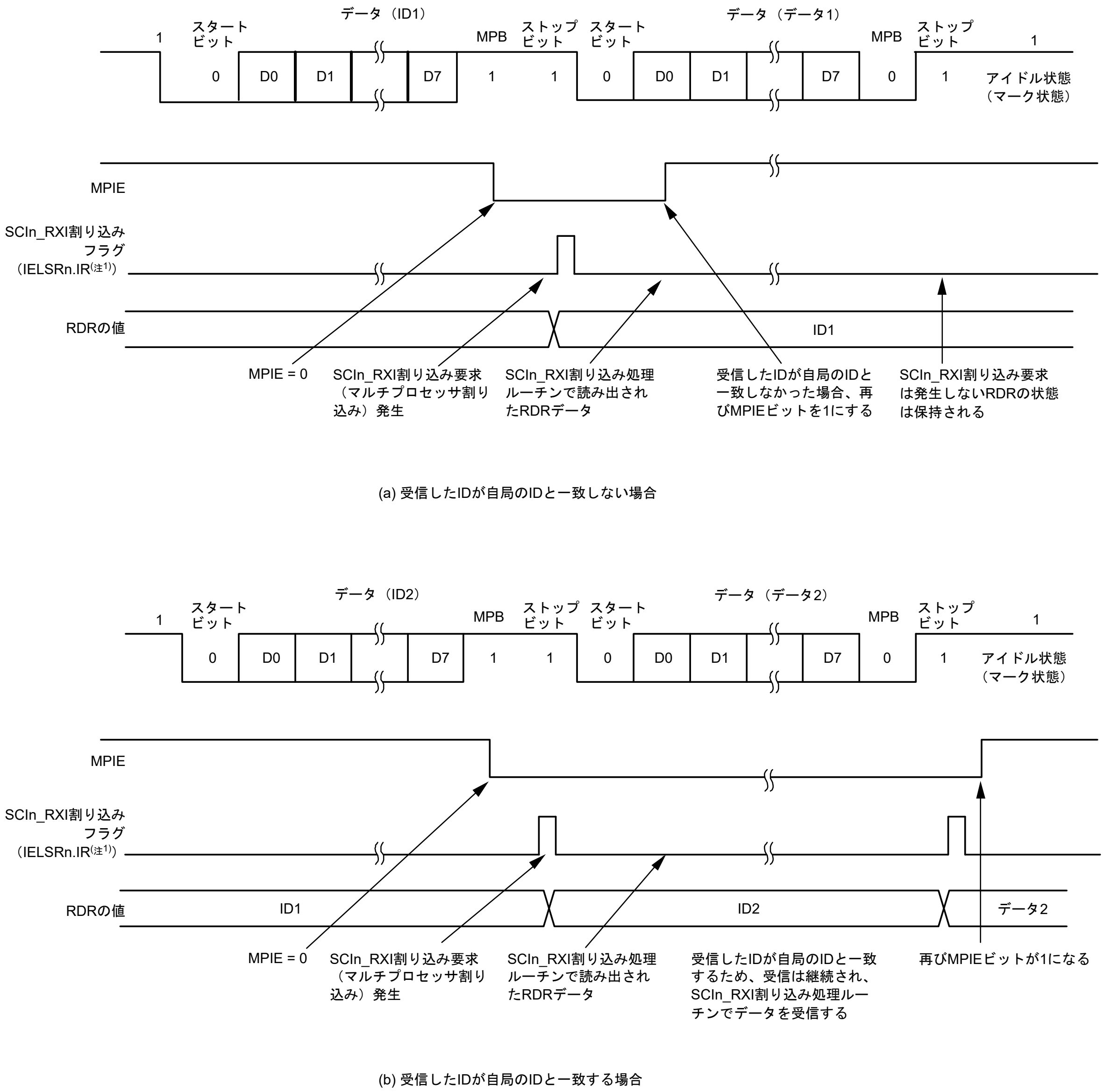
図 24.29　　マルチプロセッサモードにおけるシリアル送信のフローチャート例（FIFO 選択時）

24.4.2　　マルチプロセッサシリアルデータ受信

(1) 非 FIFO 選択時

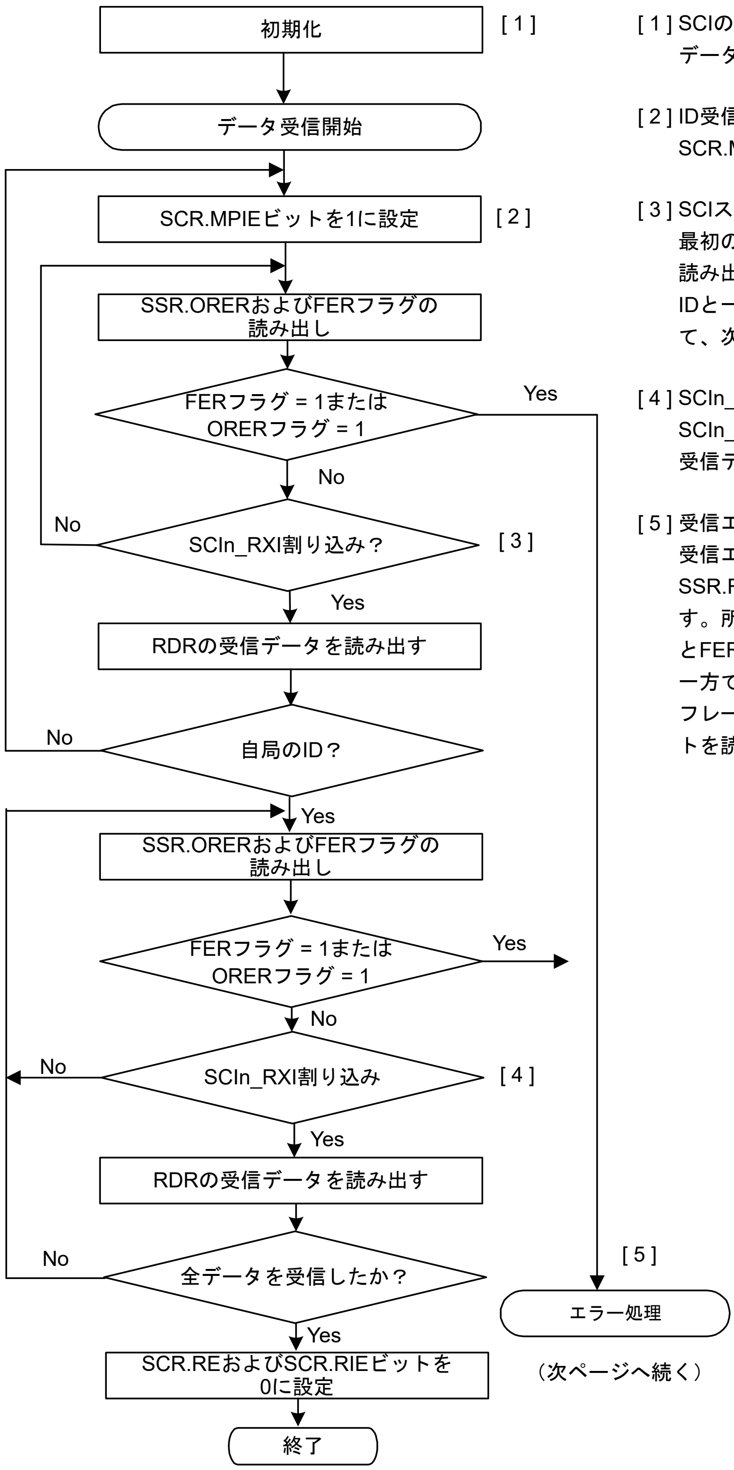
図 24.31 と図 24.32 に、マルチプロセッサシリアル受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。FRDRH から FRDRL の順に読み出してください。

図 24.30 に、データ受信時の動作例を示します。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.30　　SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）



[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを1にして、IDの受信を待ちます。

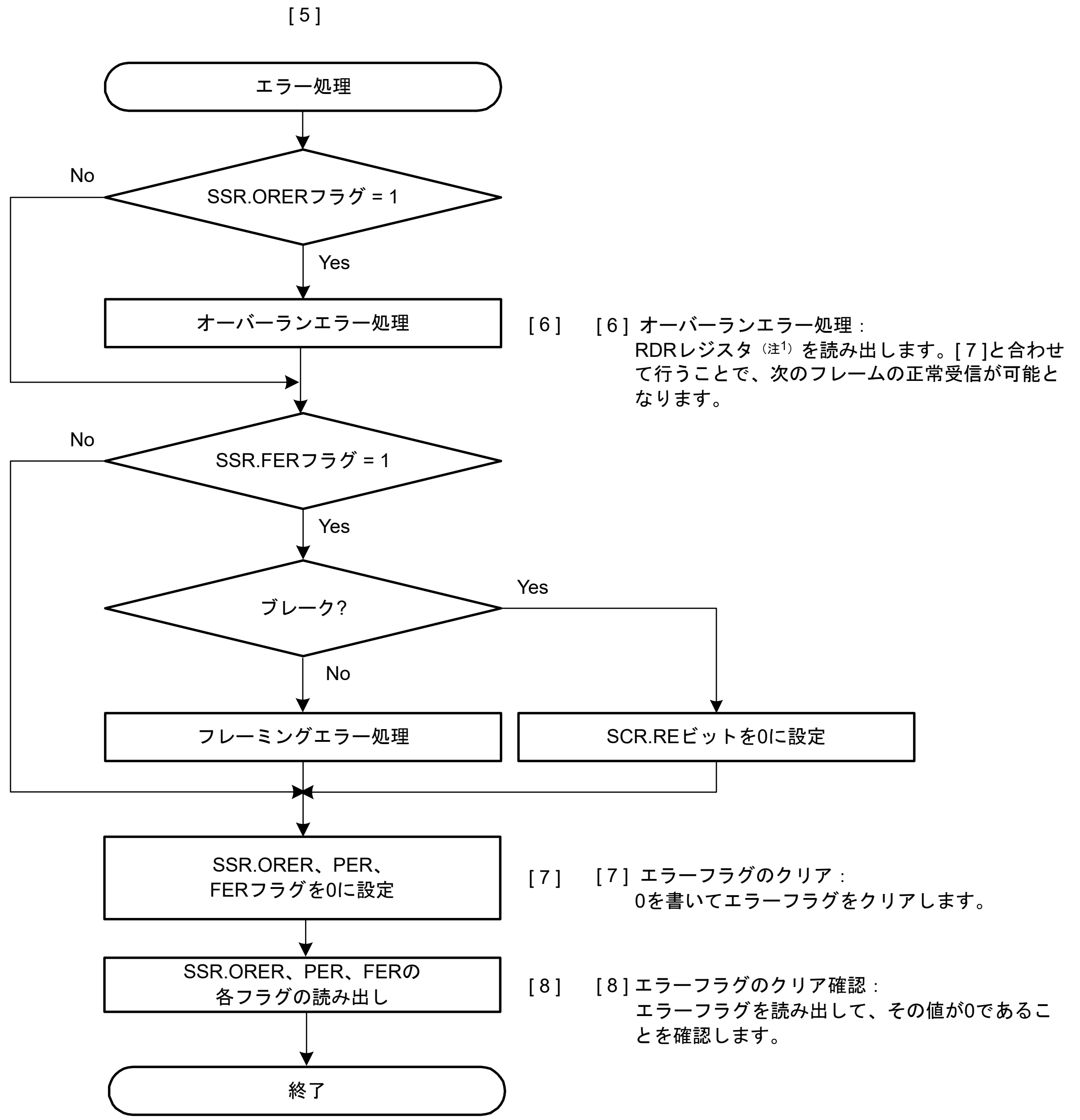
[3] SCIステータス確認およびIDの受信と比較：
最初のSCIn_RXI割り込みでRDR（注1）のデータを読み出して、それを自局のIDと比較します。自局のIDと一致しなかった場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。

[4] SCIn_RXI割り込みでのデータ受信：
SCIn_RXI割り込みルーチンで、RDRレジスタ（注1）の受信データを1回読み出します。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生した場合は、SSR.ORERフラグとSSR.FERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグを0にしてください。これらのフラグの一方でも1になっていると、受信を再開できません。
フレーミングエラーの発生時、SPTR.RXDMONビットを読み出すことでブレークの検出が可能です。

注 1.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 24.31　　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(1)



注 1.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 24.32　　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 24.33 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH.MPB ビットに書き込まれます。FRDRH.PER フラグに 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB フラグ、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

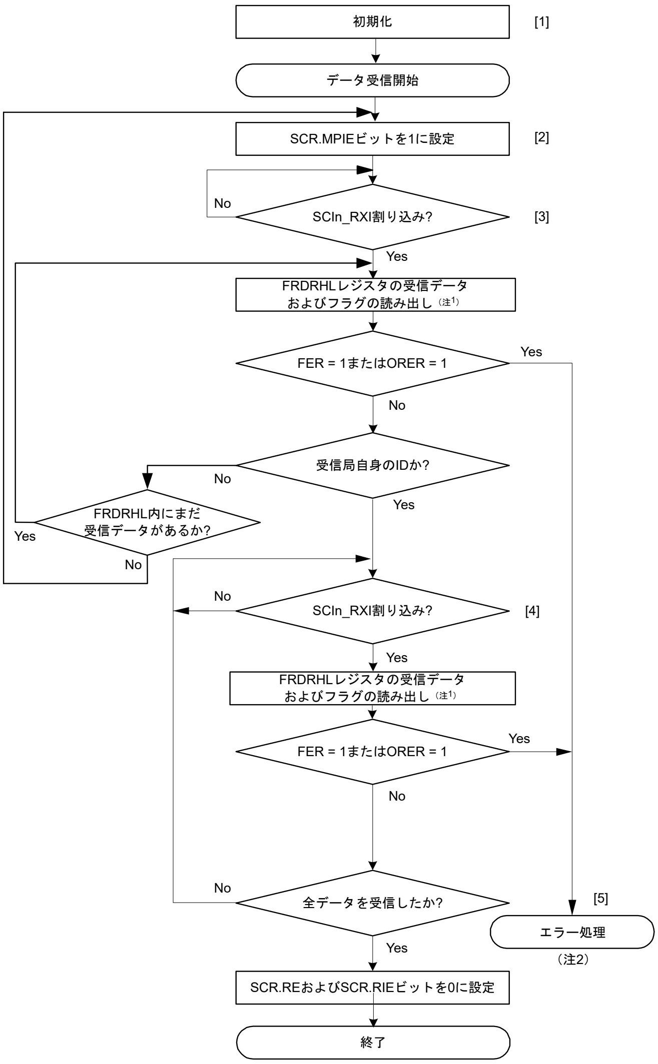
データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
			FRDRH								FRDRL							
	SCMR.CHR1	SMR.CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	–	RDF	ORER	FER	0	DR	MPB	0	0	7ビットの受信データ						
8ビット	1	1	–	RDF	ORER	FER	0	DR	MPB	0	8ビットの受信データ							
9ビット	0	Don't care	–	RDF	ORER	FER	0	DR	MPB	9ビットの受信データ								

注.　データ長が 7 ビットの場合、FRDRH[0]と FRDRL[7]では常に 0 が読み出されます。
データ長が 8 ビットの場合、FRDRH[0]では常に 0 が読み出されます。
FRDRHL[15]ビットは不定値として読み出されます。

図 24.33　　マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット（FIFO 選択時）

図 24.34 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットは自動的にクリアされ、通常の受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを1にして、IDの受信を待ちます。

[3] SCIステータス確認およびIDの受信と比較：
SCIは、FRDRHLレジスタの最初のデータ (MPB = 1) とそれ以降の受信データを格納します。
指定した受信トリガ数以上の受信データ量がFRDRHLレジスタに格納されると、RDFが1にセットされ、SCIn_RXI割り込み要求が発生します。
FRDRHLレジスタに格納されたデータ量が指定した受信トリガ数を下回り、受信データが1以上であり、かつ最終ストップビットから15 etu経過後に次のデータを受信しない場合、SSR_FIFO.DRは1にセットされます。
FCR.DRESビットが0のとき、SCIn_RXI割り込み要求が発生します。
最初のSCIn_RXI割り込みでFRDRHLレジスタのデータを読み出して、それを受信局自身のIDと比較します。
受信局自身のIDと一致しなかった場合、MPBが1のデータまで読みだした後、次のIDと比較します。MPBが1でFRDRHLレジスタのデータがない場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。

[4] SCIn_RXI割り込みでのデータ受信：
SCIn_RXI割り込みルーチンで、FRDRHLレジスタのデータを1回読み出します。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SSR_FIFOのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずSSR_FIFO.ORERフラグとSSR_FIFO.FERフラグを0にしてください。
SSR_FIFO.ORERフラグが1の場合、受信を再開できません。フレーミングエラーの検出時、SPTR.RXDMONフラグを読み出すことでブレークの検出が可能です。

注 1.　FRDRHL の代わりに FRDRH と FRDRL が用いられる場合は、FRDRH から FRDRL の順に読み出してください。
注 2.　図 24.32 と同様です。

図 24.34　　マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO 選択時）

24.5　　クロック同期式モードの動作

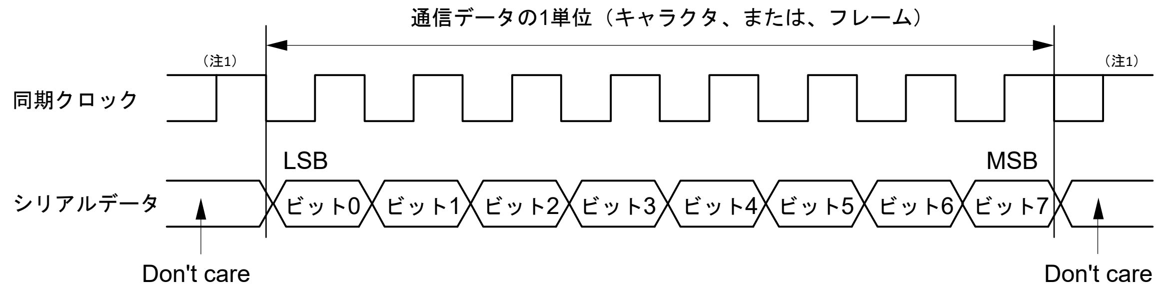
図 24.35 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりエッジから次の立ち下がりエッジまで出力します。データ受信時は同期クロックの立ち上がりエッジに同期してデータを取り込みます。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレーブモードにおいて SPMR.CKPH ビットが 1 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定（BRR[7:0] = 0x00 かつ SMR.CKS[1:0] = 00b）では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定（BRR[7:0] = 0x00 かつ SMR.CKS[1:0] = 00b）は利用できません。



注 1.　連続送受信動作時以外に High レベルを保持します。

図 24.35　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの並び順の場合）

24.5.1　クロック

SCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル(注1)になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル(注1)になったところで停止します。

注 1.　（SPMR.CKPH = 0 かつ SPMR.CKPOL = 1）または（SPMR.CKPH = 1 かつ SPMR.CKPOL = 1）の状態にあるとき、信号は High に固定されます。（SPMR.CKPH = 0 かつ SPMR.CKPOL = 1）または（SPMR.CKPH = 1 かつ SPMR.CKPOL = 0）の状態にあるとき Low に固定されます。

24.5.2　CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn_RTSn 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTSn_RTSn 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn_RTSn 出力が Low になります。CTSn_RTSn が Low および High を出力する条件は以下のとおりです。

［Low になる条件］

以下の条件がすべて満たされる場合：

非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- 読み出し前の受信データがない（SCR.RE ビットが 1 のとき）
- 送信データを書き込み済み（SCR.TE ビットが 1、かつ SCR.CKE[1]ビットが 0 の場合）
- TSR レジスタに送信用データがある（SCR.TE ビットが 1、SCR.CKE[1]ビットが 1 の場合）
- SSR.ORER フラグが 0

FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- FRDRHL に書き込まれた受信データ数が、FCRH.RSTRG[3:0]の設定値より少ない（SCR.RE = 1 の場合）
- FTDRHL に未送信データがある（SCR.TE ビットが 1、SCR.CKE[1]ビットが 0 の場合）
- TSR レジスタに送信用データがある（SCR.TE ビットが 1、SCR.CKE[1]ビットが 1 の場合）
- SSR_FIFO.ORER フラグが 0

［High になる条件］

- Low になる条件を満たさない場合

24.5.3　SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 0x00 を書き込み、次に「24.5.2. CTS、RTS 機能」の非 FIFO と FIFO の選択を説明した項目に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も必ず、SCR レジスタを初期値にしてから変更してください。

注.　SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注.　非 FIFO モードにおいて、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 24.28　クロック同期式モードにおける SCI 初期化の手順例（非 FIFO 選択時）

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビットを 0 に設定	FCR.FM ビットを 0 にします。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。
5	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
8	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
9	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
10	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
11	初期化の完了	

注.　同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

表 24.29　FIFO を選択したクロック同期式モードにおける SCI 初期化の手順例 (1/2)

番号	ステップ名	説明
1	初期化を開始	

表 24.29　FIFO を選択したクロック同期式モードにおける SCI 初期化の手順例 (2/2)

番号	ステップ名	説明
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビット、FCR.TFRST ビット、および FCR.RFRST ビットを 1 にします。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。	FCR.FM、TFRST、および RFRST ビットを 1 にします（FIFO モードが有効、送信/受信 FIFO が空）。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。
5	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
8	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
9	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定	FCR.TFRST ビットと FCR.RFRST ビットを 0 にします。
10	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
11	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
12	初期化の完了	

注.　同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

24.5.4　シリアルデータの送信（クロック同期式モード）

(1) 非 FIFO 選択時

図 24.36、図 24.37、および図 24.38 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

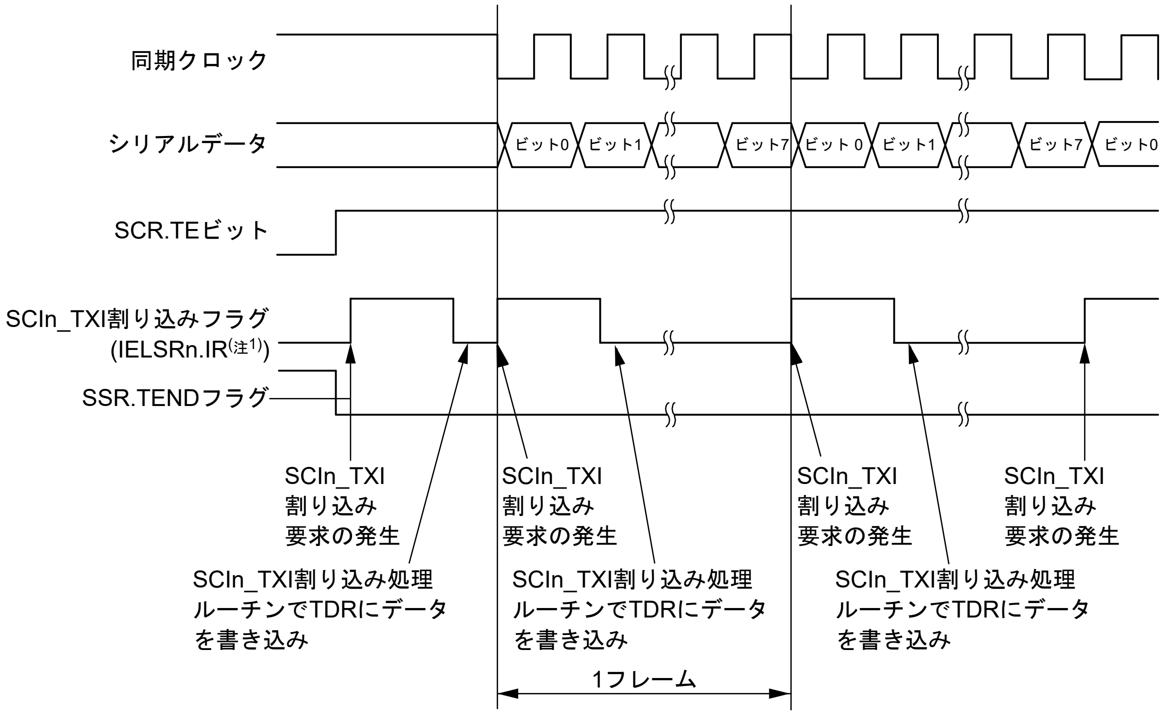
1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR レジスタの TIE ビットを 1 にした後に TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。
SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。

6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 24.36、図 24.37、および図 24.38 に、シリアルデータ送信の例を示します。

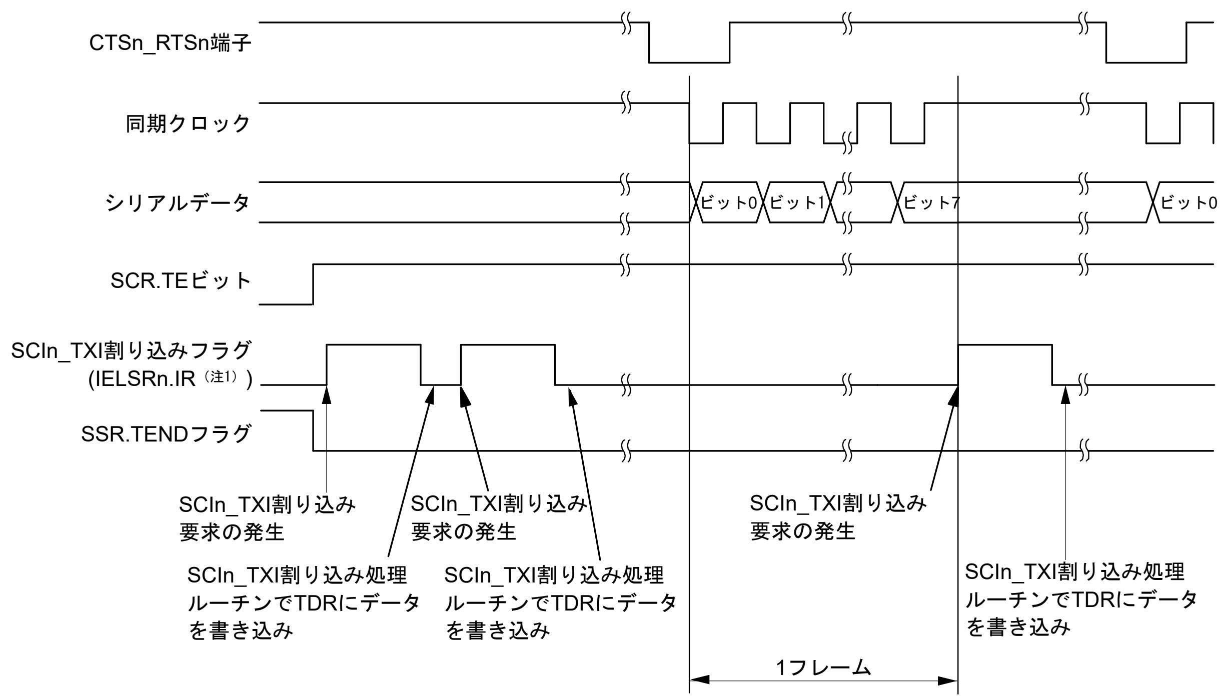
受信エラーフラグ（SSR.ORER、FER、または PER）が 1 の状態では、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。



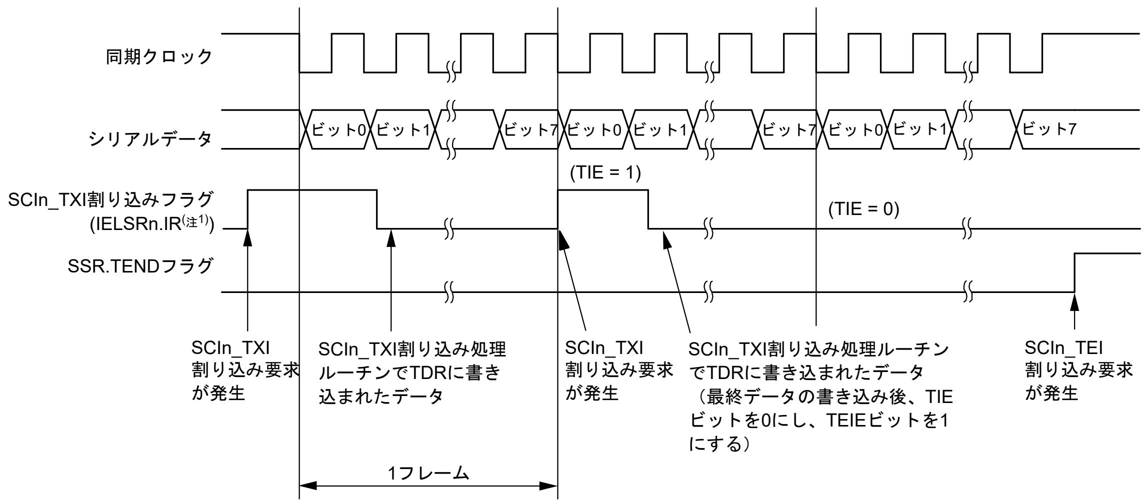
注 1. 対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.36 クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）



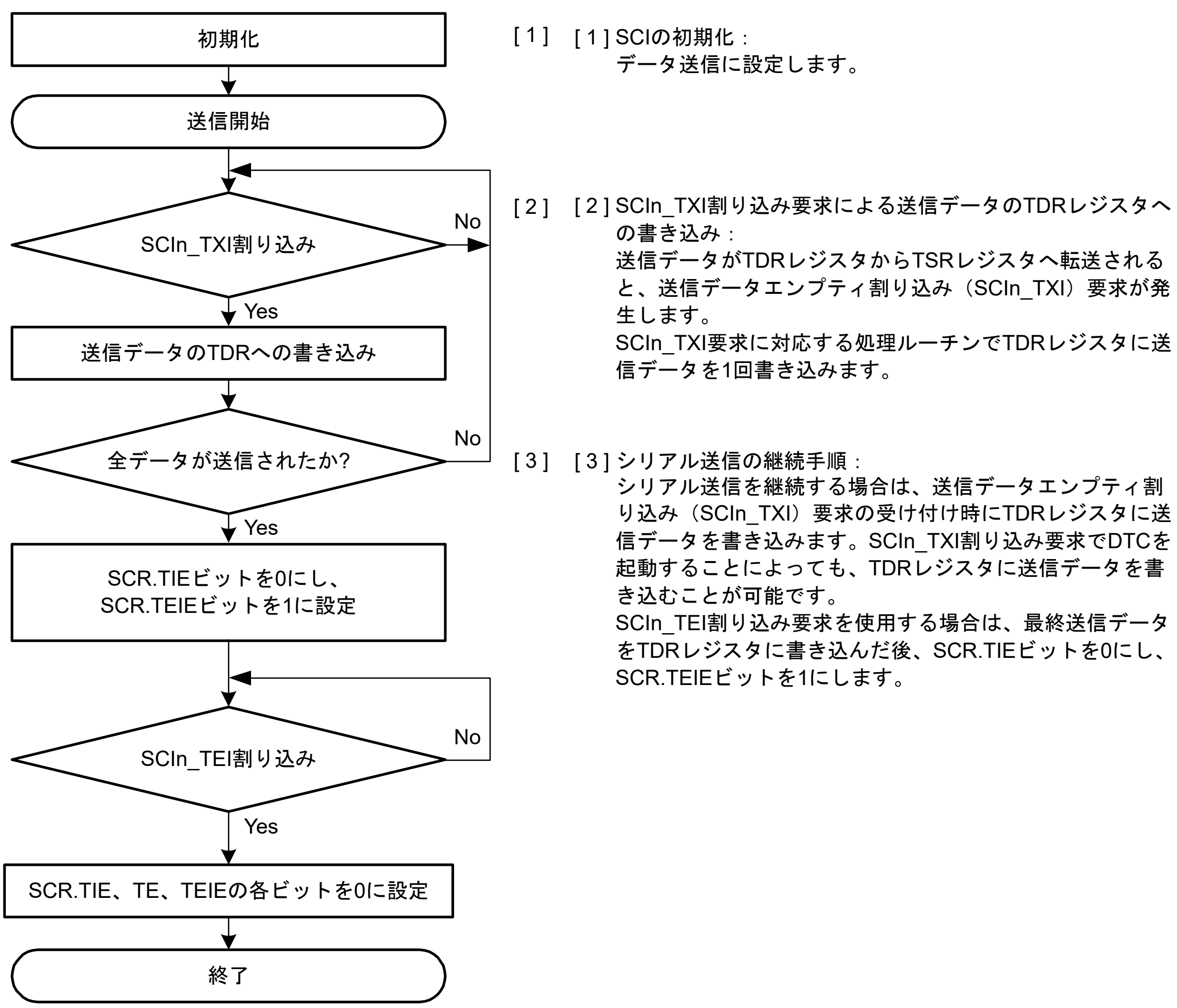
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.37　　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.38　　クロック同期式モードにおけるシリアル送信の動作例（送信中～送信終了時）



注.　外部クロックを使用する (SCR.CKE[1:0]ビット = 10b または 11b) 場合、最終ビットの SCKn 端子立ち上がりで SSR.TEND フラグが 1 になります。この直後に SCR.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 24.39　クロック同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

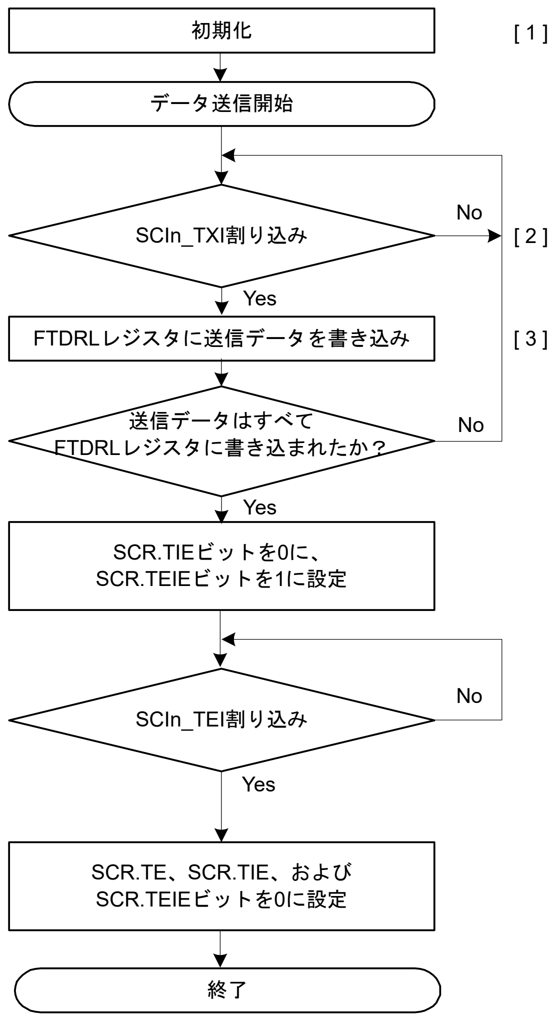
図 24.40 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ(注1)にデータが書き込まれると、SCI は FTDRL レジスタ(注1)から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0]です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後に SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタへデータを転送した後、送信を開始します。FTDRL レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。

4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1.　クロック同期式モードでは、FTDRH レジスタを使用しません。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求による送信データのFTDRLレジスタへの書き込み：
FTDRLからTSRへの送信データの場合、FTDRLレジスタに書き込まれた送信データ数が指定された送信トリガ数以下のとき、送信データFIFOエンプティ割り込み (SCIn_TXI) 要求が発生します。SCIn_TXI割り込み処理ルーチンでFTDRLに送信データを1回書き込みます。

[3] シリアル送信の継続手順：
シリアル送信を継続するときには、現在のデータ送信が完了する前に、このSCIn_TXI割り込み処理ルーチンで、FTDRLレジスタに次の送信データを書き込み、SSR_FIFO.TDFEフラグを0にクリアしてください。
DTCを起動することによっても、FTDRLレジスタに送信データを書き込むことが可能です。この場合、TDFEフラグは自動的にクリアされます。TDFEフラグには書き込みを行わないでください。
SCIn_TEI割り込み要求を使用するときには、最終送信データをFTDRLレジスタに書き込んだ後、SCR.TIEビットを0に、SCR.TEIEビットを1にしてください。

注.　外部クロックを使用する（SCR.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCKn 端子立ち上がりで SSR_FIFO.TEND フラグが 1 になります。この直後に SCR.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 24.40　　クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

24.5.5　　シリアルデータの受信（クロック同期式モード）

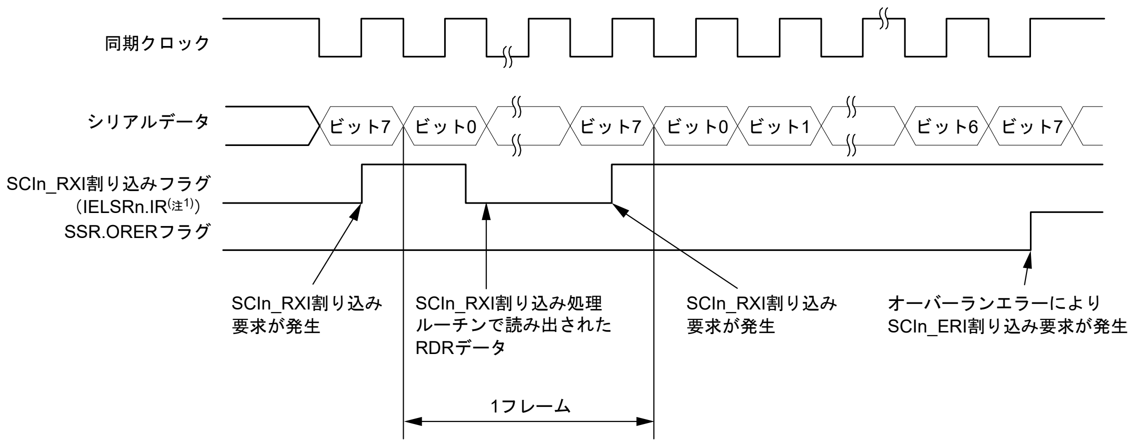
(1) 非 FIFO 選択時

図 24.41 と図 24.42 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

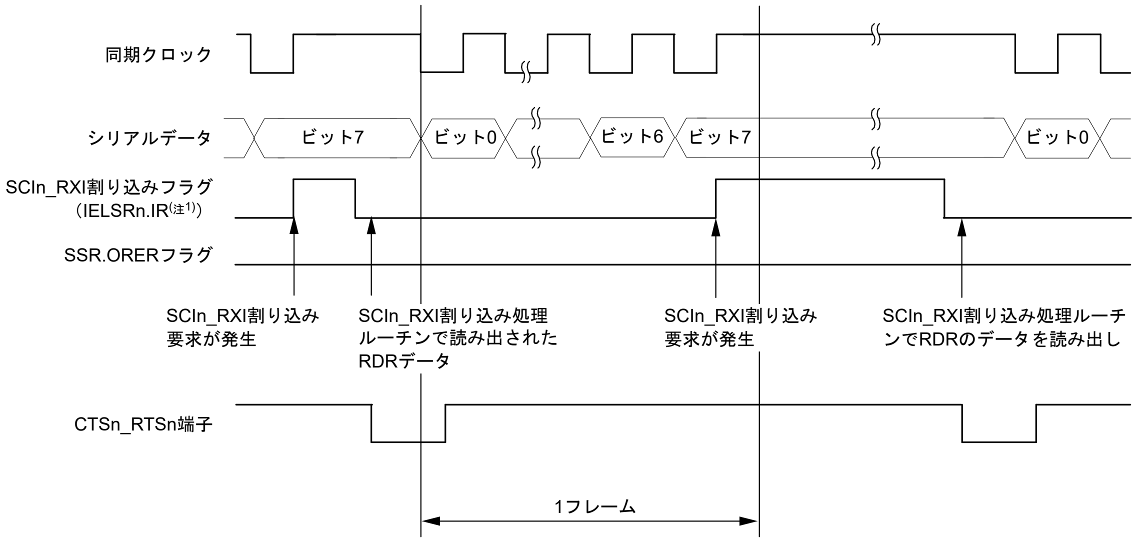
1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。

2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。



注 1. 対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.41 クロック同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）



注 1. 対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.42 クロック同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットに 0 を書いてデータ受信動作を強制終了させた場

合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 24.43 に、シリアル受信のフローチャート例を示します。

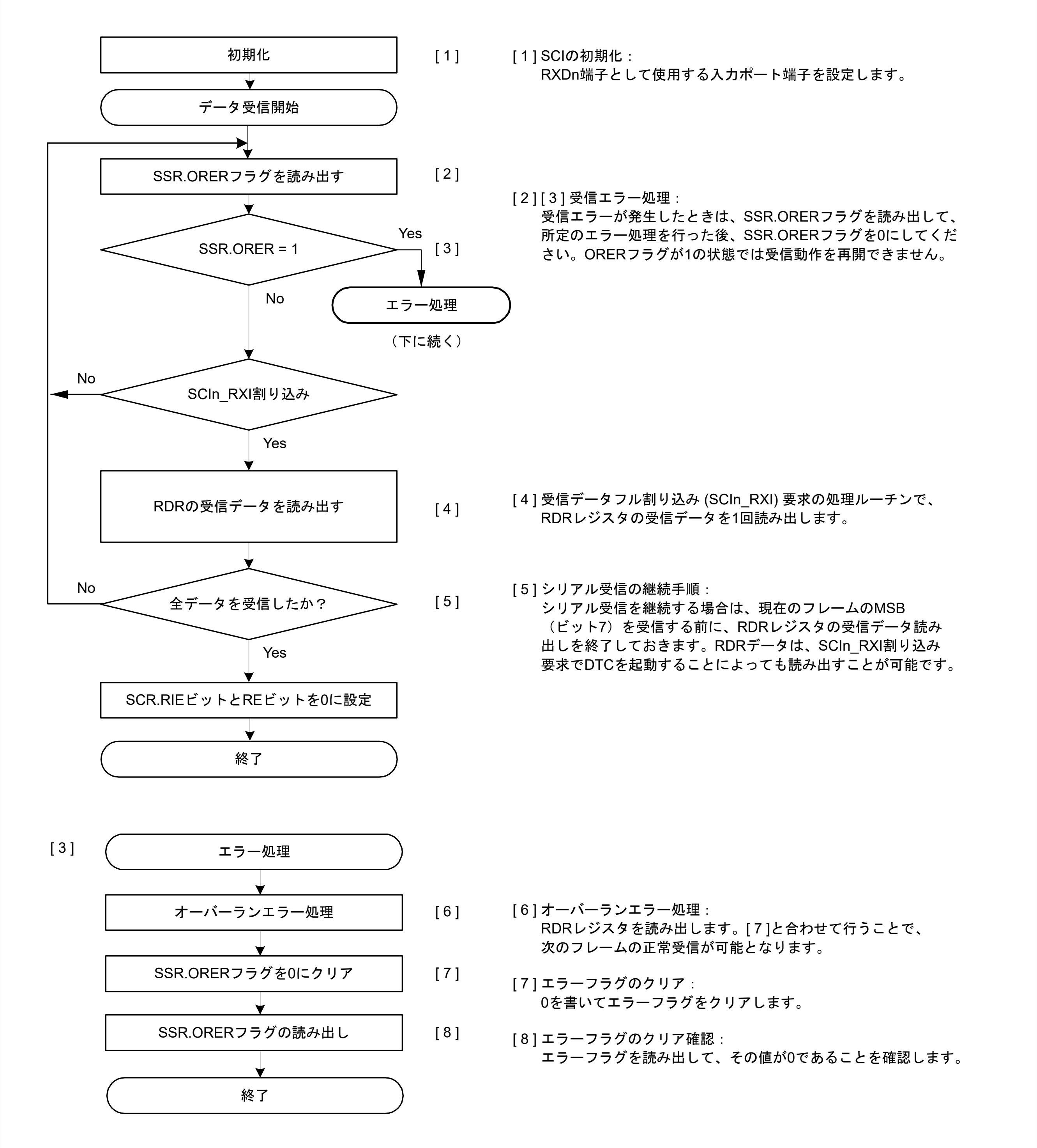


図 24.43　　クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

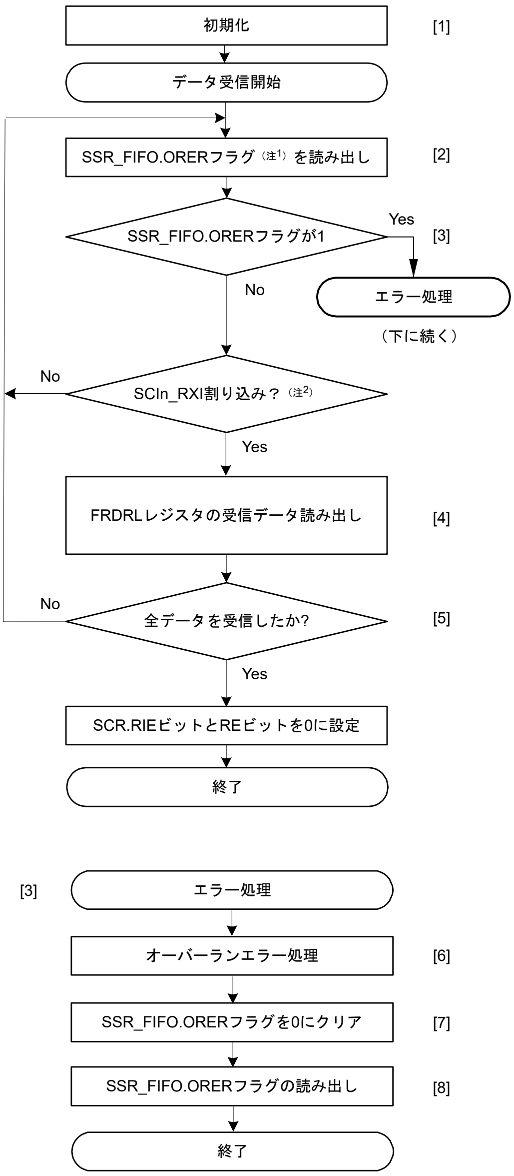
図 24.44 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。

2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ(注1)へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ(注1)へ転送されます。FRDRL に格納された受信データ数が、指定された受信トリガ数以上であると、RDF フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ(注2)へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が指定の受信トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

注 1.　クロック同期式モードでは、FRDRH レジスタを使用しません。
注 2.　RDF と ORER を受信データとともに読み出す場合は、FRDRH→FRDRL の順に読み出してください。



[1]　SCIの初期化：RXDn端子として使用する入力ポート端子を設定します。

[2] [3]　受信エラー処理：受信エラーが発生したときは、SSR_FIFO.ORERフラグを読み出して、所定のエラー処理を行った後、SSR_FIFO.ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[4]　FRDRLレジスタに格納された受信データは、格納データ数がFCR.RTRG[3:0]の値未満になるまで読み出されます。ソフトウェアは、FDR.R[4:0]ビットにより読み出し可能なデータ数をチェックできます。

[5]　シリアル受信の継続手順：シリアル受信を継続する場合は、オーバーランエラーが発生する前に、FRDRL内の受信データの読み出しを終了させ、SSR_FIFO.RDFフラグを0にクリアします。FRDRLデータは、SCIn_RXI割り込み要求でDTCを起動することによっても読み出すことが可能です。この場合、RDFフラグは自動的にクリアされます。RDFフラグには書き込みを行わないでください。

[6]　オーバーランエラー処理：FRDRLレジスタを読み出します。[7]と合わせて行うことで、次のフレームの正常受信が可能となります。

[7]　エラーフラグのクリア：0を書いてエラーフラグをクリアします。

[8]　エラーフラグのクリア確認：エラーフラグを読み出して、その値が0であることを確認します。

注 1.　FRDRH.ORER フラグから読み出しが可能です。しかし、ORER フラグをクリアするには、SSR_FIFO レジスタの関連するビットに 0 を書き込んでください。
注 2.　それは、受信データすべてであることと、FIFO トリガ値の整数倍である必要があります。

図 24.44　　クロック同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）

24.5.6　シリアルデータの同時送受信（クロック同期式モード）

(1) 非 FIFO 選択時

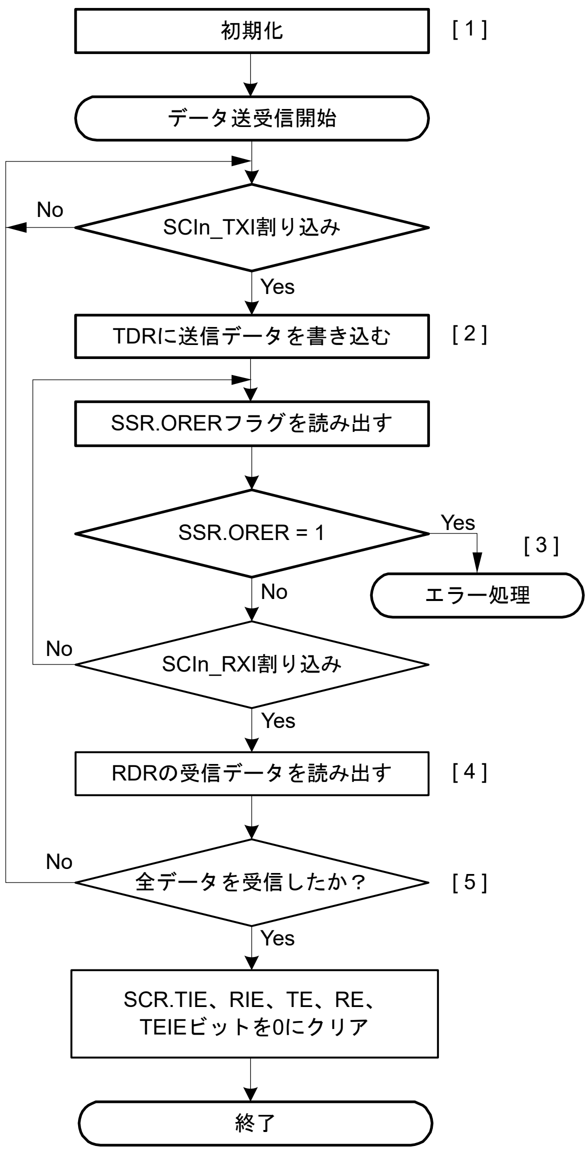
図 24.45 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。
2. RIE ビットと RE ビットを 0 にした後、受信エラーフラグ (SSR.ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。



[1] SCIの初期化：
TXDn端子は送信時に出力端子として、RXDn端子は受信時に入力端子として、同時に機能します。

[2] 送信データの書き込み：
SCIn_TXI割り込み処理ルーチンでTDRレジスタに送信データを書き込んでください。

[3] 受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグを読み出して、所定のエラー処理を行った後、ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[4] 受信データの読み出し：
SCIn_RXI割り込み処理ルーチンで、RDRレジスタの受信データを1回読み出します。

[5] シリアル送受信の継続手順：
シリアル送受信を継続する場合は、現在のフレームのMSBビット7を受信する前に、SCIn_RXI割り込みによってRDRレジスタの受信データ読み出しを終了しておきます。また、現在のフレームのMSBビット7を送信する前に、SCIn_TXI割り込みによってTDRにデータを書き込みます。
送信データは、送信データエンプティ割り込み (SCIn_TXI) 要求でDTCを起動して、TDRレジスタに書き込むことも可能です。同様に、受信データフル割り込み (SCIn_RXI) 要求でDTCを起動して、RDRデータを読み出すことも可能です。

注.　送信または受信動作から同時送受信動作に切り替える場合、まず SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 にした後、SCR.TIE、RIE、TE、および RE ビットを同時に 1 にしてください。

図 24.45　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 24.46 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

SCI の初期化後、シリアルデータ同時送受信動作は以下の手順に従ってください。

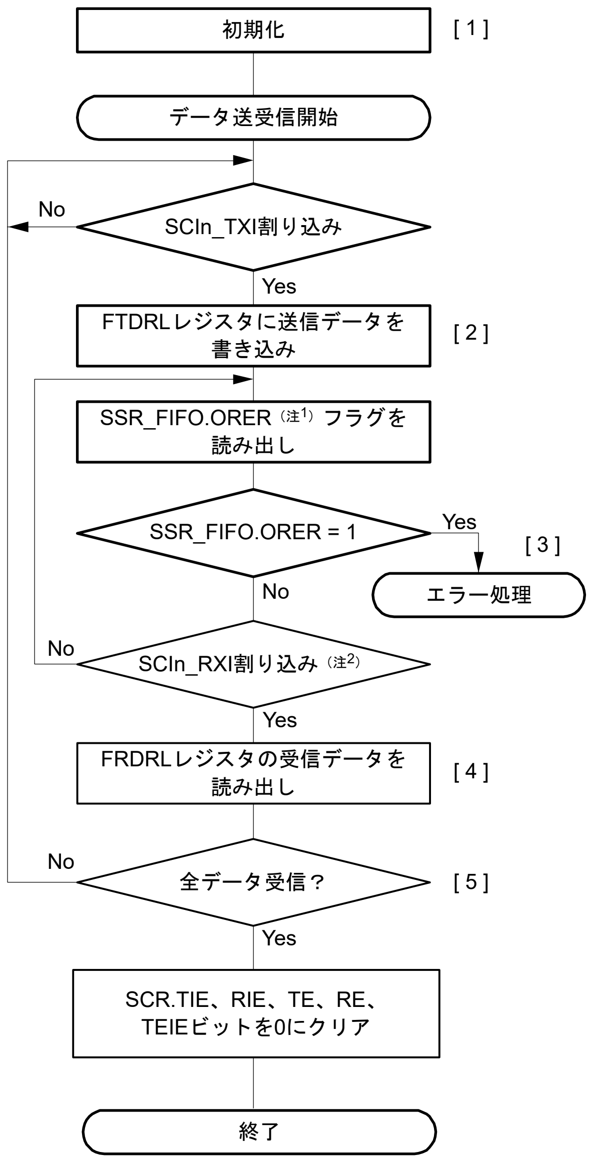
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR_FIFO.TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。

2. RIE ビットと RE ビットを 0 にします。
3. 受信エラーフラグ（SSR_FIFO.ORER）が 0 になっていることを確認した後、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。



[1] SCIの初期化：
TXDn端子は送信時に出力端子として、RXDn端子は受信時に入力端子として、同時に機能します。

[2] 送信データ書き込み：
SCIn_TXI割り込み処理ルーチンでFTDRLレジスタに送信データを書き込んでください。書き込み可能な送信データ数は、16ビット（FIFOに格納されている送信データ数）です。

[3] 受信エラー処理：
受信エラーが発生したときには、SSR_FIFO.ORERフラグを読み出して、所定のエラー処理を行った後、ORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。

[4] 受信データ読み出し：
FRDRLレジスタに格納された受信データを格納データ数がFCR.RTRGの値よりも小さくなるまで読みます。ソフトウェアでFDR.R[4:0]ビットを読み出して、読み出し可能なデータ数を確認できます。

[5] シリアル送受信の継続手順：
シリアル受信を継続するときには、オーバーランエラーが発生する前に、FRDRLレジスタ内の受信データの読み出しを完了し、SSR_FIFO.RDFフラグを0にしてください。シリアル送信を継続するときには、現在のデータ送信が完了する前に、SCIn_TXI割り込み処理ルーチンで、FTDRLレジスタに次の送信データを書き込み、SSR_FIFO.TDFEフラグを0にクリアしてください。
送信データは、送信FIFOデータエンプティ割り込み (SCIn_TXI) 要求でDTCを起動して、FTDRLレジスタに書き込むことも可能です。同様に、受信FIFOデータフル割り込み (SCIn_RXI) 要求でDTCを起動して、FRDRLデータを読み出すことも可能です。
この場合、RDFフラグとTDFEフラグは自動的にクリアされます。
RDFフラグとTDFEフラグには書き込みを行わないでください。

注 1. FRDRH.ORER フラグから読み出しが可能です。しかし、ORER フラグをクリアするには、SSR_FIFO レジスタの関連するビットに 0 を書き込んでください。
注 2. すべての受信データは FIFO トリガ数の整数倍の数でなければなりません。

図 24.46　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

24.6　スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3（Identification Card 規格）に対応したスマートカード（IC カード）インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

24.6.1 接続例

図 24.47 に、スマートカード（IC カード）と本 MCU の接続例を示します。図 24.47 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMCI.TE ビットと SCR_SMCI.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

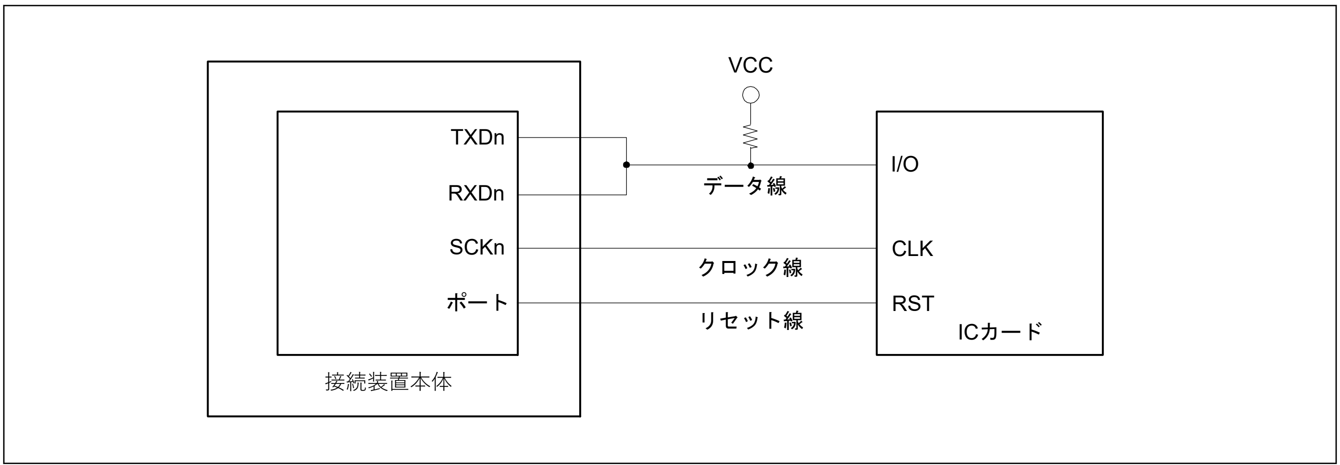


図 24.47 スマートカード（IC カード）との接続例

24.6.2 データフォーマット（ブロック転送モード時を除く）

図 24.48 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 etu（elementary time unit = 1 ビット転送時間）以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力
- 送信中にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信

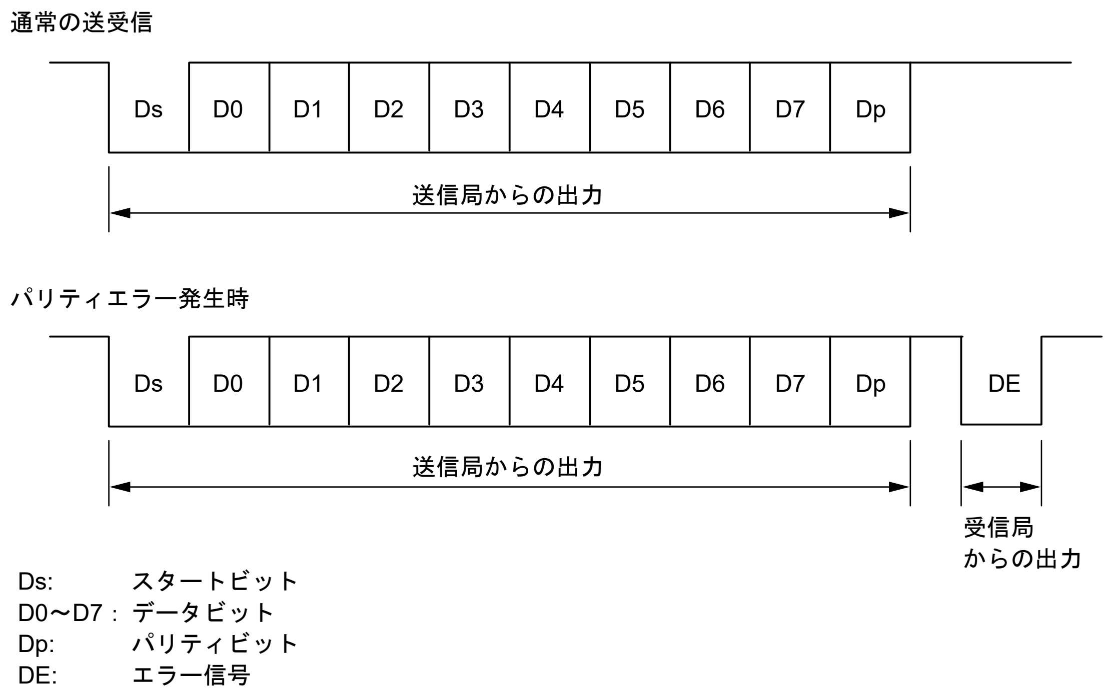


図 24.48　スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 24.49 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3B となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカードの規格に従って偶数パリティとするため、SMR_SMCI.PM ビットは 0 にしてください。

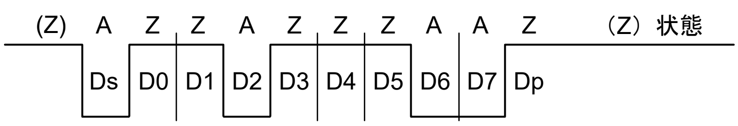


図 24.49　ダイレクトコンベンション（SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 24.50 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3F となります。

インバースコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。また、スマートカード規格に従って偶数パリティとするため、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7～D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

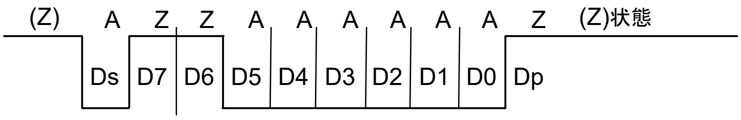


図 24.50　インバースコンベンション（SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1）

24.6.3　ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 etu 経過後に、SSR_SMCI レジスタの TEND フラグがセットされます。
- ブロック転送モードでは、SSR_SMCI レジスタの ERS フラグは通常のスマートカードインタフェースモードと同じエラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます。

24.6.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 24.51 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。受信マージンは次式で表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%]$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D : クロックのデューティー (D = 0〜1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100\ [\%] = 49.866\ \%$$

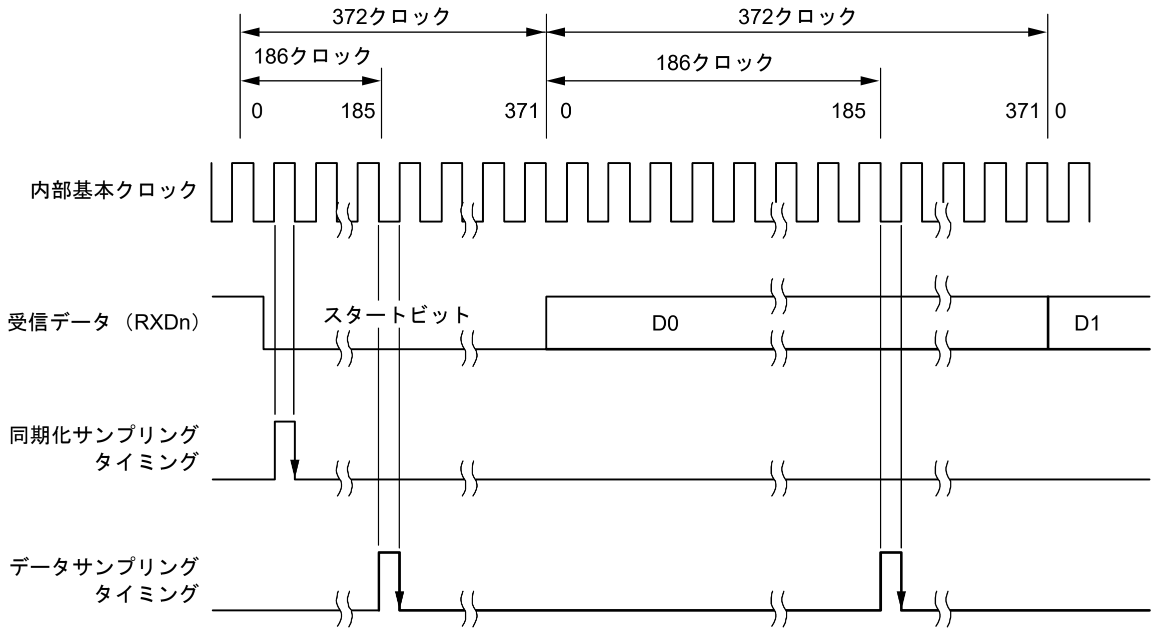


図 24.51　スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの372 倍のクロック周波数の場合）

24.6.5 SCI の初期化（スマートカードインタフェースモード）

データの送受信前に、SCR_SMCI レジスタに初期値 0x00 を書き込み、表 24.30 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE = 1、SCR_SMCI.RE = 0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、SSR_SMCI レジスタの ORER フラグ、あるいは PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE = 0、SCR_SMCI.RE = 1 にしてください。送信動作の完了は SSR_SMCI.TEND フラグで確認できます。

表 24.30　スマートカードインタフェースモードにおける SCI 初期化の手順例 (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR_SMCI の TIE、RIE、TE、RE、TEIE ビットを 0 に設定	
3	I/O ポート機能を設定	TXDn、RXDn、SCKn 端子の中で必要な端子機能が使用できるように端子設定をします。
4	SSR_SMCI の ORER、ERS、PER フラグを 0 に設定	SSR_SMCI.ORER、ERS、PER フラグを 0 にします。SSR_SMCI レジスタを読み出した後、該当フラグに 0 を書き込みます。
5	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH、CKPOL ビットを 0 に設定	SIMR1.IICM ビットおよび SPMR.CKPH、CKPOL ビットを 0 にします。初期値から変更してしないときには、本手順は省略できます。
6	SMR_SMCI の GM、BLK、BCP[1:0]、CKS[1:0]を設定し、SMR_SMCI.PM を 1 に設定	SMR_SMCI レジスタに動作モードおよび送信または受信フォーマットを設定します。

表 24.30　スマートカードインタフェースモードにおける SCI 初期化の手順例 (2/2)

番号	ステップ名	説明
7	SCMR.BCP2、SDIR、SINV ビットを設定 SCMR.SMIF ビットを 1 に設定	SCMR レジスタに送信／受信フォーマットを設定します。TXDn 端子と RXDn 端子はハイインピーダンス状態になります。
8	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 に設定	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 にします。
9	BRR に値を設定	ビットレートに対応する値を BRR レジスタに書き込みます。
10	MDDR に値を設定	MDDR レジスタへビットレートエラー訂正によって補正された値を書き込みます。ビットレート補正機能を使用しないときには、本手順は不要です。
11	SCR_SMCI.CKE[1:0]に値を設定	SCR_SMCI.CKE[1:0]ビットを設定します。CKE[0]ビットを 0 に設定するときには、クロックは SCKn 端子から出力します。
12	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR_SMCI レジスタの TE ビットまたは RE ビットを 1 にし、次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
13	初期化の完了	

24.6.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 24.52 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCI.ERS フラグが 1 になります。SCR_SMCI.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
2. エラーシグナルを受信したフレームでは、SSR_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
3. 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
4. この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。SCR_SMCI.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 24.54 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC を起動することによって、自動的に行うことができます。

送信動作では、SSR_SMCI.TEND フラグが 1 になっていると、SCR_SMCI.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DT が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にはクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。

DTC の設定方法については、「15. データトランスファコントローラ (DTC)」を参照してください。

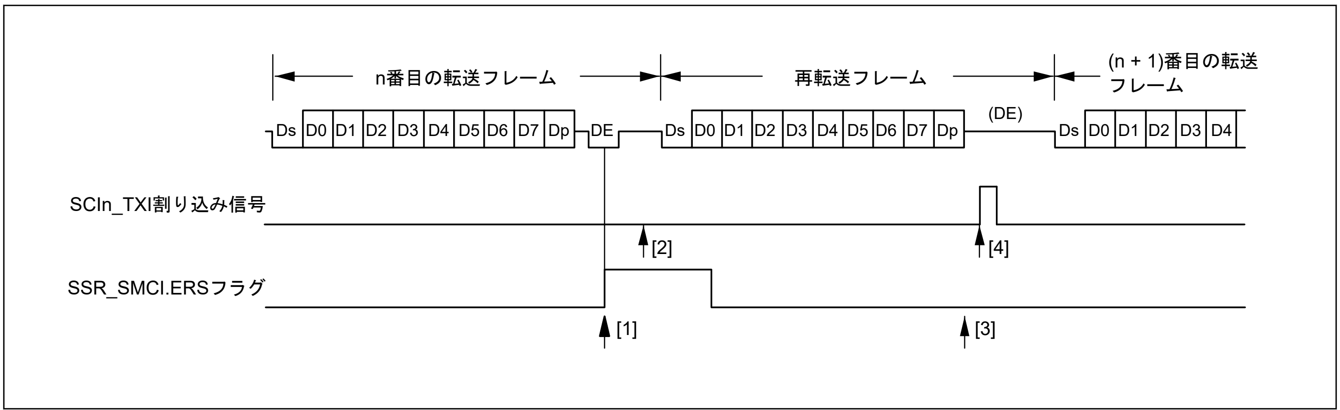


図 24.52　　スマートカードインタフェース送信モードでのデータ再送信動作

SMR_SMCI.GM ビットの設定によっては、SSR_SMCI.TEND フラグのセットタイミングが異なります。図 24.53 に、TEND フラグの発生タイミングを示します。

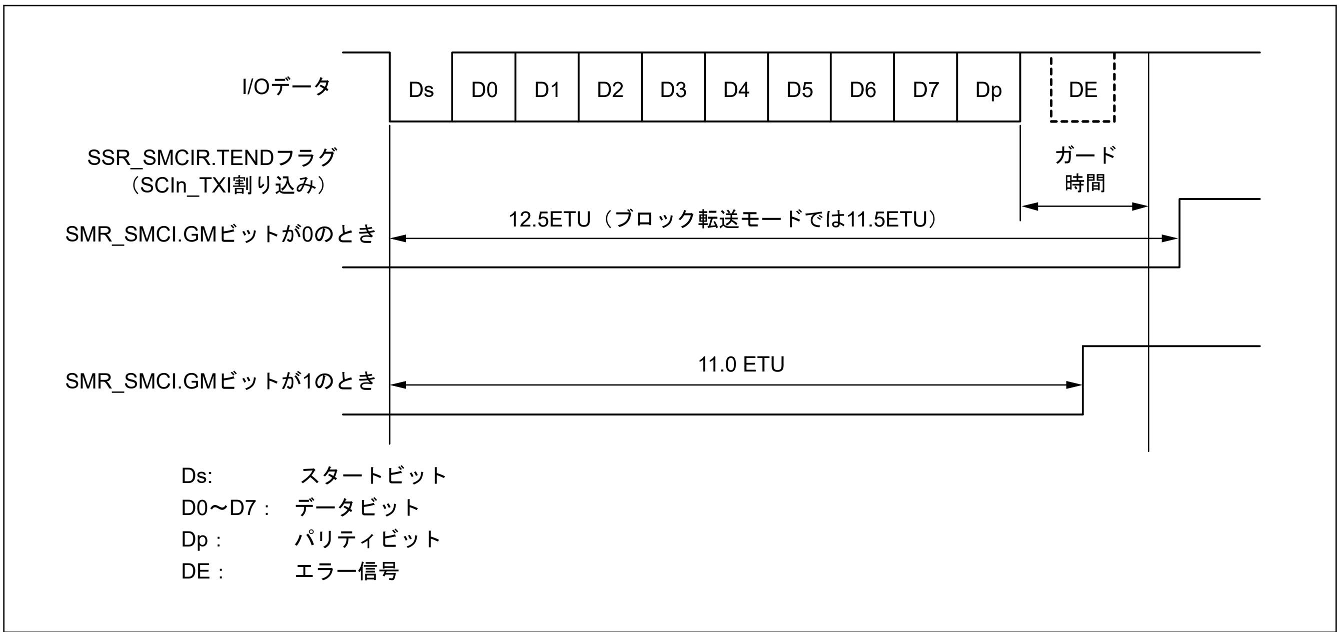


図 24.53　　送信中の SSR.TEND フラグの発生タイミング

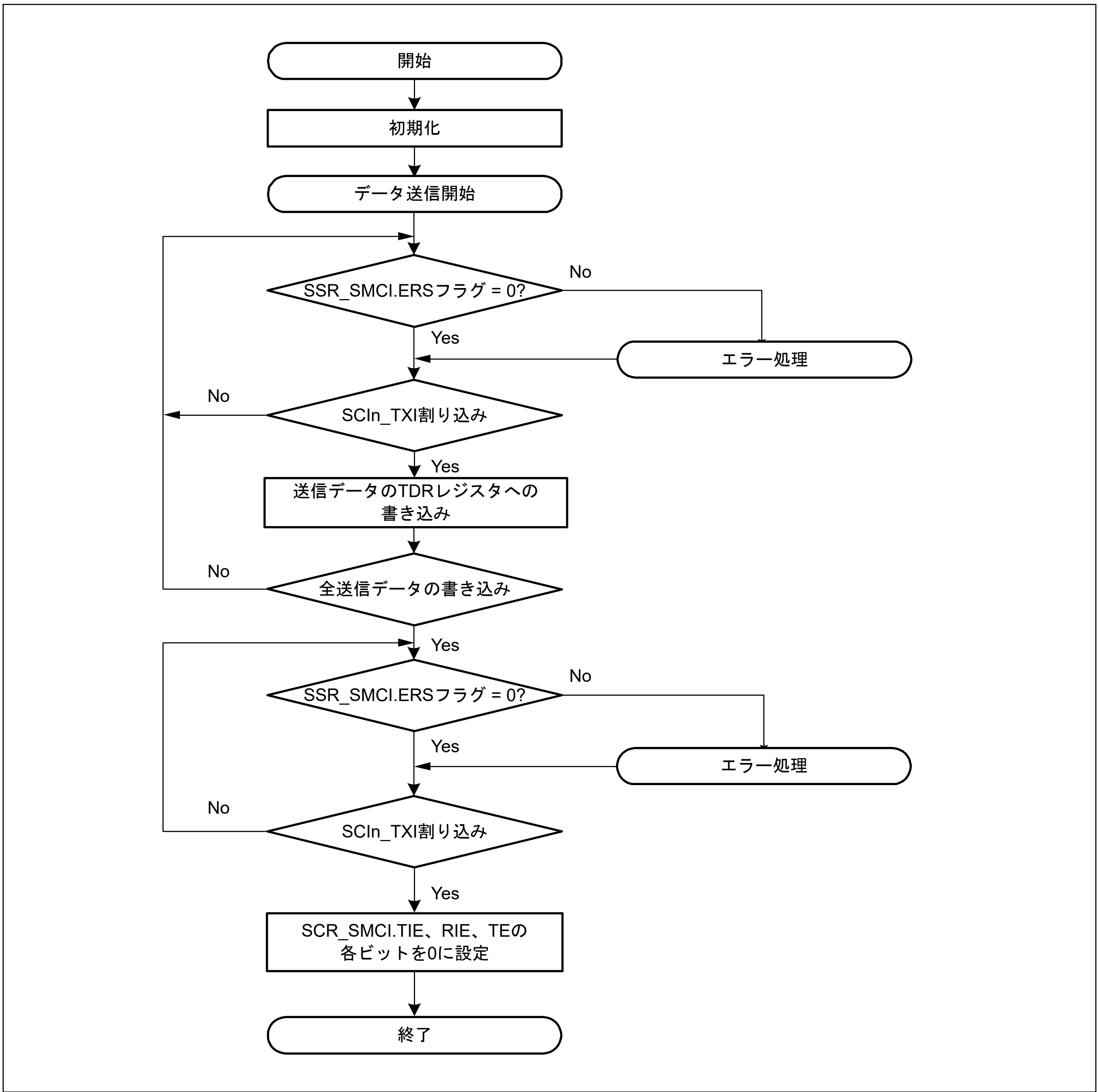


図 24.54　　スマートカードインタフェース送信のフローチャート例

24.6.7　シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 24.55 に示します。

1. 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。SCR_SMCI.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SCR_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。SCR_SMCI.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

図 24.56 に、シリアルデータ受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR_SMCI レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC は起動されず、受信データはスキップされます。そのため、DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注.　　ブロック転送モードの場合は、「24.3.9. シリアルデータの受信（調歩同期式モード）」を参照してください。

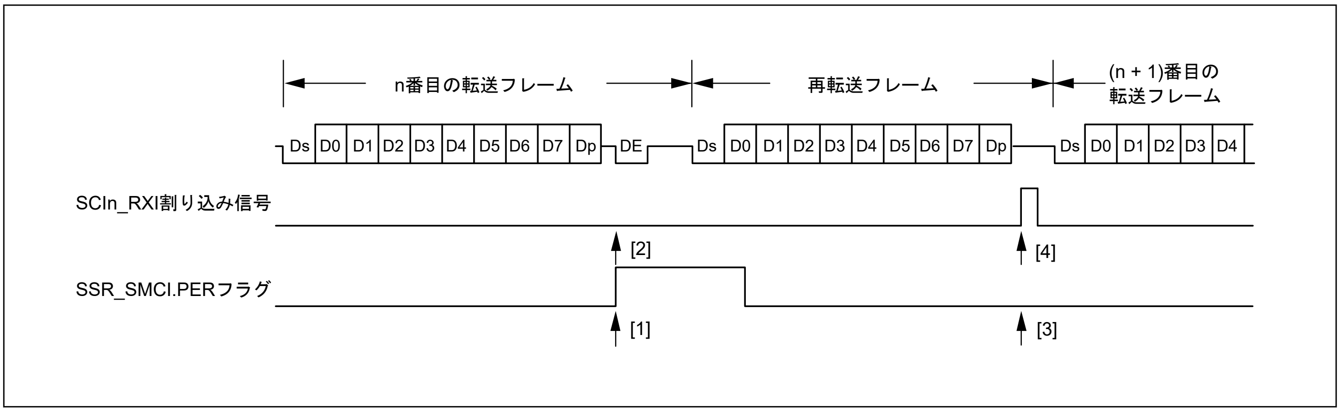


図 24.55　　スマートカードインタフェース受信モードでの再転送動作

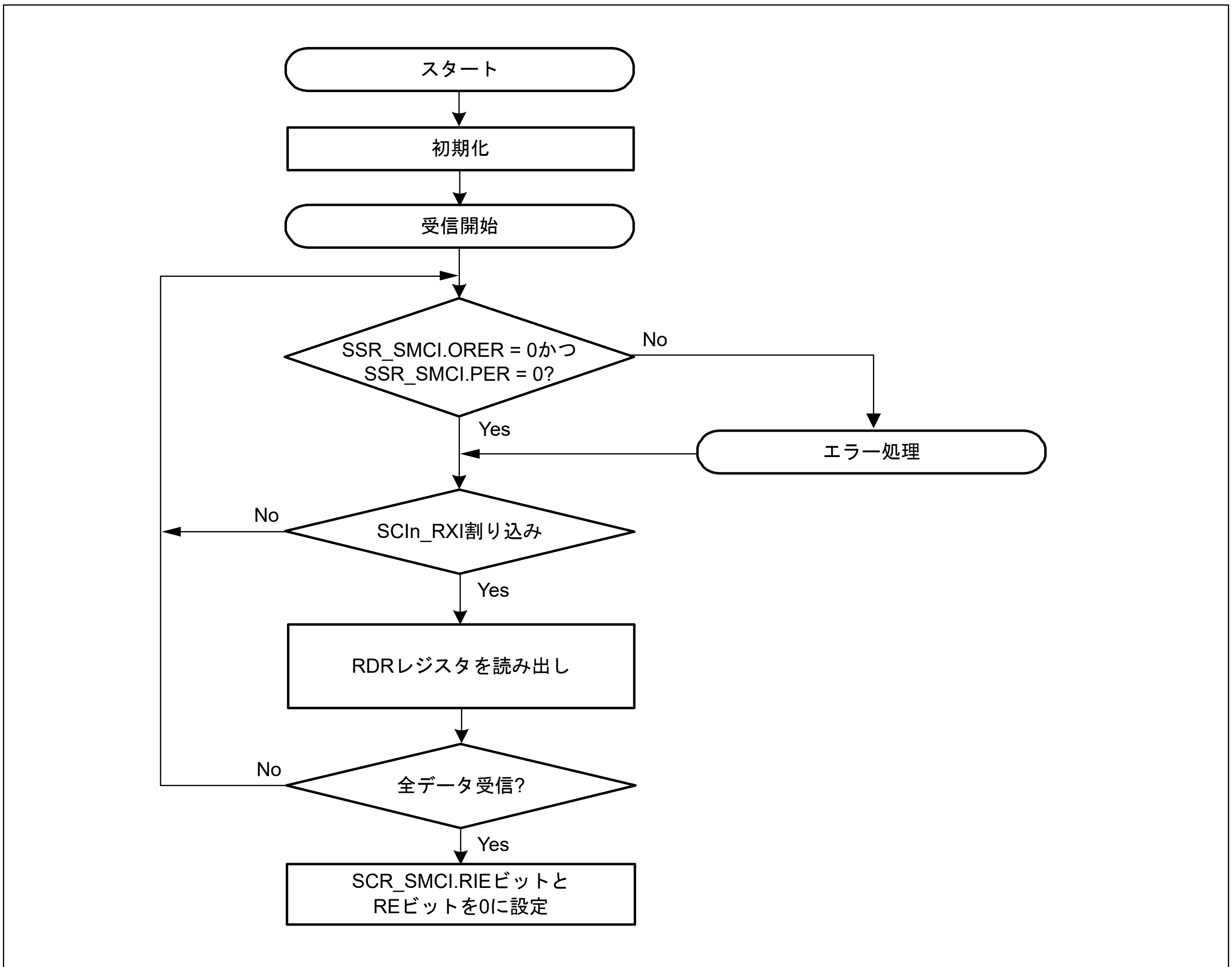


図 24.56 スマートカードインタフェース受信のフローチャート例

24.6.8 クロック出力制御

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI.CKE[1:0]ビットでクロック出力の制御が行えます。CKE[1:0]ビットの詳細については、「24.2.12. SCR_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)」を参照してください。クロック出力を設定すると、「24.6.4. 受信データサンプリングタイミングと受信マージン」で説明されている基本クロックになります。

図 24.57 に、SCR_SMCI レジスタの CKE[1]ビットを 0 にして SCR_SMCI レジスタの CKE[0]ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMCI レジスタの GM ビットが 0 の場合、SCR_SMCI レジスタの CKE[0]ビットで制御される出力は、SCKn 端子にただちに反映されます。したがって、意図しない幅のパルスが SCKn 端子から出力される可能性があります。

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI レジスタの CKE[0]ビットが変更されても基本クロックと同じパルス幅のクロックが出力されます。

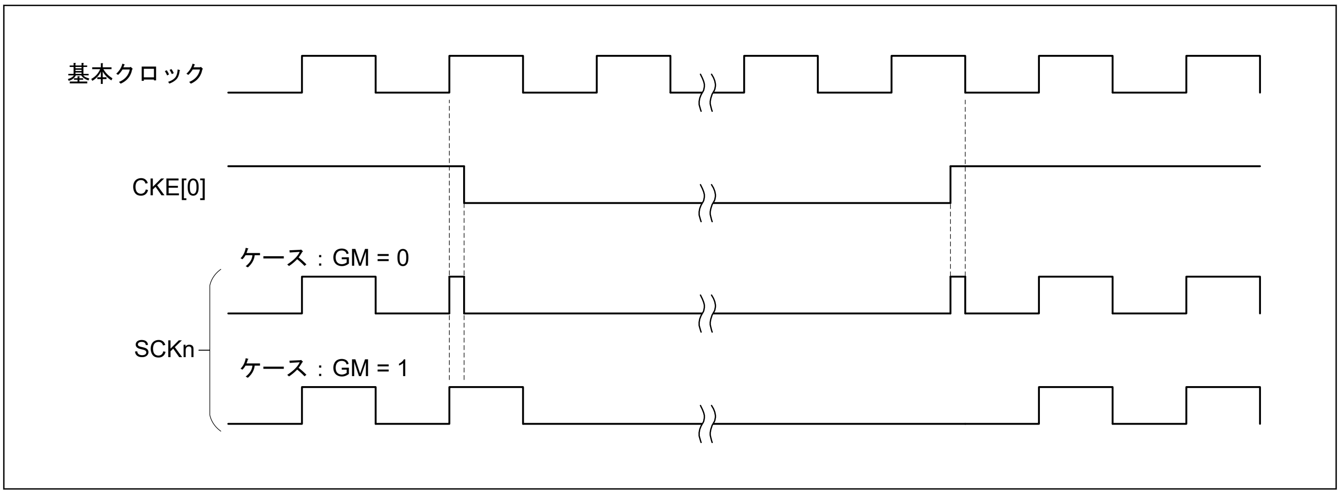


図 24.57　クロック出力固定タイミング

24.7　簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 24.58 に、I^2C バスフォーマットを、図 24.59 に、I^2C バスタイミングを示します。

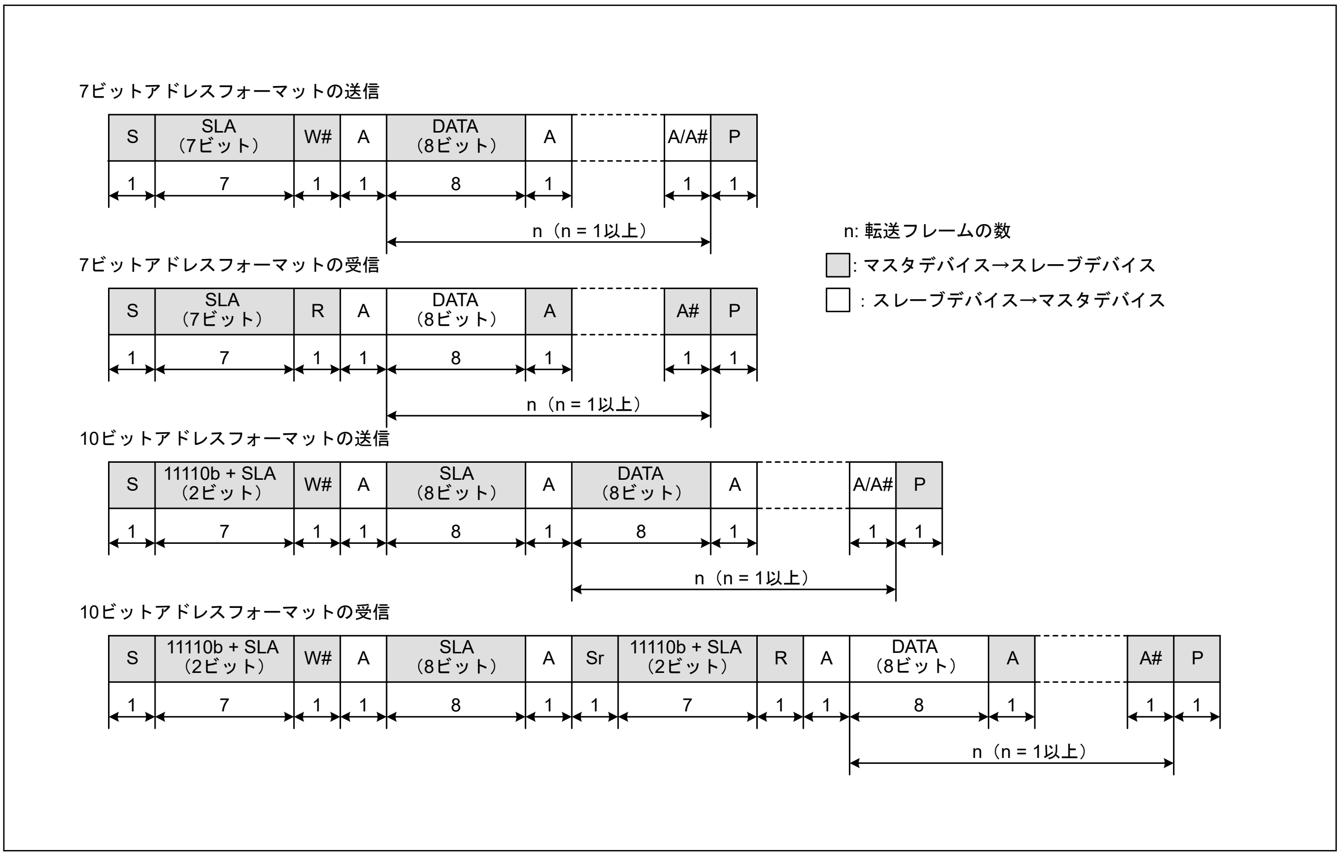


図 24.58　I^2C バスフォーマット

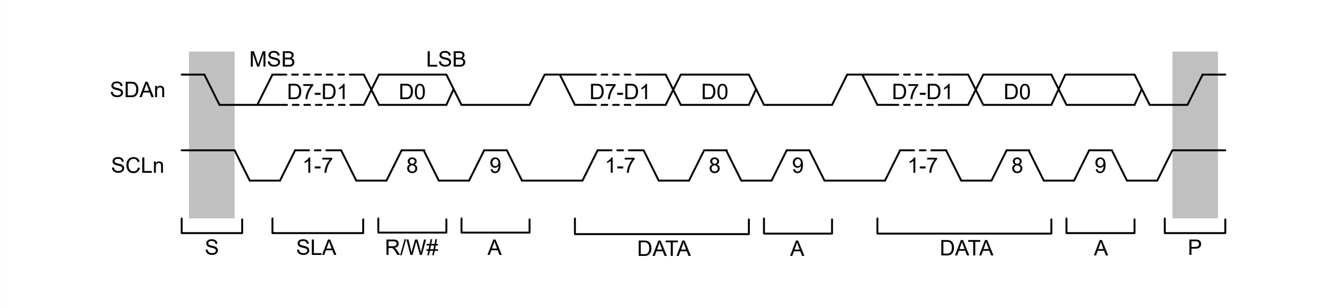


図 24.59　　I²C バスタイミング（SLA = 7 ビットの場合）

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W#: 転送方向（送信／受信）を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

24.7.1　　開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDAn ラインを開放、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDAn ラインを立ち下げ（High から Low へ変化）
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、SIMR3.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定

- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDAn ラインを開放（Low から High へ変化）、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 24.60 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

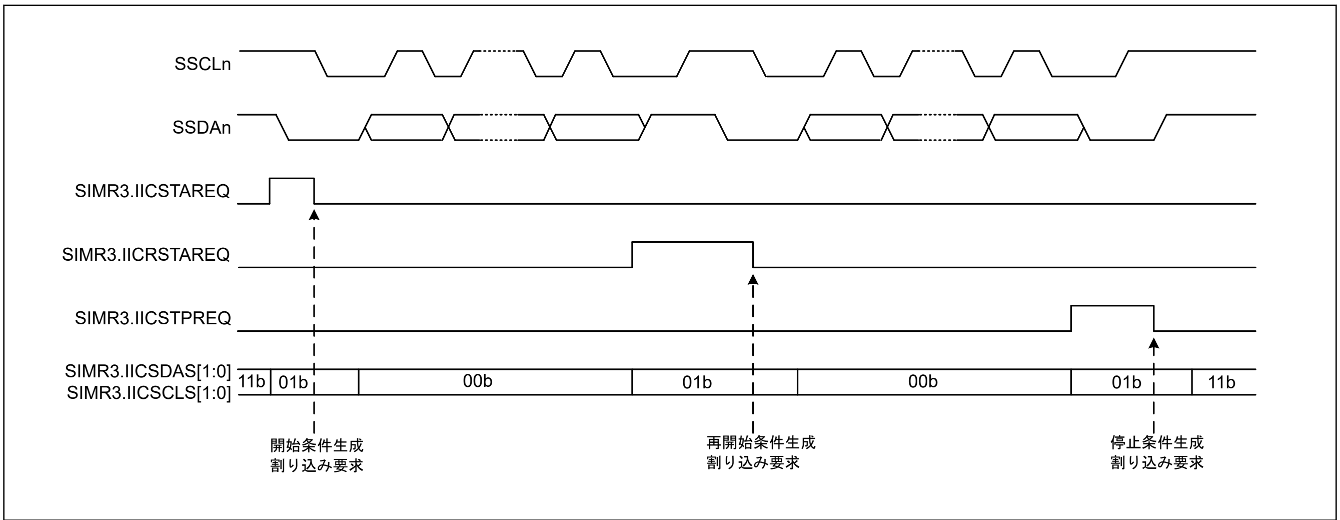


図 24.60 開始条件、再開始条件、停止条件生成の動作タイミング

24.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子出力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開始条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロックが Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 24.61 に、クロック同期化の動作例を示します。

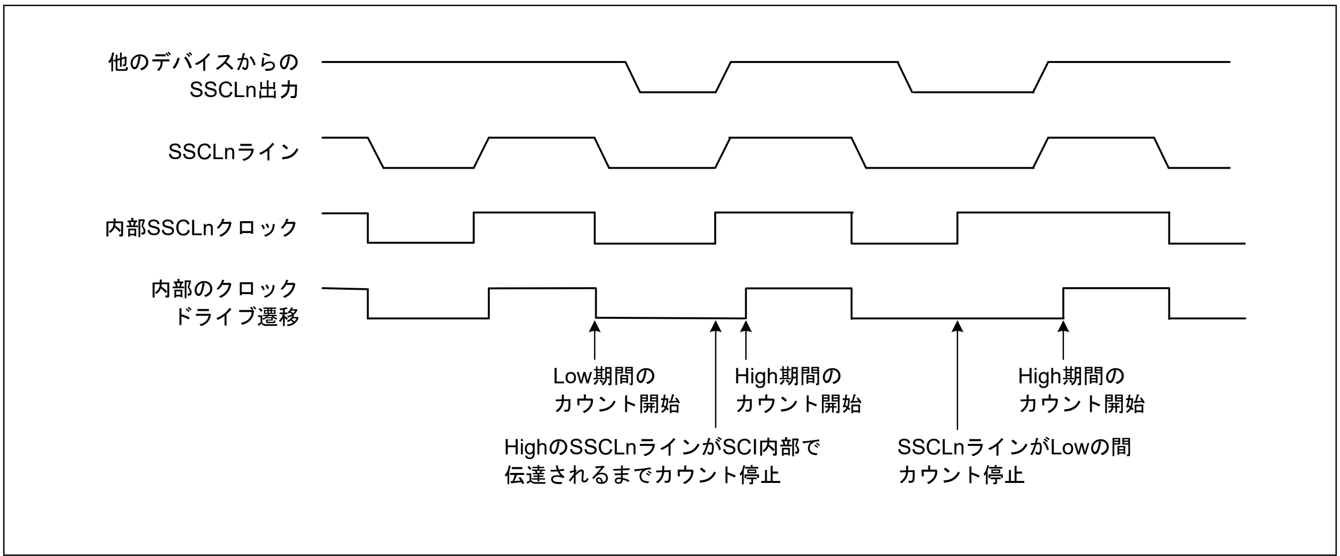


図 24.61 クロック同期化の動作例

24.7.3 SDAn 出力遅延

SIMR1.IICDL[4:0]ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させせることが可能です。遅延時間は 0〜31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します（SMR.CKS[1:0]ビットで選択した分周ベースクロック (PCLK) を基準とします）。SDAn 端子出力の遅延は、開始条件／再開始条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 端子出力遅延は、SCLn 端子出力の立ち下がり時間の最大値（IIC の標準モードとファストモードでは 300 ns）より大きくなるように設定してください。

図 24.62 に、SDAn 出力遅延のタイミングを示します。

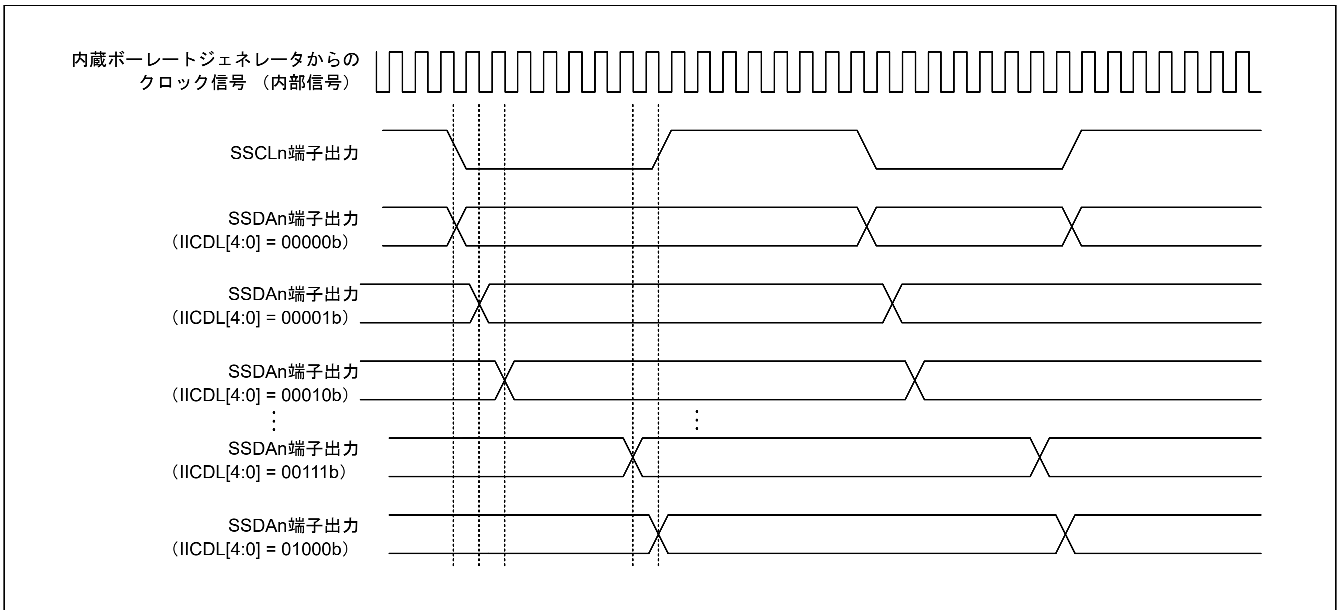


図 24.62 SDAn 出力遅延のタイミング

24.7.4 SCI の初期化（簡易 IIC モード）

データの送受信前に、SCR レジスタに初期値 0x00 を書き込み、表 24.31 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 24.31　簡易 IIC モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	
2	SCR の TIE、RIE、TE、RE、TEIE、および CKE[1:0]ビットを 0 に設定	
3	I/O ポート機能を設定	SSCLn および SSDAn 端子の機能が（N チャネルオープンドレイン出力端子で）使用可能となるように I/O ポートを設定します。
4	SIMR3 の IICSDAS[1:0]ビットと IICSCLS[1:0]ビットを 11b に設定	SSCLn および SSDAn 端子を、開始条件生成を行うときまでハイインピーダンス状態にします。
5	SMR レジスタと SCMR レジスタに送信／受信フォーマットを設定	SMR および SCMR に送信／受信フォーマットを設定します。 SMR では、CKS[1:0]ビットを目的の値にし、その他のビットを 0 にします。 SCMR では、SDIR ビットを 1 にし、SINV ビットと SMIF ビットを 0 にします。
6	BRR に値を設定	BRR レジスタに目的のビットレート値を書き込みます。
7	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットが 0 に設定されている場合、この手順は不要です。
8	SEMR、SNFR、SIMR1、SIMR2、および SPMR に値を設定	SEMR、SNFR、SIMR1、SIMR2、および SPMR に値を設定します。 NFEN ビットと BRME ビットを SEMR に設定します。SNFR に、NFCS[2:0]ビットを設定します。 SIMR1 では、IICM ビットを 1 にし、IICDL[4:0]ビットには必要に応じた値を設定します。 SIMR2 では、IICACKT ビットと IICCSC ビットを 1 にし、IICINTM ビットには必要に応じた値を設定します。 SPMR レジスタでは、すべてのビットを 0 にします。
9	SCR.RE ビットおよび SCR.TE ビットを 1 にし、SCR.TIE ビット、SCR.RIE ビット、および SCR.TEIE ビットを設定	SCR レジスタの RE ビットと TE ビットを 1 にしてください。その後で、SCR.TIE、RIE、TEIE ビットを設定します(送信用で SIMR2.IICINTM ビットが 1 の状態の場合は、RIE ビットを 0 にします)。TE ビットと RE ビットを 1 にすることで、SSCLn および SSDAn 端子の機能が有効となります。
10	送信または受信の開始	

24.7.5　マスタ送信動作（簡易 IIC モード）

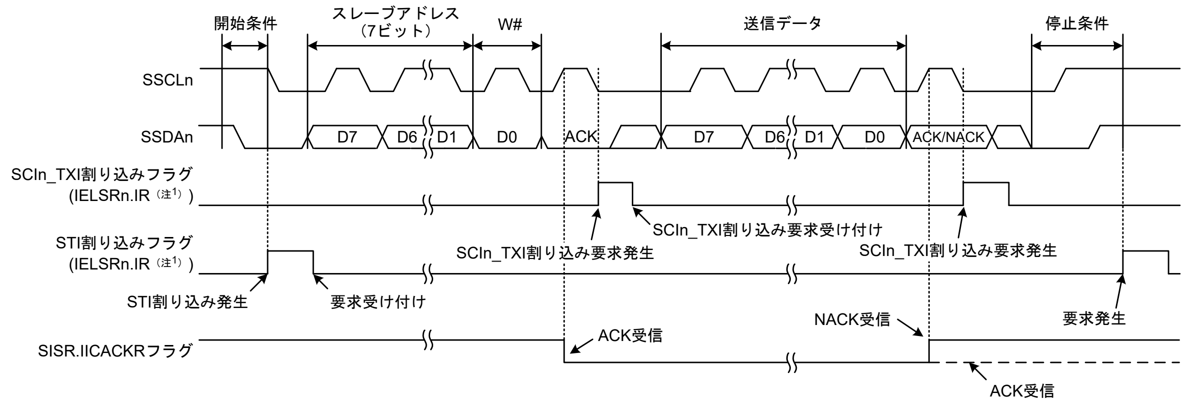
図 24.63 と図 24.64 にマスタ送信の動作例を、図 24.65 にデータ送信のフローチャート例を示します。

図 24.63 に、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）で、かつ SCR.RIE ビットが 0（SCIn_RXI および SCIn_ERI 割り込み要求を禁止）の場合の動作例を示します。

STI 割り込みについては、表 24.36 を参照してください。

図 24.65 に、SIMR2.IICINTM が 1 の状態で、CPU によるアドレス送信と DTC によるデータ送信の場合のフローチャートを示します。10 ビットスレーブアドレス使用時は、［3］と［4］の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



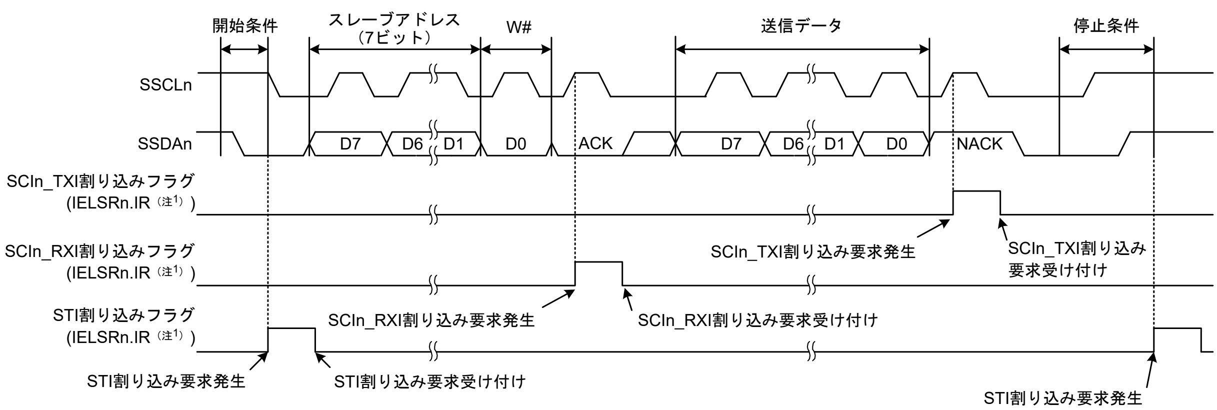
注 1. 対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.63 簡易 IIC モードにおけるマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）

マスタ送信で、SIMR2.IICINTM ビットを 0（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガにして DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

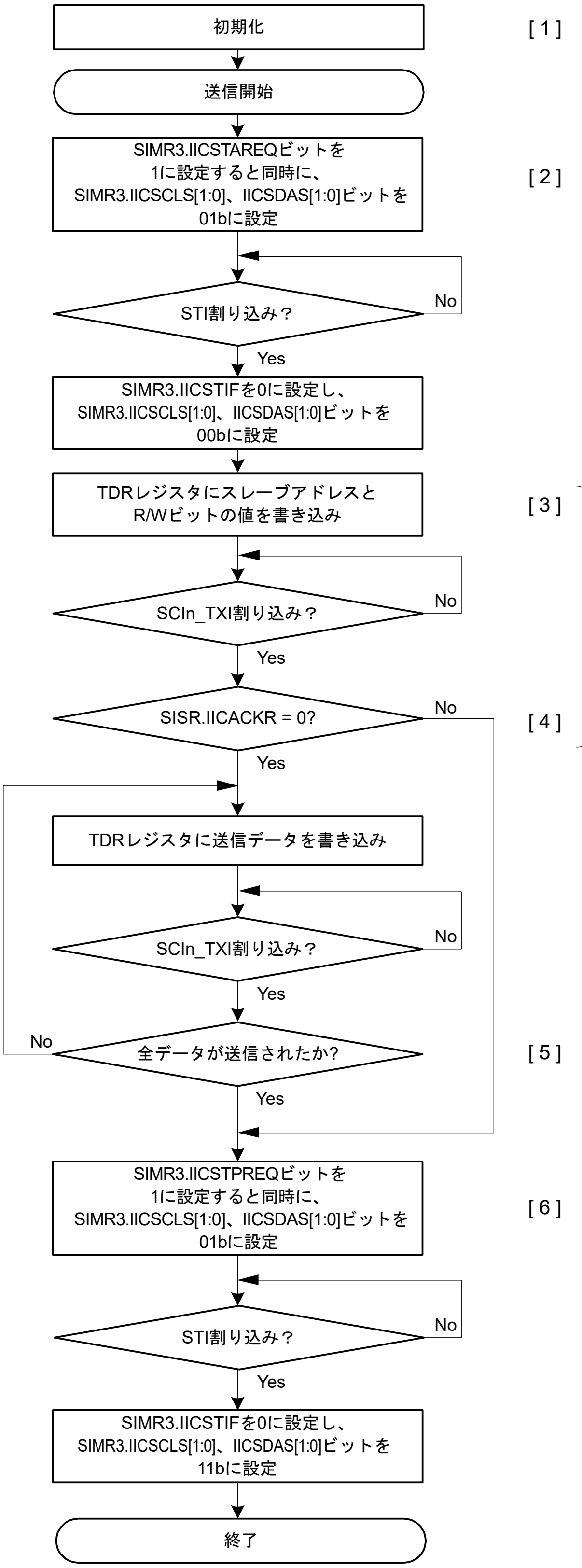
TDR レジスタにデータを書き込んだ後に、何らかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. SCR レジスタの TE、RE ビットを 0 にして通信停止させてください。
2. SIMR3 レジスタに 0xF0 を設定し、I^2C バスを解放し、各条件生成をクリアしてください。
3. SSR レジスタの RDRF フラグが 1 にセットされている場合、RDRF フラグをクリアしてください。
4. SCR レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください。



注 1. 対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.64 簡易 IIC モードにおけるマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時）



[1]　簡易IICモード時の初期化：
送信の場合、SCR.RIEビットを0にしてSCIn_RXIおよびSCIn_ERI割り込みを禁止します。

[2]　開始条件生成

[3]　TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

[4]　スレーブデバイスからのACK応答の確認：
SISR.IICACKRビットを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。値が1の場合、スレーブデバイスからの返信がなく、次の処理として停止条件が生成されます。

10ビットスレーブアドレス使用時は、[3]～[4]の手順を2回繰り返します。

[5]　シリアル送信の継続：
シリアル送信を継続する場合、追加送信データをTDRに書き込みます。最初の送信データを除き、TXI要求を用いてDTCを起動し、TDRにデータを書き込むことができます。

[6] 停止条件生成

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込みが発生します。

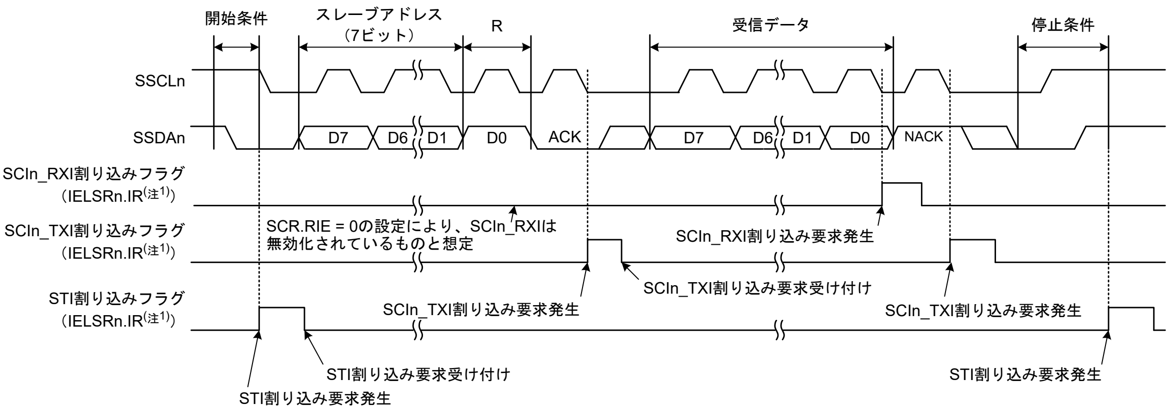
図 24.65　簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

24.7.6　マスタ受信動作（簡易 IIC モード）

図 24.66 に簡易 IIC モードにおけるマスタ受信の動作例を、図 24.67 にマスタ受信のフローチャート例を示します。

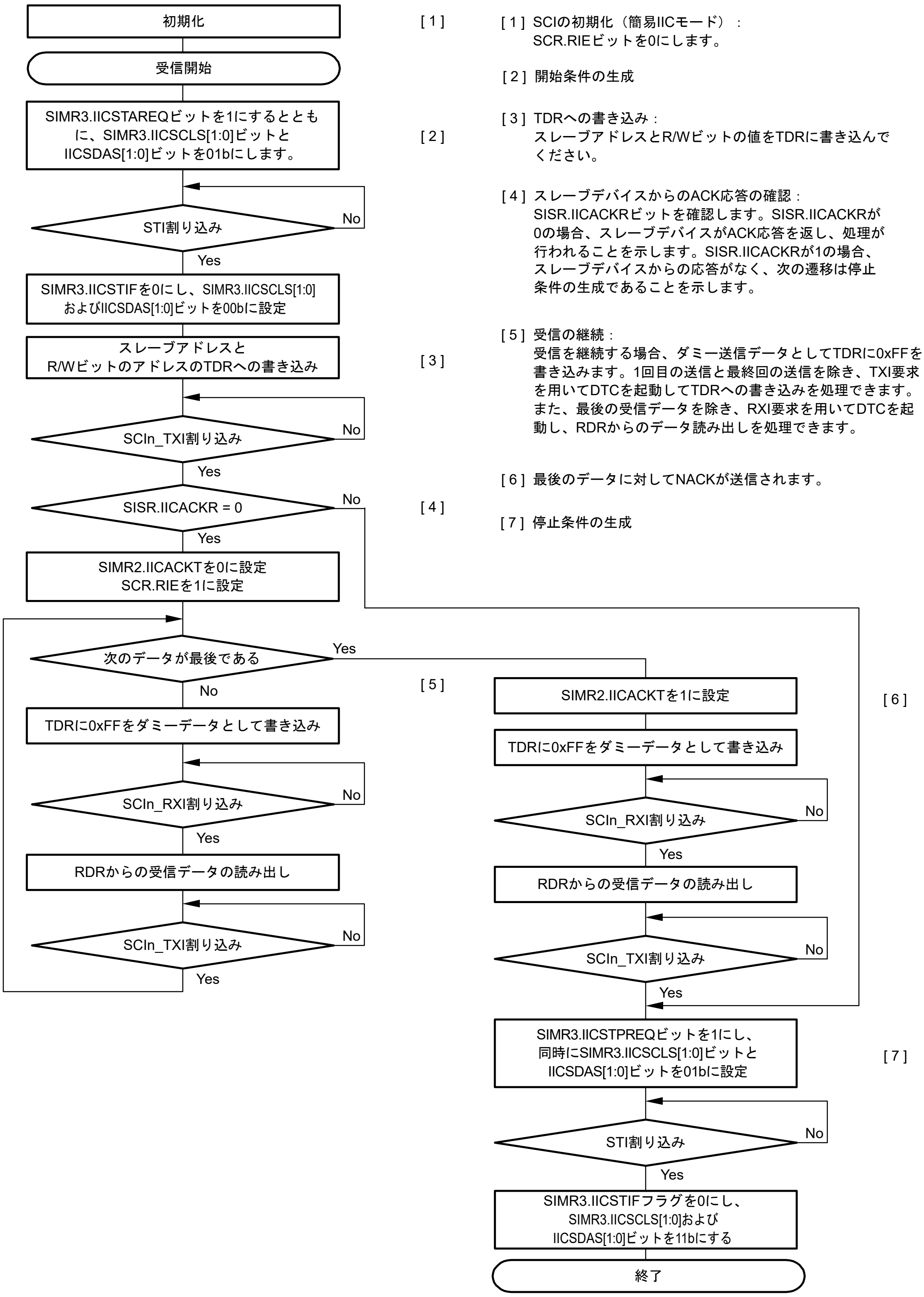
下図では、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.66　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）



[1] SCIの初期化（簡易IICモード）：
SCR.RIEビットを0にします。

[2] 開始条件の生成

[3] TDRへの書き込み：
スレーブアドレスとR/Wビットの値をTDRに書き込んでください。

[4] スレーブデバイスからのACK応答の確認：
SISR.IICACKRビットを確認します。SISR.IICACKRが0の場合、スレーブデバイスがACK応答を返し、処理が行われることを示します。SISR.IICACKRが1の場合、スレーブデバイスからの応答がなく、次の遷移は停止条件の生成であることを示します。

[5] 受信の継続：
受信を継続する場合、ダミー送信データとしてTDRに0xFFを書き込みます。1回目の送信と最終回の送信を除き、TXI要求を用いてDTCを起動してTDRへの書き込みを処理できます。また、最後の受信データを除き、RXI要求を用いてDTCを起動し、RDRからのデータ読み出しを処理できます。

[6] 最後のデータに対してNACKが送信されます。

[7] 停止条件の生成

注. 簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

図 24.67 簡易 IIC モードにおけるマスタ受信のフローチャート例（送信割り込み、受信割り込み使用時）

24.8　簡易 SPI モードの動作

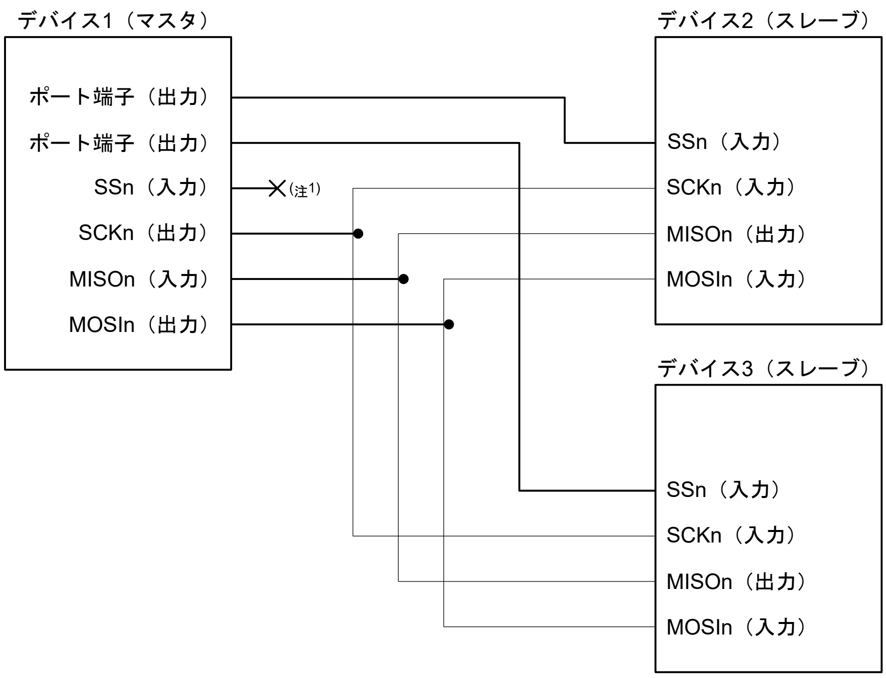
SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定（SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1）を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、構成がシングルマスタのみの場合は、簡易 SPI モードでマスタとして使用されるデバイスの接続に、マスタ側の SSn 端子機能は不要です。よって、そのような場合は、SPMR.SSE ビットを 0 にしてください。

図 24.68 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。



注 1.　SSn 端子入力はシングルマスタシステムでは不要です（インタフェースは SPMR.SSE = 0 の設定で使用されます）。

図 24.68　簡易 SPI モードでの接続例（シングルマスタ時、SPMR.SSE ビット = 0）

24.8.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0）と、スレーブモード（SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1）で、各端子の入出力方向が異なります。

表 24.32 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 24.32 モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High（通信可能）	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High レベル（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low レベル（通信可能）	受信データ入力	送信データ出力	クロック入力

注 1. シングルマスタ構成（SPMR.SSE = 0）のみの場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。
注 2. シリアル送信禁止（SCR.TE ビット = 0）の場合、MOSIn 端子出力はハイインピーダンスです。
注 3. マルチマスタ構成 (SPMR.SSE = 1) では、シリアル送受信禁止 (SCR.TE = 0 および SCR.RE = 0) の場合、SCKn 端子出力はハイインピーダンスです。

24.8.2 マスタモード時の SS 機能

SCR.CKE[1:0]ビットを 00b または 01b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成（SPMR.SSE ビット = 0）では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成（SPMR.SSE ビット = 1）において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成（SPMR.SSE ビット = 1）において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

24.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0]ビットを 10b または 11b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。なお、内部的な送信または受信処理は、SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作が停止して、割り込み（SCIn_TXI、SCIn_RXI、SCIn_TEI のいずれか）が発生します。

24.8.4 クロックと送受信データの関係

SPMR レジスタの CKPOL ビットと CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 24.69 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

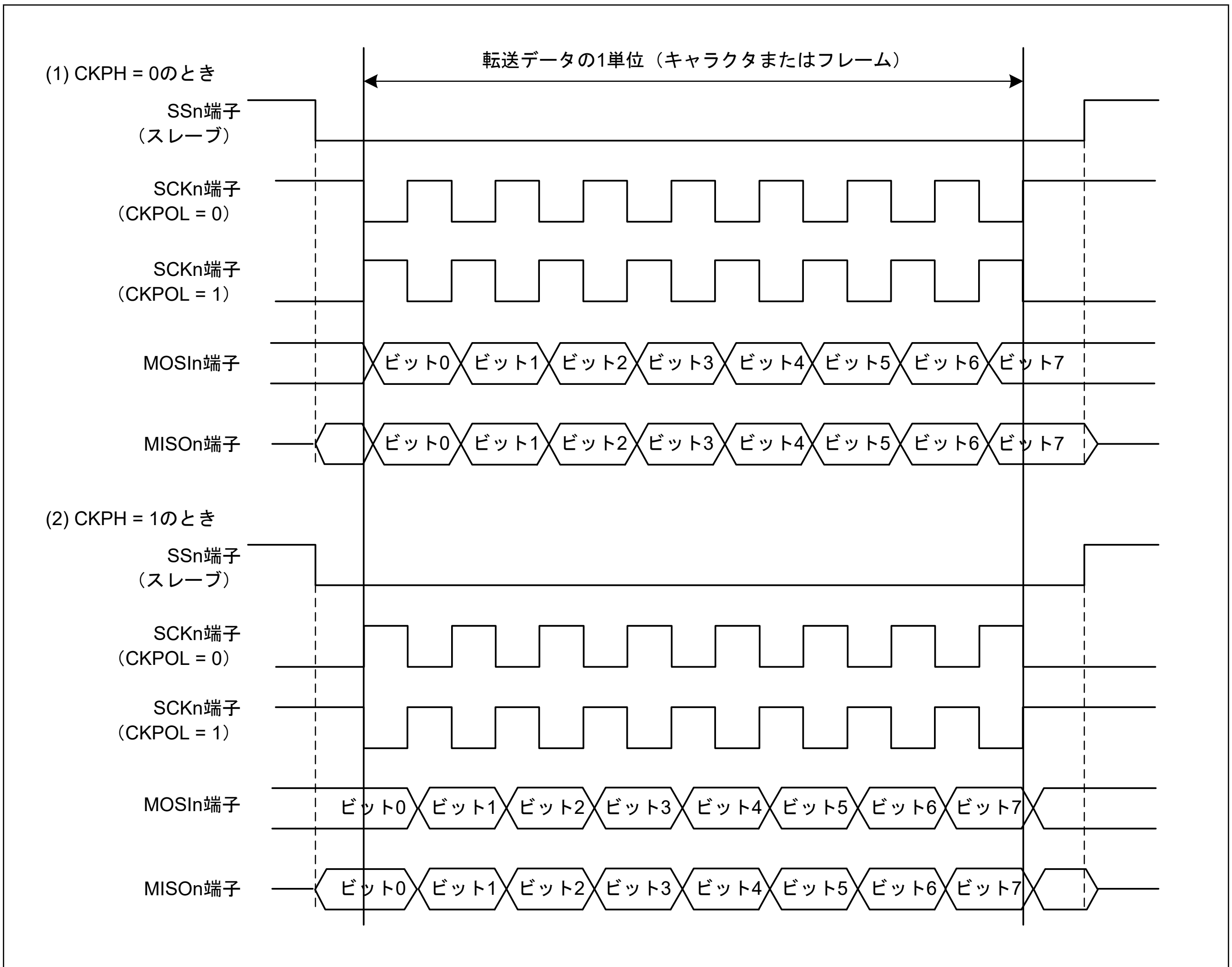


図 24.69　　簡易 SPI モードにおけるクロックと送受信データの関係

24.8.5　　SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「24.5.3. SCI の初期化（クロック同期式モード）」を参照してください。SPMR レジスタの CKPOL ビットと CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注.　　0 になるのは RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。

SCR レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn_TXI) が発生します。

24.8.6　　シリアルデータの送受信（簡易 SPI モード）

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

24.9　　ビットレート変調機能

ビットレート変調機能では、SMR/SMR_SMCI レジスタの CKS[1:0]ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLK が SMR/SMR_SMCI レジスタの CKS[1:0]ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 24.70 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注.　内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定（SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0）では、この機能を使用しないでください。

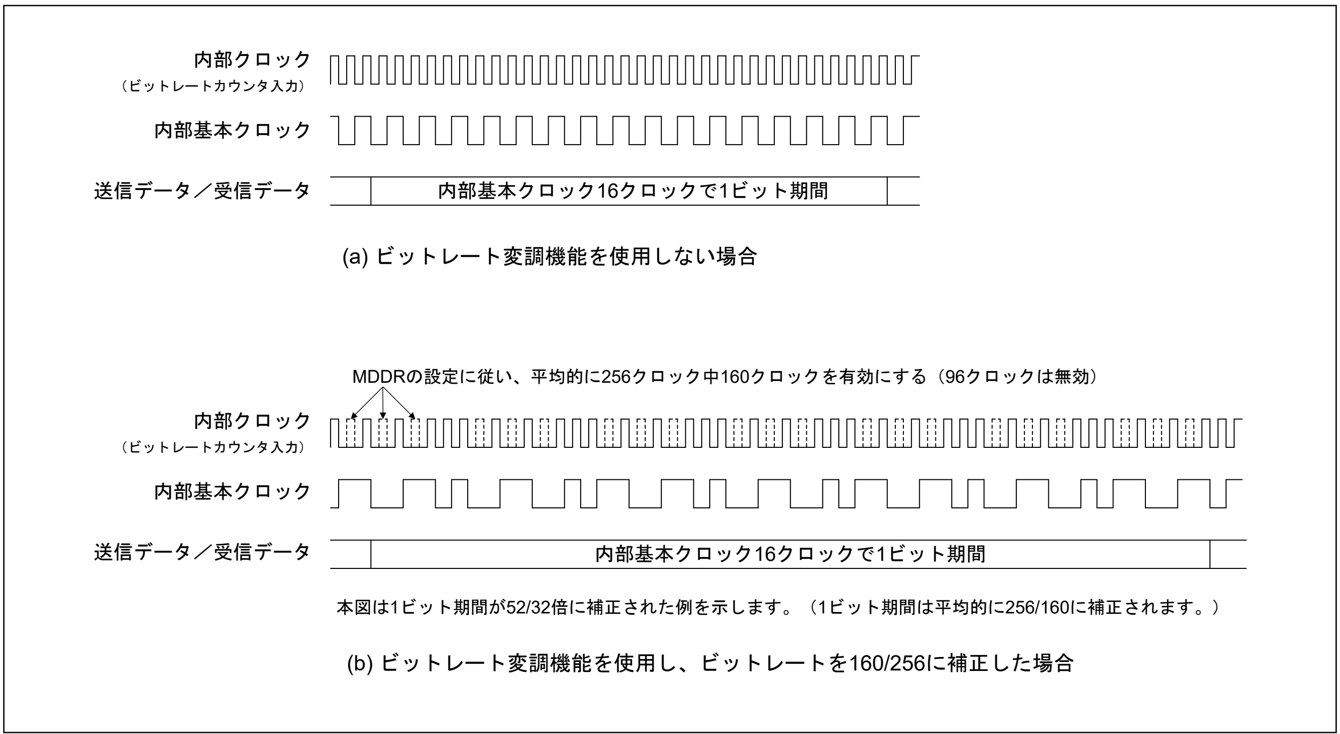


図 24.70　ビットレート変調機能使用時の内部基本クロックの例

24.10　割り込み要因

24.10.1　SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します（内部で保存できる容量は、1 要因ごとに 1 要求まででです）。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット（SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット）をクリアすることでも破棄できます。

24.10.2　SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）

ICU の割り込みステータスフラグを 1 にすると、SCIn_TXI 割り込みと SCIn_RXI 割り込みは、ICU に対して割り込み要求を出力しません。ICU の割り込みステータスフラグを 0 にした場合に、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

24.10.3　調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 24.33 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可／禁止することができます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ(注1)から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビ

ットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ(注1)に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ(注1)にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR レジスタの ORER、FER、PER のいずれかのフラグを 1 にすると、SCIn_ERI 割り込み要求が発生します。

このとき、SCIn_RXI 割り込み要求は発生しません。これら全てのフラグ（ORER、FER、PER）のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

注 1.　調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。
注 2.　最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

(2) FIFO 選択時

表 24.34 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG で指示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることでも発生します。または、SCR.TE ビットが 1 のときに SCR.TIE ビットを 1 にしても発生します。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生します。
SSR_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

表 24.33　SCI の割り込み要因（非 FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI (n = 0～2, 9)	受信エラー(注1)	SSR.ORER、SSR.FER、SSR.PER、DCCR.DFER、DCCR.DPER	SCR.RIE	不可
SCIn_RXI (n = 0～2, 9)	受信データフル	SSR.RDRF	SCR.RIE	可能
	アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 0～2, 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI (n = 0～2, 9)	受信データエンプティ	SSR.TDRE	SCR.TIE	可能
SCIn_TEI (n = 0～2, 9)	送信完了	SSR.TEND	SCR.TEIE	不可

注 1.　割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードのみです。

表 24.34　SCI の割り込み要因（FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI (n = 0～2, 9)	受信エラー(注1)	SSR_FIFO.ORER, SSR_FIFO.FER, SSR_FIFO.PER, DCCR.DFER, DCCR.DPER	SCR.RIE	不可
		SSR_FIFO.DR （FCR.DRES = 1 の場合）	SCR.RIE	不可
SCIn_RXI (n = 0～2, 9)	受信データフル	SSR_FIFO.RDF	SCR.RIE	可能
	受信データレディ	SSR_FIFO.DR （FCR.DRES = 0 の場合）	SCR.RIE	可能
	アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 0～2, 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI (n = 0～2, 9)	受信データエンプティ	SSR_FIFO.TDFE	SCR.TIE	可能
SCIn_TEI (n = 0～2, 9)	送信完了	SSR_FIFO.TEND	SCR.TEIE	不可

注 1.　割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードのみです。

24.10.4　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 24.35 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 24.35　SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI (n = 0～2, 9)	受信エラー、エラーシグナル検出	SSR_SMCI.ORER, SSR_SMCI.PER, SSR_SMCI.ERS	SCR_SMCI.RIE	不可
SCIn_RXI (n = 0～2, 9)	受信データフル	SSR_SMCI.RDRF	SCR_SMCI.RIE	可能
SCIn_TXI (n = 0～2, 9)	送信データエンプティ	SSR_SMCI.TEND	SCR_SMCI.TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC を使用した送受信が可能です。送信時に SSR_SMCI.TEND フラグが 1 であれば、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 になりません。そのため、あらかじめ SCR_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。DTC の設定方法については、「15. データトランスファコントローラ (DTC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

24.10.5　簡易 IIC モードにおける割り込み

表 24.36 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき：

- SCLn 信号の 8 ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9 ビット目（アクノリッジビット）の立ち下がりエッジで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき：

- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、または停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 24.36　SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_RXI (n = 0～2, 9)	受信、ACK 検出	—	SCMR.RIE	可能(注1)
SCIn_TXI (n = 0～2, 9)	送信、NACK 検出	—	SCMR.TIE	可能
SCIn_TEI (STIn) (n = 0～2, 9)	開始条件、再開始条件、または停止条件の生成完了	SIMR3.IICSTIF	SCMR.TEIE	不可

注 1.　SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合にのみ、DTC の起動が可能です。

24.11　イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントトは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1)　エラーイベント出力（受信エラーまたはエラーシグナル検出時）（SCIn_ERI、n = 0～2, 9）

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO レジスタの FER フラグと PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15 etu 経過したことを示します。

(2)　受信データフルイベント出力（SCIn_RXI、n = 0～2, 9）

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

非 FIFO 選択時

- 受信データが受信データレジスタ（RDR または RDRHL）に格納されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(3)　送信データエンプティイベント出力（SCIn_TXI、n = 0〜2, 9）

- SCR/SCR_SMCI.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。

非 FIFO 選択時

- 送信データが送信データレジスタ（TDR または TDRHL）から送信シフトレジスタ (TSR) へ転送されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(4)　送信終了イベント出力（SCIn_TEI、n = 0〜2, 9）

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します。

注.　FIFO が選択されている場合、このイベント出力は使用しないでください。

(5)　アドレス一致イベント出力（SCIn_AM、n = 0〜2, 9）

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致したことを示します。

24.12　アドレス不一致イベント出力 (SCI0_DCUF)

調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。詳細は、「10. 低消費電力モード」を参照してください。

24.13　ノイズ除去機能

図 24.71 にノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路に取り込まれます。

- SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。

- SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- SEMR.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ボーレートジェネレータの分周クロックの設定 SNFR.NFCS[2:0]ビットから選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

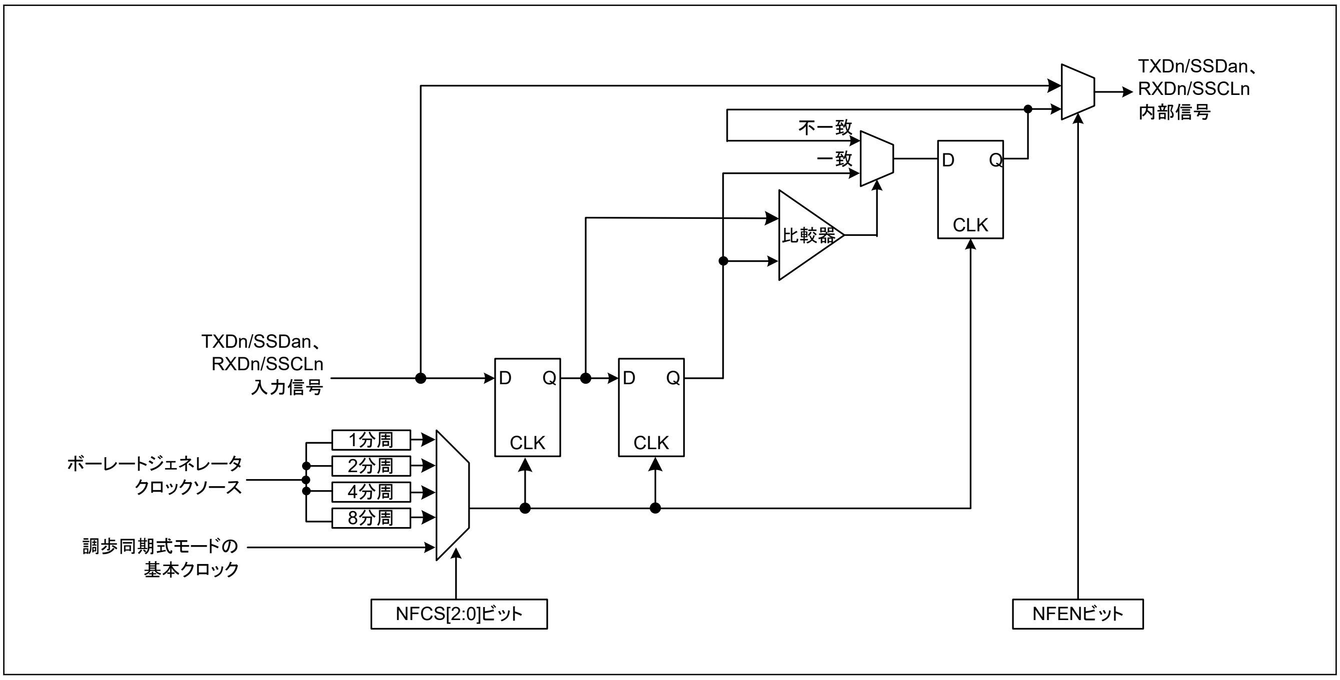


図 24.71 デジタルノイズフィルタ回路のブロック図

24.14 使用上の注意

24.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止／許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

24.14.2 低消費電力状態での SCI の動作について

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止（SCR/SCR_SMCI レジスタの TIE、TE、TEIE ビットを 0）にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR_SMCI レジスタの TEND ビットは、1 にリセットされます（非 FIFO 選択時）。また、FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードから復帰した後の出力端子の状態は、ポートの設定と SPTR レジスタの設定に依存し、低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。

2. SSR/SSR_FIFO/SSR_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 24.72 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 24.73 と図 24.74 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に送信動作を停止 (TE = 0) にしてください。低消費電力状態の解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn_TXI 割り込みフラグが 1 になり、DTC による送信が開始します。

(2) 受信

ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に受信動作を停止 (SCR/SCR_SMCI.RE = 0) にしてください。データ受信中に遷移すると、受信中のデータは無効になります。

図 24.75 に、受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXDn) が Low であれば、SEMR.RXDESEL を 0 にしてください。

SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット（RXDn 端子の立ち下がり）が検出されない可能性があります。

図 24.76 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフロー例を示します。

SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は「10. 低消費電力モード」を参照してください。

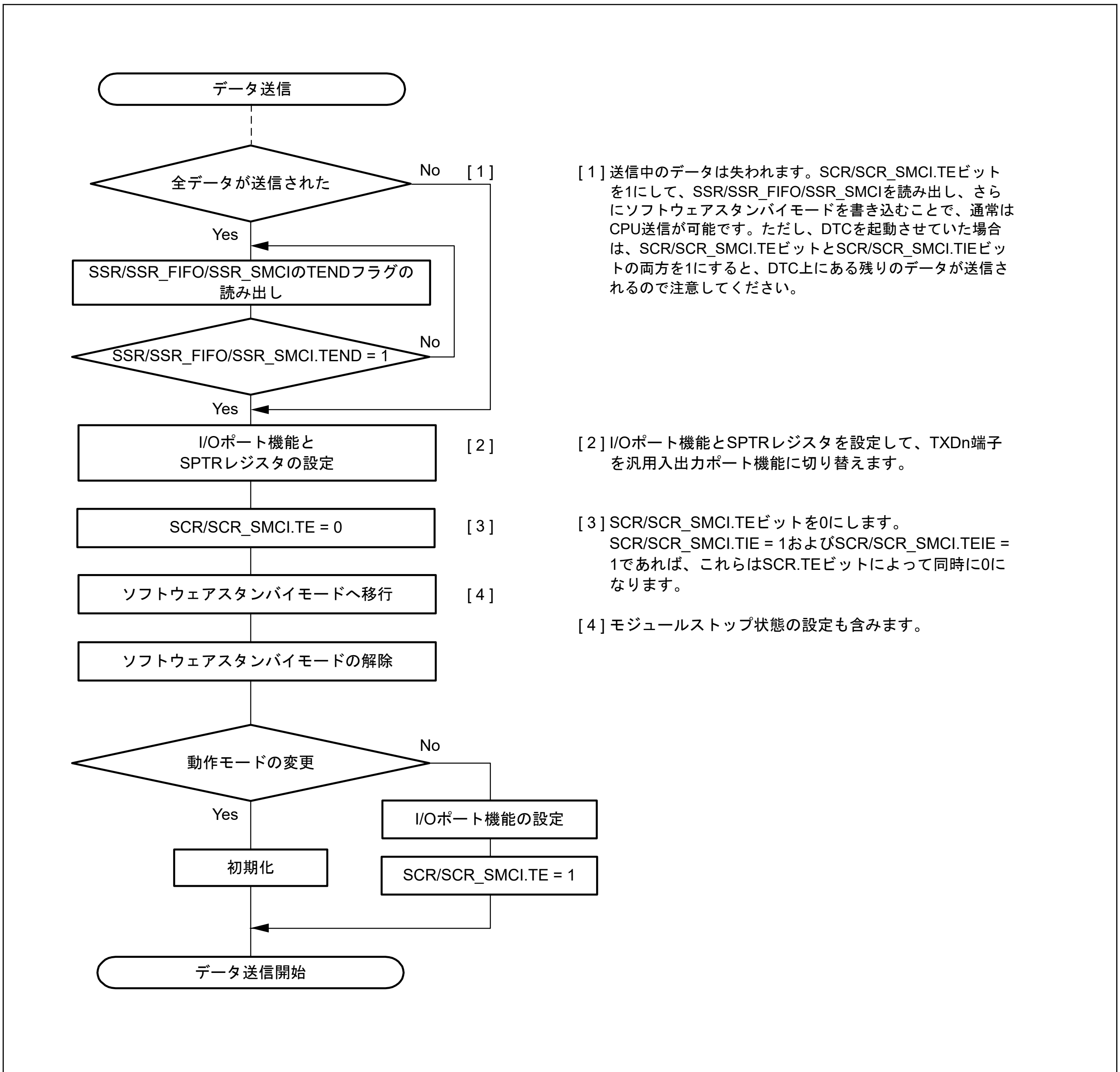


図 24.72　　送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

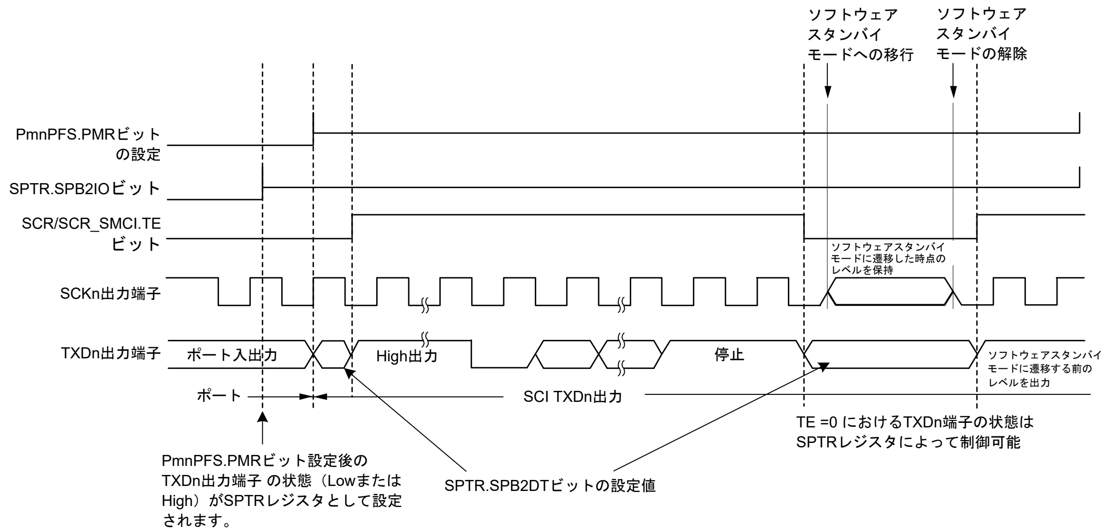


図 24.73　　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、調歩同期式送信）

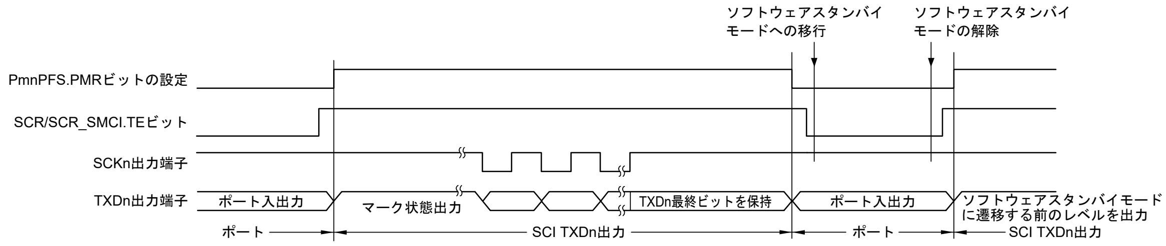


図 24.74　　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、クロック同期式送信）

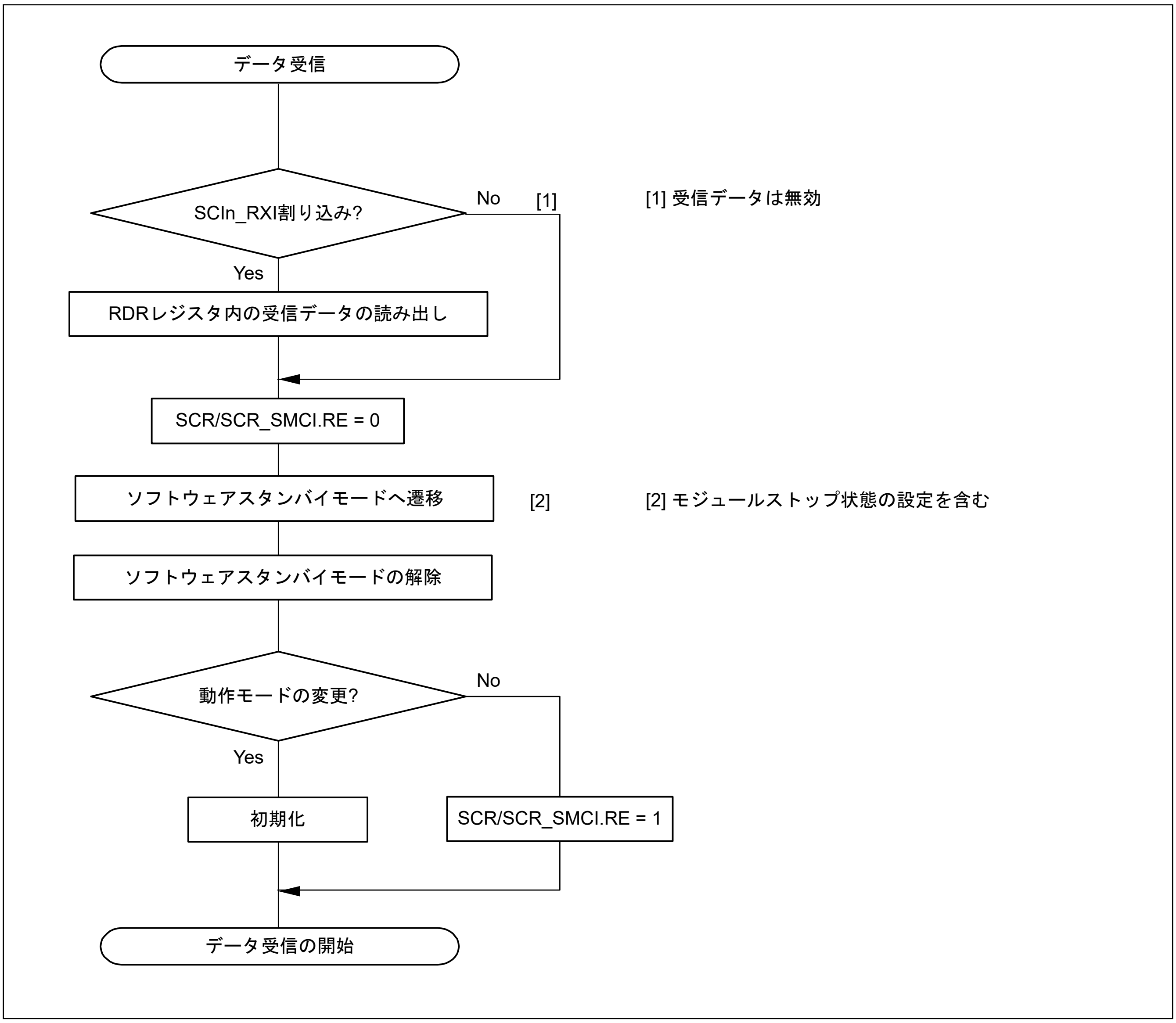


図 24.75　　受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

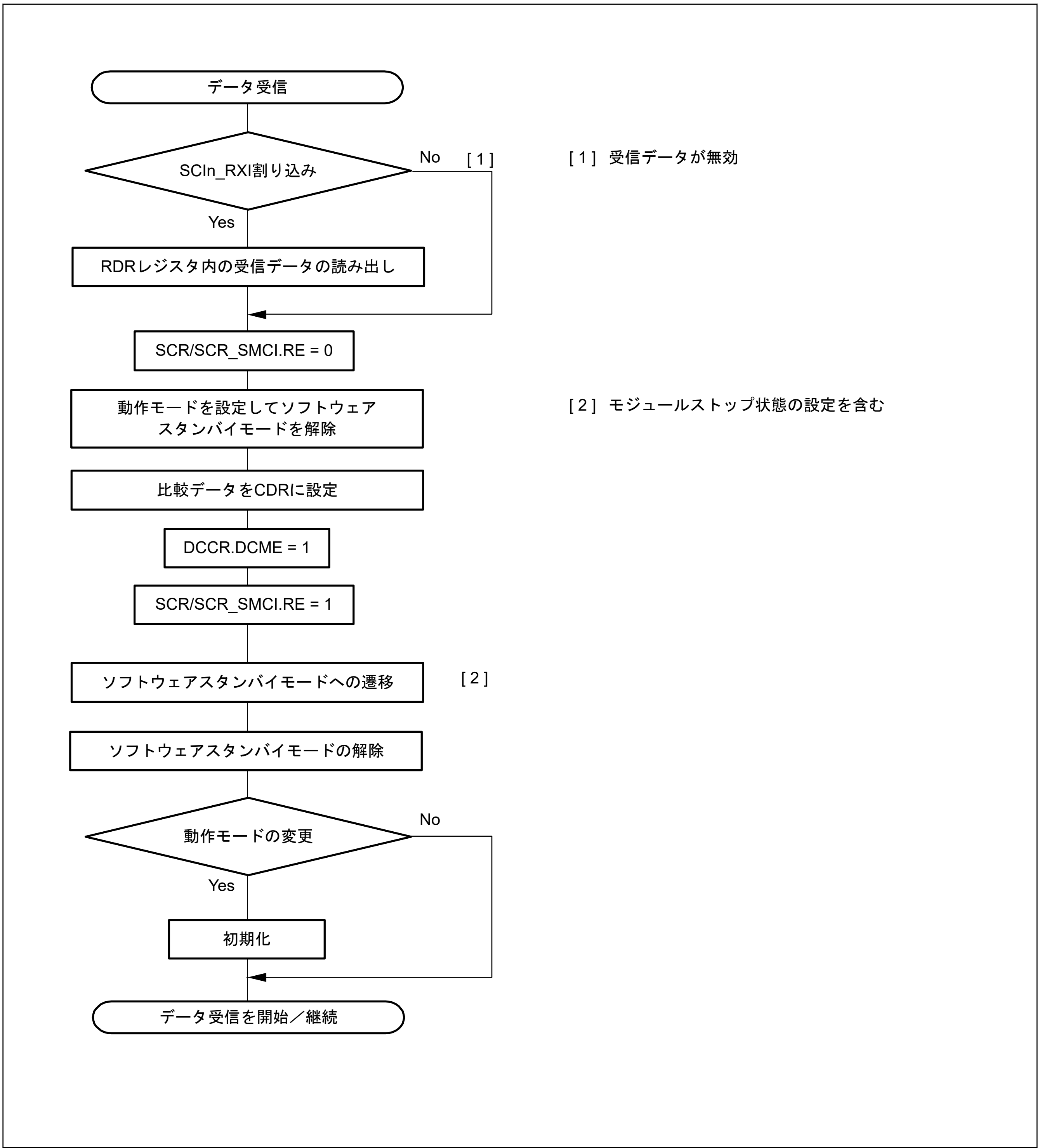


図 24.76　　アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

24.14.3　　ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに SSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデ

ータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON フラグの値を読み出すことでブレークの検出が可能です。RXDn 信号が High になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

24.14.4 マーク状態とブレークの送出

SCR/SCR_SMCI.TE ビットが 0（シリアル送信動作を禁止）のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にして、ブレークを送出できます。

SCR/SCR_SMCI.TE ビットを 1（シリアル送信動作を許可）にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態（1 の状態）に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

24.14.5 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ (SSR/SSR_FIFO.ORER) が 1 の状態では、TDR または FTDRL(注1)レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. SCR/SCR_SMCI.RE ビットを 0（シリアル受信動作を禁止）にしても、受信エラーフラグは 0 になりません。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

24.14.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

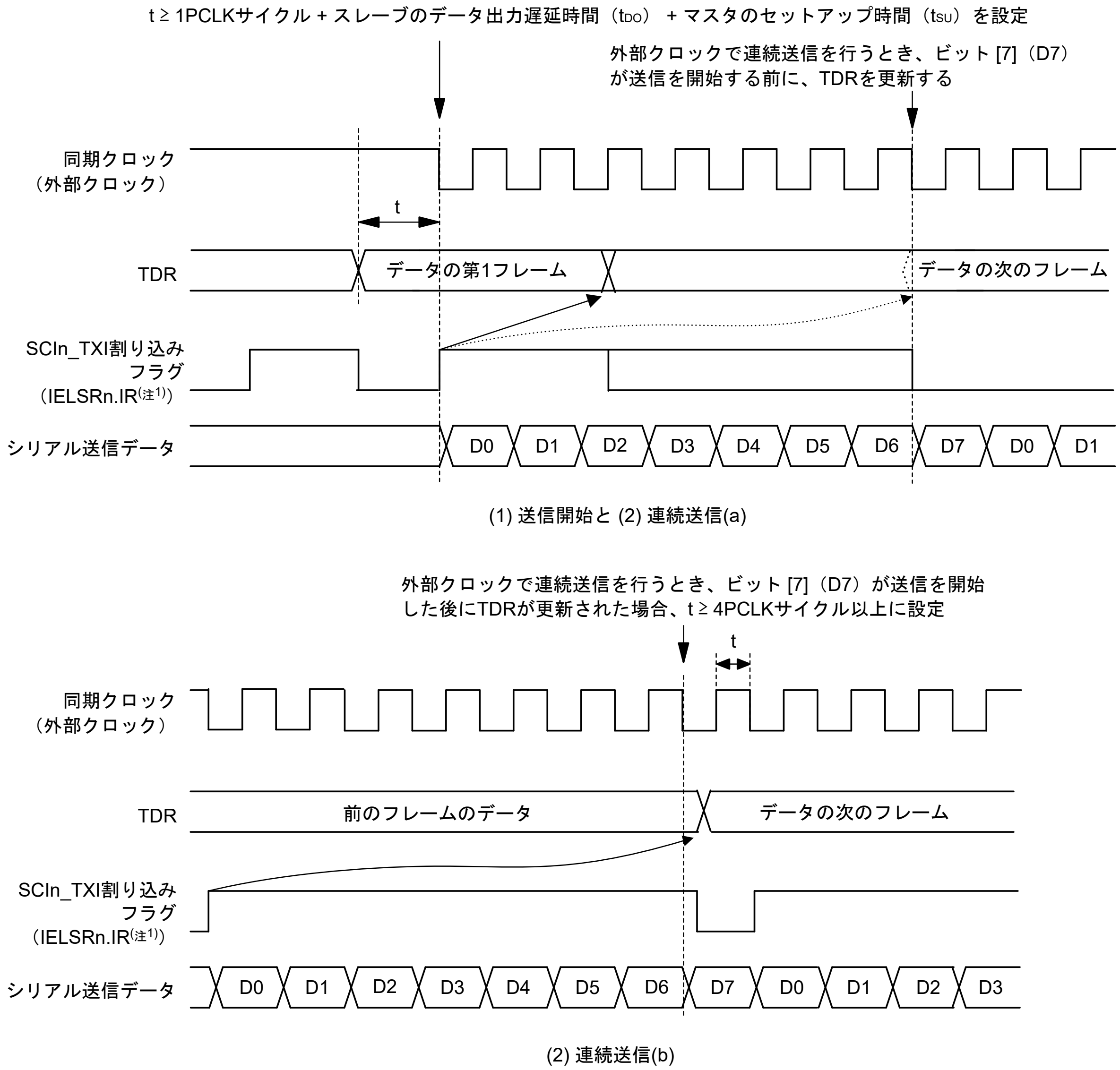
TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

1PCLK + スレーブのデータ出力遅延時間 (t_{DO}) + マスタのセットアップ時間 (t_{SU}) 図 24.77 を参照してください。

(2) 連続送信時

送信クロックのビット[7]の立ち下がりエッジ以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください。図 24.77 を参照してください。

ビット[7]送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLK サイクル以上にしてください。図 24.77 を参照してください。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.77　クロック同期式送信時の外部クロック使用に関する制約事項

24.14.7　DTC 使用時の制約事項

DTC による送受信動作中は、DTC に転送データを設定しないでください。

(1)　TDR (FTDRHL) レジスタへの書き込み

非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR (FRDRHL) レジスタからの読み出し

DTC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCIn_RXI) を設定してください。

24.14.8 通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ（IELSRn.IR フラグ）が 1 のときは、動作許可（SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットを 1）にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

1. 通信が停止していること（SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること）を確認します。
2. 対応する割り込み許可ビット（SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット）を 0 にします。
3. 対応する割り込み許可ビット（SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット）を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ（IELSRn.IR フラグ）を 0 にします。

24.14.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCKn 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLK 以上、周期は 6PCLK 以上

24.14.10 簡易 SPI モードに関する制限事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。

  これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり（SPMR.CKPH ビット = 1）では、図 24.78 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。SCR レジスタの TE ビットと RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

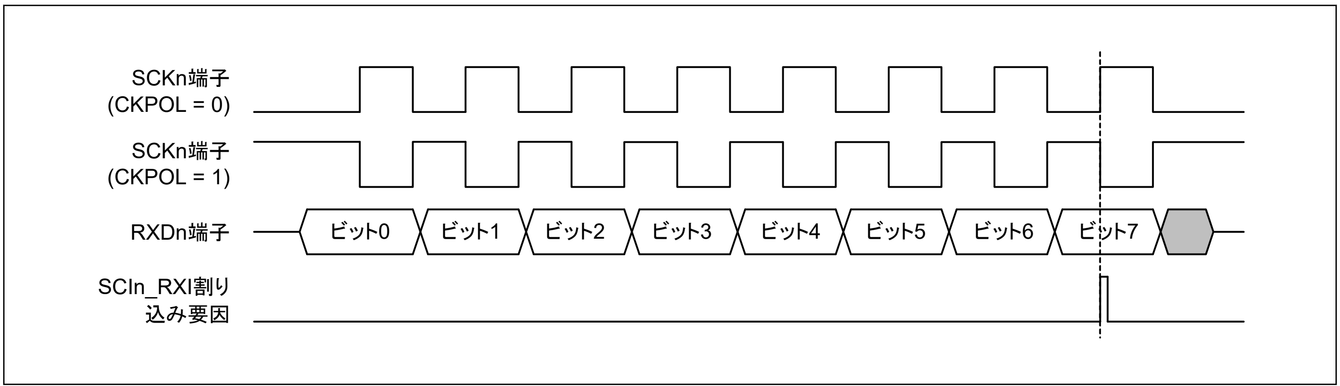


図 24.78 簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング（クロック遅れあり）

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

  1PCLK + スレーブのデータ出力遅延時間 (t_{DO}) + マスタのセットアップ時間 (t_{SU})

  また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、5PCLK 以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

24.14.11 送信許可ビット (SCR.TE) に関する注意事項

SCR.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. SCR.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、SCR.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードにおいて SCR.TE ビットが 0 の場合に、SPTR を設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISOn 端子は上記 TXDn 端子と同様の動作をします。MISOn 端子は TXDn 端子と同様に、上記の 1.と 2.により、ハイインピーダンスにしないでください。

24.14.12 調歩同期式モードで RTS 機能を使用した時の受信の停止について

調歩同期式モードにおいて、SCR.RE ビットを 0 に設定してから RTS 信号ジェネレータを停止するまでに PCLK の 1 クロックサイクルが必要です。

SCR.RE ビットを 0 に設定した後で RDR（または RDRL）レジスタから読み出すときは、これら 2 つの処理が続けて実行されることを防ぐために、RDR（または RDRL）レジスタから読み出す前に RE が 0 に設定されていることを確認してください。

25. I²C バスインタフェース (IIC)

25.1 概要

I²C バスインタフェース (IIC) は 1 チャネルあります。IIC は、NXP 社の I²C バス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を備えています。

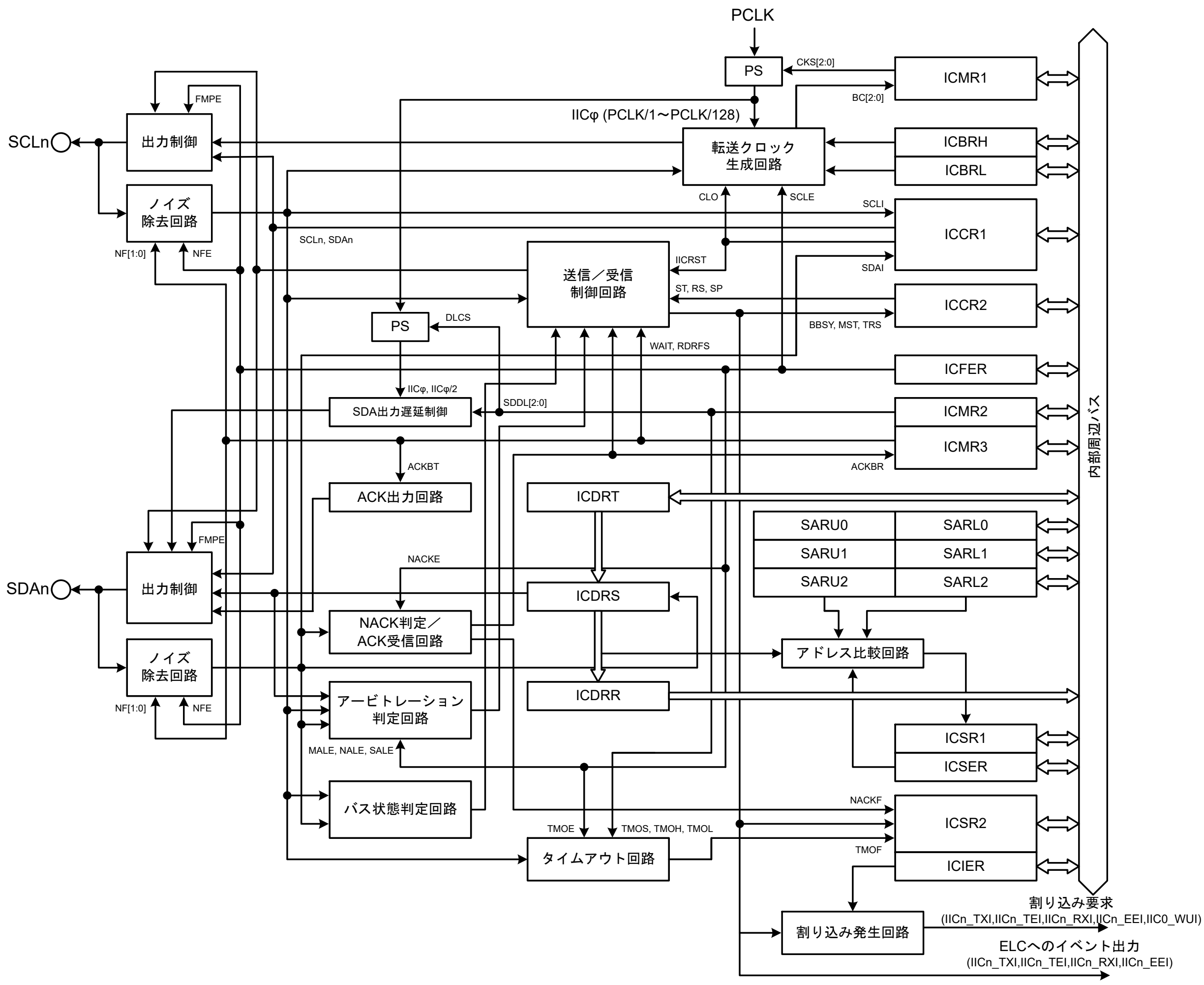
表 25.1 に IIC の仕様を、図 25.1 に IIC のブロック図を、図 25.2 に入出力端子の外部回路接続例（I²C バス構成例）を示します。表 25.2 に IIC の入出力端子を示します。

表 25.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	● I²C バスフォーマットまたは SMBus フォーマット ● マスタ／スレーブモードを選択可能 ● 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	● ファストモード対応（～400 kbps）
SCL クロック	マスタ動作時、SCL クロックのデューティー比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	● スタートコンディション／リスタートコンディション／ストップコンディションの自動生成 ● スタートコンディション（リスタートコンディション含む）／ストップコンディションの検出が可能
スレーブアドレス	● 異なるスレーブアドレスを 3 種類まで設定可能 ● 7 ビット／10 ビットアドレスフォーマット対応（混在可能） ● ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	● 送信時、アクノリッジビットの自動ロード ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 ● 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能： ● 8 クロック目と 9 クロック目の間をウェイト ● 9 クロック目と次転送の 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	● マルチマスタ対応 – 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 – スタートコンディション発行がバスで競合した場合、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 – マスタ動作時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 ● バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能（スタートコンディションの二重発行防止） ● ノットアクノリッジビット送信時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 ● スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	● SCL および SDA 信号用のデジタルノイズフィルタ ● フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	● 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション ● 受信データフル（スレーブアドレス一致時含む） ● 送信データエンプティ（スレーブアドレス一致時含む） ● 送信終了
モジュールストップ機能	モジュールストップ状態を設定して消費電力の削減が可能
IIC の動作モード	● マスタ送信 ● マスタ受信 ● スレーブ送信 ● スレーブ受信

表 25.1　　IIC の仕様 (2/2)

項目	内容
イベントリンク機能（出力）	● 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション ● 受信データフル（スレーブアドレス一致時含む） ● 送信データエンプティ（スレーブアドレス一致時含む） ● 送信終了
ウェイクアップ機能	CPU はウェイクアップイベントを使用して、ソフトウェアスタンバイモードから復帰可能



注.　n = 0
PCLK = PCLKB

図 25.1　　IIC のブロック図

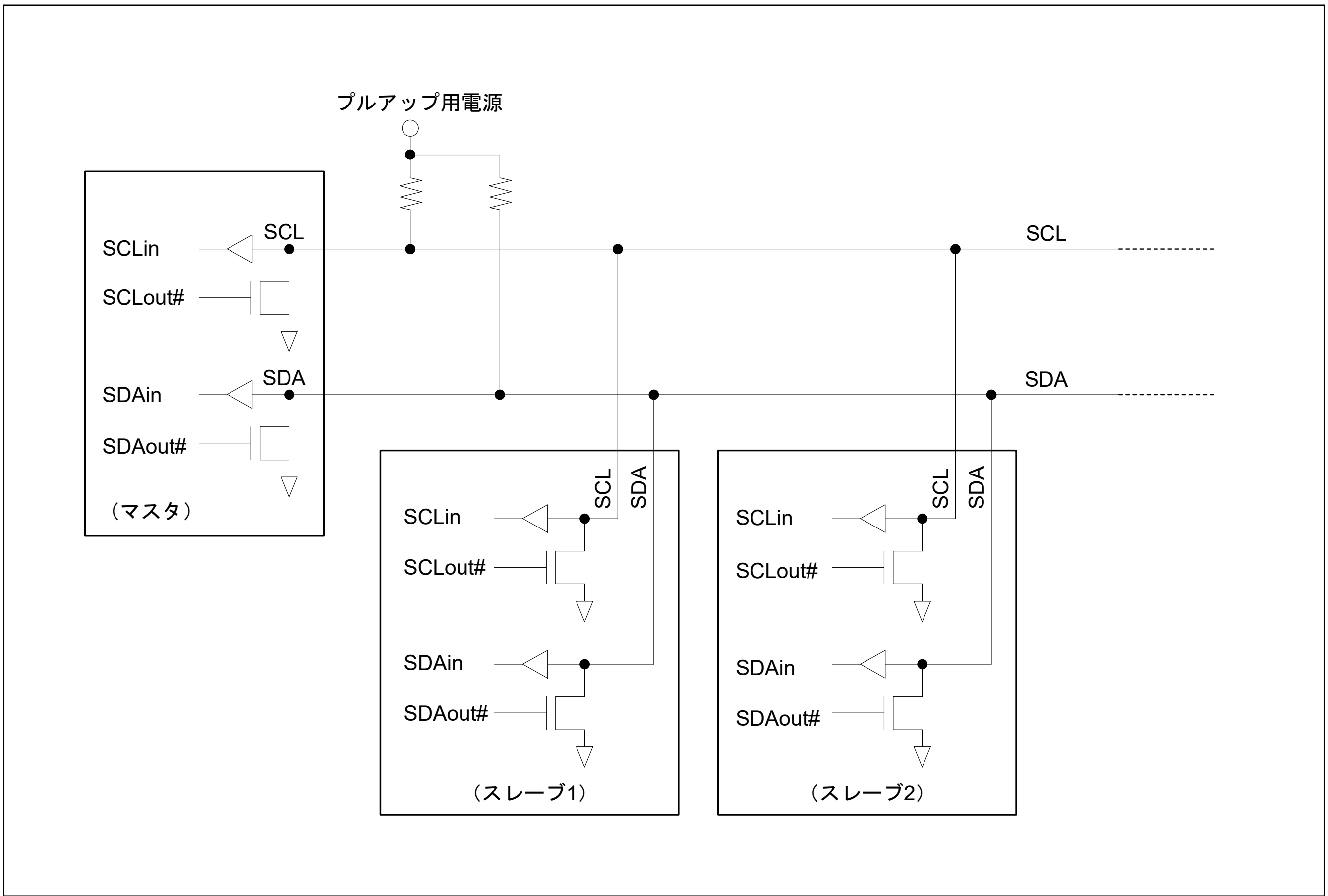


図 25.2 入出力端子の外部回路接続例（I^2C バス構成例）

IIC の各信号の入力レベルは、I^2C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 25.2 IIC の入出力端子

チャネル	端子名	入出力	機能
IICn	SCLn	入出力	IICn シリアルクロック入出力端子
	SDAn	入出力	IICn シリアルデータ入出力端子

注. n = 0

25.2 レジスタの説明

25.2.1 ICCR1 : I^2C バスコントロールレジスタ 1

Base address: IIC0 = 0x4005_3000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SDAI	SDAn ラインモニタフラグ 0: SDA0 ラインは Low 1: SDA0 ラインは High	R

ビット	シンボル	機能	R/W
1	SCLI	SCLn ラインモニタフラグ 0: SCL0 ラインは Low 1: SCL0 ラインは High	R
2	SDAO	SDA 出力制御／モニタ 0: 読み出し時 SDA0 端子を Low にしている 書き込み時 SDA0 端子を Low にする 1: 読み出し時 SDA0 端子を解放している 書き込み時 SDA0 端子を解放する	R/W
3	SCLO	SCL 出力制御／モニタ 外部プルアップ抵抗を使用して信号を High にしてください。 0: 読み出し時 SCL0 端子を Low にしている 書き込み時 SCL0 端子を Low にする 1: 読み出し時 SCL0 端子を解放している 書き込み時 SCL0 端子を解放する	R/W
4	SOWP	SCLO/SDAO ライトプロテクト 読むと 1 が読めます。 0: SCLO ビットおよび SDAO ビットの書き込みを許可 1: SCLO ビットおよび SDAO ビットの書き込みを禁止	W
5	CLO	SCL クロック追加出力 1 クロック出力後、自動的に 0 になります。 0: SCL クロックを追加で出力しない 1: SCL クロックを追加で出力する	R/W
6	IICRST	I²C インタフェース内部リセット これにより、ビットカウンタをクリアし、SCL0/SDA0 出力ラッチを解除します。 0: IIC リセットまたは内部リセットを解除する 1: IIC リセットまたは内部リセットを行う	R/W
7	ICE	I²C インタフェース許可 IICRST ビットとの組み合わせで、IIC リセット、または内部リセットを選択します。 0: 禁止（SCL0 および SDA0 端子は非駆動状態） 1: 許可（SCL0 および SDA0 端子は駆動状態）	R/W

SDAO ビット（SDA 出力制御／モニタ）、SCLO ビット（SCL 出力制御／モニタ）

SDAO ビットおよび SCLO ビットは、IIC から出力される SDA0 信号と SCL0 信号を直接操作します。これらのビットに書き込む場合は、SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力）

CLO ビットは、SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常は 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。この機能の詳細については、「25.12.2. SCL クロック追加出力機能」を参照してください。

IICRST ビット（I²C インタフェース内部リセット）

IICRST ビットは、IIC の内部状態をリセットします。このビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットとの組み合わせにより決定されます。 表 25.3 に IIC のリセットの種類を示します。

IIC リセットでは、IIC の ICCR1.ICE ビットと ICCR1.IICRST ビットを除く全レジスタと内部状態が初期化されます。内部リセットでは、IIC の内部状態に加えて、以下を初期化します。

- ビットカウンタ（ICMR1.BC[2:0]ビット）
- I²C バスシフトレジスタ (ICDRS)
- I²C バスステータスレジスタ（ICSR1、ICSR2）
- SDAO、SCLO 出力制御／モニタ（ICCR1.SDAO ビット、ICCR1.SCLO ビット）

- I^{2}C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く）

各レジスタのリセット条件については、「25.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

動作中に（ICE = 1 の状態で）IICRST ビットを 1 にして内部リセットを行うと、通信不具合によってバスや IIC がハングアップしたとき、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCL0 端子と SDA0 端子がハイインピーダンスの状態でバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になることがあります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCL0 ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 25.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IIC リセット	IIC の ICCR1.IICRST ビットと ICCR1.ICE ビットを除く全レジスタと内部状態をリセット
	1	内部リセット	以下をリセット ● ICMR1.BC[2:0]ビット ● ICSR1, ICSR2, ICDRS レジスタ ● SDAO、SCLO 出力制御／モニタ（ICCR1.SDAO ビット、ICCR1.SCLO ビット） ● I^{2}C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く） ● IIC の内部状態

ICE ビット（I^{2}C インタフェース許可）

ICE ビットは、SCL0 および SDA0 端子の駆動状態／非駆動状態を選択します。また、IICRST ビットと組み合わせて、2 種類のリセットを起動できます。リセットの説明については、表 25.3 を参照してください。

IIC を使用するときは、ICE ビットを 1 にしてください。ICE ビットを 1 にすると、SCL0 および SDA0 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを 0 にしてください。ICE ビットを 0 にすると、SCL0 および SDA0 端子は非駆動状態になります。端子機能制御を設定するときに、SCL0 または SDA0 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

25.2.2 ICCR2 : I^{2}C バスコントロールレジスタ 2

Base address: IIC0 = 0x4005_3000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BBSY	MST	TRS	—	SP	RS	ST	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ST	スタートコンディション発行要求 0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W

ビット	シンボル	機能	R/W
2	RS	リスタートコンディション発行要求 0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W
3	SP	ストップコンディション発行要求 0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TRS	送信／受信モード 0: 受信モード 1: 送信モード	R/W(注1)
6	MST	マスタ／スレーブモード 0: スレーブモード 1: マスタモード	R/W(注1)
7	BBSY	バスビジー検出フラグ 0: I^2C バスは解放状態（バスフリー状態） 1: I^2C バスは占有状態（バスビジー状態）	R

注 1.　ICMR1.MTWP ビットが 1 のとき、MST および TRS ビットへの書き込みが可能です。

ST ビット（スタートコンディション発行要求）

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションを発行します。このビットを 1 にすると、BBSY フラグが 0（バスフリー状態）のときに、スタートコンディションが発行されます。この機能の詳細については、「25.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ST ビットに 1 を書いたとき

[0 になる条件]

- ST ビットに 0 を書いたとき
- スタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注.　BBSY フラグが 0（バスフリー状態）のときに、ST ビットを 1（スタートコンディション発行要求）にしてください。BBSY フラグが 1（バスビジー状態）のときに、ST ビットを 1（スタートコンディション要求）にすると、アービトレーションロストが発生する場合があります。

RS ビット（リスタートコンディション発行要求）

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。このビットを 1 にしてリスタートコンディションを要求すると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、リスタートコンディションが発行されます。この機能の詳細については、「25.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが 1 の状態で、RS ビットに 1 を書いたとき

[0 になる条件]

- RS ビットに 0 を書いたとき
- リスタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注.　ストップコンディション発行中に RS ビットを 1 にしないでください。

注.　スレーブモードで RS ビットを 1（リスタートコンディション要求）にすると、リスタートコンディションは発行されず､RS ビットは 1 のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット（ストップコンディション発行要求）

SP ビットは、マスタモード時にストップコンディションの発行を要求します。このビットを 1 にすると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、ストップコンディションが発行されます。この機能の詳細については､「25.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、SP ビットに 1 を書いたとき

[0 になる条件]

- SP ビットに 0 を書いたとき
- ストップコンディションが発行されたとき（ストップコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注.　BBSY フラグが 0（バスフリー状態）のとき、SP ビットへの書き込みはできません。
注.　リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット（送信／受信モード）

TRS ビットは、送信モードであるか、受信モードであるかを示します。IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRS ビット値は自動的に 1（送信モード）または 0（受信モード）に変化します。ICMR1.MTWP ビットが 1 のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき（RS ビットが 1 の状態で、リスタートコンディションが検出されたとき）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 1 になったとき
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、リスタートコンディションが検出されたとき （ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット（マスタ／スレーブモード）

MST ビットは、マスタモードであるか、スレーブモードであるかを示します。IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1（マスタモード）または 0（スレーブモード）に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ（バスビジー検出フラグ）

BBSY フラグは、I^2C バスが占有されているか（バスビジー状態）、解放されているか（バスフリー状態）を示します。SCL0 ラインが High のときに SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、このフラグは 1 になります。バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、このフラグは 0 になります。

[1 になる条件]

- スタートコンディションが検出されたとき

[0 になる条件]

- ストップコンディション検出後、バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

25.2.3 ICMR1 : I^2C バスモードレジスタ 1

Base address: IIC0 = 0x4005_3000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MTWP	CKS[2:0]			BCWP	BC[2:0]		
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	BC[2:0]	ビットカウンタ 0 0 0: 9 ビット 0 0 1: 2 ビット 0 1 0: 3 ビット 0 1 1: 4 ビット 1 0 0: 5 ビット 1 0 1: 6 ビット 1 1 0: 7 ビット 1 1 1: 8 ビット	R/W(注1)

ビット	シンボル	機能	R/W
3	BCWP	BC ライトプロテクト 読むと 1 が読めます。 0: BC[2:0]ビットの書き込み許可 1: BC[2:0]ビットの書き込み禁止	W(注1)
6:4	CKS[2:0]	内部基準クロック選択 IIC の内部基準クロックソース (IICφ) を選択します。 IICφ = (PCLKB / $2^{CKS[2:0]}$) クロック	R/W
7	MTWP	MST/TRS ライトプロテクト 0: ICCR2.MST、TRS ビットの書き込み禁止 1: ICCR2.MST、TRS ビットの書き込み許可	R/W

注 1. BC[2:0]ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0]ビット（ビットカウンタ）

BC[2:0]ビットは、SCL0 ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。BC[2:0]ビットは読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCL0 ラインが Low の状態で、転送するデータのビット数 + 1（追加のアクノリッジビット分）を転送フレーム間で指定してください。BC[2:0]ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション／リスタートコンディションの検出時に 000b に戻ります。

25.2.4 ICMR2 : I^{2}C バスモードレジスタ 2

Base address: IIC0 = 0x4005_3000

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
Value after reset:	0	0	0	0	0	1	1	0

ビット	シンボル	機能	R/W
0	TMOS	タイムアウト検出時間選択 0: ロングモードを選択 1: ショートモードを選択	R/W
1	TMOL	タイムアウト L カウント制御 0: SCL0 ラインが Low のときカウントを禁止 1: SCL0 ラインが Low のときカウントを許可	R/W
2	TMOH	タイムアウト H カウント制御 0: SCL0 ラインが High のときカウントを禁止 1: SCL0 ラインが High のときカウントを許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	SDDL[2:0]	SDA 出力遅延カウンタ 0 0 0: 出力遅延なし 0 0 1: IICφ の 1 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 1 または 2 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 0 1 0: IICφ の 2 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 3 または 4 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 0 1 1: IICφ の 3 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 5 または 6 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 0 0: IICφ の 4 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 7 または 8 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 0 1: IICφ の 5 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 9 または 10 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 1 0: IICφ の 6 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 11 または 12 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 1 1: IICφ の 7 サイクル（ICMR2.DLCS = 0 (IICφ) のとき） IICφ の 13 または 14 サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき）	R/W

ビット	シンボル	機能	R/W
7	DLCS	SDA 出力遅延クロックソース選択 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (IICφ/2) を選択(注1)	R/W

注 1. DLCS = 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS = 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット（タイムアウト検出時間選択）

TMOS ビットは、タイムアウト検出機能が有効 (ICFER.TMOE = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。このビットを 0 にすると、ロングモードが選択され、1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCL0 ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。タイムアウト検出機能の詳細については、「25.12.1. タイムアウト検出機能」を参照してください。

TMOL ビット（タイムアウト L カウント制御）

TMOL ビットは、SCL0 ラインが Low ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

TMOH ビット（タイムアウト H カウント制御）

TMOH ビットは、SCL0 ラインが High ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

SDDL[2:0]ビット（SDA 出力遅延カウンタ）

SDDL[2:0]ビットを使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この機能の設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力に適用されます。

SDA 出力遅延時間は、データ有効時間／アクノリッジ有効時間(注1)に対する I^2C バス規格、または SMBus 規格を満たすように、「データホールド時間（300 ns 以上+SCL クロックの Low 幅）－データセットアップ時間 (250 ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示することがあります。

この機能の詳細については、「25.5. SDA 出力遅延機能」を参照してください。

注 1. データ有効時間／アクノリッジ有効時間

3450 ns (～100 kbps) : スタンダードモード (Sm)

900 ns (～400 kbps) : ファストモード (Fm)

25.2.5 ICMR3 : I^2C バスモードレジスタ 3

Base address: IIC0 = 0x4005_3000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	NF[1:0]	ノイズフィルタ段数選択 0 0: 1IICφ サイクル以下のノイズを除去（フィルタは 1 段） 0 1: 2IICφ サイクル以下のノイズを除去（フィルタは 2 段） 1 0: 3IICφ サイクル以下のノイズを除去（フィルタは 3 段） 1 1: 4IICφ サイクル以下のノイズを除去（フィルタは 4 段）	R/W

ビット	シンボル	機能	R/W
2	ACKBR	受信アクノリッジ 0: アクノリッジビットに 0 を受信（ACK 受信） 1: アクノリッジビットに 1 を受信（NACK 受信）	R
3	ACKBT	送信アクノリッジ 0: アクノリッジビットに 0 を送出（ACK 送信） 1: アクノリッジビットに 1 を送出（NACK 送信）	R/W(注1)
4	ACKWP	ACKBT ライトプロテクト 0: ACKBT ビットの書き込み禁止 1: ACKBT ビットの書き込み許可	R/W
5	RDRFS	RDRF フラグセットタイミング選択 Low ホールドは ACKBT ビットへの書き込みで解除されます。 0: SCL クロックの 9 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行わない 1: SCL クロックの 8 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行う	R/W(注2)
6	WAIT	Low ホールドは ICDRR レジスタの読み出しで解除されます。 0: ウェイトなし（9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行わない） 1: ウェイトあり（9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行う）	R/W(注2)
7	SMBS	SMBus/I^{2}C バス選択 0: I^{2}C バスを選択 1: SMBus を選択	R/W

注 1.　ACKBT ビットに書き込む場合は､ACKWP ビットが 1 の状態であるときにのみ行ってください。ACKWP ビットと ACKBT ビットに同時に 1 を書き込んでも、ACKBT ビットは 1 になりません。
注 2.　WAIT ビットと RDRFS ビットは、受信モードでのみ有効（送信モードでは無効）です。

NF[1:0]ビット（ノイズフィルタ段数選択）

NF[1:0]ビットは、デジタルノイズフィルタの段数を選択します。デジタルノイズフィルタ機能の詳細については、「25.6. デジタルノイズフィルタ回路」を参照してください。

注.　ノイズフィルタで除去するノイズ幅は、SCL0 ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が［SCL クロックの幅：High 幅または Low 幅のいずれか短い方］-［1.5 内部基準クロック (IICφ) サイクル+アナログノイズフィルタ：120 ns（参考値）］の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性ことがあります。

ACKBR ビット（受信アクノリッジ）

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKBT ビット（送信アクノリッジ）

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき（ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき）
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKWP ビット（ACKBT ライトプロテクト）

ACKWP ビットは、ACKBT ビットの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択）

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドを行います。この SCL0 ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCL0 ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK（ACKBT ビットが 0）または NACK（ACKBT ビットが 1）の送出処理が可能となります。

WAIT ビット（WAIT）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに、I^{2}C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を強制的に Low ホールドするかどうかを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCL0 ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注.　WAIT ビットの値を読み出す場合は、最初に ICDRR レジスタを読み出してください。

SMBS ビット（SMBus/I^{2}C バス選択）

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

25.2.6 ICFER : I^{2}C バスファンクションイネーブルレジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
Value after reset:	0	1	1	1	0	0	1	0

ビット	シンボル	機能	R/W
0	TMOE	タイムアウト検出機能有効 0: 無効 1: 有効	R/W
1	MALE	マスタアービトレーションロスト検出有効 0: アービトレーションロスト検出機能を無効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを禁止します。 1: アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを許可します。	R/W
2	NALE	NACK 送信アービトレーションロスト検出有効 0: 無効 1: 有効	R/W

ビット	シンボル	機能	R/W
3	SALE	スレーブアービトレーションロスト検出有効 0: 無効 1: 有効	R/W
4	NACKE	NACK 受信転送中断許可 0: NACK 受信時、転送を中断しない（転送中断禁止） 1: NACK 受信時、転送を中断する（転送中断許可）	R/W
5	NFE	デジタルノイズフィルタ回路有効 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
6	SCLE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TMOE ビット（タイムアウト検出機能有効）

TMOE ビットは、タイムアウト検出機能を有効または無効にします。タイムアウト検出機能の詳細については、「25.12.1. タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出有効）

MALE ビットは、マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常の動作では、このビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

NALE ビットは、受信モード時で NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など）に、アービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

SALE ビットは、スレーブ送信モード時に、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など）、アービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可）

NACKE ビットは、送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は、このビットを 1 にしてください。

NACKE ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACKE ビットが 0 の場合は、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、「25.9.2. NACK 受信転送中断機能」を参照してください。

SCLE ビット（SCL 同期回路有効）

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は、このビットを 1 にしてください。

SCLE ビットを 0（SCL 同期回路を使用しない）にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCL0 ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I^2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合がありますので注意してください。また、SCL 同期回路を使用しないと、スタートコンディション／リスタートコンディション／ストップコンディションの発行および、追加 SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合を除き、0 にしないでください。

25.2.7 ICSER : I²C バスステータスイネーブルレジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
Value after reset:	0	0	0	0	1	0	0	1

ビット	シンボル	機能	R/W
0	SAR0E	スレーブアドレスレジスタ 0 有効 0: SARL0 および SARU0 のスレーブアドレスは無効 1: SARL0 および SARU0 のスレーブアドレスは有効	R/W
1	SAR1E	スレーブアドレスレジスタ 1 有効 0: SARL1 および SARU1 のスレーブアドレスは無効 1: SARL1 および SARU1 のスレーブアドレスは有効	R/W
2	SAR2E	スレーブアドレスレジスタ 2 有効 0: SARL2 および SARU2 のスレーブアドレスは無効 1: SARL2 および SARU2 のスレーブアドレスは有効	R/W
3	GCAE	ジェネラルコールアドレス有効 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIDE	デバイス ID アドレス検出有効 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOAE	ホストアドレス有効 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W

SARnE ビット（スレーブアドレスレジスタ n 有効）(n = 0〜2)

SARnE ビットは、受信したスレーブアドレスと、SARLn および SARUn レジスタで設定したスレーブアドレスを有効または無効にします。

このビットを 1 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。SARnE ビットを 0 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス有効）

GCAE ビットは、ジェネラルコールアドレス（0000 000b + 0[W] : すべて 0）を受信した場合、それを無視するかどうかを選択します。

このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SARLn および SARUn レジスタ (n = 0〜2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。このビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出有効）

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0[W]の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスと認識します。

この機能の詳細については、「25.7.3. デバイス ID アドレス検出機能」を参照してください。

HOAE ビット（ホストアドレス有効）

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

このビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLn および SARUn レジスタ (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

25.2.8 ICIER : I^{2}C バス割り込みイネーブルレジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOIE	タイムアウト割り込み要求許可 0: タイムアウト割り込み (TMOI) 要求を禁止 1: タイムアウト割り込み (TMOI) 要求を許可	R/W
1	ALIE	アービトレーションロスト割り込み要求許可 0: アービトレーションロスト割り込み (ALI) 要求を禁止 1: アービトレーションロスト割り込み (ALI) 要求を許可	R/W
2	STIE	スタートコンディション検出割り込み要求許可 0: スタートコンディション検出割り込み (STI) 要求を禁止 1: スタートコンディション検出割り込み (STI) 要求を許可	R/W
3	SPIE	ストップコンディション検出割り込み要求許可 0: ストップコンディション検出割り込み (SPI) 要求を禁止 1: ストップコンディション検出割り込み (SPI) 要求を許可	R/W
4	NAKIE	NACK 受信割り込み要求許可 0: NACK 受信割り込み (NAKI) 要求を禁止 1: NACK 受信割り込み (NAKI) 要求を許可	R/W
5	RIE	受信データフル割り込み要求許可 0: 受信データフル割り込み (IIC0_RXI) 要求を禁止 1: 受信データフル割り込み (IIC0_RXI) 要求を許可	R/W
6	TEIE	送信終了割り込み要求許可 0: 送信終了割り込み (IIC0_TEI) 要求を禁止 1: 送信終了割り込み (IIC0_TEI) 要求を許可	R/W
7	TIE	送信データエンプティ割り込み要求許可 0: 送信データエンプティ割り込み (IIC0_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IIC0_TXI) 要求を許可	R/W

TMOIE ビット（タイムアウト割り込み要求許可）

TMOIE ビットは、ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOI) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

ALIE ビット（アービトレーションロスト割り込み要求許可）

ALIE ビットは、ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALI) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

STIE ビット（スタートコンディション検出割り込み要求許可）

STIE ビットは、ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STI) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

SPIE ビット（ストップコンディション検出割り込み要求許可）

SPIE ビットは、ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPI) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

NAKIE ビット（NACK 受信割り込み要求許可）

NAKIE ビットは、ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKI) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

RIE ビット（受信データフル割り込み要求許可）

RIE ビットは、ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IIC0_RXI) 要求を許可または禁止します。

TEIE ビット（送信終了割り込み要求許可）

TEIE ビットは、ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IIC0_TEI) 要求を許可または禁止します。IIC0_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

TIE ビット（送信データエンプティ割り込み要求許可）

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IIC0_TXI) 要求を許可または禁止します。

25.2.9 ICSR1 : I^{2}C バスステータスレジスタ 1

Base address: IIC0 = 0x4005_3000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AAS0	スレーブアドレス 0 検出フラグ 0: スレーブアドレス 0 未検出 1: スレーブアドレス 0 検出	R/(W) (注1)
1	AAS1	スレーブアドレス 1 検出フラグ 0: スレーブアドレス 1 未検出 1: スレーブアドレス 1 検出	R/(W) (注1)
2	AAS2	スレーブアドレス 2 検出フラグ 0: スレーブアドレス 2 未検出 1: スレーブアドレス 2 検出	R/(W) (注1)
3	GCA	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DID	デバイス ID アドレス検出フラグ スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0[W]]の値と一致した場合、1 になります。 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出	R/(W) (注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOA	ホストアドレス検出フラグ 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。 0: ホストアドレス未検出 1: ホストアドレス検出	R/(W) (注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

AASn フラグ（スレーブアドレス n 検出フラグ）(n = 0～2)

AASn フラグは、スレーブアドレス n が検出されたかどうかを示します。

［1 になる条件］

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と一致したとき。
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と一致したとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

［0 になる条件］

- AASn = 1 を読んだ後、AASn フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

GCA フラグ（ジェネラルコールアドレス検出フラグ）

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

［1 になる条件］

- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

［0 になる条件］

- GCA = 1 を読んだ後、GCA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ（デバイス ID アドレス検出フラグ）

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

［1 になる条件］

- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID (1111 100b) + 0[W]）の値と一致したとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- DID = 1 を読んだ後、DID フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームがデバイス ID (1111 100b) と不一致のとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID (1111 100b) + 0[W]）の値と一致し、かつ、第 2 フレームがスレーブアドレス 0～2 のすべてと不一致のとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ（ホストアドレス検出フラグ）

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- HOA = 1 を読んだ後、HOA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

25.2.10 ICSR2 : I²C バスステータスレジスタ 2

Base address: IIC0 = 0x4005_3000

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/(W)(注1)
1	AL	アービトレーションロストフラグ 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W)(注1)
2	START	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/(W)(注1)

ビット	シンボル	機能	R/W
3	STOP	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/(W)(注1)
4	NACKF	NACK 検出フラグ 0: NACK 未検出 1: NACK 検出	R/(W)(注1)
5	RDRF	受信データフルフラグ 0: ICDRR レジスタに受信データなし 1: ICDRR レジスタに受信データあり	R/(W)(注1)
6	TEND	送信終了フラグ 0: データ送信中 1: データ送信完了	R/(W)(注1)
7	TDRE	送信データエンプティフラグ 0: ICDRT レジスタに送信データあり 1: ICDRT レジスタに送信データなし	R

注 1.　フラグをクリアするための 0 の書き込みのみ可能です。

TMOF フラグ（タイムアウト検出フラグ）

TMOF フラグは、SCL0 ラインの状態が一定期間変化しない場合、タイムアウトを検出して 1 になります。

［1 になる条件］

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1（タイムアウト検出機能有効）かつ受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCL0 ライン状態が変化しなかったとき

［0 になる条件］

- TMOF = 1 を読んだ後、TMOF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ（アービトレーションロストフラグ）

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDA0 ラインのレベルを監視し、そのラインのレベルと出力中のビット値が一致していないと、AL フラグを 1 にすることで、バスが他のデバイスによって占有されていることを示します。

さらに、IIC では設定により、AL フラグをセットすることで、NACK 送信中やデータ送信中に、アービトレーションロストを検出することも可能です。

［1 になる条件］

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モードでのデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで、SDA0 ラインレベルと不一致のとき
- ICCR2.ST ビットが 1（スタートコンディション要求）の状態でスタートコンディションが検出されたとき、または、内部の SDA 出力状態が SDA0 ラインレベルと不一致のとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットを 1（スタートコンディション要求）にしたとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと不一致のとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モードでのデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA0 ラインレベルと不一致のとき

［0 になる条件］

- AL = 1 を読んだ後、AL フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 25.4　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2		
MALE	NALE	SALE	AL	エラー内容	アービトレーションロスト発生要因
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の状態で、スタートコンディション検出時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき
					ICCR2.BBSY が 1 の状態で、ICCR2.ST を 1 にしたとき
			1	送信データ不一致	マスタ送信モード時に、送信データ（スレーブアドレス含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モード時に、NACK 送信中に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モード時に、送信データとバス状態が不一致のとき

x: Don’t care

START フラグ（スタートコンディション検出フラグ）

START フラグは、スタートコンディションが検出されたことを示します。

[1 になる条件]

- スタートコンディション（またはリスタートコンディション）が検出されたとき

[0 になる条件]

- START = 1 を読んだ後、START フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ（ストップコンディション検出フラグ）

STOP フラグは、ストップコンディションが検出されたことを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- STOP = 1 を読んだ後、STOP フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ（NACK 検出フラグ）

NACKF フラグは、NACK が検出されたことを示します。

[1 になる条件]

- ICFER.NACKE ビットが 1（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった（NACK を受信した）とき

[0 になる条件]

- NACKF = 1 を読んだ後、NACKF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注.　NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モード時に ICDRT レジスタへ書き込みや、受信モード時に ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ（受信データフルフラグ）

RDRF フラグは、ICDRR レジスタに受信データがあることを示します。.

［1 になる条件］

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき
  RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目（ICMR3 レジスタの RDRFS ビットで選択）の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートコンディションまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

［0 になる条件］

- RDRF = 1 を読んだ後、RDRF フラグに 0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ（送信終了フラグ）

TEND フラグは送信が終了したことを示します。

［1 になる条件］

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

［0 になる条件］

- TEND = 1 を読んだ後、TEND フラグに 0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは、ICDRT レジスタに送信データがないことを示します。

［1 になる条件］

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが 1 になったとき
- TRS ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

［0 になる条件］

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKE ビットが 1 のとき、NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0（次の送信データがすでに書き込まれている状態）であれば、9 クロック目の立ち上がりで ICDRS レジスタへデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは 1 になりません。

25.2.11　ICWUR : I²C バスウェイクアップユニットレジスタ

Base address: IIC0WU = 0x4005_3014

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	WUAFA	ウェイクアップアナログフィルタ追加選択 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUACK	ウェイクアップモード用 ACK ICCR1.IICRST ビットと WUACK ビットの組み合わせで、4 つの応答モードから選択します。表 25.5 を参照してください。	R/W
5	WUF	ウェイクアップイベント発生フラグ 0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
6	WUIE	ウェイクアップ割り込み要求許可 0: ウェイクアップ割り込み要求 (IIC0_WUI) を禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) を許可	R/W
7	WUE	ウェイクアップ機能有効 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W

表 25.5　ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード 1	SCL クロックの 9 クロック目で ACK 応答を行い、9 クロック目の後で SCL の Low ホールドを行う。
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず､SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し、ACK 応答を行う。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答を行い、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答を行い、SCL の Low ホールドは行わない。

WUF フラグ（ウェイクアップイベント発生フラグ）

WUF フラグは、ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- ウェイクアップモード時、最初の SCL クロックの 8 クロック目で SCL が Low となり、スレーブアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- WUF = 1 を読んだ後、WUF フラグに 0 を書いたとき
- ICE ビットが 0 で IICRST ビットが 1 のとき

25.2.12 ICWUR2 : I^2C バスウェイクアップユニットレジスタ 2

Base address: IIC0WU = 0x4005_3014

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WUSYF	WUASYF	WUSEN
Value after reset:	1	1	1	1	1	1	0	1

ビット	シンボル	機能	R/W
0	WUSEN	ウェイクアップ機能同期有効 0: IIC 非同期回路有効 1: IIC 同期回路有効	R/W
1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ 0: IIC 同期回路有効条件 1: IIC 非同期回路有効条件	R
2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ 0: IIC 非同期回路有効条件 1: IIC 同期回路有効条件	R
7:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

WUSEN ビット（ウェイクアップ機能同期有効）

WUSEN ビットはウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に PCLKB の同期動作と非同期動作を切り替えるために、WUASYF フラグ（または WUSYF フラグ）との組み合わせで使用されます。

PCLKB の動作は以下の場合に同期動作から非同期動作に切り替えます。

ICCR2.BBSY フラグが 0 のとき、WUASYF フラグが 0 の間に WUSEN ビットに 0 を書いた場合、ウェイクアップイベント検出時に、PCLKB の非同期動作へ切り替え後に、PCLKB の動作（PCLKB 停止）とは独立に受信が発生します。

PCLKB の動作は以下の場合に非同期動作から同期動作に切り替えます。

- ウェイクアップイベント検出時に、WUASYF フラグが 1 の状態で WUSEN ビットに 1 を書いた場合 1 を書いた直後に、WUASYF フラグは 0 になります。
- ウェイクアップイベント未検出時に、停止条件が検出された場合

WUASYF フラグ（ウェイクアップ機能非同期動作ステータスフラグ）

WUASYF フラグはウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の非同期動作にすることができます。

[1 になる条件]

- ICCR2.BBSY フラグが 0 のとき、ICWUR.WUE ビットが 1 の状態で WUSEN ビットに 0 を設定した場合

[0 になる条件]

- ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUASY フラグと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態で停止条件が検出された場合
- WUASYF フラグが 1 でウェイクアップイベントが ICWUR.WUE = 1 の状態で、WUSEN ビットに 1 を書いた場合
- ICCR1.ICE = 0 かつ ICCRST = 1（ICC リセット）
- ICWUR.WUE = 0

WUSYF フラグ（ウェイクアップ機能同期動作ステータスフラグ）

WUSYF フラグはウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の同期動作にすることができます。本フラグは WUASYF フラグが常に予約となるような値になります。

[1 になる条件]

- WUSYF フラグが 0 で ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUSYF フラグが 0 でと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態で停止条件が検出された場合
- ICCR1.ICE = 0 かつ ICCRST = 1（ICC リセット）
- ICWUR.WUE = 0

[0 になる条件]

- WUSEN ビットに 0 を書いた後に ICWUR.WUE ビットが 1 の状態で、ICCR2.BBSY フラグが 0 の場合

25.2.13　SARLy : スレーブアドレスレジスタ Ly (y = 0～2)

Base address: IIC0 = 0x4005_3000

Offset address: 0x0A+0x02× y

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SVA[6:0]							SVA0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVA0	10 ビットアドレス最下位 スレーブアドレス設定	R/W
7:1	SVA[6:0]	7 ビットアドレス／10 ビットアドレス下位 スレーブアドレス設定	R/W

SVA0 ビット（10 ビットアドレス最下位）

10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)、SVA0 ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0]ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

このビットは、ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、このビットの設定値は無視されます。

SVA[6:0]ビット（7 ビットアドレス／10 ビットアドレス下位）

7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)、SVA[6:0]ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

ICSER.SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

25.2.14　SARUy : スレーブアドレスレジスタ Uy (y = 0～2)

Base address: IIC0 = 0x4005_3000

Offset address: 0x0B+0x02× y

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SVA[1:0]		FS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FS	7 ビット／10 ビットアドレスフォーマット選択 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R/W
2:1	SVA[1:0]	10 ビットアドレス上位 スレーブアドレス設定	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FS ビット（7 ビット／10 ビットアドレスフォーマット選択）

FS ビットは、スレーブアドレス y（SARLy および SARUy レジスタ）に対して、7 ビットアドレスまたは 10 ビットアドレスを選択します。

ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 0 の場合、スレーブアドレス y には 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0]ビットの設定値が有効になり、SVA[1:0]ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合、スレーブアドレス y には 10 ビットアドレスフォーマットが選択され、SVA[1:0]ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが 0（SARLy および SARUy レジスタ無効）の場合、SARUy.FS ビットの設定値は無効です。

SVA[1:0]ビット（10 ビットアドレス上位）

10 ビットアドレスフォーマット選択時 (FS = 1)、SVA[1:0]ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

25.2.15 ICBRL : I^{2}C バスビットレート Low レジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRL[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRL[4:0]	ビットレート Low 幅設定 SCL クロックの Low 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

BRL[4:0]ビット（ビットレート Low 幅設定）

BRL[4:0]ビットは、SCL クロックの Low 幅を設定するビットです。ICBRL は、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。ICBRL レジスタは、SCL 自動 Low ホールド機能（「25.9. SCL の自動 Low ホールド機能」を参照）のデータセットアップ時間を生成します。IIC をスレーブモードのみで使用する場合、BRL[4:0]ビットはデータセットアップ時間 （[注1]） 以上の値を設定してください。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、BRL[4:0]ビットにはノイズフィルタの段数＋1 以上の値を設定してください。この段数の詳細は、「25.2.5. ICMR3 : I^{2}C バスモードレジスタ 3」の NF[1:0]ビットの説明を参照してください。

注 1.　データセットアップ時間 (t_{SU}: DAT)

250 ns (～100 kbps) : スタンダードモード (Sm)

100 ns (～400 kbps) : ファストモード (Fm)

25.2.16 ICBRH : I2C バスビットレート High レジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRH[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRH[4:0]	ビットレート High 幅設定 SCL クロックの High 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

BRH[4:0]ビット（ビットレート High 幅設定）

BRH[4:0]ビットは、SCL クロックの High 幅を設定するビットです。BRH[4:0]ビットはマスタモードで有効になります。IIC をスレーブモードのみで使用する場合、BRH[4:0]ビットの設定は不要です。

ICBRH レジスタは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、これらのビットにはノイズフィルタの段数＋1 以上の値を設定してください。ノイズフィルタの段数については、「25.2.5. ICMR3 : I2C バスモードレジスタ 3」の NF[1:0]ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティー比は、次式で計算されます。

1. ICFER.SCLE = 0 の場合
   転送速度 = 1/[{(BRH + 1) + (BRL + 1)}/IICφ(注1) + tr(注2) + tf(注2)]
   デューティー比 = [tr + {(BRH + 1)/IICφ}]/[tr + tf + {(BRH + 1) + (BRL + 1)}/IICφ]
2. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合
   転送速度 = 1/[{(BRH + 3) + (BRL+ 3)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 3)/IICφ}]/[tr + tf + {(BRH + 3) + (BRL + 3)}/IICφ]
3. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合
   転送速度 = 1/[{(BRH + 3 + nf(注3)) + (BRL + 3 + nf)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 3 + nf)/IICφ}]/[tr + tf + {(BRH + 3 + nf) + (BRL + 3 + nf)}/IICφ]
4. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/[{(BRH + 2) + (BRL + 2)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 2)/IICφ}]/[tr + tf + {(BRH + 2) + (BRL + 2)}/IICφ]
5. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/[{(BRH + 2 + nf) + (BRL + 2 + nf)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 2 + nf)/IICφ}]/[tr + tf + {(BRH + 2 + nf) + (BRL + 2 + nf)}/IICφ]

注 1. IICφ = PCLKB × 分周比
注 2. SCLn ライン立ち上がり時間[tr]および SCLn ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I2C バス規格書を参照してください。
注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 25.6 SCLE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	18 (0xF2)	16 (0x10)	32	—	(1)
400	001b	9 (0xE9)	20 (0xF4)	32	—	(1)

表 25.7　　SCLE = 1 かつ NFE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	14 (0xEE)	17 (0xF1)	32	—	(4)
400	001b	8 (0xE8)	19 (0xF3)	32	—	(4)

表 25.8　　SCLE = 1 かつ NFE = 1 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	12 (0xEC)	15 (0xEF)	32	01b	(5)
400	001b	6 (0xE6)	17 (0xF1)	32	01b	(5)

25.2.17　ICDRT : I^{2}C バス送信データレジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ICDRT レジスタは、I^{2}C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書けば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出し／書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IIC0_TXI) 要求が発生したときに 1 回だけ行ってください。

25.2.18　ICDRR : I^{2}C バス受信データレジスタ

Base address: IIC0 = 0x4005_3000

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

1 バイトのデータを受信すると、受信したデータは I^{2}C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。ICDRS レジスタと ICDRR レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IIC0_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に（ICSR2.RDRF フラグが 1 の場合に）、ICDRR レジスタが次の受信データを受け取ると、RDRF フラグが次に 1 になるタイミングの 1 つ手前の SCL クロックで、IIC は自動的に Low ホールドを行います。

25.2.19 ICDRS : I²C バスシフトレジスタ

Base address: n/a

Offset address: n/a

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	—	—	—	—	—	—	—	—

ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDA0 端子からデータが送出されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

25.3 動作説明

25.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 25.3 に I²C バスフォーマットを、図 25.4 に I²C バスタイミングを示します。

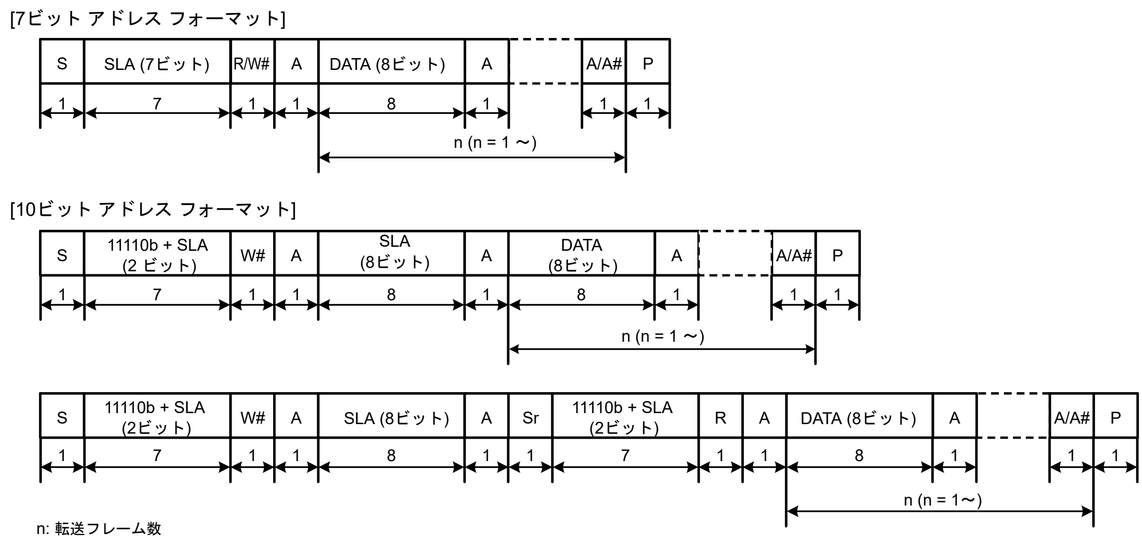


図 25.3 I²C バスフォーマット

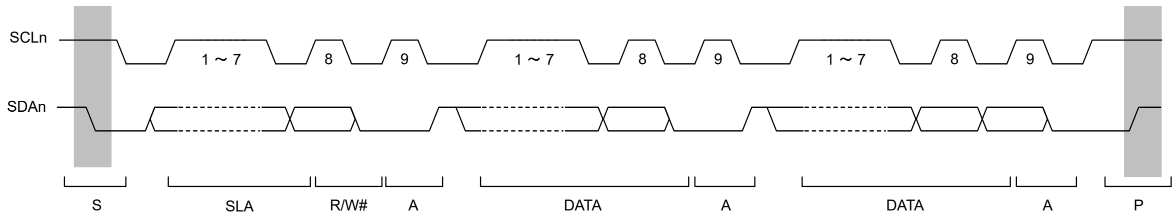


図 25.4　I^2C バスタイミング（SLA = 7 ビットの場合）

S:　スタートコンディションを表します。SCLn ラインが High のとき、マスタデバイスが SDAn ラインを High から Low に変化させます。

SLA:　スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。

R/W#:　データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。

A:　アクノリッジを表します。受信デバイスが SDAn ラインを Low にします。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。

A#:　ノットアクノリッジを表します。受信デバイスが SDAn ラインを High にします。

Sr:　リスタートコンディションを表します。SCLn ラインが High のときに、セットアップ時間が経過した後、マスタデバイスが SDAn ラインを High から Low に変化させます。

DATA:　送信データまたは受信データを表します。

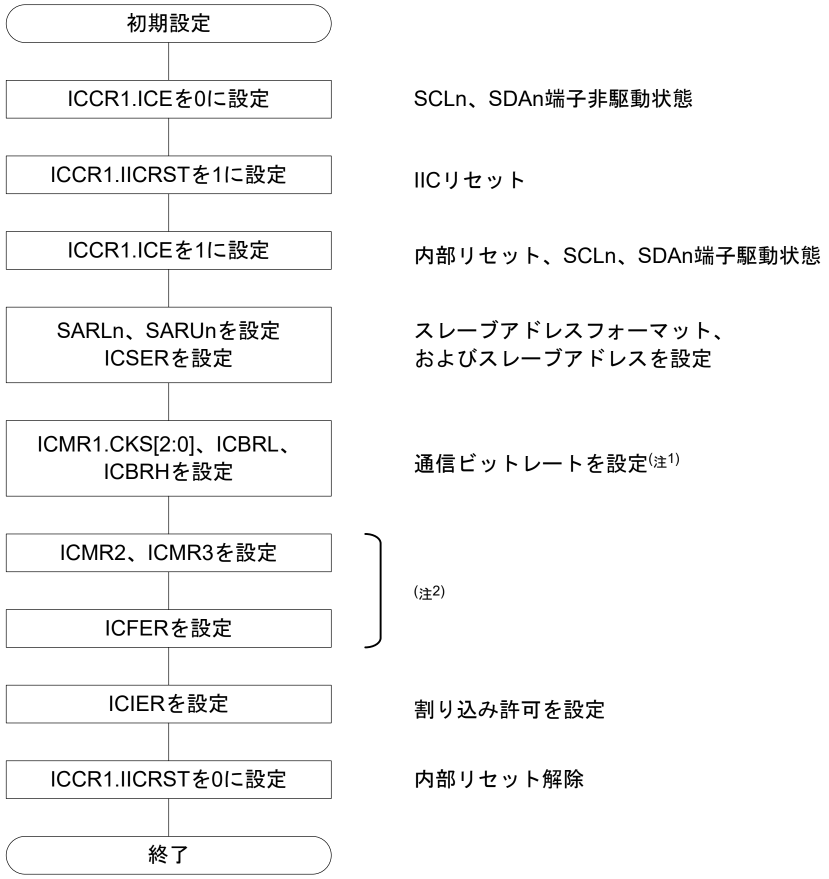
P:　ストップコンディションを表します。SCLn ラインが High のときに、マスタデバイスが SDAn ラインを Low から High に変化させます。

25.3.2　初期設定

データの送受信を開始する前に、図 25.5 に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 に設定して、SCLn および SDAn 端子を非アクティブ状態に設定します。
2. ICCR1.IICRST ビットを 1 に設定して、IIC リセットします。
3. ICCR1.ICE ビットを 1 に設定して、内部リセットを開始します。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、および ICBRL レジスタ (y = 0〜2) を設定し、必要に応じてその他のレジスタを設定します。IIC の初期設定については、図 25.5 を参照してください。
5. 必要なレジスタ設定が完了したら、ICCR1.IICRST ビットを 0 に設定して IIC リセットを解除します。

すでに IIC の初期化が完了している場合、この手順は不要です。



注.　n = 0～2
注 1.　スレーブのみで動作させる場合、ICBRL レジスタにデータセットアップ時間以上の値を設定してください。
注 2.　必要に応じて設定してください。

図 25.5　　IIC の初期化フローチャート例

25.3.3　　マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。 図 25.6 にマスタ送信の例を、図 25.7～図 25.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「25.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信後、送信された R/W#ビットの値に応じて TRS ビットの値が

自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 11110b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1（ストップコンディション要求）にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。ストップコンディション発行の詳細については、「25.11.3. ストップコンディション発行動作」を参照してください。
6. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

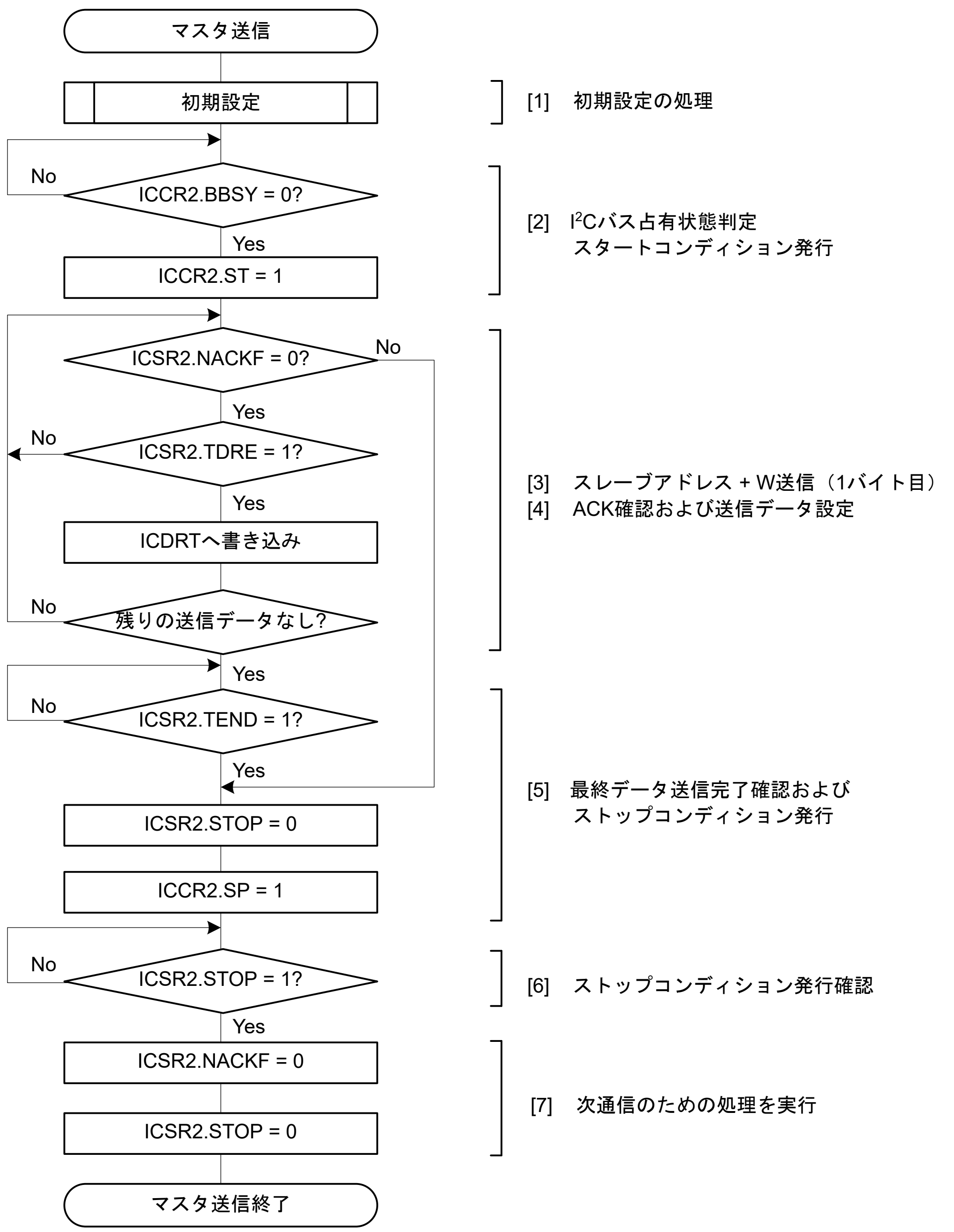


図 25.6 マスタ送信のフローチャート例

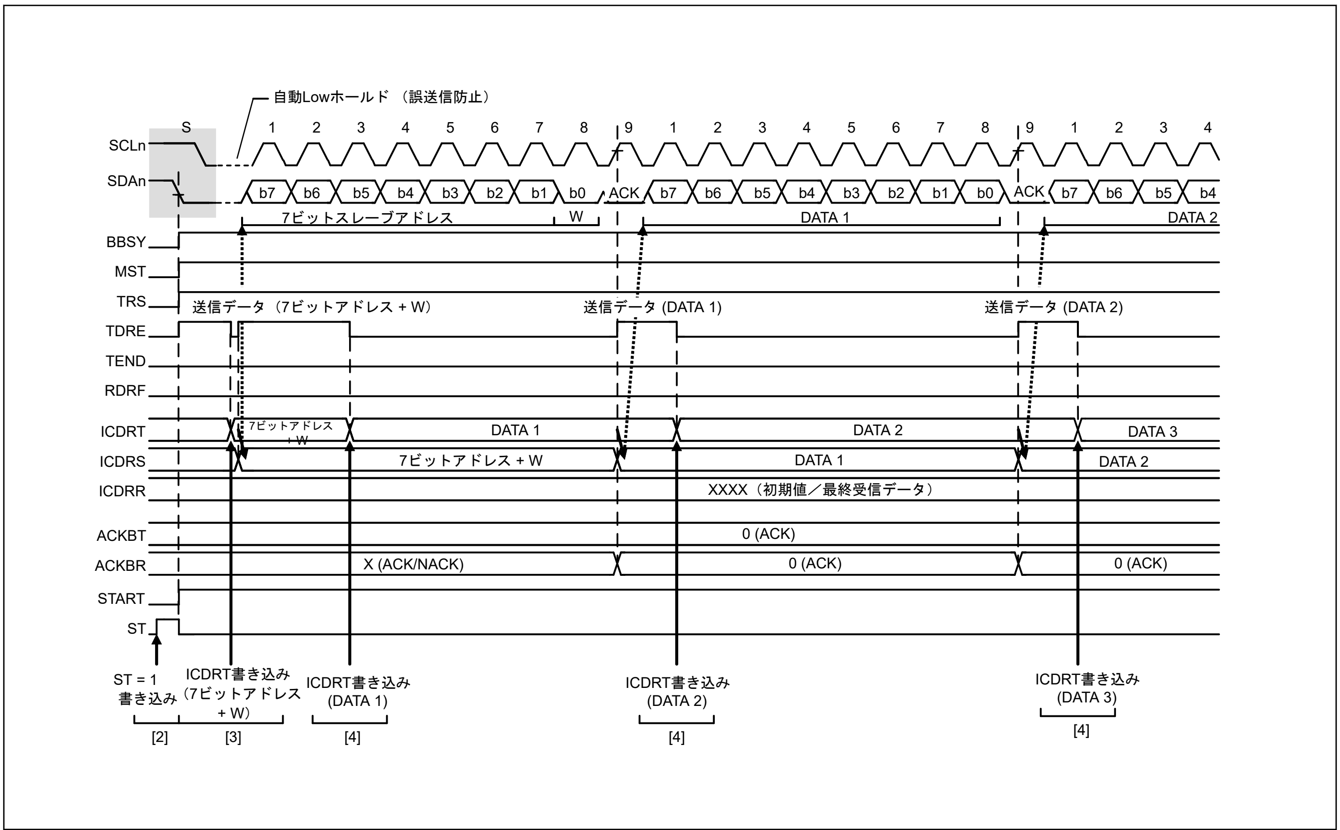


図 25.7　マスタ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

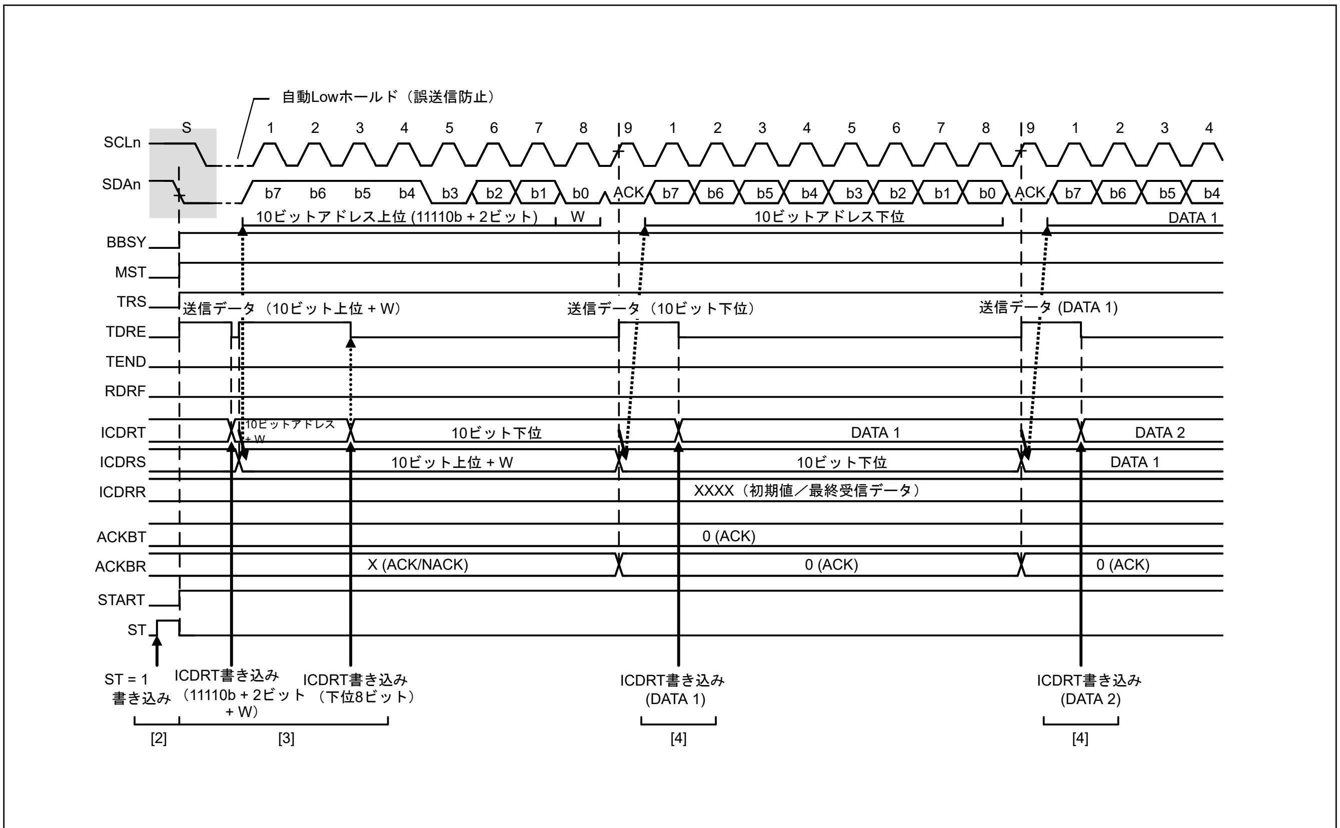


図 25.8　マスタ送信の動作タイミング (2)（10 ビットアドレスフォーマット）

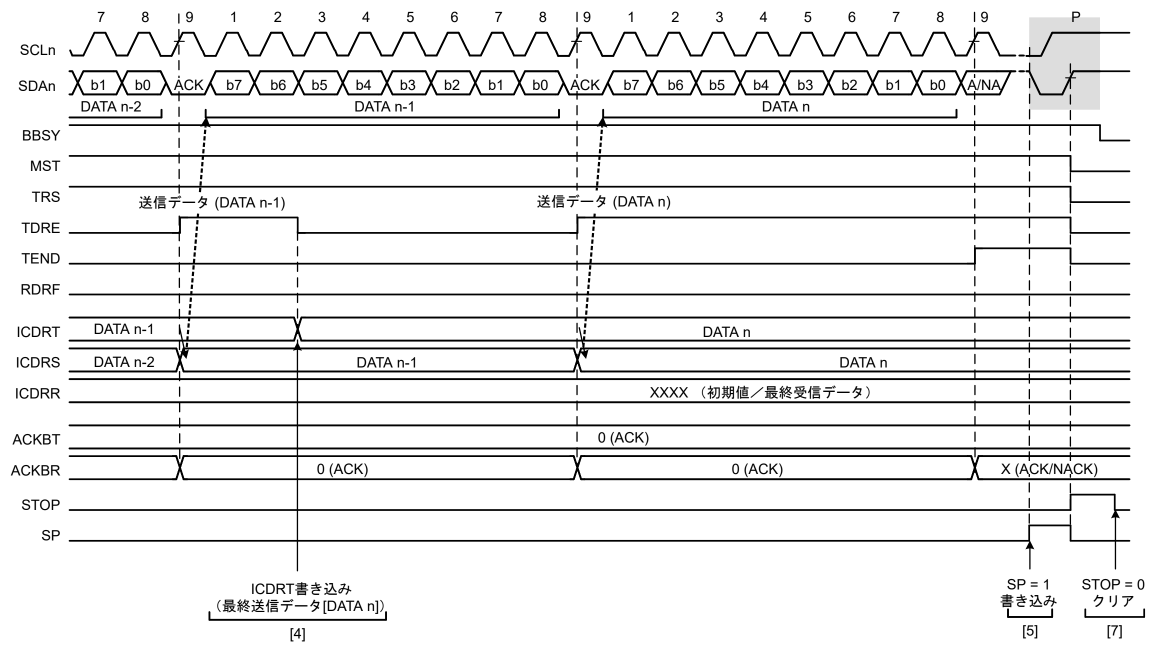


図 25.9　　マスタ送信の動作タイミング (3)

25.3.4　　マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 25.10 と図 25.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 25.12～図 25.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「25.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDAn ラインのレベルが一致したならば、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトが送信されると、送信された R/W#ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110b+スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。

4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目または 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが 1 になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、そのデータ（最後から 2 番目のバイト）を含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順 (6) の ICMR3.ACKBT ビットを 1 (NACK) にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCLn ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション要求）にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCLn ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOP フラグが 1 になります。
9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

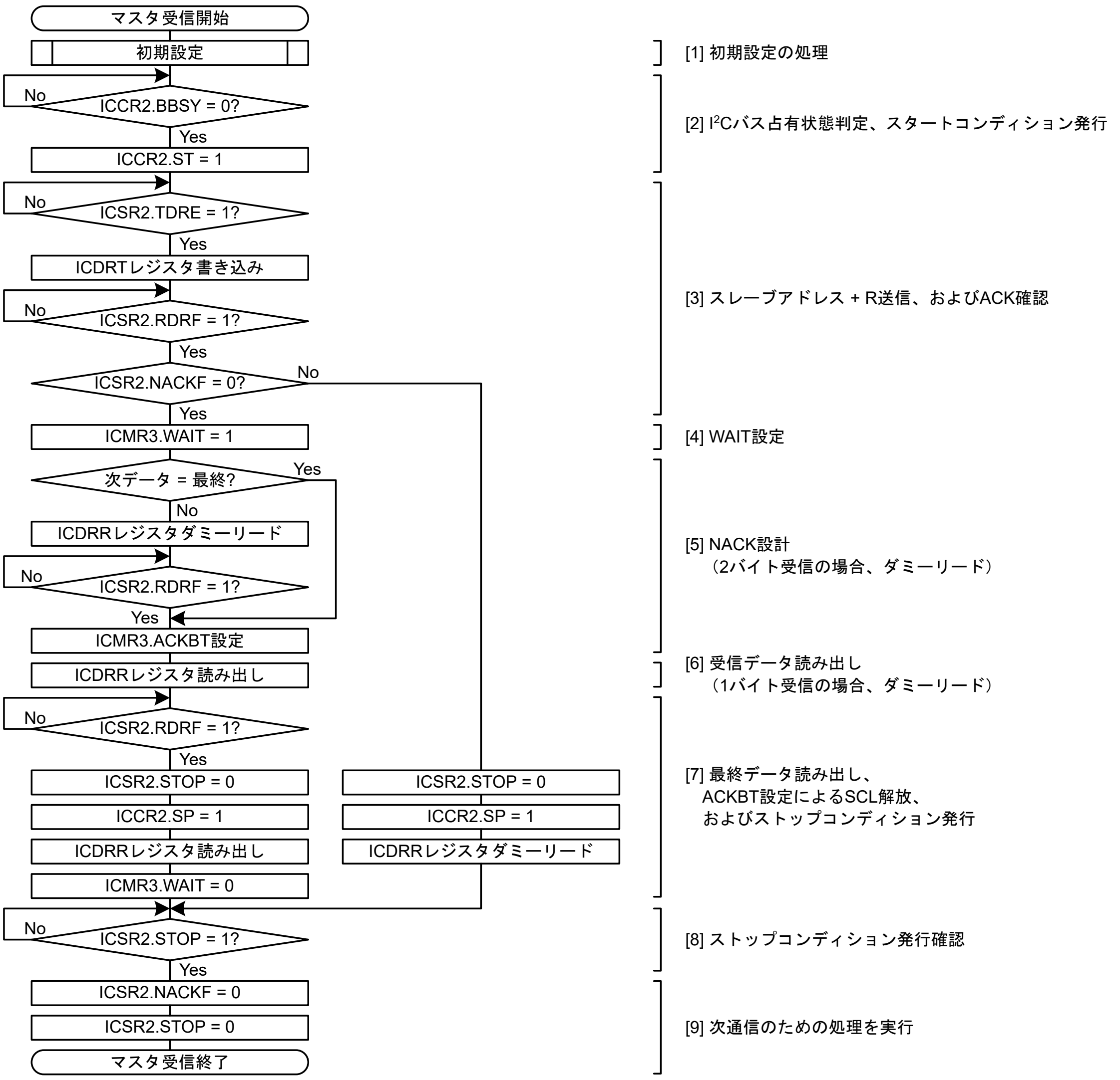


図 25.10　マスタ受信の例（7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合）

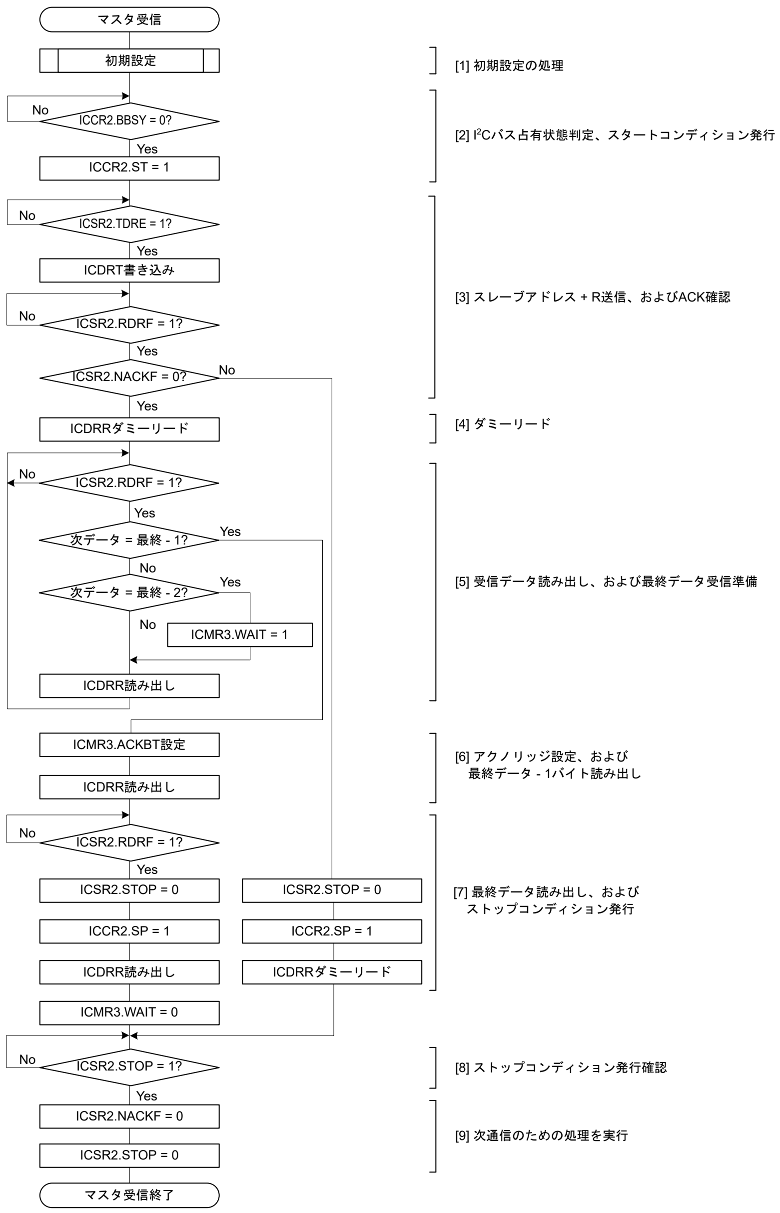


図 25.11　　マスタ受信の例（7 ビットアドレスフォーマットで 3 バイト以上受信の場合）

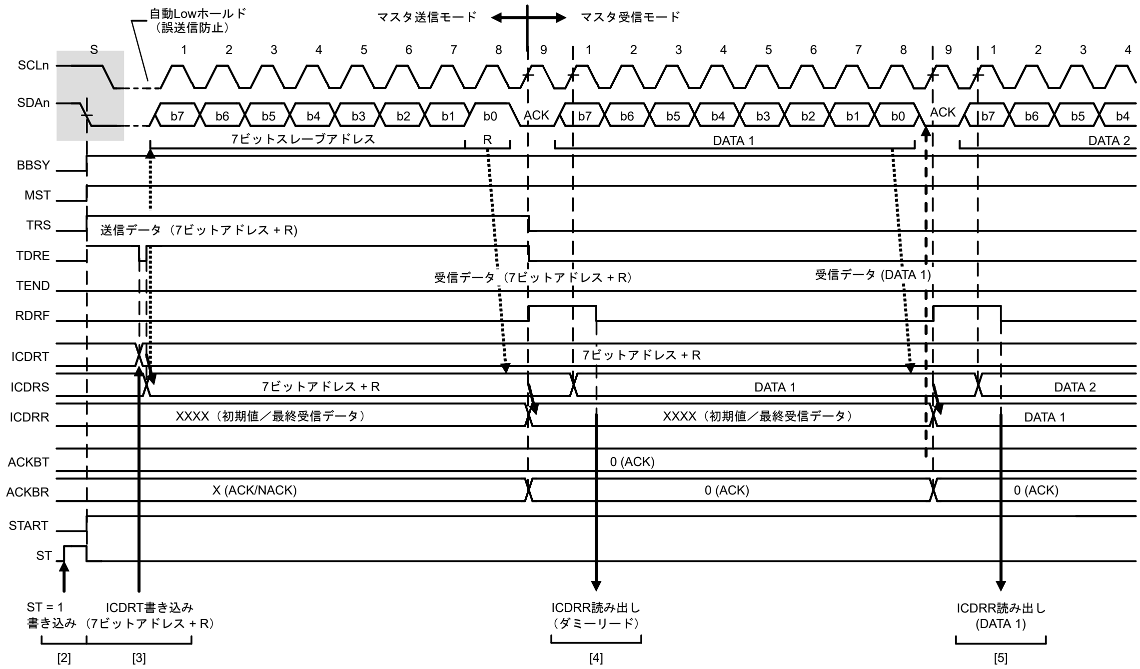


図 25.12　　マスタ受信の動作タイミング (1)（7 ビットアドレスフォーマットで RDRFS = 0 の場合）

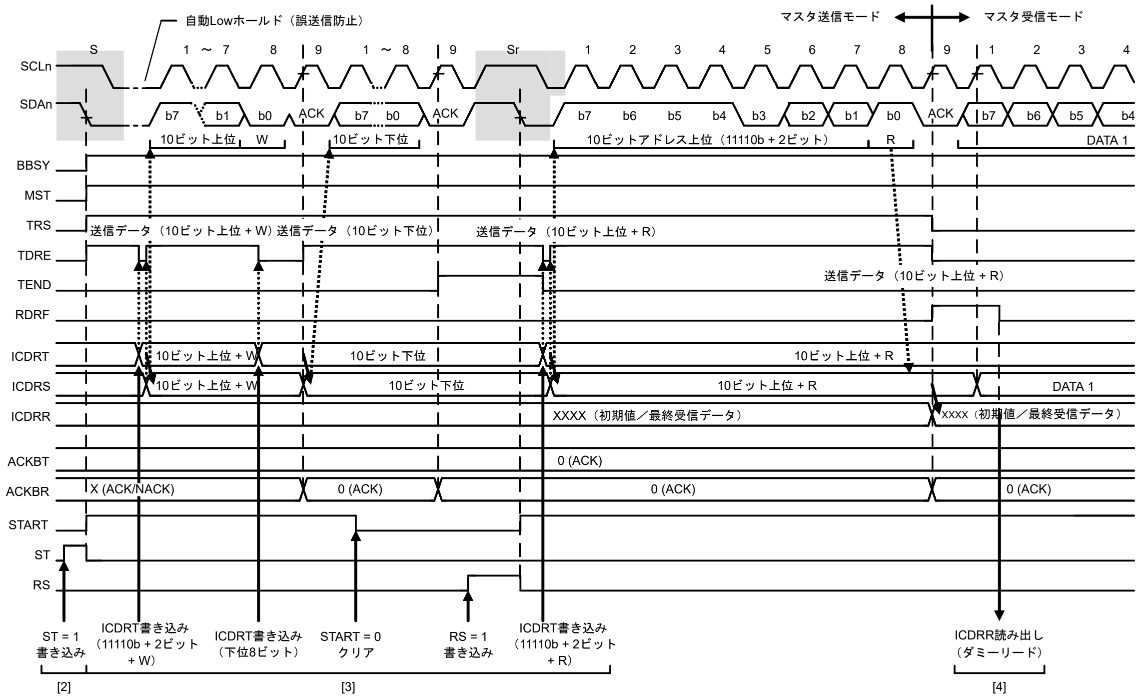


図 25.13　　マスタ受信の動作タイミング (2)（10 ビットアドレスフォーマットで RDRFS = 0 の場合）

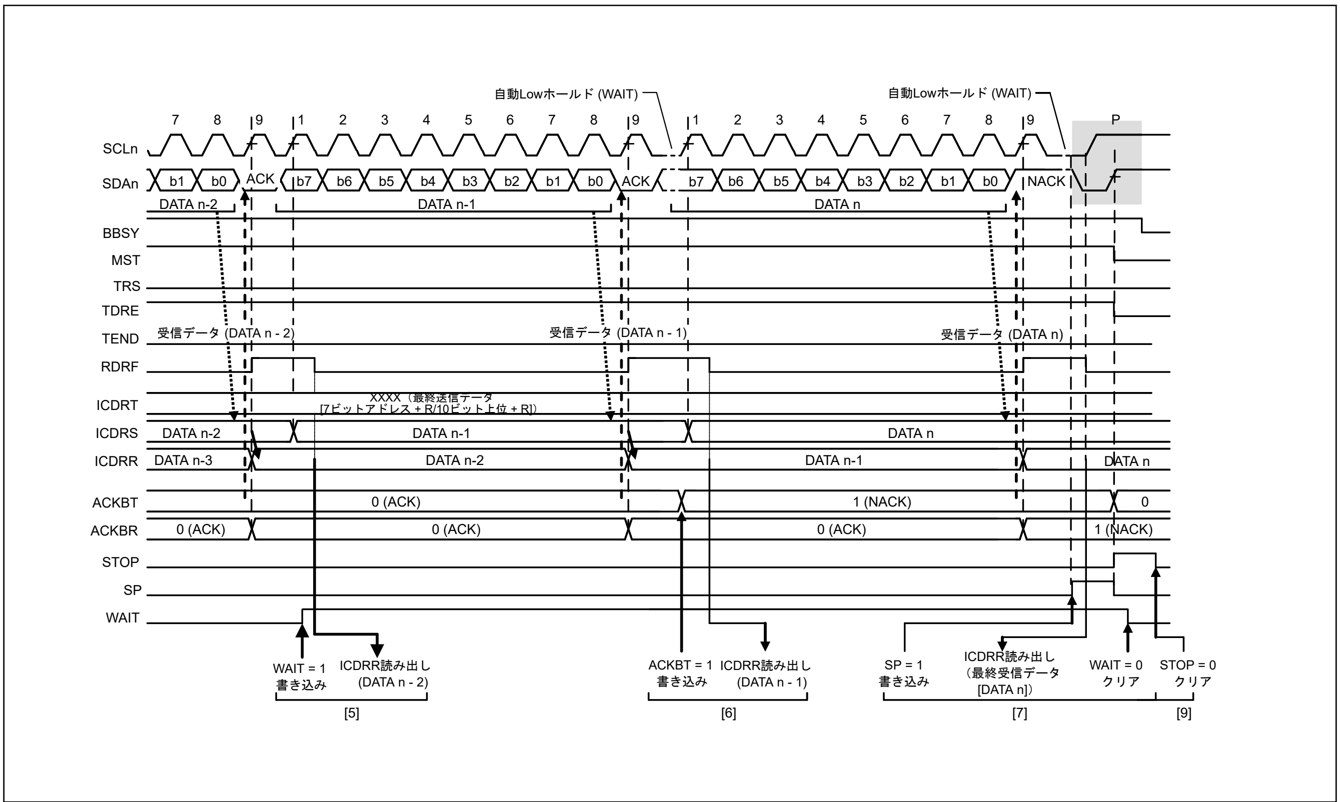


図 25.14 マスタ受信の動作タイミング (3)（RDRFS = 0 の場合）

25.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 25.15 にスレーブ送信の例を、図 25.16～図 25.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「25.3.2. 初期設定」を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0～2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がりで SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが解放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASn フラグ (n = 0～2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

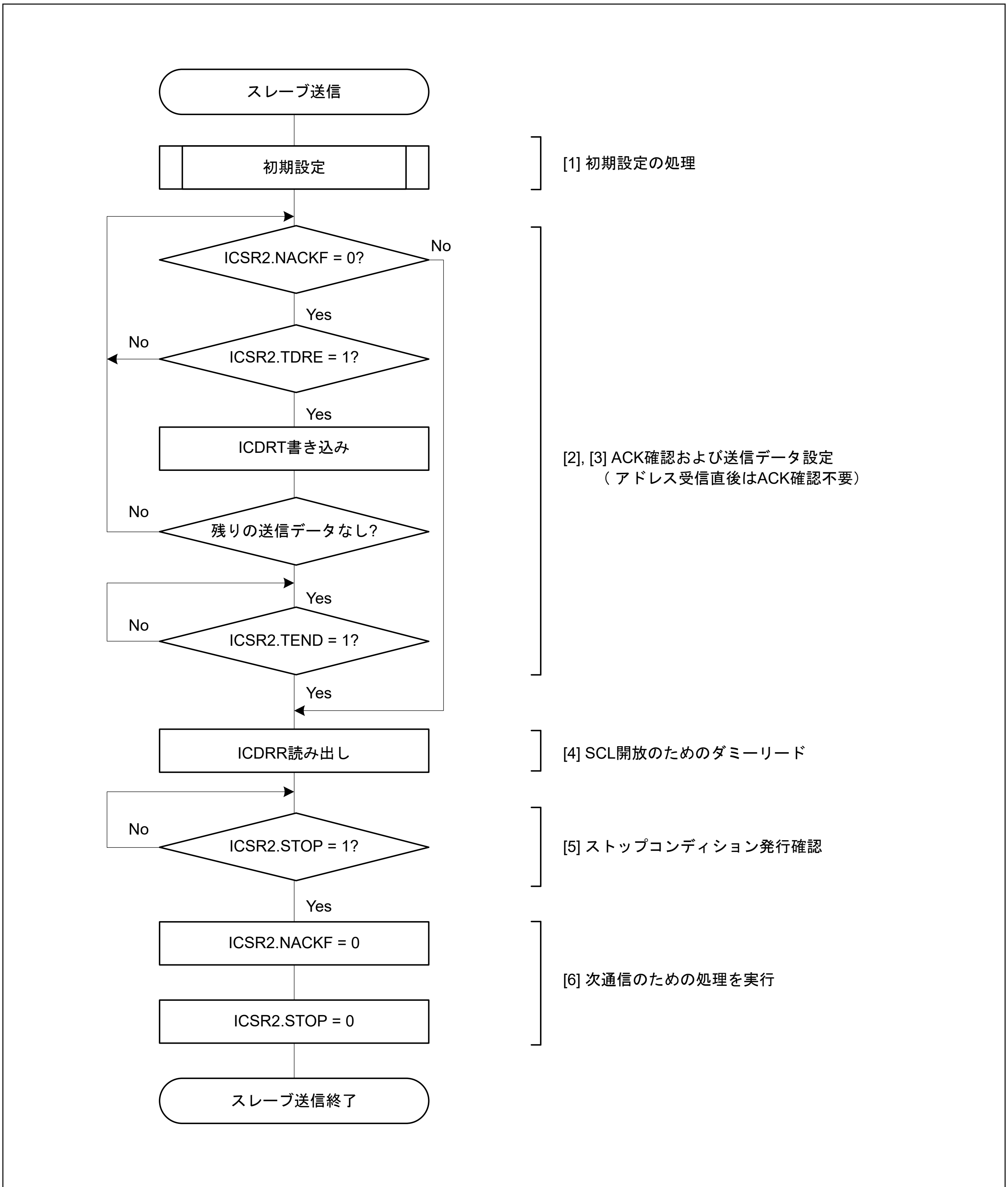


図 25.15　スレーブ送信のフローチャート例

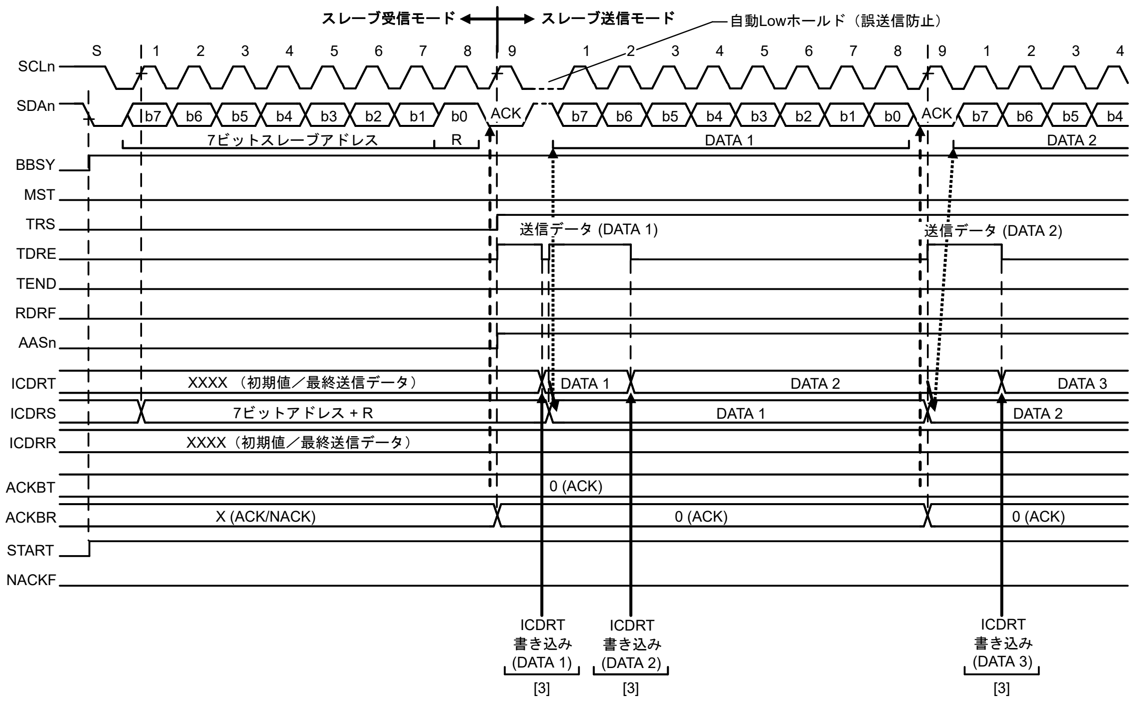


図 25.16　スレーブ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

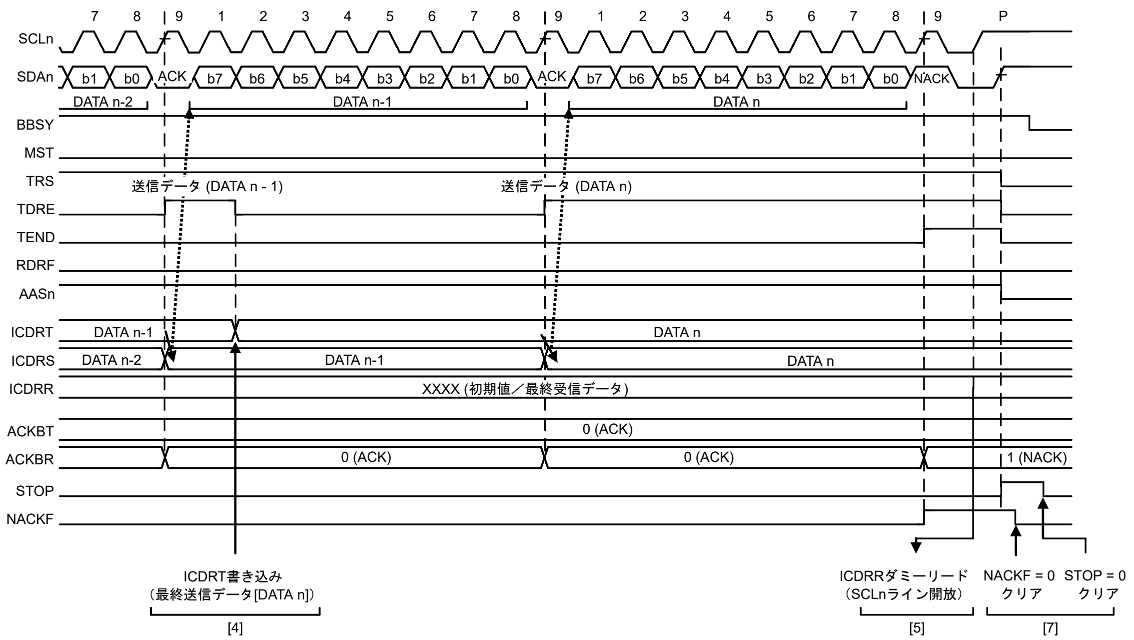


図 25.17　スレーブ送信の動作タイミング (2)

25.3.6　スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 25.18 にスレーブ受信の例を、図 25.19 と図 25.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「25.3.2. 初期設定」を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0～2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W#ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーで読んでください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 になった状態で次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを解放します。
   ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASn フラグ (n = 0～2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

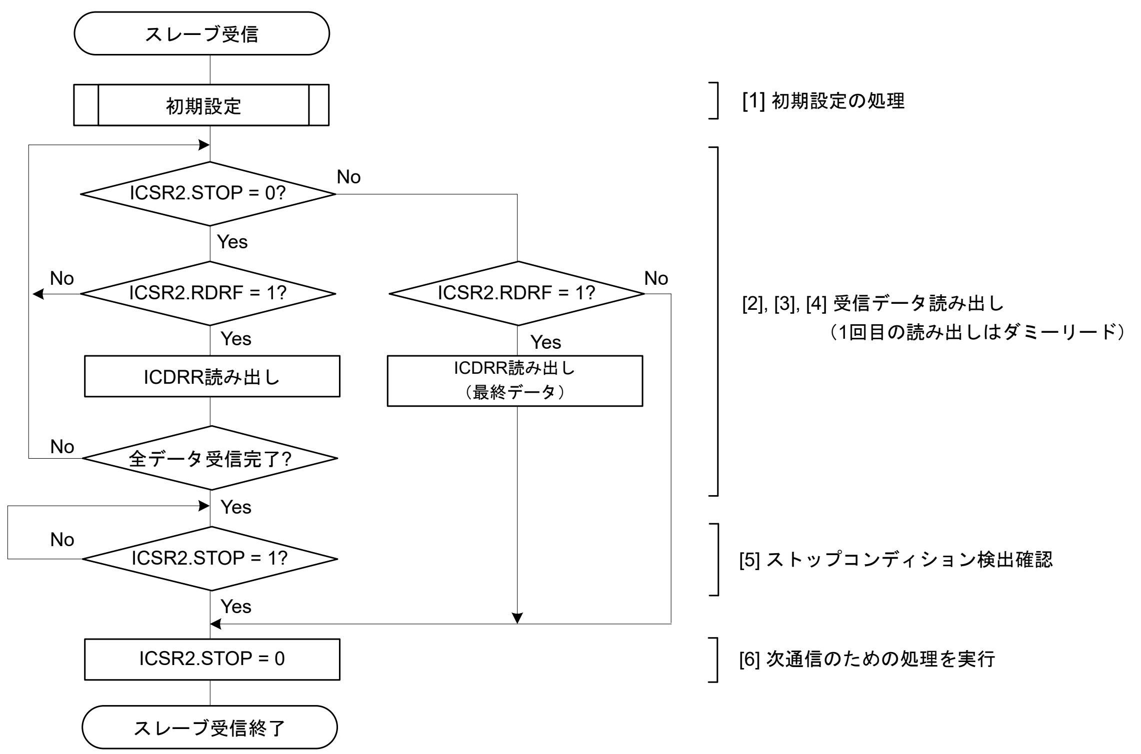


図 25.18　　スレーブ受信のフローチャート例

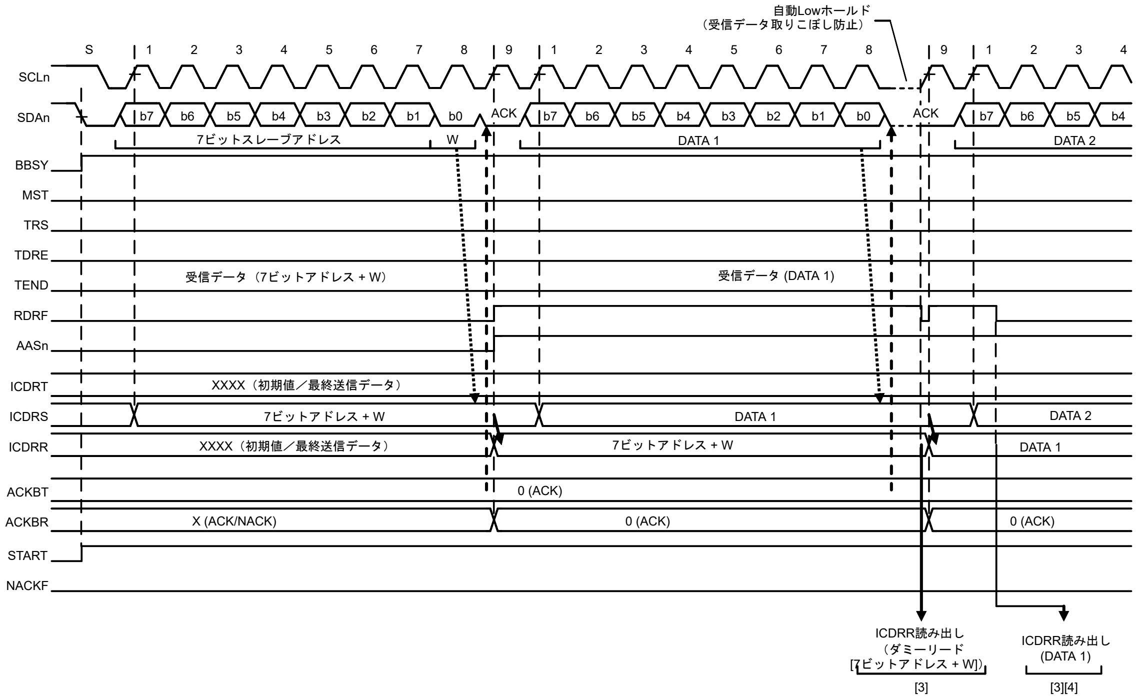


図 25.19　　スレーブ受信の動作タイミング (1)（7 ビットアドレスフォーマットで RDRFS = 0 の場合）

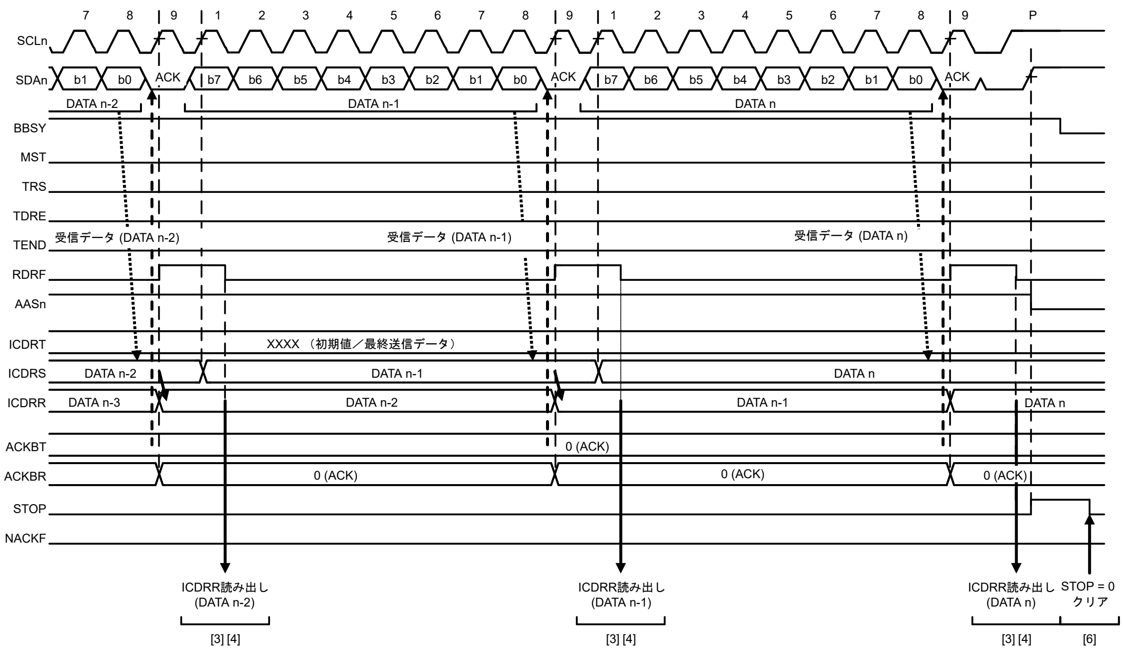


図 25.20　　スレーブ受信の動作タイミング (2)（RDRFS = 0 の場合）

25.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを解放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I^2C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウントを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は以下のように動作します。

1. IIC は SCLn ラインの立ち下がりを検出すると、High 幅のカウント動作を中断します。
2. SCLn ラインを Low にします。
3. ICBRL レジスタで設定した Low 幅のカウントを開始します。

Low 幅のカウントが終了すると、IIC は SCLn ラインを解放します。このとき、他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

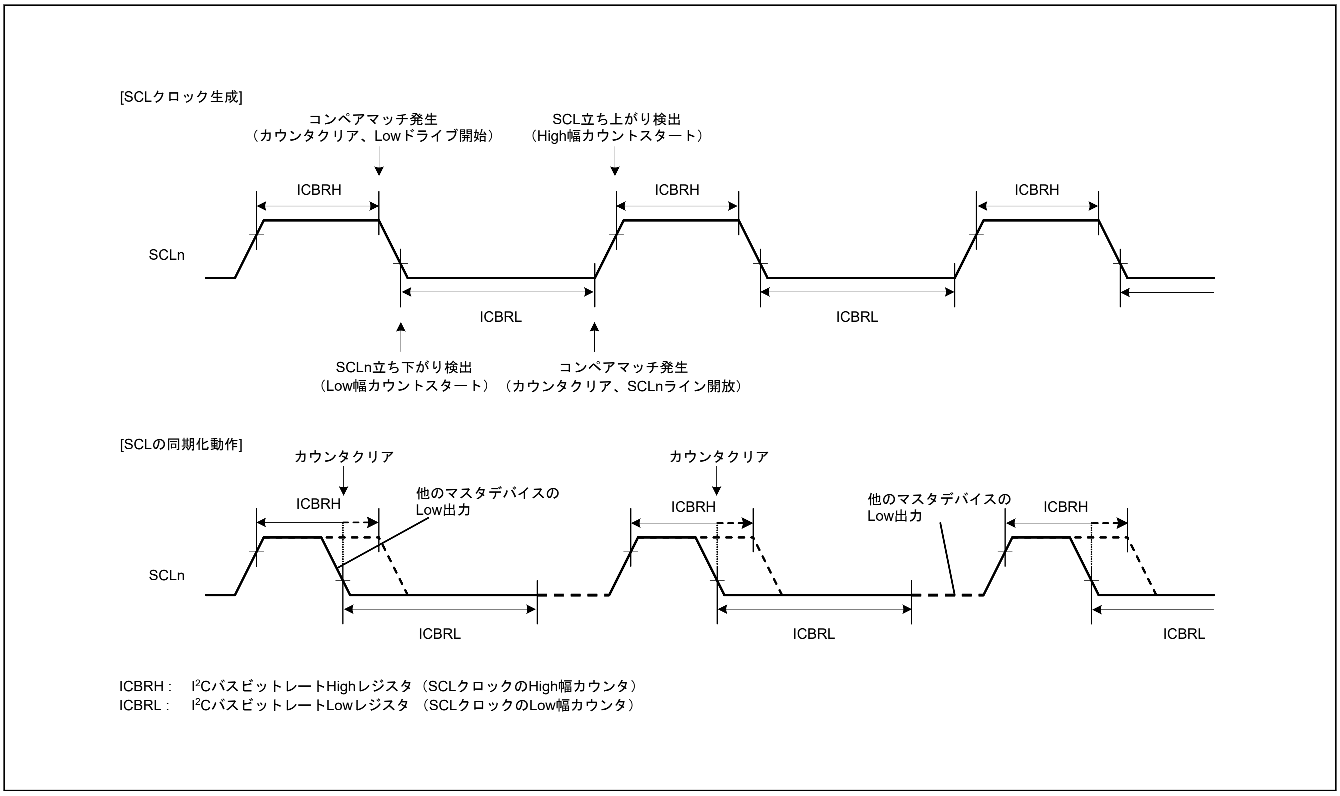


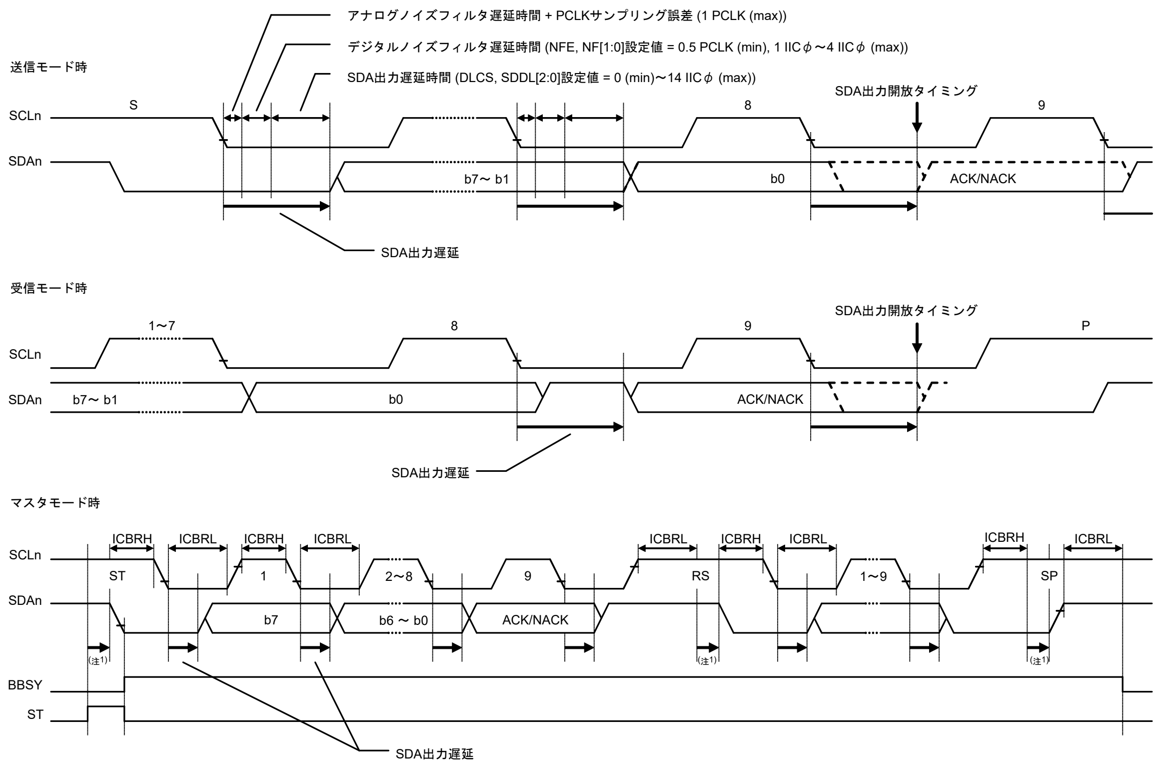
図 25.21 IIC の SCL クロック生成および SCL 同期化動作

25.5 SDA 出力遅延機能

IIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート／リスタート／ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。この SDA 出力遅延機能は、ICMR2.SDDL[2:0]ビットが 000b 以外のとき有効で、SDDL[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（ICMR2.SDDL[2:0] ビットが 000b 以外）になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) として選択します。カウンタは、ICMR2.SDDL[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC は SDA ライン上で必要な出力（スタート／リスタート／ストップコンディション、データ、ACK/NACK 信号）を行います。



注.　PCLK = PCLKB
注 1.　スタートコンディション (ST)、リスタートコンディション (RS)、ストップコンディション (SP) 発行時は DLCS、SDDL[2:0] 設定値分の遅延

図 25.22　SDA 出力遅延機能

25.6　デジタルノイズフィルタ回路

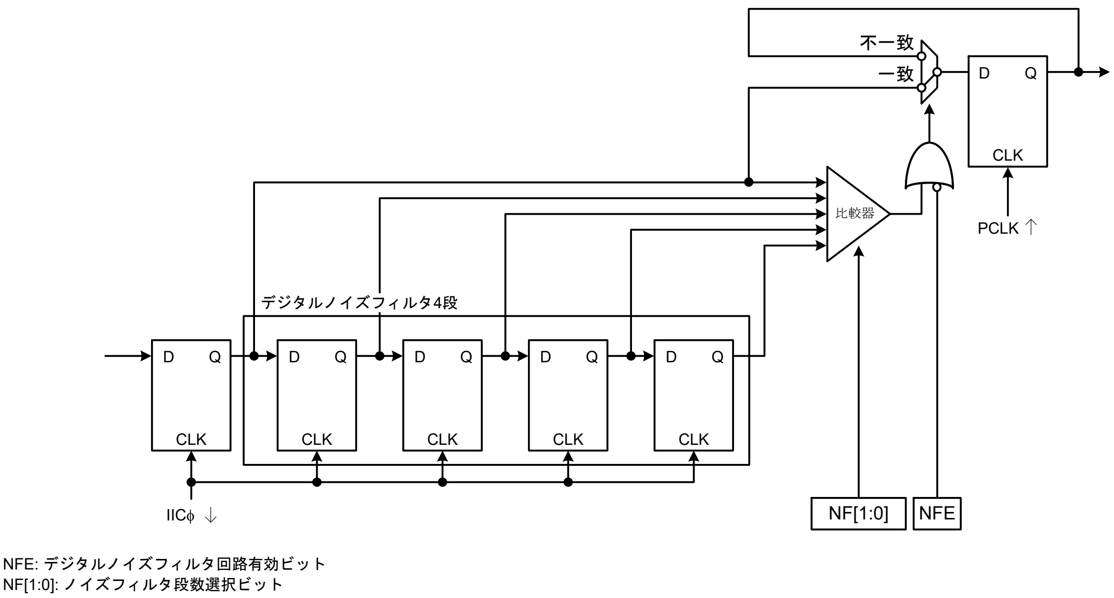
SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。 図 25.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。デジタルノイズフィルタの有効段数は ICMR3.NF[1:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1IICφ～4IICφ サイクル分となります。

SCLn 端子（または SDAn 端子）への入力信号は、IICφ 信号の立ち下がりエッジでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。信号レベルが一致しない場合は、前の値が保持されます。

なお、たとえば PCLKB = 4 MHz 時の 400 kbps 通信のように、内部動作クロック (PCLKB) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、

ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。



注. PCLK = PCLKB

図 25.23 デジタルノイズフィルタ回路のブロック図

25.7 アドレス一致検出機能

IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスを設定できます。

25.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARnE ビット (n = 0～2) が 1 のとき、SARUn および SARLn レジスタ (n = 0～2) に設定されたスレーブアドレスを検出できます。

IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASn フラグ (n = 0～2) が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W#ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンプティ割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASn フラグで識別できます。

図 25.24 ～図 25.26 に AASn フラグが 1 になるタイミングを 3 つのケースで示します。

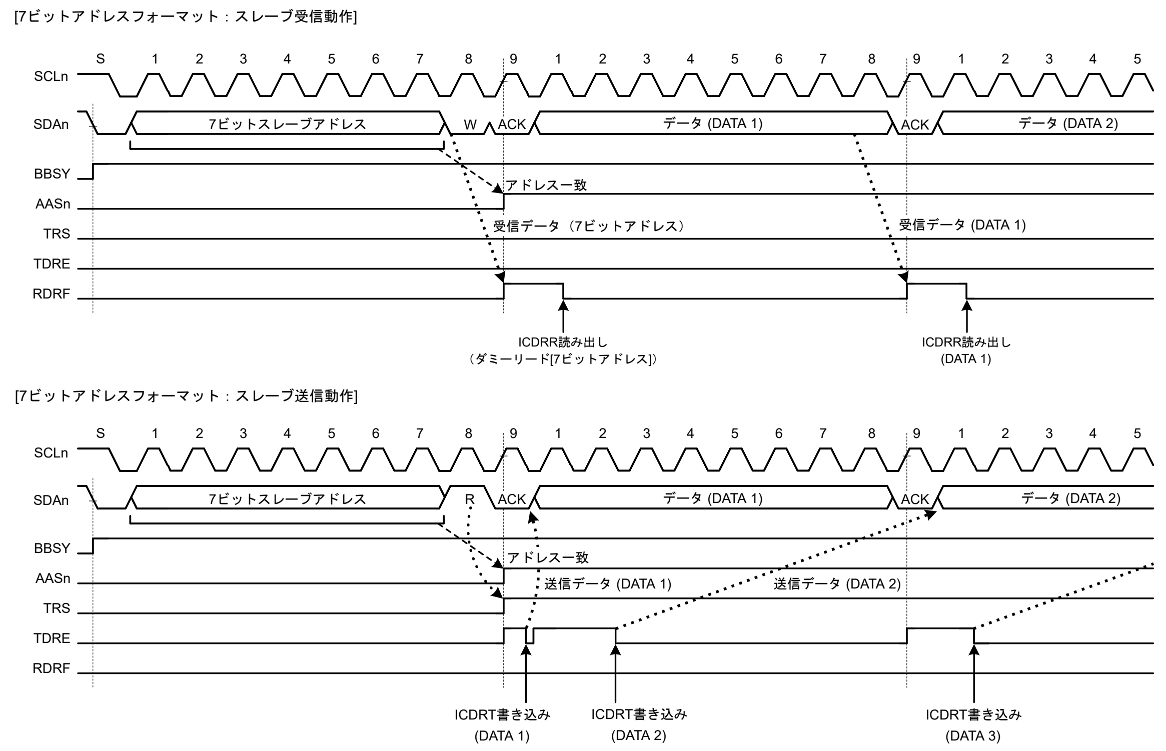


図 25.24　　AASn フラグが 1 になるタイミング（7 ビットアドレスフォーマット選択時）

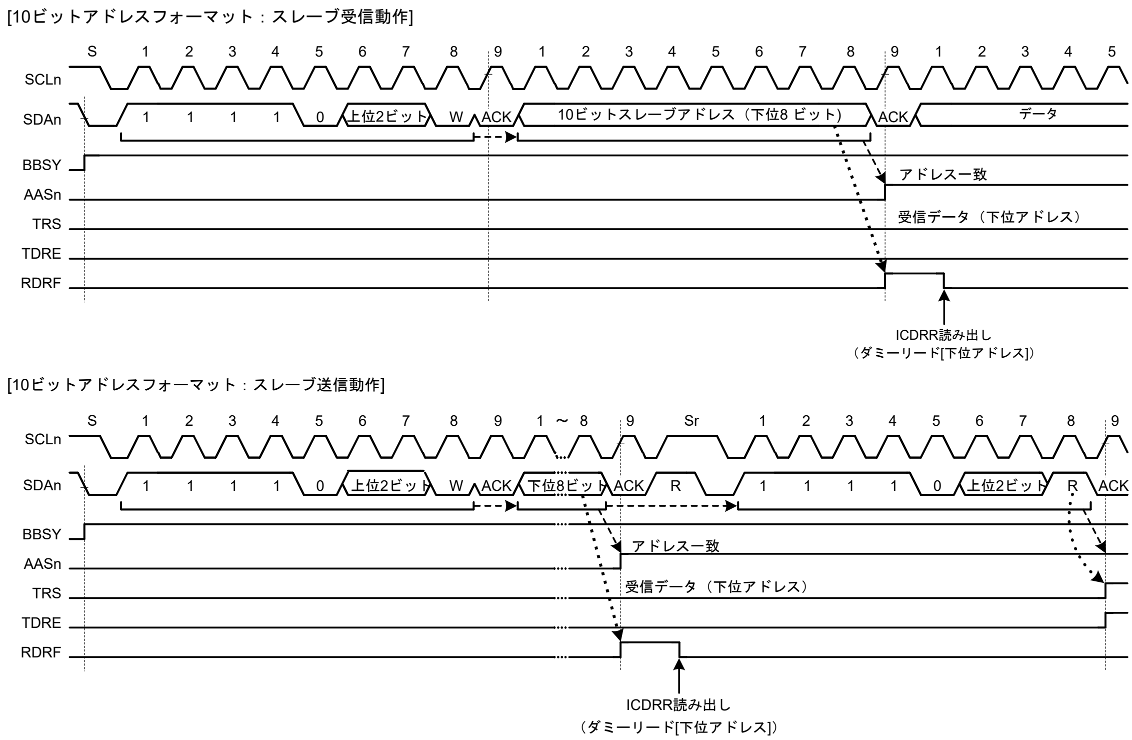


図 25.25　　AASn フラグが 1 になるタイミング（10 ビットアドレスフォーマット選択時）

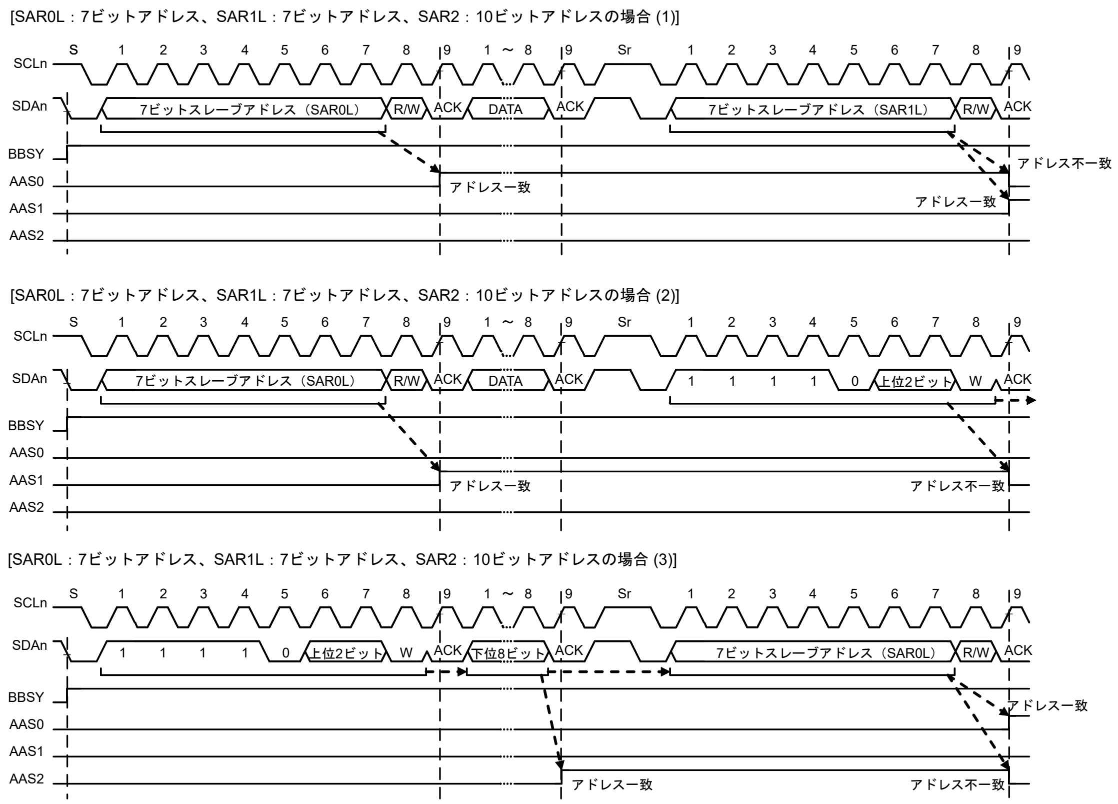


図 25.26　　AASn フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在）

25.7.2　　ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b ＋ 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b ＋ 1[R]（開始バイト）の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

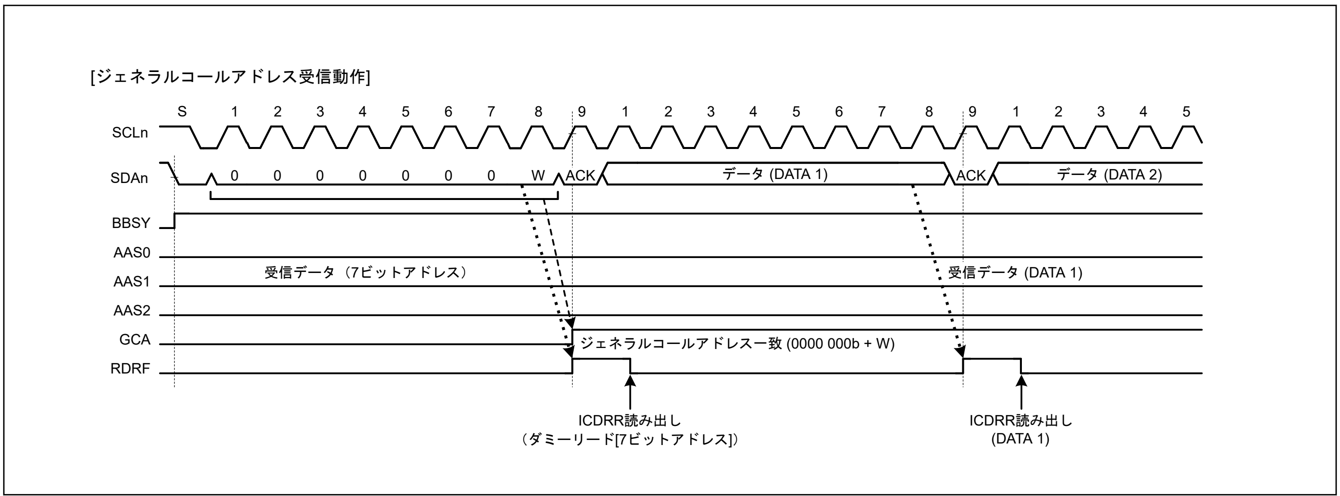


図 25.27　　ジェネラルコールアドレス受信時に GCA フラグが 1 になるタイミング

25.7.3　　デバイス ID アドレス検出機能

IIC は、I^{2}C バス仕様（リビジョン 03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき、SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASn フラグ (n = 0～2) を 1 にします。

その後、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W#ビットが 1 のとき、IIC は続く 2 バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W#ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。このようにして、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイトデータ：メーカ情報[12 ビット]＋部品識別[9 ビット]＋リビジョン[3 ビット]）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

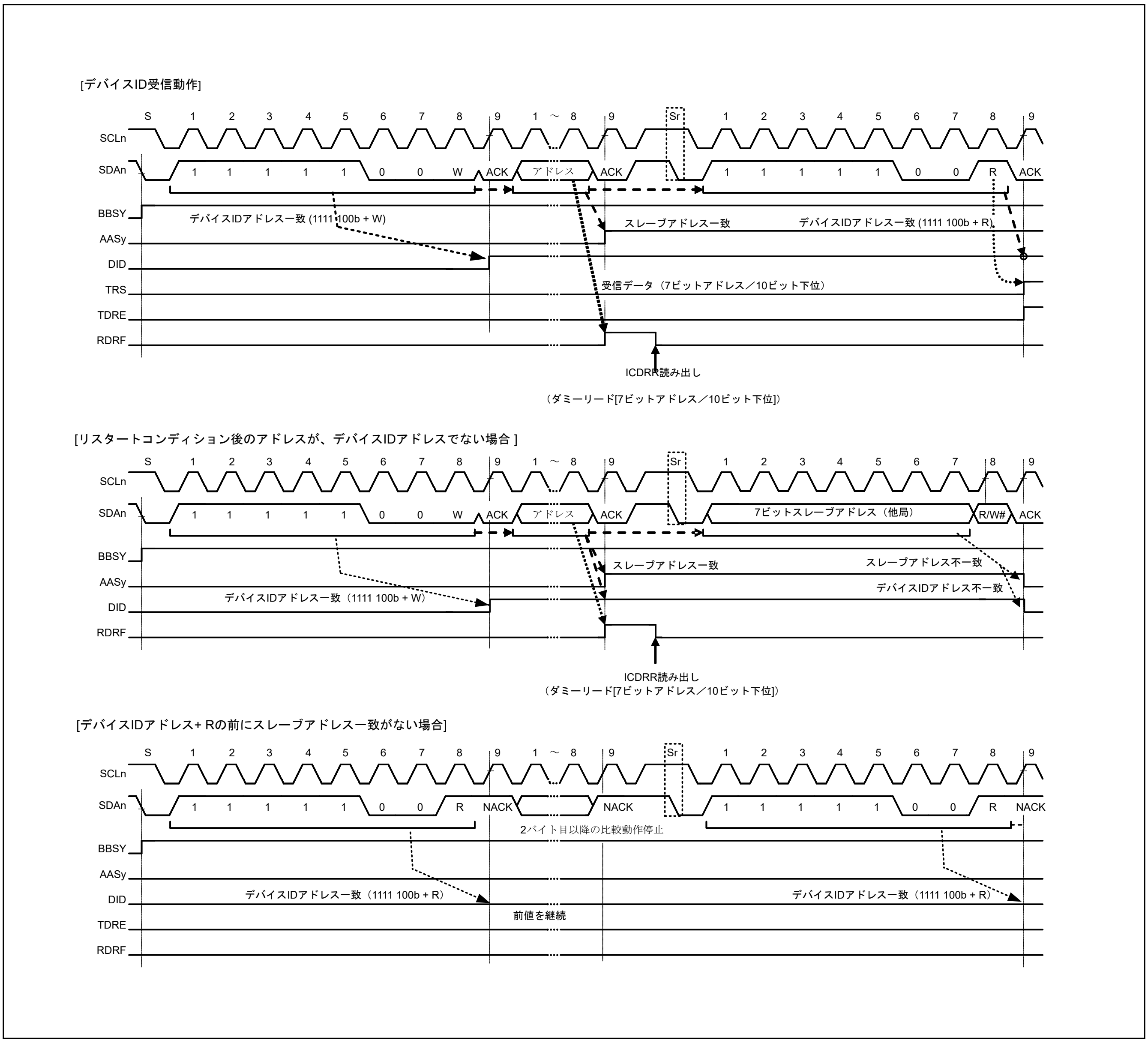


図 25.28　　デバイス ID 受信時の AASn、DID フラグのセット／クリアタイミング

25.7.4　　ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき ICSER.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST, TRS = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0（Wr ビット）のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

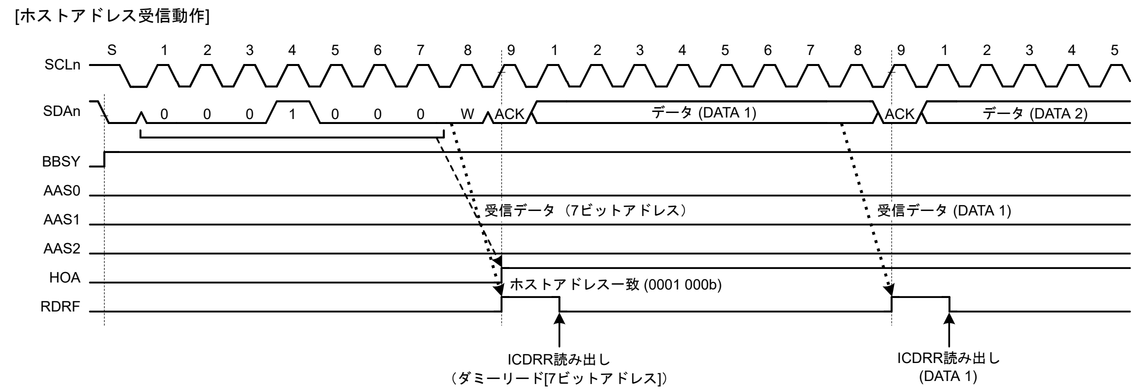


図 25.29　　ホストアドレス受信時に HOA フラグが 1 になるタイミング

25.8　　ウェイクアップ機能

IIC は、MCU をソフトウェアスタンバイモードまたはスヌーズモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック (PCLKB) 停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号が、通常動作への復帰をトリガします。ウェイクアップ割り込み発生後、通信が継続できるように IIC を PCLKB 同期動作に切り替えてください。

ウェイクアップ機能には、以下の 4 つの動作モードがあります。

- ノーマルウェイクアップモード 1
- ノーマルウェイクアップモード 2
- コマンドリカバリモード
- EEP 応答モード

表 25.9 に各モードの動作を示します。

表 25.9　　ウェイクアップ動作モード

動作モード	ACK 応答タイミング	PCLKB 同期動作に対するウェイクアップ前の ACK 応答	PCLKB 同期動作に対するウェイクアップ時の SCL 状態
ノーマルウェイクアップモード 1	PCLKB 同期動作に対してウェイクアップ前(注1)	ACK	Low に固定
ノーマルウェイクアップモード 2	PCLKB 同期動作に対してウェイクアップ後(注2)	ウェイクアップ前 : 応答なし（NACK レベル保持） ウェイクアップ後 : ACK 応答	Low に固定
コマンドリカバリモード	PCLKB 同期動作に対してウェイクアップ前(注1)	ACK	オープン
EEP 応答モード	PCLKB 同期動作に対してリカバリ前(注1)	NACK	オープン

注 1.　PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりエッジで発生します。
注 2.　PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりエッジで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出（ICSER.HOAE = 1 の場合に有効）
- ジェネラルコールアドレス検出（ICSER.GCAE = 1 の場合に有効）
- スレーブアドレス 0(注1)検出（ICSER.SAR0E = 1 の場合に有効）
- スレーブアドレス 1(注1)検出（ICSER.SAR1E = 1 の場合に有効）

- スレーブアドレス 2(注1)検出（ICSER.SAR2E = 1 の場合に有効）

注 1.　7 ビットアドレスのみ設定可能 SARUy (y = 0～2) レジスタの FS ビットに 0 を設定してください。

ウェイクアップ機能使用時の注意事項

- ICWUR2 レジスタの WUASYF フラグが 1（PCLKB 非同期動作時）の間は、ICIER レジスタと ICWUR2 レジスタの WUSEN ビットを除き、IIC レジスタの内容を変更しないでください。
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE ビット、ICWUR.WUIE ビットを 1 に、ICCR2.MST ビット、ICCR2.TRS ビットを 0（スレーブ受信モード）にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。ICSER レジスタの DIDE ビットおよび SARUy (y = 0～2) レジスタの FS ビットを 0 に設定してください。
- PCLKB 非同期動作 (ICWUR2.WUASYF = 1) に切り替えた後に、ICIER レジスタのビット（TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE）を 0（割り込み禁止）にしてください。
- ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください (ICWUR.WUE = 1)。
- PCLKB 非同期動作時（ICWUR2.WUASYF = 1 の場合）にウェイクアップ割り込みが発生した場合でも、スレーブアドレスが PCLKB 同期モード (ICWUR2.WUASYF = 0) であれば、ウェイクアップ割り込みは発生せず、WUF フラグは設定されません。
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングと開始条件を検出するタイミングが競合する場合、IIC は PCLKB 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に ICWUR2.WUASYF フラグは 1 になり（PCLKB 非同期モードへ切り替え）、停止条件が検出され、ウェイクアップイベントの検出を開始します。
- ICWUR2.WUSEN ビットに 0 を書き込んだ後、モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで（ICWUR2.WUASYF フラグが 1 の間）、IIC 動作モード設定に関連するレジスタ（ICMR3、ICSER、および SARLy レジスタ）を変更しないでください。割り込み処理または他の要因により、この周期の間にレジスタ値が変化する場合、非同期動作へ切り替える前に IIC が誤作動する可能性があります。

25.8.1　ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：　IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

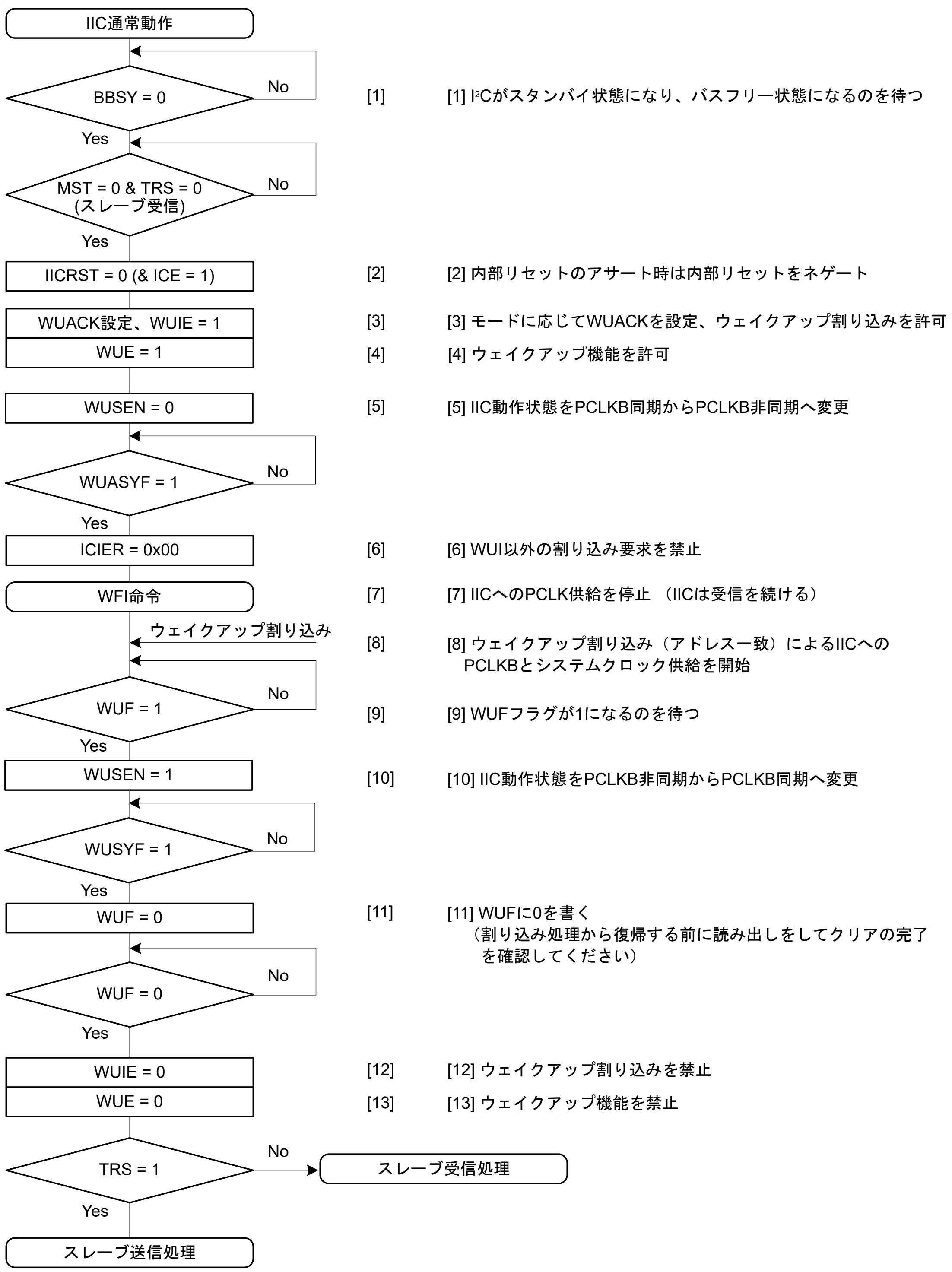
ウェイクアップ中：　SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う(注1)。

ウェイクアップ後：　通常動作が継続する。

注 1.　ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。図 25.30 に動作例を、図 25.32 に詳細なタイミングを示します。

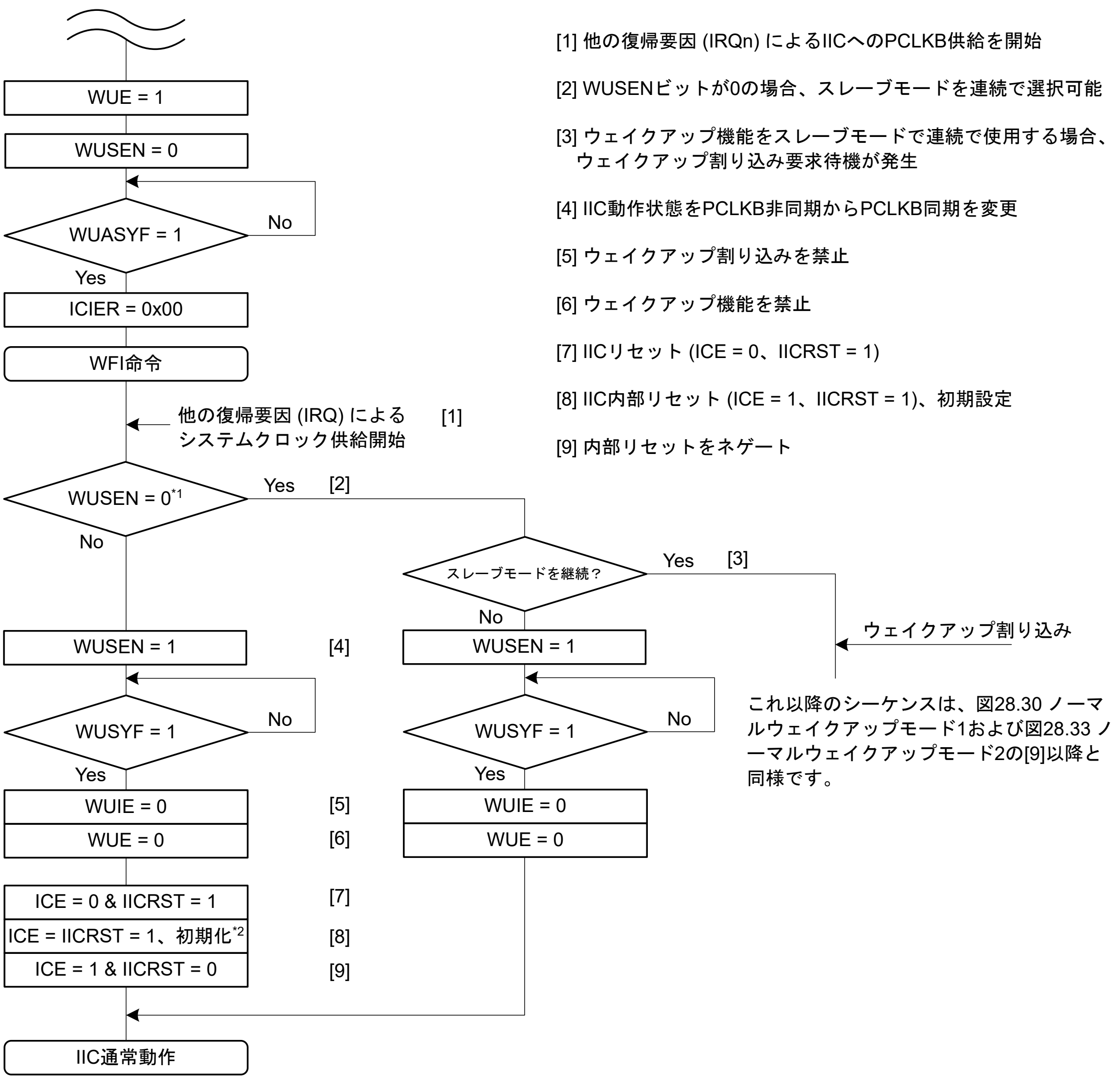
ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 25.31 に動作例を示します。



注.　PCLK = PCLKB

図 25.30　ノーマルウェイクアップモード 1 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

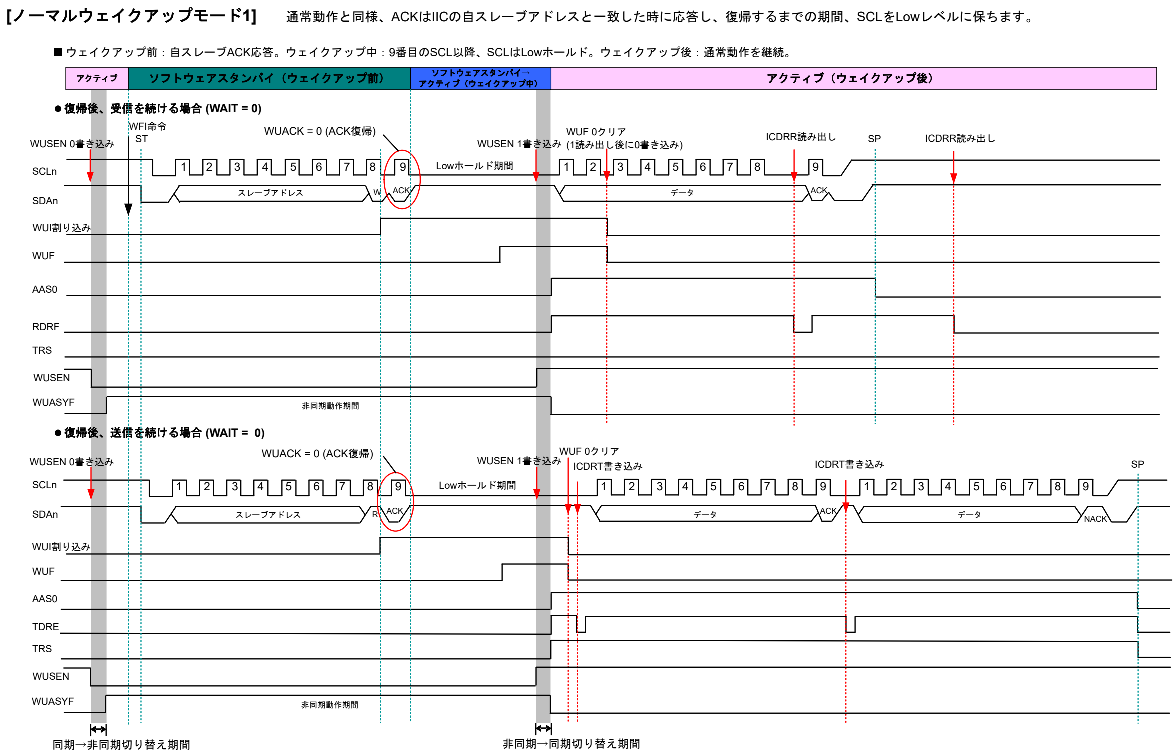
注.　ウェイクアップ機能使用時の注意事項を参照してください。



注. PCLK = PCLKB
注 1. 本 MCU では、IIC の WUSEN ビットは常に 0 です。
注 2. IIC 初期設定の詳細は、「25.3.2. 初期設定」を参照してください。

図 25.31 ノーマルウェイクアップモード 1 および 2 の動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）

注. IIC 初期設定の詳細は、「25.3.2. 初期設定」を参照してください。



注.　n = 0

図 25.32　ノーマルウェイクアップモード 1 のタイミング

25.8.2　ノーマルウェイクアップモード 2

以下では、ノーマルウェイクアップモード 2 の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

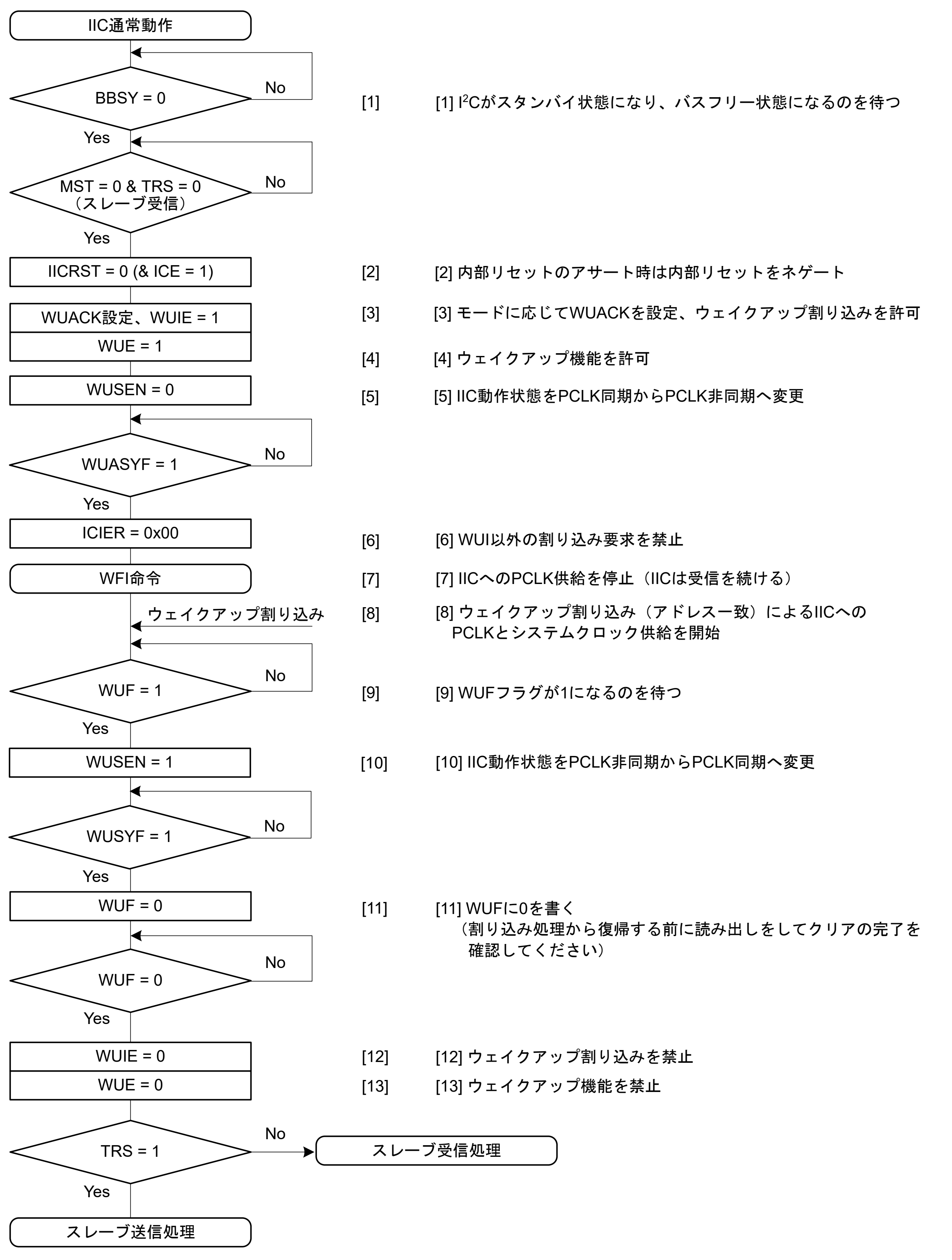
ウェイクアップ前：　SCL8 クロック目の終わりまでは、自スレーブアドレスで受信したデータへの応答はありません。

ウェイクアップ中：　SCL ラインは 8 クロック目と 9 クロック目の間で Low を保持します。

ウェイクアップ後：　SCL9 クロック目で ACK を返し、通常動作が継続します。

スレーブアドレスが一致しない場合、SCL ラインは SCL8 クロック目の後で Low を保持せずに、スレーブ動作が継続します。図 25.33 に動作例を、図 25.34 にタイミングの詳細を示します。

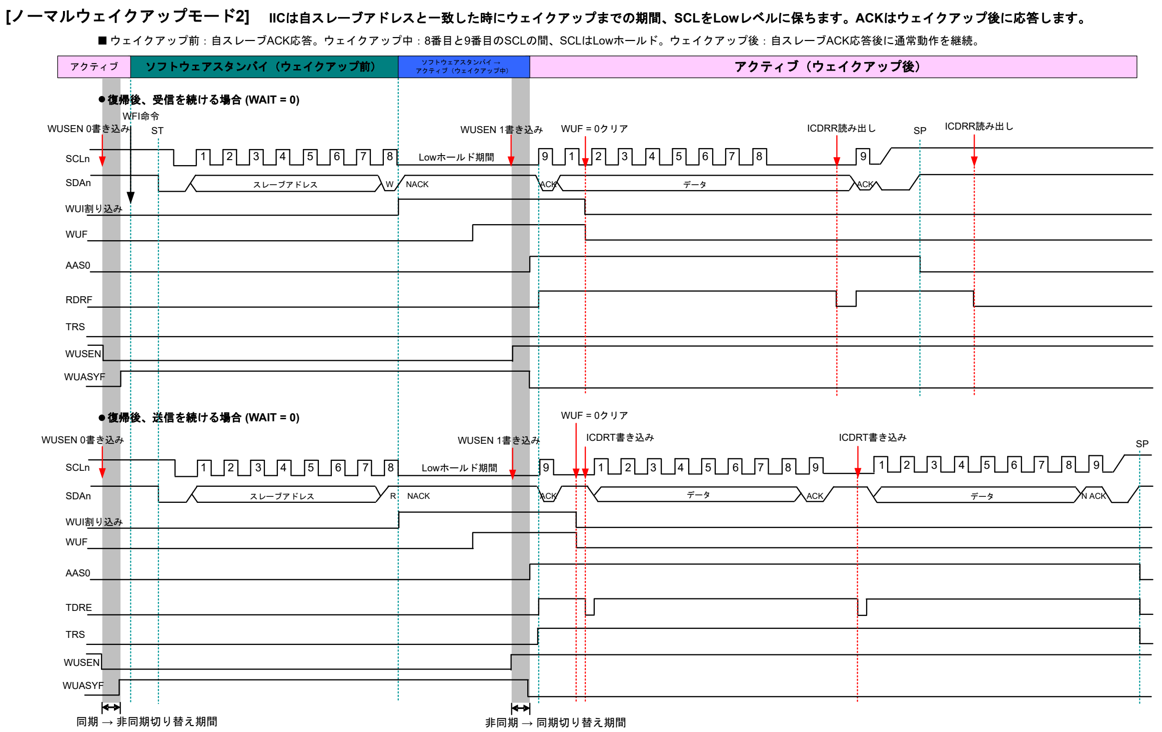
ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 25.31 に動作例を示します。



注.　PCLK = PCLKB

図 25.33　ノーマルウェイクアップモード 2 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注.　ウェイクアップ機能使用時の注意事項を参照してください。



注.　n = 0

図 25.34　ノーマルウェイクアップモード 2 のタイミング

25.8.3　コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および動作例について説明します。

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドを行いません。よって、他の IIC デバイスはこの期間に I^{2}C バスを利用できます。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：　自スレーブアドレスとともに受信したデータに対して、IIC は ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。

ウェイクアップ中：　SCL ラインの Low ホールドを行わない。

ウェイクアップ後：　IIC の初期化後、通常動作が継続する。

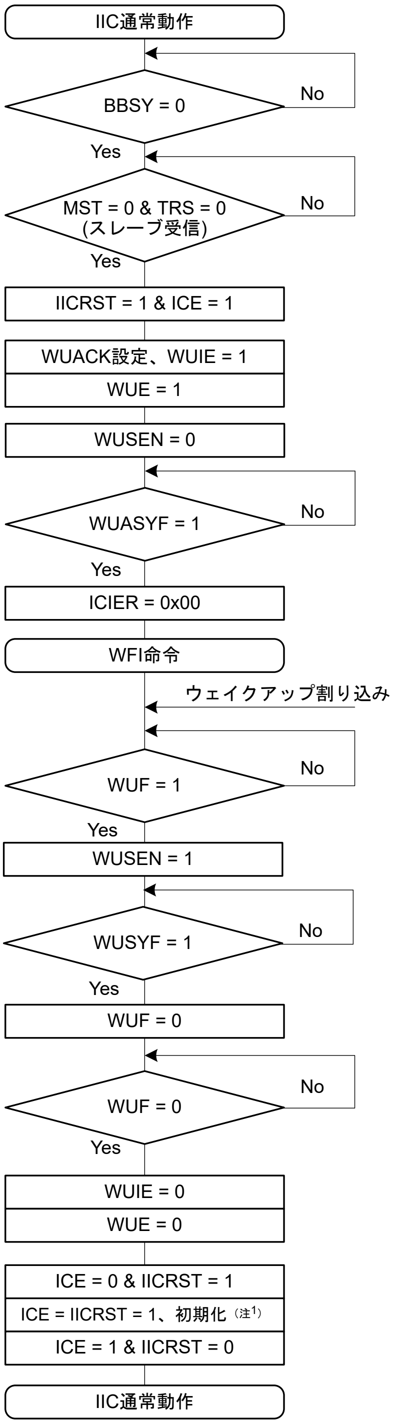
スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注.　ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注.　コマンドリカバリモードと EEP 応答モードは、内部リセット状態 (ICE = IICRST = 1) です。したがって、スレーブアドレスが一致しても、ICSR1 レジスタのフラグ（HOA、GCA、ASS0、ASS1、ASS2）は設定されません。

図 25.35 にコマンドリカバリモードと EEP 応答モードの動作例を示します。図 25.37 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 25.36 に示す処理に従ってください。



[1] [1] I^2Cがスタンバイ状態になり、バスフリー状態になるのを待つ

[2] [2] 内部リセットのアサート

[3] [3] モードに応じてWUACKを設定、ウェイクアップ割り込みを許可

[4] [4] ウェイクアップ機能を許可

[5] [5] IIC動作状態をPCLKB同期からPCLKB非同期へ変更

[6] [6] WUI以外の割り込み要求を禁止

[7] [7] IICへのPCLKB供給を停止 （IICは受信を続ける）

[8] [8] ウェイクアップ割り込み（アドレス一致）によるIICへの
PCLKBとシステムクロック供給を開始

[9] [9] WUFフラグが1になるのを待つ

[10] [10] IIC動作状態をPCLKB非同期からPCLKB同期へ変更

[11] [11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてクリアの完了
を確認してください）

[12] [12] ウェイクアップ割り込みを禁止

[13] [13] ウェイクアップ機能を禁止

[14] [14] IICリセット (ICE = 0、IICRST = 1)

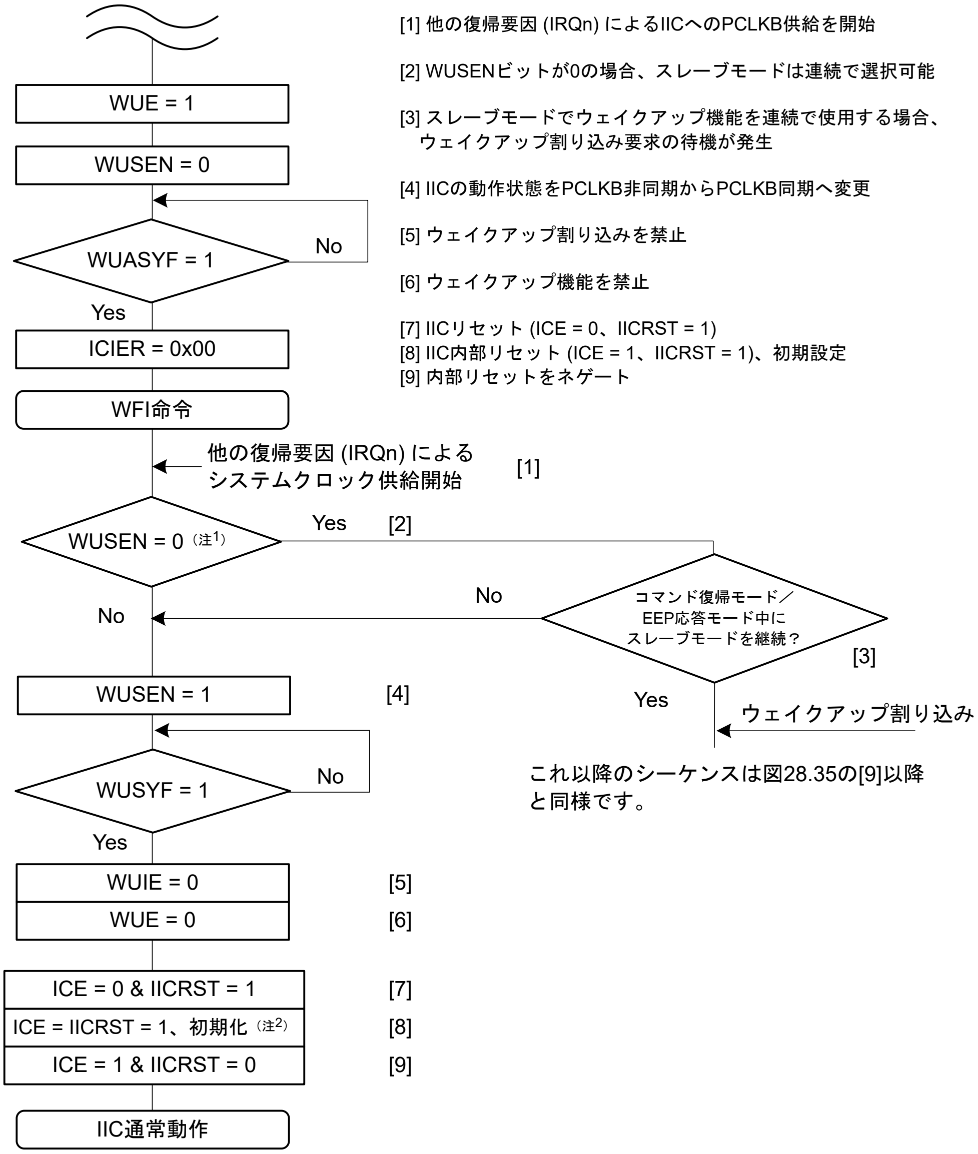
[15] [15] IIC内部リセット (ICE = 1、IICRST = 1)、初期設定

[16] [16] 内部リセットをネゲート

注.　PCLK = PCLKB
注 1.　IIC 初期設定の詳細は、「25.3.2. 初期設定」を参照してください。

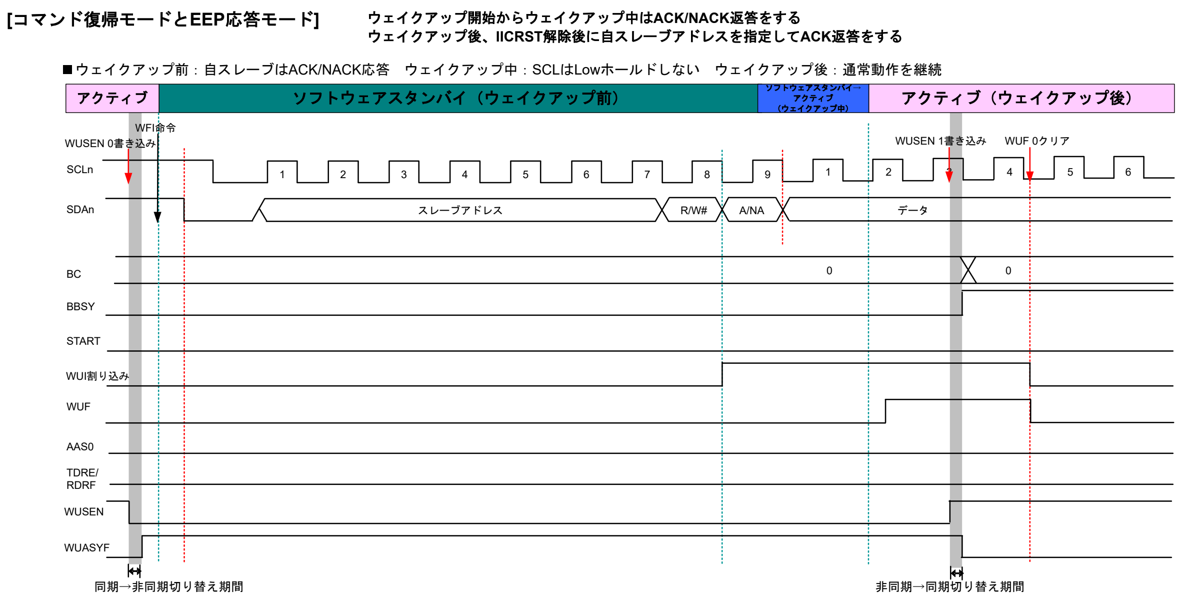
図 25.35　コマンドリカバリモードと EEP 応答モードの動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注.　ウェイクアップ機能使用時の注意事項を参照してください。



注.　PCLK = PCLKB
注 1.　MCU では、IIC の WUSEN ビットは常に 0 です。
注 2.　IIC 初期設定の詳細は、「25.3.2. 初期設定」を参照してください。

図 25.36　コマンドリカバリモードと EEP 応答モードの動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）



注.　n = 0

図 25.37　コマンドリカバリモードと EEP 応答モードのタイミング

25.9 SCL の自動 Low ホールド機能

25.9.1 送信データの誤送信防止機能

IIC が送信モード (ICCR2.TRS = 1) のとき、I^{2}C バスシフトレジスタ (ICDRS) が空の状態で、かつ I^{2}C バス送信データレジスタ (ICDRT) にデータが書かれていないと、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と 1 クロック目の間の Low 区間

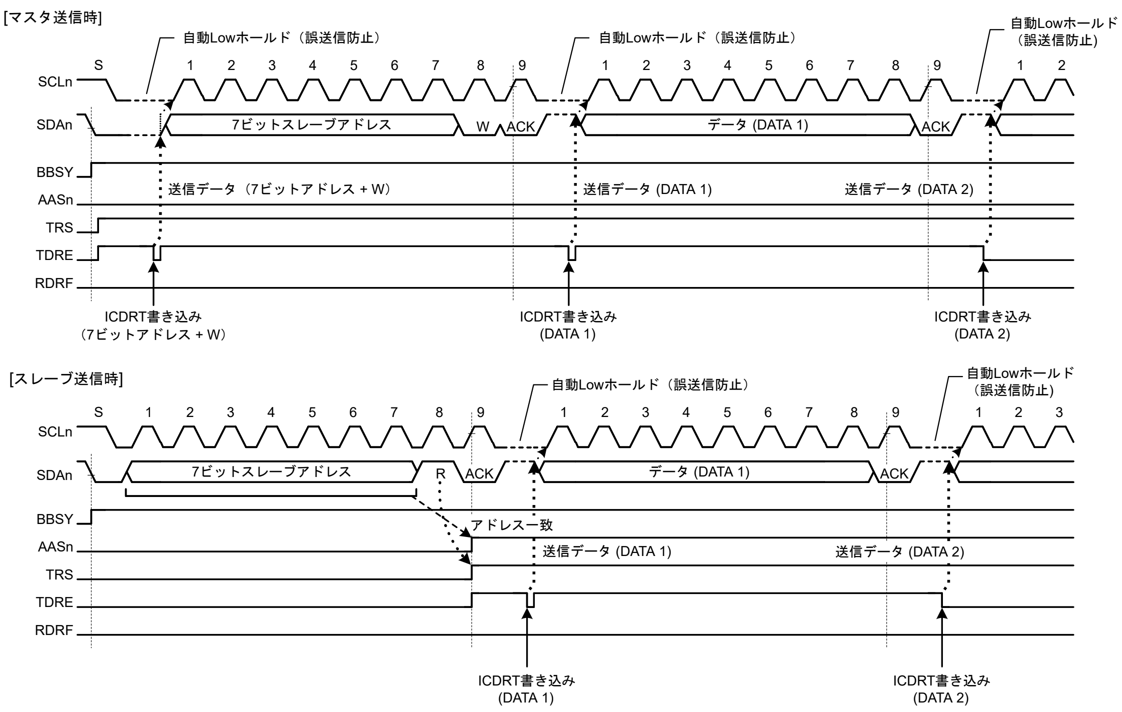


図 25.38　　送信モード時の自動 Low ホールド動作

25.9.2　　NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE = 0)、SCL クロックの 9 クロック目の立ち下がりで、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合 (ICSR2.NACKF = 1)、以後の送受信動作は行われません。送受信動作を再開するには、リスタートコンディション発行後に NACKF フラグを 0 にし、再試行する必要があります。あるいは、ストップコンディション発行後に NACKF フラグを 0 にしてから、スタートコンディションの発行により送受信動作を再開してください。

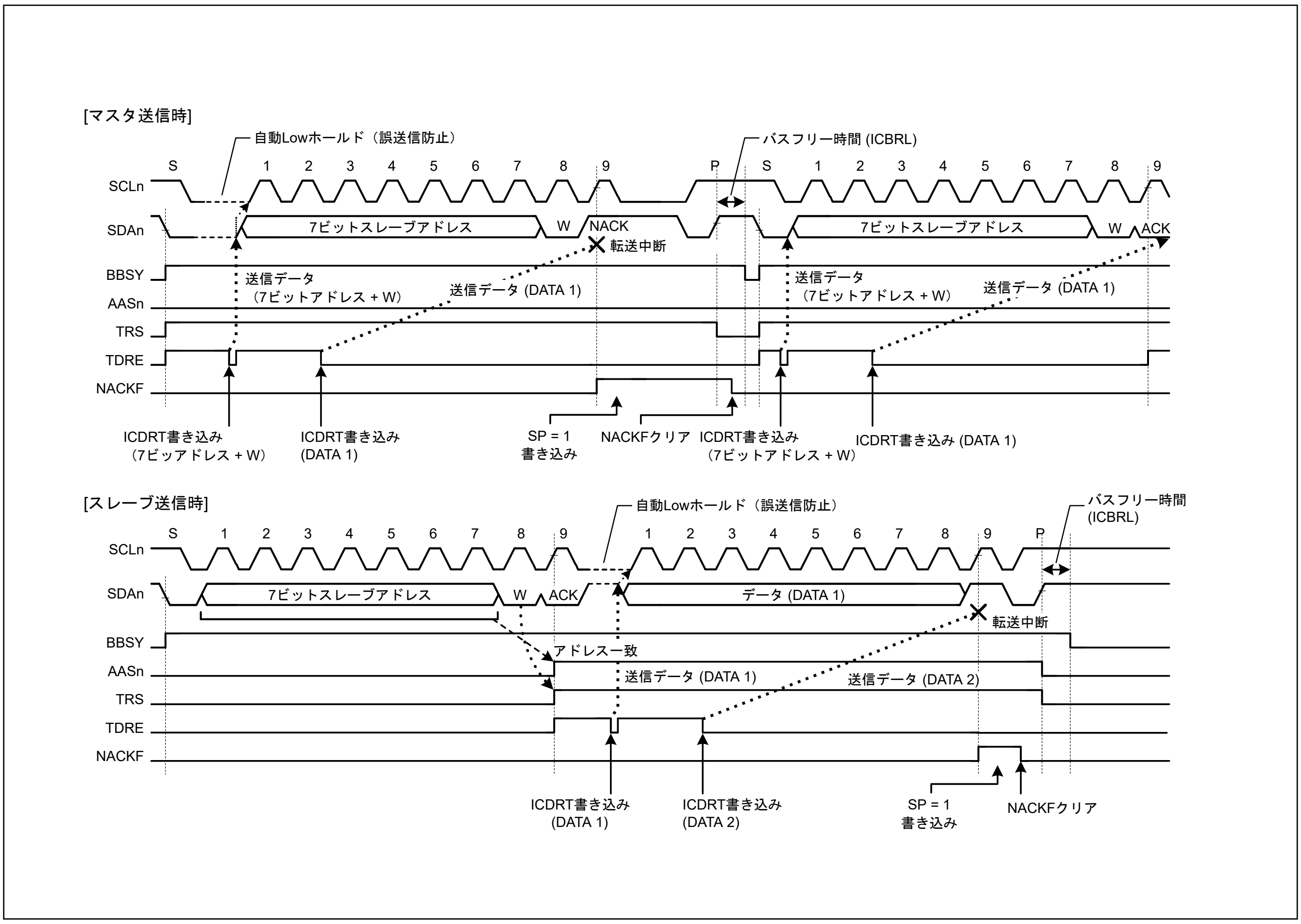


図 25.39 NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

25.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS = 0) に、受信データフル (ICSR2.RDRF = 1) の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1（受信データフル）になり、

8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

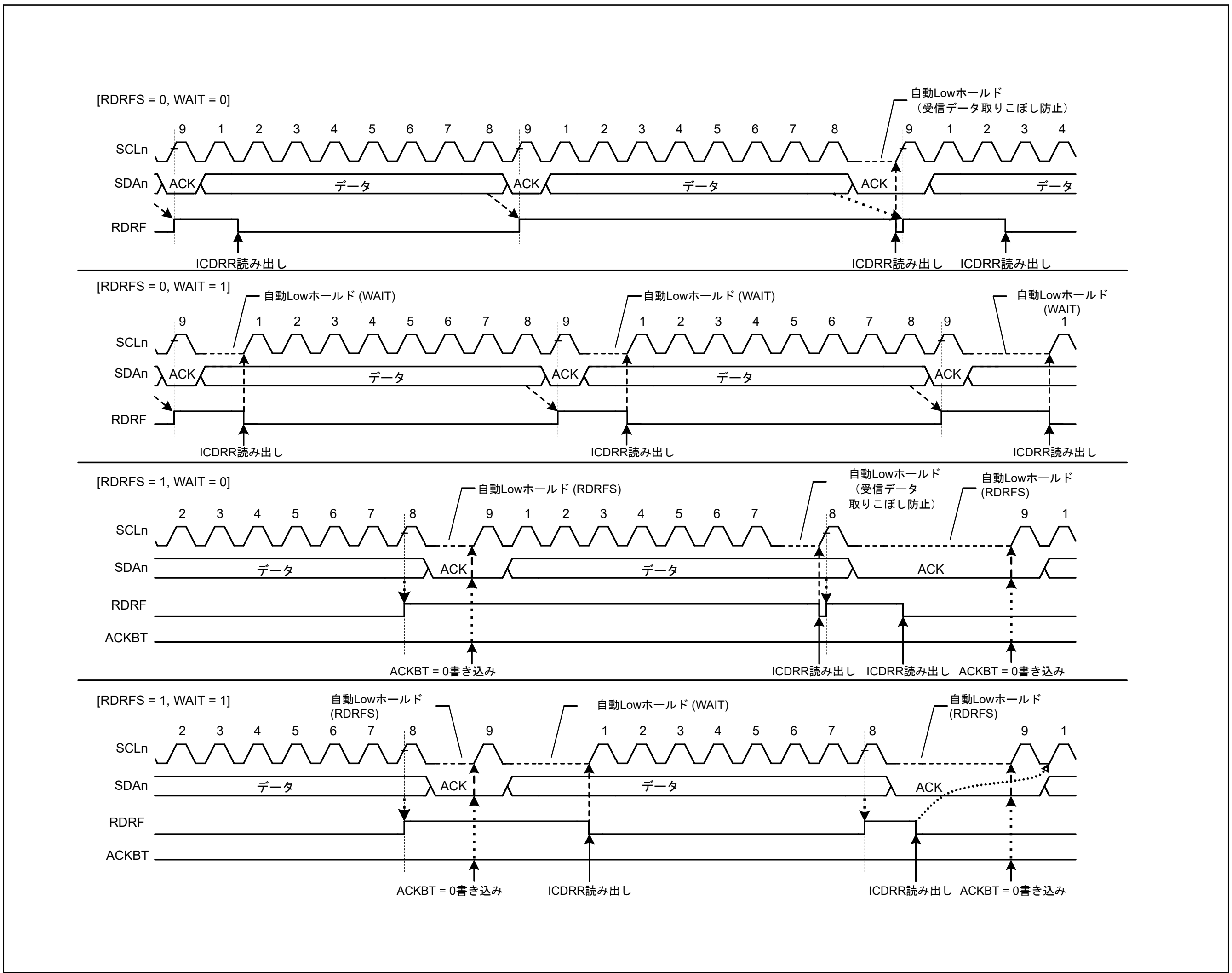


図 25.40　受信モード時の自動 Low ホールド動作（RDRFS および WAIT ビットを使用）

25.10　アービトレーションロスト検出機能

IIC は、I^2C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

25.10.1　マスタアービトレーションロスト検出機能（MALE ビット）

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY = 1) の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致の場合（内部 SDA 出力として High 出力、すなわち SDAn 端子がハイインピーダンス状態で、SDAn ラインに Low が検出されたとき）、IIC はアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時 (ICCR2.MST, TRS = 11b)、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致のとき

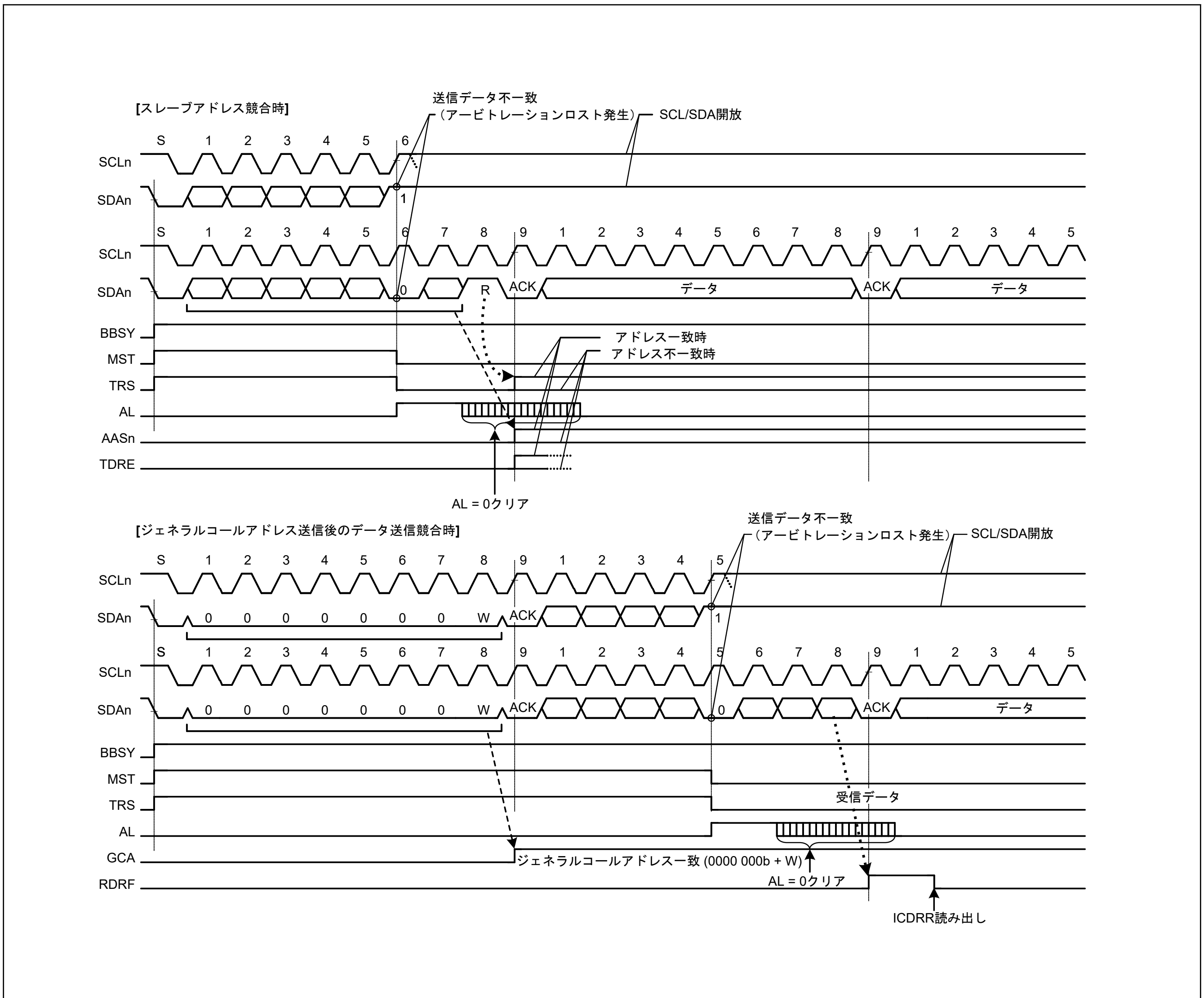
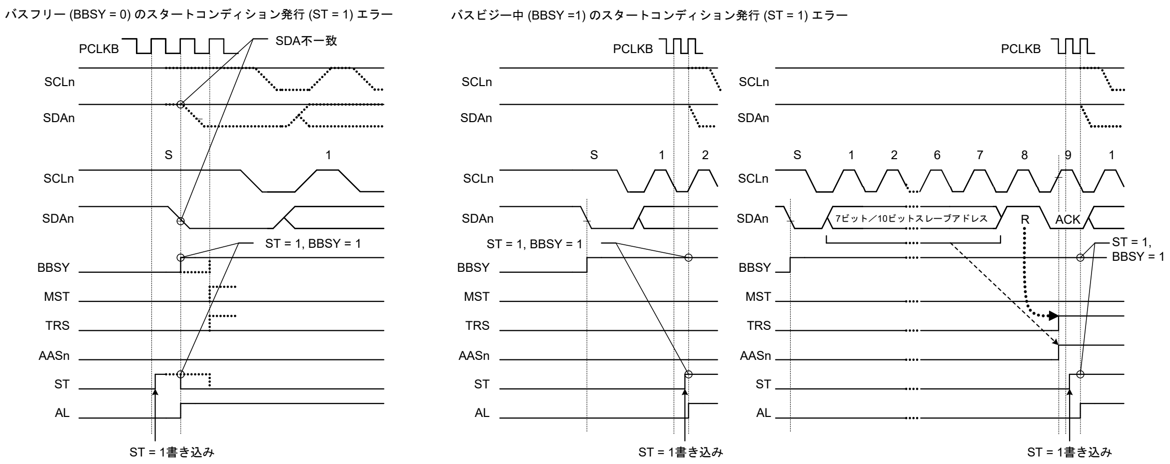


図 25.41　　マスタアービトレーションロスト検出動作例（MALE = 1 の場合）



注.　PCLK = PCLKB

図 25.42　スタートコンディション発行時のアービトレーションロスト（MALE = 1 の場合）

25.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット）

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。 図 25.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。

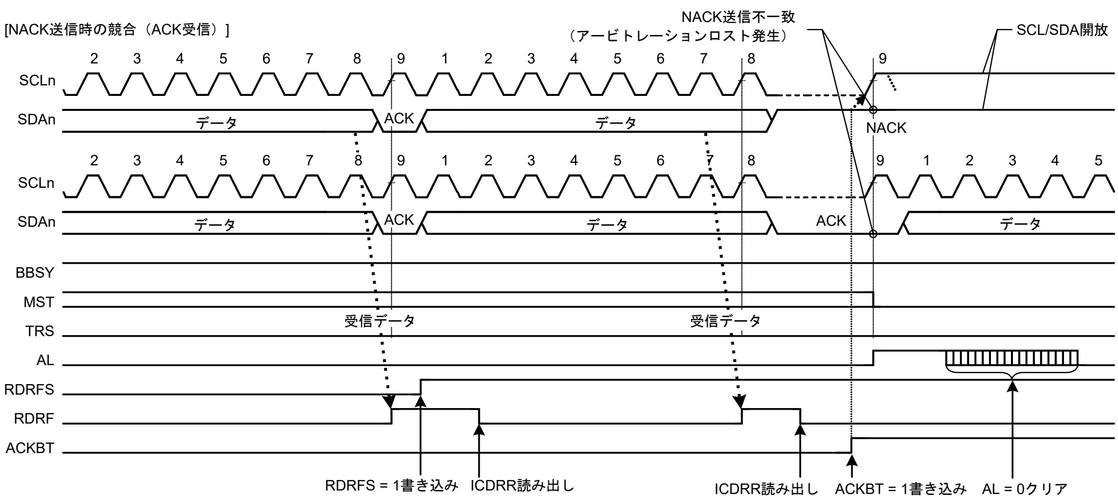


図 25.43　NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID（ユニークデバイス ID）が不一致の場合に、0xFF 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT = 1)、内部の SDA 出力レベルと SDAn ラインの状態（ACK 受信）が不一致のとき

25.10.3 スレーブアービトレーションロスト検出機能（SALE ビット）

この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS = 01b)、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDAn ラインが不一致のとき

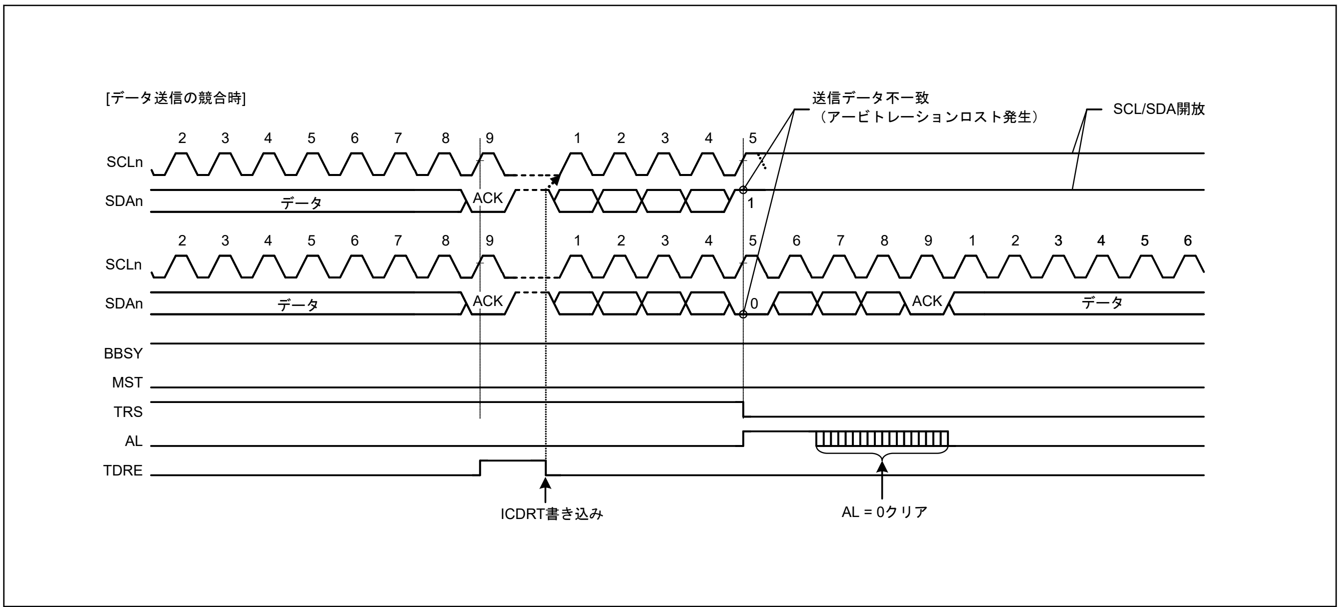


図 25.44　スレーブアービトレーションロスト検出動作例（SALE = 1 の場合）

25.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

25.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。ST ビットを 1 にすると、スタートコンディション要求が行われ、ICCR2.BBSY フラグが 0（バスフリー状態）の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法 :

1. SDAn ラインを立ち下げる（High から Low に遷移)。
2. ICBRH レジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCLn ラインを立ち下げる（High から Low に遷移)。
4. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

25.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。RS ビットを 1 にすると、リスタートコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法 :

1. SDAn ラインを解放する。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを解放する（Low から High に遷移)。
4. SCLn ラインの High を検出後、ICBRL レジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを立ち下げる（High から Low に遷移)。
6. ICBRH レジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCLn ラインを立ち下げる（High から Low に遷移)。
8. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

注. リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

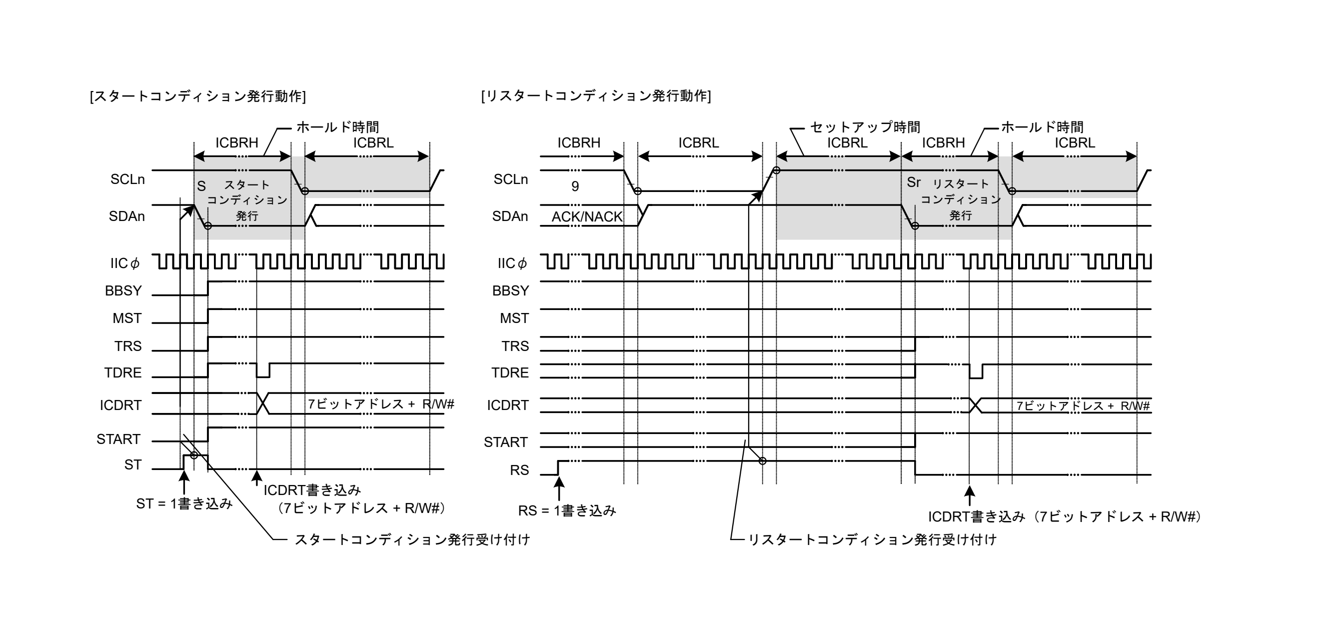


図 25.45　スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

図 25.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

［マスタ送信後のリスタートコンディション発行動作］

1. 初期設定を行います。詳細は、「25.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、内部の SDA 出力レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1（リスタートコンディション要求）にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。
7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。

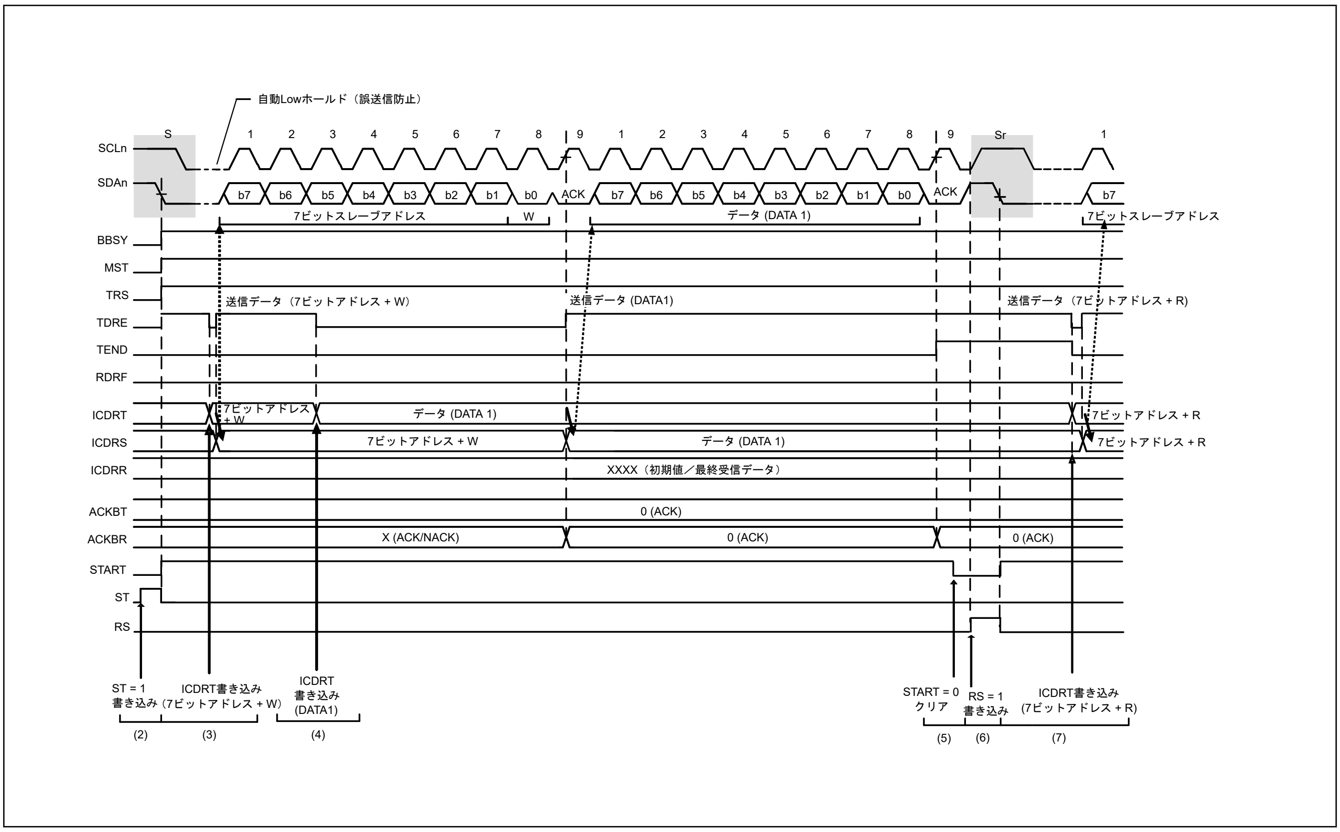


図 25.46　　マスタ送信後のリスタートコンディション発行タイミング

25.11.3　　ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。SP ビットを 1 にすると、ストップコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法 :

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを解放する（Low から High に遷移）。
4. SCLn ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを解放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

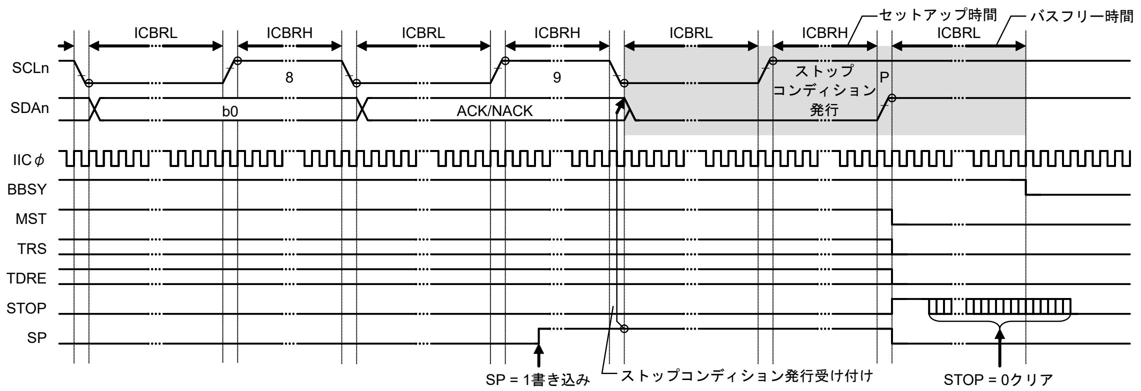


図 25.47　　ストップコンディション発行タイミング（SP ビットの使用）

25.12　　バスハングアップ

I^2C バスではノイズなどの影響によりマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IIC は SCLn ラインを監視してハングアップを検出するためのタイムアウト検出機能と、以下のようなバス状態を解除するための SCL クロック追加出力機能を備えています。

- 同期ズレによるバスハングアップ状態
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDAn ラインを Low にしているのか確認することが可能です。

25.12.1　　タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLn ラインの変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MST = 1) で、バスビジー (ICCR2.BBSY = 1)
- スレーブモード (ICCR2.MST = 0) で、IIC スレーブアドレス検出 (ICSR1 ≠ 0x00) かつバスビジー (ICCR2.BBSY = 1)
- スタートコンディション要求中 (ICCR2.ST = 1) で、バスフリー (ICCR2.BBSY = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOS = 0) は 16 ビットカウンタ、ショートモード選択時 (ICMR2.TMOS = 1) は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは動作しません。

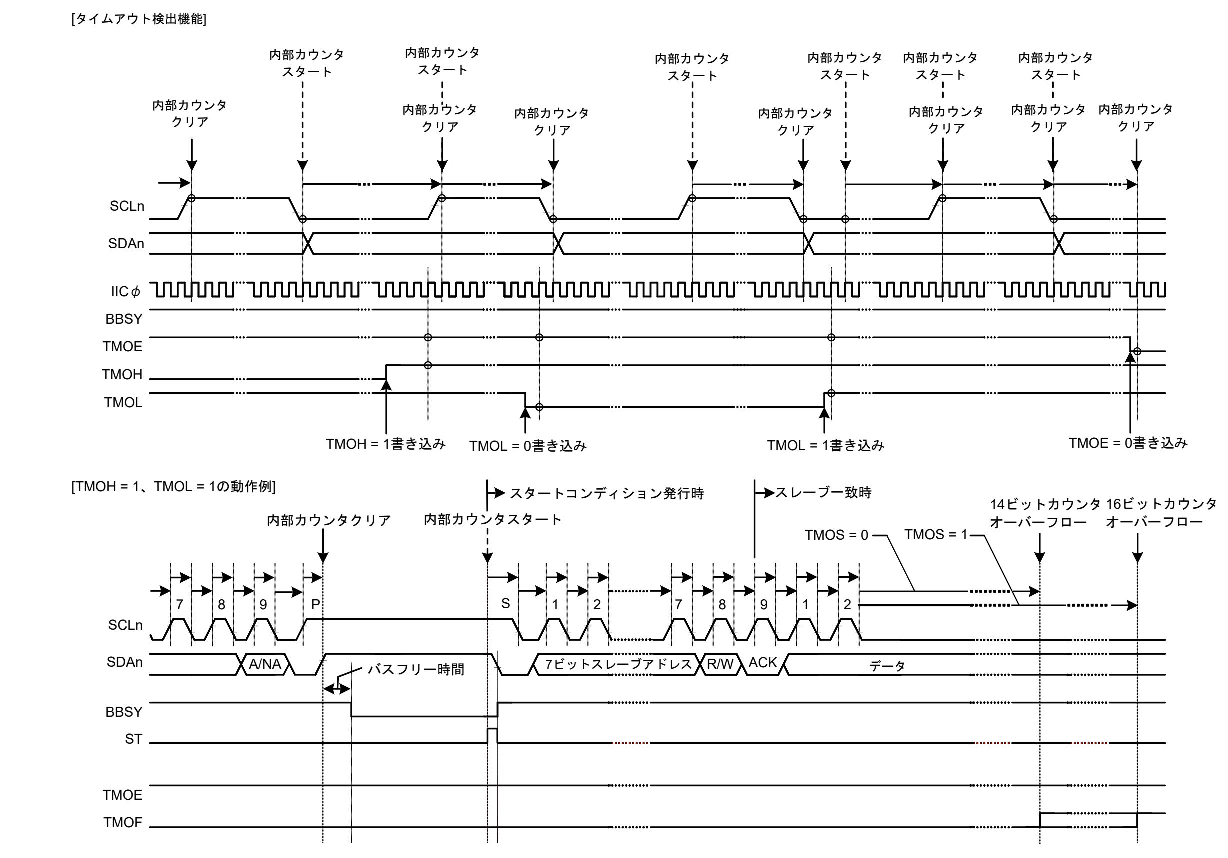


図 25.48　　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビットの使用）

25.12.2　　SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を解放します。この機能は主にマスタモードで使用され、SCL クロックを IIC から追加出力することによって、スレーブデバイスの SDAn ラインを Low 固定から解放します。この機能は、スレーブデバイスが SDAn ラインを Low 固定しているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0]ビットおよび ICBRH、ICBRL レジスタで設定した周波数で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に 0 になります。このとき、ICCR2.BBSY = 1 の場合、SCL 端子は Low を出力し、ICCR2.BBSY = 0 の場合、SCL 端子は High になります。また、ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDAn ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDAn ラインの Low 固定状態を解放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDAn ラインの解放は、ICCR1.SDAI フラグを読みだすことで確認できます。スレーブデバイスによる SDAn ラインの解放を確認した後、通信を終了させるため再度ストップコンディション発行してください。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY = 0) またはマスタモード (ICCR2.MST = 1、BBSY = 1) のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 25.49 に SCL クロック追加出力機能（CLO ビット）の動作タイミングを示します。

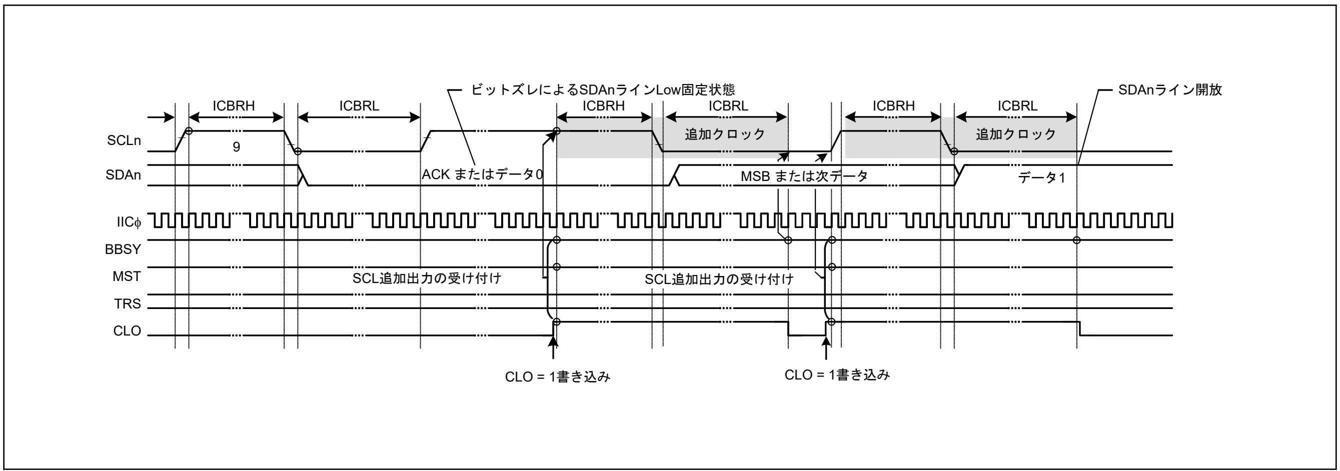


図 25.49　SCL クロック追加出力機能（CLO ビット）

25.12.3　IIC リセット、内部リセット

IIC は自身をリセットする機能を備えています。IIC では 2 種類のリセットが用いられます。

- ICCR2.BBSY フラグを含めた全レジスタの初期化を行う IIC リセット
- 各種設定値を保持したまま IIC をスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセット

リセット後は、ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCLn 端子／ SDAn 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE, IICRST = 01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、「25.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

25.13　SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10 kbps～100 kbps の範囲に収まるように、ICMR1.CKS[2:0]ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0]ビットの値を指定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0～L2（SARL0、SARL1、SARL2）のいずれか 1 本を使用し、対応する SARUy.FS ビット (y = 0～2)（7 ビットまたは 10 ビットアドレスフォーマット選択ビット）を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

25.13.1　SMBus タイムアウト測定

(1)　スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn)を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW:SEXT}$: 25 ms (max) 以内でなければいけません。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと IIC は SCLn 端子と SDAn 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn_TEI)、または受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の値の合計が $T_{LOW:SEXT}$: 25 ms (max) 以内でなければいけません。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（ICDRT レジスタへの書き込み）を中止してください。

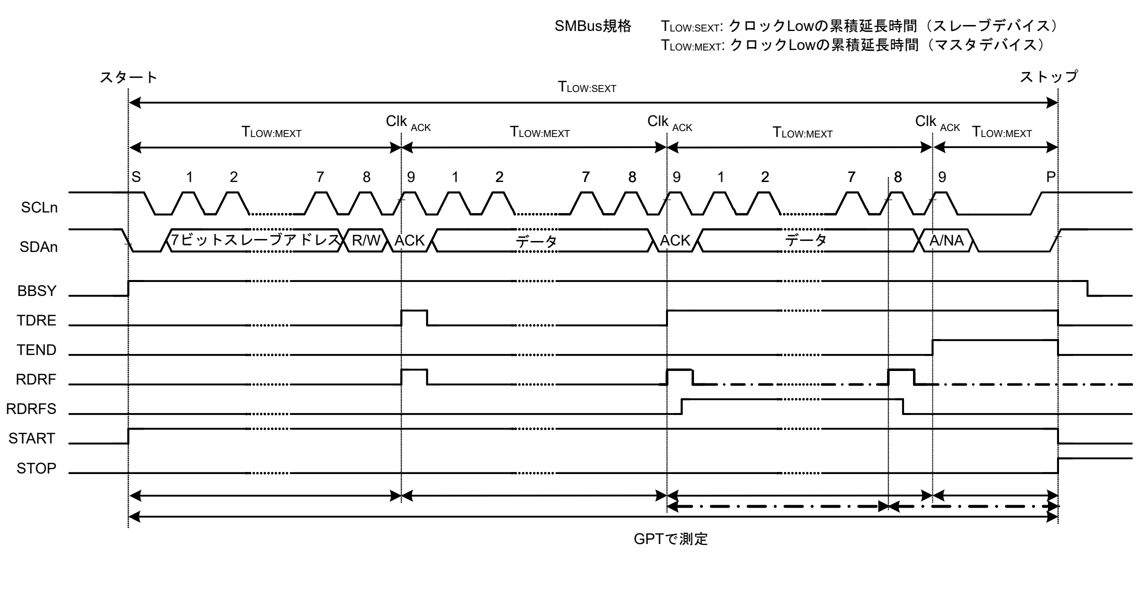


図 25.50 SMBus タイムアウト測定

25.13.2　パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や IIC の SMBus データ通信時の受信データチェックを行うことができます。CRC 演算器の生成多項式については「27. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として最終バイトを受信したとき、結果（一致／不一致）に応じて ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

25.13.3　SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

25.14　割り込み要因

IIC が発行する割り込み要求には、以下の 5 種類があります。

- 通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了
- ウェイクアップ機能中のアドレス一致

表 25.10 に割り込み要因の詳細を示します。受信データフル割り込みおよび送信データエンプティ割り込みにより、DTC を起動してデータ転送を行うことができます。

表 25.10　割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTC の起動	割り込み発生条件
IICn_EEI(注5)	通信エラー／イベント発生	ICSR2.AL	不可能	AL = 1, ALIE = 1
		ICSR2.NACKF		NACKF = 1, NAKIE = 1
		ICSR2.TMOF		TMOF = 1, TMOIE = 1
		ICSR2.START		START = 1, STIE = 1
		ICSR2.STOP		STOP = 1, SPIE = 1
IICn_RXI(注2) (注5)	受信データフル	ICSR2.RDRF	可能	RDRF = 1, RIE = 1
IICn_TXI(注1) (注5)	送信データエンプティ	ICSR2.RDRF	可能	TDRE = 1, TIE = 1
IICn_TEI(注3) (注5)	送信終了	ICSR2.TEND	不可能	TEND = 1, TEIE = 1
IIC0_WUI(注4)	ウェイクアップ機能中のスレーブアドレス一致	ICSR2.WUF	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK 動作 ASY0 = 1 WUIE = 1

注.　CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返されることがあります。

注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。
注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
注 4. チャネル 0 のみウェイクアップ機能があり、IIC0_WUI はチャネル 0 のみです。
注 5. チャネル番号 (n = 0)

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

25.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する ICU.IELSRn.IR フラグが 1 のときに、IICn_TXI 割り込みまたは IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モジュール側の割り込み許可ビットを 0 にすることでもクリアが可能です。

25.15 各コンディション発行時のリセット、レジスタ、機能の状態

IIC は、リセット、IIC リセット、および内部リセットの機能を備えています。 表 25.11 に、各コンディション発行時のリセット、レジスタ、機能の状態間の関係を示します。

表 25.11 各コンディション発行時のリセット、レジスタ、機能の状態 (1/2)

<table>
<tr><th colspan="2">レジスタ</th><th>リセット</th><th>IIC のリセット
(ICE = 0, IICRST = 1)</th><th>内部リセット
(ICE = 1, IICRST = 1)</th><th>スタートコンディションまたはリスタートコンディション検出</th><th>ストップコンディション検出</th></tr>
<tr><td rowspan="3">ICCR1</td><td>ICE, IICRST</td><td rowspan="3">リセット</td><td>保持</td><td>保持</td><td rowspan="3">保持</td><td rowspan="3">保持</td></tr>
<tr><td>SCLO, SDAO</td><td rowspan="2">リセット</td><td>リセット</td></tr>
<tr><td>その他</td><td>保持</td></tr>
<tr><td rowspan="5">ICCR2</td><td>BBSY</td><td rowspan="5">リセット</td><td rowspan="5">リセット</td><td>保持</td><td>セット</td><td>リセット</td></tr>
<tr><td>ST, RS</td><td rowspan="4">リセット</td><td rowspan="2">リセット</td><td>保持</td></tr>
<tr><td>SP</td><td rowspan="3">リセット</td></tr>
<tr><td>TRS</td><td rowspan="2">セットまたは保持</td></tr>
<tr><td>MST</td></tr>
<tr><td rowspan="2">ICMR1</td><td>BC[2:0]</td><td rowspan="2">リセット</td><td rowspan="2">リセット</td><td>リセット</td><td>リセット</td><td rowspan="2">保持</td></tr>
<tr><td>その他</td><td>保持</td><td>保持</td></tr>
<tr><td colspan="2">ICMR2</td><td>リセット</td><td>リセット</td><td>保持</td><td>保持</td><td>保持</td></tr>
<tr><td rowspan="2">ICMR3</td><td>ACKBT</td><td rowspan="2">リセット</td><td rowspan="2">リセット</td><td rowspan="2">保持</td><td rowspan="2">保持</td><td>リセット</td></tr>
<tr><td>その他</td><td>保持</td></tr>
<tr><td colspan="2">ICFER</td><td>リセット</td><td>リセット</td><td>保持</td><td>保持</td><td>保持</td></tr>
<tr><td colspan="2">ICSER</td><td>リセット</td><td>リセット</td><td>保持</td><td>保持</td><td>保持</td></tr>
<tr><td colspan="2">ICIER</td><td>リセット</td><td>リセット</td><td>保持</td><td>保持</td><td>保持</td></tr>
<tr><td colspan="2">ICSR1</td><td>リセット</td><td>リセット</td><td>リセット</td><td>保持</td><td>リセット</td></tr>
<tr><td rowspan="5">ICSR2</td><td>TEND</td><td rowspan="5">リセット</td><td rowspan="5">リセット</td><td rowspan="5">リセット</td><td>保持</td><td rowspan="3">リセット</td></tr>
<tr><td>TDRE</td><td>セットまたは保持</td></tr>
<tr><td>START</td><td>セット</td></tr>
<tr><td>STOP</td><td>保持</td><td>セット</td></tr>
<tr><td>その他</td><td>保持</td><td>保持</td></tr>
<tr><td colspan="2">ICWUR</td><td>リセット</td><td>リセット</td><td>保持</td><td>保持</td><td>保持</td></tr>
</table>

表 25.11　各コンディション発行時のリセット、レジスタ、機能の状態 (2/2)

レジスタ		リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディションまたはリスタートコンディション検出	ストップコンディション検出
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作
ICWUR2	WUSEN	リセット	リセット	保持	保持	保持
	その他					保持または動作またはリセット

25.16　イベントリンク出力機能

IIC0 モジュールは、ELC に対して以下の要因によってイベント出力を行います。

(1)　通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2)　受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3)　送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4)　送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

25.16.1　割り込み処理とイベントリンクの関係

IIC の各割り込み（表 25.10 参照）には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 25.10 を参照してください。

25.17　使用上の注意事項

25.17.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作禁止／許可を設定することが可能です。リセット後の値では、IIC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

25.17.2　転送開始に関する注意事項

転送開始 (ICCR1.ICE = 1) 時点で IIC の割り込みに対応した ICU.IELSRn.IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で ICU.IELSRn.IR フラグ

を 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない動作となることがあります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を 0 にする。
3. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を読み出して、それらの値が 0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

26. シリアルペリフェラルインタフェース (SPI)

26.1 概要

シリアルペリフェラルインタフェース (SPI) には 1 つのチャネルがあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 26.1 に SPI の仕様、図 26.1 にブロック図、表 26.2 に入出力端子を示します。

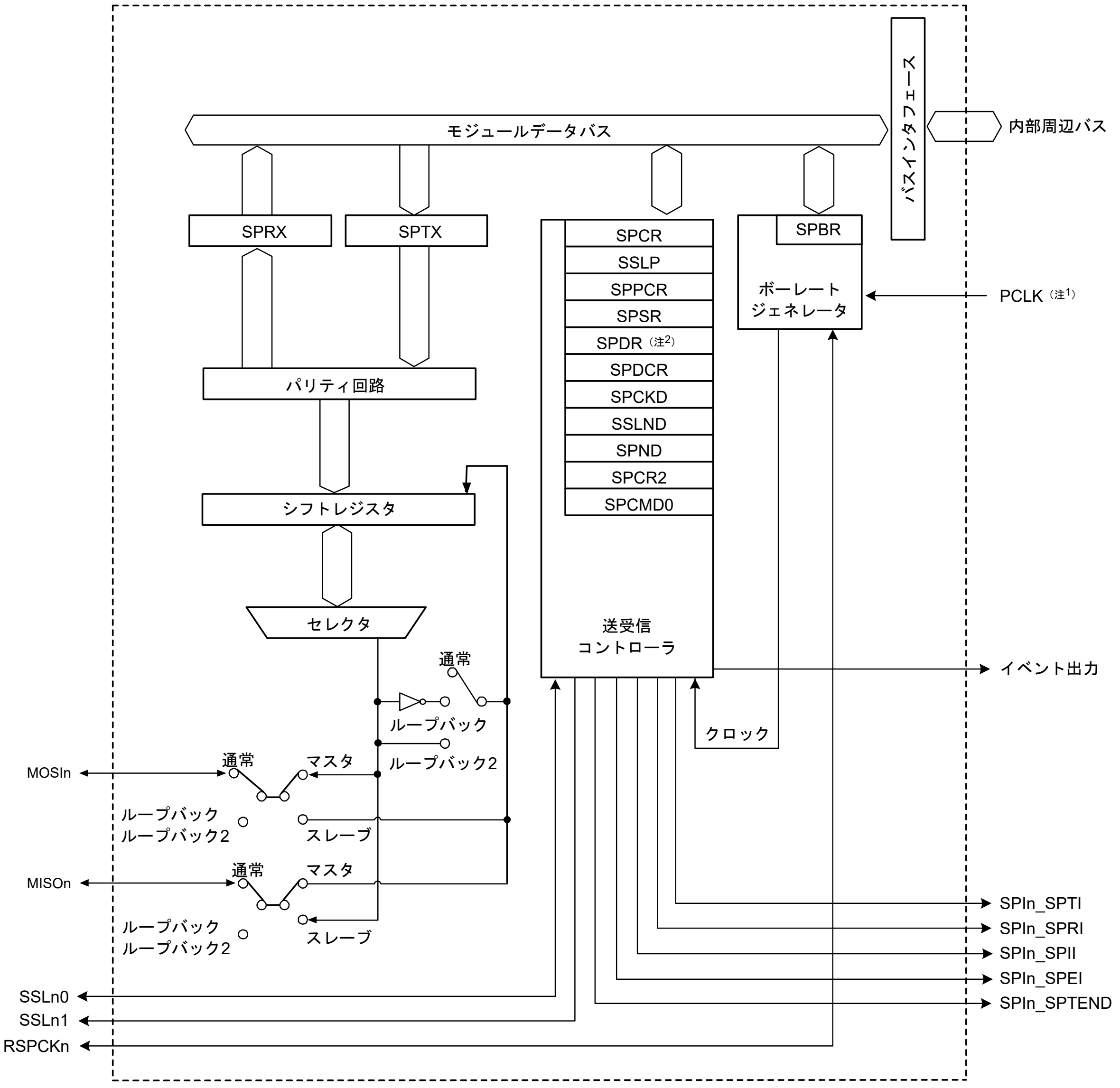
表 26.1 SPI の仕様 (1/2)

項目	内容
チャネル数	1 チャネル
SPI 転送機能	● MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作（4 線式）またはクロック同期式動作（3 線式）によるシリアル通信が可能 ● 送信のみの動作が可能 ● 通信モード：全二重または送信のみを選択可能 ● RSPCK 極性切り替え ● RSPCK 位相切り替え
データフォーマット	● MSB ファーストまたは LSB ファーストを選択可能 ● 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 ● 32 ビットの送信／受信バッファ
ビットレート	● マスタモード時、内蔵ボーレートジェネレータで PCLKB を分周して RSPCK を生成（分周比は 2～4096 分周） ● スレーブモード時は、PCLKB の最小 6 分周のクロックを、RSPCK として入力可能（RSPCK の最高周波数は PCLKB の 6 分周） High 幅：PCLKB の 3 サイクル、Low 幅：PCLKB の 3 サイクル
バッファ構成	● 送信および受信バッファはそれぞれダブルバッファ構造 ● 送信および受信バッファは 32 ビット
エラー検出	● モードフォルトエラー検出 ● アンダーランエラー検出 ● オーバーランエラー検出(注1) ● パリティエラー検出
SSL 制御機能	● 1 チャネルあたり 4 本の SSL 端子 (SSLni: SSLn0, SSLn1) (n = A) ● シングルマスタモード時、SSLn0 端子と SSLn1 端子は出力 ● マルチマスタモード時、SSLn0 端子は入力、SSLn1 端子は出力または未使用 ● スレーブモード時、SSLn0 端子は入力、SSLn1 端子は未使用 ● SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） ● RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） ● 次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） ● SSL 極性変更機能
マスタ転送時の制御方式	● 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性と位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 ● 送信バッファへの書き込みによる転送起動 ● SSL ネゲート時の MOSI 信号値を設定可能 ● RSPCK 自動停止機能
割り込み要因	割り込み要因： ● 受信バッファフル割り込み ● 送信バッファエンプティ割り込み ● SPI エラー割り込み（モードフォルトエラー、オーバーランエラー、パリティエラー） ● SPI アイドル割り込み（SPI アイドル） ● 送信完了割り込み
イベントリンク機能	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： ● 受信バッファフル信号 ● 送信バッファエンプティ信号 ● モードフォルト、アンダーラン、オーバーラン、パリティエラー信号 ● SPI アイドル信号 ● 送信完了信号

表 26.1　SPI の仕様 (2/2)

項目	内容
その他	● CMOS 出力／オープンドレイン出力の切り替え ● SPI 初期化機能 ● ループバックモード
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能

注 1.　マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



注 1.　PCLK = PCLKB
注 2.　SPDR = SPDR/SPDR_HA/SPDR_BY

図 26.1　SPI のブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、マルチマスタまたはスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、自動的に設定されます。詳細は、「26.3.2. SPI 端子の制御」を参照してください。

表 26.2　SPI の端子構成

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力

26.2 レジスタの説明

26.2.1 SPCR : SPI コントロールレジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPMS	SPI モード選択 0: SPI 動作（4 線式）を選択 1: クロック同期式動作（3 線式）を選択	R/W
1	TXMD	通信動作モード選択 0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
2	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
3	MSTR	SPI マスタ/スレーブモード選択 0: スレーブモードを選択 1: マスタモードを選択	R/W
4	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W
5	SPTIE	送信バッファエンプティ割り込み許可 0: 送信バッファエンプティ割り込み要求を禁止 1: 送信バッファエンプティ割り込み要求を許可	R/W
6	SPE	SPI 機能有効 0: SPI 機能を無効 1: SPI 機能を有効	R/W
7	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W

SPMS ビット（SPI モード選択）

SPMS ビットは SPI 動作（4 線式）またはクロック同期式動作（3 線式）を選択します。

クロック同期式動作では、SSLn0 端子と SSLn1 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISOn 端子を用いて、通信を行います。また、マスタモード (MSTR = 1) でクロック同期式動作を行う場合は、SPCMD0.CPHA ビットを 0 または 1 に設定できます。スレーブモード (MSTR = 0) でクロック同期式動作を行う場合は、CPHA ビットを常に 1 に設定してください。スレーブモード (MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

TXMD ビット（通信動作モード選択）

TXMD ビットは全二重同期式のシリアル通信または送信のみのシリアル通信を選択します。TXMD ビットを 1 にして通信を行う場合、SPI は送信のみを行い、受信動作を行いません（「26.3.6. データ転送モード」を参照してください）。また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット（モードフォルトエラー検出許可）

MODFEN ビットはモードフォルトエラーの検出を許可または禁止します（「26.3.8. エラー検出」を参照）。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに基づいて、SSLni 端子の入出力方向を決定します（「26.3.2. SPI 端子の制御」を参照）。

MSTR ビット（SPI マスタ/スレーブモード選択）

MSTR ビットは SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISOn、および SSLni 端子の方向を決定します。

SPEIE ビット（SPI エラー割り込み許可）

SPEIE ビットは、以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は「26.3.8. エラー検出」を参照してください。

SPTIE ビット（送信バッファエンプティ割り込み許可）

SPTIE ビットは SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効（SPE ビットを 0 に変更）にしても、SPTIE ビットが 1 であると、割り込みが発生します。

SPE ビット（SPI 機能有効）

SPE ビットは SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、「26.3.8. エラー検出」を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、「26.3.9. SPI の初期化」を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット（SPI 受信バッファフル割り込み許可）

SPRIE ビットは SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。

26.2.2 SSLP : SPI スレーブ選択極性レジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SSL1P	SSL0P
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSLn0 端子の信号極性設定 0: SSLn0 端子の信号はアクティブ Low 1: SSLn0 端子の信号はアクティブ High	R/W

ビット	シンボル	機能	R/W
1	SSL1P	SSLn1 端子の信号極性設定 0: SSLn1 端子の信号はアクティブ Low 1: SSLn1 端子の信号はアクティブ High	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

26.2.3　SPPCR : SPI 端子コントロールレジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード（受信データ = 送信データの反転）	R/W
1	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード（受信データ = 送信データ）	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	MOIFV	MOSI アイドル固定値 0: MOSI アイドル時の MOSIn 端子の出力レベルを Low に設定 1: MOSI アイドル時の MOSIn 端子の出力レベルを High に設定	R/W
5	MOIFE	MOSI アイドル値固定許可 0: MOSI 出力値は前回転送の最終データに設定 1: MOSI 出力値は MOIFV ビットの設定値に設定	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPLP ビット（SPI ループバック）

SPLP ビットは SPI の端子モードを選択します。SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転し、出力経路に接続します（ループバックモード）。詳細は、「26.3.12. ループバックモード」を参照してください。

SPLP2 ビット（SPI ループバック 2）

SPLP2 ビットは SPI の端子モードを選択します。SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転せず出力経路に接続します（ループバックモード）。詳細は、「26.3.12. ループバックモード」を参照してください。

MOIFV ビット（MOSI アイドル固定値）

マスタモードで MOIFE ビットが 1 の場合、MOIFV ビットは SSL ネゲート期間における MOSIn 端子の出力値を決定します。

MOIFE ビット（MOSI アイドル値固定許可）

MOIFE ビットは、SPI がマスタモードで SSL ネゲート期間である場合、MOSIn 端子の出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

26.2.4 SPSR : SPI ステータスレジスタ

Base address: SPI0 = 0x4007_2000
Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
Value after reset:	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVRF	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
1	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
2	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーおよびアンダーランエラーの発生なし 1: モードフォルトエラーおよびアンダーランエラーの発生あり	R/W(注1)
3	PERF	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W(注1)
4	UDRF	アンダーランエラーフラグ MODF フラグが 1 の場合、UDRF ビットは有効です。 0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1)	R/W(注1)(注2)
5	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/W(注3)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SPRF	SPI 受信バッファフルフラグ 0: SPDR レジスタに有効なデータなし 1: SPDR レジスタに有効なデータあり	R/W(注3)

注 1. フラグをクリアするため、1 を読んだあとに 0 を書き込むことのみ可能です。
注 2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。
注 3. 書く場合、1 としてください。

OVRF フラグ（オーバーランエラーフラグ）

OVRF フラグはオーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR1.SCKASE = 1) の場合、オーバーランエラーは発生せず、本フラグは 1 になりません。詳細は、「26.3.8.1. オーバーランエラー」を参照してください。

[1 になる条件]

- SPCR.TXMD = 0 かつ受信バッファフルの状態で、次のシリアル転送が終了したとき

[0 になる条件]

- OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書いたとき

IDLNF フラグ（SPI アイドルフラグ）

IDLNF フラグは SPI の転送状況を示します。

[1 になる条件]

マスタモード

- 本フラグの［0 になる条件］に示した、マスタモード時のいずれの条件も満たさないとき

スレーブモード

- SPCR.SPE ビットが 1（SPI 機能が有効）のとき

[0 になる条件]

マスタモード

条件 1 が満たされたとき、または他のすべての条件が満たされたとき

条件 1：SPCR.SPE ビットが 0（SPI 初期化）のとき

条件 2：送信バッファ (SPTX) がエンプティである（次転送データがセットされていない）とき

条件 3：SPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までの動作が完了した状態）

スレーブモード

- 条件 1 が満たされたとき

MODF フラグ（モードフォルトエラーフラグ）

MODF フラグはモードフォルトエラーまたはアンダーランエラーの発生を示します。発生したエラーの種類は UDRF フラグによって示されます。

[1 になる条件]

マルチマスタモード

- SPCR.MSTR ビットが 1（マスタモード）、SPCR.MODFEN ビットが 1（モードフォルトエラー検出を許可）の状態で、SSLni 端子の入力レベルがアクティブレベルになり、モードフォルトエラーが発生したとき

スレーブモード

- 条件 1 または 2 が満たされたとき

条件 1：SPCR.MSTR ビットが 0（スレーブモード）、かつ SPCR.MODFEN ビットが 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合

条件 2：SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット（SSLi 信号極性設定ビット）によって決定されます。

[0 になる条件]

- 本フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

PERF フラグ（パリティエラーフラグ）

PERF フラグはパリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD = 0 かつ SPCR2.SPPE = 1 の状態で、シリアル転送が終了し、パリティエラーが発生したとき

[0 になる条件]

- 本フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

UDRF フラグ（アンダーランエラーフラグ）

UDRF フラグはアンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- 本フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

SPTEF フラグ（SPI 送信バッファエンプティフラグ）

SPTEF フラグは SPI データレジスタ (SPDR/SPDR_HA) の送信バッファの状態を示します。

［1 になる条件］

- 以下の条件 1 または条件 2 が満たされたとき
  1. SPCR.SPE ビットが 0（SPI 初期化）であるとき
  2. 送信データが送信バッファからシフトレジスタへ転送されたとき

［0 になる条件］

- SPDR/SPDR_HA/SPDR_BY レジスタにデータが書き込まれたとき

なお、SPTEF フラグが 1 の場合のみ、データを SPDR/SPDR_HA/SPDR_BY レジスタに書き込むことができます。SPTEF フラグが 0 のときに SPDR/SPDR_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

SPRF フラグ（SPI 受信バッファフルフラグ）

SPRF フラグは、SPI データレジスタ (SPDR/SPDR_HA) の受信バッファの状態を示します。

［1 になる条件］

- SPRF フラグが 0 の状態で、受信データがシフトレジスタから SPDR レジスタへ転送されたとき。また、以下を満たしたとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。
  - SPCR.TXMD = 0（送受信マスタモード、送受信スレーブモード）

［0 になる条件］

- 受信データが SPDR/SPDR_HA レジスタから読み出されたとき

26.2.5 SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x04

Bit position: 31 … 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	SPI データ	R/W

SPDR/SPDR_HA/SPDR_BY レジスタは、SPI 送受信用のデータを格納するバッファとのインタフェースです。ワードアクセス（SPDCR.SPLW ビットが 1）の場合は、SPDR レジスタにアクセスしてください。ハーフワードアクセス（SPLW ビットが 0）の場合は、SPDR_HA レジスタにアクセスしてください。バイトアクセス（SPDCR.SPBYT ビットが 1）の場合は、SPDR_BY レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR レジスタにマッピングされています。 図 26.2 に、SPDR レジスタの構成図を示します。

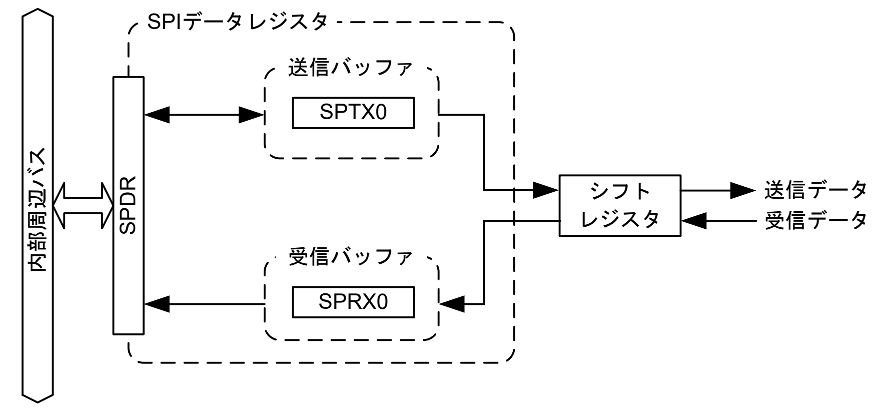


図 26.2 SPDR/SPDR_HA/SPDR_BY レジスタの構成図

送信バッファと受信バッファには、それぞれ 1 つのステージがあります。SPDR/SPDR_HA/SPDR_BY レジスタの 1 アドレスに、この合計 2 バッファステージがすべてマッピングされます。

SPDR/SPDR_HA/SPDR_BY レジスタへ書き込まれたデータは、送信バッファステージ (SPTXn) (n = 0) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 32 ビット以外の場合、SPRXn (n = 0) の関連ビットには、SPTXn (n = 0) の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRXn[8:0]ビットには受信データが格納され、SPRXn[31:9]ビットには SPTXn[31:9]ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA/SPDR_BY レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが 1 ステージステージを持ち、合計 8 バイトになります。これらの 8 バイトを SPDR/SPDR_HA/SPDR_BY レジスタの 4 バイトのアドレス空間にマッピングしています。SPDR/SPDR_HA/SPDR_BY レジスタへのアクセスは、SPI データコントロールレジスタの SPI ワードアクセス／ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。SPDR レジスタへのアクセスは、SPI データコントロールレジスタの SPI バイトアクセスビット (SPDCR.SPBYT) で設定したアクセスサイズでも行うことができます。

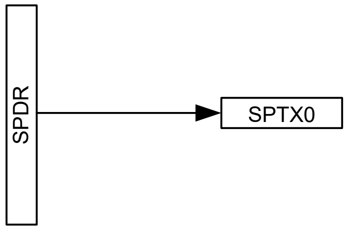
送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR_HA/SPDR_BY レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

書き込み

SPDR/SPDR_HA/SPDR_BY レジスタに書き込むことによって、送信バッファ (SPTX) にデータを書くことができます。SPDR/SPDR_HA/SPDR_BY レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。

図 26.3 に SPDR/SPDR_HA/SPDR_BY レジスタへの書き込み時の送信バッファ付きバスインタフェースの構成を示します。



注. SPDR = SPDR/SPDR_HA/SPDR_BY

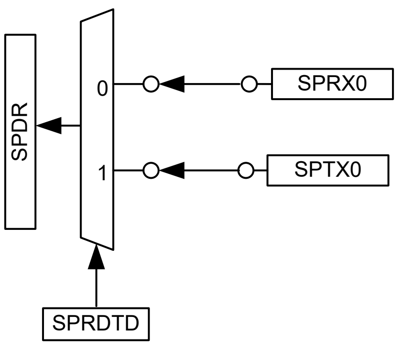
図 26.3 書き込み時の SPDR/SPDR_HA/SPDR_BY レジスタの構成図

送信バッファ (SPTXn) に指定したフレーム数を書き込んでも、書き込み完了後、次の送信バッファエンプティ割り込みが発生するまでの期間 (SPTEF = 0) は、バッファの値は更新されません。

読み出し

SPDR/SPDR_HA/SPDR_BY レジスタにアクセスすることによって、受信バッファ (SPRX) または送信バッファ (SPTX) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信／送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すかが決まります。

図 26.4 に、SPDR/SPDR_HA/SPDR_BY レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。



注. SPDR = SPDR/SPDR_HA/SPDR_BY

図 26.4 読み出し時の SPDR/SPDR_HA/SPDR_BY レジスタの構成図

ただし、送信バッファエンプティ割り込み発生後、データ書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファからの読み出し値がすべて 0 となります。

26.2.6 SPBR : SPI ビットレートレジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	ビットレート	R/W

SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMD0.BRDV[1:0]ビット（ビットレート分周設定ビット）の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電気的特性を満たすビットレートを選択してください。

ビットレートは、SPBR レジスタの設定値と SPCMD0.BRDV[1:0] ビットの設定値の組み合わせで決定されます。次式でビットレートを計算してください。

$$\text{ビットレート} = \frac{f(\mathrm{PCLK})}{2 \times (n+1) \times 2^N}$$

(PCLK = PCLKB)

この式で、n は SPBR レジスタの設定値 (0, 1, 2, …,　255)、N は SPCMDm.BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

SPBR レジスタの設定値、BRDV[1:0]ビットの設定値、およびビットレートの関係の例を表 26.3 に示します。

表 26.3　　SPBR の設定、BRDV[1:0]ビットの設定、およびビットレートの関係

SPBR (n)	BRDV[1:0]ビット (N)	分周比	ビットレート PCLKB = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

26.2.7　　SPDCR : SPI データコントロールレジスタ

Base address:　SPI0 = 0x4007_2000

Offset address:　0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SPBYT	SPLW	SPRDTD	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SPRDTD	SPI 受信／送信データ選択 0:　SPDR レジスタの値は受信バッファから読み出す 1:　SPDR レジスタの値は送信バッファから読み出す（ただし、送信バッファが空の場合）	R/W
5	SPLW	SPI ワードアクセス／ハーフワードアクセス設定 0:　SPDR_HA レジスタが有効（ハーフワードアクセス） 1:　SPDR レジスタが有効（ワードアクセス）	R/W

ビット	シンボル	機能	R/W
6	SPBYT	SPI バイトアクセス設定 0: SPDR/SPDR_HA レジスタへのアクセスはハーフワードアクセスまたはワードアクセス（SPLW 有効） 1: SPDR_BY へのアクセスはバイトアクセス（SPLW 無効）	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPI データコントロールレジスタ (SPDCR) は、SPDR レジスタの読み出し、SPDR レジスタへのアクセス幅をワードアクセス／ハーフワードアクセス／バイトアクセスに設定するためのレジスタです。

SPRDTD ビット（SPI 受信／送信データ選択）

SPRDTD ビットは、SPDR/SPDR_HA レジスタが受信バッファと送信バッファのどちらから値を読み出すかを選択します。送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ最後に書き込まれた値が読み出されます。SPI 送信バッファエンプティ割り込み発生後に、送信バッファを読み出します。

詳細は、「26.2.5. SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ」を参照してください。

SPLW ビット（SPI ワードアクセス／ハーフワードアクセス設定）

SPLW ビットは、SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR_HA レジスタへのハーフワードアクセスが有効になり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効になります。また、このビットが 0 のとき、SPI データ長設定ビット（SPCMD0.SPB[3:0] ビット）は 8～16 ビットに設定してください。20、24、または 32 ビットのデータ長に設定した場合、いかなる動作も行わないでください。

SPBYT ビット（SPI バイトアクセス設定）

SPBYT ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT= 0 のとき、SPDR/SPDR_HA レジスタへのアクセスは、ワードアクセスまたはハーフワードアクセスを使用してください。SPBYT= 1（この場合 SPLW は無効）の場合、SPDR_BY レジスタへのアクセスにはバイトアクセスを使用してください。

SPBYT = 1 の場合、SPI コマンドレジスタ 0 (SPCMD0) の SPI データ長ビット (SPB[3:0]) を 8 ビットに設定してください。SPB[3:0] を 9～16、20、24、または 32 ビットに設定した場合、その後の動作は保証されません。

26.2.8 SPCKD : SPI クロック遅延レジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCKD レジスタは、SPCMD0.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。

SCKDL[2:0]ビット（RSPCK 遅延設定）

SCKDL[2:0]ビットは SPCMD0.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0]ビットを 000b にしてください。

26.2.9 SSLND : SPI スレーブ選択ネゲート遅延レジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SLNDL[2:0]	SSL ネゲート遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SSLND レジスタは、SPI コマンドレジスタ m (SPCMDm) の SLNDEN ビットが 1 の場合に、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。

SLNDL[2:0]ビット（SSL ネゲート遅延設定）

SLNDL[2:0]ビットは SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0]ビットを 000b にしてください。

26.2.10 SPND : SPI 次アクセス遅延レジスタ

Base address: SPI0 = 0x4007_2000

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPNDL[2:0]	SPI 次アクセス遅延設定 0 0 0: 1 RSPCK + 2 PCLKB 0 0 1: 2 RSPCK + 2 PCLKB 0 1 0: 3 RSPCK + 2 PCLKB 0 1 1: 4 RSPCK + 2 PCLKB 1 0 0: 5 RSPCK + 2 PCLKB 1 0 1: 6 RSPCK + 2 PCLKB 1 1 0: 7 RSPCK + 2 PCLKB 1 1 1: 8 RSPCK + 2 PCLKB	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPND レジスタは、SPCMD0.SPNDEN ビットが 1 の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。

SPNDL[2:0]ビット（SPI 次アクセス遅延設定）

SPNDL[2:0]ビットは SPCMD0.SPNDEN ビットが 1 の場合に、次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0]ビットを 000b にしてください。

26.2.11　SPCR2 : SPI コントロールレジスタ 2

Base address: SPI0 = 0x4007_2000

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPPE	パリティ許可 0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1:（SPCR.TXMD = 0 の場合）送信データにパリティビットを付加し、受信データのパリティビットをチェックする （SPCR.TXMD = 1 の場合）送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
1	SPOE	パリティモード 0: 送受信用に偶数パリティを選択 1: 送受信用に奇数パリティを選択	R/W
2	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
3	PTE	パリティ自己診断 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
4	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPPE ビット（パリティ許可）

SPPE ビットはパリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

SPOE ビット（パリティモード）

SPOE ビットは偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

SPIIE ビット（SPI アイドル割り込み許可）

SPIIE ビットは SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット（パリティ自己診断）

PTE ビットはパリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効または無効にします。

SCKASE ビット（RSPCK 自動停止機能有効）

SCKASE ビットは RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、「26.3.8.1. オーバーランエラー」を参照してください。

26.2.12 SPCMD0 : SPI コマンドレジスタ 0

Base address: SPI0 = 0x4007_2000

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				—	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相設定 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性設定 0: アイドル時の RSPCK が Low 1: アイドル時の RSPCK が High	R/W
3:2	BRDV[1:0]	ビットレート分周設定 0 0: ベースのビットレート 0 1: ベースのビットレートの 2 分周 1 0: ベースのビットレートの 4 分周 1 1: ベースのビットレートの 8 分周	R/W
6:4	SSLA[2:0]	SSL 端子の信号アサート設定 0 0 0: SSL0 0 0 1: SSL1 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	SPB[3:0]	SPI データ長設定 0x0: 20 ビット 0x1: 24 ビット 0x2: 32 ビット 0x3: 32 ビット 0x8: 9 ビット 0x9: 10 ビット 0xA: 11 ビット 0xB: 12 ビット 0xC: 13 ビット 0xD: 14 ビット 0xE: 15 ビット 0xF: 16 ビット その他: 8 ビット	R/W
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1 RSPCK + 2 PCLKB 1: 次アクセス遅延は SPI 次アクセス遅延レジスタ (SPND) の設定値	R/W

ビット	シンボル	機能	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: SSL ネゲート遅延は 1RSPCK 1: SSL ネゲート遅延は SPI スレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
15	SCKDEN	RSPCK 遅延設定許可 0: RSPCK 遅延は 1RSPCK 1: RSPCK 遅延は SPI クロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMD0 レジスタは、マスタモードの SPI に対して転送フォーマットを設定するレジスタです。

このレジスタの設定は、送信バッファが空 (SPSR.SPTEF = 1)、すなわち次転送のデータがセットされていない状態で、このレジスタを参照したときに送信されるデータの設定前に行う必要があります。

SPCR.SPE ビットが 1 の状態で、SPCMD0 レジスタの内容を書き換えた場合は、以降の動作は行わないでください。

CPHA ビット（RSPCK 位相設定）

CPHA ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット（RSPCK 極性設定）

CPOL ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0]ビット（ビットレート分周設定）

BRDV[1:0]ビットは、SPBR レジスタの設定値との組み合わせでビットレートを決定します。（「26.2.6. SPBR : SPI ビットレートレジスタ」を参照してください）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択します。BRDV[1:0]ビットに異なる値を設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0]ビット（SSL 端子の信号アサート設定）

SSLA[2:0]ビットはマスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0]ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0]ビットを 000b にしてください。

SPB[3:0]ビット（SPI データ長設定）

SPB[3:0]ビットはマスタモードまたはスレーブモードの SPI に対して、転送データ長を指定します。

LSBF ビット（SPI LSB ファースト）

LSBF ビットはマスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

SPNDEN ビット（SPI 次アクセス遅延許可）

SPNDEN ビットはマスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号のアサートを可能にするまでの期間（次アクセス遅延）を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 2PCLKB に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にする必要があります。

SLNDEN ビット（SSL ネゲート遅延設定許可）

SLNDEN ビットはマスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSLni 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にする必要があります。

SCKDEN ビット（RSPCK 遅延設定許可）

SCKDEN ビットはマスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間（SPI クロック遅延）を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にする必要があります。

26.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

26.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード（SPI 動作）
- シングルマスタモード（SPI 動作）
- マルチマスタモード（SPI 動作）
- スレーブモード（クロック同期式動作）
- マスタモード（クロック同期式動作）

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 26.4 に SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 26.4　SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (1/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTR ビットの設定値	0	1	1	0	1
MODFEN ビットの設定値	0 または 1	0	1	0	0
SPMS ビットの設定値	0	0	0	1	1
RSPCKn 端子	入力	出力	出力／Hi-Z	入力	出力
MOSIn 端子	入力	出力	出力／Hi-Z	入力	出力
MISOn 端子	出力／Hi-Z	入力	入力	出力	入力
SSLn0 端子	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLn1 端子	Hi-Z(注1)	出力	出力／Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	あり	—	—
最大転送レート	PCLKB/6	PCLKB/2	PCLKB/2	PCLKB/6	PCLKB/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32 ビット				
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり

表 26.4　SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (2/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり(注2)				
オーバーランエラー検出	あり(注2)	あり(注2)(注4)	あり(注2)(注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注3)(注2)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1.　この機能は本モードでは使用しません。
注 2.　SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、およびパリティエラー検出を行いません。
注 3.　SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。
注 4.　SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

26.3.2　SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 26.5 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 26.5　端子状態とビット設定値の関係 (1/2)

モード	端子	端子状態(注2) 入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード（SPI 動作）(MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0, SSLn1	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード（SPI 動作）(MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLn0	入力	入力
	SSLn1(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOn	入力	入力
スレーブモード（SPI 動作）(MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn(注4)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタモード（クロック同期式動作）(MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0, SSLn1(注5)	Hi-Z(注1)	Hi-Z(注1)

表 26.5　端子状態とビット設定値の関係 (2/2)

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード（クロック同期式動作）(MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0, SSLn1(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn	CMOS 出力	オープンドレイン出力

注 1.　この機能は本モードでは使用しません。
注 2.　SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。
注 3.　SSLn0 がアクティブレベルの場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SSLP.SSL0P ビットの設定値で決まります。
注 4.　SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SSLP.SSL0P ビットの値で決まります。
注 5.　これらの端子は入出力ポート端子として使用できます。

シングルマスタモード（SPI 動作）またはマルチマスタモード（SPI 動作）の SPI は、SPPCR レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間の MOSI 信号値を表 26.6 のように決定します。

表 26.6　SSL ネゲート期間の MOSI 端子の信号値の決定方法

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

26.3.3　SPI システム構成例

26.3.3.1　シングルマスタとシングルスレーブ（MCU はマスタ）

図 26.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU（マスタ）の SSLni 出力は使用されません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブの選択状態を維持します。(注1)

注 1.　SPCMD0.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 端子へ入力される信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

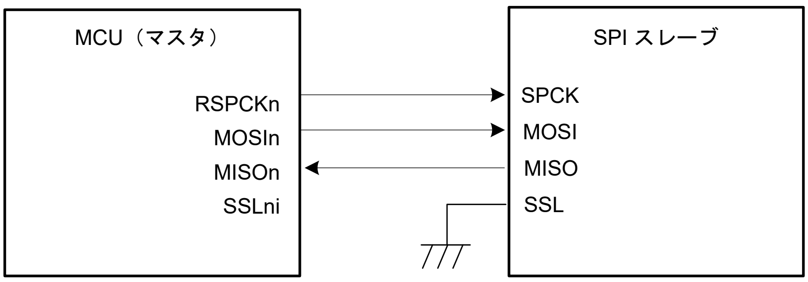


図 26.5　シングルマスタとシングルスレーブの構成例（MCU はマスタ）

26.3.3.2　シングルマスタとシングルスレーブ（MCU はスレーブ）

図 26.6 に、MCU をスレーブとして使用する場合のシングルマスタ／シングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU（スレーブ）は、MISOn 信号をドライブします。(注1)

注 1.　SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU（スレーブ）の SSLn0 入力を Low に固定して、MCU（スレーブ）は選択状態を維持します。これにより、シリアル転送を実行することも可能です（図 26.7）。

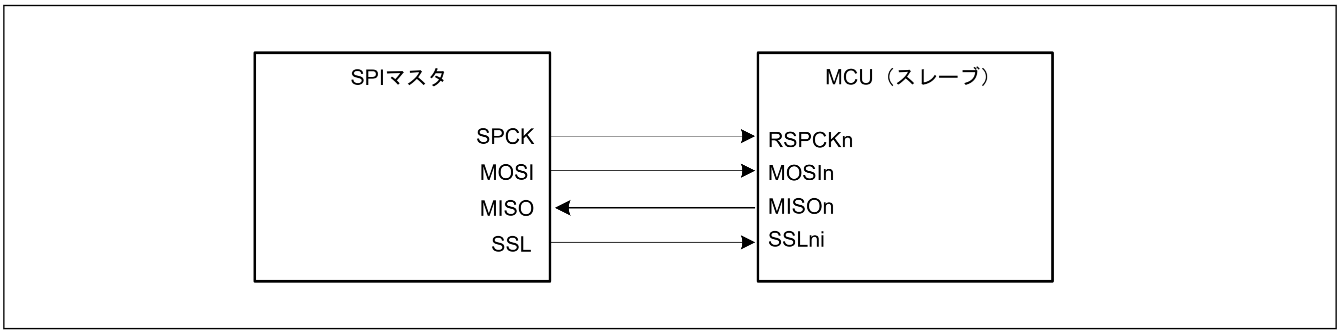


図 26.6　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 0）

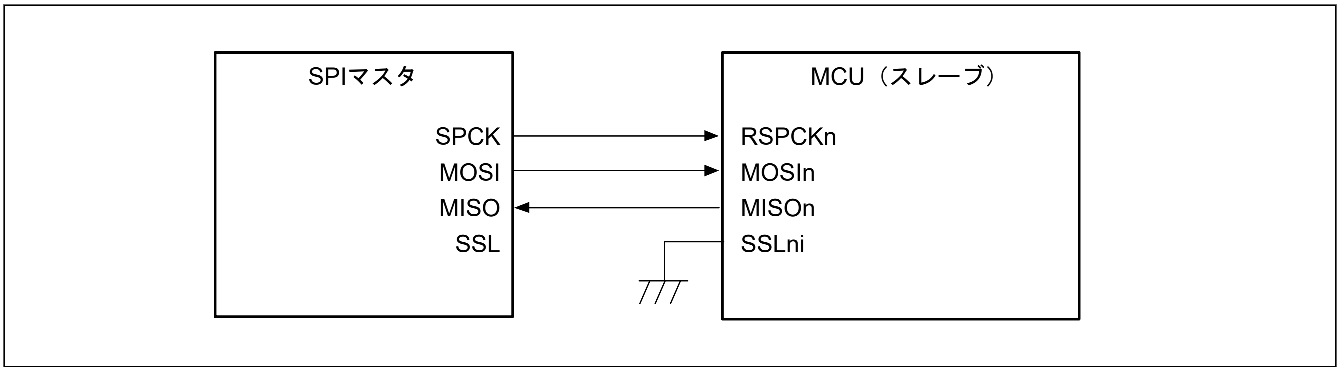


図 26.7　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 1）

26.3.3.3　シングルマスタとマルチスレーブ（MCU はマスタ）

図 26.8 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。この例では、MCU（マスタ）と 2 つのスレーブ（SPI スレーブ 0、SPI スレーブ 1）から SPI システムを構成しています。

MCU（マスタ）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0 と SPI スレーブ 1 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 と SPI スレーブ 1 の MISO 出力は、すべて MCU（マスタ）の MISOn 入力に接続します。MCU（マスタ）の SSLn0 出力と SSLn1 出力は、それぞれ SPI スレーブ 0 と SPI スレーブ 1 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、SSLn0、SSLn1 信号をドライブします。SPI スレーブ 0 および SPI スレーブ 1 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

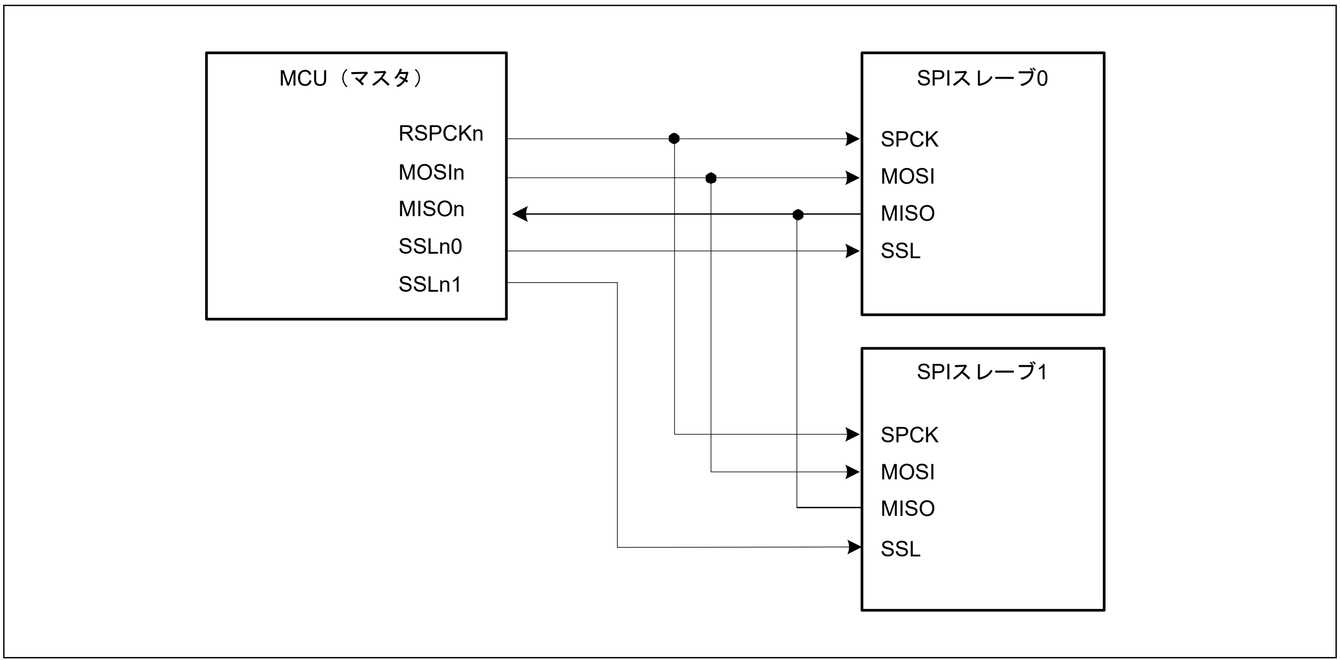


図 26.8　シングルマスタとマルチスレーブの構成例（MCU はマスタ）

26.3.3.4　シングルマスタとマルチスレーブ（MCU はスレーブ）

図 26.9 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISOn 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn をドライブします。

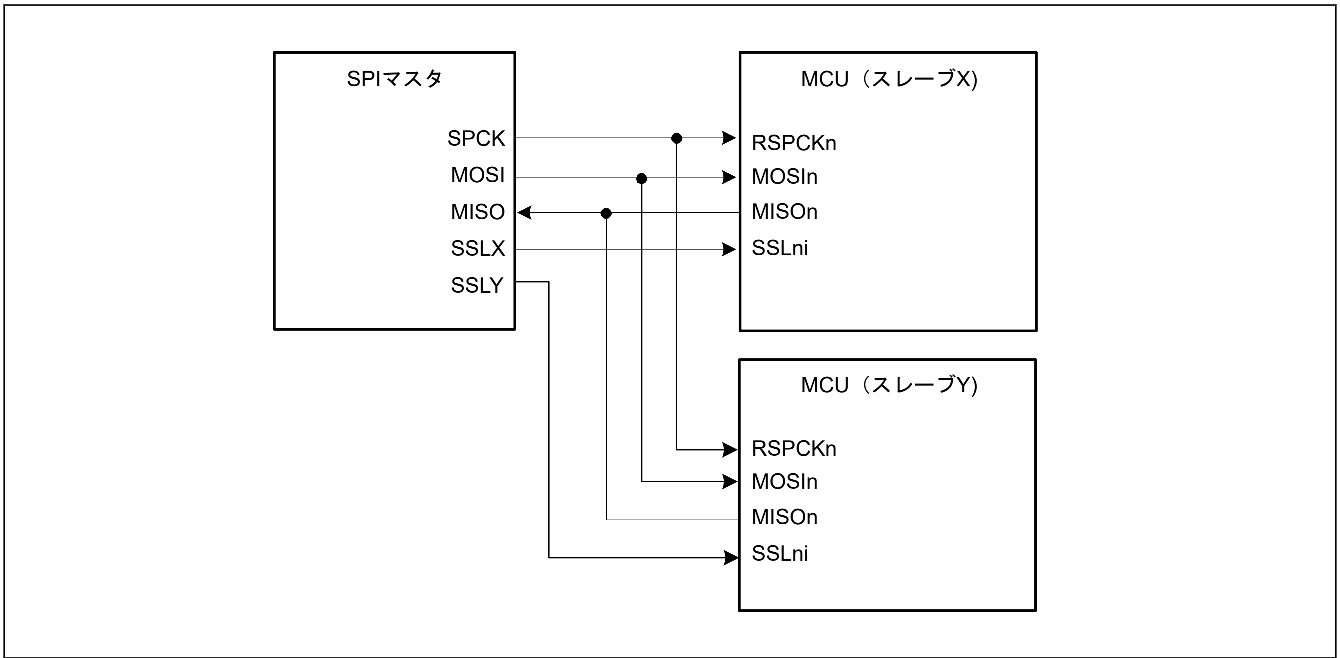


図 26.9　シングルマスタとマルチスレーブの構成例（MCU はスレーブ）

26.3.3.5 クロック同期式動作のマスタとスレーブ（MCU はマスタ）

図 26.10 に、MCU がマスタである場合のクロック同期式動作のマスタ／スレーブの構成例を示します。この構成では、MCU（マスタ）の SSLni は使用しません。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

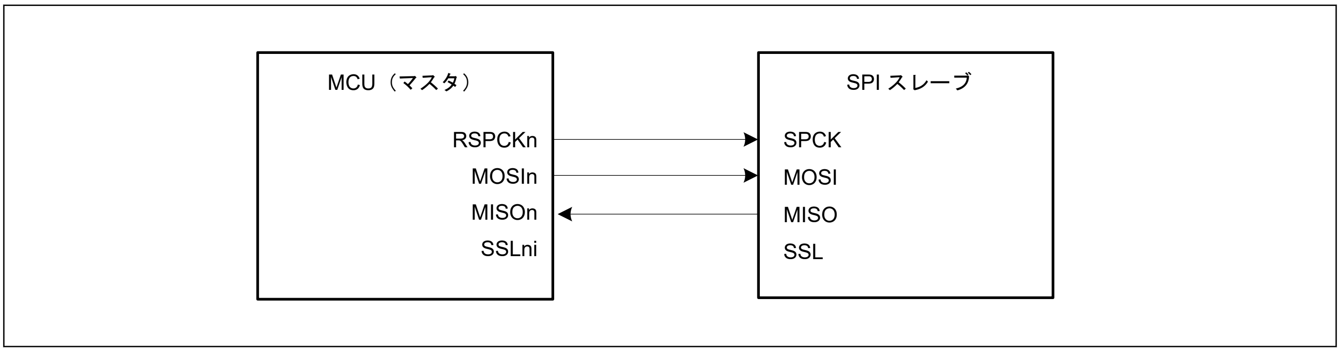


図 26.10 クロック同期式動作のマスタとスレーブの構成例（MCU はマスタ）

26.3.3.6 クロック同期式動作のマスタとスレーブ（MCU はスレーブ）

図 26.11 に、MCU がスレーブである場合のクロック同期式動作のマスタ／スレーブの構成例を示します。MCU をスレーブ（クロック同期式動作）として使用する場合は、MCU（スレーブ）は MISOn 信号をドライブし、SPI マスタは SPCK および MOSI 信号をドライブします。また、MCU（スレーブ）の SSLn0 と SSLn1 は使用しません。

SPCMD0.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU（スレーブ）はシリアル転送を実行できます。

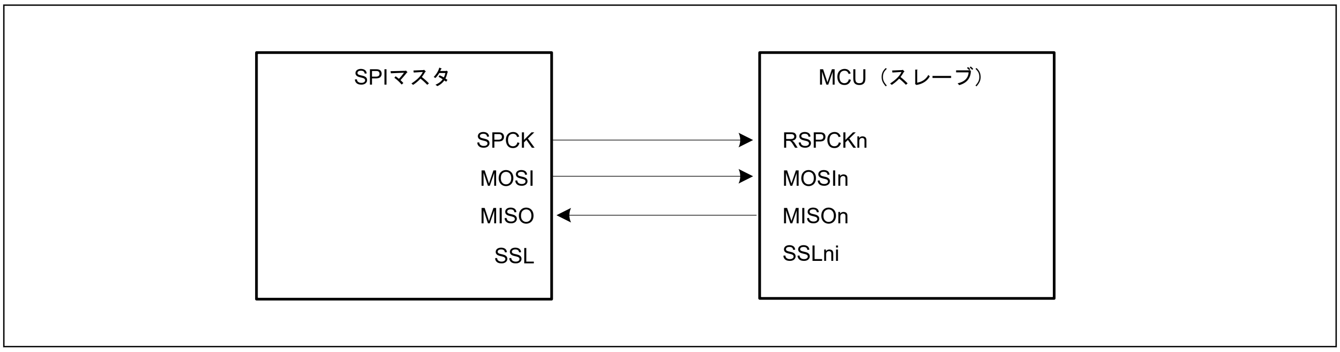


図 26.11 クロック同期式動作のマスタとスレーブの構成例（MCU はスレーブ、CPHA = 1）

26.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ 0 (SPCMD0) と SPI コントロールレジスタ 2 (SPCR2) のパリティ許可ビット (SPPE) の設定値に依存します。MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

パリティ機能無効時のデータフォーマット

パリティ機能無効時は、SPI データ長設定ビット（SPI コマンドレジスタ 0 (SPCMD0.SPB[3:0])）で設定したビット長のデータの送受信を行います。

パリティ機能有効時のデータフォーマット

パリティ機能有効時は、SPI データ長設定ビット（SPI コマンドレジスタ 0 (SPCMD0.SPB[3:0])）で設定したビット長のデータの送受信を行います。ただし、最終ビットはパリティビットです。

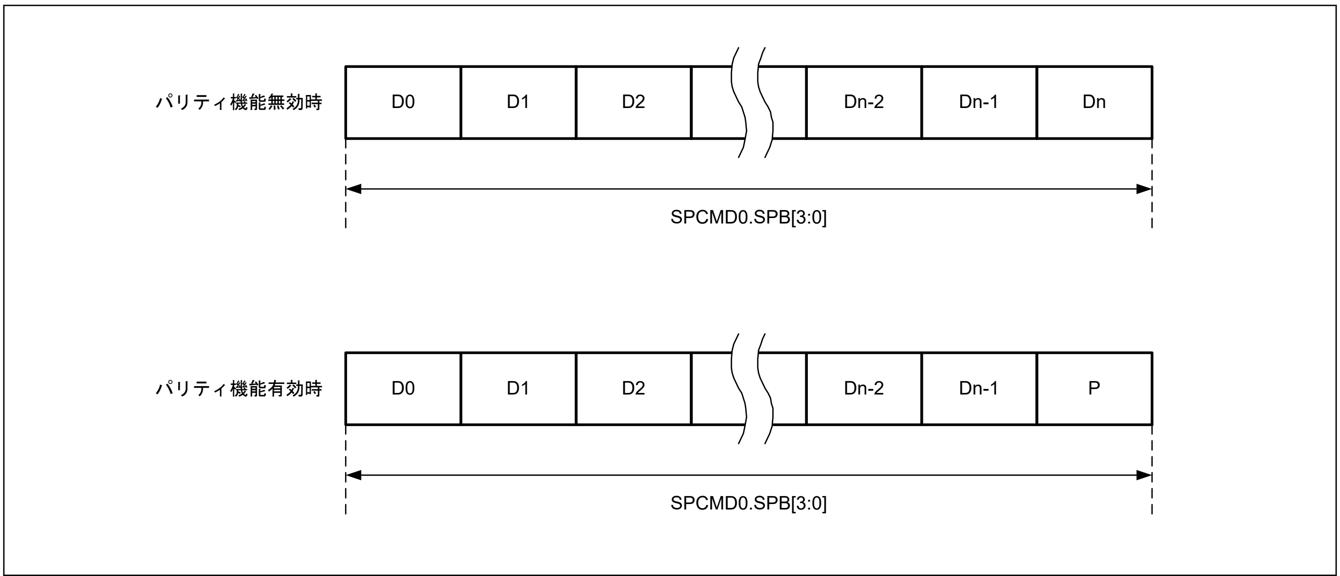


図 26.12　パリティ機能無効時と有効時のデータフォーマット

26.3.4.1　パリティ機能無効時 (SPCR2.SPPE = 0) の動作

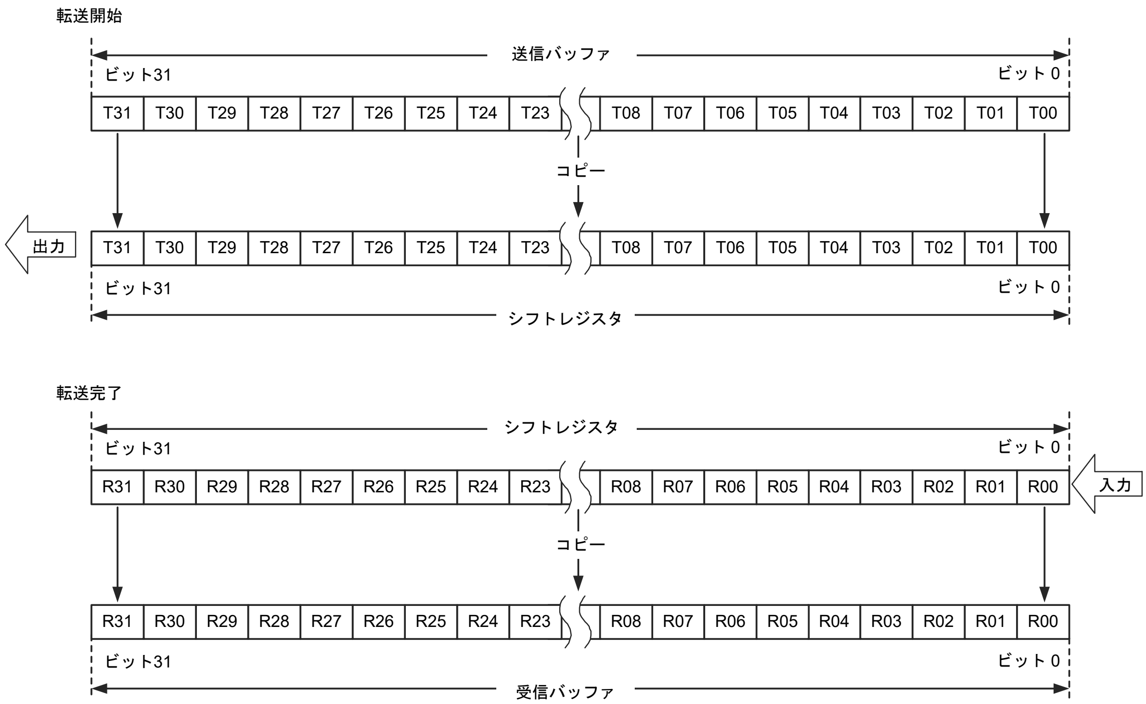
パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR/SPDR_HA) とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

(1)　MSB ファースト転送（32 ビットデータ）

図 26.13 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31〜T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31〜R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

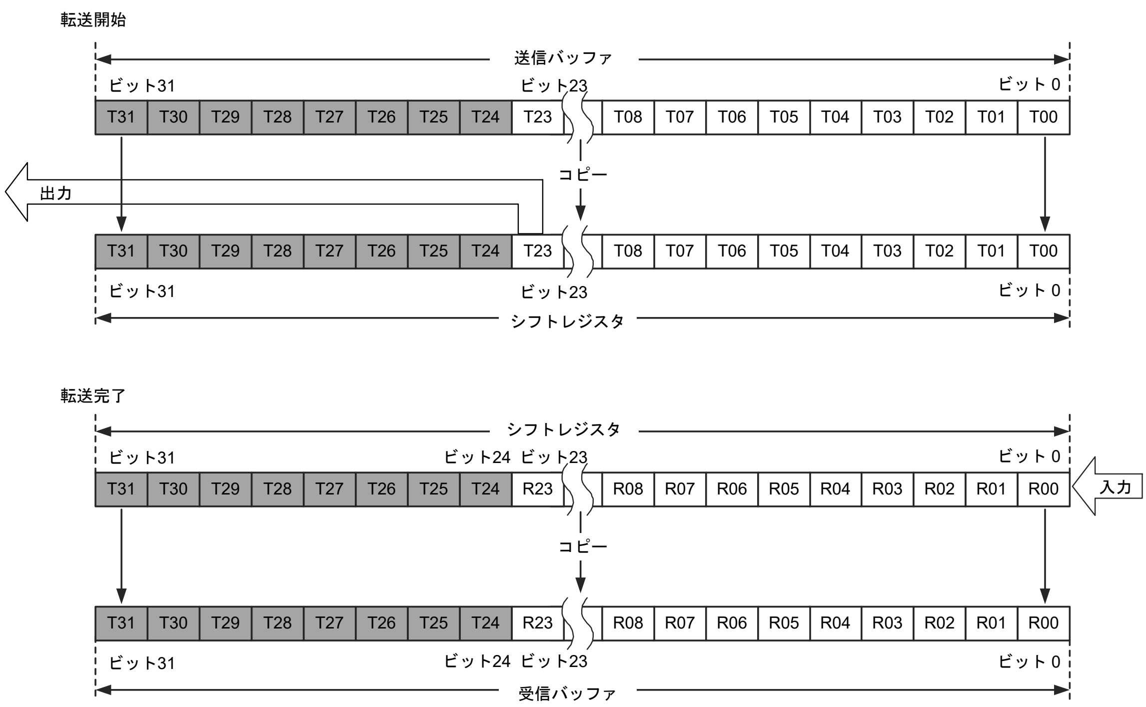
図 26.13 MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2) MSB ファースト転送（24 ビットデータ）

図 26.14 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23〜T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23〜R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31〜T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注.　出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

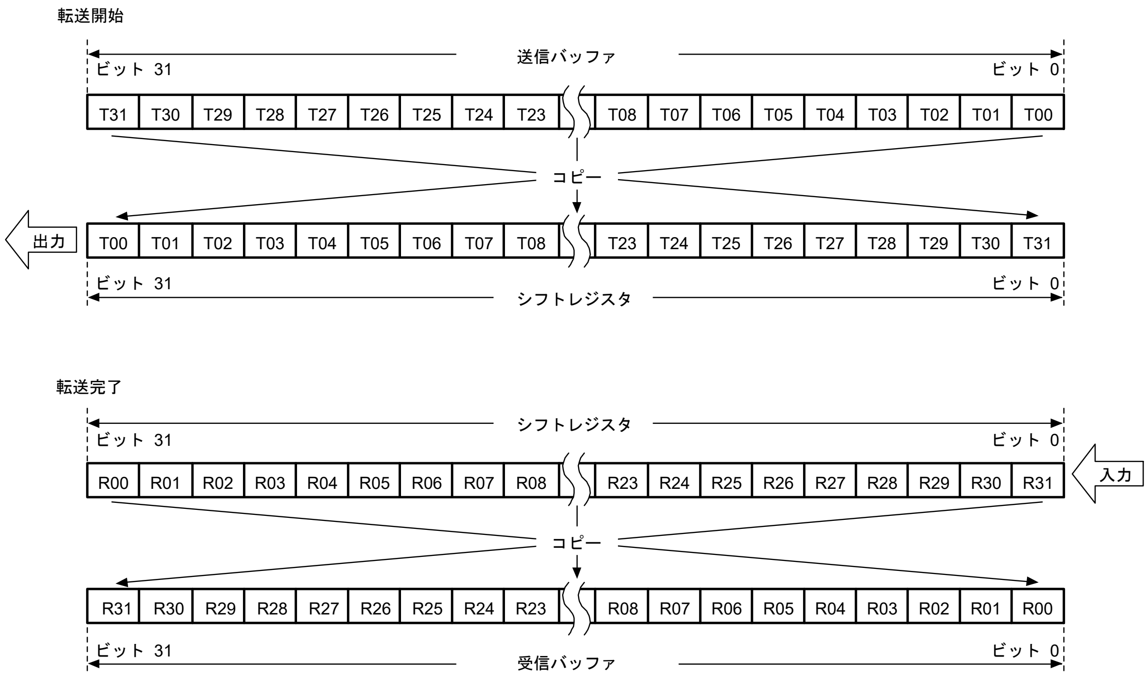
図 26.14　MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3) LSB ファースト転送（32 ビットデータ）

図 26.15 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注.　出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 26.15　LSB ファースト転送（32 ビットデータ／パリティ機能無効）

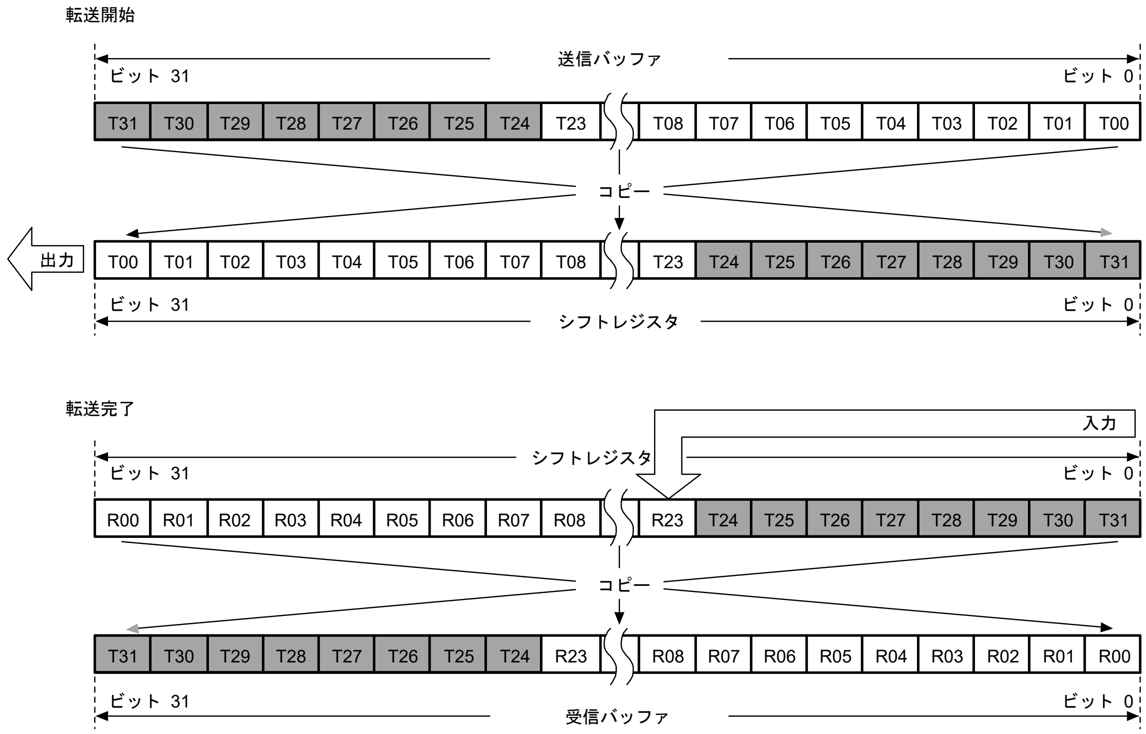
(4)　LSB ファースト転送（24 ビットデータ）

図 26.16 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注.　出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 26.16　LSB ファースト転送（24 ビットデータ／パリティ機能無効）

26.3.4.2　パリティ機能有効時 (SPCR2.SPPE = 1) の動作

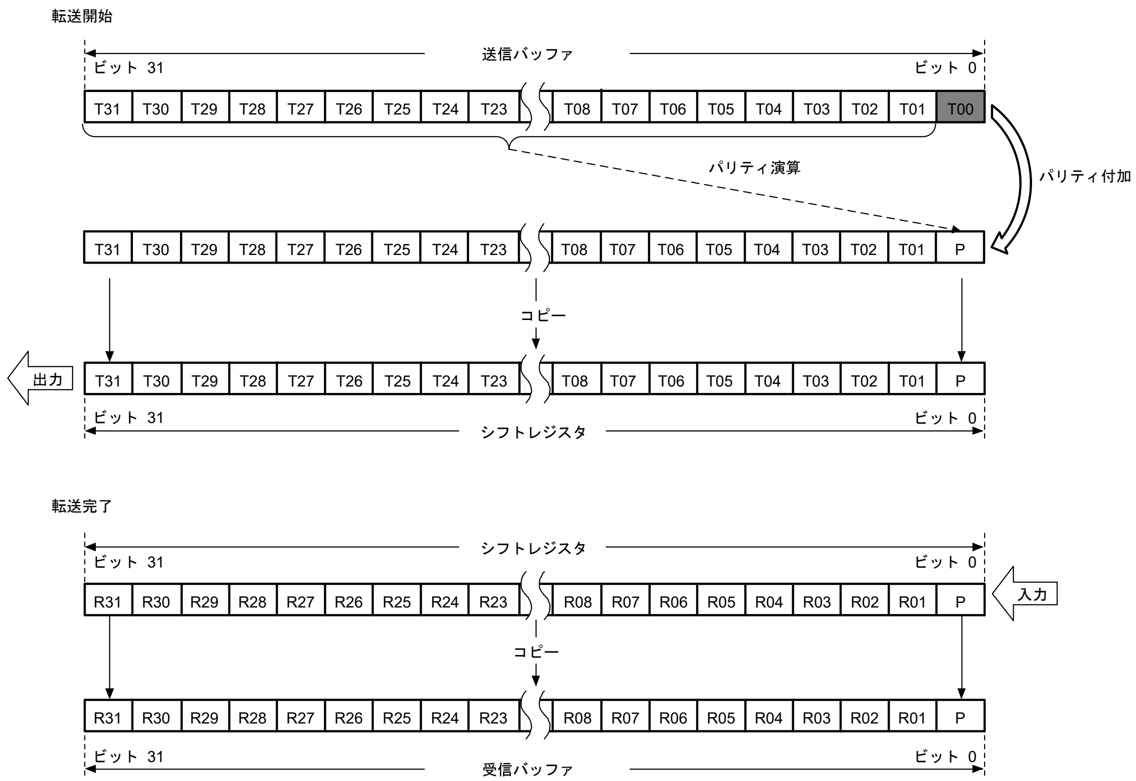
パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1)　MSB ファースト転送（32 ビットデータ）

図 26.17 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 〜 T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31〜P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31〜P ビットのデータをチェックします。



注.　出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

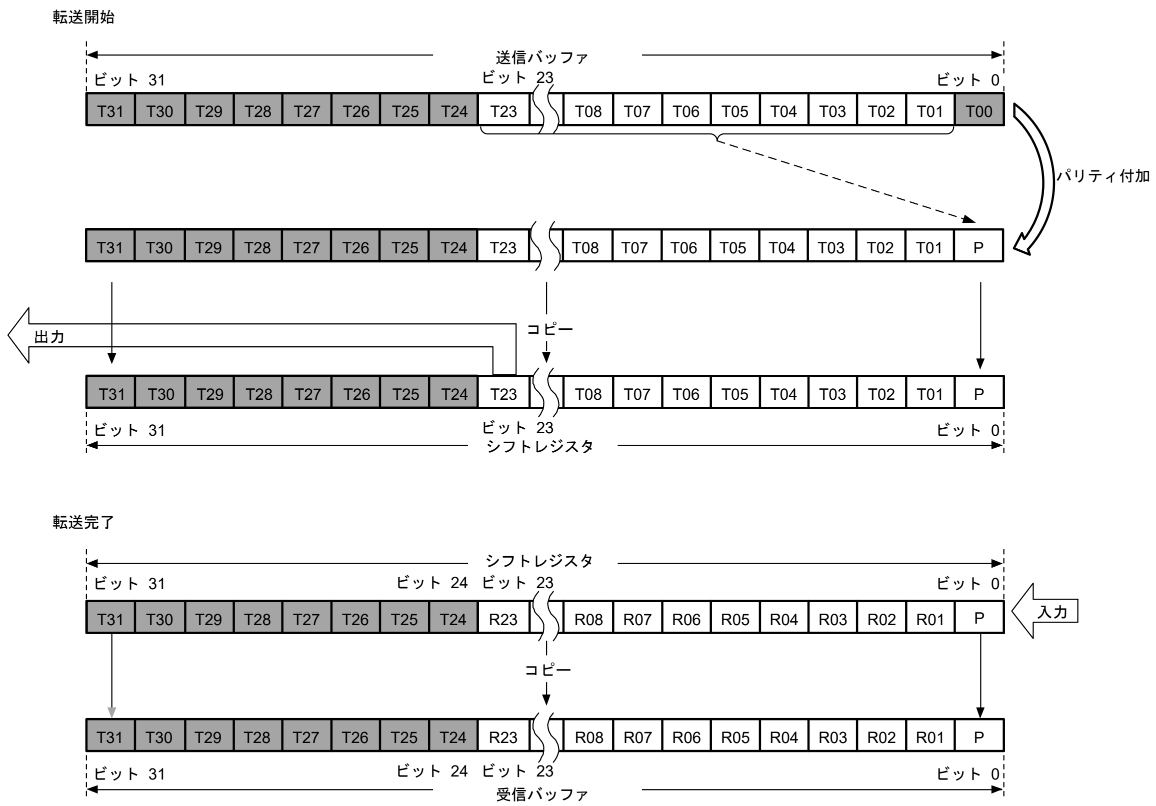
図 26.17　MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2)　MSB ファースト転送（24 ビットデータ）

図 26.18 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注.　　出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

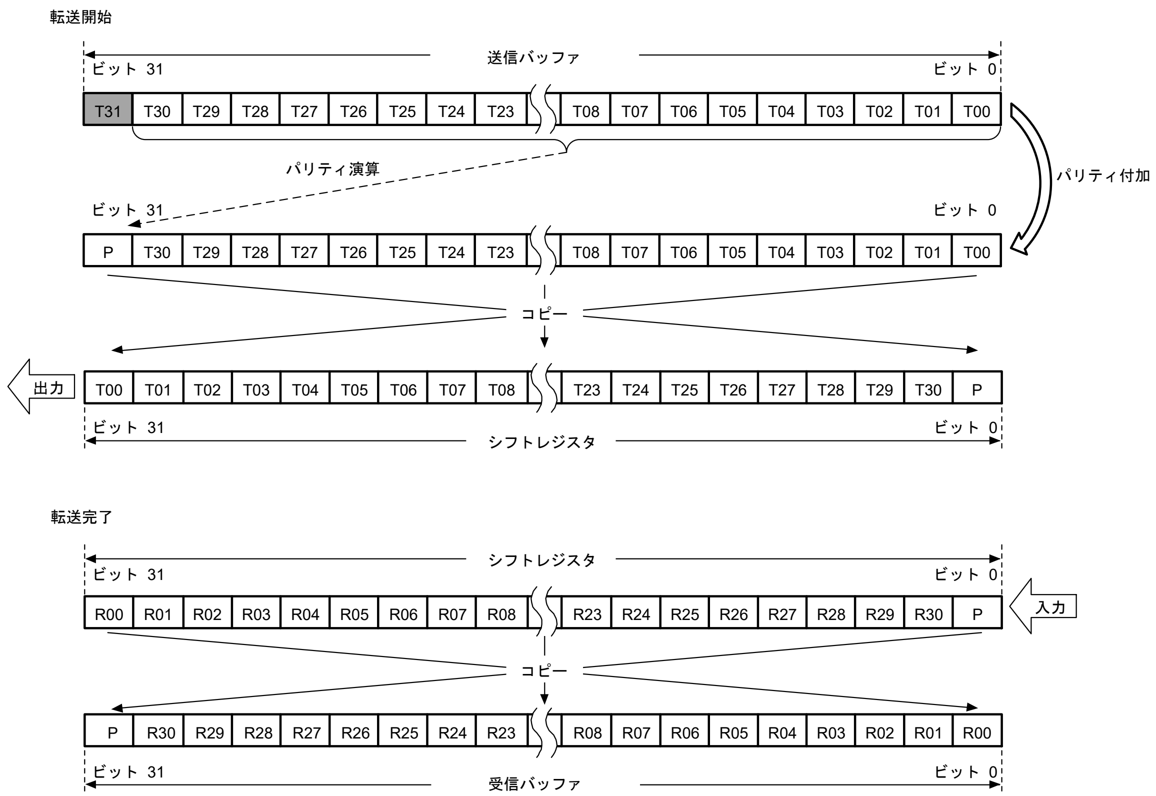
図 26.18　　MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3)　LSB ファースト転送（32 ビットデータ）

図 26.19 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注.　出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 26.19　LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4)　LSB ファースト転送（24 ビットデータ）

図 26.20 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22〜T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00〜P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00〜P ビットのデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31〜T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

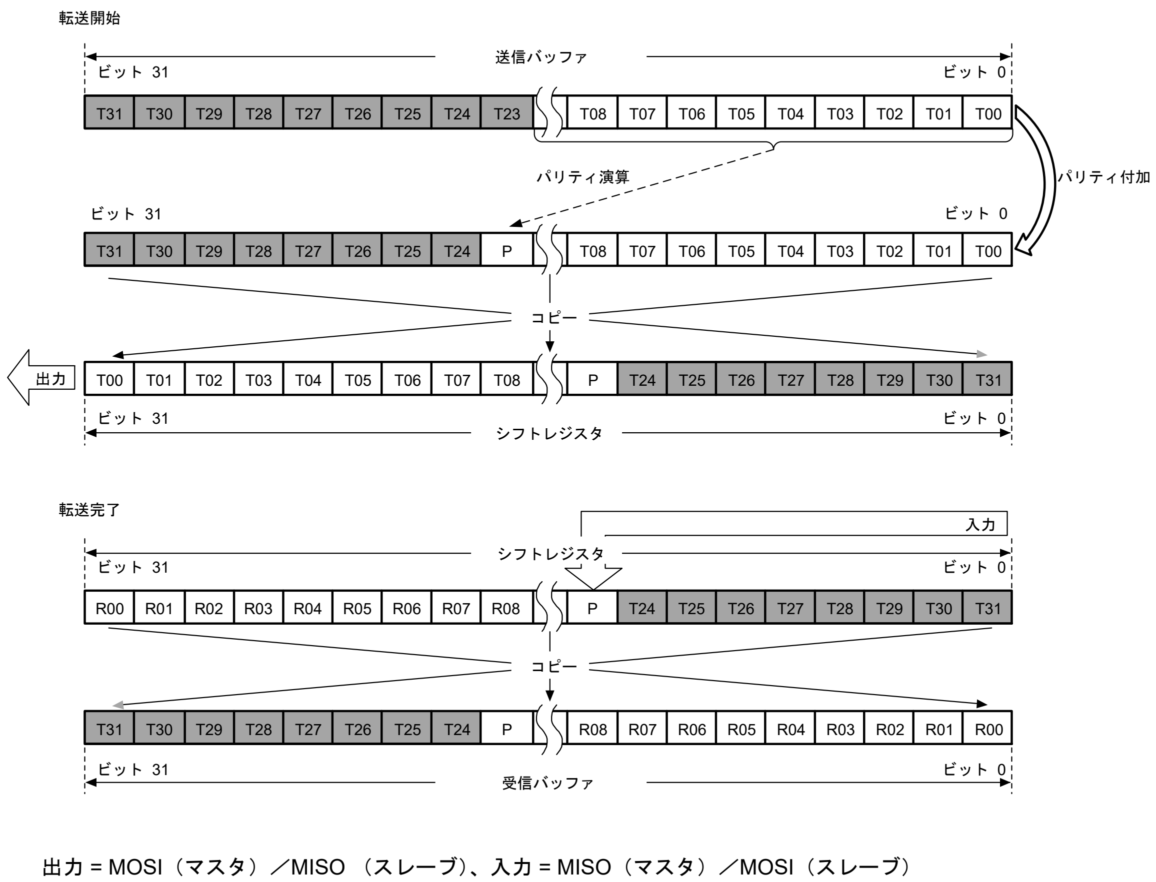


図 26.20 LSB ファースト転送（24 ビットデータ／パリティ機能有効）

26.3.5 転送フォーマット

26.3.5.1 CPHA = 0 の場合

図 26.21 に SPCMD0.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 26.21 において、RSPCKn (CPOL = 0) は、 SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、「26.3.2. SPI 端子の制御」を参照してください。

SPCMD0.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間（次アクセス遅延）を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「26.3.10.1. マスタモード動作」を参照してください。

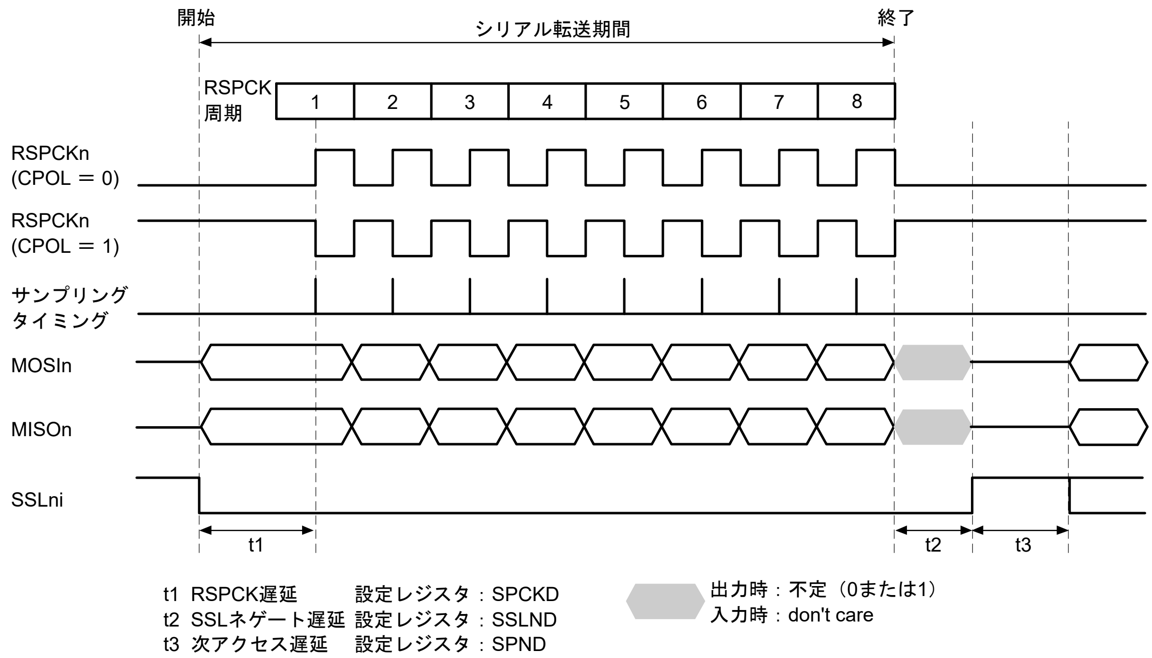


図 26.21　SPI 転送フォーマット（CPHA = 0 の場合）

26.3.5.2　CPHA = 1 の場合

図 26.22 に SPCMD0.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOn 信号の 3 つの信号のみで通信を行います。図 26.22 において、RSPCK (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を表します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SPI のモード（マスタ／スレーブ）に依存します。詳細は、「26.3.2. SPI 端子の制御」を参照してください。

SPCMD0.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMD0.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「26.3.10.1. マスタモード動作」を参照してください。

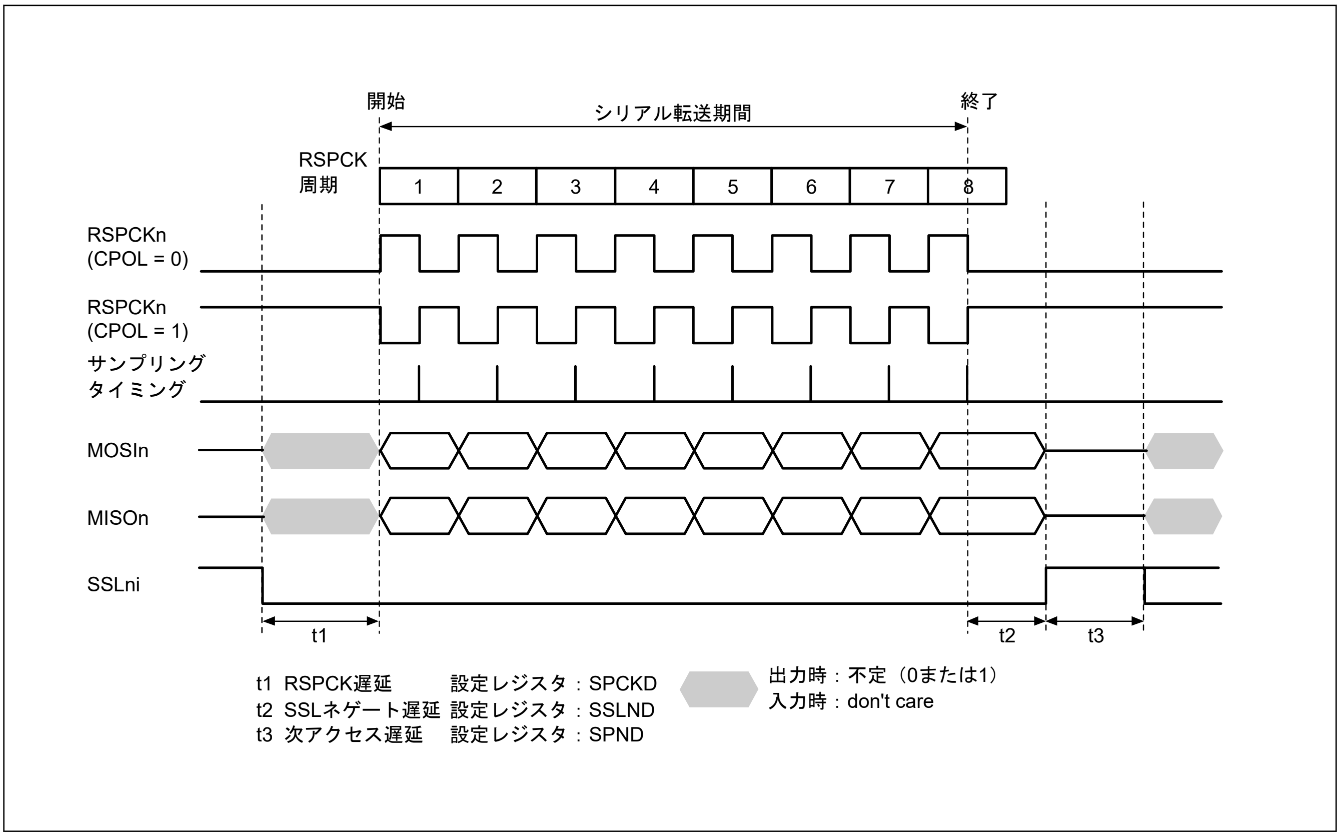


図 26.22　　SPI 転送フォーマット（CPHA = 1 の場合）

26.3.6　　データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作が選択できます。図 26.23 および 図 26.24 に記載した SPDR アクセスは、SPDR レジスタへのアクセス状況を示しています。W は書き込みサイクルを示しています。

26.3.6.1　　全二重同期式シリアル通信（SPCR.TXMD = 0）

図 26.23 に、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

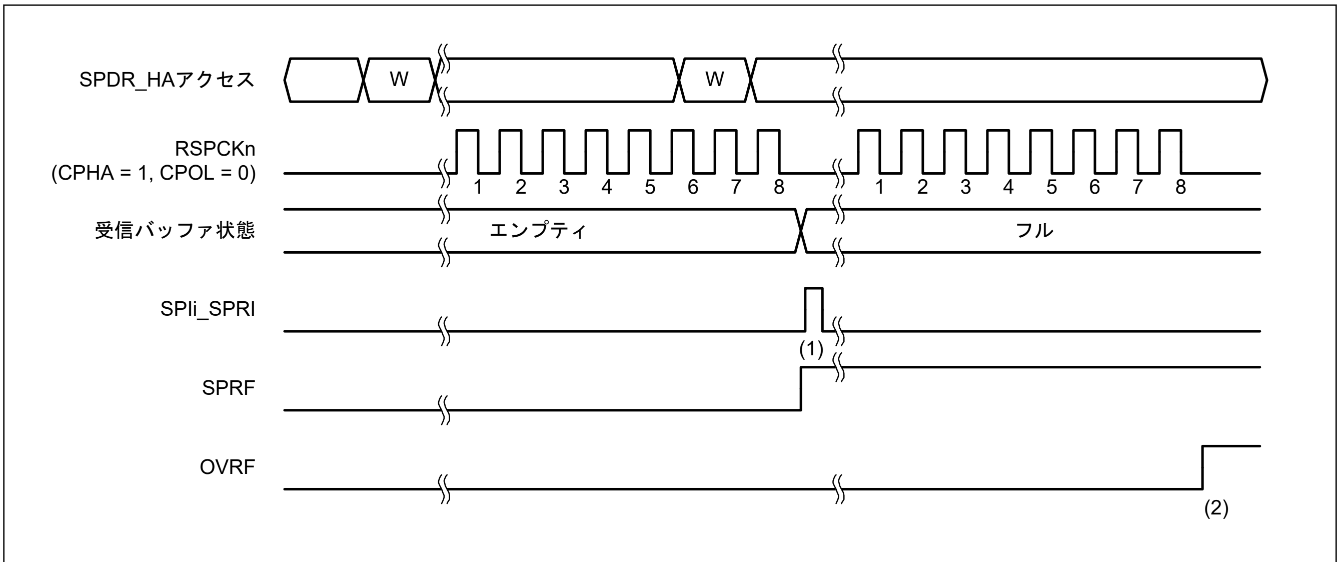


図 26.23　　SPCR.TXMD = 0 の動作例

以下に、図 26.23 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。SPSR.OVRF フラグの詳細動作については「26.3.8.1. オーバーランエラー」をご参照ください。

26.3.6.2　送信のみのシリアル通信（SPCR.TXMD = 1）

図 26.24 に、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

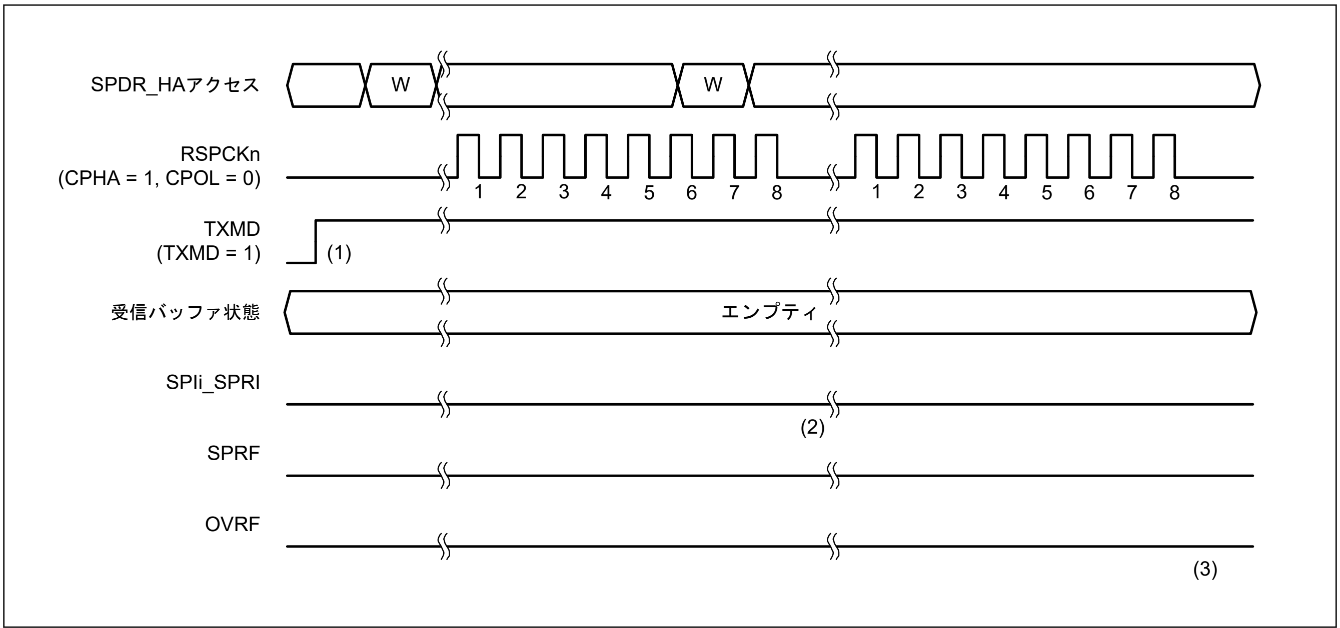


図 26.24　SPCR.TXMD = 1 の動作例

以下に、図 26.24 の (1)〜(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみのシリアル通信 (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみのシリアル通信 (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみのシリアル通信動作 (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1)〜(3) それぞれのタイミングで 0 を保持します。

26.3.7　送信バッファエンプティ／受信バッファフル割り込み

図 26.25 および図 26.26 に、送信バッファエンプティ割り込み (SPIi_SPTI) と受信バッファフル割り込み (SPIi_SPRI) の動作例を示します。図 38.26 および図 38.27 に記載した SPDR レジスタアクセスは、SPDR_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 26.25 では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 0、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 26.26 では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

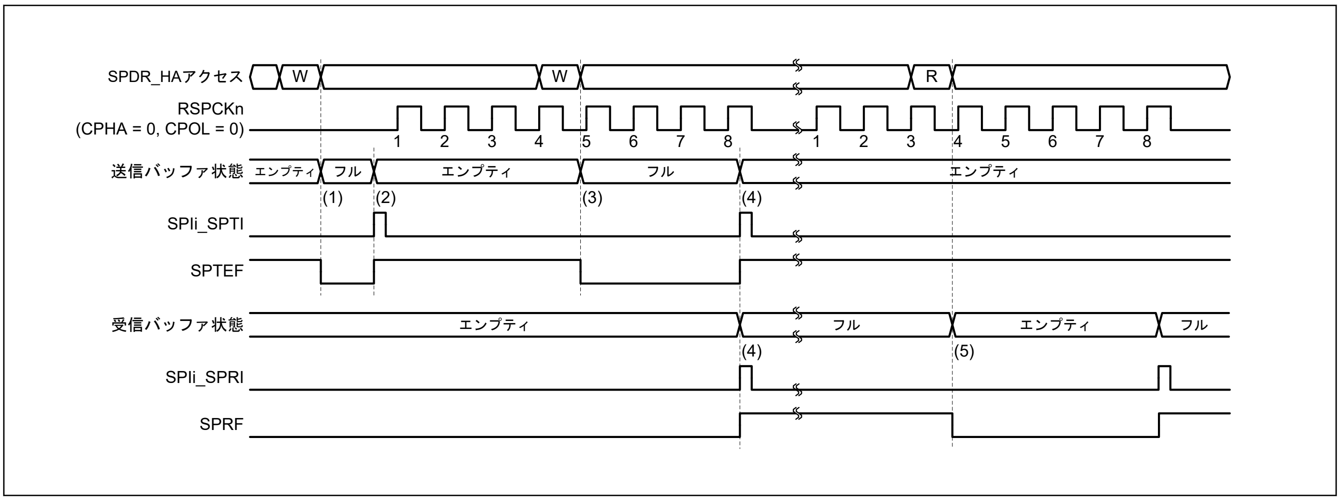


図 26.25　SPIi_SPTI、SPIi_SPRI 割り込みの動作例（CPHA = 0、CPOL = 0）

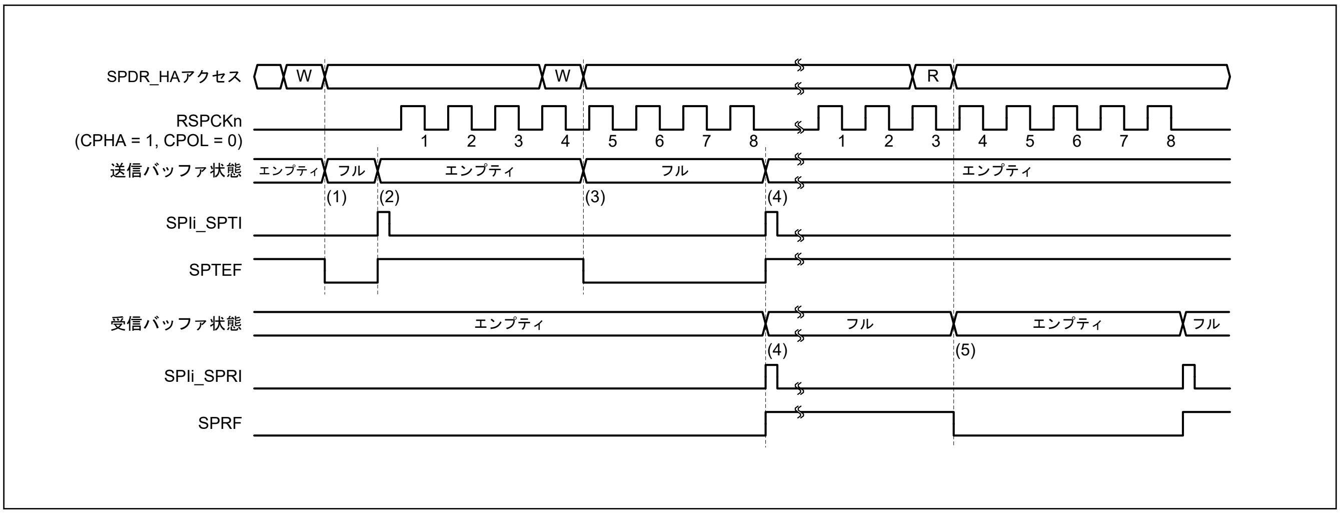


図 26.26　SPIi_SPTI、SPIi_SPRI 割り込みの動作例（CPHA = 1、CPOL = 0）

以下に、図 26.25 および図 26.26 の (1)～(5) での SPI の動作内容を説明します。

1. SPDR_HA レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
2. シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIi_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「26.3. 動作説明」および「26.3.11. クロック同期式動作」を参照してください。
3. 送信バッファエンプティ割り込みルーチン、または SPSR.SPTEF フラグによる送信バッファエンプティの処理で SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPSR.SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPSR.SPRF フラグによる受信バッファフルの処理で SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPSR.SPTEF = 0) で、SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPSR.SPTEF フラグによる送信バッファエンプティ割り込みの処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE = 0) の場合には、SPCR.SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPSR.SPRF = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します（「26.3.8. エラー検出」を参照してください）。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または関連する ICU の IELSRn.IR フラグ（n は割り込みベクタ番号）によって確認することができます。

同様に、SPSR.SPTEF および SPSR.SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

26.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR/SPDR_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 26.7 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 26.7　通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態で SPDR/SPDR_HA レジスタに書き込み	● 送信バッファ内容を保持 ● 書き込みデータ欠落	なし
2	受信バッファエンプティの状態で SPDR/SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	● シリアル転送を中断 ● 送受信データ欠落 ● MISOn 端子の出力信号のドライブ停止 ● SPI 機能は無効	アンダーランエラー
4	受信バッファフルの状態でシリアル転送が終了	● 受信バッファ内容を保持 ● 受信データ欠落	オーバーランエラー
5	以下のモードで、全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信 ● 送受信マスタモード ● 送受信スレーブモード	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 端子の入力信号アサート	● RSPCKn、MOSIn、SSLn1 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 端子の入力信号アサート	● シリアル転送を中断 ● 送受信データ欠落 ● RSPCKn、MOSIn、SSLn1 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 端子の入力信号ネゲート	● シリアル転送を中断 ● 送受信データ欠落 ● MISOn 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー

表 26.7 の動作 1 に対しては、SPI はエラーを検出しません。SPDR/SPDR_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR_HA レジスタへの書き込みを実行してください（SPSR.SPTEF フラグが 1 の場合）。

動作 2 に対しても、SPI はエラーを検出しません。無関係なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR/SPDR_HA レジスタの読み出しを実行するようにしてください（SPSR.SPRF フラグが 1 の場合）。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「26.3.8.4. アンダーランエラー」を参照してください。
- 動作 4 に示したオーバーランエラーについては、「26.3.8.1. オーバーランエラー」を参照してください。
- 動作 5 に示したパリティエラーについては、「26.3.8.2. パリティエラー」を参照してください。
- 動作 6〜8 に示すように、モードフォルトエラーについては、「26.3.8.3. モードフォルトエラー」を参照してください。
- 送信および受信割り込みについては、「26.3.7. 送信バッファエンプティ／受信バッファフル割り込み」を参照してください。

26.3.8.1　オーバーランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを 0 にするためには、SPSR.OVRF フラグが 1 の状態の SPSR レジスタを CPU が読み出した後に、SPSR.OVRF フラグに 0 を書く必要があります。

図 26.27 に、SPSR.OVRF フラグと SPRF フラグの動作例を示します。図 26.27 に記載した SPSR アクセスと SPDR_HA アクセスは、それぞれ SPSR、SPDR_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

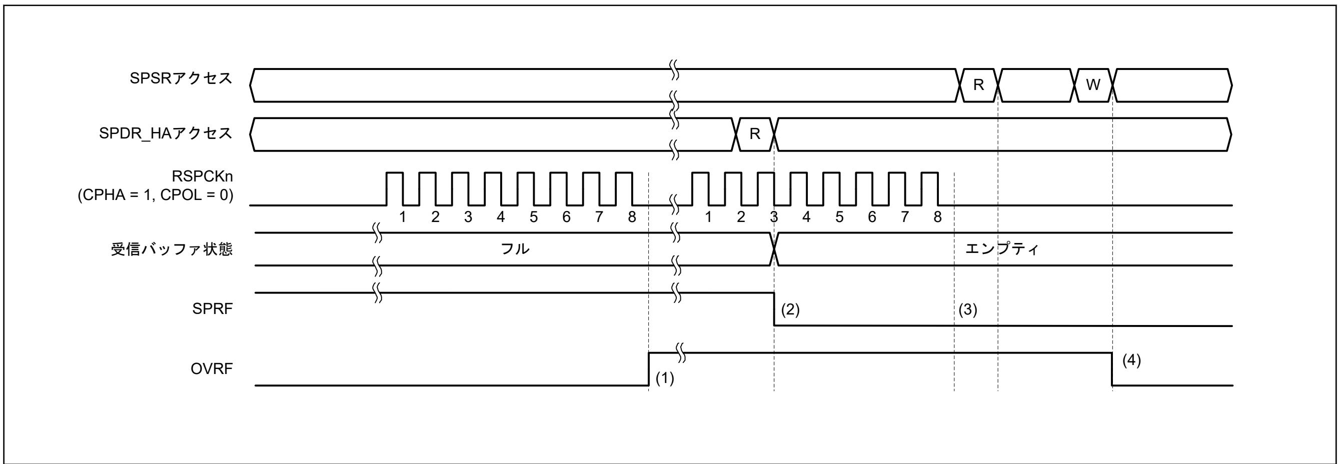


図 26.27　OVRF フラグおよび SPRF フラグの動作例

以下に、図 26.27 の (1)〜(4) に示したタイミングでのフラグの動作内容を説明します。

1. SPSR.SPRF フラグが 1（受信バッファフル）の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPCR2.SPPE ビットが 1 であってもパリティエラーの検出は行いません。
2. SPDR レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPSR.SPRF フラグが 0 になります。受信バッファが空になっても、SPSR.OVRF フラグは 0 になりません。
3. OVRF フラグが 1 の状態（オーバーランエラー）でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません（SPSR.SPRF フラグは 1 になりません）。受信バッファフル割り込みも発生しません。また、SPSR.SPPE ビットが 1 であってもパリティエラーの検出は行いません。 オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、

シリアル転送が終了すると SPI はシフトレジスタを空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。

4. SPSR.OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、SPSR.OVRF フラグに 0 を書くと、SPSR.OVRF フラグは 0 になります。

オーバーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。マスタモードでは、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して SPSR.OVRF フラグが 1 になると、SPSR.OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR2.SCKASE = 1) にした場合は、オーバーランエラーが発生しません。図 26.28、図 26.29 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

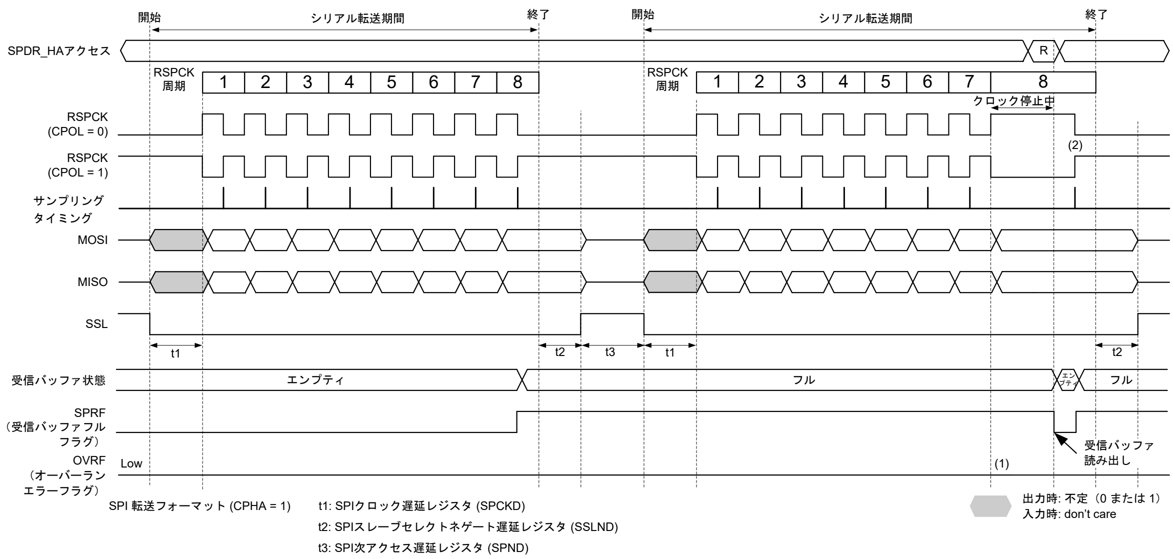


図 26.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (SPCMDm.CPHA = 1)

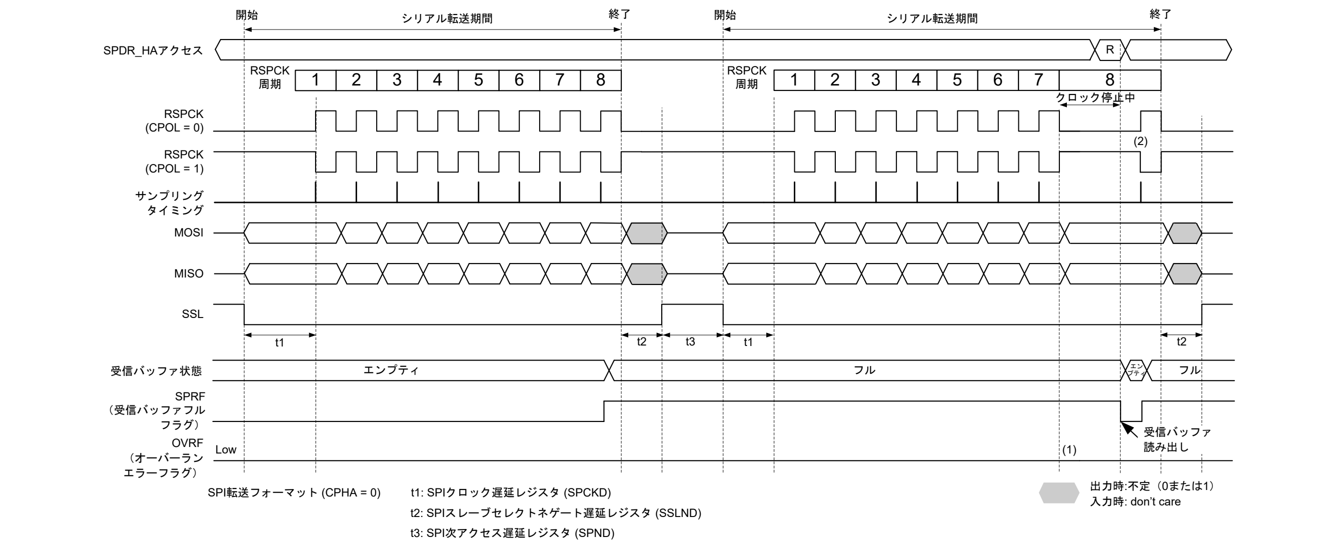


図 26.29　　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (SPCMDm.CPHA = 0)

以下に、図 26.28 および図 26.29 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
2. クロック停止中に SPDR レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後（SPSR.SPRF フラグが 0 にされた後）、RSPCK クロックが再開します。

26.3.8.2　　パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、シリアル転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SPSR.PERF フラグを 0 にするためには、SPSR.PERF フラグが 1 の状態の SPSR レジスタを読んだ後、SPSR.PERF フラグに 0 を書いてください。

図 26.30 に、OVRF フラグと PERF フラグの動作例を示します。図 26.30 に記載の SPSR アクセス は、SPSR レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

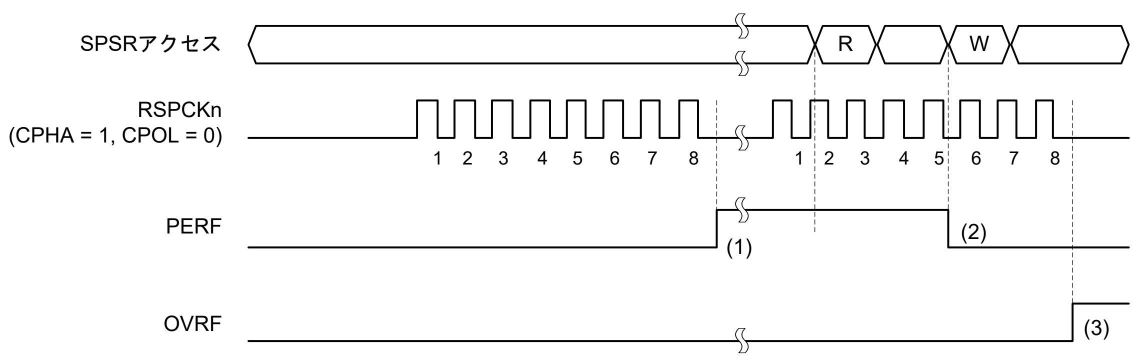


図 26.30 OVRF フラグおよび PERF フラグの動作例

以下に、図 26.30 の (1)〜(3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると SPSR.PERF フラグを 1 にします。
2. SPSR.PERF フラグが 1 の状態で SPSR レジスタを読んだ後、SPSR.PERF フラグに 0 を書くと、SPSR.PERF フラグは 0 になります。
3. SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。

26.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 端子へ入力される信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。なお、SSLn0 端子へ入力される信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

SPCR.MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の SPCR.MODFEN ビットが 1、SPCR.SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 端子へ入力される信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（「26.3.9. SPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

SPSR.MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、SPSR.MODF フラグを 0 にしてください。

26.3.8.4 アンダーランエラー

スレーブモードで SPI が動作しているとき (SPCR.MSTR = 0)、SPCR.SPE ビットが 1（SPI 機能有効）で送信データ出力がレディになる前にシリアル転送が開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします (「26.3.9. SPI の初期化」を参照)。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

26.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

26.3.9.1 SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化（SPSR.SPTEF フラグが 1 になります）

SPCR.SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPCR.SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時のエラーの状況を確認できます。

送信バッファは空の状態に初期化されます（SPSR.SPTEF フラグが 1 になります)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

26.3.9.2 システムリセットによる初期化

システムリセットでは、「26.3.9.1. SPCR.SPE ビットのクリアによる初期化」に記載の要件に加え、SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

26.3.10 SPI 動作

26.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです (「26.3.8. エラー検出」を参照)。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファが空きで、次転送のデータがセットされていない (SPSR.SPTEF = 0) 状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0]ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(3) RSPCK 遅延 (t1)

マスタモードの SPI の RSPCK 遅延値は、SPCMD0.SCKDEN ビットの設定と SPCKD.SCKDL[2:0]ビットの設定で決まります。SPI は、SPCMD0.SCKDEN ビットと SPCKD.SCKDL[2:0]ビットを使用して、表 26.8 のように RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、「26.3.5. 転送フォーマット」を参照してください。

表 26.8 SPCMDm.SCKDEN ビット、SPCKD.SCKDL[2:0]ビット、RSPCK 遅延の関係

SPCMD0.SCKDEN ビット	SPCKD.SCKDL[2:0]ビット	RSPCK 遅延
0	000b～111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(4) SSL ネゲート遅延 (t2)

マスタモードの SPI の SSL ネゲート遅延値は、SPCMD0.SLNDEN ビットの設定と SSLND.SLNDL[2:0]ビットの設定で決まります。SPI は、を決定し、SPCMD0.SLNDEN ビットと SSLND.SLNDL[2:0]ビットを使用して、表 26.9 のように SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「26.3.5. 転送フォーマット」を参照してください。

表 26.9 SPCMDm.SLNDEN ビット、SSLND.SLNDL[2:0]ビット、SSL ネゲート遅延の関係

SPCMD0.SLNDEN ビット	SSLND.SLNDL[2:0]ビット	SSL ネゲート遅延
0	000b～111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(5) 次アクセス遅延 (t3)

マスタモードの SPI の次アクセス遅延値は、SPCMD0.SPNDEN ビットの設定と SPND.SPNDL[2:0]ビットの設定で決まります。SPI は、SPCMD0.SPNDEN ビットと SPND.SPNDL[2:0]ビットを使用して、表 26.10 のようにシリアル転送中の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、「26.3.5. 転送フォーマット」を参照してください。

表 26.10　SPCMDm.SPNDEN ビット、SPND.SPNDL[2:0]ビット、次アクセス遅延の関係

SPCMD0.SPNDEN ビット	SPND.SPNDL[2:0]ビット	次アクセス遅延
0	000b～111b	1 RSPCK + 2 PCLKB
1	000b	1 RSPCK + 2 PCLKB
	001b	2 RSPCK + 2 PCLKB
	010b	3 RSPCK + 2 PCLKB
	011b	4 RSPCK + 2 PCLKB
	100b	5 RSPCK + 2 PCLKB
	101b	6 RSPCK + 2 PCLKB
	110b	7 RSPCK + 2 PCLKB
	111b	8 RSPCK + 2 PCLKB

(6)　初期化フロー

図 26.31 に、SPI をマスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

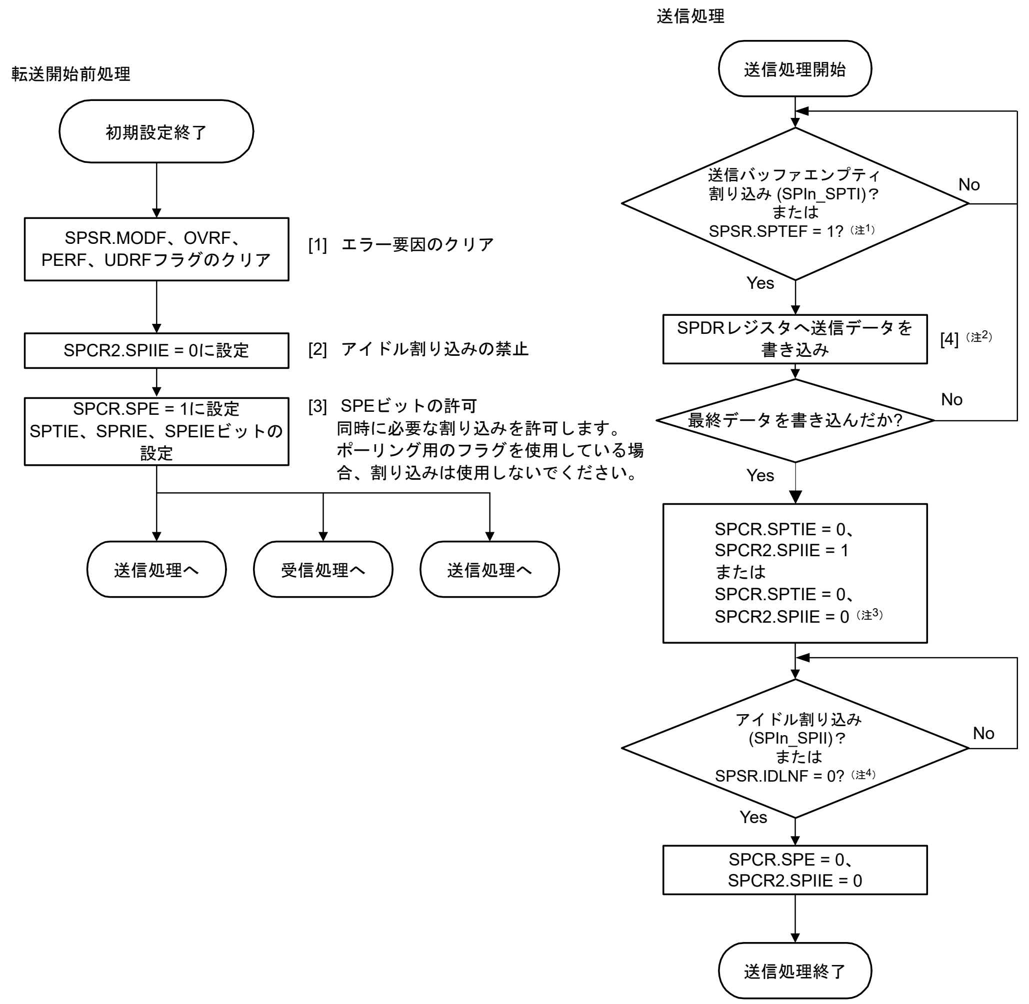
図 26.31　　マスタモード時の SPI 動作の初期化フロー例

(7)　ソフトウェア処理フロー

図 26.32 ～図 26.34 にソフトウェア処理フローの例を示します。

送信処理フロー

データの送信時、SPIi_SPII 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。



注 1.　ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファが空であることを確認してから SPDR/SPDR_HA/SPDR_BY レジスタへの送信データ書き込み処理を行ってください。
注 2.　ポーリング用のフラグを使用中の場合、アイドル割り込みを設定することはできません (SPCR2.SPIIE = 0)。
注 3.　ポーリング用のフラグを使用中の場合、SPDR レジスタへの送信データを書き込んだ後と、SPSR.IDLNF フラグのポーリングを開始する前に、1PCLKB の時間を待ってください。
注 4.　SPDR = SPDR/SPDR_HA/SPDR_BY

図 26.32　　マスタモードでの送信フロー

受信処理フロー

SPI は受信処理のみで実行することができません。送信するデータがない場合でもダミーデータを送信してください。

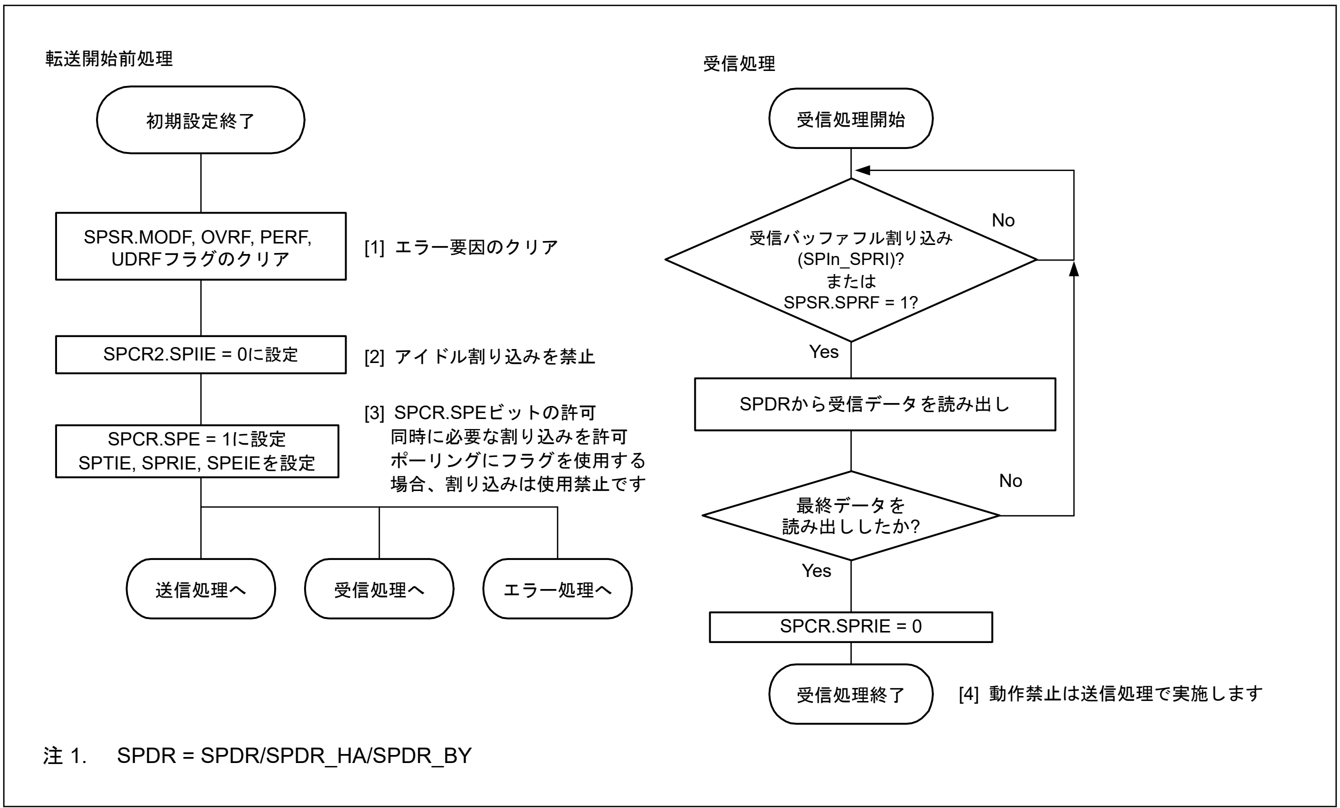


図 26.33　　マスタモードでの受信フロー

エラー処理フロー

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信／受信動作を停止させます。その際、モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み要求 (SPIi_SPRII) が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

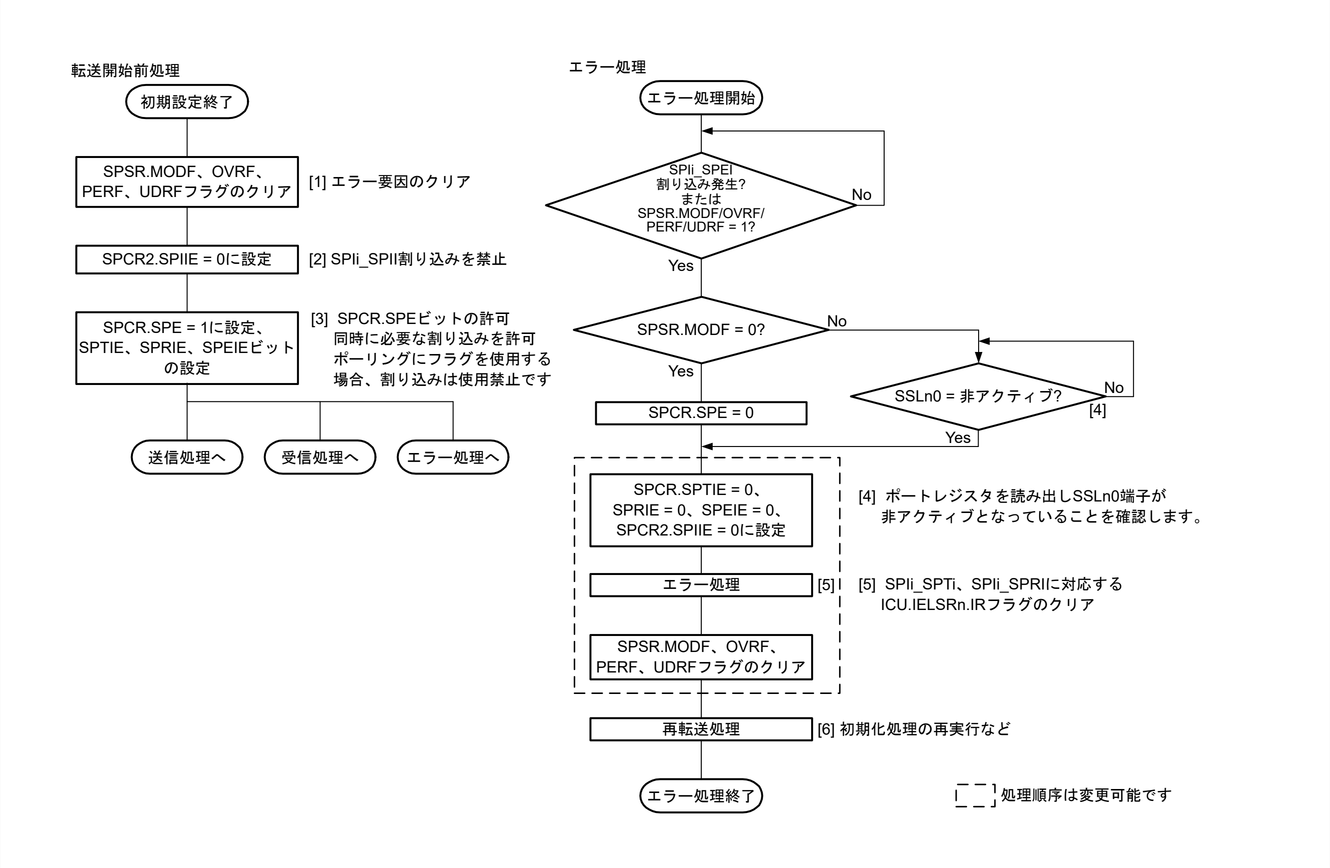


図 26.34　マスタモードでのエラー処理フロー

26.3.10.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISOn 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISOn 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効／無効が異なります。

SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P ビットの設定値で決まります。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、SPI は最終サンプリングタイミングに関連する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します（「26.3.8. エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0]ビットの設定値で決まります。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P

ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。図 26.7 の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、SPCMD0.CPHA ビットを 0 に設定した SPI では、シリアル転送を正しく開始できません。SSLn0 端子への入力信号をアクティブ状態に固定された構成で、スレーブモードの SPI の送受信を正しく実行するには、SPCMD0.CPHA ビットを 1 にしてください。SPCMD0.CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMDm.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 26.35 に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

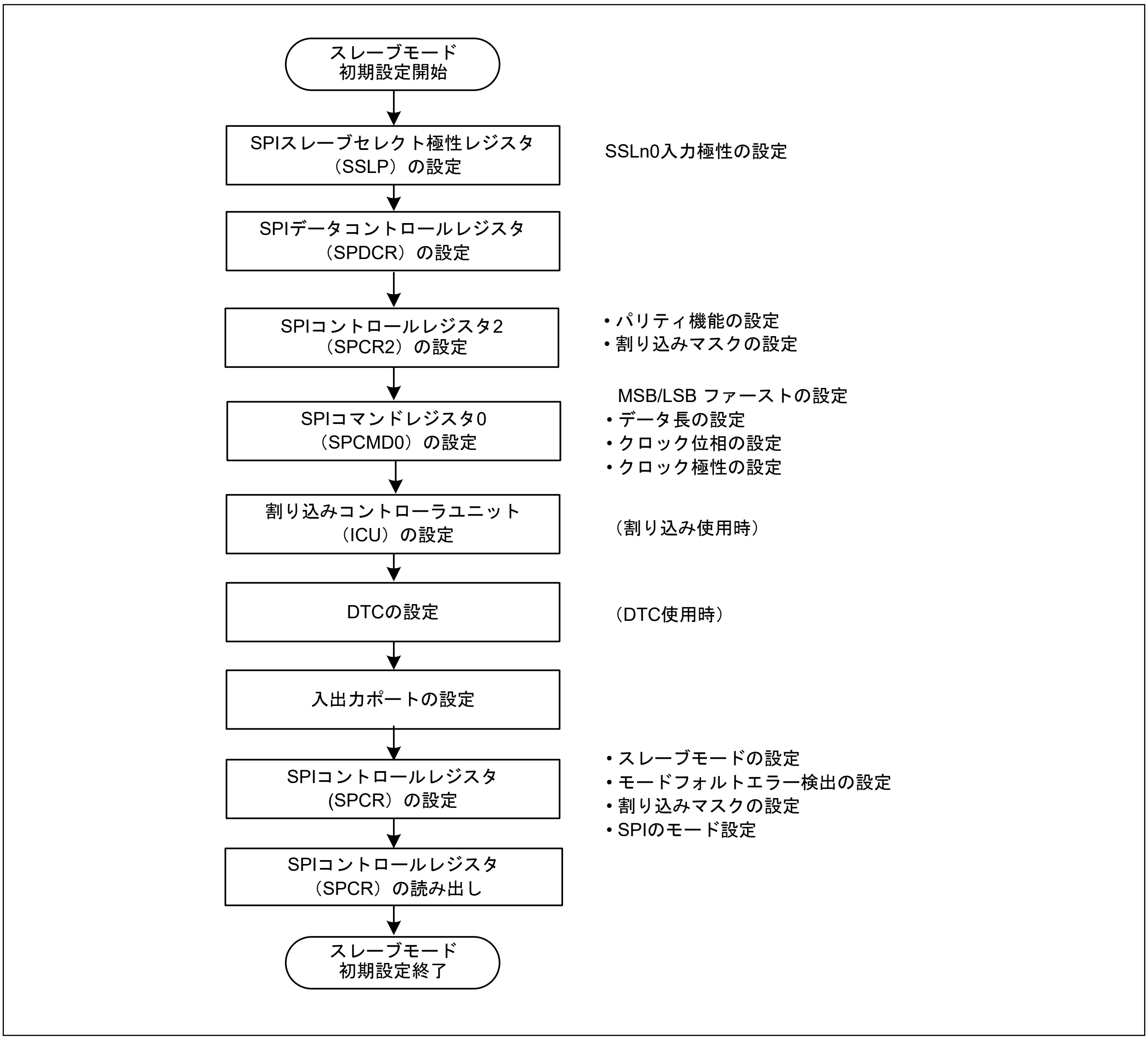
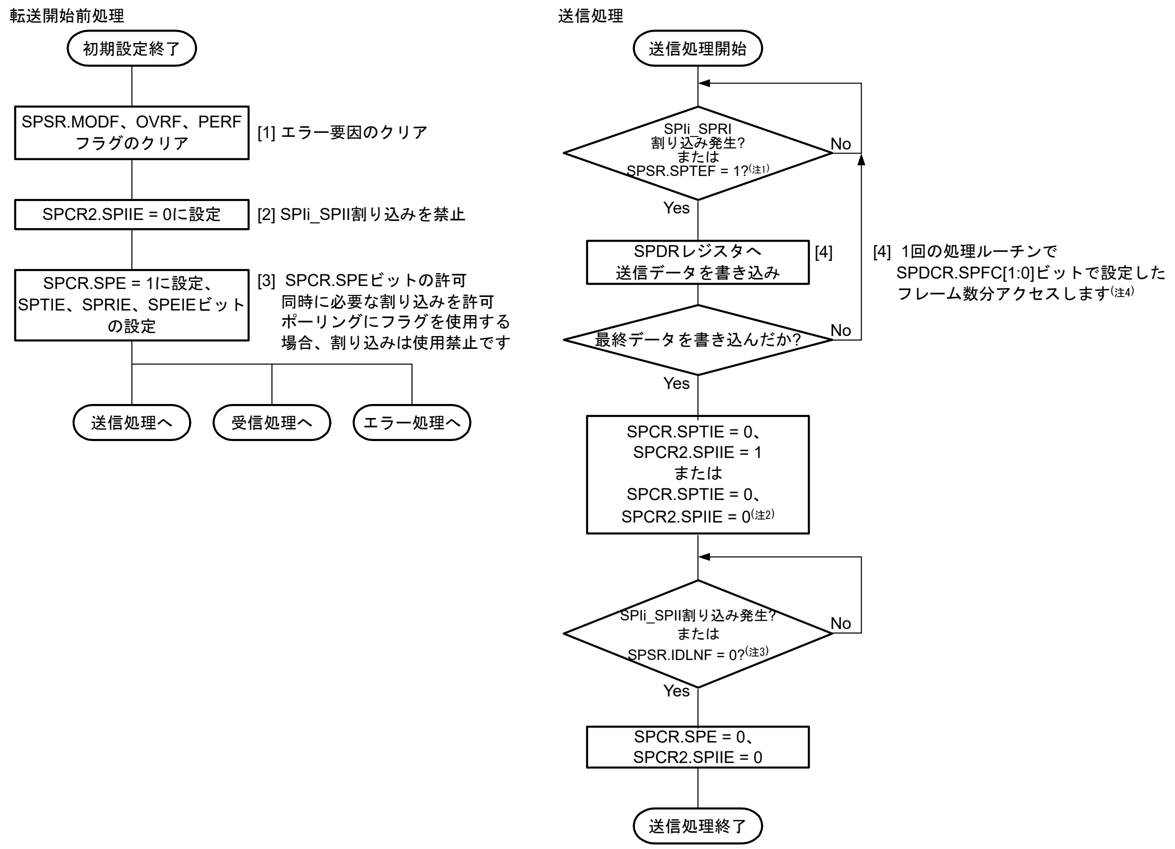


図 26.35　　スレーブモード時の SPI 動作の初期化フロー例

(6) ソフトウェア処理フロー

送信処理フロー

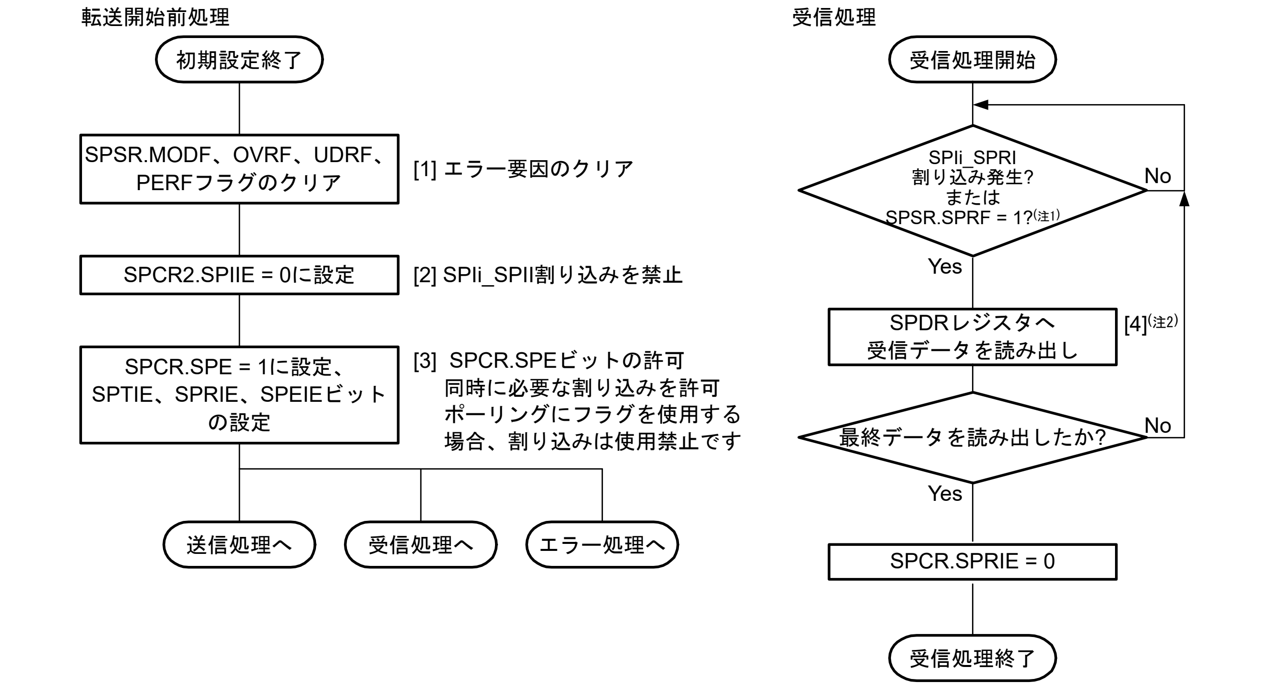


注 1. ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファが空であることを確認してから SPDR レジスタへの送信データ書き込み処理を行ってください。
注 2. 割り込み処理ルーチンで、SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータにアクセスしてください。

図 26.36 スレーブモードでの送信フロー

受信処理フロー

SPI は受信処理のみで実行することができません。送信するデータがない場合でもダミーデータを送信してください。



注 1.　ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファが空であることを確認してから SPDR レジスタへの送信データ書き込み処理を行ってください。

注 2.　割り込み処理ルーチンで、SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータにアクセスしてください。

図 26.37　　スレーブモードでの受信フロー

エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み要求 (SPIi_SPRII) が保持されていることがあります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

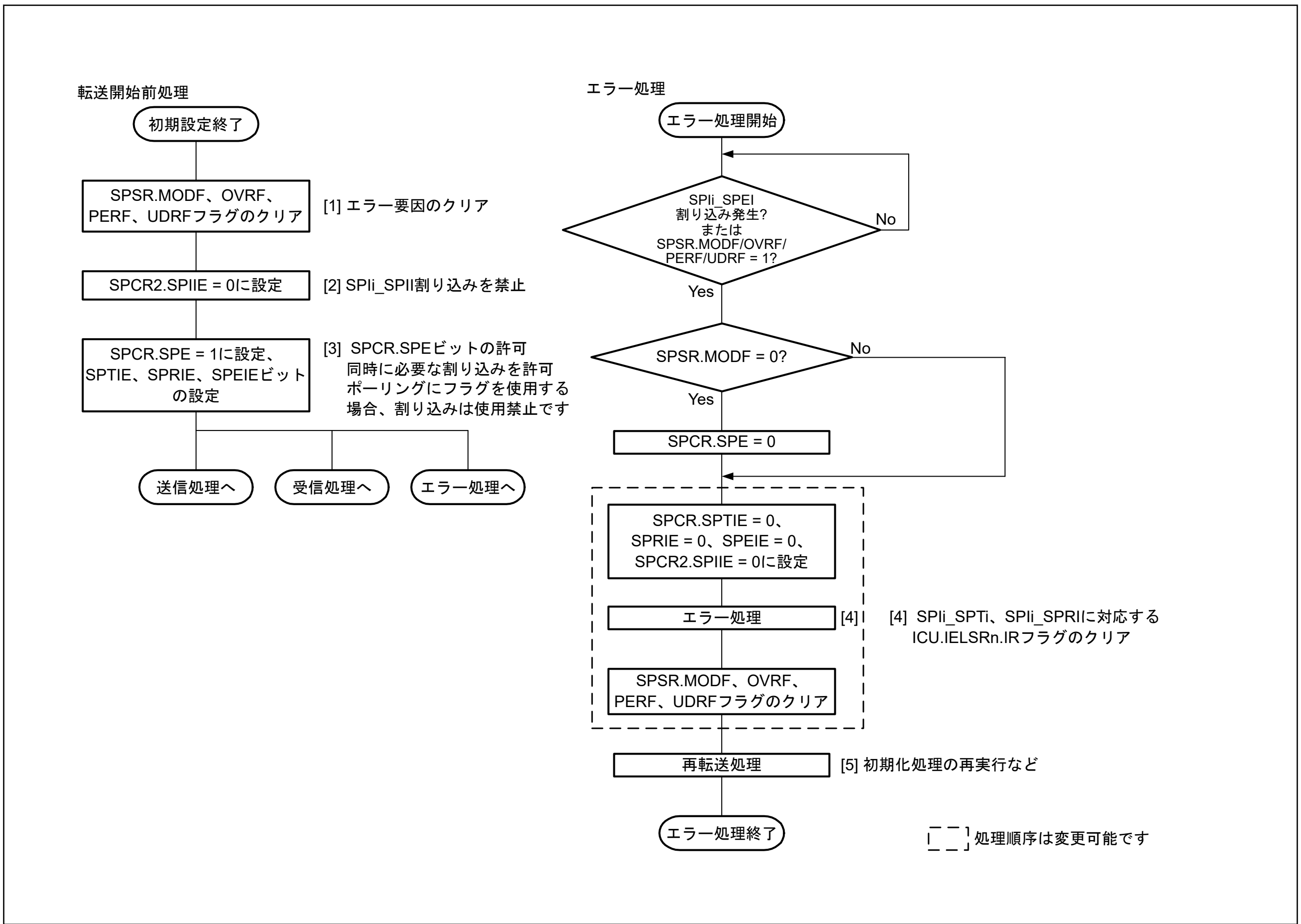


図 26.38　　スレーブモードでのエラー処理フロー

26.3.11　　クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタモード動作とスレーブモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMD0.CPHA ビットを 0 にした場合の動作はしないでください。

26.3.11.1　　マスタモード動作

(1)　シリアル転送の開始

送信バッファが空、すなわち次転送のデータがセットされておらず、SPSR.SPTEF フラグが 1 の状態で、SPDR レジスタへデータを書くと、SPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル送信を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(2)　シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0]ビットの設定値で決まります。クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(3)　初期化フロー

図 26.39 に、SPI がマスタモードである場合のクロック同期式動作の初期化フローの例を示します。なお、ICU、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

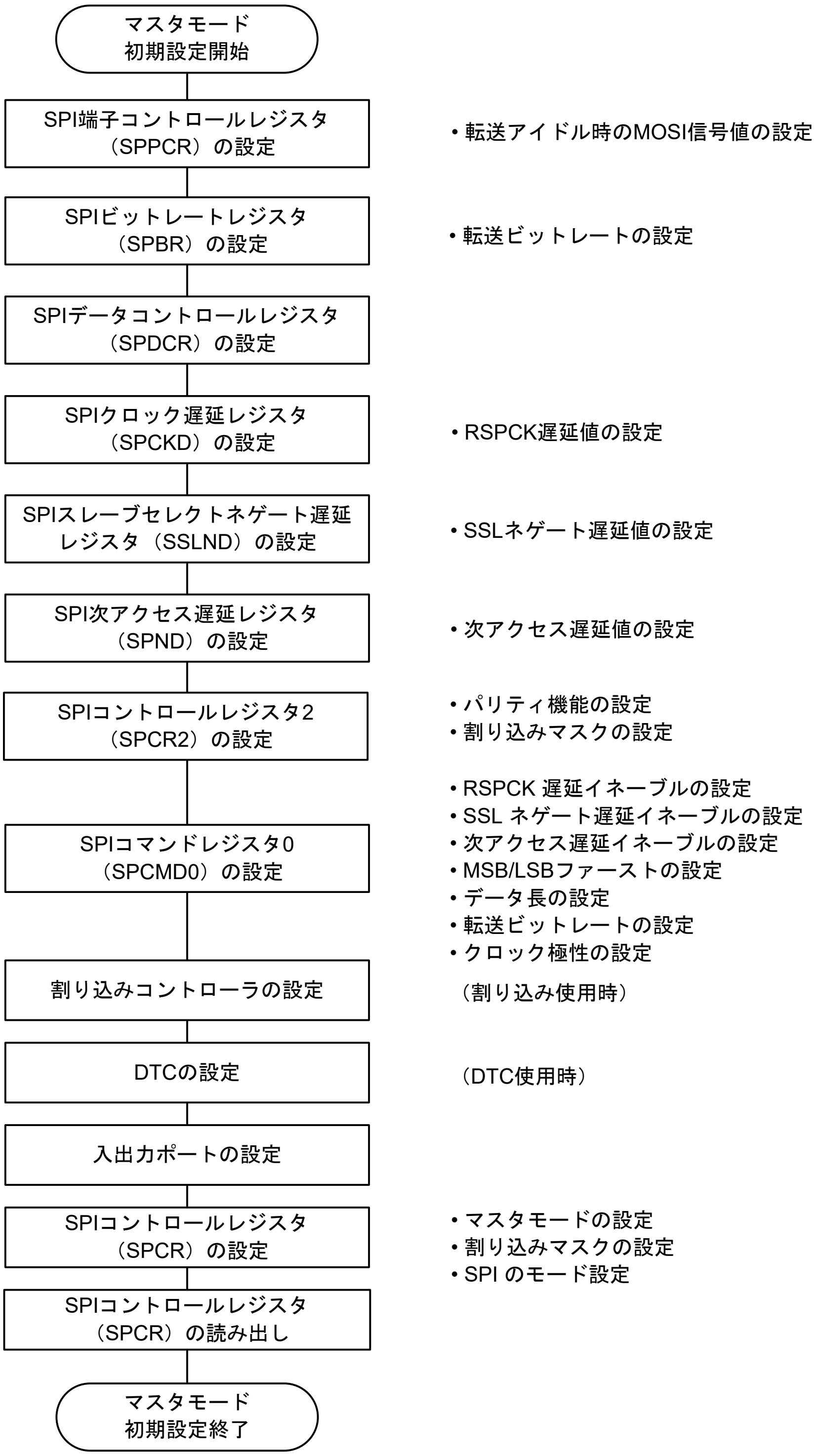


図 26.39　　マスタモード時のクロック同期式動作の初期化フロー例

(4)　ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「26.3.10.1. マスタモード動作」を参照してください。クロック同期動作ではモードフォルトエラーは発生しません。

26.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISOn 出力信号をドライブします。SSL0 入力信号は、クロック同期式動作では使用されません。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファがエンプティ (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0]ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

(3) 初期化フロー

図 26.40 に、SPI がスレーブモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

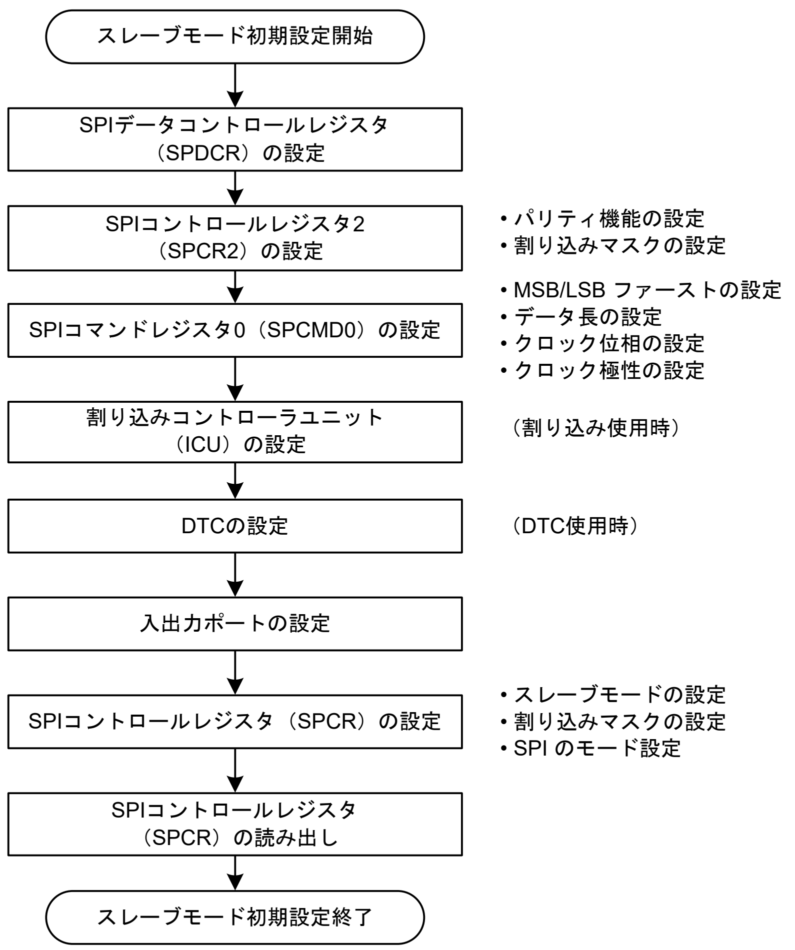


図 26.40 スレーブモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6) ソフトウェア処理フローを参照してください。この条件下ではモードフォルトエラーは発生しません。

26.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続し、ループバックモードを構成します。また、SPCR.MSTR ビットが 1 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISOn 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 26.11 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 26.41 にマスタモードの SPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 26.11　SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

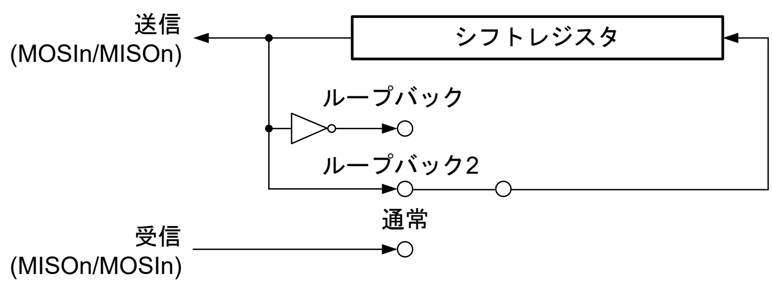


図 26.41　ループバックモード時のシフトレジスタ入出力経路の構成（マスタモード）

26.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は図 26.42 に示す自己診断を実行します。

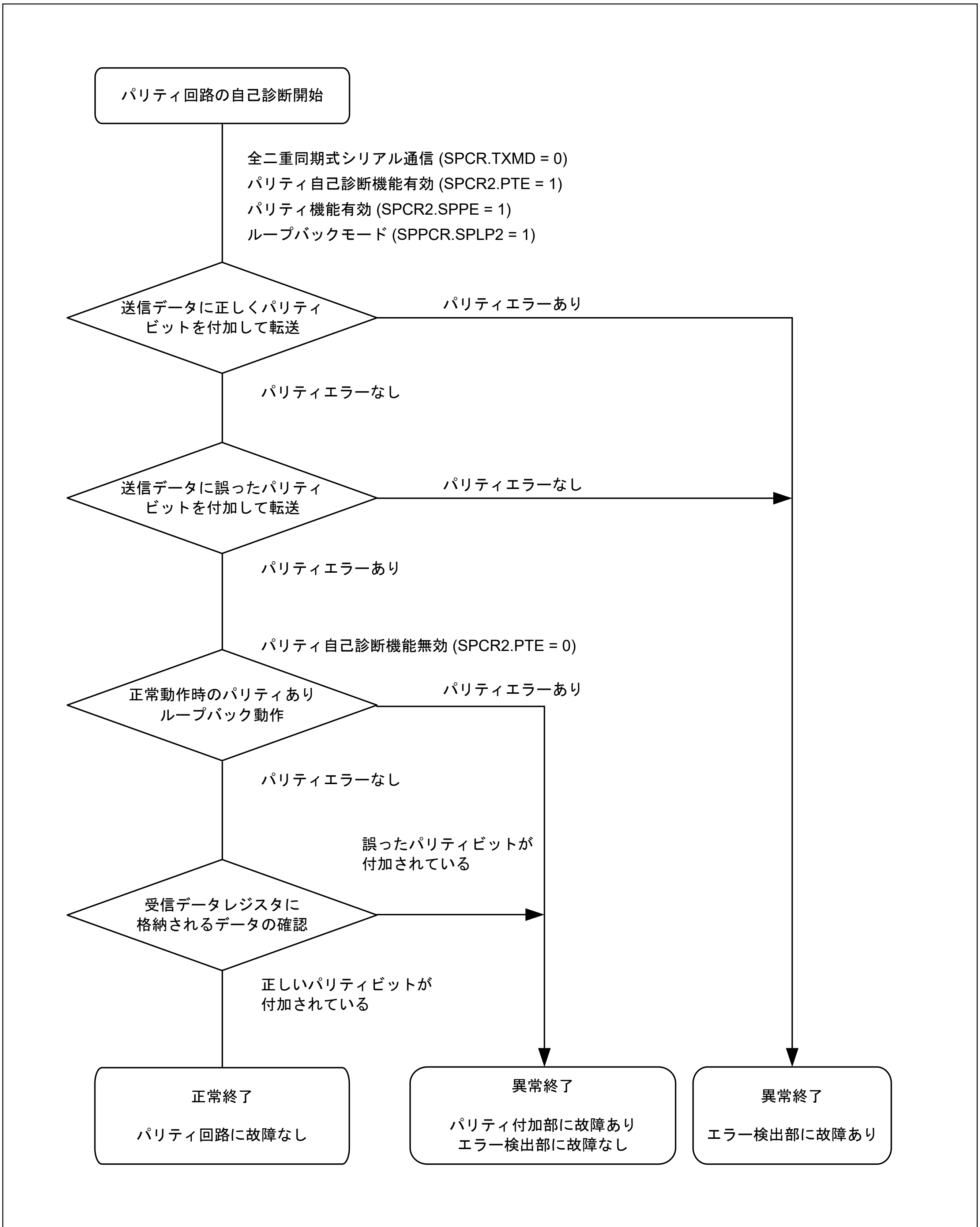


図 26.42　　パリティ回路の自己診断フロー

26.3.14　　割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）
- SPI アイドル
- 送信完了

また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 26.12 に SPI の割り込み要因に対応するフラグを示します。表 26.12 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC を使用してデータの送受信を行う場合、最初に DTC を転送許可状態に設定してから SPI の設定を行ってください。DTC の設定については、「15. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 26.12　SPI の割り込み要因

割り込み要因	シンボル	割り込み条件	DTC の起動
受信バッファフル	SPIi_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF = 1) になったとき	可能
送信バッファエンプティ	SPIi_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ (SPSR.SPTEF = 1) になったとき	可能
SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）	SPIi_SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、UDRF、または PERF フラグが 1 になったとき	不可能
SPI アイドル	SPIi_SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
送信完了	SPIi_SPTEND	• マスタモードのときは、IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 になる条件で割り込みが発生します。 • スレーブモードのときは、表 26.14 に示す条件で割り込みが発生します。	不可能

26.4　イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

26.4.1　受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR レジスタへ転送されたときにイベント信号を出力します。

26.4.2　送信バッファエンプティイベント出力

このイベント信号は、送信バッファからシフトレジスタに送信データが転送されたとき、および SPCR.SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

26.4.3　モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。このイベント信号を使用する場合は、「26.5.4. モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力に関する制約」を参照してください。

(1)　モードフォルトエラー

表 26.13 にモードフォルトエラーイベントの発生条件を示します。

表 26.13　モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPCR.SPMS = 0) スレーブ (SPCR.MSTR = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

(2)　アンダーランエラー

アンダーランエラーイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

(3)　オーバーランエラー

オーバーランエラーイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

(4)　パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したときに検出されるパリティエラーに対応して出力されます。

26.4.4　SPI アイドルイベント出力

(1)　マスタモード時

マスタモードの場合、SPSR.IDLNF フラグ（SPI アイドルフラグ）が 0 になる条件が成立すると、イベントが出力されます。

(2)　スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0（SPI 初期化）のとき、イベントが出力されます。

26.4.5　送信完了イベント出力

SPI 動作とクロック同期式動作ともに、マスタモード時に SPSR.IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 に変化すると、イベントが出力されます。 表 26.14 に送信完了イベント出力の発生条件（スレーブモード時）を示します。

表 26.14　送信完了イベント出力の発生条件（スレーブモード時）

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPCR.SPMS = 0)	エンプティ	エンプティ	SSL0 入力ネゲート
クロック同期式動作 (SPCR.SPMS = 1)	エンプティ	エンプティ	最終 RSPCK のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

26.5　使用上の注意事項

26.5.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止／許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

26.5.2　低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

26.5.3　転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する（SPCR.SPE ビットを 1 にする）前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること（SPCR.SPE ビットが 0 であること）を確認する。
2. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にする。
3. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

26.5.4　モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力に関する制約

SPI がマルチマスタモード（SPCR.SPMS = 0、SPCR.MSTR = 1、SPCR.MODFEN = 1）の場合は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラーイベントを使用することはできません。

26.5.5　SPSR.SPRF および SPSR.SPTEF フラグに関する制約

ポーリング用のフラグを使用する場合、割り込みを使用することはできません（SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください）。割り込みまたはフラグのどちらか一方のみ使用可能です。

27. 巡回冗長検査 (CRC)

27.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 27.1 に CRC 演算器の仕様を、図 27.1 にブロック図を示します。

表 27.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成（n = 自然数）	32n ビット単位の任意データに対し CRC コードを生成（n = 自然数）
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] ● $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] ● $X^{16} + X^{15} + X^2 + 1$ (CRC-16) ● $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] ● $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) ● $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	—

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

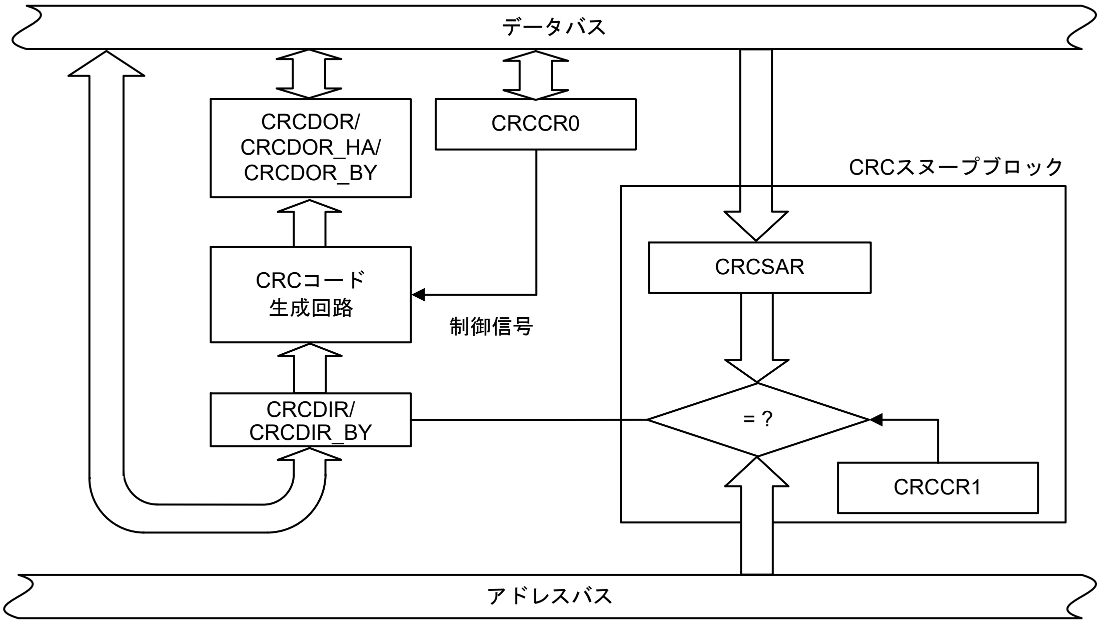


図 27.1　CRC 演算器のブロック図

27.2　レジスタの説明

27.2.1　CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4007_4000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORCLR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

GPS[2:0]ビット（CRC 生成多項式切り替え）

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット（CRC 演算切り替え）

LMS ビットは、生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「27.3. 動作説明」を参照してください。

DORCLR ビット（CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア）

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

27.2.2 CRCCR1 : CRC コントロールレジスタ 1

Base address: CRC = 0x4007_4000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CRCSEN	CRCSWR	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CRCSWR	スヌープオンライト／リード切り替え 0: スヌープオンリード 1: スヌープオンライト	R/W
7	CRCSEN	スヌープ許可 0: 禁止 1: 許可	R/W

CRCSWR ビット（スヌープオンライト／リード切り替え）

CRCSWR ビットは CRC スヌープ機能でのアクセス方向を選択します。

このビットを 0（初期値）にすると、特定のレジスタの読み出しに対して CRC スヌープ動作が有効になります。このビットを 1 にすると、特定のレジスタの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット（スヌープ許可）

CRCSEN ビットを 1 にすると、CRC スヌープ動作が有効になります。このビットを 0 にすると、CRC スヌープ動作が無効になります。

27.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x04

Bit position: 31 … 0

Bit field: (none)

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]、アドレス : 0x4007_4004) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

27.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]、アドレス : 0x4007_4008) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]、アドレス : 0x4007_4008) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 ですので、初期値以外を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーなしと判断できます。	R/W

27.2.5 CRCSAR : スヌープアドレスレジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x0C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CRCSA[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CRCSA[13:0]	レジスタスヌープアドレス スヌープ対象となる、SCI モジュールの TDR または RDR アドレスを格納します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CRCSA[13:0]ビット（レジスタスヌープアドレス）

CRCSA[13:0]ビットは、CRC スヌープ動作でモニタされるレジスタのアドレス下位 14 ビットを指定します。CRCSA[13:0]ビットで使用できるのは、以下のアドレスのみです。

- 0x4007_0003: SCI0.TDR, 0x4007_0005: SCI0.RDR
- 0x4007_0023: SCI1.TDR, 0x4007_0025: SCI1.RDR
- 0x4007_0043: SCI2.TDR, 0x4007_0045: SCI2.RDR
- 0x4007_0123: SCI9.TDR, 0x4007_0125: SCI9.RDR
- 0x4007_000F: SCI0.FTDRL, 0x4007_0011: SCI0.FRDRL

27.3 動作説明

27.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 27.2 と図 27.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。 図 27.4 と図 27.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

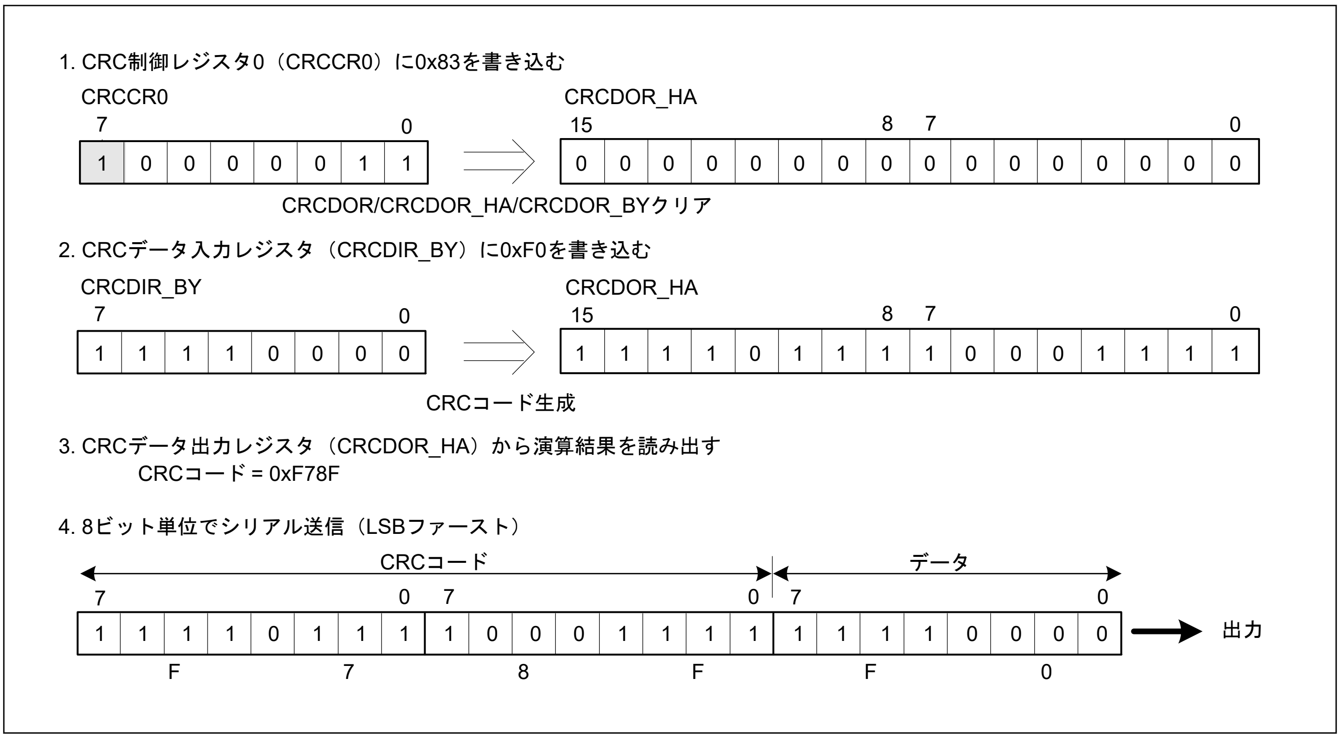


図 27.2　LSB ファーストのデータ送信

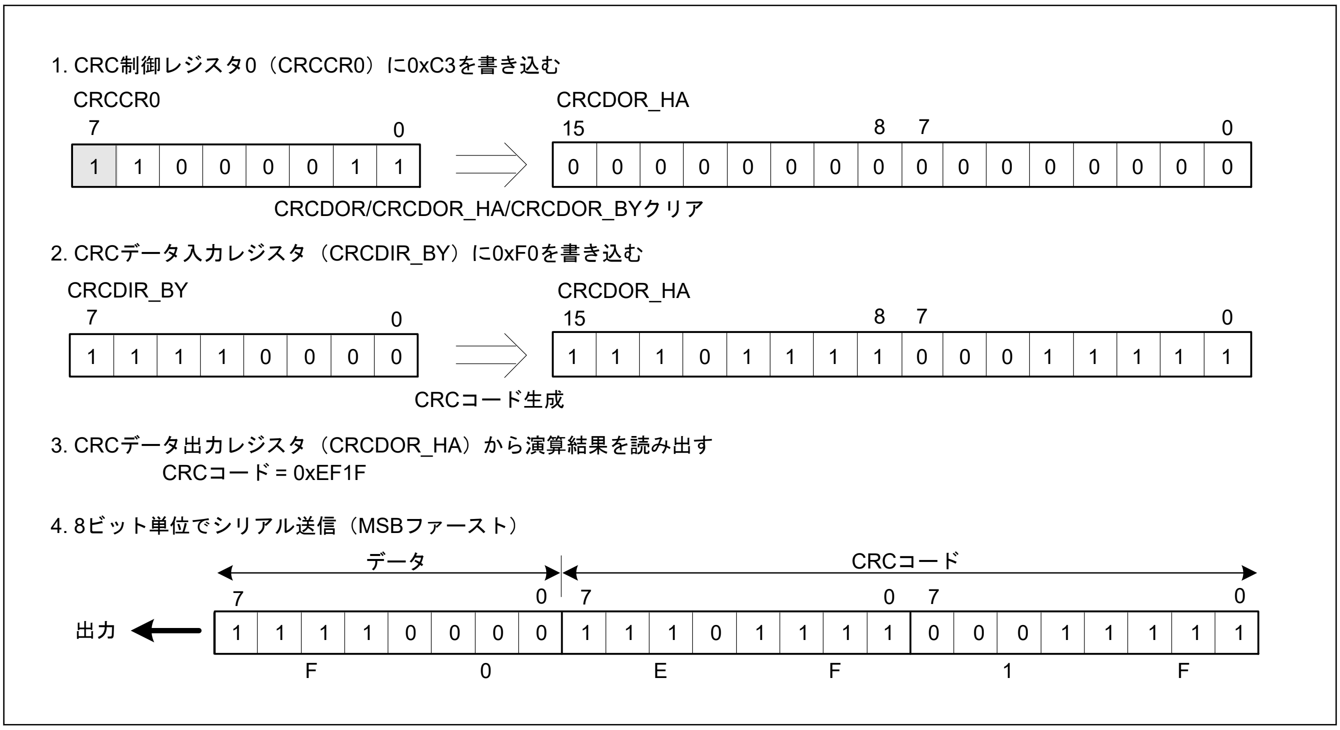


図 27.3　　MSB ファーストのデータ送信

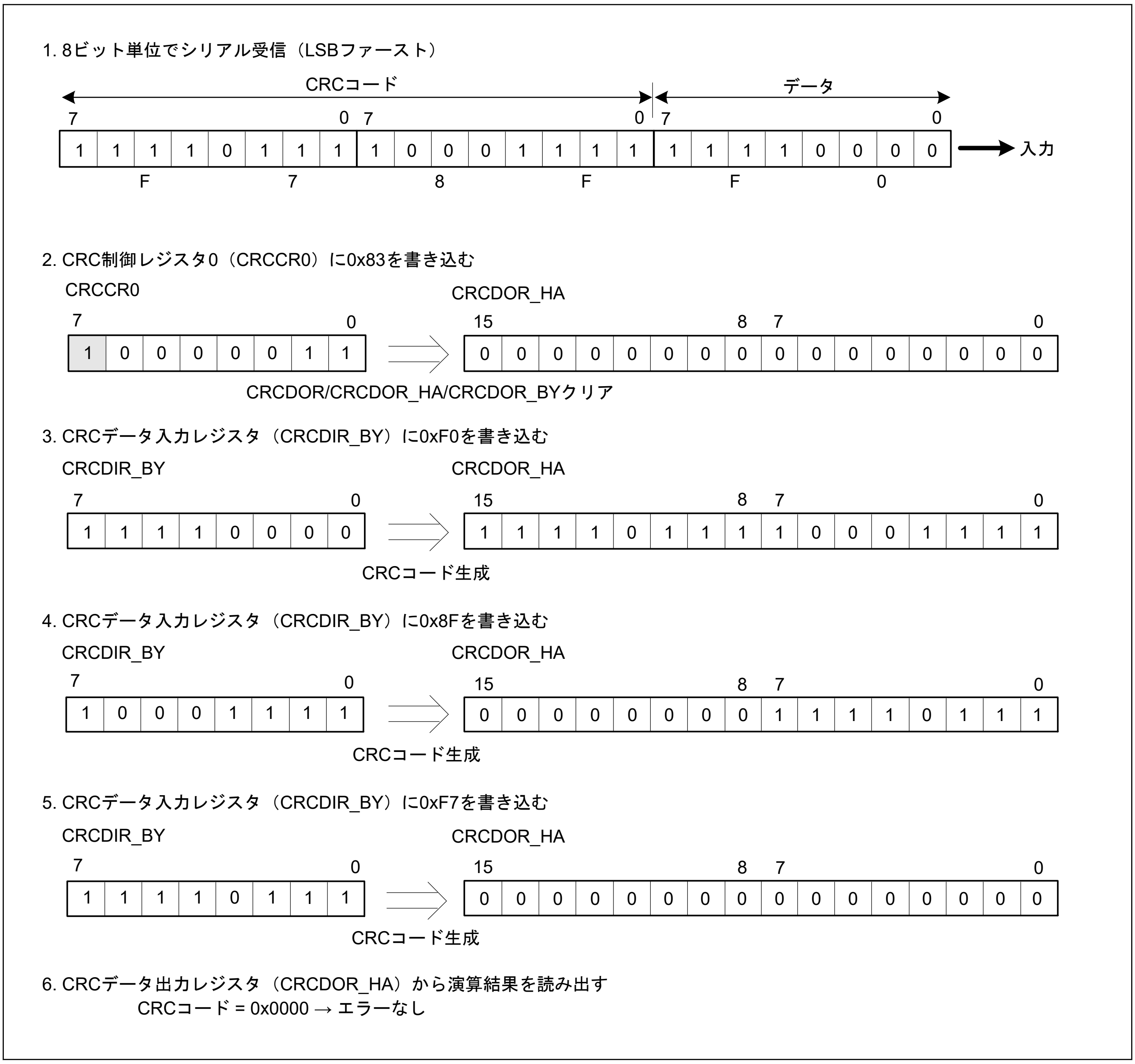


図 27.4 LSB ファーストのデータ受信

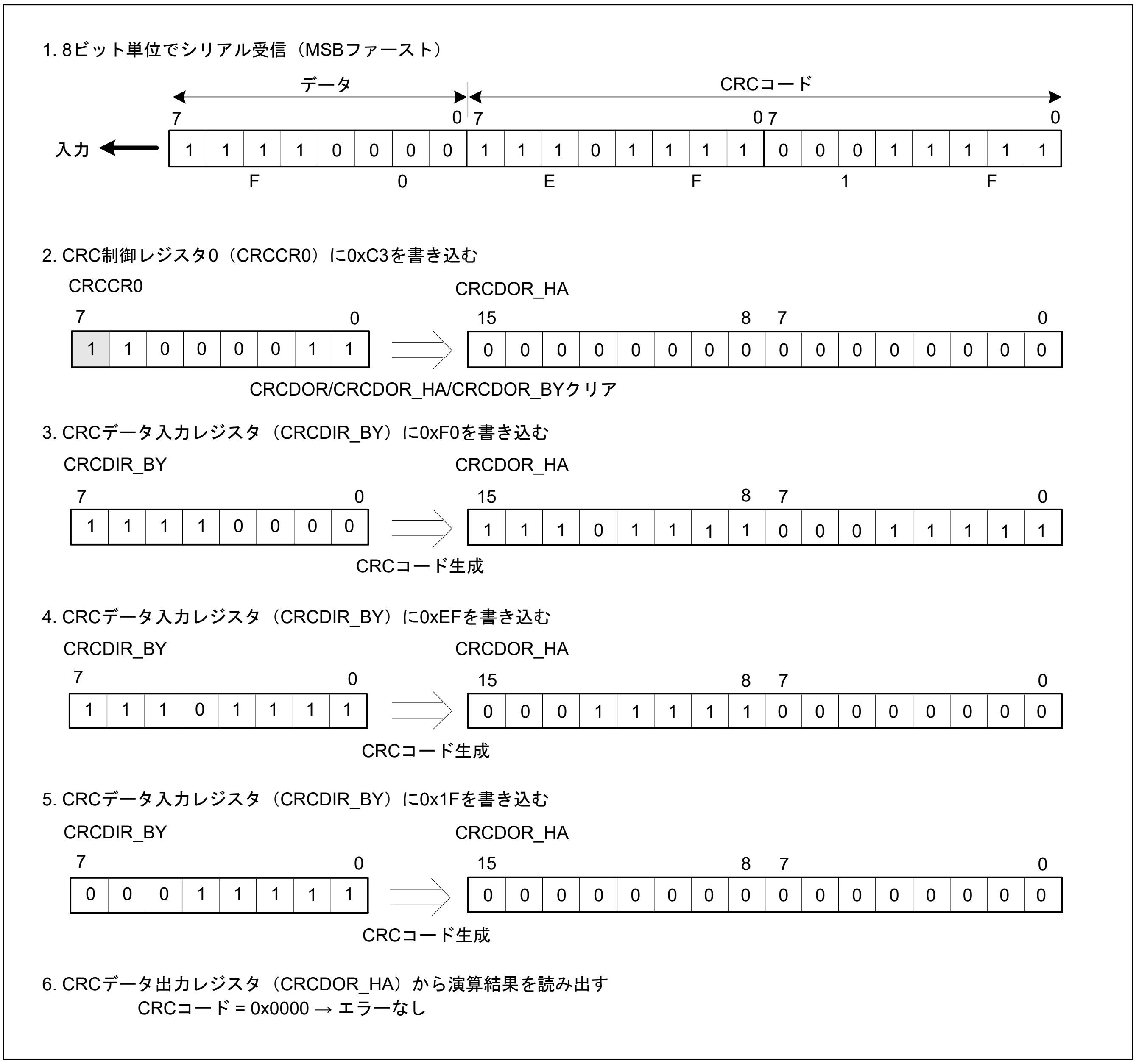


図 27.5　　MSB ファーストのデータ受信

27.3.2　　CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し／書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR_BY レジスタにデータを書き込む必要がありません。「27.2.5. CRCSAR : スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIn.TDR (n = 0〜2, 9) レジスタへの書き込みと、SCIn.RDR (n = 0〜2, 9) レジスタからの読み出しをモニタするのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA13〜CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール（CPUDTC など）の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール（CPUDTC など）の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して CRC 演算を実行します。

CRC-8、CRC-16 および CRC-CCITT 生成多項式を使用して CRC コードが生成される場合、対象となるレジスタはバイト（8 ビット）でアクセスできます。同様に、CRC-32 および CRC-32C 生成多項式を使用して CRC コードを生成する場合、対象となるレジスタはワード（32 ビット）でアクセスできます。

27.4 使用上の注意事項

27.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

27.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。 図 27.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

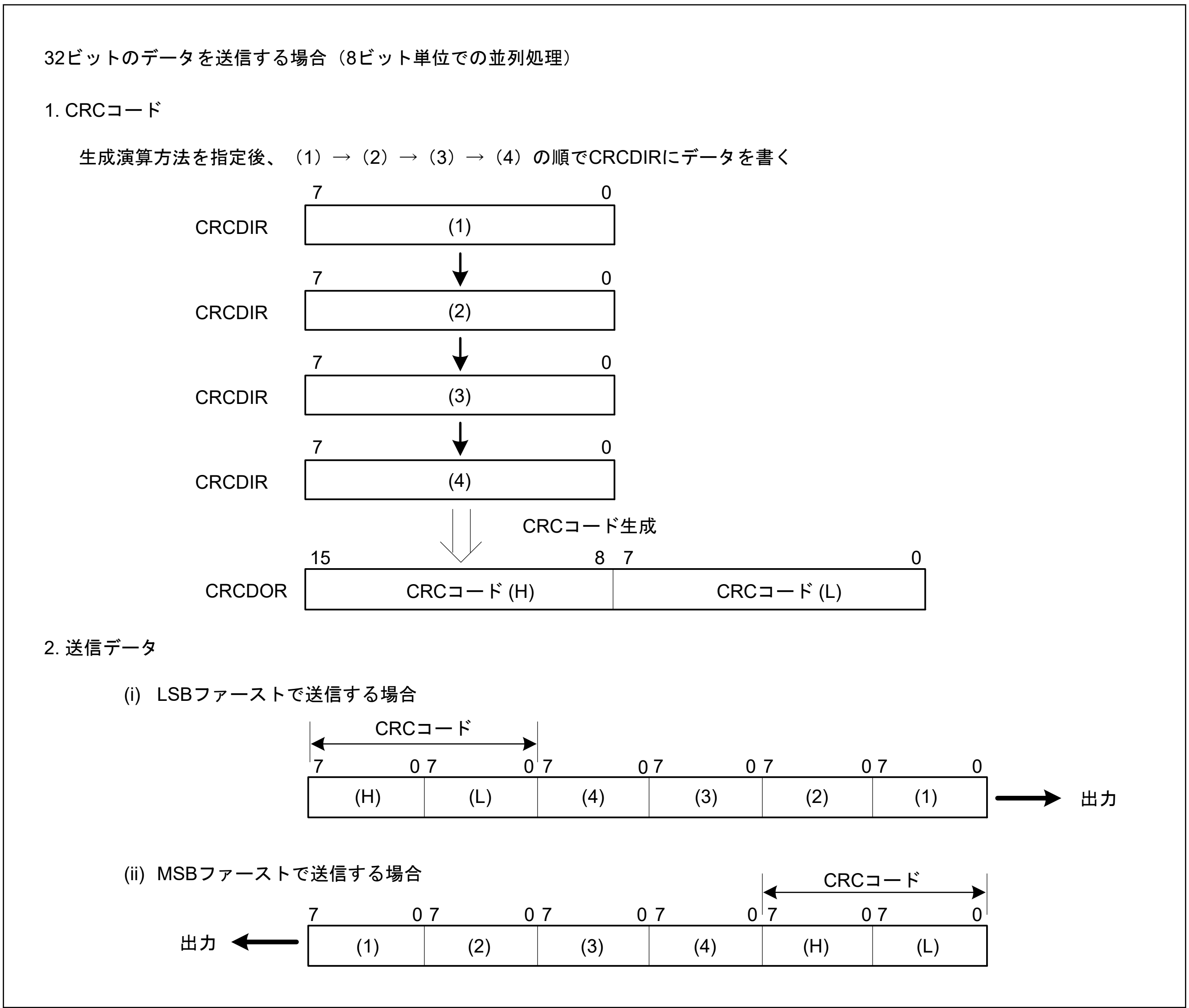


図 27.6　　LSB ファーストと MSB ファーストのデータ送信

28. 高速アナログコンパレータ (ACMPHS)

28.1 概要

高速アナログコンパレータ (ACMPHS) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャネルの ACMPHS0 と ACMPHS1 は、それぞれ独立しています。

基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0, 1) 端子への入力、CMPIN0j (j = 0, 1, 2) 端子への入力、または MCU の内部に生成された内部基準電圧 (Vref) から選択できます。

表 28.1 に ACMPHS の仕様を示します。図 28.1 に ACMPHS のブロック図を示します。表 28.2 に ACMPHS の入出力端子の一覧を示します。

表 28.1 ACMPHS の仕様

項目	仕様
チャネル数	2 チャネル：ACMPHS0 および ACMPHS1
アナログ入力電圧	コンパレータ 0： ● CMPIN0i (i = 1, 2, 3) 端子からの入力 ● 外部基準電圧 CMPREF0 コンパレータ 1：CMPIN1
基準電圧	コンパレータ 0： ● CMPIN0i (i = 1, 2, 3) 端子からの入力 ● 外部基準電圧 CMPREF0 ● 内部基準電圧 (V_{ref}) コンパレータ 1： ● 外部基準電圧 CMPREF1 ● 内部基準電圧 (V_{ref})
コンパレータ出力	● 比較結果 ● ELC イベント出力の発生 ● レジスタからの出力監視
割り込み要求信号	● 比較結果の有効エッジ検出時に割り込み要求発生 ● 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
デジタルフィルタ機能	● 2 つのサンプリング周波数から 1 つ選択可能 ● フィルタ機能不使用を選択可能

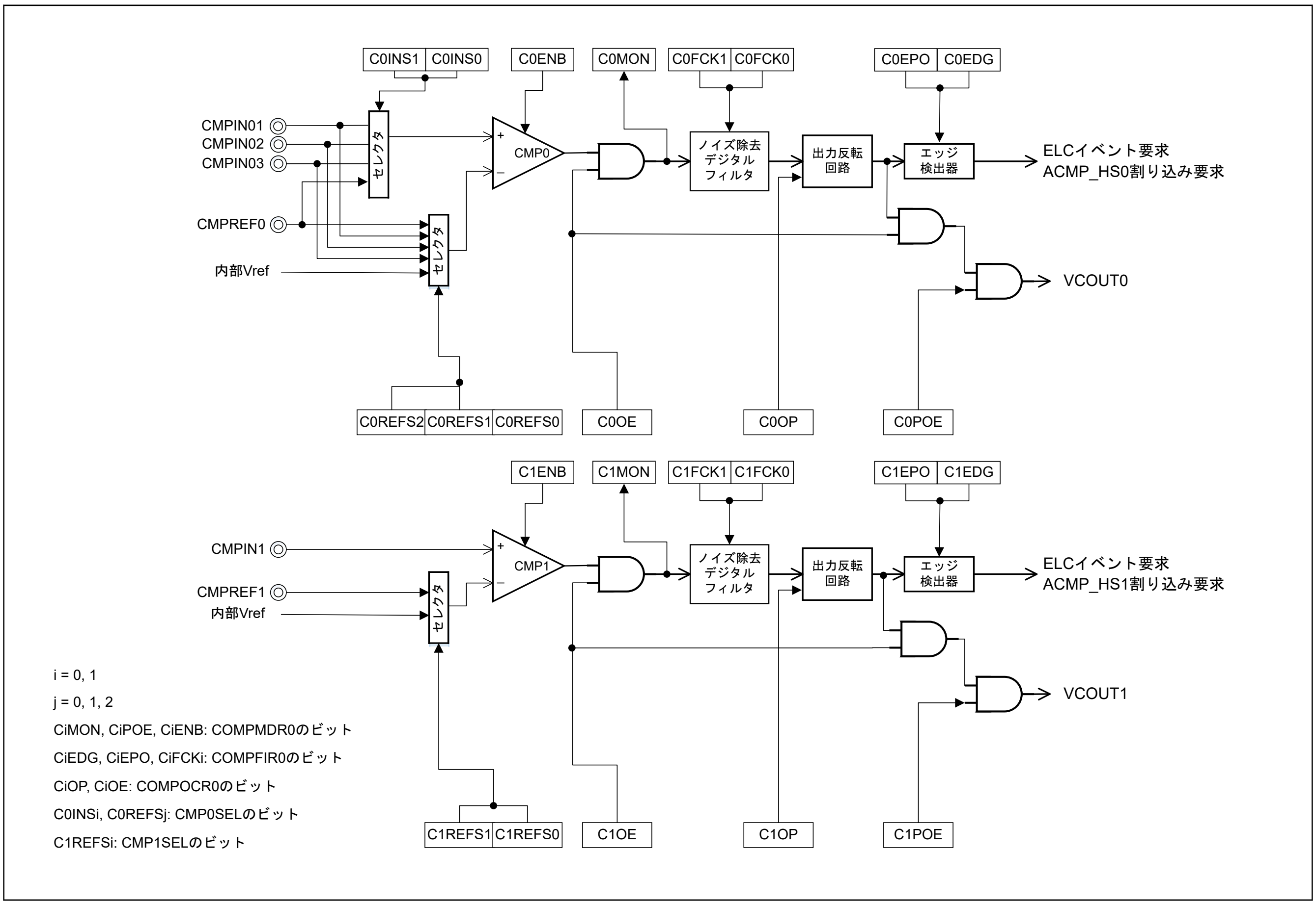


図 28.1　　ACMPHS ブロック図

表 28.2　　ACMPHS の入力ソース構成

コンパレータ	基準電圧入力端子	アナログ電圧入力端子	出力端子
ACMPHS0	CMPIN01	CMPIN01	VCOUT(注1)
	CMPIN02	CMPIN02	
	CMPIN03	CMPIN03	
	CMPREF0	CMPREF0	
ACMPHS1	CMPREF1	CMPIN1	

注 1.　ACMPHS0 と ACMPHS1 の比較出力は VCOUT 端子に束ねられています。

28.2　　レジスタの説明

28.2.1　　COMPMDR0 : ACMPHS モード設定レジスタ 0

Base address:　ACMPHS = 0x4008_5E00

Offset address:　0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	C1MON	—	C1POE	C1ENB	C0MON	—	C0POE	C0ENB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	C0ENB	コンパレータ 0 の動作許可 0: コンパレータ 0 の動作を禁止 1: コンパレータ 0 の動作を許可	R/W
1	C0POE	ACMPHS0 VCOUT 端子出力許可(注1) 0: VCOUT0 におけるコンパレータ 0 の結果出力を禁止 1: VCOUT0 におけるコンパレータ 0 の結果出力を許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	C0MON	コンパレータ 0 のモニタフラグ(注2) 0: コンパレータ 0 の入力電圧がコンパレータ 0 の基準電圧より低い、またはコンパレータ 0 が停止中 1: コンパレータ 0 の入力電圧がコンパレータ 0 の基準電圧より高い	R
4	C1ENB	コンパレータ 1 の動作許可 0: コンパレータ 1 の動作を禁止 1: コンパレータ 1 の動作を許可	R/W
5	C1POE	ACMPHS1 VCOUT 端子出力許可(注1) 0: VCOUT1 におけるコンパレータ 1 の結果出力を禁止 1: VCOUT1 におけるコンパレータ 1 の結果出力を許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	C1MON	コンパレータ 1 のモニタフラグ(注2) 0: コンパレータ 1 の入力電圧がコンパレータ 1 の基準電圧より低い、またはコンパレータ 1 が停止中 1: コンパレータ 1 の入力電圧がコンパレータ 1 の基準電圧より高い	R

注 1.　ACMPHS0 および ACMPHS1 の結果出力は VCOUT 端子に束ねられています。
注 2.　リセット解除直後の初期値は 0 です。ただし、コンパレータの動作が許可された後に C0ENB ビットと C1ENB ビットがどちらも 0 に設定された場合、値は不定となります。

COMPMDR0 レジスタは、コンパレータの動作を許可／禁止し、コンパレータの出力を監視するために使用されます。COMPOCR0.CiOE = 1 (i = 0, 1) の場合、CiENB ビットを 0 に設定することは禁止されています。

COMPMDR0 レジスタは、8 ビットメモリ操作命令で設定できます。

28.2.2　COMPFIR0 : ACMPHS フィルタコントロールレジスタ 0

Base address: ACMPHS = 0x4008_5E00

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	C1EDG	C1EPO	C1FCK[1:0]		C0EDG	C0EPO	C0FCK[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	C0FCK[1:0]	コンパレータ 0 用フィルタの選択(注1) 0 0: コンパレータ 0 用のフィルタが無効 0 1: コンパレータ 0 用のフィルタが有効、PCLKB のサイクルでサンプリングが実行される 1 0: コンパレータ 0 用のフィルタが有効、PCLKB/8 のサイクルでサンプリングが実行される 1 1: 設定禁止	R/W
2	C0EPO	コンパレータ 0 のエッジ検出の切り替え(注1) 0: 立ち上がりエッジでの割り込みおよび ELC イベント要求 1: 立ち下がりエッジでの割り込みおよび ELC イベント要求	R/W
3	C0EDG	コンパレータ 0 用のエッジ検出の選択(注1) 0: 片エッジ検出による割り込みおよび ELC イベント要求 1: 両エッジ検出による割り込みおよび ELC イベント要求	R/W

ビット	シンボル	機能	R/W
5:4	C1FCK[1:0]	コンパレータ 1 用フィルタの選択(注1) 0 0: コンパレータ 1 用のフィルタが無効 0 1: コンパレータ 1 用のフィルタが有効、PCLKB のサイクルでサンプリングが実行される 1 0: コンパレータ 1 用のフィルタが有効、PCLKB/8 のサイクルでサンプリングが実行される 1 1: 設定禁止	R/W
6	C1EPO	コンパレータ 1 のエッジ検出の切り替え(注1) 0: 立ち上がりエッジでの割り込みおよび ELC イベント要求 1: 立ち下がりエッジでの割り込みおよび ELC イベント要求	R/W
7	C1EDG	コンパレータ 1 用のエッジ検出の選択(注1) 0: 片エッジ検出による割り込みおよび ELC イベント要求 1: 両エッジ検出による割り込みおよび ELC イベント要求	R/W

注 1.　CiFCK[1:0]、CiEPO、および CiEDG (i = 0, 1) ビットが変更されると、ACMPLP 割り込み要求および ELC イベント要求が発生する場合があります。これらのビットは、イベントリンクを非選択にした後にのみ変更してください。また、関連する割り込み要求フラグをクリアしてください。

COMPFIR0 レジスタは、デジタルノイズフィルタの制御に使用されます。COMPFIR0 レジスタは、8 ビットメモリ操作命令で設定可能です。

28.2.3　COMPOCR0 : ACMPHS 出力コントロールレジスタ 0

Base address: ACMPHS = 0x4008_5E00

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	C1OP	C1OE	—	—	C0OP	C0OE	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	C0OE	ACMPHS0 VCOUT 端子出力許可(注1) 0: VCOUT0 におけるコンパレータ 0 の結果出力を禁止 1: VCOUT0 におけるコンパレータ 0 の結果出力を許可	R/W
2	C0OP	ACMPHS0 VCOUT 出力極性選択(注1) 0: コンパレータ 0 の出力を VCOUT0 へ出力 1: コンパレータ 0 の反転出力を VCOUT0 へ出力	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	C1OE	ACMPHS1 VCOUT 端子出力許可(注1) 0: VCOUT1 におけるコンパレータ 1 の結果出力を禁止 1: VCOUT1 におけるコンパレータ 1 の結果出力を許可	R/W
6	C1OP	ACMPHS1 VCOUT 出力極性選択(注1) 0: コンパレータ 1 の出力を VCOUT1 へ出力 1: コンパレータ 1 の反転出力を VCOUT1 へ出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　ACMPHS0 および ACMPHS1 の結果出力は VCOUT 端子に束ねられています。

COMPOCR0 レジスタは、コンパレータ出力の論理検出の制御、出力の許可／禁止、および割り込み出力の許可／禁止に使用されます。以下の場合、CiOE ビットを 1 に設定することは禁止されています (i = 0, 1)。

- コンパレータ i の動作が禁止されている (COMPMDR0.CiENB = 0)
  COMPOCR0 レジスタは、8 ビットメモリ操作命令で設定できます。

28.2.4　CMP0SEL : コンパレータ 0 入力信号選択コントロールレジスタ

Base address: ACMPHS = 0x4008_5E00

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	C0INS[1:0]		—	—	—	C0REFS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	C0REFS[2:0]	コンパレータ 0 の-側の入力信号の選択 0 0 0: 外部基準電圧 (CMPREF0) を選択 0 0 1: 外部端子 (CMPIN01) を選択 0 1 0: 外部端子 (CMPIN02) を選択 0 1 1: 外部端子 (CMPIN03) を選択 1 0 0: ACMPHS0 基準電圧として内部基準電圧 (V_{ref}) を選択 その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	C0INS[1:0]	コンパレータ 0 の+側の入力信号の選択 0 0: 外部端子 (CMPIN01) を選択 0 1: 外部端子 (CMPIN02) を選択 1 0: 外部端子 (CMPIN03) を選択 1 1: 外部基準電圧 (CMPREF0) を選択	R/W

注.　コンパレータ 0 のアナログ入力を切り替える場合は、安定動作を確保するため、切り替え間隔を 3 μs 以上に設定してください。

CMP0SEL レジスタは、コンパレータ 0 の-側の入力信号を選択するために使用されます。CMP0SEL レジスタは、コンパレータ動作停止中 (C0ENB = 0) のときにのみ書き換えてください。CMP0SEL レジスタは、8 ビットメモリ操作命令で設定可能です。

28.2.5　CMP1SEL : コンパレータ 1 入力信号選択コントロールレジスタ

Base address: ACMPHS = 0x4008_5E00

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	C1REFS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	C1REFS[1:0]	コンパレータ 1 の-側の入力信号の選択 0 0: 外部基準電圧 (CMPREF1) を選択 0 1: ACMPHS1 基準電圧として内部基準電圧 (V_{ref}) を選択 その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　コンパレータ 1 のアナログ入力を切り替える場合は、安定動作を確保するため、切り替え間隔を 3 μs 以上に設定してください。

CMP1SEL レジスタは、コンパレータ 1 の-側の入力信号を選択するために使用されます。CMP1SEL レジスタは、コンパレータ動作停止中 (C1ENB = 0) のときにのみ書き換えてください。CMP1SEL レジスタは、8 ビットメモリ操作命令で設定できます。

28.3　動作説明

ACMPHS0 と ACMPHS1 は独立して動作することができます。設定方法と動作は各モジュールで同じです。表 28.3 に、コンパレータの個別の動作または連動動作を設定する手順を示します。

表 28.3　コンパレータを制御するために ACMPHS を設定する手順 (i = 0, 1; j = 1, 2, 3)

手順番号	レジスタ	ビット	設定
1	MSTPCRD	MSTPD28	0: モジュールストップ状態の解除
2	該当のポート mn 端子機能選択レジスタ PmnPFS	ASEL	1: CMPREFi 端子、CMPIN0j 端子、および CMPIN1 端子の機能を選択
3	CMP0SEL	C0INS	コンパレータ 0 の+側入力を選択
4	CMP0SEL	C0REFS[2:0]	コンパレータ 0 の-側入力を選択
5	CMP1SEL	C1REFS[1:0]	コンパレータ 1 の-側入力を選択
6	COMPMDR0	CiENB	1（動作許可）
7	コンパレータ安定時間（3 μs 以上）待機		
8	COMPFIR0	CiFCK[1:0]	デジタルフィルタを使用するかどうか、およびサンプリングクロックを選択
		CiEPO, CiEDG	割り込み要求のエッジ検出条件を選択（立ち上がりエッジ、立ち下がりエッジ、または両エッジ）
9	COMPOCR0	CiOP	コンパレータ i の出力を設定（論理検出の選択）
10	COMPOCR0	CiOE	コンパレータ i の出力を設定（出力許可）
11	COMPMDR0	CiPOE	VCOUTi 端子の出力を設定（出力許可）(注1)
12	該当のポート mn 端子機能選択レジスタ PmnPFS	PSEL, PMR	VCOUT ポート機能を選択
13	IELSRn	IR, IELS[4:0]	割り込み使用時：割り込みステータスフラグ、ICU イベントリンク選択を選択(注2)
14	ELSRn	ELS[7:0]	ELC 使用時：イベントリンク選択を選択(注3)
15	動作開始		

注 1.　ACMPHS0 および ACMPHS1 の結果出力は VCOUT 端子に束ねられています。
注 2.　コンパレータを設定した後、動作が安定するまでスプリアス割り込みが発生する場合があるため、割り込みフラグを初期化してください。
注 3.　コンパレータを設定した後、動作が安定するまでスプリアス割り込みが発生する場合があるため、イベントリンク選択を初期化してください。

図 28.2 に、コンパレータ i の動作例を示します（通常出力モードで i = 0、1）。アナログ入力の電圧が基準電圧より高い場合、COMPMDR0.CiMON フラグは 1 になります。アナログ入力の電圧が基準電圧より低い場合、COMPMDR0.CiMON フラグは 0 になります。

ACMPHSi は割り込みを ICU に出力します。割り込みの詳細は、「28.5. ACMPHS 割り込み」を参照してください。

ACMPHSi は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、「28.6. ELC イベント出力」を参照してください。

比較中、レジスタの値を変更しないでください。

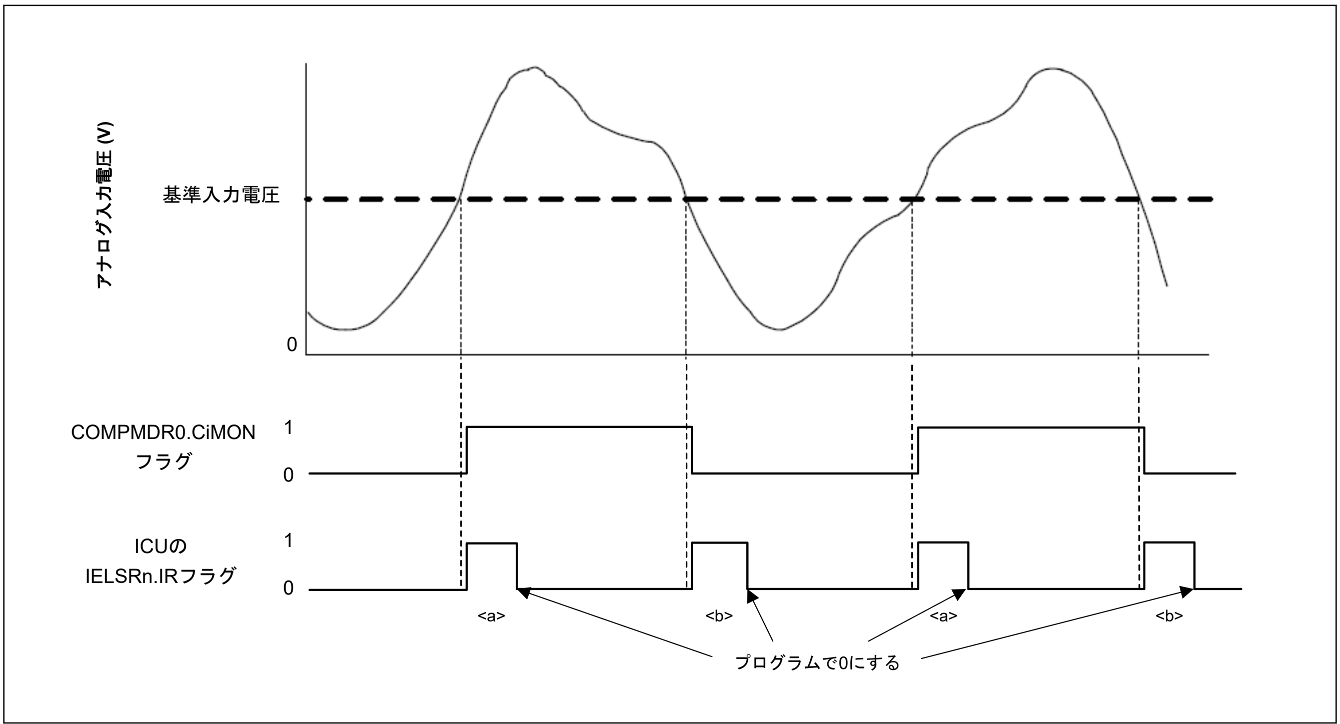


図 28.2　　ACMPHS の動作例

- CiFCK[1:0] = 00b（サンプリングなし）かつ CiEDG = 1（両エッジ）のとき
- CiEDG = 0 かつ CiEPO = 0（立ち上がりエッジ）の場合、IELSRn.IR が <a> で示されるように変化したとき
- CiEDG = 0 かつ CiEPO = 1（立ち下がりエッジ）の場合、IELSRn.IR が <b> で示されるように変化したとき

28.4　　ノイズフィルタ

ACMPHS にはノイズフィルタが含まれています。COMPFIR.CiFCK[1:0]ビットによってサンプリングクロックの選択が可能です。ACMPHSi からの ACMPHSi 信号（内部信号）出力は、サンプリングクロックサイクルごとにサンプリングされます。レベルが 3 回一致すると、該当の IELSRn.IR ビットが 1（割り込み要求）になり、ELC イベントが出力されます。

ソフトウェアスタンバイモードで割り込みを使用する場合、COMPFIR.CiFCK[1:0]ビットを 00b（バイパス）にします。

図 28.3 に、コンパレータ i 用のデジタルフィルタとエッジ検出の構成を示します。図 28.4 に、コンパレータ i (i = 0, 1) 用のデジタルフィルタと割り込み動作例を示します。

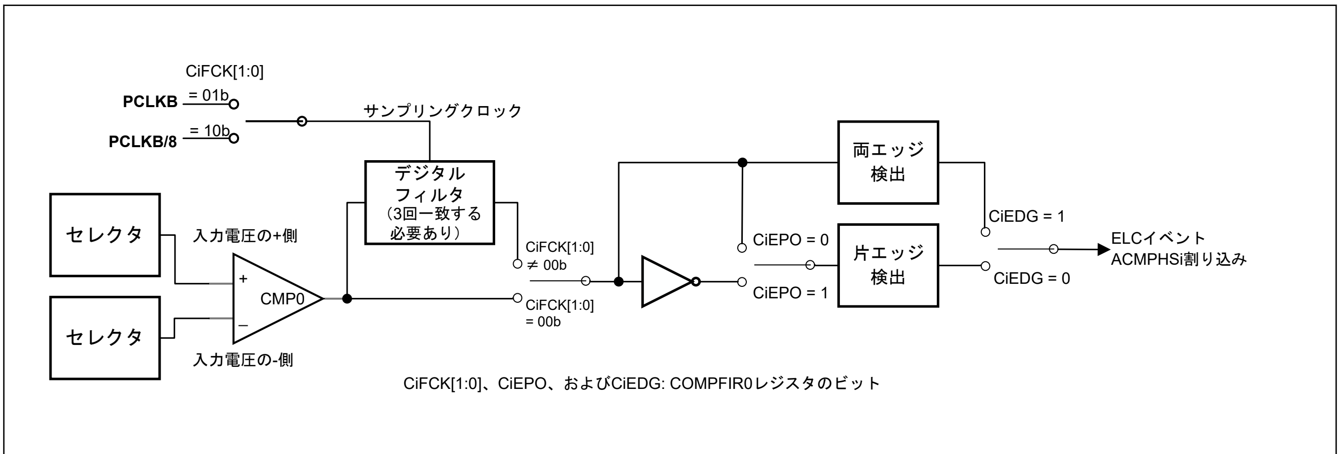


図 28.3　　ノイズフィルタとエッジ検出回路の構成

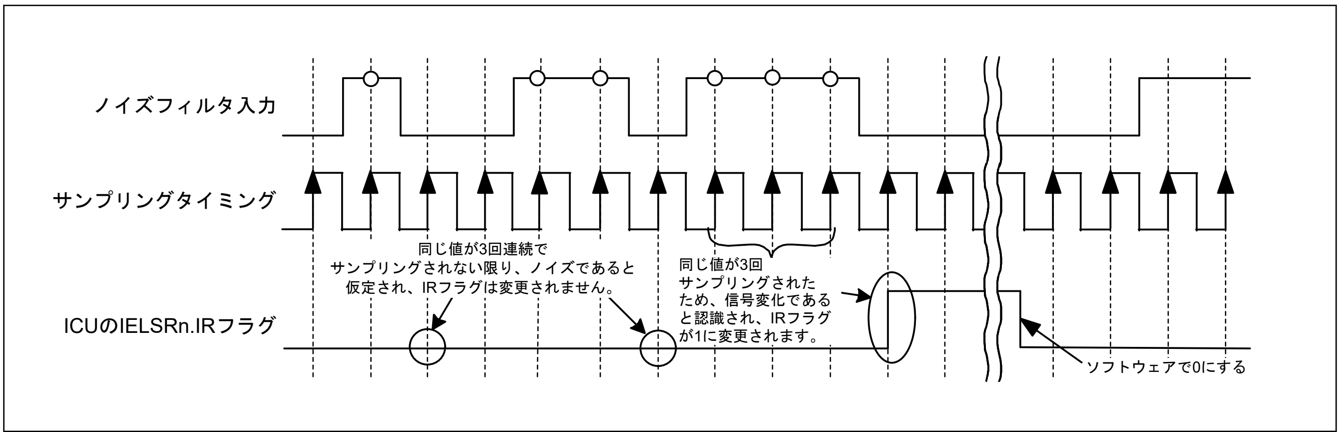


図 28.4　　ノイズフィルタおよび割り込み動作の例

28.5　　ACMPHS 割り込み

ACMPHS は、ACMPHS0 および ACMPHS1 から割り込み要求を生成します。ACMPHSi (i = 0, 1) 割り込みを使用するには、ICU の IELSRn レジスタで該当のビットを選択してください。

ACMPHSi 割り込みを使用するには、COMPFIR0.CiEDG ビットによって片エッジ検出または両エッジ検出のいずれかを選択してください。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択してください。

割り込み出力は、COMPFIR0.CiFCK[1:0]ビットで選択された、2 つのサンプリングクロックのうち 1 つを使用するノイズフィルタを通過させることも可能です。各サンプリングクロックを選択するには、COMPFIR0.CiFCK[1:0]ビットを 01b または 10b にします。ACMPHS0 割り込み要求を使用してソフトウェアスタンバイモードまたはスヌーズモードを解除するには、COMPFIR0.C0FCK[1:0]を 00b（サンプリングなし）にします。ACMPHS1 割り込み要求は、ソフトウェアスタンバイモードまたはスヌーズモードの解除には使用できません。

28.6　　ELC イベント出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS の ELC イベントを使用するには、ELC の ELSRn レジスタで選択します。ELC イベント要求を使用する場合、COMPFIR0.CiFCK[1:0]ビットを 01b または 10b にします。

28.7　　割り込み処理と ELC リンクの関係

ACMPHSi は ELC へイベント信号を出力し、あらかじめ設定していたモジュールの動作を開始することができます。割り込み要因の場合と同様に、ACMPHSi から ELC へのイベント信号出力発生の条件は、COMPFIR0.CiEDG ビットを設定することで片エッジ検出または両エッジ検出として選択できます。片エッジ検出を選択するときは、CiEPO ビットで極性を選択できます。

28.8　　コンパレータ端子出力

コンパレータによる比較結果は外部端子に出力できます。COMPOCR0 レジスタの CiOP ビットと CiOE ビットを使用して、出力（非反転または反転）の論理検出を設定できます。また、COMPMDR0 レジスタの CiPOE ビットを使用して、出力を許可または禁止できます。

ACMPHS 比較結果を VCOUT 出力端子に出力するには、「17.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～5、9, n = 00～15)」を設定してください。

レジスタ設定とコンパレータ出力の対応については、レジスタの以下の説明を参照してください。

- 「28.2.1. COMPMDR0 : ACMPHS モード設定レジスタ 0」
- 「28.2.3. COMPOCR0 : ACMPHS 出力コントロールレジスタ 0」

28.9　使用上の注意事項

28.9.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ACMPHS の動作禁止／許可を設定できます。リセット後の初期状態では、ACMPHS の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。

29. 12 ビット A/D コンバータ (ADC12)

29.1 概要

本 MCU は、逐次比較方式の 12 ビット A/D コンバータ (ADC12) ユニットを内蔵しています。変換には最大 13 チャネルのアナログ入力を選択できます。また、温度センサ出力および内部基準電圧を選択できます。

ADC12 は次の動作モードをサポートします。

- 選択したチャネルのアナログ入力を、チャネル番号の昇順に変換するシングルスキャンモード
- 選択したチャネルのアナログ入力を、チャネル番号の昇順に連続して変換する連続スキャンモード
- チャネルのアナログ入力を 2 つのグループ（グループ A とグループ B）に分け、グループ単位で選択したチャネルのアナログ入力をチャネル番号の昇順に変換するグループスキャンモード。
- 内蔵チャネル専用サンプル＆ホールド回路 (S/H)

グループスキャンモードでは、2 つのグループ（グループ A とグループ B）を選択してください。各グループ（グループ A、グループ B）のスキャンスタートコンディションを個別に選択し、各グループのスキャンを異なるタイミングで開始することができます。さらに、グループ A の優先制御動作を設定すると、ADC12 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。これにより、グループ A の A/D 変換開始により高い優先度を割り当てられます。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC12 で生成される 3 つの基準電圧値のうち 1 つを A/D 変換します。

A/D 変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力または内部基準電圧の A/D 変換は個別に行ってください。

ADC12 はコンペア機能（ウィンドウ A およびウィンドウ B）も搭載しています。コンペア機能は、ウィンドウ A およびウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

基準電源端子 (VREFH0)、アナログ部の電源端子 (AVCC0)、または内部基準電圧は、高電位基準電圧として選択可能です。基準電源グランド端子 (VREFL0) またはアナログ部の電源グランド端子 (AVSS0) は、低電位基準電圧として選択可能です。高電位基準電圧に内部基準電圧を選択した場合、温度センサ出力や内部基準電圧の A/D 変換は禁止です。

表 29.1 に ADC12 の仕様を、表 29.2 にその機能一覧を示します。図 29.1 に ADC12 のブロック図を、表 29.3 に入出力端子を示します。

表 29.1 ADC12 の仕様 (1/3)

項目	内容
ユニット数	1 ユニット
入力チャネル	最大 13 チャネル (AN000～AN002, AN005～AN010, AN019～AN022)(注1)
拡張アナログ機能	温度センサ出力と内部基準電圧
A/D 変換方式	逐次比較方式
分解能	12 ビット
変換時間	通常変換モード (ADACSR.ADSAC = 0) : 1 チャネル当たり 0.7 μs（12 ビット A/D 変換クロック PCLKD (ADCLK) が 64 MHz で動作時） 高速変換モード (ADACSR.ADSAC = 1) : 1 チャネル当たり 0.67 μs（12 ビット A/D 変換クロック PCLKD (ADCLK) が 48 MHz で動作時）
A/D 変換クロック	周辺モジュールクロック PCLKB と A/D 変換クロック PCLKD (ADCLK) を以下の分周比で設定可能 : PCLKB:PCLKD (ADCLK) 周波数比 = 1:1、1:2、1:4

表 29.1　ADC12 の仕様 (2/3)

項目	内容
データレジスタ(注2)	● アナログ入力用 13 本 ● ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 ● ダブルトリガモードでの拡張動作時の A/D 変換データ 2 重化用 2 本 ● 温度センサ出力用 1 本 ● 内部基準電圧用 1 本 ● 自己診断用 1 本 ● A/D 変換結果を A/D データレジスタに格納 ● 12 ビット精度の A/D 変換結果 ● A/D 変換値加算モード（A/D 変換結果の加算値を変換精度ビット数+拡張ビット数で A/D データレジスタに格納） ● ダブルトリガモード（シングルスキャンとグループスキャンモードで選択可能）: – 選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに格納、2 回目の A/D 変換データは 2 重化レジスタに格納 ● ダブルトリガモード拡張動作（特定トリガで使用可能）: – 選択した 1 つのチャネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに格納
動作モード(注3)	● シングルスキャンモード : – 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 ● 連続スキャンモード : 選択したチャネルのアナログ入力を繰り返し A/D 変換 ● グループスキャンモード : – 選択したチャネルのアナログ入力、温度センサ出力、および内部基準電圧をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 – グループ A、グループ B は各々のスキャンスタートコンディションを選択することで、グループ A、グループ B の A/D 変換を独立して開始することが可能 ● グループスキャンモード（グループ優先動作選択時）: – 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A > グループ B。
A/D 変換開始条件	● ソフトウェアトリガ ● イベントリンクコントローラ (ELC) からの同期トリガ ● 外部トリガ端子 ADTRG0 による非同期トリガ ● GPT からのトリガ
機能	● サンプリングステート数可変機能 ● チャネル専用サンプル＆ホールド回路 (S/H)（A/D コンバータに対して S/H ユニット 3 つ） ● A/D コンバータの自己診断機能 ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出機能（ディスチャージ機能およびプリチャージ機能） ● ダブルトリガモード（A/D 変換データ 2 重化機能） ● A/D データレジスタオートクリア機能 ● デジタルコンペア機能（コンペアレジスタとデータレジスタの比較、データレジスタ間の比較）
割り込み要因	● シングルスキャンモード（ダブルトリガモード非選択）では、1 回のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生可能 – デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC120_CMPAI/ADC120_CMPBI) を発生可能 – デジタルコンペア機能の比較条件成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPM) を発生可能 – デジタルコンペア機能の比較条件不成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPUM) を発生可能 ● シングルスキャンモード（ダブルトリガモード選択）では、2 回のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 ● 連続スキャンモードでは、選択した全チャネルのスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 ● グループスキャンモード（ダブルトリガモード非選択）では、グループ A のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン完了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生 ● グループスキャンモード（ダブルトリガモード選択）では、2 回のグループ A のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン完了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生可能 ● ADC120_ADI、ADC120_GBADI、ADC120_WCMPM、および ADC120_WCMPUM は、データトランスファコントローラ (DTC) を起動可能

表 29.1　ADC12 の仕様 (3/3)

項目	内容
ELC インタフェース	● グループスキャンモードでグループ A のスキャン終了時にイベント発生 ● グループスキャンモードでグループ B のスキャン終了時にイベント発生 ● すべてのスキャン終了時にイベント発生 ● ELC からのトリガでスキャン開始可能 ● シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント発生
基準電圧	● VREFH0、AVCC0、または内部基準電圧 (BGR)（外部基準電圧または基準電圧生成回路からの出力電圧）をアナログ基準電圧として選択可能 ● VREFL0 または AVSS0 をアナログ基準グランド電圧として選択可能
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能(注4)

注 1.　LQFP/HWQFN 48 ピン用 AN000～AN002、AN005～AN010、AN019～AN022
　　　LQFP/HWQFN 32 ピン用 AN000～AN002、AN005～AN007、AN019～AN022
　　　HWQFN 24 ピン用 AN000～AN002、AN005、AN006、AN019～AN022
注 2.　A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、「29.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。
注 3.　温度センサ出力と内部基準電圧を選択している場合は、連続スキャンモードやグループスキャンモードを使用しないでください。
注 4.　詳細は、「10. 低消費電力モード」を参照してください。

表 29.2　ADC12 の機能

項目			機能
アナログ入力チャネル			AN000～AN002、AN005～AN010、AN019～AN022 内部基準電圧 温度センサ出力
A/D 変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	非同期トリガ（外部トリガ）	トリガ入力端子	ADTRG0
	同期トリガ（ELC からのトリガ）	ELC トリガ	ELC_AD00、ELC_AD01
	同期トリガ（GPT からのトリガ）	GPT トリガ	GPTn_ADTRGA、GPTn_ADTRGB (n = 0～3)
チャネル専用サンプル＆ホールド機能	対象チャネル		AN000～AN002
割り込み			ADC120_ADI ADC120_GBADI ADC120_CMPAI ADC120_CMPBI
ELC への出力			ADC120_ADI ADC120_WCMPM ADC120_WCMPUM
モジュールストップ機能の設定(注1)(注2)			MSTPCRD.MSTPD16 ビット

注 1.　詳細は、「10. 低消費電力モード」を参照してください。
注 2.　モジュールストップ状態の解除後に A/D 変換を開始するのに、1 μs 以上待機します。

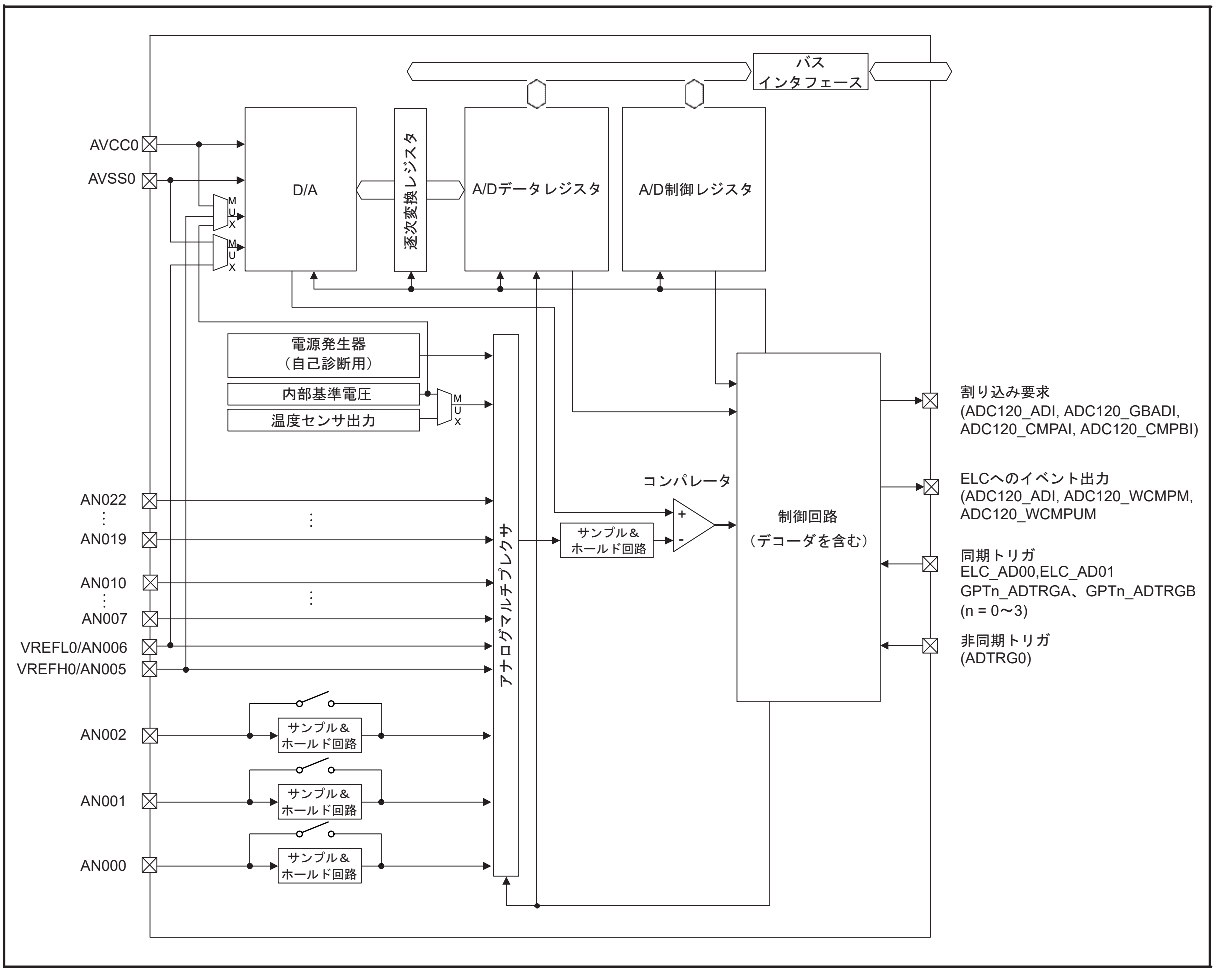


図 29.1　ADC12 のブロック図

表 29.3 に ADC12 の入出力端子の一覧を示します。

表 29.3　ADC12 の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子 （ADC12 を使用しないときは VCC に接続してください）
AVSS0	入力	アナログ部の電源グランド端子 （ADC12 を使用しないときは VSS に接続してください）
VREFH0	入力	アナログ基準電圧端子
VREFL0	入力	アナログ基準グランド端子
AN000〜AN002、AN005〜AN010、AN019〜AN022	入力	アナログ入力端子 0〜2、5〜10、19〜22
ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子

29.2　レジスタの説明

29.2.1　ADDRn : A/D データレジスタ n (n = 0〜2, 5〜10, 19〜22)

Base address: ADC120 = 0x4005_C000

Offset address: 0x020 + 0x2 × n (n = 0〜2, 5〜10, 19〜22)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDR [15:0]	変換値 15〜0 機能は、選択したモードと精度により異なります。表 29.4 と表 29.5 を参照してください。	R

ADDRn レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1)　A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 29.4 に示します。

表 29.4　12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11〜0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11〜0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3)　A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 29.5 に示します。

表 29.5　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

<table>
<tr><th colspan="2">精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td rowspan="2">12 ビット精度の右詰めデータ</td><td>16 回変換を指定した場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数が 1、2、3、または 4 回の場合</td><td colspan="2">読むと 0 が読めます。</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td></tr>
<tr><td rowspan="2">12 ビット精度の左詰めデータ</td><td>変換回数 16 回が選択された場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数 1、2、3、または 4 回が選択された場合</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td><td colspan="2">読むと 0 が読めます。</td></tr>
</table>

29.2.2　ADDBLDR : A/D データ 2 重化レジスタ

Base address:　ADC120 = 0x4005_C000

Offset address:　0x018

<table>
<tr><td>Bit position:</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>Bit field:</td><td colspan="16">ADDBLDR [15:0]</td></tr>
<tr><td>Value after reset:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
</table>

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 29.6 と表 29.7 を参照してください。	R

ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1)　A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 29.6 に示します。

表 29.6　12 ビット精度でのビット割り当ての例

<table>
<tr><th>精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td>12 ビット精度の右詰めデータ</td><td colspan="4">読むと 0 が読めます。</td><td colspan="12">変換値 11～0:
12 ビット A/D 変換値</td></tr>
<tr><td>12 ビット精度の左詰めデータ</td><td colspan="12">変換値 11～0:
12 ビット A/D 変換値</td><td colspan="4">読むと 0 が読めます。</td></tr>
</table>

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 29.7 に示します。

表 29.7　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

<table>
<tr><th colspan="2">精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td rowspan="2">12 ビット精度の右詰めデータ</td><td>16 回変換を指定した場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数が 1、2、3、または 4 回の場合</td><td colspan="2">読むと 0 が読めます。</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td></tr>
<tr><td rowspan="2">12 ビット精度の左詰めデータ</td><td>変換回数 16 回が選択された場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数 1、2、3、または 4 回が選択された場合</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td><td colspan="2">読むと 0 が読めます。</td></tr>
</table>

29.2.3 ADSHCR : A/D サンプル&ホールド回路コントロールレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x066

<table>
<tr><td>Bit position:</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>Bit field:</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td colspan="3">SHANS[2:0]</td><td colspan="8">SSTSH[7:0]</td></tr>
<tr><td>Value after reset:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td></tr>
</table>

ビット	シンボル	機能	R/W
7:0	SSTSH[7:0]	チャネル専用サンプル&ホールド回路サンプリング時間設定 サンプリング時間（4～255 ステート）を設定します	R/W(注1)
10:8	SHANS[2:0]	チャネル専用サンプル&ホールド回路バイパス選択 チャネル専用サンプル&ホールド回路 AN000～AN002 を使用するか使用しない（バイパスする）かを選択します 0:　チャネル専用サンプル&ホールド回路をバイパスします 1:　チャネル専用サンプル&ホールド回路を使用します	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　SSTSH[7:0]に 0x03 以下を書き込むと 0x04 に変わります。

ADSHCR は、チャネル専用 S&H（サンプル＆ホールド）回路に関連するパラメータを設定します。

SSTSH[7:0]ビット（チャネル専用サンプル&ホールド回路サンプリング時間設定）

SSTSH[7:0]ビットは、チャネル専用サンプル＆ホールド回路のサンプリング時間設定をします。1 ステート = 1 ADCLK（A/D 変換クロック）幅で ADCLK クロックが 64 MHz であれば、1 ステート = 15.6 ns になります。初期値は 26 ステートです。本レジスタでは、アナログ入力信号源のインピーダンスが高いためにサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

SSTSH[7:0]ビットは、ADCSR.ADST ビットが 0 のときに設定する必要があります。サンプリング時間の設定値は、4 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間は 4 us 以上にする必要があります。

SHANS[2:0]ビット（チャネル専用サンプル&ホールド回路バイパス選択）

SHANS[2:0]ビットは、チャネル専用サンプル＆ホールド回路 AN000～AN002 を使用するか使用しない（バイパスする）かを選択します。SHANS[0]ビットは AN000 を、SHANS[1]ビットは AN001 を、SHANS[2]ビットは AN002 を選択します。SHANS[2:0]ビットは、ADCSR.ADST ビットが 0 のときに設定する必要があります。

グループ優先動作では、AN000～AN002 のいずれかをグループ B に対して選択した場合、チャネル専用サンプル&ホールド回路をバイパスするように設定します。

グループ優先動作では、グループ B はスキャンを中断して再開します。サンプル&ホールド回路は再起動プロセスでサンプル&ホールドを実行するため、タイマに従ってホールドできません。

29.2.4 ADDBLDRn : A/DA データ 2 重化レジスタ n（n = A, B）

Base address: ADC120 = 0x4005_C000

Offset address: 0x084 (n = A)
0x086 (n = B)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 29.8 と表 29.9 を参照してください。	R

ADDBLDRn レジスタは、ダブルトリガモード選択時の拡張動作中のトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 29.8 に示します。

表 29.8 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 29.9 に示します。

表 29.9　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

<table>
<tr><th colspan="2">精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td rowspan="2">12 ビット精度の右詰めデータ</td><td>16 回変換を指定した場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数が 1、2、3、または 4 回の場合</td><td colspan="2">読むと 0 が読めます。</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td></tr>
<tr><td rowspan="2">12 ビット精度の左詰めデータ</td><td>変換回数 16 回が選択された場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数 1、2、3、または 4 回が選択された場合</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td><td colspan="2">読むと 0 が読めます。</td></tr>
</table>

29.2.5　ADTSDR : A/D 温度センサデータ レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x01A

<table>
<tr><td>Bit position:</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>Bit field:</td><td colspan="16">ADTSDR [15:0]</td></tr>
<tr><td>Value after reset:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
</table>

ビット	シンボル	機能	R/W
15:0	ADTSDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 29.10 と表 29.11 を参照してください。	R

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1)　A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 29.10 に示します。

表 29.10　12 ビット精度でのビット割り当ての例

<table>
<tr><th>精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td>12 ビット精度の右詰めデータ</td><td colspan="4">読むと 0 が読めます。</td><td colspan="12">変換値 11～0:
12 ビット A/D 変換値</td></tr>
<tr><td>12 ビット精度の左詰めデータ</td><td colspan="12">変換値 11～0:
12 ビット A/D 変換値</td><td colspan="4">読むと 0 が読めます。</td></tr>
</table>

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3)　A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 29.11 に示します。

表 29.11　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

<table>
<tr><th colspan="2">精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td rowspan="2">12 ビット精度の右詰めデータ</td><td>16 回変換を指定した場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数が 1、2、3、または 4 回の場合</td><td colspan="2">読むと 0 が読めます。</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td></tr>
<tr><td rowspan="2">12 ビット精度の左詰めデータ</td><td>変換回数 16 回が選択された場合</td><td colspan="16">加算結果 15～0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数 1、2、3、または 4 回が選択された場合</td><td colspan="14">加算結果 13～0:
14 ビット A/D 変換値加算結果</td><td colspan="2">読むと 0 が読めます。</td></tr>
</table>

29.2.6　ADOCDR : A/D 内部基準電圧データレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x01C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADOCDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADOCDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 29.12 と表 29.13 を参照してください。	R

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 29.12 に示します。

表 29.12　12 ビット精度でのビット割り当ての例

<table>
<tr><th>精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td>12 ビット精度の右詰めデータ</td><td colspan="4">読むと 0 が読めます。</td><td colspan="12">変換値 11〜0:
12 ビット A/D 変換値</td></tr>
<tr><td>12 ビット精度の左詰めデータ</td><td colspan="12">変換値 11〜0:
12 ビット A/D 変換値</td><td colspan="4">読むと 0 が読めます。</td></tr>
</table>

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 29.13 に示します。

表 29.13　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

<table>
<tr><th colspan="2">精度</th><th>b15</th><th>b14</th><th>b13</th><th>b12</th><th>b11</th><th>b10</th><th>b9</th><th>b8</th><th>b7</th><th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>b2</th><th>b1</th><th>b0</th></tr>
<tr><td rowspan="2">12 ビット精度の右詰めデータ</td><td>16 回変換を指定した場合</td><td colspan="16">加算結果 15〜0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数が 1、2、3、または 4 回の場合</td><td colspan="2">読むと 0 が読めます。</td><td colspan="14">加算結果 13〜0:
14 ビット A/D 変換値加算結果</td></tr>
<tr><td rowspan="2">12 ビット精度の左詰めデータ</td><td>変換回数 16 回が選択された場合</td><td colspan="16">加算結果 15〜0:
16 ビット A/D 変換結果の合計</td></tr>
<tr><td>変換回数 1、2、3、または 4 回が選択された場合</td><td colspan="14">加算結果 13〜0:
14 ビット A/D 変換値加算結果</td><td colspan="2">読むと 0 が読めます。</td></tr>
</table>

29.2.7 ADRD : A/D 自己診断データレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x01E

<table>
<tr><td>Bit position:</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>Bit field:</td><td colspan="2">DIAGST[1:0]</td><td>—</td><td>—</td><td colspan="12">AD[11:0]</td></tr>
<tr><td>Value after reset:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
</table>

ビット	シンボル	機能	R/W
11:0	AD[11:0]	変換値 11〜0 12 ビット A/D 変換値	R
13:12	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
15:14	DIAGST[1:0]	自己診断ステータス 自己診断の詳細については、「29.2.16. ADCER : A/D コントロール拡張レジスタ」を参照してください。 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0 V の電圧値の自己診断を実行したことを示す 1 0: 基準電圧(注1) × 1/2 の電圧値の自己診断を実行したことを示す 1 1: 基準電圧(注1)の自己診断を実行したことを示す	R

注.　12 ビット精度の右詰めデータのビット配置例を示します。
注 1.　基準電圧は ADHVREFCNT の設定により、VREFH0、AVCC0、または内部基準電圧 (BGR) になります。

ADRD レジスタは、ADC12 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[11:0]ビットに加えて、自己診断ステータスビット (DIAGST[1:0]) が付加されます。

本レジスタのデータフォーマットは、A/D データレジスタフォーマットおよび A/D 変換精度の設定により決定されます。

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、「29.2.16. ADCER : A/D コントロール拡張レジスタ」を参照してください。

以下では、各条件のデータフォーマットについて説明します。本節のビット配置図とビット仕様表は、12 ビット精度の左詰めデータおよび右詰めデータのビット配置例を示します。

表 29.14　　各精度における右詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	DIAGST[1:0]		—		AD[11:0]											

表 29.15　　各精度における左詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の左詰めデータ	AD[11:0]												—		DIAGST[1:0]	

29.2.8　　ADCSR : A/D コントロールレジスタ

Base address:　ADC120 = 0x4005_C000

Offset address:　0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADST	ADCS[1:0]		—	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DBLANS[4:0]	ダブルトリガ対象チャネル選択 ダブルトリガ対象のアナログ入力を 1 チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	GBADIE	グループ B スキャン終了割り込みおよび ELC イベント許可 グループ B のスキャンは、グループスキャンモードでのみ実行できます。 0: グループ B のスキャン終了後に ADC120_GBADI 割り込み発生を禁止 1: グループ B のスキャン終了後に ADC120_GBADI 割り込み発生を許可	R/W
7	DBLE	ダブルトリガモード選択 0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W

ビット	シンボル	機能	R/W
8	EXTRG	トリガ選択(注1) 0: 同期トリガ (ELC, GPT) により A/D 変換開始 1: 非同期トリガ (ADTRG0) により A/D 変換開始	R/W
9	TRGE	トリガ開始許可 0: 同期、非同期トリガによる A/D 変換の開始を禁止 1: 同期、非同期トリガによる A/D 変換の開始を許可	R/W
10	ADHSC	A/D 変換モード選択 0: 高速 A/D 変換モード 1: 低消費電力 A/D 変換モード	R/W
12:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:13	ADCS[1:0]	スキャンモード選択 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
15	ADST	A/D 変換スタート 0: A/D 変換停止 1: A/D 変換開始	R/W

注 1. 外部端子（非同期トリガ）で A/D 変換を起動する方法：
外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 端子から Low を入力します。ADTRG0 の立ち下がりエッジを検出し、スキャン変換を開始します。Low 入力のパルス幅は、1.5 PCLKB クロック以上必要です。

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可／禁止、スキャンモードの選択、A/D 変換の開始／停止を行うレジスタです。

DBLANS[4:0]ビット（ダブルトリガ対象チャネル選択）

DBLANS[4:0]ビットは、ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。これは、2 重化するチャネル番号のバイナリ値を設定することで選択できます。DBLANS[4:0]ビットで選択したチャネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタと ADANSA1 レジスタで選択したチャネルは無効になり、DBLANS[4:0]ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャネルアナログ入力を選択できます。

DBLANS[4:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。DBLANS[4:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

ダブルトリガモード時に A/D 変換値加算／平均モードに遷移するには、DBLANS[4:0]ビットで選択したチャネルを ADANSA0 および ADANSA1 レジスタに設定してください。

ダブルトリガモードでは、自己診断機能からの A/D 変換データ、温度センサ出力、および内部基準電圧を使用できません。

表 29.16 DBLANS ビット設定値とダブルトリガ対象チャネルの関係 (1/2)

DBLANS[4:0]	2 重化チャネル
0x00	AN000
0x01	AN001
0x02	AN002
0x05	AN005
0x06	AN006
0x07	AN007
0x08	AN008

表 29.16　DBLANS ビット設定値とダブルトリガ対象チャネルの関係 (2/2)

DBLANS[4:0]	2 重化チャネル
0x09	AN009
0x0A	AN010
0x13	AN019
0x14	AN020
0x15	AN021
0x16	AN022

GBADIE ビット（グループ B スキャン終了割り込みおよび ELC イベント許可）

GBADIE ビットはグループスキャンモードでのグループ B のスキャン終了割り込み (ADC120_GBADI) の発生を許可または禁止します。

DBLE ビット（ダブルトリガモード選択）

DBLE ビットは、ダブルトリガモードの選択／非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC, GPT) のみで動作できます。

ダブルトリガは以下のように動作します。

1. 1 回目の変換完了時は ADC120_ADI 割り込みを出力せず、2 回目の変換完了時に出力します。
2. 1 回目のトリガで開始した 2 重化チャネル（DBLANS[4:0]で選択）の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定（ダブルトリガモードを選択）されている場合、ADANSA0 レジスタと ADANSA1 レジスタで指定したチャネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE ビットを再度 1 にすると、ダブルトリガモードの動作は、1.と 2.に示される最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

EXTRG ビット（トリガ選択）

EXTRG ビットは、A/D 変換を開始するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対してこのビットの設定が有効です。グループ B は、このビットの設定にかかわらず選択した同期トリガで A/D 変換を開始します。

TRGE ビット（トリガ開始許可）

TRGE ビットは、同期トリガ、非同期トリガによる A/D 変換の起動を許可または禁止します。グループスキャンモード時は本ビットを 1 にしてください。

ADHSC ビット（A/D 変換モード選択）

ADHSC ビットは､A/D 変換を High-speed モードにするか低電流モードにするかを選択します。ADHSC ビットの書き換え方法については、「29.8.9. ADHSC ビット書き換え手順」を参照してください。

ADCS[1:0]ビット（スキャンモード選択）

ADCS[1:0]ビットは、スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力に対してチャネル番号の昇順で A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回完了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の間、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力に対してチャネル番号の昇順で A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回完了すると最初のチャネルに戻り A/D 変換を繰り返します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時 :

- ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC, GPT) で、グループ A のスキャンを開始します。ADANSA0 レジスタと ADANSA1 レジスタで選択したチャネルのグループ A アナログ入力をチャネル番号の昇順で A/D 変換します。選択したすべてのチャネルの A/D 変換が 1 回完了すると A/D 変換を停止します。
- ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (ELC, GPT) で、グループ B のスキャンを開始します。ADANSB0 レジスタと ADANSB1 レジスタで選択したチャネルのグループ B アナログ入力をチャネル番号の昇順で A/D 変換します。選択したすべてのチャネルの A/D 変換が 1 回完了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換処理が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位をグループ A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B に異なるチャネルとトリガを選択してください。

温度センサ出力または内部基準電圧を選択した際は、ADANSA0 レジスタと ADANSA1 レジスタですべてのアナログ入力チャネルを非選択にした後で、シングルスキャンモードを選択し、A/D 変換を実施してください。温度センサ出力または内部基準電圧の A/D 変換が完了すると、A/D 変換を停止します。

ADCS[1:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。ADCS[1:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

表 29.17　スキャンモードおよびダブルトリガモードの設定による A/D 変換の選択対象

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力（グループ A）	アナログ入力（グループ B）	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	✓（1 ch のみ）	—	—	—
連続スキャン	DBLE = 0	✓	✓	—	—	—
	DBLE = 1	—	—	—	—	—
グループスキャン	DBLE = 0	✓	✓	✓	—	—
	DBLE = 1	—	✓（1 ch のみ）	✓	—	—

注.　✓ : 選択可能、— : 選択不可能

ADST ビット（A/D 変換スタート）

ADST ビットは、A/D 変換の開始／停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- 1 を書いたとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC, GPT) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (ELC, GPT) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0]ビットを 0x00 にし、非同期トリガを検出したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）に、ADGSPCR.GBRP ビットを 1 に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[0 になる条件]

- 0 を書いたとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力、内部基準電圧の A/D 変換が完了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき

- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）に、ADGSPCR.GBRSCN ビットを 1 に設定し、トリガにより開始した最も優先度の低いグループの A/D 変換が終了したとき

注.　グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、ADST ビットを 1 にしないでください。

注.　グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、かつ ADGSPCR.GBRP = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

29.2.9　ADANSA0 : A/D チャネル選択レジスタ A0

Base address: ADC120 = 0x4005_C000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ANSA 10	ANSA 9	ANSA 8	ANSA 7	ANSA 6	ANSA 5	—	—	ANSA 2	ANSA 1	ANSA 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ANSA2～ANSA0	A/D 変換チャネル選択 ビット 2 (ANSA2) は AN002 に、ビット 0 (ANSA0) は AN000 に対応します。 0:　対応する入力チャネルを非選択 1:　対応する入力チャネルを選択	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:5	ANSA10～ANSA5	A/D 変換チャネル選択 ビット 10 (ANSA10) は AN010 に、ビット 5 (ANSA5) は AN005 に対応します。 0:　対応する入力チャネルを非選択 1:　対応する入力チャネルを選択	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADANSA0 レジスタは、A/D 変換を行うアナログ入力チャネルを選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット（A/D 変換チャネル選択）(n = 0～2, 5～10)

ADANSA0 レジスタは、A/D 変換を行うアナログ入力チャネルの組み合わせを選択するレジスタです。チャネルおよびチャネル数は任意に設定可能です。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSA0 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0)、A/D チャネル選択レジスタ B1 (ADANSB1)で指定したチャネルを選択しないでください。

29.2.10　ADANSA1 : A/D チャネル選択レジスタ A1

Base address: ADC120 = 0x4005_C000

Offset address: 0x006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ANSA 22	ANSA 21	ANSA 20	ANSA 19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:3	ANSA22～ANSA19	A/D 変換チャネル選択 ビット 6 (ANSA22) は AN022 に対応し、ビット 3 (ANSA19) は AN019 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADANSA1 レジスタは A/D 変換のアナログ入力チャネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャネルを選択します。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット（A/D 変換チャネル選択）(n = 19～22)

ADANSA1 レジスタは A/D 変換を行うアナログ入力チャネルの組み合わせを選択します。チャネルおよびチャネル数は任意に設定可能です。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSA1 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

ダブルトリガモード時は、ADANSA1 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0)、および A/D チャネル選択レジスタ B1 (ADANSB1)で指定したチャネルを選択しないでください。

29.2.11 ADANSB0 : A/D チャネル選択レジスタ B0

Base address: ADC120 = 0x4005_C000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ANSB 10	ANSB 9	ANSB 8	ANSB 7	ANSB 6	ANSB 5	—	—	ANSB 2	ANSB 1	ANSB 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ANSB2～ANSB0	A/D 変換チャネル選択 ビット 2 (2) は AN002 に、ビット 0 (ANSB0) は AN000 に対応します。ANSB 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:5	ANSB10～ANSB5	A/D 変換チャネル選択 ビット 10 (ANSB10) は AN010 に、ビット 5 (ANSB5) は AN005 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力を選択するレジスタです。ADANSB0 レジスタは他のスキャンモードでは使用しません。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット（A/D 変換チャネル選択）(n = 0～2, 5～10)

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB0 レジスタはグループスキャンモードで使用され、他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0]ビットで選択したチャネル）を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSB0 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

29.2.12　ADANSB1 : A/D チャネル選択レジスタ B1

Base address: ADC120 = 0x4005_C000

Offset address: 0x016

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ANSB 22	ANSB 21	ANSB 20	ANSB 19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:3	ANSB22～ANSB19	A/D 変換チャネル選択 ビット 6 (ANSB22) は AN022 に対応し、ビット 3 (ANSB19) は AN019 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力を選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット（A/D 変換チャネル選択）(n = 19～22)

ADANSB1 レジスタはグループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0]ビットで選択したチャネル）を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSB1 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

29.2.13　ADADS0 : A/D 変換値加算／平均チャネル選択レジスタ 0

Base address: ADC120 = 0x4005_C000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ADS10	ADS9	ADS8	ADS7	ADS6	ADS5	—	—	ADS2	ADS1	ADS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADS2～ADS0	A/D 変換値加算／平均チャネル選択 ビット 2 (ADS2) は AN002 に、ビット 0 (ADS0) は AN000 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:5	ADS10～ADS5	A/D 変換値加算／平均チャネル選択 ビット 10 (ADS10) は AN010 に、ビット 5 (ADS5) は AN005 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSn ビット（A/D 変換値加算／平均チャネル選択）(n = 0〜2, 5〜10)

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0]ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

ADSn ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0]ビット
- ADANSB0 レジスタの ANSBn ビット

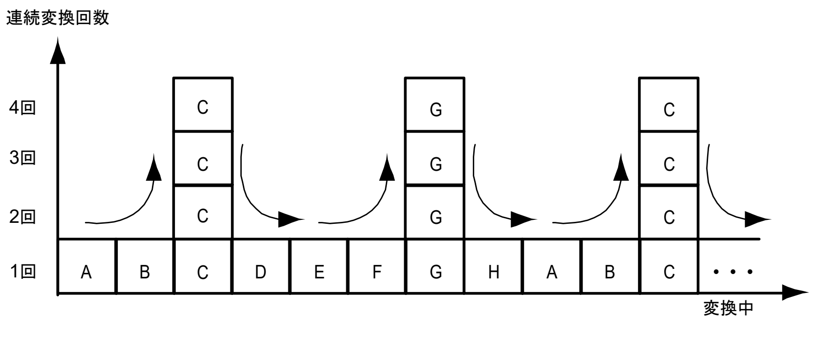
加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 29.2 に ADADS0 レジスタのビット（チャネル c と g）を 1 にしたときのスキャン動作シーケンスを示します。本図では、以下のような設定になっています。

- 加算モードを選択 (ADADC.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でアナログ入力チャネル a〜h を選択（ADANSA0 レジスタ）

アナログ入力 A（チャネル a）から変換を開始します。アナログ入力 C（チャネル c）の変換は 4 回連続実行し、加算値を A/D データレジスタ c (ADDRc) に返します。その後、アナログ入力 D（チャネル d）の変換を開始し、アナログ入力 G（チャネル g）の変換は 4 回連続実行し、加算値を A/D データレジスタ g (ADDRg) に返します。アナログ入力 H（チャネル h）の変換後、再度アナログ入力 A（チャネル a）から同じシーケンスで動作します。



注.　A〜H はアナログ入力（チャネル a〜h）

図 29.2　ADADC.ADC[2:0] = 011b および ADADS0/1 によるアナログ入力 C と G を 1 に選択時のスキャン変換シーケンス

29.2.14　ADADS1 : A/D 変換値加算／平均チャネル選択レジスタ 1

Base address:　ADC120 = 0x4005_C000

Offset address:　0x00A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ADS22	ADS21	ADS20	ADS19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:3	ADS22～ADS19	A/D 変換値加算／平均チャネル選択 ビット 6 (ADS22) は AN022 に対応し、ビット 3 (ADS19) は AN019 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSn ビット（A/D 変換値加算／平均チャネル選択）(n = 19～22)

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0]ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0]ビット
- ADANSB1 レジスタの ANSBn ビット

加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

29.2.15 ADADC : A/D 変換値加算／平均回数選択レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	AVEE	—	—	—	—	ADC[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADC[2:0]	加算／平均回数選択 0 0 0: 1 回変換（加算なし。通常変換と同じ。） 0 0 1: 2 回変換（1 回加算を行う） 0 1 0: 3 回変換（2 回加算を行う） 0 1 1: 4 回変換（3 回加算を行う） 1 0 1: 16 回変換（15 回加算を行う） その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	AVEE	平均モードを選択 0: 加算モードを選択 1: 平均モードを選択	R/W

ADADC は加算モードまたは平均モードの選択、および A/D 変換の加算回数を設定します。表 29.18 に、ADADC レジスタの設定可能な組み合わせを示します。

表 29.18　ADADC レジスタの設定可能な組み合わせ (1/2)

モード選択	変換回数				
(AVEE)	1 回	2 回	3 回	4 回	16 回
加算モード (AVEE = 0)	✓	✓	✓	✓	✓

表 29.18 ADADC レジスタの設定可能な組み合わせ (2/2)

モード選択	変換回数				
(AVEE)	1 回	2 回	3 回	4 回	16 回
平均モード (AVEE = 1)	—	✓	—	✓	—

注. ✓ : 選択可能、— : 選択不可能

ADC[2:0]ビット（加算／平均回数選択）

ADC[2:0]ビットはダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0]ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたすべてのチャネルに対して加算回数を設定します。加算回数は、温度センサ出力、内部基準電圧の A/D 変換にも適用されます。
自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0]ビットを 000b 以外の値にしないでください。

AVEE ビット（平均モードを選択）

AVEE ビットはダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0]ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モードまたは平均モードの選択を行います。

29.2.16 ADCER : A/D コントロール拡張レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x00E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ACE	A/D データレジスタ自動クリアイネーブル 0: 自動クリアを禁止 1: 自動クリアを許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DIAGVAL[1:0]	自己診断変換電圧選択 0 0: 自己診断有効時は設定禁止 0 1: 0 V 1 0: 基準電圧(注1) × 1/2 1 1: 基準電圧(注1)	R/W
10	DIAGLD	自己診断モード選択 0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
11	DIAGM	自己診断イネーブル 0: ADC12 の自己診断を実施しない 1: ADC12 の自己診断を実施する	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	ADRFMT	A/D データレジスタフォーマット選択 0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧は ADHVREFCNT の設定により、VREFH0、AVCC0、または内部基準電圧 (BGR) になります。

ACE ビット（A/D データレジスタ自動クリアイネーブル）

ACE ビットは、CPU または DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、または ADOCDR レジスタのいずれかを読み出した後、当該レジスタの自動クリア（すべて 0）を行うか行わないかを選択します。A/D データレジスタの自動クリアにより、各 A/D データレジスタの未更新障害を

検出することができます。詳細は、「29.3.7. A/D データレジスタの自動クリア機能の使用例」を参照してください。

DIAGVAL[1:0]ビット（自己診断変換電圧選択）

DIAGVAL[1:0]ビットは自己診断電圧固定モードでの電圧値を選択します。詳細は、DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0]ビットが 00b の場合、DIAGLD ビットを 1 にして自己診断を実行しないでください。

DIAGLD ビット（自己診断モード選択）

DIAGLD ビットは、自己診断に使用する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLD ビットを 0 にすると、0 V → 基準電圧 × 1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、および自己診断電圧ローテーションモードを選択した場合は、0 V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は 0 V に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0]ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

DIAGM ビット（自己診断イネーブル）

DIAGM ビットは、自己診断を実施するかしないかを選択します。

自己診断は、ADC12 の故障を検出するための機能です。自己診断モードでは、3 つの電圧値（0 V、基準電圧 × 1/2、基準電圧）のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後、ADRD レジスタを読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモード (ADCSR.DBLE = 1) では、自己診断 (DIAGM = 0) は選択されません。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ADRFMT ビット（A/D データレジスタフォーマット選択）

ADRFMT ビットは、ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、または ADRD レジスタに格納するデータの右詰め／左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

29.2.17　ADSTRGR : A/D 変換開始トリガ選択レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRSB[5:0]	グループ B 用 A/D 変換開始トリガ選択 グループスキャンモードでグループ B の A/D 変換開始トリガを選択します。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	TRSA[5:0]	A/D 変換開始トリガ選択 シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A の A/D 変換開始トリガを選択します。	R/W

ビット	シンボル	機能	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TRSB[5:0]ビット（グループ B 用 A/D 変換開始トリガ選択）

TRSB[5:0]ビットはグループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0]ビットはグループスキャンモードでのみ使用するビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガは設定しないでください。グループスキャンモードでは、TRSB[5:0]ビットを 0x00 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ優先動作選択時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0]ビットを 0x3F にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、「29.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 29.19 に TRSB[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 29.19　TRSB[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00, ELC_AD01	ELC	0	0	1	0	1	1
GPT0_ADTRGA	GPT0	0	1	0	0	0	1
GPT0_ADTRGB	GPT0	0	1	0	0	1	0
GPT1_ADTRGA	GPT1	0	1	0	0	1	1
GPT1_ADTRGB	GPT1	0	1	0	1	0	0
GPT2_ADTRGA	GPT2	0	1	0	1	0	1
GPT2_ADTRGB	GPT2	0	1	0	1	1	0
GPT3_ADTRGA	GPT3	0	1	0	1	1	1
GPT3_ADTRGB	GPT3	0	1	1	0	0	0
GPT0_ADTRGA または GPT0_ADTRGB	GPT0	0	1	1	0	0	1
GPT1_ADTRGA または GPT1_ADTRGB	GPT1	0	1	1	0	1	0
GPT2_ADTRGA または GPT2_ADTRGB	GPT2	0	1	1	0	1	1
GPT3_ADTRGA または GPT3_ADTRGB	GPT3	0	1	1	1	0	0

TRSA[5:0]ビット（A/D 変換開始トリガ選択）

TRSA[5:0]ビットはシングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガまたはグループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガや非同期トリガは使用しないでください。

- 同期トリガ (ELC, GPT) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。
- 非同期トリガ (ADTRG0) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、「29.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 29.20 に TRSA[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 29.20 TRSA[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00, ELC_AD01	ELC	0	0	1	0	1	1
GPT0_ADTRGA	GPT0	0	1	0	0	0	1
GPT0_ADTRGB	GPT0	0	1	0	0	1	0
GPT1_ADTRGA	GPT1	0	1	0	0	1	1
GPT1_ADTRGB	GPT1	0	1	0	1	0	0
GPT2_ADTRGA	GPT2	0	1	0	1	0	1
GPT2_ADTRGB	GPT2	0	1	0	1	1	0
GPT3_ADTRGA	GPT3	0	1	0	1	1	1
GPT3_ADTRGB	GPT3	0	1	1	0	0	0
GPT0_ADTRGA または GPT0_ADTRGB	GPT0	0	1	1	0	0	1
GPT1_ADTRGA または GPT1_ADTRGB	GPT1	0	1	1	0	1	0
GPT2_ADTRGA または GPT2_ADTRGB	GPT2	0	1	1	0	1	1
GPT3_ADTRGA または GPT3_ADTRGB	GPT3	0	1	1	1	0	0

29.2.18 ADEXICR : A/D 変換拡張入力コントロールレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x012

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSSAD	温度センサ出力 A/D 変換値加算／平均モード選択 0: 温度センサ出力に対し加算／平均モード非選択 1: 温度センサ出力に対し加算／平均モード選択	R/W
1	OCSAD	内部基準電圧 A/D 変換値加算／平均モード選択 0: 内部基準電圧に対し加算／平均モード非選択 1: 内部基準電圧に対し加算／平均モード選択	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TSSA	温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
9	OCSA	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TSSAD ビット（温度センサ出力 A/D 変換値加算／平均モード選択）

TSSAD ビットが 1 の場合、ADADC.ADC[2:0]ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算（積算）した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット（内部基準電圧 A/D 変換値加算／平均モード選択）

OCSAD ビットが 1 の場合、ADADC.ADC[2:0]ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算（積算）した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット（温度センサ出力 A/D 変換選択）

TSSA ビットは、温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を実行する場合：

1. ADANSA0/1 と ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および、ADEXICR.OCSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力の A/D 変換を実行する場合、ADDISCR レジスタは 0x0F に設定され、A/D コンバータはサンプリング実行前にディスチャージ (15 ADCLK) を実行します。必要なサンプリング時間は 5 μs 以上です。

A/D コンバータは、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

OCSA ビット（内部基準電圧 A/D 変換選択）

OCSA ビットは、内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を実施する場合：

1. ADANSA0/1 と ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADEXICR.TSSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

内部基準電圧の A/D 変換を実行する場合、ADDISCR レジスタは 0x0F に設定され、A/D コンバータはサンプリング実行前にディスチャージ (15 ADCLK) を実行します。必要なサンプリング時間は 5 μs 以上です。

A/D コンバータは、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

29.2.19 ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリングステートレジスタ n (n = 0〜2, 5〜10)

Base address: ADC120 = 0x4005_C000

Offset address: 0x0E0 + 0x1 × n (n = 0〜2, 5〜10)
0x0DD (ADSSTRL)
0x0DE (ADSSTRT)
0x0DF (ADSSTRO)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SST[7:0]							
Value after reset:	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
7:0	SST[7:0]	サンプリング時間設定 5〜255 ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行うレジスタです。

本レジスタでは、アナログ入力信号源のインピーダンスが高いためにサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。設定値は、1ADCLK サイクルの時間を示し、電圧条件によって規定されます。詳細は、「35.4. ADC12 特性」を参照してください。

サンプリング時間の下限値は分周比によって異なります。

- PCLKB:PCLKD (ADCLK) の分周比が 1:1 の場合、サンプリング時間は 5 ステートより長く設定してください。
- PCLKB:PCLKD (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください。

表 29.21 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。詳細は「29.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

SST[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

表 29.21 A/D サンプリングステートレジスタと関連チャネルの関係

ビット名	関連チャネル
ADSSTRn.SST[7:0]ビット（n = 0〜2, 5〜10）(注1)	AN0n (n = 00〜02, 05〜10)(注2)
ADSSTRL.SST[7:0]ビット	AN0n (n = 19〜22)
ADSSTRT.SST[7:0]ビット	温度センサ出力(注2)
ADSSTRO.SST[7:0]ビット	内部基準電圧(注2)

注 1. 自己診断機能を選択した時は、ADSSTR0.SST[7:0]ビットで設定したサンプリング時間が適用されます。
注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 μs より長く設定してください。SST[7:0]の最大値は 255 ステートなので、ADCLK 周波数は、サンプリング時間が 5 μs となるように 51 MHz 以下に設定しなければなりません。

29.2.20 ADDISCR : A/D 断線検出コントロールレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x07A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PCHG	ADNDIS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADNDIS[3:0]	断線検出アシスト設定 0x0: 断線検出アシスト機能無効 0x1: 設定禁止 その他: プリチャージ／ディスチャージ期間のステート数	R/W
4	PCHG	プリチャージ／ディスチャージ選択 0: ディスチャージ 1: プリチャージ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDISCR レジスタは、A/D 断線検出アシスト機能のプリチャージ／ディスチャージの設定および期間を選択します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。温度センサ出力または内部基準電圧を A/D 変換する場合、A/D コンバータは自動的にディスチャージを実行します。

ADEXICR.OCSA、TSSA が 1 の場合、ADDISCR レジスタを 0x0F (15ADCLK) を設定することにより、本動作が実行されます。ディスチャージ実行後、A/D コンバータはサンプリングを行います。

下記の機能のいずれかを使用する場合は断線検出アシスト機能を無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断

ADNDIS[3:0]ビット（断線検出アシスト設定）

ADNDIS[3:0]ビットは、プリチャージ／ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ／ディスチャージ期間のステート数となります。ADNDIS[3:0]ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG ビット（プリチャージ／ディスチャージ選択）

プリチャージまたはディスチャージを選択します。

29.2.21 ADACSR : A/D 変換動作モード選択レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x07E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ADSAC	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ADSAC	逐次変換制御設定 0: 通常変換モード（デフォルト） 1: 高速変換モード	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADACSR レジスタは A/D 変換動作モードを選択します。

ADSAC ビット（逐次変換制御設定）

ADSAC ビットは A/D 変換動作モードが通常変換モードか、高速変換モードかを選択します。

ADSAC ビットが 0 のとき、ADCLK の最高周波数は 64 MHz です。高速 A/D 変換モード（ADCSR.ADHSC = 0）において、逐次比較方式での変換時間は、31.5 ADCLK です。低消費電力 A/D 変換モード（ADCSR.ADHSC = 1）において、逐次比較方式での変換時間は、40.5 ADCLK です。

ADSAC ビットが 1 のとき、ADCLK の最高周波数は 48 MHz です。高速 A/D 変換モード（ADCSR.ADHSC = 0）において、逐次比較方式での変換時間は、21.5 ADCLK です。低消費電力 A/D 変換モード（ADCSR.ADHSC = 1）において、逐次比較方式での変換時間は、27.5 ADCLK です。

詳細をご確認ください。「29.3.6. アナログ入力のサンプリング時間とスキャン変換時間」

29.2.22　ADGSPCR : A/D グループスキャン優先コントロールレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x080

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS	グループ優先動作設定(注1) 0: グループ優先制御動作を行わない 1: グループ優先制御動作を行う	R/W
1	GBRSCN	低優先グループ再起動設定 （PGS = 1 の時のみ有効。PGS = 0 の時は無効。） 0: グループ優先動作で中断されたグループの再スキャンをしない 1: グループ優先動作で中断されたグループの再スキャンをする	R/W
14:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	GBRP	シングルスキャン連続起動設定(注2) （PGS = 1 の時のみ有効。PGS = 0 の時は無効。） 0: シングルスキャン連続動作しない 1: 優先度の低いグループがシングルスキャン連続動作する	R/W

注 1.　ADCSR.ADCS[1:0]ビットは、PGS を 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。

注 2.　GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、優先度の低いグループがシングルスキャン連続動作を実行します。

PGS ビット（グループ優先動作設定）

PGS ビットはグループスキャンモードでのグループ優先動作を制御します。グループ優先動作を行うために、PGS ビットを 1 にしてください。

ADCSR.ADCS[1:0]ビットは、PGS ビットを 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、「29.8.3. A/D 変換停止に関する制約」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、「29.3.4.3. グループ優先動作」の手順に従い設定を行ってください。

GBRSCN ビット（低優先グループ再起動設定）

GBRSCN ビットは、グループ優先動作時の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを 0 にした場合は、スキャン中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

GBRP ビット（シングルスキャン連続起動設定）

GBRP ビットは、グループ優先動作設定で優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、優先度の低いグループのシングルスキャンが起動します。スキャン終了後、優先度の低いグループのシングルスキャンを自動的に再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、優先度の低いグループのシングルスキャンを自動的に再開します。

GBRP ビットを 1 にする場合は、事前に優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを 1 に設定した場合、GBRSCN ビットが 0 でも、優先度の低いグループのみ再スキャンを行います。

29.2.23 ADCMPCR : A/D コンペア機能コントロールレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x090

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 1 1: 設定禁止	R/W
8:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	CMPBE	コンペアウィンドウ B 動作許可 0: コンペアウィンドウ B 動作禁止 ADC120_WCMPM および ADC120_WCMPUM の出力不可 1: コンペアウィンドウ B 動作許可	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	CMPAE	コンペアウィンドウ A 動作許可 0: コンペアウィンドウ A 動作禁止 ADC120_WCMPM および ADC120_WCMPUM の出力不可 1: コンペアウィンドウ A 動作許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	CMPBIE	コンペア B 割り込み許可 0: 比較条件（ウィンドウ B）一致による ADC120_CMPBI 割り込み禁止 1: 比較条件（ウィンドウ B）一致による ADC120_CMPBI 割り込み許可	R/W
14	WCMPE	ウィンドウ機能設定 0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較します。	R/W
15	CMPAIE	コンペア A 割り込み許可 0: 比較条件（ウィンドウ A）一致による ADC120_CMPAI 割り込み禁止 1: 比較条件（ウィンドウ A）一致による ADC120_CMPAI 割り込み許可	R/W

CMPAB[1:0]ビット（ウィンドウ A/B 複合条件設定）

CMPAB[1:0]ビットはシングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。CMPAB[1:0]ビットにより、ADWINMON.MONCOMB のコンペア機能一致／不一致イベント出力条件および監視条件を指定します。CMPAB[1:0]ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

CMPBE ビット（コンペアウィンドウ B 動作許可）

CMPBE ビットはコンペアウィンドウ B の動作を許可／禁止します。CMPBE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、A1、B0、B1（ADANSA0、ADANSA1、ADANSB0、ADANSB1）
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA、または TSSA ビット
- ウィンドウ B チャネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0]ビット

CMPAE ビット（コンペアウィンドウ A 動作許可）

CMPAE ビットはコンペアウィンドウ A の動作を許可／禁止します。CMPAE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、A1、B0、B1（ADANSA0、ADANSA1、ADANSB0、ADANSB1）
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャネル選択レジスタ 0 および 1（ADCMPANSR0 および ADCMPANSR1）
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット（コンペア B 割り込み許可）

CMPBIE ビットは比較条件（ウィンドウ B）の一致による割り込み出力 ADC120_CMPBI を許可／禁止します。

WCMPE ビット（ウィンドウ機能設定）

WCMPE ビットは、ウィンドウ機能の有効／無効を選択します。WCMPE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット（コンペア A 割り込み許可）

CMPAIE ビットは比較条件（ウィンドウ A）の一致による割り込み出力 ADC120_CMPAI を許可／禁止します。

29.2.24 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0

Base address: ADC120 = 0x4005_C000

Offset address: 0x094

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CMPCHA10	CMPCHA9	CMPCHA8	CMPCHA7	CMPCHA6	CMPCHA5	—	—	CMPCHA2	CMPCHA1	CMPCHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMPCHA2～CMPCHA0	コンペアウィンドウ A チャネル選択 ビット 2 (CMPCHA2) は AN002 に、ビット 0 (CMPCHA0) は AN000 に対応します。 0: 対応する入力チャネルに対するコンペア機能を禁止 1: 対応する入力チャネルに対するコンペア機能を許可	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:5	CMPCHA10～CMPCHA5	コンペアウィンドウ A チャネル選択 ビット 10 (CMPCHA10) は AN010 に、ビット 5 (CMPCHA5) は AN005 に対応します。 0: 対応する入力チャネルに対するコンペア機能を禁止 1: 対応する入力チャネルに対するコンペア機能を許可	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPCHAn ビット（コンペアウィンドウ A チャネル選択）(n = 0～2, 5～10)

ADANSA0.ANSAn ビットおよび ADANSB0.ANSBn ビットで選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

29.2.25 ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1

Base address: ADC120 = 0x4005_C000

Offset address: 0x096

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	CMPCHA22	CMPCHA21	CMPCHA20	CMPCHA19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:3	CMPCHA22～CMPCHA19	コンペアウィンドウ A チャネル選択 ビット 6 (CMPCHA22) は AN022 に対応し、ビット 3 (CMPCHA19) は AN019 に対応します。 0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPCHAn ビット（コンペアウィンドウ A チャネル選択）(n = 19～22)

ADANSA1.ANSA ビットおよび ADANSB1.ANSB ビットで選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

29.2.26 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPOCA	CMPTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPTSA	温度センサ出力コンペア選択 0: 温度センサ出力をコンペアウィンドウ A 対象から外す 1: 温度センサ出力をコンペアウィンドウ A 対象とする	R/W
1	CMPOCA	内部基準電圧コンペア選択 0: 内部基準電圧をコンペアウィンドウ A 対象から外す 1: 内部基準電圧をコンペアウィンドウ A 対象とする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPTSA ビット（温度センサ出力コンペア選択）

ADEXICR.TSSA ビットが 1 の場合、CMPTSA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPOCA ビット（内部基準電圧コンペア選択）

ADEXICR.OCSA ビットが 1 の場合、CMPOCA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

29.2.27 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0

Base address: ADC120 = 0x4005_C000

Offset address: 0x098

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CMPLCHA10	CMPLCHA9	CMPLCHA8	CMPLCHA7	CMPLCHA6	CMPLCHA5	—	—	CMPLCHA2	CMPLCHA1	CMPLCHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMPLCHA2～CMPLCHA0	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 2 (CMPLCHA2) は AN002 に、ビット 0 (CMPLCHA0) は AN000 に対応します。 比較条件を図 29.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:5	CMPLCHA10～CMPLCHA5	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 10 (CMPLCHA10) は AN010 に、ビット 5 (CMPLCHA5) は AN005 に対応します。 比較条件を図 29.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLCHAn ビット（コンペアウィンドウ A 比較条件選択）(n = 0～2, 5～10)

CMPLCHAn ビットは、ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR0.CMPSTCHAn フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件

CMPLCHAn = 0

条件	結果
ADCMPDR0値 ≦ A/D変換値	不一致
ADCMPDR0値 > A/D変換値	一致

CMPLCHAn = 1

条件	結果
ADCMPDR0値 < A/D変換値	一致
ADCMPDR0値 ≧ A/D変換値	不一致

ウィンドウ機能が有効のときの比較条件

CMPLCHAn = 0

条件	結果
ADCMPDR1値 < A/D変換値	一致
ADCMPDR0値 ≦ A/D変換値 ≦ ADCMPDR1値	不一致
A/D変換値 < ADCMPDR0値	一致

CMPLCHAn = 1

条件	結果
ADCMPDR1値 ≦ A/D変換値	不一致
ADCMPDR0値 < A/D変換値 < ADCMPDR1値	一致
A/D変換値 ≦ ADCMPDR0値	不一致

図 29.3　コンペア機能ウィンドウ A 比較条件の説明

29.2.28　ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1

Base address:　ADC120 = 0x4005_C000

Offset address:　0x09A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	CMPLCHA22	CMPLCHA21	CMPLCHA20	CMPLCHA19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:3	CMPLCHA22〜 CMPLCHA19	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 6 (CMPLCHA22) は AN022 に対応し、ビット 3 (CMPLCHA19) は AN019 に対応します。 比較条件を図 29.3 に示します。 0:　ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): 　　ADCMPDR0 値 > A/D 変換値 　ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): 　　A/D 変換値 < ADCMPDR0 値、 　　または ADCMPDR1 値 < A/D 変換値 1:　ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): 　　ADCMPDR0 値 < A/D 変換値 　ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): 　　ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLCHAn ビット（コンペアウィンドウ A 比較条件選択）(n = 19〜22)

CMPLCHAn ビットはウィンドウ A 比較条件を適用するアナログチャネルの比較条件を指定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHAn ビットは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

29.2.29　ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ

Base address:　ADC120 = 0x4005_C000

Offset address:　0x093

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPLOCA	CMPLTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPLTSA	コンペアウィンドウ A 温度センサ出力比較条件選択 比較条件を図 29.3 に示します。 0:　ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): 　　ADCMPDR0 値 > A/D 変換値　コンペアウィンドウ A 温度センサ出力比較条件選択 　ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): 　　コンペアウィンドウ A 温度センサ出力比較条件　A/D 変換値 < ADCMPDR0 値、 　　または A/D 変換値 > ADCMPDR1 値 1:　ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): 　　ADCMPDR0 値 < A/D 変換値 　ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): 　　ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
1	CMPLOCA	コンペアウィンドウ A 内部基準電圧比較条件選択 比較条件を図 29.3 に示します。 0:　ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): 　　ADCMPDR0 値 > A/D 変換値 　ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): 　　A/D 変換値 < ADCMPDR0 値、 　　または A/D 変換値 > ADCMPDR1 値 1:　ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): 　　ADCMPDR0 値 < A/D 変換値 　ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): 　　ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLTSA ビット（コンペアウィンドウ A 温度センサ出力比較条件選択）

CMPLTSA ビットは、温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

CMPLOCA ビット（コンペアウィンドウ A 内部基準電圧比較条件選択）

CMPLOCA ビットは、内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

29.2.30 ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ n (n = 0, 1)

Base address: ADC120 = 0x4005_C000

Offset address: 0x09C + (0x2 × n)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADCMPDRy は読み出し／書き込みレジスタです。

ADCMPDRy の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≧ ADCMPDR0)。ADCMPDR1 は、ウィンドウ機能無効時は使用しません。

注 1.　下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 29.4 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

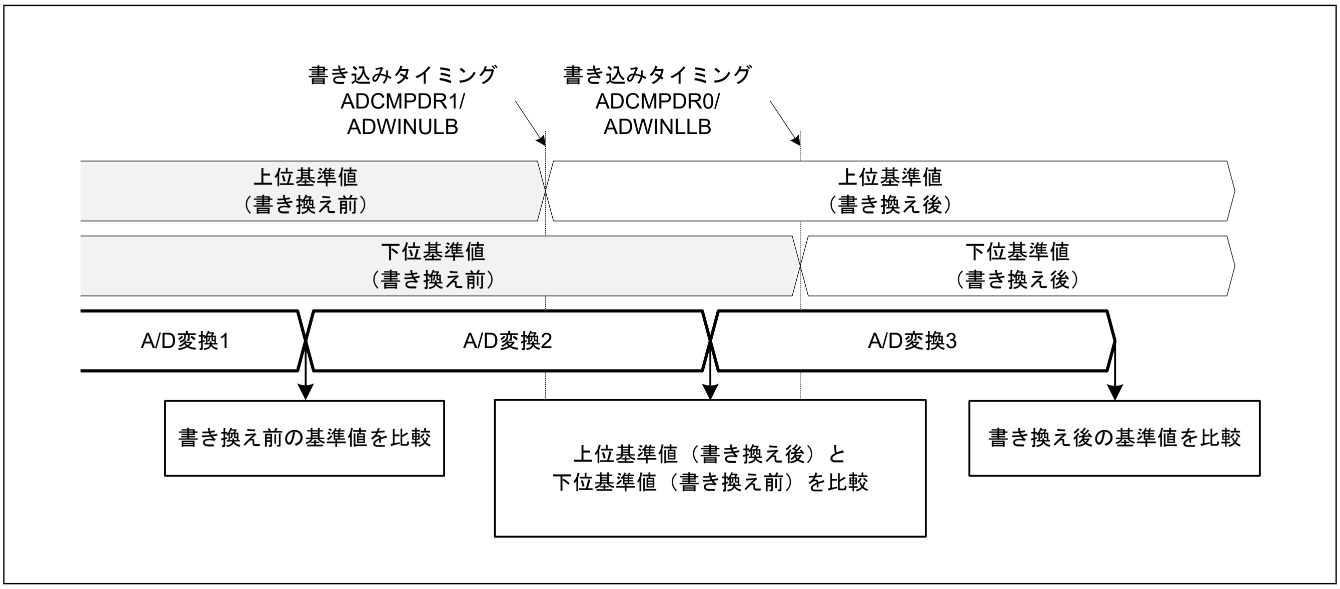


図 29.4　書き換え前後の上側基準値と下側基準値の比較

ADCMPDRy レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
2. A/D 変換値加算モードを選択した場合（16 回変換時以外）
   - 右詰めのフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
3. A/D 変換値加算モードを選択した場合（16 回変換時）
   - 全ビット ([15:0]) が有効

29.2.31 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ n (n = L, U)

Base address: ADC120 = 0x4005_C000

Offset address: 0x0A8 (n = L)
0x0AA (n = U)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINULB および ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADWINnLB は読み出し／書き込みレジスタです。

ADWINnLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADWINULB ≧ ADWINLLB)。ADWINULB は、ウィンドウ機能無効時は使用しません。

注 1.　下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 29.5 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

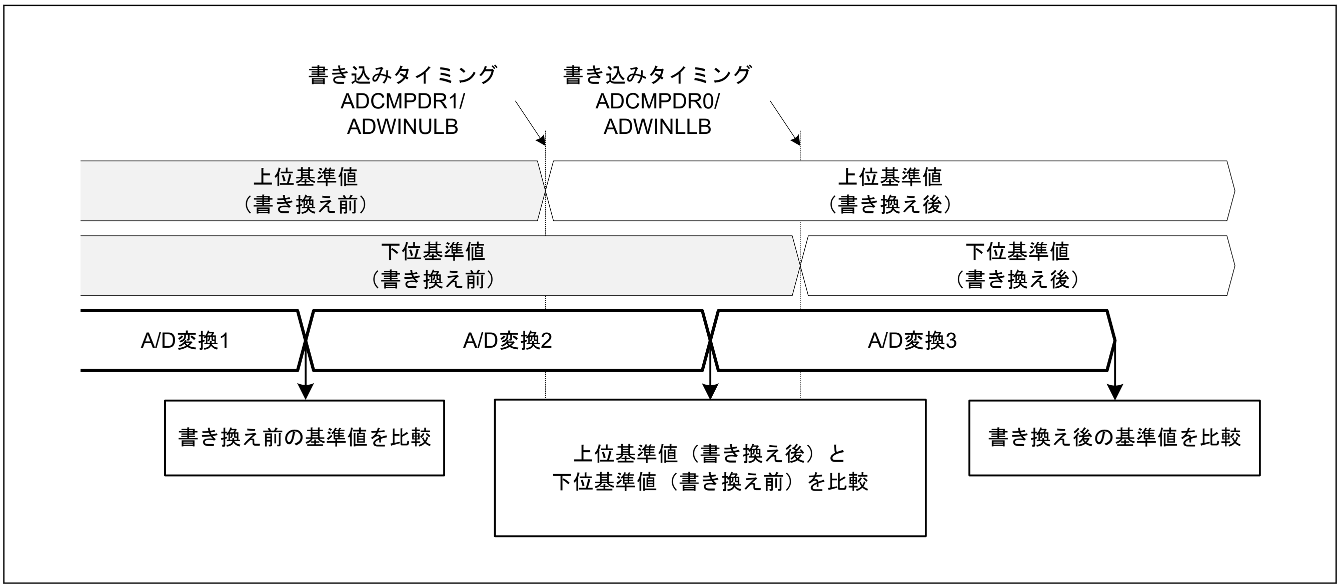


図 29.5　書き換え前後の上側基準値と下側基準値の比較

ADWINnLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
2. A/D 変換値加算モードを選択した場合（16 回変換時以外）
   - 右詰めのフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
3. A/D 変換値加算モードを選択した場合（16 回変換時）
   - 全ビット ([15:0]) が有効

29.2.32　ADCMPSR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0

Base address: ADC120 = 0x4005_C000

Offset address: 0x0A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CMPSTCHA10	CMPSTCHA9	CMPSTCHA8	CMPSTCHA7	CMPSTCHA6	CMPSTCHA5	—	—	CMPSTCHA2	CMPSTCHA1	CMPSTCHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMPSTCHA2～CMPSTCHA0	コンペアウィンドウ A フラグ ウィンドウ A の動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 2 (CMPSTCHA2) は AN002 に、ビット 0 (CMPSTCHA0) は AN000 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10:5	CMPSTCHA10～CMPSTCHA5	コンペアウィンドウ A フラグ ウィンドウ A の動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 10 (CMPSTCHA10) は AN010 に、ビット 5 (CMPSTCHA5) は AN005 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTCHAn フラグ（コンペアウィンドウ A フラグ）(n = 0～2, 5～10)

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。
ADCMPLR0.CMPLCHA ビットで設定した比較条件が A/D 変換終了時に成立すると、対応する CMPSTCHAn フラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR0.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

29.2.33 ADCMPSR1 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1

Base address: ADC120 = 0x4005_C000

Offset address: 0x0A2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	CMPSTCHA22	CMPSTCHA21	CMPSTCHA20	CMPSTCHA19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:3	CMPSTCHA22～CMPSTCHA19	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 6 (CMPSTCHA22) は AN022 に対応し、ビット 3 (CMPSTCHA19) は AN019 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTCHAn フラグ（コンペアウィンドウ A フラグ）(n = 19～22)

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。
ADCMPLR1.CMPLCHA で設定した比較条件が A/D 変換終了時に成立すると、関連する CMPSTCHAn フラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR1.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

29.2.34 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x0A4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPS TOCA	CMPS TTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
1	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPSER レジスタは、コンペア機能ウィンドウ A の比較結果を格納するレジスタです。

CMPSTTSA フラグ（コンペアウィンドウ A 温度センサ出力コンペアフラグ）

CMPSTTSA は、温度センサ出力の比較結果を示すフラグです。ADCMPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTTSA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CMPSTOCA フラグ（コンペアウィンドウ A 内部基準電圧コンペアフラグ）

CMPSTOCA は、内部基準電圧の比較結果を示すフラグです。ADCMPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTOCA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

29.2.35 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャネル選択レジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x0A6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CMPLB	—	CMPCHB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

<table>
<tr><th>ビット</th><th>記号</th><th>機能</th><th>R/W</th></tr>
<tr><td>5:0</td><td>CMPCHB[5:0]</td><td>コンペアウィンドウ B チャネル選択
コンペアウィンドウ B 条件と比較するチャネルを選択します。
<table>
<tr><th>CMPCHB[5:0]</th><th>チャネル</th></tr>
<tr><td>0x00</td><td>AN000</td></tr>
<tr><td>0x01</td><td>AN001</td></tr>
<tr><td>0x02</td><td>AN002</td></tr>
<tr><td>0x05</td><td>AN005</td></tr>
<tr><td>:</td><td>:</td></tr>
<tr><td>0x0A</td><td>AN010</td></tr>
<tr><td>0x13</td><td>AN019</td></tr>
<tr><td>0x14</td><td>AN020</td></tr>
<tr><td>0x15</td><td>AN021</td></tr>
<tr><td>0x16</td><td>AN022</td></tr>
<tr><td>0x20</td><td>温度センサ</td></tr>
<tr><td>0x21</td><td>内部基準電圧</td></tr>
<tr><td>0x3F</td><td>非選択</td></tr>
<tr><td>その他</td><td>設定禁止</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>6</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>7</td><td>CMPLB</td><td>コンペアウィンドウ B 比較条件設定
ウィンドウ B のチャネル比較条件を設定します。比較条件を図 29.6 に示します。
0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0):
ADWINLLB 値 > A/D 変換値
ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1):
A/D 変換値 < ADWINLLB 値または ADWINULB 値 < A/D 変換値
1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0):
ADWINLLB 値 < A/D 変換値
ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1):
ADWINLLB 値 < A/D 変換値 < ADWINULB 値</td><td>R/W</td></tr>
</table>

CMPCHB[5:0]ビット（コンペアウィンドウ B チャネル選択）

CMPCHB[5:0]ビットはコンペアウィンドウ B 条件と比較するチャネルを AN000～AN002, AN005～AN010, AN019～AN022、温度センサ、内部基準電圧から指定します。コンペアウィンドウ B 機能は、ADANSA0、ADANSA1、ADANSB0、ADANSB1 レジスタで選択した A/D 変換チャネルを 16 進数で指定することで有効になります。

CMPCHB[5:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPLB ビット（コンペアウィンドウ B 比較条件設定）

CMPLB ビットはウィンドウ B のチャネル比較条件を指定します。各アナログ入力の比較結果が設定条件と一致すると、対応する ADCMPBSR.CMPSTB フラグは 1 になり、コンペア割り込み要求 (ADC120_CMPBI) が発生します。

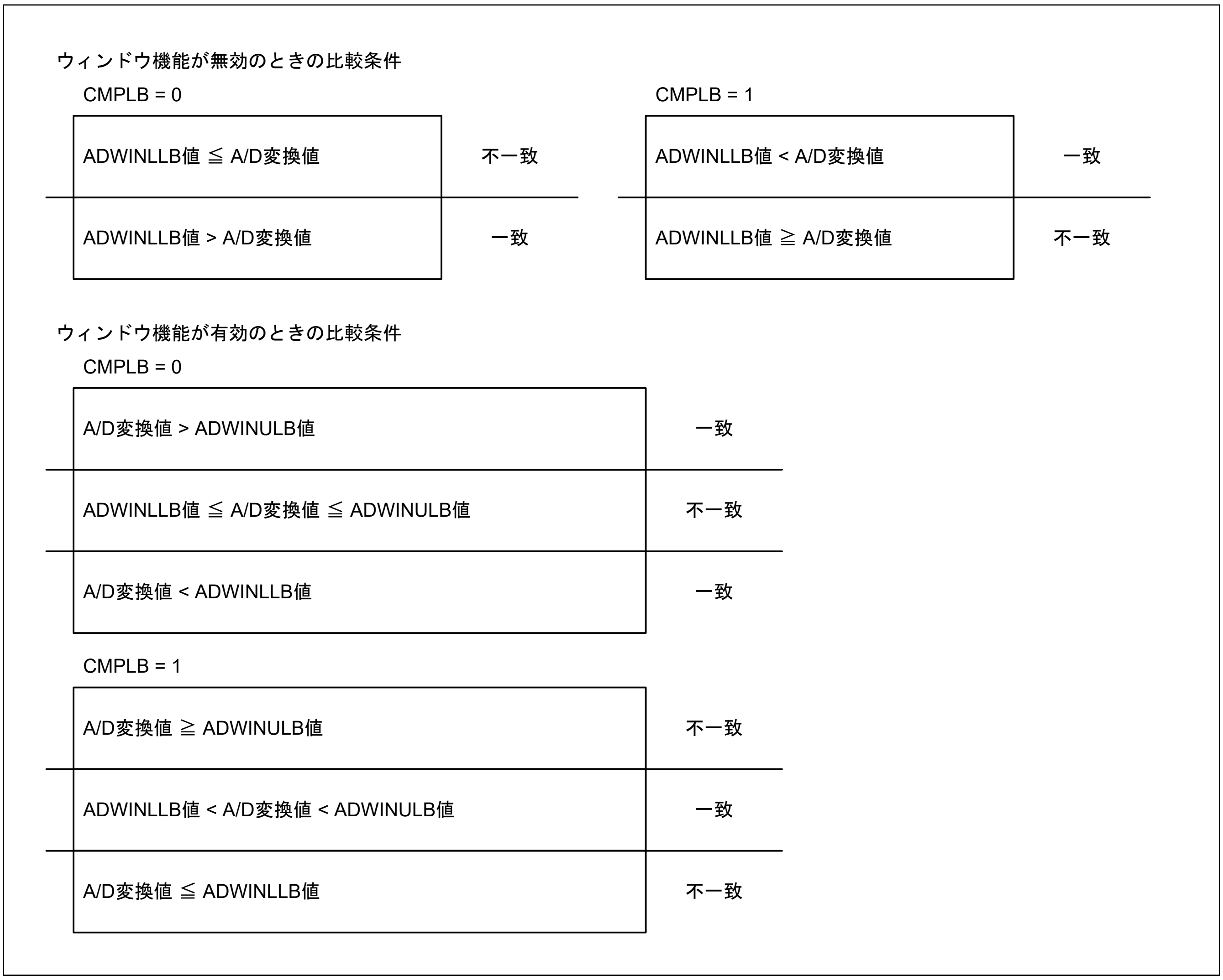


図 29.6　　コンペア機能ウィンドウ B 比較条件の説明

29.2.36　　ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ

Base address:　ADC120 = 0x4005_C000

Offset address:　0x0AC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPSTB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTB	コンペアウィンドウ B フラグ ウィンドウ B の動作が有効 (ADCMPCR.CMPBE = 1) の場合、本ビットはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、内部基準電圧の比較結果を示します。 0:　比較条件不成立 1:　比較条件成立	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTB フラグ（コンペアウィンドウ B フラグ）

CMPSTB フラグはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると、本フラグは 1 になります。

ADCMPCR.CMPBIE ビットが 1 のとき、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPBI) が発生します。

CMPSTB フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、ADCMPBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

29.2.37　ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x08C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MONCOMB	組み合わせ結果モニタ 組み合わせ結果を示します。本ビットは、ウィンドウ A とウィンドウ B の動作がどちらも有効な場合に有効となります。 0:　ウィンドウ A／ウィンドウ B の複合条件が不成立 1:　ウィンドウ A／ウィンドウ B の複合条件が成立	R
3:1	—	読むと 0 が読めます。	R
4	MONCMPA	比較結果モニタ A 0:　ウィンドウ A 比較条件が不成立 1:　ウィンドウ A 比較条件が成立	R
5	MONCMPB	比較結果モニタ B 0:　ウィンドウ B 比較条件が不成立 1:　ウィンドウ B 比較条件が成立	R
7:6	—	読むと 0 が読めます。	R

MONCOMB ビット（組み合わせ結果モニタ）

MONCOMB ビットは、は、ADCMPCR.CMPAB[1:0]ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0]ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0]ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット（比較結果モニタ A）

MONCMPA ビットは、ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき（ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる）

MONCMPB ビット（比較結果モニタ B）

MONCMPB ビットは、ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE = 0 のとき（ADCMPCR.CMPBE = 1→0 に変化すると自動的に 0 になる）

29.2.38 ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ

Base address: ADC120 = 0x4005_C000

Offset address: 0x08A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	HVSEL[1:0]	高電位基準電圧選択 0 0: 高電位基準電圧に AVCC0 を選択 0 1: 高電位基準電圧に VREFH0 を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 基準電圧端子は非選択（内部ノード放電）	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	LVSEL	低電圧基準電圧選択 0: 低電位基準電圧に AVSS0 を選択 1: 低電位基準電圧に VREFL0 を選択	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ADSLP	スリープ 0: 通常動作 1: スタンバイ状態	R/W

HVSEL[1:0]ビット（高電位基準電圧選択）

HVSEL[1:0]ビットは高電位基準電圧に VREFH0、AVCC0、または内部基準電圧 (BGR) を指定します。

設定する場合は、必ず初めに HVSEL[1:0] = 11b に設定してからレジスタ設定を行ってください。

内部基準電圧を選択する際（HVSEL[1:0] = 10b）は、事前に HVSEL[1:0] = 11b とし、高電位側基準電圧経路をディスチャージしてください。ディスチャージ完了後に HVSEL[1:0] = 10b とし、A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b) は、A/D 変換はアナログチャネルとに対して可能で、温度センサ出力と内部基準電圧の A/D 変換は禁止です。高電位基準電圧に内部基準電圧を選択した場合（HVSEL[1:0] = 10b)、低電流モードでのみ機能します（ADCSR.ADHSC = 1)。

LVSEL ビット（低電圧基準電圧選択）

LVSEL ビットは低電位基準電圧に AVSS0 または VREFL0 を指定します。

ADSLP ビット（スリープ）

A/D コンバータをスタンバイ状態に遷移します。ADCSR.ADHSC ビットの変更時にのみ、ADSLP ビットを 1 にしてください。その他の場合、ADSLP ビットを 1 にすることはできません。

ADSLP ビットを 1 にしたら、0 に戻す前に最低 5μs 待ってください。また、ADSLP ビットを 0 にしたら、最低 1μs 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、「29.8.9. ADHSC ビット書き換え手順」を参照してください。

29.3　動作

29.3.1　スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換の動作モードには、3 種類の動作モードおよび 2 種類の変換モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード
- 高速 A/D 変換モード（ADACSR.ADSAC で選択される高速／通常変換モードを含む）
- 低消費電力 A/D 変換モード（ADACSR.ADSAC で選択される高速／通常変換モードを含む）

シングルスキャンモードでは、1 つ以上の指定されたチャネルが 1 回スキャンされます。連続スキャンモードは指定した 1 チャネル以上のスキャンを、ソフトウェアで ADCSR.ADST ビットを 0 にするまで繰り返し実行するモードです。グループスキャンモードでは、グループ A、B で選択されたチャネルは、各同期トリガに応じたスキャン開始後に、1 回スキャンされます。

シングルスキャンモードおよび連続スキャンモードでは、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。グループスキャンモードでは、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャネル (ANn)、ADANSB0 レジスタと ADANSB1 レジスタで選択したグループ B のアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。A/D 変換に温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可すると (ADCSR.DBLE = 1)、ADSTRGR.TRSA[5:0]ビットで選択した、同期トリガ (ELC, GPT) でのスキャン起動でのみ、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ組み合わせから A/D 変換動作が発生します。通常のダブルトリガモードでの動作に加えて、奇数番号トリガ (ELC_AD00) の A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRA) に格納され、偶数番号トリガ (ELC_AD01) の A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガ組み合わせの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。

ADC12 は他の同期トリガで開始した A/D 変換の間に生じる同期トリガを無視します。

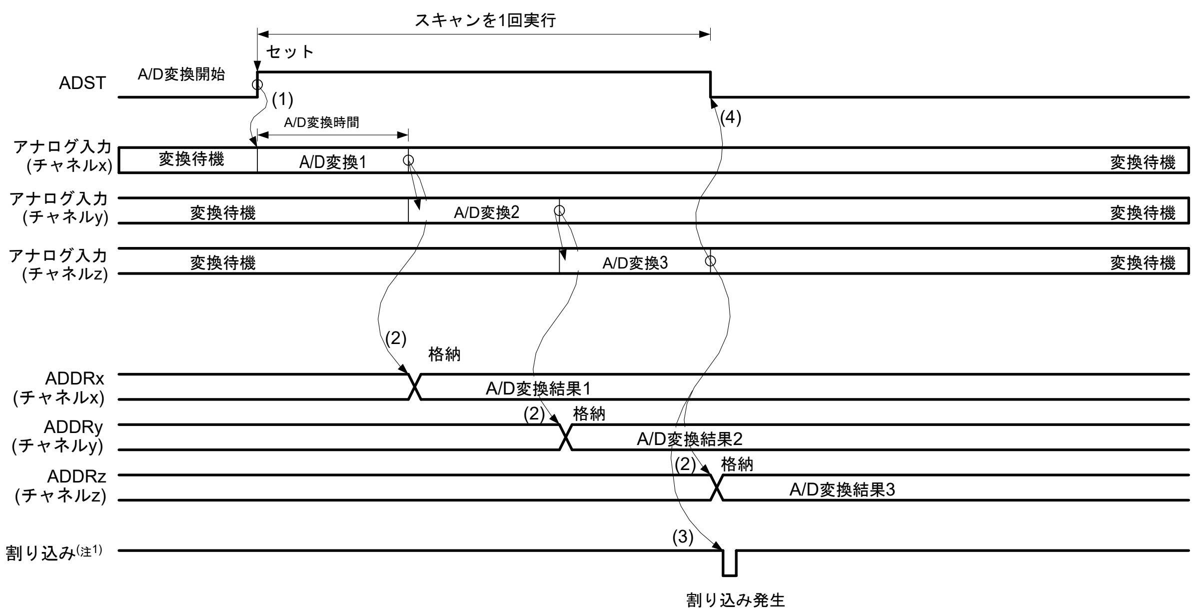
ADSHCR.SHANS[2:0]ビットでチャネル AN000～AN002 のいずれかをチャネル専用サンプル＆ホールド回路に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル＆ホールドを行います。

29.3.2　シングルスキャンモード

29.3.2.1　基本動作（チャネル専用サンプル＆ホールド回路なし）

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC, GPT) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が完了すると自動的に 0 にされ、ADC12 は待機状態になります。



注.　x、y、z (x < y < z) は ADANSA0/1 により選択されたチャネル番号です。
注 1.　ADC120_ADI

図 29.7　シングルスキャンモードの基本動作例（アナログ入力（チャネル x～z）選択）

29.3.2.2　基本動作（チャネル専用サンプル＆ホールド回路あり）

チャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、指定したすべてのチャネルのアナログ入力を 1 回 A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0]ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC, GPT)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングを開始します。
2. サンプル＆ホールド動作後、ADANSA0 レジスタおよび ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) の A/D 変換を、最小のチャネル番号 n から開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。

4. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC120_ADI 割り込み要求が発生します（レジスタ設定なし）。
5. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 クリアされます。続いて、ADC12 は待機状態になります。

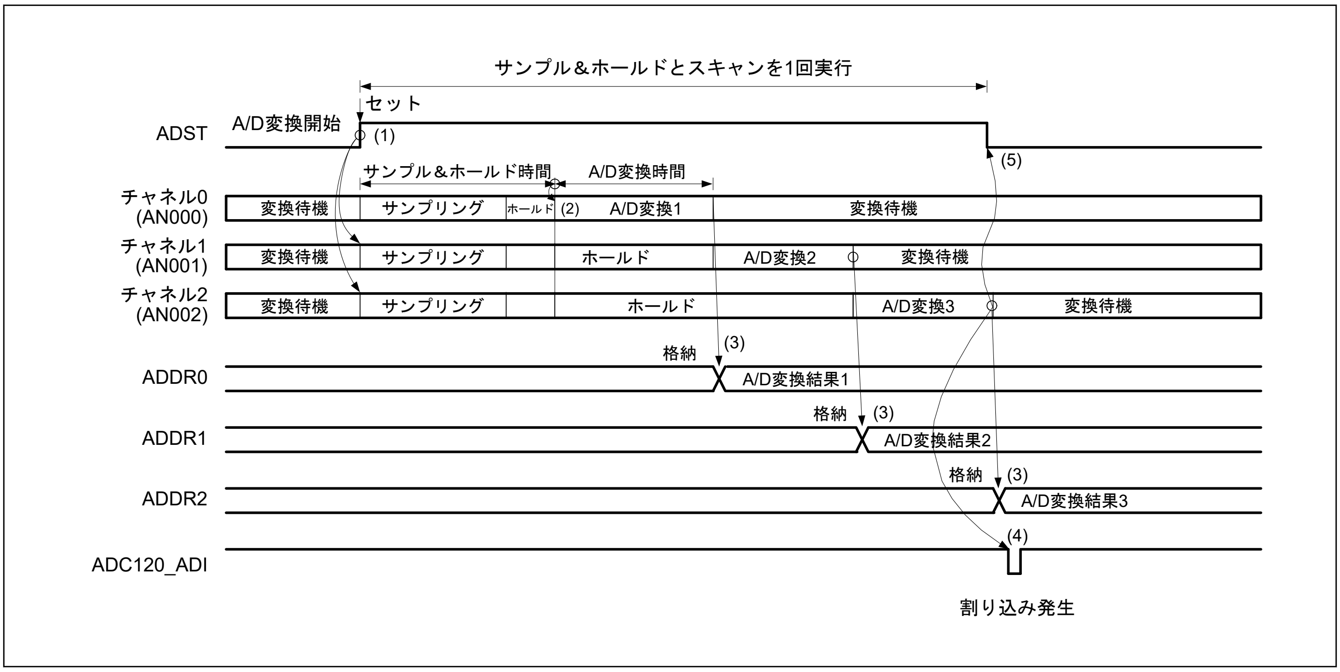
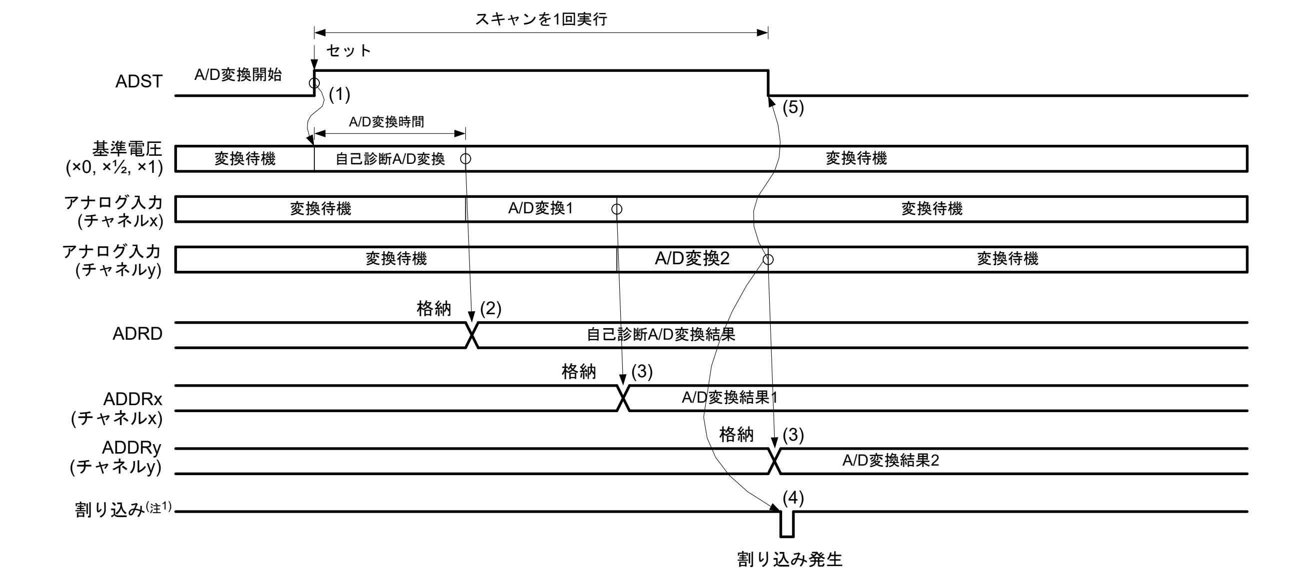


図 29.8　　シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000～AN002 選択）

29.3.2.3　　チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路なし）

チャネル選択と自己診断を選択すると、基準電圧（×0、×1/2、または×1）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ入力、同期トリガ入力 (ELC, GPT)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が完了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求を発生します。
5. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が完了すると自動的に 0 にされ、ADC12 は待機状態になります。



注.　x、y (x < y) は ADANSA0/1 により選択されたチャネル番号です。
注 1.　ADC120_ADI

図 29.9　シングルスキャンモードの基本動作例（アナログ入力（チャネル x、y）選択+自己診断）

29.3.2.4　チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路あり）

チャネル選択とともに自己診断を選択してチャネル専用サンプル＆ホールド回路を使用すると、サンプル＆ホールド実行後に、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）（×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後、選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC, GPT)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプル＆ホールド動作後に、自己診断の A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタおよび ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) の A/D 変換を、最小のチャネル番号 n から開始します。
4. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC120_ADI 割り込み要求が発生します（レジスタ設定なし）。
6. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 クリアされます。続いて、ADC12 は待機状態になります。

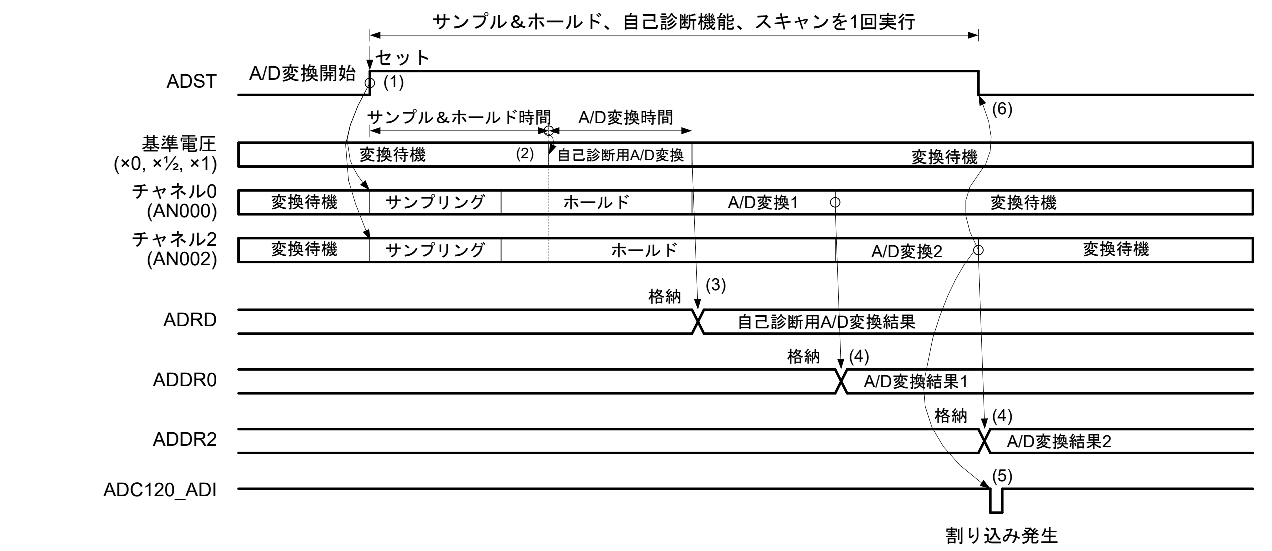


図 29.10　シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、自己診断で AN000 および AN002 選択）

29.3.2.5　温度センサ出力／内部基準電圧選択時の A/D 変換動作

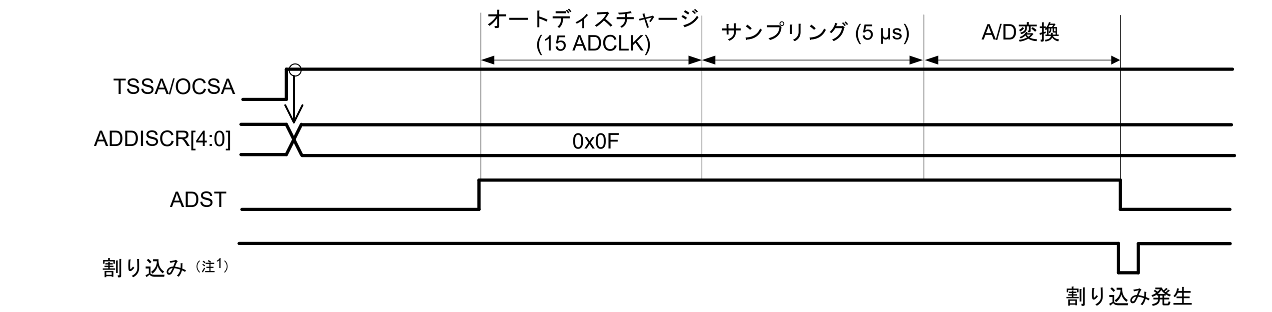
シングルスキャンモードでは、温度センサ出力または内部基準電圧の A/D 変換を行います。

温度センサ出力または内部基準電圧の A/D 変換を選択した場合、ADANSA0 レジスタ、ADANSA1 レジスタの全ビットを 0、ADCSR.DBLE ビットを 0 に設定し、すべてのアナログ入力チャネルを非選択としてください。

温度センサ出力の A/D 変換を選択した場合、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0（非選択）にしてください。内部基準電圧の A/D 変換を選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) を 0（非選択）にしてください。

動作は以下のとおりです。

1. サンプリング時間を 5 μs 以上に設定します。サンプリングステートレジスタ (ADSSTRT/ADSSTRO) および ADCLK 周波数の設定に注意してください。
2. 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後は、ADST ビットを 1 にして変換を開始してください。
3. A/D 変換が完了すると、A/D 変換結果は対応する温度センサデータレジスタ (ADTSDR) または A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC120_ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、A/D 変換が完了すると自動的に 0 になり、ADC12 は待機状態になります。



注 1.　ADC120_ADI

図 29.11　シングルスキャンモードの基本動作例（温度センサ出力または内部基準電圧選択）

29.3.2.6　ダブルトリガモード選択時の A/D 変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC, GPT) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。

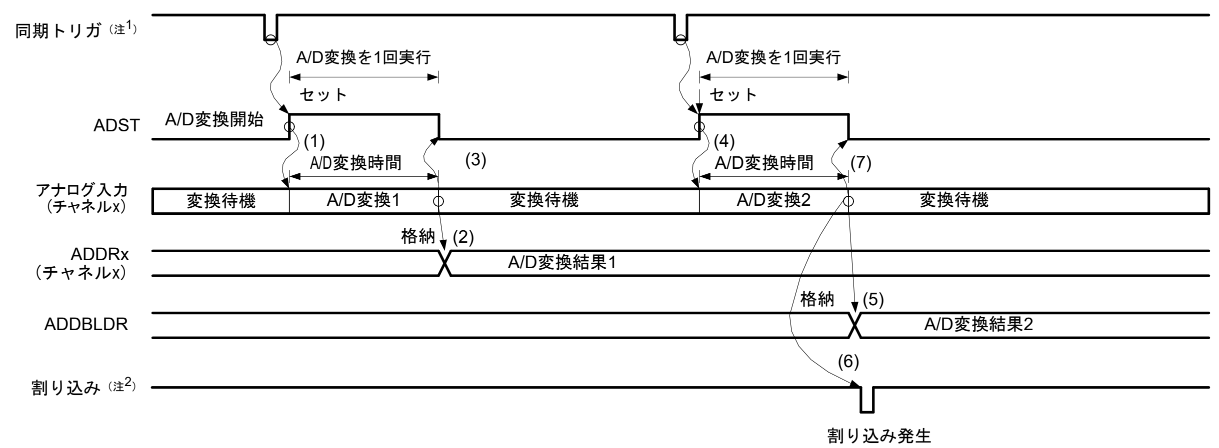
自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は 0 に設定してください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 および ADANSA1 レジスタのチャネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットで同期トリガ (ELC, GPT) を選択してください。加えて、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC, GPT) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. ADCSR.ADST ビットは自動的に 0 になり、ADC12 は待機状態になります。ADC120_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC120_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が完了すると自動的に 0 になり、ADC12 は待機状態になります。



注.　x は ADANSA0/1 により選択されたチャネル番号です。
注 1.　ELC_AD00/ELC_AD01
注 2.　ADC120_ADI

図 29.12　シングルスキャンモードの動作例（ダブルトリガモード選択、アナログ入力（チャネル x）を 2 重化）

29.3.2.7　ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択し、A/D 変換開始トリガとして同期トリガ (ELC_AD00/ELC_AD01) を選択した場合、2 回のシングルスキャン動作が実行されます。

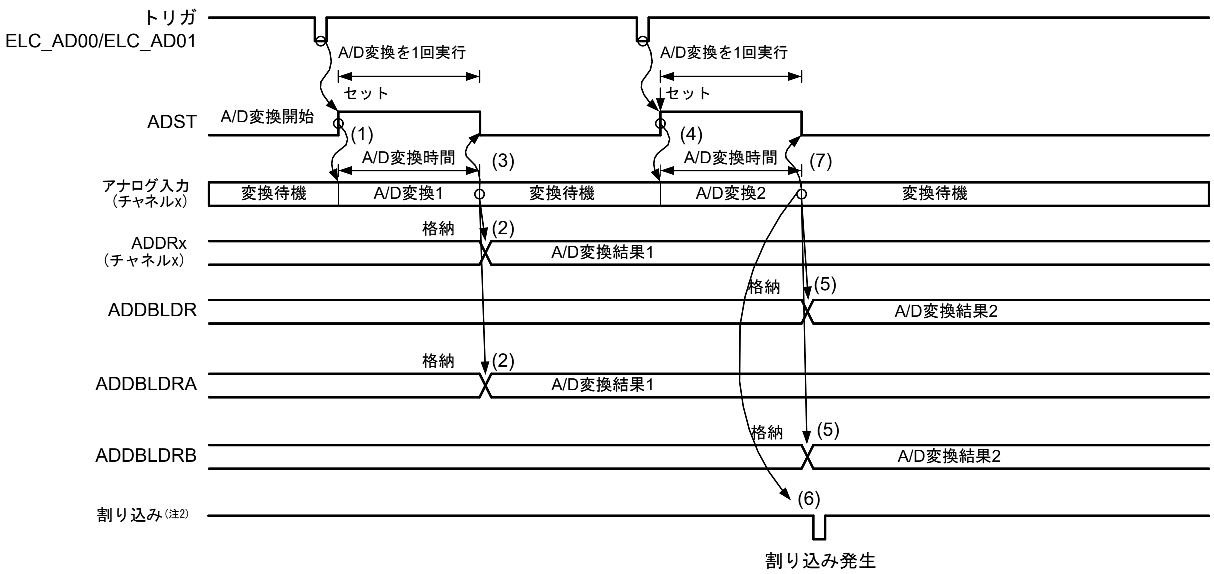
自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 および ADANSA1 レジスタのチャネル選択は無効になります。

拡張ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットを 0x0B に設定することにより同期トリガ組み合わせ ELC_AD00/ELC_AD01 を選択し、ADCSR.EXTRG ビットを 0 に設定し、ADCSR.TRGE ビットを 1 に設定してください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) および A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。（ELC_ADi0 または ELC_ADi1 トリガ (i = 0) がそれぞれ入力された場合は A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。）
3. ADCSR.ADST ビットは自動的に 0 になり、ADC12 は待機状態になります。ADC120_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR) および A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。（ELC_ADi0 または ELC_ADi1 トリガ (i = 0) がそれぞれ入力された場合）
6. ADC120_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 になり、ADC12 は待機状態になります。



注.　x は ADANSA0/1 により選択されたチャネル番号です。
注 1.　ELC_AD00/ELC_AD01
注 2.　ADC120_ADI

図 29.13　アナログ入力（チャネル x）と ELC_AD00/ELC_AD01 の重複選択時のダブルトリガモード拡張動作例

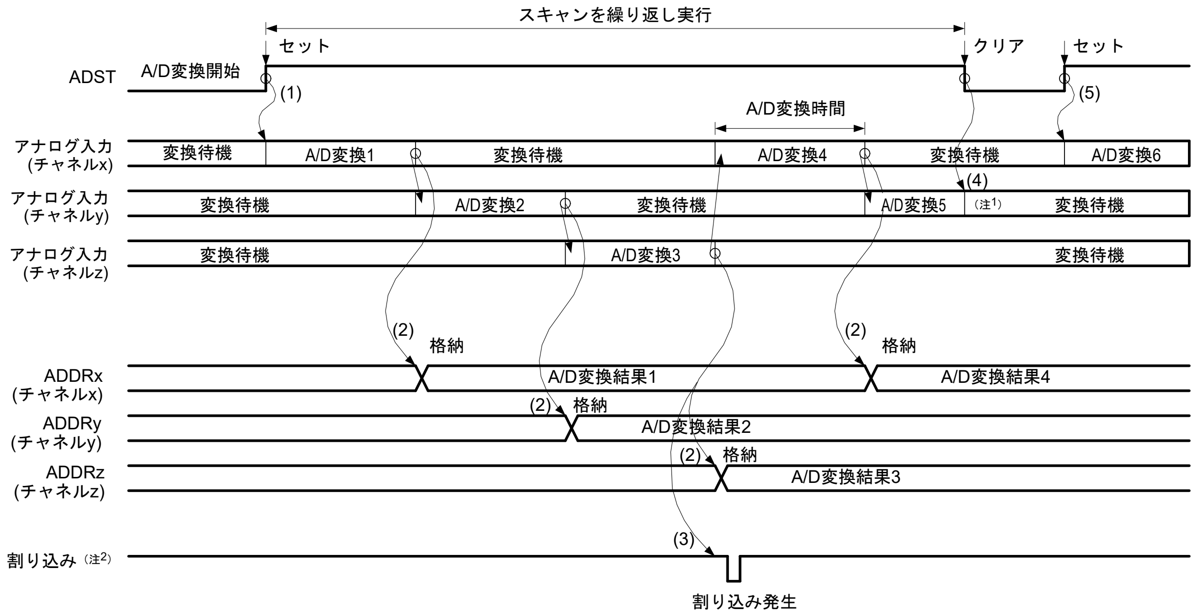
29.3.3 連続スキャンモード

29.3.3.1 基本動作（チャネル専用サンプル＆ホールド回路なし）

連続スキャンモードでは、選択されたチャネルのアナログ入力を繰り返し A/D 変換します。このモードでは、ADEXICR.TSSA ビットおよび ADEXICR.OCSA ビットを 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC, GPT) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求を発生します。また ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。
4. ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST が 1（A/D 変換開始）の状態の間は (2)〜(3) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
5. その後、ADCSR.ADST ビットを 1（A/D 変換開始）にすると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から再び A/D 変換を開始します。



注. x、y、z (x < y < z) は ADANSA0/1 により選択されたチャネル番号です。
注 1. A/D 変換 5 のデータは無視されます。
注 2. ADC120_ADI

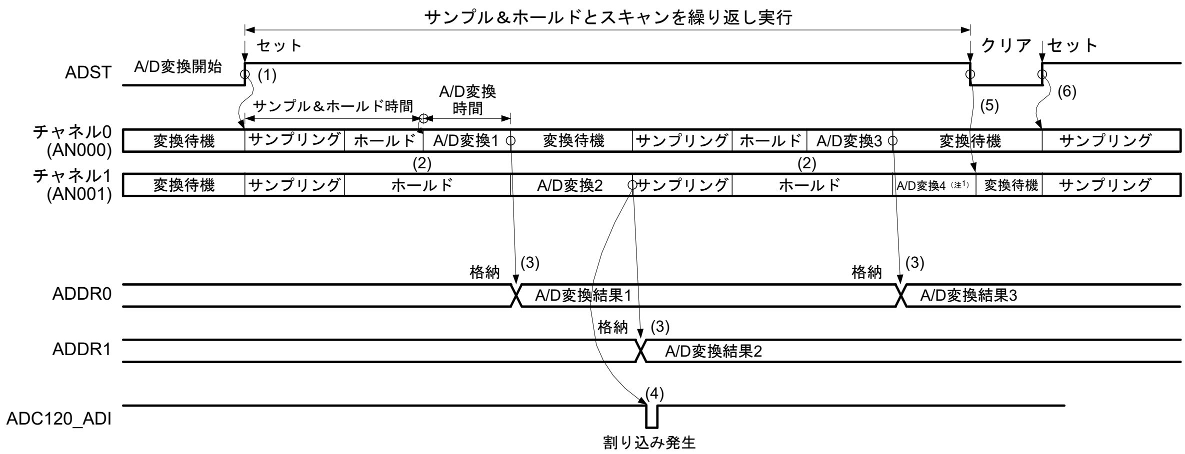
図 29.14 連続スキャンモードの基本動作例（アナログ入力（チャネル x〜z）選択）

29.3.3.2 基本動作（チャネル専用サンプル＆ホールド回路あり）

チャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、指定したすべてのチャネルのアナログ入力を繰り返し A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0]ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC, GPT)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプル＆ホールド動作後、ADANSA0 レジスタおよび ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) の A/D 変換を、最小のチャネル番号 n から開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC120_ADI 割り込み要求が発生します（レジスタ設定なし）。同時に、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングが開始されます。
5. ADST ビットは自動的にクリアされず、ADST ビットが 1 の間は (2)～(4) を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが再び開始されます。



注 1.　A/D 変換 4 のデータは無視されます。

図 29.15　連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 および AN001 選択）

29.3.3.3　チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路なし）

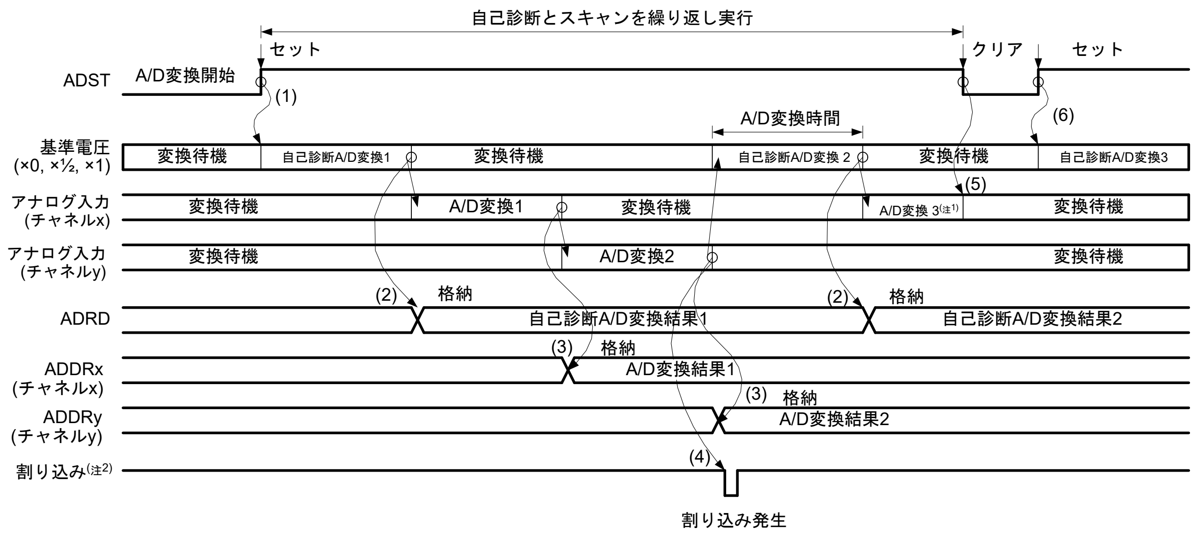
チャネル選択と自己診断を同時に選択すると、ADC12 に供給される基準電圧 （×0、×1/2 または×1）の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換します。以下の各項で示すように、このシーケンスを繰り返します。

連続スキャンモードでは、ADEXICR.TSSA ビットおよび ADEXICR.OCSA ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択としてください。

動作は以下のとおりです。

1. ソフトウェアトリガ入力、同期トリガ入力 (ELC, GPT)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタと ADANSA1 レジスタ で選択したアナログ入力チャネル (ANn) を、変換順序に従って最小のチャネル番号 n から A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求を発生します。同時に、ADC12 は自己診断での A/D 変換を開始し、その後 ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。

5. ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST ビットが 1 の間は (2)〜(4) を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1（A/D 変換開始）に設定されると、再び自己診断での A/D 変換から開始します。



注.　x と y (x < y) は ADANSA0/1 により選択されたチャネル番号です。
注 1.　A/D 変換 3 の変換データは無視されます。
注 2.　ADC120_ADI

図 29.16　連続スキャンモードの基本動作例（アナログ入力（チャネル x、y）選択+自己診断）

29.3.3.4　チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路あり）

チャネルと自己診断を選択し、チャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実行してから、ADC12 に供給する基準電圧 VREFH0（ユニット 0）または VREFH（ユニット 1）（×0、×1/2、または×1）を A/D 変換し、その後、選択したチャネルのアナログ入力を A/D 変換する、という流れを繰り返します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC, GPT)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプル＆ホールド動作後に、自己診断の A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から開始します。
4. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC120_ADI 割り込み要求が発生します（レジスタ設定なし）。同時に、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングが開始されます。
6. ADST ビットは自動的にクリアされず、ADST ビットが 1 の間は (2)〜(5) を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
7. その後、ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが再び開始されます。

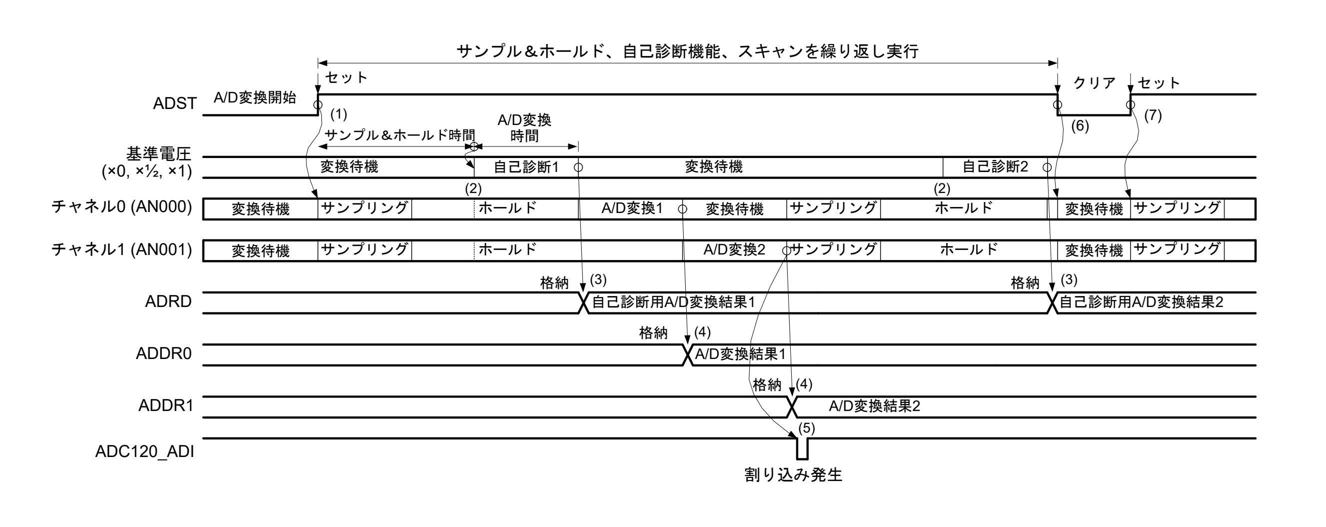


図 29.17 連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路を使用し、自己診断で AN000 と AN001 を選択した場合）

29.3.4 グループスキャンモード

29.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガ (ELC, GPT) をスキャンスタートコンディションとし、グループ A、B のそれぞれで選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。各グループのスキャン動作はシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択します。グループ A、B に対して、2 つのグループの A/D 変換を同時に実行するのを防ぐために、異なるトリガを使用してください。ソフトウェアトリガは使用しないでください。

A/D 変換の対象となるグループ A のチャネルは ADANSA0 レジスタ、ADANSA1 レジスタを用いて選択されます。A/D 変換の対象となるグループ B のチャネルは ADANSB0 レジスタ、ADANSB1 レジスタを用いて選択されます。グループ A、B は同じチャネルを使用できません。

グループスキャンモードでは、ADEXICR.TSSA ビットと (ADEXICR.OCSA) ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にしてください。グループスキャンモードで自己診断を選択した場合は、グループ A、B それぞれのスキャンで自己診断を実施します。

以下のシーケンスは ELC または GPT からの同期トリガを使用したグループスキャンモードの動作を説明します。この例では、グループ A は ELC からの ELC_AD00 トリガで変換開始し、グループ B は ELC からの ELC_AD01 トリガで変換開始します。さらに、ELC_AD00 と ELC_AD01 は対応する ELC.ELSRn レジスタで GPT イベントに対して選択されます。

動作は以下のとおりです。

1. ELC_AD00 によりグループ A のスキャンを開始します。
2. グループ A のスキャン完了時に、ADC120_ADI 割り込みが発生します（レジスタ設定なし）。
3. ELC_AD01 によりグループ B のスキャンを開始します。
4. グループ B のスキャン完了時に、ADCSR.GBADIE ビットが 1（スキャン完了時に ADC120_GBADI 割り込み許可）に設定されていると、ADC120_GBADI 割り込みが発生します。

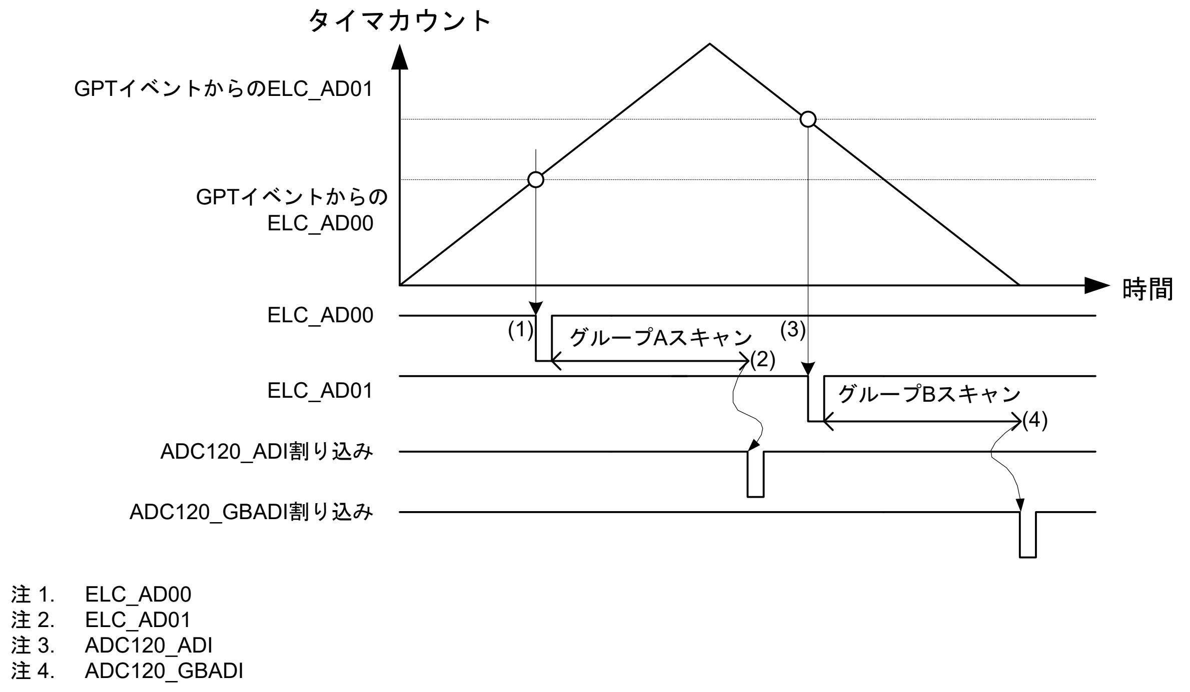


図 29.18　　グループスキャンモードの基本動作例（ELC からの同期トリガ使用）

29.3.4.2　　ダブルトリガモードでの A/D 変換

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (ELC, GPT) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (ELC, GPT) で開始するシングルスキャン動作が 1 回実行されます。

グループスキャンモードにおいて、同期トリガは、グループ A では ADSTRGR.TRSA[5:0]ビットで選択でき、グループ B では ADSTRGR.TRSB[5:0]ビットで選択できます。2 つのグループで同時に A/D 変換することを防止するために、グループ A とグループ B では異なるトリガを使用してください。また、ソフトウェアトリガおよび非同期トリガは使用しないでください。

ADSTRGR.TRSA[5:0]ビットに 0x0B を設定することにより、グループ A の同期トリガとして ELC_AD00/ ELC_AD01 を選択した場合、拡張ダブルトリガモードで動作は進行します。

A/D 変換対象とするチャネルは、ADCSR レジスタの DBLANS[4:0]ビットでグループ A のチャネルを選択し、ADANSB0 レジスタと ADANSB1 レジスタでグループ B のチャネルを選択します。グループ A とグループ B は同じチャネルを使用できません。

グループスキャンモードでは、ADEXICR.TSSA ビットおよび ADEXICR.OCSA ビットを 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択としてください。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

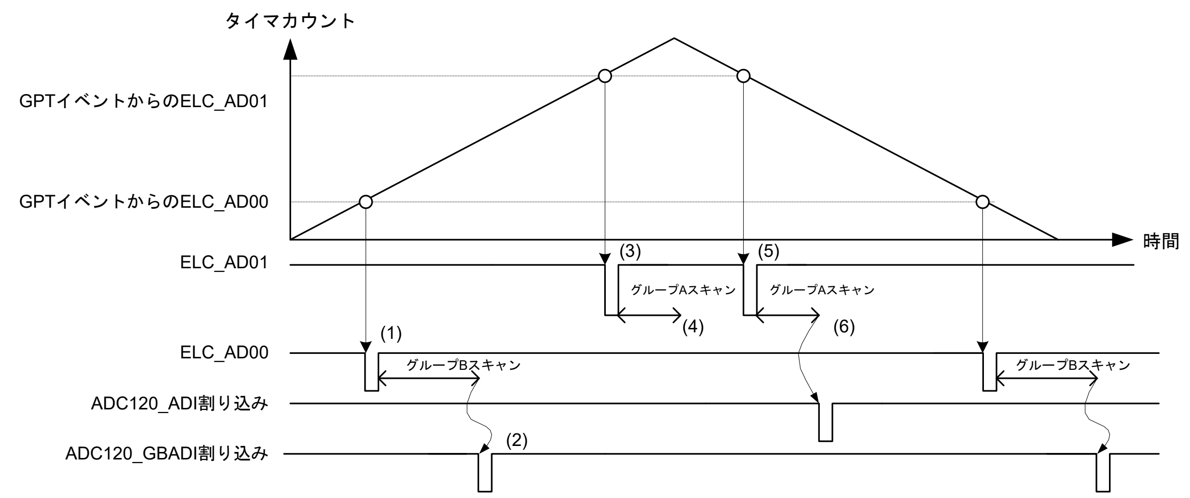
A/D 変換データの 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効になります。

以下に ELC または GPT からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。この例では ELC_AD00 トリガがグループ A の変換の開始に使用され、ELC_AD01 トリガがグループ B の変換の開始に使用されます。さらに、ELC_AD00 と ELC_AD01 は関連する ELC.ELSRn レジスタで GPT イベントのために選択されます。

動作は以下のとおりです。

1. ELC からの ELC_AD00 トリガでグループ B のスキャンを開始します。
2. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1（スキャン終了時 ADC120_GBADI 割り込み許可）に設定されていると、ADC120_GBADI 割り込みが発生します。
3. 1 回目の ELC_AD01 トリガでグループ A の 1 回目のスキャンを開始します。

4. グループ A の 1 回目のスキャン完了時は、変換結果を対応する A/D データレジスタ y (ADDRy) に格納し、ADC120_ADI 割り込み要求は発生しません。
5. 2 回目の ELC_AD01 トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン完了時は、変換データを ADDBLDR に格納します。ADC120_ADI 割り込みが発生します。



注 1.　ELC_AD00
注 2.　ELC_AD01
注 3.　ADC120_ADI
注 4.　ADC120_GBADI

図 29.19　グループスキャンモードでダブルトリガモードを使用する場合の基本動作例（ELC からの同期トリガ使用時）

29.3.4.3　グループ優先動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを 1 にすると、グループ優先動作を行います。グループの優先度は、グループ A > グループ B の順となります。

ADGSPCR レジスタの PGS ビットを 1 にする場合、図 29.20 に記載された手順に従い、設定を実行してください。フローチャート以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、B の A/D 変換中に発生したトリガ入力は無視され、各グループの A/D 変換動作は、シングルスキャンモードと同じ動作になります。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループの A/D 変換動作を中断して、優先グループの A/D 変換動作を行います。

ADGSPCR.GBRSCN ビットが 0 のとき、優先グループの A/D 変換動作終了後、低優先グループは待機状態となります。また A/D 変換中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが 1 のとき、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を再実行します。また優先グループの A/D 変換中に発生した低優先グループのトリガ入力は有効となり、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を実行します。

表 29.22 に ADGSPCR.GBRSCN ビットの設定と A/D 変換中のトリガ入力時の動作をまとめます。

ADGSPCR.GBRP ビットに 1 を設定したとき、最も優先度の低いグループの A/D 変換動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択してください。各トリガは互いに異なるトリガを選択する必要があります。ADGSPCR.GBRP ビットを 1 に設定する場合、ADSTRGR.TRSB[5:0]ビットを 0x3F にしてください。

スキャン対象とするチャネルは、「29.3.4. グループスキャンモード」に記載のレジスタで選択します。

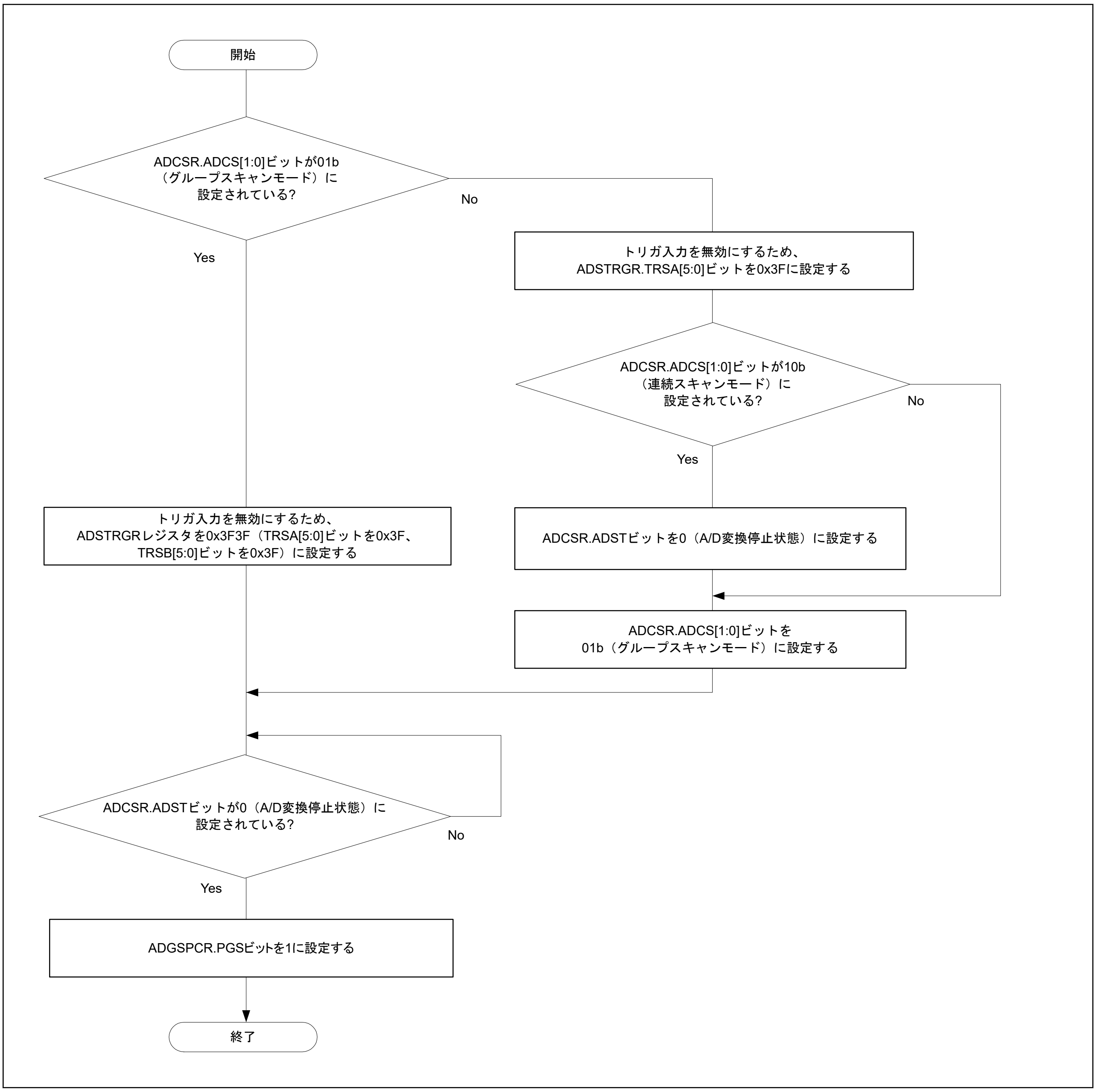


図 29.20　　ADGSPCR.PGS ビット設定時のフローチャート

表 29.22　　ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

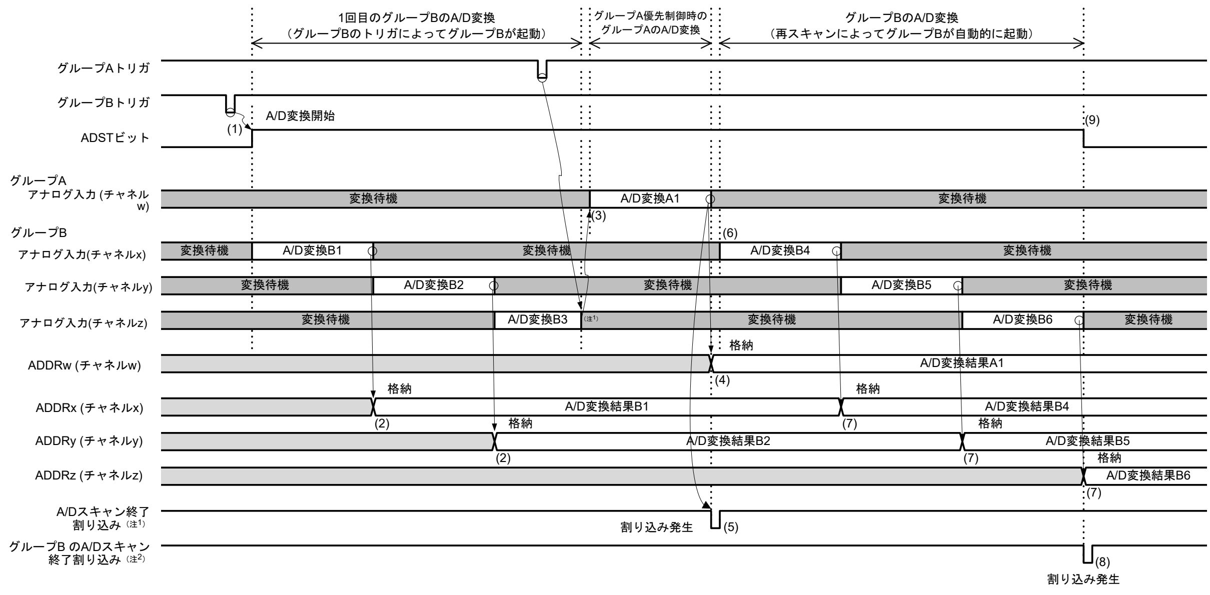
A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を行います
グループ B の A/D 変換中	グループ A トリガ入力	グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始	• グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始 • グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

(1)　2 グループのグループ優先動作（ADGSPCR.PGS = 1 設定）

動作例 1-1～1-3 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

動作例 1-1「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中にグループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換が停止します。その後、ADANSA0、ADANSA1 レジスタで選択したグループ A のアナログ入力チャネルを最小のチャネル番号 n から A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. ADC120_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRSCN ビットが 1（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n から再度グループ B の A/D 変換動作を開始します。
7. チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後に割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
9. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



注.　w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1.　ADC120_ADI
注 2.　ADC120_GBADI

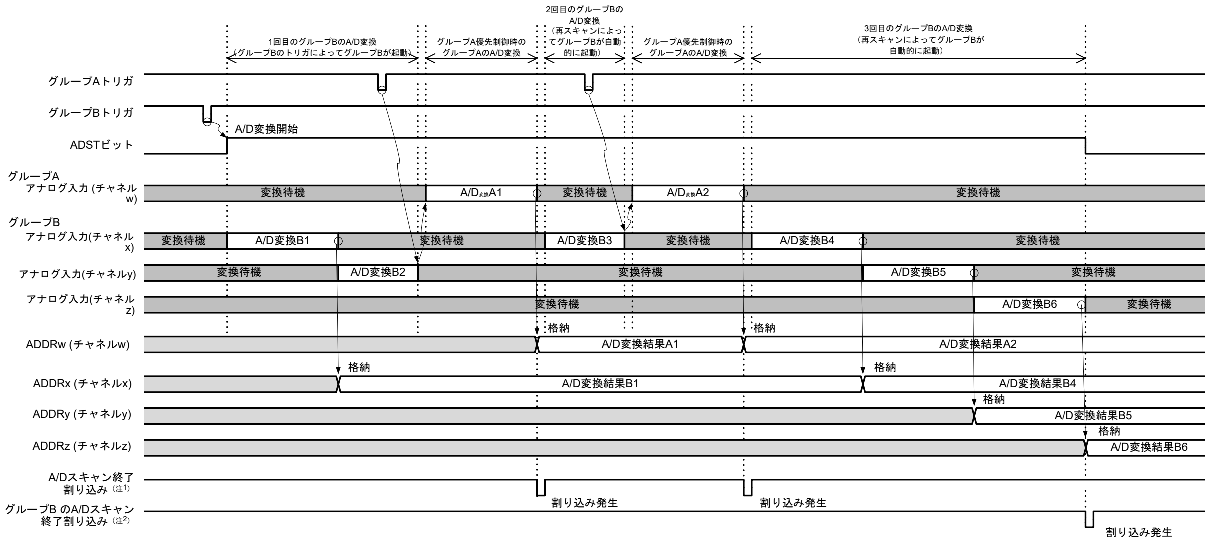
図 29.21　グループ優先動作の例 1-1：グループ B スキャン中のグループ A トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

動作例 1-2「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

図 29.22 にグループ B 再スキャン動作中に、グループ A のトリガが入力された場合を示します。

再スキャン動作中であっても、グループ A のトリガが入力されると、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を開始します。グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。

ADCSR.ADST ビット、A/D 変換結果は A/D データレジスタ y (ADDRy) への格納、割り込み要求の発生は、動作例 1-1 と同じ動作です。



注.　w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1.　ADC120_ADI
注 2.　ADC120_GBADI

図 29.22　グループ優先動作の例 1-2：グループ B 再スキャン中のグループ A トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

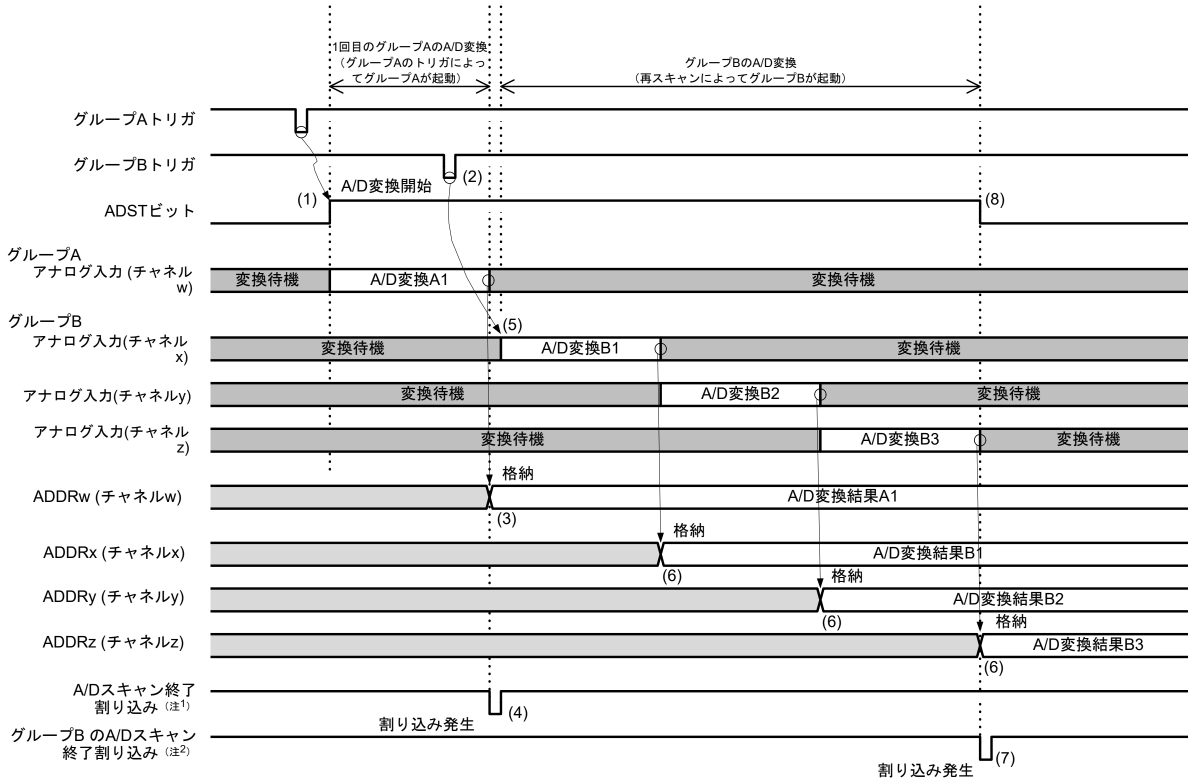
動作例 1-3「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが 1（グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが 0 に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガは全て無効となります。

1. グループ A のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したグループ A のアナログ入力チャネルを最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ A の A/D 変換中に、グループ B のトリガ入力が入力されると、グループ B は A/D 変換実行可能状態になります。
3. グループ A の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
4. ADC120_ADI 割り込み要求が発生します。
5. グループ A の A/D 変換終了後、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0、ADANSB1 レジスタで選択したグループ B のアナログ入力チャネルを最小のチャネル番号 n からグループ B の A/D 変換動作を開始します。
（グループ B の A/D 変換中にグループ A のトリガが入力されると、動作例 1-1 と同じくグループ A の A/D 変換動作を開始し、グループ A の A/D 変換終了後、グループ B の A/D 変換動作を開始します。）
6. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
7. グループ B の A/D 変換終了後、ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後の割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。

8. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



注.　w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。

注 1.　ADC120_ADI

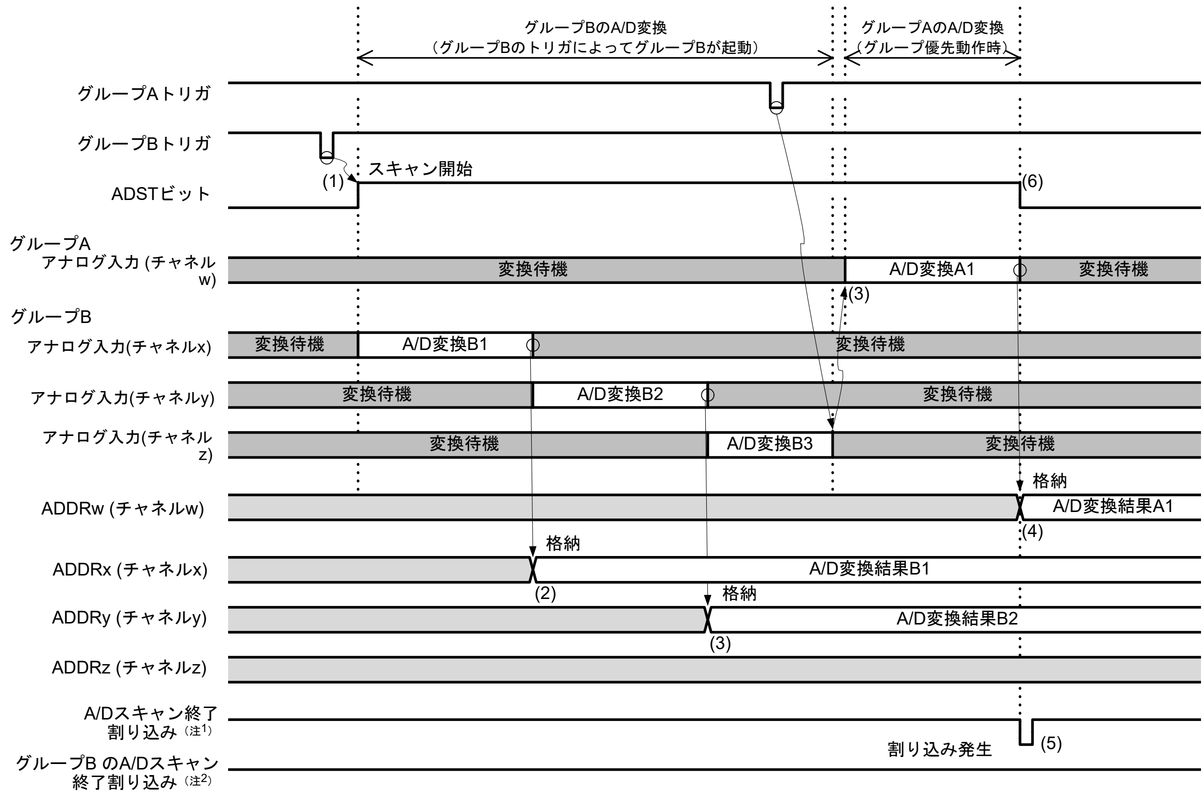
注 2.　ADC120_GBADI

図 29.23　グループ優先動作の例 1-3：グループ A スキャン中のグループ B トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

動作例 1-4 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合）

動作例 1-4「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n からグループ A の A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは、グループ A の A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ B は、以降のグループ B トリガ入力まで A/D 変換を行いません。



注.　w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1.　ADC120_ADI
注 2.　ADC120_GBADI

図 29.24　グループ優先動作の例 1-4：グループ B スキャン中のグループ A トリガ入力、再スキャンなし（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合）

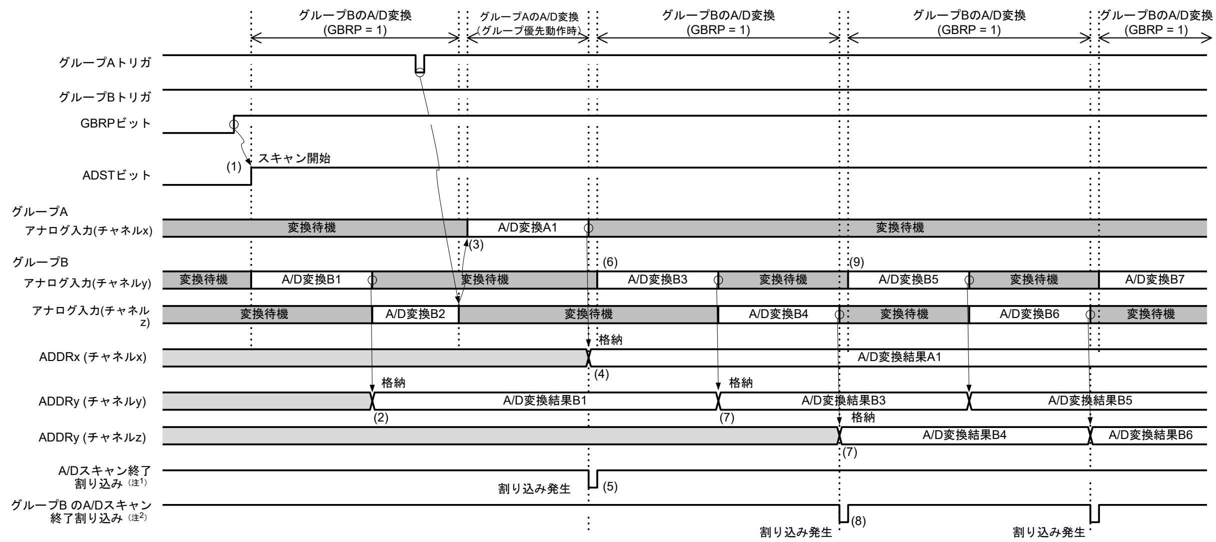
動作例 1-5 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRP = 1 の場合）

動作例 1-5「グループ B のシングルスキャン連続動作」

1. ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが 1（A/D 変換開始）になり、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したままグループ B の A/D 変換動作を中断し、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n からグループ A の A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRP = 1（シングルスキャン連続動作する）に設定されていると、ADCSR.ADST ビットを 1（A/D 変換開始）に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n から再度グループ B の A/D 変換動作を開始します。
7. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後に割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。

9. ADGSPCR.GBRP = 1（シングルスキャン連続動作する）に設定されていると、ADCSR.ADST ビットを 1（A/D 変換開始）に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号 n から再度グループ B の A/D 変換動作を開始します。

ADGSPCR.GBRP ビットが 1 になっている間は、6～9 の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、図 29.36 の手順に従ってください。



注.　x、y、および z (y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1.　ADC120_ADI
注 2.　ADC120_GBADI

図 29.25　グループ優先動作の例 1-5：グループ B のシングルスキャン連続動作（ADGSPCR.GBRP = 1 の場合）

注.　グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

29.3.5 コンペア機能（ウィンドウ A、ウィンドウ B）

29.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャネルしか選択できないという制限が挙げられます。

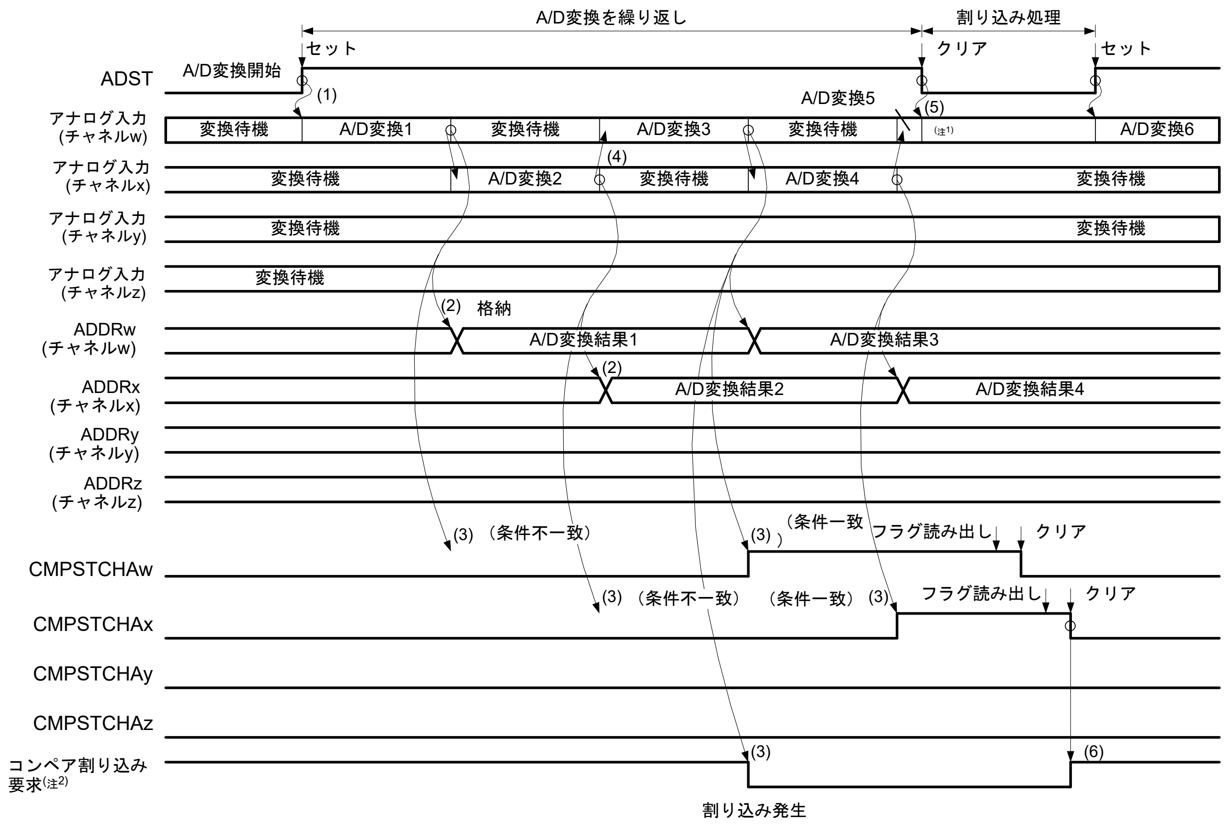
本項では、連続スキャンモードとコンペア機能を組み合わせた動作例を示します。

動作は以下のとおりです。

1. ソフトウェア、同期トリガ (ELC, GPT) または非同期トリガ入力によって ADCSR.ADST ビットを 1（A/D 変換開始）にした場合、選択されたチャネルの A/D 変換を開始します。温度センサおよび内部基準電圧は同時選択できません。さらに、内部基準電圧が高電位基準電圧に選択されている場合、温度センサ出力または内部基準電圧の A/D 変換は禁止です。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y（ADDRy、ADTSDR、または ADOCDR）に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSRy または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を、設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
3. 比較の結果、ウィンドウ A は、ADCMPLR0/1 または ADCMPLER レジスタで設定した条件と一致したとき、コンペアウィンドウ A のフラグ（ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、ADCMPSER.CMPSTTSA、または ADCMPSER.CMPSTOCA）が 1 になります。このとき、ADCMPCR.CMPAIE

ビットが 1 に設定されていると、ADC120_CMPAI 割り込み要求が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。このとき、ADCMPCR.CMPBIE ビットが 1 に設定されていると、ADC120_CMPBI 割り込み要求が発生します。

4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC120_CMPAI 割り込みと ADC120_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットを 0（A/D 変換停止）に設定し、コンペアフラグが 1 であるチャネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC120_CMPAI 割り込み要求が解除されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC120_CMPBI 割り込み要求が解除されます。再度比較を実行するには、再度 A/D 変換を開始してください。



注. w、x、y、および z (w < x < y < z) は ADANSA0/1 により選択されたチャネル番号です。
注 1. 変換中のデータは無視されます。
注 2. ADC120_CMPAI

図 29.26 コンペア機能の動作例（アナログ入力（チャネル w~z）を比較）

29.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値および下側基準電圧値をウィンドウ A およびウィンドウ B それぞれに設定します。選択したチャネルの A/D 変換値を上側／下側基準電圧値と比較して、ウィンドウ A およびウィンドウ B の比較条件成立／不成立からイベント条件（A or B、A and B、A exor B）に応じてイベント (ADC120_WCMPM/ADC120_WCMPUM) を出力します。

ウィンドウ A で複数のチャネルを選択し、チャネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、アナログ入力、内部基準電圧、温度センサ出力の中から任意のチャネルを選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャネルを選択することはできません。さらに、内部基準電圧が A/D コンバータの高電位基準電圧に選択されると、内部基準電圧または温度センサ出力は A/D 変換できません。

ウィンドウ B の場合、アナログ入力、内部基準電圧、温度センサ出力の中から 1 つのチャネルを選択できます。さらに、内部基準電圧が高電位基準電圧に選択されると、内部基準電圧または温度センサ出力は A/D 変換できません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b（シングルスキャンモード）であることを確認します。
2. ADCMPANSR0/1 レジスタおよび ADCMPANSER レジスタでウィンドウ A のチャネルを選択します。ADCMPLR0/1 レジスタおよび ADCMPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

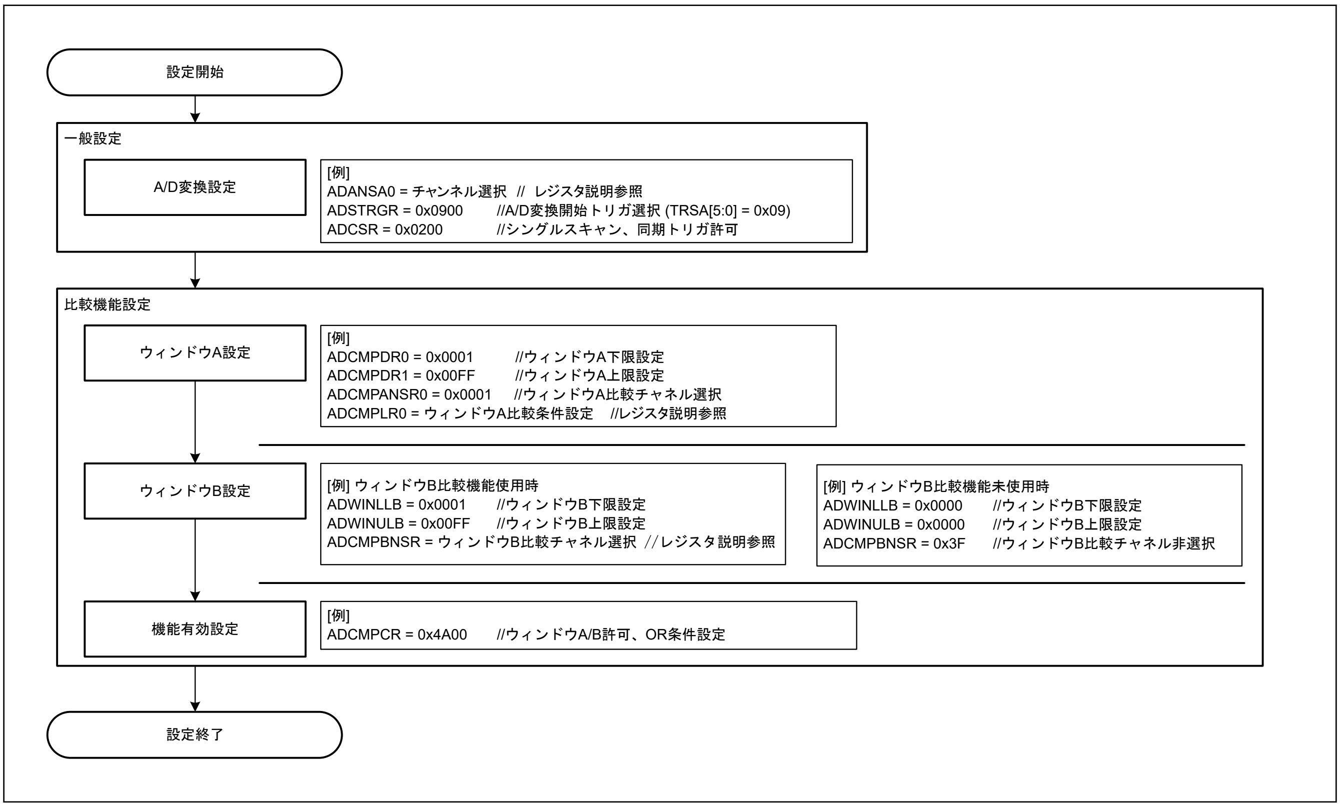


図 29.27　コンペア機能のイベント出力使用時の設定例

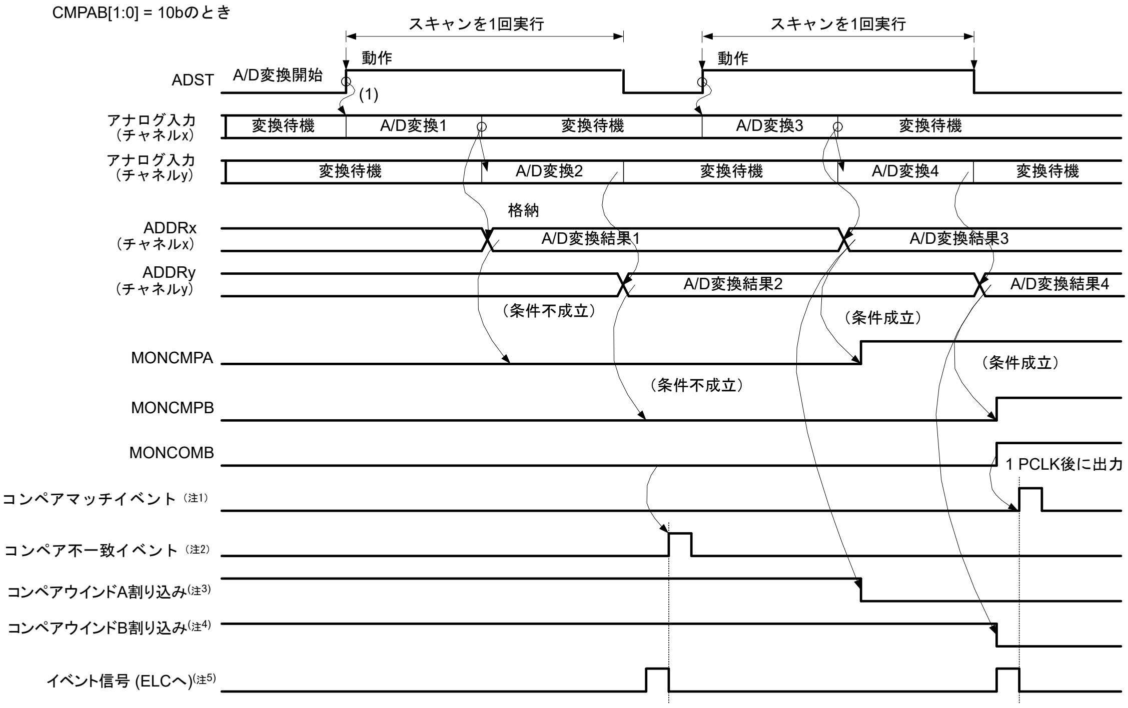
コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効（ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1）にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャネルは「非選択」にしてください (ADCMPBNSR.CMPCHB[5:0] = 0x3F)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください（ADCMPCR.WCMPE = 1、ADWINLLB[15:0] = ADWINULB[15:0] = 0x0000、および ADCMPBNSR.CMPLB = 1）

図 29.28 にコンペア機能のイベント出力動作例を示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC120_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0]の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC120_WCMPM/ ADC120_WCMPUM) を出力します。

注.　一致イベントと不一致イベントは排他的であるため、2 つのイベントを同時に出力することはありません。



注.　x、y (x < y) は ADANSA0/1 により選択されたチャネル番号です。
注 1.　ADC120_WCMPM
注 2.　ADC120_WCMPUM
注 3.　ADC120_CMPAI
注 4.　ADC120_CMPBI
注 5.　ADC120_ADI

図 29.28　コンペア機能のイベント出力の動作例（アナログ入力（チャネル x、y）を比較）

注.　コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0]の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致／不一致を出力します。

注.　ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

29.3.5.3　コンペア機能の制限事項

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒には使用できません。（ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です。）
- 一致／不一致イベント出力を使用する場合はシングルスキャンモードにしてください。
- ウィンドウ A に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ B 動作は禁止されます。
- ウィンドウ B に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ A 動作は禁止されます。
- ウィンドウ A とウィンドウ B に同じチャネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください。

29.3.6　アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC, GPT) による起動、非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、サンプル&ホールド回路による処理、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 29.29 に、ソフトウェアトリガまたは同期トリガ (ELC, GPT) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 29.30 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) には、スキャン変換開始遅延時間 (t_D)、チャネル専用サンプル＆ホールド回路処理時間 (t_{SPLSH})(注1)、断線検出アシスト処理 (t_{DIS})(注2)、自己診断 A/D 変換処理（t_{DIAG} および t_{DSD}）(注3)、A/D 変換処理時間 (t_{CONV})、チャネル専用サンプル＆ホールド回路終了時間 (t_{SHED})(注4)、およびスキャン終了遅延時間 (t_{ED}) が含まれます。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル＆ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整できます。

逐次変換時間 (t_{SAM}) は以下の通りです。

- 12 ビット変換精度において、高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ通常変換モード (ADACSR.ADSAC = 0) を選択している場合、31.5 ステート (ADCLK)
- 12 ビット変換精度において、低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ通常変換モード (ADACSR.ADSAC = 0) を選択している場合、40.5 ステート (ADCLK)
- 12 ビット変換精度において、高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ高速変換モード (ADACSR.ADSAC = 1) を選択している場合、21.5 ステート (ADCLK)
- 12 ビット変換精度において、低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ高速変換モード (ADACSR.ADSAC = 1) を選択している場合、27.5 ステート (ADCLK)

表 29.23 に逐次変換時間 (t_{SAM}) を示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$t_{\mathrm{SCAN}} = t_D + t_{\mathrm{SPLSH}} + (t_{\mathrm{DIS}} \times n) + t_{\mathrm{DIAG}} + (t_{\mathrm{CONV}} \times n) + t_{\mathrm{ED}}$ (注5)

連続スキャンモードの 1 サイクル目のスキャン変換時間は、シングルスキャンの t_{SCAN} から t_{ED} を引き、t_{SHED} を足した時間です。連続スキャンの 2 サイクル目以降のスキャン変換時間は、以下の値に固定されます。

$t_{\mathrm{SPLSH}} + (t_{\mathrm{DIS}} \times n) + t_{\mathrm{DIAG}} + t_{\mathrm{DSD}} + (t_{\mathrm{CONV}} \times n) + t_{\mathrm{SHED}}$ (注5)

注 1.　チャネル専用サンプル＆ホールド回路を使用しない場合は、t_{SPLSH} = 0 となります。

注 2.　断線検出アシストを設定しない場合は、t_{DIS} = 0 となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15 ステート (ADCLK) の自動ディスチャージ期間が入ります。

注 3.　自己診断機能を使用しない場合は、t_{DIAG} = 0、t_{DSD} = 0 となります。

注 4.　チャネル専用サンプル＆ホールド回路を使用しない場合は、連続スキャンモードを有効と見なして、t_{SHED} = 0 となります。シングルスキャンモードとグループスキャンモードでは、スキャン終了遅延時間 (t_{ED}) には t_{SHED} が含まれます。

注 5.　(t_{CONV} × n)：選択したすべてのチャネルの入力サンプリング時間 (t_{SPL}) が同じである場合、この要素は t_{CONV} × n になります。チャネルごとに異なるサンプリング時間の場合、この要素は選択したチャネルごとに設定した t_{SPL} と t_{SAM} の和となります。

表 29.23 にスキャン変換時間を示します。

表 29.23　スキャン変換時間（ADCLK と PCLKB のサイクル数）

項目			シンボル		種別／条件			単位
					同期トリガ(注5)	非同期トリガ	ソフトウェアトリガ	
スキャン開始遅延時間(注1)(注2)	グループ A 優先動作によるグループ A の A/D 変換	グループ B 中断あり（グループ A の A/D 変換要因によってグループ B を停止させた後、グループ A を起動）	t_D		3 PCLKB + 6 ADCLK 5 PCLKB + 3 ADCLK(注6)	—	—	サイクル
		グループ B 中断なし（グループ A の A/D 変換要因によって起動）			2 PCLKB + 4 ADCLK	—	—	
	自己診断有効時の A/D 変換	自己診断 A/D 変換開始時			2 PCLKB + 4 ADCLK	4 PCLKB + 6 ADCLK	6 ADCLK	
	上記以外				2 PCLKB + 4 ADCLK	2 PCLKB + 4 ADCLK	4 ADCLK	
チャネル専用サンプル＆ホールド処理時間(注1)	サンプリング時間		t_{SPLSH}	t_{SH}	連続サンプリングなし：ADSHCR.SSTSH[7:0]設定値（初期値 = 26 × ADCLK） 連続サンプリングあり：0			
	サンプリングから A/D 変換までの待機時間			t_W	12 × ADCLK			
断線検出アシスト処理時間			t_{DIS}		ADNDIS[3:0]設定値（初期値 = 0x00） × ADCLK(注3)			
自己診断変換処理時間(注1)	サンプリング時間(注4)		t_{DIAG}	t_{SPL}	ADSSTRn (n = 0～2, 5～10, L, T, O) 設定値（初期値 = 0x0D）× ADCLK + 0.5 ADCLK			
	逐次変換時間	12 ビット変換精度		t_{SAM}	高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ通常変換モード (ADACSR.ADSAC = 0) 時、31.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ通常変換モード (ADACSR.ADSAC = 0) 時、40.5 ADCLK 高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ高速変換モード (ADACSR.ADSAC = 1) 時、21.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ高速変換モード (ADACSR.ADSAC = 1) 時、27.5 ADCLK			
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間			t_{DED}	2 ADCLK			
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間			t_{DSD}	2 ADCLK			
A/D 変換処理時間(注1)	サンプリング時間(注4)		t_{CONV}	t_{SPL}	ADSSTRn (n = 0～2, 5～10, L, T, O) 設定値（初期値 = 0x0D）× ADCLK + 0.5 ADCLK			
	逐次変換時間	12 ビット変換精度		t_{SAM}	高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ通常変換モード (ADACSR.ADSAC = 0) 時、31.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ通常変換モード (ADACSR.ADSAC = 0) 時、40.5 ADCLK 高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ高速変換モード (ADACSR.ADSAC = 1) 時、21.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ高速変換モード (ADACSR.ADSAC = 1) 時、27.5 ADCLK			
チャネル専用サンプル＆ホールド終了処理時間			t_{SHED}		2 ADCLK			
スキャン終了処理時間(注1)			t_{ED}		1 PCLKB + 3 ADCLK 2 PCLKB + 3 ADCLK(注6)			

注 1.　t_D, t_{SPLSH}, t_{DIAG}, t_{CONV}, t_{ED} の各タイミングについては、図 29.29 および図 29.30 を参照してください。
注 2.　ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までに必要な最大時間です。
注 3.　温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0x0F (15 ADCLK) 固定です。
注 4.　サンプリング時間の設定は電気的特性を満たす必要があります。詳細は、「35.4. ADC12 特性」を参照してください。
注 5.　タイマ出力からトリガ入力までの経路で使われる時間は含みません。
注 6.　ADCLK が PCLKB より速い（PCLKB:ADCLK の周波数比 = 1:2 または 1:4）場合。

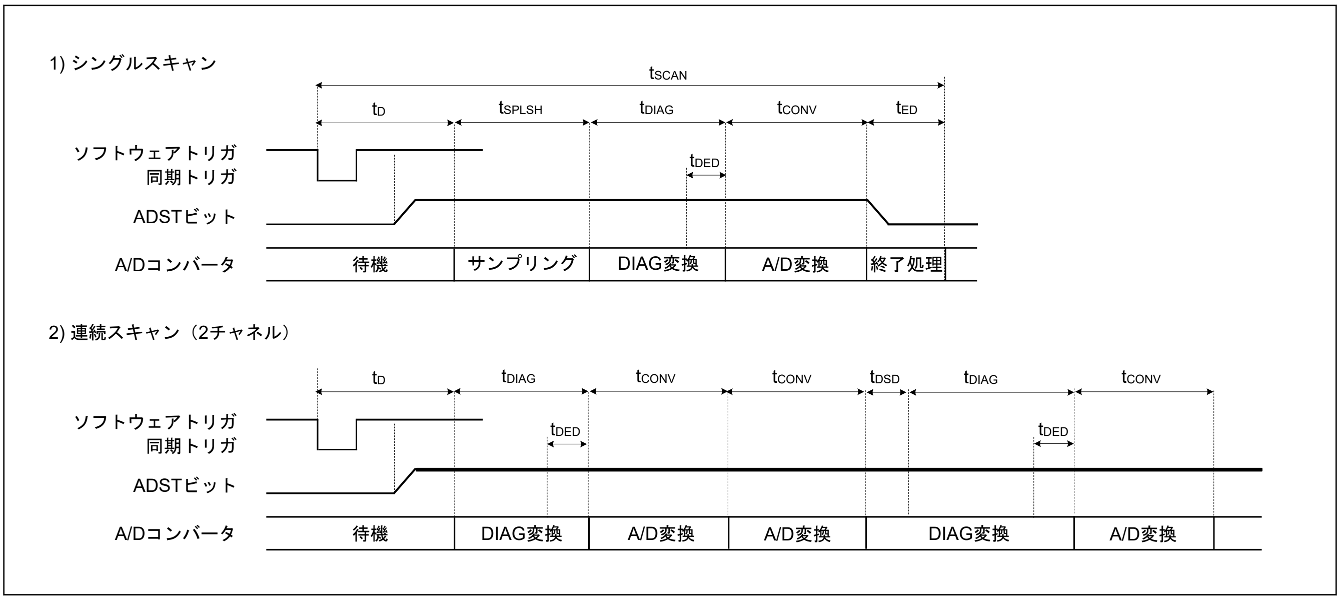


図 29.29　スキャン変換のタイミング（ソフトウェア起動または同期トリガ入力 (ELC) 起動の場合）

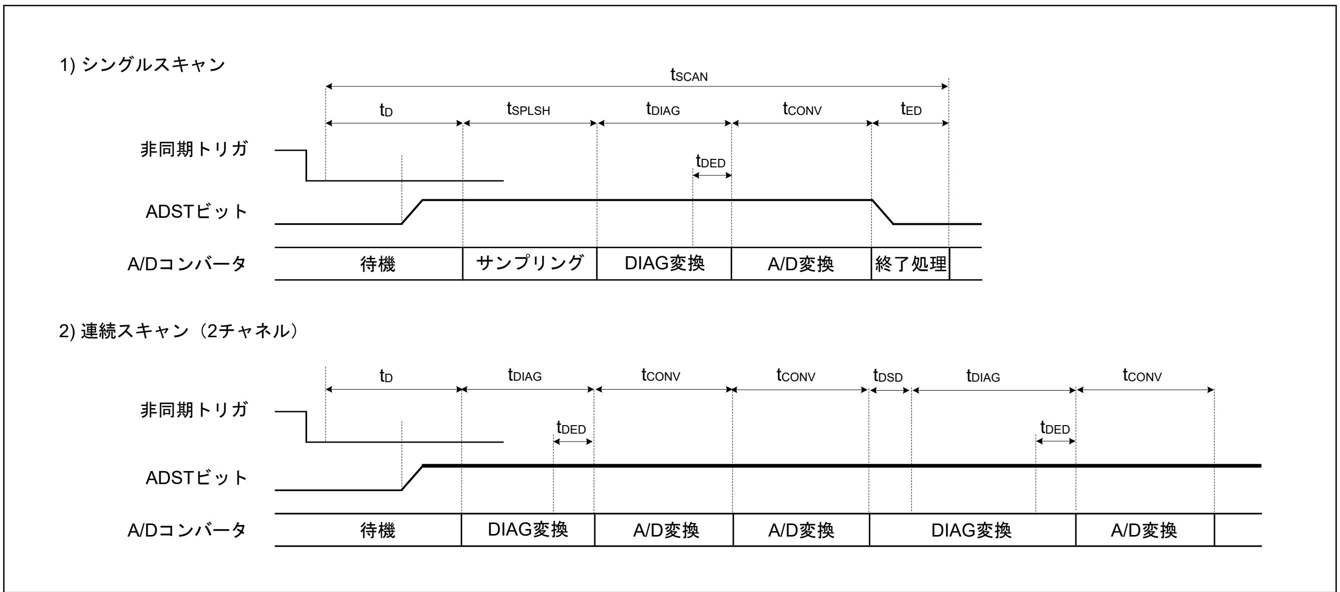


図 29.30　スキャン変換のタイミング（非同期トリガ入力 (ADTRG0) 起動の場合）

29.3.7　A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを 1 にすることにより、CPU、DTC によって A/D データレジスタを読み出す際、自動的に A/D データレジスタ (ADDRy, ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR) を 0x0000 にクリアできます。

この機能を使うことにより、A/D データレジスタ (ADDRy, ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR) の未更新故障を検出することができます。本節では、ADDRy レジスタの自動クリア機能が有効／無効の場合の例を説明します。

- ADCER.ACE ビットが 0（自動クリア禁止）の場合に、A/D 変換結果 (0x0222) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0x0111) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0x0111) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1（自動クリア許可）の場合には、ADDRy = 0x0111 を CPU、DTC により読み出す際、ADDRy レジスタは自動的に 0x0000 にクリアされます。その後、A/D 変換結果 (0x0222) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0x0000) が ADDRy レジスタ値として残りま

す。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0x0000 が汎用レジスタに保持されます。読み出されたデータ値が 0x0000 であることをチェックして、ADDRy レジスタの未更新故障があったことを判断できます。

29.3.8　A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

A/D 変換値加算モードでは、同じチャネルを 1、2、3、4、または 16 回連続で A/D 変換し、その変換値の合計をデータレジスタに格納します。A/D 変換値平均モードでは、同じチャネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに格納します。これらの結果の平均値を使用することで、発生しているノイズ成分のタイプによっては A/D 変換精度を向上させることができます。ただし、この機能は A/D 変換精度が向上することを常に保証できるというわけではありません。

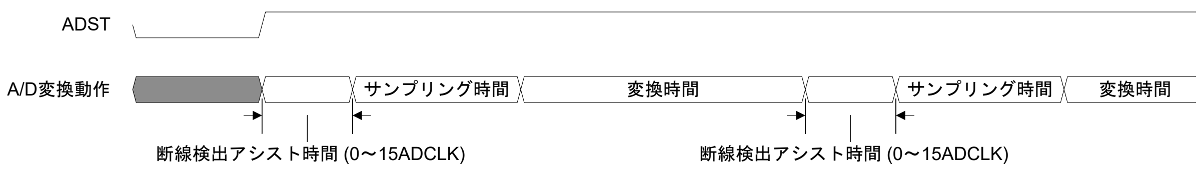
A/D 変換値加算／平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。A/D 変換値加算／平均機能は、ダブルトリガ機能選択チャネルにも使用できます。

加算機能は自己診断にはありません。

29.3.9　断線検出アシスト機能

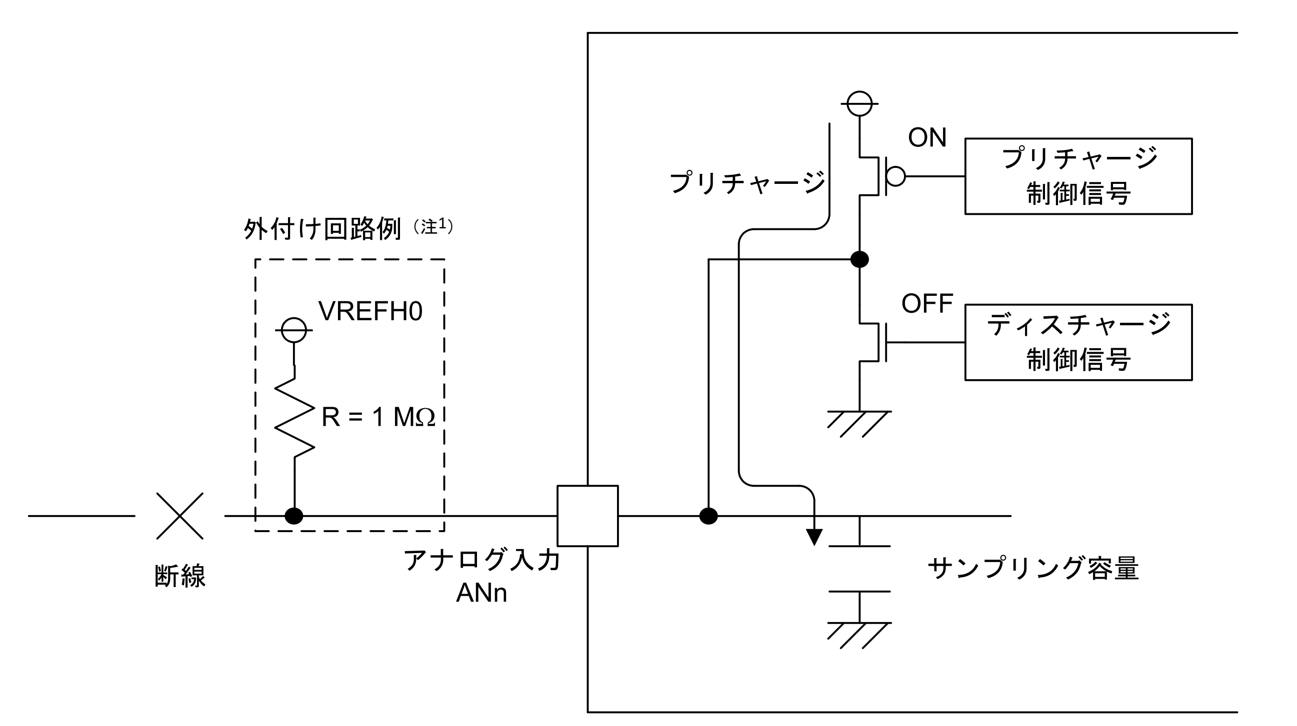
ADC12 は A/D 変換開始前に、サンプリング容量の電荷を所定の状態 VREFH0 または VREFL0 に固定する断線検出アシスト機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 29.31 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 29.32 にプリチャージを選択した場合の断線検出例を示します。図 29.33 にディスチャージを選択した場合の断線検出例を示します。



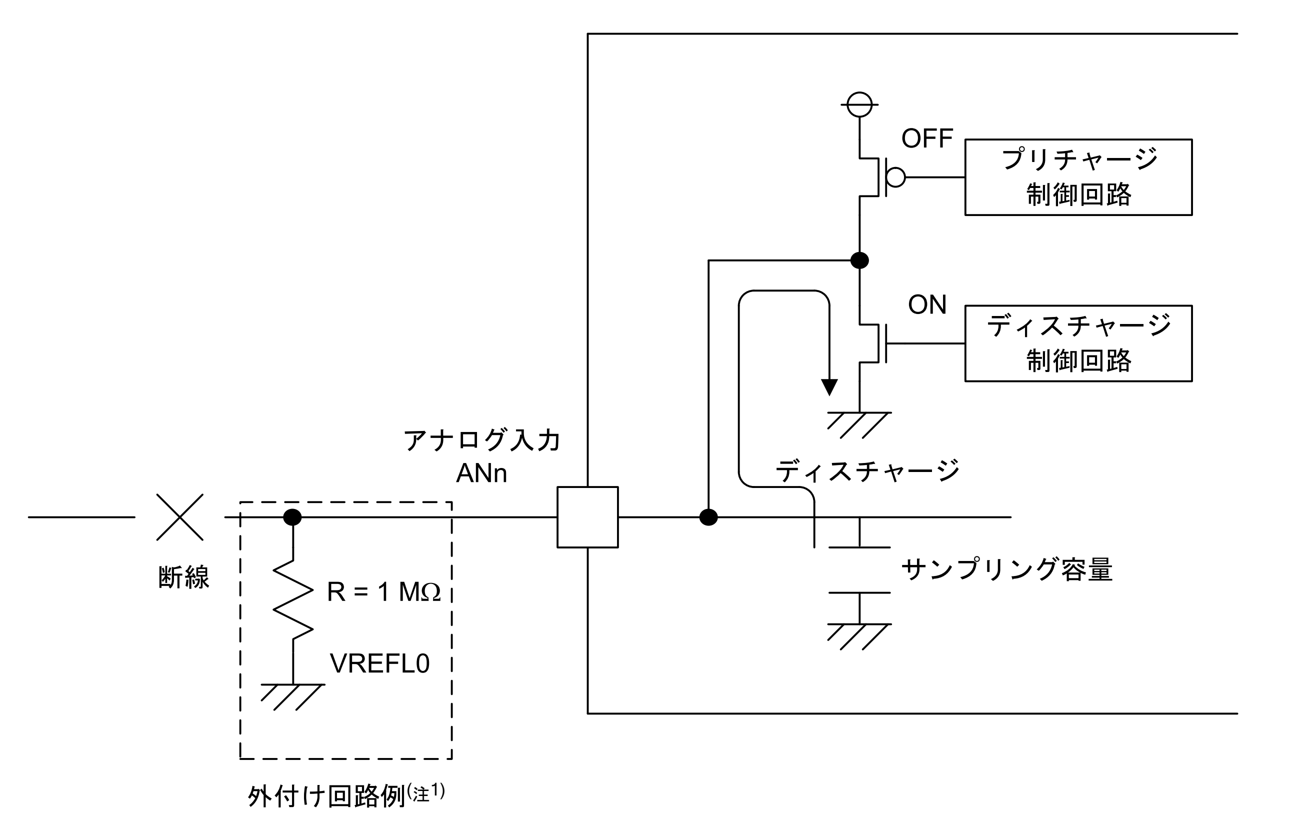
注 1.　ADCLK の 0～15 サイクル

図 29.31　断線検出アシスト機能を使用した場合の A/D 変換動作図



注 1.　断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 29.32　　プリチャージを選択した場合の断線検出例



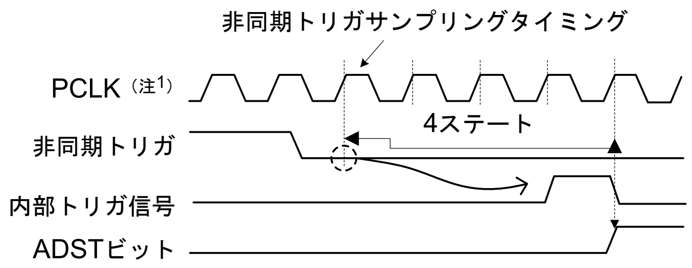
注 1.　断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 29.33　　ディスチャージを選択した場合の断線検出例

29.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、PmnPFS レジスタで端子機能を設定し、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 0x00 に設定し、非同期トリガ（ADTRG0 端子）に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 29.34 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガとして選択できません。端子機能の設定については、「17. I/O ポート」を参照してください。



注 1.　PCLKB

図 29.34　非同期トリガ入力タイミング

29.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ (ELC, GPT) により、A/D 変換を開始できます。そのためには、ADCSR.TRGE ビットを 1 に、ADCSR.EXTRG ビットを 0 にして、ADSTRGR.TRSA[5:0]ビットおよび ADSTRGR.TRSB[5:0]ビットで該当の要因を選択してください。

29.4 割り込み要因および DTC 転送要求

29.4.1 割り込み要求

ADC12 は、CPU へのスキャン終了割り込み要求である ADC120_ADI/ADC120_GBADI 割り込みを発生することができます。また、ADC12 は CPU へのコンペア条件成立割り込み要求である ADC120_CMPAI/ADC120_CMPBI 割り込みを発生することができます。

ADC120_ADI 割り込みは常時発生します。ADC120_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC120_CMPAI および ADC120_CMPBI 割り込みは ADCMPCR.CMPAIE および ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC120_ADI、ADC120_GBADI 発生時に DTC を起動できます。ADC120_ADI、ADC120_GBADI 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 29.24 に割り込み要因と ADC12 に利用可能な ELC イベントを示します。

表 29.24　割り込み要因と ADC12 の ELC イベント

動作			割り込み要求または ELC イベント	割り込み要求	DTC の起動	ELC イベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
		選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
			ADC120_WCMPM	—	✓	✓	ウィンドウ A/B コンペア機能の条件一致で ADC120_WCMPM 発生
			ADC120_WCMPUM	—	✓	✓	ウィンドウ A/B コンペア機能の条件不一致で ADC120_WCMPUM 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	2 回のスキャンの最後に ADC120_ADI 発生
連続スキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	選択したすべてのチャネルのスキャン終了時に ADC120_ADI 発生
		選択	ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
グループスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	グループ A のスキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生
		選択	ADC120_ADI	✓	✓	✓	グループ A のスキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	偶数回のグループ A スキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生

注.　✓ 使用可能
　　— : 使用不可

DTC の設定の詳細は、「15. データトランスファコントローラ (DTC)」を参照してください。

29.5 イベントリンク機能

29.5.1 ELC へのイベント出力動作

ELC は、ADC120_ADI 割り込み要求信号をイベント信号 ADC120_ADI として使用し、事前設定モジュールに対してリンク動作が可能です。ADC120_GBADI 割り込みと ADC120_CMPAI/ADC120_CMPBI 割り込みはイベント信号として使用できません。詳細は表 29.24 を参照してください。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。スキャン終了イベント (ADC120_ADI) は、表 29.24 に示す割り込み出力 (ADC120_ADI) と同じ出力タイミングで 1PCLKB 分の High パルスを出力します。ELC へのコンペア機能一致 (ADC120_WCMPM)／不一致 (ADC120_WCMPUM) イベントは、表 29.24 に示す割り込み出力 (ADC120_ADI) から 1 サイクル (PCLKB) 遅れたタイミングで 1PCLKB 分の High パルスを出力します。

ELC へのコンペア機能一致イベント (ADC120_WCMPM)／不一致イベント (ADC120_WCMPUM) を使用する場合は、シングルスキャンモードに設定してください。

29.5.2 ELC からのイベントによる ADC12 の動作

ADC12 は、ELSRn レジスタで指定された ELC のプリセットイベントにより A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00 信号を選択する
- ELC.ELSR9 レジスタで ELC_AD01 信号を選択する

A/D 変換中に ELC イベントが発生すると、そのイベントは無効です。

29.6 基準電圧の選択

ADC12 は、高電位基準電圧を VREFH0、AVCC0、または内部基準電圧 (BGR)から、低電位基準電圧を VREFL0 または AVSS0 からそれぞれ選択できます。A/D 変換開始前に各基準電圧を設定してください。設定の詳細は、「29.2.38. ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ」を参照してください。

29.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、アナログ入力チャネルに対して A/D 変換が可能ですが、内部基準電圧や温度センサ出力の A/D 変換は禁止です。

1. ADHVREFCNT.HVSEL[1:0]を 11b に設定し、ADC12 の高電位基準電圧経路をディスチャージしてください。
2. ソフトウェア内で 1 µs のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0]を 10b に設定し、内部基準電圧を高電位基準電圧に選択してください。(注1)
4. ソフトウェア内で内部基準電圧が安定するまで待機してから (5 µs)、A/D 変換を実行してください。

注 1. ADC12 には VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) または AVCC0 (ADHVREFCNT.HVSEL[1:0] = 00b) の選択からのディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) のない内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) の選択を無効にする保護機能があります。ディスチャージなしに内部基準電圧が選択されると、ディスチャージが強制設定されます。再度、1 µs 後に内部基準電圧を選択してください。

図 29.35 に内部基準電圧を高電位基準電圧に選択するための手順の波形図を示します。

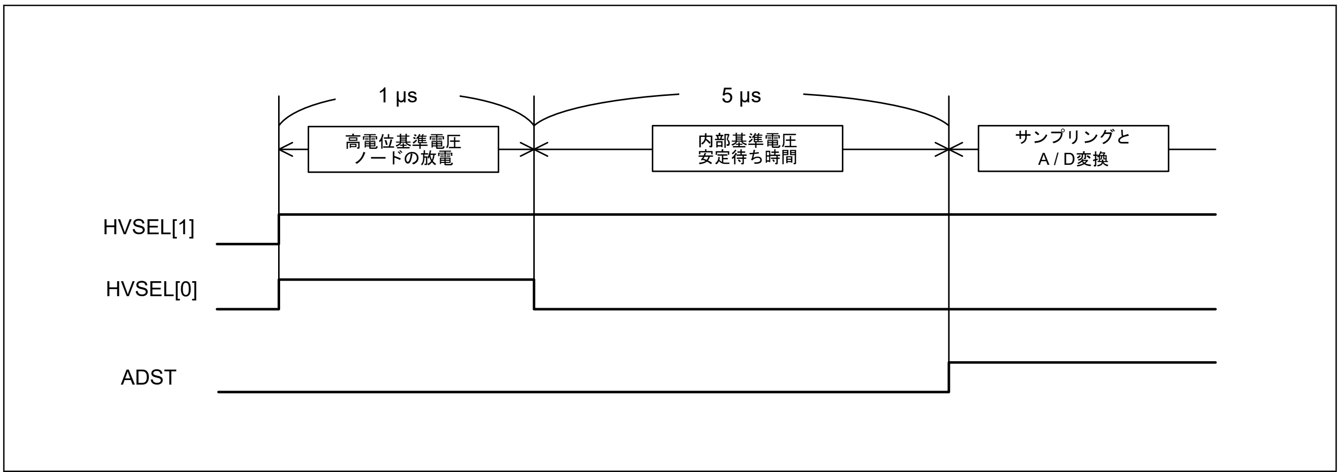


図 29.35　　高電位基準電圧に内部基準電圧を選択する手順

29.8　　使用上の注意

29.8.1　　レジスタ設定時の制限

各レジスタの設定は、ADCSR.ADST ビットが 0 のときに設定してください。

29.8.2　　データレジスタの読み出しに関する制約

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト／ 下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

29.8.3　　A/D 変換停止に関する制約

(1)　A/D 変換停止手順

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、図 29.36 のフローチャートの手順に従ってください。

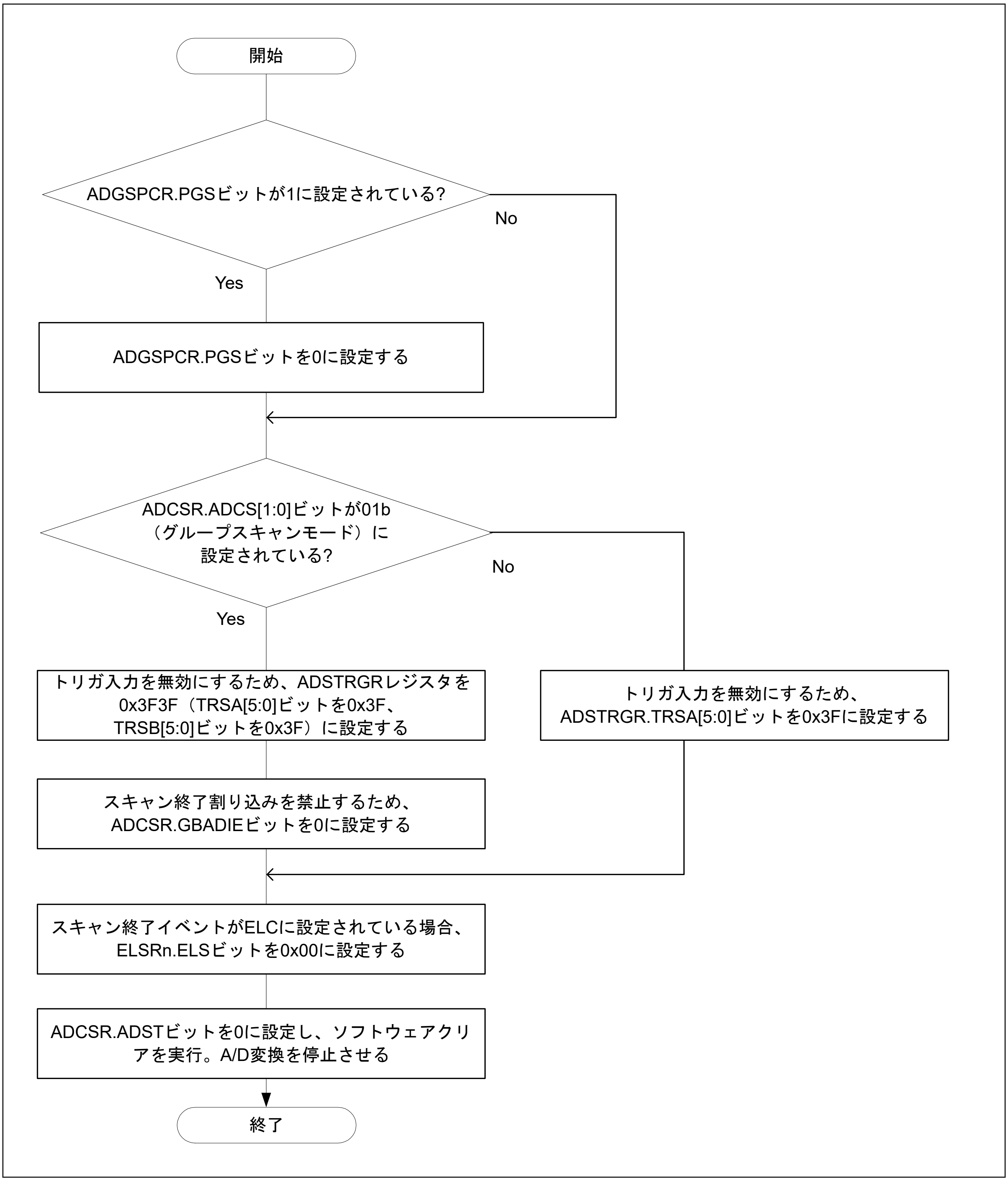


図 29.36　　ソフトウェアによる ADCSR.ADST ビットのクリア手順

ソフトウェアクリア実行後に下記を設定する場合は、2ADCLK 以上のウェイトを入れてください。

- スキャン終了割り込み許可
- イベントリンクコントローラのスキャン終了イベント有効設定
- ソフトウェアでの A/D 変換開始
- トリガ入力有効設定

(2) モード／ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数／偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD ビットを 1 とし ADCER.DIAGVAL[1:0]ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを 0 から 1 に設定するとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ（MONCMPA、MONCMPB、MONCOMB）の初期化は、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを 0 に設定します。

29.8.4 A/D 変換強制停止と再開時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で 、ADCSR.ADST ビットを 1 にして ADC12 のアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを 0 に設定して A/D 変換を強制停止させると、ADC12 のアナログ部が動作を停止するのに、ADCLK で最大 3 クロックの時間を必要とします。

29.8.5 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

29.8.6 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ADC12 の動作禁止／許可を設定できます。ADC12 は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs 以上待ってから A/D 変換を開始してください。詳細は「10. 低消費電力モード」を参照してください。

29.8.7 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを 0 に設定後、ADC12 のアナログ部が停止するまで一定の期間を確保する必要があります。ソフトウェアで ADCSR.ADST ビットをクリアするには、図 29.36 に示す手順に従ってください。その後、ADCLK の 3 サイクル期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

29.8.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ／プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = \left(2^{\text{分解能}} - 1\right) \times \mathrm{Rs} / \left(\mathrm{Rs} + \mathrm{Rp}\right)$$

断線検出アシスト機能は、十分な評価の上、使用してください。

29.8.9 ADHSC ビット書き換え手順

ADC12 をスタンバイ状態にしてから、A/D 変換選択ビット (ADCSR.ADHSC) を 0 から 1、または 1 から 0 に変更してください。ADCSR.ADHSC ビットは下記の手順で変更してください。スリープビット (ADHVREFCNT.ADSLP) を 0 にしてから 1 μs 以上待ってから A/D 変換を開始してください。

1. スリープビット (ADHVREFCNT.ADSLP) を 1 にします。
2. 0.2 μs 以上待ってから A/D 変換選択ビット (ADCSR.ADHSC) を変更してください。
3. 4.8 μs 以上待ってからスリープビット (ADHVREFCNT.ADSLP) を 0 にしてください。

注.　A/D 変換選択ビット (ADCSR.ADHSC) を変更する場合以外でスリープビット (ADHVREFCNT.ADSLP) を 1 にしないでください。

注.　A/D 変換選択ビット (ADCSR.ADHSC) が 1 の場合はスリープビットをリセットしないでください。本ビットを 0 にした後、または動作モードがモジュールストップモードに遷移した後は、ADCSR.ADHSC ビットの書き換え手順に従いスリープビットをリセットしてください。

29.8.10　動作モードおよびステータスビットの制約

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキャンの値、データバッファポインタ、コンペア機能のステータスモニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください。
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作します。
- コンペア機能のステータスモニタビット（MONCMPA、MONCMPB、MONCOMB）は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化されます。

29.8.11　ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけしたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源端子 (AVCC0) はデジタル回路から離して、アナロググランド端子 (AVSS0) を使用してください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に接続してください（単一グランドプレーン接続）。

29.8.12　ノイズ防止の制限事項

アナログ入力端子が過度のサージのような異常電圧により破壊されるのを防ぐために、AVCC0 と AVSS0 間、VREFH0 と VREFL0 間にキャパシタを挿入してください。さらに、図 29.37 に示されるように、アナログ入力端子を保護するために、保護回路を接続してください。

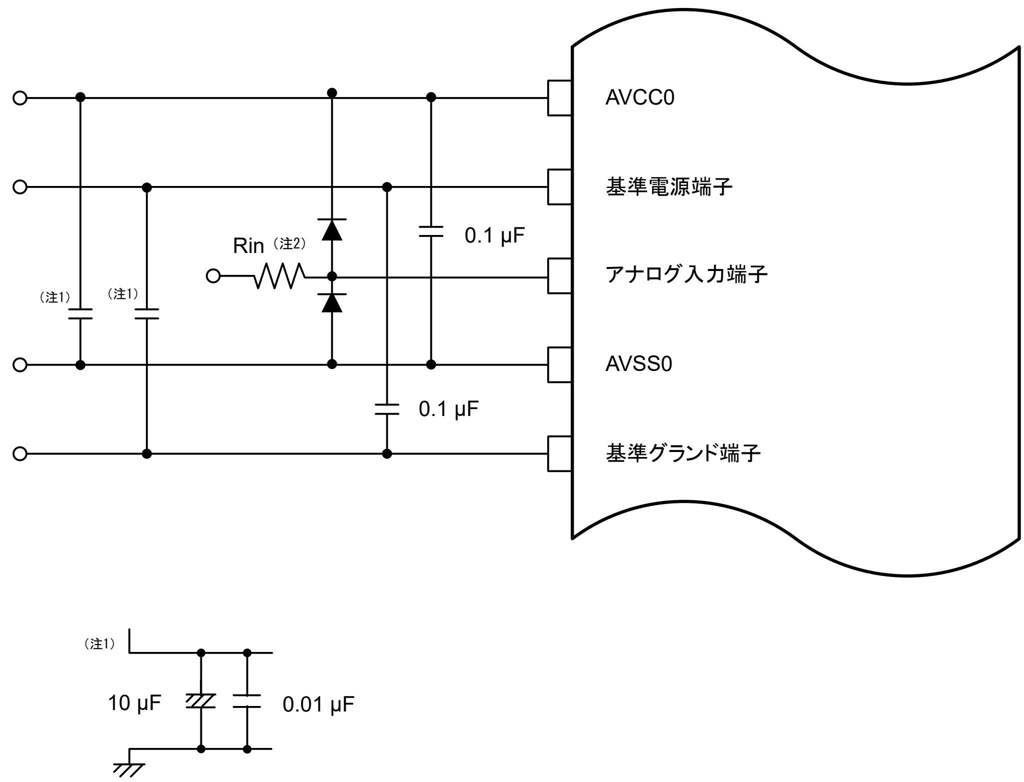


図 29.37　アナログ入力用保護回路例

29.8.13　ADC12 入力使用時のポート設定

高精度チャネルを使用する場合は、PORT0 をデジタル出力ポートとして使用しないでください。通常精度チャネルを使用している場合は、AD アナログ入力とデジタル出力に同じポートを使用しないことを推奨します。AD アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとってください。

29.8.14　ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、使用する発振器の安定時間経過後、さらに 1 µs 以上待ってから A/D 変換を開始してください。詳細は「10. 低消費電力モード」を参照してください。

29.8.15　S/H 回路ホールド時間の制約

S/H 回路にはホールド維持時間の制限事項があります（詳細は「35. 電気的特性」を参照）。

ホールド維持時間は S/H 回路がサンプリング終了後にサンプリングされた値を保持できる時間であり、AD 変換はその時間内に完了する必要があります。

30. 温度センサ回路 (TSN)

30.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 30.1 に TSN の仕様を、図 30.1 に TSN のブロック図を示します。

表 30.1　TSN の仕様

項目	内容
温度センサ電圧出力	12 ビット A/D コンバータに電圧を出力

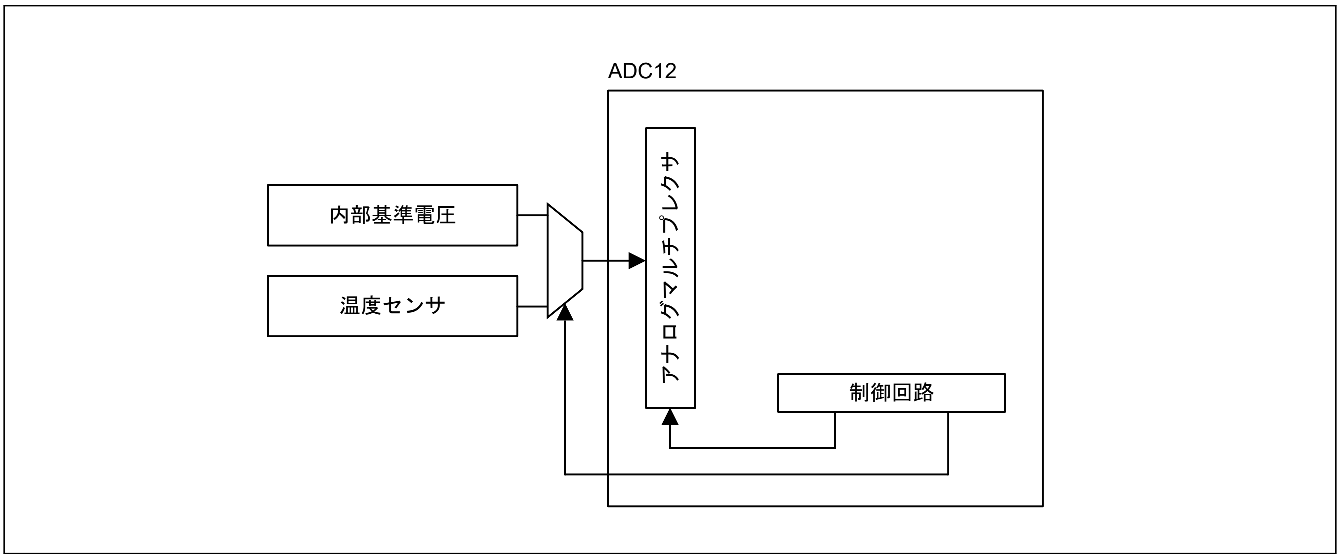


図 30.1　TSN のブロック図

30.2 レジスタの説明

30.2.1 TSCDR : 温度センサ校正データレジスタ

Base address:　FLCN = 0x407E_C000

Offset address:　0x0228

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSCDR[15:0]															
Value after reset:	チップごとの固有値															

ビット	シンボル	機能	R/W
15:0	TSCDR[15:0]	温度センサ補正データ チップごとの固有値	R

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、Tj = 140°C、AVCC0 = 3.3 V の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

30.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は 12 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

30.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

T = (Vs - V1) / slope + T1

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) Slope = (V2 - V1)/(T2 - T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 12 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、12 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 (Slope = (V2 - V1)/(T2 - T1)) を求めます。
4. この slope の値を温度特性の式 (T = (Vs - V1)/Slope + T1) に代入し、温度を求めます。

また、「35. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

T = (Vs - V1) / slope + T1

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU は、TSCDR レジスタに、Ta = Tj = 140°C、AVCC0 = 3.3 V の条件における温度センサの温度測定値 (CAL125) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL125 = TSCDR レジスタ値

CAL125 から V1 を求めると、

V1 = 3.3 × CAL125 / 4096 [V] （12 ビット精度の場合）

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs - V1) / slope + 140 [°C]

- T：計算結果である MCU の周囲温度 (°C)
- Vs：温度測定時の温度センサの出力電圧 (V)
- V1：Ta = Tj = 140°Cかつ AVCC0 = 3.3 V であるときの温度センサの出力電圧 (V)
- Slope：温度センサの温度傾斜(注1) / 1000 (V/°C)

注 1. 「35. 電気的特性」を参照してください。

図 30.2 に測定温度誤差を示します。ばらつきの範囲は 3σ です。

12 ビット A/D コンバータの特性に関しては、標準値が使用されます。「35.4. ADC12 特性」を参照してください。

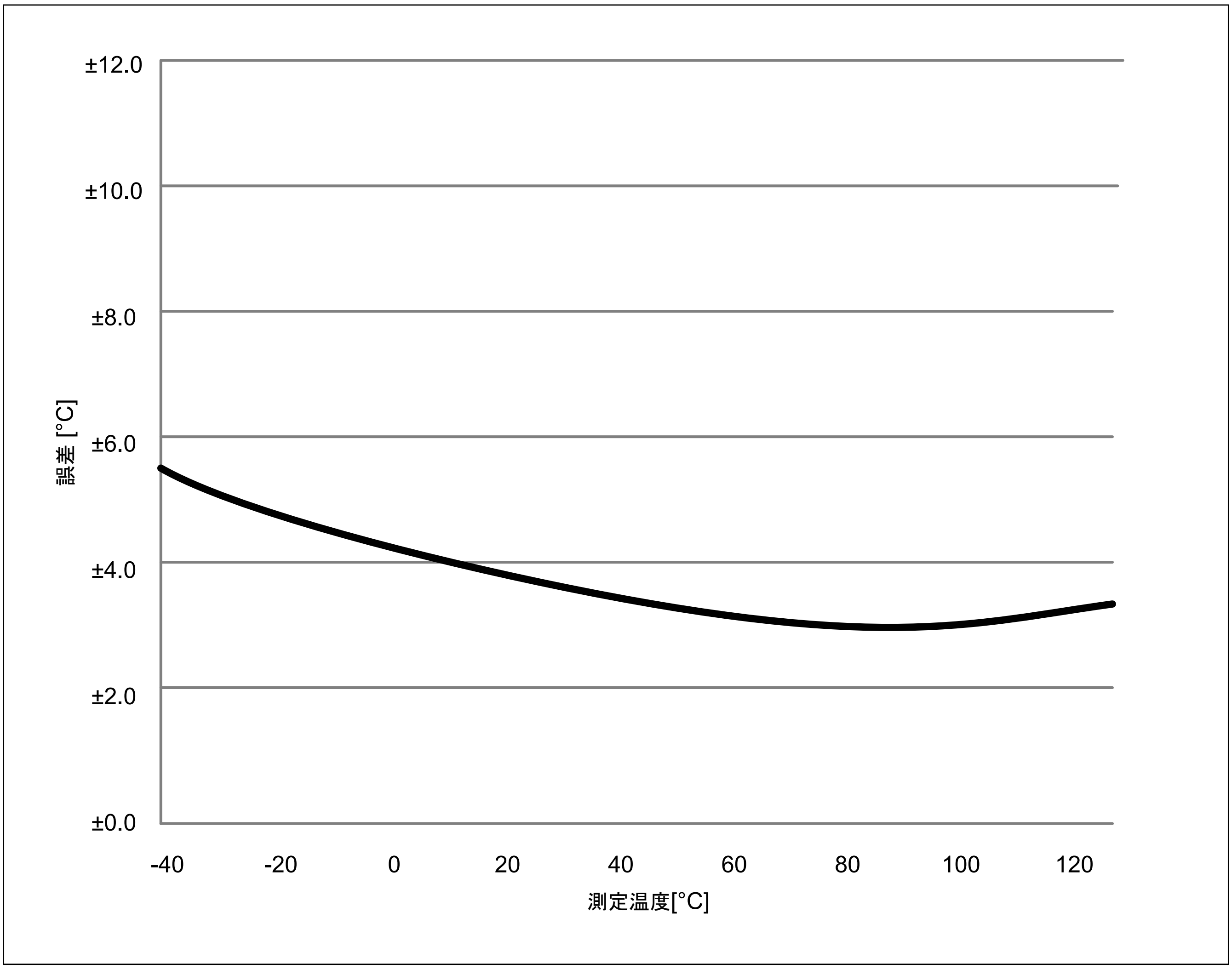


図 30.2　　測定温度誤差（設計値）

30.3.2　　温度センサ回路の使用手順

詳細は、「29. 12 ビット A/D コンバータ (ADC12)」を参照してください。

31. データ演算回路 (DOC)

31.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。 表 31.1 に DOC の仕様を、図 31.1 にブロック図を示します。

表 31.1 DOC の仕様

項目	内容
データ演算機能	16 ビットデータの比較、加算、または減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込み要求の発生条件 ● データ比較の結果が一致または不一致のとき ● データ加算の結果が 0xFFFF より大きくなったとき ● データ減算の結果が 0x0000 より小さくなったとき

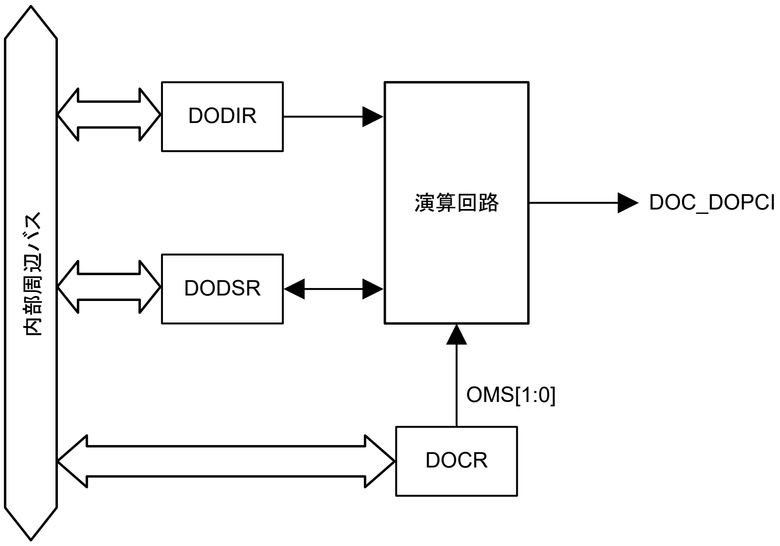


図 31.1 DOC のブロック図

31.2 レジスタの説明

31.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC = 0x4005_4100

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DOPCFCL	DOPCF	—	—	DCSEL	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W

ビット	シンボル	機能	R/W
2	DCSEL(注1)	検出条件選択 0: データの不一致検出時に DOPCF フラグを 1 にする 1: データの一致検出時に DOPCF フラグを 1 にする	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DOPCF	DOC フラグ 演算結果を示します。	R
6	DOPCFCL	DOPCF クリア 0: DOPCF フラグ状態を保存 1: DOPCF フラグをクリア	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　データ比較モード選択時のみ有効

OMS[1:0]ビット（動作モード選択）

OMS[1:0]ビットは DOC の動作モードを選択します。

DCSEL ビット（検出条件選択）

DCSEL ビットはデータ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

DOPCF フラグ（DOC フラグ）

DOPCF フラグは、演算結果を示します。

[1 になる条件]

- データ比較の結果が DCSEL ビットで選択した条件になったとき
- データ加算の結果が 0xFFFF より大きくなったとき
- データ減算の結果が 0x0000 より小さくなったとき

[0 になる条件]

- DOPCFCL ビットに 1 を書き込んだとき

DOPCFCL ビット（DOPCF クリア）

DOPCFCL ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

31.2.2　DODIR : DOC データ入力レジスタ

Base address:　DOC = 0x4005_4100

Offset address:　0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	DODIR レジスタは、演算対象の 16 ビットのデータを格納する 16 ビットの読み書き可能なレジスタです。	R/W

31.2.3　DODSR : DOC データ設定レジスタ

Base address: DOC = 0x4005_4100

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	DODSR レジスタは、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み書き可能なレジスタです。また、データ加算モードおよび減算モードでは、演算結果を格納します。	R/W

31.3　動作説明

31.3.1　データ比較モード

図 31.2 にデータ比較モードの動作例を示します。この例では、DCSEL ビットは 0（データ比較の結果、不一致を検出）です。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを書き込みます。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するすべてのデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

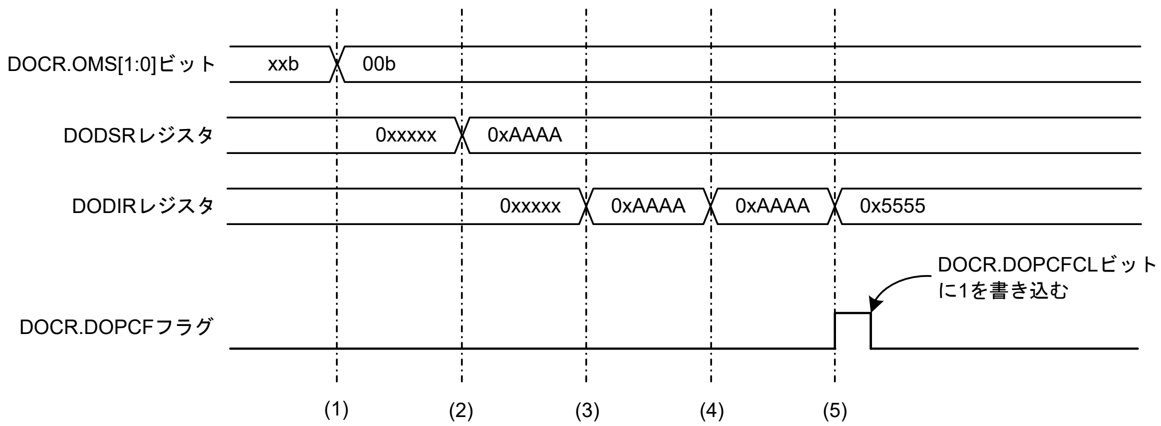


図 31.2　データ比較モードの動作例

31.3.2　データ加算モード

図 31.3 にデータ加算モードの動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを書き込みます。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。

4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 加算結果が 0xFFFF よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

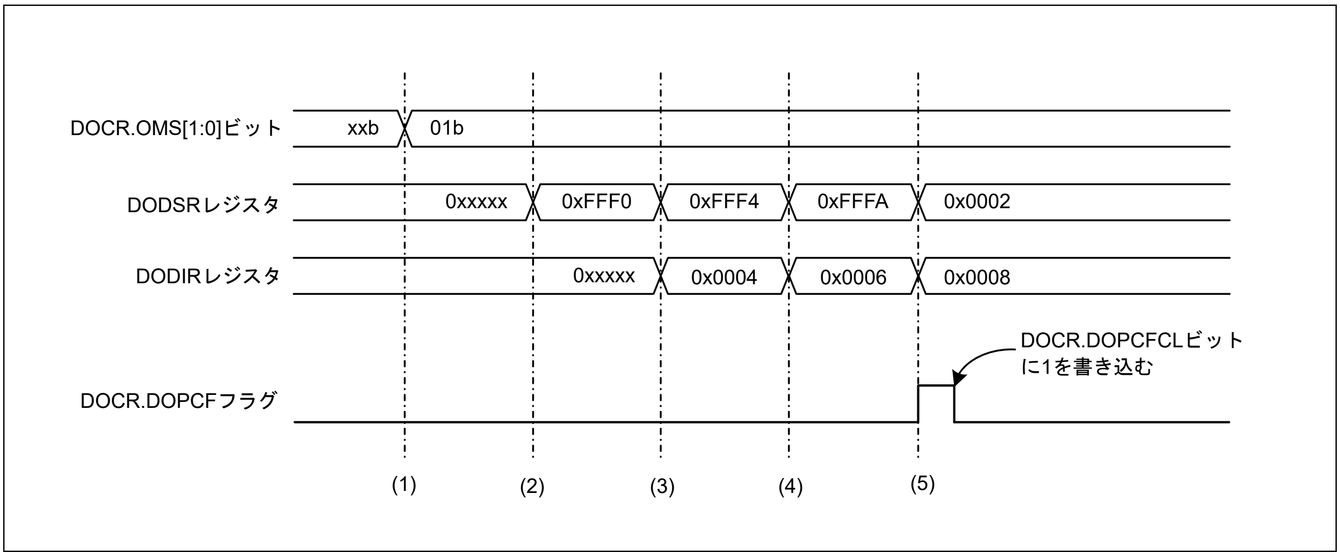


図 31.3　　データ加算モードの動作例

31.3.3　　データ減算モード

図 31.4 にデータ減算モードの動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを書き込みます。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するすべてのデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 減算結果が 0x0000 よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

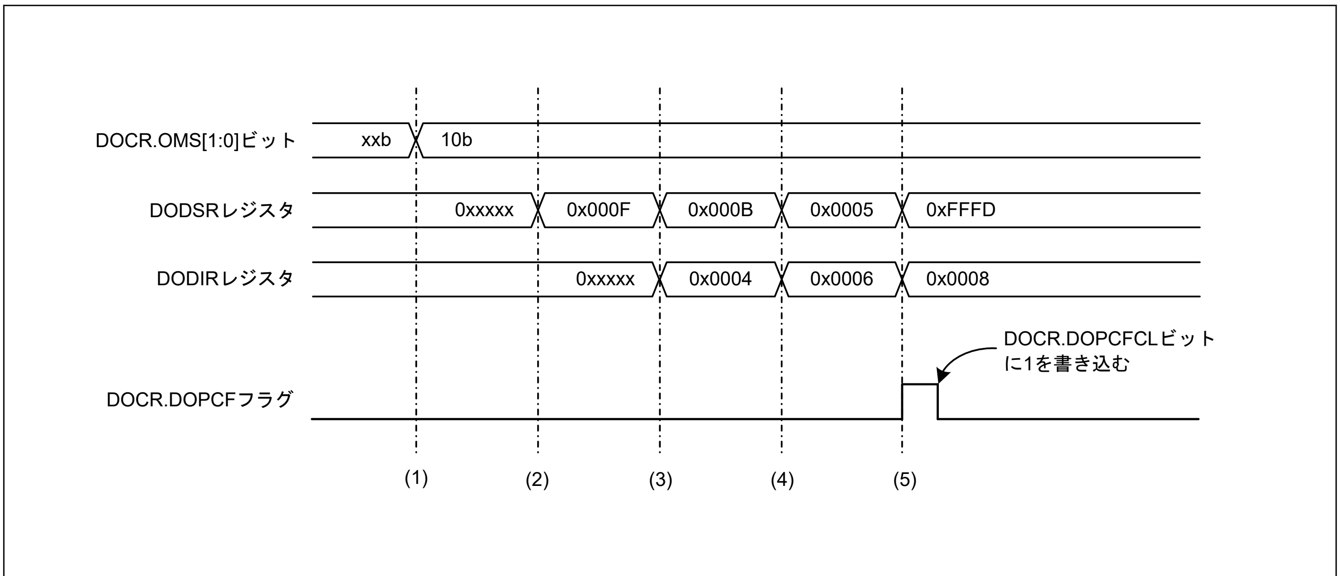


図 31.4　　データ減算モードの動作例

31.4　割り込み要因

DOC が生成する割り込み要求には、DOC 割り込み (DOC_DOPCI) があります。表 31.2 に DOC 割り込み要求の内容を示します。

表 31.2　DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	● データ比較の結果が、DOCR.DCSEL ビットで選択した条件になったとき ● データ加算の結果が 0xFFFF より大きくなったとき ● データ減算の結果が 0x0000 より小さくなったとき

31.5　イベントリンクコントローラ (ELC) へのイベント信号出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が 0xFFFF より大きいとき
- データの減算結果が 0x0000 より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、DOC フラグ (DOCR.DOPCF) が 1 になります。

31.6　使用上の注意事項

31.6.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

32. SRAM

32.1 概要

本 MCU は、パリティビットチェック機能を備えた高密度内蔵 SRAM モジュールを搭載しています。パリティチェックは、全 SRAM 領域で実行されます。

SRAM の仕様を表 32.1、に示します。

表 32.1 SRAM の仕様

項目	内容
SRAM 容量	SRAM0: 8 KB
SRAM アドレス	SRAM0: 0x2000_4000～0x2000_5FFF
アクセス(注1)	読み出し／書き込みともに 0 ウェイトで動作
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ
エラーチェック機能	偶数パリティエラーチェック

注. SRAM0 と Trace RAM は共有されます。Trace RAM の仕様については *ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)*を参照してください。
注 1. 詳細は、「32.3.3. アクセスサイクル」を参照してください。

32.2 レジスタの説明

32.2.1 PARIOAD : SRAM パリティエラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、常に SRAMPRCR レジスタの SRAMPRCR ビットを 1 に設定してください。SRAM にアクセス中は、PARIOAD レジスタへ書き込まないでください。

OAD ビット（検出後の動作）

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるかを指定します。OAD ビットは SRAM0 に対して共用です。

32.2.2 SRAMPRCR : SRAM プロテクトレジスタ

Base address: SRAM = 0x4000_2000
Offset address: 0x04

Bit position:	7					1	0
Bit field:	KW[6:0]						SRAM PRCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード SRAMPRCR ビットへの書き込みを許可または禁止します。	W

SRAMPRCR ビット（レジスタ書き込み制御）

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0]ビットに 0x78 を同時に書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、SRAMPRCR ビットは更新されません。KW[6:0]ビットは読むと常に 0x00 が読み出されます。

32.2.3 トレースコントロール（MTB 用）

マイクロトレースバッファ (MTB) には、トレース機能の動作を制御するプログラマブルレジスタ、POSITION レジスタ、MASTER レジスタ、FLOW レジスタ、BASE レジスタがあります。表 32.2 にベースアドレスのオフセット順にレジスタを示します。

表 32.2 MTB レジスタのアドレス

アドレス	レジスタ	リセット時の値
MTB_BASE + 0x000	MTB_POSITION	ビット[31:0] = UNKNOWN
MTB_BASE + 0x004	MTB_MASTER	ビット[31] = 0、ビット[30:10] = UNKNOWN、 ビット[9:8] = 0、ビット[7] = 1、ビット[6:5] = 0、 ビット[4:0] = UNKNOWN
MTB_BASE + 0x008	MTB_FLOW	ビット[31:2] = UNKNOWN、ビット[1:0] = 0
MTB_BASE + 0x00C	MTB_BASE	ビット[31:0] = 0x2000_4000

注. MTB_BASE: 0x4001_9000

これらのレジスタの詳細は、*ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)*を参照してください。

注. 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。

トレース用の MTB は 0x2000_4000～0x2000_5FFF の範囲に制限されています。

32.2.4 CoreSight™（MTB 用）

レジスタおよびアクセスタイプについて、詳しくは、*ARM® CoreSight™ Architecture Specification* を参照してください。表 32.3 にベースアドレスのオフセット順にレジスタを示します。

表 32.3 CoreSight™のアドレス

アドレス	レジスタ
MTB_BASE + 0xFF0～0xFFC	コンポーネント ID
MTB_BASE + 0xFE0～0xFDC	ペリフェラル ID
MTB_BASE + 0xFCC	デバイス種別 ID
MTB_BASE + 0xFC8	デバイスコンフィグレーション
MTB_BASE + 0xFBC	デバイスアーキテクチャ
MTB_BASE + 0xFB8	認証ステータス
MTB_BASE + 0xFB4	ロックステータス
MTB_BASE + 0xFB0	ロックアクセス

注. MTB_BASE: 0x4001_9000

これらのレジスタの詳細は、*ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)*を参照してください。

注. 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。

32.3 動作説明

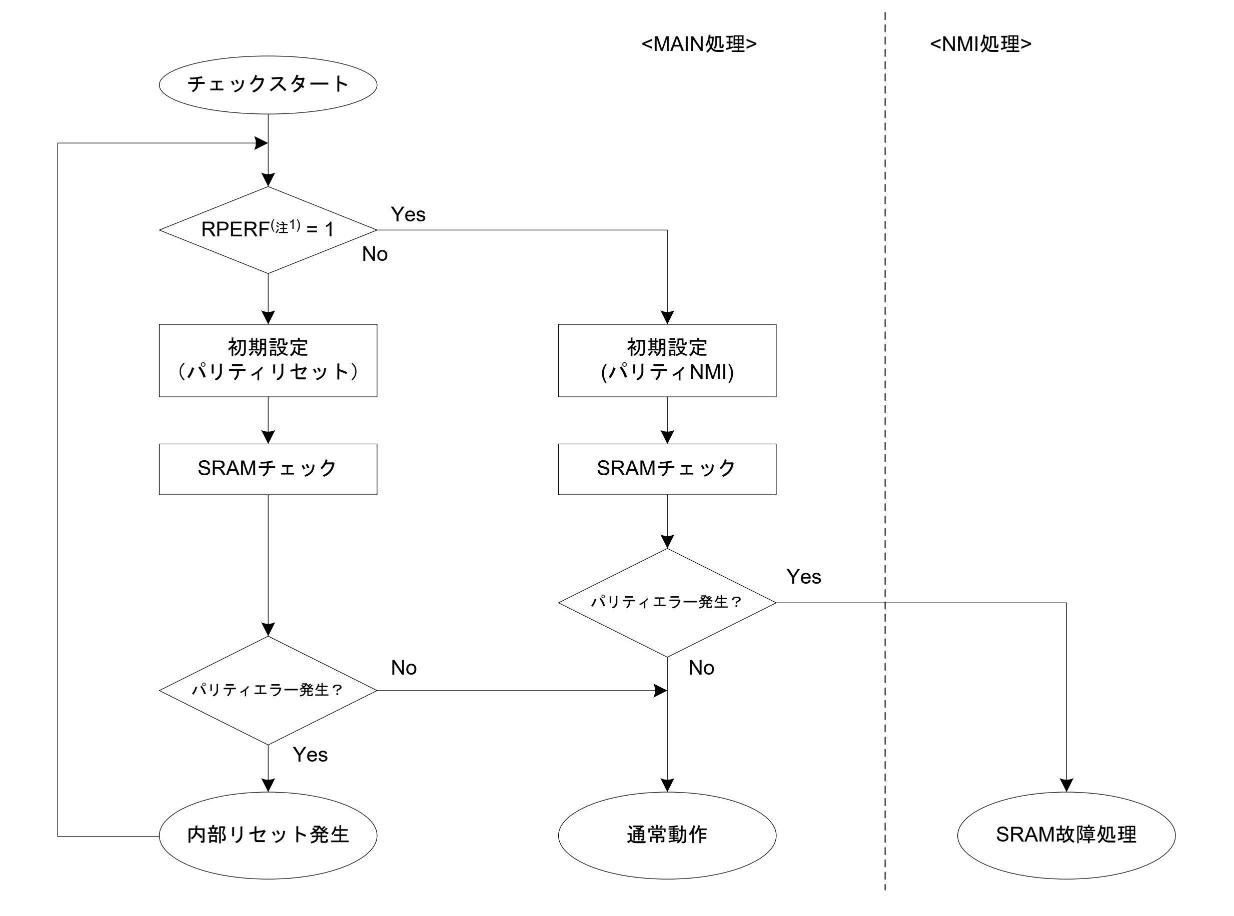
32.3.1 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、PARIOAD レジスタの OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

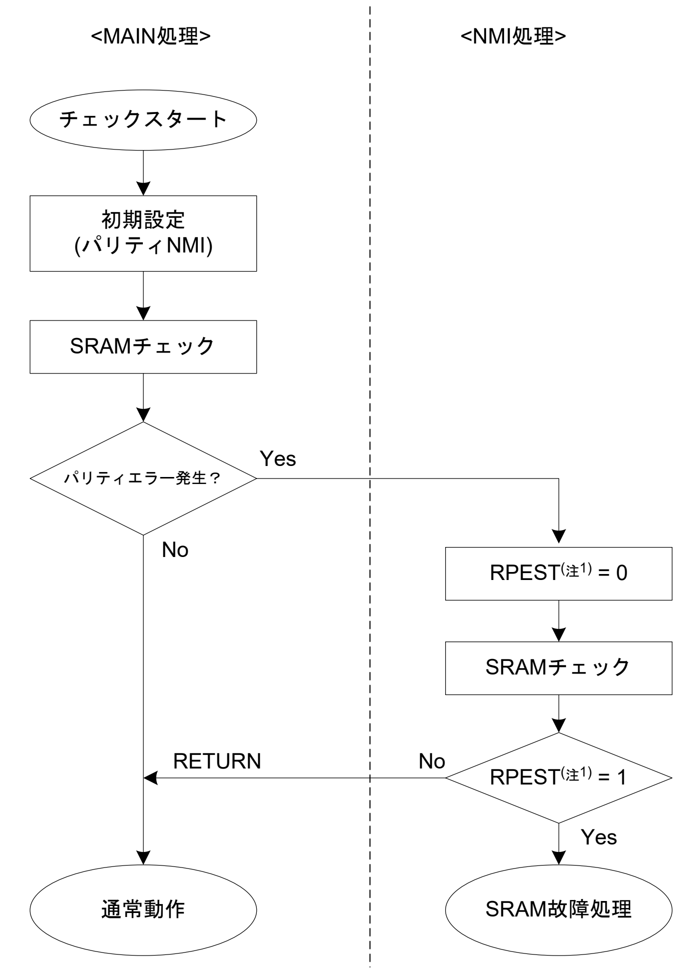
パリティエラーはノイズにより発生することもあります。パリティエラーの原因がノイズか破損かを確認するには、図 32.1 および図 32.2 に示されたパリティチェックフローに従ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。



注 1. RPERF：SRAM パリティエラーリセット検出フラグ（RSTSR1.RPERF ビット）

図 32.1 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー



注 1.　RPEST：SRAM パリティエラー割り込みステータスフラグ（NMISR.RPEST ビット）

図 32.2　SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

32.3.2　SRAM エラー要因

SRAM エラーの原因は、パリティエラーです。パリティエラーは、PARIOAD.OAD ビットの選択に基づき、ノンマスカブル割り込みまたはリセットのいずれかを発生させることが可能です。SRAM パリティエラーでは、DTC の起動はサポートされていません。

表 32.4　SRAM エラー要因

SRAM エラー要因	DTC の起動
パリティエラー（SRAM0 領域）	不可能

32.3.3　アクセスサイクル

表 32.5　SRAM0（パリティ領域 0x2000_4000～0x2000_5FFF）

読み出し（サイクル）		書き込み（サイクル）	
ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
2		2	

32.3.4 低消費電力機能

SRAM0 のヘッド領域である SRAM0（パリティ領域）の 8 KB（0x2000_4000～0x2000_5FFF）を除き、SRAM0 の供給電圧はオフにできるため、ソフトウェアスタンバイモードでの消費電力はさらに低減できます。ソフトウェアスタンバイモードの詳細は、「10. 低消費電力モード」を参照してください。

32.4 使用上の注意事項

32.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 2 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

32.4.2 SRAM ストアバッファ

SRAM と CPU 間の高速アクセスのために、ストアバッファを使用します。SRAM へのストア命令の後、ロード命令が同じアドレスから実行されるとき、ロード命令は、SRAM のデータを読み出す代わりにバッファからデータを読み出すことがあります。SRAM のデータを正しく読み出すためには、以下の手順のいずれかを使います。

- SRAM (address = A) へ書き込みを行った後、NOP 命令を使い、それから SRAM (address = A) から読み出しを行います。
- SRAM (address = A) へ書き込みを行った後、SRAM (address = A) 以外の領域からデータ読み出しを行い、それから SRAM (address = A) から読み出しを行います。

33. フラッシュメモリ

33.1 概要

本 MCU は、最大 64 KB のコードフラッシュメモリと 2 KB のデータフラッシュメモリを内蔵しています。フラッシュ制御部 (FCB) は、プログラムコマンドを制御します。本製品では Silicon Storage Technology 社のライセンスである SuperFlash®技術を使用しています。

表 33.1 にコードフラッシュメモリとデータフラッシュメモリの仕様を、図 33.1 に関連モジュールのブロック図を示します。図 33.2 にコードフラッシュメモリの構成を、図 33.3 にデータフラッシュメモリの構成を示します。

表 33.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	● 64 KB（ユーザー領域） ● コンフィグレーション設定領域（「6. オプション設定メモリ」を参照）	2 KB（データ領域）
リードサイクル	● ICLK 周波数 ≦ 64 MHz MEMWAIT = 1（ウェイトあり） 1 回の読み出し動作に 3 サイクル必要 ● ICLK 周波数 ≦ 32 MHz MEMWAIT = 0（ウェイトなし） 1 回の読み出し動作に 2 サイクル必要	● ICLK 周波数 ≦ 64 MHz FLDWAIT1 = 1（2 ウェイトあり） 1 回の読み出し動作に 4 サイクル必要 ● ICLK 周波数 ≦ 32 MHz FLDWAIT1 = 0（1 ウェイトあり） 1 回の読み出し動作に 3 サイクル必要
イレース後の値	0xFF	0xFF
プログラム／イレース方式	● レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム／イレース ● 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム（シリアルプログラミング） ● ユーザープログラムによるフラッシュメモリのプログラム（セルフプログラミング）(注1)	
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
バックグラウンド動作 (BGO)	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	● ユーザー領域のプログラム:32 ビット単位 ● ユーザー領域のイレース：2 KB 単位	● データ領域のプログラム：8 ビット単位 ● データ領域のイレース：1 KB 単位
その他の機能	セルフプログラミング中の割り込み受け付け	
	本 MCU の初期設定でフラッシュメモリ拡張領域（オプションバイト）の設定可能	
オンボードプログラミング	シリアルプログラミングモード（SCI ブートモード）でのプログラム ● 調歩同期式シリアルインタフェース (SCI9) を使用 ● 転送速度は自動調整 オンチップデバッグモードによるプログラム ● SWD インタフェースを使用 ● 専用ハードウェアは必要なし ユーザープログラム中のコードフラッシュメモリ／データフラッシュメモリ書き換えルーチンによるプログラム ● システムをリセットすることなくコードフラッシュメモリ／データフラッシュメモリのプログラムが可能	

注 1. HOCO を安定発振させてください。「33.12. セルフプログラミング」を参照してください。

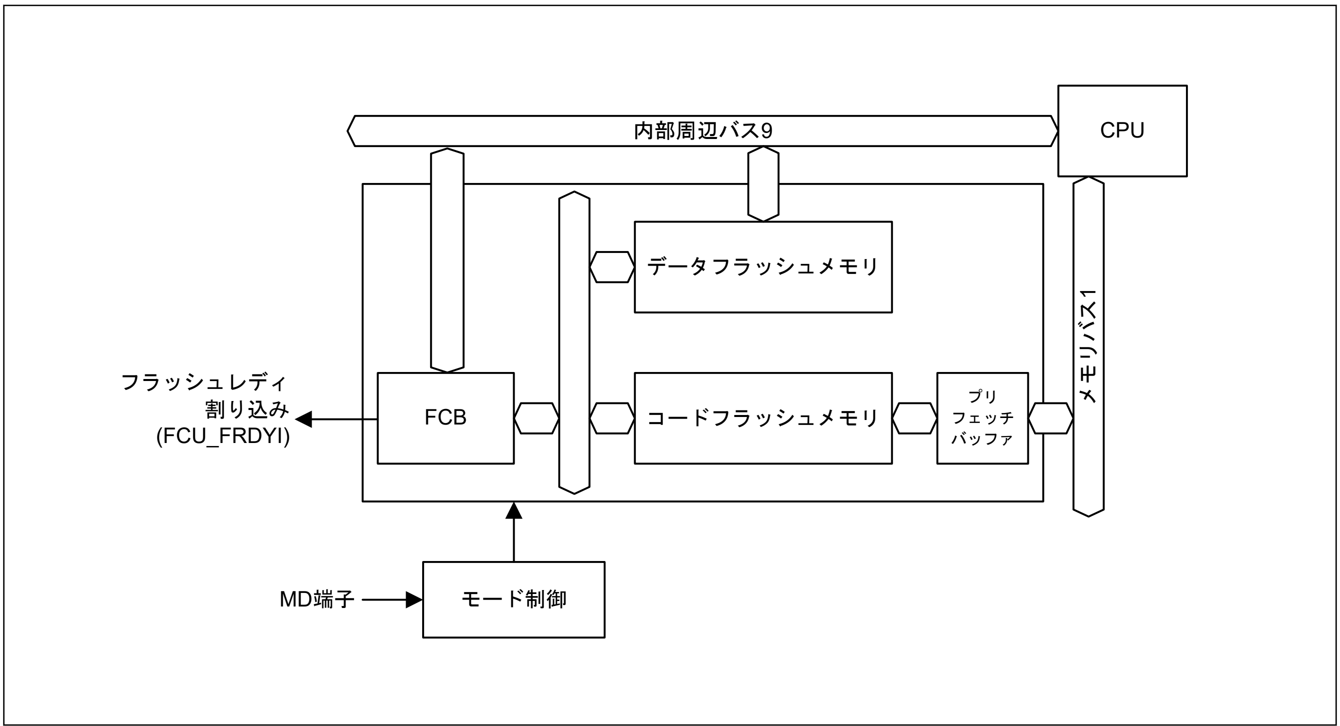


図 33.1　　フラッシュメモリ関連モジュールのブロック図

33.2　　メモリ構造

図 33.2 にコードフラッシュメモリのマッピングを、表 33.2 にコードフラッシュメモリのリードアドレスとプログラム／イレース (P/E) アドレスを示します。コードフラッシュメモリのユーザー領域は 2 KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザー領域は、ユーザープログラムの格納に使用できます。

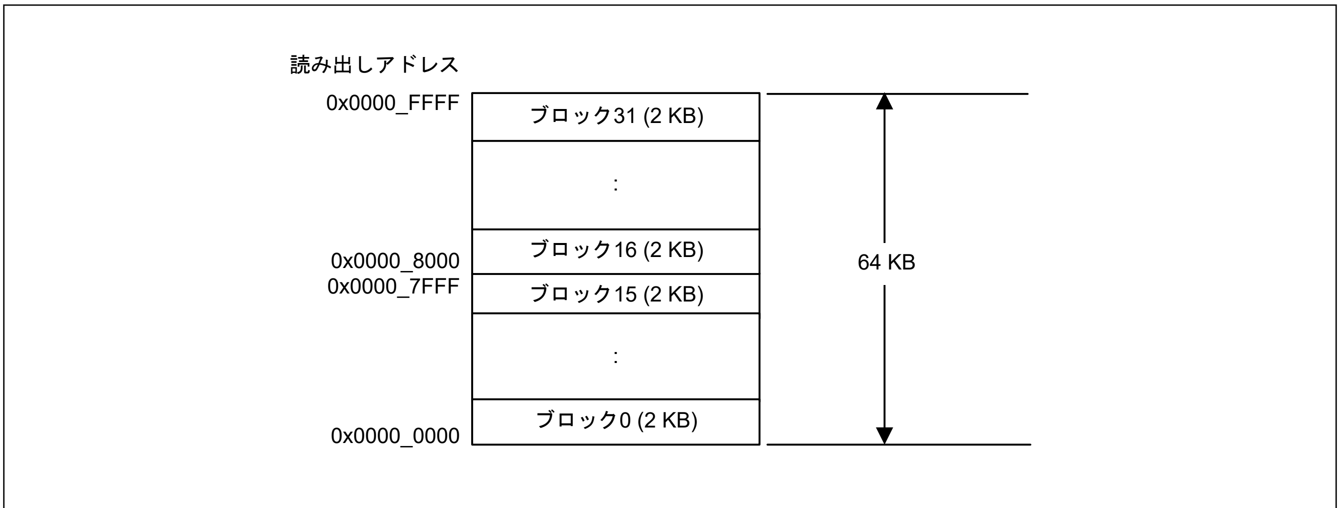


図 33.2　　コードフラッシュメモリマッピング

表 33.2　　コードフラッシュメモリのリードアドレスと P/E アドレス

コードフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
64 KB	0x0000_0000～0x0000_FFFF	0x0000_0000～0x0000_FFFF	0～31

図 33.3 にデータフラッシュメモリのマッピングを、表 33.3 にデータフラッシュメモリのリードアドレスとプログラム／イレース (P/E) アドレスを示します。データフラッシュメモリのデータ領域は 1 KB のブロックに分割されており、各ブロック単位でイレース可能です。

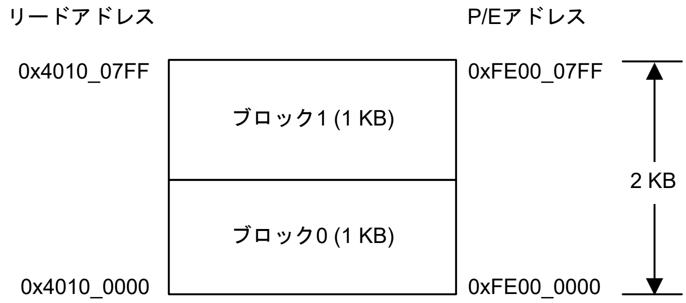


図 33.3　データフラッシュメモリマッピング

表 33.3　データフラッシュメモリのリードアドレスと P/E アドレス

データフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
2 KB	0x4010_0000～0x4010_07FF	0xFE00_0000～0xFE00_07FF	0, 1

33.3　レジスタの説明

33.3.1　DFLCTL : データフラッシュコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0090

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DFLEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DFLEN	データフラッシュアクセス許可(注1) 0:　データフラッシュへのアクセス禁止 1:　データフラッシュへのアクセス許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　スタートアップ領域情報およびセキュリティプログラムコマンド、アクセスウィンドウ情報プログラムコマンド、および OCDID プログラムコマンドを発行する前に、DFLCTL.DFLEN ビットが 1 になっている必要があります。

DFLCTL レジスタは、データフラッシュへのアクセス（読み出し、プログラム、イレース）の許可／禁止を設定します。DFLCTL.DFLEN ビットを設定すると、データフラッシュの読み出し前、またはデータフラッシュ P/E モード移行前に、データフラッシュ STOP 復帰時間 (t_{DSTOP}) が必要になります。

33.3.2　PFBER : プリフェッチバッファイネーブルレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x3FC8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PFBE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFBE	プリフェッチバッファイネーブルビット 0: プリフェッチバッファ無効 1: プリフェッチバッファ有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

33.3.3 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x3FB0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEKEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRY0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRY0	コードフラッシュ P/E モードエントリ 0 0: コードフラッシュはリードモード 1: コードフラッシュは P/E モード	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュはリードモード 1: データフラッシュは P/E モード	R/W
15:8	FEKEY[7:0]	キーコード	W

コードフラッシュやデータフラッシュの書き込みをするには、FENTRY0 ビットまたは FENTRYD ビットのいずれかに 1 を設定して、P/E モードに遷移する必要があります。FENTRY0 ビットまたは FENTRYD ビットをクリアすると、コードフラッシュやデータフラッシュは読み出しモードになりますが、これらのビットの値を変更する際はその値を事前に確認する必要があります。「33.13.1. シーケンサモード」を参照してください。

FENTRY0 ビット（コードフラッシュ P/E モードエントリ 0）

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA01 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタに書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、レジスタにデータが書き込まれたとき

FENTRYD ビット（データフラッシュ P/E モードエントリ）

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA80 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタに書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、レジスタにデータが書き込まれたとき

FEKEY[7:0] ビット（キーコード）

FEKEY[7:0]ビットは、FENTRY0 ビットまたは FENTRYD ビットを不正な設定から保護します。

FEKEY[7:0]を 0xAA にすると、FENTRY0 ビットまたは FENTRYD ビットの設定が許可されます。FEKEY[7:0]ビットは、読むと 0x00 が読めます。

33.3.4 FPR : プロテクションアンロックレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0180

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FPR[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	FPR[7:0]	プロテクションの解除 本レジスタは、CPU が暴走したときに、FPMCR レジスタが誤って書き換えられないよう保護します。	R/W

FPR[7:0] ビット（プロテクションの解除）

FPMCR レジスタへの書き込みは、以下の手順を使用してレジスタにアクセスした際にのみ許可されます。

プロテクションを解除する手順 :

1. FPR レジスタに 0xA5 を書きます。
2. FPMCR レジスタに設定値を書きます。
3. FPMCR レジスタに反転した設定値を書きます。
4. FPMCR レジスタにもう一度設定値を書きます。

データの書き込みに指定した手順以外が使用された場合、FPSR.PERR フラグが 1 になります。

33.3.5 FPSR : プロテクションアンロックステータスレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0184

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PERR	プロテクトエラーフラグ 0: エラーなし 1: エラー発生	R
7:1	—	読むと 0 が読めます。	R

PERR ビット（プロテクトエラーフラグ）

FPMCR レジスタが「プロテクションを解除する手順」で説明した方法以外でアクセスされた場合、データはレジスタに書き込まれず、このフラグが 1 になります。

[1 になる条件]

- FPMCR レジスタが「33.3.4. FPR : プロテクションアンロックレジスタ」の「プロテクションを解除する手順」に記載した方法以外でアクセスされたとき

[0 になる条件]

- FPMCR レジスタが「33.3.4. FPR : プロテクションアンロックレジスタ」の「プロテクションを解除する手順」に記載した方法でアクセスされたとき

33.3.6　FPMCR : フラッシュ P/E モードコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FMS1	RPDIS	—	FMS0	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	FMS0	フラッシュ動作モード選択 0 0: FMS1 = 0: 読み出しモード FMS1 = 1: データフラッシュ P/E モード 1: FMS1 = 0: コードフラッシュ P/E モード FMS1 = 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RPDIS	コードフラッシュ P/E 禁止 0: コードフラッシュ書き込みを許可 1: コードフラッシュ書き込みを禁止	R/W
4	FMS1	フラッシュ動作モード選択 1 FMS0 ビットの説明を参照	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FLWT レジスタは、フラッシュメモリの動作モードを設定します。権限なく設定はできないように保護されています。

このレジスタ書き込み制御方法については、図 33.15 と図 33.17 を参照してください。

保護の解除の方法については、「33.3.4. FPR : プロテクションアンロックレジスタ」を参照してください。

FMS0 ビット、FMS1 ビット（フラッシュ動作モード選択 0、フラッシュ動作モード選択 1）

本ビットは、フラッシュメモリの動作モードを設定します。

[コードフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS1 = 0、FMS0 = 1、RPDIS = 0 に設定してください。モード設定時間 t_{MS}（「35. 電気的特性」を参照）待機してください。

[データフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS1 = 1、FMS0 = 0、RPDIS = 0 に設定してください。

[コードフラッシュメモリをコードフラッシュ P/E モードからリードモードに遷移する方法]

FMS1 = 0、FMS0 = 0、RPDIS = 1 に設定してください。

リードモード遷移時間（「35. 電気的特性」を参照）待機してください。

RPDIS ビット（コードフラッシュ P/E 禁止）

RPDIS ビットは、権限なく書き込みができないように保護されています。RPDIS ビットを 0 に設定することで、コードフラッシュメモリの書き込みをできるようになります。

33.3.7 FISR : フラッシュ初期設定レジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01D8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SAS[1:0]		PCKA[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	PCKA[5:0]	Flash-IF クロック通知	R/W
7:6	SAS[1:0]	スタートアップ領域選択 1 0: スタートアップ領域が一時的にデフォルト領域に切り替わる 1 1: スタートアップ領域が一時的に代替領域に切り替わる その他: スタートアップ領域はエクストラ領域の設定に従って選択される	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、SAS[1:0]ビットは、FSPR が 1 の時のみ設定およびクリアできます。FSPR ビットはアクセスウィンドウの保護フラグで、エクストラ領域に格納されます。

PCKA[5:0]ビット（Flash-IF クロック通知）

フラッシュ書き込みのハードウェアシーケンサは、PCKA[5:0]ビットに従ってコマンドを実行します。そのため、書き込みの実行前かつ書き込み中でない時に、PCKA[5:0]ビットを Flash-IF クロック (ICLK) に従って設定する必要があります。

注. 誤った周波数設定は、フラッシュマクロを破損する恐れがあります。

周波数が整数でない（たとえば 31.5 MHz）ときに、PCKA[5:0] ビットを設定する方法を以下に説明します。

［周波数が 4 MHz より高い場合］

非整数の周波数の切り上げ値を設定します。

たとえば、周波数が 31.5 MHz ならば、32 MHz (PCKA = 011111b) を設定します。

[周波数が 4 MHz 以下である場合]

非整数の周波数を使用してはなりません。1、2、3、または 4 MHz の周波数を使用します。

表 33.4 周波数設定

Flash-IF クロック周波数［MHz］	PCKA[5:0]	Flash-IF クロック周波数［MHz］	PCKA[5:0]	Flash-IF クロック周波数［MHz］	PCKA[5:0]
64	101111b	48	100111b	32	011111b
24	010111b	20	010011b	19	010010b
18	010001b	17	010000b	16	001111b
15	001110b	14	001101b	13	001100b
12	001011b	11	001010b	10	001001b
9	001000b	8	000111b	7	000110b
6	000101b	5	000100b	4	000011b
3	000010b	2	000001b	1	000000b

SAS[1:0] ビット（スタートアップ領域選択）

SAS[1:0] ビットは、スタートアップ領域を選択します。スタートアップ領域を変更するには、次の方法を使用できます。

- SAS[1:0] ビットが 00b または 01b で、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域を選択する場合、スタートアップ領域はその設定に従って選択されます。設定は、リセット解除後に有効になります。

- SAS[1:0] ビットに 10b を書いて、スタートアップ領域を一時的にデフォルト領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、本レジスタにデータが書き込まれた直後に、スタートアップ領域がデフォルト領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。
- SAS[1:0] ビットに 11b を書いて、スタートアップ領域を一時的に代替領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域は代替領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。

33.3.8 FRESETR : フラッシュリセットレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0124

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRESET
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRESET	レジスタのソフトウェアリセット 0: フラッシュプログラミング関連のレジスタをリセットしない 1: フラッシュプログラミング関連のレジスタをリセットする	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FRESET ビット（レジスタのソフトウェアリセット）

本ビットが 1 になると、FASR、FSARH、FSARL、FEARH、FEARL、FWBH0、FWBL0、FCR、FEXCR レジスタがリセットされます。本ビットを 0 にすると、対応するレジスタのリセット状態を解除できます。FRESET ビットが 1 のとき、ソフトウェアコマンドの実行は許可されません。

33.3.9 FASR : フラッシュ領域選択レジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0104

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EXS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EXS	エクストラ領域選択 0: ユーザー領域またはデータ領域 1: エクストラ領域	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

EXS ビット（エクストラ領域選択）

FEXCR レジスタを使用してエクストラ領域をプログラムするときは、EXS ビットを 1 に設定してください。エクストラ領域をプログラムしない場合は、本ビットを 0 にします。

33.3.10 FCR : フラッシュコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0114

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	STOP	—	DRC	CMD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMD[3:0]	ソフトウェアコマンド設定 0x1: プログラム 0x3: ブランクチェック（コードフラッシュ） 0x4: ブロックイレース 0x5: 連続リード 0x6: チップイレース 0xB: ブランクチェック（データフラッシュ） その他: 設定禁止(注1)	R/W
4	DRC	データリード完了 0: データをリードしていないか、次のデータを要求中 1: データリード完了	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	STOP	処理強制停止 本ビットを 1 に設定すると、実行中の処理を強制的に停止できます。	R/W
7	OPST	処理開始 0: 処理停止 1: 処理開始	R/W

注.　本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1.　FSTATR1.FRDY ビットが 1 である場合の、FCR レジスタへの 0x00 書き込みは除きます。

CMD[3:0]ビット（ソフトウェアコマンド設定）

以下に、各ソフトウェアコマンドの機能を説明します。

[プログラム]

FWBH0 レジスタと FWBL0 レジスタのデータをフラッシュマクロの FSARH レジスタと FSARL レジスタで示すアドレスに書き込みます。

[ブランクチェック]

フラッシュマクロが FSARH レジスタと FSARL レジスタで示す開始アドレスから FEARH レジスタと FEARL レジスタで示す終了アドレスにかけてブランク（書き込みされていない）状態であるかどうかを確認します。ブランクチェックコマンドは、フラッシュマクロの領域内で実行可能です。

注.　ブランクチェック結果で、フラッシュメモリが消去されたことを保証することはできません。

[ブロックイレース]

フラッシュメモリのブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。ブロックイレースコマンドは、フラッシュマクロの領域内で実行可能です。

[連続リード]

FSARH レジスタと FSARL レジスタで示す開始アドレスから FEARH レジスタと FEARL レジスタで示す終了アドレスまでのフラッシュマクロを読み出します。読み出しデータは、FRBH レジスタと FRBL レジスタに格納されます。連続リードコマンドはフラッシュマクロの領域内で実行可能です。

[チップイレース]

フラッシュマクロの全ブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。

DRC ビット（データリード完了）

連続リードコマンドを実行し、FRBH レジスタと FRBL レジスタを読み出した後、DRC ビットに 1 を書くとリードデータの処理が終了します。DRC ビットに 0 を書くと、次のデータの読み出しが始まります。

STOP ビット（処理強制停止）

STOP ビットは、イレースコマンドやブランクチェックコマンドの実行を停止します。

STOP ビットに 1 を設定したら、FSTATR1.FRDY ビットが 1（処理完了）になるのを待ってから、OPST ビットを 0 にしてください。

OPST ビット（処理開始）

OPST ビットは、CMD[2:0]ビットに設定されたコマンドを開始します。OPST ビットを 0 に設定したら、FSTATR1 レジスタの FRDY ビットが 1 になってからコマンドの実行を停止します。それから、FRDY ビットが 0 になったことを確認する必要があります。

注.
- フラッシュプログラマの ID 認証がフェイルした場合は、コマンドを実行できません。
- プログラミング、ブロックイレース、リードコマンドは、各コマンドがアクセスウィンドウで保護された領域を指定した場合、実行できません。

33.3.11 FEXCR : フラッシュエクストラ領域コントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01DC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	—	—	—	—	CMD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD[2:0]	ソフトウェアコマンドの設定 0 1 0: アクセスウィンドウ情報プログラム スタートアップ領域選択およびセキュリティ設定 0 1 1: OCDID1 プログラム 1 0 0: OCDID2 プログラム 1 0 1: OCDID3 プログラム 1 1 0: OCDID4 プログラム その他: 設定禁止(注1)	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OPST	処理開始 0: 処理が停止する 1: 処理が開始する	R/W

注.　本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1.　これには、FSTATR1.EXRDY ビットが 1 のときに FEXCR レジスタに 0x00 を書くことは含まれません。

FEXCR レジスタは、エクストラ領域をプログラムします。各コマンドを実行する前に、FWBL0 レジスタおよび FWBH0 レジスタを設定する必要があります。

FEXCR レジスタを使用してプログラムする場合、実行前にプログラミング領域が自動的に消去されるため、事前に消去する必要はありません。

CMD[2:0]ビット（ソフトウェアコマンドの設定）

CMD[2:0]ビットは、以下からソフトウェアコマンドを選択します。

- スタートアップ領域選択およびセキュリティ設定
- アクセスウィンドウ情報プログラム
- OCDID プログラム

各ソフトウェアコマンドの機能を以下に記載します。

[スタートアップ領域選択およびセキュリティ設定]

FWBL0/FWBH0 レジスタにデータを設定すると、このコマンドでスタートアップ領域をデフォルト領域 (8 KB) と代替領域（次の 8 KB）から選択し、セキュリティを設定することができます。詳細は、「33.9.1. スタートアッププログラムプロテクション」を参照してください。

FWBH0 レジスタのビット[15]が 0 のとき、代替領域（次の 8 KB）がスタートアップ領域として選択されます。

FWBH0 レジスタのビット[15]が 1 のとき、デフォルト領域 (8 KB) がスタートアップ領域として選択されます。

FWBL0 レジスタのビット[15]は 0 です。

- アクセスウィンドウ情報プログラムコマンドを実行できないため、アクセスウィンドウは更新できません。
- スタートアップ領域は変更できません。
- FISR レジスタの SAS ビットのデータは変更できません。

注.　スタートアップ領域選択およびセキュリティ設定コマンドは、エクストラ領域の対応するビットを一度 0 にした後、1 にすることはできません。

スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピングを以下に示します。

表 33.5　スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピング（アドレス (P/E): 0x0000_0010）

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
SASMF(注1)	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR(注1)	—	—	—	—	FAWS[10:0]										

注 1.　これらのビットは、一度 0 にすると 1 に変更することはできません。

[アクセスウィンドウ情報プログラム]

このコマンドは、領域プロテクションに使用されるアクセスウィンドウを設定します。保護された領域のプログラムコマンド、ブロックイレースコマンド、および連続リードコマンドは実行できません。アクセスウィンドウが設定されている（アクセスウィンドウの開始ブロックアドレスが終了ブロックアドレスと等しくない）とき、チップイレースコマンドは実行できません。アクセスウィンドウ情報プログラムコマンドを実行する前に、アクセスウィンドウの開始ブロックアドレスを FWBL0 レジスタのビット[10:0] に設定し、アクセスウィンドウの終了ブロックアドレスの次のブロックアドレスを FWBH0 レジスタのビット[10:0] に設定する必要があります。開始アドレスと終了アドレスを同じ値に設定すると、コードフラッシュの全領域がアクセス可能になります。開始アドレスが終了ブロックアドレスより大きい場合、コードフラッシュの全領域がアクセス不可能になります。

アクセスウィンドウを設定する（アクセスウィンドウの終了ブロックアドレスが開始ブロックアドレスより大きい）場合、開始ブロックアドレスの FWBL0[10]ビットは 0 にしなければなりません。

アクセスウィンドウ情報プログラムのエクストラビットのマッピングを以下に示します。

表 33.6　アクセスウィンドウ情報プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0010）

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
SASMF(注1)	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR(注1)	—	—	—	—	FAWS[10:0]										

注 1.　これらのビット内のデータは、一度 0 にすると 1 に変更することはできません。

［OCDID1-4 プログラム］

これらのコマンドは、OCDID[127:0]ビットを設定します。

表 33.7　OCDID 設定

コマンド	OCDID	FWBH0	FWBL0
OCDID1 プログラム	OCDID[31:0]	OCDID[31:16]	OCDID[15:0]
OCDID2 プログラム	OCDID[63:32]	OCDID[63:48]	OCDID[47:32]
OCDID3 プログラム	OCDID[95:64]	OCDID[95:80]	OCDID[79:64]
OCDID4 プログラム	OCDID[127:96]	OCDID[127:112]	OCDID[111:96]

OCDID1-4 プログラムのエクストラビットのマッピングを以下に示します。

表 33.8　OCDID1-4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0018）

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[31:16]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[15:0]															

表 33.9　OCDID1-4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0020）

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[63:48]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[47:32]															

表 33.10　OCDID1-4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0028）

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[95:80]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[79:64]															

表 33.11　OCDID1-4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0030）

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[127:112]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[111:96]															

OPST ビット（処理開始）

OPST ビットは、CMD[2:0] ビットに設定されたコマンドを開始します。OPST ビットを 0 にすると、FSTATR1 レジスタの EXRDY ビットが 1 になった後、コマンドの実行が終了されます。EXRDY ビットが 0 であることを確認する必要があります。

33.3.12　FSARH : フラッシュ処理開始アドレスレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x0110

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSARH[15:0]	フラッシュ処理開始アドレス H フラッシュ処理開始アドレス上位 16 ビット 詳細は、FSARL を参照してください。	R/W

注.　本レジスタは、P/E モード時のみ設定およびクリアできます。b8～b5 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

33.3.13　FSARL : フラッシュ処理開始アドレスレジスタ L

Base address:　FLCN = 0x407E_C000

Offset address:　0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSARL[15:0]	フラッシュ処理開始アドレス L フラッシュ処理開始アドレス下位 16 ビット	R/W

注.　本レジスタは、P/E モード時のみ設定およびクリアできます。

FSARH および FSARL レジスタは、ソフトウェアコマンドの開始アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FSARH および FSARL レジスタを読み出すと、値は不定値になります。プログラムコマンドの実行後、ソフトウェアコマンドのシーケンサによって、データは自動的にインクリメントされます。プログラムコマンドの自動インクリメント機能は、次のアドレスが連続アドレスの場合、FSARH および FSARL レジスタへの次のアドレスの設定を破棄します。インクリメントの単位は次のとおりです。

コードフラッシュ：+0x4

データフラッシュ：+0x1

フラッシュメモリのアドレスの詳細については、図 33.2 と図 33.3 を参照してください。

33.3.14　FEARH : フラッシュ処理終了アドレスレジスタ H

Base address:　FLCN = 0x407E_C000

Offset address:　0x0120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARH[15:0]	フラッシュ処理終了アドレス H フラッシュ処理終了アドレスの上位 16 ビット 詳細は、FEARL を参照してください。	R/W

注.　本レジスタは、P/E モード時のみ設定およびクリアできます。b8～b5 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

33.3.15 FEARL : フラッシュ処理終了アドレスレジスタ L

Base address: FLCN = 0x407E_C000
Offset address: 0x0118

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARL[15:0]	フラッシュ処理終了アドレス L フラッシュ処理終了アドレスの下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FEARH および FEARL レジスタは、ブランクチェック、ブロックイレース、チップイレース、および連続リードコマンドの終了アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FEARH および FEARL レジスタを読み出すと、値は不定値になります。

フラッシュメモリのアドレスについて詳しくは、図 33.2 と図 33.3 を参照してください。

33.3.16 FWBL0 : フラッシュライトバッファレジスタ L0

Base address: FLCN = 0x407E_C000
Offset address: 0x0130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WDATA[15:0]	フラッシュライトバッファ L0 フラッシュライトバッファデータ下位 16 ビット 詳細は、FWBH0 を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

33.3.17 FWBH0 : フラッシュライトバッファレジスタ H0

Base address: FLCN = 0x407E_C000
Offset address: 0x0138

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/Wf
15:0	WDATA[15:0]	フラッシュライトバッファ H0 フラッシュライトバッファデータの上位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FWBH0 レジスタと FWBL0 レジスタは、プログラムコマンド、スタートアップ選択とセキュリティ設定コマンド、アクセスウィンドウ情報プログラムコマンドと OCDID プログラムコマンドのプログラムデータを設定します。以下の表に、各コマンドによるデータの設定方法を説明します。

レジスタ	レジスタに設定される内容
FWBH0 FWBL0	● コードフラッシュのプログラムコマンドのプログラムデータのビット[31:0] ● データフラッシュのプログラムコマンドのプログラムデータのビット[7:0] ● スタートアップ選択およびセキュリティ設定コマンド、アクセスウィンドウ情報プログラムコマンド、および OCDID プログラムコマンドのプログラムデータのビット[31:0]

33.3.18 FRBL0 : フラッシュリードバッファレジスタ L0

Base address: FLCN = 0x407E_C000

Offset address: 0x0188

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RDATA[15:0]	フラッシュリードバッファ L0 RDATA[15:0]は、連続リードコマンド実行時に、コードフラッシュまたはデータフラッシュのリードデータのビット[15:0]を格納します。 データフラッシュが読み出されると、ビット[15:8]に 0x00 が格納されます。	R

33.3.19 FRBH0 : フラッシュリードバッファレジスタ H0

Base address: FLCN = 0x407E_C000

Offset address: 0x0190

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RDATA[15:0]	フラッシュリードバッファ H0 RDATA[15:0]は、連続リードコマンド実行時に、コードフラッシュのリードデータのビット[31:16]を格納します。	R

33.3.20 FSTATR1 : フラッシュステータスレジスタ 1

Base address: FLCN = 0x407E_C000

Offset address: 0x012C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EXRDY	FRDY	—	—	—	—	DRRDY	—
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	DRRDY	データリードレディフラグ 0: 各アドレスでの連続リードコマンドの読み出し処理が終了していない。 1: 各アドレスでの連続リードコマンドの読み出し処理が終了し、読み出しデータが FRBH レジスタおよび FRBL レジスタに格納された。	R
2	—	読むと 1 が読めます。	R

ビット	シンボル	機能	R/W
5:3	—	読むと 0 が読めます。	R
6	FRDY	フラッシュレディフラグ 0: FCR レジスタのソフトウェアコマンドが終了していない。 1: FCR レジスタのソフトウェアコマンドが終了した。	R
7	EXRDY	エクストラ領域レディフラグ 0: FEXCR レジスタのソフトウェアコマンドが終了していない。 1: FEXCR レジスタのソフトウェアコマンドが終了した。	R

FSTATR1 は、ソフトウェアコマンドの実行結果を確認するために使用されるステータスレジスタです。各フラグは、次のソフトウェアコマンド実行時に 0 にセットされます。

33.3.21 FSTATR2 : フラッシュステータスレジスタ 2

Base address: FLCN = 0x407E_C000

Offset address: 0x01F0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	EILGLERR	ILGLERR	BCERR	PRGERR01	PRGERR	ERERR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ERERR	イレースエラーフラグ 0: イレースが正常終了 1: イレース中にエラー発生	R
1	PRGERR	プログラムエラーフラグ 0: プログラムが正常終了 1: プログラム中にエラー発生	R
2	PRGERR01	プログラムエラーフラグ 01 0: FEXCR レジスタによるプログラムが正常終了 1: プログラム中にエラー発生	R
3	BCERR	ブランクチェックエラーフラグ 0: ブランクチェックが正常終了 1: ブランクチェック中にエラー発生	R
4	ILGLERR	イリーガルコマンドエラーフラグ 0: 不正なソフトウェアコマンドまたは不正なアクセスの検出なし 1: 不正なコマンド、ないし不正なアクセスが検出された	R
5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ 0: エクストラ領域への不正なコマンドまたは不正なアクセスの検出なし 1: エクストラ領域への不正なコマンドまたは不正なアクセスの検出あり	R
15:6	—	読むと 0 が読めます。	R

FSTATR2 は、ソフトウェアコマンド実行結果を確認するために使うステータスレジスタです。各エラーフラグは、次のソフトウェアコマンド実行時に 0 に設定されます。

ERERR フラグ（イレースエラーフラグ）

消去時に FCR.STOP ビットが 1（処理が強制停止した）になったとき、ERERR ビットの値は不定になります。

PRGERR フラグ（プログラムエラーフラグ）

FCR レジスタのプログラムコマンドまたは FEXCR レジスタの各コマンドが異常終了すると、PRGERR ビットが 1 になります。

PRGERR01 フラグ（プログラムエラーフラグ 01）

FEXCR レジスタの各コマンドが異常終了すると、PRGERR01 ビットが 1 になります。

ILGLERR フラグ（イリーガルコマンドエラーフラグ）

ILGLERR フラグは、FCR レジスタのソフトウェアコマンドの実行が予期しない状態であることを示します。

[1 になる条件]

- プログラミング、イレース、リードコマンドが、アクセスウィンドウ範囲で保護された領域に対して実行された。
- アクセスウィンドウが設定されているのに、チップイレースコマンドが実行された。（アクセスウィンドウの開始ブロックアドレスが終了ブロックアドレスと等しくない。）
- FSARH レジスタと FSARL レジスタで設定された開始アドレスが FEARH レジスタと FEARL レジスタで設定された終了アドレスより大きい状態で、ブランクチェック、ブロックイレース、連続リード、チップイレースコマンドが実行された。
- FASR.EXS ビットが 1 の状態で、プログラム、ブロックイレース、チップイレース、ブランクチェックコマンドが実行された。
- データフラッシュアドレスが FSARH レジスタと FSARL レジスタに設定され、ソフトウェアコマンドがコードフラッシュ P/E モードで実行された。
- コードフラッシュアドレスが FSARH レジスタと FSARL レジスタに設定され、ソフトウェアコマンドがデータフラッシュ P/E モードで実行された。
- コードフラッシュとデータフラッシュが同時に P/E モードに設定され、ソフトウェアコマンドが実行された。

[0 になる条件]

- 以下のソフトウェアコマンドが実行された。

EILGLERR フラグ（エクストラ領域イリーガルコマンドエラーフラグ）

EILGLERR フラグは、FEXCR レジスタのソフトウェアコマンドの実行が予期しない状態であることを示します。

[1 になる条件]

- FASR レジスタの EXS ビットが 0 の時に、FEXCR レジスタのソフトウェアコマンドが実行された。
- FSPR ビットが 0 の時に、アクセスウィンドウ情報プログラムコマンドが実行された。

[0 になる条件]

- 以下のソフトウェアコマンドが実行された。

33.3.22 FEAMH : フラッシュエラーアドレスモニタレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x01E8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAMH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAMH[15:0]	フラッシュエラーアドレスモニタレジスタ H フラッシュエラーアドレスモニタの上位 16 ビット 詳細は、FEAML を参照してください。	R/W

33.3.23 FEAML : フラッシュエラーアドレスモニタレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x01E0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAML[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAML[15:0]	フラッシュエラーアドレスモニタレジスタ L フラッシュエラーアドレスモニタの下位 16 ビット	R/W

ソフトウェアコマンドの実行の後、エラーアドレスが FEAMH レジスタと FEAML レジスタから取り出されます。フラッシュメモリのアドレス詳細については、図 33.2 と図 33.3 を参照してください。

33.3.24 FSCMR : フラッシュスタートアップ設定モニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FSPR	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
Value after reset:	0	x(注1)	0	0	0	x	x	x(注1)	0	0	0	0	0	0	0	0

注 1.　リセット後の値は、エクストラ領域の状態によって決まります。

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。	R
8	SASMF	スタートアップ領域設定モニタフラグ 0:　代替領域を使用して起動する設定 1:　デフォルト領域を使用して起動する設定	R
10:9	—	読み出し値は不定です。	R
11	—	読むと 0 が読めます。	R
13:12	—	読み出し値は不定です。	R
14	FSPR	アクセスウィンドウプロテクションフラグ 0:　アクセスウィンドウ設定禁止 1:　アクセスウィンドウ設定許可	R
15	—	読むと 0 が読めます。	R

FSCMR レジスタは、エクストラ領域設定をモニタします。本レジスタのデータは、リセットシーケンス時、または FEXCR レジスタのソフトウェアコマンド実行時に更新されます。

33.3.25 FAWSMR : フラッシュアクセスウィンドウ開始アドレスモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01C8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	FAWS[10:0]										
Value after reset:	0	0	0	0	0	ユーザー設定値(注1)										

注 1.　ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBH0 レジスタの[10:0]ビットに設定された値と同じになります。

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ開始アドレスの設定値を確認するために使用されます。	R
14:11	—	読むと 0 が読めます。	R
15	FSPR	アクセスウィンドウプロテクションフラグ このビットは、FSCMR レジスタの FSPR ビットと同じ値になります。	R

33.3.26 FAWEMR : フラッシュアクセスウィンドウ終了アドレスモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01D0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SASMF	—	—	—	—	FAWE[10:0]										
Value after reset:	0	0	0	0	0	ユーザー設定値(注1)										

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBL0 レジスタの[10:0]ビットに設定された値と同じになります。

ビット	シンボル	機能	R/W
10:0	FAWE[10:0]	アクセスウィンドウ終了アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ終了アドレスの設定値を確認するために使用されます。	R
14:11	—	読むと 0 が読めます。	R
15	SASMF	スタートアップ領域設定モニタフラグ このビットは、FSCMR レジスタの SASMF ビットと同じ値になります。	R

33.3.27 UIDRn : ユニーク ID レジスタ n (n = 0〜3)

Address: 0x0100_1C00 + n × 4

Bit position:	31 … 0
Bit field:	UID[31:0]
Value after reset:	チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	UID[31:0]	ユニーク ID	R

UIDRn レジスタは、個々の MCU を識別するための 16 バイトの ID コード（ユニーク ID）を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で読み出してください。

33.3.28 PNRn:型名レジスタ n (n = 0〜3)

Address: 0x0100_1C10 + n × 4

Bit position:	31 … 0
Bit field:	PNR[31:0]
Value after reset:	チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	PNR[31:0]	型名	R

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは製品一覧に示すように、製品の型名の ASCII コードに対応しています。

型名が「R7FA2T1073CFL」である場合、16 バイトの型名は以下のように格納されます。

アドレス 0x0100_1C10 : ’L’, 0x4C（ASCII コード）

アドレス 0x0100_1C11 : ’F’, 0x46（ASCII コード）

アドレス 0x0100_1C12 : ’C’, 0x44（ASCII コード）

アドレス 0x0100_1C13 : ’3’, 0x32（ASCII コード）

アドレス 0x0100_1C14 : ’7’, 0x37（ASCII コード）

アドレス 0x0100_1C15 : ’0’, 0x30（ASCII コード）

アドレス 0x0100_1C16 : ’1’, 0x33（ASCII コード）

アドレス 0x0100_1C17 : ’T’, 0x45（ASCII コード）

アドレス 0x0100_1C18 : ’2’, 0x32（ASCII コード）

アドレス 0x0100_1C19 : ’A’, 0x41（ASCII コード）

アドレス 0x0100_1C1A : ’F’, 0x46（ASCII コード）

アドレス 0x0100_1C1B : ’7’, 0x37（ASCII コード）

アドレス 0x0100_1C1C : ’R’, 0x52（ASCII コード）

アドレス 0x0100_1C1D : ’’（空白）, 0x20（ASCII コード）

アドレス 0x0100_1C1E : ’’（空白）, 0x20（ASCII コード）

アドレス 0x0100_1C1F : ’’（空白）, 0x20（ASCII コード）

33.3.29 MCUVER : MCU バージョンレジスタ

Address: 0x0100_1C20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MCUVE[7:0]							
Value after reset:	チップにより決まる値							

ビット	シンボル	機能	R/W
7:0	MCUVE[7:0]	MCU バージョン	R

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。値が高いほど MCU バージョンが新しいです。

33.4 フラッシュメモリからの命令プリフェッチ

フラッシュメモリには、コードの実行を高速化するための命令プリフェッチ機能があります。プリフェッチ機能は、プリフェッチバッファを有効にすることで使用できます。プリフェッチバッファを有効にするには、PFBER.PFBE ビットを 1 にします。

注. フラッシュメモリがプログラム／イレース動作中の場合、あらかじめ PFBER.PFBE ビットを 0 にしてください。

33.5 フラッシュメモリ関連の動作モード

図 33.4 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 起動モード」を参照してください。

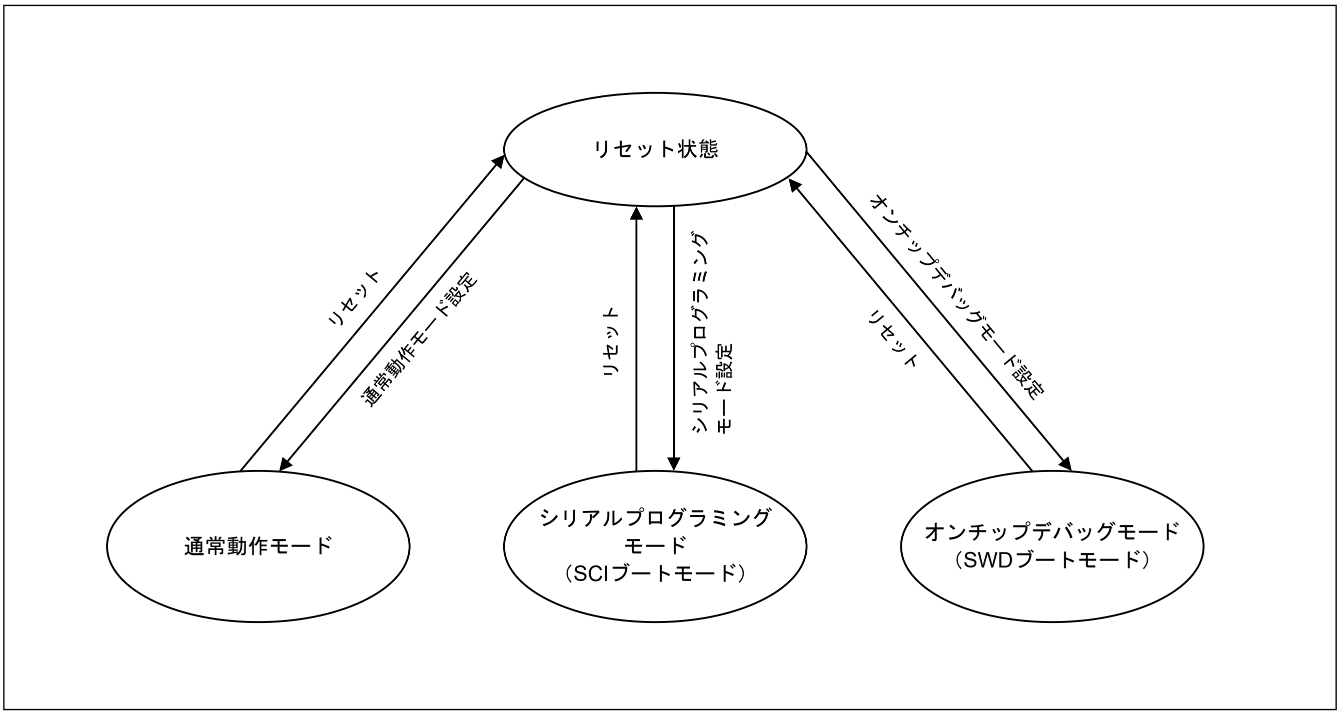


図 33.4　　フラッシュメモリに関するモード遷移図

プログラム／イレースが可能なフラッシュメモリの領域、およびリセット時ブートプログラムを実行するフラッシュメモリの領域は各モードで異なります。表 33.12 に各モードの相違点を示します。

表 33.12　　各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCI ブートモード)	オンチップデバッグモード (SWD ブートモード)
プログラム／イレースが可能な領域	● コードフラッシュメモリ ● データフラッシュメモリ	● コードフラッシュメモリ ● データフラッシュメモリ	● コードフラッシュメモリ ● データフラッシュメモリ
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

33.5.1　　ID コードプロテクト

この機能は、プログラミングとオンチップデバッギングを禁止します。ID コードプロテクト機能が有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッギングは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリの ID コードは、4 つの 32 ビットワードで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 33.13 に示します。

表 33.13　ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード （SCI ブートモード） オンチップデバッグモード （SWD ブートモード）	0xFF, ..., 0xFF（すべてのバイトが 0xFF）	プロテクト無効	ID コードは検証されません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッガ(注1)への接続が許可されます。
	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうちの少なくとも 1 バイトが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が終了し、シリアルプログラマまたはオンチップデバッガとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。 シリアルプログラマまたはオンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、 ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コードの一致は、認証が終了し、シリアルプログラマまたはオンチップデバッガとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。
	ビット[127] = 0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッガへの接続は禁止されます。 オンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、 ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。

注 1.　オンチップデバッガから ID コードを送信しないでください。または、オンチップデバッガから 0xFF, ..., 0xFF（すべてのバイトが 0xFF）の ID コードを送信してください。

33.6　機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスのプログラムが可能です。また、ユーザープログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザープログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 33.14 に、プログラミング方式および関連する動作モードを示します。

表 33.14　　プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリをオンボードで書き換えることができます。	シリアルプログラミングモード
	SCI インタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能により、コードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。	通常動作モード
SWD プログラミング	SWD を経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後にフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	SWD および専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	

表 33.15 に内蔵フラッシュメモリの機能一覧を示します。シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザープログラムの実行を行ってください。

表 33.15　　基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。	なし	あり
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし（ユーザープログラムにて読み出しは可能）
ID コードチェック	ホストが送信した ID コードとコードフラッシュメモリに格納されているコードとを比較します。これら 2 つが一致する場合、FCB は待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	あり	なし（ID 認証は行わない）
セキュリティ設定	セキュリティ機能の保護を設定します（アクセスウィンドウおよびスタートアップ領域選択）。	条件付きであり（「33.9. プロテクション機能」を参照）	条件付きであり（「33.9. プロテクション機能」を参照）
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	あり	あり

内蔵フラッシュメモリは ID コードチェック機能をサポートしています。ID コードチェック認証は、シリアルプログラミングと SWD プログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 33.16 に、セキュリティ設定時の動作を表 33.17 に示します。

表 33.16　　セキュリティ機能

機能	内容
ID 認証	シリアルプログラミング時のシリアルプログラマ接続を ID 認証結果で制御可能です。

表 33.17　使用可能な動作とセキュリティ設定

機能	各セキュリティ設定時のイレース／プログラミング／リード動作		セキュリティ設定に関する制限事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	
ID 認証	ID が不一致の場合 ● ブロックイレースコマンド：使用不可 ● プログラミングコマンド：使用不可 ● リードコマンド：使用不可 ● セキュリティ設定コマンド：使用不可 ● プロテクション設定コマンド：使用不可 ID が一致した場合 ● ブロックイレースコマンド：使用可能 ● プログラミングコマンド：使用可能 ● リードコマンド：使用可能 ● セキュリティ設定コマンド：使用可能 ● プロテクション設定コマンド：使用可能	● ブランクチェック：使用可能 ● ブロックイレース：使用可能 ● プログラミング：使用可能 ● セキュリティ設定：使用可能 ● プロテクション設定：使用可能	**セルフプログラミングモード** ID 認証は行わない

33.6.1　コンフィグレーション設定領域ビットマップ

図 33.5 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

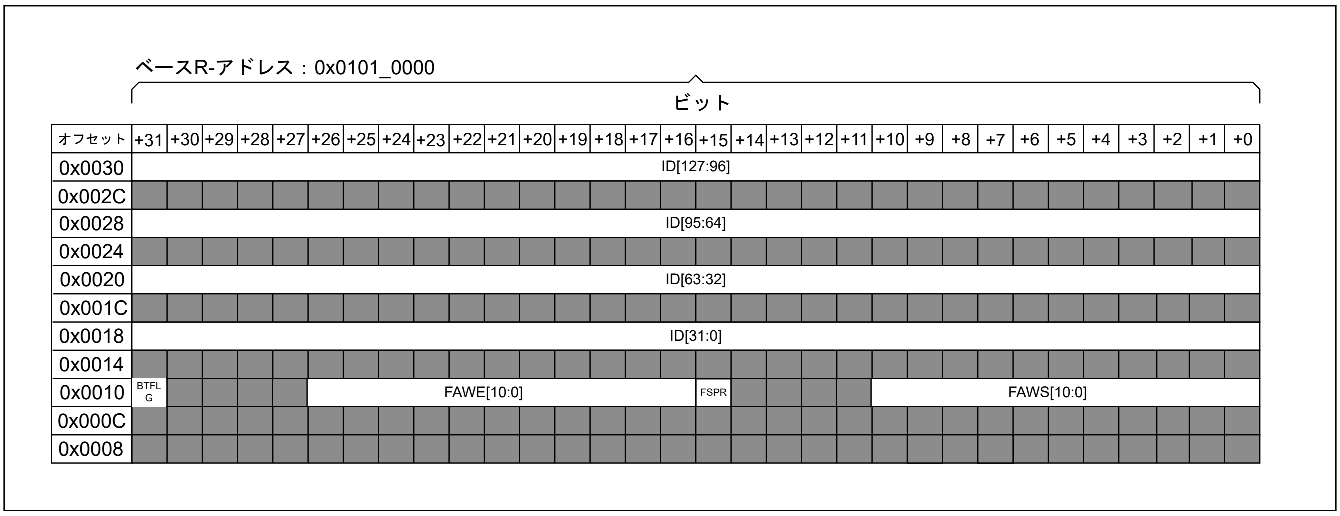


図 33.5　構成領域ビットマップ

33.6.2　スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 8 KB で、ユーザー領域に配置されています。FCB は、構成領域スタートアップ領域選択フラグ (AWS.BTFLG) に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

図 33.6 に、スタートアッププログラムのプロテクションの概要を示します。

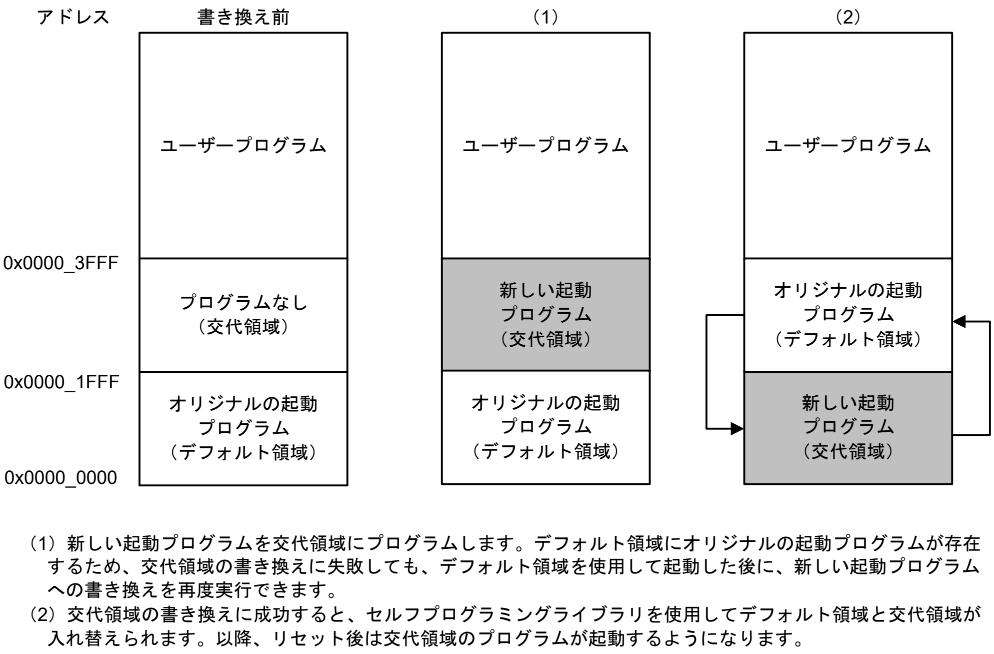


図 33.6　　スタートアッププログラムプロテクションの概要

33.6.3　　アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザー領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。図 33.7 に、フラッシュ領域プロテクションの概要を示します。

アクセスウィンドウは、FAWS[10:0]ビットおよび FAWE[10:0]ビットの両方で指定されています。「6.2.4. AWS : アクセスウィンドウ設定レジスタ」を参照してください。以下に、各種条件での FAWE[10:0]ビットおよび FAWS[10:0]ビットの設定を説明します。

- FAWE[10:0] = FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できます。
- FAWE[10:0] ＞ FAWS[10:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE[10:0]ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[10:0] ＜ FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できません。

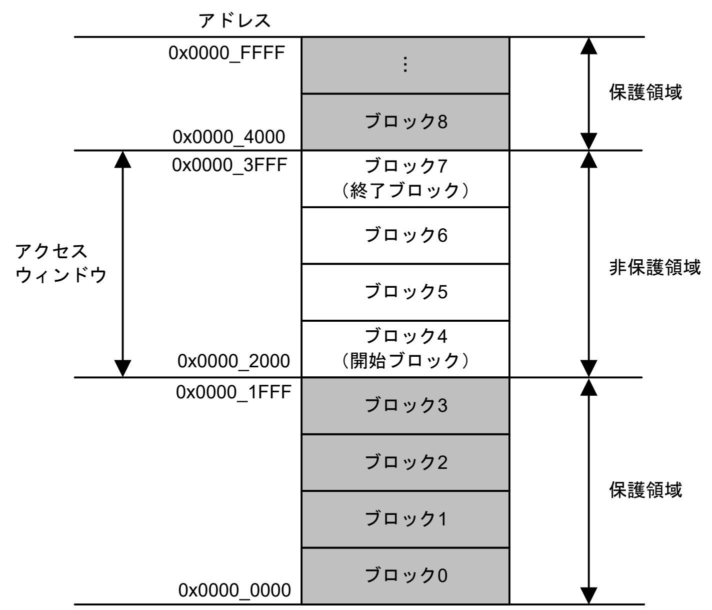


図 33.7　　フラッシュ領域プロテクションの概要

33.7　プログラムコマンド

FCB は、プログラムコマンドを制御します。

33.8　サスペンド動作

強制停止コマンドは、ブランクチェックコマンド、ブロックイレースコマンド、またはチップイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

チップイレースコマンドの最中に強制停止コマンドが実行された場合、チップイレースコマンドを再度実行してから再開してください。

33.9　プロテクション機能

以下の種類のプロテクションが提供されています。

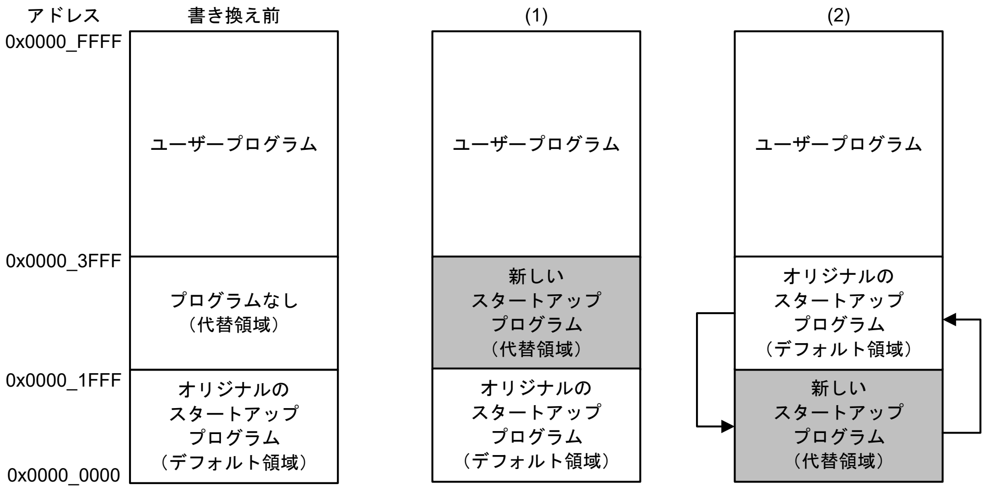
- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

33.9.1　スタートアッププログラムプロテクション

一時的な停電によってスタートアップ領域のプログラムが中断した場合、スタートアッププログラムが正常にプログラムされず、ユーザープログラムが正常に起動しないことがあります。

スタートアッププログラムプロテクションにより、既存のスタートアッププログラムを消去せずにスタートアッププログラムを書き込むことで、この問題を回避できます。

図 33.8 に、スタートアッププログラムプロテクションの概要を示します。この図では、開始アドレスから 8 KB の領域がデフォルト領域、それに続く 8 KB の領域が代替領域を示しています。



注.　(1) 新しいスタートアッププログラムを代替領域にプログラムします。デフォルト領域に元のスタートアッププログラムがあるため、代替領域の書き換えに失敗した場合、デフォルト領域を使用してスタートアップ後に新しいスタートアッププログラムを再度書き換えることができます。
(2) 代替領域の書き換えに成功すると、セルフプログラミングライブラリを使用して、デフォルト領域と代替領域が切り替えられます。以降は、リセット後に代替領域の中にあるプログラムが起動するようになります。

図 33.8　　スタートアッププログラムプロテクションの概要

33.9.2　　領域プロテクション

領域プロテクションは、ユーザー領域の選択されたブロック（アクセスウィンドウ）のみの書き換えを許可し、他のブロックのプログラミングを禁止します。データフラッシュは、アクセスウィンドウによって保護されません。

開始ブロックと終了ブロックを選択し、アクセスウィンドウを設定します。アクセスウィンドウは、プログラミングモード（ブートモード、セルフプログラミングモード、および OCD モード）において変更可能かつ有効です。

図 33.9 に領域プロテクションの概要を示します。

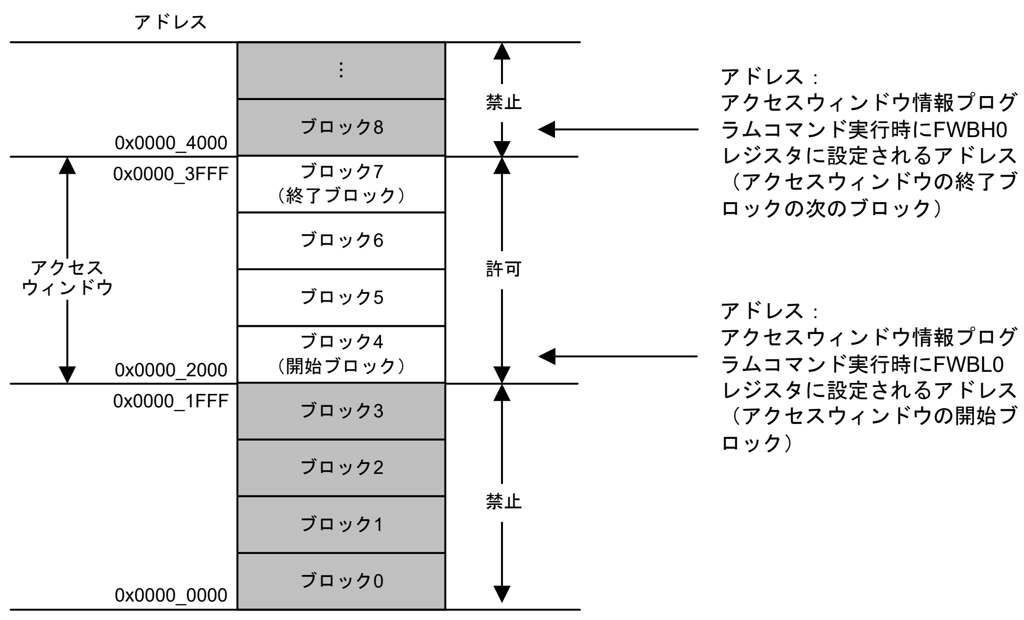


図 33.9　　領域プロテクションの概要

33.10　　シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用するブートモード

表 33.18 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 33.18　　フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCI ブートモード（シリアルプログラミングモード）	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI 経由データ受信用
P109/TXD9	出力		ホスト通信における SCI 経由データ送信用

注.　　セキュリティ MPU が有効な場合、シリアルプログラミングモードは実行されません。

33.10.1　　SCI ブートモード

SCI ブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ領域およびデータフラッシュメモリ領域へのプログラム／イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。

図 33.10 に、SCI ブートモードで動作するためのシステム構成を示します。

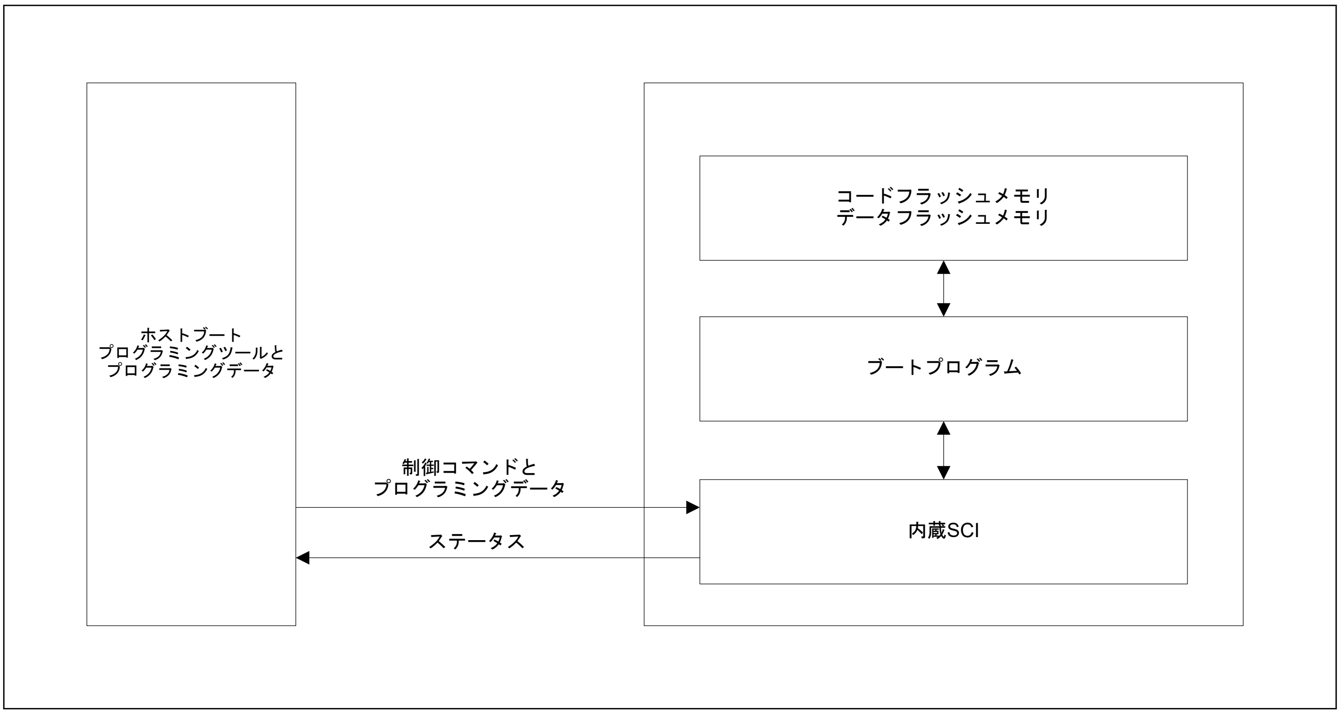


図 33.10 SCI ブートモード時のシステム構成

33.11 シリアルプログラマを使用する場合

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

33.11.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にシステムボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

図 33.11 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨される環境を示します。

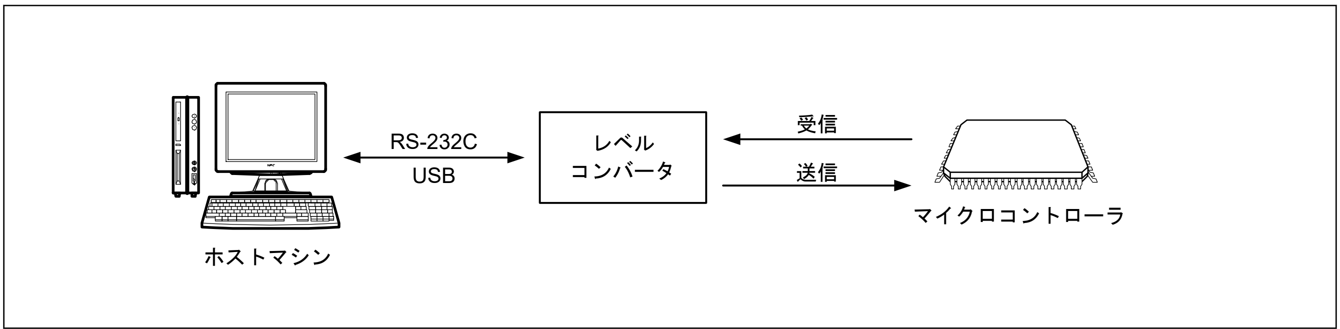


図 33.11 フラッシュメモリにプログラムを書き込むための環境

33.12 セルフプログラミング

33.12.1 概要

本 MCU は、ユーザープログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザーのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザープログラムの更新と、定数データフィールドの書き換えが可能になります。

セルフプログラミングでは、プログラム電圧とイレース電圧を生成するために、安定した HOCO クロックをフラッシュメモリに供給することが必要です。よって、システムクロックに他のクロックソースが選択されていて

HOCO が停止している場合には、セルフプログラミングを実行する前に、HOCO 動作を開始し、発振が安定状態にある必要があります。HOCO クロック発振安定確認の詳細は、「8.2.9. OSCSF : 発振安定フラグレジスタ」を参照してください。

バックグラウンドオペレーション機能を利用して図 33.12 に示す条件でコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵 SRAM に複製し、そこから実行することも可能です。内蔵 SRAM からの実行時、本プログラムはコードフラッシュメモリ領域を書き換えることもできます。

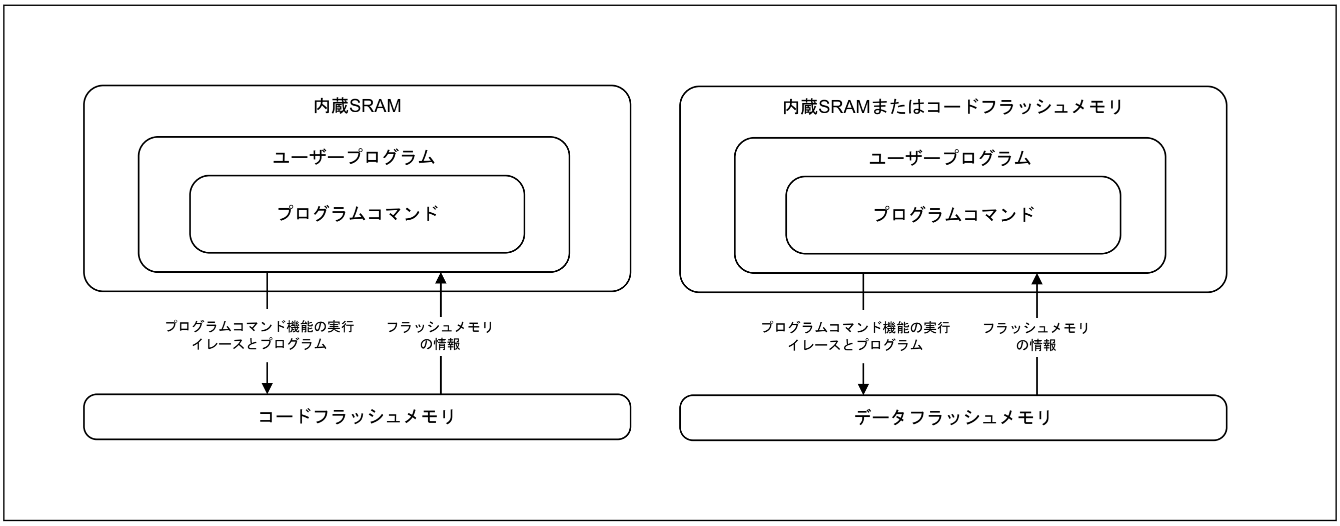


図 33.12　セルフプログラミングの概念

33.12.2　バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 33.19 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 33.19　バックグラウンドオペレーションの利用可能な条件

製品	書き込み可能範囲	読み出し可能範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ

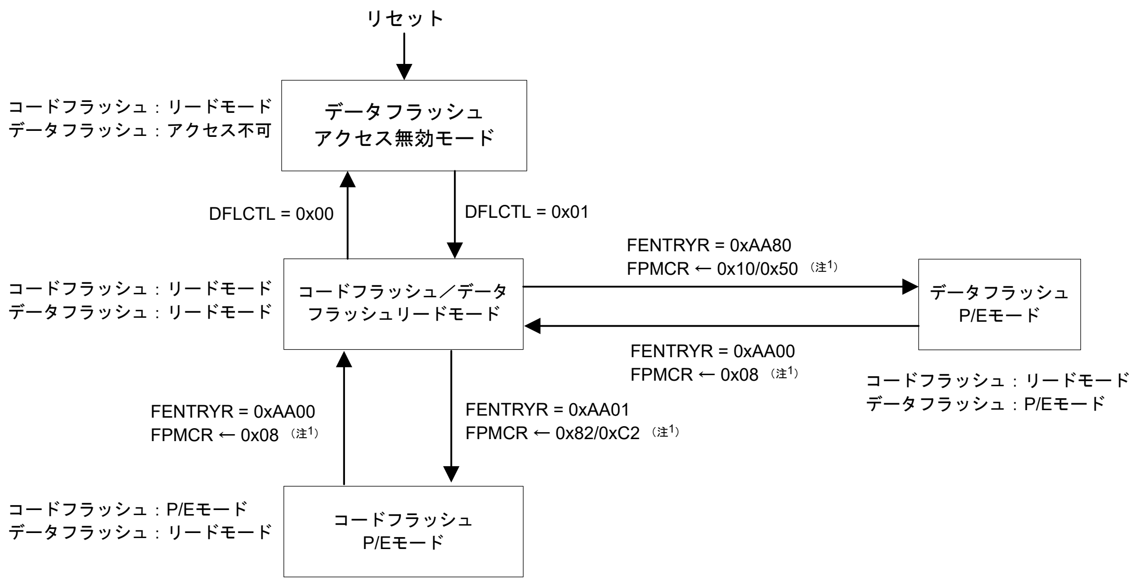
33.13　プログラムとイレース

コードフラッシュとデータフラッシュのプログラムとイレースは、プログラムおよびイレース用専用シーケンサのモードを変更するか、プログラムおよびイレース用のコマンドを発行することによって行えます。

コードフラッシュとデータフラッシュのプログラムまたはイレースに必要なモード遷移とコマンドについて、この後の各項で説明します。以下の説明は、ブートモードとシングルチップモードに共通して適用されます。

33.13.1　シーケンサモード

シーケンサには 4 つのモードがあります。モード間の遷移は、FENTRYR レジスタまたは DFLCTL レジスタへの書き込み、あるいは FPMCR レジスタを設定するコマンドの発行によって発生します。 図 33.13 にフラッシュメモリのモード遷移を示します。



注 1.　詳細については、各フローを参照してください。

図 33.13　　フラッシュメモリのモード遷移

33.13.1.1　データフラッシュアクセス禁止モード

データフラッシュアクセス禁止モードは、データフラッシュへのアクセスを禁止します。このモードはリセット時に発生します。DFLCTL.DFLEN ビットを 1 にすると、データフラッシュはリードモードに遷移します。

33.13.1.2　リードモード

リードモードは、コードフラッシュとデータフラッシュの高速読み出しに使用します。

(1)　コードフラッシュおよびデータフラッシュリードモード

このモードは、コードフラッシュおよびデータフラッシュの読み出しに使用されます。FENTRYR.FENTRY0 ビットが 0 で、かつ FENTRYR.FENTRYD ビットが 0 のとき、シーケンサはこのモードに遷移します。

33.13.1.3　P/E モード

(1)　コードフラッシュ P/E モード

コードフラッシュ P/E モードは、コードフラッシュのプログラムとイレースに使用されます。FENTRYR.FENTRYD ビットが 0 で、かつ FENTRYR.FENTRY0 ビットが 1 のとき、シーケンサはこのモードに遷移します。このモードでは、データフラッシュにアクセスすることはできません。

(2)　データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュのプログラムとイレースに使用されます。 コードフラッシュからの高速読み出しが可能です。FENTRYR.FENTRY0 ビットが 0 で、かつ FENTRYR.FENTRYD ビットが 1 のとき、シーケンサはこのモードに遷移します。

33.13.2　ソフトウェアコマンド

ソフトウェアコマンドは、プログラムとイレースのためのコマンドと、スタートアッププログラム領域情報およびアクセスウィンドウ情報をプログラムするためのコマンドで構成されます。 表 33.20 にフラッシュメモリで使用できるソフトウェアコマンドの一覧を示します。

表 33.20　　ソフトウェアコマンド

コマンド	機能
プログラム	コードフラッシュプログラミング（4 バイト） データフラッシュプログラミング（1 バイト）
ブロックイレース	コードフラッシュ／データフラッシュイレース
チップイレース	コードフラッシュ／データフラッシュイレース
連続リード	コードフラッシュ P/E モードまたはデータフラッシュ P/E モード中に指定された領域を読み出します。
ブランクチェック	指定された領域がブランクであるかどうかをチェックします。 領域にデータがプログラムされていないことを確認します。このコマンドは、領域が消去されたままであることを保証するものではありません。
スタートアップ領域情報およびセキュリティプログラム	FSPR または SASMF をエクストラ領域に設定します。
アクセスウィンドウ情報プログラム	領域プロテクションに使用されるアクセスウィンドウをエクストラ領域に設定します。
OCDID プログラム	OCDID をエクストラ領域に設定します。

33.13.3　　ソフトウェアコマンドの使用方法

以下の各項では、各ソフトウェアコマンドの使用方法について説明します。

(1)　データフラッシュアクセス禁止モードからリードモードへの切り替え

データフラッシュアクセス禁止モードから、コードフラッシュ/データフラッシュリードモードに遷移する必要があります。図 33.14 に、データフラッシュアクセス禁止モードからコードフラッシュ/データフラッシュリードモードに遷移する手順を示します。

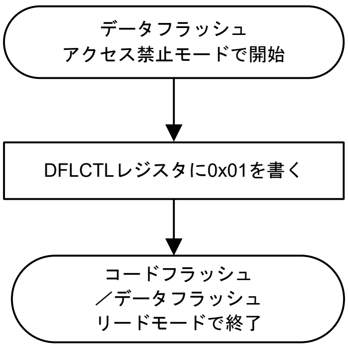
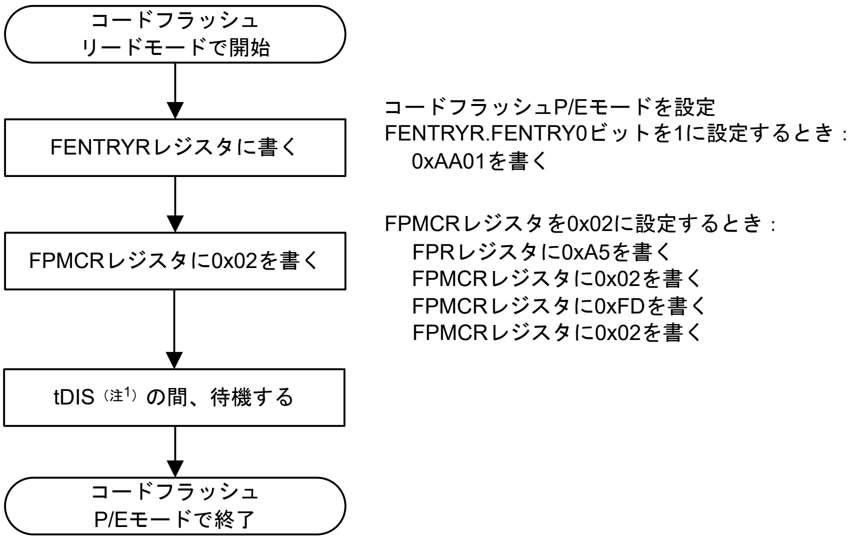


図 33.14　　データフラッシュアクセス禁止モードからリードモードへのモード遷移

(2)　コードフラッシュ P/E モードへの切り替え

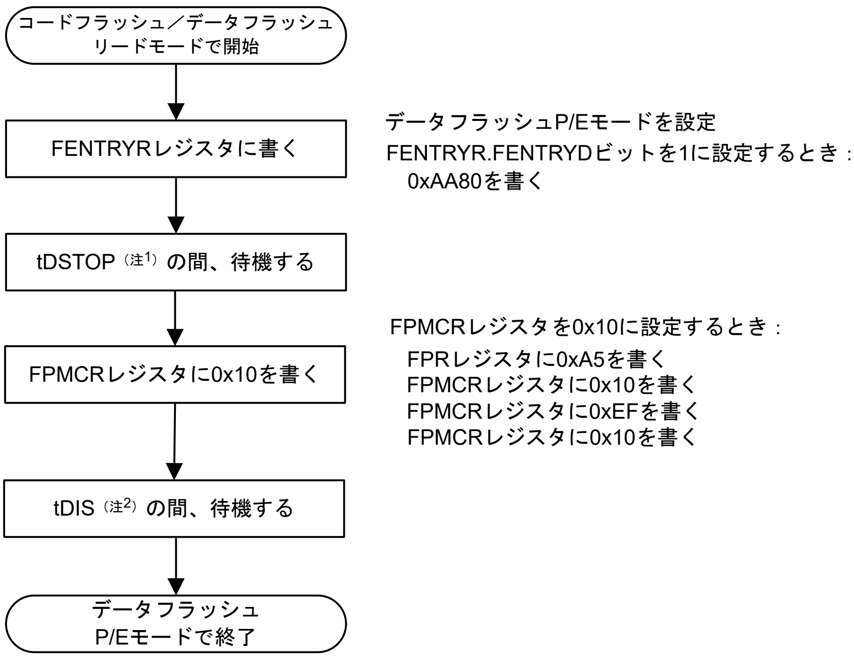
コードフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRY0 ビットをセットして、コードフラッシュ P/E モードに遷移する必要があります。図 33.15 に、コードフラッシュ P/E モードに遷移する手順を示します。



注 1.　t_{DIS}：フラッシュメモリモード遷移待機時間 1（「35. 電気的特性」を参照）

図 33.15　　リードモードからコードフラッシュ P/E モードへの変更手順

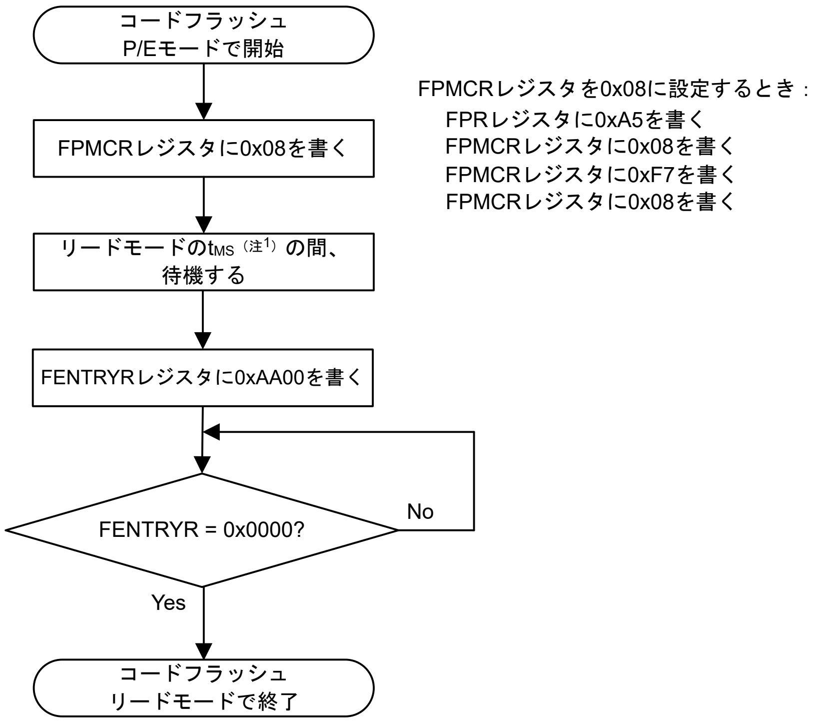
データフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRYD ビットをセットして、データフラッシュ P/E モードに遷移する必要があります。図 33.16 に、データフラッシュ P/E モードに遷移する手順を示します。



注 1.　t_{DSTOP}：STOP 復帰時間（「35. 電気的特性」を参照）
注 2.　t_{DIS}：フラッシュメモリモード遷移待機時間 1（「35. 電気的特性」を参照）

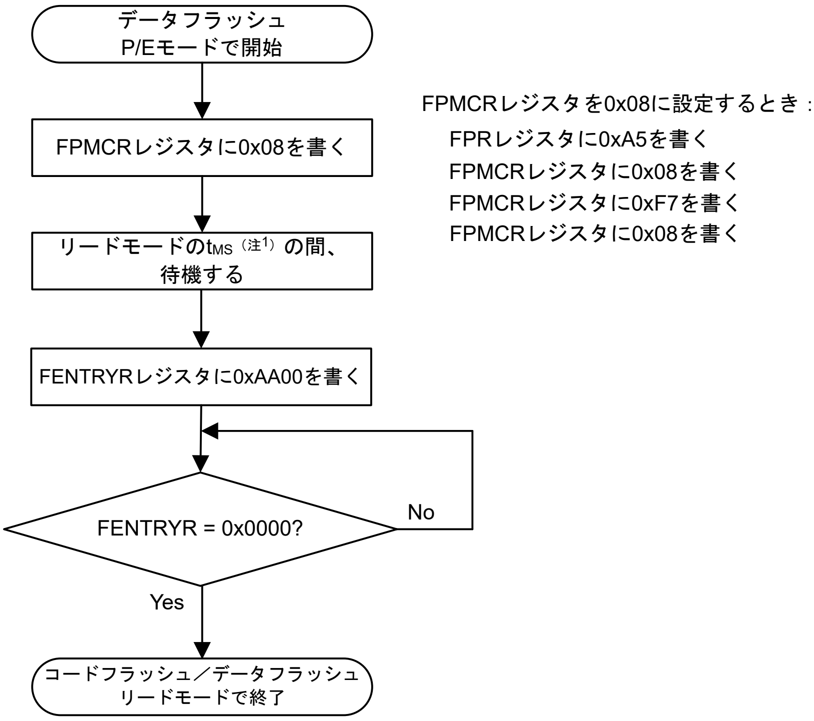
図 33.16　　リードモードからデータフラッシュ P/E モードへの変更手順

(3) コードフラッシュ P/E モードまたはデータフラッシュ P/E モードからリードモードへの切り替え



注 1. t_{MS}：フラッシュメモリモード遷移待機時間 2（「35. 電気的特性」を参照）

図 33.17 コードフラッシュ P/E モードからリードモードへの変更手順



注 1. t_{MS}：フラッシュメモリモード遷移待機時間 2（「35. 電気的特性」を参照）

図 33.18　　データフラッシュ P/E モードからリードモードへの変更手順

(4)　コードフラッシュまたはデータフラッシュのプログラム時のフローチャート

以下の図は、コードフラッシュまたはデータフラッシュをプログラムするフローを示します。

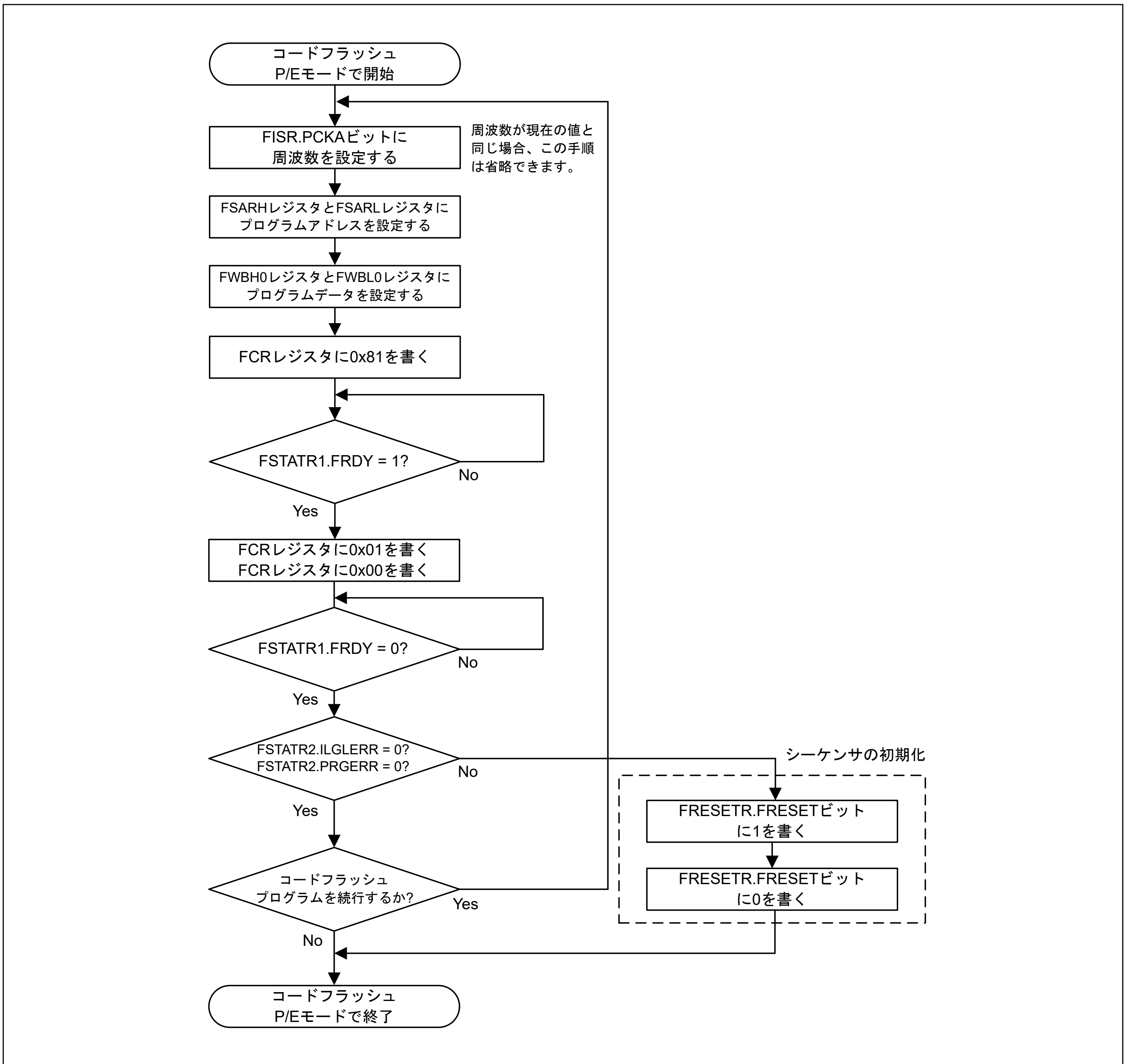


図 33.19　　コードフラッシュのプログラム時のフローチャート

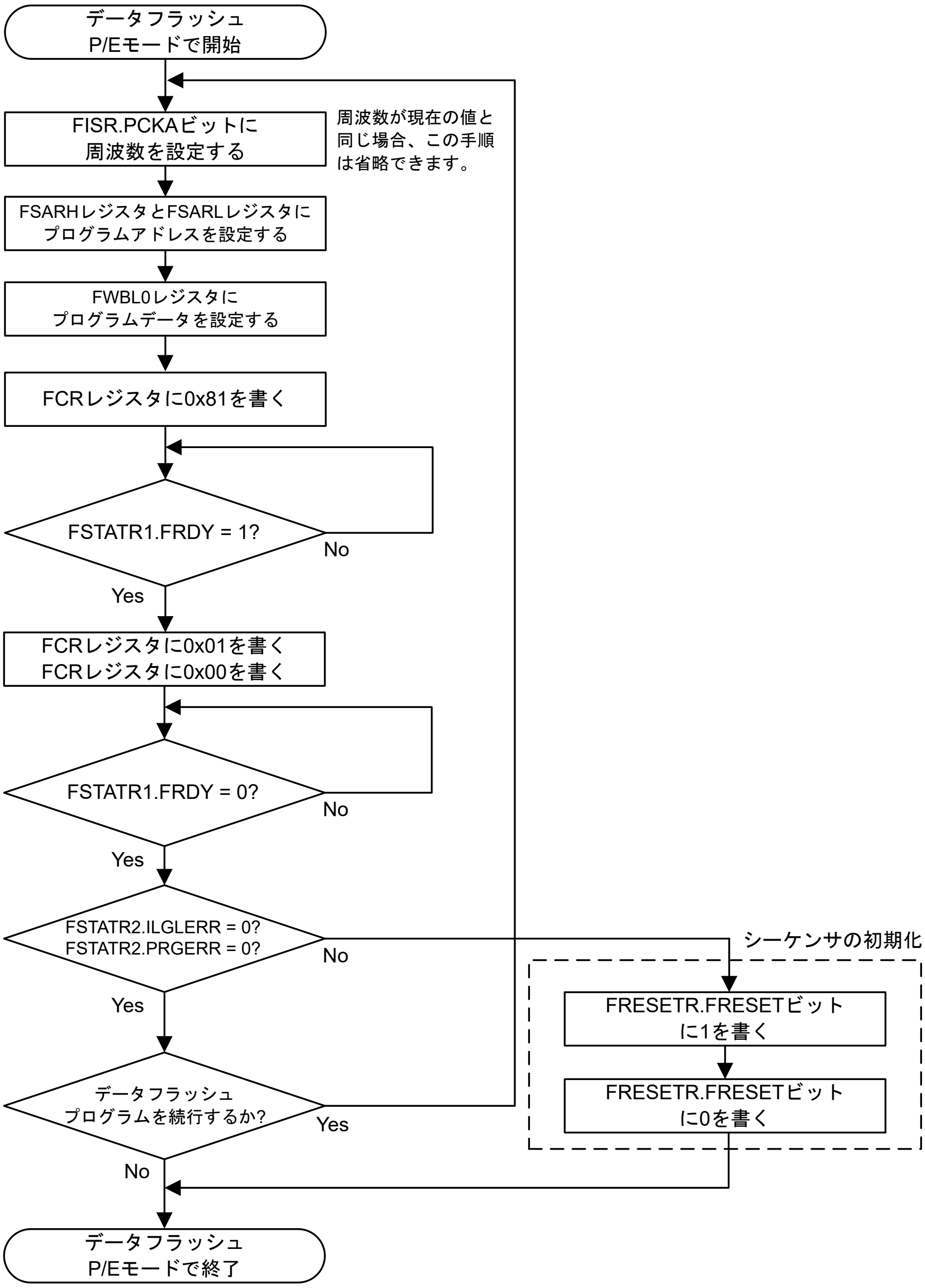


図 33.20　データフラッシュのプログラム時のフローチャート

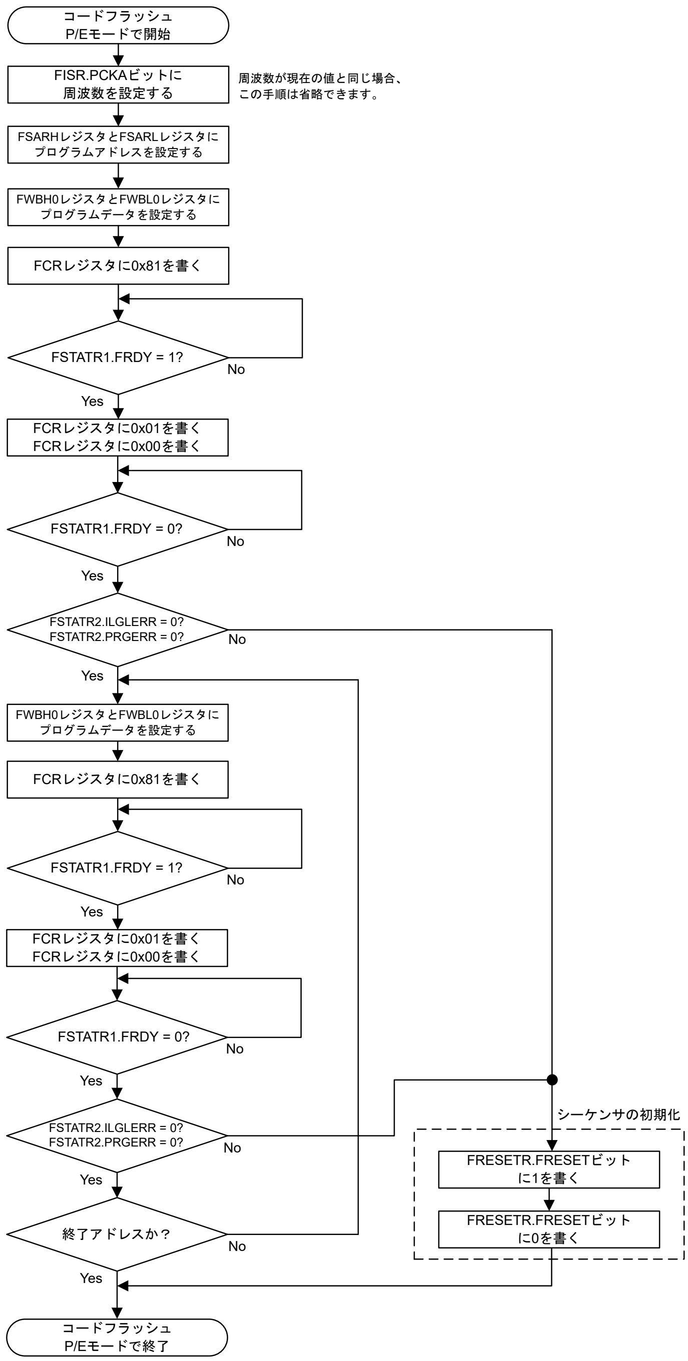


図 33.21　　コードフラッシュの連続プログラム時のフローチャート

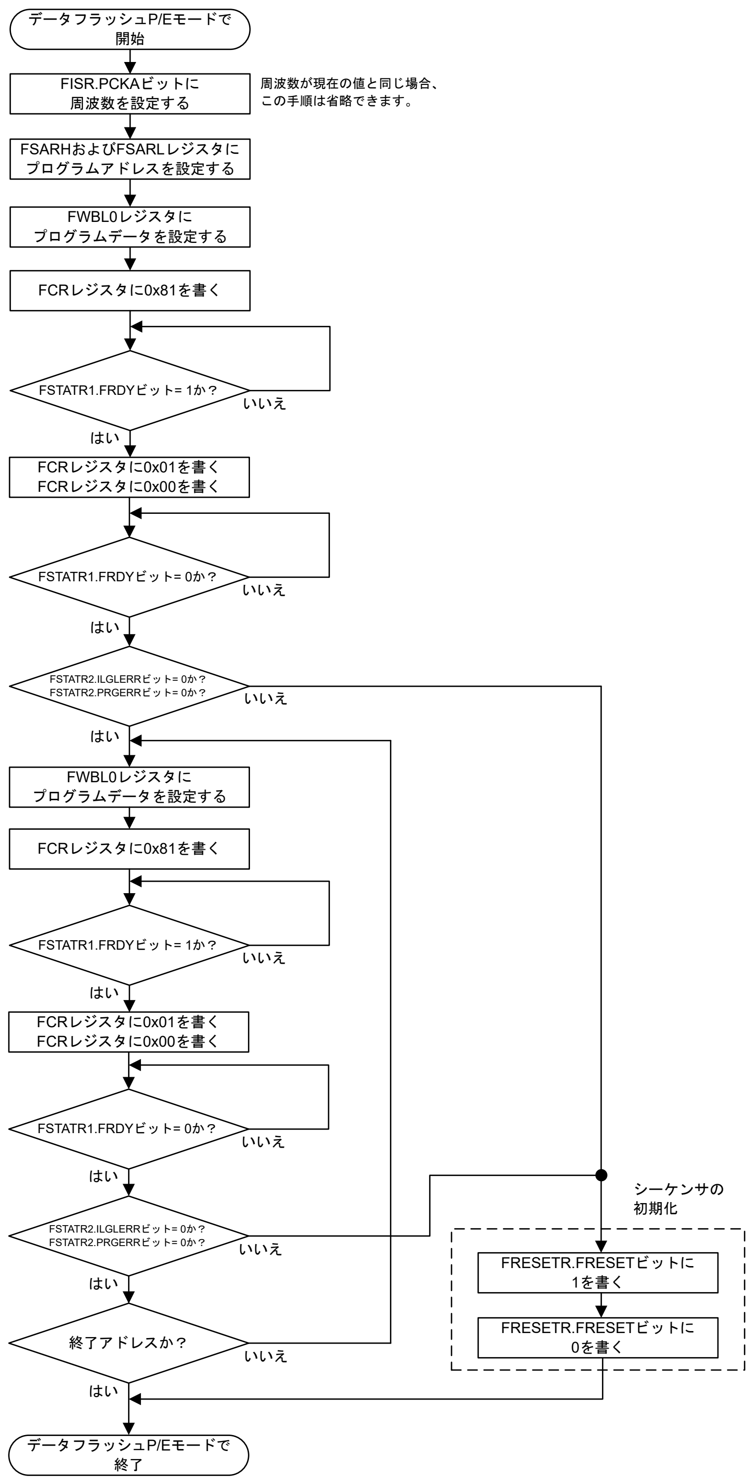


図 33.22　データフラッシュの連続プログラム時のフローチャート

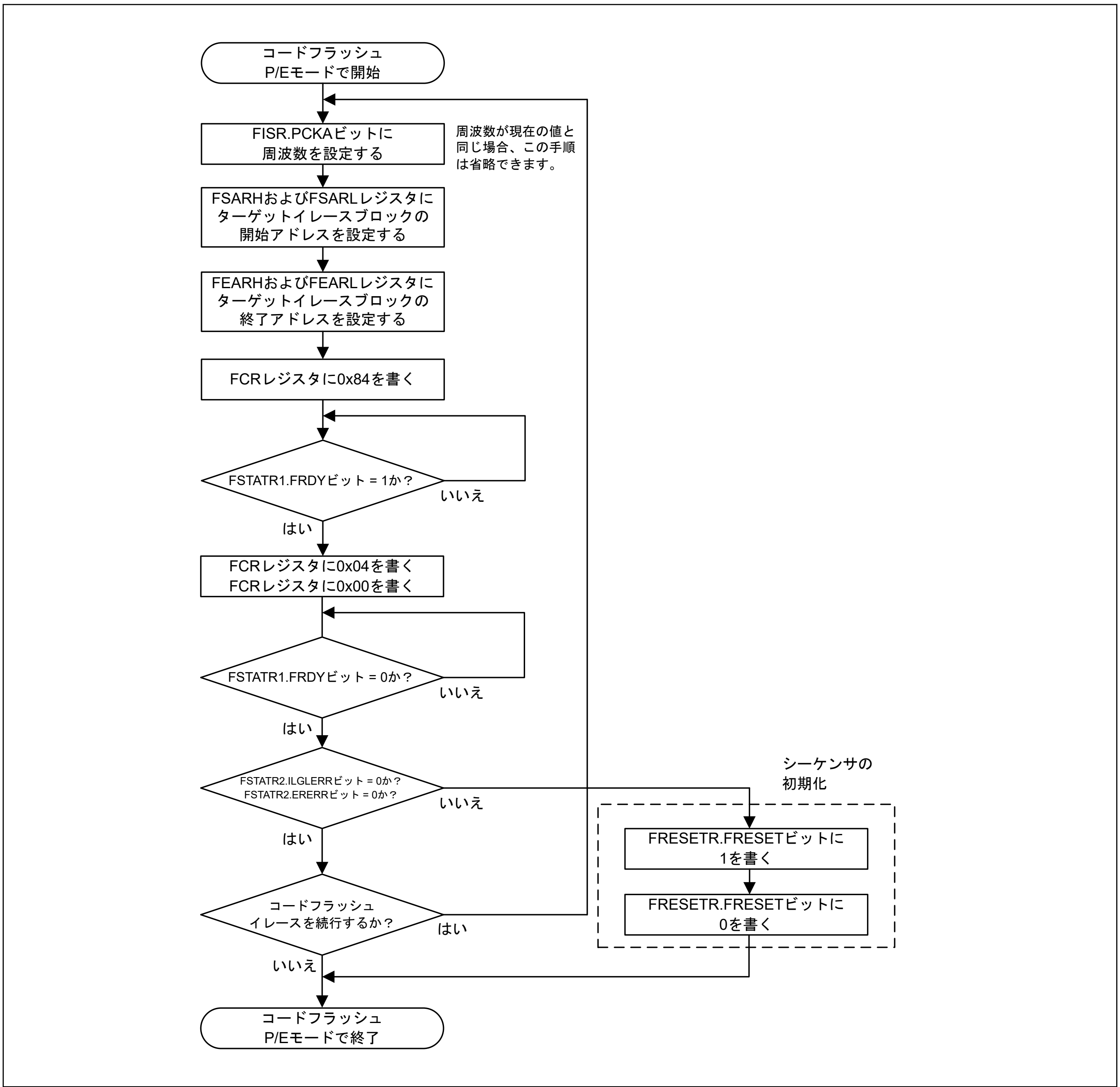


図 33.23　　コードフラッシュブロックイレース手順のフローチャート

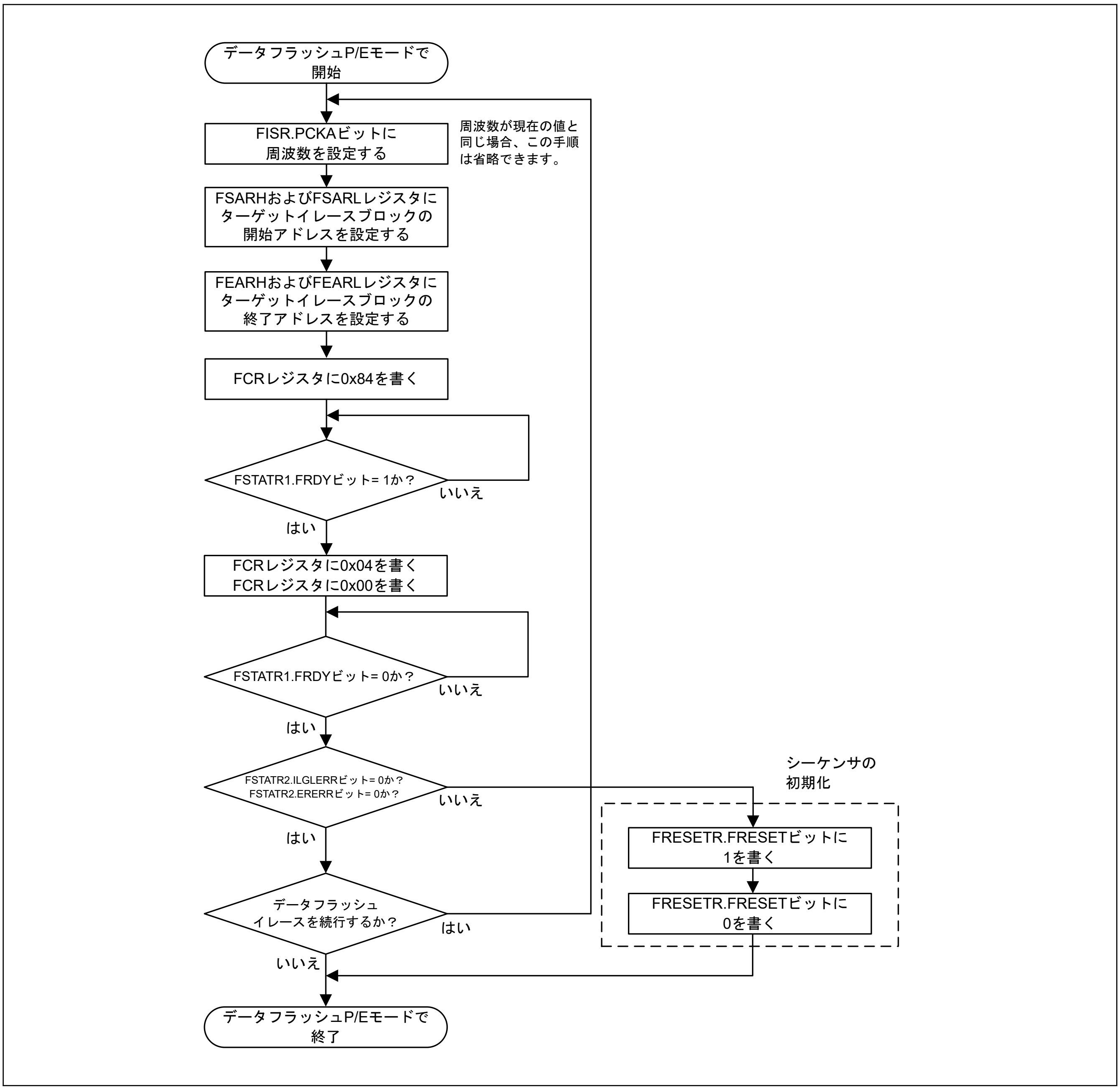


図 33.24 データフラッシュブロックイレース手順のフローチャート

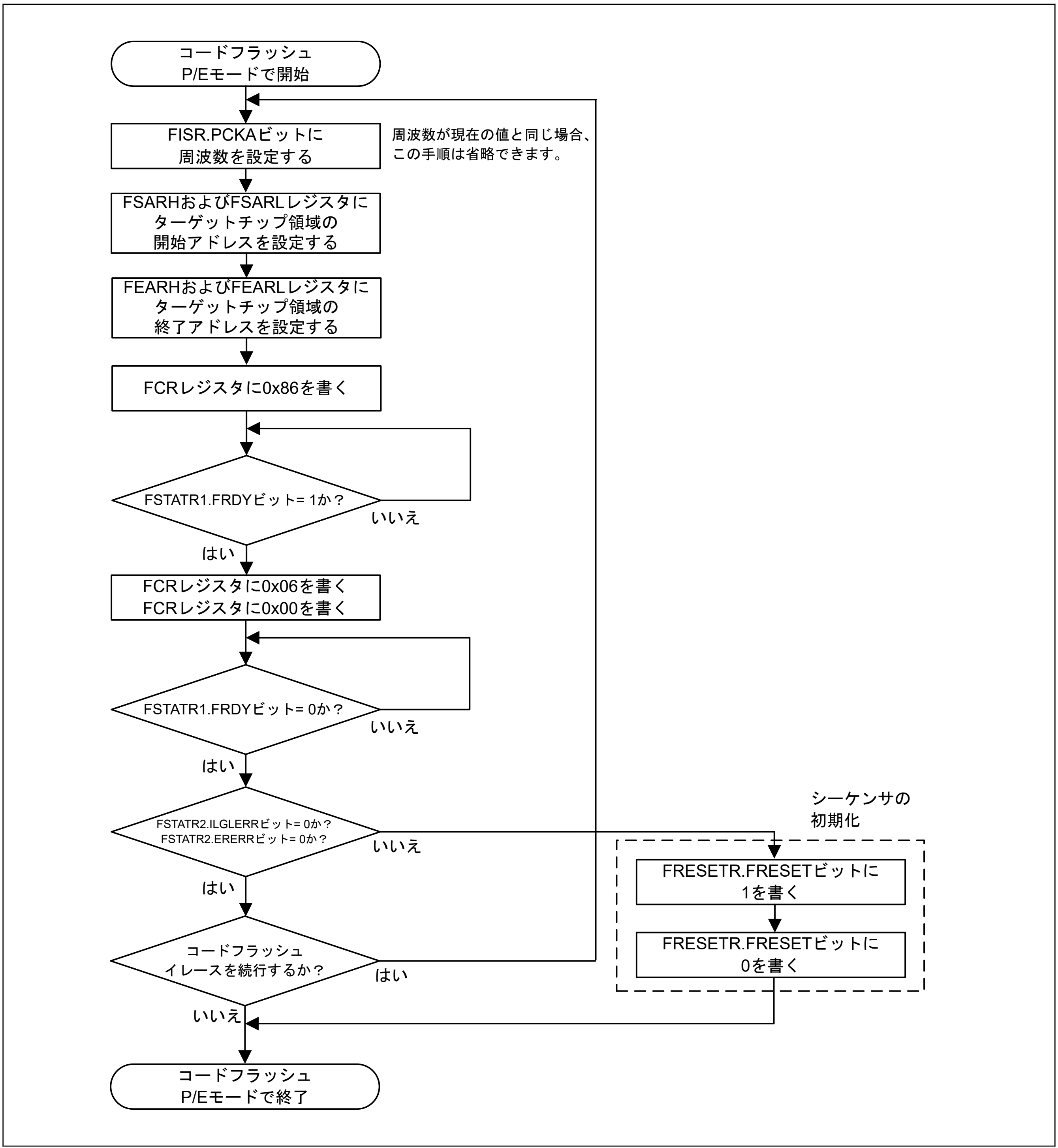


図 33.25 コードフラッシュチップイレース手順のフローチャート

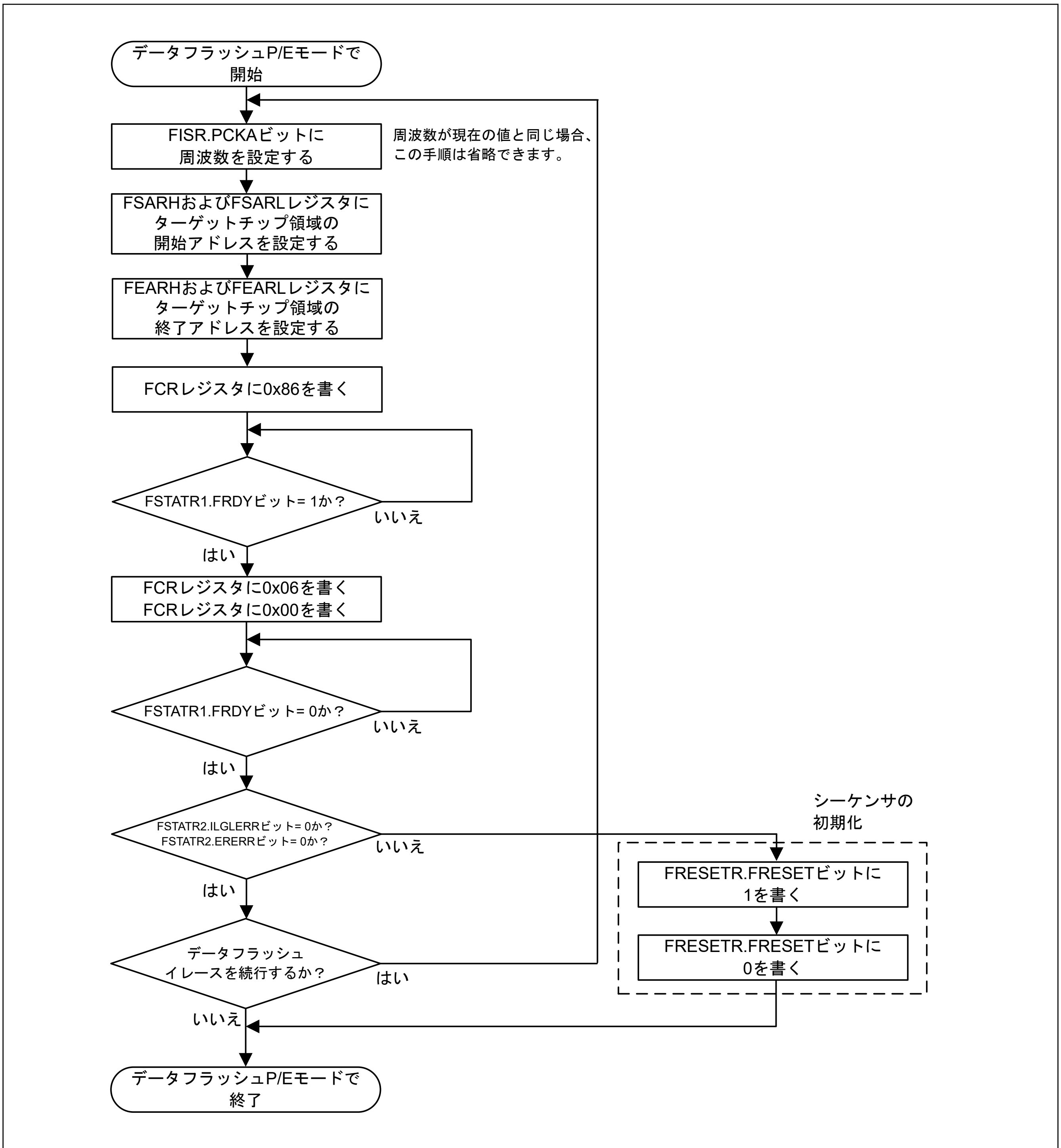


図 33.26　　データフラッシュチップイレース手順のフローチャート

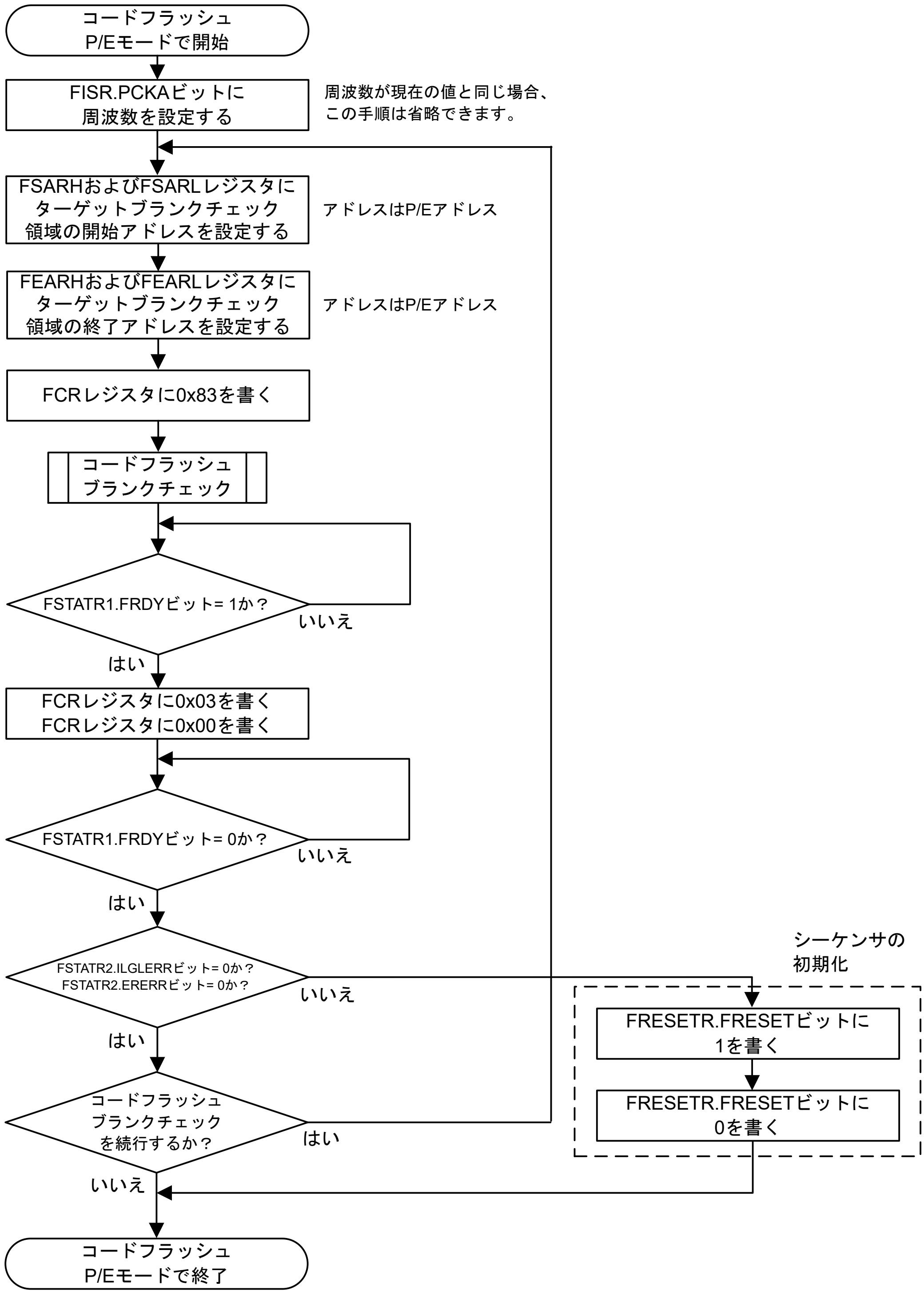


図 33.27　　コードフラッシュブランクチェック手順のフローチャート

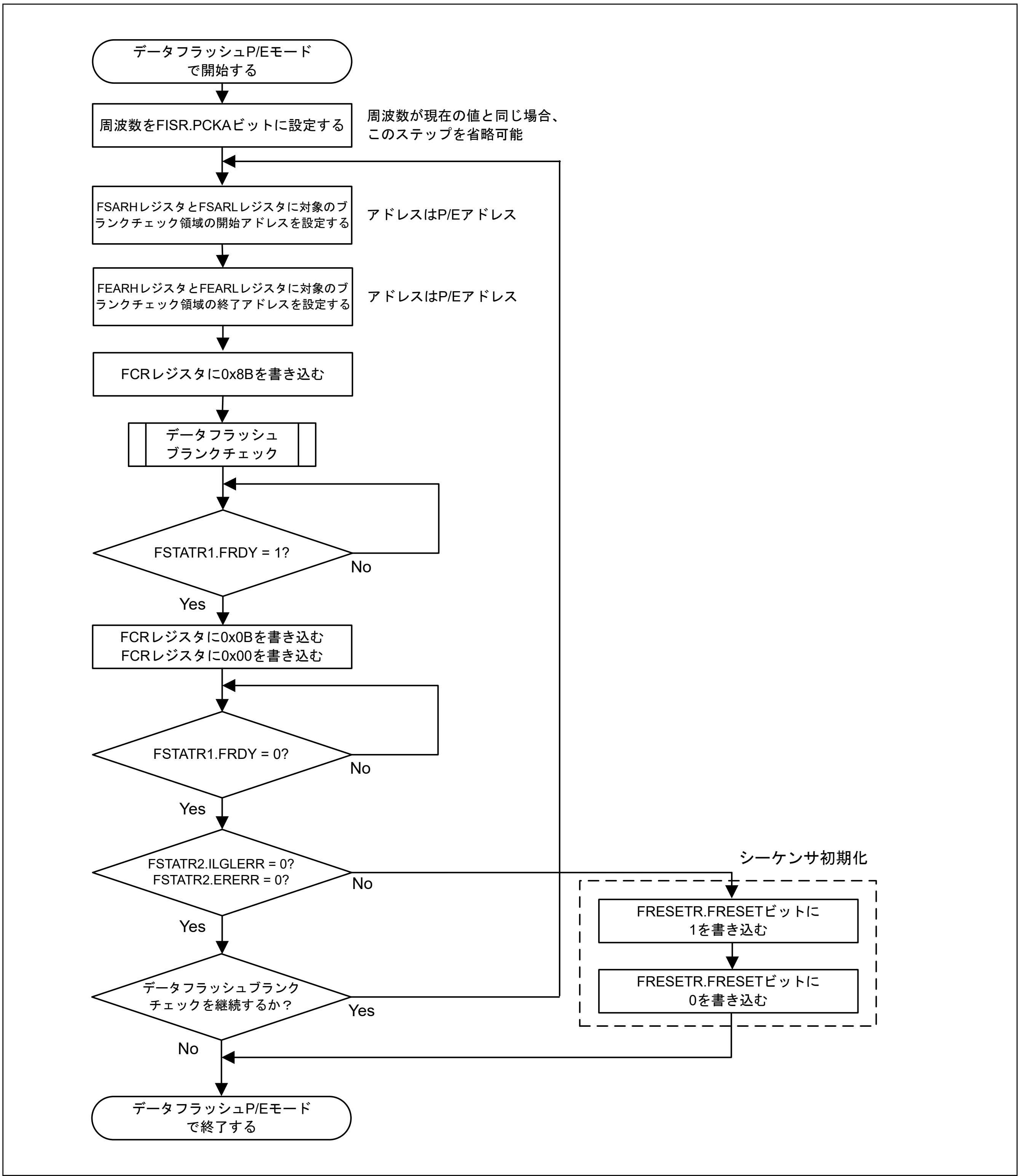
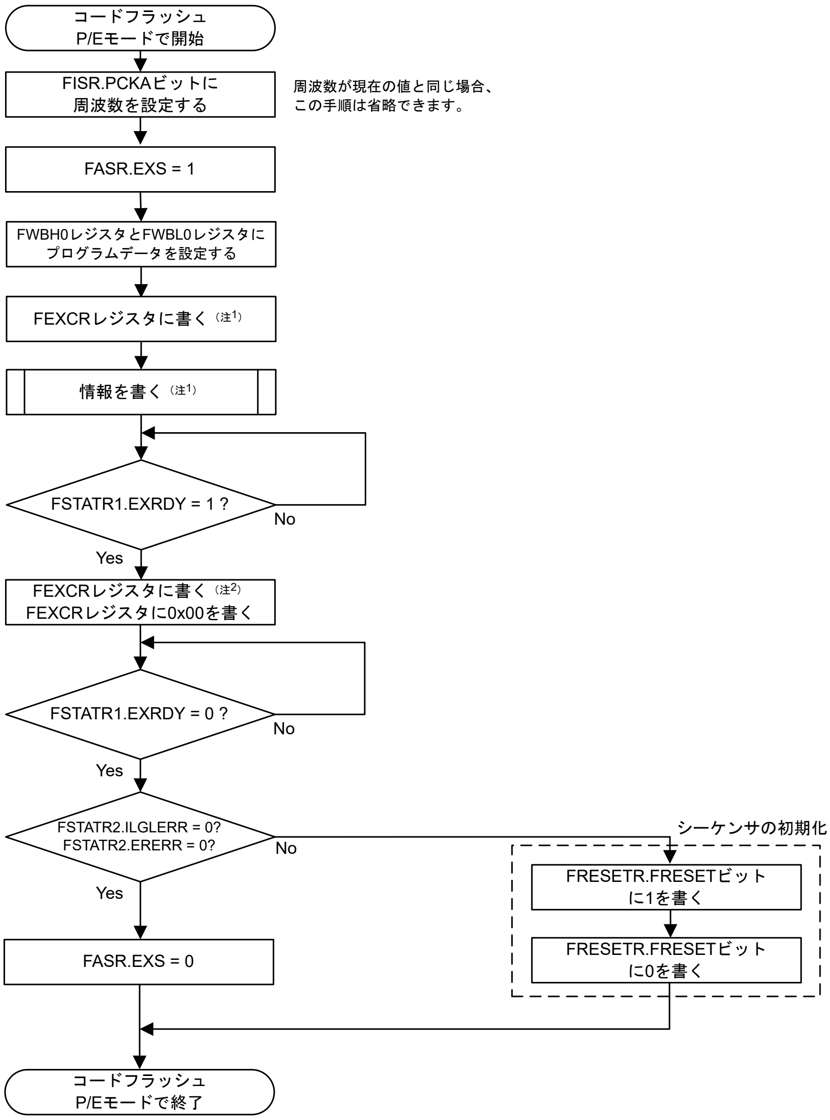


図 33.28　　データフラッシュブランクチェック手順のフローチャート

(5)　スタートアップ領域情報および FSPR プログラム／アクセスウィンドウ情報プログラム／OCDID 情報プログラム

図 33.29 は、スタートアップ領域情報および FSPR プログラム／アクセスウィンドウ情報プログラム／OCDID 情報プログラムの手順を示す簡易フローチャートです。



注.　スタートアップ領域情報および FSPR プログラムによる FSPR ビットの設定順序
注 1.　ライトデータ：
0x81：予約
0x82：スタートアップ領域情報および FSPR ビットアクセスウィンドウ情報
0x83: OCDID1 情報
0x84: OCDID2 情報
0x85: OCDID3 情報
0x86: OCDID4 情報
注 2.　0x0y (y = 1～6)

図 33.29　スタートアップ領域情報および FSPR プログラム／アクセスウィンドウ情報プログラム／OCDID 情報プログラムの手順を示す簡易フローチャート

FSPR ビットの設定は、スタートアップ領域情報とアクセスウィンドウ情報をプログラムしてから行ってください。先に FSPR ビットを設定した場合、FSPR のセキュリティ機能によって、スタートアップ領域情報とアクセスウィンドウ情報をプログラムすることができなくなります。ヘキサファイルを使用してプログラムする場合、プログラムはアドレスの昇順になります。この場合、アクセスウィンドウ情報の前に FSPR ビットが書き込まれます。そのため、FSPR のヘキサファイルを別のファイルに分割し、アクセスウィンドウ情報を設定した後にそのファイルを使用してください。

(6)　連続リード

図 33.30 は、連続リード手順の簡易フローチャートを示しています。

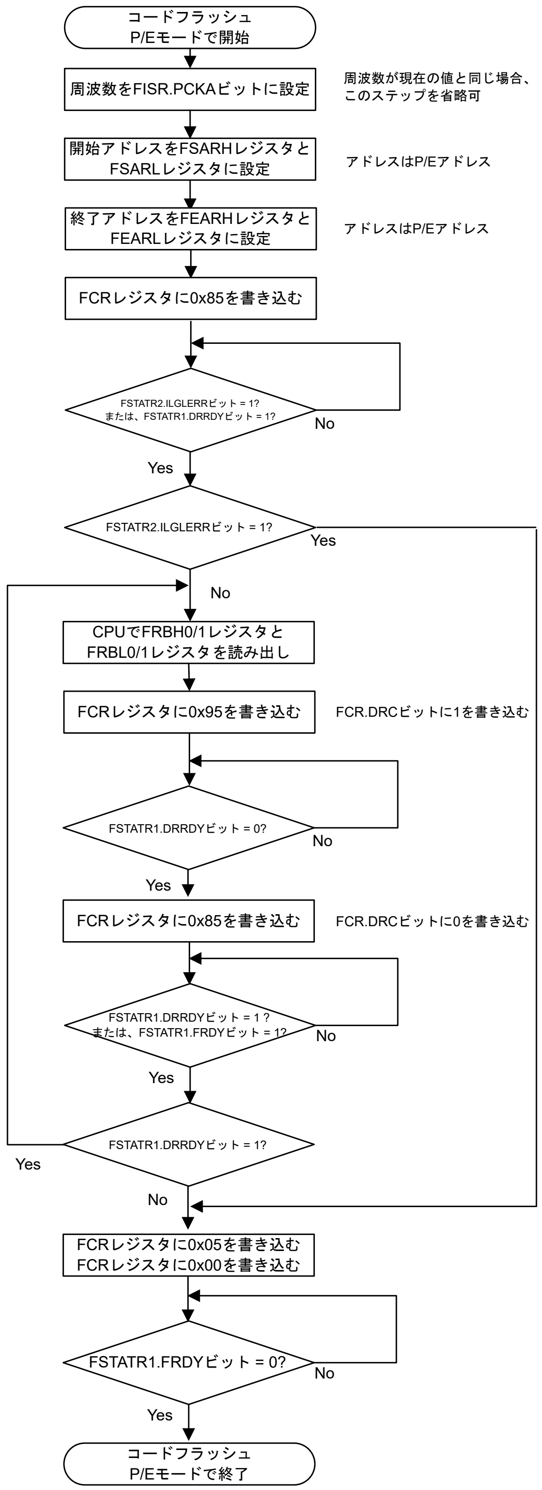


図 33.30　　連続リード手順の簡易フローチャート

(7)　ソフトウェアコマンドによる強制停止

図 33.31 に、ブランクチェックコマンド、ブロックイレースコマンド、またはチップイレースコマンドを強制的に停止する、強制停止手順の簡易フローチャートを示します。強制停止コマンドを実行すると、FEAMH/FEAML レジスタに停止されたアドレス値が格納されます。ブランクチェックコマンドの場合、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにそれぞれコピーすることで、停止されたアドレスからブランクチェックを再開できます。

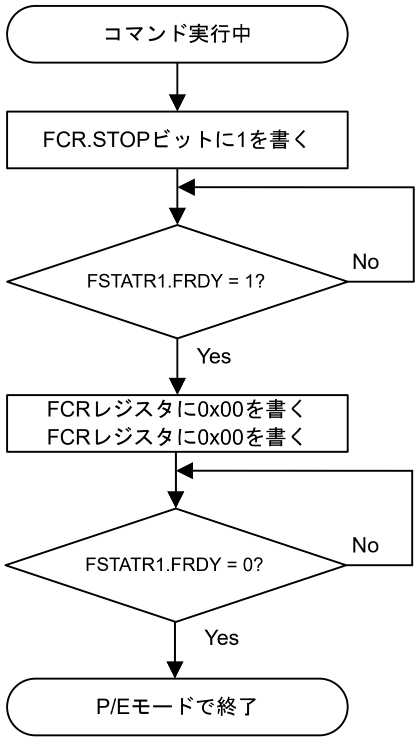


図 33.31　強制停止手順の簡易フローチャート

33.14　フラッシュメモリの読み出し

33.14.1　コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後に再プログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから 1 が読み出されます。

33.14.2　データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。イレース後に再プログラミングしていない（未プログラム状態の）データフラッシュを読み出すと、全ビットから 1 が読み出されます。

33.15　使用上の注意事項

33.15.1　イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

33.15.2　イレースサスペンドコマンドによる中断

イレース動作をイレースサスペンドコマンドで中断した場合、レジュームコマンドで動作を完了してください。

33.15.3　追加の書き込みに関する制限

構成領域を除き、同一領域に 2 回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

33.15.4 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、t_{RESW} 以上のリセット入力時間が経過してからリセットを解除してください。「35.3.3. リセットタイミング」を参照してください。タイミングのリセットは、電気的特性で定義された動作電圧の範囲内で行ってください。

IWDT リセットおよびソフトウェアリセットでは、t_{RESW} 入力時間は必要ありません。

33.15.5 プログラム／イレース中に禁止されるノンマスカブル割り込み

プログラムまたはイレース中にノンマスカラブル割り込み(注1)が発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。そのため、コードフラッシュメモリのプログラムおよびイレース中に、ノンマスカラブル割り込みを発生させないでください。この制限はコードフラッシュメモリに限り適用されます。

注 1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、WDT アンダーフローまたはリフレッシュエラー、IWDT アンダーフローまたはリフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み、SRAM パリティエラー、MPU バススレーブエラー、MPU バスマスタエラー、または CPU スタックポインタモニタです。

33.15.6 プログラム／イレース中における割り込みベクタの配置

デフォルト設定として、プログラムおよびイレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできます。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

33.15.7 Subosc-Speed 動作モードでのプログラム／イレース

消費電力低減機能のために SOPCCR レジスタで Subosc-Speed 動作モードが選択されている場合、フラッシュメモリのプログラム／イレースは実行しないでください。

33.15.8 プログラム／イレース中の異常終了

プログラムおよびイレース中に電圧が動作電圧範囲を超えた場合、またはリセットや「33.15.9. プログラム／イレース中に禁止されているアクション」に記載の禁止動作が原因でプログラム／イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

33.15.9 プログラム／イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム／イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0]ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- システムクロック (ICLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム／イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリへのプログラム／イレース中にデータフラッシュアクセス制御設定を変更しない

33.15.10 追加プログラムの禁止

同一アドレスに 2 回以上プログラミングすることはできません。プログラム済みの領域にプログラミングする場合、最初にその領域をイレースしてください。

33.15.11 プログラム／イレース中の Flash-IF クロック (ICLK)

セルフプログラミングによるプログラム／イレースでは、フラッシュ初期設定レジスタ (FISR) を設定することで整数の周波数を指定する必要があります。

34. 内部電圧レギュレータ

34.1 概要

本 MCU は 1 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)

このレギュレータは、I/O およびアナログドメイン以外のすべての内部回路およびメモリに電圧を供給します。

34.2 動作説明

表 34.1 に LDO の端子設定を、図 34.1 に LDO の設定を示します。

表 34.1 LDO 端子

端子	設定内容
全 VCC 端子	● 各端子をシステムの電源に接続してください。 ● 各端子を 0.1 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCL	端子を 4.7 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。

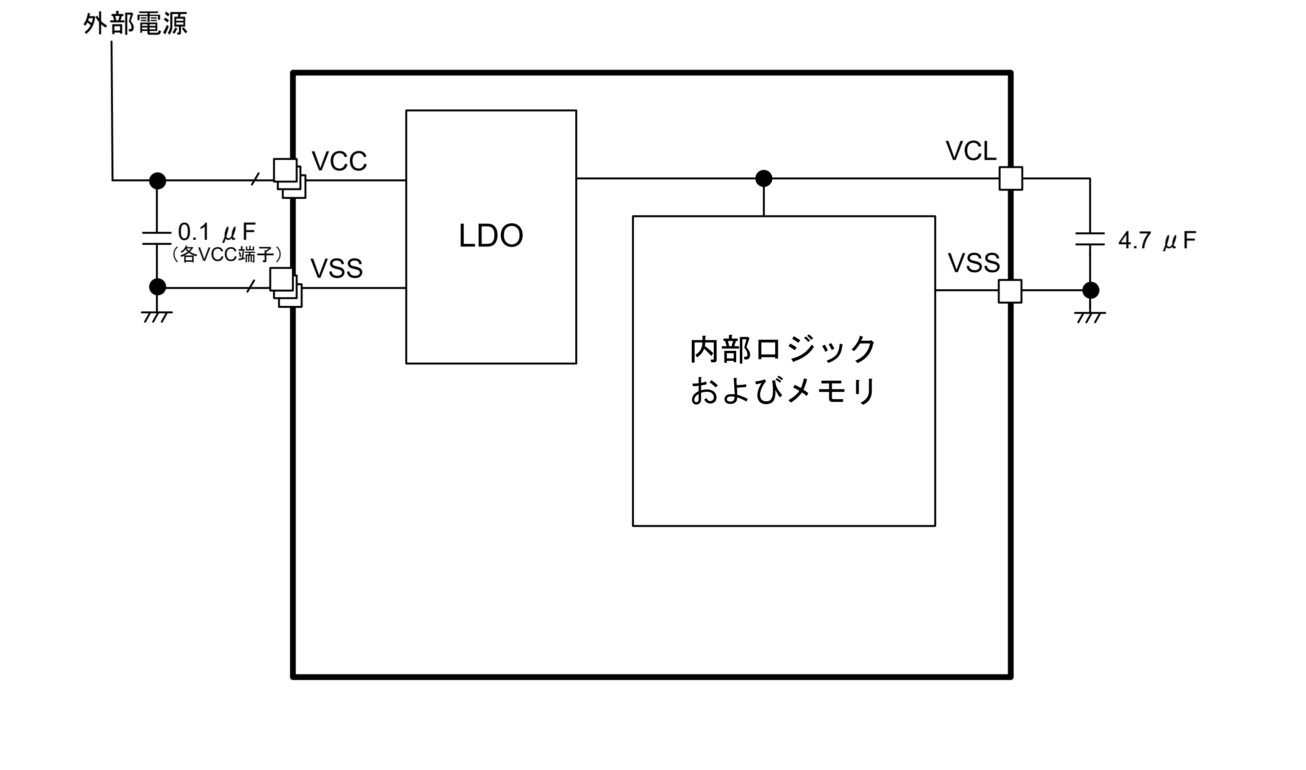


図 34.1 LDO の設定

35.　電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC(注1) = AVCC0 = 1.6～5.5 V、VREFH0 = 1.6 V～AVCC0

VSS = AVSS0 = VREFL0 = 0 V、Ta = T_{opr}

注 1.　通常は VCC = 3.3 V に設定されています。

図 35.1 にタイミング条件を示します。

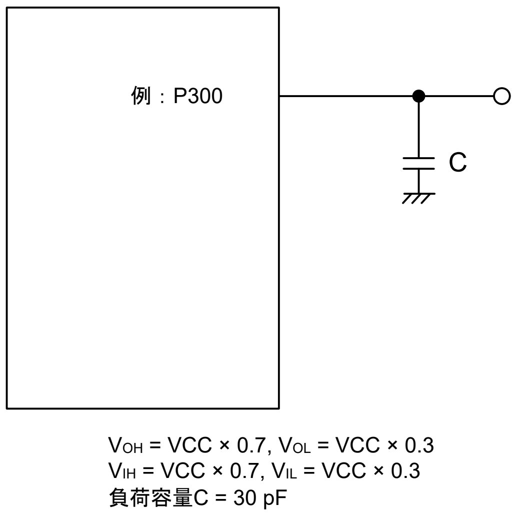


図 35.1　入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

35.1　絶対最大定格

表 35.1　絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5～+6.5	V
入力電圧	5V トレラントポート(注1)	V_{in}	-0.3～+6.5	V
	P000～P002、P010～P015	V_{in}	–0.3～AVCC0 + 0.3	V
	その他	V_{in}	-0.3～VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3～+6.5	V
アナログ電源電圧		AVCC0	-0.5～+6.5	V
アナログ入力電圧	AN000～AN002、AN005～AN010 使用時	V_{AN}	–0.3～AVCC0 + 0.3	V
	AN019～AN022 使用時		-0.3～VCC + 0.3	V
動作温度(注2) (注3) (注4)		T_{opr}	-40～+105 -40～+125	℃
保存温度		T_{stg}	-55～+140	℃

注 1.　P400、P401 は 5V トレラント対応ポートです。

デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部素子を劣化させる恐れがあります。

注 2.　「35.2.1. Tj/Ta の定義」を参照してください。

注 3.　Ta = +105℃～+125℃でのディレーティング動作については、弊社営業窓口にお問い合わせください。
ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。

注 4.　動作温度の上限は、105℃または 125℃です（製品による）。詳細は、「1.3. 型名」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- **VCC と VSS：約 0.1 μF**
- **AVCC0 と AVSS0：約 0.1 μF**
- **VREFH0 と VREFL0：約 0.1 μF**

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μF のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 35.2　推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC(注1) (注2)		1.6	—	5.5	V
	VSS		—	0	—	V
アナログ電源電圧	AVCC0(注1) (注2)		1.6	—	5.5	V
	AVSS0		—	0	—	V
	VREFH0	ADC12 基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V

注 1.　下記の条件で AVCC0 と VCC を使用してください：
AVCC0 = VCC

注 2.　VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。
VCC 端子および AVCC0 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC0 端子、次に VCC 端子の順番で電源供給を停止してください。

35.2　DC 特性

35.2.1　Tj/Ta の定義

表 35.3　DC 特性

条件：動作温度 (Ta) が-40～+125℃の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	140	℃	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード
			125(注1)		

注.　$Tj = T_a + θja ×$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) × ΣI_{OH} + V_{OL} × ΣI_{OL} + I_{CC}max × VCC$ です。

注 1.　動作温度の上限は、105℃または 125℃です（製品による）。詳細は、「1.3. 型名」を参照してください。型名が動作温度の上限 105℃を示している場合、Tj の最大値は 125℃になります。それ以外の場合 140℃になります。

35.2.2　I/O V_{IH}、V_{IL}

表 35.4　I/O V_{IH}、V_{IL}

条件：VCC = AVCC0 = 1.6～5.5 V

項目	ポート&機能		シンボル	Min	Max	単位	測定条件
入力電圧	入力ポート端子 P000～P002、P010～P015		V_{IH}	AVCC0 × 0.8	—	V	—
			V_{IL}	—	AVCC0 × 0.2		
	以下を除く入力ポート端子：P000～P002、P010～P015		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
	EXTAL		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
	5 V トレラントポート(注3)		V_{IH}	VCC × 0.8	5.8		
			V_{IL}	—	VCC × 0.2		
	RES、NMI、IRQ(注4)		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
			ΔV_T(注6)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
	周辺機能(注5)	IIC（SMBus を除く）(注1)	V_{IH}	VCC × 0.7	5.8(注7)		—
			V_{IL}	—	VCC × 0.3		
			ΔV_T(注6)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
		IIC (SMBus)(注2)	V_{IH}	2.2	—		VCC = 3.6～5.5 V
			V_{IL}	2.0	—		VCC = 2.7～3.6 V
			V_{IL}	—	0.8		VCC = 3.6～5.5 V
			V_{IL}	—	0.5		VCC = 2.7～3.6 V
		その他の周辺機能	V_{IH}	VCC × 0.8	—		—
			V_{IL}	—	VCC × 0.2		
			ΔV_T(注6)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V

注 1.　SCL0_A、SDA0_A、SDA0_B（合計 3 端子）
注 2.　SCL0_A、SCL0_C、SDA0_A、SDA0_B、SCL0_D、SDA0_C（合計 6 端子）
注 3.　P400、P401（合計 2 端子）
注 4.　PmnPFS.ISEL = 1
注 5.　PmnPFS.PMR = 1
注 6.　これはシュミットトリガ回路のヒステリシス特性です。
注 7.　SDA0_B の Max 値は VCC です。

35.2.3　I/O I_{OH}、I_{OL}

表 35.5　I/O I_{OH}、I_{OL} (1/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（端子ごとの最大値）	ポート P000～P002、P010～P015、P212、P213、P400、P401、P407	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	8.0	mA	
	その他の出力端子(注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	20.0	mA	

表 35.5　I/O I_{OH}、I_{OL} (2/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	48 ピン製品	ポート P000～P002、P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	AVCC0 = 2.7～5.5 V
				—	—	-8		AVCC0 = 1.8～2.7 V
				—	—	-4		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		AVCC0 = 2.7～5.5 V
				—	—	4		AVCC0 = 1.8～2.7 V
				—	—	2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		ポート P206～P208、P400～P403、P407～P409、P913～P915 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		ポート P100～P104、P108～P112、P201、P300～P302、P500 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-60	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	100		—

表 35.5　I/O I_{OH}、I_{OL} (3/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	32 ピン製品	ポート P010～P015 の合計	ΣI_{OH} (max)	—	—	-24	mA	AVCC0 = 2.7～5.5 V
				—	—	-6		AVCC0 = 1.8～2.7 V
				—	—	-3		AVCC0 = 1.6～1.8 V
			ΣI_{OL} (max)	—	—	48		AVCC0 = 2.7～5.5 V
				—	—	3.6		AVCC0 = 1.8～2.7 V
				—	—	1.8		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	ΣI_{OH} (max)	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			ΣI_{OL} (max)	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		他の出力ポートの合計	ΣI_{OH} (max)	—	—	-30	mA	VCC = 4.0～5.5 V
				—	—	-20		VCC = 2.7～4.0 V
				—	—	-12		VCC = 1.8～2.7 V
				—	—	-6		VCC = 1.6～1.8 V
			ΣI_{OL} (max)	—	—	50		VCC = 4.0～5.5 V
				—	—	20		VCC = 2.7～4.0 V
				—	—	8		VCC = 1.8～2.7 V
				—	—	4		VCC = 1.6～1.8 V
		全出力端子の総和	ΣI_{OH} (max)	—	—	-54	mA	—
			ΣI_{OL} (max)	—	—	98		—

表 35.5　I/O I_{OH}、I_{OL} (4/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	24 ピン製品	ポート P010、P011、P013、P014、P015 の合計	$ΣI_{OH (max)}$	—	—	-20	mA	AVCC0 = 2.7～5.5 V
				—	—	-5		AVCC0 = 1.8～2.7 V
				—	—	-2.5		AVCC0 = 1.6～1.8 V
			$ΣI_{OL (max)}$	—	—	40		AVCC0 = 2.7～5.5 V
				—	—	3		AVCC0 = 1.8～2.7 V
				—	—	1.5		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$ΣI_{OH (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$ΣI_{OL (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		他の出力ポートの合計	$ΣI_{OH (max)}$	—	—	-30	mA	VCC = 4.0～5.5 V
				—	—	-20		VCC = 2.7～4.0 V
				—	—	-12		VCC = 1.8～2.7 V
				—	—	-6		VCC = 1.6～1.8 V
			$ΣI_{OL (max)}$	—	—	50	mA	VCC = 4.0～5.5 V
				—	—	20		VCC = 2.7～4.0 V
				—	—	8		VCC = 1.8～2.7 V
				—	—	4		VCC = 1.6～1.8 V
		全出力端子の総和	$ΣI_{OH (max)}$	—	—	-50	mA	—
			$ΣI_{OL (max)}$	—	—	90		—

注 1.　P200 以外のポートは入力です。
注 2.　デューティー比 ≦ 70%の条件下での仕様です。
デューティー比 > 70%の場合、出力電流値は次式で計算できます（デューティー比を 70%から n%に変更するとき）。
端子の合計出力電流 = (I_{OH} × 0.7)/(n × 0.01)
<例> n = 80%で、I_{OH} = −30.0 mA のとき
端子の合計出力電流 = (-30.0 × 0.7)/(80 × 0.01) ≒ -26.2 mA
ただし、1 つの端子に入力可能な電流はデューティー比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 35.5 の値を超えないようにしてください。

35.2.4　I/O V_{OH}、V_{OL}、その他の特性

表 35.6　I/O V_{OH}、V_{OL} (1)

条件：VCC = AVCC0 = 4.0～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P002、P010～P015	V_{OH}	AVCC0 - 0.8	—	—	V	I_{OH} = -4.0 mA
	P000～P002 および P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.8	—	—		I_{OH} = -4.0 mA
	ポート P000～P002、P010～P015	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	ポート P212、P213、P400、P401、P407	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	P000～P002、P010～P015、P212、P213、P400、P401、および P407 以外の出力端子(注1)	V_{OL}	—	—	1.2		I_{OL} = 20.0 mA

注 1.　P200 以外のポートは入力です。

表 35.7 I/O V_{OH}、V_{OL} (2)

条件：VCC = AVCC0 = 2.7～4.0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P002、P010～P015	V_{OH}	AVCC0 - 0.8	—	—	V	I_{OH} = -4.0 mA
	P000～P002 および P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.8	—	—		I_{OH} = -4.0 mA
	ポート P000～P002、P010～P015	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	P000～P002 および P010～P015 以外の出力端子(注1)	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA

注 1. P200 以外のポートは入力です。

表 35.8 I/O V_{OH}、V_{OL} (3)

条件：VCC = AVCC0 = 1.6～2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P002、P010～P015	V_{OH}	AVCC0 - 0.5	—	—	V	I_{OH} = -1.0 mA AVCC0 = 1.8～2.7 V
			AVCC0 - 0.5	—	—		I_{OH} = -0.5 mA AVCC0 = 1.6～1.8 V
	P000～P002 および P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA VCC = 1.8～2.7 V
			VCC - 0.5	—	—		I_{OH} = -0.5 mA VCC = 1.6～1.8 V
	ポート P000～P002、P010～P015	V_{OL}	—	—	0.4		I_{OL} = 0.6 mA AVCC0 = 1.8～2.7 V
			—	—	0.4		I_{OL} = 0.3 mA AVCC0 = 1.6～1.8 V
	P000～P002 および P010～P015 以外の出力端子(注1)	V_{OL}	—	—	0.4		I_{OL} = 0.6 mA VCC = 1.8～2.7 V
			—	—	0.4		I_{OL} = 0.3 mA VCC = 1.6～1.8 V

注 1. P200 以外のポートは入力です。

表 35.9 I/O その他の特性

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200	$\lvert I_{in} \rvert$	—	—	1.0	μA	V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5V トレラントポート(注1)	$\lvert I_{TSI} \rvert$	—	—	1.0	μA	V_{in} = 0 V V_{in} = 5.8 V
	その他のポート （P200 および 5 V トレラント対応ポートを除く）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ抵抗	全ポート （P200 を除く）	R_U	10	20	100	kΩ	V_{in} = 0 V
入力容量	P200	C_{in}	—	—	30	pF	V_{in} = 0 V f = 1 MHz T_a = 25℃
	その他の入力端子		—	—	15		

注 1. P400、P401（合計 2 端子）

35.2.5 動作電流とスタンバイ電流

表 35.10 動作電流とスタンバイ電流 (1) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流(注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 64 MHz	I_{CC}	6.80	—	mA	(注7) (注11)
				ICLK = 48 MHz		5.20	—		(注7) (注11)
				ICLK = 32 MHz		3.60	—		(注7)
				ICLK = 16 MHz		2.15	—		
				ICLK = 8 MHz		1.40	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 64 MHz		—	13.9		(注9) (注11)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 64 MHz		1.50	—		(注7)
				ICLK = 48 MHz		1.20	—		(注7)
				ICLK = 32 MHz		0.95	—		(注7)
				ICLK = 16 MHz		0.70	—		
				ICLK = 8 MHz		0.60	—		
			すべての周辺クロックが有効(注5)	ICLK = 64 MHz		5.65	—		(注9)
				ICLK = 48 MHz		4.30	—		(注9)
				ICLK = 32 MHz		3.65	—		(注8)
				ICLK = 16 MHz		2.10	—		
				ICLK = 8 MHz		1.30	—		
		BGO 動作時の増加分(注6)				2.1	—		—

表 35.10 動作電流とスタンバイ電流 (1) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流 (注1)	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz	I_{CC}	2.75	—	mA	(注7)
				ICLK = 4 MHz		0.90	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz		—	6.6		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 24 MHz		0.75	—		(注7)
				ICLK = 4 MHz		0.55	—		
			すべての周辺クロックが有効(注5)	ICLK = 24 MHz		2.80	—		(注8)
				ICLK = 4 MHz		0.90	—		
		BGO 動作時の増加分(注6)				1.80	—		—
	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz		0.35	—	mA	(注7)
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 2 MHz		—	1.7		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz		0.13	—		(注7)
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz		0.30	—		(注8)
	Subosc-speed モード(注4)	通常モード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz		—	341	μA	(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz		1.60	—		(注8)
			すべての周辺クロックが有効(注5)	ICLK = 32.768 kHz		4.15	—		(注8)

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2. クロックソースは HOCO です。
注 3. クロックソースは MOCO です。
注 4. クロックソースは LOCO です。
注 5. BGO 動作は含まれません。
注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム／イレースを実行した場合の増加分です。
注 7. PCLKB と PCLKD は、64 分周に設定されています。
注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。
注 10. VCC = 3.3 V
注 11. プリフェッチバッファは動作しています。

表 35.11　動作電流とスタンバイ電流 (2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注3)	Max	単位	測定条件
消費電流(注1)	ソフトウェアスタンバイモード(注2)	周辺モジュール停止	すべての SRAM (0x2000_4000～0x2000_5FFF) がオン	T_a = 25℃	I_{CC}	0.40	4.4	μA	—
				T_a = 55℃		1.10	11		
				T_a = 85℃		3.85	33		
				T_a = 105℃		8.80	71		
				T_a = 125℃		19.1	159		

注 1.　消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2.　IWDT と LVD は動作していません。
注 3.　VCC = 3.3 V

表 35.12　動作電流とスタンバイ電流 (3)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	12 ビット A/D 変換中（高速 A/D 変換モード時）	I_{AVCC0}	—	—	1.44	mA	—
	S/H による 12 ビット A/D 変換中（高速 A/D 変換モード時） (2.7 V～5.5 V)		—	—	5.00	mA	—
	12 ビット A/D 変換中（低消費電力 A/D 変換モード時）		—	—	0.78	mA	—
	12 ビット A/D 変換待機中（全ユニット）(注1)		—	—	1.0	μA	—
基準電源電流	12 ビット A/D 変換中	I_{REFH0}	—	—	120	μA	—
	12 ビット A/D 変換待機中		—	—	60	nA	—
温度センサ (TSN) 動作電流		I_{TNS}	—	95	—	μA	—
チャネルごとの高速アナログコンパレータ (ACMPHS) 動作電流		I_{CMPHS}	—	100	—	μA	—

注 1.　MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPD16（ADC120 モジュールストップビット）がモジュールストップ状態の場合

35.2.6　VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 35.13　立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	起動時電圧監視 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧監視 0 リセット有効(注1) (注2)				—		
	SCI ブートモード(注2)				2		

注 1.　OFS1.LVDAS = 0 のとき
注 2.　ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

表 35.14　立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6～5.5 V
リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_{r\ (VCC)}$を満たす必要があります。
VCC 変動が VCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\ (VCC)}$	—	—	10	kHz	図 35.2 $V_{r\ (VCC)}$≦VCC × 0.2
		—	—	1	MHz	図 35.2 $V_{r\ (VCC)}$≦VCC × 0.08
		—	—	10	MHz	図 35.2 $V_{r\ (VCC)}$≦VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

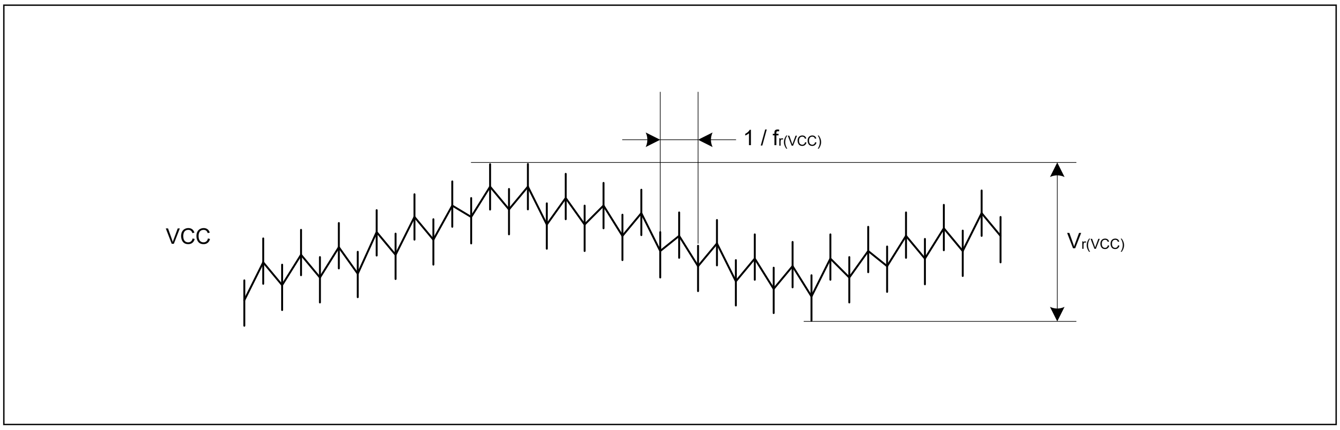


図 35.2　リップル波形

35.3　AC 特性

35.3.1　周波数

表 35.15　High-speed 動作モードの動作周波数

条件：VCC = AVCC0 = 1.8～5.5 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.8～5.5 V	f	0.032768	—	64	MHz
	周辺モジュールクロック (PCLKB)(注4)	1.8～5.5 V		—	—	32	
	周辺モジュールクロック (PCLKD)(注3)(注4)	1.8～5.5 V		—	—	64	

注 1.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注 2.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3.　ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4.　ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
注 5.　動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 35.19 を参照してください。

表 35.16　Middle-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.8～5.5 V	f	0.032768	—	24	MHz
		1.6～1.8 V		0.032768	—	4	
	周辺モジュールクロック (PCLKB)(注4)	1.8～5.5 V		—	—	24	
		1.6～1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)(注3)(注4)	1.8～5.5 V		—	—	24	
		1.6～1.8 V		—	—	4	

注 1.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注 2.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3.　ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4.　ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
注 5.　動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 35.19 を参照してください。

表 35.17　Low-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.6～5.5 V	f	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB)(注4)	1.6～5.5 V		—	—	2	
	周辺モジュールクロック (PCLKD)(注3)(注4)	1.6～5.5 V		—	—	2	

注 1.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。
注 2.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3.　ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4.　ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
注 5.　動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 35.19 を参照してください。

表 35.18　Subosc-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)(注3)	1.6～5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB)(注3)	1.6～5.5 V		—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)(注3)	1.6～5.5 V		—	—	37.6832	

注 1.　フラッシュメモリのプログラムおよびイレースはできません。
注 2.　ADC12 は使用できません。
注 3.　ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

35.3.2　クロックタイミング

表 35.19　クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 35.3
EXTAL 外部クロック入力 High レベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t_{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f_{EXTAL}	—	—	20	MHz	1.8≦VCC≦5.5

表 35.19　クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
		—	—	4		1.6≦VCC < 1.8
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	1.8≦VCC≦5.5
		1	—	4		1.6≦VCC < 1.8
LOCO クロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t_{LOCO}	—	—	100	μs	図 35.4
IWDT 専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数(注4)	f_{HOCO24}	23.76	24	24.24	MHz	Ta = -40～105℃ 1.6≦VCC≦5.5
	f_{HOCO32}	31.68	32	32.32		Ta = -40～105℃ 1.6≦VCC≦5.5
	f_{HOCO48}	47.52	48	48.48		Ta = -40～105℃ 1.6≦VCC≦5.5
	f_{HOCO64}	63.36	64	64.64		Ta = -40～105℃ 1.6≦VCC≦5.5
HOCO クロック発振安定待機時間(注2) (注3)	t_{HOCO24} t_{HOCO32} t_{HOCO48} t_{HOCO64}	—	6.7	7.7	μs	図 35.5

注 1.　外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0（動作中）にしてからクロックが使用できるようになるまでの時間

注 2.　MOCO 停止状態で HOCOCR.HCSTP ビットを 0（発振）にした場合の特性です。MOCO 発振中に HOCOCR.HCSTP ビットを 0（動作）にすると、この仕様は 1 μs 短くなります。

注 3.　OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

注 4.　出荷テスト時の精度

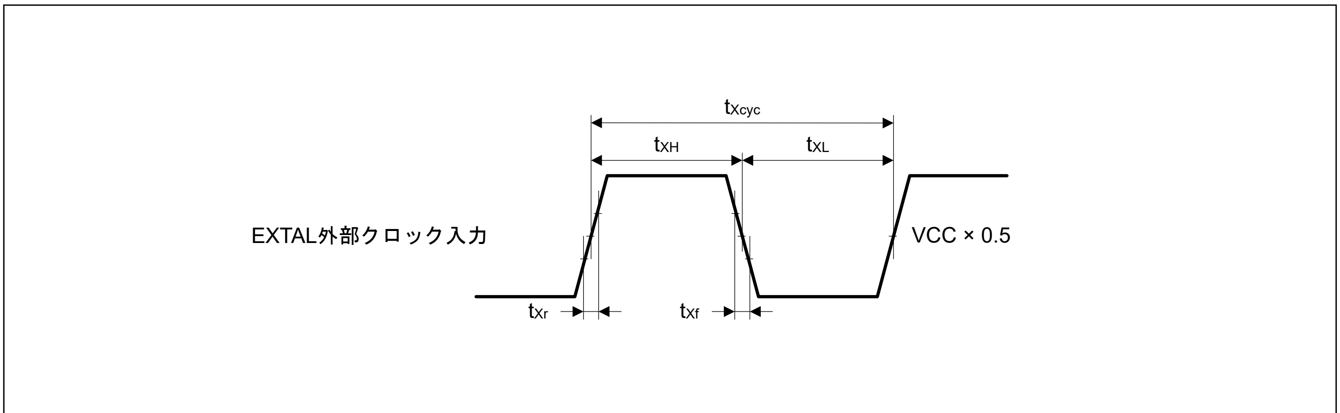


図 35.3　EXTAL 外部クロック入力タイミング

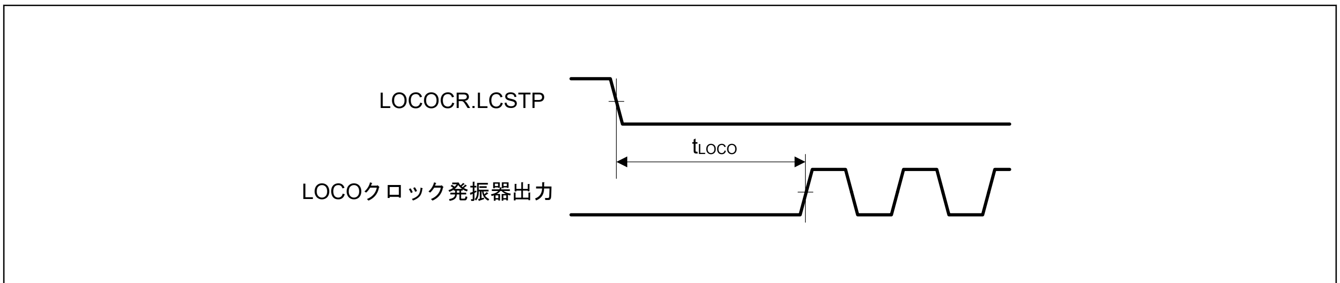
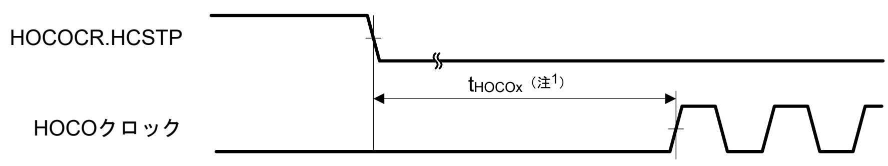


図 35.4　LOCO クロック発振開始タイミング



注.　x = 24、32、48、64

図 35.5　HOCO クロック発振開始タイミング（HOCOCR.HCSTP ビット設定により開始）

35.3.3　リセットタイミング

表 35.20　リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t_{RESWP}	10	—	—	ms	図 35.6
	電源投入時以外	t_{RESW}	30	—	—	μs	図 35.7
RES 解除後の待機時間（電源投入時）	LVD0 有効(注1)	t_{RESWT}	—	0.9	—	ms	図 35.6
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間（電源投入中）	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 35.7
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間（ウォッチドッグタイマリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット）	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 35.8
	LVD0 無効(注2)		—	0.15	—		

注 1.　OFS1.LVDAS = 0 のとき
注 2.　OFS1.LVDAS = 1 のとき

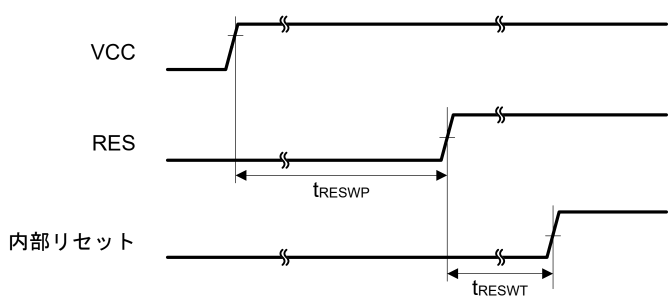


図 35.6　電源投入時リセット入力タイミング

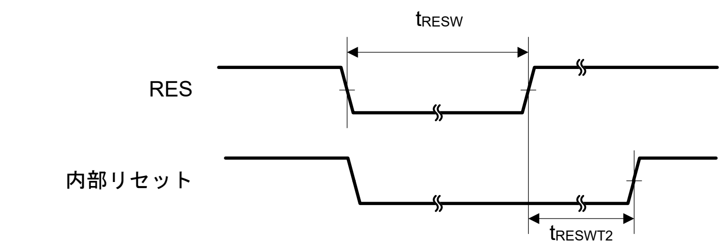


図 35.7　リセット入力タイミング (1)

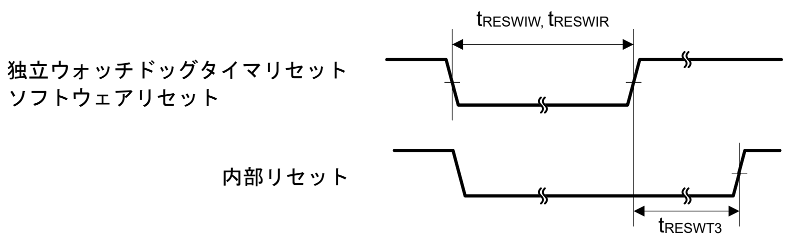


図 35.8　リセット入力タイミング (2)

35.3.4　ウェイクアップ時間

表 35.21　低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 35.9
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3)	t_{SBYEX}	—	2.4	3.1	μs	
		システムクロックソースは HOCO（HOCO クロックは 32 MHz）(注4)		t_{SBYHO}	—	7.4	9.1	μs	
		システムクロックソースは HOCO（HOCO クロックは 48 MHz）(注5)		t_{SBYHO}	—	7.3	8.9	μs	
		システムクロックソースは HOCO（HOCO クロックは 64 MHz）(注6)		t_{SBYHO}	—	7.3	8.8	μs	
		システムクロックソースは MOCO (8 MHz)		t_{SBYMO}	—	4	5	μs	

注 1.　ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
注 4.　システムクロックは 32 MHz です。
注 5.　システムクロックは 48 MHz です。
注 6.　システムクロックは 64 MHz です。

表 35.22　低消費電力モードからの復帰タイミング (2)

<table>
<tr><th colspan="4">項目</th><th>シンボル</th><th>Min</th><th>Typ</th><th>Max</th><th>単位</th><th>測定条件</th></tr>
<tr><td rowspan="7">ソフトウェアスタンバイモードからの復帰時間(注1)</td><td rowspan="7">Middle-speed モード</td><td>メインクロック発振器に水晶振動子を接続</td><td>システムクロックソースはメインクロック発振器 (20 MHz)(注2)</td><td>t_{SBYMC}</td><td>—</td><td>2</td><td>3</td><td>ms</td><td rowspan="7">図 35.9</td></tr>
<tr><td rowspan="2">メインクロック発振器に外部クロックを入力</td><td>システムクロックソースはメインクロック発振器 (20 MHz)(注3)
VCC = 1.8 V～5.5 V</td><td rowspan="2">t_{SBYEX}</td><td>—</td><td>2.4</td><td>3.1</td><td rowspan="2">μs</td></tr>
<tr><td>システムクロックソースはメインクロック発振器 (4 MHz)(注3)
VCC = 1.6 V～1.8 V</td><td>—</td><td>8.5</td><td>9.1</td></tr>
<tr><td rowspan="2">システムクロックソースは HOCO(注4)</td><td>VCC = 1.8 V～5.5 V(注4)</td><td rowspan="2">t_{SBYHO}</td><td>—</td><td>7.7</td><td>9.4</td><td rowspan="2">μs</td></tr>
<tr><td>VCC = 1.6 V～1.8 V</td><td>—</td><td>15.7</td><td>17.9</td></tr>
<tr><td rowspan="2">システムクロックソースは MOCO (8 MHz)</td><td>VCC = 1.8 V～5.5 V</td><td rowspan="2">t_{SBYMO}</td><td>—</td><td>4</td><td>5</td><td rowspan="2">μs</td></tr>
<tr><td>VCC = 1.6 V～1.8 V</td><td>—</td><td>7.2</td><td>9</td></tr>
</table>

注 1.　ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
注 4.　システムクロックは 24 MHz です。

表 35.23　低消費電力モードからの復帰タイミング (3)

<table>
<tr><th colspan="4">項目</th><th>シンボル</th><th>Min</th><th>Typ</th><th>Max</th><th>単位</th><th>測定条件</th></tr>
<tr><td rowspan="3">ソフトウェアスタンバイモードからの復帰時間(注1)</td><td rowspan="3">Low-speed モード</td><td>メインクロック発振器に水晶振動子を接続</td><td>システムクロックソースはメインクロック発振器 (2 MHz)(注2)</td><td>t_{SBYMC}</td><td>—</td><td>2</td><td>3</td><td>ms</td><td rowspan="3">図 35.9</td></tr>
<tr><td>メインクロック発振器に外部クロックを入力</td><td>システムクロックソースはメインクロック発振器 (2 MHz)(注3)</td><td>t_{SBYEX}</td><td>—</td><td>14.5</td><td>16</td><td>μs</td></tr>
<tr><td colspan="2">システムクロックソースは MOCO (8 MHz)</td><td>t_{SBYMO}</td><td>—</td><td>12</td><td>15</td><td>μs</td></tr>
</table>

注 1.　ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

表 35.24　低消費電力モードからの復帰タイミング (4)

<table>
<tr><th colspan="3">項目</th><th>シンボル</th><th>Min</th><th>Typ</th><th>Max</th><th>単位</th><th>測定条件</th></tr>
<tr><td>ソフトウェアスタンバイモードからの復帰時間(注1)</td><td>Subosc-speed モード</td><td>システムクロックソースは LOCO (32.768 kHz)</td><td>t_{SBYLO}</td><td>—</td><td>0.85</td><td>1.2</td><td>ms</td><td>図 35.9</td></tr>
</table>

注 1.　Subosc-speed モードでは、LOCO はソフトウェアスタンバイモードで発振を継続します。

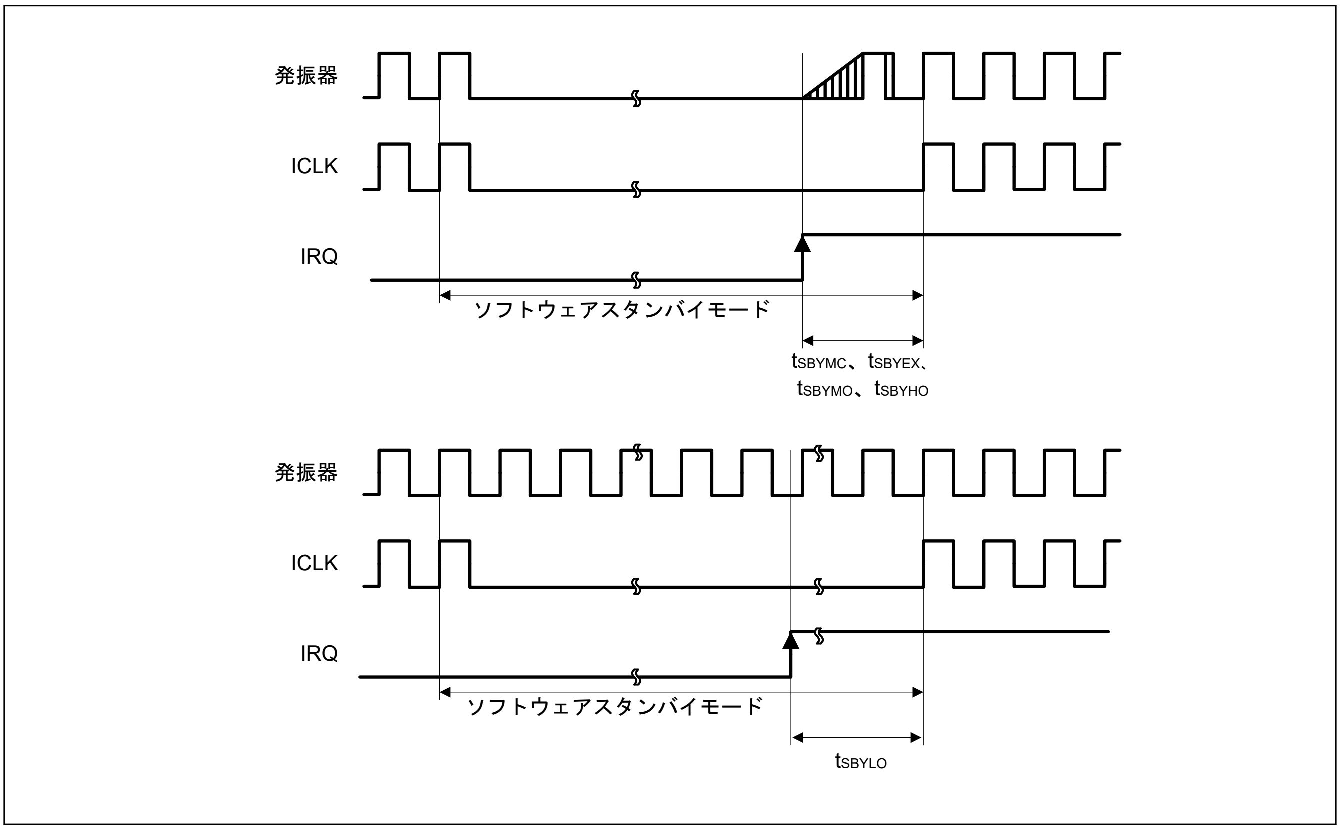
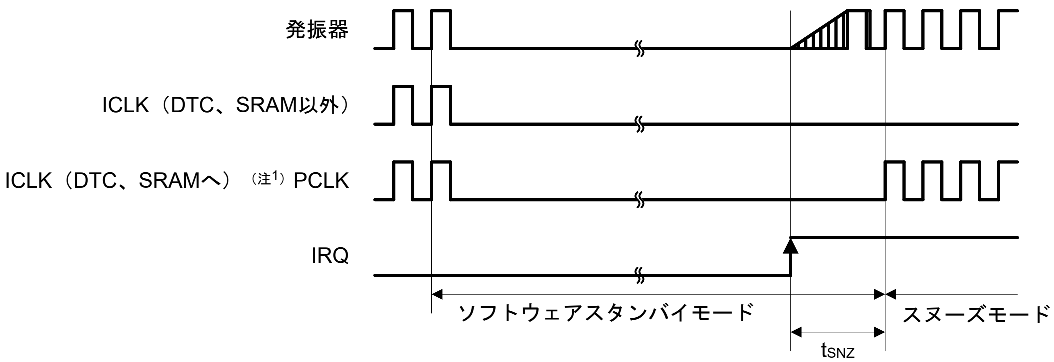


図 35.9　ソフトウェアスタンバイモード解除タイミング

表 35.25　低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t_{SNZ}	—	6.6	8.1	μs	図 35.10
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V～5.5 V	t_{SNZ}	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V～1.8 V	t_{SNZ}	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	t_{SNZ}	—	6.7	8.0	μs	



注 1.　SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 35.10　　ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

35.3.5　　NMI/IRQ ノイズフィルタ

表 35.26　　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200$ ns
		$t_{NMICK} \times 3.5$(注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200$ ns
		$t_{IRQCK} \times 3.5$(注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注.　　ソフトウェアスタンバイモード時は最小 200 ns です。
注.　　クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。
注 1.　t_{Pcyc} は PCLKB の周期を意味します。
注 2.　t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
注 3.　t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します（i = 0~7）。

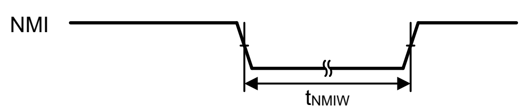


図 35.11　　NMI 割り込み入力タイミング

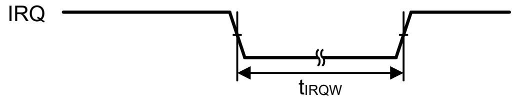


図 35.12 IRQ 割り込み入力タイミング

35.3.6 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング

表 35.27 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング (1/3)

項目			シンボル	Min	Typ	Max	単位	測定条件
I/O ポート	入力データパルス幅	2.7 V≦VCC≦5.5 V	t_{PRW}	3	—	—	t_{Pcyc}	図 35.13
		2.4 V≦VCC < 2.7 V		4	—			
		1.6 V≦VCC < 2.4 V		5	—			

表 35.27　I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング (2/3)

項目			シンボル	Min	Typ	Max	単位	測定条件
POEG	GTETRGn 入力パルス幅		t_{POEW}	1.5	—	—	t_{Pcyc}	図 35.14
	出力禁止時間	GTETRGn 端子の入力レベル検出（フラグ経由）	t_{POEGDI}	—	—	3PCLKB + 0.34	μs	図 35.15 デジタルノイズフィルタを使用していない場合 (POEGGn.NFEN = 0 (n = A ～D))
		GPT からの出力停止信号の検出（デッドタイムエラー、同時 High 出力、または同時 Low 出力）	t_{POEGDE}	—	—	0.5	μs	図 35.16
		コンパレータからのエッジ検出信号	t_{POEGDC}	—	—	3PCLKB + 0.5	μs	図 35.17 ACMPHS 用ノイズフィルタを使用しておらず (COMPFIR0.CiFCK[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間
		抵抗設定	t_{POEGDS}	—	—	1PCLKB + 0.3	μs	図 35.18 レジスタへのアクセス時間を含まない。
		発振停止検出(注2)	$t_{POEGDOS}$	—	≦ 1	—	μs	図 35.19
		GTETRGn 端子の入力レベル検出（ダイレクトパス）	$t_{POEGDDI}$	—	—	2PCLKB + 1 PCLKD + 0.34	μs	図 35.20
		コンパレータからのレベル検出信号	$t_{POEGDDC}$	—	—	1PCLKD + 0.3	μs	図 35.21 ACMPHS 用ノイズフィルタを使用しておらず (COMPFIR0.CiFCK[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間

表 35.27　I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング (3/3)

項目				シンボル	Min	Typ	Max	単位	測定条件
GPT	インプットキャプチャパルス幅	単エッジ		t_{GTICW}	1.5	—	—	t_{PDcyc}	図 35.22
		両エッジ			2.5	—	—		
	GTIOCxY 出力スキュー（x = 0〜3、Y = A または B）			t_{GTISK}	—	—	4	ns	図 35.23
	GTIOCxY 出力スキュー（x = 0〜3、Y = A または B）				—	—	6		
	OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO			t_{GTOSK}	—	—	5	ns	図 35.24
	外部トリガ入力パルス幅	同期クロック	単エッジ指定	t_{GTEW}	1.5	—	—	t_{Pcyc}	図 35.25
			両エッジ指定		2.5	—	—		
	タイマクロックパルス幅	同期クロック	単エッジ指定	t_{GTCKWH}、t_{GTCKWL}	1.5	—	—	t_{Pcyc}	図 35.26
			両エッジ指定		2.5	—	—		
GPT（PWM 遅延生成回路）	GTIOCxY_Z スキュー（x = 0〜3、Y = A または B、Z = A〜D）			t_{HRSK}(注1)	—	—	4.0	ns	図 35.27
AGTW	AGTIO、AGTEE 入力サイクル	1.8 V≦VCC≦5.5 V		t_{ACYC}(注1)	250	—	—	ns	図 35.28
		1.6 V≦VCC < 1.8 V			2000	—	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	1.8 V≦VCC≦5.5 V		t_{ACKWH}, t_{ACKWL}	100	—	—	ns	
		1.6 V≦VCC < 1.8 V			800	—	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	2.7 V≦VCC≦5.5 V		t_{ACYC2}	62.5	—	—	ns	図 35.28
		2.4 V≦VCC < 2.7 V			125	—	—	ns	
		1.8 V≦VCC < 2.4 V			250	—	—	ns	
		1.6 V≦VCC < 1.8 V			500	—	—	ns	
ADC12	12 ビット A/D コンバータトリガ入力パルス幅			t_{TRGW}	1.5	—	—	t_{Pcyc}	図 35.29
KINT	KRn (n = 00〜04) パルス幅			t_{KR}	250	—	—	ns	図 35.30

注 1.　入力サイクルの制約：$t_{Pcyc} \times 2$（t_{Pcyc}: PCLKB サイクル）< t_{ACYC}

注 2.　参考値

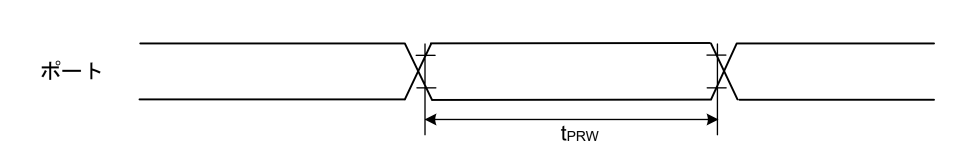


図 35.13　I/O ポート入力タイミング

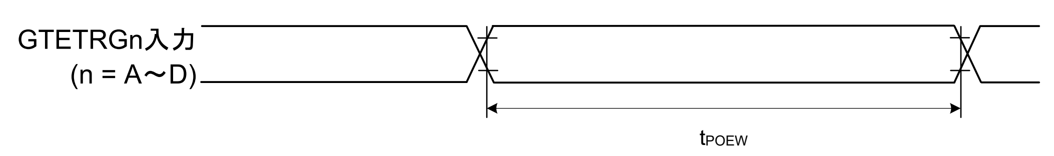


図 35.14　POEG 入力トリガタイミング

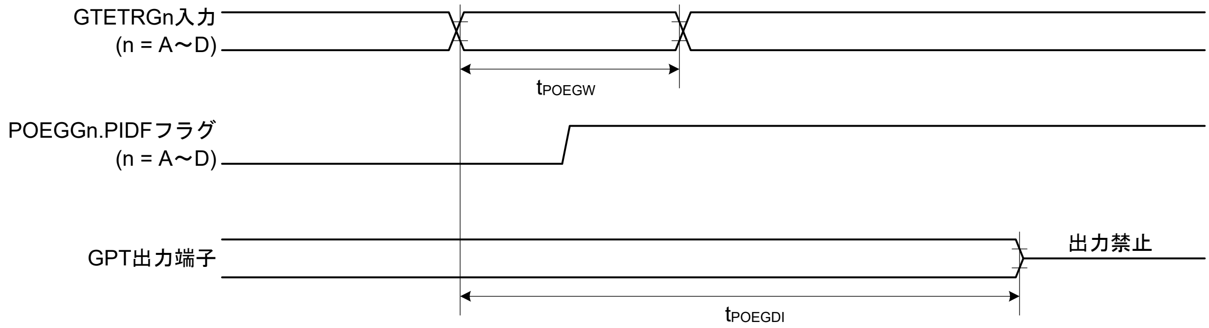
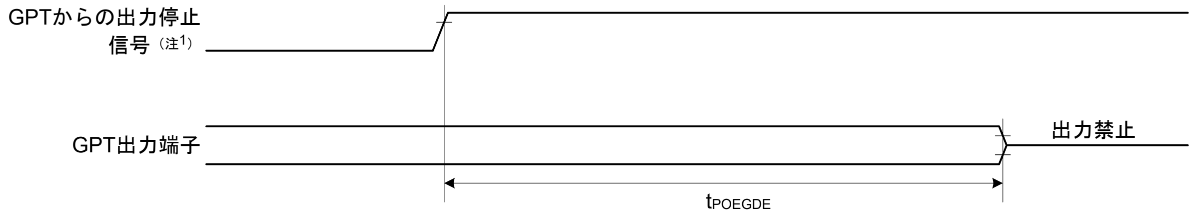


図 35.15　GTETRGn 端子の入力レベル検出に対応した検出フラグによる POEG の出力禁止時間



注 1.　GPT16n.GTST.DTEF（デッドタイムエラーフラグ）、GPT32n.GTST.OABLF（同時 Low 出力フラグ）、または GPT16n.GTST.OABHF（同時 High 出力フラグ）

図 35.16　GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

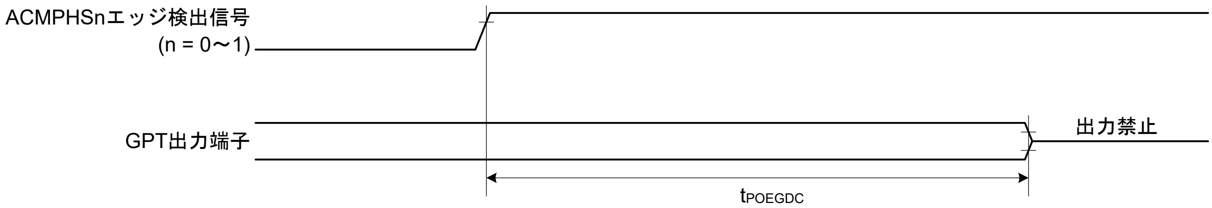


図 35.17　ACMPHS からのエッジ検出信号に対応した POEG の出力禁止時間

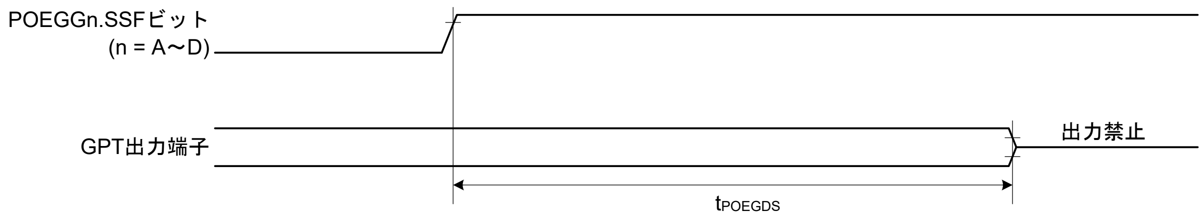


図 35.18　レジスタ設定に対応した POEG の出力禁止時間

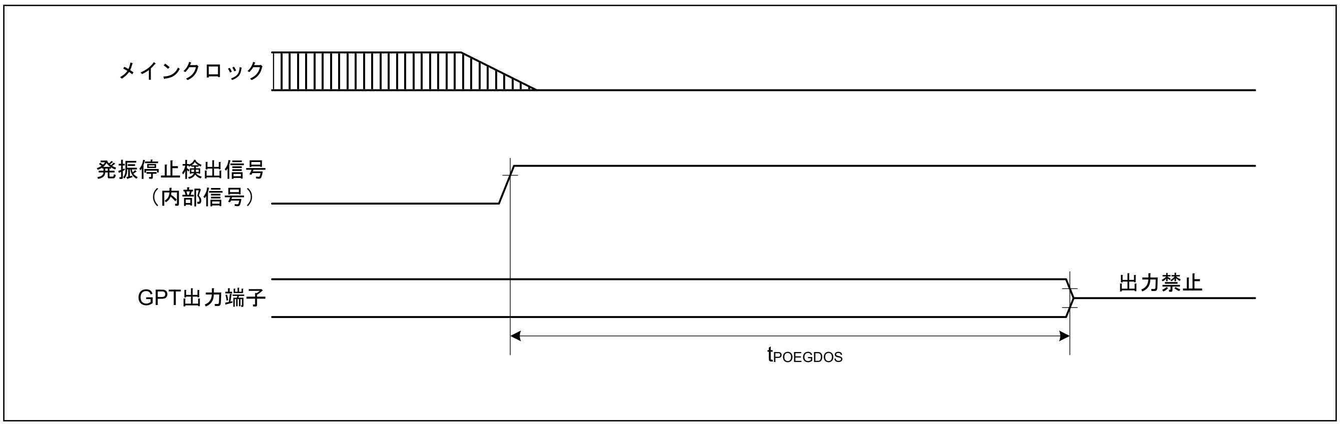


図 35.19　発振停止検出に対応した POEG の出力禁止時間

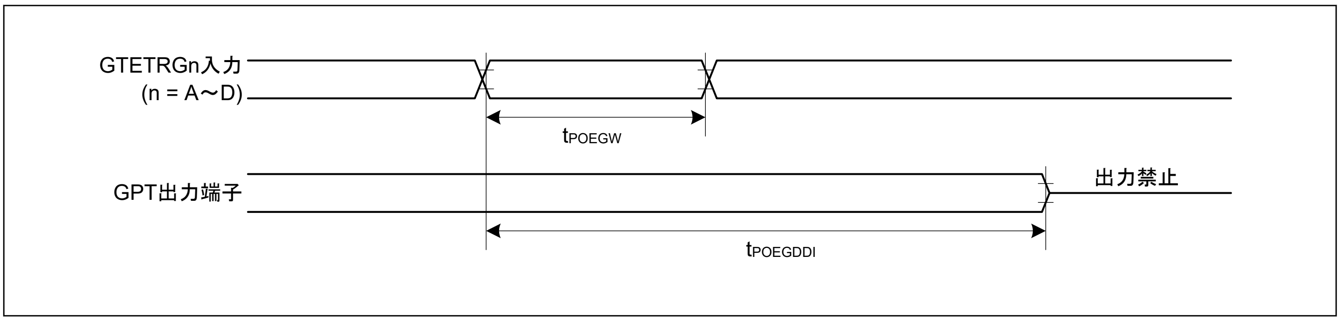


図 35.20　GTETRGn 端子の入力レベル検出に直接対応した POEG の出力禁止時間

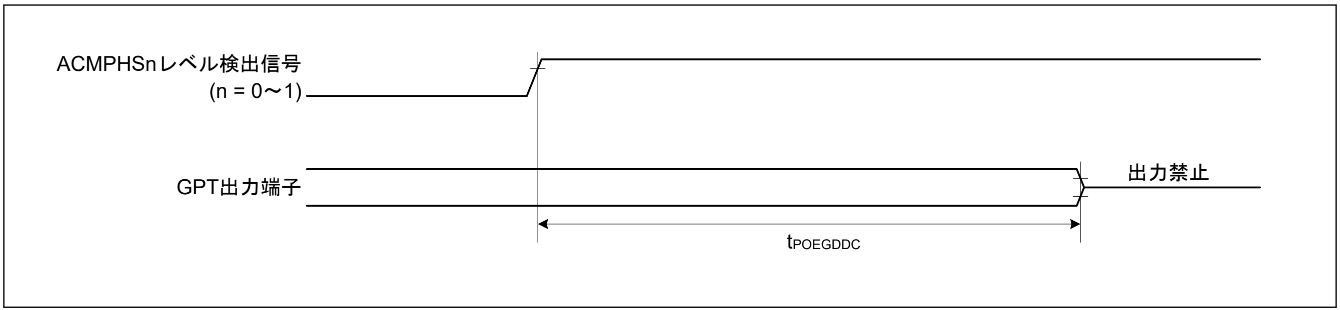


図 35.21　ACMPHS からのレベル検出信号に対応した POEG の出力禁止時間

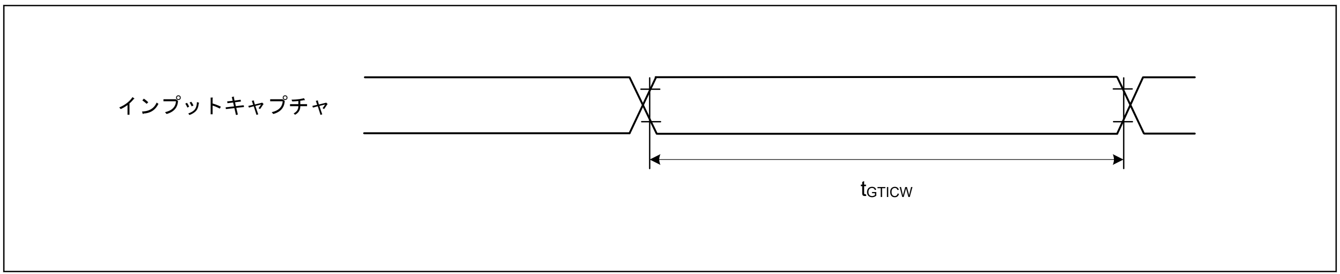


図 35.22　GPT インプットキャプチャタイミング

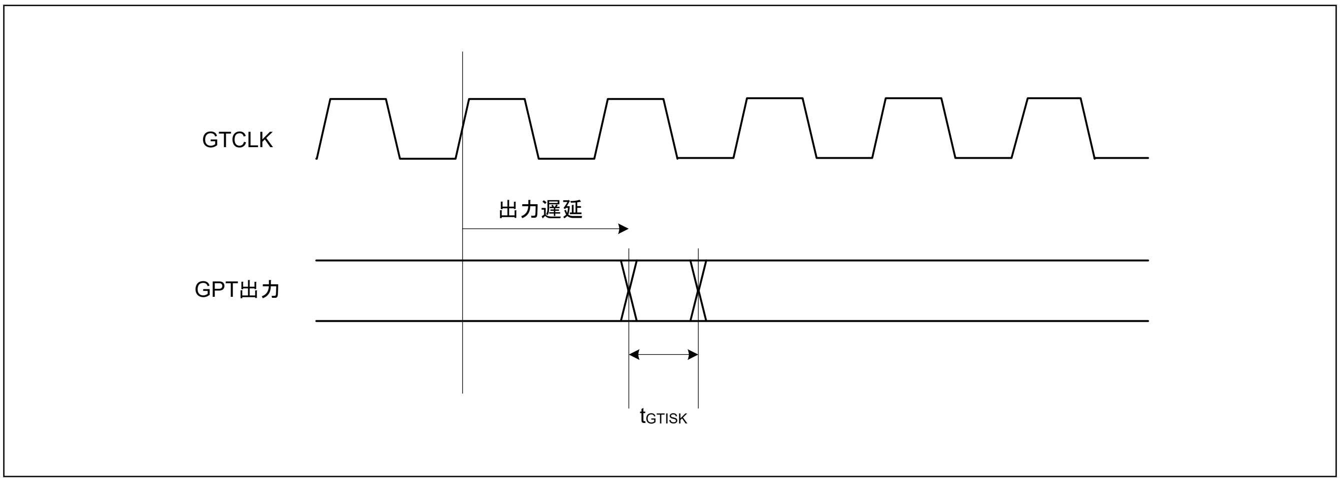


図 35.23 GPT 出力遅延スキュー

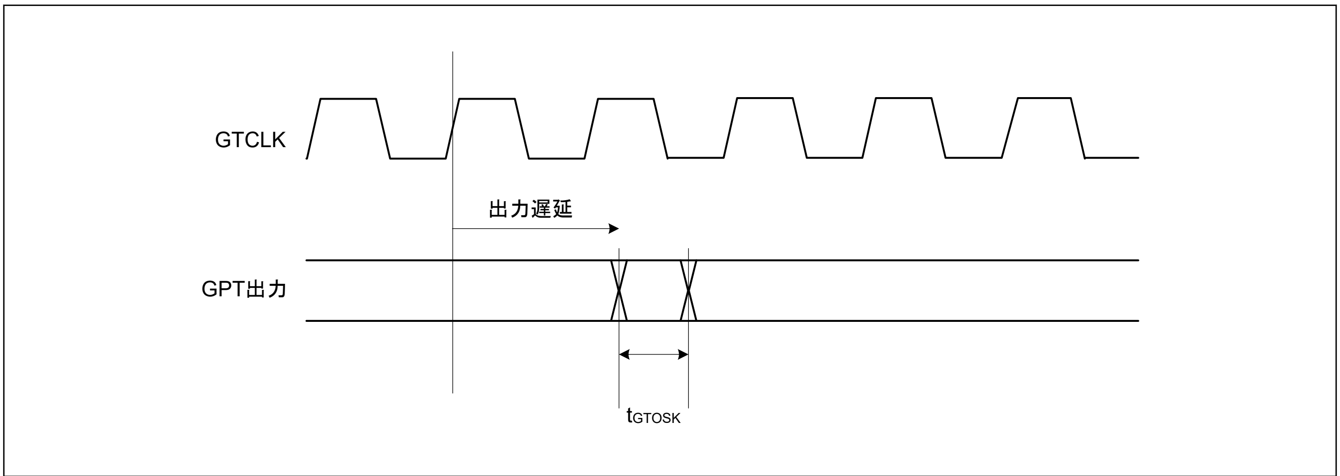


図 35.24 OPS の GPT 出力遅延スキュー

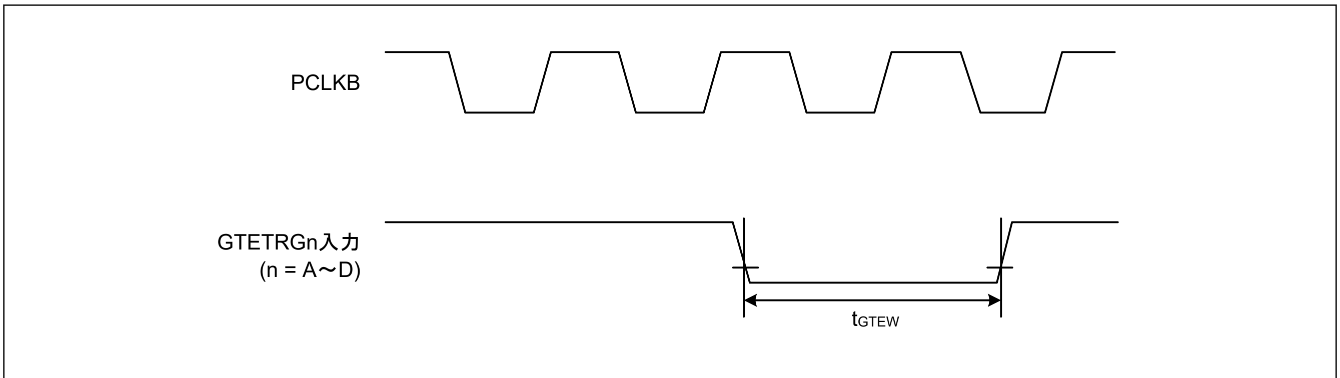


図 35.25 GPT 外部トリガ入力タイミング

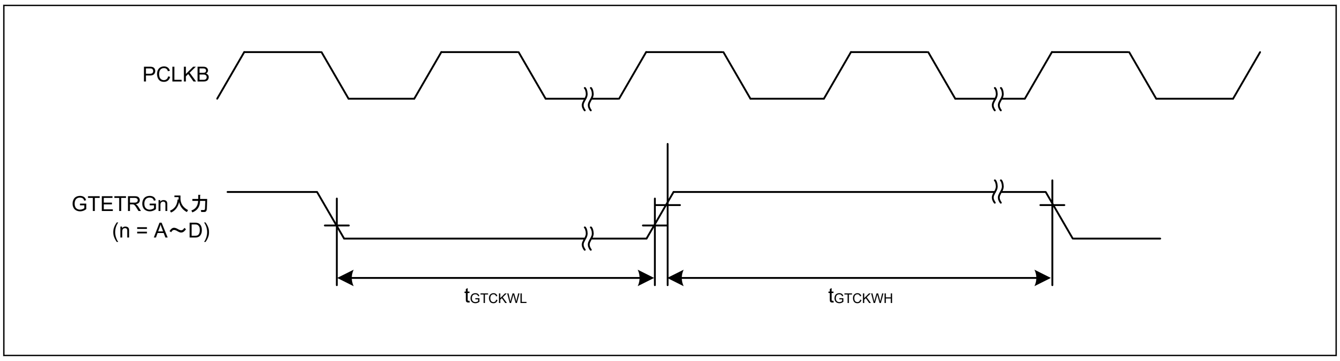


図 35.26 GPT クロック入力タイミング

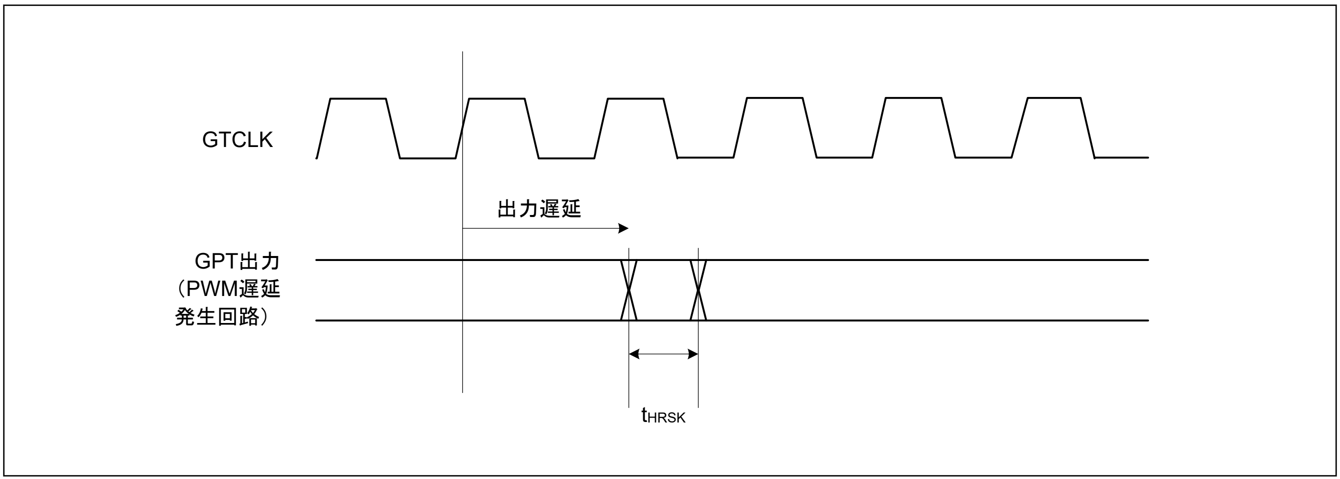


図 35.27 GPT (PDG) 出力遅延スキュー

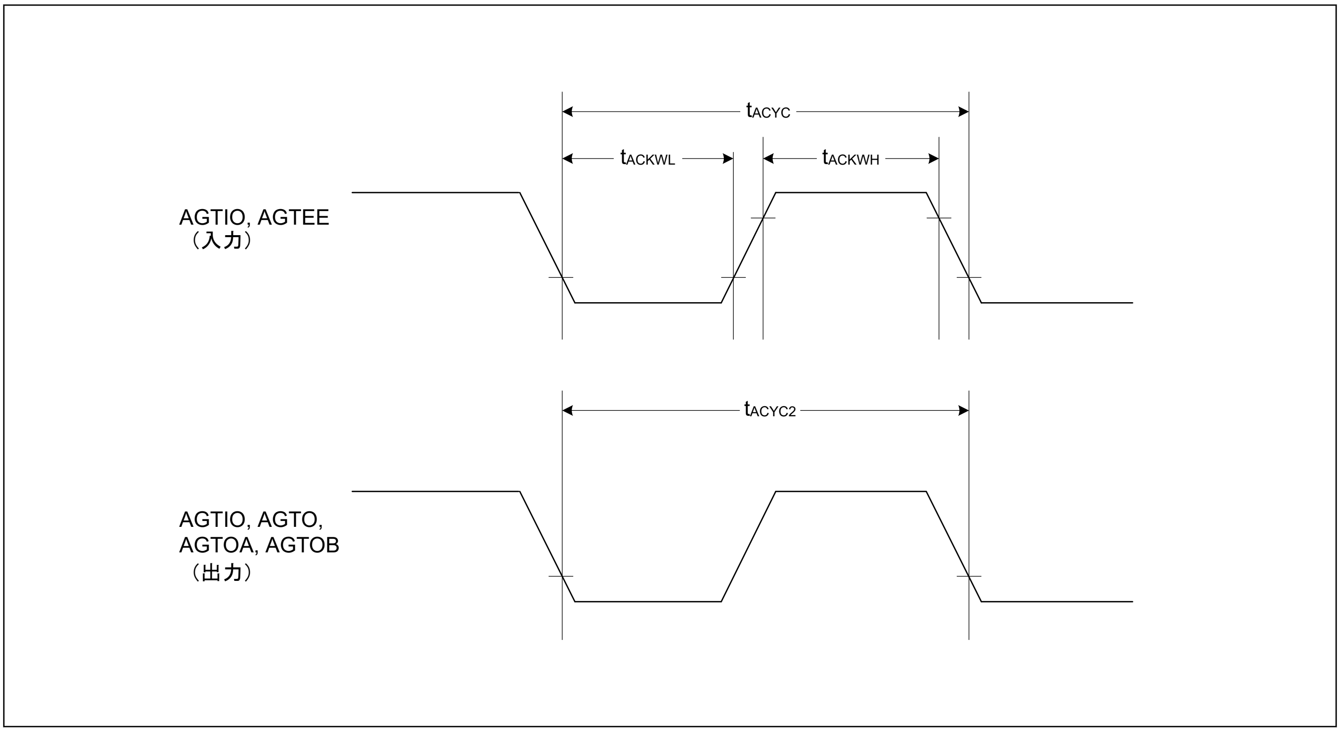


図 35.28 AGTW I/O タイミング

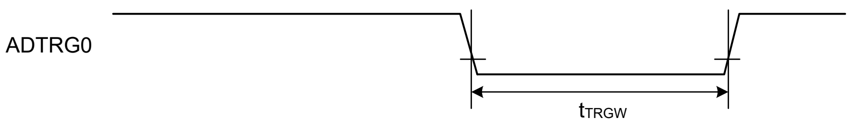
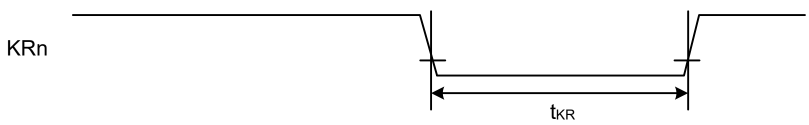


図 35.29　　ADC12 トリガ入力タイミング



注.　　n = 00～04

図 35.30　　キー割り込み入力タイミング

35.3.7　　CAC タイミング

表 35.28　　CAC タイミング

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{Pcyc}(注1)≦ t_{CAC}(注2)	t_{CACREF}	4.5 × t_{CAC} + 3 × t_{Pcyc}	—	—	ns	—
		t_{Pcyc}(注1)＞ t_{CAC}(注2)		5 × t_{CAC} + 6.5 × t_{Pcyc}	—	—	ns	

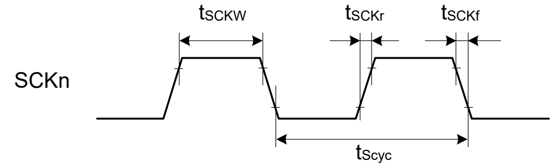
注 1.　t_{Pcyc}：PCLKB の周期。
注 2.　t_{CAC}：CAC カウントクロックソースの周期

35.3.8 SCI タイミング

表 35.29　SCI タイミング (1)

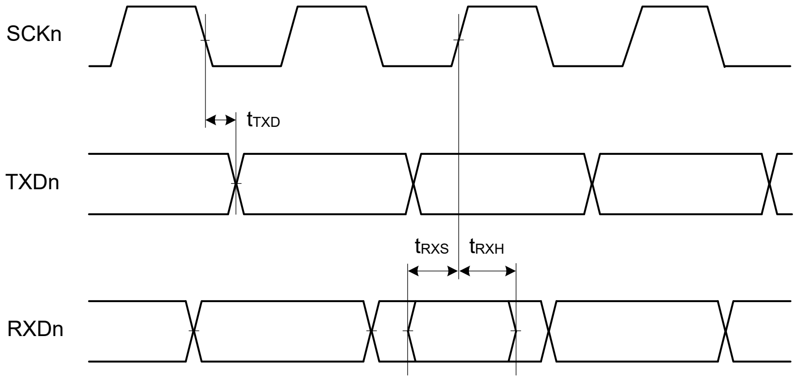
条件：VCC = AVCC0 = 1.6～5.5 V

項目				シンボル	Min	Max	単位	測定条件
SCI	入力クロックサイクル	調歩同期式	2.7 V ≦ VCC ≦ 5.5 V	t_{Scyc}	125	—	ns	図 35.31
			2.4 V ≦ VCC < 2.7 V		250	—		
			1.8 V ≦ VCC < 2.4 V		500	—		
			1.6 V ≦ VCC < 1.8 V		1000	—		
		クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		187.5	—		
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間			t_{SCKr}	—	20	ns	
	入力クロック立ち下がり時間			t_{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期式	2.7 V ≦ VCC ≦ 5.5 V	t_{Scyc}	187.5	—	ns	
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
		クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		125	—		
			2.4 V ≦ VCC < 2.7 V		250	—		
			1.8 V ≦ VCC < 2.4 V		500	—		
			1.6 V ≦ VCC < 1.8 V		1000	—		
	出力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		1.8 V ≦ VCC ≦ 5.5 V	t_{SCKr}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
	出力クロック立ち下がり時間		1.8 V ≦ VCC ≦ 5.5 V	t_{SCKf}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
	送信データ遅延時間（マスタ）	クロック同期式	1.8 V ≦ VCC ≦ 5.5 V	t_{TXD}	—	40	ns	図 35.32
			1.6 V ≦ VCC < 1.8 V		—	45		
	送信データ遅延時間（スレーブ）	クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		—	55	ns	
			2.4 V ≦ VCC < 2.7 V		—	60		
			1.8 V ≦ VCC < 2.4 V		—	100		
			1.6 V ≦ VCC < 1.8 V		—	125		
	受信データセットアップ時間（マスタ）	クロック同期式	2.7 V ≦ VCC ≦ 5.5 V	t_{RXS}	45	—	ns	
			2.4 V ≦ VCC < 2.7 V		55	—		
			1.8 V ≦ VCC < 2.4 V		90	—		
			1.6 V ≦ VCC < 1.8 V		110	—		
	受信データセットアップ時間（スレーブ）	クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		40	—	ns	
			1.6 V ≦ VCC < 2.7 V		45	—		
	受信データホールド時間（マスタ）	クロック同期式		t_{RXH}	5	—	ns	
	受信データホールド時間（スレーブ）	クロック同期式		t_{RXH}	40	—	ns	



注.　n = 0〜2, 9

図 35.31　SCK クロック入力タイミング



注.　n = 0〜2, 9

図 35.32　クロック同期式モードにおける SCI 入出力タイミング

表 35.30　SCI タイミング (2) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

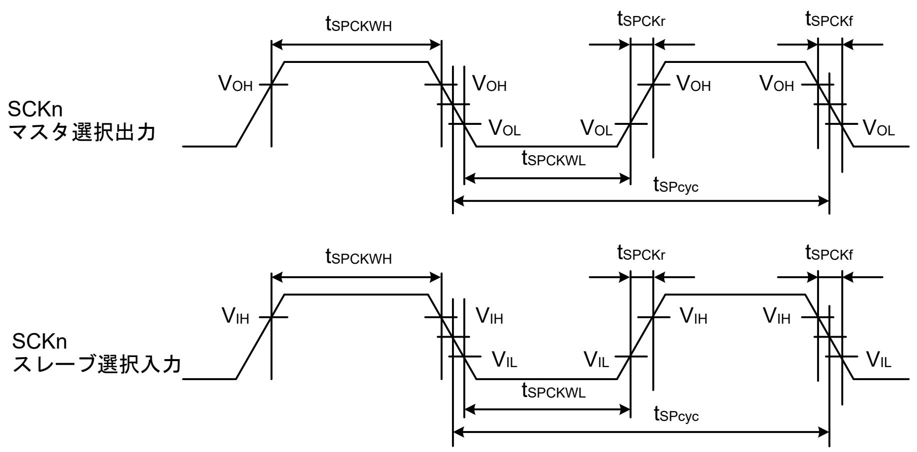
項目				シンボル	Min	Max	単位(注1)	測定条件
簡易SPI	SCK クロックサイクル出力（マスタ）		2.7 V ≦ VCC ≦ 5.5 V	t_{SPcyc}	125	—	ns	図 35.33
			2.4 V ≦ VCC < 2.7 V		250	—		
			1.8 V ≦ VCC < 2.4 V		500	—		
			1.6 V ≦ VCC < 1.8 V		1000	—		
	SCK クロックサイクル入力（スレーブ）		2.7 V ≦ VCC ≦ 5.5 V		187.5	—		
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
	SCK クロック High レベルパルス幅			t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅			t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり／立ち下がり時間		1.8 V ≦ VCC ≦ 5.5 V	t_{SPCKr}, t_{SPCKf}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
	データ入力セットアップ時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V	t_{SU}	45	—	ns	図 35.34～図 35.37
			2.4 V ≦ VCC < 2.7 V		55	—		
			1.8 V ≦ VCC < 2.4 V		80	—		
			1.6 V ≦ VCC < 1.8 V		110	—		
		スレーブ	2.7 V ≦ VCC ≦ 5.5 V		40	—		
			1.6 V ≦ VCC < 2.7 V		45	—		
	データ入力ホールド時間	マスタ		t_H	33.3	—	ns	
		スレーブ			40	—		
	SS 入力セットアップ時間			t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	マスタ	1.8 V ≦ VCC ≦ 5.5 V	t_{OD}	—	40	ns	
			1.6 V ≦ VCC < 1.8 V		—	50		
		スレーブ	2.4 V ≦ VCC ≦ 5.5 V		—	65		
			1.8 V ≦ VCC < 2.4 V		—	100		
			1.6 V ≦ VCC < 1.8 V		—	125		
	データ出力ホールド時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V	t_{OH}	-10	—	ns	
			2.4 V ≦ VCC < 2.7 V		-20	—		
			1.8 V ≦ VCC < 2.4 V		-30	—		
			1.6 V ≦ VCC < 1.8 V		-40	—		
		スレーブ			-10	—		
	データ立ち上がり／立ち下がり時間	マスタ	1.8 V ≦ VCC ≦ 5.5 V	t_{Dr}, t_{Df}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
		スレーブ	1.8 V ≦ VCC ≦ 5.5 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		

表 35.30　SCI タイミング (2) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目				シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	スレーブアクセス時間	2.4 V ≦ VCC ≦ 5.5 V		t_{SA}	—	6	t_{Pcyc}	図 35.37
		1.8 V ≦ VCC < 2.4 V	24 MHz ≦ PCLKB ≦ 32 MHz		—	7		
			PCLKB < 24 MHz		—	6		
		1.6 V ≦ VCC < 1.8 V			—	6		
	スレーブ出力解放時間	2.4 V ≦ VCC ≦ 5.5 V		t_{REL}	—	6	t_{Pcyc}	
		1.8 V ≦ VCC < 2.4 V	24 MHz ≦ PCLKB ≦ 32 MHz		—	7		
			PCLKB < 24 MHz		—	6		
		1.6 V ≦ VCC < 1.8 V			—	6		

注 1.　t_{Pcyc}: PCLKB の周期



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

注.　n = 0～2, 9

図 35.33　SCI 簡易 SPI モードクロックタイミング

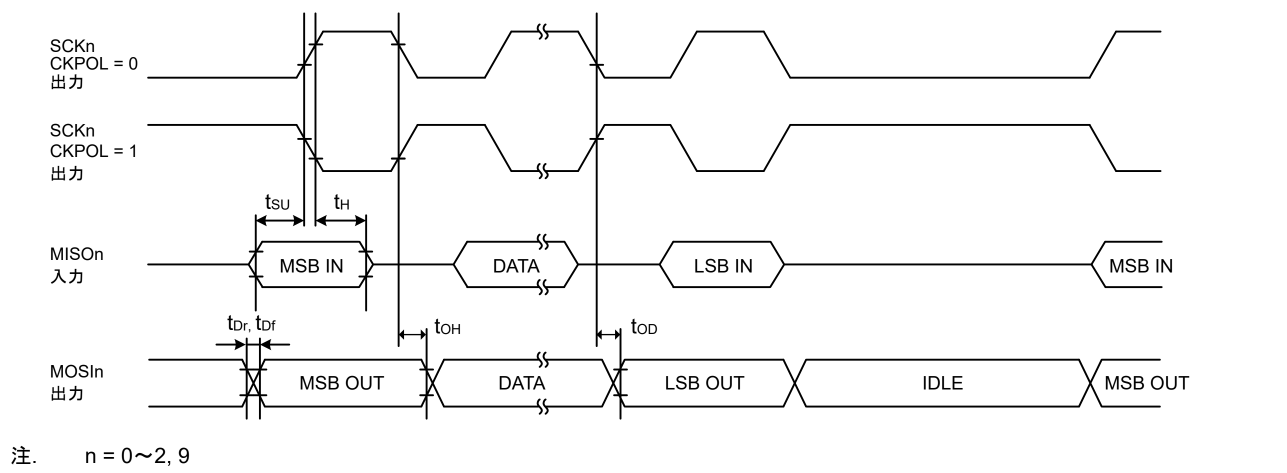


図 35.34 SCI 簡易 SPI モードタイミング（マスタ、CKPH = 1）

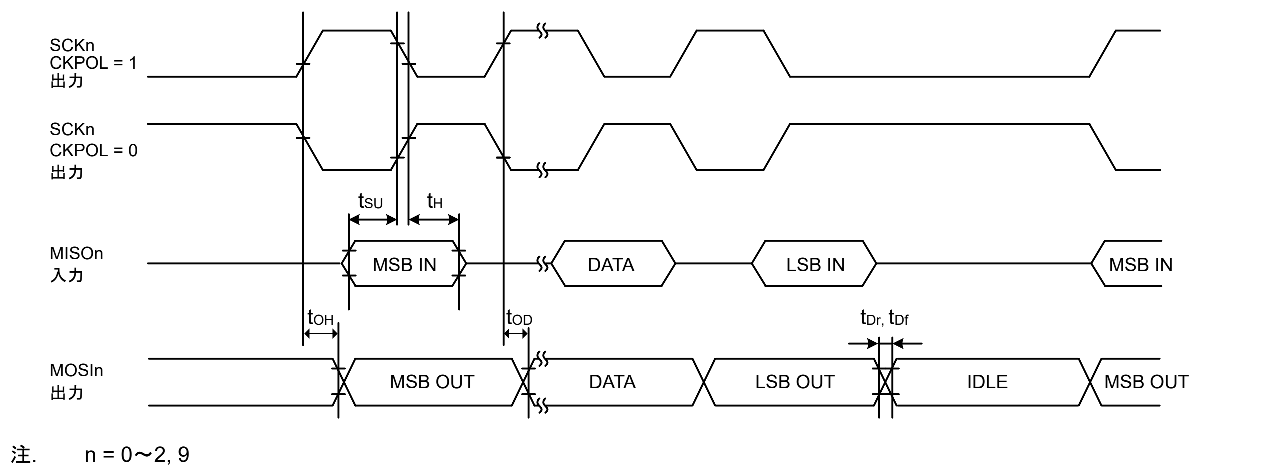


図 35.35 SCI 簡易 SPI モードタイミング（マスタ、CKPH = 0）

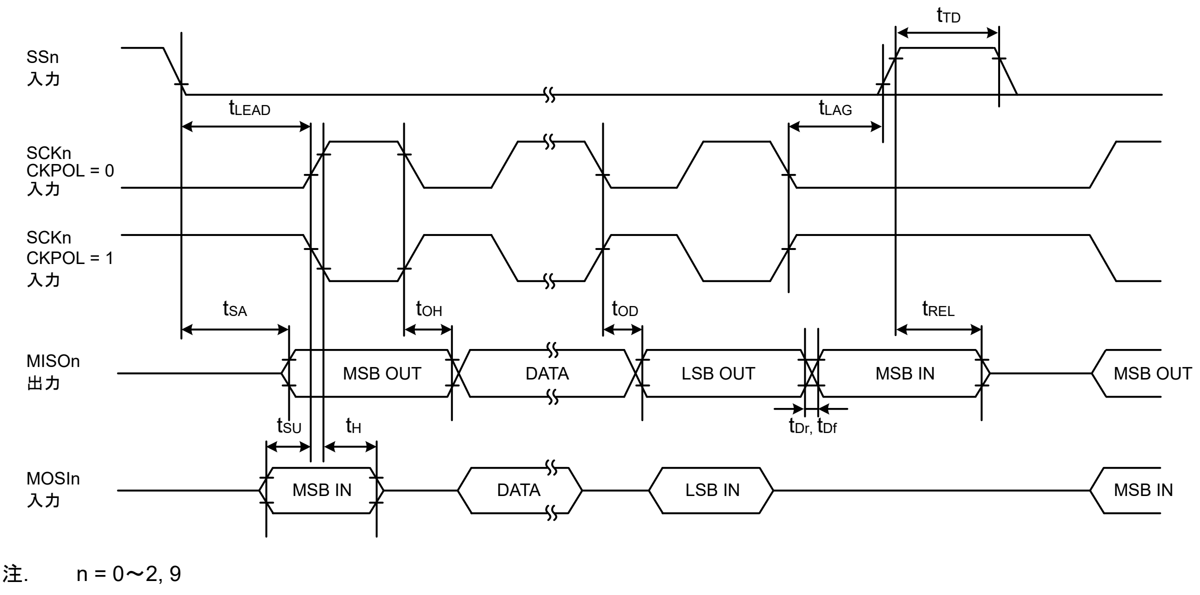


図 35.36 SCI 簡易 SPI モードタイミング（スレーブ、CKPH = 1）

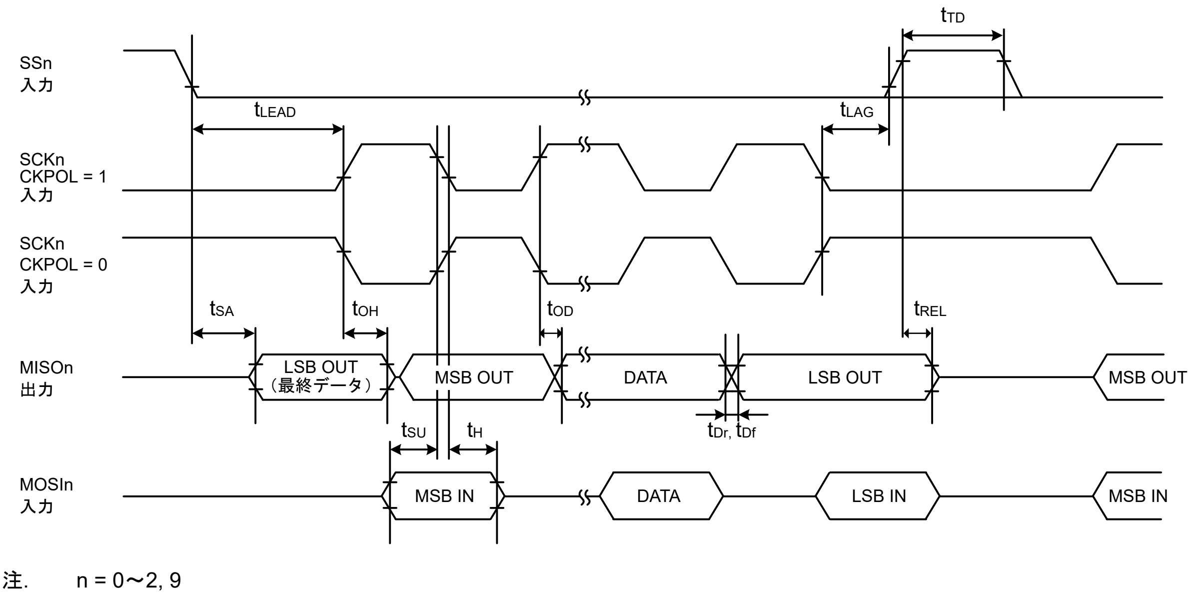


図 35.37 SCI 簡易 SPI モードタイミング（スレーブ、CKPH = 0）

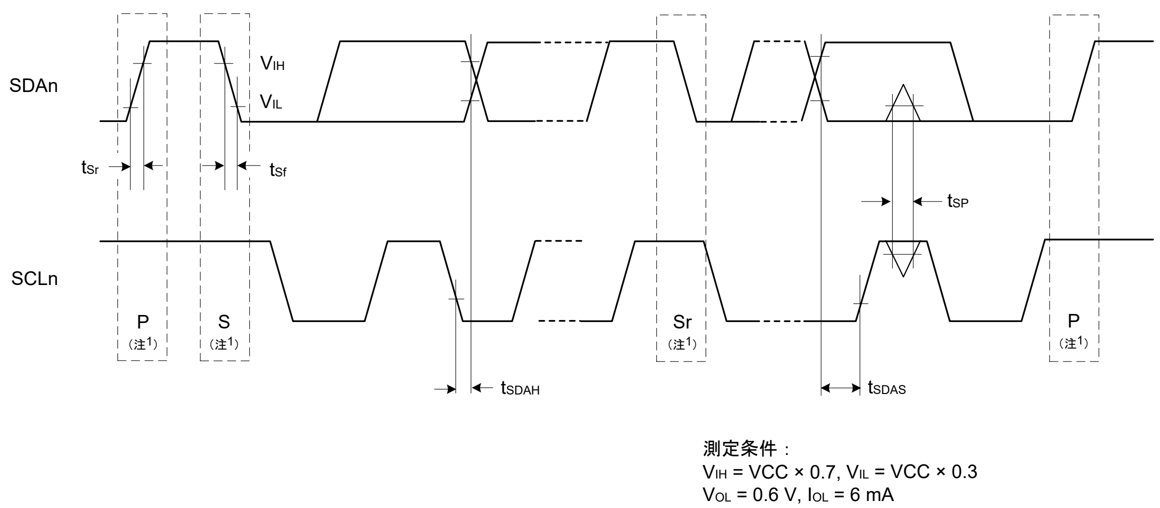
表 35.31　SCI タイミング (3)

条件：VCC = AVCC0 = 2.7～5.5 V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC（標準モード）	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 35.38
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b(注2)	—	400	pF	
簡易 IIC（ファストモード）	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 35.38
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b(注2)	—	400	pF	

注 1.　t_{IICcyc}: SMR.CKS[1:0]ビットによって選択されたクロックサイクル

注 2.　C_b はバスラインの容量総計を意味します。



注.　n = 0～2, 9

注 1.　S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 35.38　SCI 簡易 IIC モードタイミング

35.3.9 SPI タイミング

表 35.32 SPI タイミング (1/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	RSPCK クロックサイクル	マスタ	2.7 V ≦ VCC ≦ 5.5 V	t_{SPcyc}	62.5	—	ns	図 35.39 C = 30 pF
			2.4 V ≦ VCC < 2.7 V		125	—		
			1.8 V ≦ VCC < 2.4 V		250	—		
			1.6 V ≦ VCC < 1.8 V		500	—		
		スレーブ	2.7 V ≦ VCC ≦ 5.5 V		187.5	—		
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
	RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCK クロック立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 5.5 V	t_{SPCKr}, t_{SPCKf}	—	10	ns	
			2.4 V ≦ VCC < 2.7 V		—	15		
			1.8 V ≦ VCC ≦ 2.4 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		
		入力			—	0.1	μs/V	

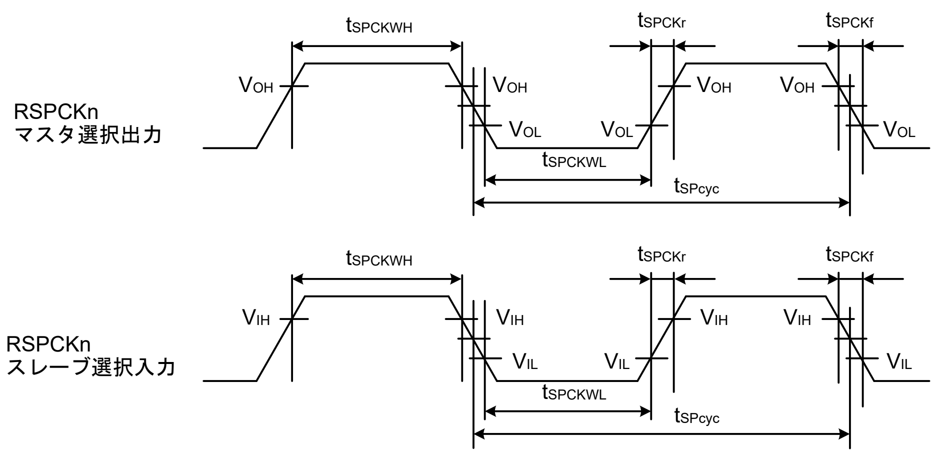
表 35.32　SPI タイミング (2/3)

項目					シンボル	Min	Max	単位 (注1)	測定条件
SPI	データ入力セットアップ時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V		t_{SU}	10	—	ns	図 35.40～図 35.45 C = 30 pF
			2.4 V ≦ VCC < 2.7 V	16 MHz < PCLKB ≦ 32 MHz		30	—		
				PCLKB ≦ 16 MHz		10	—		
			1.8 V ≦ VCC < 2.4 V	16 MHz < PCLKB ≦ 32 MHz		55	—		
				8 MHz < PCLKB ≦ 16 MHz		30	—		
				PCLKB ≦ 8 MHz		10	—		
			1.6 V ≦ VCC < 1.8 V			10	—		
		スレーブ	2.4 V ≦ VCC ≦ 5.5 V			10	—		
			1.8 V ≦ VCC < 2.4 V			15	—		
			1.6 V ≦ VCC < 1.8 V			20	—		
	データ入力ホールド時間	マスタ（RSPCK は PCLKB/2）			t_{HF}	0	—	ns	
		マスタ（RSPCK は PCLKB/2 以外）			t_H	t_{Pcyc}	—		
		スレーブ			t_H	20	—		
SPI	SSL セットアップ時間	マスタ	1.8 V ≦ VCC ≦ 5.5 V		t_{LEAD}	-30 + N × t_{SPcyc}(注2)	—	ns	
			1.6 V ≦ VCC < 1.8 V			-50 + N × t_{SPcyc}(注2)	—		
		スレーブ				6 × t_{Pcyc}	—	ns	
	SSL ホールド時間	マスタ			t_{LAG}	-30 + N × t_{SPcyc}(注3)	—	ns	
		スレーブ				6 × t_{Pcyc}	—	ns	
	データ出力遅延時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V		t_{OD}	—	14	ns	
			2.4 V ≦ VCC < 2.7 V			—	20		
			1.8 V ≦ VCC < 2.4 V			—	25		
			1.6 V ≦ VCC < 1.8 V			—	30		
		スレーブ	2.7 V ≦ VCC ≦ 5.5 V			—	50		
			2.4 V ≦ VCC < 2.7 V			—	60		
			1.8 V ≦ VCC < 2.4 V			—	85		
			1.6 V ≦ VCC < 1.8 V			—	110		
	データ出力ホールド時間	マスタ			t_{OH}	0	—	ns	
		スレーブ				0	—		
	連続送信遅延時間	マスタ			t_{TD}	t_{SPcyc} + 2 × t_{Pcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	ns	
		スレーブ				6 × t_{Pcyc}	—		

表 35.32　　SPI タイミング (3/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	MOSI、MISO 立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 5.5 V	t_{Dr}, t_{Df}	—	10	ns	図 35.40～図 35.45 C = 30 pF
			2.4 V ≦ VCC < 2.7 V		—	15		
			1.8 V ≦ VCC < 2.4 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		
		入力			—	1	μs	
	SSL 立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 5.5 V	t_{SSLr}, t_{SSLf}	—	10	ns	
			2.4 V ≦ VCC < 2.7 V		—	15		
			1.8 V ≦ VCC < 2.4 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		
		入力			—	1	μs	
	スレーブアクセス時間		2.4 V ≦ VCC ≦ 5.5 V	t_{SA}	—	2 × t_{Pcyc} + 100	ns	図 35.44 と図 35.45 C = 30 pF
			1.8 V ≦ VCC < 2.4 V		—	2 × t_{Pcyc} + 140		
			1.6 V ≦ VCC < 1.8 V		—	2 × t_{Pcyc} + 180		
	スレーブ出力開放時間		2.4 V ≦ VCC ≦ 5.5 V	t_{REL}	—	2 × t_{Pcyc} + 100	ns	
			1.8 V ≦ VCC < 2.4 V		—	2 × t_{Pcyc} + 140		
			1.6 V ≦ VCC < 1.8 V		—	2 × t_{Pcyc} + 180		

注 1.　t_{Pcyc}：PCLKB の周期
注 2.　N は SPCKD レジスタで設定可能な 1～8 の整数です。
注 3.　N は SSLND レジスタで設定可能な 1～8 の整数です。



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

注.　　n = A

図 35.39　　SPI クロックタイミング

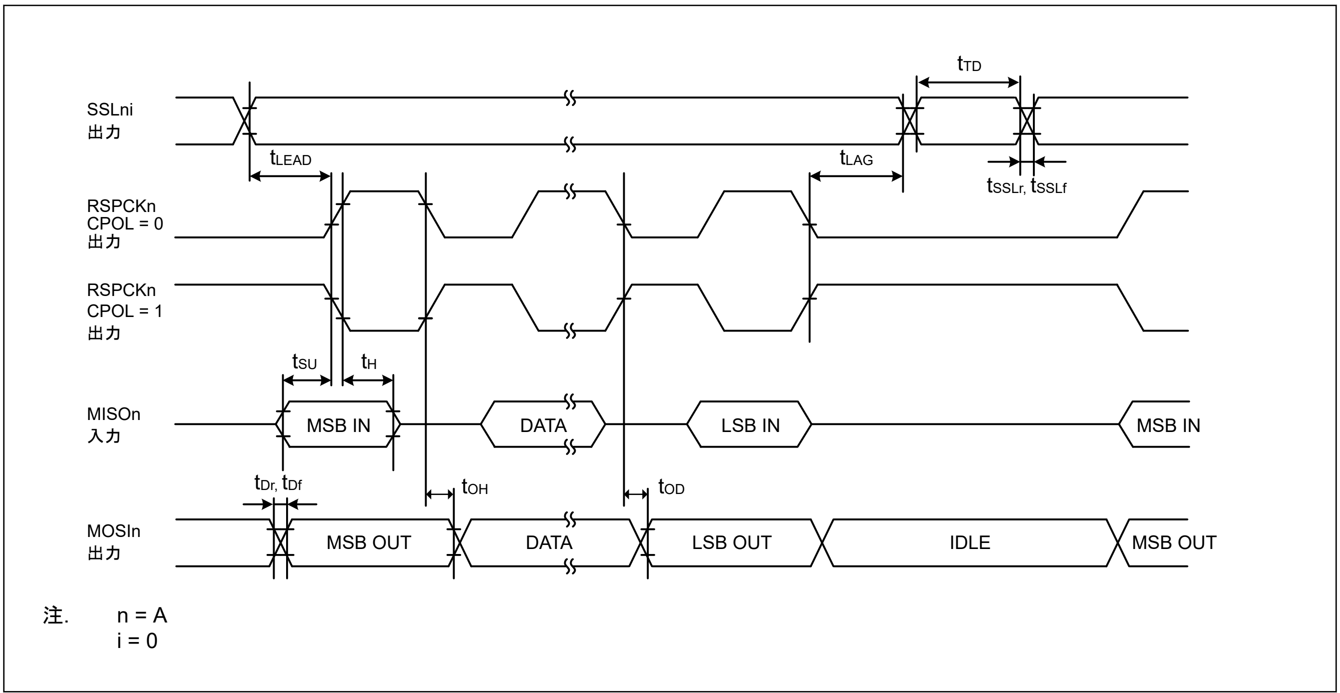


図 35.40　SPI タイミング（マスタ、CPHA = 0）（ビットレート：PCLKB を 2 分周以外に設定）

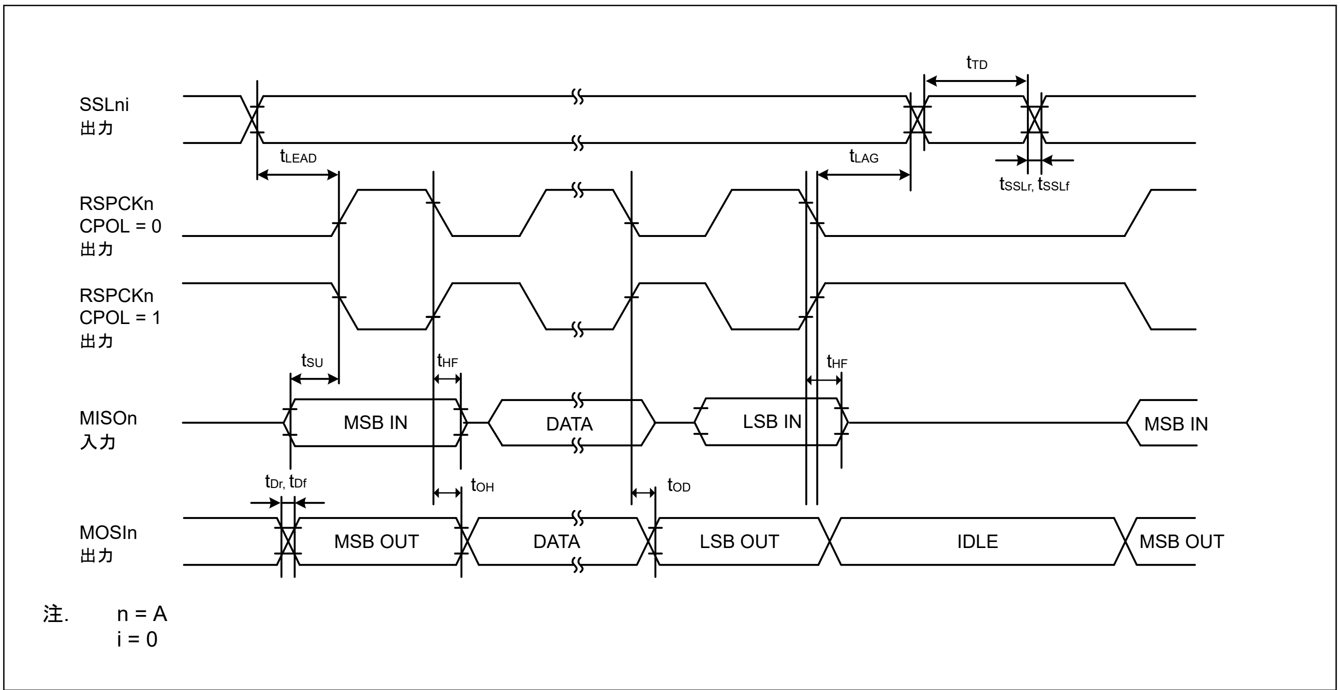


図 35.41　SPI タイミング（マスタ、CPHA = 0）（ビットレート：PCLKB を 2 分周に設定）

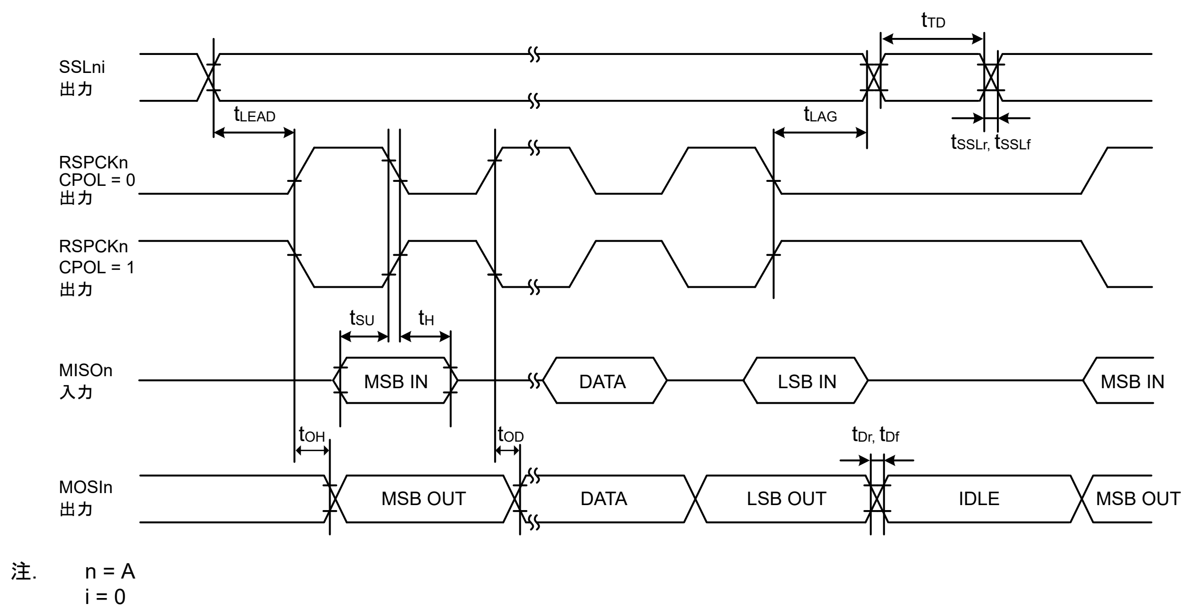


図 35.42 SPI タイミング（マスタ、CPHA = 1）（ビットレート：PCLKB を 2 分周以外に設定）

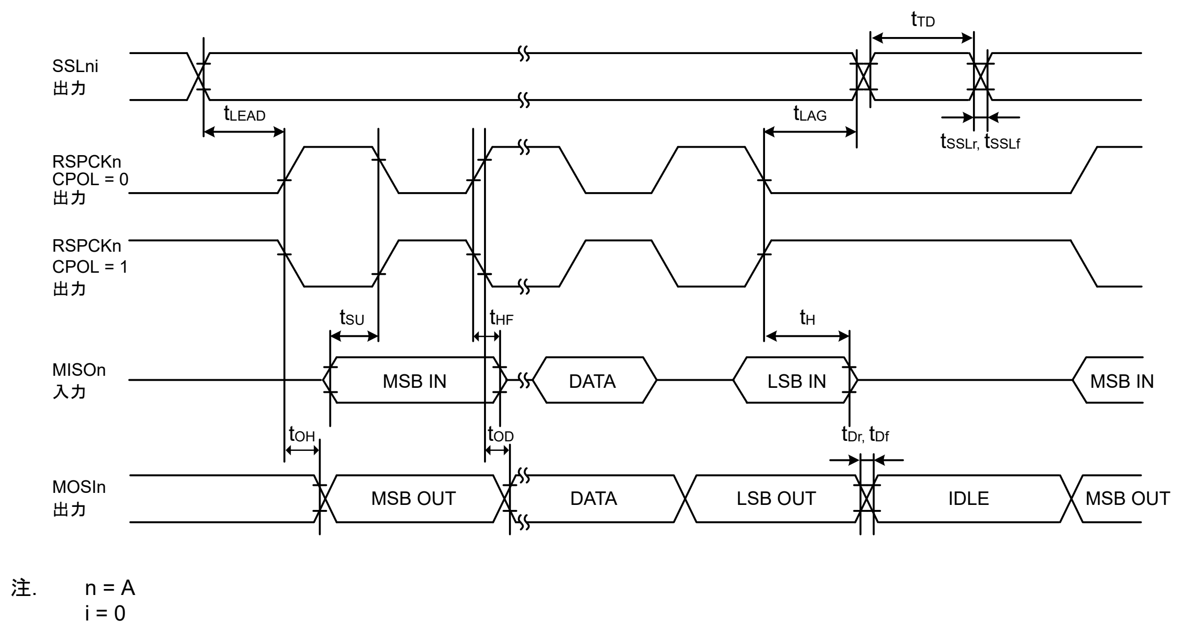


図 35.43 SPI タイミング（マスタ、CPHA = 1）（ビットレート：PCLKB を 2 分周に設定）

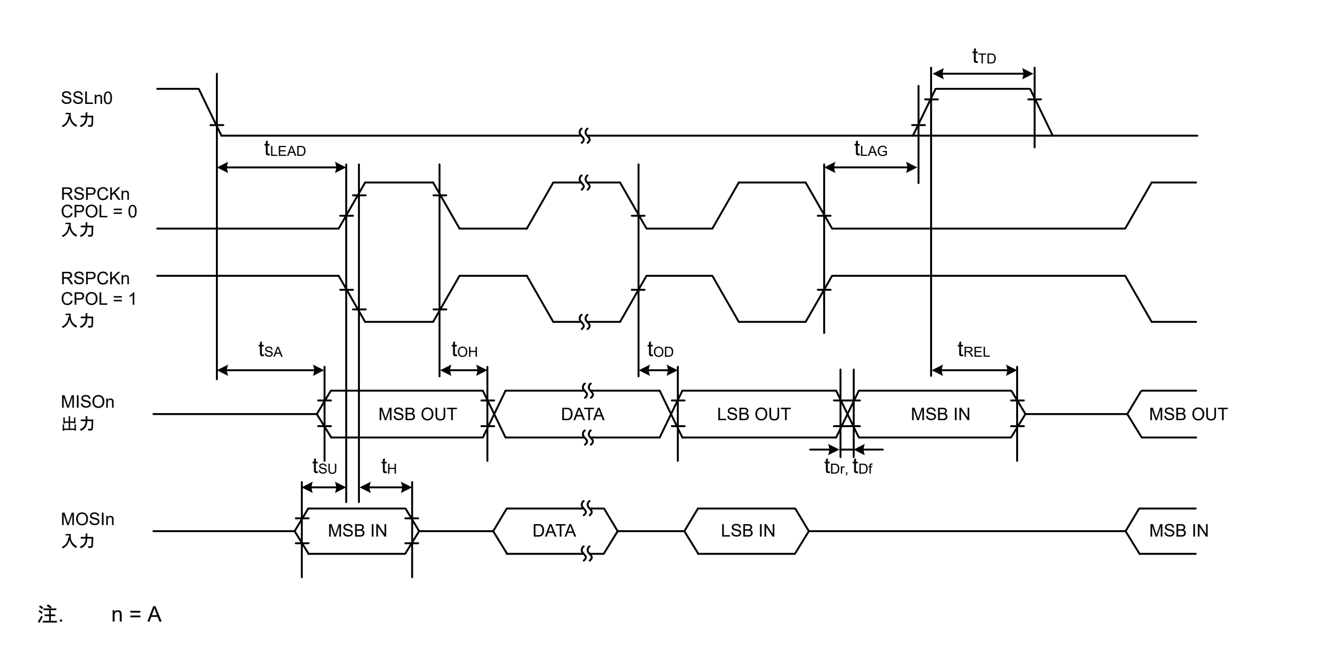


図 35.44　SPI タイミング（スレーブ、CPHA = 0）

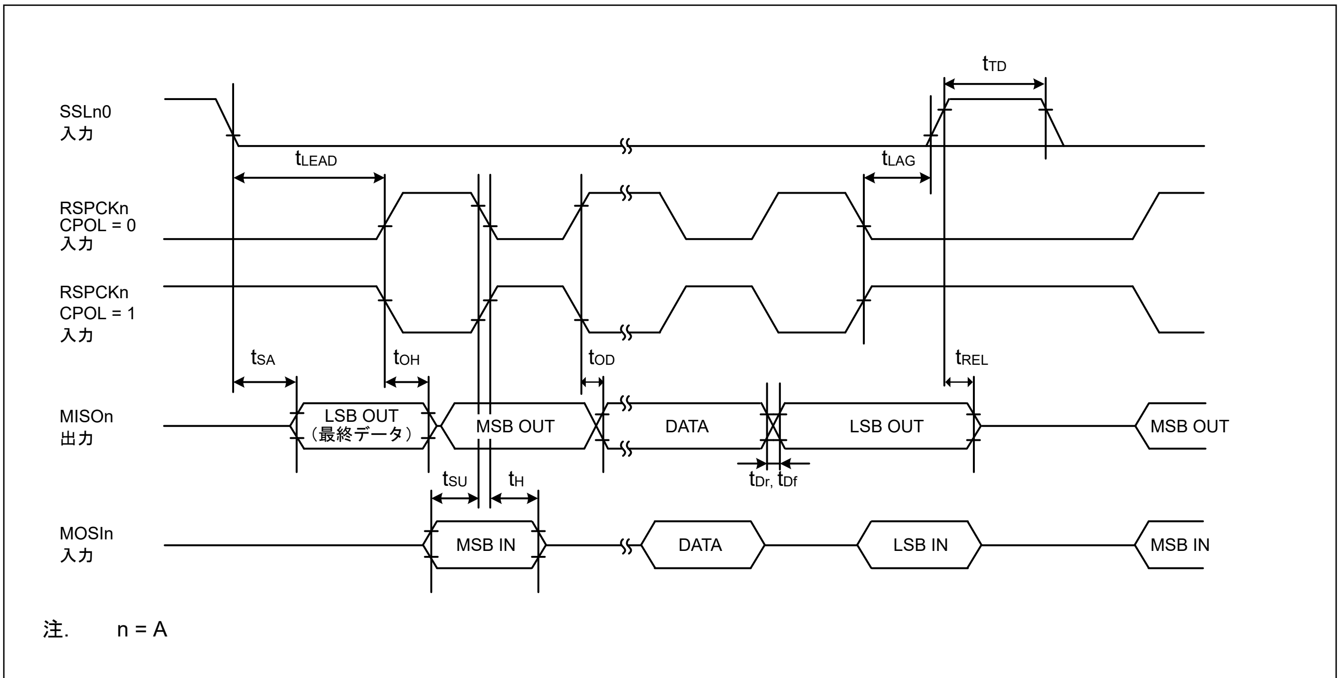


図 35.45　SPI タイミング（スレーブ、CPHA = 1）

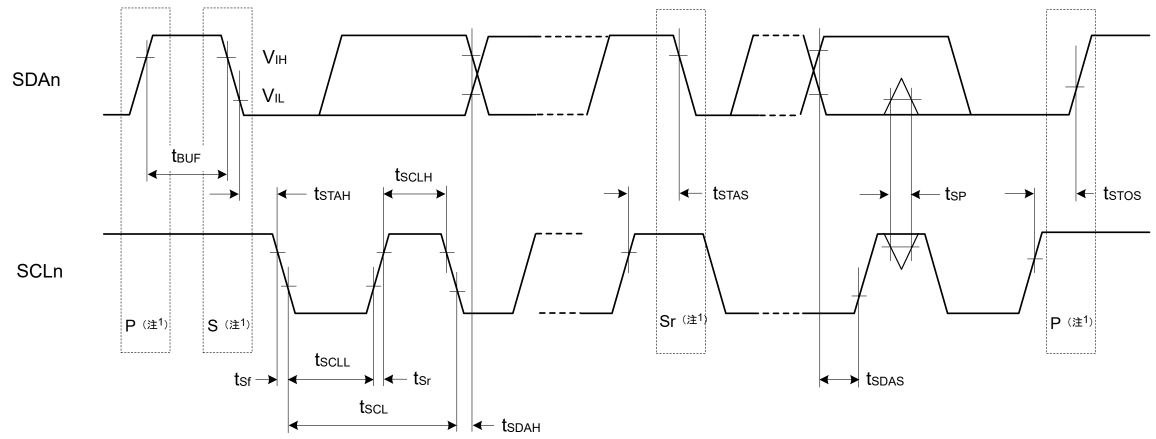
35.3.10　IIC タイミング

表 35.33　IIC タイミング

条件：VCC = AVCC0 = 2.7～5.5 V

項目		シンボル	Min(注1)	Max	単位	測定条件
IIC（標準モード、SMBus）	SCL 入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 1300	—	ns	図 35.46
IIC（標準モード、SMBus）	SCL 入力 High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 300	—	ns	
IIC（標準モード、SMBus）	SCL 入力 Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 300	—	ns	
IIC（標準モード、SMBus）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
IIC（標準モード、SMBus）	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
IIC（標準モード、SMBus）	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
IIC（標準モード、SMBus）	SDA 入力バスフリー時間（ウェイクアップ機能無効時）	t_{BUF}	3 (6) × t_{IICcyc} + 300	—	ns	
IIC（標準モード、SMBus）	SDA 入力バスフリー時間（ウェイクアップ機能有効時）	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
IIC（標準モード、SMBus）	START 条件入力ホールド時間（ウェイクアップ機能無効時）	t_{STAH}	t_{IICcyc} + 300	—	ns	
IIC（標準モード、SMBus）	START 条件入力ホールド時間（ウェイクアップ機能有効時）	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
IIC（標準モード、SMBus）	再送 START 条件入力セットアップ時間	t_{STAS}	1000	—	ns	
IIC（標準モード、SMBus）	STOP 条件入力セットアップ時間	t_{STOS}	1000	—	ns	
IIC（標準モード、SMBus）	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
IIC（標準モード、SMBus）	データ入力ホールド時間	t_{SDAH}	0	—	ns	
IIC（標準モード、SMBus）	SCL、SDA の容量性負荷	C_b	—	400	pF	
IIC（ファストモード）	SCL 入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 600	—	ns	図 35.46
IIC（ファストモード）	SCL 入力 High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 300	—	ns	
IIC（ファストモード）	SCL 入力 Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 300	—	ns	
IIC（ファストモード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
IIC（ファストモード）	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
IIC（ファストモード）	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
IIC（ファストモード）	SDA 入力バスフリー時間（ウェイクアップ機能無効時）	t_{BUF}	3 (6) × t_{IICcyc} + 300	—	ns	
IIC（ファストモード）	SDA 入力バスフリー時間（ウェイクアップ機能有効時）	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc}+ 300	—	ns	
IIC（ファストモード）	START 条件入力ホールド時間（ウェイクアップ機能無効時）	t_{STAH}	t_{IICcyc} + 300	—	ns	
IIC（ファストモード）	START 条件入力ホールド時間（ウェイクアップ機能有効時）	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
IIC（ファストモード）	再送 START 条件入力セットアップ時間	t_{STAS}	300	—	ns	
IIC（ファストモード）	STOP 条件入力セットアップ時間	t_{STOS}	300	—	ns	
IIC（ファストモード）	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
IIC（ファストモード）	データ入力ホールド時間	t_{SDAH}	0	—	ns	
IIC（ファストモード）	SCL、SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) の周期、t_{Pcyc}：PCLKB の周期
注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると ( ) 内の値が適用されます。



注. n = 0
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 35.46 I²C バスインタフェース入出力タイミング

35.3.11 CLKOUT タイミング

表 35.34 CLKOUT タイミング

項目			シンボル	Min	Max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	2.7 V ≦ VCC ≦ 5.5 V	t_{Ccyc}	62.5	—	ns	図 35.47
		1.8 V ≦ VCC ＜ 2.7 V		125	—		
		1.6 V ≦ VCC ＜ 1.8 V		250	—		
	CLKOUT 端子 High レベルパルス幅(注2)	2.7 V ≦ VCC ≦ 5.5 V	t_{CH}	15	—	ns	
		1.8 V ≦ VCC ＜ 2.7 V		30	—		
		1.6 V ≦ VCC ＜ 1.8 V		150	—		
	CLKOUT 端子 Low レベルパルス幅(注2)	2.7 V ≦ VCC ≦ 5.5 V	t_{CL}	15	—	ns	
		1.8 V ≦ VCC ＜ 2.7 V		30	—		
		1.6 V ≦ VCC ＜ 1.8 V		150	—		
	CLKOUT 端子出力立ち上がり時間	2.7 V ≦ VCC ≦ 5.5 V	t_{Cr}	—	12	ns	
		1.8 V ≦ VCC ＜ 2.7 V		—	25		
		1.6 V ≦ VCC ＜ 1.8 V		—	50		
	CLKOUT 端子出力立ち下がり時間	2.7 V ≦ VCC ≦ 5.5 V	t_{Cf}	—	12	ns	
		1.8 V ≦ VCC ＜ 2.7 V		—	25		
		1.6 V ≦ VCC ＜ 1.8 V		—	50		

注 1. EXTAL 外部クロック入力または発振器の 1 分周（CKOCR.CKOSEL[2:0]ビット = 011b かつ CKOCR.CKODIV[2:0]ビット = 000b）を使用して CLKOUT から出力する場合は、入力デューティーサイクル 45～55%で表 35.34 の仕様を満たします。
注 2. クロック出力ソースに MOCO が選択されている場合（CKOCR.CKOSEL[2:0]ビット = 001b)、クロック出力分周比を 2 分周（CKOCR.CKODIV[2:0]ビット = 001b）に設定してください。

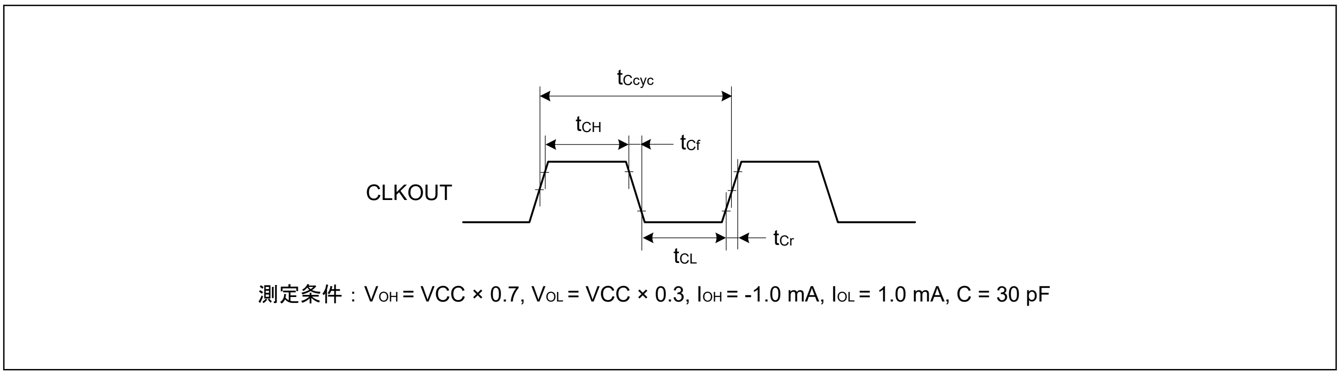


図 35.47　　CLKOUT 出力タイミング

35.4　　ADC12 特性

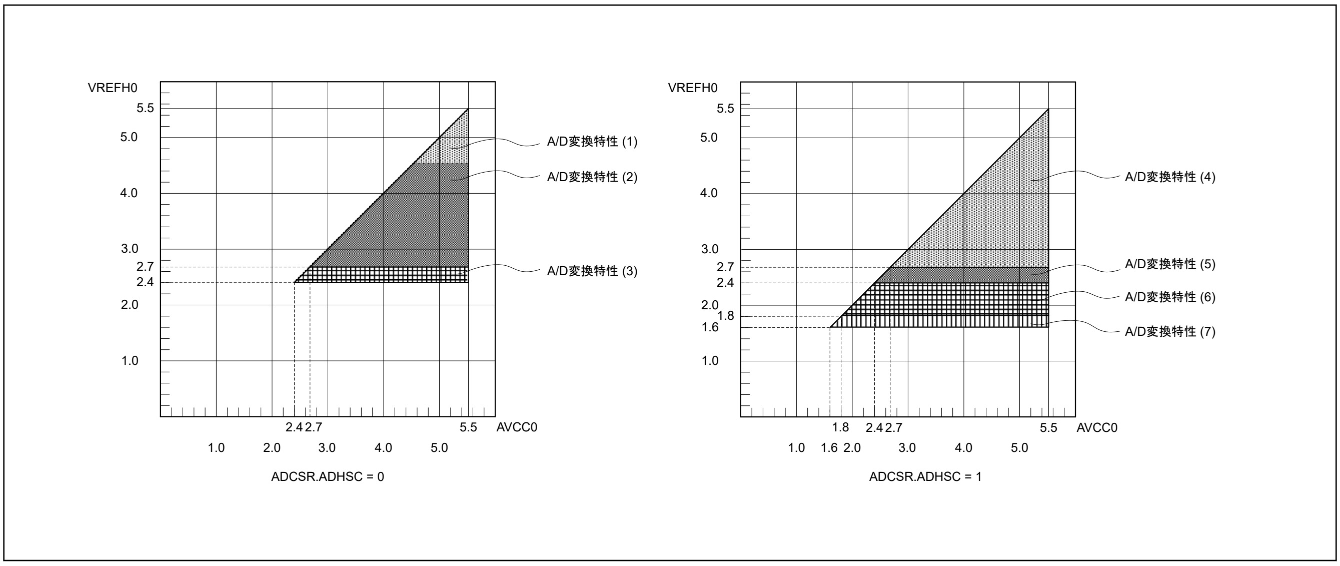


図 35.48　　AVCC0～VREFH0 電圧範囲

表 35.35　　高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件：VCC = AVCC0 = VREFH0 = 4.5～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	64	MHz	ADACSR.ADSAC = 0
				48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.3(注3)	kΩ	高精度チャネル
		—	—	5.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—

表 35.35　高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件：VCC = AVCC0 = VREFH0 = 4.5～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間(注1) (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
		1.30 (0.406 + 0.211)(注4)	—	—	μs	高精度チャネル 専用サンプル&ホールド回路使用時 (AN000～AN002) ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0 ADSHCR.SSTSH[7:0] = 0x1A
		1.34 (0.852)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x36 ADACSR.ADSAC = 0
変換時間(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.33 (0.417 + +0.219)(注4)	—	—	μs	高精度チャネル 専用サンプル&ホールド回路使用時 (AN000～AN002) ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1 ADSHCR.SSTSH[7:0] = 0x14
		1.29 (0.844)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±4.5	LSB	高精度チャネル
				±6.0	LSB	指定以外
フルスケール誤差		—	±1.0	±4.5	LSB	高精度チャネル
				±6.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±5.0	LSB	高精度チャネル
				±7	LSB	サンプル＆ホールド回路使用時の高精度チャネル (0.25 V≦VAIN≦AVCC0 – 0.25 V)
				±8.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—
サンプル&ホールド回路のホールド特性		—	—	10(注6)	μs	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

注 6.　3 チャネル同時にサンプリングする場合：3 チャネル S/H 回路を使用する場合、1 回の AD 変換は 3.3 μs 以内に行う必要があるという制限事項があります（3.3 μs × 3 < 最大 10 μs）。

表 35.36　　高速 A/D 変換モードにおける A/D 変換特性 (2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	48	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャネル
		—	—	6.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) （PCLKD = 48 MHz で動作時）	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.33 (0.417 + +0.219)(注4)	—	—	μs	高精度チャネル専用サンプル&ホールド回路使用時 (AN000～AN002) ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1 ADSHCR.SSTSH[7:0] = 0x14
		1.29 (0.844)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
フルスケール誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±6.0	LSB	高精度チャネル
				±8.5	LSB	サンプル＆ホールド回路使用時の高精度チャネル (0.25 V≦VAIN≦AVCC0 – 0.25 V)
				±9.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—
サンプル&ホールド回路のホールド特性		—	—	10(注6)	μs	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。
注 6.　3 チャネル同時にサンプリングする場合：3 チャネル S/H 回路を使用する場合、1 回の AD 変換は 3.3 μs 以内に行う必要があるという制限事項があります（3.3 μs × 3 < 最大 10 μs）。

表 35.37　高速 A/D 変換モードにおける A/D 変換特性 (3)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min		Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	32	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	kΩ	高精度チャネル
		—	—	7.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) （PCLKD = 32 MHz で動作時）	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
フルスケール誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.50	±6.0	LSB	高精度チャネル
				±9.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 35.38　低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	24	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャネル
		—	—	6(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—

表 35.38　　低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間(注1) （PCLKD = 24 MHz で動作時）	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
フルスケール誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.25	±7.0	LSB	高精度チャネル
				±10.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.5	—	LSB	—
INL 積分非直線性誤差		—	±1.75	±4.0	LSB	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 35.39　　低消費電力 A/D 変換モードにおける A/D 変換特性 (5) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	16	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	kΩ	高精度チャネル
		—	—	7(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) （PCLKD = 16 MHz で動作時）	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1

表 35.39　低消費電力 A/D 変換モードにおける A/D 変換特性 (5) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.25	±7.0	LSB	高精度チャネル
			±10.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 35.40　低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	8	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	6(注3)	kΩ	高精度チャネル
		—	—	14(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 8 MHz で動作時)	許容信号源インピーダンス Max = 5 kΩ	4.75 (1.313)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外

表 35.40　　低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
DNL 微分非直線性誤差	—	±2.0	—	LSB	—
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 35.41　　低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

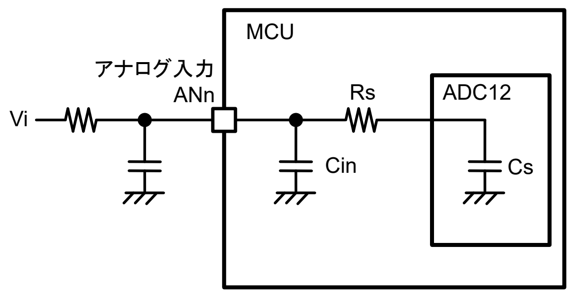
条件：VCC = AVCC0 = VREFH0 = 1.6～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	4	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	12(注3)	kΩ	高精度チャネル
		—	—	28(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ	9.5 (2.625)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注.　12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1.　変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2.　I/O 入力容量 (Cin) 以外は、「35.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3.　参考データ
注 4.　( ) はサンプリング時間を示します。
注 5.　VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 35.49 にアナログ入力の等価回路を示します。



注.　この図に端子リーク電流は記載されていません。

図 35.49　アナログ入力の等価回路

表 35.42　12 ビット A/D コンバータチャネル分類

分類	チャネル	条件	注意点
高精度チャネル	AN000～AN002、AN005～AN010	AVCC0 = 1.6～5.5 V	AN000～AN002 端子および AN005～AN010 端子は、汎用 I/O に使用不可（A/D コンバータが使用中の場合）
通常精度チャネル	AN019～AN022		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 1.8～5.5 V	—
温度センサ入力チャネル	温度センサ出力	AVCC0 = 1.8～5.5 V	—

表 35.43　A/D 内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

注 1.　AVCC0 < 1.8 V のとき、内部基準電圧を入力チャネルに選択することはできません。
注 2.　12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。
注 3.　高電位基準電圧に内部基準電圧を選択した場合
注 4.　内部基準電圧の変換時

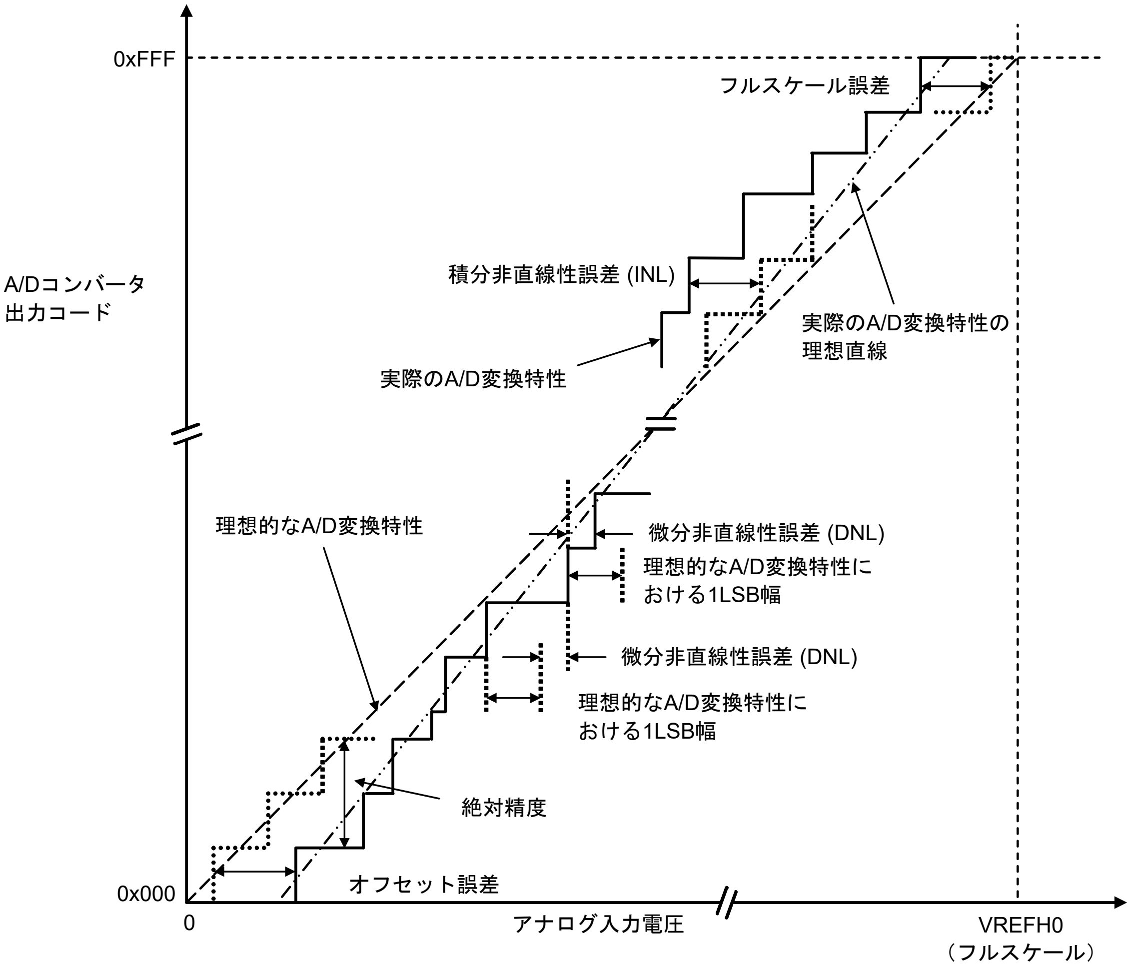


図 35.50　　12 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、および 1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

35.5 TSN 特性

表 35.44 TSN 特性

条件：VCC = AVCC0 = 1.8～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	℃	2.4 V 以上
		—	±2.0	—	℃	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/℃	—
出力電圧（25℃）	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t_{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	

35.6 OSC 停止検出特性

表 35.45 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 35.51

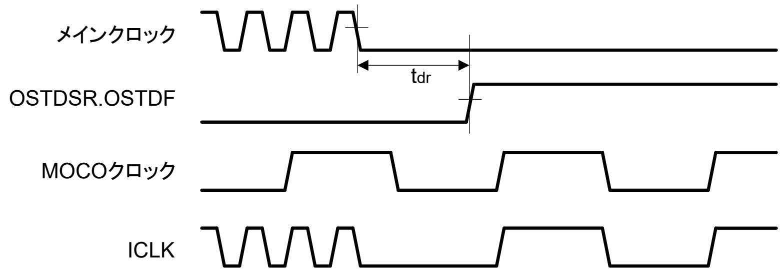


図 35.51 発振停止検出タイミング

35.7 POR と LVD の特性

表 35.46 パワーオンリセット回路と電圧検出回路の特性 (1) (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル (注1)	パワーオンリセット (POR)	電源上昇時	V_{POR}	1.47	1.51	1.55	V	図 35.52
		電源下降時	V_{PDR}	1.46	1.50	1.54		図 35.53
	電圧検出回路 (LVD0)(注2)	電源上昇時	V_{det0_0}	3.74	3.91	4.06	V	図 35.54 VCC 立ち下がりエッジ時
		電源下降時		3.68	3.85	4.00		
		電源上昇時	V_{det0_1}	2.73	2.9	3.01		
		電源下降時		2.68	2.85	2.96		
		電源上昇時	V_{det0_2}	2.44	2.59	2.70		
		電源下降時		2.38	2.53	2.64		
		電源上昇時	V_{det0_3}	1.83	1.95	2.07		
		電源下降時		1.78	1.90	2.02		
		電源上昇時	V_{det0_4}	1.66	1.75	1.88		
		電源下降時		1.60	1.69	1.82		

表 35.46 パワーオンリセット回路と電圧検出回路の特性 (1) (2/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル (注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V_{det1_0}	4.23	4.39	4.55	V	図 35.55 VCC 立ち下がりエッジ時
		電源下降時		4.13	4.29	4.45		
		電源上昇時	V_{det1_1}	4.07	4.25	4.39		
		電源下降時		3.98	4.16	4.30		
		電源上昇時	V_{det1_2}	3.97	4.14	4.29		
		電源下降時		3.86	4.03	4.18		
		電源上昇時	V_{det1_3}	3.74	3.92	4.06		
		電源下降時		3.68	3.86	4.00		
		電源上昇時	V_{det1_4}	3.05	3.17	3.29		
		電源下降時		2.98	3.10	3.22		
		電源上昇時	V_{det1_5}	2.95	3.06	3.17		
		電源下降時		2.89	3.00	3.11		
		電源上昇時	V_{det1_6}	2.86	2.97	3.08		
		電源下降時		2.79	2.90	3.01		
		電源上昇時	V_{det1_7}	2.74	2.85	2.96		
		電源下降時		2.68	2.79	2.90		
電圧検出レベル (注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V_{det1_8}	2.63	2.75	2.85	V	図 35.55 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V_{det1_9}	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V_{det1_A}	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V_{det1_B}	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V_{det1_C}	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V_{det1_D}	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V_{det1_E}	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V_{det1_F}	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2)(注4)	電源上昇時	V_{det2_0}	4.20	4.40	4.57	V	図 35.56 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V_{det2_1}	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V_{det2_2}	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V_{det2_3}	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。
注 2. $V_{det0_\#}$の#は OFS1.VDSEL0[2:0]ビットの値を示しています。

注 3.　$V_{det1_\#}$の#は LVDLVLR.LVD1LVL[4:0]ビットの値を示しています。
注 4.　$V_{det2_\#}$の#は LVDLVLR.LVD2LVL[2:0]ビットの値を示しています。

表 35.47　　パワーオンリセット回路と電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0：有効	t_{POR}	—	4.3	—	ms	—
	LVD0：無効	t_{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0：有効(注1)	$t_{LVD0, 1, 2}$	—	1.4	—	ms	—
	LVD0：無効(注2)	$t_{LVD1, 2}$	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		t_{det}	—	—	500	μs	図 35.52、図 35.53
LVD0 応答遅延時間(注3)		t_{det}	—	—	500	μs	図 35.54
LVD1 応答遅延時間(注3)		t_{det}	—	—	350	μs	図 35.55
LVD2 応答遅延時間(注3)		t_{det}	—	—	600	μs	図 35.56
最小 VCC 低下時間		t_{VOFF}	500	—	—	μs	図 35.52、VCC = 1.0 V 以上
パワーオンリセット有効時間		$t_{W (POR)}$	1	—	—	ms	図 35.53、VCC = 1.0 V 未満
LVD1 動作安定時間（LVD1 有効切り替え後）		$T_{d (E-A)}$	—	—	300	μs	図 35.55
LVD2 動作安定時間（LVD2 有効切り替え後）		$T_{d (E-A)}$	—	—	1200	μs	図 35.56
ヒステリシス幅 (POR)		V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)		V_{LVH}	—	60	—	mV	LVD0 選択時
			—	110	—		V_{det1_0}～V_{det1_2} を選択
			—	70	—		V_{det1_3}～V_{det1_9} を選択
			—	60	—		V_{det1_A}～V_{det1_B} を選択
			—	50	—		V_{det1_C}～V_{det1_F} を選択
			—	90	—		LVD2 選択時

注 1.　OFS1.LVDAS = 0 のとき
注 2.　OFS1.LVDAS = 1 のとき
注 3.　最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1}、V_{det2} の最小値を下回っている時間です。

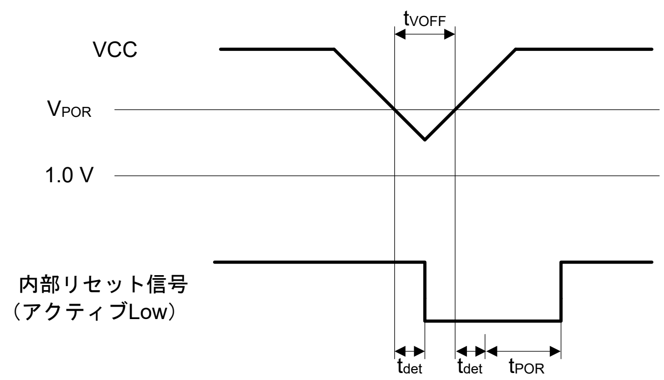
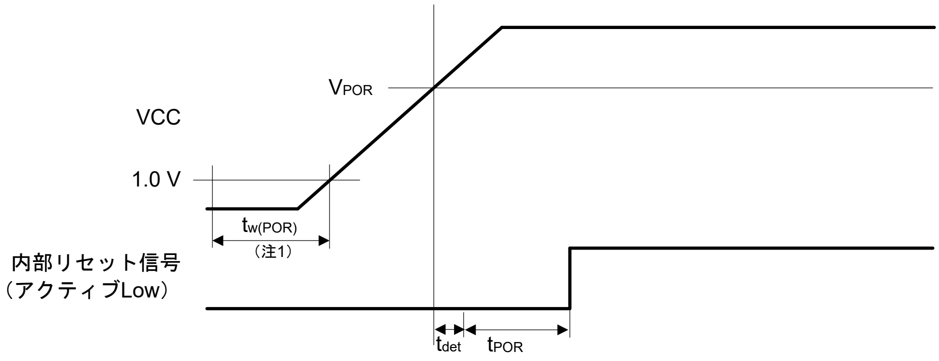


図 35.52　　電圧検出リセットタイミング



注 1.　$t_{w\ (POR)}$は、外部電源 VCC を有効電圧 (1.0 V) 未満に保持してパワーオンリセットが有効になるために必要な時間です。VCC がオンになると、$t_{w\ (POR)}$を 1.0 ms 以上保持します。

図 35.53　パワーオンリセットタイミング

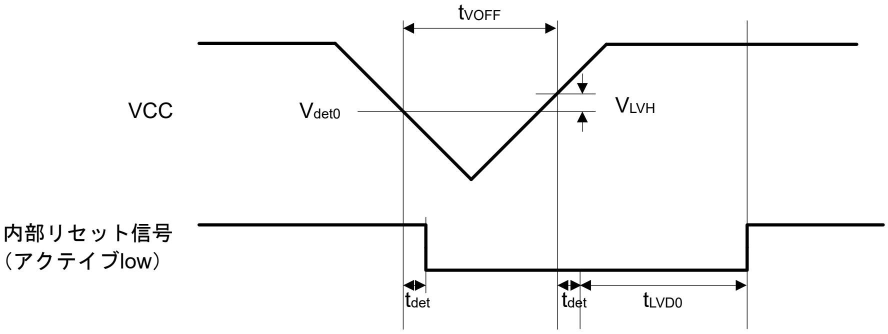


図 35.54　電圧検出回路タイミング (V_{det0})

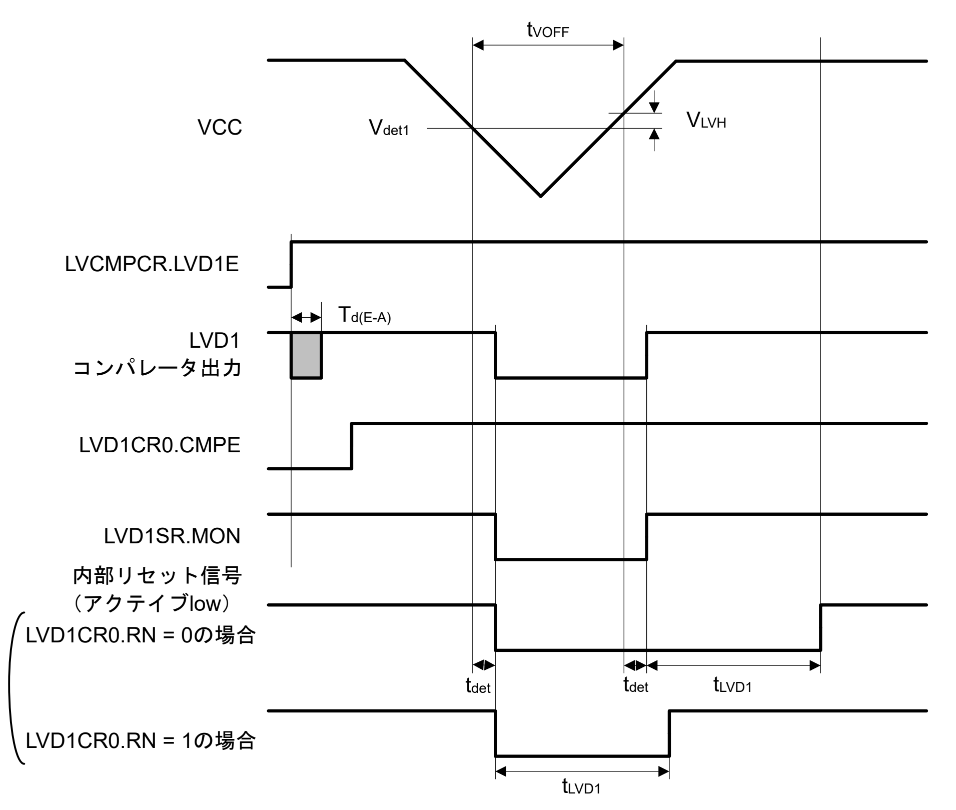


図 35.55　電圧検出回路タイミング (V_{det1})

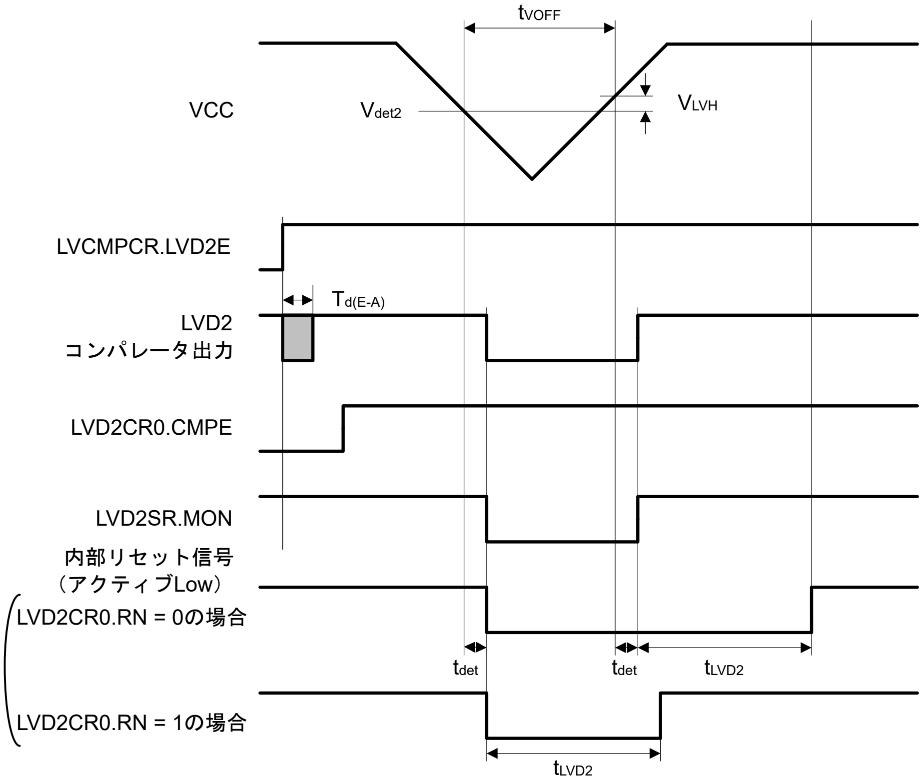


図 35.56　電圧検出回路タイミング (V_{det2})

35.8　コンパレータ特性

表 35.48　ACMPHS 特性

条件：VCC = AVCC0 = 2.7～5.5 V、VSS = AVSS0 = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	VREF	0		VCC	V	—
入力電圧範囲	VI	0		VCC	V	—
内部基準電圧	—	1.34	1.44	1.54	V	—
出力遅延時間(注1)	Td		50	100	ns	VI = VREF ± 100 mV
オフセット電圧	—		±5	±40	mV	—
動作安定待機時間	Tcmp	1			μs	—
入力チャネル切り替え安定までの待機時間(注2)	—	0.3	—	—	μs	—

注 1.　内部伝搬遅延の値です。
注 2.　コンパレータの動作許可信号切り替えから、DC/AC 特性がコンパレータを満たすまでの時間 (CMPnEN = 0～1)。

35.9　フラッシュメモリ特性

35.9.1 コードフラッシュメモリ特性

表 35.49 コードフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル(注1)		N_{PEC}	10000	—	—	回	—
データ保持時間	1000 回の N_{PEC} の後	t_{DRP}	20 (注2)	—	—	年	T_a = +105℃
	10000 回の NPEC の後		10 (注2)	—	—	年	T_a = +125℃

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。
注 2. この結果は信頼性試験から得られたものです。

表 35.50 コードフラッシュ特性 (2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 64 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	34	321	μs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	5.6	215	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	8.3	μs
	2 KB	t_{BC2K}	—	—	3681	—	—	231	μs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	10.5	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	11.4	423	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 4 コマンドの合計時間です。

表 35.51 コードフラッシュ特性 (3) (1/2)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	39	356	μs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	11.3	μs
	2 KB	t_{BC2K}	—	—	3681	—	—	534	μs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	11.7	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	12.2	435	ms

表 35.51　コードフラッシュ特性 (3) (2/2)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8〜5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位
		Min	Typ	Max	Min	Typ	Max	
OCD／シリアルプログラマ ID 設定時間(注1)	t_{OSIS}	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1	t_{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2	t_{MS}	15	—	—	15	—	—	μs

注.　ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1.　4 コマンドの合計時間です。
注 2.　1.8 V ≦ VCC = AVCC0 ≦ 5.5 V の場合

表 35.52　コードフラッシュ特性 (4)

Low-speed 動作モード
条件：VCC = AVCC0 = 1.6〜5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	57	502	μs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	23.3	μs
	2 KB	t_{BC2K}	—	—	3681	—	—	1841	μs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	16.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	15.9	491	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	μs

注.　ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1.　4 コマンドの合計時間です。

35.9.2　データフラッシュメモリ特性

表 35.53　データフラッシュ特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル(注1)	N_{DPEC}	100000	1000000	—	回	—

表 35.53　データフラッシュ特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	条件
データ保持時間	10000 回の N_{DPEC} の後	t_{DDRP}	20 (注2)	—	—	年	Ta = +105℃
	10000 回の N_{DPEC} の後		10	—	—	年	Ta = +125℃
	100000 回の N_{DPEC} の後		5 (注2)	—	—	年	Ta = +105℃
	1000000 回の N_{DPEC} の後		—	1 (注2)	—	年	Ta = +25℃

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）
注 2.　この結果は信頼性試験から得られたものです。

表 35.54　データフラッシュ特性 (2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 64 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	45	404	—	34	321	μs
イレース時間	1 KB	t_{DE1K}	—	8.8	280	—	6.1	224	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	15.2	—	—	8.3	μs
	1 KB	t_{DBC1K}	—	—	1832	—	—	444	μs
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.2	—	—	10.5	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注.　ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 35.55　データフラッシュ特性 (3)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	45	404	—	39	356	μs
イレース時間	1 KB	t_{DE1K}	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	15.2	—	—	11.3	μs
	1 KB	t_{DBC1K}	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.2	—	—	11.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注.　ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1.　1.8 V ≦ VCC = AVCC0 ≦ 5.5 V の場合

表 35.56　データフラッシュ特性 (4)

Low-speed 動作モード
条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	86	732	—	57	502	µs
イレース時間	1 KB	t_{DE1K}	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	46.5	—	—	23.3	µs
	1 KB	t_{DBC1K}	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	22.3	—	—	16.2	µs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注.　ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

35.10　シリアルワイヤデバッグ (SWD)

表 35.57　SWD 特性 (1)

条件：VCC = AVCC0 = 2.4～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	80	—	—	ns	図 35.57
SWCLK クロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	16	—	—	ns	図 35.58
SWDIO ホールド時間	t_{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	70	ns	

表 35.58　SWD 特性 (2)

条件：VCC = AVCC0 = 1.6～2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	250	—	—	ns	図 35.57
SWCLK クロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	50	—	—	ns	図 35.58
SWDIO ホールド時間	t_{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	170	ns	

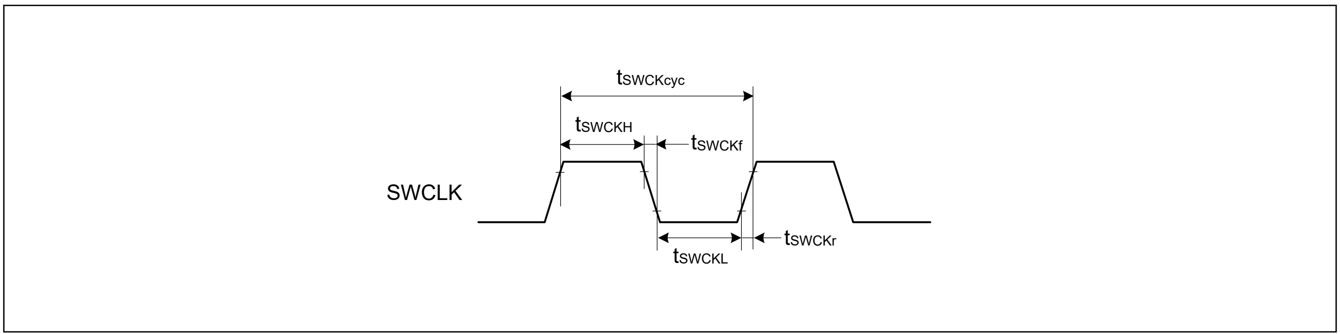


図 35.57　SWD SWCLK タイミング

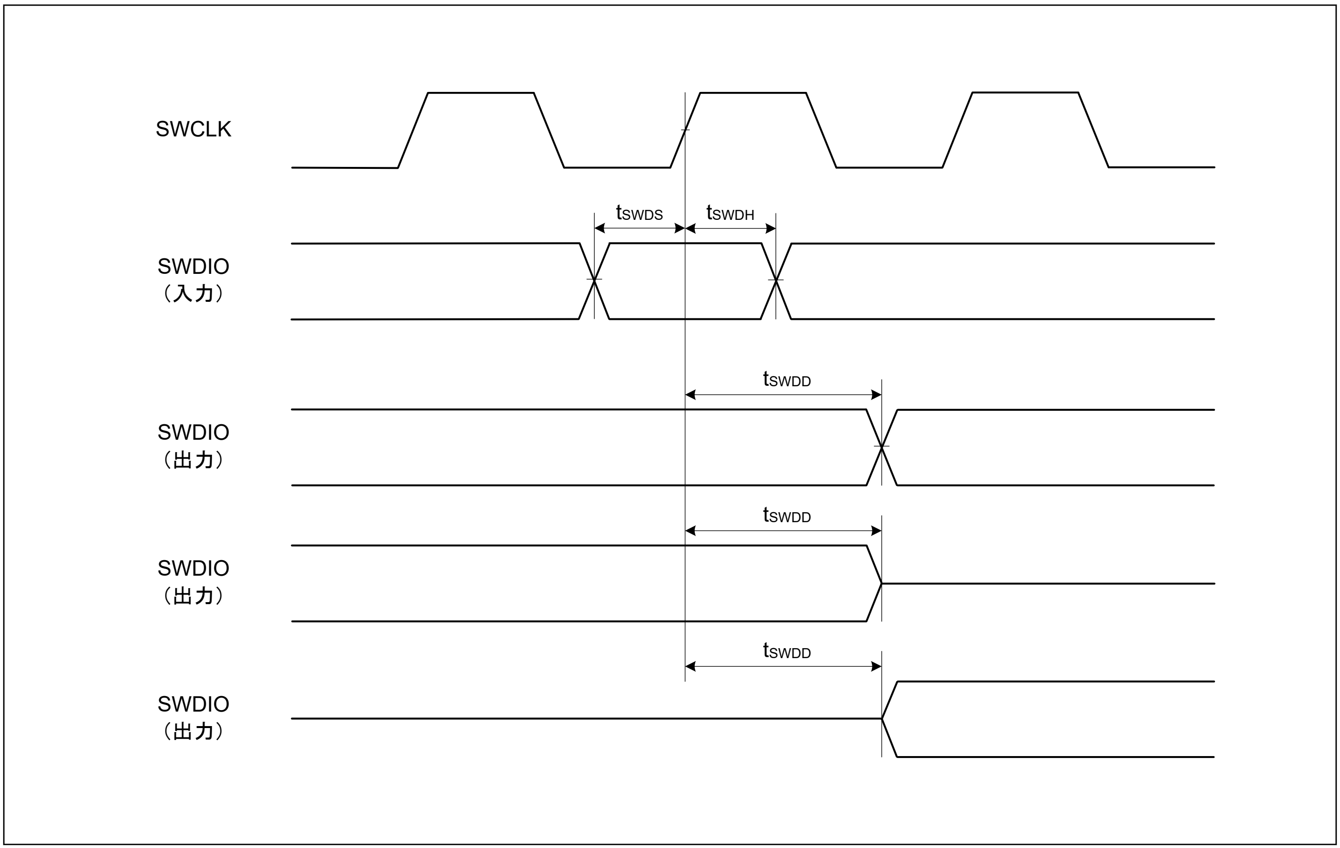


図 35.58　SWD 入出力タイミング

付録 1.　各プロセスモードのポート状態

表 A1.1　各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P000/AN008	Hi-Z	Keep-O
P001/AN009/IRQ7_A	Hi-Z	Keep-O(注1)
P002/AN010	Hi-Z	Keep-O
P010/AN005	Hi-Z	Keep-O
P011/AN006	Hi-Z	Keep-O
P012/AN007	Hi-Z	Keep-O
P013/AN000/CMPIN03/GTIW_A/IRQ1_C	Hi-Z	Keep-O(注1)
P014/AN001/CMPIN02/GTIV_A/IRQ3_B	Hi-Z	Keep-O(注1)
P015/AN002/CMPIN01/GTIU_A/IRQ2_C	Hi-Z	Keep-O(注1)
P100/AGTIO0_A/GTOVLO_B/GTIOC1B_B/RXD0_A/MISO0_A/SCL0_A/SCL0_D/SCK1_A/MISOA_A/KRM00/AN022/IRQ0_C	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力(注2) [上記以外] Keep-O(注1)
P101/AGTEE0/GTOVUP_B/GTIOC1A_B/TXD0_A/MOSI0_A/SDA0_A/MOSIA_A/SDA0_C/CTS1_RTS1_A/KRM01/AN021/IRQ2_A	Hi-Z	Keep-O(注1)
P102/ADTRG0_A/AGTO0/GTOWLO_B/GTIOC2B_A/AN020/CMPREF0/IRQ1_A/SCK0_A/TXD2_D/MOSI2_D/SDA2_D/RSPCKA_A/KRM02	Hi-Z	[AGTO0 選択] AGTO0 出力(注2) [上記以外] Keep-O(注1)
P103/GTOWUP_B/GTIOC2A_A/RXD2_D/MISO2_D/SCL2_DAN019/CMPIN1/IRQ4_B/GTCPPO3/CTS0_RTS0_A/SSLA0_A/KRM03	Hi-Z	Keep-O(注1)
P104/GTETRGB_B/RXD0_C/MISO0_C/SCL0_C/SSLA1_A/KRM04/IRQ1_B	Hi-Z	Keep-O(注1)
P108/SWDIO/AGTEE1_B/GTETRGB_C/GTIOC3B_A/RXD1/MISO1/SCL1/IRQ6_C/GTCPPO2/CTS9_RTS9_B	プルアップ	Keep-O(注1)
P109/AGTOA1_B/GTOWUP_A/GTIOC2A_B/SCK1_E/TXD9_B/MOSI9_B/SDA9_B/CLKOUT_B	Hi-Z	[AGTOA1_B 選択] AGTOA1_B 出力(注2) [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O
P110/AGTIO1_A/GTOWLO_A/GTIOC2B_B/VCOUT/CTS2_RTS2_B/RXD9_B/SCL9_B/MISO9_B/IRQ3_A	Hi-Z	[AGTIO1 選択] AGTIO1 出力(注2) [ACMPHS 選択] VCOUT 出力 [上記以外] Keep-O(注1)
P111/AGTOA0/GTIOC1A_C/SCK2_B/SCK9_B/IRQ4_A	Hi-Z	[AGTOA0 選択] AGTOA0 出力(注2) [上記以外] Keep-O(注1)
P112/AGTOB0/GTIOC1B_C/SCK1_D	Hi-Z	[AGTOB0 選択] AGTOB0 出力(注2) [上記以外] Keep-O
P200/NMI	Hi-Z	Hi-Z

表 A1.1　　各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P201/MD	プルアップ	Keep-O
P206/GTIU_B/TXD0_C/MOSI0_C/SDA0_C/IRQ0_B	Hi-Z	Keep-O(注1)
P207	Hi-Z	Keep-O
P208/AGTOB0_A/GTOUUP_B/GTIOC0A_B	Hi-Z	[AGTOB0_A 選択] AGTOB0_A 出力(注2) [上記以外] Keep-O
P212/EXTAL/AGTEE1_A/GTOULO_A/GTIOC0B_A/IRQ7_C	Hi-Z	Keep-O(注1)
P213/XTAL/GTOUUP_A/GTIOC0A_A/IRQ2_B	Hi-Z	Keep-O(注1)
P300/SWCLK/GTETRGA_C/GTIOC3A_A/TXD1/MOSI1/SDA1/IRQ5_B/GTCPPO1	プルアップ	Keep-O(注1)
P301/AGTIO0_D/GTETRGB_A/RXD2_A/MISO2_A/SCL2_A/CTS9_RTS9_D/IRQ6_A	Hi-Z	[AGTIO0_D 出力選択] AGTIO0_D 出力(注2) [上記以外] Keep-O(注1)
P302/GTETRGA_D/TXD2_A/MOSI2_A/SDA2_A/IRQ5_A	Hi-Z	Keep-O(注1)
P400/CACREF_C/AGTIO1_C/GTIOC3A_B/SCK0_B/SCK1_B/SCL0_A/IRQ0_A	Hi-Z	[AGTIO1_C 出力選択] AGTIO1_C 出力(注2) [上記以外] Keep-O(注1)
P401/GTETRGA_B/GTIOC3B_B/CTS0_RTS0_B/SDA0_A/IRQ5_C	Hi-Z	Keep-O(注1)
P402/GTADSM0	Hi-Z	Keep-O
P403/GTADSM1	Hi-Z	Keep-O
P407/ADTRG0_B/AGTIO0_C/CMPREF1/GTOULO_B/GTIOC0B_B/GTCPPO0/CTS0_RTS0_D/SDA0_B	Hi-Z	[AGTIO0_C 出力選択] AGTIO0_C 出力(注2) [上記以外] Keep-O(注1)
P408/GTIW_B/CTS1_RTS1_D/SCL0_C/IRQ7_B	Hi-Z	Keep-O(注1)
P409/GTIV_B/IRQ6_B	Hi-Z	Keep-O(注1)
P500/GTETRGA_A/GTIOC2A_C	Hi-Z	Keep-O
P913/AGTIO1_F/GTOVLO_A/GTIOC1B_A	Hi-Z	[AGTIO1_F 出力選択] AGTIO1_F 出力(注2) [上記以外] Keep-O
P914/AGTOA1_A/GTOVUP_A/GTIOC1A_A	Hi-Z	[AGTOA1_A 出力選択] AGTOA1_A 出力(注2) [上記以外] Keep-O
P915	Hi-Z	Keep-O

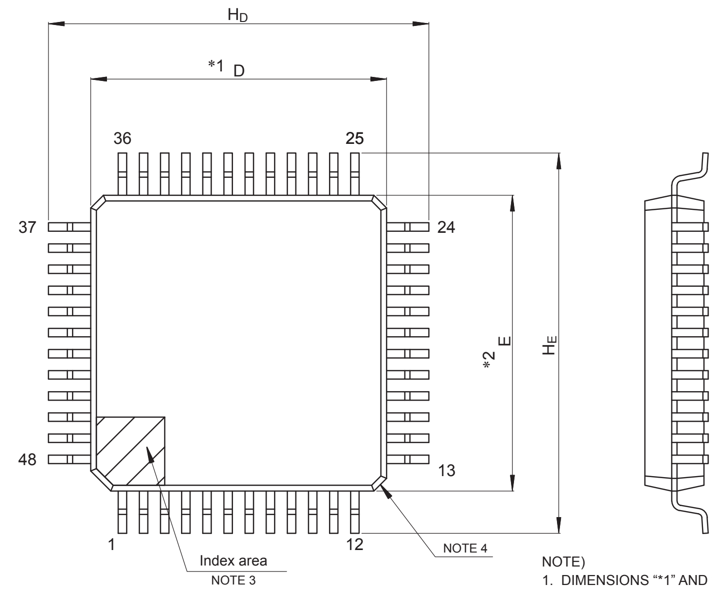
注.　Hi-Z：ハイインピーダンス
　　Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
注 1.　端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
注 2.　LOCO がカウントソースとして選択されている間、AGTIO 出力が許可されます。

付録 2.　外形寸法図

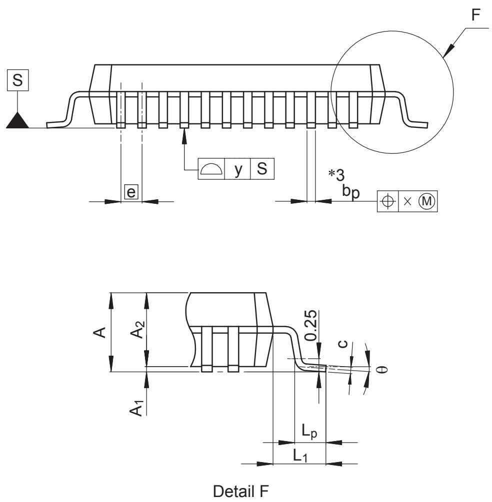
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



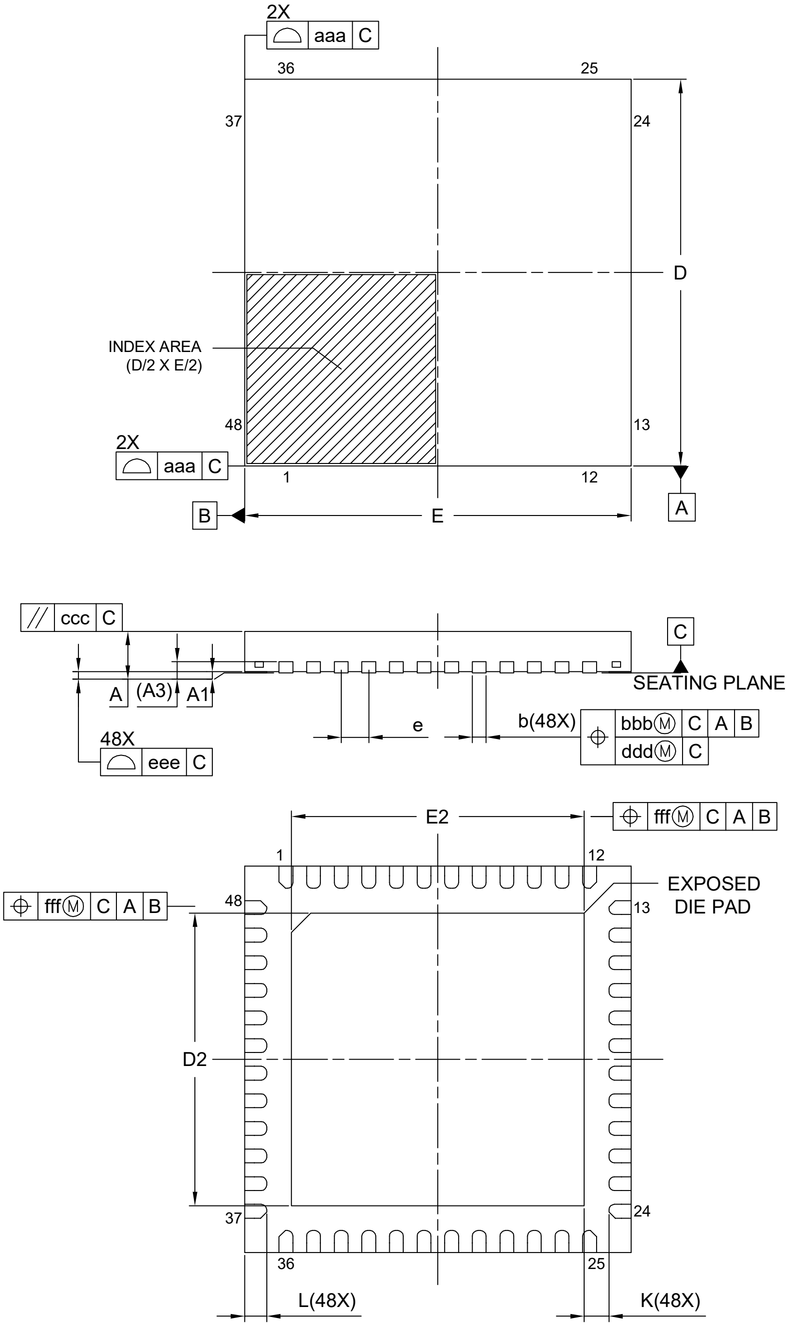
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 A2.1　LQFP 48 ピン

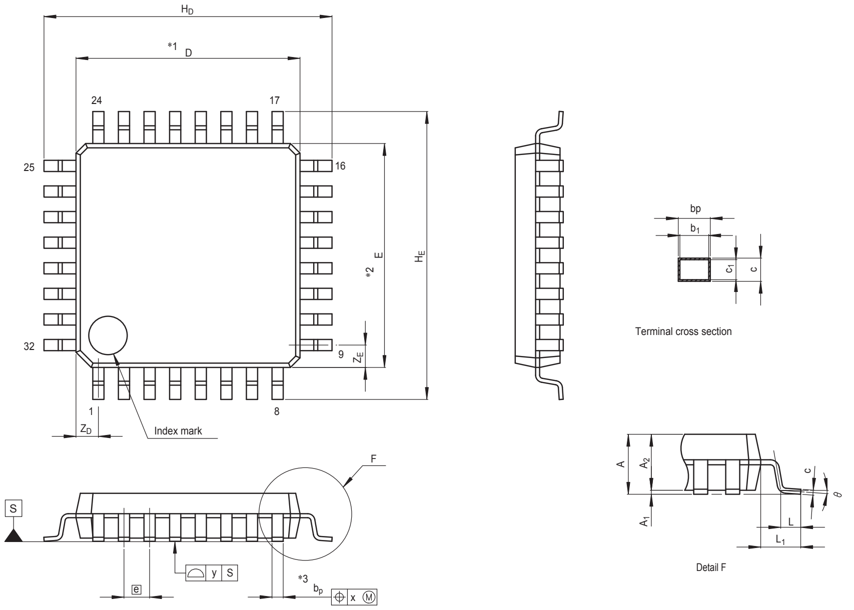
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.2 HWQFN 48 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP32-7x7-0.80	PLQP0032GB-A	32P6U-A	0.2g

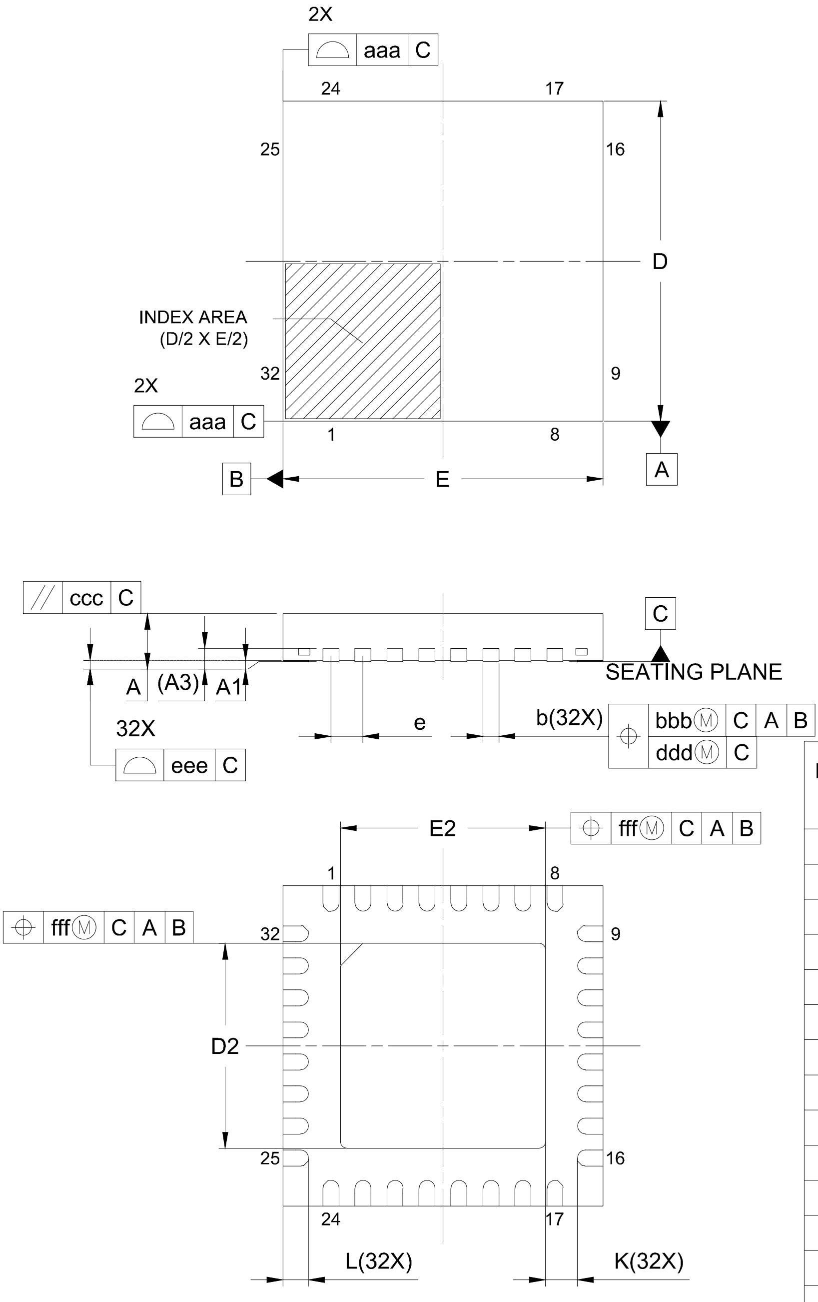


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.32	0.37	0.42
b_1	—	0.35	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z_D	—	0.7	—
Z_E	—	0.7	—
L	0.3	0.5	0.7
L_1	—	1.0	—

図 A2.3 LQFP 32 ピン

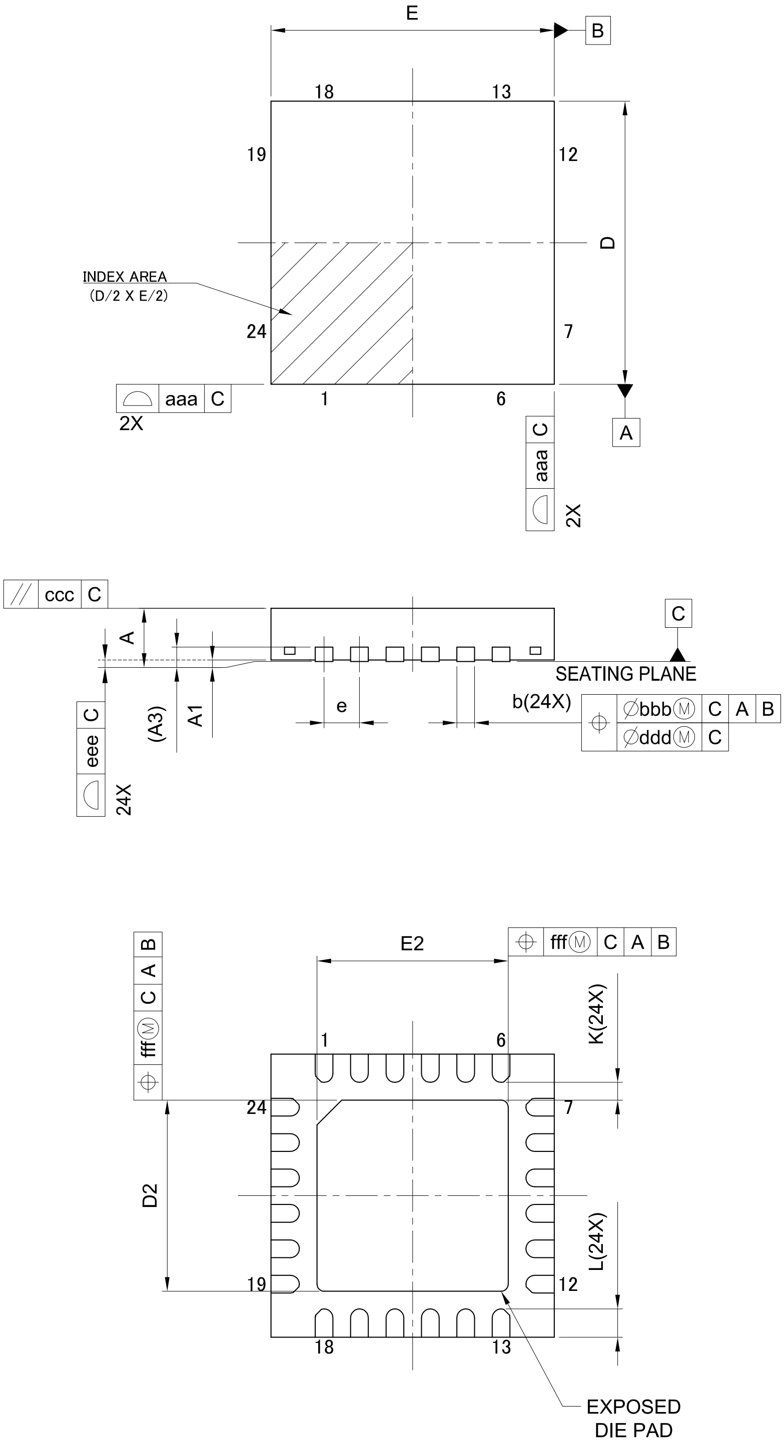
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.4　　HWQFN 32 ピン

JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN24-4×4-0.50	PWQN0024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	2.65	2.70	2.75
E_2	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.5 HWQFN 24 ピン

付録 3.　I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1　周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1　周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
RMPU	Renesas メモリプロテクションユニット	0x4000_0000
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラユニット	0x4000_6000
DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT5	ポート 5 コントロールレジスタ	0x4004_00A0
PORT9	ポート 9 コントロールレジスタ	0x4004_0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップ制御 B/C/D、低速モジュール R/W 禁止制御	0x4004_7000
IIC0	Inter-Integrated Circuit 0	0x4005_3000
IIC0WU	Inter-Integrated Circuit 0 ウェイクアップユニット	0x4005_3014
DOC	データ演算回路	0x4005_4100
ADC120	12 ビット A/D コンバータ	0x4005_C000
SCI0	シリアルコミュニケーションインタフェース 0	0x4007_0000
SCI1	シリアルコミュニケーションインタフェース 1	0x4007_0020
SCI2	シリアルコミュニケーションインタフェース 2	0x4007_0040
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	巡回冗長検査	0x4007_4000
KINT	キー割り込み機能	0x4008_0000
AGTW0	低消費電力非同期汎用タイマ 0	0x4008_4000
AGTW1	低消費電力非同期汎用タイマ 1	0x4008_4100
ACMPHS	高速アナログコンパレータ	0x4008_5E00

表 A3.1　周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
GPT160	16 ビット汎用 PWM タイマ 0	0x4008_9000
GPT161	16 ビット汎用 PWM タイマ 1	0x4008_9100
GPT162	16 ビット汎用 PWM タイマ 2	0x4008_9200
GPT163	16 ビット汎用 PWM タイマ 3	0x4008_9300
GPT_OPS	出力相切り替えコントローラ	0x4008_9A00
FLCN	フラッシュ I/O レジスタ、メモリウェイトサイクル制御、温度センサ校正データ	0x407E_C000

注.　名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2　アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 A3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注.　CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 A3.2　GPT 以外のモジュールのアクセスサイクル (1/2)

<table>
<tr><th rowspan="3">周辺機能</th><th colspan="2" rowspan="2">アドレス</th><th colspan="4">アクセスサイクル数</th><th rowspan="3">サイクル単位</th><th rowspan="3">関連機能</th></tr>
<tr><th colspan="2">ICLK = PCLK</th><th colspan="2">ICLK > PCLK(注1)</th></tr>
<tr><th>ここから</th><th>ここまで</th><th>読み出し</th><th>書き込み</th><th>読み出し</th><th>書き込み</th></tr>
<tr><td>MPU, SRAM, BUS, DTC, ICU, CPU_DBG</td><td>0x4000_2000</td><td>0x4001_BFFF</td><td colspan="4">3</td><td>ICLK</td><td>メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ</td></tr>
<tr><td>SYSC</td><td>0x4001_E000</td><td>0x4001_E6FF</td><td colspan="4">4</td><td>ICLK</td><td>低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション</td></tr>
<tr><td>PORTn、PFS、ELC、POEG、WDT、IWDT、CAC、MSTP</td><td>0x4004_0000</td><td>0x4004_7FFF</td><td colspan="2">3</td><td colspan="2">2～3</td><td>PCLKB</td><td>I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトプットイネーブル、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップ制御</td></tr>
</table>

表 A3.2　GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注1)		サイクル単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
IICn (n = 0)、IIC0WU、DOC、ADC12	0x4005_0000	0x4005_EFFF	3		2〜3		PCLKB	I^2C バスインタフェース、データ演算回路、12 ビット A/D コンバータ
SCIn (n = 0〜2, 9(注2))	0x4007_0000	0x4007_0EFF	5		2〜3		PCLKB	シリアルコミュニケーションインタフェース
SPIn (n = 0)(注3)	0x4007_2000	0x4007_2FFF	5		2〜3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2〜3		PCLKB	CRC 演算器
GPT16n (n = 0〜3)、GPT_OPS	0x4008_9000	0x4008_9FFF	表 A3.3 を参照。				PCLKB	汎用 PWM タイマ
KINT	0x4008_0000	0x4008_2FFF	3		2〜3		PCLKB	キー割り込み機能
AGTWn	0x4008_4000	0x4008_4FFF	3		2〜3		PCLKB	低消費電力非同期汎用タイマ
ACMPHS	0x4008_5E00	0x4008_6FFF	3		2〜3		PCLKB	高速アナログコンパレータ
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、静電容量式センシングユニット 2、フラッシュ制御

注 1.　PCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5〜2.5 は、1〜3 となります。

注 2.　n = 0 の場合については、16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）へのアクセス時、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

注 3.　32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

表 A3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 A3.3　GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5〜6	3〜4	PCLKB
ICLK > PCLKD > PCLKB	3〜4	2〜3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2〜3	1〜2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2〜3	1〜2	PCLKB

改訂履歴

Revision 1.00 — 2025 年 6 月 25 日

初版発行

Renesas RA2T1 グループ ユーザーズマニュアル ハードウェア編

発行年月日 Rev.1.00 Jun 25, 2025

発行 ルネサスエレクトロニクス株式会社

32 ビット MCU
Renesas RA2T1 グループ

ルネサス エレクトロニクス株式会社

R01UH1089JJ0100