

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

PFESiP/V850EP1

PFESiP[®] EP-1 専用 32 ビット・マイクロコントローラ

ハードウェア編 (USB 機能)

資料番号 A19071JJ2V0UM00 (第2版)

発行年月 November 2009 NS

(メ モ)

目次要約

第 1 章	USB 機能概要	...	14
第 2 章	USB ホスト・コントローラ	...	22
第 3 章	USB ファンクション・コントローラ	...	71
第 4 章	外部回路構成	...	212
第 5 章	注意事項	...	218

CMOS デバイスの一般的注意事項

(1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOS デバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

(3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

(5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

(6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。

入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

PFESiP は、NEC エレクトロニクス株式会社の日本国内における登録商標です。

その他、記載の会社名、製品名などは、各社の登録商標または商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は 2009 年 11 月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

注 1. 本事項において使用されている「当社」とは、NEC エレクトロニクス株式会社および NEC エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

注 2. 本事項において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいう。

(M8E0909J)

本版で改訂された主な箇所

箇所	内容
p.87	3. 4. 1 (1) MEMC_INT 説明を追加
p.98	3. 4. 4 (3) UF0 EPNACKレジスタ (UF0EN) 修正
p.107, 108	3. 4. 4 (11) UF0 INTステータス0レジスタ (UF0IS0) 修正
p.127	3. 4. 4 (28) UF0 DMAステータス1レジスタ (UF0DMS1) 修正
p.208	3. 7. 6 DMAモードによるバルク転送 修正
p.208	図3 - 26 DMAの初期化处理 修正
p.209, 210	図3 - 27 DMAモードでのバルク転送処理フロー例 修正
p.217	4. 3 クロックとリセット 修正
p.217	表4 - 2 UCLKタイミング 修正

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この " "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。

はじめに

対象者	このマニュアルは、V850E2 CPU コア内蔵マイクロコントローラ機能チップ「PFESiP/V850EP1」の機能を理解し、それを用いた PFESiP EP-1 シリーズ製品を開発検討するユーザを対象とします。																						
目的	このマニュアルは、PFESiP/V850EP1 のハードウェア機能のうち USB 機能をユーザに理解していただくことを目的としています。																						
読み方	このマニュアルの読者には、電気、論理回路、マイクロコンピュータ、SRAM、ページ ROM、SDRAM に関する一般知識を必要とします。																						
凡例	<table><tr><td>データ表記の重み</td><td>: 左が上位桁、右が下位桁</td></tr><tr><td>アクティブ・ローの表記</td><td>: xxxZ (端子, 信号名称のあとに Z)</td></tr><tr><td>注</td><td>: 本文中につけた注の説明</td></tr><tr><td>注意</td><td>: 気をつけて読んでいただきたい内容</td></tr><tr><td>備考</td><td>: 本文の補足説明</td></tr><tr><td>数の表記</td><td>: 2 進数 ... xxxx または xxxxB 10 進数 ... xxxx 16 進数 ... xxxxH</td></tr><tr><td colspan="2">2 のべき数を示す接頭語 (アドレス空間, メモリ容量):</td></tr><tr><td></td><td>K (キロ) ... $2^{10} = 1024$</td></tr><tr><td></td><td>M (メガ) ... $2^{20} = 1024^2$</td></tr><tr><td></td><td>G (ギガ) ... $2^{30} = 1024^3$</td></tr><tr><td>データ・タイプ</td><td>: ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット</td></tr></table>	データ表記の重み	: 左が上位桁、右が下位桁	アクティブ・ローの表記	: xxxZ (端子, 信号名称のあとに Z)	注	: 本文中につけた注の説明	注意	: 気をつけて読んでいただきたい内容	備考	: 本文の補足説明	数の表記	: 2 進数 ... xxxx または xxxxB 10 進数 ... xxxx 16 進数 ... xxxxH	2 のべき数を示す接頭語 (アドレス空間, メモリ容量):			K (キロ) ... $2^{10} = 1024$		M (メガ) ... $2^{20} = 1024^2$		G (ギガ) ... $2^{30} = 1024^3$	データ・タイプ	: ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット
データ表記の重み	: 左が上位桁、右が下位桁																						
アクティブ・ローの表記	: xxxZ (端子, 信号名称のあとに Z)																						
注	: 本文中につけた注の説明																						
注意	: 気をつけて読んでいただきたい内容																						
備考	: 本文の補足説明																						
数の表記	: 2 進数 ... xxxx または xxxxB 10 進数 ... xxxx 16 進数 ... xxxxH																						
2 のべき数を示す接頭語 (アドレス空間, メモリ容量):																							
	K (キロ) ... $2^{10} = 1024$																						
	M (メガ) ... $2^{20} = 1024^2$																						
	G (ギガ) ... $2^{30} = 1024^3$																						
データ・タイプ	: ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット																						

関連資料

関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめ、ご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。

PFESiP EP-1 シリーズに関する資料

資料名	資料番号
V850E2 ユーザーズ・マニュアル アーキテクチャ編	U17135J
PFESiP EP-1 シリーズ 設計マニュアル	A19068J
PFESiP/V850EP1 ユーザーズ・マニュアル 製品データ編	A19069J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (CPU 機能)	A19070J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (USB 機能)	このマニュアル
PFESiP/V850EP1 アプリケーション・ノート USB ファンクション機能の設定例	A19349J

PFESiP EP-1 Evaluation Board に関する資料

資料名	資料番号
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル 技術情報編	A19350J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル オーダ情報編	A19352J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル FPGA 設計ガイド編	A19351J
PFESiP EP-1 Evaluation Board Lite ユーザーズ・マニュアル 技術情報編	A19354J

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
RX850 Pro (Ver.3.20) (リアルタイム OS)	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッグ編	U17422J

目 次

第 1 章	USB 機能概要	... 14
1.1	特 徴	... 14
1.2	構 成	... 16
1.3	USB 端子機能	... 17
1.4	USB メモリ・マップ	... 18
1.5	USB 関連の割り込み	... 20
1.6	USB 関連の I/O レジスタ設定	... 21
第 2 章	USB ホスト・コントローラ	... 22
2.1	概 要	... 22
2.2	PCI ホスト・ブリッジ	... 23
2.2.1	PCI ホスト・ブリッジの機能	... 23
2.2.2	CPU メモリ空間	... 24
2.2.3	PCI ホスト・ブリッジ・レジスタ	... 24
2.2.4	PCI ホスト・ブリッジ初期化方法	... 37
2.3	OHCI ホスト・コントローラ	... 38
2.3.1	OHCI ホスト・コントローラの機能	... 38
2.3.2	PCI コンフィギュレーション・レジスタ	... 39
2.3.3	OHCI Operational レジスタ	... 47
2.3.4	USB ホスト・コントローラからの割り込み	... 68
第 3 章	USB ファンクション・コントローラ	... 71
3.1	概 要	... 71
3.2	CPU メモリ空間	... 71
3.3	リクエスト	... 72
3.3.1	自動リクエスト	... 72
3.3.2	その他のリクエスト	... 82
3.4	レジスタ	... 83
3.4.1	ファンクション・ブリッジ・レジスタ	... 87
3.4.2	DMA レジスタ	... 89
3.4.3	Bulk In / Bulk Out レジスタ	... 93
3.4.4	EPC 制御レジスタ	... 94
3.4.5	EPC データ保持レジスタ	... 141
3.4.6	EPC リクエスト・データ・レジスタ	... 156
3.5	STALL ハンドシェークまたはノー・ハンドシェーク	... 170
3.6	特定状態でのレジスタ値	... 171
3.7	ファームウェア処理	... 173
3.7.1	初期化処理	... 175
3.7.2	割り込み処理	... 178

- 3.7.3 USB ファンクション・メイン処理 ... 179
- 3.7.4 Suspend/Resume 処理 ... 202
- 3.7.5 電源投入後の処理 ... 205
- 3.7.6 DMA モードによるバルク転送 ... 208
- 3.7.7 USB ファンクション・コントローラからの割り込み ... 210

第4章 外部回路構成 ... 212

- 4.1 USB ホスト・コントローラの接続構成 ... 213
 - 4.1.1 USB 信号接続について ... 213
 - 4.1.2 USB 電源接続について ... 214
- 4.2 USB ファンクション・コントローラの接続構成 ... 215
 - 4.2.1 USB 信号接続について ... 215
- 4.3 クロックとリセット ... 217

第5章 注意事項 ... 218

- 5.1 USB ポート状態の遷移制御 ... 218
- 5.2 HUB 段数の制約 ... 218

図の目次

図番号	タイトル, ページ
1 - 1	USB 構成図 ... 16
1 - 2	USB メモリ・マップ ... 19
2 - 1	PCI ホスト・ブリッジ・マクロ初期化手順 ... 37
3 - 1	UF0E0R レジスタの動作 ... 142
3 - 2	UF0E0ST レジスタの動作 ... 144
3 - 3	UF0E0W レジスタの動作 ... 146
3 - 4	UF0B01 レジスタの動作 ... 148
3 - 5	UF0B11 レジスタの動作 ... 151
3 - 6	UF0INT1 レジスタの動作 ... 155
3 - 7	ホスト切断 / ホスト再接続時のプログラムのフロー・チャート ... 168
3 - 8	電源投入時のプログラムのフロー・チャート ... 169
3 - 9	リクエスト・データ・レジスタの初期化 ... 175
3 - 10	リクエスト・データ・レジスタの初期化設定 ... 176
3 - 11	Interface と Endpoint の設定 ... 176
3 - 12	割り込みの設定 ... 177
3 - 13	割り込み処理 ... 178
3 - 14	コントロール転送に対する自動処理リクエスト ... 180
3 - 15	CLEAR_FEATURE 処理 ... 181
3 - 16	SET_FEATURE 処理 ... 182
3 - 17	SET_CONFIGURATION 処理 ... 182
3 - 18	コントロール転送に対する CPUDEC リクエスト ... 183
3 - 19	バルク転送 (IN) に対する処理 (Endpoint1 の場合) ... 195
3 - 20	ハードウェアによる並列処理 ... 196
3 - 21	バルク転送 (OUT) に対する通常処理 (Endpoint2 の場合) ... 197
3 - 22	システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2 の場合) ... 199
3 - 23	インタラプト転送 (IN) に対する処理 (Endpoint7 の場合) ... 201
3 - 24	Suspend/Resume 処理例 ... 202
3 - 25	電源投入後の処理 / 電源切断の処理例 ... 205
3 - 26	DMA の初期化処理 ... 208
3 - 27	DMA モードでのバルク転送処理フロー例 ... 209
4 - 1	USB 伝送路のプルアップ, プルダウン, 直列抵抗の概略構成 ... 212
4 - 2	USB ホスト・コントローラの接続例 ... 213
4 - 3	USB ファンクション・コントローラ接続例 ... 215

表の目次

表番号	タイトル, ページ
1 - 1	USB 端子表 ... 17
1 - 2	USB 関連の割り込み要因一覧 ... 20
1 - 3	USB 機能利用時の周辺 I/O レジスタの設定 ... 21
2 - 1	CPU メモリ空間の分割 ... 24
2 - 2	PCI ホスト・ブリッジ・レジスタ ... 24
2 - 3	SDRAM アクセスのロウ・アドレス出力 ... 35
2 - 4	PCI コンフィギュレーション・レジスタ ... 39
2 - 5	OHCI Operational レジスタ ... 47
2 - 6	USB ホスト・コントローラからの割り込み ... 68
2 - 7	INTA・SMMI 割り込み通知経路 ... 68
2 - 8	INTA・SMMI 割り込み要因 ... 69
2 - 9	PME 割り込み要因 ... 70
3 - 1	USB ファンクション・コントローラ エンドポイント構成 ... 71
3 - 2	CPU メモリ空間の分割 ... 71
3 - 3	リクエストのフォーマット ... 72
3 - 4	リクエスト・デコード対応表 ... 73
3 - 5	その他のリクエストの応答と処理方法 ... 82
3 - 6	ファンクション・ブリッジ・レジスタ ... 83
3 - 7	DMA レジスタ ... 83
3 - 8	Bulk In / Bulk Out レジスタ ... 83
3 - 9	EPC 制御レジスタ ... 84
3 - 10	EPC データ保持レジスタ ... 85
3 - 11	EPC リクエスト・データ・レジスタ ... 86
3 - 12	UF0 デバイス・ディスクリプタ・レジスタのマッピングとデータ ... 165
3 - 13	UF0CIEn レジスタのマッピング ... 166
3 - 14	UF0CIEn レジスタのデータ ... 167
3 - 15	USB ファンクションでのエラーの取り扱い ... 170
3 - 16	特定状態でのレジスタ値 ... 171
3 - 17	ファームウェア対応の標準リクエスト ... 174
3 - 18	USB ファンクション・コントローラからの割り込み ... 211
4 - 1	OCI / PPON 信号の説明 ... 214
4 - 2	UCLK タイミング ... 217
4 - 3	PCLK タイミング ... 217

第1章 USB 機能概要

PFESiP/V850EP1 は、Universal Serial Bus Specification に準拠した、USB ファンクション・コントローラと USB ホスト・コントローラを内蔵しています。

1.1 特 徴

Universal Serial Bus Specification に準拠

USB ファンクション・コントローラ：

12 Mbps (フル・スピード) 転送に対応

1ch アップストリーム・ポート搭載

下記の転送用エンドポイントを内蔵

エンドポイント名	FIFO サイズ (バイト)	転送タイプ	備 考
EP0	64	Control Read/Write	
EP1	64 × 2	Bulk In	ダブル・バッファ構成
EP2	64 × 2	Bulk Out	ダブル・バッファ構成
EP7	8	Interrupt	

Bulk In/Out データは DMA 転送 (2 クロック転送) 可能

USB ホスト・コントローラ：

12 Mbps (フル・スピード) と 1.5 Mbps (ロー・スピード) 転送に対応

OHCI (Open Host Controller Interface) 1.0a をサポート

(ただし USB ポートを Disable から Enable へ遷移させる制御に制限あり)

2ch ルート・ハブ機能を内蔵し、2つのダウンストリーム・ポートを搭載

シェアード・メモリとして 8 K バイト内蔵 SRAM と外部 SDRAM を使用

メモリ・バス幅： CPU インタフェース ... 32 ビット幅

USB ホスト・コントローラの外部 SDRAM インタフェース ... 16/32 ビット幅

クロック入力： $f_{USB} = 48 \text{ MHz}$ (ホスト・コントローラ / ファンクション・コントローラで使用)

$f_{PCLK} = 25 \text{ MHz} - 33 \text{ MHz}$ (ホスト・コントローラのみ使用)

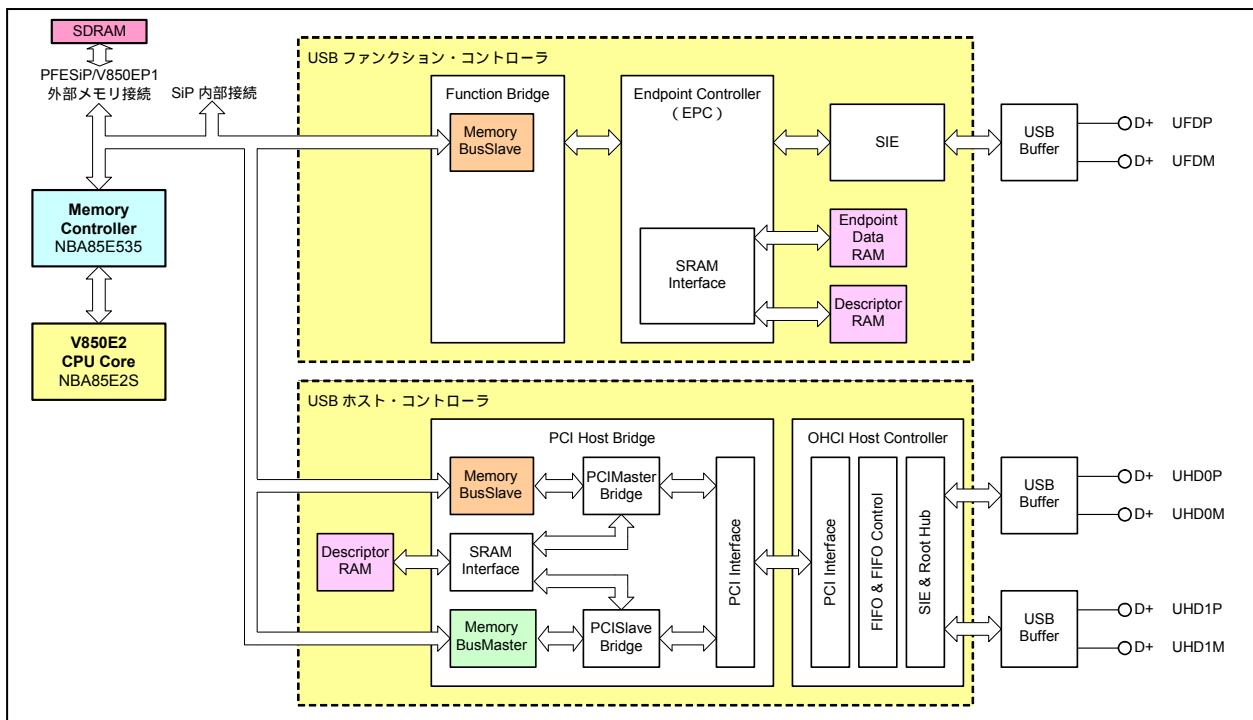
注意 USB 機能を利用する場合には、MODE0, MODE1 端子を適切なモードに設定してください。

MODE1	MODE0	動作モード
0	0	USB 機能無効
0	1	USB ファンクションのみ有効
1	0	USB ホストのみ有効
1	1	USB ホスト / ファンクション有効

無効時には USB ファンクション・コントローラまたは USB ホスト・コントローラで使用するクロックを停止します。これらの端子設定は、PFESiP/V850EP1 動作中には変更しないでください。

1.2 構 成

図 1 - 1 USB 構成図



1.3 USB 端子機能

表 1 - 1 USB 端子表

端子名称	入出力	機 能	アクティブ
UCLK	入力	USB クロック信号入力	-
UHD0P	入出力	USB ホスト・チャンネル0 データ入出力 (+)	-
UHD0M	入出力	USB ホスト・チャンネル0 データ入出力 (-)	-
UHD1P	入出力	USB ホスト・チャンネル1 データ入出力 (+)	-
UHD1M	入出力	USB ホスト・チャンネル1 データ入出力 (-)	-
PPON0	出力	USB ホスト・チャンネル0 電源制御出力	ハイ
PPON1	出力	USB ホスト・チャンネル1 電源制御出力	ハイ
OCIO	入力	USB ホスト・チャンネル0 過電流検出入力	ロー
OCI1	入力	USB ホスト・チャンネル1 過電流検出入力	ロー
UFDP	入出力	USB ファンクション・データ入出力 (+)	-
UFDM	入出力	USB ファンクション・データ入出力 (-)	-
VBUSDET	入力	USB ファンクション 挿抜検知入力	ハイ
PCLKIN	入力	USB バス・ブリッジ用クロック	-
UCLKSEL0	入力	USB クロック選択入力 0:XT1, XT2 選択 1:UCLK 選択	-
UCLKSEL1	入力	USB バス・ブリッジ用クロック選択入力 0:XT1, XT2 選択 1:PCLKIN 選択	-
MODE0, MODE1	入力	PFESiP/V850EP1 の USB 動作モード設定	-

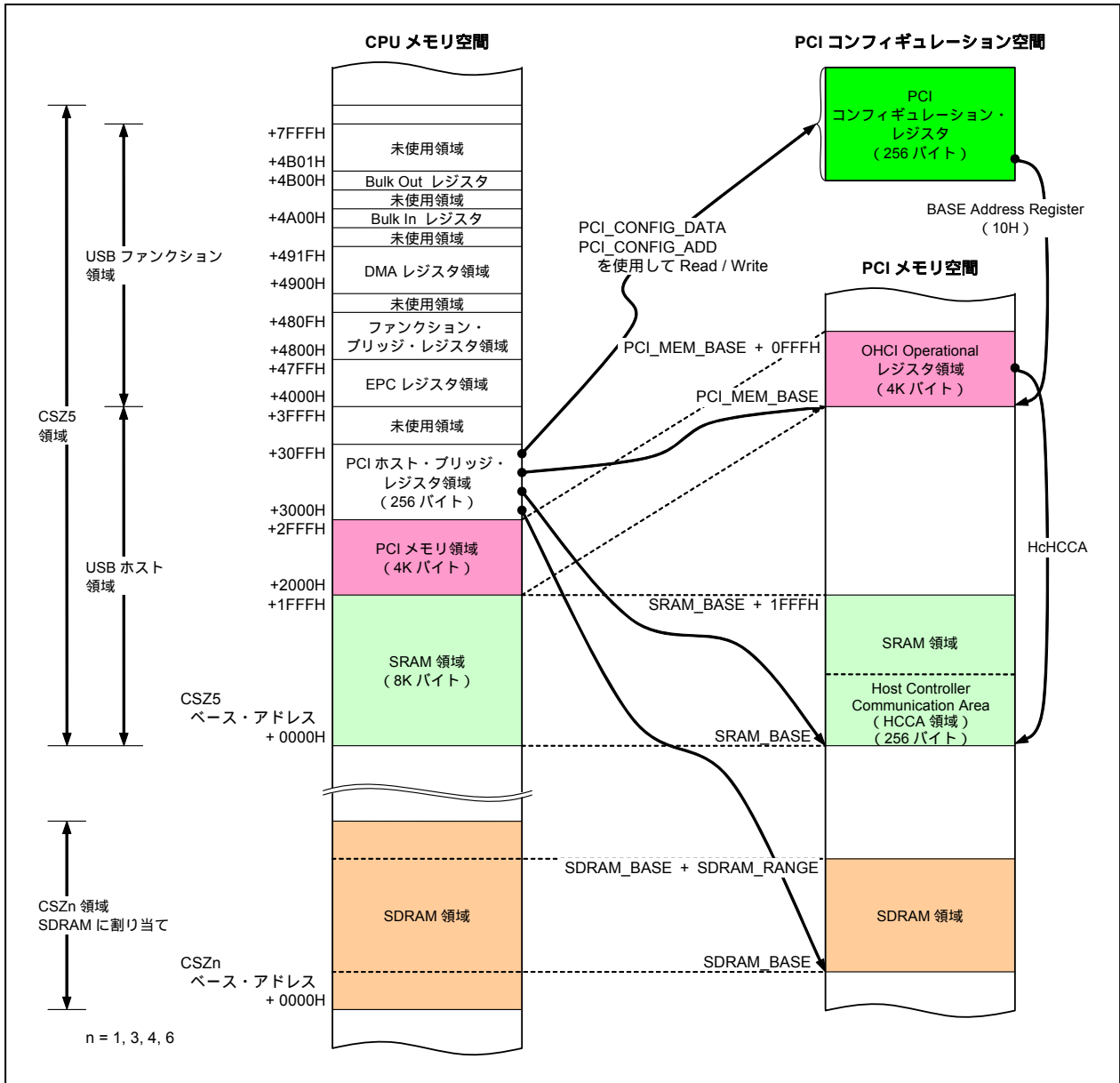
1.4 USB メモリ・マップ

USB ホスト・コントローラ、ファンクション・コントローラは、ともに CSZ5 空間に割り当てられます。CSZ5 の配置アドレス(サブエリア)は CSC1 レジスタで設定してください。また CSZ5 領域は BCT1 レジスタで SRAM、I/O に設定し、バス幅は LBS レジスタで 32 ビット幅に設定してください。

USB ホスト・コントローラは外部メモリ・バスのマスタの機能を持ち、UCSS レジスタにより SDRAM インタフェースとして利用可能な CSZ1, CSZ3, CSZ4, CSZ6 の任意のチップ・セレクト信号に割り当てられた SDRAM を利用できます。このとき、シェアする SDRAM のバス幅は、LBS レジスタと USB ホスト・コントローラの SDRAM_CTL とも同一のバス幅(16 ビットまたは 32 ビット)に設定してください。

USB ホスト・コントローラを中心機能である OHCI ホスト・コントローラは、CSZ5 空間の SRAM インタフェースを経由し、内部 PCI バス・ブリッジを経由して接続されています。CPU と内部 PCI バス・ブリッジは同一のメモリをシェアし、CPU メモリ空間と PCI メモリ空間がリンクします。この関係は、PCI ホスト・ブリッジ・レジスタと、PCI ホスト・ブリッジ・レジスタを介してアクセスされる PCI コンフィギュレーション・レジスタにより定義されます。

図1-2 USBメモリ・マップ



1.5 USB 関連の割り込み

表 1 - 2 USB 関連の割り込み要因一覧

マスクابل割り込み要因				デフォルト・ プライオリティ	例外 コード	ハンドラ・ アドレス	復帰 PC	DMA 転送 要因
名 称	制御レジスタ	発生要因	発生ユニット					
INTUSBH0	UHIC0 (1FFFF182H)	USBH 割り込み 0 (INTA, SMMI, PME)	USB ホスト・コントローラ (OHCI HC)	57	0410H	00000410H	Next PC	
INTUSBH1	UHIC1 (1FFFF184H)	USBH 割り込み 1 (PME)	USB ホスト・コントローラ (OHCI HC)	58	0420H	00000420H	Next PC	
INTUSBF0	UFIC0 (1FFFF186H)	USBF 割り込み 0 (エンドポイントの イベント)	USB ファンクション・コン トローラ (EPC, ファンク ション・ブリッジ)	59	0430H	00000430H	Next PC	
INTUSBF1	UFIC1 (1FFFF188H)	USBF 割り込み 1 (エンドポイント 1 の DMA 転送終了)	USB ファンクション・コン トローラ (ファンクショ ン・ブリッジ)	60	0440H	00000440H	Next PC	
INTUSBF2	UFIC2 (1FFFF18AH)	USBF 割り込み 2 (エンドポイント 2 の DMA 転送終了)	USB ファンクション・コン トローラ (ファンクショ ン・ブリッジ)	61	0450H	00000450H	Next PC	
INTUSBF3	UFIC3 (1FFFF18CH)	USBF 割り込み 3 (Resume)	USB ファンクション・コン トローラ (SIE)	62	0460H	00000460H	Next PC	
INTUSBF4	UFIC4 (1FFFF18EH)	USBF 割り込み 4 (VBUS 検出)	USB ファンクション・コン トローラ外部端子	63	0470H	00000470H	Next PC	

1.6 USB 関連の I/O レジスタ設定

USB 機能を利用するには、次のように周辺 I/O レジスタを設定してください。

表 1 - 3 USB 機能利用時の周辺 I/O レジスタの設定

略称	アドレス	設定値	備考
CSC1	1FFF F062H	CSZ5 を任意のサブエリア (70, 71, 72, 73) に割り当て	CSREMAP 使用時, CSZ5 はデフォルト設定でマッピングしてください。USB 機能で使用されるチップ・セレクト信号は CSZ5 固定となっていますので, 他の CSZn へ振り替えることはできません。
BCT1	1FFF F482H	xx8xH	CSZ5 は SRAM, I/O を選択
LBS	1FFF F48EH	xxxx11xx xxxxxxxxB	CSZ5 は 32 ビット幅
DWC1	1FFF F486H	任意の値	CSZ5 のデータ・ウエイトは任意の値 (0~7) に設定
BCC	1FFF F488H	任意の値	CSZ5 のアイドル・ステートは任意の値 (0~3) に設定
ASC	1FFF F48AH	任意の値	CSZ5 のアドレス設定ウエイトは任意の値 (0~3) に設定
UCSS	1FFF F8B6H	SDRAM を CSZ1, CSZ3, CSZ4, CSZ6 の任意のチップ・セレクト信号に割り当て	USB ホスト・コントローラで使用します。 CPU とシェアする SDRAM と同一の CSZ 信号に設定します。CSREMAP 使用時, UCSS にて割り当てられるのはリマップ後のチップ・セレクト信号になります。
UDMS	1FFF F8B8H	DMA インタフェース信号 4 チャンネルのうち任意の 2 チャンネルを USB 用 DMA インタフェース信号として割り当て	USB ファンクション・コントローラで使用します。 チャンネル 0 は EP1(BulkIn), チャンネル 1 は EP2(BulkOut) が対応します。

CSREMAP 使用時, USB 機能は, リマップ後の MEM_CSZn (CSZn と論理的に等価) に割り当てられたアドレス空間を使用します。

第2章 USB ホスト・コントローラ

2.1 概 要

USB ホスト・コントローラは、トークン・ベースのプロトコルにより、外部ファンクション・デバイスとの間でポーリング方式のデータ通信を行います。

OHCI (Open Host Controller Interface) 1.0a に準拠し、2チャンネル・ルート・ハブ機能、2つのダウンストリーム・ポートを搭載しています。外部ファンクション・デバイスとのデータ転送は、Control / Bulk / Isochronous / Interrupt のすべての転送タイプを利用できます(ただし Isochronous 転送のようにシステム負荷の大きい転送では、事前にパフォーマンス評価が必要です)。

2.2 PCI ホスト・ブリッジ

2.2.1 PCI ホスト・ブリッジの機能

PCI ホスト・ブリッジは、CPU システムから PCI を介して OHCI ホスト・コントローラへ接続するブリッジ回路で、下記の機能を持っています。

PCI マスタ・サイクル制御

CPU (MEMC) からの PCI バス・アクセス要求に対し
PCI Configuration Register Read/Write Single Cycle
PCI Memory Read/Write Cycle
を発行します。

PCI スレーブ・サイクル制御

PCI バスからの SDRAM 領域、および SRAM 領域へのアクセスに対し、
PCI Memory Read/Write Cycle (最大 8 ワードのバースト転送)
を受け付けます。

PCI エラー処理

Master Abort, Target Abort, PERR#受信, SERR#受信に対しエラー割り込みを発生します。
(エラー直前のアドレスを保持)

PFESiP/V850EP1 内蔵メモリ・コントローラ (NBA85E535) バス制御

メモリ・コントローラ・バス経由の CPU からのアクセスに対して、ハードウェア・ウェイト (WAIT) によりバス・サイクルを制御します。

SRAM 制御

シェアード・メモリとして 8 K バイトの SRAM を内蔵しています。主にディスクリプタを配置するために使用します。CPU (MEMC) と PCI バスの双方からの SRAM 領域アクセスを調停 / 制御します。

SDRAM 制御

シェアード・メモリとして、PFESiP/V850EP1 外部に接続した SDRAM を使用します。PCI バスからの SDRAM 領域アクセスに応答し、メモリ・コントローラとのバス要求ハンドシェイク後に、SDRAM を制御します。16 ビット / 32 ビットの SDRAM データ幅に対応しています。

2.2.2 CPU メモリ空間

CPU メモリ空間は、下記のように分割して使用します。

シェアード・メモリとして、USB 機能専用の内蔵 SRAM (8 K バイト)、外付け SDRAM を配置し、さらに PCI メモリ領域と PCI ホスト・ブリッジ・レジスタ領域を CPU メモリ空間に配置しています。

表 2 - 1 CPU メモリ空間の分割

Base Address	Offset Address	領域
CSZ5 で選択されるアドレス	0000H-1FFFH	USB 専用 SRAM 領域 (8 K バイト)
	2000H-2FFFH	PCI メモリ領域 (4 K バイト)
	3000H-30FFFH	PCI ホスト・ブリッジ・レジスタ領域 (256 バイト)
	3100H-3FFFH	Reserved
UCSS レジスタで選択した CSZn	0000H-任意	SDRAM 領域

備考 n = 1, 3, 4, 6

2.2.3 PCI ホスト・ブリッジ・レジスタ

PCI ブリッジは、下記の PCI ホスト・ブリッジ・レジスタを備えています。CSZ5 により任意にマッピングされるため、CSZ5 の開始アドレスがベース・アドレスになります。

(レジスタ・アドレス = Base Address + Offset Address 1 + Offset Address2)

32 ビット単位でのみアクセスできます。

表 2 - 2 PCI ホスト・ブリッジ・レジスタ

Base Address	Offset Address 1	Offset Address 2	レジスタ名称	略号	R/W
CSZ5 開始 アドレス	3000H	00H	PCI Configuration Data Register	PCI_CONFIG_DATA	R/W
		04H	PCI Configuration Address Register	PCI_CONFIG_ADD	R/W
		08H	PCI Control 1 Register	PCI_CONTROL1	R/W
		0CH	PCI Control 2 Register	PCI_CONTROL2	R/W
		10H	Reserved	-	-
		14H	PCI Memory Base Address Register	PCI_MEM_BASE	R/W
		18H	PCI Interrupt Status Register	PCI_INT_STATUS	R/W
		1CH	PCI Interrupt Control Register	PCI_INT_CTL	R/W
		20H	PCI Bus Error Address	PCI_ERR_ADD	R
		24H-3FH	Reserved	-	-
		40H	SDRAM Area Base Address Register	SDRAM_BASE	R/W
		44H	SDRAM Area Address Range Register	SDRAM_RANGE	R/W
		48H	SDRAM Control Register	SDRAM_CTL	R/W
		4CH	Reserved	-	-
		50H	SRAM Area Base Address Register	SRAM_BASE	R/W
		54H-FFH	Reserved	-	-

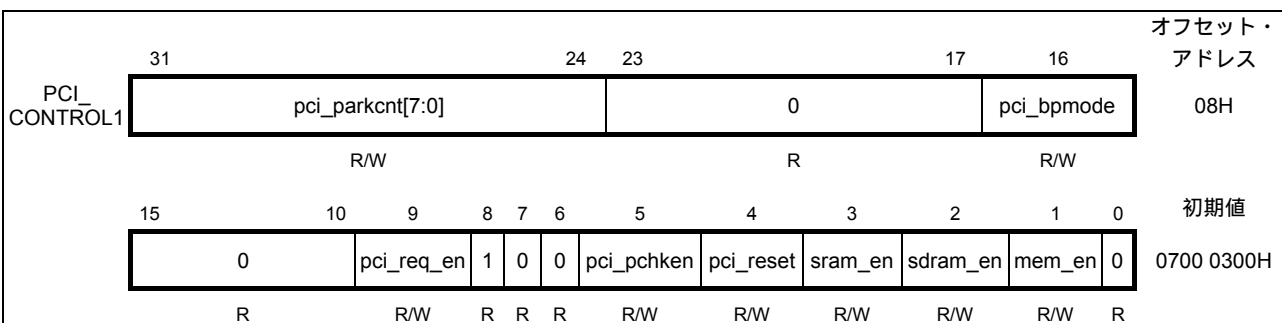
(1) PCI Configuration Data Register

PCI_CONFIG_DATA	31-0		オフセット・ アドレス	初期値
	cdata [31:0]		00H	不定
R/W				
ビット位置	ビット名	意 味		
31-0	cdata	このレジスタで PCI Configuration Register にアクセスできます。 先に PCI_CONFIG_ADD レジスタの設定が必要です。		

(2) PCI Configuration Address Register

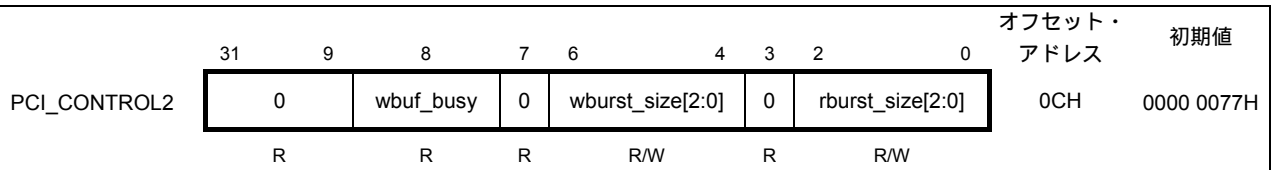
PCI_CONFIG_ADD	31-0 cadd [31:0]	オフセット・アドレス 04H	初期値 0000 0000H																								
R/W																											
ビット位置	ビット名	意味																									
31-0	cadd	<p>PCI Configuration Register のアドレスを設定します。</p> <p><u>PCI Configuration Address Register の設定方法</u></p> <div style="text-align: center;"> <table border="1" style="margin: auto;"> <tr> <td style="width: 20px;">31</td> <td style="width: 100px;"></td> <td style="width: 20px;">11 10</td> <td style="width: 20px;">8</td> <td style="width: 20px;">7</td> <td style="width: 20px;">2</td> <td style="width: 20px;">1</td> <td style="width: 20px;">0</td> </tr> <tr> <td colspan="4" style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;">0</td> <td style="border: 1px solid black;">0</td> </tr> <tr> <td colspan="4" style="text-align: center;">IDSEL 指定</td> <td style="text-align: center;">機能 番号</td> <td colspan="3" style="text-align: center;">レジスタ 番号</td> </tr> </table> </div> <p>レジスタ番号： PCI Configuration Register の番号を指定します。 機能番号： PCI Multi Function Device に対する機能番号を指定します。 IDSEL 指定： アクセスする PCI Device の IDSEL 信号を選択します。</p> <p>PCI ホスト・ブリッジは IDSEL 信号を AD[31:11]で代用するため、PCI バスに接続している PCI デバイスへの Configuration アクセスは、各々の IDSEL 端子に接続している AD 信号に対応するビットのどれか 1 ビットだけ設定します。</p> <p>PFESiP/V850EP1 では、IDSEL 端子には AD31 信号を接続していますので、cadd31 ビットをセット (1) することで PCI デバイス (OHCI ホスト・コントローラ) へアクセス可能になります。</p> <p><u>PCI Configuration Register のアクセス方法</u></p> <p>次の手順に従って、PCI バスの Configuration Register にアクセスできます。</p> <p>PCI_CONFIG_ADD レジスタ設定 Configuration Cycle のアドレスを設定します。</p> <p>PCI_CONFIG_DATA レジスタ設定 PCI_CONFIG_ADD に設定したアドレスへのリード・アクセスは、PCI_CONFIG_DATA レジスタから読み出すことができます。また、ライト・アクセスは PCI_CONFIG_DATA に書き込むことで実行できます。</p>		31		11 10	8	7	2	1	0							0	0	IDSEL 指定				機能 番号	レジスタ 番号		
31		11 10	8	7	2	1	0																				
						0	0																				
IDSEL 指定				機能 番号	レジスタ 番号																						

(3) PCI Control 1 Register



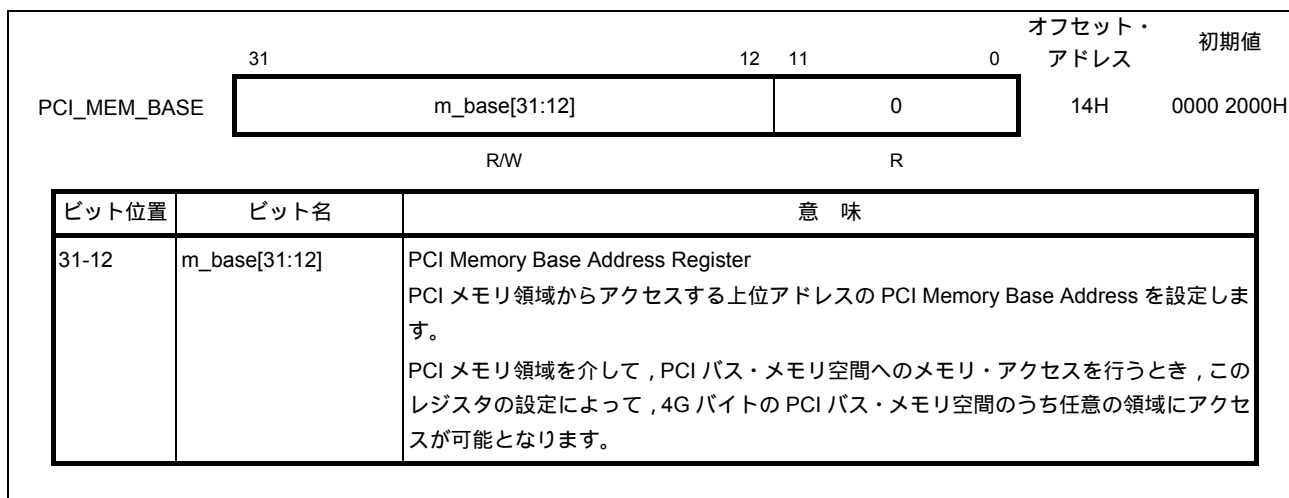
ビット位置	ビット名	意味
31-24	pci_parkcnt[7:0]	PCI Bus Parking Timer Bus Parking に移行する時間を設定します。FRAME# = 1 & IRDY# = 1 でカウントを開始します。 このビットは初期値のまま変更する必要はありません。
16	pci_bpemode	PCI Bus Parking Mode 0 : Bus Parking Master は、このマクロ限定 (初期値) 1 : Bus Parking Master は、最後にアクセスしたマスタ このビットは初期値のまま変更する必要はありません。
9	pci_req_en	PCI Request Enable 0 : Request 無効 1 : Request 有効 (初期値) このビットは初期値のまま変更する必要はありません。
5	pci_pchken	PCI Parity Check Enable 0 : PCI バス上の Parity Check を無効とする (初期値) 1 : PCI バス上の Parity Check を有効とする このビットは初期値のまま変更する必要はありません。
4	pci_reset	PCI Reset 0 : PCI バスはリセット状態 (初期値) 1 : PCI バスはリセット解除 OHCI ホスト・コントローラへアクセスする際には、セット (1) してください。
3	sram_en	SRAM 領域 Enable 0 : PCI バスからの SRAM 領域へのアクセスに応答しません (初期値) 1 : PCI バスからの SRAM 領域へのアクセスに応答します OHCI ホスト・コントローラから SRAM へアクセスを開始する際には、セット (1) してください。
2	sdram_en	SDRAM 領域 Enable 0 : PCI バスからの SDRAM 領域へのアクセスに応答しません (初期値) 1 : PCI バスからの SDRAM 領域へのアクセスに応答します OHCI ホスト・コントローラから SDRAM へアクセスを開始する際には、セット (1) してください。
1	mem_en	PCI メモリ領域 Enable 0 : PCI Memory Area への CPU からのアクセスを禁止します (初期値) 1 : PCI Memory Area への CPU からのアクセスを許可します OHCI ホスト・コントローラの OHCI レジスタへアクセスする際には、セット (1) してください。

(4) PCI Control2 Register



ビット位置	ビット名	意味																																							
8	wbuf_busy	PCI Write Buffer Busy PCI Target (SDRAM) Write 時の Write Buffer のデータ状態を示します。 0 : Write Buffer に SDRAM/SRAM へのライト・データはありません。 1 : Write Buffer に SDRAM/SRAM へのライト・データが残っています。																																							
6-4	wburst_size[2:0]	PCI Write Burst Max Size PCI Target (SDRAM) Write 時の最大バースト長を設定します。 <table border="1" style="width: 100%; margin-top: 10px;"> <thead> <tr> <th colspan="3" style="text-align: center;">wburst_size</th> <th rowspan="2" style="text-align: center;">PCI Target Write 時の最大バースト長</th> </tr> <tr> <th style="text-align: center;">2</th> <th style="text-align: center;">1</th> <th style="text-align: center;">0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>Single 転送のみ対応</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2 バースト</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>3 バースト</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>4 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>5 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>7 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>8 バースト (初期値)</td> </tr> </tbody> </table> <p style="margin-top: 10px;">このビットは初期値のまま変更する必要はありません。</p>	wburst_size			PCI Target Write 時の最大バースト長	2	1	0	0	0	0	Single 転送のみ対応	0	0	1	2 バースト	0	1	0	3 バースト	0	1	1	4 バースト	1	0	0	5 バースト	1	0	1	6 バースト	1	1	0	7 バースト	1	1	1	8 バースト (初期値)
wburst_size			PCI Target Write 時の最大バースト長																																						
2	1	0																																							
0	0	0	Single 転送のみ対応																																						
0	0	1	2 バースト																																						
0	1	0	3 バースト																																						
0	1	1	4 バースト																																						
1	0	0	5 バースト																																						
1	0	1	6 バースト																																						
1	1	0	7 バースト																																						
1	1	1	8 バースト (初期値)																																						
2-0	rburst_size[2:0]	PCI Read Burst Max Size PCI Target (SDRAM) Read 時の最大バースト長を設定します。 <table border="1" style="width: 100%; margin-top: 10px;"> <thead> <tr> <th colspan="3" style="text-align: center;">wburst_size</th> <th rowspan="2" style="text-align: center;">PCI Target Read 時の最大バースト長</th> </tr> <tr> <th style="text-align: center;">2</th> <th style="text-align: center;">1</th> <th style="text-align: center;">0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>Single 転送のみ対応</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2 バースト</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>3 バースト</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>4 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>5 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>7 バースト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>8 バースト (初期値)</td> </tr> </tbody> </table> <p style="margin-top: 10px;">このビットは初期値のまま変更する必要はありません。</p>	wburst_size			PCI Target Read 時の最大バースト長	2	1	0	0	0	0	Single 転送のみ対応	0	0	1	2 バースト	0	1	0	3 バースト	0	1	1	4 バースト	1	0	0	5 バースト	1	0	1	6 バースト	1	1	0	7 バースト	1	1	1	8 バースト (初期値)
wburst_size			PCI Target Read 時の最大バースト長																																						
2	1	0																																							
0	0	0	Single 転送のみ対応																																						
0	0	1	2 バースト																																						
0	1	0	3 バースト																																						
0	1	1	4 バースト																																						
1	0	0	5 バースト																																						
1	0	1	6 バースト																																						
1	1	0	7 バースト																																						
1	1	1	8 バースト (初期値)																																						

(5) PCI Memory Base Address Register



(6) PCI Interrupt Status Register

このレジスタで、PCI ホスト・ブリッジから出力される INTUSBH0, INTUSBH1 信号の発生要因を知ることができます。なお、inta, int_smmi, int_pme の割り込み要因のクリア (0) は発生元で行います。serr, perr, mabort, tabort の割り込み要因はデバッグ時のみ使用され通常は使用しません。

各割り込み要因を有効にする方法は、次項の PCI_INT_CTL レジスタで説明します。

PCI_INT_STATUS	<table border="1" style="border-collapse: collapse; width: 100%;"> <tr> <td style="width: 10%; text-align: center;">31</td> <td style="width: 10%;"></td> <td style="width: 10%; text-align: center;">12</td> <td style="width: 10%; text-align: center;">11</td> <td style="width: 10%;"></td> <td style="width: 10%; text-align: center;">10</td> <td style="width: 10%; text-align: center;">9</td> <td style="width: 10%; text-align: center;">8</td> <td style="width: 10%; text-align: center;">7</td> <td style="width: 10%;"></td> <td style="width: 10%; text-align: center;">4</td> <td style="width: 10%; text-align: center;">3</td> <td style="width: 10%; text-align: center;">2</td> <td style="width: 10%; text-align: center;">1</td> <td style="width: 10%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">Int_pme</td> <td style="text-align: center;">Int_smmi</td> <td style="text-align: center;">0</td> <td style="text-align: center;">Inta</td> <td style="text-align: center;">0</td> <td style="text-align: center;">serr</td> <td style="text-align: center;">perr</td> <td style="text-align: center;">mabort</td> <td style="text-align: center;">tabort</td> <td colspan="5"></td> </tr> <tr> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">R/W</td> <td style="text-align: center;">R/W</td> <td colspan="5"></td> </tr> </table>	31		12	11		10	9	8	7		4	3	2	1	0	0	Int_pme	Int_smmi	0	Inta	0	serr	perr	mabort	tabort						R	R	R	R	R	R	R/W	R/W	R/W	R/W						オフセット・ アドレス	初期値
31		12	11		10	9	8	7		4	3	2	1	0																																		
0	Int_pme	Int_smmi	0	Inta	0	serr	perr	mabort	tabort																																							
R	R	R	R	R	R	R/W	R/W	R/W	R/W																																							
										18H	0000 0000H																																					

ビット位置	ビット名	意味
11	int_pme	PCI Interrupt PME Status 0 : 割り込み要因はありません 1 : PME による割り込み発生 割り込み要因のクリア (0) は PME 発生元にて行います。
10	Int_smmi	PCI Interrupt SMMI Status 0 : 割り込み要因はありません 1 : SMMI による割り込み発生 割り込み要因のクリア (0) は SMMI 発生元にて行います。
8	inta	PCI Interrupt INTA Status 0 : 割り込み要因はありません 1 : INTA による割り込み発生 割り込み要因のクリア (0) は INTA 発生元にて行います。
3	serr	PCI Host Bridge System Error Interrupt Status 0 : 割り込み要因はありません 1 : System Error 検出 '1'を書き込むと、割り込み要因がクリア (0) されます。 この割り込みはデバッグ用で通常時は使用しません。
2	perr	PCI Host Bridge Parity Error Interrupt Status 0 : 割り込み要因はありません 1 : Parity Error 検出 '1'を書き込むと、割り込み要因がクリア (0) されます。 この割り込みはデバッグ用で通常時は使用しません。
1	mabort	PCI Host Bridge Master Abort Interrupt Status 0 : 割り込み要因はありません 1 : Master Abort 受信 '1'を書き込むと、割り込み要因がクリア (0) されます。 この割り込みはデバッグ用で通常時は使用しません。
0	tabort	PCI Host Bridge Target Abort Interrupt Status 0 : 割り込み要因はありません 1 : Target Abort 受信 '1'を書き込むと、割り込み要因がクリア (0) されます。 この割り込みはデバッグ用で通常時は使用しません。

(7) PCI Interrupt Control Register

	31	12	11	10	9	8	7	4	3	2	1	0	オフセット・アドレス	初期値
PCI_INT_CTL	0	int_pme_en	int_smmi_en	0	inta_en	0	serrint_en	perrint_en	mabortint_en	tabortint_en			1CH	0000 0000H
	R	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
11	int_pme_en	PCI Interrupt PME Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする
10	int_smmi_en	PCI Interrupt SMMI Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする
8	inta_en	PCI Interrupt INTA Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする
3	serrint_en	PCI Host Bridge System Error Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。
2	perrint_en	PCI Host Bridge Parity Error Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。
1	mabortint_en	PCI Host Bridge Master Abort Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。
0	tabortint_en	PCI Host Bridge Target Abort Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。

(8) PCI Bus Error Address

PCI_ERR_ADD	<div style="border: 1px solid black; padding: 5px; display: inline-block;"> <div style="text-align: right; margin-right: 10px;">31-0</div> <div style="text-align: center;">err_adr[31:0]</div> </div>	オフセット・ アドレス 20H	初期値 0000 0000H
R			
ビット位置	ビット名	意 味	
31-0	err_adr[31:0]	PCI Bus Error Address このレジスタは、次のエラー要因が発生したときの PCI アドレスを保持します。 SERR#入力 Parity Error 発生 PCI Bus Master Abort 発生 PCI Bus Target Abort 発生 リード・アクセスすることで全ビットがクリア (0) されます。一度バス・エラーが起きて、このレジスタに値がセットされると、リードするか、新たなバス・エラーにより値が更新されるまで保持します。本機能はデバック時のみ使用され、通常は使用しません。	

(9) SDRAM Area Base Address Register

SDRAM_BASE	<div style="border: 1px solid black; padding: 5px; display: inline-block;"> <div style="display: flex; justify-content: space-between; width: 100%;"> 31 16 15 0 </div> <div style="text-align: center;">s_base[31:16]</div> <div style="text-align: center; margin-top: 5px;">0</div> </div>	オフセット・ アドレス 40H	初期値 0000 0000H
R/W		R	
ビット位置	ビット名	意 味	
31-16	s_base[31:16]	SDRAM Area Base Address SDRAM 領域アクセス時のスタート・アドレスを設定します。64 K バイト単位で設定可能です。 このレジスタは、PCI 空間における SDRAM 領域のベース・アドレスを設定します。 このレジスタと SDRAM_RANGE レジスタの設定によって、PCI ターゲットからのメモリ・アクセスが発生した場合、一致したアドレスに対して応答します。	

(10) SDRAM Area Address Range Register

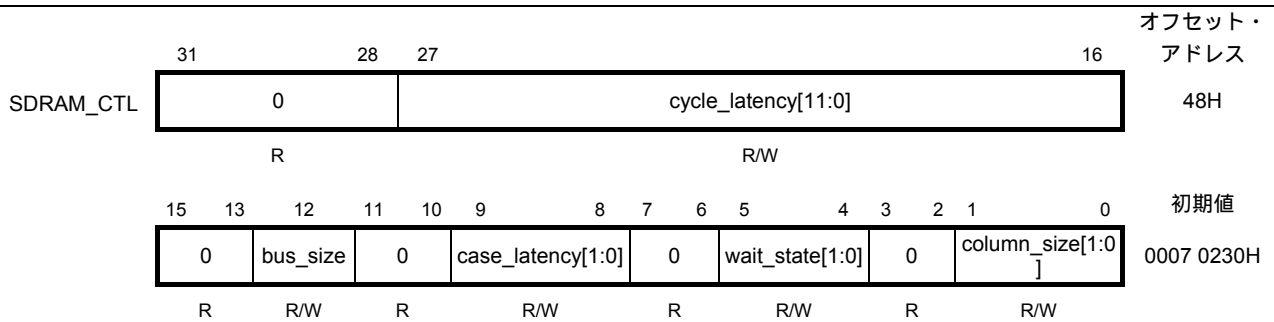
SDRAM_RANGE	<div style="display: flex; justify-content: space-between; margin-bottom: 5px;"> 31 16 15 0 </div> <div style="border: 1px solid black; padding: 5px; display: flex; justify-content: space-between;"> s_range[31:16] FFFFH </div> <div style="display: flex; justify-content: space-around; margin-top: 5px;"> R/W R </div>	オフセット・ アドレス 44H	初期値 0000 FFFFH
-------------	---	-----------------------	-------------------

ビット位置	ビット名	意味																
31-16	s_range[31:16]	SDRAM 領域の範囲を設定します。設定は 64 K バイト単位で設定可能です。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">s_range[31:16]</th> <th style="width: 80%;">SDRAM 領域の範囲</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">000H</td> <td style="text-align: center;">64 K バイト</td> </tr> <tr> <td style="text-align: center;">⋮</td> <td style="text-align: center;">⋮</td> </tr> <tr> <td style="text-align: center;">00FH</td> <td style="text-align: center;">1Mbyte</td> </tr> <tr> <td style="text-align: center;">⋮</td> <td style="text-align: center;">⋮</td> </tr> <tr> <td style="text-align: center;">0FFH</td> <td style="text-align: center;">16Mbyte</td> </tr> <tr> <td style="text-align: center;">⋮</td> <td style="text-align: center;">⋮</td> </tr> <tr> <td style="text-align: center;">1FFH</td> <td style="text-align: center;">32Mbyte</td> </tr> </tbody> </table> <p style="margin-top: 10px;">このレジスタは、PCI 空間における SDRAM 領域の範囲を設定します。 SDRAM_BASE レジスタに SDRAM のスタート・アドレスを設定し、このレジスタによってその範囲を設定します。</p>	s_range[31:16]	SDRAM 領域の範囲	000H	64 K バイト	⋮	⋮	00FH	1Mbyte	⋮	⋮	0FFH	16Mbyte	⋮	⋮	1FFH	32Mbyte
s_range[31:16]	SDRAM 領域の範囲																	
000H	64 K バイト																	
⋮	⋮																	
00FH	1Mbyte																	
⋮	⋮																	
0FFH	16Mbyte																	
⋮	⋮																	
1FFH	32Mbyte																	

(11) SDRAM Control Register

SDRAM_CTL レジスタは、SDRAM 領域へのアクセス制御を設定します。

(1/2)



ビット位置	ビット名	意味																		
27-16	cycle_latency[11:0]	<p>SDRAM Access Latency</p> <p>PCIデバイスからのSDRAMアクセスに対して、バーストデータ間のインターバルをBUSCLK単位で設定します。</p> <p>このビットは初期値のまま変更する必要はありません。</p> <table border="1"> <thead> <tr> <th>cycle_latency[11:0]</th> <th>SDRAM アクセスのレーテンシ</th> </tr> </thead> <tbody> <tr> <td>000H</td> <td>レーテンシなし</td> </tr> <tr> <td>?</td> <td>?</td> </tr> <tr> <td>007H</td> <td>7×BUSCLK (初期値)</td> </tr> <tr> <td>?</td> <td>?</td> </tr> <tr> <td>FFFH</td> <td>4095×BUSCLK</td> </tr> </tbody> </table>	cycle_latency[11:0]	SDRAM アクセスのレーテンシ	000H	レーテンシなし	?	?	007H	7×BUSCLK (初期値)	?	?	FFFH	4095×BUSCLK						
cycle_latency[11:0]	SDRAM アクセスのレーテンシ																			
000H	レーテンシなし																			
?	?																			
007H	7×BUSCLK (初期値)																			
?	?																			
FFFH	4095×BUSCLK																			
12	bus_size	<p>SDRAM のデータ・バス幅を設定します</p> <p>0 : 16 ビット (初期値)</p> <p>1 : 32 ビット</p>																		
9, 8	cas_latency[1:0]	<p>SDRAM の CAS レーテンシを設定します</p> <table border="1"> <thead> <tr> <th colspan="2">cas_latency[1:0]</th> <th>SDRAM の CAS レーテンシ</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>CAS レーテンシ = 1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CAS レーテンシ = 2 (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>CAS レーテンシ = 3</td> </tr> </tbody> </table>	cas_latency[1:0]		SDRAM の CAS レーテンシ	1	0		0	0	設定禁止	0	1	CAS レーテンシ = 1	1	0	CAS レーテンシ = 2 (初期値)	1	1	CAS レーテンシ = 3
cas_latency[1:0]		SDRAM の CAS レーテンシ																		
1	0																			
0	0	設定禁止																		
0	1	CAS レーテンシ = 1																		
1	0	CAS レーテンシ = 2 (初期値)																		
1	1	CAS レーテンシ = 3																		
5, 4	wait_state[1:0]	<p>SDRAM ACT CMD, PRE ACT, CMD ACT 時のウェイトを設定します</p> <table border="1"> <thead> <tr> <th colspan="2">wait_state[1:0]</th> <th>ACT CMD, PRE ACT, CMD ACT 時のウェイト</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1×BUSCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>2×BUSCLK</td> </tr> <tr> <td>1</td> <td>1</td> <td>3×BUSCLK (初期値)</td> </tr> </tbody> </table>	wait_state[1:0]		ACT CMD, PRE ACT, CMD ACT 時のウェイト	1	0		0	0	設定禁止	0	1	1×BUSCLK	1	0	2×BUSCLK	1	1	3×BUSCLK (初期値)
wait_state[1:0]		ACT CMD, PRE ACT, CMD ACT 時のウェイト																		
1	0																			
0	0	設定禁止																		
0	1	1×BUSCLK																		
1	0	2×BUSCLK																		
1	1	3×BUSCLK (初期値)																		

ビット位置	ビット名	意味
1, 0	column_size[1:0]	SDRAM のコラム・サイズを設定します。

column_size[1:0]		SDRAM のコラム・サイズ
1	0	
0	0	8 ビット (初期値)
0	1	9 ビット
1	0	10 ビット
1	1	11 ビット

次に SDRAM 領域へアクセスする際に出力するアドレス信号 (A25-A1) に割り振られる物理アドレスを示します。

表 2 - 3 SDRAM アクセスのロウ・アドレス出力

(a) ロウ・アドレスの出力

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
ロウ・アドレス (column_size[1:0] = 00)	a25-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
ロウ・アドレス (column_size[1:0] = 01)	a25-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
ロウ・アドレス (column_size[1:0] = 10)	a25-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
ロウ・アドレス (column_size[1:0] = 11)	a25-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12

(b) カラム・アドレスの出力 (オール・バンク・プリチャージ・コマンド時)

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
カラム・アドレス (bus_size = 0)	a25-a18	a17	a16	a15	a14	a12	a11	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1
カラム・アドレス (bus_size = 1)	a25-a18	a17	a16	a15	a14	a12	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1

(c) カラム・アドレスの出力 (リード/ライト・コマンド時)

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
カラム・アドレス (bus_size = 0)	a25-a18	a17	a16	a15	a14	a12	a11	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1
カラム・アドレス (bus_size = 1)	a25-a18	a17	a16	a15	a14	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1

備考 CPU 側のメモリ・コントローラ (NBA85E535) と比較すると、アドレス端子の A12, A13 に割り当てられるカラム・アドレスが異なりますが、NBA85E535, USB ホスト・コントローラの双方とも、対応カラム・アドレスは 11 ビットまでで、A12 以上は利用しません。

(12) SRAM Area Base Address Register

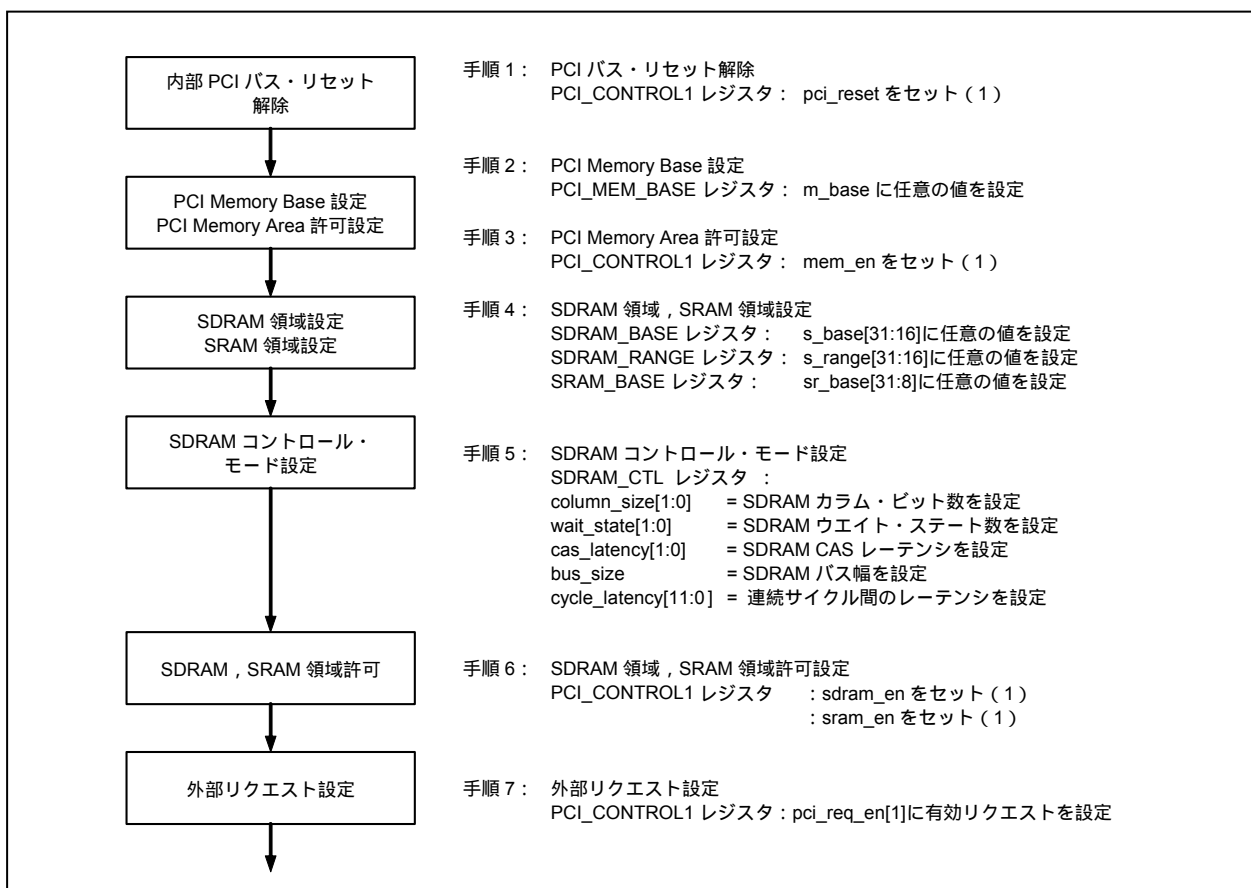
SRAM_BASE	31	13	12	0	オフセット・ アドレス	初期値
	sram_base[31:13]		0		50H	0000 0000H
	R/W		R			

ビット位置	ビット名	意 味
31-13	sram_base[31:13]	SRAM Area Base Address SRAM 領域アクセス時のベース・アドレスを設定します。 このレジスタは、PCI 空間における SRAM 領域のベース・アドレスを設定します。 このレジスタの設定によって、PCI ターゲットからのメモリ・アクセスが発生した場合、 一致したアドレスに対して応答します。

2.2.4 PCI ホスト・ブリッジ初期化方法

PCI バスへのメモリ・アクセスおよび、PCI バスからの SDRAM 領域および SRAM 領域へのアクセスを受け付けるためには、次の手順に従って PCI ホスト・ブリッジ・マクロを初期化する必要があります。

図 2 - 1 PCI ホスト・ブリッジ・マクロ初期化手順



この初期化手順が終了すると、

PCI_CONFIG_ADD / PCI_CONFIG_DATA レジスタから、PCI デバイス (OHCI ホスト・コントローラ) の PCI Configuration レジスタへのアクセス

CPU から、PCI デバイス (OHCI ホスト・コントローラ) の PCI メモリ領域 (OHCI Operational レジスタ) へのアクセス

PCI デバイス (OHCI ホスト・コントローラ) から、SDRAM および SRAM 領域へのアクセス

が可能になります。

2.3 OHCI ホスト・コントローラ

2.3.1 OHCI ホスト・コントローラの機能

OHCI ホスト・コントローラは、下記の機能を持っています。

OpenHCI Specification Release 1.0a に準拠

Universal Serial Bus Specification Revision 1.1 に準拠

フル・スピード (12 Mbps) とロー・スピード (1.5 Mbps) の 2 種類の USB デバイスをサポート

2 チャンネル・ルート Hub を内蔵し、2 つのダウンストリーム・ポートをサポート

USB クロック : 48 MHz, PCI クロック : 25 ~ 33 MHz

メモリ空間

4 K バイトの PCI メモリ領域 (OHCI Operational レジスタ) を配置

256 バイトの Host Controller Communication Area (HCCA) を配置

CPU との通信

OHCI ホスト・コントローラ内の Operational レジスタと Host Controller Communication Area (HCCA) 経由で通信

CPU と OHCI ホスト・コントローラの間には、2 つの通信チャンネルがあります。ひとつめの通信チャンネルは OHCI Operational レジスタであり、この通信に対しては OHCI ホスト・コントローラがターゲット (スレーブ) となります。PCI コンフィギュレーション・レジスタ内の BASE_Address_Register (10h) が、OHCI Operational レジスタへのポインタとなります。

また、OHCI Operational レジスタ内には、Host Controller Communication Area (HCCA) と呼ばれるシェアード・メモリへのポインタがあり、この HCCA が 2 つめの通信チャンネルとなります。この通信に対しては OHCI ホスト・コントローラがマスタとなります。

通信のためのディスクリプタ情報は、OHCI Operational レジスタと HCCA 領域で管理されます。

2.3.2 PCI コンフィギュレーション・レジスタ

PCI コンフィギュレーション・レジスタは、256 バイトのレジスタ空間であり、OHCI ホスト・コントローラに内蔵されています。CPU システムからは PCI ホスト・ブリッジ・レジスタ (PCI_CONFIG_DATA, PCI_CONFIG_ADD) 経由でアクセスされます。

表 2 - 4 PCI コンフィギュレーション・レジスタ

アドレス	31	24	23	16	15	8	7	0
00H	Device ID				Vendor ID			
04H	Status				Command			
08H	Class Code						Revision ID	
0CH	BIST		Header Code		Latency Timer		Cache Line Size	
10H	Base Address Register							
14H	Reserved							
18H								
1CH								
20H								
24H								
28H	Reserved							
2CH	Subsystem ID				Subsystem Vendor ID			
30H	Reserved							
34H	Reserved						Cap_ptr	
38H	Reserved							
3CH	Max_lat		Min_Gnt		Interrupt Pin		Interrupt Line	
40H	PMC				Next_Item_Ptr		Cap_ID	
44H	Data		DMCSR_BSE		PMCSR			
E0H	Reserved							

(1) Vender ID , Device ID (Offset 00H)

31	16 15	0
Device ID[15:0]		Vender ID[15:0]
R/W	R	R
初期値	0035H	1033H

ビット位置	ビット名	意味
31-16	Device ID[15:0]	デバイスの種類を示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 0035H 固定です。
15-0	Vender ID[15:0]	デバイスのベンダを示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 1033H 固定です。

(2) Command, Status (Offset 04H)

(1/2)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing[1:0]	Data Parity Detected	Fast Back to Back Capable				Capabilities											Fast Back to Back Enable	SERR Enable	Wait Cycle Control	Parity Error Response	VGA Pallet Snoop	Memory Write and Invalidate	Special Cycle	Bus Master	Memory Space	I/O Space
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R			R											R	R/W	R	R/W	R	R	R	R/W	R/W	R
初期値	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	Detected Parity Error	パリティ・エラーのステータス・ビットです。アドレスまたはデータ・パリティ・エラーを検知した場合セット(1)されます。PCIバスからの'1'書き込みによりクリア(0)されます。
30	Signaled System Error	SERRのステータス・ビットです。システム・エラーが発生した場合セット(1)されます。PCIバスからの'1'書き込みによりクリア(0)されます。
29	Received Master Abort	マスタのマスタ・アボートのステータス・ビットです。マスタ動作がマスタ・アボートで終了した場合にセット(1)されます。PCIバスからの'1'書き込みによりクリア(0)されます。
28	Received Target Abort	マスタのターゲット・アボートのステータス・ビットです。マスタ動作がターゲット・アボートで終了した場合にセット(1)されます。PCIバスからの'1'書き込みでクリア(0)されます。
27	Signaled Target Abort	スレーブのターゲット・アボートのステータス・ビットです。スレーブ動作がターゲットで終了した場合にセット(1)されます。PCIバスからの'1'書き込みによりクリア(0)されます。
26, 25	Devsel Timing[1:0]	DEVSEL 応答速度を示すフィールドです。MediumModeのため01b固定となります。
24	Data Parity Detected	マスタ動作時にパリティ・エラーを検出した場合にセット(1)されます。PCIバスからの'1'書き込みによりクリア(0)されます。Parity Error Response (Command Register) が Disable の場合は'0'固定となります。
23	Fast Back to Back Capable	Fast Back to Back に対応しているかを示すビットです。Fast Back to Back に対応しないため'0'固定となります。
22, 21	-	Reserved (必ず'0'を書き込んでください)
20	Capabilities	Power Management Mode をサポートすることを示すビットです。1b 固定となります。
19-10	-	Reserved (必ず'0'を書き込んでください)
9	Fast Back to Back Enable	Fast Back to Back のイネーブル・ビットです。Host Controller は Fast Back to Back に対応していないため'0'固定となります。
8	SERR Enable	SERR のイネーブル・ビットです。システム・エラーを SERR 信号に伝達させる場合には'1'に設定してください。
7	Wait Cycle Control	Wait Cycle Control のイネーブル・ビットです。Host Controller は Address/Data Stepping に対応しないため'0'固定となります。
6	Parity Error Response	Parity Error 応答のイネーブル・ビットです。Parity Error チェックを行う場合には'1'に設定してください。

ビット位置	ビット名	意味
5	VGA Pallet Snoop	VGA Pallet Snoop のイネーブル・ビットです。Host Controller は VGA Pallet Snoop に対応しないため'0' 固定となります
4	Memory Write and Invalidate	Memory Write and Invalidate のイネーブル・ビットです。Host Controller は Memory Write and Invalidate に対応しないため'0' 固定となります。
3	Special Cycle	Special Cycle のイネーブル・ビットです。Host Controller は Special Cycle に対応しないため'0' 固定となります。
2	Bus Master	バス・マスタのイネーブル・ビットです。PCI バスに対しマスタ・アクセスを行うための Enable 信号であり、システムバスの SRAM にアクセスする場合'1'に設定する必要があります。Host Controller の初期化時に 1b に設定してください。
1	Memory Space	メモリ空間へのアクセス・イネーブル・ビットです。PCI 規格におけるメモリ・アクセスを行うための Enable 信号であり、レジスタ・アクセスを行う場合'1'に設定する必要があります。Host Controller の初期化時に 1b に設定してください。
0	I/O Space	I/O 空間へのアクセス・イネーブル・ビットです。PCI 規格における I/O アクセスを行うための Enable 信号ですが、Host Controller は I/O アクセスを使用しないため'0' 固定となります。

(3) Revision ID, Class Code (Offset 08H)

31	24 23	16 15	8 7	0
Class Code			Revision ID[7:0]	
Base Class[7:0]		Sub Class[7:0]	Programming I/F[7:0]	
R/W	R	R	R	R
初期値	0 0 0 0 1 1 0 0 0	0 0 0 0 1 1 0 0 0	1 0 0 0 0 0 1 0 0 0 0 0	1 0 0 0 0 1 0
ビット位置	ビット名	意味		
31-24	Base Class[7:0]	PCI 規格における基本クラスを示すフィールドです。 シリアル周辺バスのコントローラであるため、0CH 固定となります。		
23-16	Sub Class[7:0]	PCI 規格におけるサブクラスを示すフィールドです。 USB デバイスであるため、03H 固定となります。		
15-8	Programming I/F[7:0]	PCI 規格におけるプログラム・インタフェースを示すフィールドです。 OHCI 仕様 USB であるため、10H 固定となります。		
7-0	Revision ID[7:0]	Host Controller のリビジョンを示すフィールドです。 42H 固定となります。		

(4) Cache Line Size・Latency Timer・Header Type・BIST (Offset 0CH)

31	24	23	16	15	14	13	12	11	10	9	8	7	0																	
BIST[7:0]				Header Type[7:0]				Latency Timer[7:0]				Cache Line Size[7:0]																		
R/W	R				R				R/W	R/W	R/W	R/W	R/W	R	R	R														
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-24	BIST[7:0]	セルフ・テスト用のフィールドです。 00H 固定となります。
23-16	Header Type[7:0]	Header Type をシステムに通知するためのフィールドです。 PCI デバイスであるため 00H 固定となります。 特に、MultiFunction は非対応のためビット 23 は'0' 固定となります。
15-8	Latency Timer[7:0]	Latency Timer をシステムに通知するためのフィールドです。 下位 2 ビットは 00b 固定です。
7-0	Cache Line Size[7:0]	Cache Line Size をシステムに通知するためのフィールドです。 00H 固定となります。

(5) OHCI Base Address (Offset 10H)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
OHCI Base Address[27:0]																											Prefetchable	Type[1:0]	Memory Space Indicator			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-4	OHCI Base Address[27:0]	ビット 31-12 にて Operational Register のアドレスを指定します。 初期化時にシステムにより決定された Operational Register の Base Address 値を設定してください。ビット 11-4 は 00H 固定となります。
3	Prefetchable	Base Address で指定するフィールドがメモリ空間であることを示すフィールドです。 0b 固定となります。フィールドがプリフェッチ禁止であることを示します。
2, 1	Type[1:0]	Base Address Type を示すフィールドです。00b 固定となります。OHCI Base Address が"32bit 空間の任意の位置"であることを示します。
0	Memory Space Indicator	Base Address で指定するフィールドがメモリ空間であることを示すフィールドです。 0b 固定となります。

(6) SubSystem Vender ID・SubSystemID (Offset 2CH)

31	16 15	0
SubSystem ID[15:0]		SubSystem Vender ID[15:0]
R/W	R	R
初期値	0 0 0 0 0 0 0 1 0 0 1 1 0 0 1 1	0 0 0 0 0 0 0 0 1 1 0 0 1 1

ビット位置	ビット名	意味
31-16	SubSystem ID[15:0]	デバイスの種類を示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 0133H 固定です。
15-0	SubSystem Vender ID[15:0]	デバイスのベンダを示すレジスタです。 PCI 規格においてデバイスを動作させるドライバを選択するため使用されます。 1033H 固定です。

(7) Capability Pointer (Offset 34H)

31	8 7	0
		Capability Pointer[7:0]
R/W	R	R
初期値	0 0	1 0 0 0 0 0 0 0

ビット位置	ビット名	意味
31-10	-	Reserved (必ず'0' を書き込んでください)
7-0	Capability Pointer[7:0]	40H 固定となります。

(8) Interrupt Line・Interrupt Pin・Min gnt・Max Latency (Offset 3CH)

31	24 23	16 15	8 7	0
Max Latency[7:0]		Min Gnt[7:0]		Interrupt Pin[7:0]
R		R		R
初期値	0 0 1 0 1 0 1 0	0 0 0 0 0 0 0 0	1 0 0 0 0 0 0 0	1 0 0 0 0 0 0 0

ビット位置	ビット名	意味
31-24	Max Latency[7:0]	最大レーテンシを示します。2AH 固定となります。
23-16	Min Gnt[7:0]	最小グラント時間を示します。01H 固定となります。
15-8	Interrupt Pin[7:0]	割り込み出力端子を示します。INTA であるため 01H 固定となります。
7-0	Interrupt Line[7:0]	割り込みラインを示します。00H 固定となります。

(9) Capability Identifier・Next Item Pointer・Power Management Capabilities (Offset 40H)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Power Management Capabilities																Next Item Pointer[7:0]							Capability Identifier[7:0]								
	PME Support[4:0]				D2 Support	D1 Support	AUX Current[2:0]			DSI	PME CLK	Version[2:0]																				
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット位置	ビット名	意味
31	PME Support[4:0]	D3 Cold 状態をサポートしているかを示します。 D3 Cold 状態をサポートしないため 0b 固定となります。
30-27		PCI Power State のすべてのステート (D0 ~ D3) で PME をサポートすることを示します。 1111b 固定となります。
26	D2 Support	PCI Power State の D2 に対応していることを示します。 1b 固定となります。
25	D1 Support	PCI Power State の D1 に対応していることを示します。 1b 固定となります。
24-22	Aux Current[2:0]	D3cold ステートからの PME 割り込みアサートをサポートしておりません。 したがって、000b 固定となります。
21	DSI	Power Management 使用の際に特殊な初期化が必要でないことを示します。 0b 固定となります。
19	PME CLK	PME 割り込み生成に PCLK が必要でないことを示します。 0b 固定となります。
18-16	Version[2:0]	Power Management のバージョンを示すフィールドです。 Host Controller にインプリされた回路構成に従い 010b 固定となります。
15-8	Next Item Pointer[7:0]	Next Item が存在しないことを示すフィールドです。 00H 固定となります。
7-0	Capability Identifier[7:0]	Power Management Register ID を示すフィールドです。 01H 固定となります。

(10) Power Management Control/Status・PMCSR Bridge Support Extensions (Offset 44H)

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
		Data							PMCSR Bridge Support Extensions							Power Management Control/Status																							
		Data[7:0]							BPCC Enable	B2_B3									PME Status	Data Scale[1:0]	Data Select[3:0]	PME Enable																	Power State[1:0]
R/W		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R/W				
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット位置	ビット名	意味												
31-24	Data[7:0]	00H 固定となります。 PCI 規格においてこのフィールドはオプション・フィールドであり、Host Controller は未対応です。												
23	BPCC Enable	Bridge 用のビットであり Host Controller は未対応です。 0b 固定となります。												
22	B2_B3	Bridge 用のビットであり Host Controller は未対応です。 0b 固定となります。												
15	PME Status	PME の割り込みステータスを示します。 PME がアサートする条件となると 1b がセット (1) されます。 PCI バスから 1b を書き込むと 0b にクリア (0) されます。												
14, 13	Data Scale[1:0]	00b 固定となります。 PCI 規格においてこのフィールドはオプション・フィールドであり、Host Controller は未対応です。												
12-9	Data Select[3:0]	0H 固定となります。 PCI 規格においてこのフィールドはオプション・フィールドであり、Host Controller は未対応です。												
8	PME Enable	PME 割り込みの使用を設定するビットです。 1b に設定すると Power Management からの復帰時に PME 割り込みを発生します。												
1, 0	Power State[1:0]	PCI の Power Status を示すフィールドです。 [1:0]の状態により下記の状態となります。 <div style="margin-top: 10px; border: 1px solid black; padding: 5px; width: fit-content; margin-left: auto; margin-right: auto;"> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">D0 State</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">D1 State</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">D2 State</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">D3 hot State</td> </tr> </table> </div>	0	0	D0 State	0	1	D1 State	1	0	D2 State	1	1	D3 hot State
0	0	D0 State												
0	1	D1 State												
1	0	D2 State												
1	1	D3 hot State												

2.3.3 OHCI Operational レジスタ

OHCI Operational レジスタは OHCI ホスト・コントローラに内蔵されており、下記の項目で構成されています。詳細な情報につきましては、OpenHCI Specification Release 1.0a を参照してください。

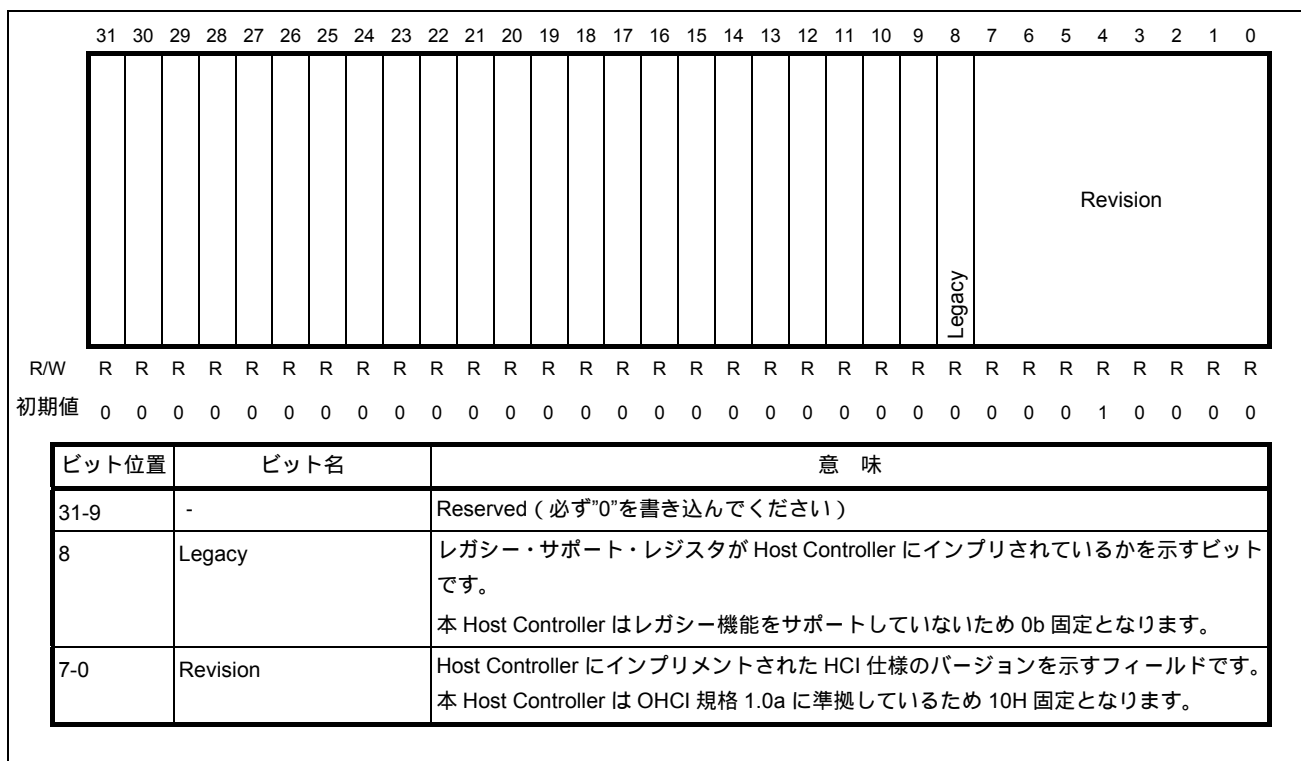
OpenHCI Specification Release 1.0a では、Port 番号を[1 : Port 数]と定義しているため、本項ではその記載に従って説明しています。たとえば、Port [1] : ホスト・チャンネル 0, Port[2] : ホスト・チャンネル 1 に対応する説明となります。

表 2 - 5 OHCI Operational レジスタ

アドレス	31	24	23	16	15	8	7	0
00H	HcRevision							
04H	HcControl							
08H	HcCommandStatus							
0CH	HcInterruptStatus							
10H	HcInterruptEnable							
14H	HcInterruptDisable							
18H	HcHCCA							
1CH	HcPeriodCurrentED							
20H	HcContorlHeadED							
24H	HcControlCurrentED							
28H	HcBulkHeadED							
2CH	HcBulkCurrentED							
30H	HcDoneHead							
34H	HcFmInterval							
38H	HcFmRemaining							
3CH	HcFmNumber							
40H	HcPeriodicStart							
44H	HcLSThreshold							
48H	HcRhDescriptorA							
4CH	HcRhDescriptorB							
50H	HcRhStatus							
54H	HcRhPortStatus1							
58H	HcRhPortStatus2							
5CH ~ FFH	Reserved							

用語・略語	HC :	HostController (OHCI ホスト・コントローラをさす)
	HCD :	HostControllerDriver
	ED :	EndPointDescriptor
	TD :	TransferDescriptor
	EOP :	EndOfPacket
	SOF :	StartOfFrame

(1) HcRevision Register (Offset 00H)



(2) HcControl Register (Offset 04H)

(1/2)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																						RWE	RWC	IR	HCFS	BLE	CLE	IE	PLE	CBSR	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味										
31-11	-	Reserved (必ず"0"を書き込んでください)										
10	RemoteWakeUp Enable (RWE)	このビットはアップストリーム・レジューム信号の検出の設定をするビットです。 1: Resume 信号を RemoteWake とする 0: Resume 信号を RemoteWake としない										
9	RemoteWakeUp Connect (RWC)	Host Controller が Remote Wake Up をサポートするかを示すビットです。Remote Wake Up をシステムでサポートする場合には、初期化中にこのビットをセット (1) する必要があります。 1: RemoteWakeUp をサポートする 0: RemoteWakeUp をサポートしない										
8	InterruptRouting (IR)	Host Controller の割り込み出力経路を示すビットです。HcInterruptStatus に発生した割り込み要因のシステムへの通知方法を設定します。 1: SMI 経由で割り込みが発生する 0: INTA 経由で割り込みが発生する										
7, 6	HostController FunctionalState (HCFS)[1:0]	Host Controller の動作状態を示すフィールドです。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">HCFS</th><th style="width: 90%;">USB ステータス</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">00</td><td>USB Reset</td></tr> <tr> <td style="text-align: center;">01</td><td>USB Resume</td></tr> <tr> <td style="text-align: center;">10</td><td>USB Operational</td></tr> <tr> <td style="text-align: center;">11</td><td>USB Suspend</td></tr> </tbody> </table> USB Operational に遷移すると 1 ms で区切られたフレームの管理を開始します。この動作状態は USB Suspend 時の Remote WakeUp による USB Resume の遷移以外は常に Host Controller ドライバにより制御されます。ハードウェア・リセット後、このフィールドは USB Reset 状態となりますが、ソフトウェア・リセット後は USB Suspend に遷移します。	HCFS	USB ステータス	00	USB Reset	01	USB Resume	10	USB Operational	11	USB Suspend
HCFS	USB ステータス											
00	USB Reset											
01	USB Resume											
10	USB Operational											
11	USB Suspend											
5	BulkListEnable (BLE)	バルク・リストの処理を行うかどうかを設定するビットです。 1: バルク・リストの処理を行う 0: バルク・リストの処理を行わない このビットの設定値は次のフレームから有効になります。 なお、バルク・リストを修正する場合には、必ずこのビットが 0b でなければなりません。										

ビット位置	ビット名	意味										
4	ControlListEnable (CLE)	<p>コントロール・リストの処理を行うかどうかを設定するビットです。</p> <p>1: コントロール・リストの処理を行う 0: コントロール・リストの処理を行わない</p> <p>このビットへの設定値は次のフレームから有効になります。</p> <p>なお、コントロール・リストを修正する場合には、必ずこのビットが 0b でなければなりません。</p>										
3	IsochronouseEnable (IE)	<p>アイソクロナス ED の処理を行うかどうかを設定するビットです。</p> <p>リスト処理中にアイソクロナス ED を発見した場合に、このビットをチェックしアイソクロナス ED の処理を行うかどうかを決定します。</p> <p>1: アイソクロナス転送の処理を行う 0: アイソクロナス転送の処理を行わない</p> <p>このビットがイネーブル・ディスエーブルとなると次のフレームからアイソクロナス処理に影響を与えます。</p>										
2	PeriodicListEnable (PLE)	<p>ピリオディック・リストの処理を行うかどうかを設定するビットです。</p> <p>1: ピリオディック・リストの処理を行う 0: ピリオディック・リストの処理を行わない</p> <p>このビットがイネーブル・ディスエーブルとなると次のフレームからピリオディック・リストの処理を開始・停止します</p>										
1, 0	ControlBulk ServiceRatio (CBSR)[2:0]	<p>Control 転送と Bulk 転送のサービス比を規定するフィールドです。</p> <p>ピリオディック・リストの処理の際、このフィールドで規定されるサービス比を維持し転送を行います。</p> <table border="1" data-bbox="625 1137 1369 1366"> <thead> <tr> <th>CBSR</th> <th>バルク ED : コントロール ED サービス比</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1 : 1</td> </tr> <tr> <td>01</td> <td>2 : 1</td> </tr> <tr> <td>10</td> <td>3 : 1</td> </tr> <tr> <td>11</td> <td>4 : 1</td> </tr> </tbody> </table>	CBSR	バルク ED : コントロール ED サービス比	00	1 : 1	01	2 : 1	10	3 : 1	11	4 : 1
CBSR	バルク ED : コントロール ED サービス比											
00	1 : 1											
01	2 : 1											
10	3 : 1											
11	4 : 1											

(3) HcCommandStatus Register (Offset 08H)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC																OCR	BLF	CLF	HCR												
R/W		R/W		R												R		R/W													
初期値		0		0		0		0		0		0		0		0		0		0		0		0		0		0			

ビット位置	ビット名	意味
31-18	-	Reserved (必ず"0"を書き込んでください)
17, 16	Scheduling OverrunCount (SOC)[2:0]	スケジュール・オーバラン数をカウントするためのフィールドです。 スケジュール・オーバランのたびにカウントアップします。 InterruptStatus レジスタの SO がセット (1) された状態においてもカウントアップは続けます。
15-4	-	Reserved (必ず"0"を書き込んでください)
3	Ownership ChangeRequest (OCR)	Host Controller の制御権の変更を要求するためのビットです。
2	BulkListFilled (BLF)	Bulk リストに TD が存在するかどうかを示すビットです。 Bulk リストの ED に TD を追加するときは必ずドライバ (HCD) によって 1b にセットされます。 Host Controller は Bulk リストヘッドの処理を始めるとき、このビットをチェックします。 このビットが 0b の場合は Bulk リストの処理を開始しません。1b ならば 0b にセットし Bulk リストの処理を開始します。Bulk リストに TD を見つけた場合、再度 1b にセットし Bulk リストの処理を継続します。 ドライバはリストを再構築し HcCommand レジスタの BLE ビットをセットしリスト処理を開始する前にこのビットをセットする必要があります。
1	ControlListFilled (CLF)	Control リストが存在するかどうかを示すビットです。 Control リストの ED に TD を追加するときは必ずドライバ (HCD) によって 1b にセットされます。 Host Controller は Control リストヘッドの処理を始めるとき、このビットをチェックします。 このビットが 0b の場合は Control リストの処理を開始しません。1b ならば 0b にセットし Control リストの処理を開始します。Control リストに TD を見つけた場合、再度 1b にセットし Control リストの処理を継続します。 ドライバはリストを再構築し HcCommand レジスタの CLE ビットをセットしリスト処理を開始する前にこのビットをセットする必要があります。
0	HostController Reset (HCR)	Host Controller のソフトウェア・リセットを起動するためのビットです。 このビットをセット (1) すると Host Controller の機能ステートに関わらず USB Suspend に遷移します。 リセット作業の完了時に Host Controller によってクリア (0) されます。

(4) HcInterruptStatus Register (Offset 0CH)

(1/2)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
OC																									RHSC	FNO	UE	RD	SF	WDH	SO	
R/W	R/W																									R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット位置	ビット名	意味
31	-	Reserved (必ず"0"を書き込んでください)
30	OwnershipChange (OC)	Ownership Change 割り込みが発生したことを示す割り込みビットです。 HcCommand Status の Ownership Change Request フィールドをセットしたときに セット (1) されます。この割り込み要因がマスクされていなければ SMMI 割り込みを 発生させます。 1 : OC 割り込みが発生している 0 : OC 割り込みは発生していない このビットに 1b を書き込むことで割り込みはクリア (0) されます。
29-7	-	Reserved (必ず"0"を書き込んでください)
6	RootHubStatusChange (RHSC)	HcRhPortStatus の状態が変化したことを示す割り込みビットです。 H/W 要因により HcRhPortStatus が変化した場合にセット (1) されます。 1 : RHSC 割り込みが発生している 0 : RHSC 割り込みは発生していない このビットに 1b を書き込むことで割り込みはクリア (0) されます。
5	Frame Number Overflow (FNO)	フレーム・ナンバの MSB が変化したことを示す割り込みビットです。 フレーム・ナンバの MSB が 0 から 1 または 1 から 0 に変化するフレームにおいて Hcca Frame Number の更新後にセット (1) されます。 1 : FNO 割り込みが発生している 0 : FNO 割り込みは発生していない このビットに 1b を書き込むことで割り込みはクリア (0) されます。
4	Unrecoverable Error (UE)	USB に関係のない PCI バス上のシステム・エラーを検出したことを示す割り込みビッ トです。 1 : UE 割り込みが発生している 0 : UE 割り込みは発生していない このビットに 1b を書き込むことで割り込みはクリア (0) されます。
3	ResumeDetected (RD)	Resume を検出したことを示す割り込みビットです。 USB バス上のデバイスがレジューム信号をアサートしていることを検出したときに セット (1) されます。ドライバにより USB Resume が発行された場合には、このビッ トはセット (1) されません。 1 : RD 割り込みが発生している 0 : RD 割り込みは発生していない このビットに 1b を書き込むことで割り込みはクリア (0) されます。

ビット位置	ビット名	意味
2	StartOfFrame (SF)	<p>フレームの開始時に Hcca Frame Number をアップデートしたことを示す割り込みビットです。Host Controller は SOF パケットの送出と共に HccaFrameNumber の更新を行います。</p> <p>1 : SF 割り込みが発生している 0 : SF 割り込みは発生していない</p> <p>このビットに 1b を書き込むことで割り込みはクリア (0) されます。</p>
1	Writeback Done Head (WDH)	<p>Host Controller が HccaDoneHead の内容をアップデートしたことを示す割り込みビットです。Host Controller は HccaDoneHead を更新した直後にこのビットをセット (1) し、このビットをクリア (0) するまで HccaDoneHead の更新は行いません。</p> <p>1 : WDH 割り込みが発生している 0 : WDH 割り込みは発生していない</p> <p>このビットに 1b を書き込むことで割り込みはクリア (0) されます。</p>
0	SchedulingOverrun (SO)	<p>フレームにおける USB スケジュールがオーバーランしたことを示す割り込みビットです。USB スケジュールがオーバーランした場合に次のフレームの Frame Number Update 後にセット (1) されます。このビットがセット (1) される時には HcCommandStatus レジスタの SchedulingOverrun ビットもインクリメントされます。</p> <p>1 : SO 割り込みが発生している 0 : SO 割り込みは発生していない</p> <p>このビットに 1b を書き込むことで割り込みはクリア (0) されます。</p>

(5) HcInterruptEnable Register (Offset 10H)

(1/2)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MIE	OCE																							RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	MasterInterruptEnable (MIE)	[30:0]にて設定された割り込み要因設定を有効にするかを設定するビットです。 1: 設定されたすべての割り込みを有効にする 0: 無効 (0b の書き込みは無視) 本ビットをクリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
30	OwnershipChange Enable (OCE)	OC を割り込み要因として有効にするか設定するためのビットです。 1: OC を割り込み要因として有効にする 0: 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
29-7	-	Reserved (必ず"0"を書き込んでください)
6	RootHubStatusChange Enable (RHSCE)	RHSC を割り込み要因として有効にするか設定するためのビットです。 1: RHSC を割り込み要因として有効にする 0: 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
5	FrameNumberOverflow Enable (FNOE)	FNO を割り込み要因として有効にするか設定するためのビットです。 1: FNO を割り込み要因として有効にする 0: 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
4	UnrecoverableError Enable (UEE)	UE を割り込み要因として有効にするか設定するためのビットです。 1: UE を割り込み要因として有効にする 0: 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
3	ResumeDetected Enable (RDE)	RD を割り込み要因として有効にするか設定するためのビットです。 1: RD を割り込み要因として有効にする 0: 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
2	StatoOfFrame Enable (SFE)	SF を割り込み要因として有効にするか設定するためのビットです。 1: SF を割り込み要因として有効にする 0: 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。

ビット位置	ビット名	意味
1	WritebackDoneHead Enable (WDHE)	WDH を割り込み要因として有効にするか設定するためのビットです。 1 : WDH を割り込み要因として有効にする 0 : 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。
0	SchedulingOverrun Enable (SOE)	SO を割り込み要因として有効にするか設定するためのビットです。 1 : SO を割り込み要因として有効にする 0 : 無効 (0b の書き込みは無視) 本ビットに 1b を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに 1b を書き込みます。

(6) HcInterruptDisable Register (Offset 14H)

(1/2)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MID	OCD																								RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31	MasterInterruptDisable (MID)	HcInterruptEnable[30:0]にて設定された割り込み要因を無効にする設定を行うビットです。 1: 設定されたすべての割り込みを無効にする 0: (0bの書き込みは無視) このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。 セット(1)する場合はHcInterruptEnableレジスタの該当ビットに1bを書き込みます。
30	OwnershipChangeDisable (OCD)	OCを割り込み要因から削除するための設定ビットです。 1: OCを割り込み要因として無効にする 0: (0bの書き込みは無視) このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。 本ビットに1bを書き込むことでクリア(0)できます。 セット(1)する場合はHcInterruptEnableレジスタの該当ビットに1bを書き込みます。
29-7	-	Reserved (必ず"0"を書き込んでください)
6	RootHubStatusChangeDisable (RHSCD)	RHSCを割り込み要因から削除するための設定ビットです。 1: RHSCを割り込み要因として無効にする 0: (0bの書き込みは無視) このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。 本ビットに1bを書き込むことでクリア(0)できます。 セット(1)する場合はHcInterruptEnableレジスタの該当ビットに1bを書き込みます。
5	FrameNumberOverflowDisable (FNOD)	FNOを割り込み要因から削除するための設定ビットです。 1: FNOを割り込み要因として無効にする 0: (0bの書き込みは無視) このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。 本ビットに1bを書き込むことでクリア(0)できます。 セット(1)する場合はHcInterruptEnableレジスタの該当ビットに1bを書き込みます。
4	UnrecoverableErrorDisable (UED)	UEを割り込み要因から削除するための設定ビットです。 0: UEを割り込み要因として無効にする 1: (0bの書き込みは無視) このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。 本ビットに1bを書き込むことでクリア(0)できます。 セット(1)する場合はHcInterruptEnableレジスタの該当ビットに1bを書き込みます。

ビット位置	ビット名	意味
3	ResumeDetected Disable (RDD)	RD を割り込み要因から削除するための設定ビットです。 0 : RD を割り込み要因として無効にする 1 : (0b の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 本ビットに 1b を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに 1b を書き込みます。
2	StartOfFrame Disable (SFD)	SF を割り込み要因から削除するための設定ビットです。 0 : SF を割り込み要因として無効にする 1 : (0b の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 本ビットに 1b を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに 1b を書き込みます。
1	WritebackDoneHead Disable (WDHD)	WDH を割り込み要因から削除するための設定ビットです。 0 : WDH を割り込み要因として無効にする 1 : (0b の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 本ビットに 1b を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに 1b を書き込みます。
0	Scheduling Overrun Disable (SOD)	SO を割り込み要因から削除するための設定ビットです。 0 : SO を割り込み要因として無効にする 1 : (0b の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 本ビットに 1b を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに 1b を書き込みます。

(7) HcHCCA Register (Offset 18H)

31	24 23	16 15	8 7	0
HcHCCA[31:8]				
R/W	R/W			
初期値	0 0			

ビット位置	ビット名	意味
31-8	HcHCCA[31:8]	Host Controller Communication Area として割り当てられた RAM の Base Address を設定するためのフィールドです。 初期化時に設定する必要があります。Host Controller は HCCA として本フィールドで指定する Base Address から 256Byte の領域を要求します。

(8) HcPeriodCurrentED Register (Offset 1CH)

31	24 23	16 15	8 7	4 3	0
PeriodCurrentED[31:4]					
R/W			R		
初期値 0					

ビット位置	ビット名	意味
31-4	PeriodCurrentED[31:4]	ピリオディック・リストの処理アドレスを示すフィールドです。 ひとつのピリオディック・リストの処理が終了すると Host Controller はこのフィールドのポインタを更新します。

(9) HcControlHeadED Register (Offset 20H)

31	24 23	16 15	8 7	4 3	0
ControlHeadED[31:4]					
R/W			R/W		
初期値 0					

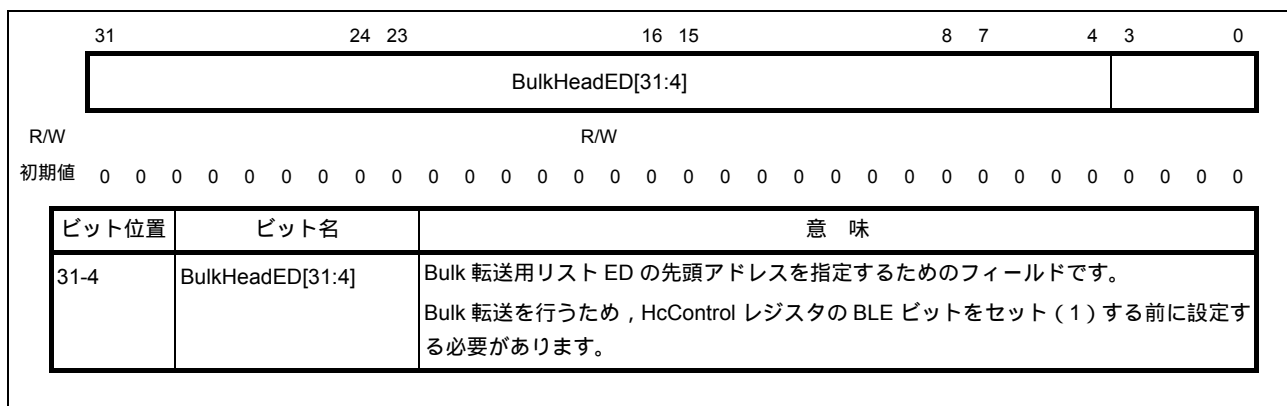
ビット位置	ビット名	意味
31-4	ControlHeadED [31:4]	Control 転送用リスト ED の先頭アドレスを指定するためのフィールドです。 Control 転送を行うため、HcControl レジスタの CLE ビットをセット (1) する前に設定する必要があります。

(10) HcControlCurrentED Register (Offset 24H)

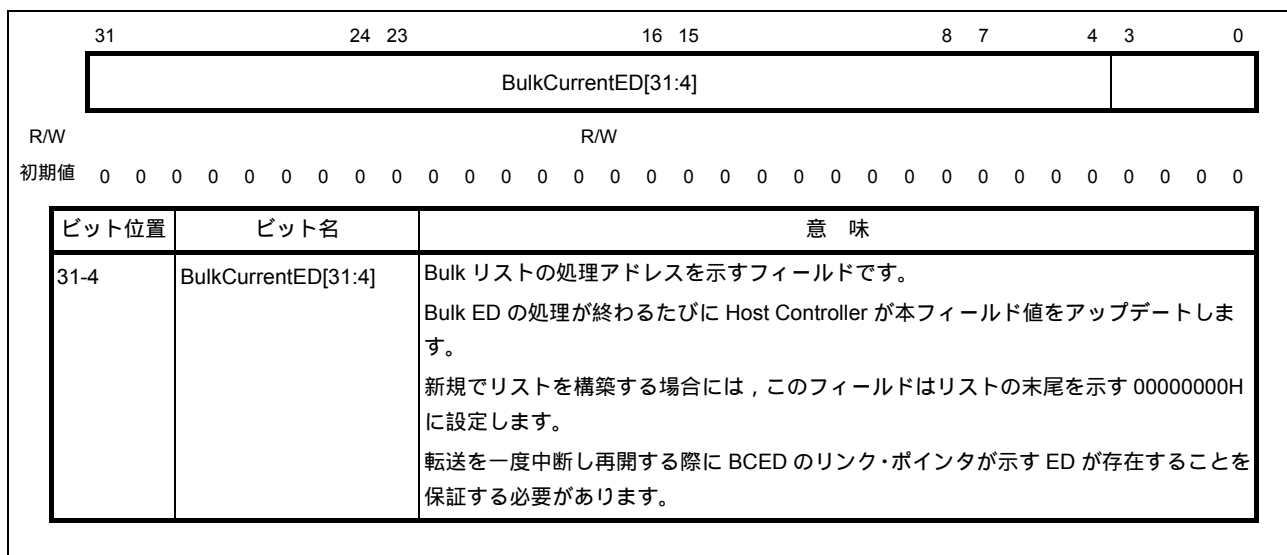
31	24 23	16 15	8 7	4 3	0
ControlCurrentED[31:4]					
R/W			R/W		
初期値 0					

ビット位置	ビット名	意味
31-4	ControlCurrentED[31:4]	Control リストの処理アドレスを示すフィールドです。 Control ED の処理が終わるたびに Host Controller が本フィールド値をアップデートします。新規でリストを構築する場合には、このフィールドはリストの末尾を示す 00000000H に設定します。 転送を一度中断し再開する際に CCED のリンク・ポインタが示す ED が存在することを保証する必要があります。

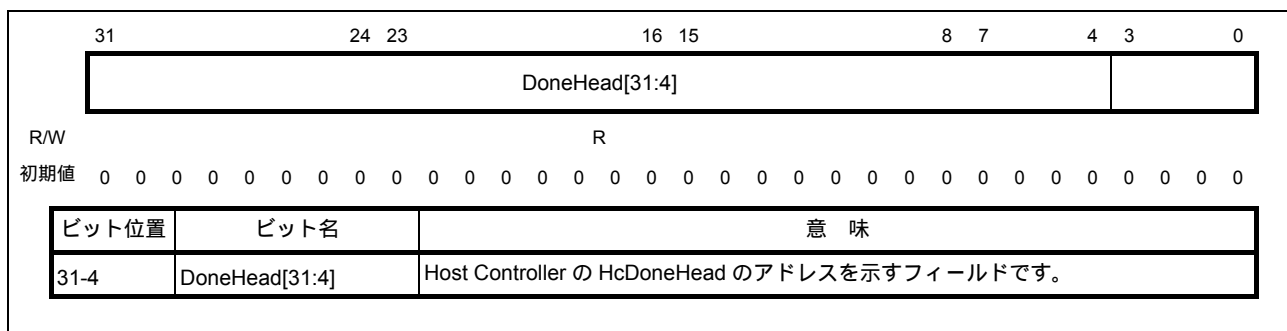
(11) HcBulkHeadED Register (Offset 28H)



(12) HcBulkCurrentED Register (Offset 2CH)



(13) HcDoneHead Register (Offset 30H)



(14) HcFmInterval Register (Offset 34H)

31	30	24	23	16	15	14	13	0	
FIT		FSMPS[14:0]						FI[13:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

ビット位置	ビット名	意味
31	FrameIntervalToggle (FIT)	本ビットはHCDとHC間のフレーム設定値の同期を取るために使用します。 HCDによりFIフィールドを書き込む際は本ビットをトグルさせてください。 HCはFIフィールドをロードするとき、HcFmRemainingレジスタのFRTビットにFITの値を反映します。 HCDはFIフィールドを書き込む際に設定したFITの値と、読み出したFRTの値を比較することで、新たに設定したFIフィールドが反映されたかを確認することができます。
30-16	FSLargestDataPacket (FSMPS)[14:0]	スケジュール・オーバランを起こさずに送受信できる最大のデータ量を設定するフィールドです。現在のフレーム位置と設定値を比較し、フレームのどこまでが転送開始可能かどうか判断します。システムバスの能力などにより異なるため、この値はドライバ(HCD)から設定します。
15, 14	-	Reserved (必ず"0"を書き込んでください)
13-0	FrameInterval(FI) [13:0]	本フィールドはFull-Speedにおいて、2つの連続するStartOfFrameの間隔をビット時間で設定するために使用します。 USB規格の1フレーム(=1ms)を満たすためこのフィールドの値は2EDFHに設定します。

(15) HcFmRemaining Register (Offset 38H)

31	30	14	13	0
FRT		FR[13:0]		
R/W	R	R	R	R
初期値	0	0	1	1

ビット位置	ビット名	意味
31	FrameRemainingToggle (FRT)	このビットはHCDとHC間のフレーム設定値の同期を取るために使用します。 HCはFRフィールドが0HとなりFIフィールド値を再ロードするときにFITビットの値をこのビットにコピーします。 HCDはFITとFRTの値を比較することによりFIフィールドへの設定値がFRへ設定されたことを確認することができます。
13-0	FrameRemaining(FR) [13:0]	本フィールドはフレームの現在の値を示します。 経過時刻と共に本フィールドの値はカウントダウンしていきます。 0Hとなるとフレームの値を再ロードするため、FIの値をこのフィールドにコピーし、再びカウントダウンします。

(16) HcFmNumber Register (Offset 3CH)

31	16 15	0
		FrameNumber[15:0]
R/W		R
初期値 0		
ビット位置	ビット名	意味
15-0	FrameNumber[15:0]	本フィールドは経過したフレーム数を示します。 FR フィールドが 0H となると、このフィールドはカウントアップします。

(17) HcPeriodicStart Register (Offset 40H)

31	14 13	0
		Periodic Start[13:0]
R/W		R/W
初期値 0		
ビット位置	ビット名	意味
31-14	-	Reserved (必ず"0"を書き込んでください)
13-0	PeriodicStart[13:0]	本フィールドフレームにおける Periodic リストと Async リストの転送割合を決定するために使用します。 Host Controller の初期化時に HCD によりこのフィールドの値を設定する必要があります。 設定した値よりも FmRemaining の値が大きいときは Periodic リストに対し NonPeriodic リストが優先されます。 この設定値は FmInterval の 10% 減程度に設定することが OHCI 規格で推奨されており、代表的な値は 3E67H です。

(18) HcLSThreshold Register (Offset 44H)

31	12 11	0
		HcLSThreshold[11:0]
R/W		R/W
初期値 0 1 1 0 0 0 1 0 1 0 0 0		
ビット位置	ビット名	意味
31-12	-	Reserved (必ず"0"を書き込んでください)
11-0	HcLSThreshold[11:0]	本フィールドは LS 転送時フレームの残り時間に対して転送が可能かのスレッショールド値の作成に用いられます。 FmRemaining の値がこの設定値よりも大きい場合には、LS の転送を開始することができます。

(19) HcRhDescriptorA Register (Offset 48H)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																			
POTPGT[7:0]																								NOCP	OCPM	DT	NPS	PSM	NDP[7:0]						
R/W																								R/W	R/W	R	R/W	R/W	R						
初期値 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 1 0 0 1 0 0 0 0 0 0 1 0																																			

ビット位置	ビット名	意味
31-24	PowerOnToPowerGoodTime (POTPGT)[7:0]	パワーオンされたルート・ハブに対し Host Controller ドライバがアクセスする前に待機する時間を規定するビットです。待機時間は POTPGT × 2 ms となります。
23-13	-	Reserved (必ず"0"を書き込んでください)
12	NoOverCurrentProtection (NOCP)	ルート・ハブの過電流保護機能をサポートするかを規定するビットです。 1: 過電流保護機能をサポートしない 0: 過電流保護機能をサポートする
11	OverCurrentProtectionMode (OCPM)	ルート・ハブの過電流状態をどのように報告するかを規定するビットです。このビットは PowerSwitchingMode と同じモードを反映している必要があります。 1: 過電流状態はポート単位で報告される 0: すべてのポートは同時に過電流報告される このビットは NoOverCurrentPrtection がクリア (0) されている場合のみ有効となります。
10	DeviceType (DT)	ルート・ハブが複合デバイスでないことを示します。 ルート・ハブは複合デバイスであることを認められていないため、このフィールドは常に 0b を読み出します。
9	NoPowerSwitching (NPS)	パワー・スイッチがサポートされているか、もしくはポートは常時パワーオンかを規定するために使用されるビットです。 1: Host Controller が動作中は常にパワーオンされる 0: ポートはパワー・スイッチされる
8	PowerSwitchingMode (PSM)	ルート・ハブのポート・パワー・スイッチをどのように制御するかを規定するためのビットです。 1: ポートは個別に電源制御される 0: すべてのポートは同時に電源制御される PortPowerControlMask ビットがセット (1) されていたらポートは Set/ClearPortPower だけに応答します。クリア (0) されている場合は Set/ClearGlobalPower によって制御されます。このビットは NoPowerSwitiong がクリア (0) されている場合のみ有効となります。
7-0	NumberDownstreamPort (NDP)[7:0]	HostController のルート・ハブによりサポートされるダウンストリーム・ポート数を規定するフィールドです。 本 HostController は 2 つのダウンストリーム・ポートを配備しているため 02H 固定です。

(20) HcRhDescriptorB Register (Offset 4CH)

31	16 15	0
PPCM[15:0]		DR[15:0]
R/W	R/W	R/W
初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0

ビット位置	ビット名	意味										
31-16	PortPowerControlMask (PPCM)[15:0]	<p>ポートが Set/Clear GlobalPower によって制御されるかを示すビットです。 PowerSwitchingMode がセット (1) されているときに有効となります。</p> <p>・ Field</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-bottom: 10px;"> <thead> <tr> <th style="width: 15%;">ビット</th> <th style="width: 85%;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>Reserved</td> </tr> <tr> <td style="text-align: center;">1</td> <td>ポート 1 に接続されているデバイスの設定</td> </tr> <tr> <td style="text-align: center;">2</td> <td>ポート 2 に接続されているデバイスの設定</td> </tr> <tr> <td style="text-align: center;">15-3</td> <td>Reserved</td> </tr> </tbody> </table> <p>・ Value</p> <p>1 : ポートは Set/ClearPortPower によってのみ作用される 0 : ポートは Set/ClearGlobalPower によって制御される</p>	ビット	説明	0	Reserved	1	ポート 1 に接続されているデバイスの設定	2	ポート 2 に接続されているデバイスの設定	15-3	Reserved
ビット	説明											
0	Reserved											
1	ポート 1 に接続されているデバイスの設定											
2	ポート 2 に接続されているデバイスの設定											
15-3	Reserved											
15-0	DeviceRemovable (DR)[15:0]	<p>HostController のポートがリムーバブルであることを示すビットです。</p> <p>・ Field</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-bottom: 10px;"> <thead> <tr> <th style="width: 15%;">ビット</th> <th style="width: 85%;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>Reserved</td> </tr> <tr> <td style="text-align: center;">1</td> <td>ポート 1 に接続されているデバイスの設定</td> </tr> <tr> <td style="text-align: center;">2</td> <td>ポート 2 に接続されているデバイスの設定</td> </tr> <tr> <td style="text-align: center;">15-3</td> <td>Reserved</td> </tr> </tbody> </table> <p>・ Value</p> <p>1 : 接続されているデバイスはリムーバブルでない 0 : 接続されているデバイスはリムーバブル</p>	ビット	説明	0	Reserved	1	ポート 1 に接続されているデバイスの設定	2	ポート 2 に接続されているデバイスの設定	15-3	Reserved
ビット	説明											
0	Reserved											
1	ポート 1 に接続されているデバイスの設定											
2	ポート 2 に接続されているデバイスの設定											
15-3	Reserved											

(21) HcRhStatus Register (Offset 50H)

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Read																																		
Write																																		
R/W		W																																
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	R/W	ビット名	意味
31	-	ClearRemote WakeupEnable (CRWE)	Device Remote Wakeup Enable をクリア (0) するためのビットです。 このビットをセット (1) すると Device Remote Wakeup Enable をクリア (0) することができます。0b の書き込みは影響しません。 本フィールドを読み出すと常に 0b が出力されます。
30-18	-	-	Reserved (必ず"0"を書き込んでください)
17	-	OverCurrent IndicateChange (OCIC)	ビット 1 の OCI フィールドに変化があったことを通知するためのビットです。OCI に変化があった場合にセット (1) されます。このビットがセット (1) されているときに 1b を書き込むとこのビットをクリア (0) することができます。 1 : OverCurrent 状態に変化があった 0 : OverCurrent 状態に変化はない
16	R	Local Power StatusChange(LPSC)	LocalPowerStatus をサポートしていないため、このビットは常に 0b として読み出されます。
	W	SetGlobalPower (SGP)	グローバル・パワー・モード時にすべてのポートのパワーをオンするためのビットです。このビットをセット (1) するとすべてのポートがパワーオンします。 ポートごとのパワー・モードにおいては PortPowerControlMask ビットがクリア (0) されているポートだけポート・パワーをオンします。
15	R	DeviceRemote WakeupEnable (DRWE)	RemoteWakeUp イベントとして ConnectStatusChange を含むかどうかを示すビットです。 1 : Connect Status Change は Remote Wakeup 要因 0 : Connect Status Change は Remote Wakeup 要因でない このビットがセット (1) されている場合に ConnectStatusChange イベントが発生した場合 USB Suspend から USB Resume ステートへの遷移を起こし ResumeDetect 割り込みを発生させます。
	W	SetRemote WakeupEnable (SRWE)	DRWE をセット (1) するためのビットです。 このビットをセット (1) すると DeviceRemoteWakeupEnable をセット (1) することができます。0b の書き込みでは何も影響しません。
14-2	-	-	Reserved (必ず"0"を書き込んでください)
1	-	OverCurrent Indicator (OCI)	グローバル過電流検出モードにおいて、過電流状態を報告するビットです。 1 : ポートは過電流状態 0 : ポート状態は正常 ポート単位の過電流報告時には、このビットは 0b 固定となります。
0	R	LocalPowerStatus (LPS)	LocalPowerStatus をサポートしていないため、このビットは常に 0b として読み出されます。
	W	ClearGlobalPower (CGP)	グローバル・パワー・モード時にすべてのポートのパワーをオフするためのビットです。このビットをセット (1) するとすべてのポートがパワーオフします。 ポートごとのパワー・モードにおいては PortPowerControlMask ビットがクリア (0) されているポートだけのポート・パワーをオフします。

(22) HcRhPortStatus1/2 Register (Offset 54H / 58H)

(1/3)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
Read																																											
Write												PRSC	OCIC	PSSC	PESC	CSC								CPP	LSDA	SPP	PPS					SPR	PRS	CSS	POCI	SPS	PSS	SPE	PES	CPE	CSC		
R/W	R											R/W	R/W	R/W	R/W	R/W								R/W	R/W							R/W	R/W	R/W	R/W	R/W	R/W						
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット位置	R/W	ビット名	意味
31-21	-	-	Reserved (必ず"0"を書き込んでください)
20	-	Port Reset Status Change (PRSC)	ポート・リセットが完了したことを示すビットです。 1: ポート・リセットが完了した 0: Port Reset Status に変化はない 10 ms のハードウェア・リセットが終了した場合にセット (1) されます。 ドライバにより 1b がセットされるとこのビットはクリア (0) されます。
19	-	Over Current Indicate Change (OCIC)	ポートの過電流状態を検出した場合にセット (1) されるビットです。 1: OverCurrent 状態に変化があった 0: OverCurrent 状態に変化はない ドライバ (HCD) により 1b がセットされるとこのビットはクリア (0) されます。
18	-	Port Suspend Status Change (PSSC)	RESUME シーケンスが終了したことを示すビットです。 1: RESUME が完了した 0: Port Suspend Status に変化はない ハードウェアによるすべての RESUME 処理が終了した場合にセット (1) されます。 ドライバ (HCD) により 1b がセットされるとこのビットはクリア (0) されます。
17	-	Port Enable Status Change (PESC)	PES ビットがクリア (0) されたことを示すビットです。 1: PES に変化があった (PES クリア) 0: PES に変化はない 過電流状態・ディスコネク・パワーオフ・パブル・エラーなどハードウェア・イベントによりポートが Enable から Disable に変化した場合に、PES がクリア (0) されるため、これに連動してセット (1) されるビットです。ドライバ (HCD) により 1b がセットされるとこのビットはクリア (0) されます。
16	-	Connect Status Change (CSC)	CCS が変化したことを示すビットです。 1: Current Connect Status に変化があった 0: Current Connect Status に変化はない CCS がコネク・ディスコネクにより変化するときにこのビットをセット (1) します。 またディスコネク中にポート・リセット、ポート・サスペンド、ポート・イネーブルの要求があった場合もドライバにデバイス接続確認の再評価を行わせるために本ビットをセット (1) します。 ドライバ (HCD) により 1b がセットされるとこのビットはクリア (0) されます。
15-10	-	-	Reserved (必ず"0"を書き込んでください)

ビット位置	R/W	ビット名	意味
9	R	Low Speed Device Attached (LSDA)	ポートに接続されたデバイス・スピードを示すビットです。 1: Low-Speed デバイスが接続 0: Full-Speed デバイスが接続 このステータス・ビットは CCS がセットされているときのみ有効となります。
	W	Clear Port Power (CPP)	ポート・パワーをオフするためのビットです。 1b を書き込むとポートをオフします。0b の書き込みは影響しません。
8	R	Port Power Status (PPS)	ポートの電源ステータスを反映するビットです。 1: ポート・パワーオン 0: ポート・パワーオフ パワー・スイッチのタイムにより制御方法が異なります。
	W	Set Port Power (SPP)	ポートごとのパワー制御が行われている場合にポート・パワーをオンにするビットです。1b を書き込むとポートをオンします。0b の書き込みは影響しません。
7-5	-	-	Reserved (必ず"0"を書き込んでください)
4	R	Port Reset Status (PRS)	ダウストリーム・ポートに対し Reset 発行中であることを示すビットです。 1: ポート・リセット中 0: ポート・リセット中でない 10 ms のポート・リセットが完了すると PRSC のセットと共にクリア (0) されます。CSC がクリア (0) されているデバイス未接続状態ではセットすることはできません。
	W	Set Port Reset (SPR)	ダウストリーム・ポートに対しポート・リセットを発行するためのビットです。このビットに 1b を書き込むと 10 ms のポート・リセットが起動します。CCS がクリア (0) されているときにこのビットへの書き込みを行うと CSC をセットしドライバにディスコネクト・ポートをリセットしようとしたことを通知します。0b の書き込みは影響しません。
3	R	Port Over Current Indicator (POCI)	ダウストリーム・ポートが過電流状態となったことを示すビットです。 1: ポートは過電流状態 0: ポートは通常状態
	W	Clear Port Suspend (CPS)	Suspend を終了させ Resume シーケンスを起動させるためのビットです。 1b を書き込むと Resume シーケンスを起動します。0b の書き込みは影響しません。PSS がセットされているときのみ Resume が起動します。
2	R	Port Suspend Status (PSS)	Port 状態が Suspend が Resume シーケンス中であることを示すビットです。 1: ポートは Suspend 中 0: ポートは通常転送状態 ポート状態は CCS ビットがクリア (0) されているデバイス未接続状態ではセットすることができません。 ポートは SPS ビットの書き込みでセットされます。Resume の終わり・PortReset の終わり・USB RESUME ステートに移行した場合にはクリア (0) されます。
	W	Set Port Suspend (SPS)	Port 状態を Suspend に遷移させるためのビットです。 1b を書き込むとポートを Suspend へ移行します。0b の書き込みは影響しません。このビットに 1b を書き込むと Port は Suspend に遷移します。CCS がクリア (0) されているときにこのビットへの書き込みを行うと CSC をセットしドライバにディスコネクト・ポートをサスペンドしようとしたことを通知します

ビット位置	R/W	ビット名	意味
1	R	Port Enable Status (PES)	Port 状態が Enable か Disable かを示すビットです。 1 : ポート状態は Enable 0 : ポート状態は Disable CCS ビットがクリア (0) されているデバイス未接続状態ではセットすることができません。 ポート状態はポート・リセットの終了時に Enable 状態へ遷移します。 過電流状態・ディスコネクト・パワーオフ・パブル・エラーなどを検出すると、自動的に H/W によりクリア (0) されます。
	W	Set Port Enable (SPE)	PES ビットをセット (1) するためのビットです。 0b の書き込みは影響しません。 ポート状態の遷移は PortReset にて行ってください。OHCI 規格では SetPortEnable ビットによる Port の Enable への遷移をサポートしておりますが、USB 規格ではサポートしていないため本 Host Controller においても対応しておりません。
0	R	Current Connect Status (CCS)	ダウンストリーム・ポートの現在の接続ステータスを反映するビットです。 1 : デバイスが接続されている 0 : デバイスが接続されていない
	W	Clear Port Enable (CPE)	PES ビットをクリア (0) するためのビットです。 1b を書き込むとポートを Disable へ移行します。0b の書き込みは影響しません。

2.3.4 USB ホスト・コントローラからの割り込み

USB ホスト・コントローラでは、OHCI ホスト・コントローラからの割り込みを統合し、2本の割り込みとしてシステムへ通知します。

表 2 - 6 USB ホスト・コントローラからの割り込み

システムへの割り込み通知信号	OHCI ホスト・コントローラが発生する割り込み通知信号
INTUSBH0	INTA または SMMI または PME
INTUSBH1	PME

各割り込み内容については下記のとおりです。

(1) INTA 割り込み・SMMI 割り込み

(a) 割り込み通知経路

OHCI ホスト・コントローラは、OHCI Operational レジスタの HcContorl レジスタの IR ビット設定に従い、INTA または SMMI 割り込みをシステムに通知します。HcContorl レジスタ IR ビットの初期設定により、リセット直後は INTA 割り込みが、通知経路として選択されています。

INTA と SMMI は、OwnershipChange を除き、割り込みの発生要因に違いはありません。

表 2 - 7 INTA・SMMI 割り込み通知経路

HcControl レジスタ IR ビット	割り込み通知信号
0	INTA (初期値)
1	SMMI

また、INTA、SMMI 割り込みを使用するためには PCI ホスト・ブリッジ・レジスタで PCI Interrupt Control Register の inta_en, int_smmi_en ビットをセット (1) しておく必要があります。

(b) 割り込み要因

OpenHCI 規格で定義されている割り込みをサポートしています。

システムに通知する割り込み要因は HcInterruptEnable レジスタに設定し、IR ビットにて決定された割り込み経路に通知されます。

次に割り込み要因を示します。

表 2 - 8 INTA・SMMI 割り込み要因

割り込み要因	内容										
Scheduling Overrun	フレームにおける USB スケジュールがオーバーランしたことを示す割り込み										
Writeback DoneHead	HostController が TD を終了し Writeback が発生したことを示す割り込み										
Start Of Frame	フレームの開始時点で HccaFmNumber が更新されたことを示す割り込み										
Resume Detected	USB 上のデバイスからのレジューム信号を検出したことを示す割り込み										
Unrecoverable Error	USB と関係ないエラー（PCI のアボート）を検出したことを示す割り込み										
Frame Number Overflow	HcFmNumber の bit15 が 0 から 1 または 1 から 0 に変化したことを示す割り込み										
Root Hub Status Change	HcRhStatus/HcRhPortStatus の内容が変化したことを示す割り込み 下記の詳細イベントに分類されます <table border="1" style="margin-left: 40px;"> <tbody> <tr> <td>OverCurrentIndicateChange</td> <td>過電流状態が発生したことを示す。</td> </tr> <tr> <td>Connect Status Change</td> <td>USB バスに接続・切断が発生したことを示す</td> </tr> <tr> <td>Port EnableStatusChange</td> <td>USB のエラーにより Port が Disable に遷移したことを示す</td> </tr> <tr> <td>Port Suspend Status Change</td> <td>Resume シーケンスが完了したことを示す</td> </tr> <tr> <td>Port Reset Status Change</td> <td>USB Reset が完了したことを示す</td> </tr> </tbody> </table>	OverCurrentIndicateChange	過電流状態が発生したことを示す。	Connect Status Change	USB バスに接続・切断が発生したことを示す	Port EnableStatusChange	USB のエラーにより Port が Disable に遷移したことを示す	Port Suspend Status Change	Resume シーケンスが完了したことを示す	Port Reset Status Change	USB Reset が完了したことを示す
OverCurrentIndicateChange	過電流状態が発生したことを示す。										
Connect Status Change	USB バスに接続・切断が発生したことを示す										
Port EnableStatusChange	USB のエラーにより Port が Disable に遷移したことを示す										
Port Suspend Status Change	Resume シーケンスが完了したことを示す										
Port Reset Status Change	USB Reset が完了したことを示す										
Ownership Change	Ownership Request が発生したことを示す割り込み SMMI にのみ通知されます										

(2) PME 割り込み

PME 割り込みはパワー・マネージメント用の割り込み信号であり、USB バスの変化を PCLK がない状態でシステムに通知するための割り込み信号です。

USB バスに発生するイベントと割り込みサポートの可否は次のとおりです。

表 2 - 9 PME 割り込み要因

イベント	割り込み発生可否
Over Current Indicate	発生しない
Connect	発生する
Disconnect	発生する
Resume (RemoteWakeUp)	発生する

PME 割り込みを使用するためには、PCI コンフィギュレーション・レジスタで、Power_Management_Control / Status レジスタの PME Enable ビットと、PCI ホスト・ブリッジ・レジスタで、PCI Interrupt Control Register の int_pme_en ビットをセット (1) しておく必要があります。

第3章 USB ファンクション・コントローラ

3.1 概要

USB ファンクション・コントローラ (USBFC) は、トークン・ベースのプロトコルにより、外部ホスト・デバイスとの間でポーリング方式のデータ通信を行います。

Universal Serial Bus Specification に準拠し、下記の特徴を持っています。

12 Mbps (フル・スピード) 転送に対応

1ch アップストリーム・ポートを搭載

下記の転送用エンドポイントを内蔵

表 3 - 1 USB ファンクション・コントローラ エンドポイント構成

エンドポイント名	FIFO サイズ (バイト)	転送タイプ	備考
EP0	64	Control Read/Write	
EP1	64 × 2	Bulk In	ダブル・バッファ構成
EP2	64 × 2	Bulk Out	ダブル・バッファ構成
EP7	8	Interrupt	

Bulk In/Bulk Out は DMA 転送 (2 サイクル・シングル転送モード) 可能

3.2 CPU メモリ空間

CPU メモリ空間は、下記のように分割して使用します。領域表記のない分割の間隔のアドレスにはアクセスしないでください。

表 3 - 2 CPU メモリ空間の分割

Base Address	Offset Address	領域
CSZ5 で選択されるアドレス	4000H-47FFH	EPC Register 領域
	4800H-480FH	Bridge Register 領域
	4900H-491FH	DMA Register 領域
	4A00H	Bulk IN Register 領域
	4B00H	Bulk OUT Register 領域
	4810H-48FFH, 4920H-49FFH, 4A01H-4AFFH, 4B01H-7FFFH	Reserved (アクセス禁止)

3.3 リクエスト

USB には、ホスト・デバイスからの要求をファンクション・デバイスに伝え、応答処理させるための、リクエストと呼ばれるコマンドがあります。

リクエストは、コントロール転送の SETUP ステージにて受信され、一部のリクエストを除いて、USB ファンクション・コントローラ (USB F) のハードウェアにて自動処理することができます。

3.3.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表 3 - 3 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表 3 - 4 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H	00H 80H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	\$\$H	00H	02H	STALL	STALL	ACK NAK	
CLEAR_FEATURE Device ^{注2}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^{注2}	02H	01H	00H	00H	00H	00H	00H 80H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^{注2}	02H	01H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^{注3}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^{注3}	02H	03H	00H	00H	00H	00H	00H 80H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^{注3}	02H	03H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^{注4}	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

注 1. wLength 値が準備している値未満の場合 ,wLength 値までを返信し ,wLength 値が準備している値以上の場合 ,
準備している値までを返信します。

2. CLEAR_FEATURE リクエストは ,ステータス・ステージで ACK を受信した場合に UF0 デバイス・ステータス・
レジスタ L (UF0DSTL) ,UF0 EPn ステータス・レジスタ L (UF0EnSL) (n = 0-2, 7) をクリア (0) します。

- 注 3. SET_FEATURE リクエストは、ステータス・ステージで ACK を受信した場合に UF0 デバイス・ステータス・レジスタ L (UF0DSTL), UF0 EPn ステータス・レジスタ L (UF0EnSL) (n = 0-2, 7) をセット (1) します。また、UF0E0SL レジスタの E0HALT ビットを設定した場合は、CLEAR_FEATURE Endpoint0 リクエストを受信するまで、GET_STATUS Endpoint0 リクエスト、SET_FEATURE Endpoint0 リクエスト、CPUDEC 割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージで STALL 応答します。なお、サポートしていないリクエストについての STALL 応答では、UF0E0SL レジスタの E0HALT ビットはセット (1) されず、次の SETUP トークンを受信した時点で STALL 応答はクリア (0) されます。
4. wValue 値が規定外の場合、自動 STALL 応答します。

- 注意 1. 次に示す条件では、Universal Serial Bus Specification で規定されているコントロール転送のシーケンスを満足しません。この場合の動作は保証できません。
- ・ SETUP ステージなしに IN/OUT トークンを受信する場合
 - ・ SETUP ステージのデータ・フェーズで DATA PID1 を送ってくる場合
 - ・ アドレス 128 以上のトークンを受信する場合
 - ・ SETUP ステージで送信されるリクエスト・データが 8 バイト未満の場合
2. ステータス・ステージにおいて、ホストが Null パケット以外のデータを送信してきた場合でも、ACK 応答します。
3. ファームウェア処理のコントロール転送 (リード) では、wLength 値が 00H であった場合、コントロール転送 (データなし) として Null パケットを自動送出します。ファームウェア・リクエストの場合は、Null パケットを自動送出しません。

- 備考 1. : データ・ステージあり
x : データ・ステージなし
2. Df : Default ステート, Ad : Addressed ステート, Cf : Configured ステート
3. n = 0-4
Interface 番号 1-4 のリクエストに対して正常応答するか、または STALL 応答するかは、UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN) の設定により、対象の Interface 番号が有効かどうかで決定します。
4. \$\$: 転送方向を含んだ有効な Endpoint 番号
有効な Endpoint は現在設定されている Alternate Setting 番号により決定します (3.4.4 (36) UF0 アクティブ・オルタネート・セッティング・レジスタ (UF0AAS), (38) UF0 エンドポイント 1 インタフェース・マッピング・レジスタ (UF0E1IM) ~ (40) UF0 エンドポイント 7 インタフェース・マッピング・レジスタ (UF0E7IM) 参照)。
5. ? と # : ホストから送信される値 (? : Interface 番号, # : Alternate Setting)
各 Interface 番号に対応した Alternate Setting のリクエストに対して正常応答するか、STALL 応答するかは、UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN) と UF0 アクティブ・オルタネート・セッティング・レジスタ (UF0AAS) により、対象の Interface 番号と対象の Alternate Setting が有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストの Default ステート , Addressed ステート , Configured ステートでの処理内容を示します。

- ・ Default ステート : Default address で動作する状態
- ・ Addressed ステート : アドレスが割り当てられたあとの状態
- ・ Configured ステート : SET_CONFIGURATION wValue = 1 を正常受信したあとの状態

(a) CLEAR_FEATURE リクエスト

CLEAR_FEATURE リクエストが , クリア(0)できない , 存在しない FEATURE である , 対象が Interface か , または存在しない Endpoint の場合には , ステータス・ステージで STALL 応答します。また , wLength 値が 0 以外の場合も STALL 応答します。

- ・ Default ステート : CLEAR_FEATURE リクエストを受信したとき , 対象がデバイスか , または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- ・ Addressed ステート : CLEAR_FEATURE リクエストを受信したとき , 対象がデバイスか , または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- ・ Configured ステート : CLEAR_FEATURE リクエストを受信したとき , 対象がデバイスか , または存在する Endpoint に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。

CLEAR_FEATURE リクエストを正常処理した場合には , UF0 CLR リクエスト・レジスタ (UF0CLR) の対象ビットがセット (1) され , UF0 EPn ステータス・レジスタ L (UF0EnSL) の EnHALT ビットがクリア(0)され , 割り込みが発行されます (n = 0-2, 7)。なお , 対象が Endpoint のとき , CLEAR_FEATURE リクエストを受信した場合には , 対象 Endpoint のトグル・ビット (DATA0/DATA1 の切り替え制御) は必ず DATA0 に再設定されます。

(b) GET_CONFIGURATION リクエスト

wValue , wIndex , wLength のいずれかが表 3 - 4 リクエスト・デコード対応表に記載以外のもの場合は , データ・ステージで STALL 応答します。

- ・ Default ステート : GET_CONFIGURATION リクエストを受信したとき , UF0 コンフィギュレーション・レジスタ (UF0CNF) に格納されている値を返信します。
- ・ Addressed ステート : GET_CONFIGURATION リクエストを受信したとき , UF0CNF レジスタに格納されている値を返信します。
- ・ Configured ステート : GET_CONFIGURATION リクエストを受信したとき , UF0CNF レジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR リクエスト

対象ディスクリプタが `wMaxPacketSize` の倍数の長さを持つ場合には、データ・ステージの終わりを示すために Null パケットを送り返します。そのとき、対象ディスクリプタの長さが `wLength` 値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さが `wLength` 値以上の場合、`wLength` 値まで返信します。

- ・ Default ステート： GET_DESCRIPTOR リクエストを受信したとき、UF0 デバイス・ディスクリプタ・レジスタ n (UF0DDn)、UF0 コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ m (UF0CIEm) に格納されている値を返信します ($n = 0-17, m = 0-255$)。
- ・ Addressed ステート： GET_DESCRIPTOR リクエストを受信したとき、UF0DDn レジスタ、UF0CIEm レジスタに格納されている値を返信します。
- ・ Configured ステート： GET_DESCRIPTOR リクエストを受信したとき、UF0DDn レジスタ、UF0CIEm レジスタに格納されている値を返信します。

UF0CIEm レジスタに格納できるディスクリプタは、総数 256 バイトまでです。256 バイト以上のディスクリプタを返信する場合には、UF0MODC レジスタの CDCGDST ビットをセット (1) して、ファームウェアにより GET_DESCRIPTOR リクエストを処理してください。

UF0CIEm レジスタで設定した全ディスクリプタのバイト数 - 1 の値を UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL) に格納してください。このデータ + 1 の値と `wLength` により転送データを制御します。

(d) GET_INTERFACE リクエスト

`wValue`、`wLength` のいずれかが表 3 - 4 リクエスト・デコード対応表に記載以外のもの場合、または `wIndex` が UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN) の設定以外の場合、データ・ステージで STALL 応答します。

- ・ Default ステート： GET_INTERFACE リクエストを受信したとき、データ・ステージで STALL 応答します。
- ・ Addressed ステート： GET_INTERFACE リクエストを受信したとき、データ・ステージで STALL 応答します。
- ・ Configured ステート： GET_INTERFACE リクエストを受信したとき、`wIndex` 値に対応した UF0 インタフェース n レジスタ (UF0IFn) に格納されている値を返信します ($n = 0-4$)。

(e) GET_STATUS リクエスト

wValue, wIndex, wLength のいずれかが表 3 - 4 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージで STALL 応答します。また、対象が Interface か、または存在しない Endpoint の場合は、データ・ステージで STALL 応答します。

- ・ Default ステート : GET_STATUS リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージで STALL 応答します。
- ・ Addressed ステート : GET_STATUS リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージで STALL 応答します。
- ・ Configured ステート : GET_STATUS リクエストを受信したとき、対象がデバイスか、または存在する Endpoint に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージで STALL 応答します。

注 対象ステータス・レジスタを次に示します。

- ・ 対象がデバイスの場合 : UF0 デバイス・ステータス・レジスタ L (UF0DSTL)
- ・ 対象が Endpoint0 の場合 : UF0 EP0 ステータス・レジスタ L (UF0E0SL)
- ・ 対象が Endpoint n の場合 : UF0 EPn ステータス・レジスタ L (UF0EnSL) (n = 1, 2, 7)

(f) SET_ADDRESS リクエスト

wIndex, wLength のいずれかが表 3 - 4 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージで STALL 応答します。指定されたデバイス・アドレスが 127 より大きい場合は、STALL 応答になります。

- ・ Default ステート : SET_ADDRESS リクエストを受信したとき、指定されたアドレスが 0 以外の場合には、デバイスは Addressed ステートに入り、SIE へ入力する USB Address 値を指定のアドレス値に変更します。指定されたアドレスが 0 の場合には、Default ステートのままです。
- ・ Addressed ステート : SET_ADDRESS リクエストを受信したとき、指定されたアドレスが 0 の場合には、デバイスは Default ステートに入り、SIE へ入力する USB Address 値をデフォルト・アドレスに戻します。指定されたアドレスが 0 以外の場合には、Addressed ステートのままで、SIE へ入力する USB Address 値を指定の新しいアドレス値に変更します。
- ・ Configured ステート : SET_ADDRESS リクエストを受信したとき、指定されたアドレスが 0 の場合には、デバイスは Configured ステートのままで、SIE へ入力する USB Address 値をデフォルト・アドレスに戻します。この場合、Endpoint0 以外の Endpoint も有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0 以外の Endpoint に対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが 0 以外の場合には、Configured ステートのままで、SIE へ入力する USB Address 値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION リクエスト

wValue, wIndex, wLength のいずれかが表 3-4 リクエスト・デコード対応表に記載以外のもの場合は, ステータス・ステージで STALL 応答します。

- ・ Default ステート : SET_CONFIGURATION リクエストを受信したとき, 指定されたコンフィギュレーション値が 1 の場合には, UF0 モード・ステータス・レジスタ (UF0MODS) の CONF ビットがセット (1) され, UF0 コンフィギュレーション・レジスタ (UF0CNF) に 1 が設定されます。指定されたコンフィギュレーション値が 0 の場合には, UF0MODS レジスタの CONF ビットがクリア (0) され, UF0CNF レジスタに 0 が設定されます。つまり, Addressed ステートをスキップして, Default address に応答する Configured ステートに移行します。
- ・ Addressed ステート : SET_CONFIGURATION リクエストを受信したとき, 指定されたコンフィギュレーション値が 1 の場合には, UF0MODS レジスタの CONF ビットがセット (1), UF0CNF レジスタに 1 が設定され, Configured ステートに入ります。指定されたコンフィギュレーション値が 0 の場合には, Addressed ステートのままです。
- ・ Configured ステート : SET_CONFIGURATION リクエストを受信したとき, 指定されたコンフィギュレーション値が 0 の場合には, UF0MODS レジスタの CONF ビットがクリア (0) され, UF0CNF レジスタに 0 が設定されて, Addressed ステートに戻ります。指定されたコンフィギュレーション値が 1 の場合には, Configured ステートのままです。

SET_CONFIGURATION リクエストを正常処理した場合には, UF0 SET リクエスト・レジスタ (UF0SET) の対象ビットがセット (1) され, 割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも, すべての Halt Feature は SET_CONFIGURATION リクエストを完了したあとにクリア (0) されます。また, SET_CONFIGURATION リクエストを正常処理した場合には, 必ずすべての Endpoint のデータ・トグルは DATA0 に再び初期化されます (SET_CONFIGURATION リクエストの受信から SET_INTERFACE リクエストを受信するまではデフォルト状態である Alternate Setting 0 に設定されているものと定義しています)。

(h) SET_FEATURE リクエスト

対象が Interface または存在しない Endpoint である場合には、ステータス・ステージで STALL 応答します。また、wLength 値が 0 以外の場合も STALL 応答します。

- ・ Default ステート： SET_FEATURE リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- ・ Addressed ステート： SET_FEATURE リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- ・ Configured ステート： SET_FEATURE リクエストを受信したとき、対象がデバイスか、または存在する Endpoint に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。

SET_FEATURE リクエストを正常処理した場合には、UF0 SET リクエスト・レジスタ (UF0SET) の対象ビットや UF0 EPn ステータス・レジスタ L (UF0EnSL) の EnHALT ビットがセット (1) され、割り込みが発行されます (n = 0-2, 7)。

(i) SET_INTERFACE リクエスト

wLength が表 3 - 4 リクエスト・デコード対応表に記載以外のもの場合、wIndex が UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN) の設定以外の場合、wValue が UF0 アクティブ・オルタネート・セッティング・レジスタ (UF0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージで STALL 応答します。

- ・ Default ステート： SET_INTERFACE リクエストを受信したとき、ステータス・ステージで STALL 応答します。
- ・ Addressed ステート： SET_INTERFACE リクエストを受信したとき、ステータス・ステージで STALL 応答します。
- ・ Configured ステート： SET_INTERFACE リクエストを受信したとき、ステータス・ステージで Null パケットを送信します。

SET_INTERFACE リクエストを正常処理した場合には、割り込みが発行されませんが、UF0 INT ステータス 4 レジスタ (UF0IS4) の SETINT ビットがセット (1) されますので、これを監視してください。

対象 Interface にリンクされた Endpoint のすべての Halt Feature は、SET_INTERFACE リクエストを完了したあとにクリア (0) されます。対象 Interface 番号に関連するすべての Endpoint のデータ・トグルは、必ず DATA0 に再び初期化されます。また、SET_INTERFACE リクエストを正常処理して、現在選択されている Alternate Setting と異なる設定に変更する場合には、影響を受ける Endpoint の FIFO は完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE リクエスト完了時、対象 Interface にリンクされたすべての Endpoint の FIFO がクリアされます。また、同時に Halt Feature、Data PID が初期化され、関連する UF0 INT ステータス n レジスタ (UF0ISn) がクリア (0) されます (n = 0-4)。SET_CONFIGURATION リクエスト完了時には、Halt Feature のクリア (0) と Data PID の初期化のみです。

DMA 転送中に SET_INTERFACE リクエストにより、対象 Endpoint がサポートされなくなった場合は、DMA リクエスト信号はただちにインアクティブ状態になり、SET_INTERFACE リクエスト完了時にリンクされた Endpoint の FIFO は完全にクリアされます。このため、FIFO のクリアにより、DMA のデータ転送は正常処理されなくなります。

3.3.2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表 3 - 5 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC 割り込み要求発生
GET_STATUS Interface	自動 STALL 応答
CLEAR_FEATURE Interface	自動 STALL 応答
SET_FEATURE Interface	自動 STALL 応答
all SET_DESCRIPTOR	CPUDEC 割り込み要求発生
その他の全リクエスト	CPUDEC 割り込み要求発生

3.4 レジスタ

USB ファンクション・コントローラ(USB F)は下記のレジスタを備えています。8ビット幅のバス・インタフェースを持つため、CPUからのバス・アクセス(32ビット)に対し、下位8ビットのみを使用します。このため、レジスタは4アドレスごとに配置されています。

CSZ5により任意にマッピングされるため、CSZ5の開始アドレスがベース・アドレスになります。

(レジスタ・アドレス = Base Address + Offset Address)

表3-6 ファンクション・ブリッジ・レジスタ

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	4800H	MEMC Bus Bridge Interrupt Control	MEMC_INT	R/W	32bit	8bit	00H
	4804H	MEMC Bus Bridge Interrupt Enable	MEMC_INTEN	R/W	32bit	8bit	00H
	4808H	EPC Macro Control	EPC_CTR	R/W	32bit	8bit	00H

表3-7 DMA レジスタ

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	4900H	Endpoint 1 DMA Control1	EP1_DCR1	R/W	32bit	8bit	00H
	4904H	Endpoint 1 DMA Control2 Bit [7:0]	EP1L_DCR2	R/W	32bit	8bit	00H
	4908H	Endpoint 1 DMA Control2 Bit [15:8]	EP1M_DCR2	R/W	32bit	8bit	00H
	490CH	Endpoint 1 DMA Control2 Bit [23:16]	EP1H_DCR2	R/W	32bit	8bit	00H
	4910H	Endpoint 2 DMA Control1	EP2_DCR1	R/W	32bit	8bit	00H
	4914H	Endpoint 2 DMA Control2 Bit [7:0]	EP2L_DCR2	R/W	32bit	8bit	00H
	4918H	Endpoint 2 DMA Control2 Bit [15:8]	EP2M_DCR2	R/W	32bit	8bit	00H
	491CH	Endpoint 2 DMA Control2 Bit [23:16]	EP2H_DCR2	R/W	32bit	8bit	00H

表3-8 Bulk In / Bulk Out レジスタ

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	4A00H	DMA 転送用 BulkIn1	EP1_BULK_IN	W	32bit	8bit	00H
	4B00H	DMA 転送用 BulkOut1	EP2_BULK_OUT	R	32bit	8bit	00H

表 3 - 9 EPC 制御レジスタ

(1/2)

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	4000H	EP0NAK (EP0 NAK Control)	UF0E0N	R/W	32bit	8bit	00H
	4004H	EP0NAKALL (EP0NAKALL EP0 NAK Control)	UF0E0NA	R/W	32bit	8bit	00H
	4008H	EPNAK (EP except EP0 NAK Control)	UF0EN	R/W	32bit	8bit	00H
	400CH	EPNAK Mask	UF0ENM	R/W	32bit	8bit	00H
	4010H	SNDSIE	UF0SDS	R/W	32bit	8bit	00H
	4014H	CLR Request	UF0CLR	R	32bit	8bit	00H
	4018H	SET Request	UF0SET	R	32bit	8bit	00H
	401CH	EP Status 0 (EP FIFO Status)	UF0EPS0	R	32bit	8bit	00H
	4020H	EP Status 1 (EP FIFO and USB bus Status)	UF0EPS1	R	32bit	8bit	00H
	4024H	EP Status 2 (EP Halt Status)	UF0EPS2	R	32bit	8bit	00H
	4028H-403CH	Reserved		-	-	-	-
	4040H	INT Status 0	UF0IS0	R	32bit	8bit	00H
	4044H	INT Status 1	UF0IS1	R	32bit	8bit	00H
	4048H	INT Status 2	UF0IS2	R	32bit	8bit	00H
	404CH	INT Status 3	UF0IS3	R	32bit	8bit	00H
	4050H	INT Status 4	UF0IS4	R	32bit	8bit	00H
	4054H-4058H	Reserved		-	-	-	-
	405CH	INT Mask 0	UF0IM0	R/W	32bit	8bit	00H
	4060H	INT Mask 1	UF0IM1	R/W	32bit	8bit	00H
	4064H	INT Mask 2	UF0IM2	R/W	32bit	8bit	00H
	4068H	INT Mask 3	UF0IM3	R/W	32bit	8bit	00H
	406CH	INT Mask 4	UF0IM4	R/W	32bit	8bit	00H
	4070H-4074H	Reserved		-	-	-	-
	4078H	INT Clear 0	UF0IC0	W	32bit	8bit	FFH
	407CH	INT Clear 1	UF0IC1	W	32bit	8bit	FFH
	4080H	INT Clear 2	UF0IC2	W	32bit	8bit	FFH
	4084H	INT Clear 3	UF0IC3	W	32bit	8bit	FFH
	4088H	INT Clear 4	UF0IC4	W	32bit	8bit	FFH
	408CH-4094H	Reserved		-	-	-	-
	4098H	INT & DMARQ	UF0IDR	R/W	32bit	8bit	00H
	409CH	DMA Status 0	UF0DMS0	R	32bit	8bit	00H
	40A0H	DMA Status 1	UF0DMS1	R	32bit	8bit	00H
	40A4H-40BCH	Reserved		-	-	-	-
	40C0H	FIFO Clear 0	UF0FIC0	W	32bit	8bit	00H
	40C4H	FIFO Clear 1	UF0FIC1	W	32bit	8bit	00H
	40C8H-40D0H	Reserved		-	-	-	-

表 3 - 9 EPC 制御レジスタ

(2/2)

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	40D4H	Data End	UF0DEND	W	32bit	8bit	00H
	40D8H	Reserved		-	-	-	-
	40DCH	GPR (Macro and USB I/F Control)	UF0GPR	W	32bit	8bit	00H
	40E0H-40E4H	Reserved		-	-	-	-
	40E8H	Mode Control Reg (CPUDEC)	UF0MODC	R/W	32bit	8bit	00H
	40ECH	Reserved		-	-	-	-
	40F0H	Mode Status Reg (Configuration)	UF0MODS	R	32bit	8bit	00H
	40F4H-40FCH	Reserved		-	-	-	-
	4100H	Active Interface No.	UF0AIFN	R/W	32bit	8bit	00H
	4104H	Active Alternate Setting	UF0AAS	R/W	32bit	8bit	00H
	4108H	Alternate Setting Status	UF0ASS	R	32bit	8bit	00H
	410CH	EP1 Interface Mapping	UF0E1IM	R/W	32bit	8bit	00H
	4110H	EP2 Interface Mapping	UF0E2IM	R/W	32bit	8bit	00H
	4114H-4120H	Reserved		-	-	-	-
	4124H	EP7 Interface Mapping	UF0E7IM	R/W	32bit	8bit	00H
	4128H-41FCH	Reserved		-	-	-	-

表 3 - 10 EPC データ保持レジスタ

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	4200H	EP0 Read	UF0E0R	R	32bit	8bit	不定
	4204H	EP0 Length	UF0E0L	R	32bit	8bit	00H
	4208H	EP0 Setup	UF0E0ST	R	32bit	8bit	00H
	420CH	EP0 Write	UF0E0W	W	32bit	8bit	不定
	4210H	PIO 転送用 BulkOut1	UF0BO1	R	32bit	8bit	不定
	4214H	BulkOut1 Length	UF0BO1L	R	32bit	8bit	00H
	4218H-421CH	Reserved		-	-	-	-
	4220H	PIO 転送用 BulkIn1	UF0BI1	W	32bit	8bit	不定
	4224H	Reserved		-	-	-	-
	4228H	Interrupt 1	UF0INT1	W	32bit	8bit	不定
	422CH-4284H	Reserved		-	-	-	-

表 3 - 11 EPC リクエスト・データ・レジスタ

Base Address	Offset Address	内容	略号	R/W	Access Size	Bit Size	Reset
CSZ5 開始 アドレス	4288H	Device Status	UF0DSTL	R/W	32bit	8bit	00H
	428CH-4294H	Reserved		-	-	-	-
	4298H	EP0 Status	UF0E0SL	R/W	32bit	8bit	00H
	42A0H	EP1 Status	UF0E1SL	R/W	32bit	8bit	00H
	42A8H	EP2 Status	UF0E2SL	R/W	32bit	8bit	00H
	42ACH-42CCH	Reserved		-	-	-	-
	42D0H	EP7 Status	UF0E7SL	R/W	32bit	8bit	00H
	42D4H-42FCH	Reserved		-	-	-	-
	4300H	Address	UF0ADRS	R/W	32bit	8bit	00H
	4304H	Configuration	UF0CNF	R/W	32bit	8bit	00H
	4308H	Interface 0	UF0IF0	R/W	32bit	8bit	00H
	430CH	Interface 1	UF0IF1	R/W	32bit	8bit	00H
	4310H	Interface 2	UF0IF2	R/W	32bit	8bit	00H
	4314H	Interface 3	UF0IF3	R/W	32bit	8bit	00H
	4318H	Interface 4	UF0IF4	R/W	32bit	8bit	00H
	431CH-433CH	Reserved		-	-	-	-
	4340H	Descriptor Length	UF0DSCL	R/W	32bit	8bit	00H
	4344H-4388H	Device Descriptor	UF0DD0- UF0DD17	R/W	32bit	8bit	不定
	438CH-4788H	Configuration Descriptor	UF0CIE0- UF0CIE255	R/W	32bit	8bit	不定
	478CH-	Reserved		-	-	-	-

3.4.1 ファンクション・ブリッジ・レジスタ

(1) MEMC_INT

ファンクション・ブリッジで発生した割り込み要因を示します。

MEMC_INT	31	6	5	4	3	2	1	0	オフセット・ アドレス	初期値
	Reserved		EPC_INT1B	EPC_INT0B	Reserved		EP2_ENDINT	EP1_ENDINT	4800H	0000 0000H
	R		R	R	R		RW	RW		

ビット位置	ビット名	意味
5	EPC_INT1B	UF0IS2/3 レジスタに起きるイベントを要因とする割り込みの有無を示します。 EPC レジスタによりクリア (0) されます。 0 : 割り込みなし 1 : 割り込みあり
4	EPC_INT0B	UF0IS0/1 レジスタに起きるイベントを要因とする割り込みの有無を示します。 EPC レジスタによりクリア (0) されます。 0 : 割り込みなし 1 : 割り込みあり
1	EP2_ENDINT	EP2 において、DMA 転送が正常終了、もしくは DMA 転送中にエラー終了したときに、セット (1) されます。"1"書き込みでクリア (0) されます。 1 : DMA 転送終了
0	EP1_ENDINT	EP1 において、DMA 転送が正常終了、もしくは DMA 転送中にエラー終了したときに、セット (1) されます。"1"書き込みでクリア (0) されます。 1 : DMA 転送終了

EP2_ENDINT, EP1_ENDINT がセットされる条件とタイミングを次に示します。

- DMA 転送が正常終了
EPC が DMAREQ をデアサートし、ブリッジ内のバッファが空になってからセット (1) される。
- DMA 転送がエラー終了
 - (a) EPC がショート・パケットを受信すると、DMASTOP をアサートし、ブリッジ内のバッファが空になってからセット (1) される。
 - (b) 転送ごとに EPn_TCNT がデクリメントし、0 になったらセット (1) される。

(2) MEMC_INTEN

ファンクション・ブリッジで発生した割り込みを出力する / しないを設定します。

MEMC_INTEN	31	6	5	4	3	2	1	0	オフセット・ アドレス	初期値
	Reserved		EPC_ INT1B EN	EPC_ INT0B EN	Reserved		EP2_ ENDINT EN	EP1_ ENDINT EN	4804H	0000 0000H
	R		RW	RW	R		RW	RW		

ビット位置	ビット名	意味
5	EPC_INT1EN	EPC_INT1Bのビットがセットされたときの割り込みを発生するかを設定します。 1: 割り込みを出力する 0: 割り込みを出力しない
4	EPC_INT0EN	EPC_INT0Bのビットがセットされたときの割り込みを発生するかを設定します。 1: 割り込みを出力する 0: 割り込みを出力しない
1	EP2_ENDINTEN	EP2_ENDINTのビットがセットされたときの割り込みを発生するかを設定します。 1: 割り込みを出力する 0: 割り込みを出力しない
0	EP1_ENDINTEN	EP1_ENDINTのビットがセットされたときの割り込みを発生するかを設定します。 1: 割り込みを出力する 0: 割り込みを出力しない

(3) EPC_CTR

EPC マクロのリセットを制御します。

EPC_CTR	31	1	0	オフセット・ アドレス	初期値
	Reserved			EPC_ RST	4808H
	R			RW	

ビット位置	ビット名	意味
0	EPC_RST	EPC マクロへのリセットを発生します。 0: リセット解除 1: リセット発行

3.4.2 DMA レジスタ

(1) EP1_DCR1

EP1 の DMA 転送制御について設定します。

EP1_DCR1	31	6	5	3	2	1	0	オフセット・ アドレス	初期値
	Reserved		Reserved		EP1_ STOPSTA	EP1_ REQSTA	EP1_ DMAEN	4900H	0000 0000H
	R	R		R	R	RW			

ビット位置	ビット名	意味
2	EP1_STOPSTA	EPC からの DMA 転送終了のステータス (DMA 転送の終了要因) を示します。 1 : UF0IDR レジスタの DQBI1MS のネゲートによる DMA 転送の終了 0 : EP1x_DCR2 レジスタの EP1_TCNT 値"0"による DMA 転送の終了 次の EP1_DMAEN の"1"セットにより自動的にクリア (0) されます。
1	EP1_REQSTA	EPC からの DMA 要求 (UF0IDR レジスタの DQBI1MS) のステータスを示します。 0 : DMA 要求あり 1 : DMA 要求なし
0	EP1_DMAEN	EPC からの DMA 要求の制御について設定します。 0 : DMA 要求をマスクする 1 : DMA 要求を許可する EP1_TCNT で設定されたパケット数の転送が完了するか、UF0IDR レジスタの DQBI1MS のネゲートによる DMA 転送の終了にて自動的にクリア (0) されます。 注意 強制終了時は設定していた値は保証しません。

(2) EP1x_DCR2

EP1 の DMA 転送サイズを設定します。

	31	8	7	0	オフセット・アドレス	初期値
EP1L_DCR2	Reserved		EP1_TCNT[7:0]		4904H	0000 0000H
EP1M_DCR2	Reserved		EP1_TCNT[15:8]		4908H	0000 0000H
EP1H_DCR2	Reserved		EP1_TCNT[23:16]		490CH	0000 0000H
	R		RW			

ビット位置	ビット名	意味
7-0	EP1_TCNT	<p>EP1 にて DMA 転送するバイト数を設定します。 転送ごとにデクリメントし EP1_TCNT の値が"0"になったら DMA 転送を終了させます。</p> <p>注意</p> <ol style="list-style-type: none"> 1. 本ビットは、EP1_DMAEN = 0 のときに設定してください。 2. 本レジスタは1オリジン設定です。DMAC の転送サイズ設定レジスタ DXBCn (0オリジン) の設定値+1 とします。 3. 強制終了時は Bridge 内部の Bulk 転送用カウンタ BIN_TCNT が停止した値に更新します。

(3) EP2_DCR1

EP2 の DMA 転送制御について設定します。

EP2_DCR1	31	6	5	3	2	1	0	オフセット・ アドレス	初期値
	Reserved		Reserved		EP2_ STOPSTA	EP2_ REQSTA	EP2_ DMAEN		
	R		R		R	R	RW		

ビット位置	ビット名	意味
2	EP2_STOPSTA	EPC からの DMA 転送終了のステータス DMA 転送の終了要因 1 : UF0IDR レジスタの DQBO1MS のネゲートによる DMA 転送の終了 0 : EP2_TCNT 値"0"による DMA 転送の終了 次の EP2_DMAEN の"1"セットにより自動的に 0 にクリアされます。
1	EP2_REQSTA	EPC からの DMA 要求 (UF0IDR レジスタの DQBO1MS) のステータス 0 : DMA 要求あり 1 : DMA 要求なし
0	EP2_DMAEN	EPC からの DMA 要求の制御について設定します。 0 : DMA 要求をマスクする 1 : DMA 要求を許可する EP2_TCNT で設定されたパケット数の転送が完了するか、UF0IDR レジスタの DQBO1MS のネゲートによる DMA 転送の終了にて自動的に 0 にクリアされます。 注意 強制終了時は設定していた値は保証しません。

(4) EP2x_DCR2

EP2 の DMA 転送サイズを設定します。

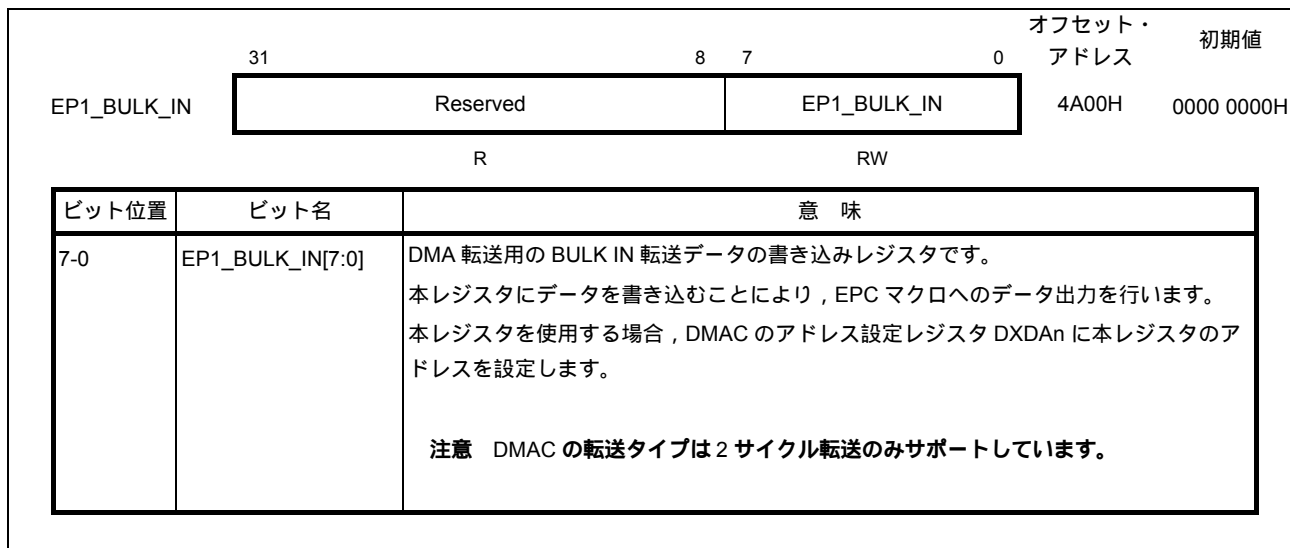
	31	8	7	0	オフセット・アドレス	初期値
EP2L_DCR2	Reserved		EP2_TCNT[7:0]		4914H	0000 0000H
EP2M_DCR2	Reserved		EP2_TCNT[15:8]		4918H	0000 0000H
EP2H_DCR2	Reserved		EP2_TCNT[23:16]		491CH	0000 0000H
	R		RW			

ビット位置	ビット名	意味
7-0	EP2_TCNT	<p>EP2 にて DMA 転送するバイト数を設定します。 転送ごとにデクリメントし EP2_TCNT の値が"0"になったら DMA 転送を終了させます。</p> <p>注意</p> <ol style="list-style-type: none"> 1. 本ビットは、EP2_DMAEN = 0 のときに設定してください。 2. 本レジスタは1オリジン設定です。DMAC の転送サイズ設定レジスタ DXBCn (0オリジン) の設定値+1 とします。 3. 強制終了時は Bridge 内部の Bulk 転送用カウンタ BOUT_TCNT が停止した値に更新します。

3.4.3 Bulk In / Bulk Out レジスタ

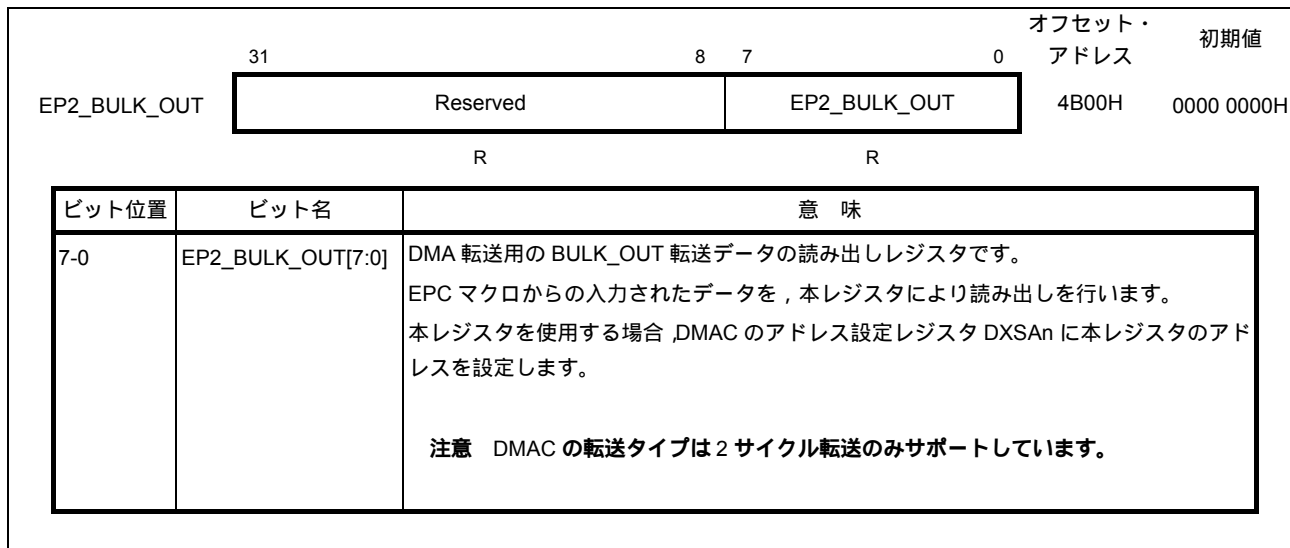
(1) EP1_BULK_IN

DMA モード (UF0IDR 参照) で BulkIn 転送データを書き込むレジスタです。



(2) EP2_BULK_OUT

DMA モード (UF0IDR 参照) で BulkOut 転送データを読み出すレジスタです。



3.4.4 EPC 制御レジスタ

(1) UF0 EP0NAK レジスタ (UF0E0N)

Endpoint0 の NAK を制御します (自動実行リクエストを除きます)。

8 ビット単位でリード/ライト可能です (ただし、ビット 0 はリードだけ可能です)。

UF0FIC0, UF0FIC1 レジスタをセットしてからこのレジスタにステータスが反映されるまでに 5USB クロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1 レジスタに対するライト信号と UF0EPS0, UF0EPS1, UF0EPS2 レジスタ, UF0E0N レジスタ, UF0EN レジスタに対するリード信号との間は 4USB クロック以上空けてください。

Endpoint0 Read, Endpoint2 に対する NAK 送信中は、EP0NKR ビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	4000H	00H
	0	0	0	0	0	0	R/W	R		

ビット位置	ビット名	意味
1	EP0NKR	Endpoint0 への OUT トークンに対する NAK を制御します (自動実行リクエストを除く)。Endpoint0 がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。ファームウェアによって UF0E0R レジスタのデータが読み出されたときに (カウンタ値 = 0), ハードウェアによって自動的にクリア (0) されます。 1 : NAK を送信する 0 : NAK を送信しない (初期値) USBF がデータを受信できるにもかかわらず、なんらかの理由により USB バスからのデータを受信したくない場合には、このビットをファームウェアによりセット (1) してください。なおこの場合には、ファームウェアでこのビットをクリア (0) するまで USBF は NAK を送出し続けます。UF0E0R レジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0 への IN トークンに対する NAK 制御状況を示します (自動実行リクエストを除く)。Endpoint0 のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。UF0E0W レジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ず UF0DEND レジスタの E0DED ビットをセット (1) してください。FIFO フルの場合は自動的にセット (1) されます。UF0DEND レジスタの E0DED ビットがセット (1) された場合、同時に EP0NKW ビットが自動的にセット (1) されます。 1 : NAK を送信しない 0 : NAK を送信する (初期値) なお、データ・ステージで ACK を正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、UF0E0W レジスタがクリアされると同時にこのビットもクリア (0) されます。ファームウェアにより UF0E0W をクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUT トークンをともなう SETUP トランザクションの手順を示します。

(a) IN トークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

ファームウェアは CPUDEC 割り込みを受け取ったあと、UF0E0ST レジスタからデータを読み出す前に、UF0IS1 レジスタの PROT ビットをクリア (0) してください。次に、リクエストに従った処理を行い、IN トークンでデータを返す必要がある場合は UF0E0W レジスタにデータを書き込みます。書き込みが終了したあと、UF0IS1 レジスタの PROT ビットが 0 であることを確認してから、UF0DEND レジスタの E0DED ビットをセット (1) します。ハードウェアは EP0NKW ビットがセット (1) されてから最初の IN トークンでデータの送出手続きを行います。UF0IS1 レジスタの PROT ビットが 1 の場合、コントロール転送終了前に SETUP トランザクションが再度発生したことを示します。その場合は、UF0IC1 レジスタの PROT ビットをクリア (0) することで UF0IS1 レジスタの PROT ビットをクリア (0) してから、再度 UF0E0ST レジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUT トークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

ファームウェアは CPUDEC 割り込みを受け取ったあと、UF0E0ST レジスタからデータを読み出す前に、UF0IS1 レジスタの PROT ビットをクリア (0) してください。UF0E0R レジスタからデータを読み出す前に UF0IS1 レジスタの PROT ビットが 0 であることを確認してください。もし PROT ビットが 1 であれば無効なデータを保持しているため、ファームウェアにより FIFO をクリアしてください (EP0NKR ビットは自動的にクリア (0) されます)。UF0IS1 レジスタの PROT ビットが 0 の場合は UF0E0L レジスタのデータを読み出し、セットされている分だけのデータを UF0E0R レジスタから読み出してください。UF0E0R レジスタからのデータの読み出しが完了すると (UF0E0R レジスタのカウンタが 0 になったときに)、ハードウェアは自動的に EP0NKR ビットをクリア (0) します。

(2) UF0 EP0NAKALL レジスタ (UF0E0NA)

Endpoint0 の SETUP トランザクションを除くすべてのリクエストの NAK を制御します。自動実行リクエストに対しても有効です。

8 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値	
UF0E0NA	0	0	0	0	0	0	0	0	EP0NKA	4004H	00H
	0	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意味
0	EP0NKA	<p>Endpoint0 への SETUP トランザクション以外の NAK を制御します(自動実行リクエストを含む)。このビットの操作はファームウェアによって行います。</p> <p>1 : NAK を送信する 0 : NAK を送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、ファームウェア・ライトと SIE からのリードの競合を防止するためのもので、SIE からのアクセスが行われている間は、ファームウェアからこのビットへの書き込みの反映を保留する機能を持っています。ファームウェアによりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット(1)が正しく行えたことを確認してから実行してください。このビットのセット(1)が反映されるのは、次の場合に限りです。</p> <ul style="list-style-type: none"> ・ USBF がリセットされた直後で SETUP トークンを一度も受信していない ・ USB Bus Reset の受信直後で SETUP トークンを一度も受信していない ・ SETUP トークンの PID を検出したとき ・ ステータス・ステージへ移行したとき <p>なお、クリア(0)は IN トークンの受信中で NAK 応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0 転送中の EP0NKA ビットのセット(1)反映タイミングは上記の4つの場合となりますが、Endpoint0 の転送以外の場合は書き込み後すぐに反映されます。</p>

(3) UF0 EPNACK レジスタ (UF0EN)

Endpoint0 以外の Endpoint の NAK 制御などを行います。

8 ビット単位でリード/ライト可能です (ただし、ビット 4, 0 はリードだけ可能です)。

なお、BKO1NK ビットは UF0ENM レジスタの BKO1NKM ビット = 1 のときだけライト可能です。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

UF0FIC0, UF0FIC1 レジスタを設定してからこのレジスタにステータスが反映されるまでに 5USB クロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1 レジスタに対するライト信号と UF0EPS0, UF0EPS1, UF0EPS2 レジスタ, UF0E0N レジスタ, UF0EN レジスタに対するリード信号との間は 4USB クロック以上空けてください。

Endpoint0 Read ,Endpoint2 に対する NAK 送信中は ,BKO1NK ビットに対する書き込みは無視されます。ビット 7-5, 3, 1 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	0	IT1NK	0	BKO1NK	0	BK11NK	4008H	00H
	0	0	0	R	0	R/W	0	R		

ビット位置	ビット名	意味
4	IT1NK	Endpoint7 (インタラプト 1 転送) に対する NAK を制御します。 データ書き込みにより UF0INT1 レジスタがフルになるとこのビットは自動的にセット (1) され、送信が開始されます。FIFO がフルにならないショート・パケットを送る場合には、UF0DEND レジスタの IT1DEND ビットをセット (1) してください。IT1DEND ビットがセット (1) されると、同時にこのビットが自動的にセット (1) されます。 1 : NAK を送信しない 0 : NAK を送信する (初期値) なお、UF0INT1 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。
2	BKO1NK	Endpoint2 (バルク 1 転送 (OUT)) に対する NAK を制御します。 1 : NAK を送信する 0 : NAK を送信しない (初期値) UF0BO1 レジスタ (バンク構成の 64 バイト FIFO) の SIE 側に接続されている FIFO がデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。 ・ SIE 側に接続されている FIFO に正常受信されたデータを格納した ・ CPU 側に接続されている FIFO カウンタ値が 0 である (リード完了) ファームウェアは BLKO1DT 割り込み要求を受け取った時点で UF0BO1L レジスタのデータを読み出し、その値分のデータを UF0BO1 レジスタから読み出してください。USBF がデータを受信できるにもかかわらず、なんらかの理由により USB バスからのデータを受信したくない場合には、このビットをファームウェアによりセット (1) してください。なお、この場合にはファームウェアがこのビットをクリア (0) するまで USBF は NAK を送出し続けます。UF0BO1 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

注意 1. PIO モードで UF0BO1 レジスタからデータを読み込んでいる最中に DMA を許可すると、すぐに DMA リクエストが発行されます。

2. DMA 転送モードで CPU 側 FIFO の最終データを読み出すと、DMA リクエスト信号はインアクティブになります。

ビット位置	ビット名	意味
0	BK11NK	<p>Endpoint1 (バルク 1 転送 (IN)) に対する NAK を制御します。</p> <p>1: 書き込みデータを送信する 0: NAK を送信する (初期値)</p> <p>UF0B11 レジスタ (バンク構成の 64 バイト FIFO) のデータ送信が正常に終了して SIE 側に接続されている FIFO にデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0B11 レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPU バス側に接続されている FIFO に正常に書き込みが行われた (ライト完了, FIFO フルか UF0DEND レジスタがセットされている) ・ SIE 側に接続されている FIFO カウンタ値が 0 である <p>データ書き込みで CPU 側の FIFO がフルになり FIFO トグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。ただし、UF0DEND レジスタの BK11T ビットがクリア (0) されている状態での DMA による CPU 側の FIFO への書き込みで FIFO がフルになった場合は、UF0DEND レジスタの BK11DED ビットがセット (1) されるまでトグル動作の条件を満足しないため、トグル動作は発生しません。CPU 側の FIFO がフルにならないショート・パケットを送る場合には、データ書き込み完了後 BK11DED ビットをセット (1) してください。BK11DED ビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。UF0B11 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意 1. PIO モードで UF0B11 レジスタにデータを書き込んでいる最中に DMA 許可を行うと、すぐに DMA リクエストが発行されます。
2. DMA 転送モードで 64 バイト書き込みを行った場合、DMA リクエスト信号はインアクティブになります。このあと BK11NK ビットがセット (1) されている場合には、IN トークンに同期してデータ送信が行われます。FIFO のトグルが発生した時点で、DMA リクエストのマスクを行わないかぎり DMA リクエスト信号は再度アクティブになります。一方、BK11NK ビットがセットされていない (0) 場合には、IN トークンを受け取ってもデータの送信は行われません。この場合には、UF0DEND レジスタの BK11DED ビットをセット (1) してください。
3. DMA 転送モードで BK11NK ビットがセット (1) されない場合には、IN トークンを受け取ってもデータの送信は行われません。ファームウェアで UF0DEND レジスタの BK11DED ビットをセット (1) すると、IN トークンに同期してデータ送信が行われます。

(4) UF0 EPNAK マスク・レジスタ (UF0ENM)

UF0EN レジスタに対する書き込みマスクを制御します。

8 ビット単位でリード/ライト可能です。

ビット 7-3, 1, 0 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	0	BKO1NKM	0	0	400CH	00H
	0	0	0	0	0	R/W	0	0		

ビット位置	ビット名	意味
2	BKO1NKM	UF0EN レジスタのビット 2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) UF0 SNDSIE レジスタ (UF0SDS)

ノー・ハンドシェークなどの操作を行います。SIE の端子を直接操作できます。

8 ビット単位でリード/ライトが可能です。

ビット 7-4, 2, 1 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	4010H	00H
	0	0	0	0	R/W	0	0	R/W		

ビット位置	ビット名	意味
3	SNDSTL	<p>Endpoint0 に対して STALL ハンドシェークを発行させるようにします。CPUDEC 処理のリクエストがシステムで対応していないものであるときにセット (1) することで、STALL ハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACE リクエストなどでサポートしていない wValue が送られてきた場合は、ハードウェアがこのビットをセット (1) します。自動リクエストでのオーバーラン等により Endpoint0 で問題が発生した場合もこのビットはセット (1) されます。ただし、UF0E0SL レジスタの E0HALT ビットへのセット (1) は行われません。</p> <p>1: STALL ハンドシェークで応答する 0: STALL ハンドシェークで応答しない (初期値)</p> <p>なお、次の SETUP トークンを受信したときにこのビットはクリア (0) され、バスへのハンドシェーク応答は STALL 以外になります。ファームウェアで SNDSTL ビットをセット (1) する場合には、UF0E0W レジスタへの書き込みは行わないでください。</p> <p>また、セット (1) するタイミングによっては STALL 応答が間に合わず NAK 応答を行ったあとに次の転送に STALL 応答する場合があります。</p> <p>このビットの設定は、セット (1) されたときに実行中のファームウェア実行リクエストの間だけ有効です。次の SETUP トークン受信時に自動的にクリア (0) されます。</p> <p>備考 SNDSTL ビットはファームウェア実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USB バス上に Resume 信号を出力させます。UF0DSTL レジスタの RMWK ビットがセット (1) されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume 信号を発生させる 0: Resume 信号を発生させない (初期値)</p> <p>このビットがセット (1) されている間は Resume 信号を発生させ続けますので、一定時間経過したあとファームウェアによりクリア (0) してください。内部でクロックによるサンプリングを行っているため、CLK が供給されている場合にのみ動作を保証できます。システムとして CLK を停止する場合は注意してください。</p>

(6) UF0 CLR リクエスト・レジスタ (UF0CLR)

受信された CLEAR_FEATURE リクエストが何を対象にしたものかを示します。

8 ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	0	CLREP7	0	0	CLREP2	CLREP1	CLREP0	CLRDEV	4014H	00H
	0	R	0	0	R	R	R	R		

ビット位置	ビット名	意味
6, 3-1	CLREPN	CLEAR_FEATURE Endpoint n リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	CLRDEV	CLEAR_FEATURE Device リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

備考 n = 0-2, 7

(7) UF0 SET リクエスト・レジスタ (UF0SET)

自動処理を行った SET_XXXX リクエスト (SET_INTERFACE を除く) が何を対象にしたものかを示します。

8 ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	4018H	00H
	R	0	0	0	0	R	0	R		

ビット位置	ビット名	意味
7	SETCON	SET_CONFIGURATION リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint n リクエスト (n=0-2, 7) を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Device リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) UF0 EP ステータス 0 レジスタ (UF0EPS0)

USB バス状態，レジスタのデータの有無を示します。

8 ビット単位でリードだけ可能です。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1 レジスタを設定してからこのレジスタにステータスが反映されるまでに 5USB クロックかかります。したがって，正確にステータスを読み出す必要がある場合は UF0FIC0, UF0FIC1 レジスタに対するライトと UF0EPS0, UF0EPS1, UF0EPS2 レジスタ，UF0E0N レジスタ，UF0EN レジスタに対するリードとの間は 4USB クロック以上空けてください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	0	IT1	0	BKOUT1	0	BKIN1	EPOW	EP0R	401CH	00H
	0	R	0	R	0	R	R	R		

ビット位置	ビット名	意味
6	IT1	UF0INT1 レジスタ (FIFO) にデータがあることを示します。また，UF0DEND レジスタの IT1DED ビットをセット (1) することにより，UF0INT1 レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Null データ送信)。 UF0INT1 レジスタのカウンタが 0 であっても，UF0DEND レジスタの IT1DED ビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
4	BKOUT1	CPU 側に接続された UF0BO1 レジスタ (FIFO) にデータがあることを示します。 UF0BO1 レジスタを構成している FIFO が切り替わったときに，ハードウェアにより自動的にセット (1) されます。CPU 側に接続された UF0BO1 レジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに，ハードウェアにより自動的にクリア (0) されます。Null データを受信した場合はセット (1) されません (FIFO のトグルも発生しません)。 1: データがある 0: データがない (初期値)
2	BKIN1	CPU 側に接続された UF0BI1 レジスタ (FIFO) にデータがあることを示します。 また，UF0DEND レジスタの BK1DED ビットをセット (1) することにより，UF0BI1 レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Null データ送信)。UF0BI1 レジスタのカウンタが 0 であっても，UF0DEND レジスタの BK1DED ビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。 1: データがある 0: データがない (初期値)
1	EPOW	UF0E0W レジスタ (FIFO) にデータがあることを示します。また，UF0DEND レジスタの E0DED ビットをセット (1) することにより，UF0E0W レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Null データ送信)。 UF0E0W レジスタのカウンタが 0 であっても，UF0DEND レジスタの E0DED ビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)

ビット位置	ビット名	意味
0	EP0R	UF0E0R レジスタ (FIFO) にデータがあることを示します。UF0E0R レジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Null データを受信した場合はセット (1) されません。 1: データがある 0: データがない (初期値)

(9) UF0 EP ステータス 1 レジスタ (UF0EPS1)

USB バス状態を示します。

8 ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	4020H	00H
	R	0	0	0	0	0	0	0		

ビット位置	ビット名	意味
7	RSUM	USB バスの Resume/Suspend 状態を示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。 1 : Suspend 状態になった 0 : Resume 状態になった (初期値) 内部でクロックによるサンプリングを行っているため、CLK が供給されている場合にのみ動作を 保証できます。システムとして CLK を制御する場合は注意してください。SIE では CLK が停止し た状態でも INTUSBF3 信号は動作します。 このビットは読み出したときに自動的にクリア (0) されます。

(10) UF0 EP ステータス 2 レジスタ (UF0EPS2)

USB バス状態を示します。

8 ビット単位でリードだけ可能です。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	0	HALT7	0	0	HALT2	HALT1	HALT0	4024H	00H
	0	0	R	0	0	R	R	R		

ビット位置	ビット名	意味
5, 2-0	HALTn	<p>現在 Endpoint n がストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット (1) されます。</p> <p>これらのビットはハードウェアにより自動的にセット (1) されます。</p> <p>1 : Endpoint がストールしている</p> <p>0 : Endpoint はストールしていない (初期値)</p> <p>オーバラン発生 / 規定外リクエスト受信などにより HALT0 ビットがセット (1) されると、同時に UF0SDS レジスタの SNDSTL ビットもセット (1) されます。この状態で次の SETUP トークンを受信すると、SNDSTL ビットがクリア (0) されるため、このビットもクリア (0) されます。なお、SET_FEATURE Endpoint0 リクエストにより Endpoint0 をストールさせた場合には、CLEAR_FEATURE Endpoint0 リクエストを受信するかファームウェアで Halt Feature をクリアするまでこのビットはクリア (0) されません。</p> <p>Endpoint0 の Halt Feature をセットした状態で GET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0 リクエスト, または CPUDEC 割り込み要求によりファームウェアで処理を行うリクエストを受信した場合には、次の SETUP トークンを受信するまで HALT0 ビットはマスクされ 0 になります。</p> <p>Endpoint n が CLEAR_FEATURE Endpoint リクエストを受信するまでか Endpoint がリンクされた Interface に対する SET_INTERFACE, SET_CONFIGURATION リクエストで Halt Feature をクリアするまで、またはファームウェアで Halt Feature をクリアするまで、HALTn ビットはクリア (0) されません。SET_INTERFACE, SET_CONFIGURATION リクエストを正常処理した場合には、wValue 値が現行の設定値と同じであったとしても Endpoint0 を除いたすべての対象 Endpoint の HaltFeature はリクエストを処理したあとにクリアされ、これらのビットもクリア (0) されます。Endpoint0 の Halt Feature がセットされていると SET_INTERFACE, SET_CONFIGURATION リクエストは STALL 応答されるため、Endpoint0 の HaltFeature はクリアできません。</p>

備考 n = 0-2, 7

(11) UF0 INT ステータス 0 レジスタ (UF0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBF0 信号がアクティブになり、割り込みとして通知されます。

8 ビット単位でリードだけ可能です。

USBF から割り込み要求 (INTUSBF0) が発生した場合、ファームウェアはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC0 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されません。

注意 USBF では、複数の割り込み要因が内部で論理和 (OR) され、割り込み要求 (INTUSBF0) として発生します。

1 つの割り込み要因だけをクリア (0) した場合、他の割り込み要因が残っているため、

PFESiP/V850EP1 内部の INTUSBF0 割り込み要求はセット (1) された状態のままとなり、新たな割り込みが起動されないことがあります。

この場合、INTUSBF0 割り込み処理ルーチン内で各割り込み要求のクリア (0) 処理を実施したあと、改めて UF0IS0, UF0IS1, UF0IS2, UF0IS3 レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	VBSOF	SHORT	DMAED	SETRQ	CLRRQ	EPHALT	4040H	00H
	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7	BUSRST	Bus Reset が行われたことを示します。 1 : Bus Reset が行われた (割り込み要求発生) 0 : Bus Reset 状態ではない (初期値)
6	RSUSPD	Resume または Suspend 状態が発生したことを示します。ファームウェアで UF0EPS1 レジスタのビット 7 を参照してください。 1 : Resume または Suspend 状態が発生した (割り込み要求発生) 0 : Resume または Suspend 状態が発生していない (初期値)
5	VBSOF	VBUS Off が発生したことを示します。 1 : VBUS Off が発生した (割り込み要求発生) 0 : VBUS Off が発生していない (初期値)
4	SHORT	UF0BO1 レジスタの FIFO からデータが読み出され、INTUSBF2 信号をアクティブにしたことを示します。DMA モードで FIFO がフルになっていないときにだけ有効です。 1 : ショート・パケットを受信した / INTUSBF2 信号をアクティブにした (割り込み要求発生) 0 : ショート・パケットを受信しない / INTUSBF2 信号をアクティブにしていない (初期値) 必ず UF0DMS1 レジスタでショート・パケットによる DMA 転送終了が起きたこと、どの Endpoint に対する動作であるかを確認してください。UF0DMS1 レジスタをリードしないと、次のショート・パケット転送時に本ビットがセットされなくなります。 ただし、ファームウェアにより UF0DMS1 レジスタを読み出しても、このビットは自動的にクリア (0) されません。

ビット位置	ビット名	意味
3	DMAED	<p>DMA が終了したことを示します。</p> <p>1 : DMA が終了した (割り込み要求発生)</p> <p>0 : DMA が終了していない (初期値)</p> <p>必ず UF0DMS1 レジスタで DMA 転送終了したこと, どの Endpoint に対する動作であるかを確認してください。UF0DMS1 レジスタをリードしないと, 次回の DMA 転送時に本ビットがセットされなくなります。</p> <p>ただし, ファームウェアにより UF0DMS1 レジスタを読み出しても, このビットは自動的にクリア (0) されません。</p>
2	SETRQ	<p>自動処理対象の SET_XXXX リクエストを受信し, 自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。</p> <p>1 : 自動処理対象の SET_XXXX リクエストを受信した (割り込み要求発生)</p> <p>0 : 自動処理対象の SET_XXXX リクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かは UF0SET レジスタを参照してください。ファームウェアにより UF0SET レジスタを読み出しても, 自動的にクリア (0) されません。</p> <p>なお, SET_FEATURE Endpoint リクエストを受信したときは EPHALT ビットもセット (1) されます。</p>
1	CLRRQ	<p>CLEAR_FEATURE リクエストを受信し, 自動処理を行ったことを示します。</p> <p>1 : CLEAR_FEATURE リクエストを受信した (割り込み要求発生)</p> <p>0 : CLEAR_FEATURE リクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。</p> <p>CLEAR_FEATURE リクエストの対象が何かは UF0CLR レジスタを参照してください。ファームウェアにより UF0CLR レジスタを読み出しても, 自動的にクリア (0) されません。</p>
0	EPHALT	<p>Endpoint がストールしていることを示します。</p> <p>1 : Endpoint がストールしている (割り込み要求発生)</p> <p>0 : Endpoint がストールしていない (初期値)</p> <p>なお, ファームウェアのセットにより Endpoint をストールさせた場合 (UF0EnSL レジスタの EnHALT ビットをセット (1)) も, このビットがセット (1) されます。</p> <p>ストールしている Endpoint は, UF0EPS2 レジスタを参照してください。</p> <p>CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATION リクエストを受信しても, 自動的にクリア (0) されません。また Endpoint0 のオーバーラン発生の場合, 次の SETUP トークンを受信しても, 自動的にクリア (0) されません。</p> <p>注意 ファームウェアで UF0EnSL レジスタの EnHALT ビットをセット (1) して本割り込み要求が発生した場合でも, SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0 リクエストまたはファームウェア処理リクエストを受信してから次の SETUP トークンを受信 (前述以外) するまでは UF0EPS2 レジスタの HALTO はマスクされ 0 になります。</p>

(12) UF0 INT ステータス1 レジスタ (UF0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBF0 信号がアクティブになり、割り込みが通知されます。

8 ビット単位でリードだけ可能です。

USBF から割り込み要求 (INTUSBF0) が発生した場合、ファームウェアはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC1 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されません。

注意 USBF では、複数の割り込み要因が内部で論理和 (OR) され、割り込み要求 (INTUSBF0) として発生します。

1 つの割り込み要因だけをクリア (0) した場合、他の割り込み要因が残っているため、PFESiP/V850EP1 内部の INTUSBF0 割り込み要求はセット (1) された状態のままとなり、新たに割り込みが起動されないことがあります。

この場合、INTUSBF0 割り込み処理ルーチン内で各割り込み要求のクリア (0) 処理を実施したあと、改めて UF0IS0、UF0IS1、UF0IS2、UF0IS3 レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPUDEC	4044H	00H
	0	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
6	E0IN	Endpoint0 に対する IN トークンを受信して、ハードウェアが自動的に NAK を送信したことを示します。 1: IN トークンを受信し NAK を送出した (割り込み要求発生) 0: IN トークンを受信していない (初期値)
5	E0INDT	UF0E0W レジスタからデータが正常に送信されたことを示します。 1: UF0E0W レジスタから送信が完了した (割り込み要求発生) 0: UF0E0W レジスタから送信を完了していない (初期値) データは UF0E0N レジスタの EP0NKW ビットをセット (1) した次の IN トークンに同期して送信されますが、そのデータをホストが正常受信した場合に、ハードウェアにより自動的にセット (1) されます。Null パケットでもセット (1) されます。UF0E0W レジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。

ビット位置	ビット名	意味
4	E0ODT	<p>データが UF0E0R レジスタに正常に受信されたことを示します。</p> <p>1: UF0E0R レジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0R レジスタにデータがない (初期値)</p> <p>正常に受信するとハードウェアにより自動的にセット (1) され、同時に UF0EPS0 レジスタの EP0R ビットもセット (1) されます。Null パケットを受信した場合はセット (1) されません。ファームウェアにより UF0E0R レジスタを読み出し、UF0E0L レジスタの値が 0 になるとハードウェアにより自動的にクリア (0) されます。</p>
3	SUCES	<p>ファームウェア処理またはハードウェア処理リクエストのどちらかを受信し、ステータス・ステージを正常に終了したことを示します。</p> <p>1: コントロール転送を正常に処理し終わった (割り込み要求発生)</p> <p>0: コントロール転送を正常に処理し終わっていない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。また、次の SETUP トークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、コントロール転送のステータス・ステージで Data PID が 0 のデータ (Null データ) を受信した場合も SUCES ビットがセット (1) されます。</p>
2	STG	<p>コントロール転送でステータス・ステージが変わったときにセット (1) されます。ファームウェア処理またはハードウェア処理のいずれのリクエストでも有効です。また、コントロール転送 (データなし) でもステータス・ステージが変わったときにはセット (1) されます。</p> <p>1: ステータス・ステージに入った (割り込み要求発生)</p> <p>0: ステータス・ステージに入っていない (初期値)</p> <p>このビットは次の SETUP トークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、データ・ステージで ACK を正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット (1) されます。この場合、ファームウェアでコントロール転送 (リード) を処理している場合には UF0E0W レジスタと同時に UF0E0N レジスタの EP0NKW ビットもクリア (0) されます。</p>
1	PROT	<p>SETUP トークンを受信したことを示します。ハードウェア処理またはファームウェア処理のいずれのリクエストでも有効です。</p> <p>1: SETUP トークンを正常受信した (割り込み要求発生)</p> <p>0: SETUP トークンを受信していない (初期値)</p> <p>このビットは、UF0E0ST レジスタにデータを正常受信した際にセット (1) されます。UF0E0ST レジスタを最初にリード・アクセスする際などに、ファームウェアによってクリア (0) してください。ファームウェアによりクリア (0) しなかった場合、次の SETUP トークンを正常に受け取ったことを認識できません。</p> <p>このビットは、コントロール転送中に再度 SETUP トランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度 SETUP トランザクションが行われ、2 番目のリクエストがハードウェア実行の場合 CPUDEC ビットはセット (1) されないため、このビットで確認することができます。</p>
0	CPUDEC	<p>UF0E0ST レジスタにファームウェアでデコードを行うリクエストがあることを示します。</p> <p>1: UF0E0ST レジスタにファームウェア処理リクエストがある (割り込み要求発生)</p> <p>0: UF0E0ST レジスタにファームウェア処理リクエストがない (初期値)</p> <p>UF0E0ST レジスタのデータをすべてリードすると、ハードウェアにより自動的にクリア (0) されます。</p>

(13) UF0 INT ステータス 2 レジスタ (UF0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBF0 信号がアクティブになり、割り込みが通知されます。

8 ビット単位でリードだけ可能です。

USBF から割り込み要求 (INTUSBF0) が発生した場合、ファームウェアはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC2 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されません。

UF0EnIM レジスタ (n = 1, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

注意 USBF では、複数の割り込み要因が内部で論理和 (OR) され、割り込み要求 (INTUSBF0) として発生します。

1 つの割り込み要因だけをクリア (0) した場合、他の割り込み要因が残っているため、PFESiP/V850EP1 内部の INTUSBF0 割り込み要求はセット (1) された状態のままとなり、新たに割り込みが起動されないことがあります。

この場合、INTUSBF0 割り込み処理ルーチン内で各割り込み要求のクリア (0) 処理を実施したあと、改めて UF0IS0, UF0IS1, UF0IS2, UF0IS3 レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	0	0	BK11IN	BK11DT	0	0	0	IT1DT	4048H	00H
	0	0	R	R	0	0	0	R		

ビット位置	ビット名	意味
5	BK11IN	UF0BI1 レジスタ (Endpoint 1) に対する IN トークンを受信して NAK を返信したことを示します。 1: IN トークンを受信し NAK を送出した (割り込み要求発生) 0: IN トークンを受信していない (初期値)
4	BK11DT	UF0BI1 レジスタ (Endpoint 1) の FIFO のトグルが発生したことを示します。これは Endpoint 1 にデータを書き込めることを意味します。 1: FIFO のトグル動作が発生した (割り込み要求発生) 0: FIFO のトグル動作が発生していない (初期値) Endpoint 1 に書き込まれたデータは UF0EN レジスタの BK11NK ビットがセット (1) された次の IN トークンに同期して送信されますが、FIFO のトグル動作が発生して CPU 側からデータが書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Null パケットの場合でも FIFO の切り替えが行われた場合はセット (1) されます。UF0BI1 レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。
0	IT1DT	UF0INT1 レジスタ (Endpoint 7) からデータが正常に送信されたことを示します。 1: 送信が完了した (割り込み要求発生) 0: 送信が完了していない (初期値) データは UF0EN レジスタの IT1NK ビットをセット (1) した次の IN トークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。UF0INT1 レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。Null パケットでもセット (1) されます。

(14) UF0 INT ステータス 3 レジスタ (UF0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBF0 信号がアクティブになり、割り込みが通知されます。

8 ビット単位でリードだけ可能です。

USBF から割り込み要求 (INTUSBF0) が発生した場合、ファームウェアはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC3 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されません。

UF0EnIM レジスタ (n = 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

注意 USBF では、複数の割り込み要因が内部で論理和 (OR) され、割り込み要求 (INTUSBF0) として発生します。

1 つの割り込み要因だけをクリア (0) した場合、他の割り込み要因が残っているため、PFESiP/V850EP1 内部の INTUSBF0 割り込み要求はセット (1) された状態のままとなり、新たに割り込みが起動されないことがあります。

この場合、INTUSBF0 割り込み処理ルーチン内で各割り込み要求のクリア (0) 処理を実施したあと、改めて UF0IS0, UF0IS1, UF0IS2, UF0IS3 レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	0	0	0	0	BKO1FL	BKO1NL	BKO1NAK	BKO1DT	404CH	00H
	0	0	0	0	R	R	R	R		

ビット位置	ビット名	意味
3	BKO1FL	UF0BO1 レジスタ (Endpoint 2) にデータが正常受信され、CPU/SIE の両方の FIFO にデータが保持されていることを示します。 1 : UF0BO1 レジスタの両方の FIFO に受信データが存在する (割り込み要求発生) 0 : UF0BO1 レジスタの少なくとも SIE 側 FIFO には受信データが存在しない (初期値) CPU/SIE の両方の FIFO にデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFO のトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
2	BKO1NL	UF0BO1 レジスタ (Endpoint 2) で Null パケット (0 長パケット) を受信したことを示します。 1 : Null パケットを受信した (割り込み要求発生) 0 : Null パケットは受信していない (初期値) FIFO が空の状態では Null パケットの受信により受信直後にこのビットがセット (1) されます。CPU 側 FIFO にデータが存在する状態では CPU 側 FIFO の読み出しが完了したあとにこのビットがセット (1) されます。
1	BKO1NAK	UF0BO1 レジスタ (Endpoint 2) に対する OUT トークンを受信して NAK を返信したことを示します。 1 : OUT トークンを受信し NAK を送出した (割り込み要求発生) 0 : OUT トークンを受信していない (初期値)

ビット位置	ビット名	意味
0	BKO1DT	<p>UF0BO1 レジスタ (Endpoint 2) にデータが正常受信されたことを示します。</p> <p>1: 正常に受信が完了した (割り込み要求発生)</p> <p>0: 受信が完了していない (初期値)</p> <p>正常受信を行い FIFO が切り替わったときに、ハードウェアにより自動的にセット (1) され、同時に UF0EPS0 レジスタの BKOUT1 もセット (1) されます。Null パケットの場合はセット (1) されません。ファームウェアによる UF0BO1 レジスタ読み出しで UF0BO1L レジスタの値が 0 になると、ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットは CPU 側の FIFO をすべて読み出したときに自動的にクリア (0) されますが、このとき SIE 側にデータがあれば割り込み要求はクリアされず、INTUSBFO 信号はインアクティブになりません。連続してデータを受信した場合は、アクティブのままになります。</p>

(15) UF0 INT ステータス4 レジスタ (UF0IS4)

SET_INTERFACE リクエストを受信して、自動処理を行ったことを示します。このレジスタの変化は、割り込み通知を起こしません。

8ビット単位でリードだけ可能です。

このレジスタのビットは、UF0IC4 レジスタの対応ビットに0を書き込むと強制的にクリア(0)されます。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	4050H	00H
	0	0	R	0	0	0	0	0		

ビット位置	ビット名	意味
5	SETINT	SET_INTERFACE リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値) 現在の設定がどのようになっているかは UF0ASS レジスタまたは UF0IFn レジスタ (n = 0-4) を読み出すことで判断できます。

(16) UF0 INT マスク 0 レジスタ (UF0IM0)

UF0IS0 レジスタに示される割り込み要因のマスクを制御します。

8 ビット単位でリード/ライト可能です。

ファームウェアはこのレジスタの該当するビットに 1 を書き込むことで USBF からの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUSRSTM	RSUSPDM	VBSOFM	SHORTM	DMAEDM	SETRQM	CLRRQM	EPHALTM	405CH	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7	BUSRSTM	Bus Reset 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	VBSOFM	VBSOF 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	SHORTM	Short 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	DMAEDM	DMAED 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SETRQ 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLRRQ 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(17) UF0 INT マスク 1 レジスタ (UF0IM1)

UF0IS1 レジスタに示される割り込み要因のマスクを制御します。

8 ビット単位でリード/ライト可能です。

ファームウェアはこのレジスタの該当するビットに 1 を書き込むことで USBF からの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0INDTM	E0ODTM	SUCESM	STGM	PROTM	CPUDECM	4060H	00H
	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
6	E0INM	E0IN 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	E0INDT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	E0ODT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDEEC 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) UF0 INT マスク 2 レジスタ (UF0IM2)

UF0IS2 レジスタに示される割り込み要因のマスクを制御します。

8 ビット単位でリード/ライト可能です。

ファームウェアは、このレジスタの該当するビットに 1 を書き込むことで USBF からの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合モステータスは反映されません。

UF0EnIM レジスタ (n = 1, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

ビット 7, 6, 3-1 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	0	0	BKI1INM	BKI1DTM	0	0	0	IT1DTM	4064H	00H
	0	0	R/W	R/W	0	0	0	R/W		

ビット位置	ビット名	意味
5	BKI1INM	BKI1IN 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	BKI1DTM	BKI1DT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	IT1DTM	IT1DT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(19) UF0 INT マスク 3 レジスタ (UF0IM3)

UF0IS3 レジスタに示される割り込み要因のマスクを制御します。

8 ビット単位でリード/ライト可能です。

ファームウェアは、このレジスタの該当するビットに 1 を書き込むことで USBF から割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されません。

UF0EnIM レジスタ (n = 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

ビット 7-4 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	0	0	0	0	BKO1FLM	BKO1NLM	BKO1NAKM	BKO1DTM	4068H	00H
	0	0	0	0	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
3	BKO1FLM	BKO1FL 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	BKO1NLM	BKO1NL 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	BKO1NAKM	BKO1NK 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	BKO1DTM	BKO1DT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(20) UF0 INT マスク 4 レジスタ (UF0IM4)

UF0IS4 レジスタに示される SETINT のマスクを制御します。

8 ビット単位でリード/ライト可能です。

ファームウェアは、このレジスタの該当するビットに 1 を書き込むことで SETINT をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	0	0	SETINTM	0	0	0	0	0	406CH	00H
	0	0	R/W	0	0	0	0	0		

ビット位置	ビット名	意味
5	SETINTM	SETINT のマスクを行います。 1: マスクする 0: マスクしない (初期値)

(21) UF0 INT クリア 0 レジスタ (UF0IC0)

UF0IS0 レジスタに示される割り込み要因のクリアを制御します。

8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFH が読み出せます。

ファームウェアはこのレジスタの該当するビットに 0 を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にファームウェアによるクリア (0) が可能です。0 を書き込んだあとは自動的にセット (1) されます。1 を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUSRSTC	RSUSPDC	VBSOFC	SHORTC	DMAEDC	SETRQC	CLRRQC	EPHALTC	4078H	FFH
	W	W	W	W	W	W	W	W		

ビット位置	ビット名	意味
7	BUSRSTC	Bus Reset 割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend 割り込み要求をクリアします。 0 : クリアする
5	VBSOFC	VBSOF 割り込み要求をクリアします。 0 : クリアする
4	SHORTC	Short 割り込み要求をクリアします。 0 : クリアする
3	DMAEDC	DMAED 割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SETRQ 割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLRRQ 割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt 割り込み要求をクリアします。 0 : クリアする

(22) UF0 INT クリア1 レジスタ (UF0IC1)

UF0IS1 レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

ファームウェアはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にファームウェアによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0INDTC	E0ODTC	SUCESC	STGC	PROTC	CPUDECC	407CH	FFH
	1	W	W	W	W	W	W	W		

ビット位置	ビット名	意味
6	E0INC	E0IN 割り込み要求をクリアします。 0: クリアする
5	E0INDTC	E0INDT 割り込み要求をクリアします。 0: クリアする
4	E0ODTC	E0ODT 割り込み要求をクリアします。 0: クリアする
3	SUCESC	Success 割り込み要求をクリアします。 0: クリアする
2	STGC	Stg 割り込み要求をクリアします。 0: クリアする
1	PROTC	Protect 割り込み要求をクリアします。 0: クリアする
0	CPUDECC	CPUDECC 割り込み要求をクリアします。 0: クリアする

(23) UF0 INT クリア 2 レジスタ (UF0IC2)

UF0IS2 レジスタに示される割り込み要因のクリアを制御します。

8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFH が読み出せます。

ファームウェアはこのレジスタの該当するビットに 0 を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にファームウェアによるクリア (0) が可能です。0 を書き込んだあとは自動的にセット (1) されます。1 を書き込んだりも無効となります。

UF0EnIM レジスタ (n = 1, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	1	1	BKI1INC	BKI1DTC	1	1	1	IT1DTC	4080H	FFH
	1	1	W	W	1	1	1	W		

ビット位置	ビット名	意味
5	BKI1INC	BKI1IN 割り込み要求をクリアします。 0 : クリアする
4	BKI1DTC	BKI1DT 割り込み要求をクリアします。 0 : クリアする
0	IT1DTC	IT1DT 割り込み要求をクリアします。 0 : クリアする

(24) UF0 INT クリア 3 レジスタ (UF0IC3)

UF0IS3 レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

ファームウェアはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にファームウェアによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んだりも無効となります。

UF0EnIM レジスタ (n = 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	1	1	1	1	BKO1FLC	BKO1NLC	BKO1NAKC	BKO1DTC	4084H	FFH
	1	1	1	1	W	W	W	W		

ビット位置	ビット名	意味
3	BKO1FLC	BKO1FL 割り込み要求をクリアします。 0 : クリアする
2	BKO1NLC	BKO1NL 割り込み要求をクリアします。 0 : クリアする
1	BKO1NAKC	BKO1NK 割り込み要求をクリアします。 0 : クリアする
0	BKO1DTC	BKO1DT 割り込み要求をクリアします。 0 : クリアする

(25) UF0 INT クリア 4 レジスタ (UF0IC4)

UF0IS4 レジスタに示される SETINT のクリアを制御します。

8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFH が読み出せます。

ファームウェアはこのレジスタの該当するビットに 0 を書き込むことで SETINT をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にファームウェアによるクリア (0) が可能です。0 を書き込んだあとは自動的にセット (1) されます。1 を書き込んでも無効となります。

UF0EnIM レジスタ (n = 1, 2, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	4088H	FFH
	1	1	W	1	1	1	1	1		

ビット位置	ビット名	意味
5	SETINTC	SETINT をクリアします。 0 : クリアする

(26) UF0 INT & DMARQ レジスタ (UF0IDR)

バルク転送の動作モードを選択するためのレジスタです。

8ビット単位でリード/ライト可能です。

UF0BO1 レジスタにデータが存在する場合、または UF0BI1 レジスタにデータを書き込める場合に、ファームウェアに対して割り込み要求で通知するか DMA 起動を要求するかを選択します。

UF0EnIM レジスタ (n = 1, 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

ビット 7, 5, 3, 2 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

注意 DMA 転送中の SET_INTERFACE リクエストで対象 Endpoint がサポートされなくなった場合は、DMA リクエスト信号はただちにインアクティブになり、該当するビットはハードウェアにより自動的にクリア (0) されます。

(1/2)

								アドレス	初期値	
UF0IDR	7	6	5	4	3	2	1	0	4098H	00H
	0	DQBI1MS	0	DQBO1MS	0	0	MODE1	MODE0		
	0	R/W	0	R/W	0	0	R/W	R/W		

ビット位置	ビット名	意味																
6	DQBI1MS	Endpoint 1 での BulkIn 転送動作を、PIO で行うか DMA で行うかをモード制御します。PIO モードでは、INTUSBF0 信号による BKI1DT 割り込み (UF0IS2 レジスタ) を有効にします。DMA モードでは、DMAC インタフェース信号 (CPU 機能の UDMS レジスタ) を有効にします。このビットは、DMA 動作中に EP1x_DCR2 レジスタの値が 0 になったとき、ハードウェアにより自動的にクリア (0) され、動作は PIO モードに戻ります。DMA による転送を継続する場合は、ファームウェアで再セット (1) してください。 1: Endpoint 1 を DMA モードに設定 0: Endpoint 1 を PIO モードに設定 (初期値)																
4	DQBO1MS	Endpoint 2 での BulkOut 転送動作を、PIO で行うか DMA で行うかをモード制御します。PIO モードでは、INTUSBF0 信号による BKO1DT 割り込み (UF0IS3 レジスタ) を有効にします。DMA モードでは、DMAC インタフェース信号 (CPU 機能の UDMS レジスタ) を有効にします。このビットは、DMA 動作中に EP2x_DCR2 レジスタの値が 0 になったとき、ハードウェアにより自動的にクリア (0) され、動作は PIO モードに戻ります。DMA による転送を継続する場合は、ファームウェアで再セット (1) してください。 1: Endpoint 2 を DMA モードに設定 0: Endpoint 2 を PIO モードに設定 (初期値)																
1, 0	MODE1, MODE0	DMA 転送モードを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>MODE1</th> <th>MODE0</th> <th>モード</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> <td>動作は保証できません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>デマンド・モード</td> <td>データがあるかぎり DMA リクエスト信号はアクティブになります。データがなくなるとインアクティブになります。</td> </tr> <tr> <td>0</td> <td>X</td> <td>設定禁止</td> <td>動作は保証できません。</td> </tr> </tbody> </table> 備考 1. X: Don't care 2. PFESiP/V850EP1 ではデマンド・モードのみサポートします。	MODE1	MODE0	モード	備考	1	1	設定禁止	動作は保証できません。	1	0	デマンド・モード	データがあるかぎり DMA リクエスト信号はアクティブになります。データがなくなるとインアクティブになります。	0	X	設定禁止	動作は保証できません。
MODE1	MODE0	モード	備考															
1	1	設定禁止	動作は保証できません。															
1	0	デマンド・モード	データがあるかぎり DMA リクエスト信号はアクティブになります。データがなくなるとインアクティブになります。															
0	X	設定禁止	動作は保証できません。															

(27) UF0 DMA ステータス0 レジスタ (UF0DMS0)

Endpoint1, Endpoint2 の DMA のステータスを示します。

8 ビット単位でリードだけ可能です。

UF0EnIM レジスタ (n = 1, 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは, 関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS0	0	0	0	0	DQE2	DQE1	0	0	409CH	00H
	0	0	0	0	R	R	0	0		

ビット位置	ビット名	意味
3	DQE2	Endpoint2 からメモリへの DMA 読み出し要求を行っていることを示します。 1 : Endpoint2 に対する DMA 読み出し要求中 0 : Endpoint2 に対する DMA 読み出し要求をしていない (初期値)
2	DQE1	メモリから Endpoint1 への DMA 書き込み要求を行っていることを示します。 Endpoint1 にデータがある状態 (FIFO フル以外, UF0DEND レジスタの BK11DED ビットのセット (1)後)でも, UF0IDR レジスタの DQBI1MS ビット, および EP1_DCR1 レジスタの EP1DMAEN ビットを 1 にすると, すぐに DMA リクエスト信号がアクティブになり DMA 転送が開始されますのでご注意ください。 1 : Endpoint1 に対する DMA 書き込み要求中 0 : Endpoint1 に対する DMA 書き込み要求をしていない (初期値)

(28) UF0 DMA ステータス 1 レジスタ (UF0DMS1)

Endpoint1-Endpoint2 の DMA のステータスを示します。

8 ビット単位でリードだけ可能です。

UF0EnIM レジスタ (n = 1, 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

各ビットはこのレジスタを読み出したときに自動的にクリア (0) されます。ただし、このレジスタを読み出しても UF0IS0 レジスタのビット 4, 3 はクリア (0) されません。SET_INTERFACE リクエストで対象 Endpoint がサポートされなくなった場合は、各ビットはハードウェアにより自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS1	0	0	0	DEDE2	DSPE2	DEDE1	0	0	40A0H	00H
	0	0	0	R	R	R	0	0		

ビット位置	ビット名	意味
4, 2	DEDEn	Endpoint n とメモリとの間の DMA 転送要求を行っている最中に EPnx_DCR2 の値が 0 になり DMA が停止したことを示します。 1 : Endpoint n 用 DMA 終了信号がアクティブ 0 : Endpoint n 用 DMA 終了信号がインアクティブ (初期値) DMA 転送を行う場合、このレジスタを必ずリードしてください。 UF0DMS1 レジスタをリードしないと、次回の DMA 転送時に本ビットがセットされなくなります。
3	DSPEm	Endpoint m からメモリへの DMA 読み出し要求を行っていたが、受信データがショート・パケットであり転送データがなくなったため、DMA が停止したことを示します。 1 : Endpoint m 用ショート・パケット受信信号 / INTUSBF2 信号がアクティブ 0 : Endpoint m 用ショート・パケット受信信号 / INTUSBF2 信号がインアクティブ (初期値) DMA 転送を行う場合、特にショート・パケット受信においてはこのレジスタを必ずリードしてください。UF0DMS1 レジスタをリードしないと、次回のショート・パケット転送時に本ビットがセットされなくなります。

備考 n = 1, 2
 m = 2

(29) UF0 FIFO クリア 0 レジスタ (UF0FIC0)

各 FIFO をクリアするためのレジスタです。

8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、00H が読み出せます。

ファームウェアはこのレジスタの該当するビットに 1 を書き込むことで対象 FIFO をクリアできます。1 を書き込んだあとは自動的にクリア (0) されます。0 を書き込んで無効となります。

UF0EnIM レジスタ (n = 1, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	0	0	BK11SC	BK11CC	0	ITR1C	EP0WC	EP0RC	40C0H	00H
	0	0	W	W	0	W	W	W		

ビット位置	ビット名	意味
5	BK11SC	UF0BI1 レジスタの SIE 側 FIFO のみをクリア (カウンタをリセット) します。 1: クリアする UF0EN レジスタの BK11NK ビットがセット (1) されている状態で Endpoint 1 に対する IN トークンの処理中にこのビットの書き込みを行っても無効になります。なお、BK11NK ビットは FIFO をクリアすることで自動的にクリア (0) されます。このビットを使用するときには CPU 側 FIFO を必ず空にしておいてください。
4	BK11CC	UF0BI1 レジスタの CPU 側 FIFO のみをクリア (カウンタをリセット) します。 1: クリアする
2	ITR1C	UF0INT1 レジスタをクリア (カウンタをリセット) します。 1: クリアする UF0EN レジスタの IT1NK ビットがセット (1) されている状態で Endpoint 7 に対する IN トークンの処理中にこのビットの書き込みを行っても無効になります。なお、IT1NK ビットは FIFO をクリアすることで自動的にクリア (0) されます。
1	EP0WC	UF0E0W レジスタをクリア (カウンタをリセット) します。 1: クリアする UF0E0N レジスタの EP0NKW ビットがセット (1) されている状態で Endpoint0 に対する IN トークンの処理中にこのビットの書き込みを行っても無効になります。なお、EP0NKW ビットは FIFO をクリアすることで自動的にクリア (0) されます。
0	EP0RC	UF0E0R レジスタをクリア (カウンタをリセット) します。 1: クリアする UF0E0N レジスタの EP0NKR ビットがセット (1) されている場合 (ただし、ファームウェアでセット (1) した場合は除く) には、FIFO をクリアすることで EP0NKR ビットが自動的にクリア (0) されます。

(30) UF0 FIFO クリア 1 レジスタ (UF0FIC1)

各 FIFO をクリアするためのレジスタです。

8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、00H が読み出せます。

ファームウェアはこのレジスタの該当するビットに 1 を書き込むことで対象 FIFO をクリアできます。1 を書き込んだあとは自動的にクリア (0) されます。0 を書き込んだりも無効となります。

UF0EnIM レジスタ (n = 2) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	0	0	BKO1C	BKO1CC	40C4H	00H
	0	0	0	0	0	0	W	W		

ビット位置	ビット名	意味
1	BKO1C	UF0BO1 レジスタの SIE 側/CPU 側の両 FIFO をクリア (カウンタをリセット) します。 1: クリアする UF0EN レジスタの BKO1NK ビットがセット (1) されている場合 (ただし、ファームウェアでセット (1) した場合は除く) には、FIFO をクリアすることで BKO1NK ビットが自動的にクリア (0) されます。
0	BKO1CC	UF0BO1 レジスタの CPU 側の FIFO だけをクリア (カウンタをリセット) します。 1: クリアする UF0EN レジスタの BKO1NK ビットがセット (1) されている場合 (ただし、ファームウェアでセット (1) した場合は除く) には、FIFO をクリアすることで BKO1NK ビットが自動的にクリア (0) されます。

(31) UF0 データ・エンド・レジスタ (UF0DEND)

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でだけアクセス可能です。ビット6はリード/ライト可能、ビット3, 1, 0はライトだけ可能です。このレジスタをリードした場合は、ビット6以外は0が読み出せます。

ファームウェアはこのレジスタの該当するビット3, 1, 0に1を書き込むことで対象 Endpoint のデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んだても無効となります。

UF0EnIM レジスタ (n = 1, 7) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	0	BKI1T	0	0	IT1DEND	0	BKI1DED	E0DED	40D4H	00H
	0	R/W	0	0	W	0	W	W		

ビット位置	ビット名	意味
6	BKI1T	DMA により UF0BI1 レジスタの CPU 側の FIFO がフルになった場合に、FIFO のトグル動作を自動的に実行するかを設定します。 1: FIFO フルになった時点で FIFO のトグル動作を自動的に実行する 0: FIFO フルになっても FIFO のトグル動作は自動実行しない (初期値)
3	IT1DEND	UF0INT1 レジスタのデータを送信するときにセット(1)してください。このビットがセット(1)されると、UF0EN レジスタの IT1NK ビットがセット(1)されデータ転送が行われます。 1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値) UF0FIC0 レジスタの ITR1C ビットがセット(1)され、さらにこのビットがセット(1)された場合 (UF0INT1 レジスタのカウンタ = 0, UF0EPS0 レジスタの IT1 = 1), Null (データ長 0) パケットが送信されます。 UF0INT1 レジスタにデータが存在し、さらにこのビットがセット(1)された場合 (UF0INT1 レジスタのカウンタ 0, UF0EPS0 レジスタの IT1 = 1), ショート・パケットが送信されます。
1	BKI1DED	UF0BI1 レジスタへの送信データの書き込みが終了したときにセット(1)してください。このビットがセット(1)されると、FIFO のトグル動作が行えるようになったタイミングで FIFO トグル動作が起こり、UF0EN レジスタの BKI1NK ビットがセット(1)されデータ転送が行われます。 1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値) UF0FIC0 レジスタの BKI1CC ビットがセット(1)され、さらにこのビットがセット(1)された場合 (UF0BI1 レジスタのカウンタ = 0), Null (データ長 0) パケットが送信されます。 UF0BI1 レジスタにデータが存在し、さらにこのビットがセット(1)された場合 (UF0BI1 レジスタのカウンタ 0), FIFO がフルでなければショート・パケットが送信されます。 PIO か BKI1T ビットをセット(1)した状態の DMA で UF0BI1 レジスタの CPU 側の FIFO をフルにした場合、このビットをセット(1)しなくてもハードウェアはデータ送信を開始します。 BKI1T ビットをクリア(0)した状態の DMA で UF0BI1 レジスタの CPU 側の FIFO をフルにした場合、必ずこのビットをセット(1)してください (3)UF0 EPNAK レジスタ (UF0EN) 参照)。

ビット位置	ビット名	意味
0	E0DED	<p>UF0E0W レジスタのデータを送信するときにセット(1)してください。このビットがセット(1)されると、UF0E0EN レジスタの EP0NKW ビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>UF0FIC0 レジスタの EP0WC ビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0E0W レジスタのカウンタ = 0, UF0EPS0 レジスタの BP0W1 = 1), Null (データ長 0) パケットが送信されます。</p> <p>UF0E0W レジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0E0W レジスタのカウンタ = 0, UF0EPS0 レジスタの BP0W1 = 1), FIFO がフルでなければショート・パケットが送信されます。</p>

(32) UF0 GPR レジスタ (UF0GPR)

USBF と USB インタフェースをリセットします。

8 ビット単位でライトのみ可能です。このレジスタをリードした場合は、00H が読み出せます。ビット 7-1 には、必ず 0 を設定してください。

ファームウェアはこのレジスタのビット 0 に 1 を書き込むことで USBF をリセットできます。1 を書き込んだあとは自動的にクリア (0) されます。0 を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	0	MRST	40DCH	00H
	0	0	0	0	0	0	0	W		

ビット位置	ビット名	意味
0	MRST	USBF をリセットするときにセット (1) してください。 1: リセットする このビットをファームウェアによりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから 2USB クロック後、リセットによる初期化が完了するのは 5USB クロック後になります。 システム・クロックの動作中に MRST ビットによる USBF のリセットを行った場合、USBF については RESET 端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。

(33) UF0 モード・コントロール・レジスタ (UF0MODC)

CPUDEEC 処理の制御を行います。

8 ビット単位でリード/ライト可能です。

このレジスタを設定することにより、UF0MODS レジスタの設定を変更できます。ハードウェア・リセット時と UF0GRP レジスタの MRST ビットをセット (1) したときにだけ自動的にクリア (0) されます。

このレジスタのビットがハードウェアにより自動的にセット (1) されても、ファームウェアによる設定が優先されます。

ビット 7, 5-0 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

注意 このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外は
このレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDCGDST	0	0	0	0	0	0	40E8H	00H
	0	R/W	0	0	0	0	0	0		

ビット位置	ビット名	意味
6	CDCGDST	GET_DESCRIPTOR Configuration リクエストを CPUDEC 処理に切り替えるときにセット (1) してください。このビットをセット (1) することにより UF0MODS レジスタの CDCGD ビットを強制的にセット (1) できます。 1 : GET_DESCRIPTOR Configuration リクエストを強制的に CPUDEC 処理に変更 (UF0MODS レジスタの CDCGD ビットをセット (1)) 0 : GET_DESCRIPTOR Configuration リクエストは自動処理のまま (初期値)

(34) UF0 モード・ステータス・レジスタ (UF0MODS)

コンフィギュレーション状況を示します。

8 ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	40F0H	00H
	0	R	0	R	R	R	0	0		

ビット位置	ビット名	意味
6	CDCGD	GET_DESCRIPTOR Configuration リクエストを CPUDEC 処理に切り替えるかを示します。 1 : GET_DESCRIPTOR Configuration リクエストを強制的に CPUDEC 処理に変更 0 : GET_DESCRIPTOR Configuration リクエストは自動処理のまま (初期値)
4	MPACK	Endpoint0 の送信パケット・サイズを示します。 1 : 8 バイト以外で送信を行っている 0 : 8 バイトで送信を行っている (初期値) このビットは GET_DESCRIPTOR Device リクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されます。なお、USBF がリセットされるまでこのビットはクリア (0) されません (BusReset ではクリア (0) されません)。 このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ 8 バイト転送を行います。したがって、GET_DESCRIPTOR Device リクエストの完了前にファームウェア処理の OUT トークンで 8 バイト以上のデータが送られた場合でも、正常受信します。 なお、Endpoint0 のサイズを 8 バイト構成にした場合は無視されます。
3	DFLT	デフォルト状態 (DFLT ビット = 1) になっているかを示します。 1 : 応答許可 0 : 応答禁止 (常に無応答) (初期値) このビットは Bus Reset により自動的にセット (1) されます。このビットがセット (1) されるまですべての Endpoint に対するトランザクションに応答しません。
2	CONF	SET_CONFIGURATION リクエストが完了したかを示します。 1 : SET_CONFIGURATION リクエストが完了した 0 : SET_CONFIGURATION リクエストが完了していない (初期値) SET_CONFIGURATION リクエストで Configuration 値 = 1 を受信したときにセット (1) されます。 このビットがセット (1) されていないかぎり、Endpoint0 以外に対するアクセスは無視されます。 なお、SET_CONFIGURATION リクエストで Configuration 値 = 0 を受信したとき、このビットはクリア (0) されます。また、Bus Reset を検出したときもクリア (0) されます。

(35) UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN)

GET/SET_INTERFACE リクエストに対して正常に応答する有効な Interface 番号を設定します。なお、Interface 0 は必ず有効となるため、Interface 1-4 までを選択できます。

8 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	4100H	00H
	R/W	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味															
7	ADDIF	0 以外の Interface 番号が利用できるように設定します。 1 : IFNO1, IFNO0 ビットで指定される Interface 番号までサポート 0 : Interface 0 だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット 1, 0 の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートする Interface 番号の範囲を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効な Interface 番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効な Interface 番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効な Interface 番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(36) UF0 アクティブ・オルタネート・セッティング・レジスタ (UF0AAS)

Interface 番号と Alternate Setting のリンクを設定します。

8 ビット単位でリード/ライト可能です。

PFESiP/V850EP1 の USBF では 5 連 Alternate Setting (Alternate Setting 0, 1, 2, 3, 4 を定義できる) と 2 連 Alternate Setting (Alternate Setting 0, 1 を定義できる) をそれぞれ 1 つの Interface に対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	4104H	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味															
7, 3	ALTn	n 連 Alternate Setting を Interface 0 にリンクするかを設定します。このビットがセット (1) されると IFALn1, IFALn0 ビットの設定は無効になります。 1 : Interface 0 に n 連 Alternate Setting をリンクする 0 : Interface 0 には n 連 Alternate Setting はリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n 連 Alternate Setting にリンクされる Interface 番号を設定します。リンクした Interface 番号が UF0AIFN レジスタで設定された Interface 番号の範囲外の場合は, n 連 Alternate Setting は無効になります (ALTnEN ビット = 0)。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">IFALn1</th> <th style="width: 10%;">IFALn0</th> <th style="width: 80%;">リンクする Interface 番号</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>Interface 4 とリンク</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>Interface 3 とリンク</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>Interface 2 とリンク</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>Interface 1 とリンク</td> </tr> </tbody> </table> 5 連 Alternate Setting と 2 連 Alternate Setting を同じ Interface 番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクする Interface 番号	1	1	Interface 4 とリンク	1	0	Interface 3 とリンク	0	1	Interface 2 とリンク	0	0	Interface 1 とリンク
IFALn1	IFALn0	リンクする Interface 番号															
1	1	Interface 4 とリンク															
1	0	Interface 3 とリンク															
0	1	Interface 2 とリンク															
0	0	Interface 1 とリンク															
4, 0	ALTnEN	n 連 Alternate Setting を有効にします。このビットがセット (1) されていないと ALTn ビット, IFALn1, IFALn0 ビットの設定は無効になります。 1 : n 連 Alternate Setting を有効にする 0 : n 連 Alternate Setting を有効にしない (初期値)															

備考 n = 2, 5

たとえば, UF0AIFN レジスタを 82H に設定し, UF0AAS レジスタを 15H に設定した場合, Interface 0, 1, 2, 3 が有効になり Interface 0, 2 は Alternate Setting 0 のみ, Interface 1 は Alternate Setting 0, 1, Interface 3 は Alternate Setting 0, 1, 2, 3, 4 をサポートすることを示します。この設定では GET_INTERFACE wIndex = 0/1/2/3, SET_INTERFACE wValue = 0 & wIndex = 0/2, SET_INTERFACE wValue = 0/1 & wIndex = 1, SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3 のリクエストに対して自動応答し, それ以外の GET/SET_INTERFACE リクエストには STALL 応答します。

(37) UF0 オルタネート・セッティング・ステータス・レジスタ (UF0ASS)

現在の Alternate Setting の設定状態を示します。

8 ビット単位でリードだけ可能です。

SET_INTERFACE リクエストで受信した値は同時に UF0IFn レジスタ (n = 0-4) にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	4108H	00H
	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味																								
3-1	AL5ST3- AL5ST1	5 連 Alternate Setting の現在の設定状況を示します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されている Alternate Setting 番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternate Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternate Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternate Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternate Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternate Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されている Alternate Setting 番号	1	0	0	Alternate Setting 4	0	1	1	Alternate Setting 3	0	1	0	Alternate Setting 2	0	0	1	Alternate Setting 1	0	0	0	Alternate Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されている Alternate Setting 番号																							
1	0	0	Alternate Setting 4																							
0	1	1	Alternate Setting 3																							
0	1	0	Alternate Setting 2																							
0	0	1	Alternate Setting 1																							
0	0	0	Alternate Setting 0																							
0	AL2ST	2 連 Alternate Setting の現在の設定状況 (設定されている Alternate Setting 番号) を示します。 1 : Alternate Setting 1 0 : Alternate Setting 0																								

(38) UF0 エンドポイント 1 インタフェース・マッピング・レジスタ (UF0E1IM)

Endpoint1 がどの Interface と Alternate Setting に対して有効になるかを設定します。

8 ビット単位でリード/ライト可能です。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternate Setting によって Endpoint1 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1 リクエストと Endpoint1 への IN トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	410CH	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																				
7-5	E1EN2- E1EN0	<p>Endpoint1 の対象 Interface と 2/5 連 Alternate Setting とのリンクを設定します。リンクされている設定のときは、Alternate Setting 0 とリンクされます。なお、Alternate Setting 0 にリンクされた Endpoint は Alternate Setting 1-4 で外すことはできません。</p> <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 10%;">E1EN2</th> <th style="width: 10%;">E1EN1</th> <th style="width: 10%;">E1EN0</th> <th style="width: 70%;">リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternate Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E12AL1 ビットを 0 に設定しても無効となります。 リンクされている設定であれば、UF0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint1 が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0		1	0	1	Interface 4, Alternate Setting 0 とリンク	1	0	0	Interface 3, Alternate Setting 0 とリンク	0	1	1	Interface 2, Alternate Setting 0 とリンク	0	1	0	Interface 1, Alternate Setting 0 とリンク	0	0	1	Interface 0, Alternate Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																			
1	1	1	Interface とリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternate Setting 0 とリンク																																			
1	0	0	Interface 3, Alternate Setting 0 とリンク																																			
0	1	1	Interface 2, Alternate Setting 0 とリンク																																			
0	1	0	Interface 1, Alternate Setting 0 とリンク																																			
0	0	1	Interface 0, Alternate Setting 0 とリンク																																			
0	0	0	Interface とリンクされていない (初期値)																																			
4	E12AL1	<p>2 連 Alternate Setting とリンクされた Interface の Alternate Setting が 1 に設定されているときに Endpoint1 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値)</p> <p>このビットは E15AL4-E15AL1 ビットが 0000 の場合に有効になります。</p>																																				
3-0	E15AL4- E15AL1	<p>5 連 Alternate Setting とリンクされた Interface の Alternate Setting が n に設定されているときに Endpoint1 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)</p>																																				

備考 n = 1-4

(39) UF0 エンドポイント2 インタフェース・マッピング・レジスタ (UF0E2IM)

Endpoint2 がどの Interface と Alternate Setting に対して有効になるかを設定します。

8 ビット単位でリード/ライト可能です。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternate Setting によって Endpoint2 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2 リクエストと Endpoint2 への OUT トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	4110H	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																				
7-5	E2EN2- E2EN0	<p>Endpoint2 の対象 Interface と 2/5 連 Alternate Setting とのリンクを設定します。リンクされている設定のときは、Alternate Setting 0 とリンクされます。なお、Alternate Setting 0 にリンクされた Endpoint は Alternate Setting 1-4 で外すことはできません。</p> <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 10%;">E2EN2</th> <th style="width: 10%;">E2EN1</th> <th style="width: 10%;">E2EN0</th> <th style="width: 70%;">リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternate Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E22AL1 ビットを 0 に設定しても無効となります。 リンクされている設定であれば、UF0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint2 が有効になることを示します。</p>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0		1	0	1	Interface 4, Alternate Setting 0 とリンク	1	0	0	Interface 3, Alternate Setting 0 とリンク	0	1	1	Interface 2, Alternate Setting 0 とリンク	0	1	0	Interface 1, Alternate Setting 0 とリンク	0	0	1	Interface 0, Alternate Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																			
1	1	1	Interface とリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternate Setting 0 とリンク																																			
1	0	0	Interface 3, Alternate Setting 0 とリンク																																			
0	1	1	Interface 2, Alternate Setting 0 とリンク																																			
0	1	0	Interface 1, Alternate Setting 0 とリンク																																			
0	0	1	Interface 0, Alternate Setting 0 とリンク																																			
0	0	0	Interface とリンクされていない (初期値)																																			
4	E22AL1	<p>2 連 Alternate Setting とリンクされた Interface の Alternate Setting が 1 に設定されているときに Endpoint2 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値)</p> <p>このビットは E25AL4-E25AL1 ビットが 0000 の場合に有効になります。</p>																																				
3-0	E25AL4- E25AL1	<p>5 連 Alternate Setting とリンクされた Interface の Alternate Setting が n に設定されているときに Endpoint2 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)</p>																																				

備考 n = 1-4

(40) UF0 エンドポイント7 インタフェース・マッピング・レジスタ (UF0E7IM)

Endpoint7 がどの Interface と Alternate Setting に対して有効になるかを設定します。

8 ビット単位でリード/ライト可能です。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternate Setting によって Endpoint7 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7 リクエストと Endpoint7 への IN トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1	4124H	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味																																				
7-5	E7EN2- E7EN0	<p>Endpoint7 の対象 Interface と 2/5 連 Alternate Setting とのリンクを設定します。リンクされている設定のときは、Alternate Setting 0 とリンクされます。なお、Alternate Setting 0 にリンクされた Endpoint は Alternate Setting 1-4 で外すことはできません。</p> <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 10%;">E7EN2</th> <th style="width: 10%;">E7EN1</th> <th style="width: 10%;">E7EN0</th> <th style="width: 70%;">リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternate Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternate Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E72AL1 ビットを 0 に設定しても無効となります。 リンクされている設定であれば、UF0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint7 が有効になることを示します。</p>	E7EN2	E7EN1	E7EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0		1	0	1	Interface 4, Alternate Setting 0 とリンク	1	0	0	Interface 3, Alternate Setting 0 とリンク	0	1	1	Interface 2, Alternate Setting 0 とリンク	0	1	0	Interface 1, Alternate Setting 0 とリンク	0	0	1	Interface 0, Alternate Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E7EN2	E7EN1	E7EN0	リンク状態																																			
1	1	1	Interface とリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternate Setting 0 とリンク																																			
1	0	0	Interface 3, Alternate Setting 0 とリンク																																			
0	1	1	Interface 2, Alternate Setting 0 とリンク																																			
0	1	0	Interface 1, Alternate Setting 0 とリンク																																			
0	0	1	Interface 0, Alternate Setting 0 とリンク																																			
0	0	0	Interface とリンクされていない (初期値)																																			
4	E72AL1	<p>2 連 Alternate Setting とリンクされた Interface の Alternate Setting が 1 に設定されているときに Endpoint7 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値)</p> <p>このビットは E75AL4-E75AL1 ビットが 0000 の場合に有効になります。</p>																																				
3-0	E75AL4- E75AL1	<p>5 連 Alternate Setting とリンクされた Interface の Alternate Setting が n に設定されているときに Endpoint7 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)</p>																																				

備考 n = 1-4

3.4.5 EPC データ保持レジスタ

(1) UF0 EP0 リード・レジスタ (UF0E0R)

UF0E0R レジスタは、Endpoint0 に対するコントロール転送のデータ・ステージでホストから送られてくる OUT データを格納する 64 バイトの FIFO です。

8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはホストからのデータを受信すると UF0E0R レジスタに自動的に転送を行います。データを正常受信すると UF0IS1 レジスタの E0ODT ビットをセット (1) し、UF0E0L レジスタに受信したデータ量を保持して、割り込み要求 (INTUSBF0) を発行します。UF0E0L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合には UF0E0L レジスタはクリア (0) され割り込み要求は発生しません。

UF0E0R レジスタに保持しているデータは、UF0E0L レジスタで読み出した値分のデータだけファームウェアにおいて読み出してください。全データの読み出しが完了したかどうかは UF0EPS0 レジスタの EP0R ビットで確認してください (全データの読み出し完了の場合: EP0R ビット = 0)。UF0E0L レジスタ値が 0 のとき、UF0E0N レジスタの EP0NKR ビットがクリア (0) され、UF0E0R レジスタは受信可能状態になります。また、UF0E0R レジスタは、次の SETUP トークン受信時にクリアされます。

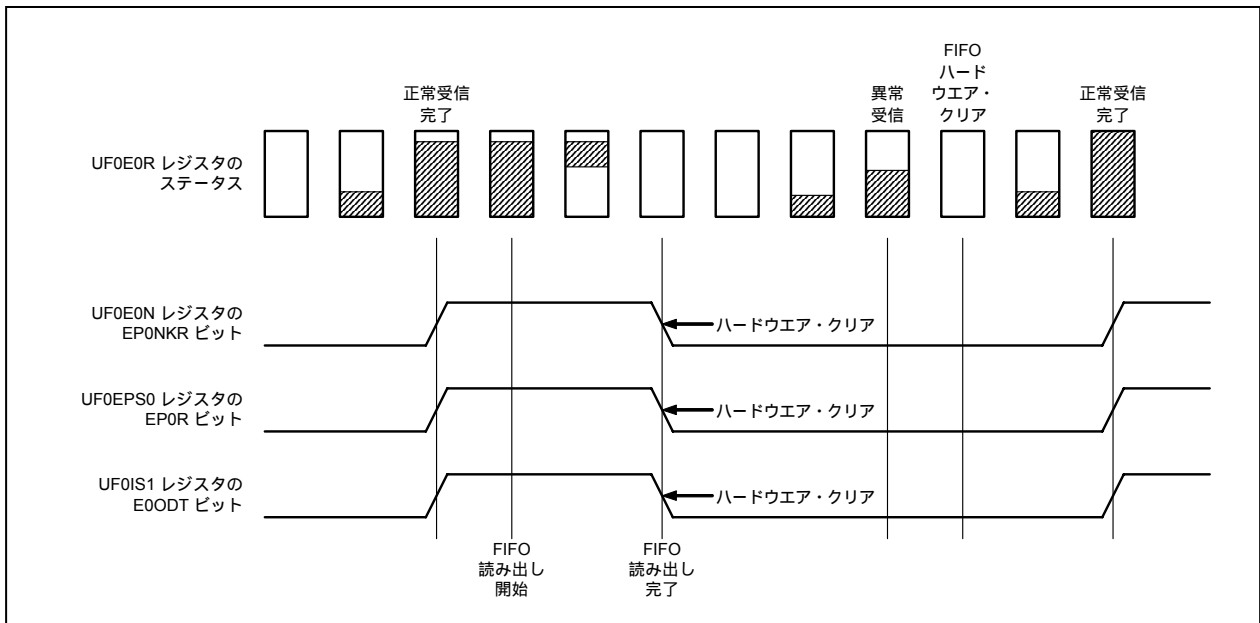
注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFO クリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	4200H	不定
	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	E0R7- E0R0	Endpoint0 に対するコントロール転送のデータ・ステージでホストから送られてくる OUT データが格納されます。

次に UF0E0R レジスタの動作を示します。

図 3 - 1 UF0E0R レジスタの動作



(2) UF0 EP0 レンクス・レジスタ (UF0E0L)

UF0E0L レジスタは、UF0E0R レジスタに保持されているデータ長を格納するレジスタです。

8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0E0L レジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、ファームウェアは UF0E0L レジスタで読み出した値分のデータだけ UF0E0R レジスタを読み出せます。UF0E0L レジスタは UF0E0R レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	4204H	00H
	R	R	R	R	R	R	R	R		
ビット位置	ビット名	意味								
7-0	E0L7- E0L0	UF0E0R レジスタに保持されているデータ長が格納されます。								

(3) UF0 EP0 セットアップ・レジスタ (UF0E0ST)

UF0E0ST レジスタは、ホストから送られてきた SETUP データを保持するためのレジスタです。

8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0ST レジスタは、SETUP トランザクションを受信すると常にデータの書き込みを行います。ハードウェアは SETUP トランザクションを正常受信した場合、UF0IS1 レジスタの PROT ビット、ファームウェア処理のリクエスト時には UF0IS1 レジスタの CPUDEC ビットをセット(1)し、割り込み要求(INTUSBF0)を発行します。

注意 ファームウェア処理の場合には、必ず 8 バイト・リードしてください。8 バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。UF0E0ST レジスタのリード・カウンタは、Bus Reset の受信時にもクリアされないため、Bus Reset の受信にかかわらず常に 8 バイト・リードしてください。

UF0E0ST レジスタは常に書き込みを許可しているため、データ・リード中に SETUP トランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUP トランザクションを正常受信できなかった場合でも、CPUDEC 割り込み要求および Protect 割り込み要求は発生しませんが前のデータは破棄されます。ただし、8 バイト以下の SETUP トークンを受信した場合、受信した SETUP データは破棄され、前回受信した SETUP データが保持されます。したがって、1 回のコントロール転送中に複数回の SETUP トークンを受信した場合、次に示す条件のときには必ず UF0IS1 レジスタの PROT ビットを確認してください。PROT ビット = 1 の場合には複数回 SETUP トランザクションを受信しているため、UF0E0ST レジスタを再度読み出してください。

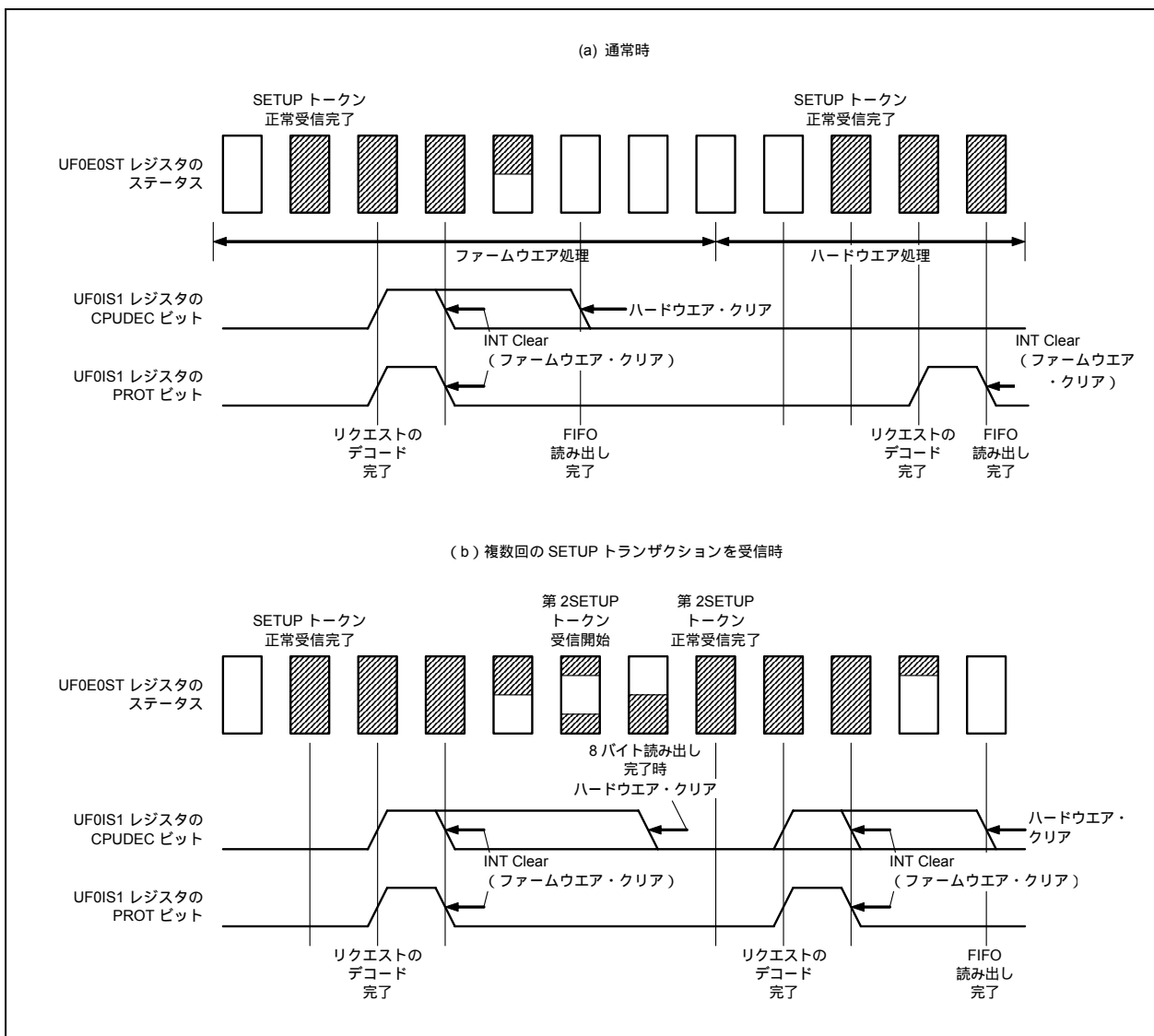
ファームウェアによりリクエストのデコードを行い、UF0E0R レジスタの読み出し、または UF0E0W レジスタの書き込みを行ったとき
デコード結果が対応していないリクエストのために STALL 応答の準備をするとき

注意 格納されているデータは、すべて読み出してください。UF0E0ST レジスタは、常に SETUP トランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	4208H	00H
	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	E0S7- E0S0		ホストから送られてきた SETUP データを保持します。							

次に UF0E0ST レジスタの動作を示します。

図3-2 UF0E0ST レジスタの動作



(4) UF0 EP0 ライト・レジスタ (UF0E0W)

UF0E0W レジスタは、Endpoint0 に対するデータ・ステージでホストに送る IN データを格納する (SIE に引き渡す) 64 バイトの FIFO です。

8 ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00H が読み出せます。

ハードウェアは UF0E0N レジスタの EP0NKW ビットがセット (1) されている (NAK を送信しない) 場合のみ、IN トークンに同期して USB バスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0E0N レジスタの EP0NKW ビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、UF0E0W レジスタにデータを書き込み、UF0DEND レジスタの E0DED ビットをセット (1) すると送信が行われます (UF0EPS0 レジスタの EP0W ビット = 1 (データがある))。Null パケットを送信する場合は、UF0E0W レジスタのクリアを行い、UF0DEND レジスタの E0DED ビットをセット (1) すると送信が行われます (UF0EPS0 レジスタの EP0W ビット = 1 (データがある))。

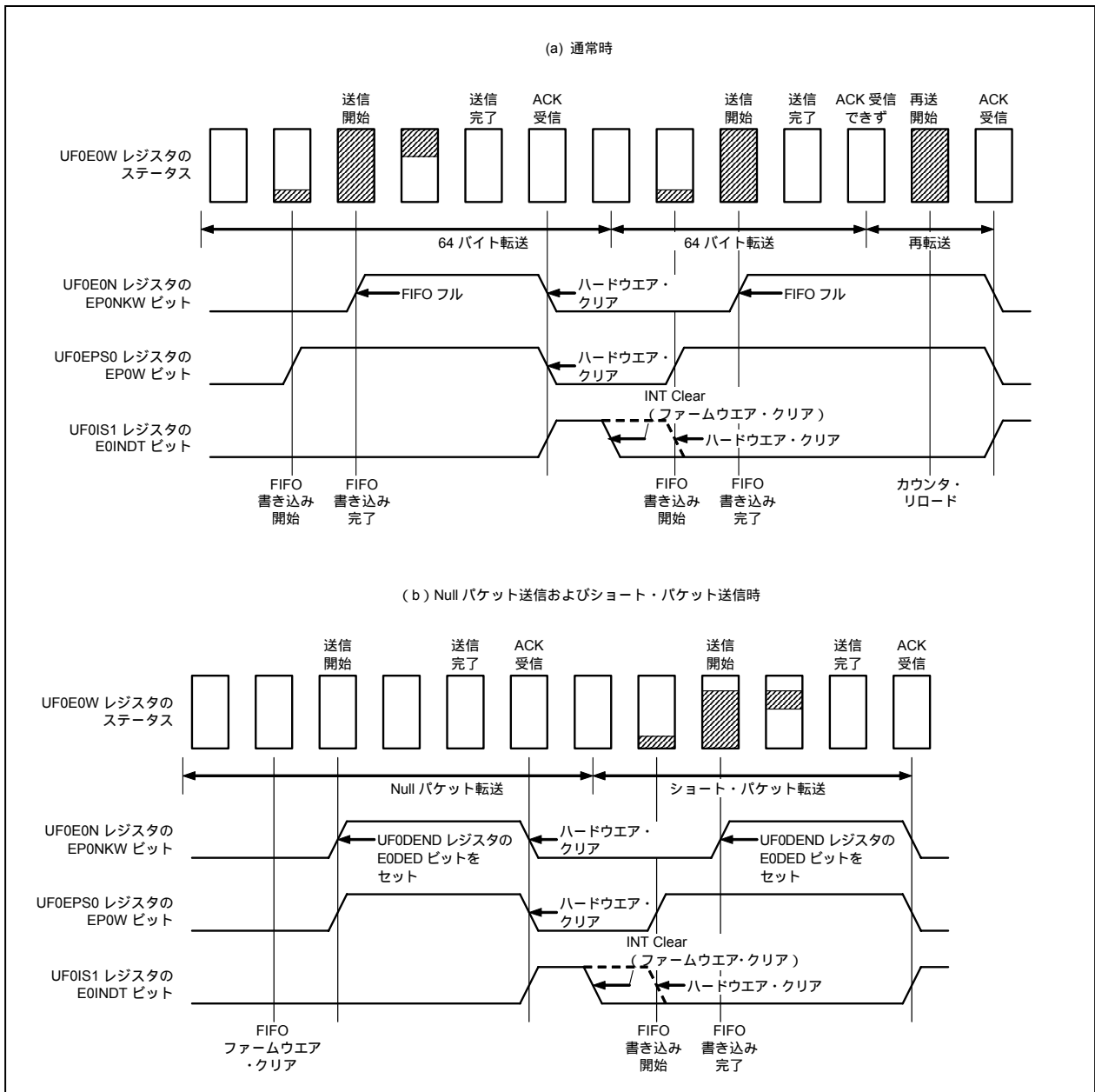
UF0E0W レジスタは、送信が完了していない状態で次の SETUP トークンを受信したときにクリア (0) されます。また、データ・ステージで ACK を正常に受信できていない状態でコントロール転送 (リード) がステータス・ステージに変わった場合、UF0E0W レジスタは自動的にクリア (0) され、同時に UF0E0N レジスタの EP0NKW ビット = 1 の場合にはクリア (0) されます。

データが空の状態では UF0E0W レジスタを読み出した場合には、00H が読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	420CH	不定
	W	W	W	W	W	W	W	W		
ビット位置	ビット名		意味							
7-0	E0W7-E0W0		Endpoint0 に対するデータ・ステージでホストに送る IN データを格納します。							

次に UF0E0W レジスタの動作を示します。

図 3 - 3 UF0E0W レジスタの動作



(5) UF0B01 バルク・アウト1 レジスタ (UF0BO1)

UF0BO1 レジスタは、Endpoint2 に対するデータを格納する 64 バイト × 2 の FIFO です。UF0BO1 レジスタは、64 バイト FIFO がバンク構成になっており、互いにトグル動作を行い、SIE 側と CPU 側のバスとの接続を繰り返します。トグル条件は、SIE 側の FIFO にデータがあり、かつ CPU 側の FIFO にデータがない (カウンタ値 = 0) ときです。

8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアは Endpoint2 に対するホストからのデータを受信すると UF0BO1 レジスタに自動的に転送します。データを正常受信すると FIFO トグル動作が起こり、UF0IS3 レジスタの BKO1DT ビットをセット (1) し、UF0BO1L レジスタに受信したデータ量を保持して、CPU に対して割り込み要求または DMA 要求を発生します。この割り込み要求と DMA 要求の切り替えは、UF0IDR レジスタの DQBO1MS ビットで選択できます。DMA モードでは、EP2_BULK_OUT レジスタを介して読み出します。

UF0BO1 レジスタに保持しているデータは、UF0BO1L レジスタで読み出した値分のデータだけファームウェアにおいて読み出してください。SIE 側に接続されている FIFO に正常な受信データが保持されており、UF0BO1L レジスタの値が 0 になると FIFO のトグル動作が発生して、UF0EN レジスタの BKO1NK ビットが自動的にクリア (0) されます。なお、UF0BO1L レジスタ値以上のデータの読み出しを行った場合には、FIFO のトグル条件が成立すると FIFO の切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU 側に接続されている FIFO にデータが保持されている状態でオーバラン・データを受信した場合、Endpoint2 がストール状態となり、CPU 側 FIFO もクリアされます。

データが空の状態 UF0BO1 レジスタを読み出した場合には、不定値が読み出せません。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	4210H	不定
	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	BKO17-BKO10		Endpoint2 に対するデータが格納されます。							

次に UF0BO1 レジスタの動作を示します。

図3-4 UF0BO1 レジスタの動作 (1/2)

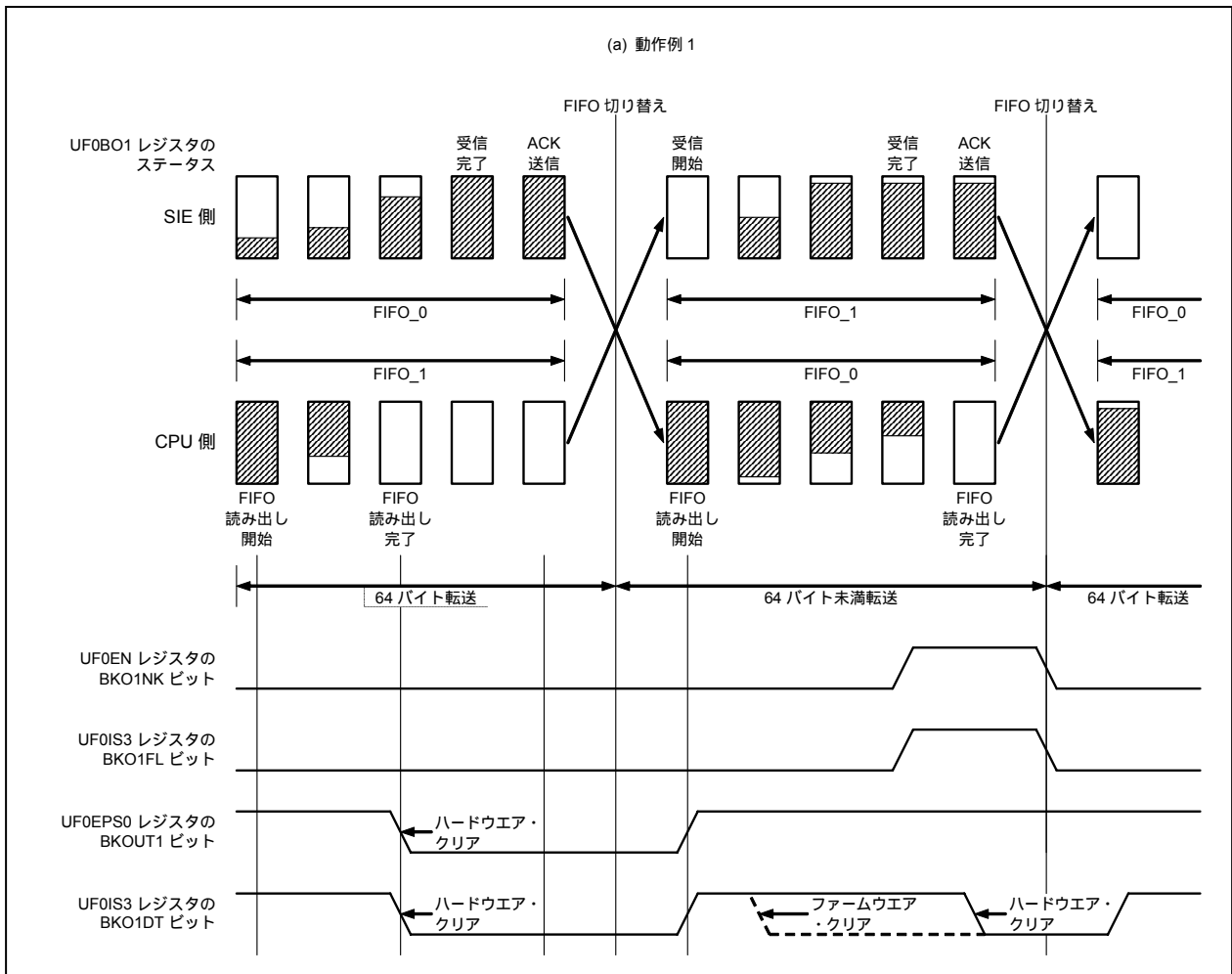
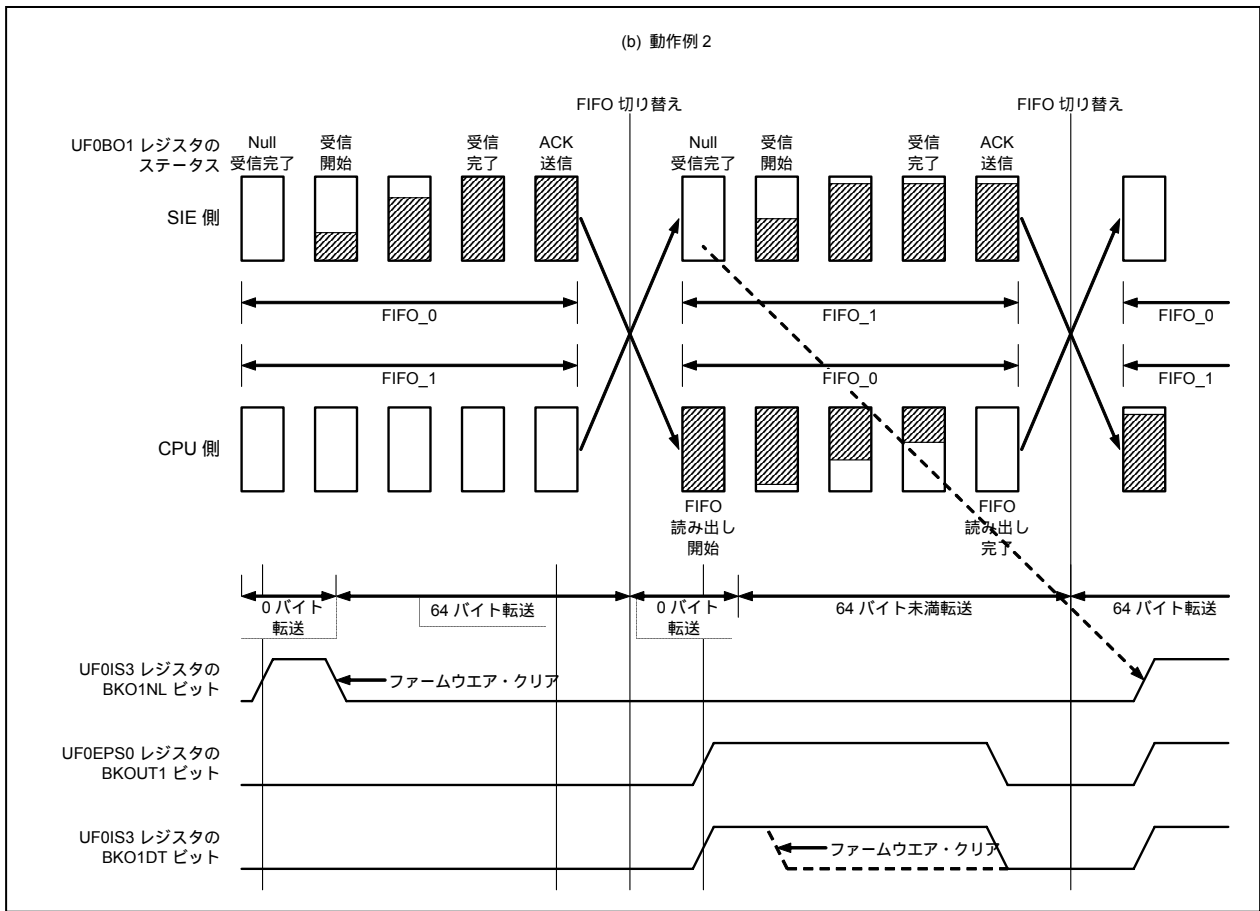


図3-4 UF0BO1 レジスタの動作 (2/2)



(6) UF0 パルク・アウト 1 レングス・レジスタ (UF0BO1L)

UF0BO1L レジスタは、UF0BO1 レジスタに保持されているデータ長を格納するレジスタです。

8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO1L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO1L レジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、ファームウェアは UF0BO1L レジスタで読み出した値分のデータだけ UF0BO1 レジスタを読み出せます。UF0BO1L レジスタは UF0BO1 レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	4214H	00H
	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	BKO1L7-BKO1L0		UF0BO1 レジスタに保持されているデータ長 (SIE 側と CPU 側の和) が格納されます。							

(7) UF0 バルク・イン 1 レジスタ (UF0BI1)

UF0BI1 レジスタは、Endpoint1 に対するデータを格納する 64 バイト×2 の FIFO です。UF0BI1 レジスタは、64 バイト FIFO がバンク構成になっており、互いにトグル動作を行い、SIE 側と CPU 側のバスとの接続を繰り返します。トグル条件は、SIE 側の FIFO にデータがない、かつ CPU 側の FIFO が正常に書き込まれていることです (FIFO フル、または UF0DEND レジスタの BKI1DED ビット = 1)。

8 ビット単位でライトのみ可能です。このレジスタをリードした場合は、00H が読み出せます。

ハードウェアは、UF0EN レジスタの BKI1NK ビットがセット (1) されている (NAK を送信しない) 場合のみ、Endpoint1 に対する IN トークンに同期して USB バスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、ファームウェアは UF0BI1 レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI1 レジスタにデータを書き込み、UF0DEND レジスタの BKI1DED ビットをセット (1) すると送信が行われます (UF0EPS0 レジスタの BKIN1 ビット = 1 (データがある))。Null パケットを送信する場合は、UF0BI1 レジスタのクリアを行い、UF0DEND レジスタの BKI1DED ビットをセット (1) すると送信が行われます (UF0EPS0 レジスタの BKIN1 ビット = 1 (データがある))。データを正常送信すると FIFO トグル動作が起こり、UF0IS2 レジスタの BKI1DT ビットをセット (1) し、CPU に対して割り込み要求を発生します。割り込み要求と DMA 要求の切り替えは、UF0IDR レジスタの DQBI1MS ビットで選択できます。DMA モードでは、EP1_BULK_IN レジスタを介して書き込みます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	4220H	不定
	W	W	W	W	W	W	W	W		
ビット位置	ビット名	意味								
7-0	BKI17-BKI10	Endpoint1 に対するデータを格納します。								

次に UF0BI1 レジスタの動作を示します。

図 3 - 5 UF0BI1 レジスタの動作 (1/3)

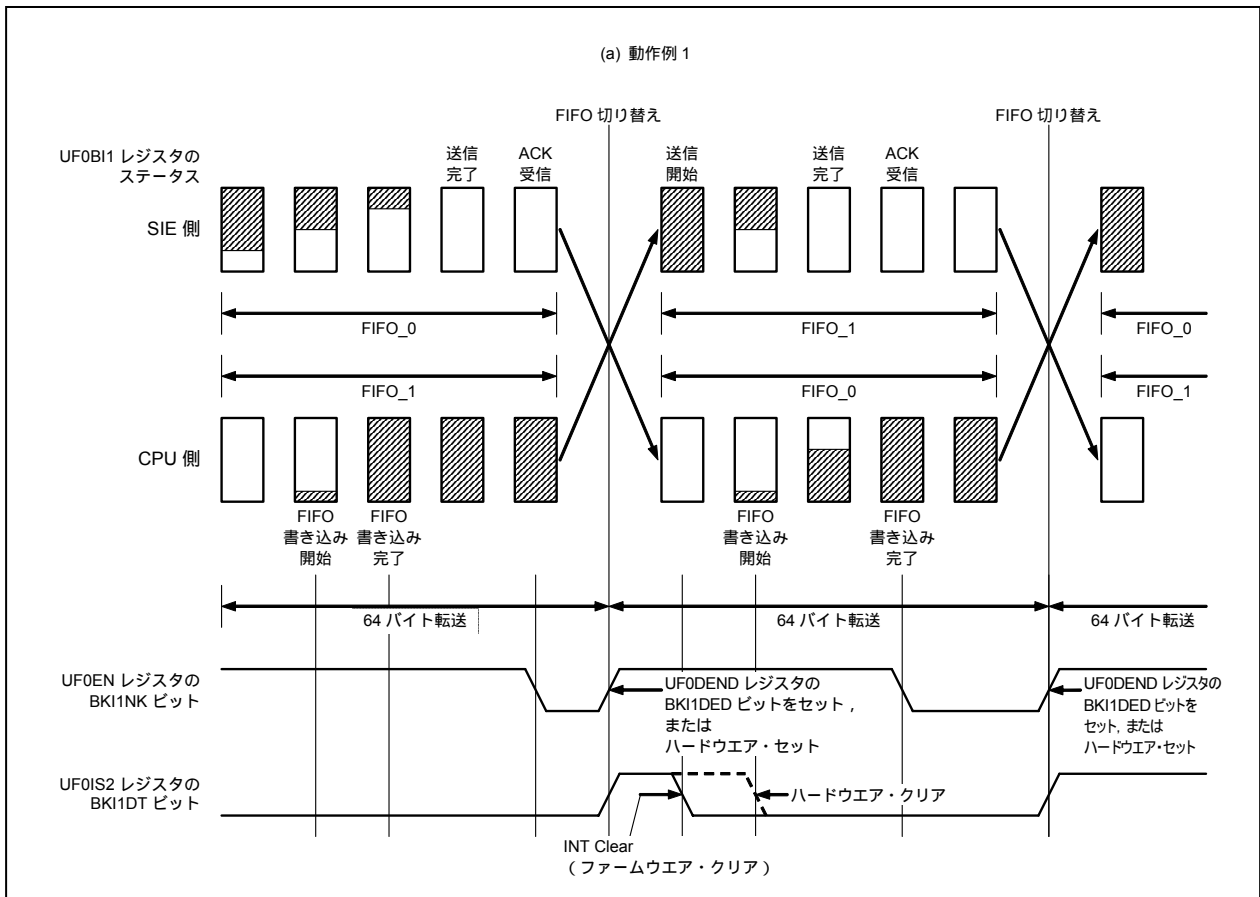


図 3 - 5 UF0BI1 レジスタの動作 (2/3)

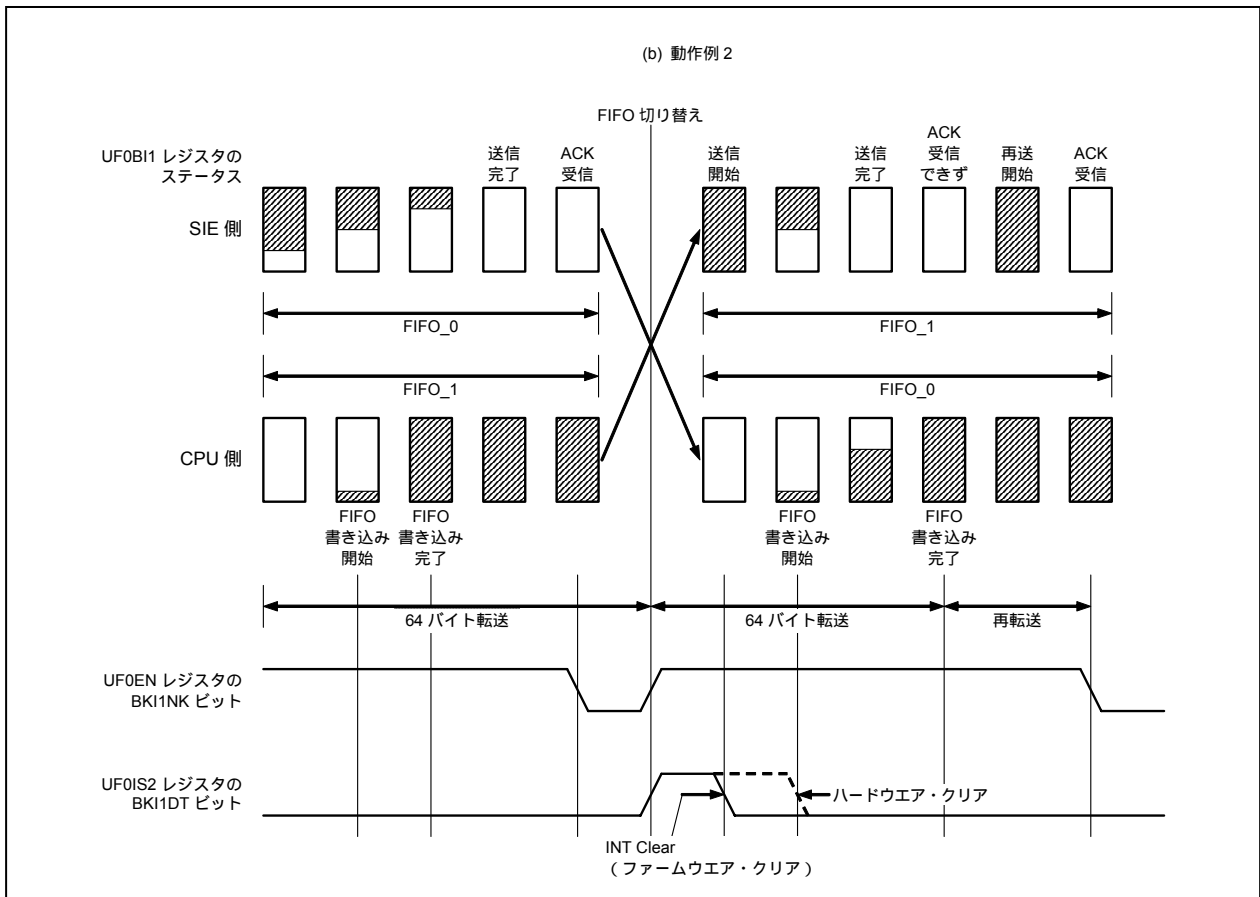
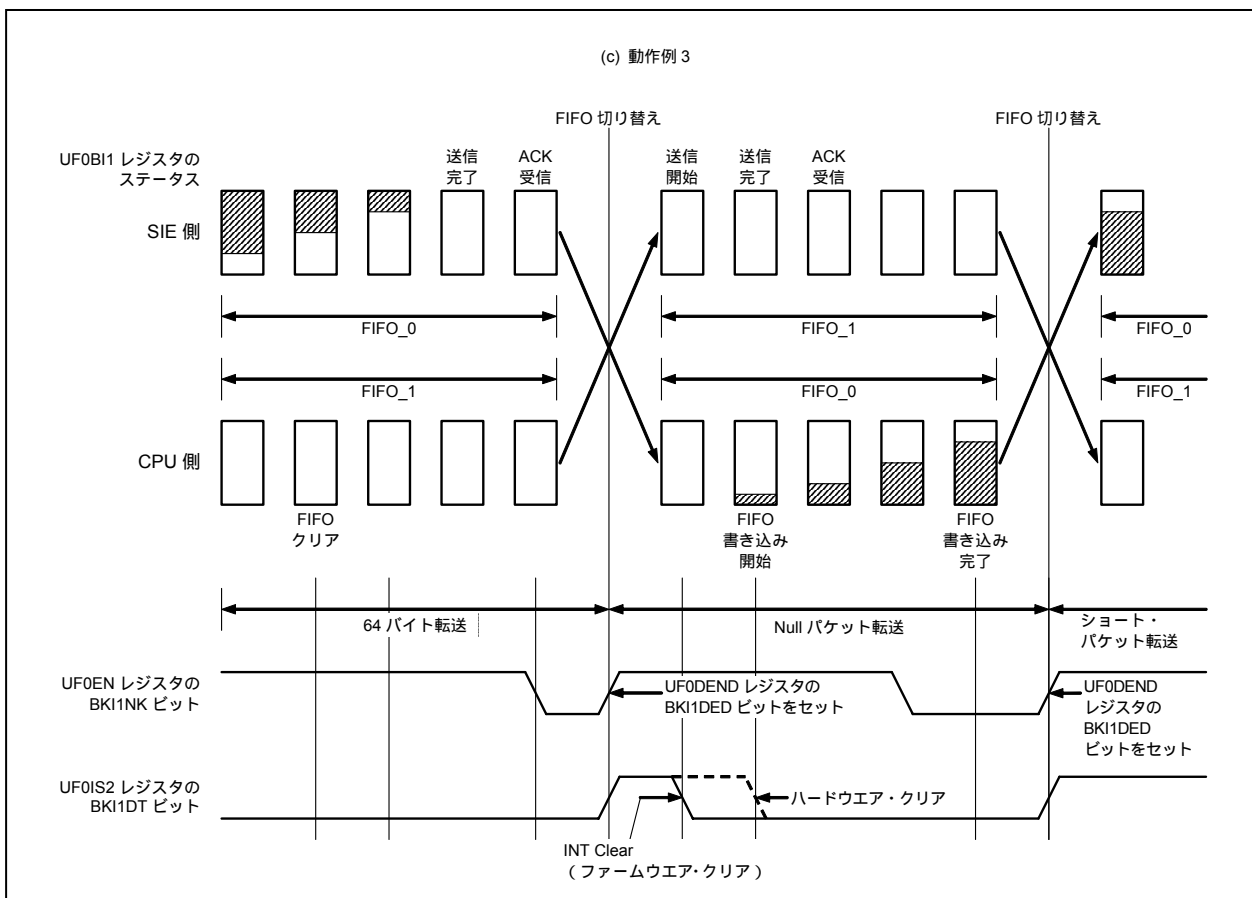


図3-5 UF0BI1 レジスタの動作 (3/3)



(8) UF0 インタラプト 1 レジスタ (UF0INT1)

UF0INT1 レジスタは、Endpoint7 に対するデータを格納する (SIE に引き渡す) 8 バイトの FIFO です。

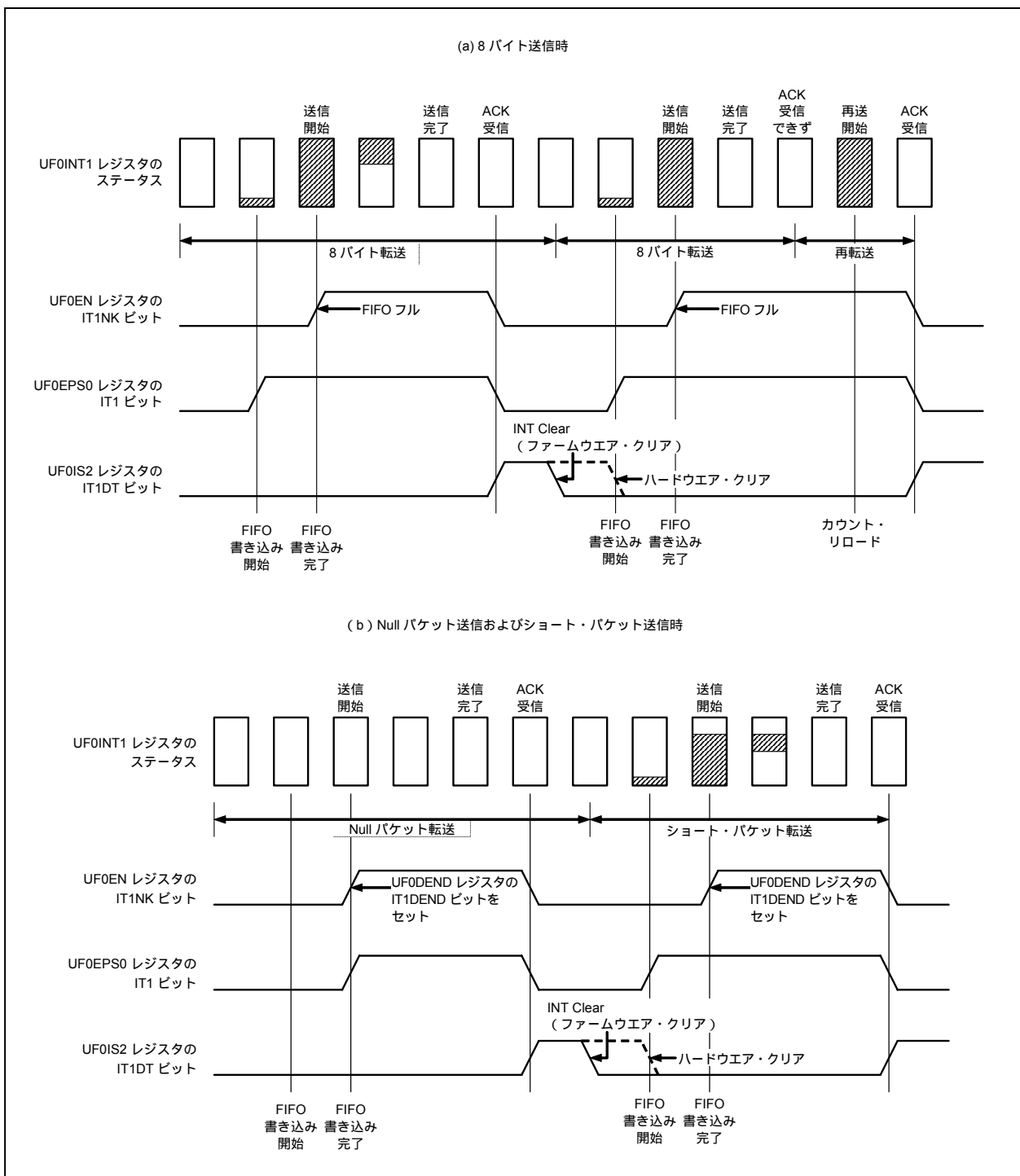
8 ビット単位でライトのみ可能です。このレジスタをリードした場合は、00H が読み出せます。

ハードウェアは UF0EN レジスタの IT1NK ビットがセット (1) されている (NAK を送信しない) 場合のみ、Endpoint7 に対する IN トークンに同期して USB バスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0EN レジスタの IT1NK ビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、UF0INT1 レジスタにデータを書き込み、UF0DEND レジスタの IT1DEND ビットをセット (1) すると送信が行われます (UF0EPS0 レジスタの IT1 ビット = 1 (データがある))。Null パケットを送信する場合は、UF0INT1 レジスタのクリアを行い、UF0DEND レジスタの IT1DEND ビットをセット (1) すると送信が行われます (UF0EPS0 レジスタの IT1 ビット = 1 (データがある))。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10	4228H	不定
	W	W	W	W	W	W	W	W		
ビット位置	ビット名	意味								
7-0	IT17-IT10	Endpoint7 に対するデータを格納します。								

次に UF0INT1 レジスタの動作を示します。

図3-6 UF0INT1 レジスタの動作



3.4.6 EPC リクエスト・データ・レジスタ

(1) UF0 デバイス・ステータス・レジスタ L (UF0DSTL)

GET_STATUS Device リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。

ハードウェアは GET_STATUS Device リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

注意 このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EPONKA ビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	4288H	00H
	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Device リクエストを受信したときハードウェアによりセット(1)され、CLEAR_FEATURE Device リクエストを受信したときハードウェアによりクリア(0)されます。リモート・ウエイクアップをサポートしない場合にはホストから SET_FEATURE Device リクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワーであるかバス・パワーであるかを示します。 1: セルフ・パワー 0: バス・パワー

(2) UF0 EP0 ステータス・レジスタ L (UF0E0SL)

GET_STATUS Endpoint0 リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKA ビットがセット(1)されているときにだけ可能です。

Endpoint0 への USB 側アクセスを受けている間の書き込みは無視されます。

ファームウェアで E0HALT ビットをセット(1)する場合、直前のコントロール転送が SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0 リクエスト、またはファームウェア処理のリクエストの場合には次の SETUP トークンを受信するまで反映されません。

ハードウェアは GET_STATUS Endpoint0 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0 がストールした場合には UF0E0W, UF0E0R レジスタがクリアされ、UF0E0N レジスタの EP0NKW, EP0NKR ビットがクリア(0)されます。

注意 このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EP0NKA ビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	4298H	00H
	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意味
0	E0HALT	Endpoint0 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0 リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint0 リクエストを受信したときにハードウェアによりクリア(0)されます。また DATA PID は DATA0 に初期化されます。

(3) UF0 EP1 ステータス・レジスタ L (UF0E1SL)

GET_STATUS Endpoint1 リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKA ビットがセット(1)されているときにだけ可能です。

Endpoint1 でエラーが発生すると、E1HALT ビットがセット(1)されます。Endpoint1 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint1 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1 がストールした場合には UF0B11 レジスタがクリアされ、UF0EN レジスタの BKI1NK ビットがクリア(0)されます。

コントロール転送でなく Endpoint1 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EP0NKA ビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	42A0H	00H
	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意味
0	E1HALT	Endpoint1 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1 リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint1 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint1 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア(0)されます。また DATA PID は DATA0 に初期化されます。

(4) UF0 EP2 ステータス・レジスタ L (UF0E2SL)

GET_STATUS Endpoint2 リクエストで返す値を格納するレジスタです。

8 ビット単位でリード/ライト可能です。ただし、ライトは EP0NKA ビットがセット (1) されているときにだけ可能です。

Endpoint2 でエラーが発生すると、E2HALT ビットがセット (1) されます。Endpoint2 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint2 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2 がストールした場合には UF0BO1 レジスタがクリアされ、UF0EN レジスタの BKO1NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint2 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EP0NKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	42A8H	00H
	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意味
0	E2HALT	Endpoint2 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint2 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint2 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(5) UF0 EP7 ステータス・レジスタ L (UF0E7SL)

GET_STATUS Endpoint7 リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKA ビットがセット(1)されているときにだけ可能です。

Endpoint7 でエラーが発生すると、E7HALT ビットがセット(1)されます。Endpoint7 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint7 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint7 がストールした場合には UF0INT1 レジスタがクリアされ、UF0EN レジスタの IT1NK ビットがクリア(0)されます。

コントロール転送でなく Endpoint7 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EP0NKA ビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7SL	0	0	0	0	0	0	0	E7HALT	42D0H	00H
	0	0	0	0	0	0	0	R/W		

ビット位置	ビット名	意味
0	E7HALT	Endpoint7 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint7 リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint7 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint7 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア(0)されます。また DATA PID は DATA0 に初期化されます。

(6) UF0 アドレス・レジスタ (UF0ADRS)

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは、SET_ADDRESS リクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESS リクエストをファームウェア処理した場合、ステータス・ステージの SUCCESS 信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	4300H	00H
	0	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
6-0	ADRS6-ADRS0	SIE のデバイス・アドレスを保持します。

(7) UF0 コンフィギュレーション・レジスタ (UF0CNF)

GET_CONFIGURATION リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは SET_CONFIGURATION リクエストを受信すると、自動的にその wValue を書き込みます。なお、wValue 値は 00H または 01H しかとりません。00H, 01H 以外の値を受信した場合は、STALL 応答します。

このレジスタの値が 00H から 00H 以外に変化したタイミングを検出して、UF0MODS レジスタの CONF ビットがセット (1) されます。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF	0	0	0	0	0	0	0	CONF0	4304H	00H
	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	CONF0	GET_CONFIGURATION リクエストに対して返信するデータを保持します。

(8) UF0 インタフェース 0 レジスタ (UF0IF0)

GET_INTERFACE wIndex = 0 リクエストで返す値を格納するレジスタです。

8 ビット単位でリードのみ可能です。

このレジスタは SET_INTERFACE リクエストを受信すると、自動的にその wValue を書き込みます。

SET_INTERFACE リクエストをファームウェアで処理した場合、wIndex, wValue をデコードして Endpoint の設定を自動的に変更します。このとき、設定に応じて対象 Endpoint の状態ビットと DPID を自動的にクリア (0) します。FIFO は自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	4308H	00H
	0	0	0	0	0	R	R	R		

ビット位置	ビット名	意味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0 リクエストに対して返信するデータを保持します。

(9) UF0 インタフェース 1-4 レジスタ (UF0IF1-UF0IF4)

GET_INTERFACE wIndex = n リクエストで返す値を格納するレジスタです (n = 1-4)。

8 ビット単位でリードのみ可能です。

このレジスタは SET_INTERFACE リクエストを受信すると、自動的にその wValue を書き込みます。

このレジスタは UF0AIFN レジスタと UF0AAS レジスタの設定によっては無効になります。

SET_INTERFACE リクエストをファームウェアで処理した場合、wIndex, wValue をデコードして Endpoint の設定を自動的に変更します。このとき、設定に応じて対象 Endpoint の状態ビットと DPID を自動的にクリア (0) します。FIFO は自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	430CH	00H
	0	0	0	0	0	R	R	R		
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	4310H	00H
	0	0	0	0	0	R	R	R		
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	4314H	00H
	0	0	0	0	0	R	R	R		
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	4318H	00H
	0	0	0	0	0	R	R	R		
ビット位置	ビット名		意味							
2-0	IFn-IFn0		GET_INTERFACE wIndex = n リクエストに対して返信するデータを保持します。							
備考 n = 1-4										

(10) UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL)

GET_DESCRIPTOR Configuration リクエストで返す値の長さを格納するレジスタです。このレジスタ値は UF0CIEn レジスタで設定した全ディスクリプタのバイト数 - 1 の値になります (n = 0-255)。このレジスタ値により GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタ長が決定されます。

8 ビット単位でリード/ライト可能です。ただし、ライトは EP0NKA ビットがセット (1) されているときにだけ可能です。

wLength の処理は自動的に制御されます。このレジスタに 00H を設定すると、返信するディスクリプタ長は 1 バイトを意味し、FFH を設定すると 256 バイトを意味します。なお、256 バイトを越えるディスクリプタを使用する場合には、UF0MODC レジスタの CDCGDST ビットをセット (1) してファームウェアにより GET_DESCRIPTOR リクエストを処理してください (このとき UF0MODS レジスタの CDCGD ビットもセット (1) されます)。

注意 このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EP0NKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	4340H	00H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名	意味								
7-0	DPL7-DPL0	GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタのバイト数 - 1 の値を設定します。								

(11) UF0 デバイス・ディスクリプタ・レジスタ 0-17 (UF0DD0-UF0DD17)

GET_DESCRIPTOR Device リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKA ビットがセット(1)されているときにだけ可能です。

- 注意1. このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタの EP0NKA ビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新 Class Specification の値を使用してください。

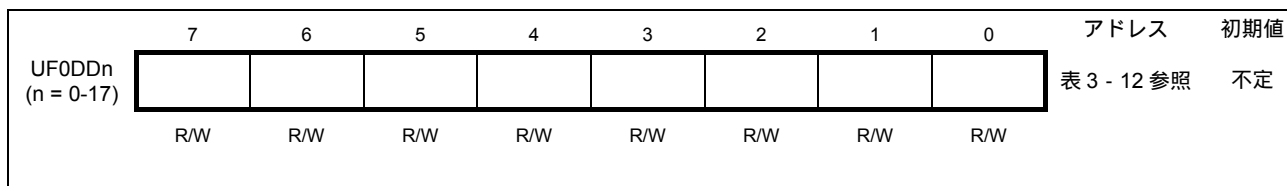


表 3 - 12 UF0 デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	Offset アドレス	フィールド名	内容
UF0DD0	4344H	bLength	このディスクリプタのサイズ
UF0DD1	4348H	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	434CH	bcdUSB	USB 仕様の Rev. 番号の小数点以下の値
UF0DD3	4350H		USB 仕様の Rev. 番号の小数点以上の値
UF0DD4	4354H	bDeviceClass	クラス・コード
UF0DD5	4358H	bDeviceSubClass	サブクラス・コード
UF0DD6	435CH	bDeviceProtocol	プロトコル・コード
UF0DD7	4360H	bMaxPacketSize0	Endpoint0 の最大パケット・サイズ
UF0DD8	4364H	idVendor	ベンダ ID の下位側の値
UF0DD9	4368H		ベンダ ID の上位側の値
UF0DD10	436CH	idProduct	製品 ID の下位側の値
UF0DD11	4370H		製品 ID の上位側の値
UF0DD12	4374H	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	4378H		デバイス・リリース番号の上位側の値
UF0DD14	437CH	iManufacturer	メーカーを記述するstring・ディスクリプタのインデクス
UF0DD15	4380H	iProduct	製品を記述するstring・ディスクリプタのインデクス
UF0DD16	4384H	ISerialNumber	デバイス・シリアル番号を記述するstring・ディスクリプタのインデクス
UF0DD17	4388H	BNumConfigurations	設定可能な Configuration の数

(12) UF0 コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ 0-255
(UF0CIE0-UF0CIE255)

GET_DESCRIPTOR Configuration リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpoint の順に格納してください(表3-13参照)。Interface が複数ある場合は、Interface ディスクリプタ以降を繰り返し格納してください。

表3-13 UF0CIE_n レジスタのマッピング

Offset アドレス	格納するディスクリプタ
438CH-43ACH	Configuration ディスクリプタ (9バイト)
43B0H-43D0H	Interface ディスクリプタ (9バイト)
43D4H-43ECH	Endpoint1 ディスクリプタ (7バイト)
43F0H-4408H	Endpoint2 ディスクリプタ (7バイト)
:	:
xxxxH	Interface ディスクリプタ (9バイト)
xxxxH + 9	Endpoint1 ディスクリプタ (7バイト)
xxxxH + 16	Endpoint2 ディスクリプタ (7バイト)
:	:

UF0DSCL レジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表3-14に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

- 注意1. このレジスタを書き換える場合は、SIE によるリードとの競合を防止するために、UF0E0NA レジスタのEP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
- 2. 設定する値には、USB Specification Ver2.0、および最新 Class Specification の値を使用してください。

UF0CIE _n (n = 0-255)	7	6	5	4	3	2	1	0	アドレス 438CH-4788H	初期値 不定
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

表 3 - 14 UF0CIEn レジスタのデータ

(a) Configuration ディスクリプタ (9 バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全 Interface, 全 Endpoint のディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全 Interface, 全 Endpoint のディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interface の数
5	bConfigurationValue	この Configuration を選択するための値
6	iConfiguration	この Configuration を記述するストリング・ディスクリプタのインデクス
7	bmAttributes	Configuration の特徴 (セルフ・パワー, リモート・ウエイクアップなし)
8	MaxPower	この Configuration の最大消費電力 (単位: mA)

(b) Interface ディスクリプタ (9 バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	この Interface の値
3	bAlternateSetting	Interface の代替セッティングを選択する値
4	bNumEndpoints	使用可能な Endpoint の数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	この Interface を記述するストリング・ディスクリプタのインデクス

(c) Endpoint ディスクリプタ (7 バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	この Endpoint のアドレス / 転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	BInterval	転送周期

次にホスト切断/ホスト再接続時のプログラム、電源投入時のプログラムのフロー・チャートを示します。

図3-7 ホスト切断/ホスト再接続時のプログラムのフロー・チャート

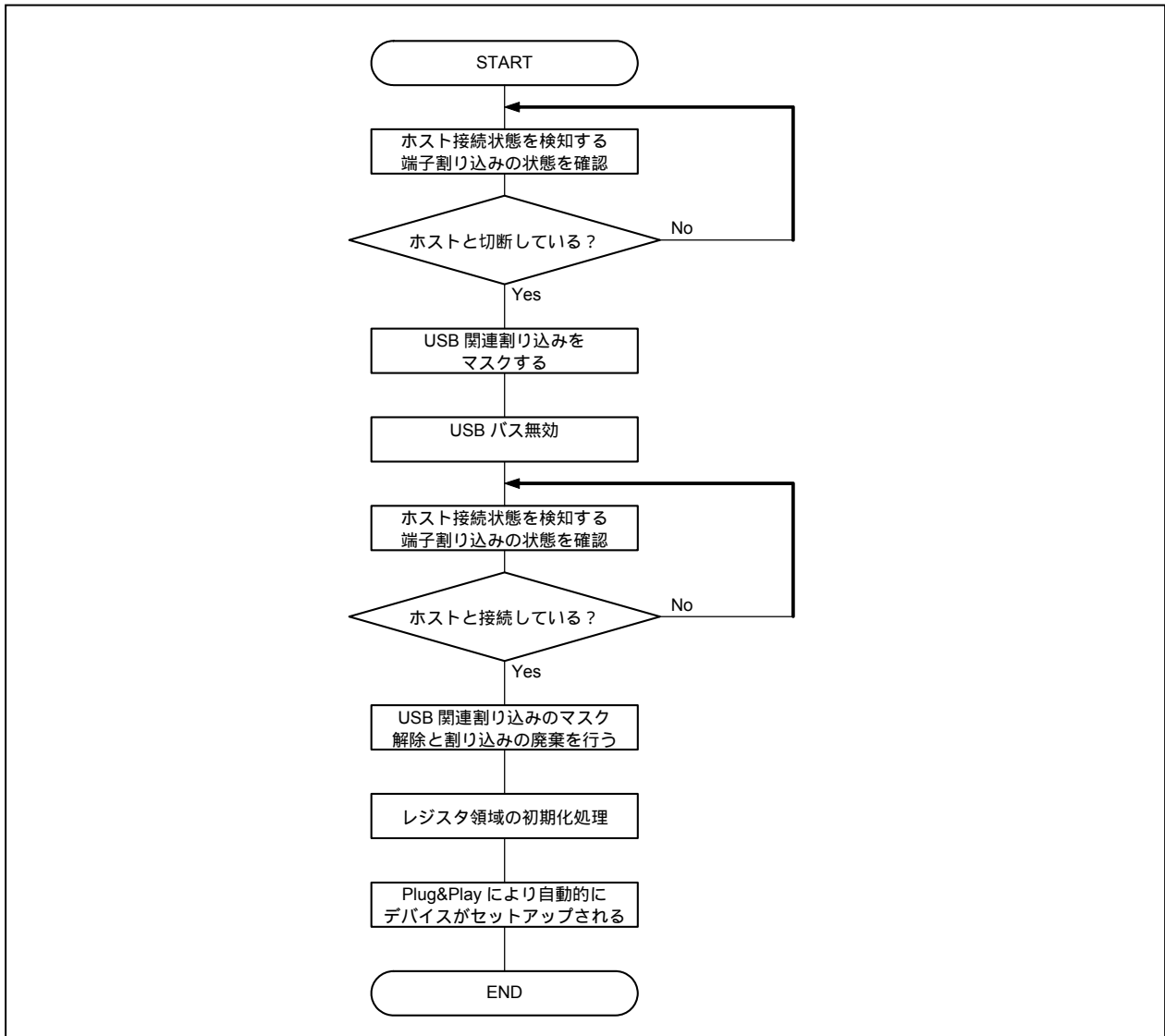
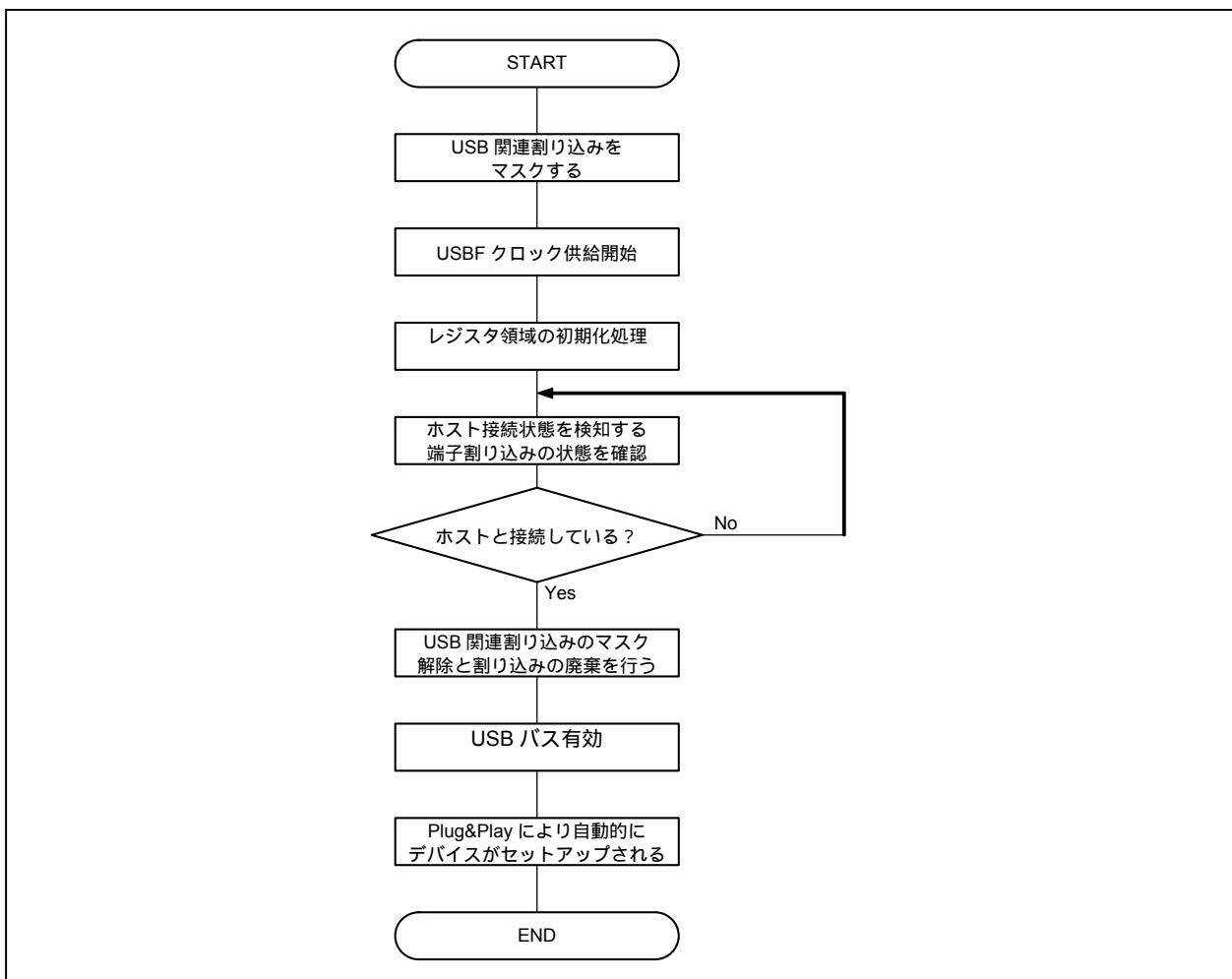


図3-8 電源投入時のプログラムのフロー・チャート



3.5 STALL ハンドシェークまたはノー・ハンドシェーク

USBF のエラーの取り扱いは、次のように定義されています。

表 3 - 15 USB ファンクションでのエラーの取り扱い

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送 / バルク転送 / インタラプト転送	IN/ OUT/ SETUP	トークン	Endpoint 未対応	無応答	特になし
			Endpoint に対する 転送方向不一致	無応答	特になし
			CRC エラー	無応答	特になし
			ビット・スタッフィング・エラー	無応答	特になし
コントロール転送 / バルク転送	OUT/ SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応 PID (Data PID 以外)	無応答	特になし
			CRC エラー	無応答	受信データを破棄
	ビット・スタッフィング・エラー	無応答	受信データを破棄		
	OUT	データ	Data PID 不一致	ACK	受信データを破棄
コントロール転送 (SETUP ステージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステージ)	OUT	データ	オーバラン	無応答 ^{注1}	UF0SDS レジスタの SNDSTL ビットをセット (1) し、受信データを破棄
コントロール転送 (ステータス・ステージ)	OUT	データ	オーバラン	ACK or 無応答 ^{注2}	UF0SDS レジスタの SNDSTL ビットをセット (1) し、受信データを破棄
バルク転送	OUT	データ	オーバラン	無応答 ^{注1}	UF0EnSL レジスタの EnHALT ビットをセット (1) する (n = 0-2, 7)
コントロール転送 / バルク転送 / インタラプト転送	IN	ハンドシェーク	PID チェック・エラー	-	送出したデータを保持し、再転送 ^{注3}
			未対応 PID (ACK PID 以外)	-	送出したデータを保持し、再転送 ^{注3}
			タイムアウト	-	送出したデータを保持し、再転送 ^{注3}

注 1. ホストの再転送に対して STALL 応答します。

2. 転送データが MaxPacketSize 以下の場合には ACK 応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSize を越える場合には無応答となり、UF0SDS レジスタの SNDSTL ビットがセット (1) され、受信データは破棄されます。

3. コントロール転送で、データ・ステージからステータス・ステージへの変化を示す OUT トランザクションを受信した場合は対象外となり、正常受信完了と判断します。

注意 1. 現在設定されている Alternate Setting の番号により対象 Endpoint が有効か無効かが判定されます。

2. Endpoint0 へのコントロール転送に含まれるリクエストに対する応答は、3.3 リクエストを参照してください。

3.6 特定状態でのレジスタ値

表 3 - 16 特定状態でのレジスタ値 (1/2)

レジスタ名	CPU リセット時	Bus Reset 時
UF0E0N レジスタ	00H	値を保持
UF0E0NA レジスタ	00H	値を保持
UF0EN レジスタ	00H	値を保持
UF0ENM レジスタ	00H	値を保持
UF0SDS レジスタ	00H	値を保持
UF0CLR レジスタ	00H	値を保持
UF0SET レジスタ	00H	値を保持
UF0EPS0 レジスタ	00H	値を保持
UF0EPS1 レジスタ	00H	値を保持
UF0EPS2 レジスタ	00H	値を保持
UF0IS0 レジスタ	00H	値を保持
UF0IS1 レジスタ	00H	値を保持
UF0IS2 レジスタ	00H	値を保持
UF0IS3 レジスタ	00H	値を保持
UF0IS4 レジスタ	00H	値を保持
UF0IM0 レジスタ	00H	値を保持
UF0IM1 レジスタ	00H	値を保持
UF0IM2 レジスタ	00H	値を保持
UF0IM3 レジスタ	00H	値を保持
UF0IM4 レジスタ	00H	値を保持
UF0IC0 レジスタ	FFH	値を保持
UF0IC1 レジスタ	FFH	値を保持
UF0IC2 レジスタ	FFH	値を保持
UF0IC3 レジスタ	FFH	値を保持
UF0IC4 レジスタ	FFH	値を保持
UF0IDR レジスタ	00H	値を保持
UF0DMS0 レジスタ	00H	値を保持
UF0DMS1 レジスタ	00H	値を保持
UF0FIC0 レジスタ	00H	値を保持
UF0FIC1 レジスタ	00H	値を保持
UF0DEND レジスタ	00H	値を保持
UF0GPR レジスタ	00H	値を保持
UF0MODC レジスタ	00H	値を保持
UF0MODS レジスタ	00H	ビット 2 (CONF) : クリア (0) , それ以外のビット : 値を保持
UF0AIFN レジスタ	00H	値を保持
UF0AAS レジスタ	00H	値を保持
UF0ASS レジスタ	00H	00H
UF0E1IM レジスタ	00H	値を保持
UF0E2IM レジスタ	00H	値を保持

表 3 - 16 特定状態でのレジスタ値 (2/2)

レジスタ名	CPU リセット時	Bus Reset 時
UF0E7IM レジスタ	00H	値を保持
UF0E0R レジスタ	不定 ^{注1}	値を保持
UF0E0L レジスタ	00H	値を保持
UF0E0ST レジスタ	00H	00H
UF0E0W レジスタ	不定 ^{注1}	値を保持
UF0BO1 レジスタ	不定 ^{注1}	値を保持
UF0BO1L レジスタ	00H	値を保持
UF0B11 レジスタ	不定 ^{注1}	値を保持
UF0INT1 レジスタ	不定	値を保持
UF0DSTL レジスタ	00H	00H
UF0E0SL レジスタ	00H	00H
UF0E1SL レジスタ	00H	00H
UF0E2SL レジスタ	00H	00H
UF0E7SL レジスタ	00H	00H
UF0ADRS レジスタ	00H	00H
UF0CNF レジスタ	00H	00H
UF0IF0 レジスタ	00H	00H
UF0IF1 レジスタ	00H	00H
UF0IF2 レジスタ	00H	00H
UF0IF3 レジスタ	00H	00H
UF0IF4 レジスタ	00H	00H
UF0DSCL レジスタ	00H	値を保持
UF0DDn レジスタ (n = 0-17)	注2	注2
UF0CIEn レジスタ (n = 0-255)	注2	注2

- 注 1. 該当のレジスタは、FIFO 制御のため、UF0FICn レジスタでのクリアと同様に RESET 信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリアされるので、RESET 信号によって、クリアできます。
2. 該当のレジスタは、クリアできません。ただし、ファームウェア・ライト可能なので、任意の値を書き込みます(その場合は、必ず UF0E0NA レジスタの EPONKA ビット = 1 にしてから行ってください)。

3.7 ファームウェア処理

ファームウェア処理は次に示すものに対して行います。

エニマレーション処理中の SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE,

CLEAR_FEATURE リクエストに対する装置側の設定処理

自動処理対象外の XXXXStandard リクエスト, XXXXClass リクエスト, XXXXVendor リクエストの解析と
その処理

バルク転送の OUT トークンに続くデータの受信バッファからの読み出し

バルク転送の IN トークンに対して返信されるデータの書き込み

インタラプト転送のトークンに対して返信されるデータの書き込み

次にファームウェア対応のリクエストを示します。

表 3 - 17 ファームウェア対応の標準リクエスト

リクエスト	受信側	処理 / 頻度	説明
CLEAR_FEATURE	Interface	自動 STALL 応答	bmRequestType では予約しているが、機能セクタ値がないため、Interface にはこの要求は来ないと思われます。 このリクエストを受けた場合、ハードウェアは自動 STALL 応答します。
SET_FEATURE	Interface	自動 STALL 応答	bmRequestType では予約しているが、機能セクタ値がないため、Interface にはこの要求はないと思われます。 このリクエストを受けた場合、ハードウェアは自動 STALL 応答します。
GET_DESCRIPTOR	String	ファームウェア	ストリング・ディスクリプタを返します。 SETUP トークンでこのリクエストを受信すると、ハードウェアはファームウェアに対して CPUDEC 割り込み要求を発生します。ファームウェアは CPUDEC 割り込み要求からリクエストの内容をデコードし、ホストに返すデータを UF0E0W レジスタに書き込みます。
SET_DESCRIPTOR	Device	ファームウェア	デバイス・ディスクリプタを書き換えます。 SETUP トークンでこのリクエストを受信すると、ハードウェアはファームウェアに対して CPUDEC 割り込み要求を発生します。ファームウェアは CPUDEC 割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを UF0DDn レジスタに書き込みます (n = 0-17)。
SET_DESCRIPTOR	Configuration	ファームウェア	コンフィギュレーション・ディスクリプタを書き換えます。 SETUP トークンでこのリクエストを受信すると、ハードウェアはファームウェアに対して CPUDEC 割り込み要求を発生します。ファームウェアは CPUDEC 割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを UF0CIEn レジスタに書き込みます (n = 0-255)。
SET_DESCRIPTOR	String	ファームウェア	ストリング・ディスクリプタを書き換えます。 SETUP トークンでこのリクエストを受信すると、ハードウェアはファームウェアに対して CPUDEC 割り込み要求を発生します。ファームウェアは CPUDEC 割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを取り込みます。
その他のリクエスト	NA	ファームウェア	SETUP トークンでその他のリクエストを受信すると、ハードウェアはファームウェアに対して CPUDEC 割り込み要求を発生します。ファームウェアは CPUDEC 割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

3.7.1 初期化処理

初期化処理には次の2つの設定があります。

- ・リクエスト・データ・レジスタの初期化
- ・割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行う GET_XXXX リクエストに対するデータの書き込みと Endpoint の Interface に対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、UF0IMn レジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

図3-9 リクエスト・データ・レジスタの初期化

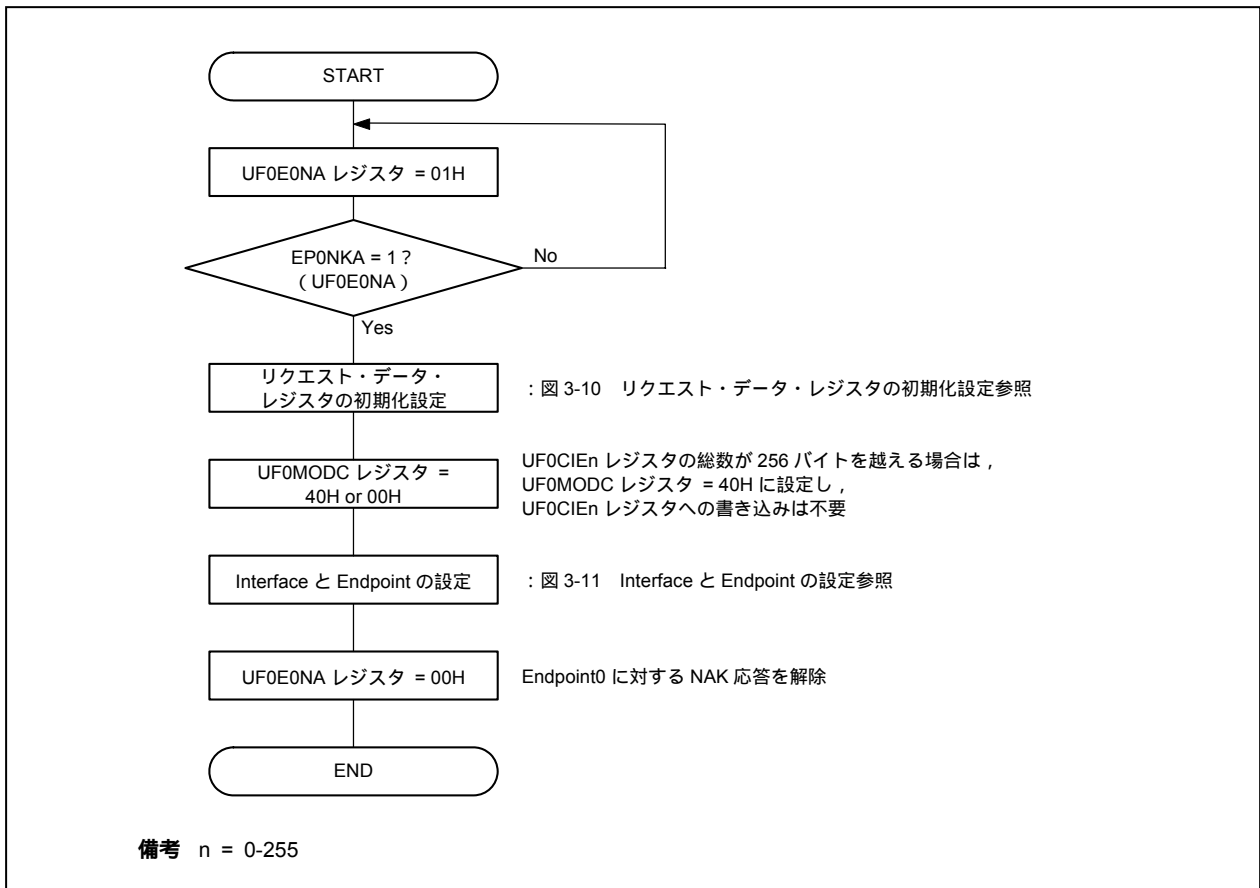


図3-10 リクエスト・データ・レジスタの初期化設定

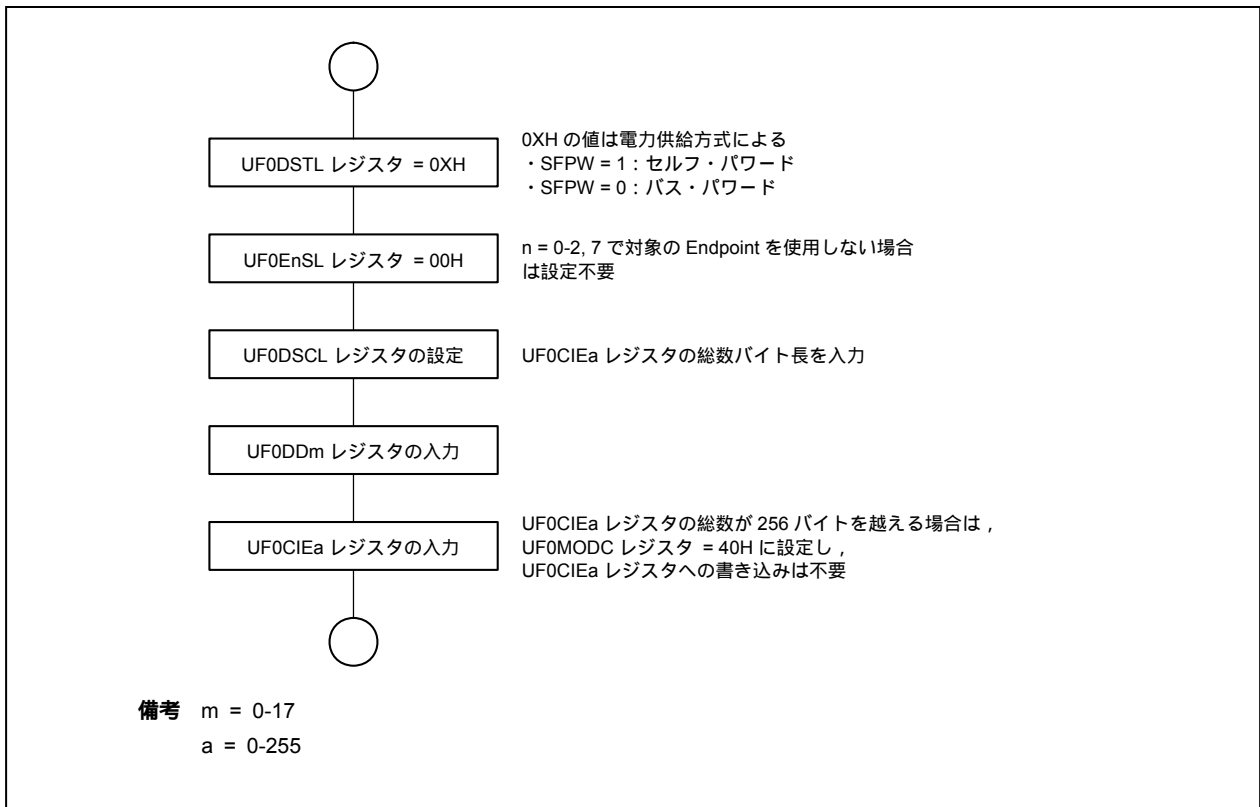


図3-11 Interface と Endpoint の設定

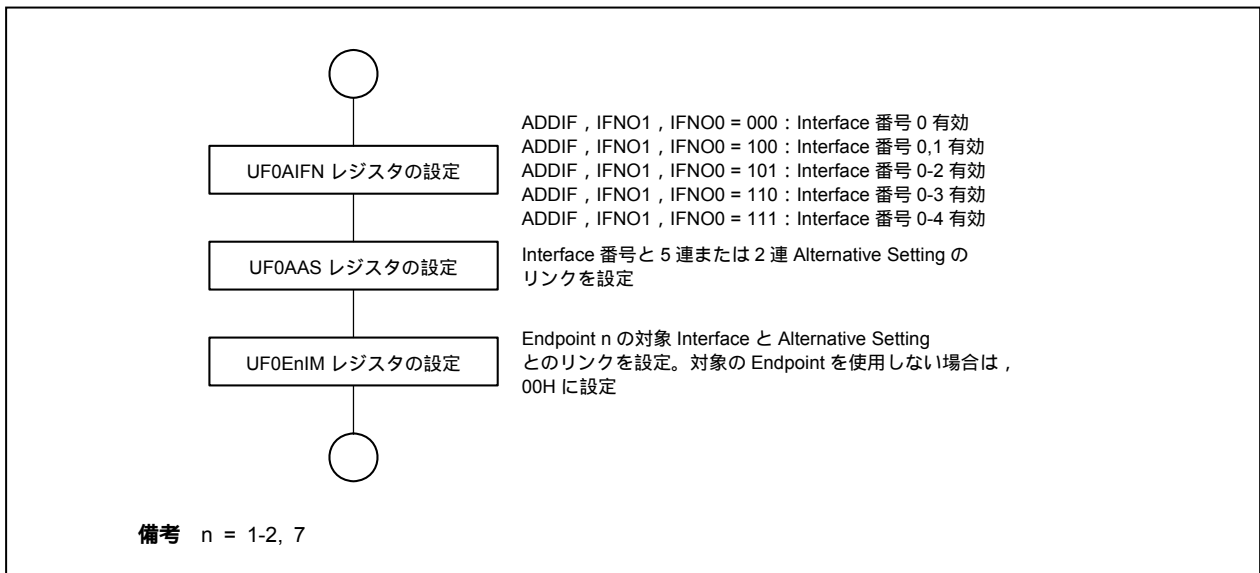
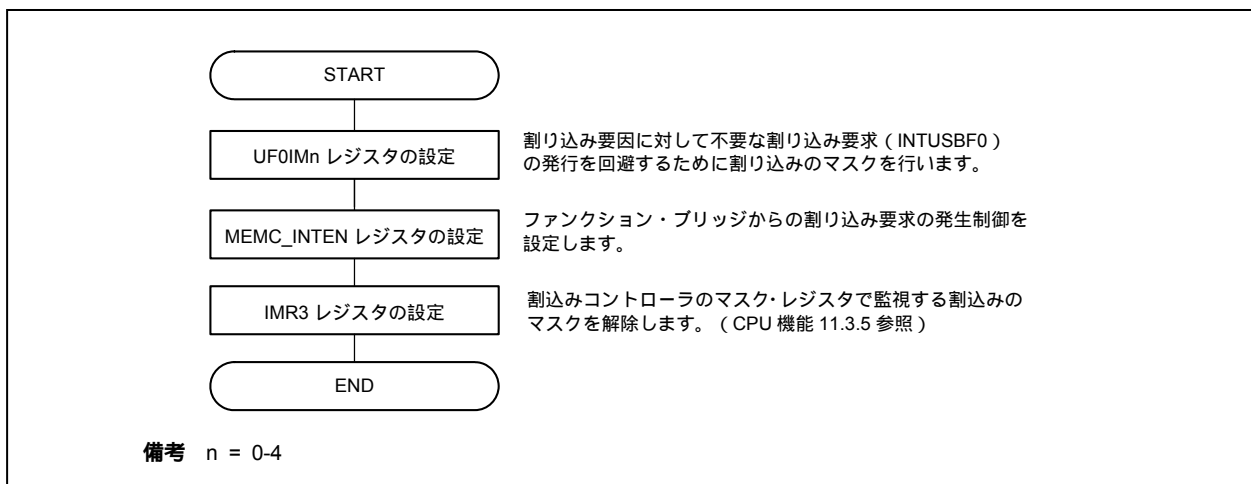


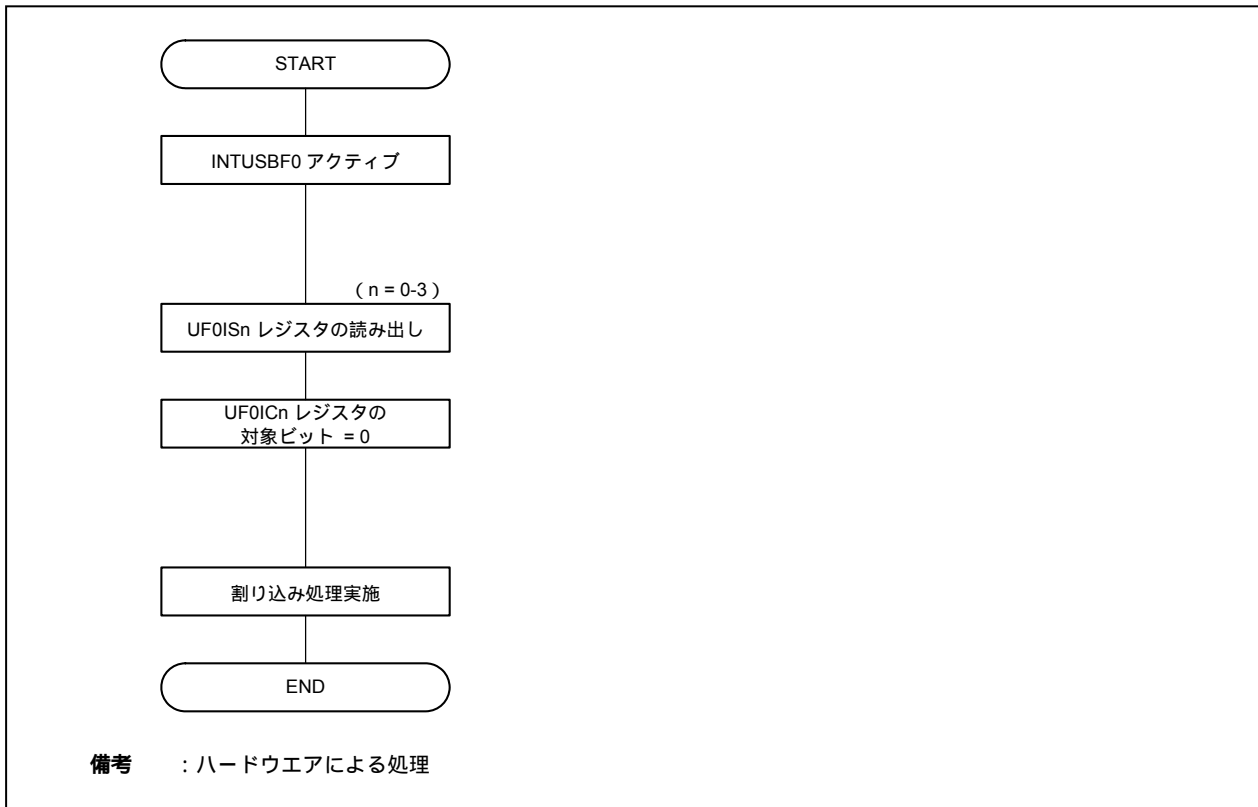
図3-12 割り込みの設定



3.7.2 割り込み処理

次にフローを示します。

図3-13 割り込み処理



次に示す UF0ISn レジスタのビットは、条件を満たしたときにハードウェアにより、自動的にクリアされます (n = 1-4)。

- ・ UF0IS1 レジスタの E0INDT, E0ODT, SUCES, STG, CPUDEC ビット
- ・ UF0IS2 レジスタの BKI1DT, IT1DT ビット
- ・ UF0IS3 レジスタの BKO1FL, BKO1DT ビット

なお、UF0ICn レジスタでの割り込み要因のクリアは、対象となる割り込み要因のハードウェアによるセットより、優先順位は低いため、タイミングによってはクリアできない場合があります (n = 0-4)。

3.7.3 USB ファンクション・メイン処理

USB ファンクション・メイン処理では、USB トランザクションに対する処理を行います。対象となるトランザクションのタイプは次のとおりです。

- ・コントロール転送に対する完全自動処理リクエスト
- ・コントロール転送に対する自動処理リクエスト
(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- ・コントロール転送に対する CPUDEC リクエスト
- ・バルク転送 (IN) に対する処理
- ・バルク転送 (OUT) に対する処理
- ・インタラプト転送 (IN) に対する処理

Endpoint n に対する処理は、データ転送の書き込みまたは読み出し処理です。なお、以降で示すフロー・チャートは PIO を対象にしたものです。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、ファームウェアでは参照できません。このため、ファームウェアで特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE のコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

図3-14 コントロール転送に対する自動処理リクエスト

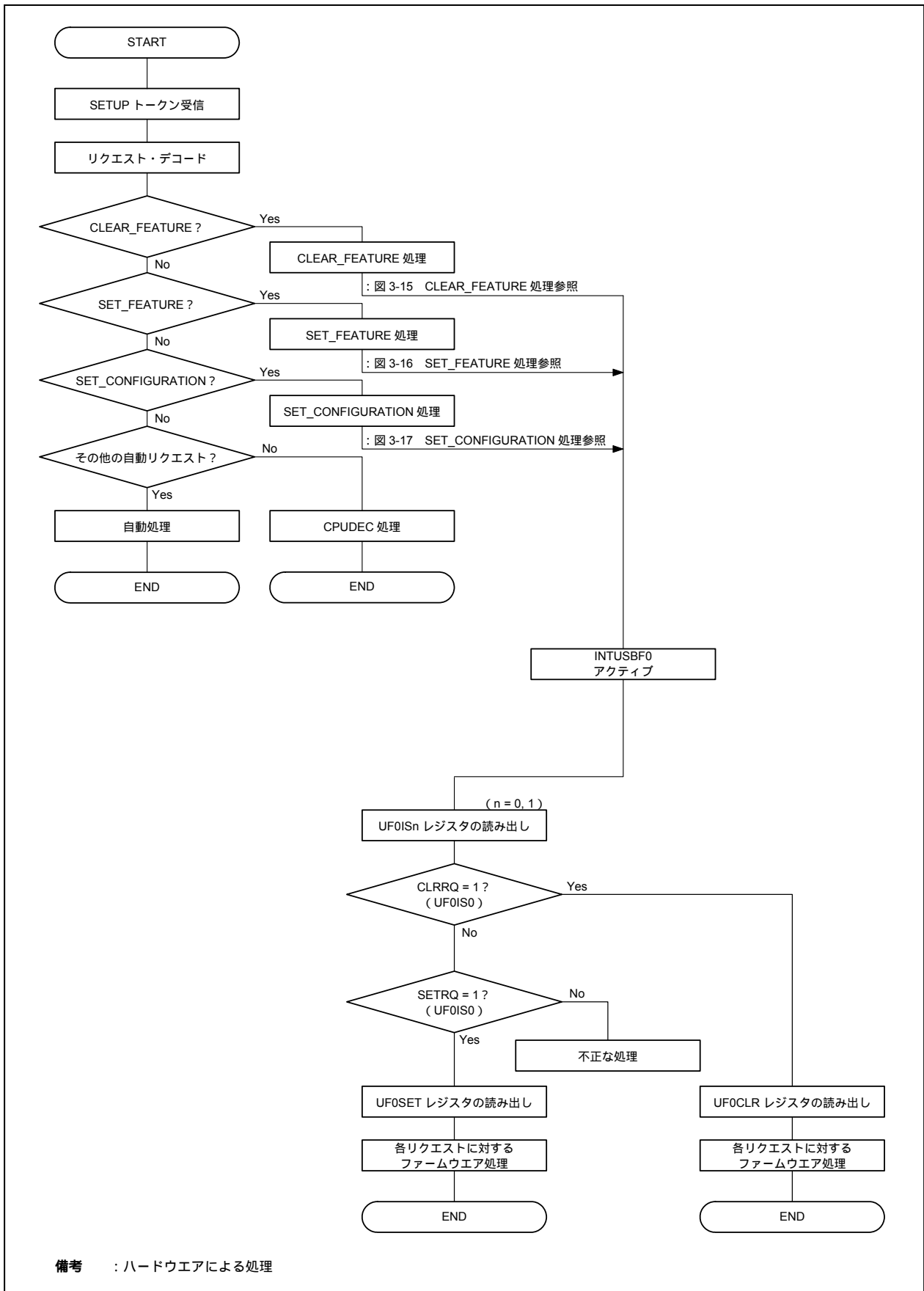


図3-15 CLEAR_FEATURE 処理

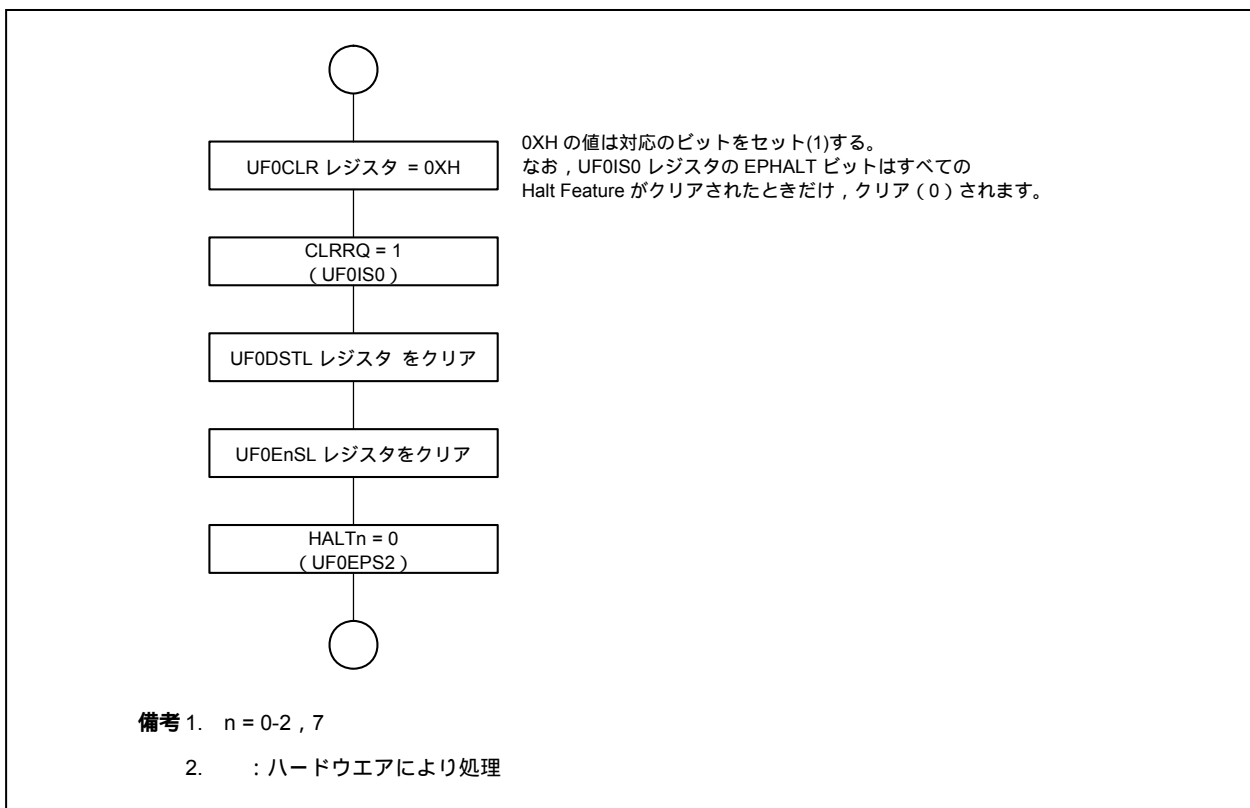


図 3 - 16 SET_FEATURE 処理

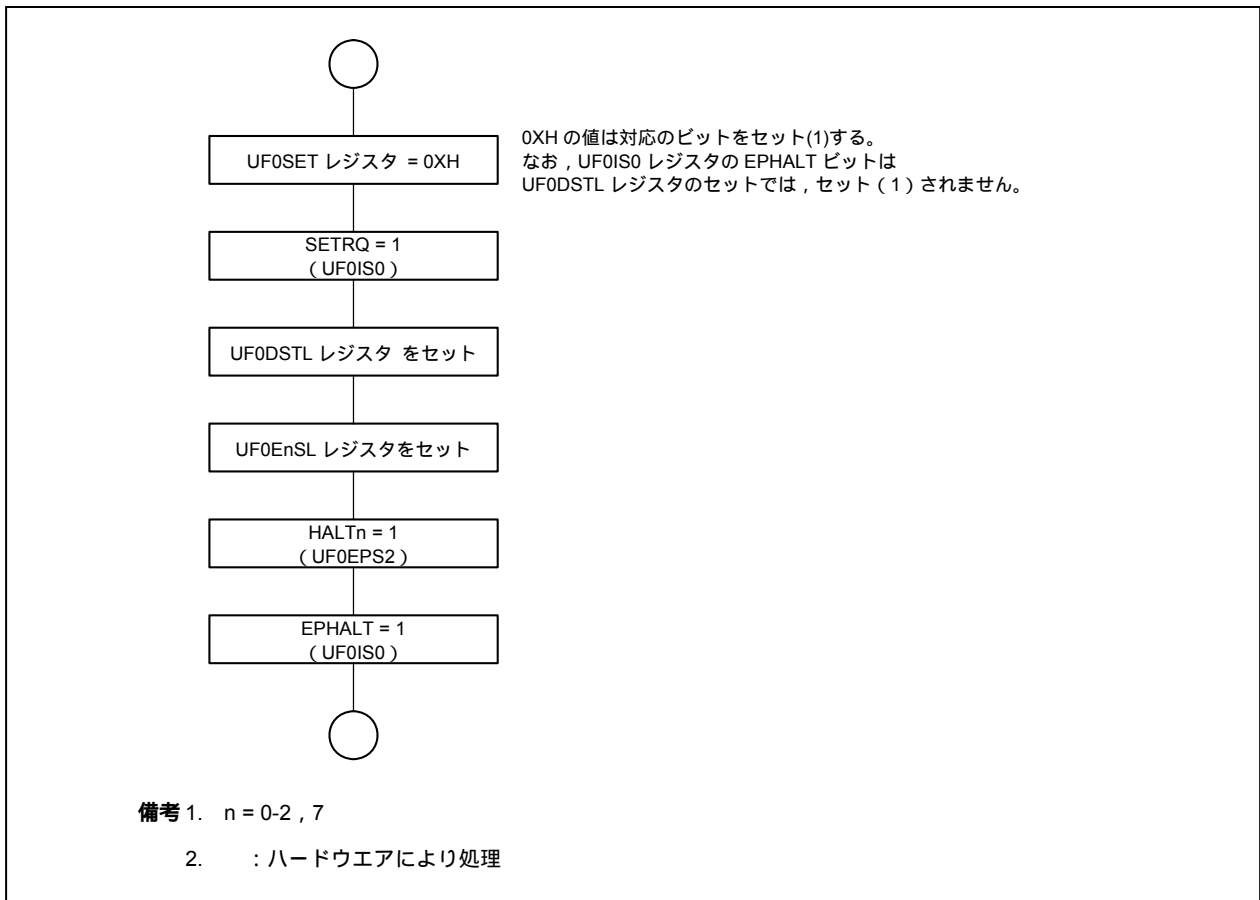
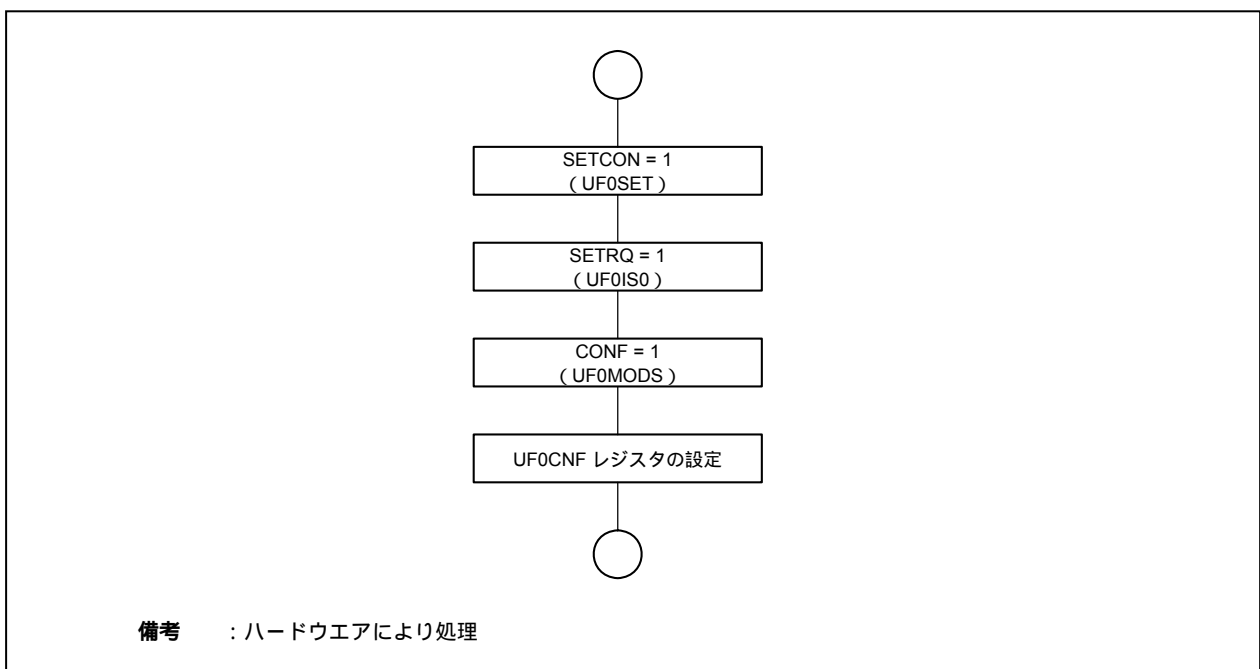


図 3 - 17 SET_CONFIGURATION 処理



(3) コントロール転送に対する CPUDEC リクエスト

CPUDEC リクエストは、コントロール転送（ライト）、コントロール転送（リード）、コントロール転送（データなし）の3つの処理に分類できます。コントロール転送（ライト）はデータ・ステージで OUT トランザクションを利用するリクエスト（例：SET_DESCRIPTOR）、コントロール転送（リード）はデータ・ステージで IN トランザクションを利用するリクエスト（例：GET_DESCRIPTOR）、コントロール転送（データなし）はデータ・ステージを持たないリクエスト（例：SET_CONFIGURATION）を示します。

次にフローを示します。

図3-18 コントロール転送に対する CPUDEC リクエスト (1/12)

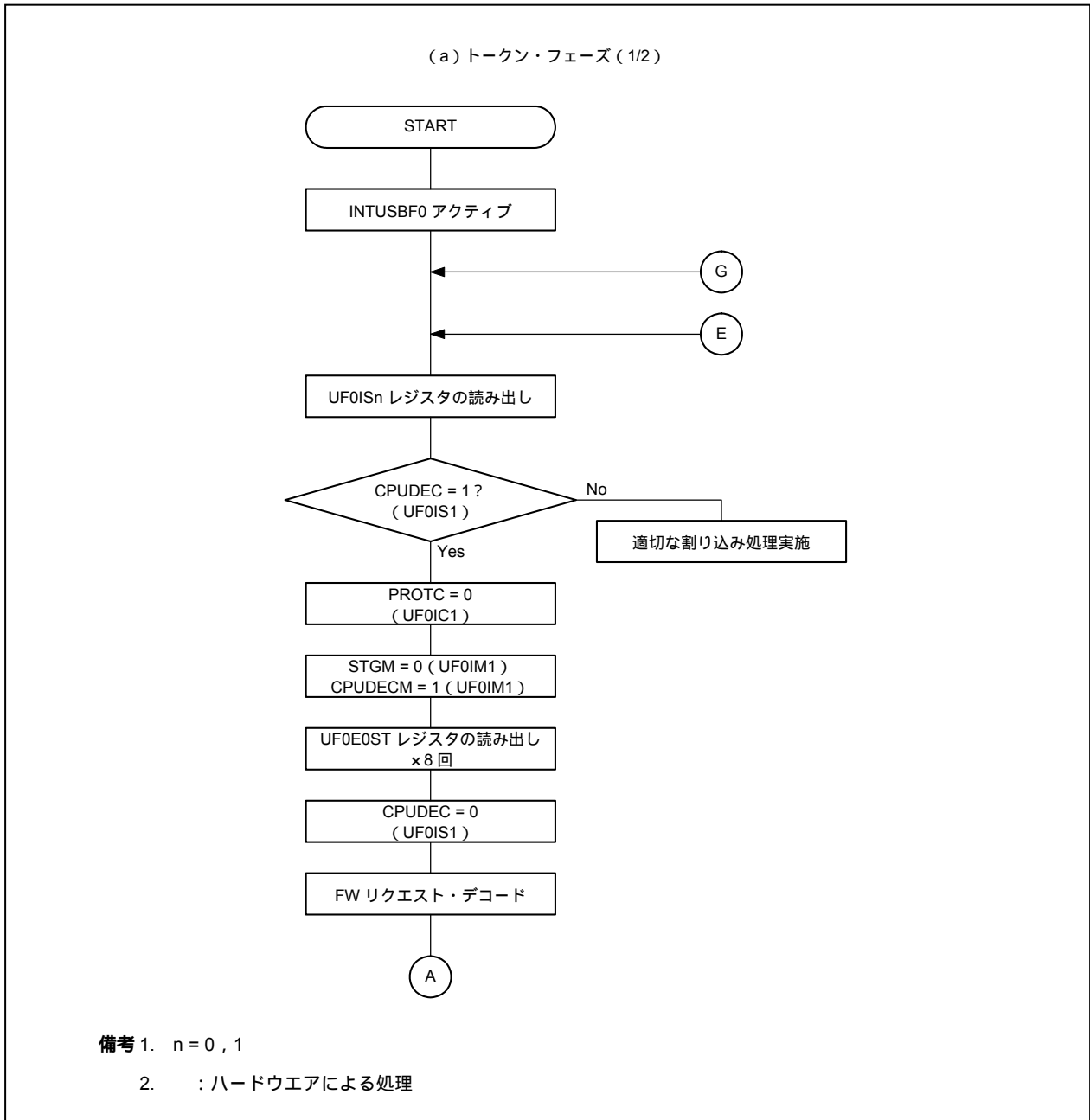


図3-18 コントロール転送に対する CPUDEC リクエスト (2/12)

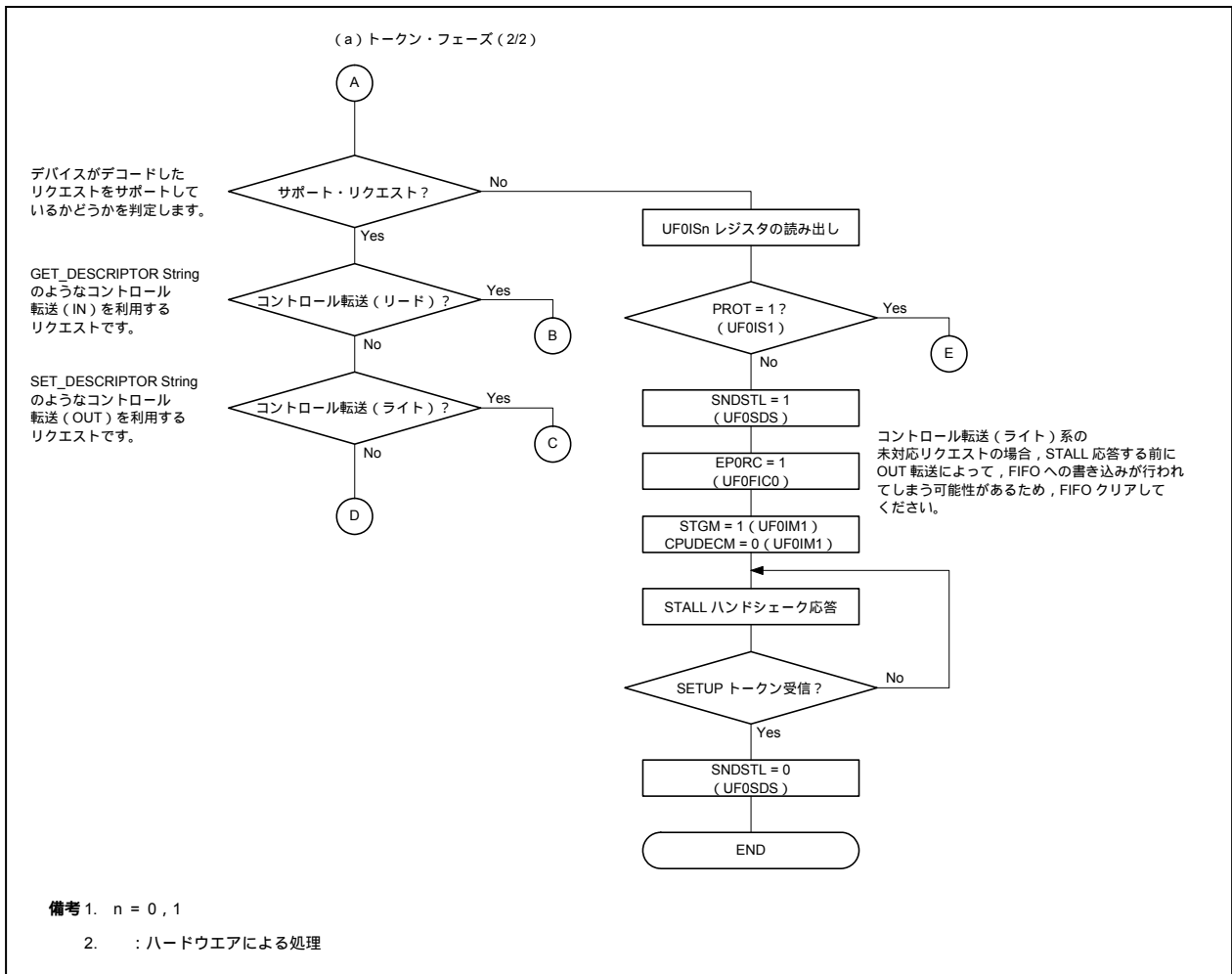


図3-18 コントロール転送に対する CPUDEC リクエスト (3/12)

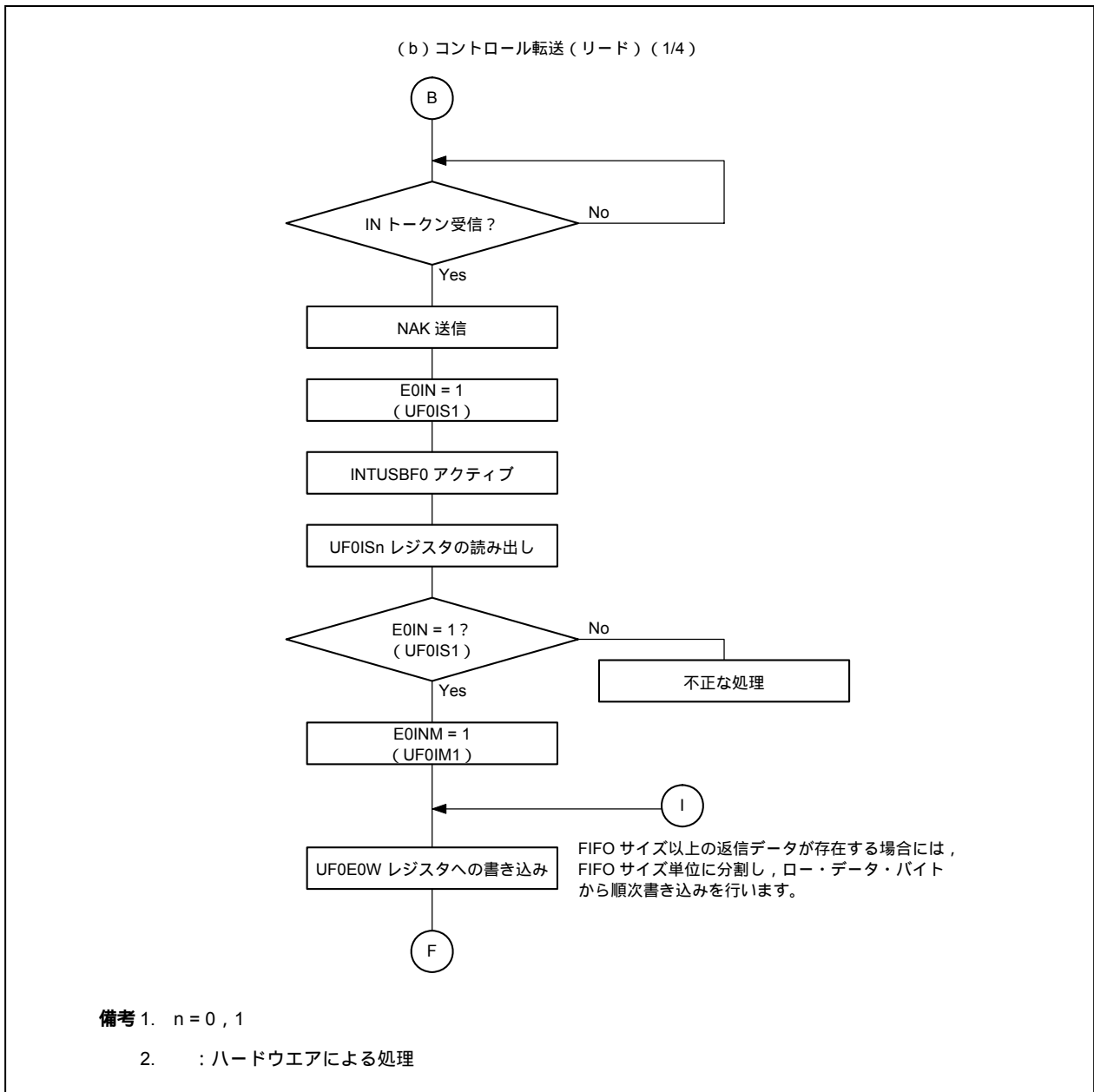


図3-18 コントロール転送に対する CPUDEC リクエスト (4/12)

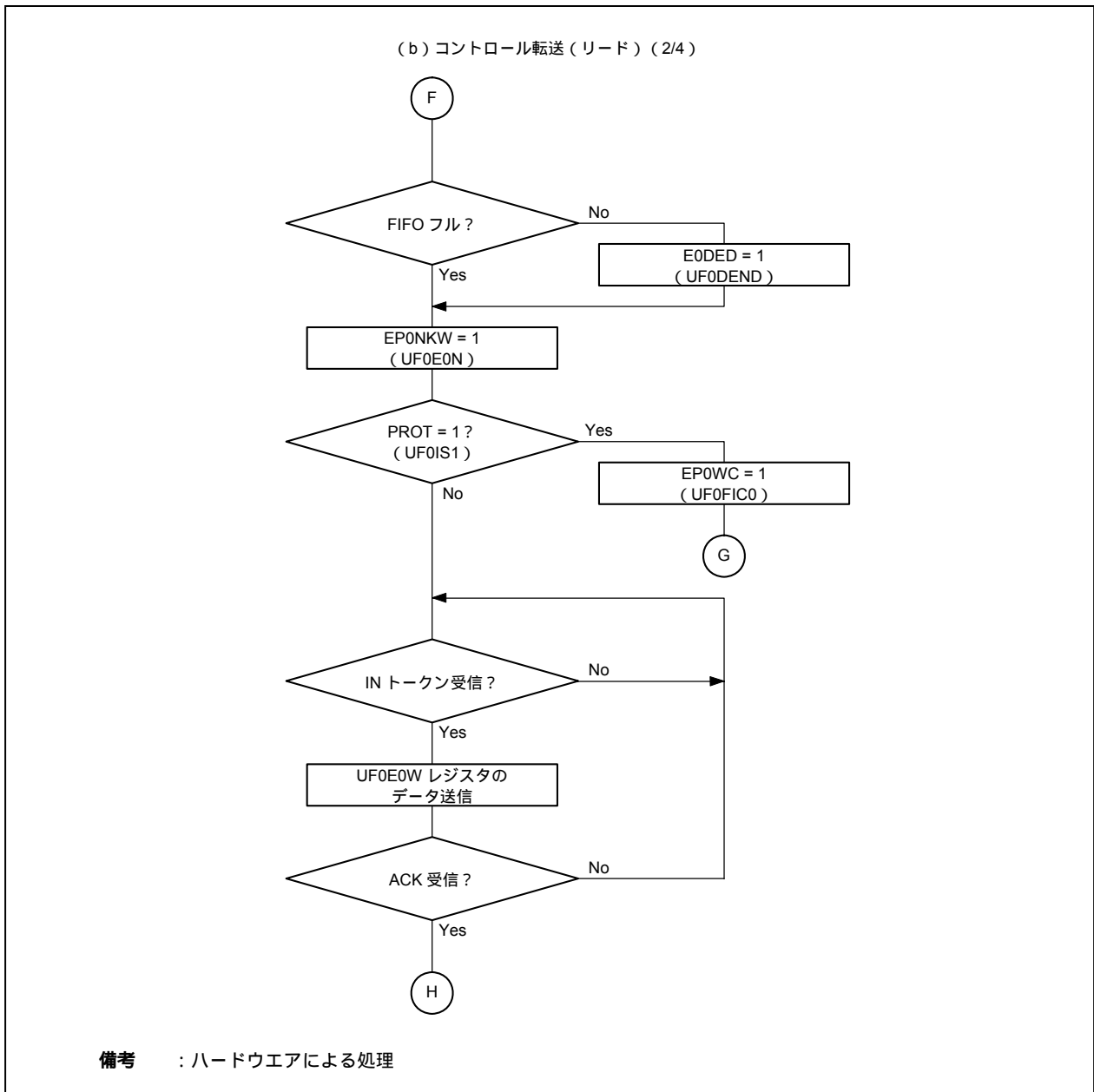


図3-18 コントロール転送に対する CPUDEC リクエスト (5/12)

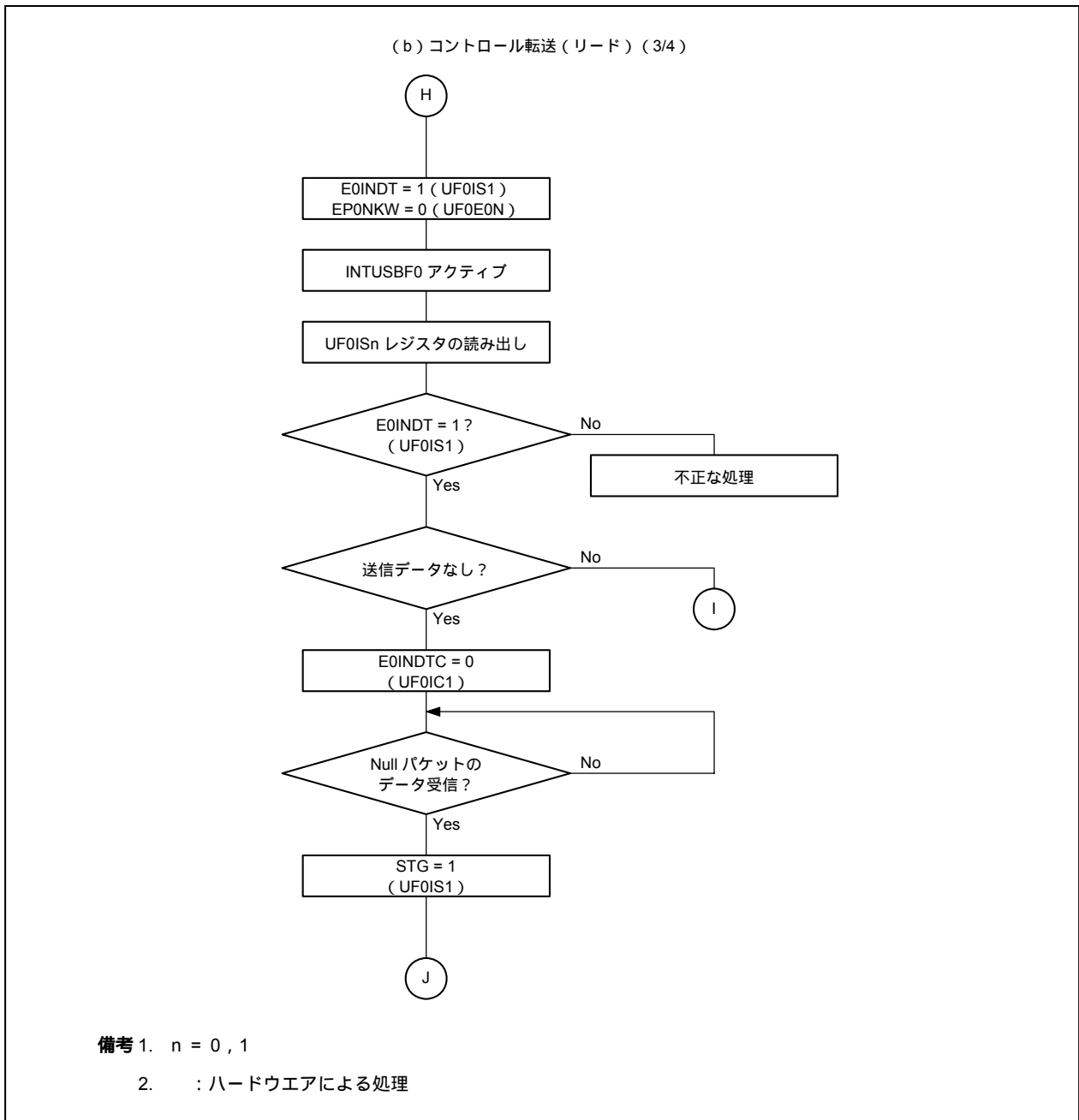


図3-18 コントロール転送に対する CPUDEC リクエスト (6/12)

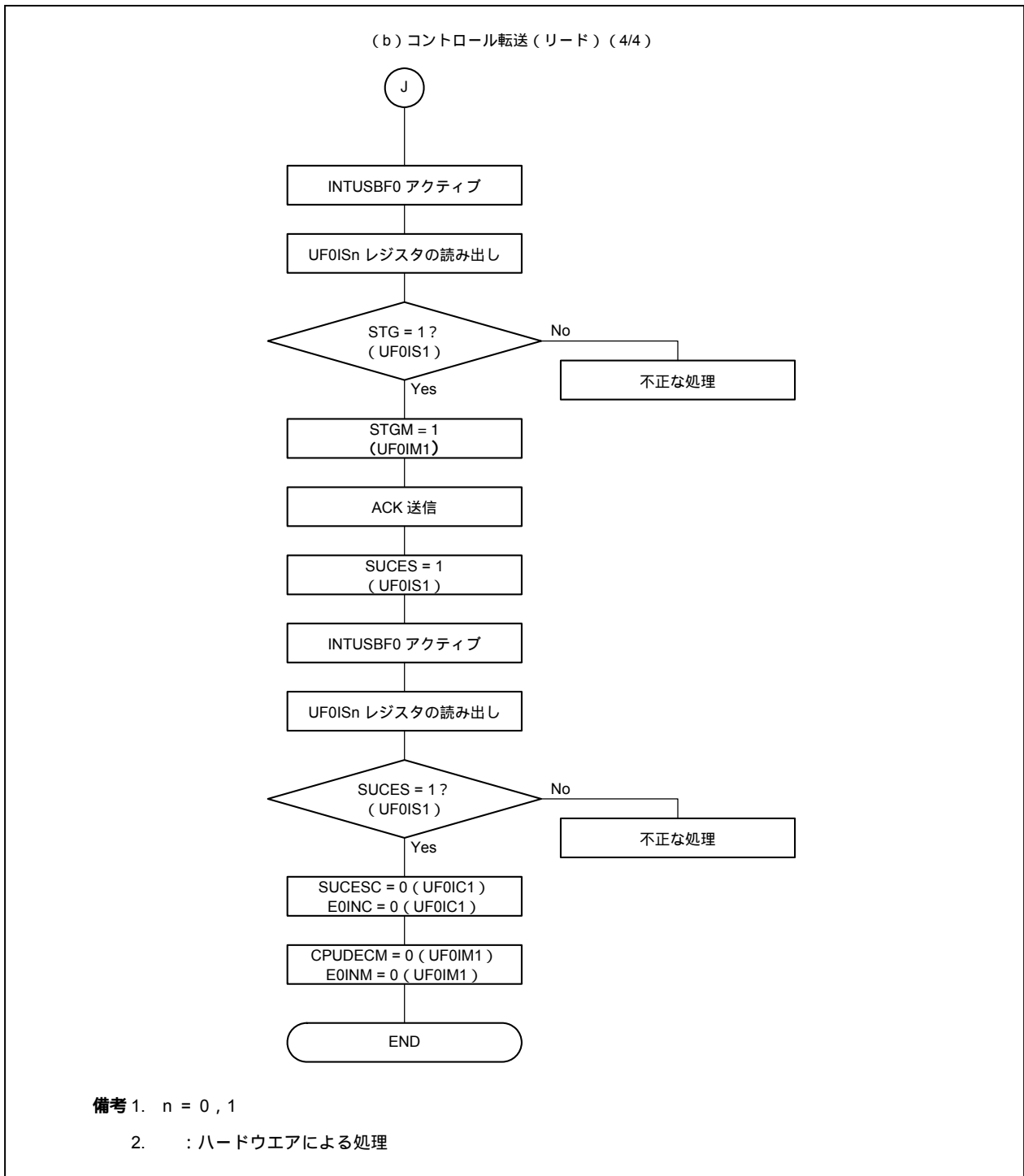


図3-18 コントロール転送に対する CPUDEC リクエスト (7/12)

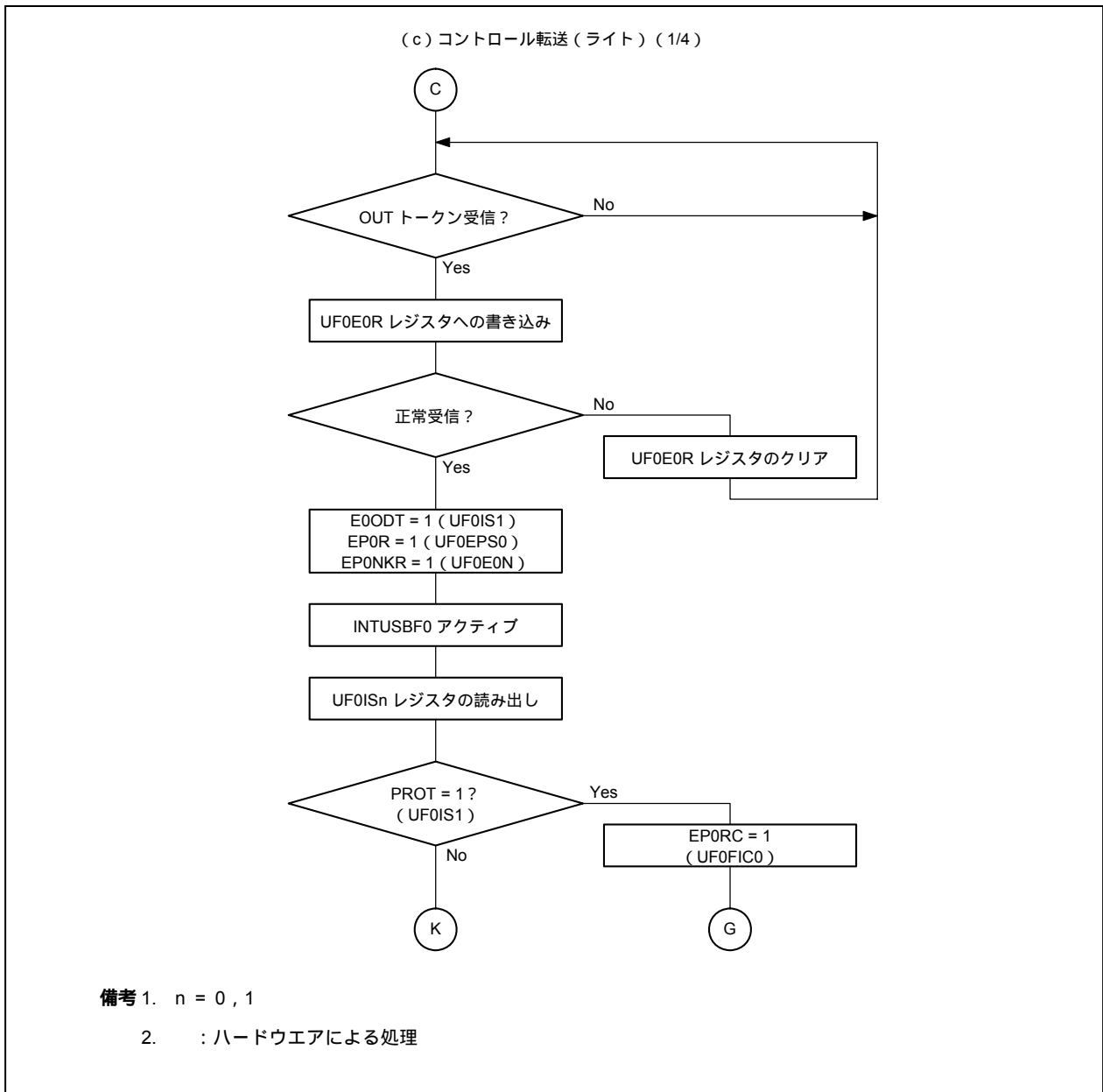


図3-18 コントロール転送に対する CPUDEC リクエスト (8/12)

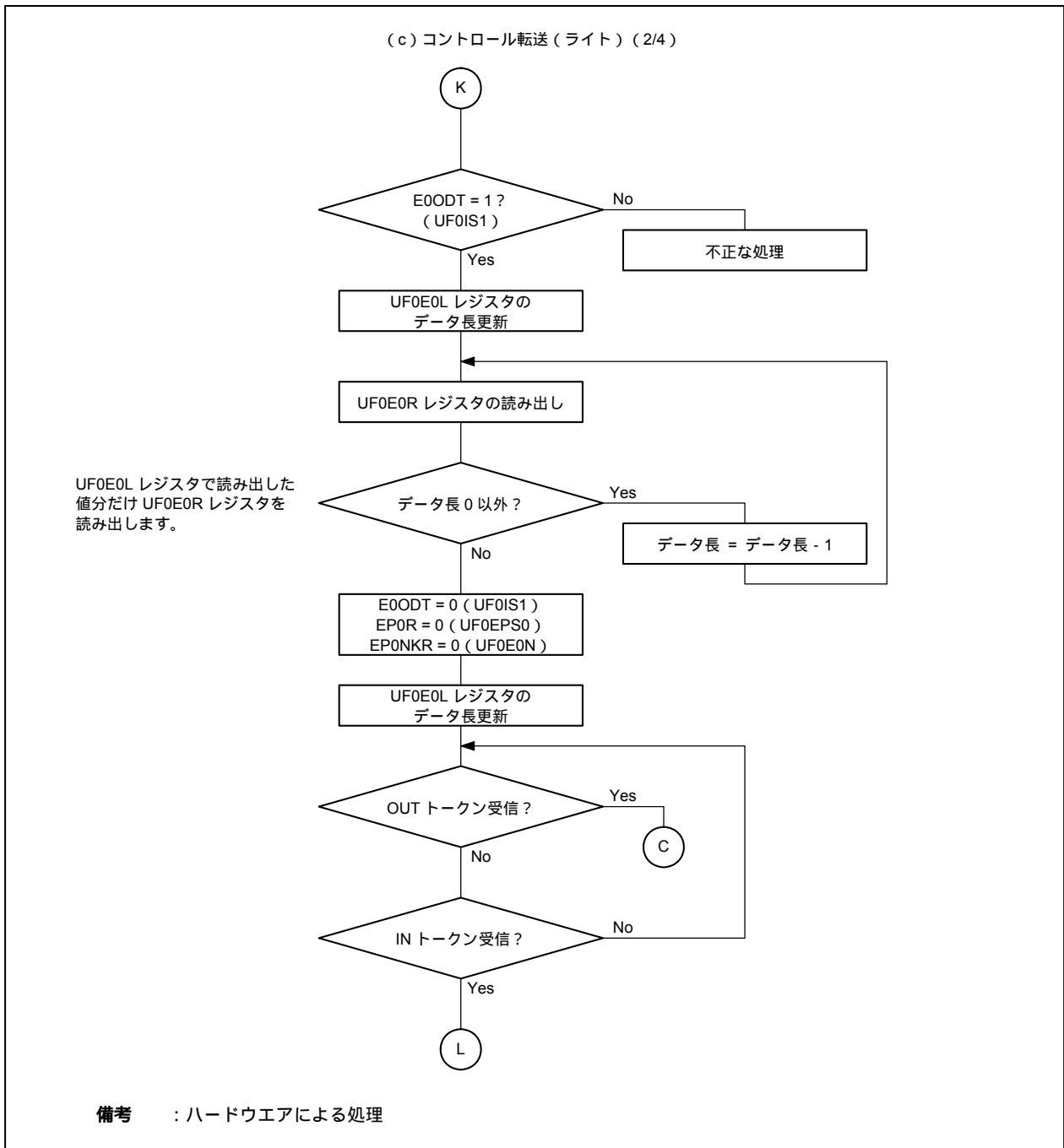


図3-18 コントロール転送に対する CPUDEC リクエスト (9/12)

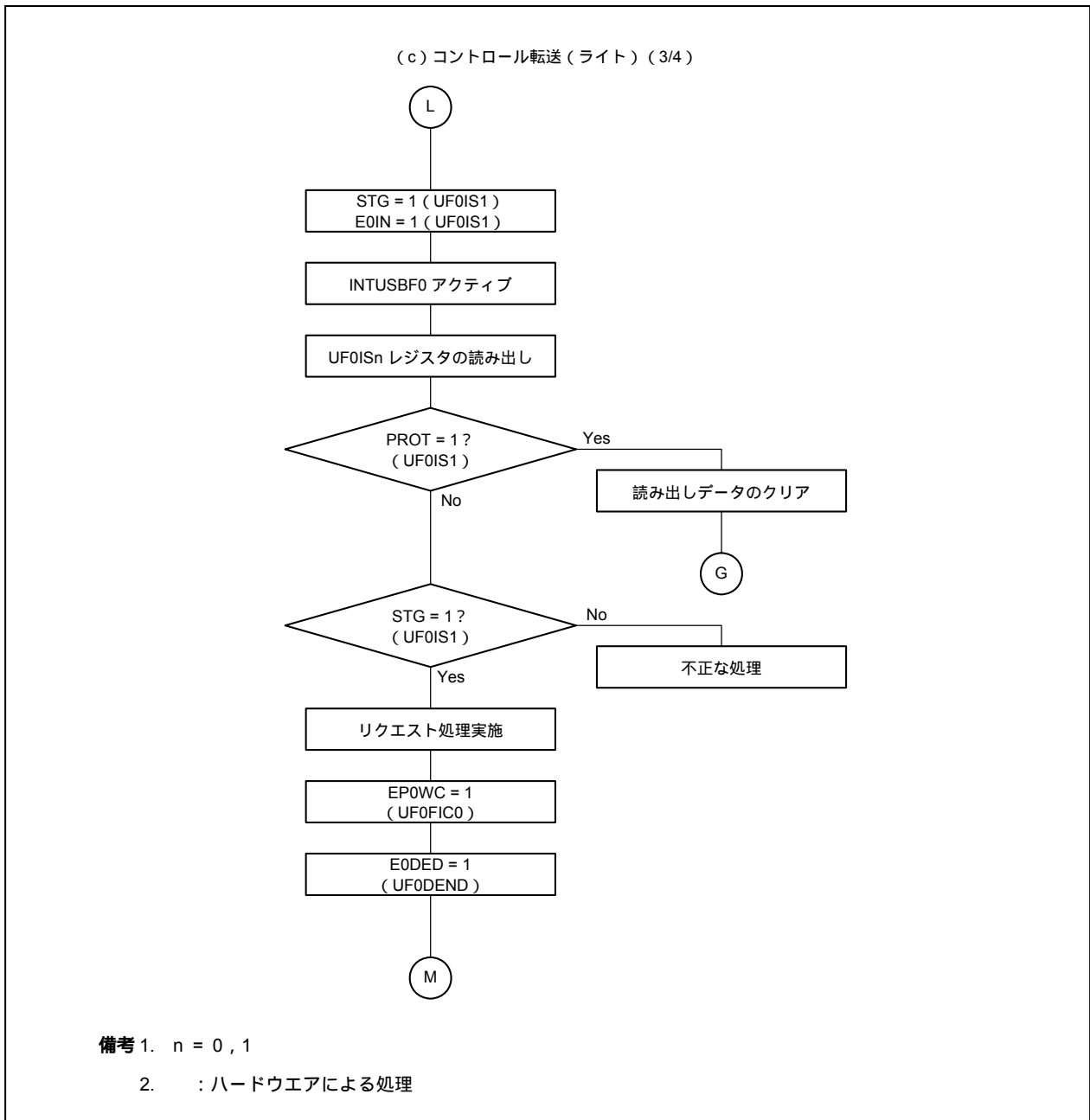


図3-18 コントロール転送に対する CPUDEC リクエスト (10/12)

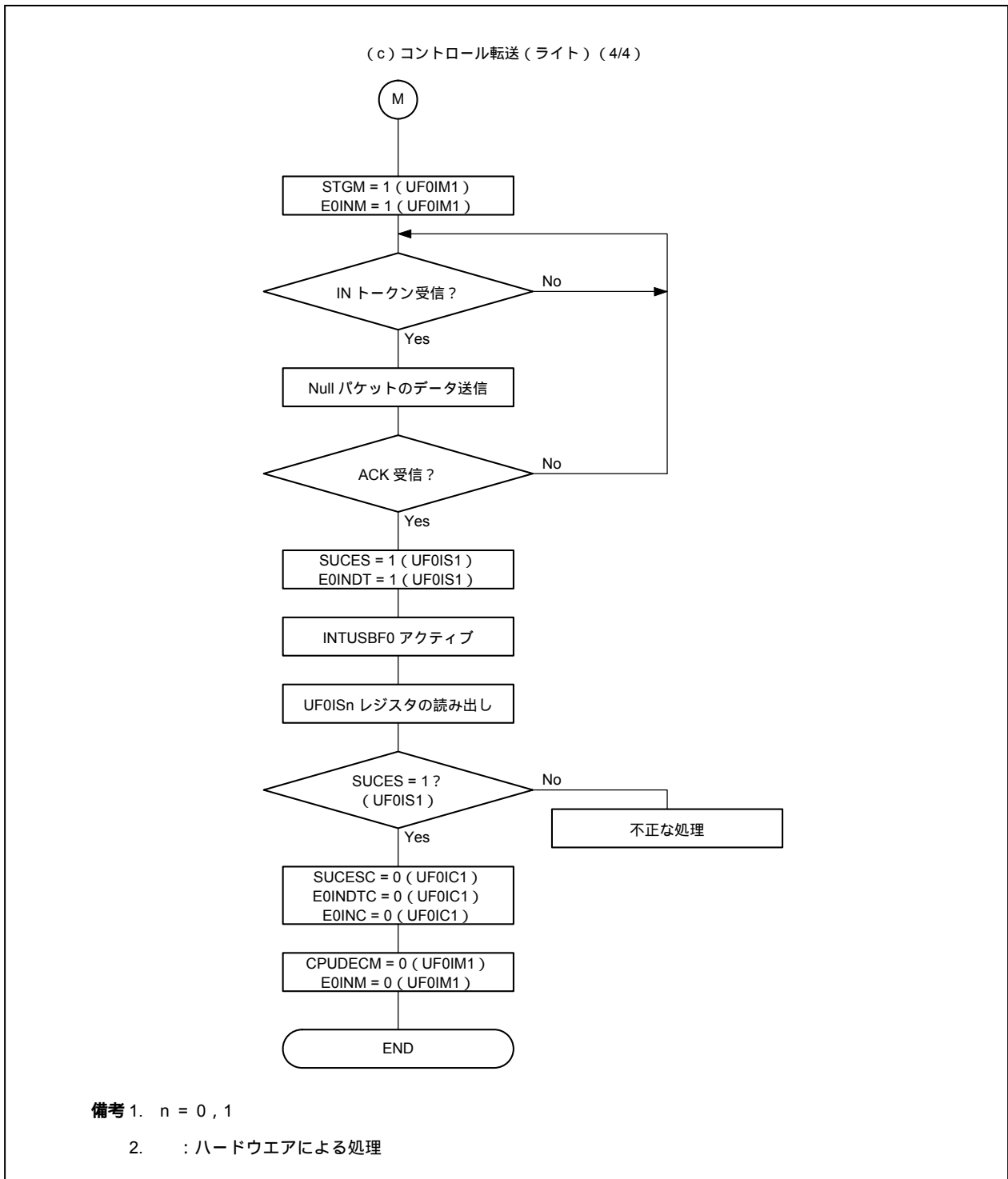


図3-18 コントロール転送に対する CPUDEC リクエスト (11/12)

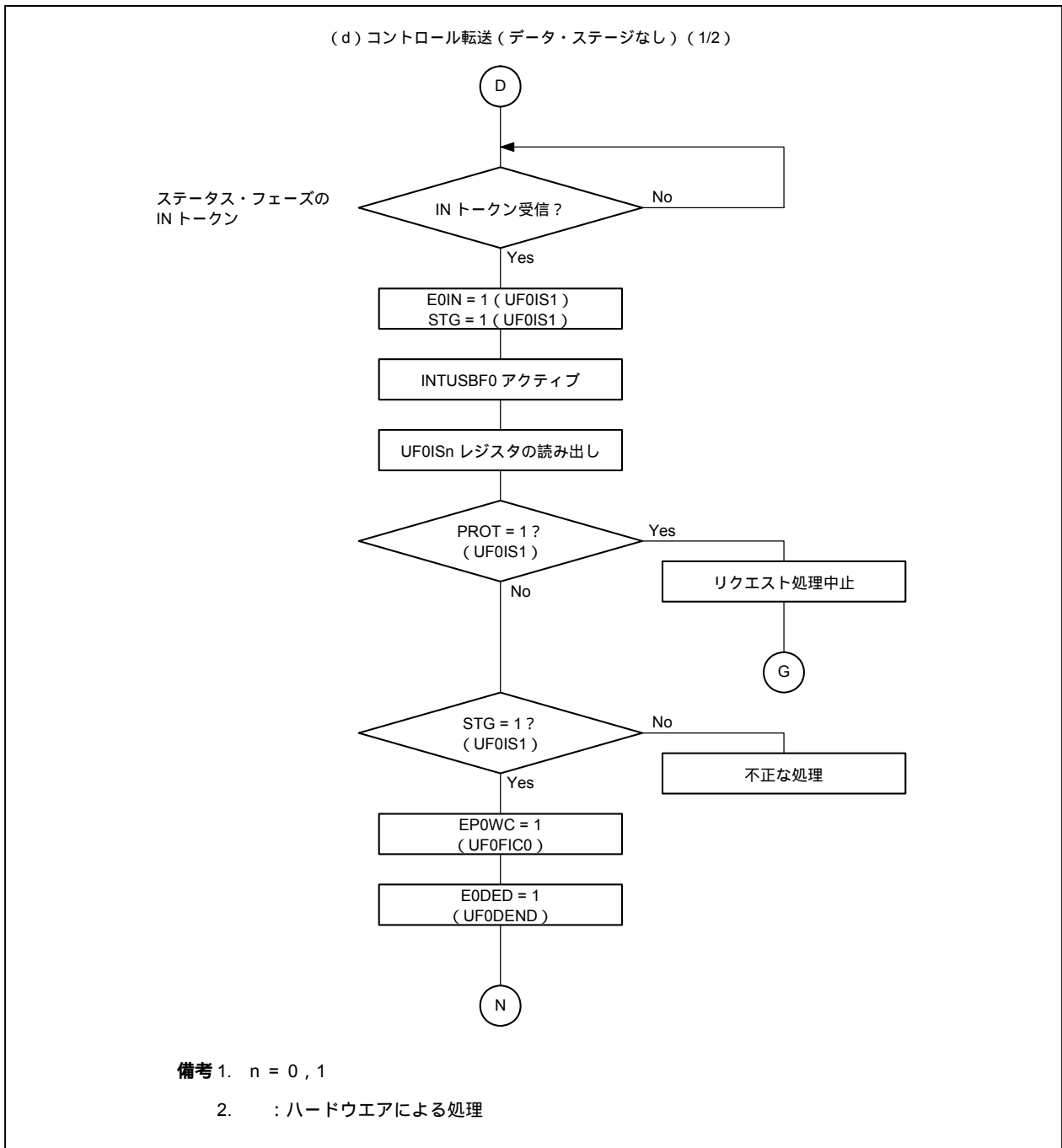
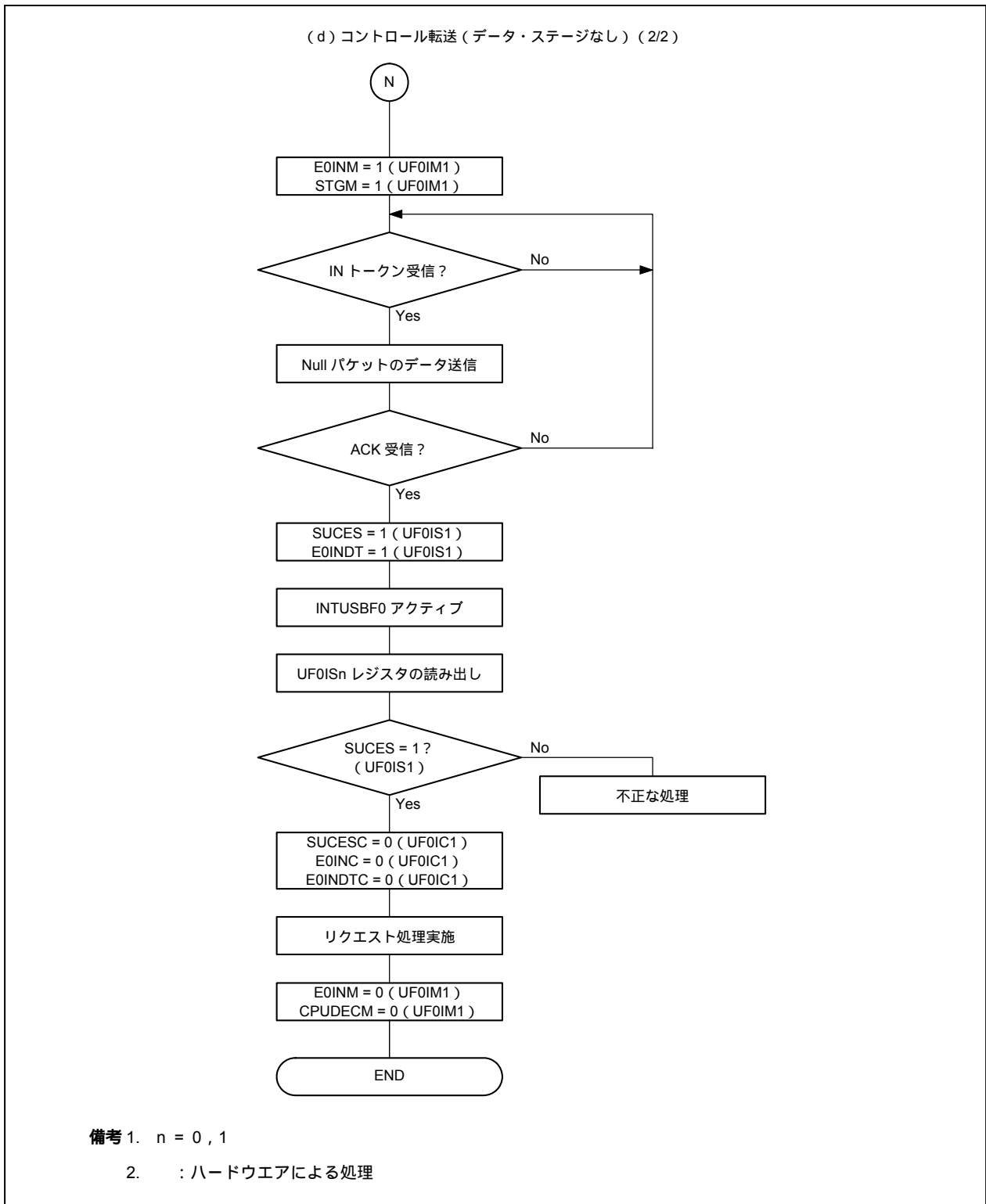


図3-18 コントロール転送に対する CPUDEC リクエスト (12/12)



(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1 に割り当てられています。Endpoint1 に対する制御フローを示します。

図 3 - 19 バルク転送 (IN) に対する処理 (Endpoint1 の場合)

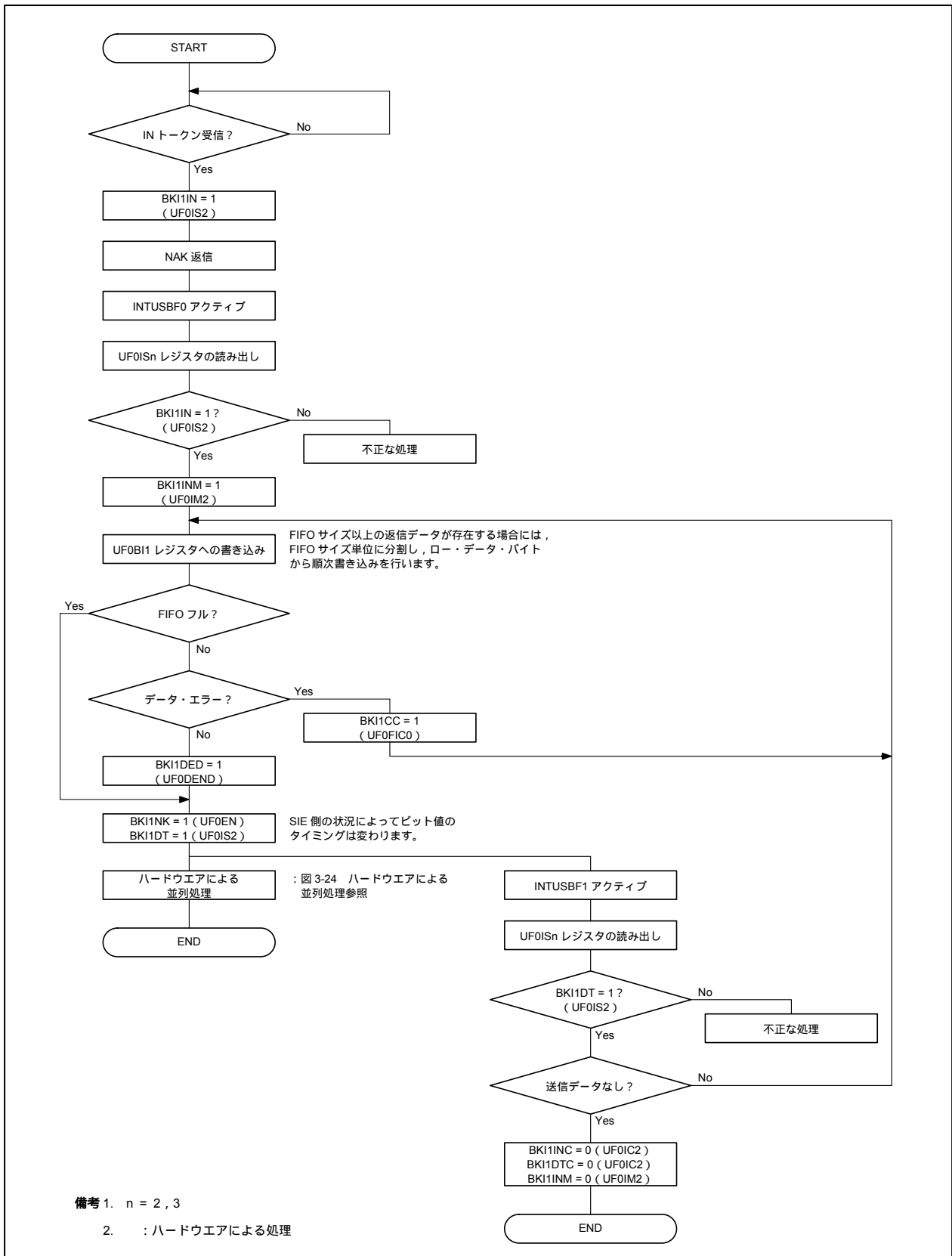
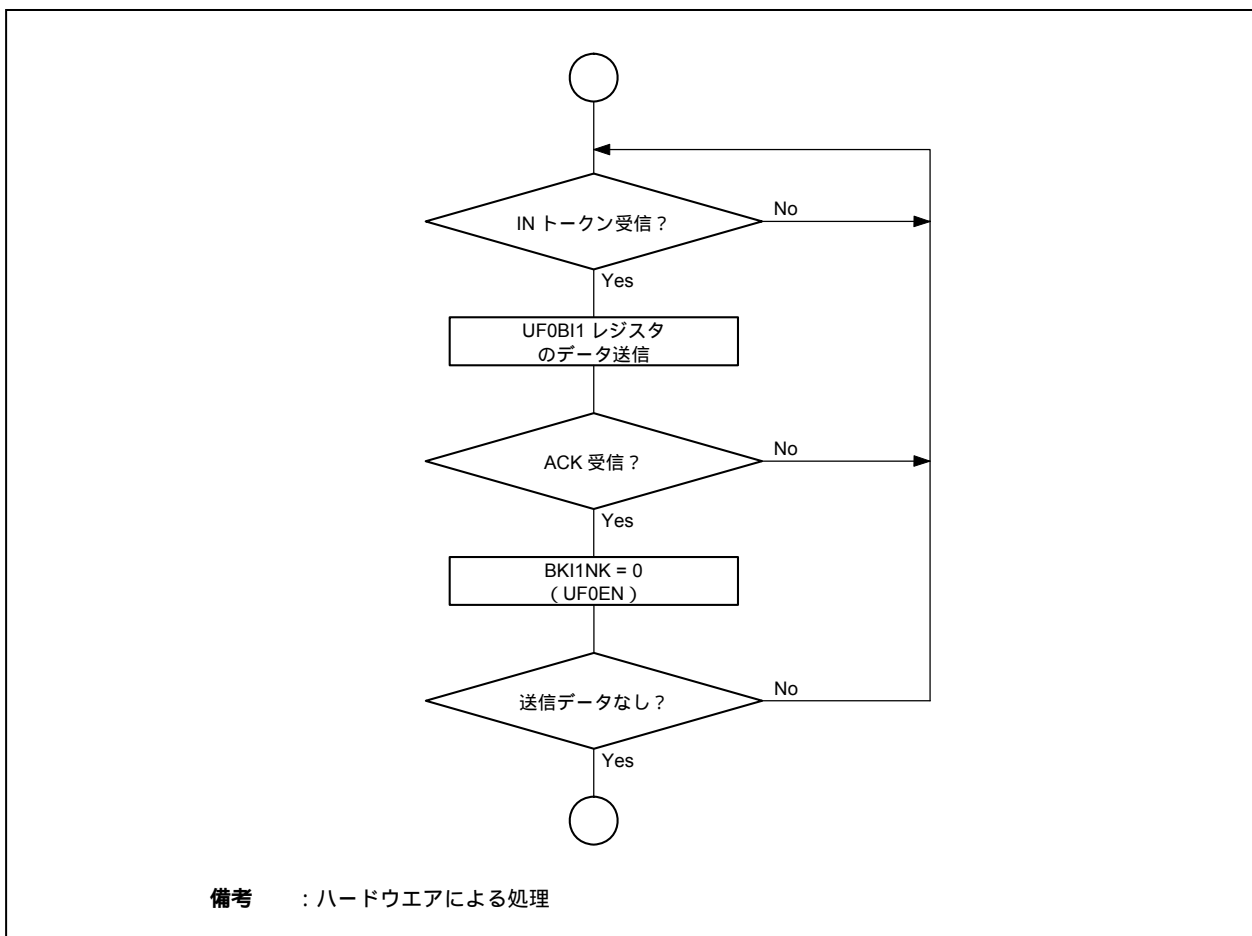


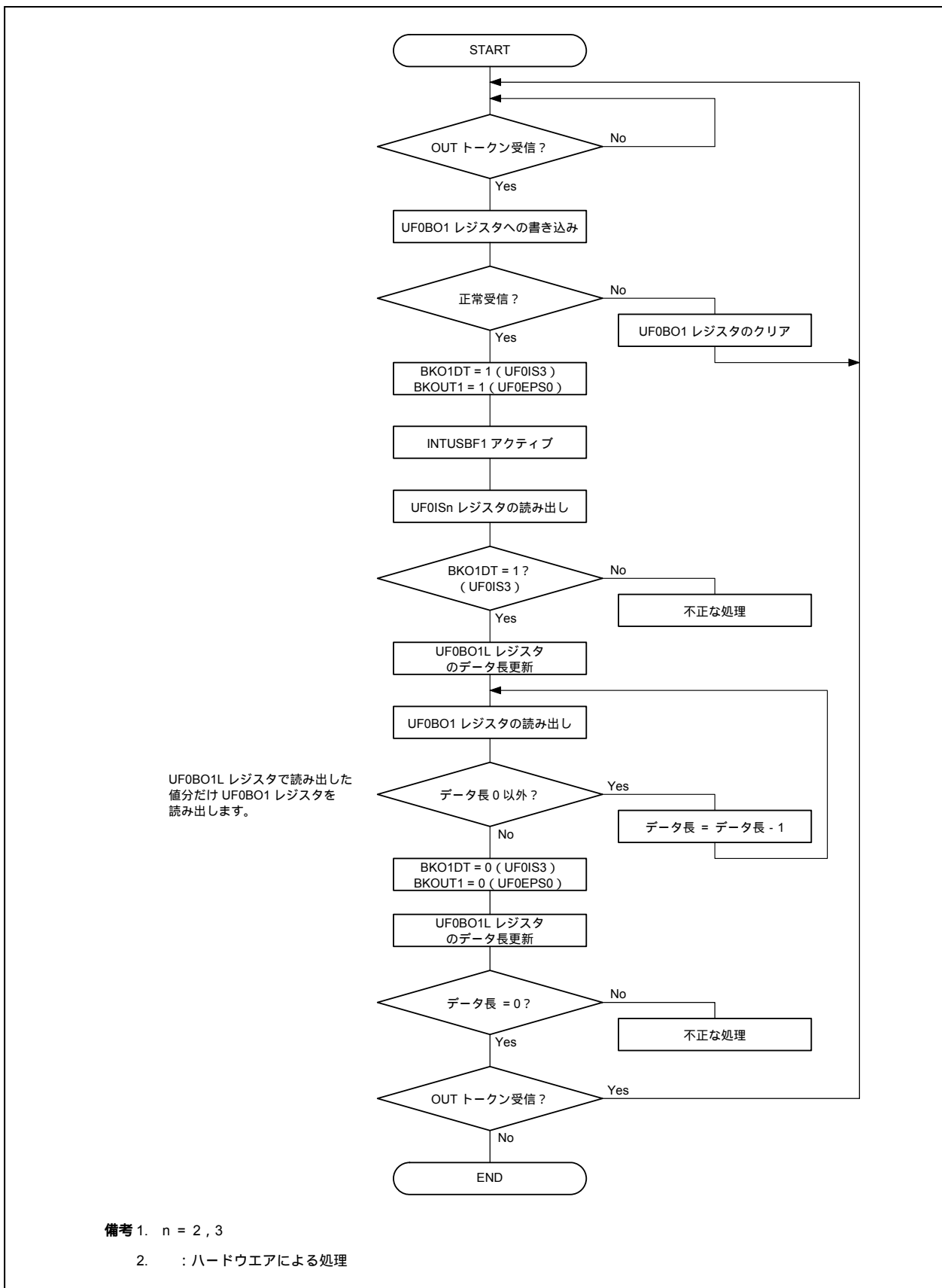
図3-20 ハードウェアによる並列処理



(5) バルク転送 (OUT) に対する処理

バルク転送 (OUT) は, Endpoint2 に割り当てられています。Endpoint2 に対する制御フローを示します。

図 3 - 21 バルク転送 (OUT) に対する通常処理 (Endpoint2 の場合)



なお、バルク転送（OUT）に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。PFESiP/V850EP1では、USBバスの転送レートがアップし、できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送（OUT）のEndpoint2は、64バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪128バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り2パケット分になった時点で、Endpoint2に対する通常処理から次に示す制御フローに切り替えてください。Endpoint2に対する制御フローを示します。

図3-22 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2 の場合) (1/2)

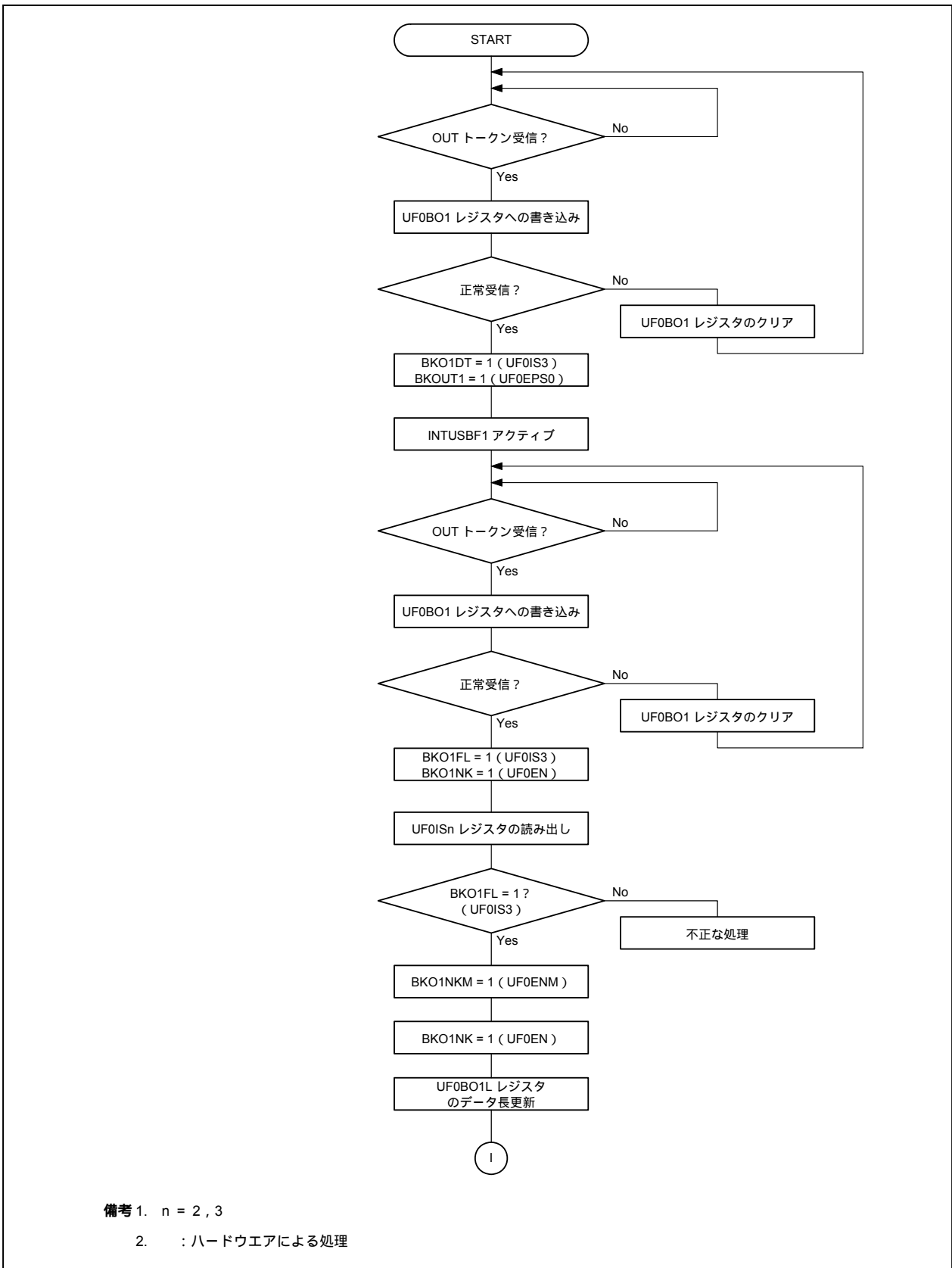
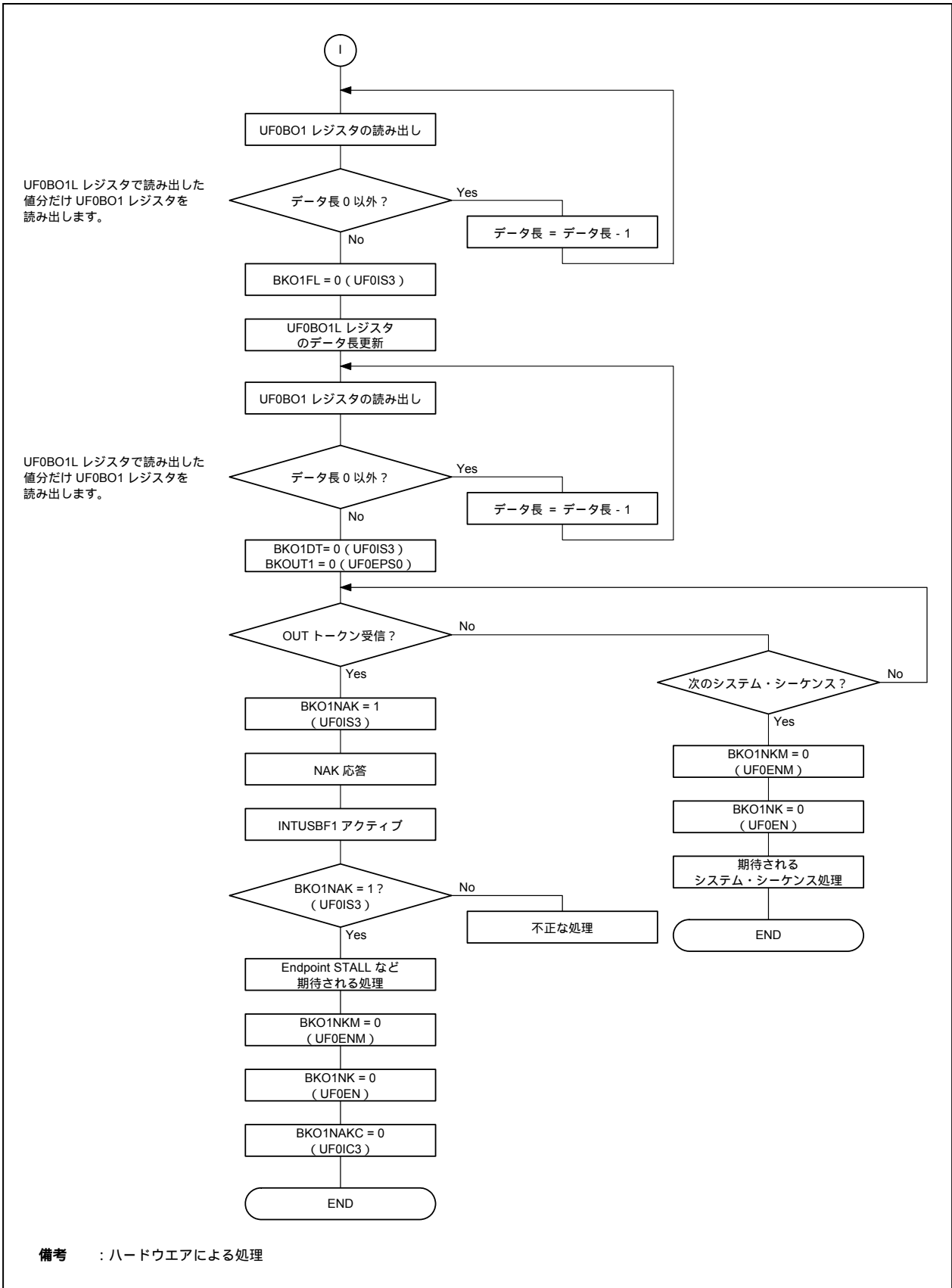


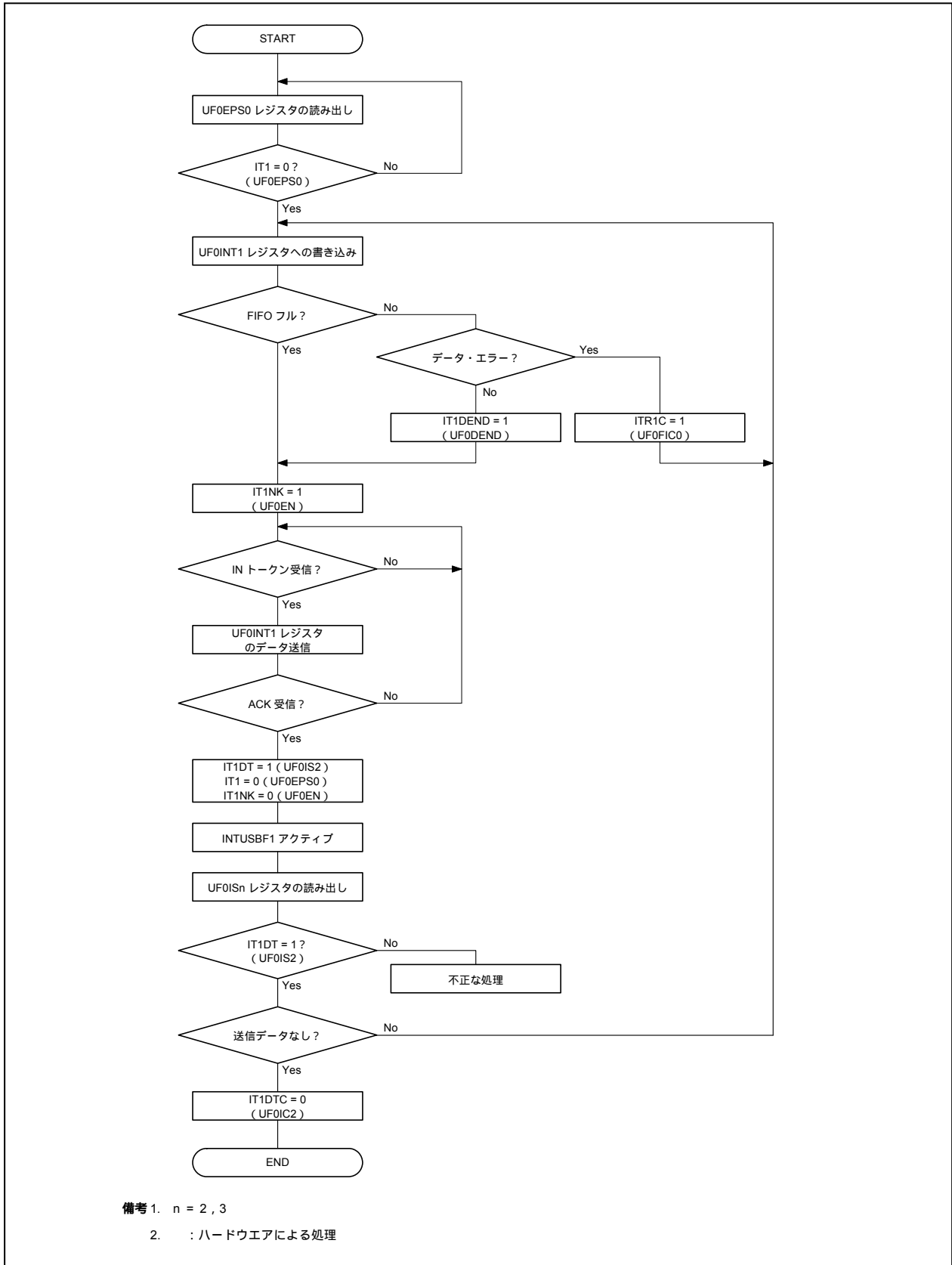
図3-22 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2 の場合) (2/2)



(6) インタラプト転送 (IN) に対する処理

インタラプト転送 (IN) は, Endpoint7 に割り当てられています。Endpoint7 に対する制御フローを示します。

図 3 - 23 インタラプト転送 (IN) に対する処理 (Endpoint7 の場合)



3.7.4 Suspend/Resume 処理

Suspend/Resume 処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図3-24 Suspend/Resume 処理例 (1/3)

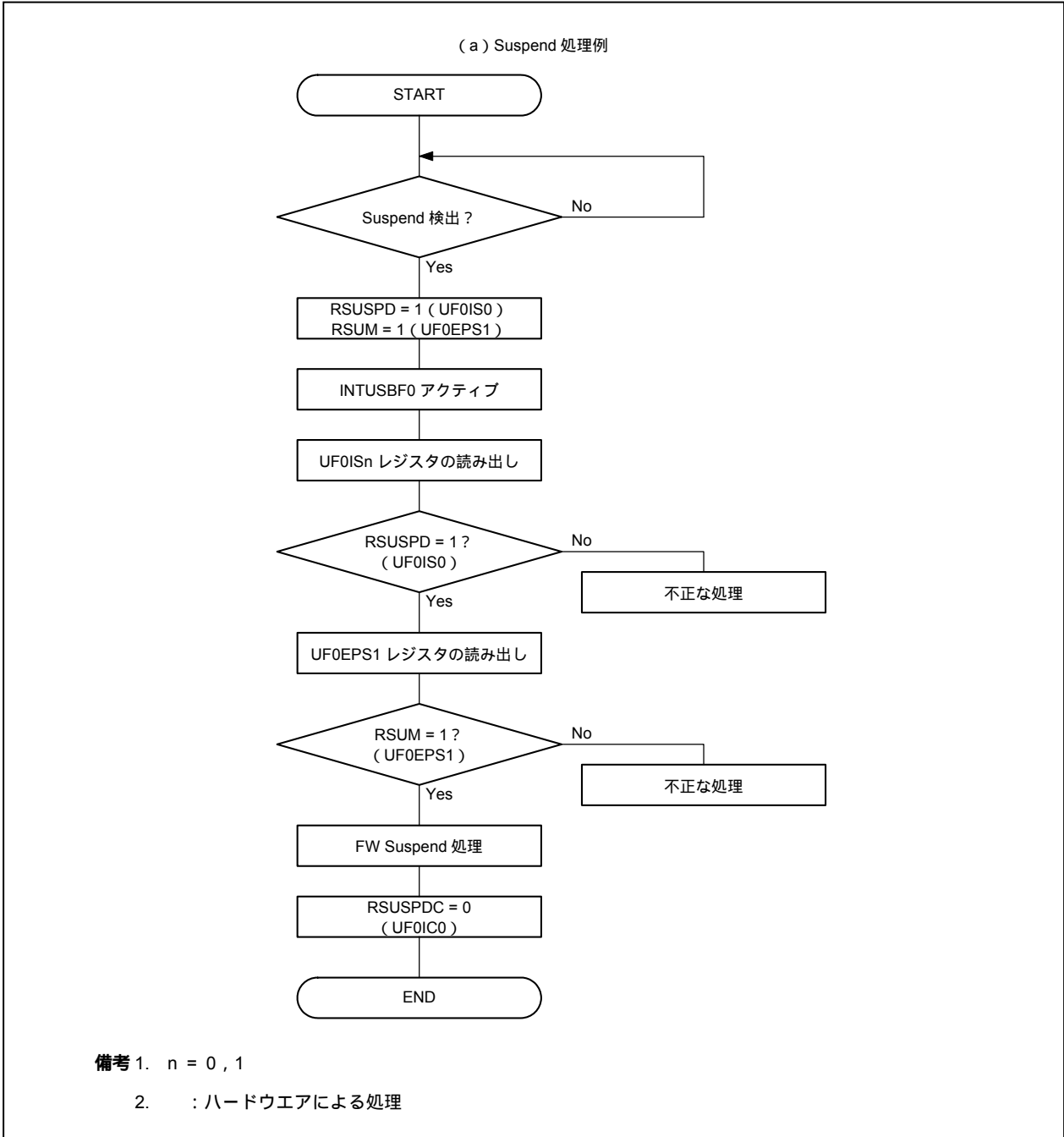


図3-24 Suspend/Resume 処理例 (2/3)

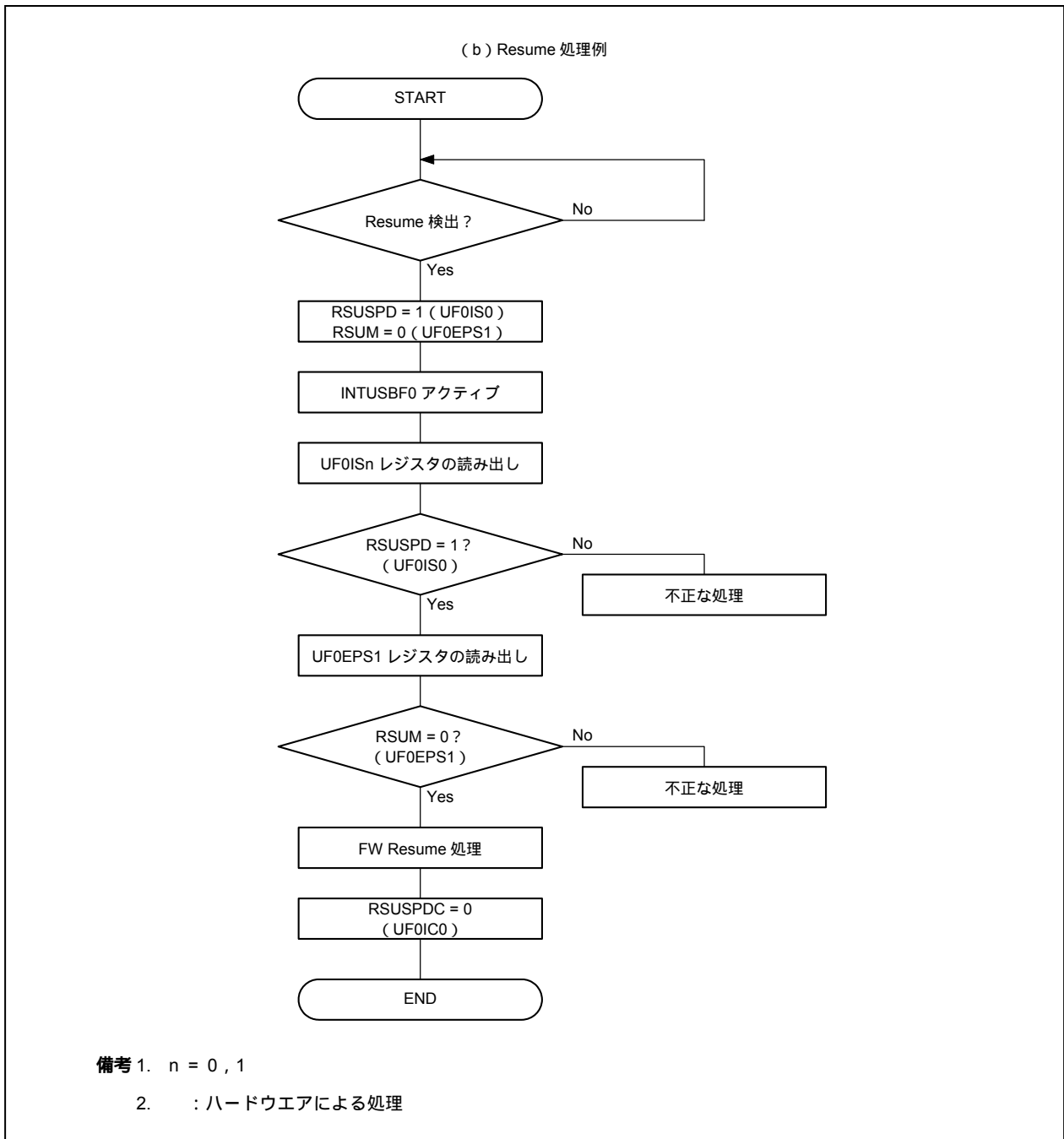
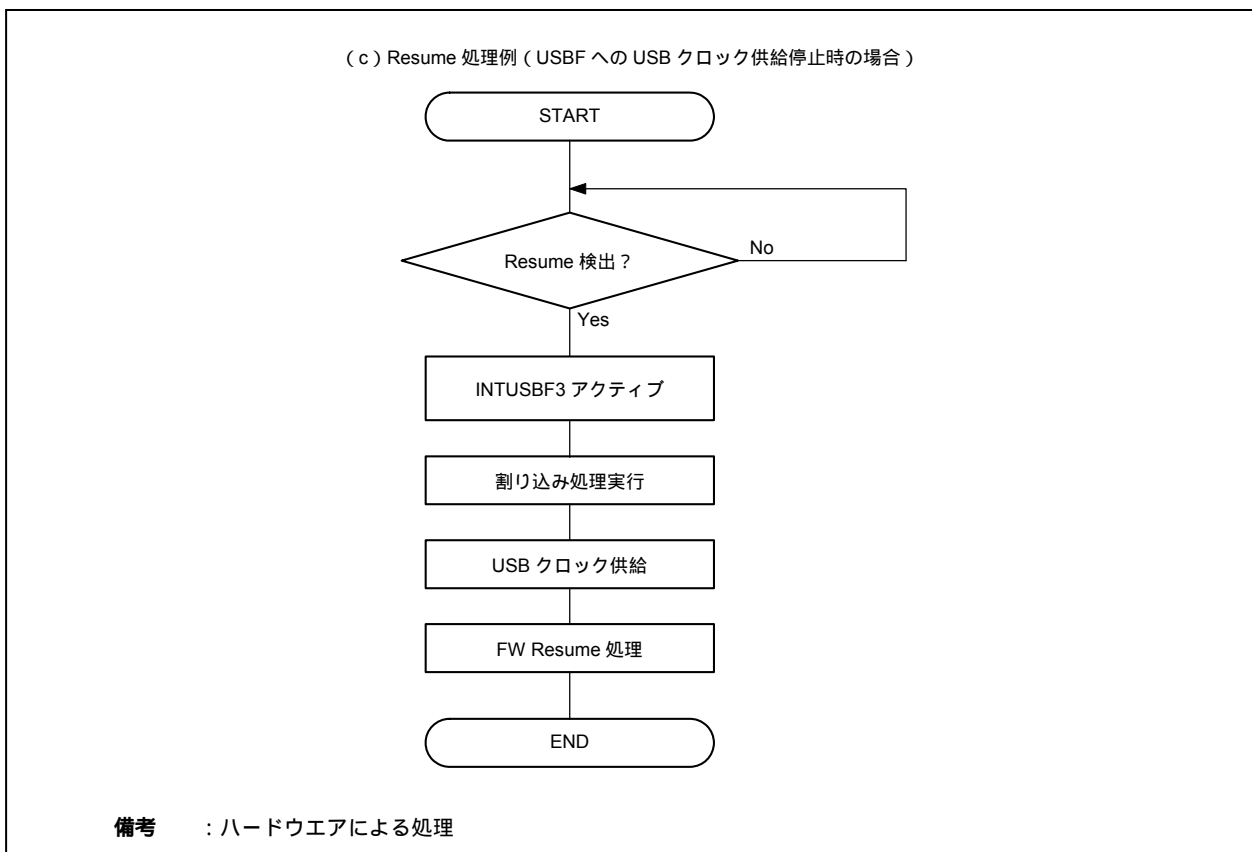


図3-24 Suspend/Resume 処理例 (3/3)



3.7.5 電源投入後の処理

電源投入後の処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図3-25 電源投入後の処理 / 電源切断の処理例 (1/3)

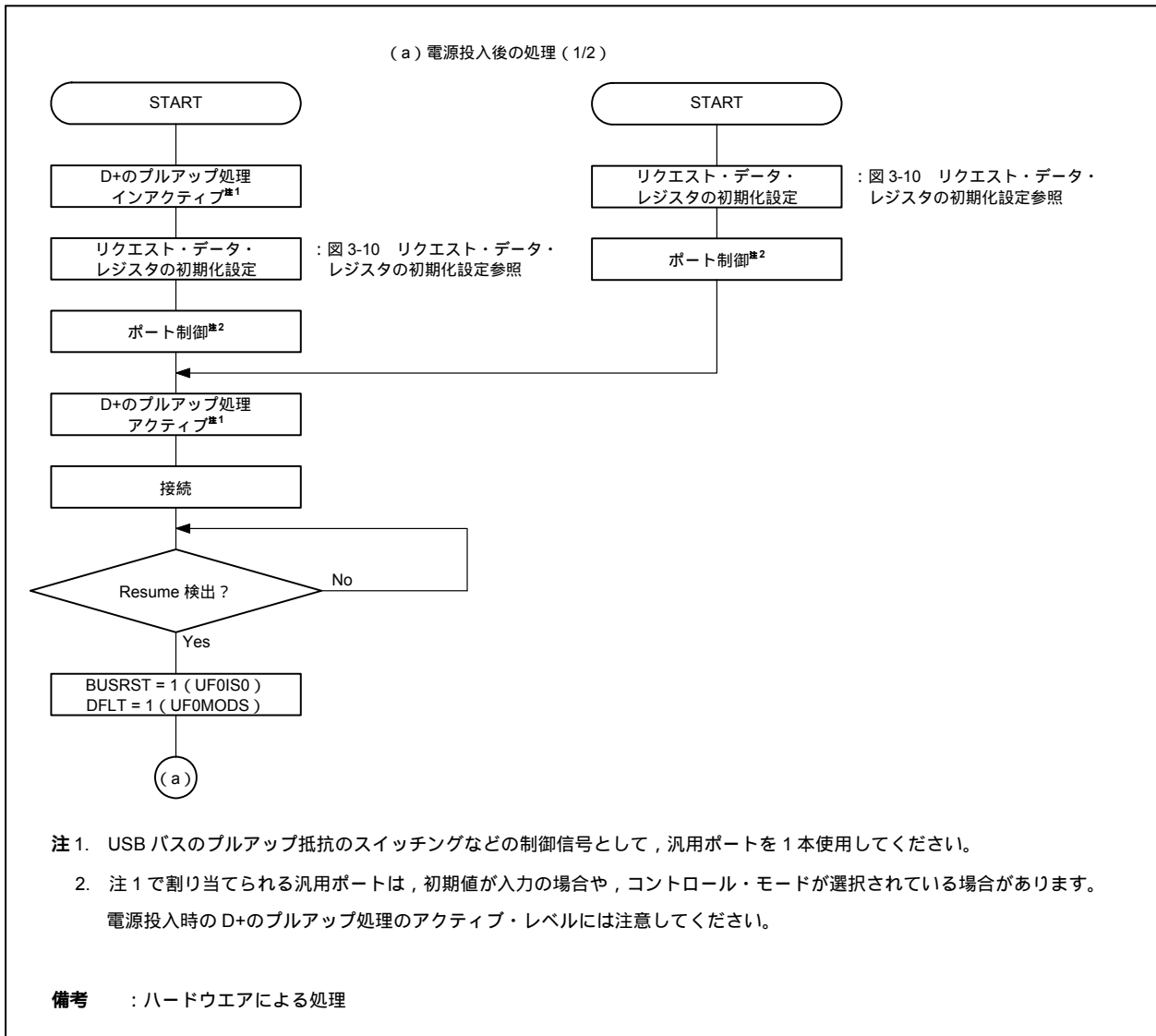


図3-25 電源投入後の処理 / 電源切断の処理例 (2/3)

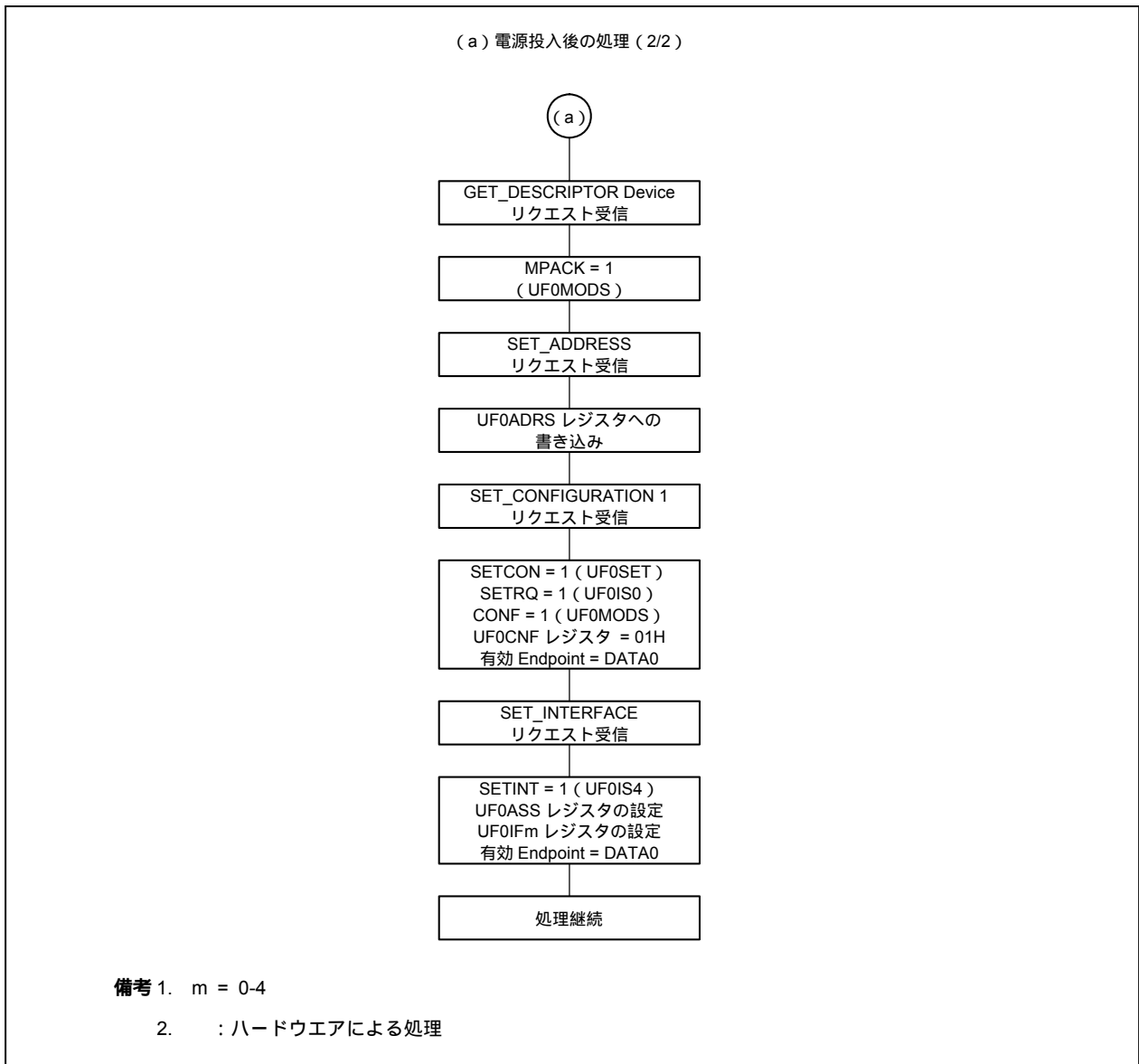
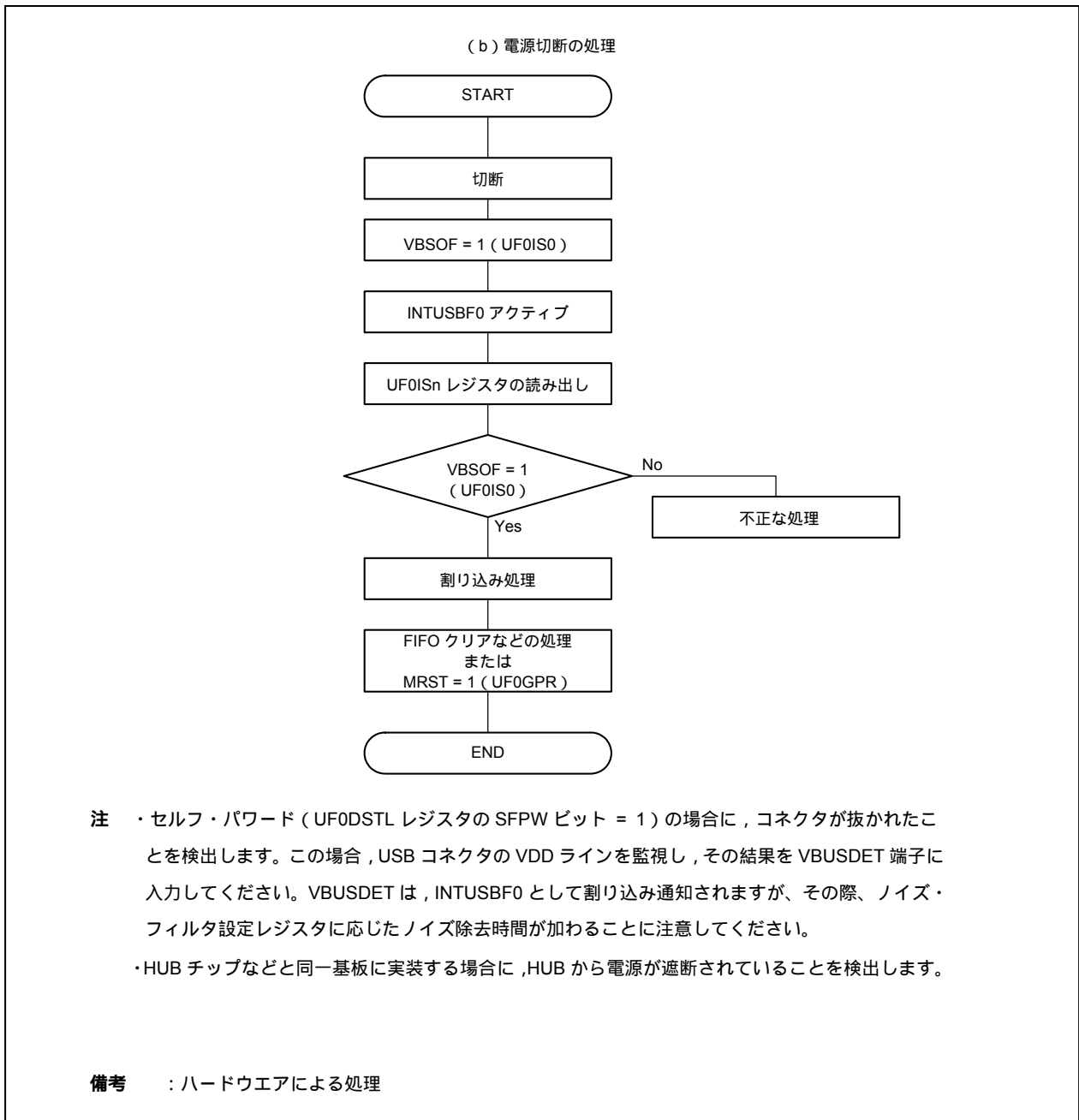


図3-25 電源投入後の処理 / 電源切断の処理例 (3/3)



3.7.6 DMA モードによるバルク転送

Endpoint1/Endpoint2 は、PFESiP/V850EP1 内蔵 DMA コントローラ (DMAC) の転送対象 I/O となってバルク転送動作を行うインタフェースを持っています。これを使用するためには、まず初期化処理において DMAC 側のインタフェースを、これに割り当てる必要があります。図 3 - 26 にその例を示します。DMAC のレジスタ詳細については **ユーザズ・マニュアル ハードウェア編 (CPU 機能) 8.4 制御レジスタ** を、UDMS レジスタ詳細については **ユーザズ・マニュアル ハードウェア編 (CPU 機能) 10.6 USB 接続用 DMA インタフェース信号** を、それぞれ参照してください。

転送動作はホストからの指示で起動され、ファームウェアは割り込みによってそれを捉えます。図 3 - 27 は、ホストからのイン・トークン/アウト・トークンによる起動指示に対応する処理フロー例です。割り込みを受けて DMAC 側の設定を行った後、UF0IDR レジスタの DQBI1MS/DQBO1MS ビットで動作を DMA モードに切り替え、EP1_DCR1/EP2_DCR1 のマスク・ビット解除で転送をハードウェアで開始するのを許可します。転送データは、DMA 専用の EP1_BULK_IN/EP2_BULK_OUT レジスタを介して読み書きします。転送終了は INTUSBF1/INTUSBF2 信号または INTUSBF0 信号で捉えられます。後処理としてフルでない FIFO のトグルや割り込み要因、終了ステータスのクリアなどを行ってください。

起動方法の若干異なるストレージ・クラスのバルク・オンリー方式も、処理フローはほぼ同じです。詳細は **アプリケーション・ノート USB ファンクション・サンプル・ソフト編** を参照してください。

図 3 - 26 DMA の初期化処理

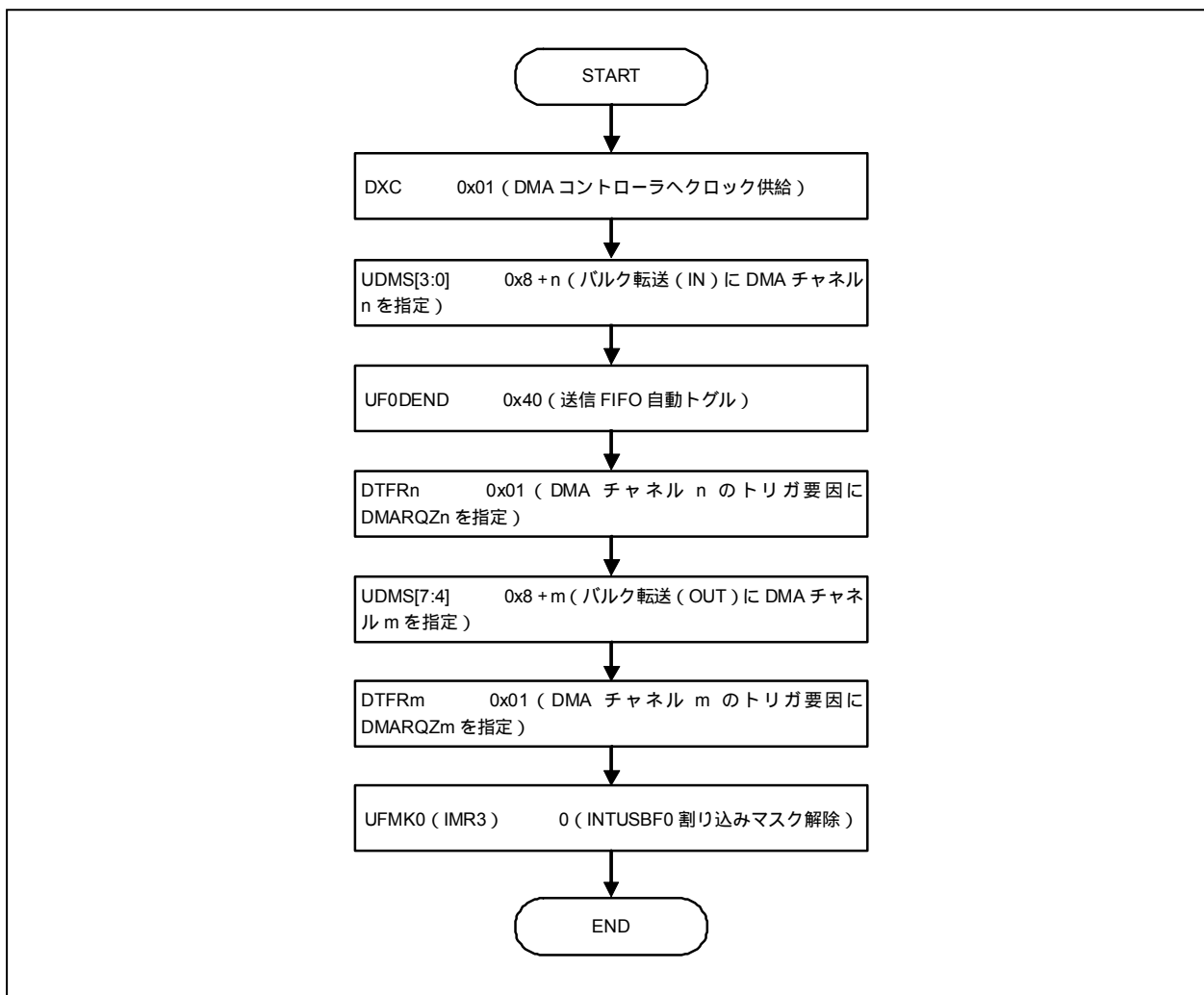


図3-27 DMAモードでのバルク転送処理フロー例(1/2)

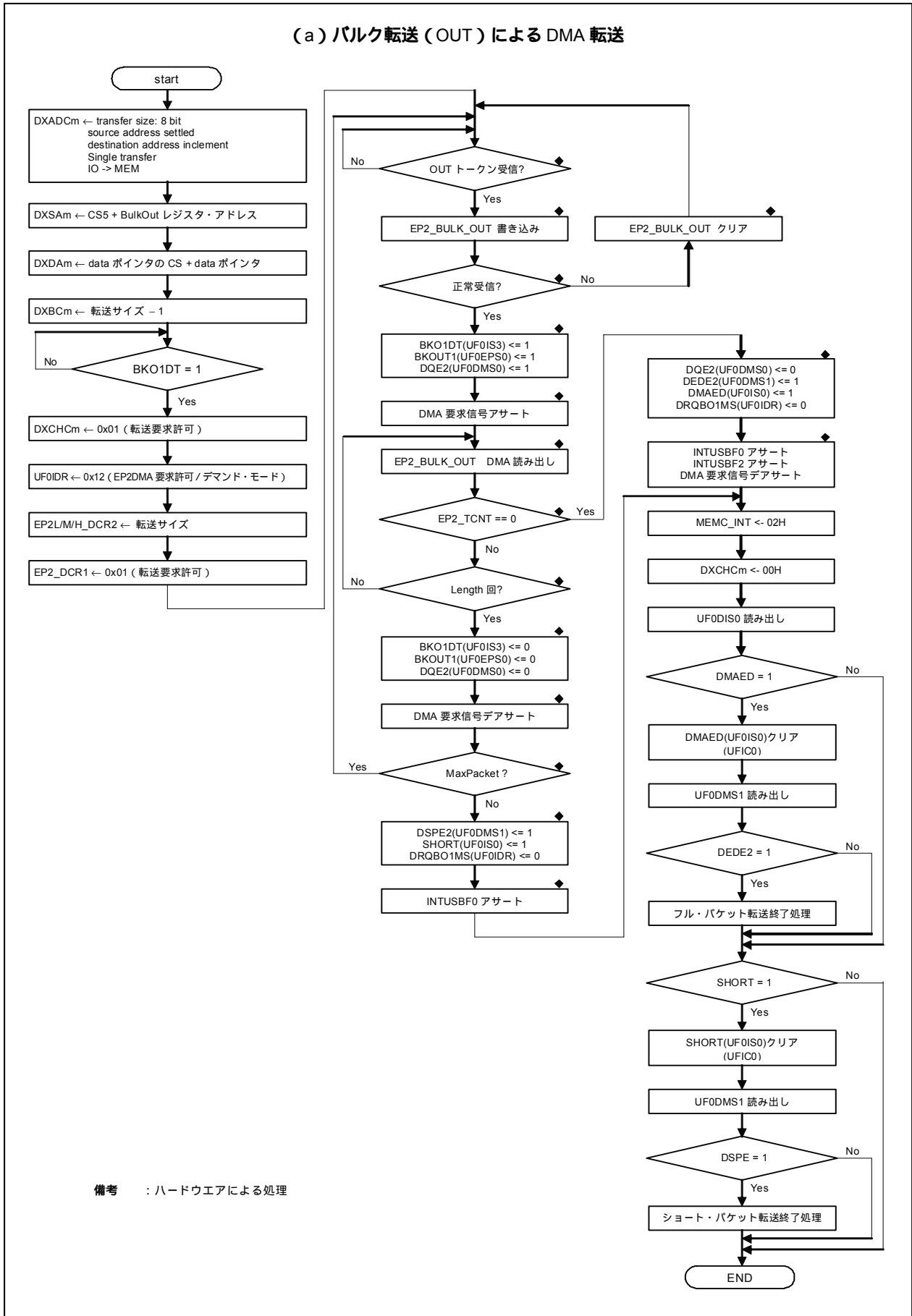
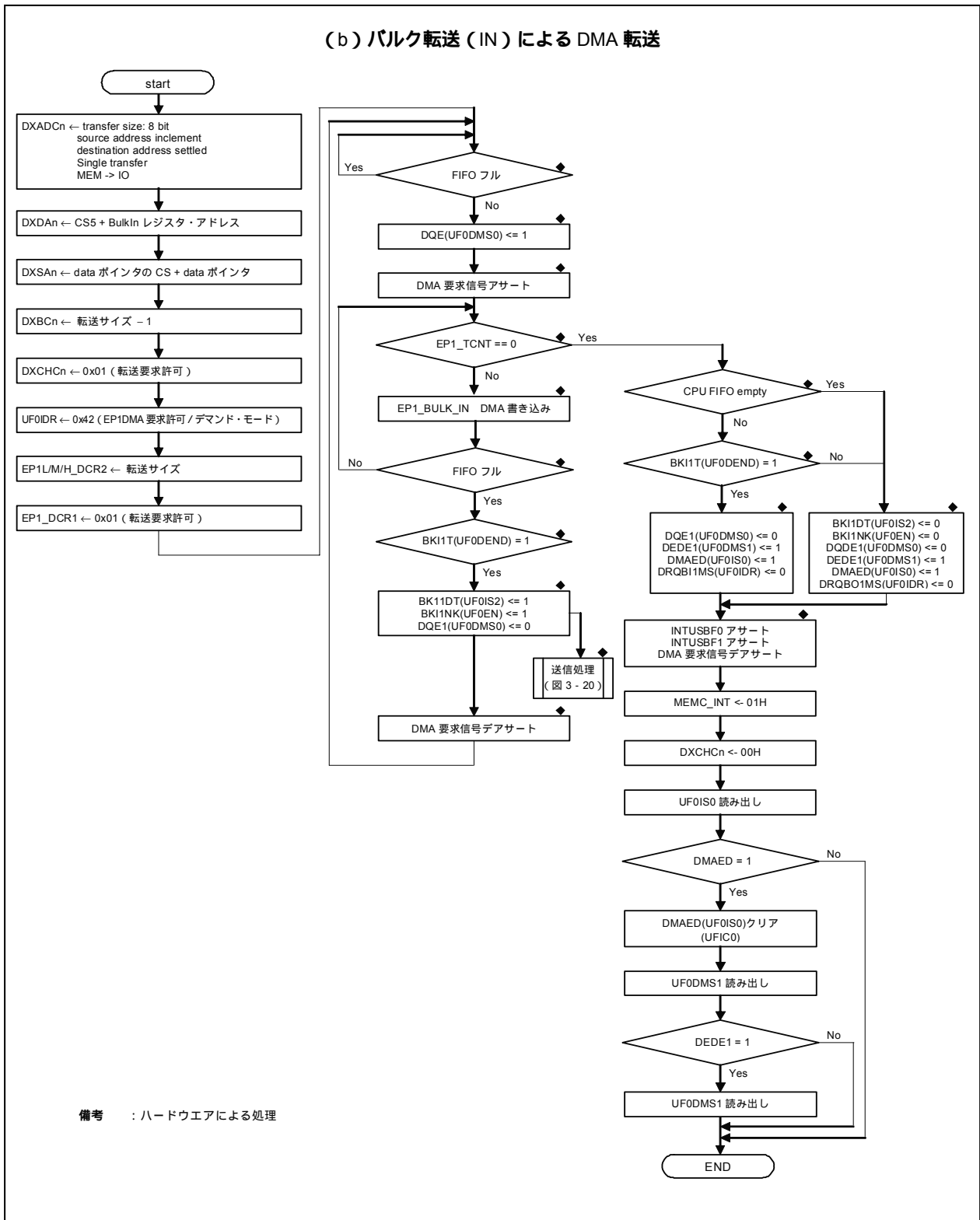


図3-27 DMAモードでのバルク転送処理フロー例(2/2)



3.7.7 USB ファンクション・コントローラからの割り込み

USB ファンクション・コントローラでは、EPC やブリッジまたは外部からの割り込みを統合し、5本の割り込みとしてシステムへ通知します。

5本の割り込み信号に対し、割り込みコントローラはエッジ検出により割り込み発生を認識します。そのため、INTUSBF0-INTUSBF2 に対する割り込み処理を行うときは、必ず割り込み処理の先頭ですべての割り込み要因のクリアを行ってください。割り込み要因が残っていると、新たに割り込みが起動されないことがあります。

表 3 - 18 USB ファンクション・コントローラからの割り込み

割り込み信号	ステータス・レジスタ			発生要因	
	レジスタ名	bit	要因略称		
INTUSBF0	UF0IS0	7	BUSRST	Bus Reset 発生	
		6	RSUSPD	Resume または Suspend に状態変化	
		5	VBSOF	VBUS OFF 検出	
		4	SHORT	ショート・パケット発行 (DMA 転送時)	
		3	DMAED	DMA 転送終了	
		2	SETRQ	自動処理対象のコントロール転送完了	
		1	CLRRQ	CLEAR_FEATURE リクエストを受信し、自動処理完了	
		0	EPHALT	Endpoint ストール	
	UF0IS1	6	E0IN	EP0 NAK 応答 (IN トークン)	
		5	E0INDT	UF0E0W レジスタから送信完了 (イン・トランザクション完了)	
		4	E0ODT	UF0E0R レジスタに正常に受信 (アウト・トランザクション完了)	
		3	SUCES	コントロール転送正常終了	
		2	STG	コントロール転送でステータス・ステージに遷移	
		1	PROT	SETUP トークン受信	
		0	CPUDEC	SETUP トークン受信 (自動応答でないリクエスト受信)	
		UF0IS2	5	BK11IN	EP1 NAK 応答 (IN トークン)
	4		BK11DT	FIFO トグル動作発生 (EP1 にデータ書き込み可)	
	0		IT1DT	EP7 送信完了	
	UF0IS3	3	BK01FL	UF0BOn レジスタの両方の FIFO に受信データが存在	
		2	BK01NL	Null パケット受信 (EP2)	
		1	BK01NAK	EP1 NAK 応答 (OUT トークン)	
		0	BK01DT	EP2 データ受信完了	
	MEMC_INT	0	EP1_ENDINT	DMA 転送終了 (EP1)	
		1	EP2_ENDINT	DMA 転送終了 (EP2)	
	INTUSBF1	MEMC_INT	0	EP1_ENDINT	DMA 転送終了 (EP1)
	INTUSBF2	MEMC_INT	1	EP2_ENDINT	DMA 転送終了 (EP2)
	INTUSBF3				Resume 状態が発生[SIE]
INTUSBF4				VBUS ON 検出[外部信号]	

各割り込み通知に対するファームウェア処理内容については、3.7 ファームウェア処理を参照してください。

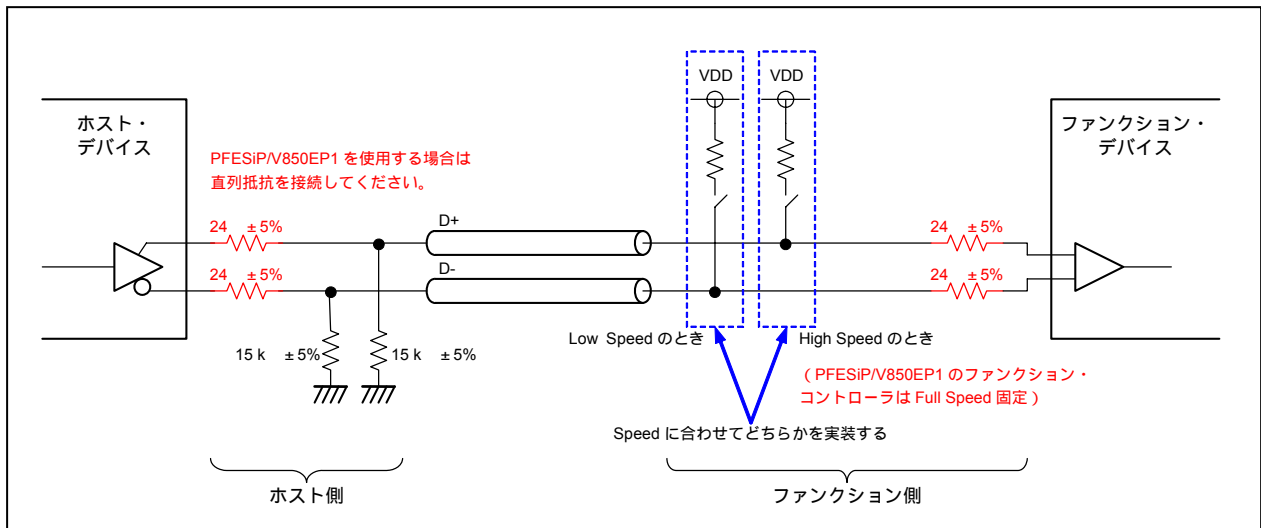
第4章 外部回路構成

USB 伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB 信号 (D+ / D-) にプルアップ、プルダウン抵抗を接続する必要があります。また PFESiP/V850EP1 では、直列抵抗を接続する必要もあります。

PFESiP/V850EP1 はこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、PFESiP/V850EP1 外部で接続してください。

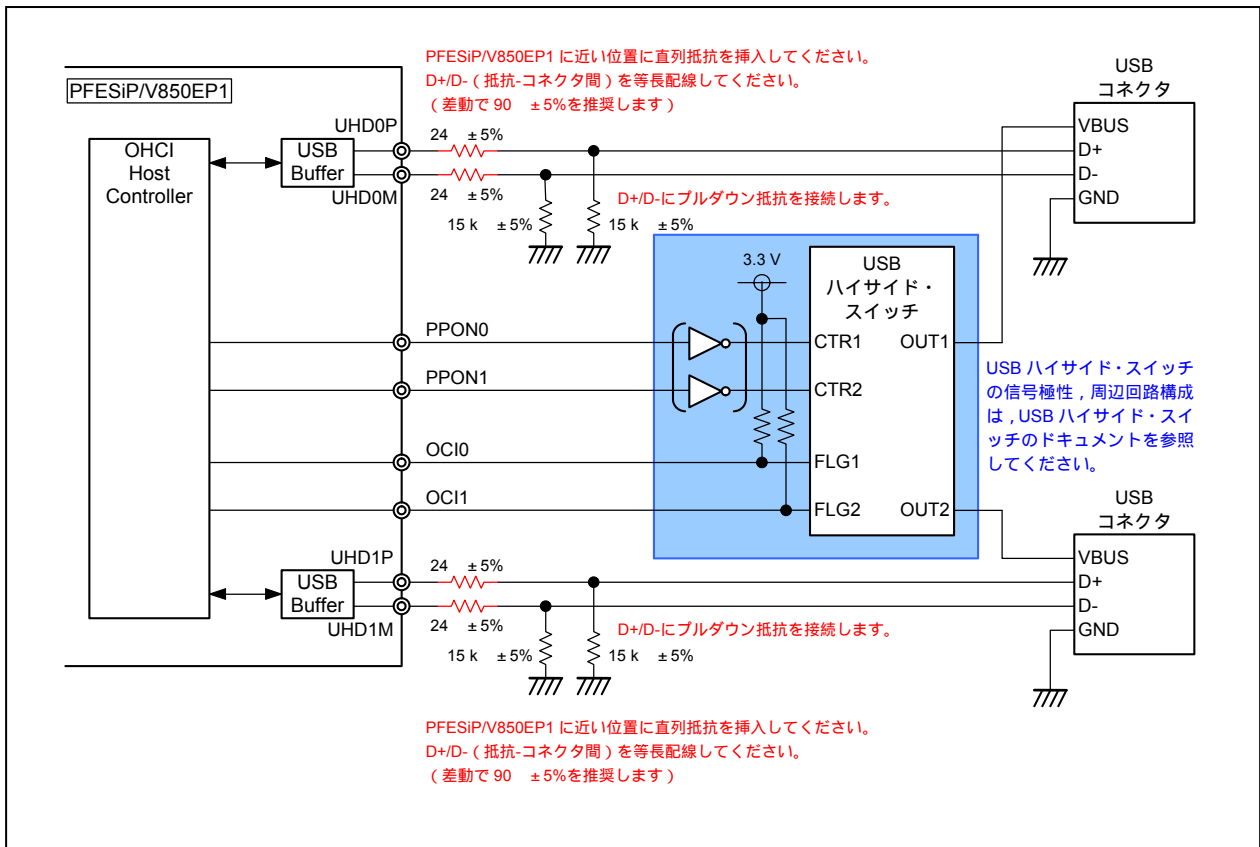
下記は USB 伝送路の構成概略図です。詳しい外付け構成については、各項にて説明します。

図 4 - 1 USB 伝送路のプルアップ、プルダウン、直列抵抗の概略構成



4. 1 USB ホスト・コントローラの接続構成

図 4 - 2 USB ホスト・コントローラの接続例



4. 1. 1 USB 信号接続について

(1) D+/D-への直列抵抗の接続

PFESiP/V850EP1 の USB ホスト・コントローラの D+/D-端子(UHD0P, UHD0M, UHD1P, UHD1M)には、 $24 \pm 5\%$ の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべく PFESiP/V850EP1 に近い位置に配置し、直列抵抗から USB コネクタまでは、D+/D-のインピーダンスが等しくなるよう、なるべく等長配線してください。(差動で 90 ±5%を推奨します)

(2) D+/D-のプルダウン接続

D+/D-端子 (UHD0P, UHD0M, UHD1P, UHD1M) は、 $15 \text{ k} \pm 5\%$ で GND にプルダウンしてください。この場合、ファンクション・デバイス未接続と同様の構成になります。

4. 1. 2 USB 電源接続について

(1) 過電流検出，電源制御について

PFESiP/V850EP1 には，USB ポートの過電流検出回路と電源制御回路は内蔵していません。これらの機能をシステムでサポートする場合には，外部回路で構成し OCI, PPON 端子に接続してください。

USB ポートの過電流検出と電源制御を行うための外部回路制御に用いる OCI, PPON 信号に関する動作について次に示します。

表 4 - 1 OCI / PPON 信号の説明

端子	入出力	レベル	意味
OCI	入力	1	オーバ・カレントを検出していない
		0	オーバ・カレントを検出した
PPON	出力	1	VBUS への電源供給 ON
		0	VBUS への電源供給 OFF

図 4 - 2 は，過電流検出，電源（VBUS）制御のための接続例です。USB コネクタとの接続構成にもよりますが，これにより USB バス未使用時にそのポートの VBUS を停止させ電力を削減させることが可能になります。対向する USB ファンクション・デバイスが Bus-Powered タイプである場合は，この接続例のように，ハイサイド・スイッチをご使用になることをお奨めします。

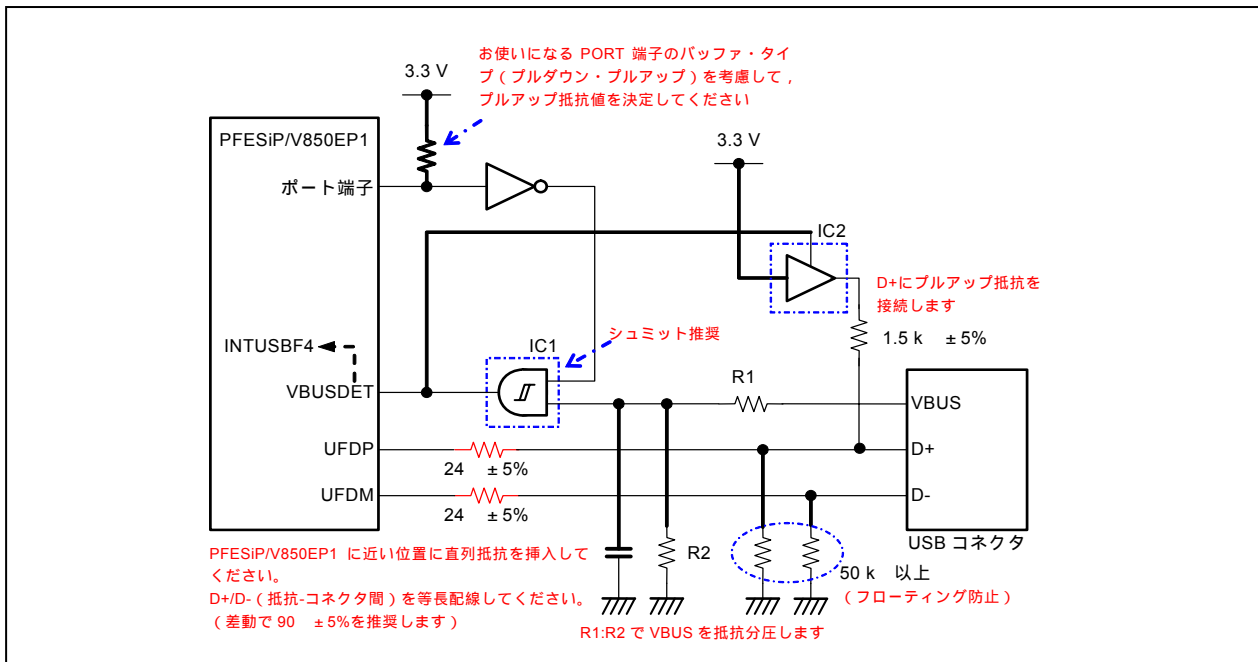
(2) ルート Hub レジスタ設定条件による VBUS の制御仕様

VBUS を制御するための PPS ビットの制御は HcRhDescriptorA・HcRhDescriptorB レジスタ（RootHub 制御系レジスタ）の設定により変化します。

ポートごとの VBUS 制御を行う場合，NoPowerSwitching ビット = '1'，PortSwitchingMode ビット = '1' に設定する必要があります。

4.2 USB ファンクション・コントローラの接続構成

図 4 - 3 USB ファンクション・コントローラ接続例



4.2.1 USB 信号接続について

(1) D+/D-への直列抵抗の接続

PFESiP/V850EP1 の USB ファンクション・コントローラの D+/D-端子 (UFDP, UFDM) には、24 \pm 5% の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべく PFESiP/V850EP1 に近い位置に配置し、直列抵抗から USB コネクタまでは、D+/D-のインピーダンスが等しくなるよう、なるべく等長配線してください (差動で 90 \pm 5%を推奨します)。

(2) D+のプルアップ制御

PFESiP/V850EP1 のファンクション・コントローラはフル・スピード (FS) です。D+端子 (UFDP) は 1.5 k \pm 5% で 3.3 V 電源にプルアップしてください。

USB ホスト / HUB への接続通知 (D+プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムでは D+のプルアップを汎用ポートにより制御してください。図 4 - 3 の回路例のように D+のプルアップ制御信号および VBUS 入力信号は、汎用ポートと USB ケーブル VBUS を使用して (AND 回路)、制御してください。図 4 - 3 では、汎用ポートがハイ・レベルの場合、D+プルアップ禁止となります (汎用ポート端子の初期値は入力ポートのため、プルアップによりハイ・レベルを確保してください)。

また、図 4 - 3 の IC2 には、システム電源オフ時に電圧印加が可能な IC を使用してください。

(3) USB ケーブル接続 / 切断の検出

USB ファンクション・コントローラは、ハードウェアでそのステートを管理しているため、接続 / 切断を認識する VBUSDET 信号が必要となります。図 4 - 3 のように、VBUS 信号を抵抗分圧し、IC1 を経由してから VBUSDET へ接続してください (VBUS (5V) を直接 VBUSDET へ接続しないでください)。ファンクション・コントローラが電源オフの場合に、USB ホスト / HUB に USB ケーブル VBUS が接続されると、USB ホスト / HUB から電圧 (5V) が印加されます。そのため、図 4 - 3 の IC1 には、システム電源オフ時に電圧印加が可能な IC を使用してください。

また、図 4 - 3 の回路において、切断する際、VBUS の電圧降下中に VBUSDET 信号が不安定になる場合があります。このため、図 4 - 3 の IC1 にはシュミット・バッファを使用することを推奨します。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D+/D-端子は 50 k Ω 以上でプルダウンしてください。

4.3 クロックとリセット

USB ファンクション・コントローラ，USB ホスト・コントローラとも UCLK が必要です。UCLK は，48 MHz ± 1500 ppm の信号を供給してください。UCLK の精度が低下すると，送信データが USB 規格を満足できなくなります。

表 4 - 2 UCLK タイミング

項目	略号	MIN.	TYP	MAX.	単位
UCLK 周波数	s	- 1500 ppm	48	+ 1500 ppm	MHz
UCLK ハイ・レベル幅	t _{HWS}	8.0	-	-	ns
UCLK ロー・レベル幅	t _{LWS}	8.0	-	-	ns

USB ホスト・コントローラのみ，PCI インタフェースを使用するために PCLKIN が必要です。PCLKIN は，25 ~ 33 MHz の信号を供給してください。

表 4 - 3 PCLK タイミング

項目	略号	MIN.	TYP	MAX.	単位
PCLK 周波数	s	25	-	33	MHz
PCLK ハイ・レベル幅	t _{HWS}	9.0	-	-	ns
PCLK ロー・レベル幅	t _{LWS}	9.0	-	-	ns

USB ファンクション・コントローラ，USB ホスト・コントローラのリセットは，CPU システム・リセットと共用しています。USB ホスト・コントローラを含めてリセットするときには PCLKIN を供給してください。リセット時間は最低 60 ns です。

第5章 注意事項

5.1 USB ポート状態の遷移制御

OHCI 規格では、バス・エラーによりポートが Disable 状態となった場合、HCD によりポートを Enable 状態へ遷移させる制御方法は次の 2 通りが規定されています。

HcRhPortStatus[1:2]レジスタの SetPortEnable ビットのセット(1)

HcRhPortStatus[1:2]レジスタの SetPortReset ビットのセット(1)により、ポート・リセット信号をアサートしそのポート・リセットが終了したとき

Universal Serial Bus Specification Revision 1.1 では のみサポートしておりますが、本ホスト・コントローラは、 のどちらかを選択して使用することができます。 の方法を選んだ場合、ポートの状態を Enable へ遷移させる制御は SetPortReset ビットの操作により行うよう、ソフトウェア設計を行ってください。

5.2 HUB 段数の制約

Inter Packet Delay に関して、HUB 段数に制限があります。USB 規格で許される最大の (worst の) 遅延値を持つ HUB を使用し、あいだをすべて 5 m ケーブルでつないだ場合では、HUB 段数は最大 3 段です。ケーブルを 3 m にし通常の遅延値を持つ HUB を使用する場合は、最大 5 段です。

(メ モ)

【 発 行 】 NEC エレクトロニクス株式会社 (<http://www.necel.co.jp/>)

【 問い合わせ先 】 <http://www.necel.com/contact/ja/>