

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# ユーザース・マニュアル

## PFESiP<sup>®</sup> EP-1 Evaluation Board

### 技術情報編

---



## 目次要約

第 1 章	イントロダクション	...	14
第 2 章	ハードウェアのインストール	...	30
第 3 章	各スイッチの設定	...	34
第 4 章	外部メモリ・アクセスの設定例	...	53
第 5 章	拡張コネクタの利用方法	...	69
第 6 章	エミュレーション用コネクタ	...	78
第 7 章	オンボード大容量 FPGA	...	83
第 8 章	その他の機能	...	110
第 9 章	オプション・ボード	...	122
付録 A	FPGA 端子処理	...	125

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

PFESiP, MICROSSP は、NEC エレクトロニクス株式会社の日本における登録商標です。

Xilinx のロゴ, Virtex は、米国 Xilinx Inc.の米国における登録商標です。

その他、記載の会社名、製品名などは、各社の登録商標または商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2008年10月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
  - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
  - 特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
  - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。



# はじめに

- 対象者** このマニュアルは、V850E2 CPUコア内蔵マイクロコントローラ機能チップ「PFESiP/V850EP1」の機能を理解し、それをを用いたPFESiP EP-1シリーズ製品を検討するユーザを対象とします。
- 目的** このマニュアルは、PFESiP/V850EP1を用いたPFESiP EP-1シリーズ製品のプロトタイピングを検討されるユーザに、開発評価ボードの利用方法を理解していただくことを目的としています。  
導入検討されるユーザには、「PFESiP EP-1 Evaluation Board Lite」の利用を推奨します。
- 読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータ、SRAM、ページROM、SDRAMに関する一般知識を必要とします。
- 凡例**
- |                |  |
|----------------|--|
| データ表記の重み       | : 左が上位桁、右が下位桁  |
| アクティブ・ロウの表記    | : xxxZ (端子、信号名称のあとにZ)  |
| 注              | : 本文中につけた注の説明  |
| 注意             | : 気をつけて読んでいただきたい内容   |
| 備考             | : 本文の補足説明  |
| 数の表記           | : 2進数 ... xxxx またはxxxxB<br>10進数 ... xxxx<br>16進数 ... xxxxH   |
| 2のべき数を示す接頭語    | : K (キロ) ... $2^{10} = 1024$                                 |
| (アドレス空間、メモリ容量) | M (メガ) ... $2^{20} = 1024^2$<br>G (ギガ) ... $2^{30} = 1024^3$ |
| データ・タイプ        | : ワード ... 32ビット<br>ハーフワード ... 16ビット<br>バイト ... 8ビット          |

**関連資料**

関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめ、ご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。

## PFESiP EP-1 シリーズに関する資料

資料名	資料番号
V850E2 ユーザーズ・マニュアル アーキテクチャ編	U17135J
PFESiP EP-1 シリーズ 設計マニュアル	A19068J
PFESiP/V850EP1 ユーザーズ・マニュアル 製品データ編	A19069J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (CPU 機能)	A19070J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (USB 機能)	A19071J
PFESiP/V850EP1 アプリケーション・ノート USB ファンクション・サンプル・ソフトウェア編	A19349J

## PFESiP EP-1 Evaluation Board に関する資料

資料名	資料番号
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル 技術情報編	このマニュアル
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル オーダ情報編	A19352J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル FPGA 設計ガイド編	A19351J
PFESiP EP-1 Evaluation Board Lite ユーザーズ・マニュアル 技術情報編	A19354J

## 開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
RX850 Pro (リアルタイム OS)	Ver.3.21 基礎編	U18165J
	Ver.3.20 インストレーション編	U17421J
	Ver.3.21 テクニカル編	U18164J
	Ver.3.20 タスク・デバッグ編	U17422J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
ID850QB Ver.3.20 統合デバッグ	操作編	U17964J
RX850V4 Ver.4.22 リアルタイム OS	機能編	U16643J
	タスク・デバッグ編	U16811J
AZ850V4 Ver.4.10 システム・パフォ - マンス・アナライザ	U17093J	

## 関連資料

資料名	資料番号
Annie ユーザーズ・マニュアル ハードウェア編	IDF-02-009281
Annie ユーザーズ・マニュアル 製品データ編	IDF-02-009283
MICROSSP V850E1/V850E2 Annie/AS85EP2 Evaluation Board #3 ユーザーズ・マニュアル 技術情報編	NW-KRZ-0021

# 目 次

## 第 1 章 イン트로ダクション ... 14

- 1.1 PFESiP EP-1 Evaluation Board の概要 ... 14
- 1.2 PFESiP EP-1 Evaluation Board のオーダ情報 ... 15
  - 1.2.1 FPGA の選択 ... 15
  - 1.2.2 オーダ上の制限事項等 ... 15
  - 1.2.3 PFESiP EP-1 Evaluation Board の選択肢 ... 16
  - 1.2.4 特 徴 ... 17
  - 1.2.5 PFESiP EP-1 Evaluation Board の外観 ... 19
  - 1.2.6 各部の機能 ... 20
  - 1.2.7 PFESiP EP-1 Evaluation Board の仕様一覧 ... 21
  - 1.2.8 PFESiP EP-1 Evaluation Board の概略ブロック図 ... 22
  - 1.2.9 PFESiP EP-1 Evaluation Board の詳細ブロック図 ... 23
  - 1.2.10 PFESiP/V850EP1 の最高動作周波数の注意事項 ... 25
- 1.3 PFESiP/V850EP1 の概要 ... 26
  - 1.3.1 PFESiP/V850EP1 の機能一覧 ... 27
  - 1.3.2 PFESiP/V850EP1 の内部ブロック図 ... 29

## 第 2 章 ハードウェアのインストール ... 30

- 2.1 はじめに ... 30
  - 2.1.1 PFESiP/V850EP1 の取り付け ... 30
  - 2.1.2 動作モードの設定 ... 30
  - 2.1.3 発振モジュールの取り付け ... 31
- 2.2 電源の接続 ... 32
  - 2.2.1 AC アダプタ (CN21, CN23) ... 32
  - 2.2.2 5.0 V 電源ターミナル (CN16) ... 32
  - 2.2.3 3.3 V, 1.5 V 電源ターミナル ... 33

## 第 3 章 各スイッチの設定 ... 34

- 3.1 動作モード設定用ディップ・スイッチ ... 34
  - 3.1.1 動作モード設定 ... 35
  - 3.1.2 SSCG-PLL 動作モード設定用ディップ・スイッチ ... 38
- 3.2 チップ・セレクト信号設定用ディップ・スイッチ ... 40
- 3.3 ブート ROM バンク選択用ディップ・スイッチ ... 41
- 3.4 SW\_FWP (Flash ROM Boot block write protect) ... 42
- 3.5 ジャンパ設定 ... 43
  - 3.5.1 JP27, JP29 (オンボード SRAM バス構成) ... 45
  - 3.5.2 JP2 (INTPZ8 割り込み信号) ... 45
  - 3.5.3 JP20 (WAITZ, SELFREFZ, HLDRAZ ジャンパ) ... 46

3.5.4	JP40 (SWAITZ ジャンパ)	...	46
3.5.5	JP9-JP11 (アナログ入力選択)	...	47
3.5.6	JP12-JP14 (シリアル・インタフェース JSIO1 結線)	...	48
3.5.7	JP15-JP17 (シリアル・インタフェース JSIO2 結線)	...	49
3.5.8	JP41, JP42 (USB インタフェース OCI0, OCI1 ジャンパ)	...	50
3.5.9	JP43 (FPGA DONE 信号のプルアップ設定ジャンパ)	...	50
3.5.10	JP44 (FPGA コンフィグレーション ROM 選択ジャンパ)	...	50
3.5.11	JP45 (PFESiP/V850EP1 EVDD : +3.3 V 電源ジャンパ)	...	51
3.5.12	JP46 (PFESiP/V850EP1 IVDD : +1.5 V 電源ジャンパ)	...	52

## 第4章 外部メモリ・アクセスの設定例 ... 53

4.1	搭載メモリの仕様	...	53
4.1.1	外部メモリ	...	53
4.1.2	内部メモリ	...	54
4.2	外部メモリ・アクセスの動作設定	...	55
4.2.1	PFESiP/V850EP1 の起動手順	...	65

## 第5章 拡張コネクタの利用方法 ... 69

5.1	AMP MICTOR コネクタ (CN6, CN7, CN9, CN13, CN14)	...	70
5.1.1	対応プラグ	...	71
5.1.2	ボード・スタック時のレセクタブル	...	71
5.1.3	コネクタの信号割り当て	...	72
5.2	簡易コネクタ (CN8, CN10)	...	75
5.3	PFESiP/V850EP1 ポート出力コネクタ (CN11, CN12)	...	76
5.4	PFESiP/V850EP1 P154-P157 ヘッダ (CN15)	...	77

## 第6章 エミュレーション用コネクタ ... 78

6.1	N-Wire インタフェース	...	78
6.2	ROM ケーブル・コネクタ (for Midas)	...	81
6.3	SDRAM バス・トレーサ・コネクタ (for advice)	...	82

## 第7章 オンボード大容量 FPGA ... 83

7.1	FPGA のデフォルト・プログラミング	...	84
7.1.1	PFESiP/V850EP1 デフォルト・データの VerilogHDL ソース	...	85
7.2	FPGA のデフォルト・データ	...	87
7.2.1	FPGA データ生成環境	...	87
7.2.2	ファイル説明	...	87
7.3	FPGA 用プッシュ・スイッチ	...	88
7.4	FPGA 用 DIP スイッチ	...	89

- 7.5 FPGA 用 LED ... 90
- 7.6 FPGA 用シリアルROM ... 91
- 7.7 FPGA と拡張コネクタの接続 ... 92
- 7.8 FPGA 端子接続一覧 ... 93

## 第8章 その他の機能 ... 110

- 8.1 各種 LED ... 110
  - 8.1.1 FPGA 用 LED (LED1-LED8) ... 110
  - 8.1.2 USB ホスト・ポート LED (LED9, LED10) ... 111
  - 8.1.3 FPGA DONE 用 LED (LED11) ... 111
  - 8.1.4 電源 LED (LED12) ... 111
- 8.2 シリアル・コネクタ ... 112
- 8.3 USB 機能 ... 115
  - 8.3.1 USB ファンクション・コントローラの周辺回路 ... 116
  - 8.3.2 USB ホスト・コントローラの周辺回路 ... 117
  - 8.3.3 USB ホスト・ポート LED (LED9, LED10) ... 117
- 8.4 アナログ入力機能 ... 118
  - 8.4.1 アナログ入力ターミナル ... 118
  - 8.4.2 A/D コンバータ接続ボリューム ... 118
- 8.5 電源回路 ... 119
  - 8.5.1 PFESiP/V850EP1 EVDD : +3.3 V 電源 ... 119
  - 8.5.2 PFESiP/V850EP1 IVDD : +1.5 V 電源 ... 119
- 8.6 操作スイッチ ... 120
  - 8.6.1 リセット・スイッチ ... 120
  - 8.6.2 割り込みスイッチ ... 121

## 第9章 オプション・ボード ... 122

- 9.1 コネクタ変換ボード ... 122
  - 9.1.1 コネクタ変換ボードの形状 ... 122
  - 9.1.2 コネクタ変換ボードの取り付け ... 123
  - 9.1.3 AMP MICTOR と汎用コネクタの信号の割り当て ... 124

## 付録 A FPGA 端子処理 ... 125

- A.1 ISE ソフトウェア・ユーザ制約ファイル (.ucf) ... 125

# 図の目次

図番号	タイトル, ページ
1 - 1	参照用外観図 ... 19
1 - 2	各部の機能 ... 20
1 - 3	PFESiP EP-1 Evaluation Board 詳細ブロック図 ... 23
4 - 1	外部 ROM から命令 RAM (iLB_RAM) への転送 ... 68
6 - 1	RTE-2000-TP との接続図 (RTE-NEC/MICTOR38-2K) ... 80
6 - 2	RTE-2000H-TP との接続図 (PB-JTAG-N-A36) ... 80
6 - 3	MINI CUBE との接続図 (QB-V850MINI + B-137A) ... 80
6 - 4	RTE-2000-TP との接続図 (ROM ケーブル・コネクタ) ... 81
6 - 5	advicePLUS YN601 との接続図 (SDRAM バス・トレーサ) ... 82
7 - 1	FPGA のデフォルト・プログラミング ... 84
7 - 2	FPGA 用プッシュ・スイッチ ... 88
7 - 3	FPGA 用 DIP スイッチ ... 89
7 - 4	FPGA 用 LED 回路 ... 90
7 - 5	シリアル ROM の接続 ... 91
7 - 6	FPGA 端子と拡張コネクタの割り当て ... 92
8 - 1	FPGA 用 LED 回路 ... 110
8 - 2	JSIO1 シリアル・コネクタ ... 113
8 - 3	JSIO2 シリアル・コネクタ ... 114
8 - 4	USB ファンクション・コントローラ周辺回路 ... 116
8 - 5	USB ホスト・コントローラ周辺回路 ... 117
8 - 6	A/D コンバータの接続回路 ... 118
8 - 7	パワーオン・リセット・スイッチ ... 120

# 表の目次

表番号	タイトル, ページ
1 - 1	PFESiP EP-1 Evaluation Board の選択肢 ... 16
1 - 2	PFESiP EP-1 Evaluation Board の標準仕様 ... 16
1 - 3	PFESiP EP-1 Evaluation Board の仕様一覧 ... 21
1 - 4	PFESiP/V850EP1 の動作条件による最高動作周波数 ... 25
3 - 1	動作モード設定一覧 ... 34
3 - 2	内蔵ワーク RAM (VSB_RAM) の設定 ... 36
4 - 1	外部メモリー一覧 ... 53
4 - 2	レジスタ設定値一覧 ... 64
5 - 1	CN6 (MICTOR) ピン配置 ... 72
5 - 2	CN7, CN13 (MICTOR) ピン配置 ... 73
5 - 3	CN9, CN14 (MICTOR) ピン配置 ... 74
5 - 4	簡易コネクタ (汎用 50 ピン) ピン配置 ... 75
5 - 5	CN11, CN12 に接続されている PFESiP/V850EP1 ポート ... 76
5 - 6	簡易コネクタ (汎用 50 ピン) ピン配置 ... 77
5 - 7	ピン・ヘッダ (CN15) のピン配置 ... 77
6 - 1	N-Wire コネクタ (CN1) ... 79
7 - 1	TOP 直下のファイル説明 ... 87
7 - 2	デフォルト・プログラムでの SW12 の動作 ... 89
7 - 3	デフォルト・プログラムでの LED の動作 ... 90
8 - 1	デフォルト・プログラムでの LED の動作 ... 110

# 第1章 イントロダクション

PFESiP EP-1 Evaluation Board は、PFESiP EP-1 シリーズ開発支援用の開発評価ボードで、PFESiP EP-1 シリーズ専用マイクロコントローラ PFESiP/V850EP1 のソフトウェア開発や、オンボード FPGA によるユーザ・ロジック開発・検証に利用できます。

PFESiP/V850EP1 は、高性能 32 ビット RISC 型 CPU コア「V850E2 コア」を内蔵しています。

PFESiP/V850EP1 ベースの PFESiP EP-1 シリーズ製品の基本的な機能を、このボードで評価できます。

オンボード FPGA には、Xilinx 社製 Virtex<sup>®</sup>-4 ファミリ LX シリーズを採用し、標準では XC4VLX40 を搭載しています。FPGA の規模の変更もできます。

なお、導入検討のユーザ向けに PFESiP EP-1 Evaluation Board の機能を削減した「PFESiP EP-1 Evaluation Board Lite」も準備しています。PFESiP EP-1 Evaluation Board Lite は、搭載 FPGA に米国 Altera 社の Stratix<sup>®</sup> II EP2S15F484C5( 搭載規模:150 Kgate 程度, FPGA 変更不可 )を採用し、Quartus<sup>®</sup> II Web Edition を利用できるもので、使用目的により選択してください。

## 1.1 PFESiP EP-1 Evaluation Board の概要

PFESiP EP-1 Evaluation Board は、PFESiP EP-1 シリーズ開発支援用の開発評価ボードです。

PFESiP EP-1 シリーズ専用マイクロコントローラ PFESiP/V850EP1 のソフトウェア開発、PFESiP EP-1 シリーズの SiP 内部で、PFESiP/V850EP1 とペアをなすユーザ・ロジックを搭載するエンベデッド・アレイ (EA-9HD) の機能を、オンボード FPGA によるユーザ・ロジック開発・検証に使用することにより、PFESiP EP-1 のプロトタイプ環境として利用できます。また、拡張コネクタを利用してユーザ・ボードと接続することで、よりシステム的に評価することができます。また、フラッシュ ROM、SDRAM をオンボード・メモリとして搭載しています。

なお PFESiP EP-1 Evaluation Board は、本来 SiP 内部で接続される信号を、ボード上で FPGA と接続しているため、実際の SiP 製品の環境と比較して、必ずしも等価な負荷容量とならないことに留意してください。

**備考 1.** PFESiP EP-1 Evaluation Board は、MICROSSP Evaluation Board と互換の拡張コネクタを持っています。オンボード FPGA のプログラミングにより、MICROSSP Evaluation Board 用に開発されたスタック・ボードを PFESiP EP-1 Evaluation Board でも利用できます。

MICROSSP<sup>®</sup> ( MICRO Silicon Solution Platform ) は、複雑化する CPU コア内蔵システム LSI ( SoC ) の開発をスムーズに行うための開発プラットフォームで、評価ボードも準備されています。システム拡張用のスタック・ボードも準備されており、PFESiP EP-1 Evaluation Board もこのスタック・ボードを使用できるよう互換性を持たせています。詳細は、お問合せください。

( <http://www.necel.com/cbic/ja/microssp/board.html> )

**2.** PFESiP/V850EP1 の機能、仕様については、PFESiP/V850EP1 のユーザーズ・マニュアルを参照してください。



## 1.2 PFESiP EP-1 Evaluation Board のオーダ情報

PFESiP EP-1 Evaluation Board は、用途に応じて搭載 FPGA の種類、ソケットの有無、スタック用プラグの有無のバリエーションが選択できます。以下に PFESiP EP-1 Evaluation Board の代表的な選択肢を示します。

### 1.2.1 FPGA の選択

PFESiP EP-1 Evaluation Board は、オンボード FPGA に Xilinx 社製 Virtex-4 ファミリ LX シリーズを採用しています。パッケージは FF1148 を採用しており、フット・パターンが共通な複数の容量、スピード・グレードから選択搭載できます。いずれの FPGA を選択した場合も、利用できる I/O 数は同一です。

搭載 FPGA の標準選択は、XC4VLX40 です。これ以外を搭載する場合には、数量条件などが付加される場合があります。

### 1.2.2 オーダ上の制限事項等

#### (1) 納期等について

PFESiP EP-1 Evaluation Board は受注生産品です。

弊社からの回答納期は、部品調達、製造、評価、梱包に至るおおよその日程を累計して回答させて頂くものです。

#### (2) 専用 AC アダプタについて

PFESiP EP-1 Evaluation Board 専用 AC アダプタをオプションで提供しています。

外部安定化電源からリード線等を利用して電源供給できますが、専用 AC アダプタを利用される場合は、オプションにてご要求ください。

### 1.2.3 PFESiP EP-1 Evaluation Board の選択肢

下記から選択できます。

表 1 - 1 PFESiP EP-1 Evaluation Board の選択肢

項 目	選択可能な仕様					
PFESiP/V850EP1 実装方法	直接実装 (標準)					
	ソケット実装					
FPGA 規模	搭載 FPGA	CB-IC 相当 参考回路規模	Logic Cells	分散 RAM	ブロック RAM	I/O 数
	XC4VLX40	350 K ゲート	41,472	288 K bit	1,728 K bit	640 本
	XC4VLX60	500 K ゲート	59,904	416 K bit	2,880 K bit	
	XC4VLX80	650 K ゲート	80,640	560 K bit	3,600 K bit	
	XC4VLX100	900 K ゲート	110,592	768 K bit	4,320 K bit	
	XC4VLX160	1,250 K ゲート	152,064	1056 K bit	5,184 K bit	
FPGA スピード・グレード	-10 (低速)                      -11 (中速: 標準仕様)                      -12 (高速)					
FPGA 実装方法	直接実装 (標準)					
	ソケット実装					
MICTOR コネクタ	なし		50 ピン汎用コネクタ×2 は必ず実装されます。 この場合は、FPGA の接続試験は行われません。			
	AMP MICTOR レセプタクル		AMP MICTOR レセプタクルを実装			
	AMP MICTOR プラグ		AMP MICTOR プラグを実装 (PFESiP EP-1 Evaluation Board 同士をスタックする場合に利用)			
専用 AC アダプタ	なし	-				
	添付	MICROSSP Evaluation Board 共通 PFESiP EP-1 Evaluation Board 専用 AC アダプタです。				

表 1 - 2 PFESiP EP-1 Evaluation Board の標準仕様

項 目	標準仕様					
PFESiP/V850EP1 実装方法	直接実装					
FPGA 規模	搭載 FPGA	CB-IC 相当 参考回路規模	Logic Cells	分散 RAM	ブロック RAM	I/O 数
	XC4VLX40	350 K ゲート	41,472	288 K bit	1,728 K bit	640 本
FPGA スピード・グレード	-11 (中速)					
FPGA 実装方法	直接実装					
MICTOR コネクタ	AMP MICTOR レセプタクル		AMP MICTOR レセプタクルを実装			
専用 AC アダプタ	なし	-				

## 1.2.4 特徴

### (1) オンボード・メモリ

PFESiP/V850EP1 の外部バス・インタフェース (MEMC I/F) で直接アクセスできるフラッシュ ROM , SRAM , SDRAM をオンボードに実装し、一般的なメモリ・システムが提供されています。

オンボード・メモリの種類	容量	接続ビット幅
フラッシュ ROM	16 M バイト <sup>注</sup>	16 ビット
SRAM	4 M / 2 M バイト	32 / 16 ビット (16 ビット×2 / 16 ビット×1)
SDRAM32	64 M バイト	32 ビット (16 ビット×2)
SDRAM16	32 M バイト	16 ビット (16 ビット×1)

注 16M バイトの ROM をバンク分割する機能も利用できます。

起動バンクをオンボードのディップ・スイッチで選択できます。

### (2) オンボード FPGA

標準仕様では Xilinx XC4VLX40FF1148-10 を搭載しています。

FPGA には、PFESiP/V850EP1 の外部バス・インタフェース (MEMC I/F) , SiP 内部接続バス・インタフェース、NPB マクロ入出力端子のほとんどの信号が接続されています。このオンボード FPGA にて、PFESiP/V850EP1 のペアとなるエンベデッド・アレイ等の機能を実現できます。また、システム拡張コネクタの信号の大半は FPGA 経由で接続されるため、オンボード FPGA にて任意の信号の接続も行えます。

FPGA は、端子配置が共通な下記の表内の FPGA に変更できます。

FPGA のコンフィグレーションが完了したことを示す DONE 信号には LED (赤) が接続され、点灯することでコンフィグレーション開始を示し、消灯することで終了したことを確認することができます。

搭載 FPGA	CB-IC 相当 参考回路規模	Logic Cells	分散 RAM	ブロック RAM	I/O 数
XC4VLX40	350 K ゲート	41,472	288 K bit	1,728 K bit	640 本 <sup>注</sup>
XC4VLX60	500 K ゲート	59,904	416 K bit	2,880 K bit	
XC4VLX80	650 K ゲート	80,640	560 K bit	3,600 K bit	
XC4VLX100	900 K ゲート	110,592	768 K bit	4,320 K bit	
XC4VLX160	1,250 K ゲート	152,064	1056 K bit	5,184 K bit	

注 本来 XC4VLX80 以上は 768 本の I/O を利用できますが、PFESiP EP-1 Evaluation Board では全デバイスとも 640 本まで利用できます。

### (3) 拡張コネクタ

用途別に3種類のコネクタを装備できます。

標準では、AMP MICTOR プラグは実装されていません。

コネクタ	有効信号数	用途	
AMP MICTOR レセクタブル (152ピン)	CN6 (112) CN7 (110) CN9 (112)	ボード・スタック用	外部バス・インタフェース (MEMC I/F), オンボード FPGA 入出力 (UDL 端子) 用
AMP MICTOR プラグ (152ピン)	CN13 (110) CN14 (112)	ボード・スタック用	オンボード FPGA 入出力用
汎用 50 ピン・コネクタ	CN8 (40) CN10 (40)	オンボード FPGA 入出力用 (低速インタフェース用)	
	CN11 (39) CN12 (40)	PFESiP/V850EP1 内蔵周辺機能入出力用	

AMP MICTOR レセクタブル, また, 汎用 50 ピン・コネクタと他のコネクタを併用する場合は, スタック高に注意してください。

### (4) USB 2.0 FS, UART インタフェース

PFESiP/V850EP1 内蔵機能により, 以下の汎用インタフェース群が提供されます。

インタフェースの種類	コネクタ	備考
USB 2.0 FS/LS Host x 2	USB A タイプ (JUSB_A1)	2 個口のホスト・コネクタ x 1
USB 2.0 FS Function x 1	USB B タイプ (JUSB_B1)	
UART (PFESiP/V850EP1 内蔵 UART5)	DSUB 9 ピン (JSIO1, JSIO2)	JSIO1 は, UART5_0, UART5_2 から JP にて選択 JSIO2 は, UART5_1, UART5_3 から JP にて選択

### (5) オンボード電源回路

AC アダプタ (5V) または安定化電源の両方に対応しています (同時併用はできません)。

オンボードの電源回路により, 必要な+3.3 V, +2.5V, +1.8 V および+1.5 V の電源を供給しています。

PFESiP/V850EP1 の+3.3 V と+1.5 V は, 外部安定化電源からも直接電源供給できます。

### (6) 各種動作モード設定

PFESiP/V850EP1 のさまざまな動作モードを, オンボード・ディップ・スイッチで設定できます。

PFESiP/V850EP1 に内蔵されている SSCG-PLL の通倍率や変調率もディップ・スイッチから設定できます (動作中の切り替えには対応していません)。

### (7) オンチップ・デバッグ機能

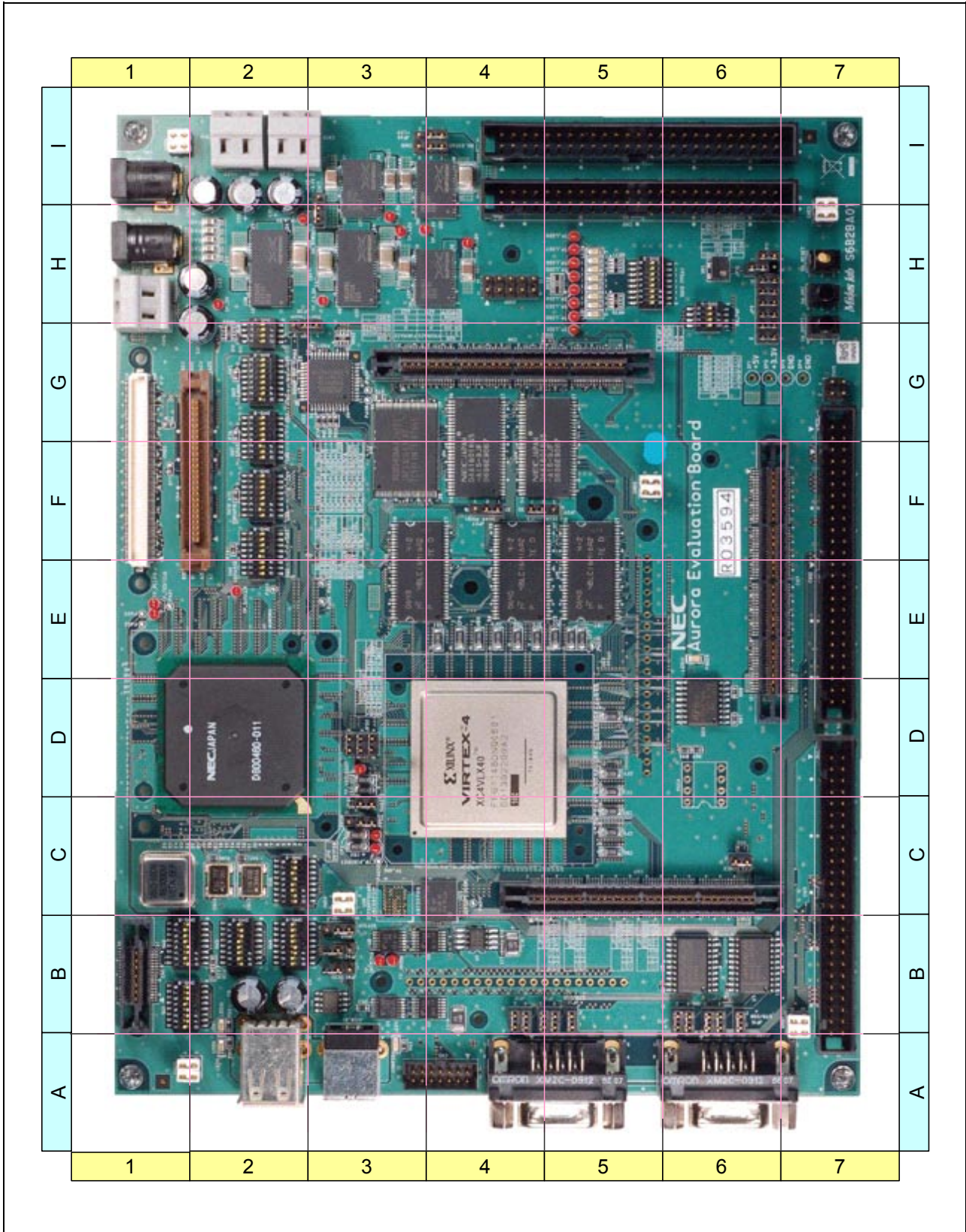
PFESiP/V850EP1 の内蔵 DCU (Debug Control Unit) により, N-Wire インタフェースによるオンチップ・デバッグ機能に対応しています。トレース信号は 8 本に対応しています。

### 1.2.5 PFESiP EP-1 Evaluation Board の外観

以下に、PFESiP EP-1 Evaluation Board の外観を示します。

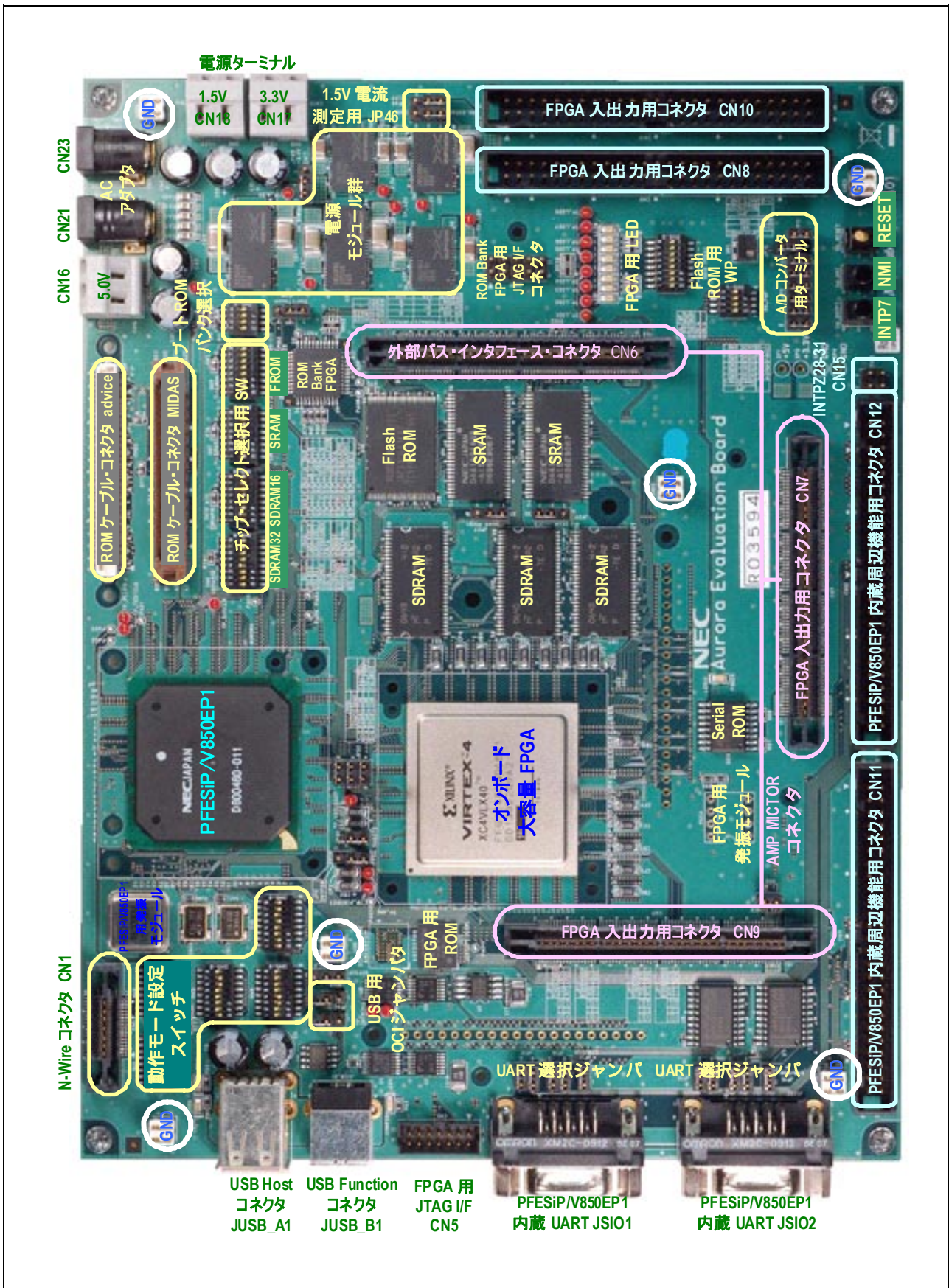
**備考** 以降のページで、ボード上の位置を特定している場合、この外観図の座標を参照しています。

図1-1 参照用外観図



1.2.6 各部の機能

図1-2 各部の機能

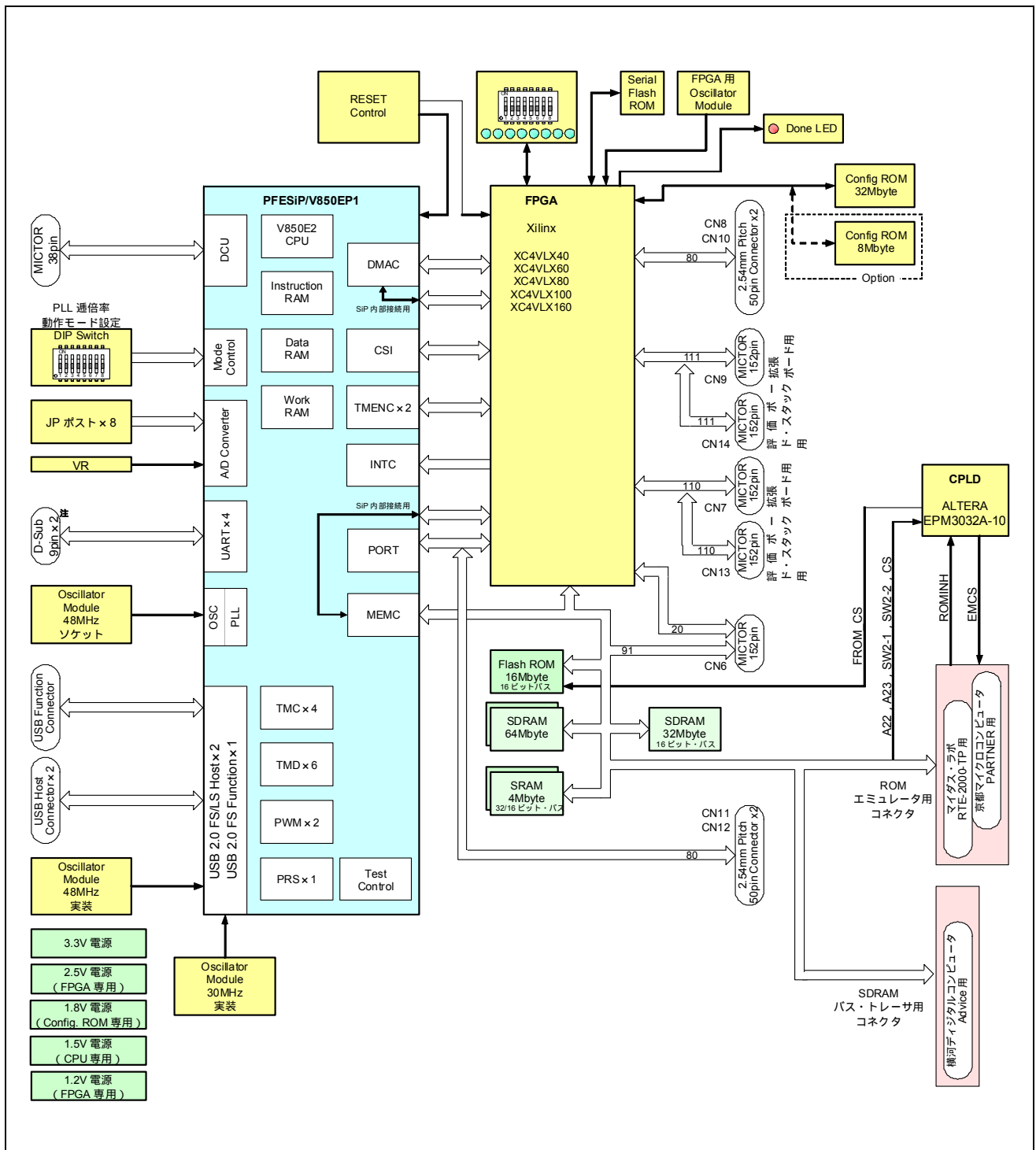


1.2.7 PFESiP EP-1 Evaluation Board の仕様一覽

表 1 - 3 PFESiP EP-1 Evaluation Board の仕様一覽

項 目		仕 様
<b>最高動作周波数</b>		
CPU 動作周波数		200 MHz
内部 VSB バス周波数		100 MHz
外部メモリ・バス		66.7 MHz (C <sub>L</sub> = 30 pF)
外部メモリのウエイト設定		条件 : VBCLK = BUSCLK = 66.7 MHz PFESiP/V850EP1 出力遅延 = 最大 11.0 ns 配線遅延 = 5 ns (往復) PFESiP/V850EP1 入力遅延 = 最大 3.8 ns
フラッシュ ROM TC58FVM7B5BTG65		アドレス設定ウエイト=0, アイドル・ステート=2, データ・ウエイト=4
SRAM μ PD4416016G5-A15		アドレス設定ウエイト=0, アイドル・ステート=1, データ・ウエイト=0 または 1
SDRAM ( SDRAM32, SDRAM16 ) MT48LC16M16A2TG-7E		LTC = 0, C <sub>L</sub> = 2, アイドル・ステート=0, ACTIVE Command to R/W Command = 1
<b>搭載メモリと FPGA</b>		
フラッシュ ROM	SW14 で CSZ 任意選択	16 M バイト (CSZ0 に接続した場合, 同時利用は最大 8M バイト)
SRAM	SW7 で CSZ 任意選択	4 M / 2 M バイト (32 ビット時 / 16 ビット時)
SDRAM32	SW6 で CSZ 任意選択	64 M バイト
SDRAM16	SW9 で CSZ 任意選択	32 M バイト
FPGA	FPGA 内で CSZ 任意選択	XC4VLX40FF1148-10 (BTO にて選択)
PFESiP/V850EP1 内蔵メモリ		
内蔵命令 RAM		iLB_RAM : 192 K バイト
内蔵データ RAM		dLB_RAM : 32 K バイト
内蔵ワーク RAM (禁止設定可能)		VSB_RAM : 32 K バイト
FPGA 接続メモリ		
Flash Serial ROM (ブート用)		8 M バイト (64 M ビット)
<b>コネクタ</b>		
拡張コネクタ		
拡張ボード用 (CN6, 7, 9)		AMP MICTOR 2-767004-5 レセクタブル (152 ピン × 3)
評価ボード・スタック用 (CN13, 14)		AMP MICTOR 5767017-4 プラグ (152 ピン × 2)
汎用 50 ピン・コネクタ (CN8, 10, 11, 12)		2.54 mm ピッチ汎用 (50 ピン × 4)
N-Wire (CN1) 8 トレースのみ使用		マイダス・ラボ RTE-2000-TP 用 RTE-NEC/MICTOR38-2K
ROM ケーブル・コネクタ (CN4)		マイダス・ラボ RTE-2000-TP 用 CBL-STD16-2K
SDRAM バス・トレーサ・コネクタ (CN20)		横河デジタルコンピュータ株式会社 advicePLUS 対応
RS-232C (PFESiP/V850EP1 内蔵用 (JSIO1, JSIO2))		D-Sub 9 ピン・クロス・ケーブル用 × 2
FPGA 用 JTAG (CN5)		2.54 mm ピッチ 14 ピン
PFESiP/V850EP1 内蔵 USB 2.0 FS 機能		USB2.0 FS/LS Host × 2, USB2.0 FS Function
PFESiP/V850EP1 P154-157 出力用コネクタ (CN15)		2.54 mm ピッチ汎用コネクタ (4 ピン)
<b>動作条件等</b>		
PFESiP/V850EP1 入力周波数		標準 48 MHz
電源		AC アダプタ (CN21, CN23) または, 電源ターミナル (CN16) から +5.0 V を供給。PFESiP/V850EP1 の EV <sub>DD</sub> , IV <sub>DD</sub> は外部電源から直接供給可能。

1.2.8 PFESiP EP-1 Evaluation Board の概略ブロック図



注 チャンネル0, 2をJP12, JP14で切り替え。チャンネル1, 3をJP15, JP17で切り替えます。



1.2.9 PFESiP EP-1 Evaluation Boardの詳細ブロック図

図1-3 PFESiP EP-1 Evaluation Board詳細ブロック図(1/2)

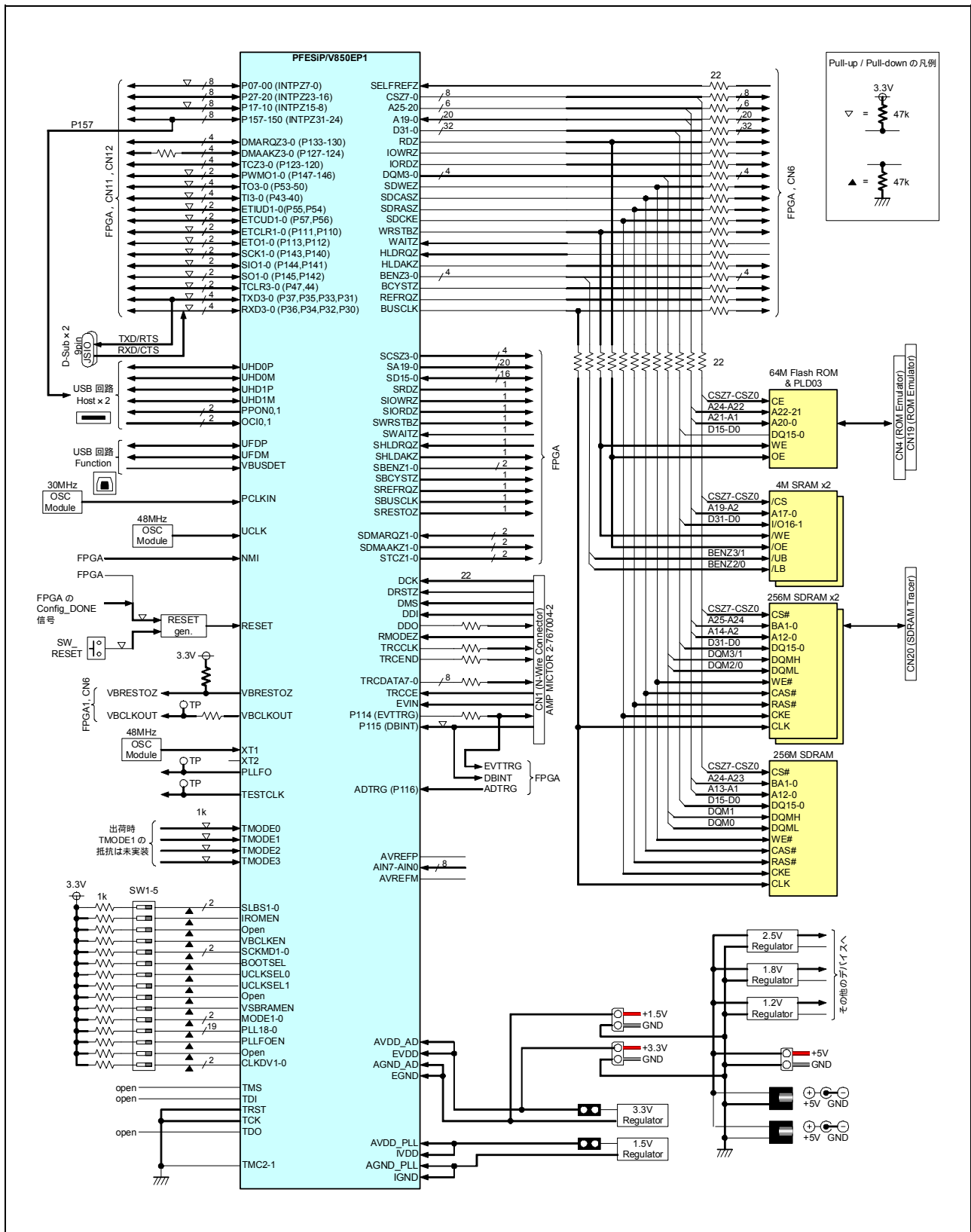
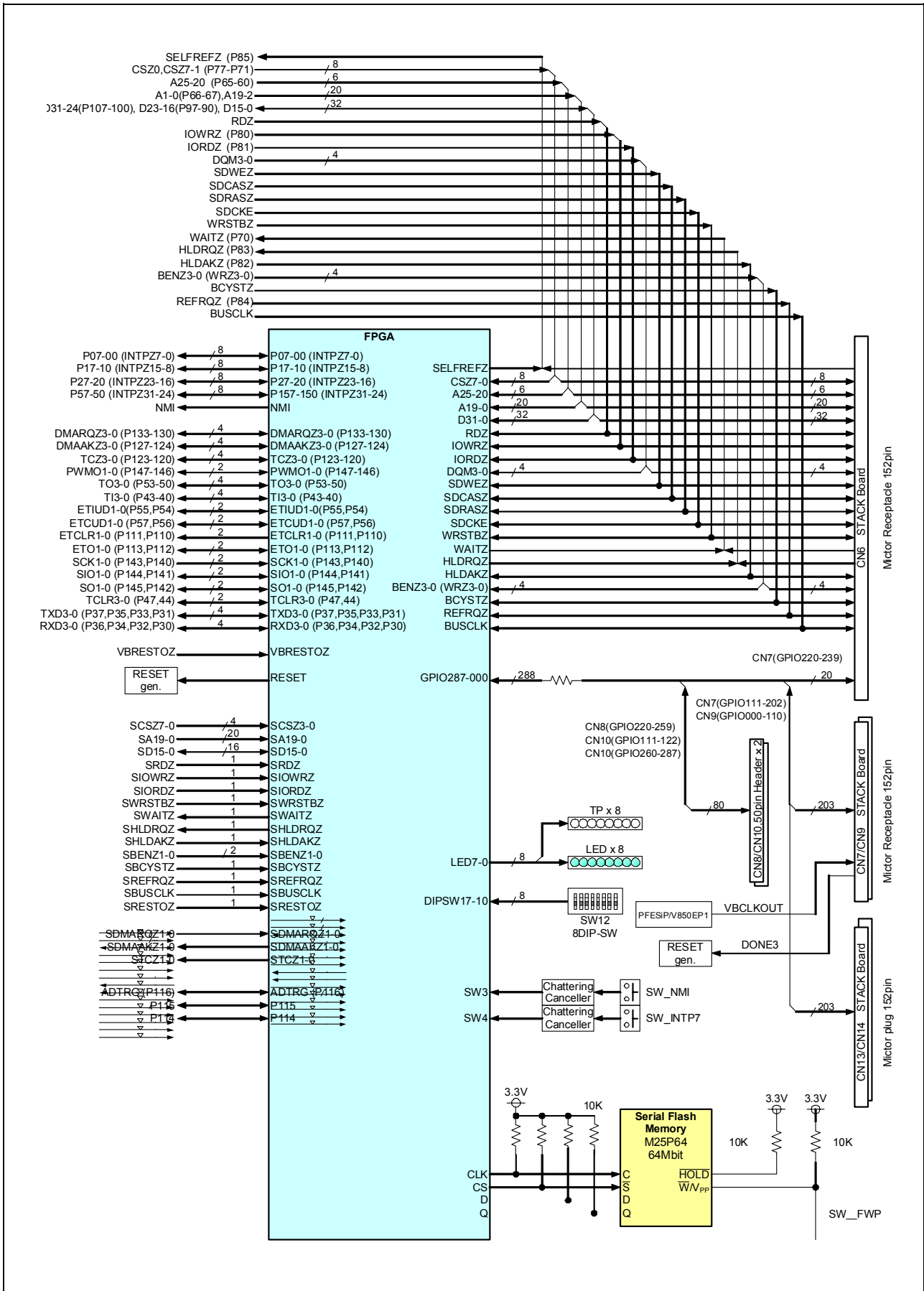


図1-3 PFESiP EP-1 Evaluation Board詳細ブロック図 (2/2)



## 1.2.10 PFESiP/V850EP1 の最高動作周波数の注意事項

PFESiP/V850EP1 は動作条件によって最高動作周波数が異なります。また、CPCLK, VBCLK, BUSCLK は、整数倍の関係にあり、VBCLK は CPCLK の 1/2 以下の条件が加わります。このため、次のように設定の組み合わせに制限があります。

表 1 - 4 PFESiP/V850EP1 の動作条件による最高動作周波数

SDRAM , 低速マスク ROM	優先クロック	クロック		
		CPCLK	VBCLK	BUSCLK
なし	CPCLK, VBCLK	200 MHz <sup>注</sup>	100 MHz	100 MHz
あり	CPCLK, VBCLK	200 MHz	100 MHz	50 MHz <sup>注</sup>
	BUSCLK	200 MHz	66.6 MHz	66.6 MHz <sup>注</sup>

注 周波数決定の基準となるクロックです。

注意 特に最高動作周波数については、FPGA の負荷により、設計保証値は必ずしも実現できるものではありません。

### 1.3 PFESiP/V850EP1 の概要

PFESiP/V850EP1 は、PFESiP EP-1 シリーズ向けに開発されたマイクロコントローラ機能チップで、V850E2 CPU コアを採用しています。

PFESiP/V850EP1 では、高速プロセスを採用し、CPU コアは 200 MHz (MAX.)、内部バスは 100 MHz (MAX.) で動作します。この CPU コアには、命令キャッシュ、データ・キャッシュを内蔵しています。また周辺機能には、DMA コントローラ、割り込みコントローラ、汎用ポート、タイマ、シリアル・インタフェース、A/D コンバータ、メモリ・コントローラ、USB 2.0 FS (Full-Speed) / LS (Low-Speed) に対応したホスト・コントローラ、USB 2.0 FS (Full-Speed) に対応したファンクション・コントローラを内蔵し、シングルチップ・マイクロコンピュータとしての機能を内蔵しています。

外部メモリには、ROM / ページ ROM / SRAM、SDRAM を接続できます。また命令 RAM とデータ RAM を内蔵し、外部プログラムを命令 RAM に転送して実行することで、高速処理も可能です。

ソフトウェアの応用評価では、内蔵のデバッグ・コントロール・ユニット (DCU) を用い、N-Wire 型インサーキット・エミュレータによるデバッグ、プログラムのダウンロードができます。

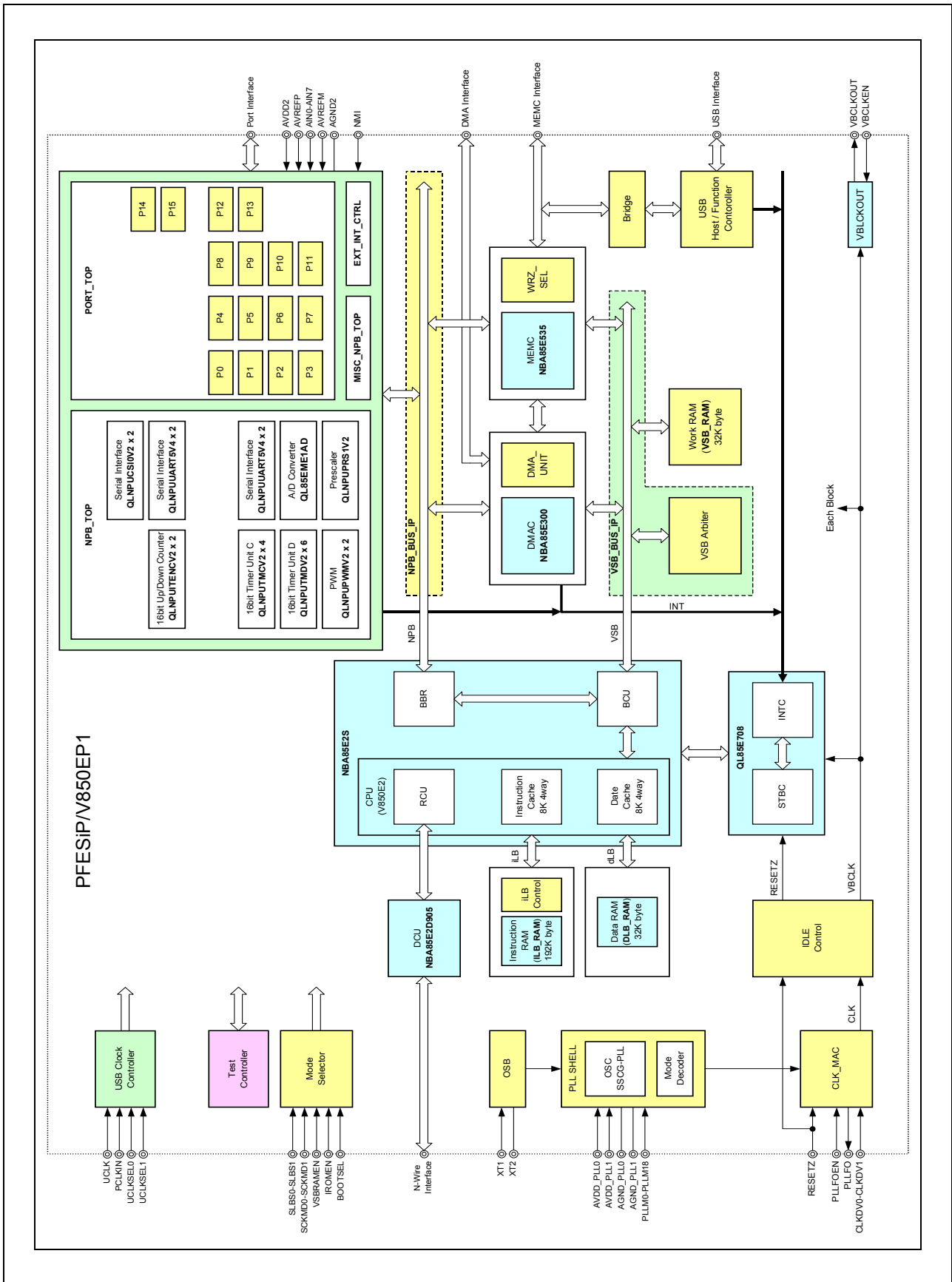
1.3.1 PFESiP/V850EP1 の機能一覧

( 1/2 )

項目	品名	PFESiP/V850EP1
CPU コア		V850E2 CPU コア
最小命令実行時間		5.00 ns ( 200 MHz 動作時 )
汎用レジスタ		32 ビット×32 本
命令セット		V850E2 命令セット
命令キャッシュ		8 Kバイト 4 ウエイ・セット・アソシアティブ命令キャッシュ
データ・キャッシュ		8 Kバイト 4 ウエイ・セット・アソシアティブ・データ・キャッシュ
命令 RAM ( iLB_RAM )	相互に独立	192 Kバイト RAM 構造 ( 128 ビット・フェッチ・バス )
データ RAM ( dLB_RAM )	立アクセス可能	32 Kバイト ( CPCLK×1クロック・アクセス )
ワーク RAM ( VSB_RAM )		32 Kバイト ( VBCLK×2クロック・アクセス )
DMA コントローラ		4 チャンネル DMA コントローラ
メモリ空間, メモリ・アクセス機能		<ul style="list-style-type: none"> <li>・外部 66.7 MHz インタフェース</li> <li>・512 Mバイト・リニア・アドレス空間</li> <li>・メモリ・エリア分割機能</li> <li>・プログラマブル・チップ・セレクト機能 : 8 本</li> <li>・プログラマブル・ウエイト機能</li> <li>・アイドル・ステート挿入機能</li> <li>・ページ ROM / ROM / SRAM / SDRAM インタフェース</li> <li>・SDRAM 対応領域 : CSZ1, CSZ3, CSZ4, CSZ6 領域</li> </ul>
割り込み / 例外		<ul style="list-style-type: none"> <li>・ノンマスカブル割り込み ( NMI ) 1 本</li> <li>・マスカブル割り込み <ul style="list-style-type: none"> <li>ユーザ割り込み 32 本 ( 外部割り込み )</li> <li>内部割り込み 56 本 ( NPB マクロ : 45 本 , DMA : 4 本 , USB : 7 本 )</li> </ul> </li> <li>・8 レベルの優先順位指定可能</li> <li>・ソフトウェア例外 32 要因</li> <li>・例外トラップ 1 要因</li> <li>・有効エッジ選択機能</li> <li>・可変デジタル・ノイズ・フィルタ機能</li> </ul>
SiP 専用インタフェース機能		<ul style="list-style-type: none"> <li>・SRAM インタフェース <ul style="list-style-type: none"> <li>アドレス空間 : 2 Mバイト</li> <li>CSZ1-CSZ7 からレジスタ選択する 4 本の専用チップ・セレクト信号</li> <li>16 ビット・データ・バス</li> <li>バス・ホールド機能対応</li> </ul> </li> <li>・DMA インタフェース <ul style="list-style-type: none"> <li>4 チャンネルからレジスタ選択する 2 チャンネルのインタフェース</li> </ul> </li> <li>・外部割り込み機能 <ul style="list-style-type: none"> <li>8 本の割り込み信号を SiP 内部接続に優先割り当て</li> </ul> </li> </ul>
スタンバイ機能		IDLE / HALT モード ( IDLE モードは , 外部割り込みとリセットで解除可能 )

項目	品名	PFESiP/V850EP1	
内蔵周辺機能 (NPB バス接続)			
I/O ポート	CMOS 入出力 : 121 本		
タイマ	16 ビット・タイマ/イベント・カウンタ×4 チャンネル インターバル・タイマ×6 チャンネル 16 ビット 2 相エンコーダ入力用アップ/ダウン・カウンタ/タイマ×2 チャンネル		
PWM ユニット	8 / 9 / 10 / 12 ビット分解能 PWM 出力×2 チャンネル		
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース×4 チャンネル クロック同期式シリアル・インタフェース×2 チャンネル		
USB ホスト・コントローラ	USB 2.0 FS ( Full-Speed ), LS ( Low-Speed ) 対応 2 チャンネル Root-Hub 機能内蔵 2 チャンネル・ダウンストリーム・ポート	ホスト・コントローラ, ファンクション・コントローラとも CSZ5 に配置されます。 USB ホスト・コントローラは外部 SDRAM を使用します。	
USB ファンクション・コントローラ	USB 2.0 FS ( Full-Speed ) 対応×1 チャンネル エンド・ポイント数:4 個( Control , Bulk-In , Bulk-Out , Interrupt )		
A/D コンバータ	8 チャンネル 10 ビット 500 kHz A/D コンバータ内蔵 ( NPB バス接続 )		
オンチップ・デバッグ機能	デバッグ・コントローラ ( DCU ) 内蔵 ・ラン/ブレイク機能, ・トレース機能, ・イベント機能		
クロック・ライン	外部クロック入力を PLL で逡倍し, クロックを供給 ( SSCG 機能搭載 ) CPU : MAX.200 MHz , バス・クロック : MAX.100 MHz ( CPCLK : VBCLK = 1/2 , 1/3 , 1/4 ) SDRAM インタフェース : MAX.66.7 MHz ( VBCLK : BUSCLK = 1/1 , 1/2 ) クロック・ソース, PLL 設定切り替え端子あり ( 動作中の切り替え不可 )		
電源電圧	端子電源用 : $E_{VDD} = 3.3 \pm 0.3 V$ 内部電源用 : $I_{VDD} = 1.5 \pm 0.15 V$		
シリーズ	CB-12M タイプ		

1.3.2 PFESiP/V850EP1 の内部ブロック図



## 第2章 ハードウェアのインストール

### 2.1 はじめに

#### 2.1.1 PFESiP/V850EP1 の取り付け

**位置**

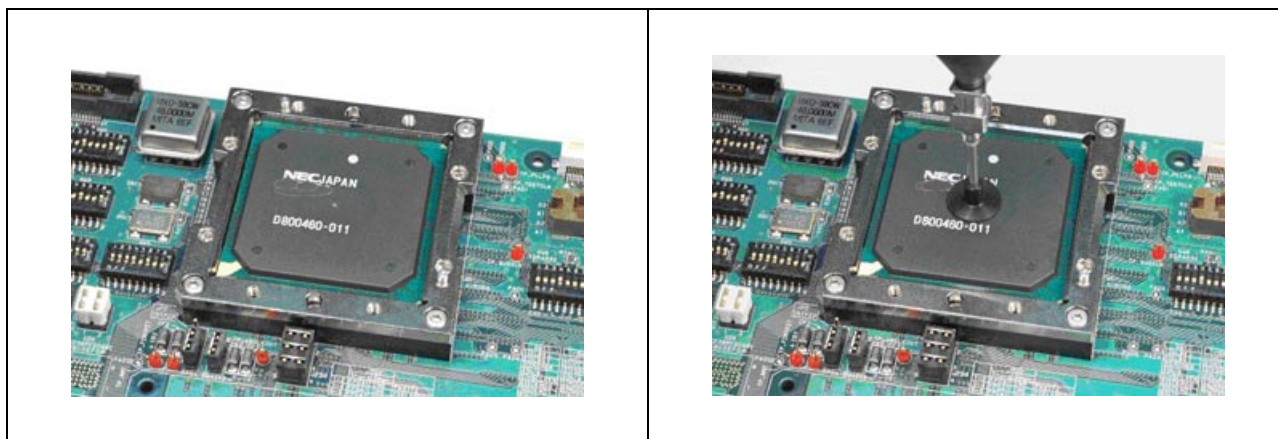
**参照用外観図 D-3**

**備考** PFESiP EP-1 Evaluation Board では、PFESiP/V850EP1 が実装されているタイプと、ソケットが実装されているタイプがあります。

ここでは、ソケット実装タイプについて説明しています。チップが実装されているタイプでは、取り付けは必要ありませんので、「2.1.2 動作モードの設定」に進んでください。

PFESiP/V850EP1 は、本来はチップとして SiP 内部に搭載されますが、PFESiP EP-1 Evaluation Board 向け専用提供されているものです。PFESiP/V850EP1 は 484 ピン・プラスチック BGA パッケージで、ボールの配置は X 軸、Y 軸ともに対称ですので、ソケットへの誤挿入に注意してください。デバイスの取り扱いには、バキューム・ピックの利用を推奨します。

484 ピン・プラスチック BGA パッケージは、4 つのコーナーのうち、1 つのコーナーに INDEX マークがあります。これと、ソケットの面取りされている位置を合わせて挿入してください。



#### 2.1.2 動作モードの設定

PFESiP EP-1 Evaluation Board には、さまざまな用途で利用頂くために、各種動作モード設定用の、トグル・スイッチ、ディップ・スイッチ、ジャンパを設けています。

電源を接続する前に、「第3章 各スイッチの設定」に従って、動作モードを設定してください。



### 2.1.3 発振モジュールの取り付け

#### (1) OSC1 (PFESiP/V850EP1 用)

**位置****参照用外観図 C-1**

発振モジュールは、標準で 3.3 V 48 MHz のものが搭載されています。  
IC ソケット構造ですので、3.3 V 動作の他の発振モジュールに変更できます。  
最高入力周波数は 50 MHz です。

#### (2) OSC4 (FPGA 用)

**位置****参照用外観図 D-6**

オンボード大容量 FPGA 用のクロックです。  
FPGA の CLK2P に接続されています。  
IC ソケット構造ですので、3.3 V 動作の他の発振モジュールを利用できます。

**注意** USB で使用する PCLKIN (30 MHz), UCLK (48 MHz) は、それぞれ OSC2, OSC3 として実装されています。ソケットは採用していません。

## 2.2 電源の接続

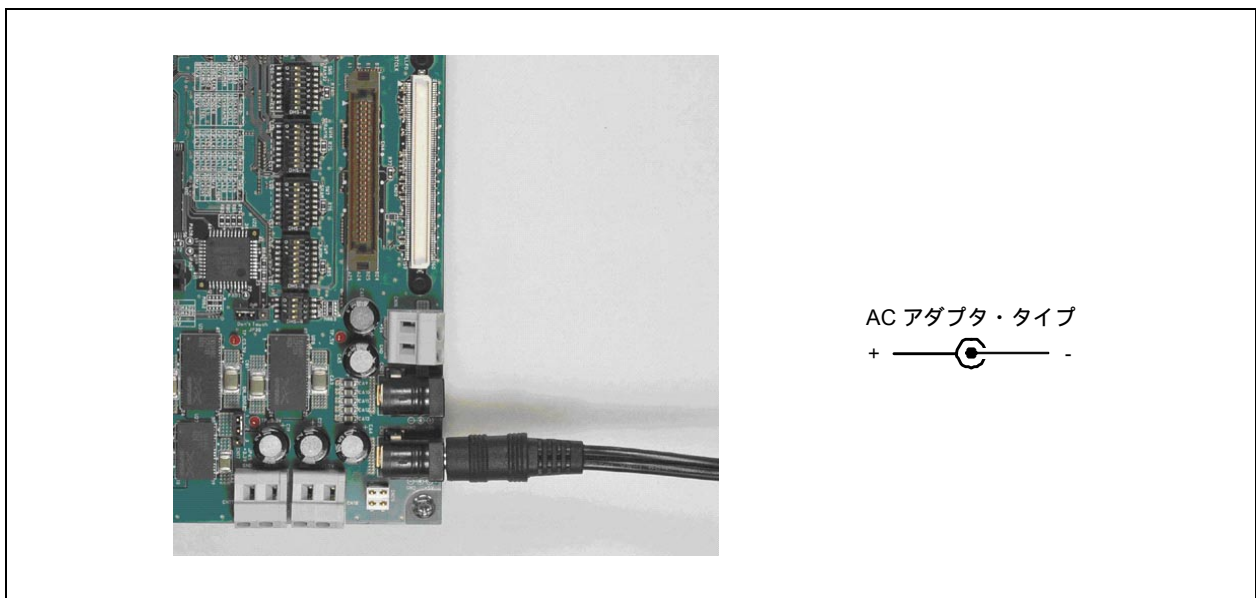
PFESiP EP-1 Evaluation Board は、AC アダプタ、電源ターミナルの2種類の電源を利用できます。通常は+5.0 V 単一電源で利用します。動作環境に合わせて、正しく電源を接続してください。

### 2.2.1 AC アダプタ (CN21, CN23)

位置

参照用外観図 I-1

RTE-PS04 等の AC アダプタの+5.0 V 電源ジャックを CN21 または CN23 のコネクタに接続します。一方のあまったコネクタを利用して、他のボードに電源を供給することもできます。ボード上で必要な+3.3 V, +2.5V, +1.8 V, +1.5 V, +1.2 V は、オンボード電源モジュールで生成されます。



- 注意 1. CN16 との併用は禁止です。
2. 電源を接続する前に、オンボードの各動作モード設定スイッチを設定してください。

### 2.2.2 5.0 V 電源ターミナル (CN16)

位置

参照用外観図 H-1

外部電源から+5.0 V を、線材を用いて接続します。基板中央寄りの穴に小型のマイナス・ドライバを挿入し、線材を基板の外側から挿入してください。マイナス・ドライバを抜くと線材が固定されます。

ボード上で必要な、+3.3 V, +2.5V, +1.8 V, +1.5 V, +1.2 V は、オンボード電源モジュールで生成されます。

- 注意 1. CN21 または CN23 との併用は禁止です。
2. 電源を接続する前に、オンボードの各動作モード設定スイッチを設定してください。

## 2.2.3 3.3 V, 1.5 V 電源ターミナル

**位置****参照用外観図 I-2**

PFESiP/V850EP1 の I/O バッファの+3.3 V 電源と, PFESiP/V850EP1 の内部の+1.5 V 電源は, 個別に外部電源から供給できます。このとき, +5.0 V 系電源も供給してください。

個別電源から供給するため, 電流系を接続して PFESiP/V850EP1 の+3.3 V 系, +1.5 V 系の電流を測定することも可能です。

外部電源から+3.3 V, +1.5 V を線材を用いて接続します。基板中央寄りの穴に小型のマイナス・ドライバを挿入し, 線材を基板の外側から挿入してください。マイナス・ドライバを抜くと線材が固定されます。

**注意 1. 電源を接続する前に, オンボードの各動作モード設定スイッチを設定してください。**

**2. PFESiP/V850EP1 以外の電源のために, +5.0 V 系電源も必ず接続してください。**

## 第3章 各スイッチの設定

### 3.1 動作モード設定用ディップ・スイッチ

位置

参照用外観図 B-1, B-2

SW1, SW2 と, SW5 の一部は, 動作モードを設定するディップ・スイッチです。

SW1, SW2 と, SW5 の一部は, PFESiP/V850EP1 内蔵の CPU コアやメモリ・コントローラの動作モードの設定を行います。

各動作モード設定信号は, UCLKSEL0, UCLKSEL1 を除き, スイッチが OFF の状態ではロー・レベルになり, スイッチ ON の状態でハイ・レベルになります。

UCLKSEL0, UCLKSEL1 は, スイッチが OFF の状態ではハイ・レベルになり, スイッチ ON の状態でロー・レベルになります。

表 3 - 1 動作モード設定一覧

DPSW	モード設定信号	OFF (0) の状態	ON (1) の状態
SW1-1	SLBS0	起動時のバス幅設定	
SW1-2	SLBS1	SLBS <1:0> = 00 : 32 ビット, 01 : 16 ビット, 1X : 8 ビット	
SW1-3	IROMEN	通常状態	設定禁止
SW1-4	N/A		
SW1-5	VBCLKEN	VBCLKOUT 出力禁止 (ロー・レベル出力)	VBCLKOUT 出力許可
SW1-6	SCKMD0	VBCLK に対する BUSCLK の分周比設定	
		VBCLK/1	VBCLK/2
SW1-7	SCKMD1	通常状態	設定禁止
SW1-8	N/A		
SW2-1	UCLKSEL0	USB クロックに UCLK 選択	USB クロックに XT1, XT2 選択
SW2-2	UCLKSEL1	USBブリッジ・クロックに PCLKIN 選択	USBブリッジ・クロックに XT1, XT2 選択
SW2-3	VSBAMEN	ワーク RAM (VSB_RAM) 禁止	ワーク RAM (VSB_RAM) 許可
SW2-4	N/A		
SW2-5	MODE0	USB ファンクション機能無効	USB ファンクション機能有効
SW2-6	MODE1	USB ホスト機能無効	USB ホスト機能有効
SW2-7	BOOTSEL	SCSZ0 からブート (SiP 内部)	CSZ0 からブート (外部バス)
SW2-8	N/A		
SW5-4	PLLFOEN	PLLFO 端子はロー・レベル出力	PLLFO 端子は PLLFO 出力
SW5-5	N/A		
SW5-6	CLKDV0	CPCLK に対する VBCLK の分周比設定	
SW5-7	CLKDV1	CLKDV [1:0] = 00 : 設定禁止, 01 : CPCLK/2, 10 : CPCLK/3, 11 : CPCLK/4	
SW5-8	N/A		

### 3.1.1 動作モード設定

(1) SLBS0, SLBS1 (Local Bus Size) ... SW1-1, SW1-2

起動時の外部バス・サイズを選択を行います。

PFESiP EP-1 Evaluation Board で、外部フラッシュ ROM から起動する場合は、SLBS1 = 0 (OFF), SLBS0 = 1 (ON) に設定し、16 ビット幅を選択してください。起動後に、チップ・セレクト信号ごとに、ローカル・バス・サイジング・コントロール・レジスタ (LBS) にてバス幅を設定してください。SLBS0, SLBS1 の設定により、ポート 6, ポート 9, ポート 10 の動作は次のようになります。

SW1-2	SW1-1	SLBS1	SLBS0	起動時の外部バス・サイズ	P66 端子の動作	P67 端子の動作	PMC6	P90-P97, P100-P107 端子の動作	PMC9	PMC10
OFF	OFF	0	0	32 ビット	入力ポート	入力ポート	03H	D16-D31	FFH	FFH
OFF	ON	0	1	16 ビット	A0	A1	83H	入力ポート	00H	00H
ON	OFF	1	0	8 ビット			C3H			
ON	ON	1	1	8 ビット						

(2) VBCLKEN (VBCLK Output Enable) ... SW1-5

内部システム・クロック (VBCLK) は、VBCLKOUT 端子から出力することができます。

VBCLKEN にハイ・レベルが入力されている場合のみ VBCLKOUT に VBCLK が出力されます。

この出力制御は、イネーブル制御構造です。動作中の切り替えはヒゲなどが発生する可能性があります。

スイッチを OFF にした場合は、VBCLKOUT 端子はロー・レベルが出力されます。

SW1-5	VBCLKEN	システム・クロック出力制御
OFF	0	出力禁止 (ロー・レベル出力)
ON	1	出力許可

(3) SCKMD0, SCKMD1 (BUSCLK Divide Control) ... SW1-6, SW1-7

内部システム・クロック (VBCLK) に対する外部バス・クロック (BUSCLK) の分周比を設定します。

VBCLK の最高動作周波数は 100 MHz です。一方外部バス・インタフェースの最高動作周波数は 66.7 MHz です。VBCLK を最高動作周波数で利用する場合は、BUSCLK には VBCLK/2 を推奨します。

SW1-7	SW1-6	SCKMD1	SCKMD0	BUSCLK の選択
OFF	OFF	0	0	VBCLK/1
OFF	ON	0	1	VBCLK/2
ON	OFF	1	0	設定禁止
ON	ON	1	1	

(4) UCLKSEL0 (USB Clock Select) ... SW2-1

UCLK に入力する 48MHz の USB クロック入力 (HCLK48M, FCLK48M) を選択します。  
 USB のクロックを, UCLK と XT1, XT2 から選択します。  
 オンボードの発振モジュール (OSC3) からは, UCLK に 48MHz が入力されています。

SW2-1	UCLKSEL0	USB クロック (HCLK48M, FCLK48M) 選択
OFF	1	UCLK 入力 (OSC3 の 48MHz を入力)
ON	0	XT1, XT2 入力

(5) UCLKSEL1 (USB Clock Select) ... SW2-2

PCLKIN に入力する USB クロック入力 (PCLK) を選択します。入力周波数は, 25 MHz-33 MHz までです。  
 内部 USB バス・ブリッジのクロックを PCLKIN と XT1, XT2 から選択します。  
 オンボードの発振モジュール (OSC2) からは, PCLKIN に 30 MHz が入力されています。

SW2-2	UCLKSEL1	内部 USB バス・ブリッジ・クロック (PCLK) 選択
OFF	1	PCLKIN 入力 (OSC2 の 30MHz 入力)
ON	0	XT1, XT2 入力

(6) VSB RAMEN (VSB RAM Enable) ... SW2-3

PFESiP/V850EP1 は, VSB バス上に 32 K バイト・ワーク RAM (VSB\_RAM) を内蔵しています。  
 このワーク RAM (VSB\_RAM) は, VMCSZ2 (VDCSZ2) 領域を使用します。VDCSZ2 (VDCSZ2) の領域に外部メモリを接続する場合は, VSB RAMEN をロー・レベルに設定してください。

表 3 - 2 内蔵ワーク RAM (VSB\_RAM) の設定

SW2-3	VSB RAMEN	内蔵ワーク RAM (VSB_RAM) の動作	VDCSZ2 (CSZ2) 領域
OFF	0	内蔵ワーク RAM (VSB_RAM) は無効	外部メモリ
ON	1	内蔵ワーク RAM (VSB_RAM) は有効	内蔵ワーク RAM (VSB_RAM)

- 注意 1. ワーク RAM (VSB\_RAM) を使用する場合は, メモリ・コントローラの CSZ2 領域 (外部メモリ) との競合を避けるために, バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0 (BCT0) の ME2 ビットは, 必ず 0 に設定してください。
2. ワーク RAM にアクセスした場合は, CSZ2 端子はインアクティブになります。

(7) MODE0, MODE1 (USB Operation Mode) ... SW2-5, SW2-6

PFESiP/V850EP1 の動作モードを選択します。

SW2-6	SW2-5	MODE1	MODE0	動作モード
OFF	OFF	0	0	USB 機能無効
OFF	ON	0	1	USB ファンクションのみ有効
ON	OFF	1	0	USB ホストのみ有効
ON	ON	1	1	USB ホスト / ファンクション有効

(8) BOOTSEL (Boot Select) ... SW2-7

ブート領域を SiP 内部 / 外部メモリから選択します。

SiP 内部を選択した場合は, SiP 用チップ・セレクト信号選択レジスタ (SCSS) は 0008H に初期化され, SCSZ0 端子に接続されているメモリの 0000 0000H 番地からブートします。

SW2-7	BOOTSEL	ブート領域の選択	SCSS レジスタ初期値
OFF	0	SiP 内部 SCSZ0 に接続されているメモリ	0008H
ON	1	外部バス・インタフェースの CSZ0 に接続されているメモリ	0000H

**注意** SiP 内部接続用の SCSZ0 信号は, 他の SiP 内部接続バスと同じく, オンボード FPGA に接続されています。SiP 内部にブート ROM を持つシステムをエミュレーションする場合は, オンボード FPGA にブート ROM を組み込み, SiP 内部バスと接続してください。

(9) PLLFOEN (PLL FO Output Enable) ... SW5-4

内蔵 PLL の FO 出力を PLLFO 端子から出力することができます。IDLE モードでも停止しません。

PLLFOEN にハイ・レベルが入力されている場合のみ PLLFO に FO が出力されます。ロー・レベルが入力されている場合は, デバイス ID が出力されます。

この出力制御は, イネーブル制御構造です。動作中の切り替えはヒゲなどが発生する可能性があります。

SW5-4	PLLFOEN	PLLFO 出力制御
OFF	0	ロー・レベル出力
ON	1	出力許可

(10) CLKDV0, CLKDV1 (VBCLK Divide Control) ... SW5-6, SW5-7

CPCLK に対する VBCLK の分周比設定入力です。

CPCLK = VBCLK のモードには対応していません。

SW5-6, SW5-7 の双方を同時に OFF の状態には設定しないでください。

SW5-7	SW5-6	CLKDV1	CLKDV0	VBCLK の選択
OFF	OFF	0	0	設定禁止
OFF	ON	0	1	CPCLK/2
ON	OFF	1	0	CPCLK/3
ON	ON	1	1	CPCLK/4

## 3.1.2 SSCG-PLL 動作モード設定用ディップ・スイッチ

SSCG-PLL 設定端子は、次の機能が割り当てられています。

DPSW	端子名	PFESIP/V850EP1 内部信号	機能
SW3-1	PLL0	PLLM0	M カウンタ入力 0
SW3-2	PLL1	PLLM1	M カウンタ入力 1
SW3-3	PLL2	PLLM2	M カウンタ入力 2
SW3-4	PLL3	PLLM3	M カウンタ入力 3
SW3-5	PLL4	PLLM4	M カウンタ入力 4
SW3-6	PLL5	PLLM5	M カウンタ入力 5
SW3-7	PLL6	PLLM6	M カウンタ入力 6
SW3-8	PLL7	PLLN0	M カウンタ入力 0
SW4-1	PLL8	PLLN1	N カウンタ入力 1
SW4-2	PLL9	PLLN2	N カウンタ入力 2
SW4-3	PLL10	PLLP0	P カウンタ入力 0
SW4-4	PLL11	PLLP1	P カウンタ入力 1
SW4-5	PLL12	SSMDL0	SSCG 設定入力
SW4-6	PLL13	SSMDL1	SSCG 設定入力
SW4-7	PLL14	SSADJ0	SSCG 設定入力
SW4-8	PLL15	SSADJ1	SSCG 設定入力
SW5-1	PLL16	SSADJ2	SSCG 設定入力
SW5-2	PLL17	PLLS0	SSCG 設定入力
SW5-3	PLL18	PLLS1	SSCG 設定入力



端子名称	内部信号	機能																																										
PLL0-PLL6	PLLM0-PLLM6	内蔵 PLL の通倍率の設定入力 $m = \text{PLLM0-PLLM6 の設定値} (0-127) + 1$ : 2-128 $n = \text{PLLN0-PLLN2 の設定値} (0-7) + 92 + 1$ : 93-100 $p = 2^{\text{PLL0-PLL1 の設定値}}$ : 1, 2, 4 通倍率 = $n / m / p$																																										
PLL7-PLL9	PLLN0-PLLN2																																											
PLL10-PLL11	PLL0-PLL1																																											
		<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>計算式</th> <th>MIN.</th> <th>MAX.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>入力周波数</td> <td>fstd</td> <td>-</td> <td>2.0</td> <td>50.0</td> <td>MHz</td> </tr> <tr> <td>PFD 入力周波数</td> <td>fpdf</td> <td><math>fpdf = fstd / m</math></td> <td>1.0</td> <td>2.1</td> <td>MHz</td> </tr> <tr> <td>VCO 出力周波数</td> <td>fvco</td> <td><math>fvco = fstd \times n / m</math></td> <td>100</td> <td>200</td> <td>MHz</td> </tr> <tr> <td>出力周波数</td> <td>fout</td> <td><math>Fout = fstd \times n / m / p</math></td> <td>25</td> <td>200</td> <td>MHz</td> </tr> <tr> <td>入力デューティ</td> <td>lduty</td> <td>-</td> <td>30</td> <td>70</td> <td>%</td> </tr> <tr> <td>通倍率</td> <td>MULT</td> <td><math>MULT = n / m / p</math></td> <td>0.182</td> <td>50</td> <td>-</td> </tr> </tbody> </table> <p>PLLM0-PLLM6 がすべてロー、PLL0-PLL1 がすべてハイの場合は、双方とも PLL はスルー・モードに設定されます。</p>	項目	記号	計算式	MIN.	MAX.	単位	入力周波数	fstd	-	2.0	50.0	MHz	PFD 入力周波数	fpdf	$fpdf = fstd / m$	1.0	2.1	MHz	VCO 出力周波数	fvco	$fvco = fstd \times n / m$	100	200	MHz	出力周波数	fout	$Fout = fstd \times n / m / p$	25	200	MHz	入力デューティ	lduty	-	30	70	%	通倍率	MULT	$MULT = n / m / p$	0.182	50	-
項目	記号	計算式	MIN.	MAX.	単位																																							
入力周波数	fstd	-	2.0	50.0	MHz																																							
PFD 入力周波数	fpdf	$fpdf = fstd / m$	1.0	2.1	MHz																																							
VCO 出力周波数	fvco	$fvco = fstd \times n / m$	100	200	MHz																																							
出力周波数	fout	$Fout = fstd \times n / m / p$	25	200	MHz																																							
入力デューティ	lduty	-	30	70	%																																							
通倍率	MULT	$MULT = n / m / p$	0.182	50	-																																							
PLL12-PLL13	SSMDL0-SSMDL1	SSCG のモジュレーション範囲の設定入力 <table border="1"> <thead> <tr> <th>SSMDL1</th> <th>SSMDL0</th> <th>変調周期 [kHz]</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>15.00-26.25</td> </tr> <tr> <td>0</td> <td>1</td> <td>25.00-36.75</td> </tr> <tr> <td>1</td> <td>0</td> <td>35.00-48.30</td> </tr> <tr> <td>1</td> <td>1</td> <td>45.00-68.25</td> </tr> </tbody> </table>	SSMDL1	SSMDL0	変調周期 [kHz]	0	0	15.00-26.25	0	1	25.00-36.75	1	0	35.00-48.30	1	1	45.00-68.25																											
SSMDL1	SSMDL0	変調周期 [kHz]																																										
0	0	15.00-26.25																																										
0	1	25.00-36.75																																										
1	0	35.00-48.30																																										
1	1	45.00-68.25																																										
PLL14-PLL16	SSADJ0-SSADJ2	SSCG の周波数拡散モードと、その範囲の設定入力 <table border="1"> <thead> <tr> <th>SSADJ2</th> <th>SSADJ1</th> <th>SSADJ0</th> <th>周波数変調率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>約 - 0.5%</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>約 - 1.0%</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>約 - 2.0%</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>約 - 3.0%</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>約 - 4.0%</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>約 - 5.0%</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>変調なし</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>変調なし</td> </tr> </tbody> </table>	SSADJ2	SSADJ1	SSADJ0	周波数変調率	0	0	0	約 - 0.5%	0	0	1	約 - 1.0%	0	1	0	約 - 2.0%	0	1	1	約 - 3.0%	1	0	0	約 - 4.0%	1	0	1	約 - 5.0%	1	1	0	変調なし	1	1	1	変調なし						
SSADJ2	SSADJ1	SSADJ0	周波数変調率																																									
0	0	0	約 - 0.5%																																									
0	0	1	約 - 1.0%																																									
0	1	0	約 - 2.0%																																									
0	1	1	約 - 3.0%																																									
1	0	0	約 - 4.0%																																									
1	0	1	約 - 5.0%																																									
1	1	0	変調なし																																									
1	1	1	変調なし																																									
PLL17-PLL18	PLLS0-PLLS1	SSCG の S セクタ入力 <table border="1"> <thead> <tr> <th>PLLS1</th> <th>PLLS0</th> <th>PFD 入力周波数 [MHz]</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1.00 fpdf &lt; 1.20</td> </tr> <tr> <td>0</td> <td>1</td> <td>1.20 fpdf &lt; 1.45</td> </tr> <tr> <td>1</td> <td>0</td> <td>1.45 fpdf &lt; 1.70</td> </tr> <tr> <td>1</td> <td>1</td> <td>1.70 fpdf 2.10</td> </tr> </tbody> </table>	PLLS1	PLLS0	PFD 入力周波数 [MHz]	0	0	1.00 fpdf < 1.20	0	1	1.20 fpdf < 1.45	1	0	1.45 fpdf < 1.70	1	1	1.70 fpdf 2.10																											
PLLS1	PLLS0	PFD 入力周波数 [MHz]																																										
0	0	1.00 fpdf < 1.20																																										
0	1	1.20 fpdf < 1.45																																										
1	0	1.45 fpdf < 1.70																																										
1	1	1.70 fpdf 2.10																																										

## 3.2 チップ・セレクト信号設定用ディップ・スイッチ

**位置**

**参照用外観図 F-2, G-2**

SW6, SW7, SW9, SW14 は、オンボードのフラッシュ ROM, SRAM, SDRAM32, SDRAM16 のチップ・セレクト信号を設定するディップ・スイッチです。

スイッチと捺印	対象リソース
SW6 ( SDRAM32 )	SDRAM32
SW7 ( SRAM )	SRAM
SW9 ( FROM )	フラッシュ ROM
SW14 ( SDRAM16 )	SDRAM16

PFESiP/V850EP1 の CSZn 信号を、対象リソースごとに任意に選択できます。

ON にしたチップ・セレクト信号が有効になります (n = 0-7)。

- 注意 1.** 1つのリソースには、1種類のチップ・セレクト信号しか使用できません。  
したがって、1つのディップの中で、複数のスイッチを ON にしないでください。
- 2.** 同一のチップ・セレクト信号は複数のリソースに割り当てられません。  
したがって、SW6, SW7, SW9, SW14 で、同じ番号のスイッチを ON にしないでください。

SRAM		
DPSW	ON の状態	OFF の状態
SW7-1	CSZ0 を選択	CSZ0 を非選択
SW7-2	CSZ1 を選択	CSZ1 を非選択
SW7-3	CSZ2 を選択	CSZ2 を非選択
SW7-4	CSZ3 を選択	CSZ3 を非選択
SW7-5	CSZ4 を選択	CSZ4 を非選択
SW7-6	CSZ5 を選択	CSZ5 を非選択
SW7-7	CSZ6 を選択	CSZ6 を非選択
SW7-8	CSZ7 を選択	CSZ7 を非選択

フラッシュ ROM		
DPSW	ON の状態	OFF の状態
SW9-1	CSZ0 を選択	CSZ0 を非選択
SW9-2	CSZ1 を選択	CSZ1 を非選択
SW9-3	CSZ2 を選択	CSZ2 を非選択
SW9-4	CSZ3 を選択	CSZ3 を非選択
SW9-5	CSZ4 を選択	CSZ4 を非選択
SW9-6	CSZ5 を選択	CSZ5 を非選択
SW9-7	CSZ6 を選択	CSZ6 を非選択
SW9-8	CSZ7 を選択	CSZ7 を非選択

SDRAM32		
DPSW	ON の状態	OFF の状態
SW6-1	CSZ0 を選択	CSZ0 を非選択
SW6-2	CSZ1 を選択	CSZ1 を非選択
SW6-3	CSZ2 を選択	CSZ2 を非選択
SW6-4	CSZ3 を選択	CSZ3 を非選択
SW6-5	CSZ4 を選択	CSZ4 を非選択
SW6-6	CSZ5 を選択	CSZ5 を非選択
SW6-7	CSZ6 を選択	CSZ6 を非選択
SW6-8	CSZ7 を選択	CSZ7 を非選択

SDRAM16		
DPSW	ON の状態	OFF の状態
SW14-1	CSZ0 を選択	CSZ0 を非選択
SW14-2	CSZ1 を選択	CSZ1 を非選択
SW14-3	CSZ2 を選択	CSZ2 を非選択
SW14-4	CSZ3 を選択	CSZ3 を非選択
SW14-5	CSZ4 を選択	CSZ4 を非選択
SW14-6	CSZ5 を選択	CSZ5 を非選択
SW14-7	CSZ6 を選択	CSZ6 を非選択
SW14-8	CSZ7 を選択	CSZ7 を非選択

### 3.3 ブート ROM バンク選択用ディップ・スイッチ

位置

参照用外観図 G-2

オンボード・フラッシュ ROM は、16M バイトです。フラッシュ ROM はブートに使われるケースが一般的なため、通常は CSZ0 に接続します。このとき、CSZ0 では 8M バイトが上限になります。SW8 でフラッシュ ROM を CSZ0 以外に設定した場合は、16M バイトの領域が利用できます。

SW8 は、フラッシュ ROM の上位アドレスの 2 ビットを分離して構成したバンクを選択するディップ・スイッチです。下記のようにバンクを選択することで、バンクごとに異なるプログラムを格納し、起動するバンクを任意に選択することができます。

なお、SW8 は、SW8-1、SW8-2 のみ使用しており、SW8-3、SW8-4 は将来の拡張用です。

SW8-2	SW8-1	バンク選択
OFF	OFF	全バンクを選択 (最大 16 M バイト) フラッシュ ROM の 0000 0000H-00FF FFFFH に相当
OFF	ON	バンク 1 を選択 (最大 4 M バイト) フラッシュ ROM の 0040 0000H-007F FFFFH に相当
ON	OFF	バンク 2 を選択 (最大 4 M バイト) フラッシュ ROM の 0080 0000H-00BF FFFFH に相当
ON	ON	バンク 3 を選択 (最大 4 M バイト) フラッシュ ROM の 00C0 0000H-00FF FFFFH に相当

## 3.4 SW\_FWP (Flash ROM Boot block write protect)

位置

参照用外觀図 H-6

ボード上の各フラッシュ ROM のブート・ブロック保護の設定を行います。  
スイッチを OFF にした場合は、ブート・ブロックは保護されません。

SW_FWP-1	FROMWP	フラッシュ ROM のブート・ブロック保護
OFF	1	通常モード (ブート・ブロックを保護しない)
ON	0	ブート・ブロックを保護する

SW_FWP-2	SROMWP	FPGA 用シリアル・フラッシュ ROM のブート・ブロック保護
OFF	1	通常モード (ブート・ブロックを保護しない)
ON	0	ブート・ブロックを保護する

備考 1. オンボード・フラッシュ ROM 周辺回路は、高電圧印加を行う回路を装備していません。  
したがって、下記の動作モードのみに対応しています。

モード	CE#	OE#	WE#	RESET#	WP#/ACC	DQ0-DQ15
リード	L	L	H	H	任意	DOUT
スタンバイ	H	任意	任意	H	任意	Hi-Z
出力ディスエーブル	任意	H	H	任意	任意	Hi-Z
ライト	L	H	⌋	H	任意	DIN
ハードウェア・リセット/スタンバイ	任意	任意	任意	L	任意	Hi-Z
ブート・ブロック保護	任意	任意	任意	任意	L	任意

2. PFESiP EP-1 Evaluation Board に搭載されているフラッシュ ROM は、ワード・モード固定です。

### 3.5 ジャンパ設定

PFESiP EP-1 Evaluation Board には多数のジャンパがあります。利用目的に応じて適切に設定してください。

( 1/2 )

JPn 位置	用途	設定		備考
JP2 C-3	INTPZ8 ソースの切り替え	1-2	FPGA (FPGA からの INTP)	
		2-3	FROM (Flash ブート ROM からの INTP)	
		open	設定禁止	
JP9 H-6, G-6	A/D コンバータの AIN0-AIN5 の GND 接続	short	GND (GND に接続)	アナログ入力を使用しない 場合は short
		open	GND とのツイスト・ペア線を用いて外部に接続	
JP10 H-6	A/D コンバータの AIN6 の接続	1-2	VR1 (オンボード・ボリュームを接続)	
		2-3	GND (GND に接続)	
		open	GND とのツイスト・ペア線を用いて外部に接続	
JP11 H-6	A/D コンバータの AIN7 の GND 接続	short	GND (GND に接続)	アナログ入力を使用しない 場合は short
		open	GND とのツイスト・ペア線を用いて外部に接続	
JP12 B-4	UART の TXD0 ,TXD2 の接 続	1-2, 3-4	UART0 を選択 (TXD0 は TXD, TXD2 は RTS)	
		1-3, 2-4	UART2 を選択 (TXD0 は RTS, TXD2 は TXD)	
JP13 B-5	JSIO1 コネクタの DTR/DSR の接続	short	DTR と DSR を接続	一般的なパーソナル・コンピュータ と接続する場合は short
		open	DTR と DSR は接続しない	
JP14 B-5	UART の RXD0 , RXD2 の 接続	1-2, 3-4	UART0 を選択 (RXD0 は RXD, RXD2 は CTS)	
		1-3, 2-4	UART2 を選択 (RXD0 は CTS, RXD2 は RXD)	
JP15 B-4	UART の TXD1 ,TXD3 の接 続	1-2, 3-4	UART1 を選択 (TXD1 は TXD, TXD3 は RTS)	
		1-3, 2-4	UART3 を選択 (TXD1 は RTS, TXD3 は TXD)	
JP16 B-6	JSIO2 コネクタの DTR/DSR の接続	short	DTR と DSR を接続	一般的なパーソナル・コンピュータ と接続する場合は short
		open	DTR と DSR は接続しない	
JP17 B-6	UART の RXD1 , RXD3 の 接続	1-2, 3-4	UART1 を選択 (RXD1 は RXD, RXD3 は CTS)	
		1-3, 2-4	UART3 を選択 (RXD1 は CTS, RXD3 は RXD)	
JP20 (1-2)	WAITZ 信号の接続選択	short	FPGA および CN6 からの WAITZ 信号を接続	
		open	CN6 からの WAITZ 信号のみ接続	
(3-4)	SELFREFZ 信号の接続選 択	short	FPGA および CN6 からの SELFREFZ 信号を接続	
		open	CN6 からの SELFREFZ 信号のみ接続	
(5-6) D-3	HLDRQZ 信号の接続選択	short	FPGA および CN6 からの HLDRQZ 信号を接続	
		open	CN6 からの HLDRQZ 信号のみ接続	
JP27 F-4	オンボード SRAM バス・サ イズ切り替え(Addr.)	1-2	32 (32 ビット・バス)	JP29 と同じ設定であること
		2-3	16 (16 ビット・バス)	
		open	設定禁止	
JP29 F-4, 5	オンボード SRAM バス・サ イズ切り替え(CS)	1-2	32 (32 ビット・バス)	JP27 と同じ設定であること
		2-3	16 (16 ビット・バス)	
		open	設定禁止	
JP40 C-3	SWAITZ の接続	short	SWAITZ を FPGA に接続	
		open	SWAITZ はインアクティブに固定	
JP41 B-3	OCIO の接続	short	OCIO にロー・レベル入力 (過電流状態)	
		open	通常状態	

JPn 位置	用途	設定		備考
JP42 B-3	OCI1 の接続	short	OCI1 にロー・レベル入力 (過電流状態)	
		open	通常状態	
JP43 C-6	FPGA DONE 信号のプルアップの選択	short	このボードでプルアップする	PFESiP EP-1 Evaluation Board を1枚の単体で利用する場合は short
		open	このボードでプルアップしない	
JP44 B-3	FPGA ROM2 の利用	1-2	FPGA のコンフィグレーション ROM を 1 個のみ搭載時 (XC4VLX40-XC4VLX100 に対応)	
		2-3	FPGA のコンフィグレーション ROM を 2 個搭載時 (XC4VLX40-XC4VLX160 に対応)	
		open	設定禁止	
JP45 H-3	3.3 V 電源の選択	1-2	オンボード電源から供給	
		2-3	CN17 から供給	
		その他	設定禁止	
JP46 I-4	1.5 V の電源の選択	1-3, 2-4	オンボード電源から供給	
		3-5, 4-6	CN18 から供給	
		その他	設定禁止	

下記ジャンパは、テスト/デバッグ用のため通常状態から変更しないでください。

JPn 位置	用途	設定		備考
JP38 G-2	PLD03 テスト	1-2	通常利用	
		2-3	設定禁止 (テスト用)	
		open	設定禁止	

## 3.5.1 JP27, JP29 (オンボード SRAM バス構成)

**位置****参照用外観図 F-4, F-5**

オンボード SRAM のバス・サイズを選択します。JP27, JP29 の設定内容は同一にする必要があります。

## (1) JP27 (SRAM\_MODE1)

JP27	オンボード SRAM バス・サイズ切り替え (Addr)
1-2 (32)	32 ビット・バス。下位側オンボード SRAM の A19 端子に A21 信号が接続されます。
2-3 (16)	16 ビット・バス。下位側オンボード SRAM の A19 端子に A1 信号が接続されます。
オープン	下位側オンボード SRAM の A19 端子がハイ・インピーダンス状態になるため設定禁止です。

## (2) JP29 (SRAM\_MODE2)

JP29	オンボード SRAM バス・サイズ切り替え (CS)
1-2 (32)	32 ビット・バス。上位側オンボード SRAM の CE 端子に CS 信号が接続されます。
2-3 (16)	16 ビット・バス。上位側オンボード SRAM の CE 端子が “H” に固定されます。
オープン	上位側オンボード SRAM の CE 端子がハイ・インピーダンス状態になるため設定禁止です。

## 3.5.2 JP2 (INTPZ8 割り込み信号)

**位置****参照用外観図 C-3**

PFESiP/V850EP1 に入力する INTPZ8 (P10) 信号を選択します。

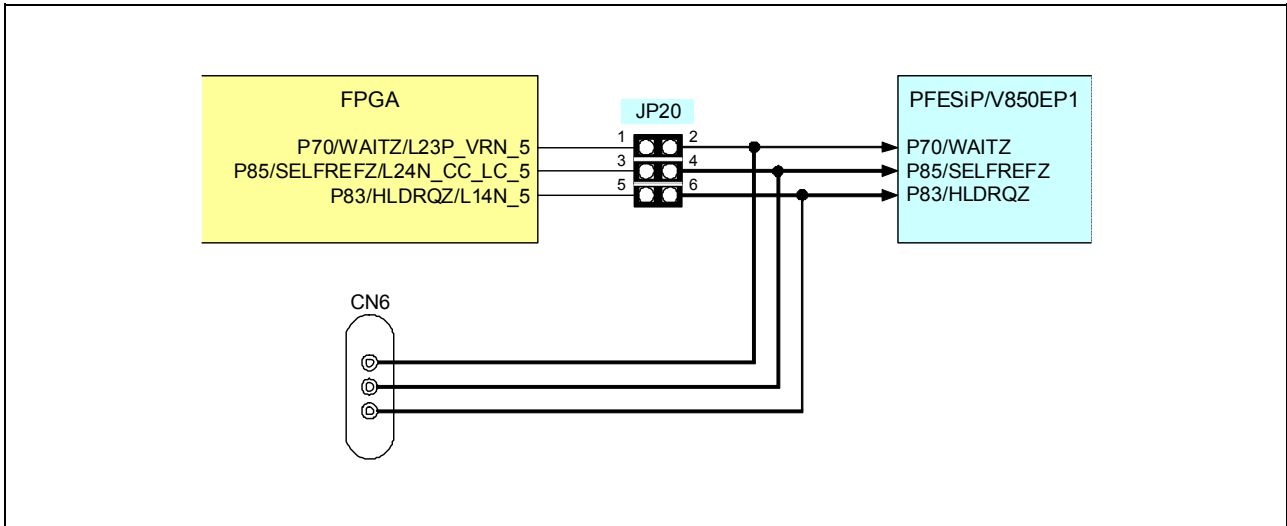
JP2	INTPZ8 (P10) のソース切り替え
1-2 (FPGA)	INTPZ8 (P10) 端子にはオンボード FPGA の P10 が接続されます。
2-3 (FROM)	INTPZ8 (P10) 端子にはフラッシュ ROM の RY/BY 信号が接続されます。 フラッシュ ROM への書き込み時, RY/BY 信号が必要な場合に選択します。
オープン	INTPZ8 (P10) 端子がハイ・インピーダンス状態になるため設定禁止です。

### 3.5.3 JP20 (WAITZ, SELFREFZ, HLDRAZ ジャンパ)

**位置**

**参照用外観図 D-3**

WAITZ, SELFREFZ, HLDQZ 信号の接続を、それぞれ個別に選択します。



**注意** 下記以外の設定は行わないでください。

JP20 1-2	WAITZ 信号の接続選択
ショート	WAITZ 信号は FPGA の P70 および CN6 からの WAITZ 信号をワイヤード OR で接続します。
オープン	WAITZ 信号は CN6 からの WAITZ 信号を接続します。

JP20 3-4	SELFREFZ 信号の接続選択
ショート	SELFREFZ 信号は FPGA の P85 および CN6 からの SELFREFZ 信号をワイヤード OR で接続します。
オープン	SELFREFZ 信号は CN6 からの SELFREFZ 信号を接続します。

JP20 5-6	HLDQZ 信号の接続選択
ショート	HLDQZ 信号は FPGA の P83 および CN6 からの HLDQZ 信号をワイヤード OR で接続します。
オープン	HLDQZ 信号は CN6 からの HLDQZ 信号を接続します。

### 3.5.4 JP40 (SWAITZ ジャンパ)

**位置**

**参照用外観図 C-3**

SWAITZ 信号の接続を選択します。

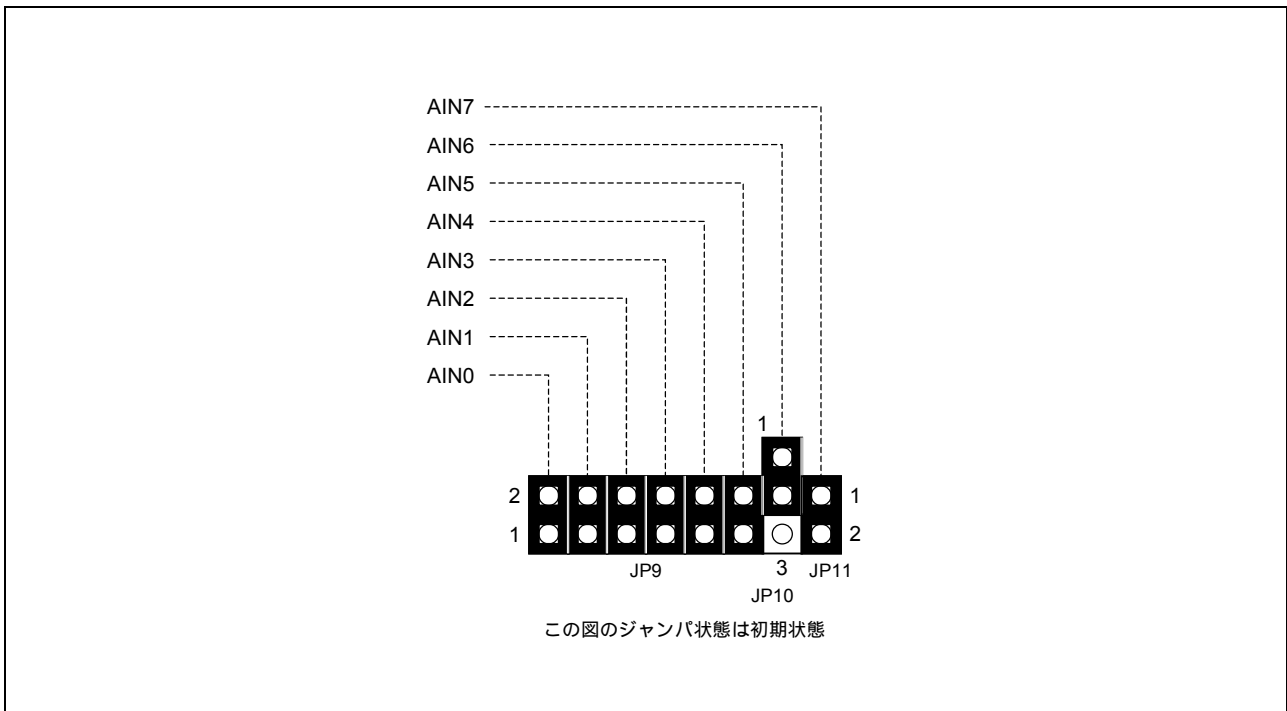
JP40	SWAITZ 信号の接続選択
ショート	SWAITZ 信号は FPGA の SWAITZ/L28P_6 に接続します。
オープン	SWAITZ 信号はインアクティブ・レベル (ハイ・レベル) に固定されます。



### 3.5.5 JP9-JP11 (アナログ入力選択)

位置

参照用外観図 H-6, G-6



#### (1) JP9 (AIN0-AIN5), JP11 (AIN7)

PFESiP/V850EP1 の A/D コンバータの AIN0-AIN5 は、JP9 で GND と信号が対になったターミナルに接続されています。また、AIN7 は JP11 で GND と信号が対になったターミナルに接続されています。通常は、各信号と、GND はジャンパでショートされています。

外部からアナログを入力する場合は、GND とのツイスト・ペア線で、このターミナルに接続してください。

#### (2) JP10 (AIN6)

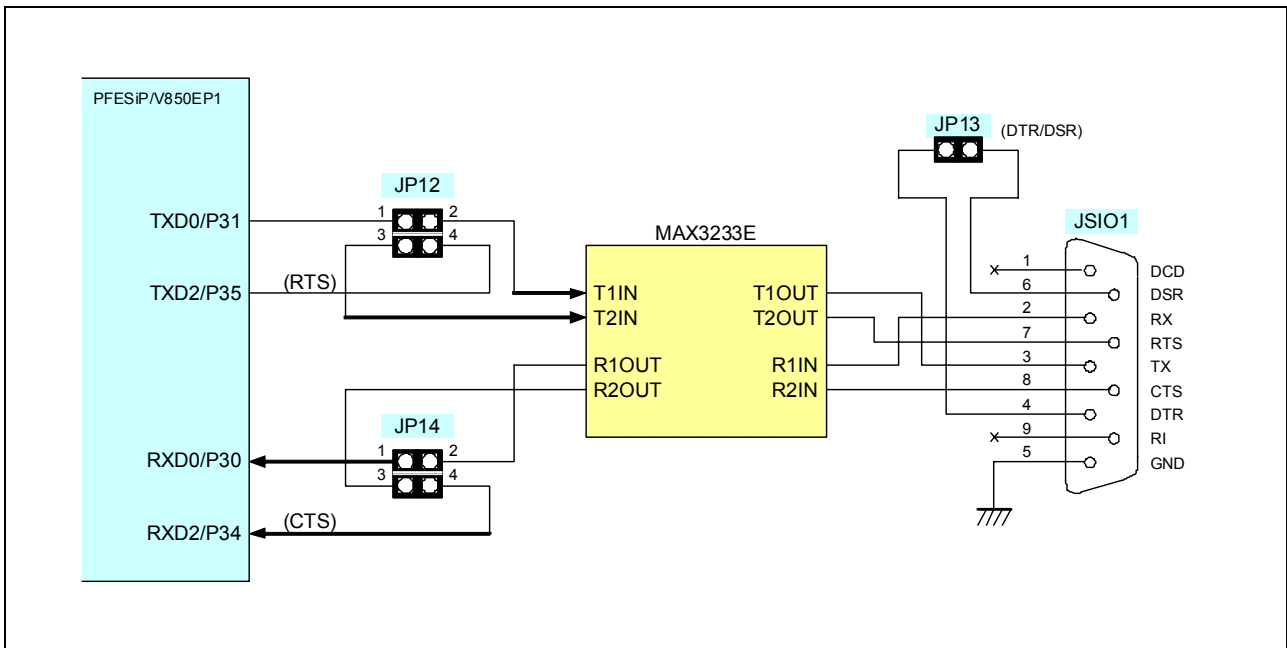
A/D コンバータの AIN6 には、3.3 V 電源を分圧するボリュームが接続されています。

JP10	AIN6 の接続先切り替え
1-2	オンボードのボリューム (VR1) を接続。
2-3	2: アナログ入力, 3: GND として、外部からのアナログ入力として利用。
オープン	AIN6 はオープンで不安定になるため、設定禁止です。

### 3.5.6 JP12-JP14 (シリアル・インタフェース JSIO1 結線)

**位置**

**参照用外観図 B-4, B-5**



#### (1) JP12 (TXD)

TXD0, TXD2 端子の TXD, RTS 機能の切り替えを行います。

JP12	TXD0, TXD2 端子の TXD, RTS 機能の切り替え
1-2, 3-4	TXD0 は TXD, TXD2 は RTS として機能します。
1-3, 2-4	TXD0 は RTS, TXD2 は TXD として機能します。
オープン	TXD0, TXD2 は未使用状態になります。外部でプルアップ処理されています。

#### (2) JP13 (DTR / DSR)

DTR と DSR の接続を行います。

一般的なパーソナル・コンピュータに接続する場合は、DTR と DSR をショートして使用します。

JP13	DTR, DSR 端子の設定
ショート	DTR-DSR をショートします (一般的な利用方法)。
オープン	DTR-DSR はオープンです。

#### (3) JP14 (RXD)

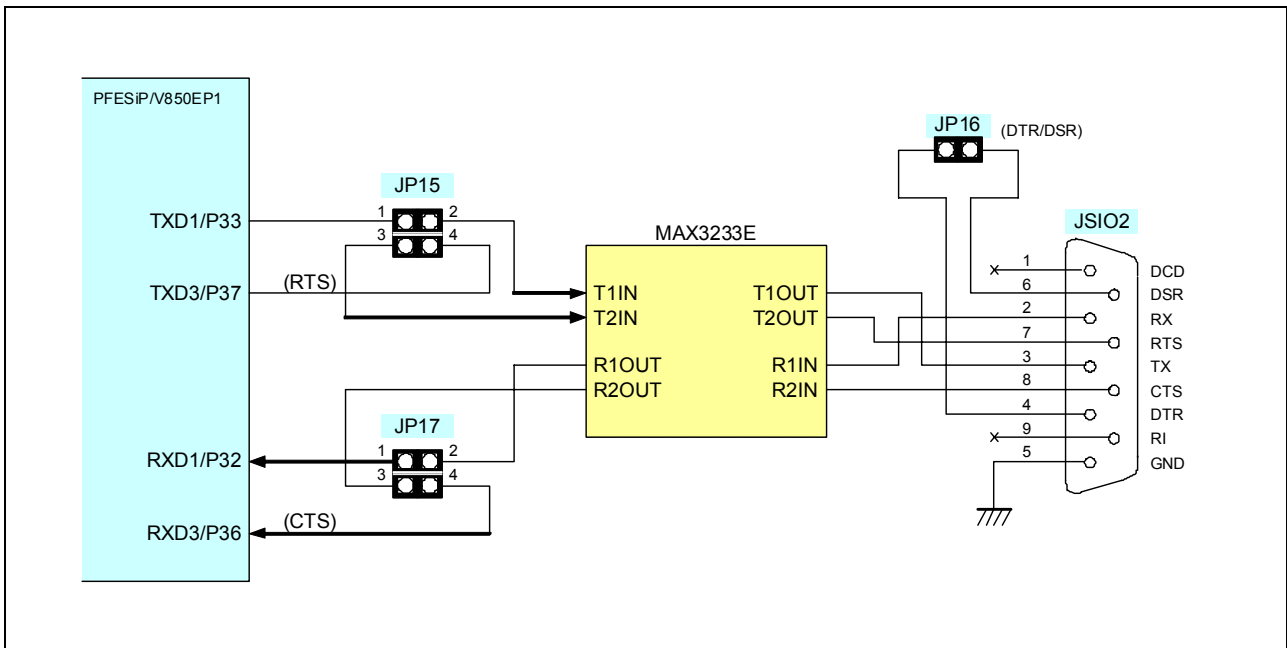
RXD0, RXD2 端子の RXD, CTS 機能の切り替えを行います。

JP14	RXD0, RXD2 端子の RXD, CTS 機能の切り替え
1-2, 3-4	RXD0 は RXD, RXD2 は CTS として機能します。
1-3, 2-4	RXD0 は CTS, RXD2 は RXD として機能します。
オープン	RXD0, RXD2 は未使用状態になります。外部でプルアップ処理されています。

3.5.7 JP15-JP17 (シリアル・インタフェース JSIO2 結線)

位置

参照用外觀図 B-6



(1) JP15 (TXD)

TXD1, TXD3 端子の TXD, RTS 機能の切り替えを行います。

JP12	TXD1, TXD3 端子の TXD, RTS 機能の切り替え
1-2, 3-4	TXD1 は TXD, TXD3 は RTS として機能します。
1-3, 2-4	TXD1 は RTS, TXD3 は TXD として機能します。
オープン	TXD1, TXD3 は未使用状態になります。外部でプルアップ処理されています。

(2) JP16 (DTR / DSR)

DTR と DSR の接続を行います。

一般的なパーソナル・コンピュータに接続する場合は, DTR と DSR をショートして使用します。

JP13	DTR, DSR 端子の設定
ショート	DTR-DSR をショートします (一般的な利用方法)。
オープン	DTR-DSR はオープンです。

(3) JP17 (RXD)

RXD1, RXD3 端子の RXD, CTS 機能の切り替えを行います。

JP14	RXD1, RXD3 端子の RXD, CTS 機能の切り替え
1-2, 3-4	RXD1 は RXD, RXD3 は CTS として機能します。
1-3, 2-4	RXD1 は CTS, RXD3 は RXD として機能します。
オープン	RXD1, RXD3 は未使用状態になります。外部でプルアップ処理されています。

### 3.5.8 JP41, JP42 (USB インタフェース OCI0, OCI1 ジャンパ)

**位置**

**参照用外観図 B-3**

通常利用時は、オープン状態で使用してください。

JP41	USB ホスト・インタフェースの OCI0 端子の選択
ショート	OCI0 にロー・レベル入力 (過電流状態)
オープン	通常状態 (ハイサイド・スイッチに接続)

JP42	USB ホスト・インタフェースの OCI1 端子の選択
ショート	OCI1 にロー・レベル入力 (過電流状態)
オープン	通常状態 (ハイサイド・スイッチに接続)

### 3.5.9 JP43 (FPGA DONE 信号のプルアップ設定ジャンパ)

**位置**

**参照用外観図 C-6**

PFESiP EP-1 Evaluation Board を単体で利用する場合は、JP43 をショートしてください。

PFESiP EP-1 Evaluation Board は、他のボードとスタックすることができます。このとき FPGA のすべての DONE 信号のアサートにより、システム・リセットを解除します。この DONE 信号はワイヤード OR で接続されるため、他のボードと組み合わせる場合には、PFESiP EP-1 Evaluation Board のプルアップをキャンセルしなければならない場合があります。

JP43	プルアップの設定
ショート	このボードでプルアップ
オープン	このボードでプルアップしない

### 3.5.10 JP44 (FPGA コンフィグレーション ROM 選択ジャンパ)

**位置**

**参照用外観図 B-6**

オンボードの FPGA 用コンフィグレーション ROM を 1 個のみ利用の場合 (JP44 1-2), 利用できる FPGA は、Virtex-4 XC4VLX40 ~ XC4VLX100 までになります。

PFESiP EP-1 Evaluation Board では、FPGA に XC4VLX160 まで搭載できます。この場合は、コンフィグレーション ROM として、XCF08PFSG48C を追加実装され、JP44 は 2-3 がショートされています。

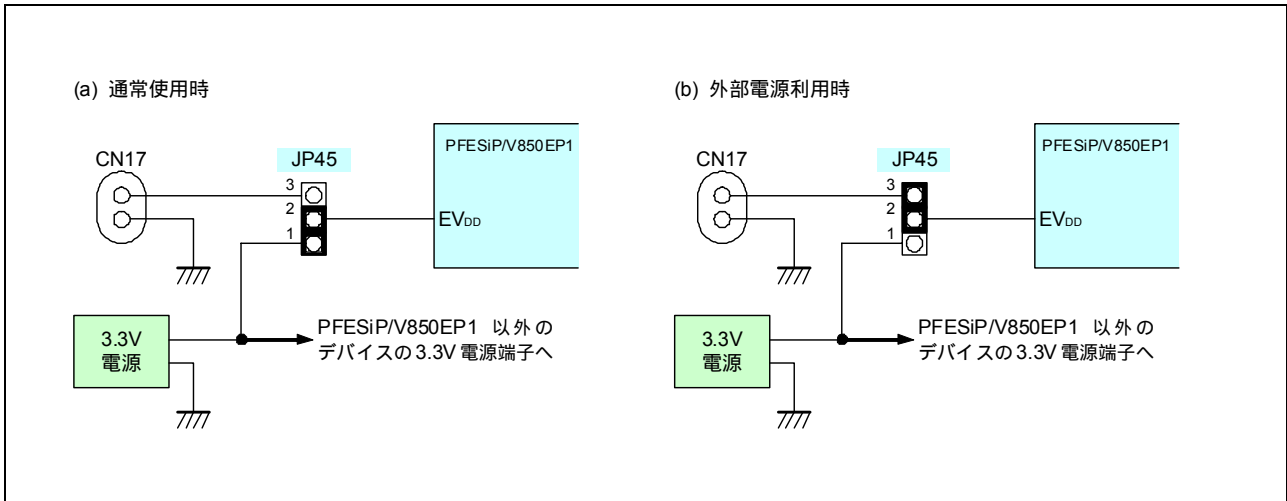
JP44	FPGA の ROM2 の利用選択
1-2	FPGA のコンフィグレーション ROM を 1 個のみ搭載時 (XC4VLX40 ~ XC4VLX100 に対応)
2-3	FPGA のコンフィグレーション ROM を 2 個搭載 (XC4VLX40 ~ XC4VLX160 に対応)
オープン	設定禁止です。

### 3.5.11 JP45 (PFESiP/V850EP1 EV<sub>DD</sub> : +3.3 V 電源ジャンパ)

**位置**

**参照用外觀図 H-3**

PFESiP EP-1 Evaluation Board で、PFESiP/V850EP1 が利用する+3.3 V 電源は、オンボード電源と外部電源を選択できます。電流測定を行う場合は外部電源を利用し、電流計を接続してください。



**注意** PFESiP/V850EP1 以外の+3.3 V 電源は、+5.0 V 電源から生成されています。PFESiP/V850EP1 の EV<sub>DD</sub> : +3.3 V を CN17 を利用して外部から供給する場合でも、+5.0 V 電源は接続してください。

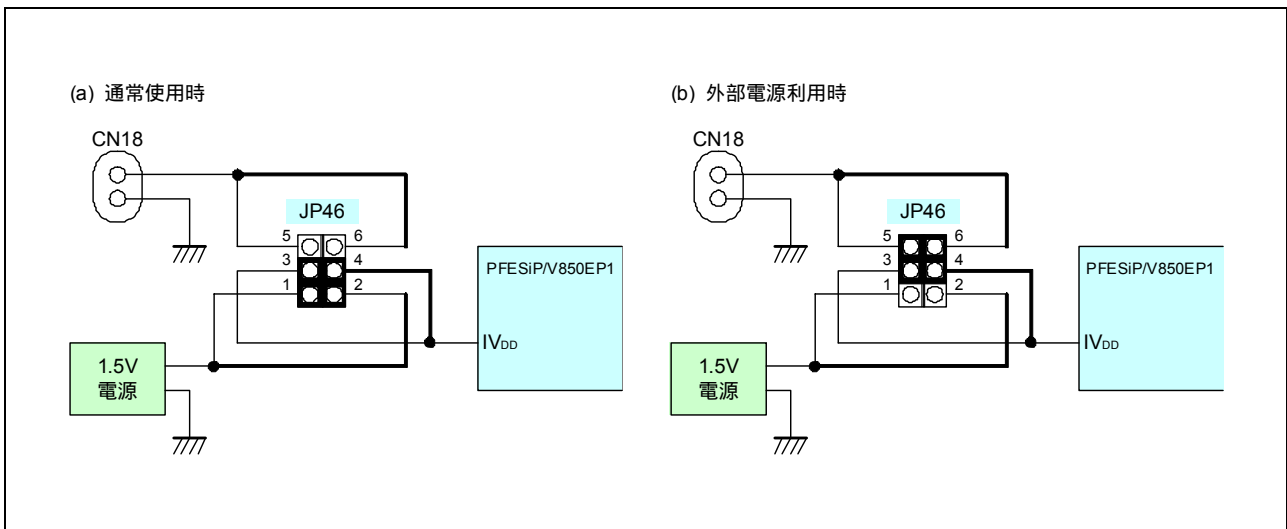
JP45	PFESiP/V850EP1 EV <sub>DD</sub> (3.3 V) 電源の選択
1-2	オンボード電源から供給
2-3	CN17 から供給
オープン	設定禁止です。

### 3.5.12 JP46 (PFESiP/V850EP1 IV<sub>DD</sub> : +1.5 V 電源ジャンパ)

**位置**

**参照用外観図 I-4**

PFESiP EP-1 Evaluation Board のうち, +1.5 V 電源は, PFESiP/V850EP1 の内部電源としてのみ使用されています。1.5 V 電源は, オンボード電源と外部電源を選択できます。電流測定を行う場合は外部電源を利用し, 電流計を接続してください。電流容量確保のため, ジャンパは2個利用します。



JP46	PFESiP/V850EP1 IV <sub>DD</sub> (1.5 V) 電源の選択
1-3, 2-4	オンボード電源から供給
3-5, 4-6	CN18 から供給
オープン	設定禁止です。

## 第4章 外部メモリ・アクセスの設定例

オンボードで搭載されているメモリにアクセスするには、チップ・セレクト設定、ウエイト数などの設定が必要です。これらの設定は、プログラムの初期イニシャライズ処理などで行います。たとえば CA850 では、主にスタート・アップ・ルーチンなどで設定します。

**備考** この章では、PFESiP EP-1 Evaluation Board 固有のレジスタ設定について説明しています。  
一般的なレジスタの設定については、関連資料を参考にしてください。

### 4.1 搭載メモリの仕様

**位置**

**参照用外観図 E-2, F-2, F-3**

PFESiP EP-1 Evaluation Board には、汎用的に利用される、フラッシュ ROM, SRAM, SDRAM をオンボードで搭載しています。また PFESiP/V850EP1 内部に命令 RAM (プログラム・フェッチ用), データ RAM (データ用), ワーク RAM (ワーク用) を内蔵しています。

#### 4.1.1 外部メモリ

表 4 - 1 外部メモリー一覧

	フラッシュ ROM	SRAM	SDRAM32	SDRAM16
品名	TC58FVM7B5BTG65	$\mu$ PD4416016G5-A15	MT48LC16M16A2TG-7E	MT48LC16M16A2TG-7E
アクセス・タイム	65 ns@100 pF	15 ns@30 pF	$C_L = 2/3, 5.4$ ns	$C_L = 2/3, 5.4$ ns
容量	16 M バイト	4 M バイト (2 M バイト $\times$ 2)	64 M バイト (32 M バイト $\times$ 2)	32 M バイト (32 M バイト $\times$ 1)
バス・サイズ	16 ビット	32 ビット (16 ビット $\times$ 2)	32 ビット (16 ビット $\times$ 2)	16 ビット (16 ビット $\times$ 1)
チップ・セレクト領域	CSZ0-CSZ7 から任意 標準は CSZ0	CSZ0-CSZ7 から任意	CSZ1, CSZ3, CSZ4, CSZ6 から任意	CSZ1, CSZ3, CSZ4, CSZ6 から任意

**備考** 以降の設定例では、

フラッシュ ROM : CSZ0 領域

SRAM : CSZ1 領域

SDRAM32 : CSZ3 領域

VSB\_RAM : CSZ2 領域

に設定した場合を例に取り上げています。

## 4.1.2 内部メモリ

	命令 RAM (iLB RAM)	データ RAM (dLB RAM)	ワーク RAM (VSB RAM)
容量	192 K バイト	32 K バイト	32 K バイト
接続バス	iLB	dLB	VSB
バス・サイズ	128 ビット	32 ビット	32 ビット
アクセス・クロック	CPCLK×1 クロック	CPCLK×1 クロック	VBCLK×2 クロック

ワーク RAM は、SW2-3 (VSB RAMEN) を ON に設定した場合に有効になります。



## 4.2 外部メモリ・アクセスの動作設定

PFESiP/V850EP1 を起動させるためには、下記に示すバス・インタフェースに関するモード・レジスタを設定する必要があります。

アドレス	レジスタ名称	レジスタ略称
1FFF F060H	チップ領域セレクト制御レジスタ 0	CSC0
1FFF F062H	チップ領域セレクト制御レジスタ 1	CSC1
1FFF F066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC
1FFF F06AH	キャッシュ領域指定レジスタ	BHC
1FFF F06EH	NPB ストローブ・ウエイト・コントロール・レジスタ	VSWC
1FFF F44CH	ポート 6 モード・コントロール・レジスタ	PMC6
1FFF F44EH	ポート 7 モード・コントロール・レジスタ	PMC7
1FFF F450H	ポート 8 モード・コントロール・レジスタ	PMC8
1FFF F452H	ポート 9 モード・コントロール・レジスタ	PMC9
1FFF F454H	ポート 10 モード・コントロール・レジスタ	PMC10
1FFF F480H	バス・サイクル・タイプ・コントロール・レジスタ 0	BCT0
1FFF F482H	バス・サイクル・タイプ・コントロール・レジスタ 1	BCT1
1FFF F484H	データ・ウエイト・コントロール・レジスタ 0	DWC0
1FFF F486H	データ・ウエイト・コントロール・レジスタ 1	DWC1
1FFF F488H	バス・サイクル・コントロール・レジスタ	BCC
1FFF F48AH	アドレス設定ウエイト制御レジスタ	ASC
1FFF F48CH	バス・サイクル周期制御レジスタ	BCP
1FFF F48EH	ローカル・バス・サイジング・コントロール・レジスタ	LBS
1FFF F494H	DMA フライバイ転送ウエイト・コントロール・レジスタ	FWC
1FFF F496H	DMA フライバイ転送アイドル・コントロール・レジスタ	FIC
1FFF F498H	バス・モード・コントロール・レジスタ	BMC
1FFF F49AH	ページ ROM コンフィギュレーション・レジスタ	PRC
1FFF F4A4H	SDRAM コンフィギュレーション・レジスタ 1	SCR1
1FFF F4A6H	SDRAM リフレッシュ・コントロール・レジスタ 1	RFS1
1FFF F4ACH	SDRAM コンフィギュレーション・レジスタ 3	SCR3
1FFF F4AEH	SDRAM リフレッシュ・コントロール・レジスタ 3	RFS3
1FFF F4B0H	SDRAM コンフィギュレーション・レジスタ 4	SCR4
1FFF F4B2H	SDRAM リフレッシュ・コントロール・レジスタ 4	RFS4
1FFF F4B8H	SDRAM コンフィギュレーション・レジスタ 6	SCR6
1FFF F4BAH	SDRAM リフレッシュ・コントロール・レジスタ 6	RFS6
1FFF F8B0H	ライト・イネーブル切り替えレジスタ	WREN

(1) フラッシュROM

(a) 固定値

項目	対応レジスタ	設定値	備考
チップ領域セレクト	CSC0	サブエリア 00-02	CSZ0 に接続 (命令フェッチ可能) ワーク RAM (VSB_RAM) を利用するため、フラッシュ ROM の領域を制限
VSB バス・サイズ	BSC	32 ビット	メモリ・コントローラと CPU コアの接続は 32 ビット固定
バス・サイクル・タイプ	BCT0	ページ ROM	TC58FVM7B5BTG65 はページ・モード対応
アドレス設定ウェイト	ASC	0	
ページ ROM 設定	PRC	16 ビット×8	TC58FVM7B5BTG65 はページ・モード対応
ローカル・バス・サイズ	LBS	16 ビット	リセット解除時は外部 ROM から起動するため、初期値は 16 ビットに設定 SLBS1 (SW1-2) = 0 (OFF), SLBS0 (SW1-1) = 1 (ON) で起動

(b) 動作周波数依存

項目	対応レジスタ	BUSCLK			備考
		66.7MHz	48MHz	24MHz	
データ・ウェイト	DWC0	4	3	1	BUSCLK 周期 × (Tw + 1.5) - 11.0 - 3.8 - 5 > 25 (@100pF) BUSCLK 周期 × (Tw + 2) - 11.0 - 3.8 - 5 > 70 (@100pF)
オンページ・データ・ウェイト	PRC	2	1	0	BUSCLK 周期 × (Tw + 1.5) - 11.0 - 3.8 > 30 (@100pF)
アイドル・ステート	BCC	2	1	0	t <sub>DF</sub> = 25ns (MAX.) 11.0 + 25 + 2.5 - 1.5 - BUSLCK 周期

備考 1. データ・ウェイトおよびオンページ・データ・ウェイトは、

BUSCLK 周期 × (ウェイト数 + 1.5) - RDZ 遅延時間 (MAX.) - データ入力設定 (MIN.)  
- 基板遅延 (往復)

が、ROM の対リード・ストロブからのアクセス・タイムより長いことと

BUSCLK 周期 × (ウェイト数 + 2) - アドレス、チップ・セレクト遅延時間 (MAX.)  
- データ入力設定 (MIN.) - 基板遅延 (往復)

が、ROM の対アドレス、チップ・セレクトからのアクセス・タイムより長いことが必要です。

2. アイドル・ステートは、

RDZ 遅延時間 (MAX.) + ROM のデータ・フロート (MAX.) + 基板遅延 (片道) - データ出力遅延 (MIN.)  
- BUSCLK 周期 (T0 サイクル分)

を超える時間を確保する必要があります。

(2) SRAM

(a) 固定値

項目	対応レジスタ	設定値	備考
チップ領域セレクト	CSC0	エリア 1	CSZ1 に接続 (命令フェッチ可能)
VSB バス・サイズ	BSC	32 ビット	メモリ・コントローラと CPU コアの接続は 32 ビット固定
バス・サイクル・タイプ	BCT0	SRAM / I/O	
アドレス設定ウェイト	ASC	0	
ローカル・バス・サイズ	LBS	32 ビット	リセット解除時は ROM から起動するため初期値は 16 ビット

(b) 動作周波数依存

項目	対応レジスタ	BUSCLK			備考
		66.7 MHz	48 MHz	24 MHz	
データ・ウェイト	DWC0	1	0	0	$BUSCLK \text{ 周期} \times (Tw + 1.5) - 11.0 - 3.8 - 5 > 5$ (@30pF) $BUSCLK \text{ 周期} \times (Tw + 2) - 11.0 - 3.8 - 5 > 10$ (@30pF)
アイドル・ステート	BCC	1	0	0	$t_{cod}, t_{odo} = 7ns \text{ (MAX.)}$ $11.0 + 7 + 2.5 - 1.5 - BUSLCK \text{ 周期}$

備考 1. データ・ウェイトは、リード・サイクルの条件が厳しく、

$BUSCLK \text{ 周期} \times (\text{ウェイト数} + 1.5) - RDZ \text{ 遅延時間 (MAX.)} - \text{データ入力設定 (MIN.)}$   
 - 基板遅延 (往復)

が、RAM の対リード・ストロープからのアクセス・タイムより長いことと

$BUSCLK \text{ 周期} \times (\text{ウェイト数} + 2) - \text{アドレス, チップ・セレクト遅延時間 (MAX.)}$   
 - データ入力設定 (MIN.) - 基板遅延 (往復)

が、RAM の対アドレス, チップ・セレクトからのアクセス・タイムより長いことが必要です。

2. アイドル・ステートは、

$RDZ \text{ 遅延時間 (MAX.)} + RAM \text{ のデータ・フロート (MAX.)} + \text{基板遅延 (片道)} - \text{データ出力遅延 (MIN.)}$   
 -  $BUSCLK \text{ 周期 (T0 サイクル分)}$

を超える時間を確保する必要があります。

(3) SDRAM32

(a) 固定値

項目	対応レジスタ	設定値	備考
チップ領域セレクト	CSC0	エリア1	CSZ3 に接続 (命令フェッチ可能)
VSB バス・サイズ	BSC	32 ビット	メモリ・コントローラと CPU コアの接続は 32 ビット固定
バス・サイクル・タイプ	BCT0	SDRAM	
ローカル・バス・サイズ	LBS	32 ビット	リセット解除時は ROM から起動するため初期値は 16 ビット
オンページ・アドレス・シフト幅	SCR3	2 ビット	32 ビット幅
ロウ・アドレス幅	SCR3	13 ビット	A25, A24 : バンク・アドレス
Bank Active R/W Cmd.	SCR3	2 クロック	t <sub>ROD</sub> = 1.5 クロック以上
アドレス・マルチプレクス	SCR3	9 ビット	A14-A2 : ロウ・アドレス (13 ビット), カラム・アドレス (9 ビット)

(b) 動作周波数依存

項目	対応レジスタ	BUSCLK			備考
		66.7MHz	48MHz	24MHz	
CAS レーテンシ	SCR3	2	2	2	t <sub>AC(3)</sub> = 5.4 ns (MAX.), t <sub>AC(2)</sub> = 5.4 ns (MAX.)
リフレッシュ・インターバル	RFS3	Cfac=32 : 16 Cfac=128 : 4 Cfac=256 : 2	Cfac=32 : 11 Cfac=128 : 2 Cfac=256 : 1	Cfac=32 : 5 Cfac=128 : 1	t <sub>REF</sub> = 64 ms (MAX.) (8,192 rows)
アイドル・ステート	BCC	0	0	0	t <sub>HZ</sub> = 5.4 ns (MAX.) 5.4 + 2.5 - 1.5 - BUSLCK 周期

**備考** アイドル・ステートは、  
 $\text{SDRAM のデータ・フロート (MAX.)} + \text{基板遅延 (片道)} - \text{データ出力遅延 (MIN.)} - \text{BUSCLK 周期 (T0 サイクル分)}$   
 を超える時間を確保する必要があります。

(4) 内蔵ワーク RAM (VSB\_RAM)

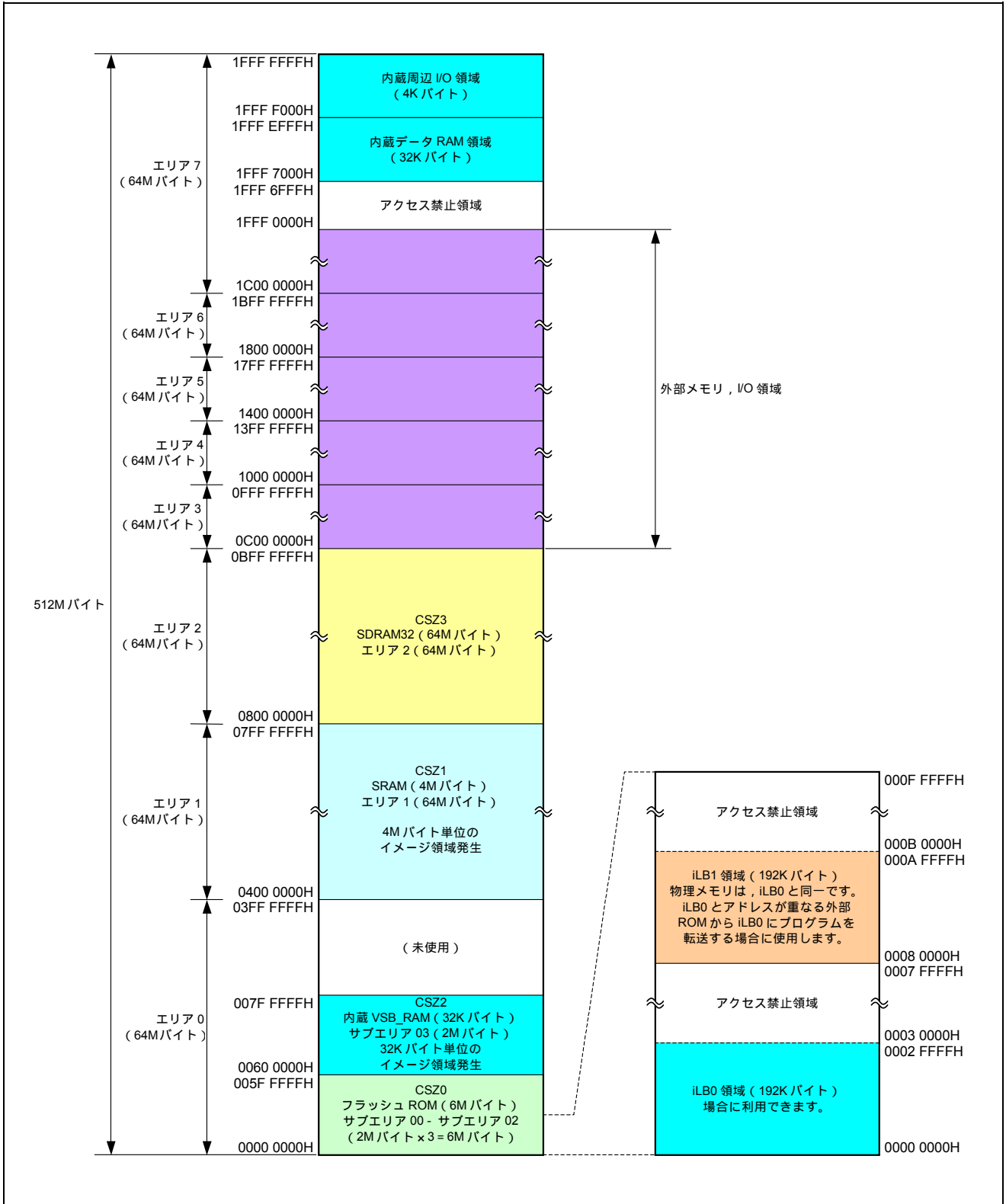
項目	対応レジスタ	設定値	備考
チップ領域セレクト	CSC0	サブエリア 03	CSZ2 に接続 (命令フェッチ可能)
VSB バス・サイズ	BSC	32 ビット	メモリ・コントローラと CPU コアの接続は 32 ビット固定
バス・サイクル・タイプ	BCT0	動作禁止	メモリ・コントローラの CSZ2 領域の動作禁止

**備考** VSB\_RAM は、常に VBCLK の 2 クロックでアクセスされます。

(5) NPB ストロープ・ウエイト・コントロール・レジスタ (VSWC)

項目	VBCLK		
	66.7MHz	48MHz	24MHz
VSWC 設定値	0042H	0041H	0001H

(6) メモリ・マップ



**備考** フラッシュ ROM は、最大で 8M バイト利用できますが、この例では、内蔵ワーク RAM (VSB\_RAM) を利用するため、フラッシュ ROM の領域を 6M バイトに制限しています。

(7) 各レジスタ設定例

以降の設定例は、下記の条件での設定例です。

項目	設定
XT1 入力周波数	48MHz
CPU のパイプライン用クロック (CPCLK)	200MHz
内部システム・クロック (VBCLK)	100Hz
バス・クロック (BUSCLK)	50MHz

項目	設定内容	設定
動作モード設定	SW1-1, SW1-2 : 16 ビット・バス幅起動 SW1-3 : 必ず 0 SW1-4 : 未使用 (Don't Care) SW1-5 : VBCLKOUT 出力禁止 SW1-6 : BUSCLK = VBCLK/2 SW1-7 : 必ず 0 SW2-1 : USB Clock に UCLK 選択 SW2-2 : USB Bridge に PCLKIN 選択 SW2-3 : ワーク RAM (VSB_RAM) 許可 SW2-4 : 未使用 (Don't Care) SW2-5, 2-6 : OFF SW2-7 : CSZ0 からブート (外部バス)	
PLL の動作モード	SW3-1 ~ SW3-7 : M 値 = 23 (m 値 = 24) SW3-8 ~ SW4-2 : N 値 = 7 (n 値 = 100) SW4-3 ~ SW4-4 : P 値 = 0 (p 値 = 1) 通倍率 = n/m/p = 4.1666 倍 48MHz x 4.1666 = 200MHz SW4-5 ~ SW4-6 : 変調周期 15kHz SW4-7 ~ SW5-1 : 変調なし SW5-2 ~ SW5-3 : S セレクタ = 2.0MHz SW5-4 : PLLFO はロー・レベル出力 SW5-6, 5-7 : VBCLK = CPCLK/2	
ブート ROM バンク選択用	SW8-1, SW8-2 : 全バンクを選択	

(8) ポート6モード・コントロール・レジスタ (PMC6)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60	1FFFF44CH	83H	R/W
設定値	1	1	1	1	1	1	1	1		FFH	
兼用機能	A1	A0	A25	A24	A23	A22	A21	A20			
機能選択	A1	A0	A25	A24	A23	A22	A21	A20			

(9) ポート7モード・コントロール・レジスタ (PMC7)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC7	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70	1FFFF44EH	01H	R/W
設定値	0	0	0	0	1	0	1	1		0BH	
兼用機能	CSZ7	CSZ6	CSZ5	CSZ4	CSZ3	CSZ2	CSZ1	WAITZ			
機能選択	P77	P76	P75	P74	CSZ3	P72	CSZ1	WAITZ			

(10) ポート9モード・コントロール・レジスタ (PMC9)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC9	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90	1FFFF452H	00H	R/W
設定値	1	1	1	1	1	1	1	1		FFH	
兼用機能	D23	D22	D21	D20	D19	D18	D17	D16			
機能選択	D23	D22	D21	D20	D19	D18	D17	D16			

(11) ポート10モード・コントロール・レジスタ (PMC10)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC10	PMC107	PMC106	PMC105	PMC104	PMC103	PMC102	PMC101	PMC100	1FFFF454H	00H	R/W
設定値	1	1	1	1	1	1	1	1		FFH	
兼用機能	D31	D30	D29	D28	D27	D26	D25	D24			
機能選択	D31	D30	D29	D28	D27	D26	D25	D24			

(12) チップ領域セレクト制御レジスタ0 (CSC0)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00	1FFFF060H	C231H	R/W
設定値	0	1	0	0	1	0	0	0	0	0	1	0	0	1	1	1		4827H	
CSZn 信号	CSZ3			CSZ2				CSZ1				CSZ0							
選択領域	エリア2			サブエリア03				エリア1				サブエリア00-02							
対象	SDRAM			VSB_RAM				SRAM				フラッシュROM							

(13) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

注意 一般的な利用では、BSC レジスタの値は、初期値の AAAAH から変更しないでください。

(14) バス・サイクル・タイプ・コンフィギュレーション・レジスタ (BCT0)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BCT0	ME3	0	BT 31	BT 30	ME2	0	0	BT 20	ME1	0	BT 11	BT 10	ME0	0	0	BT 00	1FFFF480H	8888H	R/W
設定値	1	0	1	1	0	0	0	0	1	0	0	0	1	0	0	1		B089H	
CSZn 信号	CSZ3				CSZ2				CSZ1				CSZ0						
動作	SDRAM				未使用				SRAM, I/O				ページ ROM						
対象	SDRAM				VSB_RAM				SRAM				フラッシュ ROM						

(15) NPB ストローブ・ウェイト・コントロール・レジスタ (VSWC)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VSWC	0	0	0	0	0	0	0	0	SUW L1	SUW L2	0	0	VSW L3	VSW L2	VSW L1	VSW L0	1FFFF06EH	00CFH	R/W
VSWC	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0		0042H	
動作	データ・セットアップ=1VBCLK								VPSTB=3VBCLK										

(16) データ・ウェイト・コントロール・レジスタ 0 (DWC0)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DWC0	0	DW 32	DW 31	DW 30	0	DW 22	DW 21	DW 20	0	DW 12	DW 11	DW 10	0	DW 02	DW 01	DW 00	1FFFF484H	7777H	R/W
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1		0003H	
CSZn 信号	CSZ3				CSZ2				CSZ1				CSZ0						
動作	-				-				0 ウェイト				3 ウェイト						
対象	SDRAM				VSB_RAM				SRAM				フラッシュ ROM						

(17) バス・サイクル・コントロール・レジスタ (BCC)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BCC	BC 71	BC 70	BC 61	BC 60	BC 51	BC 50	BC 41	BC 40	BC 31	BC 30	BC 21	BC 20	BC 11	BC 10	BC 01	BC 00	1FFFF488H	FFFFH	R/W
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		0001H	
対象 CS	CSZ7		CSZ6		CSZ5		CSZ4		CSZ3		CSZ2		CSZ1		CSZ0				
動作	0		0		0		0		0		-		0		1				
対象	未使用		未使用		未使用		未使用		SDRAM		VSB_RAM		SRAM		フラッシュ ROM				

(18) アドレス設定ウェイト制御レジスタ (ASC)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASC	AC 71	AC 70	AC 61	AC 60	AC 51	AC 50	AC 41	AC 40	AC 31	AC 30	AC 21	AC 20	AC 11	AC 10	AC 01	AC 00	1FFFF48AH	FFFFH	R/W
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0000H	
対象 CS	CSZ7		CSZ6		CSZ5		CSZ4		CSZ3		CSZ2		CSZ1		CSZ0				
動作	0		0		0		0		-		-		0		0				
対象	未使用		未使用		未使用		未使用		SDRAM		VSB_RAM		SRAM		フラッシュ ROM				



(19) ローカル・バス・サイジング・コントロール・レジスタ (LBS)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W			
LBS	LB 71	LB 70	LB 61	LB 60	LB 51	LB 50	LB 41	LB 40	LB 31	LB 30	LB 21	LB 20	LB 11	LB 10	LB 01	LB 00	1FFFF48EH	0000H <sup>※</sup> 5555H/ AAAAH	R/W			
設定値	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0	1		00A9H				
対象 CS	CSZ7			CSZ6			CSZ5			CSZ4			CSZ3		CSZ2		CSZ1		CSZ0			
動作	-			-			-			-			32ビット		-		32ビット		16ビット			
対象	未使用			未使用			未使用			未使用			SDRAM		VSB_RAM		SRAM		フラッシュROM			

注 SLBS0 (SW1-2), SLBS1 (SW1-1) 端子で決定されます。外部 ROM から起動する場合は, 16 ビット幅で起動してください。このときの LBS の初期値は 5555H です。

(20) ページ ROM コンフィギュレーション・レジスタ (PRC)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRC	0	PR W2	PR W1	PR W0	0	0	0	0	0	0	0	0	MA 6	MA 5	MA 4	MA 3	1FFFF49AH	7000H	R/W
設定値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1		1001H	
動作	-			1ウエイト			-			-			1ページ=16ビット×8						

(21) SDRAM コンフィギュレーション・レジスタ 3 (SCR3)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCR3	LTC	LTM 2	LTM 1	LTM 0	0	0	0	WCF	BCW 1	BCW 0	SSO 1	SSO 0	RAW 1	RAW 0	SAW 1	SAW 0	1FFFF4ACH	30C0H	R/W
設定値	0	0	1	0	0	0	0	0	1	0	1	0	1	0	0	1		20A9H	
動作	通常	CL=2		-			-		2ウエイト		32ビット		RAW=13		SAW=9				

(22) SDRAM リフレッシュ・コントロール・レジスタ 3 (RFS3)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RFS3	REN	0	0	0	0	0	RCC 1	RCC 0	0	0	RIN 5	RIN 4	RIN 3	RIN 2	RIN 1	RIN 0	1FFFF4AEH	0000H	R/W
設定値	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0		800CH	
動作	許可	-			-			Cfac=32		-		RIN=12							

(23) ライト・イネーブル切り替えレジスタ (WREN)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WREN	0	0	0	0	0	0	0	SWREN	1FFFF8B0H	01H	R/W
設定値	0	0	0	0	0	0	0	1		01H	
兼用機能	BENZ0-BENZ3 / WRZ0-WRZ3										
機能選択	BENZ0-BENZ3										

## (24) レジスタ設定値一覧

表4-2 レジスタ設定値一覧

アドレス	レジスタ名称	レジスタ略称	設定例
1FFF F060H	チップ領域セレクト制御レジスタ0	CSC0	4827H
1FFF F062H	チップ領域セレクト制御レジスタ1	CSC1	設定せず
1FFF F066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	初期値利用
1FFF F06AH	キャッシュ領域指定レジスタ	BHC	設定せず
1FFF F06EH	NPB ストローブ・ウエイト・コントロール・レジスタ	VSWC	0042H
1FFF F44CH	ポート6モード・コントロール・レジスタ	PMC6	FFH
1FFF F44EH	ポート7モード・コントロール・レジスタ	PMC7	0BH
1FFF F450H	ポート8モード・コントロール・レジスタ	PMC8	設定せず
1FFF F452H	ポート9モード・コントロール・レジスタ	PMC9	FFH
1FFF F454H	ポート10モード・コントロール・レジスタ	PMC10	FFH
1FFF F480H	バス・サイクル・タイプ・コントロール・レジスタ0	BCT0	B089H
1FFF F482H	バス・サイクル・タイプ・コントロール・レジスタ1	BCT1	設定せず
1FFF F484H	データ・ウエイト・コントロール・レジスタ0	DWC0	0003H
1FFF F486H	データ・ウエイト・コントロール・レジスタ1	DWC1	設定せず
1FFF F488H	バス・サイクル・コントロール・レジスタ	BCC	0001H
1FFF F48AH	アドレス設定ウエイト制御レジスタ	ASC	0000H
1FFF F48CH	バス・サイクル周期制御レジスタ	BCP	設定せず
1FFF F48EH	ローカル・バス・サイジング・コントロール・レジスタ	LBS	00A9H
1FFF F494H	DMA フライパイ転送ウエイト・コントロール・レジスタ	FWC	設定せず
1FFF F496H	DMA フライパイ転送アイドル・コントロール・レジスタ	FIC	設定せず
1FFF F498H	バス・モード・コントロール・レジスタ	BMC	設定せず
1FFF F49AH	ページROM コンフィギュレーション・レジスタ	PRC	1001H
1FFF F4A4H	SDRAM コンフィギュレーション・レジスタ1	SCR1	設定せず
1FFF F4A6H	SDRAM リフレッシュ・コントロール・レジスタ1	RFS1	設定せず
1FFF F4ACH	SDRAM コンフィギュレーション・レジスタ3	SCR3	20A9H
1FFF F4AEH	SDRAM リフレッシュ・コントロール・レジスタ3	RFS3	800CH
1FFF F4B0H	SDRAM コンフィギュレーション・レジスタ4	SCR4	設定せず
1FFF F4B2H	SDRAM リフレッシュ・コントロール・レジスタ4	RFS4	設定せず
1FFF F4B8H	SDRAM コンフィギュレーション・レジスタ6	SCR6	設定せず
1FFF F4BAH	SDRAM リフレッシュ・コントロール・レジスタ6	RFS6	設定せず
1FFF F8B0H	ライト・イネーブル切り替えレジスタ	WREN	初期値利用

### 4.2.1 PFESiP/V850EP1 の起動手順

PFESiP/V850EP1 は、発振安定待ちおよび内蔵 PLL のロック待ちを完了すると、リセットが解除され命令フェッチを開始します。

PFESiP/V850EP1 の初期化は次に示すシーケンスで行ってください。

#### (1) 内蔵命令 RAM を利用しない場合 (終始外部メモリで命令フェッチ)

リセット解除後、外部メモリの 0000 0000H 番地から命令フェッチを開始します。実行プログラムで、まずは外部バス・アクセス性能に影響する次に示すレジスタの設定を行ってください。

なお、パワーオン状態でのリセット入力によっても、0000 0000H 番地からフェッチを開始します。

- ・ NPB ストローブ・ウエイト・コントロール・レジスタ (VSWC)  
内蔵周辺 I/O (NPB) アクセスのウエイト設定
- ・ データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1)  
外部バスのデータ・ウエイト設定
- ・ アドレス設定ウエイト・コントロール・レジスタ (ASC)  
外部バスのアドレス・セットアップ・ウエイト設定
- ・ バス・サイクル制御レジスタ (BCC)  
外部バスのアイドル・ステート設定

また、必要に応じてチップ領域セレクト制御レジスタ 0, 1 (CSC0, CSC1), バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1), ローカル・バス・サイジング・コントロール・レジスタ (LBS), ページ ROM コンフィギュレーション・レジスタ (PRC) などを設定してください。

	操作手順
	システム・リセット解除後、外部メモリからブート開始
	通常プログラム起動

**(2) 内蔵命令 RAM 無効 内蔵命令 RAM 有効:(プログラム実行中に変更)**

リセット解除後、外部メモリの 0000 0000H 番地から命令フェッチを開始します。

実行プログラムで、まずは外部バス・アクセス性能に影響する次に示すレジスタの確認 / 設定を行ってください。

命令 RAM (iLB\_RAM) は無効になっているため、CPU (NBA85E2S) からアクセスできませんが、CPU (NBA85E2S) に接続している DMAC (NBA85E300) は、外部 DMA アドレッシング・コントロール・レジスタ DMXADCn (n = 0-3) 内の DMA 転送先設定を命令 RAM (iLB\_RAM) に指定することができます。転送先を命令 RAM (iLB\_RAM) に指定した場合、命令 RAM (iLB\_RAM) に対して DMA 転送ができます。

この機能を利用して、CPU (NBA85E2S) の起動時には外部メモリから起動し、外部メモリの内容を命令 RAM (iLB\_RAM) に転送します。転送終了後、iLB RAM コントロール・レジスタで命令 RAM (iLB\_RAM) を有効に設定し、0000 0000H 番地へジャンプすることで、命令 RAM (iLB\_RAM) から命令フェッチを開始します。

また、V850E2 アーキテクチャは、データ RAM (dLB\_RAM) 領域からのプログラム実行が可能です。外部メモリから命令 RAM (iLB\_RAM) への DMA 転送プログラムの実行や、iLB RAM コントロール・レジスタ (ILBEN) での内部命令 RAM (iLB\_RAM) の再設定は、データ RAM (dLB\_RAM) で実行します。

0000 0000H 番地から命令フェッチする時、iLB RAM コントロール・レジスタの設定を確認することで、命令 RAM (iLB\_RAM) ヘダウンロードの前後が判定できます。

- ・ iLB RAM コントロール・レジスタ (ILBEN)
  - 命令 RAM (iLB\_RAM) 領域 (iLB0 領域) の確認
- ・ NPB ストローブ・ウエイト・コントロール・レジスタ (VSWC)
  - 内蔵周辺 I/O (NPB) アクセスのウエイト設定
- ・ データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1)
  - 外部バスのデータ・ウエイト設定
- ・ アドレス設定ウエイト・コントロール・レジスタ (ASC)
  - 外部バスのアドレス・セットアップ・ウエイト設定
- ・ バス・サイクル制御レジスタ (BCC)
  - 外部バスのアイドル・ステート設定

また、必要に応じてチップ領域セレクト制御レジスタ 0, 1 (CSC0, CSC1), バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1), ローカル・バス・サイジング・コントロール・レジスタ (LBS), ページ ROM コンフィギュレーション・レジスタ (PRC) などを設定してください。

操作手順	
	システム・リセット解除後，外部 ROM からブート開始
	iLB RAM コントロール・レジスタ (ILBEN) の iLB0E を判定 (iLB0E = 0)
	外部 ROM 内容を命令 RAM (iLB_RAM) に転送するプログラムをデータ RAM (dLB_RAM) 領域に転送
	データ RAM (dLB_RAM) の転送プログラムにジャンプ
	外部メモリの 0000 0000H-0002 FFFFH の内容を，命令 RAM (iLB_RAM) 領域の 0000 000H-0002 FFFFH に DMA 転送
	iLB RAM コントロール・レジスタ (ILBEN) の iLB0E を 1 に設定 (書き込み後，ILBEN レジスタをベリファイ)
	0 番地にジャンプ後，内蔵命令 RAM (iLB_RAM) からブート開始
	iLB RAM コントロール・レジスタ (ILBEN) の iLB0E を判定 (iLB0E = 1)
	通常プログラム起動

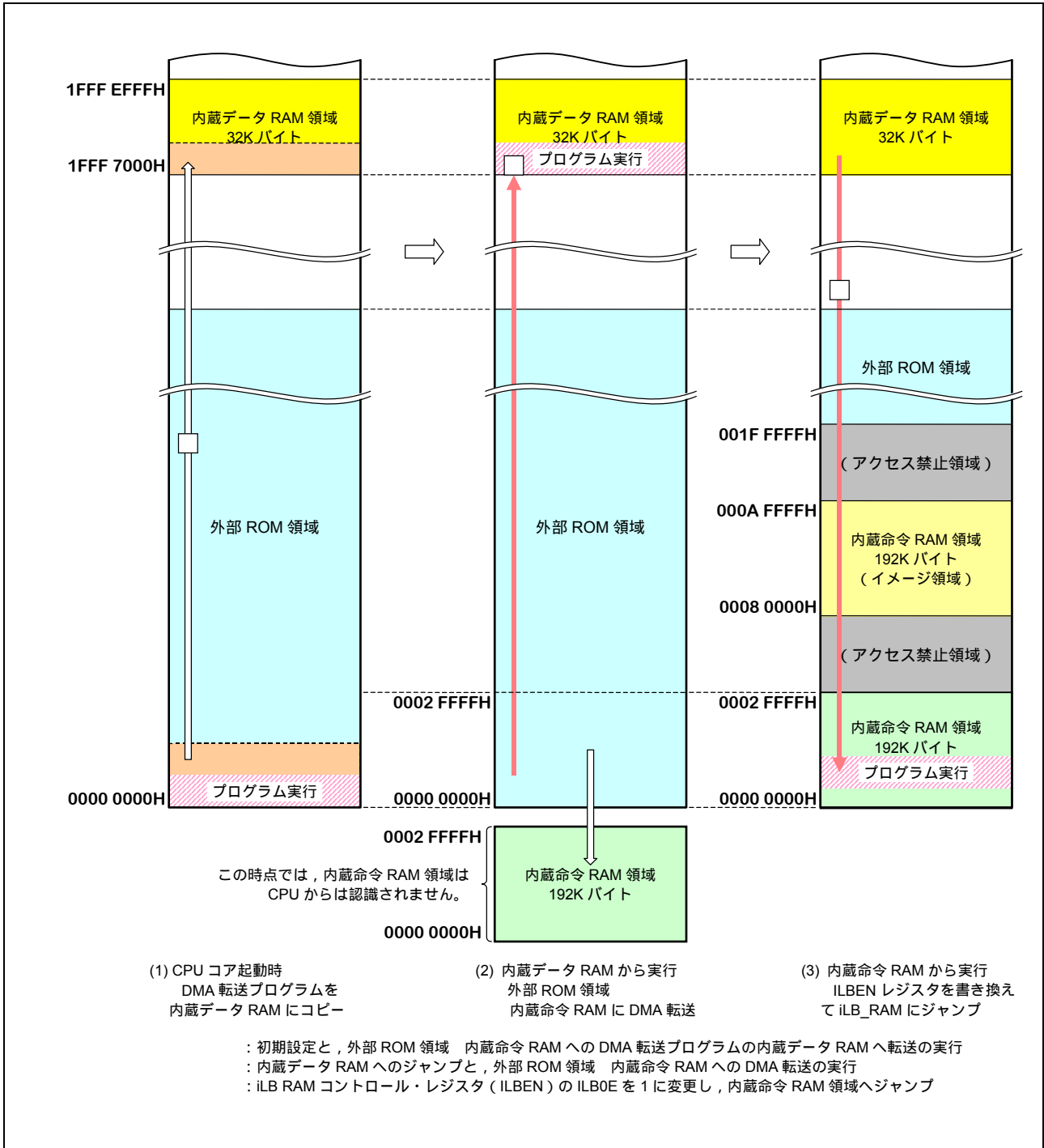
**注意** SDRAM コンフィギュレーション・レジスタ 1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) の設定は処理以降で行ってください。

**備考** 割り込み禁止 (DI 状態) 中に発生したマスカブル割り込み要求は，保留されています。

マスカブル割り込み要求は，割り込み要求をクリア (割り込み制御レジスタ (xxICn) の xxIFn ビットをクリア (0)) していない，割り込み制御レジスタの xxMKn ビットがセット (1) されていない場合は，割り込み許可状態 (EI 状態) に設定した直後に受け付けられます。ただし，保留される割り込み要求は，同一の割り込み要因に対し 1 つだけであり，同一の割り込み要求が 2 回以上発生していても，受け付けられるのは 1 回のみです。

以下に，外部 ROM の内容を，命令 RAM (iLB\_RAM) にコピーして実行する例を示します。

図4 - 1 外部ROMから命令RAM (iLB\_RAM) への転送



## 第5章 拡張コネクタの利用方法

PFESiP EP-1 Evaluation Board には、3 種類の拡張コネクタがあります。

このうち、CN6, CN7, CN9 は、MICROSSP Evaluation Board #1/ MICROSSP Evaluation Board #3 互換のコネクタです。また、本ボード同士をスタックするためのコネクタ (MICTOR プラグ) があります。

コネクタ形状注	端子数	コネクタ No.	シグナル数	
				小計
AMP MICTOR レセクタブル	152 × 3 = 456	CN6	MEMC I/F 専用 91 本	112 本
			FPGA クロック専用 1 本	
			FPGA 汎用 20 本 すべて CN8 と兼用	
		CN7	FPGA 汎用 109 本 うち 12 本 CN10 と兼用	110 本
			VBCLKOUT 1 本	
		CN9	FPGA 汎用 111 本	112 本
DONE 信号 1 本 <sup>注</sup>				
汎用 50 ピン・コネクタ	50 × 2 = 100	CN8	FPGA 汎用 40 本 うち 20 本は CN6 と兼用	40 本
		CN10	FPGA 汎用 40 本 うち 12 本は CN7 と兼用	40 本
汎用 50 ピン・コネクタ	50 × 2 = 100	CN11	PFESiP/V850EP1 I/O 用	40 本
		CN12	PFESiP/V850EP1 I/O 用	40 本
AMP MICTOR プラグ	152 × 2 = 304	CN13	CN7 同じ信号を配置。 ただし、VBCLKOUT 出力なし。電源供給なし。	109 本
		CN14	CN9 同じ信号を配置。ただし、電源供給なし。	112 本

注 量産品については、上記のコネクタの一部のみを実装する場合があります。

**注意** 拡張ボードから出力される FPGA の DONE 信号はオープン・ドレーンの信号で出力する必要があります。

本ボードの FPGA の DONE 信号、および下にスタックされる評価ボードの DONE 信号とワイヤード OR 接続されています。

多数のオンボード FPGA の GPIO が、拡張コネクタに接続されています。したがって、オンボード FPGA により任意の信号をコネクタに接続することができます。ただし、信号線の距離により動作速度が低下するので注意してください。なお、汎用 50 ピン・コネクタと他のコネクタを併用する場合は、スタック高に注意してください。また、コネクタ同士で兼用している信号に注意してください。

**備考** PFESiP EP-1 Evaluation Board は、従来の MICROSSP Evaluation Board #1 と互換の拡張コネクタを持っています。オンボード FPGA のプログラミングにより、MICROSSP Evaluation Board #1 用に開発されたスタック・ボードを PFESiP EP-1 Evaluation Board でも利用できます。

## 5.1 AMP MICTOR コネクタ (CN6, CN7, CN9, CN13, CN14)

PFESiP/V850EP1 の外部バス・インタフェース, FPGA 汎用信号が接続されています。

このコネクタを利用したスタック・ボードを開発することで, メモリ・マップトの外部デバイスの増設や, ユーザ・システムに接続するためのインタフェース回路構築が可能です。

CN6, CN7, CN9, CN13, CN14 には, 以下の信号が接続されています。

コネクタ No.	接続信号	本数
CN6 (152 ピン)	外部メモリ・インタフェース信号	90 本
	バス・リセット出力 (VBRESTOZ) 信号	1 本
	FPGA 用外部クロック入力信号	1 本
	FPGA 汎用信号	20 本
	GND	28 本
	+ 5.0 V 電源	6 本
	+ 3.3 V 電源	6 本
CN7, CN13 (152 ピン)	FPGA 汎用信号	109 本
	GND	28 本
	VBCLKOUT (CN13 には未接続, オープン)	1 本
	+ 5.0 V 電源	7 本
	+ 3.3 V 電源	7 本
CN9, CN14 (152 ピン)	FPGA 汎用信号	111 本
	GND	28 本
	DONE3 (スタック・ボード, 下の評価ボードからの FPGA の DONE 信号。各ボードからオープン・ドレインの信号で接続されています。リセット生成回路に接続。プルアップ ON/OFF 用の JP 付)	1 本
	+ 5.0 V 電源	6 本
	+ 3.3 V 電源	6 本

なお, AMP MICTOR コネクタに割り当てられている FPGA の一部の信号は, 簡易コネクタ (CN8, CN10) と兼用されています。同時に両方のコネクタを使用する場合は注意してください。



### 5.1.1 対応プラグ

PFESiP EP-1 Evaluation Board の上に、他のボードをスタックする場合には、下記の対応プラグを検討してください。

コネクタには、AMP 製 MICTOR 2-767004-5 (152 ピン・レセクタブル) を 2 個使用しています。

AMP 製 MICTOR 2-767004-5 (152 ピン・レセクタブル) に対応するプラグは、スタック高の選択のために、下記の表を参考にプラグを選択してください。

品 名	ボード面からの高さの合計
1-767005-1	約 12.5 mm
5767042-4	約 18.75
5767017-4	約 22.86 mm

**備考** 詳細は、タイコ エレクトロニクス アンブ株式会社殿にお問合せください。

### 5.1.2 ボード・スタック時のレセクタブル

PFESiP EP-1 Evaluation Board を、同一コネクタ規格の他のボードの上にスタックする場合には、下記の対応レセクタブルを検討してください。

以下は、PFESiP EP-1 Evaluation Board 同士をスタックした場合に、PFESiP/V850EP1 やオンボード FPGA の実装状態による干渉を検討したものです。実際のスタックにあたっては、その他の突起物にも配慮してください。

品 番	勘合長	PFESiP/V850EP1 の搭載状態		FPGA の搭載状態	
		ソケット実装	デバイス実装	ソケット実装	デバイス実装
5767017-4	約 22.86 mm	スタック可	スタック可	スタック可	スタック可
5767042-4	約 18.75 mm	スタック可	スタック可	スタック不可	スタック可
1-5767005-1	約 12.57 mm	スタック不可	スタック可	スタック不可	スタック可

### 5.1.3 コネクタの信号割り当て

(1) CN6 ... 外部メモリ・インタフェース+FPGA 汎用

表5-1 CN6 (MICTOR) ピン配置

No.	信号名	信号名	No.
1	GND	RDZ	2
3	WRSTBZ	BENZ0_WRZ0	4
5	BENZ1_WRZ1	GND	6
7	BENZ2_WRZ2	BENZ3_WRZ3	8
9	A25_P65	A24_P64	10
11	GND	A23_P63	12
13	A22_P62	A21_P61	14
15	A20_P60	GND	16
17	A19	A18	18
19	A17	A16	20
21	GND	A15	22
23	A14	A13	24
25	A12	GND	26
27	A11	A10	28
29	A9	A8	30
31	GND	A7	32
33	A6	A5	34
35	A4	GND	36
37	A3	A2	38
39	A1_P67	A0_P66	40
41	GND	D0	42
43	D1	D2	44
45	D3	GND	46
47	D4	D5	48
49	D6	D7	50
51	GND	D8	52
53	D9	D10	54
55	D11	GND	56
57	D12	D13	58
59	D14	D15	60
61	GND	D16_P90	62
63	D17_P91	D18_P92	64
65	D19_P93	GND	66
67	D20_P94	D21_P95	68
69	D22_P96	D23_P97	70
71	GND	D24_P100	72
73	D25_P101	D26_P102	74
75	D27_P103	GND	76

右表に続く

左表から続く

77	D28_P104	D29_P105	78
79	D30_P106	D31_P107	80
81	GND	BCYSTZ	82
83	CSZ0	CSZ1_P71	84
85	CSZ2_P72	GND	86
87	CSZ3_P73	CSZ4_P74	88
89	CSZ5_P75	CSZ6_P76	90
91	GND	CSZ7_P77	92
93	SDCKE	SDRASZ	94
95	SDCASZ	GND	96
97	REFRQZ	Pull Up 10k	98
99	WAITZ	DQM0	100
101	GND	DQM1	102
103	DQM2	DQM3	104
105	SELFREFZ	GND	106
107	SDWEZ	BUSCLK	108
109	IOWRZ	IORDZ	110
111	GND	HLDKAZ	112
113	HLDQRZ	VBRESET0Z	114
115	CN_CLK	GND	116
117	GPIO220	GPIO221	118
119	GPIO222	GPIO223	120
121	GND	GPIO224	122
123	GPIO225	GPIO226	124
125	GPIO227	GND	126
127	GPIO228	GPIO229	128
129	GPIO230	GPIO231	130
131	GND	GPIO232	132
133	GPIO233	GPIO234	134
135	GPIO235	GND	136
137	GPIO236	GPIO237	138
139	GPIO238	GPIO239	140
141	+3.3 V	+5V	142
143	+3.3 V	+5V	144
145	+3.3 V	+5V	146
147	+3.3 V	+5V	148
149	+3.3 V	+5V	150
151	+3.3 V	+5V	152

(2) CN7 ... FPGA 汎用

表5-2 CN7, CN13 (MICTOR) ピン配置

No.	信号名	信号名	No.
1	GND	GPIO111	2
3	GPIO112	GPIO113	4
5	GPIO114	GND	6
7	GPIO115	GPIO116	8
9	GPIO117	GPIO118	10
11	GND	GPIO119	12
13	GPIO120	GPIO121	14
15	GPIO122	GND	16
17	GPIO123	GPIO124	18
19	GPIO125	GPIO126	20
21	GND	GPIO127	22
23	GPIO128	GPIO129	24
25	GPIO130	GND	26
27	GPIO131	GPIO132	28
29	GPIO133	GPIO134	30
31	GND	GPIO135	32
33	GPIO136	GPIO137	34
35	GPIO138	GND	36
37	GPIO139	GPIO140	38
39	GPIO141	GPIO142	40
41	GND	GPIO143	42
43	GPIO144	GPIO145	44
45	GPIO146	GND	46
47	GPIO147	GPIO148	48
49	GPIO149	GPIO150	50
51	GND	GPIO151	52
53	GPIO152	GPIO153	54
55	GPIO154	GND	56
57	GPIO155	GPIO156	58
59	GPIO157	GPIO158	60
61	GND	GPIO159	62
63	GPIO160	GPIO161	64
65	GPIO162	GND	66
67	GPIO163	GPIO164	68
69	GPIO165	GPIO166	70
71	GND	GPIO167	72
73	GPIO168	GPIO169	74
75	GPIO170	GND	76

左表から続く

77	GPIO171	GPIO172	78
79	GPIO173	GPIO174	80
81	GND	GPIO175	82
83	GPIO176	GPIO177	84
85	GPIO178	GND	86
87	GPIO179	GPIO180	88
89	GPIO181	GPIO182	90
91	GND	GPIO183	92
93	GPIO184	GPIO185	94
95	GPIO186	GND	96
97	GPIO187	GPIO188	98
99	GPIO189	GPIO190	100
101	GND	GPIO191	102
103	GPIO192	GPIO193	104
105	GPIO194	GND	106
107	GPIO195	GPIO196	108
109	GPIO197	GPIO198	110
111	GND	GPIO199	112
113	GPIO200	GPIO201	114
115	GPIO202	GND	116
117	GPIO203	GPIO204	118
119	GPIO205	GPIO206	120
121	GND	GPIO207	122
123	GPIO208	GPIO209	124
125	GPIO210	GND	126
127	GPIO211	GPIO212	128
129	GPIO213	GPIO214	130
131	GND	GPIO215	132
133	GPIO216	GPIO217	134
135	GPIO218	GND	136
137	GPIO219	STBUSCLK <sup>注</sup>	138
139	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	140
141	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	142
143	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	144
145	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	146
147	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	148
149	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	150
151	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	152

右表に続く

注 CN7 は PFESIP/V850EP1 の STBUSCLK と接続 , CN13 は FPGA に接続され信号名は STCK\_STBUSCLK です。また , 139 ピンから 152 ピンの +3.3 V と +5V も CN13 には供給せず , OPEN です。

(3) CN9 ... FPGA 汎用

表 5 - 3 CN9, CN14 (MICTOR) ピン配置

No.	信号名	信号名	No.
1	GND	GPIO0	2
3	GPIO1	GPIO2	4
5	GPIO3	GND	6
7	GPIO4	GPIO5	8
9	GPIO6	GPIO7	10
11	GND	GPIO8	12
13	GPIO9	GPIO10	14
15	GPIO11	GND	16
17	GPIO12	GPIO13	18
19	GPIO14	GPIO15	20
21	GND	GPIO16	22
23	GPIO17	GPIO18	24
25	GPIO19	GND	26
27	GPIO20	GPIO21	28
29	GPIO22	GPIO23	30
31	GND	GPIO24	32
33	GPIO25	GPIO26	34
35	GPIO27	GND	36
37	GPIO28	GPIO29	38
39	GPIO30	GPIO31	40
41	GND	GPIO32	42
43	GPIO33	GPIO34	44
45	GPIO35	GND	46
47	GPIO36	GPIO37	48
49	GPIO38	GPIO39	50
51	GND	GPIO40	52
53	GPIO41	GPIO42	54
55	GPIO43	GND	56
57	GPIO44	GPIO45	58
59	GPIO46	GPIO47	60
61	GND	GPIO48	62
63	GPIO49	GPIO50	64
65	GPIO51	GND	66
67	GPIO52	GPIO53	68
69	GPIO54	GPIO55	70
71	GND	GPIO56	72
73	GPIO57	GPIO58	74
75	GPIO59	GND	76

右表に続く

左表から続く

77	GPIO60	GPIO61	78
79	GPIO62	GPIO63	80
81	GND	GPIO64	82
83	GPIO65	GPIO66	84
85	GPIO67	GND	86
87	GPIO68	GPIO69	88
89	GPIO70	GPIO71	90
91	GND	GPIO72	92
93	GPIO73	GPIO74	94
95	GPIO75	GND	96
97	GPIO76	GPIO77	98
99	GPIO78	GPIO79	100
101	GND	GPIO80	102
103	GPIO81	GPIO82	104
105	GPIO83	GND	106
107	GPIO84	GPIO85	108
109	GPIO86	GPIO87	110
111	GND	GPIO88	112
113	GPIO89	GPIO90	114
115	GPIO91	GND	116
117	GPIO92	GPIO93	118
119	GPIO94	GPIO95	120
121	GND	GPIO96	122
123	GPIO97	GPIO98	124
125	GPIO99	GND	126
127	GPIO100	GPIO101	128
129	GPIO102	GPIO103	130
131	GND	GPIO104	132
133	GPIO105	GPIO106	134
135	GPIO107	GND	136
137	GPIO108	GPIO109	138
139	GPIO110	DONE3 <sup>注</sup>	140
141	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	142
143	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	144
145	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	146
147	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	148
149	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	150
151	+3.3 V <sup>注</sup>	+5V <sup>注</sup>	152

注 各ボードから FPGA の DONE 出力をオープン・ドレーン出力として、本信号にワイヤードします。また、139 ピンから 152 ピンの+3.3 V と+5V も CN13 には供給せず、OPEN です。

## 5.2 簡易コネクタ (CN8, CN10)

FPGA からの信号を簡単に入出力可能な 50 ピン・ヘッダ×2 が用意されています。

汎用的な 2.54 mm ピッチ×2 列のフラット・ケーブルが利用できます。

このコネクタは、FPGA に組み込んだ回路の確認用端子として利用することができます。

AMP MICTOR コネクタと比較すると、高速伝送には不向きですので、低速な機能評価などに使用してください。

また、電源は GND のみが接続されていますので、外部の回路には別途電源を供給してください。

表 5-4 簡易コネクタ (汎用 50 ピン) ピン配置

CN8 ピン配置				CN10 ピン配置			
No.	信号名	信号名	No.	No.	信号名	信号名	No.
1	GND	GPIO220	2	1	GND	GPIO260	2
3	GPIO221	GPIO222	4	3	GPIO261	GPIO262	4
5	GPIO223	GND	6	5	GPIO263	GND	6
7	GPIO224	GPIO225	8	7	GPIO264	GPIO265	8
9	GPIO226	GPIO227	10	9	GPIO266	GPIO267	10
11	GND	GPIO228	12	11	GND	GPIO268	12
13	GPIO229	GPIO230	14	13	GPIO269	GPIO270	14
15	GPIO231	GND	16	15	GPIO271	GND	16
17	GPIO232	GPIO233	18	17	GPIO272	GPIO273	18
19	GPIO234	GPIO235	20	19	GPIO274	GPIO275	20
21	GND	GPIO236	22	21	GND	GPIO276	22
23	GPIO237	GPIO238	24	23	GPIO277	GPIO278	24
25	GPIO239	GND	26	25	GPIO279	GND	26
27	GPIO240	GPIO241	28	27	GPIO280	GPIO281	28
29	GPIO242	GPIO243	30	29	GPIO282	GPIO283	30
31	GND	GPIO244	32	31	GND	GPIO284	32
33	GPIO245	GPIO246	34	33	GPIO285	GPIO286	34
35	GPIO247	GND	36	35	GPIO287	GND	36
37	GPIO248	GPIO249	38	37	GPIO111	GPIO112	38
39	GPIO250	GPIO251	40	39	GPIO113	GPIO114	40
41	GND	GPIO252	42	41	GND	GPIO115	42
43	GPIO253	GPIO254	44	43	GPIO116	GPIO117	44
45	GPIO255	GND	46	45	GPIO118	GND	46
47	GPIO256	GPIO257	48	47	GPIO119	GPIO120	48
49	GPIO258	GPIO259	50	49	GPIO121	GPIO122	50

### 5.3 PFESiP/V850EP1 ポート出力コネクタ (CN11, CN12)

PFESiP/V850EP1 のポート出力用に 50 ピン・ヘッダ×2 が用意されています。

汎用的な 2.54 mm ピッチ×2 列のフラット・ケーブルが利用できます。

出力されているポートは、CN6 (メモリ・コントローラの端子) に出力されているポートと、P154-P157 以外のポートです。

ポート P154-P157 は、CN15 のピン・ヘッダに接続されています。

表 5 - 5 CN11, CN12 に接続されている PFESiP/V850EP1 ポート

ポート名	兼用端子	ポート名	兼用端子
P00-P07	INTPZ0-INTPZ7	P110, P111	ETCLR0, ETCLR1
P10-P17	INTPZ8-INTPZ15	P112, P113	ETO0, ETO1
P20-P27	INTPZ16-INTPZ23	P114	EVTTRG
P30	RXD0	P115	DBINT
P31	TXD0	P116	ADTRG
P32	RXD1	P120-P123	TCZ0-TCZ3
P33	TXD1	P124-P127	DMAAKZ0-DMAAKZ3
P34	RXD2	P130-P133	DMARQZ0-DMARQZ3
P35	TXD2	P140	SCK0
P36	RXD3	P141	SI0
P37	TXD3	P142	SO0
P40-P43	TI0-TI3	P143	SCK1
P44-P47	TCLR0-TCLR3	P144	SI1
P50-P53	TO0-TO3	P145	SO1
P54, P55	ETIUD0, ETIUD1	P146-P147	PWMO0-PWMO1
P56, P57	ETCUD0, ETCUD1	P150-P153	INTPZ24-INTPZ27

表 5 - 6 簡易コネクタ (汎用 50 ピン) ピン配置

CN11 ピン配置				CN12 ピン配置			
No.	信号名	信号名	No.	No.	信号名	信号名	No.
1	GND	P130	2	1	GND	P50	2
3	P131	P132	4	3	P51	P52	4
5	P133	GND	6	5	P53	GND	6
7	P120	P121	8	7	P54	P55	8
9	P122	P123	10	9	P56	P57	10
11	GND	P124	12	11	GND	P00	12
13	P125	P126	14	13	P01	P02	14
15	P127	GND	16	15	P03	GND	16
17	P150	P151	18	17	P04	P05	18
19	P152	P153	20	19	P06	P07	20
21	GND	P110	22	21	GND	P140	22
23	P111	P112	24	23	P141	P142	24
25	P113	GND	26	25	P143	GND	26
27	P114	P115	28	27	P144	P145	28
29	P116	P10	30	29	P146	P147	30
31	GND	P11	32	31	GND	P30	32
33	P12	P13	34	33	P31	P32	34
35	P14	GND	36	35	P33	GND	36
37	P15	P16	38	37	P34	P35	38
39	P17	P40	40	39	P36	P37	40
41	GND	P41	42	41	GND	P20	42
43	P42	P43	44	43	P21	P22	44
45	P44	GND	46	45	P23	GND	46
47	P45	P46	48	47	P24	P25	48
49	P47	P47	50	49	P26	P27	50

## 5.4 PFESiP/V850EP1 P154-P157 ヘッダ (CN15)

CN11, CN12 で対応できない P154-P157 は, CN15 に接続されています。

表 5 - 7 ピン・ヘッダ (CN15) のピン配置

CN15 ピン配置			
No.	信号名	信号名	No.
1	P154	P155	2
3	P156	P157	4

## 第6章 エミュレーション用コネクタ

### 6.1 N-Wire インタフェース

位置

参照用外観図 B-1

PFESiP/V850EP1 は、オンチップ・デバッグ機能 ( Debug Control Unit : DCU ) を内蔵しています。

この DCU と、N-Wire 対応インサーキット・エミュレータを接続するためのコネクタとして、AMP 製 MICTOR コネクタ ( 2-5767004-2 ) を搭載しています。

PFESiP/V850EP1 に内蔵されている DCU のトレース機能は、フル機能で 8 ビット・トレースが可能です。

インサーキット・エミュレータにマイダス・ラボ製 RTE-2000-TP を利用する場合は、接続ケーブルは RTE-NEC/MICTOR38-2K です。また RTE-2000H-TP を利用する場合は、接続ケーブルは PB-JTAG-N-A36 です。

インサーキット・エミュレータには、横河デジタルコンピュータ製の advicePLUS YN601、京都マイクロコンピュータ製の PARTNER-Jet も利用できます。<sup>注1</sup>

トレースを利用しない場合には、安価な NEC エレクトロニクス製の MINI CUBE ( QB-V850MINI ) も利用できません。<sup>注2</sup>

注 1. PARTNER-Jet の場合、トレース本数は 4 本になります。

2. PARTNER-JeT と PFESiP EP-1 Evaluation Board の接続には、京都マイクロコンピュータ株式会社の NEC N-Wire プローブ ( 型番 : JETMIPSNWC ) と、N-Wire to MICTOR ( 型番 : CMIPN-MI ) が必要です。

3. QB-V850MINI と PFESiP EP-1 Evaluation Board の接続には、住友重機械メカトロニクス株式会社の Mictor Adaptor ( B-137A : ストレート品 ) が必要になります、B-137 : ライトアングル品は使用できません。

下記の URL の「IE-V850E1-CD-NW 用オプション FAX 注文表」からお買い求めください。

<http://www.shi-mechatronics.jp/products/zax/index.html>

備考 1. RTE-2000-TP の使用方法については、株式会社マイダス・ラボの代理店にお問い合わせください。

2. advicePLUS の使用方法については、横河デジタルコンピュータ株式会社にお問い合わせください。

3. PARTNER-Jet の使用方法については、京都マイクロコンピュータ株式会社にお問い合わせください。

4. PARTNER-Jet には、デバッガとして PARTNER が添付されています。

5. QB-V850MINI に関するドキュメントは、下記の URL から入手できます。

<http://www.necel.com/cgi-bin/nesdis/o003.cgi?article=QB-V850MINI>

6. QB-V850MINI には、デバッガとして ID-850QB が添付されています。



表 6 - 1 N-Wire コネクタ (CN1)

用途	ピン番号	信号名
GND	1	GND
PFESiP/V850EP1 (DCK)	3	DCK
PFESiP/V850EP1 (DMS)	5	DMS
PFESiP/V850EP1 (DDI)	7	DDI
PFESiP/V850EP1 (DDO)	9	DDO
オープン	11	Reserved 1
オープン	13	Reserved 2
オープン	15	Reserved 3
PFESiP/V850EP1 (TRCCLK)	17	TRCCLK
PFESiP/V850EP1 (TRCEND)	19	TRCEND
PFESiP/V850EP1 (TRCDATA0)	21	TRCDATA0
PFESiP/V850EP1 (TRCDATA1)	23	TRCDATA1
PFESiP/V850EP1 (TRCDATA2)	25	TRCDATA2
PFESiP/V850EP1 (TRCDATA3)	27	TRCDATA3
PFESiP/V850EP1 (TRCDATA4)	29	TRCDATA4
PFESiP/V850EP1 (TRCDATA5)	31	TRCDATA5
PFESiP/V850EP1 (TRCDATA6)	33	TRCDATA6
PFESiP/V850EP1 (TRCDATA7)	35	TRCDATA7
GND	37	GND

信号名	ピン番号	用途
GND	2	GND
V <sub>DD</sub>	4	3.3 V
DRSTZ	6	PFESiP/V850EP1 (DRST)
PORT0_OUT	8	PFESiP/V850EP1 (P115)
PORT1_OUT	10	PFESiP/V850EP1 (RMODEZ)
PORT2_OUT	12	PFESiP/V850EP1 (EVIN)
PORT0_IN	14	PFESiP/V850EP1 (P114)
PORT1_IN	16	オープン
PORT2_IN	18	オープン
TRCCE	20	PFESiP/V850EP1 (TRCCE)
TRCDATA8	22	GND に接続
TRCDATA9	24	GND に接続
TRCDATA10	26	GND に接続
TRCDATA11	28	GND に接続
TRCDATA12	30	GND に接続
TRCDATA13	32	GND に接続
TRCDATA14	34	GND に接続
TRCDATA15	36	GND に接続
GND	38	GND

図6 - 1 RTE-2000-TPとの接続図 (RTE-NEC/MICTOR38-2K)

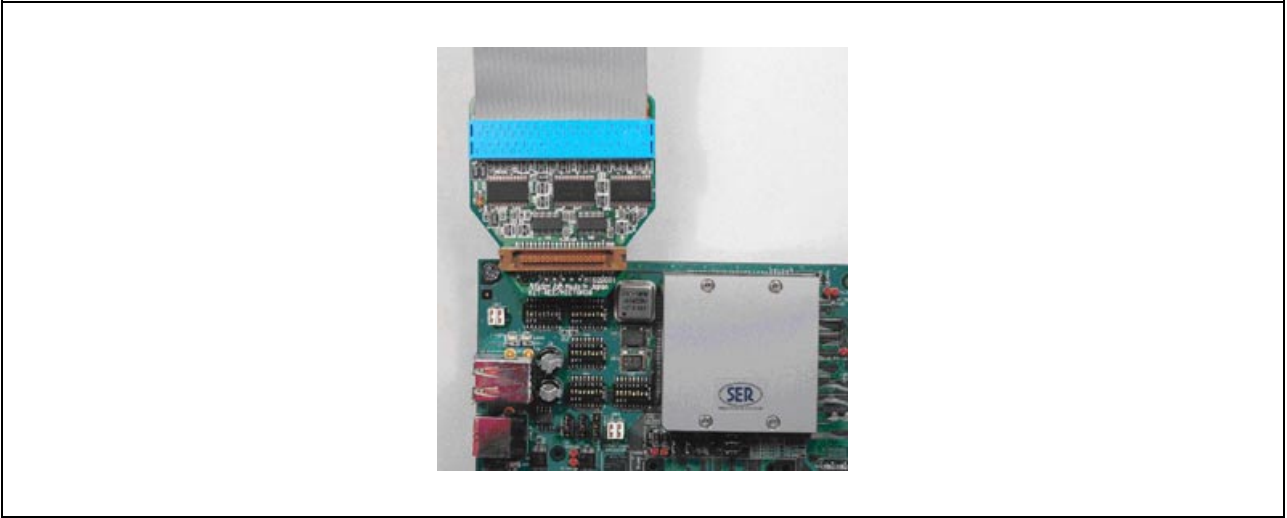


図6 - 2 RTE-2000H-TPとの接続図 (PB-JTAG-N-A36)

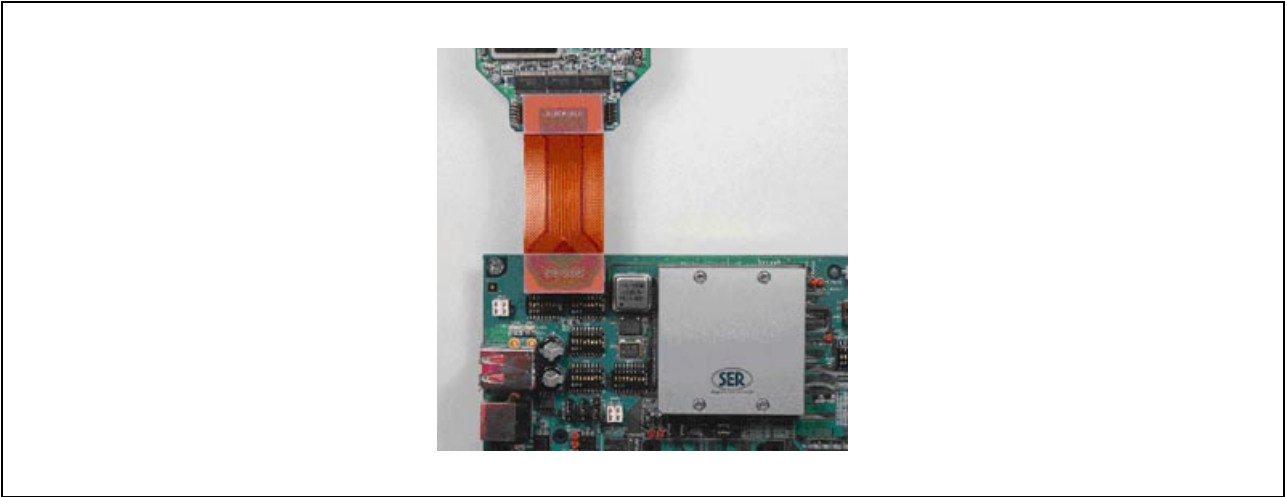
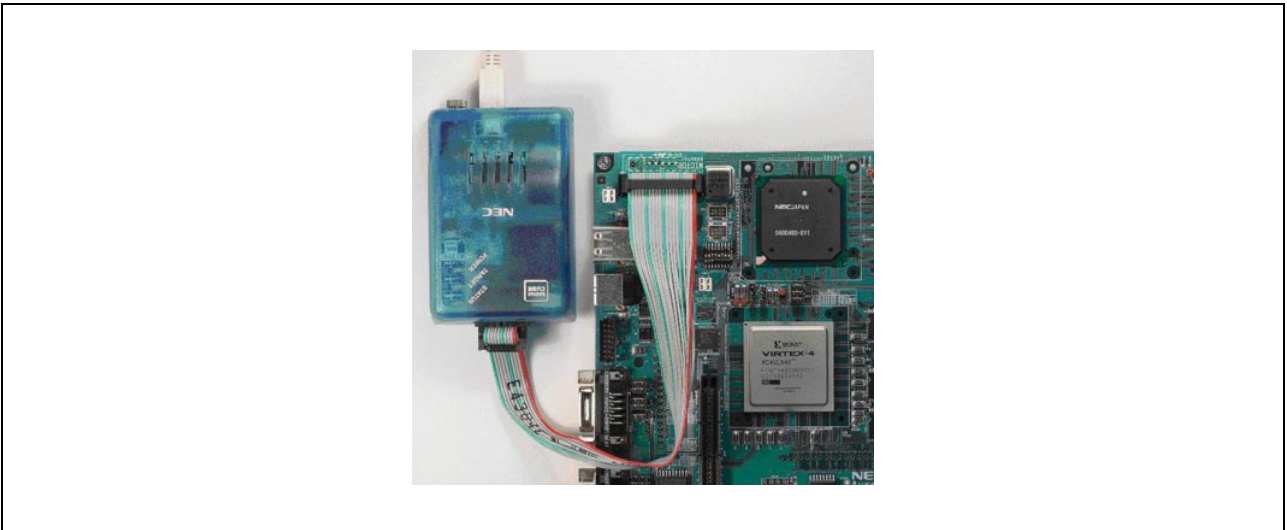


図6 - 3 MINI CUBEとの接続図 (QB-V850MINI + B-137A)



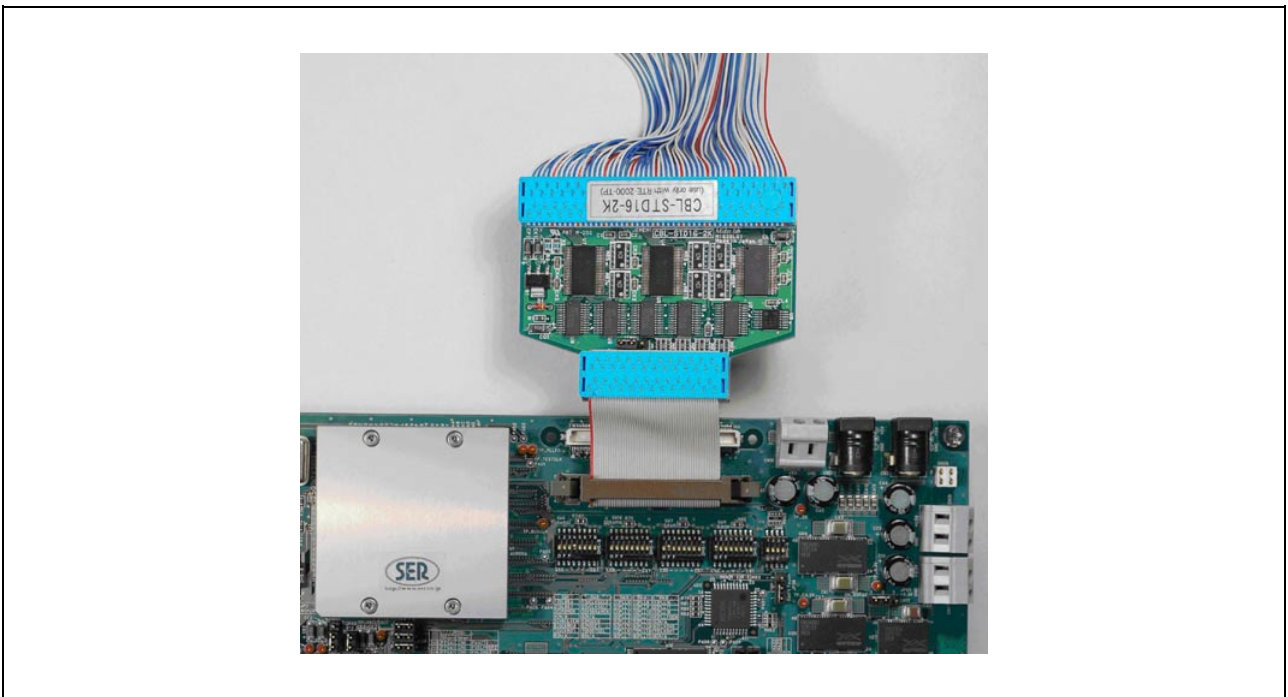
## 6.2 ROM ケーブル・コネクタ (for Midas)

**位置****参照用外観図 F-2**

PFESiP EP-1 Evaluation Board は、マイダス・ラボ製 RTE-2000-TP の ROM ケーブル・コネクタを搭載しています。ROM ケーブル・コネクタには、マイダス・ラボ製 CBL-STD16-2K を使用します。

ROM ケーブル・コネクタが接続された状態で、RTE-2000-TP と PFESiP EP-1 Evaluation Board の電源を投入すると、オンボードのフラッシュ ROM はディスエーブル状態になり、ROM ケーブル・コネクタが優先されます。

図6 - 4 RTE-2000-TPとの接続図 (ROMケーブル・コネクタ)



**注意** オンボードのフラッシュ ROM を利用する場合は、フラッシュ ROM への書き込みも含めて、ROM ケーブル・コネクタは接続しないでください。

ROM ケーブル・コネクタとオンボード・フラッシュ ROM は同一の空間に配置されており、排他的利用となります。また ROM ケーブル・コネクタが接続された状態で起動すると、オンボードのフラッシュ ROM 機能は利用できません。

**備考** ROM ケーブル・コネクタ、RTE-2000-TP の使用方法については、株式会社マイダス・ラボの代理店にお問い合わせください。

## 6.3 SDRAM バス・トレーサ・コネクタ (for advice)

位置

参照用外観図 F-1

PFESiP EP-1 Evaluation Board は、横河デジタルコンピュータ製 advicePLUS YN601 の SDRAM バス・トレーサ・コネクタを搭載しています。

図6 - 5 advicePLUS YN601との接続図 (SDRAMバス・トレーサ)



**備考** SDRAM バス・トレーサの使用方法については、横河デジタルコンピュータ株式会社にお問い合わせください。

## 第7章 オンボード大容量 FPGA

位置

参照用外観図 D-4

PFESiP EP-1 Evaluation Board は、PFESiP/V850EP1 ベースの PFESiPTM 開発支援ボードです。

SiP 内部で、PFESiP/V850EP1 とペアをなすエンベデッド・アレイ (EA-9HD) の機能は、オンボード FPGA に置き換えられます。特に、SiP 内部で接続される SiP 内部接続バスは、すべてオンボード FPGA に接続されています。

また、多数のオンボード FPGA の GPIO が、拡張コネクタに接続されており、オンボード FPGA により任意の信号をコネクタに接続することが可能です。

FPGA は、Xilinx 社製 Virtex-4 ファミリ LX シリーズです。標準で XC4VLX40FF1148-11 が搭載されます。

FPGA のコンフィグレーションは、Flash ROM (XCF32PFSG48C) で行い、プログラミングは、JTAG コネクタに Platform Cable USB を接続して、パーソナル・コンピュータ等から行います。また、XCF32PFSG48C を使用せずに直接 JTAG から FPGA にコンフィギュレーションすることもできます。

**備考** コンフィグレーション ROM2 の XCF08PFSG48C はオプションです。FPGA に XC4VLX160 を利用する場合のみ必要になります。この場合は、JP44 が 2-3 ショートの状態で出荷されます。

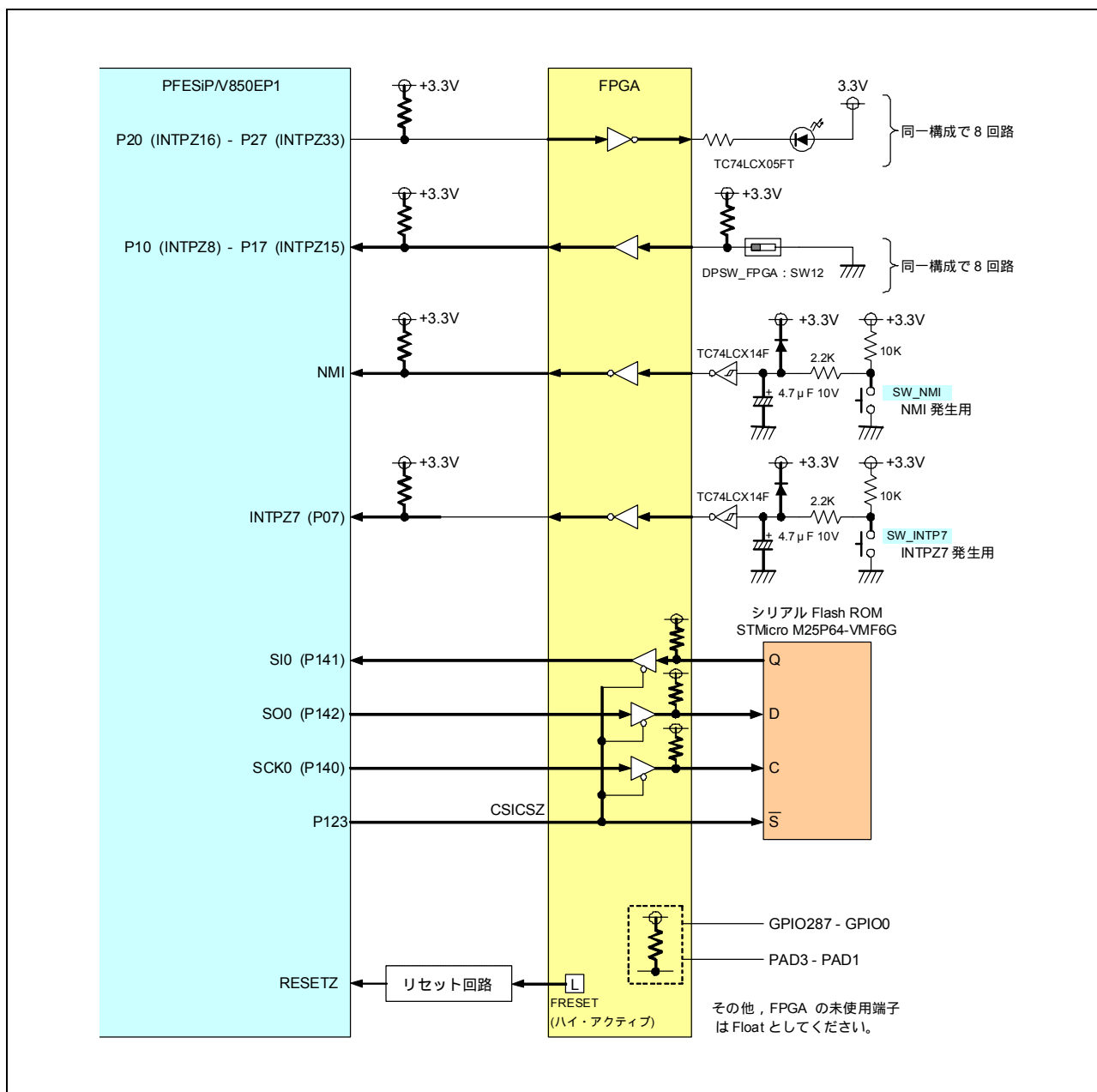
## 7.1 FPGA のデフォルト・プログラミング

FPGA は、PFESiP/V850EP1 + ユーザ ASIC (エンベデッド・アレイ (EA-9HD)) の応用評価を目的としています。出荷時設定は、最低限の機能のみがプログラミングされています。

P20-P27, P10-P17, NMI, INTPZ7 は、下記のように接続されています。これにより、PFESiP/V850EP1 から FPGA 経由で、LED の点灯、ディップ・スイッチ (FPGA\_DPSW : SW12) からのレベル入力が行えます。

またオンボードのシリアル ROM と、PFESiP/V850EP1 内蔵のクロック同期シリアル・インタフェースのチャンネル 0 が接続されています。

図7-1 FPGAのデフォルト・プログラミング



## 7.1.1 PFESiP/V850EP1 デフォルト・データの VerilogHDL ソース

デフォルト PFESiP/V850EP1Default1.v ファイル

(1/2)

```

//-----
//
// Library Name : AuroraDefault
// Unit Name : AuroraDefault
// Unit Type : Block Diagram
//
//-----

module AuroraDefault (NMI_IN, P2, P1, SROM_D, LED, INTPZ, SROM_Q, SROM_CLK,
                     SROM_S, GPIO, DIPSW, SW_INTP7, NMI_OUT, FRESET, PAD, CSICSZ, SCK, SO, SI
                     );

    inout SROM_D;
    wire SROM_D;
    inout SROM_Q;
    wire SROM_Q;
    inout SROM_CLK;
    wire SROM_CLK;
    inout SROM_S;
    wire SROM_S;
    input CSICSZ;
    wire CSICSZ;
    input [0:0] SCK;
    wire [0:0] SCK;
    input [0:0] SO;
    wire [0:0] SO;
    output [0:0] SI;
    wire [0:0] SI;

    inout [287:0] GPIO;
    wire [287:0] GPIO;
    inout [3:1] PAD;
    wire [3:1] PAD;

    output [8:1] LED;
    wire [8:1] LED;
    input [7:0] P2;
    wire [7:0] P2;
    output [7:0] P1;
    wire [7:0] P1;
    input [8:0] DIPSW;
    wire [8:0] DIPSW;
    output NMI_OUT;
    wire NMI_OUT;
    input NMI_IN;
    wire NMI_IN;
    output [7:7] INTPZ;
    wire [7:7] INTPZ;
    input SW_INTP7;
    wire SW_INTP7;
    output FRESET;
    wire FRESET;
    wire CSZ;

```

## デフォルト PFESiP/V850EP1Default1.v ファイル

(2/2)

```
assign LED[8:1] = ~ (P2[7:0]);

assign P1[7:0] = DIPSW[8:1];

assign NMI_OUT = ~ (NMI_IN);

assign INTPZ[7] = ~ (SW_INTP7);

assign FRESET = 1'b1;

assign SROM_CLK = (CSICSZ == 1'b0) ? SCK[0] : 1'bz;

assign SROM_S = CSICSZ;

assign SROM_D = (CSICSZ == 1'b0) ? SO[0] : 1'bz;

assign SI[0] = (CSICSZ == 1'b0) ? SROM_Q : 1'bz;

assign CSZ = 1'b0;

endmodule
```



## 7.2 FPGA のデフォルト・データ

オンボード FPGA のデフォルト・プログラミングについては、Xilinx 社製 ISE ソフトウェアに対応した設定ファイルが提供されます。

### 7.2.1 FPGA データ生成環境

FPGA は、Xilinx 社製 VirtexTM-4 ファミリ LX シリーズです。標準で XC4VLX40FF1148-11 が搭載されます。論理合成ツールおよび配置配線ツールのバージョンは以下の通りです。

配置配線ツール	ISE8.1
---------	--------

**注意** 論理合成ツールと、配置配線ツールは、上記の同一表内の組み合わせで使用してください。

### 7.2.2 ファイル説明

TOP ディレクトリは、PFESiP/V850EP1Default1 です。

主要ファイルのみ、表 7-1 で説明します。

表 7-1 TOP 直下のファイル説明

ファイル名	関係ツール	用途
AuroraDefault1.ise	ISE	ISE のプロジェクト・ファイルです。
AuroraDefault1.v	Editor 等	デフォルト・データの VerilogHDL ソースです。
AuroraDefault1.ucf	ISE	ピン配置情報、デバイス情報および各オプション設定の情報が格納されているファイルです。
AuroraDefault1.bit <sup>注</sup>	ISE	FPGA に直接ダウンロード可能なファイルです。
AuroraDefault1.mcs <sup>注</sup>	ISE	FPGA ダウンロード用 ROM に書き込むファイルです。

**注** 上記 bit ファイルは、新規作成した回路で ICE が立ち上がらなくなるなどのことを考慮し、バックアップしておくことを推奨します。

## 7.3 FPGA用プッシュ・スイッチ

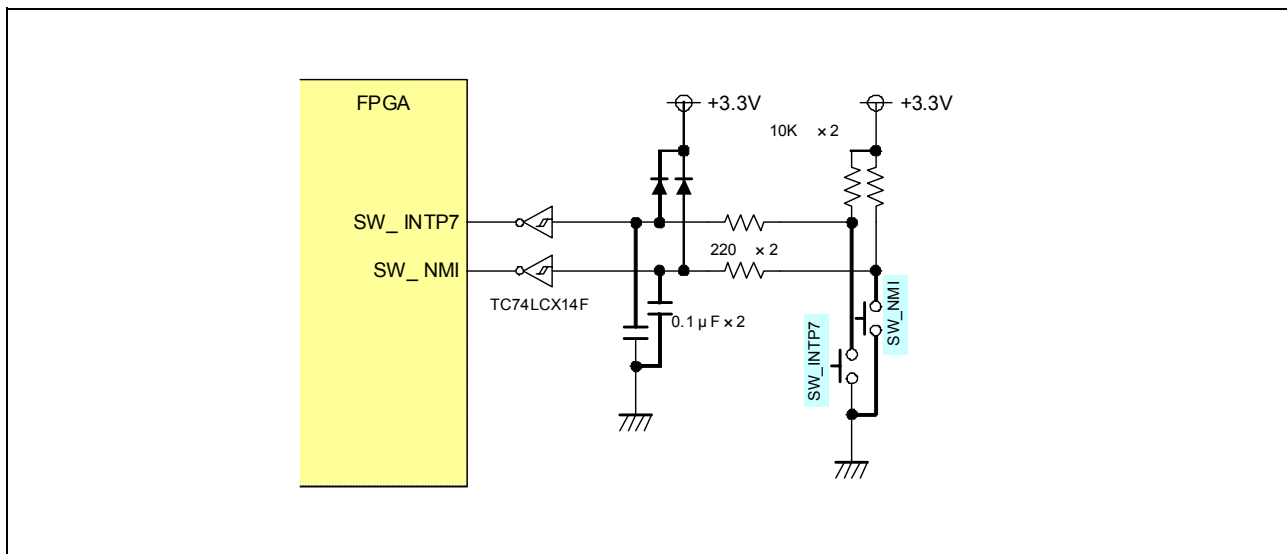
位置

参照用外観図 H-7

FPGAには、チャタリング防止回路を設けた2つのプッシュ・スイッチが接続されています。

FPGAのデフォルト回路として、NMIおよびINTP7にスイッチを接続しています。パワーオン時に、内部の初期化がチャタリング防止回路の電源立ち上がりより早い場合には、ブート時に割り込み要求フラグがセットされるため、初期化プログラムでは、全割り込み要求フラグをクリアするようにします。

図7-2 FPGA用プッシュ・スイッチ



## 7.4 FPGA 用 DIP スイッチ

位置

参照用外観図 H-5

FPGA には、DIP スイッチが接続されています。FPGA の内部接続により任意の信号で DIP スイッチの状態をサンプリング可能です。DIP スイッチが接続されている各端子は、外部でプルアップされており、DIP スイッチが ON の状態で、ロー・レベルが入力されます。スイッチ ON の状態で、ハイ・レベルを出力した場合に大電流が流れるのを防ぐために、1 kΩでダンピングしています。

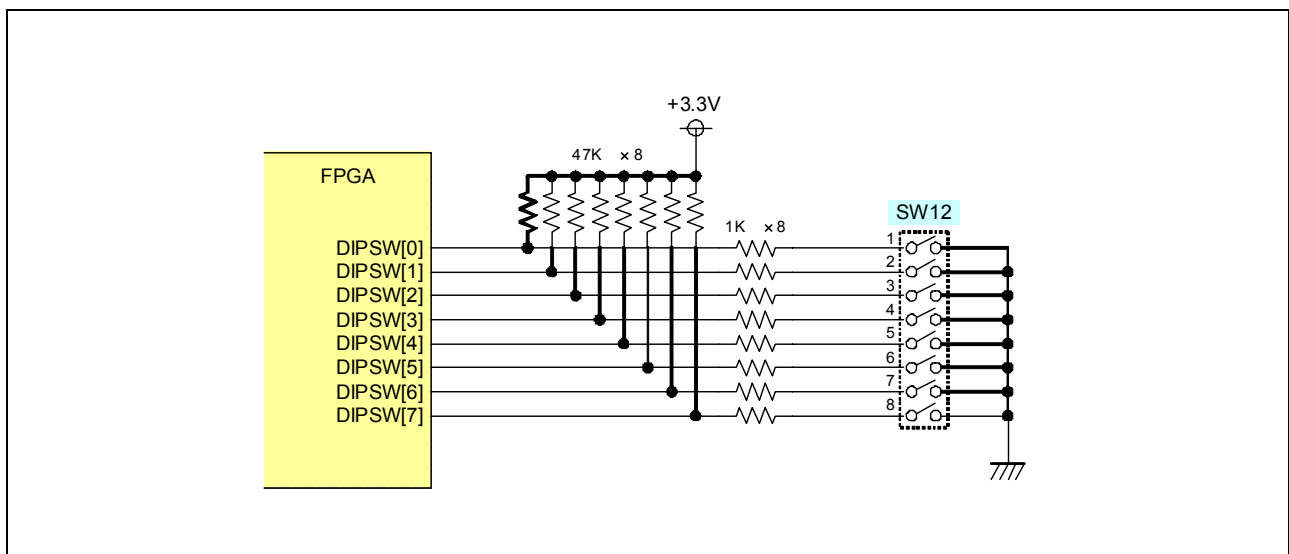
FPGA のデフォルト回路では、PFESiP/V850EP1 のポート 15 (P150-P157) に DIP スイッチを接続しています。

P150-P157 の設定を PMC15 レジスタでコントロール・モードに設定すると、外部割り込み信号 INTPZ24-INTPZ31 として機能します。ただし、チャタリング吸収回路はありません。

表 7-2 デフォルト・プログラムでの SW12 の動作

SW12	P15 ( P150-P157 / INTPZ24-INTPZ31 )
OFF	FFH
ON	00H

図 7-3 FPGA用DIPスイッチ



**注意** FPGA のデフォルト・プログラムの場合、絶対にポート 15 (P15) を出力モードに設定しないでください。

## 7.5 FPGA用LED

**位置**

**参照用外観図 E-3 ~ F-3**

FPGAには、LEDが接続されています。FPGAの内部接続により任意の信号でLED（緑）を点灯させることができます。FPGAのLED接続端子出力が”0”の場合にLEDが点灯します。

LED接続端子はプルアップされているため、FPGAがイニシャライズを行っている間は、LEDは点灯しません。

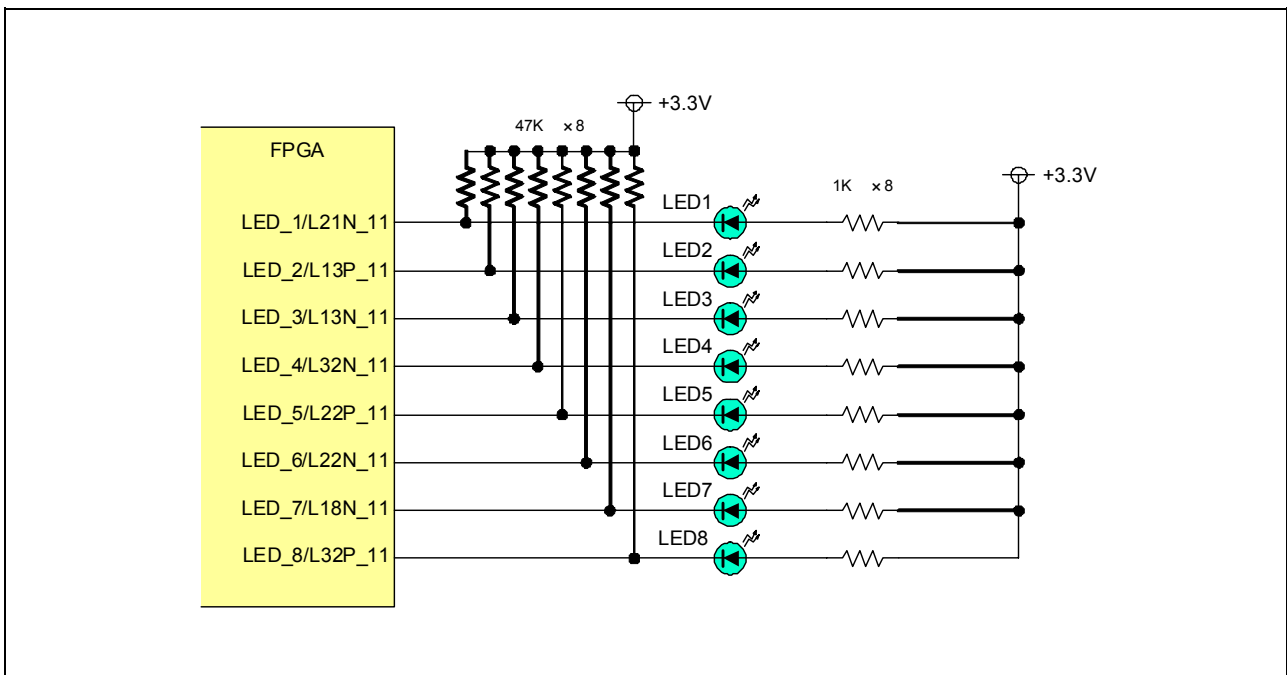
デフォルト・プログラミングの状態では、LEDはPFESiP/V850EP1のポート(P20-P27)に接続されており、FPGAのイニシャライズが完了すると、LEDは全点灯します。

このLEDを利用する場合は、PM2レジスタで、P20-P27を出力ポートに設定してください。

表7-3 デフォルト・プログラムでのLEDの動作

P20-P27	FPGAのLED(LED1-LED8)
00H	消灯
FFH	点灯

図7-4 FPGA用LED回路



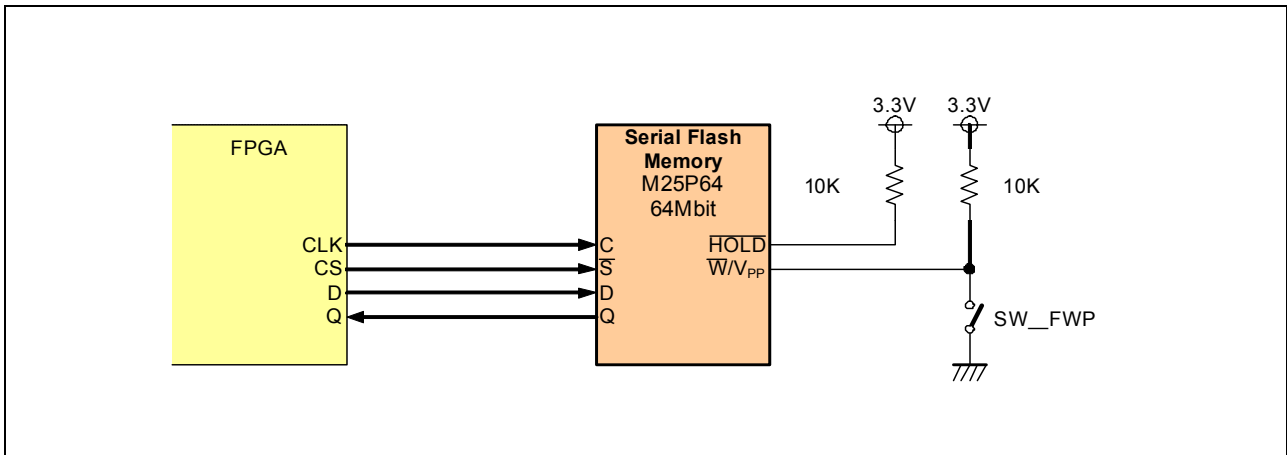
## 7.6 FPGA用シリアルROM

位置

参照用外観図 D-6

シリアルROMを用いた各種アプリケーション用として、FPGAにはSTマイクロエレクトロニクス社の64Mビット・シリアルROM (M25P64) を接続しています。

図7-5 シリアルROMの接続



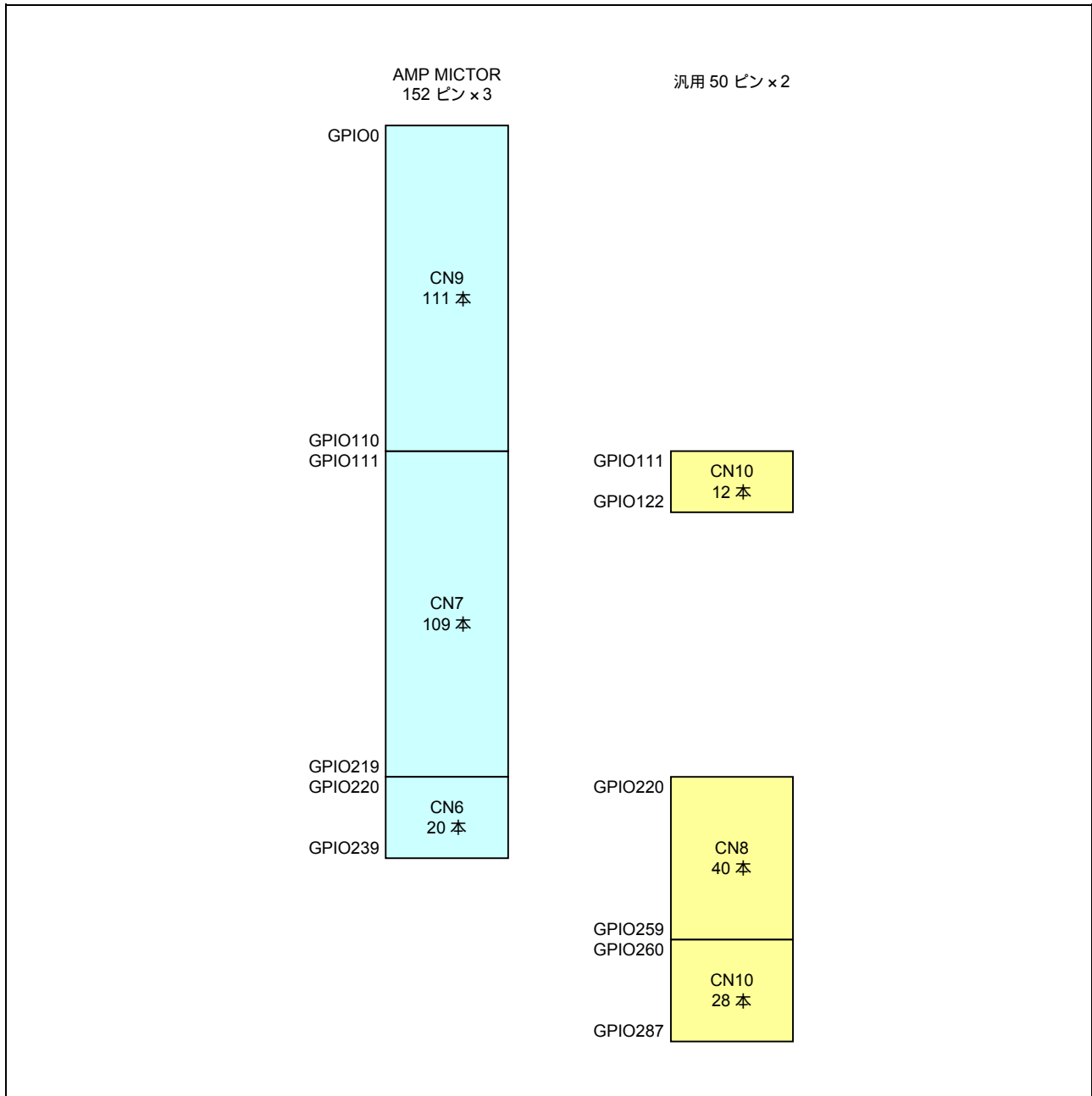
**備考** M25P64 の使用方法については、ST マイクロエレクトロニクス社にお問い合わせください。

## 7.7 FPGA と拡張コネクタの接続

FPGA から外部拡張用に汎用信号 (GPIO<sub>n</sub>) として、各拡張コネクタ (AMP MICTOR, 汎用 50 ピン・コネクタ) に接続されています。

いずれの FPGA を選択した場合でも、228 本の汎用信号 (GPIO<sub>n</sub>) を拡張コネクタとの接続用に利用できます。

図7-6 FPGA端子と拡張コネクタの割り当て



## 7.8 FPGA 端子接続一覧

信号名の      は、グローバル・クロックとして使用する信号です。

(1/17)

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
0	VCCO_0	T17									
0	VCCO_0	U14									
0	VCCO_0	V21									
0	VCCO_0	W18									
1	IO_L10N_GC_LC_1	N17		NC							
1	IO_L10P_GC_LC_1	M17		NC							
1	IO_L11N_GC_LC_1	D19		NC							
1	IO_L11P_GC_LC_1	E19		STBUSCLK							
1	IO_L12N_GC_VREF_LC_1	D17		NC							
1	IO_L12P_GC_LC_1	C17		P143	SCK1						CN12-25
1	IO_L13N_GC_LC_1	C18		NC							
1	IO_L13P_GC_LC_1	C19		BUSCLK					CN6-108		
1	IO_L14N_GC_LC_1	C15		NC							
1	IO_L14P_GC_LC_1	D16		P140	SCK0						CN12-22
1	IO_L15N_GC_LC_1	C20		NC							
1	IO_L15P_GC_LC_1	D20		VBCLKOUT							
1	IO_L16N_GC_CC_LC_1	N15		NC							
1	IO_L16P_GC_CC_LC_1	M16		NC							
1	IO_L17N_CC_LC_1	A20		NC							
1	IO_L17P_CC_LC_1	B20		NC							
1	IO_L18N_VRP_LC_1	L16		NC							
1	IO_L18P_VRN_LC_1	K16		NC							
1	IO_L19N_LC_1	L19		NC							
1	IO_L19P_LC_1	J20		NC							
1	IO_L1N_D30_LC_1	N18		NC							
1	IO_L1P_D31_LC_1	N19		NC							
1	IO_L20N_VREF_LC_1	J15		NC							
1	IO_L20P_LC_1	H15		NC							
1	IO_L21N_LC_1	H20		NC							
1	IO_L21P_LC_1	G21		NC							
1	IO_L22N_LC_1	F14		NC							
1	IO_L22P_LC_1	G15		NC							
1	IO_L23N_LC_1	F20		NC							
1	IO_L23P_LC_1	F21		NC							
1	IO_L24N_LC_1	B15		NC							
1	IO_L24P_LC_1	A15		NC							
1	IO_L2N_D28_LC_1	L14		NC							
1	IO_L2P_D29_LC_1	L15		NC							
1	IO_L3N_D26_LC_1	D21		NC							
1	IO_L3P_D27_LC_1	E21		NC							
1	IO_L4N_D24_VREF_LC_1	K14		NC							
1	IO_L4P_D25_LC_1	J14		NC							
1	IO_L5N_D22_LC_1	M20		NC							
1	IO_L5P_D23_LC_1	N20		NC							
1	IO_L6N_D20_LC_1	H13		NC							
1	IO_L6P_D21_LC_1	H14		NC							
1	IO_L7N_D18_LC_1	J21		NC							

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
1	IO_L7P_D19_LC_1	H22		NC							
1	IO_L8N_D16_CC_LC_1	G13		NC							
1	IO_L8P_D17_CC_LC_1	F13		NC							
1	IO_L9N_GC_LC_1	L18		NC							
1	IO_L9P_GC_LC_1	M18		NC							
1	VCCO_1	B19									
1	VCCO_1	C16									
1	VCCO_1	E20									
1	VCCO_1	G14									
1	VCCO_1	H21									
1	VCCO_1	K15									
1	VCCO_1	M19									
1	VCCO_1	N16									
2	IO_L10N_GC_LC_2	AF15		NC							
2	IO_L10P_GC_LC_2	AD16		NC							
2	IO_L11N_GC_LC_2	AP20		NC							
2	IO_L11P_GC_LC_2	AN20		EX_CLK			CN_CLK		CN6-115		
2	IO_L12N_GC_VREF_LC_2	AC17		NC							
2	IO_L12P_GC_LC_2	AD17		NC							
2	IO_L13N_GC_LC_2	AL19		NC							
2	IO_L13P_GC_LC_2	AM20		CLK2P			OSC4				
2	IO_L14N_GC_LC_2	AB16		NC							
2	IO_L14P_GC_LC_2	AB17		NC							
2	IO_L15N_GC_LC_2	AM18		NC							
2	IO_L15P_GC_LC_2	AL18		NC							
2	IO_L16N_GC_LC_2	AM16		NC							
2	IO_L16P_GC_LC_2	AM17		NC							
2	IO_L17N_LC_2	AD20		NC							
2	IO_L17P_LC_2	AD21		NC							
2	IO_L18N_LC_2	AL15		NC							
2	IO_L18P_LC_2	AM15		NC							
2	IO_L19N_LC_2	AL20		NC							
2	IO_L19P_LC_2	AJ20		NC							
2	IO_L1N_D14_CC_LC_2	AJ21		NC							
2	IO_L1P_D15_CC_LC_2	AJ22		NC							
2	IO_L20N_VREF_LC_2	AJ14		NC							
2	IO_L20P_LC_2	AJ15		NC							
2	IO_L21N_LC_2	AH20		NC							
2	IO_L21P_LC_2	AG20		NC							
2	IO_L22N_LC_2	AH14		NC							
2	IO_L22P_LC_2	AG15		NC							
2	IO_L23N_VRP_LC_2	AE19		NC							
2	IO_L23P_VRN_LC_2	AD19		NC							
2	IO_L24N_CC_LC_2	AK16		NC							
2	IO_L24P_CC_LC_2	AL16		NC							
2	IO_L2N_D12_LC_2	AB15		NC							
2	IO_L2P_D13_LC_2	AC15		NC							
2	IO_L3N_D10_LC_2	AH22		NC							
2	IO_L3P_D11_LC_2	AG22		NC							
2	IO_L4N_D8_VREF_LC_2	AK14		NC							
2	IO_L4P_D9_LC_2	AL14		NC							
2	IO_L5N_D6_LC_2	AF20		NC							



BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
2	IO_L5P_D7_LC_2	AG21		NC							
2	IO_L6N_D4_LC_2	AG13		NC							
2	IO_L6P_D5_LC_2	AF14		NC							
2	IO_L7N_D2_LC_2	AF21		NC							
2	IO_L7P_D3_LC_2	AE21		NC							
2	IO_L8N_D0_LC_2	AN15		NC							
2	IO_L8P_D1_LC_2	AP15		NC							
2	IO_L9N_GC_CC_LC_2	AB18		NC							
2	IO_L9P_GC_CC_LC_2	AC19		NC							
2	VCCO_2	AM19									
2	VCCO_2	AB19									
2	VCCO_2	AC16									
2	VCCO_2	AE20									
2	VCCO_2	AG14									
2	VCCO_2	AH21									
2	VCCO_2	AK15									
2	VCCO_2	AN16									
3	IO_L1N_GC_CC_LC_3	G18			A3				CN6-37		
3	IO_L1P_GC_CC_LC_3	F18			A2				CN6-38		
3	IO_L2N_GC_VRP_LC_3	J17		P60	A20				CN6-15		
3	IO_L2P_GC_VRN_LC_3	H17		P61	A21				CN6-14		
3	IO_L3N_GC_LC_3	H18			A4				CN6-35		
3	IO_L3P_GC_LC_3	H19			A6				CN6-33		
3	IO_L4N_GC_VREF_LC_3	E17		P63	A23				CN6-12		
3	IO_L4P_GC_LC_3	E18		P67	A1				CN6-39		
3	IO_L5N_GC_LC_3	K17		P66	A0				CN6-40		
3	IO_L5P_GC_LC_3	K18			A5				CN6-34		
3	IO_L6N_GC_LC_3	F16		P65	A25				CN6-09		
3	IO_L6P_GC_LC_3	E16			VBRESTOZ				CN6-114		
3	IO_L7N_GC_LC_3	J19			A7				CN6-32		
3	IO_L7P_GC_LC_3	K19			A8				CN6-30		
3	IO_L8N_GC_LC_3	G16		P64	A24				CN6-10		
3	IO_L8P_GC_LC_3	G17		P62	A22				CN6-13		
3	VCCO_3	F17									
3	VCCO_3	J18									
4	IO_L1N_GC_LC_4	AE18	PULLUP			GPIO194			CN7-105		
4	IO_L1P_GC_LC_4	AF18	PULLUP			GPIO193			CN7-104		
4	IO_L2N_GC_LC_4	AF16	PULLUP			GPIO201			CN7-114		
4	IO_L2P_GC_LC_4	AG16	PULLUP			GPIO200			CN7-113		
4	IO_L3N_GC_LC_4	AH18	PULLUP			GPIO191			CN7-102		
4	IO_L3P_GC_LC_4	AH19	PULLUP			GPIO189			CN7-99		
4	IO_L4N_GC_VREF_LC_4	AK17	PULLUP			GPIO195			CN7-107		
4	IO_L4P_GC_LC_4	AK18	PULLUP			GPIO190			CN7-100		
4	IO_L5N_GC_LC_4	AG17	PULLUP			GPIO198			CN7-110		
4	IO_L5P_GC_LC_4	AG18	PULLUP			GPIO192			CN7-103		
4	IO_L6N_GC_LC_4	AE16	PULLUP			GPIO202			CN7-115		
4	IO_L6P_GC_LC_4	AE17	PULLUP			GPIO199			CN7-112		
4	IO_L7N_GC_VRP_LC_4	AK19	PULLUP			GPIO187			CN7-97		
4	IO_L7P_GC_VRN_LC_4	AJ19	PULLUP			GPIO188			CN7-98		
4	IO_L8N_GC_CC_LC_4	AH17	PULLUP			GPIO197			CN7-109		
4	IO_L8P_GC_CC_LC_4	AJ17	PULLUP			GPIO196			CN7-108		
4	VCCO_4	AF17									
4	VCCO_4	AJ18									

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MICTOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
5	IO_L10N_5	E26		P97	D23				CN6-70		
5	IO_L10P_5	D26		P96	D22				CN6-69		
5	IO_L11N_5	E24					INTP7_SW				
5	IO_L11P_5	F24		WRZ0	BENZ0				CN6-04		
5	IO_L12N_VREF_5	E27		P105	D29				CN6-78		
5	IO_L12P_5	D27		P104	D28				CN6-77		
5	IO_L13N_5	H24		WRZ1	BENZ1				CN6-05		
5	IO_L13P_5	G23			DQM2				CN6-103		
5	IO_L14N_5	A29		P83	HLDQRZ				CN6-113		
5	IO_L14P_5	A28		P107	D31				CN6-80		
5	IO_L15N_5	C25		P90	D16				CN6-62		
5	IO_L15P_5	B25		WRZ3	BENZ3				CN6-08		
5	IO_L16N_5	K26		P101	D25				CN6-73		
5	IO_L16P_5	J25			A11				CN6-27		
5	IO_L17N_5	B22			A17				CN6-19		
5	IO_L17P_5	C22			A18				CN6-18		
5	IO_L18N_5	B30		P74	CSZ4				CN6-88		
5	IO_L18P_5	A30		P73	CSZ3				CN6-87		
5	IO_L19N_5	J24			A14				CN6-23		
5	IO_L19P_5	K24			A13				CN6-24		
5	IO_L1N_ADC7_5	A23			SDWEZ				CN6-107		
5	IO_L1P_ADC7_5	B23			SDCASZ				CN6-95		
5	IO_L20N_VREF_5	C30		P75	CSZ5				CN6-89		
5	IO_L20P_5	C29		P84	REFRQZ				CN6-97		
5	IO_L21N_5	A21			A15				CN6-22		
5	IO_L21P_5	B21			A16				CN6-20		
5	IO_L22N_5	F28		P81	IORDZ				CN6-110		
5	IO_L22P_5	E28		P80	IOWRZ				CN6-109		
5	IO_L23N_VRP_5	D22			A19				CN6-17		
5	IO_L23P_VRN_5	E22		P70	WAITZ				CN6-99		
5	IO_L24N_CC_LC_5	B31		P85	SELFREFZ				CN6-105		
5	IO_L24P_CC_LC_5	A31			D0				CN6-42		
5	IO_L25N_CC_LC_5	C28			RDZ				CN6-02		
5	IO_L25P_CC_LC_5	B28			WRSTBZ				CN6-03		
5	IO_L26N_5	D31			D1				CN6-43		
5	IO_L26P_5	D30		P76	CSZ6				CN6-90		
5	IO_L27N_5	G28		P82	HLDKAZ				CN6-112		
5	IO_L27P_5	G27		P106	D30				CN6-79		
5	IO_L28N_VREF_5	F30		P77	CSZ7				CN6-92		
5	IO_L28P_5	F29		P72	CSZ2				CN6-85		
5	IO_L29N_5	E29		P71	CSZ1				CN6-84		
5	IO_L29P_5	D29			CSZ0				CN6-83		
5	IO_L2N_ADC6_5	B26		P95	D21				CN6-68		
5	IO_L2P_ADC6_5	A26		P94	D20				CN6-67		
5	IO_L30N_5	L26			A9				CN6-29		
5	IO_L30P_5	L25			A10				CN6-28		
5	IO_L31N_5	B33			D5				CN6-48		
5	IO_L31P_5	B32			D4				CN6-47		
5	IO_L32N_5	F31			D3				CN6-45		
5	IO_L32P_5	E31			D2				CN6-44		
5	IO_L3N_ADC5_5	A25		WRZ2	BENZ2				CN6-07		
5	IO_L3P_ADC5_5	A24			DQM3				CN6-104		

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
5	IO_L4N_VREF_5	H25			A12				CN6-25		
5	IO_L4P_5	G25		P93	D19				CN6-65		
5	IO_L5N_ADC4_5	C24			SDCKE				CN6-93		
5	IO_L5P_ADC4_5	C23			SDRASZ				CN6-94		
5	IO_L6N_ADC3_5	F26		P100	D24				CN6-72		
5	IO_L6P_ADC3_5	F25		P92	D18				CN6-64		
5	IO_L7N_ADC2_5	D25		P91	D17				CN6-63		
5	IO_L7P_ADC2_5	D24			BCYSTZ				CN6-82		
5	IO_L8N_CC_ADC1_LC_5	C27		P103	D27				CN6-75		
5	IO_L8P_CC_ADC1_LC_5	B27		P102	D26				CN6-74		
5	IO_L9N_CC_LC_5	E23			DQM0				CN6-100		
5	IO_L9P_CC_LC_5	F23			DQM1				CN6-102		
5	VCCO_5	A22									
5	VCCO_5	A32									
5	VCCO_5	B29									
5	VCCO_5	C26									
5	VCCO_5	D23									
5	VCCO_5	E30									
5	VCCO_5	F27									
5	VCCO_5	G24									
5	VCCO_5	K25									
6	IO_L10N_6	B8			SREFRQZ						
6	IO_L10P_6	A8			SHLDRQZ						
6	IO_L11N_6	F11		SBENZ1	SWRZ1						
6	IO_L11P_6	E11		SBENZ0	SWRZ0						
6	IO_L12N_VREF_6	B6			STCZ1						
6	IO_L12P_6	A6			STCZ0						
6	IO_L13N_6	J11			SD10						
6	IO_L13P_6	H12			SD1						
6	IO_L14N_6	C7			SA1						
6	IO_L14P_6	B7			SA0						
6	IO_L15N_6	A9			SA8						
6	IO_L15P_6	A10			SA14						
6	IO_L16N_6	G8			SA7						
6	IO_L16P_6	F8			SA6						
6	IO_L17N_6	A13			SD2						
6	IO_L17P_6	A14			SD6						
6	IO_L18N_6	D6			SDMARQZ0						
6	IO_L18P_6	D7			SA2						
6	IO_L19N_6	E9			SA4						
6	IO_L19P_6	D9			SHLDAKZ						
6	IO_L1N_6	C12			SA19						
6	IO_L1P_6	D12			SA20						
6	IO_L20N_VREF_6	A3		P21	INTPZ17						CN12-43
6	IO_L20P_6	A4		P23	INTPZ19						CN12-45
6	IO_L21N_6	E12			SBCYSTZ						
6	IO_L21P_6	E13			SD5						
6	IO_L22N_6	B5			SCSZ1						
6	IO_L22P_6	A5			SCSZ0						
6	IO_L23N_VRP_6	E7			SA3						
6	IO_L23P_VRN_6	E8			SIORDZ						
6	IO_L24N_CC_LC_6	K9			SD12						

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MICTOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
6	IO_L24P_CC_LC_6	J9			SRDZ						
6	IO_L25N_CC_LC_6	C13			SD4						
6	IO_L25P_CC_LC_6	C14			SD7						
6	IO_L26N_6	F6			SDMAAKZ0						
6	IO_L26P_6	E6			SDMARQZ1						
6	IO_L27N_6	D5			SCSZ3						
6	IO_L27P_6	C5			SCSZ2						
6	IO_L28N_VREF_6	G6			SDMAAKZ1						
6	IO_L28P_6	G7			SWAITZ		JP40				
6	IO_L29N_6	D14			SD8						
6	IO_L29P_6	E14			SD9						
6	IO_L2N_6	C10			SA16						
6	IO_L2P_6	B10			SA15						
6	IO_L30N_6	B2		P20	INTPZ16						CN12-42
6	IO_L30P_6	B3		P22	INTPZ18						CN12-44
6	IO_L31N_6	H7			SIOWRZ						
6	IO_L31P_6	H8			SD14						
6	IO_L32N_6	J7			SD15						
6	IO_L32P_6	K8			SD13						
6	IO_L3N_6	B11			SA13						
6	IO_L3P_6	A11			SA12						
6	IO_L4N_VREF_6	C8			SRESTOZ						
6	IO_L4P_6	C9			SA9						
6	IO_L5N_6	G11					PAD				
6	IO_L5P_6	G12			SD0						
6	IO_L6N_6	G10			SA11						
6	IO_L6P_6	F10			SA10						
6	IO_L7N_6	D10			SA17						
6	IO_L7P_6	D11			SWRSTBZ						
6	IO_L8N_CC_LC_6	H9			SA5						
6	IO_L8P_CC_LC_6	H10			SD11						
6	IO_L9N_CC_LC_6	B12			SA18						
6	IO_L9P_CC_LC_6	B13			SD3						
6	VCCO_6	A12									
6	VCCO_6	A2									
6	VCCO_6	B9									
6	VCCO_6	C6									
6	VCCO_6	D13									
6	VCCO_6	E10									
6	VCCO_6	F7									
6	VCCO_6	H11									
6	VCCO_6	J8									
7	IO_L10N_7	AL30	PULLUP			GPIO130			CN7-25		
7	IO_L10P_7	AM30	PULLUP			GPIO129			CN7-24		
7	IO_L11N_7	AN27	PULLUP			GPIO144			CN7-43		
7	IO_L11P_7	AP27	PULLUP			GPIO143			CN7-42		
7	IO_L12N_VREF_7	AP32	PULLUP			GPIO124			CN7-18		
7	IO_L12P_7	AP31	PULLUP			GPIO126			CN7-20		
7	IO_L13N_7	AK23	PULLUP			GPIO170			CN7-75		
7	IO_L13P_7	AK22	PULLUP			GPIO176			CN7-83		
7	IO_L14N_7	AL29	PULLUP			GPIO133			CN7-29		
7	IO_L14P_7	AL28	PULLUP			GPIO139			CN7-37		

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MICTOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
7	IO_L15N_7	AP26	PULLUP			GPIO149			CN7-49		
7	IO_L15P_7	AP25	PULLUP			GPIO155			CN7-57		
7	IO_L16N_7	AH27	PULLUP			GPIO148			CN7-48		
7	IO_L16P_7	AJ27	PULLUP			GPIO147			CN7-47		
7	IO_L17N_7	AP22	PULLUP			GPIO173			CN7-79		
7	IO_L17P_7	AP21	PULLUP			GPIO177			CN7-84		
7	IO_L18N_7	AN29	PULLUP			GPIO132			CN7-28		
7	IO_L18P_7	AP29	PULLUP			GPIO131			CN7-27		
7	IO_L19N_7	AJ24	PULLUP			GPIO165			CN7-69		
7	IO_L19P_7	AK24	PULLUP			GPIO164			CN7-68		
7	IO_L1N_7	AJ29	PULLUP			GPIO135			CN7-32		
7	IO_L1P_7	AK29	PULLUP			GPIO134			CN7-30		
7	IO_L20N_VREF_7	AK28	PULLUP			GPIO140			CN7-38		
7	IO_L20P_7	AK27	PULLUP			GPIO146			CN7-45		
7	IO_L21N_7	AF24	PULLUP			GPIO186			CN7-95		
7	IO_L21P_7	AG23	PULLUP			GPIO172			CN7-78		
7	IO_L22N_7	AG26	PULLUP			GPIO153			CN7-54		
7	IO_L22P_7	AG25	PULLUP			GPIO185			CN7-94		
7	IO_L23N_VRP_7	AH24	PULLUP			GPIO166			CN7-70		
7	IO_L23P_VRN_7	AH23	PULLUP			GPIO171			CN7-77		
7	IO_L24N_CC_LC_7	AM28	PULLUP			GPIO138			CN7-35		
7	IO_L24P_CC_LC_7	AN28	PULLUP			GPIO137			CN7-34		
7	IO_L25N_CC_SM7_LC_7	AL25	PULLUP			GPIO158			CN7-60		
7	IO_L25P_CC_SM7_LC_7	AL24	PULLUP			GPIO163			CN7-67		
7	IO_L26N_SM6_7	AK26	PULLUP			GPIO152			CN7-53		
7	IO_L26P_SM6_7	AL26	PULLUP			GPIO151			CN7-52		
7	IO_L27N_SM5_7	AN23	PULLUP			GPIO167			CN7-72		
7	IO_L27P_SM5_7	AN22	PULLUP			GPIO174			CN7-80		
7	IO_L28N_VREF_7	AH25	PULLUP			GPIO160			CN7-63		
7	IO_L28P_7	AJ25	PULLUP			GPIO159			CN7-62		
7	IO_L29N_SM4_7	AN24	PULLUP			GPIO162			CN7-65		
7	IO_L29P_SM4_7	AP24	PULLUP			GPIO161			CN7-64		
7	IO_L2N_7	AE27	PULLUP			GPIO183			CN7-92		
7	IO_L2P_7	AF28	PULLUP			GPIO181			CN7-89		
7	IO_L30N_SM3_7	AM27	PULLUP			GPIO145			CN7-44		
7	IO_L30P_SM3_7	AM26	PULLUP			GPIO150			CN7-50		
7	IO_L31N_SM2_7	AM23	PULLUP			GPIO168			CN7-73		
7	IO_L31P_SM2_7	AL23	PULLUP			GPIO169			CN7-74		
7	IO_L32N_SM1_7	AM25	PULLUP			GPIO157			CN7-59		
7	IO_L32P_SM1_7	AN25	PULLUP			GPIO156			CN7-58		
7	IO_L3N_7	AE26	PULLUP			GPIO184			CN7-93		
7	IO_L3P_7	AF26	PULLUP			GPIO154			CN7-55		
7	IO_L4N_VREF_7	AN33	PULLUP			GPIO123			CN7-17		
7	IO_L4P_7	AN32	PULLUP			GPIO125			CN7-19		
7	IO_L5N_7	AL21	PULLUP			GPIO179			CN7-87		
7	IO_L5P_7	AK21	PULLUP			GPIO180			CN7-88		
7	IO_L6N_7	AH29	PULLUP			GPIO136			CN7-33		
7	IO_L6P_7	AH28	PULLUP			GPIO141			CN7-39		
7	IO_L7N_7	AN30	PULLUP			GPIO128			CN7-23		
7	IO_L7P_7	AP30	PULLUP			GPIO127			CN7-22		
7	IO_L8N_CC_LC_7	AG28	PULLUP			GPIO142			CN7-40		
7	IO_L8P_CC_LC_7	AG27	PULLUP			GPIO182			CN7-90		

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MICTOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
7	IO_L9N_CC_LC_7	AM22	PULLUP			GPIO175			CN7-82		
7	IO_L9P_CC_LC_7	AM21	PULLUP			GPIO178			CN7-85		
7	VCCO_7	AF27									
7	VCCO_7	AG24									
7	VCCO_7	AJ28									
7	VCCO_7	AK25									
7	VCCO_7	AL22									
7	VCCO_7	AM29									
7	VCCO_7	AN26									
7	VCCO_7	AP23									
7	VCCO_7	AP33									
8	IO_L10N_8	AK6	PULLUP			GPIO77			CN9-98		
8	IO_L10P_8	AL6	PULLUP			GPIO78			CN9-99		
8	IO_L11N_8	AK8	PULLUP			GPIO88			CN9-112		
8	IO_L11P_8	AL8	PULLUP			GPIO89			CN9-113		
8	IO_L12N_VREF_8	AH7	PULLUP			GPIO81			CN9-103		
8	IO_L12P_8	AH8	PULLUP			GPIO87			CN9-110		
8	IO_L13N_8	AN13	PULLUP			GPIO211			CN7-127		
8	IO_L13P_8	AM13	PULLUP			GPIO212			CN7-128		
8	IO_L14N_8	AM5	PULLUP			GPIO73			CN9-93		
8	IO_L14P_8	AM6	PULLUP			GPIO79			CN9-100		
8	IO_L15N_8	AJ9	PULLUP			GPIO93			CN9-118		
8	IO_L15P_8	AJ10	PULLUP			GPIO99			CN9-125		
8	IO_L16N_8	AN5	PULLUP			GPIO74			CN9-94		
8	IO_L16P_8	AP5	PULLUP			GPIO75			CN9-95		
8	IO_L17N_8	AG11	PULLUP			GPIO104			CN9-132		
8	IO_L17P_8	AH12	PULLUP			GPIO110			CN9-139		
8	IO_L18N_8	AM7	PULLUP			GPIO84			CN9-107		
8	IO_L18P_8	AN7	PULLUP			GPIO85			CN9-108		
8	IO_L19N_8	AM10	PULLUP			GPIO101			CN9-128		
8	IO_L19P_8	AN10	PULLUP			GPIO102			CN9-129		
8	IO_L1N_8	AL4	PULLUP			GPIO68			CN9-87		
8	IO_L1P_8	AL5	PULLUP			GPIO72			CN9-92		
8	IO_L20N_VREF_8	AE9	PULLUP			GPIO92			CN9-117		
8	IO_L20P_8	AF10	PULLUP			GPIO205			CN7-119		
8	IO_L21N_8	AK12	PULLUP			GPIO218			CN7-135		
8	IO_L21P_8	AJ12	PULLUP			GPIO219			CN7-137		
8	IO_L22N_8	AM8	PULLUP			GPIO90			CN9-114		
8	IO_L22P_8	AN8	PULLUP			GPIO91			CN9-115		
8	IO_L23N_VRP_8	AK11	PULLUP			GPIO106			CN9-134		
8	IO_L23P_VRN_8	AJ11	PULLUP			GPIO105			CN9-133		
8	IO_L24N_CC_LC_8	AP6	PULLUP			GPIO80			CN9-102		
8	IO_L24P_CC_LC_8	AP7	PULLUP			GPIO86			CN9-109		
8	IO_L25N_CC_LC_8	AL10	PULLUP			GPIO100			CN9-127		
8	IO_L25P_CC_LC_8	AL11	PULLUP			GPIO107			CN9-135		
8	IO_L26N_8	AF11	PULLUP			GPIO208			CN7-123		
8	IO_L26P_8	AE11	PULLUP			GPIO207			CN7-122		
8	IO_L27N_8	AM11	PULLUP			GPIO108			CN9-137		
8	IO_L27P_8	AM12	PULLUP			GPIO217			CN7-134		
8	IO_L28N_VREF_8	AK9	PULLUP			GPIO94			CN9-119		
8	IO_L28P_8	AL9	PULLUP			GPIO95			CN9-120		
8	IO_L29N_8	AP10	PULLUP			GPIO103			CN9-130		

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
8	IO_L29P_8	AP11	PULLUP			GPIO109			CN9-138		
8	IO_L2N_8	AJ4	PULLUP			GPIO66			CN9-84		
8	IO_L2P_8	AK4	PULLUP			GPIO67			CN9-85		
8	IO_L30N_8	AG10	PULLUP			GPIO206			CN7-120		
8	IO_L30P_8	AH10	PULLUP			GPIO98			CN9-124		
8	IO_L31N_8	AP12	PULLUP			GPIO215			CN7-132		
8	IO_L31P_8	AN12	PULLUP			GPIO216			CN7-133		
8	IO_L32N_8	AN9	PULLUP			GPIO96			CN9-122		
8	IO_L32P_8	AP9	PULLUP			GPIO97			CN9-123		
8	IO_L3N_8	AN4	PULLUP			GPIO69			CN9-88		
8	IO_L3P_8	AP4	PULLUP			GPIO70			CN9-89		
8	IO_L4N_VREF_8	AD9	PULLUP			GPIO203			CN7-117		
8	IO_L4P_8	AD10	PULLUP			GPIO204			CN7-118		
8	IO_L5N_8	AP14	PULLUP			GPIO209			CN7-124		
8	IO_L5P_8	AN14	PULLUP			GPIO210			CN7-125		
8	IO_L6N_8	AJ5	PULLUP			GPIO71			CN9-90		
8	IO_L6P_8	AJ6	PULLUP			GPIO76			CN9-97		
8	IO_L7N_8	AJ7	PULLUP			GPIO82			CN9-104		
8	IO_L7P_8	AK7	PULLUP			GPIO83			CN9-105		
8	IO_L8N_CC_LC_8	AN2	PULLUP			GPIO64			CN9-82		
8	IO_L8P_CC_LC_8	AN3	PULLUP			GPIO65			CN9-83		
8	IO_L9N_CC_LC_8	AL13	PULLUP			GPIO213			CN7-129		
8	IO_L9P_CC_LC_8	AK13	PULLUP			GPIO214			CN7-130		
8	VCCO_8	AE10									
8	VCCO_8	AH11									
8	VCCO_8	AJ8									
8	VCCO_8	AK5									
8	VCCO_8	AL12									
8	VCCO_8	AM9									
8	VCCO_8	AN6									
8	VCCO_8	AP13									
8	VCCO_8	AP3									
9	IO_L10N_9	J30		P151	INTPZ25						CN11-18
9	IO_L10P_9	J29		P150	INTPZ24						CN11-17
9	IO_L11N_9	E33			D12				CN6-57		
9	IO_L11P_9	E32			D11				CN6-55		
9	IO_L12N_VREF_9	P26	PULLUP			GPIO249				CN8-38	
9	IO_L12P_9	N25	PULLUP			GPIO242				CN8-29	
9	IO_L13N_9	R21	PULLUP			GPIO252				CN8-42	
9	IO_L13P_9	P22	PULLUP			GPIO247				CN8-35	
9	IO_L14N_9	F34			D15				CN6-60		
9	IO_L14P_9	F33			D14				CN6-59		
9	IO_L15N_9	K29	PULLUP			GPIO222			CN6-119	CN8-4	
9	IO_L15P_9	K28	PULLUP			GPIO221			CN6-118	CN8-3	
9	IO_L16N_9	G33		P120	TCZ0						CN11-7
9	IO_L16P_9	G32		P130	DMARQZ0						CN11-2
9	IO_L17N_9	R19	PULLUP			GPIO251				CN8-40	
9	IO_L17P_9	P20	PULLUP			GPIO246				CN8-34	
9	IO_L18N_9	L29	PULLUP			GPIO229			CN6-128	CN8-13	
9	IO_L18P_9	L28	PULLUP			GPIO228			CN6-127	CN8-12	
9	IO_L19N_9	R24	PULLUP			GPIO255				CN8-45	

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
9	IO_L19P_9	P24	PULLUP			GPIO248				CN8-37	
9	IO_L1N_9	H28		P121	TCZ1						CN11-8
9	IO_L1P_9	H27		P133	DMARQZ3						CN11-5
9	IO_L20N_VREF_9	J32		P153	INTPZ27						CN11-20
9	IO_L20P_9	H32		P124	DMAAKZ0						CN11-12
9	IO_L21N_9	M28	PULLUP			GPIO235			CN6-135	CN8-20	
9	IO_L21P_9	M27	PULLUP			GPIO234			CN6-134	CN8-19	
9	IO_L22N_9	H34		P126	DMAAKZ2						CN11-14
9	IO_L22P_9	H33		P125	DMAAKZ1						CN11-13
9	IO_L23N_VRP_9	K31	PULLUP			GPIO223			CN6-120	CN8-5	
9	IO_L23P_VRN_9	J31		P152	INTPZ26						CN11-19
9	IO_L24N_CC_LC_9	L31	PULLUP			GPIO231			CN6-130	CN8-15	
9	IO_L24P_CC_LC_9	L30	PULLUP			GPIO230			CN6-129	CN8-14	
9	IO_L25N_CC_LC_9	R23	PULLUP			GPIO254				CN8-44	
9	IO_L25P_CC_LC_9	R22	PULLUP			GPIO253				CN8-43	
9	IO_L26N_9	K33	PULLUP			GPIO225			CN6-123	CN8-8	
9	IO_L26P_9	K32	PULLUP			GPIO224			CN6-122	CN8-7	
9	IO_L27N_9	P27	PULLUP			GPIO250				CN8-39	
9	IO_L27P_9	N27	PULLUP			GPIO243				CN8-30	
9	IO_L28N_VREF_9	M31	PULLUP			GPIO237			CN6-138	CN8-23	
9	IO_L28P_9	M30	PULLUP			GPIO236			CN6-137	CN8-22	
9	IO_L29N_9	K34	PULLUP			GPIO226			CN6-124	CN8-9	
9	IO_L29P_9	J34	PULLUP			GPIO220			CN6-117	CN8-2	
9	IO_L2N_9	D32			D9				CN6-53		
9	IO_L2P_9	C32			D6				CN6-49		
9	IO_L30N_9	N30	PULLUP			GPIO245				CN8-33	
9	IO_L30P_9	N29	PULLUP			GPIO244				CN8-32	
9	IO_L31N_9	L34	PULLUP			GPIO233			CN6-133	CN8-18	
9	IO_L31P_9	L33	PULLUP			GPIO232			CN6-132	CN8-17	
9	IO_L32N_9	M33	PULLUP			GPIO239			CN6-140	CN8-25	
9	IO_L32P_9	M32	PULLUP			GPIO238			CN6-139	CN8-24	
9	IO_L3N_9	K27	PULLUP			GPIO227			CN6-125	CN8-10	
9	IO_L3P_9	J27		P127	DMAAKZ3						CN11-15
9	IO_L4N_VREF_9	M26	PULLUP			GPIO256				CN8-47	
9	IO_L4P_9	M25	PULLUP			GPIO257				CN8-48	
9	IO_L5N_9	N23	PULLUP			GPIO241				CN8-28	
9	IO_L5P_9	N22	PULLUP			GPIO240				CN8-27	
9	IO_L6N_9	H30		P123	TCZ3						CN11-10
9	IO_L6P_9	H29		P122	TCZ2						CN11-9
9	IO_L7N_9	C34			D8				CN6-52		
9	IO_L7P_9	C33			D7				CN6-50		
9	IO_L8N_CC_LC_9	E34			D13				CN6-58		
9	IO_L8P_CC_LC_9	D34			D10				CN6-54		
9	IO_L9N_CC_LC_9	G31		P131	DMARQZ1						CN11-3
9	IO_L9P_CC_LC_9	G30		P132	DMARQZ2						CN11-4
9	VCCO_9	D33									
9	VCCO_9	G34									
9	VCCO_9	H31									
9	VCCO_9	J28									
9	VCCO_9	L32									
9	VCCO_9	M29									
9	VCCO_9	N26									



BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESIPV85 0EP1 Port 50pin
9	VCCO_9	P23									
9	VCCO_9	R20									
10	IO_L10N_10	J5		P03	INTPZ3						CN12-15
10	IO_L10P_10	J6		P04	INTPZ4						CN12-17
10	IO_L11N_10	H4		P144	SI1						CN12-27
10	IO_L11P_10	H5		P145	SO1						CN12-28
10	IO_L12N_VREF_10	N9		P154	INTPZ28						CN15-1
10	IO_L12P_10	N10		P116	ADTRG						CN11-29
10	IO_L13N_10	P11		P156	INTPZ30						CN15-3
10	IO_L13P_10	P12		P157	INTPZ31						CN15-4
10	IO_L14N_10	G2		P17	INTPZ15						CN11-39
10	IO_L14P_10	G3					NMI_SW				
10	IO_L15N_10	M8		P57	ETCUD1						CN12-10
10	IO_L15P_10	L8		P43	TI3						CN11-44
10	IO_L16N_10	L6		P42	TI2						CN11-43
10	IO_L16P_10	K6		P51	TO1						CN12-3
10	IO_L17N_10	G1		P16	INTPZ14						CN11-38
10	IO_L17P_10	F1		P36	RXD3						CN12-39
10	IO_L18N_10	K4		P50	TO0						CN12-2
10	IO_L18P_10	J4		P02	INTPZ2						CN12-14
10	IO_L19N_10	H2		P142	SO0						CN12-24
10	IO_L19P_10	H3									
10	IO_L1N_10	C3		P25	INTPZ21						CN12-48
10	IO_L1P_10	C4		P26	INTPZ22						CN12-49
10	IO_L20N_VREF_10	P9		P11	INTPZ9						CN11-32
10	IO_L20P_10	P10		P155	INTPZ29						CN15-2
10	IO_L21N_10	N7		P113	ETO1						CN11-25
10	IO_L21P_10	M7		P56	ETCUD0						CN12-9
10	IO_L22N_10	L4		P40	TI0						CN11-40
10	IO_L22P_10	L5		P41	TI1						CN11-42
10	IO_L23N_VRP_10	J1		P00	INTPZ0						CN12-12
10	IO_L23P_VRN_10	J2		P01	INTPZ1						CN12-13
10	IO_L24N_CC_LC_10	T11		P115	DBINT						CN11-28
10	IO_L24P_CC_LC_10	R11		P12	INTPZ10						CN11-33
10	IO_L25N_CC_LC_10	L3		P53	TO3						CN12-5
10	IO_L25P_CC_LC_10	K3		P07	INTPZ7						CN12-20
10	IO_L26N_10	K1		P05	INTPZ5						CN12-18
10	IO_L26P_10	K2		P06	INTPZ6						CN12-19
10	IO_L27N_10	M5		P54	ETIUD0						CN12-7
10	IO_L27P_10	M6		P55	ETIUD1						CN12-8
10	IO_L28N_VREF_10	M2		P47	TCLR3						CN11-49、-50
10	IO_L28P_10	M3					PAD 入力				
10	IO_L29N_10	M1		P45	TCLR1						CN11-47
10	IO_L29P_10	L1		P52	TO2						CN12-4
10	IO_L2N_10	G5		P141	SI0						CN12-23
10	IO_L2P_10	F5		P15	INTPZ13						CN11-37
10	IO_L30N_10	P5		P146	PWMO0						CN12-29
10	IO_L30P_10	N5		P112	ETO0						CN11-24
10	IO_L31N_10	P6		P147	PWMO1						CN12-30
10	IO_L31P_10	P7		P10	INTPZ8						CN11-30
10	IO_L32N_10	R9		P13	INTPZ11						CN11-34
10	IO_L32P_10	T10		P114	EVTRG						CN11-27

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
10	IO_L3N_10	E4		P35	TXD2						CN12-38
10	IO_L3P_10	D4		P31	TXD0						CN12-33
10	IO_L4N_VREF_10	L9		P44	TCLR0						CN11-45
10	IO_L4P_10	M10		P46	TCLR2						CN11-48
10	IO_L5N_10	N12		P110	ETCLR0						CN11-22
10	IO_L5P_10	N13		P111	ETCLR1						CN11-23
10	IO_L6N_10	F3		P37	TXD3						CN12-40
10	IO_L6P_10	F4		P14	INTPZ12						CN11-35
10	IO_L7N_10	D2		P30	RXD0						CN12-32
10	IO_L7P_10	C2		P24	INTPZ20						CN12-47
10	IO_L8N_CC_LC_10	E1		P32	RXD1						CN12-34
10	IO_L8P_CC_LC_10	D1		P27	INTPZ23						CN12-50
10	IO_L9N_CC_LC_10	E2		P33	TXD1						CN12-35
10	IO_L9P_CC_LC_10	E3		P34	RXD2						CN12-37
10	VCCO_10	D3									
10	VCCO_10	G4									
10	VCCO_10	H1									
10	VCCO_10	K5									
10	VCCO_10	L2									
10	VCCO_10	M9									
10	VCCO_10	N6									
10	VCCO_10	P13									
10	VCCO_10	R10									
11	IO_L10N_11	AD32					SROM_CLK				
11	IO_L10P_11	AE32					FRESET_OUT				
11	IO_L11N_11	AB28	PULLUP			GPIO276					CN10-22
11	IO_L11P_11	AC28	PULLUP			GPIO278					CN10-24
11	IO_L12N_VREF_11	AD31	PULLUP			GPIO287					CN10-35
11	IO_L12P_11	AD30	PULLUP			GPIO286					CN10-34
11	IO_L13N_11	AG33					LED_3	TP3			
11	IO_L13P_11	AG32					LED_2	TP2			
11	IO_L14N_11	AF34					DIP_7				
11	IO_L14P_11	AF33					DIP_6				
11	IO_L15N_11	AD29	PULLUP			GPIO285					CN10-33
11	IO_L15P_11	AE29					SROM_S				
11	IO_L16N_11	AE31					SROM_Q				
11	IO_L16P_11	AF31					DIP_5				
11	IO_L17N_11	AA24	PULLUP			GPIO266					CN10-9
11	IO_L17P_11	AA23	PULLUP			GPIO265					CN10-8
11	IO_L18N_11	AH34					LED_7	TP7			
11	IO_L18P_11	AJ34	PULLUP			GPIO121			CN7-14		CN10-49
11	IO_L19N_11	AC27	PULLUP			GPIO263					CN10-5
11	IO_L19P_11	AD27	PULLUP			GPIO284					CN10-32
11	IO_L1N_11	AA29	PULLUP			GPIO270					CN10-14
11	IO_L1P_11	AA28	PULLUP			GPIO269					CN10-13
11	IO_L20N_VREF_11	AB26	PULLUP			GPIO275					CN10-20
11	IO_L20P_11	AB25	PULLUP			GPIO274					CN10-19
11	IO_L21N_11	AG31					LED_1	TP1			
11	IO_L21P_11	AG30					DIP_8				
11	IO_L22N_11	AH33					LED_6	TP6			
11	IO_L22P_11	AH32					LED_5	TP5			
11	IO_L23N_VRP_11	AD26	PULLUP			GPIO264					CN10-7
11	IO_L23P_VRN_11	AC25	PULLUP			GPIO262					CN10-4

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MICTOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
11	IO_L24N_CC_LC_11	AF30					DIP_4				
11	IO_L24P_CC_LC_11	AF29					DIP_3				
11	IO_L25N_CC_LC_11	AK32	PULLUP			GPIO119			CN7-12	CN10-47	
11	IO_L25P_CC_LC_11	AK31	PULLUP			GPIO120			CN7-13	CN10-48	
11	IO_L26N_11	AK34	PULLUP			GPIO117			CN7-09	CN10-44	
11	IO_L26P_11	AK33	PULLUP			GPIO118			CN7-10	CN10-45	
11	IO_L27N_11	AM33	PULLUP			GPIO111			CN7-02	CN10-37	
11	IO_L27P_11	AM32	PULLUP			GPIO112			CN7-03	CN10-38	
11	IO_L28N_VREF_11	AJ32	PULLUP			GPIO122			CN7-15	CN10-50	
11	IO_L28P_11	AJ31					PAD				
11	IO_L29N_11	AB23	PULLUP			GPIO273				CN10-18	
11	IO_L29P_11	AB22	PULLUP			GPIO272				CN10-17	
11	IO_L2N_11	Y24	PULLUP			GPIO260				CN10-2	
11	IO_L2P_11	W24	PULLUP			GPIO258				CN8-49	
11	IO_L30N_11	AL34	PULLUP			GPIO114			CN7-05	CN10-40	
11	IO_L30P_11	AL33	PULLUP			GPIO115			CN7-07	CN10-42	
11	IO_L31N_11	AL31	PULLUP			GPIO116			CN7-08	CN10-43	
11	IO_L31P_11	AM31	PULLUP			GPIO113			CN7-04	CN10-39	
11	IO_L32N_11	AH30					LED_4	TP4			
11	IO_L32P_11	AJ30					LED_8	TP8			
11	IO_L3N_11	AA30	PULLUP			GPIO271				CN10-15	
11	IO_L3P_11	AB30	PULLUP			GPIO277				CN10-23	
11	IO_L4N_VREF_11	Y26	PULLUP			GPIO261				CN10-3	
11	IO_L4P_11	W25	PULLUP			GPIO259				CN8-50	
11	IO_L5N_11	AE34					DIP_2				
11	IO_L5P_11	AE33					DIP_1				
11	IO_L6N_11	AC33	PULLUP			GPIO282				CN10-29	
11	IO_L6P_11	AC32	PULLUP			GPIO281				CN10-28	
11	IO_L7N_11	AC30	PULLUP			GPIO280				CN10-27	
11	IO_L7P_11	AC29	PULLUP			GPIO279				CN10-25	
11	IO_L8N_CC_LC_11	AC34	PULLUP			GPIO283				CN10-30	
11	IO_L8P_CC_LC_11	AD34					SROM_D				
11	IO_L9N_CC_LC_11	AA26	PULLUP			GPIO268				CN10-12	
11	IO_L9P_CC_LC_11	AA25	PULLUP			GPIO267				CN10-10	
11	VCCO_11	AA22									
11	VCCO_11	AB29									
11	VCCO_11	AC26									
11	VCCO_11	AD33									
11	VCCO_11	AE30									
11	VCCO_11	AG34									
11	VCCO_11	AH31									
11	VCCO_11	AL32									
11	VCCO_11	Y25									
12	IO_L10N_12	AE2	PULLUP			GPIO29			CN9-38		
12	IO_L10P_12	AE3	PULLUP			GPIO30			CN9-39		
12	IO_L11N_12	AD5	PULLUP			GPIO25			CN9-33		
12	IO_L11P_12	AD6	PULLUP			GPIO26			CN9-34		
12	IO_L12N_VREF_12	AB8	PULLUP			GPIO15			CN9-20		
12	IO_L12P_12	AC7	PULLUP			GPIO20			CN9-27		
12	IO_L13N_12	AA15	PULLUP			GPIO7			CN9-10		
12	IO_L13P_12	Y16	PULLUP			GPIO4			CN9-7		
12	IO_L14N_12	AD4	PULLUP			GPIO24			CN9-32		

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
12	IO_L14P_12	AE4	PULLUP			GPIO31			CN9-40		
12	IO_L15N_12	AH2	PULLUP			GPIO46			CN9-59		
12	IO_L15P_12	AH3	PULLUP			GPIO47			CN9-60		
12	IO_L16N_12	AG1	PULLUP			GPIO40			CN9-52		
12	IO_L16P_12	AG2	PULLUP			GPIO41			CN9-53		
12	IO_L17N_12	AC8	PULLUP			GPIO21			CN9-28		
12	IO_L17P_12	AC9	PULLUP			GPIO63			CN9-80		
12	IO_L18N_12	AF3	PULLUP			GPIO35			CN9-45		
12	IO_L18P_12	AG3	PULLUP			GPIO42			CN9-54		
12	IO_L19N_12	AE6	PULLUP			GPIO32			CN9-42		
12	IO_L19P_12	AF6	PULLUP			GPIO38			CN9-49		
12	IO_L1N_12	AB5	PULLUP			GPIO13			CN9-18		
12	IO_L1P_12	AB6	PULLUP			GPIO14			CN9-19		
12	IO_L20N_VREF_12	AF4	PULLUP			GPIO36			CN9-47		
12	IO_L20P_12	AF5	PULLUP			GPIO37			CN9-48		
12	IO_L21N_12	AK1	PULLUP			GPIO52			CN9-67		
12	IO_L21P_12	AL1	PULLUP			GPIO55			CN9-70		
12	IO_L22N_12	AJ1	PULLUP			GPIO50			CN9-64		
12	IO_L22P_12	AJ2	PULLUP			GPIO51			CN9-65		
12	IO_L23N_VRP_12	AG5	PULLUP			GPIO43			CN9-55		
12	IO_L23P_VRN_12	AG6	PULLUP			GPIO44			CN9-57		
12	IO_L24N_CC_LC_12	AD7	PULLUP			GPIO27			CN9-35		
12	IO_L24P_CC_LC_12	AE7	PULLUP			GPIO33			CN9-43		
12	IO_L25N_CC_LC_12	AB10	PULLUP			GPIO10			CN9-14		
12	IO_L25P_CC_LC_12	AC10	PULLUP			GPIO62			CN9-79		
12	IO_L26N_12	AK2	PULLUP			GPIO53			CN9-68		
12	IO_L26P_12	AK3	PULLUP			GPIO54			CN9-69		
12	IO_L27N_12	AE8	PULLUP			GPIO61			CN9-78		
12	IO_L27P_12	AF8	PULLUP			GPIO39			CN9-50		
12	IO_L28N_VREF_12	AH4	PULLUP			GPIO48			CN9-62		
12	IO_L28P_12	AH5	PULLUP			GPIO49			CN9-63		
12	IO_L29N_12	AB12	PULLUP			GPIO11			CN9-15		
12	IO_L29P_12	AB13	PULLUP			GPIO12			CN9-17		
12	IO_L2N_12	AC2	PULLUP			GPIO16			CN9-22		
12	IO_L2P_12	AC3	PULLUP			GPIO17			CN9-23		
12	IO_L30N_12	AM1	PULLUP			GPIO57			CN9-73		
12	IO_L30P_12	AM2	PULLUP			GPIO58			CN9-74		
12	IO_L31N_12	AG7	PULLUP			GPIO45			CN9-58		
12	IO_L31P_12	AG8	PULLUP			GPIO60			CN9-77		
12	IO_L32N_12	AL3	PULLUP			GPIO56			CN9-72		
12	IO_L32P_12	AM3	PULLUP			GPIO59			CN9-75		
12	IO_L3N_12	AA11	PULLUP			GPIO5			CN9-8		
12	IO_L3P_12	Y11	PULLUP			GPIO0			CN9-2		
12	IO_L4N_VREF_12	AD1	PULLUP			GPIO22			CN9-29		
12	IO_L4P_12	AD2	PULLUP			GPIO23			CN9-30		
12	IO_L5N_12	AA13	PULLUP			GPIO6			CN9-9		
12	IO_L5P_12	Y14	PULLUP			GPIO3			CN9-5		
12	IO_L6N_12	AC4	PULLUP			GPIO18			CN9-24		
12	IO_L6P_12	AC5	PULLUP			GPIO19			CN9-25		
12	IO_L7N_12	AE1	PULLUP			GPIO28			CN9-37		
12	IO_L7P_12	AF1	PULLUP			GPIO34			CN9-44		
12	IO_L8N_CC_LC_12	AA8	PULLUP			GPIO8			CN9-12		

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
12	IO_L8P_CC_LC_12	AA9	PULLUP			GPIO9			CN9-13		
12	IO_L9N_CC_LC_12	Y12	PULLUP			GPIO1			CN9-3		
12	IO_L9P_CC_LC_12	Y13	PULLUP			GPIO2			CN9-4		
12	VCCO_12	AA12									
12	VCCO_12	AB9									
12	VCCO_12	AC6									
12	VCCO_12	AD3									
12	VCCO_12	AF7									
12	VCCO_12	AG4									
12	VCCO_12	AH1									
12	VCCO_12	AL2									
12	VCCO_12	Y15									
13	IO_L10N_13	T31		NC							
13	IO_L10P_13	R31		NC							
13	IO_L11N_13	R33		NC							
13	IO_L11P_13	R32		NC							
13	IO_L12N_VREF_13	U28		NC							
13	IO_L12P_13	T28		NC							
13	IO_L13N_13	T30		NC							
13	IO_L13P_13	T29		NC							
13	IO_L14N_13	T34		NC							
13	IO_L14P_13	T33		NC							
13	IO_L15N_13	U27		NC							
13	IO_L15P_13	U26		NC							
13	IO_L16N_13	U31		NC							
13	IO_L16P_13	U30		NC							
13	IO_L17N_13	V34		NC							
13	IO_L17P_13	V33		NC							
13	IO_L18N_13	U33		NC							
13	IO_L18P_13	U32		NC							
13	IO_L19N_13	U25		NC							
13	IO_L19P_13	V25		NC							
13	IO_L1N_13	U23		NC							
13	IO_L1P_13	T23		NC							
13	IO_L20N_VREF_13	V29		NC							
13	IO_L20P_13	V28		NC							
13	IO_L21N_13	V24		NC							
13	IO_L21P_13	V23		NC							
13	IO_L22N_13	V32		NC							
13	IO_L22P_13	W32		NC							
13	IO_L23N_VRP_13	W34		NC							
13	IO_L23P_VRN_13	Y34		NC							
13	IO_L24N_CC_LC_13	V30		NC							
13	IO_L24P_CC_LC_13	W30		NC							
13	IO_L25N_CC_LC_13	Y33		NC							
13	IO_L25P_CC_LC_13	Y32		NC							
13	IO_L26N_13	V27		NC							
13	IO_L26P_13	W27		NC							
13	IO_L27N_13	W29		NC							
13	IO_L27P_13	Y29		NC							
13	IO_L28N_VREF_13	W31		NC							
13	IO_L28P_13	Y31		NC							

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
13	IO_L29N_13	AB33		NC							
13	IO_L29P_13	AB32		NC							
13	IO_L2N_13	T26		NC							
13	IO_L2P_13	R26		NC							
13	IO_L30N_13	AA34		NC							
13	IO_L30P_13	AA33		NC							
13	IO_L31N_13	AA31		NC							
13	IO_L31P_13	AB31		NC							
13	IO_L32N_13	Y28		NC							
13	IO_L32P_13	Y27		NC							
13	IO_L3N_13	T25		NC							
13	IO_L3P_13	T24		NC							
13	IO_L4N_VREF_13	R28		NC							
13	IO_L4P_13	R27		NC							
13	IO_L5N_13	R29		NC							
13	IO_L5P_13	P29		NC							
13	IO_L6N_13	P32		NC							
13	IO_L6P_13	N32		NC							
13	IO_L7N_13	P31		NC							
13	IO_L7P_13	P30		NC							
13	IO_L8N_CC_LC_13	N34		NC							
13	IO_L8P_CC_LC_13	N33		NC							
13	IO_L9N_CC_LC_13	R34		NC							
13	IO_L9P_CC_LC_13	P34		NC							
13	VCCO_13	AA32		NC							
13	VCCO_13	P33		NC							
13	VCCO_13	R30		NC							
13	VCCO_13	T27		NC							
13	VCCO_13	U24		NC							
13	VCCO_13	U34		NC							
13	VCCO_13	V31		NC							
13	VCCO_13	W28		NC							
14	IO_L10N_14	U3		NC							
14	IO_L10P_14	T3		NC							
14	IO_L11N_14	U7		NC							
14	IO_L11P_14	U8		NC							
14	IO_L12N_VREF_14	U1		NC							
14	IO_L12P_14	U2		NC							
14	IO_L13N_14	U11		NC							
14	IO_L13P_14	U12		NC							
14	IO_L14N_14	V10		NC							
14	IO_L14P_14	U10		NC							
14	IO_L15N_14	U5		NC							
14	IO_L15P_14	U6		NC							
14	IO_L16N_14	V2		NC							
14	IO_L16P_14	V3		NC							
14	IO_L17N_14	V8		NC							
14	IO_L17P_14	V9		NC							
14	IO_L18N_14	V4		NC							
14	IO_L18P_14	V5		NC							
14	IO_L19N_14	W5		NC							
14	IO_L19P_14	W6		NC							

BANK	PIN_NAME	No.	Default	端子名称	兼用機能	GPIO	部品名称 1	部品名称 2	MITCOR	汎用 50Pin	PFESiP/V85 0EP1 Port 50pin
14	IO_L1N_14	P4		NC							
14	IO_L1P_14	N4		NC							
14	IO_L20N_VREF_14	W1		NC							
14	IO_L20P_14	W2		NC							
14	IO_L21N_14	W12		NC							
14	IO_L21P_14	V12		NC							
14	IO_L22N_14	V7		NC							
14	IO_L22P_14	W7		NC							
14	IO_L23N_VRP_14	W4		NC							
14	IO_L23P_VRN_14	Y4		NC							
14	IO_L24N_CC_LC_14	Y2		NC							
14	IO_L24P_CC_LC_14	Y3		NC							
14	IO_L25N_CC_LC_14	AA4		NC							
14	IO_L25P_CC_LC_14	AA5		NC							
14	IO_L26N_14	Y1		NC							
14	IO_L26P_14	AA1		NC							
14	IO_L27N_14	AA3		NC							
14	IO_L27P_14	AB3		NC							
14	IO_L28N_VREF_14	AB1		NC							
14	IO_L28P_14	AB2		NC							
14	IO_L29N_14	Y6		NC							
14	IO_L29P_14	AA6		NC							
14	IO_L2N_14	N2		NC							
14	IO_L2P_14	N3		NC							
14	IO_L30N_14	Y7		NC							
14	IO_L30P_14	Y8		NC							
14	IO_L31N_14	W9		NC							
14	IO_L31P_14	Y9		NC							
14	IO_L32N_14	W10		NC							
14	IO_L32P_14	W11		NC							
14	IO_L3N_14	T8		NC							
14	IO_L3P_14	R8		NC							
14	IO_L4N_VREF_14	R6		NC							
14	IO_L4P_14	R7		NC							
14	IO_L5N_14	P1		NC							
14	IO_L5P_14	P2		NC							
14	IO_L6N_14	T4		NC							
14	IO_L6P_14	R4		NC							
14	IO_L7N_14	R2		NC							
14	IO_L7P_14	R3		NC							
14	IO_L8N_CC_LC_14	T1		NC							
14	IO_L8P_CC_LC_14	R1		NC							
14	IO_L9N_CC_LC_14	T5		NC							
14	IO_L9P_CC_LC_14	T6		NC							
14	VCCO_14	AA2		NC							
14	VCCO_14	P3		NC							
14	VCCO_14	T7		NC							
14	VCCO_14	U4		NC							
14	VCCO_14	V1		NC							
14	VCCO_14	V11		NC							
14	VCCO_14	W8		NC							
14	VCCO_14	Y5		NC							

# 第8章 その他の機能

## 8.1 各種LED

### 8.1.1 FPGA用LED (LED1-LED8)

位置

参照用外観図 E-3 ~ F-3

FPGAには、LEDが接続されています。FPGAの内部接続により任意の信号でLED（緑）を点灯させることができます。FPGAのLED接続端子出力が“0”の場合にLEDが点灯します。

LED接続端子はプルアップされているため、FPGAがイニシャライズを行っている間はLEDは点灯しません。

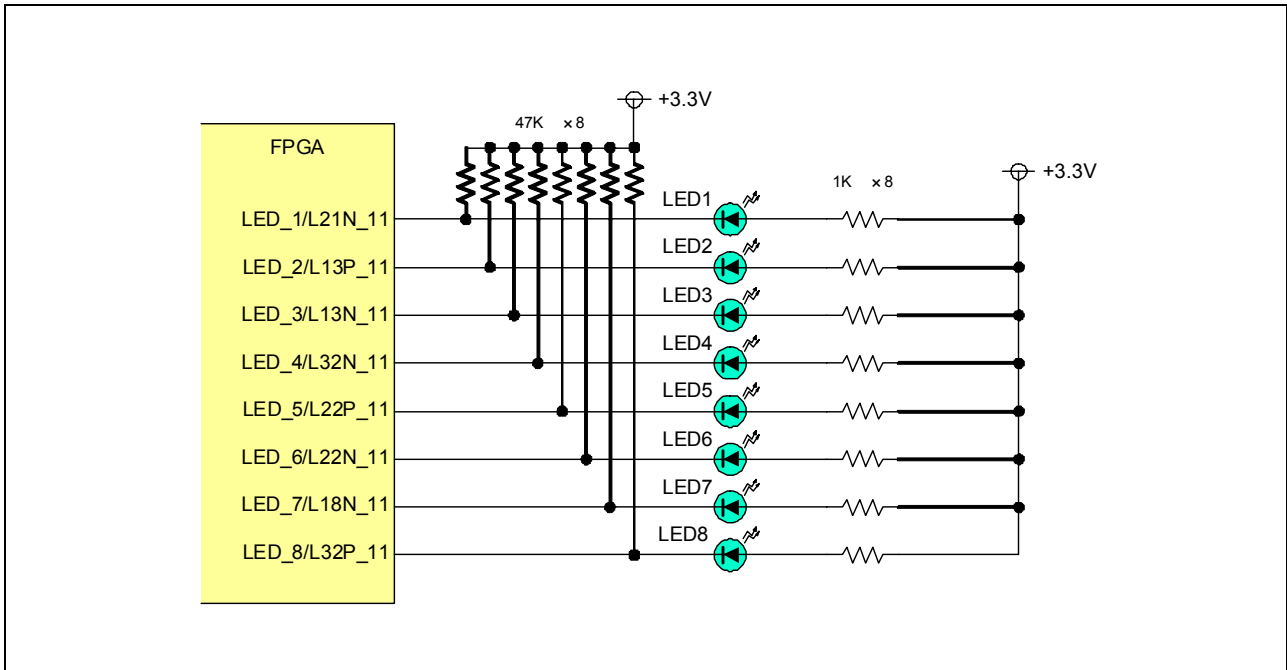
デフォルト・プログラミングの状態では、LEDはPFESiP/V850EP1のポート（P20-P27）に接続されており、FPGAのイニシャライズが完了すると、LEDは全点灯します。

このLEDを利用する場合は、PM2レジスタで、P20-P27を出力ポートに設定してください。

表8-1 デフォルト・プログラムでのLEDの動作

P20-P27	FPGAのLED (LED1-LED8)
00H	消灯
FFH	点灯

図8-1 FPGA用LED回路





## 8.1.2 USB ホスト・ポート LED (LED9, LED10)

**位置****参照用外観図 A-2 ~ B-2**

2ポートあるUSBホスト・ポートの電源投入を示すLEDです。電源が投入されると赤く点灯します。

USBホスト・ポート	LED No.	座標	コネクタの段
ポート0	LED9 (USB0) (赤)	A-2	下段
ポート1	LED10 (USB1) (赤)	A-3	上段

## 8.1.3 FPGA DONE 用 LED (LED11)

**位置****参照用外観図 A-3**

FPGAのコンフィグレーションを示すLEDです。

コンフィグレーション中に赤く点灯します。コンフィグレーションが完了すると消灯します。

LED11の状態	コンフィグレーション状態
点灯 (赤)	コンフィグレーション中
消灯	コンフィグレーション完了

## 8.1.4 電源 LED (LED12)

**位置****参照用外観図 E-6**

PFESiP EP-1 Evaluation Board は、通常は+5V 単一電源を供給して動作させます。

+5V 電源が給電されると、LED12 が青く点灯します。

LED12の状態	電源状態
点灯 (青)	電源 ON
消灯	電源 OFF

## 8.2 シリアル・コネクタ

位置

参照用外観図 A-4, A-5, A-6

PFESiP/V850EP1 内蔵アシンクロナス・シリアル・インタフェース (UART) 用のコネクタです。

PFESiP/V850EP1 は、4 チャンネルの UART を内蔵しており、下記のように端子が割り付けられています。

端子名称	入出力	機 能	兼用機能	リセット中
P30	入出力	ポート3, 3.3V インタフェース 8ビット入出力ポート P30-P37 は、アシンクロナス・シリアル・インタフェースの端子と兼用されています。	RXD0	Hi-Z
P31			TXD0	
P32			RXD1	
P33			TXD1	
P34			RXD2	
P35			TXD2	
P36			RXD3	
P37			TXD3	

PFESiP EP-1 Evaluation Board では、UART のコネクタは2つ (JSIO1, JSIO2) 搭載しています。

チャンネル0とチャンネル2, チャンネル1とチャンネル3を排他的に利用する構造で 利用しないTXD, RXD 端子をCTS, RTS にジャンパで割り当てます。

**注意** P30-P37 をポートとして使用する場合は、JP12, JP14, JP15, JP17 を open にしてください。

(1) JSIO1 (チャンネル0/チャンネル2)

インタフェース信号は、TXD0 (P31), RXD0 (P30) と、ハンドシェークは、ポートとソフトウェアで実現するために、RTS, CTS にそれぞれ P35, P34 を割り当てています。また、ジャンパ設定によりインタフェース信号に TXD2 (P35), RXD2 (P34), ハンドシェークに P31 (RTS), P30 (CTS) に交換することができます。

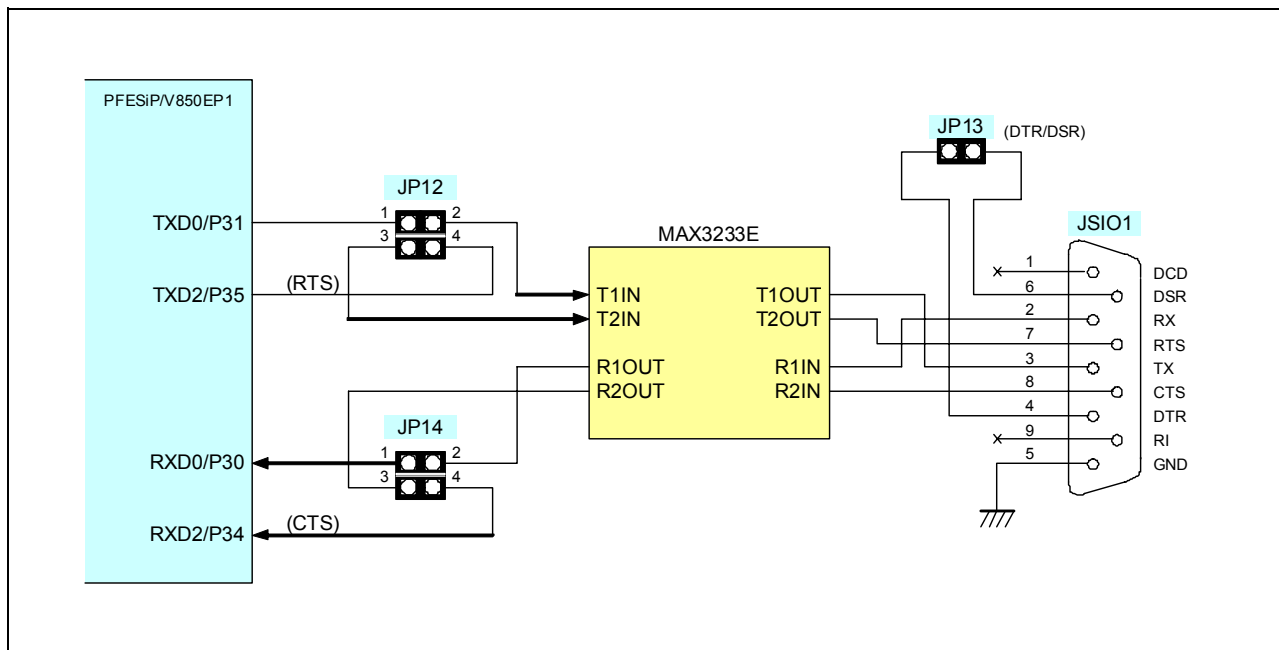
PFESiP/V850EP1 の TXD0 (P31), RXD0 (P30), P35 (RTS), P34 (CTS) は、3.3V インタフェースのため、RS-232C 規格に昇圧する MAX3233E を使用しています。

AT 互換パーソナル・コンピュータの COM ポートに用いられる D-sub 9 ピン・コネクタ (オス) を使用します。ホストを接続する場合はクロス・ケーブルを使用してください。

TXD0 (P31), TXD2 (P35), RXD0 (P30), RXD2 (P34) の各端子は、FPGA にも接続されているため、シリアル・インタフェースとして使用する場合は FPGA 側の端子を未使用 (または入力) にする必要があります。また逆に汎用ポートとして利用する場合は、JP12, JP14 を open としてください。

**注意** P30, P31, P34, P35 をポートとして使用する場合は、JP12, JP14 を open にしてください。

図8-2 JSIO1シリアル・コネクタ



## (2) JSIO2 (チャンネル1/チャンネル3)

インタフェース信号は、TXD1 (P33), RXD1 (P32) と、ハンドシェークは、ポートとソフトウェアで実現するために、RTS, CTS にそれぞれ P37, P36 を割り当てています。また、ジャンパ設定によりインタフェース信号に TXD3 (P37), RXD3 (P36), ハンドシェークに P33 (RTS), P32 (CTS) に交換することができます。

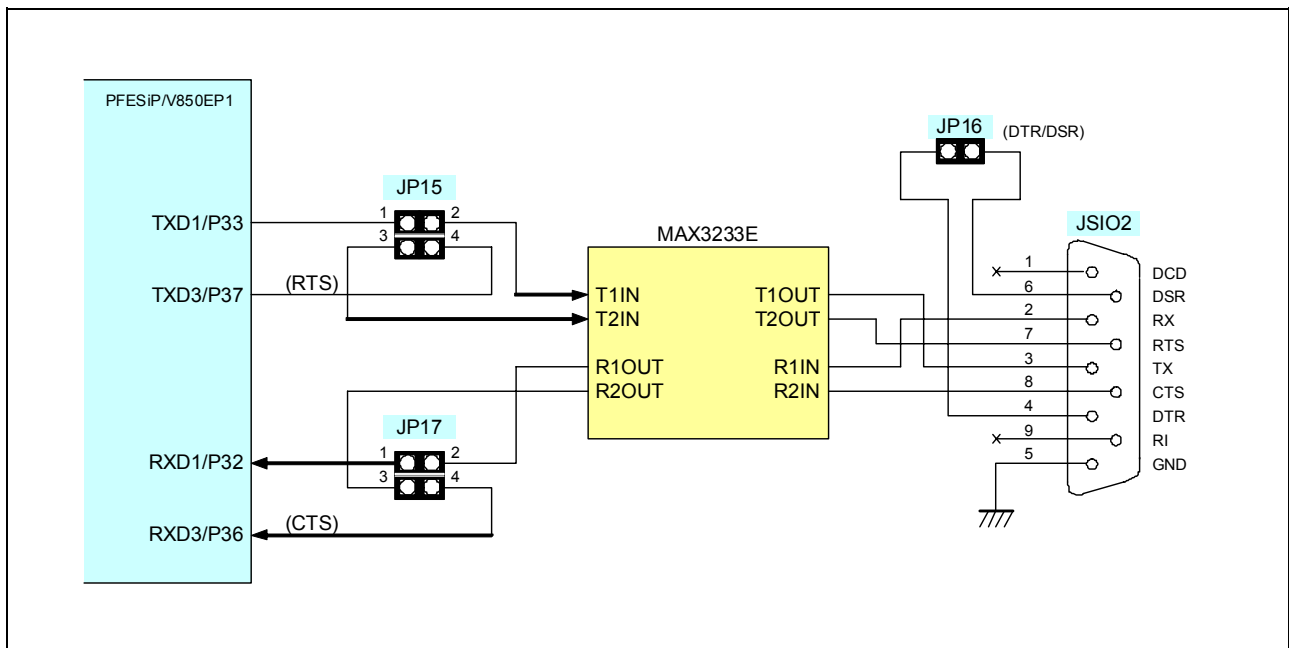
PFESiP/V850EP1 の TXD1 (P33), RXD1 (P32), P37 (RTS), P36 (CTS) は、3.3V インタフェースのため、RS-232C 規格に昇圧する MAX3233E を使用しています。

AT 互換パーソナル・コンピュータの COM ポートに用いられる D-sub 9 ピン・コネクタ (オス) を使用します。ホストを接続する場合はクロス・ケーブルを使用してください。

TXD1 (P33), TXD3 (P37), RXD1 (P32), RXD3 (P36) の各端子は、FPGA にも接続されているため、シリアル・インタフェースとして使用する場合は FPGA 側の端子を未使用 (または入力) にする必要があります。また逆に汎用ポートとして利用する場合は、JP15, JP17 を open としてください。

**注意** P32, P33, P36, P37 をポートとして使用する場合は、JP15, JP17 を open にしてください。

図8-3 JSIO2シリアル・コネクタ



## 8.3 USB 機能

PFESiP/V850EP1 は、Universal Serial Bus Specification に準拠した、USB ファンクション・コントローラと USB ホスト・コントローラを内蔵しています。

USB ファンクション・コントローラ：

12 Mbps (フルスピード) 転送に対応

1 ch アップストリーム・ポート搭載

下記の転送用エンド・ポイントを内蔵

エンド・ポイント名	FIFO サイズ (バイト)	転送タイプ	備 考
EP0	64	Control Read/Write	
EP1	64 × 2	Bulk In	ダブル・バッファ構成
EP2	64 × 2	Bulk Out	ダブル・バッファ構成
EP7	8	Interrupt	

Bulk In/Out データは DMA 転送 (2 クロック転送) 可能

USB ホスト・コントローラ：

12 Mbps (フルスピード) と 1.5 Mbps (ロースピード) 転送に対応

OHCI (Open Host Controller Interface) 1.0a をサポート

(ただし USB ポートを Disable から Enable へ遷移させる制御に制限あり)

2 ch ルート・ハブ機能を内蔵し、2 つのダウンストリーム・ポートを搭載

シェアード・メモリとして 8 K バイト内蔵 SRAM と外部 SDRAM を使用

## 8.3.1 USB ファンクション・コントローラの周辺回路

位置

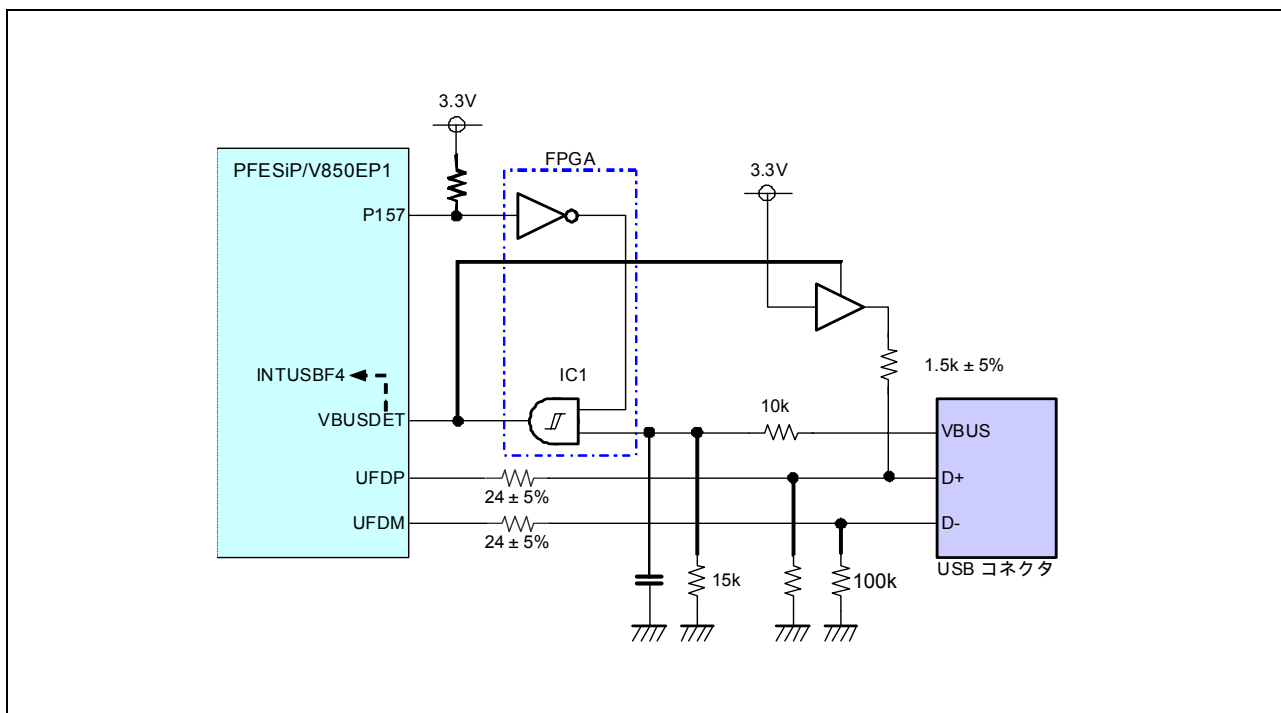
参照用外観図 A-3

PFESiP/V850EP1 の USB ファンクション・コントローラの D+/D-端子 (UFDP, UFDM) 近傍には、 $24\ \Omega \pm 5\%$  の抵抗を直列に接続しています。また PFESiP/V850EP1 のファンクション・コントローラはフルスピード (FS) ですので、D+端子 (UFDP) は  $1.5\ \text{K}\Omega \pm 5\%$  で 3.3 V 電源にプルアップしています。

VBUS 検出は、VBUSDET 端子で行います。P157 からロー・レベルを出力している場合のみ、VBUSDET による VBUS 検出ができます。VBUSDET にハイ・レベルが入力されている場合に、D+端子 (UFDP) のプルアップが有効になります。

なお、初期化時または未使用時には、フローティング状態を避けるため、D+/D-端子は  $100\ \text{K}\Omega$  でプルダウンしています。

図8-4 USBファンクション・コントローラ周辺回路



### 8.3.2 USB ホスト・コントローラの周辺回路

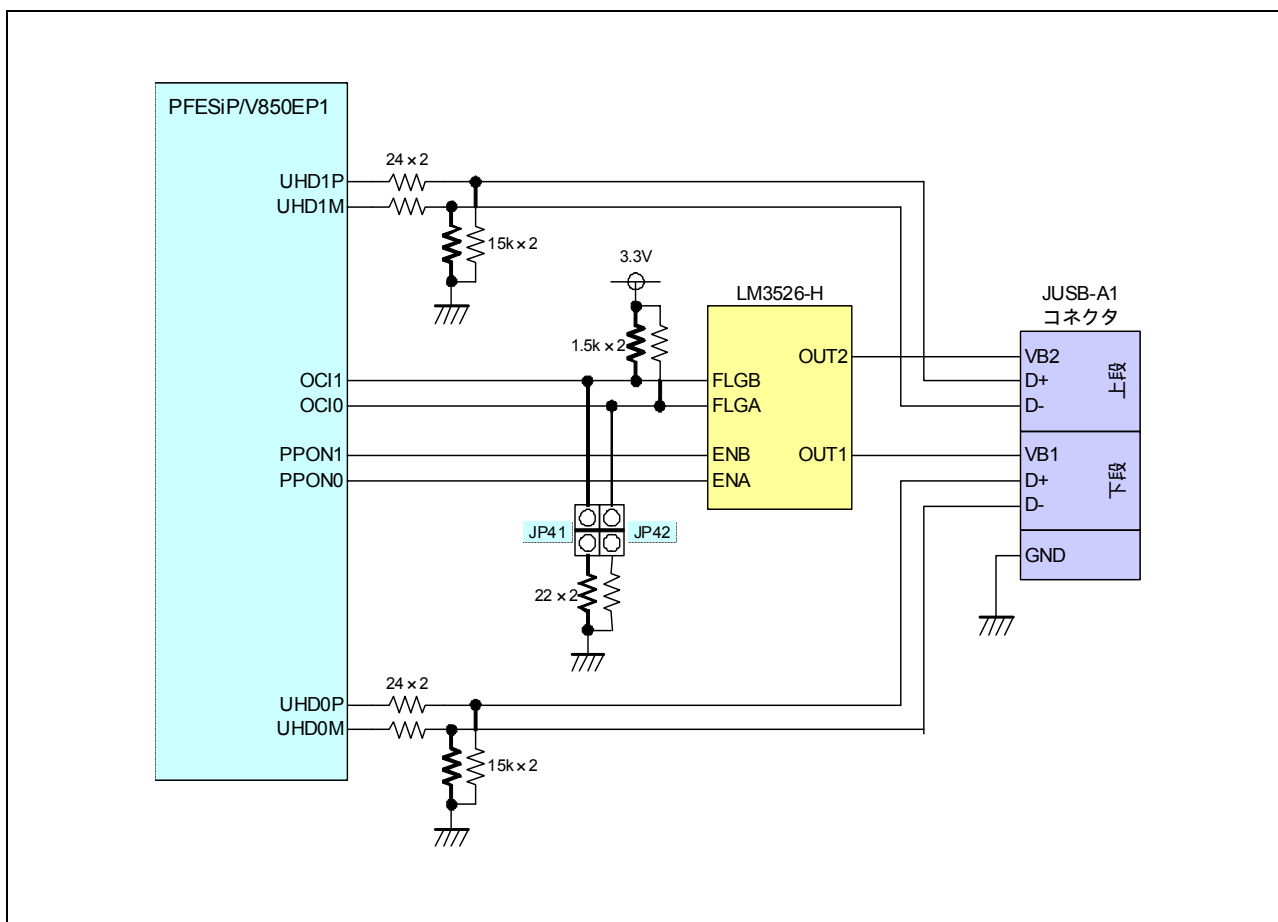
位置

参照用外観図 A-2

PFESiP/V850EP1 の USB ホスト・コントローラの D+/D-端子 (UHD0P, UHD0M, UHD1P, UHD1M) 近傍には,  $24\ \Omega \pm 5\%$  の抵抗を直列に接続しています。また,  $15\ \text{K}\ \Omega \pm 5\%$  で GND にプルダウンしています。

ホスト・コントローラのパワー・スイッチには, 過電流保護つきデュアル・ポート USB パワー・スイッチ LM3526 を用いています。

図8-5 USBホスト・コントローラ周辺回路



### 8.3.3 USB ホスト・ポート LED (LED9, LED10)

位置

参照用外観図 A-2, B-2

2ポートある USB ホスト・ポートの電源投入を示す LED です。電源が投入されると赤く点灯します。

USB ホスト・ポート	LED No.	座標	コネクタの段
ポート 0	LED9 (USB0) (赤)	A-2	下段
ポート 1	LED10 (USB1) (赤)	A-3	上段

## 8.4 アナログ入力機能

位置

参照用外観図 D-4

### 8.4.1 アナログ入力ターミナル

PFESiP/V850EP1 の A/D コンバータの AIN0-AIN7 は、GND と信号が対になったターミナルに接続されています。通常 AIN0-AIN5 および AIN7 は、GND とジャンパ (JP9 および JP11) でショートされています。

また、AIN6 は、通常 A/D コンバータ接続ボリュームと接続されていますが、GND 接続への切り替えも行えます。

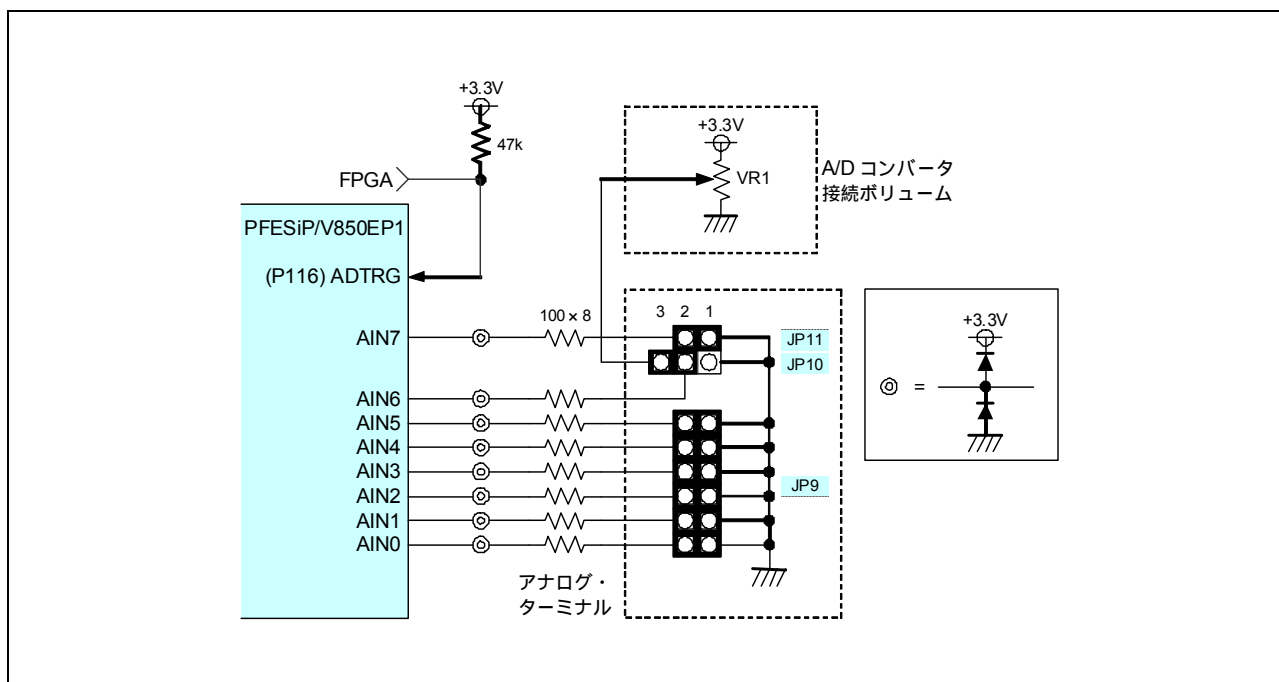
外部からアナログを入力する場合は、GND とのツイスト・ペア線で、このターミナルに接続してください。

### 8.4.2 A/D コンバータ接続ボリューム

PFESiP/V850EP1 の A/D コンバータの AIN6 には、3.3 V 電源を分圧するボリュームが接続されています。このとき JP10 は 2-3 ショートで利用します。

JP10 の 1-2 を利用して、AIN0-AIN5、AIN7 と同様にツイスト・ペア線でアナログ入力も可能です。

図8-6 A/Dコンバータの接続回路





## 8.5 電源回路

位置

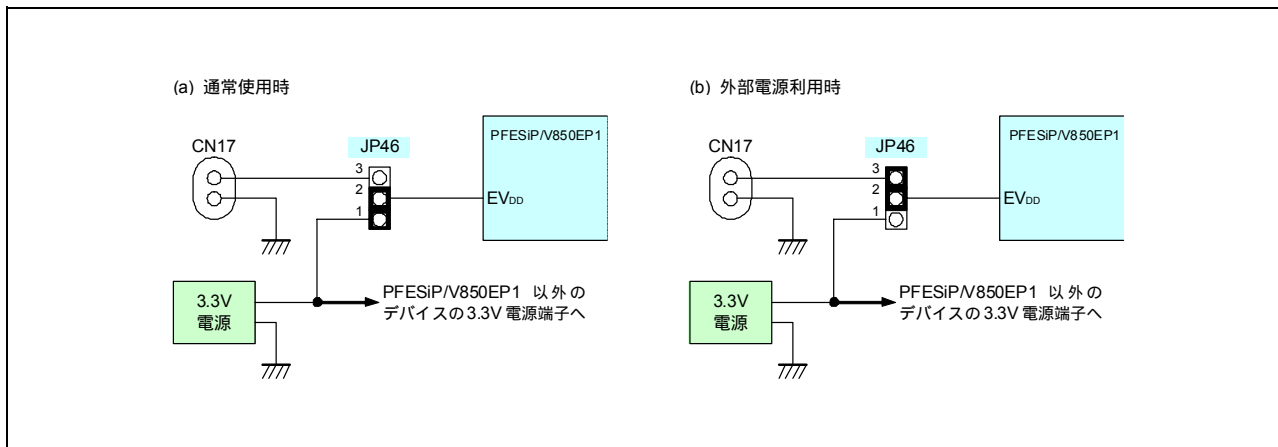
参照用外観図 H-1 ~ I-4

PFESiP EP-1 Evaluation Board は、通常は、+5.0 V 単一電源で利用します。各デバイスで必要となる電源は、オンボードの電源モジュールで生成されます。このとき CN21 または CN23 に AC アダプタを接続してください。

オンボードの電源モジュールは、スイッチング・レギュレータのため、微量のリプル成分があります。このため外部の安定化電源も利用できます。特に PFESiP/V850EP1 に限って +3.3 V を CN17, +1.5 V を CN18 から独立に供給できます。ただし、PFESiP/V850EP1 以外のデバイスにも電源を供給する必要があるため、CN17, CN18 を利用している場合でも +5.0 V は、CN21, CN23, CN16 のいずれかから供給してください。

### 8.5.1 PFESiP/V850EP1 EV<sub>DD</sub> : +3.3 V 電源

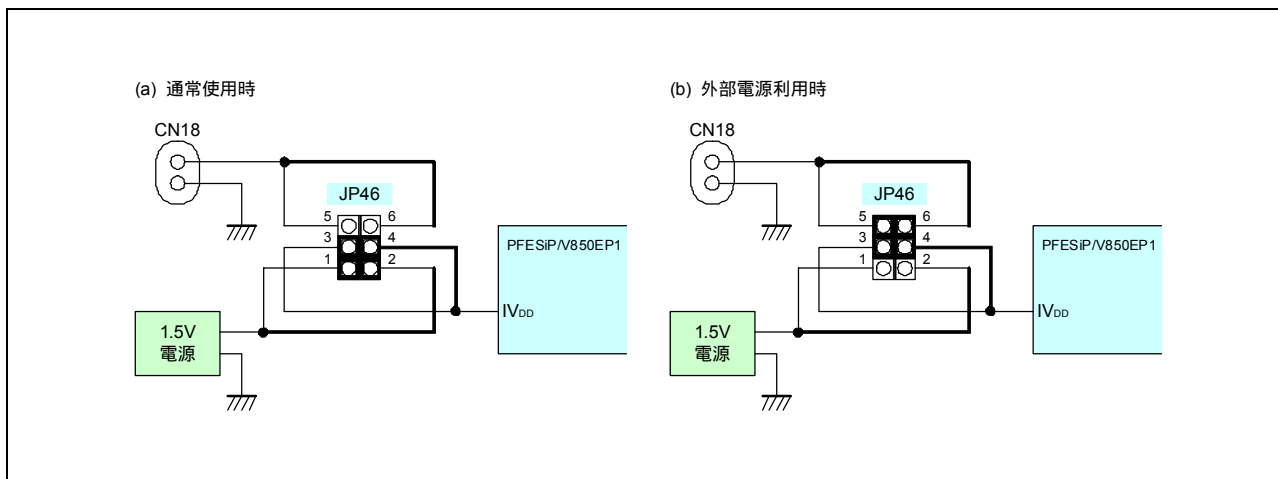
PFESiP EP-1 Evaluation Board で、PFESiP/V850EP1 のみが利用する 3.3 V 電源は、オンボード電源と外部電源 (CN17) を選択できます。電流測定を行う場合は外部電源を利用し、電流計を接続してください。



**注意** PFESiP/V850EP1 以外の 3.3 V 電源は、5.0 V 電源から生成されています。PFESiP/V850EP1 の EV<sub>DD</sub> : 3.3 V は、CN17 を利用して外部から供給する場合でも、5.0 V 電源は接続してください。

### 8.5.2 PFESiP/V850EP1 IV<sub>DD</sub> : +1.5 V 電源

PFESiP EP-1 Evaluation Board のうち、1.5 V 電源は、PFESiP/V850EP1 の内部電源としてのみ使用されています。1.5 V 電源は、オンボード電源と外部電源 (CN18) を選択できます。電流測定を行う場合は外部電源を利用し、電流計を接続してください。電流容量確保のため、ジャンパは 2 個利用します。



## 8.6 操作スイッチ

### 8.6.1 リセット・スイッチ

位置

参照用外観図 H-7

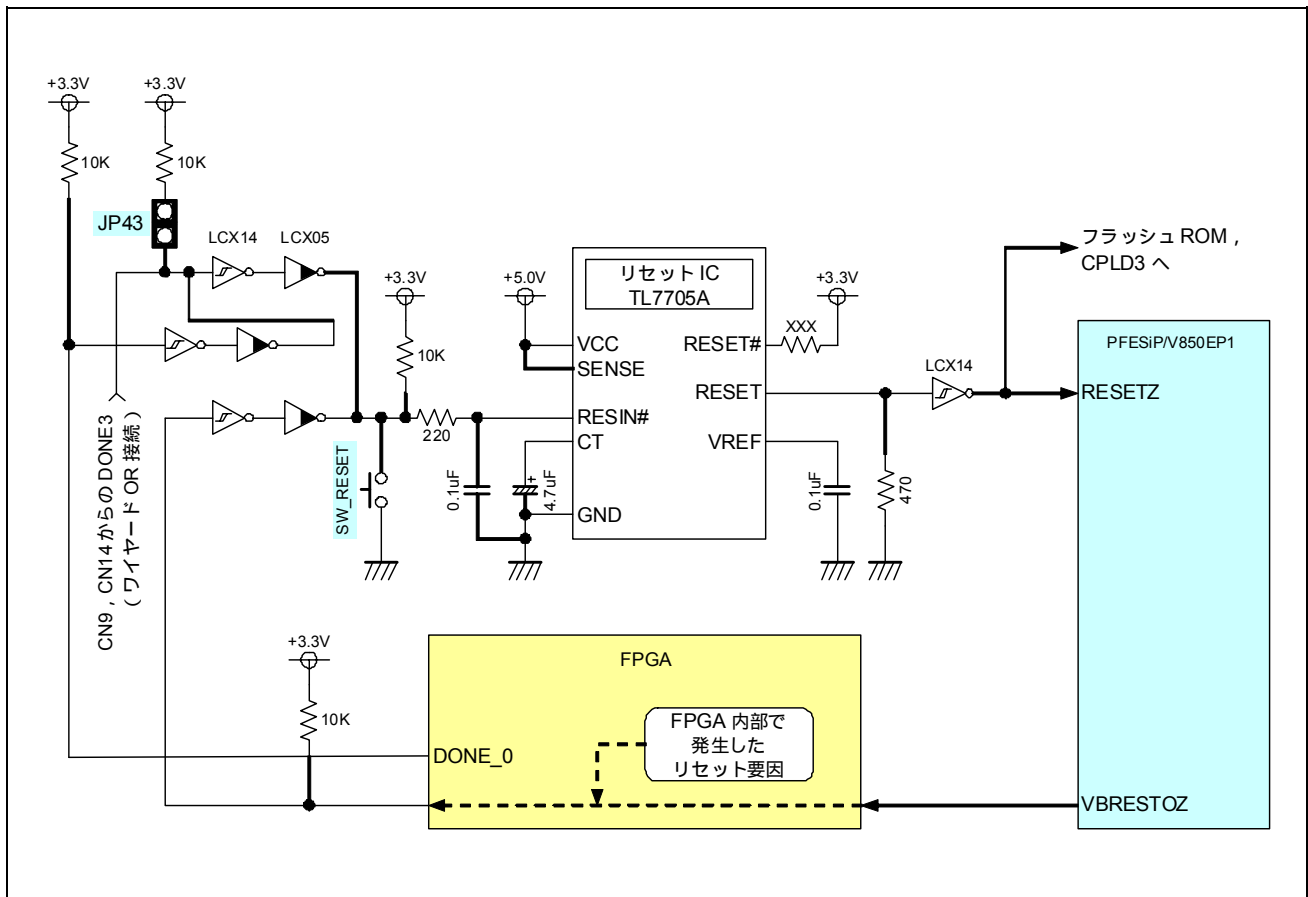
PFESiP/V850EP1 のリセット用途として、SW\_RESET (RESETZ) が用意されています。

SW\_RESET はモーメンタリ・タイプのトグル・スイッチとして設けられています。発振安定待ち、PLL のロック待ち、およびパイプライン・クリアに必要なリセット機能は、PFESiP/V850EP1 内部に組み込まれています。PFESiP/V850EP1 は、リセット入力解除された時点から、発振安定待ちを開始します。なお、FPGA のコンフィギュレーション中にも、PFESiP/V850EP1 はリセット状態になります。

このリセット信号は、フラッシュ ROM、およびフラッシュ ROM のバンクを管理する CPLD3 にも供給されています。

また、RESETZ はスイッチによる操作の他に、FPGA 経由での操作も可能です。FPGA 経由で操作を行う場合、各スイッチは必ず OFF の状態で使用しなければなりません。プログラムや操作上のミスによる衝突の対策として、FPGA の端子とは 1K 抵抗でダンピングされています。

図8-7 パワーオン・リセット・スイッチ



## 8.6.2 割り込みスイッチ

**位置****参照用外観図 H-7**

NMI (SW\_NMI), INTPZ7 (SW\_INTP7) は、基板上にプッシュ・スイッチを設けています。これらはチャタリング防止回路が組み込まれています。

これらのスイッチは、オンボード大容量 FPGA がデフォルト・プログラミングの状態で作動します。

スイッチを押さない状態で、ハイ・レベルが PFESiP/V850EP1 に出力されます。スイッチを押すと、ロー・レベルが PFESiP/V850EP1 に出力されます。

SW_NMI, SW_INTP7	PFESiP/V850EP1 入力
通常	ハイ・レベル入力
プッシュ	ロー・レベル入力

パワーオン時の内部の初期化が、チャタリング防止回路の電源立ち上がりより早い場合には、ブート時に割り込み要求フラグがセットされるため、初期化プログラムでは、全割り込み要求フラグをクリアするようにしてください。

**注意** オンボード FPGA の内容を書き換える際に、NMI、INTPZ7 を使用する場合は、FPGA のデータに NMI、INTPZ7 の処理を加えてください。

## 第9章 オプション・ボード

PFESiP EP-1 Evaluation Board のオプション・ボードとして、コネクタ変換ボードがあります。

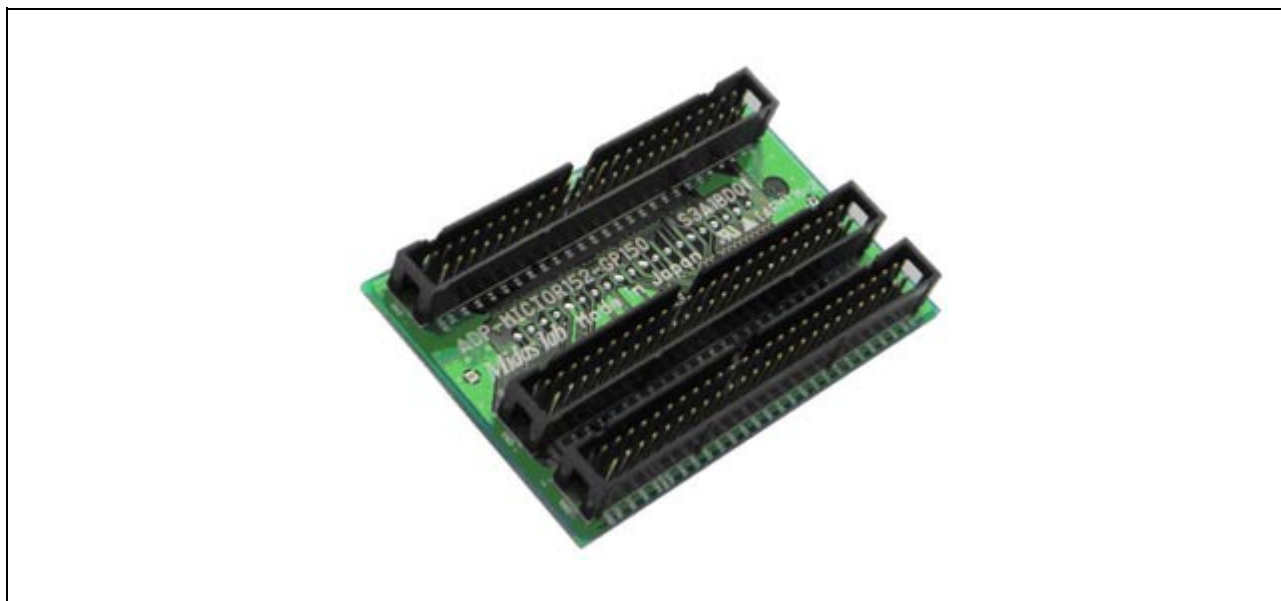
### 9.1 コネクタ変換ボード

AMP MICTOR コネクタは、インピーダンス・マッチング・コネクタで、高速伝送の特性に優れていますが、汎用基板への搭載ができず、専用ボードを新規に開発する必要があります。

コネクタ変換ボードは、AMP MICTOR コネクタ (CN6, CN7, CN9) の信号を、50 ピン汎用コネクタ×3個に変換するボードです。コネクタ変換ボードを使用することで、豊富な外部入出力信号を容易に利用できます。

ただし、コネクタ変換ボードを経由する信号は、高速伝送には不向きです。一般的には、AMP MICTOR コネクタを使用した専用ボードが調達されるまでの簡易デバッグ用、あるいは、信号の簡易的な観測などに利用してください。

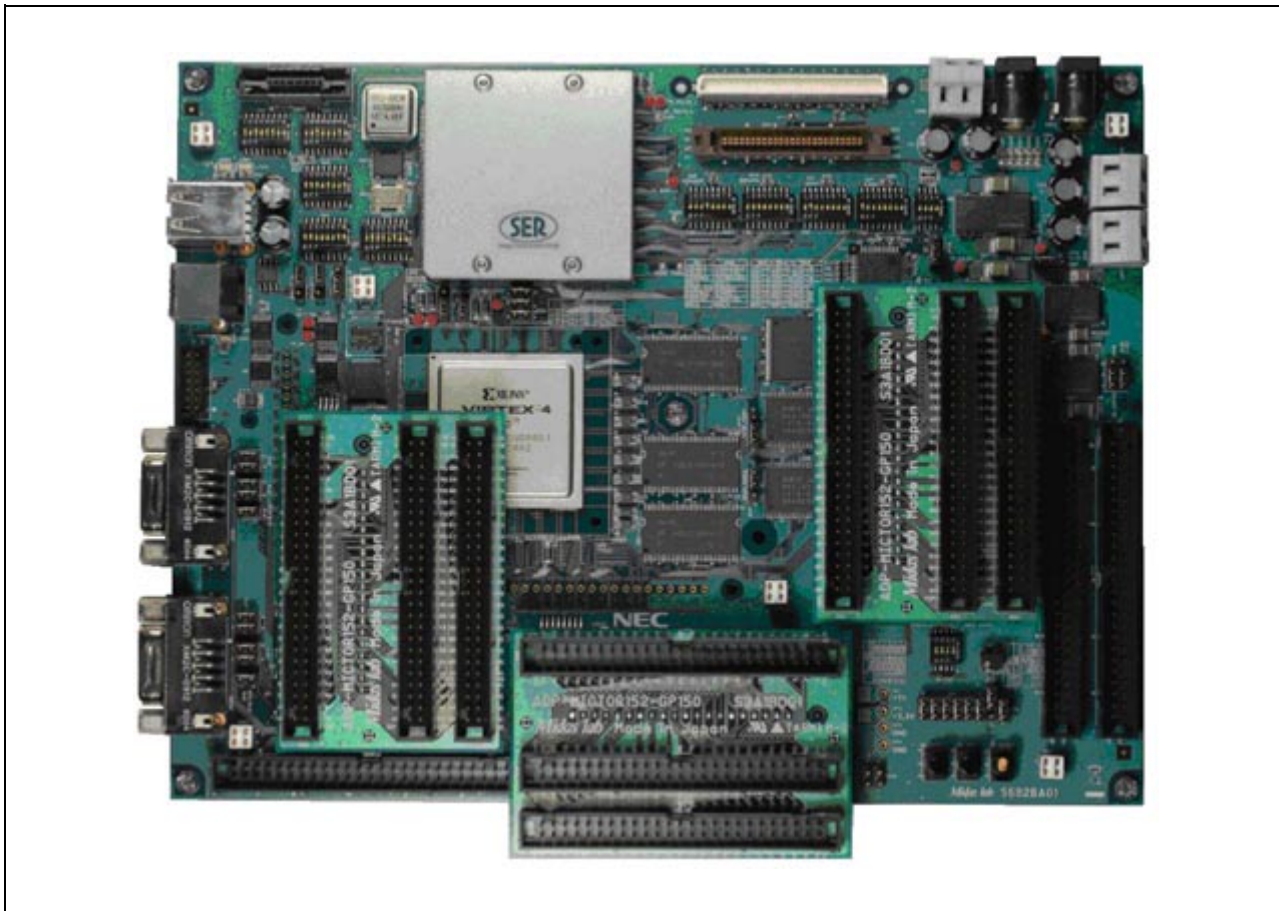
#### 9.1.1 コネクタ変換ボードの形状



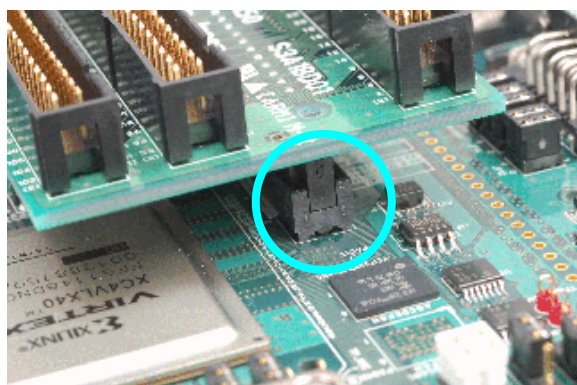
### 9.1.2 コネクタ変換ボードの取り付け

AMP MICTOR コネクタのプラグ (コネクタ変換ボード側) とレセプタクル (PFESiP EP-1 Evaluation Board 側) とを接続し、下記の写真のように取り付けてください。

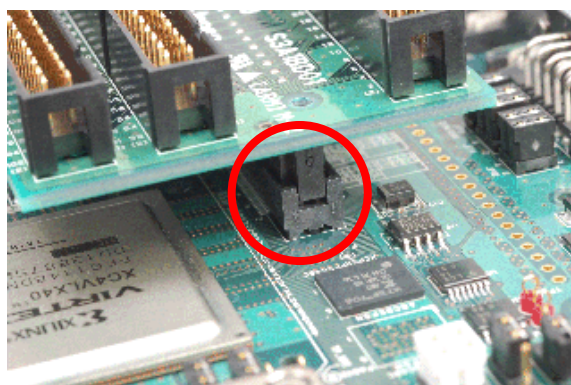
PFESiP EP-1 Evaluation Board 上の各種スイッチ類が干渉しますが、コネクタ変換ボードは同時に CN6, CN7, CN9 の3箇所すべてに同時装着できます。



取り付け OK



取り付け NG



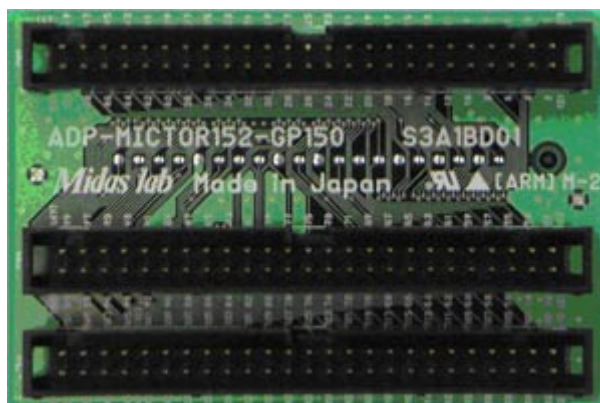
### 9.1.3 AMP MICTOR と汎用コネクタの信号の割り当て

PFESiP/V850EP1 の拡張用 AMP MICTOR コネクタは、152 ピン・タイプです。

一方の汎用 50 ピン・コネクタは 3 個で、150 信号までの対応です。

このため、AMP MICTOR コネクタの 143 ピンと 144 ピンは接続されません。その他の信号は 1 対 1 で接続されます。コネクタ変換ボード上の番号のシルク印刷は、AMP MICTOR コネクタのピン番号に相当します。また、AMP MICTOR コネクタは、中心にグランド・ラインがあるため、これを変換基板グランド・パターンに使用しています。なお、CN6, CN7, CN9 の 143 ピンと 144 ピンは、下記のように電源ラインです。

	CN6	CN7	CN9
143 ピン	+3.3 V		
144 ピン	+5.0 V		



## 付録 A FPGA 端子処理

### A.1 ISE ソフトウェア・ユーザ制約ファイル (.ucf)

オンボード FPGA は、標準で XC4VLX40FF1148-11 が搭載されます。この FPGA のデザイン・ツールには、一般的に ISE ソフトウェアを使用します。

この際、FPGA の端子は、PFESiP EP-1 Evaluation Board 固有で接続されているため、お客様の要求に応じて ISE ソフトウェア・ユーザ制約ファイル (.ucf) のフォーマットに合わせた、ピン配置情報を提供しています。

FPGA の端子はグリッド名称で定義されていますが、ここで提供する ISE ソフトウェア・ユーザ制約ファイル (.ucf) は、PFESiP/V850EP1 の端子名称、コネクタ番号 (CNn) とピン番号などで、端子名を指定できるようにするものです。以下に、デフォルトの ISE ソフトウェア・ユーザ制約ファイル (.ucf) を示します。

**注意** 同一端子に、複数の信号名を使用しないでください。  
たとえば、P0<0>と INTPZ<0>を併用しないでください。

## デフォルト.ucf ファイル

(1/6)

```

#PACE: Start of PACE I/O Pin Assignments
# --- P2 ---
NET "P2<0>" LOC = "B2" | IOSTANDARD = LVCMOS33 ;
NET "P2<1>" LOC = "A3" | IOSTANDARD = LVCMOS33 ;
NET "P2<2>" LOC = "B3" | IOSTANDARD = LVCMOS33 ;
NET "P2<3>" LOC = "A4" | IOSTANDARD = LVCMOS33 ;
NET "P2<4>" LOC = "C2" | IOSTANDARD = LVCMOS33 ;
NET "P2<5>" LOC = "C3" | IOSTANDARD = LVCMOS33 ;
NET "P2<6>" LOC = "C4" | IOSTANDARD = LVCMOS33 ;
NET "P2<7>" LOC = "D1" | IOSTANDARD = LVCMOS33 ;
# --- PORT1 ---
NET "P1<0>" LOC = "P7" | IOSTANDARD = LVCMOS33 ;
NET "P1<1>" LOC = "P9" | IOSTANDARD = LVCMOS33 ;
NET "P1<2>" LOC = "R11" | IOSTANDARD = LVCMOS33 ;
NET "P1<3>" LOC = "R9" | IOSTANDARD = LVCMOS33 ;
NET "P1<4>" LOC = "F4" | IOSTANDARD = LVCMOS33 ;
NET "P1<5>" LOC = "F5" | IOSTANDARD = LVCMOS33 ;
NET "P1<6>" LOC = "G1" | IOSTANDARD = LVCMOS33 ;
NET "P1<7>" LOC = "G2" | IOSTANDARD = LVCMOS33 ;
# --- Aurora cont. ---
NET "FRESET" LOC = "AE32" | IOSTANDARD = LVCMOS33 ;
# --- FPGA1 unused ---
NET "SROM_CLK" LOC = "AD32" | IOSTANDARD = LVCMOS33 ;
NET "SROM_D" LOC = "AD34" | IOSTANDARD = LVCMOS33 ;
NET "SROM_S" LOC = "AE29" | IOSTANDARD = LVCMOS33 ;
NET "SROM_Q" LOC = "AE31" | IOSTANDARD = LVCMOS33 ;
NET "CSICSZ" LOC = "T10" | IOSTANDARD = LVCMOS33 ;
NET "PAD<1>" LOC = "G11" | IOSTANDARD = LVCMOS33 ;
NET "PAD<2>" LOC = "M3" | IOSTANDARD = LVCMOS33 ;
NET "PAD<3>" LOC = "AJ31" | IOSTANDARD = LVCMOS33 ;
# --- FPGA1 プッシュ・スイッチ ---
NET "NMI_IN" LOC = "G3" | IOSTANDARD = LVCMOS33 ;
NET "NMI_OUT" LOC = "H3" | IOSTANDARD = LVCMOS33 ;
NET "SW_INTP7" LOC = "E24" | IOSTANDARD = LVCMOS33 ;
NET "INTPZ<7>" LOC = "K3" | IOSTANDARD = LVCMOS33 ;

# --- FPGA1 DIPSW ---
NET "DIPSW<1>" LOC = "AE33" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<2>" LOC = "AE34" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<3>" LOC = "AF29" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<4>" LOC = "AF30" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<5>" LOC = "AF31" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<6>" LOC = "AF33" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<7>" LOC = "AF34" | IOSTANDARD = LVCMOS33 ;
NET "DIPSW<8>" LOC = "AG30" | IOSTANDARD = LVCMOS33 ;
# --- FPGA1 LED ---
NET "LED<1>" LOC = "AG31" | IOSTANDARD = LVCMOS33 ;
NET "LED<2>" LOC = "AG32" | IOSTANDARD = LVCMOS33 ;
NET "LED<3>" LOC = "AG33" | IOSTANDARD = LVCMOS33 ;
NET "LED<4>" LOC = "AH30" | IOSTANDARD = LVCMOS33 ;
NET "LED<5>" LOC = "AH32" | IOSTANDARD = LVCMOS33 ;
NET "LED<6>" LOC = "AH33" | IOSTANDARD = LVCMOS33 ;
NET "LED<7>" LOC = "AH34" | IOSTANDARD = LVCMOS33 ;
NET "LED<8>" LOC = "AJ30" | IOSTANDARD = LVCMOS33 ;

# --- GPIO[287:0]
NET "GPIO<262>" LOC = "AC25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<263>" LOC = "AC27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<264>" LOC = "AD26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<265>" LOC = "AA23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<266>" LOC = "AA24" | IOSTANDARD = LVCMOS33 | PULLUP ;

```



## デフォルト.ucf ファイル

(2/6)

```

NET "GPIO<267>" LOC = "AA25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<268>" LOC = "AA26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<269>" LOC = "AA28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<270>" LOC = "AA29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<271>" LOC = "AA30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<272>" LOC = "AB22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<273>" LOC = "AB23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<274>" LOC = "AB25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<275>" LOC = "AB26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<276>" LOC = "AB28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<277>" LOC = "AB30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<278>" LOC = "AC28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<279>" LOC = "AC29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<280>" LOC = "AC30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<281>" LOC = "AC32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<282>" LOC = "AC33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<283>" LOC = "AC34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<284>" LOC = "AD27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<285>" LOC = "AD29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<286>" LOC = "AD30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<287>" LOC = "AD31" | IOSTANDARD = LVCMOS33 | PULLUP ;

NET "GPIO<258>" LOC = "W24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<259>" LOC = "W25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<260>" LOC = "Y24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<261>" LOC = "Y26" | IOSTANDARD = LVCMOS33 | PULLUP ;

NET "GPIO<220>" LOC = "J34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<221>" LOC = "K28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<222>" LOC = "K29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<223>" LOC = "K31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<224>" LOC = "K32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<225>" LOC = "K33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<226>" LOC = "K34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<227>" LOC = "K27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<228>" LOC = "L28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<229>" LOC = "L29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<230>" LOC = "L30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<231>" LOC = "L31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<232>" LOC = "L33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<233>" LOC = "L34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<234>" LOC = "M27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<235>" LOC = "M28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<236>" LOC = "M30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<237>" LOC = "M31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<238>" LOC = "M32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<239>" LOC = "M33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<240>" LOC = "N22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<241>" LOC = "N23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<242>" LOC = "N25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<243>" LOC = "N27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<244>" LOC = "N29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<245>" LOC = "N30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<246>" LOC = "P20" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<247>" LOC = "P22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<248>" LOC = "P24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<249>" LOC = "P26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<250>" LOC = "P27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<251>" LOC = "R19" | IOSTANDARD = LVCMOS33 | PULLUP ;

```

## デフォルト.ucf ファイル

(3/6)

```

NET "GPIO<252>" LOC = "R21" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<253>" LOC = "R22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<254>" LOC = "R23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<255>" LOC = "R24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<256>" LOC = "M26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<257>" LOC = "M25" | IOSTANDARD = LVCMOS33 | PULLUP ;

NET "GPIO<219>" LOC = "AJ12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<218>" LOC = "AK12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<217>" LOC = "AM12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<216>" LOC = "AN12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<215>" LOC = "AP12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<214>" LOC = "AK13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<213>" LOC = "AL13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<212>" LOC = "AM13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<211>" LOC = "AN13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<210>" LOC = "AN14" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<209>" LOC = "AP14" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<208>" LOC = "AF11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<207>" LOC = "AE11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<206>" LOC = "AG10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<205>" LOC = "AF10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<204>" LOC = "AD10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<203>" LOC = "AD9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<202>" LOC = "AE16" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<201>" LOC = "AF16" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<200>" LOC = "AG16" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<199>" LOC = "AE17" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<198>" LOC = "AG17" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<197>" LOC = "AH17" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<196>" LOC = "AJ17" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<195>" LOC = "AK17" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<194>" LOC = "AE18" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<193>" LOC = "AF18" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<192>" LOC = "AG18" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<191>" LOC = "AH18" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<190>" LOC = "AK18" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<189>" LOC = "AH19" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<188>" LOC = "AJ19" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<187>" LOC = "AK19" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<186>" LOC = "AF24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<185>" LOC = "AG25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<184>" LOC = "AE26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<183>" LOC = "AE27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<182>" LOC = "AG27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<181>" LOC = "AF28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<180>" LOC = "AK21" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<179>" LOC = "AL21" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<178>" LOC = "AM21" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<177>" LOC = "AP21" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<176>" LOC = "AK22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<175>" LOC = "AM22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<174>" LOC = "AN22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<173>" LOC = "AP22" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<172>" LOC = "AG23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<171>" LOC = "AH23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<170>" LOC = "AK23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<169>" LOC = "AL23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<168>" LOC = "AM23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<167>" LOC = "AN23" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<166>" LOC = "AH24" | IOSTANDARD = LVCMOS33 | PULLUP ;

```

## デフォルト.ucf ファイル

(4/6)

```

NET "GPIO<165>" LOC = "AJ24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<164>" LOC = "AK24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<163>" LOC = "AL24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<162>" LOC = "AN24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<161>" LOC = "AP24" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<160>" LOC = "AH25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<159>" LOC = "AJ25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<158>" LOC = "AL25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<157>" LOC = "AM25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<156>" LOC = "AN25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<155>" LOC = "AP25" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<154>" LOC = "AF26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<153>" LOC = "AG26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<152>" LOC = "AK26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<151>" LOC = "AL26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<150>" LOC = "AM26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<149>" LOC = "AP26" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<148>" LOC = "AH27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<147>" LOC = "AJ27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<146>" LOC = "AK27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<145>" LOC = "AM27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<144>" LOC = "AN27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<143>" LOC = "AP27" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<142>" LOC = "AG28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<141>" LOC = "AH28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<140>" LOC = "AK28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<139>" LOC = "AL28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<138>" LOC = "AM28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<137>" LOC = "AN28" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<136>" LOC = "AH29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<135>" LOC = "AJ29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<134>" LOC = "AK29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<133>" LOC = "AL29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<132>" LOC = "AN29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<131>" LOC = "AP29" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<130>" LOC = "AL30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<129>" LOC = "AM30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<128>" LOC = "AN30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<127>" LOC = "AP30" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<126>" LOC = "AP31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<125>" LOC = "AN32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<124>" LOC = "AP32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<123>" LOC = "AN33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<122>" LOC = "AJ32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<121>" LOC = "AJ34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<120>" LOC = "AK31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<119>" LOC = "AK32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<118>" LOC = "AK33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<117>" LOC = "AK34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<116>" LOC = "AL31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<115>" LOC = "AL33" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<114>" LOC = "AL34" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<113>" LOC = "AM31" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<112>" LOC = "AM32" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<111>" LOC = "AM33" | IOSTANDARD = LVCMOS33 | PULLUP ;

NET "GPIO<64>" LOC = "AN2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<65>" LOC = "AN3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<66>" LOC = "AJ4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<67>" LOC = "AK4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<68>" LOC = "AL4" | IOSTANDARD = LVCMOS33 | PULLUP ;

```

## デフォルト.ucf ファイル

(5/6)

```

NET "GPIO<69>" LOC = "AN4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<70>" LOC = "AP4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<71>" LOC = "AJ5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<72>" LOC = "AL5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<73>" LOC = "AM5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<74>" LOC = "AN5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<75>" LOC = "AP5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<76>" LOC = "AJ6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<77>" LOC = "AK6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<78>" LOC = "AL6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<79>" LOC = "AM6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<80>" LOC = "AP6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<81>" LOC = "AH7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<82>" LOC = "AJ7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<83>" LOC = "AK7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<84>" LOC = "AM7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<85>" LOC = "AN7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<86>" LOC = "AP7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<87>" LOC = "AH8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<88>" LOC = "AK8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<89>" LOC = "AL8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<90>" LOC = "AM8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<91>" LOC = "AN8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<92>" LOC = "AE9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<93>" LOC = "AJ9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<94>" LOC = "AK9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<95>" LOC = "AL9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<96>" LOC = "AN9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<97>" LOC = "AP9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<98>" LOC = "AH10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<99>" LOC = "AJ10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<100>" LOC = "AL10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<101>" LOC = "AM10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<102>" LOC = "AN10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<103>" LOC = "AP10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<104>" LOC = "AG11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<105>" LOC = "AJ11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<106>" LOC = "AK11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<107>" LOC = "AL11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<108>" LOC = "AM11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<109>" LOC = "AP11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<110>" LOC = "AH12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<0>" LOC = "Y11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<1>" LOC = "Y12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<2>" LOC = "Y13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<3>" LOC = "Y14" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<4>" LOC = "Y16" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<5>" LOC = "AA11" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<6>" LOC = "AA13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<7>" LOC = "AA15" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<8>" LOC = "AA8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<9>" LOC = "AA9" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<10>" LOC = "AB10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<11>" LOC = "AB12" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<12>" LOC = "AB13" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<13>" LOC = "AB5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<14>" LOC = "AB6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<15>" LOC = "AB8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<16>" LOC = "AC2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<17>" LOC = "AC3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<18>" LOC = "AC4" | IOSTANDARD = LVCMOS33 | PULLUP ;

```

## デフォルト.ucf ファイル

(6/6)

```
NET "GPIO<19>" LOC = "AC5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<20>" LOC = "AC7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<21>" LOC = "AC8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<22>" LOC = "AD1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<23>" LOC = "AD2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<24>" LOC = "AD4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<25>" LOC = "AD5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<26>" LOC = "AD6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<27>" LOC = "AD7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<28>" LOC = "AE1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<29>" LOC = "AE2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<30>" LOC = "AE3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<31>" LOC = "AE4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<32>" LOC = "AE6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<33>" LOC = "AE7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<34>" LOC = "AF1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<35>" LOC = "AF3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<36>" LOC = "AF4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<37>" LOC = "AF5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<38>" LOC = "AF6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<39>" LOC = "AF8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<40>" LOC = "AG1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<41>" LOC = "AG2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<42>" LOC = "AG3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<43>" LOC = "AG5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<44>" LOC = "AG6" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<45>" LOC = "AG7" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<46>" LOC = "AH2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<47>" LOC = "AH3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<48>" LOC = "AH4" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<49>" LOC = "AH5" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<50>" LOC = "AJ1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<51>" LOC = "AJ2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<52>" LOC = "AK1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<53>" LOC = "AK2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<54>" LOC = "AK3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<55>" LOC = "AL1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<56>" LOC = "AL3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<57>" LOC = "AM1" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<58>" LOC = "AM2" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<59>" LOC = "AM3" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<60>" LOC = "AG8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<61>" LOC = "AE8" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<62>" LOC = "AC10" | IOSTANDARD = LVCMOS33 | PULLUP ;
NET "GPIO<63>" LOC = "AC9" | IOSTANDARD = LVCMOS33 | PULLUP ;
```

```
#PACE: Start of PACE Area Constraints
```

```
#PACE: Start of PACE Prohibit Constraints
```

```
#PACE: End of Constraints generated by PACE
```

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

---

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。