

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

設計マニュアル

CB-9 ファミリ VX/VM タイプ コア・ライブラリ

0.35 μm CMOS セルベース IC (CBIC)

CPU コア , メモリ・コントローラ編

78K/0 コア

V851TM コア

V853TM コア

V30MXTM

V30MZTM

NB85E

NB85E901

NB85ET

NB85E500

NU85E500

NU85E502

[メモ]

目次要約

第 1 章 共通編 ...	15
第 2 章 78K/0 コア ...	19
第 3 章 V851 コア ...	43
第 4 章 V853 コア ...	63
第 5 章 V30MX ...	88
第 6 章 V30MZ ...	105
第 7 章 NB85E ...	116
第 8 章 NB85E901 ...	153
第 9 章 NB85ET ...	158
第 10 章 NB85E500 ...	196
第 11 章 NU85E500 ...	226
第 12 章 NU85E502 ...	256
付録 改版履歴 ...	270

CMOSデバイスの一般的注意事項

静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

OPENCAD は日本電気株式会社の登録商標です。

V850 ファミリ, V851, V853, V30MX, V30MZ, V30HL, V.sim は日本電気株式会社の商標です。

Verilog-XL は米国 Cadence Design Systems, Inc.の商標です。

注意：78K0コアは μ Cバス・インタフェース回路を内蔵しています。

μ Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社の μ Cバス対応部品をご購入いただくことにより、これらの部品を μ Cシステムに使用する実施権がフィリップス社 μ C特許に基づき許諾されることとなります。ただし、これらの μ Cシステムはフィリップス社によって設定された μ C標準規格に合致しているものとします。

Purchase of NEC μ C components conveys a license under the Philips μ C Patent Rights to use these components in an μ C system, provided that the system conforms to the μ C Standard Specification as defined by Philips.

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇所	内容
p.18	1.3 タイミング検証 追加
p.93	5.3.7 タイミング検証 追加
p.107	6.2.2 タイミング検証 追加
p.110	6.5.2 推奨動作範囲 修正
p.136	7.4.4 (3) VSB アービトレーション・タイミング 修正
p.146	7.4.4 (8) VFB アクセス・タイミング 修正
p.177	9.4.2 推奨動作範囲 修正
p.178	9.4.4 (1) クロック・タイミング 修正
p.179	9.4.4 (3) VSB アービトレーション・タイミング 修正
p.188	9.4.4 (8) VFB アクセス・タイミング 修正
p.264	12.4.4 (1) SDRAM リード・タイミング 修正
p.266	12.4.4 (2) SDRAM ライト・タイミング 修正
p.269	12.4.4 (4) VSB タイミング 修正
p.270-272	付録 改版履歴 追加

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、NEC の高速 / 高集積 CMOS CBIC 「CB-9 ファミリ VX/VM タイプ」を使用して ASIC を設計するユーザを対象とします。

目的 このマニュアルは、次の CPU コア、ラン・コントロール・ユニット (RCU)、メモリ・コントローラ (MEMC) を対象に、回路設計に際して必要な CPU コア、RCU、MEMC の概要および電気的特性をユーザに理解していただくことを目的としています。

<CPU コア>

- 78K/0 コア
- V851 コア
- V853 コア
- V30MX
- V30MZ
- NB85E
- NB85ET

<RCU>

- NB85E901

<MEMC>

- NB85E500
- NU85E500
- NU85E502

構成 このマニュアルは、大きく分けて次の 2 部で構成しています。

第 1 章 共通編

上記 CPU コアに共通の事項について説明しています。

上記 CPU コアを使用する場合は、必ずお読みください。

第 2 章 78K/0 コア 以降

各 CPU コア、RCU、MEMC ごとに、固有の事項について説明しています。

使用される CPU コア、RCU、MEMC に該当する章のみお読みください。

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。

また、このマニュアルを使用する前には、必ず別冊の **CB-9 ファミリ VX/VM タイプ 設計マニュアル (A12745J)** をお読みください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: xxxB または xxxZ (端子, 信号名称のあとに B または Z)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2 進数 ...xxxx または xxxxB 10 進数...xxxx 16 進数...xxxxH

2 のべき数を示す接頭語 (アドレス空間, メモリ容量) :

K (キロ) ... $2^{10} = 1024$

M (メガ) ... $2^{20} = 1024^2$

G (ギガ) ... $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- CB-9 ファミリ VX/VM タイプ 設計マニュアル (A12745J)
- CB-9 ファミリ VX/VM タイプ 設計マニュアル ユーザーズ・マニュアル
78K/0 コア編 (A13688J)
- CB-9 ファミリ VX/VM タイプ 設計マニュアル ユーザーズ・マニュアル
V851 コア, V853 コア編 (A13602J)
- CB-9 ファミリ VX/VM タイプ 設計マニュアル NB85E, NB85ET 編 (A14335J)
- 78K/0 コア ユーザーズ・マニュアル (A13142J)
- V851 コア ユーザーズ・マニュアル ハードウェア編 (A12757J)
- V853 コア ユーザーズ・マニュアル ハードウェア編 (A13141J)
- V30MX ユーザーズ・マニュアル ハードウェア編 (A11897J)
- V30MZ ユーザーズ・マニュアル ハードウェア編 (A13761J)
- NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)
- NB85ET ユーザーズ・マニュアル ハードウェア編 (A14342J)
- メモリ・コントローラ ユーザーズ・マニュアル NB85E, NB85ET 編 (A14206J)

なお, 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第 1 章 共通編 ... 15

- 1.1 マクロ面積 ... 15
- 1.2 テスト設計 ... 16
 - 1.2.1 テスト・パターン ... 16
 - 1.2.2 トータル・チップ・シミュレーション用テスト・プログラム ... 17
 - 1.2.3 テスト端子 ... 17
 - 1.2.4 初期化（イニシャライズ） ... 18
 - 1.2.5 スパイク入力の禁止 ... 18
- 1.3 タイミング検証 ... 18

第 2 章 78K/0 コア ... 19

- 2.1 概 要 ... 19
 - 2.1.1 シンボル図 ... 20
 - 2.1.2 端子容量 ... 22
- 2.2 端子機能一覧 ... 25
- 2.3 電気的特性 ... 27
 - 2.3.1 絶対最大定格 ... 27
 - 2.3.2 推奨動作範囲 ... 27
 - 2.3.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 27
 - 2.3.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$, 出力端子の負荷容量 $C_L = 5\text{pF}$) ... 27
 - 2.3.5 データ・メモリ STOP モード低電源電圧データ保持特性 ($T_A = -40 \sim +85^\circ\text{C}$) ... 33
- 2.4 タイミング・チャート ... 33

第 3 章 V851 コア ... 43

- 3.1 概 要 ... 43
 - 3.1.1 シンボル図 ... 44
 - 3.1.2 端子容量 ... 46
- 3.2 RESETB 信号 ... 48
- 3.3 内部レジスタの初期化 ... 48
- 3.4 端子機能一覧 ... 49
- 3.5 電気的特性 ... 51
 - 3.5.1 絶対最大定格 ... 51
 - 3.5.2 推奨動作範囲 ... 51
 - 3.5.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 51

3.5.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 53

第4章 V853 コア ... 63

4.1 概 要 ... 63

4.1.1 シンボル図 ... 64

4.1.2 端子容量 ... 66

4.2 RESETB 信号 ... 69

4.3 内部レジスタの初期化 ... 69

4.4 端子機能一覧 ... 70

4.5 電気的特性 ... 72

4.5.1 絶対最大定格 ... 72

4.5.2 推奨動作範囲 ... 72

4.5.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 72

4.5.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 74

第5章 V30MX ... 88

5.1 概 要 ... 88

5.1.1 シンボル図 ... 89

5.1.2 端子容量 ... 90

5.2 初期化の際の注意 ... 91

5.3 パターン作成と回路設計時の注意 ... 92

5.3.1 3ステート出力の処置 ... 92

5.3.2 RESET 信号 ... 92

5.3.3 CLK 入力 ... 92

5.3.4 内部レジスタの初期化 ... 93

5.3.5 テスト・プログラム容量の制約 ... 93

5.3.6 テスト・プログラム中のセグメント設定 ... 93

5.3.7 タイミング検証 ... 93

5.4 端子機能一覧 ... 94

5.5 電気的特性 ... 95

5.5.1 絶対最大定格 ... 95

5.5.2 推奨動作範囲 ... 95

5.5.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 95

5.5.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 96

第6章 V30MZ ... 105

6.1 概 要 ... 105

6.1.1 シンボル図 ... 106

- 6.1.2 端子容量 ... 106
- 6.2 シミュレーション実行時の注意 ... 107**
 - 6.2.1 V.sim シミュレーション時の注意 ... 107
 - 6.2.2 タイミング検証 ... 107
- 6.3 初期化の際の注意 ... 108**
 - 6.3.1 RESET 信号 ... 108
 - 6.3.2 CLK 入力 ... 108
 - 6.3.3 内部レジスタの初期化 ... 108
- 6.4 端子機能一覧 ... 109**
- 6.5 電気的特性（暫定） ... 110**
 - 6.5.1 絶対最大定格 ... 110
 - 6.5.2 推奨動作範囲 ... 110
 - 6.5.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$) ... 110
 - 6.5.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$) ... 111

第7章 NB85E ... 116

- 7.1 概 要 ... 116**
 - 7.1.1 シンボル図 ... 117
 - 7.1.2 端子容量 ... 119
- 7.2 内部レジスタの初期化 ... 129**
- 7.3 端子機能一覧 ... 130**
- 7.4 電気的特性（暫定） ... 134**
 - 7.4.1 絶対最大定格 ... 134
 - 7.4.2 推奨動作範囲 ... 134
 - 7.4.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 134
 - 7.4.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 135

第8章 NB85E901 ... 153

- 8.1 概 要 ... 153**
 - 8.1.1 シンボル図 ... 153
 - 8.1.2 端子容量 ... 154
- 8.2 端子機能一覧 ... 156**
- 8.3 電気的特性（暫定） ... 157**
 - 8.3.1 絶対最大定格 ... 157
 - 8.3.2 推奨動作範囲 ... 157
 - 8.3.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 157
 - 8.3.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 157

第9章 NB85ET ... 158

- 9.1 概要 ... 158
 - 9.1.1 シンボル図 ... 159
 - 9.1.2 端子容量 ... 161
- 9.2 内部レジスタの初期化 ... 171
- 9.3 端子機能一覧 ... 172
- 9.4 電気的特性(暫定) ... 177
 - 9.4.1 絶対最大定格 ... 177
 - 9.4.2 推奨動作範囲 ... 177
 - 9.4.3 DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 177
 - 9.4.4 AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 178

第10章 NB85E500 ... 196

- 10.1 概要 ... 196
 - 10.1.1 シンボル図 ... 196
 - 10.1.2 端子容量 ... 198
- 10.2 内部レジスタの初期化 ... 203
- 10.3 端子機能一覧 ... 204
- 10.4 電気的特性(暫定) ... 207
 - 10.4.1 絶対最大定格 ... 207
 - 10.4.2 推奨動作範囲 ... 207
 - 10.4.3 DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 207
 - 10.4.4 AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 208

第11章 NU85E500 ... 226

- 11.1 概要 ... 226
 - 11.1.1 シンボル図 ... 226
 - 11.1.2 端子容量 ... 228
- 11.2 内部レジスタの初期化 ... 233
- 11.3 端子機能一覧 ... 234
- 11.4 電気的特性(暫定) ... 237
 - 11.4.1 絶対最大定格 ... 237
 - 11.4.2 推奨動作範囲 ... 237
 - 11.4.3 DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 237
 - 11.4.4 AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 238

第 12 章 NU85E502 ... 256

12.1 概 要 ... 256

12.1.1 シンボル図 ... 257

12.1.2 端子容量 ... 258

12.2 内部レジスタの初期化 ... 260

12.3 端子機能一覧 ... 261

12.4 電気的特性（暫定） ... 262

12.4.1 絶対最大定格 ... 262

12.4.2 推奨動作範囲 ... 262

12.4.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 262

12.4.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) ... 264

付録 改版履歴 ... 270

図の目次

図番号	タイトル, ページ
2 - 1	シリアル・インタフェース (IIC0) 入出力端子の回路構成例 ... 33
3 - 1	RESETB 信号入力例 ... 48
4 - 1	RESETB 信号入力例 ... 69
5 - 1	RESET 信号入力例 ... 92
6 - 1	RESET 信号入力例 ... 108

第 1 章 共通編

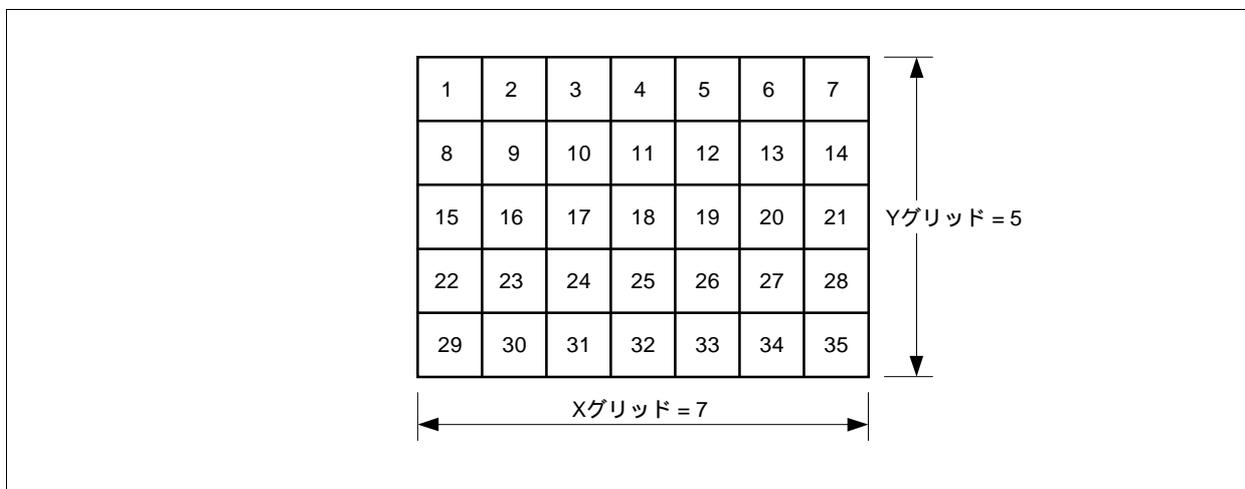
1.1 マクロ面積

マクロの面積はグリッド数を単位として表現しています。

グリッド数とは、CBIC において回路の面積を表す指標で、次式より求めます。

$$\text{グリッド数} = \text{Xグリッド (X方向のサイズ)} \times \text{Yグリッド (Y方向のサイズ)}$$

たとえば、次の図に示す大きさの回路は 35 グリッドと表します。



1.2 テスト設計

ASICの回路設計において、テスト設計は非常に重要です。

ここでは、CPUコアのテスト機能について説明します。このテスト機能は、このマニュアルが対象とするCPUコアを搭載してCB-9ファミリ VX/VMタイプを設計するうえで必要です。

1.2.1 テスト・パターン

CPUコアを含むCB-9ファミリ VX/VMタイプの開発では、ユーザ・ロジックだけで構成される場合と異なり、内部ブロック別にシミュレーションを次の3段階に分けて実施します。

(1) ユーザ・ロジック分離シミュレーション

ユーザ・ロジックの詳細機能の確認をします。

(2) テスト回路確認シミュレーション

CPUコア内部の機能をテストする経路(テスト・パス)の確認をします。

CPUコア内部の機能の確認パターンはNECで作成済みです。

(3) トータル・チップ・シミュレーション

CPUコア+ユーザ・ロジック+インタフェース・ブロックの相互接続の確認をします。

1本のテスト・パターンで(1)~(3)の動作確認をすることも原理的には可能ですが、3段階に作業を分けると効率的です。次にその理由を示します。

(a) CPUコア詳細機能のテスト・パターン作成回避

CPUコアの内部は非常に複雑な一種のブラック・ボックスともいえる回路です。

したがって、内部機能を細かなタイミングを考慮したうえでチェックできるシミュレーション用テスト・パターンの作成は非常に難しく、CPUコアでは、ユーザが内部機能のすべてをテストするテスト・パターンを作成することは実質不可能といえます。

したがって、CPUコア内部をチェックするシミュレーション作業をユーザ・ロジック部分と切り離し、回路的にもテスト回路を挿入してください。NECでは、作成済みのテスト・パターンを用意しています。

(b) CPUコアのシミュレーション負荷の軽減, CPUコアをシミュレート可能なCADツールの制約の回避

CPUコアはゲート換算で数万ゲートに相当するものもあり、シミュレーション負荷が重く、実行できるマシンの制約が生じるうえ、実行時間が非常に長くなります。

(1)のユーザ・ロジック分離シミュレーションでは、ダミー・マクロと呼ぶCPUコアの切り口部分のみのモデルを作成することで、もっともミスの生じやすいユーザ・ロジック部分のシミュレーション負荷を軽くでき、設計納期の短縮につながります。またその結果、使用できるCADツールの幅も広がります。しかし、ダミー・マクロが使用できるツールも制約がありますので、注意してください。

1.2.2 トータル・チップ・シミュレーション用テスト・プログラム

トータル・チップ・シミュレーションを実行するには、CPU コアが実行するテスト・プログラムも必要になります。CB-9 ファミリ VX/VM タイプにメモリを内蔵させず外付けにする場合も、命令をテスト・パターンの形で与えるより、CB-9 ファミリ VX/VM タイプの回路の外部に便宜的にメモリを接続した回路を作成し、上記と同じ方法でトータル・チップ・シミュレーションを行うと、シミュレーションが簡単になります。この場合、最終的には、本来の CB-9 ファミリ VX/VM タイプの回路部分の切り口の信号をダンプすれば、実際のチップに対して行うテスト・パターンが作成できます。

詳細については、各 CPU コア的设计マニュアルを参照してください。

1.2.3 テスト端子

(1) TBO (n : 0), TBI (m : 0)

テスト回路確認シミュレーション用のテスト端子です。

CPU コアの端子は、このテスト端子と通常のアプリケーション回路設計に使用するノーマル端子に大別できます。テスト端子に出ている信号は、ノーマル端子を入力と出力に分離したのになっています。テスト端子の数は CPU コアごとに異なります。

(2) BUNRI, TEST

テスト端子とノーマル端子のモード切り替え端子です。

この2端子の入力組み合わせにより、CPU コアは次のように動作します。

BUNRI	TEST	動作モード
0	0	ノーマル・モード
	1	
1	0	テスト・モード(スタンバイ・テスト)
	1	テスト・モード(単体テスト)

(a) ノーマル・モード

トータル・チップ・シミュレーション時など、通常の動作をさせるモードです。ノーマル端子が有効になります。

(b) テスト・モード(スタンバイ・テスト)

テスト回路確認シミュレーション、ユーザ・ロジック分離シミュレーションのときに、テストしていない CPU コアに対して設定します。

(c) テスト・モード(単体テスト)

テスト回路確認シミュレーションのときに、テストしている CPU コアに対して設定します。

各動作モードの端子の状態は次のとおりです。

モード	ノーマル端子				テスト端子	
	入力	出力	3ステート 出力	入出力	入力 (TBlx)	出力 (TBOx)
ノーマル・モード	有効	有効	有効	有効	入力無視	ハイ・インピ ーダンス
テスト・モード (スタンバイ・テスト)	入力無視	不定	ハイ・インピ ーダンス	入力無視		
テスト・モード (単体テスト)					有効	有効

詳しい回路設計については、**CB-9 ファミリ VX/VM タイプ 設計マニュアル (A12745J)** を参照してください。

1.2.4 初期化 (イニシャライズ)

次に初期化手段を示します。CPU コアごとにこれらの手段を組み合わせ、初期化してください。

(1) ノーマル端子から初期化パターンを入力

(a) リセット・パルスを与える

定められた幅以上のパルスを与えます。CPU など、リセット・パルス入力期間中に同時にクロック信号の動作が必要なものもあります。

(b) 内部レジスタに初期値を書き込む

CPU のスタック・ポインタなど、あらかじめ初期値を設定しておく必要があるレジスタがあります。

(2) テスト・バス端子から初期化パターンを入力

テスト・パターンが非常に複雑なために、NEC であらかじめ初期化パターンを作成してある CPU コアが対象です。

この場合、いったんテスト回路確認シミュレーションの状態と同じテスト・モードで初期化パターンを入力したあと、トータル・チップ・シミュレーションのモードに戻すこととなります。

パターンを考えずに済む利点がある反面、回路設計上、テスト・モードからノーマル・モードに戻すときの誤動作などに注意する必要があります。

1.2.5 スパイク入力の禁止

割り込みやクロックなど、エッジで動作する入力端子へのスパイクに注意が必要です。

1.3 タイミング検証

各 CPU コア、メモリ・コントローラの入力タイミングの検証に遅延解析ツールを使用し、CPU コア、メモリ・コントローラの境界において入力タイミングを満たしていることを検証してください。

なお、このマニュアルで各 CPU コア、メモリ・コントローラごとにタイミング検証について記述している場合は、それに従ってください (各 CPU コアの設計マニュアルも参照してください)。

第2章 78K/0 コア

78K/0 コアは、8ビット・シングルチップ・マイクロコンピュータ「78K/0 シリーズ」のCPU コアを使用し、タイマ、シリアル・インタフェース、割り込みコントローラなどの周辺機能を内蔵しています。

2.1 概要

- CPU 機能：78K/0 シリーズ標準
- 最小命令実行時間：0.24 μ s（最大入力周波数：8.38MHz）
- 内蔵メモリ

製品名	ROM 容量 (バイト)	RAM 容量 (バイト)
NAK0HM0	なし (ROM レス)	1K
NAK0HM4	32K (マスク ROM)	
NAK0HM8	60K (マスク ROM)	

- ポート
入出力バッファを使用することで最大 128 本使用可能
入力ポート：64 本
出力ポート：64 本
- タイマ / カウンタ
16 ビット・タイマ / イベント・カウンタ : 1ch
8 ビット・タイマ / イベント・カウンタ : 2ch
時計用タイマ : 1ch
ウォッチドッグ・タイマ : 1ch
- シリアル・インタフェース
3 線式シリアル I/O モード : 2ch
UART モード : 2ch
I²C バス・モード : 2ch
- ベクタ割り込み要因：29 (内部：17, 外部：12)
- 外部メモリ拡張空間：64K バイト (アドレス / DIN / DOUT 分離)
- スタンバイ機能：HALT / STOP モード (割り込みにより解除可能)
- 電源電圧：V_{DD} = 3.0 ~ 3.6V

2.1.1 シンボル図

(1) NAK0HM0

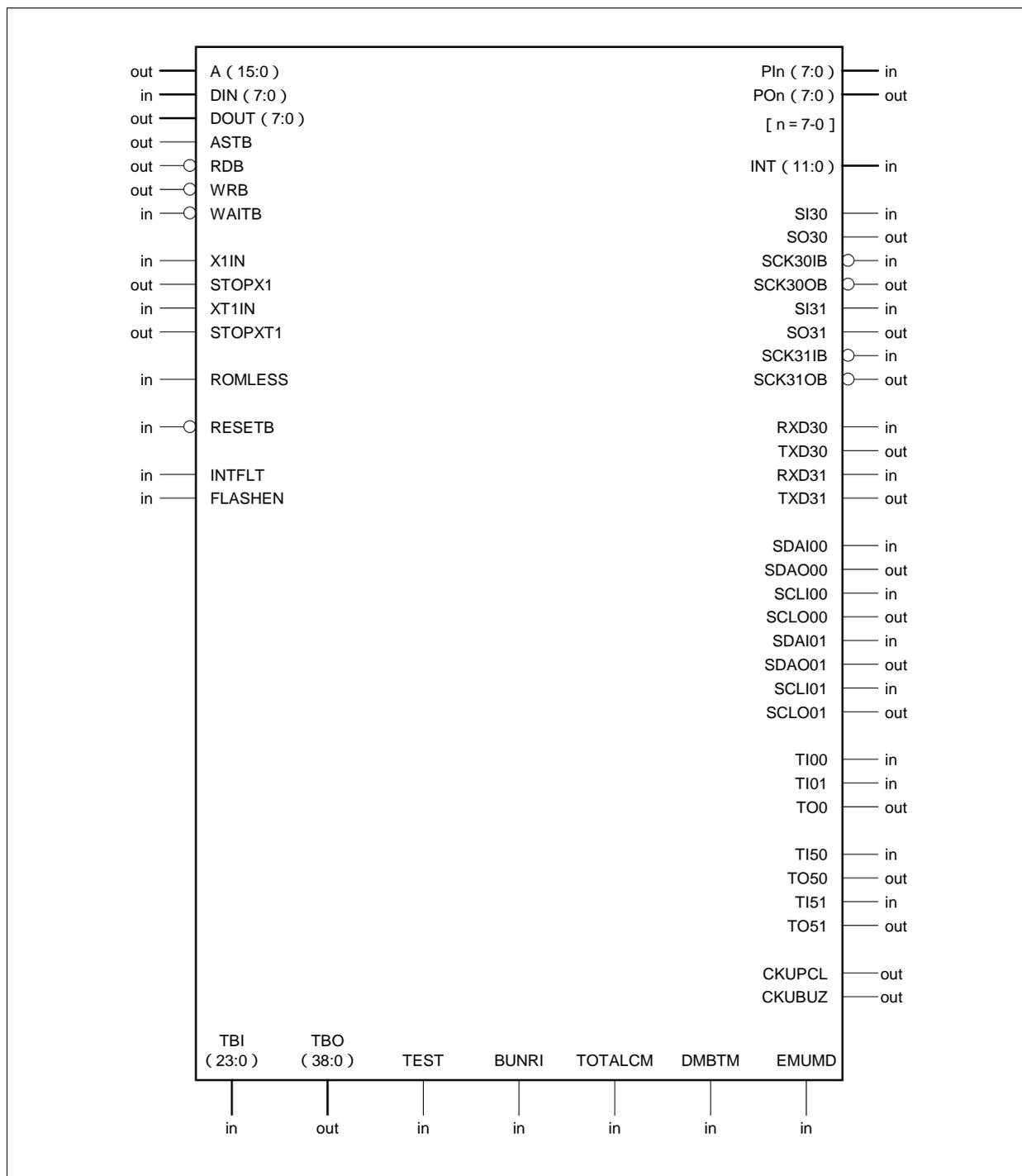
グリッド数

147k グリッド

192k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

165k



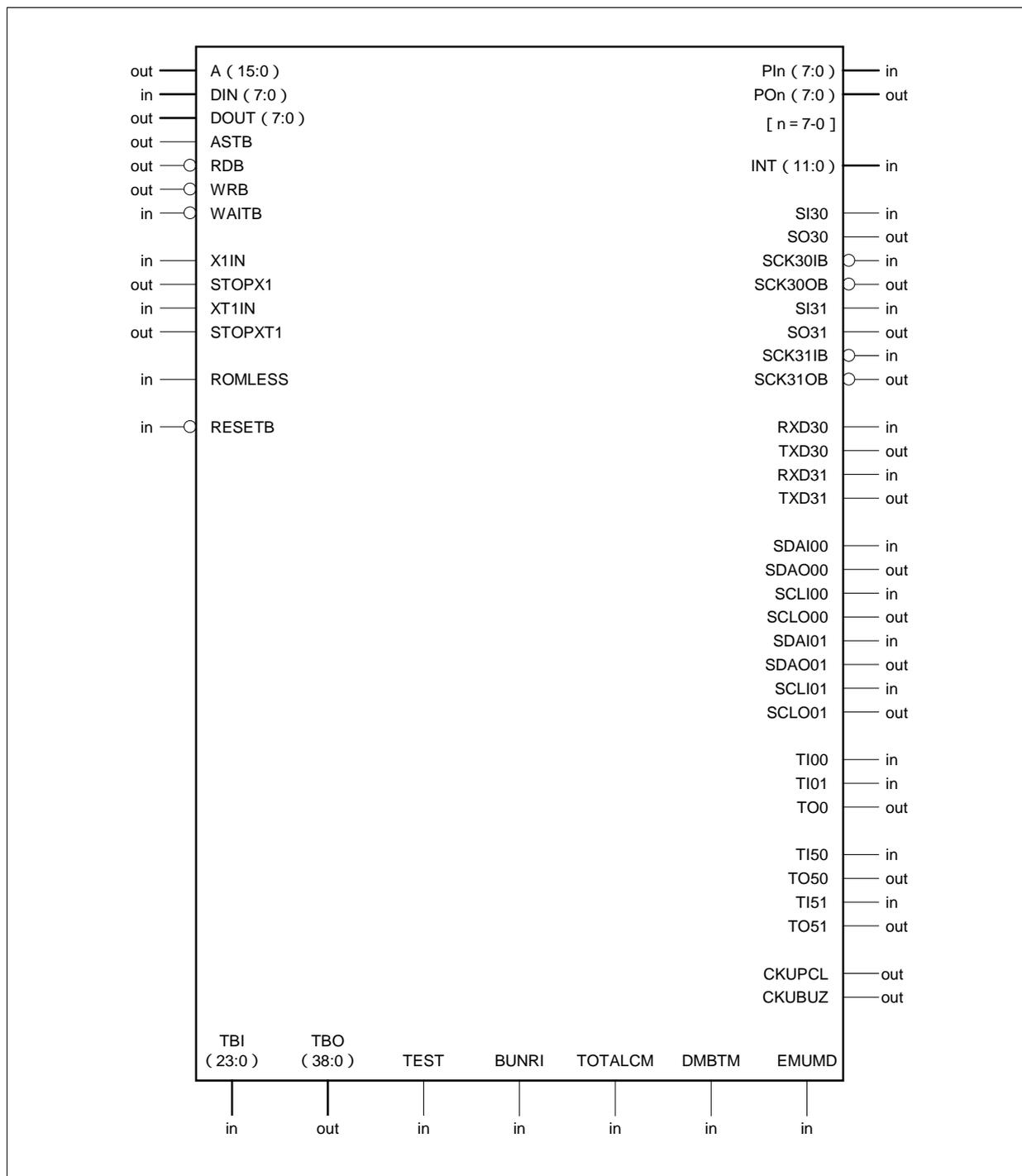
(2) NAK0HM4, NAK0HM8

グリッド数

- NAK0HM4 : 193k グリッド
243k グリッド (配線領域を含む値)
- NAK0HM8 : 217k グリッド
270k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

- NAK0HM4 : 230k
- NAK0HM8 : 285k



2.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) NAK0HM0

(a) 入力端子

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
DIN7-DIN0	0.102	2.002	SCLI00	0.233	2.133
WAITB	0.059	1.959	SDAI01	0.067	1.967
X1IN	0.059	1.959	SCLI01	0.065	1.965
XT1IN	0.046	1.946	TI00	0.056	1.956
ROMLESS	0.630	2.530	TI01	0.075	1.975
RESETB	0.109	2.009	TI50	0.045	1.945
Pln7-Pln0 (n = 7-0)	0.153	2.053	TI51	0.050	1.950
INT11-INT0	0.210	2.110	TBI23-TBI0	1.019	2.919
SI30	0.062	1.962	TEST	3.983	5.883
SCK30IB	0.068	1.968	BUNRI	4.455	6.355
SI31	0.081	1.981	TOTALCM	1.544	3.444
SCK31IB	0.168	2.068	DMBTM	0.859	2.759
RXD30	0.087	1.987	EMUMD	0.747	2.647
RXD31	0.152	2.052	INTFLT	0.373	2.273
SDAI00	0.082	1.982	FLASHEN	0.629	2.529

(b) 出力端子

端子名	C_{MAX} (pF)	端子名	C_{MAX} (pF)	端子名	C_{MAX} (pF)
A15-A0	6.459	SO30	6.561	SDAO01	6.567
DOU7-DOU0	6.501	SCK30OB	6.561	SCLO01	6.562
ASTB	6.452	SO31	6.545	TO0	6.566
RDB	6.415	SCK31OB	6.523	TO50	6.567
WRB	6.500	TXD30	6.555	TO51	6.566
STOPX1	6.564	TXD31	6.522	CKUPCL	6.550
STOPXT1	6.555	SDAO00	6.496	CKUBUZ	6.545
POn7-POn0 (n = 7-0)	6.496	SCLO00	6.527	TBO38-TBO0	6.322

(2) NAK0HM4

(a) 入力端子

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
DIN7-DIN0	0.090	1.990	SDAI00	0.057	1.957
WAITB	0.061	1.961	SCLI00	0.042	1.942
X1IN	0.049	1.949	SDAI01	0.043	1.943
XT1IN	0.045	1.945	SCLI01	0.046	1.946
ROMLESS	0.569	2.469	TI00	0.056	1.956
RESETB	0.047	1.947	TI01	0.073	1.973
Pln7-Pln0 (n = 7-0)	0.178	2.078	TI50	0.081	1.981
INT11-INT0	0.258	2.158	TI51	0.050	1.950
SI30	0.049	1.949	TBI23-TBI0	0.925	2.825
SCK30IB	0.043	1.943	TEST	4.125	6.025
SI31	0.084	1.984	BUNRI	4.493	6.393
SCK31IB	0.068	1.968	TOTALCM	1.434	3.334
RXD30	0.058	1.958	DMBTM	0.794	2.694
RXD31	0.064	1.964	EMUMD	0.779	2.679

(b) 出力端子

端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)
A15-A0	6.445	SO30	6.568	SDAO01	6.568
DOUT7-DOUT0	6.542	SCK30OB	6.568	SCLO01	6.567
ASTB	6.529	SO31	6.563	TO0	6.554
RDB	6.564	SCK31OB	6.559	TO50	6.528
WRB	6.562	TXD30	6.557	TO51	6.568
STOPX1	6.557	TXD31	6.566	CKUPCL	6.528
STOPXT1	6.540	SDAO00	6.530	CKUBUZ	6.561
POn7-POn0 (n = 7-0)	6.347	SCLO00	6.564	TBO38-TBO0	6.322

(3) NAK0HM8

(a) 入力端子

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
DIN7-DIN0	0.090	1.990	SDAI00	0.057	1.957
WAITB	0.061	1.961	SCLI00	0.042	1.942
X1IN	0.049	1.949	SDAI01	0.043	1.943
XT1IN	0.045	1.945	SCLI01	0.046	1.946
ROMLESS	0.569	2.469	TI00	0.056	1.956
RESETB	0.047	1.947	TI01	0.073	1.973
Pln7-Pln0 (n = 7-0)	0.178	2.078	TI50	0.081	1.981
INT11-INT0	0.258	2.158	TI51	0.051	1.951
SI30	0.049	1.949	TBI23-TBI0	0.925	2.825
SCK30IB	0.043	1.943	TEST	4.123	6.023
SI31	0.084	1.984	BUNRI	4.493	6.393
SCK31IB	0.068	1.968	TOTALCM	1.434	3.334
RXD30	0.058	1.958	DMBTM	0.794	2.694
RXD31	0.064	1.964	EMUMD	0.779	2.679

(b) 出力端子

端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)
A15-A0	6.445	SO30	6.568	SDAO01	6.567
DOUT7-DOUT0	6.542	SCK30OB	6.568	SCLO01	6.567
ASTB	6.529	SO31	6.563	TO0	6.554
RDB	6.564	SCK31OB	6.559	TO50	6.528
WRB	6.562	TXD30	6.557	TO51	6.568
STOPX1	6.557	TXD31	6.566	CKUPCL	6.528
STOPXT1	6.540	SDAO00	6.530	CKUBUZ	6.561
POn7-POn0 (n = 7-0)	6.347	SCLO00	6.564	TBO38-TBO0	6.322

2.2 端子機能一覧

(1/2)

端子名	入出力	機能
A15-A0	出力	外部アクセス時のアドレス出力
DIN7-DIN0	入力	外部アクセス時のデータ入力
DOUT7-DOUT0	出力	外部アクセス時のデータ出力
ASTB	出力	外部アドレス・ストロープ信号
RDB	出力	外部リード・ストロープ信号
WRB	出力	外部ライト・ストロープ信号
WAITB	入力	外部バス・サイクルにウエイトを挿入する制御信号入力
X1IN	入力	メイン・システム・クロック発振器入力
STOPX1	出力	メイン・システム・クロック発振器停止信号
XT1IN	入力	サブシステム・クロック発振器入力
STOPXT1	出力	サブシステム・クロック発振器停止信号
ROMLESS	入力	ROM レス・モード選択信号
RESETB	入力	システム・リセット入力
Pln7-Pln0 (n = 7-0)	入力	8ビット入力ポート
POn7-POn0 (n = 7-0)	出力	8ビット出力ポート
INT11-INT0	入力	外部割り込み要求入力
SI30	入力	シリアル・インタフェース (SIO30) のシリアル・データ入力
SO30	出力	シリアル・インタフェース (SIO30) のシリアル・データ出力
SCK30IB	入力	シリアル・インタフェース (SIO30) のシリアル・クロック入力
SCK30OB	出力	シリアル・インタフェース (SIO30) のシリアル・クロック出力
SI31	入力	シリアル・インタフェース (SIO31) のシリアル・データ入力
SO31	出力	シリアル・インタフェース (SIO31) のシリアル・データ出力
SCK31IB	入力	シリアル・インタフェース (SIO31) のシリアル・クロック入力
SCK31OB	出力	シリアル・インタフェース (SIO31) のシリアル・クロック出力
RXD30	入力	アシンクロナス・シリアル・インタフェース (UART30) 用シリアル・データ入力
TXD30	出力	アシンクロナス・シリアル・インタフェース (UART30) 用シリアル・データ出力
RXD31	入力	アシンクロナス・シリアル・インタフェース (UART31) 用シリアル・データ入力
TXD31	出力	アシンクロナス・シリアル・インタフェース (UART31) 用シリアル・データ出力
SDAI00	入力	シリアル・インタフェース (IIC00) のシリアル・データ入力
SDAO00	出力	シリアル・インタフェース (IIC00) のシリアル・データ出力
SCLI00	入力	シリアル・インタフェース (IIC00) のシリアル・クロック入力
SCLO00	出力	シリアル・インタフェース (IIC00) のシリアル・クロック出力
SDAI01	入力	シリアル・インタフェース (IIC01) のシリアル・データ入力
SDAO01	出力	シリアル・インタフェース (IIC01) のシリアル・データ出力
SCLI01	入力	シリアル・インタフェース (IIC01) のシリアル・クロック入力
SCLO01	出力	シリアル・インタフェース (IIC01) のシリアル・クロック出力
TI00	入力	16ビット・タイマ (TM0) のキャプチャ・レジスタへのキャプチャ・トリガ入力 1
TI01	入力	16ビット・タイマ (TM0) のキャプチャ・レジスタへのキャプチャ・トリガ入力 2

端子名	入出力	機能
TO0	出力	16ビット・タイマ(TM0) PWM 出力
TI50	入力	8ビット・タイマ(TM50)への外部カウント・クロック入力
TO50	出力	8ビット・タイマ(TM50)出力
TI51	入力	8ビット・タイマ(TM51)への外部カウント・クロック入力
TO51	出力	8ビット・タイマ(TM51)出力
CKUPCL	出力	クロック出力
CKUBUZ	出力	ブザー出力
TBI23-TBI0	入力	テスト・バス入力信号
TBO38-TBO0	出力	テスト・バス出力信号
TEST	入力	テスト・バス・コントロール信号入力
BUNRI	入力	ノーマル・テスト・モード選択信号入力
TOTALCM	入力	テスト・モード選択信号入力
DMBTM	入力	テスト・モード選択信号入力
EMUMD	入力	エミュレーション・モード

2.3 電気的特性

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

2.3.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

2.3.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C

2.3.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1}	通常動作モード時		0.8	1.2	mA/MHz
	I _{DD2}	HALT モード時		0.2	0.3	mA/MHz
	I _{DD3}	STOP モード時		1.0	10	μA

2.3.4 AC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V, 出力端子の負荷容量 C_L = 5pF)

(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
CLKIN サイクル・タイム	<1>	t _{cyx}	120		ns
CLKIN 入力ハイ・レベル幅 ^注	<2>	t _{wxH}	50	64	ns
CLKIN 入力ロウ・レベル幅 ^注	<3>	t _{wxL}	50	64	ns
CPU 動作周波数	-	φ	0	8.38	MHz

注 クロックのハイ・レベル、ロウ・レベルの幅はスルーレート・クロックを考慮しています。

デューティの変動率を 15% (MAX.) としています。

(2) フェッチ・オペレーション

項目	略号	条件, 計算式	MIN.	MAX.	単位	
CLKIN→アドレス遅延時間	<4>	t _{DXA}	分周回路未使用時, CLKIN↓		25	ns
			分周回路使用時, CLKIN↑		25	ns
CLKIN→ASTB 遅延時間	<5>	t _{DXST}		25	ns	
CLKIN→RDB↓遅延時間	<6>	t _{DXR}		25	ns	
CLKIN→アドレス保持時間	<7>	t _{HXA}	分周回路未使用時, CLKIN↓	15		ns
			分周回路使用時, CLKIN↑	15		ns
CLKIN→WAITB↓設定時間	<8>	t _{SXWT}	分周回路未使用時, CLKIN↑		40	ns
			0.5t _{cyx} -20ns		40	ns
CLKIN→WAITB↑保持時間	<9>	t _{HXWT}	分周回路未使用時, CLKIN↓	25		ns
			分周回路使用時, CLKIN↑	25		ns
CLKIN→WAITB↑遅延時間	<10>	t _{DXWT}	分周回路未使用時, CLKIN↑		35	ns
			0.5t _{cyx} -25ns		35	ns
分周回路使用時, CLKIN↓			0.5t _{cyx} -25ns		35	ns
アドレス→ASTB↓遅延時間	<15>	t _{DAST}	0.5t _{cyk} -30ns	30		ns
ASTB ハイ・レベル幅	<16>	t _{WSTH}	0.5t _{cyk} -10ns	50		ns
アドレス→データ入力設定時間*	<17>	t _{SAID}	(1.5+n) t _{cyk} -50ns		130	ns
RDB↓→データ入力設定時間*	<18>	t _{SRID}	(1.0+n) t _{cyk} -50ns		70	ns
RDB ロウ・レベル幅*	<19>	t _{WRL}	(1.0+n) t _{cyk} -15ns	105		ns
リード・データ保持時間	<20>	t _{HRID}		0		ns
RDB↑→ASTB↑遅延時間*	<21>	t _{DRSTL}	0.5t _{cyk} -20ns	40		ns
アドレス保持時間 (対 RDB↑)*	<22>	t _{HRA}	0.5t _{cyk} -20ns	40		ns
RDB↑→ASTB↓遅延時間*	<23>	t _{DRSTH}	t _{cyk} -20ns	100		ns
ASTB↓→データ入力設定時間*	<24>	t _{SSTID}	(1.0+n) t _{cyk} -50ns		70	ns
アドレス→WAITB↓設定時間*	<31>	t _{SAWT}	t _{cyk} -40ns		80	ns
ASTB↓→WAITB↓設定時間*	<32>	t _{SSTWT}	0.5t _{cyk} -30ns		30	ns
ASTB↓→WAITB↑保持時間*	<33>	t _{HSTWT}	(n-0.5) t _{cyk} +10ns	70		ns
ASTB↓→WAITB↑遅延時間*	<34>	t _{DSTWT}	(0.5+n) t _{cyk} -40ns		140	ns
RDB↓→WAITB↓設定時間*	<35>	t _{SRWT}	0.5t _{cyk} -30ns		30	ns
RDB↓→WAITB↑保持時間*	<36>	t _{HRWT}	(n-0.5) t _{cyk} +10ns	70		ns
WAITB↑→データ入力設定時間	<38>	t _{SWTID}	0.5t _{cyk} -10ns		50	ns
WAITB↑→RDB↑遅延時間	<39>	t _{DWTR}	0.5t _{cyk} +40ns	100		ns

備考 1. t_{cyx} : CLKIN サイクル・タイム (120ns (MIN.))

2. t_{cyk} : プロセッサ・クロック・コントロール・レジスタ (PCC) で設定される CPU クロック (120ns (MIN.))

3. n : ウェイト数 (ソフトウェア・ウェイト時 : n = 1, 外部ウェイト入力時 : n - 1)

4. MIN., MAX. の計算値はすべて t_{cyx} = t_{cyk} = 120ns で算出しています。

5. 項目の欄に「*」印のついているオペレーションはデータ・アクセス・リード時と計算式が異なるオペレーションです。

(3) データ・アクセス・リード・オペレーション

項目	略号	条件, 計算式	MIN.	MAX.	単位
CLKIN→アドレス遅延時間	<4>	t _{DXA}	分周回路未使用時, CLKIN↓	25	ns
			分周回路使用時, CLKIN↑	25	ns
CLKIN→ASTB 遅延時間	<5>	t _{DXST}		25	ns
CLKIN→RDB↓↑遅延時間	<6>	t _{DXR}		25	ns
CLKIN→アドレス保持時間	<7>	t _{HXA}	分周回路未使用時, CLKIN↓	15	ns
			分周回路使用時, CLKIN↑	15	ns
CLKIN↓→WAITB↓設定時間	<8>	t _{SXWT}	0.5t _{CYX} -20ns	40	ns
CLKIN↑→WAITB↑保持時間	<9>	t _{HXWT}		25	ns
CLKIN→WAITB↑遅延時間	<10>	t _{DXWT}	分周回路未使用時, CLKIN↓	35	ns
			分周回路使用時, CLKIN↑	35	ns
アドレス→ASTB↓遅延時間	<15>	t _{DAST}	0.5t _{CYK} -30ns	30	ns
ASTB ハイ・レベル幅	<16>	t _{WSTH}	0.5t _{CYK} -10ns	50	ns
アドレス→データ入力設定時間*	<17>	t _{SAID}	(2+n) t _{CYK} -50ns	190	ns
RDB↓→データ入力設定時間*	<18>	t _{SRID}	(1.5+n) t _{CYK} -50ns	130	ns
RDB ロウ・レベル幅*	<19>	t _{WRL}	(1.5+n) t _{CYK} -15ns	165	ns
リード・データ保持時間	<20>	t _{HRID}		0	ns
RDB↑→ASTB↑遅延時間*	<21>	t _{DRSTL}	t _{CYK} -20ns	100	ns
アドレス保持時間 (対 RDB↑) *	<22>	t _{HRA}	t _{CYK} -20ns	100	ns
RDB↑→ASTB↓遅延時間*	<23>	t _{DRSTH}	1.5t _{CYK} -20ns	160	ns
ASTB↓→データ入力設定時間*	<24>	t _{SSTID}	(1.5+n) t _{CYK} -50ns	0	ns
アドレス→WAITB↓設定時間*	<31>	t _{SAWT}	1.5t _{CYK} -40ns	140	ns
ASTB↓→WAITB↓設定時間*	<32>	t _{SSTWT}	t _{CYK} -30ns	90	ns
ASTB↓→WAITB↑保持時間*	<33>	t _{HSTWT}	nt _{CYK} +10ns	130	ns
ASTB↓→WAITB↑遅延時間*	<34>	t _{DSTWT}	(1+n) t _{CYK} -40ns	200	ns
RDB↓→WAITB↓設定時間*	<35>	t _{SRWT}	t _{CYK} -30ns	90	ns
RDB↓→WAITB↑保持時間*	<36>	t _{HRWT}	nt _{CYK} +10ns	130	ns
RDB↓→WAITB↑遅延時間	<37>	t _{DASWT}	(1+n) t _{CYK} -40ns	200	ns
WAITB↑→データ入力設定時間	<38>	t _{SWTID}	0.5t _{CYK} -10ns	50	ns
WAITB↑→RDB↑遅延時間	<39>	t _{DWTR}	0.5t _{CYK} +40ns	100	ns

備考1. t_{CYX} : CLKIN サイクル・タイム (120ns (MIN.))

2. t_{CYK} : プロセッサ・クロック・コントロール・レジスタ (PCC) で設定される CPU クロック (120ns (MIN.))
3. n : ウェイト数 (ソフトウェア・ウェイト時 : n = 1, 外部ウェイト入力時 : n - 1)
4. MIN., MAX. の計算値はすべて t_{CYX} = t_{CYK} = 120ns で算出しています。
5. 項目の欄に「*」印のついているオペレーションはフェッチ時と計算式が異なるオペレーションです。

(4) データ・アクセス・ライト・オペレーション

項目	略号	条件, 計算式	MIN.	MAX.	単位
CLKIN→アドレス遅延時間	<4>	t _{DXA}	分周回路未使用時, CLKIN↓	25	ns
			分周回路使用時, CLKIN↑	25	ns
CLKIN→ASTB 遅延時間	<5>	t _{DXST}		25	ns
CLKIN→アドレス保持時間	<7>	t _{HXA}	分周回路未使用時, CLKIN↓	15	ns
			分周回路使用時, CLKIN↑	15	ns
CLKIN→WAITB↓設定時間	<8>	t _{SXWT}	分周回路未使用時, CLKIN↑	40	ns
			0.5 t _{CYX} -20ns		
			分周回路使用時, CLKIN↓	40	ns
			0.5t _{CYX} -20ns		
CLKIN→WAITB↑保持時間	<9>	t _{HXWT}	分周回路未使用時, CLKIN↓	25	ns
			分周回路使用時, CLKIN↑	25	ns
CLKIN→WAITB↑遅延時間	<10>	t _{DXWT}	分周回路未使用時, CLKIN↑	35	ns
			0.5t _{CYX} -25ns		
			分周回路使用時, CLKIN↓	35	ns
			0.5t _{CYX} -25ns		
CLKIN↑→WRB↓↑遅延時間	<11>	t _{DXW}		25	ns
CLKIN↑→データ出力遅延時間	<12>	t _{DKOD}		75	ns
ライト・データ保持時間 (対 CLKIN)	<13>	t _{HKOD}	15		ns
WRB↑→ASTB↑遅延時間	<14>	t _{DWST}	t _{CYK} -20ns	100	ns
アドレス→ASTB↓遅延時間	<15>	t _{DAST}	0.5t _{CYK} -30ns	30	ns
ASTB ハイ・レベル幅	<16>	t _{WSTH}	0.5t _{CYK} -10ns	50	ns
ASTB↓→WRB↓遅延時間	<25>	t _{DSTW}	t _{CYK} -15ns	105	ns
WRB ロウ・レベル幅	<26>	t _{WWL}	(1.0+n) t _{CYK} -15ns	105	ns
WRB↓→データ出力遅延時間	<27>	t _{DWOD}		50	ns
データ・セットアップ時間 (対 WRB↑)	<28>	t _{SODW}	(1.0+n) t _{CYK} -50ns	70	ns
データ・ホールド時間 (対 WRB↑)	<29>	t _{HODW}	0.5t _{CYK} -15ns	45	ns
アドレス・ホールド時間 (対 WRB↑)	<30>	t _{HAW}	0.5t _{CYK} -20ns	40	ns
アドレス→WAITB↓設定時間	<31>	t _{SAWT}	2t _{CYK} -40ns	200	ns
ASTB↓→WAITB↓設定時間	<32>	t _{SSTWT}	1.5t _{CYK} -30ns	150	ns
ASTB↓→WAITB↑保持時間	<33>	t _{HSTWT}	(0.5+n) t _{CYK} +10ns	190	ns
ASTB↓→WAITB↑遅延時間	<34>	t _{DSTWT}	(1.5+n) t _{CYK} -40ns	260	ns
WAITB↑→WRB↑遅延時間	<40>	t _{DWTW}	0.5t _{CYK} +40ns	100	ns
WRB↓→WAITB↓設定時間	<41>	t _{SWWT}	0.5t _{CYK} -30ns	30	ns
WRB↓→WAITB↑保持時間	<42>	t _{HWWT}	(n-0.5) t _{CYK} +10ns	70	ns
WRB↓→WAITB↑遅延時間	<43>	t _{DWWT}	(0.5+n) t _{CYK} -40ns	140	ns

備考 1. t_{CYX}: CLKIN サイクル・タイム (120ns (MIN.))

2. t_{CYK}: プロセッサ・クロック・コントロール・レジスタ (PCC) で設定される CPU クロック (120ns (MIN.))

3. n: ウェイト数 (ソフトウェア・ウェイト時: n = 1, 外部ウェイト入力時: n = 1)

4. MIN., MAX. の計算値はすべて t_{CYX} = t_{CYK} = 120ns で算出しています。

(5) 基本動作

項目	略号		条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	-	T _{CY}	メイン・システム・クロックで動作	0.24		32	μs
			サブシステム・クロックで動作	40	122	125	μs
TI01, TI00 ハイ, ロウ・レベル幅	<44>	t _{TIH0}		2/f _{sam} +0.1 ^注			μs
	<45>	t _{TIL0}					
TI51, TI50 周波数	<46>	f _{TI5}		0		10	MHz
TI51, TI50 ハイ, ロウ・レベル幅	<47>	t _{TIH5}		40			ns
	<48>	t _{TIL5}					
割り込み要求入力ハイ・レベル幅	<49>	t _{INTH}	INT11-INT0	1			μs
RESETB ロウ・レベル幅	<50>	t _{RSL}		10			μs

注 プリスケアラ・モード・レジスタ 0 (PRM0) のビット 0, 1 (PRM00, PRM01) により, f_{sam} = fx, fx/4, fx/64 の選択が可能です。ただし, カウント・クロックとして TI00 有効エッジを選択した場合は, f_{sam} = fx/8 となります。

(6) シリアル・インタフェース

(a) 3 線式シリアル I/O モード (SCK310B, SCK300B...内部クロック出力)

項目	略号		条件	MIN.	TYP.	MAX.	単位
SCK310B, SCK300B サイクル・タイム	<51>	t _{KCY1}		954			ns
SCK310B, SCK300B ハイ, ロウ・レベル幅	<52>	t _{KH1}		t _{KCY1} /2			ns
	<53>	t _{KL1}					
SI31, SI30 セットアップ時間 (対 SCK310B, SCK300B↑)	<54>	t _{SIK1}		50			ns
SI31, SI30 ホールド時間 (対 SCK310B, SCK300B↑)	<55>	t _{KSI1}		70			ns
SCK310B, SCK300B↓→ SO31, SO30 遅延時間	<56>	t _{KSO1}				70	ns

(b) 3 線式シリアル I/O モード (SCK311B, SCK301B...外部クロック入力)

項目	略号		条件	MIN.	TYP.	MAX.	単位
SCK311B, SCK301B サイクル・タイム	<57>	t _{KCY2}		800			ns
SCK311B, SCK301B ハイ, ロウ・レベル幅	<58>	t _{KH2}		380			ns
	<59>	t _{KL1}					
SI31, SI30 セットアップ時間 (対 SCK311B, SCK301B↑)	<60>	t _{SIK2}		50			ns
SI31, SI30 ホールド時間 (対 SCK311B, SCK301B↑)	<61>	t _{KSI2}		70			ns
SCK311B, SCK301B↓→ SO31, SO30 遅延時間	<62>	t _{KSO2}				70	ns

(c) UART モード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	-				262144	bps

(d) UART モード (赤外線データ転送モード)

項目	略号	条件	MIN.	MAX.	単位
転送レート	-			115200	bps
ビット・レート許容誤差	-			± 0.87	%
出力パルス数	-		1.2	0.24/fbr	μs
入力パルス数	-		4/fx		μs

備考 fbr : 設定ボー・レート

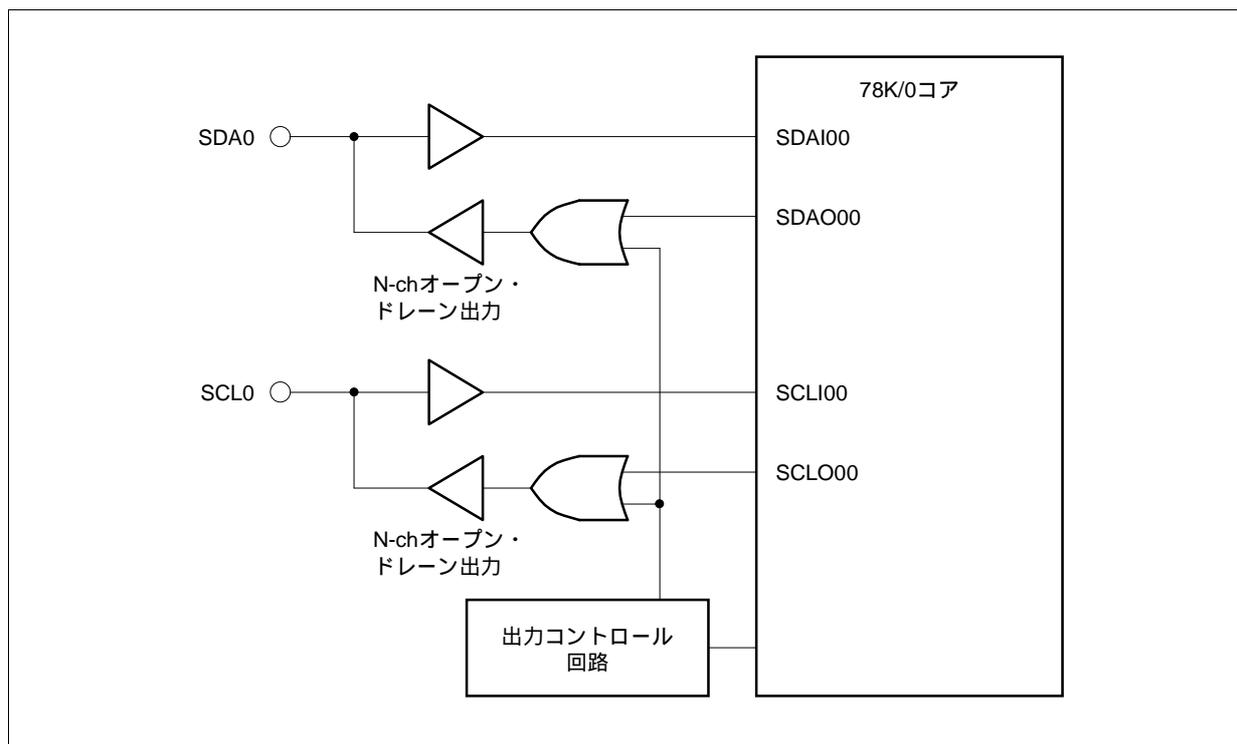
(e) I²C バス・モード

項目	略号		標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0 クロック周波数	<63>	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	<64>	t _{BUF}	4.8		1.4		μs
ホールド・タイム ^注	<65>	t _{HD} : STA	4.1		0.7		μs
SCL0 クロックのロウ・レベル幅	<66>	t _{LOW}	5.0		1.25		μs
SCL0 クロックのハイ・レベル幅	<67>	t _{HIGH}	5.0		1.25		μs
スタート/リスタート・コンディションのセットアップ時間	<68>	t _{SU} : STA	4.8		0.7		μs
データ・セットアップ時間 (受信)	<69>	t _{SU} : DAT	0		0		ns
データ・ホールド時間 (送信)	<70>	t _{HD} : DAT	0.72	3.5	0.48	1.0	μs

注 スタート・コンディション時に、この期間のあと、最初のクロック・パルスが形成されます。

注意 78K/0 コアに内蔵されているシリアル・インタフェース (IIC0) のシリアル・データ・ライン (SDA0) , シリアル・クロック・ライン (SCL0) の端子は、入力端子 (SDAI00, SCLI00) と出力端子 (SDAO00, SCLO00) に分離しています。そのため、外部デバイスと I²C バスを接続するために、図 2 - 1 のような回路構成にする必要があります。この章で SDA0, SCL0 と表記しているものは、入出力端子が図 2 - 1 に示す回路構成となっているものとして説明しています (詳細は、78K/0 コア ユーザーズ・マニュアル (A13142J) を参照してください)。

図2-1 シリアル・インタフェース (IIC0) 入出力端子の回路構成例



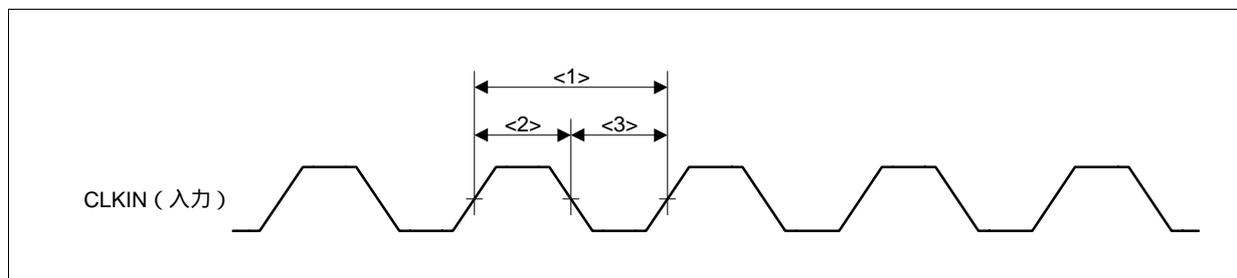
2.3.5 データ・メモリ STOP モード低電源電圧データ保持特性 (TA = -40 ~ +85°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
リリース信号セット時間	<72>	tsREL	0			μs
発振安定ウエイト時間 [※]	<73>	tWAIT		0		ms
				0		ms

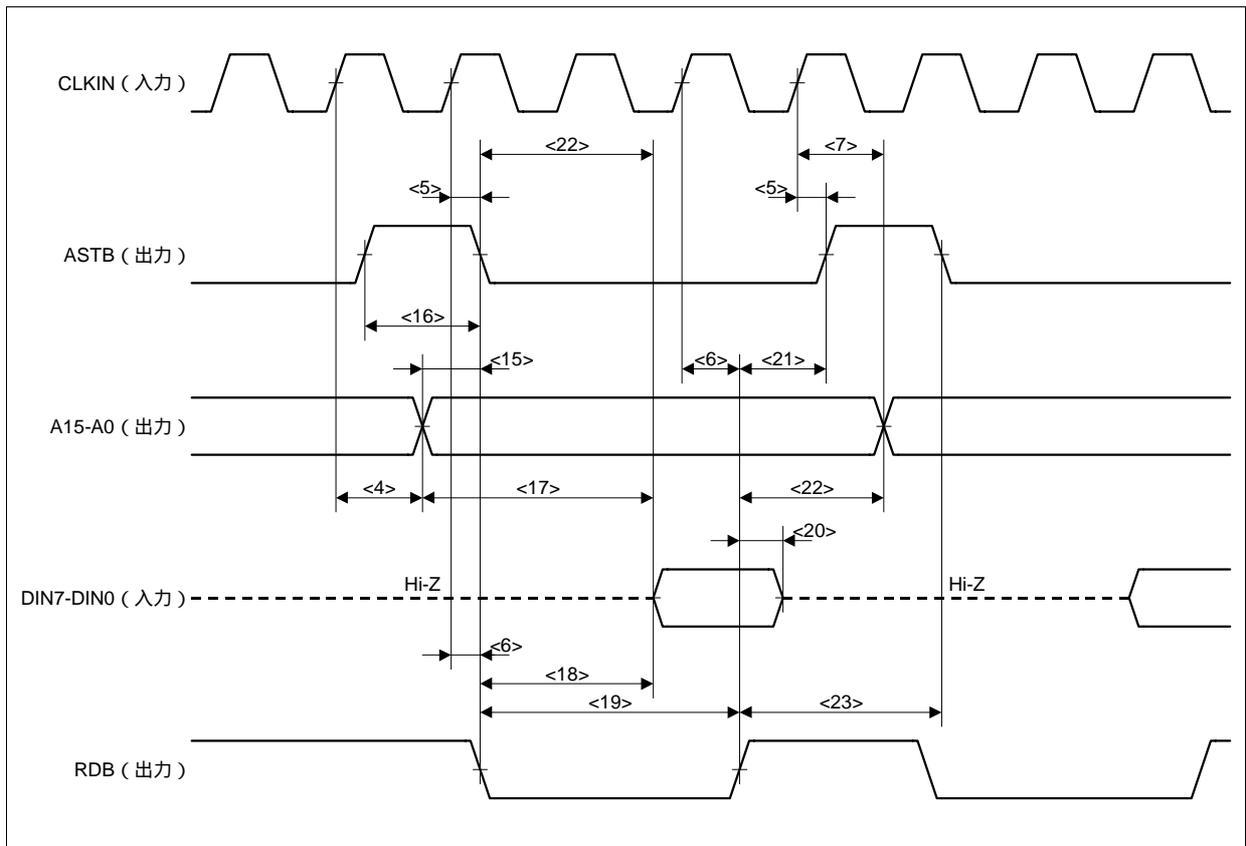
注 発振安定時間が必要な場合は、ユーザが確保してください。

2.4 タイミング・チャート

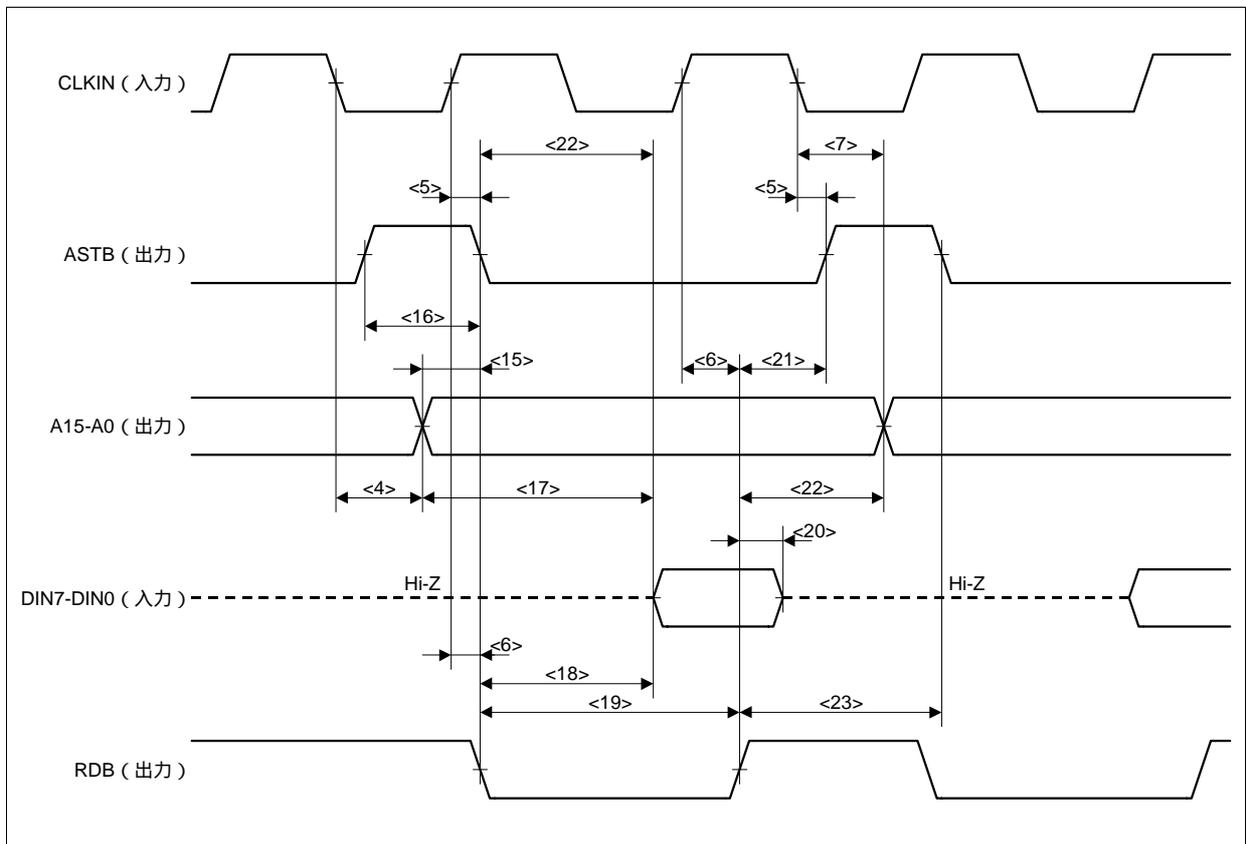
(1) クロック・タイミング



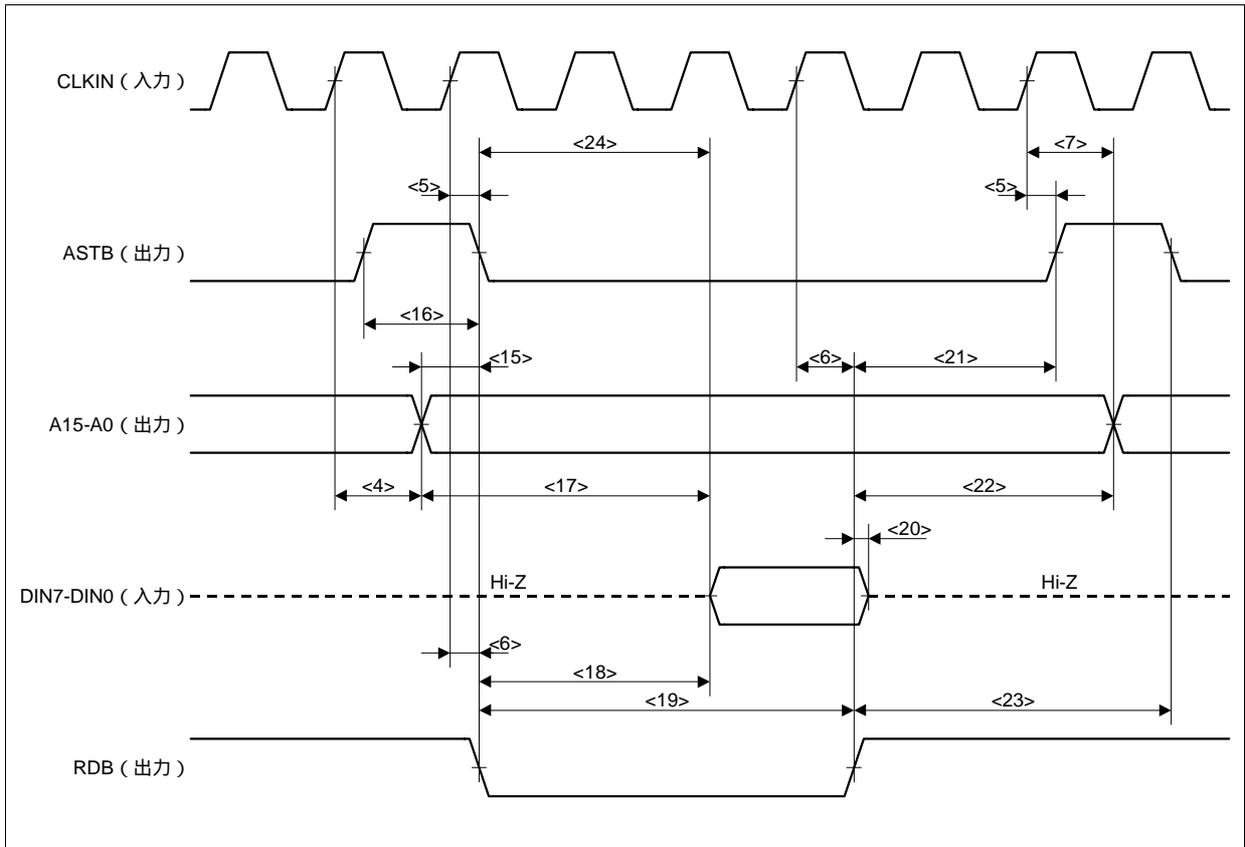
(2) フェッチ・タイミング1 (分周回路 (fx/2) 使用時, ノー・ウエイト)



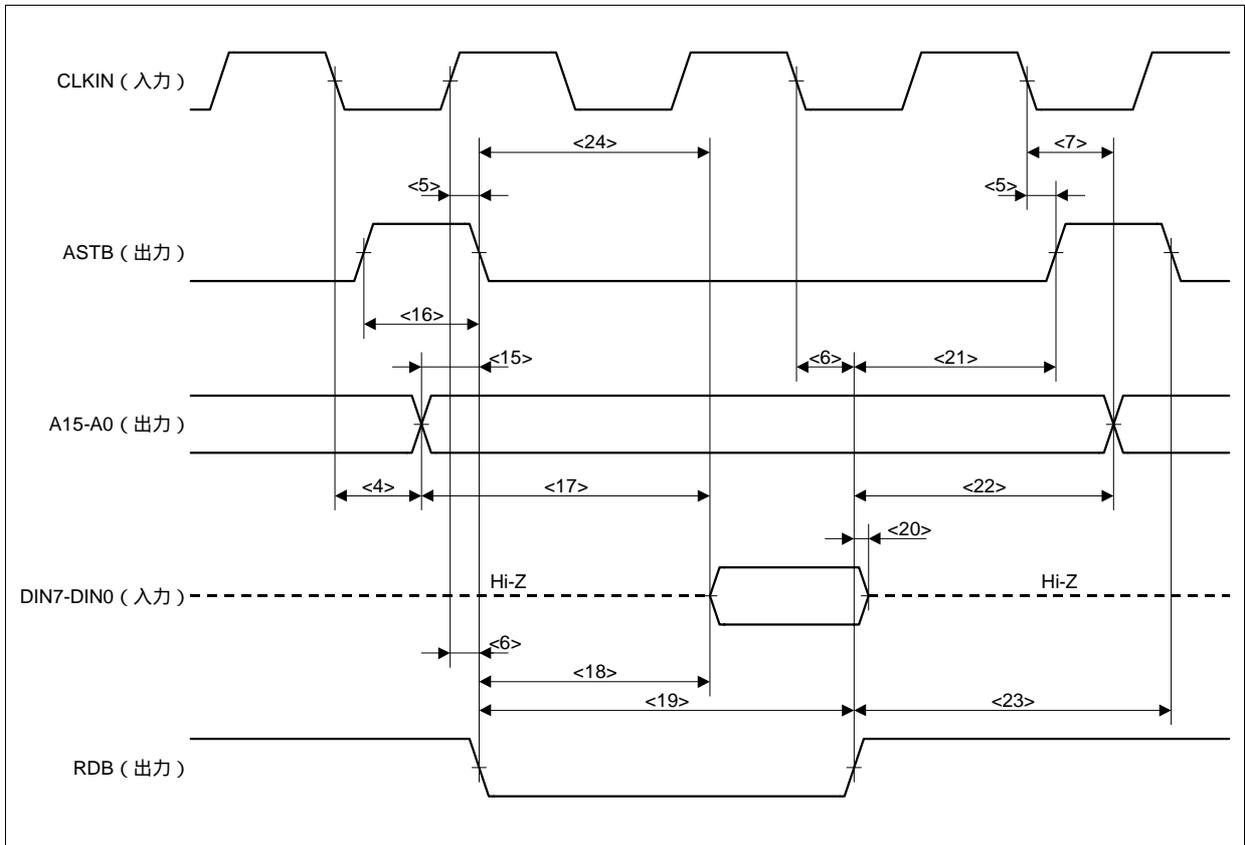
(3) フェッチ・タイミング2 (分周回路未使用時, ノー・ウエイト)



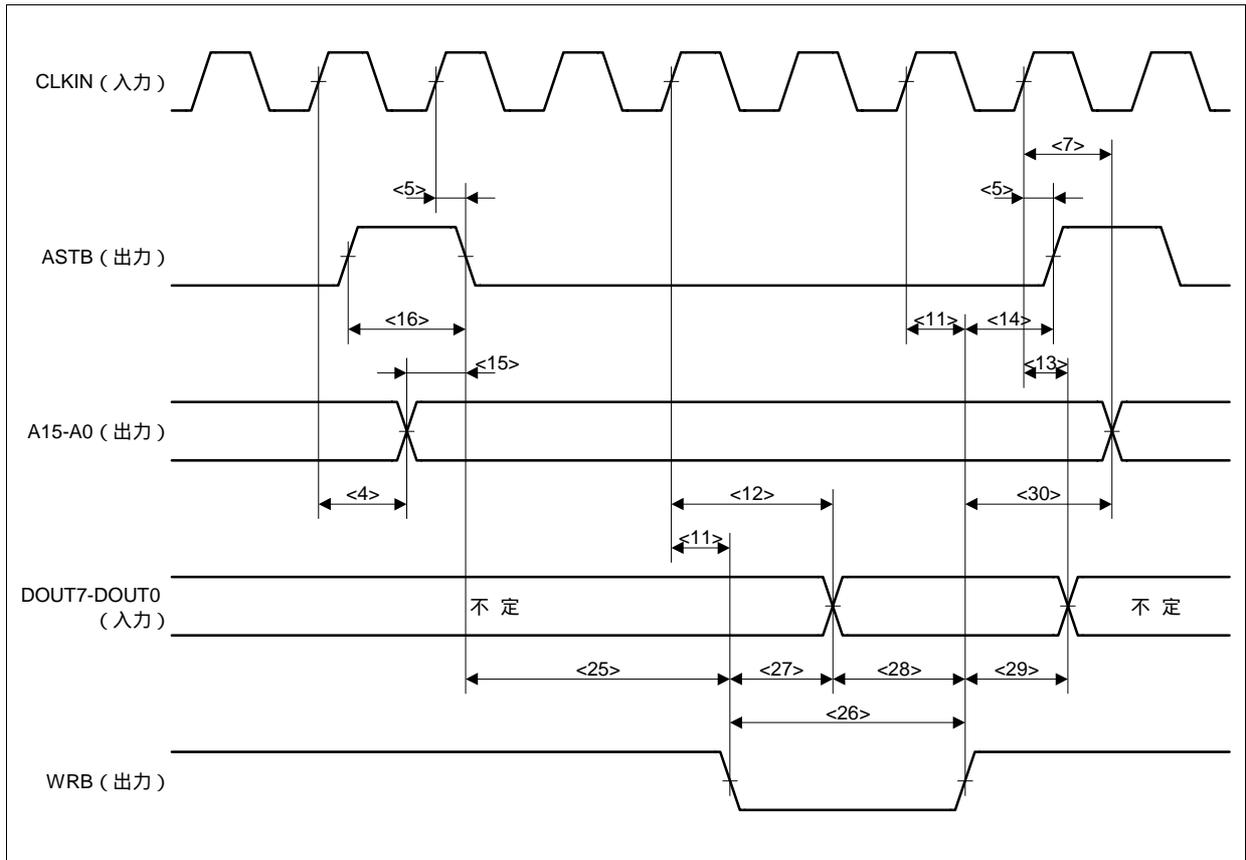
(4) リード・タイミング1 (データ・アクセス&分周回路使用時, ノー・ウエイト)



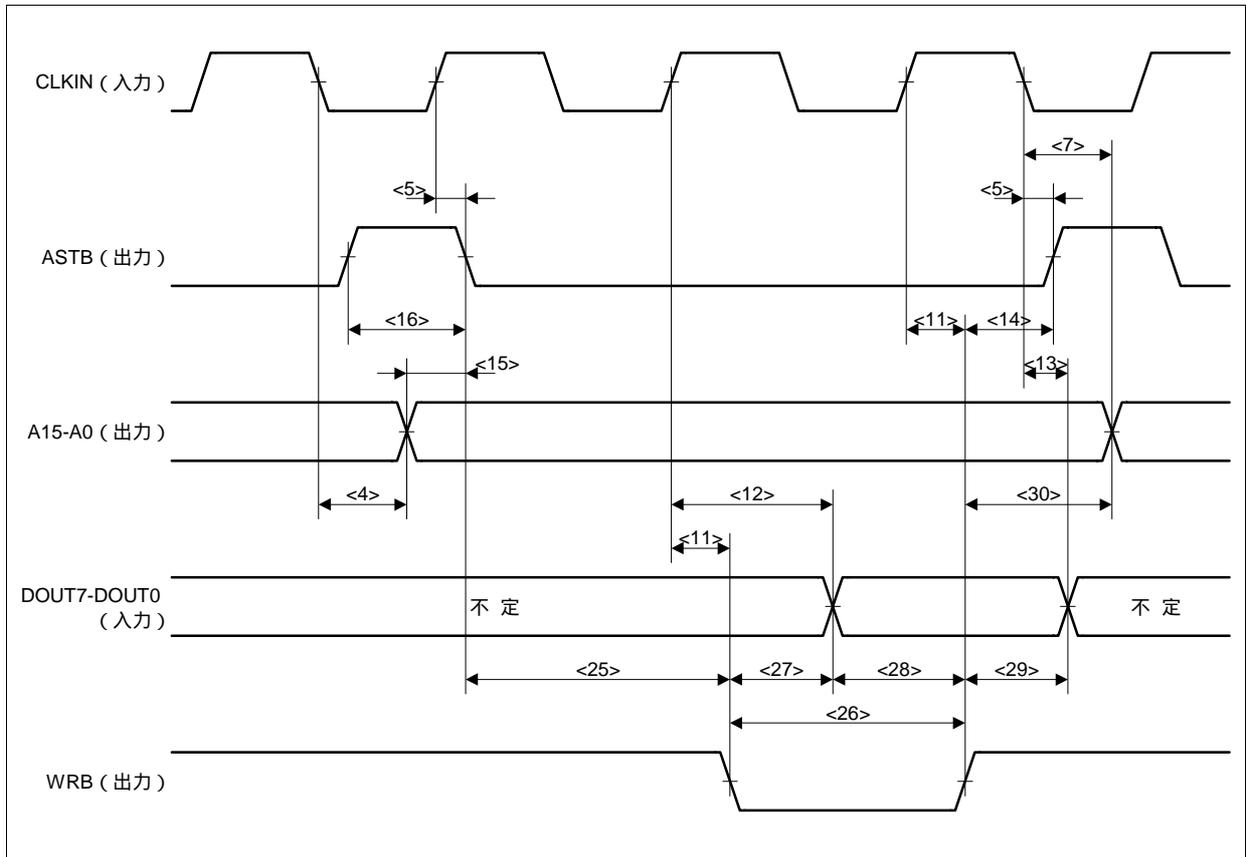
(5) リード・タイミング2 (データ・アクセス&分周回路未使用時, ノー・ウエイト)



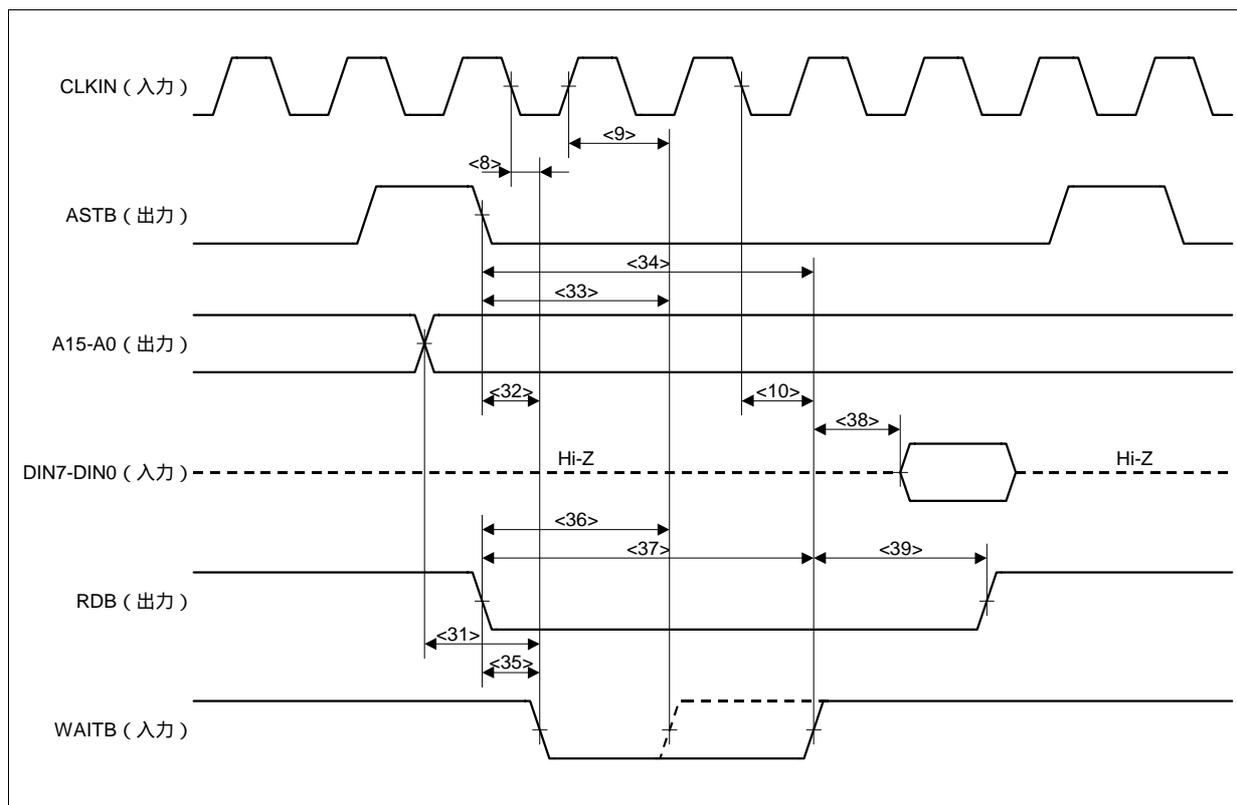
(6) ライト・タイミング1 (データ・アクセス&分周回路使用時, ノー・ウエイト)



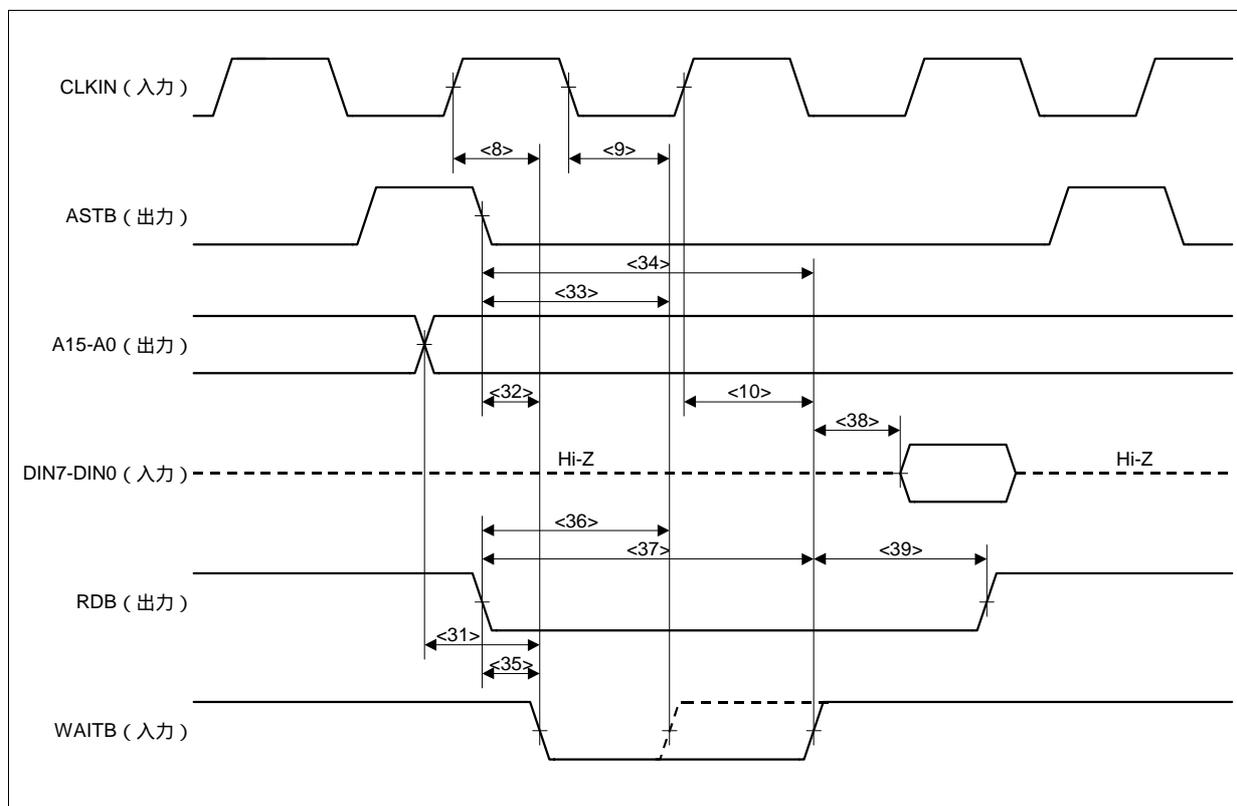
(7) ライト・タイミング2 (データ・アクセス&分周回路未使用時, ノー・ウエイト)



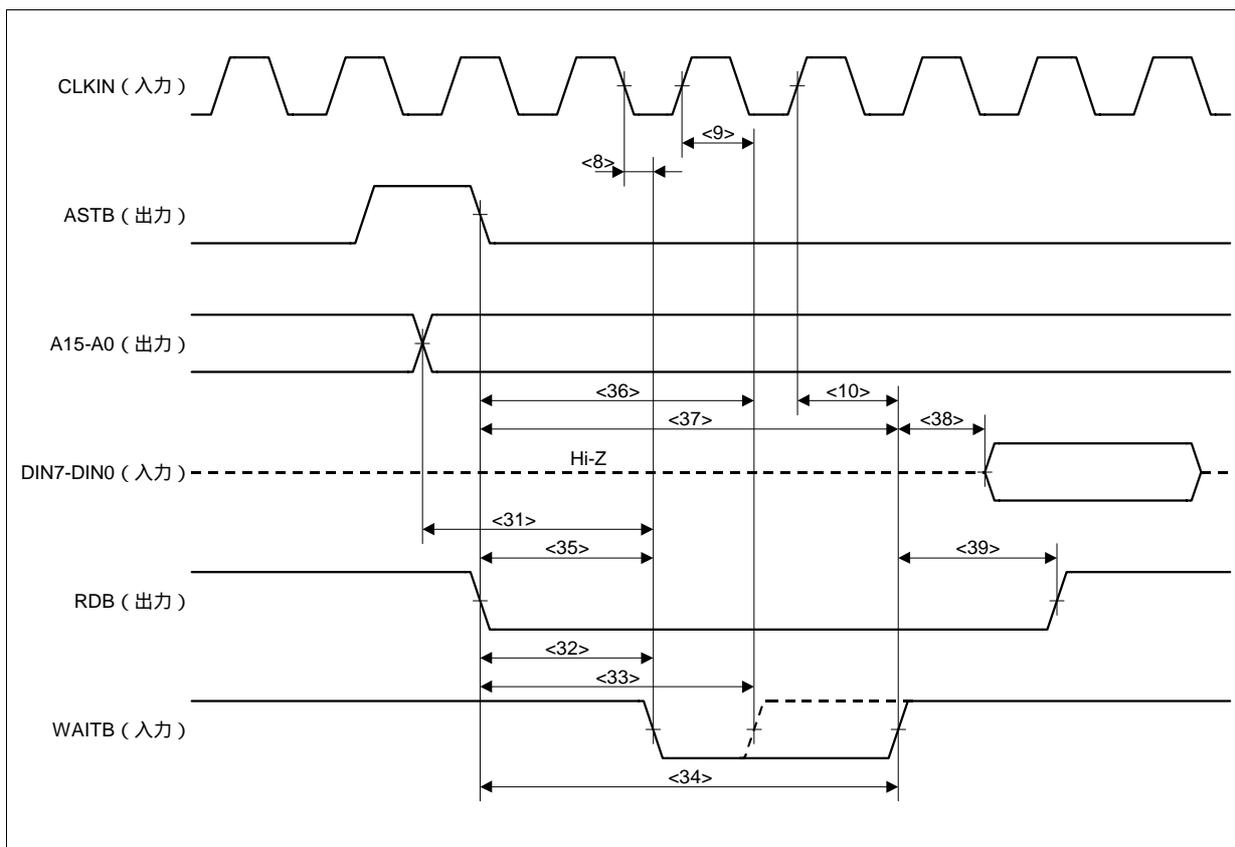
(8) 外部ウエイト入力フェッチ・タイミング1 (分周回路使用時, 1 ウエイト)



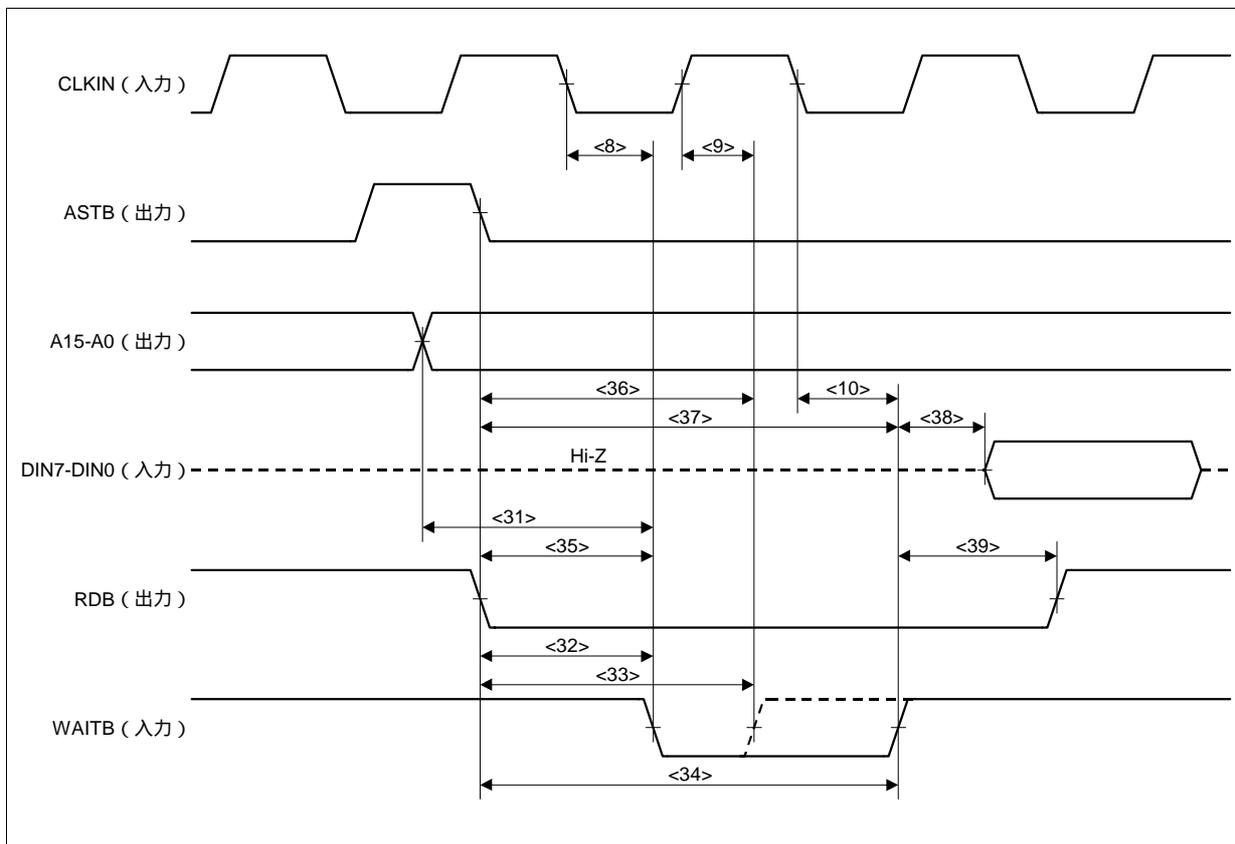
(9) 外部ウエイト入力フェッチ・タイミング2 (分周回路未使用時, 1 ウエイト)



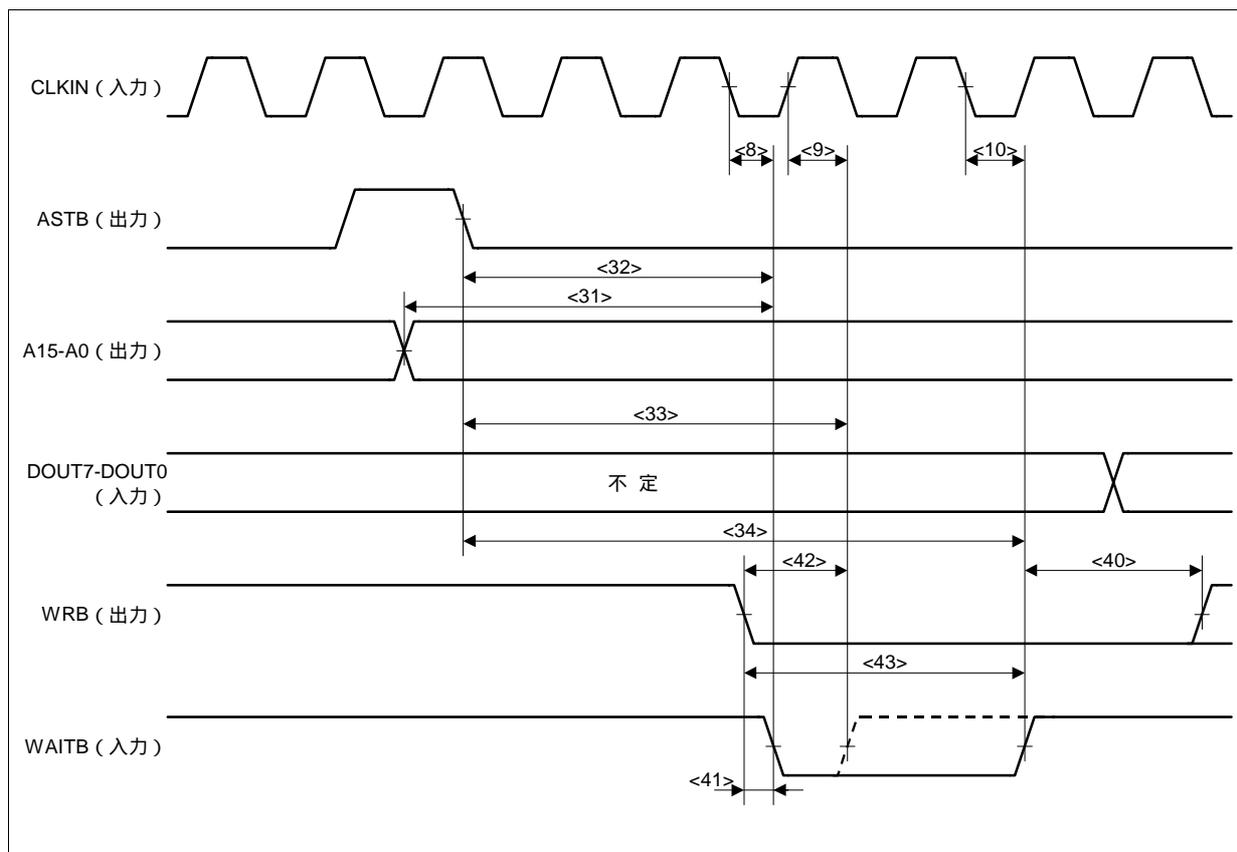
(10) 外部ウエイト入力リード・タイミング1 (データ・アクセス&分周回路使用時, 1 ウエイト)



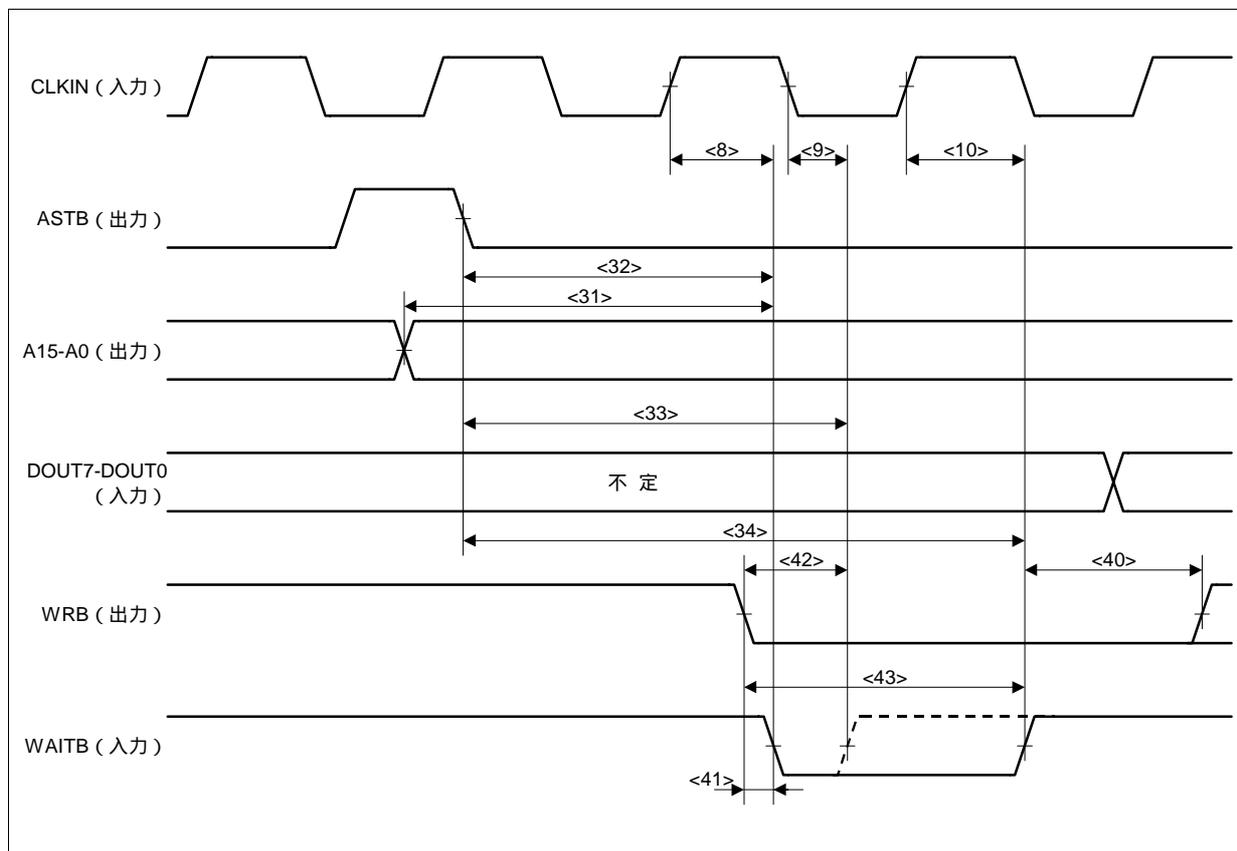
(11) 外部ウエイト入力リード・タイミング2 (データ・アクセス&分周回路未使用時, 1 ウエイト)



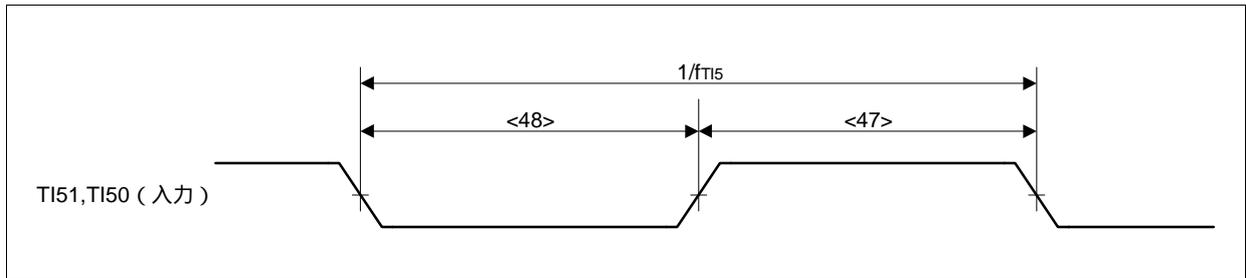
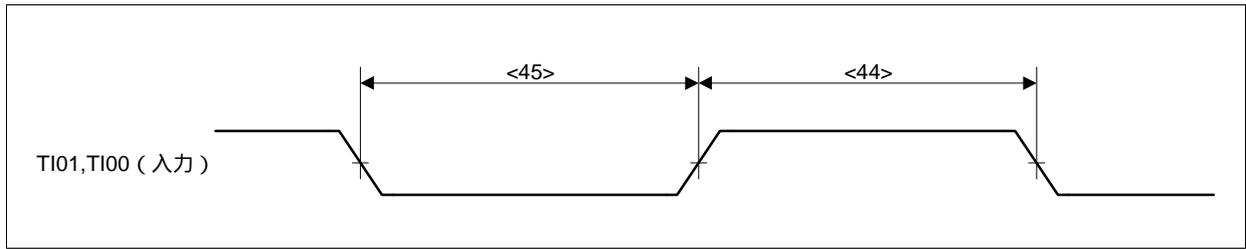
(12) 外部ウエイト入力ライト・タイミング1 (データ・アクセス&分周回路使用時, 1 ウエイト)



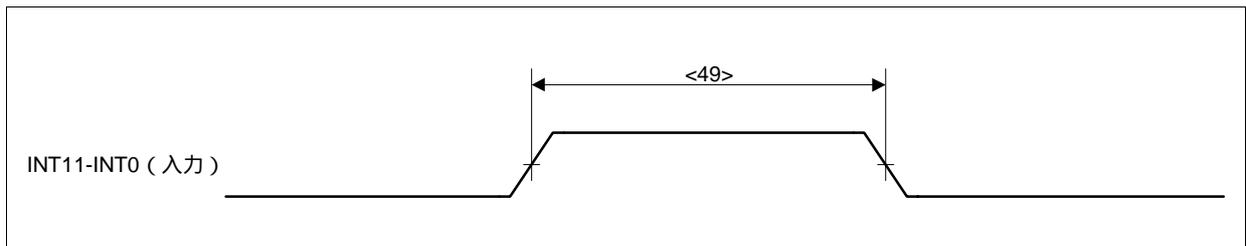
(13) 外部ウエイト入力ライト・タイミング2 (データ・アクセス&分周回路未使用時, 1 ウエイト)



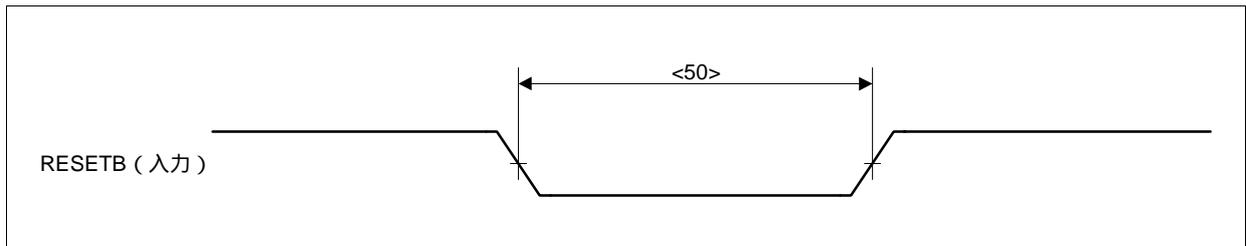
(14) TI タイミング



(15) 割り込み要求入力タイミング

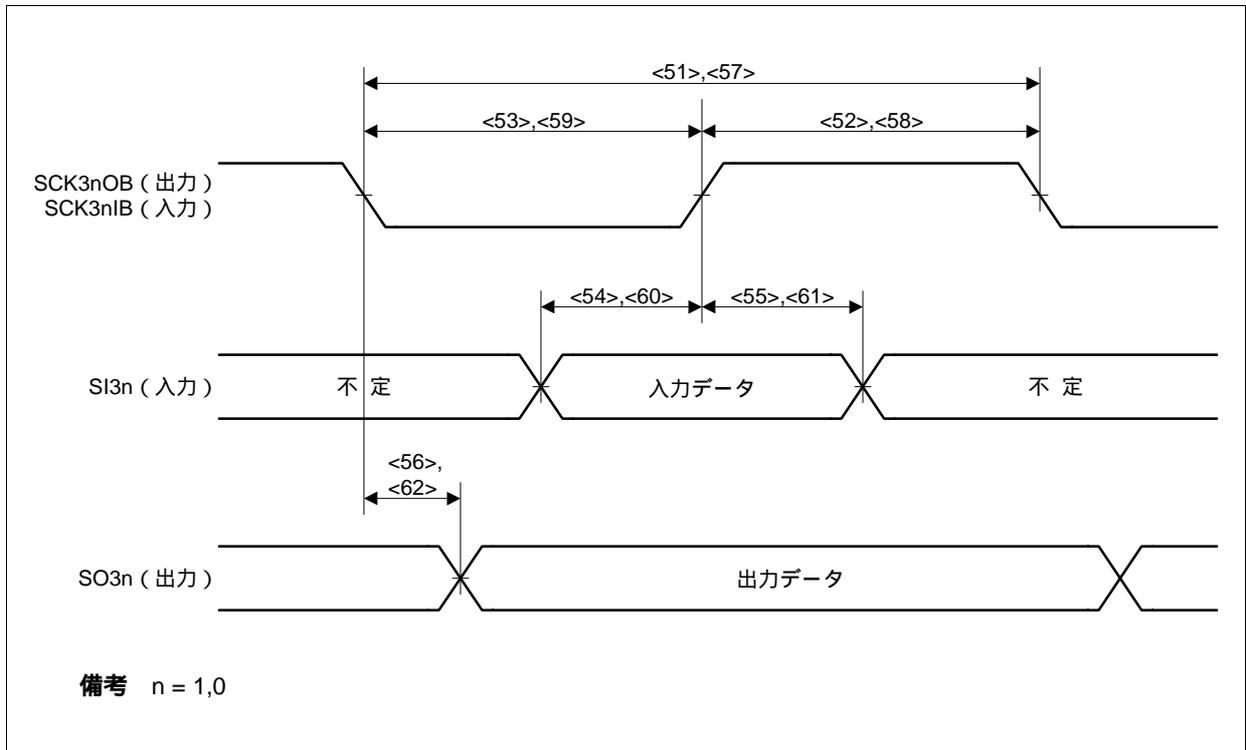


(16) RESETB 入力タイミング

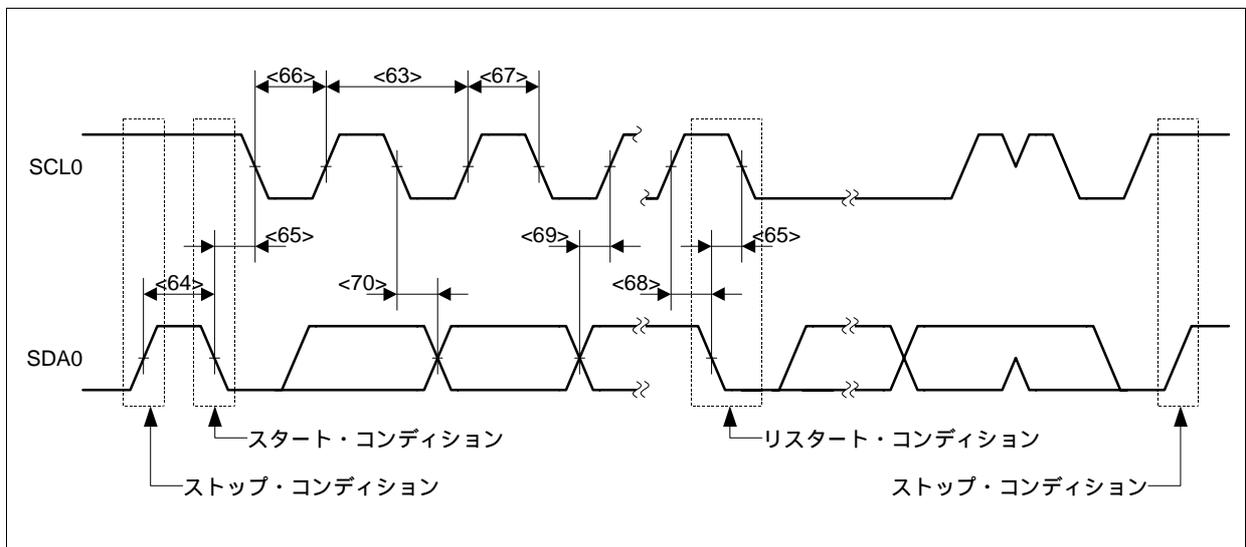


(17) シリアル転送タイミング

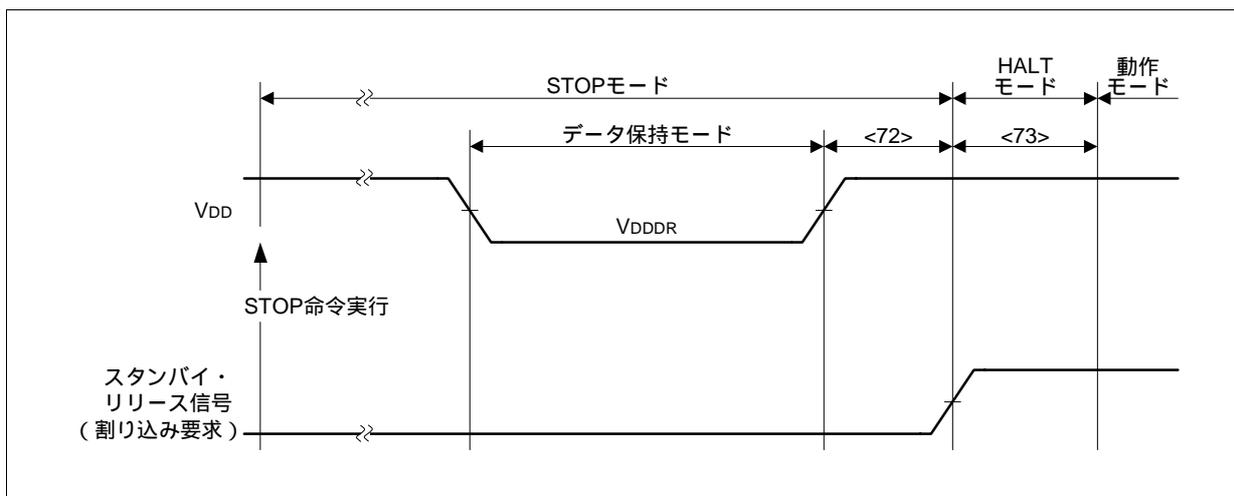
(a) 3線式シリアル I/O モード



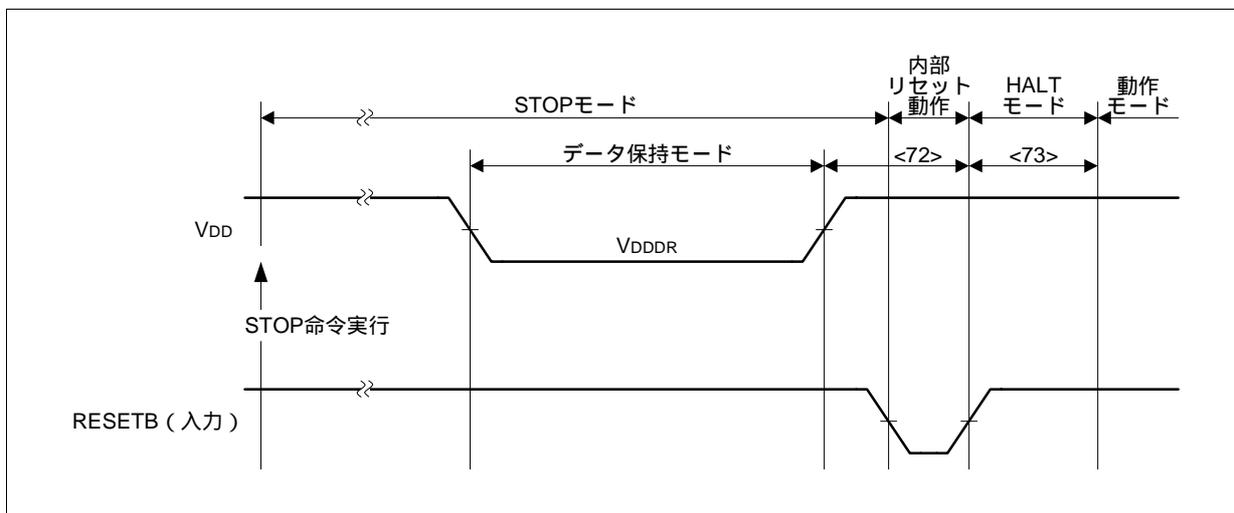
(b) I²C バス・モード



(18) データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号による STOP モード解除)



(19) データ保持タイミング (RESETB による STOP モード解除)



第3章 V851 コア

V851 コアは、リアルタイム制御向け高性能 32 ビット・シングルチップ・マイクロコンピュータ「V850 ファミリー™」の CPU コアを使用し、リアルタイム・パルス・ユニット、シリアル・インタフェースなどの周辺機能を内蔵しています。

3.1 概 要

- CPU 性能 : 38MIPS (33MHz 動作時)
- 内蔵メモリ (ROM を内蔵しないことも可能)
 - マスク ROM : 48K, 64K, 96K, 128K, 256K バイト
 - RAM : 4K, 8K, 16K, 24K バイト
- 最小命令実行時間 : 30ns (33MHz 動作時)
- 外部バス・インタフェース
 - 16 ビット・データ・バス (DIN/DOUT 分離)
 - 24 ビット・アドレス・バス
- 割り込み / 例外
 - 外部割り込み : 9 本 (NMI 含む)
 - 内部割り込み : 14 要因
 - ソフトウェア例外 : 32 要因
 - 例外トラップ : 1 要因
 - 8 レベルの優先順位を指定可能
- リアルタイム・パルス・ユニット
 - 16 ビット・タイマ / イベント・カウンタ : 1ch
 - 16 ビット・インターバル・タイマ : 1ch
- シリアル・インタフェース
 - アシンクロナス・シリアル・インタフェース (UART) : 1ch
 - クロック同期式シリアル・インタフェース (CSI) : 1ch
- パワー・セーブ機能
 - HALT, STOP, IDLE モード
 - クロック出力停止機能

3.1.1 シンボル図

グリッド数

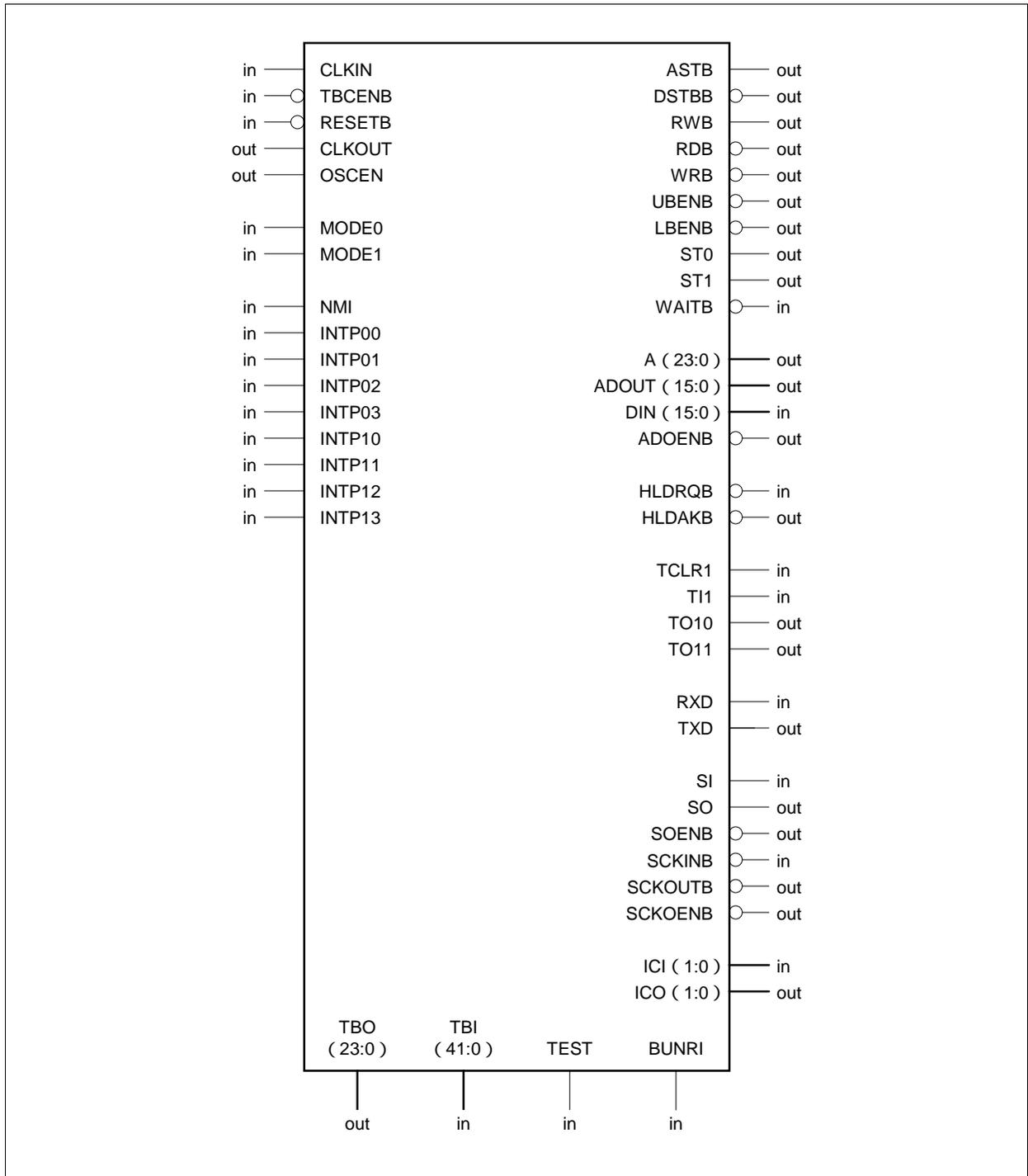
139k グリッド

156k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

ROM サイズ RAM サイズ	0 バイト (ROM レス)	48K バイト	64K バイト	96K バイト	128K バイト	256K バイト
4K バイト	NA851M02 258.5k	NA851M32 270.6k	NA851M42 278.8k	NA851M62 295.2k	NA851M82 311.5k	NA851MG2 377.1k
8K バイト	NA851M04 258.5k	NA851M34 270.6k	NA851M44 278.8k	NA851M64 295.2k	NA851M84 311.5k	NA851MG4 377.1k
16K バイト	NA851M08 266.1k	NA851M38 278.2k	NA851M48 286.4k	NA851M68 302.8k	NA851M88 319.2k	NA851MG8 384.7k
24K バイト	NA851M0C 266.1k	NA851M3C 278.2k	NA851M4C 286.4k	NA851M6C 302.8k	NA851M8C 319.2k	NA851MGC 384.7k

備考 表中の上段は品名，下段は総パターン数を示します。



3.1.2 端子容量

(1) 入力端子

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
DIN15	0.025	1.925	SCKINB	0.015	1.915	TBI24	0.023	1.923
DIN14	0.020	1.920	SI	0.019	1.919	TBI23	0.024	1.924
DIN13	0.016	1.916	TBCENB	0.017	1.917	TBI22	0.015	1.915
DIN12	0.022	1.922	TI1	0.021	1.921	TBI21	0.017	1.917
DIN11	0.021	1.921	TCLR1	0.028	1.928	TBI20	0.015	1.915
DIN10	0.021	1.921	RXD	0.013	1.913	TBI19	0.020	1.920
DIN9	0.024	1.924	WAITB	0.171	2.071	TBI18	0.019	1.919
DIN8	0.018	1.918	NMI	0.015	1.915	TBI17	0.027	1.927
DIN7	0.015	1.915	RESETB	0.027	1.927	TBI16	0.019	1.919
DIN6	0.021	1.921	ICI1	0.013	1.913	TBI15	0.018	1.918
DIN5	0.016	1.916	ICI0	0.013	1.913	TBI14	0.016	1.916
DIN4	0.014	1.914	TBI41	0.064	1.964	TBI13	0.018	1.918
DIN3	0.014	1.914	TBI40	0.023	1.923	TBI12	0.015	1.915
DIN2	0.014	1.914	TBI39	0.022	1.922	TBI11	0.014	1.914
DIN1	0.015	1.915	TBI38	0.016	1.916	TBI10	0.013	1.913
DIN0	0.033	1.933	TBI37	0.011	1.911	TBI9	0.014	1.914
CLKIN	0.020	1.920	TBI36	0.022	1.922	TBI8	0.016	1.916
HLDRQB	0.137	2.037	TBI35	0.014	1.914	TBI7	0.019	1.919
INTP13	0.014	1.914	TBI34	0.022	1.922	TBI6	0.013	1.913
INTP12	0.013	1.913	TBI33	0.014	1.914	TBI5	0.017	1.917
INTP11	0.014	1.914	TBI32	0.014	1.914	TBI4	0.019	1.919
INTP10	0.014	1.914	TBI31	0.156	2.056	TBI3	0.020	1.920
INTP03	0.016	1.916	TBI30	0.147	2.047	TBI2	0.019	1.919
INTP02	0.014	1.914	TBI29	0.018	1.918	TBI1	0.020	1.920
INTP01	0.021	1.921	TBI28	0.024	1.924	TBI0	0.038	1.938
INTP00	0.014	1.914	TBI27	0.015	1.915	BUNRI	1.433	3.333
MODE1	0.017	1.917	TBI26	0.022	1.922	TEST	1.740	3.640
MODE0	0.017	1.917	TBI25	0.016	1.916			

備考 C_{IN} : 入力端子のみの容量値

C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 (l = 10mm)

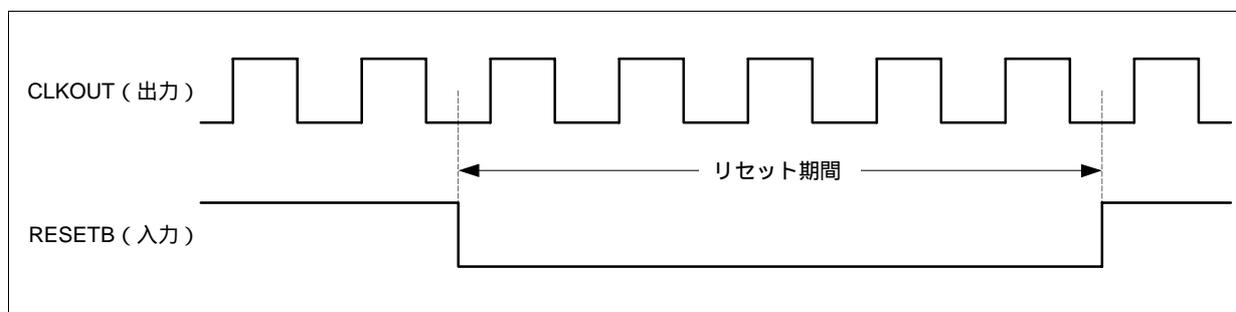
(2) 出力端子

端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)
A23-A0	6.570	OSCEN	13.340	ST1	6.587
ADOENB	13.072	RDB	6.570	ST0	6.587
ADOUT15-	6.570	RWB	6.570	TO11	4.993
ADOUT0		SCKOENB	4.993	TO10	4.993
DSTBB	6.570	SCKOUTB	3.300	TXD	4.993
HLDAKB	6.570	SO	4.775	ICO1	6.587
ASTB	3.300	SOENB	6.587	ICO0	6.570
CLKOUT	13.072	UBENB	6.587	TBO23-TBO0	6.536
LBENB	6.587	WRB	6.570		

3.2 RESETB 信号

NEC が行う評価の都合上，RESETB 信号を変化させるときには，システム・クロックの立ち上がり / 立ち下がりに同期しないようにしてください（**図3 - 1** 参照）。

図3 - 1 RESETB信号入力例



3.3 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには，初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

3.4 端子機能一覧

(1/2)

端子名	入出力	機能
TO11, TO10	出力	タイマ1のパルス出力
TCLR1	入力	タイマ1の外部クリア信号入力
TI1	入力	タイマ1の外部カウント・クロック入力
INTP13-INTP10	入力	外部マスカブル割り込み要求入力兼タイマ1の外部キャプチャ・トリガ入力
INTP03-INTP00	入力	外部マスカブル割り込み要求入力
NMI	入力	ノンマスカブル割り込み要求入力
SO	出力	CSIのシリアル送信データ出力
SI	入力	CSIのシリアル受信データ入力
SOENB	出力	SO端子制御信号出力
SCKINB	入力	CSIのシリアル・クロック入力
SCKOUTB	出力	CSIのシリアル・クロック出力
SCKOENB	出力	CSIのシリアル・クロックの入出力方向を示す信号出力
TXD	出力	UARTのシリアル送信データ出力
RXD	入力	UARTのシリアル受信データ入力
ADOUT15-ADOUT0	出力	外部アクセス時のアドレス/データの時分割出力
ADOENB	出力	ADOUT15-ADOUT0端子制御信号出力
DIN15-DIN0	入力	外部アクセス時のデータ入力
A23-A0	出力	外部アクセス時のアドレス出力
LBENB	出力	外部データ・バスの下位バイト・イネーブル出力
UBENB	出力	外部データ・バスの上位バイト・イネーブル出力
RWB	出力	外部リード/ライト・ステータス出力
RDB	出力	外部リード・ストロブ出力
WRB	出力	外部ライト・ストロブ出力
DSTBB	出力	外部データ・ストロブ出力
ASTB	出力	外部アドレス・ストロブ出力
ST1, ST0	出力	外部バス・サイクル・ステータス出力
HLDARB	出力	バス・ホールド・アクノリッジ出力
HLDRQB	入力	バス・ホールド要求入力
WAITB	入力	バス・サイクルにウエイトを挿入する制御信号入力
RESETB	入力	システム・リセット入力
CLKIN	入力	外部クロック入力
CLKOUT	出力	内部システム・クロック出力
TBCENB	入力	タイム・ベース・カウンタ(TBC)の制御信号入力
OSCB	出力	外部OSCへの制御信号出力
MODE1, MODE0	入力	V851コアの動作モード制御信号入力
TBI41-TBI0	入力	テスト・バスを用いたテストを行うための端子
TBO23-TBO0	出力	
TEST	入力	

端子名	入出力	機能
BUNRI	入力	テスト・バスを用いたテストを行うための端子
ICO1, ICO0	出力	NEC の予約端子
ICI1, ICI0	入力	

3.5 電気的特性

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

3.5.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

3.5.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	30			ns

3.5.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1a}	通常動作モード		0.4	0.5	mA/MHz
	I _{DD1b}	時				
	I _{DD2}	HALT モード時		0.2	0.3	mA/MHz
	I _{DD3}	STOP モード時		1.0	15	μA

備考 TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

注意 リセット期間中、内蔵 ROM には MAX. 5mA の電流が流れます。

(1) V851 コアの消費電流値算出方法

ROM, RAM を内蔵した V851 コアの消費電流値 (TYP.) は、次式より求めます。

$$I_{DD1b} = I_{DD1a} + I_{DDROM} + I_{DDRAM}$$

- I_{DDROM} : 内蔵 ROM の消費電流値
- I_{DDRAM} : 内蔵 RAM の消費電流値

NA851M82 (内蔵 ROM : 128K バイト / 内蔵 RAM : 4K バイト) を例として消費電流値の算出方法を次に示します。

注意 消費電流計算式は参考式であり、算出された値は電流値を保証するものではありません。

条件 : $V_{DD} = 3.3V$

$\phi = 33MHz$

内蔵 ROM の動作率 = 80%

内蔵 RAM の動作率 = 20% (リード動作 : ライト動作 = 1 : 1)

内蔵 RAM のリード動作周波数 (f_R) = 33MHz

内蔵 RAM のライト動作周波数 (f_W) = 33MHz

上記の条件で動作した場合の消費電流値は、次式で求められます。

$$I_{DD1a} = 0.4 \times \phi = 0.4 \times 33 = 13.2 \text{ [mA] } \dots <1>$$

$$\begin{aligned} I_{DDR\text{ROM}}^{\text{注1}} &= ((2.2 + (V_{DD} - 2.7) \times 3.0) + (0.05 \times V_{DD} \times \phi)) \times \text{動作率} \\ &= ((2.2 + (3.3 - 2.7) \times 3.0) + (0.05 \times 3.3 \times 33)) \times 0.8 \\ &= 7.556 \text{ [mA] } \dots <2> \end{aligned}$$

$$I_{DDR\text{AM (READ)}}^{\text{注2}} = 0.82 \times f_R \times \text{動作率} = 0.82 \times 33 \times 0.2 \times 0.5 = 2.706 \text{ [mA] } \dots <3>$$

$$I_{DDR\text{AM (WRITE)}}^{\text{注3}} = 0.83 \times f_W \times \text{動作率} = 0.83 \times 33 \times 0.2 \times 0.5 = 2.739 \text{ [mA] } \dots <4>$$

<3>,<4>より,

$$I_{DDR\text{AM}} = (I_{DDR\text{AM (READ)}} + I_{DDR\text{AM (WRITE)}}) = 2.706 + 2.739 = 5.445 \text{ [mA] } \dots <5>$$

<1>,<2>,<5>より,

$$I_{DD1b} = 13.2 + 7.556 + 5.445 = 26.201 \text{ [mA] }$$

以上より、NA851M82 の消費電流値 (TYP.) は 26.201mA となります。

注 1. 内蔵 ROM サイズに関係なく、次の計算式を使用します (ROM レス品を除く)。

$$((2.2 + (V_{DD} - 2.7) \times 3.0) + (0.05 \times V_{DD} \times \phi)) \times \text{動作率}$$

2. 内蔵 RAM サイズが 8K, 16K, 24K バイトの場合は、それぞれ次の計算式を使用します。

$$8K \text{ バイトの場合} \quad : 2.55 \times f_R \times \text{動作率}$$

$$16K \text{ バイトの場合} \quad : 3.02 \times f_R \times \text{動作率}$$

$$24K \text{ バイトの場合} \quad : 3.34 \times f_R \times \text{動作率}$$

3. 内蔵 RAM サイズが 8K, 16K, 24K バイトの場合は、それぞれ次の計算式を使用します。

$$8K \text{ バイトの場合} \quad : 2.41 \times f_W \times \text{動作率}$$

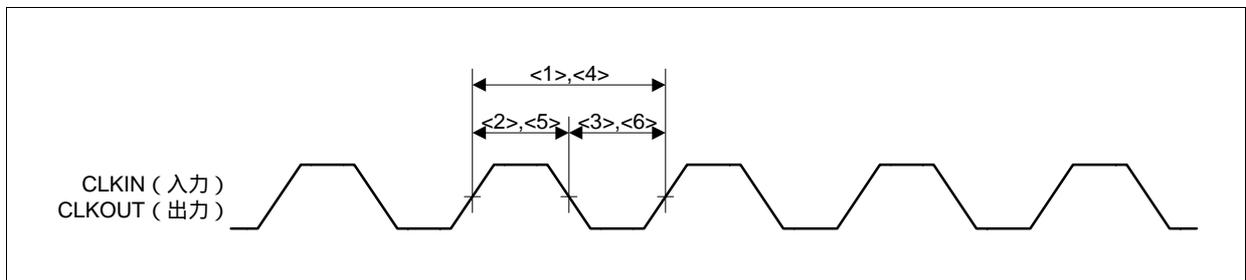
$$16K \text{ バイトの場合} \quad : 2.41 \times f_W \times \text{動作率}$$

$$24K \text{ バイトの場合} \quad : 2.62 \times f_W \times \text{動作率}$$

3.5.4 AC 特性 (TA = -40 ~ +85°C, VDD = 3.3V ± 0.3V)

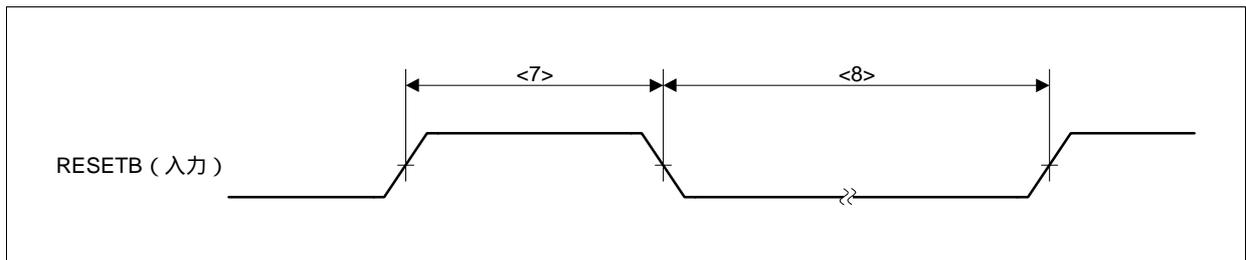
(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
CLKIN 入力周期	<1> t _{CYX}		30		ns
CLKIN 入力ハイ・レベル幅	<2> t _{WXH}		14		ns
CLKIN 入力ロウ・レベル幅	<3> t _{WXL}		14		ns
CPU 動作周波数	- φ		0	33	MHz
CLKOUT 出力周期	<4> t _{CYK}		30		ns
CLKOUT ハイ・レベル幅	<5> t _{WKH}		0.5t _{CYK} -5		ns
CLKOUT ロウ・レベル幅	<6> t _{WKL}		0.5t _{CYK} -5		ns



(2) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESETB ハイ・レベル幅	<7> t _{WRSH}		500		ns
RESETB ロウ・レベル幅	<8> t _{WRSL}	電源オン時	500		ns



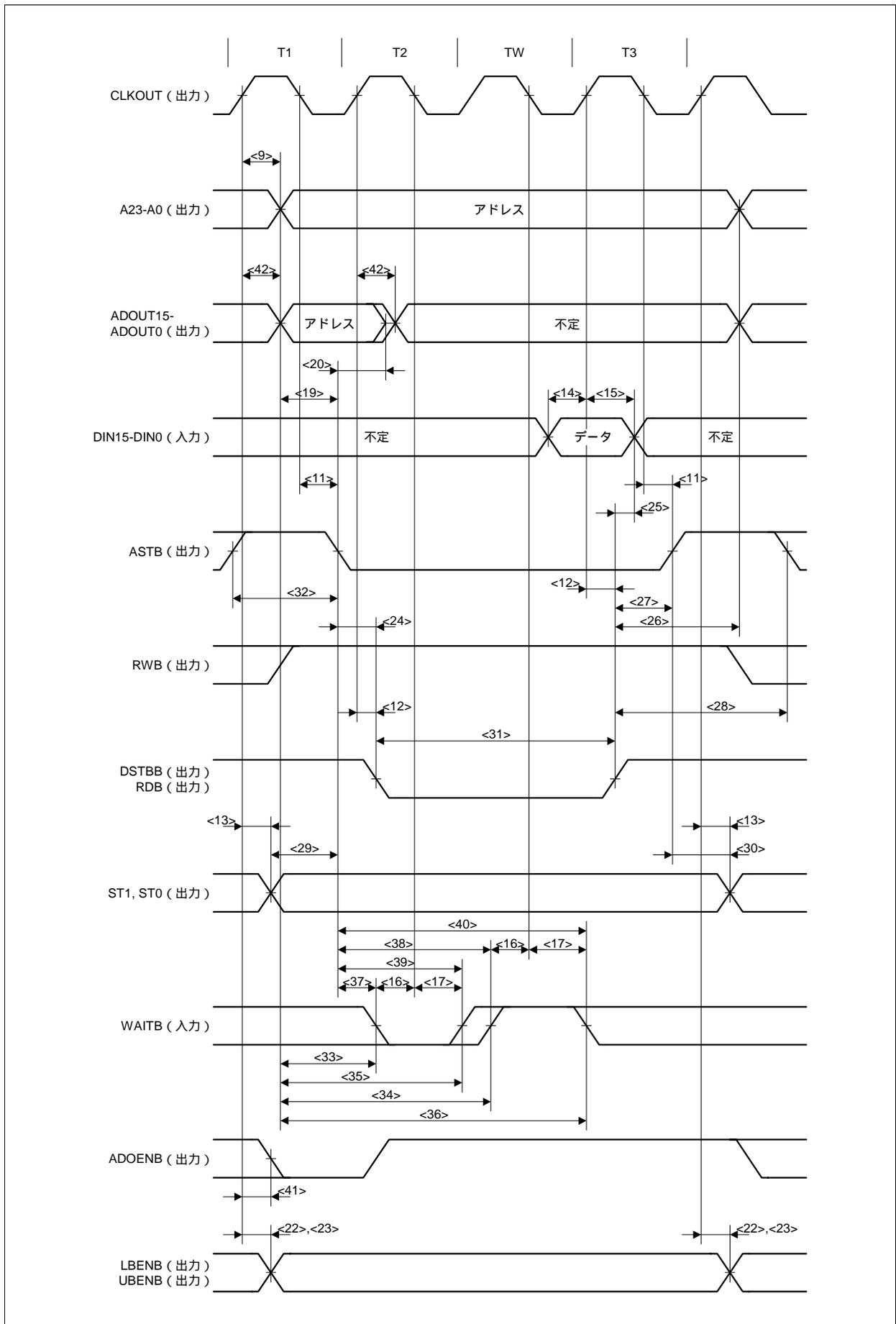
(3) リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT↑→アドレス遅延時間	<9> tDKA			3	ns
CLKOUT↓→ASTB 遅延時間	<11> tDKST			4	ns
CLKOUT↑→DSTBB 遅延時間	<12> tDKD			3	ns
CLKOUT↑→ステータス遅延時間	<13> tDKS			3	ns
データ入力設定時間 (対 CLKOUT↑)	<14> tSIDK		2		ns
データ入力保持時間 (対 CLKOUT↑)	<15> tHKID		2		ns
WAITB 設定時間 (対 CLKOUT↓)	<16> tSWTK		2		ns
WAITB 保持時間 (対 CLKOUT↓)	<17> tHKWT		2		ns
アドレス設定時間 (対 ASTB↓)	<19> tSAST		0.5T-6		ns
アドレス保持時間 (対 ASTB↓)	<20> tHSTA		0.5T-6		ns
CLKOUT↑→LBENB 遅延時間	<22> tDKLB			3	ns
CLKOUT↑→UBENB 遅延時間	<23> tDKUB			3	ns
ASTB↓→DSTBB↓遅延時間	<24> tDSTD		0.5T-6		ns
データ入力保持時間 (対 DSTBB↑)	<25> tHDID		0		ns
DSTBB↑→アドレス出力遅延時間	<26> tDDA		(1+i) T		ns
DSTBB↑→ASTB↑遅延時間	<27> tDDSTH		0.5T-6		ns
DSTBB↑→ASTB↓遅延時間	<28> tDDSTL		(1.5+i) T-6		ns
ステータス設定時間 (対 ASTB↓)	<29> tSSST		0.5T-6		ns
ステータス保持時間 (対 ASTB↑)	<30> tHSTS		0.5T-6		ns
DSTBB ロウ・レベル幅	<31> tWDL		(1+n) T-5		ns
ASTB ハイ・レベル幅	<32> tWSTH		T-5		ns
WAITB 設定時間 (対アドレス)	<33> tSAWT1	n 1		1.5T-11	ns
	<34> tSAWT2			(1.5+n) T-11	ns
WAITB 保持時間 (対アドレス)	<35> tHAWT1	n 1	1.5T+6		ns
	<36> tHAWT2		(1.5+n) T+6		ns
WAITB 設定時間 (対 ASTB↓)	<37> tSSTWT1	n 1		T-10	ns
	<38> tSSTWT2			(1+n) T-10	ns
WAITB 保持時間 (対 ASTB↓)	<39> tHSTWT1	n 1	nT+5		ns
	<40> tHSTWT2		(1+n) T+5		ns
CLKOUT↑→ADOENB 遅延時間	<41> tDKADEN			3	ns
CLKOUT↑→アドレス / データ出力遅延時間	<42> tDKAD			5	ns

備考 1. T = t_{CYK}

- n はバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
- i は、リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1) を示します。
- データ入力保持時間 t_{HKID}, t_{HDID} は、少なくともどちらか 1 つを守ってください。

(3) リード・タイミング (2/2)



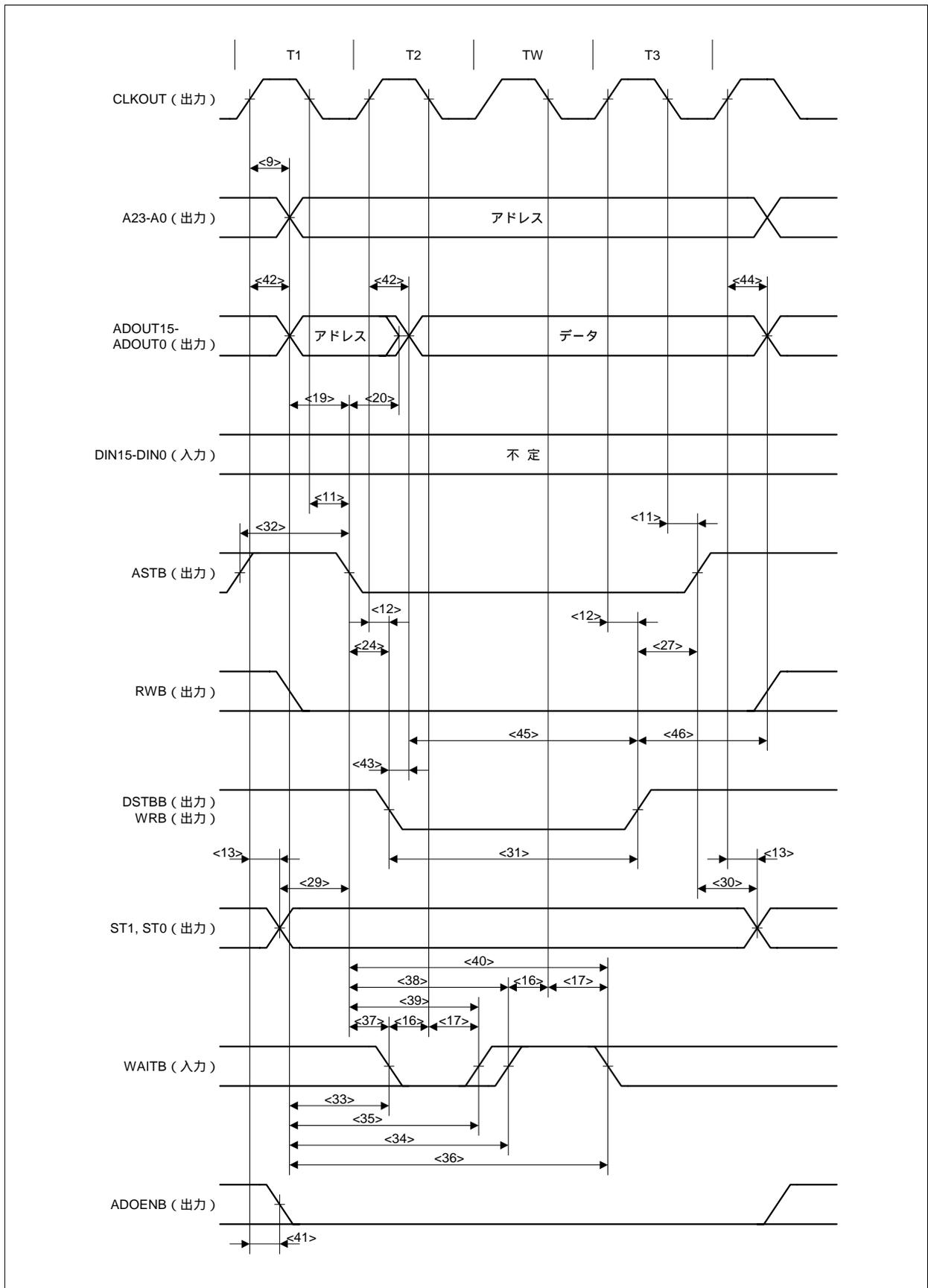
(4) ライト・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT↑→アドレス遅延時間	<9> tDKA			3	ns
CLKOUT↓→ASTB 遅延時間	<11> tDKST			4	ns
CLKOUT↑→DSTBB 遅延時間	<12> tDKD			3	ns
CLKOUT↑→ステータス遅延時間	<13> tDKS			3	ns
WAITB 設定時間 (対 CLKOUT↓)	<16> tSWTK		2		ns
WAITB 保持時間 (対 CLKOUT↓)	<17> tHKWT		2		ns
アドレス設定時間 (対 ASTB↓)	<19> tsAST		0.5T-6		ns
アドレス保持時間 (対 ASTB↓)	<20> thSTA		0.5T-6		ns
ASTB↓→DSTBB↓遅延時間	<24> tDSTD		0.5T-6		ns
DSTBB↑→ASTB↑遅延時間	<27> tDDSTH		0.5T-6		ns
ステータス設定時間 (対 ASTB↓)	<29> tSSST		0.5T-6		ns
ステータス保持時間 (対 ASTB↑)	<30> thSTS		0.5T-6		ns
DSTBB ロウ・レベル幅	<31> twDL		(1+n) T-5		ns
ASTB ハイ・レベル幅	<32> twSTH		T-5		ns
WAITB 設定時間 (対アドレス)	<33> tSAWT1	n 1		1.5T-11	ns
	<34> tSAWT2			(1.5+n) T-11	ns
WAITB 保持時間 (対アドレス)	<35> thAWT1	n 1	1.5T+6		ns
	<36> thAWT2		(1.5+n) T+6		ns
WAITB 設定時間 (対 ASTB↓)	<37> tsSTWT1	n 1		T-10	ns
	<38> tsSTWT2			(1+n) T-10	ns
WAITB 保持時間 (対 ASTB↓)	<39> thSTWT1	n 1	nT+5		ns
	<40> thSTWT2		(1+n) T+5		ns
CLKOUT↑→ADOENB 遅延時間	<41> tDKADEN			3	ns
CLKOUT↑→アドレス/データ出力遅延時間	<42> tDKAD			5	ns
DSTBB↓→データ出力遅延時間	<43> tDDOD			5	ns
データ出力保持時間 (対 CLKOUT↑)	<44> thKOD			5	ns
データ出力設定時間 (対 DSTBB↑)	<45> tsODD		(1+n) T-5		ns
データ出力保持時間 (対 DSTBB↑)	<46> thDOD		T-5		ns

備考 1. T = t_{cyk}

2. n はバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(4) ライト・タイミング (2/2)



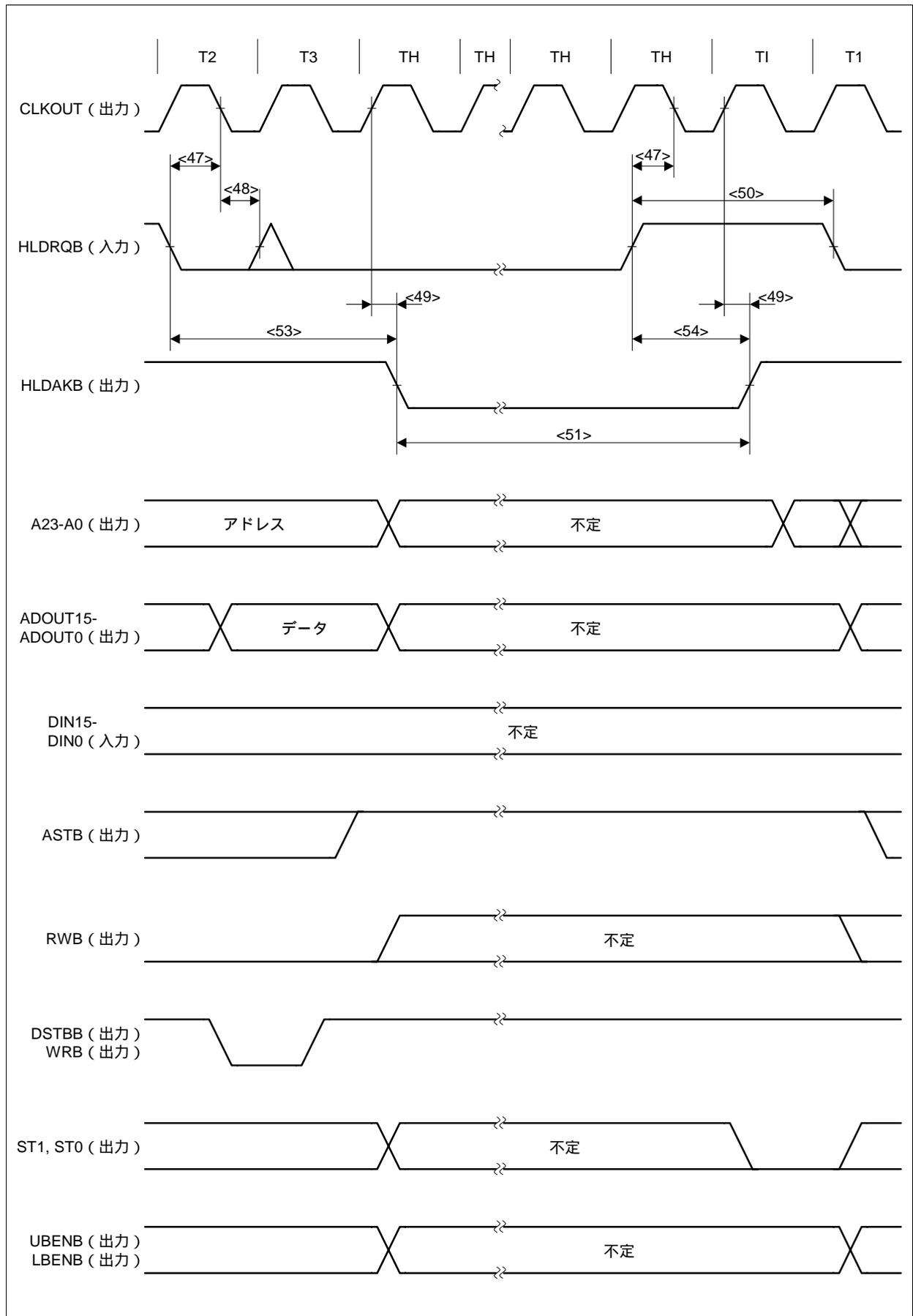
(5) バス・ホールド・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
HLD RQB 設定時間 (対 CLKOUT↓)	<47>	t _{SHQK}	2		ns
HLD RQB 保持時間 (対 CLKOUT↓)	<48>	t _{HKHQ}	2		ns
CLKOUT↑→HLD AKB 遅延時間	<49>	t _{DKHA}		3	ns
HLD RQB ハイ・レベル幅	<50>	t _{WHQH}	T+5		ns
HLD AKB ロウ・レベル幅	<51>	t _{WHAL}	T-5		ns
HLD RQB↓→HLD AKB↓遅延時間	<53>	t _{DHQHA1}		(2n+7.5) T +11	ns
HLD RQB↑→HLD AKB↑遅延時間	<54>	t _{DHQHA2}		1.5T+11	ns

備考 1. T = t_{cyk}

2. n はバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(5) バス・ホールド・タイミング (2/2)



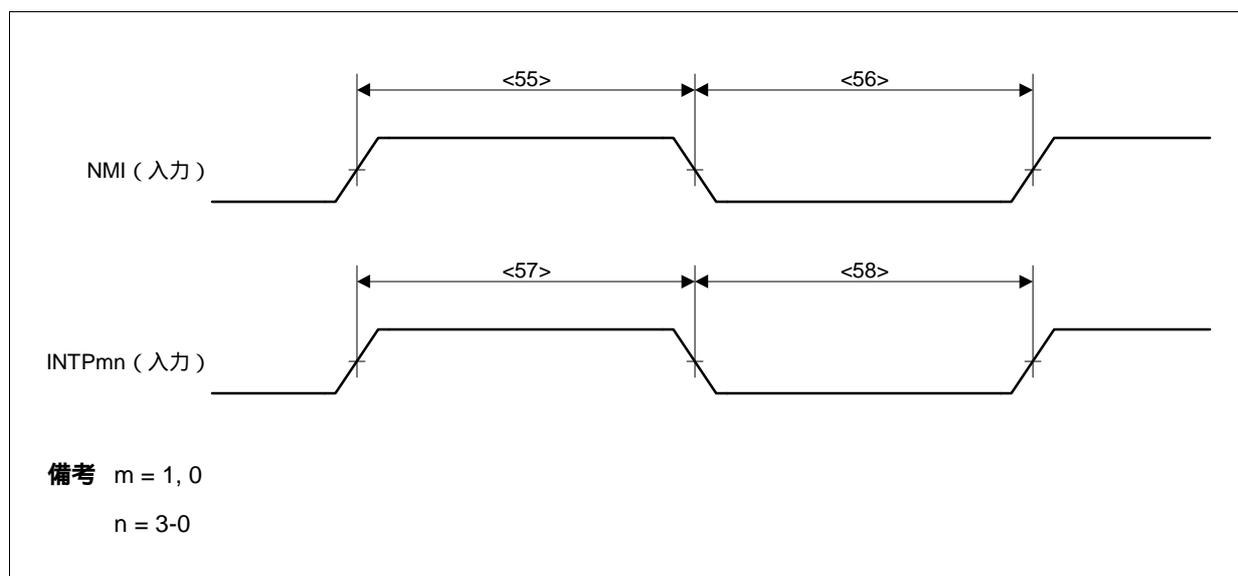
(6) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMI ハイ・レベル幅	<55> t_{WNIH}		500		ns
NMI ロウ・レベル幅	<56> t_{WNIL}		500		ns
INTPmn ハイ・レベル幅	<57> t_{WITH}		$3T+10$		ns
INTPmn ロウ・レベル幅	<58> t_{WITL}		$3T+10$		ns

備考 1. $T = t_{CYK}$

2. $m = 1, 0$

$n = 3-0$



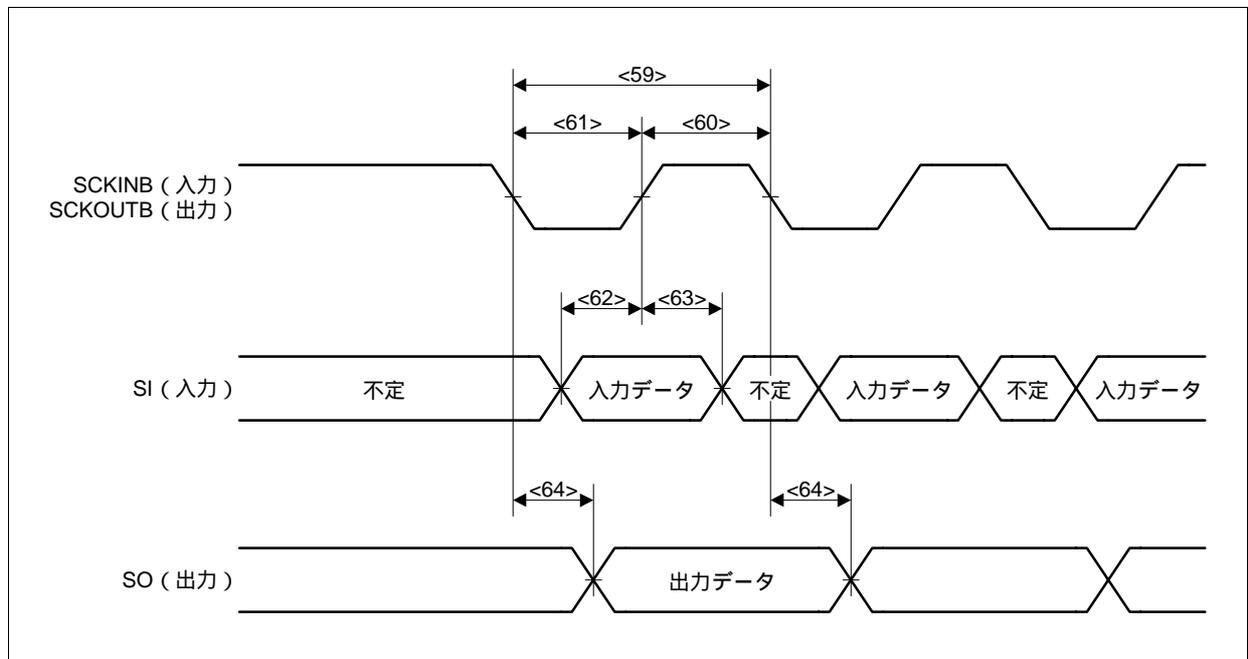
(7) CSI タイミング

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCKOUTB 周期	<59>	tcysk	出力	120	ns
SCKOUTB ハイ・レベル幅	<60>	tWSKH	出力	0.5 tcysk-10	ns
SCKOUTB ロウ・レベル幅	<61>	tWSKL	出力	0.5 tcysk-10	ns
SI 設定時間 (対 SCKOUTB↑)	<62>	tSSISK		5	ns
SI 保持時間 (対 SCKOUTB↑)	<63>	tHSKSI		5	ns
SO 遅延時間 (対 SCKOUTB↓)	<64>	tDSKSO		5	ns

(b) スレーブ・モード

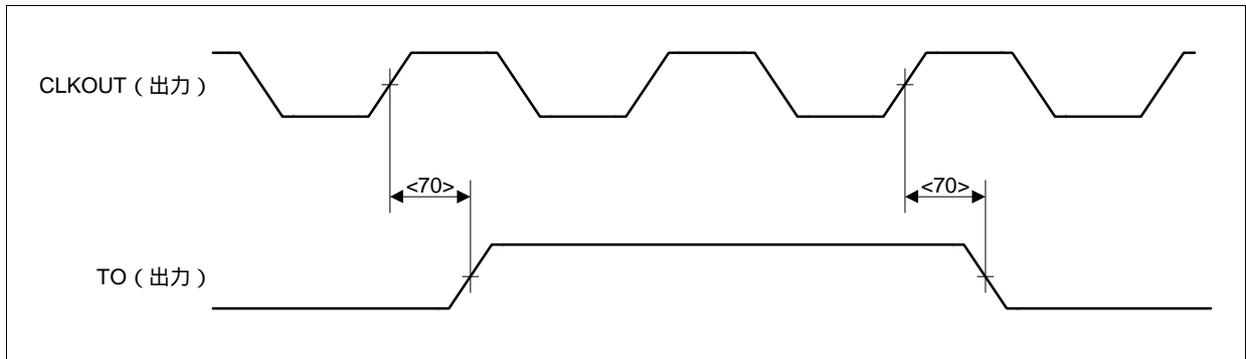
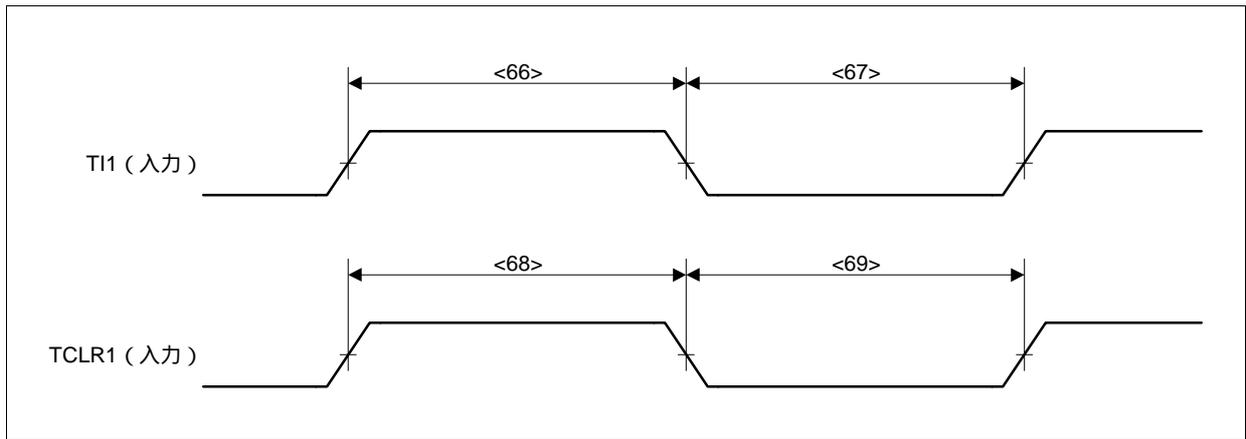
項目	略号	条件	MIN.	MAX.	単位
SCKINB 周期	<59>	tcysk	入力	120	ns
SCKINB ハイ・レベル幅	<60>	tWSKH	入力	30	ns
SCKINB ロウ・レベル幅	<61>	tWSKL	入力	30	ns
SI 設定時間 (対 SCKINB↑)	<62>	tSSISK		5	ns
SI 保持時間 (対 SCKINB↑)	<63>	tHSKSI		5	ns
SO 遅延時間 (対 SCKINB↓)	<64>	tDSKSO		5	ns



(8) RPU タイミング

項目	略号	条件	MIN.	MAX.	単位
TI1 ハイ・レベル幅	<66>	t_{WTH}	$3T+10$		ns
TI1 ロウ・レベル幅	<67>	t_{WTL}	$3T+10$		ns
TCLR1 ハイ・レベル幅	<68>	t_{WCH}	$3T+10$		ns
TCLR1 ロウ・レベル幅	<69>	t_{WCL}	$3T+10$		ns
CLKOUT↑→TO 遅延時間	<70>	t_{DKTO}		5	ns

備考 T = t_{CYK}



第4章 V853 コア

V853 コアは、リアルタイム制御向け高性能 32 ビット・シングルチップ・マイクロコンピュータ「V850 ファミリー」の CPU コアを使用し、リアルタイム・パルス・ユニット、シリアル・インタフェース、PWM などの周辺機能を内蔵しています。

4.1 概 要

- CPU 性能 : 38MIPS (33MHz 動作時)
- 内蔵メモリ (ROM を内蔵しないことも可能)
 - マスク ROM : 48K, 64K, 96K, 128K, 256K バイト
 - RAM : 4K, 8K, 16K, 24K バイト
- 最小命令実行時間 : 30ns (33MHz 動作時)
- 外部バス・インタフェース
 - 16 ビット・データ・バス (DIN/DOUT 分離)
 - 24 ビット・アドレス・バス
- 割り込み / 例外
 - 外部割り込み : 17 本 (NMI 含む)
 - 内部割り込み : 31 要因
 - ソフトウェア例外 : 32 要因
 - 例外トラップ : 1 要因
 - 8 レベルの優先順位を指定可能
- リアルタイム・パルス・ユニット
 - 16 ビット・タイマ / イベント・カウンタ : 4ch
 - 16 ビット・インターバル・タイマ : 1ch
- シリアル・インタフェース
 - アシンクロナス・シリアル・インタフェース (UART)
 - クロック同期式シリアル・インタフェース (CSI)
 - UART/CSI : 2ch
 - CSI : 2ch
 - 専用ポー・レート・ジェネレータ : 3ch
- PWM (Pulse Width Modulation)
 - 8/9/10/12 ビット分解能 PWM : 2ch
- パワー・セーブ機能
 - HALT, STOP, IDLE モード
 - クロック出力停止機能

4.1.1 シンボル図

グリッド数

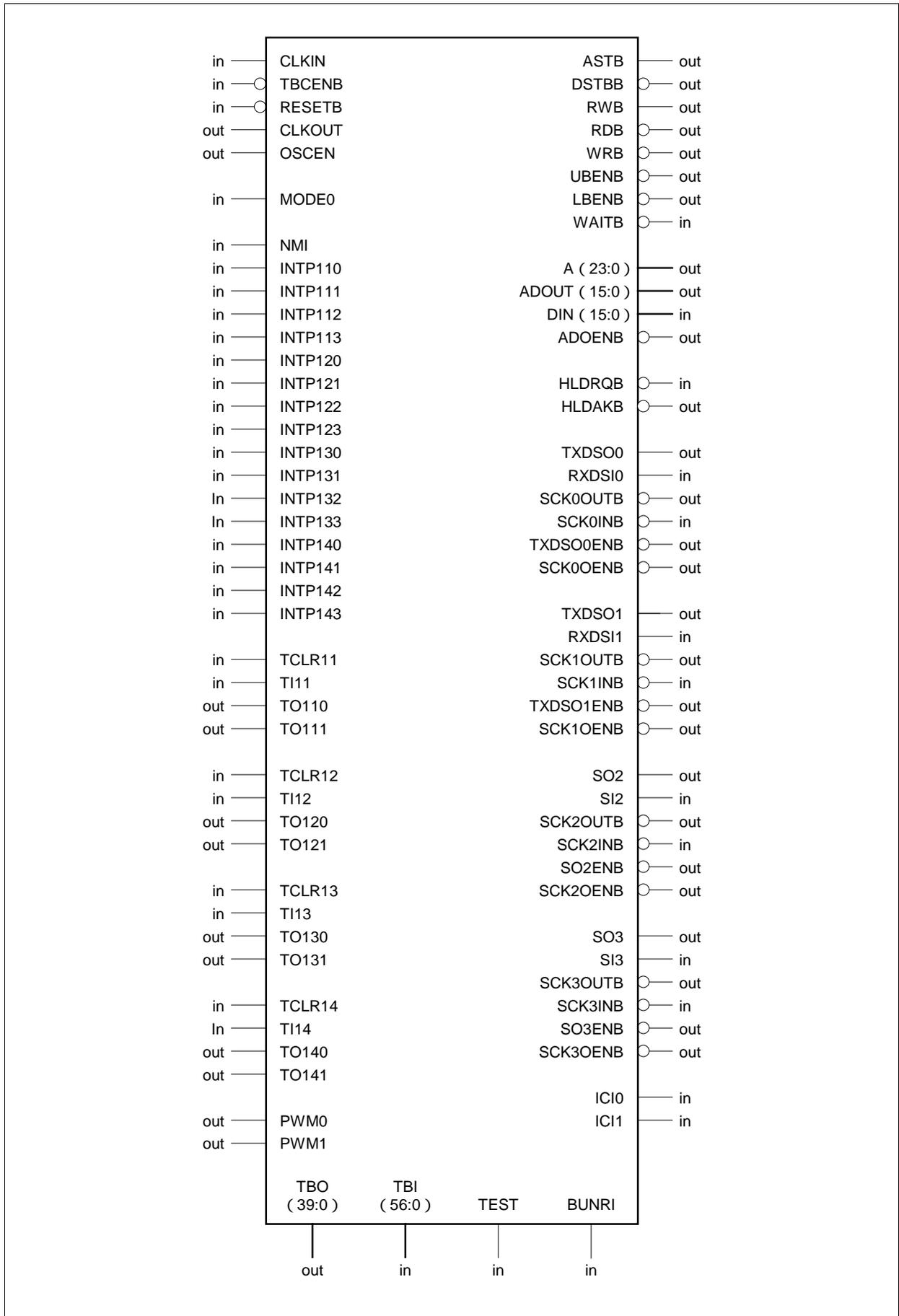
239k グリッド

262k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

ROM サイズ RAM サイズ	0 バイト (ROM レス)	48K バイト	64K バイト	96K バイト	128K バイト	256K バイト
4K バイト	NA853M02 306.0k	NA853M32 318.4k	NA853M42 326.6k	NA853M62 342.9k	NA853M82 359.3k	NA853MG2 424.8k
8K バイト	NA853M04 306.0k	NA853M34 318.4k	NA853M44 326.6k	NA853M64 342.9k	NA853M84 359.3k	NA853MG4 424.8k
16K バイト	NA853M08 313.2k	NA853M38 325.6k	NA853M48 333.8k	NA853M68 350.1k	NA853M88 366.5k	NA853MG8 432.0k
24K バイト	NA853M0C 313.2k	NA853M3C 325.6k	NA853M4C 333.8k	NA853M6C 350.1k	NA853M8C 366.5k	NA853GC 432.0k

備考 表中の上段は品名，下段は総パターン数を示します。



4.1.2 端子容量

(1) 入力端子

(1/2)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
DIN15	0.067	1.967	TI12	0.013	1.913	TBI47	0.038	1.938
DIN14	0.094	1.994	TCLR12	0.047	1.947	TBI46	0.017	1.917
DIN13	0.075	1.975	INTP113	0.081	1.981	TBI45	0.085	1.985
DIN12	0.097	1.997	INTP112	0.082	1.982	TBI44	0.020	1.920
DIN11	0.068	1.968	INTP111	0.099	1.999	TBI43	0.068	1.968
DIN10	0.066	1.966	INTP110	0.110	2.010	TBI42	0.016	1.916
DIN9	0.066	1.966	TI11	0.051	1.951	TBI41	0.020	1.920
DIN8	0.066	1.966	TCLR11	0.072	1.972	TBI40	0.014	1.914
DIN7	0.067	1.967	SI3	0.017	1.917	TBI39	0.007	1.907
DIN6	0.068	1.968	SCK3INB	0.016	1.916	TBI38	0.016	1.916
DIN5	0.070	1.970	SI2	0.035	1.935	TBI37	0.018	1.918
DIN4	0.072	1.972	SCK2INB	0.044	1.944	TBI36	0.009	1.909
DIN3	0.094	1.994	RXDSI1	0.017	1.917	TBI35	0.013	1.913
DIN2	0.066	1.966	SCK1INB	0.027	1.927	TBI34	0.007	1.907
DIN1	0.068	1.968	RXDSI0	0.035	1.935	TBI33	0.008	1.908
DIN0	0.067	1.967	SCK0INB	0.017	1.917	TBI32	0.008	1.908
HLDRQB	0.267	2.167	NMI	0.034	1.934	TBI31	0.009	1.909
WAITB	0.139	2.039	RESETB	0.017	1.917	TBI30	0.046	1.946
INTP143	0.100	2.000	CLKIN	0.051	1.951	TBI29	0.041	1.941
INTP142	0.113	2.013	ICI1	0.017	1.917	TBI28	0.039	1.939
INTP141	0.115	2.015	ICI0	0.023	1.923	TBI27	0.018	1.918
INTP140	0.132	2.032	MODE	0.035	1.935	TBI26	0.016	1.916
TI14	0.015	1.915	TBCENB	0.025	1.925	TBI25	0.017	1.917
TCLR14	0.196	2.096	TEST	3.041	4.941	TBI24	0.052	1.952
INTP133	0.116	2.016	BUNRI	0.078	1.978	TBI23	0.203	2.103
INTP132	0.069	1.969	TBI56	0.015	1.915	TBI22	0.037	1.937
INTP131	0.100	2.000	TBI55	0.067	1.967	TBI21	0.052	1.952
INTP130	0.108	2.008	TBI54	0.019	1.919	TBI20	0.051	1.951
TI13	0.013	1.913	TBI53	0.055	1.955	TBI19	0.018	1.918
TCLR13	0.035	1.935	TBI52	0.019	1.919	TBI18	0.040	1.940
INTP123	0.057	1.957	TBI51	0.068	1.968	TBI17	0.023	1.923
INTP122	0.054	1.954	TBI50	0.142	2.042	TBI16	0.016	1.916
INTP121	0.043	1.943	TBI49	0.240	2.140	TBI15	0.069	1.969
INTP120	0.059	1.959	TBI48	0.016	1.916	TBI14	0.072	1.972

備考 C_{IN} : 入力端子のみの容量値C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 (l = 10mm)

(2/2)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
TBI13	0.074	1.974	TBI8	0.066	1.966	TBI3	0.084	1.984
TBI12	0.100	2.000	TBI7	0.075	1.975	TBI2	0.067	1.967
TBI11	0.068	1.968	TBI6	0.067	1.967	TBI1	0.069	1.969
TBI10	0.067	1.967	TBI5	0.071	1.971	TBI0	0.068	1.968
TBI9	0.071	1.971	TBI4	0.068	1.968			

備考 C_{IN} : 入力端子のみの容量値

C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 (l = 10mm)

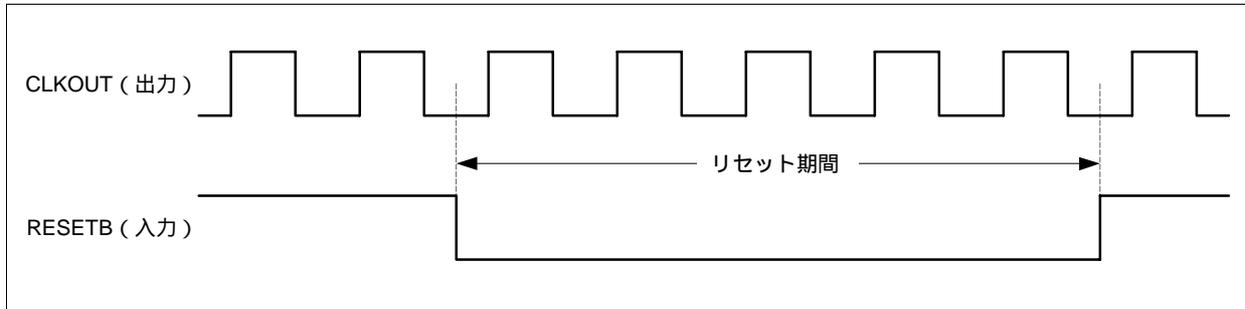
(2) 出力端子

端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)
A23	6.565	ADOUT0	6.565	TBO38	6.516
A22	6.562	LBENB	6.461	TBO37	6.271
A21	6.563	UBENB	6.500	TBO36	6.516
A20	6.558	RWB	6.532	TBO35	6.535
A19	6.567	DSTBB	6.541	TBO34	6.531
A18	6.536	RDB	6.517	TBO33	6.534
A17	6.539	WRB	6.532	TBO32	6.530
A16	6.566	ASTB	6.553	TBO31	6.528
A15	6.512	ADOENB	6.553	TBO30	6.511
A14	6.561	HLDKAB	6.444	TBO29	6.533
A13	6.570	TO141	6.569	TBO28	6.513
A12	6.569	TO140	6.569	TBO27	3.301
A11	6.557	TO131	6.475	TBO26	6.452
A10	6.567	TO130	6.569	TBO25	6.404
A9	6.567	TO121	6.535	TBO24	6.501
A8	6.570	TO120	6.567	TBO23	6.489
A7	6.554	TO111	6.539	TBO22	6.443
A6	6.561	TO110	6.547	TBO21	6.433
A5	6.560	SO3	6.560	TBO20	6.523
A4	6.552	SO3ENB	6.568	TBO19	3.313
A3	6.536	SCK3OUTB	6.564	TBO18	3.295
A2	6.569	SCK3OENB	6.565	TBO17	3.313
A1	6.568	SO2	6.569	TBO16	3.295
A0	6.498	SO2ENB	6.569	TBO15	6.479
ADOUT15	6.519	SCK2OUTB	6.569	TBO14	6.526
ADOUT14	6.558	SCK2OENB	6.569	TBO13	6.448
ADOUT13	6.569	TXDSO1	6.568	TBO12	6.533
ADOUT12	6.557	TXDSO1ENB	6.567	TBO11	6.460
ADOUT11	6.560	SCK1OUTB	6.569	TBO10	6.487
ADOUT10	6.532	SCK1OENB	6.569	TBO9	6.513
ADOUT9	6.561	TXDSO0	6.548	TBO8	6.516
ADOUT8	6.570	TXDSO0ENB	6.563	TBO7	6.468
ADOUT7	6.568	SCK0OUTB	6.540	TBO6	6.535
ADOUT6	6.568	SCK0OENB	6.536	TBO5	6.535
ADOUT5	6.570	PWM1	6.569	TBO4	6.507
ADOUT4	6.544	PWM0	6.569	TBO3	6.533
ADOUT3	6.569	CLKOUT	13.063	TBO2	6.513
ADOUT2	6.569	OSCEN	6.337	TBO1	6.496
ADOUT1	6.568	TBO39	3.308	TBO0	6.509

4.2 RESETB 信号

NEC が行う評価の都合上、RESETB 信号を変化させるときには、システム・クロックの立ち上がり / 立ち下がりに同期しないようにしてください (図 4 - 1 参照)。

図4 - 1 RESETB信号入力例



4.3 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには、初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

4.4 端子機能一覧

(1/2)

端子名	入出力	機能
TO141, TO140	出力	タイマ1 (TM14) のパルス出力
TO131, TO130	出力	タイマ1 (TM13) のパルス出力
TO121, TO120	出力	タイマ1 (TM12) のパルス出力
TO111, TO110	出力	タイマ1 (TM11) のパルス出力
TCLR14	入力	タイマ1 (TM14) の外部クリア信号入力
TCLR13	入力	タイマ1 (TM13) の外部クリア信号入力
TCLR12	入力	タイマ1 (TM12) の外部クリア信号入力
TCLR11	入力	タイマ1 (TM11) の外部クリア信号入力
TI14	入力	タイマ1 (TM14) の外部カウント・クロック入力
TI13	入力	タイマ1 (TM13) の外部カウント・クロック入力
TI12	入力	タイマ1 (TM12) の外部カウント・クロック入力
TI11	入力	タイマ1 (TM11) の外部カウント・クロック入力
INTP143-INTP140	入力	外部マスカブル割り込み要求入力兼タイマ1 (TM14) の外部キャプチャ・トリガ入力
INTP133-INTP130	入力	外部マスカブル割り込み要求入力兼タイマ1 (TM13) の外部キャプチャ・トリガ入力
INTP123-INTP120	入力	外部マスカブル割り込み要求入力兼タイマ1 (TM12) の外部キャプチャ・トリガ入力
INTP113-INTP110	入力	外部マスカブル割り込み要求入力兼タイマ1 (TM11) の外部キャプチャ・トリガ入力
NMI	入力	ノンマスカブル割り込み要求入力
PWM1, PWM0	出力	PWM のパルス出力
SO3	出力	CSI3 のシリアル送信データ出力
SO2	出力	CSI2 のシリアル送信データ出力
TXDSO1	出力	UART1 のシリアル送信データ出力兼 CSI1 のシリアル送信データ出力
TXDSO0	出力	UART0 のシリアル送信データ出力兼 CSI0 のシリアル送信データ出力
SI3	入力	CSI3 のシリアル受信データ入力
SI2	入力	CSI2 のシリアル受信データ入力
RXDSI1	入力	UART1 のシリアル受信データ入力兼 CSI1 のシリアル受信データ入力
RXDSI0	入力	UART0 のシリアル受信データ入力兼 CSI0 のシリアル受信データ入力
SO3ENB	出力	SO3 端子制御信号出力
SO2ENB	出力	SO2 端子制御信号出力
TXDSO1ENB	出力	TXDSO1 端子制御信号出力
TXDSO0ENB	出力	TXDSO0 端子制御信号出力
SCK3INB	入力	CSI3 のシリアル・クロック入力
SCK2INB	入力	CSI2 のシリアル・クロック入力
SCK1INB	入力	CSI1 のシリアル・クロック入力
SCK0INB	入力	CSI0 のシリアル・クロック入力
SCK3OUTB	出力	CSI3 のシリアル・クロック出力
SCK2OUTB	出力	CSI2 のシリアル・クロック出力
SCK1OUTB	出力	CSI1 のシリアル・クロック出力
SCK0OUTB	出力	CSI0 のシリアル・クロック出力

端子名	入出力	機能
SCK3OENB	出力	CSI3のシリアル・クロックの入出力方向を示す信号出力
SCK2OENB	出力	CSI2のシリアル・クロックの入出力方向を示す信号出力
SCK1OENB	出力	CSI1のシリアル・クロックの入出力方向を示す信号出力
SCK0OENB	出力	CSI0のシリアル・クロックの入出力方向を示す信号出力
ADOUT15-ADOUT0	出力	外部アクセス時のアドレス/データの時分割出力
ADOENB	出力	ADOUT15-ADOUT0 端子制御信号出力
DIN15-DIN0	入力	外部アクセス時のデータ入力
A23-A0	出力	外部アクセス時のアドレス出力
LBENB	出力	外部データ・バスの下位バイト・イネーブル出力
UBENB	出力	外部データ・バスの上位バイト・イネーブル出力
RWB	出力	外部リード/ライト・ステータス出力
RDB	出力	外部リード・ストロブ出力
WRB	出力	外部ライト・ストロブ出力
DSTBB	出力	外部データ・ストロブ出力
ASTB	出力	外部アドレス・ストロブ出力
HLDKAB	出力	バス・ホールド・アクノリッジ出力
HLDRQB	入力	バス・ホールド要求入力
WAITB	入力	バス・サイクルにウエイトを挿入する制御信号入力
RESETB	入力	システム・リセット入力
CLKIN	入力	外部クロック入力
CLKOUT	出力	内部システム・クロック出力
TBCENB	入力	タイム・ベース・カウンタ(TBC)の制御信号入力
OSCBEN	出力	外部 OSC への制御信号出力
MODE	入力	V853 コアの動作モード制御信号入力
TBI56-TBI0	入力	テスト・バスを用いたテストを行うための端子
TBO39-TBO0	出力	
TEST	入力	
BUNRI	入力	
ICI1, ICI0	出力	NECの予約端子

4.5 電気的特性

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

4.5.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

4.5.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	30			ns

4.5.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	I _{DD1a}	通常動作モード時	ROM, RAM 除く		0.6	0.8	mA/MHz
	I _{DD1b}		上記以外	(1) V853 コアの消費電流値算出方法参照			
	I _{DD2}	HALT モード時		0.3	0.4	mA/MHz	
	I _{DD3}	STOP モード時		1.0	30		μA

備考 TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

注意 リセット期間中、内蔵 ROM には MAX. 5mA の電流が流れます。

(1) V853 コアの消費電流値算出方法

ROM, RAM を内蔵した V853 コアの消費電流値 (TYP.) は、次式より求めます。

$$I_{DD1b} = I_{DD1a} + I_{DDROM} + I_{DDRAM}$$

- I_{DDROM} : 内蔵 ROM の消費電流値
- I_{DDRAM} : 内蔵 RAM の消費電流値

NA853M82 (内蔵 ROM : 128K バイト / 内蔵 RAM : 4K バイト) を例として消費電流値の算出方法を次に示します。

注意 消費電流計算式は参考式であり、算出された値は電流値を保証するものではありません。

条件 : $V_{DD} = 3.3V$

$\phi = 33MHz$

内蔵 ROM の動作率 = 80%

内蔵 RAM の動作率 = 20% (リード動作 : ライト動作 = 1 : 1)

内蔵 RAM のリード動作周波数 (f_R) = 33MHz

内蔵 RAM のライト動作周波数 (f_W) = 33MHz

上記の条件で動作した場合の消費電流値は、次式で求められます。

$$I_{DD1a} = 0.6 \times \phi = 0.6 \times 33 = 19.8 \text{ [mA] } \dots <1>$$

$$\begin{aligned} I_{DDROM}^{\text{注1}} &= ((2.2 + (V_{DD} - 2.7) \times 3.0) + (0.05 \times V_{DD} \times \phi)) \times \text{動作率} \\ &= ((2.2 + (3.3 - 2.7) \times 3.0) + (0.05 \times 3.3 \times 33)) \times 0.8 \\ &= 7.556 \text{ [mA] } \dots <2> \end{aligned}$$

$$I_{DDRAM (READ)}^{\text{注2}} = 0.82 \times f_R \times \text{動作率} = 0.82 \times 33 \times 0.2 \times 0.5 = 2.706 \text{ [mA] } \dots <3>$$

$$I_{DDRAM (WRITE)}^{\text{注3}} = 0.83 \times f_W \times \text{動作率} = 0.83 \times 33 \times 0.2 \times 0.5 = 2.739 \text{ [mA] } \dots <4>$$

<3>, <4>より,

$$I_{DDRAM} = (I_{DDRAM (READ)} + I_{DDRAM (WRITE)}) = 2.706 + 2.739 = 5.445 \text{ [mA] } \dots <5>$$

<1>, <2>, <5>より,

$$I_{DD1b} = 19.8 + 7.556 + 5.445 = 32.801 \text{ [mA] }$$

以上より, NA853M82 の消費電流値 (TYP.) は 32.801mA となります。

注 1. 内蔵 ROM サイズに関係なく, 次の計算式を使用します (ROM レス品を除く)。

$$((2.2 + (V_{DD} - 2.7) \times 3.0) + (0.05 \times V_{DD} \times \phi)) \times \text{動作率}$$

2. 内蔵 RAM サイズが 8K, 16K, 24K バイトの場合は, それぞれ次の計算式を使用します。

$$8K \text{ バイトの場合} \quad : 2.55 \times f_R \times \text{動作率}$$

$$16K \text{ バイトの場合} \quad : 3.02 \times f_R \times \text{動作率}$$

$$24K \text{ バイトの場合} \quad : 3.34 \times f_R \times \text{動作率}$$

3. 内蔵 RAM サイズが 8K, 16K, 24K バイトの場合は, それぞれ次の計算式を使用します。

$$8K \text{ バイトの場合} \quad : 2.41 \times f_W \times \text{動作率}$$

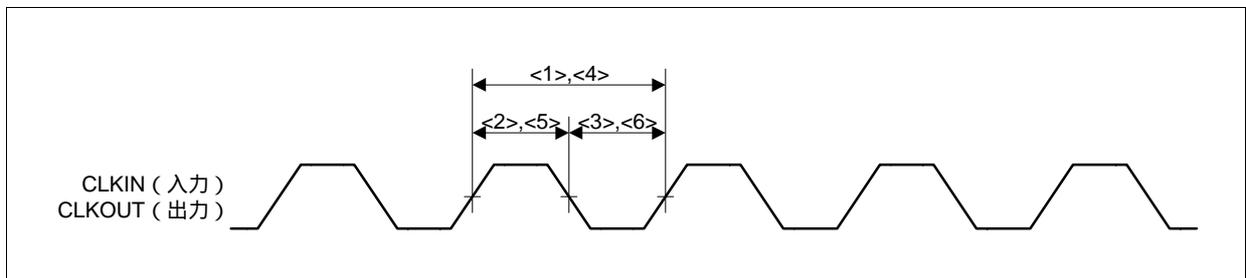
$$16K \text{ バイトの場合} \quad : 2.41 \times f_W \times \text{動作率}$$

$$24K \text{ バイトの場合} \quad : 2.62 \times f_W \times \text{動作率}$$

4.5.4 AC 特性 (TA = -40 ~ +85°C, VDD = 3.3V ± 0.3V)

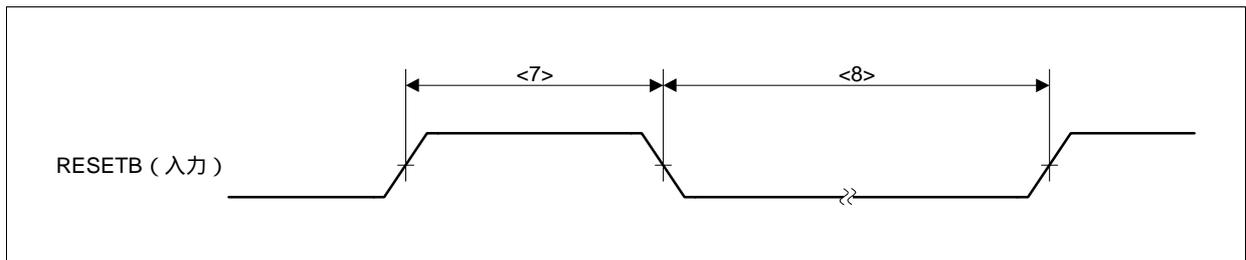
(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
CLKIN 入力周期	<1> t _{CYX}		30		ns
CLKIN 入力ハイ・レベル幅	<2> t _{WXH}		14		ns
CLKIN 入力ロウ・レベル幅	<3> t _{WXL}		14		ns
CPU 動作周波数	- φ		0	33	MHz
CLKOUT 出力周期	<4> t _{CYK}		30		ns
CLKOUT ハイ・レベル幅	<5> t _{WKH}		0.5t _{CYK} -5		ns
CLKOUT ロウ・レベル幅	<6> t _{WKL}		0.5t _{CYK} -5		ns



(2) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESETB ハイ・レベル幅	<7> t _{WRSH}		500		ns
RESETB ロウ・レベル幅	<8> t _{WRSL}	電源オン時	500		ns



[メモ]

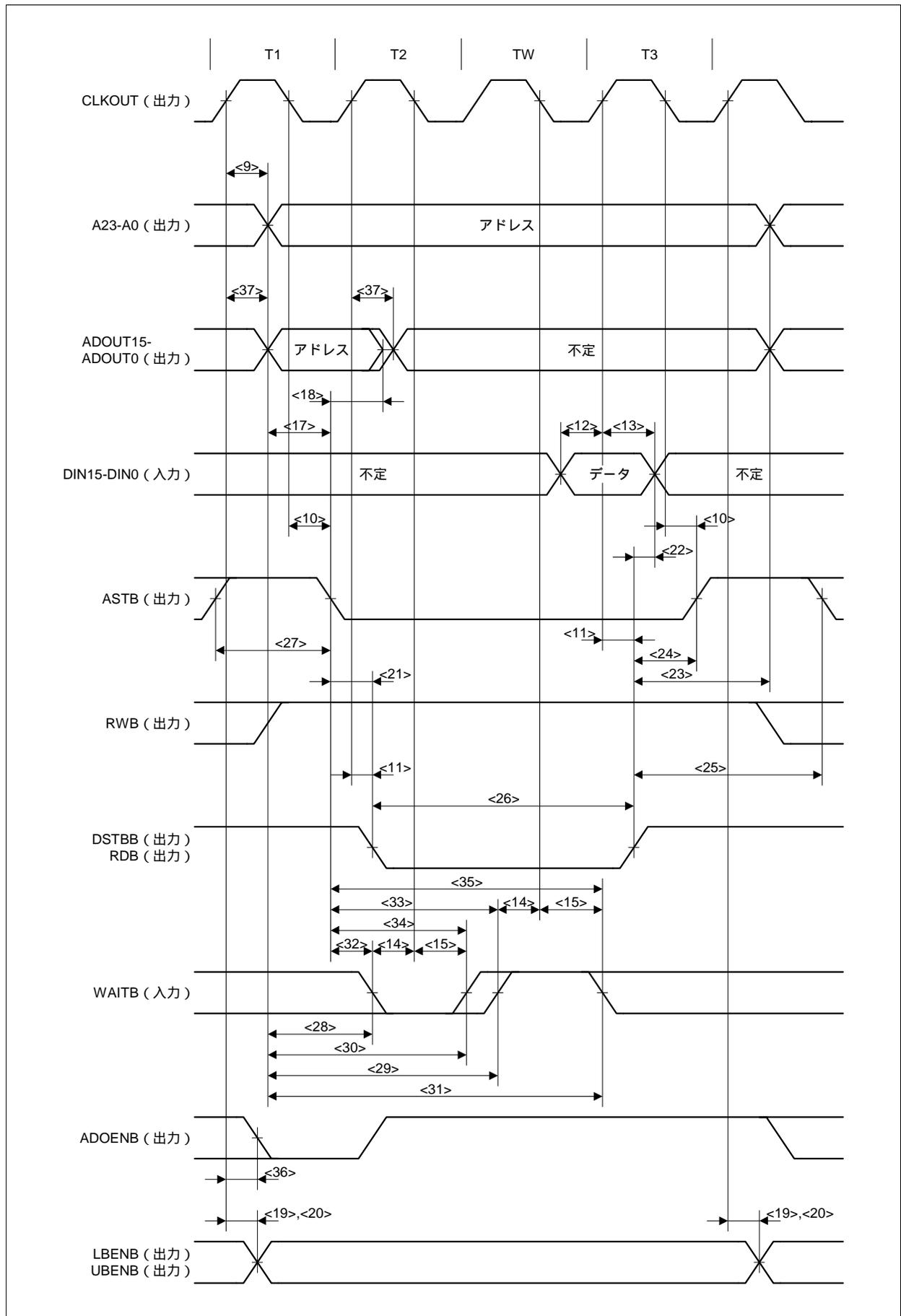
(3) リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT↑→アドレス遅延時間	<9> tDKA			3	ns
CLKOUT↓→ASTB 遅延時間	<10> tDKST			4	ns
CLKOUT↑→DSTBB 遅延時間	<11> tDKD			3	ns
データ入力設定時間 (対 CLKOUT↑)	<12> tSIDK		2		ns
データ入力保持時間 (対 CLKOUT↑)	<13> tHKID		2		ns
WAITB 設定時間 (対 CLKOUT↓)	<14> tSWTK		2		ns
WAITB 保持時間 (対 CLKOUT↓)	<15> tHKWT		2		ns
アドレス設定時間 (対 ASTB↓)	<17> tSAST		0.5T-6		ns
アドレス保持時間 (対 ASTB↓)	<18> tHSTA		0.5T-6		ns
CLKOUT↑→LBENB 遅延時間	<19> tDKLB			3	ns
CLKOUT↑→UBENB 遅延時間	<20> tDKUB			3	ns
ASTB↓→DSTBB↓遅延時間	<21> tDSTD		0.5T-6		ns
データ入力保持時間 (対 DSTBB↑)	<22> tHDID		0		ns
DSTBB↑→アドレス出力遅延時間	<23> tDDA		(1+i) T		ns
DSTBB↑→ASTB↑遅延時間	<24> tDDSTH		0.5T-6		ns
DSTBB↑→ASTB↓遅延時間	<25> tDDSTL		(1.5+i) T-6		ns
DSTBB ロウ・レベル幅	<26> tWDL		(1+n) T-5		ns
ASTB ハイ・レベル幅	<27> tWSTH		T-5		ns
WAITB 設定時間 (対アドレス)	<28> tSAWT1	n 1		1.5T-11	ns
	<29> tSAWT2			(1.5+n) T-11	ns
WAITB 保持時間 (対アドレス)	<30> tHAWT1	n 1	1.5T+6		ns
	<31> tHAWT2		(1.5+n) T+6		ns
WAITB 設定時間 (対 ASTB↓)	<32> tSSTWT1	n 1		T-10	ns
	<33> tSSTWT2			(1+n) T-10	ns
WAITB 保持時間 (対 ASTB↓)	<34> tHSTWT1	n 1	nT+5		ns
	<35> tHSTWT2		(1+n) T+5		ns
CLKOUT↑→ADOENB 遅延時間	<36> tDKADEN			3	ns
CLKOUT↑→アドレス/データ出力遅延時間	<37> tDKAD			5	ns

備考1. T = tc_{YK}

2. n はバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
3. i は、リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1) を示します。
4. データ入力保持時間 t_{HKID}, t_{HDID} は、少なくともどちらか 1 つを守ってください。

(3) リード・タイミング (2/2)



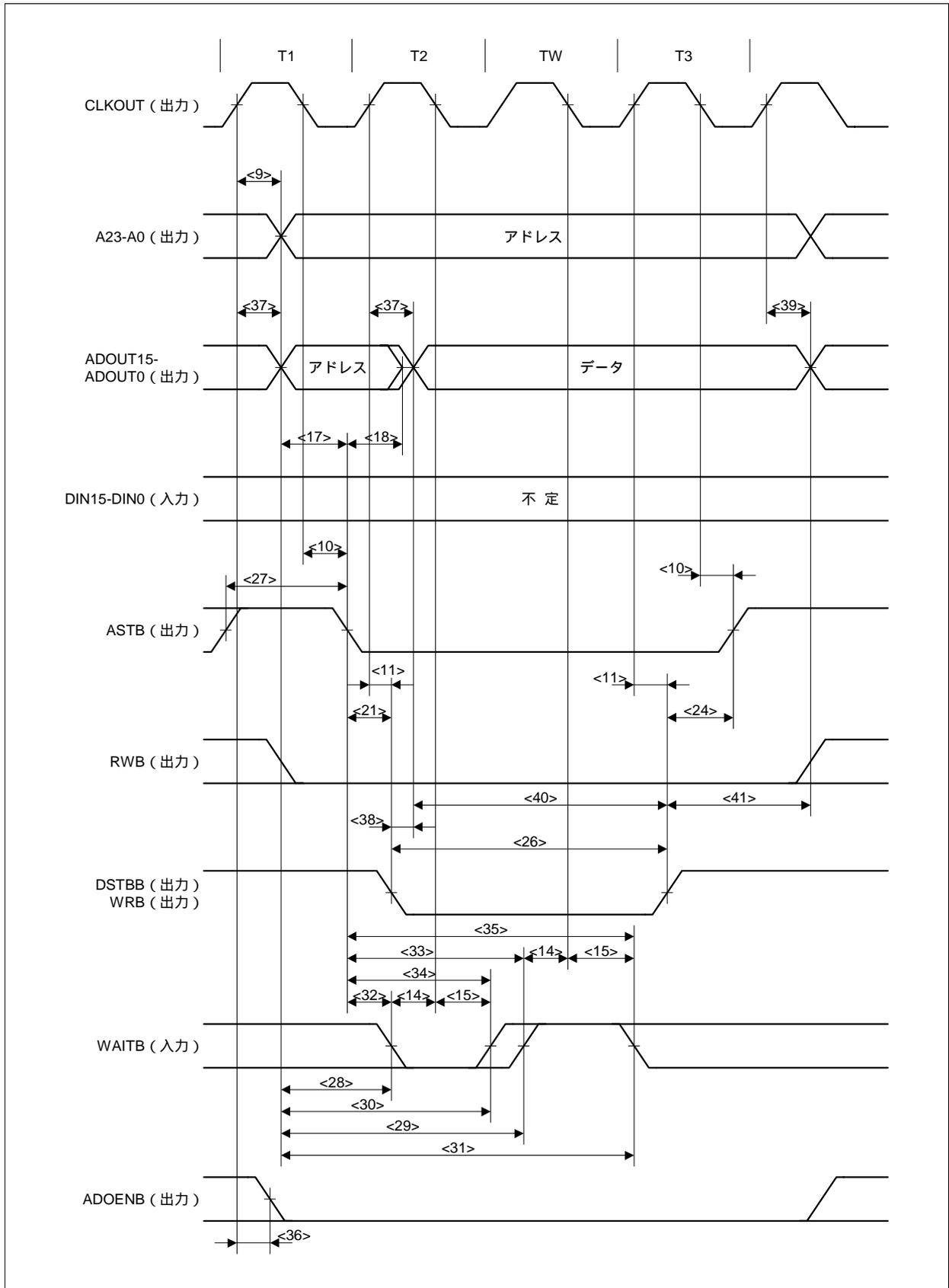
(4) ライト・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT↑→アドレス遅延時間	<9> tDKA			3	ns
CLKOUT↓→ASTB 遅延時間	<10> tDKST			4	ns
CLKOUT↑→DSTBB 遅延時間	<11> tDKD			3	ns
WAITB 設定時間 (対 CLKOUT↓)	<14> tSWTK		2		ns
WAITB 保持時間 (対 CLKOUT↓)	<15> tHKWT		2		ns
アドレス設定時間 (対 ASTB↓)	<17> tSAST		0.5T-6		ns
アドレス保持時間 (対 ASTB↓)	<18> tHSTA		0.5T-6		ns
ASTB↓→DSTBB↓遅延時間	<21> tDSTD		0.5T-6		ns
DSTBB↑→ASTB↑遅延時間	<24> tDDSTH		0.5T-6		ns
DSTBB ロウ・レベル幅	<26> tWDL		(1+n) T-5		ns
ASTB ハイ・レベル幅	<27> tWSTH		T-5		ns
WAITB 設定時間 (対アドレス)	<28> tSAWT1	n 1		1.5T-11	ns
	<29> tSAWT2			(1.5+n) T-11	ns
WAITB 保持時間 (対アドレス)	<30> tHAWT1	n 1	1.5T+6		ns
	<31> tHAWT2		(1.5+n) T+6		ns
WAITB 設定時間 (対 ASTB↓)	<32> tSSWT1	n 1		T-10	ns
	<33> tSSWT2			(1+n) T-10	ns
WAITB 保持時間 (対 ASTB↓)	<34> tHSTWT1	n 1	nT+5		ns
	<35> tHSTWT2		(1+n) T+5		ns
CLKOUT↑→ADOENB 遅延時間	<36> tDKADEN			3	ns
CLKOUT↑→アドレス/データ出力遅延時間	<37> tDKAD			5	ns
DSTBB↓→データ出力遅延時間	<38> tDDOD			5	ns
データ出力保持時間 (対 CLKOUT↑)	<39> tHKOD			5	ns
データ出力設定時間 (対 DSTBB↑)	<40> tSODD		(1+n) T-5		ns
データ出力保持時間 (対 DSTBB↑)	<41> tHDOD		T-5		ns

備考 1. T = t_{cyk}

2. n はバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(4) ライト・タイミング (2/2)



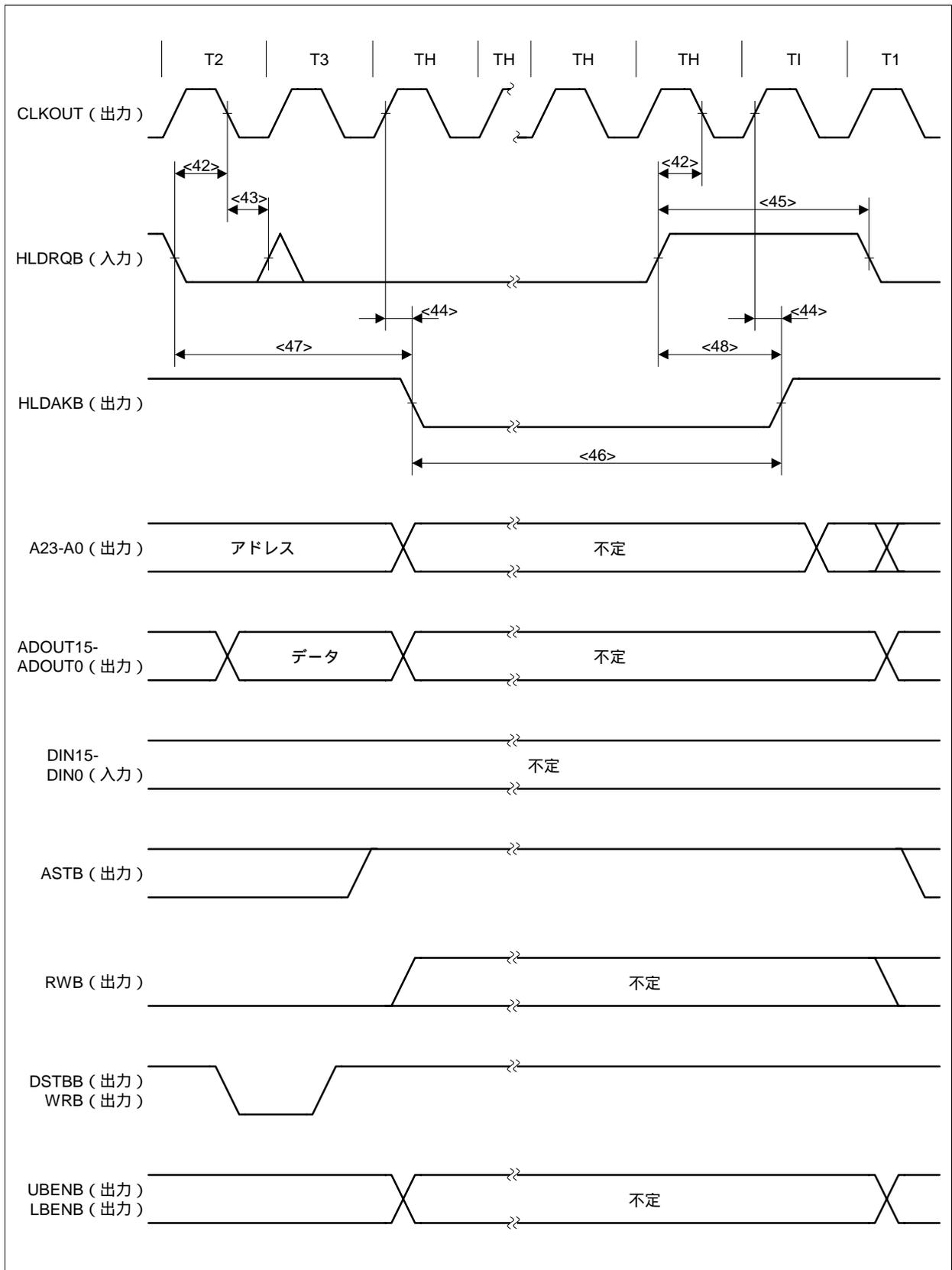
(5) バス・ホールド・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
HLD RQB 設定時間 (対 CLKOUT↓)	<42>	t _{SHQK}	2		ns
HLD RQB 保持時間 (対 CLKOUT↓)	<43>	t _{HKHQ}	2		ns
CLKOUT↑→HLD AKB 遅延時間	<44>	t _{DKHA}		3	ns
HLD RQB ハイ・レベル幅	<45>	t _{WHQH}	T+5		ns
HLD AKB ロウ・レベル幅	<46>	t _{WHAL}	T-5		ns
HLD RQB↓→HLD AKB↓遅延時間	<47>	t _{DHQHA1}		(2n+7.5) T +11	ns
HLD RQB↑→HLD AKB↑遅延時間	<48>	t _{DHQHA2}		1.5T+11	ns

備考1. T = t_{cyk}

- n はバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(5) バス・ホールド・タイミング (2/2)



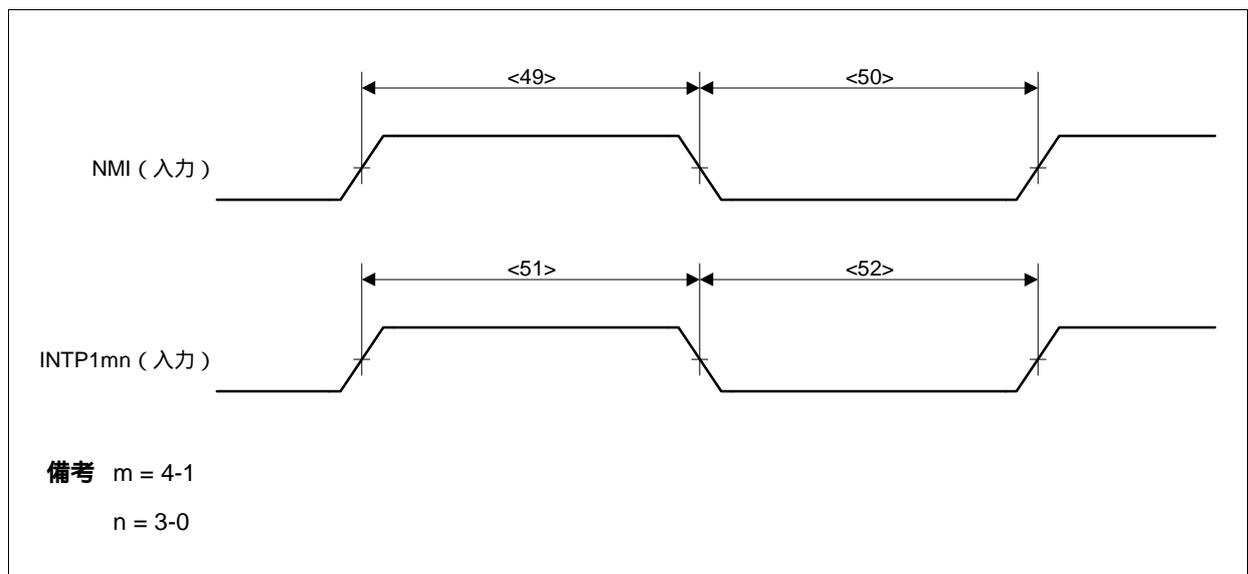
(6) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMI ハイ・レベル幅	<49> t_{WNIH}		500		ns
NMI ロウ・レベル幅	<50> t_{WNIL}		500		ns
INTP1mn ハイ・レベル幅	<51> t_{WITH}		$3T+10$		ns
INTP1mn ロウ・レベル幅	<52> t_{WITL}		$3T+10$		ns

備考 1. $T = t_{CYK}$

2. $m = 4-1$

$n = 3-0$



[メモ]

(7) CSI タイミング (1/2)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCKnOUTB 周期	<53> tcysk	出力	120		ns
SCKnOUTB ハイ・レベル幅	<54> tWSKH	出力	0.5 tcysk-10		ns
SCKnOUTB ロウ・レベル幅	<55> tWSKL	出力	0.5 tcysk-10		ns
SI3, SI2, RXDSI1, RXDSI0 設定時間 (対 SCKnOUTB↑)	<56> tSSISK		5		ns
SI3, SI2, RXDSI1, RXDSI0 保持時間 (対 SCKnOUTB↑)	<57> tHSKSI		5		ns
SO3, SO2, TXDSO1, TXDSO0 遅延時間 (対 SCKnOUTB↓)	<58> tDSKSO			5	ns

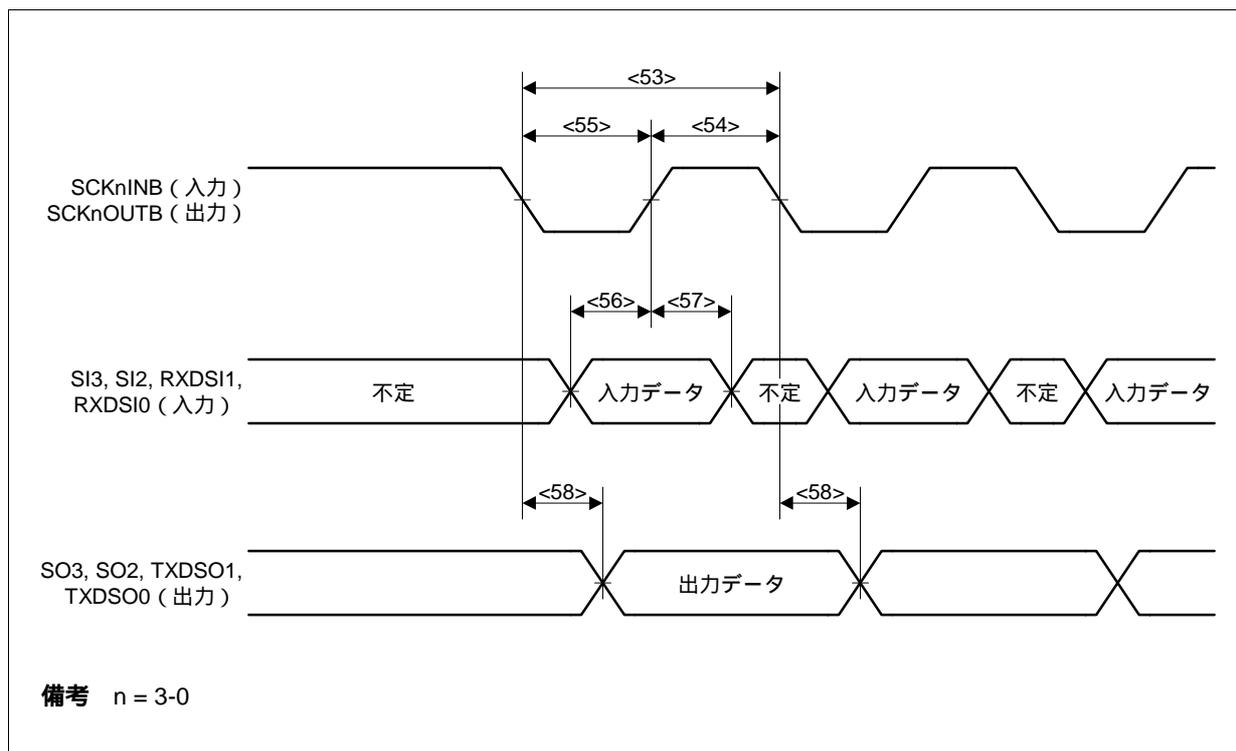
備考 n = 3-0

(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
SCKnINB 周期	<53> tcysk	入力	120		ns
SCKnINB ハイ・レベル幅	<54> tWSKH	入力	30		ns
SCKnINB ロウ・レベル幅	<55> tWSKL	入力	30		ns
SI3, SI2, RXDSI1, RXDSI0 設定時間 (対 SCKnINB↑)	<56> tSSISK		5		ns
SI3, SI2, RXDSI1, RXDSI0 保持時間 (対 SCKnINB↑)	<57> tHSKSI		5		ns
SO3, SO2, TXDSO1, TXDSO0 遅延時間 (対 SCKnINB↓)	<58> tDSKSO			5	ns

備考 n = 3-0

(7) CSI タイミング (2/2)



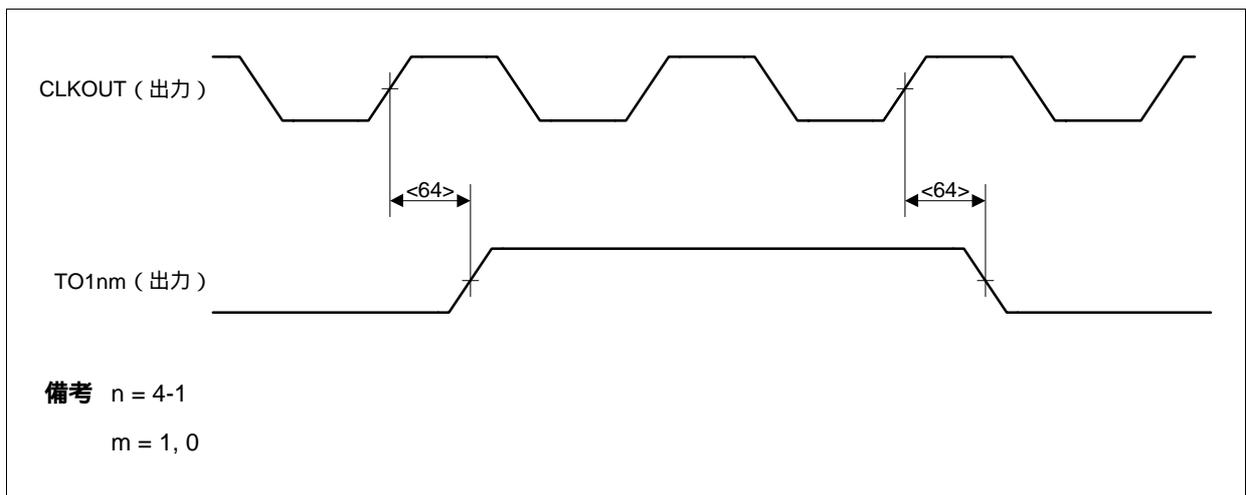
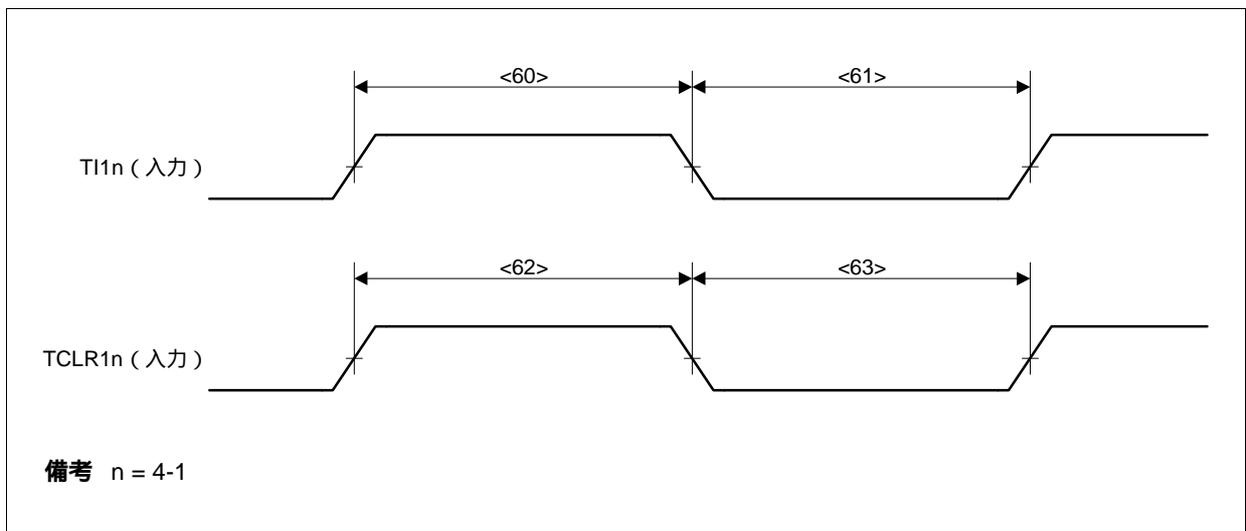
(8) RPU タイミング

項目	略号	条件	MIN.	MAX.	単位
Tl1n ハイ・レベル幅	<60>	t_{WTH}	$3T+10$		ns
Tl1n ロウ・レベル幅	<61>	t_{WTL}	$3T+10$		ns
TCLR1n ハイ・レベル幅	<62>	t_{WCH}	$3T+10$		ns
TCLR1n ロウ・レベル幅	<63>	t_{WCL}	$3T+10$		ns
CLKOUT↑→TO1nm 遅延時間	<64>	t_{DKTO}		5	ns

備考 T = t_{CYK}

n = 4-1

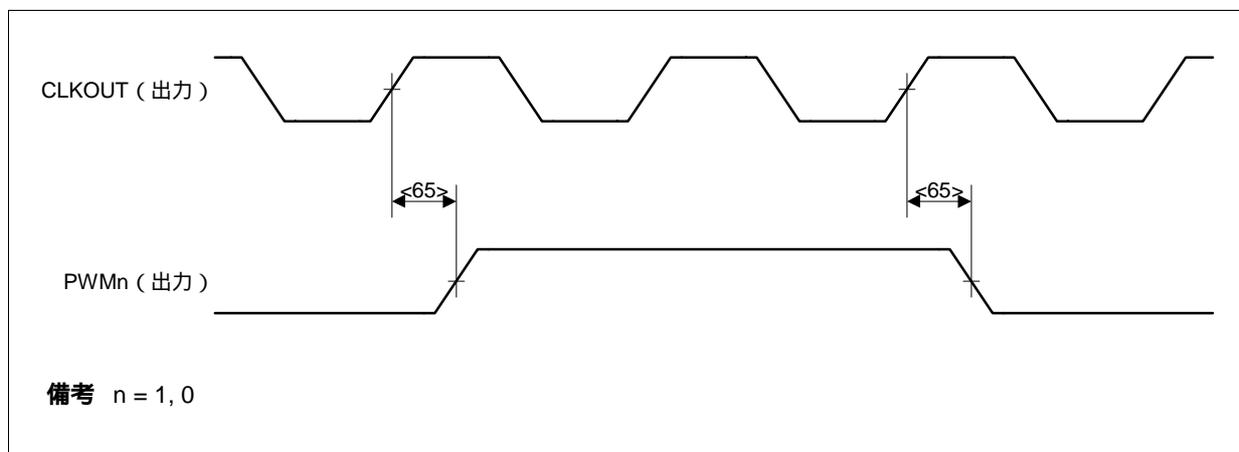
m = 1, 0



(9) PWM タイミング

項目	略号	条件	MIN.	MAX.	単位
CLKOUT↑→PWMn 遅延時間	<65>	t _{DKPWM}		3	ns

備考 n = 1, 0



第 5 章 V30MX

V30MX は、NEC のオリジナル・マイクロプロセッサ「 μ PD70116H」(別名称：V30HL™)のアドレスとデータ・バスを分離することにより、バス効率を改善した ASIC オリジナル CPU コアです。インストラクション・セットは V30HL と共通なので、プログラムを変更することなく使用できます。

5.1 概 要

- 完全スタティック回路構成で、スタンバイやクロック・ストップが容易
- 低消費電力
- 最小命令実行時間：60ns (33MHz, 3.3V)
- LIM EMS 4.0 をサポートするレジスタを内蔵
- 豊富なメモリ・アドレッシング・モード
- 14×16 ビット・レジスタ・セット
- 101 種の命令セット (μ PD70116H と完全互換)
- 高速実行アドレス計算

5.1.1 シンボル図

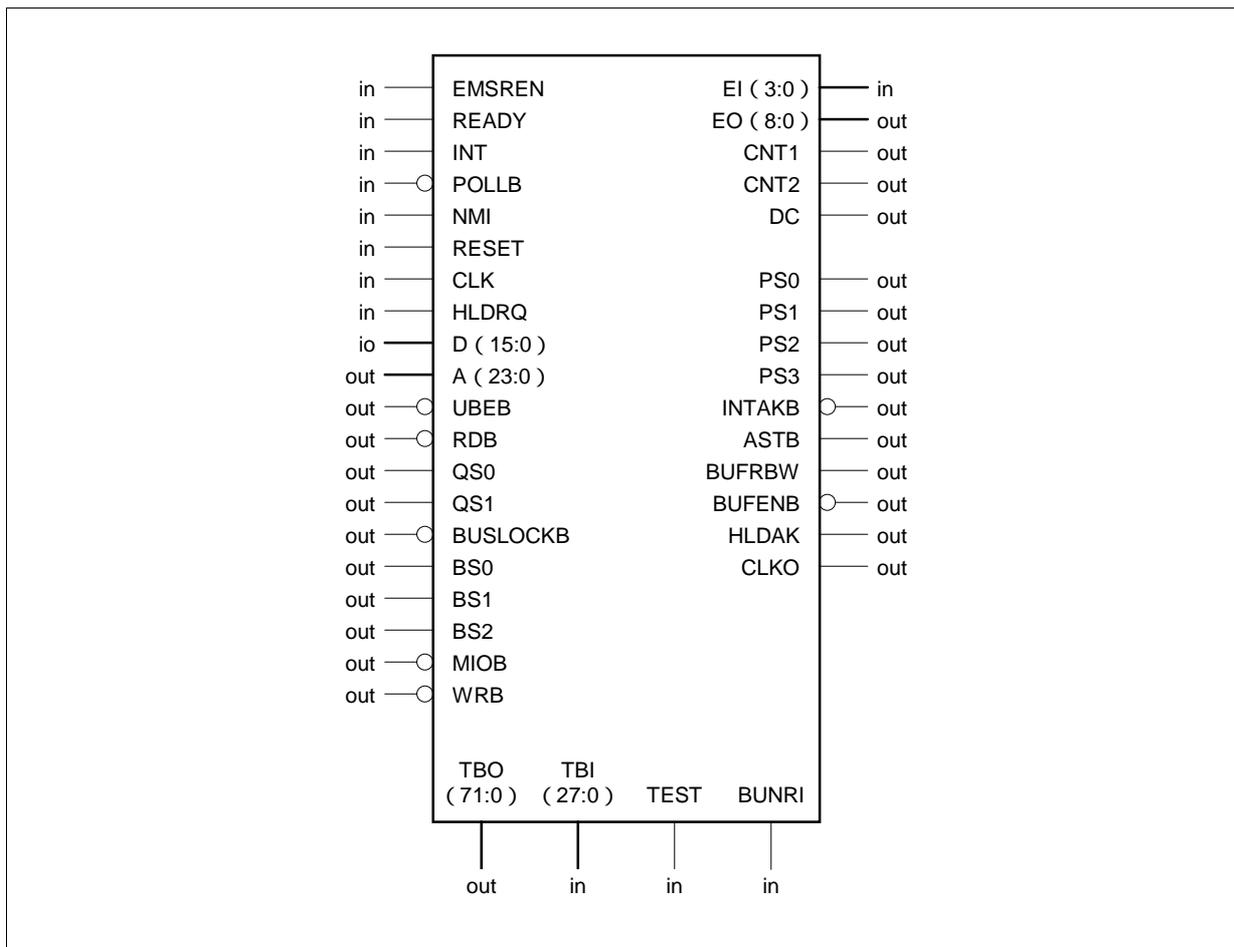
グリッド数

177k グリッド

228k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

80k



5.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値

C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
CLK	0.033	1.933	POLLB	0.033	1.933
EI3-EI0	0.033	1.933	READY	0.033	1.933
EMSREN	0.033	1.933	RESET	0.033	1.933
HLDQR	0.033	1.933	TBI27-TBI0	0.033	1.932
INT	0.033	1.933	TEST	0.033	1.933
NMI	0.033	1.933	BUNRI	0.039	1.939

(2) 出力端子

端子名	C_{MAX} (pF)	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{MAX} (pF)	C_{IN} (pF)	C_{inewl} (pF)
A23-A0	4.001	0.063	1.963	EO8-EO0	5.421	-	-
ASTB	5.421	-	-	HLDKAK	5.421	-	-
BS2-BS0	4.007	0.063	1.963	INTAKB	5.421	-	-
BUFENB	4.007	0.063	1.963	MIOB	4.007	0.063	1.963
BUFRBW	4.007	0.063	1.963	PS3-PS0	5.421	-	-
BUSLOCKB	4.007	0.063	1.963	QS1, QS0	5.421	-	-
CKO	5.421	-	-	RDB	4.007	0.063	1.963
CNT1	5.421	-	-	UBEB	4.007	0.063	1.963
CNT2	5.421	-	-	WRB	4.007	0.063	1.963
DC	5.421	-	-	TBO71-TBO0	4.007	0.063	1.963

(3) 入出力端子

端子名	C_{MAX} (pF)	C_{IN} (pF)	C_{inewl} (pF)
DO15-DO0	4.007	0.096	1.996

5.2 初期化の際の注意

(1) 内部ゲートの初期化方法

実製品では本来問題にならないフリップフロップの初期状態が、シミュレーションでは問題となってしまう場合があります。そのため、通常のリセットでは初期化のかからない箇所を次の方法で初期化します。

(a) Verilog-XL™ の場合

シミュレーション実行中に自動的に初期化されるため、特に何かをする必要はありません。

(b) V.sim™ の場合

シミュレーション実行時に次のコマンドを入力してください。

```
Command > iv インスタンス名/_U248:N01 = 1
```

なお、上記コマンドを追加コマンド・ファイルに設定しておくこと、シミュレーションのたびにタイプ・インすることなく実行できます。

(2) テスト端子からの初期化パターン入力は不要です。

(3) ノーマル端子からの初期化パターンは次のように入力します。

(a) ハードウェア・リセット

RESET 端子にシステム・クロック (CLK 端子に与えるクロック) 4 周期分以上の論理 1 を入力してください。

次に、RESET 端子に論理 0 を入力しリセットが解除されると、0FFFF0H 番地に配置された命令から実行されます。

(b) 命令入力

ハードウェア・リセット解除後、必要に応じて命令を入力してください。

命令は長くなりがちなうえ (場合によっては数百から数 K バイト)、CPU の命令読み込みタイミングをとらえるのは困難ですので、トータル・チップ・シミュレーション用プログラムをメモリに格納する方法をとってください。

5.3 パターン作成と回路設計時の注意

5.3.1 3 ステート出力の処置

RDB, WRB などの 3 ステート出力端子 (対象端子は 5.4 端子機能一覧を参照) は, CPU ホールド時にハイ・インピーダンスになります。この端子が接続されているファンクショナル・セルにフローティングが入力されると, 誤動作や中間レベル入力による貫通電流が生じることがあります。CNT2, CNT1 端子を用いてハイ・インピーダンスを回避し, フローティングが直接入力されないようにしてください。

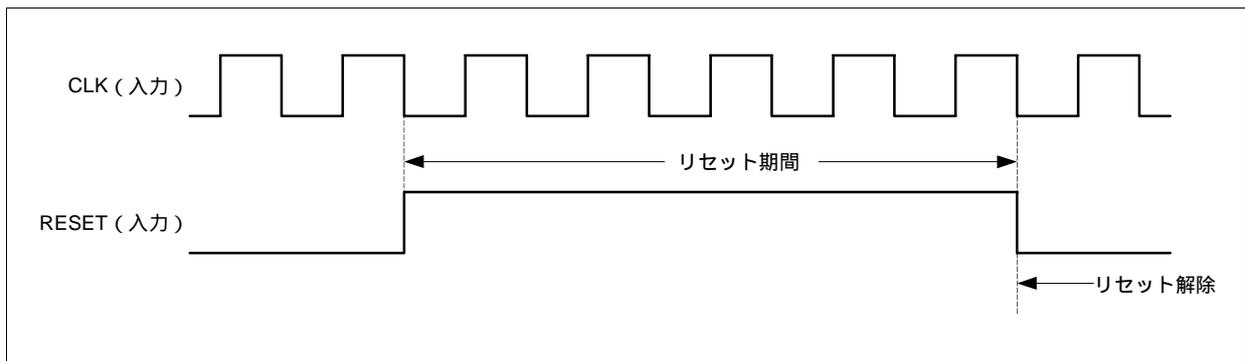
5.3.2 RESET 信号

RESET 端子に 4 クロック以上のハイ・レベルが入力されたあと, ロウ・レベルを入力してリセットを解除すると, FFFF0H 番地に配置された命令から実行されます。

このとき, RESET 信号の変化タイミングとクロックの立ち上がりが競合するとタイミング・エラーが発生し, 正常にリセット動作が行われなことがあるので注意してください。

また, リセット解除時には RESET 入力はロウ・レベルに固定してください。

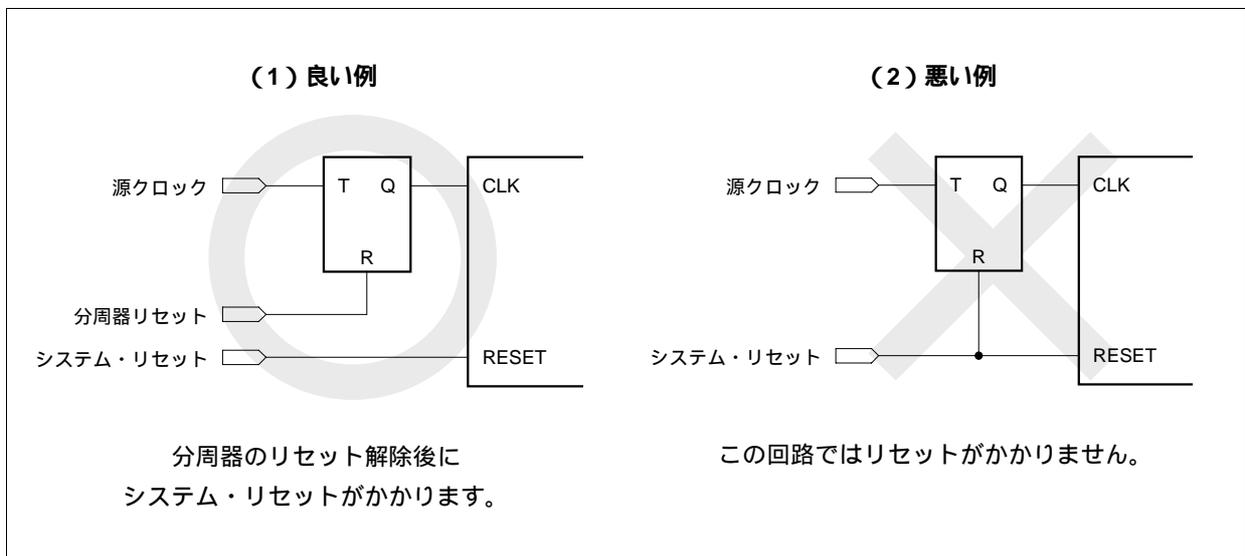
図5 - 1 RESET信号入力例



5.3.3 CLK 入力

CPU は CLK 入力 that トグルしないとリセットがかかりません。

CLK 入力に分周回路を入れる場合, 注意が必要です。



5.3.4 内部レジスタの初期化

テスト・プログラムで使用する内部レジスタには、初期値を与える命令を最初に実行してください。特に、SP（スタック・ポインタ）などは見落としがちなので注意してください。ただし、実行時間を短くするため、できるだけサブルーチンは使用しないでください。

5.3.5 テスト・プログラム容量の制約

最終的には、テスト・プログラムの実行ステップ数がテスト・パターンの長さを決める要因となるので、極力、実行ステップの長いテスト・プログラムは組まないでください。

実行ステップのパターン数は必ず 64k パターン（ステップ数ではない）以下としてください。そのため、テスト・プログラムの長さも 8K バイト以下を目安としてください。

ただし、プログラム中にループがあると、テスト・プログラムの長さが 8K バイト以下でも実行ステップが 64k パターンを越える場合があります。8K バイトは 1 つの目安としてください。

5.3.6 テスト・プログラム中のセグメント設定

EMS により 16M バイトのアドレス空間が使用可能ですが、テスト・プログラムは 8K バイトの連続するアドレスに納める必要があるため、コード・セグメント指定は 1 回で行ってください。

データ、スタック・セグメントも同様の理由から、セグメント指定は 1 回で行ってください。

5.3.7 タイミング検証

入力タイミングの検証方法は使用するシミュレータにより異なります。

Verilog-XL の場合は実行時に入力タイミングの検証も行われますが、V.sim の場合は実行時に入力タイミング違反が発生してもエラー・メッセージを出力しません。V.sim の場合は、必ず OPENCAD[®]メニューの“Megamacro Timing Check”を実行して検証を行ってください。

その他のシミュレータを使用している場合は、検証方法を NEC 担当者にご確認ください。

5.4 端子機能一覧

端子名	入出力	機能
A23-A0	3 ステート出力	アドレス出力
D15-D0	入力/出力	データ入出力
UBEB	3 ステート出力	データ・バス上位バイト・イネーブル信号出力
RDB	3 ステート出力	リード信号出力
READY	入力	ウエイト・ステート発生信号入力
INT	入力	マスカブル割り込み要求信号入力
POLLB	入力	外部システム同期センス信号入力
NMI	入力	ノンマスカブル割り込み要求信号入力
RESET	入力	システム・リセット信号入力
CLK	入力	システム・クロック入力
QS1, QS0	出力	キュー・ステータス信号出力
BUSLOCKB	3 ステート出力	バス・ロック信号出力
BS2-BS0	3 ステート出力	バス・ステータス信号出力
MIOB	3 ステート出力	I/O アクセス/メモリ・アクセス選択信号出力
PS3-PS0	出力	プロセッサ・ステータス信号出力
WRB	3 ステート出力	ライト信号出力
INTAKB	出力	割り込みアクノリッジ信号出力
ASTB	出力	アドレス・ストローブ信号出力
BUFRBW	3 ステート出力	バッファ・リード/ライト信号出力
BUFENB	3 ステート出力	バッファ・イネーブル信号出力
HLDRQ	入力	バス・ホールド要求信号入力
HLDK	出力	バス・ホールド応答信号出力
EMSREN	入力	EMS レジスタ・アクセス・イネーブル信号入力
CNT2, CNT1	出力	3 ステート出力制御信号出力
DC	出力	D15-D0 制御信号出力
BUNRI	入力	テスト・バスを用いたテストを行うための端子
TEST	入力	
TBI27-TBI0	入力	
TBO71-TBO0	3 ステート出力	
EI3-EI0	入力	
EO8-EO0	出力	
CLKO	出力	

5.5 電気的特性

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

5.5.1 絶対最大定格

項 目	略 号	定 格	単 位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

5.5.2 推奨動作範囲

項 目	略 号	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	30			ns

5.5.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

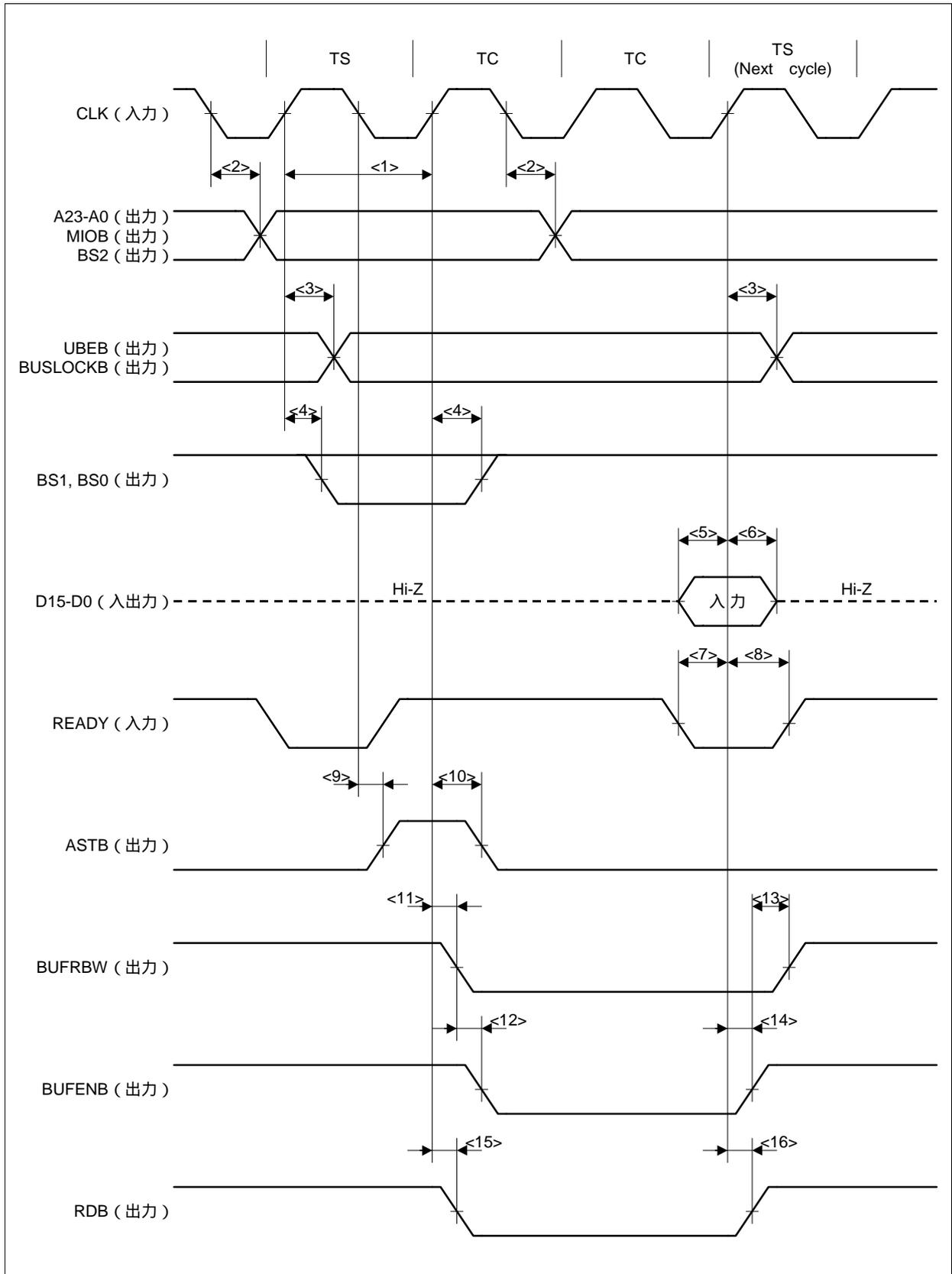
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I _{DD}	通常動作時		0.5	1.0	mA/MHz
		スタンバイ (HALT) 時		0.05	0.10	mA/MHz
		クロック停止時				30

5.5.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$)

(1) リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
クロック周期	<1> t _{CYK}		30		ns
CLK↓ → アドレス遅延時間	<2> t _{DKA}		2.4	11	ns
CLK↑ → UBEB, BUSLOCKB 遅延時間	<3> t _{DKUB}		2.4	11	ns
CLK↑ → BS1, BS0 遅延時間	<4> t _{DKB}		2.4	11	ns
データ設定時間 (対 CLK↑)	<5> t _{SDK}		3		ns
データ保持時間 (対 CLK↑)	<6> t _{HKD}		6		ns
READY 設定時間 (対 CLK↑)	<7> t _{SRYK}		3		ns
READY 保持時間 (対 CLK↑)	<8> t _{HKRY}		3		ns
CLK↓ → ASTB↑遅延時間	<9> t _{DKSTH}		1.3	6	ns
CLK↑ → ASTB↓遅延時間	<10> t _{DKSTL}		1.3	5.5	ns
CLK↑ → BUFRBW↓遅延時間	<11> t _{DKCT}		1.9	9	ns
BUFRBW↓ → BUFENB↓遅延時間	<12> t _{rwEN}		0	2	ns
BUFENB↑ → BUFRBW↑遅延時間	<13> t _{DENRW}		0	2	ns
CLK↑ → BUFENB↑遅延時間 (リード・サイクル)	<14> t _{DKENR}		1.9	9	ns
CLK↑ → RDB↓, WRB↓遅延時間	<15> t _{DKCML}		1.8	8.4	ns
CLK↑ → RDB↑, WRB↑遅延時間	<16> t _{DKCMH}		1.8	8.4	ns

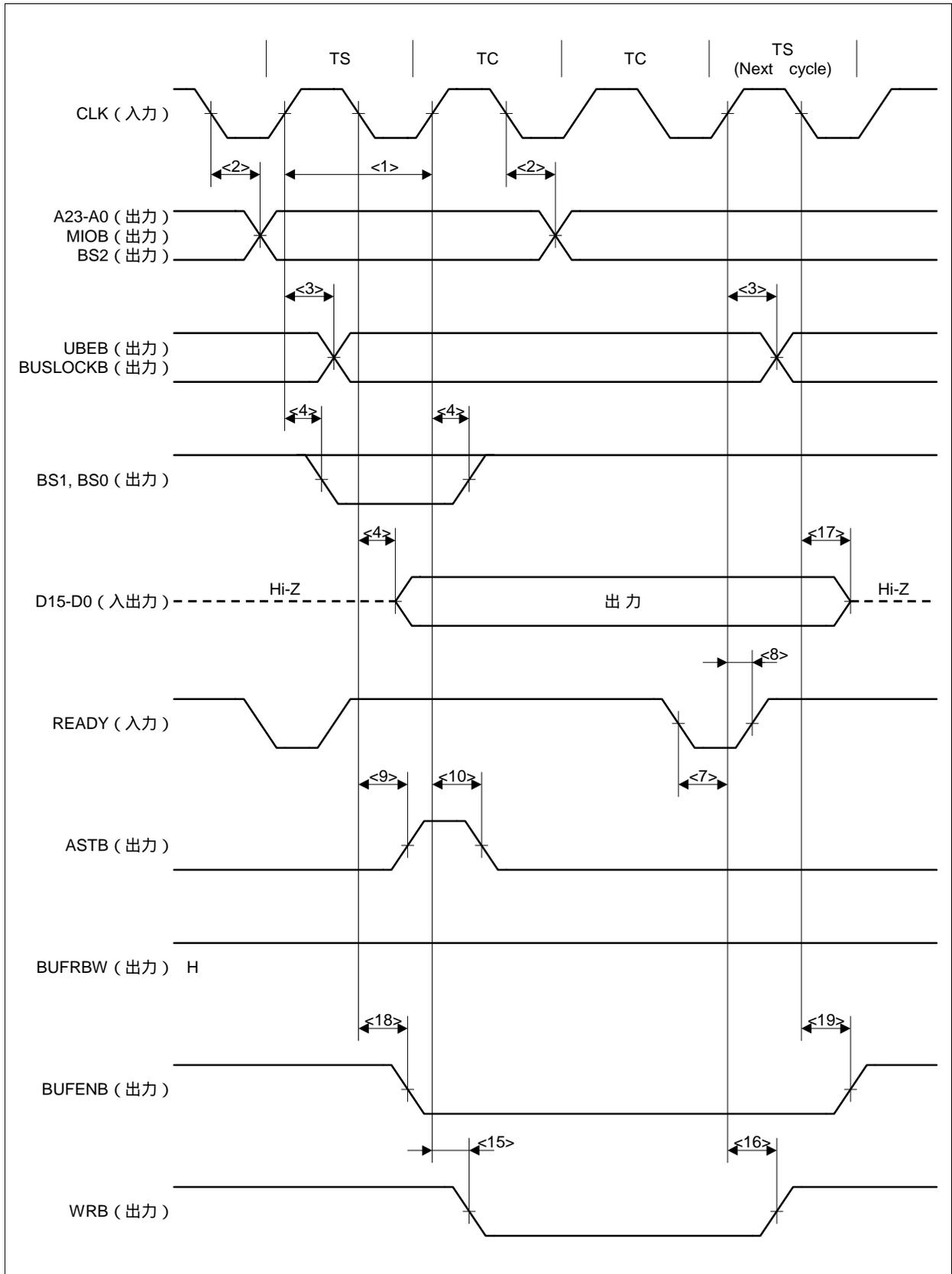
(1) リード・タイミング (2/2)



(2) ライト・タイミング (1/2)

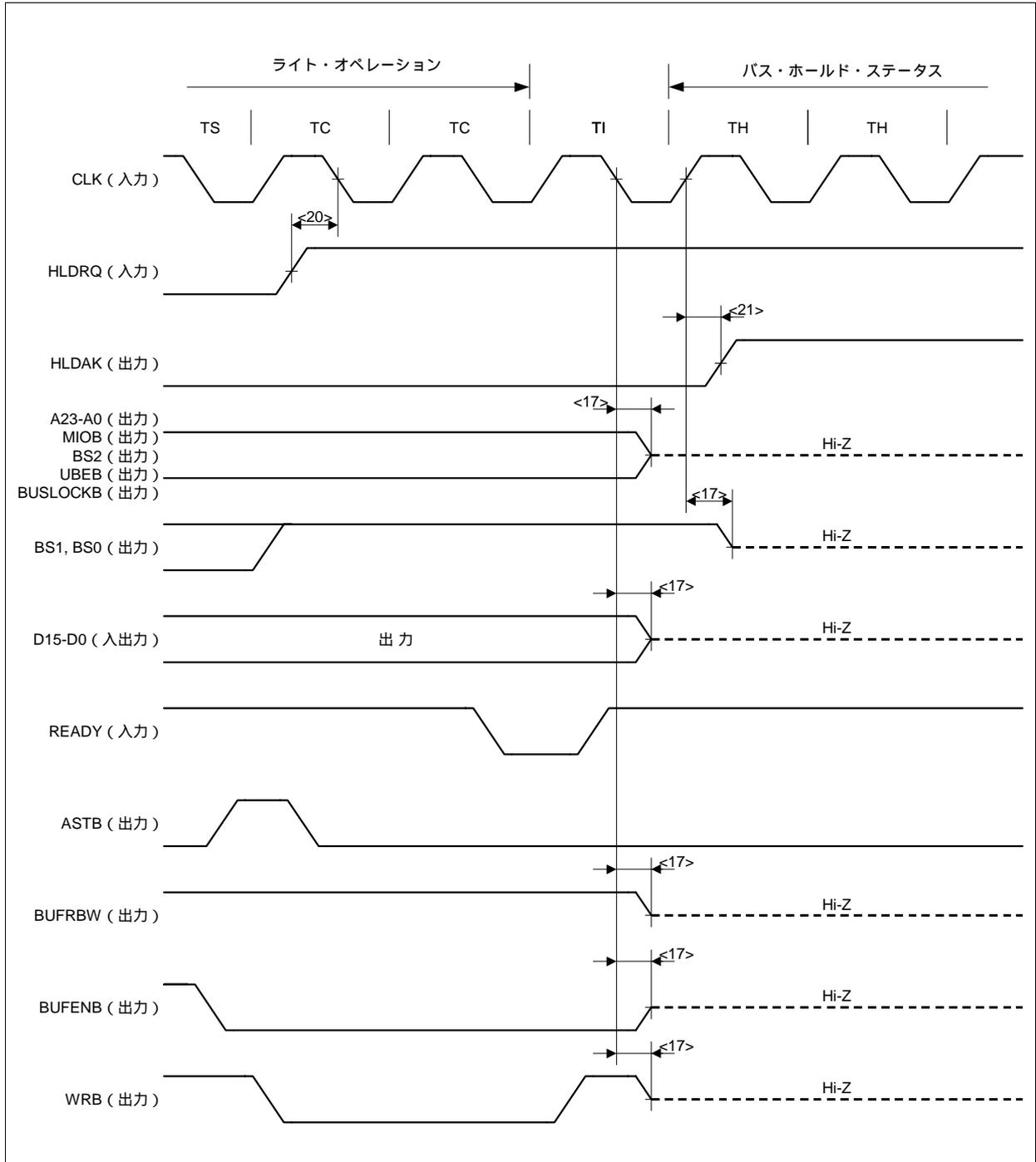
項目	略号	条件	MIN.	MAX.	単位
クロック周期	<1>	t _{CYK}	30		ns
CLK↓ → アドレス遅延時間	<2>	t _{DKA}	2.4	11	ns
CLK↑ → UBEB, BUSLOCKB 遅延時間	<3>	t _{DKUB}	2.4	11	ns
CLK↑ → BS1, BS0 遅延時間	<4>	t _{DKB}	2.4	11	ns
READY 設定時間 (対 CLK↑)	<7>	t _{SRYK}	3		ns
READY 保持時間 (対 CLK↑)	<8>	t _{HCRY}	3		ns
CLK↓ → ASTB↑遅延時間	<9>	t _{DKSTH}	1.3	6	ns
CLK↑ → ASTB↓遅延時間	<10>	t _{DKSTL}	1.3	5.5	ns
CLK↑ → RDB↓, WRB↓遅延時間	<15>	t _{DKCML}	1.8	8.4	ns
CLK↑ → RDB↑, WRB↑遅延時間	<16>	t _{DKCMH}	1.8	8.4	ns
CLK↓ → データ・フロート遅延時間	<17>	t _{FKD}	2.3	10	ns
CLK↓ → BUFENB↓遅延時間 (ライト・サイクル)	<18>	t _{DKENWH}	1.4	7	ns
CLK↓ → BUFENB↑遅延時間 (ライト・サイクル)	<19>	t _{DKENWL}	1.4	7	ns

(2) ライト・タイミング (2/2)



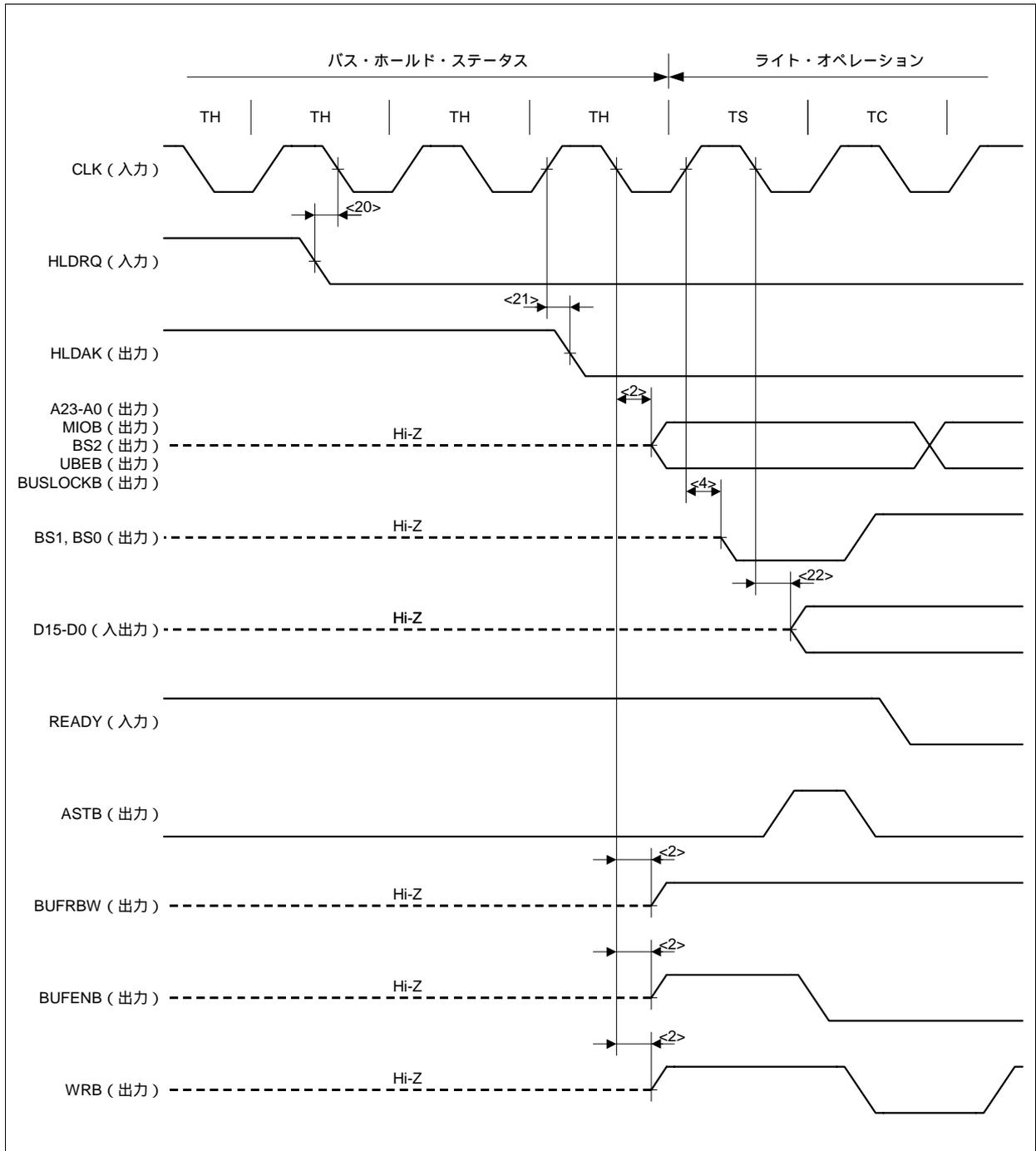
(3) バス・ホールド設定タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
CLK↓ → データ・フロート遅延時間	<17>	t _{FKD}	2.3	10	ns
HLD _{RQ} 設定時間 (対 CLK)	<20>	t _{SIK}	3		ns
CLK↓ → HLD _{AK} 遅延時間	<21>	t _{DKHA}	1.4	6	ns



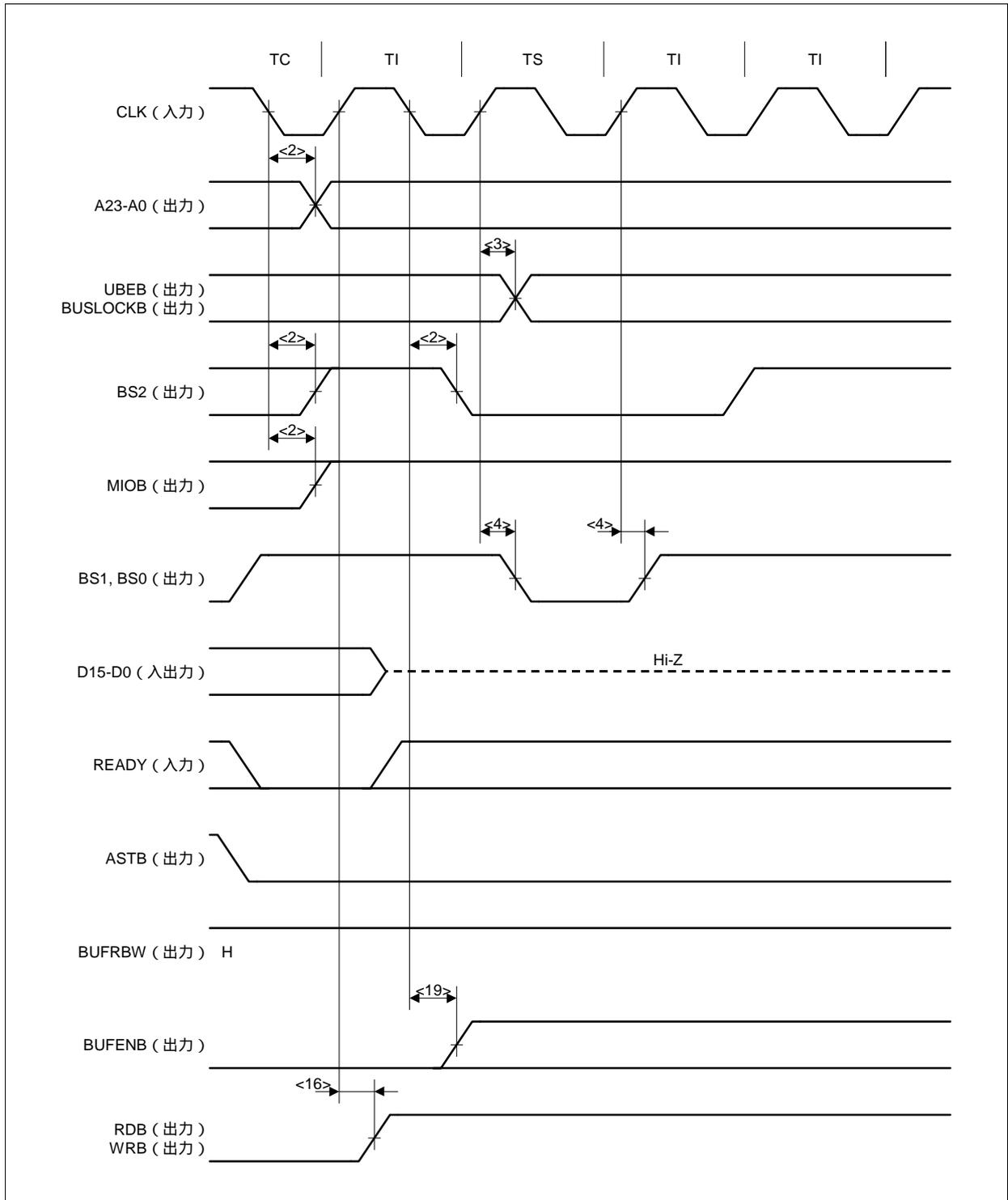
(4) バス・ホールド解除タイミング

項目	略号	条件	MIN.	MAX.	単位
CLK↓ → アドレス遅延時間	<2>	t _{DKA}	2.4	11	ns
CLK↑ → BS1, BS0 遅延時間	<4>	t _{DKB}	2.4	11	ns
HLDQRQ 設定時間 (対 CLK)	<20>	t _{SIK}	3		ns
CLK↓ → HLDARQ 遅延時間	<21>	t _{DKHA}	1.4	6	ns
CLK↓ → データ出力遅延時間	<22>	t _{DKD}	2.2	10	ns



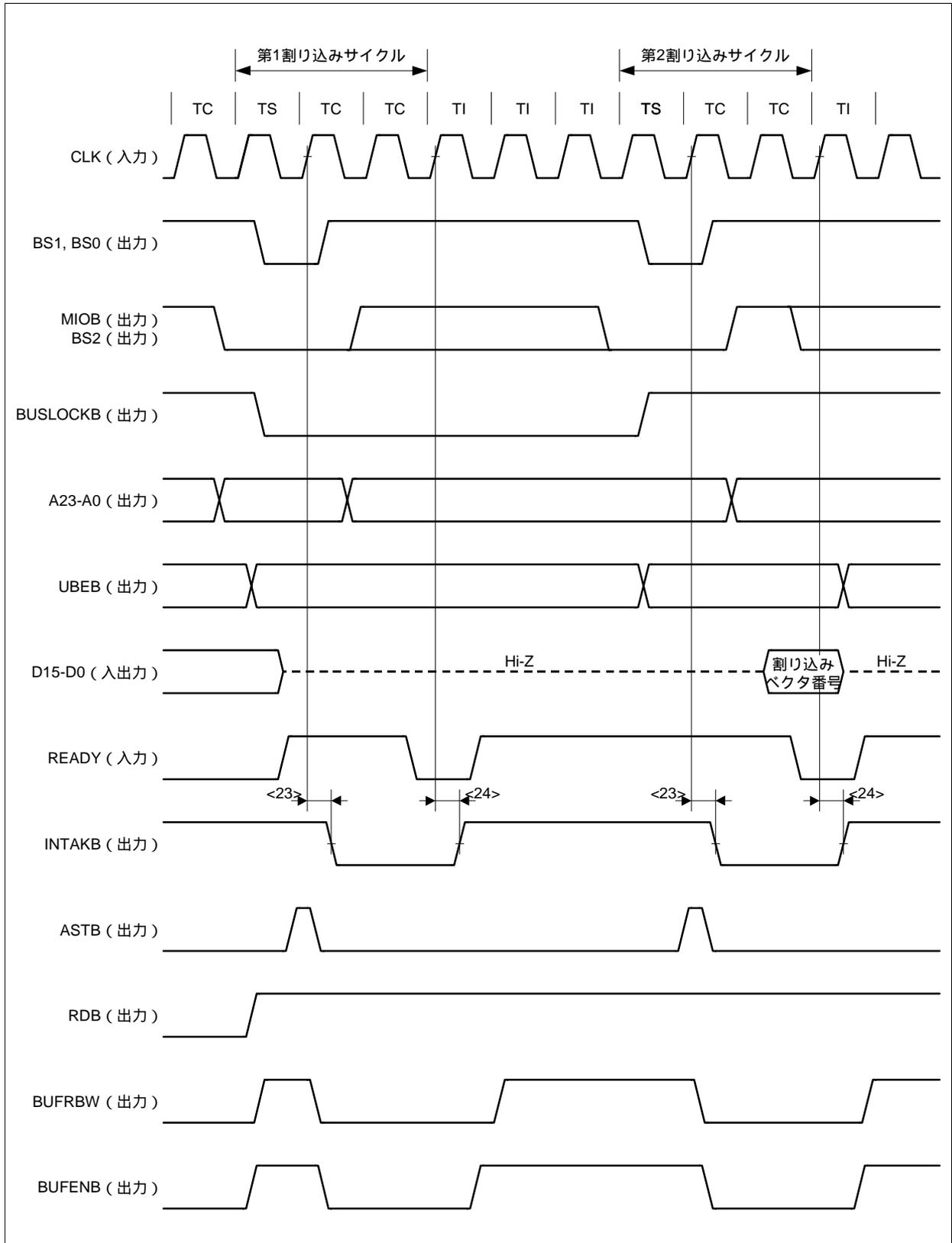
(5) スタンバイ (HALT) モード設定タイミング

項目	略号	条件	MIN.	MAX.	単位
CLK↓ → アドレス遅延時間	<2>	t _{DKA}	2.4	11	ns
CLK↑ → UBEB, BUSLOCKB 遅延時間	<3>	t _{DKUB}	2.4	11	ns
CLK↑ → BS1, BS0 遅延時間	<4>	t _{DKB}	2.4	11	ns
CLK↑ → RDB↑, WRB↑遅延時間	<16>	t _{DKCMH}	1.8	8.4	ns
CLK↓ → BUFENB↑遅延時間 (ライト・サイクル)	<19>	t _{DKENWL}	1.4	7	ns



(6) 割り込みアクリッジ・タイミング

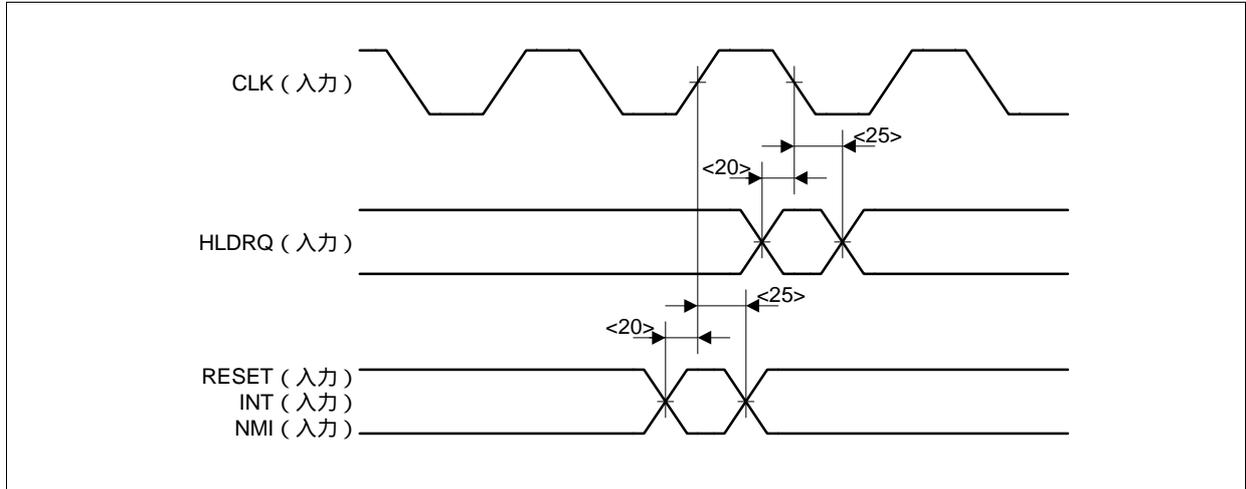
項目	略号	条件	MIN.	MAX.	単位
CLK↑ → INTAKB↓遅延時間	<23>	t _{DKIF}	1.4	7	ns
CLK↑ → INTAKB↑遅延時間	<24>	t _{DKIR}	1.4	7	ns



(7) RESET, INT, NMI, HLDRQ 信号入力タイミング

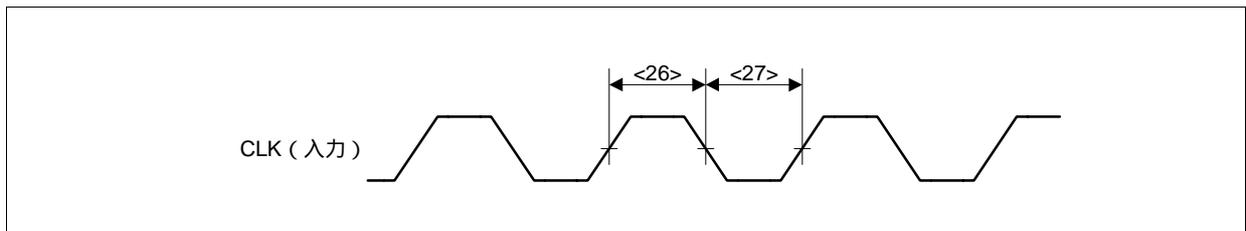
項目	略号	条件	MIN.	MAX.	単位
非同期入力信号 ^注 設定時間 (対 CLK)	<20>	t_{SIK}	3		ns
非同期入力信号 ^注 保持時間 (対 CLK)	<25>	t_{HIK}	6		ns

注 非同期入力信号 : RESET, INT, NMI, HLDRQ



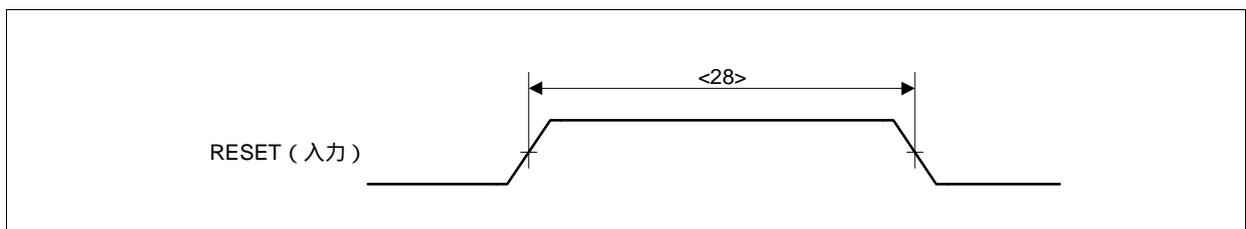
(8) CLK 信号入力タイミング

項目	略号	条件	MIN.	MAX.	単位
クロック・ハイ・レベル幅	<26>	t_{KKH}	10		ns
クロック・ロウ・レベル幅	<27>	t_{KKL}	10		ns



(9) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESET ハイ・レベル幅	<28>	t_{WRSTH}	$4t_{CYK}$		ns



第 6 章 V30MZ

(開発中)

V30MZ は、NEC のオリジナル・マイクロプロセッサ「 μ PD70116H」(別名称：V30HL)のバス効率を改善した CPU コア「V30MX」を、さらに改良した CPU コアです。

1 クロック / 1 バス・サイクルを実現してバス効率を向上、また内部パイプライン化により命令実行速度を大幅に向上させ、RISC 系マイクロプロセッサ並みの高速処理が可能となっています。

V30MX の 4.3MIPS (33MHz 動作、ノー・ウエイト時) に対し、V30MZ では 35MIPS (66MHz 動作、ノー・ウエイト時) の処理性能を実現しました。

6.1 概 要

- 処理性能：35MIPS (66MHz 動作、ノー・ウエイト時)
- CMOS スタティック設計 (内部システム・クロックの完全停止が可能)
- 1 バス・サイクル：1 クロック
- 外部バス・インタフェース
アドレス・バス：20 ビット
データ・バス：16 ビット (入力 / 出力分離バス)
- バス・ホールド機能
- スタンバイ機能 (HALT モード)

6.1.1 シンボル図

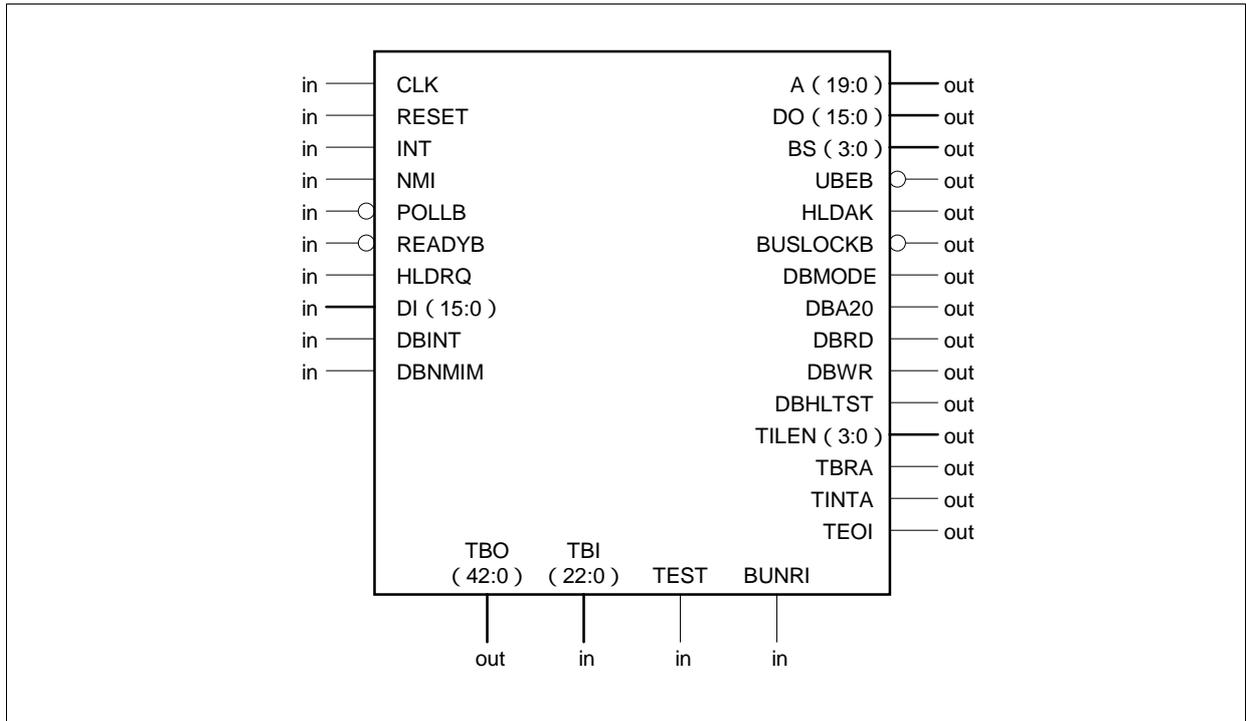
グリッド数

207k グリッド

251k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

52k



6.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値

C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 (l = 10mm)

(1) 入力端子

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
CLK	0.012	1.912	DI15-DI0	0.012	1.912
RESET	0.012	1.912	BUNRI	0.037	1.937
NMI	0.012	1.912	TEST	0.010	1.910
INT	0.012	1.912	TBI22-TBI0	0.011	1.911
HLDRQ	0.012	1.912	DBINT	0.008	1.908
POLLB	0.012	1.912	DBNMIM	0.008	1.908
READYB	0.012	1.912			

(2) 出力端子

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
A19-A0	13.072	-	-	DBA20	13.072	-	-
BS3-BS0	13.072	-	-	DBRD	13.072	-	-
DO15-DO0	13.072	-	-	DBWR	13.072	-	-
BUSLOCKB	13.072	-	-	DBHLTST	13.072	-	-
HLDKAK	13.072	-	-	TEOI	13.072	-	-
UBEB	13.072	-	-	TILEN3-TILEN0	13.072	-	-
TBO42-TBO0	6.536	0.047	1.947	TBRA	13.072	-	-
DBMODE	13.072	-	-	TINTA	13.072	-	-

6.2 シミュレーション実行時の注意

6.2.1 V.sim シミュレーション時の注意

V.sim によるシミュレーション実行時は、次のコマンドを入力してください。

```
Command>mr インスタンス名/_NTMZROM NTMZROM NTMZROM.nincf
```

6.2.2 タイミング検証

入力タイミングの検証方法は使用するシミュレータにより異なります。

Verilog-XL の場合は実行時に入力タイミングの検証も行われますが、V.sim の場合は実行時に入力タイミング違反が発生してもエラー・メッセージを出力しません。V.sim の場合は、必ず OPENCAD メニューの “Megamacro Timing Check” を実行して検証を行ってください。

その他のシミュレータを使用している場合は、検証方法を NEC 担当者にご確認ください。

6.3 初期化の際の注意

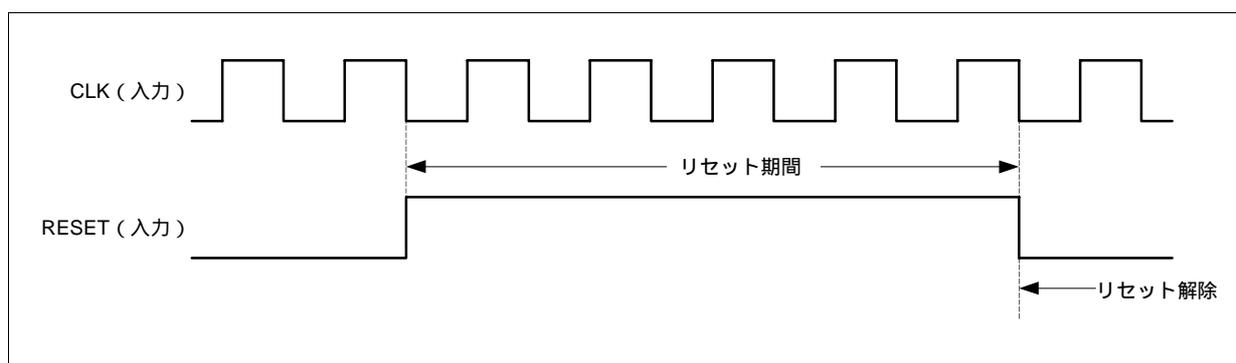
6.3.1 RESET 信号

RESET 端子に4クロック以上のハイ・レベルが入力されたあと、ロウ・レベルを入力してリセットを解除すると、FFFF0H 番地に配置された命令から実行されます。

このとき、RESET 信号の変化タイミングとクロックの立ち上がりが競合するとタイミング・エラーが発生し、正常にリセット動作が行われないことがあるので注意してください。

また、リセット解除時には RESET 入力はロウ・レベルに固定してください。

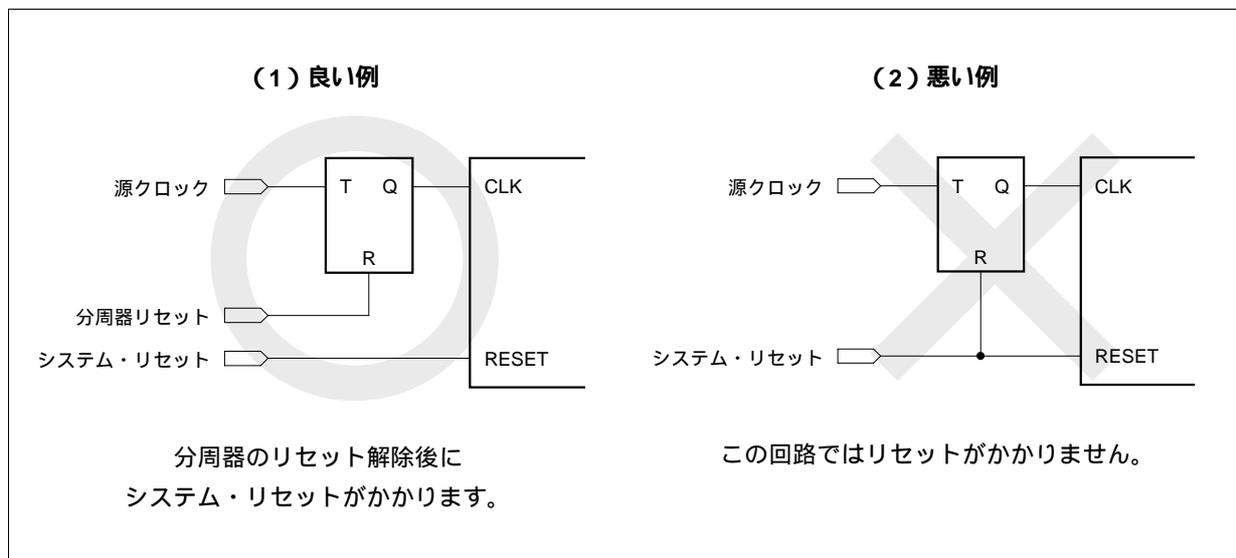
図6-1 RESET信号入力例



6.3.2 CLK 入力

CPU は CLK 入力 that トグルしないとリセットがかかりません。

CLK 入力に分周回路を入れる場合、注意が必要です。



6.3.3 内部レジスタの初期化

テスト・プログラムで使用する内部レジスタには、初期値を与える命令を最初に実行してください。

6.4 端子機能一覧

端子名	入出力	機能
A19-A0	出力	アドレス出力
DI15-DI0	入力	データ入力
DO15-DO0	出力	データ出力
UBEB	出力	データ・バス上位バイト・イネーブル信号出力
BS3-BS0	出力	バス・ステータス信号出力
READYB	入力	ウエイト・ステート発生信号入力
BUSLOCKB	出力	バス・ロック信号出力
POLLB	入力	外部システム同期センス信号入力
RESET	入力	システム・リセット信号入力
HLDRQ	入力	バス・ホールド要求信号入力
HLDK	出力	バス・ホールド応答信号出力
NMI	入力	ノンマスカブル割り込み要求信号入力
INT	入力	マスカブル割り込み要求信号入力
CLK	入力	システム・クロック入力
BUNRI	入力	テスト・バスを用いたテストを行うための端子
TEST	入力	
TBI22-TBI0	入力	
TBO42-TBO0	出力	
DBINT	入力	
DBMODE	出力	NECの予約端子
DBA20	出力	
DBRD	出力	
DBWR	出力	
DBNMIM	入力	
DBHLTST	出力	
TEOI	出力	
TILEN3-TILEN0	出力	
TBRA	出力	
TINTA	出力	

6.5 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせてチップが構成されます。チップとしては、使用したマクロすべての規格を満足する設計にしてください。

6.5.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

6.5.2 推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	2.0V 電源時	1.8	2.0	2.2	V
		3.3V 電源時	3.0	3.3	3.6	V
動作周囲温度	T _A		-40		+85	°C
クロック周期	t _{cyk}	2.0V 電源時	31			ns
		3.3V 電源時	15			ns

6.5.3 DC 特性 (T_A = -40 ~ +85°C)

(1) 2.0V 電源時 (V_{DD} = 2.0V ± 0.2V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD}	動作時		0.4	0.8	mA/MHz
		HALT 時		2	4	μA/MHz
		クロック停止時			0	μA

(2) 3.3V 電源時 (V_{DD} = 3.3V ± 0.3V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD}	動作時		0.6	1.2	mA/MHz
		HALT 時		5	10	μA/MHz
		クロック停止時			0	μA

6.5.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$)

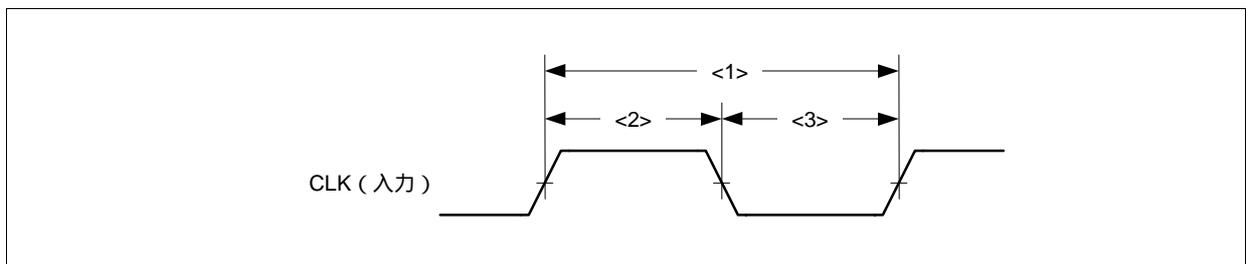
(1) CLK 信号入力タイミング

(a) 2.0V 電源時 ($V_{DD} = 2.0V \pm 0.2V$)

項目	略号	条件	MIN.	MAX.	単位
動作周波数	ϕ			32	MHz
クロック周期	<1>	t_{CYK}	31		ns
クロック・ハイ・レベル幅	<2>	t_{KHH}	15.5		ns
クロック・ロウ・レベル幅	<3>	t_{KKL}	15.5		ns

(b) 3.3V 電源時 ($V_{DD} = 3.3V \pm 0.3V$)

項目	略号	条件	MIN.	MAX.	単位
動作周波数	ϕ			66	MHz
クロック周期	<1>	t_{CYK}	15		ns
クロック・ハイ・レベル幅	<2>	t_{KHH}	7		ns
クロック・ロウ・レベル幅	<3>	t_{KKL}	7		ns



(2) RESET, INT, NMI, HLDRQ, POLLB 信号入力タイミング

(a) 2.0V 電源時 ($V_{DD} = 2.0V \pm 0.2V$)

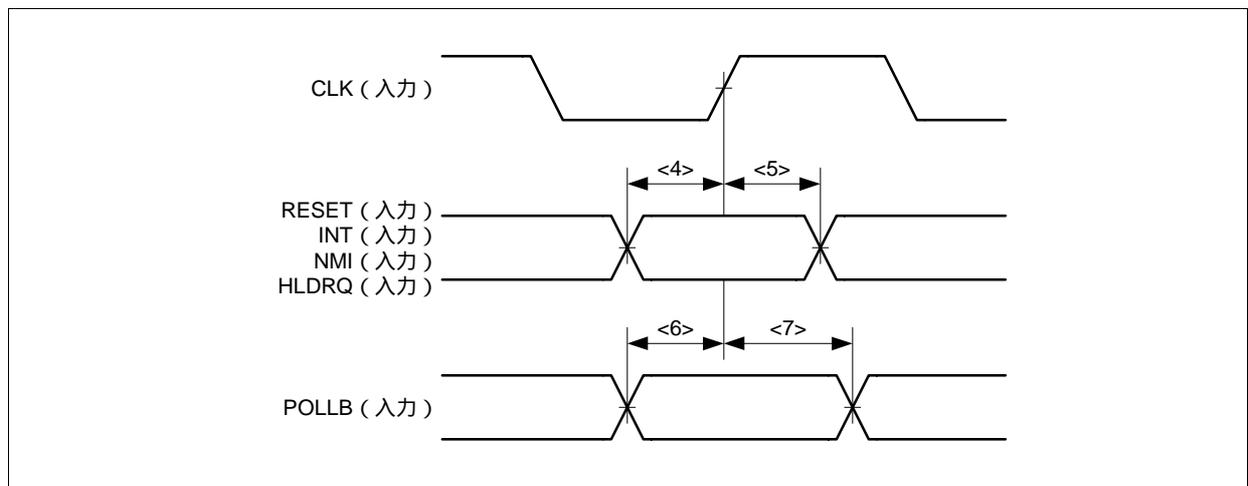
項目	略号	条件	MIN.	MAX.	単位
非同期入力信号 ^注 設定時間	<4>	t _{SIK}	2		ns
非同期入力信号 ^注 保持時間	<5>	t _{HKI}	2		ns
POLLB 設定時間	<6>	t _{SPK}	2		ns
POLLB 保持時間	<7>	t _{HKP}	6		ns

注 非同期入力信号：RESET, INT, NMI, HLDRQ

(b) 3.3V 電源時 ($V_{DD} = 3.3V \pm 0.3V$)

項目	略号	条件	MIN.	MAX.	単位
非同期入力信号 ^注 設定時間	<4>	t _{SIK}	2		ns
非同期入力信号 ^注 保持時間	<5>	t _{HKI}	2		ns
POLLB 設定時間	<6>	t _{SPK}	2		ns
POLLB 保持時間	<7>	t _{HKP}	4		ns

注 非同期入力信号：RESET, INT, NMI, HLDRQ



[メモ]

(3) バス・サイクル関連信号タイミング (1/2)

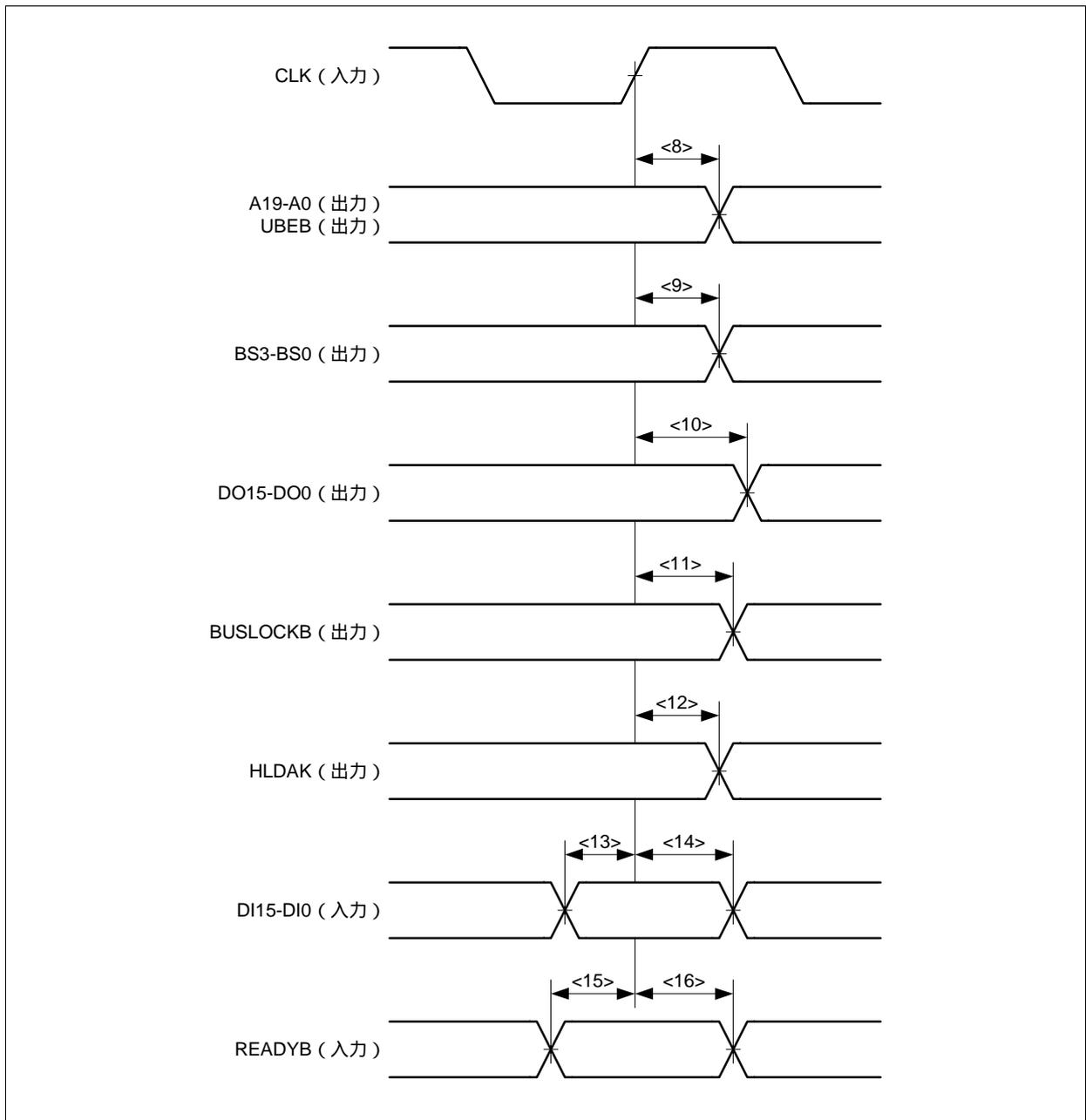
(a) 2.0V 電源時 ($V_{DD} = 2.0V \pm 0.2V$)

項目	略号	条件	MIN.	MAX.	単位
アドレス・バス出力遅延時間	<8> tDKA		1	10	ns
バス・ステータス出力遅延時間	<9> tDKB		1	10	ns
データ出力遅延時間	<10> tDKD		2	15	ns
BUSLOCKB 遅延時間	<11> tDKBL		1	10	ns
HLDAAK 遅延時間	<12> tDKHA		1	10	ns
データ入力設定時間	<13> tSDK		2		ns
データ入力保持時間	<14> tHKD		6		ns
READYB 設定時間	<15> tSRK		7		ns
READYB 保持時間	<16> tHKR		4		ns

(b) 3.3V 電源時 ($V_{DD} = 3.3V \pm 0.3V$)

項目	略号	条件	MIN.	MAX.	単位
アドレス・バス出力遅延時間	<8> tDKA		1	5	ns
バス・ステータス出力遅延時間	<9> tDKB		1	5	ns
データ出力遅延時間	<10> tDKD		2	7.5	ns
BUSLOCKB 遅延時間	<11> tDKBL		1	5	ns
HLDAAK 遅延時間	<12> tDKHA		0.5	5	ns
データ入力設定時間	<13> tSDK		1		ns
データ入力保持時間	<14> tHKD		3		ns
READYB 設定時間	<15> tSRK		3		ns
READYB 保持時間	<16> tHKR		2		ns

(3) バス・サイクル関連信号タイミング (2/2)



第7章 NB85E

(開発中)

NB85E は、NEC の RISC 型 32 ビット・マイクロプロセッサ「V850E1」CPU と DMA コントローラや割り込みコントローラなどの周辺 I/O を内蔵し、ASIC への取り込みを目的とした CPU コアです。

7.1 概 要

- 処理性能：82MIPS (66MHz 動作時)
- メモリ空間
 - プログラム領域：64M バイト・リニア
 - データ領域：4G バイト・リニア
 - メモリ・バンク分割機能：2M, 4M, 8M バイト/バンク
- 最小命令実行時間：15ns (66MHz 動作時)
- 外部バス・インタフェース
 - VSB (V850E システム・バス)
 - NPB (NEC 周辺 I/O バス)
- 割り込み / 例外制御機能
 - ノンマスカブル割り込み：3 要因
 - マスカブル割り込み：64 要因
 - 例外：1 要因
 - 8 レベルの優先順位指定可能 (マスカブル割り込み)
- DMA 制御機能
 - 4 チャンネル構成
 - 転送単位：8 ビット, 16 ビット, 32 ビット
 - 最大転送回数：65536 (2^{16}) 回
 - 転送タイプ：フライバイ (1 サイクル) 転送, 2 サイクル転送
 - 転送モード：シングル転送, シングルステップ転送, ライン転送, ブロック転送
 - ターミナル・カウンタ出力信号 (DMTCO3-DMTCO0)
- パワー・セーブ機能
 - HALT, ハードウェア / ソフトウェア STOP モード
- NB85E901 (RCU^注) インタフェース機能

注 RCU (Run Control Unit) : JTAG での通信やデバッグ処理の実行を行う制御ユニット

7.1.1 シンボル図

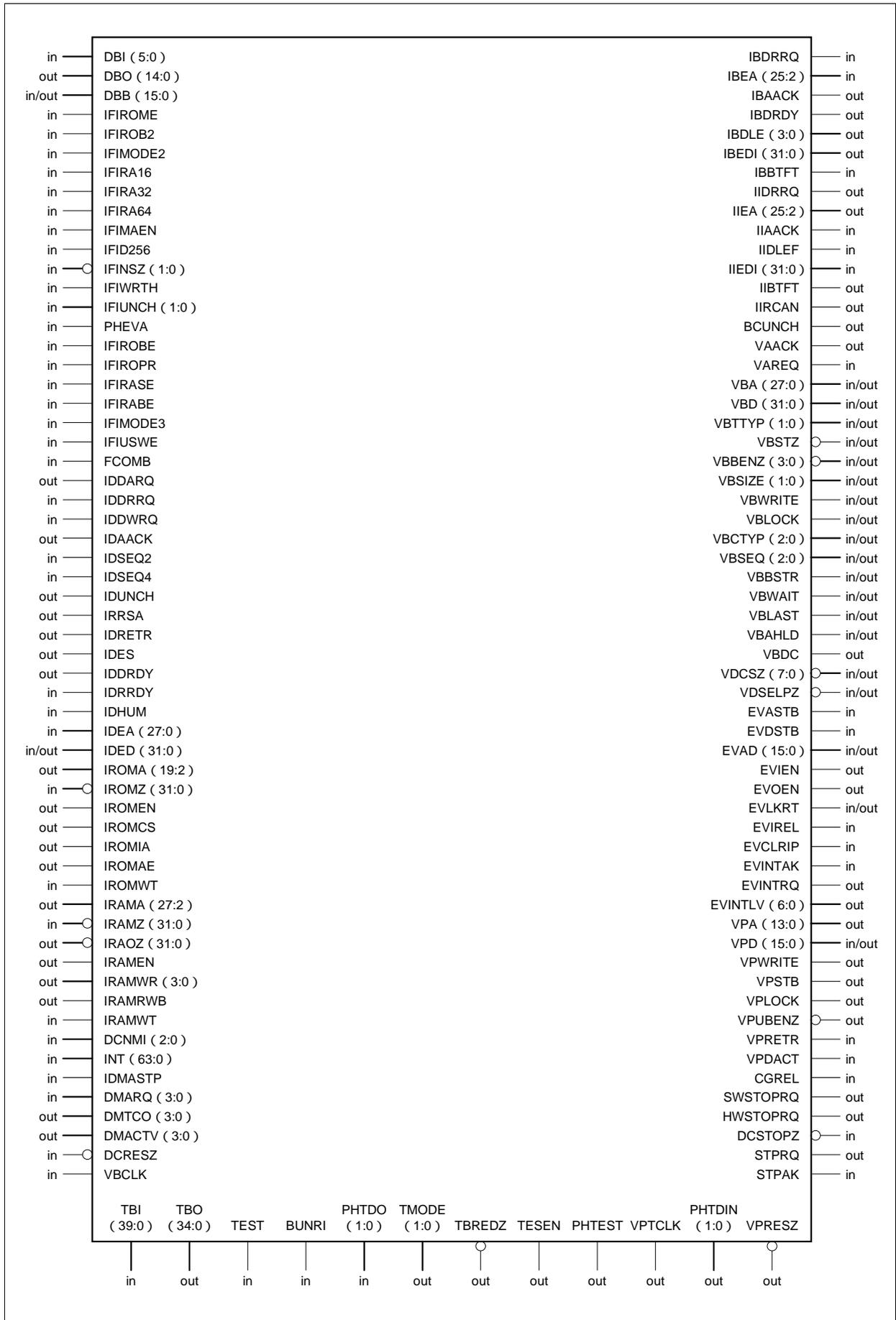
グリッド数

351.6k グリッド

574.4k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

194.7k



7.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子 (1/5)

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
VPRETR	0.746	2.646	INT45	0.029	1.929
VPDACT	0.297	2.197	INT44	0.014	1.914
VAREQ	0.175	2.075	INT43	0.017	1.917
DCRESZ	0.166	2.066	INT42	0.041	1.941
VBCLK	0.480	2.380	INT41	0.014	1.914
CGREL	0.204	2.104	INT40	0.021	1.921
DCSTOPZ	0.260	2.160	INT39	0.018	1.918
STPAK	0.230	2.130	INT38	0.011	1.911
IDMASTP	0.178	2.078	INT37	0.008	1.908
DMARQ3	0.180	2.080	INT36	0.007	1.907
DMARQ2	0.189	2.089	INT35	0.009	1.909
DMARQ1	0.153	2.053	INT34	0.032	1.932
DMARQ0	0.177	2.077	INT33	0.068	1.968
DCNMI2	0.021	1.921	INT32	0.016	1.916
DCNMI1	0.015	1.915	INT31	0.012	1.912
DCNMI0	0.010	1.910	INT30	0.016	1.916
INT63	0.020	1.920	INT29	0.018	1.918
INT62	0.014	1.914	INT28	0.016	1.916
INT61	0.014	1.914	INT27	0.013	1.913
INT60	0.014	1.914	INT26	0.010	1.910
INT59	0.035	1.935	INT25	0.011	1.911
INT58	0.023	1.923	INT24	0.024	1.924
INT57	0.011	1.911	INT23	0.023	1.923
INT56	0.029	1.929	INT22	0.023	1.923
INT55	0.008	1.908	INT21	0.016	1.916
INT54	0.011	1.911	INT20	0.028	1.928
INT53	0.014	1.914	INT19	0.014	1.914
INT52	0.041	1.941	INT18	0.009	1.909
INT51	0.029	1.929	INT17	0.008	1.908
INT50	0.019	1.919	INT16	0.039	1.939
INT49	0.041	1.941	INT15	0.007	1.907
INT48	0.011	1.911	INT14	0.026	1.926
INT47	0.022	1.922	INT13	0.022	1.922
INT46	0.027	1.927	INT12	0.026	1.926

(1) 入力端子 (2/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
INT11	0.061	1.961	IROMZ4	0.726	2.626
INT10	0.051	1.951	IROMZ3	0.848	2.748
INT9	0.028	1.928	IROMZ2	0.731	2.631
INT8	0.025	1.925	IROMZ1	0.581	2.481
INT7	0.013	1.913	IROMZ0	0.717	2.617
INT6	0.027	1.927	IROMWT	0.070	1.970
INT5	0.023	1.923	IRAMZ31	0.274	2.174
INT4	0.018	1.918	IRAMZ30	0.159	2.059
INT3	0.012	1.912	IRAMZ29	0.255	2.155
INT2	0.022	1.922	IRAMZ28	0.298	2.198
INT1	0.030	1.930	IRAMZ27	0.280	2.180
INT0	0.012	1.912	IRAMZ26	0.275	2.175
IROMZ31	0.673	2.573	IRAMZ25	0.200	2.100
IROMZ30	1.383	3.283	IRAMZ24	0.281	2.181
IROMZ29	1.122	3.022	IRAMZ23	0.207	2.107
IROMZ28	0.754	2.654	IRAMZ22	0.189	2.089
IROMZ27	0.695	2.595	IRAMZ21	0.320	2.220
IROMZ26	1.017	2.917	IRAMZ20	0.290	2.190
IROMZ25	1.267	3.167	IRAMZ19	0.415	2.315
IROMZ24	1.203	3.103	IRAMZ18	0.295	2.195
IROMZ23	1.381	3.281	IRAMZ17	0.389	2.289
IROMZ22	0.860	2.760	IRAMZ16	0.322	2.222
IROMZ21	0.645	2.545	IRAMZ15	0.234	2.134
IROMZ20	1.473	3.373	IRAMZ14	0.202	2.102
IROMZ19	0.738	2.638	IRAMZ13	0.289	2.189
IROMZ18	0.751	2.651	IRAMZ12	0.296	2.196
IROMZ17	0.631	2.531	IRAMZ11	0.317	2.217
IROMZ16	0.653	2.553	IRAMZ10	0.254	2.154
IROMZ15	0.805	2.705	IRAMZ9	0.320	2.220
IROMZ14	0.662	2.562	IRAMZ8	0.344	2.244
IROMZ13	0.783	2.683	IRAMZ7	0.305	2.205
IROMZ12	0.757	2.657	IRAMZ6	0.225	2.125
IROMZ11	0.855	2.755	IRAMZ5	0.317	2.217
IROMZ10	0.712	2.612	IRAMZ4	0.495	2.395
IROMZ9	0.686	2.586	IRAMZ3	0.542	2.442
IROMZ8	0.769	2.669	IRAMZ2	0.418	2.318
IROMZ7	0.781	2.681	IRAMZ1	0.264	2.164
IROMZ6	0.775	2.675	IRAMZ0	0.289	2.189
IROMZ5	0.635	2.535	IRAMWT	0.463	2.363

(1) 入力端子 (3/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
IBDRRQ	0.166	2.066	IIEDI19	0.054	1.954
IBEA25	0.153	2.053	IIEDI18	0.067	1.967
IBEA24	0.050	1.950	IIEDI17	0.058	1.958
IBEA23	0.141	2.041	IIEDI16	0.017	1.917
IBEA22	0.171	2.071	IIEDI15	0.074	1.974
IBEA21	0.169	2.069	IIEDI14	0.055	1.955
IBEA20	0.196	2.096	IIEDI13	0.059	1.959
IBEA19	0.040	1.940	IIEDI12	0.074	1.974
IBEA18	0.101	2.001	IIEDI11	0.051	1.951
IBEA17	0.105	2.005	IIEDI10	0.066	1.966
IBEA16	0.129	2.029	IIEDI9	0.071	1.971
IBEA15	0.059	1.959	IIEDI8	0.059	1.959
IBEA14	0.082	1.982	IIEDI7	0.034	1.934
IBEA13	0.084	1.984	IIEDI6	0.057	1.957
IBEA12	0.058	1.958	IIEDI5	0.068	1.968
IBEA11	0.018	1.918	IIEDI4	0.061	1.961
IBEA10	0.114	2.014	IIEDI3	0.073	1.973
IBEA9	0.066	1.966	IIEDI2	0.060	1.960
IBEA8	0.131	2.031	IIEDI1	0.085	1.985
IBEA7	0.061	1.961	IIEDI0	0.088	1.988
IBEA6	0.041	1.941	IBBTFT	0.189	2.089
IBEA5	0.040	1.940	IDDRRQ	0.444	2.344
IBEA4	0.045	1.945	IDDWRQ	0.287	2.187
IBEA3	0.170	2.070	IDSEQ4	0.177	2.077
IBEA2	0.180	2.080	IDSEQ2	0.570	2.470
IIAACK	0.186	2.086	IDRRDY	0.495	2.395
IIDLDF	0.073	1.973	IDHUM	0.329	2.229
IIEDI31	0.062	1.962	IDEA27	0.425	2.325
IIEDI30	0.056	1.956	IDEA26	0.474	2.374
IIEDI29	0.103	2.003	IDEA25	0.401	2.301
IIEDI28	0.067	1.967	IDEA24	0.382	2.282
IIEDI27	0.053	1.953	IDEA23	0.345	2.245
IIEDI26	0.055	1.955	IDEA22	0.346	2.246
IIEDI25	0.077	1.977	IDEA21	0.399	2.299
IIEDI24	0.016	1.916	IDEA20	0.414	2.314
IIEDI23	0.064	1.964	IDEA19	0.283	2.183
IIEDI22	0.063	1.963	IDEA18	0.298	2.198
IIEDI21	0.065	1.965	IDEA17	0.303	2.203
IIEDI20	0.064	1.964	IDEA16	0.292	2.192

(1) 入力端子 (4/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
IDEA15	0.292	2.192	PHEVA	1.468	3.368
IDEA14	0.292	2.192	IFIROBE	0.470	2.370
IDEA13	0.270	2.170	IFIROPR	0.424	2.324
IDEA12	0.289	2.189	IFIRASE	0.715	2.615
IDEA11	0.277	2.177	IFIRABE	0.923	2.823
IDEA10	0.313	2.213	IFIMODE3	0.478	2.378
IDEA9	0.244	2.144	IFIMODE2	0.557	2.457
IDEA8	0.269	2.169	IFIUSWE	0.277	2.177
IDEA7	0.270	2.170	FCOMB	0.284	2.184
IDEA6	0.249	2.149	TBI39	0.022	1.922
IDEA5	0.273	2.173	TBI38	0.008	1.908
IDEA4	0.268	2.168	TBI37	0.009	1.909
IDEA3	0.290	2.190	TBI36	0.137	2.037
IDEA2	0.276	2.176	TBI35	0.497	2.397
IDEA1	0.331	2.231	TBI34	0.007	1.907
IDEA0	0.386	2.286	TBI33	0.146	2.046
DBI5	0.199	2.099	TBI32	0.134	2.034
DBI4	0.296	2.196	TBI31	0.011	1.911
DBI3	0.530	2.430	TBI30	0.012	1.912
DBI2	0.413	2.313	TBI29	0.009	1.909
DBI1	0.543	2.443	TBI28	0.009	1.909
DBI0	0.691	2.591	TBI27	0.011	1.911
EVASTB	0.459	2.359	TBI26	0.011	1.911
EVDSTB	0.091	1.991	TBI25	0.010	1.910
EVIREL	0.274	2.174	TBI24	0.009	1.909
EVCLRIP	0.035	1.935	TBI23	0.013	1.913
EVINTAK	0.150	2.050	TBI22	0.016	1.916
IFIROME	0.281	2.181	TBI21	0.011	1.911
IFIROB2	0.292	2.192	TBI20	0.051	1.951
IFIRA64	0.596	2.496	TBI19	0.043	1.943
IFIRA32	0.524	2.424	TBI18	0.169	2.069
IFIRA16	0.441	2.341	TBI17	0.035	1.935
IFIMAEN	0.363	2.263	TBI16	0.022	1.922
IFID256	0.424	2.324	TBI15	0.020	1.920
IFINSZ1	0.405	2.305	TBI14	0.017	1.917
IFINSZ0	0.573	2.473	TBI13	0.011	1.911
IFIWRTH	0.377	2.277	TBI12	0.039	1.939
IFIUNCH1	0.694	2.594	TBI11	0.035	1.935
IFIUNCH0	0.709	2.609	TBI10	0.027	1.927

(1) 入力端子 (5/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
TBI9	0.019	1.919	TBI2	0.007	1.907
TBI8	0.025	1.925	TBI1	0.008	1.908
TBI7	0.012	1.912	TBI0	0.013	1.913
TBI6	0.024	1.924	TEST	0.018	1.918
TBI5	0.045	1.945	BUNRI	0.371	2.271
TBI4	0.030	1.930	PHTDO1	0.535	2.435
TBI3	0.007	1.907	PHTDO0	0.535	2.435

(2) 出力端子 (1/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VPA13	3.250	-	-	DMACTV2	3.168	-	-
VPA12	3.243	-	-	DMACTV1	3.006	-	-
VPA11	3.243	-	-	DMACTV0	2.949	-	-
VPA10	3.239	-	-	IROMA19	13.008	-	-
VPA9	3.234	-	-	IROMA18	3.191	-	-
VPA8	3.245	-	-	IROMA17	3.177	-	-
VPA7	3.238	-	-	IROMA16	3.195	-	-
VPA6	3.241	-	-	IROMA15	3.079	-	-
VPA5	3.239	-	-	IROMA14	3.177	-	-
VPA4	3.228	-	-	IROMA13	3.168	-	-
VPA3	3.294	-	-	IROMA12	3.189	-	-
VPA2	3.293	-	-	IROMA11	3.186	-	-
VPA1	3.292	-	-	IROMA10	3.092	-	-
VPA0	3.211	-	-	IROMA9	3.095	-	-
VPWRITE	3.176	-	-	IROMA8	13.001	-	-
VPSTB	3.174	-	-	IROMA7	3.102	-	-
VPLOCK	3.254	-	-	IROMA6	6.532	-	-
VPUBENZ	3.294	-	-	IROMA5	6.536	-	-
VAACK	13.316	-	-	IROMA4	6.564	-	-
VBDC	13.021	-	-	IROMA3	6.525	-	-
SWSTOPRQ	4.630	-	-	IROMA2	6.531	-	-
HWSTOPRQ	12.809	-	-	IROMEN	12.912	-	-
STPRQ	4.578	-	-	IROMCS	4.754	-	-
DMTCO3	3.159	-	-	IROMIA	6.503	-	-
DMTCO2	3.180	-	-	IROMAE	12.933	-	-
DMTCO1	3.141	-	-	IRAMA27	3.040	-	-
DMTCO0	3.135	-	-	IRAMA26	3.246	-	-
DMACTV3	3.044	-	-	IRAMA25	3.273	-	-

(2) 出力端子 (2/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
IRAMA24	3.020	-	-	IRAOZ15	3.159	-	-
IRAMA23	3.030	-	-	IRAOZ14	3.362	-	-
IRAMA22	3.241	-	-	IRAOZ13	3.360	-	-
IRAMA21	3.032	-	-	IRAOZ12	3.351	-	-
IRAMA20	3.049	-	-	IRAOZ11	3.354	-	-
IRAMA19	3.298	-	-	IRAOZ10	3.349	-	-
IRAMA18	2.969	-	-	IRAOZ9	3.055	-	-
IRAMA17	3.293	-	-	IRAOZ8	3.155	-	-
IRAMA16	3.256	-	-	IRAOZ7	3.295	-	-
IRAMA15	3.292	-	-	IRAOZ6	3.293	-	-
IRAMA14	3.279	-	-	IRAOZ5	3.290	-	-
IRAMA13	3.290	-	-	IRAOZ4	3.289	-	-
IRAMA12	3.292	-	-	IRAOZ3	3.296	-	-
IRAMA11	4.957	-	-	IRAOZ2	3.339	-	-
IRAMA10	3.291	-	-	IRAOZ1	3.134	-	-
IRAMA9	3.179	-	-	IRAOZ0	3.333	-	-
IRAMA8	3.290	-	-	IRAMEN	3.292	-	-
IRAMA7	3.176	-	-	IRAMWR3	3.284	-	-
IRAMA6	3.292	-	-	IRAMWR2	3.288	-	-
IRAMA5	3.256	-	-	IRAMWR1	13.068	-	-
IRAMA4	3.273	-	-	IRAMWR0	3.287	-	-
IRAMA3	13.067	-	-	IRAMRWB	3.288	-	-
IRAMA2	3.287	-	-	IBAACK	3.296	-	-
IRAOZ31	3.061	-	-	IBDRDY	3.293	-	-
IRAOZ30	3.360	-	-	IBDLE3	12.933	-	-
IRAOZ29	3.359	-	-	IBDLE2	4.799	-	-
IRAOZ28	3.360	-	-	IBDLE1	4.803	-	-
IRAOZ27	3.350	-	-	IBDLE0	4.679	-	-
IRAOZ26	3.352	-	-	IBEDI31	3.292	-	-
IRAOZ25	3.211	-	-	IBEDI30	3.293	-	-
IRAOZ24	3.353	-	-	IBEDI29	3.270	-	-
IRAOZ23	3.357	-	-	IBEDI28	3.285	-	-
IRAOZ22	2.998	-	-	IBEDI27	3.294	-	-
IRAOZ21	3.345	-	-	IBEDI26	3.290	-	-
IRAOZ20	3.151	-	-	IBEDI25	3.287	-	-
IRAOZ19	3.347	-	-	IBEDI24	3.292	-	-
IRAOZ18	3.170	-	-	IBEDI23	3.294	-	-
IRAOZ17	3.362	-	-	IBEDI22	3.289	-	-
IRAOZ16	3.362	-	-	IBEDI21	3.288	-	-

(2) 出力端子 (3/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
IBEDI20	3.295	-	-	IIEA8	4.874	-	-
IBEDI19	3.295	-	-	IIEA7	13.046	-	-
IBEDI18	3.291	-	-	IIEA6	13.066	-	-
IBEDI17	3.293	-	-	IIEA5	13.068	-	-
IBEDI16	3.294	-	-	IIEA4	13.055	-	-
IBEDI15	3.292	-	-	IIEA3	12.956	-	-
IBEDI14	3.292	-	-	IIEA2	12.956	-	-
IBEDI13	3.290	-	-	IIBTFT	3.242	-	-
IBEDI12	3.289	-	-	IIRCAN	3.292	-	-
IBEDI11	3.293	-	-	BCUNCH	12.990	-	-
IBEDI10	3.286	-	-	IDDARQ	3.214	-	-
IBEDI9	3.286	-	-	IDAACK	2.990	-	-
IBEDI8	3.280	-	-	IRRSA	13.001	-	-
IBEDI7	3.283	-	-	IDRETR	9.004	-	-
IBEDI6	3.288	-	-	IDUNCH	3.286	-	-
IBEDI5	3.290	-	-	IDDRDY	12.877	-	-
IBEDI4	3.289	-	-	IDES	12.836	-	-
IBEDI3	3.282	-	-	DBO14	7.685	-	-
IBEDI2	3.289	-	-	DBO13	2.793	-	-
IBEDI1	3.285	-	-	DBO12	2.868	-	-
IBEDI0	3.287	-	-	DBO11	3.105	-	-
IIDRRQ	12.951	-	-	DBO10	2.700	-	-
IIEA25	12.929	-	-	DBO9	2.745	-	-
IIEA24	4.989	-	-	DBO8	2.813	-	-
IIEA23	4.982	-	-	DBO7	2.882	-	-
IIEA22	4.857	-	-	DBO6	2.877	-	-
IIEA21	4.951	-	-	DBO5	2.883	-	-
IIEA20	4.953	-	-	DBO4	2.761	-	-
IIEA19	6.533	-	-	DBO3	12.566	-	-
IIEA18	4.911	-	-	DBO2	12.614	-	-
IIEA17	6.529	-	-	DBO1	2.777	-	-
IIEA16	12.996	-	-	DBO0	2.894	-	-
IIEA15	13.040	-	-	EVIEN	3.261	-	-
IIEA14	13.060	-	-	EVOEN	4.988	-	-
IIEA13	13.038	-	-	EVINTRQ	4.675	-	-
IIEA12	4.945	-	-	EVINTLV6	12.810	-	-
IIEA11	13.067	-	-	EVINTLV5	12.708	-	-
IIEA10	12.966	-	-	EVINTLV4	12.760	-	-
IIEA9	13.066	-	-	EVINTLV3	12.708	-	-

(2) 出力端子 (4/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
EVINTLV2	6.212	-	-	TBO13	6.511	0.071	1.971
EVINTLV1	12.687	-	-	TBO12	6.513	0.069	1.969
EVINTLV0	12.683	-	-	TBO11	6.524	0.059	1.959
TBO34	4.959	0.036	1.936	TBO10	6.516	0.067	1.967
TBO33	4.950	0.045	1.945	TBO9	6.501	0.081	1.981
TBO32	4.932	0.063	1.963	TBO8	6.511	0.072	1.972
TBO31	4.864	0.131	2.031	TBO7	6.507	0.075	1.975
TBO30	4.672	0.323	2.223	TBO6	6.527	0.055	1.955
TBO29	4.780	0.215	2.115	TBO5	6.532	0.050	1.950
TBO28	4.889	0.106	2.006	TBO4	6.502	0.080	1.980
TBO27	6.343	0.239	2.139	TBO3	6.528	0.054	1.954
TBO26	6.503	0.080	1.980	TBO2	6.509	0.073	1.973
TBO25	6.257	0.325	2.225	TBO1	6.519	0.063	1.963
TBO24	6.469	0.113	2.013	TBO0	6.518	0.065	1.965
TBO23	6.488	0.094	1.994	TESEN	3.174	-	-
TBO22	6.462	0.121	2.021	VPTCLK	3.250	-	-
TBO21	6.445	0.137	2.037	PHTDIN1	3.288	-	-
TBO20	6.500	0.083	1.983	PHTDIN0	3.290	-	-
TBO19	6.515	0.067	1.967	VPRESZ	4.731	-	-
TBO18	6.441	0.141	2.041	PHTEST	12.785	-	-
TBO17	6.485	0.097	1.997	TMODE1	2.483	-	-
TBO16	6.506	0.076	1.976	TMODE0	2.758	-	-
TBO15	4.937	0.058	1.958	TBREDZ	3.113	-	-
TBO14	6.480	0.103	2.003				

(3) 入出力端子 (1/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VPD15	5.962	0.620	2.520	VPD4	5.962	0.620	2.520
VPD14	5.897	0.686	2.586	VPD3	5.936	0.646	2.546
VPD13	5.843	0.740	2.640	VPD2	5.908	0.675	2.575
VPD12	5.846	0.736	2.636	VPD1	5.906	0.676	2.576
VPD11	5.907	0.675	2.575	VPD0	5.912	0.670	2.570
VPD10	5.921	0.661	2.561	VBA27	4.343	0.652	2.552
VPD9	5.902	0.680	2.580	VBA26	4.252	0.743	2.643
VPD8	5.910	0.672	2.572	VBA25	2.661	0.678	2.578
VPD7	5.946	0.636	2.536	VBA24	4.336	0.659	2.559
VPD6	5.954	0.629	2.529	VBA23	4.352	0.643	2.543
VPD5	5.922	0.661	2.561	VBA22	4.302	0.693	2.593

(3) 入出力端子 (2/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VBA21	4.316	0.679	2.579	VBD14	3.469	1.525	3.425
VBA20	4.307	0.687	2.587	VBD13	3.563	1.432	3.332
VBA19	4.304	0.691	2.591	VBD12	3.537	1.458	3.358
VBA18	4.236	0.758	2.658	VBD11	3.500	1.494	3.394
VBA17	4.195	0.800	2.700	VBD10	3.444	1.551	3.451
VBA16	2.614	0.724	2.624	VBD9	3.596	1.399	3.299
VBA15	4.235	0.760	2.660	VBD8	3.389	1.606	3.506
VBA14	4.291	0.704	2.604	VBD7	3.267	1.728	3.628
VBA13	4.201	0.794	2.694	VBD6	3.133	1.862	3.762
VBA12	4.181	0.814	2.714	VBD5	3.250	1.745	3.645
VBA11	4.201	0.794	2.694	VBD4	3.205	1.790	3.690
VBA10	4.196	0.799	2.699	VBD3	3.186	1.808	3.708
VBA9	4.220	0.775	2.675	VBD2	3.173	1.822	3.722
VBA8	4.229	0.766	2.666	VBD1	3.211	1.784	3.684
VBA7	4.174	0.821	2.721	VBD0	3.215	1.780	3.680
VBA6	4.186	0.809	2.709	VBTTYP1	5.827	0.756	2.656
VBA5	4.255	0.740	2.640	VBTTYP0	5.809	0.773	2.673
VBA4	4.219	0.776	2.676	VBSTZ	2.596	0.742	2.642
VBA3	4.191	0.804	2.704	VBBENZ3	5.737	0.845	2.745
VBA2	4.212	0.783	2.683	VBBENZ2	5.783	0.799	2.699
VBA1	4.179	0.816	2.716	VBBENZ1	5.689	0.894	2.794
VBA0	4.161	0.834	2.734	VBBENZ0	5.599	0.983	2.883
VBD31	3.720	1.275	3.175	VBSIZE1	4.081	0.914	2.814
VBD30	3.419	1.576	3.476	VBSIZE0	4.208	0.787	2.687
VBD29	3.733	1.262	3.162	VBWRITE	2.543	0.796	2.696
VBD28	3.690	1.304	3.204	VBLOCK	4.130	0.865	2.765
VBD27	3.823	1.172	3.072	VBCTYP2	4.176	0.819	2.719
VBD26	3.651	1.344	3.244	VBCTYP1	2.612	0.727	2.627
VBD25	3.760	1.235	3.135	VBCTYP0	2.564	0.775	2.675
VBD24	3.737	1.258	3.158	VBSEQ2	4.204	0.791	2.691
VBD23	3.724	1.271	3.171	VBSEQ1	4.174	0.821	2.721
VBD22	3.706	1.289	3.189	VBSEQ0	4.199	0.796	2.696
VBD21	3.699	1.296	3.196	VBBSTR	2.595	0.744	2.644
VBD20	3.705	1.290	3.190	VBWAIT	5.742	0.840	2.740
VBD19	3.751	1.244	3.144	VBLAST	5.785	0.797	2.697
VBD18	3.668	1.327	3.227	VBAHLD	5.811	0.771	2.671
VBD17	3.741	1.254	3.154	VDCSZ7	4.336	0.659	2.559
VBD16	3.617	1.377	3.277	VDCSZ6	4.347	0.648	2.548
VBD15	3.458	1.537	3.437	VDCSZ5	4.344	0.651	2.551

(3) 入出力端子 (3/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VDCSZ4	4.291	0.704	2.604	IDED1	5.912	0.670	2.570
VDCSZ3	4.369	0.626	2.526	IDED0	5.895	0.688	2.588
VDCSZ2	4.336	0.659	2.559	DBB15	4.055	0.940	2.840
VDCSZ1	4.357	0.637	2.537	DBB14	4.023	0.972	2.872
VDCSZ0	4.347	0.648	2.548	DBB13	4.031	0.964	2.864
VDSELPZ	4.180	0.815	2.715	DBB12	4.012	0.983	2.883
IDED31	5.749	0.833	2.733	DBB11	3.993	1.002	2.902
IDED30	4.419	0.576	2.476	DBB10	3.999	0.996	2.896
IDED29	5.798	0.785	2.685	DBB9	3.971	1.024	2.924
IDED28	5.798	0.784	2.684	DBB8	4.019	0.976	2.876
IDED27	4.424	0.571	2.471	DBB7	4.012	0.982	2.882
IDED26	5.819	0.763	2.663	DBB6	4.028	0.967	2.867
IDED25	5.809	0.774	2.674	DBB5	3.949	1.046	2.946
IDED24	5.767	0.815	2.715	DBB4	4.002	0.993	2.893
IDED23	5.726	0.856	2.756	DBB3	3.863	1.131	3.031
IDED22	5.764	0.818	2.718	DBB2	3.952	1.043	2.943
IDED21	5.833	0.750	2.650	DBB1	4.051	0.944	2.844
IDED20	5.786	0.797	2.697	DBB0	4.048	0.947	2.847
IDED19	5.751	0.831	2.731	EVAD15	5.971	0.611	2.511
IDED18	4.236	0.759	2.659	EVAD14	5.886	0.696	2.596
IDED17	4.229	0.766	2.666	EVAD13	5.659	0.923	2.823
IDED16	4.275	0.720	2.620	EVAD12	5.842	0.740	2.640
IDED15	5.815	0.767	2.667	EVAD11	5.852	0.731	2.631
IDED14	5.832	0.750	2.650	EVAD10	5.927	0.655	2.555
IDED13	5.866	0.717	2.617	EVAD9	5.914	0.668	2.568
IDED12	5.829	0.754	2.654	EVAD8	5.923	0.660	2.560
IDED11	5.834	0.748	2.648	EVAD7	5.981	0.606	2.506
IDED10	5.861	0.721	2.621	EVAD6	5.992	0.595	2.495
IDED9	5.817	0.765	2.665	EVAD5	5.917	0.666	2.566
IDED8	5.853	0.729	2.629	EVAD4	5.965	0.618	2.518
IDED7	5.843	0.739	2.639	EVAD3	5.949	0.639	2.539
IDED6	5.841	0.741	2.641	EVAD2	5.730	0.852	2.752
IDED5	5.898	0.684	2.584	EVAD1	5.942	0.641	2.541
IDED4	5.892	0.690	2.590	EVAD0	5.799	0.783	2.683
IDED3	5.856	0.726	2.626	EVLKRT	6.013	0.569	2.469
IDED2	5.856	0.727	2.627				

7.2 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには、初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

7.3 端子機能一覧

(1/4)

端子名		入出力	機能
NPB用端子	VPA13-VPA0	出力	NPBに接続された周辺マクロ用アドレス出力
	VPD15-VPD0 ^注	入出力	NPBに接続された周辺マクロ用データ入出力
	VPWRITE	出力	VPD15-VPD0信号のライト・アクセス・ストロブ出力
	VPSTB	出力	VPD15-VPD0信号のデータ・ストロブ出力
	VPLOCK	出力	バス・ロック出力
	VPUBENZ	出力	上位バイト・イネーブル出力
	VPRETR ^注	入力	NPBに接続された周辺マクロからのリトライ要求入力
	VPDACT	入力	リトライ機能制御入力
VSB用端子	VAREQ	入力	バス使用権要求入力
	VAACK	出力	バス使用権アクノリッジ出力
	VBA27-VBA0 ^注	入出力	VSBに接続された周辺マクロ用アドレス入出力
	VBD31-VBD0 ^注	入出力	VSBに接続された周辺マクロ用データ入出力
	VBTTYP1, VBTTYP0 ^注	入出力	バス転送タイプ入出力
	VBSTZ ^注	入出力	転送スタート入出力
	VBBENZ3-VBBENZ0 ^注	入出力	バイト・イネーブル入出力
	VBSIZE1, VBSIZE0 ^注	入出力	転送サイズ入出力
	VBWRITE ^注	入出力	リード/ライト・ステータス入出力
	VBLOCK ^注	入出力	バス・ロック入出力
	VBCTYP2-VBCTYP0 ^注	入出力	バス・サイクル・ステータス入出力
	VBSEQ2-VBSEQ0 ^注	入出力	シーケンシャル・ステータス入出力
	VBBSTR ^注	入出力	バースト・リード・ステータス入出力
	VBWAIT ^注	入出力	ウェイト・レスポンス入出力
	VBLAST ^注	入出力	ラスト・レスポンス入出力
	VBAHLD ^注	入出力	アドレス・ホールド・レスポンス入出力
	VBDC	出力	データ・バス方向制御出力
	VDCSZ7-VDCSZ0 ^注	入出力	チップ・セレクト入出力
	VDSELPZ ^注	入出力	周辺 I/O 領域アクセス・ステータス入出力
システム 制御用端子	DCRESZ	入力	システム・リセット入力
	VBCLK	入力	内部システム・クロック入力
	CGREL	入力	クロック・ジェネレータ・リリース入力
	SWSTOPRQ	出力	クロック・ジェネレータへのソフトウェア STOP モード要求出力
	HWSTOPRQ	出力	クロック・ジェネレータへのハードウェア STOP モード要求出力
	DCSTOPZ	入力	ハードウェア STOP モード要求入力
	STPRQ	出力	MEMC へのハードウェア/ソフトウェア STOP モード要求出力
	STPAK	入力	MEMC の STPRQ 入力に対するアクノリッジ入力

注 内部でバス・ホルダが接続されています。

端子名		入出力	機能
DMAC 用端子	IDMASTP	入力	DMA 転送終了入力
	DMARQ3-DMARQ0	入力	DMA 転送要求入力
	DMTCO3-DMTCO0	出力	ターミナル・カウント (DMA 転送完了) 出力
	DMACTV3-DMACTV0	出力	DMA アクノリッジ出力
INTC 用端子	DCNMI2-DCNMI0	入力	ノンマスカブル割り込み要求 (NMI) 入力
	INT63-INT0	入力	マスカブル割り込み要求入力
VFB 用端子	IROMA19-IROMA2	出力	ROM 用アドレス出力
	IROMZ31-IROMZ0	入力	ROM 用データ入力
	IROMEN	出力	ROM 用アクセス・イネーブル出力
	IROMWT	入力	ROM 用ウエイト入力
	IROMCS	出力	NEC の予約端子 (オープンにしてください)
	IROMIA	出力	
	IROMAE	出力	
VDB 用端子	IRAMA27-IRAMA2	出力	RAM 用アドレス出力
	IRAMZ31-IRAMZ0	入力	RAM 用データ入力
	IRAOZ31-IRAOZ0	出力	RAM 用データ出力
	IRAMEN	出力	RAM 用アクセス・イネーブル出力
	IRAMWR3-IRAMWR0	出力	RAM 用ライト・イネーブル出力
	IRAMRWB	出力	RAM 用リード/ライト・ステータス出力
	IRAMWT	入力	RAM 用ウエイト入力
命令キャッシュ用 端子	IBDRRQ	入力	命令キャッシュからのフェッチ要求入力
	IBEA25-IBEA2	入力	命令キャッシュからのフェッチ・アドレス入力
	IBAACK	出力	命令キャッシュへのアドレス・アクノリッジ出力
	IBDRDY	出力	命令キャッシュへのデータ・レディ出力
	IBDLE3-IBDLE0	出力	命令キャッシュへのデータ・ラッチ・イネーブル出力
	IBEDI31-IBEDI0	出力	命令キャッシュへのデータ出力
	IIDRRQ	出力	命令キャッシュへのフェッチ要求出力
	IIEA25-IIEA2	出力	命令キャッシュへのフェッチ・アドレス出力
	IIAACK	入力	命令キャッシュからのアドレス・アクノリッジ入力
	IIDLEF	入力	命令キャッシュからのデータ・ラッチ・イネーブル入力
	IIEDI31-IIEDI0	入力	命令キャッシュからのデータ入力
	IIBTFT	出力	命令キャッシュへのブランチ・ターゲット・フェッチ・ステータス出力
	IIRCAN	出力	命令キャッシュへのコード・キャンセル・ステータス出力
	BCUNCH	出力	命令キャッシュへのアンキャッシュ・ステータス出力
	IBBTFT	入力	NEC の予約端子 (ロウ・レベルを入力にしてください)

備考 VFB : V850E フェッチ・バス

VDB : V850E データ・バス

端子名		入出力	機能
データ・ キャッシュ用端子	IDDARQ	出力	データ・キャッシュへのリード/ライト・アクセス要求出力
	IDAACK	出力	アクノリッジ出力
	IDDRRQ	入力	BCU への VSB リード・オペレーション要求入力
	IDDWRQ	入力	BCU への VSB ライト・オペレーション要求入力
	IDSEQ4	入力	リード/ライト動作タイプ設定入力
	IDSEQ2	入力	リード/ライト動作タイプ設定入力
	IRRSA	出力	VDB ホールド・ステータス出力
	IDRETR	出力	リード・リトライ要求出力
	IDUNCH	出力	アンキャッシュ・ステータス出力
	IDDRDY	出力	リード・データ・レディ出力
	IDRRDY	入力	データ・キャッシュからのリード・データ・レディ入力
	IDHUM	入力	ヒット・アンダ・ミスヒット・リード入力
	IDEA27-IDEA0	入力	アドレス入力
	IDED31-IDED0 ^{注1}	入出力	データ入出力
	IDES	出力	NEC の予約端子 ^{注2}
RCU 用端子	DBI5-DBI0	入力	ディバグ制御入力
	DBO14-DBO0	出力	ディバグ制御出力
	DBB15-DBB0 ^{注1}	入出力	ディバグ制御入出力
周辺エパッチ・ モード用端子	EVASTB	入力	アドレス・ストロープ入力
	EVDSTB	入力	データ・ストロープ入力
	EVAD15-EVAD0 ^{注1}	入出力	アドレス/データ入出力
	EVIEN	出力	EVADn 入力イネーブル出力 (n = 15-0)
	EVOEN	出力	EVADn 出力イネーブル出力 (n = 15-0)
	EVLKRT ^{注1}	入出力	ロック/リトライ入出力
	EVIREL	入力	スタンバイ・リリース入力
	EVCLRIP	入力	ISPR クリア入力
	EVINTAK	入力	割り込みアクノリッジ入力
	EVINTRQ	出力	割り込み要求出力
	EVINTLV6-EVINTLV0	出力	割り込みベクタ出力
動作モード設定用 端子	IFIROME	入力	ROM マッピング・イネーブル入力
	IFIROB2	入力	ROM 領域の配置設定入力
	IFIRA64	入力	RAM 領域サイズ選択入力
	IFIRA32	入力	RAM 領域サイズ選択入力
	IFIRA16	入力	RAM 領域サイズ選択入力
	IFIMAEN	入力	ミス・アライン・アクセス設定入力
	IFID256	入力	データ領域設定入力
	IFINSZ1, IFINSZ0	入力	VSB データ・バス・サイズ選択入力

注1. 内部でバス・ホルダが接続されています。

2. データ・キャッシュを使用するときは、必ずデータ・キャッシュの IDES 端子に接続してください。未使用時はオープンにしてください。

端子名	入出力	機能		
動作モード設定用 端子	IFIWRTH	入力	データ・キャッシュのライト・バック/ライト・スルー・モード選択入力	
	IFIUNCH1	入力	データ・キャッシュ設定入力	
	IFIUNCH0	入力	命令キャッシュ設定入力	
	PHEVA	入力	周辺エバチップ・モード設定入力	
	IFIROBE	入力	NECの予約端子(ロウ・レベルを入力してください)	
	IFIROPR	入力		
	IFIRASE	入力		
	IFIRABE	入力		
	IFIMODE3	入力		
	IFIMODE2	入力		
	IFIUSWE	入力		
	FCOMB	入力		
テスト・モード用 端子	TBI39-TBI0	入力		入力テスト・バス
	TBO34-TBO0	出力		出力テスト・バス
	TEST	入力	テスト・バス・コントロール入力	
	BUNRI	入力	ノーマル/テスト・モード選択入力	
	PHTDO1, PHTDO0 ^注	入力	周辺マクロ・テスト入力	
	TESEN	出力	周辺マクロ・テスト・イネーブル出力	
	VPTCLK	出力	周辺マクロ・テスト用クロック出力	
	PHTDIN1, PHTDIN0	出力	周辺マクロ・テスト出力	
	VPRESZ	出力	周辺マクロ・リセット出力	
	PHTEST	出力	周辺テスト・モード・ステータス出力	
	TMODE1	出力	テスト・モード選択出力	
	TMODE0	出力	NECの予約端子(オープンにしてください)	
	TBREDZ	出力		

注 内部でバス・ホルダが接続されています。

7.4 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

7.4.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

7.4.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	15.0			ns

7.4.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

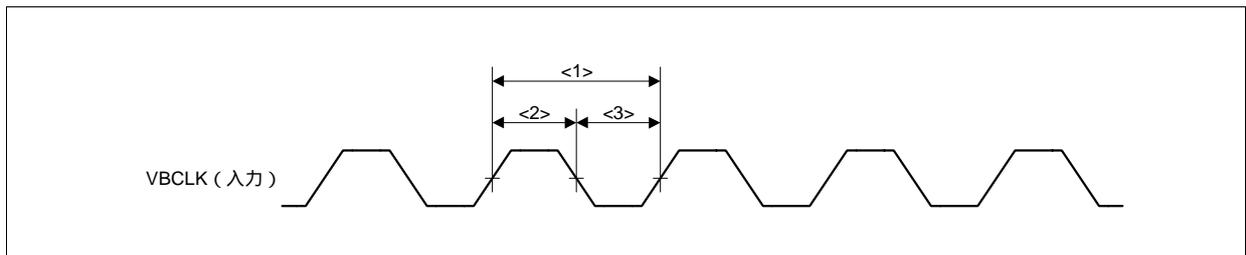
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1}	通常動作モード時		0.5	0.6	mA/MHz
	I _{DD2}	HALT モード時 (DMAC 非動作時)		0.17	0.2	mA/MHz
	I _{DD3}	STOP モード時		0	1.0	μA

備考 TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

7.4.4 AC 特性 (TA = -40 ~ +85°C, VDD = 3.3V ± 0.3V)

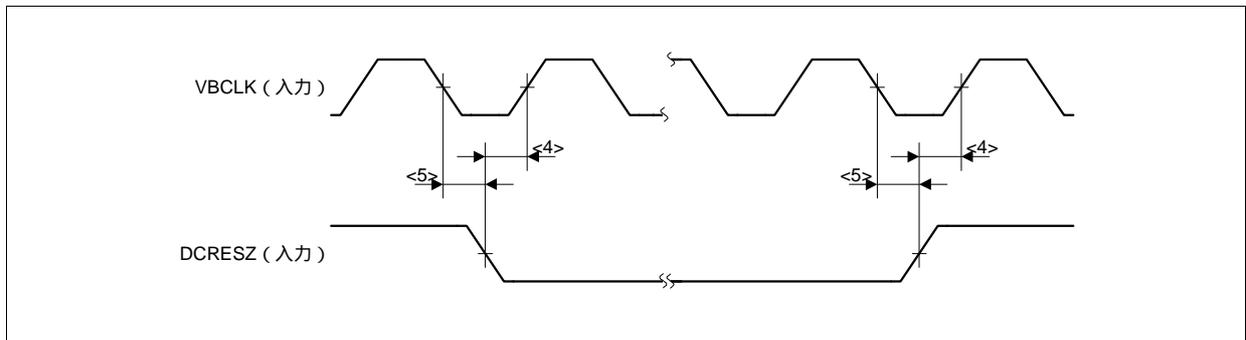
(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1> t _{CYK}		15.0		ns
VBCLK 入力ハイ・レベル幅	<2> t _{KKH}		7.5		ns
VBCLK 入力ロウ・レベル幅	<3> t _{KKL}		7.5		ns
CPU 動作周波数	- φ		0	66	MHz



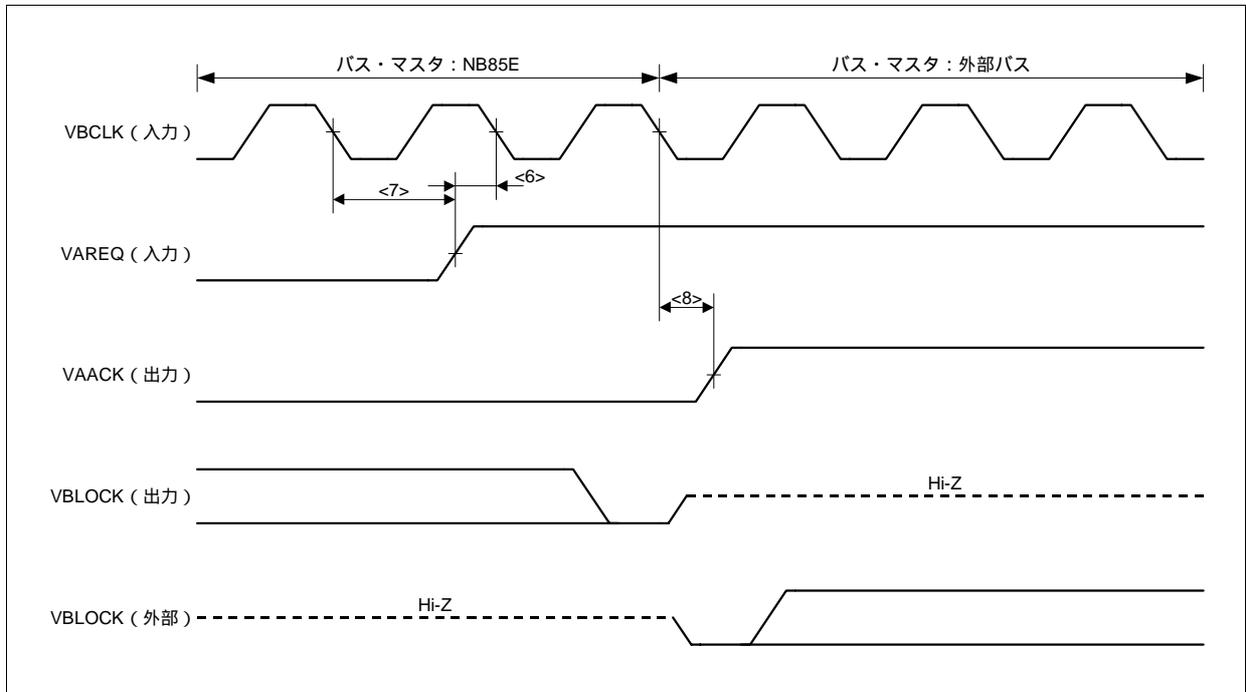
(2) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
DCRESZ 設定時間 (対 VBCLK↑)	<4> t _{SKR}		2.0		ns
DCRESZ 保持時間 (対 VBCLK↓)	<5> t _{HKR}		1.9		ns
DCRESZ → VPRESZ 遅延時間	- t _{DRPR}		1	2.5	ns



(3) VSB アービトレーション・タイミング

項目	略号	条件	MIN.	MAX.	単位
VAREQ 設定時間 (対 VBCLK↓)	<6>	t _{SKQ}	0		ns
VAREQ 保持時間 (対 VBCLK↓)	<7>	t _{HKQ}	3.4		ns
VBCLK↓ → VAACK 遅延時間	<8>	t _{DKK}	1.3	4.7	ns

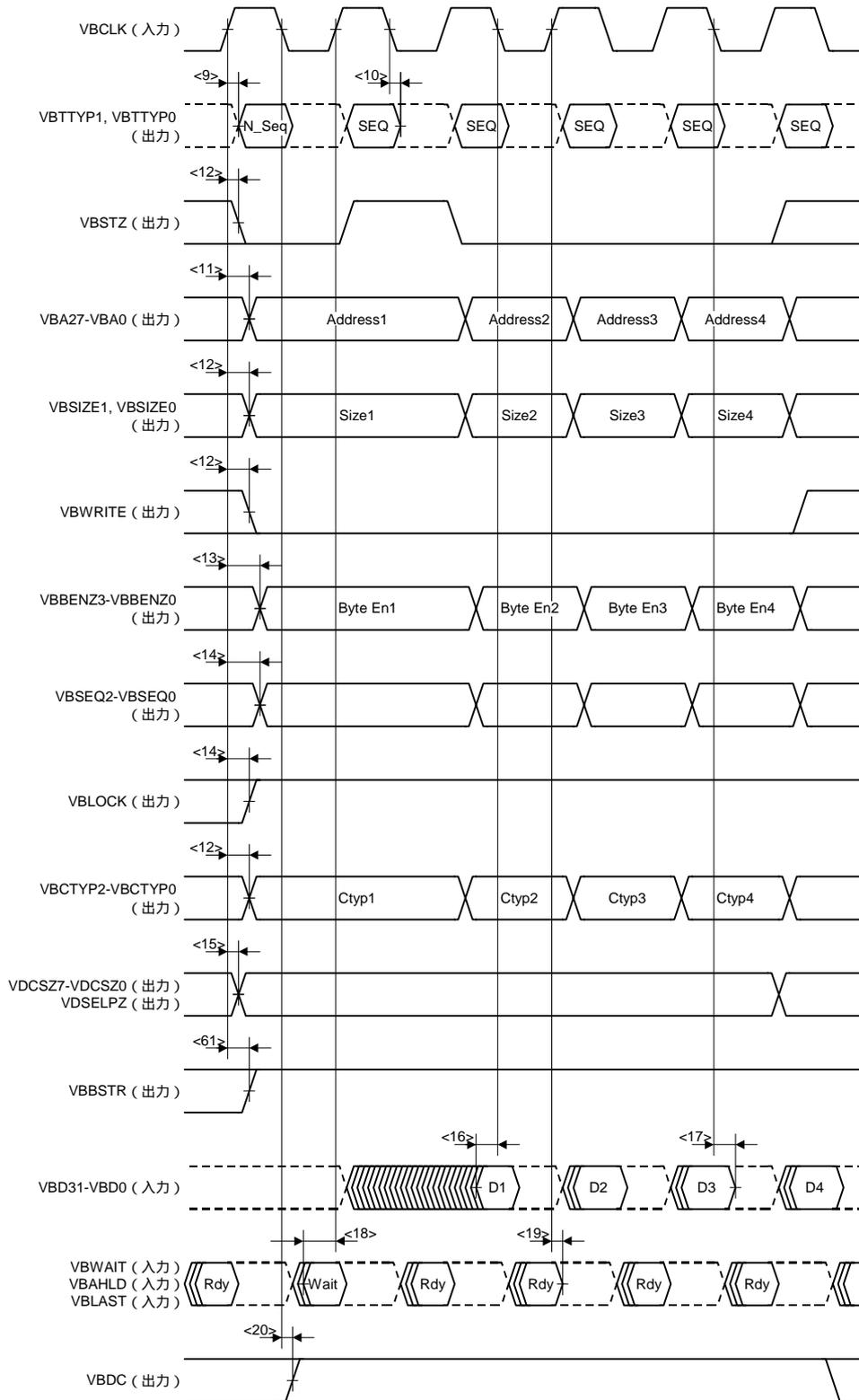


[メモ]

(4) VSB マスタ・リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → VBTTYP 遅延時間	<9>	t _{DKT}	1.3	4.1	ns
VBTTYP 保持時間 (対 VBCLK↓)	<10>	t _{HKT}	2.8		ns
VBCLK↑ → VBA 遅延時間	<11>	t _{DKA}	1.3	6.3	ns
VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間	<12>	t _{DKS1}	1.3	6.1	ns
VBCLK↑ → VBBENZ 遅延時間	<13>	t _{DKS2}	1.3	6.7	ns
VBCLK↑ → VBSEQ, VBLOCK 遅延時間	<14>	t _{DKS3}	1.3	6.6	ns
VBCLK↑ → VDGSZ, VDSELPZ 遅延時間	<15>	t _{DKC}	1.3	5.6	ns
VBCLK↑ → VBBSTR 遅延時間	<61>	t _{DKBSR}	1.3	5.5	ns
VBD データ設定時間 (対 VBCLK↓)	<16>	t _{SKD}	0		ns
VBD データ保持時間 (対 VBCLK↓)	<17>	t _{HKD}	2.8		ns
VBWAIT, VBAHLD, VBLAST 設定時間 (対 VBCLK↑)	<18>	t _{SKW}	0		ns
VBWAIT, VBAHLD, VBLAST 保持時間 (対 VBCLK↑)	<19>	t _{HKW}	2.9		ns
VBCLK↓ → VBDC 遅延時間	<20>	t _{DKS4}	1.3	4.7	ns

(4) VSB マスタ・リード・タイミング (2/2)



備考 1. 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

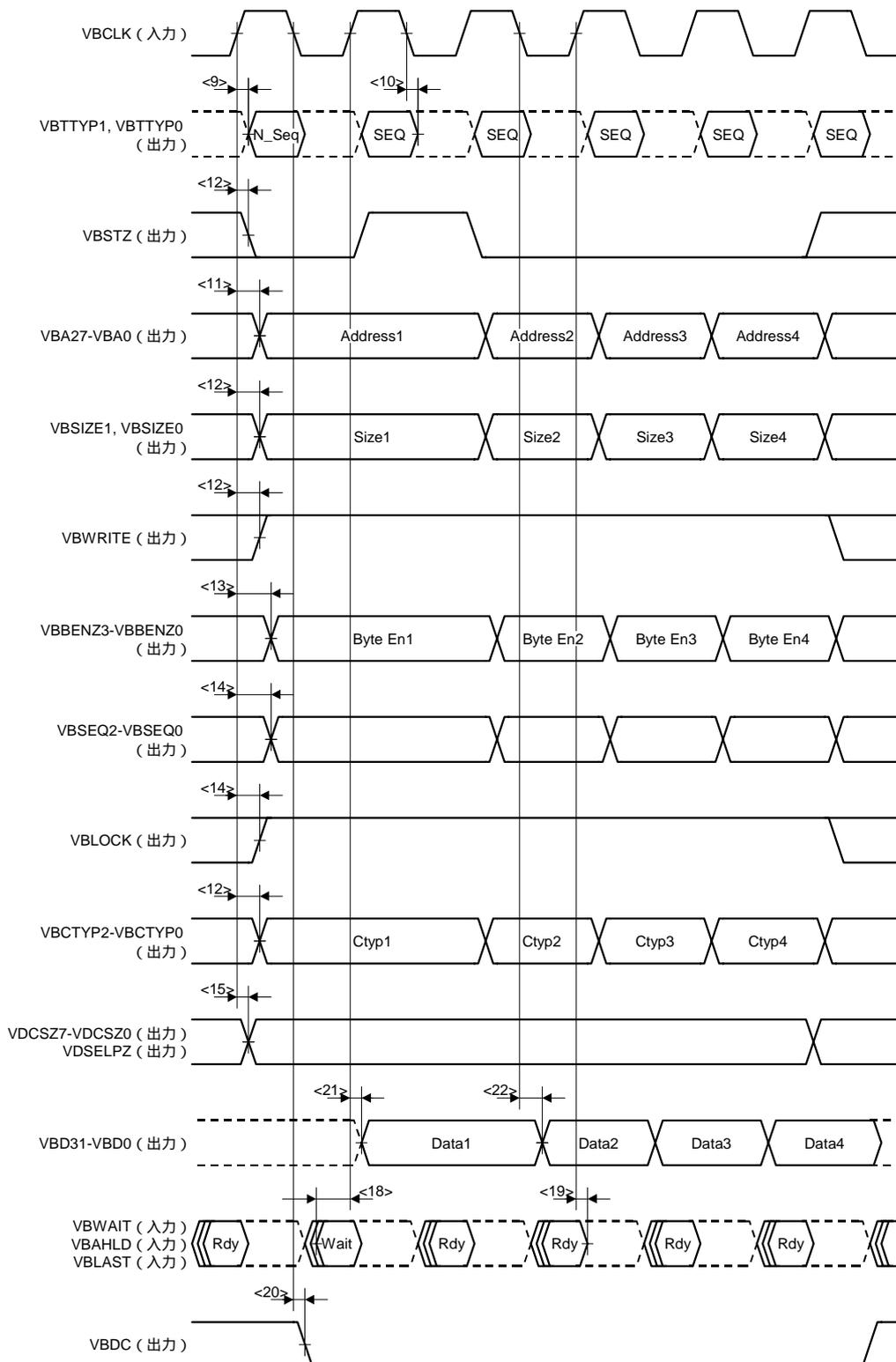
2. Rdy : VBWAIT, VBAHLD, VBLAST 信号がすべてロウ・レベルのとき

Wait : VBWAIT 信号がハイ・レベル, VBAHLD, VBLAST 信号がロウ・レベルのとき

(5) VSB マスタ・ライト・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → VBTTYP 遅延時間	<9>	t _{DKT}	1.3	4.1	ns
VBTTYP 保持時間 (対 VBCLK↓)	<10>	t _{HKT}	2.8		ns
VBCLK↑ → VBA 遅延時間	<11>	t _{DKA}	1.3	6.3	ns
VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間	<12>	t _{DKS1}	1.3	6.1	ns
VBCLK↑ → VBBENZ 遅延時間	<13>	t _{DKS2}	1.3	6.7	ns
VBCLK↑ → VBSEQ, VBLOCK 遅延時間	<14>	t _{DKS3}	1.3	6.6	ns
VBCLK↑ → VDGSZ, VDSELPZ 遅延時間	<15>	t _{DKC}	1.3	5.6	ns
VBWAIT, VBAHLD, VBLAST 設定時間 (対 VBCLK↑)	<18>	t _{SKW}	0		ns
VBWAIT, VBAHLD, VBLAST 保持時間 (対 VBCLK↑)	<19>	t _{HKW}	2.9		ns
VBCLK↓ → VBDC 遅延時間	<20>	t _{DKS4}	1.3	4.7	ns
VBCLK↑ → VBD データ遅延時間	<21>	t _{DKD0}	0	5.5	ns
VBCLK↓ → VBD データ遅延時間	<22>	t _{DKD1}	1.2	5.8	ns

(5) VSB マスタ・ライト・タイミング (2/2)



備考 1. 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

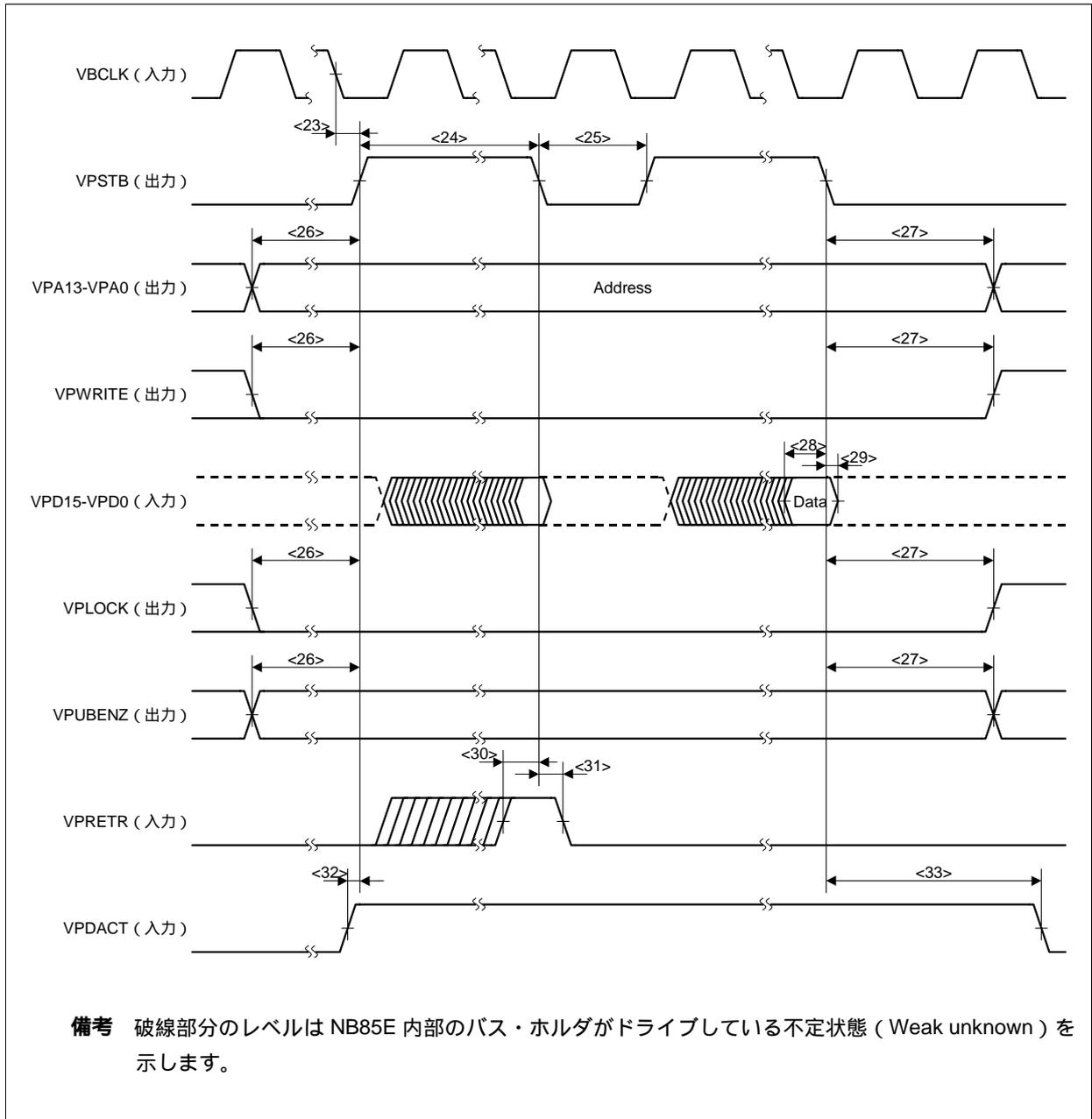
2. Rdy : VBWAIT, VBAHLD, VBLAST 信号がすべてロウ・レベルのとき

Wait : VBWAIT 信号がハイ・レベル, VBAHLD, VBLAST 信号がロウ・レベルのとき

(6) NPB リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → VPSTB 遅延時間	<23>	t _{DKP}	2.5	7.8	ns
VPSTB 出力ハイ・レベル幅	<24>	t _{SSH}	60		ns
VPSTB 出力ロウ・レベル幅	<25>	t _{SSL}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 設定時間 (対 VPSTB↑)	<26>	t _{SSA}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 保持時間 (対 VPSTB↓)	<27>	t _{HSA}	20		ns
VPD リード・データ設定時間 (対 VPSTB↓)	<28>	t _{SSD}	20		ns
VPD リード・データ保持時間 (対 VPSTB↓)	<29>	t _{HSD}	0		ns
VPRETR 設定時間 (対 VPSTB↓)	<30>	t _{SSR}	20		ns
VPRETR 保持時間 (対 VPSTB↓)	<31>	t _{HSR}	0		ns
VPDACT 設定時間 (対 VPSTB↑)	<32>	t _{SSC}	20		ns
VPDACT 保持時間 (対 VPSTB↓)	<33>	t _{HSC}	20		ns

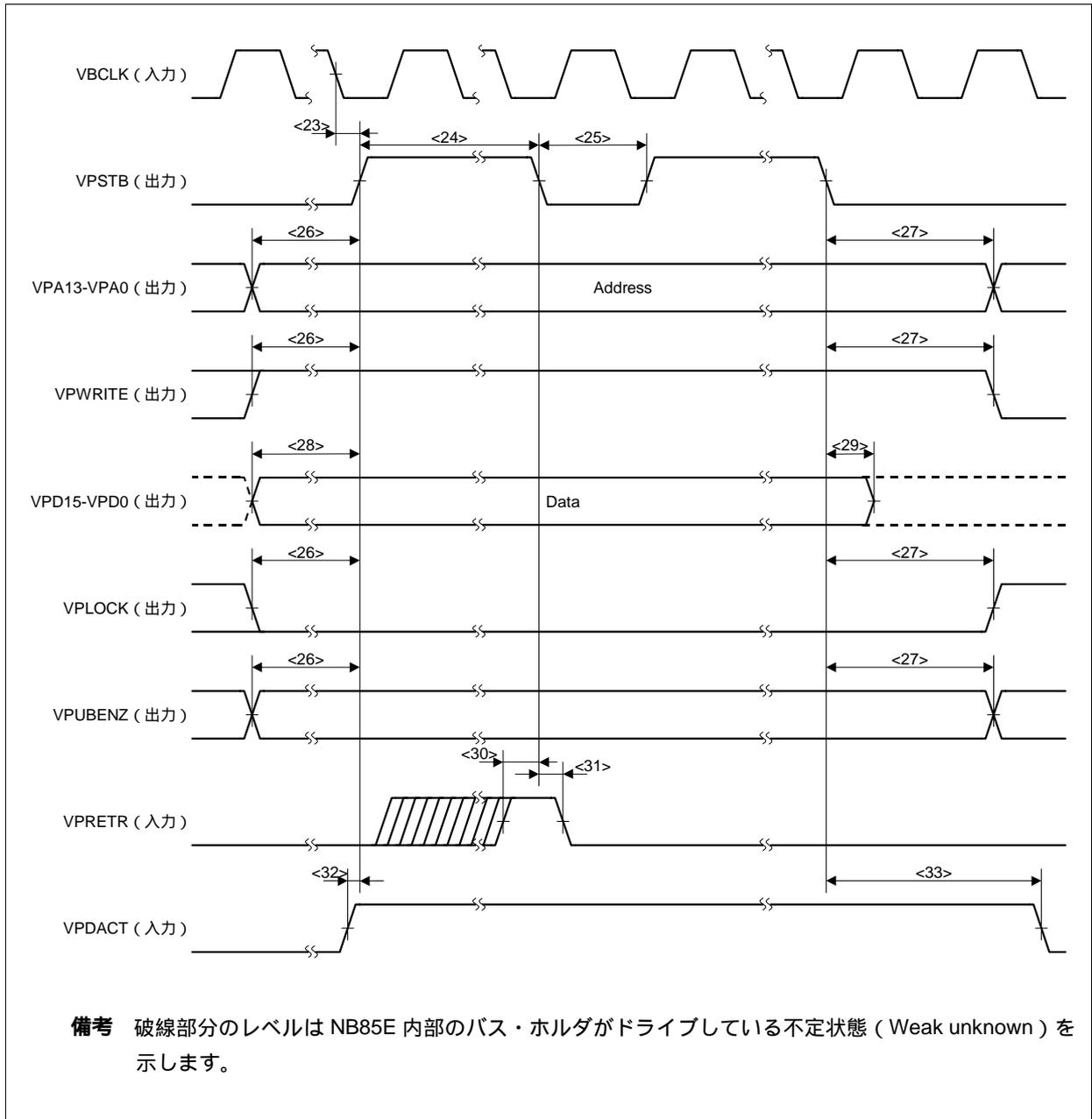
(6) NPB リード・タイミング (2/2)



(7) NPB ライト・タイミング (1/2)

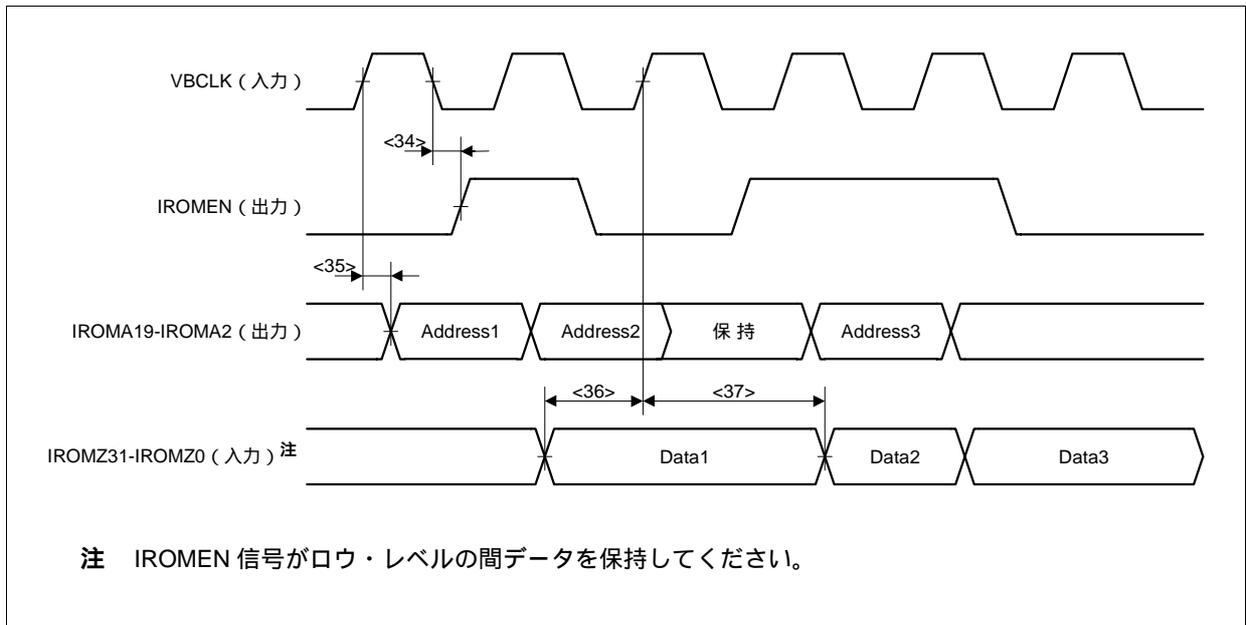
項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → VPSTB 遅延時間	<23>	t _{DKP}	2.5	7.8	ns
VPSTB 出力ハイ・レベル幅	<24>	t _{SSH}	60		ns
VPSTB 出力ロウ・レベル幅	<25>	t _{SSL}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 設定時間 (対 VPSTB↑)	<26>	t _{SSA}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 保持時間 (対 VPSTB↓)	<27>	t _{HSA}	20		ns
VPD ライト・データ設定時間 (対 VPSTB↑)	<28>	t _{SSD}	20		ns
VPD ライト・データ保持時間 (対 VPSTB↓)	<29>	t _{HSD}	20		ns
VPRETR 設定時間 (対 VPSTB↓)	<30>	t _{SSR}	20		ns
VPRETR 保持時間 (対 VPSTB↓)	<31>	t _{HSR}	0		ns
VPDACT 設定時間 (対 VPSTB↑)	<32>	t _{SSC}	20		ns
VPDACT 保持時間 (対 VPSTB↓)	<33>	t _{HSC}	20		ns

(7) NPB ライト・タイミング (2/2)



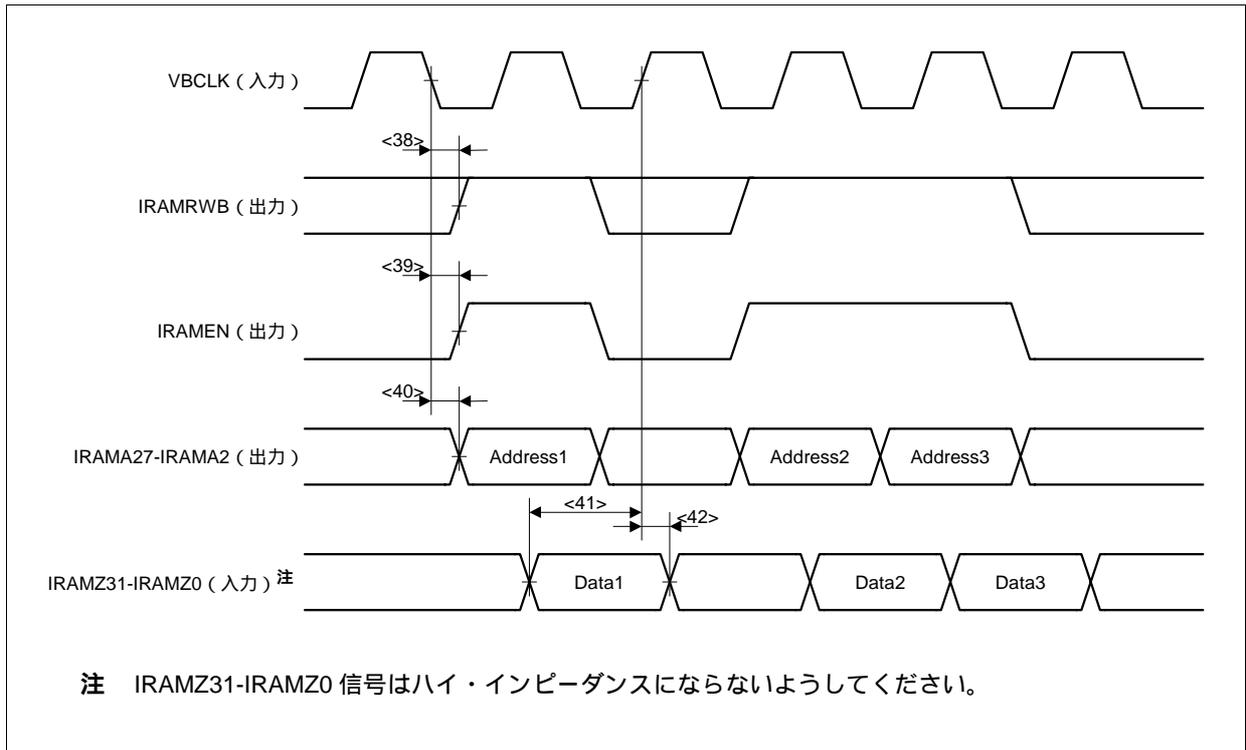
(8) VFB アクセス・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IROMEN 遅延時間	<34>	t _{DKROE}	1.3	8.9	ns
VBCLK↑ → IROMA 遅延時間	<35>	t _{DKROA}	1.3	11.8	ns
IROMZ 設定時間 (対 VBCLK↑)	<36>	t _{SKROZ}	3.4		ns
IROMZ 保持時間 (対 VBCLK↑)	<37>	t _{HKROZ}	3.2		ns



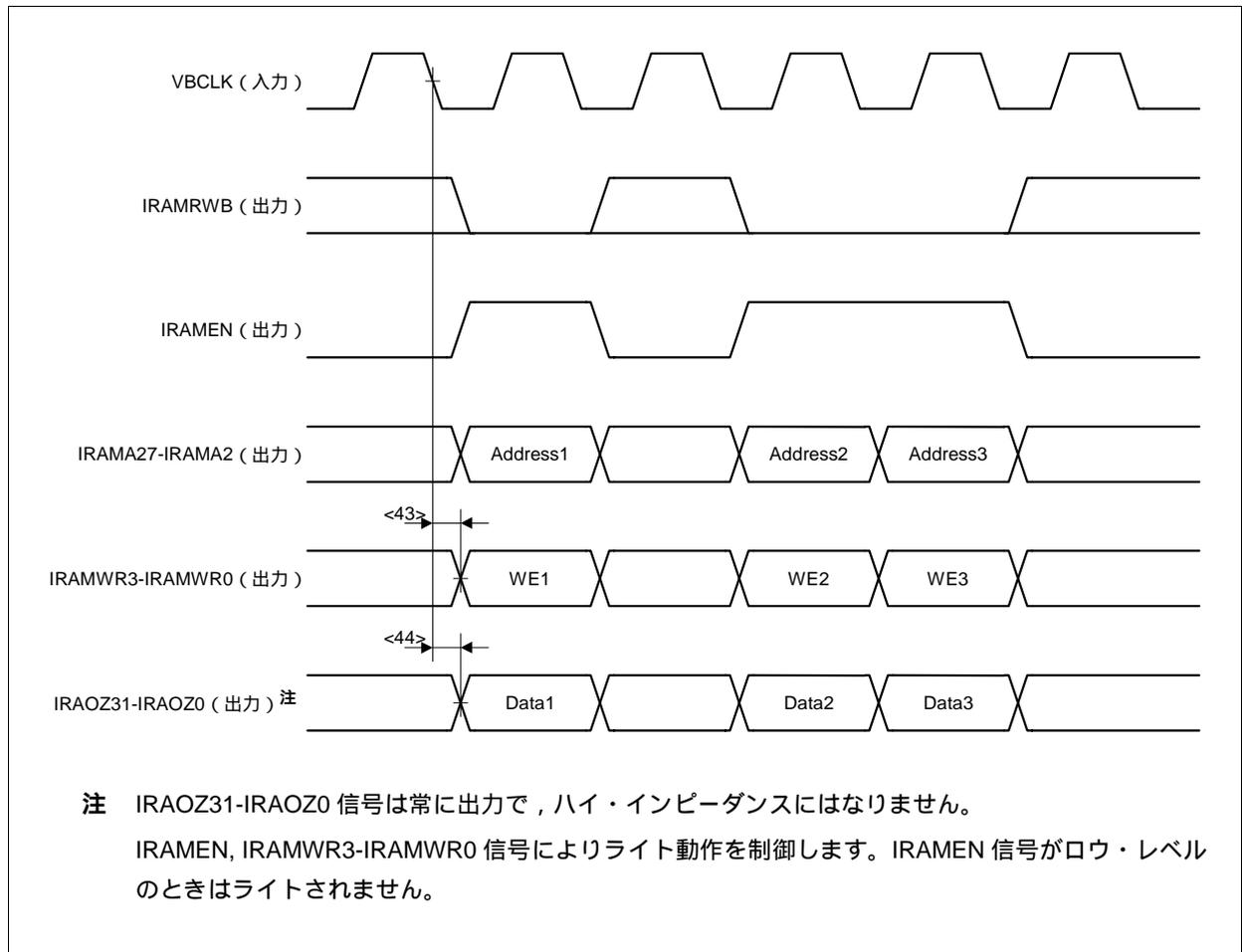
(9) VDB リード・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IRAMRWB 遅延時間	<38>	t _{DKRAR}	1.3	8.4	ns
VBCLK↓ → IRAMEN 遅延時間	<39>	t _{DKRAE}	1.3	8.9	ns
VBCLK↓ → IRAMA 遅延時間	<40>	t _{DKRAA}	1.3	8.3	ns
IRAMZ 設定時間 (対 VBCLK↑)	<41>	t _{SKRAZ}	2.6		ns
IRAMZ 保持時間 (対 VBCLK↑)	<42>	t _{HKRAZ}	3.7		ns



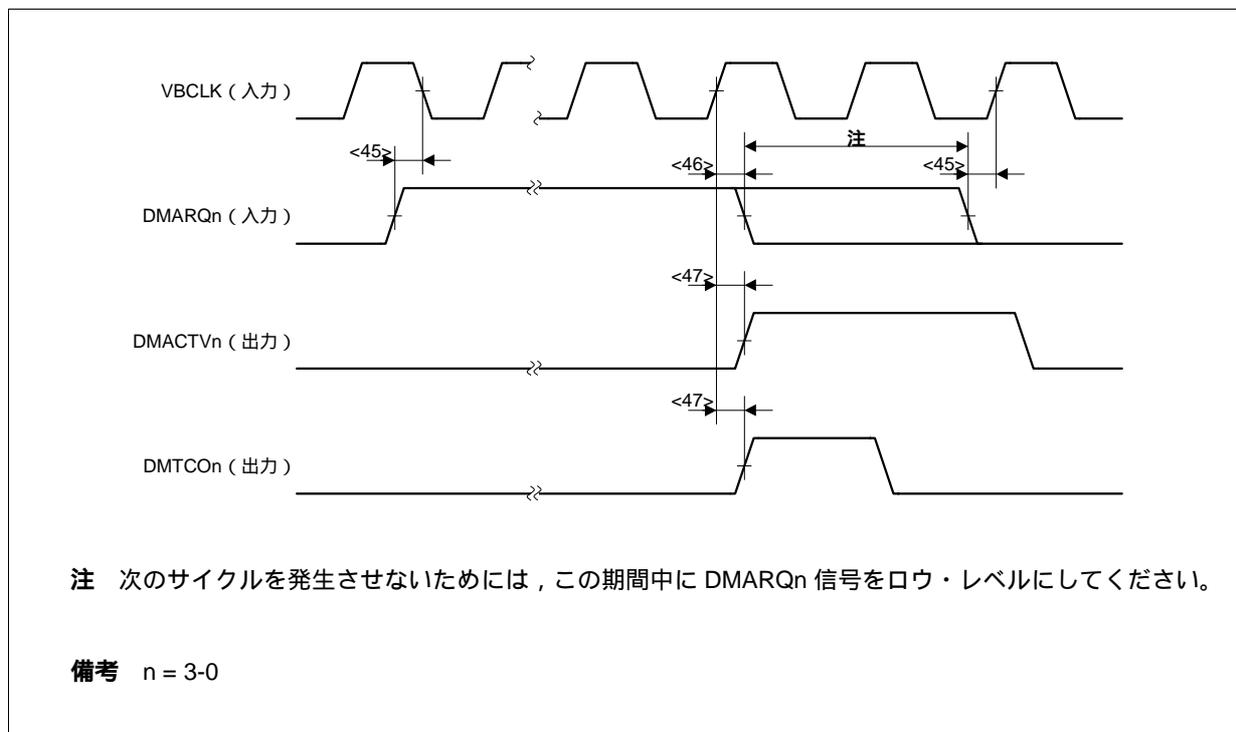
(10) VDB ライト・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IRAMWR 遅延時間	<43>	t _{DKRAW}	1.3	8.8	ns
VBCLK↓ → IRAOZ 遅延時間	<44>	t _{DKRAZ}	1.3	9.1	ns



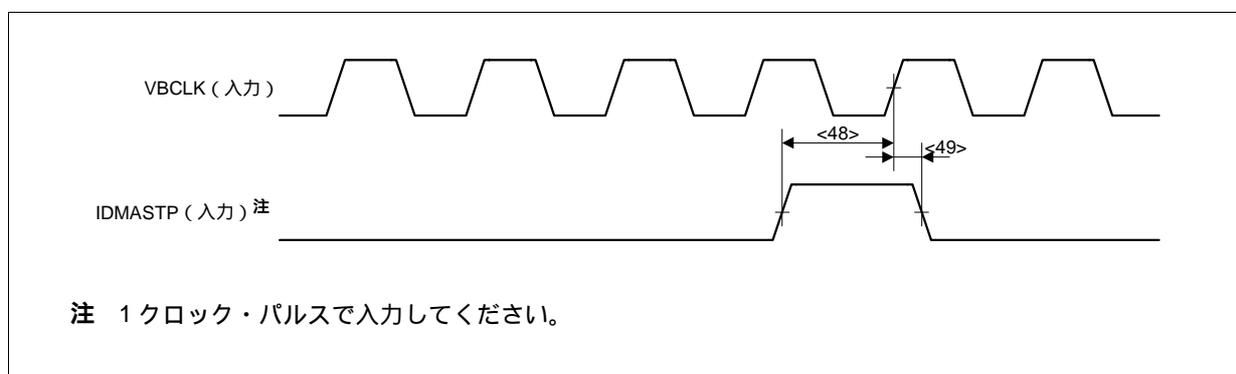
(11) DMA 転送要求, 転送完了タイミング

項目	略号	条件	MIN.	MAX.	単位
DMARQ 設定時間 (対 VBCLK↓)	<45>	t _{skDQ}	0		ns
DMARQ 保持時間 (対 VBCLK↑)	<46>	t _{hkDQ}	0.8		ns
VBCLK↑ → DMACTV, DMTCO 遅延時間	<47>	t _{dkDC}	1.3	6.5	ns



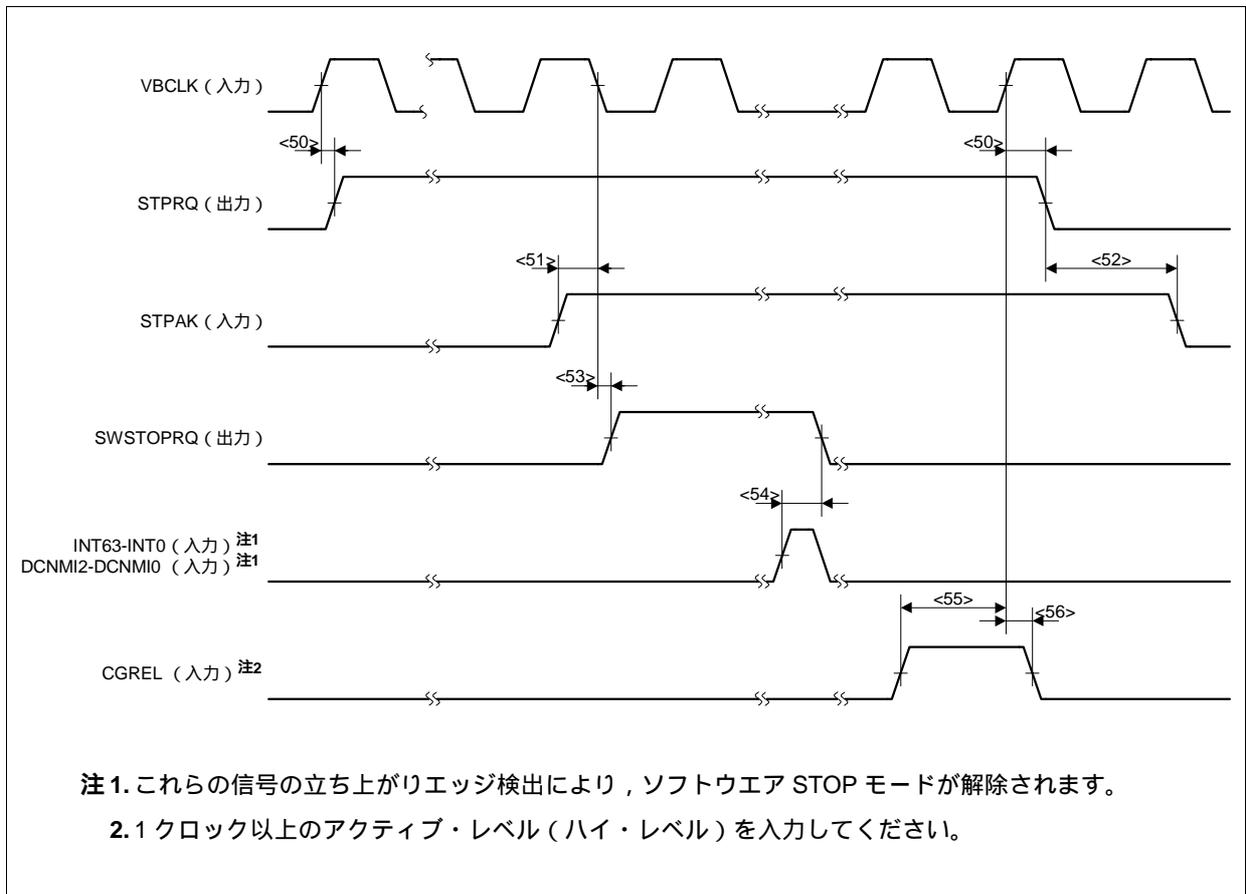
(12) DMA 転送中断タイミング

項目	略号	条件	MIN.	MAX.	単位
IDMASTP 設定時間 (対 VBCLK↑)	<48>	t _{skDS}	3.5		ns
IDMASTP 保持時間 (対 VBCLK↑)	<49>	t _{hkDS}	1.7		ns



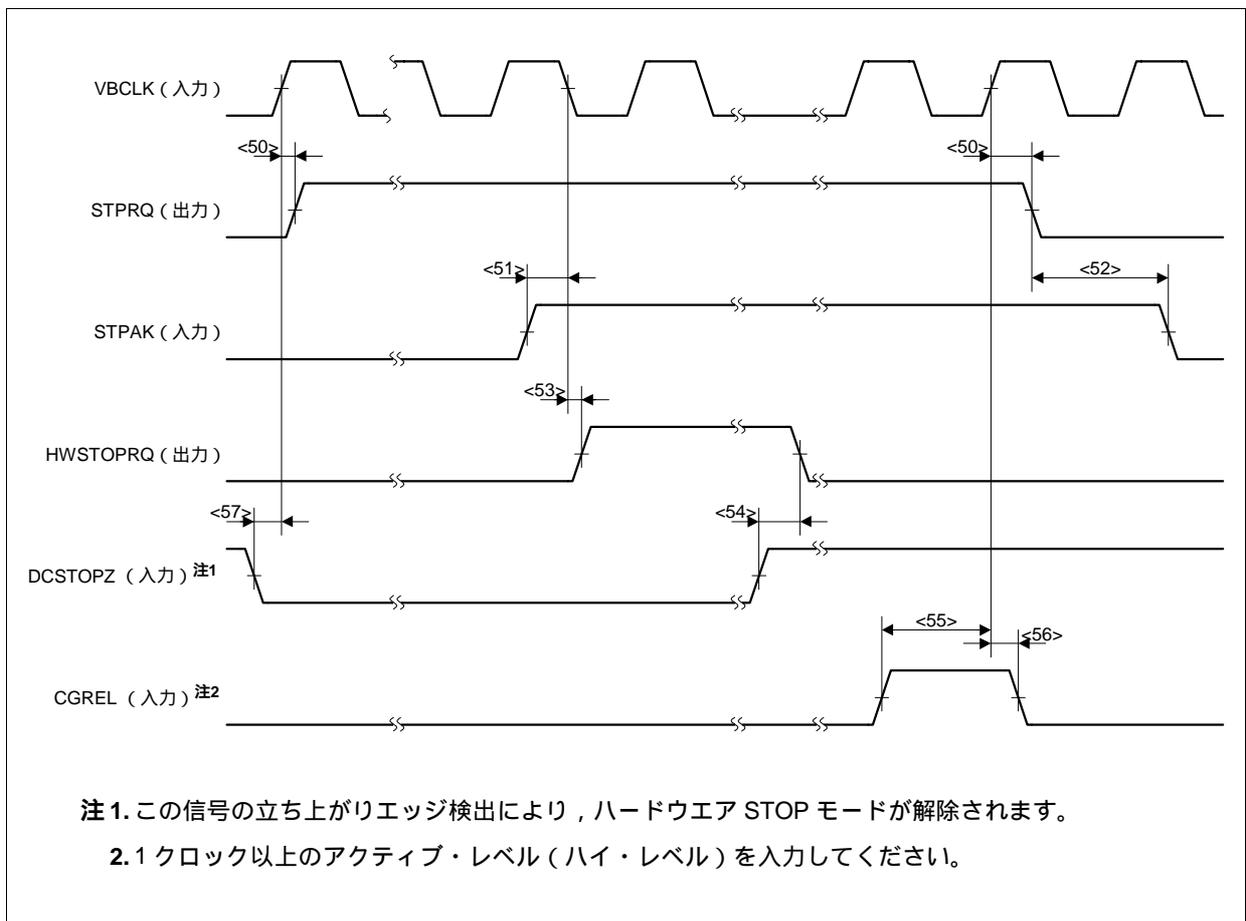
(13) ソフトウェア STOP モード・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → STPRQ 遅延時間	<50>	tDKSQ	1.3	4.6	ns
STPAK 設定時間 (対 VBCLK↓)	<51>	tSKSA	0		ns
STPAK 保持時間 (対 STPRQ↓)	<52>	tHQSA	7.0		ns
VBCLK↓ → SWSTOPRQ↑遅延時間	<53>	tDKSS	1.3	4.7	ns
INT, DCNMI → SWSTOPRQ ↓遅延時間	<54>	tDRSR	0	15.0	ns
CGREL 設定時間 (対 VBCLK↑)	<55>	tSKSG	0		ns
CGREL 保持時間 (対 VBCLK↑)	<56>	tHKSG	2.5		ns



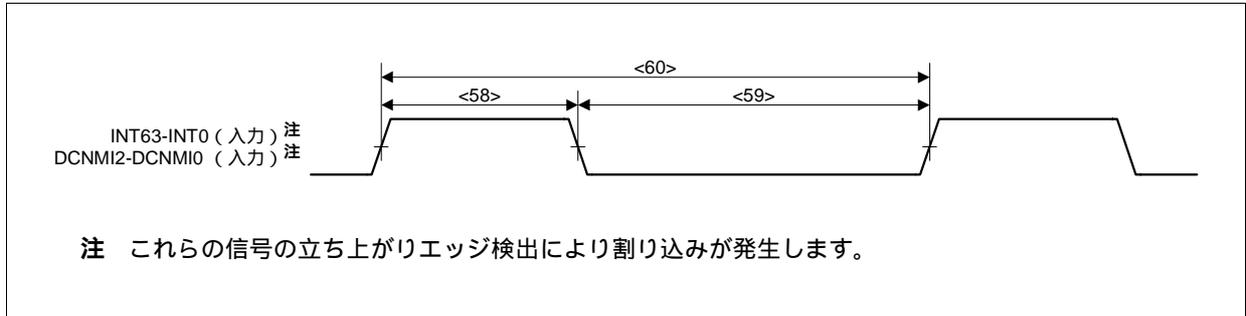
(14) ハードウェア STOP モード・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → STPRQ 遅延時間	<50>	tDKSQ	1.3	4.6	ns
STPAK 設定時間 (対 VBCLK↓)	<51>	tSKSA	0		ns
STPAK 保持時間 (対 STPRQ↓)	<52>	tHQSA	7.0		ns
VBCLK↓ → HWSTOPRQ↑遅延時間	<53>	tDKSS	1.3	4.7	ns
DCSTOPZ → HWSTOPRQ ↓遅延時間	<54>	tDRSR	0	15.0	ns
CGREL 設定時間 (対 VBCLK↑)	<55>	tSKSG	0		ns
CGREL 保持時間 (対 VBCLK↑)	<56>	tHKSG	2.5		ns
DCSTOPZ 設定時間 (対 VBCLK↑)	<57>	tSKST	0		ns



(15) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
INT, DCNMI ハイ・レベル幅	<58>	t _{WIH}	5.0		ns
INT, DCNMI ロウ・レベル幅	<59>	t _{WIL}	5.0		ns
INT, DCNMI インターバル時間	<60>	t _{CVI}	3 × t _{cyk}		ns



第 8 章 NB85E901

(開発中)

NB85E901 は、NB85E に接続して使用するラン・コントロール・ユニット (RCU) です。

8.1 概 要

NB85E901 (RCU) は、JTAG での通信やデバッグ処理の実行を実現する実行制御ユニットです。N-Wire 型インサーキット・エミュレータ (N-Wire 型 IE) と接続することにより、NB85E のオンチップ・デバッグを実現します。

8.1.1 シンボル図

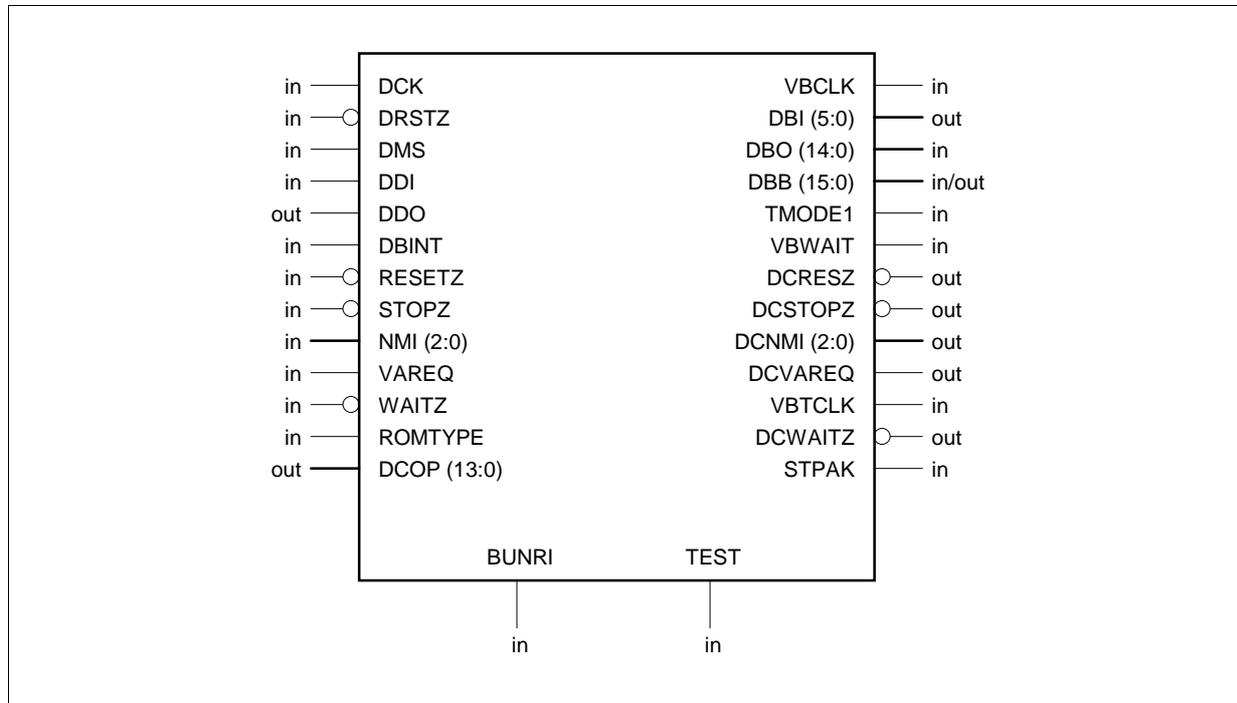
グリッド数

36.2k グリッド

46.4k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

41.8k



8.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
DCK	0.027	1.927	DBO10	0.020	1.920
DRSTZ	0.017	1.917	DBO9	0.054	1.954
DMS	0.088	1.988	DBO8	0.024	1.924
DDI	0.054	1.954	DBO7	0.062	1.962
DBINT	0.019	1.919	DBO6	0.077	1.977
RESETZ	0.069	1.969	DBO5	0.048	1.948
STOPZ	0.066	1.966	DBO4	0.057	1.957
NMI2	0.036	1.936	DBO3	0.065	1.965
NMI1	0.063	1.963	DBO2	0.090	1.990
NMI0	0.048	1.948	DBO1	0.009	1.909
VAREQ	0.021	1.921	DBO0	0.067	1.967
WAITZ	0.024	1.924	TMODE1	0.029	1.929
ROMTYPE	0.132	2.032	VBWAIT	0.050	1.950
VBCLK	0.035	1.935	VBTCLK	0.040	1.940
DBO14	0.057	1.957	STPAK	0.014	1.914
DBO13	0.062	1.962	BUNRI	0.096	1.996
DBO12	0.079	1.979	TEST	0.034	1.934
DBO11	0.065	1.965			

(2) 出力端子

端子名	C_{MAX} (pF)	端子名	C_{MAX} (pF)	端子名	C_{MAX} (pF)
DDO	6.518	DCOP4	6.482	DBI0	12.901
DCOP13	6.399	DCOP3	6.474	DCRESZ	6.462
DCOP12	6.306	DCOP2	6.399	DCSTOPZ	4.884
DCOP11	6.404	DCOP1	6.560	DCNMI2	13.191
DCOP10	6.358	DCOP0	6.553	DCNMI1	13.319
DCOP9	12.922	DBI5	12.958	DCNMI0	13.308
DCOP8	12.855	DBI4	4.555	DCVAREQ	13.201
DCOP7	12.917	DBI3	6.435	DCWAITZ	13.306
DCOP6	12.818	DBI2	13.311		
DCOP5	12.850	DBI1	6.462		

(3) 入出力端子

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
DBB15	6.487	0.095	1.995	DBB7	6.462	0.120	2.020
DBB14	6.420	0.163	2.063	DBB6	6.451	0.132	2.032
DBB13	6.492	0.091	1.991	DBB5	6.389	0.194	2.094
DBB12	6.432	0.150	2.050	DBB4	6.373	0.210	2.110
DBB11	6.517	0.066	1.966	DBB3	6.443	0.139	2.039
DBB10	6.524	0.059	1.959	DBB2	6.412	0.170	2.070
DBB9	6.487	0.096	1.996	DBB1	6.466	0.116	2.016
DBB8	6.496	0.087	1.987	DBB0	6.384	0.199	2.099

8.2 端子機能一覧

端子名		入出力	機 能
N-Wire 型 IE 接続 用端子	DCK	入力	RCU 用クロック入力
	DRSTZ	入力	RCU 用リセット入力
	DMS	入力	ディバグ・モード選択入力
	DDI	入力	ディバグ・データ入力
	DDO	出力	ディバグ・データ出力
	DBINT	入力	外部ディバグ割り込み入力
システム 制御用端子	RESETZ	入力	システム・リセット入力
	STOPZ	入力	ハードウェア STOP モード要求入力
	NMI2-NMIO	入力	ノンマスカブル割り込み入力
	VAREQ	入力	バス使用権要求入力
	WAITZ	入力	ウェイト要求入力
	ROMTYPE	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	DCOP13-DCOP0	出力	NEC の予約端子 (オープンにしてください)
NB85E 接続用 端子	VBCLK	入力	システム・クロック入力
	DBI5-DBI0	出力	ディバグ制御出力
	DBO14-DBO0	入力	ディバグ制御入力
	DBB15-DBB0	入出力	ディバグ制御入出力
	TMODE1	入力	テスト・モード選択入力
	VBWAIT	入力	ウェイト・レスポンス入力
	DCRESZ	出力	リセット出力
	DCSTOPZ	出力	ハードウェア STOP モード要求出力
	DCNMI2-DCNMIO	出力	ノンマスカブル割り込み出力
	DCVAREQ	出力	バス使用権要求出力
	VBTCLK	入力	テスト用クロック入力
周辺接続用端子	DCWAITZ	出力	ウェイト要求出力
	STPAK	入力	STOP モード要求アクノリッジ入力
テスト・モード用 端子	BUNRI	入力	ノーマル/テスト・モード選択入力
	TEST	入力	テスト・バス・コントロール入力

8.3 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

8.3.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

8.3.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{cyk}	15.0			ns

8.3.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1}	動作時		0.33	0.43	mA/MHz
	I _{DD2}	非動作時		0	1.0	μA

備考 TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

8.3.4 AC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項目	略号	条件	MIN.	MAX.	単位
RESETZ→DCRESZ 遅延時間	t _{DDRES}			2.0	ns
STOPZ→DCSTOPZ 遅延時間	t _{DDSTP}			2.0	ns
NMI→DCNMI 遅延時間	t _{DDNMI}			2.0	ns
WAITZ→DCWAITZ 遅延時間	t _{DDWT}			2.0	ns
VAREQ→DCVAREQ 遅延時間	t _{DDVRQ}			2.0	ns

第9章 NB85ET

(開発中)

NB85ET は、NEC の RISC 型 32 ビット・マイクロプロセッサ「V850E1」CPU と DMA コントローラ、割り込みコントローラなどの周辺 I/O に加え、NB85ET 単体でのオンチップ・ディバグを実現するディバグ・コントローラを内蔵した CPU コアです。

9.1 概要

- 処理性能：62MIPS (50MHz 動作時)
- メモリ空間
 - プログラム領域：64M バイト・リニア
 - データ領域：4G バイト・リニア
 - メモリ・バンク分割機能：2M, 4M, 8M バイト/バンク
- 最小命令実行時間：20ns (506MHz 動作時)
- 外部バス・インターフェース
 - VSB (V850E システム・バス)
 - NPB (NEC 周辺 I/O バス)
- 割り込み/例外制御機能
 - ノンマスクابل割り込み：3 要因
 - マスクابل割り込み：64 要因
 - 例外：1 要因
 - 8 レベルの優先順位指定可能 (マスクابل割り込み)
- DMA 制御機能
 - 4 チャンネル構成
 - 転送単位：8 ビット, 16 ビット, 32 ビット
 - 最大転送回数：65536 (2^{16}) 回
 - 転送タイプ：フライバイ (1 サイクル) 転送, 2 サイクル転送
 - 転送モード：シングル転送, シングルステップ転送, ライン転送, ブロック転送
 - ターミナル・カウント出力信号 (DMTCO3-DMTCO0)
- パワー・セーブ機能
 - HALT, ハードウェア/ソフトウェア STOP モード
- ディバグ制御機能
 - CPU ブレーク, トレース, イベント検出

9.1.1 シンボル図

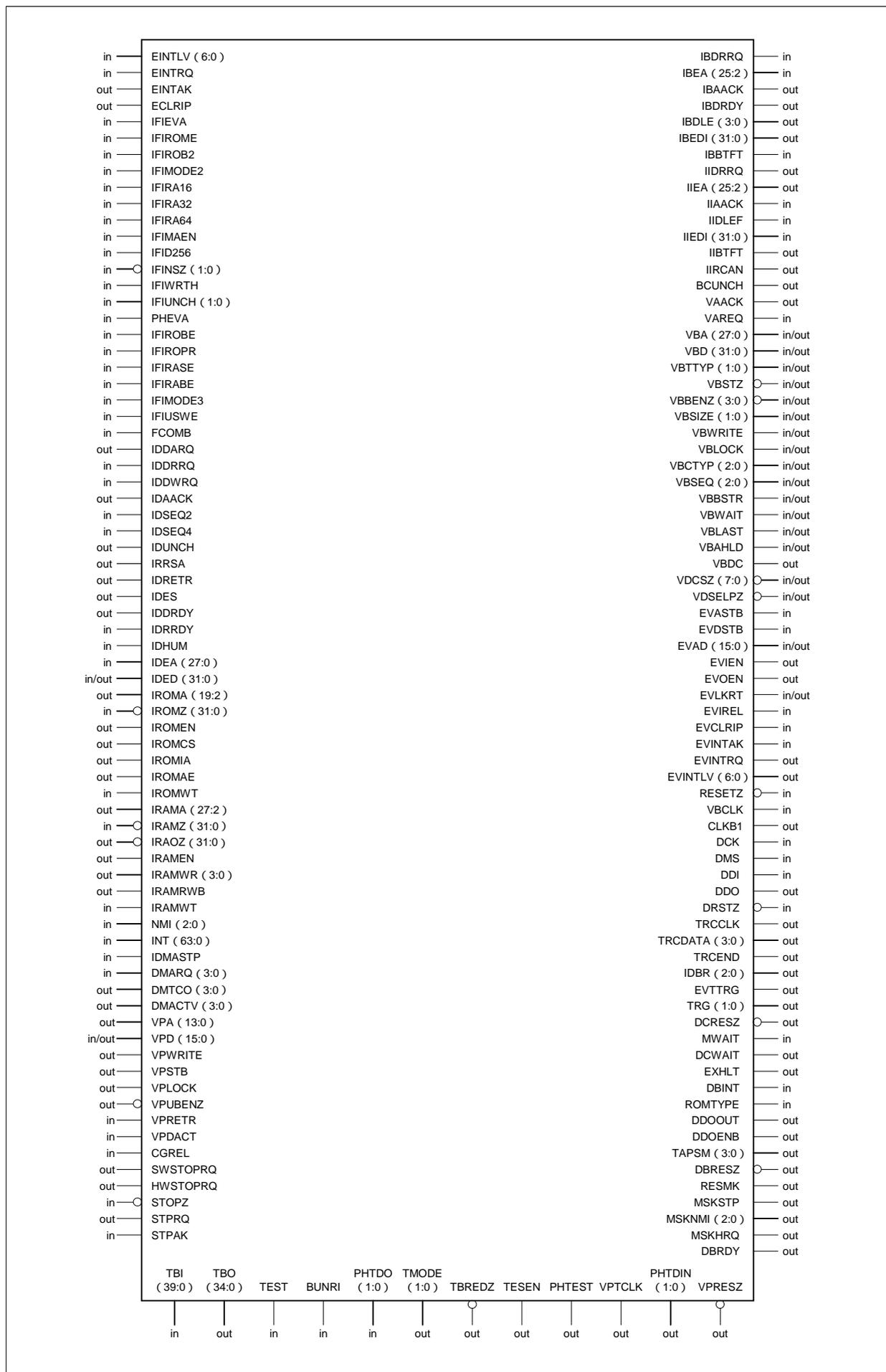
グリッド数

574.6k グリッド

857.4k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

498.5k



9.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子 (1/5)

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
VPRETR	0.663	2.563	INT45	0.032	1.932
VPDACT	0.205	2.105	INT44	0.052	1.952
VAREQ	0.248	2.148	INT43	0.032	1.932
RESETZ	0.196	2.096	INT42	0.023	1.923
VBCLK	0.070	1.970	INT41	0.051	1.951
CGREL	0.047	1.947	INT40	0.084	1.984
STOPZ	0.447	2.347	INT39	0.228	2.128
STPAK	0.263	2.163	INT38	0.070	1.970
IDMASTP	0.137	2.037	INT37	0.075	1.975
DMARQ3	0.020	1.920	INT36	0.088	1.988
DMARQ2	0.211	2.111	INT35	0.071	1.971
DMARQ1	0.169	2.069	INT34	0.033	1.933
DMARQ0	0.259	2.159	INT33	0.053	1.953
NMI2	0.390	2.290	INT32	0.031	1.931
NMI1	0.340	2.240	INT31	0.039	1.939
NMI0	0.363	2.263	INT30	0.050	1.950
INT63	0.022	1.922	INT29	0.024	1.924
INT62	0.031	1.931	INT28	0.042	1.942
INT61	0.013	1.913	INT27	0.013	1.913
INT60	0.023	1.923	INT26	0.044	1.944
INT59	0.034	1.934	INT25	0.012	1.912
INT58	0.032	1.932	INT24	0.017	1.917
INT57	0.046	1.946	INT23	0.053	1.953
INT56	0.024	1.924	INT22	0.058	1.958
INT55	0.016	1.916	INT21	0.019	1.919
INT54	0.057	1.957	INT20	0.019	1.919
INT53	0.016	1.916	INT19	0.034	1.934
INT52	0.033	1.933	INT18	0.019	1.919
INT51	0.054	1.954	INT17	0.045	1.945
INT50	0.043	1.943	INT16	0.023	1.923
INT49	0.015	1.915	INT15	0.027	1.927
INT48	0.025	1.925	INT14	0.016	1.916
INT47	0.020	1.920	INT13	0.044	1.944
INT46	0.057	1.957	INT12	0.034	1.934

(1) 入力端子 (2/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
INT11	0.034	1.934	IROMZ4	0.651	2.551
INT10	0.023	1.923	IROMZ3	0.612	2.512
INT9	0.037	1.937	IROMZ2	0.707	2.607
INT8	0.028	1.928	IROMZ1	0.599	2.499
INT7	0.024	1.924	IROMZ0	0.632	2.532
INT6	0.026	1.926	IROMWT	0.117	2.017
INT5	0.028	1.928	IRAMZ31	0.057	1.957
INT4	0.030	1.930	IRAMZ30	0.037	1.937
INT3	0.025	1.925	IRAMZ29	0.513	2.413
INT2	0.035	1.935	IRAMZ28	0.483	2.383
INT1	0.026	1.926	IRAMZ27	0.198	2.098
INT0	0.030	1.930	IRAMZ26	0.036	1.936
IROMZ31	0.318	2.218	IRAMZ25	0.051	1.951
IROMZ30	0.405	2.305	IRAMZ24	0.045	1.945
IROMZ29	0.313	2.213	IRAMZ23	0.036	1.936
IROMZ28	0.358	2.258	IRAMZ22	0.037	1.937
IROMZ27	0.534	2.434	IRAMZ21	0.152	2.052
IROMZ26	0.411	2.311	IRAMZ20	0.473	2.373
IROMZ25	0.352	2.252	IRAMZ19	0.380	2.280
IROMZ24	0.427	2.327	IRAMZ18	0.209	2.109
IROMZ23	0.373	2.273	IRAMZ17	0.233	2.133
IROMZ22	0.527	2.427	IRAMZ16	0.078	1.978
IROMZ21	0.544	2.444	IRAMZ15	0.075	1.975
IROMZ20	0.335	2.235	IRAMZ14	0.052	1.952
IROMZ19	0.406	2.306	IRAMZ13	0.239	2.139
IROMZ18	0.603	2.503	IRAMZ12	0.197	2.097
IROMZ17	0.400	2.300	IRAMZ11	0.234	2.134
IROMZ16	0.399	2.299	IRAMZ10	0.184	2.084
IROMZ15	0.388	2.288	IRAMZ9	0.407	2.307
IROMZ14	0.569	2.469	IRAMZ8	0.222	2.122
IROMZ13	0.559	2.459	IRAMZ7	0.322	2.222
IROMZ12	0.597	2.497	IRAMZ6	0.063	1.963
IROMZ11	0.612	2.512	IRAMZ5	0.278	2.178
IROMZ10	0.643	2.543	IRAMZ4	0.265	2.165
IROMZ9	0.375	2.275	IRAMZ3	0.241	2.141
IROMZ8	0.434	2.334	IRAMZ2	0.169	2.069
IROMZ7	0.602	2.502	IRAMZ1	0.050	1.950
IROMZ6	0.399	2.299	IRAMZ0	0.292	2.192
IROMZ5	0.537	2.437	IRAMWT	0.393	2.293

(1) 入力端子 (3/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
IBDRRQ	0.110	2.010	IIEDI19	0.043	1.943
IBEA25	0.168	2.068	IIEDI18	0.084	1.984
IBEA24	0.110	2.010	IIEDI17	0.075	1.975
IBEA23	0.014	1.914	IIEDI16	0.042	1.942
IBEA22	0.025	1.925	IIEDI15	0.067	1.967
IBEA21	0.074	1.974	IIEDI14	0.070	1.970
IBEA20	0.017	1.917	IIEDI13	0.049	1.949
IBEA19	0.050	1.950	IIEDI12	0.047	1.947
IBEA18	0.057	1.957	IIEDI11	0.054	1.954
IBEA17	0.014	1.914	IIEDI10	0.022	1.922
IBEA16	0.043	1.943	IIEDI9	0.056	1.956
IBEA15	0.016	1.916	IIEDI8	0.038	1.938
IBEA14	0.024	1.924	IIEDI7	0.049	1.949
IBEA13	0.139	2.039	IIEDI6	0.038	1.938
IBEA12	0.032	1.932	IIEDI5	0.029	1.929
IBEA11	0.109	2.009	IIEDI4	0.038	1.938
IBEA10	0.150	2.050	IIEDI3	0.029	1.929
IBEA9	0.082	1.982	IIEDI2	0.022	1.922
IBEA8	0.125	2.025	IIEDI1	0.030	1.930
IBEA7	0.133	2.033	IIEDI0	0.020	1.920
IBEA6	0.128	2.028	IBBTFT	0.175	2.075
IBEA5	0.117	2.017	IDDRRQ	0.549	2.449
IBEA4	0.089	1.989	IDDWRQ	0.522	2.422
IBEA3	0.168	2.068	IDSEQ4	0.373	2.273
IBEA2	0.180	2.080	IDSEQ2	0.568	2.468
IIAACK	0.069	1.969	IDRRDY	0.155	2.055
IIDLDF	0.090	1.990	IDHUM	0.361	2.261
IIEDI31	0.159	2.059	IDEA27	0.249	2.149
IIEDI30	0.143	2.043	IDEA26	0.264	2.164
IIEDI29	0.124	2.024	IDEA25	0.293	2.193
IIEDI28	0.110	2.010	IDEA24	0.375	2.275
IIEDI27	0.115	2.015	IDEA23	0.255	2.155
IIEDI26	0.094	1.994	IDEA22	0.260	2.160
IIEDI25	0.178	2.078	IDEA21	0.251	2.151
IIEDI24	0.124	2.024	IDEA20	0.356	2.256
IIEDI23	0.105	2.005	IDEA19	0.259	2.159
IIEDI22	0.081	1.981	IDEA18	0.333	2.233
IIEDI21	0.083	1.983	IDEA17	0.248	2.148
IIEDI20	0.066	1.966	IDEA16	0.273	2.173

(1) 入力端子 (4/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
IDEA15	0.328	2.228	IFIRA32	0.944	2.844
IDEA14	0.291	2.191	IFIRA16	0.831	2.731
IDEA13	0.303	2.203	IFIMAEN	0.430	2.330
IDEA12	0.325	2.225	IFID256	0.450	2.350
IDEA11	0.248	2.148	IFINSZ1	0.476	2.376
IDEA10	0.361	2.261	IFINSZ0	0.491	2.391
IDEA9	0.328	2.228	IFIWRTH	0.549	2.449
IDEA8	0.256	2.156	IFIUNCH1	0.657	2.557
IDEA7	0.249	2.149	IFIUNCH0	0.506	2.406
IDEA6	0.344	2.244	PHEVA	1.405	3.305
IDEA5	0.235	2.135	IFIEVA	0.311	2.211
IDEA4	0.244	2.144	IFIMODE2	0.586	2.486
IDEA3	0.235	2.135	IFIROBE	0.413	2.313
IDEA2	0.274	2.174	IFIROPR	0.523	2.423
IDEA1	0.259	2.159	IFIRASE	1.053	2.953
IDEA0	0.234	2.134	IFIRABE	0.610	2.510
EINTLV6	0.034	1.934	IFIMODE3	0.642	2.542
EINTLV5	0.062	1.962	IFIUSWE	0.377	2.277
EINTLV4	0.040	1.940	FCOMB	0.131	2.031
EINTLV3	0.013	1.913	TBI39	0.013	1.913
EINTLV2	0.066	1.966	TBI38	0.013	1.913
EINTLV1	0.046	1.946	TBI37	0.060	1.960
EINTLV0	0.055	1.955	TBI36	0.034	1.934
EINTRQ	0.048	1.948	TBI35	0.023	1.923
DCK	0.408	2.308	TBI34	0.007	1.907
DMS	0.196	2.096	TBI33	0.031	1.931
DDI	0.016	1.916	TBI32	0.014	1.914
DRSTZ	0.014	1.914	TBI31	0.017	1.917
MWAIT	0.065	1.965	TBI30	0.017	1.917
DBINT	0.074	1.974	TBI29	0.021	1.921
ROMTYPE	0.080	1.980	TBI28	0.011	1.911
EVASTB	0.410	2.310	TBI27	0.028	1.928
EVDSTB	0.181	2.081	TBI26	0.018	1.918
EVIREL	0.135	2.035	TBI25	0.010	1.910
EVCLRIP	0.225	2.125	TBI24	0.023	1.923
EVINTAK	0.133	2.033	TBI23	0.021	1.921
IFIROME	0.462	2.362	TBI22	0.034	1.934
IFIROB2	0.550	2.450	TBI21	0.158	2.058
IFIRA64	1.016	2.916	TBI20	0.168	2.068

(1) 入力端子 (5/5)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
TBI19	0.103	2.003	TBI7	0.022	1.922
TBI18	0.186	2.086	TBI6	0.047	1.947
TBI17	0.190	2.090	TBI5	0.032	1.932
TBI16	0.171	2.071	TBI4	0.013	1.913
TBI15	0.008	1.908	TBI3	0.016	1.916
TBI14	0.032	1.932	TBI2	0.007	1.907
TBI13	0.041	1.941	TBI1	0.043	1.943
TBI12	0.031	1.931	TBI0	0.025	1.925
TBI11	0.042	1.942	TEST	0.305	2.205
TBI10	0.041	1.941	BUNRI	0.459	2.359
TBI9	0.025	1.925	PHTDO1	0.545	2.445
TBI8	0.031	1.931	PHTDO0	0.540	2.440

(2) 出力端子 (1/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VPA13	12.854	-	-	STPRQ	12.443	-	-
VPA12	12.877	-	-	DMTCO3	12.973	-	-
VPA11	12.799	-	-	DMTCO2	12.905	-	-
VPA10	13.300	-	-	DMTCO1	13.145	-	-
VPA9	12.852	-	-	DMTCO0	13.157	-	-
VPA8	12.801	-	-	DMACTV3	13.185	-	-
VPA7	13.284	-	-	DMACTV2	13.275	-	-
VPA6	13.272	-	-	DMACTV1	13.229	-	-
VPA5	13.242	-	-	DMACTV0	13.338	-	-
VPA4	13.102	-	-	IROMA19	13.056	-	-
VPA3	13.149	-	-	IROMA18	13.071	-	-
VPA2	13.192	-	-	IROMA17	13.069	-	-
VPA1	12.839	-	-	IROMA16	13.069	-	-
VPA0	13.188	-	-	IROMA15	13.068	-	-
VPWRITE	13.151	-	-	IROMA14	13.334	-	-
VPSTB	12.758	-	-	IROMA13	13.333	-	-
VPLOCK	13.025	-	-	IROMA12	13.332	-	-
VPUBENZ	13.191	-	-	IROMA11	13.055	-	-
VAACK	12.977	-	-	IROMA10	13.329	-	-
VBDC	13.018	-	-	IROMA9	13.064	-	-
CLKB1	13.071	-	-	IROMA8	13.328	-	-
SWSTOPRQ	12.778	-	-	IROMA7	13.338	-	-
HWSTOPRQ	12.945	-	-	IROMA6	13.062	-	-

(2) 出力端子 (2/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
IROMA5	13.071	-	-	IRAOZ26	13.291	-	-
IROMA4	13.059	-	-	IRAOZ25	13.331	-	-
IROMA3	13.046	-	-	IRAOZ24	13.286	-	-
IROMA2	13.052	-	-	IRAOZ23	13.326	-	-
IROMEN	13.056	-	-	IRAOZ22	13.334	-	-
IROMCS	13.055	-	-	IRAOZ21	13.336	-	-
IROMIA	12.985	-	-	IRAOZ20	13.336	-	-
IROMAE	13.006	-	-	IRAOZ19	13.327	-	-
IRAMA27	13.071	-	-	IRAOZ18	13.312	-	-
IRAMA26	13.291	-	-	IRAOZ17	13.269	-	-
IRAMA25	13.006	-	-	IRAOZ16	13.103	-	-
IRAMA24	13.322	-	-	IRAOZ15	13.260	-	-
IRAMA23	13.325	-	-	IRAOZ14	13.314	-	-
IRAMA22	13.332	-	-	IRAOZ13	13.335	-	-
IRAMA21	13.009	-	-	IRAOZ12	13.292	-	-
IRAMA20	13.325	-	-	IRAOZ11	13.118	-	-
IRAMA19	13.323	-	-	IRAOZ10	13.275	-	-
IRAMA18	13.297	-	-	IRAOZ9	13.333	-	-
IRAMA17	13.283	-	-	IRAOZ8	13.257	-	-
IRAMA16	13.303	-	-	IRAOZ7	13.338	-	-
IRAMA15	13.269	-	-	IRAOZ6	13.314	-	-
IRAMA14	13.324	-	-	IRAOZ5	13.334	-	-
IRAMA13	13.317	-	-	IRAOZ4	13.321	-	-
IRAMA12	13.323	-	-	IRAOZ3	13.194	-	-
IRAMA11	13.320	-	-	IRAOZ2	13.112	-	-
IRAMA10	13.272	-	-	IRAOZ1	13.331	-	-
IRAMA9	13.284	-	-	IRAOZ0	13.338	-	-
IRAMA8	13.311	-	-	IRAMEN	13.194	-	-
IRAMA7	13.270	-	-	IRAMWR3	13.139	-	-
IRAMA6	13.274	-	-	IRAMWR2	13.152	-	-
IRAMA5	13.270	-	-	IRAMWR1	13.202	-	-
IRAMA4	13.273	-	-	IRAMWR0	13.262	-	-
IRAMA3	13.329	-	-	IRAMRWB	13.191	-	-
IRAMA2	13.319	-	-	IBAACK	13.338	-	-
IRAOZ31	13.337	-	-	IBDRDY	13.338	-	-
IRAOZ30	13.334	-	-	IBDLE3	12.818	-	-
IRAOZ29	13.338	-	-	IBDLE2	12.785	-	-
IRAOZ28	13.333	-	-	IBDLE1	12.744	-	-
IRAOZ27	13.333	-	-	IBDLE0	12.620	-	-

(2) 出力端子 (3/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
IBEDI31	12.929	-	-	IIEA19	13.035	-	-
IBEDI30	12.948	-	-	IIEA18	13.061	-	-
IBEDI29	13.056	-	-	IIEA17	13.070	-	-
IBEDI28	12.980	-	-	IIEA16	13.048	-	-
IBEDI27	13.025	-	-	IIEA15	13.071	-	-
IBEDI26	13.017	-	-	IIEA14	13.070	-	-
IBEDI25	12.969	-	-	IIEA13	12.948	-	-
IBEDI24	13.000	-	-	IIEA12	13.057	-	-
IBEDI23	12.990	-	-	IIEA11	12.956	-	-
IBEDI22	13.039	-	-	IIEA10	12.981	-	-
IBEDI21	13.044	-	-	IIEA9	13.028	-	-
IBEDI20	13.051	-	-	IIEA8	13.005	-	-
IBEDI19	13.049	-	-	IIEA7	13.026	-	-
IBEDI18	13.041	-	-	IIEA6	13.067	-	-
IBEDI17	13.033	-	-	IIEA5	12.964	-	-
IBEDI16	13.067	-	-	IIEA4	12.999	-	-
IBEDI15	13.027	-	-	IIEA3	12.929	-	-
IBEDI14	13.024	-	-	IIEA2	12.948	-	-
IBEDI13	13.061	-	-	IIBTFT	12.924	-	-
IBEDI12	13.052	-	-	IIRCAN	12.889	-	-
IBEDI11	13.048	-	-	BCUNCH	13.062	-	-
IBEDI10	13.070	-	-	IDDARQ	13.037	-	-
IBEDI9	13.038	-	-	IDAACK	13.030	-	-
IBEDI8	13.059	-	-	IRRSA	13.287	-	-
IBEDI7	13.054	-	-	IDRETR	13.039	-	-
IBEDI6	13.046	-	-	IDUNCH	12.574	-	-
IBEDI5	13.067	-	-	IDDRDY	13.289	-	-
IBEDI4	13.066	-	-	IDES	13.049	-	-
IBEDI3	13.066	-	-	EINTAK	13.025	-	-
IBEDI2	13.066	-	-	ECLRIP	13.049	-	-
IBEDI1	13.060	-	-	DDO	13.007	-	-
IBEDI0	13.065	-	-	TRCCLK	12.885	-	-
IIDRRQ	13.019	-	-	TRCDATA3	12.803	-	-
IIEA25	12.985	-	-	TRCDATA2	12.796	-	-
IIEA24	12.972	-	-	TRCDATA1	12.683	-	-
IIEA23	13.070	-	-	TRCDATA0	12.852	-	-
IIEA22	13.067	-	-	TRCEND	12.736	-	-
IIEA21	13.020	-	-	IDBR2	12.638	-	-
IIEA20	13.056	-	-	IDBR1	12.206	-	-

(2) 出力端子 (4/4)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
IDBR0	12.673	-	-	TBO27	6.493	0.137	2.037
EVTTRG	13.238	-	-	TBO26	6.276	0.353	2.253
DCRESZ	13.071	-	-	TBO25	6.396	0.233	2.133
DCWAIT	12.844	-	-	TBO24	6.470	0.159	2.059
EXHLT	12.343	-	-	TBO23	6.575	0.055	1.955
DDOOUT	12.869	-	-	TBO22	6.484	0.145	2.045
DDOENB	12.829	-	-	TBO21	6.578	0.051	1.951
TAPSM3	12.942	-	-	TBO20	6.576	0.053	1.953
TAPSM2	12.851	-	-	TBO19	6.496	0.133	2.033
TAPSM1	12.885	-	-	TBO18	6.515	0.114	2.014
TAPSM0	12.857	-	-	TBO17	6.487	0.142	2.042
TRG1	12.976	-	-	TBO16	6.505	0.124	2.024
TRG0	12.610	-	-	TBO15	6.571	0.058	1.958
DBRESZ	13.149	-	-	TBO14	6.578	0.052	1.952
RESMK	13.316	-	-	TBO13	6.577	0.052	1.952
MSKSTP	13.011	-	-	TBO12	6.579	0.050	1.950
MSKNMI2	12.807	-	-	TBO11	6.581	0.048	1.948
MSKNMI1	12.691	-	-	TBO10	6.565	0.064	1.964
MSKNMI0	12.690	-	-	TBO9	6.576	0.053	1.953
MSKHRQ	13.274	-	-	TBO8	6.556	0.074	1.974
DBRDY	13.243	-	-	TBO7	6.571	0.058	1.958
EVIEN	13.192	-	-	TBO6	6.561	0.068	1.968
EVOEN	13.328	-	-	TBO5	6.561	0.068	1.968
EVINTRQ	13.324	-	-	TBO4	6.573	0.056	1.956
EVINTLV6	13.028	-	-	TBO3	6.561	0.068	1.968
EVINTLV5	12.762	-	-	TBO2	6.571	0.059	1.959
EVINTLV4	12.936	-	-	TBO1	6.566	0.063	1.963
EVINTLV3	13.012	-	-	TBO0	6.562	0.067	1.967
EVINTLV2	13.183	-	-	TESEN	13.064	-	-
EVINTLV1	13.252	-	-	VPTCLK	13.054	-	-
EVINTLV0	13.006	-	-	PHTDIN1	13.071	-	-
TBO34	6.581	0.048	1.948	PHTDIN0	13.071	-	-
TBO33	6.577	0.052	1.952	VPRESZ	13.304	-	-
TBO32	6.572	0.057	1.957	PHTEST	13.054	-	-
TBO31	6.569	0.060	1.960	TMODE1	12.802	-	-
TBO30	6.581	0.048	1.948	TMODE0	12.737	-	-
TBO29	6.576	0.053	1.953	TBREDZ	13.338	-	-
TBO28	6.578	0.051	1.951				

(3) 入出力端子 (1/2)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VPD15	5.926	0.703	2.603	VBA4	5.515	1.161	3.061
VPD14	5.903	0.727	2.627	VBA3	5.472	1.204	3.104
VPD13	5.877	0.752	2.652	VBA2	5.492	1.184	3.084
VPD12	5.841	0.788	2.688	VBA1	5.833	0.842	2.742
VPD11	5.871	0.758	2.658	VBA0	5.772	0.903	2.803
VPD10	5.891	0.738	2.638	VBD31	5.156	1.520	3.420
VPD9	5.892	0.737	2.637	VBD30	5.261	1.414	3.314
VPD8	5.897	0.732	2.632	VBD29	5.218	1.457	3.357
VPD7	5.886	0.744	2.644	VBD28	5.245	1.431	3.331
VPD6	5.846	0.783	2.683	VBD27	4.763	1.913	3.813
VPD5	5.774	0.855	2.755	VBD26	4.889	1.786	3.686
VPD4	5.741	0.888	2.788	VBD25	5.085	1.591	3.491
VPD3	5.768	0.861	2.761	VBD24	5.168	1.508	3.408
VPD2	5.867	0.762	2.662	VBD23	5.204	1.471	3.371
VPD1	5.836	0.793	2.693	VBD22	5.135	1.541	3.441
VPD0	5.860	0.769	2.669	VBD21	4.962	1.714	3.614
VBA27	5.944	0.731	2.631	VBD20	4.982	1.694	3.594
VBA26	5.915	0.760	2.660	VBD19	4.801	1.875	3.775
VBA25	5.986	0.690	2.590	VBD18	4.973	1.703	3.603
VBA24	5.985	0.691	2.591	VBD17	5.199	1.477	3.377
VBA23	5.945	0.731	2.631	VBD16	4.879	1.797	3.697
VBA22	5.920	0.756	2.656	VBD15	3.517	1.607	3.507
VBA21	5.932	0.744	2.644	VBD14	3.581	1.542	3.442
VBA20	5.935	0.741	2.641	VBD13	4.948	1.775	3.675
VBA19	5.915	0.761	2.661	VBD12	5.215	1.507	3.407
VBA18	5.819	0.857	2.757	VBD11	4.863	1.860	3.760
VBA17	5.906	0.770	2.670	VBD10	3.578	1.546	3.446
VBA16	5.910	0.765	2.665	VBD9	3.435	1.688	3.588
VBA15	5.922	0.754	2.654	VBD8	3.500	1.624	3.524
VBA14	5.905	0.771	2.671	VBD7	4.892	1.831	3.731
VBA13	5.656	1.020	2.920	VBD6	3.637	1.487	3.387
VBA12	5.790	0.886	2.786	VBD5	3.535	1.588	3.488
VBA11	5.491	1.185	3.085	VBD4	3.528	1.596	3.496
VBA10	5.531	1.145	3.045	VBD3	4.727	1.996	3.896
VBA9	5.630	1.046	2.946	VBD2	3.492	1.631	3.531
VBA8	5.652	1.024	2.924	VBD1	3.463	1.661	3.561
VBA7	5.415	1.260	3.160	VBD0	4.814	1.909	3.809
VBA6	5.430	1.245	3.145	VBTTYP1	5.956	0.719	2.619
VBA5	5.438	1.238	3.138	VBTTYP0	5.982	0.694	2.594

(3) 入出力端子 (2/2)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VBSTZ	5.750	0.925	2.825	IDED20	5.929	0.700	2.600
VBBENZ3	5.984	0.691	2.591	IDED19	5.956	0.673	2.573
VBBENZ2	6.001	0.674	2.574	IDED18	5.987	0.642	2.542
VBBENZ1	5.847	0.829	2.729	IDED17	5.940	0.689	2.589
VBBENZ0	6.006	0.670	2.570	IDED16	5.895	0.734	2.634
VBSIZE1	5.884	0.792	2.692	IDED15	5.884	0.745	2.645
VBSIZE0	5.898	0.778	2.678	IDED14	5.876	0.753	2.653
VBWRITE	5.725	0.950	2.850	IDED13	5.998	0.631	2.531
VBLOCK	5.820	0.856	2.756	IDED12	5.937	0.692	2.592
VBCTYP2	5.904	0.771	2.671	IDED11	5.915	0.714	2.614
VBCTYP1	5.955	0.721	2.621	IDED10	5.923	0.706	2.606
VBCTYP0	5.941	0.735	2.635	IDED9	5.891	0.739	2.639
VBSEQ2	5.952	0.724	2.624	IDED8	5.917	0.713	2.613
VBSEQ1	5.957	0.719	2.619	IDED7	5.985	0.645	2.545
VBSEQ0	5.971	0.704	2.604	IDED6	6.021	0.608	2.508
VBBSTR	5.972	0.704	2.604	IDED5	5.828	0.801	2.701
VBWAIT	4.961	1.715	3.615	IDED4	5.858	0.771	2.671
VBLAST	5.842	0.834	2.734	IDED3	5.901	0.729	2.629
VBAHLD	5.771	0.905	2.805	IDED2	6.034	0.595	2.495
VDCSZ7	6.017	0.659	2.559	IDED1	6.031	0.598	2.498
VDCSZ6	6.044	0.632	2.532	IDED0	5.928	0.701	2.601
VDCSZ5	6.015	0.661	2.561	EVAD15	5.875	0.754	2.654
VDCSZ4	6.020	0.656	2.556	EVAD14	5.905	0.724	2.624
VDCSZ3	6.036	0.640	2.540	EVAD13	5.818	0.811	2.711
VDCSZ2	6.017	0.659	2.559	EVAD12	5.849	0.780	2.680
VDCSZ1	5.983	0.693	2.593	EVAD11	5.830	0.799	2.699
VDCSZ0	6.036	0.640	2.540	EVAD10	5.827	0.802	2.702
VDSELPZ	5.599	1.077	2.977	EVAD9	5.821	0.808	2.708
IDED31	5.888	0.742	2.642	EVAD8	5.783	0.846	2.746
IDED30	5.862	0.767	2.667	EVAD7	5.772	0.857	2.757
IDED29	5.927	0.702	2.602	EVAD6	5.814	0.815	2.715
IDED28	5.964	0.666	2.566	EVAD5	5.849	0.780	2.680
IDED27	5.944	0.685	2.585	EVAD4	5.747	0.882	2.782
IDED26	5.907	0.723	2.623	EVAD3	5.850	0.779	2.679
IDED25	5.896	0.733	2.633	EVAD2	5.845	0.784	2.684
IDED24	5.928	0.701	2.601	EVAD1	5.828	0.801	2.701
IDED23	5.944	0.686	2.586	EVAD0	5.820	0.809	2.709
IDED22	5.898	0.731	2.631	EVLKRT	5.981	0.648	2.548
IDED21	5.973	0.656	2.556				

9.2 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには、初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

9.3 端子機能一覧

(1/5)

端子名		入出力	機能
NPB 用端子	VPA13-VPA0	出力	NPB に接続された周辺マクロ用アドレス出力
	VPD15-VPD0 ^注	入出力	NPB に接続された周辺マクロ用データ入出力
	VPWRITE	出力	VPD15-VPD0 信号のライト・アクセス・ストロブ出力
	VPSTB	出力	VPD15-VPD0 信号のデータ・ストロブ出力
	VPLOCK	出力	バス・ロック出力
	VPUBENZ	出力	上位バイト・イネーブル出力
	VPRETR ^注	入力	NPB に接続された周辺マクロからのリトライ要求入力
	VPDACT	入力	リトライ機能制御入力
VSB 用端子	VAREQ	入力	バス使用権要求入力
	VAACK	出力	バス使用権アクノリッジ出力
	VBA27-VBA0 ^注	入出力	VSB に接続された周辺マクロ用アドレス入出力
	VBD31-VBD0 ^注	入出力	VSB に接続された周辺マクロ用データ入出力
	VBTTYP1, VBTTYP0 ^注	入出力	バス転送タイプ入出力
	VBSTZ ^注	入出力	転送スタート入出力
	VBBENZ3-VBBENZ0 ^注	入出力	バイト・イネーブル入出力
	VBSIZE1, VBSIZE0 ^注	入出力	転送サイズ入出力
	VBWRITE ^注	入出力	リード/ライト・ステータス入出力
	VBLOCK ^注	入出力	バス・ロック入出力
	VBCTYP2-VBCTYP0 ^注	入出力	バス・サイクル・ステータス入出力
	VBSEQ2-VBSEQ0 ^注	入出力	シーケンシャル・ステータス入出力
	VBBSTR ^注	入出力	バースト・リード・ステータス入出力
	VBWAIT ^注	入出力	ウェイト・レスポンス入出力
	VBLAST ^注	入出力	ラスト・レスポンス入出力
	VBAHLD ^注	入出力	アドレス・ホールド・レスポンス入出力
	VBDC	出力	データ・バス方向制御出力
	VDCSZ7-VDCSZ0 ^注	入出力	チップ・セレクト入出力
	VDSELPZ ^注	入出力	周辺 I/O 領域アクセス・ステータス入出力
	システム制御用 端子	RESETZ	入力
VBCLK		入力	内部システム・クロック入力
CLKB1		出力	内部システム・クロック出力
CGREL		入力	クロック・ジェネレータ・リリース入力
SWSTOPRQ		出力	クロック・ジェネレータへのソフトウェア STOP モード要求出力
HWSTOPRQ		出力	クロック・ジェネレータへのハードウェア STOP モード要求出力
STOPZ		入力	ハードウェア STOP モード要求入力
STPRQ		出力	MEMC へのハードウェア/ソフトウェア STOP モード要求出力
STPAK		入力	MEMC の STPRQ 入力に対するアクノリッジ入力

注 内部でバス・ホルダが接続されています。

端子名		入出力	機能
DMAC 用端子	IDMASTP	入力	DMA 転送終了入力
	DMARQ3-DMARQ0	入力	DMA 転送要求入力
	DMTCO3-DMTCO0	出力	ターミナル・カウント (DMA 転送完了) 出力
	DMACTV3-DMACTV0	出力	DMA アクノリッジ出力
INTC 用端子	NMI2-NMI0	入力	ノンマスカブル割り込み要求 (NMI) 入力
	INT63-INT0	入力	マスカブル割り込み要求入力
VFB 用端子	IROMA19-IROMA2	出力	ROM 用アドレス出力
	IROMZ31-IROMZ0	入力	ROM 用データ入力
	IROMEN	出力	ROM 用アクセス・イネーブル出力
	IROMWT	入力	ROM 用ウエイト入力
	IROMCS	出力	NEC の予約端子 (オープンにしてください)
	IROMIA	出力	
	IROMAE	出力	
VDB 用端子	IRAMA27-IRAMA2	出力	RAM 用アドレス出力
	IRAMZ31-IRAMZ0	入力	RAM 用データ入力
	IRAOZ31-IRAOZ0	出力	RAM 用データ出力
	IRAMEN	出力	RAM 用アクセス・イネーブル出力
	IRAMWR3-IRAMWR0	出力	RAM 用ライト・イネーブル出力
	IRAMRWB	出力	RAM 用リード/ライト・ステータス出力
	IRAMWT	入力	RAM 用ウエイト入力
命令キャッシュ用 端子	IBDRRQ	入力	命令キャッシュからのフェッチ要求入力
	IBEA25-IBEA2	入力	命令キャッシュからのフェッチ・アドレス入力
	IBAACK	出力	命令キャッシュへのアドレス・アクノリッジ出力
	IBDRDY	出力	命令キャッシュへのデータ・レディ出力
	IBDLE3-IBDLE0	出力	命令キャッシュへのデータ・ラッチ・イネーブル出力
	IBEDI31-IBEDI0	出力	命令キャッシュへのデータ出力
	IIDRRQ	出力	命令キャッシュへのフェッチ要求出力
	IIEA25-IIEA2	出力	命令キャッシュへのフェッチ・アドレス出力
	IIAACK	入力	命令キャッシュからのアドレス・アクノリッジ入力
	IIDLEF	入力	命令キャッシュからのデータ・ラッチ・イネーブル入力
	IIEDI31-IIEDI0	入力	命令キャッシュからのデータ入力
	IIBTFT	出力	命令キャッシュへのブランチ・ターゲット・フェッチ・ステータス出力
	IIRCAN	出力	命令キャッシュへのコード・キャンセル・ステータス出力
	BCUNCH	出力	命令キャッシュへのアンキャッシュ・ステータス出力
	IBBTFT	入力	NEC の予約端子 (ロウ・レベルを入力にしてください)
データ・ キャッシュ用端子	IDDARQ	出力	データ・キャッシュへのリード/ライト・アクセス要求出力
	IDAACK	出力	アクノリッジ出力
	IDRRRQ	入力	BCU への VSB リード・オペレーション要求入力
	IDDWRQ	入力	BCU への VSB ライト・オペレーション要求入力

端子名		入出力	機能
データ・ キャッシュ用端子	IDSEQ4	入力	リード/ライト動作タイプ設定入力
	IDSEQ2	入力	リード/ライト動作タイプ設定入力
	IRRSA	出力	VDB ホールド・ステータス出力
	IDRETR	出力	リード・リトライ要求出力
	IDUNCH	出力	アンキャッシュ・ステータス出力
	IDDRDY	出力	リード・データ・レディ出力
	IDRRDY	入力	データ・キャッシュからのリード・データ・レディ入力
	IDHUM	入力	ヒット・アンダ・ミスヒット・リード入力
	IDEA27-IDEA0	入力	アドレス入力
	IDED31-IDED0 ^{注1}	入出力	データ入出力
	IDES	出力	NECの予約端子 ^{注2}
外部 INTC 用端子	EINTLV6-EINTLV0	入力	外部 INTC からの割り込みタイプ入力
	EINTRQ	入力	外部 INTC からの割り込み要求入力
	EINTAK	出力	外部 INTC への割り込みアクノリッジ出力
	ECLRIP	出力	外部 INTC への割り込み処理終了出力
DCU 用端子	DCK	入力	DCU 用クロック入力
	DMS	入力	ディバグ・モード選択入力
	DDI	入力	ディバグ・データ入力
	DDO	出力	ディバグ・データ出力
	DRSTZ	入力	DCU 用リセット入力
	TRCCLK	出力	トレース・クロック出力
	TRCDATA3- TRCDATA0	出力	トレース・データ出力
	TRCEND	出力	トレース処理終了出力
	IDBR2-IDBR0	出力	ディバグ・モード出力
	EVTTRG	出力	イベント・トリガ出力
	DCRESZ	出力	強制リセット出力
	MWAIT	入力	ウェイト挿入制御入力
	DCWAIT	出力	ウェイト挿入制御出力
	EXHLT	出力	HALT モード・ステータス出力
	DBINT	入力	外部ディバグ割り込み入力
	ROMTYPE	入力	NECの予約端子(ロウ・レベルを入力してください)
	DDOOUT	出力	NECの予約端子(オープンにしてください)
	DDOENB	出力	
	TAPSM3-TAPSM0	出力	
	TRG1, TRG0	出力	
DBRESZ	出力		
RESMK	出力		

注1. 内部でバス・ホルダが接続されています。

2. データ・キャッシュを使用するときは、必ずデータ・キャッシュの IDES 端子に接続してください。未使用時はオープンにしてください。

端子名		入出力	機能
DCU 用端子	MSKSTP	出力	NEC の予約端子 (オープンにしてください)
	MSKNMI2-MSKNMIO	出力	
	MSKHRQ	出力	
	DBRDY	出力	
周辺エバチップ・ モード用端子	EVASTB	入力	アドレス・ストロブ入力
	EVDSTB	入力	データ・ストロブ入力
	EVAD15-EVAD0 ^注	入出力	アドレス/データ入出力
	EVIEN	出力	EVADn 入力イネーブル出力 (n = 15-0)
	EVOEN	出力	EVADn 出力イネーブル出力 (n = 15-0)
	EVLKRT ^注	入出力	ロック/リトライ入出力
	EVIREL	入力	スタンバイ・リリース入力
	EVCLRIP	入力	ISPR クリア入力
	EVINTAK	入力	割り込みアクノリッジ入力
	EVINTRQ	出力	割り込み要求出力
	EVINTLV6-EVINTLV0	出力	割り込みベクタ出力
動作モード設定用 端子	IFIROME	入力	ROM マッピング・イネーブル入力
	IFIROB2	入力	ROM 領域の配置設定入力
	IFIRA64	入力	RAM 領域サイズ選択入力
	IFIRA32	入力	RAM 領域サイズ選択入力
	IFIRA16	入力	RAM 領域サイズ選択入力
	IFIMAEN	入力	ミス・アライン・アクセス設定入力
	IFID256	入力	データ領域設定入力
	IFINSZ1, IFINSZ0	入力	VSB データ・バス・サイズ選択入力
	IFIWRTH	入力	データ・キャッシュのライト・バック/ライト・スルー・モード選 択入力
	IFIUNCH1	入力	データ・キャッシュ設定入力
	IFIUNCH0	入力	命令キャッシュ設定入力
	PHEVA	入力	周辺エバチップ・モード設定入力
	IFIEVA	入力	外部 INTC / 内蔵 INTC 選択入力
	IFIMODE2	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	IFIROBE	入力	
	IFIROPR	入力	
	IFIRASE	入力	
	IFIRABE	入力	
	IFIMODE3	入力	
	IFIUSWE	入力	
FCOMB	入力		

注 内部でバス・ホルダが接続されています。

端子名	入出力	機能	
テスト・モード用 端子	TBI39-TBI0	入力	入力テスト・バス
	TBO34-TBO0	出力	出力テスト・バス
	TEST	入力	テスト・バス・コントロール入力
	BUNRI	入力	ノーマル/テスト・モード選択入力
	PHTDO1, PHTDO0 ^注	入力	周辺マクロ・テスト入力
	TESEN	出力	周辺マクロ・テスト・イネーブル出力
	VPTCLK	出力	周辺マクロ・テスト用クロック出力
	PHTDIN1, PHTDIN0	出力	周辺マクロ・テスト出力
	VPRESZ	出力	周辺マクロ・リセット出力
	PHTEST	出力	周辺テスト・モード・ステータス出力
	TMODE1, TMODE0	出力	NECの予約端子(オープンにしてください)
	TBREDZ	出力	

注 内部でバス・ホルダが接続されています。

9.4 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

9.4.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

9.4.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	20.0			ns

9.4.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

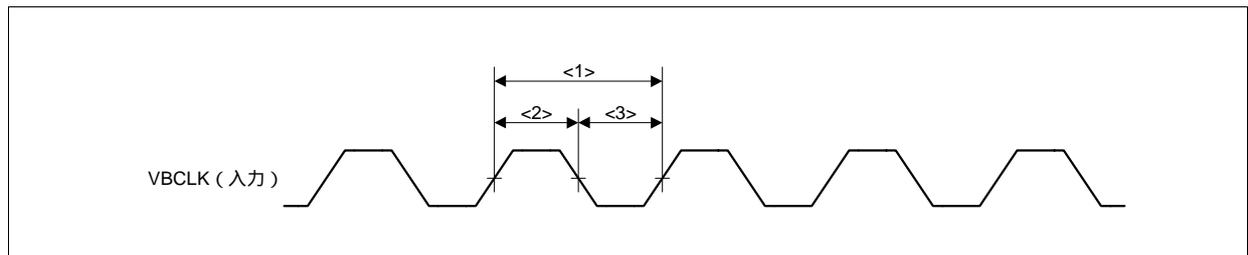
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1}	通常動作モード時		0.5	0.6	mA/MHz
	I _{DD2}	HALT モード時 (DMAC 非動作時)		0.17	0.2	mA/MHz
	I _{DD3}	STOP モード時		0	1.0	μA

備考 TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

9.4.4 AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$)

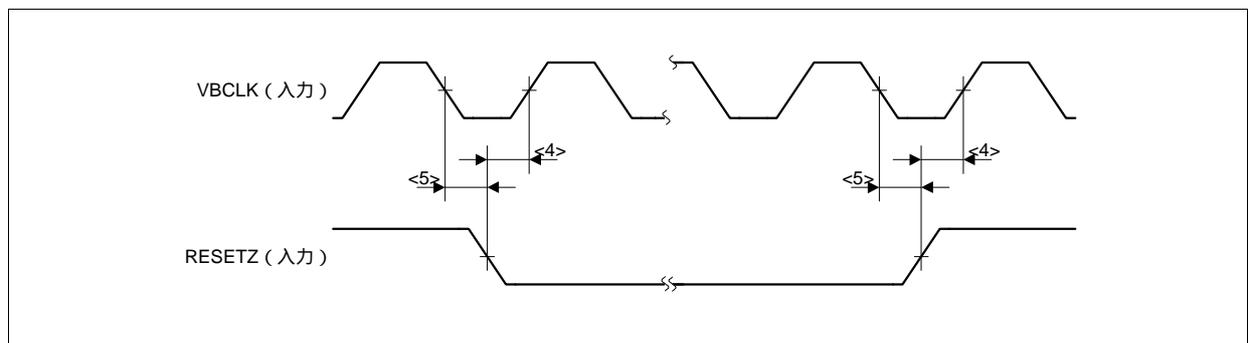
(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1>	t_{CYK}	20.0		ns
VBCLK 入力ハイ・レベル幅	<2>	t_{KKH}	10.0		ns
VBCLK 入力ロウ・レベル幅	<3>	t_{KKL}	10.0		ns
CPU 動作周波数	-	ϕ	0	50	MHz



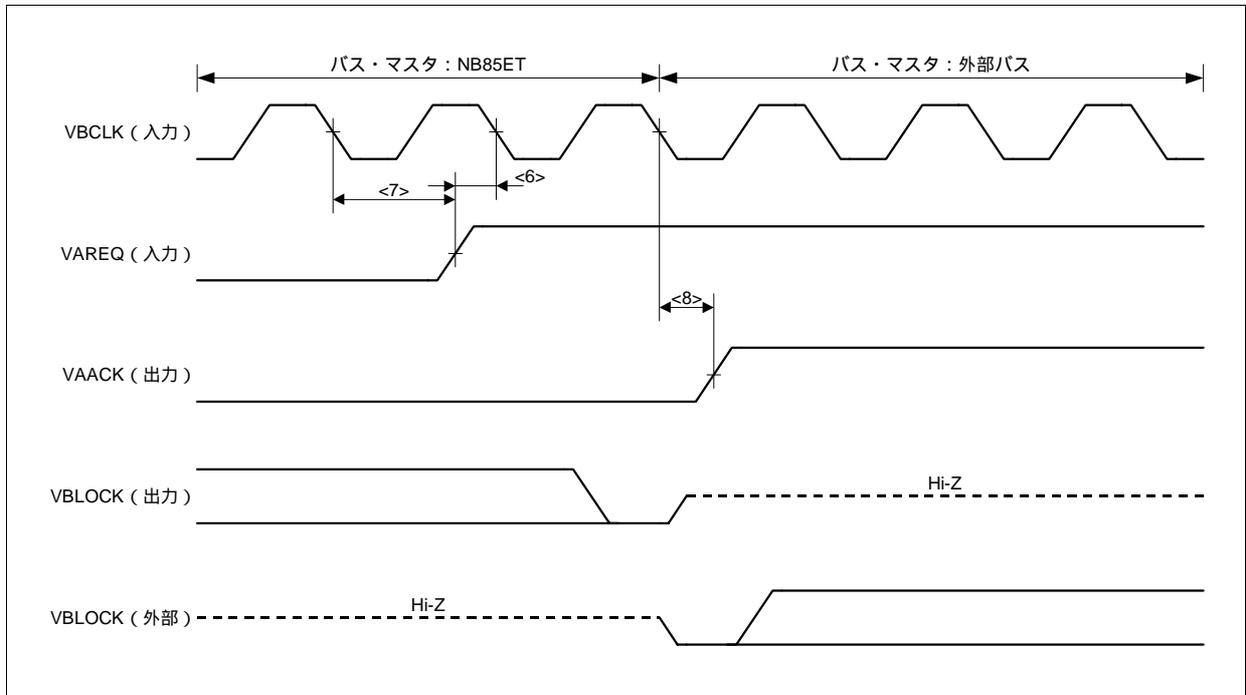
(2) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESETZ 設定時間 (対 VBCLK \uparrow)	<4>	t_{SKR}	2.3		ns
RESETZ 保持時間 (対 VBCLK \downarrow)	<5>	t_{HKR}	1.9		ns
RESETZ \rightarrow VPRESZ 遅延時間	-	t_{DRPR}	0.9	3.2	ns



(3) VSB アービトレーション・タイミング

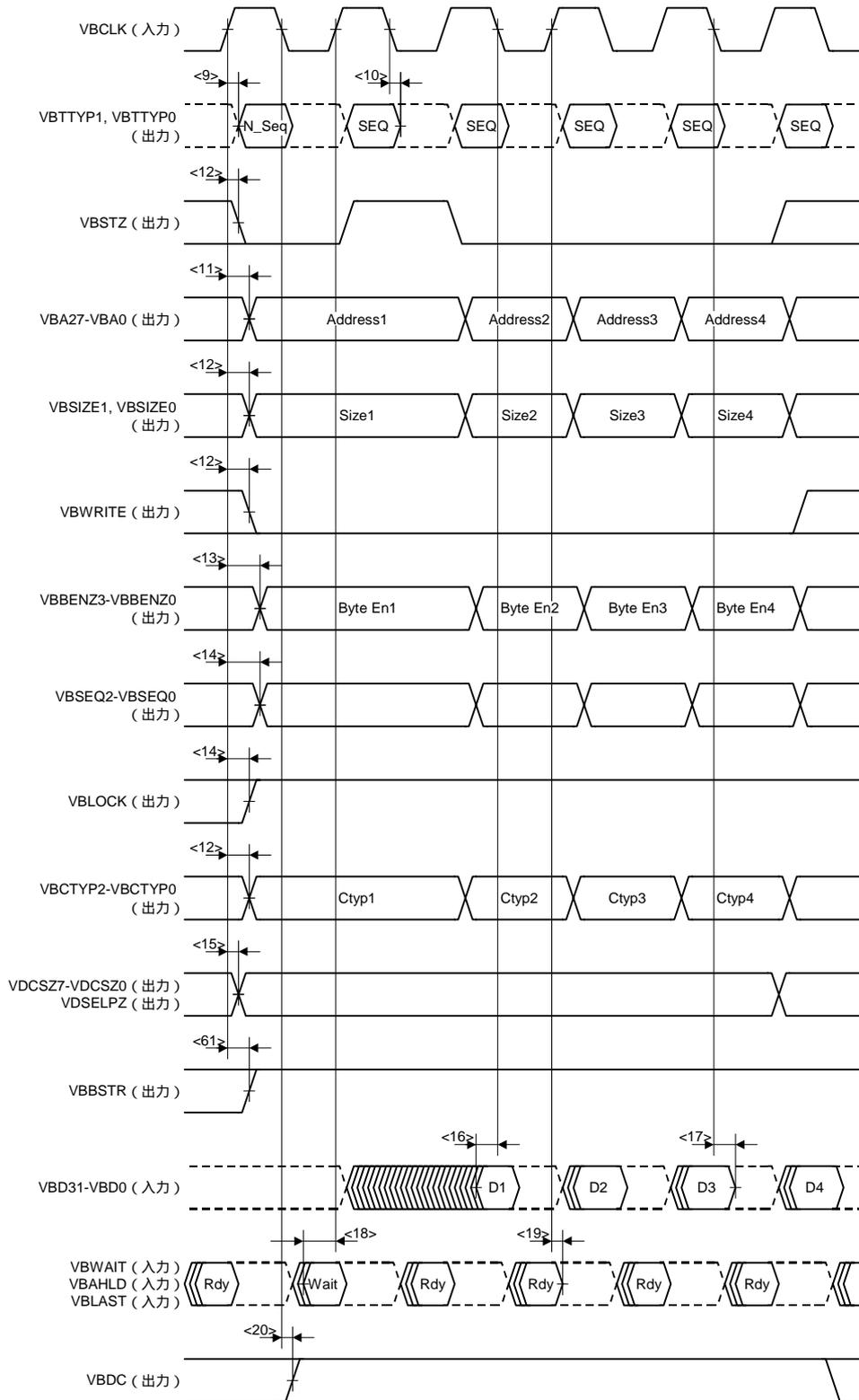
項目	略号	条件	MIN.	MAX.	単位
VAREQ 設定時間 (対 VBCLK↓)	<6>	t _{SKQ}	0		ns
VAREQ 保持時間 (対 VBCLK↓)	<7>	t _{HKQ}	3.4		ns
VBCLK↓ → VAACK 遅延時間	<8>	t _{DKK}	2.0	5.4	ns



(4) VSB マスタ・リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → VBTTYP 遅延時間	<9>	t _{DKT}	1.8	7.0	ns
VBTTYP 保持時間 (対 VBCLK↓)	<10>	t _{HKT}	3.2		ns
VBCLK↑ → VBA 遅延時間	<11>	t _{DKA}	2.0	7.8	ns
VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間	<12>	t _{DKS1}	2.1	7.4	ns
VBCLK↑ → VBBENZ 遅延時間	<13>	t _{DKS2}	2.2	8.7	ns
VBCLK↑ → VBSEQ, VBLOCK 遅延時間	<14>	t _{DKS3}	2.3	8.2	ns
VBCLK↑ → VDGSZ, VDSELPZ 遅延時間	<15>	t _{DKC}	2.3	8.0	ns
VBCLK↑ → VBBSTR 遅延時間	<61>	t _{DKBSR}	2.1	6.6	ns
VBD データ設定時間 (対 VBCLK↓)	<16>	t _{SKD}	0		ns
VBD データ保持時間 (対 VBCLK↓)	<17>	t _{HKD}	2.8		ns
VBWAIT, VBAHLD, VBLAST 設定時間 (対 VBCLK↑)	<18>	t _{SKW}	0.6		ns
VBWAIT, VBAHLD, VBLAST 保持時間 (対 VBCLK↑)	<19>	t _{HKW}	3.5		ns
VBCLK↓ → VBDC 遅延時間	<20>	t _{DKS4}	2.2	6.1	ns

(4) VSB マスタ・リード・タイミング (2/2)



備考 1. 破線部分のレベルは NB85ET 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

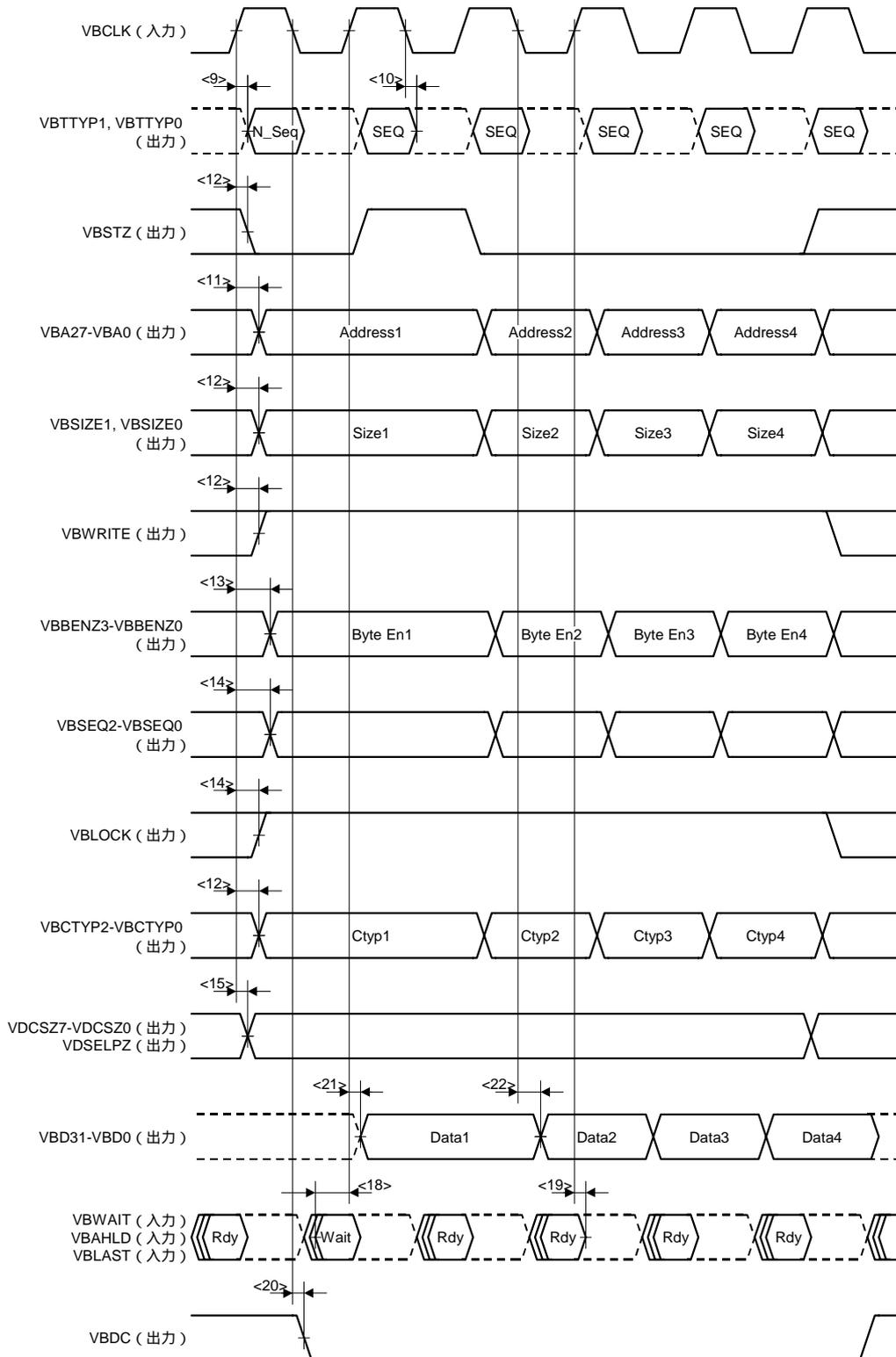
2. Rdy : VBWAIT, VBAHLD, VBLAST 信号がすべてロウ・レベルのとき

Wait : VBWAIT 信号がハイ・レベル, VBAHLD, VBLAST 信号がロウ・レベルのとき

(5) VSB マスタ・ライト・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → VBTTYP 遅延時間	<9> t _{DKT}		1.8	7.0	ns
VBTTYP 保持時間 (対 VBCLK↓)	<10> t _{HKT}		3.2		ns
VBCLK↑ → VBA 遅延時間	<11> t _{DKA}		2.0	8.0	ns
VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間	<12> t _{DKS1}		2.1	7.4	ns
VBCLK↑ → VBBENZ 遅延時間	<13> t _{DKS2}		2.2	8.7	ns
VBCLK↑ → VBSEQ, VBLOCK 遅延時間	<14> t _{DKS3}		2.3	8.2	ns
VBCLK↑ → VDGSZ, VDSELPZ 遅延時間	<15> t _{DKC}		2.3	8.0	ns
VBWAIT, VBAHLD, VBLAST 設定時間 (対 VBCLK↑)	<18> t _{SKW}		0.6		ns
VBWAIT, VBAHLD, VBLAST 保持時間 (対 VBCLK↑)	<19> t _{HKW}		3.5		ns
VBCLK↓ → VBDC 遅延時間	<20> t _{DKS4}		2.2	6.2	ns
VBCLK↑ → VBD データ遅延時間	<21> t _{DKD0}		1.9	6.3	ns
VBCLK↓ → VBD データ遅延時間	<22> t _{DKD1}		2.1	7.1	ns

(5) VSB マスタ・ライト・タイミング (2/2)



備考 1. 破線部分のレベルは NB85ET 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

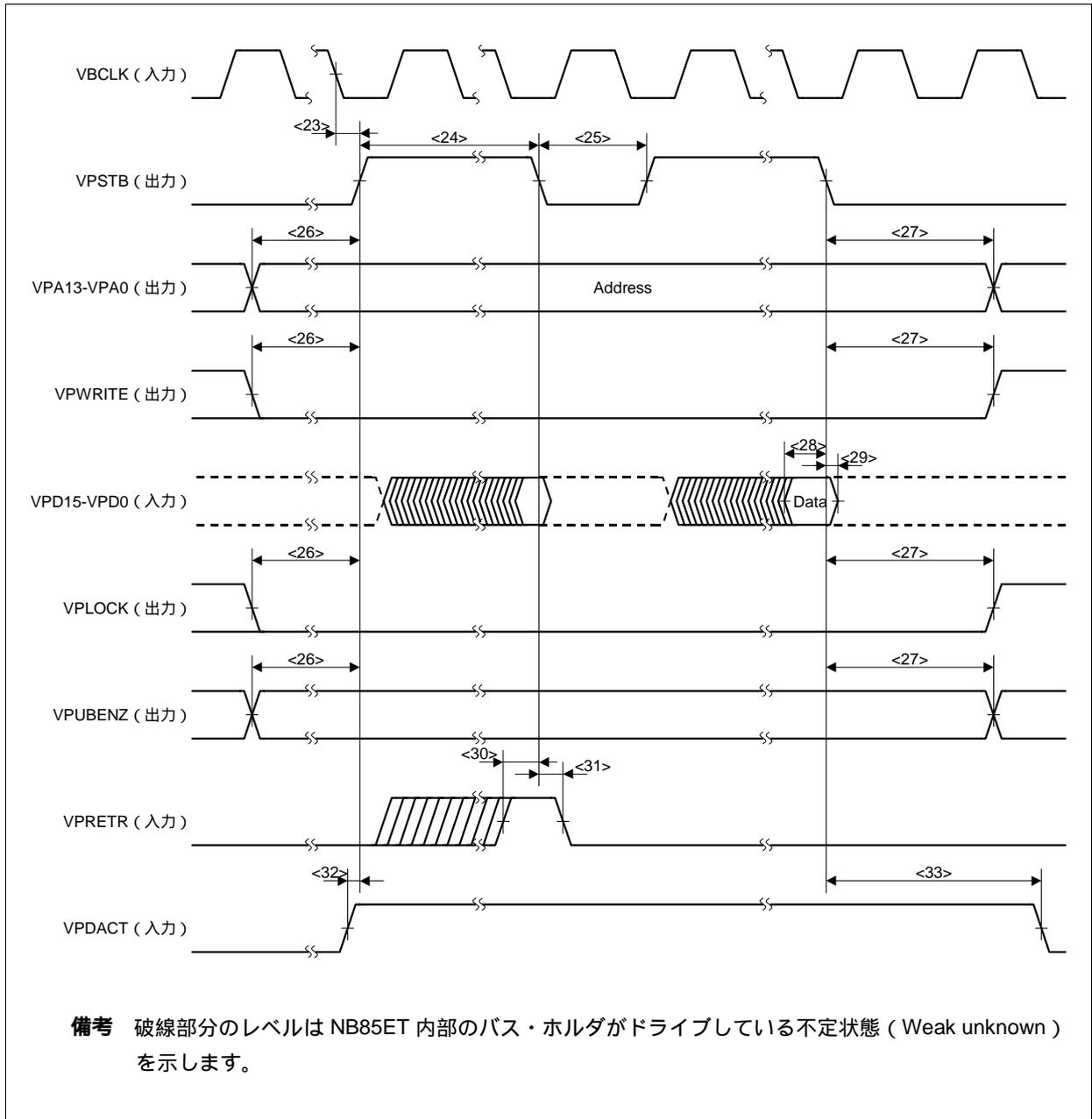
2. Rdy : VBWAIT, VBAHLD, VBLAST 信号がすべてロウ・レベルのとき

Wait : VBWAIT 信号がハイ・レベル, VBAHLD, VBLAST 信号がロウ・レベルのとき

(6) NPB リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → VPSTB 遅延時間	<23>	t _{DKP}	2.4	7.1	ns
VPSTB 出力ハイ・レベル幅	<24>	t _{SSH}	60		ns
VPSTB 出力ロウ・レベル幅	<25>	t _{SSL}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 設定時間 (対 VPSTB↑)	<26>	t _{SSA}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 保持時間 (対 VPSTB↓)	<27>	t _{HSA}	20		ns
VPD リード・データ設定時間 (対 VPSTB↓)	<28>	t _{SSD}	20		ns
VPD リード・データ保持時間 (対 VPSTB↓)	<29>	t _{HSD}	0		ns
VPRETR 設定時間 (対 VPSTB↓)	<30>	t _{SSR}	20		ns
VPRETR 保持時間 (対 VPSTB↓)	<31>	t _{HSR}	0		ns
VPDACT 設定時間 (対 VPSTB↑)	<32>	t _{SSC}	20		ns
VPDACT 保持時間 (対 VPSTB↓)	<33>	t _{HSC}	20		ns

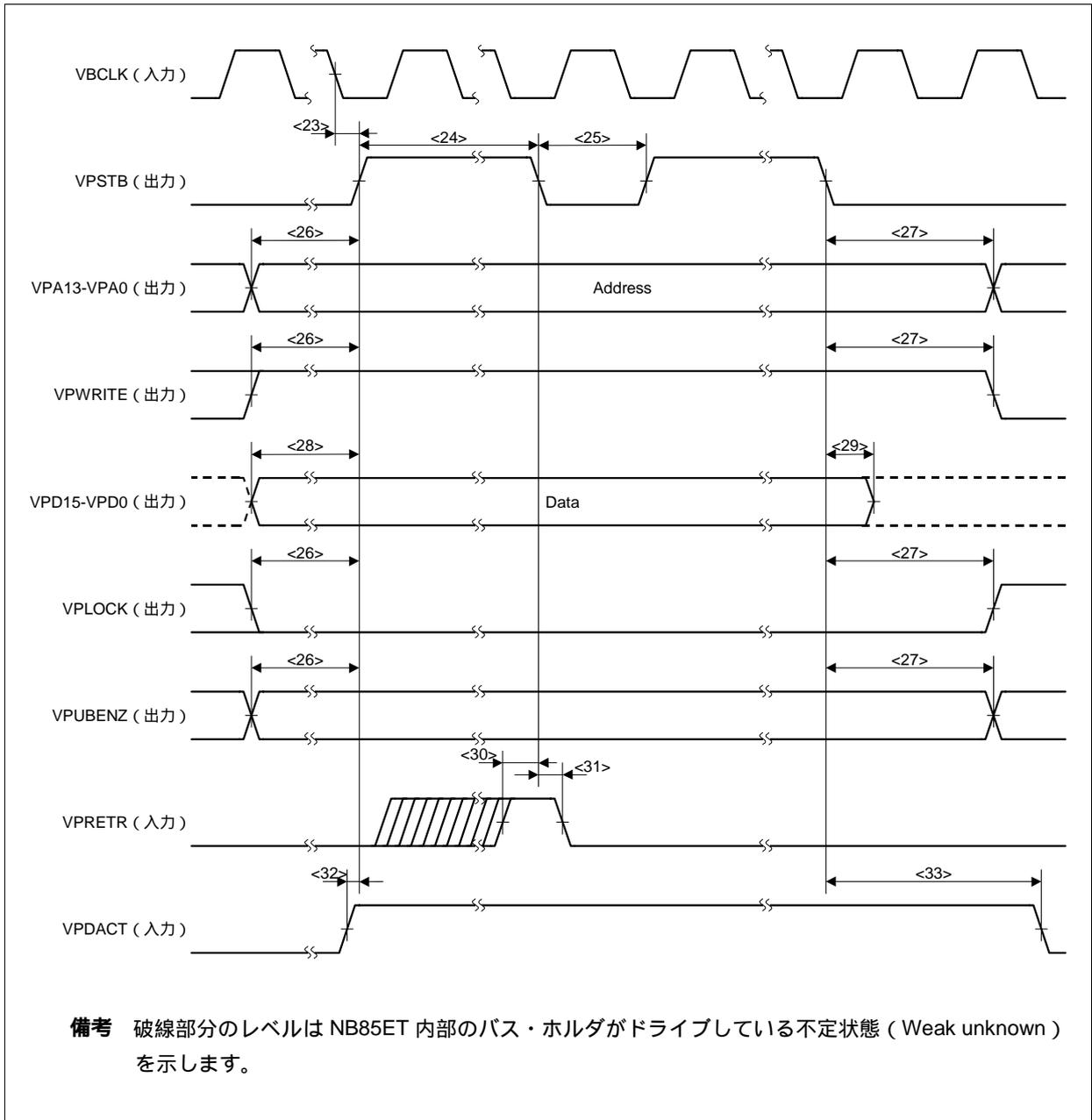
(6) NPB リード・タイミング (2/2)



(7) NPB ライト・タイミング (1/2)

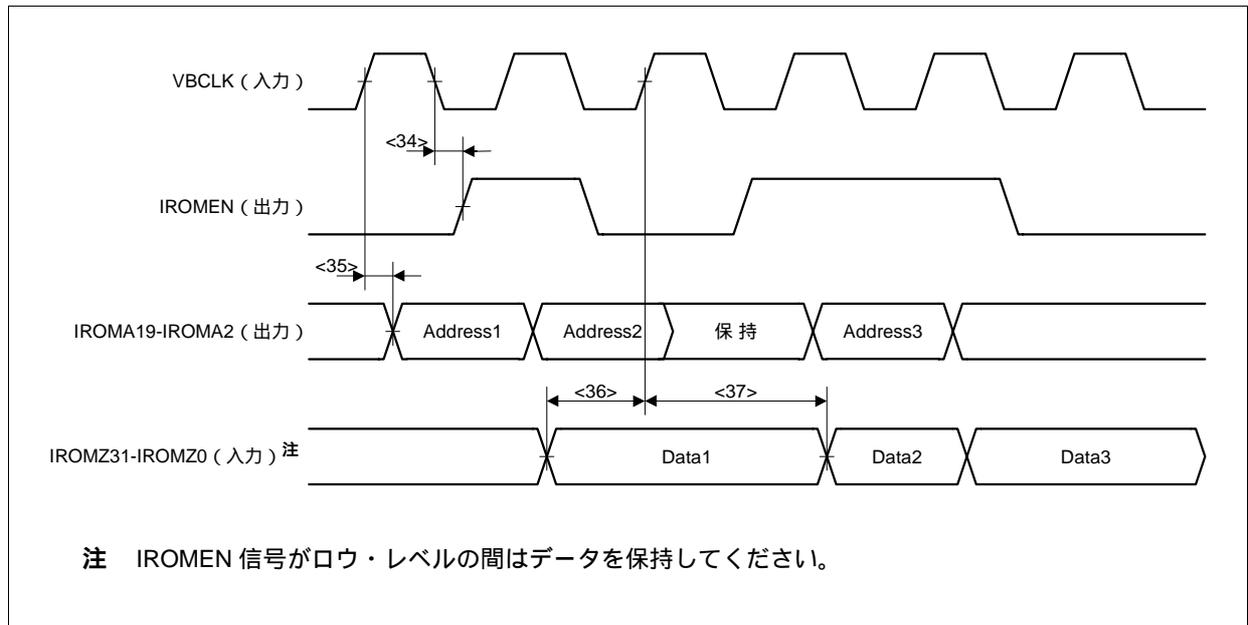
項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → VPSTB 遅延時間	<23>	t _{DKP}	2.4	7.1	ns
VPSTB 出力ハイ・レベル幅	<24>	t _{SSH}	60		ns
VPSTB 出力ロウ・レベル幅	<25>	t _{SSL}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 設定時間 (対 VPSTB↑)	<26>	t _{SSA}	20		ns
VPA アドレス, VPWRITE, VPLOCK, VPUBENZ 保持時間 (対 VPSTB↓)	<27>	t _{HSA}	20		ns
VPD ライト・データ設定時間 (対 VPSTB↑)	<28>	t _{SSD}	20		ns
VPD ライト・データ保持時間 (対 VPSTB↓)	<29>	t _{HSD}	20		ns
VPRETR 設定時間 (対 VPSTB↓)	<30>	t _{SSR}	20		ns
VPRETR 保持時間 (対 VPSTB↓)	<31>	t _{HSR}	0		ns
VPDACT 設定時間 (対 VPSTB↑)	<32>	t _{SSC}	20		ns
VPDACT 保持時間 (対 VPSTB↓)	<33>	t _{HSC}	20		ns

(7) NPB ライト・タイミング (2/2)



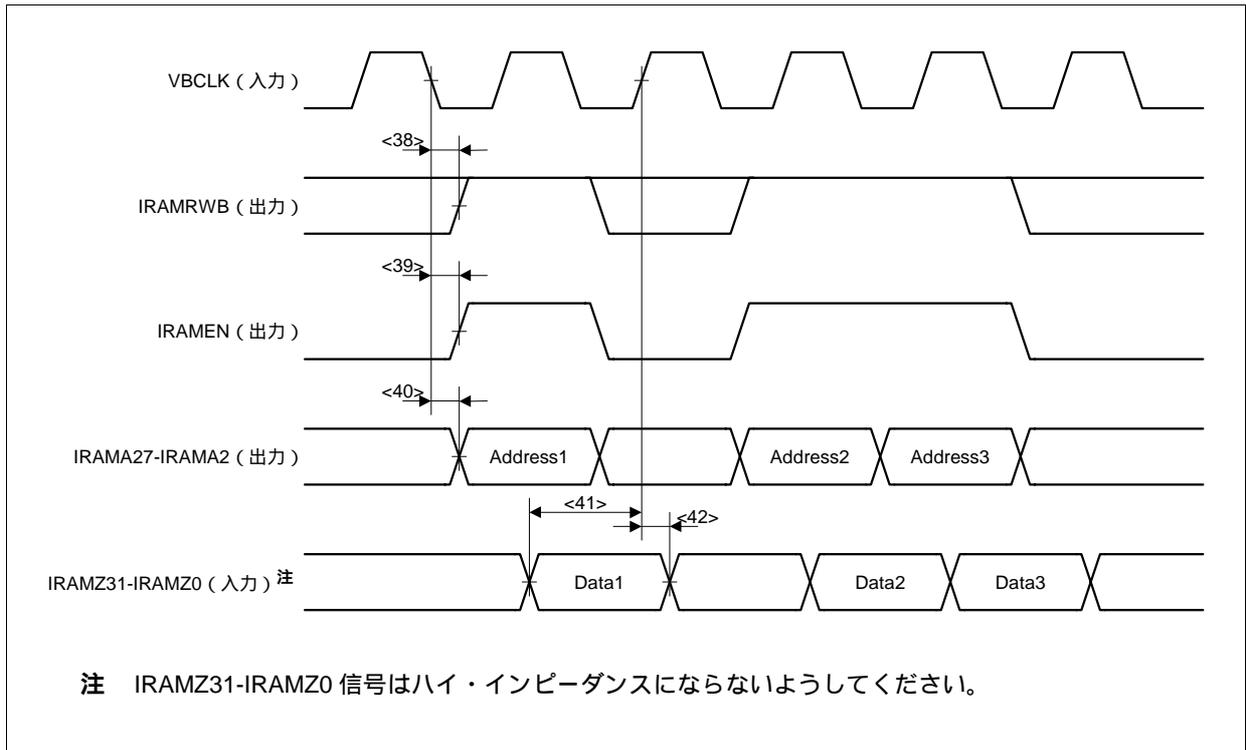
(8) VFB アクセス・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IROMEN 遅延時間	<34>	t _{DKROE}	2.5	9.1	ns
VBCLK↑ → IROMA 遅延時間	<35>	t _{DKROA}	2.6	13.7	ns
IROMZ 設定時間 (対 VBCLK↑)	<36>	t _{SKROZ}	3.3		ns
IROMZ 保持時間 (対 VBCLK↑)	<37>	t _{HKROZ}	3.2		ns



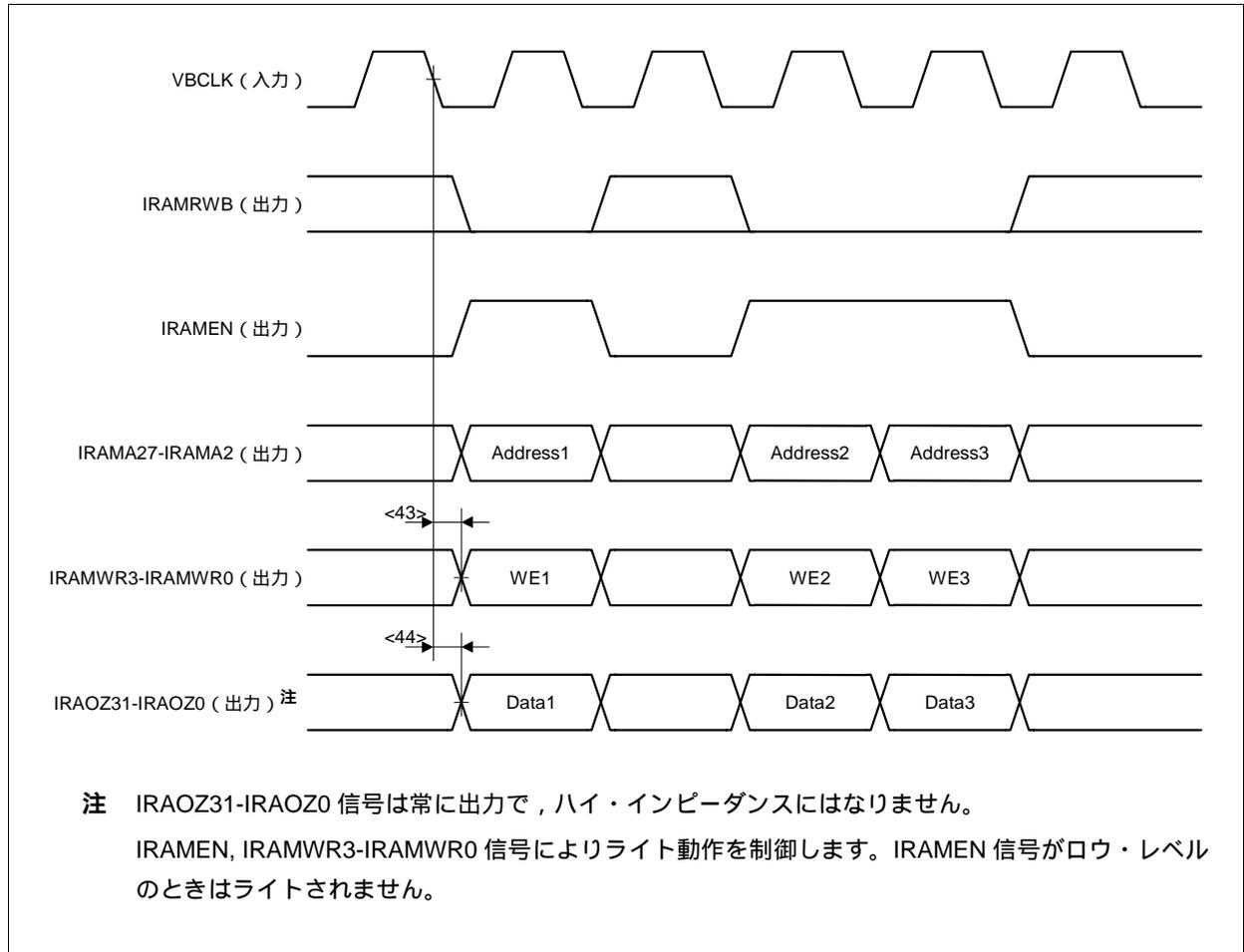
(9) VDB リード・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IRAMRWB 遅延時間	<38>	t _{DKRAR}	2.5	9.7	ns
VBCLK↓ → IRAMEN 遅延時間	<39>	t _{DKRAE}	2.2	10.4	ns
VBCLK↓ → IRAMA 遅延時間	<40>	t _{DKRAA}	2.7	10.2	ns
IRAMZ 設定時間 (対 VBCLK↑)	<41>	t _{SKRAZ}	4.6		ns
IRAMZ 保持時間 (対 VBCLK↑)	<42>	t _{HKRAZ}	3.8		ns



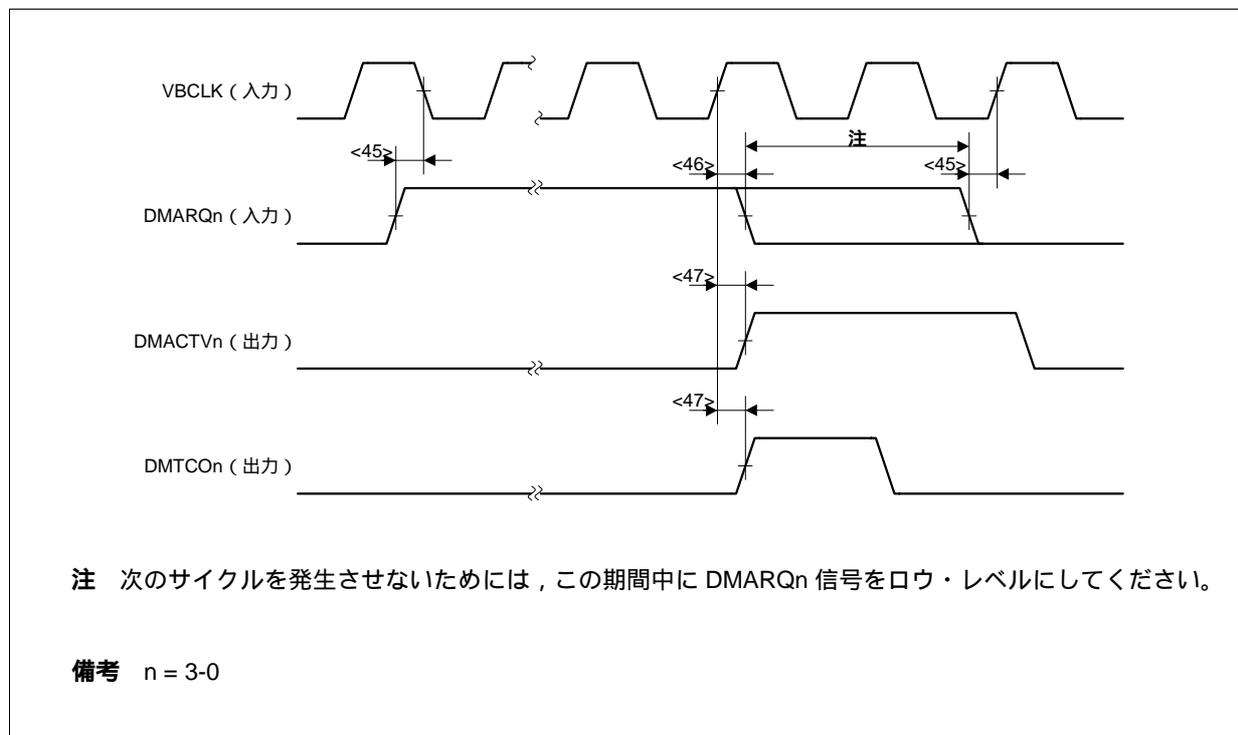
(10) VDB ライト・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IRAMWR 遅延時間	<43>	t _{DKRAW}	2.6	10.2	ns
VBCLK↓ → IRAOZ 遅延時間	<44>	t _{DKRAZ}	2.5	10.2	ns



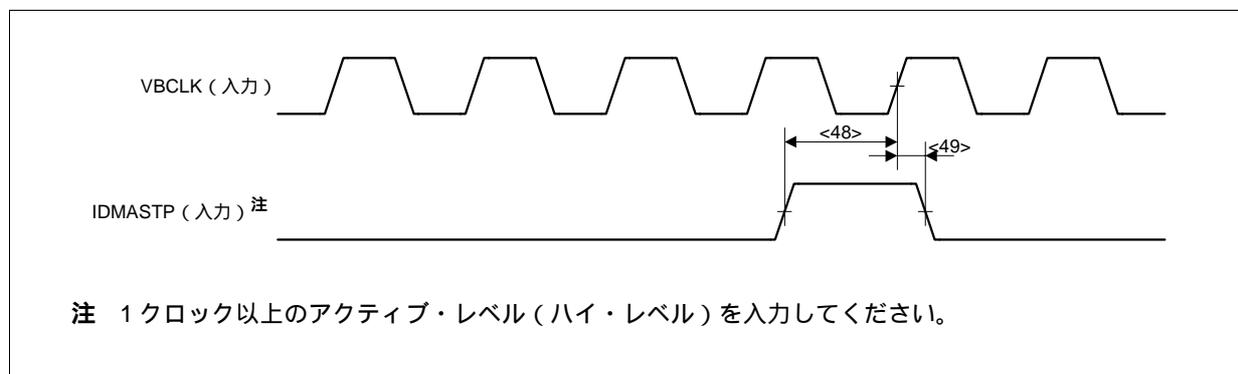
(11) DMA 転送要求, 転送完了タイミング

項目	略号	条件	MIN.	MAX.	単位
DMARQ 設定時間 (対 VBCLK↓)	<45>	t _{SKDQ}	0		ns
DMARQ 保持時間 (対 VBCLK↑)	<46>	t _{HKDQ}	2.3		ns
VBCLK↑ → DMACTV, DMTCO 遅延時間	<47>	t _{DKDC}	2.1	6.5	ns



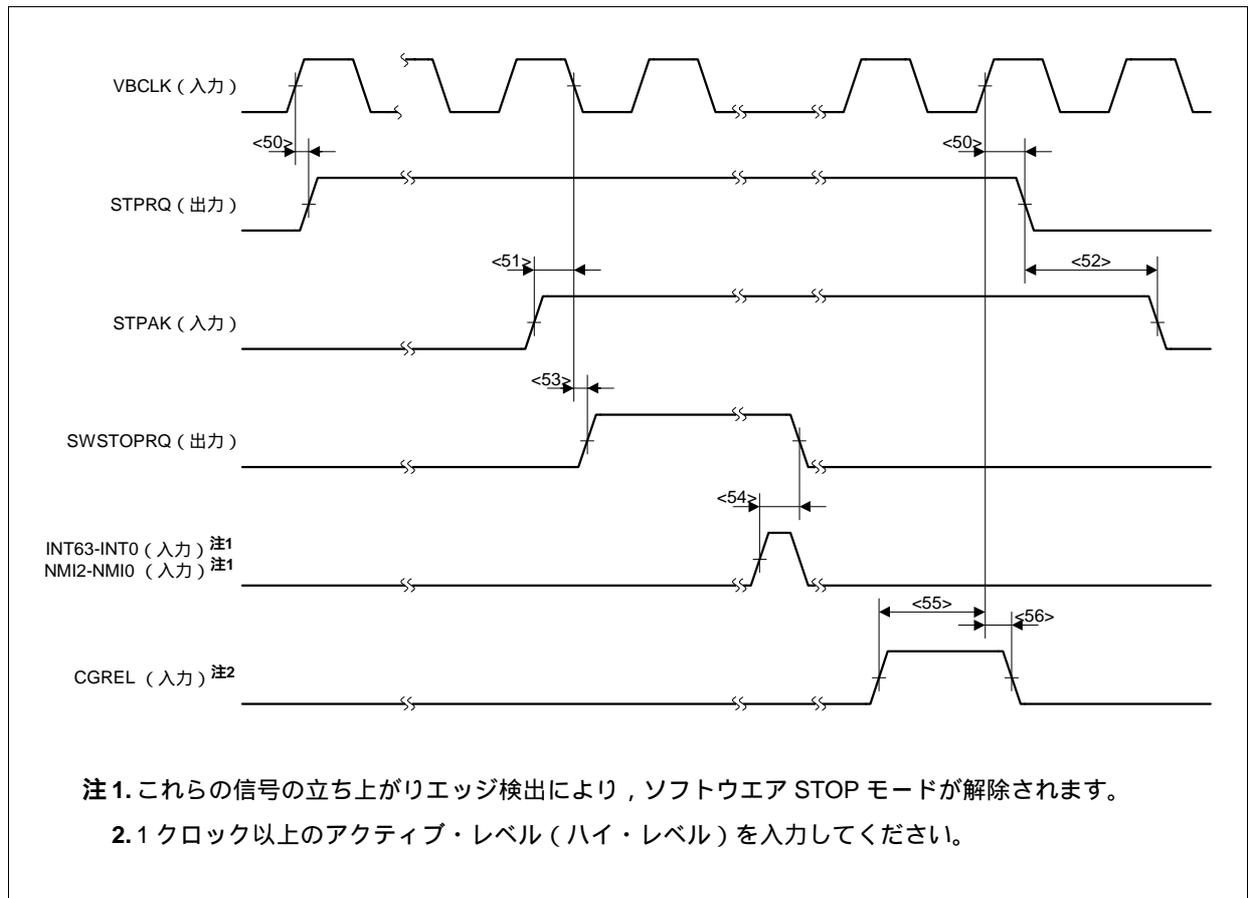
(12) DMA 転送中断タイミング

項目	略号	条件	MIN.	MAX.	単位
IDMASTP 設定時間 (対 VBCLK↑)	<48>	t _{SKDS}	3.5		ns
IDMASTP 保持時間 (対 VBCLK↑)	<49>	t _{HKDS}	2.9		ns



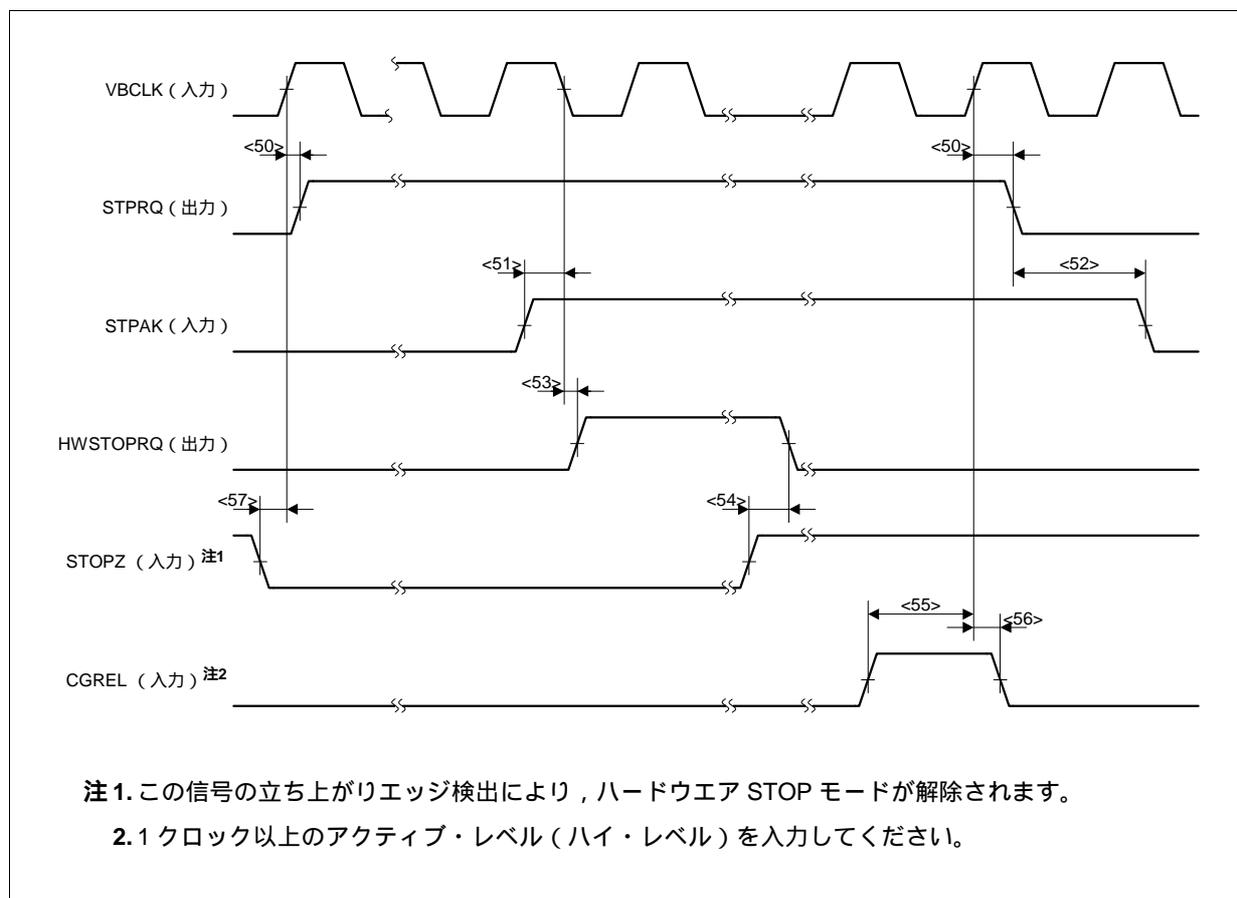
(13) ソフトウェア STOP モード・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → STPRQ 遅延時間	<50>	t _{DKSQ}	2.2	6.1	ns
STPAK 設定時間 (対 VBCLK↓)	<51>	t _{SKSA}	1.0		ns
STPAK 保持時間 (対 STPRQ↓)	<52>	t _{HQSA}	9.6		ns
VBCLK↓ → SWSTOPRQ↑遅延時間	<53>	t _{DKSS}	2.1	5.7	ns
INT, NMI → SWSTOPRQ ↓遅延時間	<54>	t _{DRSR}	0	20.8	ns
CGREL 設定時間 (対 VBCLK↑)	<55>	t _{SKSG}	0		ns
CGREL 保持時間 (対 VBCLK↑)	<56>	t _{HKSG}	3.2		ns



(14) ハードウェア STOP モード・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → STPRQ 遅延時間	<50>	tDKSQ	2.2	6.1	ns
STPAK 設定時間 (対 VBCLK↓)	<51>	tSKSA	1.0		ns
STPAK 保持時間 (対 STPRQ↓)	<52>	tHQSA	9.6		ns
VBCLK↓ → HWSTOPRQ↑遅延時間	<53>	tDKSS	2.2	5.9	ns
STOPZ → HWSTOPRQ ↓遅延時間	<54>	tDRSR	0	20.8	ns
CGREL 設定時間 (対 VBCLK↑)	<55>	tSKSG	0		ns
CGREL 保持時間 (対 VBCLK↑)	<56>	tHKSG	3.2		ns
STOPZ 設定時間 (対 VBCLK↑)	<57>	tSKST	0		ns

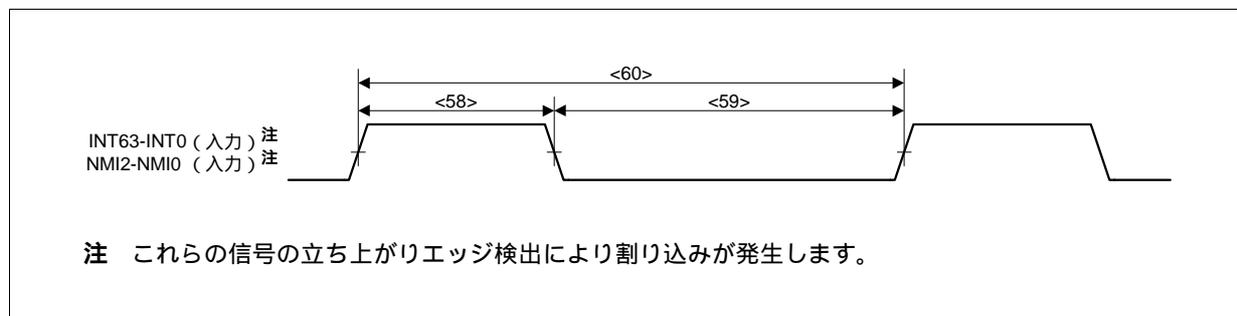


注1. この信号の立ち上がりエッジ検出により，ハードウェア STOP モードが解除されます。

2.1 クロック以上のアクティブ・レベル（ハイ・レベル）を入力してください。

(15) 割り込みタイミング

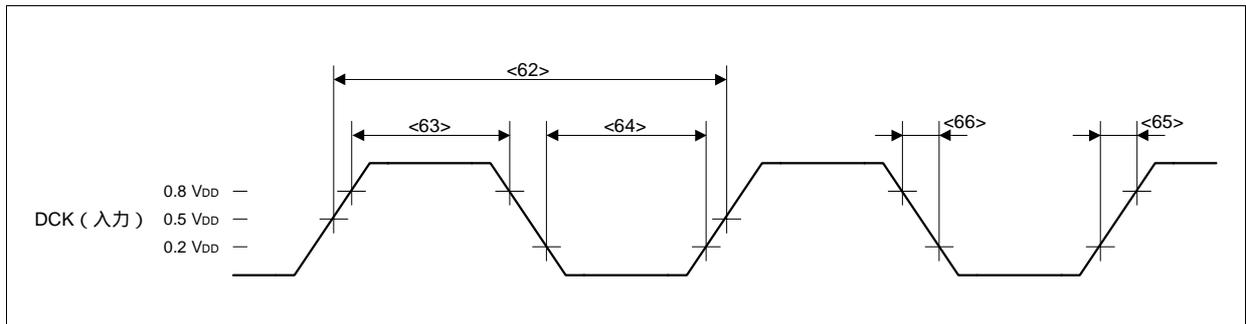
項目	略号	条件	MIN.	MAX.	単位
INT, NMI ハイ・レベル幅	<58>	t _{WIH}	5.0		ns
INT, NMI ロウ・レベル幅	<59>	t _{WIL}	5.0		ns
INT, NMI インターバル時間	<60>	t _{CVI}	3 × t _{cyk}		ns



(16) DCU タイミング

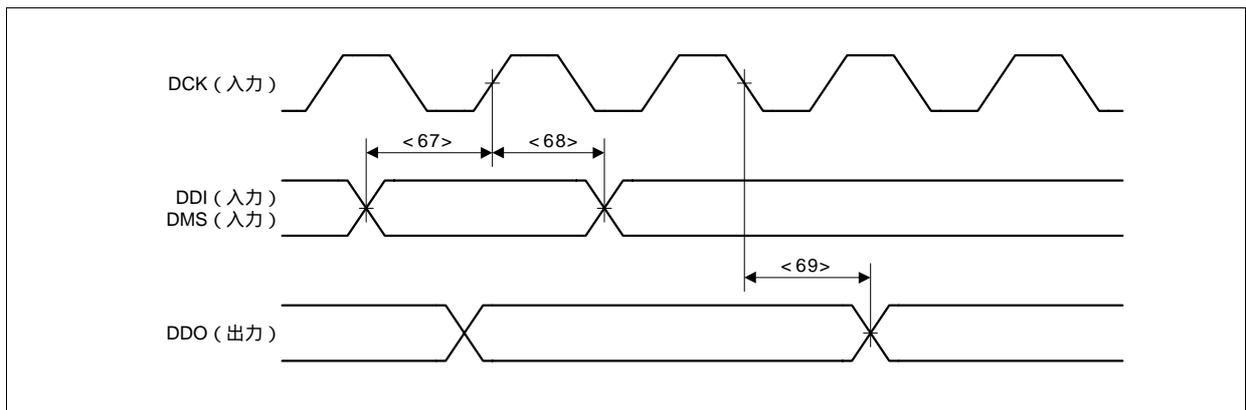
(a) DCK 入力タイミング

項目	略号	条件	MIN.	MAX.	単位
DCK 入力周期	<62>	t_{CYD}	30.0		ns
DCK 入力ハイ・レベル幅	<63>	t_{DDH}	10.0		ns
DCK 入力ロウ・レベル幅	<64>	t_{DDL}	10.0		ns
DCK 立ち上がり時間	<65>	t_{DR}		5.0	ns
DCK 立ち下がり時間	<66>	t_{DF}		5.0	ns



(b) DDI, DMS, DDO タイミング

項目	略号	条件	MIN.	MAX.	単位
DDI, DMS 設定時間 (対 DCK↑)	<67>	t_{SDTD}	7.0		ns
DDI, DMS 保持時間 (対 DCK↑)	<68>	t_{HDDT}	3.0		ns
DCK↓ → DDO 遅延時間	<69>	t_{DDDT}	2.0	10.0	ns



第 10 章 NB85E500

(開発中)

NB85E500 は、接続する外部メモリの種類に応じて次のように使用します。

対象 CPU コア	接続する外部メモリの種類	メモリ・コントローラ (MEMC)
NB85E, NB85ET	SRAM, ROM, ページ ROM, フラッシュ・メモリ	NB85E500
	SDRAM	NB85E500 + NU85E502

備考 NU85E502 については第 12 章 **NU85E502** を参照してください。

10.1 概要

NB85E500 は、外部メモリを制御するための基本となるマクロで、SRAM, I/O コントローラ、ページ ROM コントローラを内蔵しています。

NB85E500 は、VSB を介して NB85E (または NB85ET) と接続することで、外部バス・サイクルを起動できます。

また、NB85E500 に SDRAM コントローラ (NU85E502) を接続することで、SDRAM を制御できます。

10.1.1 シンボル図

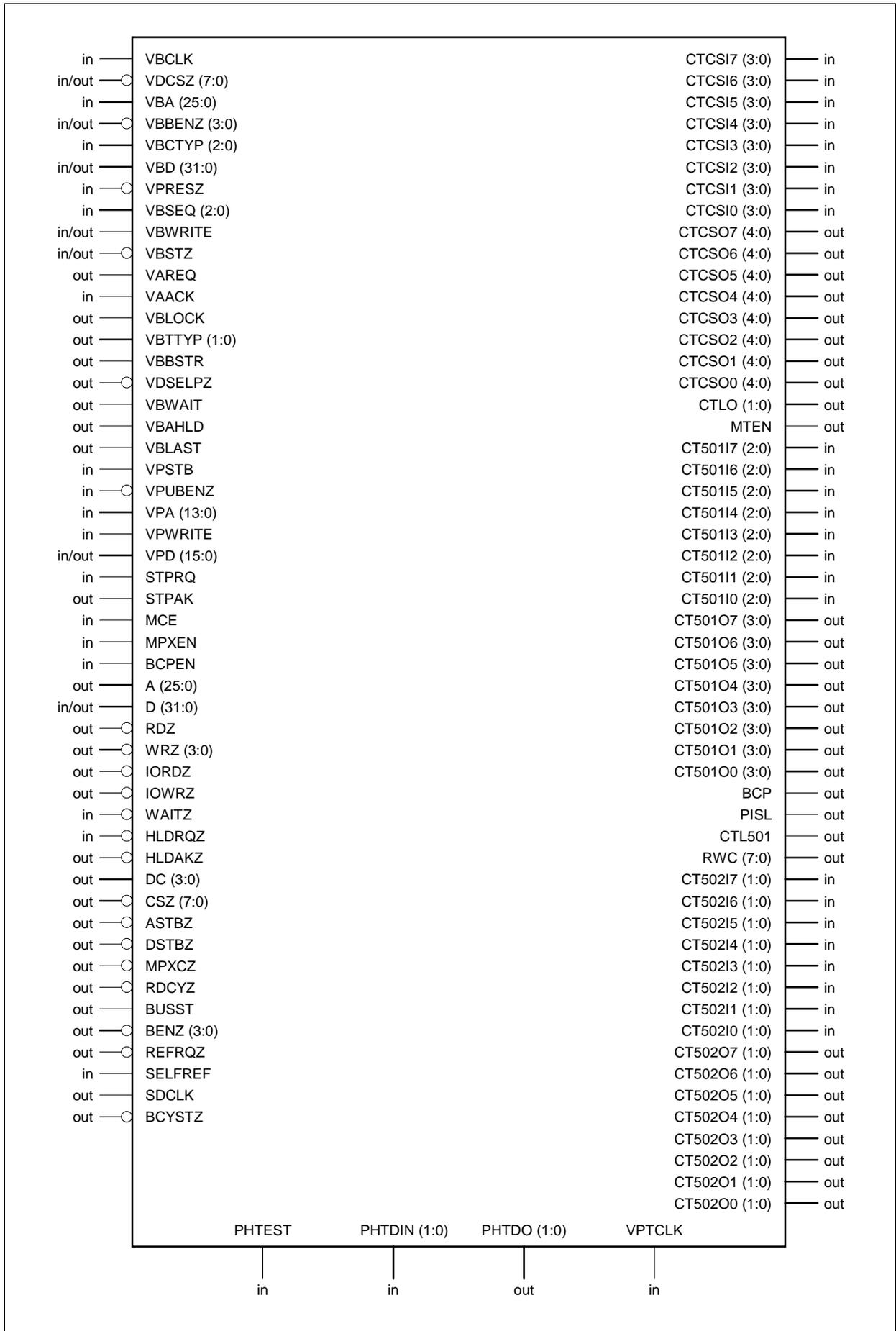
グリッド数

34.0k グリッド

96.9k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

14.3k



10.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子 (1/2)

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
VBCLK	0.029	1.929	VAACK	0.146	2.046
VBA25	0.081	1.981	VPSTB	0.009	1.909
VBA24	0.064	1.964	VPUBENZ	0.011	1.911
VBA23	0.063	1.963	VPA13	0.035	1.935
VBA22	0.065	1.965	VPA12	0.036	1.936
VBA21	0.071	1.971	VPA11	0.034	1.934
VBA20	0.099	1.999	VPA10	0.045	1.945
VBA19	0.061	1.961	VPA9	0.035	1.935
VBA18	0.155	2.055	VPA8	0.013	1.913
VBA17	0.062	1.962	VPA7	0.052	1.952
VBA16	0.063	1.963	VPA6	0.043	1.943
VBA15	0.102	2.002	VPA5	0.046	1.946
VBA14	0.107	2.007	VPA4	0.008	1.908
VBA13	0.076	1.976	VPA3	0.008	1.908
VBA12	0.087	1.987	VPA2	0.061	1.961
VBA11	0.112	2.012	VPA1	0.012	1.912
VBA10	0.122	2.022	VPA0	0.075	1.975
VBA9	0.068	1.968	VPWRITE	0.013	1.913
VBA8	0.091	1.991	STPRQ	0.182	2.082
VBA7	0.069	1.969	MCE	0.137	2.037
VBA6	0.096	1.996	BCPEN	0.131	2.031
VBA5	0.075	1.975	WAITZ	0.151	2.051
VBA4	0.068	1.968	HLDRQZ	0.135	2.035
VBA3	0.075	1.975	SELFREF	0.162	2.062
VBA2	0.070	1.970	CTCSI73	0.043	1.943
VBA1	0.107	2.007	CTCSI72	0.041	1.941
VBA0	0.070	1.970	CTCSI71	0.042	1.942
VBCTYP2	0.025	1.925	CTCSI70	0.178	2.078
VBCTYP1	0.036	1.936	CTCSI63	0.149	2.049
VBCTYP0	0.049	1.949	CTCSI62	0.067	1.967
VPRESZ	0.011	1.911	CTCSI61	0.136	2.036
VBSEQ2	0.100	2.000	CTCSI60	0.232	2.132
VBSEQ1	0.092	1.992	CTCSI53	0.110	2.010
VBSEQ0	0.085	1.985	CTCSI52	0.105	2.005

(1) 入力端子 (2/2)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
CTCSI51	0.069	1.969	CT502I11	0.112	2.012
CTCSI50	0.126	2.026	CT502I10	0.224	2.124
CTCSI43	0.069	1.969	CT502I01	0.079	1.979
CTCSI42	0.064	1.964	CT502I00	0.090	1.990
CTCSI41	0.150	2.050	PHTEST	0.016	1.916
CTCSI40	0.199	2.099	PHTDIN1	0.014	1.914
CTCSI33	0.119	2.019	PHTDIN0	0.028	1.928
CTCSI32	0.073	1.973	VPTCLK	0.176	2.076
CTCSI31	0.156	2.056	MPXEN	0.166	2.066
CTCSI30	0.081	1.981	CT501I72	0.111	2.011
CTCSI23	0.079	1.979	CT501I71	0.025	1.925
CTCSI22	0.067	1.967	CT501I70	0.214	2.114
CTCSI21	0.132	2.032	CT501I62	0.093	1.993
CTCSI20	0.350	2.250	CT501I61	0.171	2.071
CTCSI13	0.168	2.068	CT501I60	0.044	1.944
CTCSI12	0.054	1.954	CT501I52	0.180	2.080
CTCSI11	0.146	2.046	CT501I51	0.058	1.958
CTCSI10	0.080	1.980	CT501I50	0.298	2.198
CTCSI03	0.134	2.034	CT501I42	0.044	1.944
CTCSI02	0.046	1.946	CT501I41	0.140	2.040
CTCSI01	0.109	2.009	CT501I40	0.073	1.973
CTCSI00	0.045	1.945	CT501I32	0.051	1.951
CT502I71	0.043	1.943	CT501I31	0.053	1.953
CT502I70	0.105	2.005	CT501I30	0.057	1.957
CT502I61	0.216	2.116	CT501I22	0.208	2.108
CT502I60	0.201	2.101	CT501I21	0.048	1.948
CT502I51	0.092	1.992	CT501I20	0.196	2.096
CT502I50	0.125	2.025	CT501I12	0.074	1.974
CT502I41	0.061	1.961	CT501I11	0.209	2.109
CT502I40	0.270	2.170	CT501I10	0.131	2.031
CT502I31	0.242	2.142	CT501I02	0.286	2.186
CT502I30	0.231	2.131	CT501I01	0.056	1.956
CT502I21	0.062	1.962	CT501I00	0.175	2.075
CT502I20	0.070	1.970			

(2) 出力端子 (1/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VAREQ	13.311	-	-	WRZ1	13.298	-	-
VBLOCK	6.565	0.063	1.963	WRZ0	13.300	-	-
VBTTYP1	6.580	0.049	1.949	IORDZ	13.314	-	-
VBTTYP0	6.580	0.048	1.948	IOWRZ	13.323	-	-
VBBSTR	6.569	0.059	1.959	HLDKZ	13.289	-	-
VDSELPZ	6.574	0.055	1.955	DC3	13.043	-	-
VBWAIT	6.526	0.102	2.002	DC2	13.067	-	-
VBAHLD	6.527	0.102	2.002	DC1	13.062	-	-
VBLAST	6.524	0.104	2.004	DC0	13.070	-	-
STPAK	13.276	-	-	CSZ7	13.338	-	-
A25	13.055	-	-	CSZ6	13.326	-	-
A24	13.047	-	-	CSZ5	13.337	-	-
A23	13.001	-	-	CSZ4	13.324	-	-
A22	13.053	-	-	CSZ3	13.333	-	-
A21	13.052	-	-	CSZ2	13.337	-	-
A20	13.068	-	-	CSZ1	13.328	-	-
A19	13.060	-	-	CSZ0	13.335	-	-
A18	13.049	-	-	BENZ3	13.043	-	-
A17	13.051	-	-	BENZ2	13.047	-	-
A16	13.051	-	-	BENZ1	13.048	-	-
A15	13.057	-	-	BENZ0	13.043	-	-
A14	13.049	-	-	BCYSTZ	13.035	-	-
A13	13.024	-	-	REFRQZ	13.296	-	-
A12	13.058	-	-	SDCLK	13.066	-	-
A11	13.047	-	-	CTCSO74	13.067	-	-
A10	13.066	-	-	CTCSO73	13.064	-	-
A9	13.052	-	-	CTCSO72	13.271	-	-
A8	13.063	-	-	CTCSO71	13.067	-	-
A7	13.053	-	-	CTCSO70	13.068	-	-
A6	13.051	-	-	CTCSO64	13.059	-	-
A5	13.034	-	-	CTCSO63	13.063	-	-
A4	13.029	-	-	CTCSO62	13.064	-	-
A3	13.049	-	-	CTCSO61	13.068	-	-
A2	13.044	-	-	CTCSO60	13.061	-	-
A1	13.054	-	-	CTCSO54	13.039	-	-
A0	13.055	-	-	CTCSO53	13.051	-	-
RDZ	13.012	-	-	CTCSO52	13.237	-	-
WRZ3	13.280	-	-	CTCSO51	13.034	-	-
WRZ2	13.326	-	-	CTCSO50	13.037	-	-

(2) 出力端子 (2/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
CTCSO44	13.056	-	-	CT502O20	12.999	-	-
CTCSO43	13.063	-	-	CT502O11	12.972	-	-
CTCSO42	13.314	-	-	CT502O10	13.061	-	-
CTCSO41	13.048	-	-	CT502O01	13.026	-	-
CTCSO40	13.056	-	-	CT502O00	13.035	-	-
CTCSO34	12.963	-	-	PHTDO1	3.248	-	-
CTCSO33	12.867	-	-	PHTDO0	3.296	-	-
CTCSO32	13.335	-	-	ASTBZ	13.049	-	-
CTCSO31	13.015	-	-	DSTBZ	13.332	-	-
CTCSO30	12.959	-	-	MPXCZ	13.329	-	-
CTCSO24	13.043	-	-	RDCYZ	13.068	-	-
CTCSO23	13.069	-	-	BUSST	13.316	-	-
CTCSO22	13.311	-	-	CT501O73	13.064	-	-
CTCSO21	13.063	-	-	CT501O72	13.330	-	-
CTCSO20	13.068	-	-	CT501O71	12.967	-	-
CTCSO14	13.065	-	-	CT501O70	12.952	-	-
CTCSO13	13.063	-	-	CT501O63	13.039	-	-
CTCSO12	13.233	-	-	CT501O62	13.065	-	-
CTCSO11	13.063	-	-	CT501O61	13.056	-	-
CTCSO10	12.910	-	-	CT501O60	13.058	-	-
CTCSO04	13.030	-	-	CT501O53	13.334	-	-
CTCSO03	13.022	-	-	CT501O52	13.065	-	-
CTCSO02	13.300	-	-	CT501O51	13.061	-	-
CTCSO01	13.040	-	-	CT501O50	12.990	-	-
CTCSO00	13.041	-	-	CT501O43	13.264	-	-
CTLO1	13.326	-	-	CT501O42	13.140	-	-
CTLO0	13.062	-	-	CT501O41	13.062	-	-
MTEN	12.950	-	-	CT501O40	13.067	-	-
CT502O71	13.070	-	-	CT501O33	13.056	-	-
CT502O70	13.062	-	-	CT501O32	12.893	-	-
CT502O61	13.067	-	-	CT501O31	13.056	-	-
CT502O60	12.944	-	-	CT501O30	13.065	-	-
CT502O51	13.012	-	-	CT501O23	13.028	-	-
CT502O50	13.065	-	-	CT501O22	13.021	-	-
CT502O41	13.057	-	-	CT501O21	12.984	-	-
CT502O40	12.925	-	-	CT501O20	12.970	-	-
CT502O31	13.046	-	-	CT501O13	13.176	-	-
CT502O30	13.054	-	-	CT501O12	13.210	-	-
CT502O21	12.934	-	-	CT501O11	13.061	-	-

(2) 出力端子 (3/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
CT501O10	13.060	-	-	RWC7	12.959	-	-
CT501O03	13.064	-	-	RWC6	12.992	-	-
CT501O02	13.319	-	-	RWC5	13.062	-	-
CT501O01	13.038	-	-	RWC4	13.009	-	-
CT501O00	13.029	-	-	RWC3	12.929	-	-
BCP	13.046	-	-	RWC2	13.060	-	-
PISL	13.063	-	-	RWC1	13.062	-	-
CTL501	12.941	-	-	RWC0	13.067	-	-

(3) 入出力端子 (1/2)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VDCSZ7	6.313	0.315	2.215	VBD16	6.459	0.170	2.070
VDCSZ6	6.282	0.347	2.247	VBD15	6.509	0.120	2.020
VDCSZ5	6.263	0.365	2.265	VBD14	6.500	0.128	2.028
VDCSZ4	6.226	0.403	2.303	VBD13	6.509	0.120	2.020
VDCSZ3	6.312	0.316	2.216	VBD12	6.473	0.155	2.055
VDCSZ2	6.233	0.395	2.295	VBD11	6.407	0.221	2.121
VDCSZ1	6.207	0.421	2.321	VBD10	6.420	0.209	2.109
VDCSZ0	6.294	0.335	2.235	VBD9	6.509	0.120	2.020
VBBENZ3	6.494	0.135	2.035	VBD8	6.474	0.155	2.055
VBBENZ2	6.496	0.132	2.032	VBD7	6.459	0.170	2.070
VBBENZ1	6.502	0.126	3.026	VBD6	6.488	0.140	2.040
VBBENZ0	6.488	0.141	2.041	VBD5	6.460	0.169	2.069
VBD31	6.509	0.120	2.020	VBD4	6.489	0.140	2.040
VBD30	6.512	0.117	2.017	VBD3	6.487	0.142	2.042
VBD29	6.519	0.110	2.010	VBD2	6.511	0.117	2.017
VBD28	6.469	0.160	2.060	VBD1	6.457	0.171	2.071
VBD27	6.508	0.121	2.021	VBD0	6.452	0.177	2.077
VBD26	6.510	0.119	2.019	VBWRITE	6.455	0.173	2.073
VBD25	6.506	0.123	2.023	VBSTZ	6.389	0.240	2.140
VBD24	6.450	0.179	2.079	VPD15	6.564	0.111	2.011
VBD23	6.490	0.139	2.039	VPD14	6.492	0.183	2.083
VBD22	6.481	0.147	2.047	VPD13	6.487	0.188	2.088
VBD21	6.485	0.144	2.044	VPD12	6.528	0.147	2.047
VBD20	6.486	0.142	2.042	VPD11	6.548	0.127	2.027
VBD19	6.436	0.193	2.093	VPD10	6.555	0.120	2.020
VBD18	6.477	0.151	2.051	VPD9	6.545	0.130	2.030
VBD17	6.465	0.164	2.064	VPD8	6.535	0.140	2.040

(3) 入出力端子 (2/2)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VPD7	6.522	0.199	2.099	D19	6.483	0.146	2.046
VPD6	6.552	0.169	2.069	D18	6.455	0.173	2.073
VPD5	6.548	0.173	2.073	D17	6.463	0.166	2.066
VPD4	6.529	0.192	2.092	D16	6.458	0.171	2.071
VPD3	6.509	0.212	2.112	D15	6.423	0.206	2.106
VPD2	6.473	0.248	2.148	D14	6.436	0.193	2.093
VPD1	6.467	0.255	2.155	D13	6.410	0.219	2.119
VPD0	6.479	0.242	2.142	D12	6.454	0.175	2.075
D31	6.433	0.196	2.096	D11	6.505	0.124	2.024
D30	6.393	0.235	2.135	D10	6.474	0.155	2.055
D29	6.414	0.214	2.114	D9	6.423	0.205	2.105
D28	6.452	0.177	2.077	D8	6.440	0.189	2.089
D27	6.427	0.201	2.101	D7	6.449	0.180	2.080
D26	6.421	0.208	2.108	D6	6.417	0.212	2.112
D25	6.435	0.194	2.094	D5	6.463	0.166	2.066
D24	6.437	0.192	2.092	D4	6.431	0.197	2.097
D23	6.436	0.193	2.093	D3	6.393	0.236	2.136
D22	6.450	0.179	2.079	D2	6.361	0.267	2.167
D21	6.439	0.189	2.089	D1	6.472	0.156	2.056
D20	6.443	0.185	2.085	D0	6.472	0.157	2.057

10.2 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには、初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

10.3 端子機能一覧

(1/3)

端子名	入出力	機 能	
NB85E/NB85ET 接続用 端子	VBCLK	入力	内部システム・クロック入力
	VDCSZ7-VDCSZ0	入出力	チップ・セレクト入出力
	VBA25-VBA0	入力	アドレス入力
	VBBENZ3-VBBENZ0	入出力	バイト・イネーブル入出力
	VBCTYP2-VBCTYP0	入力	バス・サイクル・ステータス入力
	VBD31-VBD0	入出力	データ入出力
	VPRESZ	入力	リセット入力
	VBSEQ2-VBSEQ0	入力	シーケンシャル・ステータス入力
	VBWRITE	入出力	リード/ライト・ステータス入出力
	VBSTZ	入出力	転送スタート入出力
	VAREQ	出力	バス使用権要求出力
	VAACK	入力	バス使用権アクノリッジ入力
	VBLOCK	出力	バス・ロック出力
	VBTTYP1, VBTTYP0	出力	バス転送タイプ出力
	VBBSTR	出力	バースト・リード・ステータス出力
	VDESELPZ	出力	周辺 I/O 領域アクセス・ステータス出力
	VBWAIT	出力	ウェイト・レスポンス出力
	VBAHLD	出力	アドレス・ホールド・レスポンス出力
	VBLAST	出力	ラスト・レスポンス出力
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPUBENZ	入力	上位バイト・イネーブル入力 (NPB 用)
	VPA13-VPA0	入力	アドレス入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
	STPRQ	入力	STOP モード要求入力
	STPAK	出力	STPRQ 入力に対するアクノリッジ出力
	初期設定用端子	MCE	入力
BCPEN		入力	BCP レジスタの BCP ビット・リセット値制御入力
外部メモリ接続用端子	A25-A0	出力	外部メモリ用アドレス出力
	D31-D0	入出力	外部メモリ用データ入出力
	RDZ	出力	SRAM / ページ ROM 用リード・ストロープ出力
	WRZ3-WRZ0	出力	SRAM / ページ ROM 用ライト・ストロープ出力
	IORDZ	出力	外部 I/O リード・ストロープ出力
	IOWRZ	出力	外部 I/O ライト・ストロープ出力
	WAITZ	入力	ウェイト要求入力
	HLDQRZ	入力	外部バス・ホールド要求入力
	HLDKAZ	出力	外部バス・ホールド要求アクノリッジ出力
	DC3-DC0	出力	データ・バス用制御出力
	CSZ7-CSZ0	出力	チップ・セレクト出力

端子名		入出力	機 能
外部メモリ接続用端子	BENZ3-BENZO	出力	バイト・イネーブル出力
	BCYSTZ	出力	バス・サイクル・スタート・ステータス出力
	REFRQZ	出力	リフレッシュ・ステータス出力
	SELFREF	入力	セルフ・リフレッシュ要求入力
	SDCLK	出力	SDRAM 用同期クロック出力
NU85E502 接続用端子	CTCSI73-CTCSI70	入力	NU85E502 からの制御入力 (CS7 領域用)
	CTCSI63-CTCSI60	入力	NU85E502 からの制御入力 (CS6 領域用)
	CTCSI53-CTCSI50	入力	NU85E502 からの制御入力 (CS5 領域用)
	CTCSI43-CTCSI40	入力	NU85E502 からの制御入力 (CS4 領域用)
	CTCSI33-CTCSI30	入力	NU85E502 からの制御入力 (CS3 領域用)
	CTCSI23-CTCSI20	入力	NU85E502 からの制御入力 (CS2 領域用)
	CTCSI13-CTCSI10	入力	NU85E502 からの制御入力 (CS1 領域用)
	CTCSI03-CTCSI00	入力	NU85E502 からの制御入力 (CS0 領域用)
	CTCSO74-CTCSO70	出力	NU85E502 への制御出力 (CS7 領域用)
	CTCSO64-CTCSO60	出力	NU85E502 への制御出力 (CS6 領域用)
	CTCSO54-CTCSO50	出力	NU85E502 への制御出力 (CS5 領域用)
	CTCSO44-CTCSO40	出力	NU85E502 への制御出力 (CS4 領域用)
	CTCSO34-CTCSO30	出力	NB85E501, NU85E502 への制御出力 (CS3 領域用)
	CTCSO24-CTCSO20	出力	NU85E502 への制御出力 (CS2 領域用)
	CTCSO14-CTCSO10	出力	NU85E502 への制御出力 (CS1 領域用)
	CTCSO04-CTCSO00	出力	NU85E502 への制御出力 (CS0 領域用)
	CTLO1, CTLO0	出力	NU85E502 への制御出力
	MTEN	出力	NU85E502 へのテスト・モード許可出力
	CT502I71, CT502I70	入力	NU85E502 からの制御入力 (CS7 領域用)
	CT502I61, CT502I60	入力	NU85E502 からの制御入力 (CS6 領域用)
	CT502I51, CT502I50	入力	NU85E502 からの制御入力 (CS5 領域用)
	CT502I41, CT502I40	入力	NU85E502 からの制御入力 (CS4 領域用)
	CT502I31, CT502I30	入力	NU85E502 からの制御入力 (CS3 領域用)
	CT502I21, CT502I20	入力	NU85E502 からの制御入力 (CS2 領域用)
	CT502I11, CT502I10	入力	NU85E502 からの制御入力 (CS1 領域用)
	CT502I01, CT502I00	入力	NU85E502 からの制御入力 (CS0 領域用)
	CT502O71, CT502O70	出力	NU85E502 への制御出力 (CS7 領域用)
	CT502O61, CT502O60	出力	NU85E502 への制御出力 (CS6 領域用)
	CT502O51, CT502O50	出力	NU85E502 への制御出力 (CS5 領域用)
	CT502O41, CT502O40	出力	NU85E502 への制御出力 (CS4 領域用)
	CT502O31, CT502O30	出力	NU85E502 への制御出力 (CS3 領域用)
	CT502O21, CT502O20	出力	NU85E502 への制御出力 (CS2 領域用)
	CT502O11, CT502O10	出力	NU85E502 への制御出力 (CS1 領域用)
CT502O01, CT502O00	出力	NU85E502 への制御出力 (CS0 領域用)	

端子名		入出力	機 能
テスト・モード用端子	PHTEST	入力	周辺テスト・モード・ステータス入力
	PHTDIN1, PHTDIN0	入力	周辺マクロ・テスト入力
	PHTDO1, PHTDO0	出力	周辺マクロ・テスト出力
	VPTCLK	入力	テスト用クロック入力
NEC の予約端子	MPXEN	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	ASTBZ	出力	NEC の予約端子 (オープンにしてください)
	DSTBZ	出力	NEC の予約端子 (オープンにしてください)
	MPXCZ	出力	NEC の予約端子 (オープンにしてください)
	RDCYZ	出力	NEC の予約端子 (オープンにしてください)
	BUSST	出力	NEC の予約端子 (オープンにしてください)
	CT501172-CT501170	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501162-CT501160	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501152-CT501150	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501142-CT501140	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501132-CT501130	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501122-CT501120	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501112-CT501110	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501102-CT501100	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501073-CT501070	出力	NEC の予約端子 (オープンにしてください)
	CT501063-CT501060	出力	NEC の予約端子 (オープンにしてください)
	CT501053-CT501050	出力	NEC の予約端子 (オープンにしてください)
	CT501043-CT501040	出力	NEC の予約端子 (オープンにしてください)
	CT501033-CT501030	出力	NEC の予約端子 (オープンにしてください)
	CT501023-CT501020	出力	NEC の予約端子 (オープンにしてください)
	CT501013-CT501010	出力	NEC の予約端子 (オープンにしてください)
	CT501003-CT501000	出力	NEC の予約端子 (オープンにしてください)
	BCP	出力	NEC の予約端子 (オープンにしてください)
	PISL	出力	NEC の予約端子 (オープンにしてください)
	CTL501	出力	NEC の予約端子 (オープンにしてください)
	RWC7-RWC0	出力	NEC の予約端子 (オープンにしてください)

10.4 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

10.4.1 絶対最大定格

項目	略号	定格	単位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

10.4.2 推奨動作範囲

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	15.0			ns

10.4.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1}	通常動作モード時		0.18	0.27	mA/MHz
	I _{DD2}	STOP モード時		0	1.0	μA

備考 1. 上記の電源電流値はグリッド数から算出した参考値です。

2. TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

10.4.4 AC 特性 (TA = -40 ~ +85°C, VDD = 3.3V ± 0.3V)

(1) SRAM / ページ ROM リード・タイミング (1/3)

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → アドレス遅延時間	<2>	t _{AD}	t _{DKA} + 0.4 ^注	t _{DKA} + 2.5 ^注	ns
VBCLK↑ → CSZ 遅延時間	<3>	t _{CSZD1}	t _{DKC} + 0.5 ^注	t _{DKC} + 2.5 ^注	ns
VBCLK↓ → RDZ 遅延時間	<4>	t _{RDZD1}	1.5	5.4	ns
VBCLK↑ → RDZ 遅延時間	<5>	t _{RDZD2}	1.5	5.0	ns
データ設定時間 (対 VBCLK↑)	<6>	t _{DS1}	0		ns
データ保持時間 (対 VBCLK↑)	<7>	t _{DH1}	1.0		ns
VBCLK↑ → BCYSTZ 遅延時間	<8>	t _{BCYD}	1.6	t _{DKS1} + 1.7 ^注	ns
WAITZ 設定時間 (対 VBCLK↑)	<9>	t _{WTS}	0		ns
WAITZ 保持時間 (対 VBCLK↑)	<10>	t _{WTH}	0.9		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<11>	t _{VRD1}		5.6	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<12>	t _{VRD2}	1.2		ns
VBCLK↑ → VBD 遅延時間	<13>	t _{VBD1}		6.5	ns
VBCLK↓ → VBD 遅延時間	<14>	t _{VBD2}	1.7		ns
VBCLK↑ → DC 遅延時間	<15>	t _{DCD1}	t _{DKS1} + 0.7 ^注	t _{DKS1} + 3.1 ^注	ns

注 t_{DKA} : VBCLK↑ → VBA 遅延時間

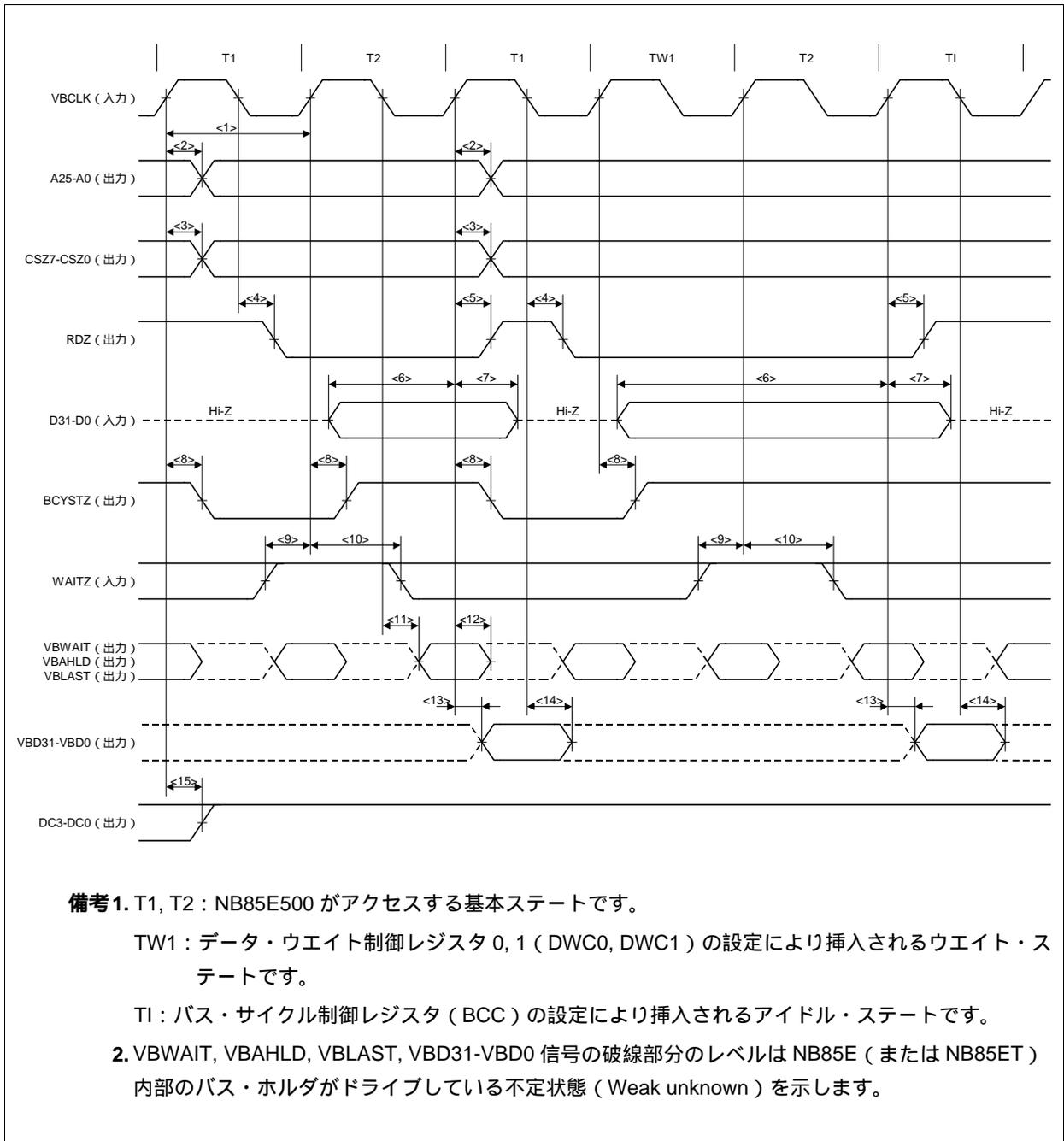
t_{DKC} : VBCLK↑ → VD_{CSZ}, VD_{SELPZ} 遅延時間

t_{DKS1} : VBCLK↑ → VB_{STZ}, VB_{SIZE}, VB_{WRITE}, VB_{CTYP} 遅延時間

上記は NB85E (または NB85ET) の電気的特性です。7.4.4 AC 特性 (または 9.4.4 AC 特性) を参照してください。

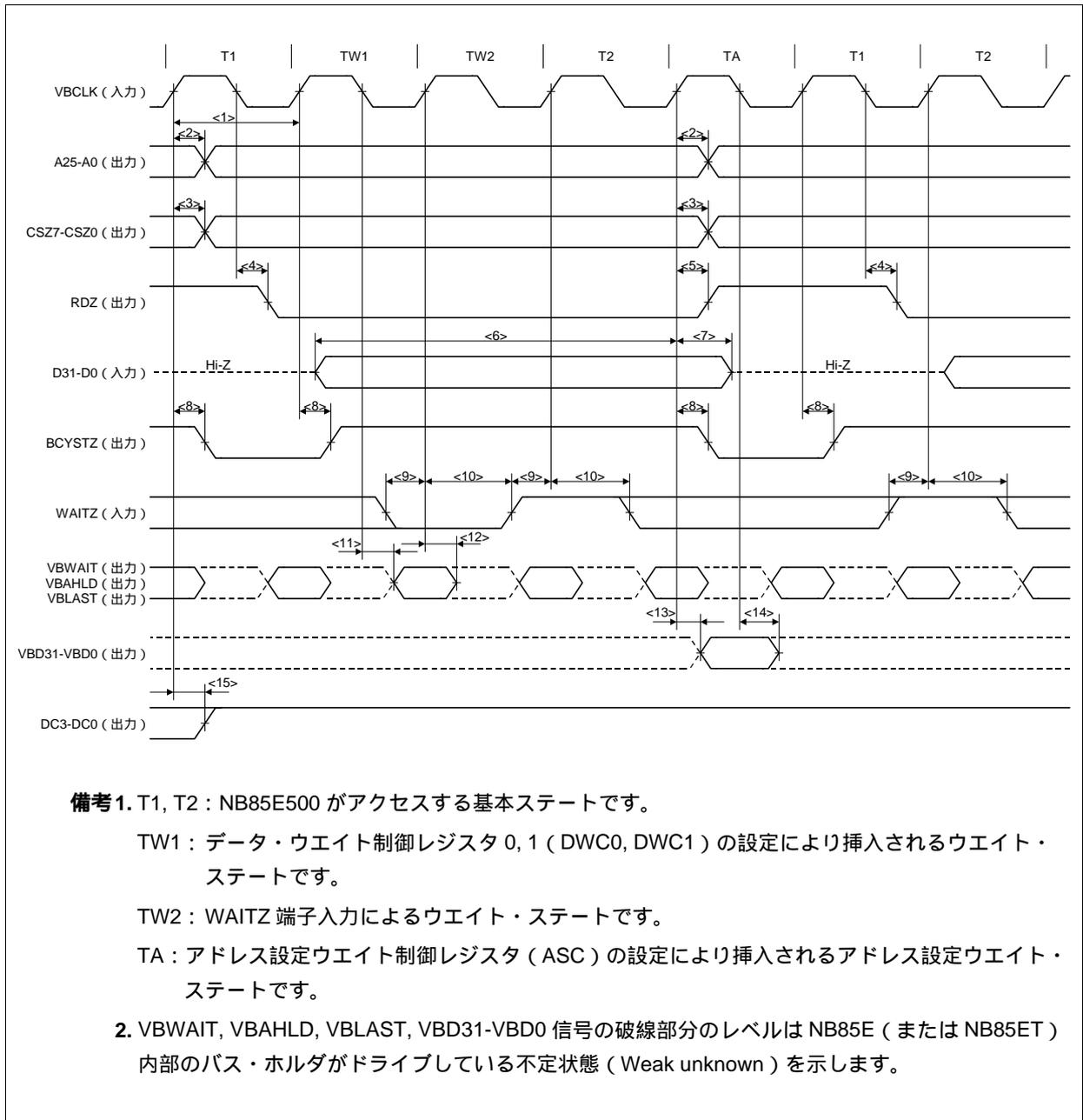
(1) SRAM / ページ ROM リード・タイミング (2/3)

(a) ウェイト挿入時



(1) SRAM / ページ ROM リード・タイミング (3/3)

(b) アドレス設定ウエイト挿入時



(2) SRAM ライト・タイミング (1/3)

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → アドレス遅延時間	<2>	t _{AD}	t _{DKA} + 0.4 ^注	t _{DKA} + 2.5 ^注	ns
VBCLK↑ → CSZ 遅延時間	<3>	t _{CSZD1}	t _{DKC} + 0.5 ^注	t _{DKC} + 2.5 ^注	ns
VBCLK↑ → BCYSTZ 遅延時間	<8>	t _{BCYD}	1.6	t _{DKS1} + 1.7 ^注	ns
WAITZ 設定時間 (対 VBCLK↑)	<9>	t _{WTS}	0		ns
WAITZ 保持時間 (対 VBCLK↑)	<10>	t _{WTH}	0.9		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<11>	t _{VRD1}		5.6	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<12>	t _{VRD2}	1.2		ns
VBCLK↓ → DC 遅延時間	<16>	t _{DCD2}	1.8	6.0	ns
VBCLK↓ → WRZ 遅延時間	<17>	t _{WRZD}	1.6	4.9	ns
VBCLK↓ → データ遅延時間	<18>	t _{DD1}	t _{DKD1} + 0.4 ^注	t _{DKD1} + 2.0 ^注	ns
VBCLK↑ → データ遅延時間	<19>	t _{DD2}	t _{DKD0} + 0.4 ^注	t _{DKD0} + 2.0 ^注	ns
VBBENZ → BENZ 遅延時間	-	t _{BNZD}	0.4	1.8	ns

注 t_{DKA} : VBCLK↑ → VBA 遅延時間

t_{DKC} : VBCLK↑ → VDCSZ, VDSELPZ 遅延時間

t_{DKS1} : VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間

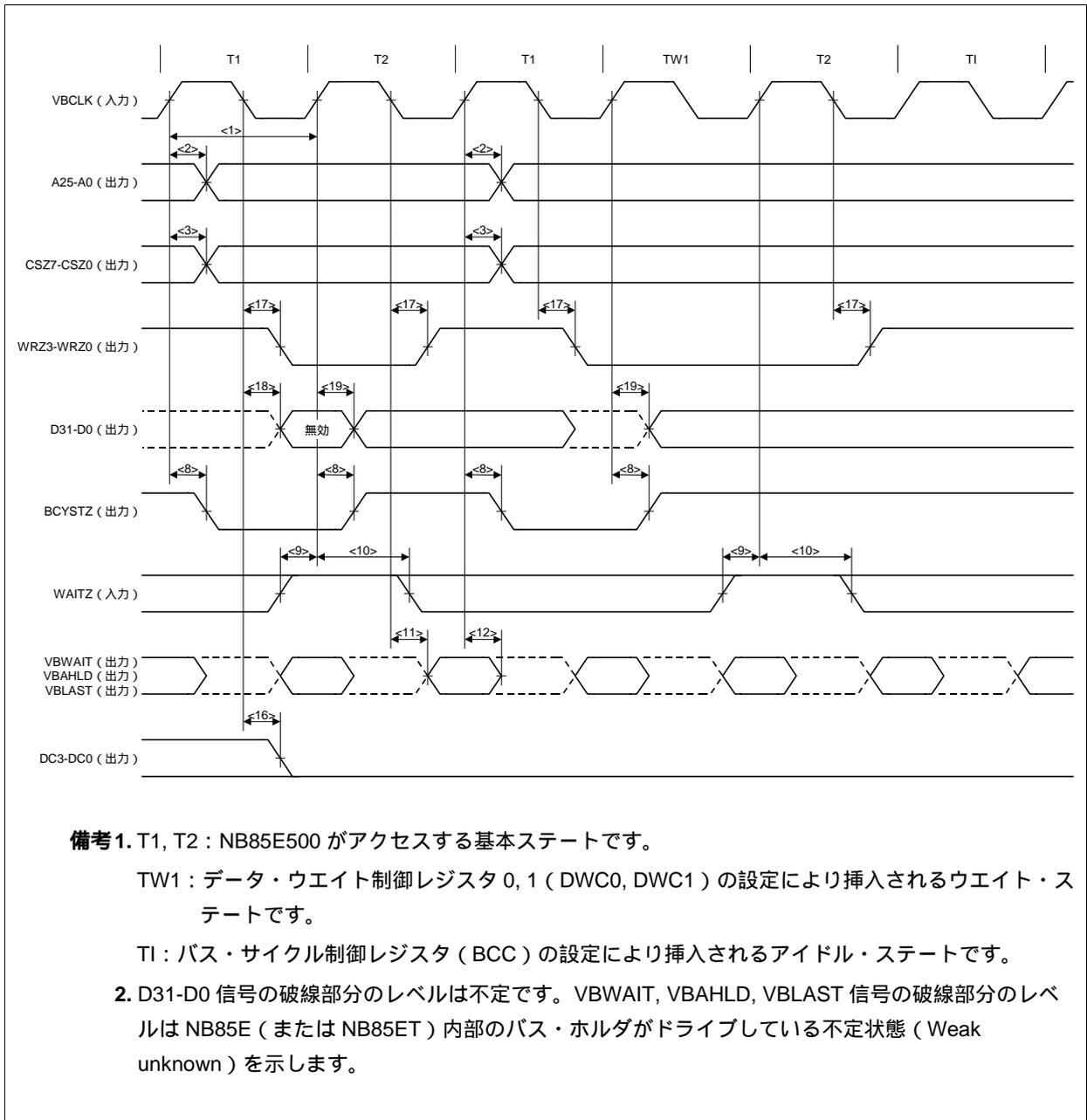
t_{DKD1} : VBCLK↓ → VBD データ遅延時間

t_{DKD0} : VBCLK↑ → VBD データ遅延時間

上記は NB85E (または NB85ET) の電気的特性です。7.4.4 AC 特性 (または 9.4.4 AC 特性) を参照してください。

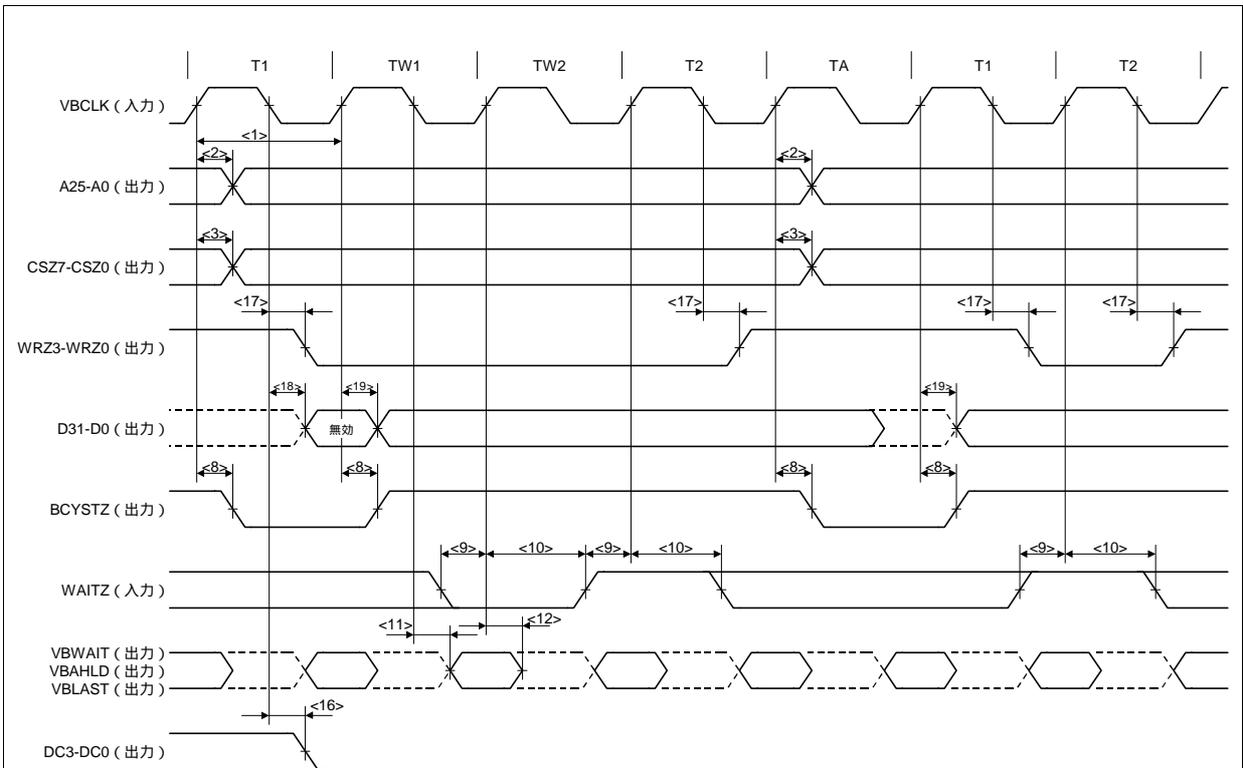
(2) SRAM ライト・タイミング (2/3)

(a) ウェイト挿入時



(2) SRAM ライト・タイミング (3/3)

(b) アドレス設定ウエイト挿入時



備考 1. T1, T2 : NB85E500 がアクセスする基本ステートです。

TW1 : データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1) の設定により挿入されるウエイト・ステートです。

TW2 : WAITZ 端子入力によるウエイト・ステートです。

TA : アドレス設定ウエイト制御レジスタ (ASC) の設定により挿入されるアドレス設定ウエイト・ステートです。

2. D31-D0 信号の破線部分のレベルは不定です。VBWAIT, VBAHLD, VBLAST 信号の破線部分のレベルは NB85E (または NB85ET) 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

(3) SRAM リード/ライト・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → アドレス遅延時間	<2>	t _{AD}	t _{DKA} + 0.4 ^注	t _{DKA} + 2.5 ^注	ns
VBCLK↑ → CSZ 遅延時間	<3>	t _{CSZD1}	t _{DKC} + 0.5 ^注	t _{DKC} + 2.5 ^注	ns
VBCLK↓ → RDZ 遅延時間	<4>	t _{RDZD1}	1.5	5.4	ns
VBCLK↑ → RDZ 遅延時間	<5>	t _{RDZD2}	1.5	5.0	ns
データ設定時間 (対 VBCLK↑)	<6>	t _{DS1}	0		ns
データ保持時間 (対 VBCLK↑)	<7>	t _{DH1}	1.0		ns
VBCLK↑ → BCYSTZ 遅延時間	<8>	t _{BCYD}	1.6	t _{DKS1} + 1.7 ^注	ns
WAITZ 設定時間 (対 VBCLK↑)	<9>	t _{WTS}	0		ns
WAITZ 保持時間 (対 VBCLK↑)	<10>	t _{WTH}	0.9		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<11>	t _{VRD1}		5.6	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<12>	t _{VRD2}	1.2		ns
VBCLK↑ → VBD 遅延時間	<13>	t _{VBD1}		6.5	ns
VBCLK↓ → VBD 遅延時間	<14>	t _{VBD2}	1.7		ns
VBCLK↑ → DC 遅延時間	<15>	t _{DCD1}	t _{DKS1} + 0.7 ^注	t _{DKS1} + 3.1 ^注	ns
VBCLK↓ → DC 遅延時間	<16>	t _{DCD2}	1.8	6.0	ns
VBCLK↓ → WRZ 遅延時間	<17>	t _{WRZD}	1.6	4.9	ns
VBCLK↓ → データ遅延時間	<18>	t _{DD1}	t _{DKD1} + 0.4 ^注	t _{DKD1} + 2.0 ^注	ns
VBCLK↑ → データ遅延時間	<19>	t _{DD2}	t _{DKD0} + 0.4 ^注	t _{DKD0} + 2.0 ^注	ns

注 t_{DKA} : VBCLK↑ → VBA 遅延時間

t_{DKC} : VBCLK↑ → VD_{CSZ}, VD_{SELPZ} 遅延時間

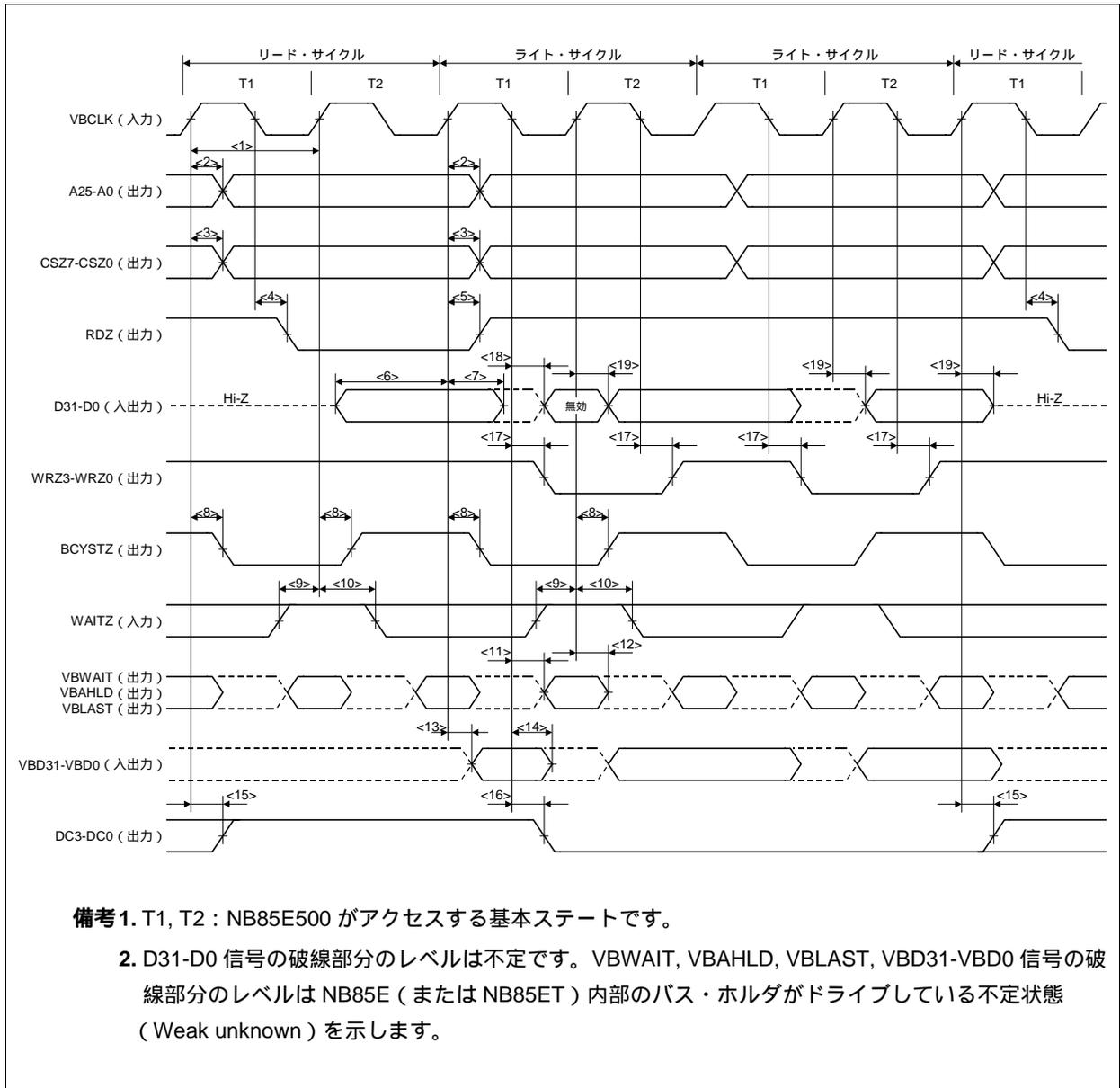
t_{DKS1} : VBCLK↑ → VB_{STZ}, VB_{SIZE}, VB_{WRITE}, VB_{CTYP} 遅延時間

t_{DKD1} : VBCLK↓ → VBD データ遅延時間

t_{DKD0} : VBCLK↑ → VBD データ遅延時間

上記は NB85E (または NB85ET) の電氣的特性です。7.4.4 AC 特性 (または 9.4.4 AC 特性) を参照してください。

(3) SRAM リード/ライト・タイミング (2/2)

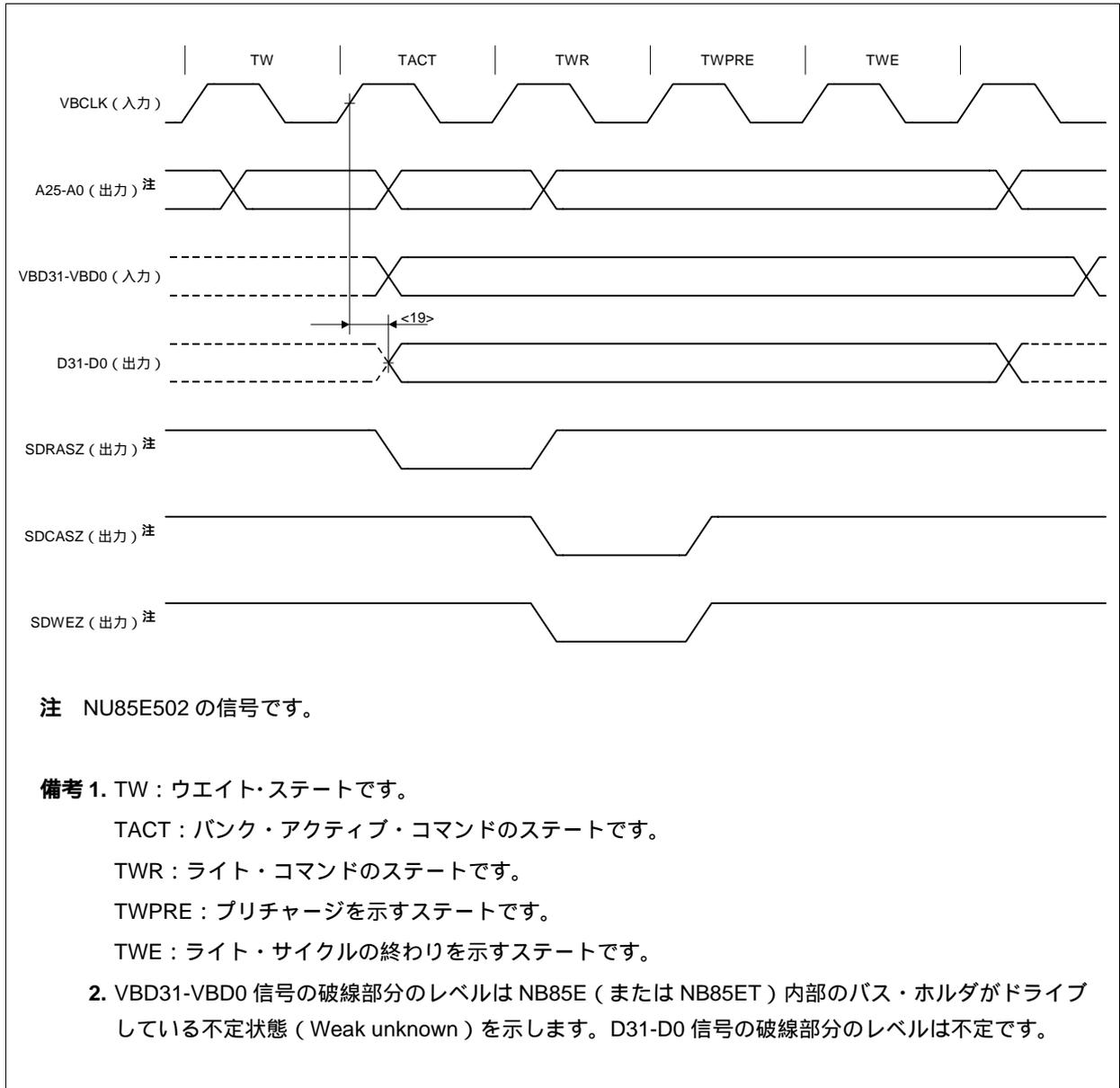


(4) SDRAM ライト・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → データ遅延時間	<19>	tDD2	tDKD0 + 0.4 ^注	tDKD0 + 2.0 ^注	ns

注 tDKD0 : VBCLK↑ → VBD データ遅延時間

上記は NB85E (または NB85ET) の電気的特性です。7.4.4 AC 特性 (または 9.4.4 AC 特性) を参照してください。



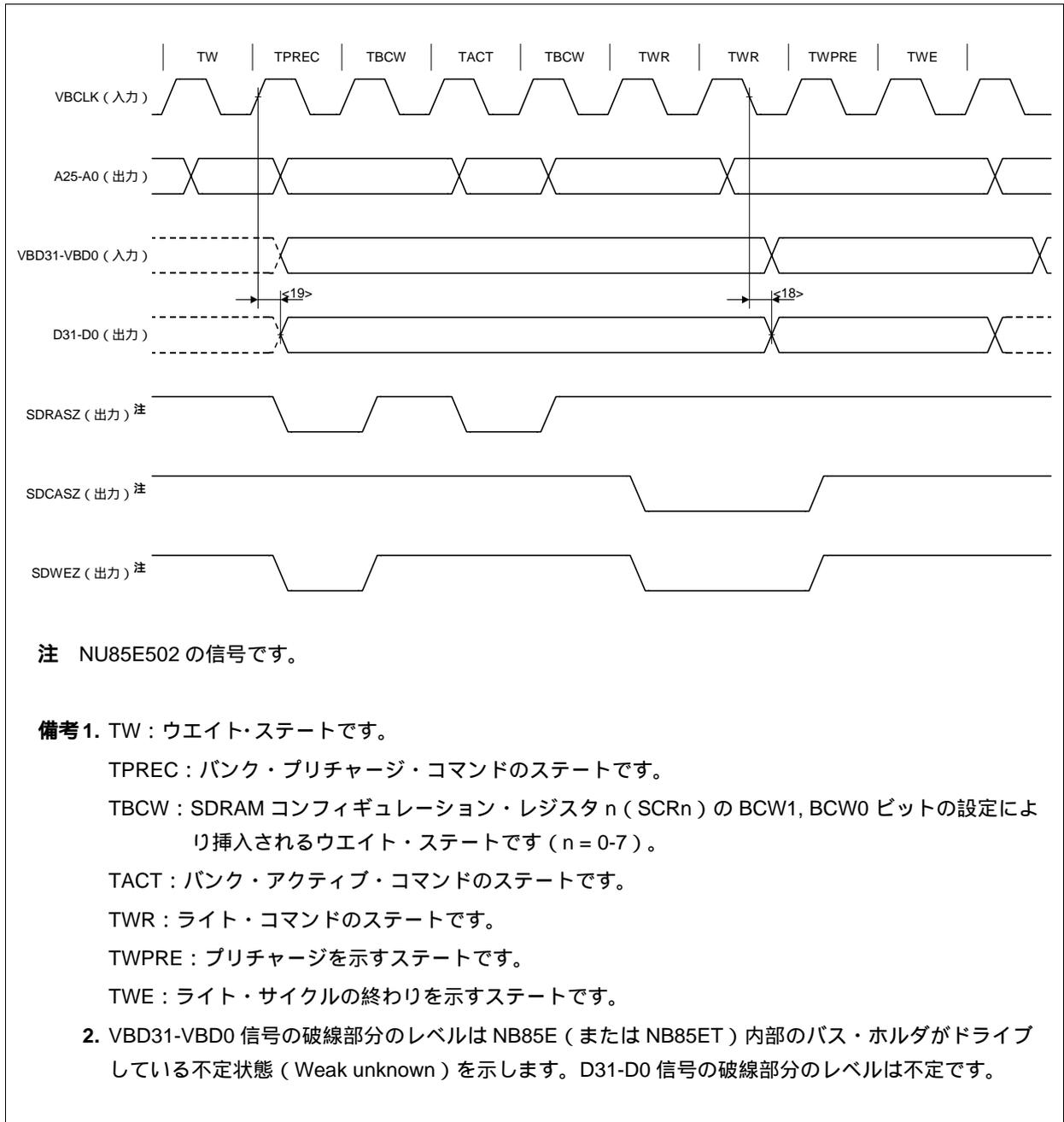
(5) SDRAM シーケンシャル・ライト・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → データ遅延時間	<18>	t _{DD1}	t _{DKD1} + 0.4 ^注	t _{DKD1} + 2.0 ^注	ns
VBCLK↑ → データ遅延時間	<19>	t _{DD2}	t _{DKD0} + 0.4 ^注	t _{DKD0} + 2.0 ^注	ns

注 t_{DKD1} : VBCLK↓ → VBD データ遅延時間

t_{DKD0} : VBCLK↑ → VBD データ遅延時間

上記は NB85E (または NB85ET) の電気的特性です。7.4.4 AC 特性 (または 9.4.4 AC 特性) を参照してください。



(6) SDRAM リフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → REFQZ 遅延時間	-	t _{RFQD}	1.5	4.9	ns
SELFREF 設定時間 (対 VBCLK↑)	-	t _{SRFS}	0.8		ns
SELFREF 保持時間 (対 VBCLK↑)	-	t _{SRFH}	1.0		ns
CT502In1 → CSZ 遅延時間	-	t _{CSZD2}	t _{C21D} + 0.4 ^注	t _{C21D} + 2.3 ^注	ns

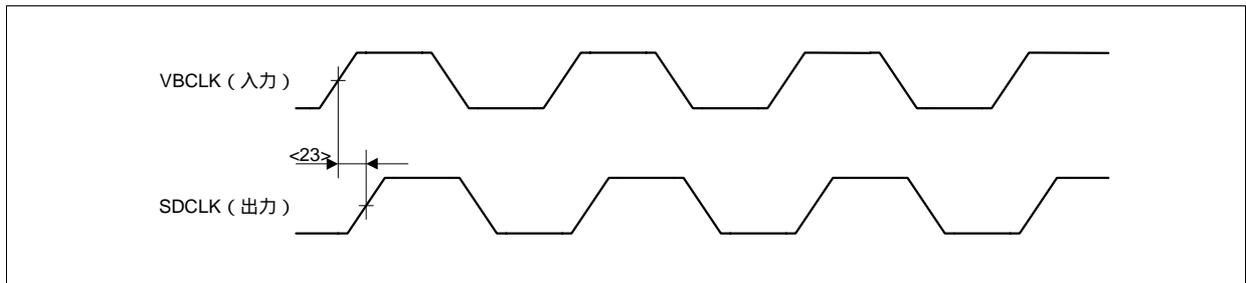
注 t_{C21D} : VBCLK↑ → CT502I1 遅延時間

上記は NU85E502 の電気的特性です。12. 4. 4 (3) NU85E500/NB85E500 接続用信号タイミングを参照してください。

備考 n = 7-0

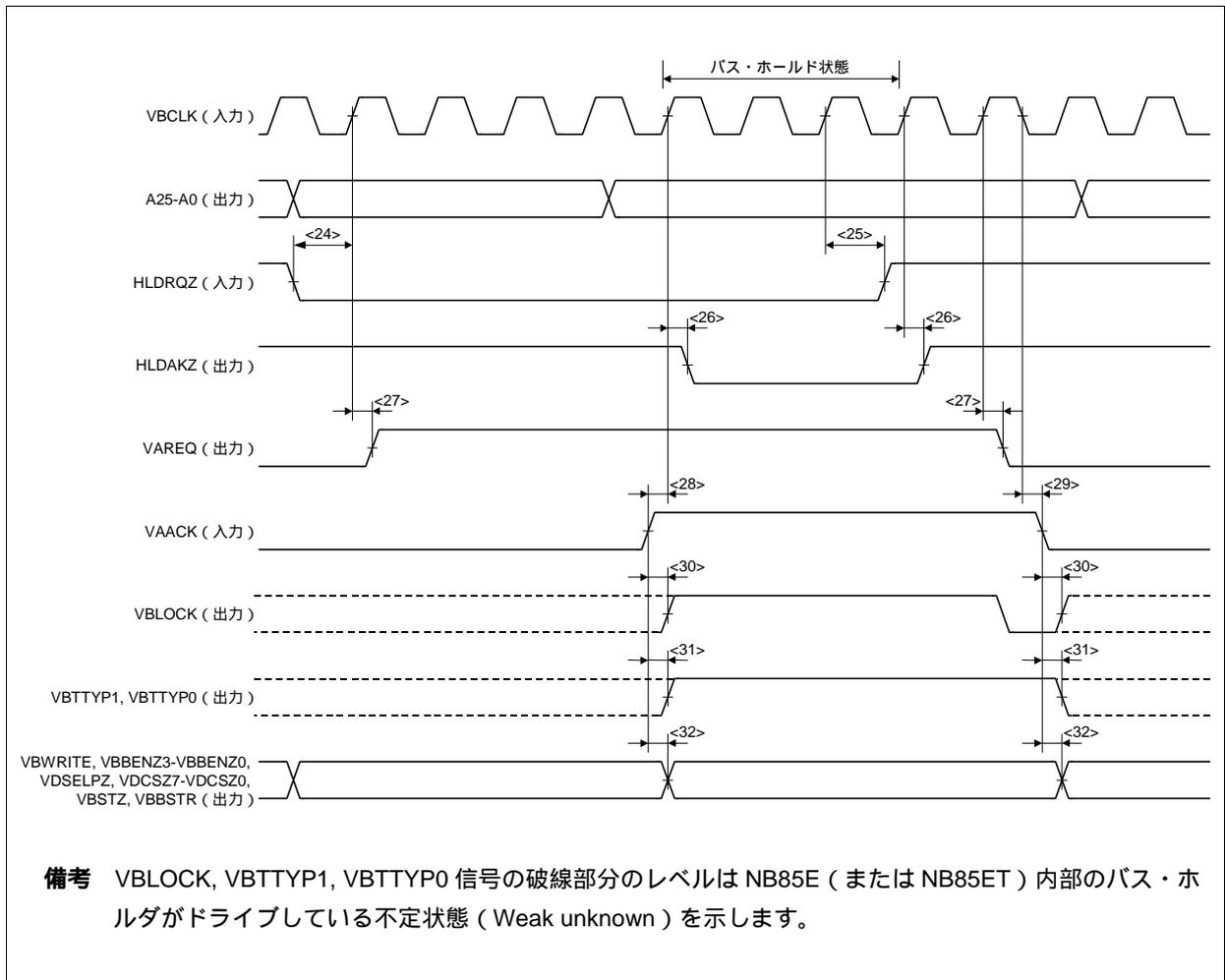
(7) SDCLK 出力タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → SDCLK↑遅延時間	<23>	t _{SDCKD}	1.1	3.7	ns



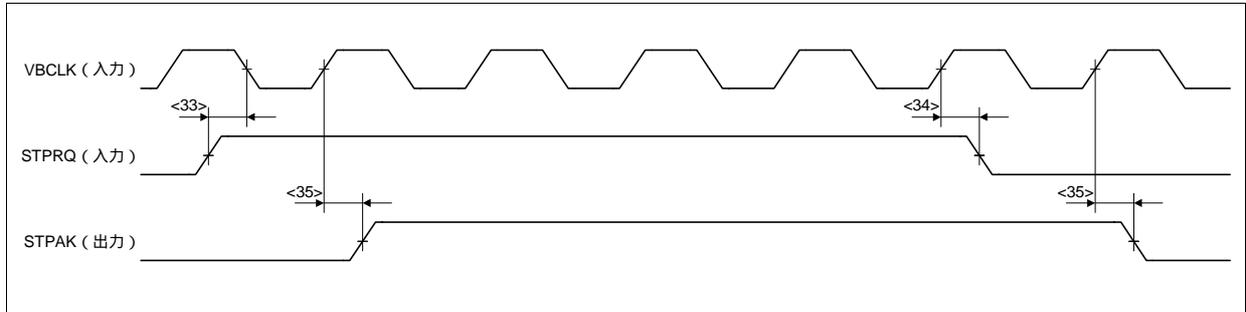
(8) バス・ホールド・タイミング

項目	略号	条件	MIN.	MAX.	単位
HLDRQZ 設定時間 (対 VBCLK↑)	<24>	t _{HRQS}	0		ns
HLDRQZ 保持時間 (対 VBCLK↑)	<25>	t _{HRQH}	0.6		ns
VBCLK↑ → HLDKAZ 遅延時間	<26>	t _{HAKD}	1.5	4.6	ns
VBCLK↑ → VAREQ 遅延時間	<27>	t _{VAQD}	1.6	4.6	ns
VAACK 設定時間 (対 VBCLK↑)	<28>	t _{VAKS}	0.5		ns
VAACK 保持時間 (対 VBCLK↓)	<29>	t _{VAKH}	0.8		ns
VAACK↑ → VBLOCK 遅延時間	<30>	t _{VLKD}	1.7	5.6	ns
VAACK↑ → VBTTYP 遅延時間	<31>	t _{VTTPD}	1.8	6.0	ns
VAACK↑ → VBWRITE, VBBENZ, VDSELPZ, VDCSZ, VBSTZ, VBBSTR 遅延時間	<32>	t _{VSBD}	1.7	6.1	ns



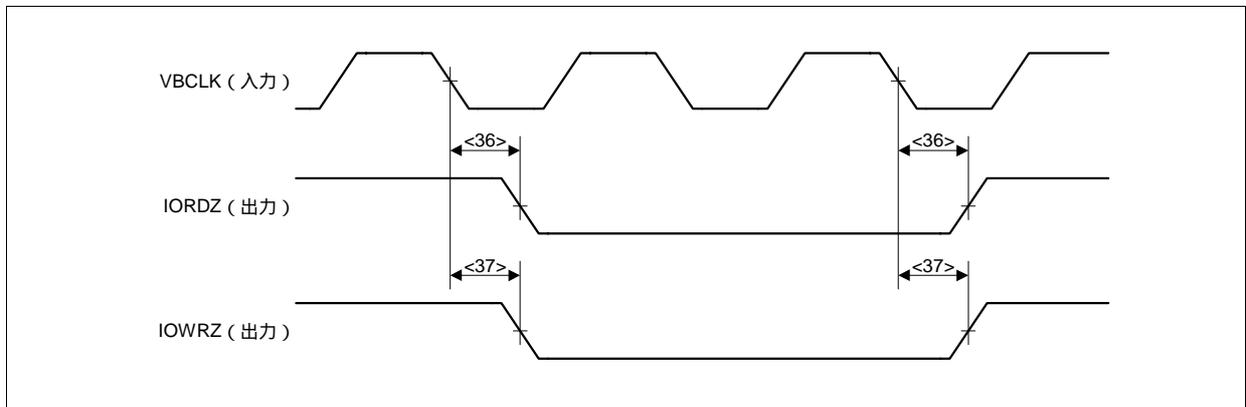
(9) STOP モード・タイミング

項目	略号	条件	MIN.	MAX.	単位
STPRQ 設定時間 (対 VBCLK↓)	<33>	tSPQS	0		ns
STPRQ 保持時間 (対 VBCLK↑)	<34>	tSPQH	0.7		ns
VBCLK↑ → STPAK 遅延時間	<35>	tSPAKD	1.5	4.7	ns



(10) I/O コントロール信号タイミング

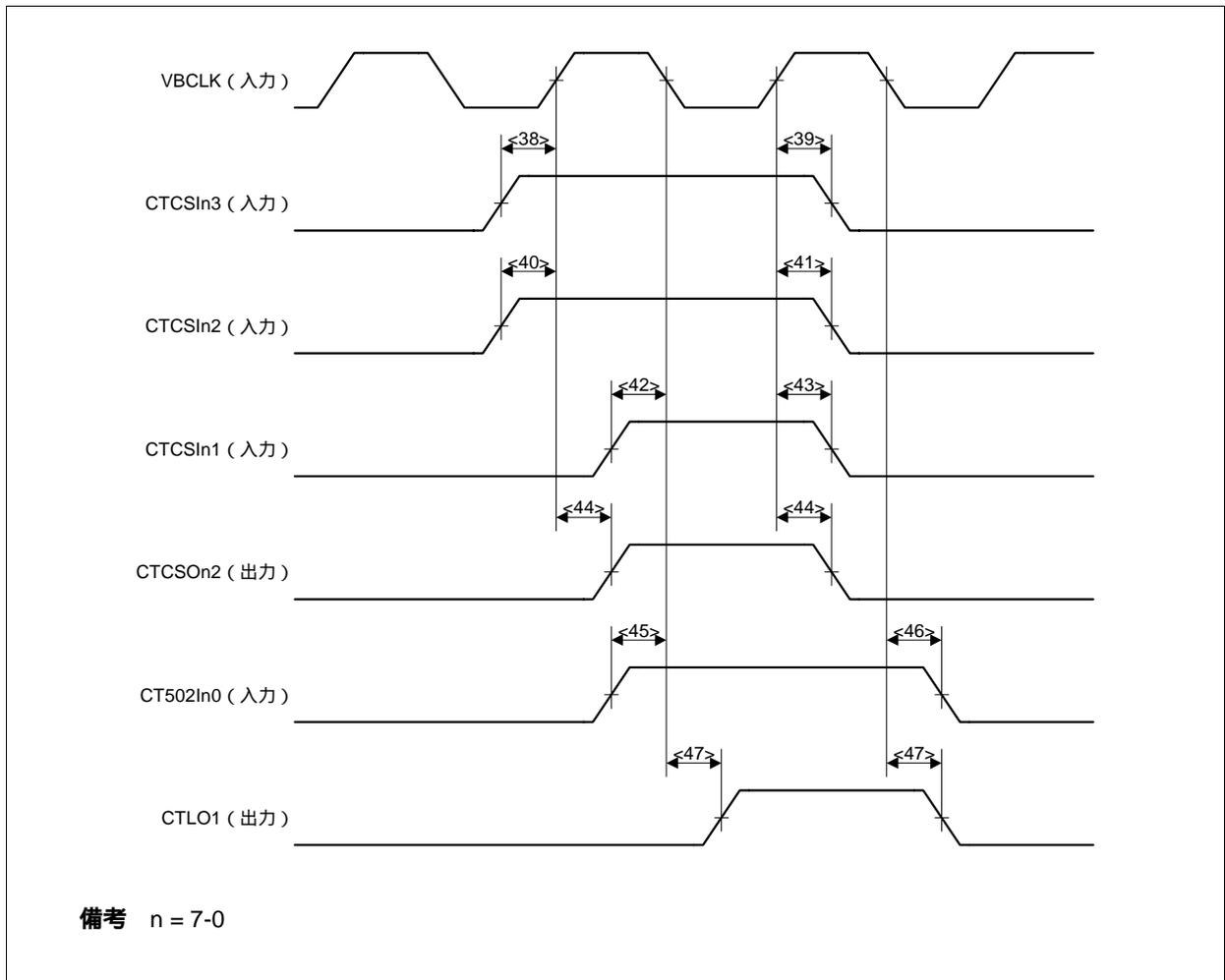
項目	略号	条件	MIN.	MAX.	単位
VBCLK↓ → IORDZ 遅延時間	<36>	tIORD	1.6	5.1	ns
VBCLK↓ → IOWRZ 遅延時間	<37>	tIOWD	1.6	5.1	ns



(11) NU85E502 接続用信号タイミング

項目	略号	条件	MIN.	MAX.	単位
CTCSIn3 設定時間 (対 VBCLK↑)	<38>	t _{CSi3S}	0.5		ns
CTCSIn3 保持時間 (対 VBCLK↑)	<39>	t _{CSi3H}	0.6		ns
CTCSIn2 設定時間 (対 VBCLK↑)	<40>	t _{CSi2S}	0.9		ns
CTCSIn2 保持時間 (対 VBCLK↑)	<41>	t _{CSi2H}	0.5		ns
CTCSIn1 設定時間 (対 VBCLK↓)	<42>	t _{CSi1S}	0		ns
CTCSIn1 保持時間 (対 VBCLK↑)	<43>	t _{CSi1H}	0.9		ns
VBCLK↑ → CTCSON2 遅延時間	<44>	t _{CSO2D}	1.5	5.0	ns
CT502In0 設定時間 (対 VBCLK↓)	<45>	t _{C2i0S}	0		ns
CT502In0 保持時間 (対 VBCLK↓)	<46>	t _{C2i0H}	0.5		ns
VBCLK↓ → CTLO1 遅延時間	<47>	t _{CTL1D}	1.6	5.2	ns

備考 n = 7-0



(12) VSB タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
VBA 設定時間 (対 VBCLK↑)	- tVBA _{S1}	ページ ROM 使用時	0		ns
VBA 保持時間 (対 VBCLK↑)	- tVBA _{H1}	ページ ROM 使用時	1.0		ns
VDCSZ 設定時間 (対 VBCLK↓)	- tCSZ _{S1}		2.0		ns
VDCSZ 保持時間 (対 VBCLK↑)	- tCSZ _{H1}		0.6		ns
VBWRITE 設定時間 (対 VBCLK↓)	- tVBWR _{S1}		0		ns
VBWRITE 保持時間 (対 VBCLK↓)	- tVBWR _{H1}		1.3		ns
VBBENZ 設定時間 (対 VBCLK↓)	- tBENZ _{S1}		0		ns
VBBENZ 保持時間 (対 VBCLK↓)	- tBENZ _{H1}		1.3		ns
VBCTYP 設定時間 (対 VBCLK↓)	- tCTYP _{S1}		0.8		ns
VBCTYP 保持時間 (対 VBCLK↓)	- tCTYP _{H1}		0.7		ns
VBSEQ 設定時間 (対 VBCLK↓)	- tSEQ _{S1}		0.9		ns
VBSEQ 保持時間 (対 VBCLK↑)	- tSEQ _{H1}		1.1		ns
VBSTZ 設定時間 (対 VBCLK↓)	- tSTZ _{S1}		0		ns
VBSTZ 保持時間 (対 VBCLK↑)	- tSTZ _{H1}		1.2		ns

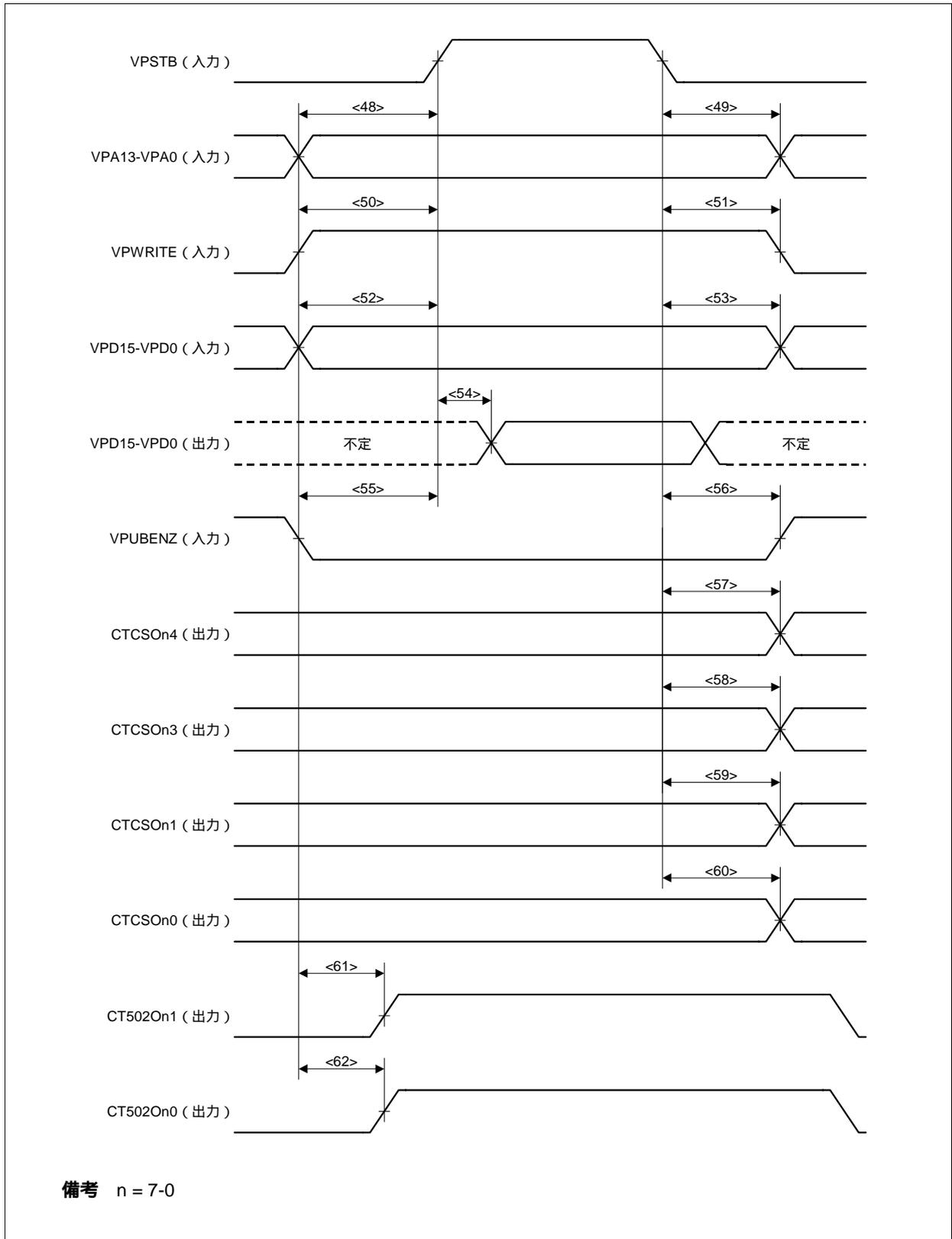
[メモ]

(13) NPB タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
VPA アドレス設定時間 (対 VPSTB↑)	<48> tVPAS		20		ns
VPA アドレス保持時間 (対 VPSTB↓)	<49> tVPAH		20		ns
VPWRITE 設定時間 (対 VPSTB↑)	<50> tVPWRS		20		ns
VPWRITE 保持時間 (対 VPSTB↓)	<51> tVPWRH		20		ns
VPD データ設定時間 (対 VPSTB↑)	<52> tVPDS		20		ns
VPD データ保持時間 (対 VPSTB↓)	<53> tVPDH		20		ns
VPSTB↑ → VPD データ遅延時間	<54> tVPDD		1.1	9.5	ns
VPUBENZ 設定時間 (対 VPSTB↑)	<55> tVPUBS		20		ns
VPUBENZ 保持時間 (対 VPSTB↓)	<56> tVPUBH		20		ns
VPSTB↓ → CTCSON4 遅延時間	<57> tCSO4D			5	ns
VPSTB↓ → CTCSON3 遅延時間	<58> tCSO3D			5	ns
VPSTB↓ → CTCSON1 遅延時間	<59> tCSO1D			5	ns
VPSTB↓ → CTCSON0 遅延時間	<60> tCSO0D			5	ns
VPA アドレス → CT502On1 遅延時間	<61> tC201D			5	ns
VPA アドレス → CT502On0 遅延時間	<62> tC200D			5	ns

備考 n = 7-0

(13) NPB タイミング (2/2)



第 11 章 NU85E500

(開発中)

NU85E500 は、接続する外部メモリの種類に応じて次のように使用します。

対象 CPU コア	接続する外部メモリの種類	メモリ・コントローラ (MEMC)
NB85E	SRAM, ROM, ページ ROM, フラッシュ・メモリ	NU85E500
	SDRAM	NU85E500 + NU85E502

備考 NU85E502 については第 12 章 **NU85E502** を参照してください。

11.1 概 要

NU85E500 は、外部メモリを制御するための基本となるマクロで、SRAM、I/O コントローラ、ページ ROM コントローラを内蔵しています。

NU85E500 は、VSB を介して NB85E と接続することで、外部バス・サイクルを起動できます。

また、NU85E500 に SDRAM コントローラ (NU85E502) を接続することで、SDRAM を制御できます。

11.1.1 シンボル図

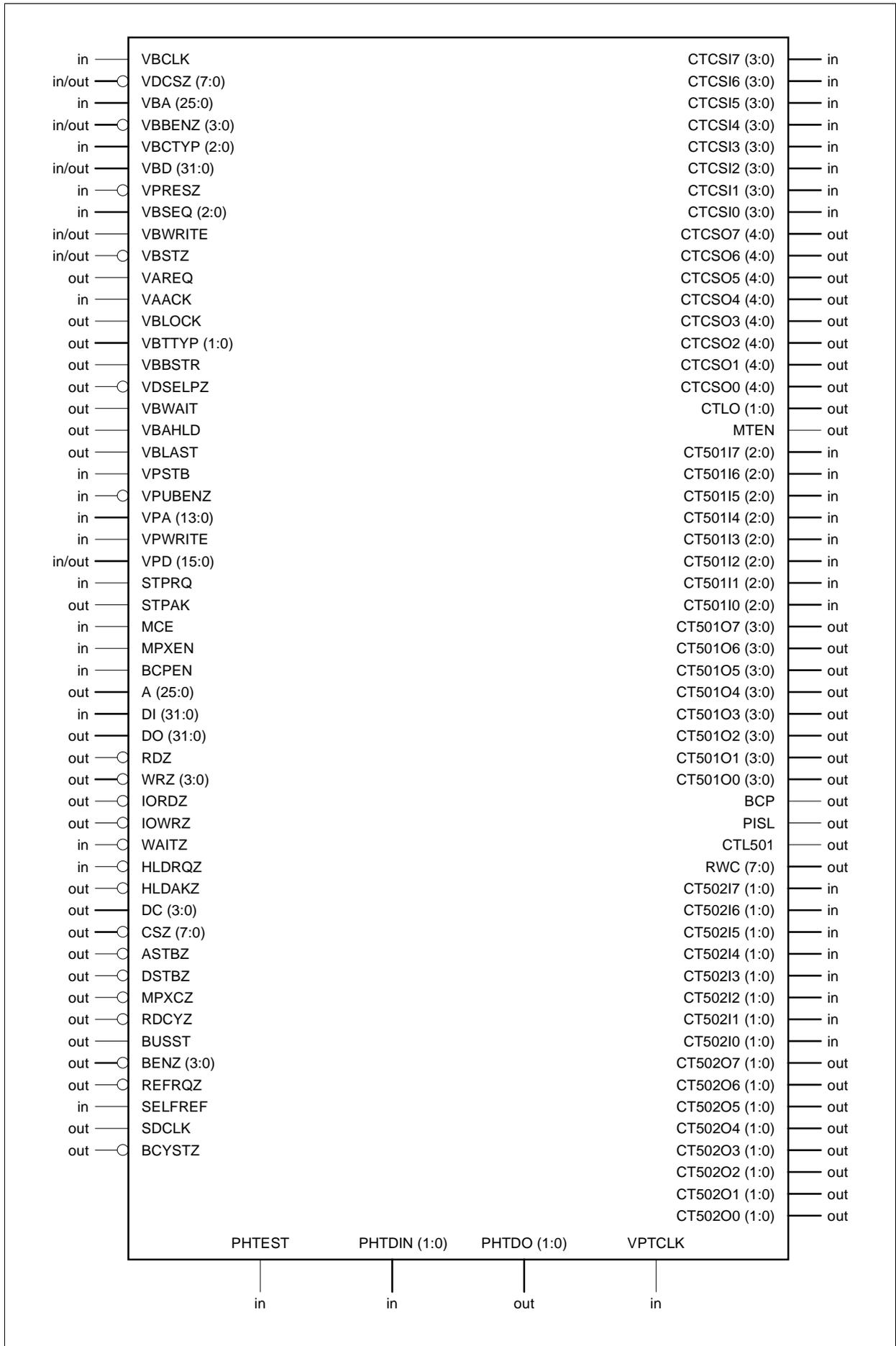
グリッド数

35.6k グリッド

106.0k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

14.3k



11.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子 (1/3)

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
VBCLK	0.135	2.035	VAACK	0.157	2.057
VBA25	0.051	1.951	VPSTB	0.017	1.917
VBA24	0.120	2.020	V PUBENZ	0.036	1.936
VBA23	0.140	2.040	VPA13	0.013	1.913
VBA22	0.166	2.066	VPA12	0.016	1.916
VBA21	0.133	2.033	VPA11	0.014	1.914
VBA20	0.101	2.001	VPA10	0.016	1.916
VBA19	0.166	2.066	VPA9	0.013	1.913
VBA18	0.014	1.914	VPA8	0.020	1.920
VBA17	0.106	2.006	VPA7	0.015	1.915
VBA16	0.494	2.394	VPA6	0.037	1.937
VBA15	0.097	1.997	VPA5	0.015	1.915
VBA14	0.091	1.991	VPA4	0.014	1.914
VBA13	0.108	2.008	VPA3	0.013	1.913
VBA12	0.110	2.010	VPA2	0.021	1.921
VBA11	0.056	1.956	VPA1	0.013	1.913
VBA10	0.129	2.029	VPA0	0.016	1.916
VBA9	0.100	2.000	VPWRITE	0.012	1.912
VBA8	0.163	2.063	STPRQ	0.161	2.061
VBA7	0.143	2.043	MCE	0.110	2.010
VBA6	0.021	1.921	BCPEN	0.113	2.013
VBA5	0.189	2.089	DI31	0.027	1.927
VBA4	0.054	1.954	DI30	0.018	1.918
VBA3	0.119	2.019	DI29	0.025	1.925
VBA2	0.025	1.925	DI28	0.019	1.919
VBA1	0.131	2.031	DI27	0.018	1.918
VBA0	0.161	2.061	DI26	0.024	1.924
VBCTYP2	0.017	1.917	DI25	0.018	1.918
VBCTYP1	0.022	1.922	DI24	0.022	1.922
VBCTYP0	0.018	1.918	DI23	0.022	1.922
VPRESZ	0.013	1.913	DI22	0.026	1.926
VBSEQ2	0.016	1.916	DI21	0.032	1.932
VBSEQ1	0.023	1.923	DI20	0.024	1.924
VBSEQ0	0.022	1.922	DI19	0.029	1.929

(1) 入力端子 (2/3)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
DI18	0.020	1.920	CTCSI32	0.026	1.926
DI17	0.016	1.916	CTCSI31	0.039	1.939
DI16	0.014	1.914	CTCSI30	0.237	2.137
DI15	0.026	1.926	CTCSI23	0.063	1.963
DI14	0.024	1.924	CTCSI22	0.126	2.026
DI13	0.040	1.940	CTCSI21	0.287	2.187
DI12	0.034	1.934	CTCSI20	0.212	2.112
DI11	0.018	1.918	CTCSI13	0.143	2.043
DI10	0.023	1.923	CTCSI12	0.031	1.931
DI9	0.055	1.955	CTCSI11	0.037	1.937
DI8	0.030	1.930	CTCSI10	0.196	2.096
DI7	0.020	1.920	CTCSI03	0.243	2.143
DI6	0.020	1.920	CTCSI02	0.171	2.071
DI5	0.024	1.924	CTCSI01	0.165	2.065
DI4	0.017	1.917	CTCSI00	0.151	2.051
DI3	0.023	1.923	CT502I71	0.017	1.917
DI2	0.025	1.925	CT502I70	0.234	2.134
DI1	0.028	1.928	CT502I61	0.097	1.997
DI0	0.014	1.914	CT502I60	0.094	1.994
WAITZ	0.063	1.963	CT502I51	0.029	1.929
HLDRQZ	0.051	1.951	CT502I50	0.201	2.101
SELFREF	0.184	2.084	CT502I41	0.055	1.955
CTCSI73	0.491	2.391	CT502I40	0.070	1.970
CTCSI72	0.167	2.067	CT502I31	0.227	2.127
CTCSI71	0.130	2.030	CT502I30	0.098	1.998
CTCSI70	0.151	2.051	CT502I21	0.020	1.920
CTCSI63	0.068	1.968	CT502I20	0.181	2.081
CTCSI62	0.018	1.918	CT502I11	0.022	1.922
CTCSI61	0.018	1.918	CT502I10	0.118	2.018
CTCSI60	0.157	2.057	CT502I01	0.015	1.915
CTCSI53	0.198	2.098	CT502I00	0.211	2.111
CTCSI52	0.023	1.923	PHTEST	0.076	1.976
CTCSI51	0.102	2.002	PHTDIN1	0.034	1.934
CTCSI50	0.124	2.024	PHTDIN0	0.054	1.954
CTCSI43	0.089	1.989	VPTCLK	0.064	1.964
CTCSI42	0.076	1.976	MPXEN	0.117	2.017
CTCSI41	0.017	1.917	CT501I72	0.066	1.966
CTCSI40	0.267	2.167	CT501I71	0.096	1.996
CTCSI33	0.069	1.969	CT501I70	0.293	2.193

(1) 入力端子 (3/3)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
CT501I62	0.044	1.944	CT501I30	0.273	2.173
CT501I61	0.044	1.944	CT501I22	0.318	2.218
CT501I60	0.042	1.942	CT501I21	0.094	1.994
CT501I52	0.360	2.260	CT501I20	0.043	1.943
CT501I51	0.121	2.021	CT501I12	0.066	1.966
CT501I50	0.064	1.964	CT501I11	0.123	2.023
CT501I42	0.358	2.258	CT501I10	0.078	1.978
CT501I41	0.077	1.977	CT501I02	0.262	2.162
CT501I40	0.016	1.916	CT501I01	0.193	2.093
CT501I32	0.055	1.955	CT501I00	0.331	2.231
CT501I31	0.062	1.962			

(2) 出力端子 (1/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VAREQ	12.885	-	-	A11	13.065	-	-
VBLOCK	6.549	0.084	1.984	A10	13.065	-	-
VBTTYP1	6.581	0.048	1.948	A9	13.068	-	-
VBTTYP0	6.581	0.048	1.948	A8	13.064	-	-
VBBSTR	6.575	0.053	1.953	A7	13.066	-	-
VDSELPZ	6.579	0.050	1.950	A6	13.305	-	-
VBWAIT	6.577	0.051	1.951	A5	13.041	-	-
VBAHLD	6.574	0.054	1.954	A4	13.320	-	-
VBLAST	6.571	0.057	1.957	A3	13.067	-	-
STPAK	12.914	-	-	A2	13.071	-	-
A25	13.066	-	-	A1	13.071	-	-
A24	13.054	-	-	A0	13.058	-	-
A23	13.064	-	-	DO31	13.071	-	-
A22	13.063	-	-	DO30	13.066	-	-
A21	13.069	-	-	DO29	13.071	-	-
A20	13.071	-	-	DO28	13.067	-	-
A19	13.071	-	-	DO27	13.068	-	-
A18	13.063	-	-	DO26	13.069	-	-
A17	13.060	-	-	DO25	13.069	-	-
A16	13.044	-	-	DO24	13.071	-	-
A15	13.069	-	-	DO23	13.061	-	-
A14	13.037	-	-	DO22	13.063	-	-
A13	13.071	-	-	DO21	13.070	-	-
A12	13.045	-	-	DO20	13.062	-	-

(2) 出力端子 (2/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
DO19	13.070	-	-	CSZ0	13.054	-	-
DO18	13.064	-	-	BENZ3	12.962	-	-
DO17	13.071	-	-	BENZ2	12.968	-	-
DO16	13.059	-	-	BENZ1	13.307	-	-
DO15	13.071	-	-	BENZ0	13.328	-	-
DO14	13.062	-	-	BCYSTZ	13.203	-	-
DO13	13.071	-	-	REFRQZ	13.054	-	-
DO12	13.070	-	-	SDCLK	13.071	-	-
DO11	13.071	-	-	CTCSO74	13.335	-	-
DO10	13.070	-	-	CTCSO73	13.332	-	-
DO9	13.071	-	-	CTCSO72	13.118	-	-
DO8	13.070	-	-	CTCSO71	13.338	-	-
DO7	13.071	-	-	CTCSO70	13.335	-	-
DO6	13.068	-	-	CTCSO64	13.338	-	-
DO5	13.062	-	-	CTCSO63	13.334	-	-
DO4	13.071	-	-	CTCSO62	13.039	-	-
DO3	13.068	-	-	CTCSO61	13.274	-	-
DO2	13.062	-	-	CTCSO60	13.335	-	-
DO1	7.907	-	-	CTCSO54	13.329	-	-
DO0	7.904	-	-	CTCSO53	13.337	-	-
RDZ	12.905	-	-	CTCSO52	13.202	-	-
WRZ3	13.175	-	-	CTCSO51	13.332	-	-
WRZ2	13.177	-	-	CTCSO50	13.334	-	-
WRZ1	13.141	-	-	CTCSO44	13.325	-	-
WRZ0	13.187	-	-	CTCSO43	13.291	-	-
IORDZ	13.014	-	-	CTCSO42	13.041	-	-
IOWRZ	12.873	-	-	CTCSO41	13.267	-	-
HLDKZ	13.338	-	-	CTCSO40	13.336	-	-
DC3	13.320	-	-	CTCSO34	13.311	-	-
DC2	13.035	-	-	CTCSO33	13.311	-	-
DC1	13.048	-	-	CTCSO32	13.279	-	-
DC0	13.071	-	-	CTCSO31	13.331	-	-
CSZ7	13.037	-	-	CTCSO30	13.309	-	-
CSZ6	13.311	-	-	CTCSO24	13.336	-	-
CSZ5	13.035	-	-	CTCSO23	13.311	-	-
CSZ4	12.999	-	-	CTCSO22	12.939	-	-
CSZ3	13.002	-	-	CTCSO21	13.331	-	-
CSZ2	13.071	-	-	CTCSO20	13.330	-	-
CSZ1	13.025	-	-	CTCSO14	13.277	-	-

(2) 出力端子 (3/3)

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
CTCSO13	13.251	-	-	CT501O63	13.334	-	-
CTCSO12	13.039	-	-	CT501O62	13.256	-	-
CTCSO11	13.324	-	-	CT501O61	13.334	-	-
CTCSO10	13.323	-	-	CT501O60	13.323	-	-
CTCSO04	13.278	-	-	CT501O53	13.336	-	-
CTCSO03	13.255	-	-	CT501O52	13.031	-	-
CTCSO02	12.931	-	-	CT501O51	13.338	-	-
CTCSO01	13.326	-	-	CT501O50	13.108	-	-
CTCSO00	13.324	-	-	CT501O43	13.283	-	-
CTLO1	13.210	-	-	CT501O42	13.248	-	-
CTLO0	13.261	-	-	CT501O41	13.283	-	-
MTEN	13.314	-	-	CT501O40	13.338	-	-
CT502O71	13.224	-	-	CT501O33	13.325	-	-
CT502O70	13.328	-	-	CT501O32	13.333	-	-
CT502O61	13.335	-	-	CT501O31	13.338	-	-
CT502O60	13.338	-	-	CT501O30	13.333	-	-
CT502O51	13.140	-	-	CT501O23	13.334	-	-
CT502O50	13.219	-	-	CT501O22	13.322	-	-
CT502O41	13.334	-	-	CT501O21	13.338	-	-
CT502O40	13.330	-	-	CT501O20	13.328	-	-
CT502O31	13.332	-	-	CT501O13	13.170	-	-
CT502O30	13.324	-	-	CT501O12	13.324	-	-
CT502O21	13.130	-	-	CT501O11	13.319	-	-
CT502O20	13.338	-	-	CT501O10	13.318	-	-
CT502O11	13.332	-	-	CT501O03	13.324	-	-
CT502O10	13.335	-	-	CT501O02	13.228	-	-
CT502O01	13.320	-	-	CT501O01	13.107	-	-
CT502O00	13.325	-	-	CT501O00	13.313	-	-
PHTDO1	13.223	-	-	BCP	13.286	-	-
PHTDO0	13.309	-	-	PISL	13.338	-	-
ASTBZ	13.172	-	-	CTL501	13.308	-	-
DSTBZ	13.161	-	-	RWC7	13.296	-	-
MPXCZ	12.961	-	-	RWC6	13.334	-	-
RDCYZ	13.039	-	-	RWC5	13.323	-	-
BUSST	12.955	-	-	RWC4	13.282	-	-
CT501O73	13.331	-	-	RWC3	13.315	-	-
CT501O72	12.986	-	-	RWC2	13.242	-	-
CT501O71	13.148	-	-	RWC1	13.303	-	-
CT501O70	13.063	-	-	RWC0	13.325	-	-

(3) 入出力端子

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VDCSZ7	6.446	0.183	2.083	VBD12	6.338	0.290	2.190
VDCSZ6	6.374	0.254	2.154	VBD11	6.345	0.284	2.184
VDCSZ5	6.320	0.308	2.208	VBD10	6.344	0.285	2.185
VDCSZ4	6.298	0.331	2.231	VBD9	6.329	0.299	2.199
VDCSZ3	6.211	0.418	2.318	VBD8	6.315	0.314	2.214
VDCSZ2	6.355	0.273	2.173	VBD7	6.329	0.300	2.200
VDCSZ1	6.313	0.316	2.216	VBD6	6.344	0.285	2.185
VDCSZ0	6.477	0.152	2.052	VBD5	6.314	0.315	2.215
VBBENZ3	6.428	0.200	2.100	VBD4	6.318	0.311	2.211
VBBENZ2	6.462	0.166	2.066	VBD3	6.359	0.270	2.170
VBBENZ1	6.489	0.140	2.040	VBD2	6.333	0.296	2.196
VBBENZ0	6.484	0.145	2.045	VBD1	6.366	0.263	2.163
VBD31	6.385	0.244	2.144	VBD0	6.394	0.235	2.135
VBD30	6.375	0.254	2.154	VBWRITE	6.492	0.137	2.037
VBD29	6.383	0.246	2.146	VBSTZ	6.394	0.234	2.134
VBD28	6.366	0.263	2.163	VPD15	6.493	0.188	2.088
VBD27	6.364	0.265	2.165	VPD14	6.555	0.120	2.020
VBD26	6.393	0.236	2.136	VPD13	6.525	0.150	2.050
VBD25	6.390	0.239	2.139	VPD12	6.530	0.145	2.045
VBD24	6.399	0.230	2.130	VPD11	6.504	0.176	2.076
VBD23	6.373	0.256	2.156	VPD10	6.519	0.161	2.061
VBD22	6.394	0.235	2.135	VPD9	6.519	0.161	2.061
VBD21	6.378	0.251	2.151	VPD8	6.537	0.143	2.043
VBD20	6.373	0.256	2.156	VPD7	6.503	0.218	2.118
VBD19	6.373	0.256	2.156	VPD6	6.514	0.207	2.107
VBD18	6.384	0.244	2.144	VPD5	6.508	0.213	2.113
VBD17	6.346	0.282	2.182	VPD4	6.534	0.188	2.088
VBD16	6.366	0.262	2.162	VPD3	6.475	0.246	2.146
VBD15	6.364	0.264	2.164	VPD2	6.478	0.244	2.144
VBD14	6.362	0.266	2.166	VPD1	6.493	0.228	2.128
VBD13	6.348	0.281	2.181	VPD0	6.489	0.233	2.133

11.2 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには、初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

11.3 端子機能一覧

(1/3)

端子名	入出力	機 能	
NB85E 接続用端子	VBCLK	入力	内部システム・クロック入力
	VDCSZ7-VDCSZ0	入出力	チップ・セレクト入出力
	VBA25-VBA0	入力	アドレス入力
	VBBENZ3-VBBENZ0	入出力	バイト・イネーブル入出力
	VBCTYP2-VBCTYP0	入力	バス・サイクル・ステータス入力
	VBD31-VBD0	入出力	データ入出力
	VPRESZ	入力	リセット入力
	VBSEQ2-VBSEQ0	入力	シーケンシャル・ステータス入力
	VBWRITE	入出力	リード/ライト・ステータス入出力
	VBSTZ	入出力	転送スタート入出力
	VAREQ	出力	バス使用権要求出力
	VAACK	入力	バス使用権アクノリッジ入力
	VBLOCK	出力	バス・ロック出力
	VBTTYP1, VBTTYP0	出力	バス転送タイプ出力
	VBBSTR	出力	バースト・リード・ステータス出力
	VDESELPZ	出力	周辺 I/O 領域アクセス・ステータス出力
	VBWAIT	出力	ウェイト・レスポンス出力
	VBAHLD	出力	アドレス・ホールド・レスポンス出力
	VBLAST	出力	ラスト・レスポンス出力
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPUBENZ	入力	上位バイト・イネーブル入力 (NPB 用)
	VPA13-VPA0	入力	アドレス入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
	STPRQ	入力	STOP モード要求入力
	STPAK	出力	STPRQ 入力に対するアクノリッジ出力
	初期設定用端子	MCE	入力
BCPEN		入力	BCP レジスタの BCP ビット・リセット値制御入力
外部メモリ接続用端子	A25-A0	出力	外部メモリ用アドレス出力
	DI31-DI0	入力	外部メモリ用データ入力
	DO31-DO0	出力	外部メモリ用データ出力
	RDZ	出力	SRAM / ページ ROM 用リード・ストロープ出力
	WRZ3-WRZ0	出力	SRAM / ページ ROM 用ライト・ストロープ出力
	IORDZ	出力	外部 I/O リード・ストロープ出力
	IOWRZ	出力	外部 I/O ライト・ストロープ出力
	WAITZ	入力	ウェイト要求入力
	HLDQRZ	入力	外部バス・ホールド要求入力
	HLDAKZ	出力	外部バス・ホールド要求アクノリッジ出力
	DC3-DC0	出力	データ・バス用制御出力

端子名		入出力	機能
外部メモリ接続用端子	CSZ7-CSZ0	出力	チップ・セレクト出力
	BENZ3-BENZ0	出力	バイト・イネーブル出力
	BCYSTZ	出力	バス・サイクル・スタート・ステータス出力
	REFRQZ	出力	リフレッシュ・ステータス出力
	SELFREF	入力	セルフ・リフレッシュ要求入力
	SDCLK	出力	SDRAM 用同期クロック出力
NU85E502 接続用端子	CTCSI73-CTCSI70	入力	NU85E502 からの制御入力 (CS7 領域用)
	CTCSI63-CTCSI60	入力	NU85E502 からの制御入力 (CS6 領域用)
	CTCSI53-CTCSI50	入力	NU85E502 からの制御入力 (CS5 領域用)
	CTCSI43-CTCSI40	入力	NU85E502 からの制御入力 (CS4 領域用)
	CTCSI33-CTCSI30	入力	NU85E502 からの制御入力 (CS3 領域用)
	CTCSI23-CTCSI20	入力	NU85E502 からの制御入力 (CS2 領域用)
	CTCSI13-CTCSI10	入力	NU85E502 からの制御入力 (CS1 領域用)
	CTCSI03-CTCSI00	入力	NU85E502 からの制御入力 (CS0 領域用)
	CTCSO74-CTCSO70	出力	NU85E502 への制御出力 (CS7 領域用)
	CTCSO64-CTCSO60	出力	NU85E502 への制御出力 (CS6 領域用)
	CTCSO54-CTCSO50	出力	NU85E502 への制御出力 (CS5 領域用)
	CTCSO44-CTCSO40	出力	NU85E502 への制御出力 (CS4 領域用)
	CTCSO34-CTCSO30	出力	NU85E502 への制御出力 (CS3 領域用)
	CTCSO24-CTCSO20	出力	NU85E502 への制御出力 (CS2 領域用)
	CTCSO14-CTCSO10	出力	NU85E502 への制御出力 (CS1 領域用)
	CTCSO04-CTCSO00	出力	NU85E502 への制御出力 (CS0 領域用)
	CTLO1, CTLO0	出力	NU85E502 への制御出力
	MTEN	出力	NU85E502 へのテスト・モード許可出力
	CT502I71, CT502I70	入力	NU85E502 からの制御入力 (CS7 領域用)
	CT502I61, CT502I60	入力	NU85E502 からの制御入力 (CS6 領域用)
	CT502I51, CT502I50	入力	NU85E502 からの制御入力 (CS5 領域用)
	CT502I41, CT502I40	入力	NU85E502 からの制御入力 (CS4 領域用)
	CT502I31, CT502I30	入力	NU85E502 からの制御入力 (CS3 領域用)
	CT502I21, CT502I20	入力	NU85E502 からの制御入力 (CS2 領域用)
	CT502I11, CT502I10	入力	NU85E502 からの制御入力 (CS1 領域用)
	CT502I01, CT502I00	入力	NU85E502 からの制御入力 (CS0 領域用)
	CT502O71, CT502O70	出力	NU85E502 への制御出力 (CS7 領域用)
	CT502O61, CT502O60	出力	NU85E502 への制御出力 (CS6 領域用)
	CT502O51, CT502O50	出力	NU85E502 への制御出力 (CS5 領域用)
	CT502O41, CT502O40	出力	NU85E502 への制御出力 (CS4 領域用)
	CT502O31, CT502O30	出力	NU85E502 への制御出力 (CS3 領域用)
	CT502O21, CT502O20	出力	NU85E502 への制御出力 (CS2 領域用)
CT502O11, CT502O10	出力	NU85E502 への制御出力 (CS1 領域用)	
CT502O01, CT502O00	出力	NU85E502 への制御出力 (CS0 領域用)	

端子名		入出力	機 能
テスト・モード用端子	PHTEST	入力	周辺テスト・モード・ステータス入力
	PHTDIN1, PHTDIN0	入力	周辺マクロ・テスト入力
	PHTDO1, PHTDO0	出力	周辺マクロ・テスト出力
	VPTCLK	入力	テスト用クロック入力
NEC の予約端子	MPXEN	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	ASTBZ	出力	NEC の予約端子 (オープンにしてください)
	DSTBZ	出力	NEC の予約端子 (オープンにしてください)
	MPXCZ	出力	NEC の予約端子 (オープンにしてください)
	RDCYZ	出力	NEC の予約端子 (オープンにしてください)
	BUSST	出力	NEC の予約端子 (オープンにしてください)
	CT501172-CT501170	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501162-CT501160	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501152-CT501150	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501142-CT501140	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501132-CT501130	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501122-CT501120	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501112-CT501110	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501102-CT501100	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501073-CT501070	出力	NEC の予約端子 (オープンにしてください)
	CT501063-CT501060	出力	NEC の予約端子 (オープンにしてください)
	CT501053-CT501050	出力	NEC の予約端子 (オープンにしてください)
	CT501043-CT501040	出力	NEC の予約端子 (オープンにしてください)
	CT501033-CT501030	出力	NEC の予約端子 (オープンにしてください)
	CT501023-CT501020	出力	NEC の予約端子 (オープンにしてください)
	CT501013-CT501010	出力	NEC の予約端子 (オープンにしてください)
	CT501003-CT501000	出力	NEC の予約端子 (オープンにしてください)
	BCP	出力	NEC の予約端子 (オープンにしてください)
	PISL	出力	NEC の予約端子 (オープンにしてください)
	CTL501	出力	NEC の予約端子 (オープンにしてください)
	RWC7-RWC0	出力	NEC の予約端子 (オープンにしてください)

11.4 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

11.4.1 絶対最大定格

項 目	略 号	定 格	単 位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

11.4.2 推奨動作範囲

項 目	略 号	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	15.0			ns

11.4.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1}	通常動作モード時		0.18	0.27	mA/MHz
	I _{DD2}	STOP モード時		0	1.0	μA

備考 1. 上記の電源電流値はグリッド数から算出した参考値です。

2. TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

11.4.4 AC 特性 (TA = -40 ~ +85°C, VDD = 3.3V ± 0.3V)

(1) SRAM / ページ ROM リード・タイミング (1/3)

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1> tCYK		15.0		ns
VBCLK↑ → アドレス遅延時間	<2> tAD		tDKA + 0.7 ^注	tDKA + 3.4 ^注	ns
VBCLK↑ → CSZ 遅延時間	<3> tCSZD1		tDKC + 0.8 ^注	tDKC + 3.4 ^注	ns
VBCLK↓ → RDZ 遅延時間	<4> tRDZD1		2.1	6.2	ns
VBCLK↑ → RDZ 遅延時間	<5> tRDZD2		1.9	5.3	ns
データ設定時間 (対 VBCLK↑)	<6> tDIS		0		ns
データ保持時間 (対 VBCLK↑)	<7> tDIH		1.5		ns
VBCLK↑ → BCYSTZ 遅延時間	<8> tBCYD		1.7	tDKS1 + 1.8 ^注	ns
WAITZ 設定時間 (対 VBCLK↑)	<9> tWTS		0		ns
WAITZ 保持時間 (対 VBCLK↑)	<10> tWTH		1.3		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<11> tVRD1			5.9	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<12> tVRD2		1.6		ns
VBCLK↑ → VBD 遅延時間	<13> tVBD1			6.5	ns
VBCLK↓ → VBD 遅延時間	<14> tVBD2		1.7		ns
VBCLK↑ → DC 遅延時間	<15> tDCD1		tDKS1 + 0.8 ^注	tDKS1 + 2.9 ^注	ns

注 tDKA : VBCLK↑ → VBA 遅延時間

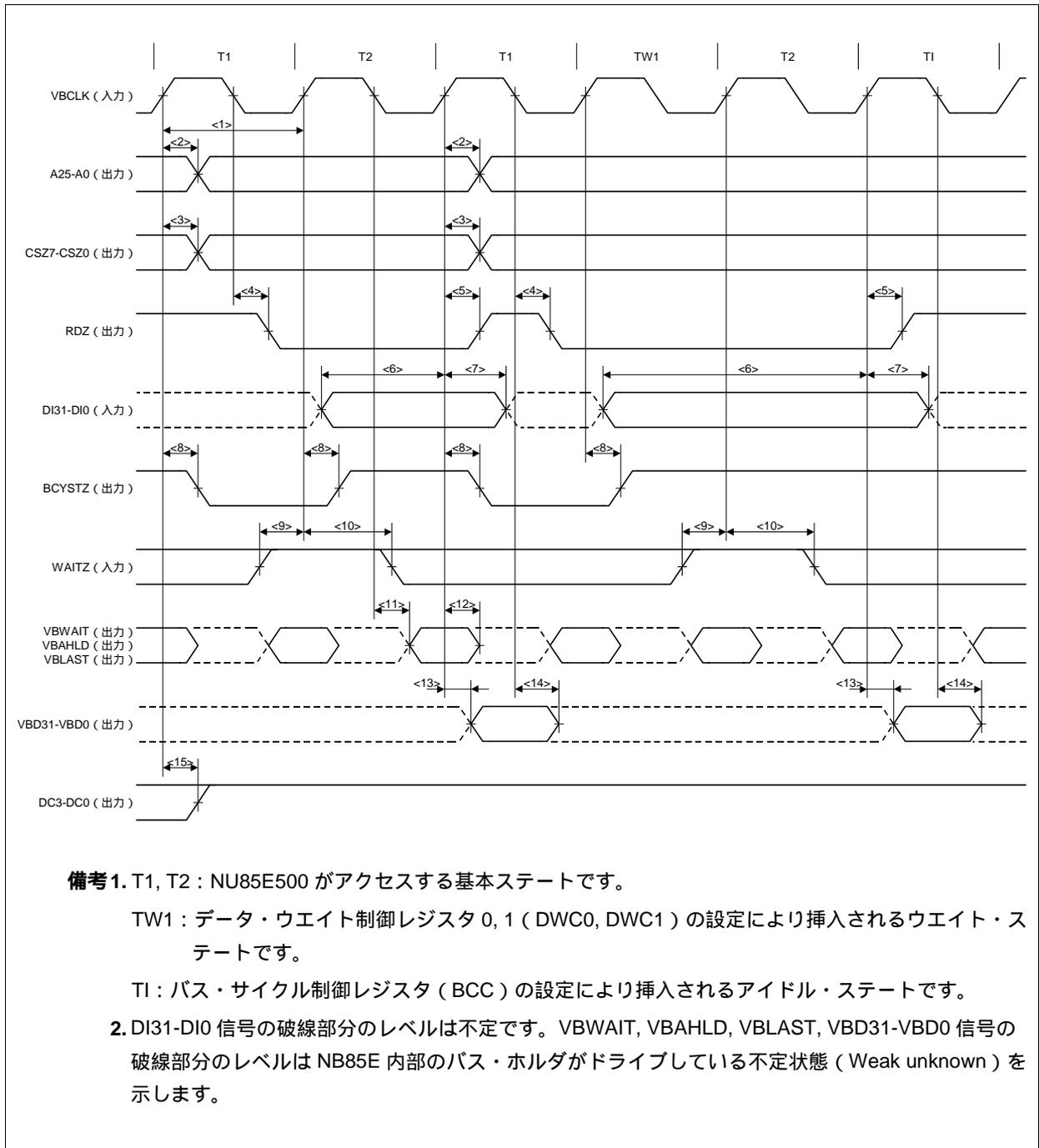
tDKC : VBCLK↑ → VDACSZ, VDSELPZ 遅延時間

tDKS1 : VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間

上記は NB85E の電気的特性です。7.4.4 AC 特性を参照してください。

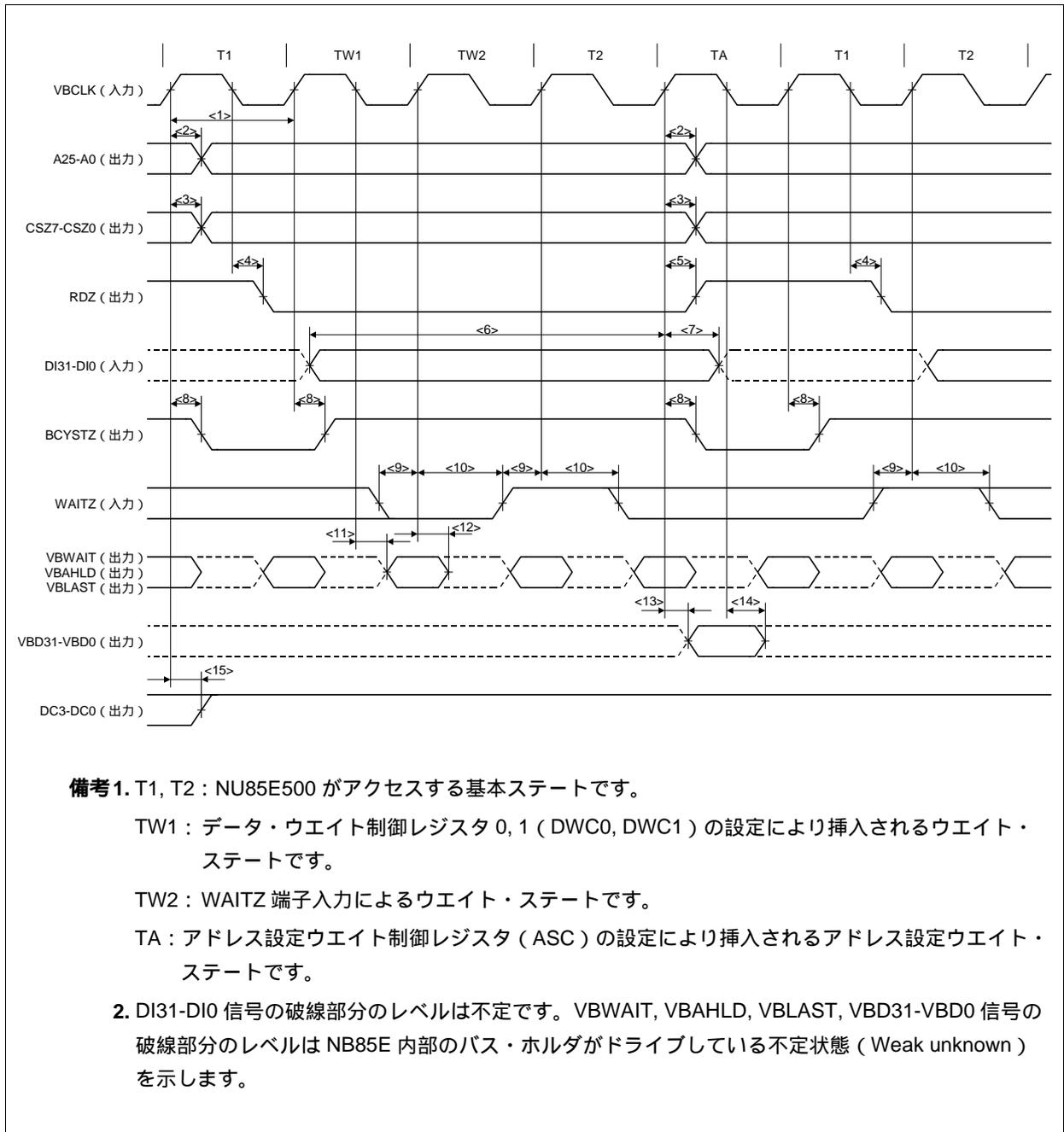
(1) SRAM / ページ ROM リード・タイミング (2/3)

(a) ウェイト挿入時



(1) SRAM / ページ ROM リード・タイミング (3/3)

(b) アドレス設定ウエイト挿入時



(2) SRAM ライト・タイミング (1/3)

項 目	略 号	条 件	MIN.	MAX.	単 位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → アドレス遅延時間	<2>	t _{AD}	t _{DKA} + 0.7 ^注	t _{DKA} + 3.4 ^注	ns
VBCLK↑ → CSZ 遅延時間	<3>	t _{CSZD1}	t _{DKC} + 0.8 ^注	t _{DKC} + 3.4 ^注	ns
VBCLK↑ → BCYSTZ 遅延時間	<8>	t _{BCYD}	1.7	t _{DKS1} + 1.8 ^注	ns
WAITZ 設定時間 (対 VBCLK↑)	<9>	t _{WTS}	0		ns
WAITZ 保持時間 (対 VBCLK↑)	<10>	t _{WTH}	1.3		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<11>	t _{VRD1}		5.9	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<12>	t _{VRD2}	1.6		ns
VBCLK↓ → DC 遅延時間	<16>	t _{DCD2}	1.9	5.9	ns
VBCLK↓ → WRZ 遅延時間	<17>	t _{WRZD}	2.0	5.6	ns
VBCLK↓ → データ遅延時間	<18>	t _{DOD1}	t _{DKD1} + 0.3 ^注	t _{DKD1} + 1.7 ^注	ns
VBCLK↑ → データ遅延時間	<19>	t _{DOD2}	t _{DKD0} + 0.3 ^注	t _{DKD0} + 1.7 ^注	ns
VBBENZ → BENZ 遅延時間	-	t _{BNZD}	0.5	2.2	ns

注 t_{DKA} : VBCLK↑ → VBA 遅延時間

t_{DKC} : VBCLK↑ → VDCSZ, VDSELPZ 遅延時間

t_{DKS1} : VBCLK↑ → VBSTZ, VBSIZE, VBWRITE, VBCTYP 遅延時間

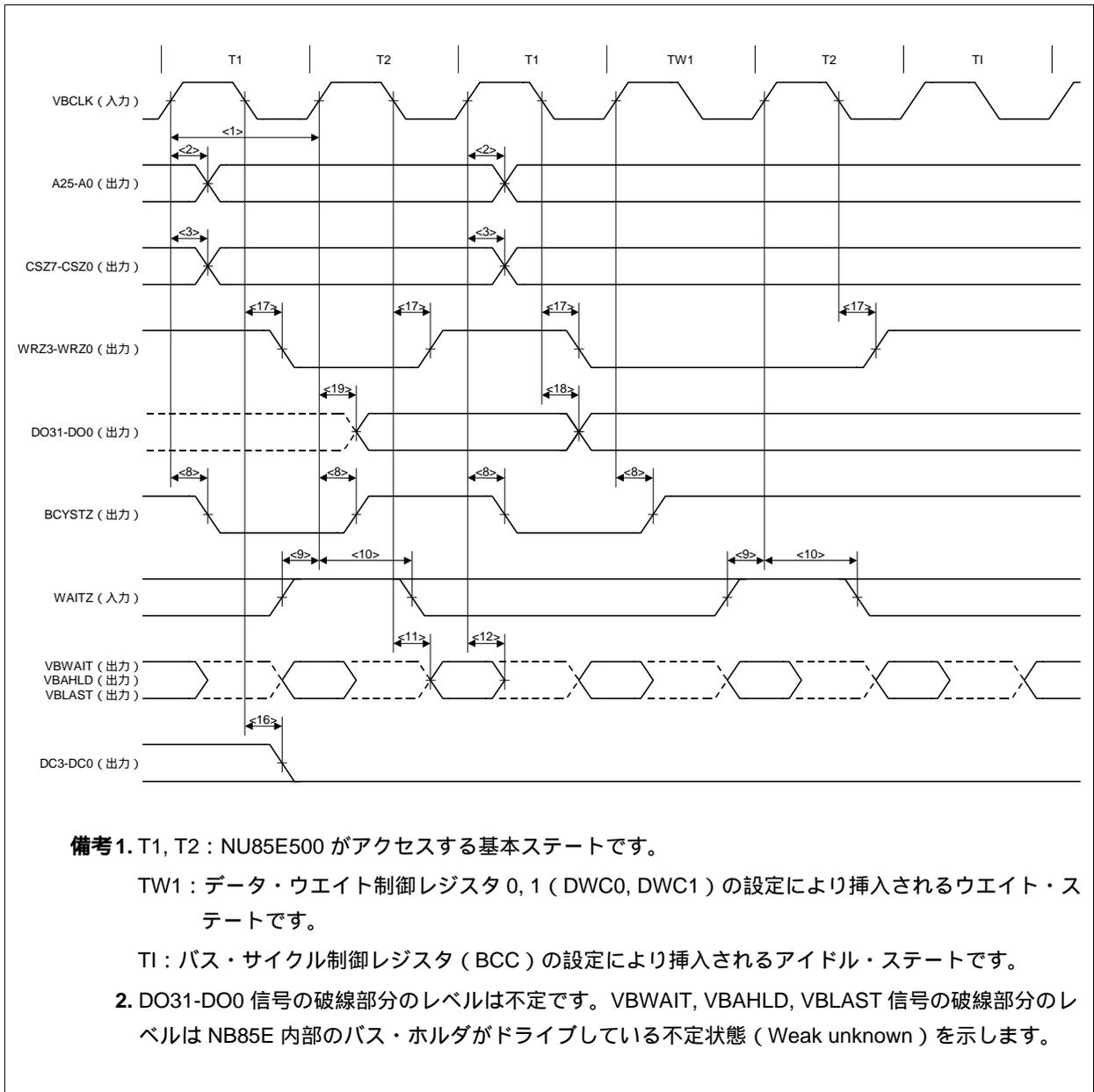
t_{DKD1} : VBCLK↓ → VBD データ遅延時間

t_{DKD0} : VBCLK↑ → VBD データ遅延時間

上記は NB85E の電気的特性です。7.4.4 AC 特性を参照してください。

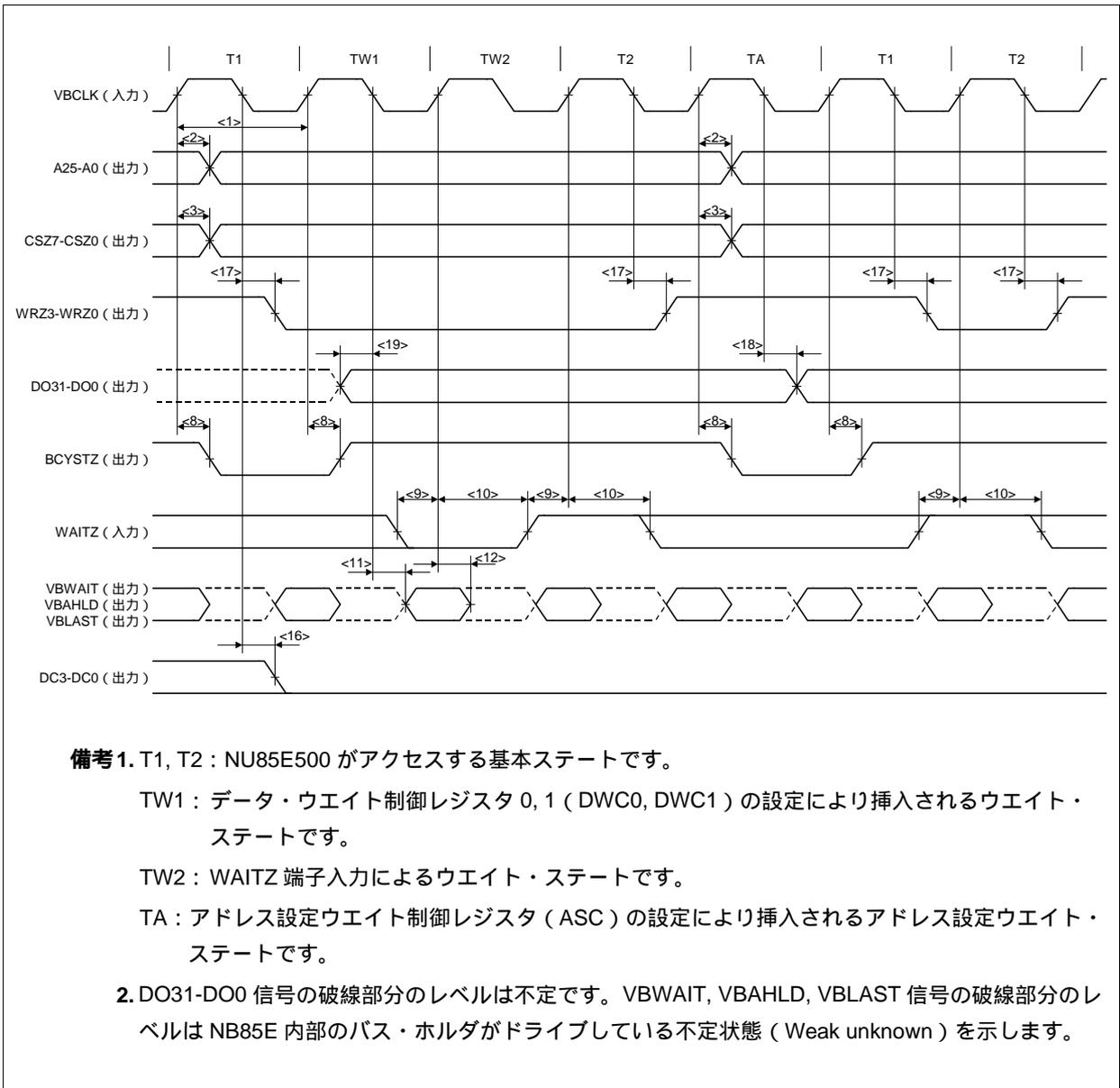
(2) SRAM ライト・タイミング (2/3)

(a) ウェイト挿入時



(2) SRAM ライト・タイミング (3/3)

(b) アドレス設定ウエイト挿入時



(3) SRAM リード/ライト・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → アドレス遅延時間	<2>	t _{AD}	t _{DKA} + 0.7 ^注	t _{DKA} + 3.4 ^注	ns
VBCLK↑ → CSZ 遅延時間	<3>	t _{CSZD1}	t _{DKC} + 0.8 ^注	t _{DKC} + 3.4 ^注	ns
VBCLK↓ → RDZ 遅延時間	<4>	t _{RDZD1}	2.1	6.2	ns
VBCLK↑ → RDZ 遅延時間	<5>	t _{RDZD2}	1.9	5.3	ns
データ設定時間 (対 VBCLK↑)	<6>	t _{DIS}	0		ns
データ保持時間 (対 VBCLK↑)	<7>	t _{DIH}	1.5		ns
VBCLK↑ → BCYSTZ 遅延時間	<8>	t _{BCYD}	1.7	t _{DKS1} + 1.8 ^注	ns
WAITZ 設定時間 (対 VBCLK↑)	<9>	t _{WTS}	0		ns
WAITZ 保持時間 (対 VBCLK↑)	<10>	t _{WTH}	1.3		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<11>	t _{VRD1}		5.9	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<12>	t _{VRD2}	1.6		ns
VBCLK↑ → VBD 遅延時間	<13>	t _{VBD1}		6.5	ns
VBCLK↓ → VBD 遅延時間	<14>	t _{VBD2}	1.7		ns
VBCLK↑ → DC 遅延時間	<15>	t _{DCD1}	t _{DKS1} + 0.8 ^注	t _{DKS1} + 2.9 ^注	ns
VBCLK↓ → DC 遅延時間	<16>	t _{DCD2}	1.9	5.9	ns
VBCLK↓ → WRZ 遅延時間	<17>	t _{WRZD}	2.0	5.6	ns
VBCLK↓ → データ遅延時間	<18>	t _{DOD1}	t _{DKD1} + 0.3 ^注	t _{DKD1} + 1.7 ^注	ns
VBCLK↑ → データ遅延時間	<19>	t _{DOD2}	t _{DKD0} + 0.3 ^注	t _{DKD0} + 1.7 ^注	ns

注 t_{DKA} : VBCLK↑ → VBA 遅延時間

t_{DKC} : VBCLK↑ → VD_{CSZ}, VD_{SELPZ} 遅延時間

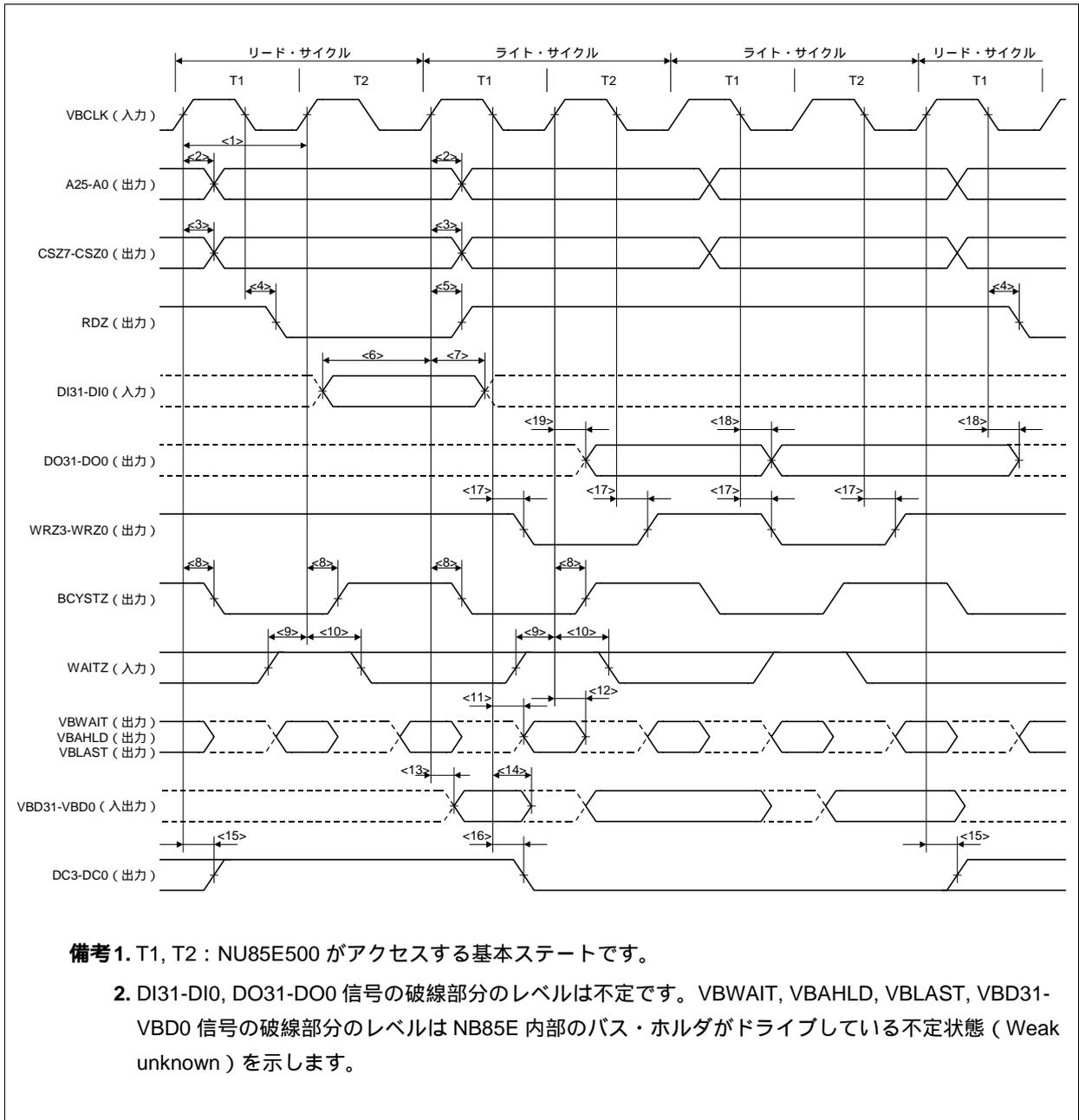
t_{DKS1} : VBCLK↑ → VB_{STZ}, VB_{SIZE}, VB_{WRITE}, VB_{CTYP} 遅延時間

t_{DKD1} : VBCLK↓ → VBD データ遅延時間

t_{DKD0} : VBCLK↑ → VBD データ遅延時間

上記は NB85E の電気的特性です。7.4.4 AC 特性を参照してください。

(3) SRAM リード/ライト・タイミング (2/2)

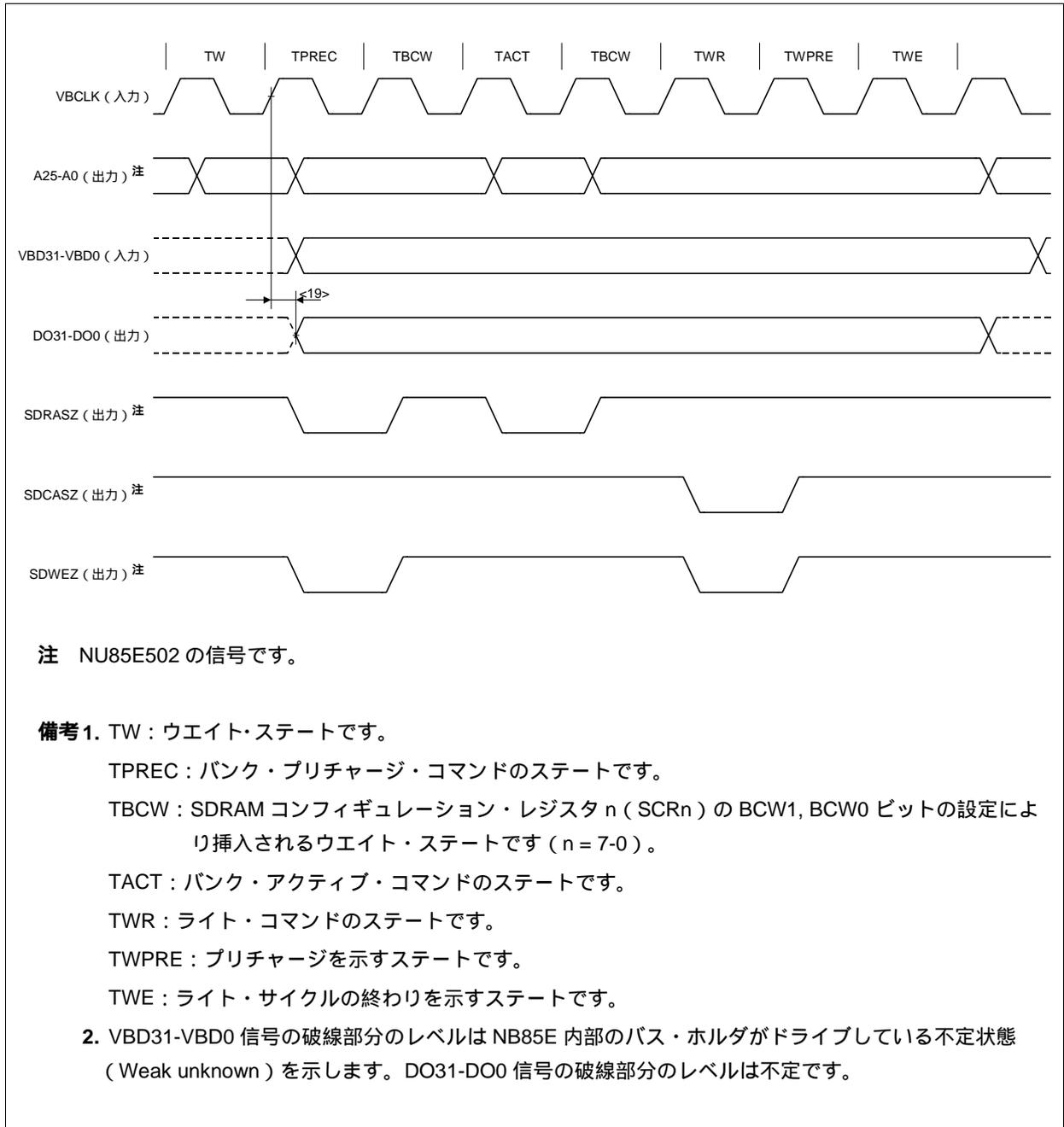


(4) SDRAM ライト・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → データ遅延時間	<19>	tdOD2	tdKD0 + 0.3 ^注	tdKD0 + 1.7 ^注	ns

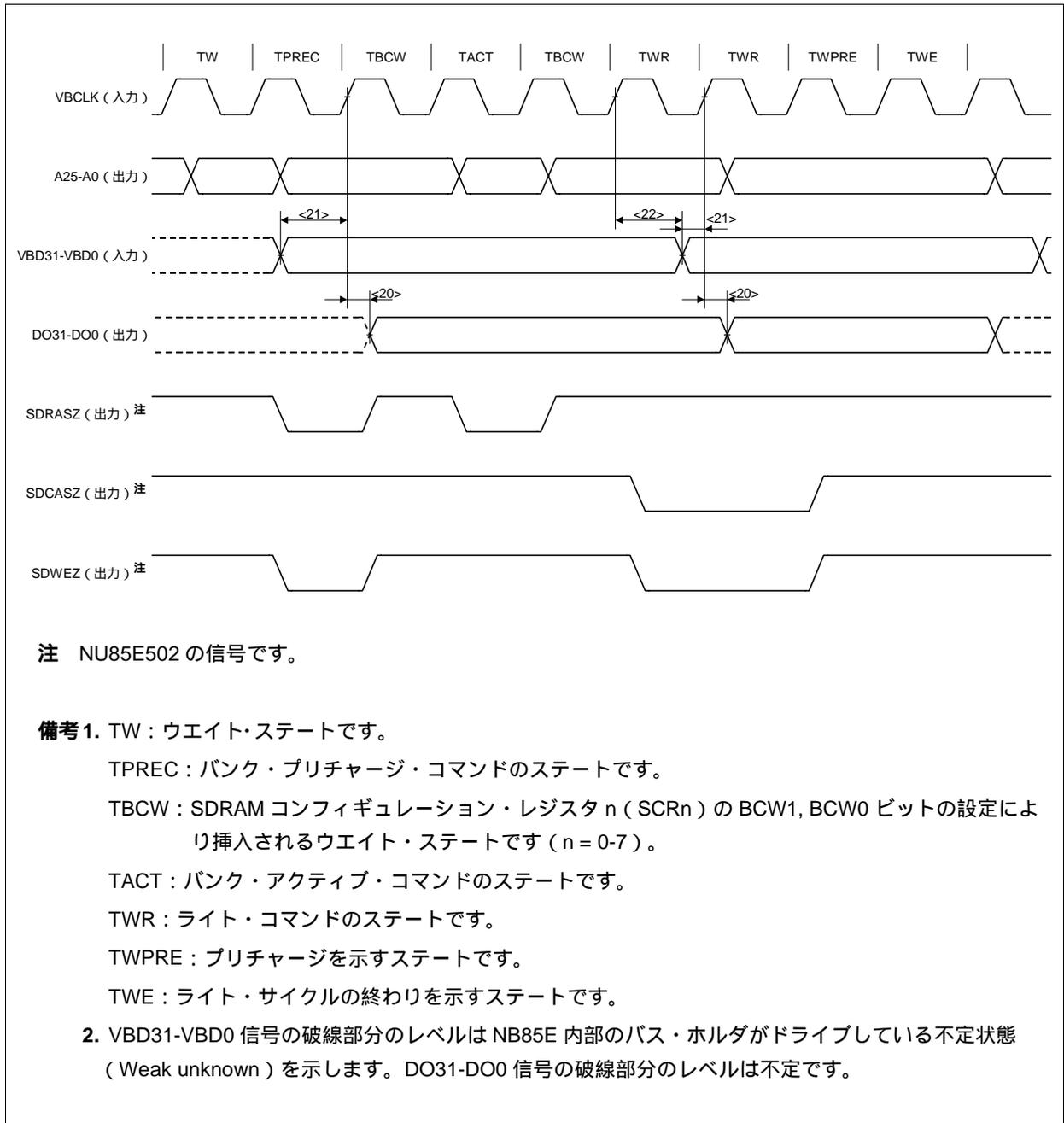
注 tdKD0 : VBCLK↑ → VBD データ遅延時間

上記は NB85E の電気的特性です。7.4.4 AC 特性を参照してください。



(5) SDRAM シーケンシャル・ライト・タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → データ遅延時間 (SDRAM シーケンシャル・ライト)	<20>	tdOD3	1.9	5.7	ns
VBD データ設定時間 (対 VBCLK↑)	<21>	tvBDS	0		ns
VBD データ保持時間 (対 VBCLK↑)	<22>	tvBDH	1.8		ns



(6) SDRAM リフレッシュ・タイミング

項目	略号		条件	MIN.	MAX.	単位
VBCLK↑ → REFQZ 遅延時間	-	t _{RFQD}		2.0	5.7	ns
SELFREF 設定時間 (対 VBCLK↑)	-	t _{SRFS}		0		ns
SELFREF 保持時間 (対 VBCLK↑)	-	t _{SRFH}		1.4		ns
CT502In1 → CSZ 遅延時間	-	t _{CSZD2}		t _{C21D} + 0.5 ^注	t _{C21D} + 2.4 ^注	ns

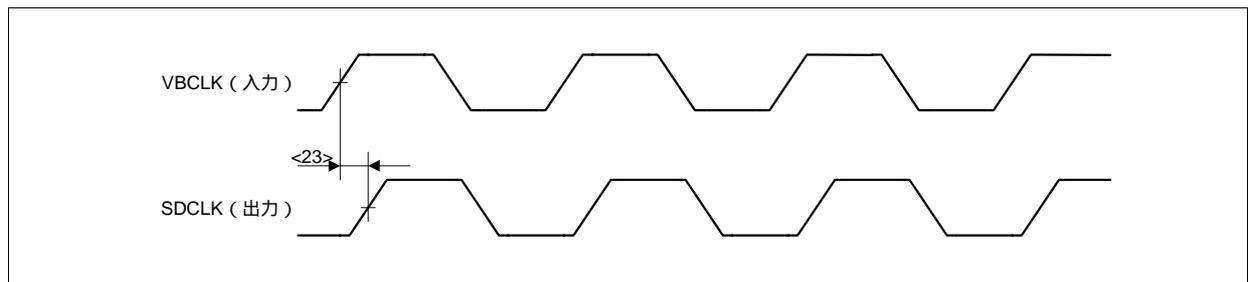
注 t_{C21D} : VBCLK↑ → CT502I1 遅延時間

上記は NU85E502 の電気的特性です。12. 4. 4 (3) NU85E500/NB85E500 接続用信号タイミングを参照してください。

備考 n = 7-0

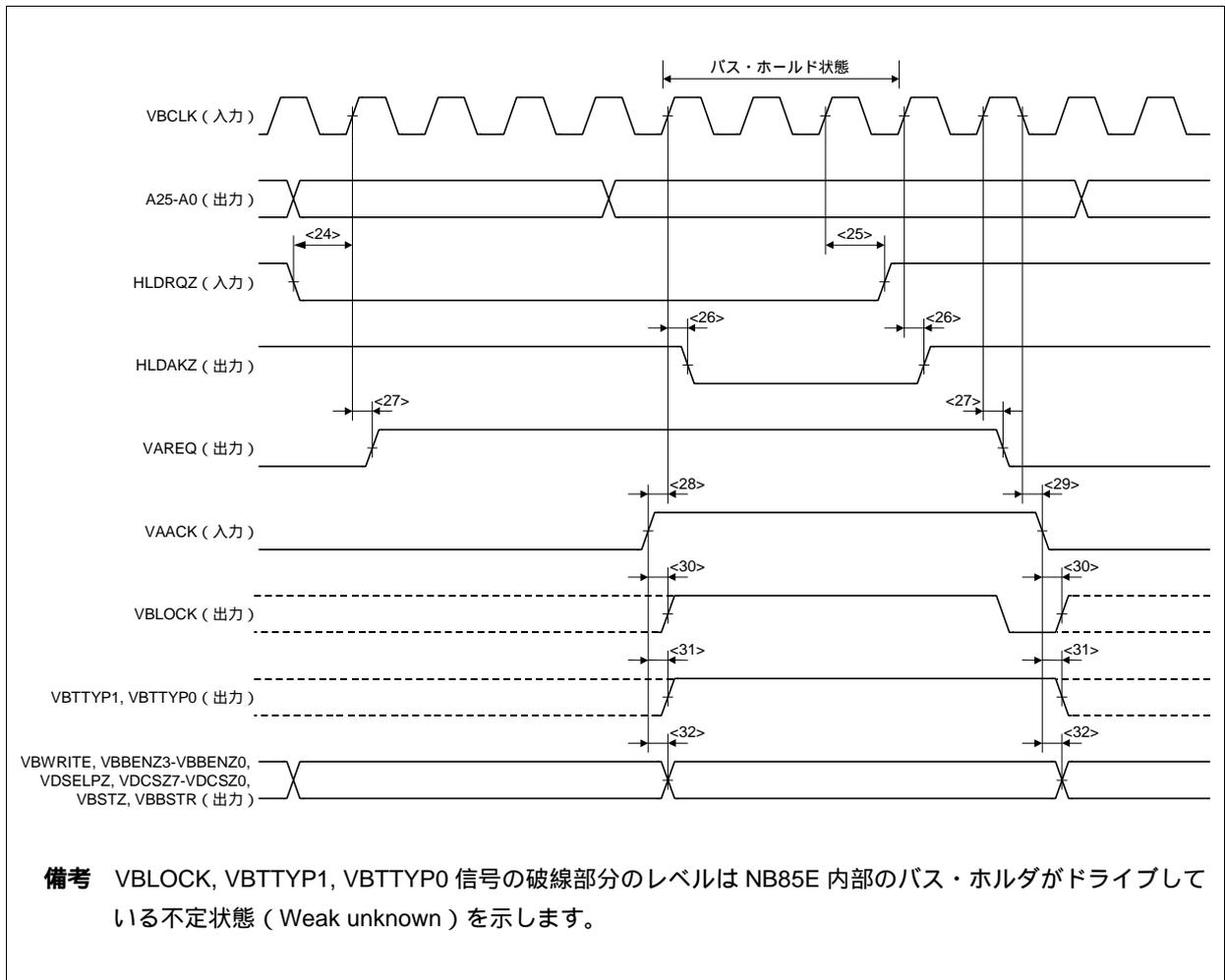
(7) SDCLK 出力タイミング

項目	略号		条件	MIN.	MAX.	単位
VBCLK↑ → SDCLK↑遅延時間	<23>	t _{SDCKD}		1.6	4.5	ns



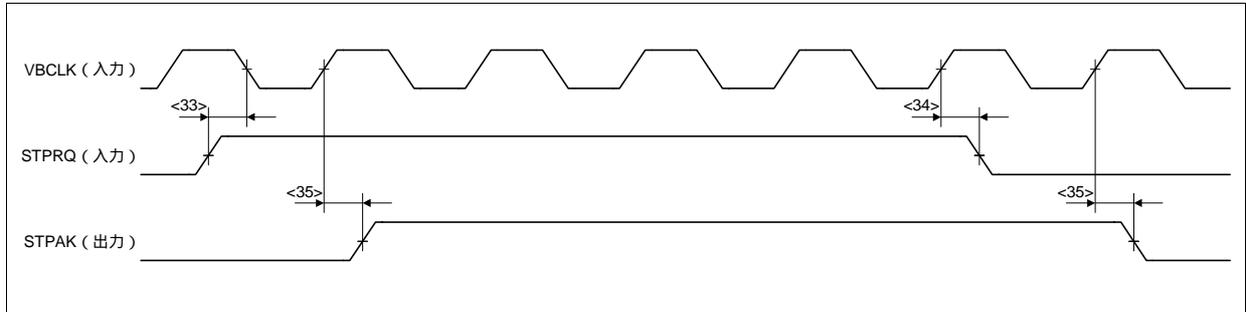
(8) バス・ホールド・タイミング

項目	略号	条件	MIN.	MAX.	単位
HLDQZ 設定時間 (対 VBCLK↑)	<24>	t _{HRQS}	0		ns
HLDQZ 保持時間 (対 VBCLK↑)	<25>	t _{HRQH}	1.2		ns
VBCLK↑ → HLDKZ 遅延時間	<26>	t _{HAKD}	2.0	5.6	ns
VBCLK↑ → VAREQ 遅延時間	<27>	t _{VAQD}	1.9	5.3	ns
VAACK 設定時間 (対 VBCLK↑)	<28>	t _{VAKS}	0		ns
VAACK 保持時間 (対 VBCLK↓)	<29>	t _{VAKH}	1.6		ns
VAACK↑ → VBLOCK 遅延時間	<30>	t _{VLKD}	0.6	2.4	ns
VAACK↑ → VBTTYP 遅延時間	<31>	t _{VTTPD}	0.4	1.9	ns
VAACK↑ → VBWRITE, VBBENZ, VDSELPZ, VDCSZ, VBSTZ, VBBSTR 遅延時間	<32>	t _{VSBD}	0.5	2.5	ns



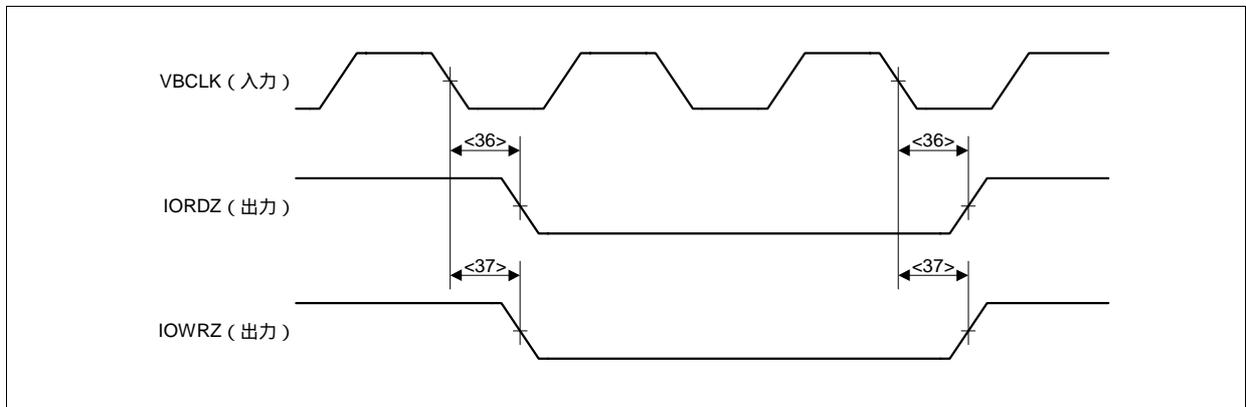
(9) STOP モード・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
STPRQ 設定時間 (対 VBCLK↓)	<33>	tSPQS	0		ns
STPRQ 保持時間 (対 VBCLK↑)	<34>	tSPQH	1.2		ns
VBCLK↑ → STPAK 遅延時間	<35>	tSPAKD	1.9	5.2	ns



(10) I/O コントロール信号タイミング

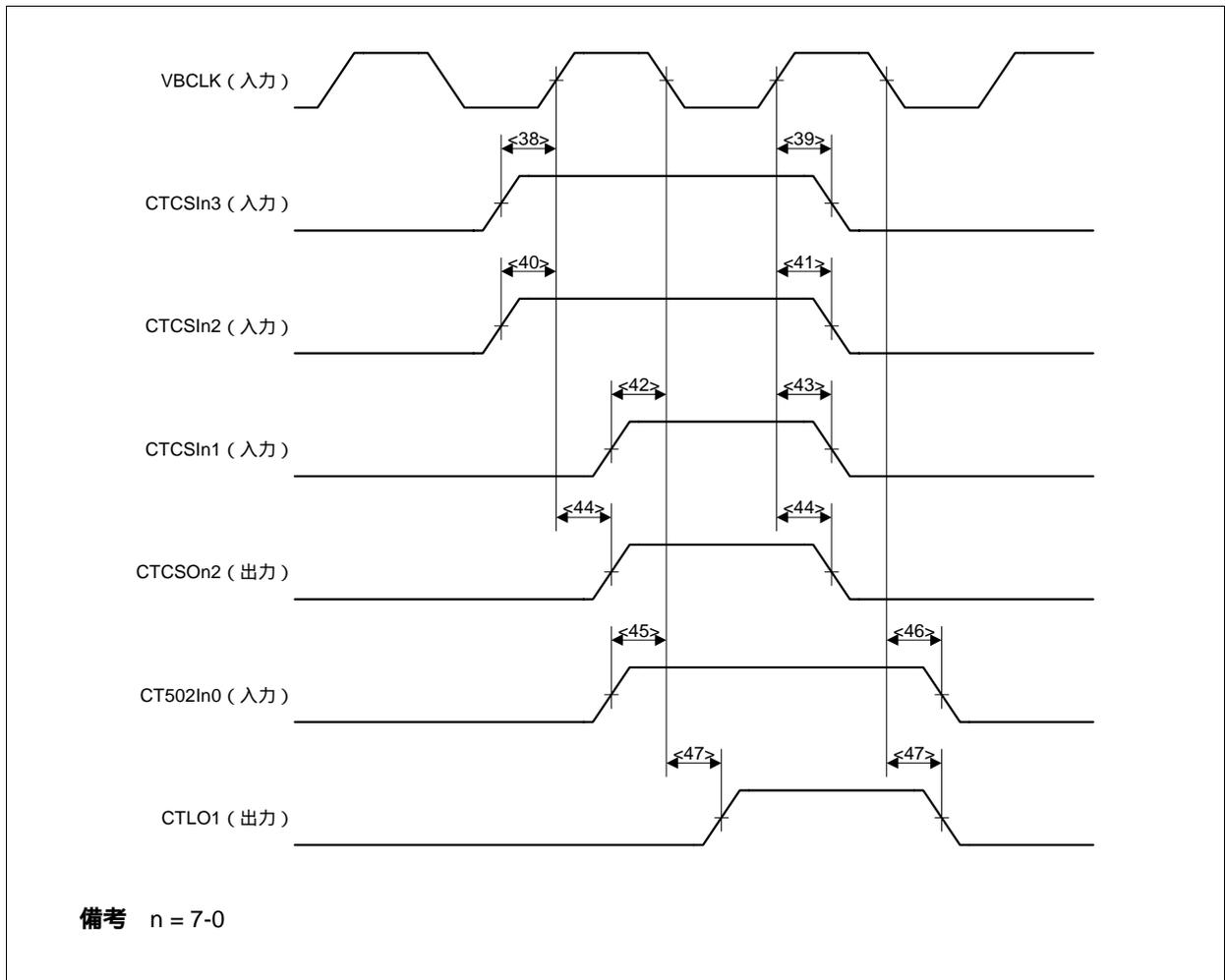
項 目	略 号	条 件	MIN.	MAX.	単 位
VBCLK↓ → IORDZ 遅延時間	<36>	tIORD	2.1	5.9	ns
VBCLK↓ → IOWRZ 遅延時間	<37>	tIOWD	1.9	5.6	ns



(11) NU85E502 接続用信号タイミング

項目	略号	条件	MIN.	MAX.	単位
CTCSIn3 設定時間 (対 VBCLK↑)	<38>	t _{CSi3S}	0		ns
CTCSIn3 保持時間 (対 VBCLK↑)	<39>	t _{CSi3H}	0.8		ns
CTCSIn2 設定時間 (対 VBCLK↑)	<40>	t _{CSi2S}	0		ns
CTCSIn2 保持時間 (対 VBCLK↑)	<41>	t _{CSi2H}	1.4		ns
CTCSIn1 設定時間 (対 VBCLK↓)	<42>	t _{CSi1S}	0		ns
CTCSIn1 保持時間 (対 VBCLK↑)	<43>	t _{CSi1H}	1.3		ns
VBCLK↑ → CTCSON2 遅延時間	<44>	t _{CSO2D}	1.9	5.7	ns
CT502In0 設定時間 (対 VBCLK↓)	<45>	t _{C2i0S}	0		ns
CT502In0 保持時間 (対 VBCLK↓)	<46>	t _{C2i0H}	0.5		ns
VBCLK↓ → CTLO1 遅延時間	<47>	t _{CTL1D}	1.9	5.5	ns

備考 n = 7-0



(12) VSB タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
VBA 設定時間 (対 VBCLK↑)	- t _{VBAS1}	ページ ROM 使用時	1.5		ns
VBA 保持時間 (対 VBCLK↑)	- t _{VBAH1}	ページ ROM 使用時	1.2		ns
VDCSZ 設定時間 (対 VBCLK↓)	- t _{CSZS1}		1.4		ns
VDCSZ 保持時間 (対 VBCLK↑)	- t _{CSZH1}		1.0		ns
VBWRITE 設定時間 (対 VBCLK↓)	- t _{VBWRS1}		0		ns
VBWRITE 保持時間 (対 VBCLK↓)	- t _{VBWRH1}		1.7		ns
VBBENZ 設定時間 (対 VBCLK↓)	- t _{BENZS1}		0		ns
VBBENZ 保持時間 (対 VBCLK↓)	- t _{BENZH1}		2.0		ns
VBCTYP 設定時間 (対 VBCLK↓)	- t _{CTYPS1}		0		ns
VBCTYP 保持時間 (対 VBCLK↓)	- t _{CTYPH1}		1.3		ns
VBSEQ 設定時間 (対 VBCLK↓)	- t _{SEQS1}		0		ns
VBSEQ 保持時間 (対 VBCLK↑)	- t _{SEQH1}		1.3		ns
VBSTZ 設定時間 (対 VBCLK↓)	- t _{STZS1}		0		ns
VBSTZ 保持時間 (対 VBCLK↑)	- t _{STZH1}		1.5		ns

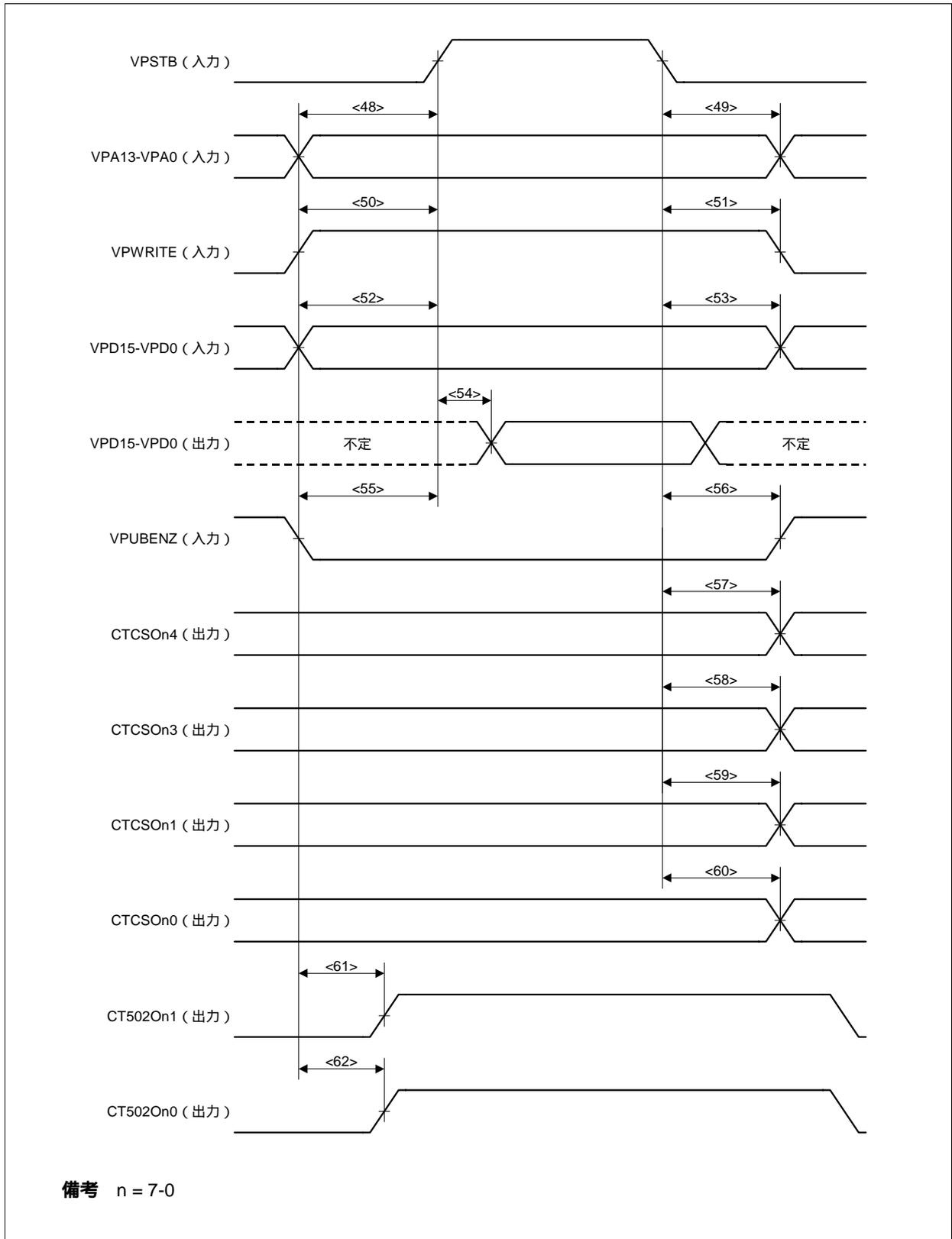
[メモ]

(13) NPB タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
VPA アドレス設定時間 (対 VPSTB↑)	<48> tVPAS		20		ns
VPA アドレス保持時間 (対 VPSTB↓)	<49> tVPAH		20		ns
VPWRITE 設定時間 (対 VPSTB↑)	<50> tVPWRS		20		ns
VPWRITE 保持時間 (対 VPSTB↓)	<51> tVPWRH		20		ns
VPD データ設定時間 (対 VPSTB↑)	<52> tVPDS		20		ns
VPD データ保持時間 (対 VPSTB↓)	<53> tVPDH		20		ns
VPSTB↑ → VPD データ遅延時間	<54> tVPDD		0.7	8.0	ns
VPUBENZ 設定時間 (対 VPSTB↑)	<55> tVPUBS		20		ns
VPUBENZ 保持時間 (対 VPSTB↓)	<56> tVPUBH		20		ns
VPSTB↓ → CTCSON4 遅延時間	<57> tCSO4D			5	ns
VPSTB↓ → CTCSON3 遅延時間	<58> tCSO3D			5	ns
VPSTB↓ → CTCSON1 遅延時間	<59> tCSO1D			5	ns
VPSTB↓ → CTCSON0 遅延時間	<60> tCSO0D			5	ns
VPA アドレス → CT502On1 遅延時間	<61> tC201D			5	ns
VPA アドレス → CT502On0 遅延時間	<62> tC200D			5	ns

備考 n = 7-0

(13) NPB タイミング (2/2)



第 12 章 NU85E502

(開発中)

NU85E502 は、NB85E, NB85ET 用の SDRAM コントローラです。

NU85E502 は、対象 CPU コアにより NU85E500 または NB85E500 に接続して使用します。

対象 CPU コア	接続する外部メモリの種類	メモリ・コントローラ (MEMC)
NB85E	SDRAM	NU85E500 + NU85E502
NB85E, NB85ET		NB85E500 + NU85E502

備考 NB85E500 については第 10 章 **NB85E500** を、NU85E500 については第 11 章 **NU85E500** を、それぞれ参照してください。

12.1 概 要

NU85E502 は、シンクロナス DRAM (SDRAM) を制御するためのマクロです。

NU85E502 は、NU85E500 (または NB85E500) と VSB を介して NB85E (または NB85ET) に接続することで、外部 SDRAM バス・サイクルを起動できます。

NU85E502 は NU85E500 (または NB85E500) に接続して使用します。

NU85E502 は最大 8 個まで接続可能です。

12.1.1 シンボル図

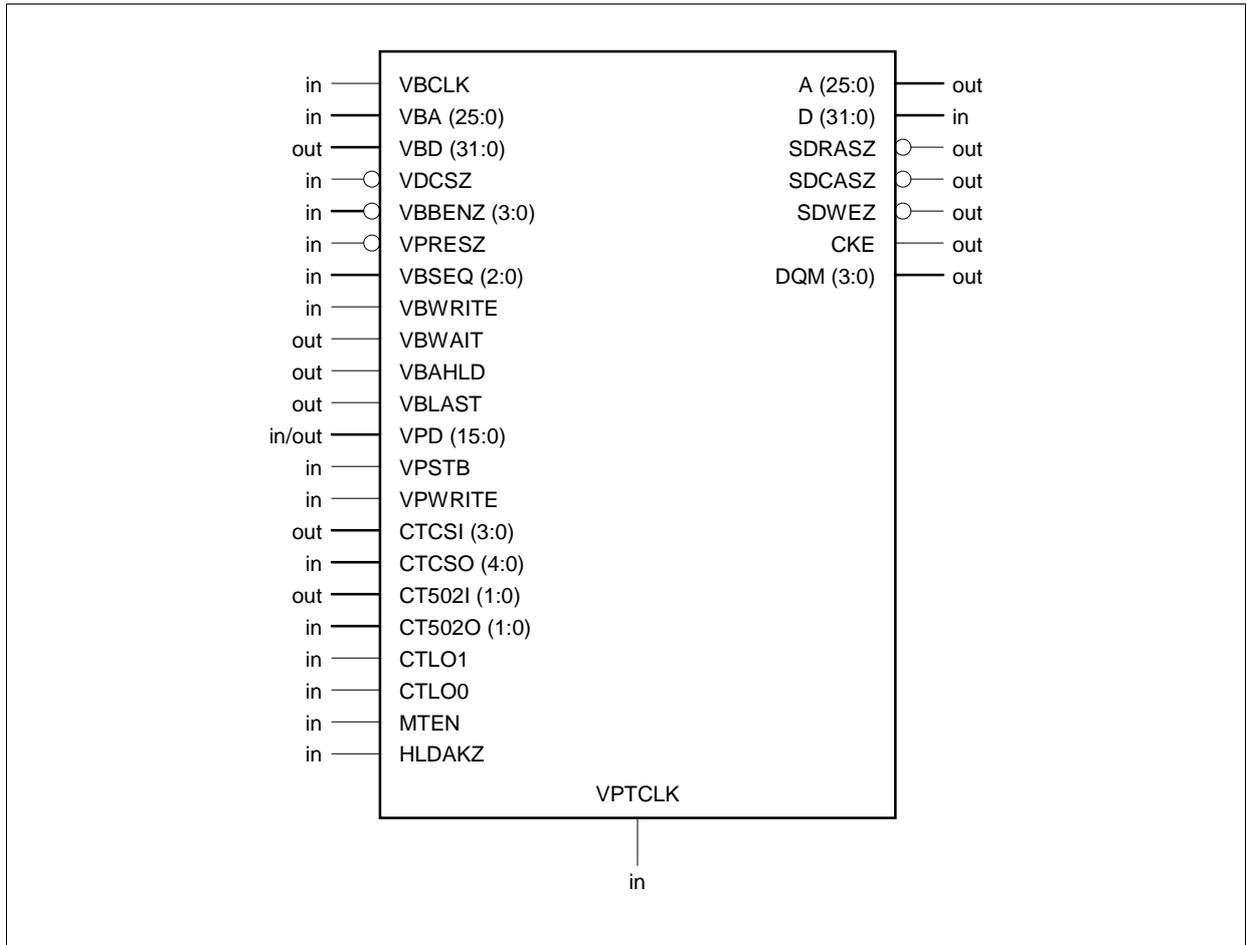
グリッド数

22.3k グリッド

41.6k グリッド (配線領域を含む値)

分離シミュレーション・パターン数

20.3k



12.1.2 端子容量

備考 C_{IN} : 入力端子のみの容量値 C_{inewl} : C_{IN} に配線容量 (Estimated Wire Length Capacitance) を考慮した値 ($l = 10\text{mm}$)

(1) 入力端子 (1/2)

端子名	C_{IN} (pF)	C_{inewl} (pF)	端子名	C_{IN} (pF)	C_{inewl} (pF)
VBCLK	0.021	1.921	VBSEQ1	0.013	1.913
VBA25	0.060	1.960	VBSEQ0	0.013	1.913
VBA24	0.064	1.964	VBWRITE	0.057	1.957
VBA23	0.095	1.995	VPSTB	0.012	1.912
VBA22	0.061	1.961	VPWRITE	0.015	1.915
VBA21	0.062	1.962	CTCSO4	0.049	1.949
VBA20	0.060	1.960	CTCSO3	0.051	1.951
VBA19	0.061	1.961	CTCSO2	0.013	1.913
VBA18	0.101	2.001	CTCSO1	0.021	1.921
VBA17	0.100	2.000	CTCSO0	0.008	1.908
VBA16	0.068	1.968	CT502O1	0.019	1.919
VBA15	0.092	1.992	CT502O0	0.030	1.930
VBA14	0.114	2.014	CTLO1	0.066	1.966
VBA13	0.080	1.980	CTLO0	0.019	1.919
VBA12	0.092	1.992	MTEN	0.082	1.982
VBA11	0.093	1.993	HLDKZ	0.097	1.997
VBA10	0.094	1.994	D31	0.057	1.957
VBA9	0.061	1.961	D30	0.076	1.976
VBA8	0.062	1.962	D29	0.085	1.985
VBA7	0.068	1.968	D28	0.089	1.989
VBA6	0.061	1.961	D27	0.114	2.014
VBA5	0.061	1.961	D26	0.109	2.009
VBA4	0.099	1.999	D25	0.090	1.990
VBA3	0.094	1.994	D24	0.068	1.968
VBA2	0.092	1.992	D23	0.066	1.966
VBA1	0.061	1.961	D22	0.095	1.995
VBA0	0.093	1.993	D21	0.089	1.989
VDCSZ	0.024	1.924	D20	0.066	1.966
VBBENZ3	0.008	1.908	D19	0.060	1.960
VBBENZ2	0.008	1.908	D18	0.093	1.993
VBBENZ1	0.008	1.908	D17	0.062	1.962
VBBENZ0	0.036	1.936	D16	0.062	1.962
VPRESZ	0.011	1.911	D15	0.064	1.964
VBSEQ2	0.008	1.908	D14	0.068	1.968

(1) 入力端子 (2/2)

端子名	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{IN} (pF)	C _{inewl} (pF)
D13	0.061	1.961	D5	0.060	1.960
D12	0.087	1.987	D4	0.056	1.956
D11	0.028	1.928	D3	0.102	2.002
D10	0.073	1.973	D2	0.058	1.958
D9	0.033	1.933	D1	0.056	1.956
D8	0.060	1.960	D0	0.078	1.978
D7	0.067	1.967	VPTCLK	0.061	1.961
D6	0.048	1.948			

(2) 出力端子

端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)	端子名	C _{MAX} (pF)
VBD31	6.566	VBD6	6.558	A16	12.976
VBD30	6.579	VBD5	6.575	A15	13.069
VBD29	6.572	VBD4	6.578	A14	13.067
VBD28	6.562	VBD3	6.576	A13	13.001
VBD27	6.579	VBD2	6.570	A12	13.276
VBD26	6.563	VBD1	6.569	A11	13.245
VBD25	6.576	VBD0	6.578	A10	13.016
VBD24	6.575	VBWAIT	6.560	A9	13.006
VBD23	6.580	VBAHLD	6.493	A8	13.026
VBD22	6.571	VBLAST	6.580	A7	12.980
VBD21	6.579	CTCSI3	13.057	A6	13.245
VBD20	6.575	CTCSI2	13.336	A5	12.954
VBD19	6.578	CTCSI1	13.338	A4	13.265
VBD18	6.564	CTCSI0	13.236	A3	13.031
VBD17	6.575	CT50211	13.336	A2	13.040
VBD16	6.576	CT50210	13.338	A1	13.002
VBD15	6.571	A25	13.057	A0	13.040
VBD14	6.574	A24	12.993	SDRASZ	13.058
VBD13	6.573	A23	12.989	SDCASZ	13.056
VBD12	6.579	A22	12.977	SDWEZ	13.054
VBD11	6.571	A21	12.981	CKE	13.064
VBD10	6.579	A20	12.990	DQM3	13.065
VBD9	6.574	A19	12.972	DQM2	13.070
VBD8	6.573	A18	13.070	DQM1	13.055
VBD7	6.562	A17	12.892	DQM0	13.062

(3) 入出力端子

端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)	端子名	C _{MAX} (pF)	C _{IN} (pF)	C _{inewl} (pF)
VPD15	6.565	0.069	1.969	VPD7	6.575	0.059	1.959
VPD14	6.560	0.073	1.973	VPD6	6.556	0.077	1.977
VPD13	6.573	0.061	1.961	VPD5	6.561	0.072	1.972
VPD12	6.554	0.079	1.979	VPD4	6.575	0.058	1.958
VPD11	6.585	0.049	1.949	VPD3	6.577	0.057	1.957
VPD10	6.578	0.056	1.956	VPD2	6.571	0.063	1.963
VPD9	6.560	0.073	1.973	VPD1	6.573	0.061	1.961
VPD8	6.573	0.061	1.961	VPD0	6.567	0.067	1.967

12.2 内部レジスタの初期化

テスト・プログラムを実行する際に使用する内部レジスタには、初期値を与える命令を必ず最初に実行してください。使用する内部レジスタに初期値を与えないと不定が伝播されてしまうので注意してください。

12.3 端子機能一覧

端子名		入出力	機 能
NB85E/NB85ET 接続用 端子	VBCLK	入力	内部システム・クロック入力
	VBA25-VBA0	入力	アドレス入力
	VBD31-VBD0	出力	データ出力
	VDCSZ	入力	チップ・セレクト入力
	VBBENZ3-VBBENZ0	入力	バイト・イネーブル入力
	VPRESZ	入力	リセット入力
	VBSEQ2-VBSEQ0	入力	シーケンシャル・ステータス入力
	VBWRITE	入力	リード/ライト・ステータス入力
	VBWAIT	出力	ウエイト・レスポンス出力
	VBAHLD	出力	アドレス・ホールド・レスポンス出力
	VBLAST	出力	ラスト・レスポンス出力
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
NU85E500/NB85E500 接続用端子	CTCSI3-CTCSI0	出力	NU85E500/NB85E500 への制御出力
	CTCSO4-CTCSO0	入力	NU85E500/NB85E500 からの制御入力
	CT502I1, CT502I0	出力	NU85E500/NB85E500 への制御出力
	CT502O1, CT502O0	入力	NU85E500/NB85E500 からの制御入力
	CTLO1, CTLO0	入力	NU85E500/NB85E500 からの制御入力
	MTEN	入力	NU85E500/NB85E500 からのテスト・モード許可入力
	HLDKZ	入力	NU85E500/NB85E500 からのバス・ホールド・ステータス入力
外部メモリ接続用端子	A25-A0	出力	外部メモリ用アドレス出力
	D31-D0	入力	外部メモリ用データ入力
	SDRASZ	出力	SDRAM 用 ROW・アドレス・ストロープ出力
	SDCASZ	出力	SDRAM 用 COLUMN・アドレス・ストロープ出力
	SDWEZ	出力	SDRAM 用データ・ライト許可出力
	CKE	出力	クロック許可出力
	DQM3-DQM0	出力	データ・マスク出力
テスト・モード用端子	VPTCLK	入力	テスト用クロック入力

12.4 電気的特性（暫定）

次の規格はマクロ単体のものです。実際には、複数のマクロを組み合わせでチップが構成されます。チップとしては使用したマクロすべての規格を満足する設計にしてください。

12.4.1 絶対最大定格

項 目	略 号	定 格	単 位
電源電圧	V _{DD}	-0.5 ~ +4.6	V
動作周囲温度	T _A	-40 ~ +85	°C
保存温度	T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

12.4.2 推奨動作範囲

項 目	略 号	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD}	3.0	3.3	3.6	V
動作周囲温度	T _A	-40		+85	°C
クロック周期	t _{CLK}	15.0			ns

12.4.3 DC 特性 (T_A = -40 ~ +85°C, V_{DD} = 3.3V ± 0.3V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1}	通常動作モード時		0.11	0.17	mA/MHz
	I _{DD2}	STOP モード時		0	1.0	μA

備考 1. 上記の電源電流値はグリッド数から算出した参考値です。

2. TYP.値は T_A = 25°C, V_{DD} = 3.3V 時の参考値です。

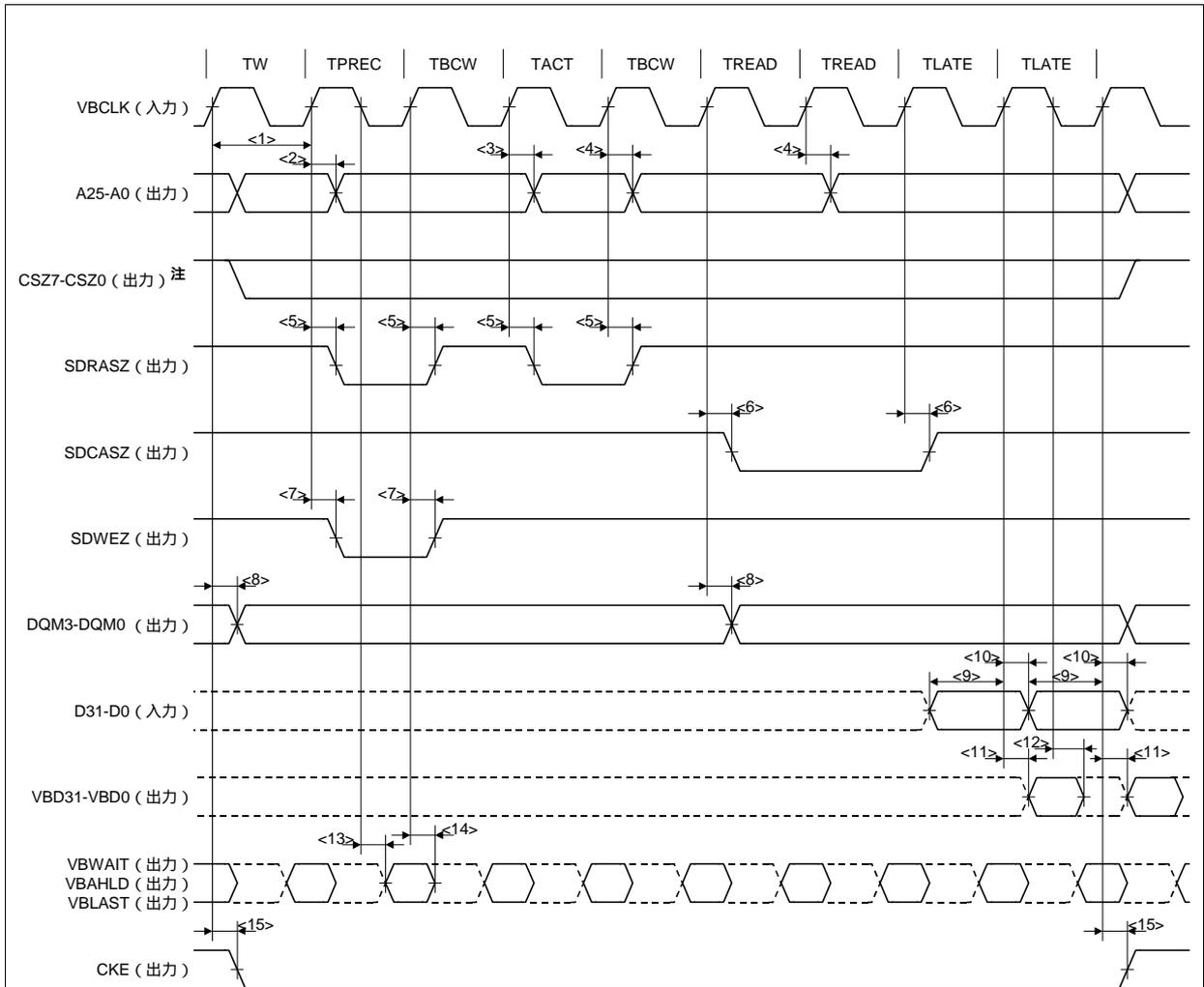
[メモ]

12.4.4 AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$)

(1) SDRAM リード・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → ロウ・アドレス遅延時間 1	<2>	t _{SDRAD1}	2.7	9.5	ns
VBCLK↑ → ロウ・アドレス遅延時間 2	<3>	t _{SDRAD2}	2.7	9.5	ns
VBCLK↑ → カラム・アドレス遅延時間	<4>	t _{SDCAD}	2.2	8.6	ns
VBCLK↑ → SDRASZ 遅延時間	<5>	t _{SRD}	2.3	6.9	ns
VBCLK↑ → SDCASZ 遅延時間	<6>	t _{SCD}	2.4	7.1	ns
VBCLK↑ → SDWEZ 遅延時間	<7>	t _{SWD}	2.3	6.9	ns
VBCLK↑ → DQM 遅延時間	<8>	t _{DQD}	2.3	7.1	ns
データ設定時間 (対 VBCLK↑)	<9>	t _{DS2}	0		ns
データ保持時間 (対 VBCLK↑)	<10>	t _{DH2}	0.8		ns
VBCLK↑ → VBD 遅延時間	<11>	t _{VBD3}		5.5	ns
VBCLK↓ → VBD 遅延時間	<12>	t _{VBD4}	1.5		ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<13>	t _{VRD3}		5.0	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<14>	t _{VRD4}	1.4		ns
VBCLK↑ → CKE 遅延時間	<15>	t _{CKED}	2.2	6.6	ns

(1) SDRAM リード・タイミング (2/2)



注 NU85E500 (または NB85E500) の信号です。

備考 1. TW : ウェイト・ステートです。

TPREC : バンク・プリチャージ・コマンドのステートです。

TBCW : SDRAM コンフィギュレーション・レジスタ n (SCRn) の BCW1, BCW0 ビットの設定により挿入されるウェイト・ステートです (n = 7-0)。

TACT : バンク・アクティブ・コマンドのステートです。

TREAD : リード・コマンドのステートです。

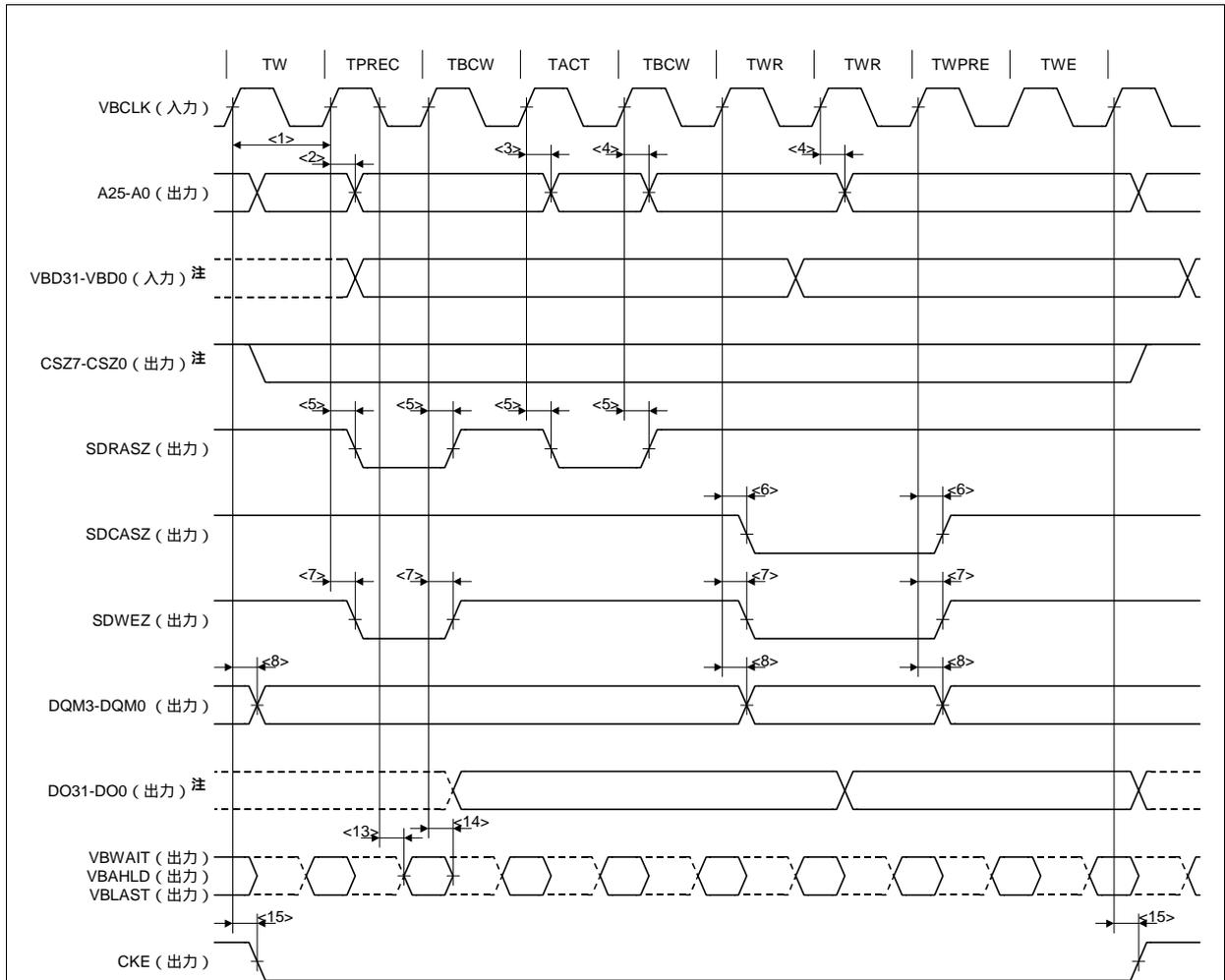
TLATE : レイテンシ分のウェイト・ステートです。

2. D31-D0 信号の破線部分のレベルは不定です。VBD31-VBD0, VBWAIT, VBAHLD, VBLAST 信号の破線部分のレベルは NB85E (または NB85ET) 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

(2) SDRAM ライト・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
VBCLK 入力周期	<1>	t _{CYK}	15.0		ns
VBCLK↑ → ロウ・アドレス遅延時間 1	<2>	t _{SDRAD1}	2.7	9.5	ns
VBCLK↑ → ロウ・アドレス遅延時間 2	<3>	t _{SDRAD2}	2.7	9.5	ns
VBCLK↑ → カラム・アドレス遅延時間	<4>	t _{SDCAD}	2.2	8.6	ns
VBCLK↑ → SDRASZ 遅延時間	<5>	t _{SRD}	2.3	6.9	ns
VBCLK↑ → SDCASZ 遅延時間	<6>	t _{SCD}	2.4	7.1	ns
VBCLK↑ → SDWEZ 遅延時間	<7>	t _{SWD}	2.3	6.9	ns
VBCLK↑ → DQM 遅延時間	<8>	t _{DQD}	2.3	7.1	ns
VBCLK↓ → VBWAIT, VBAHLD, VBLAST 遅延時間	<13>	t _{VRD3}		5.0	ns
VBCLK↑ → VBWAIT, VBAHLD, VBLAST 遅延時間	<14>	t _{VRD4}	1.4		ns
VBCLK↑ → CKE 遅延時間	<15>	t _{CKED}	2.2	6.6	ns

(2) SDRAM ライト・タイミング (2/2)



注 NU85E500 の信号です。

備考1. TW : ウェイト・ステートです。

TPREC : バンク・プリチャージ・コマンドのステートです。

TBCW : SDRAM コンフィギュレーション・レジスタ n (SCRn) の BCW1, BCW0 ビットの設定により挿入されるウェイト・ステートです (n = 7-0)。

TACT : バンク・アクティブ・コマンドのステートです。

TWR : ライト・コマンドのステートです。

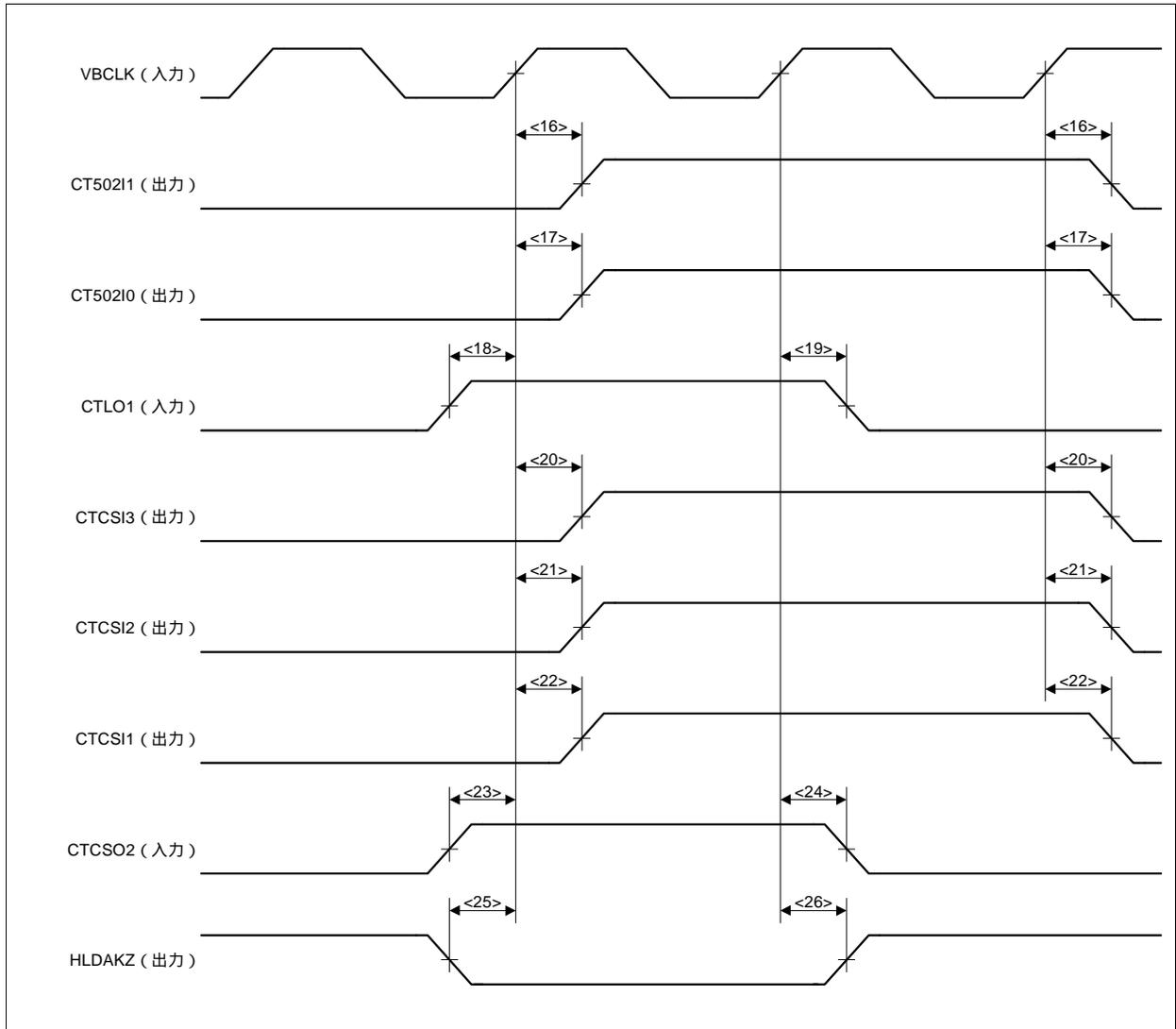
TWPRE : プリチャージを示すステートです。

TWE : ライト・サイクルの終わりを示すステートです。

2. VBD31-VBD0, VBWAIT, VBAHLD, VBLAST 信号の破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。DO31-DO0 信号の破線部分のレベルは不定です。

(3) NU85E500/NB85E500 接続用信号タイミング

項目	略号	条件	MIN.	MAX.	単位
VBCLK↑ → CT50211 遅延時間	<16>	t _{c211D}	1.4	4.0	ns
VBCLK↑ → CT50210 遅延時間	<17>	t _{c210D}	1.8	5.5	ns
CTLO1 設定時間 (対 VBCLK↑)	<18>	t _{cTL1S}	1.3		ns
CTLO1 保持時間 (対 VBCLK↑)	<19>	t _{cTL1H}	1.0		ns
VBCLK↑ → CTCS13 遅延時間	<20>	t _{cSI3D}	1.8	5.2	ns
VBCLK↑ → CTCS12 遅延時間	<21>	t _{cSI2D}	1.8	5.3	ns
VBCLK↑ → CTCS11 遅延時間	<22>	t _{cSI1D}	1.5	4.2	ns
CTCSO2 設定時間 (対 VBCLK↑)	<23>	t _{cSO2S}	1.9		ns
CTCSO2 保持時間 (対 VBCLK↑)	<24>	t _{cSO2H}	0.5		ns
HLDKAZ 設定時間 (対 VBCLK↑)	<25>	t _{HAKS}	0		ns
HLDKAZ 保持時間 (対 VBCLK↑)	<26>	t _{HAKH}	0.8		ns



(4) VSB タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
VBA 設定時間 (対 VBCLK↑)	- tVBA S2		7.9		ns
VBA 保持時間 (対 VBCLK↑)	- tVBA H2		0.3		ns
VDCSZ 設定時間 (対 VBCLK↑)	- tCSZ S2		3.7		ns
VDCSZ 保持時間 (対 VBCLK↑)	- tCSZ H2		0.1		ns
VBWRITE 設定時間 (対 VBCLK↓)	- tVBWR S2		0		ns
VBWRITE 保持時間 (対 VBCLK↓)	- tVBWR H2		1.6		ns
VBBENZ 設定時間 (対 VBCLK↑)	- tBENZ S2		0		ns
VBBENZ 保持時間 (対 VBCLK↑)	- tBENZ H2		1.0		ns
VBSEQ 設定時間 (対 VBCLK↑)	- tSEQ S2		5.2		ns
VBSEQ 保持時間 (対 VBCLK↑)	- tSEQ H2		0.5		ns

付録 改版履歴

前版までに改訂された主な箇所を次に示します。なお、「箇所」欄に示すページは、旧版でのページを示しています。

(1) 第1版 第2版

箇所	内容
p.16	1.2.4 初期化(イニシャライズ) 説明修正
p.18-20	2.1.1 シンボル図 グリッド数変更
p.21-23	2.1.2 端子容量 変更
p.26	2.3.3 DC 特性 変更
p.26	2.3.4 AC 特性 「CPU 動作周波数」 追加
p.31	2.3.4(6)(e) I ² C バス・モード 注意追加
p.32	図2-1 シリアル・インタフェース(IIC0) 入出力端子の回路構成例 追加
p.35	2.4(6) ライト・タイミング1 修正
p.35	2.4(7) ライト・タイミング2 修正
p.38	2.4(12) 外部ウエイト入力ライト・タイミング1 修正
p.38	2.4(13) 外部ウエイト入力ライト・タイミング2 修正
p.40	2.4(17)(a) 3線式シリアルI/O モード 変更
p.43	3.1 概要 変更
p.44	3.1.1 シンボル図 分離シミュレーション・パターン数変更
p.46, 47	3.1.2 端子容量 変更
p.48	3.2 RESETB 信号 修正
p.51-62	3.5 電気的特性 変更
p.63	4.1 概要 変更
p.64	4.1.1 シンボル図 分離シミュレーション・パターン数変更
p.66-68	4.1.2 端子容量 変更
p.69	4.2 RESETB 信号 修正
p.72-87	4.5 電気的特性 変更
p.89-106	第5章 V30MX 追加
p.107-117	第6章 V30MZ 追加

(2) 第2版 第3版

箇所	内容
p.17	<ul style="list-style-type: none"> 78K/0 コアを開発中 → 開発済みに変更 フラッシュ・メモリ製品 (NAK0HF4, NAK0HF8) を削除
p.25	2.3 電気的特性 暫定削除
p.41	フラッシュ・メモリ製品 (NA851Fxx) を削除
p.42	V851 コアのグリッド数 (配線領域を含む値) を変更
p.50	3.5.3 DC 特性 電源電流値の算出方法の条件から「内蔵 RAM のデータ出力端子の外部負荷容量」を削除
p.61	フラッシュ・メモリ製品 (NA853Fxx) を削除
p.62	V853 コアのグリッド数を変更
p.71	4.5.3 DC 特性 電源電流値の算出方法の条件から「内蔵 RAM のデータ出力端子の外部負荷容量」を削除
p.117-152	第7章 NB85E 追加
p.153-202	第8章 NB85E50x 追加
p.137, 138, 140, 146, 147, 149-151	7.4.4 AC 特性 保持時間を変更
p.153-202	SDRAM コントローラの品名を「NB85E502」→「NU85E502」に変更
p.192, 193, 196, 202	HLDKAZ 端子に関する記述を追加

(3) 第3版 第4版

(1/2)

箇所	内容
全般	<ul style="list-style-type: none"> DRAM コントローラ (NB85E501) に関する記述を削除 SDRAM コントローラの名称を「NB85E502」→「NU85E502」に変更
p.20, 21	NAK0HM0, NAK0HM4, NAK0HM8 のグリッド数を修正
p.44	V851 コアのグリッド数を修正
p.64	V853 コアのグリッド数を修正
p.90	V30MX のグリッド数を修正
p.93	5.3.2 RESET 信号 修正
p.108	V30MZ のグリッド数を修正
p.110	6.3.1 RESET 信号 修正
p.120	NB85E のグリッド数, 分離シミュレーション・パターン数を修正
p.135, 136	7.3 端子機能一覧 修正
p.138-142, 144-149, 151-153	7.4.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) 修正
p.155-159	第8章 NB85E901 追加

箇所	内容
p.161-199	第9章 NB85ET 追加
p.201	NB85E500 のグリッド数, 分離シミュレーション・パターン数を修正
p.211	10.3 端子機能一覧 修正
p.212	10.4.3 DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) 修正
p.214-233	10.4.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) 修正
p.235-267	第11章 NU85E500 追加
p.270	NU85E502 のグリッド数, 分離シミュレーション・パターン数を修正
p.270, 271, 274	HLDKZ 端子に関する記述を追加
p.276-281	12.4.4 AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$) 修正

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話：044-435-9494
FAX：044-435-9608
E-mail：info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108
大阪 (06)6945-3178, 3200,
3208, 3212
広島 (082)242-5504
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
前橋 (027)243-6060
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] CB-9 ファミリ VX/VM タイプ コア・ライブラリ
設計マニュアル CPU コア, メモリ・コントローラ編
(A13195JJ5V1DM00 (第5版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス
半導体テクニカルホットライン
FAX : (044) 435-9608

2000.6