

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

設計マニュアル

かんたんカスタムマイコン

PFESiP[®]

(Platform for Embedded System in a Package)

EP-1 シリーズ

Ver.2.0

MC-10501

MC-10502

MC-10503

MC-10505

MC-10506

MC-10507

[× ㊦]

目次要約

第 1 章	概 説	...	24
第 2 章	PFESiP/V850EP1 の概要	...	39
第 3 章	EP-1 シリーズの検討方法とゲートアレイの開発	...	49
第 4 章	製品規格	...	79
第 5 章	ゲートアレイ部各種特性値の見積もり方法	...	91
第 6 章	回路設計	...	143
第 7 章	EP シリーズ固有の回路設計	...	186
第 8 章	テスト・パターンの作成	...	194
第 9 章	多機能ブロック	...	216
第 10 章	5 V フルスイングバッファ使用上の注意	...	326
第 11 章	パッケージ	...	327
付録 A	詳細な内部回路の消費電力の算出	...	352
付録 B	伝達遅延時間	...	354
付録 C	ALBATROSS, DIF ファイル・フォーマット	...	355
付録 D	回路図, タイミング・チャートの書き方	...	359
付録 E	ブロッカー一覧表	...	365

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

PFESiP は、NEC エレクトロニクス株式会社の日本国内およびドイツ、英国における登録商標です。

OPENCAD は、NEC エレクトロニクス株式会社の日本国内における登録商標です。

その他、記載の会社名、製品名などは、各社の登録商標または商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2009年5月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

本版で改訂された主な箇所

箇 所	内 容
p.65	3. 4. 1 (7) モード設定用端子 変更
p.65	3. 4. 1 (8) 端子レイアウト検討用ファイルの提供 変更
p.84	表4 - 7 推奨動作範囲 (ゲートアレイ) 変更
p.184	6. 11 出力波形のノイズ 追加
p.185	6. 12 リセット端子 追加
p.187	7. 1. 1 PFESiP/V850EP1-ゲートアレイ間接続端子 (SiP間接続用メモリ・インタフェース信号, DMA信号) 説明を追加
p.190	図7 - 4 PFESiP/V850EP1からのアクセス用テスト・レジスタ 変更
p.191	図7 - 5 PFESiP/V850EP1とゲートアレイ間の接続例 追加
p.192	7. 3. 1 Boundary-Scanテスト (NEC_BSCAN) の適用 変更
p.192	図7 - 6 Boundary-Scanテスト (NEC_BSCAN) 変更
p.220	表9 - 2 推奨発振周波数範囲と組み合わせ構成 変更
p.223	図9 - 4 発振回路構成 変更
p.224	9. 4. 3 発振ブロック (OSBx) の注意事項 追加
p.273	9. 7. 1 (2)(c) 変調周波数算出方法 追加
pp.273, 274	9. 7. 1 (2)(d) 各種周波数算出方法 追加
pp.278-303	9. 8 アナログPLL 追加
pp.304-308	9. 9 パワーオン・リセット 追加
pp.327-350	第11章 パッケージ 追加
p.379	E. 1. 6 High Speed Signal Transmission 追加
p.380	E. 1. 9 Analog PLL 追加
p.380	E. 1. 10 Power on Reset 追加

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。

はじめに

- 対象者** このマニュアルは、V850E2 CPUコア内蔵マイクロコントローラ機能チップ「PFESiP/V850EP1」と、弊社のCMOSエンベデッドアレイ EA-9HDシリーズを組み合わせて使用するPFESiP EP-1シリーズ製品を開発検討するユーザを対象とします。
- 目的** このマニュアルは、PFESiP/V850EP1の機能を理解し、CMOSエンベデッドアレイ EA-9HDシリーズを使用してLSIを設計していただくうえでの各種制限事項、注意事項などをまとめたものです。また、PFESiP EP-1シリーズ製品特有のPFESiP/V850EP1とEA-9HDシリーズを接続する部分の各種制限事項、注意事項なども記載しています。LSIを滞りなく設計していただくために、このマニュアルを熟読し、マニュアルに記載された事項（一般事項、注意事項、制限事項）は必ずお守りください。お守りいただけない場合、LSI製品の品質や性能の低下、および動作の異常が生じることがあります。
- 読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータ、SRAM、ページROM、SDRAMに関する一般知識を必要とします。
- 凡例**
- | | |
|---------------------------------|--|
| データ表記の重み | : 左が上位桁, 右が下位桁 |
| アクティブ・ローの表記 | : xxxZ (端子, 信号名称のあとにZ) |
| 注 | : 本文中につけた注の説明 |
| 注意 | : 気をつけて読んでいただきたい内容 |
| 備考 | : 本文の補足説明 |
| 数の表記 | : 2進数 ... xxxx またはxxxxB
10進数 ... xxxx
16進数 ... xxxxH |
| 2 のべき数を示す接頭語
(アドレス空間, メモリ容量) | : K (キロ) ... $2^{10} = 1024$
M (メガ) ... $2^{20} = 1024^2$
G (ギガ) ... $2^{30} = 1024^3$ |
| データ・タイプ | : ワード ... 32ビット
ハーフワード ... 16ビット
バイト ... 8ビット |

関連資料

関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
あらかじめ、ご了承ください。

PFESiP EP-1 シリーズに関する資料

資料名	資料番号
V850E2 ユーザーズ・マニュアル アーキテクチャ編	U17135J
PFESiP EP-1 シリーズ 設計マニュアル	このマニュアル
PFESiP/V850EP1 ユーザーズ・マニュアル 製品データ編	A19069J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (CPU 機能)	A19070J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (USB 機能)	A19071J
PFESiP/V850EP1 アプリケーション・ノート USB ファンクション・サンプル・ソフトウェア編	A19349J

PFESiP EP-1 Evaluation Board に関する資料

資料名	資料番号
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル 技術情報編	A19350J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル オータ情報編	A19352J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル FPGA 設計ガイド編	A19351J
PFESiP EP-1 Evaluation Board Lite ユーザーズ・マニュアル 技術情報編	A19354J

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
RX850 Pro (リアルタイム OS)	Ver.3.21 基礎編	U18165J
	Ver.3.20 インストレーション編	U17421J
	Ver.3.21 テクニカル編	U18164J
	Ver.3.20 タスク・デバッグ編	U17422J

EA-9HD シリーズに関する資料

資料名	資料番号
EA-9HD シリーズ 設計マニュアル	A13282J
EA-9HD シリーズ 設計マニュアル メモリ・マクロ編	A13367J
CMOS-9HD シリーズ, EA-9HD シリーズ 設計マニュアル メガマクロ編	A13941J
CMOS-9HD Series, EA-9HD Series Block Library	A13052J

OPENCAD に関する資料

資料名	資料番号
OPENCAD® ユーザーズ・マニュアル OPENCAD リリース・ノート	A15049J
OPENCAD ユーザーズ・マニュアル OPC_VSHELL 編	A15050J
OPENCAD ユーザーズ・マニュアル スタティック・タイミング・アナライザ Tiara 編	A15056J
テスト容易化設計 ユーザーズ・マニュアル TESTACT, NEC_SCAN2 編	A15059J
テスト容易化設計 ユーザーズ・マニュアル 市販 SCAN ツール・インタフェース編	A14964J
テスト容易化設計 ユーザーズ・マニュアル NEC_BIST, NEC_TESTBUS, NEC_SCAN/SCAN2, NEC_BSCAN/BSCAN2 編	A15168J

目 次

第 1 章 概 説 ... 24

- 1.1 特 徴 ... 24
- 1.2 EP-1 シリーズの製品構成 ... 25
- 1.3 EP-1 シリーズの構成 ... 26
 - 1.3.1 ゲートアレイの特徴 ... 27
 - 1.3.2 ゲートアレイのチップ構成 ... 28
 - 1.3.3 ゲートアレイのトランジスタ構成 ... 29
 - 1.3.4 3Vライン, 5Vラインとの接続 ... 30
 - 1.3.5 メモリの選択 ... 31
- 1.4 EP-1 シリーズのパッケージ ... 31
- 1.5 開発フロー ... 32
 - 1.5.1 プロトタイピング環境 ... 33
 - 1.5.2 ソフトウェアの開発フロー ... 35
 - 1.5.3 ゲートアレイの開発フロー ... 35
- 1.6 EP-1 シリーズにおける下地の先行発注および上地改版リワーク ... 38

第 2 章 PFESiP/V850EP1 の概要 ... 39

- 2.1 機 能 ... 39
- 2.2 内部ブロック図 ... 43
- 2.3 入出力インタフェース ... 44
- 2.4 電気的特性 ... 46
 - 2.4.1 絶対最大定格 ... 46
 - 2.4.2 推奨動作範囲 ... 46
 - 2.4.3 DC 特性 ($V_{DD15} = 1.5\text{ V} \pm 0.15\text{ V}$, $V_{DD33} = 3.3\text{ V} \pm 0.3\text{ V}$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$) ... 47
 - 2.4.4 AC 特性 ($V_{DD15} = 1.5\text{ V} \pm 0.15\text{ V}$, $V_{DD33} = 3.3\text{ V} \pm 0.3\text{ V}$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$) ... 48

第 3 章 EP-1 シリーズの検討方法とゲートアレイの開発 ... 49

- 3.1 回路規模とマスタ・サイズの見積もり ... 50
 - 3.1.1 セル使用率, 使用可能セル数とピン・ペア数制限 ... 50
 - 3.1.2 使用セル数見積もり時の注意点 ... 51
 - 3.1.3 メモリなどの大規模マクロの配置可否 ... 51
 - 3.1.4 セルベース IC タイプ・メモリなどの配置可否 ... 63
 - 3.1.5 大規模マクロ (メモリなど) 以外の使用可能セル数とピン・ペア数制限 ... 63
 - 3.1.6 大規模マクロ (メモリなど) 搭載時の注意点 ... 64
- 3.2 パッケージの選択 ... 64
- 3.3 消費電力の確認 ... 64
- 3.4 端子配置 ... 64

- 3.4.1 端子レイアウトの注意点 ... 65
- 3.5 **ゲートアレイの入出力インタフェース** ... 66
 - 3.5.1 入力ブロックの種類 ... 66
 - 3.5.2 出力ブロックの種類 ... 67
- 3.6 **ゲートアレイの開発フロー** ... 68
- 3.7 **OPENCAD の構成ツール** ... 71
- 3.8 **サインオフのための条件と引き渡しデータ** ... 73
 - 3.8.1 サインオフのための基本条件 ... 74
 - 3.8.2 インタフェース時の必要データ ... 75
 - 3.8.3 インタフェース・データ一覧 ... 77

第4章 製品規格 ... 79

- 4.1 **用語説明** ... 79
- 4.2 **製品規格 (EP-1 シリーズ)** ... 81
 - 4.2.1 絶対最大定格 (EP-1 シリーズ) ... 81
 - 4.2.2 推奨動作範囲 (EP-1 シリーズ) ... 82
- 4.3 **製品規格 (ゲートアレイ)** ... 83
 - 4.3.1 絶対最大定格 (ゲートアレイ) ... 83
 - 4.3.2 推奨動作範囲 (ゲートアレイ) ... 84
 - 4.3.3 DC 特性 (ゲートアレイ) ... 85
 - 4.3.4 AC 特性 (ゲートアレイ) ... 88
 - 4.3.5 端子容量 ... 89
- 4.4 **電源投入, 電源切断手順** ... 90

第5章 ゲートアレイ部各種特性値の見積もり方法 ... 91

- 5.1 **静消費電流の見積もり** ... 91
 - 5.1.1 静消費電流の見積もり ... 91
 - 5.1.2 出力流れ込み電流 (I_R) ... 92
- 5.2 **入力貫通電流** ... 98
- 5.3 **消費電力** ... 99
 - 5.3.1 消費電力の発生要因 ... 99
 - 5.3.2 消費電力の見積もり ... 100
 - 5.3.3 メモリの単位消費電力 ... 106
 - 5.3.4 電源, 周囲温度仕様変更時の補正方法 ... 108
 - 5.3.5 消費電力の判定 ... 108
- 5.4 **伝達遅延時間** ... 109
 - 5.4.1 伝達遅延時間の精度 ... 109
 - 5.4.2 伝達遅延時間の計算 ... 109
 - 5.4.3 配線容量予測 ... 111
 - 5.4.4 伝達遅延時間の変動 ... 111
- 5.5 **出力バッファの特性** ... 114

- 5.5.1 出力バッファの立ち上がり，立ち下がり時間 ... 114
- 5.5.2 出力バッファの推奨負荷容量範囲 ... 118
- 5.5.3 出力バッファの最高動作周波数 ... 119
- 5.5.4 出力バッファの出力電流 (I_{OL}, I_{OH}) ... 131
- 5.6 出力バッファの同時動作制限 ... 141

第6章 回路設計 ... 143

- 6.1 基本回路構成 ... 143
 - 6.1.1 入力/出力バッファの使用 ... 143
 - 6.1.2 未使用端子の処理 ... 144
 - 6.1.3 ファンアウト数の制限 ... 144
 - 6.1.4 ワイアード・ロジックの禁止 ... 144
 - 6.1.5 双方向バッファ使用上の注意 ... 145
- 6.2 微分回路の禁止 ... 146
- 6.3 RS ラッチ，ループ回路 ... 146
 - 6.3.1 RS ラッチ ... 146
 - 6.3.2 ループ回路 ... 147
 - 6.3.3 フリップフロップの禁止状態 (Use prohibited) ... 148
- 6.4 クロック・ラインの設計 ... 149
 - 6.4.1 非同期回路と同期回路 ... 149
 - 6.4.2 クロック・スキュー ... 154
 - 6.4.3 イネーブル・コントロール ... 156
 - 6.4.4 クロック・ツリー・シンセシス ... 158
 - 6.4.5 ラッチ，フリップフロップのセット/リセット ... 161
- 6.5 高速動作回路構成上の注意点 ... 162
- 6.6 遅延時間マージン ... 164
 - 6.6.1 タイミングの定義 ... 165
 - 6.6.2 遅延時間マージンの計算法 (非同期回路) ... 166
 - 6.6.3 遅延時間マージンの計算法 (高速に動作する回路) ... 167
 - 6.6.4 最小パルス幅 ... 169
 - 6.6.5 メタステーブル ... 170
 - 6.6.6 クリティカル・パス ... 174
 - 6.6.7 動作マージン確保のための条件 ... 176
- 6.7 内部バスの構成 ... 176
 - 6.7.1 内部バスの構成方法 ... 176
 - 6.7.2 内部バスのフローティング防止 ... 177
 - 6.7.3 内部バス使用上の注意事項 ... 177
- 6.8 外部バスとの競合防止 ... 178
- 6.9 テスタビリティの考慮 ... 178
 - 6.9.1 フリップフロップのイニシャライズ (初期設定) ... 178
 - 6.9.2 カウンタの分割 ... 179
 - 6.9.3 テスト端子の追加と回路分割 ... 179

- 6.10 レーシングとスパイク・ノイズ ... 180
 - 6.10.1 レーシング(競合) ... 180
 - 6.10.2 スパイク・ノイズ ... 181
- 6.11 出力波形のノイズ ... 184
- 6.12 リセット端子 ... 185

第7章 EP シリーズ固有の回路設計 ... 186

- 7.1 PFESiP/V850EP1-ゲートアレイ間接続 ... 186
 - 7.1.1 PFESiP/V850EP1-ゲートアレイ間接続端子 (SiP 間接続用メモリ・インタフェース信号, DMA 信号) ... 187
 - 7.1.2 PFESiP/V850EP1-ゲートアレイ間接続端子 (動作モード設定信号) ... 189
- 7.2 PFESiP/V850EP1 のメモリ・インタフェース ... 190
- 7.3 テスト回路設計 (DFT) ... 192
 - 7.3.1 Boundary-Scan テスト (NEC_BSCAN) の適用 ... 192
 - 7.3.2 Scan テスト (NEC_SCAN2) との併用 ... 193
 - 7.3.3 メガマクロ搭載時のテスト設計 ... 193

第8章 テスト・パターンの作成 ... 194

- 8.1 テスト・パターンの種類 ... 194
- 8.2 製品検査 (LSI テスタ) からの注意点 ... 195
 - 8.2.1 入力, 出力端子名制限 ... 195
 - 8.2.2 テスト・パターン長制限 ... 195
 - 8.2.3 テスト・パターンの本数 ... 196
- 8.3 ファンクション・テスト用テスト・パターン作成上の注意 ... 197
 - 8.3.1 回路の初期設定 (イニシャライズ) ... 197
 - 8.3.2 テスト周期 (テスト・レート) ... 197
 - 8.3.3 出力判定時間 (ストロブ時間) ... 197
 - 8.3.4 タイミング相の指定 ... 197
 - 8.3.5 スキュー ... 199
 - 8.3.6 双方向端子の入出力モード切り替えの注意 ... 200
 - 8.3.7 I/O モジュール機能 ... 202
 - 8.3.8 I/O 競合 ... 203
 - 8.3.9 多機能入出力回路のテスト ... 204
- 8.4 DC テスト・パターン作成上の注意 ... 205
- 8.5 RAM 搭載時のテスト・パターン ... 206
- 8.6 ユーザ・ロジック分離テスト用テスト・パターン ... 206
- 8.7 コア分離テスト回路確認用テスト・パターン ... 207
- 8.8 トータル・チップ・シミュレーション用テスト・パターン ... 208
- 8.9 高速ファンクション・テスト (リアルタイム・テスト) ... 210
 - 8.9.1 テスト・パターン長制限 ... 210
 - 8.9.2 テスト周期 (テスト・レート) ... 210

- 8.9.3 出力判定時間（ストロブ時間） ... 210
- 8.9.4 高速ファンクション・テスト時の注意 ... 211
- 8.10 **テストビリティ（故障検出率）** ... 213
 - 8.10.1 テスタビリティ（故障検出率）への考慮 ... 213
 - 8.10.2 故障シミュレーションの原理 ... 214

第9章 多機能ブロック ... 216

- 9.1 LVTTTL, 5V 耐圧ブロック, 5V フルスイング・バッファ ... 216
 - 9.1.1 入力バッファ ... 217
 - 9.1.2 出力バッファ ... 218
- 9.2 **プルアップ/プルダウン抵抗内蔵の入力/出力/双方向バッファ** ... 218
- 9.3 **クロック入力ドライバ（参考）** ... 219
- 9.4 **発振回路** ... 220
 - 9.4.1 発振回路の構成方法 ... 220
 - 9.4.2 発振回路の記述方法 ... 221
 - 9.4.3 発振ブロック（OSBx）の注意事項 ... 224
 - 9.4.4 発振回路構成上の注意 ... 225
 - 9.4.5 外付け回路の定数 ... 227
 - 9.4.6 発振子と回路構成 ... 228
- 9.5 GTL+ ... 231
 - 9.5.1 電気的特性 ... 231
 - 9.5.2 端子配置 ... 231
 - 9.5.3 接続ルール ... 232
 - 9.5.4 テスト・パターンの作成 ... 233
- 9.6 **デジタル PLL** ... 234
 - 9.6.1 デジタル PLL（F9E4） ... 235
 - 9.6.2 デジタル PLL（F9H2） ... 244
 - 9.6.3 デジタル PLL（F9H3） ... 253
 - 9.6.4 デバイス間での信号転送 ... 263
 - 9.6.5 テスト・パターン作成方法 ... 264
 - 9.6.6 デジタル PLL を使用した回路の静的タイミング解析方法 ... 265
- 9.7 SSCG ... 267
 - 9.7.1 F9H4SSCG ... 267
- 9.8 **アナログ PLL** ... 278
 - 9.8.1 ABPLWFB（内部置きタイプ） ... 278
 - 9.8.2 ADPLSHFB ... 286
 - 9.8.3 ADPLSMFB ... 292
 - 9.8.4 ACPLSLFB ... 298
- 9.9 **パワーオン・リセット** ... 304
 - 9.9.1 概要 ... 304
 - 9.9.2 標準特性および特徴 ... 304
 - 9.9.3 使用セル数 ... 304

9.9.4	シンボル図	...	304
9.9.5	端子情報	...	305
9.9.6	ブロック図	...	305
9.9.7	レイアウトイメージ	...	306
9.9.8	真理値表	...	306
9.9.9	電気的特性 (暫定)	...	307
9.9.10	端子機能	...	308
9.9.11	コア使用時の注意事項	...	308
9.10	PCI ローカル・バス・バッファ	...	309
9.10.1	PCI ローカル・バスの信号規定	...	309
9.10.2	PCI バッファの出力電流	...	311
9.10.3	電気的特性	...	311
9.11	メモリ	...	312
9.11.1	ゲートアレイ・タイプのメモリ	...	312
9.11.2	セルベース IC タイプのメモリ	...	313
9.11.3	ゲートアレイ・タイプ RAM	...	313
9.11.4	セルベース IC タイプ RAM	...	315
9.11.5	ゲートアレイ・タイプ・メモリの選択	...	315
9.11.6	ゲートアレイ・タイプ・メモリの取り扱い	...	315
9.11.7	セルベース IC タイプ・メモリの取り扱い	...	315
9.11.8	ゲートアレイ・タイプ RAM のテスト	...	315
9.11.9	セルベース IC タイプ RAM のテスト	...	318
9.11.10	テスト用入出力端子 (TIN, TEB, TOUT) の設置	...	318
9.11.11	RAM テスト回路の接続確認	...	320
9.11.12	ROM のテスト	...	321
9.11.13	ROM コードのフォーマット	...	322
9.12	スキャンバス・テスト	...	324
9.13	バウンダリ・スキャン・テスト	...	325

第 10 章 5V フルスイングバッファ使用上の注意 ... 326

10.1	配置制限	...	326
10.2	配置条件	...	326
10.3	特殊対応	...	326

第 11 章 パッケージ ... 327

11.1	パッケージの概要	...	327
11.1.1	PBGA (Plastic BGA)	...	327
11.1.2	FPBGA (Fine-pitch BGA)	...	327
11.2	PFESiP の構造	...	327
11.3	ラインアップ	...	328
11.4	端子配置	...	329

11.4.1	464ピン PBGA	...	329
11.4.2	550ピン PBGA	...	334
11.4.3	452ピン FPBGA	...	339
11.5	ゲートアレイ部の発振ブロックの配置可能端子	...	344
11.6	熱抵抗一覧	...	345
11.7	許容消費電力一覧	...	346
11.8	外形図	...	347
11.8.1	464ピン PBGA	...	347
11.8.2	550ピン PBGA	...	348
11.8.3	452ピン FPBGA	...	349
11.9	捺印例	...	350
11.10	半田付け推奨条件	...	351
付録 A	詳細な内部回路の消費電力の算出	...	352
付録 B	伝達遅延時間	...	354
付録 C	ALBATROSS, DIF ファイル・フォーマット	...	355
C.1	ALBATROSS ファイル・フォーマット (回路名.alb)	...	355
C.2	DIF ファイル・フォーマット (回路名.dif)	...	357
付録 D	回路図, タイミング・チャートの書き方	...	359
D.1	回路図の書き方	...	359
D.1.1	論理シンボル	...	359
D.1.2	ブロック名 (機能名) の記入	...	359
D.1.3	端子名の記入 (ブロックの入力 / 出力端子名)	...	359
D.1.4	ゲート名の記入 (各ブロックの固有名)	...	359
D.1.5	入出力端子の記述	...	360
D.2	マクロの取り扱い	...	362
D.3	タイミング・チャートの書き方	...	363
付録 E	ブロック一覧表	...	365
E.1	Interface Block	...	365
E.1.1	3.3 V Interface	...	365
E.1.2	5 V Interface	...	370
E.1.3	5 V Full-Swing	...	374
E.1.4	Oscillator	...	380
E.1.5	PCI	...	380
E.1.6	High Speed Signal Transmission	...	380
E.1.7	Digital PLL	...	381

E. 1. 8	SSCG	...	381
E. 1. 9	Analog PLL	...	381
E. 1. 10	Power on Reset	...	381
E. 2	Function Block	...	382
E. 2. 1	Level Generator	...	382
E. 2. 2	Inverter, Buffer, CTS Driver, Delay Gate	...	382
E. 2. 3	OR (NOR), AND (NAND)	...	383
E. 2. 4	AND-NOR	...	388
E. 2. 5	OR-NAND	...	391
E. 2. 6	Exclusive OR, Exclusive NOR	...	395
E. 2. 7	Adder, 3-State Buffer, Decoder, Multiplexer, Generator	...	395
E. 2. 8	RS-F/F, RS-latch	...	396
E. 2. 9	D-Latch	...	397
E. 2. 10	D-F/F	...	398
E. 2. 11	T-F/F, JK-F/F	...	404
E. 2. 12	Other Block	...	406
E. 3	Scan Path Block	...	407
E. 3. 1	Standard Type	...	407
E. 3. 2	LSSD Scan	...	407
E. 3. 3	NEC Scan	...	408
E. 3. 4	Scan Controller	...	410
E. 4	Boundary Scan Block (Interface)	...	411
E. 4. 1	3.3 V Interface	...	411
E. 4. 2	5 V Interface	...	415
E. 4. 3	PCI	...	417
E. 5	Boundary Scan Block (Function)	...	418
E. 5. 1	TAP Macro	...	418
E. 5. 2	Level Generator	...	418
E. 5. 3	D-Latch	...	418

図の目次 (1/5)

図番号	タイトル, ページ
1 - 1	PFESiP のコンセプト ... 24
1 - 2	EP-1 シリーズがシステム開発の問題を解決 ... 25
1 - 3	EP-1 シリーズの構成 ... 26
1 - 4	ゲートアレイのチップ構成 ... 28
1 - 5	内部セル等価回路 ... 29
1 - 6	等価回路 ... 30
1 - 7	PBGA の断面図 ... 31
1 - 8	EP-1 シリーズの開発フロー ... 32
1 - 9	EP-1 シリーズ開発評価ボード ... 33
1 - 10	EP-1 シリーズ開発評価ボード (ブロック図) ... 34
1 - 11	ゲートアレイの開発フロー ... 35
3 - 1	ピン・ペア数 ... 50
3 - 2	マクロの占有するセル範囲の形状 (基本マクロが 4 つの場合) ... 52
3 - 3	マクロ占有範囲 ... 53
3 - 4	マクロ実現不可能範囲 ... 54
4 - 1	電源の投入 / 切断順序 (推奨) 例 ... 90
5 - 1	出力流れ込み電流 (I_R) の流れ込みルート ... 92
5 - 2	出力流れ込み電流 ... 93
5 - 3	5 V 耐圧出力バッファ 出力波形 ... 94
5 - 4	測定回路 (5 V 耐圧出力バッファ) ... 96
5 - 5	5 V フルスイング・バッファ 出力波形 ... 97
5 - 6	測定回路 (5 V フルスイング・バッファ) ... 97
5 - 7	入力貫通電流 (3.3 V 入力) ... 98
5 - 8	入力貫通電流 (3.3 V シュミット入力) ... 98
5 - 9	入力貫通電流 (5 V 入力) ... 98
5 - 10	入力貫通電流 (5 V シュミット入力) ... 98
5 - 11	入力貫通電流 (5 V フルスイング入力) ... 98
5 - 12	入力貫通電流 (5 V フルスイング・シュミット入力) ... 98
5 - 13	発振器の消費電力回路図 ... 104
5 - 14	伝達遅延時間 (暫定) ... 112
5 - 15	t_{PD} ばらつきの関係 ... 114
5 - 16	f_{MAX} VS C_L 制限 (LVTTTL 出力, ノーマル・タイプ) ... 119
5 - 17	f_{MAX} VS C_L 制限 (LVTTTL 出力, ロー・ノイズ・タイプ) ... 121
5 - 18	f_{MAX} VS C_L 制限 (TTL5 V 耐圧出力, ノーマル・タイプ) ... 123
5 - 19	f_{MAX} VS C_L 制限 (TTL5 V 耐圧出力, ロー・ノイズ・タイプ) ... 125
5 - 20	f_{MAX} VS C_L 制限 (5 V フルスイング, ノーマル・タイプ) ... 126

図の目次 (2/5)

図番号	タイトル, ページ
5 - 21	f _{MAX} VS C _L 制限 (5 V フルスイング, ロー・ノイズ・タイプ) ... 127
5 - 22	出力波形 (CMOS 用 5 V 耐圧出力, ノーマル・タイプ) ... 129
5 - 23	出力波形 (CMOS 用 5 V 耐圧出力, ロー・ノイズ・タイプ) ... 130
5 - 24	I _O vs V _O ... 132
5 - 25	同時動作による誤動作 ... 142
6 - 1	回路の基本構成 ... 143
6 - 2	ワイアード・ロジックの禁止 ... 144
6 - 3	リングング ... 145
6 - 4	対策回路例 ... 145
6 - 5	微分回路の禁止 ... 146
6 - 6	非同期 RS ラッチ ... 146
6 - 7	ループ回路 ... 147
6 - 8	クロック・スキュー ... 150
6 - 9	クロックの分配 ... 150
6 - 10	多相クロックの例 ... 151
6 - 11	ラッチのセットアップ・タイム, ホールド・タイムの確保 ... 152
6 - 12	組み合わせ回路の分割 ... 152
6 - 13	加算回路 (3 相クロック使用) ... 153
6 - 14	加算回路 (単相クロック使用) ... 153
6 - 15	74LS 回路図でよく見られる回路 ... 154
6 - 16	2 相クロックを使用したときの回路 ... 154
6 - 17	マクロ間のクロック・ライン対策 ... 155
6 - 18	データ・イネーブル・フリップフロップ ... 156
6 - 19	クロック・イネーブルを使用した構成例 ... 157
6 - 20	クロック・ツリー・シンセシスの概念 ... 158
6 - 21	クロック・スキューの最適化 ... 160
6 - 22	CTS ブロックの記述例 ... 160
6 - 23	5 進カウンタの良い例, 悪い例 ... 161
6 - 24	マクロ間のインタフェースの標準化 ... 163
6 - 25	セットアップ時間 ... 165
6 - 26	ホールド時間 ... 165
6 - 27	リリース時間 ... 165
6 - 28	リムーバル時間 ... 165
6 - 29	最小パルス幅 ... 165
6 - 30	遅延時間マージン計算回路例 ... 166
6 - 31	タイミングの見積もり ... 166
6 - 32	同相クロック回路例 ... 167
6 - 33	同相クロックの場合のタイミング ... 167

図の目次 (3/5)

図番号	タイトル, ページ
6 - 34	逆相クロック回路例 ... 168
6 - 35	逆相クロックの場合のタイミング ... 168
6 - 36	最小パルス幅の見積もり ... 169
6 - 37	パルスの細り ... 169
6 - 38	クリティカル・パスを含むシステム ... 174
6 - 39	入力-入力間クリティカル・パス検討例 ... 175
6 - 40	セットアップ時間の検証 ... 175
6 - 41	パスの構成 ... 176
6 - 42	内部パスのフローティング防止回路構成例 ... 177
6 - 43	フリップフロップのイニシャライズ ... 178
6 - 44	カウンタの分割 ... 179
6 - 45	レーシング ... 180
6 - 46	データ・セレクト回路例 ... 181
6 - 47	テスト・パターン例 (改善前) ... 182
6 - 48	テスト・パターン例 (改善後) ... 183
6 - 49	出力波形のノイズ ... 184
6 - 50	電源分離 ... 184
6 - 51	対策回路例 1 ... 185
6 - 52	対策回路例 2 ... 185
7 - 1	PFESiP/V850EP1 とゲートアレイ間の接続構成 ... 186
7 - 2	PFESiP/V850EP1 - ゲートアレイ間接続 (1) ... 188
7 - 3	PFESiP/V850EP1 - ゲートアレイ間接続 (2) ... 189
7 - 4	PFESiP/V850EP1 からのアクセス用テスト・レジスタ ... 190
7 - 5	PFESiP/V850EP1 とゲートアレイ間の接続例 ... 191
7 - 6	Boundary-Scan テスト (NEC_BSCAN) ... 192
7 - 7	メガマクロ搭載時のテスト設計 ... 193
8 - 1	タイミング相 ... 198
8 - 2	双方向端子の切り替えタイミングの悪い例 ... 200
8 - 3	入出力切り替え時の競合 ... 200
8 - 4	テスト・パターン例 ... 206
8 - 5	トータル・チップ・シミュレーション・パターン作成フロー ... 209
8 - 6	ストロブ時間 ... 210
8 - 7	リアルタイム・シミュレーション結果例 ... 212
8 - 8	故障シミュレーションの概念 ... 214
9 - 1	LVTTL 入力, 5V 耐圧入力バッファの等価回路図 ... 217
9 - 2	Fail safe 機能付き LVTTL 入力バッファの等価回路図 ... 217

図の目次 (4/5)

図番号	タイトル, ページ
9 - 3	発振回路の構成例 ... 220
9 - 4	発振回路構成 ... 221
9 - 5	基板上の GND パターン例 ... 225
9 - 6	オーバートーン回路例 ... 226
9 - 7	GTL+の端子配置例 ... 232
9 - 8	GTL+の使用例 ... 232
9 - 9	クロック・スキュー ... 234
9 - 10	クロック・スキュー対策 ... 234
9 - 11	デジタル PLL タイミング (F9E4) ... 237
9 - 12	デジタル PLL 接続例 ... 239
9 - 13	PLL モード・タイミング ... 241
9 - 14	スルー・バス・モード・タイミング ... 241
9 - 15	リセット・モード・タイミング ... 242
9 - 16	TMD0の使用例 ... 243
9 - 17	ストップ・モード・タイミング ... 243
9 - 18	デジタル PLL 接続例 (F9H2) ... 244
9 - 19	デジタル PLL 接続例 (F9H3) ... 253
9 - 20	デバイス間の信号転送 ... 263
9 - 21	PLL を使用した回路構成例 ... 265
9 - 22	PCI 端子リスト ... 309
9 - 23	5 V PCI バッファの等価回路図 ... 310
9 - 24	I_o vs V_o (PCI バッファ) ... 311
9 - 25	1 ポート RAM 回路構成 ... 314
9 - 26	2 ポート RAM (W+R) 回路構成 ... 314
9 - 27	テスト回路 (BIST) ブロック図 ... 316
9 - 28	RAM テスト回路例 ... 317
9 - 29	TIN 端子の兼用化 ... 319
9 - 30	TOUT 端子の兼用化 ... 319
9 - 31	テスト・パターン例 ... 320
9 - 32	ROM テスト回路例 ... 321
9 - 33	ROM コード・データのフォーマット ... 323
9 - 34	スキャンバス・テスト法の原理 ... 324
9 - 35	バウンダリ・スキャン概略図 ... 325
11 - 1	PBGA の断面図 ... 327
11 - 2	PFESiP の断面図 ... 327
11 - 3	464 ピン PBGA (V_{DD33} , V_{DD15} , GND 端子の配置) ... 329
11 - 4	464 ピン PBGA (端子配置: Top View) ... 330
11 - 5	550 ピン PBGA (V_{DD33} , V_{DD15} , GND 端子の配置) ... 334

図の目次 (5/5)

図番号	タイトル, ページ
11 - 6	550 ピン PBGA (端子配置 : Top View) ... 335
11 - 7	452 ピン FPBGA (V _{DD33} , V _{DD15} , GND 端子の配置) ... 339
11 - 8	452 ピン FPBGA (端子配置 : Top View) ... 340
11 - 9	464 ピン PBGA, 550 ピン PBGA (25 × 30 mm)(標準捺印例) ... 350
11 - 10	452 ピン PBGA (22 × 22 mm)(標準捺印例) ... 350
11 - 11	433 ピン FPBGA (17 × 17 mm)(標準捺印例) ... 350
A - 1	消費電力の負荷依存性 ... 353
B - 1	入力波形による遅延時間の増加 ... 354
D - 1	回路図の例 ... 360
D - 2	双方向端子の記述例 ... 360
D - 3	双方向端子のテスト・パターン作成例 ... 361
D - 4	3 ステート出力端子記述例 ... 361
D - 5	3 ステート出力端子のテスト・パターン作成例 ... 361
D - 6	マクロの取り扱い ... 362
D - 7	タイミング・チャートの記入例 ... 363
D - 8	タイミング・チャートの例 ... 364

表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	製品構成 (外部バス: 16 ビット版) ... 25
1 - 2	製品構成 (外部バス: 32 ビット版) ... 25
3 - 1	セル使用率 ... 50
3 - 2	ユーザブル・ゲート, ピン・ペア数一覧 ... 51
3 - 3	搭載セル数一覧 ... 52
3 - 4	基本マクロの最低占有セル数 ... 54
3 - 5	占有セル範囲 ... 55
4 - 1	絶対最大定格に関する用語 ... 79
4 - 2	推奨動作条件に関する用語 ... 79
4 - 3	DC 特性に関する用語 ... 80
4 - 4	絶対最大定格 (EP-1 シリーズ) ... 81
4 - 5	推奨動作範囲 (EP-1 シリーズ) ... 82
4 - 6	絶対最大定格 (ゲートアレイ) ... 83
4 - 7	推奨動作範囲 (ゲートアレイ) ... 84
4 - 8	DC 特性 (ゲートアレイ) (1/3) ... 85
4 - 8	DC 特性 (ゲートアレイ) (2/3) ... 86
4 - 8	DC 特性 (ゲートアレイ) (3/3) ... 87
4 - 9	AC 特性 (ゲートアレイ) ($V_{DD33} = 3.3 \pm 0.3 \text{ V}$, $V_{DD50} = 5.0 \pm 0.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$) ... 88
4 - 10	インタフェース・ブロックの容量 (C_B) ... 89
4 - 11	パッケージごとの容量 (C_P) ... 89
5 - 1	入力バッファごとの消費電力 ... 100
5 - 2	デジタル PLL の消費電力 ... 101
5 - 3	出力バッファの消費電力 ... 102
5 - 4	GTL+入力部の消費電力 ... 103
5 - 5	発振器の消費電力 (参考値) ... 104
5 - 6	高密度 1 ポート RAM の単位消費電力 ... 106
5 - 7	高密度 2 ポート RAM (W+R) の単位消費電力 ... 107
5 - 8	補正係数 ... 108
5 - 9	配線容量予測 (配線長を F/I 値に換算) ... 111
5 - 10	LVTTL 出力バッファの t_r , t_f 計算係数一覧表 ... 115
5 - 11	TTL 5 V 耐圧出力バッファの t_r , t_f 計算係数一覧表 ... 116
5 - 12	CMOS 用 5 V 耐圧出力バッファの t_r , t_f 計算係数一覧表 ... 117
5 - 13	5 V フルスイング出力バッファの t_r , t_f 計算係数一覧表 ... 117
5 - 14	出力バッファの推奨負荷容量範囲 ... 118
6 - 1	F617 (D-F/F with SB, RB) ... 148
6 - 2	回路設計の特徴 ... 149
6 - 3	バッファ・タイプ CTS 遅延, スキュー値参考一覧 (CTS1 個搭載時) ... 159

表の目次 (2/2)

表番号	タイトル, ページ
7 - 1	SiP 内部接続用メモリ・インタフェース信号一覧 (計 54 本) ... 187
7 - 2	SiP 内部接続用 DMA 入出力信号一覧 (計 6 本) ... 187
7 - 3	割り込み/ポート信号一覧 (計 8 本) ... 187
7 - 4	PFESiP/V850EP1 動作モード設定信号一覧 (計 28 本) ... 189
8 - 1	テスト・パターンの種類 ... 194
8 - 2	端子名文字制限 ... 195
8 - 3	テスト・パターン長の制限 ... 195
8 - 4	タイミング相数 ... 197
8 - 5	タイミング制限 ... 198
8 - 6	クロック・モード ... 199
9 - 1	クロック入力ドライバ専用ブロック一覧 ... 219
9 - 2	推奨発振周波数範囲と組み合わせ構成 ... 220
9 - 3	判定基準例 ... 227
9 - 4	発振子評価一覧 ... 228
9 - 5	水晶振動子評価一覧 ... 230
9 - 6	GTL+の電気的特性 ... 231
9 - 7	DC 特性 ... 236
9 - 8	AC 特性 ... 236
9 - 9	AC 特性 (F9H2) ... 247
9 - 10	AC 特性 (F9H3) ... 257
9 - 11	デジタル PLL オフセット調整回路遅延値 (F9E4) ... 266
9 - 12	デジタル PLL オフセット調整回路遅延値 (F9H2) ... 266
9 - 13	推奨使用条件 (F9H4SSCG) ... 272
9 - 14	AC 特性 (F9H4SSCG) (電源ノイズなし) ... 272
9 - 15	PCI ブロック (EA-9HD シリーズ) ... 310
9 - 16	メモリ・ブロック一覧 ... 312
9 - 17	セルベース IC タイプのコンパイルド RAM 対応一覧 ... 313
11 - 1	パッケージ (外部バス : 16 ビット版) ... 328
11 - 2	パッケージ (外部バス : 32 ビット版) ... 328
11 - 3	発振ブロックの配置可能位置 (外部バス : 16 ビット版) ... 344
11 - 4	発振ブロックの配置可能位置 (外部バス : 32 ビット版) ... 344
11 - 5	熱抵抗 (外部バス : 16 ビット版) ... 345
11 - 6	熱抵抗 (外部バス : 32 ビット版) ... 345
11 - 7	許容消費電力 (外部バス : 16 ビット版) ... 346
11 - 8	許容消費電力 (外部バス : 32 ビット版) ... 346
11 - 9	半田付け推奨条件 (外部バス : 16 ビット版) ... 351
11 - 10	半田付け推奨条件 (外部バス : 32 ビット版) ... 351
11 - 11	半田付け条件 ... 351

第1章 概 説

1.1 特 徴

PFESiP (Platform for Embedded System in a Package) は、ゲートアレイと汎用機能チップをSiP (System in a Package) 化し、事前検証を行い、マスタとしてラインアップすることで、機能拡張されたカスタムLSIを「早く、安く、安心」してご提供する新しいASICのソリューションです。

PFESiPの1つの製品シリーズとして、EP (Embedded Processor) -1シリーズは汎用機能チップにマイコンを適用し、SiP化に適した専用のマイコンとゲートアレイ・マスタを準備し、1パッケージ化した「早く、安く、安心」してカスタマイズできるマイコンです (図1 - 1参照) 。

SiP に適したI/Oパッド配置とし、パッケージの共用化を図り、コスト低減やテスト容易化、ノイズ抑制に対して工夫をしています。マイコンとゲートアレイを別々に使用した構成と比べて、部品点数の削減や実装面積の縮小、低価格化が可能になります。SOCと比較すると機能的な制限はありますが、仕様がうまく合致すれば、低開発費、開発期間短縮が実現できます (図1 - 2参照) 。

図1 - 1 PFESiPのコンセプト

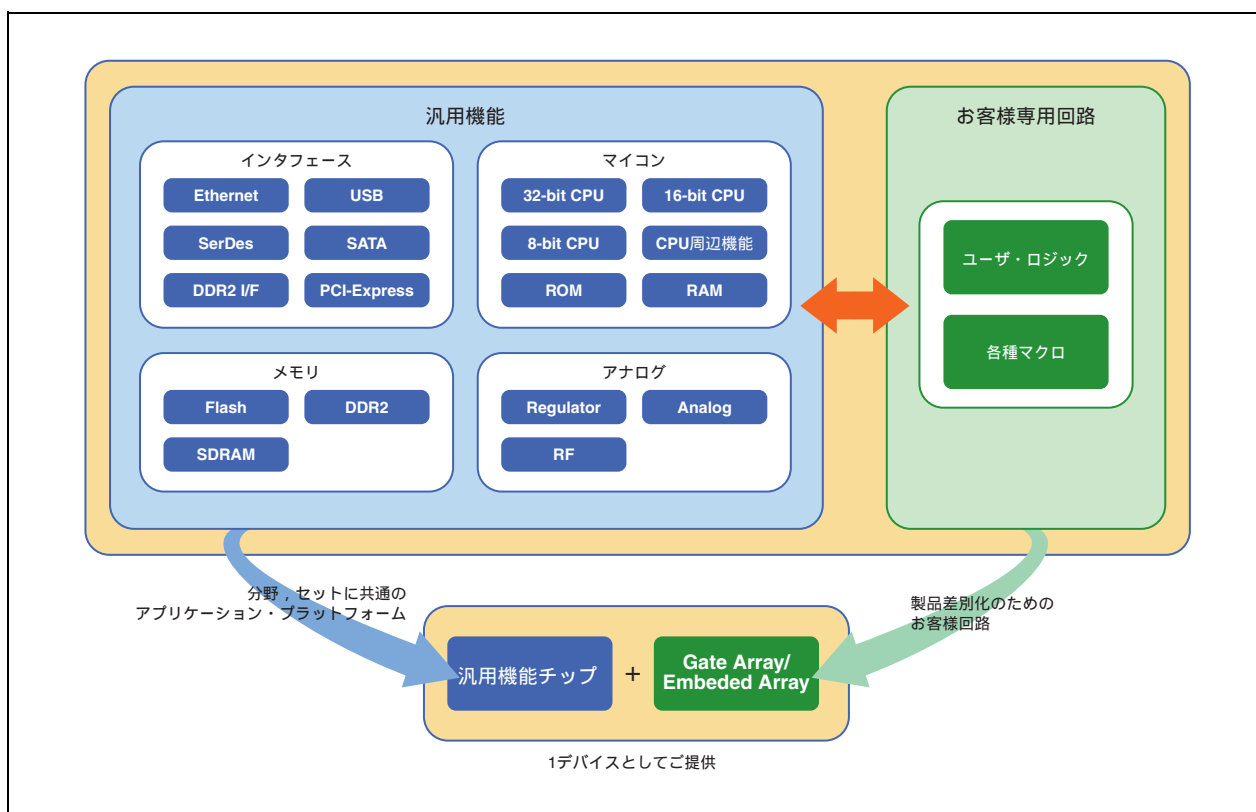
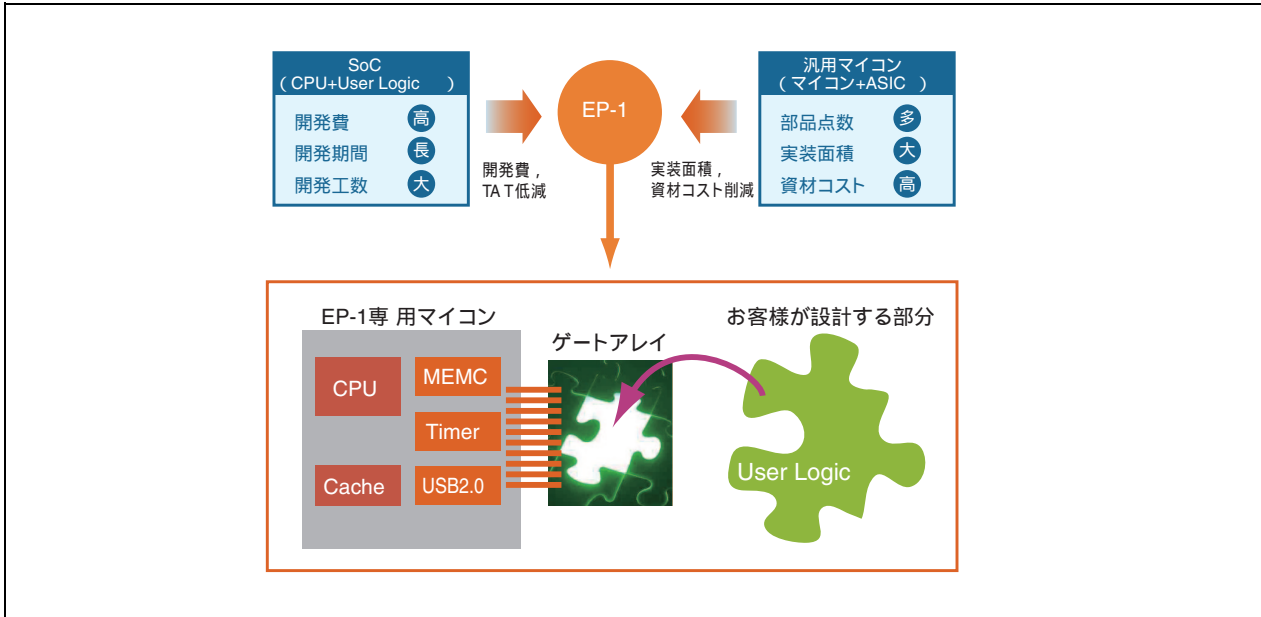


図1 - 2 EP-1シリーズがシステム開発の問題を解決



1.2 EP-1シリーズの製品構成

EP-1専用マイコン「PFESiP/V850EP1」には、高性能32ビットRISC型CPUコア「V850E2（NBA85E2S）コア」を採用しています。表1 - 1、表1 - 2に示すように外部バスとして、16ビット版と32ビット版があり、使用できるゲート数が異なります。それぞれ3マスタ、計6マスタをラインアップしています。

表1 - 1 製品構成（外部バス：16ビット版）

マスタ	パッケージ				ユーザ使用可能信号数 (ゲートアレイ部)
	ゲートアレイ (使用可能ゲート数)	PBGA	FPBGA		
		464ピン (25 × 30 mm) 1.00 mmボールピッチ	452ピン (22 × 22 mm) 0.80 mmボールピッチ	433ピン (17 × 17 mm) ^注 0.65 mmボールピッチ	
MC-10501	80 K		開発予定なし	開発予定なし	80本
MC-10502	160 K			検討中	80本
MC-10503	240 K			開発予定なし	80本

注 100 MHz Max.動作

表1 - 2 製品構成（外部バス：32ビット版）

マスタ	パッケージ		ユーザ使用可能信号数 (ゲートアレイ部)
	ゲートアレイ (使用可能ゲート数)	PBGA	
		550ピン (25 × 30 mm) 1.00 mmボールピッチ	
MC-10505	80 K		80本
MC-10506	160 K		120本
MC-10507	240 K		120本

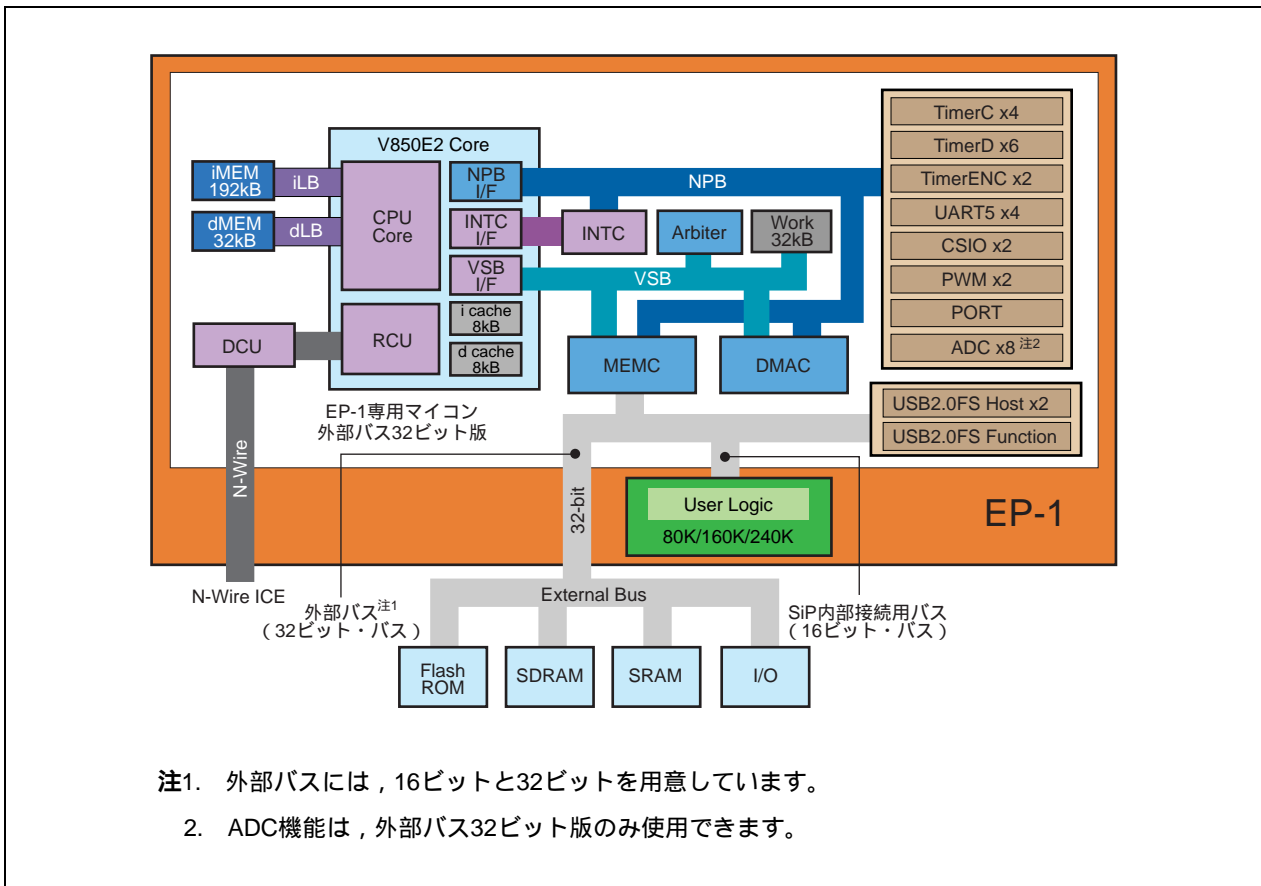
1.3 EP-1シリーズの構成

PFESiP/V850EP1内部は、次に示すようにPFESiPとユーザ・ロジックはメモリ・バスで接続されています。

EP-1シリーズのLSIは、V850E2コアを搭載したEP-1専用マイコン「PFESiP/V850EP1」と論理回路を実現できるゲートアレイの2チップで構成しています。

EP-1シリーズのLSIの内部は、次のようにPFESiP/V850EP1とゲートアレイはメモリ・バスで接続されています。

図1 - 3 EP-1シリーズの構成



EP-1専用マイコン「PFESiP/V850EP1」のチップ構成については、第2章 PFESiP/V850EP1の概要を参照してください。

1.3.1 ゲートアレイの特徴

EP-1シリーズのゲートアレイは、0.35 μm のCMOSプロセスを採用した3/4層配線、チャネルレス構造（SOG）の高密度、高速エンベデッドアレイ（EA-9HDシリーズ）です。

各種高機能コア、EMIのノイズ低減用の容量セルを搭載でき、さらにSSCG（スペクトラム拡散クロック・ジェネレータ）マクロと併用することで、さらにEMIノイズの低減ができます。

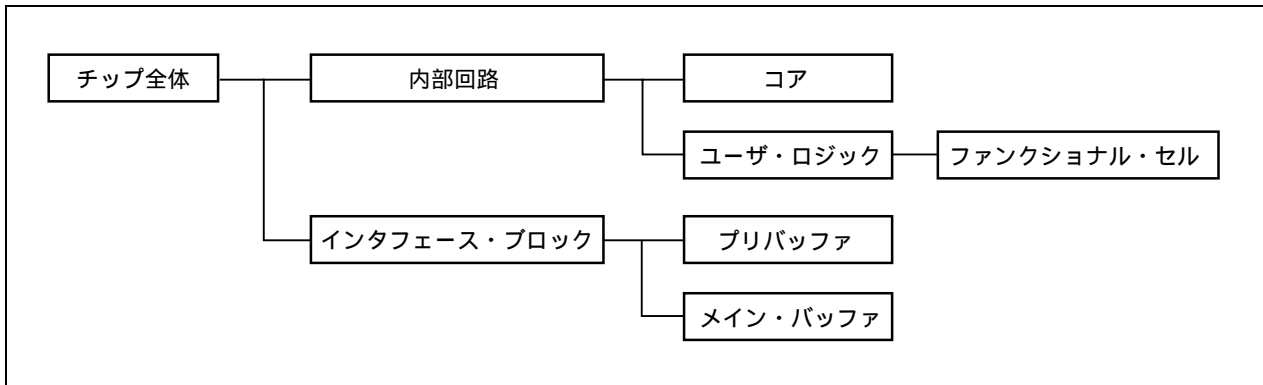
EA-9HDシリーズの特徴を簡単にまとめます。

プロセス：	0.35 μm プロセスSiゲート，3層金属配線，4層金属配線
入力インタフェース：	LVTTLコンパチブル
内部ブロック：	190種以上の機能ブロック ハイ・スピード/ロー・パワーを含み，CMOS-8Lシリーズとコンパチブル スキャンパス・ブロック クロック・ツリー・シンセシス用ドライバ
豊富なマクロ：	シリアル・インタフェース（ $\mu\text{PD71051}$ ） タイマ/カウンタ（ $\mu\text{PD71054}$ ） 割り込みコントローラ（ $\mu\text{PD71059}$ ） UART + FIFO（PC16550D） セルベースICタイプ・メモリ（CB-9用） ゲートアレイ・タイプ・メモリ（CMOS-9HDシリーズ用）
豊富な周辺ブロック	LVTTL入力/5V耐圧入力バッファ Fail safe機能付きLVTTL入力バッファ CMOS用5V耐圧出力バッファ TTL 5V耐圧出力バッファ 5Vフルスイング・バッファ LVTTL出力バッファ PCIバス規格対応バッファ 高駆動能力バッファ（ $I_{OL} = 24.0\text{ mA}$ ） ロー・ノイズ出力バッファ プルアップ抵抗内蔵バッファ（5 k Ω /50 k Ω ） プルダウン抵抗内蔵バッファ（50 k Ω ） クロック・ドライバ専用入力ブロック デジタルPLL（位相制御用） デジタルPLL（逓倍用） GTL+
消費電力：	0.16 μW / MHz / セル（内部ゲート，動作率0.3）
電源電圧：	3.3 \pm 0.3 V / 5.0 \pm 0.5 V
動作周波数：	75 MHz

1.3.2 ゲートアレイのチップ構成

ゲートアレイは大きく分けて次の要素から成り立っています。

図1-4 ゲートアレイのチップ構成



それぞれの要素の意味は次のとおりです。

要素	説明
コア	周辺マクロなど、大規模なゲートで構成される機能ブロック（メガマクロ）およびメモリ・マクロです。セルベースICタイプ・マクロとゲートアレイ・タイプ・マクロがあります。
ユーザ・ロジック	ユーザがファンクショナル・セルを使用して作成した回路です。
ファンクショナル・セル	OR, AND, フリップフロップなどの基本的な機能を持つセルです。
インタフェース・ブロック	外部端子とのインタフェース用ブロックです。
プリバッファ	メイン・バッファを制御するためのバッファで、インタフェース・ブロックを構成しています。
メイン・バッファ	外部とインタフェースをとるためのバッファで、インタフェース・ブロックを構成しています。
内部回路	インタフェース・ブロック以外のすべての回路です。

備考 入力バッファ，出力バッファ，双方向バッファを総称してインタフェース・ブロックと定義します。

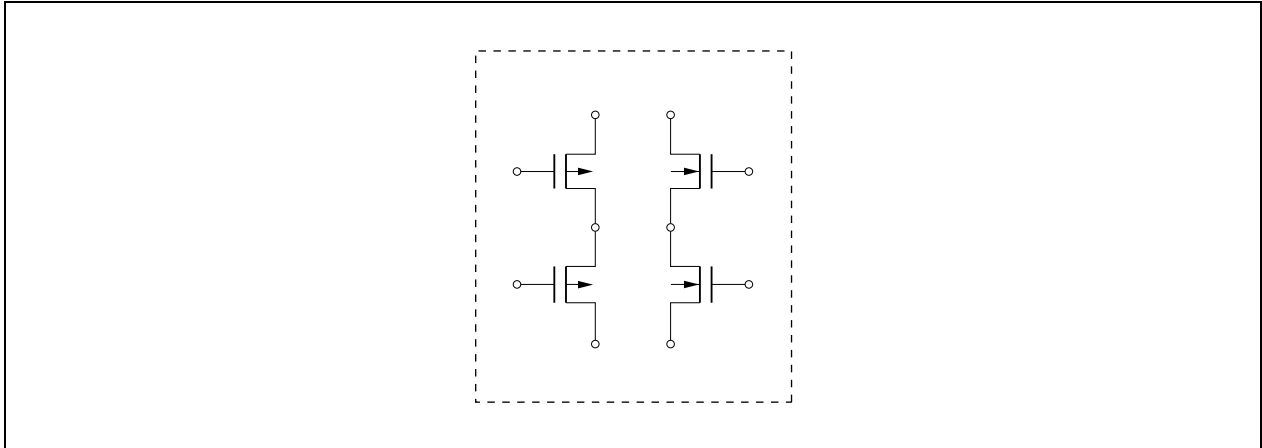
1.3.3 ゲートアレイのトランジスタ構成

ゲートアレイ部の内部セル等価回路図を図1 - 5に示します。

ゲートアレイ部では，1セルで2入力NAND/NOR，インバータ，バッファなどが構成可能です。

CMOS回路は，Pチャンネル-MOSトランジスタ（P-ch.Tr）と，Nチャンネル-MOSトランジスタ（N-ch.Tr）から構成されています。通常，P-ch.TrがN-ch.Trのどちらか一方はオフの状態になっています。

図1 - 5 内部セル等価回路



このため，定常状態ではほとんど電源電流が流れないので，非常に低消費電力となっています。

CMOSの消費電流は，ほとんど回路のスイッチング時に消費されます。スイッチング時は，過渡的に大きな電流が流れるので，電源とグランドの間には高速型の大容量コンデンサを入れたり，電源のインピーダンスを十分小さくすることが必要になります。また，CMOSの回路に立ち上がり / 立ち下がり時間の大きな波形を入力すると，P-ch.TrとN-ch.Trが両方ともオンの状態が長く続くため，P-ch.TrとN-ch.Trの間に貫通電流が流れ，消費電流が増加するだけでなく誤動作の原因になるので注意が必要です。

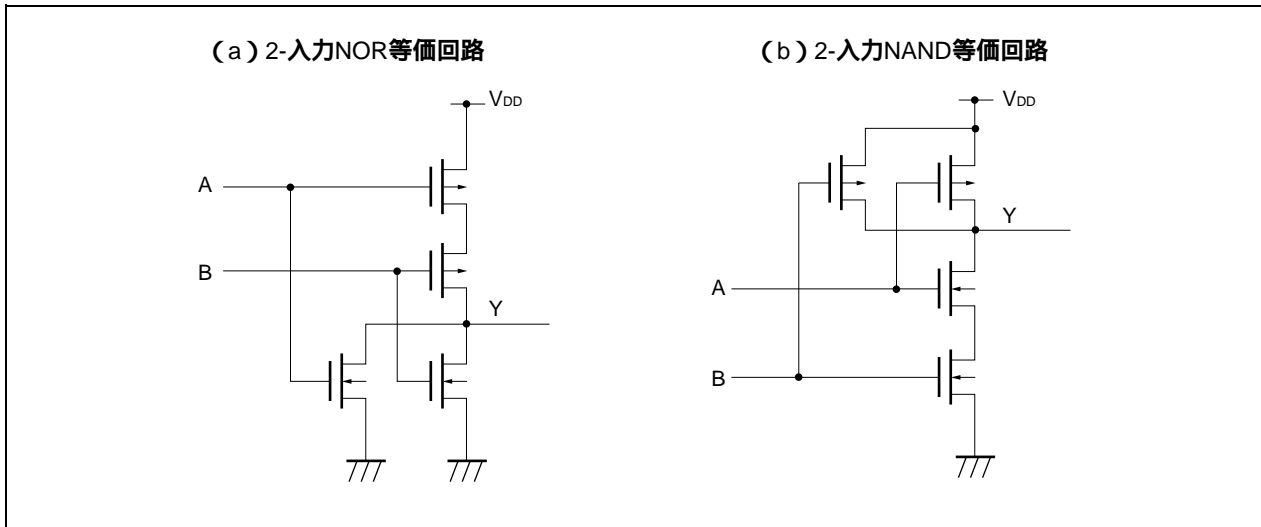
図1 - 6 (a), (b) に2入力NORゲートと2入力NANDゲートの等価回路図を示します。

一般にP-ch.Trに比べると，N-ch.Trの方がオン抵抗が低い（半分程度）ため，N-ch.Trの方が大きな電流を流すことができます。このため，図1 - 6 (a) のように，P-ch.Trが直列に接続されているNORゲートでは出力の立ち上がり側のオン抵抗がとて大きくなり，負荷の駆動能力が低下してしまいます。

CMOSロジックでは，NOR系のブロックはNAND系のブロックよりスピードが遅くファンアウト特性もよくないので，できるだけNAND系のブロックを使用して回路を構成したほうが回路のスピードが上がり，回路の安定度も上がります。

また，同様の理由からトランジスタがたくさん直列に接続される複合ゲートもスピードが遅くなりがちですので，高速な回路での使用は控え，あまりスピードを要求しない部分で使用するのが回路の安定度とセルの有効利用を図るうえで良い手段です。

図1-6 等価回路



1.3.4 3 V ライン , 5 V ラインとの接続

ゲートアレイ部を構成する $0.35\mu\text{m}$ プロセスのトランジスタ加工技術を用いたEA-9HDシリーズは、3.3 Vを標準電源電圧としています。しかし、すべてのLSIの標準電源電圧が3.3 Vになったわけではありません。そのため、EA-9HDシリーズでは、従来の5 V電源電圧用のLSIとの接続が可能なインタフェース・ブロックを用意しています。

LVTTL入力ブロックは3.3 Vの信号を受けるためのブロックなので、5 V信号の受信はできません。5 V信号は、5 V耐圧入力ブロックで受けます。この5 V耐圧入力ブロックは、将来エンベデッドアレイの周辺回路の電源電圧が3.3 Vになった場合を想定し、3.3 Vの信号も受信可能になっています。また、活線挿抜用にも利用できる、fail safe機能付きLVTTL入力ブロックも用意しています。

出力バッファは、従来と同様、出力ハイ・レベルがエンベデッドアレイの V_{DD} と同じレベルになるLVTTL出力ブロックのほかに、5 V耐圧出力ブロックも用意しています。この5 V耐圧出力ブロックは従来品と異なり、LSIの電源電圧より高い15 Vで端子をプルアップできます。このため、5 Vバス・ラインへの接続が可能になります。

また、EP-1シリーズではオプションとして、新たに5 Vフルスイング・バッファも使用可能です。別途5 V電源を設けることにより、5 Vの入出力が可能になります。5 V耐圧出力ブロックと異なり、外部プルアップが不要で、外部部品、静消費電力の削減につながります。なお、別途5 V電源を設けますが、内部電源電圧は、3.3 Vです。また、5 Vフルスイング・バッファを使用する場合は、バッファの配置に制限があるので注意してください。詳細は、**第10章 5 Vフルスイングバッファ使用上の注意**を参照してください。

各ブロックの詳細については、9.1 LVTTL, 5 V耐圧ブロック, 5 Vフルスイング・バッファを参照してください。

1.3.5 メモリの選択

ゲートアレイ部のメモリ・マクロは、セルベースICタイプとゲートアレイ・タイプのメモリ・マクロが使用できます。それぞれに次のような特徴がありますので、選択にあたってはユーザの回路の特性に適したタイプをご選択ください。

種 類	長 所	短 所
セルベース IC タイプ・メモリ	<ul style="list-style-type: none"> • サイズが小さい • スピードが速い • ビット/ワードの自由度が高い 	<ul style="list-style-type: none"> • 下地作成後の変更は不可能
ゲートアレイ・タイプ・メモリ	<ul style="list-style-type: none"> • 下地作成後も配置可能であれば サイズ変更可能 	<ul style="list-style-type: none"> • サイズが大きい • スピードが遅い • ビット/ワードの組み合わせが固定

種 類		サイズ範囲	
セルベース IC タイプ	高速 RAM	1 ポート / 同期式	1~32 ビット, 32~2 Kワード (1 ビット/8 ワード単位で可変)
		2 ポート / 同期式 (RW+R)	1~32 ビット, 32~2 Kワード (1 ビット/16 ワード単位で可変)
	高密度 RAM	1 ポート / 同期式	1~32 ビット, 16~2 Kワード (1 ビット/16 ワード単位で可変)
		2 ポート / 同期式 (W+R)	1~32 ビット, 32~1 Kワード (1 ビット/8 ワード単位で可変)
ゲートアレイ・ タイプ	高密度 RAM	1 ポート / 非同期式	ビット/ワード固定 (組み合わせは表 3 - 4 参照)
		2 ポート / 非同期式 (W+R)	ビット/ワード固定 (組み合わせは表 3 - 4 参照)

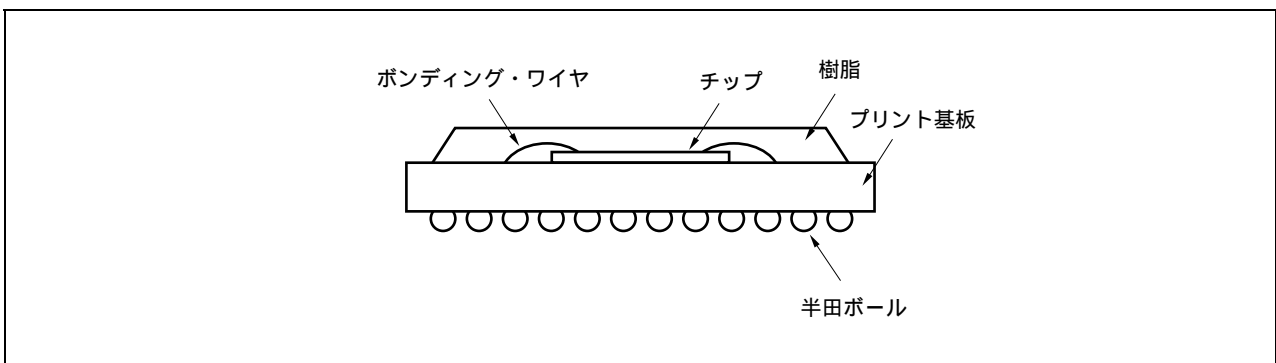
1.4 EP-1シリーズのパッケージ

EP-1シリーズで採用しているBGAパッケージは、多ピンLSI用のパッケージです。表面実装型パッケージの一種で、プリント基板の裏面に半田ボールを並べ、リードの代わりにします。プリント基板の表面にLSIチップを乗せ、モールド樹脂あるいはポッティングで封止します。

EP-1シリーズでは、プリント基板にガラスエポキシ系のプラスチック樹脂を採用したPBGAで構成されます。

図1-7にPBGAの断面図を示します。

図1-7 PBGAの断面図



1.5 開発フロー

EP-1シリーズでは、マイコンと組み合わせる固有の機能をゲートアレイで実現します。全体の開発フローを図1-8に示します。

最初に、内蔵可能なマイコン・チップの仕様がシステム仕様に合っているか、不足する機能はあるか、その不足する機能はハードウェアで実現できるか、ソフトウェアで実現できるかなどのシステム仕様を検討します。

EP-1シリーズの開発では、プロトタイピング環境の「EP-1シリーズ開発評価ボード」を使用します。

「EP-1シリーズ開発評価ボード」には、EP-1シリーズに搭載するマイコン・チップが搭載されています。したがって、開発着手段階におけるシステム仕様検討にも使用できます。ゲートアレイで実現する機能は、この開発ボード上のFPGA (Field Programmable Gate Array) に実装して評価します。EP-1シリーズのプロトタイプとして、事前のハードウェア・デバックすることができます。また、ソフトウェアの先行開発やシステムの事前評価にも使用できます。

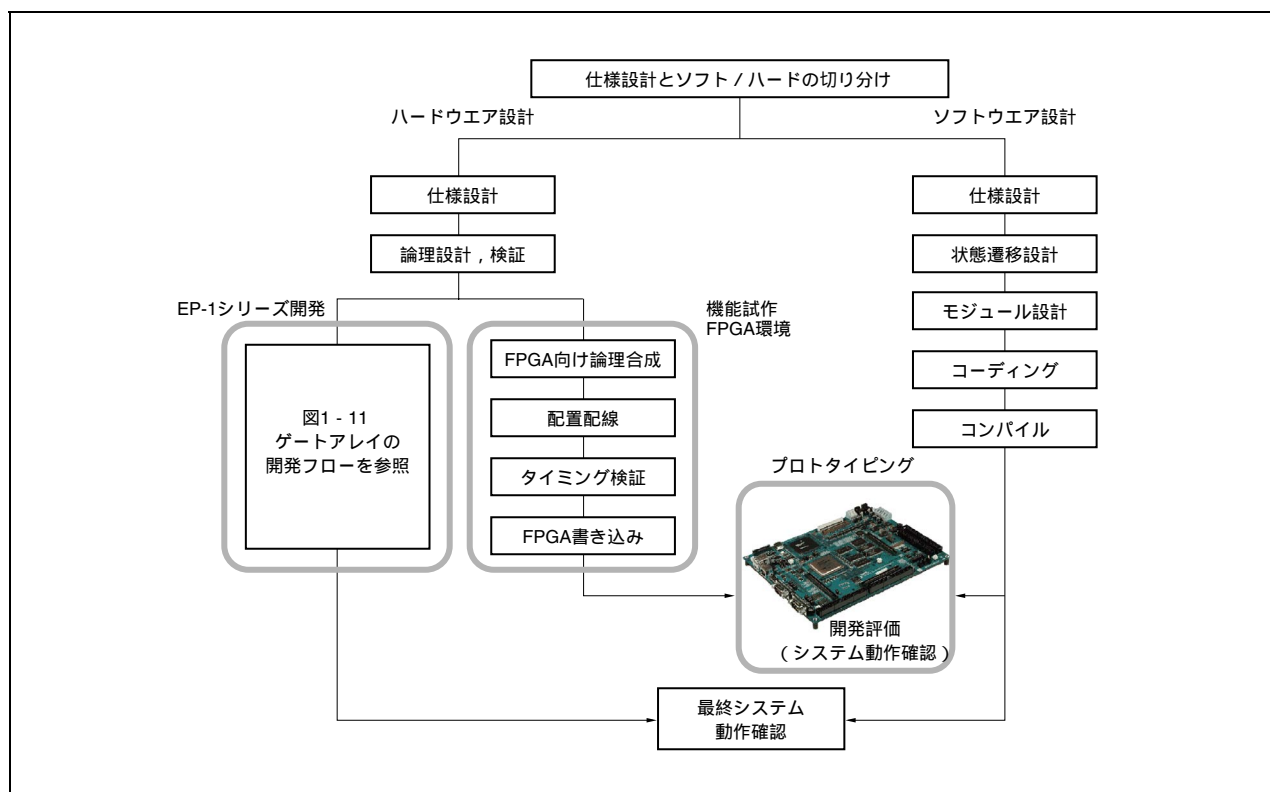
この開発評価ボードを活用すると、仕様・システム設計から機能設計・検証の大部分を事前に実施できます。ただし、ゲートアレイ固有の回路設計ルールや、SiP固有の内部接続を意識した設計ルールに従い、設計を修正する必要があります。

ゲートアレイの開発では、物理面での検討も必要になります。SiPとしての制約を考慮し、回路規模や消費電力、必要な端子数などの仕様に従い、ゲートアレイ・マスタ選択、パッケージ選択、端子配置を行います。以降の設計フローは、通常のゲートアレイの設計と同様です。

ゲートアレイの設計が完了したら、ゲートアレイの製造、専用マイコンとゲートアレイをSiP化、選別テスト・検査を経て、出荷されます。エンジニアリング・サンプル (ES : Engineering Sample) は、ゲートアレイの製造開始から標準的なケースで約30日です。

機器メーカーによるESを使用したシステム評価で、問題ないことが確認できたら開発は完了です。

図1-8 EP-1シリーズの開発フロー



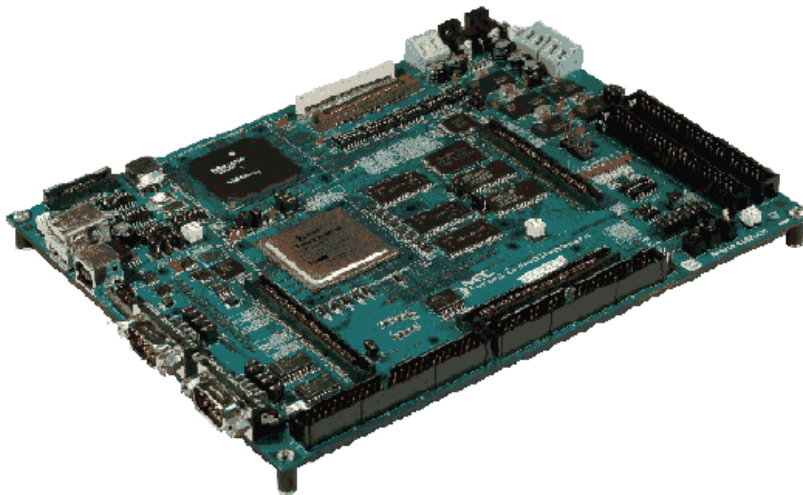
1.5.1 プロトタイピング環境

EP-1シリーズ開発評価ボードは、EP-1シリーズに搭載するマイコン・チップをそのまま搭載した開発評価ボードです（図1-9(a)と(b)を参照）。実際のEP-1シリーズの開発用だけではなく、従来のマイコン+ゲートアレイ/FPGAの置き換えができるかという性能確認作業や、ソフトウェアとハードウェアのトレードオフの検討用にも利用できます。なお、開発評価ボードは、標準開発評価ボード（本格的にプロトタイピングを行うユーザ向け）と、小型開発評価ボード（導入検討するユーザ向け）の2種類を準備しています。

図1-10(a)と(b)には、ボードのブロック図を示します。SiP内部でマイコン・チップとペアをなすゲートアレイの機能は、ボード上のFPGAに構成します。また、一般的なシステムに必要なSDRAM、フラッシュ・メモリ、SRAMなどもボード上に搭載しています。システム拡張用のコネクタを利用して、機器メーカーのシステムで必要な機能のボードと接続することで、よりシステム的な評価も行うことができます。

図1-9 EP-1シリーズ開発評価ボード

(a) EP-1シリーズ標準開発評価ボード（基板サイズ：168×220 mm）



(b) EP-1シリーズ小型開発評価ボード（基板サイズ：105×130 mm）

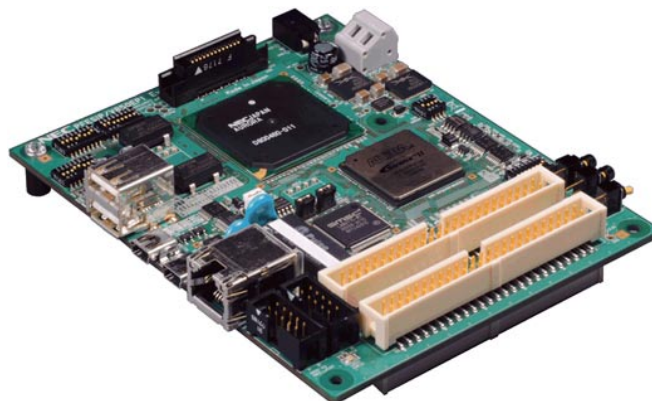
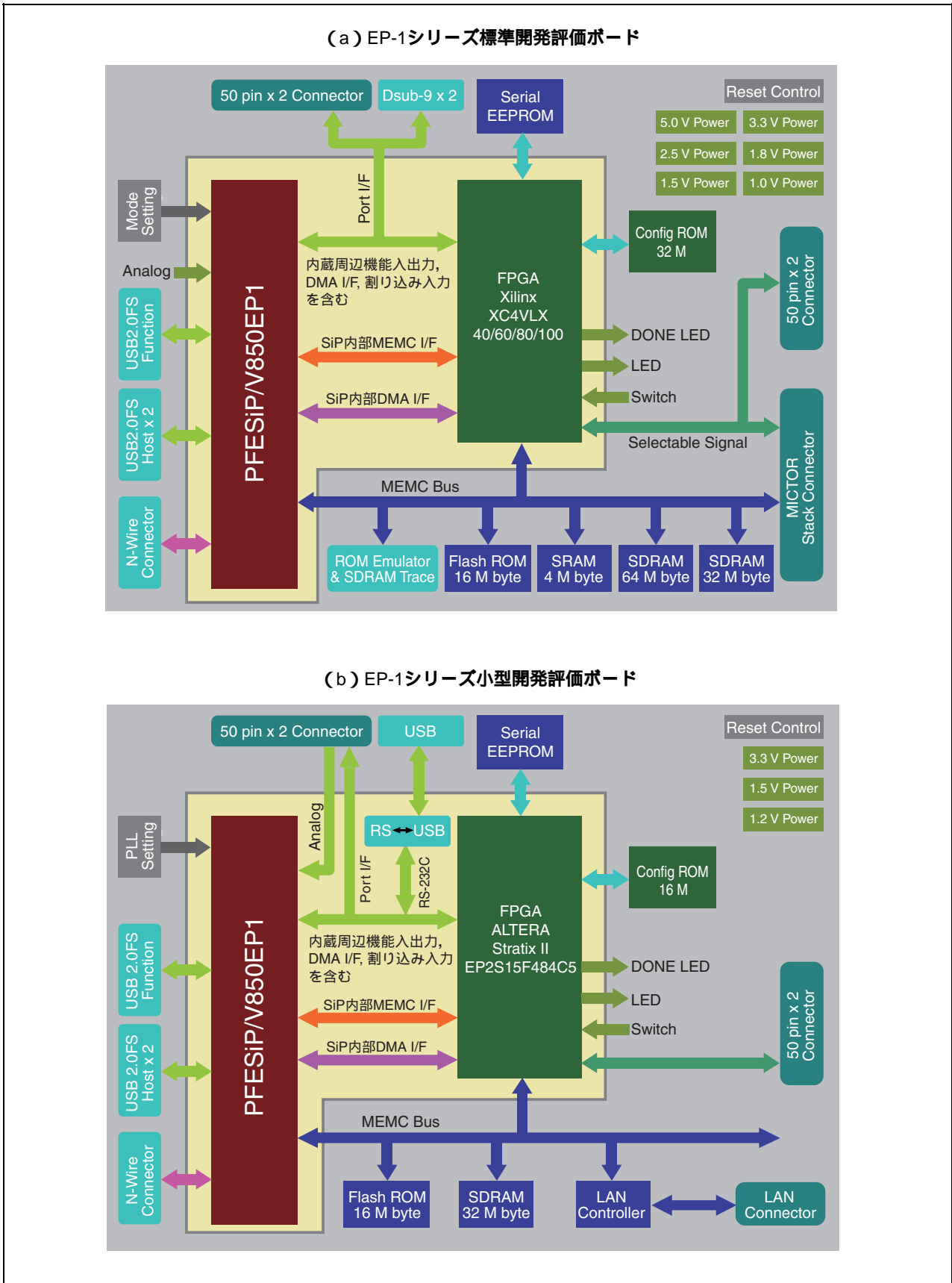


図1 - 10 EP-1シリーズ開発評価ボード (ブロック図)



1.5.2 ソフトウェアの開発フロー

EP-1シリーズのソフトウェア開発では、PFESiP/V850EP1評価チップを使用して、エミュレーション・ボードを作成して開発を行ってください。

弊社ではPFESiP/V850EP1を搭載した「開発評価ボード」を準備しています。

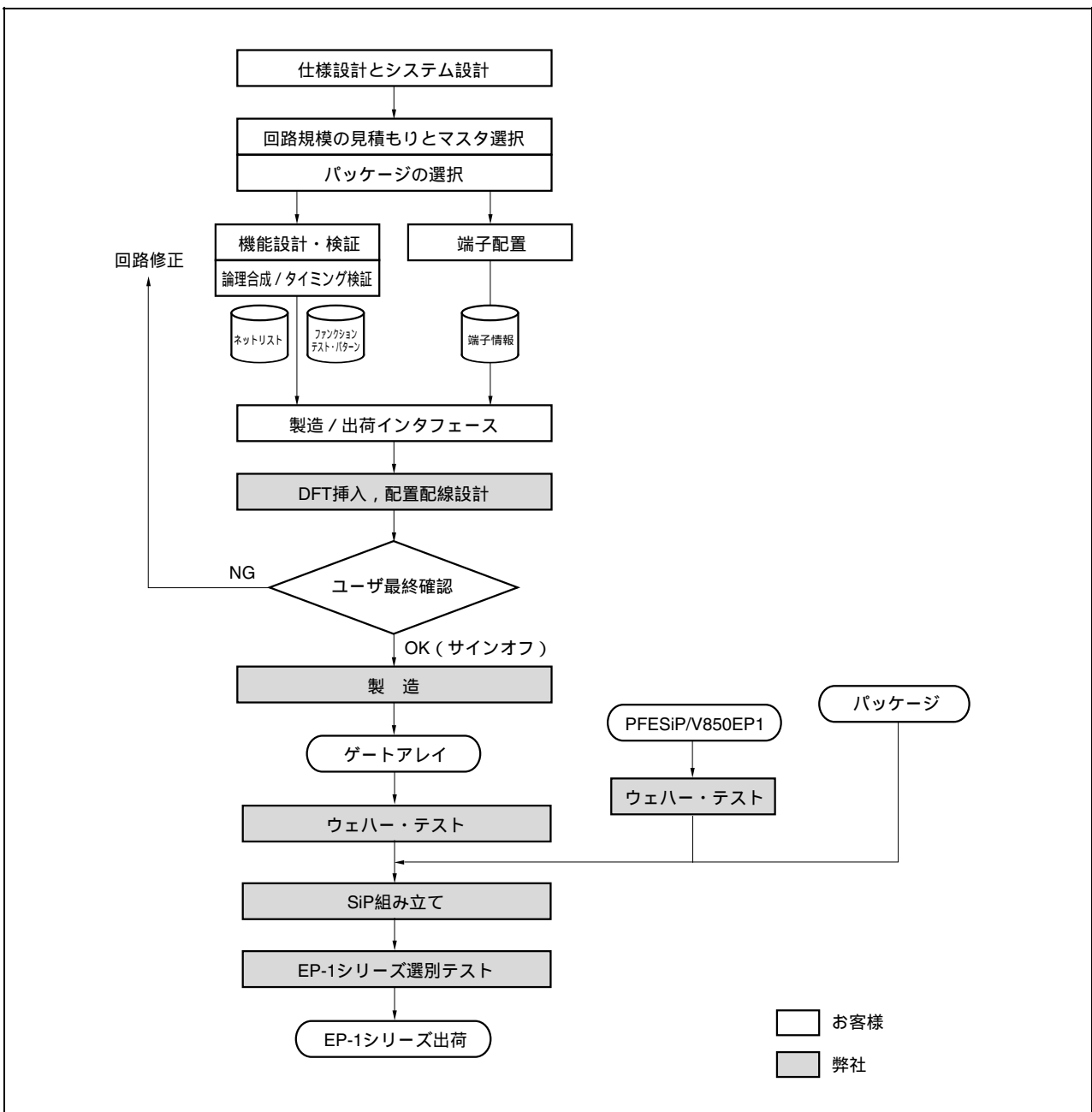
開発評価ボードの詳細については、弊社までお問い合わせください。

1.5.3 ゲートアレイの開発フロー

EP-1シリーズのゲートアレイの開発フローの概要を説明します。詳細は、3.6 ゲートアレイの開発フローを参照してください。

図1-11にゲートアレイの開発からSiPの製造・出荷までのフローを示します。

図1-11 ゲートアレイの開発フロー



(1) 仕様設計とシステム設計

必要な機能を低コストで効率良く実現するための仕様を設計します。

SiP としての仕様設計とシステム設計，プロトタイピングの過程で，ゲートアレイで実現する部分の仕様設計とシステム検討はほぼ完了しています。

ここでは，ゲートアレイ固有の設計制約を考慮して，仕様の再検討・修正を行います。内部回路のデータ・フロー，クロック系統の検討，インタフェース検討，メモリ・マクロの見積もりなどを行います。

(2) 回路規模の見積もりとマスタの選択

EP-1 シリーズでは，外部バスとして 16 ビット版と 32 ビット版があります。また，ゲートアレイ部に対して使用できるゲート数が異なる 3 マスタがあり，計 6 マスタから選択することができます。

詳細は，1.2 EP-1 シリーズの製品構成を参照してください。

(3) 消費電力の見積もりとパッケージの選択

EP-1 シリーズでは，5 種類の PBGA (Plastic Ball Grid Array) パッケージを使用できます。

使用できる端子数や熱容量が異なるため，消費電力や使用端子数を見積もり，必要な仕様にあわせて選択してください。詳細は，1.2 EP-1 シリーズの製品構成を参照してください。

(4) 端子配置

EP-1 シリーズとしての端子配置は，ゲートアレイの使用端子を決定することになります。

マイコンの端子や電源端子，未接続端子の配置は，あらかじめ決定されています。

(5) 機能設計・検証

ゲートアレイのマスタである EA-9HD シリーズの設計ルールを守り，回路を設計します。

一般的な HDL 記述による機能モデリングで設計・検証を行います。

FPGA でプロトタイピングを行っている場合は，EA-9HD シリーズの設計ルールへの準拠と，I/O やマクロの置き換えのために HDL コードの書き換えが必要になります (変換ツールも用意しています)。

また，回路に RAM や ROM が必要な場合は，メモリ・コンパイラを使用します。ビット幅およびワード数を指定して，簡単に必要な RAM や ROM ライブラリを作成することができます。

SiP 内部接続信号については，回路構成に関する制約があります。

(6) 論理合成 / タイミング検証

HDL で記述された回路を，論理合成によりゲート・レベルのネットリストに変換します。

論理合成の条件により，回路規模や動作周波数が変化するので最適化する必要があります。

SiP 内接続信号は，マイコンの仕様に従って設計することになります。

この特性を合成スクリプトに記述して，タイミング制約として与えます。

合成後に，マイコンの AC 特性に従ってタイミング検証を行います。

最後に，RTL との形式検証，設計ルール・チェック (DRC) を実施します。

(7) 設計データのインタフェース

設計したゲートアレイについては，検証済みのネットリストと端子情報ファイル，機能テスト・パターンを弊社にインタフェースします。

DFT (Design for Test) ツールによるテスト回路挿入は，弊社で行います。

以後，配置配線，ATPG (テスト・パターン生成) を行い，機器メーカーの設計者には，バス・ディレイ・ファ

イル (SDF), 故障検出率結果, 故障未検出リストをフィードバックします。この情報をもとに, タイミング検証, 故障検出率を確認して, 問題がある場合は, 回路を修正して, 再度同じフローを行います。

すべての確認を終えると, サインオフとなります。

(8) ゲートアレイの製造から SiP 出荷

ゲートアレイは, 製造後にシリコン・ウェハの状態では電気的なテストを行います (ウェハ・テスト)。

すでにテスト済みの専用マイコン・チップと一緒に 1 つの半導体パッケージに搭載され, ワイヤ接続を行ったあとに樹脂により封止されます。

パッケージングされた状態で, 再度電気的なテストを行います (選別テスト)。

その後, 外観検査などの検査工程を経て EP-1 シリーズとして出荷されます。

1.6 EP-1 シリーズにおける下地の先行発注および上地改版リワーク

EP-1シリーズでは、ユーザ・ロジック部分がゲートアレイと同じ構造になっています。

そのため、あらかじめ搭載するコアおよびユーザ・ロジックのゲート数を決めておくことで、お客様が回路設計を行っている間に、マスクの作成を配置配線手前（下地拡散完了）まで進めることができます。これを下地の先行発注と言います。そして、シミュレーション終了後、配置配線を実施します。

この方式によって、ES（Engineering Sample）までの納期をより短くすることが可能になります。ただし、下地の先行発注を行うために、次の条件とデータがそろっている必要があります。また、EMI対策のために容量セルを搭載する場合は、下地を先行して発注することができませんのでご了承ください。

[EP-1シリーズにおける下地の先行発注の条件]

- (1) 次の点が確定している。
 - (a) 使用するセルベースICタイプ・マクロの種類と個数
 - (b) 使用するパッケージの種類とピン数
- (2) 次の点についての概略検討で見通しが立っている。
 - (a) パッケージ許容消費電力
 - (b) 同時動作
 - (c) クリティカル・パス
 - (d) ユーザ・ロジック部のセル使用率が配線不可能なほど増えないこと
 - (e) I/Oバッファの配置位置が決まっていること（入れ替えないこと）
- (3) お客様から下地マスク発注の承認が得られていること。

[EP-1シリーズにおける下地の先行発注に必要なデータ]

- (1) 前記の下地の先行発注の条件における（1）の情報
- (2) 次の点を満足するネットリスト（弊社でのインタフェース可能なフォーマット：EDIF, PWC）
 - (a) 前記の下地発注の条件における（1）の（a）の各ブロックを使用する数だけ含み、ゲートアレイの設計ルール・チェック・プログラムが正常に終了するネットリストであること。ただし、回路情報に関するエラーの有無は問いません。
 - (b) ユーザ・ロジック部の最終時の回路規模が、この下地の先行発注で使うネットリストの規模から見て、5%以内の増加に収まると見込めること。ただし、5%というのはあくまで目安です。下地に搭載可能なロジック数までしかゲート数は増加できません。

[EP-1シリーズにおける下地の先行発注、上地改版のみのリワークでの注意]

下地先行発注をした場合、あるいは上地改版のみによるリワークが発生した場合、端子配置の変更ができないのでご注意ください。端子配置変更の必要が生じた場合には、下地からの改版となります。

ただし、LVTTTLバッファ/5V耐圧バッファからFILL CELL（I/Oバッファが配置されないI/O領域に配置するセル）へは変更できます。

また、LVTTTLバッファで同一タイプのバッファであれば駆動能力変更も基本的には可能です。

それ以外のケースで端子配置の変更をしたい場合は、別途弊社へご連絡ください。

第2章 PFESiP/V850EP1の概要

PFESiP/V850EP1は、SiP化を前提に開発されたEP-1専用マイコン・チップで、V850E2 CPUコアを採用しています。CPUコアは200MHz (MAX.)、内部バスは100MHz (MAX.)で動作します。このCPUコアには、命令キャッシュ、データ・キャッシュを内蔵しています。また周辺機能には、DMAコントローラ、割り込みコントローラ、汎用ポート、タイマ、シリアル・インタフェース、A/Dコンバータ、メモリ・コントローラ、USB 2.0 FS (Full-Speed) / LS (Low-Speed) に対応したホスト・コントローラ、USB 2.0 FS (Full-Speed) に対応したファンクション・コントローラを内蔵しています。

外部メモリにはROM / ページROM / SRAM, SDRAMを接続できます。また命令RAMとデータRAMを内蔵し、外部プログラムを命令RAMに転送して実行することで、処理の高速化も可能です。

ソフトウェアの応用評価では、内蔵のデバッグ・コントロール・ユニット (DCU) を用い、N-Wire型インサーキット・エミュレータによるデバッグ、プログラムのダウンロードが可能です。

PFESiP/V850EP1は、V850E2 CPUコア内蔵汎用マイコン同様に、JPEG, JBIG, MH/MR/MMR, TCP/IPなどのミドルウェアを高速実行できます。また、音声認識、音声合成などの処理を実現するミドルウェアも用意されているので、これらのミドルウェアと組み合わせることにより、マルチメディア・システムを容易に実現できます。

また、最適化Cコンパイラ、デバッガ、インサーキット・エミュレータなどの統合された開発環境も用意しています。

PFESiP/V850EP1の詳細については、PFESiP/V850EP1 **ハードウェア編 (CPU機能) ユーザーズ・マニュアル (A19070J)** を参照してください。

2.1 機能

(1) 「V850E2 CPU」コア

「V850E2 CPU」は、従来の「V850E1 CPU」に対して、パイプライン段数を7段に拡張し、あわせて128ビット・フェッチ・バスを採用し、高スループットを実現しています。

2バイト長の基本命令、高級言語対応命令などにより、Cコンパイラでのオブジェクト・コード効率を高め、プログラム・サイズのコンパクト化を実現します。

また、PFESiP/V850EP1に内蔵しているNBA85E2S CPUコアには、8Kバイト4ウェイ・セット・アソシアティブ構成の命令キャッシュ、データ・キャッシュを内蔵しています。

(2) WDREG001PDA [word] W [bit] C1 (暫定)

PFESiP/V850EP1には、CPUとDMAコントローラが出力するチップ・セレクト信号を、実際の外部メモリに接続する前に、リマップする機能を持っています。命令 / データ・キャッシュの許可 / 禁止はCPUが出力するチップ・セレクト信号単位でのみ設定できますが、リマップ機能を利用することで単一のSRAMやSDRAMにCPUのチップ・セレクト信号を複数本割り当てることができるため、単一のSRAMやSDRAMに対して、命令キャッシュ許可領域、データ・キャッシュ禁止領域、データ・キャッシュ許可領域を複合的に配置できます。この機能により、外部メモリ個数を削減しながら性能を確保できます。

(3) 大容量RAM内蔵

PFESiP/V850EP1は、用途別に3種類の大容量RAMを内蔵しています。

RAMの種類	容量	機能呼称	回路呼称	フェッチ	接続バス
命令RAM	192Kバイト	命令RAM	iLB_RAM	可能	iLB
データRAM	32Kバイト	データRAM	dLB_RAM	可能	dLB
ワークRAM	32Kバイト	ワークRAM	VSB_RAM	可能	VSB

(a) 命令RAM (iLB_RAM)

命令RAMは、iLBバスに192Kバイト実装しています。iLBはワイドな128ビット・フェッチ・バスを採用しており、また高速なCPCLKでレーテンシ=3アクセスします。リアルタイム性を必要とする、アプリケーション・プログラムの実行が可能です。主にプログラムや固定データに利用されます。

(b) データRAM (dLB_RAM)

データRAMは32Kバイト実装しています。CPCLKの1クロックでアクセスされる高速データRAMです。主に可変データやスタックに利用されます。

(c) ワークRAM (VSB_RAM)

同期バスである内部VSBバスに、32KバイトのRAMを接続しています。iLBバスで接続されている命令RAMや、dLBバスに接続されているデータRAMと比較すると、アクセスにはVBCLKの2クロックを必要としますが、外部メモリと比較して高速にアクセスできます。

このワークRAMは、CSC0レジスタで設定したCSZ2領域に割り当てることができ、またこの機能を利用しない状態に設定することもできます。

また、このワークRAMは、プログラム実行もデータ・アクセスにも利用できます。特にCPUが命令RAMやデータRAMのみで実行しているときに、外部メモリとワークRAM間のDMA転送を並列処理することができます。

(4) SiP内部接続用外部バス・インタフェース、DMAインタフェース

外部バス・インタフェースとは独立に、外部バス・インタフェースのサブセットとして、SiP内部接続専用の外部バス・インタフェース、DMAインタフェースを持ち、SiP製品を容易に実現できるように配慮されています。このインタフェースは、SiP内部接続用にドライブ能力の最適化を図っています。なお、バスが独立しているため、外部バス・インタフェースとの間でのDMAフライバイ転送はできません。

(5) USB2.0FS/LS

USB 2.0 FS / LSに対応したホスト・コントローラ、USB 2.0 FSに対応したファンクション・コントローラを内蔵しています。

(6) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、CPU内部の命令キューに取り込まれます。

BCUは、DRAMコントローラ (DRAMC)、ページROMコントローラ (ROMC)、DMAコントローラ (DMAC) を制御し、外部メモリへのアクセスやDMA転送を行います。

(a) SDRAMコントローラ

SDRASZ, SDCASZ, DQM0-DQM3信号の生成とSDRAMへのアクセス制御を行います。

また、CBRリフレッシュ・サイクルに対応したりリフレッシュ機能および外部入力によるダイナミックなセルフ・リフレッシュ機能があります。

(b) ページROMコントローラ (ROMC)

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとの比較を行い、通常アクセス (オフページ) / ページ・アクセス (オンページ) のウェイト制御を行います。8-128バイトのページ幅に対応できます。

(c) DMAコントローラ (DMAC)

CPUの代わりにメモリ、I/O間でのデータの転送を行います。

転送タイプには、フライバイ (1サイクル転送)、2サイクル転送があります。転送モードには、シングル転送、シングルステップ転送 (DXSTEPレジスタ設定)、ブロック転送の3種類があります。

(7) 割り込みコントローラ (INTC)

内蔵周辺I/O (NPB) および、外部からのハードウェア割り込み要求 (NMI, INTPZ0-INTPZ31) を処理します。これらの割り込み要求は、8レベルの割り込み優先順位が指定でき、割り込み要因に対して多重処理制御を行うこともできます。

(8) クロック・ジェネレータ (CG)

内蔵PLLマクロの設定端子を外部端子に設けているため、任意の逡倍率、任意のSSCG設定のクロックを内部システム・クロック (CPCLK) として供給できます (AC特性の範囲で使用してください)。VSBバス・クロック (VBCLK) は、CLKDV0, CLKDV1端子の設定で、パイプライン用クロック (CPCLK) を分周 (2分周 / 3分周 / 4分周) して供給できます。

入力クロックとして外部発振子をXT1, XT2端子に接続します。

(9) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを4チャンネルと、16ビットのインターバル・タイマを6チャンネル、16ビット2相エンコーダ入力用アップ/ダウン・カウンタ/タイマを2チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

(10) シリアル・インタフェース (SIO)

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART5) を4チャンネルと、クロック同期式シリアル・インタフェース (CSI0) を2チャンネル内蔵しています。

また、USB ホスト・コントローラ、USBファンクション・コントローラを内蔵しています。

(11) A/Dコンバータ (ADC)

8本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(12) PWM

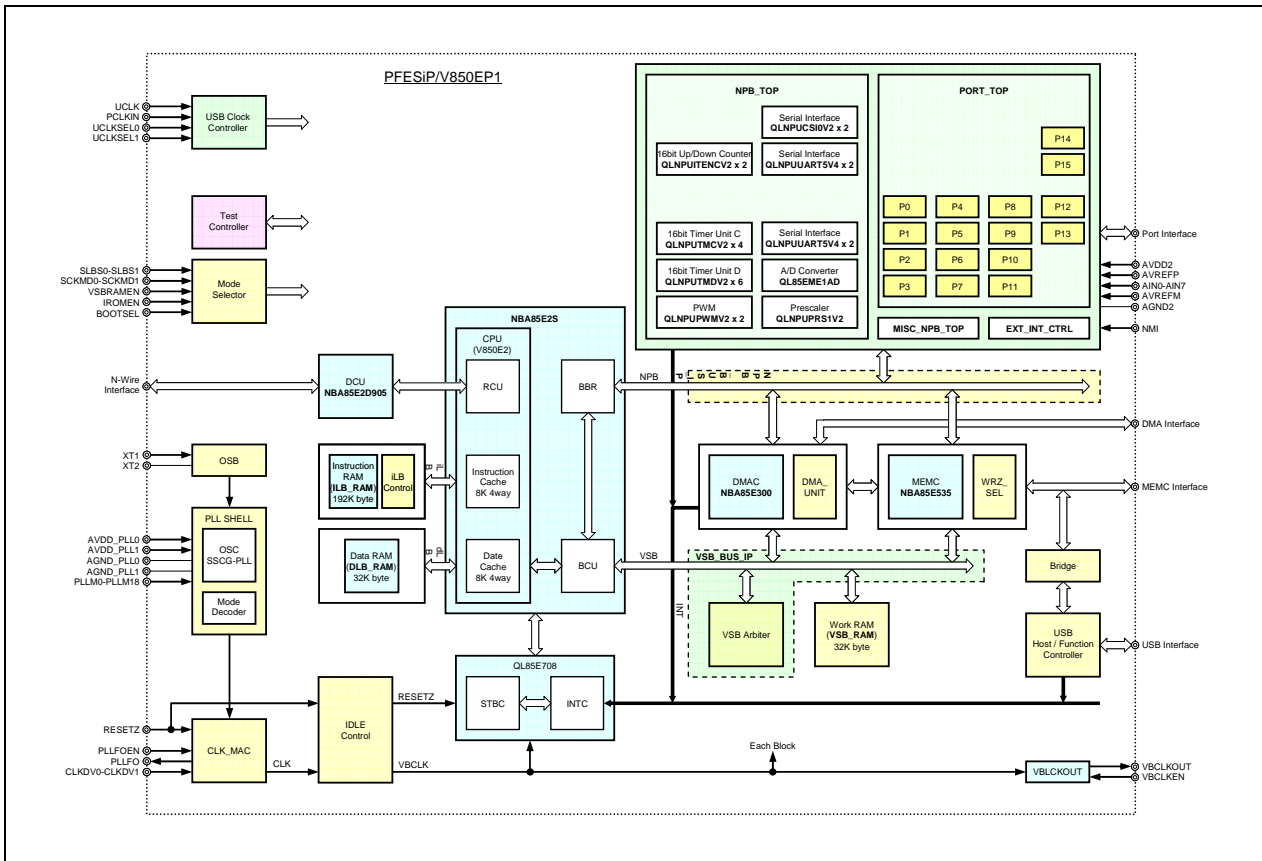
8/9/10/12ビット分解能のPWM信号出力を2チャンネル備えています。PWM出力は、外部ロー・パス・フィルタを接続することによって、デジタル-アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

(13) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート0 (P00-P07)	8ビット入出力	外部割り込み入力
ポート1 (P10-P17)	8ビット入出力	外部割り込み入力
ポート2 (P20-P27)	8ビット入出力	外部割り込み入力 (SiP内部接続優先)
ポート3 (P30-P37)	8ビット入出力	アシンクロナス・シリアル・インタフェース入出力
ポート4 (P40-P47)	8ビット入出力	タイマC入出力
ポート5 (P50-P57)	8ビット入出力	タイマC出力, タイマENC入力
ポート6 (P60-P67)	8ビット入出力	外部アドレス・バス
ポート7 (P70-P77)	8ビット入出力	外部バス・インタフェース入力 (WAITZ), 外部バス・インタフェース出力 (チップ・セレクト)
ポート8 (P80-P85)	6ビット入出力	外部バス・インタフェース入出力
ポート9 (P90-P97)	8ビット入出力	外部データ・バス
ポート10 (P100-P107)	8ビット入出力	外部データ・バス
ポート11 (P110-P116)	7ビット入出力	タイマENC入出力, オプションN-Wireインタフェース入出力, A/D変換トリガ入力
ポート12 (P120-P127)	8ビット入出力	DMAコントローラ出力 (ターミナル・カウント, アクノリッジ)
ポート13 (P130-P133)	4ビット入出力	DMAコントローラ転送要求入力
ポート14 (P140-P147)	8ビット入出力	クロック同期式シリアル・インタフェース入出力, PWM出力
ポート15 (P150-P157)	8ビット入出力	外部割り込み入力

2.2 内部ブロック図



2.3 入出インタフェース

P00-P07	:Port 0	CSZ0-CSZ7	:Chip Select
P10-P17	:Port 1	A0-A25	:Address Bus
P20-P27	:Port 2	D0-D31	:Data Bus
P30-P37	:Port 3	RDZ	:Read Strobe
P40-P47	:Port 4	WRZ0-WRZ3	:Write Strobe
P50-P57	:Port 5	WRSTBZ	:Write Strobe
P60-P67	:Port 6	BENZ0-BENZ3	:Byte Enable
P70-P77	:Port 7	IORDZ	:I/O Read Strobe
P80-P85	:Port 8	IOWRZ	:I/O Write Strobe
P90-P97	:Port 9	DQM0-DQM3	:SDRAM DQ mask enable
P100-P107	:Port 10	SDWEZ	:SDRAM Write enable
P110-P116	:Port 11	SDCASZ	:SDRAM Column address strobe
P120-P127	:Port 12	SDRASZ	:SDRAM Row address strobe
P130-P133	:Port 13	SDCKE	:SDRAM Clock Enable Output
P140-P147	:Port 14	WAITZ	:Wait Input
P150-P157	:Port 15	HLDQZ	:Hold Request
		HLDKZ	:Hold Acknowledge
TO0-TO3	:TMC external pulse Outputs	BCYSTZ	:Bus Cycle Start Timing
TI0-TI3	:TMC external clock Inputs	BUSCLK	:SDRAM Clock / Bus Clock output
TCLR0-TCLR3	:TMC clear request Inputs	REFRQZ	:Refresh Request
ETIUD0-ETIUD1	:TMENC count pulse Inputs	SELFREFZ	:Self-refresh Request
ETCUD0-ETCUD1	:TMENC count pulse Inputs		
ETCLR0-ETCLR1	:TMENC clear Inputs	AVDD_AD	:A/D Converter VDD (3.3V)
ETO0-ETO1	:TMENC outputs	AVREFP	:A/D Converter Reference Voltage +
PWMO0-PWMO1	:PWM Outputs	AIN0-AIN7	:Analog Input
		AVREFM	:A/D Converter Reference Voltage -
		AGND_AD	:A/D Converter GND
TXD0-TXD3	:UART transmit Outputs	UCLK	:USB Clock Input
RXD0-RXD3	:UART receive Inputs	UHD0P	:USB Host Channel 0 D+
SCK0-SCK1	:Clocked Serial Interface Clock I/O	UHD0M	:USB Host Channel 0 D-
SI0-SI1	:Clocked Serial Interface Serial Input	UHD1P	:USB Host Channel 1 D+
SO0-SO1	:Clocked Serial Interface Serial Output	UHD1M	:USB Host Channel 1 D-
ADTRG	:A/D Trigger Input	PPON0	:USB Host Channel 0 PPON
		PPON1	:USB Host Channel 1 PPON
NMI	:Non-Maskable Interrupt Request	OCIO	:USB Host Channel 0 OCI
INTPZ0-INTPZ7	:Interrupt Request & TMC Capture Trigger	OCI1	:USB Host Channel 1 OCI
INTPZ8-INTPZ11	:Interrupt Request & TMENC Capture Trigger	UFD0P	:USB Function D+
		UFD0M	:USB Function D-
INTPZ12-INTPZ15	:Interrupt Request	VBUSDET	:USB VBUS Detect
INTPZ16-INTPZ23	:Interrupt Request for SiP Internal	PCLKIN	:USB Bus Bridge Clock Input
INTPZ24-INTPZ31	:Interrupt Request	UCLKSEL0-	:USB Clock Select
		UCLKSEL1	
DMARQZ0-DMARQZ3	:DMA Request		
DMAAKZ0-DMAAKZ3	:DMA Acknowledge		

TCZ0-TCZ3	:DMA Terminal Count Outputs	SLBS0-SLBS1	:Local Bus Size Select
SDMARQZ0-	:DMA Request for SiP Internal	VBCLKEN	:VBCLK Output Enable
SDMARQZ1		SCKMD0-	:BUSCLK Divide Control
SDMAAKZ0-	:DMA Acknowledge for SiP Internal	SCKMD1	
SDMAAKZ1		CLKDV0-CLKDV1	:VBCLK Divide Control
STCZ0-SCZ1	:DMA Terminal Count Outputs for SiP Internal	VSBRAMEN	:VSB RAM Enable
		BOOTSEL	:Boot Select
		MODE0-MODE1	:Operation Mode
SCSZ0-SCSZ3	:Chip Select for SiP Internal	PLL0-PLL6	:PLLM0-PLLM6:PLL Divider Select
SA0-SA20	:Address Bus for SiP Internal	PLL7-PLL9	:PLLN0-PLLN2
SD0-SD15	:Data Bus for SiP Internal	PLL10-PLL11	:PLLPO-PLLP1
SRDZ	:Read Strobe for SiP Internal	PLL12	:SSMDL0:Modulation Frequency Range
SWRZ0-SWRZ1	:Write Strobe for SiP Internal	PLL13	:SSMDL1
SWRSTBZ	:Write Strobe for SiP Internal	PLL14-	:SSADJ0-:SSCG Jitter Select
SBENZ0-SBENZ1	:Byte Enable for SiP Internal	PLL16	:SSADJ2
SIORDZ	:I/O Read Strobe for SiP Internal	PLL17-PLL18	:PLLS0-PLLS1
SIOWRZ	:I/O Write Strobe for SiP Internal		
SWAITZ	:Wait Input for SiP Internal	TMODE0	:Test Mode Select
SHLDRQZ	:Hold Request for SiP Internal	TMODE1	:Test Mode Select
SHLDAKZ	:Hold Acknowledge for SiP Internal	TMODE2	:Test Mode Select
SBCYSTZ	:Bus Cycle Start Timing for SiP Internal	TMODE3	:Test Mode Select
SBUSCLK	:Bus Clock output for SiP Internal (6mA)	TESTCLK	:Test Clock Input / Test Output
SREFRQZ	:Refresh Request for SiP Internal	TMC1	:1 Chip Test Mode Select
		TMC2	:1 Chip Test Mode Select
DDI	:Debug Data Input	TMS	:TAP Controller Mode Select
DCK	:Debug Clock Input	TDI	:Register Data Input
DMS	:Debug mode	TRST	:TAP Controller Reset
DDO	:Debug Data Output	TCK	:TAP Controller Clock
DRSTZ	:Debug Reset	TDO	:Register Data Output
DBINT	:DCU Debug Interrupt Input	IROMEN	:Instruction RAM for Test
TRCCLK	:Trace Clock		
TRCEND	:Trace End Status Output	RESETZ	:System Reset
TRCDATA0-	:Trace Data Output	VBRESTOZ	:System Reset Output
TRCDATA7		XT1, XT2	:Oscillator
EVTTRG	:DCU Event Trigger	VBCLKOUT	:System Clock Output
RMODEZ	:DCU Reset Mode	PLLFO	:PLL FO Output
EVIN	:DCU Event Trigger	AVDD_PLL0	:SSCG PLL Power Supply (1.5V)
TRCCE	:DCU Trace Complex Enable	AVDD_PLL1	:SSCG PLL Power Supply (1.5V)
		AGND_PLL0	:SSCG PLL Ground
		AGND_PLL1	:SSCG PLL Ground
		EVDD	:I/O Power Supply (3.3V)
		IVDD	:Internal Power Supply (1.5V)
		EGND	:I/O Power Ground
		IGND	:Internal Power Ground

2.4 電気的特性

2.4.1 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD15}	1.5 V系電源	-0.5 ~ +2.0	V
電源電圧	V _{DD33}	3.3 V系電源	-0.5 ~ +4.6	V
入出力電圧	V _{I/Vo}	3.3 Vバッファ V _{I/Vo} < V _{D33} +0.5 V	-0.5 ~ +4.6	V
出力電流	I _o	3.3 Vバッファ, I _{oL} = 3 mAタイプ	11	mA
		3.3 Vバッファ, I _{oL} = 6 mAタイプ	21	mA
		3.3 Vバッファ, I _{oL} = 9 mAタイプ	29	mA
		3.3 Vバッファ, I _{oL} = 12 mAタイプ	45	mA
		3.3 Vバッファ, I _{oL} = 18 mAタイプ	58	mA
動作周囲温度	T _A		-40 ~ +85	°C
保存温度	T _{stg}		-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

2.4.2 推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD15}	1.5 V系電源	1.35	1.5	1.65	V
	V _{DD33}	3.3 V系電源	3.0	3.3	3.6	V
周囲温度	T _A		+40		85	°C
ネガティブ・トリガ電圧	V _N	3.3 Vシュミット・バッファ	0.6		1.8	V
ポジティブ・トリガ電圧	V _P	3.3 Vシュミット・バッファ	1.2		2.4	V
ヒステリシス電圧	V _H	3.3 Vシュミット・バッファ	0.3		1.5	V
ロー・レベル入力電圧	V _{IL}	3.3 Vバッファ	0		0.8	V
ハイ・レベル入力電圧	V _{IH}	3.3 Vバッファ	2.0		V _{DD33}	V
入力立ち上がり時間	t _{ri}	通常入力	0		200	ns
入力立ち下がり時間	t _{fi}	通常入力	0		200	ns
入力立ち上がり時間	t _{ri}	シュミット入力	0		10	ms
入力立ち下がり時間	t _{fi}	シュミット入力	0		10	ms

2.4.3 DC特性 ($V_{DD15} = 1.5 \text{ V} \pm 0.15 \text{ V}$, $V_{DD33} = 3.3 \text{ V} \pm 0.3 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
オフステート電流	I _{oz}	V _O = V _{DD} or GND			±10	μA
出力短絡電流 ^{注1}	I _{os}				-250	μA
入力リーク電流 (3.3 Vバッファ)	I _i	V _I = V _{D33} or GND (通常入力)		±10-1	±10	μA
		V _I = GND (pull-up 50 kΩ)	-37	-103	-253	μA
		V _I = GND (pull-up 5 kΩ)	-305	-827	-1947	μA
		V _I = V _{D33} (pull-down 50 kΩ)	26	73	175	μA
アナログ入力リーク電流	I _{LWASN}	ANI0-ANI7端子			±10	μA
ブルアップ抵抗 (5 kΩ)	R _{PU}	3.3 Vバッファ	1.8	4.0	9.9	kΩ
ブルアップ抵抗 (50 kΩ)	R _{PU}	3.3 Vバッファ	14.2	31.9	80.7	kΩ
ブルダウン抵抗 (50 kΩ)	R _{PD}	3.3 Vバッファ	20.6	44.9	116.4	kΩ
ロー・レベル出力電流	I _{OL}	V _{OL} = 0.4 V (I _{OL} = 3 mAタイプ, 3.3 Vバッファ)	3.0			mA
		V _{OL} = 0.4 V (I _{OL} = 6 mAタイプ, 3.3 Vバッファ)	6.0			mA
		V _{OL} = 0.4 V (I _{OL} = 9 mAタイプ, 3.3 Vバッファ)	9.0			mA
		V _{OL} = 0.4 V (I _{OL} = 12 mAタイプ, 3.3 Vバッファ)	12.0			mA
		V _{OL} = 0.4 V (I _{OL} = 18 mAタイプ, 3.3 Vバッファ)	18.0			mA
ハイ・レベル出力電流	I _{OH}	V _{OH} = 2.4 V (I _{OL} = 3 mAタイプ, 3.3 Vバッファ)	-3.0			mA
		V _{OH} = 2.4 V (I _{OL} = 6 mAタイプ, 3.3 Vバッファ)	-6.0			mA
		V _{OH} = 2.4 V (I _{OL} = 9 mAタイプ, 3.3 Vバッファ)	-9.0			mA
		V _{OH} = 2.4 V (I _{OL} = 12 mAタイプ, 3.3 Vバッファ)	-12.0			mA
		V _{OH} = 2.4 V (I _{OL} = 18 mAタイプ, 3.3 Vバッファ)	-18.0			mA
ロー・レベル出力電圧	V _{OL}	I _{OL} = 0 mA (3.3 Vバッファ)			0.1	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = 0 mA (3.3 Vバッファ)	VD33-0.1			V
差動入力感度	V _{DI}	(D+) - (D-) (USBバッファ)	0.2			V
コモン・モード電圧範囲	V _{CM}	対ローカルGNDリファレンス (USBバッファ)	0.8		2.5	V
シングル・エンド受信 スレッシュ・ホールド	V _{SE}	(注2)(USBバッファ)	0.8		2.0	V
ハイ・レベル出力電圧	V _{OH}	RL of 15 kΩ to GND (USBバッファ)	2.8		3.6	V
ロー・レベル出力電圧	V _{OL}	RL of 1.5 kΩ to 3.6 V (USBバッファ)	0		0.3	V
データ・ラインHi-Z リーク電流	I _{LO}	0 V < V _{IN} < 3.3 V (USBバッファ)	-10		+10	μA

注1. 出力短絡電流は1秒以下で、LSIの1端子のみ。

2. VSEはシングル・エンドレシーバ入力レベルでLVTTTL規格です。(V_{IL} = 0.8 V, V_{IH} = 2.0 V)

符号については方向性を示し、デバイスに電流が流れ込む方向を正とします。

2.4.4 AC特性 ($V_{DD15} = 1.5\text{ V} \pm 0.15\text{ V}$, $V_{DD33} = 3.3\text{ V} \pm 0.3\text{ V}$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
トグル周波数 (Lタイプ)	f _{tog}	内部トグルF/F (F/O = 1)		1.9		GHz
トグル周波数 (Mタイプ)	f _{tog}	内部トグルF/F (F/O = 1)		3.1		GHz
伝達遅延時間	t _{PD}	3.3 V 入力バッファ F/O = 1 配線長 = 30 μm, t _r = t _f = 0.1 ns		184		ps
		3.3 V出力バッファ (18 mA) C _L = 15 pF		903		ps
		3.3 V出力バッファ (24 mA) C _L = 15 pF		867		ps
伝達遅延時間 (Lタイプ)	t _{PD}	内部ゲート F/O = 1, 標準配線長		41.3		ps
		内部ゲート (パワー・ゲート) F/O = 1, 標準配線長		30.8		ps
伝達遅延時間 (Mタイプ)	t _{PD}	内部ゲート F/O = 1, 標準配線長		27.1		ps
		内部ゲート (パワー・ゲート) F/O = 1, 標準配線長		19.9		ps
出力立ち上がり時間	t _r	3.3 V 出力バッファ (18 mA) C _L = 15 pF : 10-90 %		944		ps
出力立ち下がり時間	t _f	3.3 V 出力バッファ (18 mA) C _L = 15 pF : 10-90 %		637		ps

第3章 EP-1シリーズの検討方法とゲートアレイの開発

お客様が設計されたシステムの一部またはすべてを、EP-1シリーズを使用してLSI化する場合、まずゲートアレイ部の回路規模や入出力端子数からマスタとパッケージを選択します。

以降、ゲートアレイの開発を下記に示す手順で行うのが一般的です。

- (1) 回路規模，マスタ・サイズの見積もり
- ↓
- (2) パッケージの選択
- ↓
- (3) 消費電力の確認
- ↓
- (4) 端子配置
- ↓
- (5) 入出力のインタフェース・レベルの確認
- ↓
- (6) ゲートアレイの開発
- ↓
- (7) インタフェース
- ↓
- (8) チェック項目によるチェック

以下，上記手順に従って説明します。

3.1 回路規模とマスタ・サイズの見積もり

3.1.1 セル使用率，使用可能セル数とピン・ペア数制限

ゲートアレイ部は，チャンネルレス構造（セル敷き詰め方式）になっていますが，内部セル領域中のすべての搭載セルをゲート，フリップフロップ，メモリなどのファンクション・ブロックのために使用できるわけではありません。実際に使用されるセル数は，全体のセル数からブロック間の配線本数（ピン・ペア数）によって使用される配線用セル領域を引いたものになります。

ゲートアレイ部のセル使用率の上限は，ほぼ表3-1の数値となります。

表3-1 セル使用率

配線	マスタ名	搭載セル数	ユーザブル・ゲート数（セル使用率）
3層配線	MC-10501/10505	133380	80028（60％）
	MC-10502/10506	281636	160041（60％）
	MC-10503/10507	418953	242676（60％）

ただし，メモリなどの大規模ブロックを搭載した場合には，マクロのタイプによっては全体のセル使用率をさらに緩和できる場合もあります（詳細は，3.1.3 **メモリなどの大規模マクロの配置可否**を参照してください）。

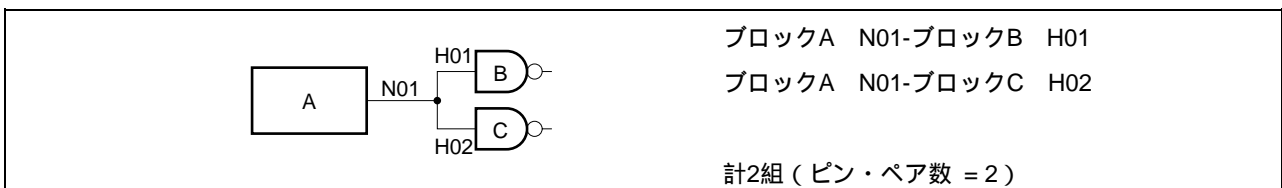
一方，ピン・ペア数はセル使用率により制限を受け，次の式により算出できます。

・3層配線品

$$\text{ピン・ペア数} = 112 \times \text{搭載セル数} \times \left\{ \left(\frac{100 - \text{セル使用率}}{100} \right)^2 / 74.69 \right\}$$

「ピン・ペア数」とは，ブロック間相互の出力ピンと入力ピンの結線数を言います（図3-1参照）。

図3-1 ピン・ペア数



インバータなどの小規模ブロックの使用数が多い場合，使用セル数に比べブロック間配線が増加し，必要となる配線領域は増加します。

逆にメモリなどの大規模なブロックの使用数が多い場合，使用セル数に比べブロック間配線が減少し，必要となる配線領域は減少します。

そのためメモリなどの大規模ブロックを搭載した場合にはセル使用率により制限され，一方メモリを含まない回路ではピン・ペア数によって制限されます。

実際のセル使用率およびピン・ペア数を満足できれば，ほとんどの場合，標準の日程内で配置配線が可能です。一方，規格を越える場合には配置配線に大幅に時間がかかったり，最悪の場合搭載が不可能になるケースもありますので注意してください。

表3-2にセル使用率に対する使用可能セル数とピン・ペア数の例を示します。

表3-2 ユーザブル・ゲート, ピン・ペア数一覧

品名	セル使用率											
	35%		40%		45%		50%		60%		70%	
	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア
MC-10501/10505	46683	84503	53352	72002	60021	60502	66690	50001	80028	32001	93366	18000
MC-10502/10506	98572	178431	112654	152035	126736	127752	140818	105580	168981	67571	197145	38008
MC-10503/10507	146633	265428	167581	226163	188528	190040	209476	157058	251371	100517	293267	56540

3.1.2 使用セル数見積もり時の注意点

(1) 入力/出力/双方向バッファ・ブロック

入力/出力/双方向の各外部インタフェース・ブロックを構成する際に、I/Oセルだけでなく内部セルも使用します。このため、総使用セル数を算出する際は、CMOS-9HD Family, EA-9HD Family Block Library(A13052J)に記載されている入力/出力/双方向の内部セル使用数を加算してください。

(2) クリティカル・パス

スピードが問題になるパスがある場合は、そのパスを構成する各ブロックの伝達経路を短くする処置を行う場合もあります。ただし、その処置を行うと配線性が極端に低下します。この場合は、セル使用率、ピン・ペア数の制限値の8~9割程度を目安に設計してください。

(3) マクロの構成

配置配線は回路中の階層マクロ(第一階層)ごとに行われます。このため、マクロ作成時に階層の構成について十分な配慮が必要になります。階層設計を行う場合には、次の点に注意してください。

(a) 第一階層のマクロ間の配線長は長くなりますので、マクロ間にわたって1つの機能を実現する階層設計は行わないでください。

(b) 回路設計の容易化のために使用する小規模のマクロは、できるかぎり第一階層には置かないようにしてください。

3.1.3 メモリなどの大規模マクロの配置可否

大規模マクロの搭載の可否は、 $(X \times Y)$ で示される内部セルの物理的空間上にマクロを実現するために必要となるセルの範囲 $(X \times Y)$ が実現できるかどうかによって決まります。小中規模のブロックで構成されているソフト・マクロでは、セル使用率を満足するかぎり配置上に問題がおこることはほとんどありません。しかし、RAMブロック(基本マクロ)などの大規模なハード・マクロは、マスタの大きさによっては物理的に配置することができない場合もあります。

マクロの搭載可否は、各マクロをチップ上で実現するために必要となるセルの範囲とマスタ上でマクロを実現できるセル範囲から検討することになります。

表3 - 3 搭載セル数一覧

配線	マスタ名	X	Y	搭載セル数
3層配線	MC-10501/10505	494	270	133380
	MC-10502/10506	724	389	281636
	MC-10503/10507	1077	389	418953

(1) 各マクロのチップ上で占有するセルの範囲

(a) ソフト・マクロRAM

弊社のRAMは複数の基本マクロとロジック部からなるソフト・マクロとなっています。

マクロを実現するために占有するセル範囲の形状は、基本マクロの配置の仕方によって大きく変わります。また、占有セル範囲はマスタによって変わります。

図3 - 2 マクロの占有するセル範囲の形状 (基本マクロが4つの場合)

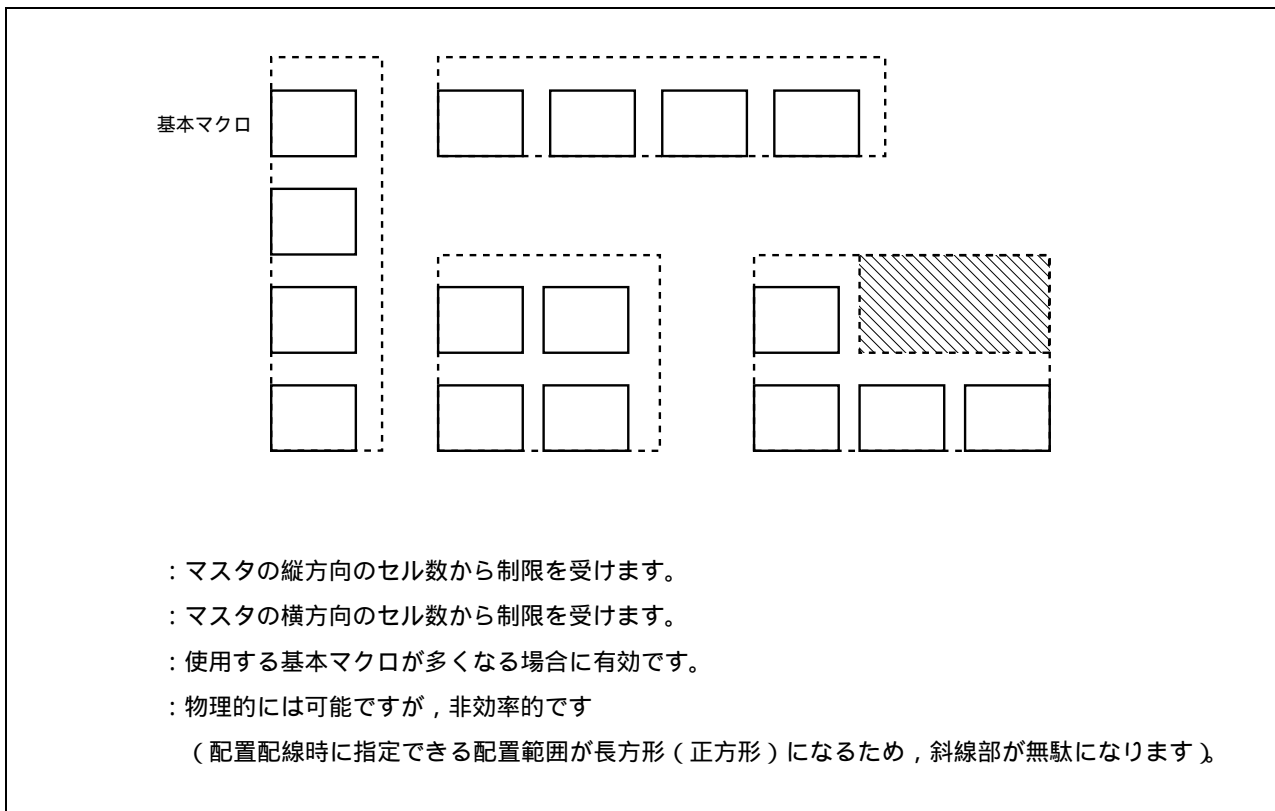
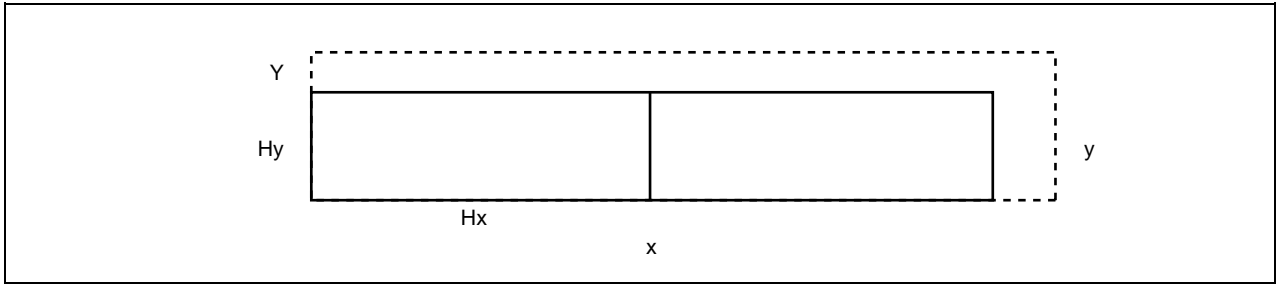


表3 - 5にマクロの占有セル範囲の例を記載します。しかし、RAMに関しては表3 - 5以外のセル範囲の定義も可能です。

セル範囲の定義方法は、まず表3 - 5からソフト・マクロRAMを構成する基本マクロ名とその個数を調べます。次に表3 - 4より基本マクロを1つ配置するために、最低限必要となるマクロのXとYの占有セル数を調べます。セル範囲は調べた値を次の式に代入することで計算できます。

図3 - 3 マクロ占有範囲



$$y = 2^n \times Hx + Y$$

$$x = \text{soft}/\text{uty}/y$$

このとき $x \geq N/2^n \times Hx$ でなければなりません。

soft : ソフト・マクロRAMのセル数

uty : マクロ使用率 < 50 % の場合のセル使用率は表3 - 1の値を使用してください。

例 MC-10501の場合 60 % = 0.60

マクロ使用率 > 50 % の場合のセル使用率は表3 - 1の値から5 %を引いた値を使用してください。

例 MC-10501の場合 60-5 % = 55 % = 0.55

Hx : 基本マクロ配置のために横方向で最低限必要となる占有セル数

Hy : 基本マクロ配置のために縦方向で最低限必要となる占有セル数

N : 使用される基本マクロ数

n : 使用される基本マクロが1のとき n = 0

使用される基本マクロが2のとき n = 0, 1

使用される基本マクロが4のとき n = 0, 1, 2

使用される基本マクロが8のとき n = 0, 1, 2, 3

使用される基本マクロが16のとき n = 0, 1, 2, 3, 4

使用される基本マクロが32のとき n = 0, 1, 2, 3, 4, 5

Y : 任意の整数 (Y = 0, 1, 2,)

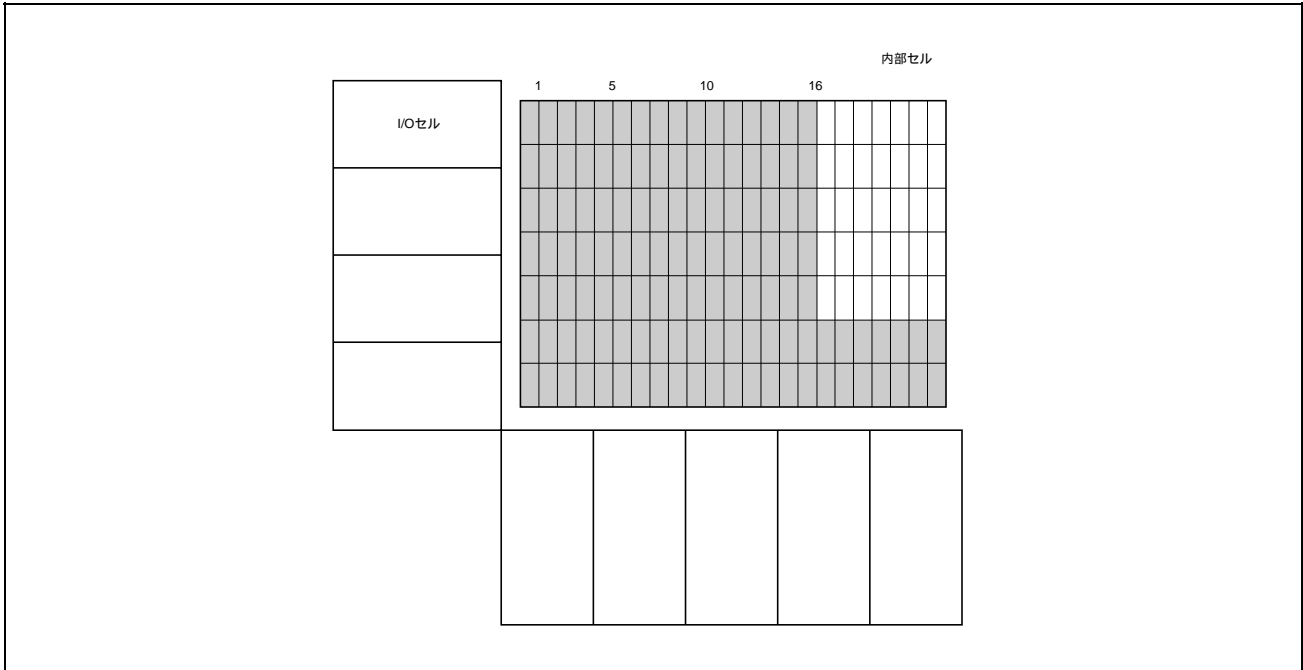
(b) クロック入力ドライバ

クロック入力ドライバは、使用セルのX × Yの構造が通常マクロと異なり非常に縦長になっています。マスタと搭載セルは縦方向が横方向に比べ非常に少なくなっていますので、マスタによっては搭載できない場合もあります。また、クロック入力ドライバは配線チャンネルが必要になりますので、そのほかの大規模マクロとの搭載をご希望の場合には弊社までお問い合わせください。

(2) 対象マスタの内部セルの配列 (表3 - 3参照)

PFESiP/V850EP1ではインタフェース・ブロックは内部セルも使用して実現されますが、使用されるセルはI/Oセルに極力近い範囲のものに限られます。インタフェース・ブロックが使用する内部セルは内部セルの左右の端から16セル、上下の端から2セルの範囲になりますので、マクロが配置できる範囲はそれより内側の範囲(白地の部分)のみになります。

図3 - 4 マクロ実現不可能範囲



(3) 搭載可否の判定

チップ上のマクロの実現できる範囲内で、搭載しようと考えているマクロがすべて重なり合わずに配置できた場合には搭載可能です。不可の場合にはマクロの占有面積の形状を変更して検討してください。重なりが数セルの場合には、端子配置やマクロの配置位置を考慮して搭載の可否を判定いたしますので、弊社までご連絡ください。

表3 - 4 基本マクロの最低占有セル数

(a) 高密度1ポートRAM					(b) 高密度2ポートRAM (W+R)				
基本マクロ名	ワード	ビット	X	Y	基本マクロ名	ワード	ビット	X	Y
K147	16	4	48	9	K247	16	4	58	11
K149	32	4	50	13	K249	32	4	106	11
K18B	64	8	94	21	K28B	64	8	208	15
K1AB	64	10	116	21	K2AB	64	10	256	15
K14D	128	4	82	21	K24D	128	4	208	18
K18F	256	8	160	37	K28F	256	8	400	25
K1AF	256	10	198	37	K2AF	256	10	496	25
K18M	1024	8	316	69	K28M	1024	8	784	47
K1AM	1024	10	392	69	K2AM	1024	10	976	47

表3 - 5にブロックの名称とチップ上での占有セル範囲を示します。

表3-5 占有セル範囲(1/8)

高密度1ポートRAM(セル使用率55%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積							
					タイプA		タイプB		タイプC		タイプD	
					X	Y	X	Y	X	Y	X	Y
RB47	16	4	K147	1	65	12						
RB49	32	4	K149	1	74	16						
RB4B	64	4	K149	2	74	32	148	16				
RB4D	128	4	K14D	1	130	24						
RB4F	256	4	K14D	2	130	48	261	24				
RB4H	512	4	K14D	4	130	96	261	48	522	24		
RB4M	1024	4	K14D	8	130	192	261	96	522	48	1044	24
RB4S	2048	4	K14D	16	130	384	261	192	522	96	1044	48
RB4U	4096	4	K14D	32	130	768	261	384	522	192	1044	96
RB87	16	8	K147	2	65	24	131	12				
RB89	32	8	K149	2	74	32	148	16				
RB8B	64	8	K18B	1	150	24						
RB8D	128	8	K14D	2	130	48	261	24				
RB8F	256	8	K18F	1	269	40						
RB8H	512	8	K18F	2	269	80	538	40				
RB8M	1024	8	K18M	1	551	72						
RB8S	2048	8	K18M	2	551	144	1101	72				
RBAB	64	10	K1AB	1	185	24						
RBAD	128	10	K1AB	2	185	48	369	24				
RBAF	256	10	K1AF	1	333	40						
RBAH	512	10	K1AF	2	333	80	666	40				
RBAM	1024	10	K1AM	1	683	72						
RBAS	2048	10	K1AM	2	683	144	1366	72				
RBC7	16	16	K147	4	65	48	131	24	262	12		
RBC9	32	16	K149	4	74	64	148	32	295	16		
RBCB	64	16	K18B	2	150	48	299	24				
RBCD	128	16	K14D	4	130	96	261	48	522	24		
RBCF	256	16	K18F	2	269	80	538	40				
RBCH	512	16	K18F	4	269	160	538	80	1076	40		
RBCM	1024	16	K18M	2	551	144	1101	72				
RBE7	16	20	K18B	2	150	48	299	24				
RBE9	32	20	K1AB	4	185	96	369	48	738	24		
RBEF	256	20	K1AF	2	333	80	666	40				
RBEH	512	20	K1AF	4	333	160	666	80	1332	40		
RBEU	1024	20	K1AM	2	683	144	1366	72				
RBH7	16	32	K147	8	65	96	131	48	262	24	524	12
RBH9	32	32	K149	8	74	128	148	64	295	32	591	16
RBHB	64	32	K18B	4	150	96	299	48	598	24		
RBHD	128	32	K14D	8	130	192	261	96	522	48	1044	24
RBHF	256	32	K18F	4	269	160	538	80	1076	40		
RBHH	512	32	K18F	8	269	320	538	160	1076	80	2153	40
RBKB	64	40	K18B	4	150	96	299	48	598	24		
RBKD	128	40	K1AB	8	185	192	369	96	738	48	1476	24
RBKF	256	40	K1AF	4	333	160	666	80	1332	40		
RBKH	512	40	K1AF	8	333	320	666	160	1332	80	2664	40

表3-5 占有セル範囲 (2/8)

高密度1ポートRAM (セル使用率50%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
RB47	16	4	K147	1	72	12							
RB49	32	4	K149	1	81	16							
RB4B	64	4	K149	2	81	32	163	16					
RB4D	128	4	K14D	1	144	24							
RB4F	256	4	K14D	2	144	48	287	24					
RB4H	512	4	K14D	4	144	96	287	48	574	24			
RB4M	1024	4	K14D	8	144	192	287	96	574	48	1148	24	
RB4S	2048	4	K14D	16	144	384	287	192	574	96	1148	48	
RB4U	4096	4	K14D	32	144	768	287	384	574	192	1148	96	
RB87	16	8	K147	2	72	24	144	12					
RB89	32	8	K149	2	81	32	163	16					
RB8B	64	8	K18B	1	165	24							
RB8D	128	8	K14D	2	144	48	287	24					
RB8F	256	8	K18F	1	296	40							
RB8H	512	8	K18F	2	296	80	592	40					
RB8M	1024	8	K18M	1	606	72							
RB8S	2048	8	K18M	2	606	144	1211	72					
RBAB	64	10	K1AB	1	203	24							
RBAD	128	10	K1AB	2	203	48	406	24					
RBAF	256	10	K1AF	1	366	40							
RBAH	512	10	K1AF	2	366	80	733	40					
RBAM	1024	10	K1AM	1	751	72							
RBAS	2048	10	K1AM	2	751	144	1503	72					
RBC7	16	16	K147	4	72	48	144	24	288	12			
RBC9	32	16	K149	4	81	64	163	32	325	16			
RBCB	64	16	K18B	2	165	48	329	24					
RBCD	128	16	K14D	4	144	96	287	48	574	24			
RBCF	256	16	K18F	2	296	80	592	40					
R BCH	512	16	K18F	4	296	160	592	80	1184	40			
RBCM	1024	16	K18M	2	606	144	1211	72					
RBEB	64	20	K18B	2	165	48	329	24					
RBED	128	20	K1AB	4	203	96	406	48	812	24			
RBEF	256	20	K1AF	2	366	80	733	40					
RBEH	512	20	K1AF	4	366	160	733	80	1465	40			
RBEM	1024	20	K1AM	2	751	144	1503	72					
RBH7	16	32	K147	8	72	96	144	48	288	24	576	12	
RBH9	32	32	K149	8	81	128	163	64	325	32	650	16	
RBHB	64	32	K18B	4	165	96	329	48	658	24			
RBHD	128	32	K14D	8	144	192	287	96	574	48	1148	24	
RBHF	256	32	K18F	4	296	160	592	80	1184	40			
RBHH	512	32	K18F	8	296	320	592	160	1184	80	2368	40	
RBKB	64	40	K18B	4	165	96	329	48	658	24			
RBKD	128	40	K1AB	8	203	192	406	96	812	48	1624	24	
RBKF	256	40	K1AF	4	366	160	733	80	1465	40			
RBKH	512	40	K1AF	8	366	320	733	160	1465	80	2930	40	

表3-5 占有セル範囲 (3/8)

高密度1ポートRAM (セル使用率45%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
RB47	16	4	K147	1	80	12							
RB49	32	4	K149	1	90	16							
RB4B	64	4	K149	2	90	32	181	16					
RB4D	128	4	K14D	1	159	24							
RB4F	256	4	K14D	2	159	48	319	24					
RB4H	512	4	K14D	4	159	96	319	48	638	24			
RB4M	1024	4	K14D	8	159	192	319	96	638	48	1276	24	
RB4S	2048	4	K14D	16	159	384	319	192	638	96	1276	48	
RB4U	4096	4	K14D	32	159	768	319	384	638	192	1276	96	
RB87	16	8	K147	2	80	24	160	12					
RB89	32	8	K149	2	90	32	181	16					
RB8B	64	8	K18B	1	183	24							
RB8D	128	8	K14D	2	159	48	319	24					
RB8F	256	8	K18F	1	329	40							
RB8H	512	8	K18F	2	329	80	658	40					
RB8M	1024	8	K18M	1	673	72							
RB8S	2048	8	K18M	2	673	144	1346	72					
RBAB	64	10	K1AB	1	226	24							
RBAD	128	10	K1AB	2	226	48	451	24					
RBAF	256	10	K1AF	1	407	40							
RBAH	512	10	K1AF	2	407	80	814	40					
RBAM	1024	10	K1AM	1	835	72							
RBAS	2048	10	K1AM	2	835	144	1670	72					
RBC7	16	16	K147	4	80	48	160	24	320	12			
RBC9	32	16	K149	4	90	64	181	32	361	16			
RBCB	64	16	K18B	2	183	48	366	24					
RBCD	128	16	K14D	4	159	96	319	48	638	24			
RBCF	256	16	K18F	2	329	80	658	40					
RBC H	512	16	K18F	4	329	160	658	80	1316	40			
RBCM	1024	16	K18M	2	673	144	1346	72					
RBEB	64	20	K18B	2	183	48	366	24					
RBED	128	20	K1AB	4	226	96	451	48	902	24			
RBEF	256	20	K1AF	2	407	80	814	40					
RBEH	512	20	K1AF	4	407	160	814	80	1628	40			
RBEM	1024	20	K1AM	2	835	144	1670	72					
RBH7	16	32	K147	8	80	96	160	48	320	24	640	12	
RBH9	32	32	K149	8	90	128	181	64	361	32	722	16	
RBHB	64	32	K18B	4	183	96	366	48	731	24			
RBHD	128	32	K14D	8	159	192	319	96	638	48	1276	24	
RBHF	256	32	K18F	4	329	160	658	80	1316	40			
RBHH	512	32	K18F	8	329	320	658	160	1316	80	2631	40	
RBKB	64	40	K18B	4	183	96	366	48	731	24			
RBKD	128	40	K1AB	8	226	192	451	96	902	48	1804	24	
RBKF	256	40	K1AF	4	407	160	814	80	1628	40			
RBKH	512	40	K1AF	8	407	320	814	160	1628	80	3256	40	

表3-5 占有セル範囲(4/8)

高密度1ポートRAM(セル使用率40%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
RB47	16	4	K147	1	90	12							
RB49	32	4	K149	1	102	16							
RB4B	64	4	K149	2	102	32	203	16					
RB4D	128	4	K14D	1	179	24							
RB4F	256	4	K14D	2	179	48	359	24					
RB4H	512	4	K14D	4	179	96	359	48	718	24			
RB4M	1024	4	K14D	8	179	192	359	96	718	48	1435	24	
RB4S	2048	4	K14D	16	179	384	359	192	718	96	1435	48	
RB4U	4096	4	K14D	32	179	768	359	384	718	192	1435	96	
RB87	16	8	K147	2	90	24	180	12					
RB89	32	8	K149	2	102	32	203	16					
RB8B	64	8	K18B	1	206	24							
RB8D	128	8	K14D	2	179	48	359	24					
RB8F	256	8	K18F	1	370	40							
RB8H	512	8	K18F	2	370	80	740	40					
RB8M	1024	8	K18M	1	757	72							
RB8S	2048	8	K18M	2	757	144	1514	72					
RBAB	64	10	K1AB	1	254	24							
RBAD	128	10	K1AB	2	254	48	508	24					
RBAF	256	10	K1AF	1	458	40							
RBAH	512	10	K1AF	2	458	80	916	40					
RBAM	1024	10	K1AM	1	939	72							
RBAS	2048	10	K1AM	2	939	144	1878	72					
RBC7	16	16	K147	4	90	48	180	24	360	12			
RBC9	32	16	K149	4	102	64	203	32	406	16			
RBCB	64	16	K18B	2	206	48	411	24					
RBCD	128	16	K14D	4	179	96	359	48	718	24			
RBCF	256	16	K18F	2	370	80	740	40					
R BCH	512	16	K18F	4	370	160	740	80	1480	40			
RBCM	1024	16	K18M	2	757	144	1514	72					
RBEB	64	20	K18B	2	206	48	411	24					
RBED	128	20	K1AB	4	254	96	508	48	1015	24			
RBEF	256	20	K1AF	2	458	80	916	40					
RBEH	512	20	K1AF	4	458	160	916	80	1832	40			
RBEM	1024	20	K1AM	2	939	144	1878	72					
RBH7	16	32	K147	8	90	96	180	48	360	24	720	12	
RBH9	32	32	K149	8	102	128	203	64	406	32	813	16	
RBHB	64	32	K18B	4	206	96	411	48	823	24			
RBHD	128	32	K14D	8	179	192	359	96	718	48	1435	24	
RBHF	256	32	K18F	4	370	160	740	80	1480	40			
RBHH	512	32	K18F	8	370	320	740	160	1480	80	2960	40	
RBKB	64	40	K18B	4	206	96	411	48	823	24			
RBKD	128	40	K1AB	8	254	192	508	96	1015	48	2030	24	
RBKF	256	40	K1AF	4	458	160	916	80	1832	40			
RBKH	512	40	K1AF	8	458	320	916	160	1832	80	3663	40	

表3-5 占有セル範囲(5/8)

高密度2ポートRAM (W+R) (セル利用率55%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
R947	16	4	K247	1	83	14							
R949	32	4	K249	1	151	14							
R94B	64	4	K249	2	151	28	303	14					
R94D	128	4	K24D	1	324	21							
R94F	256	4	K24D	2	324	42	648	21					
R94H	512	4	K24D	4	324	84	648	42	1297	21			
R94M	1024	4	K24D	8	324	168	648	84	1297	42	2593	21	
R94S	2048	4	K24D	16	324	336	648	168	1297	84	2593	42	
R94U	4096	4	K24D	32	324	672	648	336	1297	168	2593	84	
R987	16	8	K247	2	83	28	166	14					
R989	32	8	K249	2	151	28	303	14					
R98B	64	8	K28B	1	315	18							
R98D	128	8	K24D	2	324	42	648	21					
R98F	256	8	K28F	1	649	28							
R98H	512	8	K28F	2	649	56	1299	28					
R98M	1024	8	K28M	1	1340	50							
R98S	2048	8	K28M	2	1340	100	2680	50					
R9AB	64	10	K2AB	1	388	18							
R9AD	128	10	K2AB	2	388	36	776	18					
R9AF	256	10	K2AF	1	761	28							
R9AH	512	10	K2AF	2	761	56	1523	28					
R9AM	1024	10	K2AM	1	1668	50							
R9AS	2048	10	K2AM	2	1668	100	3336	50					
R9C7	16	16	K247	4	83	56	166	28	331	14			
R9C9	32	16	K249	4	151	56	303	28	606	14			
R9CB	64	16	K28B	2	315	36	630	18					
R9CD	128	16	K24D	4	324	84	648	42	1297	21			
R9CF	256	16	K28F	2	649	56	1299	28					
R9CH	512	16	K28F	4	649	112	1299	56	2597	28			
R9CM	1024	16	K28M	2	1340	100	2680	50					
R9EB	64	20	K28B	2	315	36	630	18					
R9ED	128	20	K2AB	4	388	72	776	36	1552	18			
R9EF	256	20	K2AF	2	761	56	1523	28					
R9EH	512	20	K2AF	4	761	112	1523	56	3045	28			
R9EM	1024	20	K2AM	2	1668	100	3336	50					
R9H7	16	32	K247	8	83	112	166	56	331	28	663	14	
R9H9	32	32	K249	8	151	112	303	56	606	28	1211	14	
R9HB	64	32	K28B	4	315	72	630	36	1261	18			
R9HD	128	32	K24D	8	324	168	648	84	1267	42	2593	21	
R9HF	256	32	K28F	4	649	112	1299	56	2597	28			
R9HH	512	32	K28F	8	649	224	1299	112	2597	56	5195	28	
R9KB	64	40	K28B	4	315	72	630	36	1261	18			
R9KD	128	40	K2AB	8	388	144	776	72	1552	36	3103	18	
R9KF	256	40	K2AF	4	761	112	1523	56	3045	28			
R9KH	512	40	K2AF	8	761	224	1523	112	3045	56	6091	28	

表3 - 5 占有セル範囲 (6/8)

高密度2ポートRAM (W+R) (セル使用率50%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
R947	16	4	K247	1	91	14							
R949	32	4	K249	1	167	14							
R94B	64	4	K249	2	167	28	333	14					
R94D	128	4	K24D	1	357	21							
R94F	256	4	K24D	2	357	42	713	21					
R94H	512	4	K24D	4	357	84	713	42	1426	21			
R94M	1024	4	K24D	8	357	168	713	84	1426	42	2853	21	
R94S	2048	4	K24D	16	357	336	713	168	1426	84	2853	42	
R94U	4096	4	K24D	32	357	672	713	336	1426	168	2853	84	
R987	16	8	K247	2	91	28	182	14					
R989	32	8	K249	2	167	28	333	14					
R98B	64	8	K28B	1	347	18							
R98D	128	8	K24D	2	357	42	713	21					
R98F	256	8	K28F	1	714	28							
R98H	512	8	K28F	2	714	56	1429	28					
R98M	1024	8	K28M	1	1474	50							
R98S	2048	8	K28M	2	1474	100	2948	50					
R9AB	64	10	K2AB	1	427	18							
R9AD	128	10	K2AB	2	427	36	853	18					
R9AF	256	10	K2AF	1	838	28							
R9AH	512	10	K2AF	2	838	56	1675	28					
R9AM	1024	10	K2AM	1	1835	50							
R9AS	2048	10	K2AM	2	1835	100	3670	50					
R9C7	16	16	K247	4	91	56	182	28	365	14			
R9C9	32	16	K249	4	167	56	333	28	666	14			
R9CB	64	16	K28B	2	347	36	693	18					
R9CD	128	16	K24D	4	357	84	713	42	1426	21			
R9CF	256	16	K28F	2	714	56	1429	28					
R9CH	512	16	K28F	4	714	112	1429	56	2857	28			
R9CM	1024	16	K28M	2	1474	100	2948	50					
R9EB	64	20	K28B	2	347	36	693	18					
R9ED	128	20	K2AB	4	427	72	853	36	1707	18			
R9EF	256	20	K2AF	2	838	56	1675	28					
R9EH	512	20	K2AF	4	838	112	1675	56	3350	28			
R9EM	1024	20	K2AM	2	1835	100	3670	50					
R9H7	16	32	K247	8	91	112	182	56	365	28	729	14	
R9H9	32	32	K249	8	167	112	333	56	666	28	1333	14	
R9HB	64	32	K28B	4	347	72	693	36	1387	18			
R9HD	128	32	K24D	8	357	168	713	84	1426	42	2853	21	
R9HF	256	32	K28F	4	714	112	1429	56	2857	28			
R9HH	512	32	K28F	8	714	224	1429	112	2857	56	5714	28	
R9KB	64	40	K28B	4	347	72	693	36	1387	18			
R9KD	128	40	K2AB	8	427	144	853	72	1707	36	3413	18	
R9KF	256	40	K2AF	4	838	112	1675	56	3350	28			
R9KH	512	40	K2AF	8	838	224	1675	112	3350	56	6700	28	

表3 - 5 占有セル範囲 (7/8)

高密度2ポートRAM (W+R) (セル利用率45%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
R947	16	4	K247	1	101	14							
R949	32	4	K249	1	185	14							
R94B	64	4	K249	2	185	28	370	14					
R94D	128	4	K24D	1	396	21							
R94F	256	4	K24D	2	396	42	792	21					
R94H	512	4	K24D	4	396	84	792	42	1585	21			
R94M	1024	4	K24D	8	396	168	792	84	1585	42	3170	21	
R94S	2048	4	K24D	16	396	336	792	168	1585	84	3170	42	
R94U	4096	4	K24D	32	396	672	792	336	1585	168	3170	84	
R987	16	8	K247	2	101	28	203	14					
R989	32	8	K249	2	185	28	370	14					
R98B	64	8	K28B	1	385	18							
R98D	128	8	K24D	2	396	42	792	21					
R98F	256	8	K28F	1	794	28							
R98H	512	8	K28F	2	794	56	1587	28					
R98M	1024	8	K28M	1	1638	50							
R98S	2048	8	K28M	2	1638	100	3275	50					
R9AB	64	10	K2AB	1	474	18							
R9AD	128	10	K2AB	2	474	36	948	18					
R9AF	256	10	K2AF	1	931	28							
R9AH	512	10	K2AF	2	931	56	1861	28					
R9AM	1024	10	K2AM	1	2039	50							
R9AS	2048	10	K2AM	2	2039	100	4078	50					
R9C7	16	16	K247	4	101	56	203	28	405	14			
R9C9	32	16	K249	4	185	56	370	28	740	14			
R9CB	64	16	K28B	2	385	36	770	18					
R9CD	128	16	K24D	4	396	84	792	42	1585	21			
R9CF	256	16	K28F	2	794	56	1587	28					
R9CH	512	16	K28F	4	794	112	1587	56	3175	28			
R9CM	1024	16	K28M	2	1638	100	3275	50					
R9EB	64	20	K28B	2	385	36	770	18					
R9ED	128	20	K2AB	4	474	72	948	36	1896	18			
R9EF	256	20	K2AF	2	931	56	1861	28					
R9EH	512	20	K2AF	4	931	112	1861	56	3722	28			
R9EM	1024	20	K2AM	2	2039	100	4078	50					
R9H7	16	32	K247	8	101	112	203	56	405	28	810	14	
R9H9	32	32	K249	8	185	112	370	56	740	28	1481	14	
R9HB	64	32	K28B	4	385	72	770	36	1541	18			
R9HD	128	32	K24D	8	396	168	792	84	1585	42	3170	21	
R9HF	256	32	K28F	4	794	112	1587	56	3175	28			
R9HH	512	32	K28F	8	794	224	1587	112	3175	56	6349	28	
R9KB	64	40	K28B	4	385	72	770	36	1541	18			
R9KD	128	40	K2AB	8	474	144	948	72	1896	36	3793	18	
R9KF	256	40	K2AF	4	931	112	1861	56	3722	28			
R9KH	512	40	K2AF	8	931	224	1861	112	3722	56	7444	28	

表3 - 5 占有セル範囲 (8/8)

高密度2ポートRAM (W+R) (セル使用率40%)

RAMタイプ	ワード	ビット	基本RAM	個数	RAMの占有セル面積								
					タイプA		タイプB		タイプC		タイプD		
					X	Y	X	Y	X	Y	X	Y	
R947	16	4	K247	1	114	14							
R949	32	4	K249	1	208	14							
R94B	64	4	K249	2	208	28	416	14					
R94D	128	4	K24D	1	446	21							
R94F	256	4	K24D	2	446	42	891	21					
R94H	512	4	K24D	4	446	84	891	42	1783	21			
R94M	1024	4	K24D	8	446	168	891	84	1783	42	3566	21	
R94S	2048	4	K24D	16	446	336	891	168	1783	84	3566	42	
R94U	4096	4	K24D	32	446	672	891	336	1783	168	3566	84	
R987	16	8	K247	2	114	28	228	14					
R989	32	8	K249	2	208	28	416	14					
R98B	64	8	K28B	1	433	48							
R98D	128	8	K24D	2	446	42	891	21					
R98F	256	8	K28F	1	893	28							
R98H	512	8	K28F	2	893	56	1786	28					
R98M	1024	8	K28M	1	1842	50							
R98S	2048	8	K28M	2	1842	100	3685	50					
R9AB	64	10	K2AB	1	533	18							
R9AD	128	10	K2AB	2	533	36	1067	18					
R9AF	256	10	K2AF	1	1047	28							
R9AH	512	10	K2AF	2	1047	56	2094	28					
R9AM	1024	10	K2AM	1	2294	50							
R9AS	2048	10	K2AM	2	2294	100	4587	50					
R9C7	16	16	K247	4	114	56	228	28	456	14			
R9C9	32	16	K249	4	208	56	416	28	833	14			
R9CB	64	16	K28B	2	433	36	867	18					
R9CD	128	16	K24D	4	446	84	891	42	1783	21			
R9CF	256	16	K28F	2	893	56	1786	28					
R9CH	512	16	K28F	4	893	112	1786	56	3571	28			
R9CM	1024	16	K28M	2	1842	100	3685	50					
R9EB	64	20	K28B	2	433	36	867	18					
R9ED	128	20	K2AB	4	533	72	1067	36	2133	18			
R9EF	256	20	K2AF	2	1047	56	2094	28					
R9EH	512	20	K2AF	4	1047	112	2094	56	4188	28			
R9EM	1024	20	K2AM	2	2294	100	4587	50					
R9H7	16	32	K247	8	114	112	228	56	456	28	911	14	
R9H9	32	32	K249	8	208	112	416	56	833	28	1666	14	
R9HB	64	32	K28B	4	433	72	867	36	1733	18			
R9HD	128	32	K24D	8	446	168	891	84	1783	42	3566	21	
R9HF	256	32	K28F	4	893	112	1786	56	3571	28			
R9HH	512	32	K28F	8	893	224	1786	112	3571	56	7143	28	
R9KB	64	40	K28B	4	433	72	867	36	1733	18			
R9KD	128	40	K2AB	8	533	144	1067	72	2133	36	4267	18	
R9KF	256	40	K2AF	4	1047	112	2094	56	4188	28			
R9KH	512	40	K2AF	8	1047	224	2094	112	4188	56	8375	28	

3.1.4 セルベースICタイプ・メモリなどの配置可否

セルベースICタイプ・メモリのサイズに関しては、EA-9HDシリーズ 設計マニュアル メモリ・マクロ編 (A13367J) を参照してください。

なおセルベースICタイプのメモリは下地より作成しますので、そのビット/ワード構成は十分に検討してください(下地作成後のメモリ・サイズの変更はできません)。

マクロ搭載可否は次の式で判定してください。

$$\begin{aligned} & (\text{RAMマクロX方向セル数}) \quad (\text{切り抜き前の下地X方向セル数}) - (32\text{セル}) \\ & (\text{RAMマクロY方向セル数}) \quad (\text{切り抜き前の下地Y方向セル数}) - (4\text{セル}) \end{aligned}$$

3.1.5 大規模マクロ(メモリなど)以外の使用可能セル数とピン・ペア数制限

ロジック部ユーザブル・ゲート数は、マスタ搭載ゲート数からセルベースICタイプRAMマクロの占有する領域のゲート規模を差し引いた部分をロジック部敷き詰め部分として計算します。

$$(\text{ロジック部敷き詰めゲート数}) = (\text{マスタ搭載ゲート数}) - \left[\begin{array}{c} \text{セルベースICタイプ} \\ \text{RAMマクロ占有領域ゲート数} \end{array} \right]$$

このロジック部ユーザブル・ゲート数は、セルベースICタイプRAMマクロ占有ゲート数に応じて次のように定義します。

	マクロ使用率 < 50 %	マクロ使用率 > 50 %
RAMのBIST部使用率	標準のセル使用率	標準のセル使用率 - 5 %
ロジック部セル使用率		

マクロ占有面積によりセル使用率が変化するのは、配線がマクロ上を通ることが禁止されているので、マクロを迂回しなければならないためです。多数のRAMマクロがチップ内に配置された場合には、配線性が低下します。

大規模マクロ(メモリなど)以外のゲートで使用可能なセル数は次の式で計算してください。

$$\text{使用可能セル数} = (\text{搭載セル数} - \text{全マクロの占有セル範囲}) \times 0.60$$

大規模マクロ(メモリなど)を搭載した場合には、全体のセル使用率が変わりますのでピン・ペア数制限も変わります。

$$\text{セル使用率} = (\text{使用可能セル数} + \text{全マクロの使用セル数}) / \text{搭載セル数} \times 100$$

$$\text{ピン・ペア数} = 112 \times \text{搭載セル数} \times \{ (100 - \text{セル使用率}) / 100 \}^2 / 74.69$$

3.1.6 大規模マクロ（メモリなど）搭載時の注意点

大規模マクロを搭載する場合には、次の点に注意してください。

- 外部端子配置
- マクロ部以外の回路が使用するブロック・タイプ

(1) 外部端子配置

特に大規模マクロを複数搭載した場合には、配置されたマクロの近くに関連する外部端子を配置する必要があります。まったく端子配置を考慮していない場合には、外部端子への配線が長くなり、無駄に配線チャネルを潰すことになります。この結果、配線が完了しないケースもあります。特に複数の大規模マクロを搭載する場合には、マクロ配置の方法についても弊社までご連絡ください。

(2) マクロ部以外の回路が使用するブロック・タイプ

大規模マクロを搭載した結果、ゲート部分で利用できるセルが極端に少ない場合には8ビット・ラッチなどの中規模マクロは物理的に搭載できなくなる場合もありますのでご注意ください。

3.2 パッケージの選択

EP-1シリーズには、マスタごとにパッケージが用意されています。回路仕様の入出力端子数から最適なパッケージを選択してください。

EP-1シリーズでは、使用するマスタによって、入出力端子数や電源端子数が異なる場合があります。パッケージにより電源端子の位置や信号ピン数が異なりますので、**第11章 パッケージ**を参照してください。

3.3 消費電力の確認

ゲートアレイ部が低消費電力であるといっても、高速（たとえば50 MHz以上）で動作させるとそれなりの電力を消費します。電力の消費量に比例してLSI（チップ）の温度は上昇します。温度が上昇しすぎると製品の信頼性が低下するので、LSIの消費電力は制限値以下に抑えて使用する必要があります。

EP-1シリーズでは、PFESiP/V850EP1とゲートアレイの双方の消費電力を考慮する必要があります。PFESiP/V850EP1の消費電力については、PFESiP/V850EP1 **製品データ編 設計マニュアル**（A19069J）、ゲートアレイの消費電力については、5.3 **消費電力**を参照してください。

消費電力の制限は、使用するパッケージによって決定します。双方の消費電力を考慮して、適切なパッケージを選択してください。詳細は、**第11章 パッケージ**を参照してください。

3.4 端子配置

パッケージの電源端子位置やNC端子位置、PFESiP/V850EP1に関する端子は、あらかじめ決められています。お客様には、主にゲートアレイ部のユーザ端子を決めていただきます。端子レイアウト（端子配置）を決める際には、次の点に注意して決定してください。

出力の同時動作本数などの検討結果によっては、電源強化（増設）しなければならない場合もあります。

詳細は**第11章 パッケージ**を参照してください。

3.4.1 端子レイアウトの注意点

(1) クロック端子, コントロール(セット, リセット)端子など

これらの端子はノイズの影響を受けやすいので, グランド(GND)端子の近くに配置してください。

(2) 出力端子

出力端子は, クロック端子などノイズの影響を受けやすい端子からできるだけ離してください。

(3) NC端子(No Connection)

プリント基板に実装する際, NC端子(No Connection)を信号中継端子として使用しないでください。

未使用の端子であっても実際にはチップ上のパッドまでは接続されています。プリント基板に実装するときには, グランド(GND)またはVDDに接続してください。

(4) スキャンバス・バウンダリスキャン用入出力端子

PFESiP/V850EP1ではバウンダリスキャンテストが必須です。テスト端子の位置はパッケージごとに決まっています。また, スキャンバス・テスト法を利用する場合, バウンダリスキャンテスト端子との共有が可能です。

詳細は, **テスト容易化設計 ユーザーズ・マニュアル(A15168J)**を参照してください。

(5) デジタルPLL(Digital Phase Locked Loop)の端子配置

端子配置に物理的な制限はありませんが, デジタルPLLの能力を十分に引き出すため, PLLマクロの配置を含めて検討する必要があります。端子配置に関しては必ず弊社までご相談ください。

該当ブロック一覧 F9E4, F9H2, F9H3, F9H4SSCG, FI0P, FI0Q

(6) 発振ブロックの配置

発振ブロックの配置可能位置については, **第11章 パッケージ**を参照してください。

また, 発振端子のそばにノイズが入ると誤動作を起こす端子(リセット端子など)は配置しないでください。

(7) モード設定用端子

TMC1_GA, TMC2_GAIは, 弊社のテスト用の予約端子です(ユーザ端子数に含める必要はありません)。

お客様の回路設計には必要がないため, 何も処理せずに未接続のままにしてください。

実使用時は, プリント基板上でGNDに接続してください。

(8) 端子レイアウト検討用ファイルの提供

お客様の端子レイアウトの検討に際して, 次の2つのファイルを提供していますのでご活用してください(ご希望の方は, 弊社までお問い合わせください)。

- お客様の端子レイアウト検討用Padinfoファイル(Excel)
- ゲートアレイDIF(Pin Assign情報)作成用Padinfoファイル(Excel)

3.5 ゲートアレイの入出力インタフェース

ゲートアレイのユーザ端子には、ご希望の入出力インタフェースに従って、適切な入出力ブロックを接続してください。

3.5.1 入力ブロックの種類

信号レベル	機能	入力形式	プルアップ/プルダウン抵抗
LVTTL	バッファ	通常	抵抗無し
5 V耐圧	Fail Safe	シュミットトリガ	50 k Ω プルアップ抵抗付き
5 Vフルスイング			5 k Ω プルアップ抵抗付き
			50 k Ω プルダウン抵抗付き

信号レベル	機能	入力形式
GTL+	オープンドレイン	通常

信号レベル	機能	入力形式
LVTTL	デジタルPLL	特殊

入力インタフェース・ブロックとして、次の4種類があります。

LVTTL入力ブロック

電源電圧レベルが3.3 VのLSIと接続するためのブロックです。さらに、fail safe機能付きのブロックもあります。このfail safe機能付きブロックには過電圧に対する保護機能があり、ゲートアレイの電源電圧がオフの状態でも信号入力を行っても、ゲートアレイの電源への導通はありません。

5 V耐圧入力ブロック

電源電圧が5 VのLSIと接続するためのブロックです。

5 Vフルスイング入力ブロック

5 V電源を供給することにより、5 V出力が行えます。

3.3 V I/Fと併用可能であり、I/Fの2電源化が実現できます。

GTL+

GTL+ (Gunning Transceiver Logic; 小振幅インタフェース) はECL回路と同様に差動回路なので、超高速の信号を取り込むことができます。

そのほかに、チップ間のクロック・スキューを極力小さくするために、デジタルPLL(Digital Phase Locked Loop)も用意しています。

3.5.2 出力ブロックの種類

信号レベル	機能	入力形式	プルアップ/プルダウン抵抗	負荷駆動能力IOL
LVTTTL	バッファ	通常	抵抗無し	1.0 mA
5 V耐圧	3ステート	ロー・ノイズ	50 k Ω プルアップ抵抗付き	2.0 mA
5 Vフルスイング	オープンドレイン	TTL/CMOS	5 k Ω プルアップ抵抗付き	3.0 mA
			50 k Ω プルダウン抵抗付き	6.0 mA
				9.0 mA
				12.0 mA

信号レベル	機能	入力形式	プルアップ/プルダウン抵抗	負荷駆動能力IOL
GTL+	オープンドレイン	通常	抵抗無し	1.0 mA

出力インタフェース・ブロックとして、次の4種類があります。

LVTTTL出力インタフェース・ブロック

電源電圧が3.3 VのLSIと接続するためのブロックです。

5 V耐圧出力インタフェース・ブロック

電源電圧が5 VのLSIと接続するためのブロックで、CMOS用とTTLの2種類があります。CMOS用ブロックはオープン・ドレイン出力と同様に、プルアップ抵抗で必ずクランプしてください。またTTLブロックは、ゲートアレイの駆動するLSIが将来5 Vから3.3 Vに変更されても対応できるようになっています。

5 Vフルスイング出力ブロック

5 V電源を供給することにより、5 V出力が行えます。

GTL+

GTL+の出力部分は、イネーブル付きオープン・ドレイン・バッファです。

そのほかに、ノイズの発生を低く抑えるためのロー・ノイズ・タイプのバッファも用意しています。また、出力の駆動能力はIOLとIOHが等しく、次の種類があります。

- ・ LVTTTL出力バッファ（ノーマル・タイプ6種類，ロー・ノイズ・タイプ5種類）
- ・ TTL 5 V耐圧出力バッファ（ノーマル・タイプ8種類，ロー・ノイズ・タイプ3種類）
- ・ CMOS用5 V耐圧出力バッファ（ノーマル・タイプ6種類，ロー・ノイズ・タイプ3種類）
- ・ TTL用5 Vフルスイング・バッファ（ノーマル・タイプ4種類，ロー・ノイズ・タイプ2種類）
- ・ CMOS用5 Vフルスイング・バッファ（ノーマル・タイプ10種類，ロー・ノイズ・タイプ5種類）

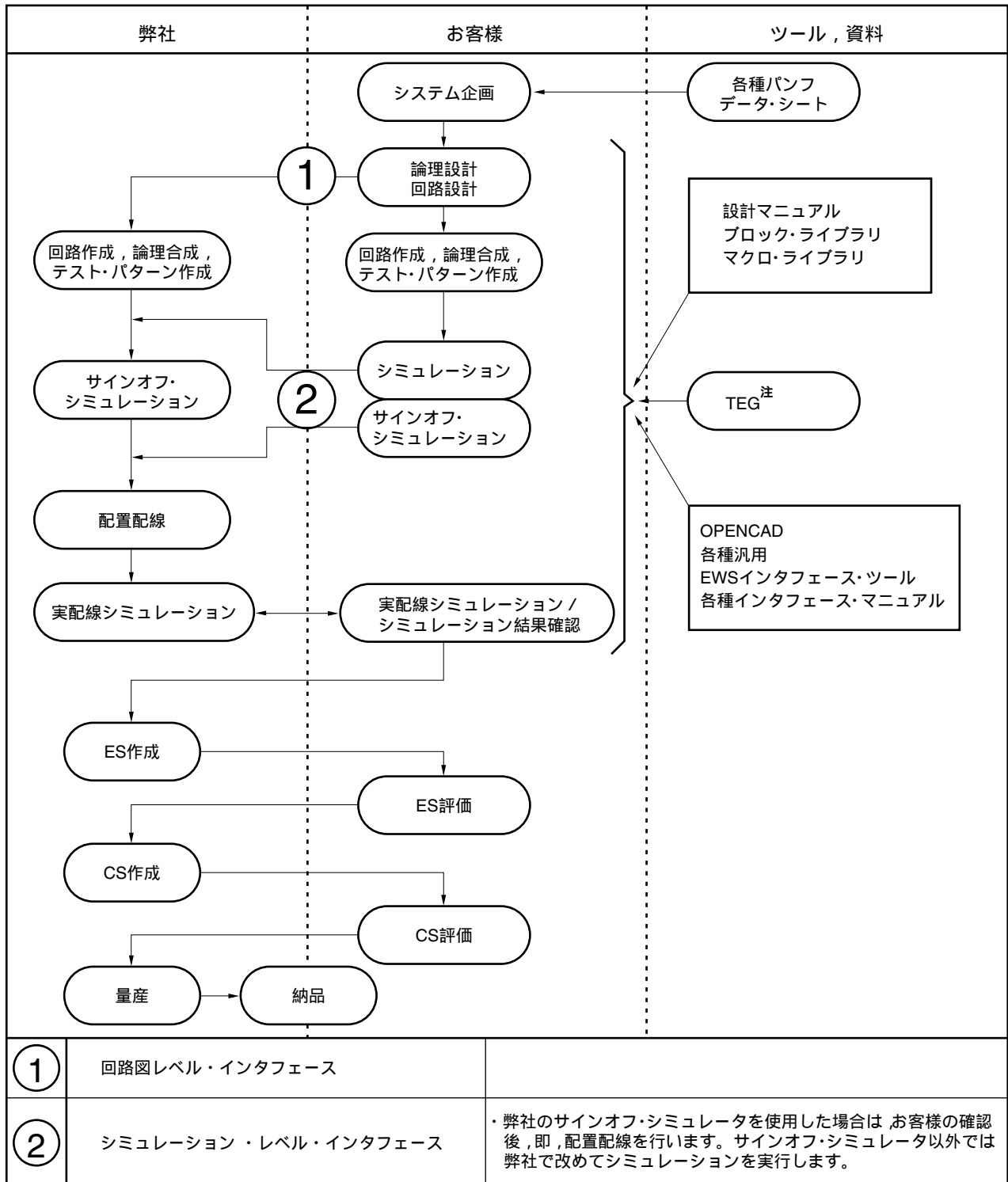
CMOS回路では、入力の電位が定まらない状態（フローティング状態）のときには過大な貫通電流が流れたり、回路内部へノイズ信号が入力されて、誤動作を引き起こします。基板上オープンになる端子に関しては、プルアップ/プルダウン抵抗付きのバッファを使用するようにしてください。

EP-1シリーズ・ゲートアレイ部の出力バッファとして、18 mA・24 mAタイプを使用する場合は、ロー・ノイズ・バッファを使用してください。

3.6 ゲートアレイの開発フロー

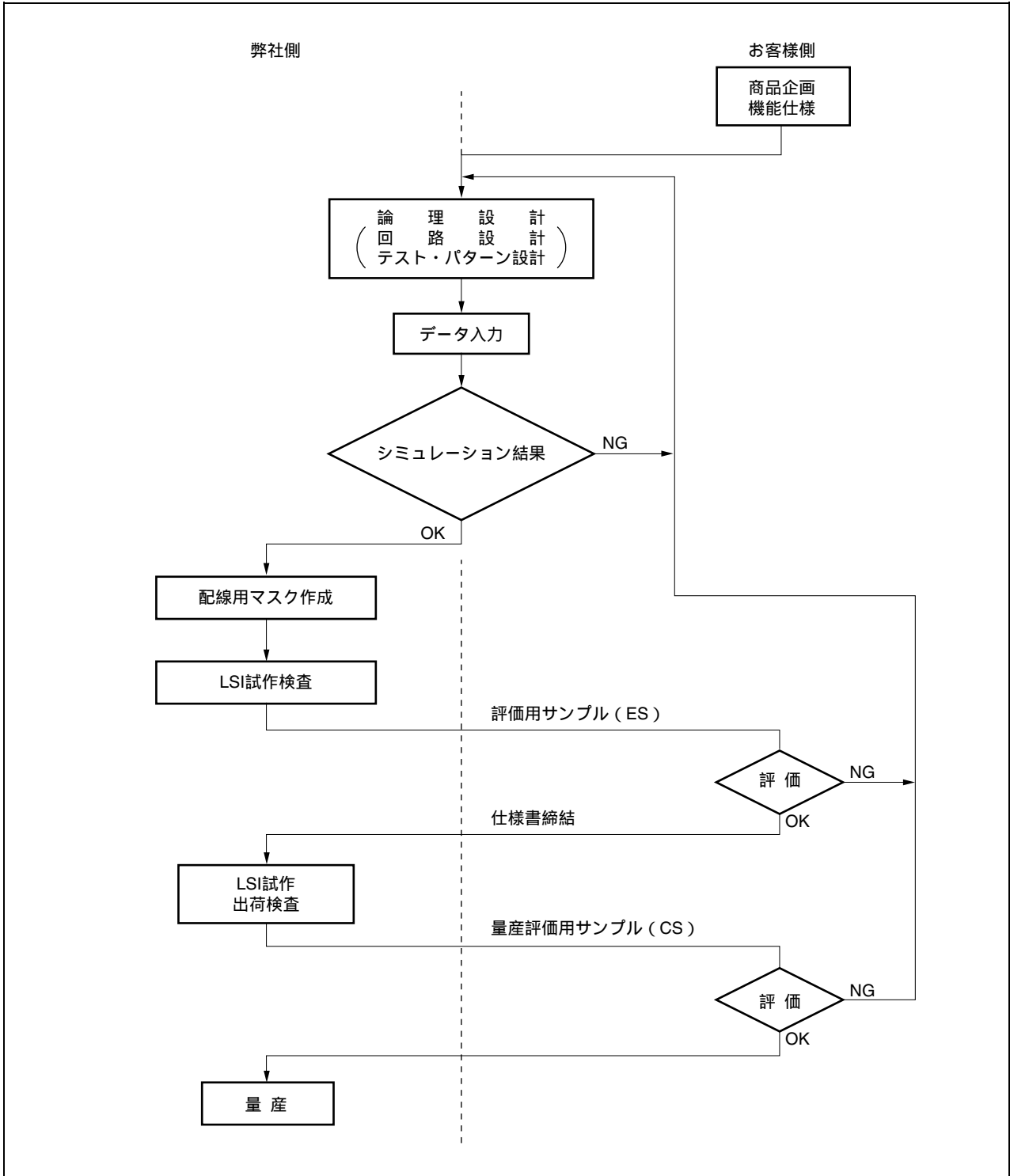
ゲートアレイの開発は、およそ次のフローで行われます。

フロー1：開発手順とインタフェース

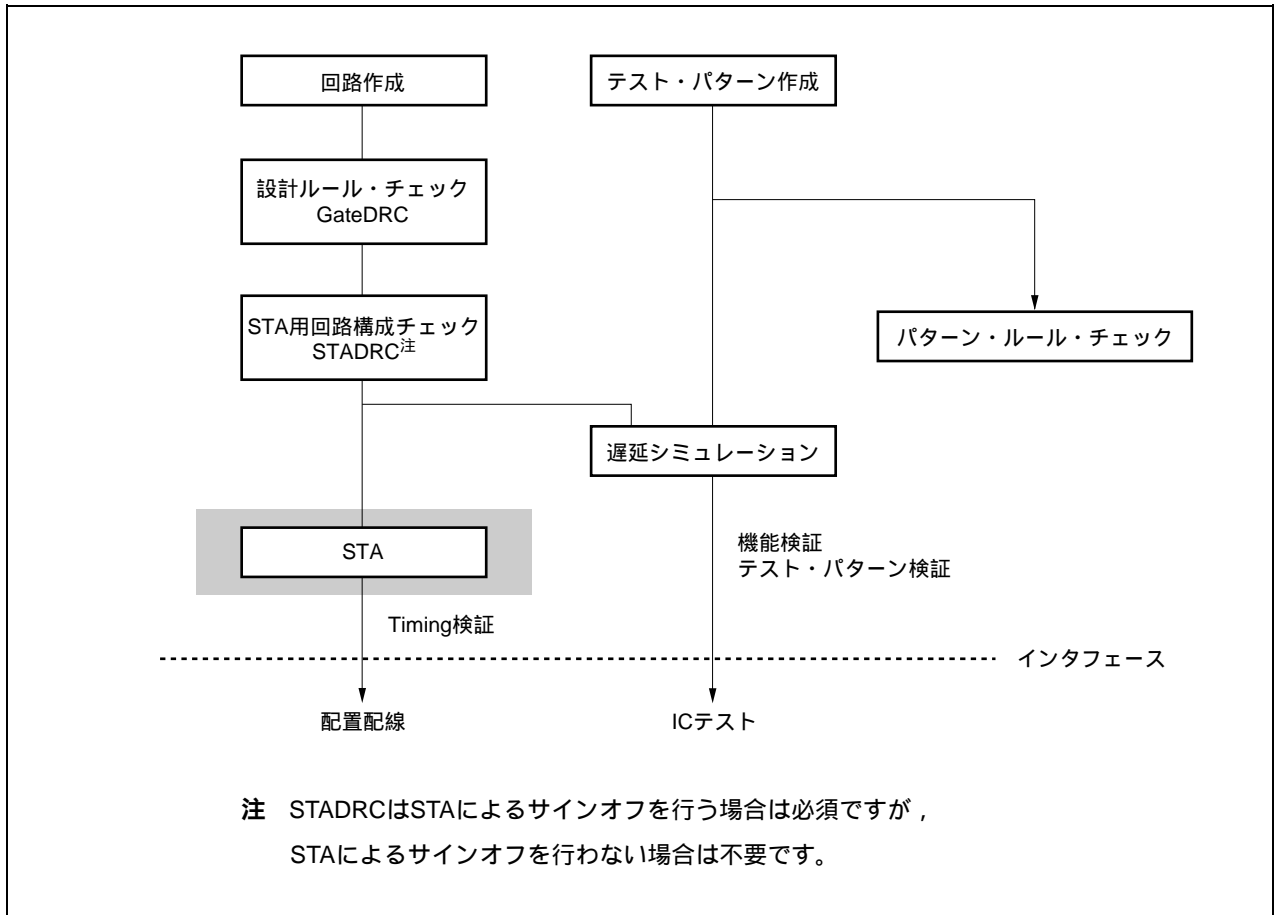


注 必要時のみ。

フロー2：開発フロー



フロー3：フロントエンド詳細フロー



3.7 OPENCADの構成ツール

注意 OPENCADの構成ツールの最新版については、OPENCADのユーザーズ・マニュアルを参照してください。

ユーザの環境に応じて、次のツールを選択することができます。

機能	弊社ツール	I/Fデータ	市販ツールI/F
機能シミュレータ	-	・ ネットリスト PWC/EDIF (2.0.0) / Verilog HDL	ModelSim™/Verilog-XL™/ NC-Verilog®/VCS®
回路図エディタ	Vdraw		-
論理合成	-	・ テスト・パターン ALBA	Design Compiler®
ゲート・レベル・シミュレータ ^{注1}	V.sim		ModelSim/Verilog-XL/ NC-Verilog/VCS
フォーマル・ベリファイア	-	・ 遅延情報ファイル	Formality®/Tuxedo™-LEC /Conformal™-LEC
STA ^{注1}	Tiara		PrimeTime®
故障シミュレータ ^{注2}	C.FGRADE	・ 制約ファイル	-
テスト容易化	NEC_SCAN/NEC_BSCAN/ NEC_BIST/ TESTBUS		DFTCompiler/TetraMax®
フロア・プランナ ^{注3}	CBIC : ace_floorplan GA : Galet	-	-
配置配線 ^{注3}	Galet	-	Silicon Ensemble™

注1. サインオフ・ツール

2. HP™版ではサポートしていないツール
3. 個別対応のツール

備考 プラットフォーム : SUN™ (Solaris™) /HP (HP-UX™) /RedHat™ Enterprise Linux™

GUI : X11R5/Motif™1.2

ゲートアレイの開発は、お客様と弊社の協力により進めます。おもにお客様がシステム設計、回路設計、シミュレーションまでを分担し、弊社は各種設計情報の提供やお客様の回路設計のサポートならびにシミュレーション以降を分担します。

お客様から弊社への開発作業の引継ぎを、「インタフェース」と呼びます。お客様がどの作業までを行い、どのデータを弊社に提供されるかにより、インタフェース・レベルは次の2つに分けられます。

(1) 回路図レベル・インタフェース

74LSまたはNECゲートアレイのブロックで設計された回路図を弊社に提出していただき、回路シミュレーション以降の作業を弊社が担当するゲートアレイ開発方法です。

設計ルール・チェックの結果や回路シミュレーションの結果をお客様に提出いたしますので、お客様のご確認およびご承認をお願いいたします。

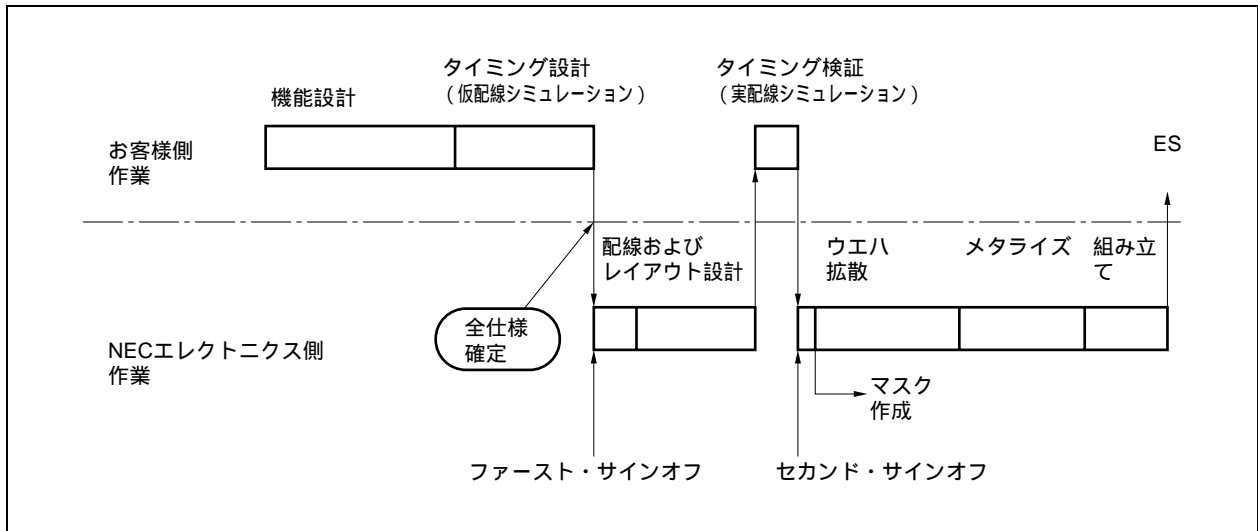
(2) シミュレーション・レベル・インタフェース

各種EWS(Engineering Work Station)や各種CADシステムのシミュレータを使用して、回路設計からシミュレーション作業までをお客様が実行し、それ以降(自動配置配線、最終シミュレーション)の作業を弊社が担当するゲートアレイ開発方法です。

各インタフェース・レベルにおいて、弊社が提供する資料、お客様から提出いただく資料の詳細および現在サポート可能な市販の各種ツールについては、弊社までお問い合わせください。

3.8 サインオフのための条件と引き渡しデータ

シミュレーションでの検証が終了し、当社へ設計データを提出していただくときの受け入れ条件をサインオフ条件と言います。仮配線長遅延シミュレーションでの検証が完了し、レイアウトに入る直前の段階をファースト・サインオフと言います。また、実配線長シミュレーションでの検証が完了し、マスク作成に入る直前の段階をセカンド・サインオフと言います。また、ファースト・サインオフの設計データをCF1（クリーン・ファイル1）、セカンド・サインオフの設計データをCF2（クリーン・ファイル2）と言います。



3.8.1 サインオフのための基本条件

サインオフのための条件を以下に示します。

(1) ファースト・サインオフ

<1> 設計ルール・チェック・プログラムにおいて致命的なエラーがないこと（ただし、あらかじめ問題がないと確認されている疑似エラー（ex. ダミー・ゲート搭載時の全出力オープン・エラーなど）は除く）

<2> サインオフ・シミュレータを用いた仮配線長遅延シミュレーションで、次の項目が確認されたネットリストとテスト・パターンが準備されていること。

- MAX 条件および MIN 条件でのシミュレーションで期待値との不一致およびタイミング・エラーがないこと（ただし、実動作およびテストにおいて問題ないと判断される疑似エラーは除く）
NEC へ提出していただくテスト・パターンは、特に問題のないかぎり、周期 (Rate) = 200 ns で準備していただきます。実動作条件でのシミュレーション検証も行ってください。

<確認項目>

- ファンクション・チェック
- セットアップ/ホールド・タイム・チェック
- リリース/リムーバル・タイム・チェック
- 最小パルス幅チェック
- バス・ファイト/バス・フローティング・チェック

<3> コア搭載の場合、コア分離シミュレーションを実行し、不一致のないこと。

RAM マクロ搭載の場合、分離テスト・モードにて、アクセス確認を行い、テスト回路に間違いがないことを確認していること。

(2) セカンド・サインオフ

<1> サインオフ・シミュレータを用いた実配線長遅延シミュレーションで、次の項目が確認されていること。

- MAX 条件および MIN 条件でのシミュレーションで期待値との不一致およびタイミング・エラーがないこと（ただし、実動作およびテストにおいて問題ないと判断される疑似エラーは除く）
NEC へ提出していただくテスト・パターンと実動作条件でのシミュレーション確認を行ってください。

- クリティカル・パスがある場合は、要求値を満足していることを確認すること。

3.8.2 インタフェース時の必要データ

(1) ファースト・サインオフ時の提出データ

<1> ファースト・サインオフ条件を満足するネットリスト

[フォーマット] PWC^注もしくはEDIF

<2> 設計ルール・チェック確認結果 (LOG ファイル)

<3> サインオフ条件を満足するテスト・パターン

[フォーマット] 次の組み合わせにしてください。

テスト・パターン	タイミング・データ
NELPAT ^注	タイミングALBATROSSファイル

注 NECのオリジナル・フォーマット

[テスト・パターンの種類] MAX 条件でのシミュレーションにおける次のデータ

- ユーザ・マクロ分離テスト・パターン
 - トータル・チップ・シミュレーション・パターン (チップ・レベル)
 - ROM コード確認用テスト・パターン (ROM マクロ搭載時のみ)
 - コア搭載の場合, コア分離テスト・パターン (確認用)
 - RAM マクロ搭載の場合, RAM マクロ分離アクセス・パターン (確認用)
- レジスタ・ファイルも同様

備考 必ず, ユーザ・マクロ分離テスト・パターン, またはトータル・チップ・シミュレーション・パターンのどちらかで DC テスト条件を満足するテスト・パターンを 1 本準備してください。

<4> ROM コード・データおよびコードとマクロの対応情報 (ROM マクロ搭載時のみ)

[フォーマット] NINCF (NEC のオリジナル・フォーマット) または Verilog フォーマット (HEX 表示)

[対応情報] ROM ブロック名, インスタンス名 (PWC のときは CS00 * * * * など),
ROM コード・ファイル名および ROM コードのヘッダ名の対応情報

<5> 仮配線長シミュレーションの LOG ファイル

各テスト・パターンでの MAX 条件および MIN 条件でのシミュレーション結果 LOG ファイル (コアとメモリ・マクロの分離シミュレーションについては, MAX のみの実行 LOG でかまいません。ただし, Delay Over Period Error がないこと)

<6> そのほかの資料

- ASIC 品種開発情報 (チェックシート) (CF1 完了時までの部分を記入したもの)
ASIC 品種開発情報 (チェックシート) を使用する前に, 弊社までお問い合わせのうえ最新版を使用してください。詳細は, EA-9HD シリーズ 設計マニュアル (A13282J) を参照してください。
- クリティカル・パス指示書 (必要時のみ)
- グリッジ・ノイズ確認書 (必要時のみ)
- シミュレーション結果確認書 (配置配線前)
- 特殊要求事項検討結果 (必要時のみ)

(2) セカンド・サインオフ時の提出データ

<1> 実配線長シミュレーションの LOG ファイル

[種類] 各テスト・パターンでの ,MAX 条件および MIN 条件でのシミュレーション結果の LOG ファイル (提出していただくテスト・パターンの周期に対応していること)

<2> そのほかの資料

- シミュレーション結果確認書 (配置配線後)
- 製品要求仕様書 (ファースト・サインオフ後変更があった場合のみ)
- チェック・リスト (CF2 完了時までの部分を記入したもの)
- クリティカル・パス確認書 (必要時のみ)
- グリッジ・ノイズ確認書 (必要時のみ)
- 特殊要求事項検討結果 (ファースト・サインオフ後追加があった場合のみ)

3.8.3 インタフェース・データ一覧

注意 OPENCADのバージョンなどにより、これらのデータは変更になる場合があるので、設計する際は必ず弊社までお問い合わせください。

Rev.2.1 19 July '02

	ファイルの種類およびファイル名		SIMULATOR								
			V.sim			Verilog					
NETLIST	PWC (.pwc)		注2	注2							
	VerilogHDL (.v)		—	注2							
	EDIF (.edif)		注2	注2							
TEST Pattern	IO Modulation指定なし		ALBATROSS (.alb)								
	IO Modulation指定あり		ALBATROSS (.alb) 注1								
MACRO	RAM	BIST	RAMPIN file (.rpi)								
			BIST分離file (.bist.scn) (SCAN併用時)								
	ROM		NINCF (.nin)								
	Mega Macro		メガマクロ単体テスト仕様書								
			PINF file (.pinf)								
	Digital PLL		Initial Pattern								
DFT	BSCAN		SCAN+BSCAN Initial Pattern (scan.init.alb)								
			SET file (.set)								
			回路検証用パタン (.bspat.alb)								
			オーダ・ファイル (.bsorder)								
			BSDLファイル (.bsdl)								
	SCAN		ユーザ・マクロ分離ファイル								
			端子固定ファイル								
その他 (レイアウト 指示書)	Pin Assign		DIF (.dif)								
	CLITICAL PATH		tiara comand file								
			クリティカル・パス指示書(紙)								
	フロアプラン		フロアプランを明記したもの(紙)								
			Def file (.floorplan.def)								
	CTS		CTS Checkレポート (.rpt)								
	電源分離情報		—								
クロック間遅延調整依頼		—									
チェック 結果ファイル	ネットリスト・ルール・チェック		(.gatedrc)								
	albチェック		(.ALBchk)								
	PINチェック		『NO ERR』の画面コピー								
	SCANチェック		(.scanchk)								
	BSCANチェック		(.bscanchk)								
	Sim結果			.slg	.tpe	注5	.log	.bus	.ovprd	注5	.tpe
	MIN. & MAX. (パターン本数分)		DCテスト用パターン (32 K patternまで)		注4	注4	注4	注4	注4	注4	注4
		ファンクション・テスト用パターン									
		高速ファンクション・テスト用パターン		注6	注6	注6	注6	注6	注6	注6	
TESTACT	DFTデータベースファイル		(dft_db)								
	DFT固定端子ファイル		(dft-set)								
	テスト・バス持続確認パターン		testbus.cpt								
	BSCAN回路検証用パターン		bspat.cpt								

備考 : 必須, : 必要時

注1. ALBATROSS中のTIMINGに、IO MODULATIONの記述があること。

2, 3 それぞれについて、どれか1種類を選択。

4, 6 高速ファンクション・テストの要求がある場合必須。

DCテスト・パターンが32 Kを越える場合、32 KまでがDC測定用、それ以降はファンクション・テスト用となります。

5 .iomoduchk

C3 I/F OPC V4.5	上地	indef/OpenCAD.env/PIASS-E/PWCE/cts.pwc/nlef/embed.lef/merge.def/ outdef/po_psd2psd * .rpt/verify.jnl/ga_galetrc.pwc/ga_galet.lseq/ pathdelay.vsim.al (V.simの場合) /verilog.sdf (Verilogの場合) / eco.jnl (ECO実行時の経過FILE) /CXPWC.eco (ECO実行時) / outdef.eco (ECO実行時) /sim結果 (.trc)
	下地 (EA-9のみ)	embed.lef/embed.def/embed.lsq/PROUTE.mac/OpenCAD.env/PWCE ga_embed.sum/nlef/indef
C3 I/F OPC V5.0以上	上地	~.route.pwc/ ~.route.def/ ~.route.rc.pwc/ ~.route.netmerge.def/ ~.route.netmerge.pwc/ ~.route.merge_rc.pwc/ ~.route.lseg/ ~.hier.pr.Universal.sdf/ ~.ctsinfofor/OpenCAD.env/galet.nlef/ galet.verify.jnl/eco.jnl (ECO実行時) /sim結果 (.trc)
	下地 (EA-9のみ)	~.embed.def/ ~.embed.gds/ ~.embed.lef/galet_proute.mac/galet.nlef

備考1. ~ : CIRCUIT名

2. 下地のみ先行発注時は、上地データは不要です。

3. C3 I/Fで次の使用条件の場合は、弊社までお問い合わせください。

使用条件：SCAN搭載時、PFESiP/V850EP1使用時、セルベースIC使用時

第4章 製品規格

4.1 用語説明

表4 - 1 絶対最大定格に関する用語

項目	略号	意味
電源電圧	$V_{DD}^{\text{注}}$	V_{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	V_I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	V_O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電流	I_I	入力端子に印加しても、ラッチアップを生じない電流の許容絶対値を示します。
出力電流	I_O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じないDC電流の許容絶対値を示します。
動作温度	T_A	正常な論理動作をする周囲温度範囲を示します。
保存温度	T_{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

注 3.3 V系電源の場合、 V_{DD33} になります。

表4 - 2 推奨動作条件に関する用語

項目	略号	意味
電源電圧	V_{DD}	$V_{SS} = 0\text{ V}$ としたときに、正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	V_{IH}	ゲートアレイの入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 • MIN値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロー・レベル入力電圧	V_{IL}	ゲートアレイの入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示します。 • MAX値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。
ポジティブ・トリガ電圧	V_P	ゲートアレイの入力をロー・レベル側からハイ・レベル側に変化させたときに、出力レベルが反転する入力レベルです。
ネガティブ・トリガ電圧	V_N	ゲートアレイの入力をハイ・レベル側からロー・レベル側に変化させたときに、出力レベルが反転する入力レベルです。
ヒステリシス電圧	V_H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差です。
入力立ち上がり時間	t_{ri}	ゲートアレイの入力に印加する入力電圧が10%から90%に立ち上がる時間の制限値を示します。
入力立ち下がり時間	t_{fi}	ゲートアレイの入力に印加する入力電圧が90%から10%に立ち下がる時間の制限値を示します。

注 3.3 V系電源の場合、 V_{DD33} になります。

表4 - 3 DC特性に関する用語

項目	略号	意味
静消費電流	I _{DDs}	入力および出力端子の電圧変化がない状態で、規定された電源電圧において電源端子から流れ込む電流を示します。
オフステート出力電流	I _{oz}	3ステート出力で出力が高インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	I _{os}	出力ハイ・レベルのときに、出力端子をGNDと短絡した場合に流れ出す電流です。
入力リーク電流	I _I	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロー・レベル出力電流	I _{oL}	規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	I _{oH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロー・レベル出力電圧	V _{oL}	ロー・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	V _{oH}	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

4.2 製品規格 (EP-1 シリーズ)

次にEP-1シリーズのゲートアレイの製品規格を示します。

EP-1シリーズを構成するEP-1シリーズ専用マイコン「PFESiP/V850EP1」の製品規格については、PFESiP/V850EP1 製品データ編 ユーザーズ・マニュアル (A19069J) を参照してください。また、同じEP-1シリーズを構成するゲートアレイの製品規格については、4.3 製品規格 (ゲートアレイ) を参照してください。

4.2.1 絶対最大定格 (EP-1シリーズ)

表4-4 絶対最大定格 (EP-1シリーズ)

項目	略号	条件	定格	単位
電源電圧	VD15	1.5 V系電源	-0.5 ~ +2.0	V
電源電圧	VD33	3.3 V系電源	-0.5 ~ +4.6	V
電源電圧	VD50	5.0 V系電源	-0.5 ~ +6.0	V
入出力電圧	V_i/V_o	3.3 Vバッファ $V_i/V_o < VD33+0.5 V$	-0.5 ~ +4.6	V
入出力電圧	V_i/V_o	5 V耐圧バッファ $V_i/V_o < VD33+3.0 V$	-0.5 ~ +6.6	V
入出力電圧	V_i/V_o	5.0 Vバッファ $V_i/V_o < VD50+0.5 V$	-0.5 ~ +6.0	V
出力電流	I_o	$I_{OL} = 1 \text{ mA}$ タイプ	3	mA
出力電流	I_o	$I_{OL} = 2 \text{ mA}$ タイプ	7	mA
出力電流	I_o	$I_{OL} = 3 \text{ mA}$ タイプ	10	mA
出力電流	I_o	$I_{OL} = 6 \text{ mA}$ タイプ	20	mA
出力電流	I_o	$I_{OL} = 9 \text{ mA}$ タイプ	29	mA
出力電流	I_o	$I_{OL} = 12 \text{ mA}$ タイプ	40	mA
出力電流	I_o	$I_{OL} = 18 \text{ mA}$ タイプ	58	mA
出力電流	I_o	$I_{OL} = 24 \text{ mA}$ タイプ	75	mA
動作周囲温度	T_A		-40 ~ +85	°C
保存温度	T_{stg}		-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

4.2.2 推奨動作範囲 (EP-1シリーズ)

表4-5 推奨動作範囲 (EP-1シリーズ)

項目	略号	条件	MIN	TYP	MAX	単位
電源電圧	VD15	1.5 V	1.35	1.5	1.65	V
電源電圧	VD33	3.3 V	3.0	3.3	3.6	V
電源電圧	VD50	5.0 V ^注	4.5	5.0	5.5	V
ハイ・レベル入力電圧	V _{IH}	LVTTL入力バッファ	2.0		VD33	V
ロー・レベル入力電圧	V _{IL}	fail safe機能付きLVTTL入力バッファ	0		0.8	V
ポジティブ・トリガ電圧	V _P	シュミット入力	1.4		2.4	V
ネガティブ・トリガ電圧	V _N		0.8		1.6	V
ヒステリシス電圧	V _H		0.3		1.5	V
ハイ・レベル入力電圧	V _{IH}		TTL 5 V耐圧入力バッファ	2.0		5.5
ロー・レベル入力電圧	V _{IL}		0		0.8	V
ポジティブ・トリガ電圧	V _P	シュミット入力	1.4		2.4	V
ネガティブ・トリガ電圧	V _N		0.8		1.6	V
ヒステリシス電圧	V _H		0.3		1.5	V
ハイ・レベル入力電圧	V _{IH}		CMOS 5 Vフルスイング入力バッファ	0.7 VD50		VD50
ロー・レベル入力電圧	V _{IL}		0		0.3 VD50	V
ポジティブ・トリガ電圧	V _P	シュミット入力	1.8		4.0	V
ネガティブ・トリガ電圧	V _N		0.6		3.1	V
ヒステリシス電圧	V _H		0.3		1.5	V
ハイ・レベル入力電圧	V _{IH}		TTL 5 Vフルスイング入力バッファ	2.2		VD50
ロー・レベル入力電圧	V _{IL}		0		0.8	V
ポジティブ・トリガ電圧	V _P	シュミット入力	1.2		2.4	V
ネガティブ・トリガ電圧	V _N		0.6		1.8	V
ヒステリシス電圧	V _H		0.3		1.5	V
入力立ち上がり時間	t _{ri}		通常入力	0		200
入力立ち下がり時間	t _{fi}	0			200	ns
入力立ち上がり時間	t _{ri}	シュミット入力	0		10	ms
入力立ち下がり時間	t _{fi}		0		10	ms

注 5 Vフルスイング・バッファ搭載時のみ。

備考 立ち上がり / 立ち下がり時間が大きい鈍った信号を入力する場合には、信号線へのノイズによる誤動作が問題になりますので、シュミット・トリガ入力バッファを使用するようにしてください。

また、出力バッファの同時動作などの原因による電源ラインの変動は、シュミット・トリガ入力バッファの能力を低下させますので端子配置に注意してください。

4.3 製品規格 (ゲートアレイ)

4.3.1 絶対最大定格 (ゲートアレイ)

表4-6 絶対最大定格 (ゲートアレイ)

項目		略号	条件	定格	単位
電源電圧		V _{DD33}	3.3 V	-0.5 ~ +4.6	V
		V _{DD50}	5.0 V ^注	-0.5 ~ +6.0	V
入力電圧	LVTTL入力バッファ	V _I	V _I < V _{DD33} +0.5 V	-0.5 ~ +4.6	V
	fail safe機能付きLVTTL入力バッファ		V _I < V _{DD33} +0.5 V	-0.5 ~ +4.6	V
	5 V耐圧入力バッファ		V _I < V _{DD33} +3.0 V	-0.5 ~ +6.6	V
	5 Vフルスイング・バッファ		V _I < V _{DD50} +0.5 V	-0.5 ~ +6.0	V
出力電圧	LVTTL出力バッファ	V _O	V _O < V _{DD33} +0.5 V	-0.5 ~ +4.6	V
	TTL 5 V耐圧出力バッファ		V _O < V _{DD33} +3.0 V	-0.5 ~ +6.6	V
	CMOS用5 V耐圧出力バッファ		V _O < V _{DD33} +3.0 V	-0.5 ~ +6.6	V
	5 Vフルスイング・バッファ		V _O < V _{DD50} +0.5 V	-0.5 ~ +6.0	V
出力電流	I _{OL} = 1.0 mA	I _O	FV0A	3	mA
	I _{OL} = 2.0 mA		FV0B	7	mA
	I _{OL} = 3.0 mA		FO09, FV09, FY09	10	mA
	I _{OL} = 6.0 mA		FO04, FV04, FY04	20	mA
	I _{OL} = 9.0 mA		FO01, FV01, FY01	30	mA
	I _{OL} = 12.0 mA		FO02, FV02, FY02, FW02, FZ02	40	mA
	I _{OL} = 18.0 mA		FO03, FV03, FY03, FW03, FZ03	60	mA
	I _{OL} = 24.0 mA		FO06, FV06, FY06, FW06, FZ06	75	mA
動作周囲温度		T _A		-40 ~ +85	°C
保存温度		T _{stg}		-65 ~ +150	°C

注 5 Vフルスイング・バッファ搭載時のみ。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

備考 Fail safe機能付きバッファを除いて、入出力端子への5 Vまたは3.3 V電圧の印加は、必ず電源電圧が確定してから行ってください。

4.3.2 推奨動作範囲（ゲートアレイ）

表4-7 推奨動作範囲（ゲートアレイ）

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電圧	V _{DD33}	3.3 V	3.0	3.3	3.6	V	
	V _{DD50}	5.0 V ^注	4.5	5.0	5.5	V	
ハイ・レベル入力電圧	V _{IH}	LVTTL入力バッファ	2.0		V _{DD33}	V	
ロー・レベル入力電圧	V _{IL}	fail safe機能付きLVTTL入力バッファ	0		0.8	V	
ポジティブ・トリガ電圧	V _P	シュミット入力	1.4		2.4	V	
ネガティブ・トリガ電圧	V _N		0.8		1.6	V	
ヒステリシス電圧	V _H		0.3		1.5	V	
ハイ・レベル入力電圧	V _{IH}		TTL 5 V耐圧入力バッファ	2.0		5.5	V
ロー・レベル入力電圧	V _{IL}		0		0.8	V	
ポジティブ・トリガ電圧	V _P	シュミット入力	1.4		2.4	V	
ネガティブ・トリガ電圧	V _N		0.8		1.6	V	
ヒステリシス電圧	V _H		0.3		1.5	V	
ハイ・レベル入力電圧	V _{IH}		CMOS 5 Vフルスイング入力バッファ	0.7 V _{DD50}		V _{DD50}	V
ロー・レベル入力電圧	V _{IL}		0		0.3 V _{DD50}	V	
ポジティブ・トリガ電圧	V _P	シュミット入力	1.8		4.0	V	
ネガティブ・トリガ電圧	V _N		0.6		3.1	V	
ヒステリシス電圧	V _H		0.3		1.5	V	
ハイ・レベル入力電圧	V _{IH}		TTL 5 Vフルスイング入力バッファ	2.2		V _{DD50}	V
ロー・レベル入力電圧	V _{IL}		0		0.8	V	
ポジティブ・トリガ電圧	V _P	シュミット入力	1.2		2.4	V	
ネガティブ・トリガ電圧	V _N		0.6		1.8	V	
ヒステリシス電圧	V _H		0.3		1.5	V	
入力立ち上がり時間	t _{ri}		通常入力	0		200	ns
入力立ち下がり時間	t _{fi}		(データ・ライン)	0		200	ns
入力立ち上がり時間	t _{ri}	通常入力	0		4	ns	
入力立ち下がり時間	t _{fi}	(クロック・ライン)	0		4	ns	
入力立ち上がり時間	t _{ri}	シュミット入力	0		10	ms	
入力立ち下がり時間	t _{fi}		0		10	ms	

注 5 Vフルスイング・バッファ搭載時のみ。

備考 立ち上がり/立ち下がり時間が大きく鈍った信号を入力する場合や、しきい値をまたぐノイズがのった信号を入力する場合は、チップ内部の信号線へのノイズによる誤動作が問題になるので、シュミット・トリガ入力バッファを使用してください。特にクロック入力はノイズの影響を受けやすいため、推奨動作範囲を別に規定しています。その範囲より立ち上がり/立ち下がり時間が大きくなる場合は、同様にシュミット・トリガ入力バッファを使用してください。

ただし、ヒステリシス電圧を越えるノイズがのる場合は、誤動作の可能性があるので注意してください。また、出力バッファの同時動作などの原因による電源ラインの変動は、シュミット・トリガ入力バッファの能力を低下させますので端子配置に注意してください。

4.3.3 DC特性(ゲートアレイ)

表4-8 DC特性(ゲートアレイ)(1/3)

項目		略号	条件	MIN.	TYP.	MAX.	単位	
静消費電流 ^{注1}	MC-10501/10505	I _{DD5}	V _I = V _{DD33} or GND		1.0	200	μA	
	MC-10502/10506		5Vフルスイング・バッファは、		2.0	400	μA	
	MC-10503/10507		V _I = V _{DD50} or GND		3.0	600	μA	
オフステート出力電流 ^{注2}	LVTTL出力	I _{OZ}	V _O = V _{DD33} or GND			±10	μA	
	TTL 5V耐圧出力					±10	μA	
	CMOS用5V耐圧					±10	μA	
	CMOS 5Vフルスイング・バッファ出力 ^{注8}		V _O = V _{DD50} or GND			±10	μA	
	TTL 5Vフルスイング・バッファ出力 ^{注8}					±10	μA	
出力流れ込み電流 ^{注3}	CMOS用5V耐圧出力	I _R	V _{PU} = 5.5V, R _{PU} = 2kΩ, V _O = 3.0V			0.1	μA	
出力短絡電流 ^{注4}		I _{OS}	V _O = GND			-250	mA	
入力リーク電流(3.3V)	通常入力	I _I	V _I = V _{DD33} or GND			±1.0	μA	
	プルアップ抵抗付き(50kΩ)		V _I = GND	-28	-83	-190	μA	
	プルアップ抵抗付き(5kΩ)		V _I = GND	-280	-700	-1900	μA	
	プルダウン抵抗付き(50kΩ)		V _I = V _{DD33}	28	83	190	μA	
入力リーク電流(5.0V) ^{注8}	通常入力	I _I	V _I = V _{DD50} or GND			±10	μA	
	プルアップ抵抗付き(50kΩ)		V _I = GND	-36	-145	-308	μA	
	プルアップ抵抗付き(5kΩ)		V _I = GND	-300	-1163	-2750	μA	
	プルダウン抵抗付き(50kΩ)		V _I = V _{DD50}	45	116	367	μA	
3.3Vバッファ	プルアップ抵抗 ^{注5}	50kΩ	R _{PU}	V _I = GND	18.9	39.8	107.1	kΩ
		5kΩ		V _I = GND	1.9	4.7	10.7	kΩ
	プルダウン抵抗 ^{注5}	50kΩ	R _{PD}	V _I = V _{DD33}	18.9	39.8	107.1	kΩ
5Vフルスイング・バッファ ^{注8}	プルアップ抵抗 ^{注5}	50kΩ	R _{PU}	V _I = GND	17.9	34.6	125.1	kΩ
		5kΩ		V _I = GND	2.0	4.3	15.0	kΩ
	プルダウン抵抗 ^{注5}	50kΩ	R _{PD}	V _I = V _{DD50}	15.0	43.4	100.0	kΩ
ロー・レベル出力電流 ^{注6} (LVTTL出力)	3.0mAタイプ	FO09	I _{OL}	V _{OL} = 0.4V	3.00 ^{注7}		mA	
	6.0mAタイプ	FO04			6.00		mA	
	9.0mAタイプ	FO01			9.00		mA	
	12.0mAタイプ	FO02			12.00		mA	
	18.0mAタイプ	FO03			18.00		mA	
	24.0mAタイプ	FO06			24.00		mA	
	ロー・レベル出力電流 ^{注6} (TTL 5V耐圧出力)	1.0mAタイプ			FV0A	I _{OL}	V _{OL} = 0.4V	1.00
2.0mAタイプ		FV0B	2.00		mA			
3.0mAタイプ		FV09	3.00		mA			
6.0mAタイプ		FV04	6.00		mA			
9.0mAタイプ		FV01	9.00		mA			
12.0mAタイプ		FV02	12.00		mA			
18.0mAタイプ		FV03	18.00		mA			
24.0mAタイプ		FV06	24.00		mA			

表4-8 DC特性(ゲートアレイ)(2/3)

項目			略号	条件	MIN.	TYP.	MAX.	単位
ロー・レベル 出力電流 ^{注6} (CMOS用 5V耐圧出力)	3.0 mAタイプ	FY09	I _{OL}	V _{OL} = 0.4 V	3.00			mA
	6.0 mAタイプ	FY04			6.00			mA
	9.0 mAタイプ	FY01			9.00			mA
	12.0 mAタイプ	FY02			12.00			mA
	18.0 mAタイプ	FY03			18.00			mA
	24.0 mAタイプ	FY06			24.00			mA
ロー・レベル 出力電流 ^{注6, 8} (5Vフルスイ ング・バッファ 出力)	1.0 mAタイプ	FV0AAL	I _{OL}	V _{OL} = 0.4 V	1.00			mA
	2.0 mAタイプ	FV0BAL			2.00			mA
	3.0 mAタイプ	FV09AL			3.00			mA
	6.0 mAタイプ	FV04AL			6.00			mA
	9.0 mAタイプ	FV01AL			9.00			mA
	12.0 mAタイプ	FV02AL			12.00			mA
ハイ・レベル 出力電流 ^{注6} (LVTTTL出力)	3.0 mAタイプ	FO09	I _{OH}	V _{OH} = 2.4 V	-3.00			mA
	6.0 mAタイプ	FO04			-6.00			mA
	9.0 mAタイプ	FO01			-9.00			mA
	12.0 mAタイプ	FO02			-12.00			mA
	18.0 mAタイプ	FO03			-18.00			mA
	24.0 mAタイプ	FO06			-24.00			mA
ハイ・レベル 出力電流 ^{注6} (TTL 5V耐圧 出力)	1.0 mAタイプ	FV0A	I _{OH}	V _{OH} = 2.4 V	-1.00			mA
	2.0 mAタイプ	FV0B			-1.00			mA
	3.0 mAタイプ	FV09			-3.00			mA
	6.0 mAタイプ	FV04			-3.00			mA
	9.0 mAタイプ	FV01			-3.00			mA
	12.0 mAタイプ	FV02			-3.00			mA
ハイ・レベル 出力電流 ^{注6, 8} (5Vフルスイ ング・バッファ 出力)	1.0 mAタイプ	FV0AAL	I _{OH}	V _{OH} = V _{DD50} - 0.4 V	-1.00			mA
	2.0 mAタイプ	FV0BAL			-2.00			mA
	3.0 mAタイプ	FV09AL			-3.00			mA
	6.0 mAタイプ	FV04AL			-6.00			mA
	9.0 mAタイプ	FV01AL			-9.00			mA
	12.0 mAタイプ	FV02AL			-12.00			mA
ロー・レベル 出力電圧	LVTTL出力タイプ		V _{OL}	注9, I _{OL} = 6 mA (6 mAタイプ), V _{DD33} = min.			0.4	V
	TTL 5V耐圧出力						0.4	V
	CMOS用5V耐圧出力						0.4	V
	5Vフルスイング・ バッファ出力 ^{注8}				注9, I _{OL} = 6 mA (6 mAタイプ), V _{DD50} = min.		0.4	V
ハイ・レベル 出力電圧	LVTTL出力タイプ		V _{OH}	注9, I _{OH} = -6 mA (6 mAタイプ), V _{DD33} = min.	2.4			V
	TTL 5V耐圧出力				2.4			V
	5Vフルスイング・ バッファ出力 ^{注8}				注9, I _{OH} = -6 mA (6 mAタイプ), V _{DD50} = min.	V _{DD50} -0.4		

表4-8 DC特性(ゲートアレイ)(3/3)

項目		略号	条件	MIN	TYP	MAX	単位
ロー・レベル 出力電圧	LVTTL出力タイプ	V _{OL}	I _{OL} = 0 mA			0.1	V
	LVTTL出力 (5 kΩプルアップ付き)					0.2	V
	TTL 5 V耐圧出力					0.1	V
	CMOS用5 V耐圧出力					0.1	V
	5 Vフルスイング・ バッファ出力 ^{注8}					0.1	V
ハイ・レベル 出力電圧	LVTTL出力タイプ	V _{OH}	I _{OH} = 0 mA	V _{DD33} -0.1			V
	TTL 5 V耐圧出力			V _{DD33} -0.2			V
	5 Vフルスイング・ バッファ出力 ^{注8}			V _{DD50} -0.1			V

注1. プルアップ/プルダウン抵抗内蔵のI/Oブロックなどを使用する場合は、静消費電流が増加します。

詳細は第5章 ゲートアレイ部各種特性値の見積もり方法を参照してください。

- TTL 5 V耐圧およびCMOS用5 V耐圧 3ステート・バッファやI/Oバッファでは、5 V保護回路へのバイアスのため、出力のオフステート電流が多少増加します。
- TTL 5 V耐圧およびCMOS用5 V耐圧出力バッファでは、LSIの電源電圧より高い電圧でプルアップした場合、出力端子からLSI内部に向かって流れ込み電流が発生します。
- 出力短絡時間は1秒以下で、LSIの1端子のみ。
- プルアップ抵抗値、プルダウン抵抗値は入力電圧、出力電圧により変化します。
- 同じ出力駆動能力のバッファはすべて同じ規格です。
- 5 kΩプルアップ抵抗付きバッファの場合、2.00 mAになります。
- 5 Vフルスイング・バッファ搭載時のみ。
- 他の駆動能力(I_{OH}/I_{OL})タイプも同様。

備考 表中の電流値の+、-は電流の方向を示しています。デバイスに流れ込む場合が+、流れ出す場合が-です。CMOS用5 V耐圧出力バッファは構造的に直流出力ハイ・レベルはありませんので、注意してください。

4.3.4 AC特性(ゲートアレイ)

AC特性を表4-9に示します。

なお、内部セルのトグル・フリップフロップのみの回路での最高動作クロック周波数(f_{MAX})は、表中のトグル周波数(f_{tog})の値になります。しかし、実際の回路での最高動作クロック周波数(f_{MAX})は、回路構成によって変わりますので注意してください。

表4-9 AC特性(ゲートアレイ) ($V_{DD33} = 3.3 \pm 0.3$ V, $V_{DD50} = 5.0 \pm 0.5$ V, $T_A = -40 \sim +85$ °C)

項目	略号	条件		MIN.	TYP.	MAX.	単位
最高トグル周波数	f_{tog}	内部トグルF/F(ファンアウト2)		670			MHz
伝達遅延時間	t_{PD}	内部ゲート	ファンアウト1, 配線長0 mm		94		ps
			ファンアウト1, 標準配線長		131		ps
			標準負荷		108		ps
		内部ゲート (パワー・ゲート)	ファンアウト1, 標準配線長		107		ps
			標準負荷		94		ps
		入力バッファ	ファンアウト1, 標準配線長		229		ps
			標準負荷		222		ps
		出力バッファ (FO01)	$C_L = 15$ pF		1396		ps
出力立ち上がり時間	t_r	5 Vフルスイング 入力バッファ	ファンアウト2, 標準配線長		690		ps
		5 Vフルスイング 入力バッファ	$C_L = 15$ pF, $I_{OL} = 18$ mA		2045		ps
出力立ち下がり時間	t_f	出力バッファ (FO01)	$C_L = 15$ pF		2391		ps
		5 Vフルスイング 出力バッファ	$C_L = 15$ pF, $I_{OL} = 9$ mA		1601		ps
出力立ち下がり時間	t_f	出力バッファ (FO01)	$C_L = 15$ pF		1872		ps
		5 Vフルスイング 出力バッファ	$C_L = 15$ pF, $I_{OL} = 9$ mA		1583		ps

備考 標準負荷： ファンアウト2, 配線長0 mm

標準配線長： 145 μ m / 1ピン・ペア

4.3.5 端子容量

端子容量はインタフェース・ブロックの容量と、パッケージ固有の容量の合計になります。

表4 - 10にインタフェース・ブロックの容量 (C_B) を、表4 - 11にパッケージの容量 (C_P) を示します。

端子容量は、次の式で算出してください。

$$\text{端子容量 (C}_T\text{)} = \text{インタフェース・ブロックの容量 (C}_B\text{)} + \text{パッケージごとの容量 (C}_P\text{)}$$

表4 - 10 インタフェース・ブロックの容量 (C_B)

(a) 入力バッファ

インタフェース・レベル	C _{B(MIN.)} (pF)		C _{B(MAX.)} (pF)	
	Normal	with Failsafe	Normal	with Failsafe
LVTTTL	3.25	2.84	3.97	3.48
5 V耐圧	6.25	–	6.97	–
5 Vフルスイング	8.00	–	10.00	–

備考 V_{DD} = 0 V, T_J = 25 °C, f = 1 MHz

(b) 出力バッファ / 双方向バッファ

インタフェース・レベル		C _B (pF)							
		1 mA	2 mA	3 mA	6 mA	9 mA	12 mA	18 mA	24 mA
LVTTTL	MIN	–	–	3.25	3.25	3.25	3.25	3.25	3.25
	MAX	–	–	3.97	3.97	3.97	3.97	3.97	3.97
TTL5 V耐圧	MIN	6.25	6.25	6.25	6.25	6.25	6.25	6.25	6.25
	MAX	6.97	6.97	6.97	6.97	6.97	6.97	6.97	6.97
CMOS用5 V耐圧	MIN	–	–	6.25	6.25	6.25	6.25	6.25	6.25
	MAX	–	–	6.97	6.97	6.97	6.97	6.97	6.97
5 Vフルスイング	MIN	–	–	8.00	8.00	8.00	8.00	8.00	8.00
	MAX	–	–	10.00	10.00	10.00	10.00	10.00	10.00

備考 V_{DD} = 0 V, T_J = 25 °C, f = 1 MHz

表4 - 11 パッケージごとの容量 (C_P)

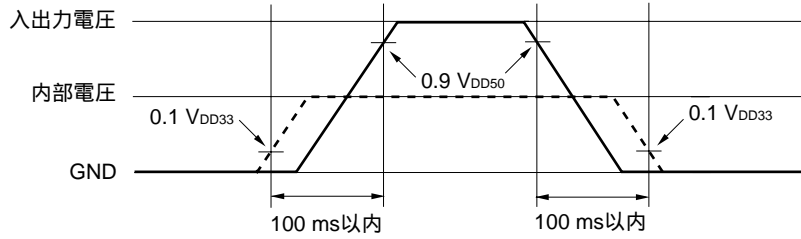
パッケージ		リード・ピッチ	パッケージ・サイズ	C _P (pF)
PBGA	464ピン	1.00 mmペリメター	25 × 30 mm	0.8 ~ 2.0
	550ピン			
FPBGA	452ピン	0.80 mmペリメター	22 × 22 mm	評価中
	433ピン	0.65 mmペリメター	17 × 17 mm	評価中

4.4 電源投入，電源切断手順

電源投入時間差については，電源投入順序にかかわらず，内部あるいは入出力電源のどちらか先に立ち上がる方の電源の立ち上がり開始時から，両方の電源が安定するポイントまでの時間差が100 ms以内であることを推奨します。また，電源切断も各電源を100 ms以内に切断することを推奨します。

なお，時間を測定する際の電圧は， $0.1 V_{DD}$ ~ $0.9 V_{DD}$ の期間とします（図4 - 1参照）。

図4 - 1 電源の投入 / 切断順序（推奨）例



(1) 5V フルスイング・バッファを使用する場合

5V 電源の投入手順は，上記の内部および入出力電源投入後に各電源が安定する時間差を 100 ms 以内にすることを推奨します。

切断する手順は，最初に 5V 電源を切断して，各電源を 100 ms 以内に切断することを推奨します。

第5章 ゲートアレイ部各種特性値の見積もり方法

この章では、消費電力や遅延時間などの見積もり（計算）方法について説明しています。本章の消費電流はEP-1シリーズのゲートアレイ部のみの値です。EP-1シリーズとしての消費電流に関しては、CPU部とゲートアレイ部の合計の値となりますので注意してください。

5.1 静消費電流の見積もり

5.1.1 静消費電流の見積もり

通常スタンバイ時には電源からGNDへ非常に微少なリーク電流のみが流れます。プルアップ/プルダウン抵抗内蔵の入出力バッファや5 V出力ブロックを使用しない場合には、静消費電流は、このリーク電流と等しくなります。一方、プルアップ/プルダウン抵抗内蔵の入出力バッファを使用する場合には、信号レベルによってその抵抗を通して直流電流が流れるため静消費電流は増加します。

また、TTL 5 V耐圧およびCMOS用5 V耐圧出力バッファでは5 V電源でプルアップした場合、出力レベルをハイにした場合でも出力端子からLSI内部へ電流が流れ込みます。

静消費電流は次の式で計算できます。

$$I_{\text{DDS (max.)}} = I_L + I_{U50} \times \lambda + I_{D50} \times m + I_{U5} \times n + I_{RT} \times p + I_{RC} \times q \quad (\mu A)$$

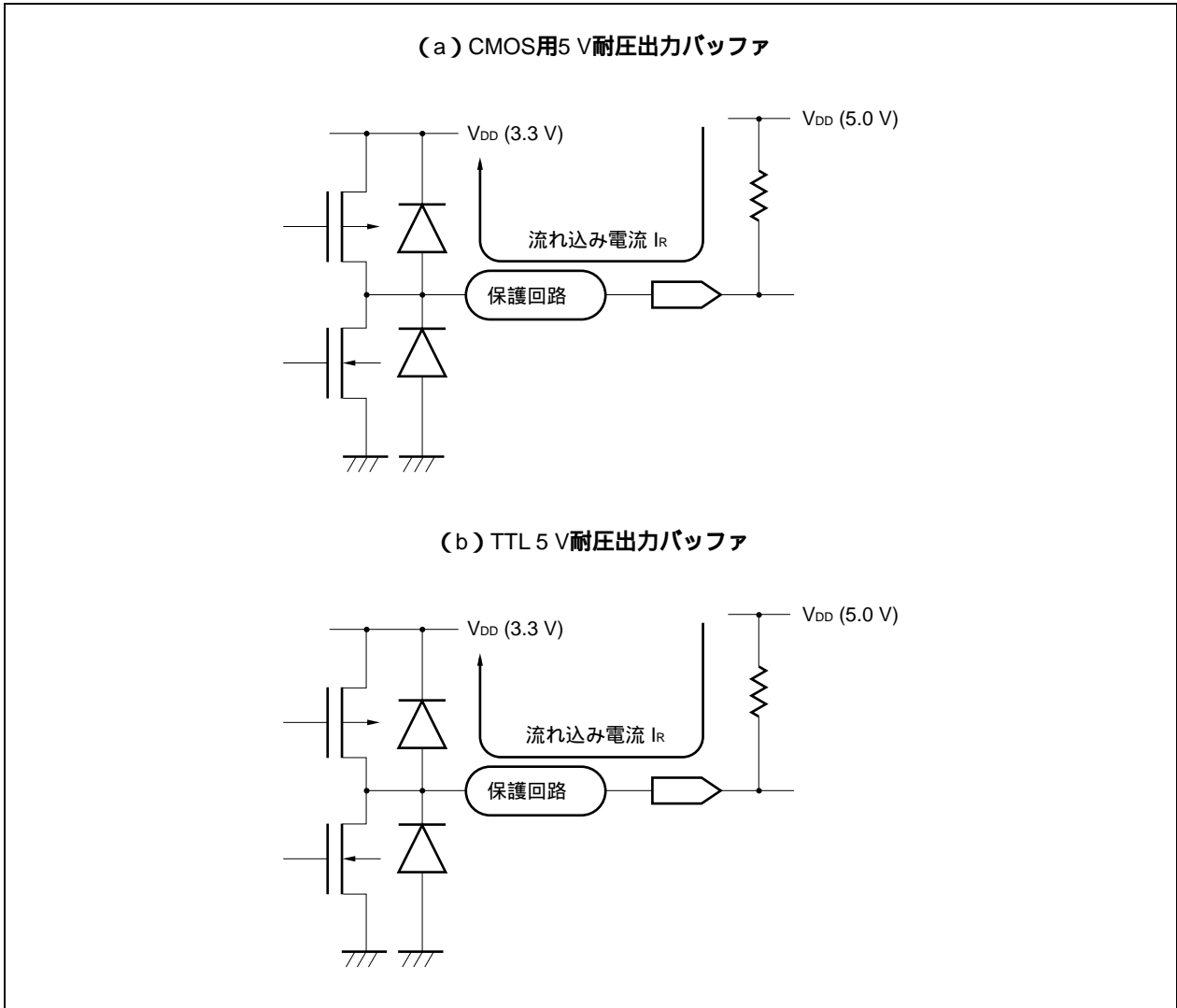
I _L :	ゲートアレイ部リーク電流	MC-10501/10505	(200 μA)
		MC-10502/10506	(400 μA)
		MC-10503/10507	(600 μA)
I _{U50} :	50 kΩ内蔵プルアップ抵抗の消費電流		(190 μA)
I _{D50} :	50 kΩ内蔵プルダウン抵抗の消費電流		(190 μA)
I _{U5} :	5 kΩの内蔵プルアップ抵抗の消費電流		(1900 μA)
I _{RT} :	TTL 5 V耐圧出力バッファ出力流れ込み電流		
	出力レベル	ロー・レベル	(V _{PU} /R _{PU} A)
		ハイ・レベル	(5.1.2 出力流れ込み電流 (I _R) を参照)
		ハイ・インピーダンス	(14 μA)
I _{RC} :	CMOS用5 V耐圧出力バッファ出力流れ込み電流		
	出力レベル	ロー・レベル	(V _{PU} /R _{PU} A)
		ハイ・レベル	(5.1.2 出力流れ込み電流 (I _R) を参照)
		ハイ・インピーダンス	(18 μA)
λ:	50 kΩのプルアップ抵抗内蔵の入出力バッファにおいて信号がロー・レベルの本数		
m:	50 kΩのプルダウン抵抗内蔵の入出力バッファにおいて信号がハイ・レベルの本数		
n:	5 kΩのプルアップ抵抗内蔵の入出力バッファにおいて信号がロー・レベルの本数		
p:	5 V電源にプルアップされるTTL 5 V耐圧出力バッファの本数		
q:	5 V電源にプルアップされるCMOS用5 V耐圧出力バッファの本数		
V _{PU} :	5 Vプルアップ電圧		
R _{PU} :	プルアップ抵抗		

3ステート回路が回路内に含まれる場合には、オフステート出力電流の影響も検討してください。

5.1.2 出力流れ込み電流 (I_R)

TTL 5 V耐圧およびCMOS用5 V耐圧出力バッファは、5 V出力レベルが必要な場合に使用するブロックです。TTL 5 V耐圧出力ブロックは、出力直流電流を流すため5 Vプルアップした場合、LSI内部へ電流が流れ込みます。CMOS用5 V耐圧出力バッファでは直流的なハイ・レベルは実現できませんが、多少流れ込み電流は発生します(ただし、出力がハイ・インピーダンスの場合にはオフステート・リーク以外の流れ込み電流は流れません)。

図5 - 1 出力流れ込み電流 (I_R) の流れ込みルート



ここでは、プルアップ抵抗により決まる流れ込み電流を図5 - 2に示します。

代表プルアップ抵抗値による出力波形を図5 - 3に、出力波形の測定回路と条件を図5 - 4示します。

5 Vフルスイング・バッファの出力波形を図5 - 5に、出力波形の測定回路と条件を図5 - 6に示します。

図5-2 出力流れ込み電流

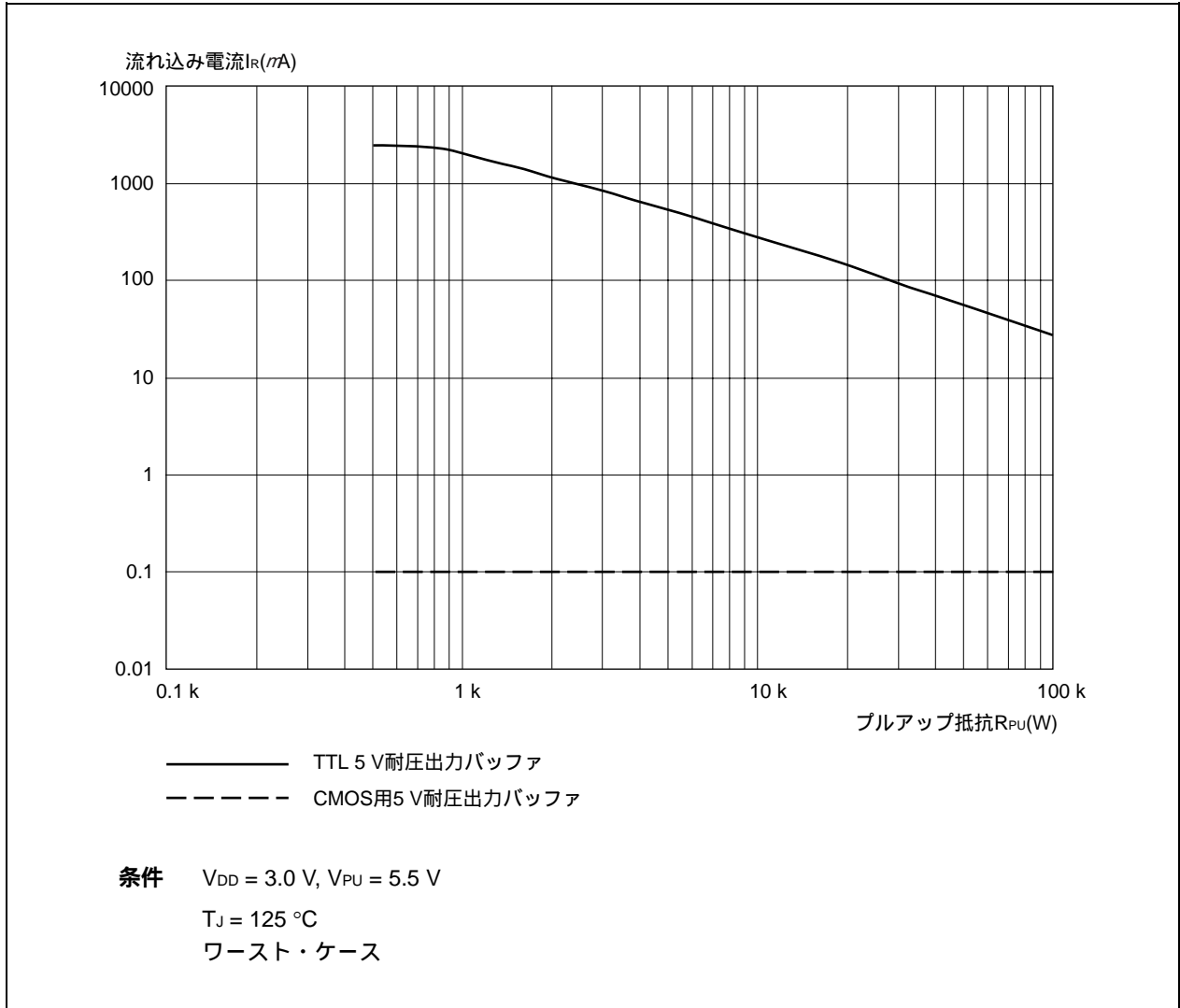


図5-3 5V耐圧出力バッファ 出力波形(1/3)

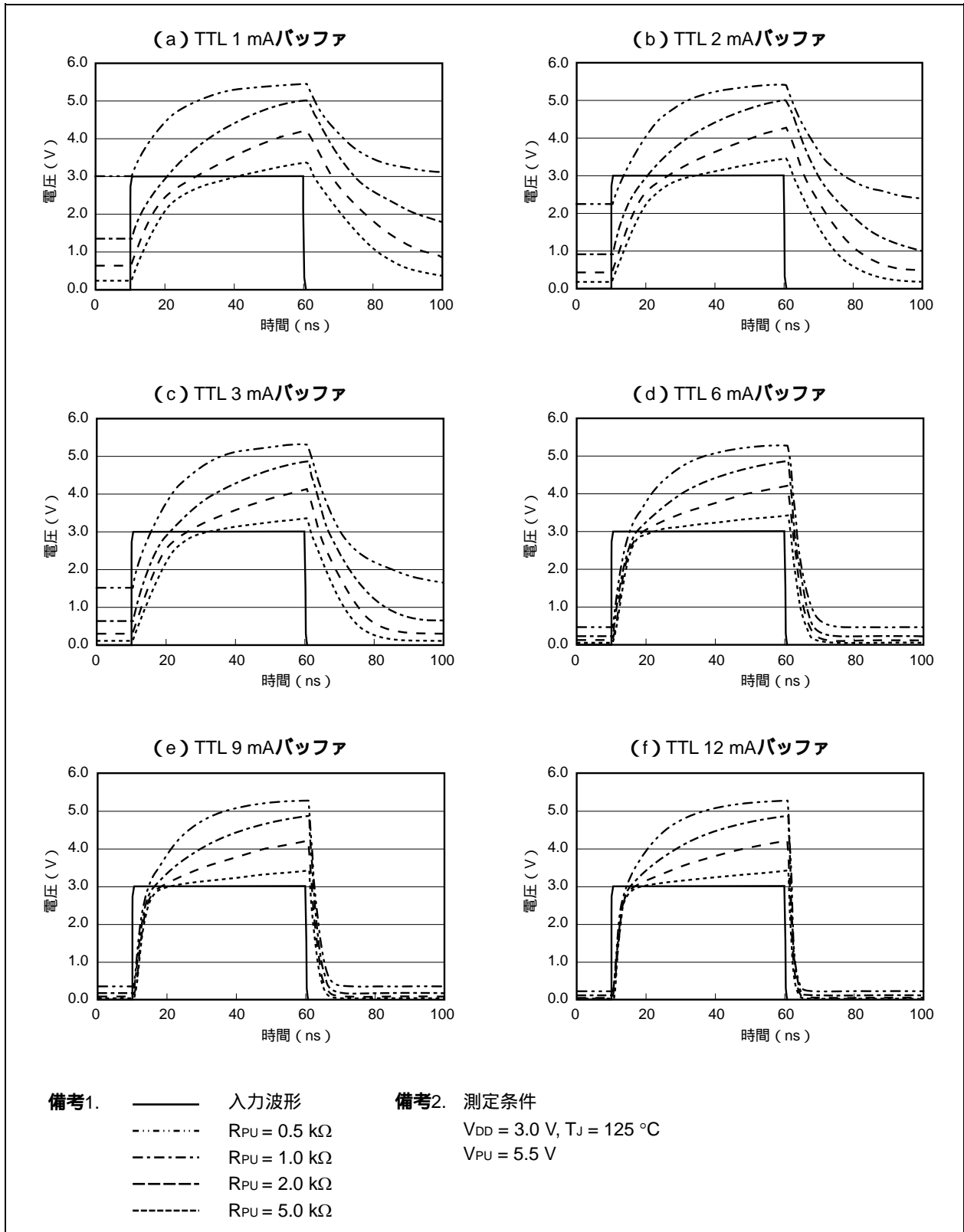


図5-3 5V耐圧出力バッファ 出力波形(2/3)

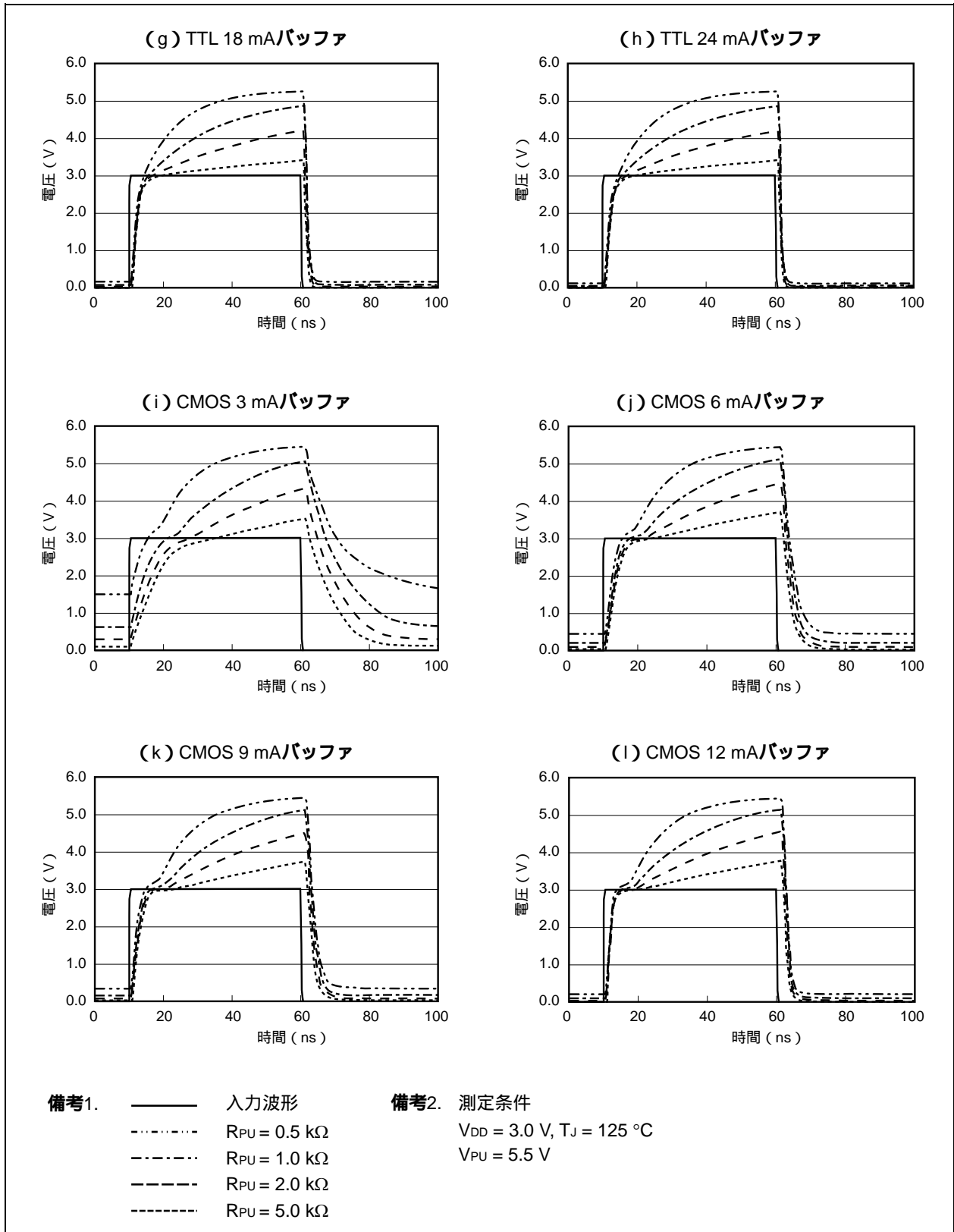


図5-3 5V耐圧出力バッファ 出力波形(3/3)

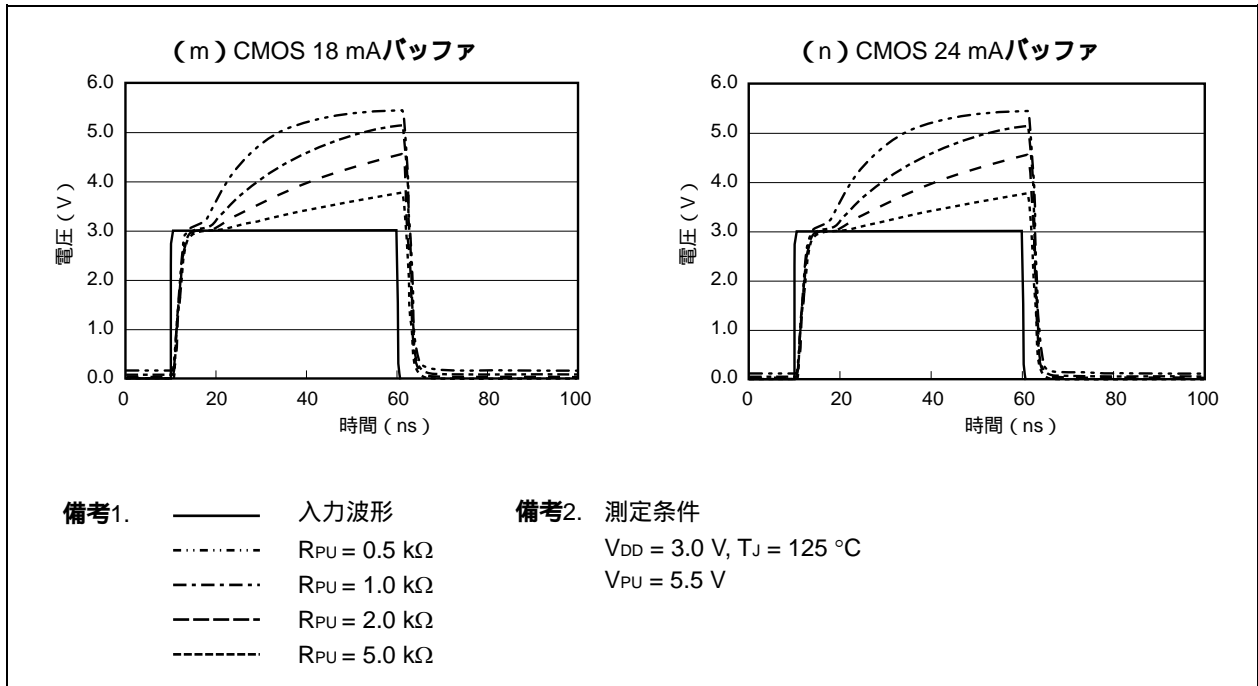


図5-4 測定回路(5V耐圧出力バッファ)

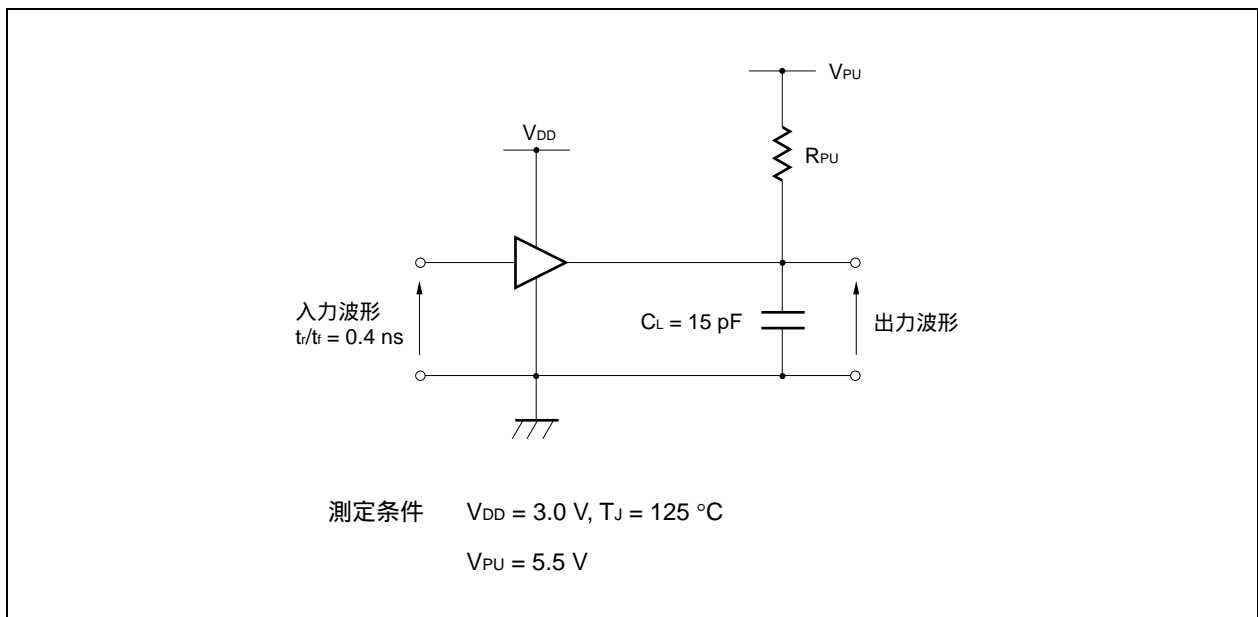


図5-5 5Vフルスイング・バッファ 出力波形

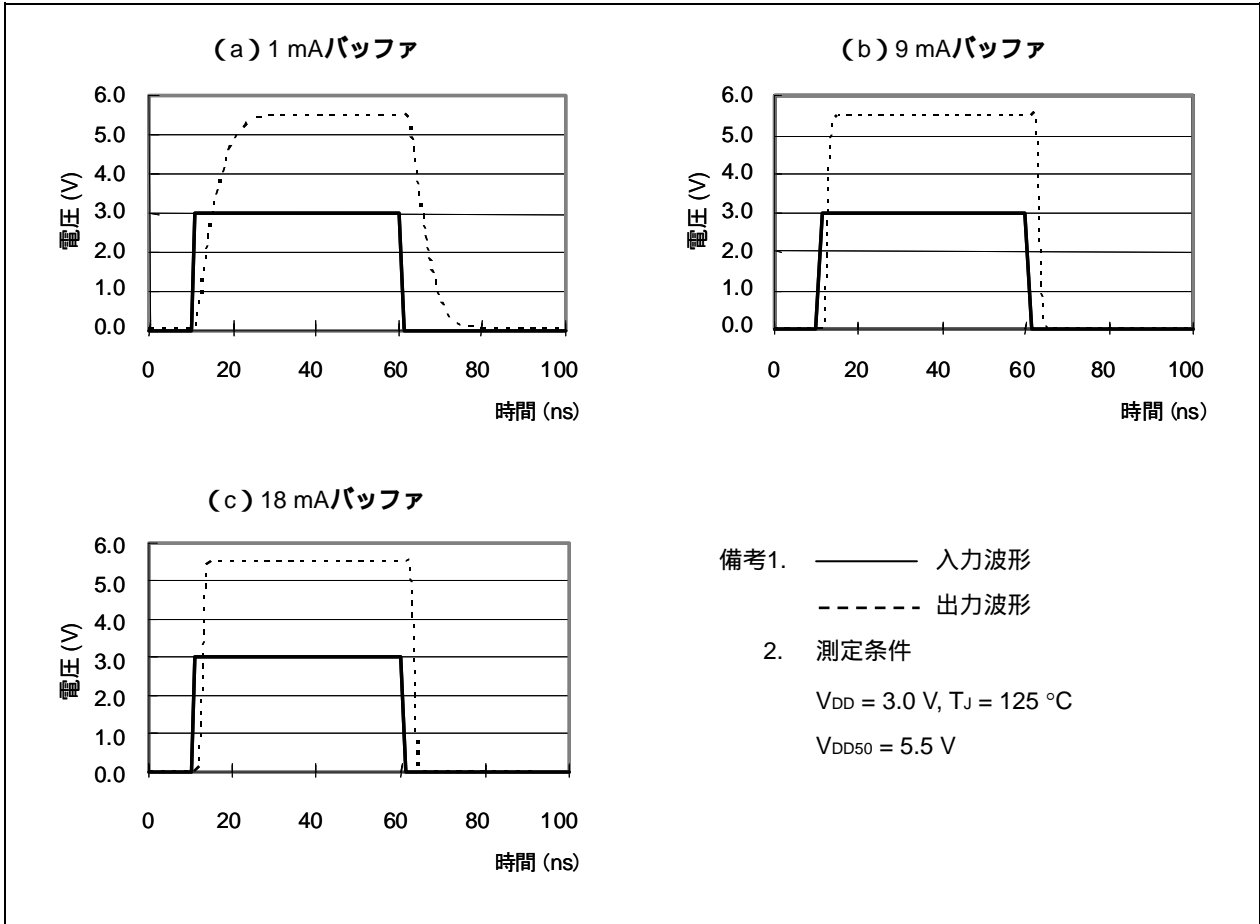
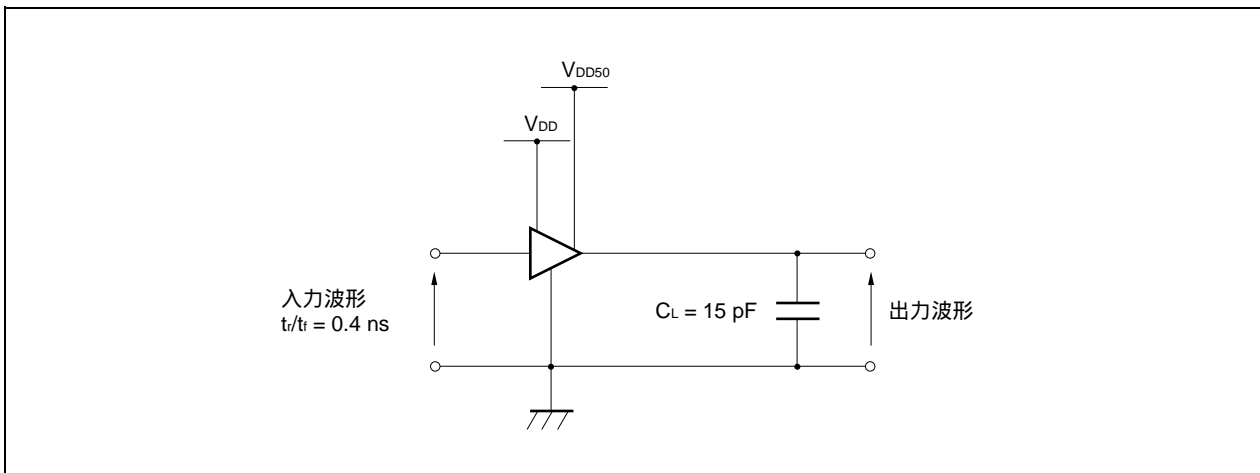


図5-6 測定回路 (5Vフルスイング・バッファ)



5.2 入力貫通電流

入力電圧 (V_{IN}) が電源電圧 (V_{DD}) と同じ場合, 入力リーク電流は第3章 製品規格に記載されている値と同じになります。しかし, 入力電圧が電源電圧より低くなるか入力電圧がGNDレベルより高くなると, PチャネルからNチャネルを通して電流が流れます。この電流を入力貫通電流といいます。図5-7~5-12に各インタフェースにおける入力貫通電流 (参考値) を示します。

図5-7 入力貫通電流 (3.3 V入力)

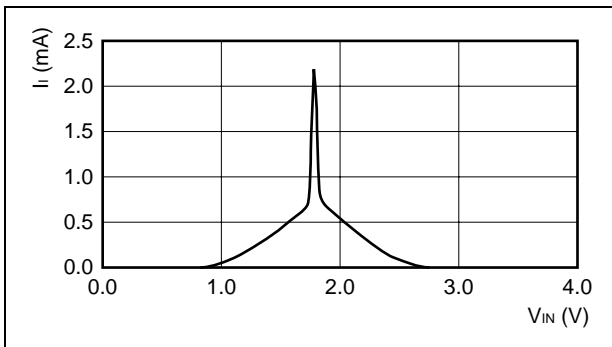


図5-8 入力貫通電流 (3.3 Vシュミット入力)

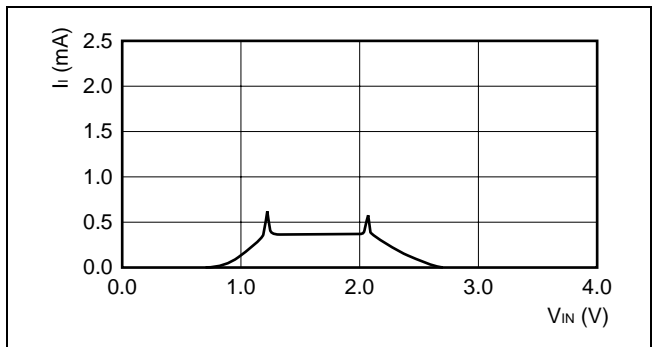


図5-9 入力貫通電流 (5 V入力)

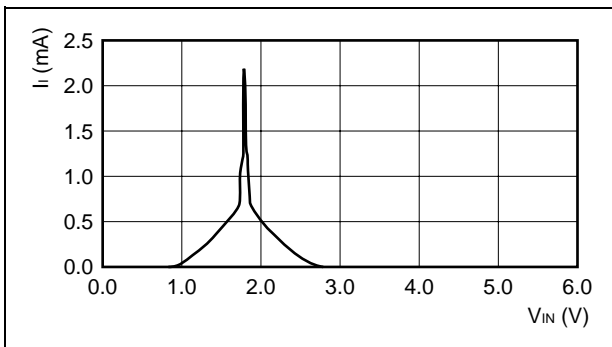


図5-10 入力貫通電流 (5 Vシュミット入力)

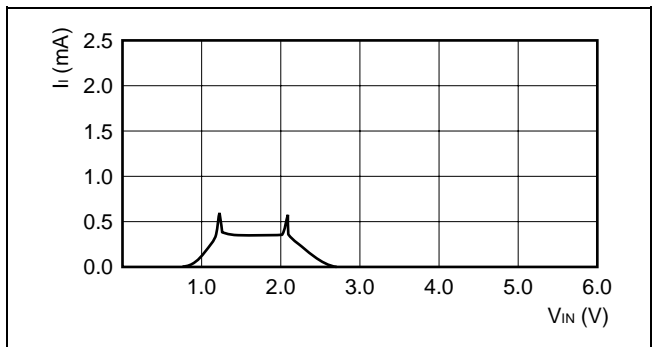


図5-11 入力貫通電流 (5 Vフルスイング入力)

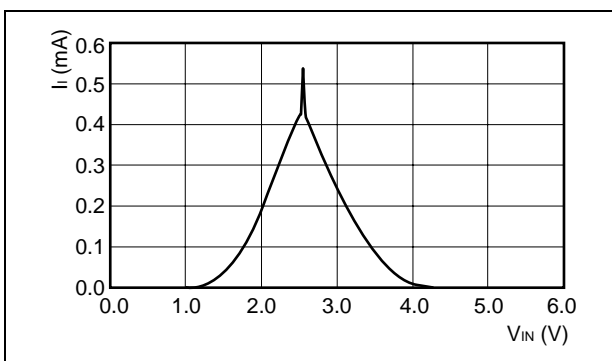
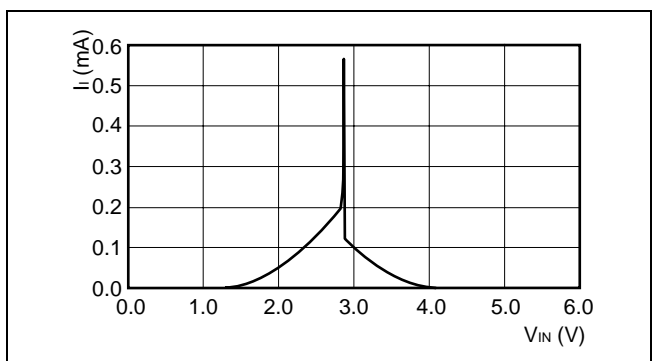


図5-12 入力貫通電流 (5 Vフルスイング・シュミット入力)



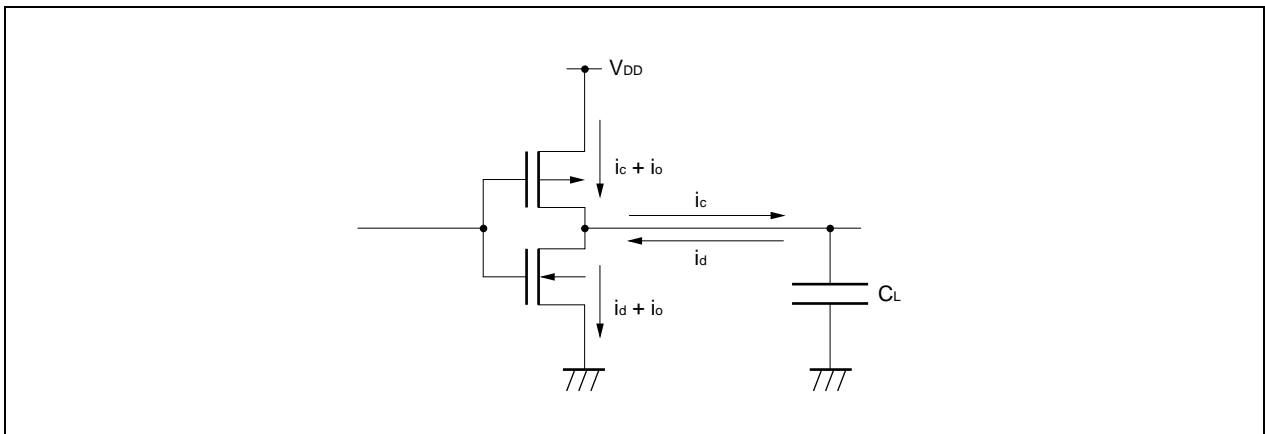
5.3 消費電力

CMOSデバイスはバイポーラ・デバイスに比べ低消費電力ではありますが、回路規模が大きく動作周波数が高くなれば、かなりの電力を消費します。LSI製品の信頼性（寿命）を左右するLSI（チップ）の温度は、消費電力により上昇しますので、LSIの消費電力に対しては注意して検討してください。

5.3.1 消費電力の発生要因

消費電流は、標準のCMOSデバイスと同様に、下記値の総和になります。

各トランジスタに接続される負荷容量の充電電流	: i_c
各トランジスタに接続される負荷容量の放電電流	: i_d
各トランジスタのスイッチング時の貫通電流	: i_o
デバイスのリーク電流	: I_L



LSIがまったく動作していない場合には充放電電流と貫通電流はありませんので、チップの消費電力はデバイス全体のリーク電流によって決まります。一方、LSIが動作している場合には、チップの消費電力はリーク電流に比べ充放電電流と貫通電流の方が非常に大きくなるため、リーク電流の影響は無視できます。貫通電流は各トランジスタの入力立ち上がり（下がり）時間に比べ出力立ち上がり（下がり）時間が非常に速い場合には極端に増加しますが、通常は充放電電流に比例します。

5.3.2 消費電力の見積もり

消費電力は、各トランジスタの充放電電流と貫通電流によって決まります。しかし、各トランジスタの状態を定義することは困難なので、消費電力の概略計算ではブロックのタイプごとに計算します。

この計算式での算出結果は、 $V_{DD} = 3.3\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ の値ですので、電源、温度の仕様が異なる場合には補正してください。

総消費電力 $P_D = \Sigma P_{DCCELL} + \Sigma P_{PRAM} + \Sigma P_{DI} + \Sigma P_{CTS} + \Sigma P_{PLL} + \Sigma P_{GTL} + \Sigma P_{DO} + \Sigma P_{OSC}$

(a) ΣP_{DCCELL} ... 内部セル消費電力

(メモリ、クロック・ツリー・シンセシス、インタフェース・ブロックで使用するセル数を除く)

$\Sigma P_{DCCELL} = \Sigma P_{DGate} + \Sigma P_{DLatch} + \Sigma P_{DF/F} + \Sigma P_{DT} \quad (\mu W)$

詳細については、付録A 詳細な内部回路の消費電力の算出を参照してください。

(b) ΣP_{PRAM} ... メモリ・ブロック消費電力

RAMブロック消費電力

$\Sigma P_{PRAM} = \Sigma (P_{RM} \times f_{RM} \times R_{RM} + P_{WM} \times f_{WM} \times R_{WM}) \quad (mW)$

- P_{RM} : 読み出し時単位消費電力 (mW/MHz) ^{注1}
- f_{RM} : 読み出し時動作周波数
- R_{RM} : 読み出し時動作率 ^{注2}
- P_{WM} : 書き込み時単位消費電力 (mW/MHz) ^{注1}
- f_{WM} : 書き込み時動作周波数
- R_{WM} : 書き込み時動作率 ^{注2}

(c) ΣP_{DI} ... 入力バッファ、双方向バッファ入力部の消費電力

$\Sigma P_{DI} = \Sigma (P_i \times f + P_{CONST}) \times \text{Buffer} \quad (\mu W)$

- f : 動作周波数 (MHz)
- Buffer : f で動作する入力バッファ、双方向バッファ入力部の数
入力バッファの動作が間欠的な場合は平均動作周波数 (f_A) ^{注3}を使用してください。
- P_i : 入力バッファごとの消費電力 (表5-1を参照してください。)($\mu W/\text{Buffer}/\text{MHz}$)
- P_{CONST} : 定常消費電力 ^{注4}

表5-1 入力バッファごとの消費電力

代表ブロック・タイプ	P_i
FI01, FIA1, FIV1, BP3I, BP5I, FI0P, FI0Q	3.95
FIS1, FIE1, FIF1	7.85

(d) ΣP_{CTS} ... クロック・ツリー・シンセシスの消費電力

$$\Sigma P_{CTS} = \Sigma (28.32 + 0.786 \times 10^{-1} \times FF) \times f \times 10.86 \times 10^{-6} \quad (W)$$

f: 動作周波数 (MHz)

FF: フリップフロップ数

(e) ΣP_{PLL} ... デジタルPLLの消費電力

$$\Sigma P_{PLL} = \Sigma (P_{PL} \times f) \quad (mW)$$

f: 動作周波数 (MHz)

P_{PL}: デジタルPLLの消費電力 (表5 - 2を参照してください。)

表5 - 2 デジタルPLLの消費電力

ブロック・タイプ	P _{PL}
F9E4	1.18 mW

(f) ΣP_{DO} ... 出力バッファ, 双方向バッファ出力部の消費電力

$$\Sigma P_{DO} = \Sigma \{ (P_o + P_{Co} \times C_L) \times f + P_{CONST} \} \times \text{Buffer} \quad (mW)$$

P_o: 出力バッファごとの消費電力 (無負荷) (mW/MHz)
表5 - 3を参照してください。

P_{Co}: 出力バッファごとの消費電力 (負荷依存性) (mW/MHz/pF)
表5 - 3を参照してください。

C_L: 負荷容量

f: 動作周波数 (MHz)
出力バッファの動作が間欠的な場合には平均動作周波数 (f_A)^{注3}を用いてください。

Buffer: fで動作する出力バッファ, 双方向バッファの出力部数

P_{CONST}: 定常消費電力^{注4}

表5-3 出力バッファの消費電力

出力レベル	I _{OL} (mA)	代表ブロック	P _o (mW/MHz)	P _{co} (mW/MHz/pF)
LVTTTL出力 ノーマル・タイプ	3.0	FO09	0.099	0.011
	6.0	FO04	0.117	0.012
	9.0	FO01	0.121	0.012
	12.0	FO02	0.124	0.012
	18.0	FO03	0.134	0.012
	24.0	FO06	0.144	0.011
LVTTTL出力 ロー・ノイズ・タイプ	6.0	FE04	0.114	0.012
	9.0	FE01	0.117	0.012
	12.0	FE02	0.121	0.012
	18.0	FE03	0.128	0.012
	24.0	FE06	0.132	0.011
TTL5 V耐圧出力 ノーマル・タイプ	1.0	FV0A	0.277	0.011
	2.0	FV0B	0.252	0.011
	3.0	FV09	0.272	0.011
	6.0	FV04	0.295	0.011
	9.0	FV01	0.301	0.011
	12.0	FV02	0.310	0.011
	18.0	FV03	0.321	0.011
	24.0	FV06	0.332	0.011
TTL5 V耐圧出力 ロー・ノイズ・タイプ	12.0	FW02	0.310	0.011
	18.0	FW03	0.312	0.011
	24.0	FW06	0.317	0.011
CMOS用5 V耐圧出力 ノーマル・タイプ	3.0	FY09	0.338	0.010
	6.0	FY04	0.346	0.011
	9.0	FY01	0.346	0.011
	12.0	FY02	0.359	0.012
	18.0	FY03	0.368	0.011
	24.0	FY06	0.381	0.011
CMOS用5 V耐圧出力 ロー・ノイズ・タイプ	12.0	FZ02	0.350	0.011
	18.0	FZ03	0.354	0.011
	24.0	FZ06	0.360	0.011
5 Vフルスイング出力 ノーマル・タイプ	1.0	FV0AAL	0.2098	0.0246
	2.0	FV0BAL	0.2413	0.0259
	3.0	FV09AL	0.2518	0.0264
	6.0	FV04AL	0.2826	0.0272
	9.0	FV01AL	0.3147	0.0264
	12.0	FV02AL	0.3754	0.0257
	18.0	FV03AL	0.5340	0.0252
PCI出力	-	BP3O	0.134	0.012
	-	BP5O	0.332	0.011

TTL 5 V耐圧出力は出力レベルを3.3 Vと定義し ,CMOS用5 V耐圧出力は出力レベルを5.0 Vと定義しています。

TTL 5 V耐圧出力を5.0 Vプルアップする場合は , 次の式で換算してください。

$$P_{DO (5.0 V)} = 1.65 \times P_{DO} \quad (\text{mW})$$

また , CMOS用5 V耐圧出力を3.3 Vプルアップする場合は , 次の式で換算してください。

$$P_{DO (3.3 V)} = P_{DO} / 1.65 \quad (\text{mW})$$

(g) ΣP_{GTL} ... GTL+の消費電力

$$\Sigma P_{GTL} = \Sigma P_{GI} \times \text{Buffer} + \Sigma P_{GO} \times \text{Buffer} \quad (\text{mW})$$

P_{GI} : 入力部の消費電力 (mW/Buffer) (表5 - 4を参照してください。)

P_{GO} : 出力部の消費電力 (mW/Buffer)

表5 - 4 GTL+入力部の消費電力

条 件	消費電流 (mA)	P_{GI} (mW/Buffer)
IEN = 1, A = 0	検討中	検討中
IEN = 1, A = 1	検討中	検討中
IEN = 0	検討中	検討中

GTL+出力部の消費電力

$$P_{GO} = \text{検討中} \quad (\text{mW/Buffer})$$

(h) ΣP_{osc} ... 発振器の消費電力 (参考値)

消費電力 (参考値) を表5 - 5に, 回路図を図5 - 13に示します。

図5 - 13 発振器の消費電力回路図

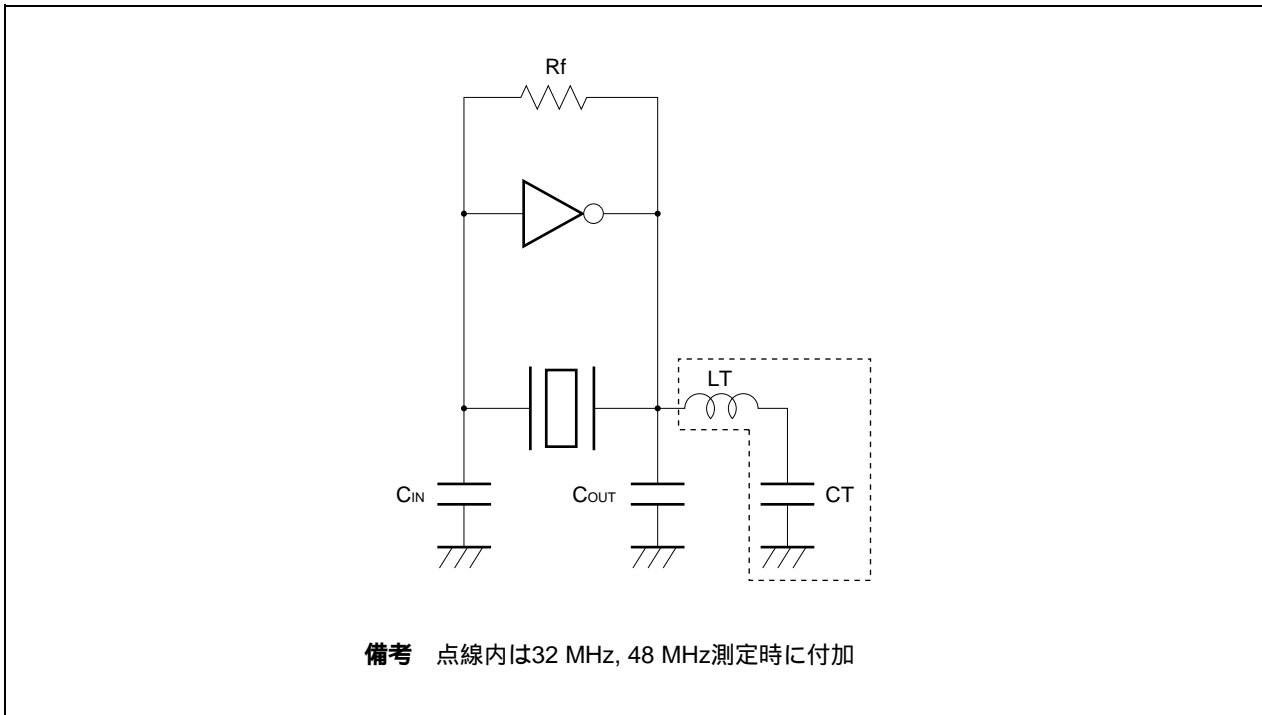


表5 - 5 発振器の消費電力 (参考値)

周波数	使用外部定数				Duty (%)	V _{start} (V)	V _{hold} (V)	P _{osc} (mW)
	C _{IN} (pF)	C _{OUT} (pF)	L _T (μH)	C _T (μF)				
4 MHz	13	23	–	–	51.8	1.73	1.31	16.64
24 MHz	13	13	–	–	51.4	1.83	1.50	21.21
32 MHz	3	13	4.7	0.1	51.7	2.22	1.75	24.99
48 MHz	3	13	4.7	0.1	52.8	2.37	2.04	30.14

注意 振動子と定数によって大きく変動するため, この表の値は参考値です。

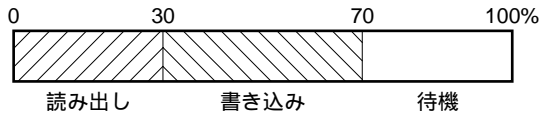
備考1. Duty, V_{start}, V_{hold}, P_{osc} (消費電力) はワースト値を記載しています (V_{DD} = 3.6 V, T_A = 125 °C)。

2. 32 MHz, 48 MHz発振子はオーバ・トーン・モードを使用しています。

3. 外部定数C_{IN}, C_{OUT}の値は, 治具容量3 pFを含んだ値です。

注1. 単位消費電力（各数値は、5.3.3 **メモリの単位消費電力**、またはCMOS-9HD Family Memory Block Library (A13071J)に記載しています。)

2. 書き込み、読み出し動作率



たとえば、RAMの動作の割合が上記の場合では、 $R_{RM} = 0.3$, $R_{WM} = 0.4$ となります。

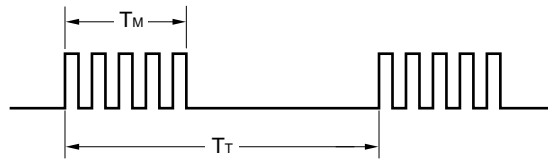
3. 平均動作周波数 (f_A) (動作が間欠的な場合は、平均動作周波数 (f_A) を検討することができます。)

$$f_A = f_M \times T_M \div T_T$$

T_M : 実動作期間

T_T : 間欠動作周期

f_M : 実動作期間の動作周波数



4. 定常消費電力

(入力、出力、双方向バッファを直流電流が流れる場合は、定常消費電力を加算することになります。)

例1. プルアップ/プルダウン抵抗による直流電流

$$P_{CONST} = (V_{DD}^2/R) \times A$$

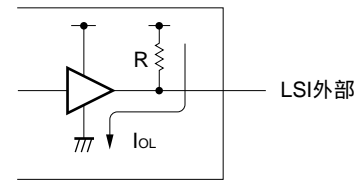
V_{DD} : 電源電圧

R : プルアップ/プルダウン抵抗値

抵抗がLSI内部搭載の場合には抵抗値はTYP.としてください。

A : 動作率

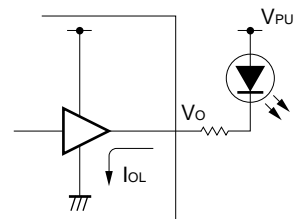
プルアップ抵抗使用時のロー・レベルの割合、
またはプルダウン抵抗使用時のハイ・レベルの割合
動作率は回路仕様によりお客様が規定してください。



例2. LEDなどの大電流を必要とするものを駆動する

$$P_{CONST} = V_O \times I_O \times A$$

A : LEDがオンしている割合



5.3.3 メモリの単位消費電力

(1) 高密度1ポートRAM

表5 - 6に高密度1ポートRAMの単位消費電力を示します。

表5 - 6 高密度1ポートRAMの単位消費電力

RAM名	Word	bit	P _{WM}	P _{RM}
RB47	16	4	0.018	0.014
RB49	32	4	0.019	0.015
RB4B	64	4	0.038	0.030
RB4D	128	4	0.023	0.018
RB4F	256	4	0.046	0.036
RB4H	512	4	0.092	0.072
RB4M	1024	4	0.184	0.144
RB4S	2048	4	0.368	0.288
RB4U	4096	4	0.736	0.576
RB87	16	8	0.036	0.028
RB89	32	8	0.038	0.030
RB8B	64	8	0.032	0.023
RB8D	128	8	0.046	0.036
RB8F	256	8	0.069	0.055
RB8H	512	8	0.138	0.110
RB8M	1024	8	0.097	0.068
RB8S	2048	8	0.194	0.136
RBAB	64	10	0.040	0.029
RBAD	128	10	0.080	0.058
RBAF	256	10	0.097	0.067
RBAH	512	10	0.194	0.138
RBAM	1024	10	0.118	0.082
RBAS	2048	10	0.236	0.164

RAM名	Word	bit	P _{WM}	P _{RM}
RBC7	16	16	0.072	0.056
RBC9	32	16	0.076	0.060
RBCB	64	16	0.064	0.046
RBCD	128	16	0.092	0.072
RBCF	256	16	0.138	0.110
RBCH	512	16	0.276	0.220
RBCM	1024	16	0.194	0.136
RBEB	64	20	0.080	0.058
RBED	128	20	0.160	0.116
RBEF	256	20	0.194	0.134
RBEH	512	20	0.388	0.268
RBEM	1024	20	0.236	0.164
RBH7	16	32	0.144	0.112
RBH9	32	32	0.152	0.120
RBHB	64	32	0.128	0.092
RBHD	128	32	0.184	0.144
RBHF	256	32	0.276	0.220
RBHH	512	32	0.552	0.440
RBKB	64	40	0.160	0.116
RBKD	128	40	0.320	0.232
RBKF	256	40	0.388	0.268
RBKH	512	40	0.776	0.536

備考1. P_{WM}: 書き込み時消費電力

P_{RM}: 読み出し時消費電力

2. 単位: mW/MHz

(2) 高密度2ポートRAM (W+R)

表5 - 7に高密度2ポートRAM (W+R) の単位消費電力を示します。

表5 - 7 高密度2ポートRAM (W+R) の単位消費電力

RAM名	Word	bit	P _{WM}	P _{RM}
R947	16	4	0.023	0.016
R949	32	4	0.030	0.020
R94B	64	4	0.060	0.040
R94D	128	4	0.040	0.028
R94F	256	4	0.080	0.056
R94H	512	4	0.160	0.112
R94M	1024	4	0.320	0.224
R94S	2048	4	0.640	0.448
R94U	4096	4	1.280	0.896
R987	16	8	0.046	0.032
R989	32	8	0.060	0.040
R98B	64	8	0.054	0.041
R98D	128	8	0.080	0.056
R98F	256	8	0.124	0.091
R98H	512	8	0.248	0.182
R98M	1024	8	0.159	0.105
R98S	2048	8	0.318	0.210
R9AB	64	10	0.065	0.050
R9AD	128	10	0.130	0.100
R9AF	256	10	0.147	0.109
R9AH	512	10	0.294	0.218
R9AM	1024	10	0.194	0.123
R9AS	2048	10	0.388	0.246

RAM名	Word	bit	P _{WM}	P _{RM}
R9C7	16	16	0.092	0.064
R9C9	32	16	0.120	0.080
R9CB	64	16	0.108	0.082
R9CD	128	16	0.160	0.112
R9CF	256	16	0.248	0.182
R9CH	512	16	0.496	0.364
R9CM	1024	16	0.318	0.210
R9EB	64	20	0.130	0.100
R9ED	128	20	0.260	0.200
R9EF	256	20	0.294	0.218
R9EH	512	20	0.588	0.436
R9EM	1024	20	0.388	0.246
R9H7	16	32	0.184	0.128
R9H9	32	32	0.240	0.160
R9HB	64	32	0.216	0.164
R9HD	128	32	0.320	0.224
R9HF	256	32	0.496	0.364
R9HH	512	32	0.992	0.728
R9KB	64	40	0.260	0.200
R9KD	128	40	0.520	0.400
R9KF	256	40	0.588	0.436
R9KH	512	40	1.176	0.872

備考1. P_{WM}: 書き込み時消費電力

P_{RM}: 読み出し時消費電力

2. 単位 : mW/MHz

(3) セルベースICタイプ・メモリ

EA-9HDシリーズ メモリ・マクロ編 設計マニュアル (A13367J) を参照してください。

5.3.4 電源，周囲温度仕様変更時の補正方法

5.3.2 消費電力の見積もりの計算式での算出結果は $V_{DD} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$ の値ですので，電源，温度の仕様が異なる場合には補正してください。

$$P_W = P_D \times K_1 + \Sigma P_{CONST} \times K_2$$

P_D : 総消費電力（定常消費電力を含む）の計算結果

ΣP_{CONST} : 定常消費電力のみの合計

K_1 : 補正係数（表5 - 8参照）

K_2 : 補正係数（表5 - 8参照）

消費電力について判定する場合には，TYP値を使用してください。

ただし，高信頼性が要求される場合には，MAX値を使用してください。

また，MAX値は各電源，温度仕様範囲での消費電力の最大値を算出する場合にも使用できます。

表5 - 8 補正係数

($V_{DD} = 3.3 \pm 0.3\text{ V}$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$)

補正係数	TYP値	MAX値
K_1	1.00	1.28
K_2	0.00	0.15

5.3.5 消費電力の判定

消費電力の判定は，パッケージ，マスタごとに規定されている最大許容消費電力 (P_{WL}) 以内に算出した消費電力結果 (P_D) が入っているか否かになります。パッケージ，マスタごとに規定されている最大許容消費電力 (P_{WL}) は，第11章 **パッケージ**に記載されています（開発中のパッケージも含まれていますので，必ずリリースされているかを確認してください）。

$$P_D \quad P_{WL}$$

第11章 **パッケージ**に記載されている最大許容消費電力一覧は， $T_A = -40 \sim +85\text{ }^\circ\text{C}$ ，自然対流時の値になっていますので，使用される最大動作温度が異なる場合には，最大ジャンクション温度 ($T_{J(MAX)}$)，最大周囲温度 ($T_{A(MAX)}$) とパッケージ，マスタごとに規定されている熱抵抗 (θ_{ja}) より使用環境用の最大許容消費電力を計算することになります。パッケージ，マスタごとに規定されている熱抵抗 (θ_{ja}) は，第11章 **パッケージ**の熱抵抗値一覧に記載されています（開発中のパッケージも含まれていますので，必ずリリースされているかを確認してください）。熱抵抗の測定は，サンプルを90 × 90 mm，厚さ1.6 mmのガラス・エポキシ基板に実装した状態で行っています。

$$P_{WL} = (T_{J(MAX)} - T_{A(MAX)}) / \theta_{ja} \quad (\text{W})$$

条件 $T_{A(MAX)} \quad 40\text{ }^\circ\text{C}$

5.4 伝達遅延時間

5.4.1 伝達遅延時間の精度

伝達遅延時間 t_{PD} は入出力バッファおよび内部ファンクション・ブロックともに次の要因により変動します。

伝達遅延時間の変動要因

- ・ 負荷容量（ファンアウト数や配線容量）
- ・ 電源電圧
- ・ 周囲温度
- ・ 製造ばらつき
- ・ その他の回路的要因

電源電圧，周囲温度，負荷容量に対する変動以外の回路的な要因としては，入力される信号波形による変動，トランスファ・ゲートの等価入力容量の変動，ミラー効果，入力スレッシュホールド電圧の変動などがあります。弊社では，これらの変動要因をできるかぎり考慮した遅延シミュレータやスタティック・ディレイ・カルキュレータを導入し，より高い精度で伝達遅延を計算できるようにしています。

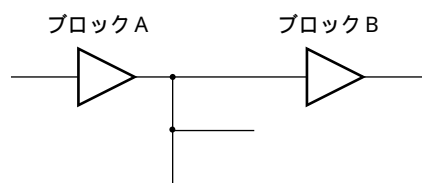
このため別版のCMOS-9HD Family, EA-9HD Family Block Library (A13052J) 記載の数値を使用して，お客様が概略計算した伝達遅延時間と必ずしも一致しませんのでご承知おきください。

5.4.2 伝達遅延時間の計算

ここで示す計算式は計算を簡易的に行うための概略計算式です。この計算式では特に負荷が次の条件を満足する範囲での算出結果が比較的精度よく求まるようになっています。負荷容量が大きいほど誤差が大きくなり，シミュレータの結果より小さい値を算出します。あらかじめ，ご承知のうえ目安として利用してください。

条件：遅延計算対象ブロック前段F/Iの合計が，前段の駆動ブロックF/O制限の15%以内である。

例



ブロックBが遅延計算対象のブロックとするとブロックAの出力に接続されるF/Iの合計がブロックAのF/O制限15%以内のとき，簡易計算式の精度が高い。

本内容の詳細および上記の条件を外れる場合の算出精度の改善方法につきましては付録B 伝達遅延時間を参照してください。なお，計算に必要な各ブロックの遅延データは，CMOS-9HD Family, EA-9HD Family Block Library (A13052J) に記載されています。

(1) 入力バッファと内部ファンクション・ブロックの遅延時間

内部ファンクション・ブロックの遅延時間は、メモリ・ブロックを含み、その出力端子に接続されている負荷（ファンアウト数）とその配線長（配線容量）から概算することができます。

$$t_{PD} = t_{LD0} + (\Sigma F/O + \lambda) \times t_1 \quad (\text{ns})$$

- t_{LD0}: F/O = 0, λ = 0におけるブロック自身の遅延時間
- Σ F/O: 該当出力端子のファンアウト数
- λ: 該当出力端子に接続される配線容量 (5.4.3 **配線容量予測参照**)
- t₁: 該当出力端子の遅延係数

(2) 内部バスの遅延時間

$$t_{PD} = t_{LD0} + \{\Sigma F/O + \lambda + (N - 1) \times 0.96\} \times t_1 \quad (\text{ns})$$

- t_{LD0}: F/O = 0, λ = 0におけるブロック自身の遅延時間
- Σ F/O: バスに接続されるファンアウト数
- N: バスに接続される3ステート・バッファ (F531, F532) の合計
- λ: 該当出力端子に接続される配線容量 (5.4.3 **配線容量予測参照**)
- t₁: 該当出力端子の遅延係数

(3) 出力バッファの遅延時間

出力バッファの遅延時間は、その出力端子に接続されている負荷容量から概算することができます。

$$t_{PD} = t_{LD0} + T \times C_L \quad (\text{ns})$$

- t_{LD0}: C_L = 0 pFにおけるブロック自身の遅延時間
- C_L: 該当出力端子に接続される負荷容量
- T: 該当出力端子の遅延係数

なお、入出力バッファの遅延時間は、次の条件で求められています。

- LVTTL出力: スレッシュホールド電圧 = 1.5 V, 出力スイング = 0 ~ V_{DD}
- 5 V耐圧出力: スレッシュホールド電圧 = 1.5 V, 出力スイング = 0 ~ V_{DD}
- 5Vフルスイング出力: スレッシュホールド電圧 = 2.5 V, 出力スイング = 0 ~ V_{DD}

5 V耐圧出力でも出力プルアップなしの条件で遅延時間を規定しています。

5.4.3 配線容量予測

ゲートアレイでは、回路接続情報に基づいてマスタ上に配置配線を行いますので、配置配線前の段階ではファンクション・ブロックの負荷として接続される物理的配線長が確定していません。そこで、配置配線前に伝達遅延時間の計算を行う場合には、配線長を仮定して計算することになります。仮定される配線長は実際のレイアウト結果を統計的に処理し、発生した配線長の大部分（全配線分布の70%程度）が仮想配線長として規定した値より短くなるようにしています。

EP-1シリーズの仮想配線容量の予測値を表5-9に示します。

配置配線は、マクロ階層（第一階層のみ）ごとに配置範囲を決めて実行されます。このため、マクロ内の配線長とマクロ間の配線長は極端に長さが異なります。遅延シミュレータでは、配置配線前の仮想配線長をマクロ内とマクロ間の2つの状態に分けて検討します。このため、表5-9のデータと多少違いがありますので、あらかじめ承知しておいてください。

表5-9 配線容量予測（配線長をF/I値に換算）

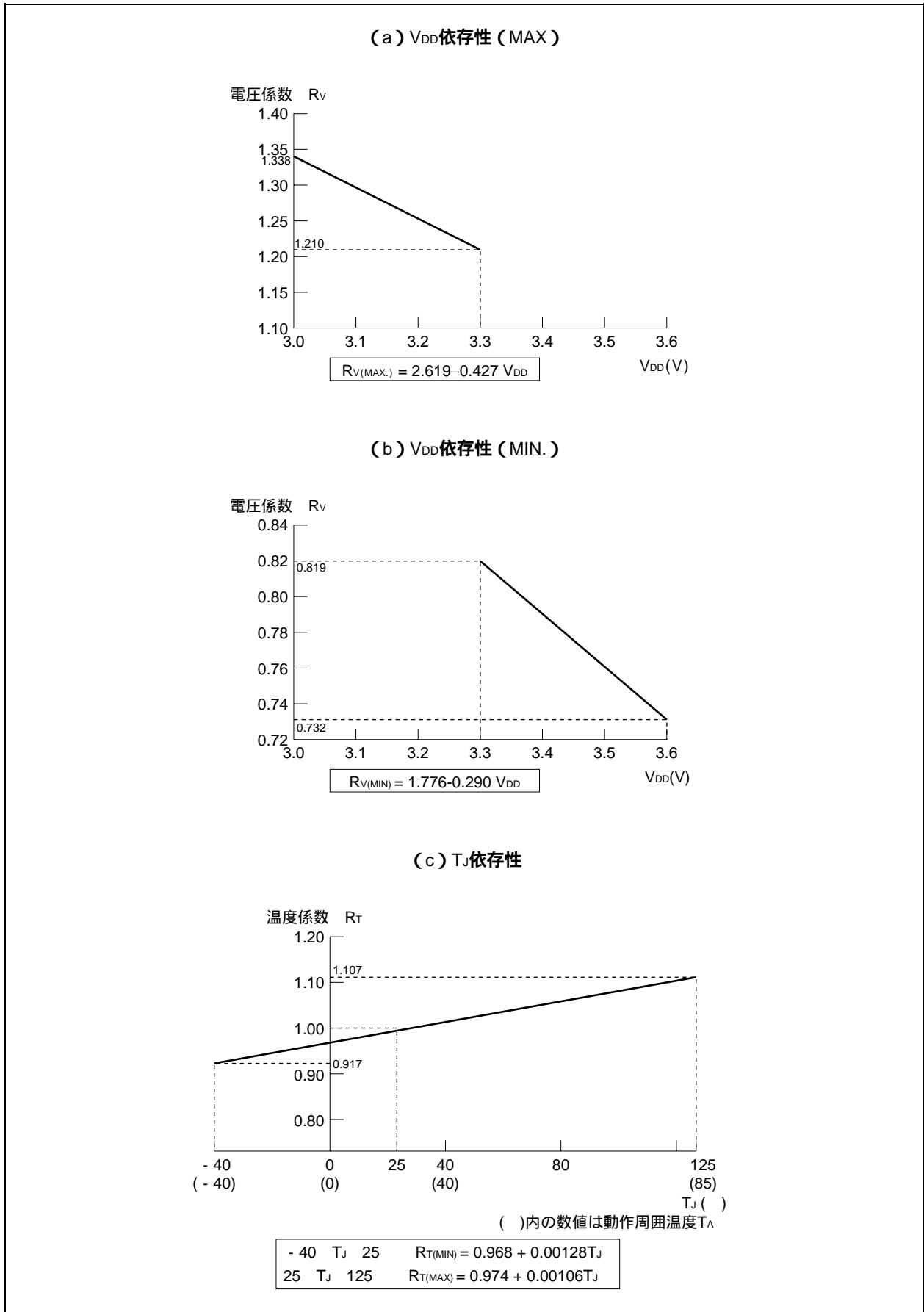
品名	ピン・ペア数											
	1	2	3	4	5	6	7	8	9	10	15	20
MC-10501/10505	4.50	10.28	16.06	21.84	27.62	33.40	39.17	44.95	50.73	56.51	85.40	114.29
MC-10502/10506	5.10	12.18	19.27	26.36	33.44	40.53	47.62	4.70	61.79	68.87	104.31	139.74
MC-10503/10507												

5.4.4 伝達遅延時間の変動

伝達遅延時間 t_{PD} は入出力バッファおよび内部ファンクション・ブロックともに5.4.1 伝達遅延時間の精度で説明したように、種々の要因によって変動します。CMOS-9HD Family, EA-9HD Family Block Library (A13052J) 記載のMIN/MAX値は $V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ($T_J = -40 \sim +125 \text{ }^\circ\text{C}$) の条件における最小値と最大値を示しています。TYP値とこれらの値の差を絶対ばらつきといいます。EA-9HDシリーズではMIN/TYP/MAXの3条件に対して伝達遅延係数を記載しています。

EA-9HDシリーズでは、より高い精度で伝達遅延時間を計算する各ブロックの絶対ばらつきを個別に検討しています。このため、従来品のような一律の絶対遅延係数で検討することはできませんが、参考に遅延係数の電源電圧および動作接合温度依存性を図5-14(a)～(c)に示します。

図5 - 14 伝達遅延時間 (暫定)



絶対ばらつきの係数は、動作周囲温度や消費電力（たとえば、消費電力による温度上昇を10 °C前後に抑えられるなど）を制限することにより見直すことができます。動作周囲温度や消費電力を制限した場合の動作接合温度は次の式で計算できます。動作接合温度を低く抑えられれば、絶対ばらつきの係数は1に近づきます（動作接合温度を100 °Cに抑えた場合、動作接合温度125 °Cにしたときより5 %程度早くなります）。

$$T_J = T_{A(MAX)} + P_D \times \theta_{ja} \quad (^\circ\text{C})$$

ここで、 T_J : 動作接合温度
 $T_{A(MAX)}$: 動作周囲温度の最大値
 P_D : 5.3.2 消費電力の見積もりの計算式で見積もられる消費電力
 θ_{ja} : 熱抵抗（第11章 パッケージの熱抵抗値一覧を参照）

ただし、図5 - 14 (a) ~ (c) は各ブロックの遅延分布の平均値です（プロセスのばらつきは電源電圧の値にすでに含まれています）。このため、保証値はシミュレーションの結果とします。

参考データ

$$R_{MAX} = R_{V(MAX)} \times R_{T(MAX)} \quad R_{MIN} = R_{V(MIN)} \times R_{T(MIN)} \quad t_{PD(MAX)} = t_{PD(TYP)} \times R_{MAX} \quad t_{PD(MIN)} = t_{PD(TYP)} \times R_{MIN}$$

標準仕様 3.3 V条件 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$ $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ($T_J = -40 \sim +125 \text{ }^\circ\text{C}$))

$$R_{MAX} = 1.48$$

$$R_{MIN} = 0.67$$

計算例 2

$$V_{DD} = 3.3 \pm 0.3 \text{ V}, T_J = -40 \sim +120 \text{ }^\circ\text{C} \text{ における } R_{MAX}/R_{MIN} \text{ を求める}$$

図5 - 14 (a), (b) より R_V を求めます。

$$R_{V(MAX)} = 1.34$$

$$R_{V(MIN)} = 0.73$$

次に、図5 - 14 (c) より R_T を求めます。

$$R_{T(MAX)} = 1.10$$

$$R_{T(MIN)} = 0.92$$

よって、次のようになります。

$$R_{MAX} = R_{V(MAX)} \times R_{T(MAX)} = 1.34 \times 1.10$$

$$R_{MIN} = R_{V(MIN)} \times R_{T(MIN)} = 0.73 \times 0.92$$

$$R_{MAX} = 1.474$$

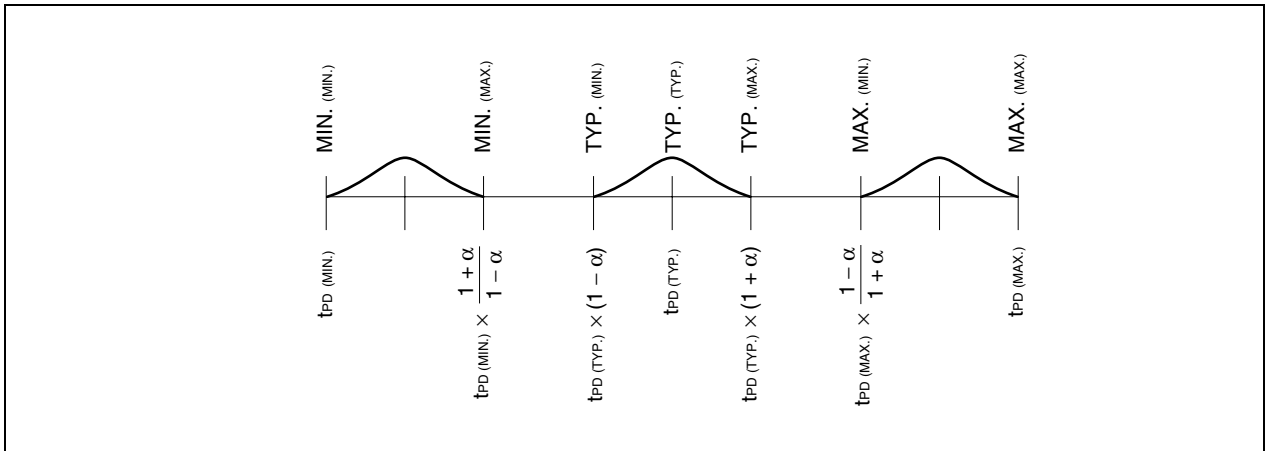
$$R_{MIN} = 0.672$$

ばらつきには、デバイスの規格として適応される絶対ばらつきのほかに、チップ内のパスやP-ch, N-chのトランジスタの性能によって発生する相対的なばらつきがあります。この相対ばらつきは回路のタイミングを確認するときに重要な要因になります。PFESiP/V850EP1では、相対ばらつきは次のようになります。

$$\text{相対ばらつき } \alpha = 10 \%$$

図5 - 15に、 t_{PD} のTYP値を中心としたばらつきの関係を示します。

図5 - 15 t_{PD} ばらつきの関係



5.5 出力バッファの特性

5.5.1 出力バッファの立ち上がり、立ち下がり時間

出力バッファの立ち上がり / 立ち下がり時間は、出力レベルによる駆動能力の違いや接続される負荷容量によって大きく変わります。出力バッファの立ち上がり / 立ち下がり時間 t_r , t_f は、次の式で概算することができます。

$$t_r = t_{r0} + F_{tr} \times C_L \quad (\text{ns})$$

$$t_f = t_{f0} + F_{tf} \times C_L \quad (\text{ns})$$

t_{r0} : 基準立ち上がり時間 (負荷容量 $C_L = 0$ pF)

t_{f0} : 基準立ち下がり時間 (負荷容量 $C_L = 0$ pF)

F_{tr} , F_{tf} : 負荷容量係数

C_L : 負荷容量 (pF) ($0 < C_L \leq 300$ pF)

なお出力バッファの各係数は、表5 - 10 ~ 表5 - 13を参照してください。

表5 - 10 LVTTTL出力バッファの t_r, t_f 計算係数一覧表

(a) 出力レベルが $V_{DD} \times 10\% \sim V_{DD} \times 90\%$ の場合

バッファ・タイプ	例	駆動能力	t_{ro}	F_{tr}	t_{fo}	F_{ff}
ノーマル・タイプ	FO09	$I_{OL} = 3.0 \text{ mA}$	2.68	0.312	2.26	0.261
	FO04	$I_{OL} = 6.0 \text{ mA}$	1.43	0.170	1.08	0.138
	FO01	$I_{OL} = 9.0 \text{ mA}$	1.02	0.117	0.77	0.098
	FO02	$I_{OL} = 12.0 \text{ mA}$	0.73	0.092	0.66	0.074
	FO03	$I_{OL} = 18.0 \text{ mA}$	0.53	0.060	0.45	0.051
	FO06	$I_{OL} = 24.0 \text{ mA}$	0.48	0.046	0.38	0.036
ロー・ノイズ・タイプ	FE04	$I_{OL} = 6.0 \text{ mA}$	2.93	0.181	3.71	0.140
	FE01	$I_{OL} = 9.0 \text{ mA}$	2.58	0.125	3.30	0.100
	FE02	$I_{OL} = 12.0 \text{ mA}$	2.45	0.093	3.12	0.077
	FE03	$I_{OL} = 18.0 \text{ mA}$	2.40	0.065	2.97	0.053
	FE06	$I_{OL} = 24.0 \text{ mA}$	2.37	0.033	2.93	0.040

備考 出力バッファの立ち上がり，立ち下がり時間は，次の条件で規定されています。

$$V_{DD} = 3.3 \text{ V}, T_J = 25 \text{ }^\circ\text{C}, \text{ 入力信号の } t_r, t_f = 0.4 \text{ ns } (V_{DD} = 3.3 \text{ V})$$

(b) 出力レベルが $0.8 \sim 2.0 \text{ V}$ の場合

バッファ・タイプ	例	駆動能力	t_{ro}	F_{tr}	t_{fo}	F_{ff}
ノーマル・タイプ	FO09	$I_{OL} = 3.0 \text{ mA}$	0.85	0.105	0.87	0.101
	FO04	$I_{OL} = 6.0 \text{ mA}$	0.42	0.056	0.41	0.055
	FO01	$I_{OL} = 9.0 \text{ mA}$	0.30	0.039	0.29	0.038
	FO02	$I_{OL} = 12.0 \text{ mA}$	0.23	0.029	0.23	0.028
	FO03	$I_{OL} = 18.0 \text{ mA}$	0.18	0.019	0.16	0.019
	FO06	$I_{OL} = 24.0 \text{ mA}$	0.14	0.014	0.13	0.015
ロー・ノイズ・タイプ	FE04	$I_{OL} = 6.0 \text{ mA}$	2.13	0.087	3.18	0.101
	FE01	$I_{OL} = 9.0 \text{ mA}$	1.99	0.061	2.96	0.069
	FE02	$I_{OL} = 12.0 \text{ mA}$	1.92	0.046	2.82	0.053
	FE03	$I_{OL} = 18.0 \text{ mA}$	1.96	0.031	2.74	0.037
	FE06	$I_{OL} = 24.0 \text{ mA}$	1.96	0.024	2.69	0.030

備考 出力バッファの立ち上がり，立ち下がり時間は，次の条件で規定されています。

$$V_{DD} = 3.3 \text{ V}, T_J = 25 \text{ }^\circ\text{C}, \text{ 入力信号の } t_r, t_f = 0.4 \text{ ns } (V_{DD} = 3.3 \text{ V})$$

表5 - 11 TTL 5 V耐圧出力バッファの t_r , t_f 計算係数一覧表

(a) 出力レベルが $V_{DD} \times 10\% \sim V_{DD} \times 90\%$ の場合

バッファ・タイプ	例	駆動能力	t_{r0}	F_{tr}	t_{f0}	F_{tf}
ノーマル・タイプ	FV0A	$I_{OL} = 1.0 \text{ mA}$	9.65	0.482	9.90	0.473
	FV0B	$I_{OL} = 2.0 \text{ mA}$	7.18	0.371	7.05	0.349
	FV09	$I_{OL} = 3.0 \text{ mA}$	7.15	0.319	5.45	0.275
	FV04	$I_{OL} = 6.0 \text{ mA}$	2.75	0.124	1.95	0.100
	FV01	$I_{OL} = 9.0 \text{ mA}$	2.17	0.095	1.55	0.075
	FV02	$I_{OL} = 12.0 \text{ mA}$	1.34	0.064	0.87	0.042
	FV03	$I_{OL} = 18.0 \text{ mA}$	1.35	0.064	0.70	0.035
	FV06	$I_{OL} = 24.0 \text{ mA}$	1.40	0.065	0.60	0.028
ロー・ノイズ・タイプ	FW02	$I_{OL} = 12.0 \text{ mA}$	1.83	0.074	1.95	0.042
	FW03	$I_{OL} = 18.0 \text{ mA}$	2.10	0.074	1.85	0.035
	FW06	$I_{OL} = 24.0 \text{ mA}$	1.93	0.074	1.85	0.028

備考 出力バッファの立ち上がり, 立ち下がり時間は, 次の条件で規定されています。

$V_{DD} = 3.3 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$, 入力信号の t_r , $t_f = 0.4 \text{ ns}$ ($V_{DD} = 3.3 \text{ V}$)

(b) 出力レベルが $0.8 \sim 2.0 \text{ V}$ の場合

バッファ・タイプ	例	駆動能力	t_{r0}	F_{tr}	t_{f0}	F_{tf}
ノーマル・タイプ	FV0A	$I_{OL} = 1.0 \text{ mA}$	2.90	0.130	3.85	0.181
	FV0B	$I_{OL} = 2.0 \text{ mA}$	2.41	0.116	2.87	0.143
	FV09	$I_{OL} = 3.0 \text{ mA}$	2.49	0.111	2.48	0.111
	FV04	$I_{OL} = 6.0 \text{ mA}$	0.88	0.041	0.79	0.042
	FV01	$I_{OL} = 9.0 \text{ mA}$	0.66	0.030	0.59	0.031
	FV02	$I_{OL} = 12.0 \text{ mA}$	0.37	0.018	0.34	0.018
	FV03	$I_{OL} = 18.0 \text{ mA}$	0.37	0.017	0.27	0.014
	FV06	$I_{OL} = 24.0 \text{ mA}$	0.38	0.017	0.22	0.011
ロー・ノイズ・タイプ	FW02	$I_{OL} = 12.0 \text{ mA}$	0.61	0.015	0.70	0.016
	FW03	$I_{OL} = 18.0 \text{ mA}$	0.67	0.016	0.64	0.013
	FW06	$I_{OL} = 24.0 \text{ mA}$	0.63	0.016	0.58	0.011

備考 出力バッファの立ち上がり, 立ち下がり時間は, 次の条件で規定されています。

$V_{DD} = 3.3 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$, 入力信号の t_r , $t_f = 0.4 \text{ ns}$ ($V_{DD} = 3.3 \text{ V}$)

表5 - 12 CMOS用5 V耐圧出力バッファの t_r , t_f 計算係数一覧表

(c) 出力レベルが0.8~2.0 Vの場合

バッファ・タイプ	例	駆動能力	t_{r0}	F_{tr}	t_{f0}	F_{tf}
ノーマル・タイプ	FY09	$I_{OL} = 3.0 \text{ mA}$	1.52	0.085	3.45	0.140
	FY04	$I_{OL} = 6.0 \text{ mA}$	0.70	0.035	0.65	0.048
	FY01	$I_{OL} = 9.0 \text{ mA}$	0.55	0.027	0.45	0.035
	FY02	$I_{OL} = 12.0 \text{ mA}$	0.35	0.021	0.30	0.018
	FY03	$I_{OL} = 18.0 \text{ mA}$	0.35	0.015	0.25	0.016
	FY06	$I_{OL} = 24.0 \text{ mA}$	0.34	0.015	0.23	0.012
ロー・ノイズ・タイプ	FZ02	$I_{OL} = 12.0 \text{ mA}$	2.55	0.026	3.40	0.026
	FZ03	$I_{OL} = 18.0 \text{ mA}$	2.56	0.026	3.51	0.024
	FZ06	$I_{OL} = 24.0 \text{ mA}$	2.58	0.018	3.61	0.016

備考 出力バッファの立ち上がり, 立ち下がり時間は, 次の条件で規定されています。

$V_{DD} = 3.3 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$, 入力信号の t_r , $t_f = 0.4 \text{ ns}$ ($V_{DD} = 3.3 \text{ V}$)

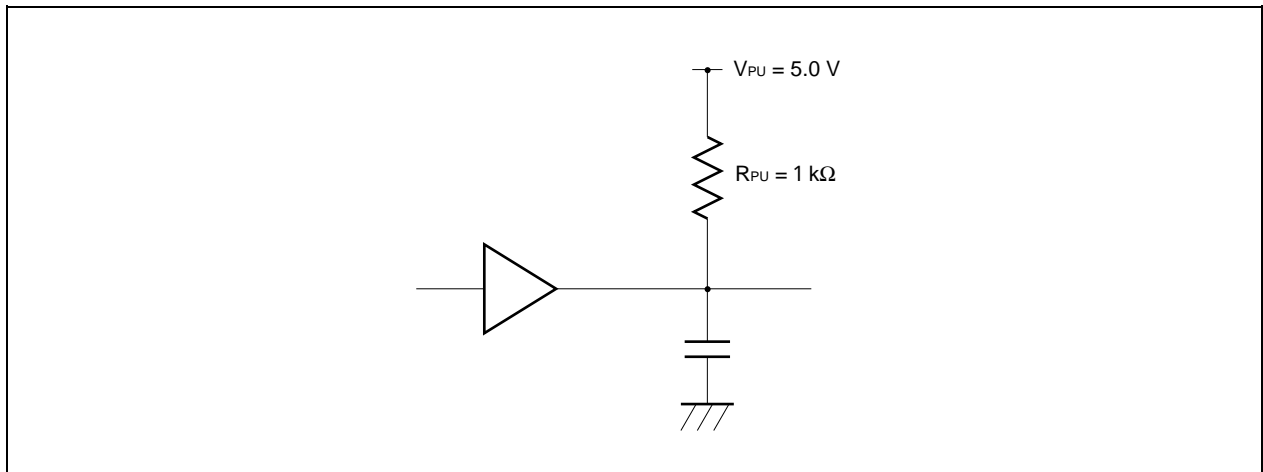
表5 - 13 5 Vフルスイング出力バッファの t_r , t_f 計算係数一覧表

バッファ・タイプ	例	駆動能力	t_{r0}	F_{tr}	t_{f0}	F_{tf}
ノーマル・タイプ	FV0AAL	$I_{OL} = 1.0 \text{ mA}$	4.72	0.877	4.76	0.894
	FV0BAL	$I_{OL} = 2.0 \text{ mA}$	2.42	0.439	2.46	0.447
	FV09AL	$I_{OL} = 3.0 \text{ mA}$	1.70	0.292	1.73	0.298
	FV04AL	$I_{OL} = 6.0 \text{ mA}$	1.08	0.144	1.20	0.163
	FV01AL	$I_{OL} = 9.0 \text{ mA}$	0.97	0.107	1.07	0.114
	FV02AL	$I_{OL} = 12.0 \text{ mA}$	0.90	0.076	1.07	0.083
	FV03AL	$I_{OL} = 18.0 \text{ mA}$	0.90	0.052	1.09	0.055
ロー・ノイズ・タイプ	FW09AL	$I_{OL} = 3.0 \text{ mA}$	2.11	0.288	2.50	0.290
	FW04AL	$I_{OL} = 6.0 \text{ mA}$	1.67	0.140	2.06	0.160
	FW02AL	$I_{OL} = 12.0 \text{ mA}$	1.62	0.078	1.94	0.093
	FW03AL	$I_{OL} = 18.0 \text{ mA}$	1.64	0.058	1.92	0.070

備考 出力バッファの立ち上がり, 立ち下がり時間は, 次の条件で規定されています。

$V_{DD33} = 3.3 \text{ V}$ / $V_{DD50} = 5.0 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$, 入力信号の t_r , $t_f = 0.4 \text{ ns}$ ($V_{DD} = 3.3 \text{ V}$)

評価回路



5.5.2 出力バッファの推奨負荷容量範囲

出力バッファの許容最大負荷容量 $C_{L(MAX)}$ は $C_{L(MAX)} = 300$ pFとします。また出力バッファの駆動能力ごとに、表5-14に示す推奨負荷容量範囲を示します。表5-14を基に最適な出力バッファを選択してください。

CMOS用5V耐圧バッファの推奨負荷容量範囲は、プルアップ抵抗値に依存します。

特に推奨負荷容量範囲をはずれ、より低い負荷容量で使用しますと出力信号に発生するオーバシュート、アンダシュートが大きくなりますので注意してください。

表5-14 出力バッファの推奨負荷容量範囲

バッファ・タイプ	例	駆動能力	推奨負荷容量範囲 (pF)
LVTTL ノーマル・タイプ	FO09	$I_{OL} = 3.0$ mA	0 ~ 40
	FO04	$I_{OL} = 6.0$ mA	0 ~ 80
	FO01	$I_{OL} = 9.0$ mA	10 ~ 110
	FO02	$I_{OL} = 12.0$ mA	20 ~ 155
	FO03	$I_{OL} = 18.0$ mA	100 ~ 230
	FO06	$I_{OL} = 24.0$ mA	120 ~ 300
LVTTL ロー・ノイズ・タイプ	FE04	$I_{OL} = 6.0$ mA	0 ~ 90
	FE01	$I_{OL} = 9.0$ mA	0 ~ 135
	FE02	$I_{OL} = 12.0$ mA	20 ~ 180
	FE03	$I_{OL} = 18.0$ mA	25 ~ 200
	FE06	$I_{OL} = 24.0$ mA	35 ~ 250
TTL 5V耐圧 ノーマル・タイプ	FV0A	$I_{OL} = 1.0$ mA	0 ~ 20
	FV0B	$I_{OL} = 2.0$ mA	0 ~ 35
	FV09	$I_{OL} = 3.0$ mA	0 ~ 40
	FV04	$I_{OL} = 6.0$ mA	0 ~ 75
	FV01	$I_{OL} = 9.0$ mA	15 ~ 110
	FV02	$I_{OL} = 12.0$ mA	20 ~ 155
	FV03	$I_{OL} = 18.0$ mA	100 ~ 230
	FV06	$I_{OL} = 24.0$ mA	120 ~ 300
TTL 5V耐圧 ロー・ノイズ・タイプ	FW02	$I_{OL} = 12.0$ mA	20 ~ 170
	FW03	$I_{OL} = 18.0$ mA	20 ~ 170
	FW06	$I_{OL} = 24.0$ mA	20 ~ 170
5Vフルスイング ノーマル・タイプ	FV0AAL	$I_{OL} = 1.0$ mA	0 ~ 25
	FV0BAL	$I_{OL} = 2.0$ mA	0 ~ 50
	FV09AL	$I_{OL} = 3.0$ mA	0 ~ 85
	FV04AL	$I_{OL} = 6.0$ mA	0 ~ 150
	FV01AL	$I_{OL} = 9.0$ mA	5 ~ 230
	FV02AL	$I_{OL} = 12.0$ mA	20 ~ 290
	FV03AL	$I_{OL} = 18.0$ mA	50 ~ 300
5Vフルスイング ロー・ノイズ・タイプ	FW09AL	$I_{OL} = 3.0$ mA	0 ~ 87
	FW04AL	$I_{OL} = 6.0$ mA	0 ~ 160
	FW02AL	$I_{OL} = 12.0$ mA	0 ~ 200
	FW03AL	$I_{OL} = 18.0$ mA	0 ~ 200

5.5.3 出力バッファの最高動作周波数

出力バッファの最高動作周波数は、駆動能力と負荷容量により決まります。5.5.2 出力バッファの推奨負荷容量範囲で説明したように、負荷容量には推奨範囲があります。図5-16～図5-21のグラフ斜線部分が、その範囲になります。なお、SiP内部接続のインタフェースについては、7.1に記載のバッファ・タイプを使用してください（SBUSCLK = 66.6 MHzの使用を想定した動作は確認済みです）。

斜線部より右側の範囲は伝達遅延時間、立ち上がり、立ち下がり時間に問題がなければ、使用可能です。一方、左側の範囲はオーバシュート、アンダシュートが大きくなりますので、注意してください。

なお、図5-16～図5-21に示される出力最高動作周波数は、出力端子に容量のみが接続された場合を仮定して規定しています。そのためインダクタンスを考慮した場合には多少変動します。また、CMOS用5V耐圧出力はブルアップ抵抗値により出力波形が大きく変化しますので、ある条件での出力波形を示します。

注意 出力信号の t_r , t_f を計算し、出力パルス幅が相手のデバイスの入力規格を満足することを確認してください。

図5-16 f_{MAX} vs C_L 制限 (LVTTTL出力, ノーマル・タイプ) (1/2)

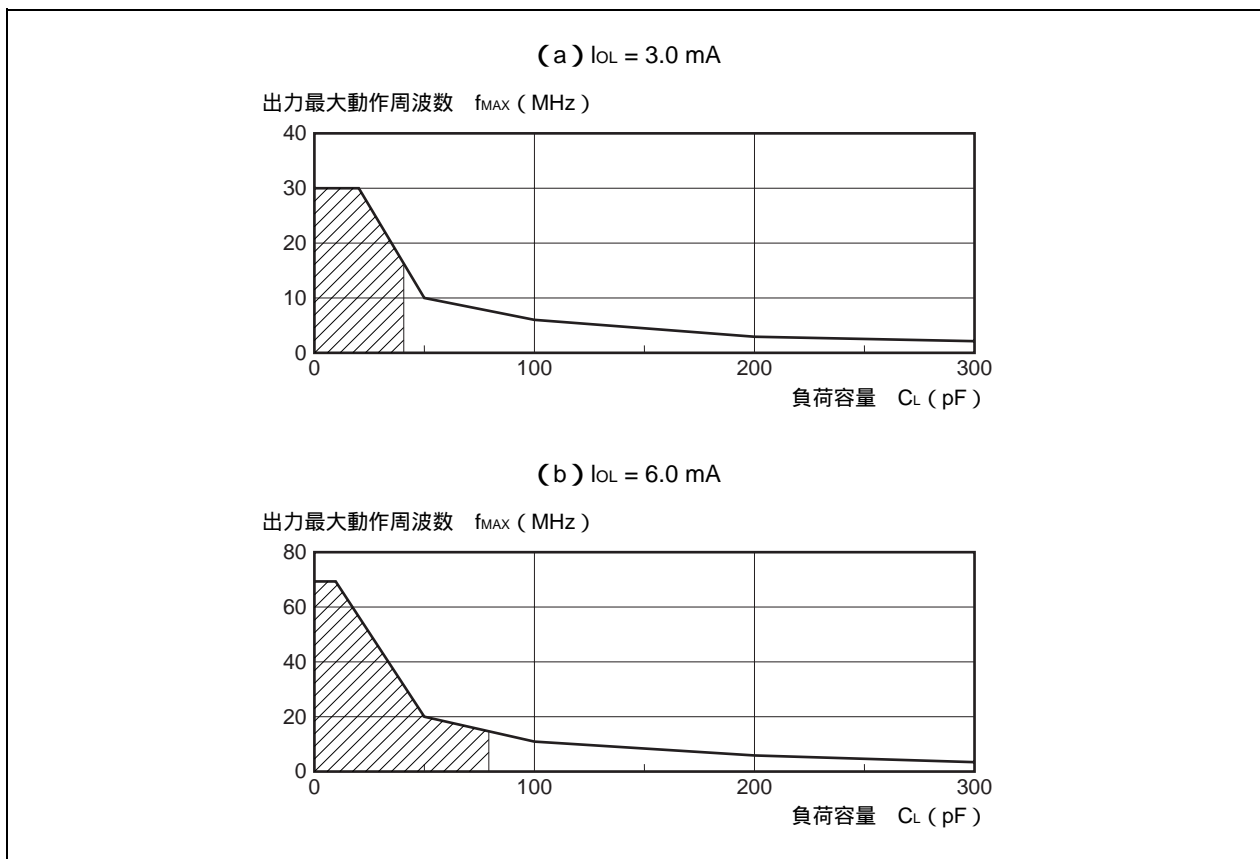


図5 - 16 f_{MAX} VS C_L 制限 (LVTTTL出力, ノーマル・タイプ) (2/2)

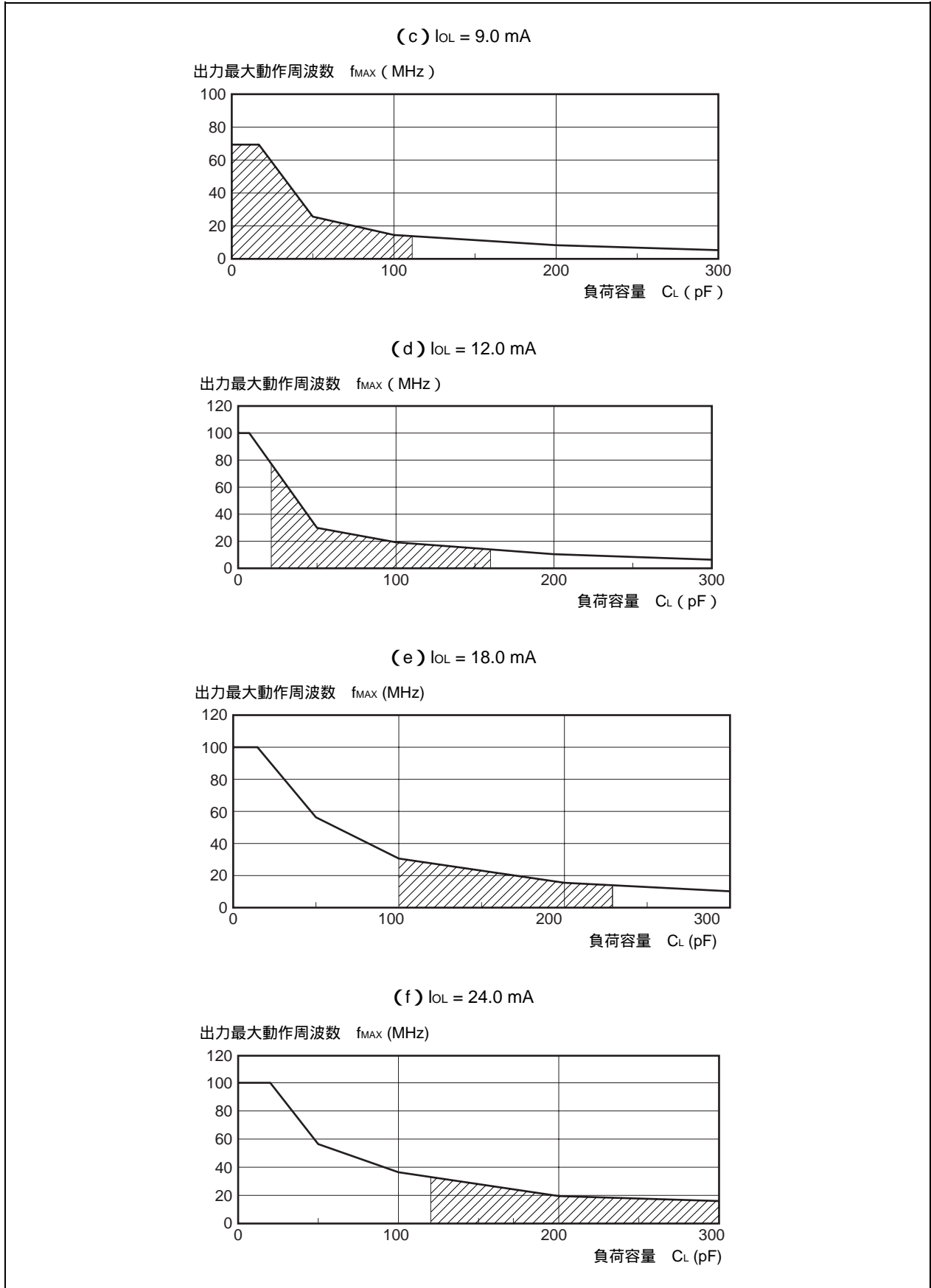


図5-17 f_{MAX} vs C_L 制限 (LVTTTL出力, ロー・ノイズ・タイプ) (1/2)

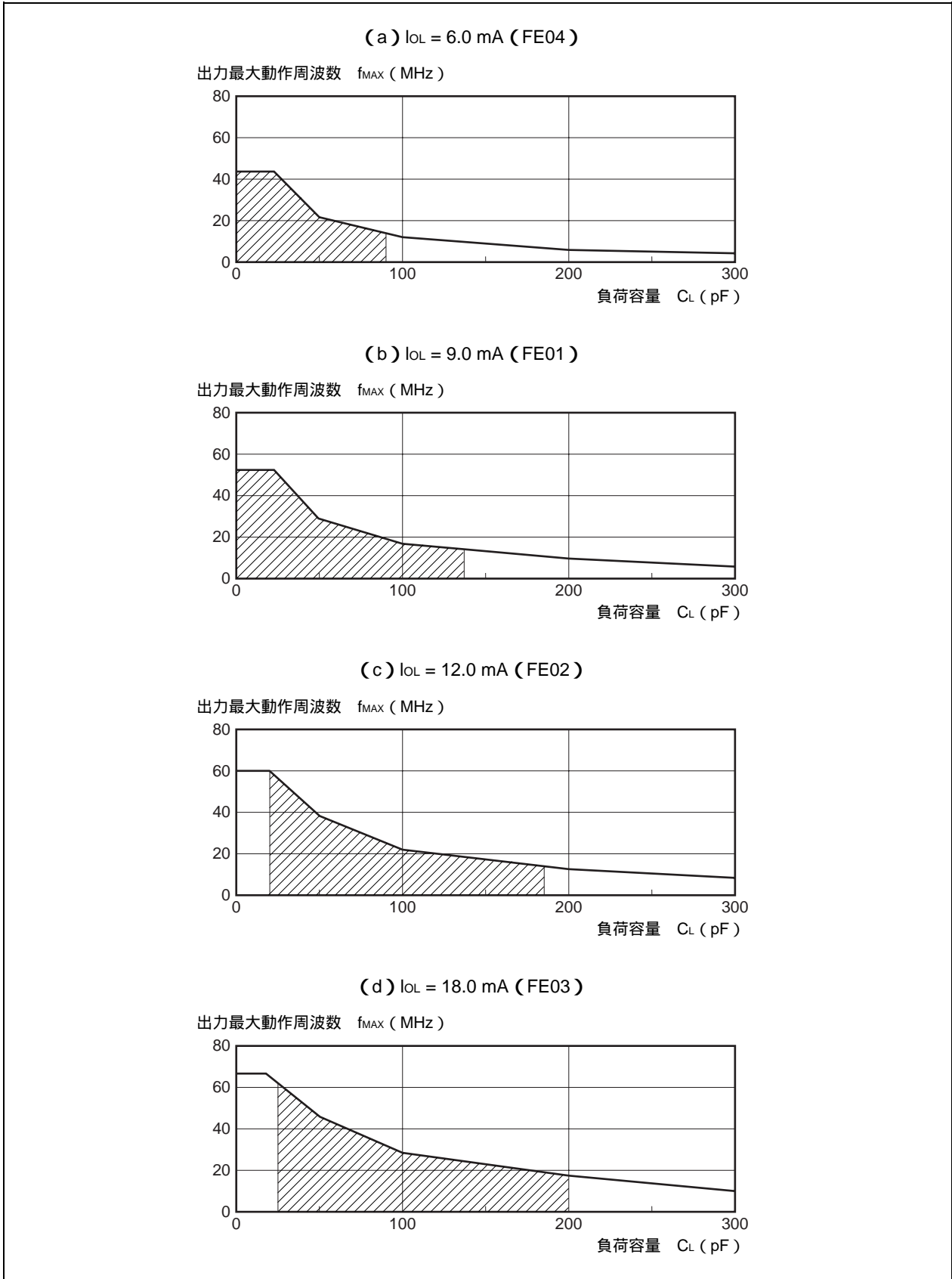


図5 - 17 f_{MAX} vs C_L 制限 (LVTTTL出力, ロー・ノイズ・タイプ) (2/2)

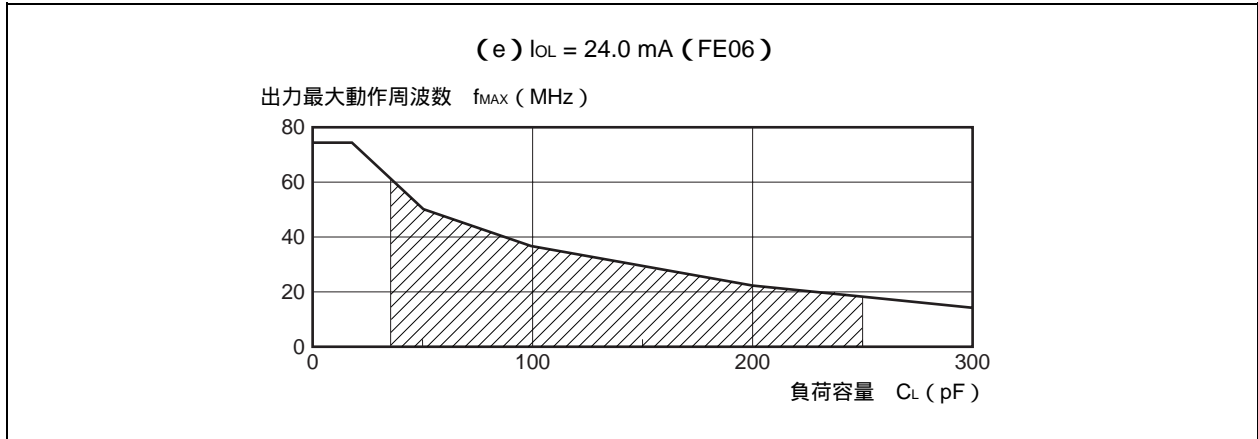


図5 - 18 f_{MAX} VS C_L 制限 (TTL5 V耐圧出力, ノーマル・タイプ) (1/2)

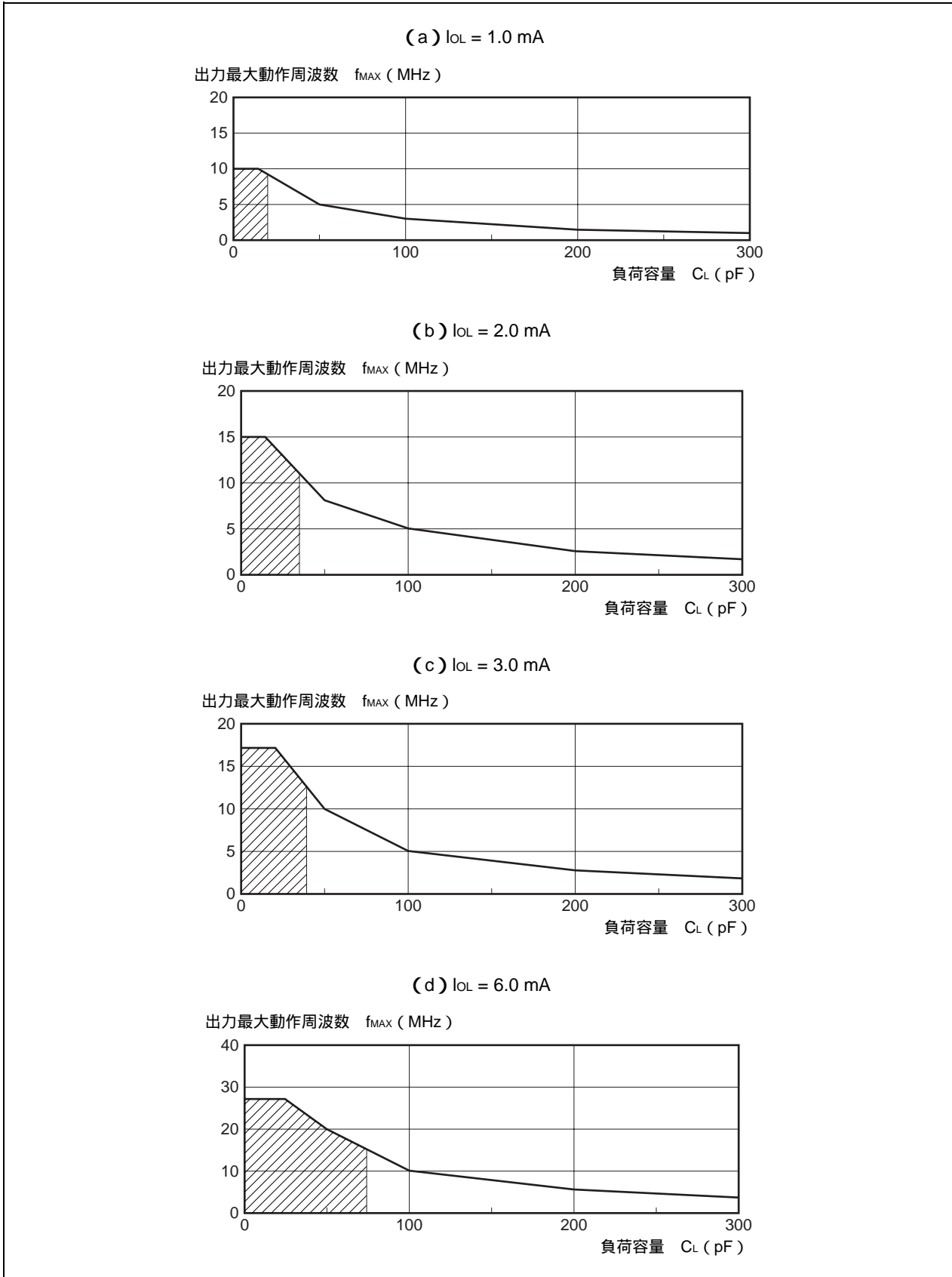


図5 - 18 f_{MAX} VS C_L 制限 (TTL5 V耐圧出力, ノーマル・タイプ) (2/2)

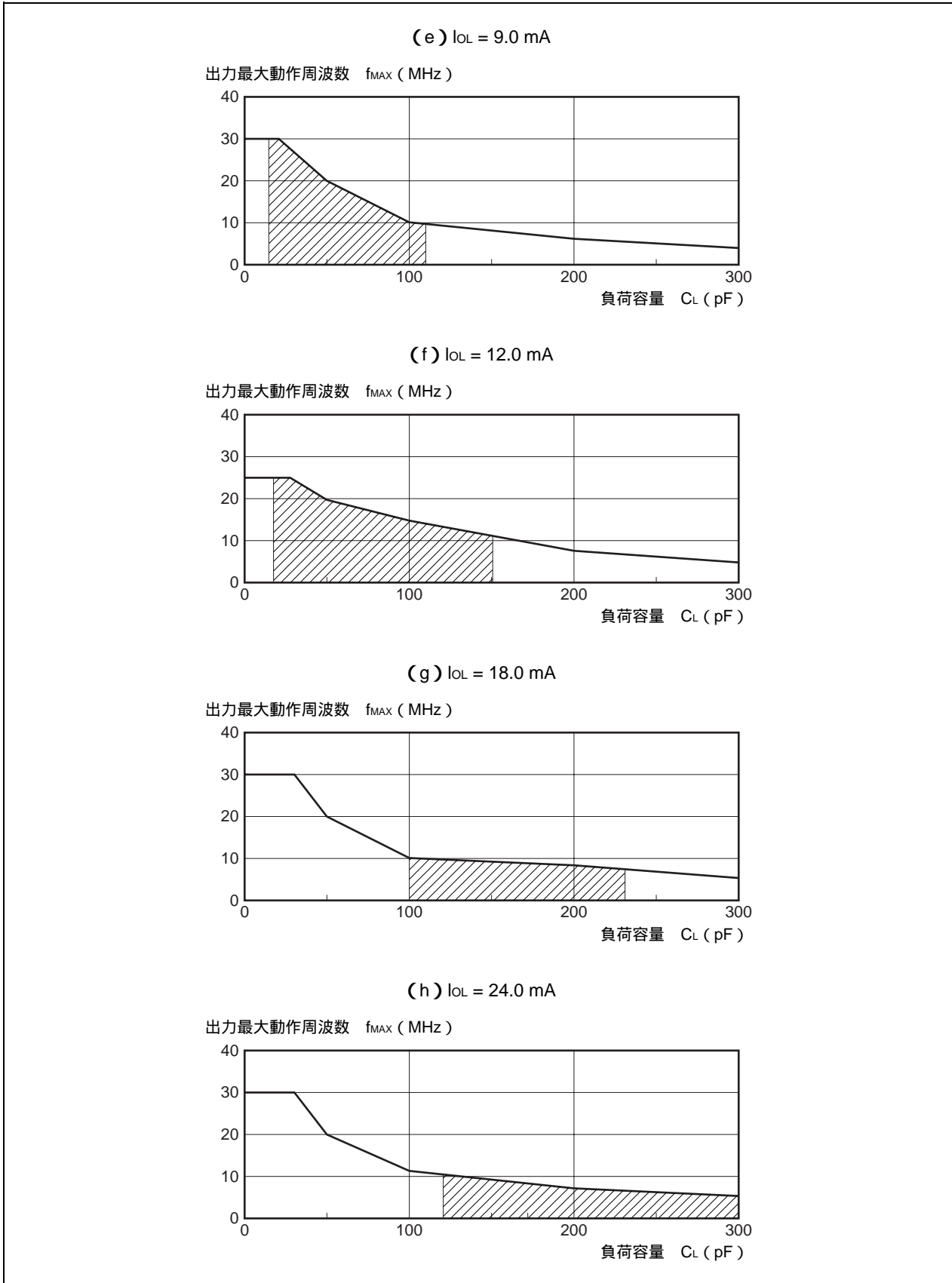


図5-19 f_{MAX} vs C_L 制限 (TTL5 V耐圧出力, ロー・ノイズ・タイプ)

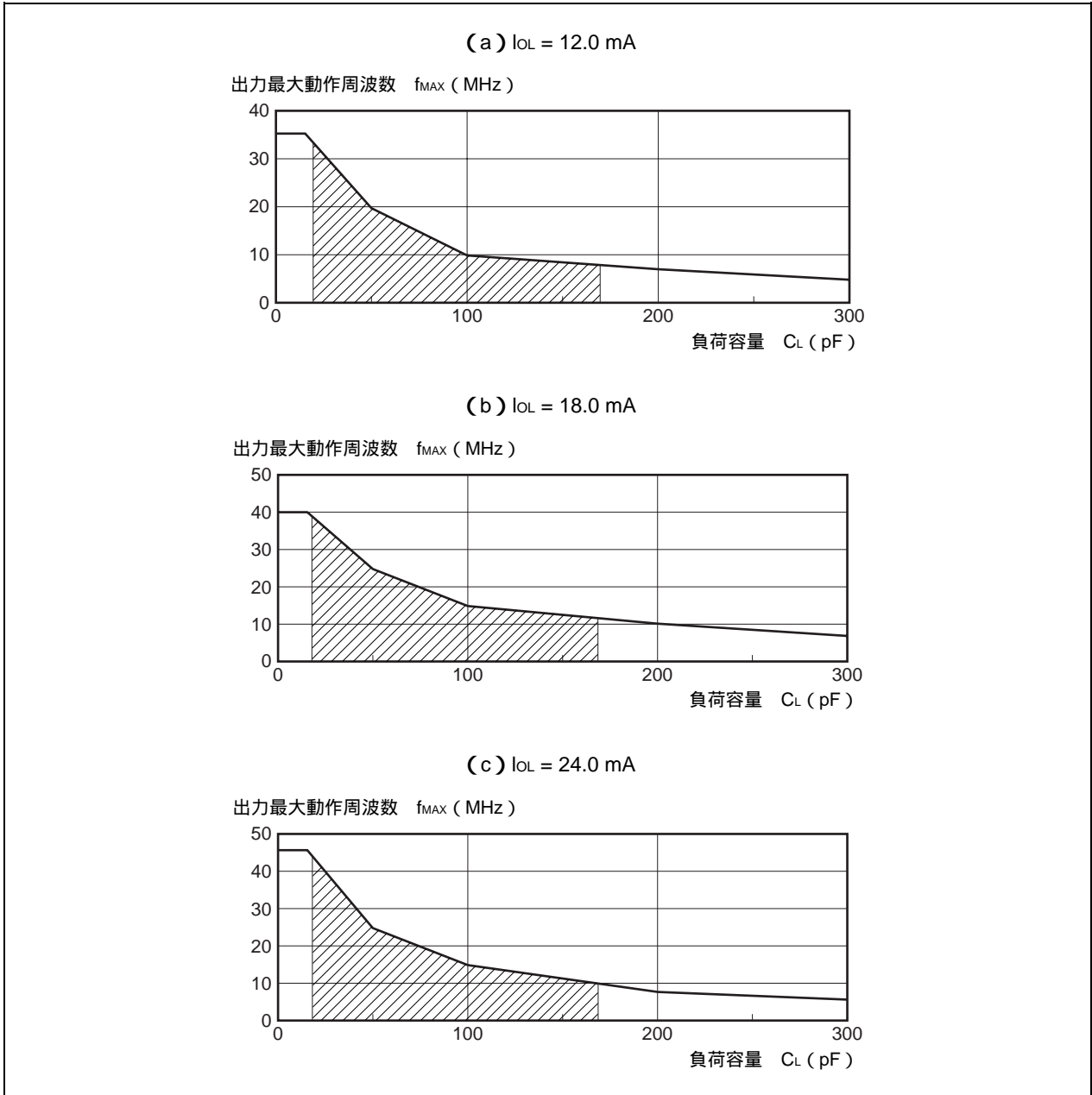


図5 - 20 f_{MAX} vs C_L 制限 (5 Vフルスイング, ノーマル・タイプ) (1/2)

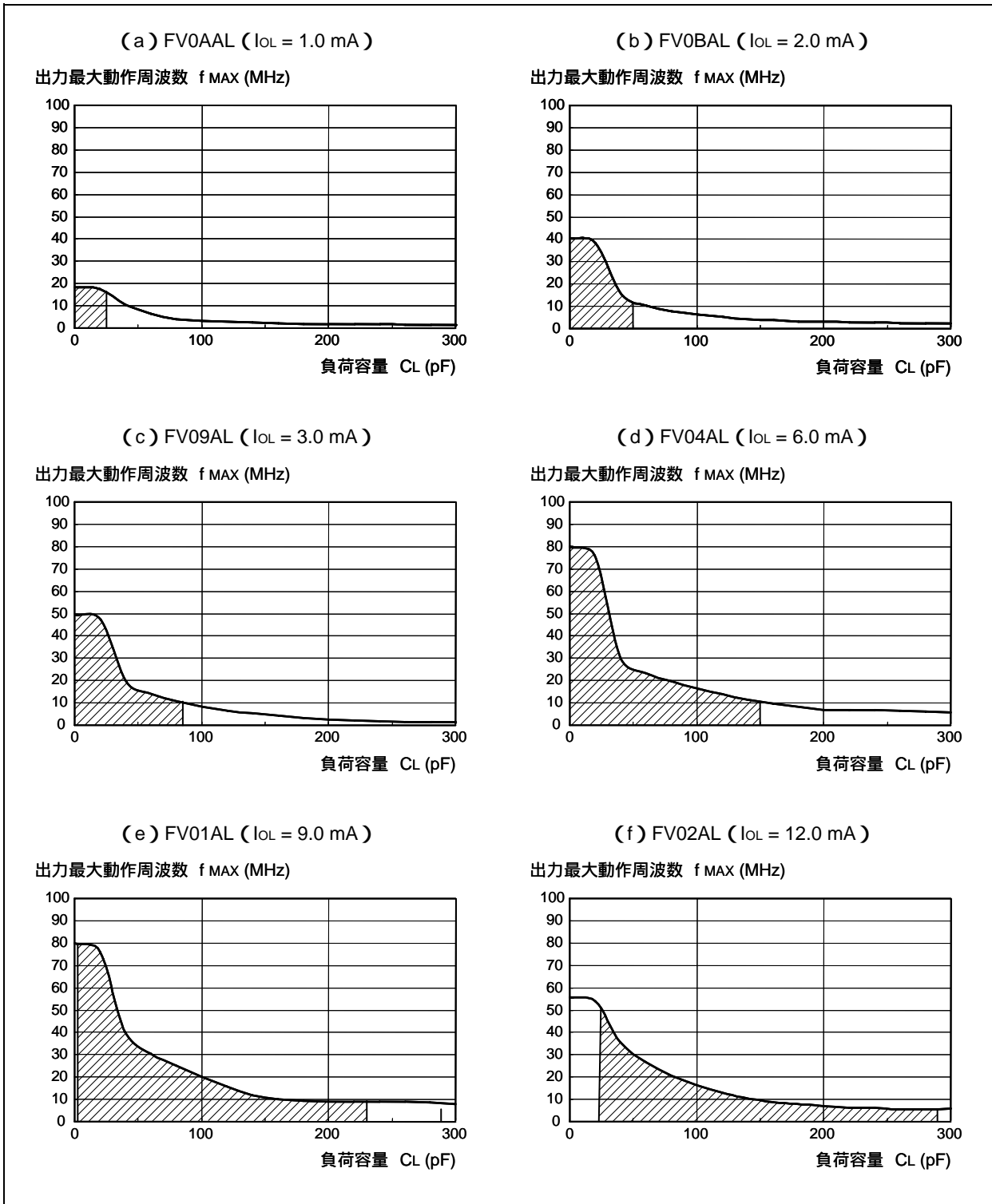


図5 - 20 f_{MAX} vs C_L 制限 (5 Vフルスイング, ノーマル・タイプ) (2/2)

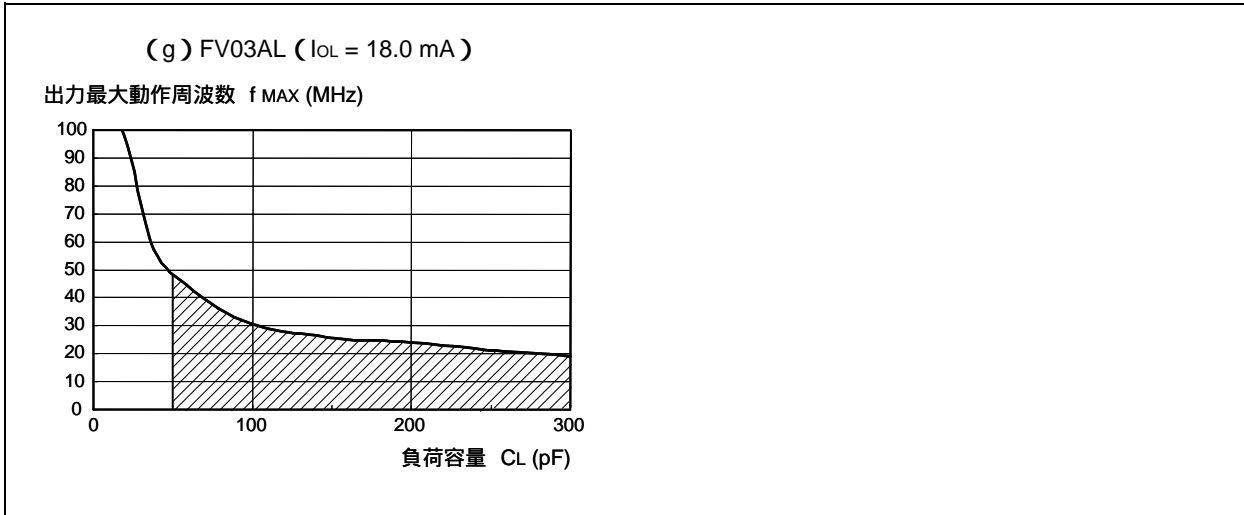


図5 - 21 f_{MAX} vs C_L 制限 (5 Vフルスイング, ロー・ノイズ・タイプ)

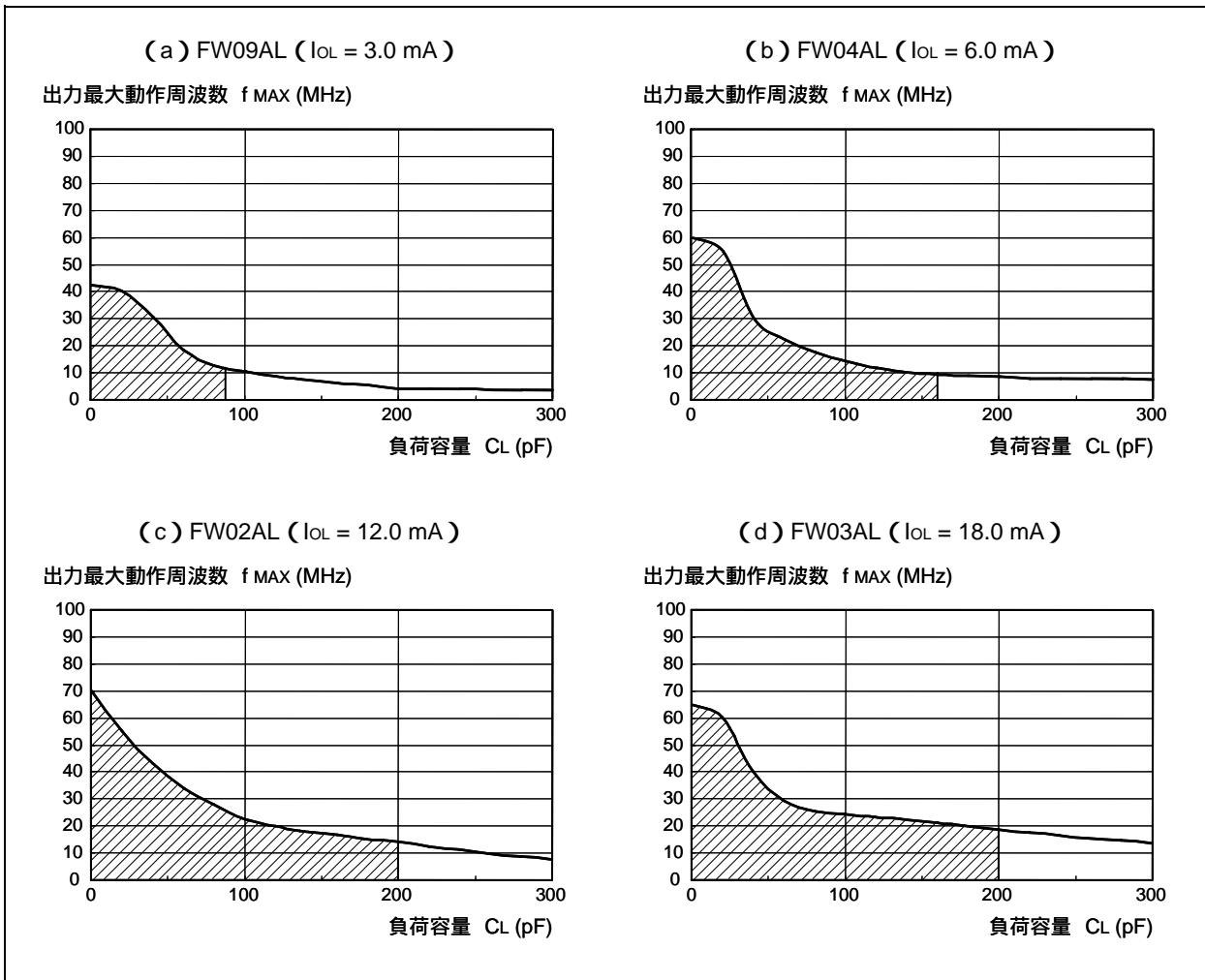


図5 - 22, 図5 - 23に示されるCMOS用5 V耐圧出力の波形は, 次の条件の出力波形を示します。

$V_{DD} = 3.3 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$, 入力信号の $t_r, t_f = 0.4 \text{ ns}$ ($V_{DD} = 3.3 \text{ V}$)

評価回路

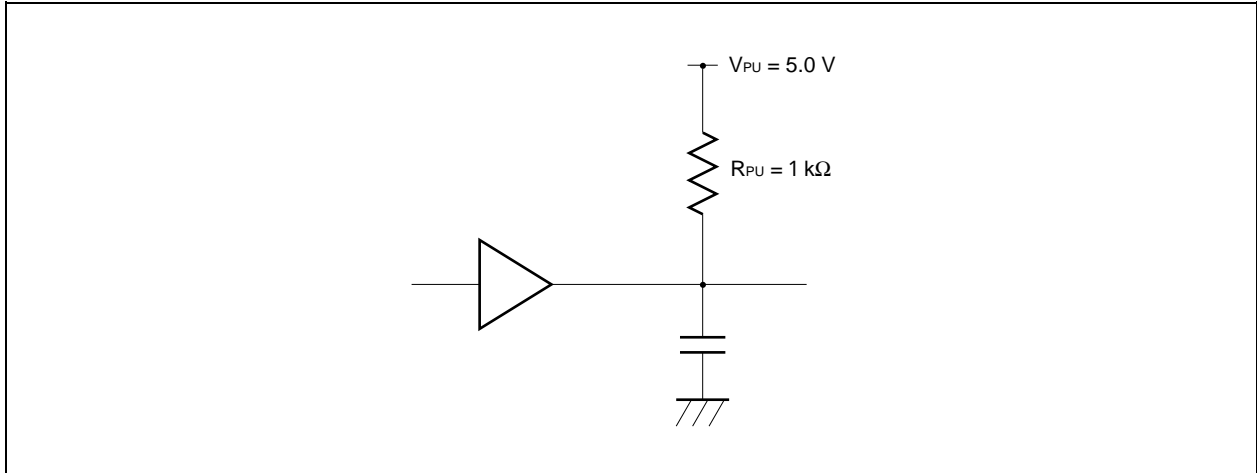


図5 - 22 出力波形 (CMOS用5 V耐圧出力, ノーマル・タイプ)

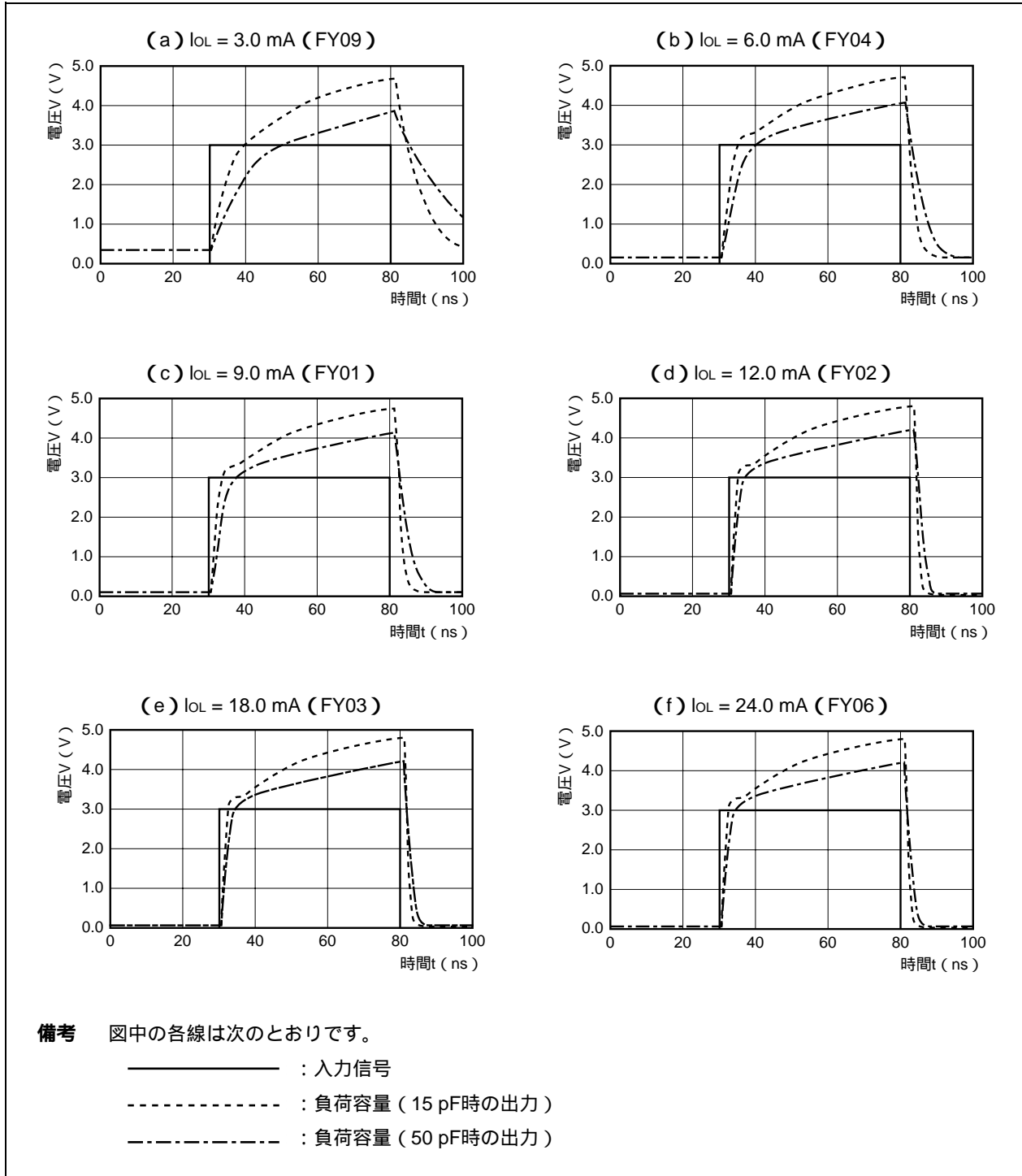
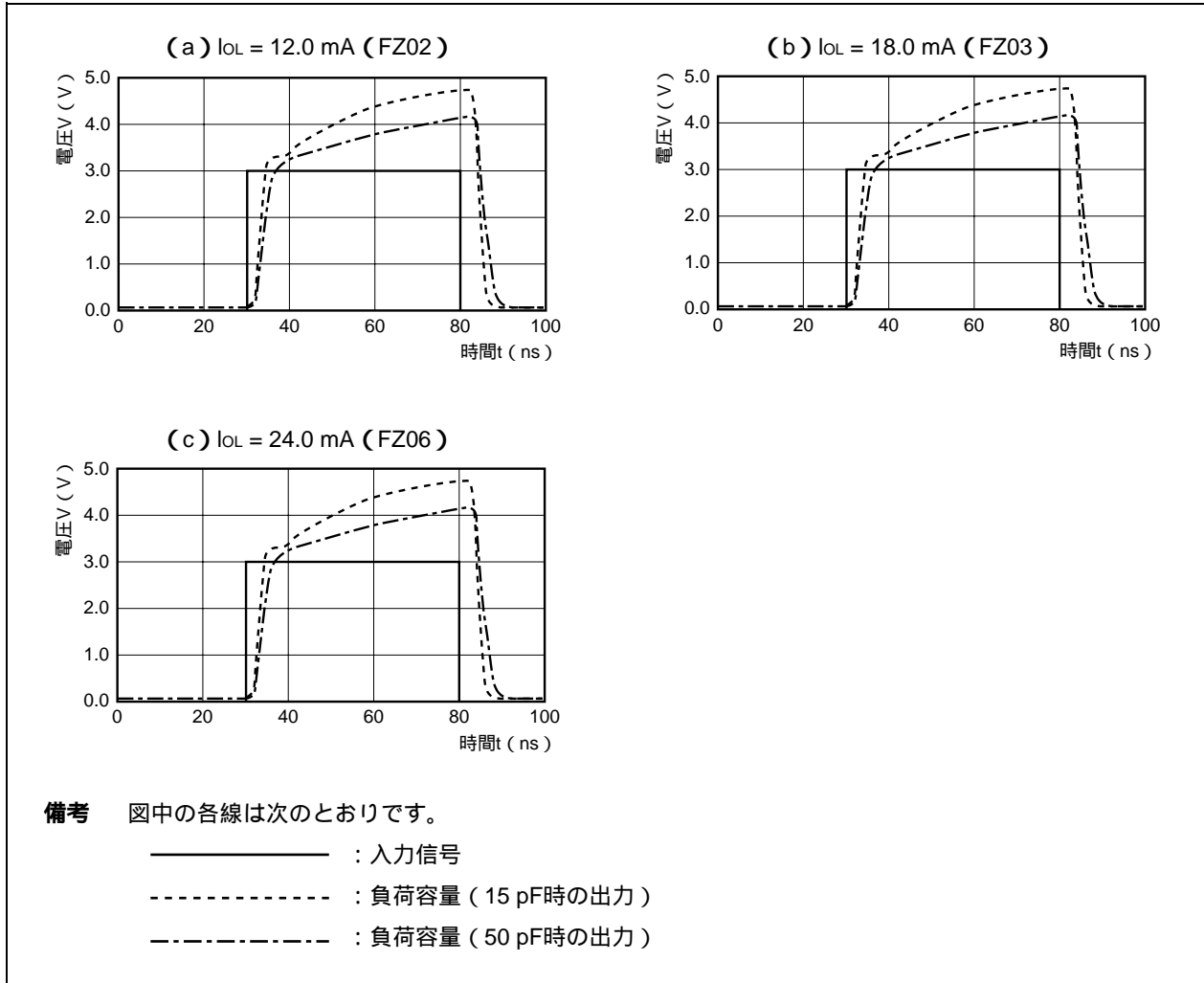


図5 - 23 出力波形 (CMOS用5 V耐圧出力, ロー・ノイズ・タイプ)



5.5.4 出力バッファの出力電流 (I_{OL} , I_{OH})

弊社ではEP-1シリーズの出力電流を、 $V_{OL} = 0.4\text{ V}$ と $V_{OH} = 2.4\text{ V}$ で定義しています。しかし、実際のアプリケーションでは異なる V_{OL} , V_{OH} で使用する場合も考えられますので、使用条件に合わせて I_{OL} , I_{OH} の特性を見積もる場合には次に示す係数を使用してください。

・出力電圧に対する依存性

$V_{OL} = 0.4 \sim 0.6\text{ V}$, $V_{OH} = (V_{DD} - 0.4\text{ V}) \sim (V_{DD} - 0.6\text{ V})$ の間

... ほぼ出力電圧に比例して I_{OL} , I_{OH} は変化するので、直接近似することができます。

ただし、TTLレベル出力バッファの I_{OH} は除きます。

近似方法

$$I_{OL}' = I_{OL} \times V_{OL} / 0.4 \quad (\text{mA})$$

$$I_{OH}' = I_{OH} \times (V_{DD} - V_{OH}) / 0.6 \quad (\text{mA})$$

I_{OL} : $V_{OL} = 0.4\text{ V}$ 時の I_{OL} スペック

V_{OL} : 使用する V_{OL} 値

I_{OH} : $V_{OH} = 2.4\text{ V}$ 時の I_{OH} スペック

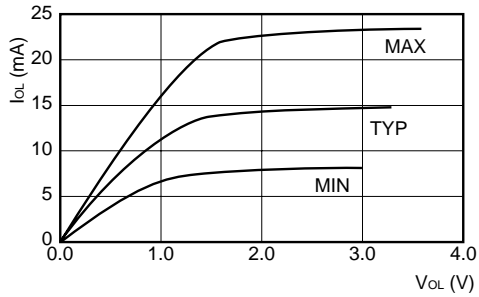
V_{OH} : 使用する V_{OH} 値

図5 - 24に I_o 対 V_o のカーブを示します。MINは $V_{DD} = 3.0\text{ V}$, $T_J = 125\text{ }^\circ\text{C}$ の条件のカーブを、TYPは $V_{DD} = 3.3\text{ V}$, $T_J = 25\text{ }^\circ\text{C}$ の条件のカーブを、MAXは $V_{DD} = 3.6\text{ V}$, $T_J = -40\text{ }^\circ\text{C}$ の条件のカーブを示します。実際に使用できる直流 I_{OH} , I_{OL} は絶対最大定格以内としてください。なお、CMOS 5 V出力バッファは直流 I_{OH} を遮断する構成となっており、MIN, MAX条件での V_o 対 I_o のカーブを示すことはできません。

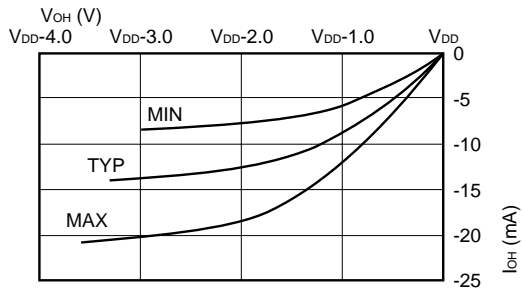
図5-24 I_o vs V_o (1/9)

(1) LVTTTL出力タイプ $I_{oL} = 3 \text{ mA}$ (代表ブロック・タイプ: FO09)

(a) I_{oL} vs V_{oL}

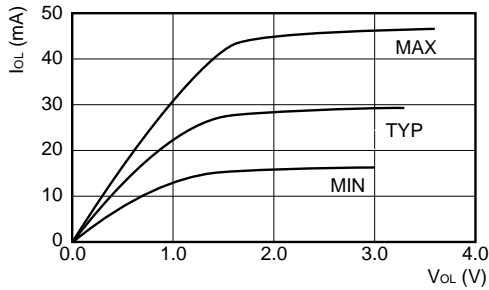


(b) I_{oH} vs V_{oH}

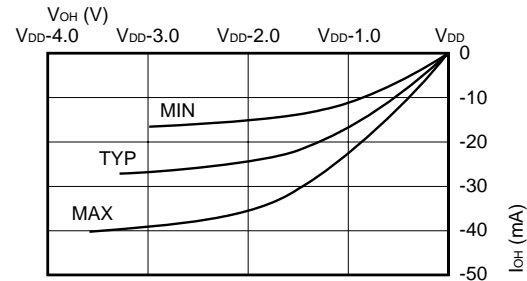


(2) LVTTTL出力タイプ $I_{oL} = 6 \text{ mA}$ (代表ブロック・タイプ: FO04, FE04)

(a) I_{oL} vs V_{oL}

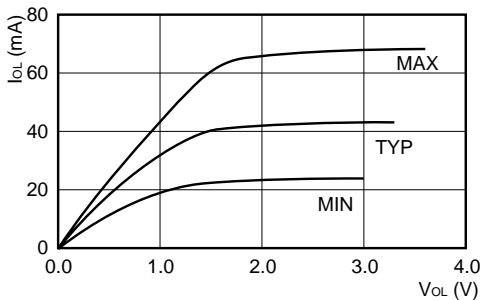


(b) I_{oH} vs V_{oH}

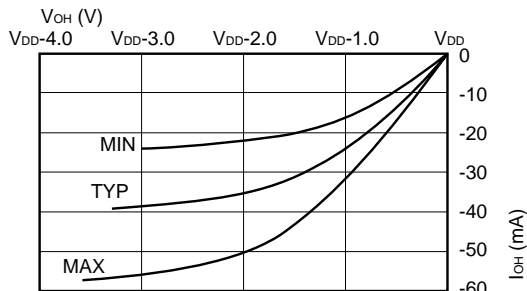


(3) LVTTTL出力タイプ $I_{oL} = 9 \text{ mA}$ (代表ブロック・タイプ: FO01, FE01)

(a) I_{oL} vs V_{oL}

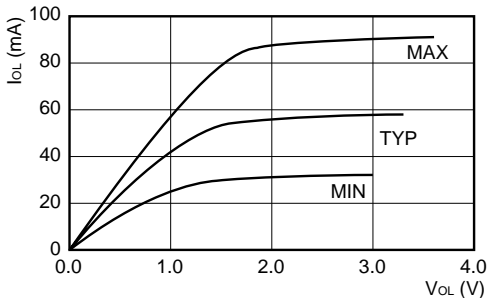


(b) I_{oH} vs V_{oH}



(4) LVTTTL出力タイプ $I_{oL} = 12 \text{ mA}$ (代表ブロック・タイプ: FO02, FE02)

(a) I_{oL} vs V_{oL}



(b) I_{oH} vs V_{oH}

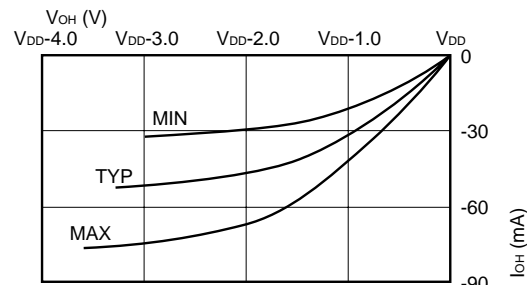
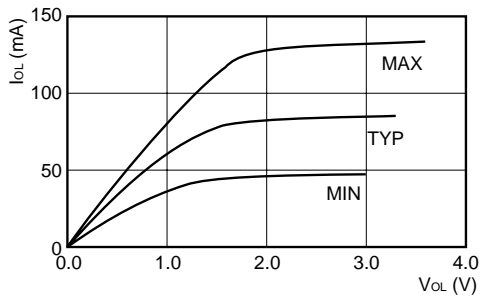


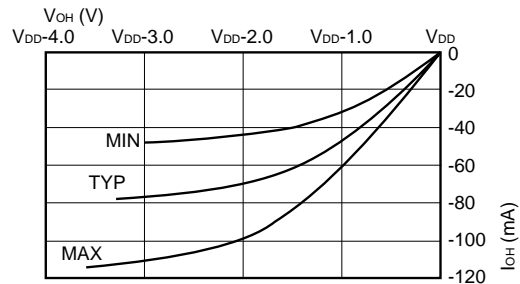
図5-24 I_o vs V_o (2/9)

(5) LVTTL出力タイプ $I_{OL} = 18 \text{ mA}$ (代表ブロック・タイプ: FO03, FE03)

(a) I_{OL} vs V_{OL}

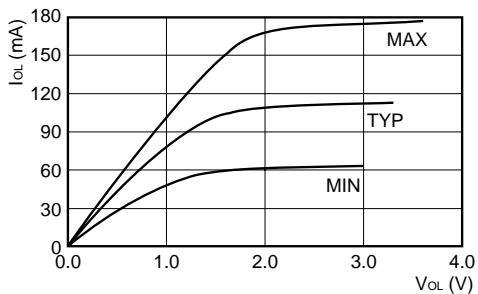


(b) I_{OH} vs V_{OH}

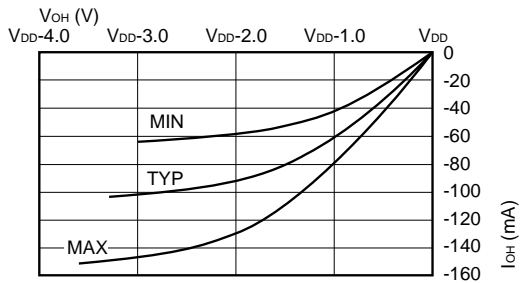


(6) LVTTL出力タイプ $I_{OL} = 24 \text{ mA}$ (代表ブロック・タイプ: FO06, FE06)

(a) I_{OL} vs V_{OL}

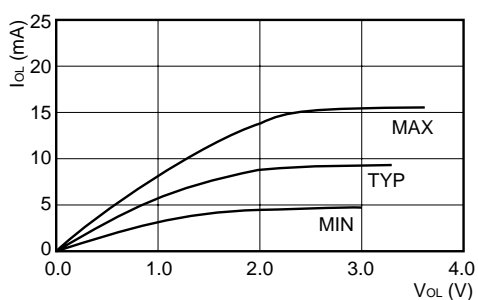


(b) I_{OH} vs V_{OH}

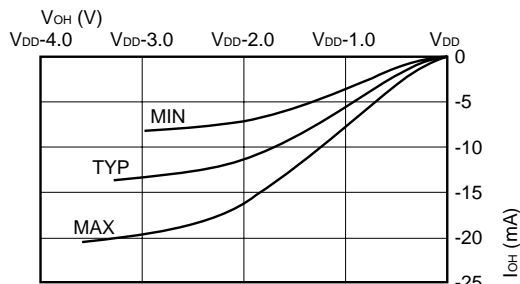


(7) TTL5 V耐圧出力 ノーマル・タイプ $I_{OL} = 1 \text{ mA}$ (代表ブロック・タイプ: FV0A)

(a) I_{OL} vs V_{OL}

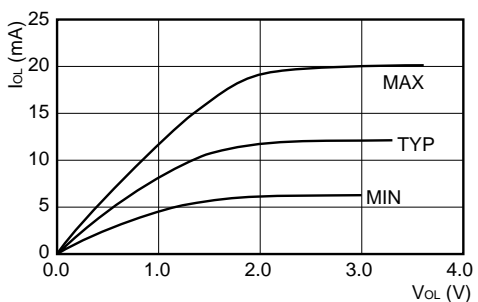


(b) I_{OH} vs V_{OH}



(8) TTL5 V耐圧出力 ノーマル・タイプ $I_{OL} = 2 \text{ mA}$ (代表ブロック・タイプ: FV0B)

(a) I_{OL} vs V_{OL}



(b) I_{OH} vs V_{OH}

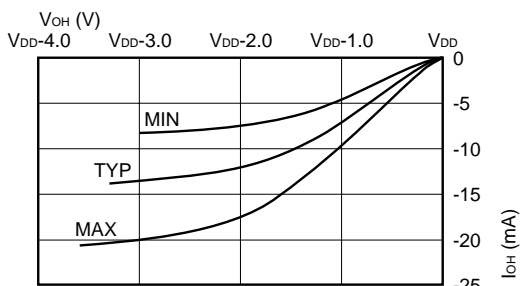
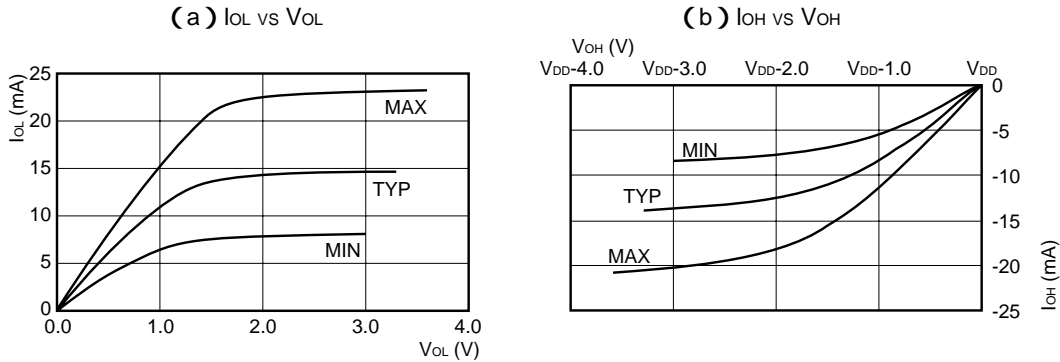
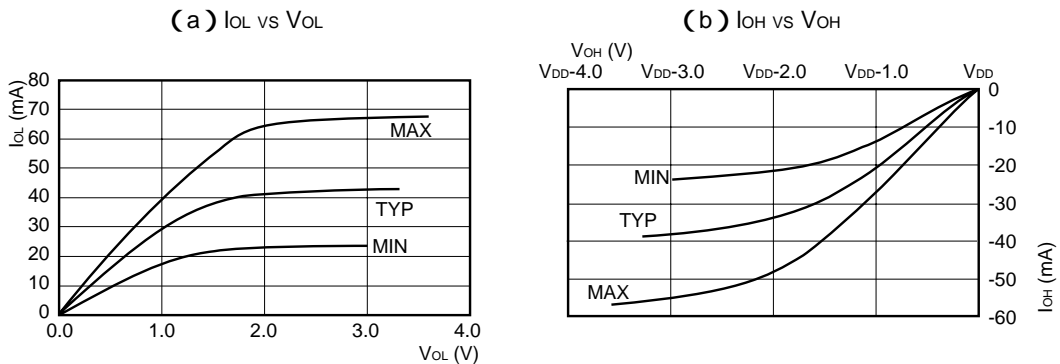


図5-24 I_o vs V_o (3/9)

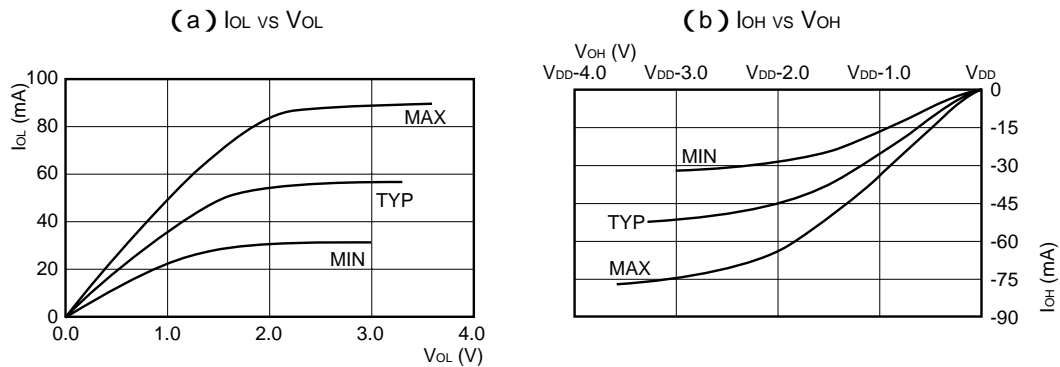
(9) TTL5 V耐圧出力 ノーマル・タイプ $I_{oL} = 3 \text{ mA}$ (代表ブロック・タイプ: FV09)



(10) TTL5 V耐圧出力 ノーマル・タイプ $I_{oL} = 6 \text{ mA}$ (代表ブロック・タイプ: FV04)



(11) TTL5 V耐圧出力 ノーマル・タイプ $I_{oL} = 9 \text{ mA}$ (代表ブロック・タイプ: FV01)



(12) TTL5 V耐圧出力 ノーマル・タイプ $I_{oL} = 12 \text{ mA}$ (代表ブロック・タイプ: FV02)

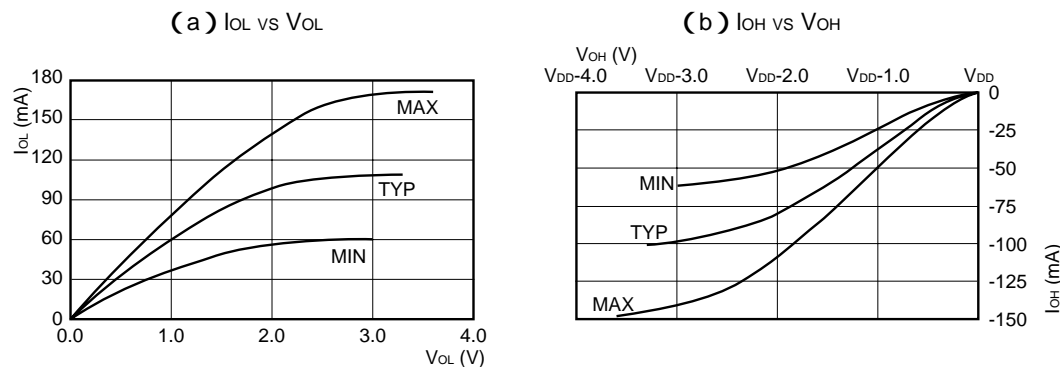
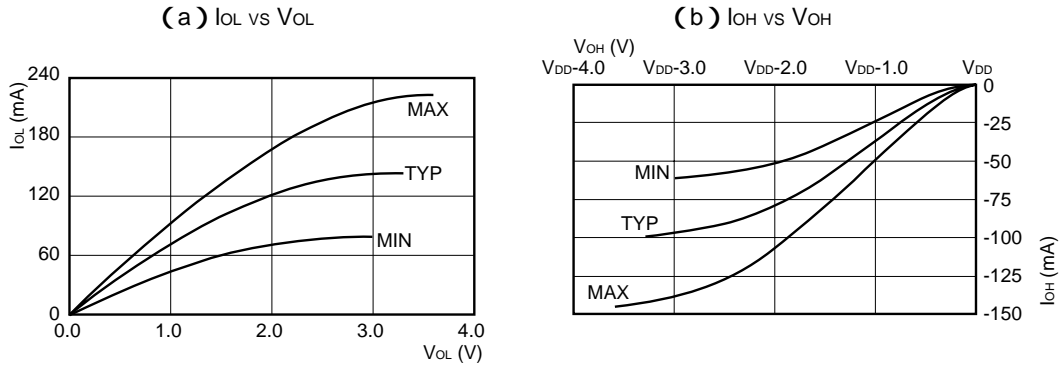
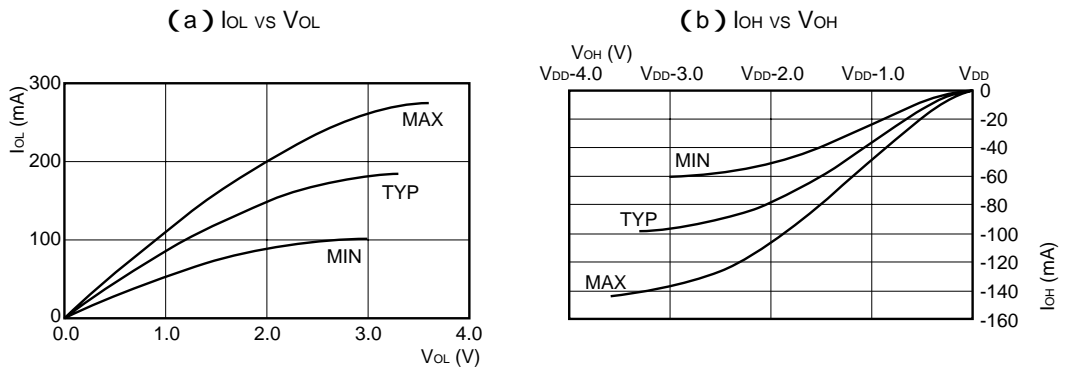


図5-24 I_o vs V_o (4/9)

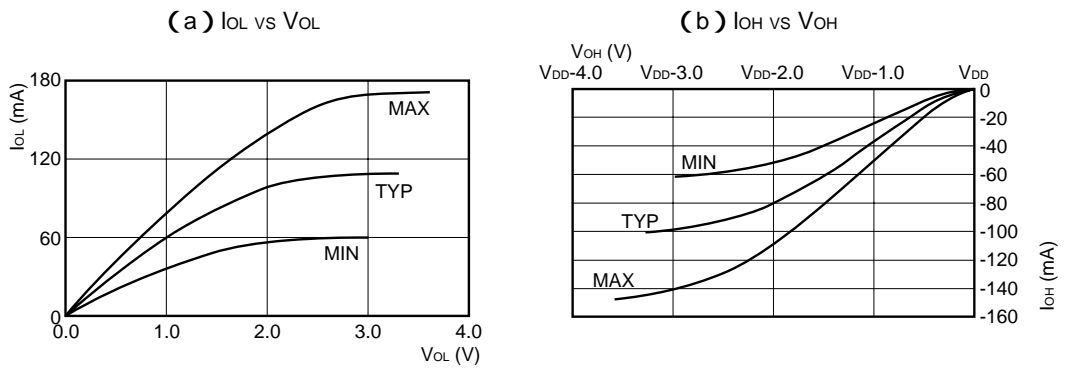
(13) TTL5 V耐圧出力 ノーマル・タイプ $I_{oL} = 18 \text{ mA}$ (代表ブロック・タイプ: FV03)



(14) TTL5 V耐圧出力 ノーマル・タイプ $I_{oL} = 24 \text{ mA}$ (代表ブロック・タイプ: FV06)



(15) TTL5 V耐圧出力 ロー・ノイズ・タイプ $I_{oL} = 12 \text{ mA}$ (代表ブロック・タイプ: FW02)



(16) TTL5 V耐圧出力 ロー・ノイズ・タイプ $I_{oL} = 18 \text{ mA}$ (代表ブロック・タイプ: FW03)

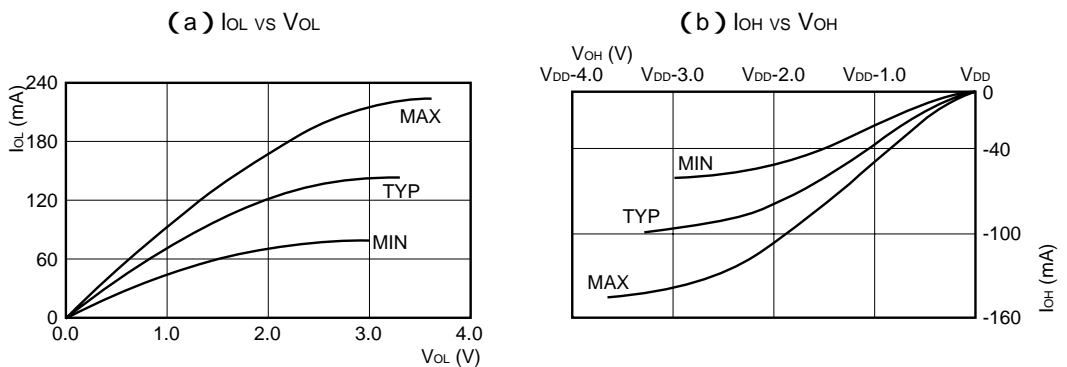
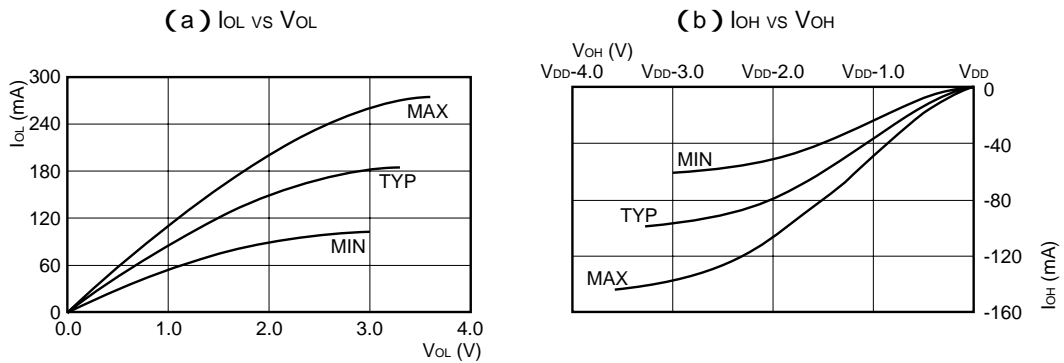
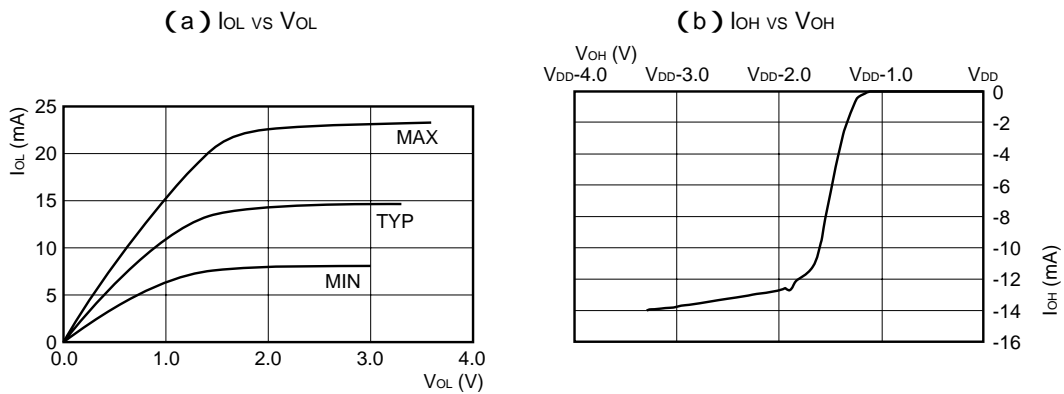


図5-24 I_o vs V_o (5/9)

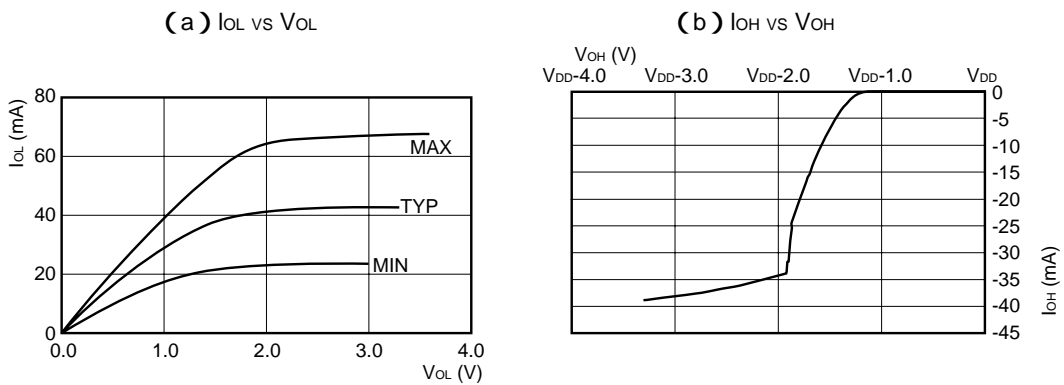
(17) TTL5 V耐圧出力 ロー・ノイズ・タイプ $I_{oL} = 24$ mA (代表ブロック・タイプ: FW06)



(18) CMOS用5 V耐圧出力 ノーマル・タイプ $I_{oL} = 3$ mA (代表ブロック・タイプ: FY09)



(19) CMOS用5 V耐圧出力 ノーマル・タイプ $I_{oL} = 6$ mA (代表ブロック・タイプ: FY04)



(20) CMOS用5 V耐圧出力 ノーマル・タイプ $I_{oL} = 9$ mA (代表ブロック・タイプ: FY01)

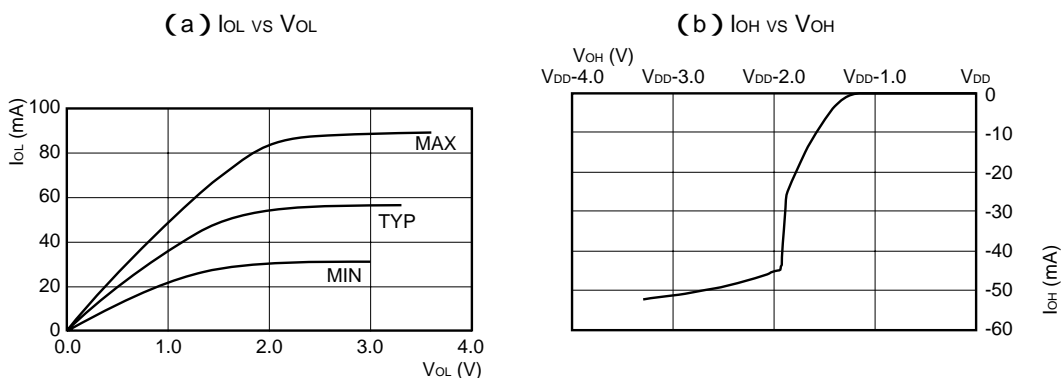


図5-24 I_o vs V_o (6/9)

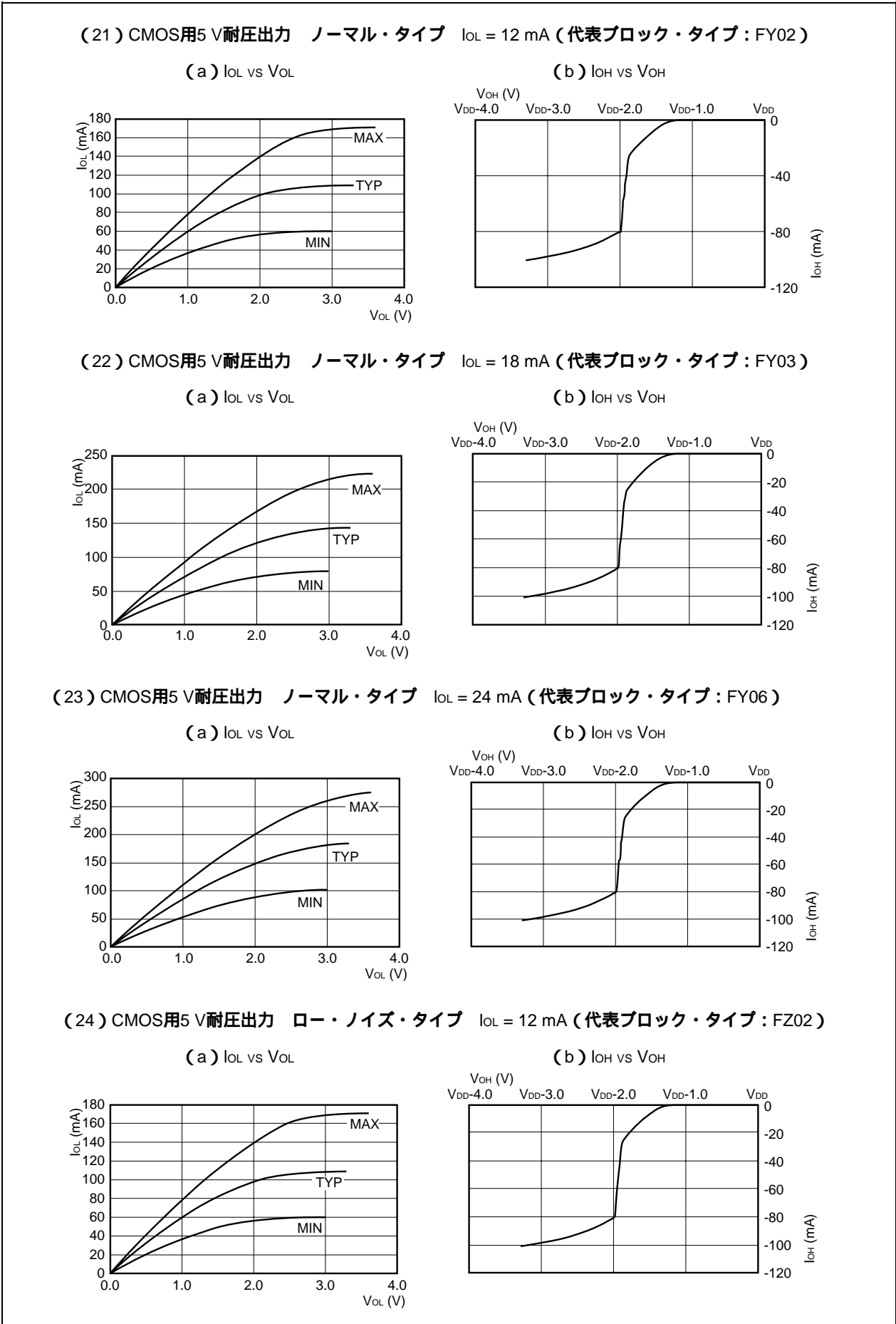
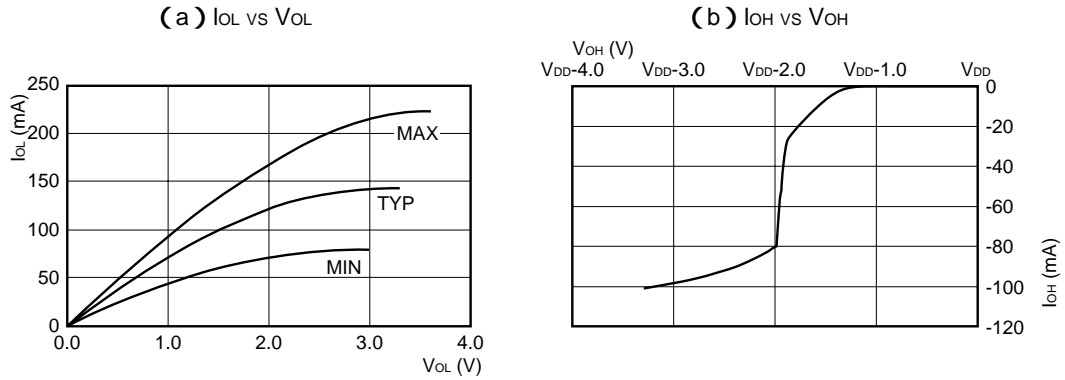
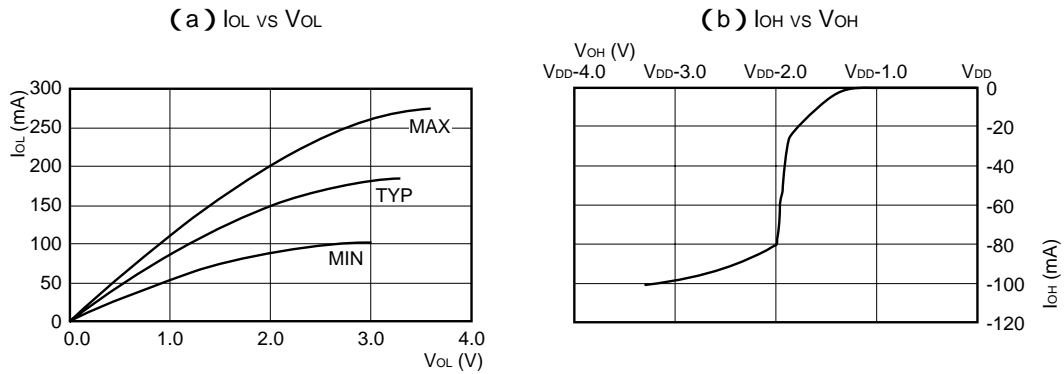


図5-24 I_o vs V_o (7/9)

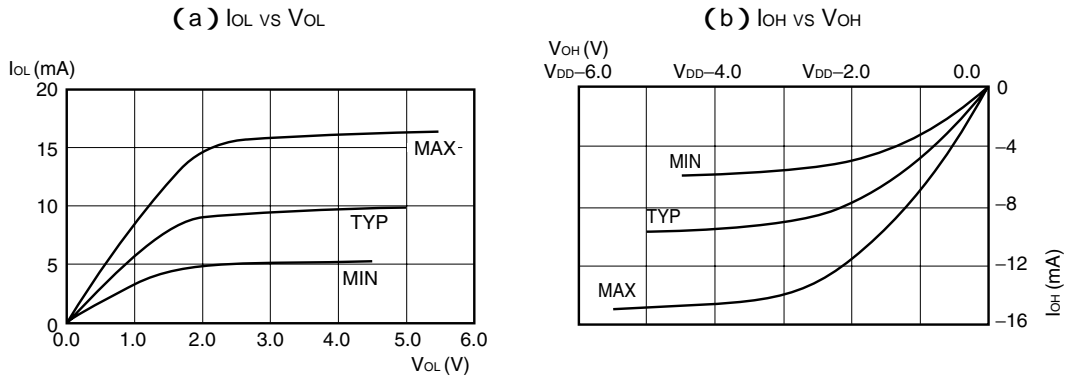
(25) CMOS用5V耐圧出力 ロー・ノイズ・タイプ $I_{oL} = 18 \text{ mA}$ (代表ブロック・タイプ: FZ03)



(26) CMOS用5V耐圧出力 ロー・ノイズ・タイプ $I_{oL} = 24 \text{ mA}$ (代表ブロック・タイプ: FZ06)



(27) 5Vフルスイング出力 $I_{oL} = 1 \text{ mA}$ (代表ブロック・タイプ: FV0AAL (ノーマル・タイプ))



(28) 5Vフルスイング出力 $I_{oL} = 2 \text{ mA}$ (代表ブロック・タイプ: FV0BAL (ノーマル・タイプ))

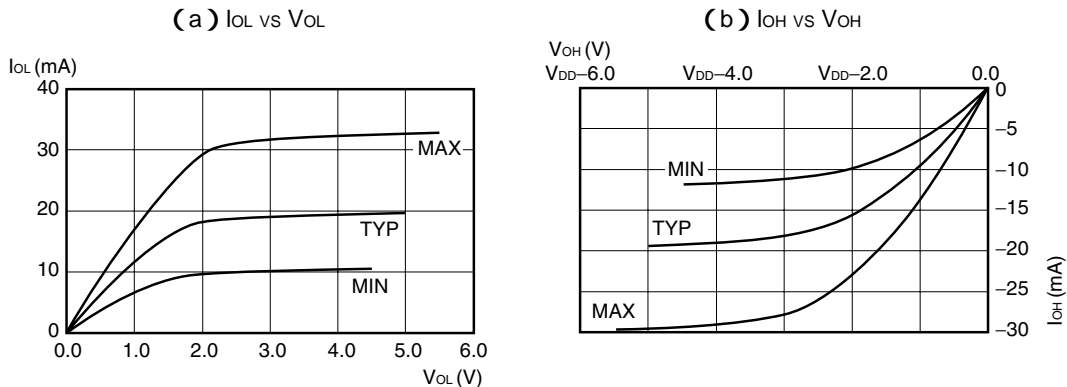


図5-24 I_o vs V_o (8/9)

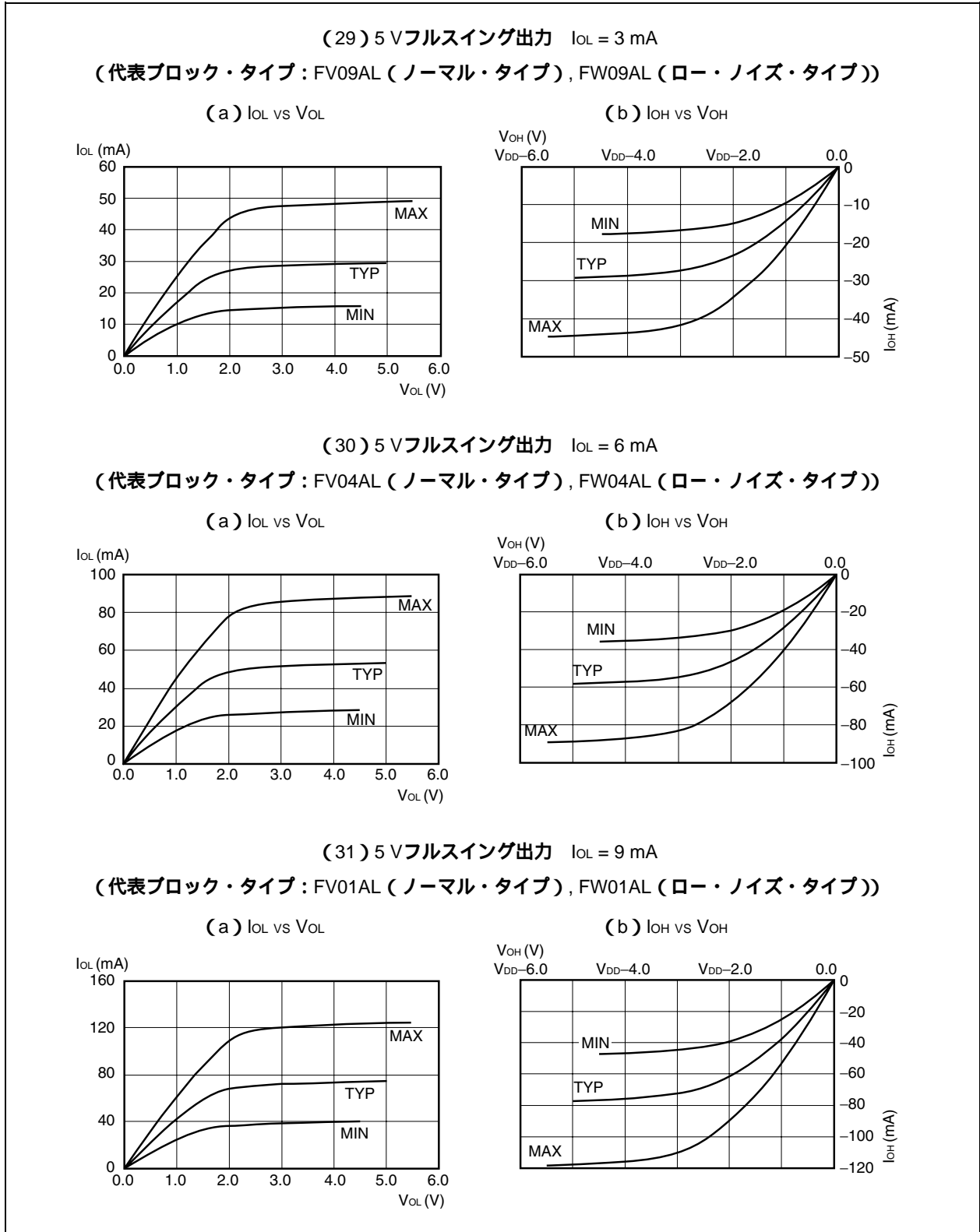
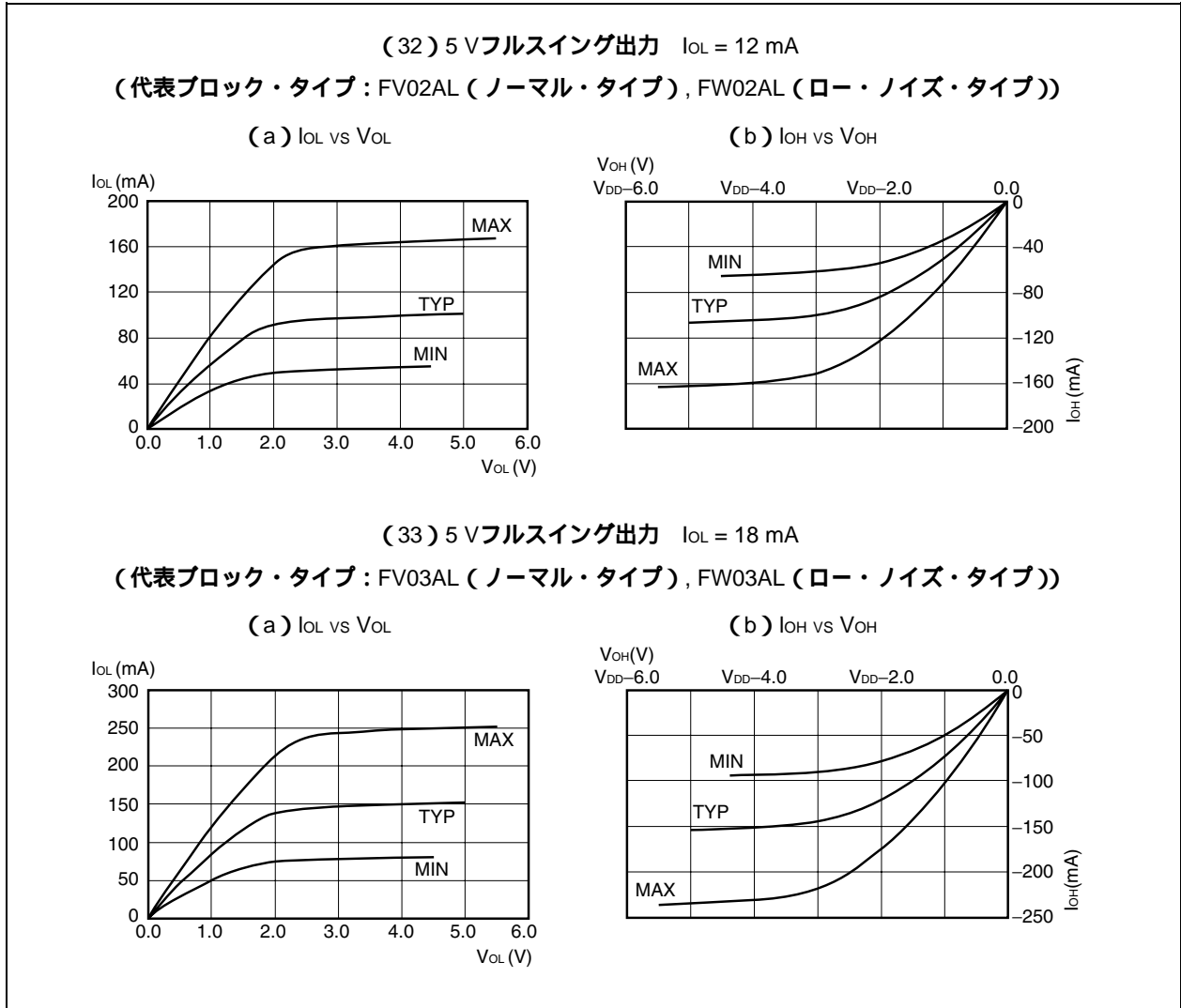


図5-24 I_o vs V_o (9/9)



5.6 出力バッファの同時動作制限

出力バッファがローからハイ、またはハイからローへスイッチングすると、出力負荷容量を充電する電流が出力バッファを介して、電源またはGNDラインに瞬間的に流れます。充電電流を*i*とし、電源のインダクタンスを*L*とすると、発生するノイズは $-L \times \Delta i / \Delta t$ で表されます。このことから、発生するノイズは充電電流の変化と電源のインダクタンスに比例して増加することがわかります。 $\Delta i / \Delta t$ の値は、出力バッファのタイプによって決まり、駆動能力の大きい出力バッファの方が一般的には大きくなります（正確には、出力の大型トランジスタの駆動能力とそのトランジスタへの入力立ち上がり時間 (t_r)、入力立ち下がり時間 (t_f) によって決まるため、ロー・ノイズ・バッファの $\Delta i / \Delta t$ の値は同一の駆動能力を持つ出力バッファより小さい）。同時動作の本数が多くなれば、この過渡的な充電電流が大きくなり、電源またはGNDラインに大きなノイズが発生します。その結果、システム自身の誤動作を引き起こします。

この誤動作には大きく分けて、次の2つの場合が考えられます。

LSIの入力スレッシュホールド・レベルの変動による、LSI自身の誤動作

LSIの出力端子に現れるノイズによる次段の回路の誤動作

たとえば、図5 - 25 (a) の回路において、LSI Bの出力バッファが“H L”にスイッチングした場合、負荷の放電電流がLSI Bの出力バッファとLSI内部のGNDラインを通して、実装基板上のGNDラインに流れます。この放電電流により、GNDラインのインダクタンスに逆起電力を生じ、LSI内部のGNDレベル V_G が上昇し、図5 - 25 (b), (c) のような誤動作を起こします。なお、出力バッファが“L H”にスイッチングした場合は、負荷容量へ充電電流が流れ、電源ラインにノイズが発生し、LSI内部の V_{DD} レベルが一時的に低下します。

(1) 18 mA, 24 mA タイプのLVTTTLバッファ 9 mA, 12 mA タイプのTTL 5V 耐圧バッファ および9mA, 12 mA, 18mA タイプの5Vフルスイング・バッファ（ロー・ノイズ・バッファ除く）を使用しない場合

出力同時動作による誤動作が発生しないように、パッケージ上の電源、GND の配置が十分考慮されているので、同時動作のチェックは必要ありません。

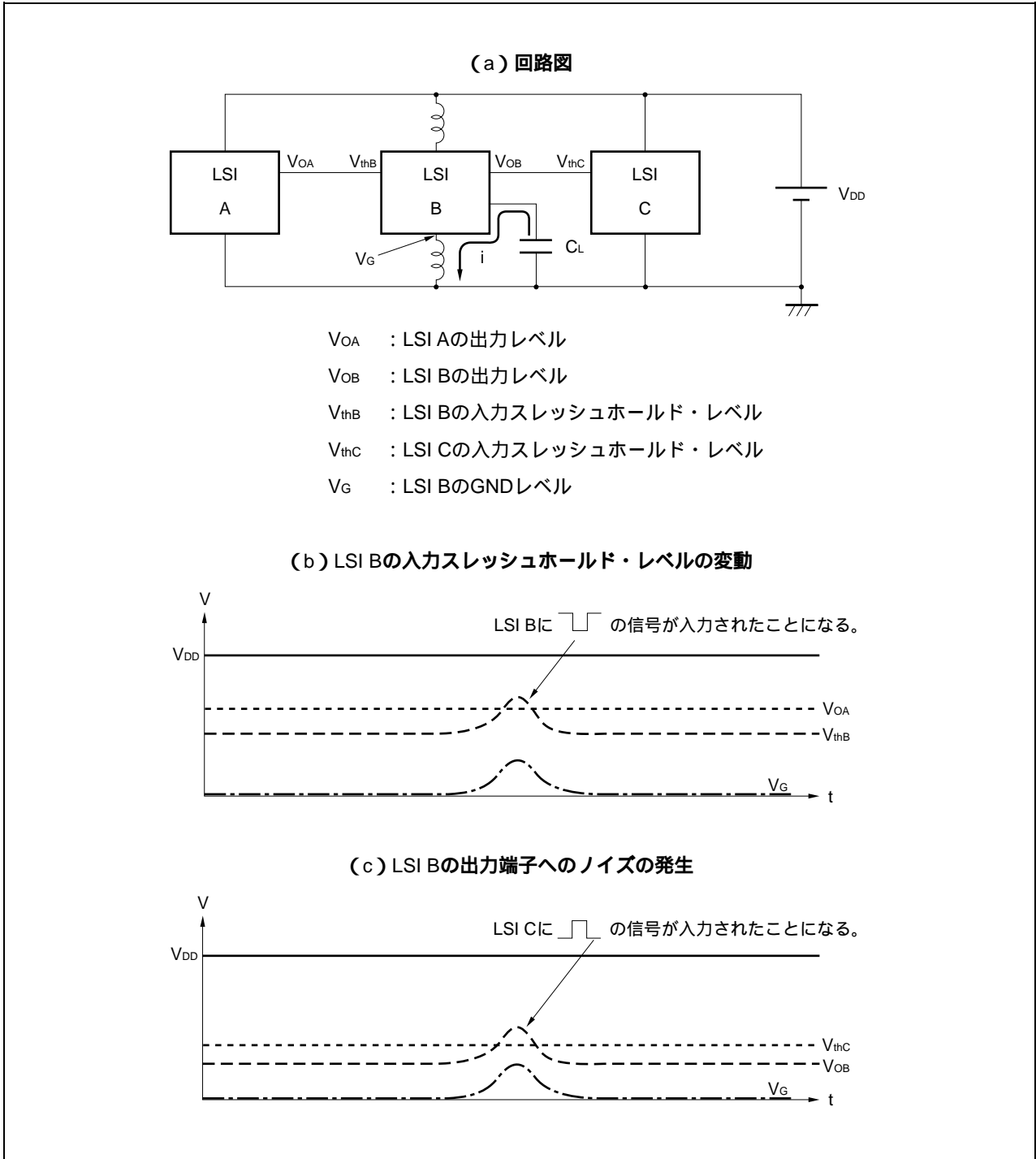
(2) 18 mA, 24 mA タイプのLVTTTLバッファ 9 mA, 12 mA タイプのTTL 5V 耐圧バッファ および9mA, 12 mA, 18mA タイプの5Vフルスイング・バッファ（ノーマル・タイプ）を使用する場合

配置状況によって出力同時動作による誤動作が発生する可能性があるため、同時動作のチェックが必要です。

なお、ロー・ノイズ・バッファを使用する場合は、同時動作チェックの必要はありません。

上記のノーマル・タイプのバッファを使用する場合は弊社にご相談ください。

図5-25 同時動作による誤動作



第6章 回路設計

この章では、回路設計を行う際の注意点や制限事項について述べます。

EP-1シリーズを使用してLSIを設計する場合、TTLやCMOSの標準ICを用いて回路を作るのと異なり、一度設計してしまった回路を簡単に修正することができません。

このため、この設計マニュアルで述べている各種の制限事項や設計ルールに従って、誤りなくLSIを設計してください。

設計ルールに従わないで設計を進めてしまいますと、弊社へのインタフェース後の開発期間が延びるだけでなく、場合によってはそのまま品種開発を進めてしまい品種の再開発（リワーク）になる場合もありますので、十分注意してください。

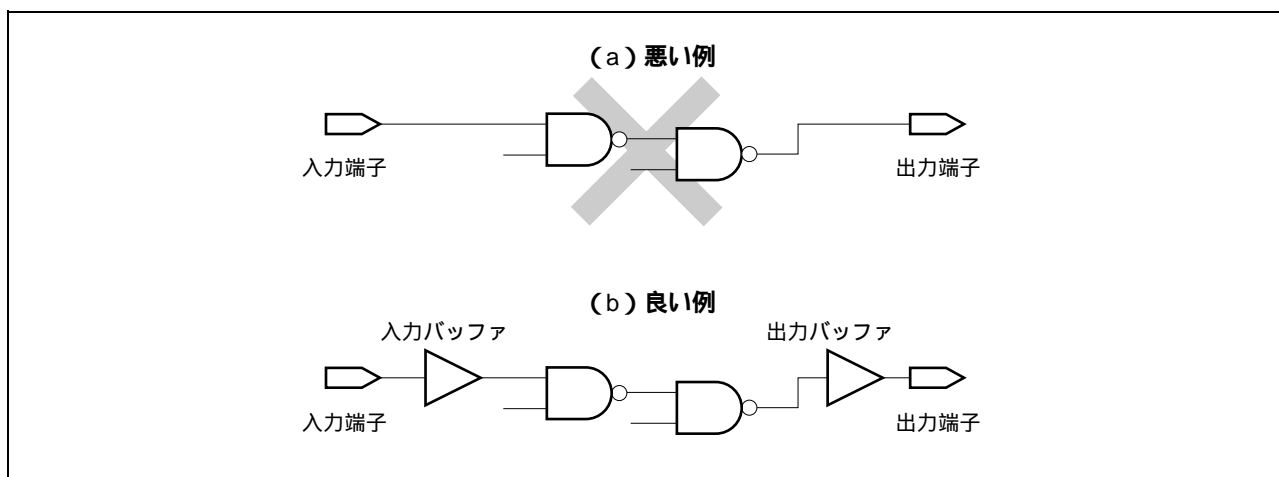
6.1 基本回路構成

6.1.1 入力/出力バッファの使用

LSI内部と入力/出力端子の間には、必ず入力/出力バッファを入れてください（図6-1参照）。

理由： 静電気などによる破壊からLSIを保護する。
出力の十分な駆動能力を得る。

図6-1 回路の基本構成



6.1.2 未使用端子処理

EP-1シリーズでは、どのブロックも未使用入力端子をオープン（どこにも接続されない状態）のままにしておくことはできません。F091（H、Lレベル・ジェネレータ）を使用して、ハイ・レベルかロー・レベルを必ず入力するようにしてください。ブロックの入力端子をオープンのままにすると、入力レベルが定まらないために、ファンクション不良や I_L （リーク電流）増加の原因になります。なお、F091を使用する場合、配線性向上のため、ファンアウト数が増える使用は避けてください。1ブロックで多くのブロックをクランプすると、その部分に配線が集中し、配置配線が困難となります。この場合、回路をある単位で分けて配線の集中を避けてください。

また、ブロックの出力端子がオープンのままですと、ツールでのデザイン・ルール・チェック時に、ワーニング・エラーが出力されます。不要となるブロックは、削除してください。

6.1.3 ファンアウト数の制限

ブロックの出力端子に接続できるファンアウト容量には一定の制限があり、それぞれのブロックごとの許容負荷容量がCMOS-9HD Family, EA-9HD Family Block Library（A13052J）に記載されています。

駆動する負荷容量が増加すると、信号の立ち上がり時間、立ち下がり時間が大きくなるため、伝達遅延時間の見積もり精度が悪くなります。また、立ち上がり時間、立ち下がり時間が極端に大きくなった場合には、フリックフロップでのデータ・スルーを生じ、正常な論理動作を維持できなくなることがあります。

したがって、設計時にファンアウト容量制限を越えないように注意してください。

また、スピード・スペックが厳しい回路では、負荷容量のリミットは1/3程度として設計してください。

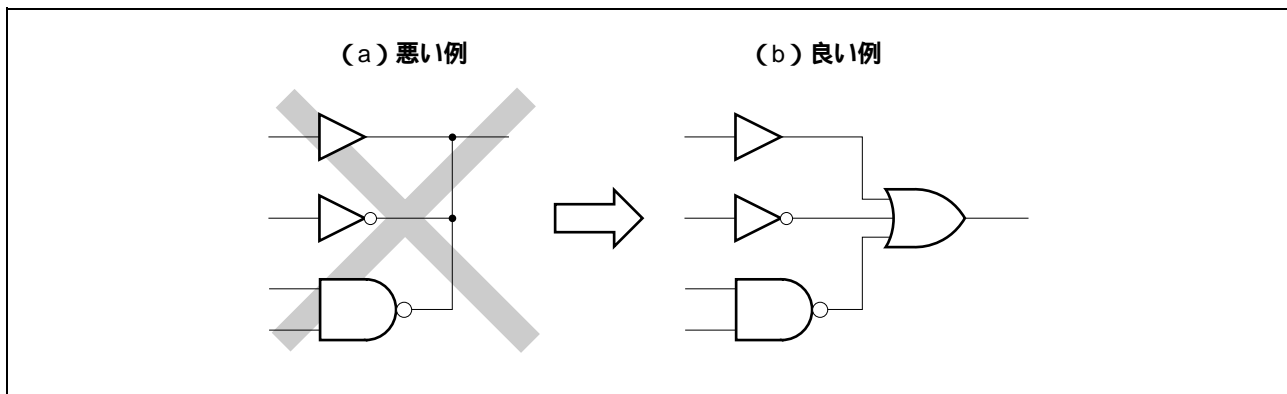
注意 負荷容量には、次段に接続するブロックのファンイン容量だけでなく、配線容量も含まれますので注意してください。

6.1.4 ワイアード・ロジックの禁止

BUS（束線）の場合を除き、ブロックの出力どうしを相互に接続してワイアード・ロジックを構成することはできません。

ブロックの出力どうしを接続すると、論理状態によってP-chトランジスタとN-chトランジスタが同時に導通状態となり、出力が中間レベルになるとともに V_{DD} -GND間に定常的な電流通路ができるため、CMOS回路本来の特徴である定常時の低消費電力特性が損なわれますので、この制限事項を必ず守ってください。

図6-2 ワイアード・ロジックの禁止



6.1.5 双方向バッファ使用上の注意

双方向バッファにおいて、出力信号をそのまま内部へ入力した場合、出力波形のなまりや、図6-3に示すリングングを生じることがあります。この場合、入力信号として受けた側の内部回路が誤動作する可能性があります。したがって、図6-4に示すように、出力モード時は出力バッファの直前の信号を内部に入力する対策をしてください。特に入力信号をフリップフロップのクロックへ入れる設計手法をとることはやめてください。

図6-3 リンギング

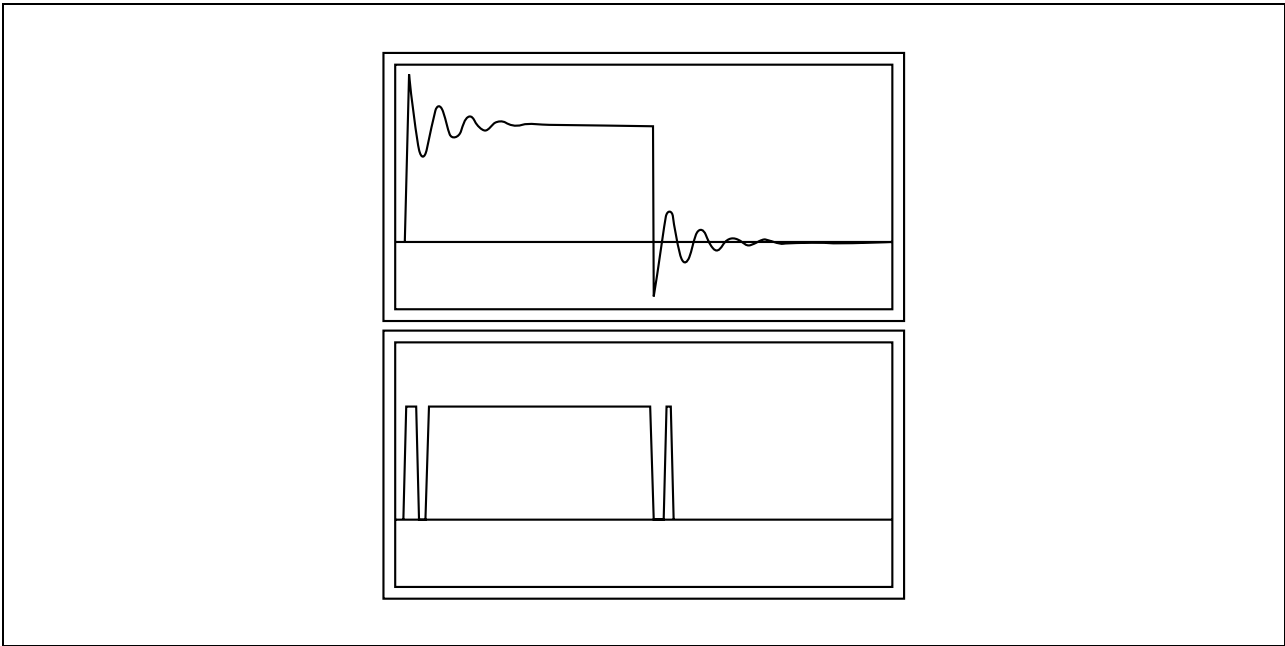
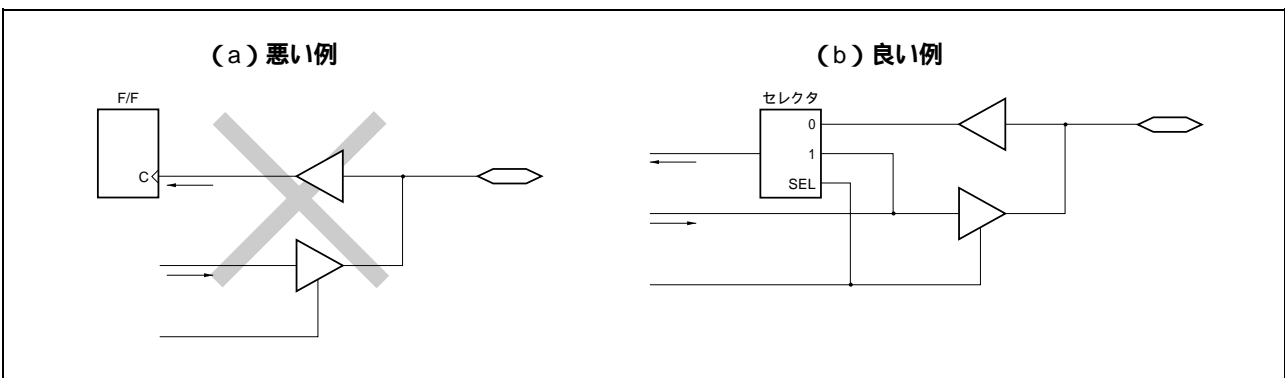


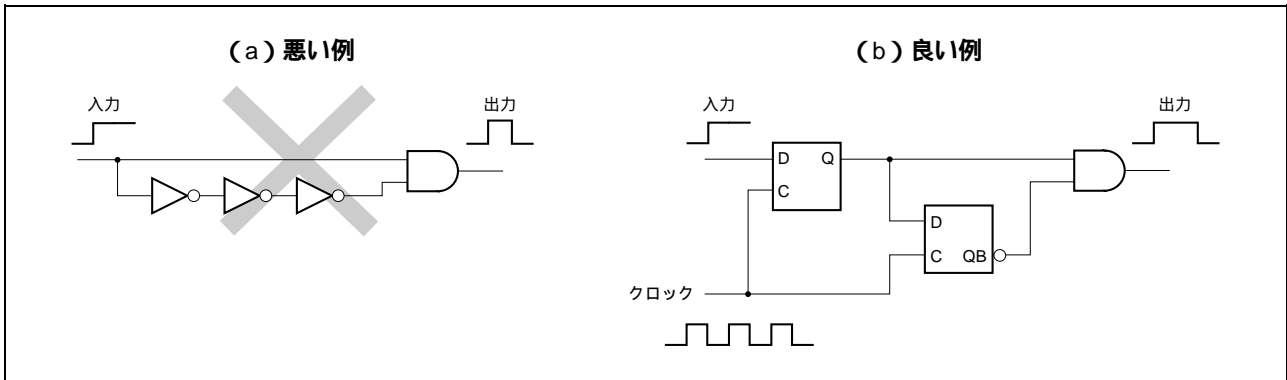
図6-4 対策回路例



6.2 微分回路の禁止

EP-1シリーズでは、原則として微分回路の構成はできません。これは、配置配線設計が自動で行われるため、発生された内部波形の幅に対する保障ができず、所望の機能を果たさないおそれがあるからです。したがって図6-5 (a)の回路は避けて、できるだけ図6-5 (b)に示す同期回路で構成してください。

図6-5 微分回路の禁止

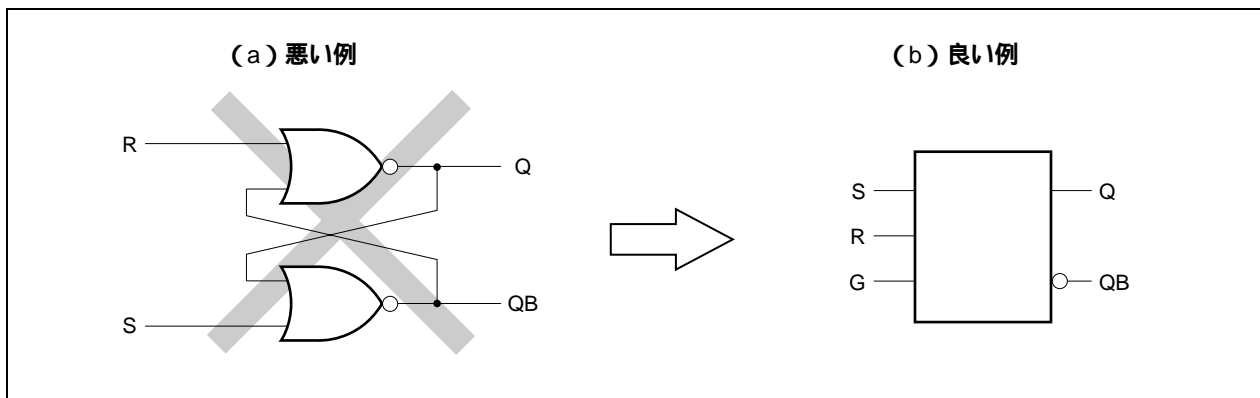


6.3 RSラッチ，ループ回路

6.3.1 RSラッチ

ゲート構成の非同期RSラッチは使用しないでください。これは、シミュレーションによる初期化ができない場合があるだけでなく、配置配線の結果によって回路のパスごとのスピードばらつきが大きくなるためです。

図6-6 非同期RSラッチ

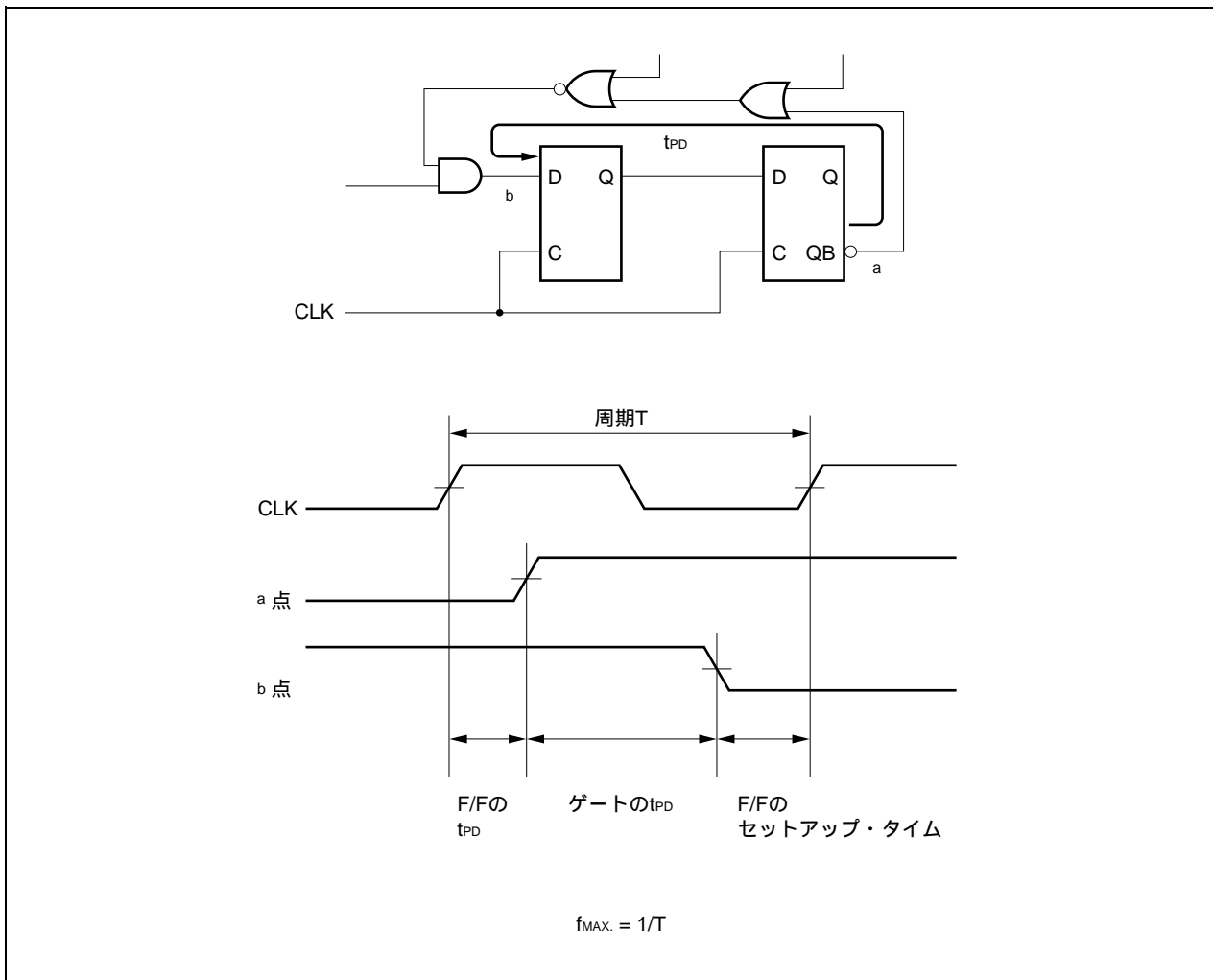


6.3.2 ループ回路

フィードバック・ループなどのループ回路がある場合は、次の点に注意してください。

- (1) 図6-7のように、分周回路などでフィードバック・ループにゲートが介在する場合は、このゲートによる遅延時間のため、周波数特性が低下します。そこで、このループの遅延時間をあらかじめ求め、周波数特性を確認してください。詳しい確認方法は、6.6 遅延時間マージンを参照してください。

図6-7 ループ回路



- (2) スキャンパス構成をする場合は、ループ回路が構成されたままではいけません。

この場合はゲートなどを使用して、ループ回路を遮断するなどの対策を施したうえで使用してください。

6.3.3 フリップフロップの禁止状態 (Use prohibited)

RSラッチやフリップフロップのセット、リセット入力については、同時にイネーブルになる状態に対して禁止状態 (Use prohibited) と書かれています。これは、セット、リセット入力が入力とも同時にイネーブル状態ディスエーブル状態になったときに、保持しているデータが不安定になるためです。そして、保持しているデータがどの値になるかは、セット、リセット入力に入る信号のタイミングおよびフリップフロップの内部の信号の遅延などの微妙なタイミングに影響され動作は保証できません。

したがって、セット、リセット入力付きフリップフロップを使用する場合は、次のようにしてください。

原則的に、セット、リセット入力を同時にイネーブル状態にしないでください。

どうしても、同時にセット、リセット入力をイネーブル状態にする必要がある場合：

必ず、どちらか一方を先にディスエーブル状態にしてから、もう一方をディスエーブル状態にしてください。こうすれば、必ず、後にディスエーブルにした方の状態を保持します。

表6 - 1 F617 (D-F/F with SB, RB)

D	C	RB	SB	Q	QB	
0		1	1	0	1	
1		1	1	1	0	
X		1	1	Hold	Hold	
X	X	0	1	0	1	
X	X	1	0	1	0	
X	X	0	0	0	0	Use prohibited

X : Irrelevant

6.4 クロック・ラインの設計

6.4.1 非同期回路と同期回路

回路設計手法としては、汎用LSIを用いて回路設計を行う場合に通常使用される単相同期回路設計、CPU設計などに良く使用される多相同期回路設計、非同期回路設計の3種類に分類されます。次に回路設計手法における特徴を示します。

表6-2 回路設計の特徴

	長 所	短 所
非同期回路設計	回路規模が小さくなる 消費電力が小さくなる	スパイクによる誤動作を起こしやすい ポスト・ディレイ・シミュレーションで不具合を起こしやすい
単相同期回路設計	回路が単純 高速回路に適する	クロック信号の配線スキューを考慮する必要がある
多相同期回路設計	フリップフロップのホールド・タイムを確保しやすい (テクノロジーに依存しない回路設計が可能)	高速動作には不適

このうち非同期回路を使用した回路は配線スキューによる誤動作を起こしやすいので、EP-1シリーズの設計には適していません。多相クロックまたはクロック・ツリー・シンセシスを使用した単相クロックの同期回路で設計してください。

(1) 非同期回路設計

非同期回路設計とは、クロックやリセットのコントロール信号を組み合わせ回路を使用して制御する設計手法です。データ信号に比べコントロール信号は信号数が少ないため、データを制御する回路よりもコントロール信号を制御する方が回路規模が小さくなります。これにより回路も見やすく、消費電力も小さい回路ができあがります。

しかし、コントロール信号を組み合わせ回路（基本的にはデコーダやセクタなど）で制御すると、コントロール信号にスパイク・ノイズが発生する可能性が非常に高く、配線遅延の影響を受けやすい回路となります。

したがって、EP-1シリーズのように配線遅延の影響を受けやすいプロセスでは、配置配線の前と後ではシミュレーションの結果が違ってしまうという現象が起こり、不具合の原因になります。EP-1シリーズの設計においては、非同期回路は基本的に作成しないようにしてください。

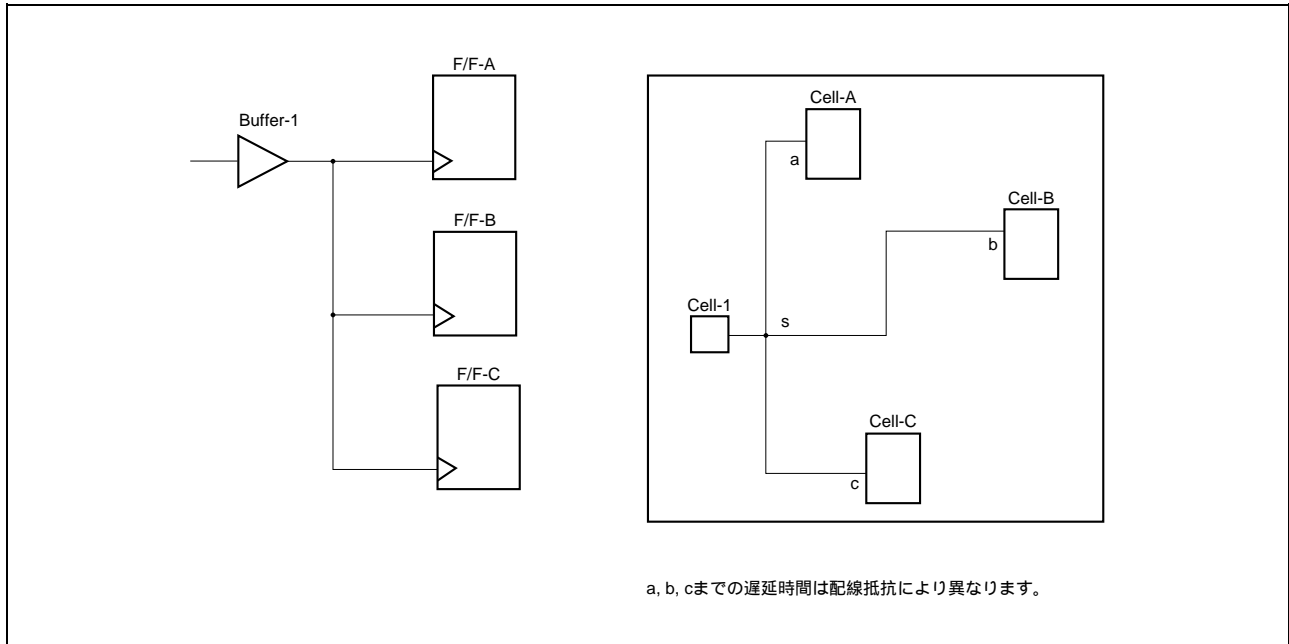
ただし、配線長の遅延にかかわらず必ず動作する回路は作成してもかまいません。

また回路仕様上、非同期回路になってしまう場合は、クリティカル・パスを指定することで動作の保証ができます。ただし、クリティカル・パスは6本までしか設定できませんので注意してください。

(2) 単相同期回路設計

単相同期回路設計は、順序回路を1種類のクロック信号により動作させる手法です。この設計手法では比較的回路構成が簡単になりますが、順序回路間のクロック・スキューなどのタイミング調整が必要になります。

図6-8 クロック・スキュー

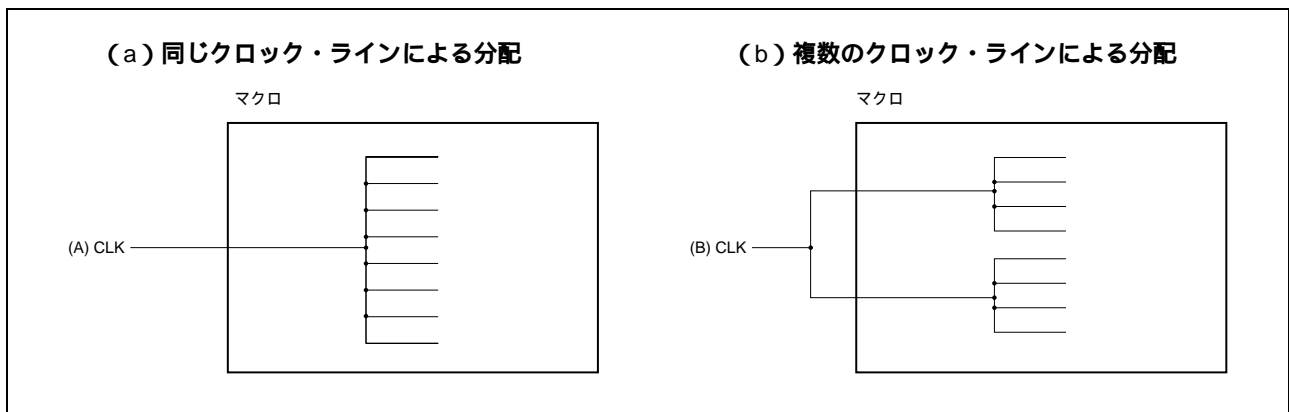


各順序回路間のクロック信号のずれをクロック・スキューといいます(詳細については、6.4.2 クロック・スキュー参照)。

クロック・スキューは、配線抵抗が大きくなるほど増加します。また、分岐点からの配線の長さも依存します。単相回路設計を行う場合は、このクロック・スキューを考慮し、次の方法による対策を行ってください。

- (A) 同一マクロ内は極力同じクロック・ラインで分配する(図6-9 クロックの分配(a)参照)。
- (B) 複数のクロック・ラインで分配する場合は、各クロック・ライン間のクロック・スキューによる誤動作が起こらないようにする。
- (C) クロック・ツリー・シンセシスを使用する(6.4.4 クロック・ツリー・シンセシス参照)。

図6-9 クロックの分配



(3) 多相クロックを使った同期回路設計

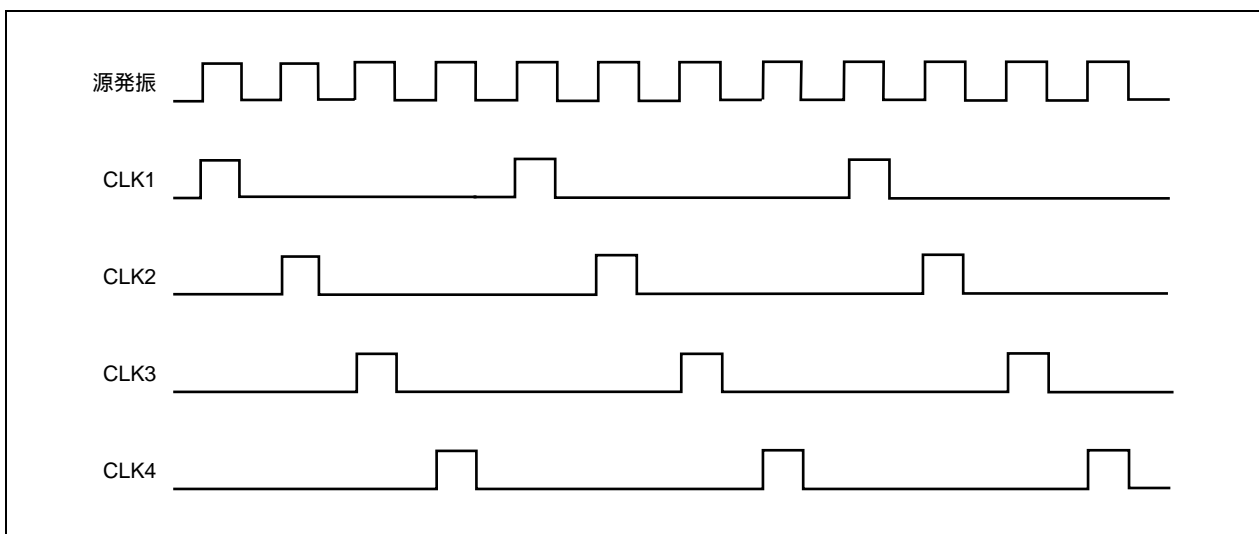
処理速度上問題がない場合には、多相クロックを使った同期回路構成を推奨いたします。しかし、1つの機能を実現するにあたって、多相同期回路での設計は単相同期回路での設計に比べて難しい点が多いため、多層同期回路による設計はあまり普及していません。

ここでは、多相クロックを使った同期回路を設計するにあたってLSIメーカーで広く用いられている一般的な手法について紹介します。

多相クロックとは図6-10に示すものを指します（4相クロックの例）。多相クロックは、汎用LSI（CPUなど）の設計で最も一般的に用いられている手法です。

たとえば、あるCPUが1ステートあたり3クロックある場合、そのCPUは3相のクロックを使用していることとなります。

図6-10 多相クロックの例



なお、多相クロックを使用すると次に示す点で効果的です。

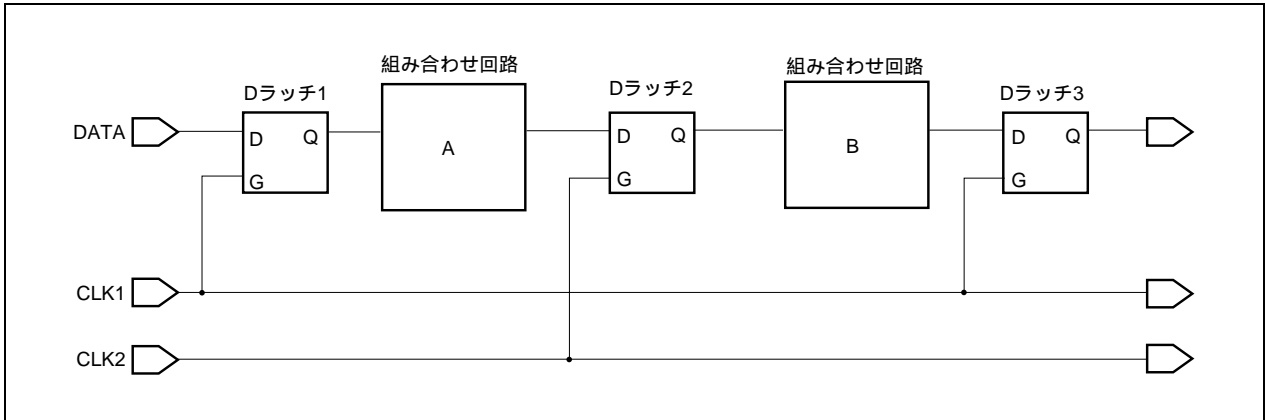
(a) ラッチまたはF/Fのセットアップ・タイム，ホールド・タイムの確保が容易です。

下記に示すようにCLK1, CLK2を交互に使用することにより，ラッチのセットアップ・タイム，ホールド・タイムの確保が容易になります。

たとえば，図6-11の回路の場合，次のようになります。

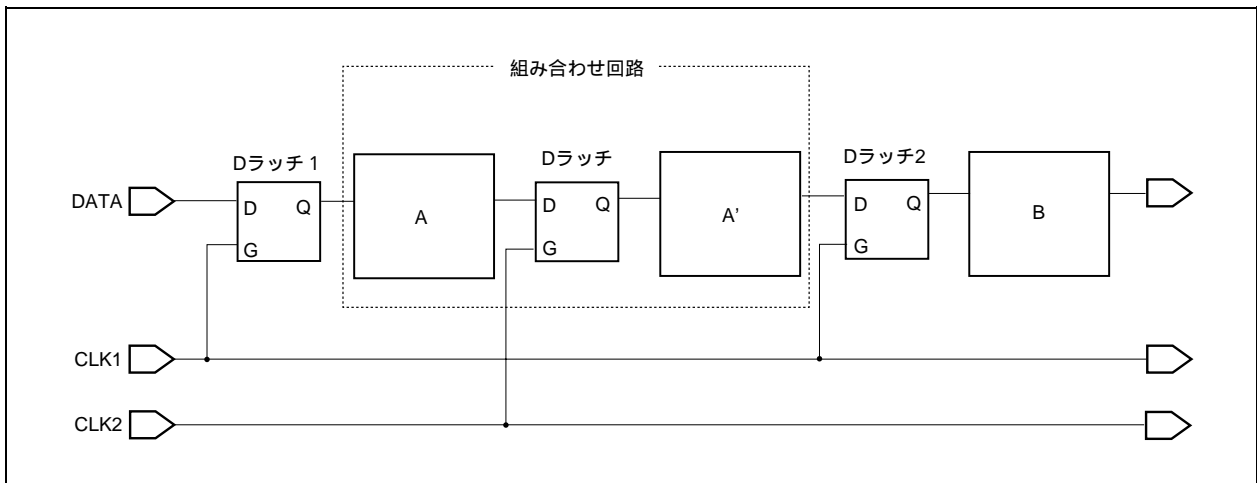
$$(\text{ラッチ2のセットアップ・タイム}) = (\text{源発振周波数の周期}) - (\text{組み合わせ回路Aの遅延時間})$$

図6-11 ラッチのセットアップ・タイム，ホールド・タイムの確保



組み合わせ回路Aの遅延時間が大きくてラッチ2のセットアップ・タイムが確保できない場合は，図6-12のように組み合わせ回路Aを二分割して，間にもう1つラッチを挿入することによりラッチ2のセットアップ・タイムは確保されます。ホールド・タイムについても同様です。

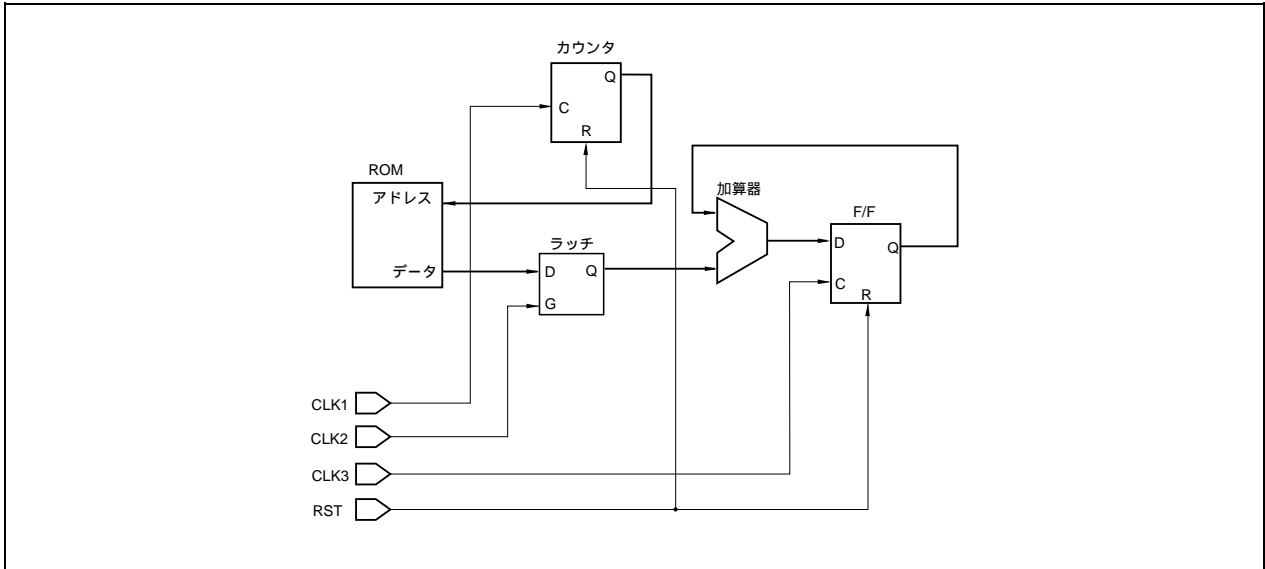
図6-12 組み合わせ回路の分割



(b) 複雑な同期回路を作成する場合、クロックごとに役割を分担させることにより回路を簡略化することができます。

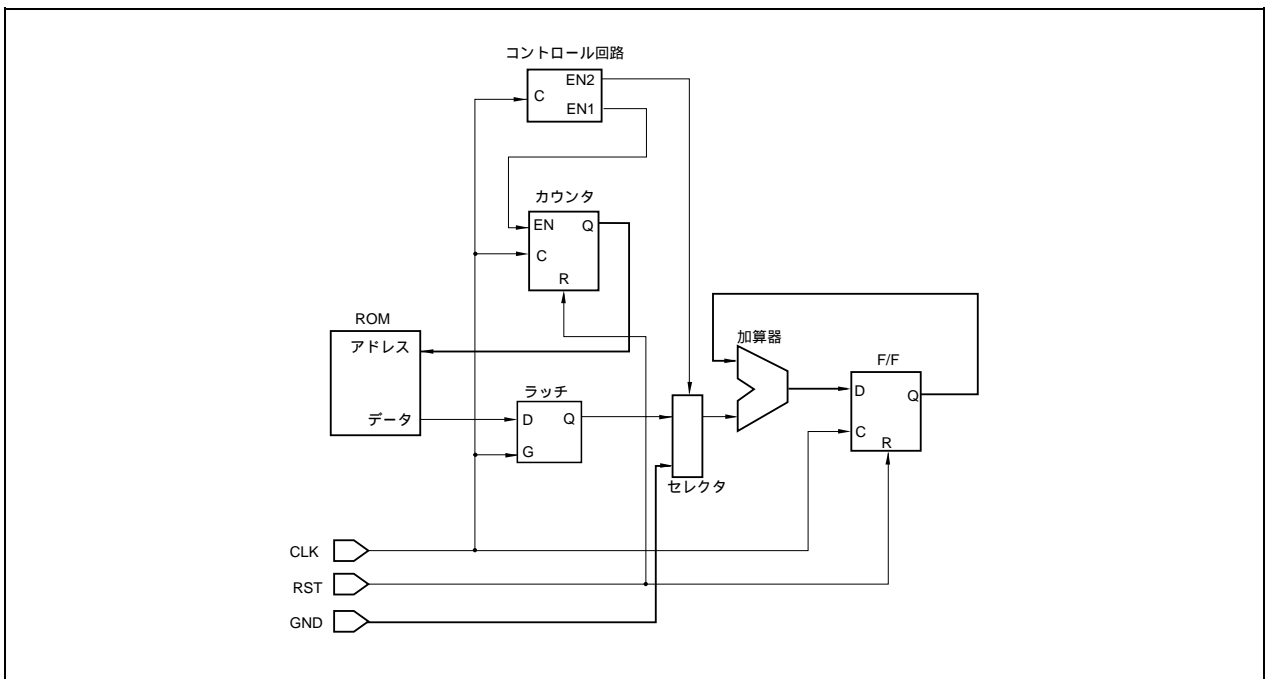
その結果、単相のクロックを使った場合と比べてゲート数が少なくて済みます。たとえば、ROMからデータをシリアルに入力して、すでに蓄積されているデータを次々に加算していく回路を作るとします。これを3相のクロックを使った同期回路で設計すると図6-13のように簡単になります。

図6-13 加算回路(3相クロック使用)



これを単相クロックを使った同期回路で設計した場合には、図6-14に示すように3相クロックを使った場合と比べて回路が複雑になるうえ、ゲート数が増加する傾向にあります。

図6-14 加算回路(単相クロック使用)

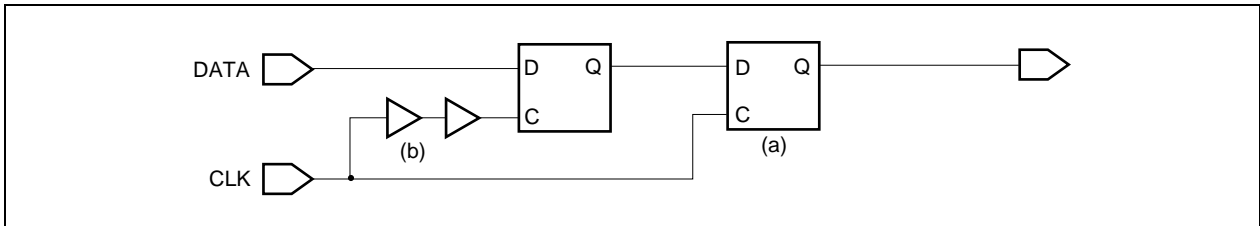


(c) プロセスに依存しない設計が可能です。

多相クロックを使用した同期回路で設計すると、プロセスの影響を受けるのは基本的に最大クロック周波数のみであり、F/Fのホールド・タイムはディレイ・ゲートなどを用いないで確保しているので、プロセスを意識せずに設計ができます。

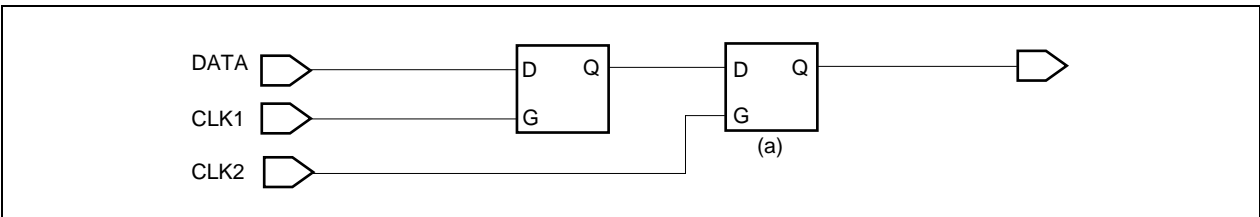
単相クロックで設計した74LS回路図でよく見られる図6-15の回路の場合、F/F (a) のホールド・タイムはディレイ・ゲート (b) で確保しています。この場合、プロセスが変わるとディレイ・ゲート (b) の遅延値が変わってしまうため、F/Fのホールド・タイムが確保できなくなる可能性があります。

図6-15 74LS回路図でよく見られる回路



多相クロックを用いた図6-16の回路の場合、F/F (a) のホールド・タイムは“(CLK2クロックの立ち上がり) - (CLK1クロックの立ち上がり)”で確保されているので、プロセスに依存しません。

図6-16 2相クロックを使用したときの回路



注意 クロックの相を増やせば増やすほど回路設計は容易になりますが、処理速度が遅くなってしまいます。したがって、できるだけ少ない相で、求める機能を実現させてください。

6.4.2 クロック・スキュー

クロック・スキューは、実際の配置配線での配線長のばらつきなどにより発生します。このクロック・スキューにより、順序回路ではホールド・タイム・エラーが発生する可能性があります。通常、配置配線前のシミュレーションでは、この種のばらつきによる不具合を考慮することはできません。したがって、クロック・スキューを事前に考慮した設計が必要になります。

(1) マクロ内のクロック・ライン設計

単相同期回路設計では、1本のクロック・ラインで供給します。

多相同期回路設計では、基本的にはクロック・スキューの検討は不要です。ただし、動作周波数の検討は必要です。

(2) 各マクロ間のクロック・ライン設計

同期設計では、特に各マクロ間のクロック・スキューが問題になります。対策例を次に示します。

図6 - 17 マクロ間のクロック・ライン対策

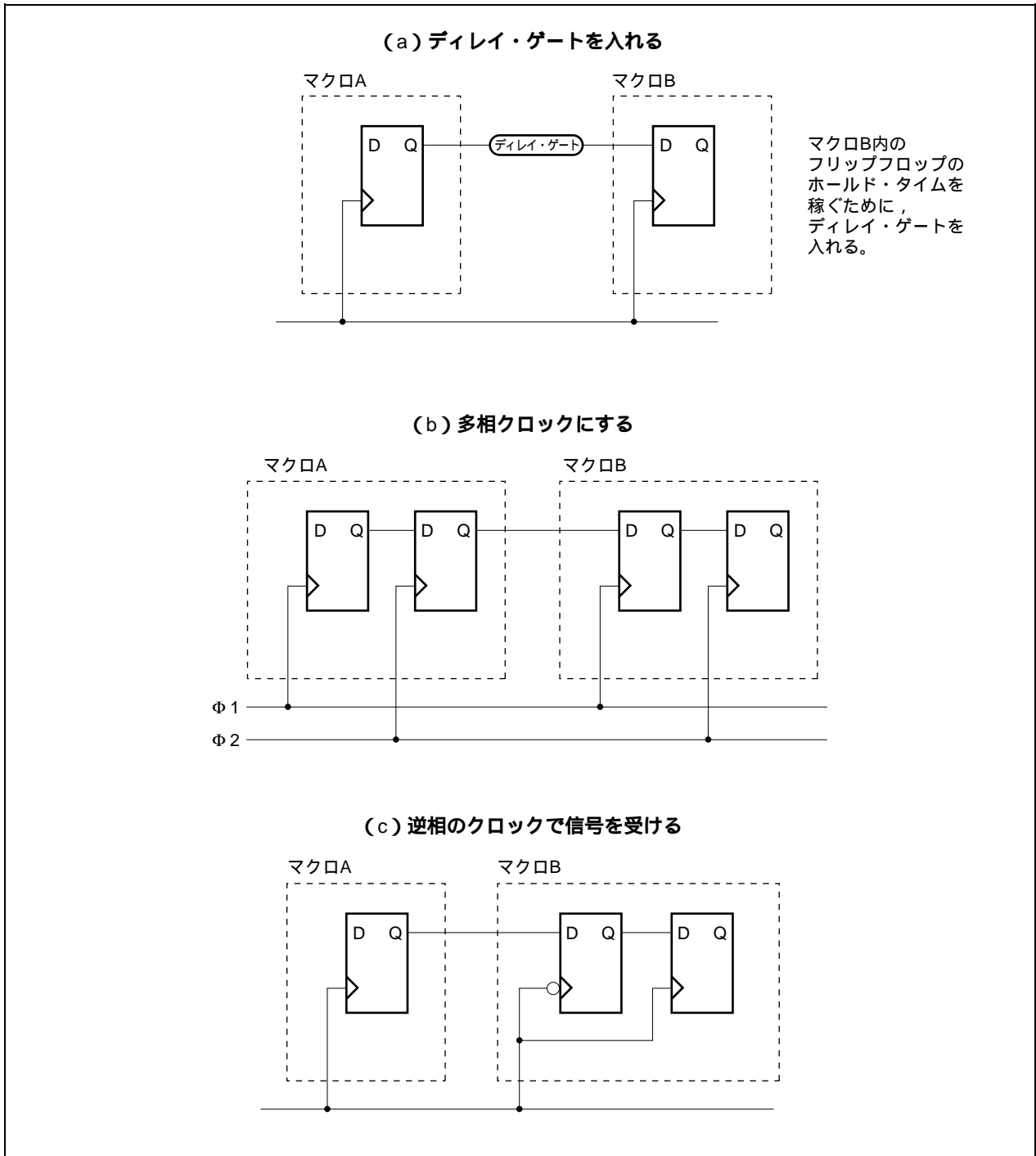


図6 - 17 (b) では多相クロックにより対策を行っています。この場合は、クロック周波数に注意してください。

図6 - 17 (c) はクロックの逆相を使用して、ホールド・タイムのマーヅンを稼いでいます。この方法では、クロック周波数とデューティに注意してください。

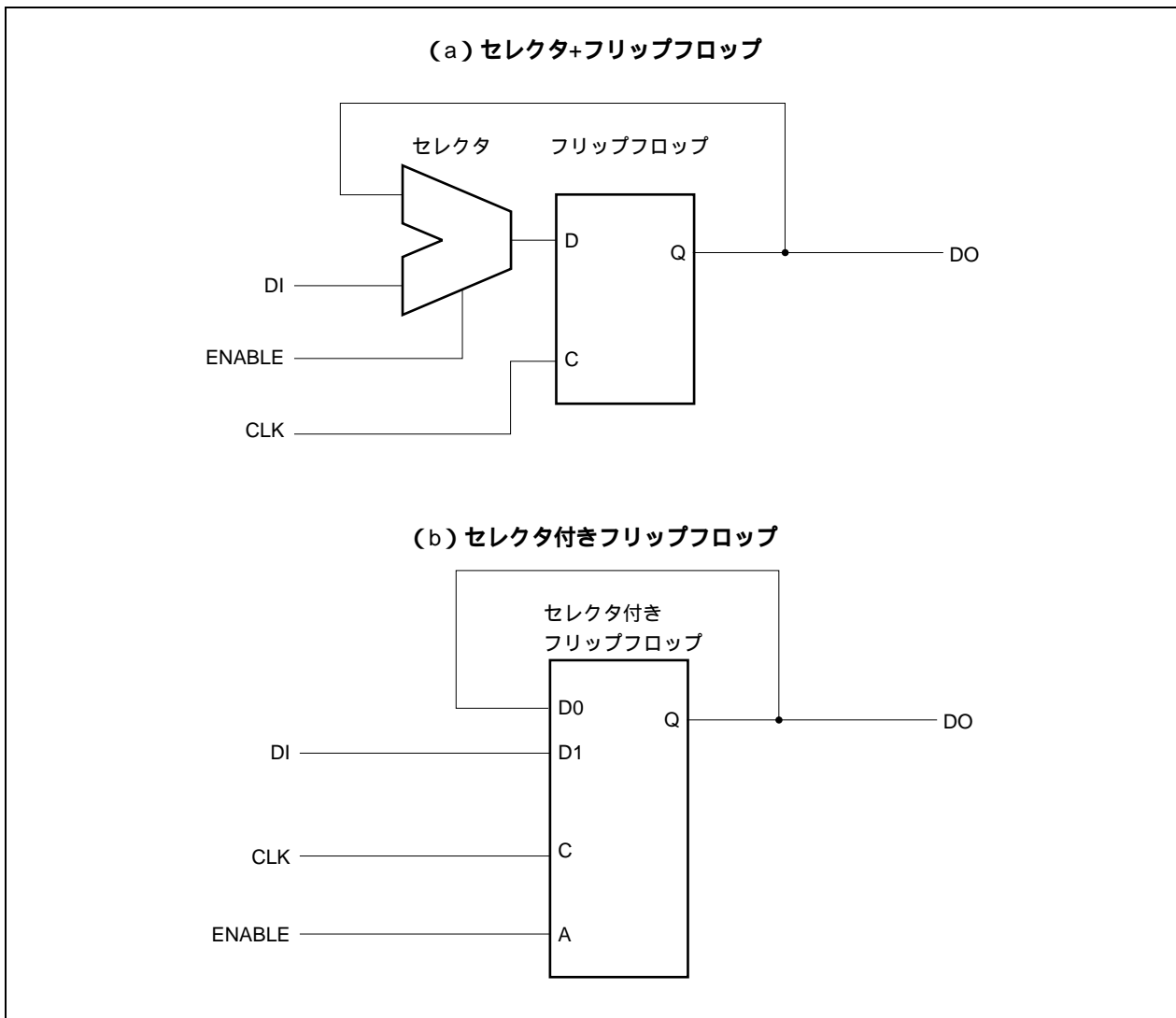
6.4.3 イネーブル・コントロール

システムの動作を停止する必要がある場合は、イネーブル信号を作成し、システム内部のフリップフロップが動作しないように回路を設計します。イネーブル信号にはデータ・イネーブルとクロック・イネーブルの2種類があります。

(1) データ・イネーブル

出力信号をフィードバックさせることで、信号を変化させないように設計します。イネーブル信号の変更はフリップフロップの逆エッジを使用してください。これは、最も一般的な方法で同期設計に適しています。

図6 - 18 データ・イネーブル・フリップフロップ



(2) クロック・イネーブル(ゲートッド・クロック)

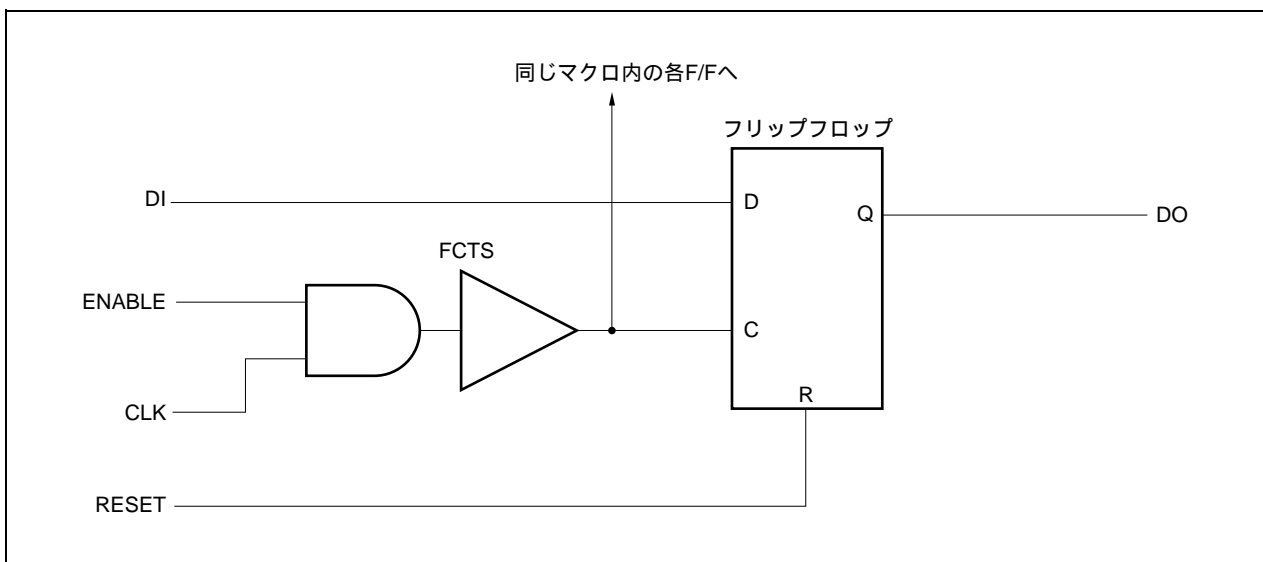
データ・イネーブルではフリップフロップが停止したあともクロック信号がフリップフロップに供給され続けます。そのため、スリープ・モード(消費電力低減のため回路へのクロック信号供給を停止した状態)のあるシステムでは、消費電力が問題になる場合があります。この場合の対処方法として、クロック・イネーブルがあります。

具体的には、図6-19のようにクロックの入力にANDなどの論理ゲートを挿入することで、クロック信号がフリップフロップに供給されないようにします。

ただし、この方法では、挿入した論理ゲートで発生するスパイク・ノイズがクロックに入力されるので、誤動作が起りやすくなります。こうした要因の誤動作は、スリープ・モードからの復帰時にフリップフロップを初期化することで防止できます。

なお、通常のシステムではデータ・イネーブルで設計することをお勧めします。

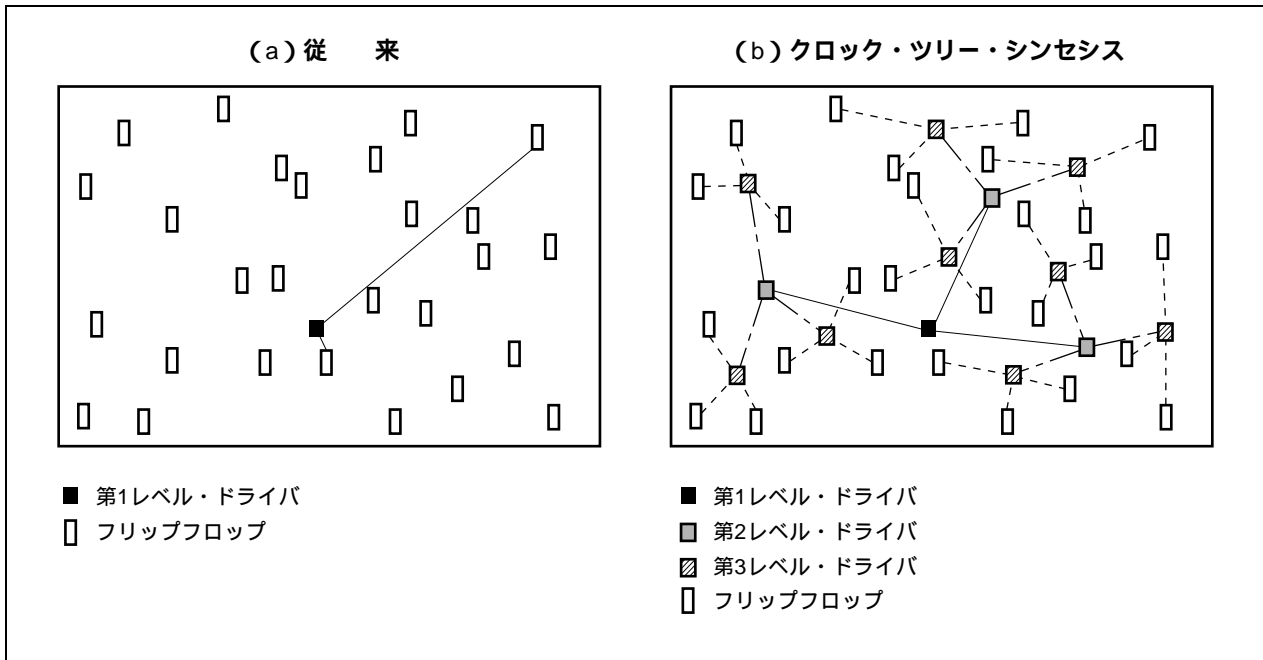
図6-19 クロック・イネーブルを使用した構成例



6.4.4 クロック・ツリー・シンセシス

クロック・ツリー・シンセシスとは、クロック・ラインに接続される全フリップフロップ間のクロック・スキューを最小にする手法です。普通、図6-20 (a) に示されるように、クロック・ドライバから各フリップフロップまでの距離は一定になるわけではありません。また、配線の微細加工により配線の抵抗は大きくなります。そのため、配線長のばらつきは、そのままクロック・スキューにつながります。クロック・ツリー・シンセシスではクロック・ライン上にバッファの挿入を行い、図6-20 (b) のようにクロック・ラインの分配が均一になるようにします。

図6-20 クロック・ツリー・シンセシスの概念



(1) クロック・ツリー・シンセシスの利用法

クロック・ツリー・シンセシスでは、従来使用していたクロック・ドライバの代わりにクロック・ツリー・シンセシス用のブロックを使用します。表6-3にブロック名、挿入されるブロックの段数を示します。クロック・ラインの分岐数により使用するブロックを選んでください。

注意 CTSの使用個数は1チップ当たり1つを推奨します。複数使用も可能ですが、使用個数の増加に伴いセル使用率の低下、クロック・スキューの増大を引き起こす可能性があります。また使用個数が増えるほどクロック・ツリー合成や配置配線に時間がかかりますので日程に注意してください。

表6-3 パッファ・タイプCTS遅延，スキュー値参考一覧（CTS1個搭載時）

ブロック名	段数	挿入 ブロック	クロック・ライン分岐数				
			32-128 [127]	129-1280 [560]	1281-2560 [1978]	2561-5120 [3854]	最大分岐数
FC52	2	F154	(0.43-1.29)0.05 ns		x	x	139-256
FC53	3	F154	(0.45-1.49)0.15 ns	(0.56-1.85)0.19 ns	(0.91-2.92)0.28 ns		2653-5035
FC54	4	F154	(0.54-1.76)0.10 ns	(0.54-1.86)0.23 ns	(0.97-3.03)0.27 ns	(0.98-3.11)0.38 ns	50412-95664
FC92	2	F158BR	(0.29-0.98)0.05 ns		x	x	176-334
FC93	3	F158BR	(0.37-1.21)0.08 ns	(0.38-1.31)0.12 ns			2111-4007
FC94	4	F158BR	(0.44-1.46)0.08 ns	(0.45-1.57)0.13 ns	(0.62-2.10)0.21 ns	(0.71-2.37)0.34 ns	25340-48086

注意1. 上記一覧は参考値であり、実際にはマスタやセル数およびピン・ペア数、回路構成（マクロの有無）などにより、値は変化します。

2. クロック分岐数は、FC52からFC94に向かって値が必ずしも比例して上がるものではありません。
3. マスタにより、最大クロック分岐数は変わります。
4. 最大クロック分岐数は、ファンイン：1.0のフリップフロップ使用時の数値です。

備考 従来のインバータ・タイプCTSとは展開ブロックが異なります。

表中の記号の意味は次のとおりです。

x：使用不可

：マスタや、回路構成によっては使用可

表中（ ）内の数値は、分岐数が[]内の数であるときの最小遅延時間（左側）、最大遅延時間（右側）、下の数値は最大クロック・スキュー時間です。

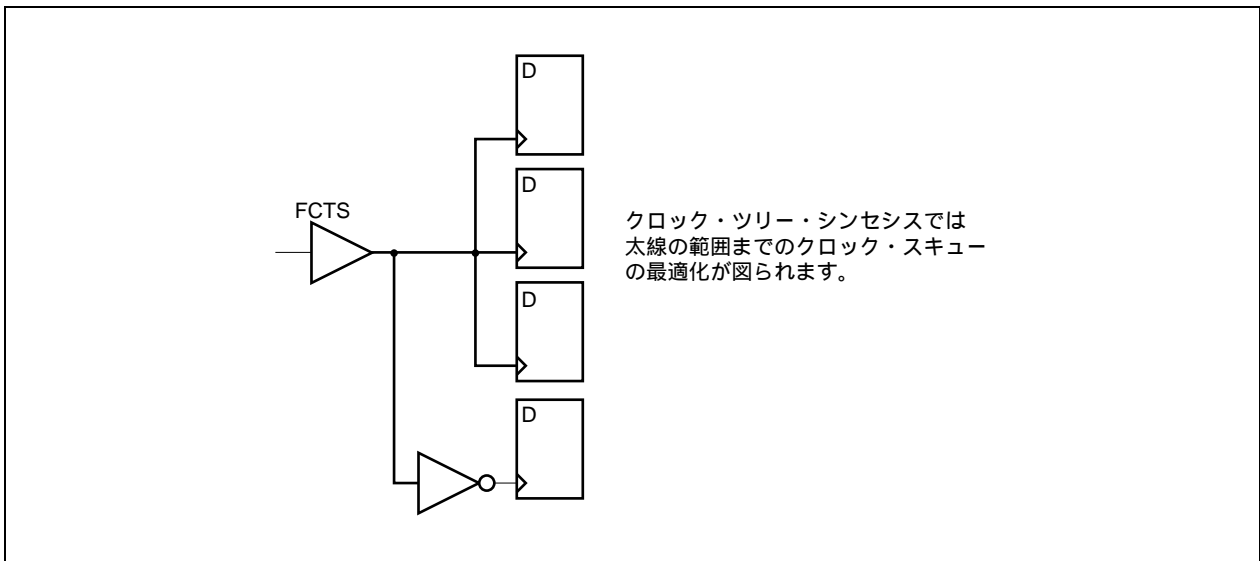
(2) クロック・ツリー・シンセシス利用上の注意点

クロック・ツリー・シンセシスを利用する場合、いくつかの注意点があります。

(a) クロック・ツリー・シンセシス用ブロック（以降FCTSと略す）の出力から、クロック・スキューの最適化が必要なブロックまで1本のネットで記述します。

パスの途中にファンクション・ブロックを挿入した場合、ファンクション・ブロックまでのクロック・スキューが最適化されてしまいます。

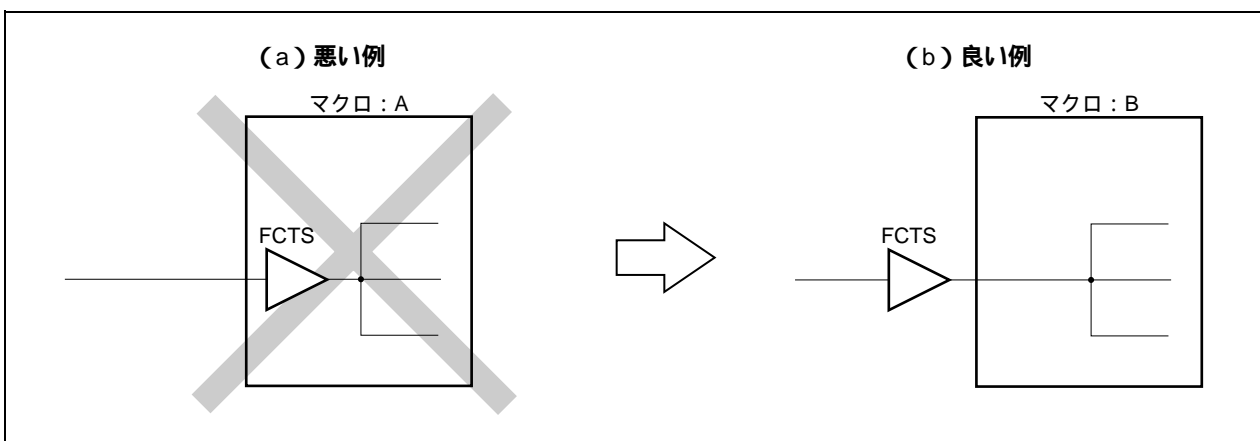
図6-21 クロック・スキューの最適化



(b) FCTSはTOP階層に記述してください。

上位階層に帰還しなければ、マクロ内に記述することも可能です。

図6-22 CTSブロックの記述例



(c) 大型マクロやセル使用率が高い品種では迂回配線が増加し、クロック・スキューの最適化が十分に行えない場合があります。

(d) 遅延時間が増加するので、チップ間でのタイミングが問題の場合はデジタルPLL (9.6 デジタルPLL 参照) との併用を検討します。

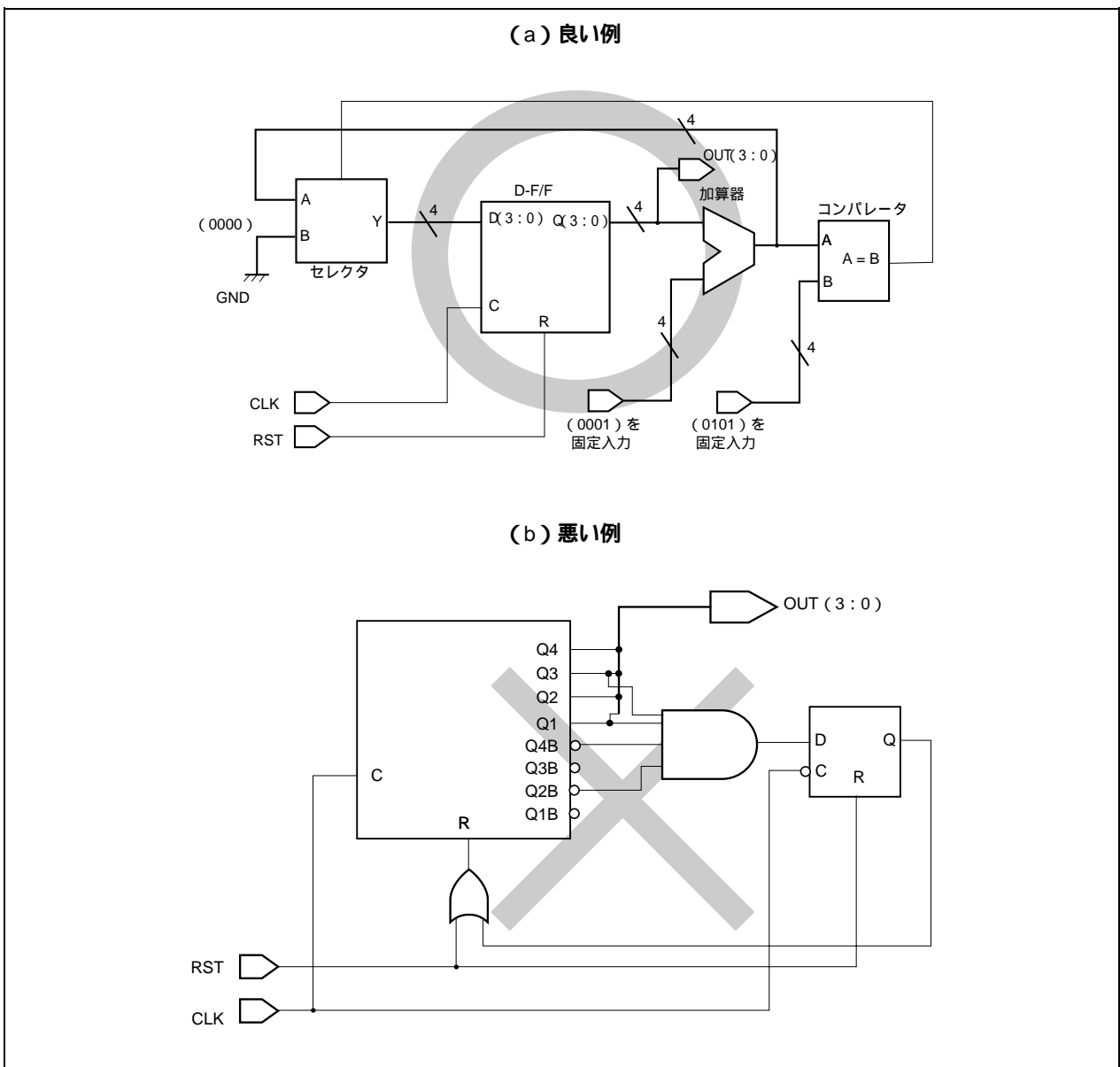
6.4.5 ラッチ，フリップフロップのセット/リセット

ラッチ，フリップフロップのセット/リセットは初期化するためにだけ使用してください(RSラッチを除く)。それ以外の目的で使用すると，次の問題が生じます。

- (1) スキャンパスなどのATG(テスト・パターンの自動生成)を有効に活用できません。
- (2) 信号パスが複雑になるため，回路検証が複雑になり，検証漏れの原因となります。大規模回路の設計においては検証工数を低減し，検証漏れをなくすためにも前述の使用法をお勧めします。
- (3) プロセスに依存した回路構成(リセットの最小パルス幅を確保するための遅延ゲートなど)に陥りやすくなります。

したがって，74LSの回路によく見られる図6-23(b)の例の回路は避けて，一般に図6-23(a)に示す回路構成にします。

図6-23 5進カウンタの良い例，悪い例



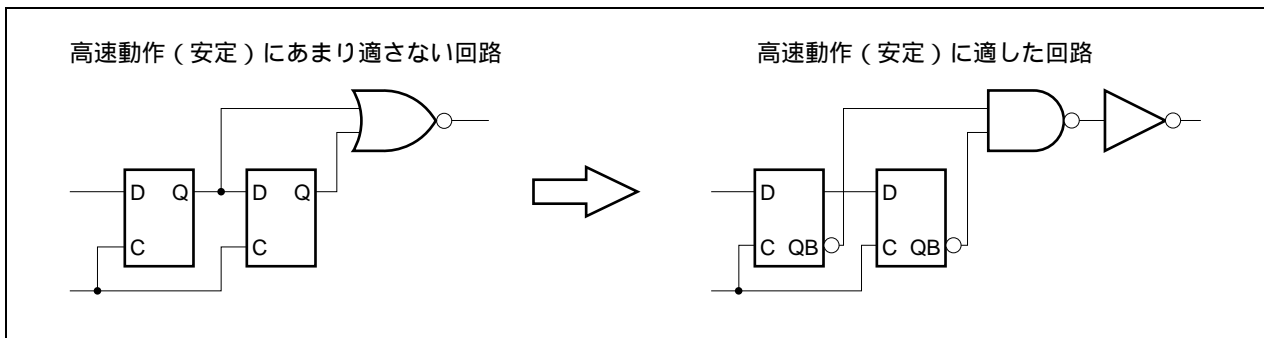
6.5 高速動作回路構成上の注意点

一般に、Pチャンネル・トランジスタとNチャンネル・トランジスタの特性を比べると、Nチャンネル・トランジスタの方が大きな電流を流すことができます。このため、Pチャンネル・トランジスタが直列に接続されているNORゲートは、出力の立ち上がりで負荷駆動能力が低下します。たとえばNOR系ブロックはNAND系ブロックより、スピードが遅く、ファンアウト特性もよくありません。

そこで、高速動作をさせる回路部分には、次の点に注意して回路を構成するようにしてください。

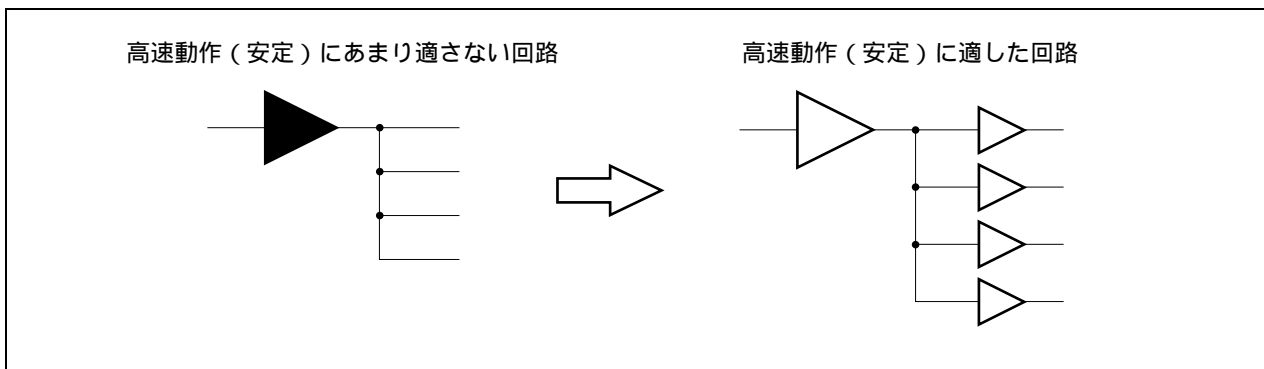
(1) 論理変換などの方法を用いてNAND系の標準ブロックで構成する。

- ・回路のスピードが向上し、回路の安定度も上がります。



(2) できるだけファンアウト数を少なく（負荷を軽く）して構成する。

- ・目安として、ファンアウト制限数1/3～1/2位で使用するのがよいでしょう。



(3) ロー・パワー・ブロックから標準ブロックに変換して構成する。

(4) 複合ブロックを使用する。

(5) マクロ間で速い信号のあるマクロ同士は近くに配置する。

(6) 可能であれば、テスト・ランを早めに一度行う。

(7) モジュール化 (部品化) 設計を行う

高速 (大規模) 回路を設計する場合、一般に全体をいくつかのモジュールに分けて階層化設計した方が効率の良い設計ができます。

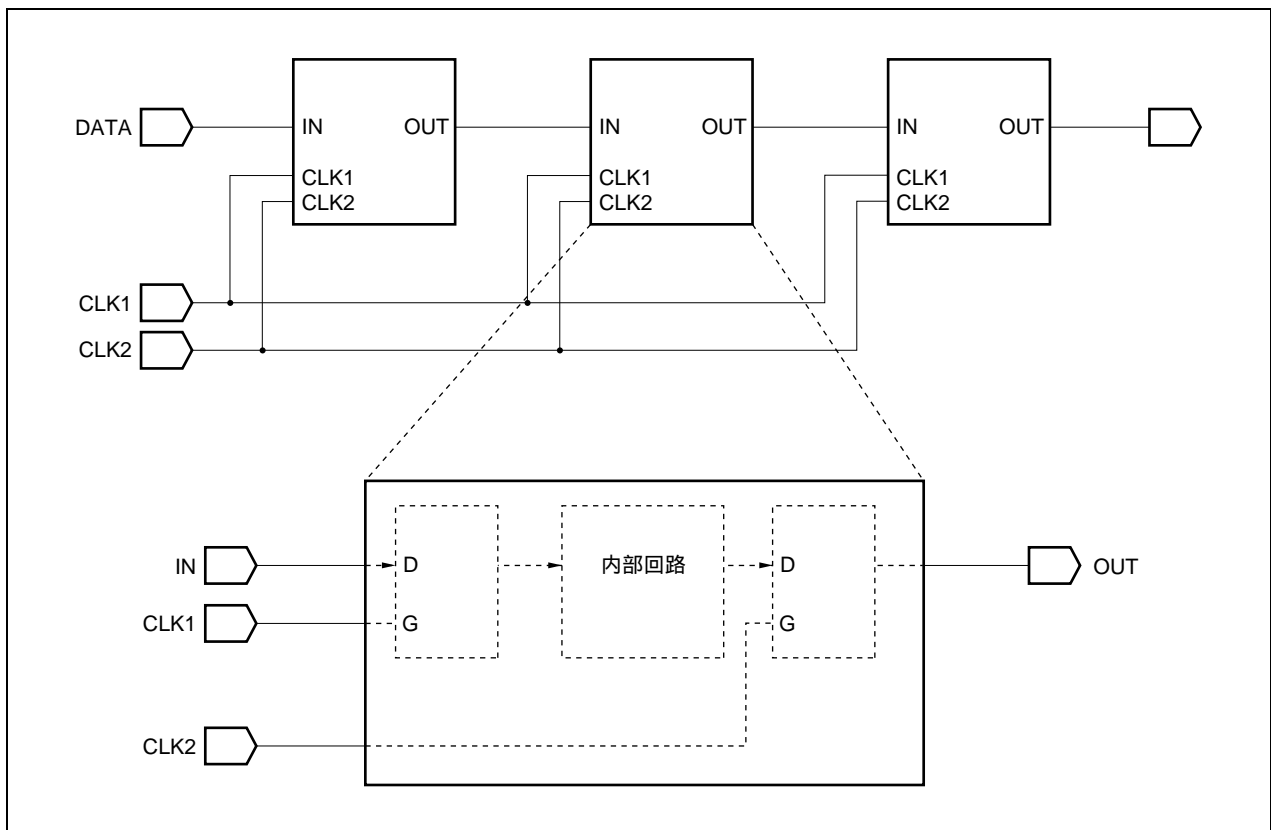
マクロ間インタフェースの標準化

階層設計して一番問題になることは、各マクロを結合して1チップにする際、マクロ間インタフェースの不適合により回路設計が終了しないことです。

このことを解決するためにマクロ間のインタフェースを標準化することをお勧めします。

図6-24にその簡単な例を示します。この例では、各マクロのすべての出力データはCLK2でラッチしてから出力し、また、すべての入力データは必ずCLK1でラッチしてから受け取ると決めています。これによって、マクロ間のデータを受け渡す際の競合を避けると同時に、マクロ間のデータの受け渡しに関するインタフェースを標準化しています。

図6-24 マクロ間のインタフェースの標準化



6.6 遅延時間マージン

論理回路は入力の状態によって出力が一意的に決まる組み合わせ回路と、入力の状態と以前の状態によって出力が決まる順序回路によって構成されます。順序回路は具体的にはフィードバックのあるゲート回路やフリップフロップ、ラッチ回路などで構成されます。

テストビリティの考慮や遅延時間の設計見積もりの容易さを考えると、それぞれの組み合わせ回路、順序回路の大きさはあまり大きくはできないことが分かります。また、大部分の順序回路は組み合わせ回路の遅延時間に十分なマージンを持ったシステム・クロックに同期して動作させることになります。

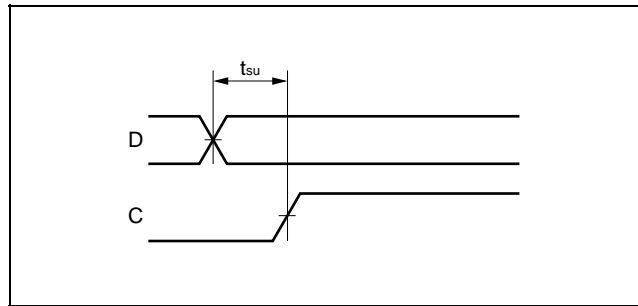
クロックによって十分なマージンを確保できない部分は順序回路の入口、すなわちフリップフロップやラッチの各入力のタイミングを確保する必要があります。

6.6.1 タイミングの定義

(1) セットアップ時間 (t_{su})

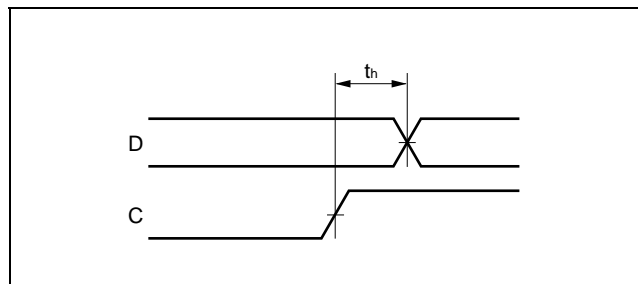
ラッチまたはフリップフロップにおいて、クロックのアクティブ・エッジでデータを読み込むために必要なデータ設定時間。

図6 - 25 セットアップ時間

(2) ホールド時間 (t_h)

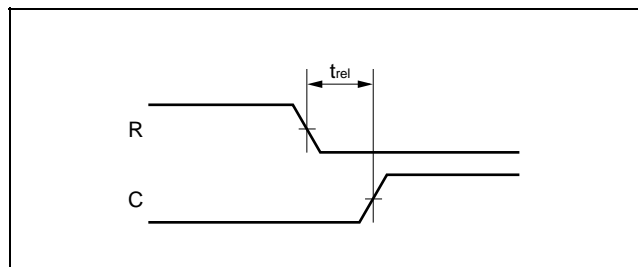
ラッチまたはフリップフロップにおいて、クロックのアクティブ・エッジでデータを読み込むために必要なデータ保持時間。

図6 - 26 ホールド時間

(3) リリース時間 (t_{rel})

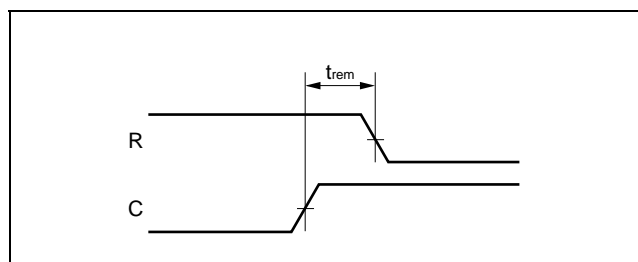
ラッチまたはフリップフロップにおいて、リセット(またはセット)が解除になってから、次のクロックのアクティブ・エッジが有効となるまでに必要な時間。

図6 - 27 リリース時間

(4) リムーバル時間 (t_{rem})

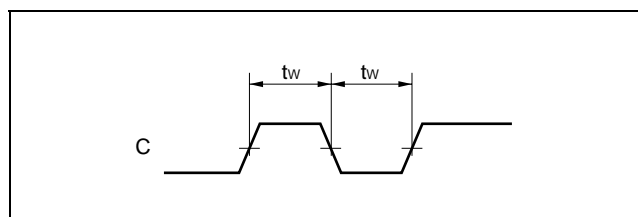
ラッチまたはフリップフロップにおいて、リセット(またはセット)が解除になるとき、クロックのアクティブ・エッジを無効とするために必要な時間。

図6 - 28 リムーバル時間

(5) 最小パルス幅 (t_w)

ラッチまたはフリップフロップにおいて、データを正常に読み込むために必要となるクロック(またはリセット, セット)のパルス幅の最小時間。

図6 - 29 最小パルス幅



6.6.2 遅延時間マージンの計算法（非同期回路）

遅延時間マージンの計算例として、図6-30の回路についてセットアップ時間、ホールド時間の検討を行ってみます。このとき、ばらつきおよび配線長は、マージンが小さくなる方向で条件設定します。これがブロックごとに定められている規格値（ t_{su} 、 t_h ）を満足すれば正常動作が可能であると判定します。

図6-30 遅延時間マージン計算回路例

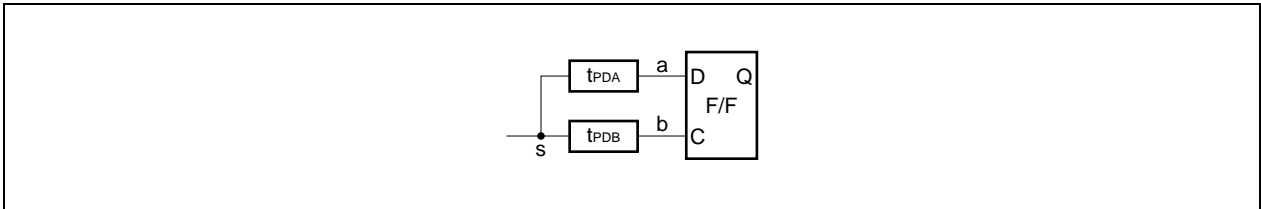
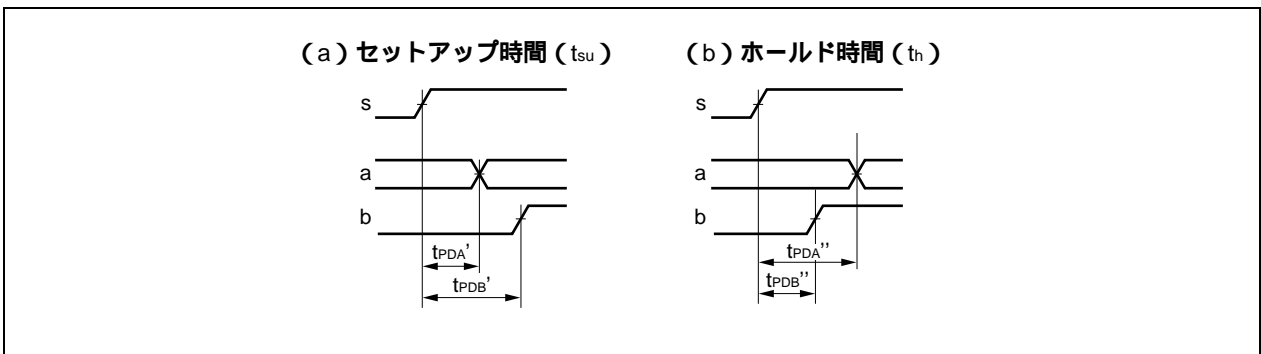


図6-31 タイミングの見積もり



計算式

$$\begin{aligned}
 t_{su} &< t_{PDB}' - t_{PDA}' \\
 &= t_{PDB(MIN)} - t_{PDA[MIN(max)]} \\
 &= t_{PDB(MIN)} - t_{PDA(MIN)} \times \frac{1+\alpha}{1-\alpha}
 \end{aligned}$$

$$\begin{aligned}
 t_h &< t_{PDA}'' - t_{PDB}'' \\
 &= t_{PDA(MIN)} - t_{PDB[MIN(max)]} \\
 &= t_{PDA(MIN)} - t_{PDB(MIN)} \times \frac{1+\alpha}{1-\alpha}
 \end{aligned}$$

α : ばらつき係数 (0.1)

6.6.3 遅延時間マージンの計算法（高速に動作する回路）

動作周波数が高い回路では、1サイクルのサイクル時間が短くなるため、内部ファンクション・ブロックの遅延時間に対する動作マージンが小さくなります。

ここでは、同相、逆相それぞれの回路構成について、遅延時間マージンの計算法を示します。

(1) 同相クロックの場合

図6-32のように、フリップフロップF1とF2の間に遅延Aが含まれているシフト・レジスタの動作について検討します。この回路の検証のポイントは、図6-33に示すように、サンプリング・タイミングにより出力したデータ（F1のQ）が遅延Aを通過してF2に入力され、サンプリング・タイミングで正常にデータが読み込まれるかどうかをチェックすることにあります。

つまり、a点での遅延量の最大値にF2のセットアップ時間を加えた値が1周期T内に収まる必要があります。

図6-32 同相クロック回路例

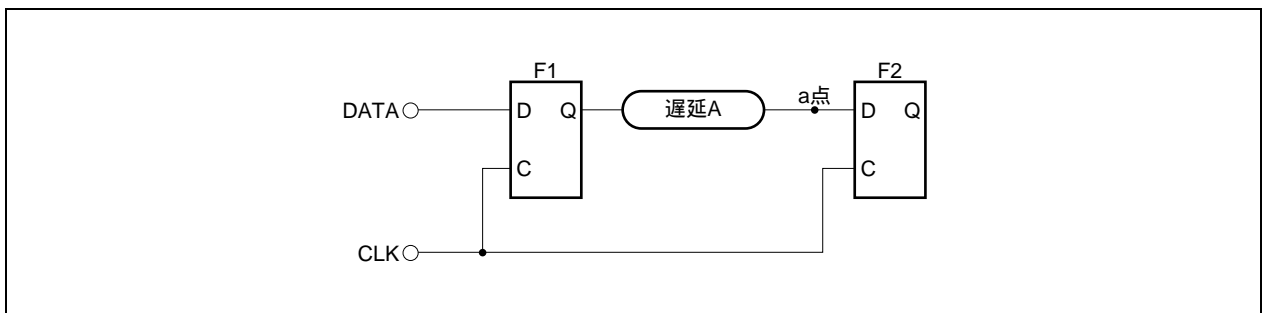
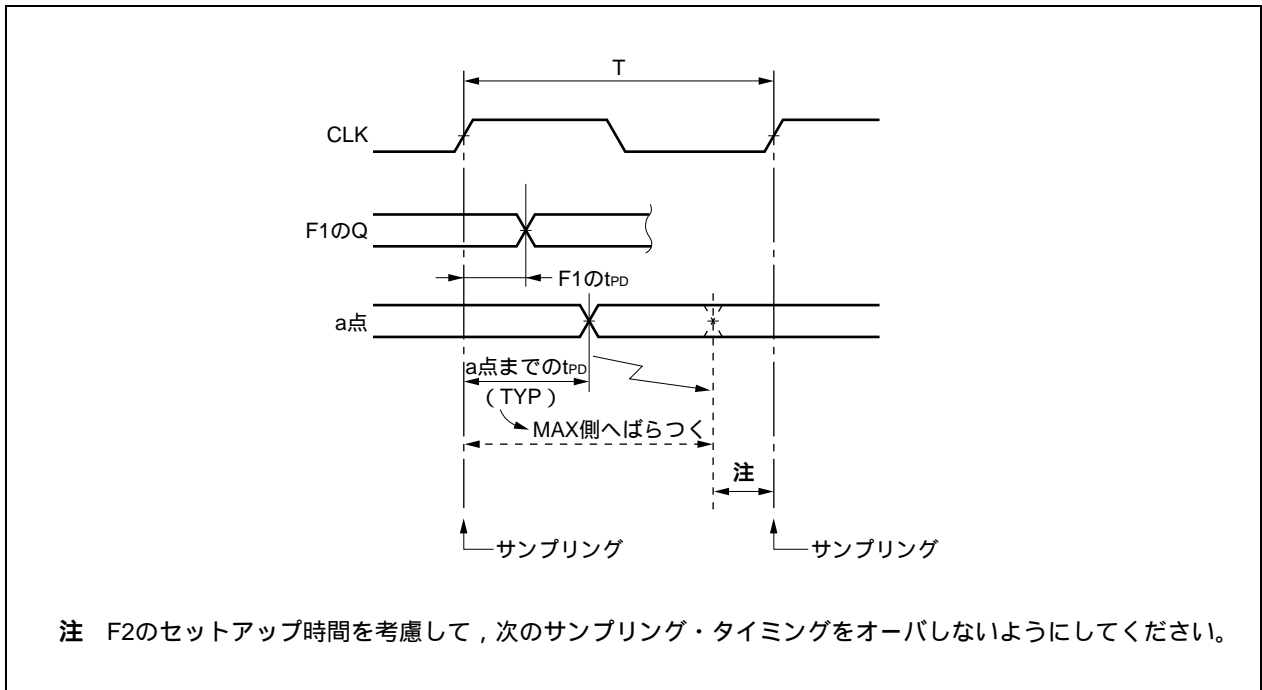


図6-33 同相クロックの場合のタイミング



計算式

$$T - (t_{PD(F1)(MAX)} + t_{PDA(MAX)}) > t_{SU(F2)}$$

この関係式を満足しない場合には、次の対策が必要です。

遅延Aの遅延量を小さくする

動作周波数を下げる（周期Tを長くする）

(2) 逆相クロックの場合

図6-34は、図6-32のF2のクロックのアクティブ・エッジを逆相に変更したものです。CLKの立ち上がり、立ち下りの両エッジを使用していますので、CLKのデューティにより、動作マージンが変わります。この回路が正常に動作するための条件は、次のとおりです。

図6-34 逆相クロック回路例

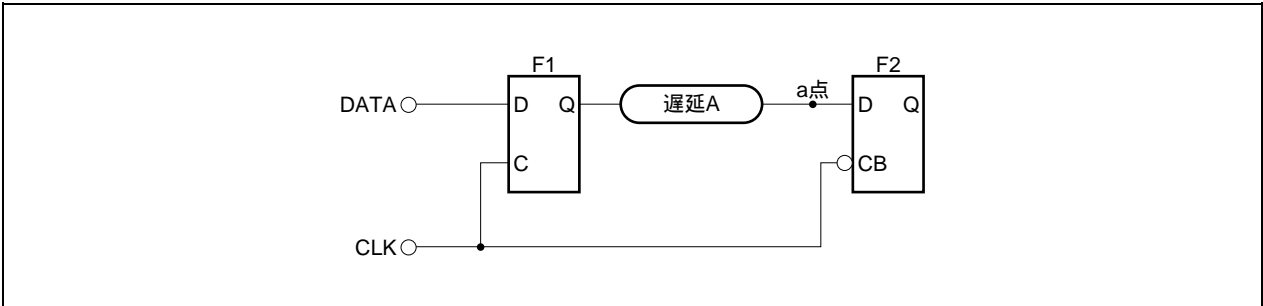
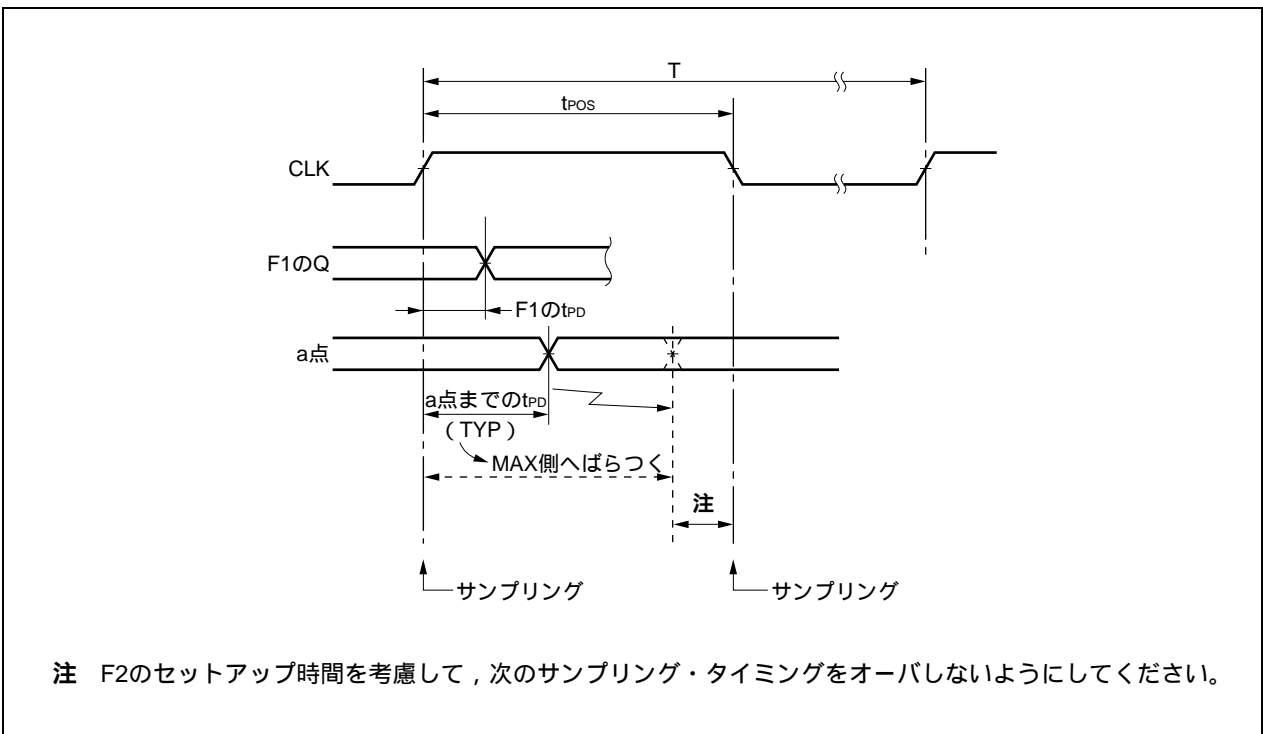


図6-35 逆相クロックの場合のタイミング



計算式

$$t_{pos} - (t_{PD}(F1)_{(MAX)} + t_{PDA}(MAX)) > t_{SU}(F2)$$

この関係式を満足しない場合には、次の対策が必要です。

- 遅延Aの遅延量を小さくする
- 動作周波数を下げる（周期Tを長くする）
- CLKのデューティを大きくする

6.6.4 最小パルス幅

高速動作する回路では、信号の立ち上がり、立ち下りの遅延差、同一バス上の相対ばらつきなどにより、フリップフロップの入力クロックの最小パルス幅を満足しなくなる場合があります。

ここでは、図6-36に示す回路例について検討を進めてみます。CLKに入力された信号は遅延Bを通りフリップフロップのクロックに入力されますが、このときのタイミングは図6-37のとおりです。遅延Bについて、立ち下り時の遅延 $t_{PDB(LL)}$ の方が立ち上がり時の遅延 $t_{PDB(HH)}$ よりも大きい場合には、 $t_{NEG} > t_{NEG(MIN)}$ となり、パルスの細りが生じます。 $t_{NEG(MIN)}$ の見積もりは、 $t_{PDB(LL)}$ を最大、 $t_{PDB(HH)}$ を相対ばらつき最小の方向に条件設定して見積もります。

図6-36 最小パルス幅の見積もり

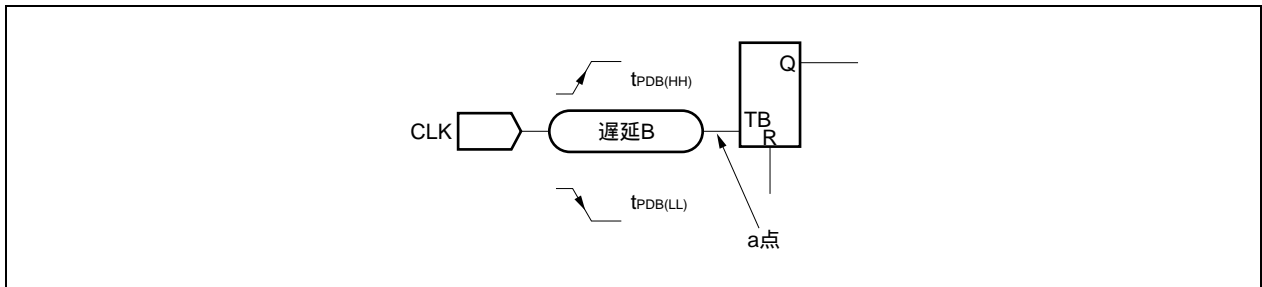
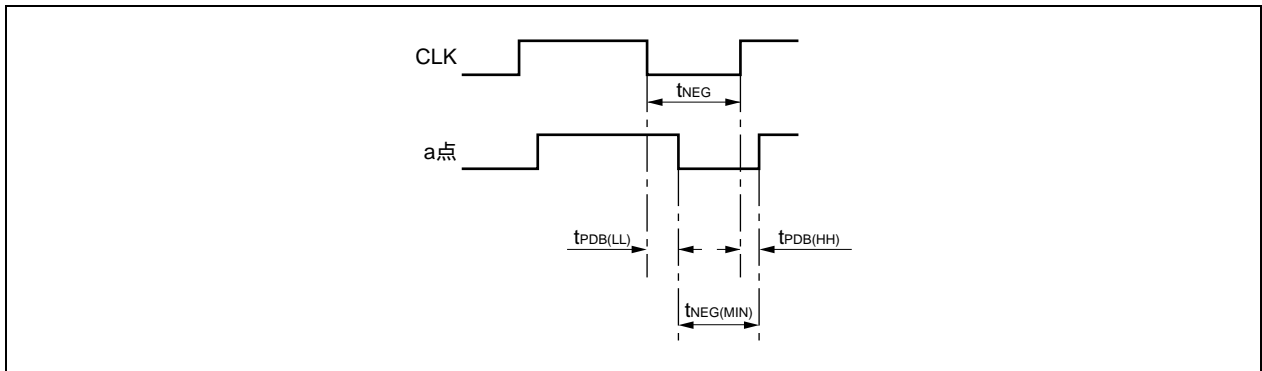


図6-37 パルスの細り



計算式

$$t_{NEG(MIN)} = t_{NEG} + (t_{PDB(HH)(MAX)} - t_{PDB(LL)[MAX(min)]}) > t_w$$

$$t_{NEG(MIN)} = t_{NEG} + (t_{PDB(HH)(MAX)} - t_{PDB(LL)(MAX)} \times \frac{1-\beta}{1+\beta}) > t_w$$

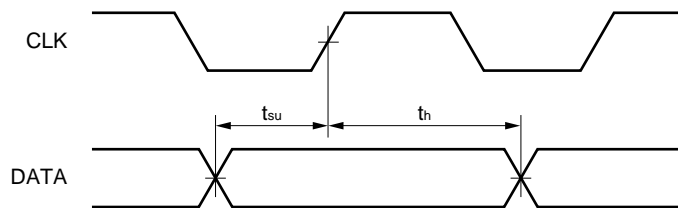
β : ばらつき係数 (0.1)

フリップフロップのクロックに入力される信号の最小パルス幅を調整する手法として、 $t_{PDB(HH)}/t_{PDB(LL)}$ をコントロールして実効デューティを大きくすることが可能です。つまり、上の例では遅延Bに含まれるファンクション・ブロックを立ち下り遅延 $t_{PDB(LL)}$ が早く、立ち上がり遅延 $t_{PDB(HH)}$ が遅いタイプに変更すれば、 $t_{NEG(MIN)}$ は大きくなります。なお、このとき、ハイ・レベルのパルス幅が最小パルス幅の規格を満足するように注意してください。

6.6.5 メタステーブル

セットアップ、ホールド・タイムなどの規定が満足されず、クロックとデータまたはクロックとセット、リセットが同時に変化すると、フリップフロップやラッチでは出力が発振したり、ハイ・レベルでもロー・レベルでもない中間レベルになったりする可能性があります。この不安定な状態をメタステーブル (Metastable) といいます。メタステーブルの状態は、ある時間後終了し、出力結果はハイ・レベルまたはロー・レベルのどちらかの状態に落ち着きます。しかし、確定したレベルはデータ入力のレベルとまったく関係ありませんので、不定状態となってしまいます。セットアップ、ホールド、リリース、リムーバル・タイムの規格を満足できない場合には、回路全体にこの不安定な状態が広がらない対策をとってください。

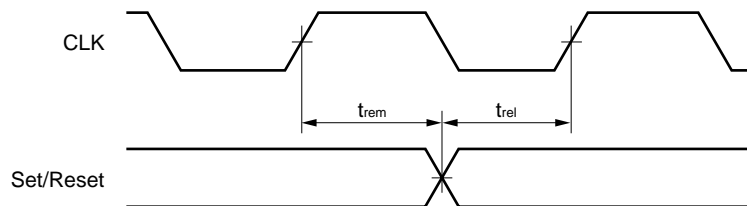
備考 セットアップ・タイム (t_{su}) ... クロックが変化する前にデータ信号が確定しなければならない時間
 ホールド・タイム (t_h) ... クロックが変化したあとにデータ信号を保持しなければならない時間



注意 t_{su} , t_h は規定されている時間を満足しなければなりません。

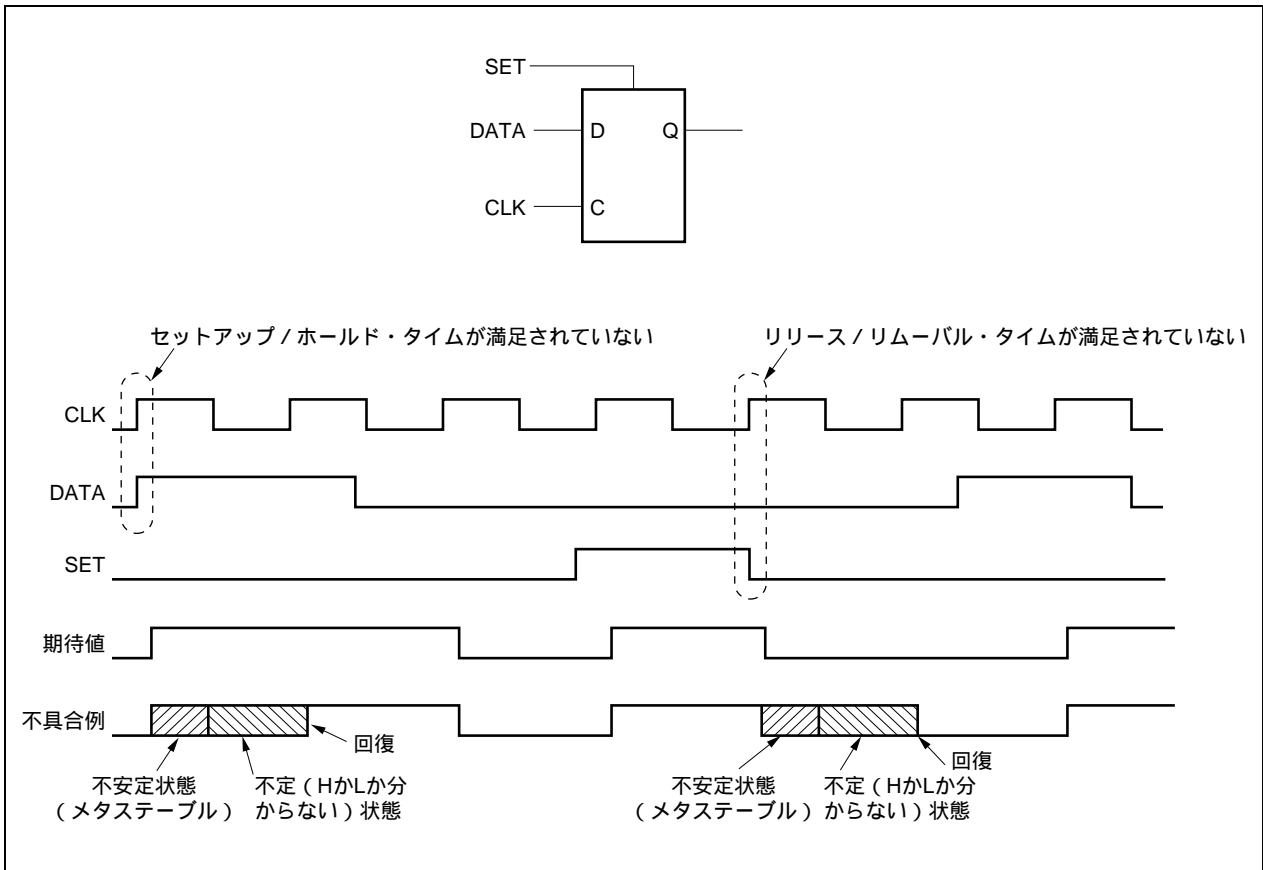
(CMOS-9HD Family, EA-9HD Family Block Library (A13052J) 参照)

リリース・タイム (t_{rel}) セット/リセット信号変化後、クロックが有効になるまでの時間
 リムーバル・タイム (t_{rem}) クロックを無効にするために必要な時間



注意 クロックのアクティブ・エッジ付近でセットあるいはリセット信号を解除しないでください。

(1) メタステーブルの発生と回復時間



EP-1シリーズでは、メタステーブル状態の時間は次のように規定しています。
 この時間の後、HかLかは不明ですがどちらかになっています（上図の“不定”部）。

$$\text{メタステーブル時間} = t_{PD(\text{MAX})} \times 6$$

$t_{PD(\text{MAX})}$ クロックのアクティブ・エッジから出力変化までの遅延時間の最大値

（セットアップ/ホールド・タイムの規格を満足できなかった場合）

または、リリース/リムーバル・タイム

（リリース/リムーバル・タイムの規格を満足できなかった場合）

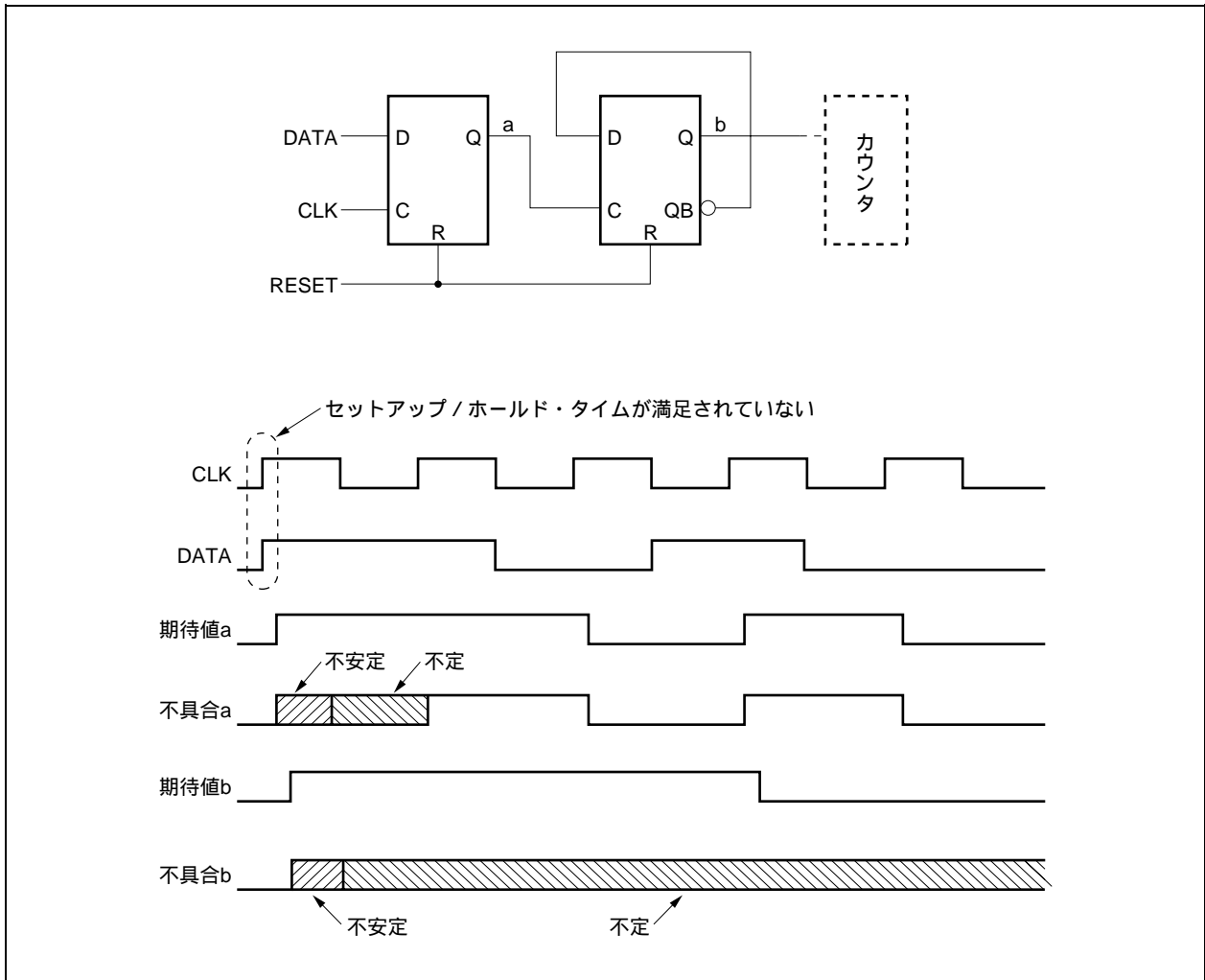
なお、Fxxxタイプの順序回路については $t_{PD0(\text{MAX})}$ を使っても問題ありません。それぞれの値については、CMOS-9HD Family, EA-9HD Family Block Library (A13052J)に記載されています。

(2) メタステーブル回避策

規定されている各時間を満足できない場合（非同期入力信号など）は、メタステーブルが発生しても後段に影響を与えない回路構成にしてください。以降に不具合例と回避例を示します。

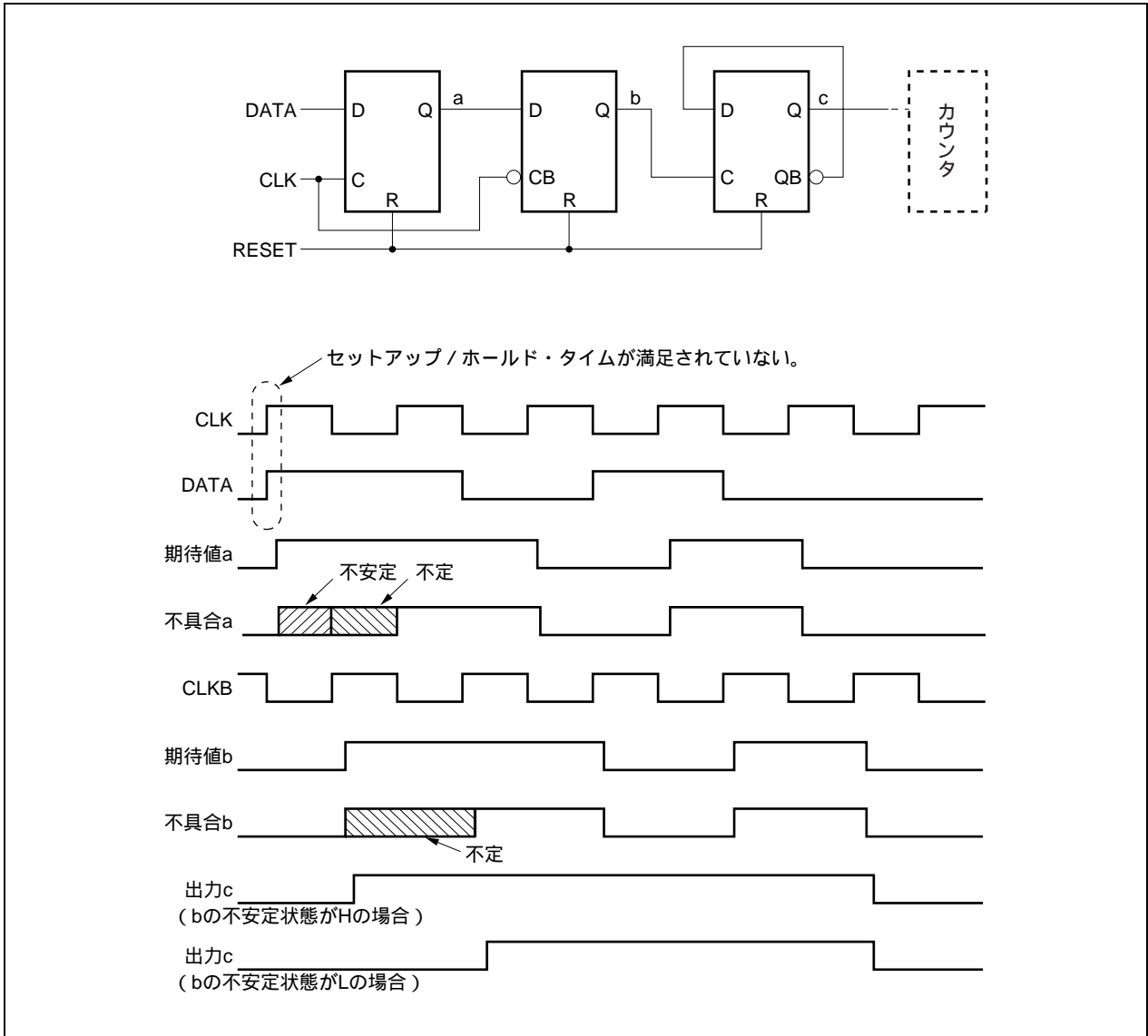
不具合例

下図bの出力がカウンタに入力された場合、数カウント余分に動作することがあります。



不具合回避例

間に1段フリップフロップを挿入することにより，出力cは安定します。ただし，bの不定状態がどちらのレベルに安定したかによって，cの最初の1クロック分は2通りの値が考えられますが，次の例の場合カウンタには影響ありません。



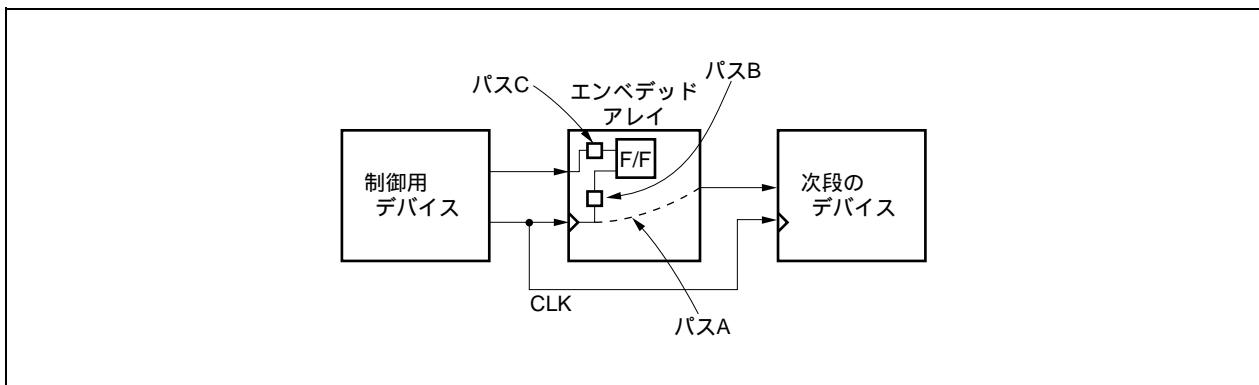
備考 クロック幅 > $t_{PD(MAX)} \times 6 + (t_{su} \text{または} t_h)$ の場合

6.6.6 クリティカル・パス

クリティカル・パスとは、ゲートアレイを含むシステム・タイミングに対し、ゲートアレイに要求される遅延時間を実現するためのパスのことです（図6-38参照）。この例では、次のパスをクリティカル・パスとして詳細に検討する必要があります。

- パスA CLKでゲートアレイの出力をサンプリングしているため、次段のデバイスの
入力タイミングを満足するか
- パスB, C... 制御用デバイスの出力タイミングにより、ゲートアレイ内部でのサンプリング・
タイミングを満足するか

図6-38 クリティカル・パスを含むシステム



クリティカル・パスの種類には、次の3つがあります。

- 入力-出力間
- 入力-入力間
- 出力-出力間

次にこれらのクリティカル・パスの検証方法、指定方法などについて説明します。

(1) クリティカル・パスの計算と設計

5.4.3 **配線容量予測**で説明したように、配置配線はマクロ階層（第一階層のみ）ごとに配置範囲を決め実行されます。このため、マクロ内の配線長とマクロ間の配線長では極端に長さが異なることになります。

表5-9中の仮想配線容量を使用してクリティカル・パスの伝達遅延時間を見積もる場合には、次の点に注意してください。

クリティカル・パスは1つのマクロ階層（第一階層）で完結させる（入出力バッファは除く）。クリティカル・パスはできるだけ簡単にして、パスに接続される負荷を減らす（F/O値は、リミットの1/3程度とする）。

入力から出力端子までのクリティカル・パスに対しては、上記内容以外に入力、出力端子をできるだけ近くに配置する。

マクロ階層内には、できるだけクリティカル・パス以外の回路は含めない。

(2) 入力-出力間クリティカル・パス

図6 - 38の回路例におけるバスAに相当し、このバスは基本的にほかの入力からの影響はないものとします。
 t_{PD} のMAX値がシステムの要求する値より小さくなるように設計します。

なお、出力バッファの遅延時間が外部負荷容量 (CL) に大きく依存することも考慮してください。

計算式

$$t_{PD (MAX)} < \text{システム仕様値}$$

(3) 入力-入力間クリティカル・パス

入力サンプリングのタイミングを検討するもので、例として図6 - 39の回路構成について計算してみます。
 このタイミング検証においては、入力端子間相互のタイミング仕様が明確である必要がありますので、外部から入力される信号のタイミングを図6 - 40に示すとおりと仮定して、計算を進めていきます。

図6 - 39 入力-入力間クリティカル・パス検討例

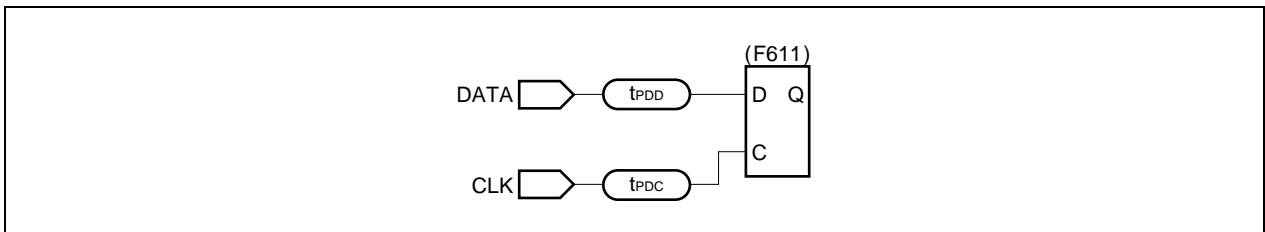
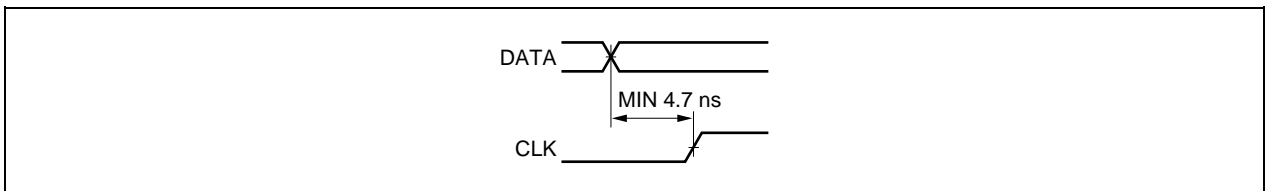


図6 - 40 セットアップ時間の検証



使用する条件として、次の点を考慮してください。

絶対ばらつきはマージンが小さくなる方向

相対ばらつきは、 t_{PDD} が大きくなり、 t_{PDC} が小さくなる方向

このときの判定式は下記のとおりです。

計算式

DATAは図6 - 40に示すようにCLKより4.7 ns (MIN) の時間差があると仮定します。

$$t_{PDC(MIN)} - t_{PDD[MIN(max)]} + 4.7 > t_{SU}$$

$$t_{PDC(MIN)} - t_{PDD(MIN)} \times \frac{1+\alpha}{1-\alpha} + 4.7 > t_{SU}$$

α : ばらつき係数 (0.1)

6.6.7 動作マージン確保のための条件

遅延マージン・チェック、クリティカル・パス・チェックの結果、回路の動作マージンの不足が生じた場合は、その回路構成により種々の対策を行います。

一般的には、以下の方法があります。

入力、出力仕様の見直しによる対策

- ・入力 f_{MAX} 低下，入力 f_{MAX} デューティのばらつきを小さくする
- ・入力間，出力間タイミングの緩和，出力負荷容量の低減，など

端子配置の見直し

- ・入力-出力間のディレイを小さくするために配線長を短くする（端子の隣接配置）

回路変更による対策

- ・回路の単純化により遅延時間を小さくする
- ・回路の負荷低減により遅延時間を小さくする
- ・ディレイ・ゲート挿入によりマージンをとる

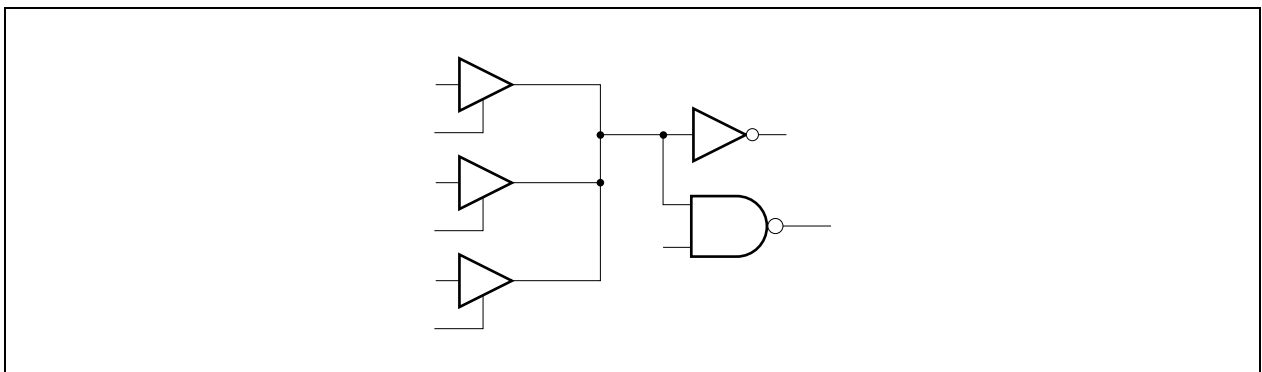
回路変更による対策を行う場合、遅延計算（再計算）は必須となります。

6.7 内部バスの構成

6.7.1 内部バスの構成方法

多数データの選択方法として代表的なものに、データ・セクタ形式、バス形式があります。データ・セクタ（マルチプレクサ）は、あまり多用すると回路構成が複雑になります。一方、バス形式は回路構成が比較的容易で理解しやすく使用セル数もあまり増加しませんが、伝達遅延時間が増加することがあります。回路構成に合わせて最適な方法を選択してください。

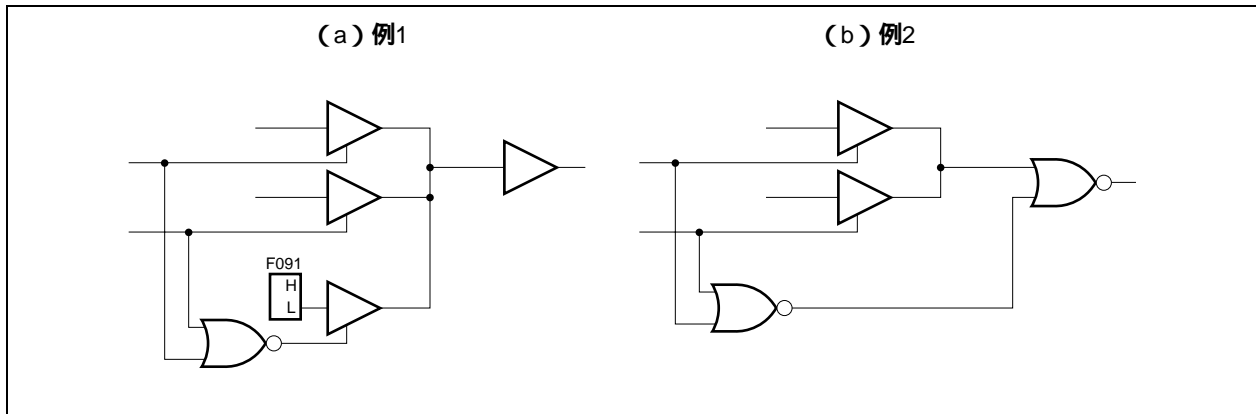
図6-41 バスの構成



6.7.2 内部バスのフローティング防止

内部バス使用時は原則として、同一バス・ラインを構成するブロックは、必ず1個のみ出力イネーブル状態となるようにしてください。これは、次段ブロックの入力がフローティング状態となるのを避けるために必要となります。図6-42に2つの良い構成例を示します。

図6-42 内部バスのフローティング防止回路構成例



6.7.3 内部バス使用上の注意事項

内部バスを使用する場合、同一バス・ラインに多くのブロックを接続しても動作しますが、多くなり過ぎますと、配線長の増大および接続先のブロックのファンイン・ローディングの増加により、信号の立ち上がり、立ち下がり時間が増加します。この結果、動作の安定性および信頼性の面から問題が生じてきますので、次の制限を守って使用してください（6.8 外部バスとの競合防止参照）。

(1) バスは次の式で示される制限事項を守ってください。

$$F/O + N \leq 50$$

$$(1.4 \times F/O + 1.1 \times N + 1.9) \times f < 410$$

F/O ... バスに接続されるゲートのファンイン・ローディング (F/I) の合計

N ... バスに接続される3ステートバッファ (F531, F532) の合計

f ... バスの動作周波数 (MHz)

なお、上記制限を越えての使用をご希望の場合には、弊社までご相談ください。

(2) バス・ライン上での以下の状態は、基本的に禁止になります。

(a) 同一バス・ライン上で、2個以上の出力がイネーブル状態になる

(b) 同一バス・ライン上で、すべての出力がディスエーブル状態になる。

これらの状態は最大でも20 ns以内で収束するようにイネーブル信号のスキューを考慮してください。

6.8 外部バスとの競合防止

EP-1シリーズとほかのLSIを使用するシステム上で、バス構成により接続される場合は、6.7.3 内部バス使用上の注意事項で説明したことのほかに、次の2点にも注意してください。

- (1) バスの競合
- (2) バスのフローティング

これらを防ぐためには、タイミング設計やプルアップ/プルダウン抵抗の設置などの対策をとってください。

なお、外部バスのフローティングを防止するために、プルアップ/プルダウン抵抗を内蔵した入出力ブロックを使用することもできます。詳細は、第9章 多機能ブロックを参照してください。

6.9 テスタビリティの考慮

ゲートアレイ部の設計では論理設計だけでなく、テスト方法やテスト回路を含めた形で設計を行うことが重要です。このためには、以下に述べる項目を考慮して回路設計やテスト・パターンの作成を行ってください。

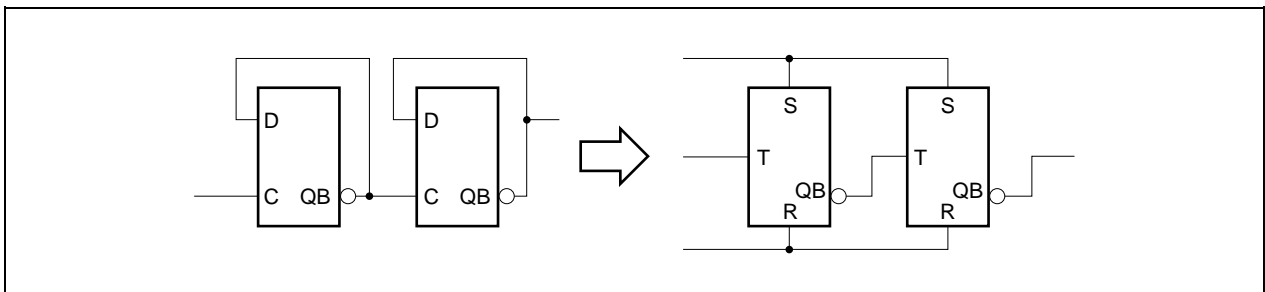
- ・フリップフロップのイニシャライズ
- ・カウンタの分割
- ・テスト端子の追加
- ・テスト端子による内部回路の分割化（モジュール化）

6.9.1 フリップフロップのイニシャライズ（初期設定）

フリップフロップやカウンタなどのブロックは、電圧を印加した瞬間の出力状態はロー・レベルとなるかハイ・レベルとなるかはまったく分かりません。このため、シミュレーションでは、テスト・パターンの初めの数パターンを用いて、初期状態を設定しなければなりません。

設計にあたっては、初期設定のパターンが長すぎないように、また内部回路の初期状態が必ず設定できるように、なるべくリセット入力付きブロックで回路を構成してください。

図6-43 フリップフロップのイニシャライズ

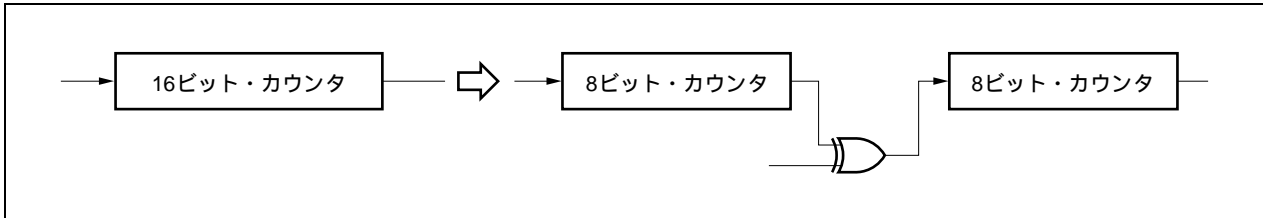


6.9.2 カウンタの分割

多ビットのカウンタなどでは、テスト・パターン数を削減するために、いくつかに分割してテストする方法が有効です。

たとえば16ビットのカウンタでは最終段が動作するまでに、2の16乗のパルスが必要ですが、図6-44のように8ビットのカウンタ2個に分割してテストすることによりパルス数は約1/100～1/200で済みます。

図6-44 カウンタの分割



6.9.3 テスト端子の追加と回路分割

6.9.2 カウンタの分割でも述べたように、多ビットのカウンタや大規模なマクロのテストには、外部から動作モードを設定できる「テスト端子」を設けた方が、LSIのテストが容易になりテスト・パターン数も削減される場合があります。

- (1) 内部がいくつかのモードに分かれて動作する場合は、テスト・モードを特別に設けて、テスト・モードにするための端子（テスト端子）を設定し、LSIのテストを実施する方法が有効です。
- (2) 大規模回路では、内部がいくつかのマクロ（モジュール）に分かれて構成されていることがあります。この場合、内部をこれらモジュールごとに分割するためのテスト端子を特別に設けて、分割された状態でLSIのテストを実施する方法も有効です。

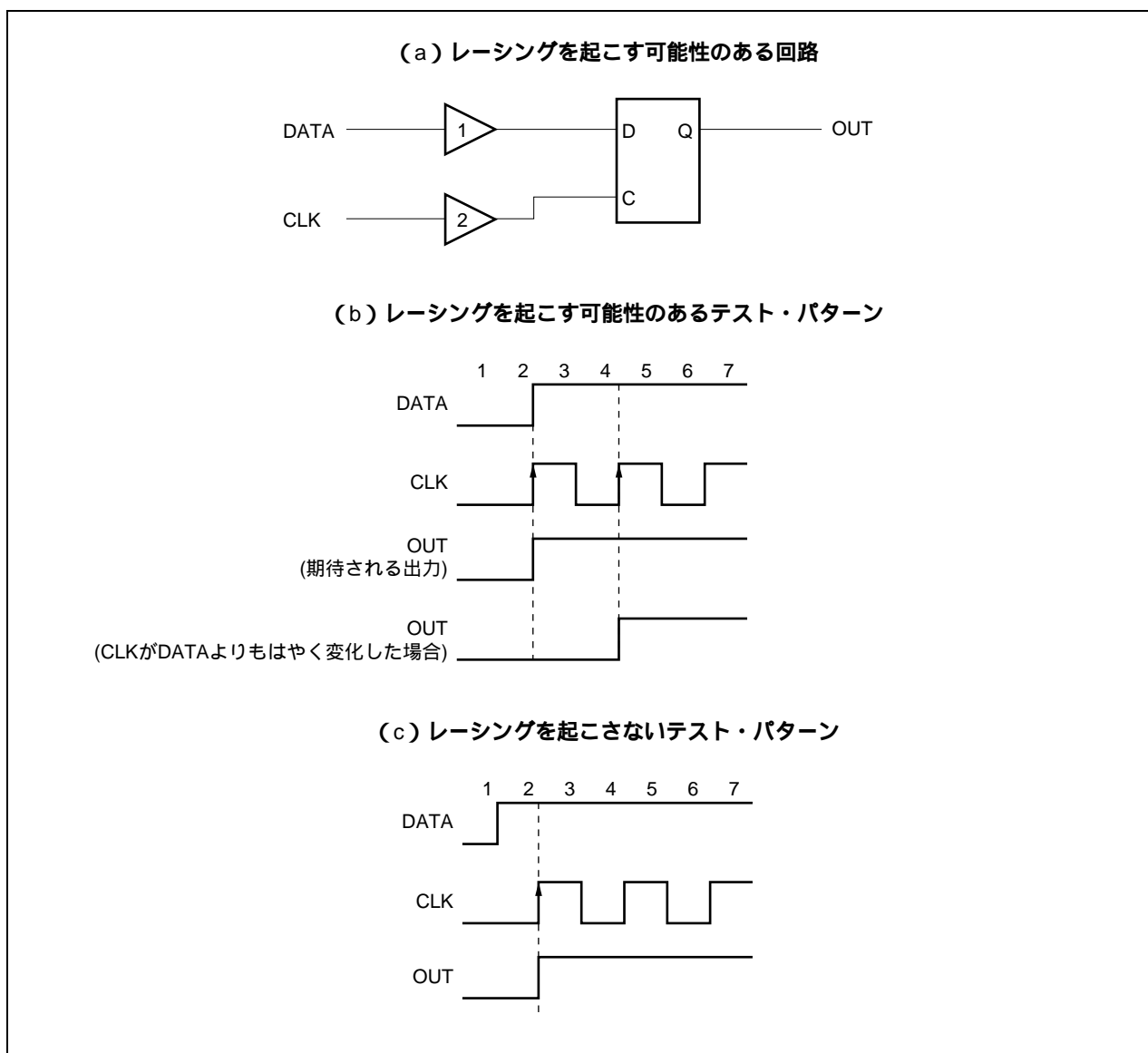
6.10 レーシングとスパイク・ノイズ

6.10.1 レーシング（競合）

ある論理ブロックにおいて、2つ以上の入力信号が極めて近いタイミングで変化する状態をレーシング（競合）といいます。

図6-45(a)の回路に図6-45(b)に示されるテスト・パターンを加えると、バッファ1,2の遅延量の差およびそれぞれの配線遅延の差によって、フリップフロップのデータとクロックのタイミングにずれを生じ、期待された動作をしない場合があります。図6-45(a)の場合は、まずデータをフリップフロップにセットしておき、その後にクロックを変化させるなどの考慮が必要です。上記を考慮したテスト・パターンの例を図6-45(c)に示します。

図6-45 レーシング



6.10.2 スパイク・ノイズ

スパイク・ノイズは、基本的に2入力以上のゲートを使用する回路において、その入力信号が同時に2つ以上変化した場合にその微妙な入力タイミングのずれによって生ずるノイズです。このスパイク・ノイズの時間幅は、タイミングのずれの大小によって違います。このスパイク・ノイズが次段のフリップフロップのクロックやセット/リセットなどに入力されると、それ以後のこのフリップフロップの出力信号に関する（影響される）信号経路においては、誤動作を生じるおそれが出てきます。

そこで、たとえば2入力以上のゲートを使用する場合には、同時に入力が2つ以上変化したときに生じるスパイクが次段のゲートや外部出力信号に影響を及ぼすか、またその結果、誤動作を起こすかを確認しなければなりません。もし、そのスパイク・ノイズが後段で無視できないものである場合、このスパイク・ノイズが後段に影響しないように、テスト・パターンまたは回路を変更しなければなりません。

ここでは、このスパイク・ノイズを生じる例と、その対策について説明します。

図6 - 46 データ・セレクト回路例

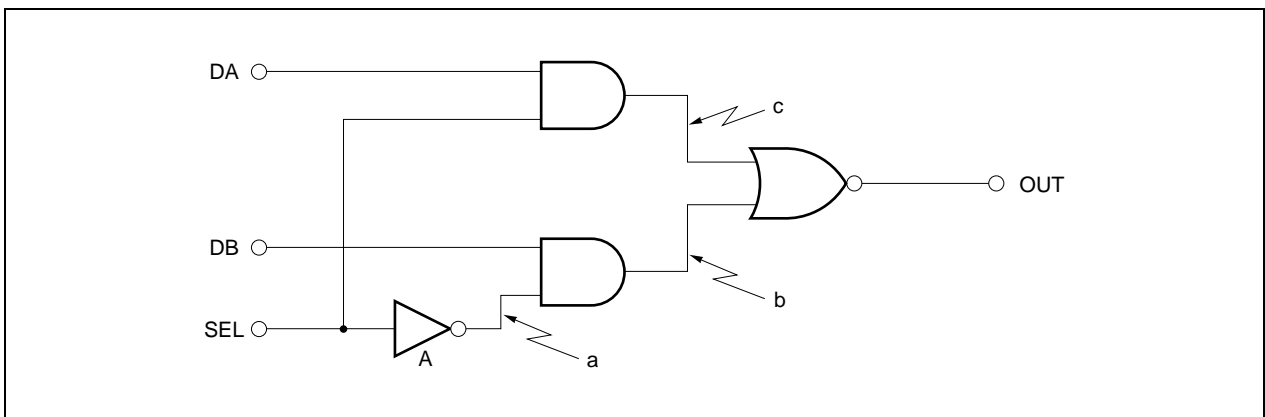
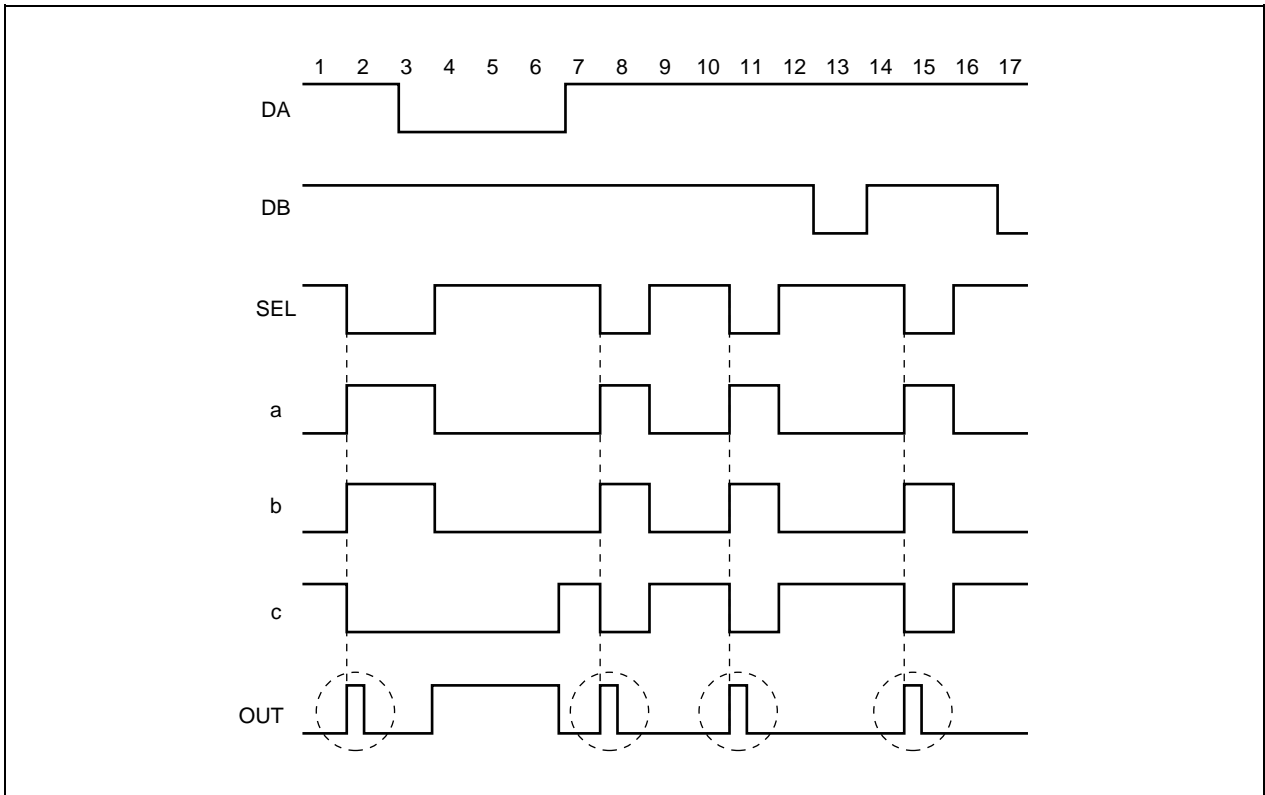


図6 - 46に示すAND-NORデータ・セレクト回路において、いま図6 - 47のテスト・パターンを作成したとします。

図6-47 テスト・パターン例(改善前)



この場合、データ信号であるDAおよびDBの両入力信号がハイ・レベルの状態を維持しているときにSEL(セレクト信号)を“H L”に変化させているため、出力信号OUTにはスパイク・ノイズが生じています。図6-47のパターンにおいては、それぞれ2, 8, 11, 15パターンの4箇所にはスパイクが発生しています。

回路図から明らかなように、DAおよびDBがハイ・レベル状態のとき、b, cの状態はSELの状態によって決まります。またSELが“H L”に変化したとき、同じパターンにおいてbは“L H”に、cは“H L”になります。さらにaはインバータAを通ることによってAのディレイ(遅延)分だけSELよりも遅れ、bはこのため結果的にcよりもインバータA分だけ遅れてしまいます。したがって、2, 8, 11, 15パターンにおいて同時に(b, c)間に(L, L)の状態を作ってしまう、結果的にOUTには“L H L”のスパイク・ノイズを生じます。

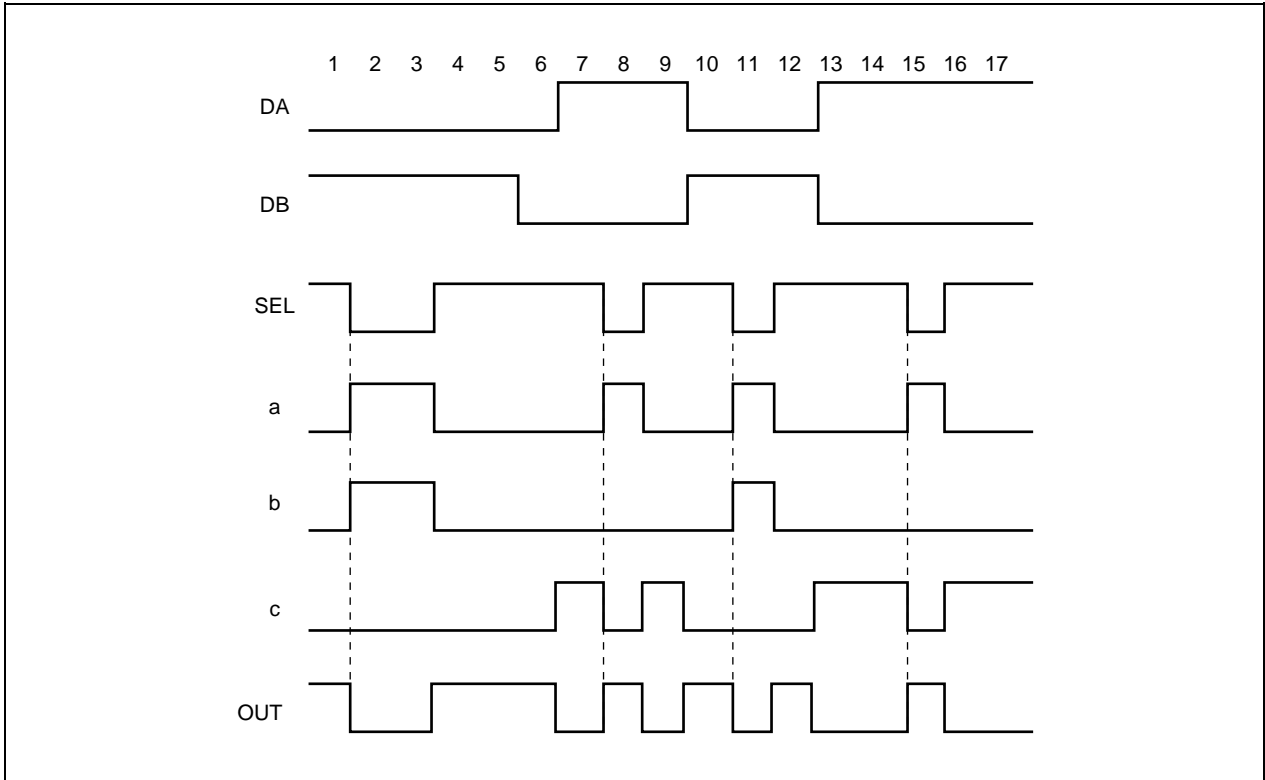
もし、このスパイク・ノイズがフリップフロップのクロックあるいはセット/リセットに入力される場合には、次の2つの対策が考えられます。

スパイク・ノイズが生じるタイミングでは、データを変化させないなどフリップフロップの出力がスパイク・ノイズによって変化しないようにする。

テスト・パターンを変更する。

この例の場合は、SELを“H L”に変化させるときに、DAまたはDBの少なくとも一方を必ずLにしておくことです。図6-48に示したタイミング設計にすれば、OUTにはスパイク・ノイズが発生しなくなります。

図6-48 テスト・パターン例(改善後)

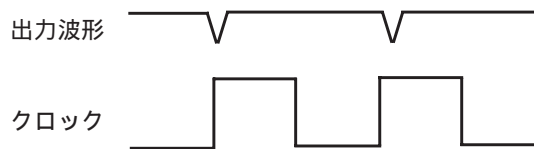


6.11 出力波形のノイズ

出力電圧のロウ／ハイ・レベルのDC特性は、第3章 製品規格に記載していますが、内部回路動作の充放電電流により出力波形にノイズが生じる場合があります。

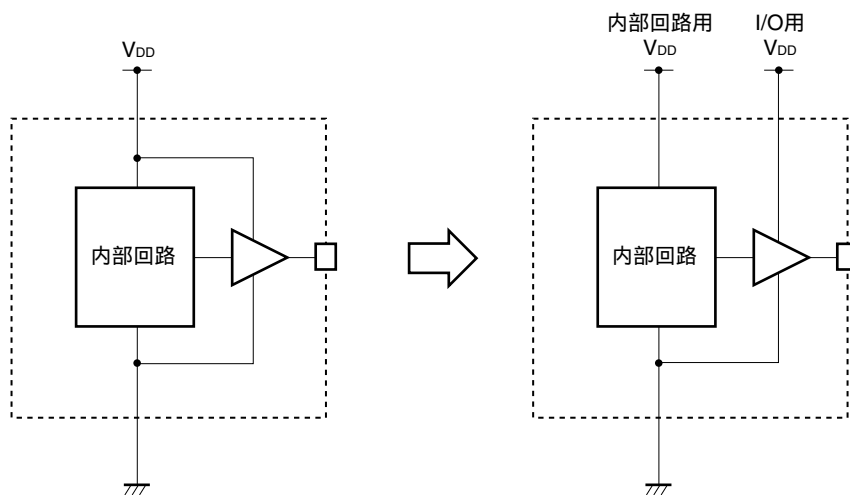
出力波形のノイズをより小さくする場合は、外部に平滑用のバイパス・コンデンサを付けてください。

図6 - 49 出力波形のノイズ



また、出力波形のノイズを完全に抑える場合は、内部回路用 V_{DD} とI/O用 V_{DD} の電源を分離してください。電源の分離については、CMOS-10HD 2電源品やEA-9HD 2電源品で対応することができます。

図6 - 50 電源分離



6.12 リセット端子

ノイズにより一瞬入力レベルが変化してリセット動作となることを防ぐため、リセット端子には次の対応を行ってください。

- (1) シュミット入力バッファとする。
- (2) 一瞬のパルスを除去するフィルタ回路を挿入する。

リセット（アクティブ・ハイ）の場合の対策回路例を図5 - 51と図5 - 52に示します。

図6 - 51 対策回路例1

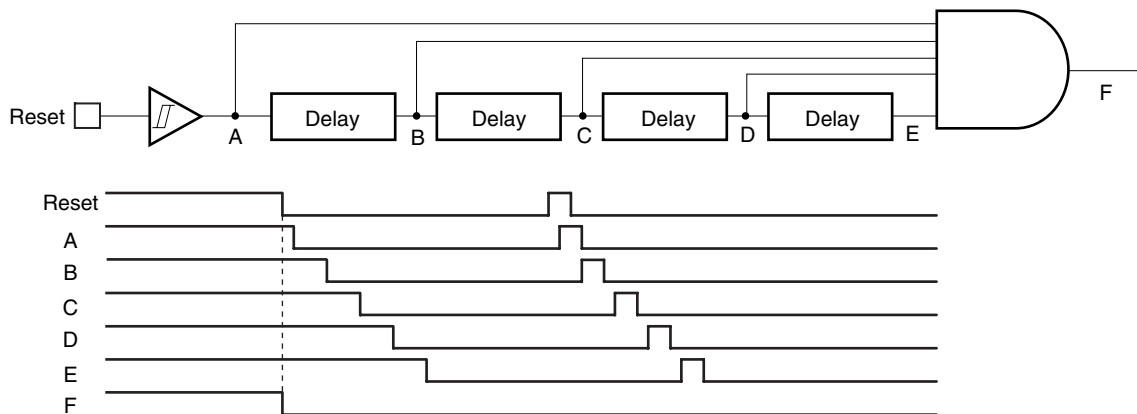


図5 - 51は、リセット解除後、パルスによるリセットONを回避する対策回路です。

リセット回路解除は、入力Resetに依存して行われます。

この回路は微分回路となるのでレイアウトに注意してください。レイアウト時にグループ配置および強制配置の必要のため、使用する際は弊社までご連絡ください。

図6 - 52 対策回路例2

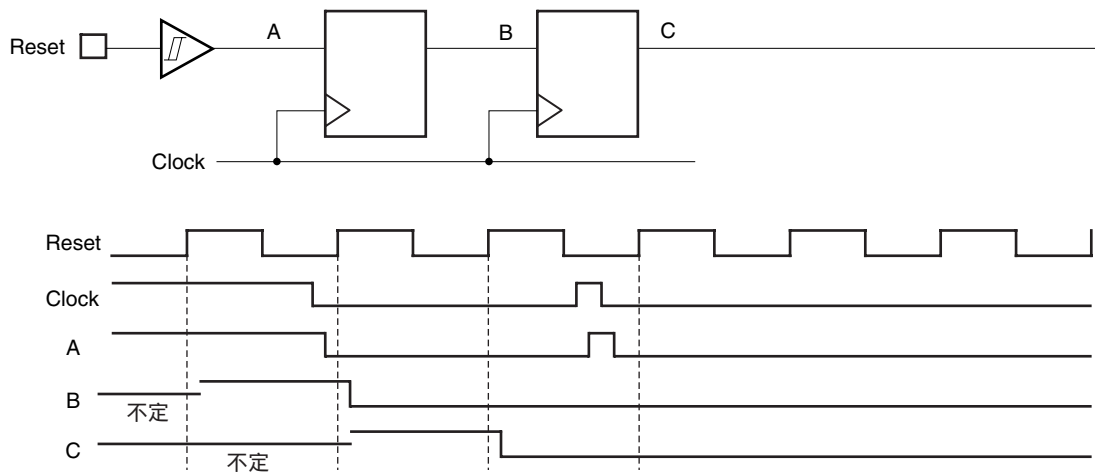


図5 - 52は、ResetとClockの競合のメタステーブル対策のため、F/F2段で構成しています。

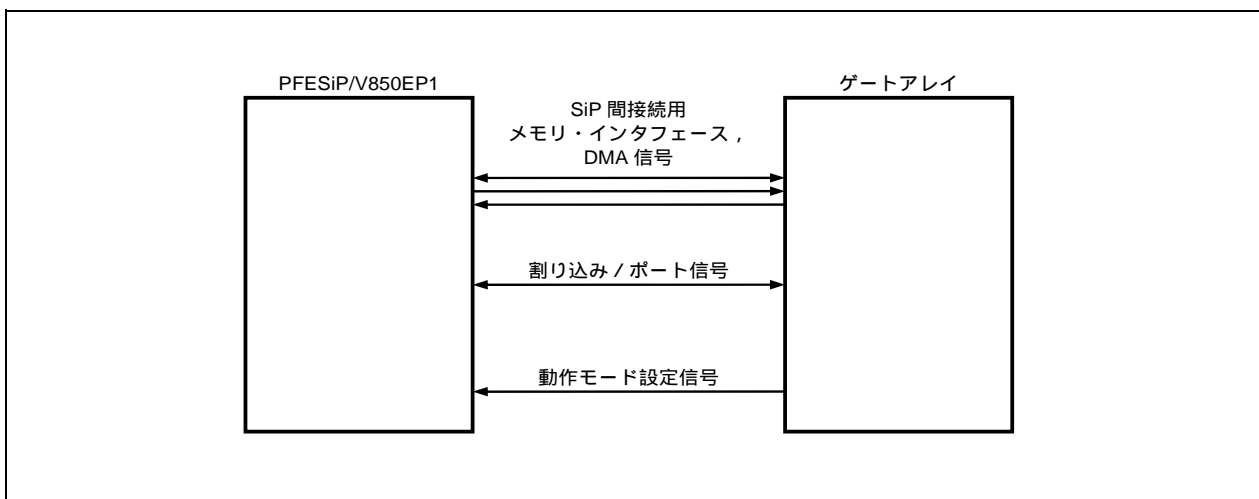
第7章 EPシリーズ固有の回路設計

7.1 PFE SiP/V850EP1-ゲートアレイ間接続

PFE SiP/V850EP1とゲートアレイ間の内部接続信号は、以下の3種類あります（図7 - 1参照）。

- SiP間接続用メモリ・インタフェース信号，DMA信号（7.1.1参照）
- 割り込み／ポート信号（7.1.1参照）
- 動作モード設定信号（7.1.2参照）

図7 - 1 PFE SiP/V850EP1とゲートアレイ間の接続構成



7.1.1 PFESiP/V850EP1-ゲートアレイ間接続端子 (SiP間接続用メモリ・インタフェース信号, DMA信号)

PFESiPの量産テストの一環として、PFESiP/V850EP1をテストする際に、PFESiP/V850EP1とゲートアレイ間の双方向バス・ファイトを防止する必要があります。また、PFESiP/V850EP1側入出力バッファのプルアップ、プルダウンを通して不必要な定常電流が流れないようにゲートアレイ入出力でも注意する必要があります。

このため、ゲートアレイのSiP内部接続用メモリ・インタフェース信号、SiP内部接続用DMA入出力信号、割り込み/ポート信号については、決められたバッファ・タイプを使用してください。なお、端子名称は、接続ミスを防ぐためにPFESiP/V850EP1のSiP内部接続端子の名称と同じにしてください。

また、SD0-SD15のI/O制御については、SD0-SD7, SD8-SD15の8ビット単位で制御してください。

表7-1~表7-3に具体的なバッファ、図7-2に信号の接続について示します。

表7-1 SiP内部接続用メモリ・インタフェース信号一覧(計54本)

端子名称	バッファ・タイプ	機能
SCSZ0-SCSZ3	FI01B1	メモリ・コントローラ・チップ・セレクト
SA0-SA20	FI01B1	アドレス・バス(20ビット幅)
SD0-SD15	B00UBB	データ・バス(16ビット幅)
SRDZ	FI01B1	リード・ストロブ信号
SBENZ0, SBENZ1	FI01B1	バイト・イネーブル(SWRZ0-1と兼用: SiP内専用ライト・ストロブ信号)
SIOWRZ	FI01B1	外部I/O用ライト・ストロブ信号
SIORDZ	FI01B1	外部I/O用リード・ストロブ信号
SWRSTBZ	FI01B1	ライト・ストロブ出力(WRZ[3:0]のOR)
SWAITZ	FO09B2	ウエイト信号
SHLDRQZ	FO09B2	バス・ホールド要求
SHLDAKZ	FI01B1	外部バス・ホールド要求アクノリッジ
SBCYSTZ	FI01B1	バス・サイクル・スタート・ステータス
SBUSCLK	FIS1B1	バス・クロック
SREFRQZ	FI01B1	リフレッシュ・ステータス
SRESTOZ	FIS1B1	バス・リセット

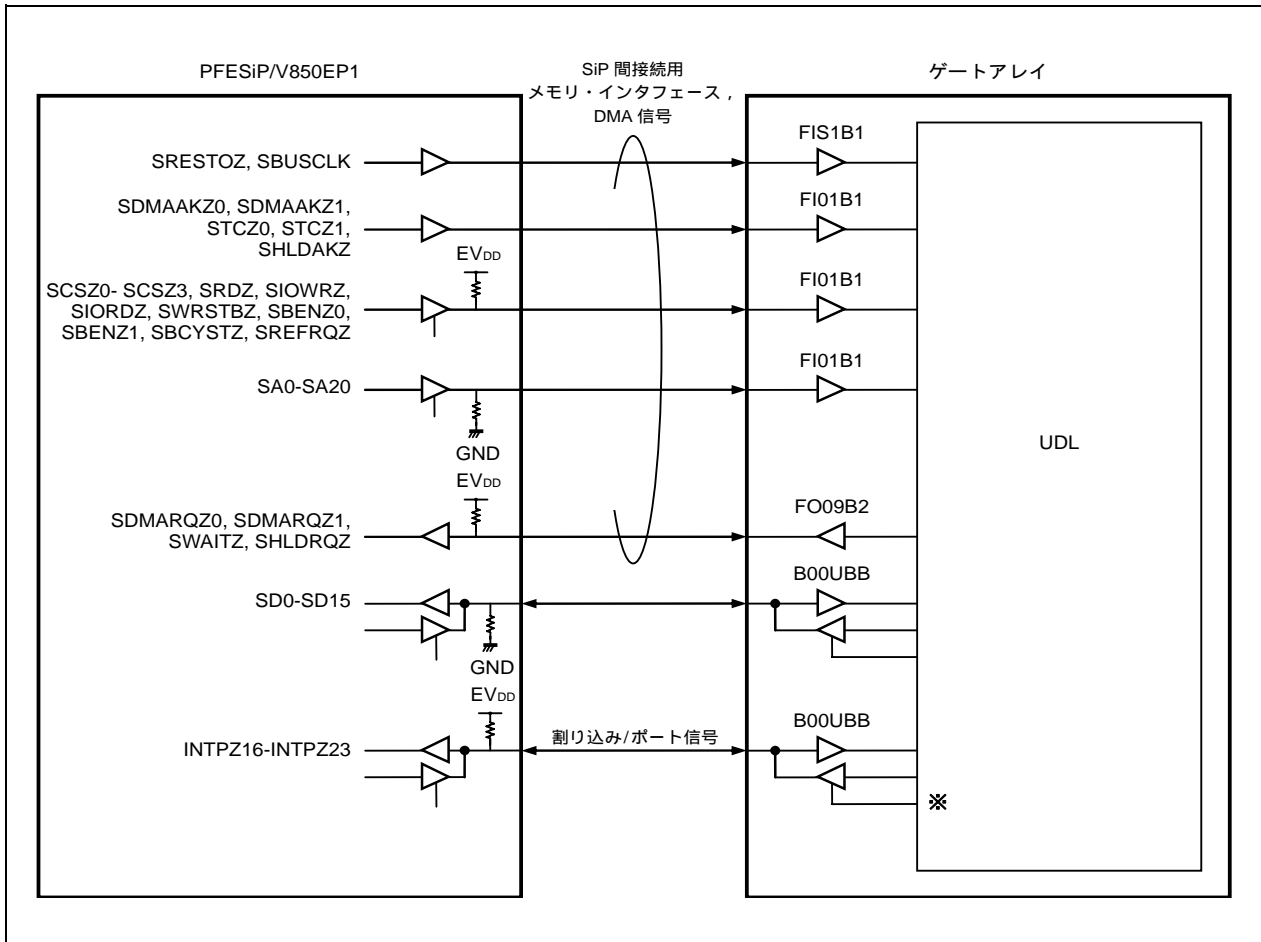
表7-2 SiP内部接続用DMA入出力信号一覧(計6本)

端子名称	バッファ・タイプ	機能
SDMARQZ0, SDMARQZ1	FO09B2	DMA転送要求
SDMAAKZ0, SDMAAKZ1	FI01B1	DMAアクノリッジ
STCZ0, STCZ1	FI01B1	ターミナル・カウント(DMA転送完了)

表7-3 割り込み/ポート信号一覧(計8本)

端子名称	バッファ・タイプ	機能
INTPZ16-INTPZ23	B00UBB	マスカブル外部割り込み(PORT20-PORT27と兼用: ポート)

図7 - 2 PFESiP/V850EP1 - ゲートアレイ間接続 (1)



未使用の場合でも、表7 - 1 ~ 表7 - 3に示すバッファを使用してください。

入力バッファの出力端子は、P315のE.2項に示すファンクション・ブロック(F101,F111など)を接続し、その出力をオープンにしてください。

出力バッファは、信号がインアクティブとなるようにF091を使用してクランプしてください。

双方向バッファの場合は、コントロール信号をインアクティブに設定して、PFESiP/V850EP1側の端子としてはハイ・インピーダンスとなるように設定してください。

割り込み/ポート信号を割り込みとして使用する場合は、コントロール信号(図7 - 2 が付いた信号)をハイ・レベルに固定してください。

7.1.2 PFESiP/V850EP1-ゲートアレイ間接続端子（動作モード設定信号）

PFESiP/V850EP1の以下の動作モード設定端子（28本）に対して、ゲートアレイ部で値を設定できるような回路を設計してください。

動作モード設定を完全に固定して使用する場合は、ゲートアレイ部の内部で所望の論理に、プルアップ、もしくはプルダウンの処理をして論理を確定してください。

また、製造後に動作モード設定を変更する場合は、ゲートアレイ部の外部端子にアサインして、外部で所望の論理に確定してください。ただし、これらの設定を動作中にダイナミックに変更することは想定していませんので注意してください。

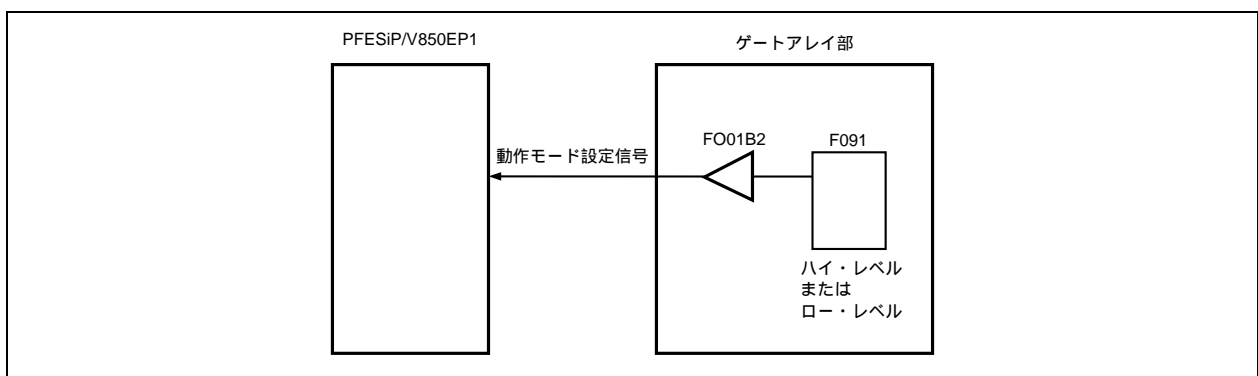
動作モード設定方法の詳細については、PFESiP/V850EP1 **ハードウェア編(CPU機能) ユーザーズ・マニュアル (A19070J)** を参照してください。

表7-4に示すバッファ（FO01B2）を必ず使用してください。なお、端子名称は、接続ミスを防止するためにPFESiP/V850EP1のSiP内部接続端子の名称と同じにしてください。

表7-4 PFESiP/V850EP1動作モード設定信号一覧（計28本）

端子名称	バッファ・タイプ	機能
SLBS1-SLBS0	FO01B2	MEMC外部バス幅の選択入力 00：32ビット，01：16ビット，10：8ビット，11：8ビット
VBCLKEN	FO01B2	VBCLKOUTの出力許可／禁止設定入力 0：ロー・レベル出力，1：許可
SCKMD1-SCKMD0	FO01B2	NBA85E535のVBCLKとBUSCLKの比率選択入力 00：VBCLK/1，01：VBCLK/2，10：設定禁止，11：設定禁止
VSB RAMEN	FO01B2	ワークRAM（VSB_RAM）許可入力 0：無効，1：有効
CLKDV1-CLKDV0	FO01B2	CPCLKとVBCLKの分周比選択入力 00：設定禁止，01：CPCLK/2，10：CPCLK/3，11：CPCLK/4
BOOTSEL	FO01B2	ブート選択 0：SCSZ0領域（SiP内部より），1：CSZ0領域（外部バスより）
PLL6-PLL0	FO01B2	（PLL6-PLL0）内蔵PLLの逡倍率の設定入力
PLL9-PLL7	FO01B2	（PLL9-PLL7）内蔵PLLの逡倍率の設定入力
PLL11-PLL10	FO01B2	（PLL11-PLL10）内蔵PLLの逡倍率の設定入力
PLL13-PLL12	FO01B2	（SSMDL1-SSMDL0）SSCGのモジュレーション範囲の設定入力
PLL16-PLL14	FO01B2	（SSADJ2-SSADJ0）SSCGの周波数拡散モードと、その範囲の設定入力
PLL18-PLL17	FO01B2	（PLLS1-PLLS0）SSCGのSセクタ入力

図7-3 PFESiP/V850EP1 - ゲートアレイ間接続（2）



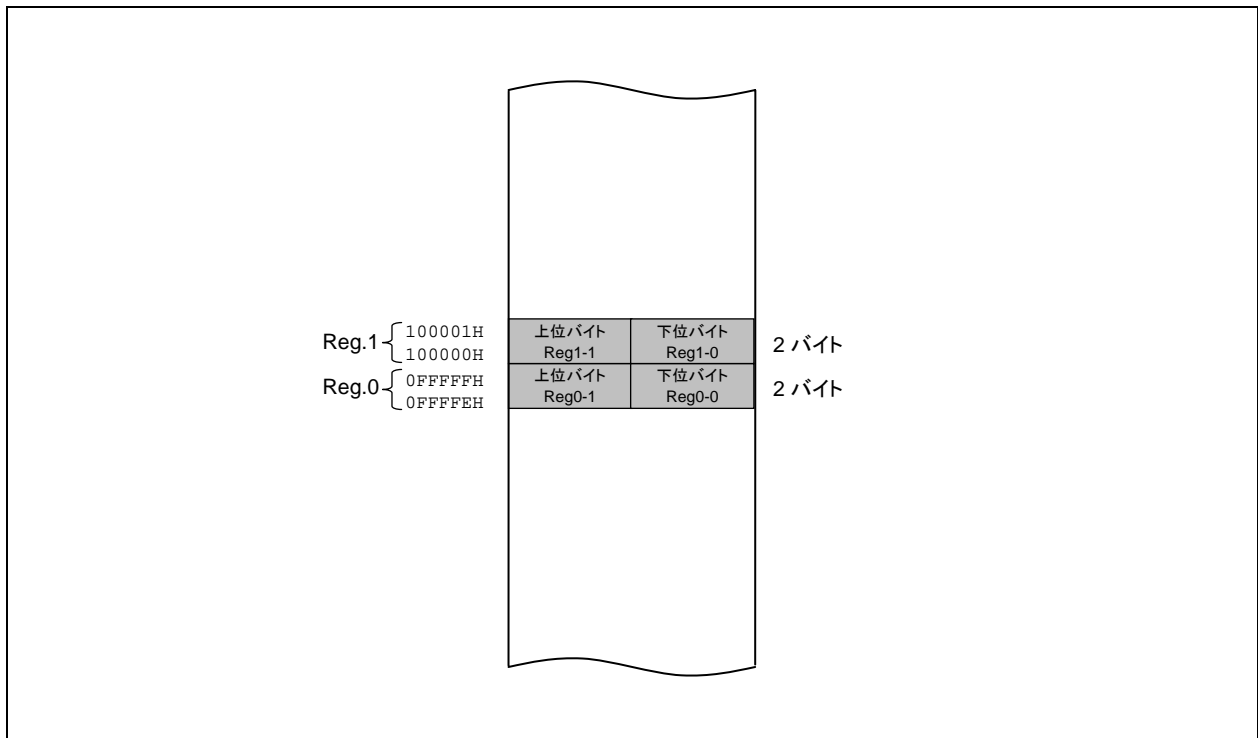
PFESiP/V850EP1とゲートアレイ間の接続端子については、PFESiP/V850EP1 **ハードウェア編 (CPU機能) ユーザーズ・マニュアル (A19070J)** を参照してください。

7.2 PFESiP/V850EP1のメモリ・インタフェース

PFESiP/V850EP1とゲートアレイ間の接続で、ACタイミングの点で論理設計に注意する必要があるのは、SiP内部接続用メモリ・インタフェースです。SiP内部接続用メモリ・インタフェース回路を設計する際は、PFESiP/V850EP1 **ハードウェア編 (CPU機能) ユーザーズ・マニュアル (A19070J)** を参照してください。

PFESiP/V850EP1からSiP内部接続用メモリ・インタフェース経由でリード/ライト・アクセス可能なテスト・レジスタを設けてください。PFESiP/V850EP1のCPUメモリマップの一部として見える必要があり、下記の固定アドレスに対して用意してください (0FFFFFFHと100000Hに対し各16ビット幅で用意する)。

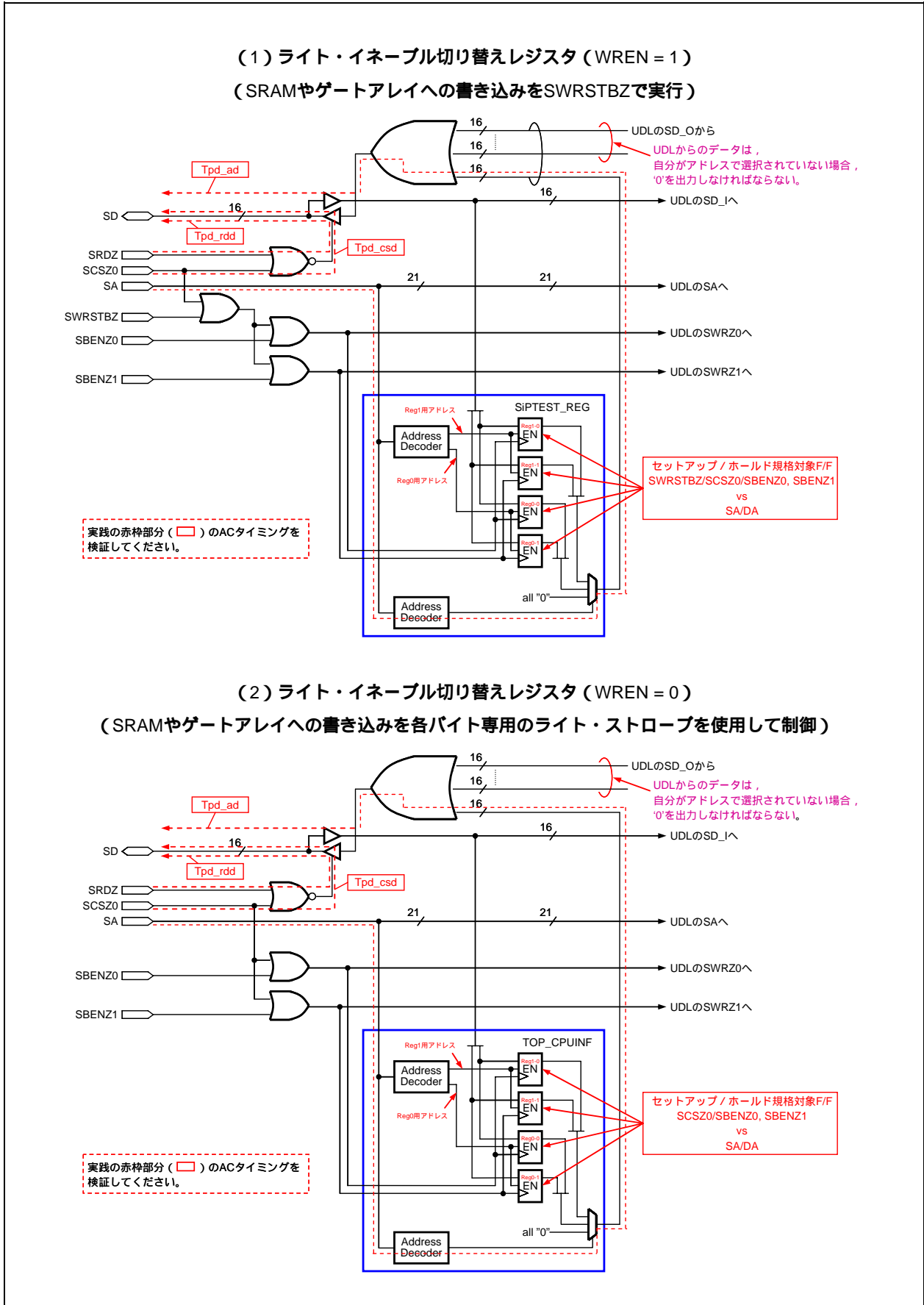
図7-4 PFESiP/V850EP1からのアクセス用テスト・レジスタ



これらのレジスタへのアクセスをSiP内部接続用メモリ・インタフェース経由で行いますので、PFESiP/V850EP1のメモリ・コントローラ設定を弊社までご連絡ください。

参考にPFESiP/V850EP1とゲートアレイ間の接続例を次に示します。

図7-5 PFESiP/V850EP1とゲートアレイ間の接続例



7.3 テスト回路設計 (DFT)

7.3.1 Boundary-Scanテスト (NEC_BSCAN) の適用

Boundary-Scanテストを用いて、PFESiP/V850EP1-ゲートアレイ間の接続テストを実現します。

そのため、ゲートアレイ部ではBoundaryScanテスト回路の適用は必須です。

専用のインタフェース・ブロックを用いた回路設計、およびTAPコントローラ・マクロの挿入処理が必要となります。上記のインタフェース・ブロック、TAPコントローラを目印として、専用のツールでBoundary-Scan回路を自動生成します。

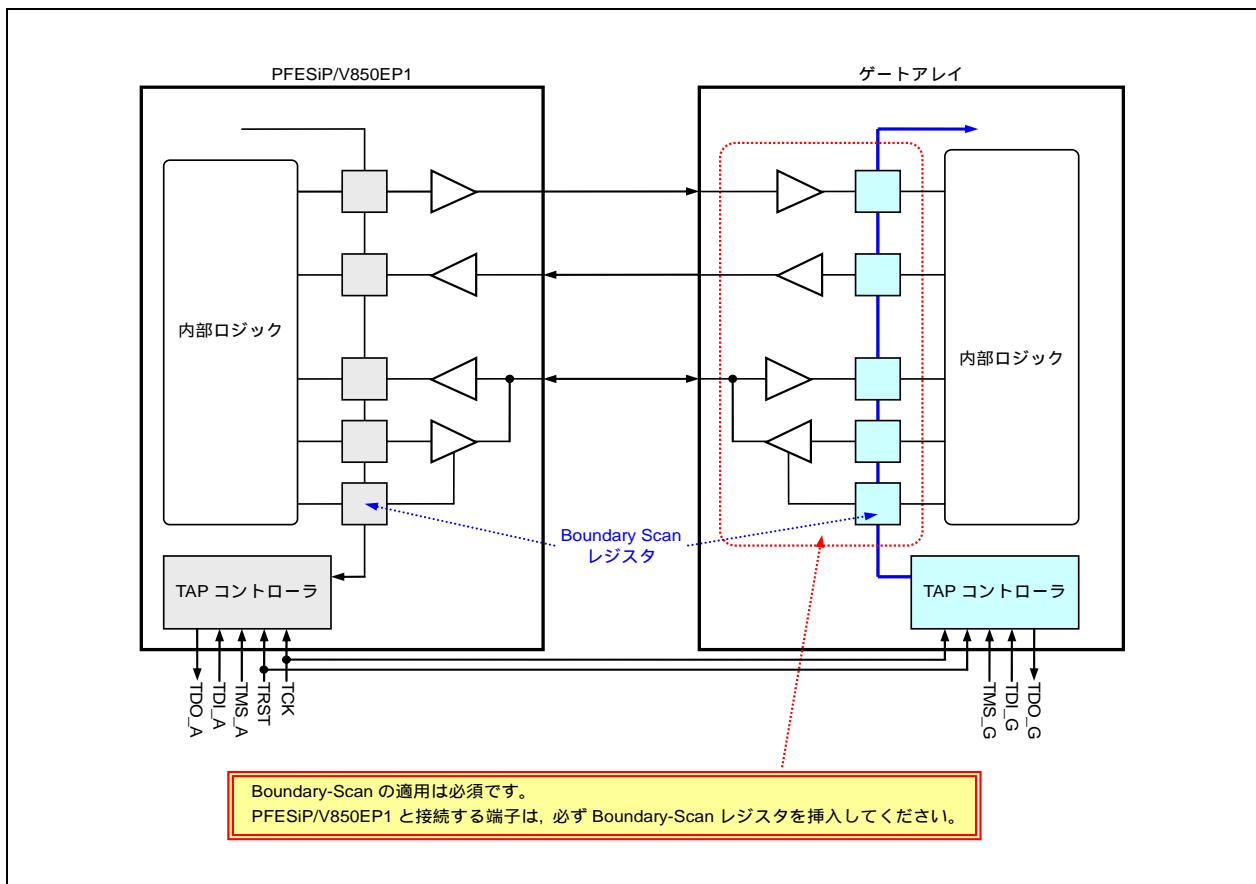
なお、搭載マクロがBoundaryScanモード時に、テスト・モードにならないようにするために、テスト専用端子 (BIST回路のTEB, メガマクロのテスト・モード端子など) に対するBoundary Scanレジスタの挿入を禁止します (ユーザ端子と兼用のテスト端子に対しては、Boundary Scanは挿入できます)。

専用のインタフェースではなく、通常のインタフェース・ブロックを用いて回路設計することで、特定の端子をBoundary Scanレジスタの挿入対象から外すことができます。

詳細な手順は、**テスト容易化 ユーザーズ・マニュアル**の「5.3 NEC_BSCAN設計方法」を参照してください。

なお、TCK、TRSTは、PFESiP/V850EP1とゲートアレイで共用しています。また、ゲートアレイのTDI_G、TDO_G、TMS_Gは、ユーザ端子とは別に確保しているため、ユーザ端子数に含める必要はありません。

図7-6 Boundary-Scanテスト (NEC_BSCAN)



7.3.2 Scanテスト (NEC_SCAN2) との併用

前項のNEC_BSCANとNEC_SCAN2は、併用して設計することができます。

併用して設計することにより、TAPコントローラにてScanテストの制御が可能となり、必要なテスト端子数を削減することができます。ロジック部にScanテストを適用する場合は、Boundary Scanテストとの併用設計を必須とします。詳細は、テスト容易化 ユーザーズ・マニュアルの「テスト手法の併用設計」を参照してください。

7.3.3 メガマクロ搭載時のテスト設計

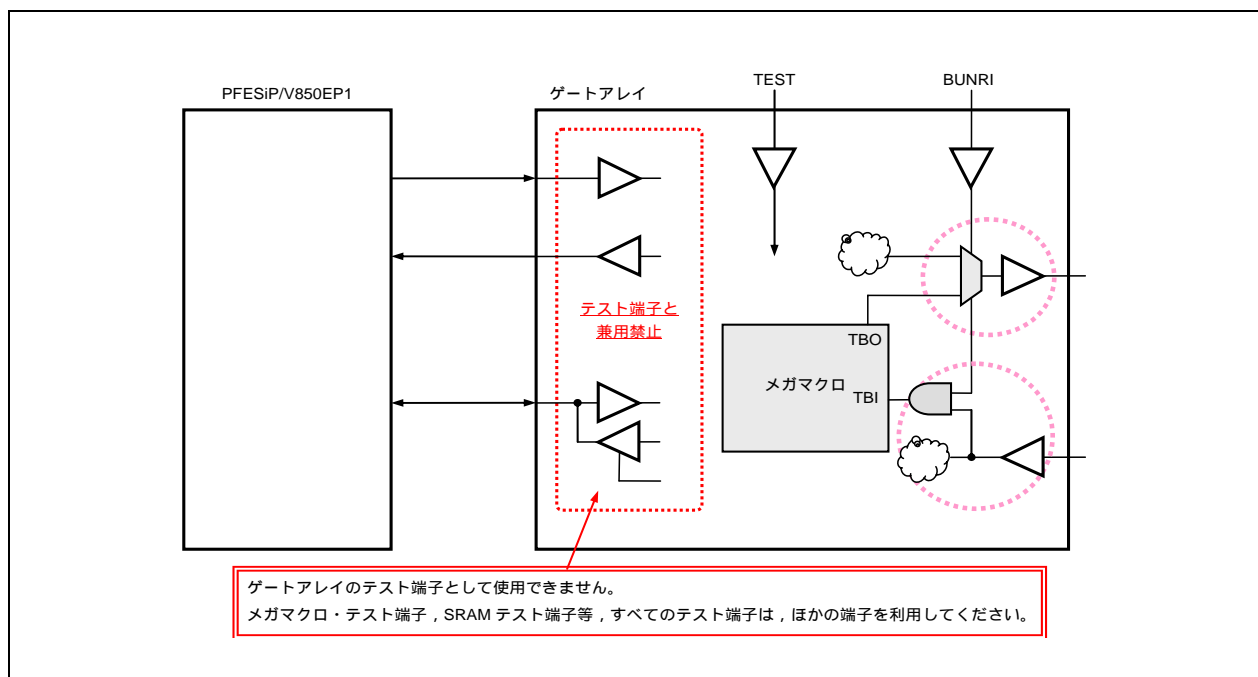
メガマクロ編 (A) を参照して、テスト設計を行ってください。

メガマクロのテスト端子は、モード制御端子を除き、ユーザ端子と兼用することができます。

ユーザ端子と兼用する場合、メガマクロ編に書かれている注意事項に加え、次の点に注意して設計してください。

- メガマクロ・テスト端子は、PFESiP/V850EP1に接続するユーザ端子との兼用はできません。
なお、SRAMBISTもユーザ端子と兼用できるテスト端子は、同様の制約が加わります。

図7-7 メガマクロ搭載時のテスト設計



第8章 テスト・パターンの作成

ゲートアレイ部を設計する際には、コンピュータ上のシミュレータによって、回路が期待どおりの機能、性能になっているかどうかを確認します。シミュレーションを実行するため、回路図とテスト・パターンをユーザに準備していただく必要があります。

テスト・パターンは、出荷時の製品検査にも利用します。出荷時の製品検査では、LSIの機能確認（ファンクション・テスト）と各種 DC 特性の測定（電源リーク電流，入力リーク電流，出力電流など）を行うので、テスト・パターンが出荷時の製品検査について考慮していないと、テスト不十分のまま出荷される場合も考えられます。このため、テスト・パターンは故障検出，DC テストなどを行うように作成してください。

シミュレーションではユーザが実際に使用する条件，状態を比較的容易に実現できます。しかし，実際の LSI を検査する LSI テスタでは，多くの場合ユーザが実際に使用する条件，状態を完全に実現することはできません。このため，テスト・パターンは LSI テスタの能力にあわせ，制限事項を守って作成してください。

ここでは，テスト・パターン作成時の注意点について示します。

8.1 テスト・パターンの種類

テスト・パターンは表8-1に示す種類があります。

DCテスト・パターンは1つ必要であり，それ以外は，回路やユーザの要求によって必要となります。LSIテスタでのDC測定は，DCテスト・パターンの先頭32000パターンで行います。

表 8 - 1 テスト・パターンの種類

パターン名	目的	パターン作成者
DC テスト・パターン	DC 測定，論理検証	ユーザ
ファンクション・テスト・パターン	論理検証	ユーザ
高速ファンクション・テスト・パターン	論理検証（リアルタイム）	ユーザ
メガマクロ・イニシャライズ・パターン	初期化	弊社（挿入はユーザ）
メガマクロ単体テスト設定パターン	メガマクロ周辺値の確定	ユーザ
メガマクロ・テスト・パターン	論理検証（メガマクロ単体）	弊社
スキャン・テスト・パターン	故障検出	ユーザまたは弊社
RAM テスト・パターン	論理検証（RAM 単体）	弊社
デジタル PLL イニシャライズ・パターン	初期化	ユーザ
バウンダリ・スキャン・テスト・パターン	論理検証（バウンダリ・スキャン回路）	ユーザ

1本当たりのパターン長制限はありませんが（高速ファンクション・テストを除く），パターン長の合計には制限があります。詳しくは，8.2.2 **テスト・パターン長制限**を参照してください。

8.2 製品検査 (LSI テスタ) からの注意点

8.2.1 入力, 出力端子名制限

(1) 入力, 出力文字数の制限

64 文字以下

(2) 端子名文字制限

端子名を設定する場合, 使ってはならない文字があります。次の制限を守り, 端子名を付けてください。

表 8 - 2 端子名文字制限

使用できる文字	アルファベットの大文字 数字 _ (アンダスコア)
使ってはならない文字	/ (スラッシュ) などアンダスコア以外の特殊文字 アルファベットの小文字

8.2.2 テスト・パターン長制限

LSI テスタのメモリの大きさにより, テスト・パターン長は制限を受けます。

テスト・パターンの長さ (DC テスト用, ファンクション・テスト用の合計) は, 必ず表 8 - 3 の制限内に収まるように設計してください。

表 8 - 3 テスト・パターン長の制限

パターン数 パッケージ ^{注1}	最小テスト・パターン数 (DC テスト用パターンの制限)	最大テスト・パターン数 ^{注2}
144 ピン以下 (SCAN あり)	150 パターン	128 K パターン
144 ピン以下 (SCAN なし)		256 K パターン
145 ピン以上		512 K パターン

注 1. パッケージ・ピン数は, 電源数 (GND, V_{DD} 等) を含めた数です。

2. RAM テスト・パターン, 弊社で作成するスキャン・テスト・パターン, および高速ファンクション・テスト・パターンは, 最大テスト・パターン長へ考慮する必要はありません。

ユーザ作成のスキャン・テスト・パターン, メガマクロ, バウンダリ・スキャンについては, それぞれのテスト・パターン長を, 上記制限パターン長に含めて検討してください。

8.2.3 テスト・パターンの本数

テスト・パターンは、必ずしも1本である必要はありませんが、本数制限としてDCテスト用、ファンクション・テスト用など、すべてのインタフェース・テスト・パターンを含めて20本以内にしてください。この場合もRAMテスト・パターン、弊社で作成するスキャン・テスト・パターン、および高速ファンクション・テスト・パターンは考慮する必要はありません。

また、作業の効率を上げるためにも、本数は極力減らしてください。設計の都合でテスト・パターンを分割して作成しても、原則として結合して1本のテスト・パターンとして提出してください(テスト・パターンの結合は、パターン・ユーティリティやOPENCADの波形エディタなどを使えば簡単にできます)。

テスト・パターンを分割する場合、パターンごとにイニシャライズするようにしてください(8.3.1 **回路の初期設定(イニシャライズ)**参照)。パターンごとにイニシャライズできない場合は、テスト・パターンの順番を必ず弊社までご連絡ください(極力、書面にてご連絡ください)。

次の場合はテスト・パターンを分割する必要があります。

- 入力信号の時間条件(入力ディレイ、パルス幅)、出力判定時間(ストロブ時間)が異なる場合
詳しくは、8.3 **ファンクション・テスト用テスト・パターン作成上の注意**を参照してください。

8.3 ファンクション・テスト用テスト・パターン作成上の注意

8.3.1 回路の初期設定（イニシャライズ）

フリップフロップやカウンタなどのブロックは、電源を印加した直後の出力状態がハイ・レベルとなるかロー・レベルとなるかは規定できません（6.9.1 フリップフロップのイニシャライズ（初期設定）を参照してください）。このため、シミュレータではフリップフロップやカウンタなどの順序回路の初期状態は“X（不定）”となります。回路の動作確認をするには、まず内部のファンクション・ブロックの状態を不定状態から定まった値にする必要があります（回路の初期化、イニシャライズ）。

回路設計時に、回路の初期設定が簡単に行えるようにリセット端子などの利用を考えると同時に、テスト・パターンのはじめに回路の初期設定を行うようなパターンを準備してください。

テスト・パターンを分割して用意される場合は、原則として、おのおののパターンに初期化のためのテスト・パターンが必要となります（図8-4 テスト・パターン例参照）。

8.3.2 テスト周期（テスト・レート）

1パターンの周期を表します。

現在弊社での、一般的なファンクション・テストの、テスト周期の制限は次のようになっています。

テスト周期：200 ns

このテスト周期より高速なテスト周期を希望される場合は、高速ファンクション・テストとなります。高速ファンクション・テスト・パターンに関しては、8.9 高速ファンクション・テスト（リアルタイム・テスト）を参照してください。

8.3.3 出力判定時間（ストロブ時間）

出力判定時間（ストロブ時間）は、製品の出力値をテスト・パターン上の期待値と照合する時間を表します。現在通常のファンクション・テスト・パターンでは、必ず周期の最後の時間（199.99 ns）となっており、それ以外では、高速ファンクション・テストとなります。

高速ファンクション・テスト・パターンに関しては8.9 高速ファンクション・テスト（リアルタイム・テスト）を参照してください。

8.3.4 タイミング相の指定

現在の設定可能なタイミング相数は、表8-4を参照してください（基本タイミングも含まれます）。

LSIテストのピン間スキュー（±5 nsと規定）を考慮し、各相の時間差は10 ns以上としてください。

基本タイミング相とは、 $\Delta t_d = 0$ nsのNRZ信号を指します。また、ディレイ時間（ Δt_d ）が等しいNRZ信号は同相と見なし、同じタイミングの入力端子が何本あっても1相と数えます。

同様に、ディレイ時間（ Δt_d ）、パルス幅（ Δt_w ）が等しいRZ信号も同相とみなします（ Δt_d 、 Δt_w が等しいポジティブ・クロック、ネガティブ・クロックも1相と数えます。ただし、 Δt_d が等しいNRZ信号とRZ信号は同相ではありません）。

表8-4 タイミング相数

PKG	タイミング相数 ^注
全パッケージ	6

注 基本タイミング相を含みます。

表 8 - 5 タイミング制限

信号の種類	入力ディレイ (Δt_b)		入力パルス幅 (Δt_w)	
	MIN	MAX	MIN	MAX
基本タイミング	0 ns		-	
NRZ 信号	10 ns	T - 10 ns	-	
RZ 信号 (クロック・モード)	10 ns	T - Δt_w - 10 ns	145 ピン以上 : 10 ns 144 ピン以下 : 15 ns	T - Δt_b - 15 ns

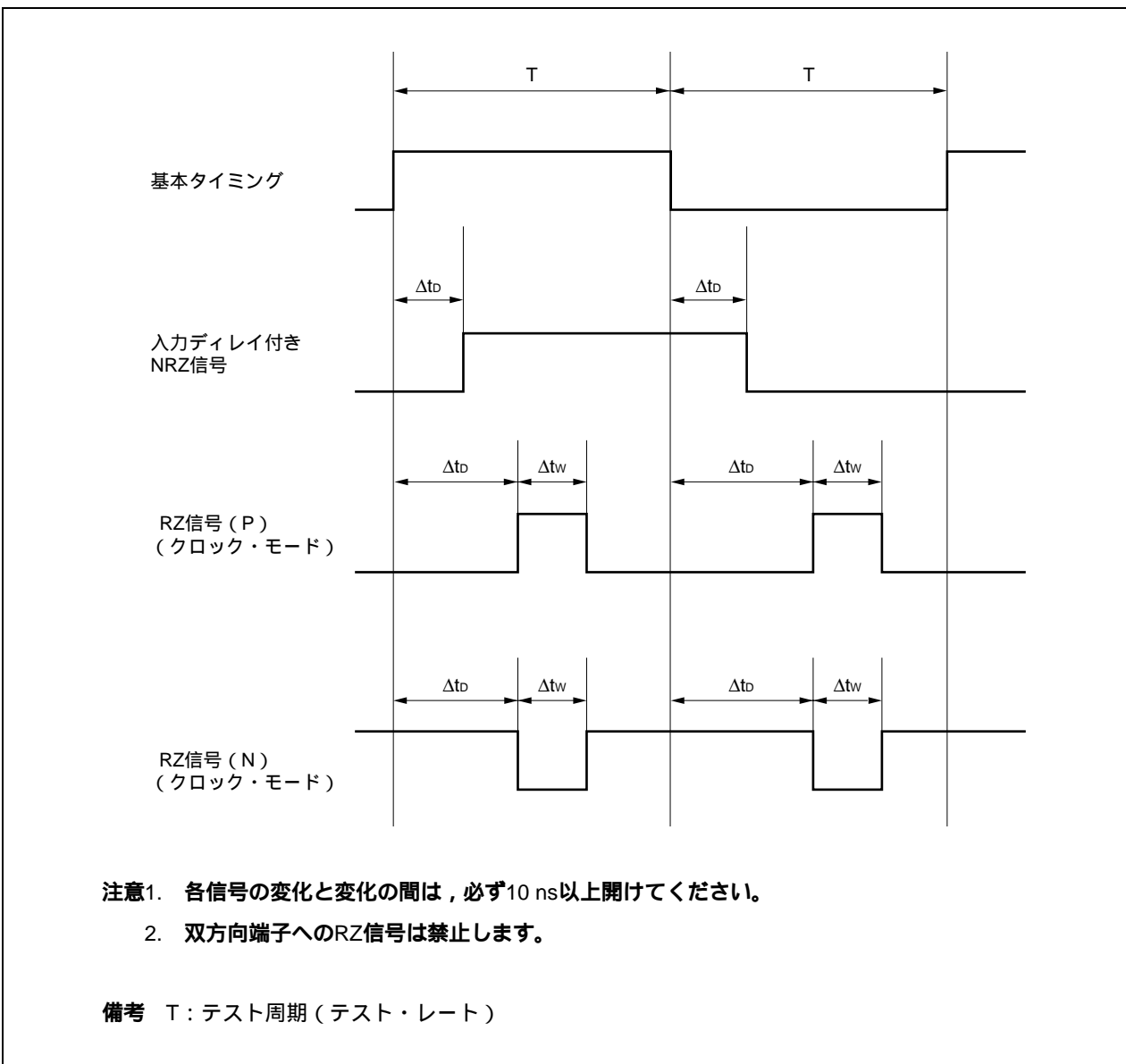
備考 RZ 信号 (Return to Zero):

1 テスト・パターン (1 テスト・レート) 内に “0 1 0”, “1 0 1” の変化がある信号です。

NRZ 信号 (No Return to Zero):

1 テスト・パターン (1 テスト・レート) 内に変化が 1 回しかないものを表します。

図8 - 1 タイミング相



入力のクロック・モード (RZ) 信号は極性が2つありますので、使い方により選んでください。

表 8 - 6 クロック・モード

入力パターン	意 味	動 作	
		ポジティブ・クロック (P)	ネガティブ・クロック (N)
1 (H)	クロック発生	0 1 0 (正クロックの発生)	1 0 1 (負クロックの発生)
0 (L)	クロック停止	0 ホールド	1 ホールド

8.3.5 スキュー

シミュレータでは、同一時刻に複数の入力信号を変化させた場合でも、各入力間の信号にスキューは起こりません。しかし、製品の良否を判定するLSIテストでは、各入力ピン間に存在する数nsのスキューにより、同一時刻に信号を変化させるように指定しても、まったく同時に入力信号が変化することはありません。このため、シミュレーション上ではまったく問題がない場合でも、製品がピン間スキューによって製品検査に合格しない場合が起こります。

そこで、テスト・パターン作成時には入力スキューがあっても正常に動作するように次のような対策をあらかじめ行ってください。

(1) フリップフロップなどの順序回路のデータ入力とクロックなどを同時に変化させない

1 パターンずらす

(2) クロック信号 (RZ 信号), 入力ディレイ信号 (NRZ 信号) を使用

入力をずらす

仮に入力スキューが 10 ns, データ-クロック間のセットアップ時間が 5 ns の場合は、次のように 15 ns のディレイ時間が必要になります。

$$\begin{array}{rcccl}
 \boxed{\text{LSI テスタの入力スキュー}} & + & \boxed{\text{セットアップ時間}} & = & \boxed{\text{クロック信号に指定する入力ディレイ時間}} \\
 10 \text{ ns} & + & 5 \text{ ns} & = & 15 \text{ ns}
 \end{array}$$

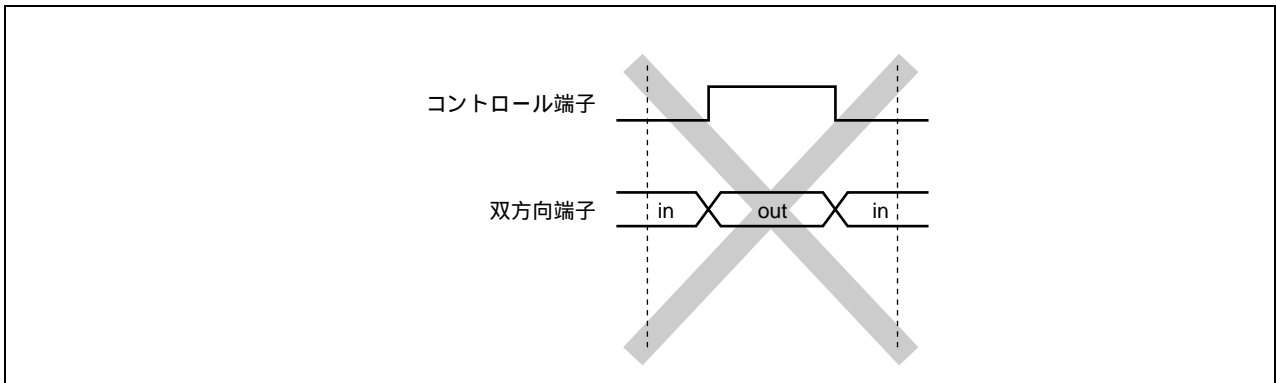
8.3.6 双方向端子の入出力モード切り替えの注意

(1) 双方向端子の入出力モードの切り替えは、原則として基本タイミングで行いますが、DCテスト・パターン、およびファンクション・テスト・パターンに限り、1相のみ入出力切り替えのタイミングをシフトさせることができます。これを、I/Oモジュレーション機能といいます(8.3.7 I/Oモジュレーション機能参照)。

ただし、RZ信号による双方向端子の入出力モードの切り替えはできません

(モードが入力 出力 入力のように1レート内で二度変化してしまうためです。図8-2参照)

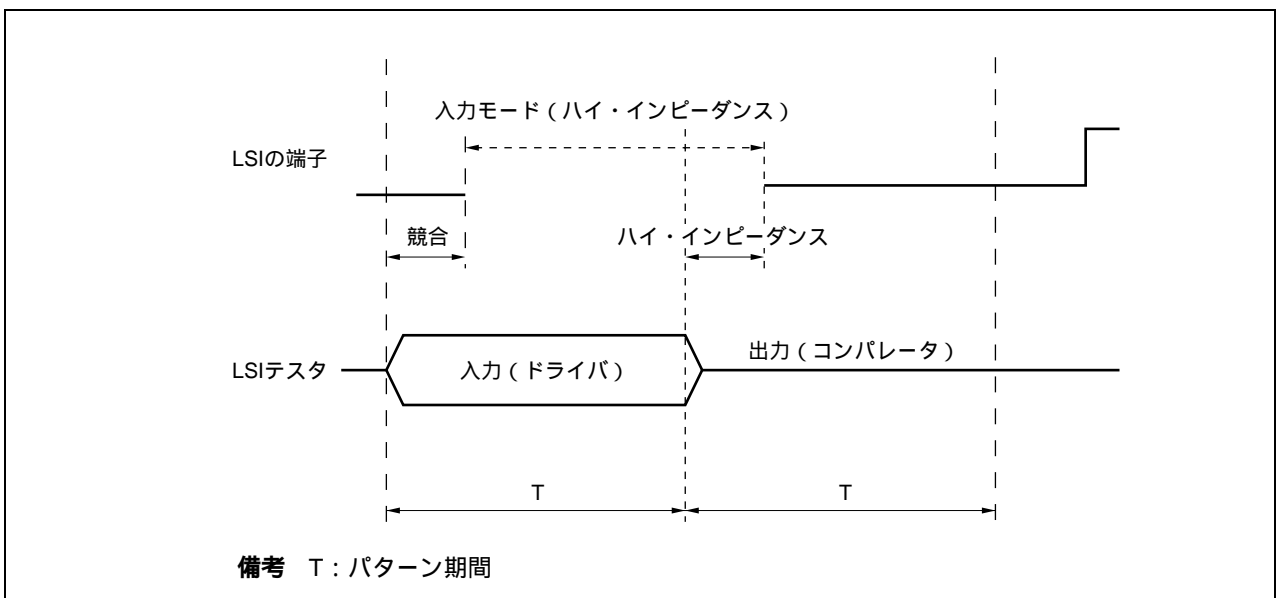
図8-2 双方向端子の切り替えタイミングの悪い例



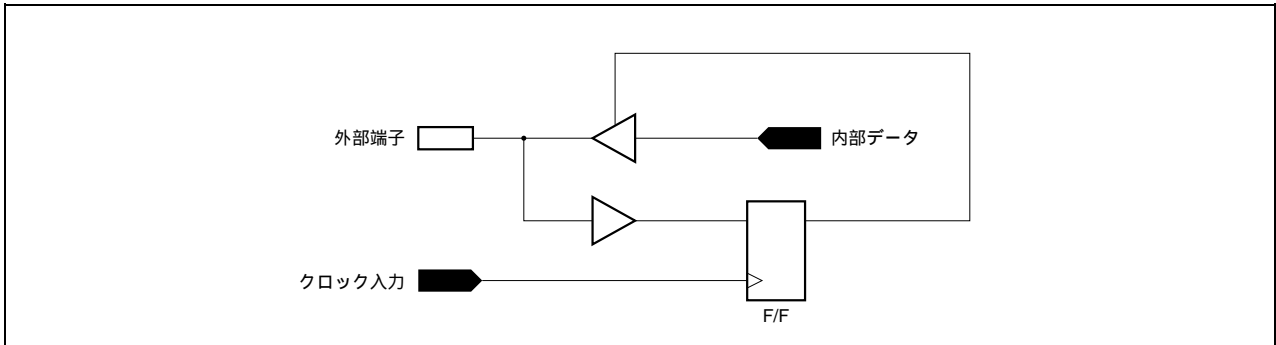
(2) 双方向端子の入出力モードのコントロール端子に入力ディレイをつける場合や、回路内部のイネーブルの遅延により、入出力の切り替えが基本タイミングと異なる場合は、極力入出力の切り替え時に入力と出力の値を一致させてください。これは、製品の出力信号とLSIテストのドライバ(入力)の競合による電流を流さないための処理で、誤動作の原因となる電源電圧の変動などを避けることが目的です。入力と出力の値を一致させられない場合は、20 ns以上の競合が出ないようにしてください(8.3.8 I/O競合参照)。

なお、双方向端子にRZ信号(クロック波形)を入力することは禁止します。

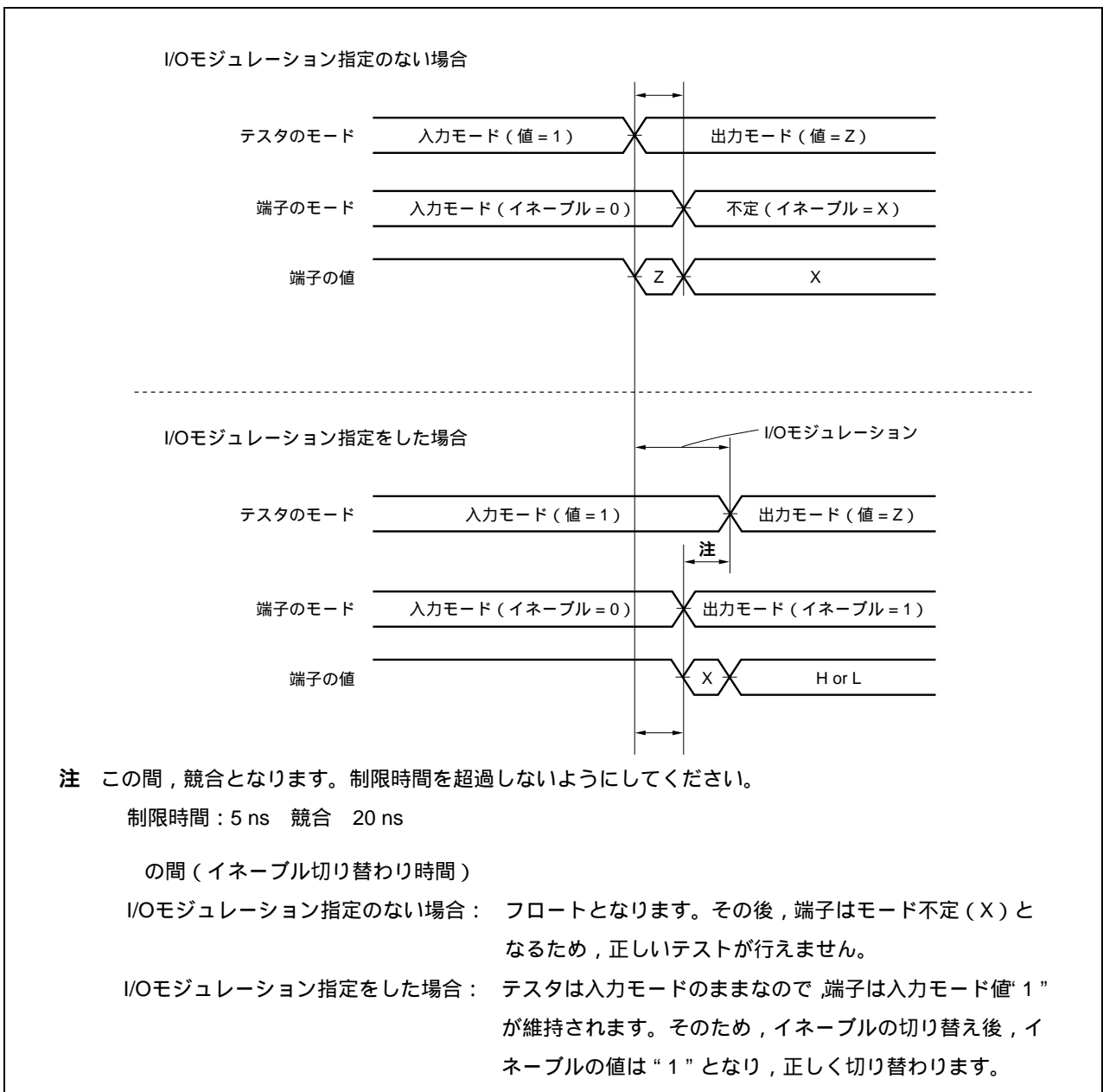
図8-3 入出力切り替え時の競合



(3) PCIバスの回路等，回路の仕様上で入出力モードの切り替えが基本タイミングと異なり，かつ，切り替え前の値を回路内部に取り込んで双方向のモードを切り替えている場合は，I/Oモジュレーション機能を使用してください(8.3.7 I/Oモジュレーション機能参照)。

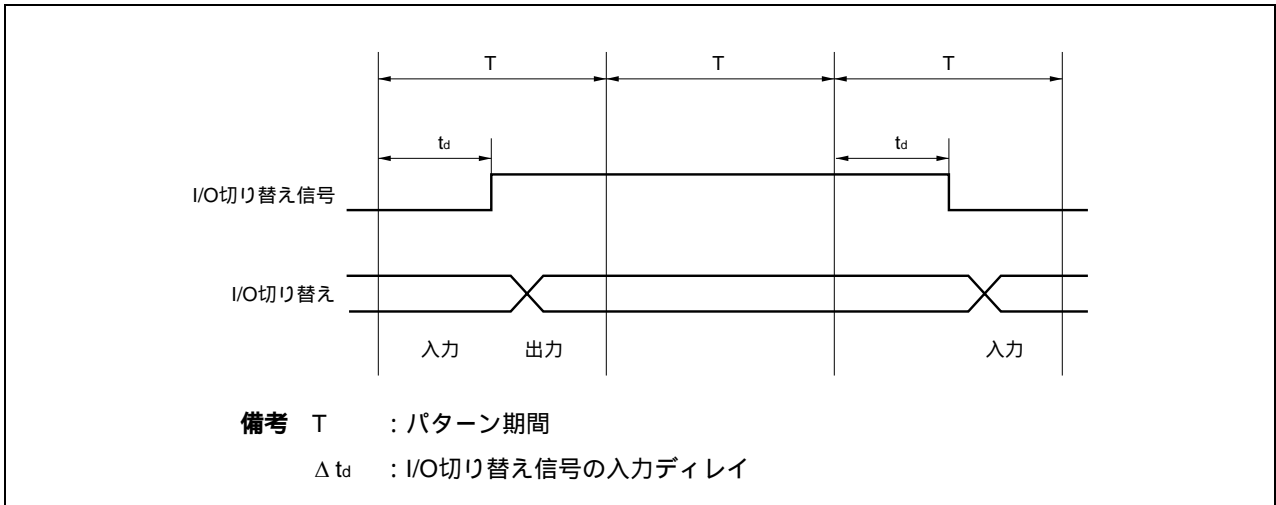


(a) PCI バス回路の I/O モジュレーション対処パターン例



8.3.7 I/O モジュレーション機能

双方向端子の入出力切り替えは、DCテスト・パターン、およびファンクション・テスト・パターンに限り、1相のみシフトさせることができますが、下記の制限があります。

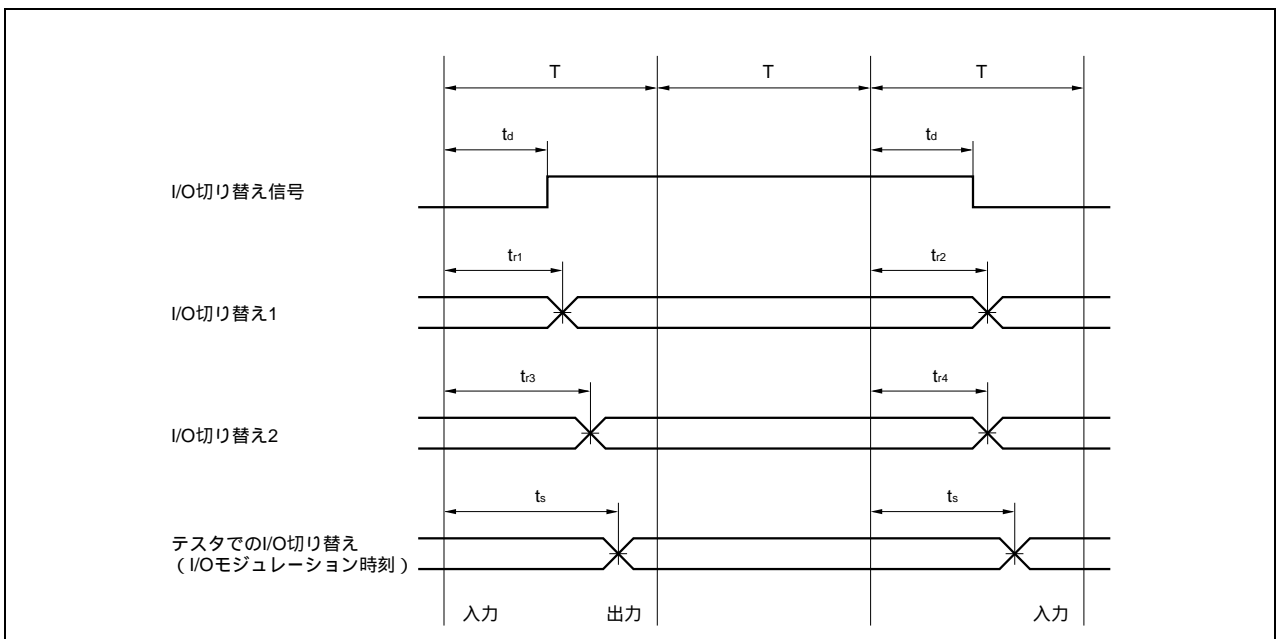


入出力切り替えを基本タイミングからシフトさせる場合、テスト側での入出力切り替え時刻を、I/Oモジュレーションとして設定します。

双方向端子(シミュレーション結果)のI/O切り替え時刻のうち、全端子、全パターンで最も遅い時刻を Δt_{max} 、I/Oモジュレーション時刻を Δt_s として、次の式を満たす必要があります。

$$\Delta t_s \geq \Delta t_{max} + 5 \text{ ns}$$

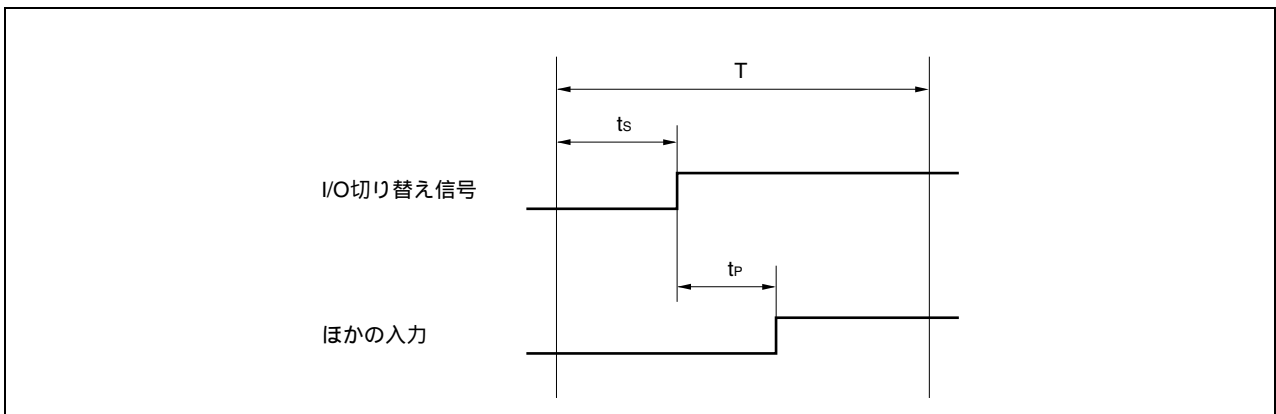
これはPCIバスの回路等、切り替え前の値を回路内部に取り込んで双方のモードを切り替えている場合、端子の入出力モード切り替えが完了するまで外部(LSIテスト)の値を保持する必要があるため、シミュレーション結果よりも、LSIテストのピン間スキューの5 ns分、長くドライブさせる(入出力のモード切り替えを遅らせる)必要があるからです。



- 備考** T : パターン期間
 Δt_d : I/O 切り替え信号の入力遅延
 $\Delta t_{r1} \sim \Delta t_{r4}$: 双方向端子の I/O 切り替え時刻 (図では Δt_{r3} が上式の Δt_{rmax} に相当)
 Δt_s : I/O モジュレーション (テスト側での I/O 切り替え) 時刻

上記の条件を満たしたうえで、さらに下記の制限を守ってください。

項目	I/O モジュレーション (Δt_s)		I/O モジュレーションとほかの入力遅延との間隔 (Δt_p)
	MIN	MAX	MIN
制限値	10 ns	T - 10 ns	10 ns



同一端子に入力遅延 (Δt_d) と I/O モジュレーション (Δt_s) の両方を設定する場合は、

$$\Delta t_s = \Delta t_d \text{ または } \Delta t_s + 10 \text{ ns} \geq \Delta t_d$$

のいずれかを満たす必要があります。

なお、I/O モジュレーション機能を使う場合でも、I/O 競合時間は 20 ns 以内に抑えてください。

また、I/O モジュレーション機能は高速ファンクション・テストでは使用できませんので注意してください。

8.3.8 I/O 競合

双方向端子の入力と出力の値を一致させられない場合は、I/O 競合時間が 20 ns 以下である必要があります。

I/O 競合の判定基準は、次のとおりです。

シミュレーション結果	期待値	
	入力	モード不定
出力 1	0, X	0, X
出力 0	1, X	1, X
出力 X	0, 1, X	0, 1, X, Z

8.3.9 多機能入出力回路のテスト

(1) 発振回路

シミュレータ、LSI テスタ上では発振回路を実際に発振させてテストすることはできません。発振回路は入力端子から疑似的に信号を入力してください。

一方、発振回路の出力はその反転した信号を期待値としてください。

発振回路の入力信号は、クロック信号に相当します。この入力信号とデータ系またはセット、リセット系の外部入力信号を同じタイミングで変化させると、外部競合により安定なテストができませんので、タイミングをずらしてください。

テスト・パターンは発振状態をモデル化したものではありませんので、発振状態のクロック（発振回路の入力信号）と関係するデータ系またはリセット系信号の外部タイミングをテストするものではありません。

(2) オープン・ドレイン出力

出力ディスエーブルの場合は出力期待値は、ハイ・インピーダンス（“Z”）にしてください。

8.4 DC テスト・パターン作成上の注意

基本的にファンクション・テスト・パターンと同一の制限事項になりますが、出荷検査においてテスト・パターンは機能（ファンクション）を検査するのに使用されるだけでなく、各種の直流特性の検査にも使用されます。そのため、次の点に注意してテスト・パターンを作成してください。

DCテスト・パターンは、できるだけ専用のテスト・パターン・セットを準備してください。

DCテスト・パターン長は、150パターン以上としてください。パターン長が32000を越える場合は、0～32000パターン目まででDCテストを行います。

入力端子は、できるだけ2回以上の変化をさせてください（発振停止コントロール端子は除く）。

出力端子は、必ずハイ・レベルとロー・レベルをそれぞれ最低1回以上出力させてください。

3ステート出力バッファの出力端子は、必ずハイ・インピーダンス状態（オフ状態）を出力させてください。

双方向バッファを使用した場合は、必ず入力状態と出力状態が、最低1回以上切り替わるようにしてください。

テスト周期の基本は200 nsですが、回路の遅延時間（動作時間）よりも十分に長い時間を設定してください。

また、出力判定時間（スローブ時間）は必ずその周期の一番最後の時間を設定してください（動作した回路が安定状態になったあとに出力を判定するため）。

入力端子にRZ信号を入力した場合、出力にその信号（RZ信号）がそのまま出力されないようにしてください。

RZ信号が出力される出力端子の出力値は、出力判定時間では常にどちらか一方の値になり、もう一方の値の検査ができません。

内部バスのバス・ファイト、フロートは、禁止とします。

50パターンまでに回路の初期設定を行ってください。

DC測定用パターンでは、IDDqテストを行います。測定パターン選択は自動で行われます。検出率向上のため、できる限り内部回路も動作させてください。

発振ブロックを搭載する場合は、必ず、発振状態にしてください。

発振状態のときのテスト・パターンでは、入力端子（XT1）には通常のクロック・パターンと同様のパターンを入力し、出力端子（XT2）の期待値はその反転としてください。

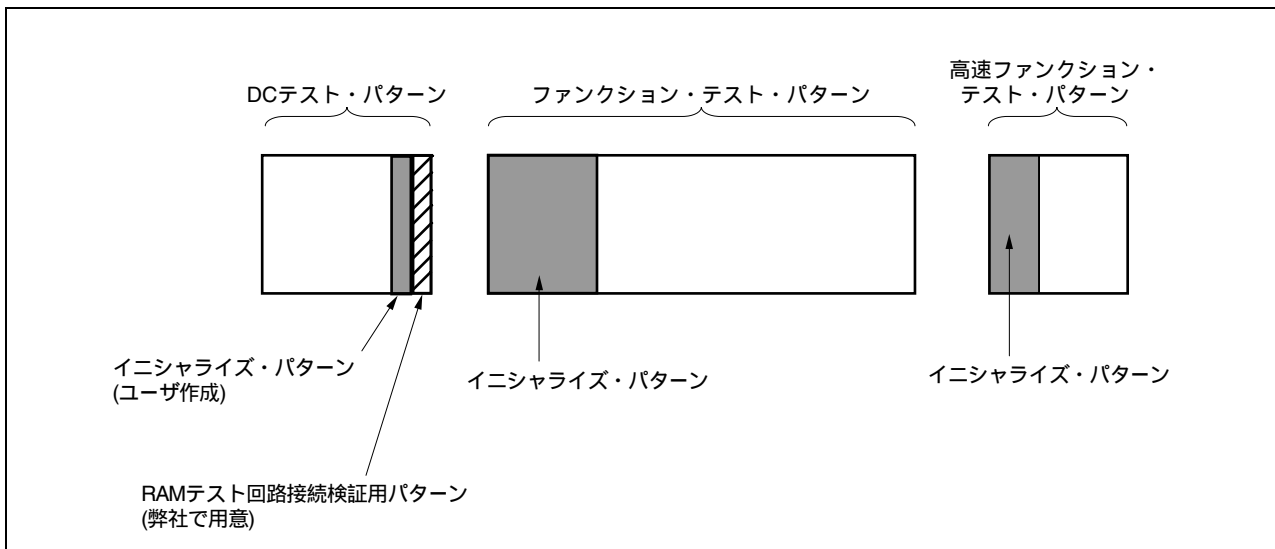
なお、RZ信号（Return to Zero）は、1テスト・パターン（1テスト・レート）内に“0 1 0”、“1 0 1”の変化を持ちます。一方、NRZ信号（No Return to Zero）は1テスト・パターン（1テスト・レート）内に変化が1回しかないものをいいます。

8.5 RAM 搭載時のテスト・パターン

RAM単体のテスト・パターンは弊社で補完します。お客様でのRAM単体テストの考慮は不要です。
ただし、弊社で補完するために次の制約があります。注意してください（詳細は9.9 メモリを参照）。

- (1) RAMテストのためにRAMテスト用端子の追加が必要です（TIN, TEB, TOUT）。
- (2) ロジック回路部とRAMの接続，複数のRAMが存在する場合はそれぞれのRAMの接続については，ユーザのテスト・パターンでテストしてください。
- (3) 各ユーザ・パターンにおいて，TEB端子は必ずユーザ・モード（ハイ）にしてください。

図8-4 テスト・パターン例



8.6 ユーザ・ロジック分離テスト用テスト・パターン

- CPU, CPU周辺マクロ搭載時でユーザ・ロジック機能部分がある場合に必要。
- ユーザ・ロジック部分をほかのコア（CPUおよび，CPU周辺）から分離して，動作確認をするためのテスト・パターンです。
- ROMマクロ，または，RAMマクロを搭載されている場合は，このテスト・パターン中にアクセスするテスト・パターンを盛り込んでください。

CPU, CPU周辺のコアについては，ユーザ・ロジック分離シミュレーション時に，通常，ダミー・モデル[※]が使用されるため，アクセスはできませんので注意してください。

注 シミュレーション時にダミー・モデルとフル・ファンクション・モデルの選択が可能です。

ユーザ・マクロ・シミュレーションを指定するとダミー・マクロが選択されます。ダミー・マクロとは，マクロ本来の動作モデルではなく，マクロの入力／出力の接続確認用に作成した簡易モデルのことです。

- このテスト・パターンは，出荷検査に使用します。

8.7 コア分離テスト回路確認用テスト・パターン

(1) ROM マクロ・コード・データ読み出し用テスト・パターン

- ROM マクロ搭載時のみ必要。
- ROM マクロを分離テスト・モードにし、全 ROM コードを直接読み出し、内容を確認するためのテスト・パターンです。
- このテスト・パターンは、出荷検査に使用します。

(2) RAM 搭載時のテスト・パターン

RAM 単体のテスト・パターンは弊社で補完します。ユーザでの RAM 単体テストの考慮は不要です。ただし、弊社で補完するために次の制約があります。注意してください（詳細は 9.9 メモリを参照）。

- RAM テストのために RAM テスト用端子の追加が必要です（TIN, TEB, TOUT）。
- 各テスト・パターンの 1 パターン目において、TEB 端子は必ずユーザ・モード（ハイ）にしてください。
- RAM テスト回路の接続検証用のテスト・パターン（8 パターン）を DC 検査用のテスト・パターンの最後に入れ、テスト回路の接続が正しいことを確認してください。
- ロジック回路部と RAM の接続、複数の RAM が存在する場合はそれぞれの RAM の接続についてはユーザのテスト・パターンでテストしてください。
- BIST 回路とテスト・バスを併用する場合は、弊社までご相談ください。

(3) CPU または、CPU 周辺マクロ分離テスト回路確認用テスト・パターン

- CPU または、CPU 周辺マクロ搭載時に必要。
- シミュレーション時に、CPU または、CPU 周辺マクロのダミー・モデル^注を選択し、各マクロごとに分離テスト・モードにして、弊社で準備している分離テスト確認用テスト・パターンでシミュレーションを行い、エラーがないことを確認します。
テスト・モード設定条件と、テスト・モード時におけるコア端子と外部端子との対応情報を弊社に提出していただきます。

注 シミュレーション時にダミー・モデルとフル・ファンクション・モデルの選択が可能です。ダミー・マクロとは、マクロ本来の動作モデルではなく、マクロの入力/出力の接続確認用に作成した簡易モデルのことです。トータル・チップ・シミュレーション以外は、通常、このモデルを使用します。

- このテスト・パターンは、コアのテスト用分離回路を効率良く接続確認するためのものです。
確認用として、このテスト回路確認用シミュレーション・パターンとシミュレーション実行 LOG を弊社まで提出してください。また、出荷検査時は、弊社の標準品と同等のファンクション・テスト・パターンで動作を確認します。

8.8 トータル・チップ・シミュレーション用テスト・パターン

(1) CPU を含まない場合、またはアセンブラ・プログラムでCPUを動作させるシミュレーションを行わない場合

- チップ全体を活性化（実動作モード）して、機能検証を行うためのテスト・パターンです。
CPU 周辺マクロなどを含む場合は、コアとユーザ・ロジックとの相互接続確認を目的に作成してください。
- このテスト・パターンは、出荷検査に使用します。

(2) アセンブラ・プログラムでCPUを動作させるトータル・チップ・シミュレーションを行う場合

CPU を含むトータル・チップ・シミュレーションは、機能検証用に行う必要はありますが、テスト・パターンの作成上、入力パターン競合を完全に避けることが難しいため、LSI テスタへ反映するかどうかについては、お客様の判断となります。

テスタに反映させる場合は、パターン競合の対策が完全にできず、テスタ上でのタイミング調整が必要となるなどの理由で、このテスト・パターンのみ適用時期が遅れる場合があります。この間、タイミング調整のために必要な情報の提供にご協力ください。

コア部分は、弊社で準備したテスト・パターンでテストすることにより、動作を保証しています。ユーザ・ロジック部分はユーザ・ロジック・シミュレーションにて検証できますので、これらで十分なテストビリティを確保されている場合は、必ずしもテスタに反映する必要はありません。

[テスタへ反映させる場合のテスト・パターン]

- チップ全体を活性化（実動作モード）した状態で、マクロ間および、マクロとユーザ・ロジック間の接続確認だけを目的とするテスト・パターンです。
- 次の手順でテスト・パターンを作成してください。

<1> ゲートアレイのチップ回路図の外に、付加した ROM, RAM を使用し、アセンブラ・プログラムにてシミュレーションを行います。

<2> ゲートアレイのチップ回路図の切り口でのテスト・パターンを抽出し、スキュー調整などを行います。そして入力パターン競合を避けたテスト・パターンにし、再度ゲートアレイ単体についてシミュレーションを行います。ここで、取りきれしていないパターン競合を除去し、そのテスト・パターンを弊社へ提出していただきます。

インタフェース用のトータル・チップ・シミュレーション・パターンの作成フローを図 8-5 に示します。

• パターン競合が含まれる原因と対策

ゲートアレイのチップ切り口のテスト・パターン抽出時に、細かいスキュー・タイミングは、正規化されるため、パターン競合となる可能性が高くなります。この対策として、テスタでの設定制限を考慮したスキューを設定する必要があります。このときの入力スキューなどの設定制限は、8.3 ファンクション・テスト用テスト・パターン作成上の注意を参照してください。

[参考] トータル・チップ・シミュレーションにおける外付けメモリ使用時において、ゲートアレイの切り口のテスト・パターンにしたときにパターン競合を起こす可能性の高い信号を参考にします。

- メモリ・リード時のメモリ・アドレス, CSB, OEB 信号とリード・データ入力

リード・データにスキューを与えて対策可能です。

外付けメモリと内部メモリを同一モデル使用のためアクセス・タイムが速すぎることによるものです。

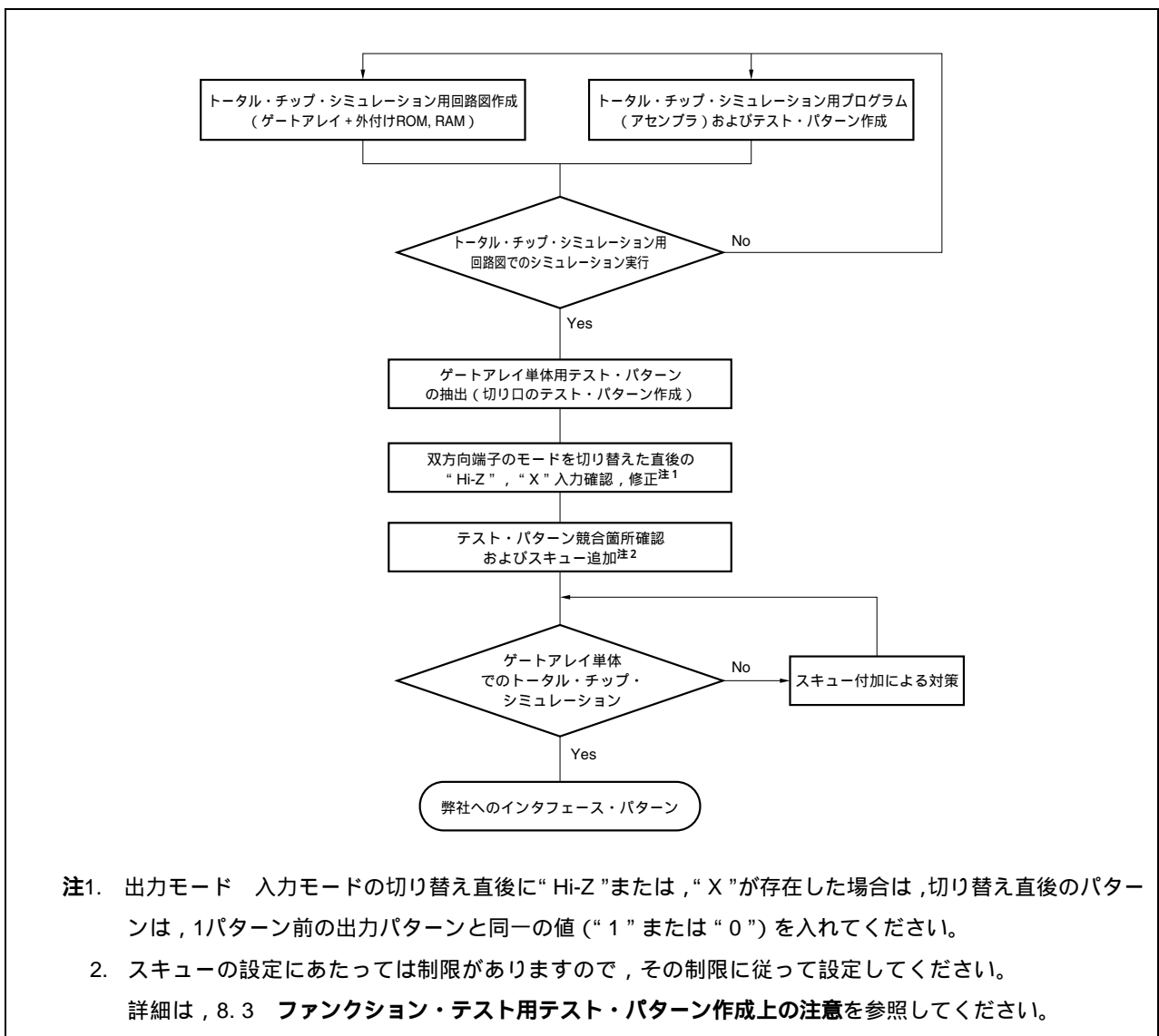
- クロックとデータとの競合回避とテスト・パターン数削減のため、クロック信号については, RZ 信号を使用することを推奨します。

[機能検証シミュレーションにのみ用いる場合]

チップ全体を活性化(実動作モード)して機能検証を行うためのテスト・パターンです。

アセンブラ・プログラムを用いてシミュレーションを行います。テストへは反映しないので、ゲートアレイ単体に対するシミュレーションで入力パターン競合を確認する必要はありません。

図8-5 トータル・チップ・シミュレーション・パターン作成フロー



注1. 出力モード 入力モードの切り替え直後に“Hi-Z”または, “X”が存在した場合は, 切り替え直後のパターンは, 1パターン前の出力パターンと同一の値 (“1” または “0”) を入れてください。

2. スキューの設定にあたっては制限がありますので, その制限に従って設定してください。

詳細は, 8.3 ファンクション・テスト用テスト・パターン作成上の注意を参照してください。

8.9 高速ファンクション・テスト（リアルタイム・テスト）

設計した回路をシミュレーションにより実使用動作周波数でチェックすることは、実物の動作を事前に確認できることになり、非常に有益な手法です。この手法を導入することで設計者が設計時に見落としていた実動作時の回路のタイミング上の不具合を検証することができます。

製品の出荷検査においては、LSIテストの性能により必ずしも実使用と同じ状態を再現することはできませんが、高速ファンクションではある程度実使用に近い状態を実現できます。

次に、高速ファンクション・テストの制限事項を示しますので、この制限内でテスト・パターン設計をしてください。

8.9.1 テスト・パターン長制限

1本あたりのテスト・パターン長は、最大で32000パターンにしてください。

8.9.2 テスト周期（テスト・レート）

1パターンの周期を表します。

現在、弊社での、一般的な高速ファンクション・テストのテスト周期の制限は次のようになっています。

テスト周期：50 ns以上

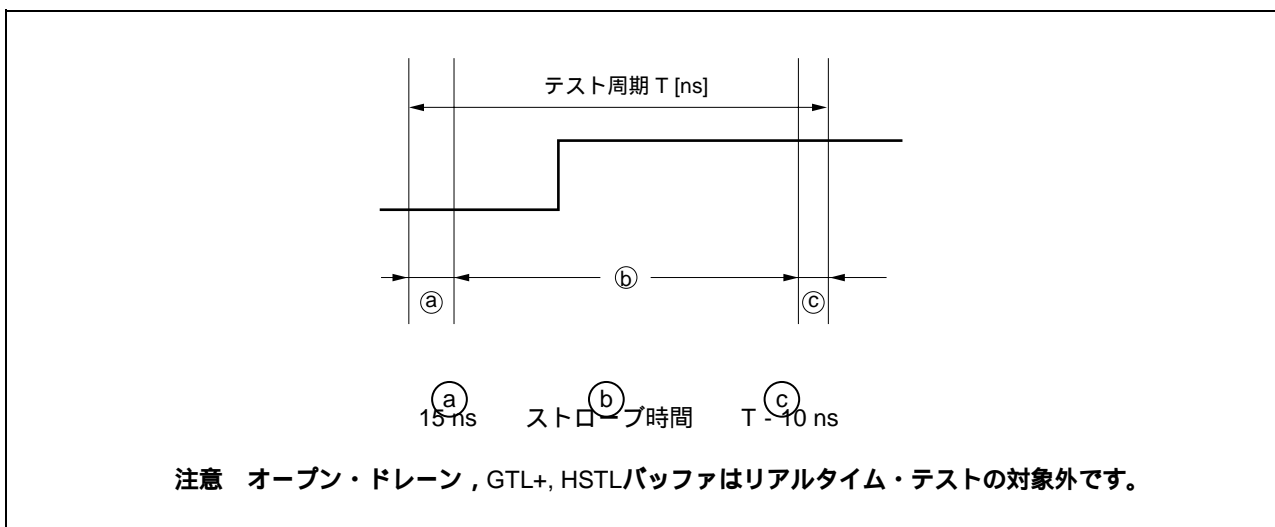
8.9.3 出力判定時間（ストロブ時間）

出力判定時間（ストロブ時間）は、製品の出力値をテスト・パターン上の期待値と照合する時間を表します。現在、弊社では、この時間は2箇所まで指定できます。ただし、1端子については1箇所のみです。

3箇所以上、あるいは1端子に複数の出力判定時間（ストロブ時間）を設定される場合は、テスト・パターンを別にして行ってください。

基本タイミングの切り替わりから頭15 ns、終わり10 nsはストロブ設定禁止期間です。

図8-6 ストロブ時間



8.9.4 高速ファンクション・テスト時の注意

高速ファンクション・テストを実行するには次の条件でMIN/MAXシミュレーションを行い、両シミュレーションの結果が一致することが必要です。

なお、このシミュレーションは配置配線前と配置配線後で確認してください。

また、I/Oモジュールは使用できませんので注意してください。

配置配線後の遅延データ（パス・ディレイ・ファイル）を弊社にご要求ください。

このとき、シミュレーション時に用いる出力端子の負荷容量データ・ファイル（DIF FILE）が必要ですので弊社にご提出ください。

DIF ファイルのフォーマットについては、付録 C ALBATROSS、DIF ファイル・フォーマットを参照してください。

このシミュレーションでの目的は、LSIテストで検査を行う場合に不具合発生の可能性を検出するためのものです。そのため、実使用と異なる条件を設定する場合があります。

各相の入力信号の時間条件の設定、出力判定時間（ストロブ時間）の設定、テスト周期（テスト・レート）の設定は、[高速ファンクション・テスト指示書] にて指定してください。

MAXシミュレーション条件

テスト周期（T）：お客様指定値

負荷容量値（CL）：双方向端子 125 pF LSIテストでの負荷容量のMAX値
出力端子 90 pF

ストロブ時間：ストロブ時間のスキューを - 5 nsと仮定し、指定値 - 5 nsと設定してください。

MINシミュレーション条件

テスト周期（T）：お客様指定値

負荷容量値（CL）：60 pF LSIテストでの負荷容量のMIN値

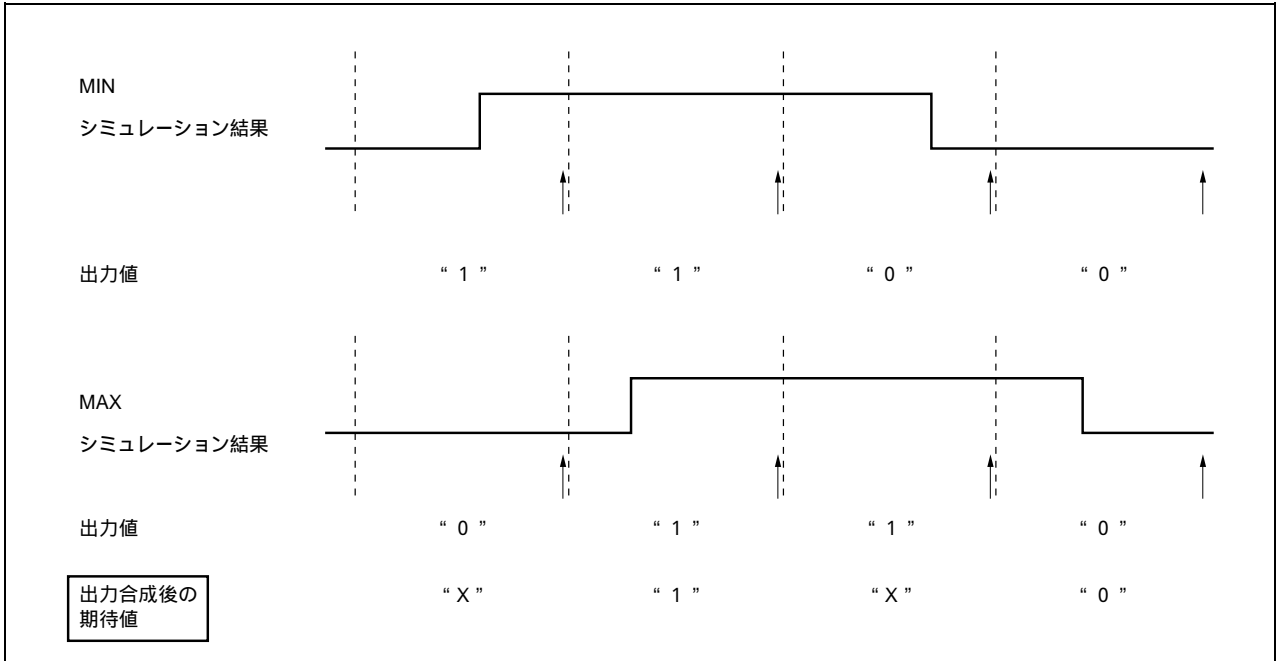
ストロブ時間：ストロブ時間のスキューを + 5 nsと仮定し、指定値 + 5 nsと設定してください。

図8-7のようにリアルタイム・シミュレーションにおいてシミュレーション結果が、1パターン内で収束せずに次のパターンになって出力が変化する場合があります。

シミュレーション結果がMAXシミュレーションとMINシミュレーションで異なる場合は、次のように処置してください。

- 2つのシミュレーション結果で異なるテスト・パターンの出力期待値を“ X ”(Don't care) に書き直す。
テスト・パターンの合成（図8-7参照）
- または、実際にシステムとして検査が必要なタイミングのみを期待値として入れる。

図8-7 リアルタイム・シミュレーション結果例



8.10 テスタビリティ（故障検出率）

8.10.1 テスタビリティ（故障検出率）への考慮

故障シミュレーションとは、ASICを開発するときのテスタビリティ（故障検出率）の検証をする方法の1つです。つまり、論理回路の機能試験用に作成したテスト・パターンの有効性を診断し、そのテスト・パターンでは未検出となる故障を検出します。

ASIC開発ではさまざまな故障が起きる可能性があります、大きく動的故障と静的故障に分類されます。

動的故障とは、作成した回路の一部の遅延回路が長すぎたり、スパイクが発生したり、タイミング条件を守ることができないために起きる誤動作のことを指し、その原因は動作環境や設計ミスなどが挙げられます。

これに対し静的故障とは、配線ショートや未配線など、チップ上の物理的な故障を指し、ほとんどの場合、その原因は製造工程にあります。論理シミュレーションでは、作成した回路の機能やタイミングについての検証は行いますが、実際に製造されるチップの静的故障を検出するためのテスト・パターンの試験効率を検証することはありません。そこで、静的故障を回路に定義し、テスト・パターンを入力して製造したASICの出力端子から故障を確実に検出できるかを検証するのが故障シミュレーションです。

故障シミュレーションの目的は、作成した回路のファンクション・ブロックの境界に定義した故障を、テスト・パターンがどれだけ効率よく検出できるかを検証することです。このテスト・パターンの試験効率を表したものを「テスタビリティ（故障検出率）」と呼び、回路内に定義した故障をテスト・パターンがどれだけ検出できるかを数値（百分率）で表しています。

$$\begin{aligned} \text{テスタビリティ} &= \frac{\text{与えられた検査入力パターンで検出できる故障数}}{\text{テスト対象回路の中の故障総数}} \times 100 (\%) \\ \text{(故障検出率)} & \end{aligned}$$

もしも、テスタビリティ（故障検出率）が低いと、LSIのテストが十分に行えないために不良品が良品として出荷されることが考えられます。

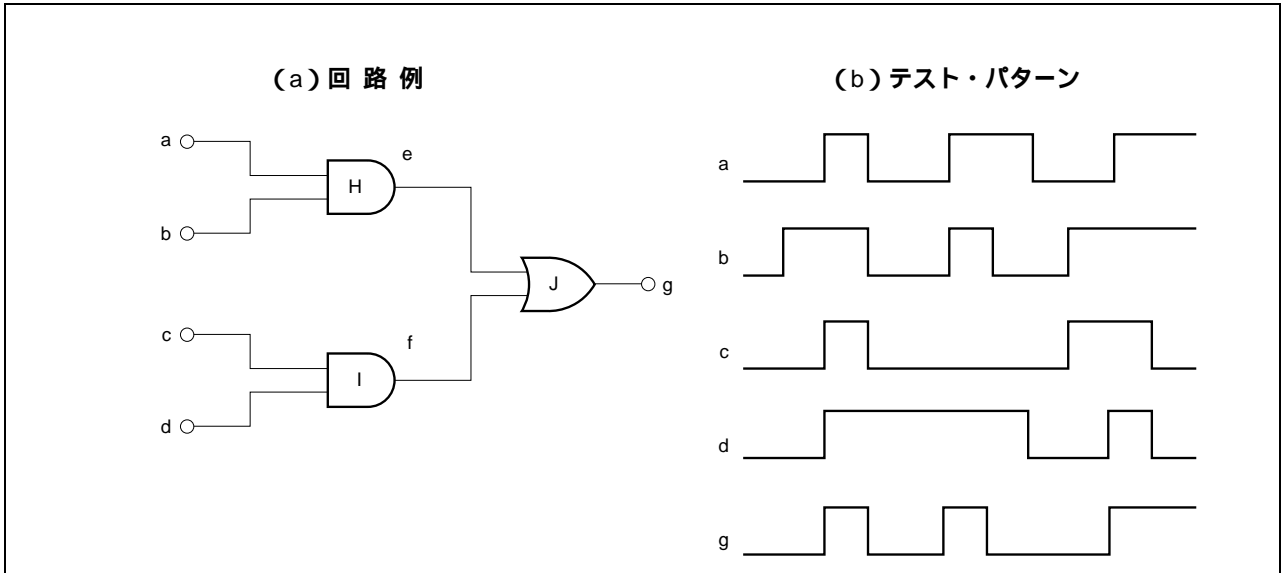
弊社としては、製品としての良品性を上げるためにも、故障検出率を、極力、90 %以上にすることを勧めします。

テスタビリティ（故障検出率）を向上させるためには、回路設計の段階でテスト回路を設けてテスト効率を向上させる、スキャンパス・テスト法の採用などの配慮が効果的です。

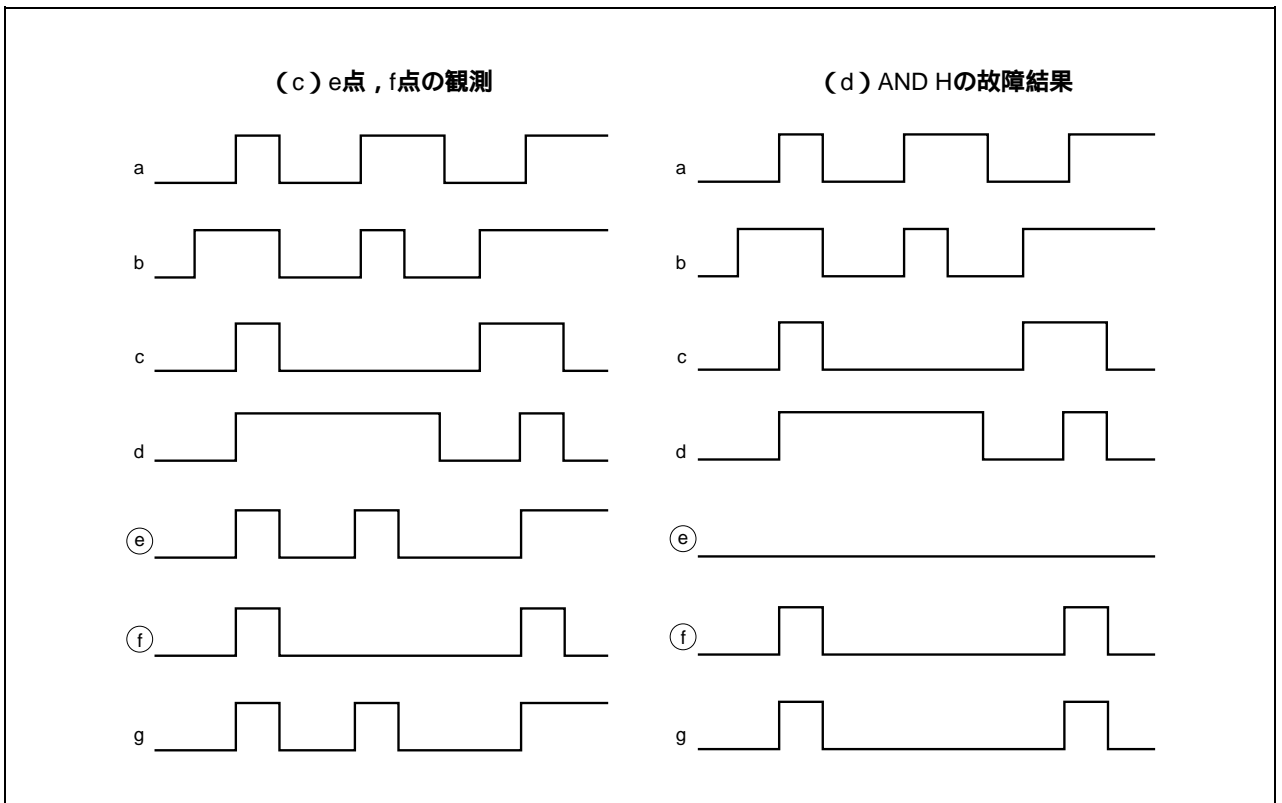
8.10.2 故障シミュレーションの原理

故障シミュレーションは、一般的に論理機能を検査する論理シミュレーションと同じアルゴリズムで動作します。ただし、故障シミュレーションは実行するにあたり回路に故障設定をすることができます。図8-8に故障シミュレーションの例を示します。

図8-8 故障シミュレーションの概念 (1/2)



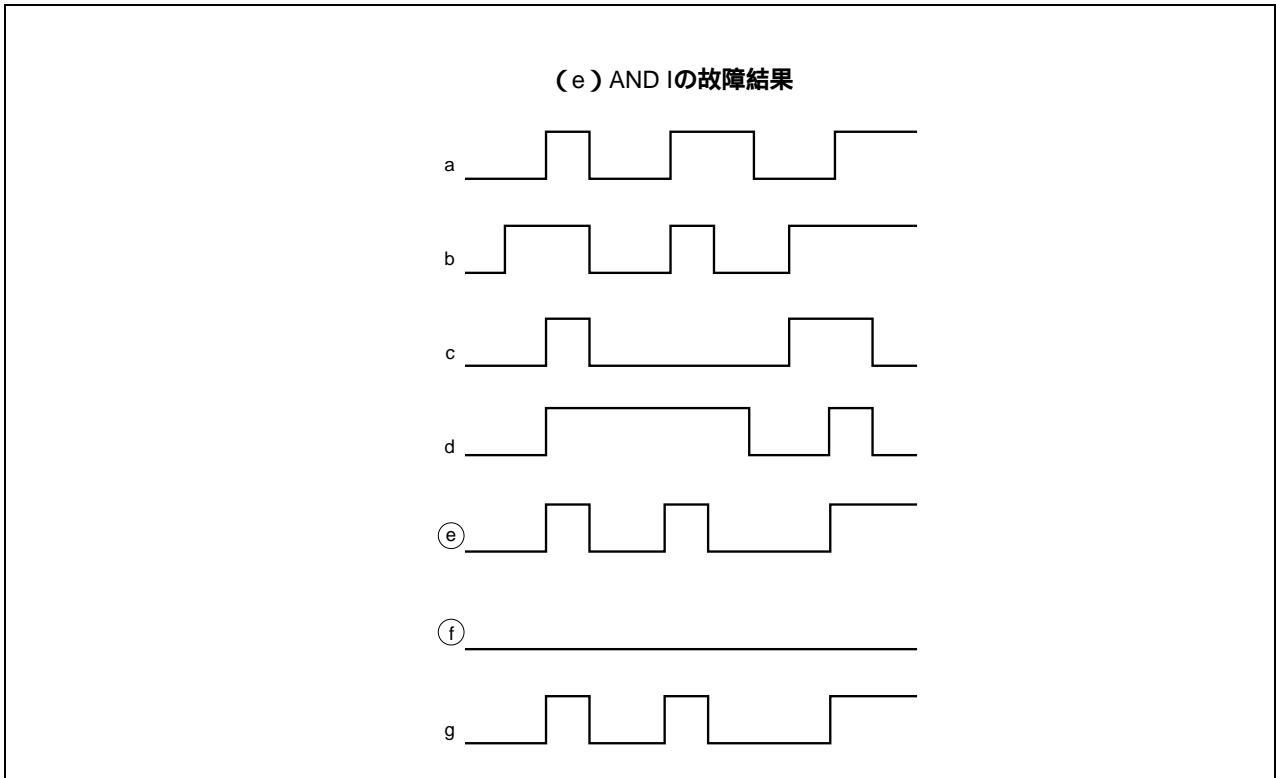
ここで、もし、この回路に故障があり、2入力ANDゲートHの出力が常にロー・レベルになると仮定します。この場合、(c)と同じ入力信号を入れると出力gの結果が異なるものになることがわかります((c),(d)参照)。したがって、このテスト・パターンでこの故障を検出できることがわかります。



では、2入力ANDゲートIの出力が常にロー・レベルになるという故障ではどうでしょうか？

(e)に示すようにこの入力信号(テスト・パターン)では,(c)のテスト・パターンと同じになり、この故障の発見に対して有効でないことがわかります。

図8-8 故障シミュレーションの概念(2/2)



故障シミュレーションは、このような故障を内部回路に対して次々と定義してシミュレーションを行うことにより、定義した故障が出力端子において検出できるかどうかを調べるものです。

なお、一般に故障シミュレーションで定義できる故障の種類は単一縮退故障と言われるものです。

単一縮退故障とは、次に示す2種類の故障を回路に定義するものです。

- stuck-at-1 ある部分がハイ・レベル(“1”)固定の故障
- stuck-at-0 ある部分がロー・レベル(“0”)固定の故障

第9章 多機能ブロック

EP-1シリーズでは、通常のファンクション・ブロック以外にも以下の多機能ブロックを用意しています。ここでは各多機能ブロックについて機能と使用方法を説明します。

- LVTTTL, 5 V耐圧ブロック, 5 Vフルスイング・バッファ
- プルアップ/プルダウン抵抗内蔵バッファ
- クロック・ドライバ
- GTL+
- デジタルPLL
- メモリ・ブロック
- コンパイルド・メモリ
- メガマクロ

9.1 LVTTTL, 5 V耐圧ブロック, 5 Vフルスイング・バッファ

EP-1シリーズでは次のインタフェース・バッファを用意しています。

ここでは、各バッファの特徴を述べます。各バッファの名称については弊社にご確認ください。

入力バッファ

- LVTTTL入力バッファ
- LVTTTL入力バッファ (fail safe機能付き)
- 5 V耐圧入力バッファ
- 5 Vフルスイング入力バッファ

出力バッファ

- LVTTTL出力バッファ
- TTL 5 V耐圧出力バッファ
- CMOS用5 V耐圧出力バッファ
- 5 Vフルスイング出力バッファ

18mA/24mAバッファを使用する場合は、ローノイズタイプをご使用ください。

9.1.1 入力バッファ

LVTTL入力バッファは3.3 Vの信号を受けるためのブロックで、5 V電源のTTL信号の受信はできません。5 V電源のTTL信号は、5 V耐圧入力バッファで受けます。この5 V耐圧入力バッファは、LVTTL信号も受信できます。このため、入力特性 (V_{IL} , V_{IH}) は、LVTTLの規格になりますので注意してください。

通常の入力バッファは、保護ダイオードが着いています。そのため、電源がオフされている状態で、入力電圧を印加するとリーク電流が発生し、故障の原因となります。Fail safe機能付きLVTTL入力バッファは、電源電圧がオフになっている場合にも、入力電圧を印加できるようにしたブロックです。このため静電耐圧が満足すれば、活線挿抜用にも使用できます。

図9 - 1 LVTTL入力、5 V耐圧入力バッファの等価回路図

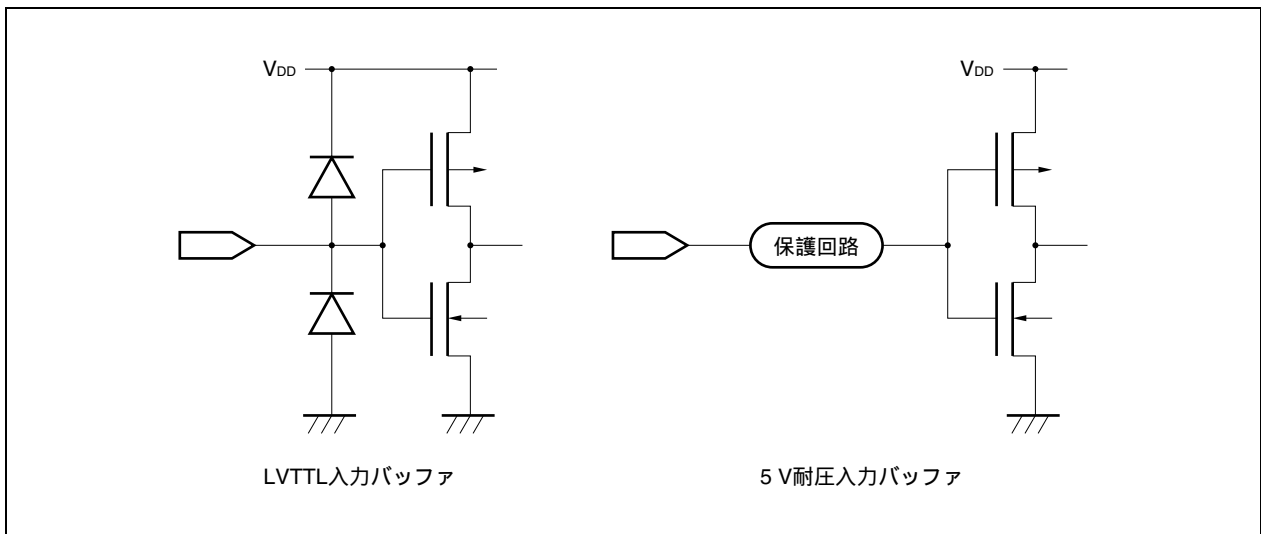
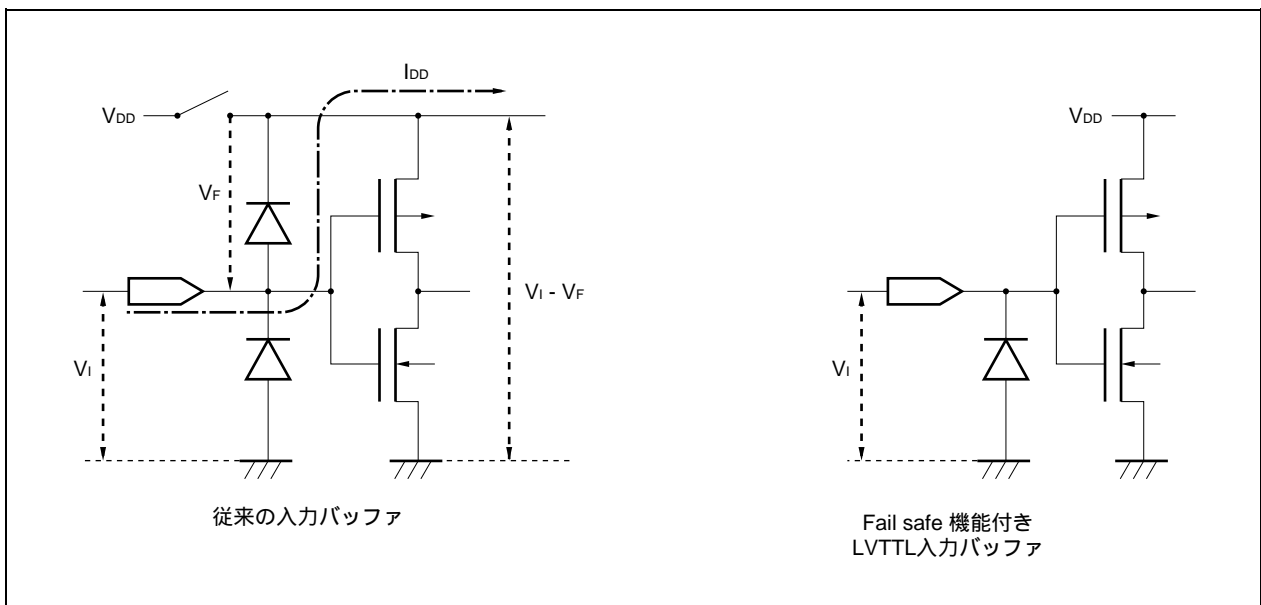


図9 - 2 Fail safe機能付きLVTTL入力バッファの等価回路図



9.1.2 出力バッファ

EP-1シリーズでは、LVTTTL出力バッファのほかにTTL 5 V耐圧出力ブロックと5Vフルスイングバッファを用意しています。

TTL 5 V耐圧出力バッファ

次段のLSIがTTL/LVTTTLバッファの場合に使用します。出力レベルではLVTTTL出力バッファでも対応できますが、5 Vラインとの接続が必要な場合を考慮して5 Vの保護回路を含んでいます。このバッファは、5 Vプルアップが可能です。

ただし、TTL 5 V耐圧出力バッファは、5 Vプルアップにおいてゲートアレイへの流れ込み電流が若干あります。このため、プルアップ抵抗値によっては出力信号が5 Vまで上がらない場合もありますので、 $I_R \times R_{PU}$ だけの電圧降下を見込んでください（5.1.2 出力流れ込み電流（ I_R ）参照）。

また、3ステート出力バッファと双方向バッファでは、出力がオフステート（HiZ）になった場合に、5 V電圧の保護回路のバイアス電圧によりオフステート電流が多少増加します。

5 Vフルスイング出力バッファ

CMOS 5 V出力バッファとTTL出力バッファの2種類があります。それぞれ5 V TTL、5 V CMOSレベルのLSIに接続できます。

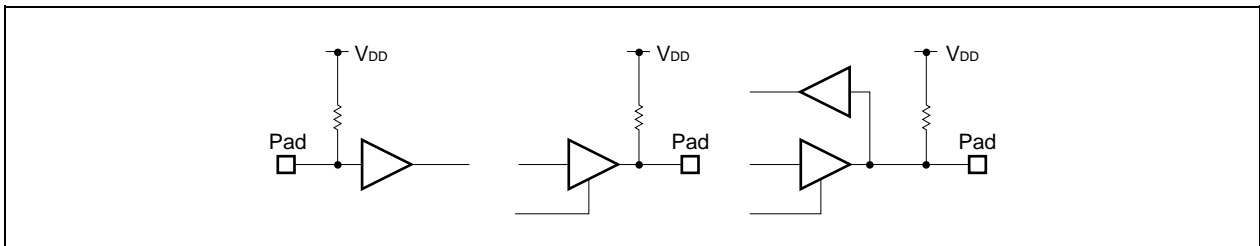
これらのバッファを使用する場合は、LSIに5 V電源を加える必要があります。

9.2 プルアップ / プルダウン抵抗内蔵の入力 / 出力 / 双方向バッファ

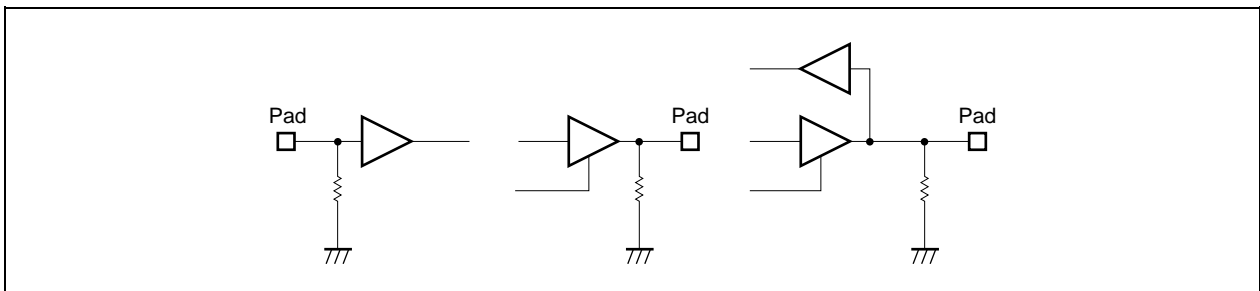
EP-1シリーズには、入力バッファ、シュミット入力バッファ、3ステート出力バッファ、P-chオープン・ドレイン出力バッファ、N-chオープン・ドレイン出力バッファ、双方向バッファ、シュミット入力双方向バッファ、プルアップ / プルダウン抵抗を内蔵した入出力ブロックを用意してあります。これらを利用することにより、システムをよりコンパクト化することができます。

個々のブロック名は、CMOS-9HD Family, EA-9HD Family Block Library (A13052J) を参照してください。

プルアップ抵抗



プルダウン抵抗



なお、シミュレーションではプルアップ/プルダウン抵抗内蔵の入力バッファ、双方向バッファの入力端子に不定(X)やハイ・インピーダンス(Z)を入力することはできません。

またプルアップ/プルダウン抵抗内蔵の3ステート出力バッファや双方向バッファの出力端子がアクティブでないときの出力期待値は、ハイ・インピーダンス(Z)またはDon't careとしてください。

9.3 クロック入力ドライバ(参考)

以下は、EA-9HDシリーズの局所的なクロック分配用途の手法として紹介します。通常は、クロック・ラインに接続した全フリップフロップ間のクロック・スキューを考慮したクロック・ツリー・シンセシスを推奨します(詳細は、6.4 クロック・ラインの設計を参照してください)。

LSIの外部から入力されるクロック信号は、同じ信号をLSI内部の多数のフリップフロップなどに供給する必要があり、使用されるブロックには次の項目が要求されます。

- (1) 高駆動能力(ファンアウト)
- (2) 高速動作

そこでEP-1シリーズではこの要求を満足するように、表9-1に示す専用内部ブロックを用意しています。これらクロック入力ドライバ専用ブロックには、次の特徴があります。

- (1) ファンアウト能力：出力端子につき82~83
- (2) 伝達遅延時間のファンアウト依存性が低い

ただし、クロック入力ドライバ専用ブロックは1ブロック当たりの配線数が非常に多くなりますので、LSI内部での使用数はブロックの種類によらず1個のみとします。

表9-1 クロック入力ドライバ専用ブロック一覧の制限を越えての使用については、あらかじめ弊社までご相談ください。

表9-1 クロック入力ドライバ専用ブロック一覧

ブロック名	許容ファンアウト数	使用セル数
FIB1	664	56
FDB1	664	56
FUB1	664	56
FWB1	664	56
FIH1	656	56
FDH1	656	56
FIG1	664	56
FDG1	664	56

9.4 発振回路

9.4.1 発振回路の構成方法

発振回路を構成するために発振専用ブロックを用意しています。発振専用ブロックはフィードバック抵抗外付けタイプ、フィードバック抵抗内蔵タイプ、発振停止機能付きタイプの3種類です。これらのブロックを使用して、外部端子に発振子とコンデンサ、制限抵抗などを接続するだけで発振回路を構成することができます。ただし、発振専用ブロックの搭載数は2個までです。2個搭載する場合は干渉を避けるため対極に置き、それぞれのクロックでそれぞれの回路が動作するように設計してください。また、発振専用ブロックは3個以上使えません。なお、複数搭載の必要がある場合は弊社に相談してください。

発振回路の推奨発振周波数範囲と構成するブロックの組み合わせを表9-2に示します。

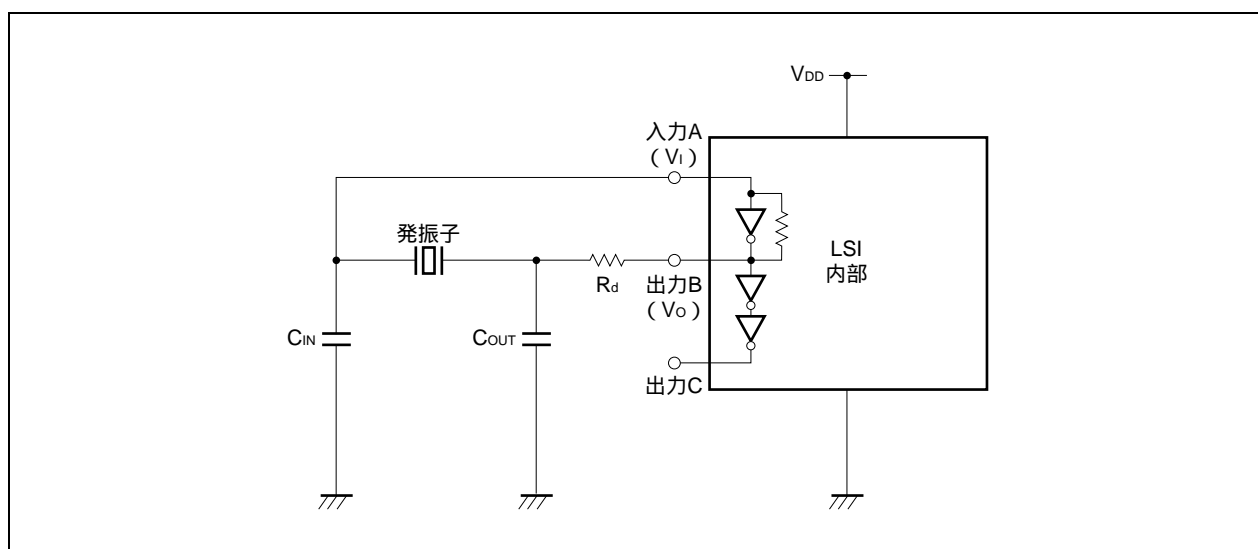
発振ブロックの配置可能位置については、第11章 **パッケージ**を参照してください。また、停止機能付き発振ブロックを使用するときは、外部より停止コントロールをしてください。なお、停止コントロール端子の配置制限はありませんが、極力発振ブロックの近くに配置してください。ただし、発振ブロック（OSBx）の場合は、9.4.3 **発振ブロック（OSBx）の注意事項**を参照してください。

表9-2 推奨発振周波数範囲と組み合わせ構成

フィードバック抵抗		停止機能	組み合わせ構成		周波数	配置位置
			入力	出力		
外付け	1 MΩ	なし	OSI1	OSO9	MHz 帯	任意
内蔵		なし	OSI1	OSO1	MHz 帯	固定
			OSI1	OSO3 (旧 OSO0)		
		あり	OSI2	OSO7		
		あり	OSBx		kHz ~ MHz 帯	

注 制約については、9.4.3 **発振ブロック（OSBx）の注意事項**を参照してください。

図9-3 発振回路の構成例



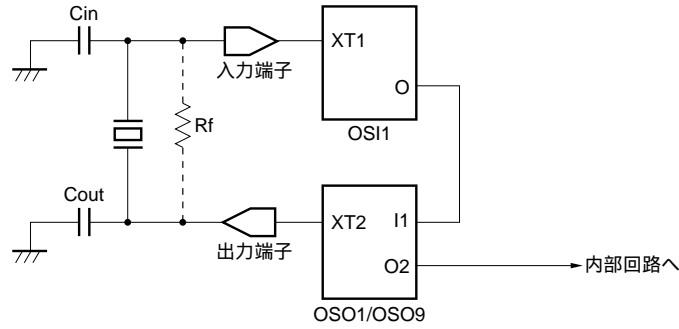
備考 コンデンサ C_{IN} , C_{OUT} , 制限抵抗 R_d , 消費電流を決定する際は、評価用サンプル（ESまたはCS）による評価が必要です。

9.4.2 発振回路の記述方法

発振回路を使用する場合は次のように記述します。

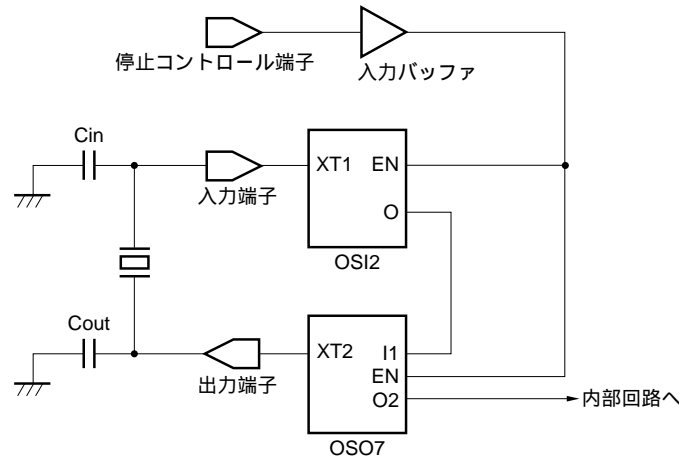
図9-4 発振回路構成 (1/3)

(a) OSI1+OSO1, OSI1+OSO9



備考 OSO9使用時は, 1 MΩ程度の外付けフィードバック抵抗Rfが必要となります。

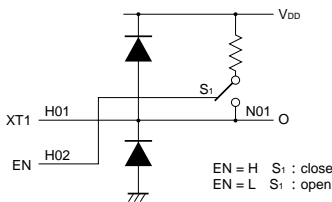
(b) OSI2+OSO7



備考 発振停止時のO2出力はロー・レベルです。

OSI2とOSO7の等価回路図を次に示します。

OSI2の等価回路図

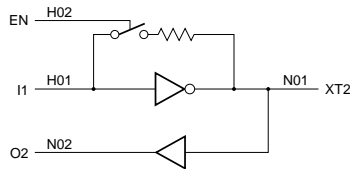


真理値表

XT1	EN	O
0	0	0
1	0	1
1	1	1
0	1	X

← 使用禁止

OSO7の等価回路図



真理値表

I1	EN	XT2	O2
0	0	1	1
1	0	0	0
1	1	0	0
0	1	X	X

← 使用禁止

注意 発振子を接続しない場合, 入力端子 (XT1) は "H" レベルに固定してください。

図9-4 発振回路構成 (2/3)

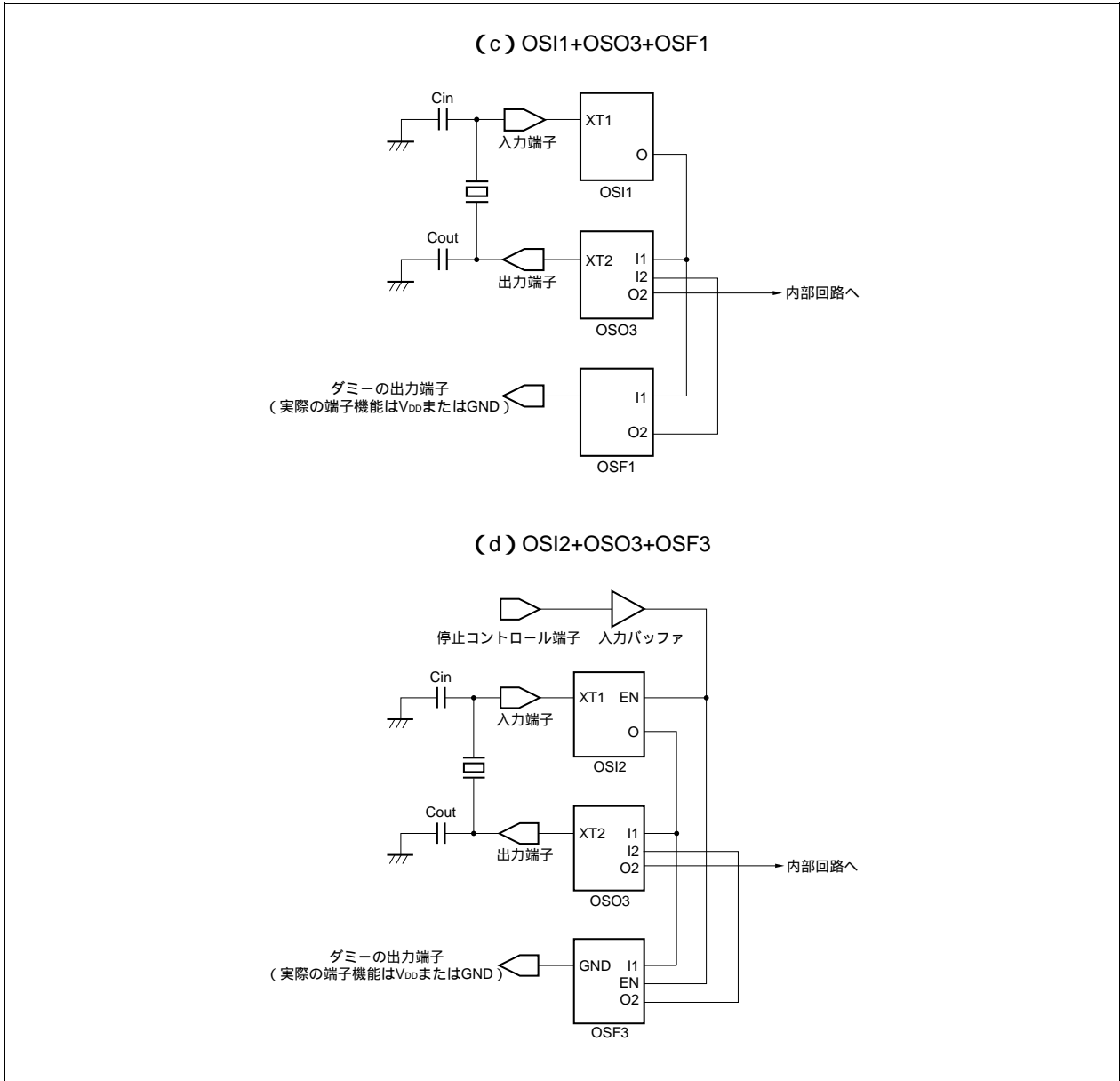
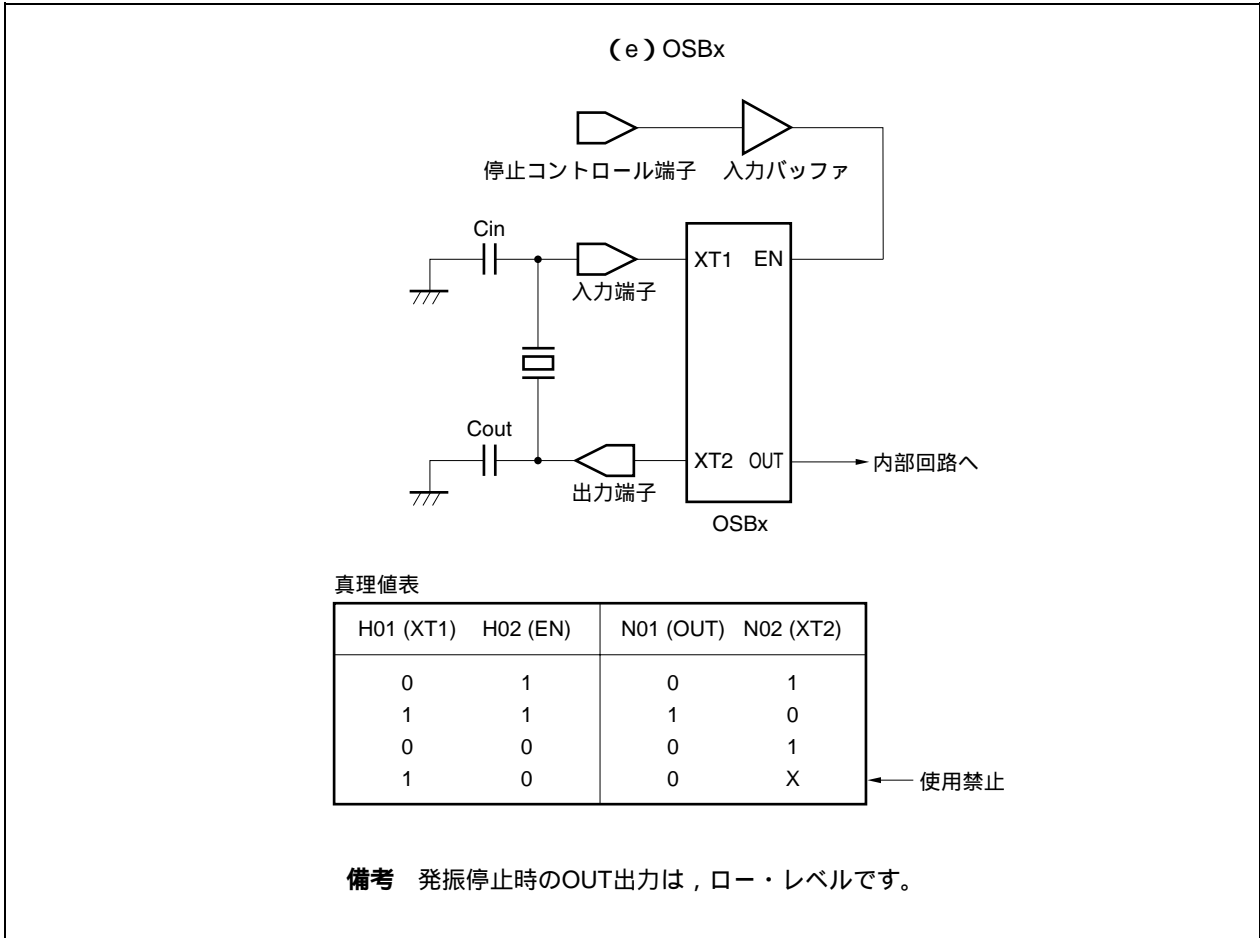


図9 - 4 発振回路構成 (3/3)



発振回路のテスト・パターンは次のように記述してください。

- OSIx, OSBxの入力端子 (XT1) には，内部回路へ伝送されるパターンの反転したものを入力パターンとしてください。
- OSOx, OSBxの出力端子 (XT2) には，内部回路へ伝送されるパターンと同じものを出力パターンとしてください。
- DCテスト・パターンでは，OSO7, OSBxの停止コントロール端子には常に“0”を入力してください。
- OSF1, OSF3の出力端子はダミーの出力端子ですが，実際の端子機能はパッケージによりV_{DD}またはGNDとなります。
ただし出力パターンは，ダミー端子がGNDまたはV_{DD}レベルにかかわらず，全パターン0 (ロー・レベル)としてください。

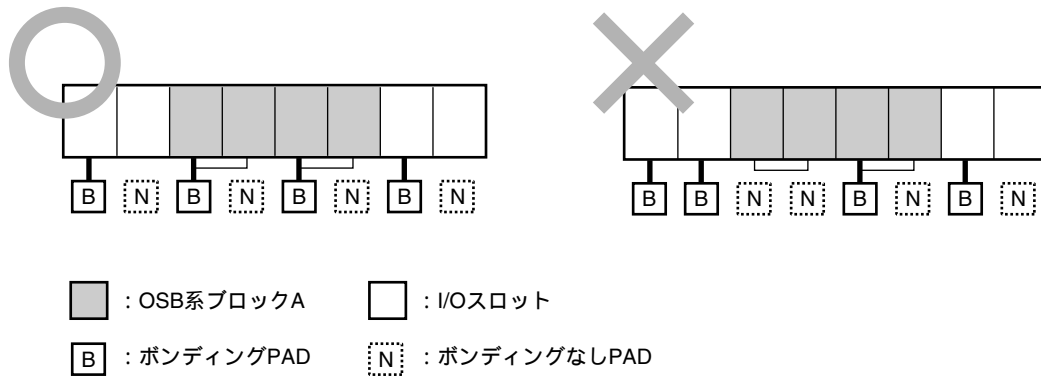
内部回路へ伝送されるパターンおよびOSOx, OSBxの出力端子 (XT2) に出るパターンは，入力パターンを反転したものです。

9.4.3 発振ブロック (OSBx) の注意事項

発振ブロック (OSBx) は、I/Oスロットを4つ分使用します。

左側2つのI/Oスロットに1端子、右側2つのI/Oスロットに1端子で、それぞれN02端子、H01端子となります。配置をする際には、次の点に注意してください。

- I/Oスロット4つ分は、切り離すことはできません。
- N02端子は左側、H01端子は右側となり、左右の入れ替えはできません。
- ボンディング可能なPADに、2つの端子 (N02端子、H01端子) がそれぞれ接続できる位置に配置してください。



また、使用の際には次の点に注意してください。

- 停止機能を使用しない場合は、実動作状態になるように停止コントロール信号をクランプしてください (EN = 1)。ただし、特殊要求対応になるので、注意してください。
- 停止機能を使用する場合は、ユーザの作成するパターン中に必ず停止モードを設けてください。
- シミュレーションにおいて停止モード (EN = 0) にしたいときは、外部入力 (XT1) に必ずロー・レベルを与え、外部出力 (XT2) の期待値はハイ・レベルとしてください。
- コアから発振ブロックの停止をコントロールする場合は、それぞれのアクティブ・レベルを確認し、間違えないようにしてください。
- 停止解除時の発振安定時間を考慮して設計してください。
- 不要輻射ノイズの低減には、出力側 (XT2) への直列制限抵抗の挿入が有効です。
また、OSB3-OSBAを使用する場合は、なるべくゲインの小さい発振ブロックを使用すると、輻射ノイズ対策になります。

9.4.4 発振回路構成上の注意

EP-1シリーズのゲートアレイ部は、発振専用ブロックを内蔵し、パッケージ外部に発振子および外部定数を接続することにより発振回路を構成できます。容易に発振回路を構成できるメリットがありますが、発振回路は高周波で動作するアナログ回路ですから、ロジック回路とは違った注意事項があります。

安定な発振動作を得るには、外部定数（入力側コンデンサ、出力側コンデンサおよび制限抵抗）を最適値に設定することが必要であるほか、アナログ回路として扱う必要がありますので下記の注意が必要です。

発振器端子（発振回路）の端子位置は、パッケージによって決まっています。配置位置に関しては、CMOS 第11章 **パッケージ**を参照してください。

クロック端子やリセット端子など、一瞬でもノイズが乗ると誤動作の原因になる端子はできるだけ発振器端子（発振回路）から離して配置する。

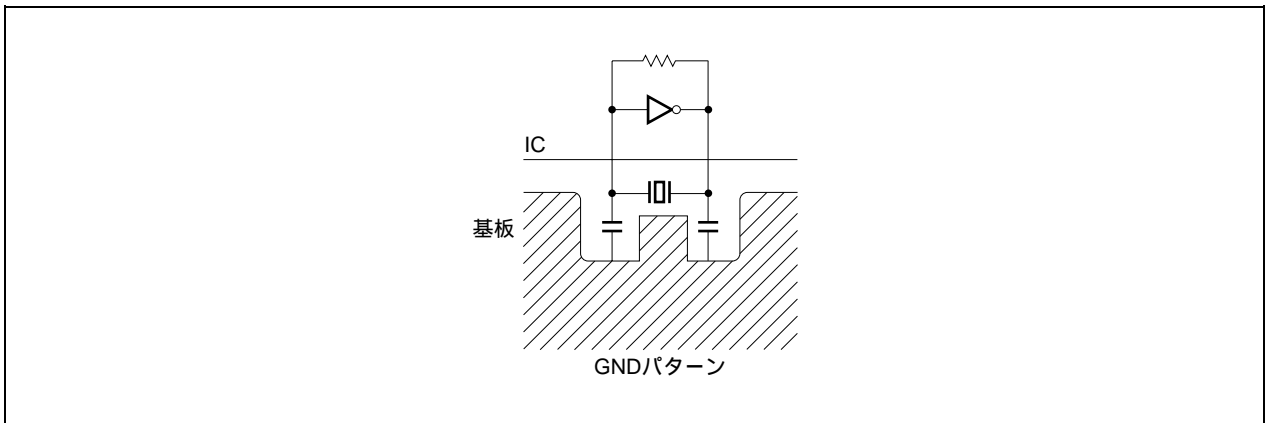
出力バッファはノイズ源ですので、発振器端子（発振回路）からできるだけ離してください。

プリント基板においては下記の注意が必要です。

- ・発振回路の入力、出力端子と発振子と外部定数はすぐ近くに配置し最短の経路にて配線する。
- ・コンデンサの接地側とゲートアレイのGND端子との配線も最短とし、できるだけ太くする。
- ・発振子およびコンデンサのリード線は極力短くし、機械的振動の影響を小さくするため発振子およびコンデンサはプリント基板に固定する。
- ・外部定数部分はできるだけGNDで囲むパターンにしてください。

発振ブロックの入力端子（OSI1, OSI2）から外部発振器で生成したクロックを入力するには、XIN（OSI1, OSI2）側へ接続して、XOUT（OSO1）側はオープンとしてください。また発振器は論理的にはインバータですので、内部回路には入力を反転した信号が入ります。

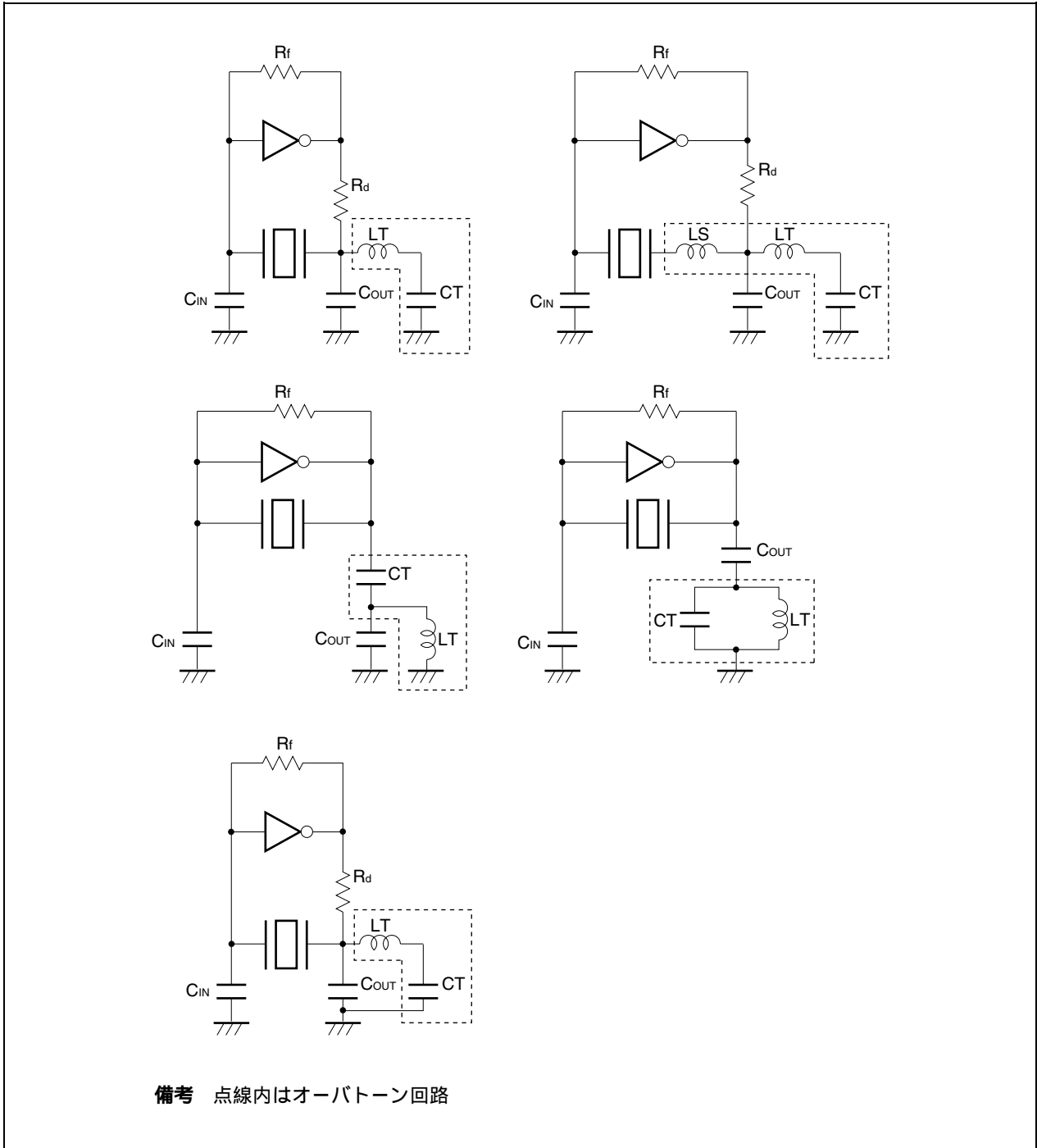
図9-5 基板上的GNDパターン例



さらに外部定数を決定する評価においても以下の注意が必要です。

- ・実際に使用するプリント基板を用いる（基板の誘電率などにより発振動作範囲が変動する場合があります）。
- ・開発したEP-1シリーズ（ESまたはCS）および実際に使用する発振子を用いて確認する。

図9-6 オーバートーン回路例



9.4.5 外付け回路の定数

クロック信号を発生させるには、発振子とのマッチング評価が必要です。その評価を行う際の判定基準例を表9-3に示します。測定項目に関しては、発振子メーカーとの相談のうえで検討してください。

表9-3 判定基準例

測定項目	判定基準
発振周波数	発振子の持つ精度以内に周波数が収まること
発振開始電圧 (V _s)	2.0 V以下
発振保持電圧 (V _h)	V _h V _s
電源投入時の動作	電源のON/OFFを繰り返し、発振動作確認
消費電流	極力少ないこと
発振波形のピーク値	2.2 V V _{IH} , V _{OH} V _{DD} 0 V V _{IL} , V _{OL} 0.5 V
デューティ比	50 ±10 %

なお、発振評価はESまたはCSで行っていただきますが、ゲートアレイ、発振子、外部定数のすべてが、製造ばらつきや使用条件によるばらつきを持っていますので、評価の際は製品のばらつきを考慮してください。

また、上記の ~ についてはゲートアレイの電源変動と温度変動を考慮する必要があるため、次のMIN, TYP, MAX, の条件でそれぞれ測定してください。

[例] 電源変動と温度変動を考慮した場合

$$T_A = -40 \sim +85 \text{ } ^\circ\text{C}$$

$$V_{DD} = 3.3 \text{ V} \pm 10 \%$$

次のMIN, TYP, MAXの条件でそれぞれ測定してください。

	MIN	TYP	MAX
T _A (°C)	-40	25	+85
V _{DD} (V)	3.6	3.3	3.0

備考 この表の値はゲートアレイの伝達遅延時間 (t_{PD}) のMIN, TYP, MAX値の条件を表しています。発振子の発振周波数のMIN, TYP, MAX値ではありません。

9.4.6 発振子と回路構成

表9-4にOSO7 (OSO1), OSO9に外付けする発振子と推奨外部定数を示します。これらのデータは各発振子メーカーのご協力により評価いただいたものです。表9-4に示した以外の周波数およびこの評価の外部定数, 回路構成などの問い合わせにつきましては各連絡先までお願いします。

表9-4 発振子評価一覧 (1/2)

(a) 3.3 ± 0.3 V

材質	メーカー	周波数 (MHz)	品名		コンデンサ	推奨外部定数		
			旧	新		C _{IN} (pF)	C _{OUT} (pF)	R _d (Ω)
セラミック	TDK(株)	16.93	FCR16.93M2G	-	外付け	5	5	330
		33.86	FCR33.86M2G	-		10	10	-
		4.00	FCR4.0MC5	-	内蔵	-	-	3300
		8.00	FCR8.0MC5	-		-	-	1500
		50.80	FCR50.8M2G	-		-	-	-
	(株)村田製作所	25.00	CSALS25M0X53-B0	-	外付け	10	10	0
			CSACW2500MX01 ^{注1}	CSACW25M0X51-R0 ^{注1}		10	10	0
			CSALS33M8X51-B0	-		7	7	0
			CSALS50M0X51-B0	-		3	3	0
			CSACW5000MX01 ^{注1}	CSACW50M0X51-R0 ^{注1}		3	3	0
			CSA60.00MXZ040	-		オープン	3	0
		2.00	CSTLS2M00G56-B0	-	内蔵	-	-	1500
			CSTCC2.00MG0H6 ^{注1}	CSTCC2M00G56-R0 ^{注1}		-	-	1500
			CSTS0400MG06	CSTLS4M00G56-B0		-	-	680
			CSTCR4M00G55-R0 ^{注1}	-		-	-	680
			CSTS0800MG06	CSTLS8M00G56-B0		-	-	220
			CSTCC8.00MG0H6 ^{注1}	CSTCC8M00G56-R0 ^{注1}		-	-	220
			CSTLS16M0X54-B0	-		-	-	0
			CSTCV16.00MXJOC3 ^{注1}	CSTCV16M0X53J-R0 ^{注1}		-	-	0
			CSTCW3386MX01 ^{注1}	CSTCW33M8X51-R0 ^{注1}		-	-	0
			CSTLS40M0X51-B0	-		-	-	0
			CSTCW4000MX01 ^{注1}	CSTCW40M0X51-R0 ^{注1}		-	-	0
	京セラ(株)	4.00	PBRC4.00HR ^{注1}	-	内蔵	-	-	1500
			PBRC8.00HR ^{注1}	-		-	-	0
			SSR16.00BR-MN1 ^{注1}	-		-	-	0
			SSR20.00BR-H8S ^{注1}	-		-	-	0
			SSR33.86 BR-ALP ^{注2}	-		-	-	0
SSR48.00 BR-AN05 ^{注3}			-	-		-	0	

注1. 表面実装型

- 表面実装型。OSO7 (OSO1) には6.8 kΩの外付けフィードバック抵抗が必要です。
- 表面実装型。OSO7 (OSO1) には4.7 kΩの外付けフィードバック抵抗が必要です。

備考 発振環境 : V_{DD} = 3.3 ± 0.3 V, T_A = -40 ~ +85 °C, OSO9の外付けフィードバック抵抗 = 1 MΩ

表9 - 4 発振子評価一覧 (2/2)

(b) 3.0 ±0.3 V

材質	メーカー	周波数 (MHz)	品名		コンデンサ	推奨外部定数		
			旧	新		C _{IN} (pF)	C _{OUT} (pF)	R _d (Ω)
セラミック	(株)村田製作所	2.00	CSTCC2.00MG0H6 ^注	CSTCC2M00G56-R0 ^注	内蔵	-	-	1500
		4.00	CSTCR4M00G55-R0 ^注	-		-	-	680
		4.00	CSTS0400MG06	CSTLS4M00G56-B0		-	-	680
		8.00	CSTCE8M00G55-R0 ^注	-		-	-	220
		8.00	CSTS0800MG06	CSTLS8M00G56-B0		-	-	220
		16.00	CSTCE16M0V53-R0 ^注	-		-	-	100
		25.00	CSTCG25M0V51-R0 ^注	-		-	-	100
		25.00	CSTCW2500MX01 ^注	CSTCW25M0X51-R0 ^注		-	-	0
		33.86	CSTCG33M8V53-R0 ^注	-		-	-	68
		33.86	CSTCW3386MX01 ^注	CSTCW33M8X51-R0 ^注		-	-	0
		40.00	CSACW4000MX01 ^注	CSACW40M0X51-R0 ^注	外付け	3	3	0
		50.00	CSACW5000MX01 ^注	CSACW50M0X51-R0 ^注		オープン	オープン	0

注 表面実装型

備考 発振環境 : V_{DD} = 3.3 ±0.3 V, T_A = -40 ~ +85 °C, OSO9の外付けフィードバック抵抗 = 1 MΩ

(c) OSBx用 3.3 ±0.3 V

材質	メーカー	周波数 (MHz)	品名	発振ブロック名	コンデンサ	推奨外部定数				
						C _{in}	C _{out}	R _d	R _f	
セラミック	(株)村田製作所	1	CSB1000J	OSB3	外付け	100	100	-	-	
			CSA2.00MG			30	30	-	-	
		4	CST2.00MG		内蔵	(30)	(30)	-	-	
			CSA4.00MGU		外付け	30	30	-	-	
		8	CST4.00MGWU		内蔵	(30)	(30)	-	-	
			CSA8.00MTZ093		外付け	30	30	-	-	
		12	CST8.00MTW093		内蔵	(30)	(30)	-	-	
			CSA12.0MTZ		OSB4	外付け	30	30	-	-
		CST12.0MTW	内蔵			(30)	(30)	-	-	
		16	CSA16.00MXZ040		OSB5	外付け	5	5	-	-
			CST16.00MXW0C1			内蔵	(5)	(5)	-	-
		20	CSA20.00MXZ040		OSB6	外付け	3	3	-	-
		25	CSA25.00MXZ040		OSB7		3	3	-	-
		32	CSA32.00MXZ040				-	3	-	8.2 k
40	CSA40.00MXZ040	OSB9		-	3	-	6.8 k			
50	CSA50.00MXZ040	OSBA		-	-	-	5.6 k			
	TDK(株)	28	CCR28.0MSC6	OSB6	外付け	-	-	10	-	

備考 発振環境 : V_{DD} = 3.3 ±0.3 V, T_A = -40 ~ +85

24 MHz 以上の発振子で 3 次オーバートンのものを用いる場合は, L, C の外付け回路が必要になります。

表9-5 水晶振動子評価一覧

材質	振動子 メーカー	周波数 (kHz)	品名	発振 ブロック名	コンデ ンサ	推奨外部定数				
						C _{in} (pF)	C _{out} (pF)	R _a (kΩ)	LT(μH)	CT(μF)
水晶	セイコーインス ツルメンツ(株)	32.768	VT-200 ^注	OSB1	外付け	12	15	100	-	-
			SP-Tシリーズ							
			SSP-Tシリーズ							

注 発振環境 $V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = -10 \sim +60$

【問い合わせ先】

TDK株式会社 〒272-8558 千葉県市川市東大和田2丁目15番7号
 電子部品事業本部 高周波部品事業部 レゾネータ製品部
 (047) 378-9833

株式会社富山村田製作所 〒939-8195 富山県富山市上野345番地
 圧電商品統括部 企画・販推部 商品技術1課
 (076) 429-1221

京セラ株式会社 〒899-4312 鹿児島県国分市山下町1丁目1番地
 圧電設計技術課
 (0995) 47-7325

★

9.5 GTL+

GTL+ (Gunning Transceiver Logic) は、小信号振幅により高速な信号伝送を実現する、新しいインタフェースの基準です。GTL+の入力部分は、ECLと同様な差動回路をCMOS回路で構成したものです。一方、出力部分はN-chオープン・ドレイン・バッファにイネーブル端子を付けた構造になっています。このイネーブル端子はGTL+出力を従来の3ステート・バッファのように制御するために設けられています。1.0V以下の小振幅信号は、GTL+出力端子を電源電圧よりも低い電位で終端することで実現することになります。

このインタフェースを利用する場合には、信号の反射を防ぐために配線の特性インピーダンスにあわせて最適な終端を行う必要があります。また、振幅が極端に狭いため、特にGNDラインの変動には注意してください。

注意 このインタフェース・ブロックを使用する場合は、あらかじめ弊社まで必ずご相談ください。

9.5.1 電気的特性

GTL+の電気的特性を表9-6に示します。

表9-6 GTL+の電気的特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
終端電圧	V_{TT}		1.35	1.5	1.65	V
基準電圧	V_{REF}		$(2/3)V_{TT} - 2\%$	1.0	$(2/3)V_{TT} + 2\%$	V
ハイ・レベル入力電圧	V_{IH}		$V_{REF} + 0.1$			V
ロー・レベル入力電圧	V_{IL}				$V_{REF} - 0.1$	V
ハイ・レベル出力電圧	V_{OH}			1.5		V
ロー・レベル出力電圧	V_{OL}				0.55	V

9.5.2 端子配置

GTL+を使用する場合にはGTL+の動作を安定させるため、次に示される端子配置の制限を必ず守ってください。

GTL+バッファは配置可能端子にのみ配置します。

GTL+バッファ2本に1本の割合で、GND端子を追加します。

(パッケージ、マスタによって物理的にGTL+バッファ1本に1本の割合で、GND端子を追加することになる場合もあります。)

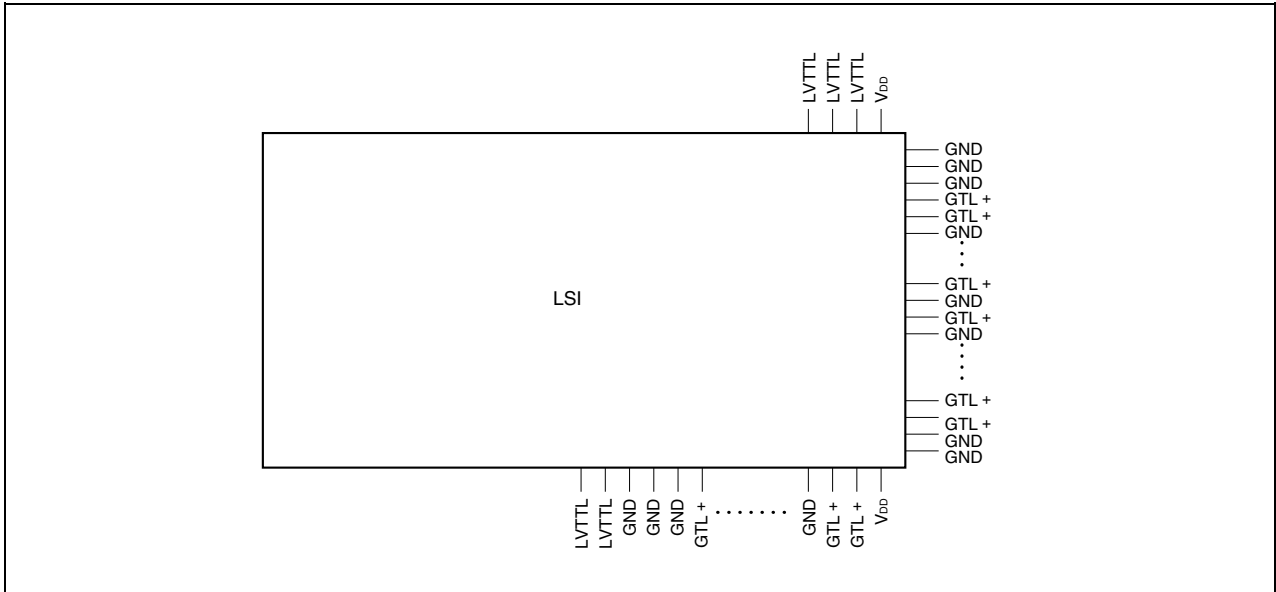
追加するGND端子はGTL+バッファに必ず隣接させます。

GTL+バッファはまとめて配置し、GND端子で挟み込みます。

このとき、GTL+バッファ以外のバッファ(入力バッファでも)はGTL+群が挟まれるGND、 V_{DD} 端子間には存在してはなりません。

GTL+群を挟み込むGND端子は3本ずつとします。

図9-7 GTL+の端子配置例



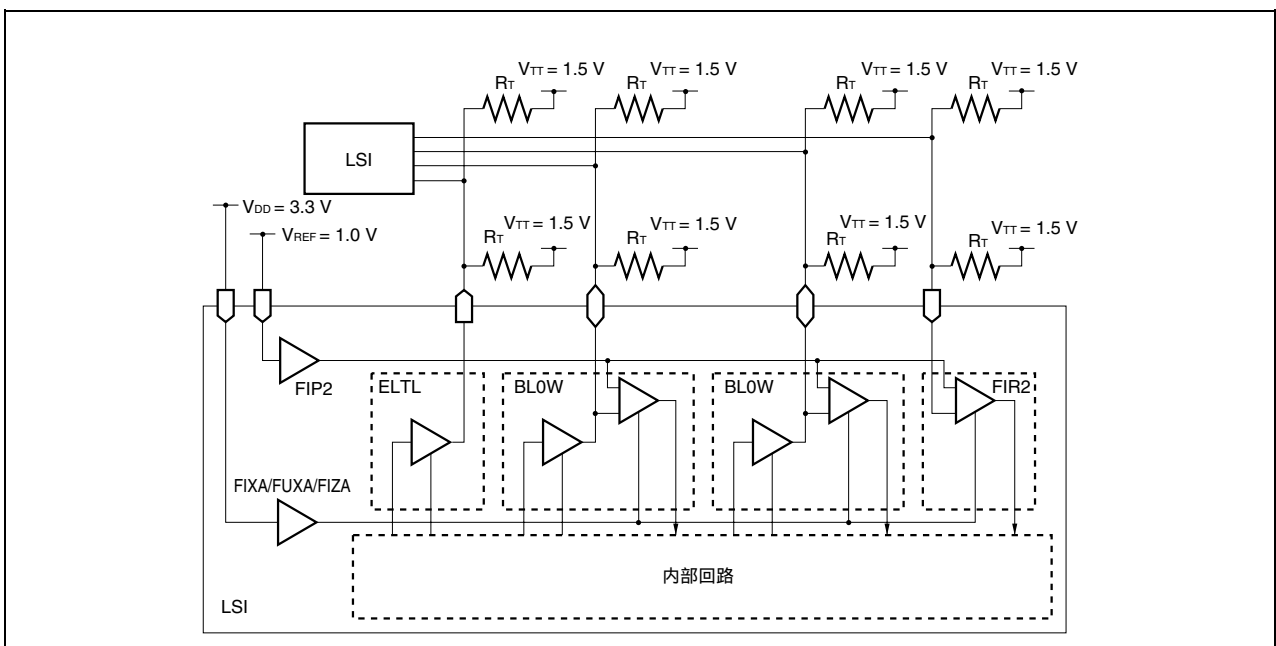
なお、同一チップ上に存在するそのほかのインタフェースによる同時動作の制限への影響はありません。

9.5.3 接続ルール

GTL+インタフェースを使用する場合には、基準電圧を印加する端子と入力部の動作電流を停止するために制御端子を外部端子として必ず設けなければなりません。また、信号の反射を防ぐために最適な終端抵抗を設けるようにしてください。

基準電圧を印加する端子は必ず“FIP2”を介してGTL+入力バッファのRFV端子に接続してください。また、GTL+入力バッファのコントロール端子は必ず“FIXA, FUXA, FIZA”のいずれかを介してGTL+入力バッファのIEN端子に接続してください。

図9-8 GTL+の使用例



9.5.4 テスト・パターンの作成

GTL+インタフェースを使用する場合には、次に示されるルールに従って、テスト・パターンの作成をしてください。

基準電圧入力端子へのテスト・パターンは常時ハイ・レベルとしてください。

入力コントロール端子へのテスト・パターンは51パターンからエンド・パターンの間で最低1パターンはロー・レベルになるようにしてください。

GTL+以外のインタフェース・レベルも含めて双方向端子がある場合には、入力コントロール端子へのロー・レベル信号はすべての双方向バッファの入出力の方向が確定しているときに入力してください。

9.6 デジタルPLL

複数のチップ間に渡る高速な同期回路を実現するためには、各チップ内部のクロック・スキューを小さくするとともに、チップ間のクロック信号の位相をできるだけあわせることが必要になります。しかし、各チップ内部でのクロック・ラインの負荷は必ずしも一定とはかぎりません。このため、システム内の関連する全F/Fでのクロック信号の位相を通常の方法であわせることは、ほとんど不可能です(図9-9参照)。そこで、弊社ではスキュー改善のため、デジタルPLLを用意しています。PLL(Phase Locked Loop)を使用して、各チップ内部のクロックの位相をチップ外部から供給される基本クロックとあわせ、チップ間のクロックの位相差を小さくします(図9-10参照)。この場合、各チップ内部の各F/F間のクロックの位相差はCTS(Clock Tree Synthesis 詳細は6.4 クロック・ラインの設計を参照してください)により低く抑える必要があります。この方法は、チップ間での基本クロックの位相差は改善できませんが、比較的容易にチップ間のスキューを低減することができます。

図9-9 クロック・スキュー

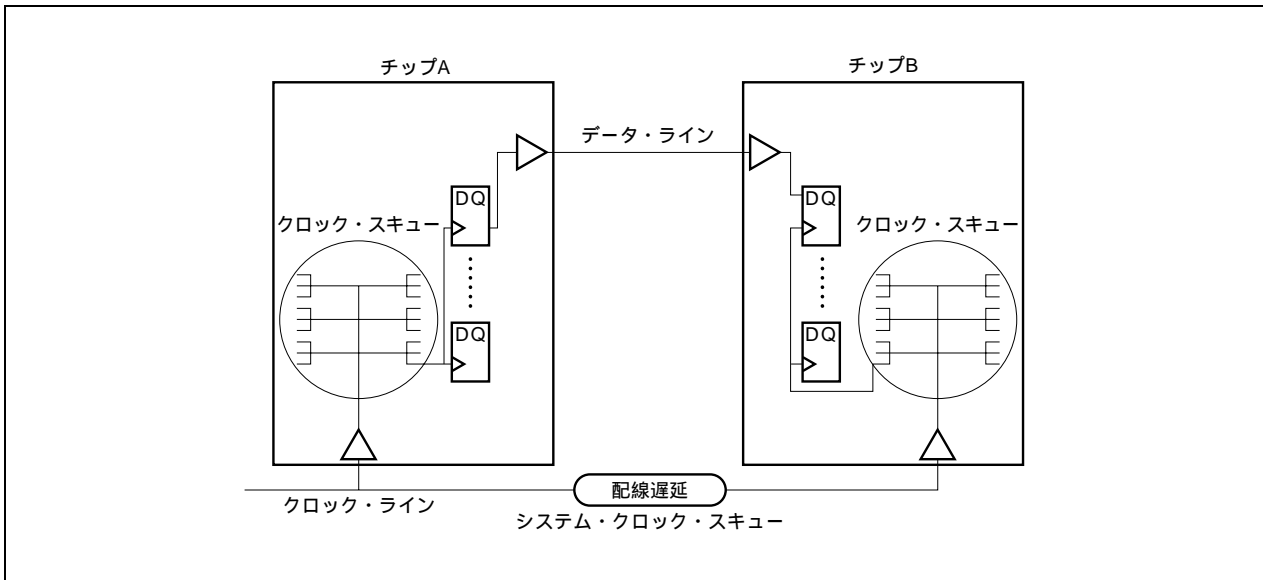
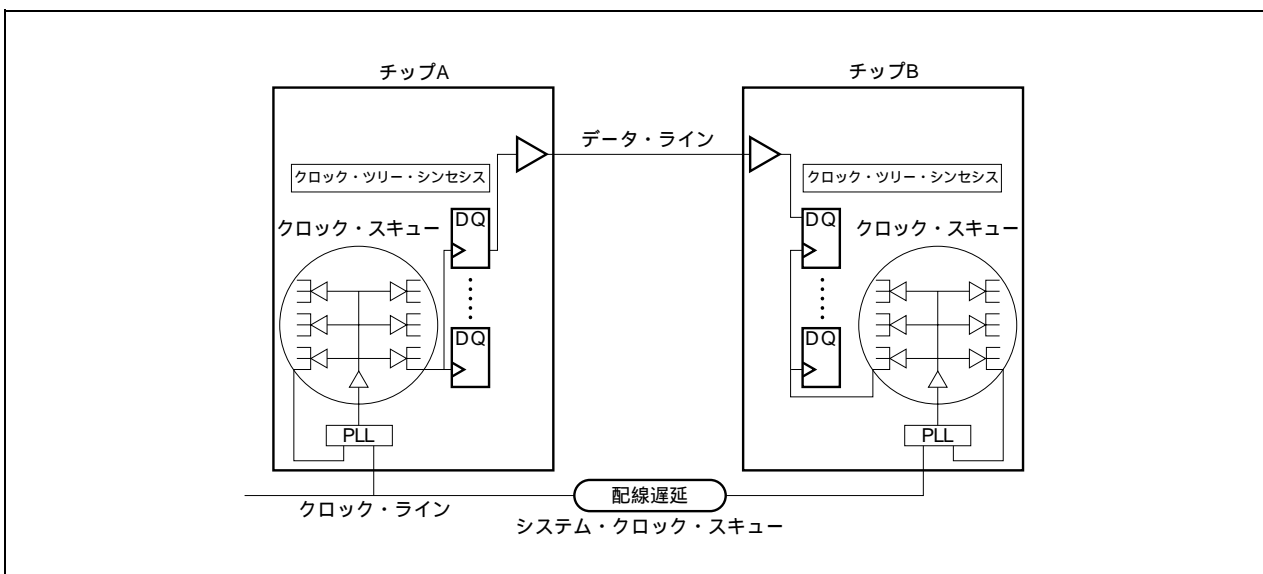


図9-10 クロック・スキュー対策

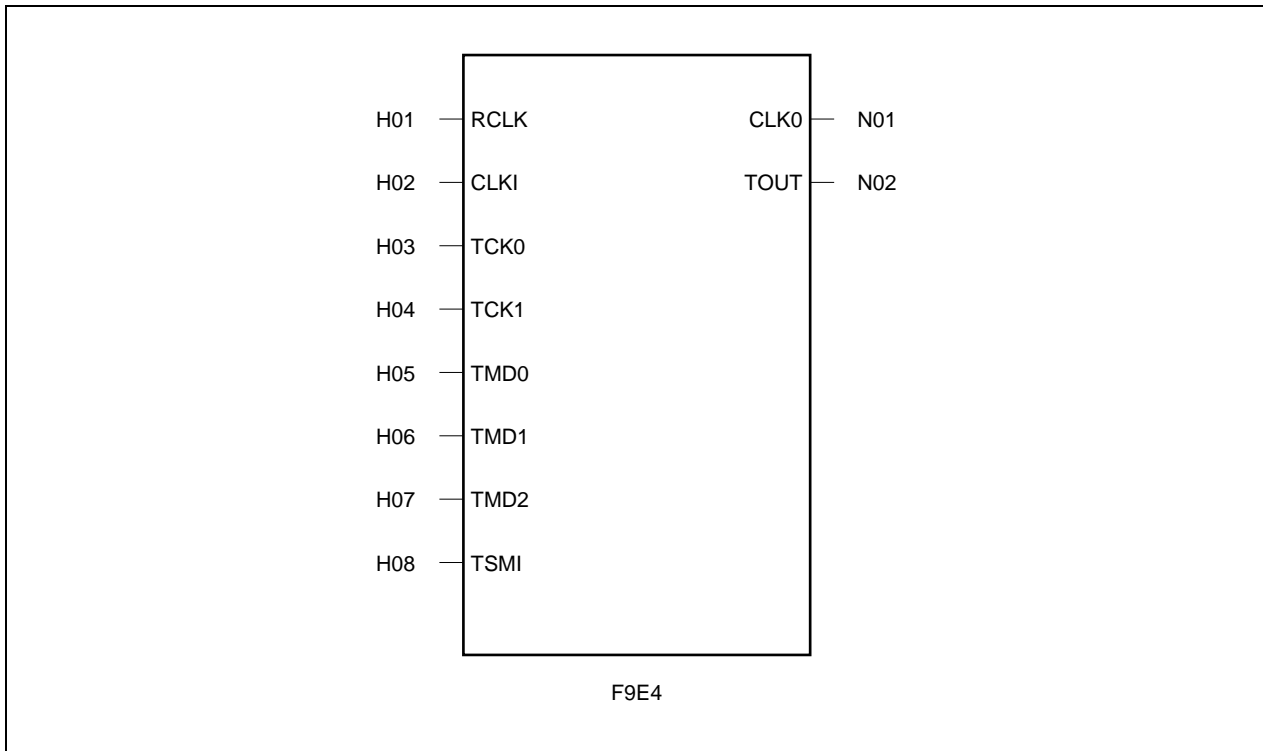


9.6.1 デジタルPLL (F9E4)

(1) 機能と動作モード

デジタルPLL (F9E4) の機能と動作モードについて説明します。

ブロック名	機能	セル数
F9E4	デジタルPLL (ワイド・レンジ : 33-80 MHz)	3770



(a) 端子機能一覧

端子名	信号名	属性	機能
H01	RCLK	IN	基準クロック信号
H02	CLKI	IN	帰還クロック信号
H03	TCK0	IN	テスト・クロック信号 (NECテスト・モード時)
H04	TCK1	IN	テスト・クロック信号 (NECテスト・モード時)
H05	TMD0	IN	テスト・モード選択信号
H06	TMD1	IN	テスト・モード選択信号
H07	TMD2	IN	テスト・モード選択信号
H08	TSMI	IN	NECテスト・モード専用入力端子
N01	CLK0	OUT	クロック出力信号
N02	TOUT	OUT	ロック信号およびNECテスト・モード出力信号

(b) 動作真理値表

RCLK	CLKI	TCK0	TCK1	TMD0	TMD1	TMD2	TSMI	CLK0	TOUT	モード
A		X	X	0	0	0	X	A	LOCK	PLLモード
A	X	X	X	1	0	0	X	0	0	リセット・モード
A	X	X	X	0	1	0	X	A	0	スルー・パス・モード
A	X	X	X	0	0	1	X	0	0	ストップ・モード
A	X			1	1	0		0	TEST	NECテスト・モード
A	X			1	0	1		0	TEST	
A	X			1	1	1		0	TEST	

備考 A, : 選択したモードで使用することを示す。

(2) 電気的特性

表9 - 7, 表9 - 8にデジタルPLL (F9E4) の電気的特性を示します。

表9 - 7 DC特性

標準仕様 $V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ($T_J = -40 \sim +125 \text{ }^\circ\text{C}$)

項目	略号	MIN	TYP	MAX	単位
RCLKハイ・レベル入力電圧	V_{IH}	2.0		V_{DD}	V
RCLKロー・レベル入力電圧	V_{IL}	0		0.8	V

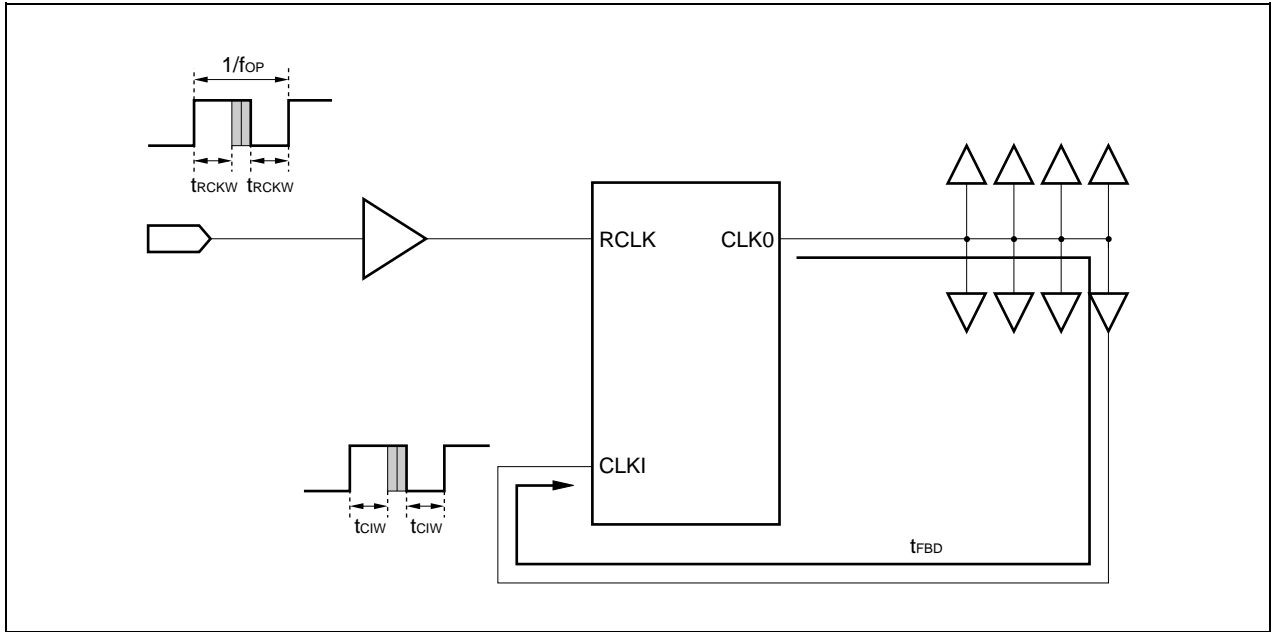
表9 - 8 AC特性

標準仕様 $V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ($T_J = -40 \sim +125 \text{ }^\circ\text{C}$)

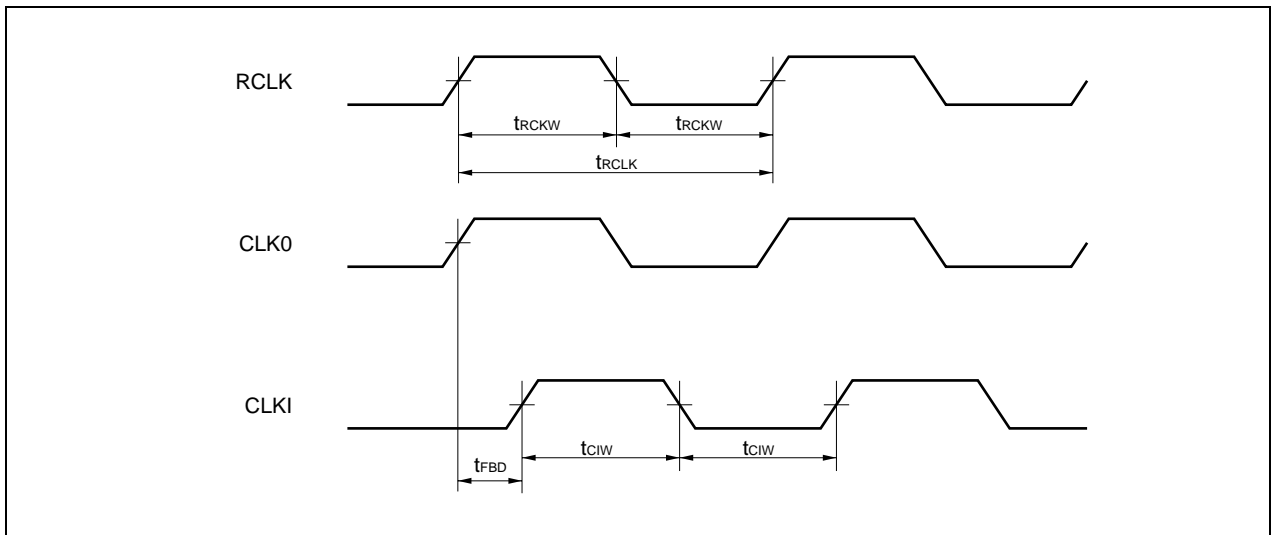
項目	略号	MIN	TYP	MAX	単位	
動作周波数	f_{OP}	33		80	MHz	
レファレンス・クロック (RCLK) 周期	t_{RCLK}	12.5		33.3	ns	
入力ミニマム・パルス幅 (H/L) (対RCLK)	t_{RCKW}	4.3			ns	
入力ミニマム・パルス幅 (H/L) (対CLKI)	t_{CIW}	3.3			ns	
クロック・ツリー遅延	t_{FBD}	0		$2t_{RCLK} - 8.0$	ns	
定常位相誤差	t_{OFF}			± 0.1	ns	
出力ジッタ ^注	t_{JITT}			± 0.18	ns	
引き込み時間	t_{LOCK}			1325	t_{RCLK}	
リセット・モード設定時間	t_{RSTW}	5			ns	
スルー・パス・モード遅延 $V_{DD} = 3.3 \text{ V} \pm 5 \%$	LL	t_{THR}	0.60	0.90	1.40	ns
	HH		0.40	0.70	1.10	ns
	LL		0.60		1.30	ns
	HH		0.40		1.00	ns
出力停止時間	t_{STOP}	0		4	t_{RCLK}	

注 入力信号にジッタがある場合には記載値にそのジッタを加えたものがデジタルPLLのジッタになります。

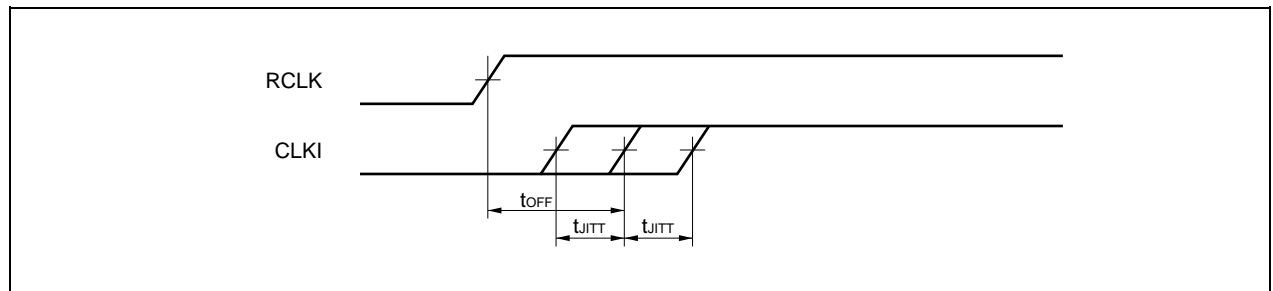
図9 - 11 デジタルPLLタイミング (F9E4)



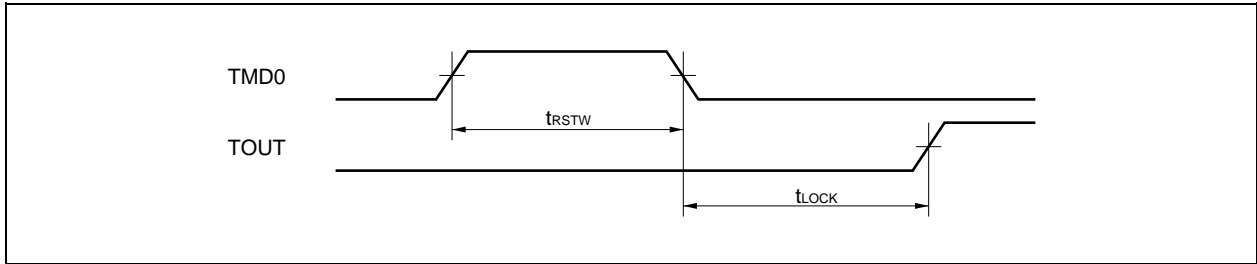
• 入力, 出力波形



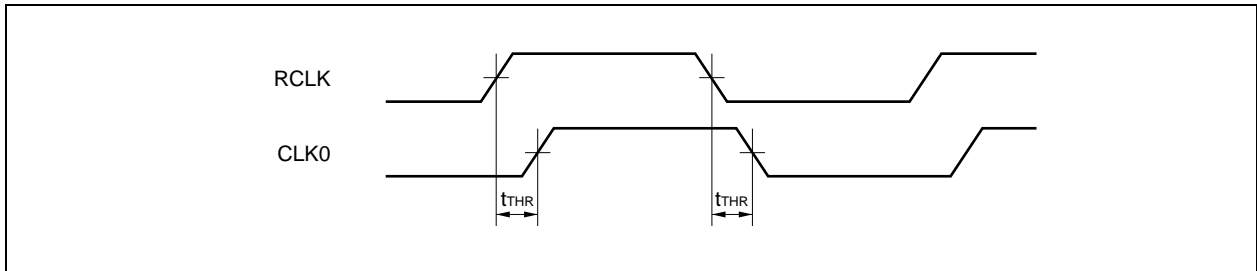
• ジッタ, 定常位相誤差



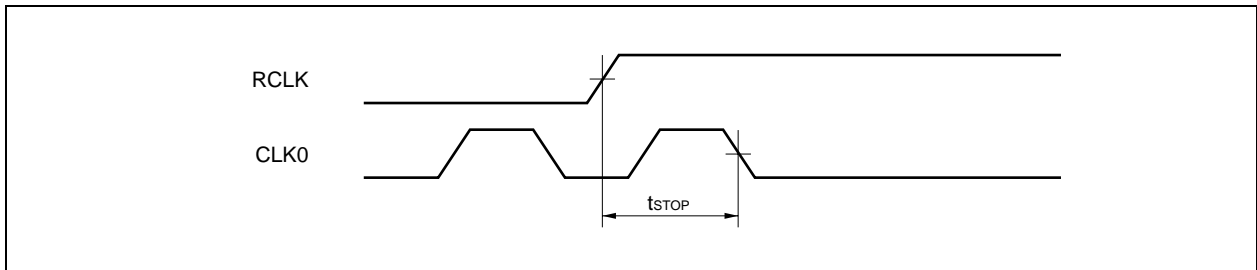
• 引き込み時間, リセット・モード



• スルー・パス・モード



• ストップ・モード



(3) 接続ルール

デジタルPLLを使用するには、7本の入力端子をLSIの外部端子から直接制御する必要があり、また1本の出力端子を外部へ直接出力する必要があります。そのため外部入力端子はデジタルPLLブロックの入力バッファを介して接続し、外部出力端子についても同様に、デジタルPLLブロックの出力端子に出力バッファを介して接続します。

RCLKの入力端子は専用の入力バッファ“FI0P(3.3V I/Fレベル)”または“FI0Q(5V I/Fレベル)”を使用してください。また、一般信号線との共有も避けてください。

TMD0, TMD1, TMD2端子の入力バッファにはノイズによる誤動作を防ぐため、シュミット・バッファ(FIS1)を使用してください。また外部端子から直接入力するようにし、一般信号線との共有も避けてください。これらの端子の周辺には高駆動な入出力バッファの配置は避け、さらにGND端子などをできるだけ配置して、ノイズで動作しないよう注意してください。

TCK0, TCK1, TSMI入力およびTOUT出力端子は次の表に示すNECテスト・モード時、外部より直接制御、および出力できる回路構成にしてください。これらの端子は一般信号線と共用する場合、配線長が長くなる傾向があります。したがって高速に動作させる端子との兼用は避けてください。

例を図9-12に示します。

NECテスト・モード

TMD0	TMD1	TMD2
1	1	0
1	0	1
1	1	1

図9 - 12 デジタルPLL接続例 (1/2)

(a) デジタルPLLを単体で使用する場合

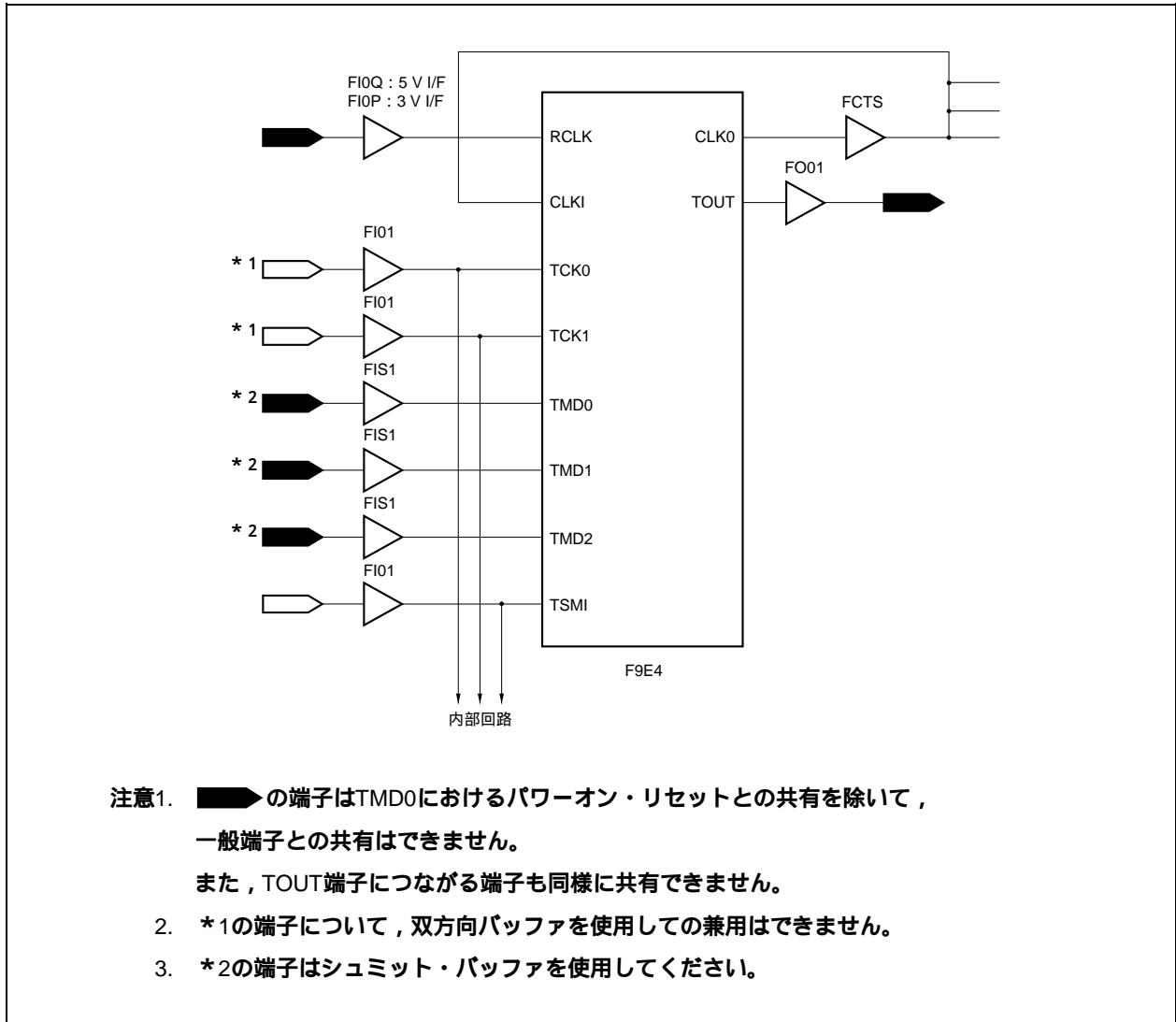
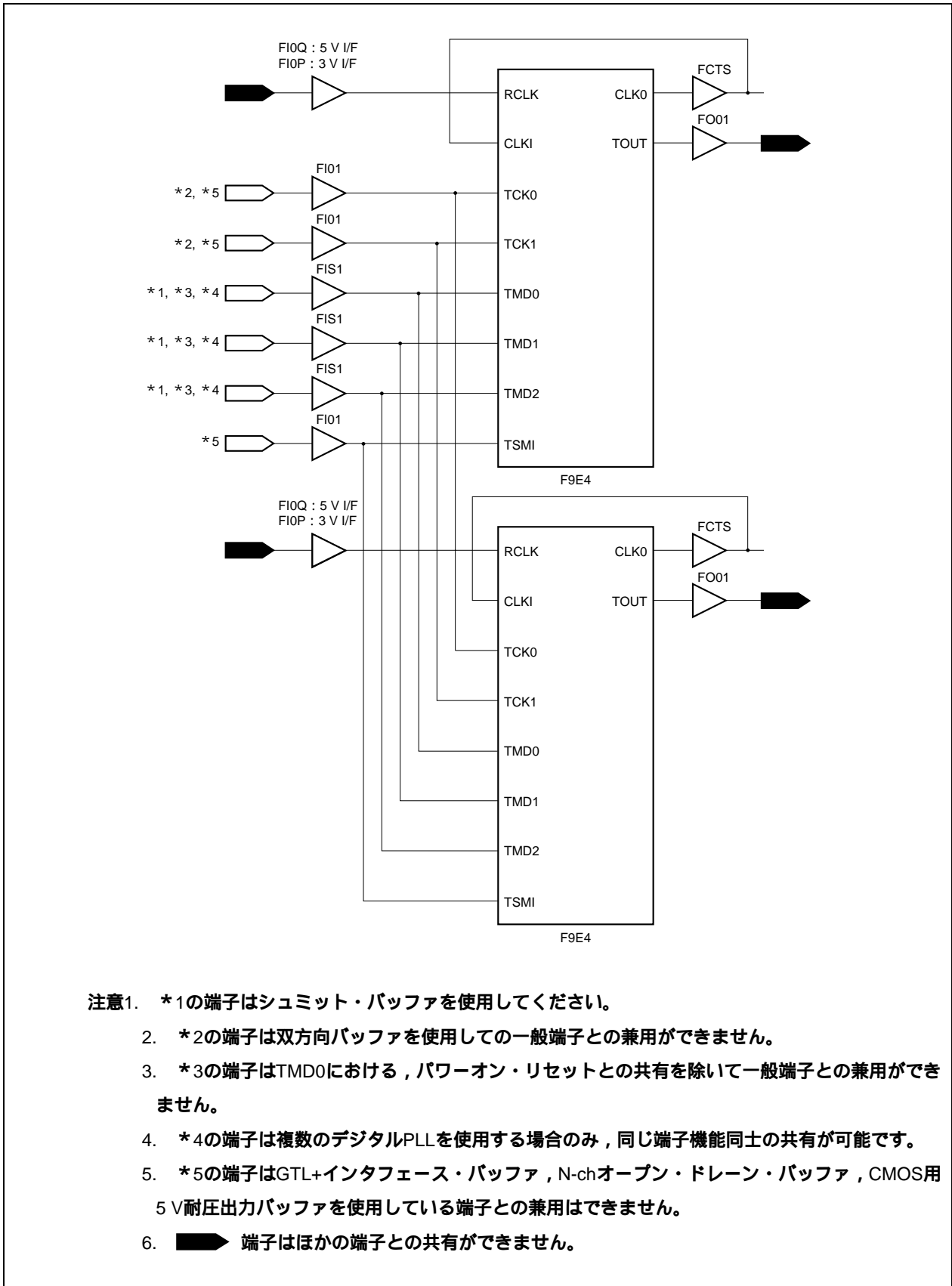


図9 - 12 デジタルPLL接続例 (2/2)

(b) 2個のデジタルPLLを別々に使用する場合



(4) デジタルPLL動作

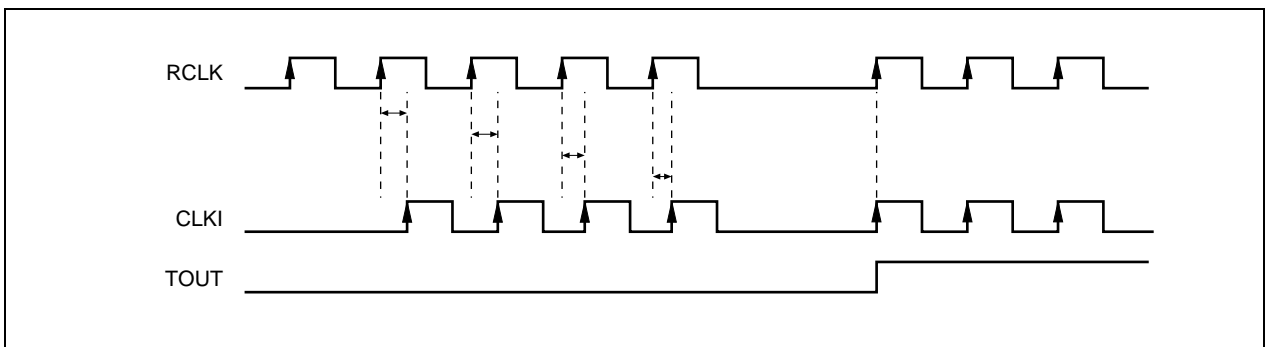
デジタルPLLは、PLL動作以外にいくつかの動作モードを持っています。ここではデジタルPLL内蔵のゲートアレイを設計する場合に必要な動作モードについて説明します。

なお、デジタルPLLを使用する前（パワーオン時）に必ずデジタルPLL自体をリセット（リセット・モードの実行）してください。リセットはゲートアレイの電源が使用電圧になり、お客様の望む周波数のクロックをRCLK端子に入力してから実行してください。

(a) PLLモード

TMD0、TMD1両端子がロー・レベルのときにこのモードになります。このモードでは、デジタルPLLは外部からの基準クロック信号とLSI内部のクロックの位相をあわせる動作をします。TOUT端子はクロック信号が同期すると出力がハイになります。ただし、この端子には構造的にスパイク・ノイズが発生しますので、利用には注意が必要です。

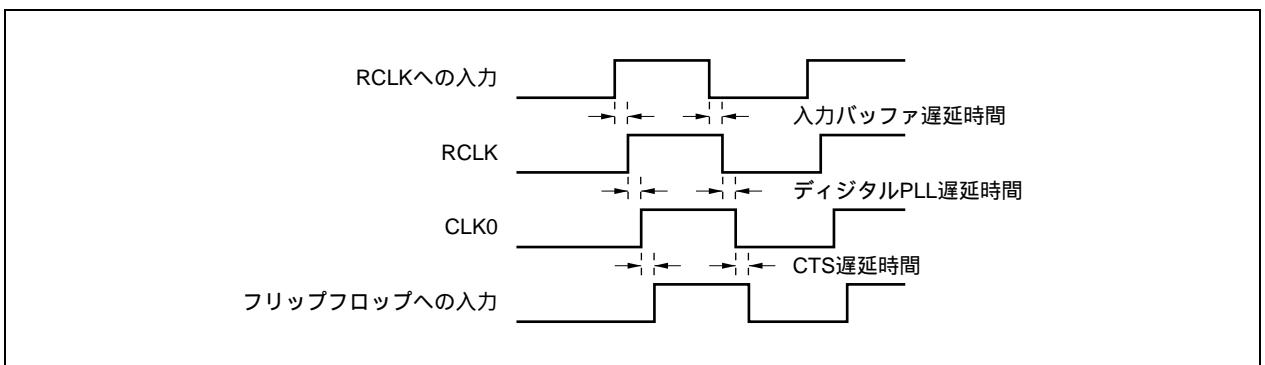
図9-13 PLLモード・タイミング



(b) スルー・パス・モード

TMD0端子がロー・レベルで、TMD1端子がハイ・レベルのときにこのモードになります。デジタルPLLの通常動作であるPLLモードではシミュレーションを実行することができませんので、シミュレーション用のテスト・パターンはこのモードで作成してください。なお、デジタルPLLの遅延を含め、クロック・ラインの遅延を十分考慮してください。

図9-14 スルー・パス・モード・タイミング



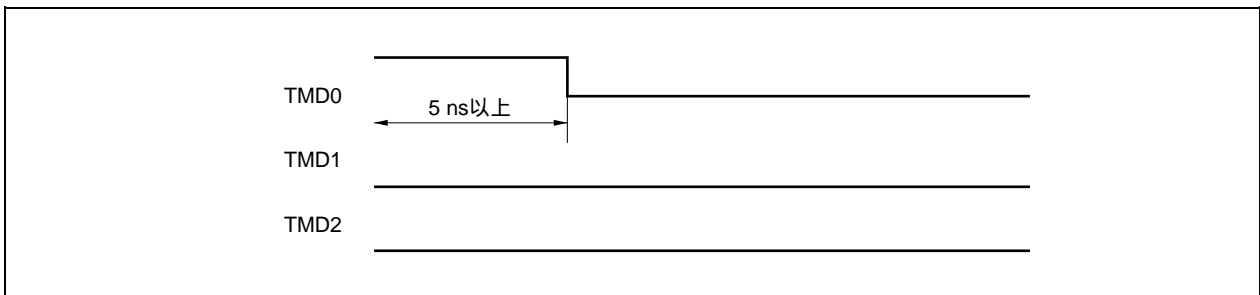
(c) リセット・モード

デジタルPLL全体をリセットするモードです。

電源投入後，EP-1シリーズの電源が使用電圧になり，RCLKの周波数が使用する周波数に安定したあと，リセット・モードを実行してください。

リセット・モードに設定するタイミングに規定はありませんが，TMD0, TMD1, TMD2端子へのノイズ入力には十分注意し，最低でも5 ns以上リセット・モードに設定してください。また，リセット・モード解除後デジタルPLLがロックするための出力クロックは不安定ですので，デジタルPLLがロックしたあと，ユーザ回路をリセットしてください。

図9 - 15 リセット・モード・タイミング



リセット・モードが必要な場合は以下のとおりです。

電源投入後

レファレンス・クロック（RCLK）の周波数が連続的に変動する場合。

PLLモード時は必ず安定したクロック（一定周波数）をRCLKに入力してください。

RCLK入力クロックの周波数が連続的に変動する場合は(下記の周波数変動許容値を越えた場合は)，必ずリセット・モードを実行してください。

周波数変動許容値：周波数変動 = ± 1 ns

クロック信号停止モードを実行し，解除したあと。

リセット・モードに関するTMD0の使用例

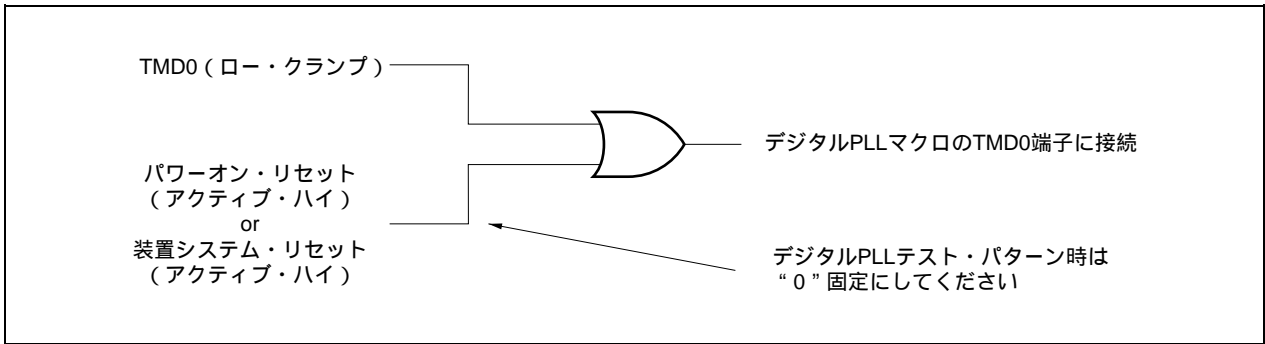
テスト時（シミュレーション時）と実使用上で，異なるリセット信号を用いる場合（アクティブ・レベルが異なる場合や，リセット信号をゲートアレイ内部で論理構成して入力する場合は），以下の回路にしてください。

この構成の場合，実使用時はTMD0端子はロー・クランプし，テスト時は実使用時リセット信号が“0”固定となる構成，パターンにしてください。

また，この際もデジタルPLLのTMD0端子へのノイズ入力には十分ご注意ください。

次の図のように専用端子とPLLの間にゲートを入れる場合には弊社までご連絡ください。

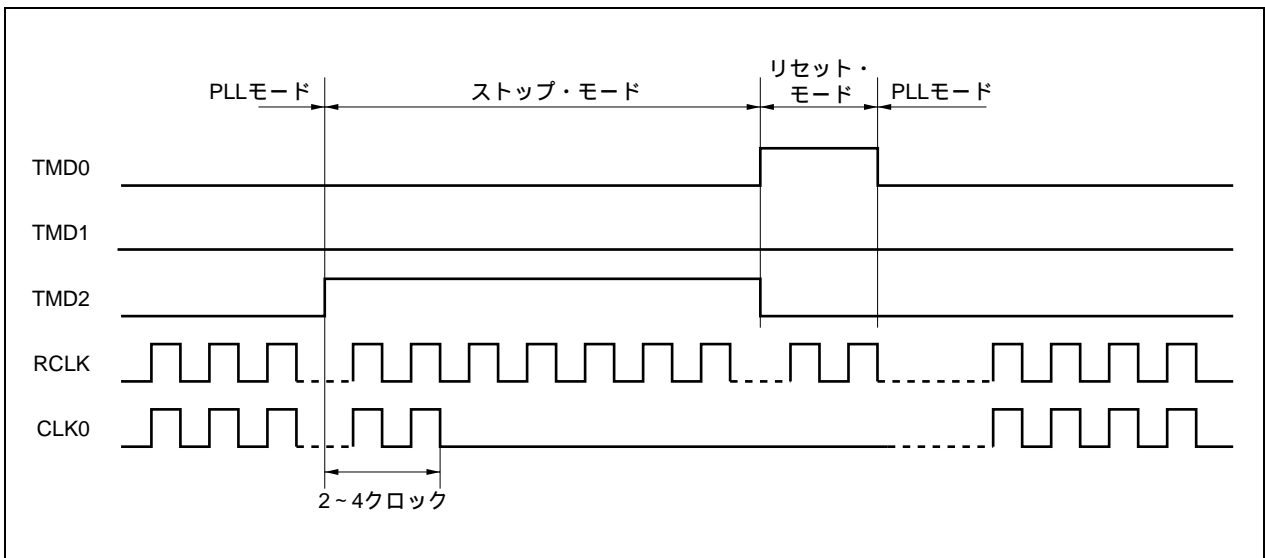
図9 - 16 TMD0の使用例



(d) ストップ・モード

TMD0, TMD1端子がロー・レベルで、TMD2端子がハイ・レベルのときにこのモードになります。このモードでは、TMD2をハイ・レベルにした2~4クロック後に、ゲートアレイ部のクロック信号は停止します。ストップ・モード解除時やRCLK端子に入力する基本クロックを停止した場合には、再度基本クロックを入力すると同時に、リセット・モードを必ず実行してください。

図9 - 17 ストップ・モード・タイミング

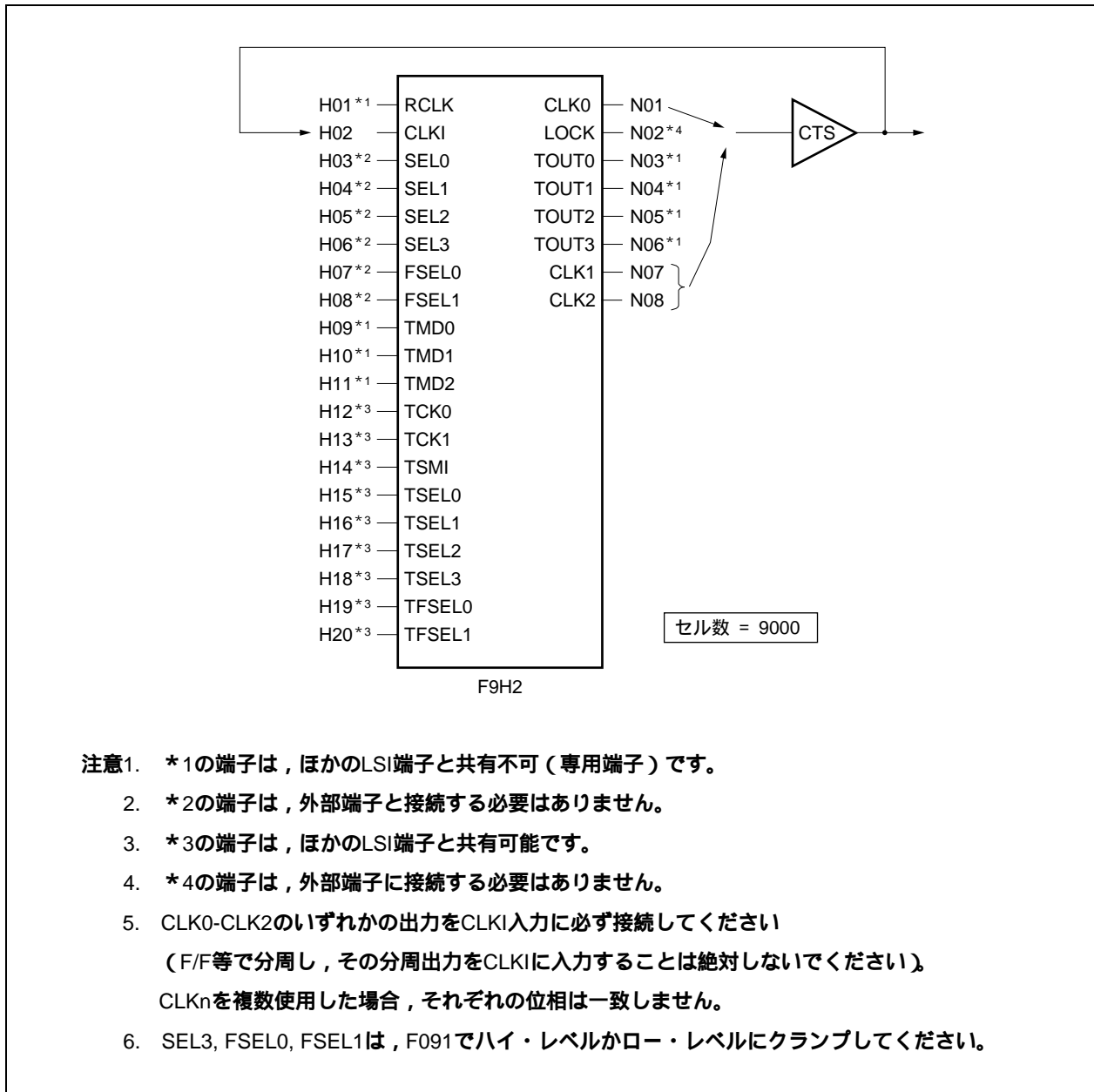


9.6.2 デジタルPLL (F9H2)

(1) 機能と動作モード

通倍デジタルPLL (F9H2) の機能と動作モードについて説明します。

図9 - 18 デジタルPLL接続例 (F9H2)



- 注意1. *1の端子は、ほかのLSI端子と共有不可（専用端子）です。
- *2の端子は、外部端子と接続する必要はありません。
 - *3の端子は、ほかのLSI端子と共有可能です。
 - *4の端子は、外部端子に接続する必要はありません。
 - CLK0-CLK2のいずれかの出力をCLKI入力に必ず接続してください
(F/F等で分周し、その分周出力をCLKIに入力することは絶対しないでください)。
CLKnを複数使用した場合、それぞれの位相は一致しません。
 - SEL3, FSEL0, FSEL1は、F091でハイ・レベルかロー・レベルにクランプしてください。

(a) 端子機能一覧

端子名	信号名	属性	機能
H01	RCLK	IN	基準クロック信号
H02	CLKI	IN	帰還クロック信号
H03	SEL0	IN	逓倍数設定信号
H04	SEL1	IN	
H05	SEL2	IN	
H06	SEL3	IN	
H07	FSEL0	IN	周波数設定信号
H08	FSEL1	IN	
H09	TMD0	IN	テスト・モード設定信号
H10	TMD1	IN	
H11	TMD2	IN	
H12	TCK0	IN	テスト・モード・クロック入力信号
H13	TCK1	IN	
H14	TSMI	IN	テスト・モード切り替え信号
H15	TSEL0	IN	テスト・モード逓倍数設定信号
H16	TSEL1	IN	
H17	TSEL2	IN	
H18	TSEL3	IN	
H19	TFSEL0	IN	テスト・モード設定信号
H20	TFSEL1	IN	
N01	CLK0	OUT	逓倍クロック出力信号
N02	LOCK	OUT	ロック信号
N03	TOUT0	OUT	NECテスト・モード出力信号
N04	TOUT1	OUT	
N05	TOUT2	OUT	
N06	TOUT3	OUT	
N07	CLK1	OUT	逓倍クロック出力信号 (2分周出力)
N08	CLK2	OUT	逓倍クロック出力信号 (4分周出力)

(b) 動作真理値表

RCLK	TCKn	SELn	TSELn	TFSEL1	TFSEL0	TMD2	TMD1	TMD0	TSMI	CLKn	LOCK	TOUTn	モード
A	X		X	X	X	0	0	0	X	A	LOCK ^{注1}	0	PLLモード ^{注2}
X	X		X	X	X	0	0	1	X	0	0	0	リセット・モード
A	X		X	X	X	0	1	0	X	A	0	0	スルー・パス・モード ^{注3}
X	X		X	X	X	1	0	0	X	0	0	0	ストップ・モード
A		X		0	0	1	0	1		0	TEST	TEST	NECテスト・モード
A		X		0	1	1	0	1		0	TEST	TEST	
A		X		1	0	1	0	1		0	TEST	TEST	
A		X		1	1	1	0	1		0	TEST	TEST	
A		X		0	0	1	1	0		0	TEST	TEST	
A		X		0	1	1	1	0		0	TEST	TEST	
A		X		1	0	1	1	0		0	TEST	TEST	
A		X		1	1	1	1	0		0	TEST	TEST	
A		X		0	0	1	1	1		0	TEST	TEST	
A		X		0	1	1	1	1		0	TEST	TEST	
A		X		1	0	1	1	1		0	TEST	TEST	
A		X		1	1	1	1	1		0	TEST	TEST	

注1. ロック時 (RCLKとCLKIの位相が合ったとき) に“1”になります。

2. CLK0にはAの逡倍されたクロックが、CLK1にはCLK0を2分周したクロックが、CLK2にはCLK0を4分周したクロックがそれぞれ出力されます。
3. CLK0にはAが、CLK1にはCLK0を2分周したクロックが、CLK2にはCLK0を4分周したクロックがそれぞれ出力されます。

備考 A, : 選択したモードで使用することを示します。

(c) 逡倍数の設定

SELnで逡倍数を設定してください (SELn, FSELnはF091でクランプしてもかまいません)。

逡倍数	FSELn ^注	SEL3 ^注	SEL2	SEL1	SEL0	使用可能周波数帯 (RCLK)
1	X	X	0	0	0	33 ~ 80 MHz
2	X	X	0	0	1	33 ~ 50 MHz, 66 ~ 100 MHz
3	X	X	0	1	0	33 MHz, 44.3 ~ 66.6 MHz
4	X	X	0	1	1	33 ~ 50 MHz

注 FSELn, SEL3はF091で“1”か“0”のレベルに固定してください。

注意 上記周波数帯で使用可能です。それ以外の周波数は使用できませんので注意してください。

(2) 電気的特性

デジタルPLL (F9H2) の電気的特性を表9 - 9に示します。

表9 - 9 AC特性 (F9H2)

項目	略号	MIN.	TYP.	MAX.	単位	備考
RCLK周波数 ^{注1}	trCKT	33.0		80.0	MHz	1逓倍設定時
		33.0		100.0	MHz	2逓倍設定時
		33.0		66.6	MHz	3逓倍設定時
		33.0		50.0	MHz	4逓倍設定時
電源の揺れ許容振幅				V _{DD} ±0.3	V	peak-to-peak
入力デューティ	tcIW			50 ±5	%	
RCLKパルス幅	trCKW	2.8			ns	
CLKIパルス幅	tsIW	2.0			ns	
出力ジッタ	tjIT			600 ^{注2}	ps	電源ノイズ300 mV以下 (peak-to-peak)
				注2, 3	ps	電源ノイズ300 ~ 600 mV (peak-to-peak)
出力デューティ	tcOW	45		55	%	
スルー・パス・モード遅延	tTHR	1.10		2.70	ns	CLK0出力
	tTHL	1.15		2.70	ns	CLK0出力
	tTHR	1.10		2.70	ns	CLK1出力
	tTHL	1.15		2.70	ns	CLK1出力
	tTHR	1.10		2.70	ns	CLK2出力
	tTHL	1.15		2.70	ns	CLK2出力
CTS遅延制限	tfBD			20.42	ns	
引き込み時間	tLOCK			2116	RCLK	
定常位相誤差	toFF			±0.1	ns	入力ジッタなし
リセット・パルス幅	trSTW	5			ns	
出力停止時間	tSTOP	2		4	tcow	
消費電力 ^{注4}	P _{PLL}		65		mW	V _{DD} = 3.3 V, T _A = 85 °C, RCLK = 50 MHz, CLK0 = 100 MHz

注1. 逓倍数により使用できる周波数範囲を示します。それ以外の周波数は使用できませんので、注意してください。

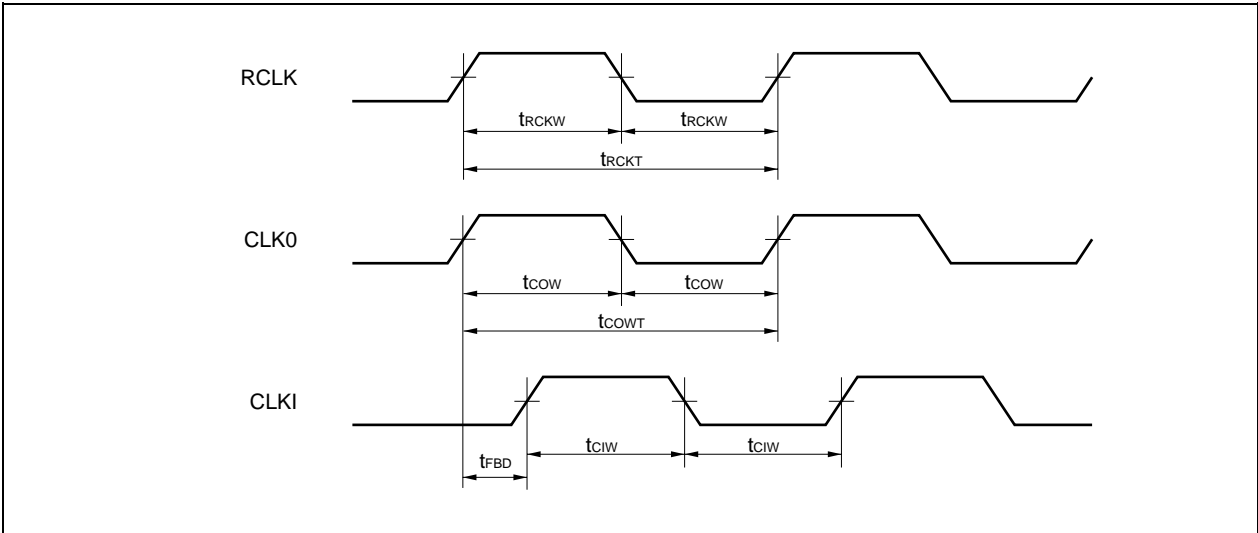
- 1逓倍：33 ~ 80 MHz
- 2逓倍：33 ~ 50 MHz, 66 ~ 100 MHz
- 3逓倍：33 MHz, 44.3 ~ 66.6 MHz
- 4逓倍：33 ~ 50 MHz

- 2. 入力ジッタが80 ps以内の出力ジッタ。
入力ジッタが80 ps以上の場合は上記ジッタに入力ジッタを加えてください。
- 3. ジッタ [ps] = 電源の揺れ [mV] × 2 [ps/mV]
- 4. 消費電力は次の計算式で計算してください。

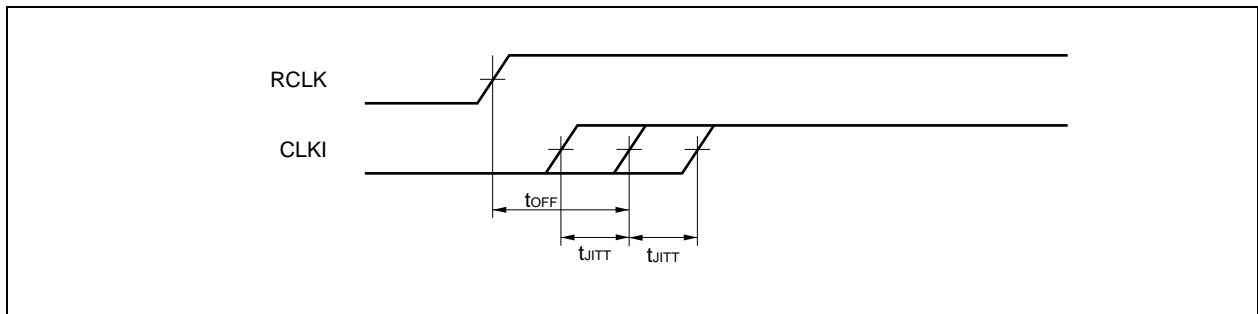
$$P_{PLL} = \{ RCLK \times 900 \times 1.09 + (RCLK/8) \times 100 \times 1.09 + (RCLK/12) \times 80 \times 1.09 + CLK0 \times 130 \times 1.09 \} / 1000 \text{ [mW]}$$

備考 RCLK : RCLK周波数 [MHz], CLK0 : 逓倍クロック周波数 [MHz], 1.09 : V_{DD} = 3.3 V, T_A = 85 °Cのときの値

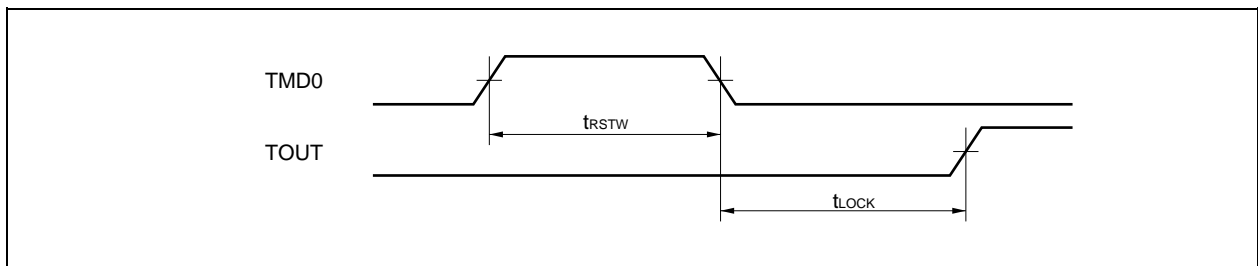
• 入力, 出力波形



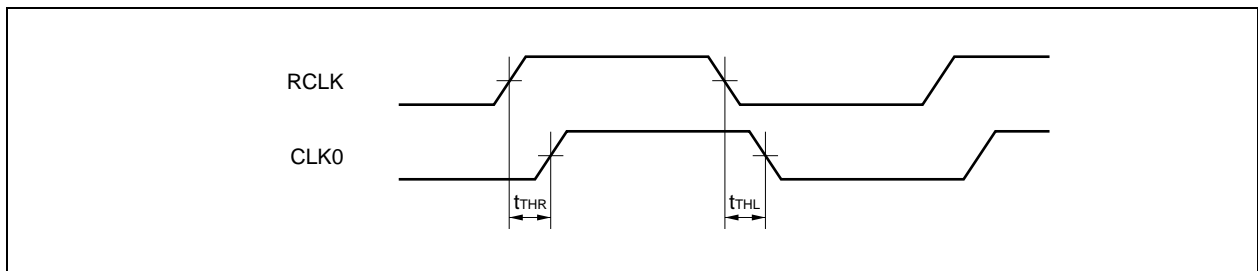
• ジッタ, 定常位相誤差



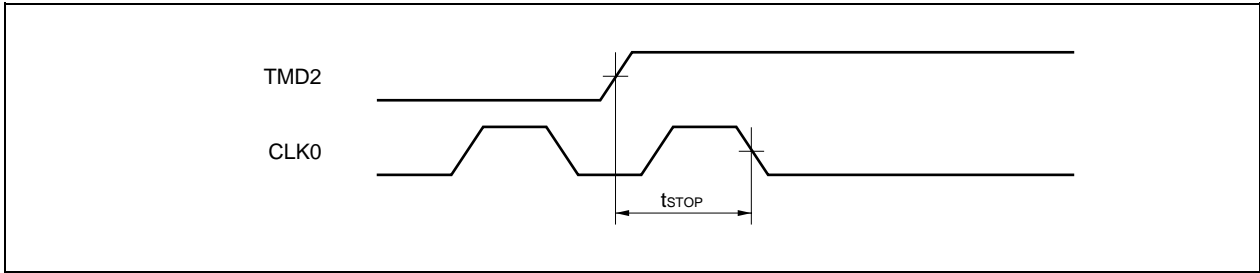
• 引き込み時間, リセット・モード



• スルー・パス・モード



• 出力ストップ・モード

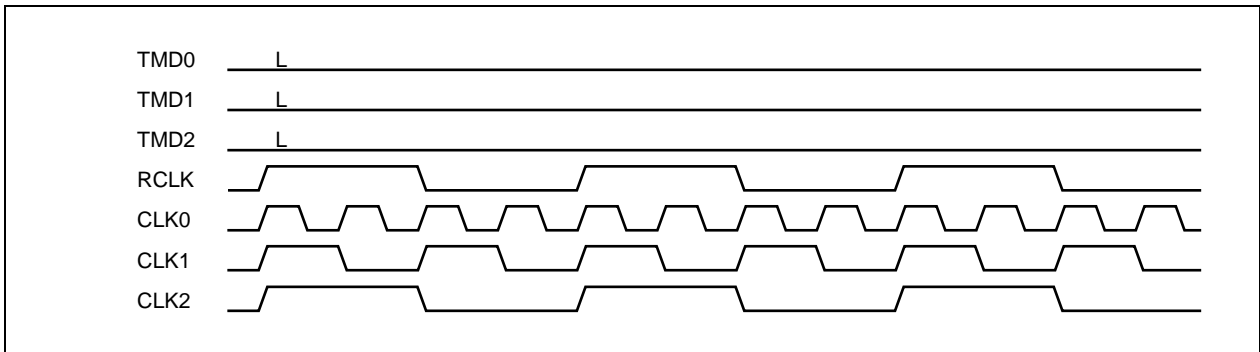


(3) デジタルPLL動作モード

(a) PLLモード

RCLKの位相にCLKnの位相を合わせるモードで、逡倍数設定信号 (SELn) で設定された逡倍クロックが出力されます。

[PLLモードで4逡倍に設定したときの波形]



(b) リセット・モード

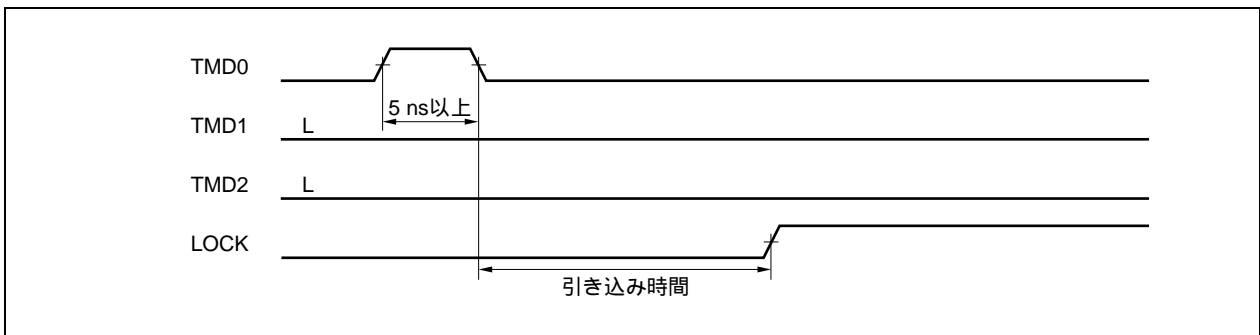
デジタルPLL全体をリセットするモードです。電源投入後は必ず、リセット・モードを実行する必要があります。

リセット・モードに設定するタイミングに規定はありませんが、最低でも、リセット・モードは5 ns以上に設定してください。

また、リセット・モード中はRCLKを入力しても、入力しなくてもかまいません。

リセット・モード解除後引き込み時間以内にロックします。

[リセット・モード時の波形入力]

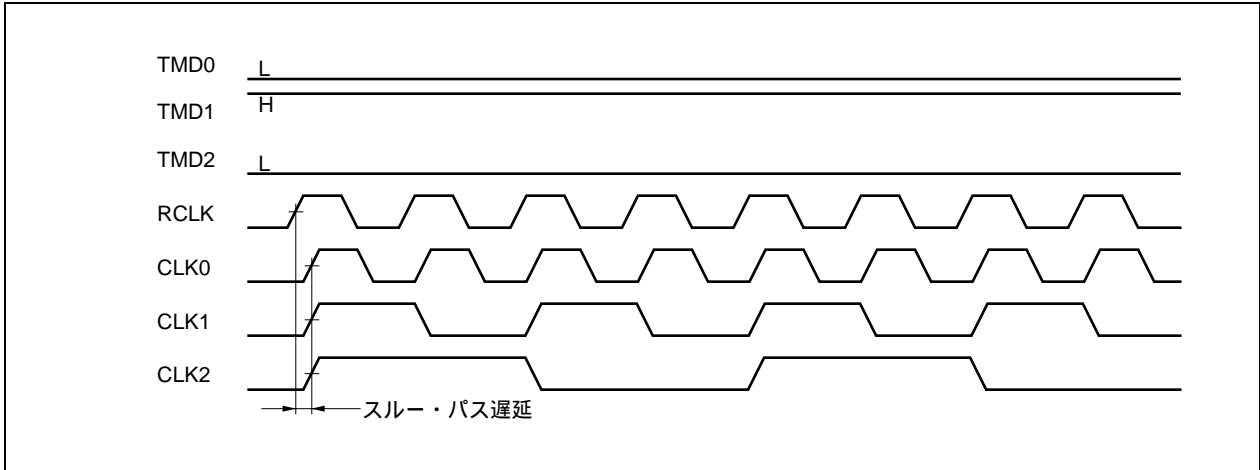


(c) スルー・パス・モード

デジタルPLL後段のユーザ回路をテストするときに使用するモードで、CLK0にRCLKがスルー・パス遅延分遅れて出力されます(スルー・パス・モードでは逡倍数に関係なく、RCLK = CLK0となります)。

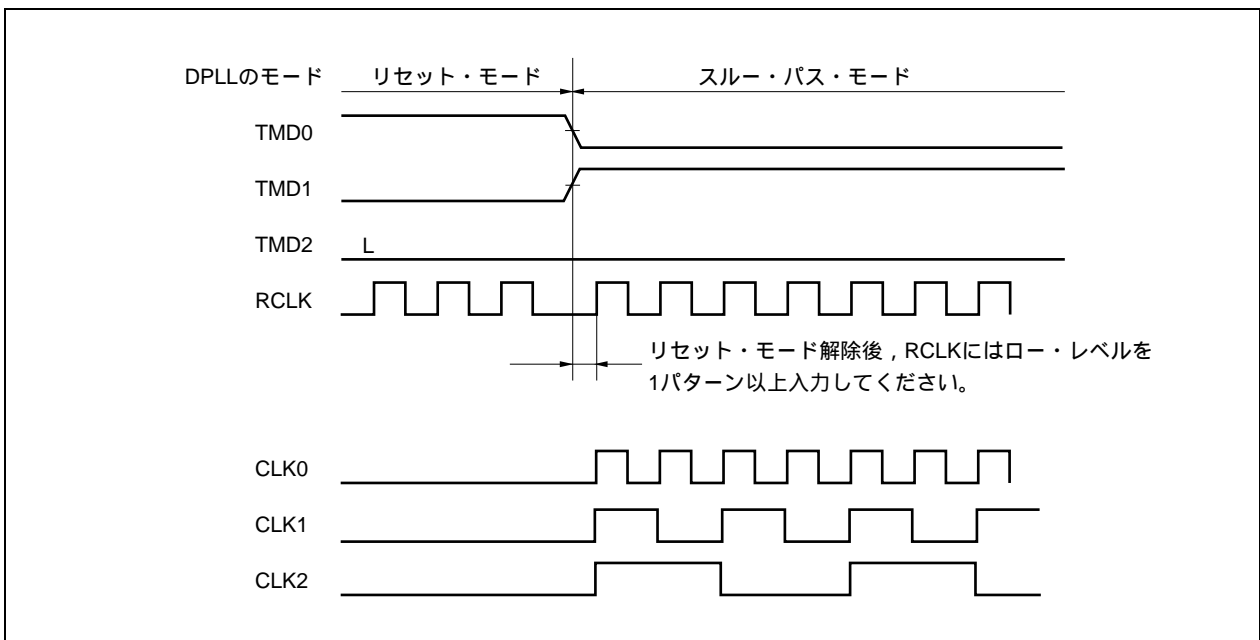
AC規格の遅延にクロック・ツリー等の遅延値は含まれていません。

[スルー・パス出力波形図]



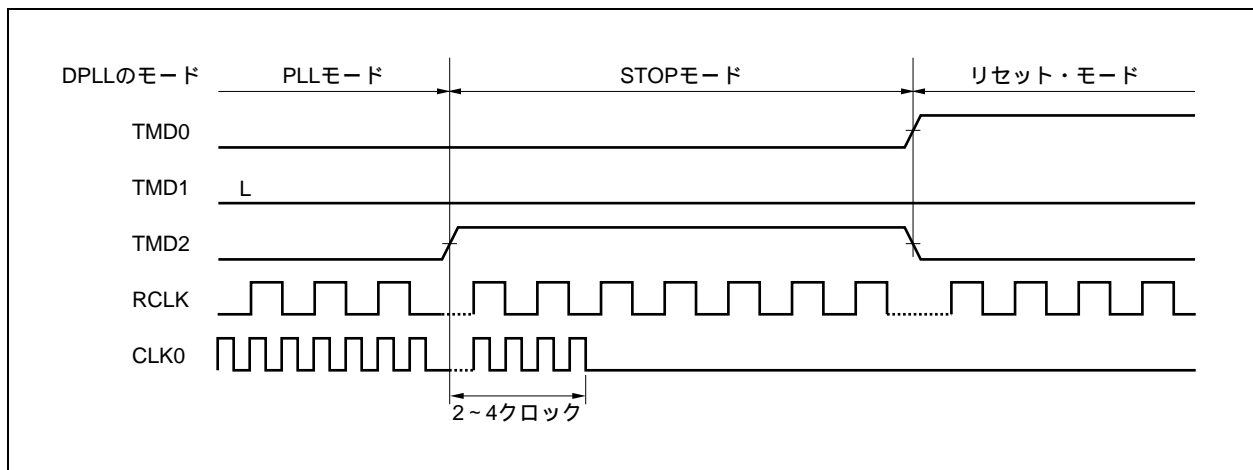
F9H2タイプをスルー・パス・モードに設定する場合の注意事項

必ず、リセット・モードからスルー・パス・モードに設定してください。



(d) 出力ストップ・モード

CLK0出力をロー・レベルに固定するモードです。出力ストップ・モードに設定したあと2~4クロック後に、CLK0はスパイクを発生することなくロー・レベル固定となります。ストップ・モードに設定するタイミングに規定はありませんが、ストップ・モード解除後は必ずリセット・モードを実行してください。



(4) 注意事項

- RCLK入力には外部入力バッファ “FI0P” または “FI0Q” を必ず使用するようにしてください。
3 Vインタフェース時は “FI0P” を使用し、5 Vインタフェース時は “FI0Q” を使用してください。
- デジタルPLLはコーナ部分に配置してください(4コーナのいずれでもかまいません)。
- デジタルPLLの近くにRAMやROMを配置しないでください。
- RCLKを配置する端子の両隣はGNDを配置してください。
- 外部バッファ・ノイズの対策として追加GNDを配置し、デジタルPLL周辺には高駆動力バッファ (GTL+等) を配置しないでください。
- CLK0-CLK02出力にはクロック・ドライバまたはCTSを接続し、そのいずれかの出力をデジタルPLL (F9H2) のCLKI入力に必ず接続してください(使用しないCLKn出力はオープンでかまいません)。しかし、CLK0等の出力をF/F等で分周した場合には、その分周出力をデジタルPLL (F9H2) のCLKI入力には絶対入力しないでください。
- TMD0-TMD2は外部端子から直接入力し、シミュット・バッファを接続してください。
TMD0-TMD2端子にはスパイク入力がないように注意してください。
- デジタルPLL (F9H2) 単体試験のため、CLKI, SEL0-SEL2, CLK0-CLK2以外の端子は外部から入力/出力できるようにしてください(TCK0-TCK1, TSMI, TSEL0-TSEL3, TFSEL0-TFSEL1はほかの外部端子と共有可能です)。
RCLK, TCK0-TCK1において、双方向バッファ使用による兼用は禁止です。
- リセット・モードは5 ns以上設定してください。
- リセット・モードは電源投入後、電源電圧が 3.3 ± 0.3 V、入力クロックのパルス幅が2.8 ns以上、デューティが 50 ± 5 %以内、周期が使用周期の ± 1 nsに安定してから、リセット・モードを解除してください。
- 出力ストップ・モード解除後は必ずリセット・モードを実行するようにしてください。
- シミュレーション時は必ずスルー・パス・モードでテストを行ってください。
- CLK1出力はCLK0出力波形を2分周した波形です。

- CLK2出力はCLK0出力波形を4分周した波形です。
- PLLモードでデジタルPLL (F9H2) がロック (TOUT = 'L' 'H') するまで出力クロックは不安定なため、動作を保証できません。
- リセット・モード解除後、RCLKには必ず周期変動 ± 1 ns、パルス幅は2.8 ns以上、デューティが 50 ± 5 %の波形を入力してください。上記範囲を越えた不安定なクロックがRCLKに入力された場合、PLLが自動的にリセット・モードになり、ロックするまで出力クロックが不安定になることがあります。
- 逡倍数を変更した場合は必ずリセット・モードを実行してください。
- リセット・モードにしたときやリセット・モードを解除したとき、出力クロックにはスパイクが発生することがあります。
- 電源電圧は規格範囲内 (3.3 ± 0.3 V) で供給し、ノイズによる電源の揺れは600 mV (peak-to-peak) 以下にしてください。ノイズによる電源の揺れが600 mV以上あるとデジタルPLL (F9H2) の正常な動作を保証できません。
- 電源電圧は規格範囲内 (3.3 ± 0.3 V) で供給し、ノイズによる電源の揺れは300 mV (peak-to-peak) 以下にしてください。

ノイズによる電源の揺れが300 ~ 600 mVあるときは、次の計算式でジッタを求めてください。

$$\text{ジッタ [ps]} = \text{電源の揺れ [mV]} \times 2 \text{ [ps/mV]}$$

ノイズによる電源の揺れが600 mV以上あるとデジタルPLL (F9H2) の正常な動作は保証できません。

- 入力バッファとTMD0-TMD2の間に回路 (パワーオン・リセット回路など) を入れる場合は、特殊要求が必要です。
- 帰還クロックの設定についての注意事項
 - CLK0-CLK2出力にはCTSを接続し、その出力をデジタルPLL (F9H2) のCLKI入力に必ず接続してください。
 - CLK0等の出力をF/F等で分周し、その分周出力をCLKIに入力しないでください。
 - CLKI入力には基準クロックの整数倍のクロックを帰還するようにしてください。
 - CLKI入力に基準クロックより低い周波数のクロックは帰還させないでください^注。

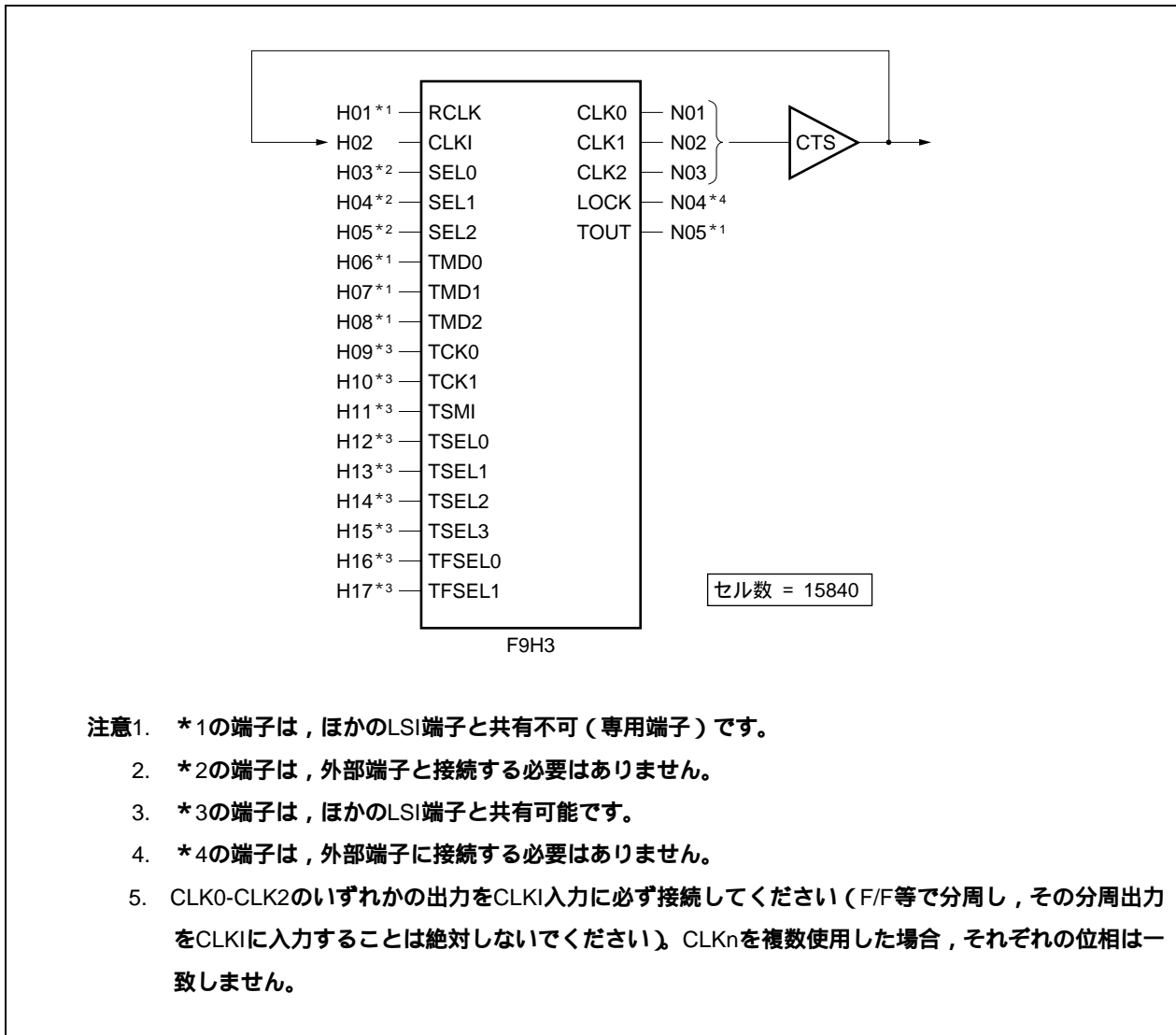
注 3逡倍モードでCLK1を帰還させたり、2逡倍モードでCLK2を帰還させる使い方はできません。

9.6.3 デジタルPLL (F9H3)

(1) 機能と動作モード

通倍デジタルPLL (F9H3) の機能と動作モードについて説明します。

図9 - 19 デジタルPLL接続例 (F9H3)



- 注意1. *1の端子は、ほかのLSI端子と共有不可（専用端子）です。
- *2の端子は、外部端子と接続する必要はありません。
 - *3の端子は、ほかのLSI端子と共有可能です。
 - *4の端子は、外部端子に接続する必要はありません。
5. CLK0-CLK2のいずれかの出力をCLKI入力に必ず接続してください（F/F等で分周し、その分周出力をCLKIに入力することは絶対しないでください）。CLKnを複数使用した場合、それぞれの位相は一致しません。

(a) 端子機能一覧

端子名	信号名	属性	機能
H01	RCLK	IN	基準クロック信号
H02	CLKI	IN	帰還クロック信号
H03	SEL0	IN	逡倍数設定信号
H04	SEL1	IN	
H05	SEL2	IN	
H06	TMD0	IN	テスト・モード設定信号
H07	TMD1	IN	
H08	TMD2	IN	
H09	TCK0	IN	テスト・モード・クロック入力信号
H10	TCK1	IN	
H11	TSMI	IN	テスト・モード切り替え信号
H12	TSEL0	IN	テスト・モード逡倍数設定信号
H13	TSEL1	IN	
H14	TSEL2	IN	
H15	TSEL3	IN	
H16	TFSEL0	IN	テスト・モード設定信号
H17	TFSEL1	IN	
N01	CLK0	OUT	逡倍クロック出力信号
N02	CLK1	OUT	逡倍クロック出力信号 (2分周出力)
N03	CLK2	OUT	逡倍クロック出力信号 (4分周出力)
N04	LOCK	OUT	ロック信号
N05	TOUT	OUT	NECテスト・モード出力信号

(b) 動作真理値表

RCLK	TCKn	SELn	TSELn	TFSEL1	TFSEL0	TMD2	TMD1	TMD0	TSMI	CLKn	LOCK	TOUT	モード
A	X		X	X	X	0	0	0	X	A	LOCK ^{注1}	0	PLLモード ^{注2}
X	X		X	X	X	0	X	1	X	0	0	0	リセット・モード
A	X		X	X	X	0	1	0	X	A	0	0	スルー・パス・モード ^{注3}
X	X		X	X	X	1	0	0	X	0	0	0	ストップ・モード
A		X		0	0	1	0	1		0	X	TEST	NECテスト・モード
A		X		0	1	1	0	1		0	X	TEST	
A		X		1	0	1	0	1		0	X	TEST	
A		X		1	1	1	0	1		0	X	TEST	
A		X		0	0	1	1	0		0	X	TEST	
A		X		0	1	1	1	0		0	X	TEST	
A		X		1	0	1	1	0		0	X	TEST	
A		X		1	1	1	1	0		0	X	TEST	
A		X		0	0	1	1	1		0	X	TEST	
A		X		0	1	1	1	1		0	X	TEST	
A		X		1	0	1	1	1		0	X	TEST	
A		X		1	1	1	1	1		0	X	TEST	
A		X		0	1	1	1	1		0	X	TEST	
A		X		1	0	1	1	1		0	X	TEST	

注1. ロック時 (RCLKとCLKiの位相が合ったとき) に“1”になります。

2. CLK0にはAの通倍されたクロックが、CLK1にはCLK0を2分周したクロックが、CLK2にはCLK0を4分周したクロックがそれぞれ出力されます。

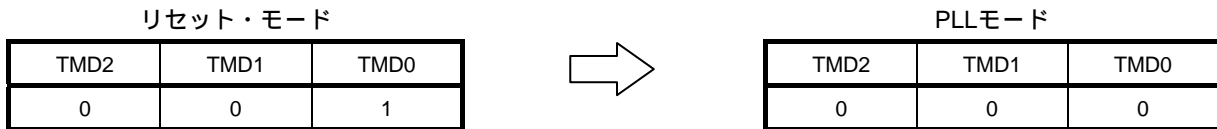
3. CLK0にはAが、CLK1にはCLK0を2分周したクロックが、CLK2にはCLK0を4分周したクロックがそれぞれ出力されます。

備考 A, : 選択したモードで使用することを示します。

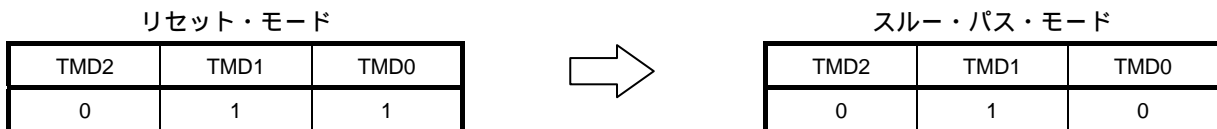
リセット・モードの設定について

リセット・モードはTMD2 = 0, TMD1 = X, TMD0 = 1で設定してください (Xは0または1のどちらかを入力してください)。

リセット・モードからPLLモードに変更するときはTMD (2 : 0) を次のようにしてください。



リセット・モードからスルー・パス・モードに変更するときはTMD (2 : 0) を次のようにしてください。



上記のように設定することで、変化端子を1ピンにすることができます。

(c) 逡倍数の設定

SELnで逡倍数を設定してください (SELnはF091でクランプしてもかまいません)。

逡倍数	SEL2	SEL1	SEL0	使用可能周波数帯 (RCLK)
1	0	0	0	25 ~ 100 MHz
2	0	0	1	25 ~ 100 MHz
3	0	1	0	25 ~ 66.6 MHz
4	0	1	1	25 ~ 50 MHz
5	1	0	0	25 ~ 40 MHz
6	1	0	1	25 ~ 33.3 MHz
7	1	1	0	25 ~ 28.5 MHz
8	1	1	1	25 MHz

注意 上記周波数帯で使用可能です。それ以外の周波数は使用できませんので注意してください。

(2) 電気的特性

デジタルPLL (F9H3) の電気的特性を表9 - 10に示します。

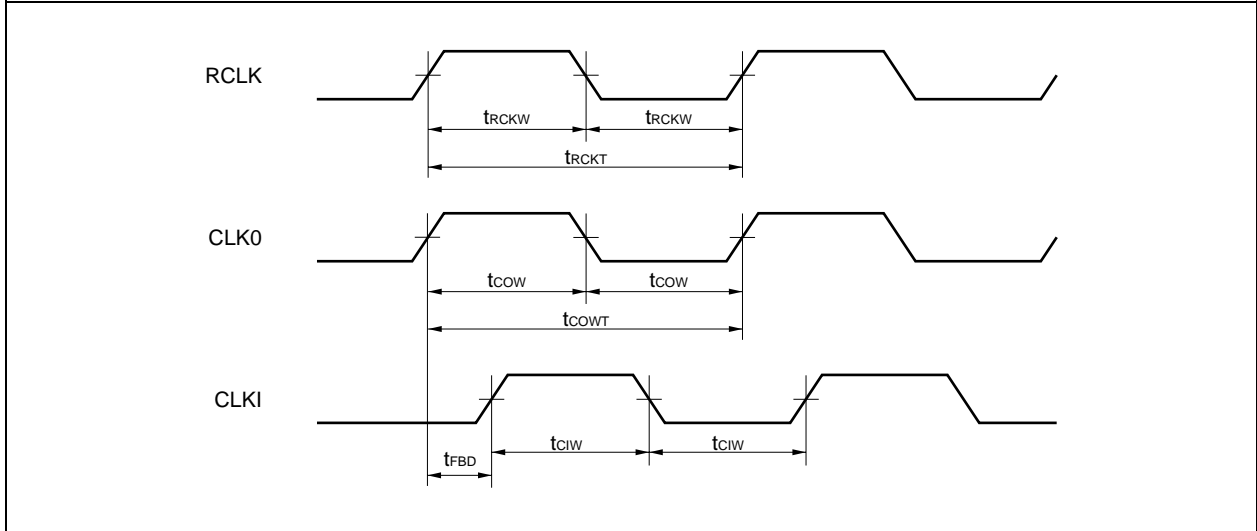
表9 - 10 AC特性 (F9H3)

項目	略号	MIN.	TYP.	MAX.	単位	備考
RCLK周波数	trCKT	25.0		100.0	MHz	1逡倍設定時
		25.0		100.0	MHz	2逡倍設定時
		25.0		66.6	MHz	3逡倍設定時
		25.0		50.0	MHz	4逡倍設定時
		25.0		40.0	MHz	5逡倍設定時
		25.0		33.3	MHz	6逡倍設定時
		25.0		28.5	MHz	7逡倍設定時
		25.0		-	MHz	8逡倍設定時
RCLK入力許容ジッタ	trCKJ			700	ps	
電源の揺れ許容振幅				$V_{DD} \pm 0.3$	V	peak-to-peak
入力デューティ	tcIW			50 ± 5	%	
RCLKパルス幅	trCKW	2.8			ns	
CLKIパルス幅	tsIW	2.0			ns	
出力ジッタ	tJIT			600 ^注	ps	電源ノイズ200 mV以下 (peak-to-peak)
出力デューティ	tcOW	45		55	%	
スルー・パス・モード遅延	tTHR	0.886		1.958	ns	CLK0出力
	tTHL	0.893		1.979	ns	CLK0出力
	tTHR	0.845		1.853	ns	CLK1出力
	tTHL	0.845		1.909	ns	CLK1出力
	tTHR	0.845		1.853	ns	CLK2出力
	tTHL	0.845		1.909	ns	CLK2出力
CTS遅延制限	tfBD			8.22	ns	
引き込み時間	tLOCK			2116	RCLK	
定常位相誤差	toFF			± 0.1	ns	入力ジッタなし
リセット・パルス幅	trSTW	5			ns	
出力停止時間	tSTOP	2		4	tcow	
消費電力	PPLL		50		mW	

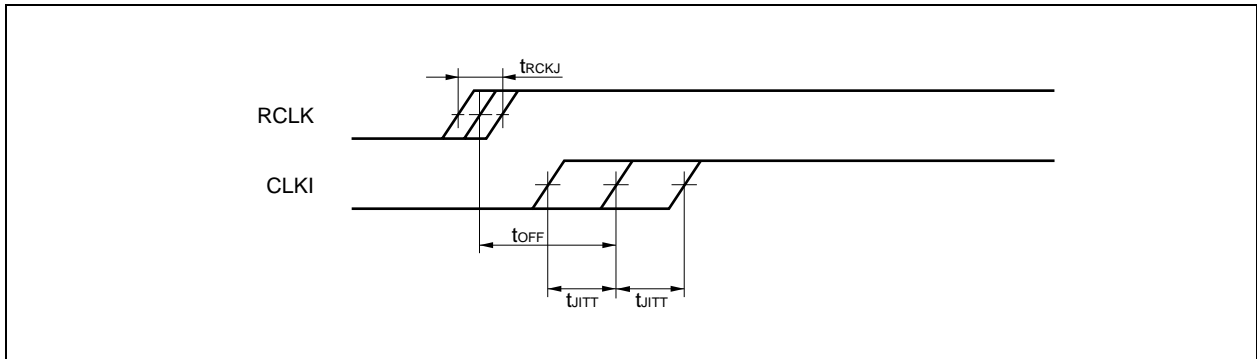
注 入力ジッタが80 ps以内の出力ジッタ。

入力ジッタが80 ps以上の場合は上記ジッタに入力ジッタを加えてください。

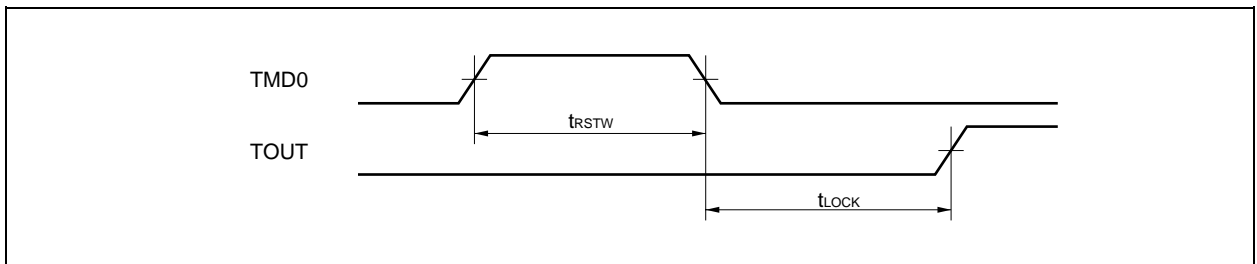
• 入力, 出力波形



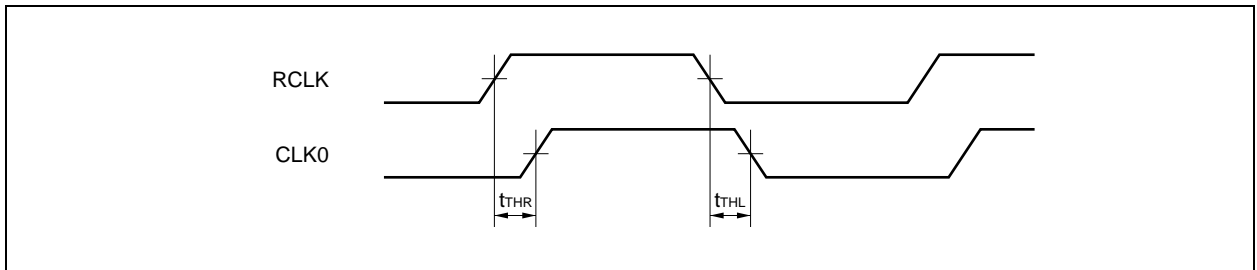
• ジッタ, 定常位相誤差



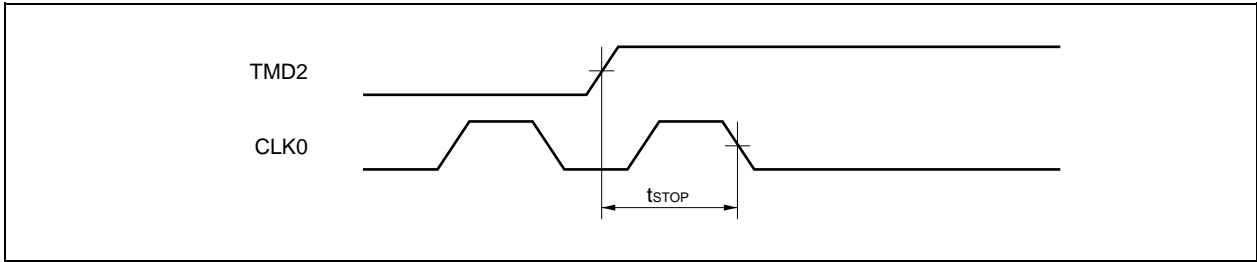
• 引き込み時間, リセット・モード



• スルー・パス・モード



• 出力ストップ・モード

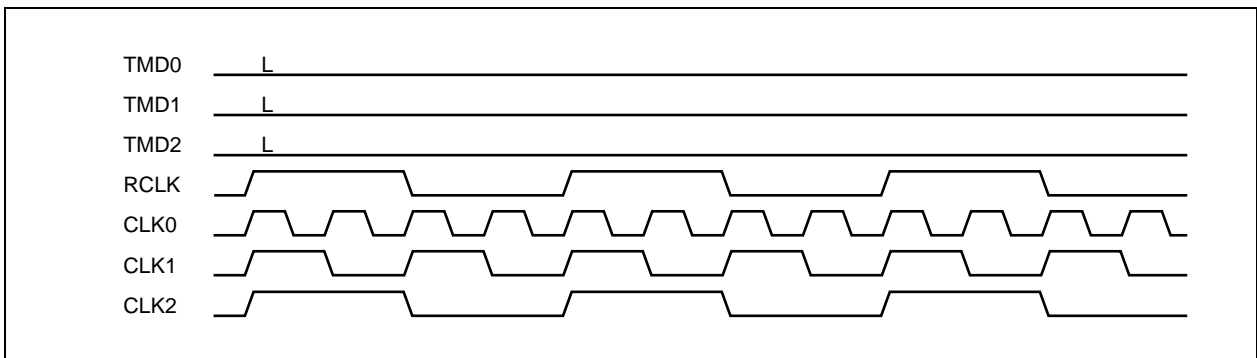


(3) デジタルPLL動作モード

(a) PLLモード

RCLKの位相にCLKnの位相を合わせるモードで、逡倍数設定信号 (SELn) で設定された逡倍クロックが出力されます。

[PLLモードで4逡倍に設定したときの波形]



(b) リセット・モード

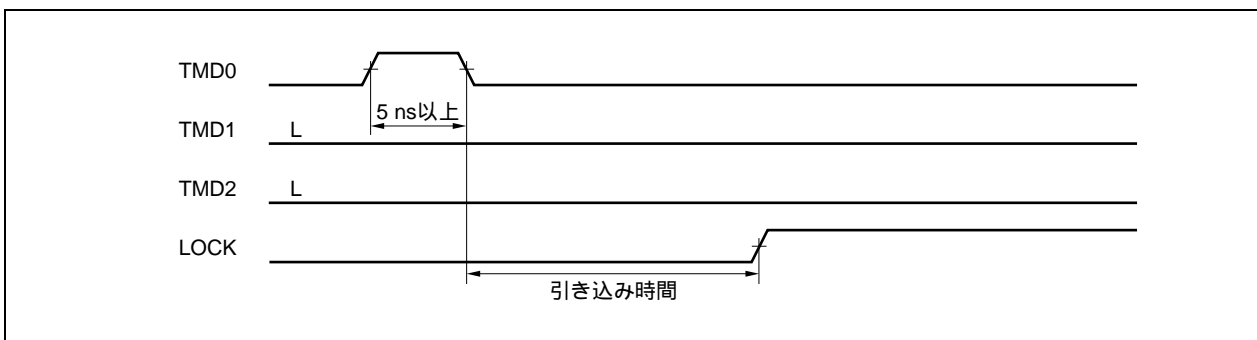
デジタルPLL全体をリセットするモードです。電源投入後は必ず、リセット・モードを実行する必要があります。

リセット・モードに設定するタイミングに規定はありませんが、最低でも、リセット・モードは5 ns以上に設定してください。

また、リセット・モード中はRCLKを入力しても、入力しなくてもかまいません。

リセット・モード解除後引き込み時間以内にロックします。

[リセット・モード時の波形入力]

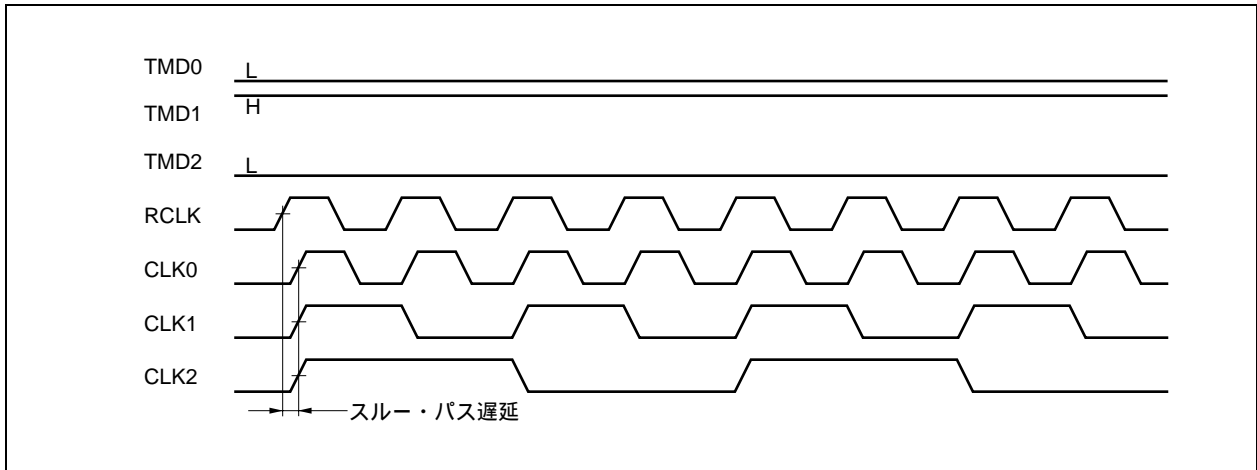


(c) スルー・パス・モード

デジタルPLL後段のユーザ回路をテストするときに使用するモードで、CLK0にRCLKがスルー・パス遅延分遅れて出力されます(スルー・パス・モードでは逡倍数に関係なく、RCLK = CLK0となります)。

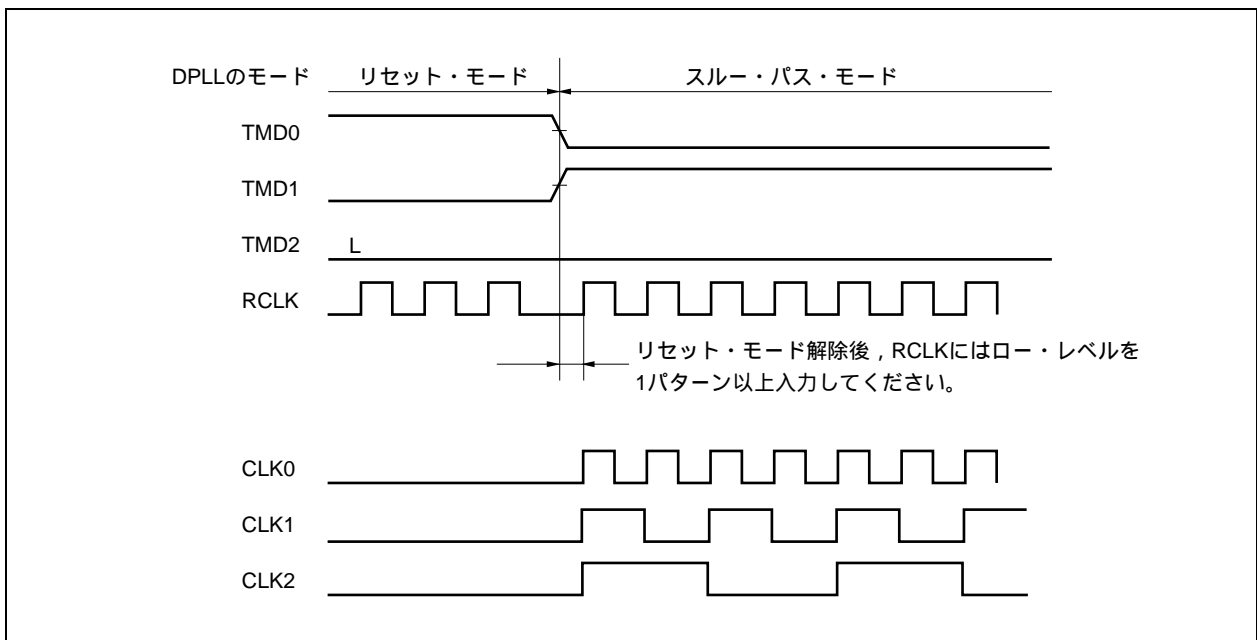
AC規格の遅延にクロック・ツリー等の遅延値は含まれていません。

[スルー・パス出力波形図]



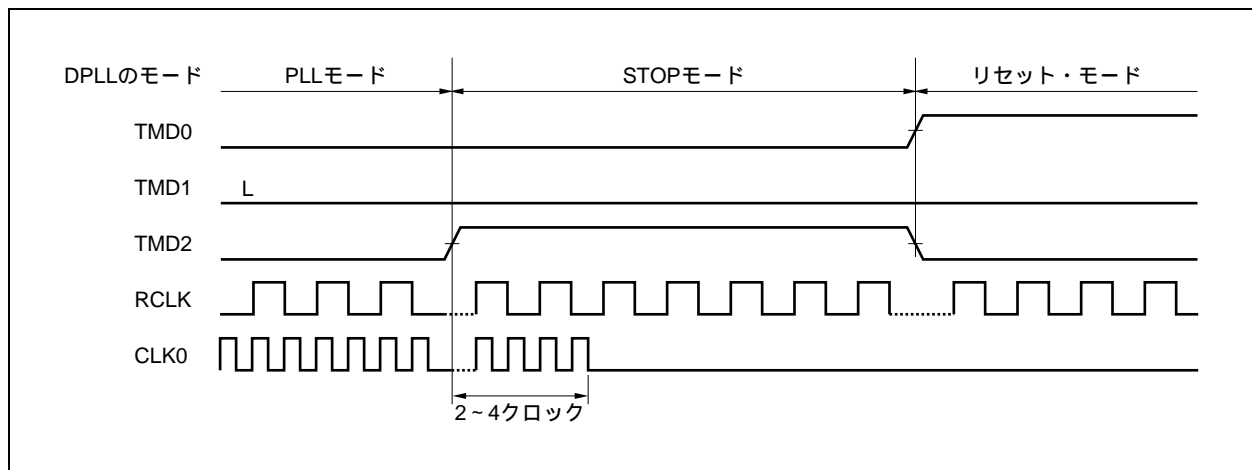
F9H3タイプをスルー・パス・モードに設定する場合の注意事項

必ず、リセット・モードからスルー・パス・モードに設定してください。



(d) 出力ストップ・モード

CLK0出力をロー・レベルに固定するモードです。出力ストップ・モードに設定したあと2~4クロック後に、CLK0はスパイクを発生することなくロー・レベル固定となります。ストップ・モードに設定するタイミングに規定はありませんが、ストップ・モード解除後は必ずリセット・モードを実行してください。



(4) 注意事項

- シミュレーションでは、必ずスルー・パス・モードに設定して確認してください。ただし、実使用条件での確認ではないので、各端子の設定および接続には十分注意してください。
- RCLK入力には外部入力バッファ“FI0P”または“FI0Q”を必ず使用するようにしてください。
3Vインタフェース時は“FI0P”を使用し、5Vインタフェース時は“FI0Q”を使用してください。
- RCLK, TMD0-TMD2の入力端子にはスパイク・ノイズが入力されないように注意してください。
- デジタルPLLはコーナ部分に配置してください(4コーナのいずれでもかまいません)。
- デジタルPLLの近くにRAMやROMを配置しないでください。
- RCLKを配置する端子の両隣はGNDを配置してください。
- 外部バッファ・ノイズの対策として追加GNDを配置し、デジタルPLL周辺には高駆動力のバッファ(GTL+等)を配置しないでください。
- CLK0-CLK2の出力にはクロック・ドライバまたはCTSを接続し、そのいずれかの出力をデジタルPLL(F9H3)のCLKI入力に必ず接続してください(使用しないCLKn出力はオープンでかまいません)。しかし、CLK0等の出力をF/F等で分周した場合には、その分周出力をデジタルPLL(F9H3)のCLKI入力には絶対入力しないでください。
- CLKI入力には基準クロックの整数倍のクロックを帰還してください。基準クロックより低い周波数のクロックは帰還しないでください。
- TMD0-TMD2は外部端子から直接入力し、シュミット・バッファを接続してください。
TMD0-TMD2端子にはスパイク入力がないように注意してください。
- デジタルPLL(F9H3)単体試験のため、CLKI, SEL0-SEL2, CLK0-CLK2以外の端子は外部から入力/出力できるようにしてください(TCK0-TCK1, TSEL0-TSEL3, TFSEL0-TFSEL1はほかの外部端子と共有可能です)。
RCLK, TCK0-TCK1において、双方向バッファ使用による兼用は禁止です。
- 下記条件のいずれか1つでも該当する場合には出力クロックは保証できません。必ずリセット・モードを

実行してください。

- ・電源投入後
 - ・電源電圧が規格 (3.3 ±0.3 V) 範囲外
 - ・PLLモード, スルー・パス・モード, STOPモードの変更をした場合
 - ・逡倍数設定 (SELn) の変更をした場合
 - ・表9 - 10 AC特性 (F9H3) の入力AC規格を満たさない場合
- リセット・モードは5 ns以上設定してください。
 - リセット・モードは電源投入後, 電源電圧が3.3 ±0.3 V, 入力クロックのパルス幅が2.8 ns以上, デューティが50 ±5 %以内, 周期が使用周期の±0.5 nsに安定してから, リセット・モードを解除してください。
 - 出力ストップ・モード解除後は必ずリセット・モードを実行するようにしてください。
 - CLK1出力はCLK0出力波形を2分周した波形です。
 - CLK2出力はCLK0出力波形を4分周した波形です。
 - PLLモードではデジタルPLL (F9H3) がロック (TOUT = 'L' 'H') するまで出力クロックは不安定なため, 動作は保証できません。
 - 電源電圧は規格範囲内 (3.3 ±0.3 V) で供給し, ノイズによる電源の揺れは200 mV (peak-to-peak) 以下にしてください。
また, LSIを実装する基板上的電源供給部には, VDD-GND間に22 μ F以上のバイパス・コンデンサを装着してください。
 - リセット・モード解除後, RCLKには必ず周期変動±0.5 ns, パルス幅は2.8 ns以上, デューティが50 ±5 %の波形を入力してください。上記範囲を越えた不安定なクロックがRCLKに入力された場合, PLLが自動的にリセット・モードになり, ロックするまで出力クロックが不安定になることがあります。
 - リセット・モードにしたときやリセット・モードを解除したとき, 出力クロックにはスパイクが発生することがあります。
 - 入力バッファとTMD0-TMD2の間に回路 (パワーオン・リセット回路など) を入れる場合は, 特殊要求が必要です。
 - RCLKが停止した場合, 出力クロックは保証できません。RCLKは必ず入力し続けてください。
 - 帰還クロックの設定についての注意事項
 - ・CLK0-CLK2出力にはCTSを接続し, その出力をデジタルPLL (F9H3) のCLKI入力に必ず接続してください。
 - ・CLK0等の出力をF/F等で分周し, その分周出力をCLKIに入力しないでください。
 - ・CLKI入力には基準クロックの整数倍のクロックを帰還するようにしてください。
 - ・CLKI入力に基準クロックより低い周波数のクロックは帰還させないでください注。

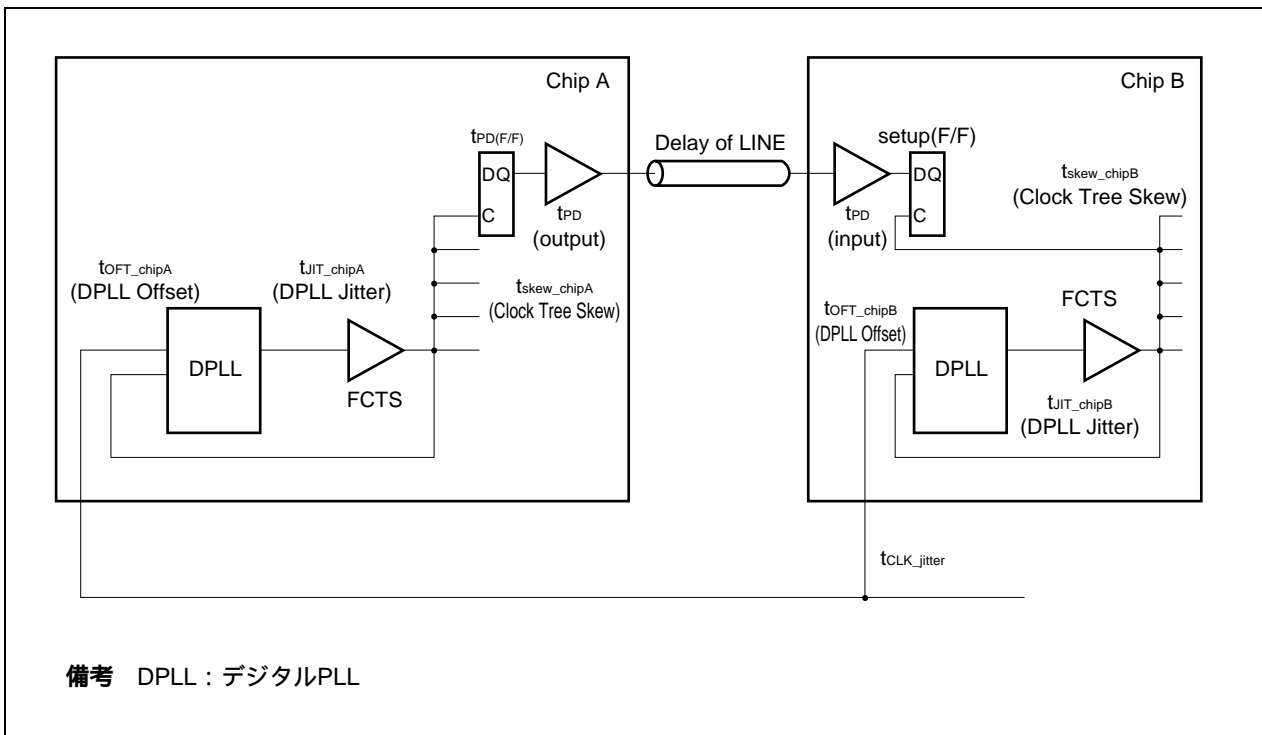
注 3逡倍モードでCLK1を帰還させたり, 2逡倍モードでCLK2を帰還させる使い方はできません。

9.6.4 デバイス間での信号転送

デジタルPLLを搭載したデバイス間で信号伝送を行う場合には、クロック・スキューやジッタを考慮して最高動作周波数を判断することになります。ここでは最高動作周波数の計算方法について示します。図9-20に示される回路のようにデバイス間でシフト・レジスタを構成する場合、クロック信号の最小周期は次の式で表されます。

$$\begin{aligned}
 T_{CLK} = & t_{CLK_jitter} + 0.5 \times t_{JIT_chipA} + 0.5 \times t_{skew_chipA} \\
 & + t_{PD} (F/F) + t_{PD} (output) + \text{Delay of LINE} + t_{PD} (input) + \text{setup} (F/F) \\
 & + 0.5 \times t_{JIT_chipB} + 0.5 \times t_{skew_chipB} + t_{OFT_chipA} + t_{OFT_chipB}
 \end{aligned}$$

図9-20 デバイス間の信号転送



9.6.5 テスト・パターン作成方法

PLL動作は通常の遅延シミュレーションでは再現できません。このため出荷検査では、デジタルPLL以外の回路の動作確認はデジタルPLLをスルー・パスしてテストし、デジタルPLLの動作確認は単体で行うことになります。デジタルPLL単体のテスト・パターンは、弊社で準備いたします。お客様は、デジタルPLLの接続ルールとテスト・パターン作成の注意を必ず守ってください。

デジタルPLLの接続される端子名は必ずご連絡ください。また、デジタルPLLのチェックのために弊社で用意したテスト・パターンのサイズは4Kあります。したがって、最大テスト・パターン長から4K引いた値が、お客様の作成できる最大テスト・パターン長になります。

なお、RCLK端子はクロック端子には指定できません。

(1) 通常シミュレーション

TMD0, TMD1, TMD2端子の信号は次のようにしてください。お客様が使われるのは、スルー・パス・モードとリセット・モードのみです。

動作モード	TMD0	TMD1	TMD2
スルー・パス	0	1	0
リセット	1	0	0

(2) デジタルPLLイニシャライズ・パターン^{注1}

デジタルPLLの単体の動作確認は、弊社の準備したデジタルPLLテスト・パターン・ファイルを使用します。しかし、デジタルPLLテスト端子とデジタルPLL本体との間にゲート（論理）が入る場合^{注2}にデジタルPLLテスト端子と、デジタルPLL本体とを直接アクセスするためのパターンや、デジタルPLL以外のブロック（フリップフロップや、入出力バッファなど）の出力期待値を確定させるためのこれらテスト・パターン（イニシャライズ・パターン）はユーザに準備していただくことになります。

- 注1.
- ・スルー・パス・モードとリセット・モードのみを使用してください。
 - ・TOUT以外の出力バッファは最終パターンのみDon't careにしてください。
 - ・行うテストによっては、RCLKがTOUT(唯一のモニタ端子)に直接出力されてしまうので、RCLK端子をクロック指定しないでください。
 - ・タイミングの関係の記述はしないでください。
2. 必ず弊社までご連絡ください。

9.6.6 デジタルPLLを使用した回路の静的タイミング解析方法

現在デジタルPLLのSTAモデルはスルー・モードのみなので、ロック・モード時の外部入力とフリップフロップ間、フリップフロップ同士間、フリップフロップと外部出力間それぞれの、タイミング検証をする場合には注意が必要です。検証方法に関しては、NECシステムLSI設計 OPENCAD スタティック・タイミング・アナライザ Tiara編 ユーザーズ・マニュアル (A15056J) を参照してください。

図9 - 21 PLLを使用した回路構成例

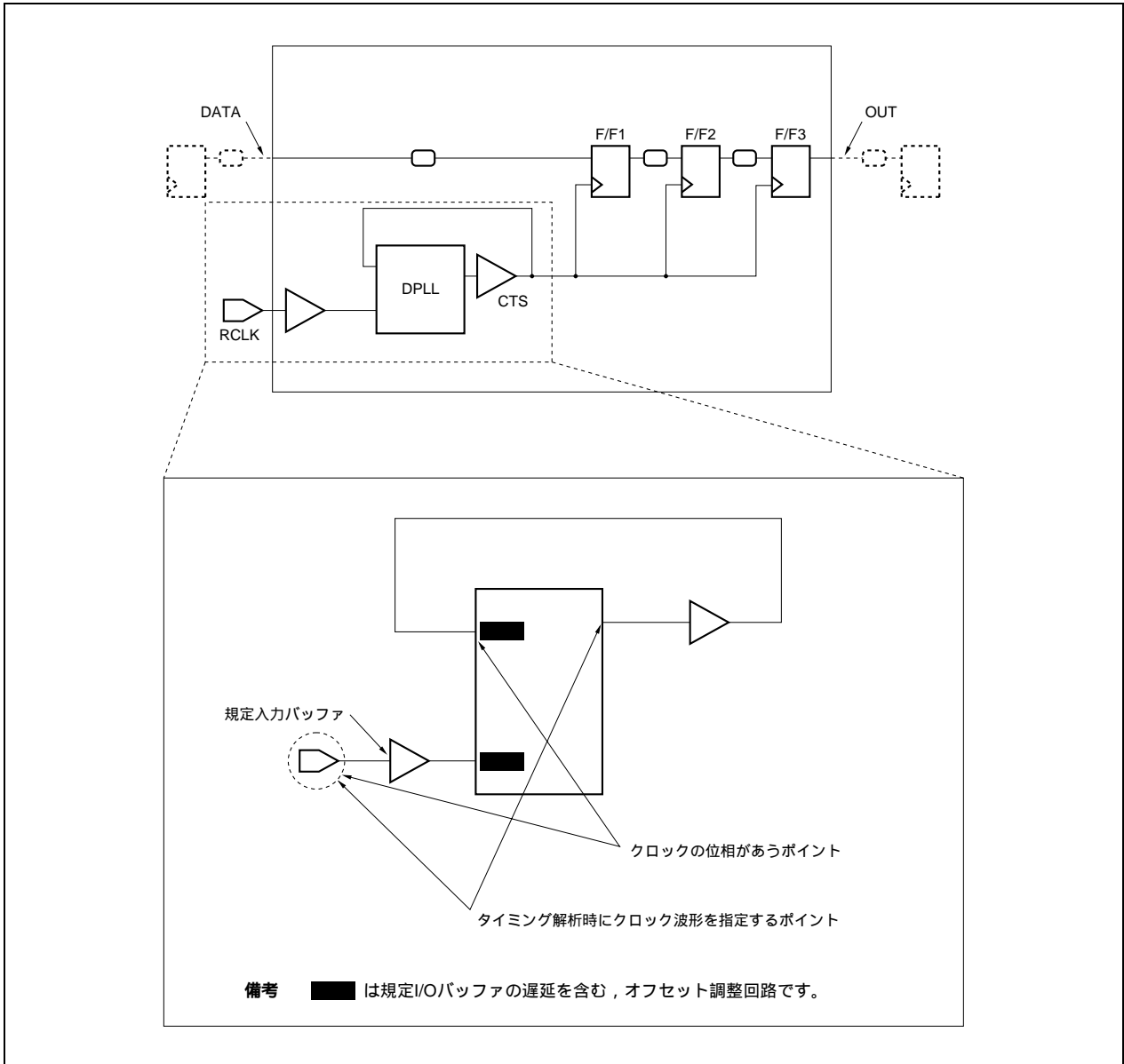


表9 - 11 デジタルPLLオフセット調整回路遅延値 (F9E4)

タイプ	最大遅延値
F9E4H	-580
F9E4G	-483
F9E4F	-390
F9E4E	-309
F9E4D	-233
F9E4C	-146
F9E4B	-58
F9E4A	26
F9E4I	110
F9E4J	198
F9E4K	285
F9E4L	361
F9E4M	442
F9E4N	535
F9E4O	632

備考 単位は1 ps/1ユニットです。

表9 - 12 デジタルPLLオフセット調整回路遅延値 (F9H2)

タイプ	最大遅延値
F9H2O	-562
F9H2N	-466
F9H2M	-383
F9H2L	-305
F9H2K	-217
F9H2J	-125
F9H2I	-37
F9H2A	45
F9H2B	127
F9H2C	215
F9H2D	307
F9H2E	395
F9H2F	473
F9H2G	556
F9H2H	652

備考 単位は1 ps/1ユニットです。

9.7 SSCG

9.7.1 F9H4SSCG

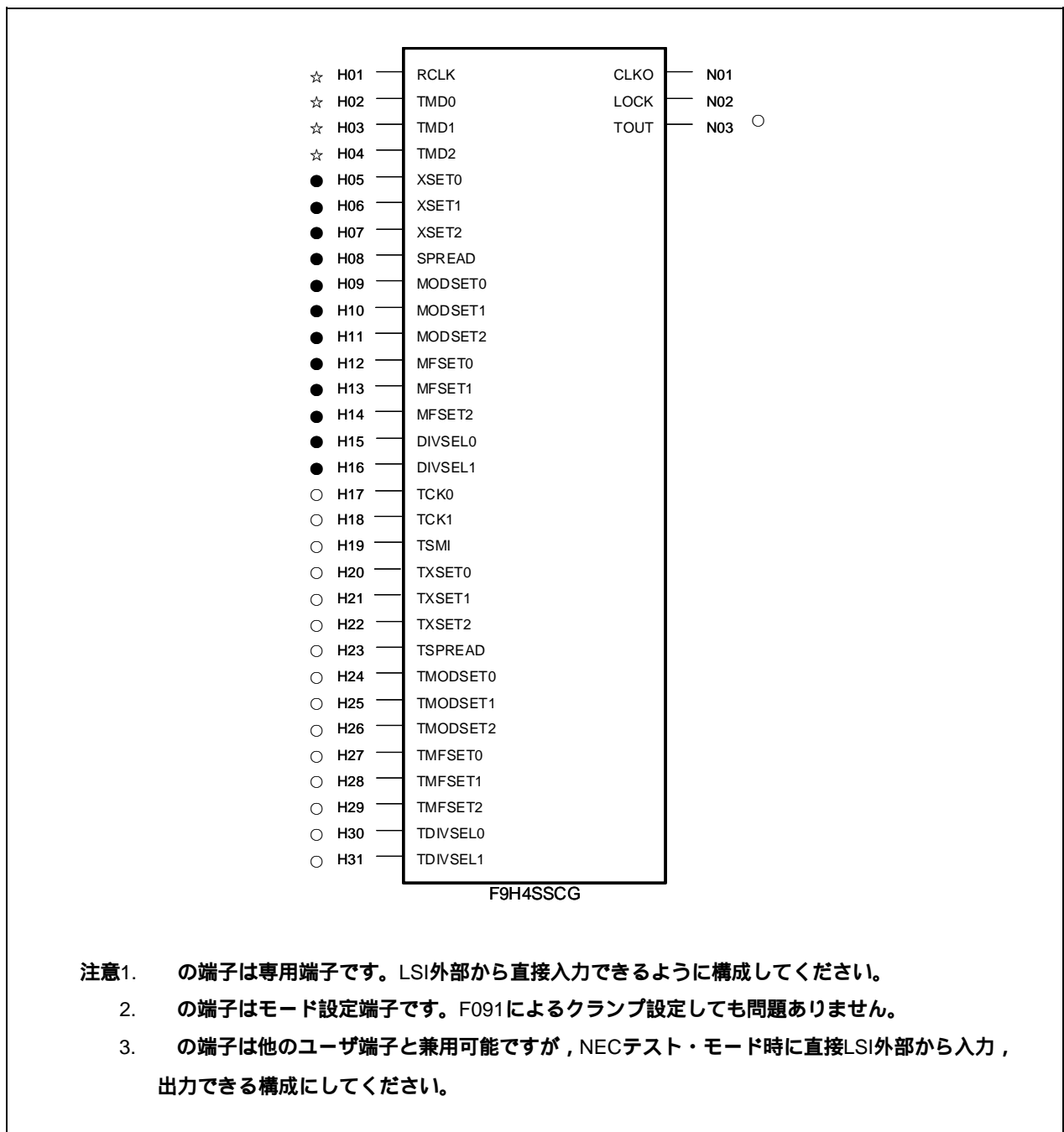
(1) 機能と動作モード

このマクロは、逡倍機能とSSCG (Spread Spectrum Clock Generation) 機能を持ちます。

SSCG機能とは、周波数変調したクロックを供給することであり、変調したクロックを使用することで、LSIから発生するEMI (Electromagnetic Interference) ノイズを低減できます。このマクロは、一定の変調周波数は得られません。その他の注意事項については(4) **注意事項**を参照してください。

ブロック名 : F9H4SSCG

セル数 : 17550



- 注意1. の端子は専用端子です。LSI外部から直接入力できるように構成してください。
2. の端子はモード設定端子です。F091によるクランプ設定しても問題ありません。
3. の端子は他のユーザ端子と兼用可能ですが、NECテスト・モード時に直接LSI外部から入力、出力できる構成にしてください。

(a) 端子機能一覧

端子名	Symbol	IN/OUT	機能
H01	RCLK	IN	基準クロック信号
H02	TMD0	IN	モード設定信号
H03	TMD1	IN	
H04	TMD2	IN	
H05	XSET0	IN	
H06	XSET1	IN	
H07	XSET2	IN	
H08	SPREAD	IN	変調方式設定信号 (D-S = 0, C-S = 1)
H09	MODSET0	IN	変調度設定信号
H10	MODSET1	IN	
H11	MODSET2	IN	
H12	MFSET0	IN	変調周波数倍率設定信号
H13	MFSET1	IN	
H14	MFSET2	IN	
H15	DIVSEL0	IN	出力分周設定信号
H16	DIVSEL1	IN	
H17	TCK0	IN	テスト入力信号
H18	TCK1	IN	
H19	TSMI	IN	
H20	TXSET0	IN	テスト逡倍設定信号
H21	TXSET1	IN	
H22	TXSET2	IN	
H23	TSPREAD	IN	テスト変調方式設定信号
H24	TMODSET0	IN	テスト変調度設定信号
H25	TMODSET1	IN	
H26	TMODSET2	IN	
H27	TMFSET0	IN	テスト変調周波数倍率設定信号
H28	TMFSET1	IN	
H29	TMFSET2	IN	
H30	TDIVSEL0	IN	テスト出力分周設定信号
H31	TDIVSEL1	IN	
N01	CLKO	OUT	逡倍出力クロック信号
N02	LOCK	OUT	ロック信号
N03	TOUT	OUT	テスト出力信号

(b) 動作真理値表

入力端子名 モード	RCLK	TMD [2:0]	XSET [2:0]	DIVSEL [1:0]	SSCG設定	テスト設定
SSCGモード	Fref ^{注1}	000	N1 ^{注2}	N2 ^{注3}	B ^{注4}	X
リセット・モード	X	0X1 ^{注5}	X	X	X	X
スルー・パス・モード	A ^{注6}	010	X	X	X	X
NECテスト・モード	TIN ^{注7}	TIN ^{注7}	X	X	X	TIN ^{注7}

出力端子名 モード	CLKO	LOCK	TOUT
SSCGモード	Fref × N1 × N2	LOCK ^{注8}	0
リセット・モード	0	0	0
スルー・パス・モード	A ^{注6}	0	0
NECテスト・モード	0	0	TOUT ^{注7}

注1. 入力クロック周波数を示します。

2. 内部逓倍数設定値です。詳細は (c) 内部逓倍数設定を参照してください。

3. 出力分周設定値です。詳細は (d) 出力分周設定を参照してください。

4. SSCGの各種設定値 (SPREAD, MODSET [2:0], MFSET [2:0]) です。

各設定の詳細は (e) 変調方式, (f) 変調度設定, (g) 変調周波数倍率設定を参照してください。

5. リセット・モード設定時のTMD1は, "0"または"1"を設定してください。

6. 信号を示します。スルー・パス・モード時にはRCLKに入力された信号がスルー・パス遅延分遅れてCLKOへ出力されます。

7. テスト入力信号(TIN)およびテスト出力信号(TOUT)を示します。テスト設定の端子は,TCK0, TCK1, TSMI, TXSET [2:0], TSPREAD, TMODSET [2:0], TMFSET [2:0], TDIVSEL [1:0]を示します。

8. アンロック状態ではLOCK = "0", ロック状態(設定された周波数を出力)ではLOCK = "1"となります。

9. 入力端子の "X" は, "0" または "1" のどちらかを入力してください。

(c) 内部逓倍数設定

内部逓倍数は, XSET [2:0]端子で設定します。この値は内部発振の逓倍数となります。

[45 MHz (RCLK入力周波数 × 内部逓倍数) 100 MHz] になるように設定してください。

CLKO出力周波数は, [内部発振周波数 × 出力分周] となります。

XSET [2:0]	内部逓倍数 [N1]
000	1
001	2
010	3
011	4
100	5
101	6
110	7
111	8

(d) 出力分周設定

出力分周は、DIVSEL [1:0]信号で設定します。

DIVSEL [1:0]	分周値 [N2]
0X	1/1
10	1/2
11	1/4

内部通倍数が4通倍で出力分周が1/2の場合、入力クロックに対する出力クロックの通倍数は、 $4 \times 1/2 = 2$ 通倍となります。

(e) 変調方式

変調方式は、SPREAD信号で設定します。

SPREAD	変調方式
0	Down-Spread
1	Center-Spread

Down-Spreadは、無変調時の出力クロックに対して周波数が遅くなる方に変調します。

Center-Spreadは、無変調時の出力クロック周波数が中心となるように変調します。

(f) 変調度設定

変調度は、MODSET [2:0]信号で設定します。設定値はpeak-to-peakの値となります。

MODSET [2:0]	変調度
000	無変調
001	出力周波数の約0.5%
010	出力周波数の約1.0%
011	出力周波数の約1.5%
100	出力周波数の約2.0%
101	出力周波数の約3.0%
110	出力周波数の約4.0%
111	出力周波数の約5.0%

無変調時にもRCLKと同期しませんので注意してください。

(g) 変調周波数倍率設定

変調周波数倍率は、MFSET [2:0]信号で設定します。

MFSET [2:0]	n	変調周波数倍率
000	0	1/1
001	1	1/2
010	2	1/3
011	3	1/4
100	4	1/5
101	5	1/6
110	6	1/7
111	7	1/8

この設定値によりEMI低減効果が変化します。

基準となる変調周波数は、基準クロック周波数、内部逓倍数および変調度により決まります。

【推奨変調周波数】

$$(5.24E-4) \times [(\text{基準クロック周波数 [MHz]})^2] \times (\text{内部逓倍数}) / \text{変調度 [\%]} - 1$$

nの値と近くなるように、MFSET [2:0]で設定してください(0 ≤ n ≤ 7)。

例 RCLK = 25 MHz，内部4逓倍，変調度2%の場合

$$5.24E-4 \times 25^2 \times 4 / 2 - 1 = -0.345$$

となり、n = 0 (MFSET [2:0] = “000”) を設定します。

(2) 電気的特性

表9 - 13 推奨使用条件 (F9H4SSCG)

項目	略号	MIN	TYP	MAX	単位
電源電圧	V _{DD}	3.0	3.3	3.6	V
ジャンクション温度	T _J	-40		+125	°C
RCLK入力Duty	t _{RCKD}	30		70	%
リセットパルス幅	t _{RSTW}	5.0			ns

表9 - 14 AC特性 (F9H4SSCG) (電源ノイズなし)

項目	略号	MIN.	TYP.	MAX.	単位	備考
内部発振周波数	f _{CLK0}	45		100	MHz	入力クロック周波数×内部逡倍数
出力Duty	t _{CLKD}	45		55	%	-
逡倍周期誤差	t _{CKTERR}			±100	ps	無変調時：出力分周なし
				±150		無変調時：出力分周1/2
				±200		無変調時：出力分周1/4
出力周期ジッタ ^{注1}	t _{CLKPJ}			±100	ps	無変調時：出力分周なし
				±120		無変調時：出力分周1/2
				±140		無変調時：出力分周1/4
出力cycle-to-cycleジッタ	t _{CLKCJ}			±100	ps	出力分周なし
				±120		出力分周1/2
				±140		出力分周1/4
引き込み時間 ^{注3}	t _{LOCK}			34784	RCLK	-
スルー・パス遅延	t _{SIM}	742		2816	ps	HH
		804		3182		LL
変調度誤差	t _{DERR}			+0.5	%	無変調時のジッタを引いた値
消費電流	P _{OW}			注2	mA	-

注1. V_{DD}またはGNDにノイズが載っている場合、次の式で示すジッタが加算されます。

$$t_{CLKNJ} = 0.33 \times \text{出力周期 [ns]} \times \text{ノイズ振幅 [mV]} \quad (\text{ps})$$

2. 消費電流は、次の式で計算します。

$$\text{Worst条件} : f_{IN} [\text{MHz}] \times 0.199 + f_{OSC} [\text{MHz}] \times 0.278 \quad (\text{mA})$$

$$\text{Typical条件} : f_{IN} [\text{MHz}] \times 0.170 + f_{OSC} [\text{MHz}] \times 0.237 \quad (\text{mA})$$

f_{IN} = RCLK入力周波数, f_{OSC}内部発振周波数

3. 引き込み時間は、34784 クロックを RCLK に入れることを示します。

(a) 変調周波数算出方法

$$\text{変調STEP数} = \text{発振周波数 [kHz]} \times \text{変調度 [\%]} / 100 / \text{STEP値 [PS]}$$

STEP値 [PS] : MAX = 9.82, MIN = 3.60, TYP = 6.71

$$\text{変調周波数 [kHz]} = \text{入力RCLK [kHz]} / (16 / 3 \times \text{変調STEP数} \times 2 \times \text{MFSETのn+1値})$$

例 変調STEP数 (発振周波数 = 32000 [kHz], 変調度 = 0.5 [%], STEP値 = 9.82 [PS] (MAX.)の場合)

$$32000 \times 0.5 / 100 / 9.82 = 16.293$$

変調周波数 (入力RCLK = 16000 [kHz], MFSETのn+1値 = 1の場合)

$$16000 / (16 / 3 \times 16.293 \times 2 \times 1) = 92.06$$

(b) 各種周波数算出方法

各種周波数の算出方法を次に示します。

なお, 長期的な周波数を知りたい場合には, 出力周期ジッタ (tCLKPJ), 電源ノイズ (tCLKNJ) を除いてください。

$$\text{理想出力周期 (tIDEAL)} = 1 / \{\text{入力周波数 (fRCLK)} \times \text{内部通倍数 (N1)} \times \text{出力分周値 (N2)}\}$$

備考 式中の記号の意味は次のとおりです。

tCKTERR : 通倍周期誤差

tCLKPJ : 出力周期ジッタ

mod : 変調度

tDERR : 変調度誤差

tCLKNJ : 電源ノイズ

【無変調時】

$$\text{最大出力周期 (TMAX)} = \text{(tIDEAL)} + \text{(tCKTERR)} + \text{(tCLKPJ)} + \text{(tCLKNJ)}$$

$$\text{最小出力周期 (TMIN)} = \text{(tIDEAL)} - \text{(tCKTERR)} - \text{(tCLKPJ)} + \text{(tCLKNJ)}$$

【Down-Spread変調時】

$$\text{最大出力周期 (TMAX)} = \text{(tIDEAL)} + \text{(tCKTERR)} + \text{(tCLKPJ)} + \text{(tCLKNJ)} + \text{(tIDEAL)} \times \text{(mod + tDERR)} / 100$$

$$\text{最小出力周期 (TMIN)} = \text{(tIDEAL)} - \text{(tCKTERR)} - \text{(tCLKPJ)} - \text{(tCLKNJ)}$$

【Center-Spread変調時】

$$\text{最大出力周期 (TMAX)} = \text{(tIDEAL)} + \text{(tCKTERR)} + \text{(tCLKPJ)} + \text{(tCLKNJ)} + \text{(tIDEAL)} \times \{(\text{mod} / 2) + \text{tDERR}\} / 100$$

$$\text{最小出力周期 (TMIN)} = \text{(tIDEAL)} - \text{(tCKTERR)} - \text{(tCLKPJ)} - \text{(tCLKNJ)} - \text{(tIDEAL)} \times \{(\text{mod} / 2) + \text{tDERR}\} / 100$$

例 次の条件の場合の無変調時の最大出力周期 (T_{MAX})

入力周波数 (f_{RCLK}) = 33 [MHz]

内部逡倍数 ($N1$) = 2

出力分周 ($N2$) = 0.5

変調度 (mod) = 4 [%]

逡倍周期誤差 (t_{CKERR}) = 150 [ps]

出力周期ジッタ (t_{CLKPJ}) = 120 [ps]

変調度誤差 (t_{DERR}) = 0.5 [%]

電源ノイズ (t_{CLKNJ}) = 1 [ps]

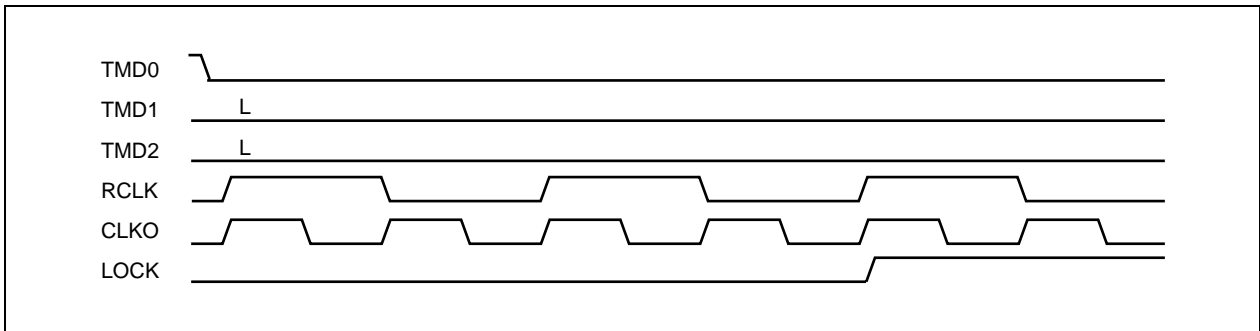
理想出力周期 (t_{IDEAL}) は $1 / 0.000033 \times 2 \times 0.5 = 30303.0303$ [ps]となり、
 $30303.0303 + 150 + 120 + 1 = 30574.0303$ [ps]となります。
周波数換算すると、32.71 [MHz]となります。

(3) 動作モード

(a) SSCGモード

RCLK周波数に対して逡倍の出力クロックを発生させるモードです。このモードにするには、リセット・モードに設定する必要があり、逡倍周波数発生時にLOCK = “ 1 ” となります。

例 SSCGモードで、XSET [2:0] = “ 011 ”, DIVSEL [1:0] = “ 10 ” に設定した場合



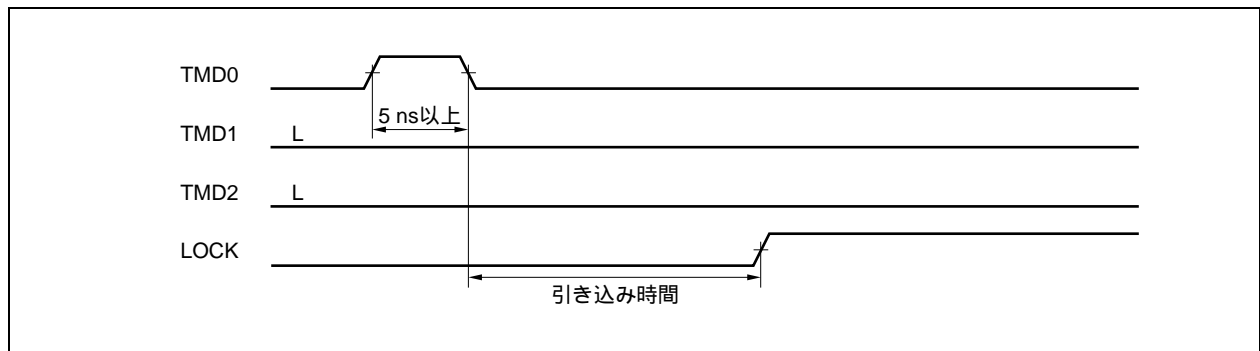
(b) リセット・モード

マクロ全体をリセットするモードです。

リセット・モードに設定するタイミングに規定はありませんが、最低でもリセット・モードは5 ns以上に設定してください。

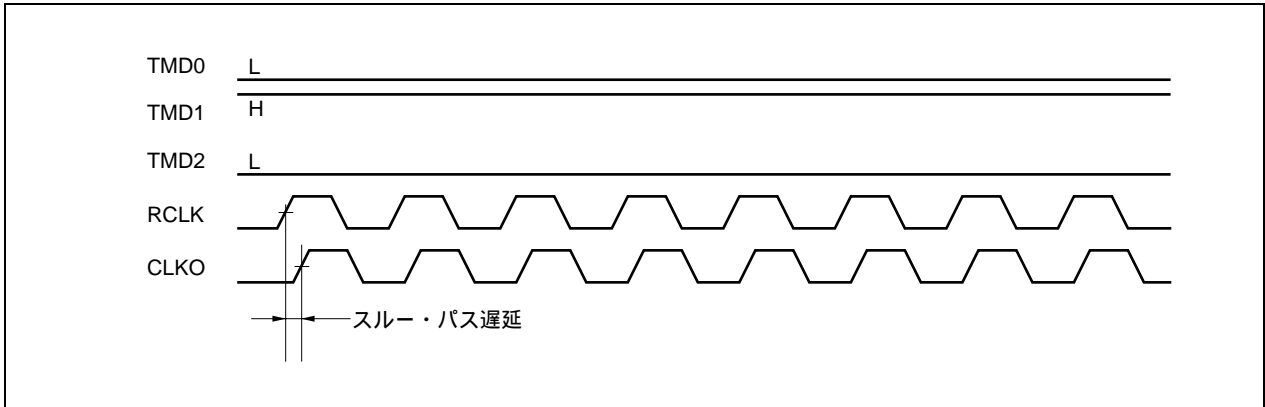
また、リセット・モード中はRCLKを入力しても、入力しなくても問題ありません。

リセット・モード解除後、引き込み時間以内にLOCK = “ 1 ” となります。



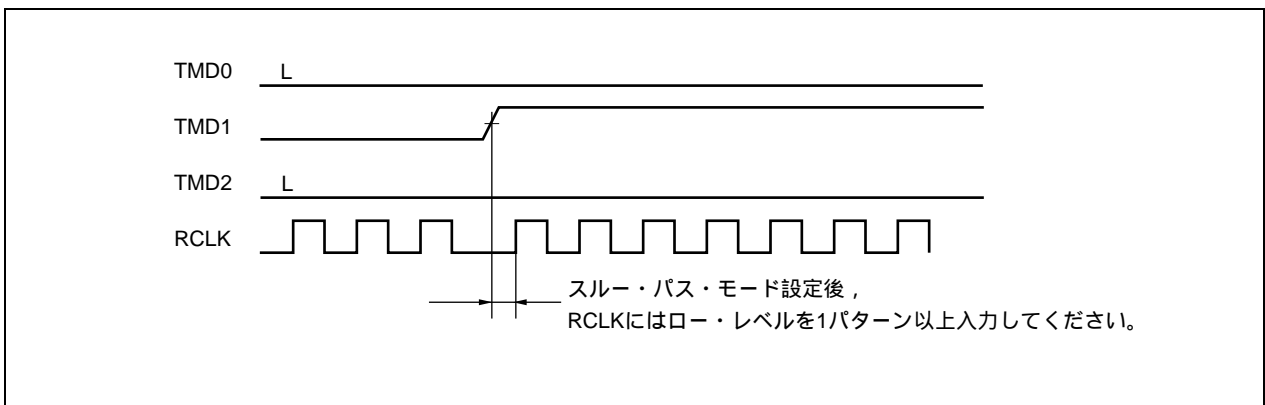
(c) スルー・パス・モード

シミュレーションまたは、マクロ後段のユーザ回路をテストするモードで、CLKOにRCLKがスルー・パス遅延分遅れて出力されます（出力分周設定は無効となります）。ユーザは、このモードで設計を行う必要があります。このモードは出力クロック以外の内部回路は、リセット・モードと同じ状態です。



• スルー・パス・モード設定時の注意事項

スルー・パス・モード設定後、RCLKにはロー・レベルを1パターン以上入力してください。



(4) 注意事項

- 周波数変調を目的としたマクロであり、無変調設定時にも通信周期誤差の影響が積み重なるため、基準クロック (RCLK) と同期しません。さらに、平均的な周波数も基準クロックと一致しません。
- LSIで使用するクロックは、CLKO出力の1系統のみを使用してください。
- シミュレーションでは、必ずスルー・パス・モードに設定して確認してください。ただし、実使用条件での確認ではありませんので、各端子の設定および接続には十分注意してください。
- RCLK, TMD [2:0]の入力端子にはスパイク・ノイズが入力されないようにしてください。
- TMD [2:0]は外部端子から直接入力し、シュミット・バッファを接続してください。
- 本マクロはチップ・コーナに配置し、近くにRAMやROMを配置しないでください。
- RCLKを配置する端子の両隣には、GNDを配置してください。
- 外部バッファ・ノイズの対策として追加GNDを配置し、本マクロ周辺には高駆動力のバッファ (GTL+ など) を配置しないでください。
- 本マクロ単体試験のため、TCK0, TCK1, TSMI, TXSET [2:0], TSPREAD, TMODESET [2:0], TMFSET [2:0], TDIVSEL [1:0], およびTOUT端子は外部から入力/出力できるようにしてください。ただし、他の外部端子と共有は可能です。
- RCLK, TCK0, およびTCK1において、双方向バッファ使用による兼用は禁止です。
- 下記条件のいずれか1つでも該当する場合は、必ずリセット・モードを実行してください。
 - 電源投入後
 - 表9 - 13 推奨使用条件 (F9H4SSCG) を満足しない場合
 - SSCGモードに設定する前
 - SSCGモード中にXSET [2:0], DIVSEL [1:0], SPREAD, MODSET [2:0], およびMFSET [2:0]の設定値を変更した場合
- リセット・モードは電源投入後、電源電圧が 3.3 ± 0.3 VおよびRCLKが安定してから5 ns以上設定してください。
- リセット・モード設定時およびリセット・モード解除時に出力クロックにスパイクが発生する場合があります。スパイクが発生しても問題ない回路構成にしてください。
- SSCGモードでは、ロック (LOCK = L H) するまで出力クロックは不安定なため、動作は保証できません。
- 電源電圧は、規格範囲内 (3.3 ± 0.3 V) で供給し、ノイズによる電源の揺れは100 mV (peak-to-peak) 以下にしてください。
- RCLKおよびTMD [2:0]は直接外部から入力できる構成にしてください (入力バッファとTMD [2:0]間に回路 (パワーオン・リセット回路など) を入れる場合には、特殊要求が必要です)。
- マクロの試験を行う必要がありますので、NECテスト・モード設定時には、テスト端子が直接外部から入力または出力できる構成にしてください。
- RCLKが停止した場合、CLKOクロックは保証されません。RCLKは必ず入力し続けてください。
- RCLKがハイ・レベルの間に、リセット・モード スルー・パス・モードを切り替えた場合、CLKOにハイ・パルスの幅が短く出力されます。

9.8 アナログ PLL

9.8.1 ABPLWFB (内部置きタイプ)

(1) 概要

このマクロは、逡倍用のアナログPLL（以下、APLL）です。

低周波数クロック（4 MHz～）を入力できます。

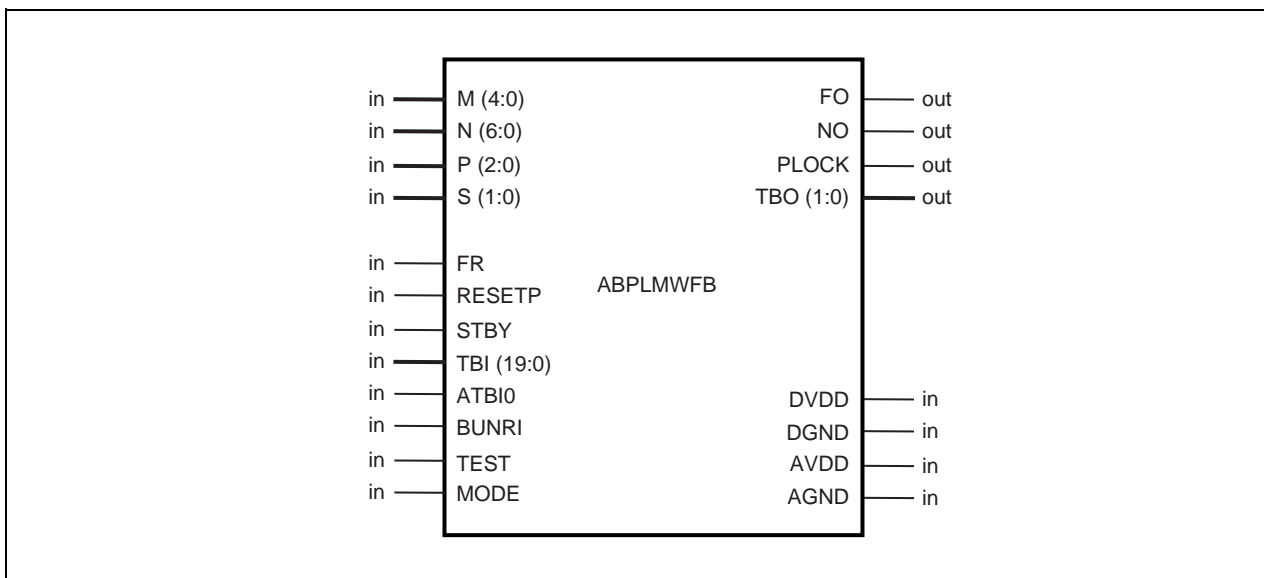
このマクロは、230 MHzまで出力できますが、EA-9HDシリーズの内部セルの入力周波数は100 MHz（MAX.）です。このため、APLLの出力クロック周波数が100 MHzを越える場合には、弊社までお問い合わせください。

なお、入力FR端子と出力FO端子間にはスキュー調整機能はありません。

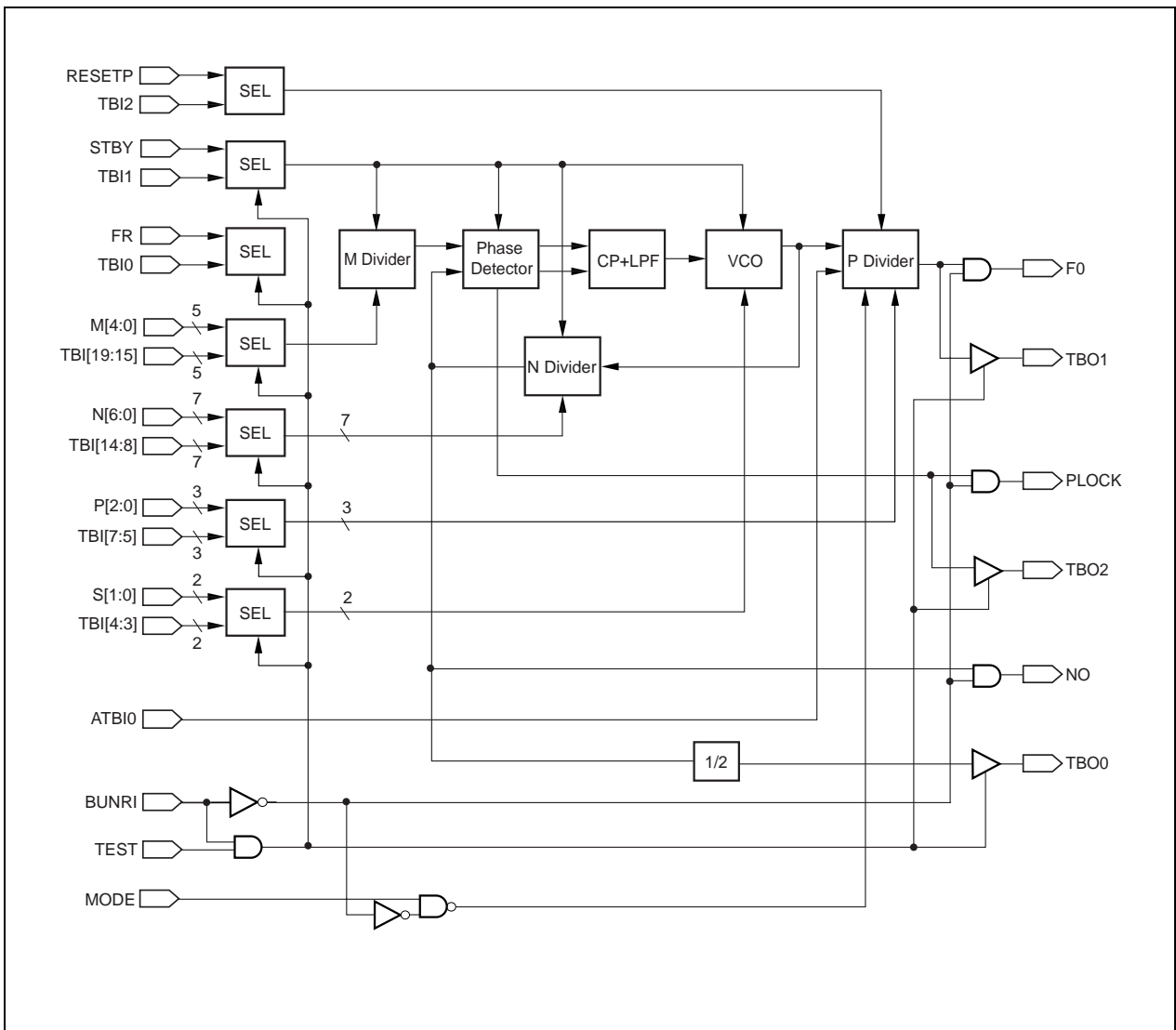
(2) 標準特性および特徴

- マクロ名： ABPLMWFB (内部置きタイプ)
- セル数： 16320
- 電源電圧： 3.3 ± 0.3 V
- 動作周囲温度： $-40 \sim +85^{\circ}\text{C}$
- VCO 出力周波数： 50 ~ 230 MHz
- 逡倍率： 2 ~ 128 (N divider)
- 出力周期ジッタ： 0.4 ns (peak to peak)
- 出力長期ジッタ： 2.0 ns (peak to peak)
- 外付け部品必要なし
- フェーズ・ロックイン・インジケータ出力

(3) シンボル図



(4) ブロック図



(a) Phase Detector

2つの入力信号の位相差を検出し、進みや遅れを示すパルスを出力します。

(b) CP + LPF (Charge Pump + Low Pass Filter)

Phase Detectorからの信号を直流電圧に変換します。

(c) VCO (Voltage Control Oscillator)

LPFの出力電圧に依存した発振周波数を出力します。

(5) 電気的特性

(a) 絶対最大定格 ($T_A = 25\text{ }^\circ\text{C}$)

項目	略号	定格	単位
電源電圧	V_{DD}	-0.5 ~ +4.6	V
動作周囲温度	T_A	-40 ~ +85	$^\circ\text{C}$
保存温度	T_{STG}	-65 ~ +150	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(b) 推奨動作範囲 ($T_A = -40 \sim +85\text{ }^\circ\text{C}$)

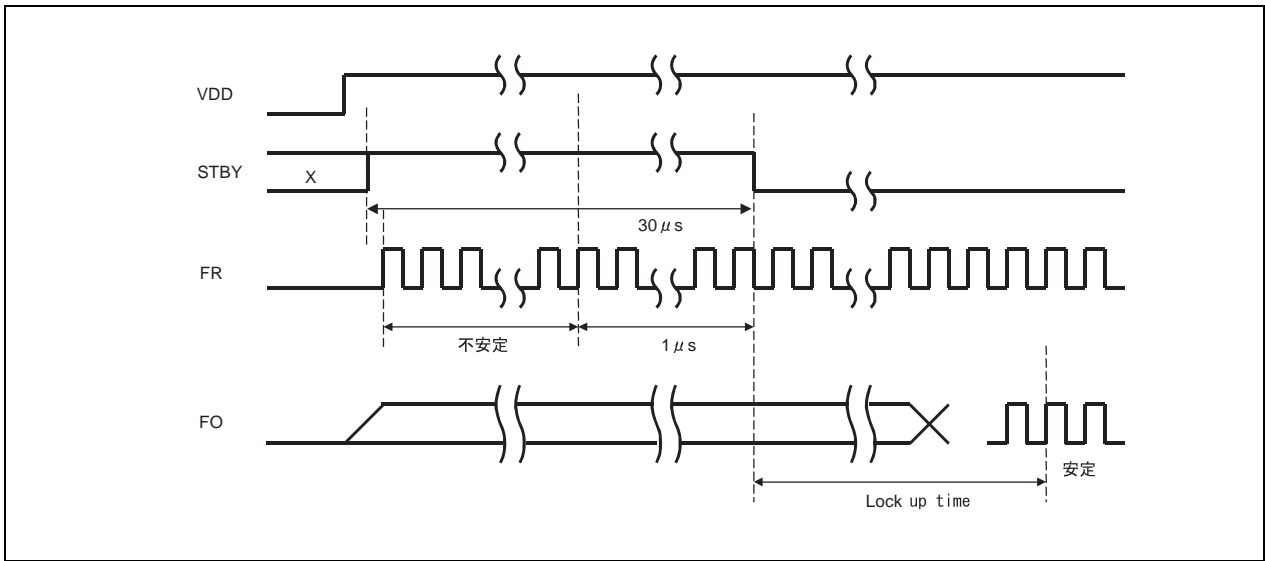
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV_{DD}		3.0	3.3	3.6	V
入力周波数	f_{std}		4		160	MHz
PFD 入力周波数	f_{pfd}	f_{std} / m	2		80	MHz
入力デューティ比	$lduty$		30		70	%
入力立ち上がり時間	t_r	From 10% to 90% of V_{DD}			1.6	ns
入力立ち下がり時間	t_f	From 90% to 10% of V_{DD}			1.6	ns
ハイ・レベル入力パルス幅	t_{pwh}		1.4			ns
ロー・レベル入力パルス幅	t_{pwl}		1.4			ns
分周比	m	逡倍率 = $n / (m \times p)$	2		32	
	n		2		128	
	p		1		8	

(c) 電気的特性 ($T_A = -40 \sim +85\text{ }^\circ\text{C}$, $V_{DD} = 3.0 \sim 3.6\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
消費電流	I_{DD}	Operation			20	mA
	I_{DDs}	Standby		10	30	μA
VCO 出力周波数	f_{vco}	S(1:0)による選択周波数範囲	50		230	MHz
出力デューティ比	duty	P(2:0) = 1, 3 or 7	45		55	%
出力周期ジッタ	t_{pj}	peak to peak			0.4	ns
出力長期ジッタ	t_{lj}	peak to peak			2.0	ns
ロックアップ時間	t_{lo}			300	1000	μs

(6) タイミング・チャート

パワーオンと信号入力タイミングは次のとおりです。



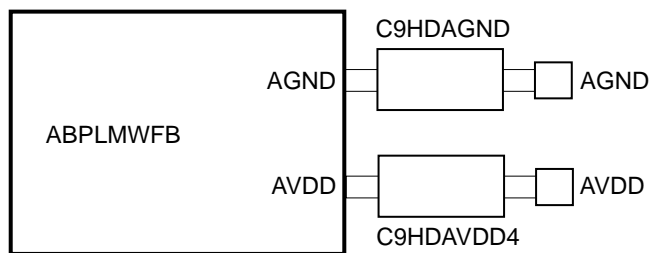
STBY = 1の状態を30 μs以上保持し、そのとき基準クロックが安定して1 μs以上経過するようにしてください。これにより、ロックアップ時間 (t_{lo}) 後にFOが安定します。

(7) 端子機能

端子名	I/O	機能	接続	C _{IN} /C _{MAX}
FR	I	基準クロック入力	内部	0.02 pF
M (4:0) ^{※1}	I	M-value の設定	内部	0.02 pF
N (6:0) ^{※1}	I	N-value の設定	内部	0.02 pF
P (2:0) ^{※1}	I	P-value の設定	内部	0.02 pF
S (1:0) ^{※1}	I	周波数範囲選択	内部	0.40 pF
STBY	I	スタンバイ・モード制御入力	内部	0.02 pF
RESETP	I	P カウンタ・リセット	内部	0.02 pF
MODE	I	テスト・モード設定	内部	0.03 pF
ATBIO	I	外部クロック入力	内部	0.02 pF
FO	O	クロック出力		
NO	O	N カウンタ・テスト出力		
PLOCK	O	未使用	オープン	
AVDD ^{※2}	I	アナログ電源	内部	-
AGND ^{※2}	I	アナログ・グラウンド	内部	-
DVDD ^{※2}	I	デジタル電源	内部	-
DGND ^{※2}	I	デジタル・グラウンド	内部	-
TBI (19:0)	I	テスト入力バス	内部	0.02 pF
TEST	I	分離テスト・モード指定	内部	0.02 pF
BUNRI	I	分離テスト・モード設定	内部	0.03 pF
TBO(2:0)	O	テスト出力バス	内部	0.85 pF

注1. これらの値はF091で設定してください。逡倍率を可変で使用することは推奨しません。

2. これらの端子はI/O バッファを使用せず、C9HDAVDD4 と C9HDAGND ブロックに直接接続してください。



(8) 分周回路の設定

(a) M分周器

M4 ~ M0の組み合わせで設定します。

M-Value = 0は，設定禁止です。

M4	M3	M2	M1	M0	M-Value	m-Value
0	0	0	0	0	Invalid	Invalid
0	0	0	0	1	1	2
0	0	0	1	0	2	3
0	0	0	1	1	3	4
:	:	:	:	:	:	:
1	1	1	1	0	30	31
1	1	1	1	1	31	32

(b) N分周器

N6 ~ N0の組み合わせで設定します。

N-Value = 0は，設定禁止です。

N6	N5	N4	N3	N2	N1	N0	N-Value	n-Value
0	0	0	0	0	0	0	Invalid	Invalid
0	0	0	0	0	0	1	1	2
0	0	0	0	0	1	0	2	3
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	126	127
1	1	1	1	1	1	1	127	128

(b) P分周器

P分周器は，デューティ比50%を得るためのVCO出力周波数を設定します。

P2 ~ P0がすべて0の場合，VCO出力周波数 (f_{vco}) はPLL出力周波数 F_{out} と同じになります。

P2 ~ P0の値とP-valueの組み合わせを次の表に示します。有効な組み合わせは4パターンのみです。

P2	P1	P0	P-Value	p-Value	Fout
0	0	0	0	1	f_{vco}
0	0	1	1	2	$f_{vco}/2$
0	1	1	3	4	$f_{vco}/4$
1	1	1	7	8	$f_{vco}/8$
0	1	0	Invalid	Invalid	–
1	0	0	Invalid	Invalid	–
1	0	1	Invalid	Invalid	–
1	1	0	Invalid	Invalid	–

(9) 周波数の選択

S分周器 (S1, S0) は、ユーザにより対象出力を選択したあとに使用します。
 選択できる範囲を次に示します。

S1	S0	f_{vco}
0	0	50 ~ 90 MHz
0	1	90 ~ 130 MHz
1	0	130 ~ 170 MHz
1	1	170 ~ 230 MHz

S1, S0で選択する値はVCO出力周波数 (f_{vco}) です。PLL出力周波数 (F_{out}) は、VCO出力周波数をP分周器で分周した値になります。

S1, S0を不適切な値に設定すると、PLLジッタが増加します。

(10) 動作表

PLLマクロには、5つのテスト・モードがあります。

(a) ノーマル・モード (BUNRI = 0, STBY = 0, MODE = 0)

実際にPLLを使用する際に使用するモードで、入力クロックが逡倍され、FO端子に出力されます。

VCOからの出力クロックを、P (2:0)の設定により1, 2, 4, 8分周することができます。

P (2:0) = 0では出力クロックのデューティ比が常時50%にならないため、デューティ比50%の出力が必要な場合、分周器で分周することを推奨します。

(b) スタンバイ・モード (TEST = 0, BUNRI = 0, STBY = 1)

PLLの消費電力を低減するために、内部回路へのクロック供給を停止します。

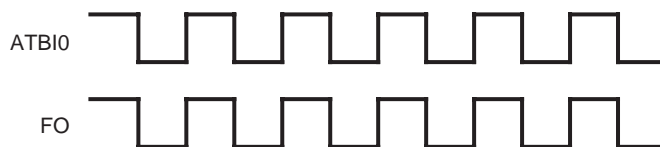
スタンバイ・モードを解除してから出力される周波数が安定するまでは、ロックアップ時間が必要になります。

(c) PLL マクロ・テスト・モード (TEST = 1, BUNRI = 1)

PLL単体をテストするモードです。TBO1には逡倍されたクロックが出力されます。

(d) スルー・モード (BUNRI = 0, MODE = 1)

テスト・パターンを圧縮するときに使用します。スルー・モードにより、ATBIO入力がテスト用として直接FOに出力されます。



(e) Idd テスト・モード (BUNRI = 0, MODE = 1, STBY = 1)

ユーザ・ロジック回路をIddテストするモードです。

各テスト・モード時の端子状態を次に示します。

テスト・モード \ 端子名	入 力							
	FR	STBY	RESETP	S (1:0)	TBI0	TBI1	TBI2	TBI (19:3)
ノーマル・モード	Fref	0	0	Valid	X	X	X	X
スタンバイ・モード	X	1	1	Valid	X	X	X	X
PLL マクロ・テスト・モード	X	X	X	X	Fref	0	0	Valid
スルー・モード	X	X	X	X	X	X	X	X
Idd テスト・モード	X	1	X	X	X	X	X	X

テスト・モード \ 端子名	入 力				出 力		
	TEST	BUNRI	MODE	ATBIO	FO	TBO0	TBO1
ノーマル・モード	X	0	0	X	Fref x (n/m/p)	Hi-z	Hi-z
スタンバイ・モード	X	0	0	X	fixed 1 or 0	Hi-z	Hi-z
PLL マクロ・テスト・モード	1	1	X	X	1	Fref / 2m	Fref x (n/m/p)
スルー・モード	X	0	1	Fop	Fop	Hi-z	Hi-z
Idd テスト・モード	X	0	1	X	fixed 1 or 0	Hi-z	Hi-z

備考1. X : Don't care.

Fref は実際の入力周波数です。

Fop はシミュレーション時の入力周波数です。

- S (1:0) は F091 で設定してください。
- M (4:0), N (6:0), P (2:0)は , F091 で設定してください。
- 最大 VCO 周波数に注意してください。

(11) 注意事項

- マスタとパッケージの組み合わせにより、非接続端子が発生する場合があります。
- 入力周波数と逡倍率は、VCO出力周波数範囲に収まるように設定してください。
- PLLは高駆動のパウファや発振ブロックの近くに配置しないでください。
- 電源のON/OFF切り替えタイミングは、チップ全体のタイミングと同じにしてください。
- ノイズ耐性を高めるため、PCB上にチップ全体とは別のV_{DD}/GND電源ラインを置くことを推奨します。
- このPLLは、スタンバイ・モード・リリース後にロックアップ時間を必要とします。

(12) 220 MHz動作を実現するためのM, N分周設定例 (ノーマル・モード)

次は、Fout決定用の式を用いて220 MHz動作を実現するためのMおよびNカウンタ分割数の例です。

計算プログラムは、ユーザが基準周波数や対象PLL周波数を入力できるようになっています。また、PLL出力が対象出力周波数に最近似になるようにM, N, P向け最適分割数が与えられます。

カウンタ値をプログラムするには、m, n, pをそれぞれ-1にしてください。

m = 8, n = 123, p = 1 は , M = 7, N = 122, P = 0 を意味します。

$$F_{out} = (F_r \times n) / (m \times p)$$

$$F_{out} = (14.31818 \times 123) / 8 = 220 \text{ MHz}$$

9.8.2 ADPLSHFB

(1) 概要

このマクロは、逡倍用のアナログPLL（以下、APLL）です。

低周波数クロック（10 MHz～）を入力できます。

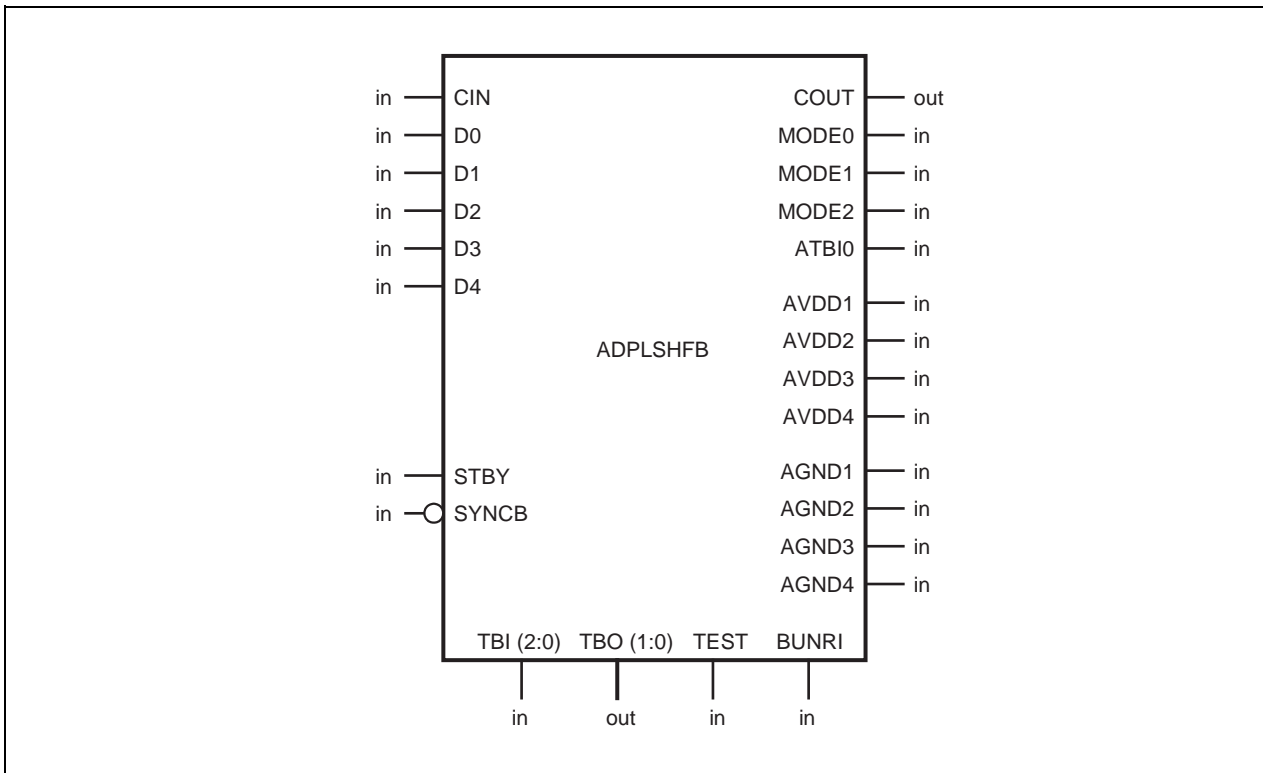
本マクロは、250 MHzまで出力できますが、EA-9HDシリーズの内部セルの入力周波数は100 MHz（MAX.）です。このため、APLLの出力クロック周波数が100 MHzを越える場合には、弊社までお問い合わせください。

なお、入力FR端子と出力FO端子間にはスキュー調整機能はありません。

(2) 標準特性および特徴

- マクロ名： ADPLSHFB
- セル数： 5400
- 電源電圧： 3.3 ± 0.3 V
- 動作周囲温度： $-40 \sim +85^{\circ}\text{C}$
- VCO 出力周波数： 160 ~ 250 MHz
- 逡倍率： 2 ~ 16
- 出力ジッタ： 0.5 ns (peak to peak)
- 外付け部品必要なし

(3) シンボル図



(5) 電気的特性

(a) 絶対最大定格 ($T_A = 25^\circ\text{C}$)

項目	略号	定格	単位
電源電圧	V_{DD}	-0.5 ~ +4.6	V
動作周囲温度	T_A	-40 ~ +85	$^\circ\text{C}$
保存温度	T_{STG}	-65 ~ +150	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(b) 推奨動作範囲 ($T_A = -40 \sim +85^\circ\text{C}$)

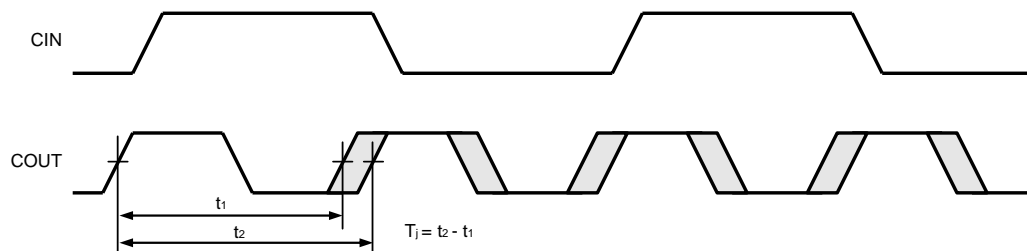
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV_{DD}		3.0	3.3	3.6	V
入力周波数	f_{std}		10		125	MHz
入力立ち上がり時間	t_r	From 10% to 90% of V_{DD}			2.0	ns
入力立ち下がり時間	t_f	From 90% to 10% of V_{DD}			2.0	ns
ハイ・レベル入力パルス幅	t_{pwh}		2.0			ns
ロー・レベル入力パルス幅	t_{pwl}		2.0			ns
通倍率	n		2		16	

(c) 電気的特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.0 \sim 3.6\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
消費電流	I_{DD}	Operation			12.0	mA
	I_{DDs}	Standby			10.0	μA
VCO 出力周波数	f_{vco}		160		250	MHz
出力ジッタ	t_j	peak to peak			0.5	ns
ロックアップ時間	t_{lo}				100	μs

(6) タイミング・チャート

出力ジッタ値は次のとおりです。

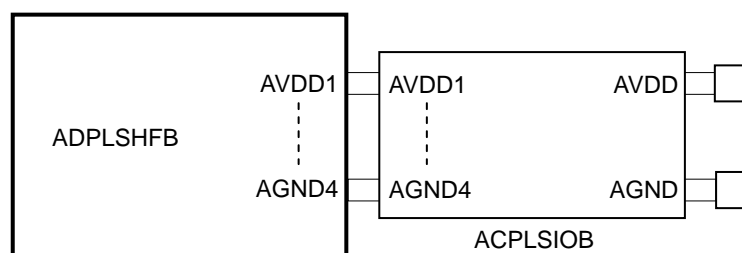


(7) 端子機能

端子名	I/O	機能	接続	C _{IN} /C _{MAX}
CIN	I	基準クロック入力	内部	0.03 pF
D (4:0) ^{※1}	I	逡倍率データ入力	内部	0.02 pF
STBY	I	スタンバイ・モード制御入力	内部	0.03 pF
SYNCB	I	ディバイダ・リセット入力	内部	0.03 pF
COU _T	O	クロック出力	内部	<u>2.68 pF</u>
MODE0	I	モード制御入力	内部	0.02 pF
MODE1	I	モード選択入力	内部	0.02 pF
MODE2	I	デューティ・サイクル制御入力 (1/2 ディバイダ制御)	内部	0.06 pF
ATBI0	I	外部クロック入力	内部	0.03 pF
AVDD1	I	アナログ電源	内部 ^{※2}	–
AVDD2	I	アナログ電源	内部 ^{※2}	–
AVDD3	I	アナログ電源	内部 ^{※2}	–
AVDD4	I	アナログ電源	内部 ^{※2}	–
AGND1	I	アナログ・グランド	内部 ^{※2}	–
AGND2	I	アナログ・グランド	内部 ^{※2}	–
AGND3	I	アナログ・グランド	内部 ^{※2}	–
AGND4	I	アナログ・グランド	内部 ^{※2}	–
TBI(2:0)	I	テスト入力バス	内部	0.03 pF
TEST	I	分離テスト・モード指定	内部	0.02 pF
BUNRI	I	分離テスト・モード設定	内部	0.04 pF
TBO0	O	テスト出力バス	内部	<u>2.69 pF</u>
TBO1	O	テスト出力バス	内部	<u>2.69 pF</u>

注1. この値はF091で設定してください。逡倍率を可変で使用することは推奨しません。

2. これらの端子はI/Oバッファを使用せず、ACOLSIOBブロックに直接接続してください。



(8) 動作表

PLLマクロには、次の6つのテスト・モードがあります。

(a) ノーマル・モード (TEST = 0, BUNRI = 0, STBY = 0, MODE0 = 0)

入力クロックが逡倍され、FO端子に出力されます。VCOからの出力クロックを、MODE2の指定により2分周できます。出力クロックのデューティ比は、MODE2 = 1の際に、常時50%というわけではありません。50%デューティ出力が必要な場合は、ディバイダの使用を推奨します。

(b) スタンバイ・モード (TEST = 0, BUNRI = 0, STBY = 1, MODE0 = 0)

PLLの消費電力を低減するために、内部回路へのクロック供給を停止します。

(c) PLL コア・テスト・モード (TEST = 1, BUNRI = 1)

PLL単体をテストするモードです。TBO0には入力クロックの1/2の周波数のクロックが出力されます。TBO1には逡倍されたクロックが出力されます。

(d) ほかのコアのテスト・モード (TEST = 0, BUNRI = 1)

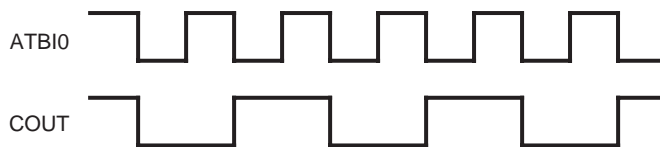
TBO0, TBO1に接続された上記以外のコアのテスト・モードです。

COUTは“0”，TBO0とTBO1はハイ・インピーダンスの状態になります。

(e) シミュレーション・モード (TEST = 0, BUNRI = 0, MODE0 = 1, MODE1 = 0)

内蔵のユーザ・ロジック向けシミュレーション、およびテスト用モードです。

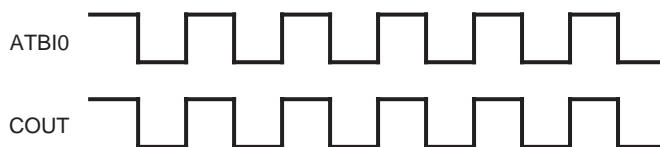
入力クロックの1/2の周波数がCOUT端子に出力されます。



(f) テスト・パターン圧縮モード (TEST = 0, BUNRI = 0, MODE0 = 1, MODE1 = 1)

このモードは内蔵のユーザ・ロジック向けシミュレーション、およびテスト用モードです。

テスト・パターンを短くします。ATBIOからの入力クロックが直接COUT端子に出力されます。



各テスト・モード時の端子状態を下表に示します。

端子名 テスト・モード	入 力									
	CIN	D (4:0)	STBY	SYNCB	ATBI0	TEST	BUNRI	MODE0	MODE1	MODE2
ノーマル・モード	Fref	n	0	1	X	0	0	0	X	1
	Fref	n	0	1	X	0	0	0	X	0
スタンバイ・モード	X	X	1	X	X	0	0	0	X	X
PLL コア・テスト・モード	X	n	X	X	X	1	1	X	X	1
	X	n	X	X	X	1	1	X	X	0
他のコアのテスト・モード	X	X	X	X	X	0	1	X	X	X
シミュレーション・モード	Fop	n	0	1	X	0	0	1	0	X
テスト・パターン圧縮モード	X	X	X	1	Fop	0	0	1	1	X

端子名 テスト・モード	入 力			出 力		
	TBI0	TBI1	TBI2	COUT	TBO0	TBO1
ノーマル・モード	X	X	X	Fref x n	Hi-z	Hi-z
	X	X	X	Fref x n/2	Hi-z	Hi-z
スタンバイ・モード	X	X	X	X	Hi-z	Hi-z
PLL コア・テスト・モード	Fref	0	1	0	Fref/2	Fref x n
	Fref	0	1	0	Fref/2	Fref x n/2
他のコアのテスト・モード	X	X	X	0	Hi-z	Hi-z
シミュレーション・モード	X	X	X	Fop/2	Hi-z	Hi-z
テスト・パターン圧縮モード	X	X	X	Fop	Hi-z	Hi-z

備考 1. n は F091 で設定される逡倍率です。

Fref は実際の入力周波数です。

Fop はシミュレーション時の入力周波数です。

2. D(4:0) は F091 で設定してください。
3. MODE2 は F091 で設定してください。

(9) 注意事項

- (a) ステップとパッケージの組み合わせにより、非接続端子が発生する場合があります。
- (b) 入力周波数と逡倍率は、VCO出力周波数範囲に収まるように設定してください。
- (c) AVDD1-AVDD4端子は、AAPLSIOBあるいはACPLSIOBブロックのアナログ電源端子AVDD1-AVDD4とバッファを介さずに接続してください。また、AGND1-AGND4端子は、AAPLSIOBあるいはACPLSIOBブロックのアナログ・グランド端子AGND1-AGND4とバッファを介さずに接続してください。
- (d) PLLは高駆動のバッファや発振ブロックの近くに配置しないでください。
- (e) PLLへの入力クロックと出力クロックは、テスト回路が挿入されているので同期しません。
- (f) PLLの電源電圧は、チップ全体の電源電圧と同じにしてください。
- (g) 電源のON/OFF切り替えタイミングは、チップ全体のタイミングと同じにしてください。
- (h) ノイズ耐性を高めるため、PCB上にチップ全体とは別のV_{DD}/GND電源ラインを置くことを推奨します。
- (i) このPLLは、スタンバイ・モード・リリース後にロックアップ時間を必要とします。
- (j) テスト・パターン圧縮モードにて、ユーザ・パターンを作成してください。

9.8.3 ADPLSMFB

(1) 概要

このマクロは、逡倍用のアナログPLL（以下、APLL）です。

低周波数クロック（7.5 MHz～）を入力できます。

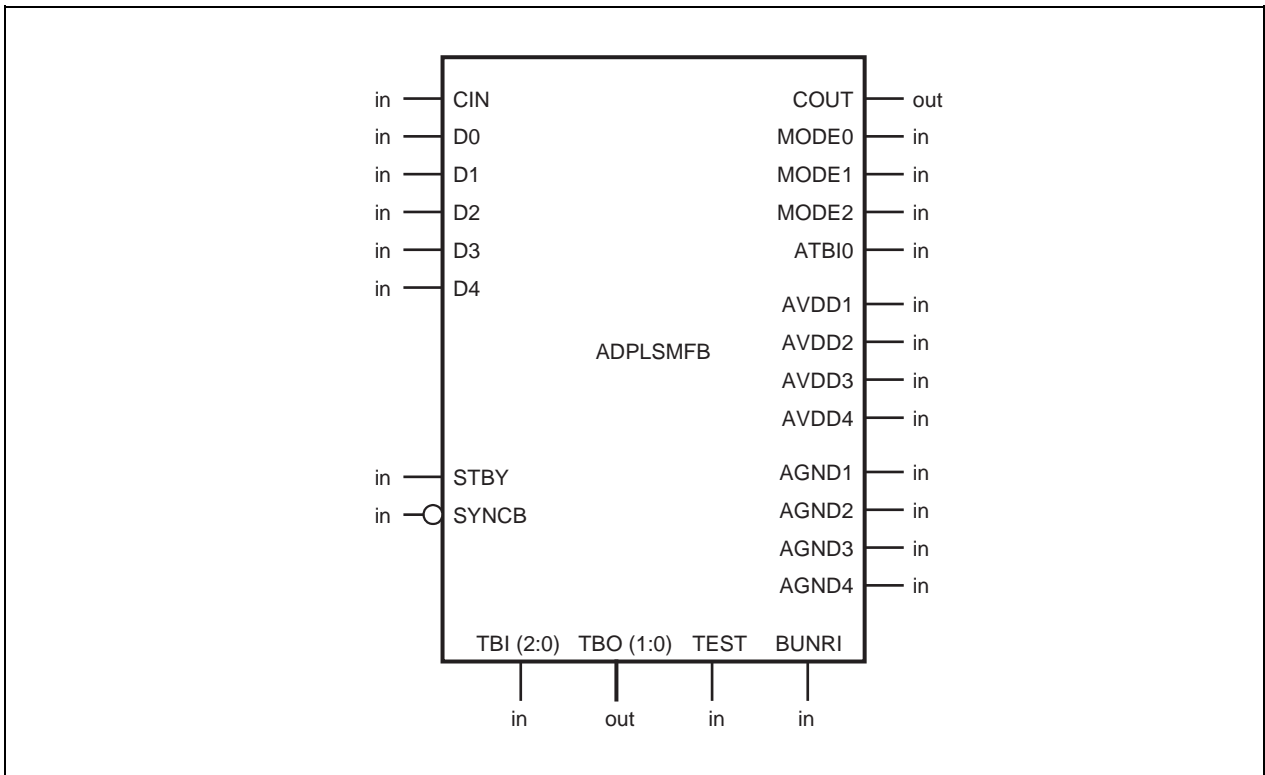
このマクロは、170 MHzまで出力できますが、EA-9HDシリーズの内部セルの入力周波数は100 MHz（MAX.）です。このため、APLLの出力クロック周波数が100 MHzを越える場合には、弊社までお問い合わせください。

なお、入力FR端子と出力FO端子間にはスキュー調整機能はありません。

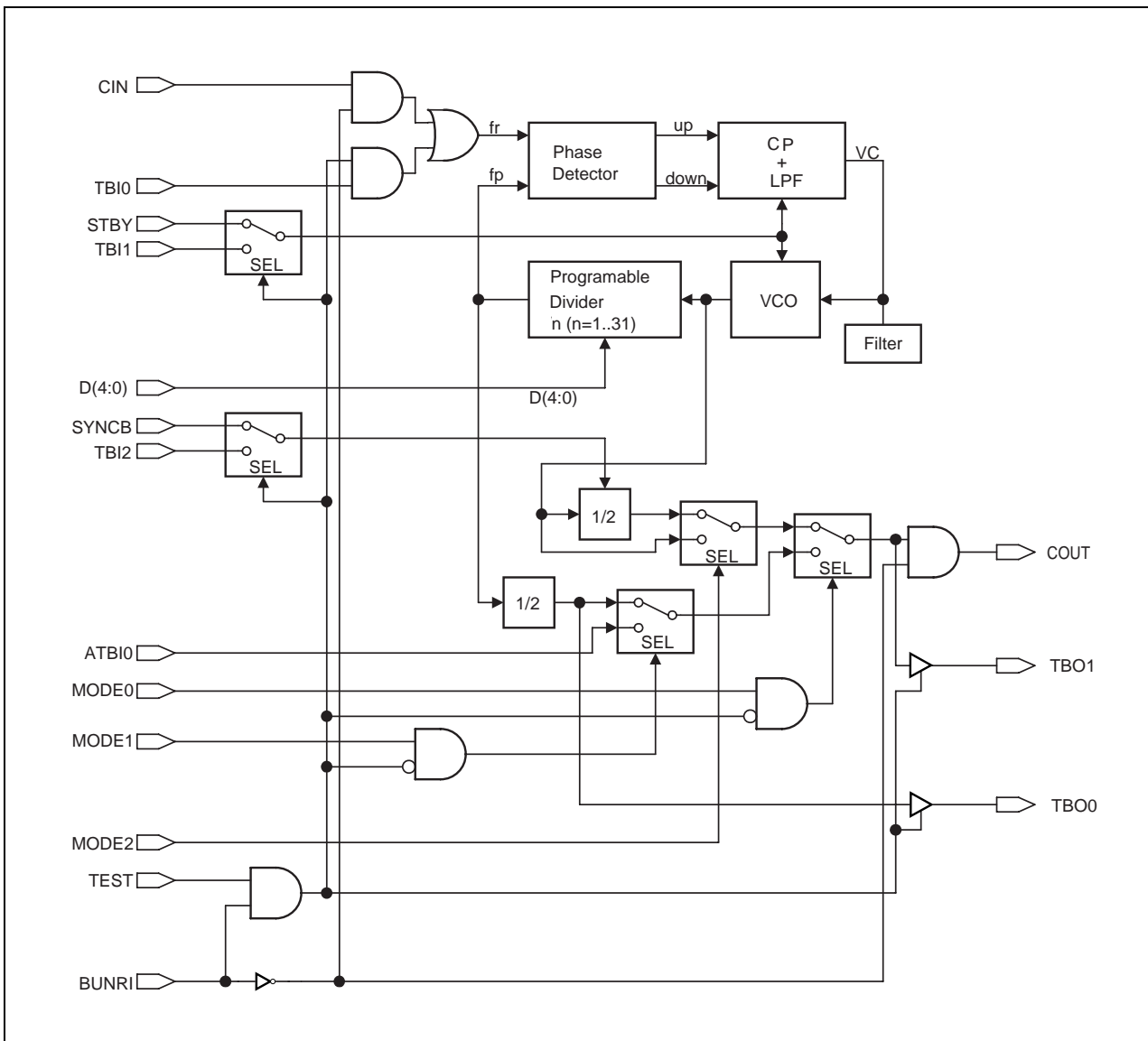
(2) 標準特性および特徴

- マクロ名： ADPLSMFB
- セル数： 5400
- 電源電圧： 3.3 ± 0.3 V
- 動作周囲温度： $-40 \sim +85^{\circ}\text{C}$
- VCO 出力周波数： 120～170 MHz
- 逡倍率： 2～16
- 出力ジッタ： 1.0 ns（peak to peak）
- 外付け部品必要なし

(3) シンボル図



(4) ブロック図



(a) Phase Detector

2つの入力信号の位相差を検出し、進みや遅れを示すパルスを出力します。

(b) CP + LPF (Charge Pump + Low Pass Filter)

からの信号を直流電圧に変換します。

(c) VCO (Voltage Control Oscillator)

の出力電圧に依存した発振周波数を出力します。

(5) 電気的特性

(a) 絶対最大 定格 ($T_A = 25^\circ\text{C}$)

項目	略号	定 格	単位
電源電圧	V_{DD}	-0.5 ~ +4.6	V
動作周囲温度	T_A	-40 ~ +85	$^\circ\text{C}$
保存温度	T_{STG}	-65 ~ +150	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(b) 推奨動作範囲 ($T_A = -40 \sim +85^\circ\text{C}$)

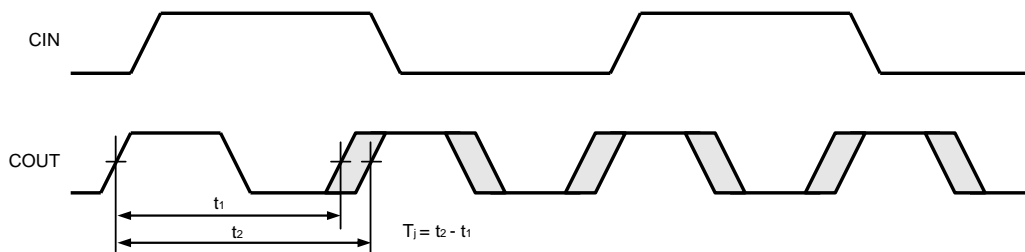
項目	略号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	AV_{DD}		3.0	3.3	3.6	V
入力周波数	f_{std}		7.5		85	MHz
入力立ち上がり時間	t_r	From 10% to 90% of V_{DD}			2.0	ns
入力立ち下がり時間	t_f	From 90% to 10% of V_{DD}			2.0	ns
ハイ・レベル入力パルス幅	t_{pwh}		2.0			ns
ロー・レベル入力パルス幅	t_{pwl}		2.0			ns
通倍率	n		2		16	

(c) 電気的特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.0 \sim 3.6\text{V}$)

項目	略号	条 件	MIN.	TYP.	MAX.	単位
消費電流	I_{DD}	Operation			9.5	mA
	I_{DDs}	Standby			10.0	μA
VCO 出力周波数	f_{vco}		120		170	MHz
出力ジッタ	t_j	peak to peak			1.0	ns
ロックアップ時間	t_{lo}				100	μs

(6) タイミング・チャート

出力ジッタ値は次のとおりです。

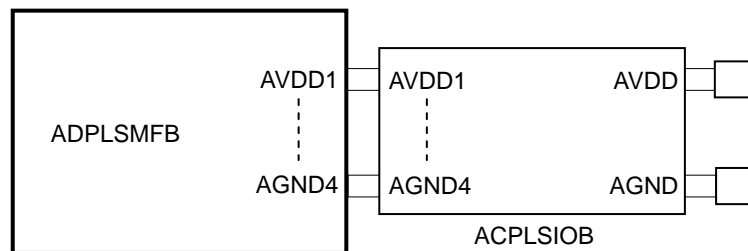


(7) 端子機能

端子名	I/O	機能	接続	C _{IN} /C _{MAX}
CIN	I	基準クロック入力	内部	0.03 pF
D (4:0) ^{注1}	I	逡倍率データ入力	内部	0.02 pF
STBY	I	スタンバイ・モード制御入力	内部	0.03 pF
SYNCB	I	ディバイダ・リセット入力	内部	0.03 pF
COUT	O	クロック出力	内部	2.68 pF
MODE0	I	モード制御入力	内部	0.02 pF
MODE1	I	モード選択入力	内部	0.02 pF
MODE2	I	デューティ・サイクル制御入力 (1/2 ディバイダ制御)	内部	0.06 pF
ATBIO	I	外部クロック入力	内部	0.03 pF
AVDD1	I	アナログ電源	内部 ^{注2}	–
AVDD2	I	アナログ電源	内部 ^{注2}	–
AVDD3	I	アナログ電源	内部 ^{注2}	–
AVDD4	I	アナログ電源	内部 ^{注2}	–
AGND1	I	アナログ・グランド	内部 ^{注2}	–
AGND2	I	アナログ・グランド	内部 ^{注2}	–
AGND3	I	アナログ・グランド	内部 ^{注2}	–
AGND4	I	アナログ・グランド	内部 ^{注2}	–
TBI(2:0)	I	テスト入力バス	内部	0.03 pF
TEST	I	分離テスト・モード指定	内部	0.02 pF
BUNRI	I	分離テスト・モード設定	内部	0.04 pF
TBO0	O	テスト出力バス	内部	<u>2.69 pF</u>
TBO1	O	テスト出力バス	内部	<u>2.69 pF</u>

注1. この値はF091で設定してください。逡倍率を可変で使用することは推奨しません。

2. これらの端子はI/Oバッファを使用せず、ACPLSIOBブロックに直接接続してください。



(8) 動作表

PLLマクロには、次の6つのテスト・モードがあります。

(a) ノーマル・モード (TEST = 0, BUNRI = 0, STBY = 0, MODE0 = 0)

入力クロックが逡倍され、COUT端子に出力されます。VCOからの出力クロックを、MODE2の指定により2分周できます。出力クロックのデューティ比は、MODE2=1の際に、常時50%というわけではありません。50%デューティ出力が必要な場合は、ディバイダの使用をお勧めします。

(b) スタンバイ・モード (TEST = 0, BUNRI = 0, STBY = 1, MODE0 = 0)

PLLの消費電力を低減するために、内部回路へのクロック供給を停止します。

(c) PLL コア・テスト・モード (TEST = 1, BUNRI = 1)

PLL単体をテストするモードです。TBO0には入力クロックの1/2の周波数のクロックが出力されます。TBO1には逡倍されたクロックが出力されます。

(d) 他のコアのテスト・モード (TEST = 0, BUNRI = 1)

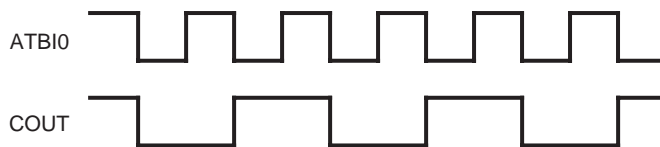
TBO0, TBO1に接続された上記以外のコアのテスト・モードです。

COUTは“0”，TBO0とTBO1はハイ・インピーダンスの状態になります。

(e) シミュレーション・モード (TEST = 0, BUNRI = 0, MODE0 = 1, MODE1 = 0)

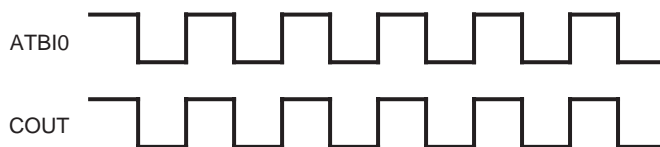
内蔵ユーザ・ロジック向けシミュレーション、およびテスト・モードです。

1/2の周波数の入力クロックがCOUT端子に出力されます。



(f) テスト・パターン圧縮モード (TEST = 0, BUNRI = 0, MODE0 = 1, MODE1 = 1)

このモードはテスト・パターンを短くするための内蔵ユーザ・ロジック向けシミュレーション、およびテスト・モードです。ATBIOからの入力クロックが直接COUT端子に出力されます。



各テスト・モード時の端子状態を下表に示します。

端子名 テスト・モード	入 力									
	CIN	D(4:0)	STBY	SYNCB	ATBI0	TEST	BUNRI	MODE0	MODE1	MODE2
ノーマル・モード	Fref	n	0	1	X	0	0	0	X	1
	Fref	n	0	1	X	0	0	0	X	0
スタンバイ・モード	X	X	1	X	X	0	0	0	X	X
PLL コア・テスト・モード	X	n	X	X	X	1	1	X	X	1
	X	n	X	X	X	1	1	X	X	0
他のコアのテスト・モード	X	X	X	X	X	0	1	X	X	X
シミュレーション・モード	Fop	n	0	1	X	0	0	1	0	X
テスト・パターン圧縮モード	X	X	X	1	Fop	0	0	1	1	X

端子名 テスト・モード	入 力			出 力		
	TBI0	TBI1	TBI2	COU _T	TBO0	TBO1
ノーマル・モード	X	X	X	Fref x n	Hi-z	Hi-z
	X	X	X	Fref x n/2	Hi-z	Hi-z
スタンバイ・モード	X	X	X	X	Hi-z	Hi-z
PLL コア・テスト・モード	Fref	0	1	0	Fref/2	Fref x n
	Fref	0	1	0	Fref/2	Fref x n/2
他のコアのテスト・モード	X	X	X	0	Hi-z	Hi-z
シミュレーション・モード	X	X	X	Fop/2	Hi-z	Hi-z
テスト・パターン圧縮モード	X	X	X	Fop	Hi-z	Hi-z

備考 1. n は F091 で設定される通倍率です。

Fref は実際の入力周波数です。

Fop はシミュレーション時の入力周波数です。

2. D(4:0) は F091 で設定してください。
3. MODE2 は F091 で設定してください。

(9) 注意事項

- (a) ステップとパッケージの組み合わせにより、非接続端子が発生する場合があります。
- (b) 入力周波数と通倍率は、VCO出力周波数範囲に収まるように設定してください。
- (c) AVDD1-AVDD4 端子は、AAPLSIOBあるいはACPLSIOBブロックのアナログ電源端子AVDD1-AVDD4とバッファを介さずに接続してください。また、AGND1-AGND4端子は、AAPLSIOBあるいはACPLSIOBブロックのアナログ・グランドAGND1-AGND4とバッファを介さずに接続してください。
- (d) PLLは高駆動のバッファや発振ブロックの近くに設置しないでください。
- (e) PLLへの入力クロックと出カクロックは、テスト回路が挿入されているので同期しません。
- (f) PLLの電源電圧は、チップ全体の電源電圧と同じにしてください。
- (g) 電源のON/OFF切り替えタイミングは、チップ全体のタイミングと同じにしてください。
- (h) ノイズ耐性を高めるため、PCB上にチップ全体とは別のV_{DD}/GND電源ラインを置くことを推奨します。
- (i) このPLLは、スタンバイ・モード・リリース後にロックアップ時間を必要とします。
- (j) テスト・パターン圧縮モードにて、ユーザ・パターンを作成してください。

9.8.4 ACPLSLFB

(1) 概要

このマクロは、逡倍用のアナログPLL（以下、APLL）です。

低周波数クロック（4.375 MHz～）を入力できます。

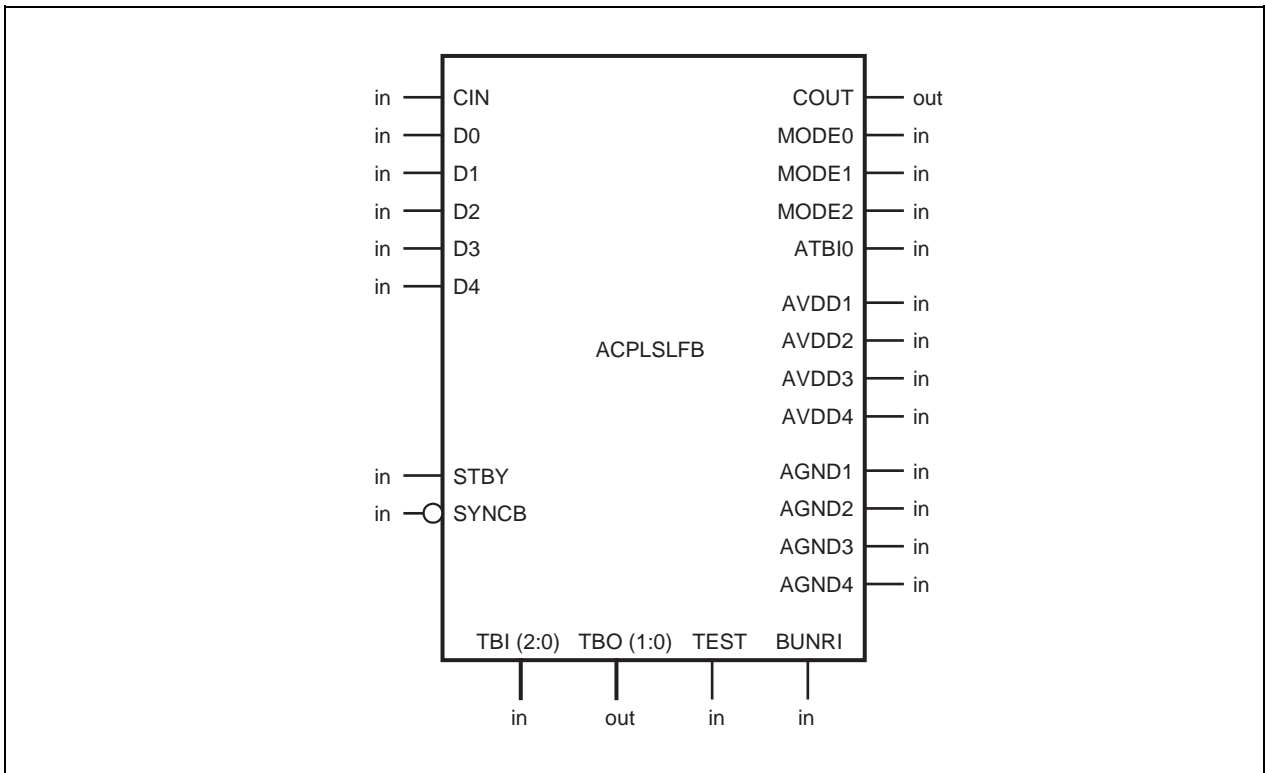
このマクロは、120 MHzまで出力できますが、EA-9HDシリーズの内部セルの入力周波数は100 MHz（MAX.）です。このため、APLLの出力クロック周波数が100 MHzを越える場合には、弊社までお問い合わせください。

なお、入力FR端子と出力FO端子間にはスキュー調整機能はありません。

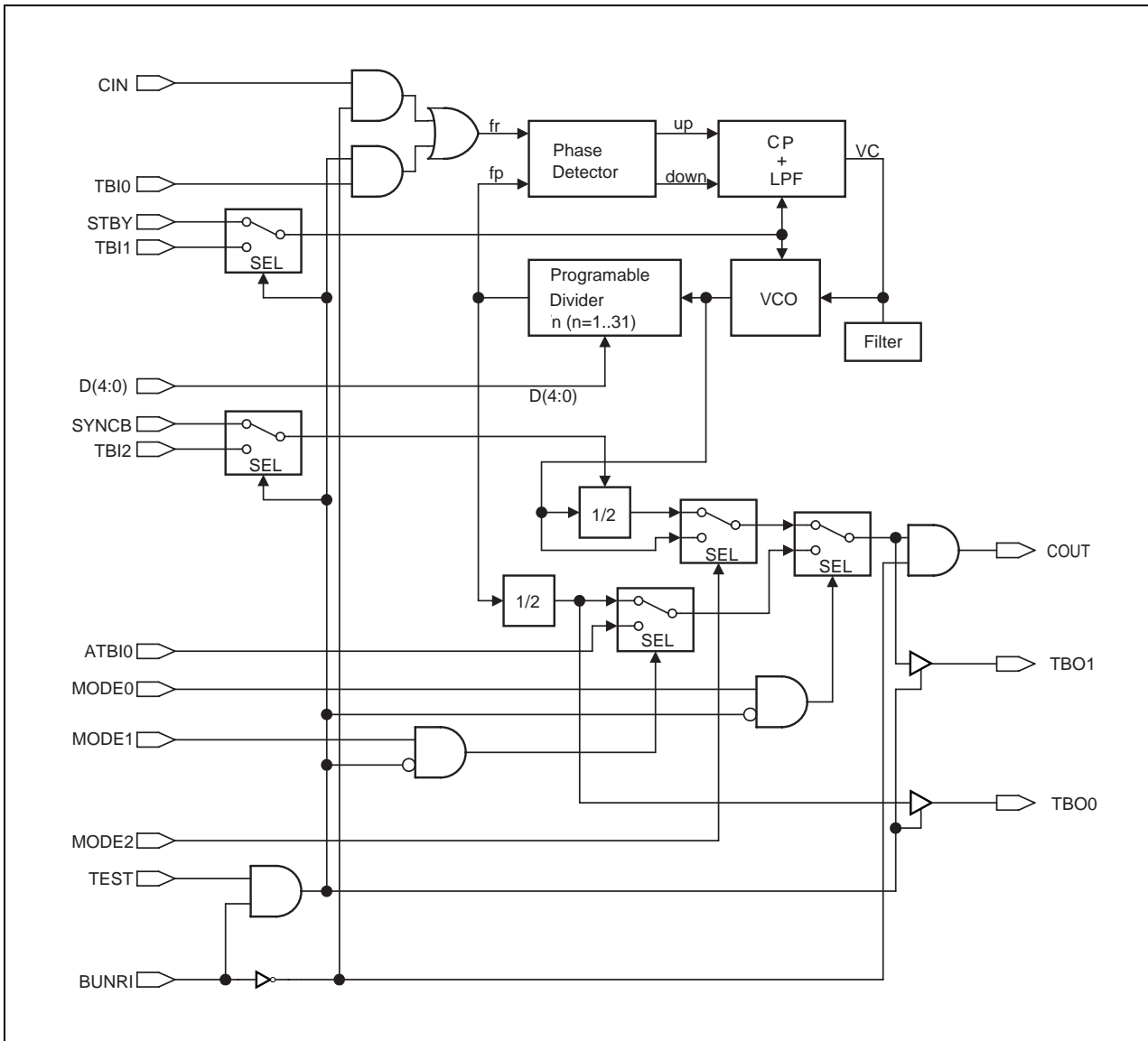
(2) 標準特性および特徴

- マクロ名： ACPLSLFB
- セル数： 5400
- 電源電圧： 3.3 ± 0.3 V
- 動作周囲温度： $-40 \sim +85^{\circ}\text{C}$
- VCO 出力周波数： 70～120 MHz
- 逡倍率： 2～16
- 出力ジッタ： 1.0 ns（peak to peak）
- 外付け部品必要なし

(3) シンボル図



(4) ブロック図



(a) Phase Detector

2つの入力信号の位相差を検出し、進みや遅れを示すパルスを出力します。

(b) CP + LPF (Charge Pump + Low Pass Filter)

Phase Detectorからの信号を直流電圧に変換します。

(c) VCO (Voltage Control Oscillator)

LPFの出力電圧に依存した発振周波数を出力します。

(5) 電気的特性

(a) 絶対最大定格 ($T_A = 25^\circ\text{C}$)

項目	略号	定格	単位
電源電圧	V_{DD}	-0.5 ~ +4.6	V
動作周囲温度	T_A	-40 ~ +85	$^\circ\text{C}$
保存温度	T_{STG}	-65 ~ +150	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(b) 推奨動作範囲 ($T_A = -40 \sim +85^\circ\text{C}$)

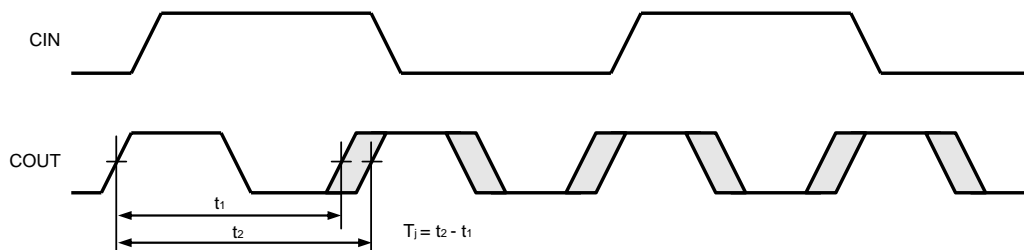
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV_{DD}		3.0	3.3	3.6	V
入力周波数	f_{std}		4.375		60	MHz
入力立ち上がり時間	t_r	From 10% to 90% of V_{DD}			2.0	ns
入力立ち下がり時間	t_f	From 90% to 10% of V_{DD}			2.0	ns
ハイ・レベル入力パルス幅	t_{pwh}		2.0			ns
ロー・レベル入力パルス幅	t_{pwl}		2.0			ns
通倍率	n		2		16	

(c) 電気的特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 3.0 \sim 3.6\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
消費電流	I_{DD1}	Operation at 100 MHz			4.2	mA
	I_{DD2}	Operation at 120 MHz			5.0	mA
	I_{DDS}	Standby			10.0	μA
VCO 出力周波数	f_{vco}		70		120	MHz
出力ジッタ	t_j	peak to peak			1.0	ns
ロックアップ時間	t_{lo}				100	μs

(6) タイミング・チャート

出力ジッタ値は次のとおりです。

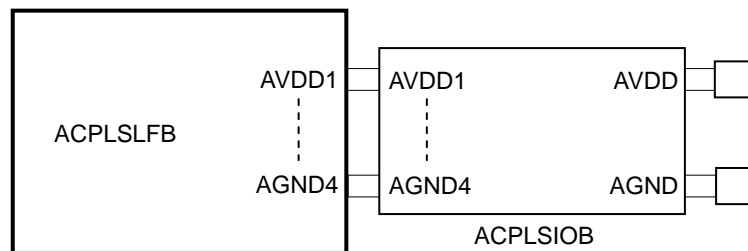


(7) 端子機能

端子名	I/O	機能	接続	C _{IN} /C _{MAX}
CIN	I	基準クロック入力	内部	0.03 pF
D (4:0) ^{※1}	I	逡倍率データ入力	内部	0.02 pF
STBY	I	スタンバイ・モード制御入力	内部	0.03 pF
SYNCB	I	ディバイダ・リセット入力	内部	0.03 pF
COUT	O	クロック出力	内部	<u>2.68 pF</u>
MODE0	I	モード制御入力	内部	0.02 pF
MODE1	I	モード選択入力	内部	0.02 pF
MODE2	I	デューティ・サイクル制御入力 (1/2 ディバイダ制御)	内部	0.06 pF
ATBI0	I	外部クロック入力	内部	0.03 pF
AVDD1	I	アナログ電源	内部 ^{※2}	-
AVDD2	I	アナログ電源	内部 ^{※2}	-
AVDD3	I	アナログ電源	内部 ^{※2}	-
AVDD4	I	アナログ電源	内部 ^{※2}	-
AGND1	I	アナログ・グランド	内部 ^{※2}	-
AGND2	I	アナログ・グランド	内部 ^{※2}	-
AGND3	I	アナログ・グランド	内部 ^{※2}	-
AGND4	I	アナログ・グランド	内部 ^{※2}	-
TBI(2:0)	I	テスト入力バス	内部	0.03 pF
TEST	I	分離テスト・モード指定	内部	0.02 pF
BUNRI	I	分離テスト・モード設定	内部	0.04 pF
TBO0	O	テスト出力バス	内部	<u>2.69 pF</u>
TBO1	O	テスト出力バス	内部	<u>2.69 pF</u>

注1. この値はF091で設定してください。逡倍率を可変で使用することは推奨しません。

2. これらの端子は I/O バッファを使用せず、ACOLSIOB ブロックに直接接続してください。



(8) 動作表

PLLマクロには、次の6つのテスト・モードがあります。

(a) ノーマル・モード (TEST = 0, BUNRI = 0, STBY = 0, MODE0 = 0)

入力クロックが逡倍され、COUT端子に出力されます。VCOからの出力クロックを、MODE2の指定により2分周できます。出力クロックのデューティ比は、MODE2 = 1の際に、常時50%というわけではありません。50%デューティ出力が必要な場合は、ディバイダの使用をお勧めします。

(b) スタンバイ・モード (TEST = 0, BUNRI = 0, STBY = 1, MODE0 = 0)

PLLの消費電力を低減するために、内部回路へのクロック供給を停止します。

(c) PLL コア・テスト・モード (TEST = 1, BUNRI = 1)

PLL単体をテストするモードです。TBO0には入力クロックの1/2の周波数のクロックが出力されます。TBO1には逡倍されたクロックが出力されます。

(d) 他のコアのテスト・モード (TEST = 0, BUNRI = 1)

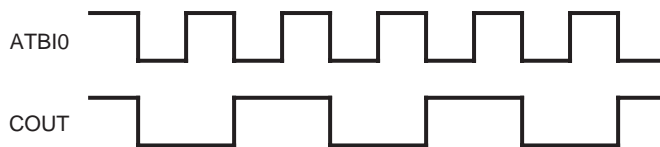
TBO0, TBO1に接続された上記以外のコアのテスト・モードです。

COUTは“0”，TBO0とTBO1はハイ・インピーダンスの状態になります。

(e) シミュレーション・モード (TEST = 0, BUNRI = 0, MODE0 = 1, MODE1 = 0)

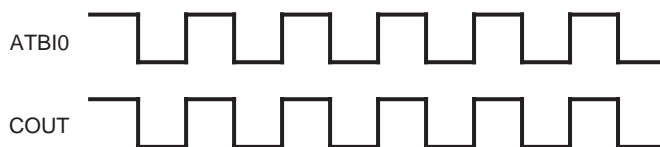
内蔵ユーザ・ロジック向けシミュレーション、およびテスト・モードです。

1/2の周波数の入力クロックがCOUT端子に出力されます。



(f) テスト・パターン圧縮モード (TEST = 0, BUNRI = 0, MODE0 = 1, MODE1 = 1)

このモードはテスト・パターンを短くするための内蔵ユーザ・ロジック向けシミュレーション、およびテスト・モードです。ATBIOからの入力クロックが直接COUT端子に出力されます。



各テスト・モード時の端子状態を下表に示します。

端子名 テスト・モード	入 力									
	CIN	D(4:0)	STBY	SYNCB	ATBI0	TEST	BUNRI	MODE0	MODE1	MODE2
ノーマル・モード	Fref	n	0	1	X	0	0	0	X	1
	Fref	n	0	1	X	0	0	0	X	0
スタンバイ・モード	X	X	1	X	X	0	0	0	X	X
PLL コア・テスト・モード	X	n	X	X	X	1	1	X	X	1
	X	n	X	X	X	1	1	X	X	0
他のコアのテスト・モード	X	X	X	X	X	0	1	X	X	X
シミュレーション・モード	Fop	n	0	1	X	0	0	1	0	X
テスト・パターン圧縮モード	X	X	X	1	Fop	0	0	1	1	X

端子名 テスト・モード	入 力			出 力		
	TBI0	TBI1	TBI2	COU _T	TBO0	TBO1
ノーマル・モード	X	X	X	Fref x n	Hi-z	Hi-z
	X	X	X	Fref x n/2	Hi-z	Hi-z
スタンバイ・モード	X	X	X	X	Hi-z	Hi-z
PLL コア・テスト・モード	Fref	0	1	0	Fref/2	Fref x n
	Fref	0	1	0	Fref/2	Fref x n/2
他のコアのテスト・モード	X	X	X	0	Hi-z	Hi-z
シミュレーション・モード	X	X	X	Fop/2	Hi-z	Hi-z
テスト・パターン圧縮モード	X	X	X	Fop	Hi-z	Hi-z

備考 1. n は F091 で設定される逡倍率です。

Fref は実際の入力周波数です。

Fop はシミュレーション時の入力周波数です。

2. D(4:0) は F091 で設定してください。
3. MODE2 は F091 で設定してください。

(9) 注意事項

- (a) ステップとパッケージの組み合わせにより、非接続端子が発生する場合があります。
- (b) 入力周波数と逡倍率は、VCO出力周波数範囲に収まるように設定してください。
- (c) AVDD1-AVDD4端子は、AAPLSIOBあるいはACPLSIOBブロックのアナログ電源端子AVDD1-AVDD4とバッファを介さずに接続してください。また、AGND1-AGND4端子は、AAPLSIOBあるいはACPLSIOBブロックのアナログ・グランド端子AGND1-AGND4とバッファを介さずに接続してください。
- (d) PLLは高駆動のバッファや発振ブロックの近くに設置しないでください。
- (e) PLLへの入力クロックと出カクロックは、テスト回路が挿入されているので同期しません。
- (f) PLLの電源電圧は、チップ全体の電源電圧と同じにしてください。
- (g) 電源のON/OFF切り替えタイミングは、チップ全体のタイミングと同じにしてください。
- (h) ノイズ耐性を高めるため、PCB上にチップ全体とは別のV_{DD}/GND電源ラインを置くことを推奨します。
- (i) このPLLは、スタンバイ・モード・リリース後にロックアップ時間を必要とします。
- (j) テスト・パターン圧縮モードにて、ユーザ・パターンを作成してください。

9.9 パワーオン・リセット

9.9.1 概要

このアナログ・コアは、EA9HDパワーオン・クリアです。

電源投入時、デジタル回路を初期化する信号として使用できます。ただし、電源の瞬断には対応しません。

9.9.2 標準特性および特徴

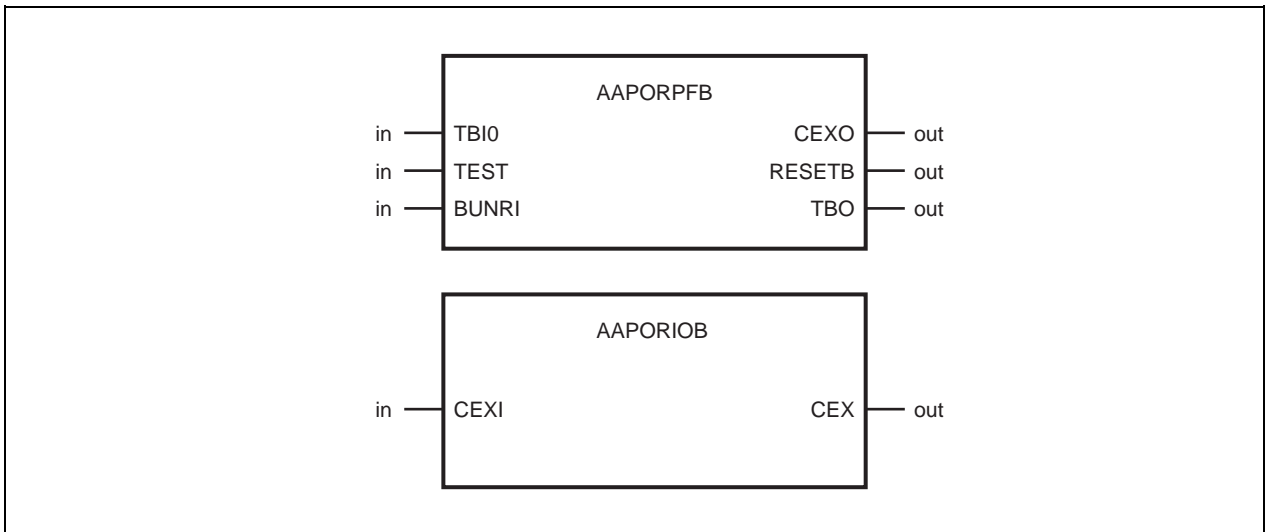
- 動作接合温度(Tj) : - 40 ~ 125°C
- 電源電圧(V_{DD}) : 1.8 ~ 3.6 V
- 検出電圧 Hi : 2.15 ~ 2.35 V
- 検出電圧 Lo : 1.90 ~ 2.10 V
- ヒステリシス幅 : 0.2 ~ 0.3 V
- リセット幅 1 : 20 ms (typ, C_L = 0.1 μF)
- リセット幅 2 : 10 μs (min. C_L = なし)
- 消費電流 (I_{dd}) : 10 μA (max. V_{DD} = 3.6 V)
- 外付けコンデンサ (C_L) : 0 ~ 0.1 μF

9.9.3 使用セル数

AAPORPFB: 2940セル

AAPORIOB: 1 I/O

9.9.4 シンボル図



9.9.5 端子情報

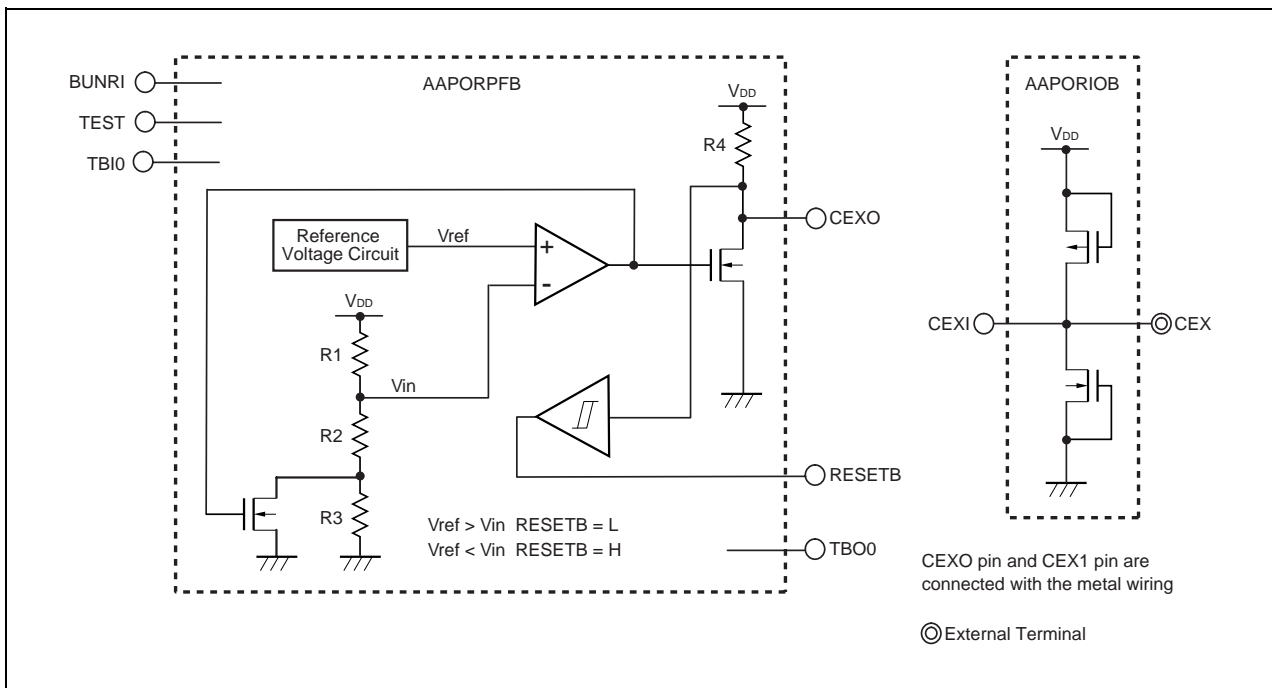
(1) AAPORPFB

端子名	I/O	接続	C _{IN} (pF)	C _{MAX} (pF)
RESETB	O	内部	-	1.476
CEXO	O	内部	-	1.476
TBIO	I	内部	0.19	-
TBOO	O	内部	0.19	1.476
TEST	I	内部	0.19	-
BUNRI	I	内部	0.19	-

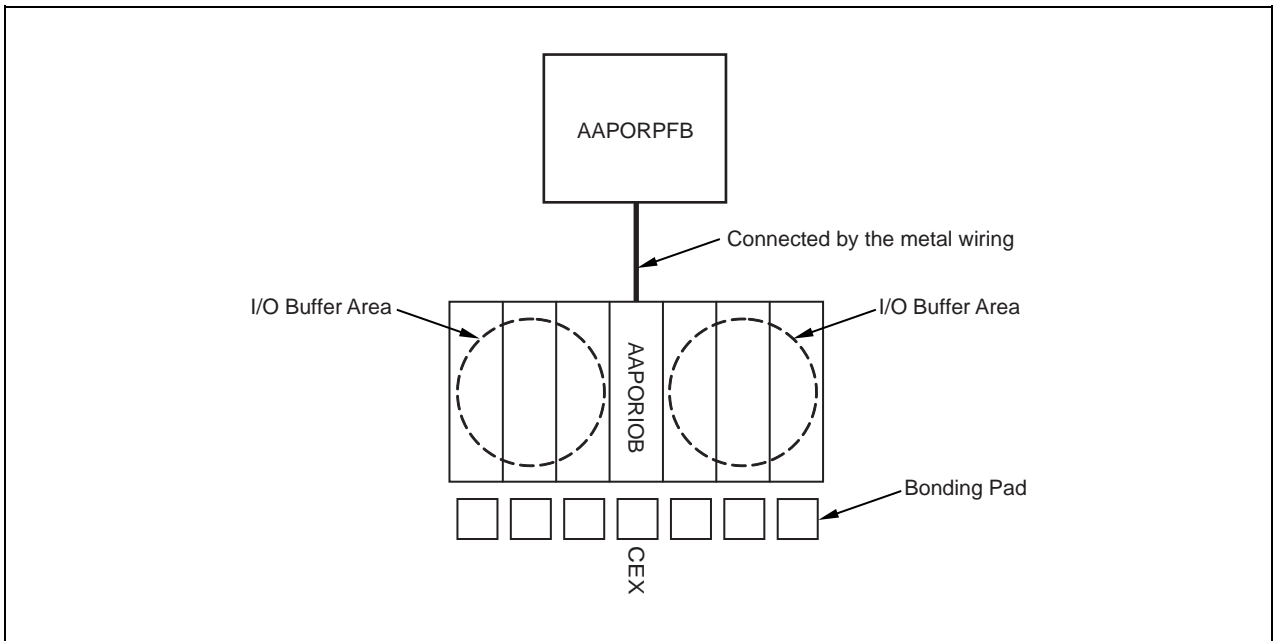
(2) AAPORIOB

端子名	I/O	接続	C _{IN} (pF)	C _{MAX} (pF)
CEXI	I/O	内部	0.19	-
CEX	I/O	外部	-	-

9.9.6 ブロック図



9.9.7 レイアウトイメージ



9.9.8 真理値表

このコアのシミュレーション・モデルの動作（真理値表）は、接続チェックを重視したモデルのため実動作と異なるので注意してください。

次にシミュレーション・モデルの真理値表を示します。

(1) AAPORPFB

入 力			出 力		
BUNRI	TEST	TBI0	RESETB	CEX0	TBO0
0	X	X	1	1	Hi-Z
1	0	X	1	1	Hi-Z
1	1	0	1	1	1
1	1	1	0	0	0

(2) AAPORIOB

入 力	出 力
CEXI	CEX
0	0
1	1

9.9.9 電気的特性（暫定）

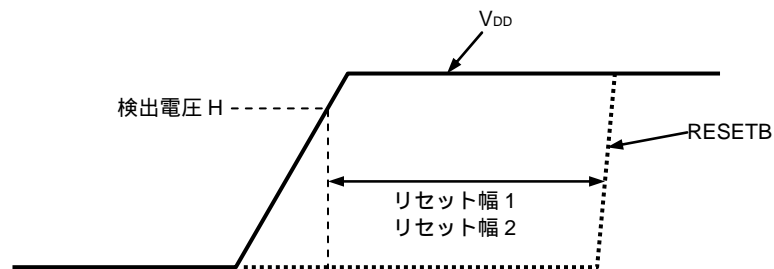
（1）絶対最大定格（EA9HD の規格に準ずる）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		-0.5		4.6	V
接合温度	T _j		-40		125	°C
保存温度	T _{stg}		-65		150	°C

（2）パワーオン・リセット特性

T_j = -40 ~ +125°C

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		1.8		3.6	V
電源スルーレート	V _{SR}		0.033		1000	V/mS
検出電圧 H	V _{trip-H}		2.15		2.35	V
検出電圧 L	V _{trip-L}		1.90		2.10	V
ヒステリシス幅	V _{his}		0.2		0.3	V
リセット幅 1（下図）	T _{pd1}	外付けコンデンサ: 0.1 μF		20		mS
リセット幅 2（下図）	T _{pd2}	外付けコンデンサなし	10			μS
消費電流	I _{DD}				10	μA



9.9.10 端子機能

(1) AAPORPFB

端子名	説明
RESETB	リセット信号出力端子 (アクティブ・ロー)
CEXO	外付け容量接続端子内部出力
TBI0	テスト入力端子。パワーダウン入力 (ノーマル時:L, パワーダウン:H)
TBO0	テスト・バス出力。リセット信号出力端子 (アクティブ・ロー)
TEST	テスト・イネーブル入力端子
BUNRI	テスト・モード・コントロール入力端子

(2) AAPORIOB

端子名	説明
CEXI	外付け容量接続端子内部入力
CEX	外付け容量接続端子外部出力

9.9.11 コア使用時の注意事項

- (1) CEX端子に接続する外付けコンデンサ (CL) は最大0.1 μ F とし、基板上の配線抵抗を小さくしてください。
- (2) このコアは電源の瞬断には対応していません。
- (3) AAPORPFBとAAPORIOBは必ずペアで使用してください。
- (4) 電源立ち上がり時にもBUNRI = Lになる回路を設計してください。一瞬でもBUNRI = Hになるとリセット・パルスが出力されない場合があります。

9.10 PCIローカル・バス・バッファ

PCI (Peripheral Component Interconnect) ローカル・バスは、PCと周辺機器の信号のやりとりのボトルネックとなってきたバス・ラインのスピードを改善するために考案されたローカル・バスの統一規格です。このバス規格では信号の伝送は主に反射波で行われるため、バスのプロトコルのほかに、バス・ドライバの電気的特性から基板上の配線パターンやコネクタ、基板の形状まで多岐にわたる規格が決められています。

ここでは、PCI LOCAL BUS SPECIFICATION REVISION 2.0の3 V規格に準拠したEA-9HDシリーズのバス・ドライバについて説明をします。

なお、EP-1シリーズでPCIコンポーネントを作成する場合には、ベンダIDや個別のサポートが必要になりますので、“PCI Special Interest Group”(PCISIG)に必ず加入してください。

また、仕様書(規格)等は、PCISIGより入手してください。

9.10.1 PCIローカル・バスの信号規定

PCIインタフェースではアドレス/データ・ライン、インタフェース制御ライン、システム信号ラインとアービトラージョン制御ラインのために、ターゲット・デバイスで最低47本の信号ピン数が、バス・マスタで最低49本の信号ピン数が必要になります。

PCIローカル・バスの端子リストは次のとおりです。ブロックのリストについては、表9-15 PCIブロックを参照してください。

図9-22 PCI端子リスト

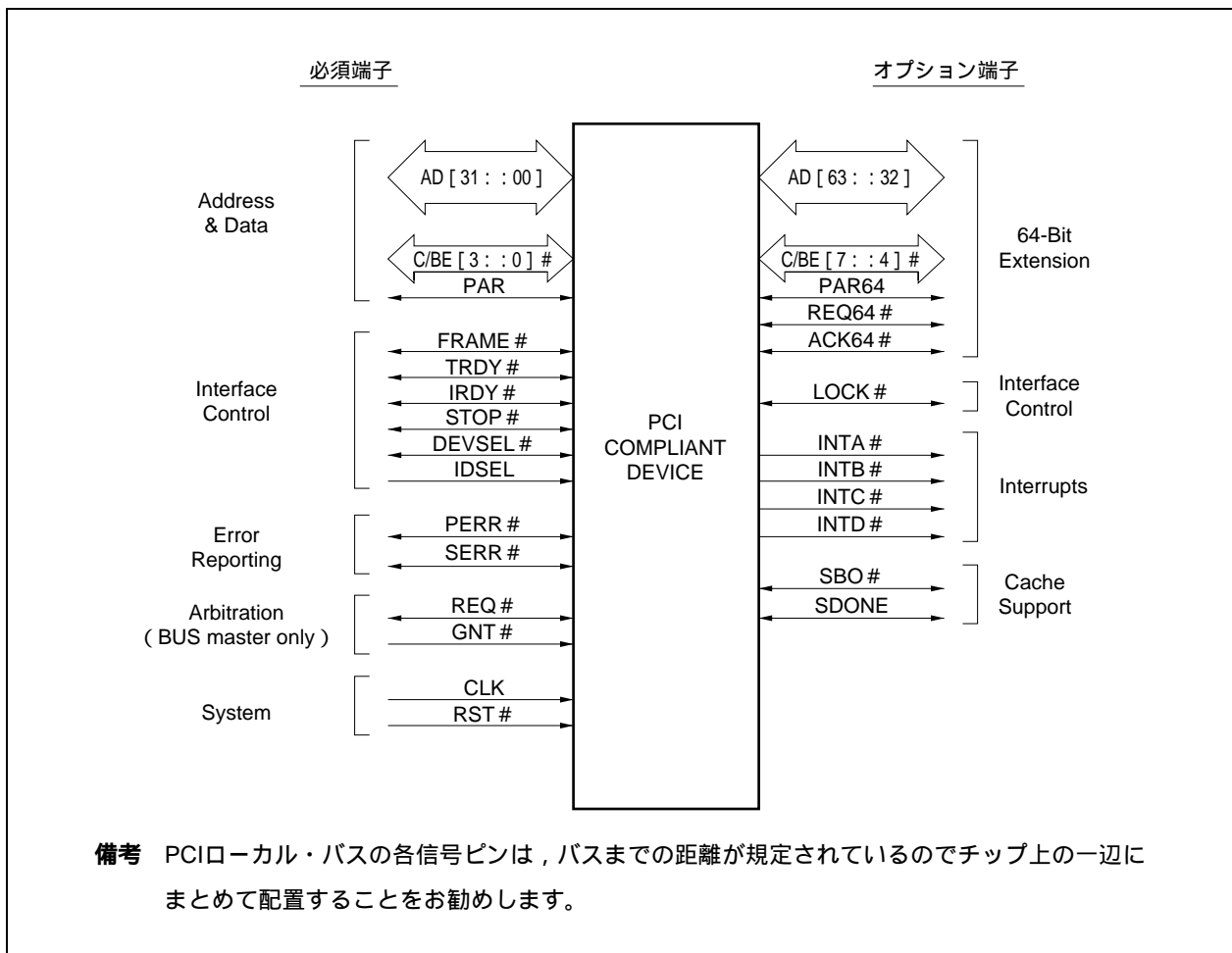


表9 - 15 PCIブロック (EA-9HDシリーズ)

(a) 3.3 V PCI用のブロック

3.3 V PCIバス・ドライバ	Fullタイプ	Halfタイプ
入力	BP3I	
出力	BP3O	FO01
3ステート	BP3T	B008
双方向	BP3B	B003
オープン・ドレイン	EXT5	

(b) 5 V PCI用のブロック

5 V PCIバス・ドライバ	Fullタイプ
入力	BP5I
出力	BP5O
3ステート	BP5T
双方向	BP5B

備考 Fullタイプは、pin to bus (一対多数) で使用されるブロックです。
Halfタイプは、pin to pin (一対一) で使用されるブロックです。

5 V PCIを使用する場合の注意

5 V PCIバッファは11 Vの反射波からデバイスを保護する目的でクランピング・ダイオードを内蔵しています (図9 - 23 5 V PCIバッファの等価回路図参照)。

このバッファを使用する場合は、クランピング・ダイオード用の5 V専用電源端子を追加する必要があります。

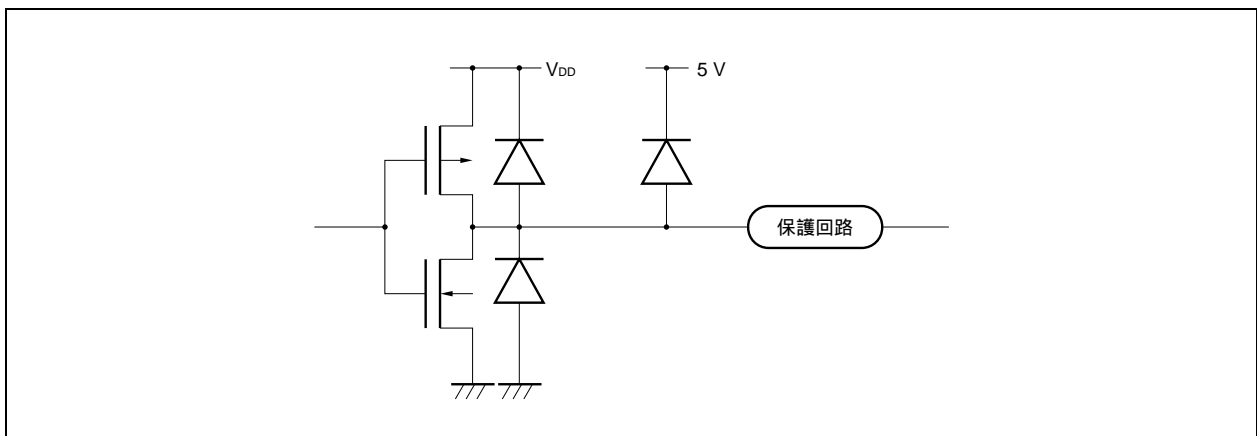
5 V電源は追加電源とし、PCIバッファがある辺に最低1本は配置してください。

追加5 V電源の位置は、PCIバッファがある辺であれば、どこでもかまいません。

- ・PCIバッファが1辺に複数あっても、追加5 V電源は最低1本配置してください (複数可能)。
- ・PCIバッファが4辺にある場合、追加5 V電源は各辺に1本ずつで、最低でも計4本になります (複数可能)。

注意 この電源追加は、同時動作対策の電源強化とは無関係です。

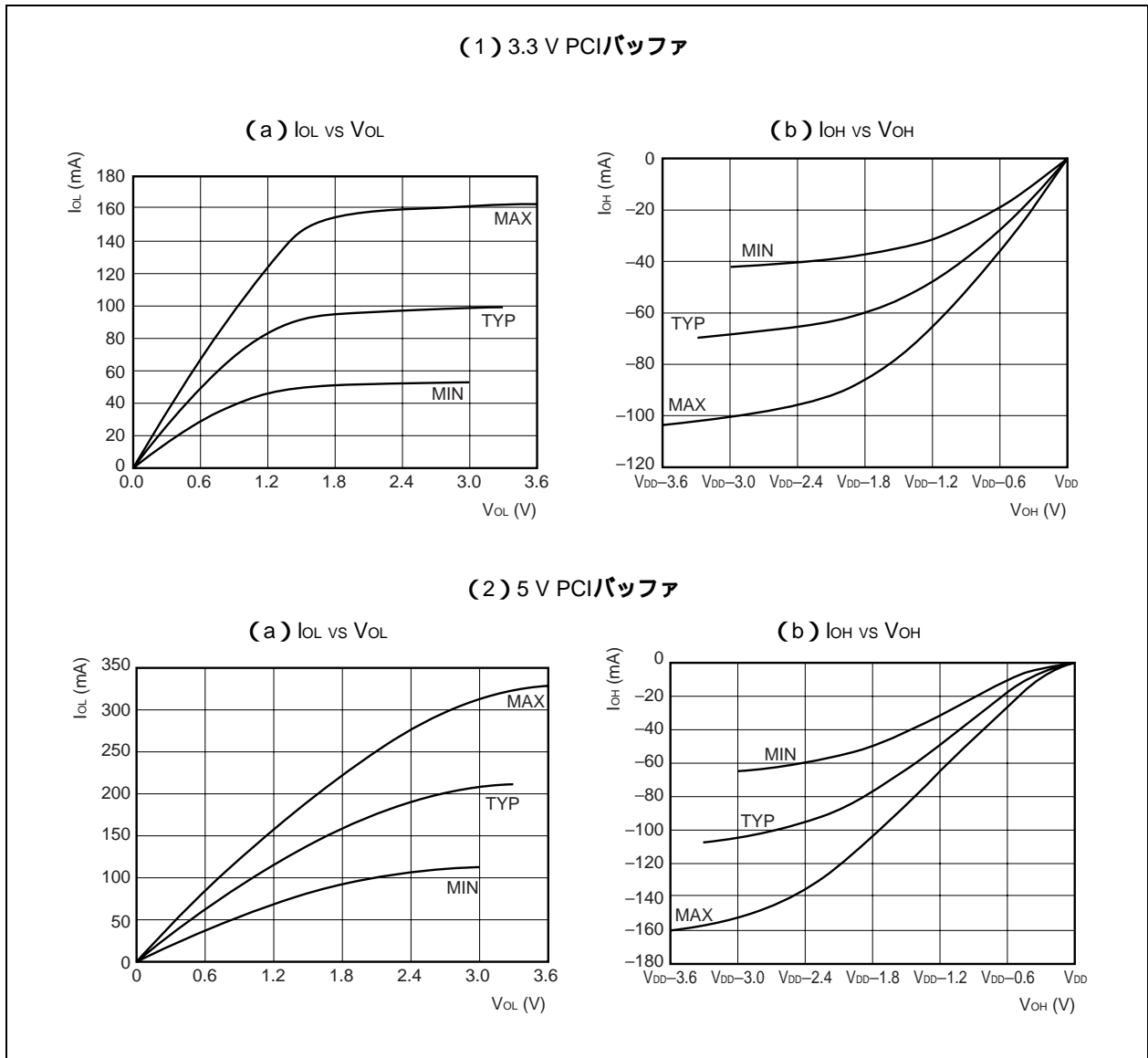
図9 - 23 5 V PCIバッファの等価回路図



9.10.2 PCIバッファの出力電流

図9-24に I_o vs V_o のカーブを示します。

図9-24 I_o vs V_o (PCIバッファ)



9.10.3 電気的特性

PCIバッファを利用する場合には、伝送路の信号の流れを事前に検討することが必要になります。この評価には、多少のノウハウを必要とします。

DC特性や端子容量規格などは、PCI LOCAL BUS SPECIFICATION REVISION 2.0の3 V規格に準拠しています。

9.11 メモリ

EP-1シリーズでは、ゲートアレイ・タイプのメモリ・ブロックとセルベースICタイプのメモリ・マクロを搭載できます。この章では、メモリの種類や使用の際の注意事項などについて述べます。

9.11.1 ゲートアレイ・タイプのメモリ

EP-1シリーズでは、表9-16に示す種類のゲートアレイ・タイプのメモリ・ブロックを用意しています。

表9-16 メモリ・ブロック一覧

(a) 高密度1ポートRAM

	16	32	64	128	256	512	1024	2048	4096 [word]
4	RB47	RB49	RB4B	RB4D	RB4F	RB4H	RB4M	RB4S	RB4U
8	RB87	RB89	RB8B	RB8D	RB8F	RB8H	RB8M	RB8S	
10			RBAB	RBAD	RBAF	RBAH	RBAM	RBAS	
16	RBC7	RBC9	RBCB	RBCD	RBCF	RBCH	RBCM		
20			RBEB	RBED	RBEF	RBEH	RBEM		
32	RBH7	RBH9	RBHB	RBHD	RBHF	RBHH			
40 [bit]			RBKB	RBKD	RBKF	RBKH			

(b) 高密度2ポートRAM (W+R)

	16	32	64	128	256	512	1024	2048	4096 [word]
4	R947	R949	R949	R94D	R94F	R94H	R94M	R94S	R94U
8	R987	R989	R989	R98D	R98F	R98H	R98M	R98S	
10			R9A9	R9AD	R9AF	R9AH	R9AM	R9AS	
16	R9C7	R9C9	R9C9	R9CD	R9CF	R9CH	R9CM		
20			R9E9	R9ED	R9EF	R9EH	R9EM		
32	R9H7	R9H9	R9H9	R9HD	R9HF	R9HH			
40 [bit]			R9K9	R9KD	R9KF	R9KH			

(c) ROM

	128	256	512	1024	2048 [word]
4	J14DK	J14FK	J14HK	J14MK	J14SK
8	J18DK	J18FK	J18HK	J18MK	J18SK
16	J1CDK	J1CFK	J1CHK	J1CMK	J1CSK
32		J1HFK	J1HHK		
2048 [bit]				J1HMK	J1HSK

9.11.2 セルベースICタイプのメモリ

- コンパイルDRAM

セルベースICタイプのメモリでは、次の範囲のビット/ワードを選ぶことができます。

表9 - 17 セルベースICタイプのコンパイルDRAM対応一覧

アクセス方法	種 類	ビット/ワード数
同期式	高速1ポートRAM	1 ~ 32/32 ~ 2 K
	高速2ポートRAM (RW+R)	1 ~ 32/32 ~ 2 K
	高密度1ポートRAM	1 ~ 32/16 ~ 2 K
	高密度2ポートRAM (W+R)	1 ~ 32/32 ~ 1 K

なお、マクロ・サイズの算出についてはEA-9HDシリーズ 設計マニュアル メモリ・マクロ編 (A13367J) に記載されています。

- 高速同期式ROM

高速同期式ROMについては、EA-9HDシリーズ 設計マニュアル メモリ・マクロ編 (A13367J) を参照してください。

9.11.3 ゲートアレイ・タイプRAM

ゲートアレイ・タイプの高密度RAMは、図9 - 25, 図9 - 26に示すように基本マクロ (ハード・マクロ) を基にビット/ワードを構成し、テスト回路 (BIST: Built-In Self Test) およびセレクトを内蔵したソフト・マクロ構成をとっています。このことにより、配置配線の制限や複数のRAMを搭載する際の複雑さが緩和されています。

メモリ・テストは、BISTをソフト・マクロ内に搭載しています。テスト用に3端子必要となるだけで、全端子直接入出力のわずらわしさがありません。

弊社のRAMを使用する場合は、必ず弊社標準のテスト回路 (BIST) を使用してください。

図9 - 25 1ポートRAM回路構成

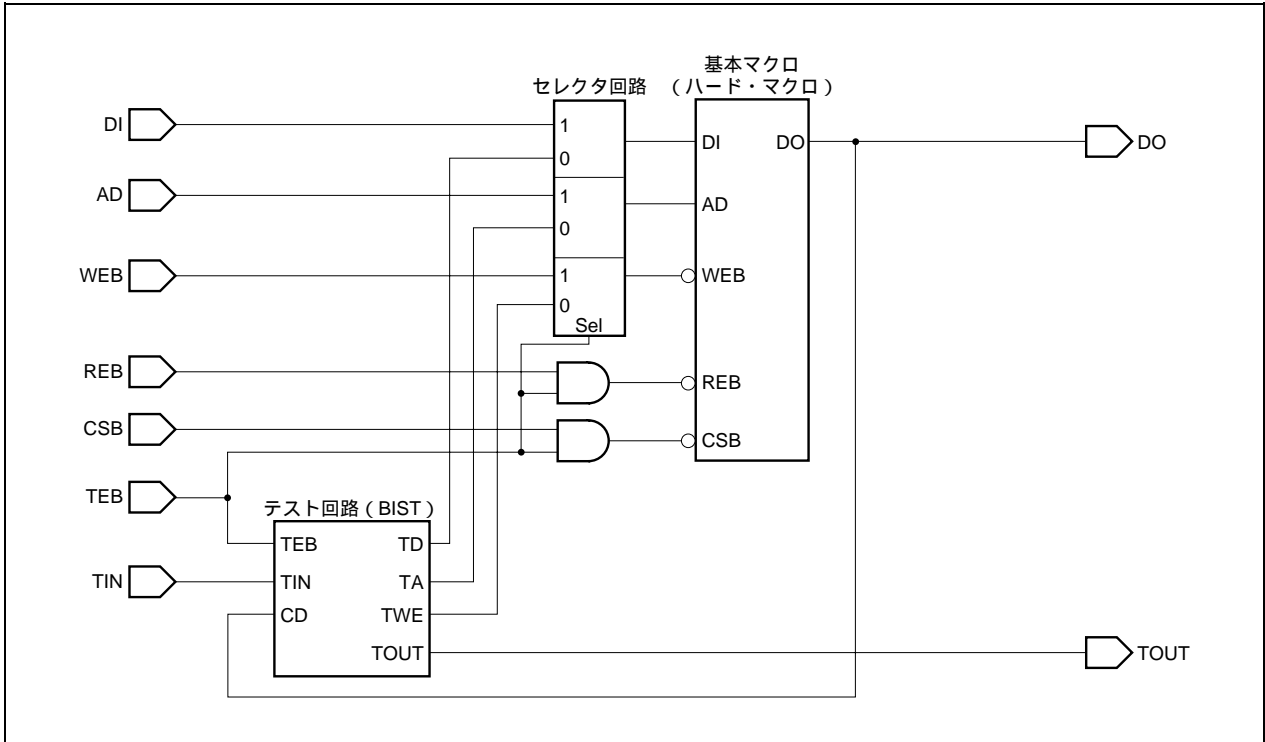
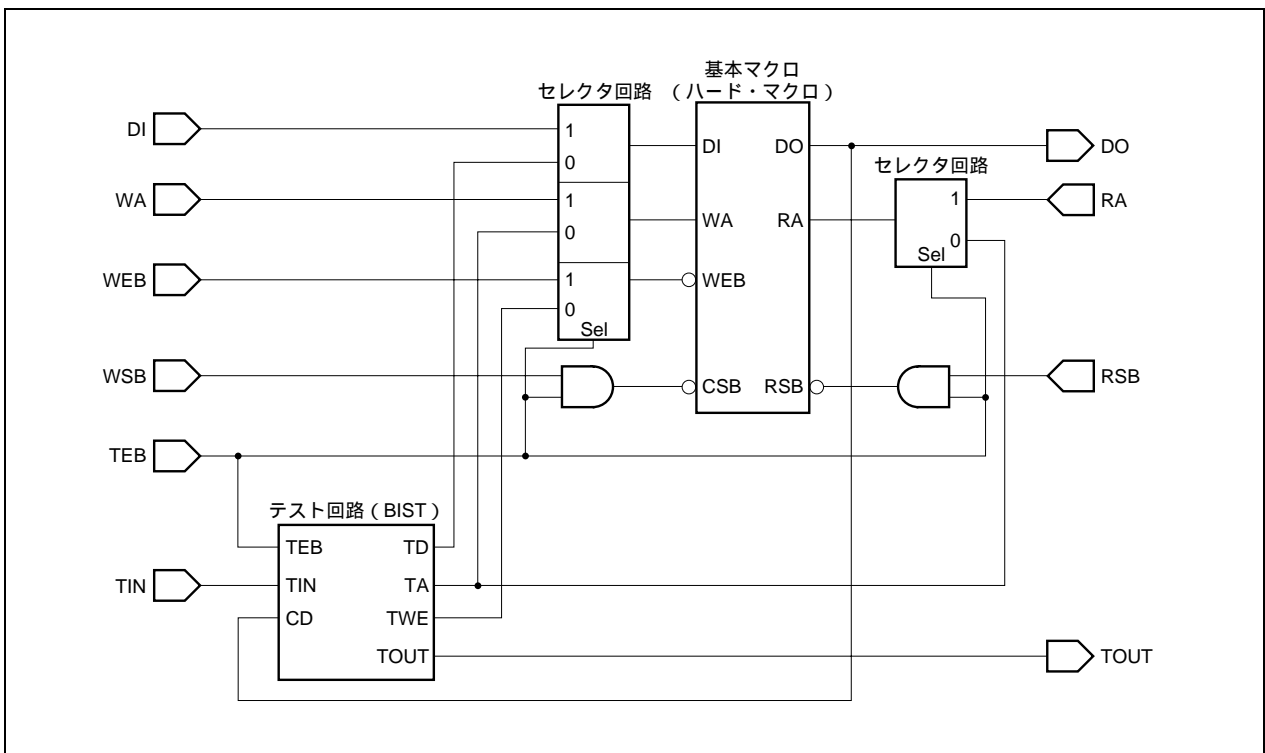


図9 - 26 2ポートRAM (W+R) 回路構成



9.11.4 セルベースICタイプRAM

セルベースICタイプ・メモリ・マクロについては、EA-9HDシリーズ **メモリ・マクロ編 設計マニュアル** (A13367J) を参照してください。

9.11.5 ゲートアレイ・タイプ・メモリの選択

EA-9HDシリーズのゲートアレイ・タイプRAMブロックはソフト・マクロ構成となっています。したがって、基本メモリ・セルの組み合わせにより、ビット/ワード構成の自由なRAMブロックが搭載可能です。しかし、特に使用頻度の高いと考えられるブロックをシミュレーション・モデルとして、あらかじめ登録してあります (EA-9HDシリーズ **メモリ・マクロ編 設計マニュアル** (A13367J) 参照)。これら代表モデルの中から、使用するビット/ワード・サイズを包含する最も大きさの近いものを選択してご使用ください。

ビット数オーバ (RAM: 40ビット, ROM: 32ビット) などの理由で希望するサイズのメモリ・ブロックがない場合は、ビット、サイズの異なる同一ワード・サイズのブロックを平行に接続して記述してください。

逆にワード数オーバの場合には、通常のメモリ回路と同様にデコーダなどによりチップ・セレクト信号を作成し、アドレス分割を行ってください。

ビット/ワードの一致しないメモリを使用する場合は、上述の方法でソフト・マクロ化して使用してください。回路構成およびテスト回路 (BIST) 構成は弊社までお問い合わせください。

9.11.6 ゲートアレイ・タイプ・メモリの取り扱い

メモリ・ブロックには、ほかのファンクション・ブロックと同様に、ファンイン (F/I) やファンアウト (F/O) の規定があります (EA-9HDシリーズ **メモリ・マクロ編 設計マニュアル** (A13367J) 参照)。ファンアウト制限数などを越えないように接続してください。

9.11.7 セルベースICタイプ・メモリの取り扱い

セルベースICタイプRAMブロックは、下地より作成するので、上限値を越えない範囲でビット/ワード構成を自由に変更できます。詳細はEA-9HDシリーズ **メモリ・マクロ編 設計マニュアル** (A13367J) を参照してください。

9.11.8 ゲートアレイ・タイプRAMのテスト

RAMブロックのテストは、BISTの採用によりテスト・パターン数の制限が緩和され、ユーザによるメモリ・チェックも容易になっています。

BISTは図9-27に示すように、テスト・アドレス、テスト・データ、テスト・イネーブルの各テスト信号発生器および期待値発生器と比較器を内蔵した構成をとっています。ユーザはTIN, TEB, TOUTの3つの端子を外部端子と接続するだけでRAMのテストができます。複数個のRAMブロックを搭載する際、テスト入力 (TIN, TEB) はほかのRAMブロックのおおのこの端子と共有してください。なお、テスト出力 (TOUT) は共有できません。それぞれ違う外部端子と接続してください。接続例を図9-28に示します。

RAMをテストするためには、基本的に外部入力端子からテスト入力 (TIN, TEB) に対してデータをスルーで加えられ、さらにテスト出力 (TOUT) を外部端子からスルーで取り出せる構成としてください。インバータやフリップフロップを介することで、信号が反転したりクロックを必要とする構成にしますと、基本テスト・パターンが使用できません。また、ユーザのテスト・パターンの最後の状態はRAMがテスト可能な状態 (TIN, TOUT, TEBが外部端子からスルーでRAMテスト信号をやり取りできる状態) にしておく必要があります。なお、RAMのテスト・パターンは弊社で用意します。

図9 - 27 テスト回路 (BIST) ブロック図

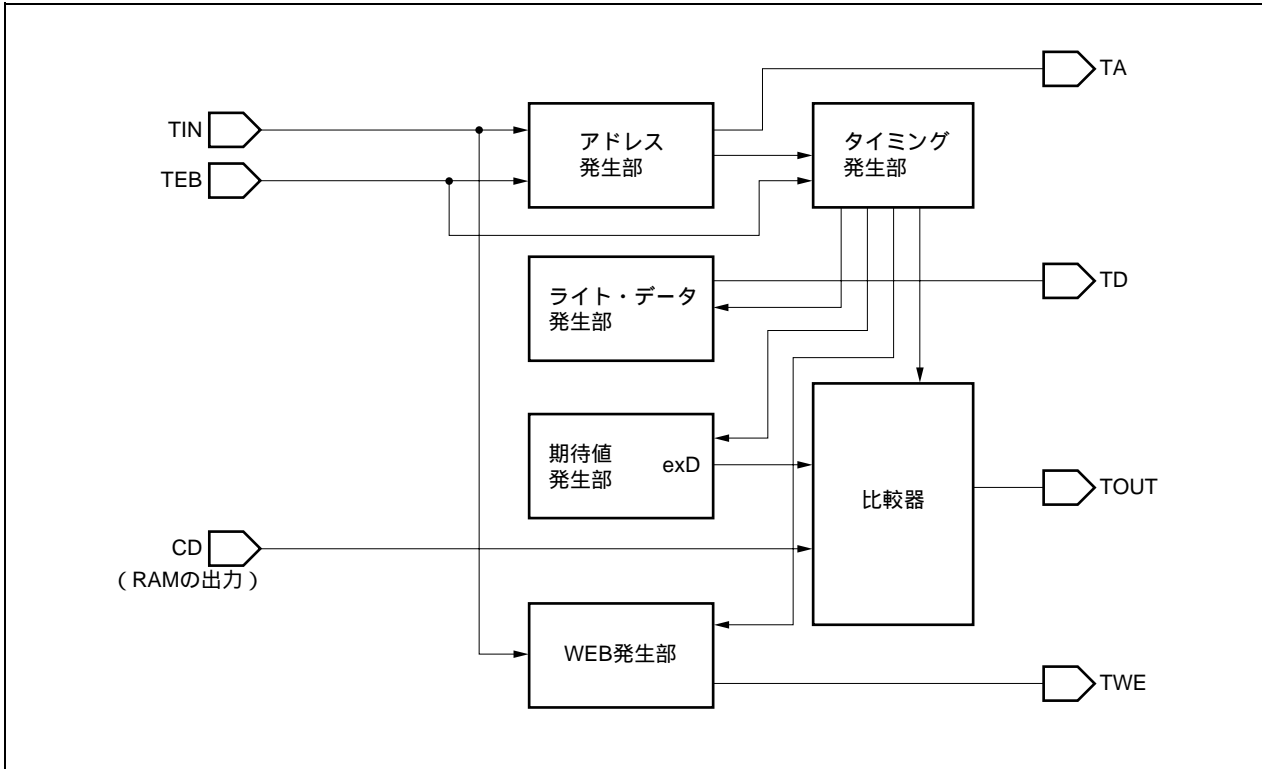
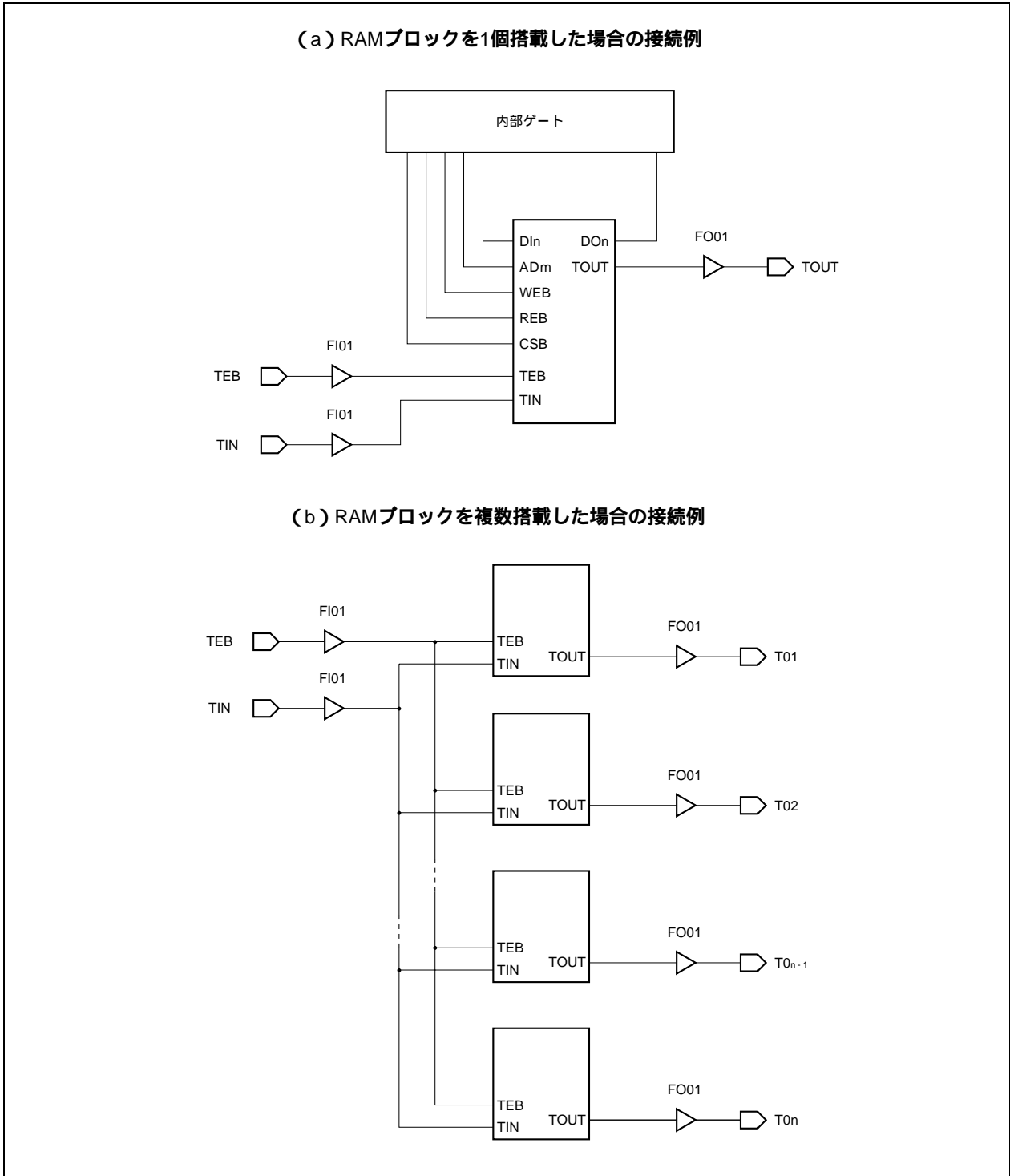


図9 - 28 RAMテスト回路例



- (1) TEB入力, TIN入力は必ず1本とし, それぞれのRAMに接続してください。RAMブロックの容量が異なっても, TEB入力, TIN入力は図のように必ず1本にし, 共通化してください。
- (2) TOUTは独立して外部端子に出力します。

9.11.9 セルベースICタイプRAMのテスト

セルベースICタイプのRAMもBISTによるテストが可能です。

しかしセルベースICタイプのRAMにはBISTが付加されていません。そのため、BISTを回路設計段階において接続する必要があります。

RAMとBISTの接続方法については、EA-9HDシリーズ **メモリ・マクロ編 設計マニュアル (A13367J)** を参照してください。なお、BISTとテスト・バスを併用する場合は、弊社までご相談ください。

9.11.10 テスト用入出力端子 (TIN, TEB, TOUT) の設置

(1) ゲートアレイ・タイプ・メモリ

(a) 未使用端子がある場合

電源端子やNC端子を除いても未使用端子がある場合は、その端子をテスト用に使用してください。

(b) 未使用端子がない場合

すでに使用されている端子を、テスト用端子と兼用させます。次の項目を参考にして端子の兼用化を図ってください。ただしTEB端子は兼用できませんので、専用端子を設けてください。

TIN端子の兼用化 : 通常入力端子および通常出力端子と兼用することができます。通常出力端子と兼用する場合は、TEB信号をイネーブル信号として双方向端子化し、通常時は出力端子、テスト時は入力端子として使用してください。また、この場合、テスト・パターンの最後をロー・レベルにしてください。接続例を図9 - 29に示します。

TOUT端子の兼用化 : 通常入力端子および通常出力端子と兼用することができます。通常入力端子と兼用する場合は、TEB信号をイネーブル信号として双方向端子化し、通常時は入力端子、テスト時は出力端子として使用してください。通常出力端子と兼用する場合は、内部セレクト回路を併用しTEB信号で切り替えて使用してください。接続例を図9 - 30に示します。

注意 GTL+インタフェース・バッファ、N-chオープン・ドレイン・バッファ、CMOS用5 V耐圧出力バッファを使用している端子との兼用はできません。

(c) 基板上での処置

TEB端子、TIN端子は、次に示す方法からそれぞれ1つずつ選んで処置してください。

TEB端子における処置^{注1}

- ・プルアップ・バッファを使用。
- ・外部でプルアップ。
- ・外部でV_{DD}に接続。

TIN端子における処置^{注2}

- ・プルアップ・バッファを使用。
- ・プルダウン・バッファを使用。
- ・外部でV_{DD}に接続。
- ・外部でGNDに接続。

- 注1. テスト・モードにならない処置です。
- 2. 通常端子と兼用していない場合に必要な処置です。

(2) セルベースICタイプ・メモリ

セルベースICタイプのメモリ・マクロのTIN, TEB, TOUT端子の設置については, EA-9HDシリーズ **メモリ・マクロ編 設計マニュアル (A13367J)** を参照してください。なお, BISTとテスト・バスを併用する場合は, 弊社までご相談ください。

図9 - 29 TIN端子の兼用化

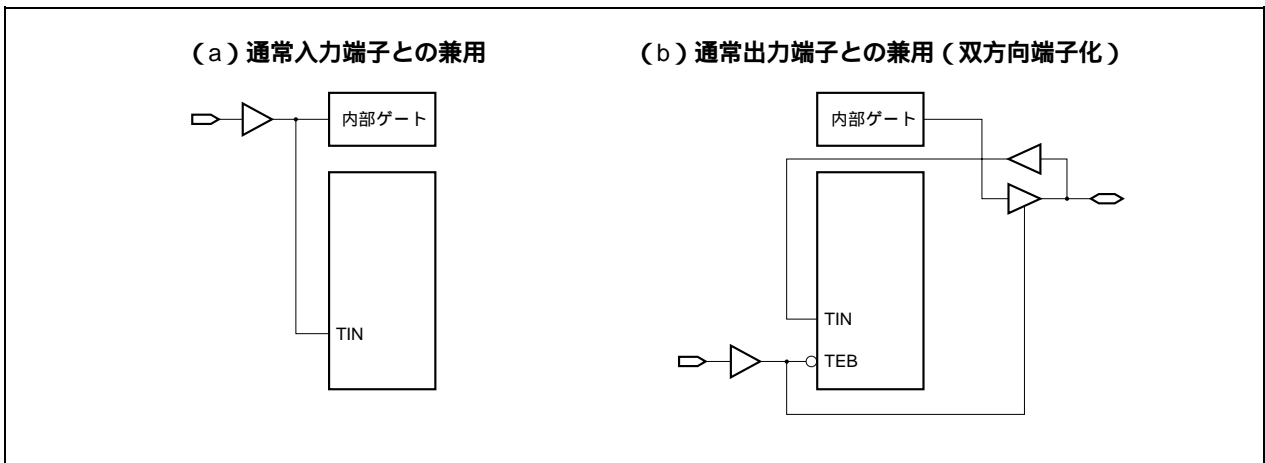
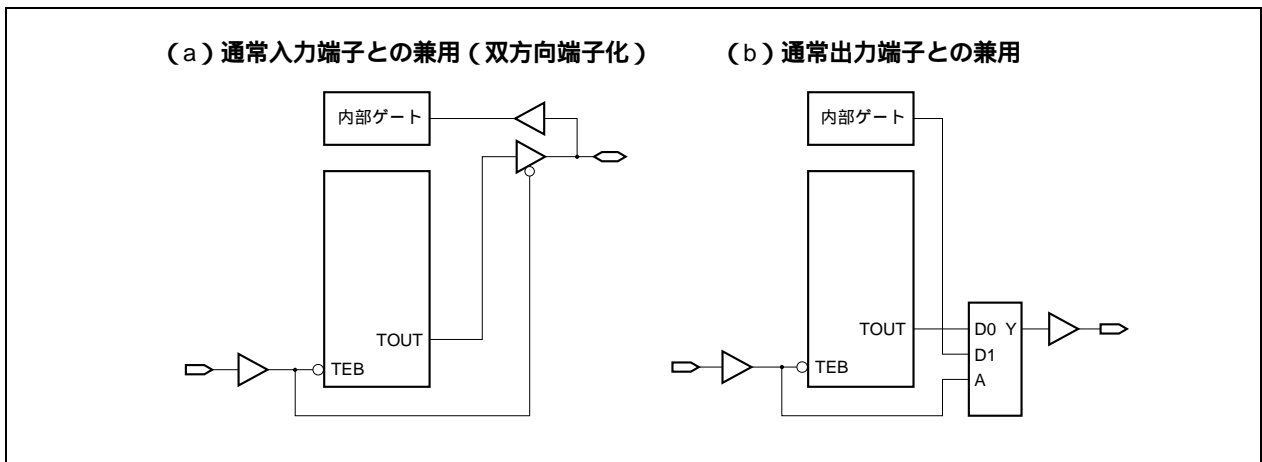


図9 - 30 TOUT端子の兼用化



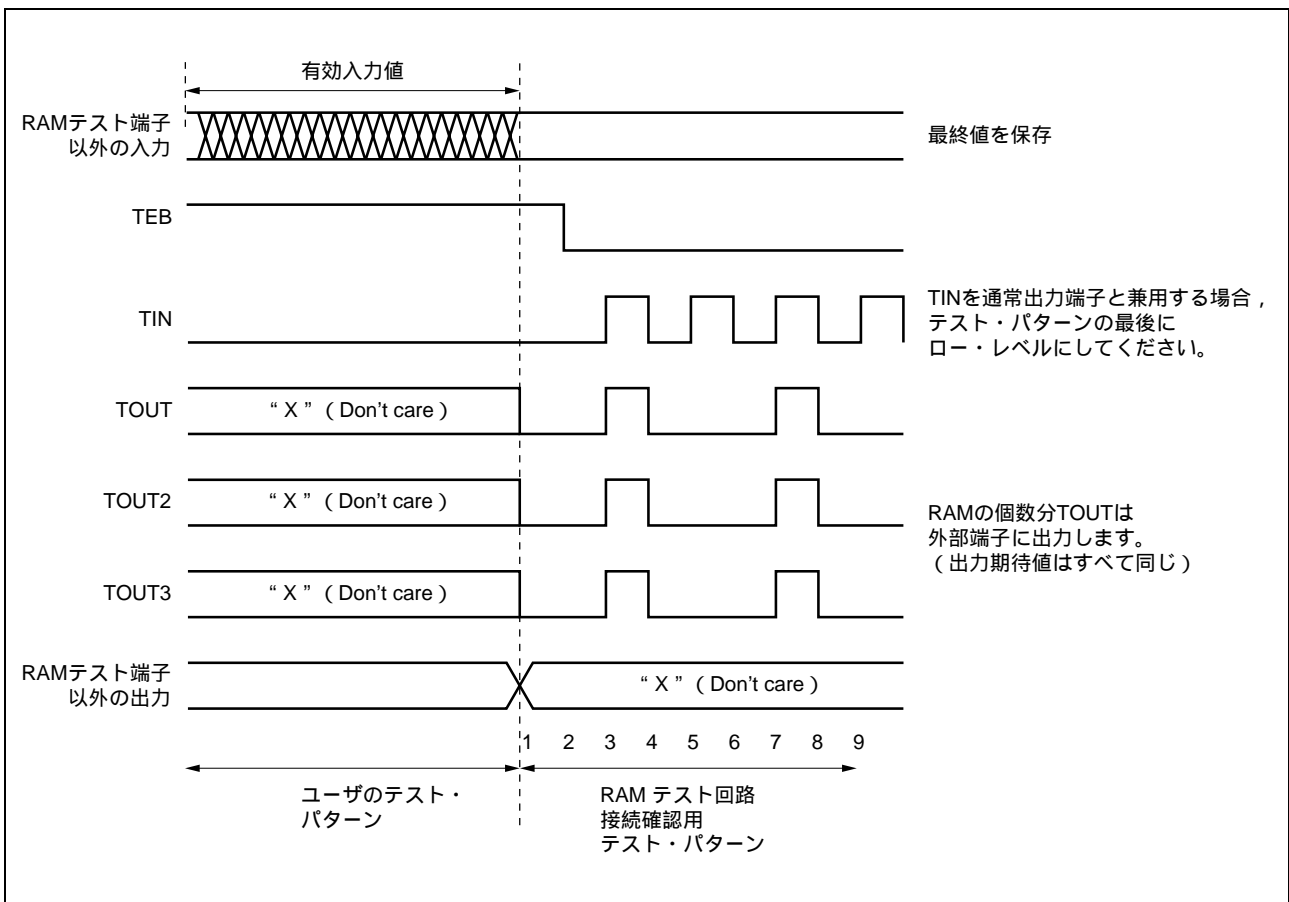
9.11.11 RAMテスト回路の接続確認

BIST回路が正しく接続されているかどうかの確認は、OPENCAD上のRAMCHKフローによって行います。RAMCHKフローは、図9-31の接続確認用パターン(9パターン)を自動発生させ、お客様のテスト・パターン(DC検査のためのテスト・パターン：DCパターンが独立している場合はそのパターン)の最後に付加して接続を確認します。このRAMCHKは、弊社ヘテスト・パターンをインタフェースする前に必ず実施してください。

また、テスト・パターン(DC検査のためのテスト・パターン：DCパターンが独立している場合はそのパターン)の最後では、BISTテストに必要な端子信号(TEB, TIN, TOUTx)が外部より直接入出力できる状態にしておいてください。TINを通常出力端子と兼用する場合、テスト・パターンの最後をロー・レベルにしてください。

なお、テスト用のRAM-BISTテスト・パターンは弊社で用意しておりますので、ユーザがRAM-BISTテスト・パターンを作成する必要はありません。

図9-31 テスト・パターン例



- (1) RAMテスト端子以外の入力 ユーザのテスト・パターンの最終値を保持する形で9パターン入力します。
- (2) TEB 最初にハイ・レベルを1パターン入力し、そのあとロー・レベルにして、8パターン入力します。
- (3) TIN 最初にロー・レベルを1パターン入力し、そのあと01の繰り返し信号を8パターン入力します。
- (4) TOUT 001000100を出力期待値とします。複数RAM搭載時にはRAMの個数分TOUTを外部端子に出力する必要があります(RAMテストはすべて並行して行います)。
- (5) RAMテスト端子以外の出力 出力期待値は "X" (Don't care) とします。

備考 BISTの接続確認パターンは、RAMCHKによって自動発生させるため、あらかじめユーザ・パターンに追加する必要はありません。

また、RAMCHKではゲートアレイ・タイプRAM、セルベースICタイプRAMのTEB, TINを共通接続することによって、同時にRAMをチェックできます。

詳細は、EA-9HDシリーズ **メモリ・マクロ編 設計マニュアル (A13367J)** を参照してください。

9.11.12 ROMのテスト

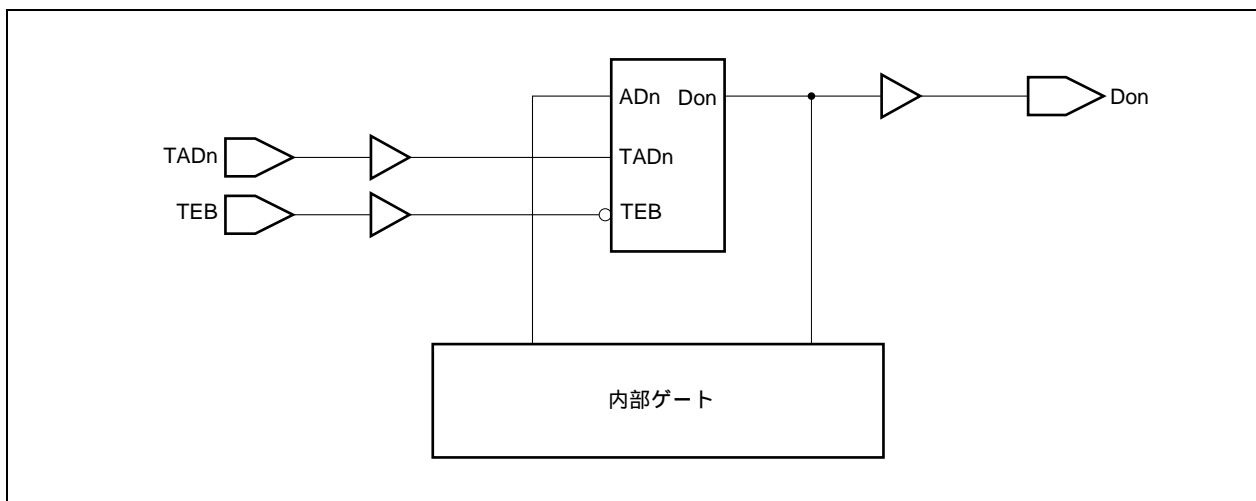
ROMブロックは、テスト・アドレスを持っています。テスト・イネーブル信号 (TEB) を切り替えることで、実モードとテスト・モードを切り替えられます。お客様の回路内で、ROMのテストが難しい場合には、図9 - 32のように直接外部端子からチェックできるように設計することをお勧めします。

なお、ROMのテスト・パターンは、お客様側で用意してください。

また、ROMのテストは、全ビットの内容を読み出し、ROMコードと照合してください。弊社では、ROMコードのチェックは行いませんので、お客様側のテスト・パターンの中で確認してください。

ROMコードの作成につきましては、9.9.13 **ROMコードのフォーマット** を参照してください。

図9 - 32 ROMテスト回路例



9.11.13 ROMコードのフォーマット

ROMコードのインタフェース・データ形式としては、NINCFまたは拡張インテルHEXが使用できます。

ROMコードはすべてのビットに対してI/Oの定義が必要です。

たとえば、1 KバイトのROMで、実使用領域が990バイトのとき、必ず、残り34バイトもお客様がインタフェース・データのファイル内で指定してください。

NINCF形式	: 弊社独自の形式です。 任意のビット長データが扱えます。
拡張インテルHEX形式	: ROMコードの世界標準形式です。 バイト・データのみが対象です。 拡張インテルHEX形式では16ビット・データも扱えます。

(1) ROMコードのシミュレーション・システムへの組み込み

ROMはシミュレーション・ライブラリに登録されているだけでは利用できません。シミュレーションの前に、あらかじめシミュレータにROMコードを組み込んでください。

ROMコードの組み込み方はシミュレータによって異なりますが、次に例を示します。

V.sim	: NINCF形式のみです。 mrコマンドでシミュレーション・スタート時に組み込みます。
Verilog	: 拡張インテルHEX形式またはNINCF形式からVerilogフォーマットROMコード記述に変換して使用します。 Verilogフォーマットとしては、HEX記述またはバイナリ記述の両方が可能です。 ROMマクロ・ライブラリにおいて、\$ READMEMH(HEX形式)または\$ READMEMB(バイナリ形式)によりROMコードを指定します。

(2) NINCF

図9 - 33の形式のフォーマット固定テキスト・ファイルです。

テキスト・エディタで半角(ASCIIコード)入力する方法もありますが、ミスを防ぐために自動作成してください。

拡張インテルHEX形式から自動で変換できるプログラムも用意しています。

(3) ROMコードの作成

ROMコードは、図9 - 33に説明するフォーマットで記述してください。

なお、固定カラム・フォーマットとなっておりますので、記述される際にカラムずれが起こらないようにしてください。

図9-33 ROMコード・データのフォーマット

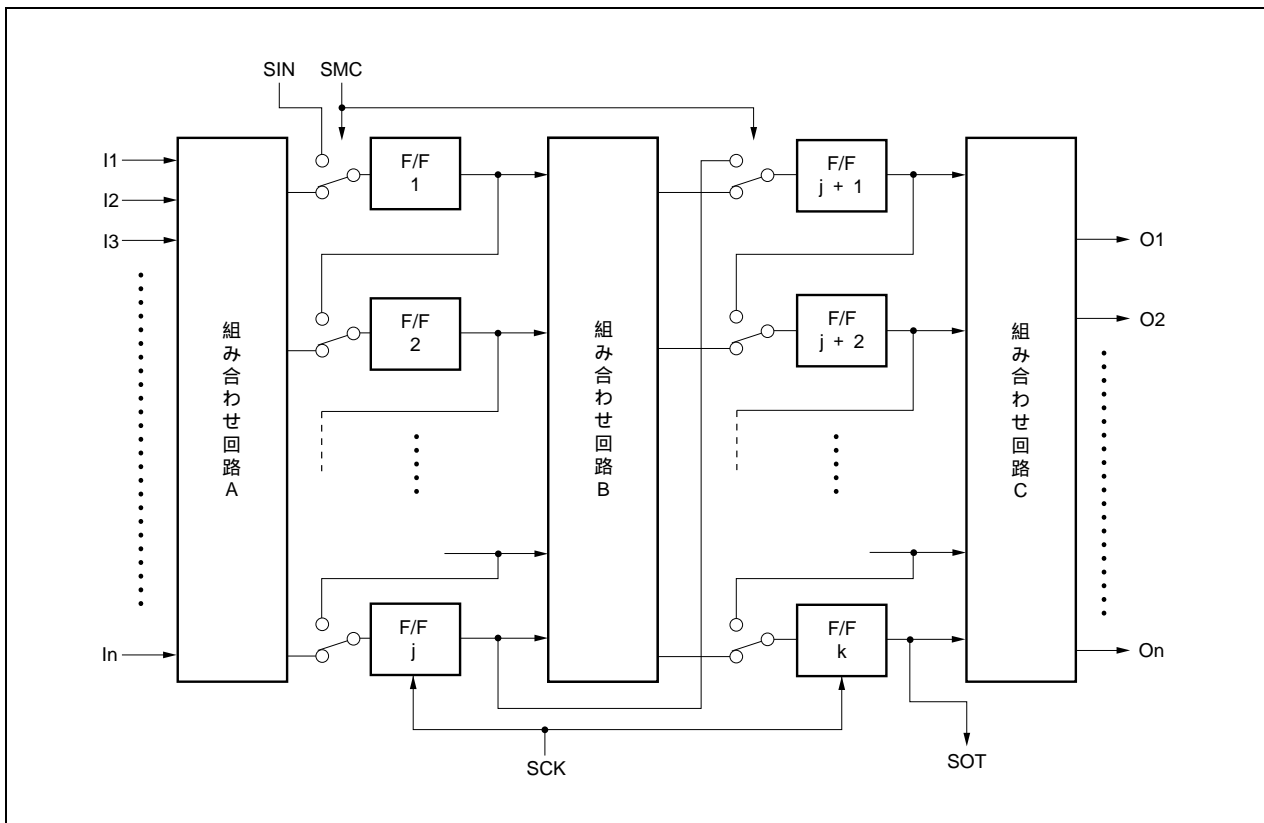
タイトル ROMコード・データのフォーマット		作成者		作成		年		月		日					
1	N I N C F	コード	英数字	名前	左詰め	作成日	付	修正日	付	版数	10進 右詰め				
2															
3															
4	H E A D	ROMコード	英数字	ROM機能名	左詰め	ワード数	10進 右詰め	ビット数	10進 右詰め	作成日	付	修正日	付	版数	10進 右詰め
5															
6															
7	D A T A	アドレス	10進 右詰め	コード・データ(アドレスのコードをビット・アドレスの若い順に左詰めを書く)	0または1のみ)										
8															
9															
10	E N D	ROMコード	英数字	ONビット数	コード・データ"1"の総数	10進	右詰め								
11															
12															
13	N I N C F E N D														
14															
15															
16															
17															
18															
19															
20															
21															
22															
23															

9.12 スキャンパス・テスト

フリップフロップ (F/F) を多用する回路で論理深度の深い回路では、LSIの動作確認をするテスト・パターンを効果的に作成することは非常に困難です。スキャンパス・テストはLSI内部の全フリップフロップをシフト・レジスタのようにつなぎ換えることができます。このため、論理深度の深い回路の全フリップフロップのイニシャライズを簡単に行ったり、ある状態における全フリップフロップの状態の読み出しを行うことで、回路の効率的なテストを行います。

詳細については、**テスト容易化設計 ユーザーズ・マニュアル**を参照してください。

図9-34 スキャンパス・テスト法の原理



- 備考**
- In : 組み合わせ回路テスト時の入力信号または通常入力
 - On : 組み合わせ回路テスト時の診断出力または通常出力
 - SIN : 順序回路テスト時の入力信号
 - SMC : モード切り替え信号
 - SCK : テスト用クロック
 - SOT : 順序回路テスト時の診断出力

9.13 バウンダリ・スキャン・テスト

近年、基板の多層化やLSIの端子数増大などの理由によりボード上のLSI間の接続は非常に複雑となり、ボード上に実装されたLSIに関するテストは困難になってきました。

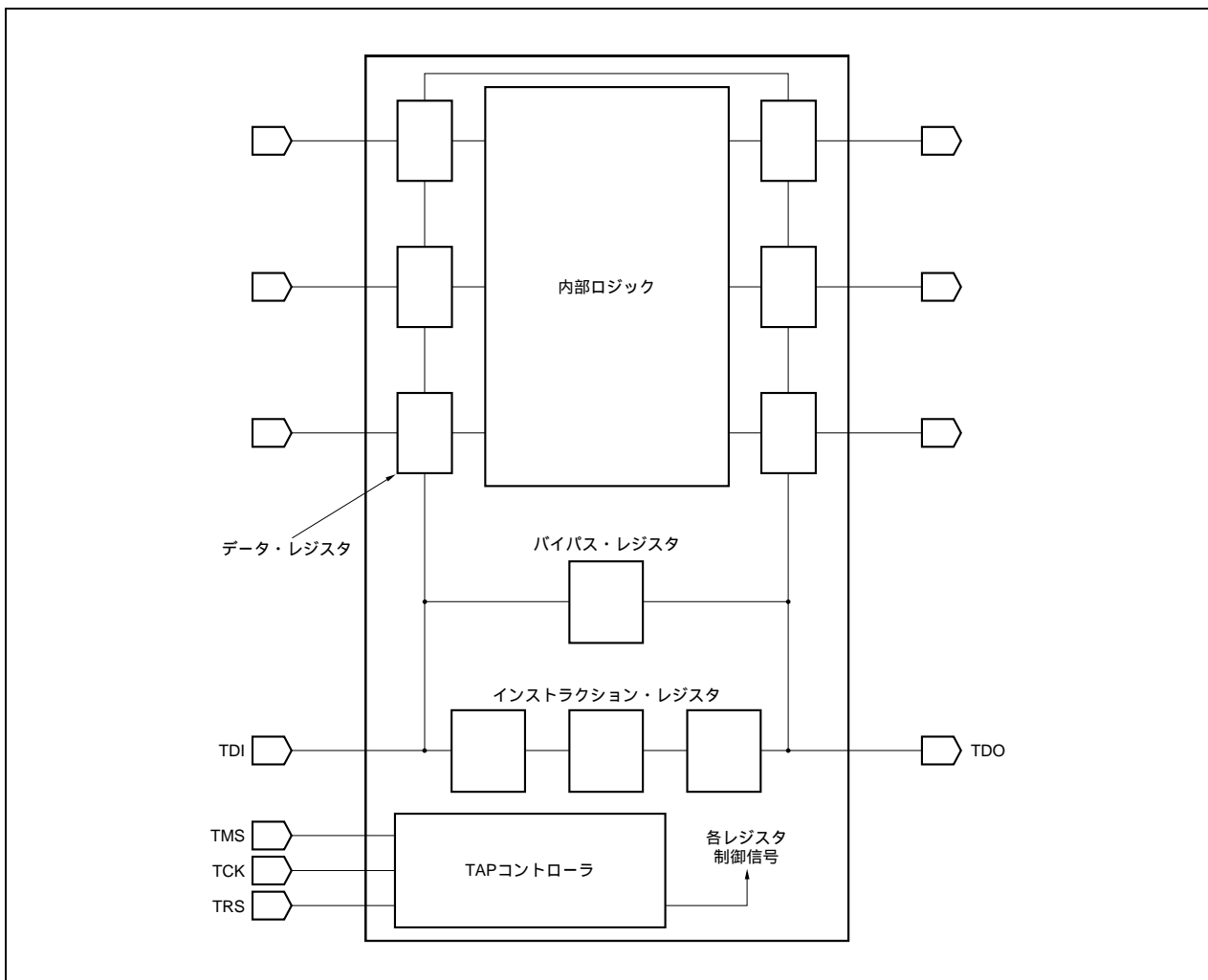
バウンダリ・スキャンはIEEE標準1149.1で規定された、容易で信頼性の高いテスト方法です。

このテストは、専用レジスタによってLSIの入出力端子を順次走査するようにテスト・データの入出力を行い、LSI間の接続チェックなどが可能となります。

回路としては、図9-35のように内部ロジックと各外部端子との間に専用バッファ+データ・レジスタを配置しています。これらのデータ・レジスタによって各端子の値の観測や制御が可能となります。つまり、データ・レジスタが従来のテスト・プローブと同じ働きをするということです(データ・レジスタはシリアルに接続されています)。

詳細については、**テスト容易化設計 ユーザーズ・マニュアル**を参照してください。

図9-35 バウンダリ・スキャン概略図



第10章 5 V フルスイングバッファ使用上の注意

この章では、5 Vフルスイング・バッファを配置する際の注意事項を説明します。

10.1 配置制限

I/Oセルは、各辺ごとに別々の電源を供給することができる構造になっています。

EP-1シリーズのゲートアレイ部では、CPU側とインタフェースする辺はを3.3 V電源で専有されているので、その他の3辺に対して供給する電源を3.3 Vまたは5 Vのどちらかを選択することができます。

CPU側とインタフェースする信号により、辺ごとに使用できる端子数が異なるので注意してください。

10.2 配置条件

辺ごとに分けられた3つのIOグループ内で、3.3 V信号と5 V信号は共存できません。

5 V信号を使用する場合、発振ブロックは使用できません。

10.3 特殊対応

5 Vフルスイングの信号を使用する場合、特殊対応となりますので弊社までご相談ください。

第11章 パッケージ

この章では、PFESiP EP-1シリーズのパッケージについて説明します。

マスタごとにパッケージがあるので、回路の仕様から最適なパッケージを選択してください。

11.1 パッケージの概要

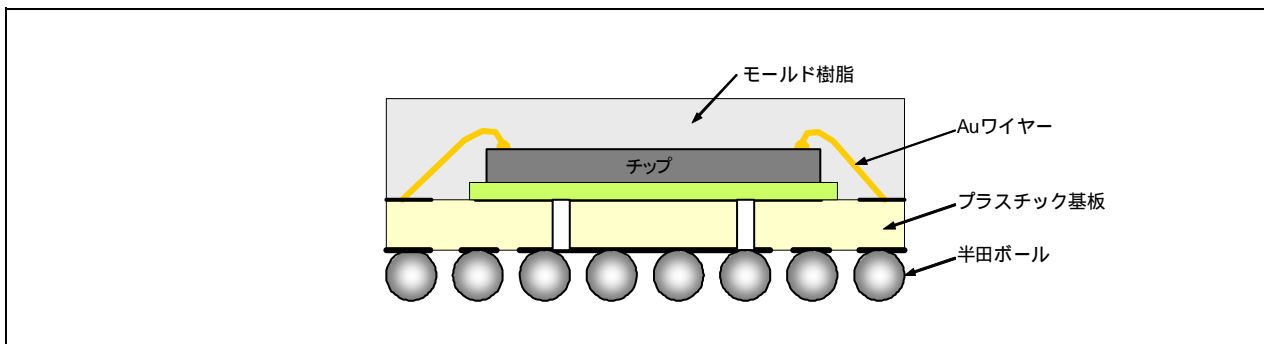
11.1.1 PBGA (Plastic BGA)

PBGA (Plastic BGA) は、はんだボールを1.0mmピッチ以上で配列したBGAです。

PBGAは、ほかのパッケージと比較してボディ・サイズが小さいため、実装面積を小さくすることができます。

また、インターポーザにプラスチック基板を使用してワイヤー・ボンディングした基本的なBGAでコスト・パフォーマンスに優れています。

図11 - 1 PBGAの断面図



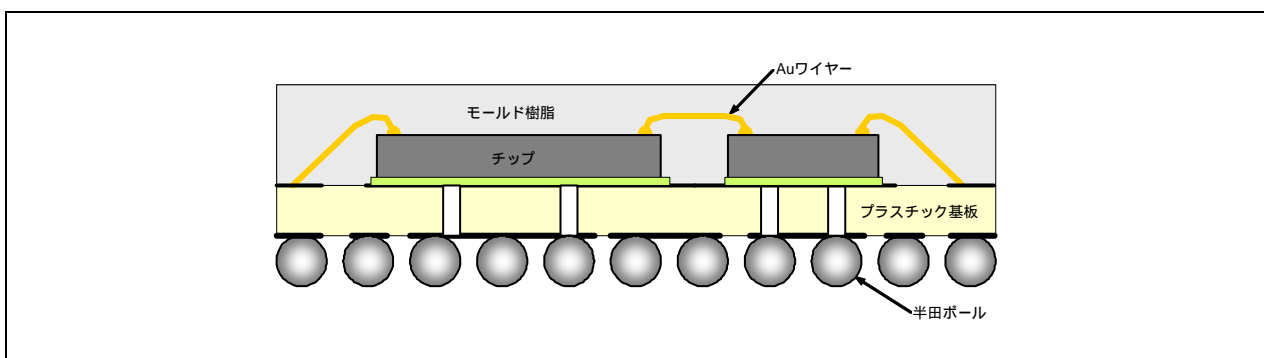
11.1.2 FPBGA (Fine-pitch BGA)

FPBGA (Fine-pitch BGA) は、はんだボールを1.0mmピッチ未満で配列したPBGAです。

11.2 PFESiPの構造

CPU機能チップとEA-9HDは平置き構造であり、2つのチップ間はダイレクトボンディングで接続されています。

図11 - 2 PFESiPの断面図



11.3 ラインアップ

パッケージごとに使用できるユーザ端子数が異なります。回路仕様にあわせて選択してください。

表11 - 1 パッケージ（外部バス：16ビット版）

マスタ	PBGA		FPBGA	
	464ピン（25×30 mm）	452ピン（22×22 mm）	433ピン（17×17 mm）	
	1.00 mmボールピッチ	0.80 mmボールピッチ	0.65 mmボールピッチ	
MC-10501		開発予定なし	開発予定なし	
MC-10502			検討中	
MC-10503			開発予定なし	

表11 - 2 パッケージ（外部バス：32ビット版）

マスタ	PBGA	
	550ピン（25×30 mm）	
	1.00 mmボールピッチ	
MC-10505		
MC-10506		
MC-10507		

11.4 端子配置

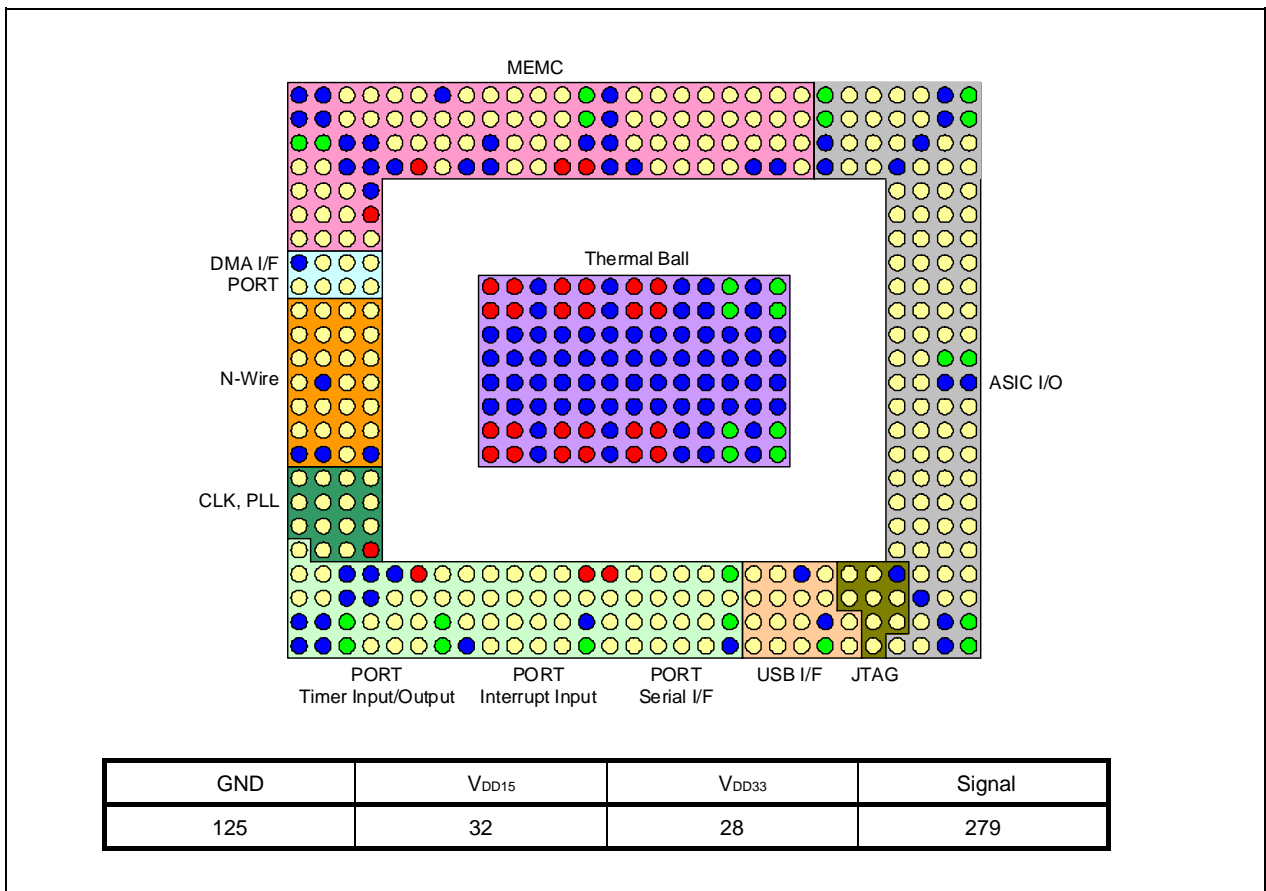
各パッケージの端子配置を次に示します。

CPU端子の機能については、2.3 入出力インタフェースを参照してください。

11.4.1 464ピンPBGA

(1) V_{DD33}, V_{DD15}, GND端子の配置

図11 - 3 464ピンPBGA (V_{DD33}, V_{DD15}, GND端子の配置)



(2) 端子配置

図11 - 4 464ピンPBGA (端子配置 : Top View)

GND	GND	D2	D0	P83/ HLDRO Z	P80/ IOWRZ	GND	CSZ0	RDZ	BENZ0	BUSCL K	SDCKE	VDD33	GND	SDRAS Z	A18	A14	A10	A6	A2	P60/ A20	P63/ A23	VDD33	TMC1_ G	GA_80	GA_79	GA_76	GND	VDD33	24		
GND	GND	D3	D1	P84/ REFRO Z	P81/ IORDZ	P73/ CSZ3	P71/ CSZ1	WRST BZ	BENZ1	DQM1	SDWE Z	VDD33	GND	P70/ WAITZ	A17	A13	A9	A5	P67/ A1	P61/ A21	P64/ A24	VDD33	TMC2_ G	GA_78	GA_75	GA_72	GND	VDD33	23		
VDD33	VDD33	GND	GND	P85/ SELFR EFZ	P82/ HLDRA Z	P74/ CSZ4	P72/ CSZ2	GND	VDD33	DQM0	SDCAS Z	GND	GND	A19	A16	A12	A8	A4	P66/ A0	P62/ A22	P65/ A25	GND	GA_77	GA_74	GA_71	GND	GA_69	GA_67	22		
D4	D5	GND	GND	GND	VDD15	P76/ CSZ6	GND	GND	VDD33	BCYST Z	VDD15	VDD15	GND	GND	A15	A11	A7	A3	GND	GND	PLLFO EN	GND	GA_73	GA_70	GND	GA_68	GA_63	GA_66	21		
D8	D7	D6	GND																						GA_65	GA_64	GA_62	GA_60	20		
D11	D10	D9	VDD15																						VDD33	VDD33	GA_59	GA_57	19		
D15	D14	D13	D12																							GA_61	GA_58	GA_55	GA_53	18	
GND	VDD33	P131/ DMAR QZ1	P130/ DMAR QZ0																							GA_56	GA_54	GA_51	GA_50	17	
P125/ DMAA KZ1	P124/ DMAA KZ0	P121/ TCZ1	P120/ TCZ0																								GA_52	GA_49	GA_48	GA_46	16
TRCCE	EVIN	IROME N	NMI																								GA_47	GA_45	GA_44	GA_43	15
DDI	DRST2	DMS	DCK																								GA_42	GA_41	GA_40	GA_38	14
TRCCL K	TRCDA TA1	TRCDA TA0	DDO																								GA_38	GA_37	VDD33	VDD33	13
VDD33	GND	TRCDA TA2	TRCDA TA3																								GA_35	GA_36	GND	GND	12
TRCDA TA4	TRCDA TA5	TRCDA TA6	TRCDA TA7																								GA_31	GA_32	GA_33	GA_34	11
PLLFO	TRCEN D	TESTC LK	VBCLK OUT																								GA_26	GA_28	GA_29	GA_30	10
GND	GND	RMOD EZ	GND																								GA_21	GA_24	GA_25	GA_27	9
VDD33	VDD33	TMOD E3	TMOD E0																								GA_17	GA_19	GA_22	GA_23	8
XT2	TMOD E2	AGND PLL	AGND PLL																								GA_14	GA_16	GA_18	GA_20	7
XT1	TMOD E1	AVDD PLL	AVDD PLL																								VDD33	VDD33	GA_15	GA_12	6
P110/ ETCLR 0	UCLKS EL1	UCLKS ELO	VDD15																								GA_7	GA_9	GA_13	GA_11	5
P111/ ETCLR 1	P112/ ETIO0	GND	GND	GND	VDD15	TMC1_ A	P41/ TI1	P45/ TCLR1	P51/ TO1	P01/ INTPZ1	P04/ INTPZ4	VDD15	VDD15	P14/ INTPZ1 2	P30/ RXD0	P32/ RXD1	P36/ RXD3	VDD33	MODE 0	OCIO	GND	RESET Z	TDO_A	TDI_G	VDD33	GA_5	GA_8	GA_10	4		
P113/ ETIO1	P54/ ETIUD 0	GND	GND	P11/ INTPZ0	P146/ PWMO 0	P147/ PWMO 1	P40/ TIO	P44/ TCLR0	P50/ TO0	P00/ INTPZ0	P05/ INTPZ5	P07/ INTPZ7	P142/ SOO	P144/ SI1	P31/ TXD0	P33/ TXD1	P35/ TXD2	P37/ TXD3	PPON1	MODE 1	VBUSD ET	OC1	TRST	TCK	TDO_G	GND	GA_4	GA_6	3		
GND	GND	VDD33	P56/ ETCUD 0	P10/ INTPZ8	P13/ INTPZ1 1	VDD33	TMC2_ A	P43/ TI3	P47/ TCLR3	P53/ TO3	P03/ INTPZ3	GND	P140/ SCK0	P143/ SCK1	P15/ INTPZ1 3	P17/ INTPZ1 5	P34/ RXD2	VDD33	PPON0	UHD0 M	UHD1 M	GND	UFDP	TDI_A	TMS_G	GA_3	GND	VDD33	2		
GND	GND	VDD33	P55/ ETIUD 1	P57/ ETCUD 1	P12/ INTPZ1 0	VDD33	GND	P42/ TI2	P46/ TCLR2	P52/ TO2	P02/ INTPZ2	VDD33	P06/ INTPZ6	P141/ SI0	P145/ SO1	P16/ INTPZ1 4	PCLK N	GND	UCLK	UHD0P	UHD1P	VDD33	UFDM	TMS_A	GA_1	GA_2	GND	VDD33	1		
A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF	AG	AH	AJ			

ピン番号	ピンID	名称
1	A1	GND
2	B1	GND
3	C1	V _{DD33}
4	D1	P55/ETIUD1
5	E1	P57/ETCUD1
6	F1	P12/INTPZ10
7	G1	V _{DD33}
8	H1	GND
9	J1	P42/TI2
10	K1	P46/TCLR2
11	L1	P52/TO2
12	M1	P02/INTPZ2
13	N1	V _{DD33}
14	P1	P06/INTPZ6
15	R1	P141/SI0
16	T1	P145/SO1
17	U1	P16/INTPZ14
18	V1	PCLKIN
19	W1	GND
20	Y1	UCLK
21	AA1	UHD0P
22	AB1	UHD1P
23	AC1	V _{DD33}
24	AD1	UFDM
25	AE1	TMS_A
26	AF1	GA_1
27	AG1	GA_2
28	AH1	GND
29	AJ1	V _{DD33}
30	AJ2	V _{DD33}
31	AJ3	GA_6
32	AJ4	GA_10
33	AJ5	GA_11
34	AJ6	GA_12
35	AJ7	GA_20
36	AJ8	GA_23
37	AJ9	GA_27
38	AJ10	GA_30
39	AJ11	GA_34
40	AJ12	GND
41	AJ13	V _{DD33}
42	AJ14	GA_39
43	AJ15	GA_43
44	AJ16	GA_46
45	AJ17	GA_50
46	AJ18	GA_53
47	AJ19	GA_57
48	AJ20	GA_60
49	AJ21	GA_66
50	AJ22	GA_67
51	AJ23	V _{DD33}
52	AJ24	V _{DD33}
53	AH24	GND
54	AG24	GA_76
55	AF24	GA_79
56	AE24	GA_80
57	AD24	TMC1_G
58	AC24	V _{DD33}
59	AB24	P63/A23
60	AA24	P60/A20
61	Y24	A2
62	W24	A6
63	V24	A10
64	U24	A14

ピン番号	ピンID	名称
65	T24	A18
66	R24	SDRASZ
67	P24	GND
68	N24	V _{DD33}
69	M24	SDCKE
70	L24	BUSCLK
71	K24	BENZ0
72	J24	RDZ
73	H24	CSZ0
74	G24	GND
75	F24	P80/IOWRZ
76	E24	P83/HLDRQZ
77	D24	D0
78	C24	D2
79	B24	GND
80	A24	GND
81	A23	GND
82	A22	V _{DD33}
83	A21	D4
84	A20	D8
85	A19	D11
86	A18	D15
87	A17	GND
88	A16	P125/DMAAKZ1
89	A15	TRCCE
90	A14	DDI
91	A13	TRCCLK
92	A12	V _{DD33}
93	A11	TRCDATA4
94	A10	PLLFO
95	A9	GND
96	A8	V _{DD33}
97	A7	XT2
98	A6	XT1
99	A5	P110/ETCLR0
100	A4	P111/ETCLR1
101	A3	P113/ETO1
102	A2	GND
103	B2	GND
104	C2	V _{DD33}
105	D2	P56/ETCUD0
106	E2	P10/INTPZ8
107	F2	P13/INTPZ11
108	G2	V _{DD33}
109	H2	TMC2_A
110	J2	P43/TI3
111	K2	P47/TCLR3
112	L2	P53/TO3
113	M2	P03/INTPZ3
114	N2	GND
115	P2	P140/SCK0
116	R2	P143/SCK1
117	T2	P15/INTPZ13
118	U2	P17/INTPZ15
119	V2	P34/RXD2
120	W2	V _{DD33}
121	Y2	PPON0
122	AA2	UHD0M
123	AB2	UHD1M
124	AC2	GND
125	AD2	UFDP
126	AE2	TDI_A
127	AF2	TMS_G
128	AG2	GA_3

ピン番号	ピンID	名称
129	AH2	GND
130	AH3	GA_4
131	AH4	GA_8
132	AH5	GA_13
133	AH6	GA_15
134	AH7	GA_18
135	AH8	GA_22
136	AH9	GA_25
137	AH10	GA_29
138	AH11	GA_33
139	AH12	GND
140	AH13	V _{DD33}
141	AH14	GA_40
142	AH15	GA_44
143	AH16	GA_48
144	AH17	GA_51
145	AH18	GA_55
146	AH19	GA_59
147	AH20	GA_62
148	AH21	GA_63
149	AH22	GA_69
150	AH23	GND
151	AG23	GA_72
152	AF23	GA_75
153	AE23	GA_78
154	AD23	TMC2_G
155	AC23	V _{DD33}
156	AB23	P64/A24
157	AA23	P61/A21
158	Y23	P67/A1
159	W23	A5
160	V23	A9
161	U23	A13
162	T23	A17
163	R23	P70/WAITZ
164	P23	GND
165	N23	V _{DD33}
166	M23	SDWEZ
167	L23	DQM1
168	K23	BENZ1
169	J23	WRSTBZ
170	H23	P71/CSZ1
171	G23	P73/CSZ3
172	F23	P81/IORDZ
173	E23	P84/REFRQZ
174	D23	D1
175	C23	D3
176	B23	GND
177	B22	V _{DD33}
178	B21	D5
179	B20	D7
180	B19	D10
181	B18	D14
182	B17	V _{DD33}
183	B16	P124/DMAAKZ0
184	B15	EVIN
185	B14	DRSTZ
186	B13	TRCDATA1
187	B12	GND
188	B11	TRCDATA5
189	B10	TRCEND
190	B9	GND
191	B8	V _{DD33}
192	B7	TMODE2

ピン番号	ピンID	名称
193	B6	TMODE1
194	B5	UCLKSEL1
195	B4	P112/ETO0
196	B3	P54/ETIUD0
197	C3	GND
198	D3	GND
199	E3	P11/INTPZ9
200	F3	P146/PWMO0
201	G3	P147/PWMO1
202	H3	P40/TI0
203	J3	P44/TCLR0
204	K3	P50/TO0
205	L3	P00/INTPZ0
206	M3	P05/INTPZ5
207	N3	P07/INTPZ7
208	P3	P142/SO0
209	R3	P144/SI1
210	T3	P31/TXD0
211	U3	P33/TXD1
212	V3	P35/TXD2
213	W3	P37/TXD3
214	Y3	PPON1
215	AA3	MODE1
216	AB3	VBUSDET
217	AC3	OC1
218	AD3	TRST
219	AE3	TCK
220	AF3	TDO_G
221	AG3	GND
222	AG4	GA_5
223	AG5	GA_9
224	AG6	VDD33
225	AG7	GA_16
226	AG8	GA_19
227	AG9	GA_24
228	AG10	GA_28
229	AG11	GA_32
230	AG12	GA_36
231	AG13	GA_37
232	AG14	GA_41
233	AG15	GA_45
234	AG16	GA_49
235	AG17	GA_54
236	AG18	GA_58
237	AG19	VDD33
238	AG20	GA_64
239	AG21	GA_68
240	AG22	GND
241	AF22	GA_71
242	AE22	GA_74
243	AD22	GA_77
244	AC22	GND
245	AB22	P65/A25
246	AA22	P62/A22
247	Y22	P66/A0
248	W22	A4
249	V22	A8
250	U22	A12
251	T22	A16
252	R22	A19
253	P22	GND
254	N22	GND
255	M22	SDCASZ
256	L22	DQM0

ピン番号	ピンID	名称
257	K22	VDD33
258	J22	GND
259	H22	P72/CSZ2
260	G22	P74/CSZ4
261	F22	P82/HLDAKZ
262	E22	P85/SELFREFZ
263	D22	GND
264	C22	GND
265	C21	GND
266	C20	D6
267	C19	D9
268	C18	D13
269	C17	P131/DMARQZ1
270	C16	P121/TCZ1
271	C15	IROMEN
272	C14	DMS
273	C13	TRCDATA0
274	C12	TRCDATA2
275	C11	TRCDATA6
276	C10	TESTCLK
277	C9	RMODEZ
278	C8	TMODE3
279	C7	AGND_PLL
280	C6	AVDD_PLL
281	C5	UCLKSEL0
282	C4	GND
283	D4	GND
284	E4	GND
285	F4	VDD15
286	G4	TMC1_A
287	H4	P41/TI1
288	J4	P45/TCLR1
289	K4	P51/TO1
290	L4	P01/INTPZ1
291	M4	P04/INTPZ4
292	N4	VDD15
293	P4	VDD15
294	R4	P14/INTPZ12
295	T4	P30/RXD0
296	U4	P32/RXD1
297	V4	P36/RXD3
298	W4	VDD33
299	Y4	MODE0
300	AA4	OCIO
301	AB4	GND
302	AC4	RESETZ
303	AD4	TDO_A
304	AE4	TDI_G
305	AF4	VDD33
306	AF5	GA_7
307	AF6	VDD33
308	AF7	GA_14
309	AF8	GA_17
310	AF9	GA_21
311	AF10	GA_26
312	AF11	GA_31
313	AF12	GA_35
314	AF13	GA_38
315	AF14	GA_42
316	AF15	GA_47
317	AF16	GA_52
318	AF17	GA_56
319	AF18	GA_61
320	AF19	VDD33

ピン番号	ピンID	名称
321	AF20	GA_65
322	AF21	GND
323	AE21	GA_70
324	AD21	GA_73
325	AC21	GND
326	AB21	PLLFOEN
327	AA21	GND
328	Y21	GND
329	W21	A3
330	V21	A7
331	U21	A11
332	T21	A15
333	R21	GND
334	P21	GND
335	N21	VDD15
336	M21	VDD15
337	L21	BCYSTZ
338	K21	VDD33
339	J21	GND
340	H21	GND
341	G21	P76/CSZ6
342	F21	VDD15
343	E21	GND
344	D21	GND
345	D20	GND
346	D19	VDD15
347	D18	D12
348	D17	P130/DMARQZ0
349	D16	P120/TCZ0
350	D15	NMI
351	D14	DCK
352	D13	DDO
353	D12	TRCDATA3
354	D11	TRCDATA7
355	D10	VBCLKOUT
356	D9	GND
357	D8	TMODE0
358	D7	AGND_PLL
359	D6	AVDD_PLL
360	D5	VDD15
361	J9	VDD15
362	K9	VDD15
363	L9	GND
364	M9	VDD15
365	N9	VDD15
366	P9	GND
367	R9	VDD15
368	T9	VDD15
369	U9	GND
370	V9	GND
371	W9	VDD33
372	Y9	GND
373	AA9	VDD33
374	AA10	VDD33
375	AA11	GND
376	AA12	GND
377	AA13	GND
378	AA14	GND
379	AA15	VDD33
380	AA16	VDD33
381	Y16	GND
382	W16	VDD33
383	V16	GND
384	U16	GND

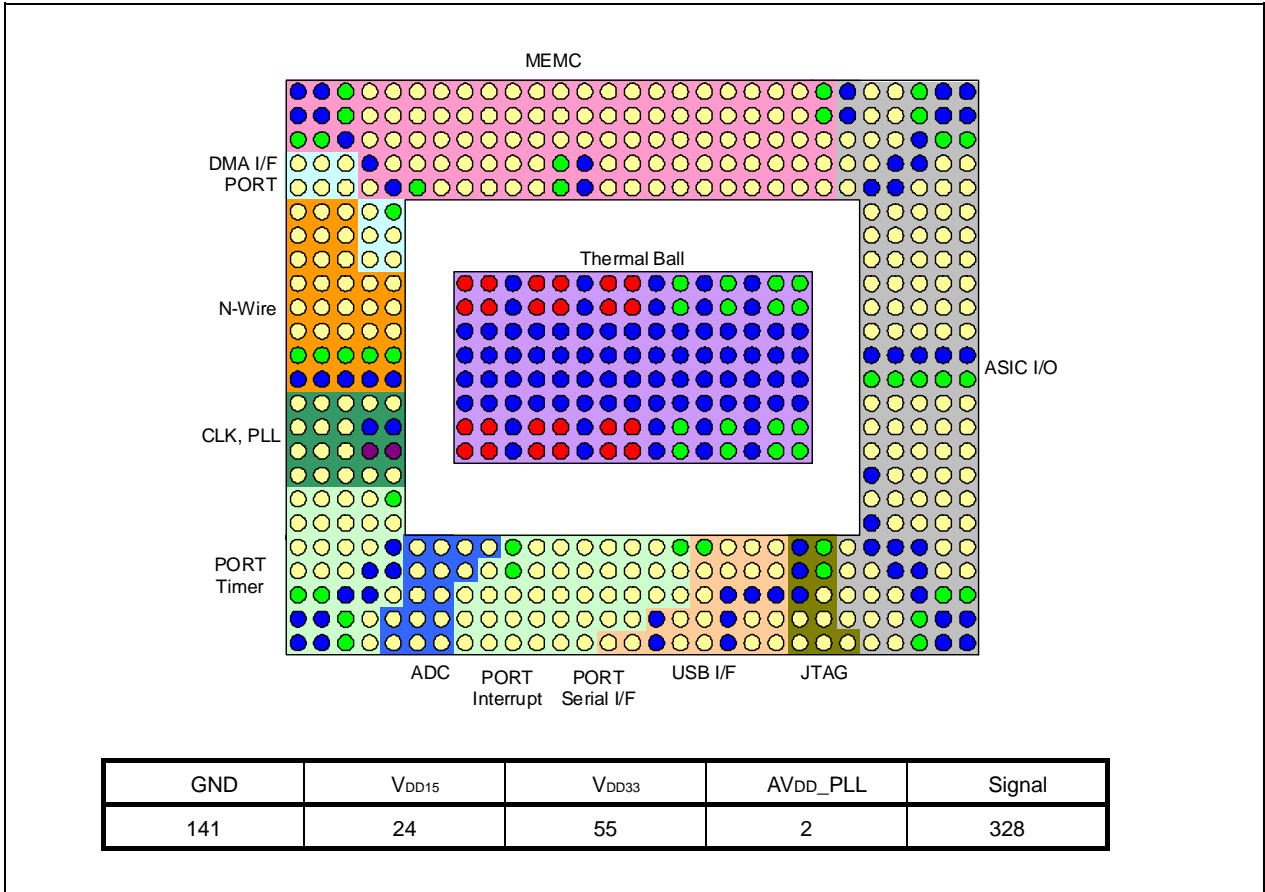
ピン番号	ピン ID	名称
385	T16	VDD15
386	R16	VDD15
387	P16	GND
388	N16	VDD15
389	M16	VDD15
390	L16	GND
391	K16	VDD15
392	J16	VDD15
393	J15	VDD15
394	J14	GND
395	J13	GND
396	J12	GND
397	J11	GND
398	J10	VDD15
399	K10	VDD15
400	L10	GND
401	M10	VDD15
402	N10	VDD15
403	P10	GND
404	R10	VDD15
405	T10	VDD15
406	U10	GND
407	V10	GND
408	W10	VDD33
409	Y10	GND
410	Y11	GND
411	Y12	GND
412	Y13	GND
413	Y14	GND
414	Y15	GND
415	W15	VDD33
416	V15	GND
417	U15	GND
418	T15	VDD15
419	R15	VDD15
420	P15	GND
421	N15	VDD15
422	M15	VDD15
423	L15	GND
424	K15	VDD15
425	K14	GND
426	K13	GND
427	K12	GND
428	K11	GND
429	L11	GND
430	M11	GND
431	N11	GND
432	P11	GND
433	R11	GND
434	T11	GND
435	U11	GND
436	V11	GND
437	W11	GND
438	W12	GND
439	W13	GND
440	W14	GND
441	V14	GND
442	U14	GND
443	T14	GND
444	R14	GND
445	P14	GND
446	N14	GND
447	M14	GND
448	L14	GND

ピン番号	ピン ID	名称
449	L13	GND
450	L12	GND
451	M12	GND
452	N12	GND
453	P12	GND
454	R12	GND
455	T12	GND
456	U12	GND
457	V12	GND
458	V13	GND
459	U13	GND
460	T13	GND
461	R13	GND
462	P13	GND
463	N13	GND
464	M13	GND

11.4.2 550ピンPBGA

(1) V_{DD33}, V_{DD15}, GND端子の配置

図11 - 5 550ピンPBGA (V_{DD33}, V_{DD15}, GND端子の配置)



(2) 端子配置

図11 - 6 550ピンPBGA (端子配置 : Top View)

GND	GND	VDD33	P130/ DMAR Q20	D11	D8	D2	P85/ SELFR EFZ	D0	P83/ HLDRG Z	RDZ	P72/ CS22	BENZ1	P104/ D28	BUSCL K	BENZ0	P90/ D16	BENZ3	SDCAS Z	A16	A11	A10	VDD33	GND	GA_80	GA_76	VDD33	GND	GND	24	
GND	GND	VDD33	D13	D12	D7	D3	D1	P81/ IORDZ	P82/ HLDAK Z	P77/ CSZ7	P71/ CS21	P101/ D25	P97/ D23	P85/ D21	P92/ D18	BENZ2	SDRAS Z	A15	A8	A9	A5	VDD33	GND	GA_78	GA_75	VDD33	GND	GND	23	
VDD33	VDD33	GND	D14	D9	D4	P81/ IORDZ	P107/ D31	P94/ D20	P80/ IOWRZ	P76/ CS26	P106/ D24	P100/ D24	P96/ D22	P93/ D19	DOM0	A19	A14	A12	A6	A3	P67/ A1	P61/ A21	TMC1_ G	GA_78	GA_74	GND	VDD33	VDD33	22	
P121/ TC21	P120/ TC20	P131/ DMAR Q21	GND	D10	D5	P84/ REFRQ Z	WRST BZ	P102/ D26	P75/ CS25	CS20	VDD33	GND	BCYST Z	DOM1	A18	DOM2	P70/W AITZ	A7	A2	P60/ A20	P62/ A22	P64/ A24	TMC2_ G	GA_77	GND	GND	GA_73	GA_67	21	
P126/ DMAA K22	P124/ DMAA K20	P123/ TC23	D15	GND	VDD33	D6	P74/ CS24	P103/ D27	P73/ CS23	P105/ D29	VDD33	GND	DOM3	A17	SDCKE	SDWE Z	A13	A4	P66/ A0	P65/ A25	P63/ A23	PLLFO EN	VDD33	GND	GND	GA_72	GA_71	GA_66	20	
P153/ INTPZ2 7	P152/ INTPZ2 6	P150/ INTPZ2 4	P132/ DMAR Q22	VDD33																									19	
EVIN	IROME N	NMI	P133/ DMAR Q23																										18	
DDI	DMS	TRCCE	P127/ DMAA K23																										17	
TRCDA TA1	TRCCL K	DDO	DCK	P151/ INTPZ2 5			VDD15	VDD15	GND	VDD15	VDD15	GND	VDD15	VDD15	GND	VDD33	GND	VDD33	GND	VDD33	VDD33									16
TRCDA TA6	TRCDA TA4	TRCDA TA3	DRSTZ	TRCDA TA0			VDD15	VDD15	GND	VDD15	VDD15	GND	VDD15	VDD15	GND	VDD33	GND	VDD33	GND	VDD33	VDD33									15
P114E/ VTRRG	TRCEN D	TRCA7 TA7	TRCDA TA5	TRCDA TA2			GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	14
VDD33	VDD33	VDD33	VDD33	VDD33	VDD33		GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	13
GND	GND	GND	GND	GND			GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	12
VBCLK OUT	PLLFO	TMOD E3	TESTC LK	RMOD EZ			GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	11
XT1	P115/ DBINT	TMOD E2	AGND_ PLL	AGND_ PLL			VDD15	VDD15	GND	VDD15	VDD15	GND	VDD15	VDD15	GND	VDD33	GND	VDD33	GND	VDD33	VDD33									10
XT2	TMOD E1	TMOD E0	AVDD_ PLL	AVDD_ PLL			VDD15	VDD15	GND	VDD15	VDD15	GND	VDD15	VDD15	GND	VDD33	GND	VDD33	GND	VDD33	VDD33									9
UCLKS EL1	UCLKS EL0	P110E/ TCLR0	P55E/ ET IUD1	P112E/ TOO																										8
P111/ ETCLR 1	P113/ ETIO1	P54/ ETIUD 0	P10/ INTPZ8	VDD33																										7
P56/ ETCUD 0	P57/ ETCUD 0	P12/ INTP21 0	P11/ INTP29	P148/ PWMO 0																										6
P13/ INTPZ1 1	VBRES TOZ	P147/ PWMO 1	P155/ INTPZ2 9	GND	AVDD_ AD	AGND_ AD	AVREF M	AGND_ AD	VDD33	P53/ TO3	P141/ SIO	P17/ INTPZ1 5	P34/ RXD2	P37/ TXD3	P35/ TXD2	VDD33	VDD33	VBUSD ET	TMS_A	RESET Z	GND	VDD33	VDD33	GND	GND	GND	GA_14	GA_12	5	
P154/ INTPZ2 8	P158/ INTPZ2 0	P157/ INTPZ2 1	GND	GND	AVDD_ AD	AVREF P	AGND_ AD	P44/ TCLR0	VDD33	P04/ INTPZ4	P145/ SO1	P142/ SO0	P15/ INTPZ1 3	P36/ RXD3	P30/ RXD0	P32/ RXD1	MODE 1	PPON1	PPON0	TDO_A	GND	VDD33	GA_3	GA_7	GND	GND	GA_13	GA_11	4	
VDD33	VDD33	GND	GND	P116/ ADTRG	AIN0	AIN2	P40/ TIO	P42/ TIO	P47/ TCLR3	P01/ INTPZ1	P05/ INTPZ5	P140/ SCK0	P144/ SIO	P16/ INTPZ1 4	P31/ TXD0	P33/ TXD1	MODE 0	GND	GND	GND	GND	TDO_G	GA_2	GA_6	GA_10	GND	VDD33	VDD33	3	
GND	GND	VDD33	TMC1_ A	AIN1	AIN5	AIN4	P41/ TIO	P45/ TCLR1	P50/ TO0	P00/ INTPZ0	P03/ INTPZ3	P07/ INTPZ7	P143/ SCK1	P14/ INTPZ1 2	GND	UHD0 M	UHD1 M	GND	UFDP	OC11	TRST	TMS_G	GA_1	GA_5	GA_9	VDD33	GND	GND	2	
GND	GND	VDD33	TMC2_ A	AIN3	AIN6	AIN7	P43/ TIO	P46/ TCLR2	P51/ TO1	P52/ TO2	P02/ INTPZ2	P06/ INTPZ6	UCLK	PCLKI N	GND	UHD0P	UHD1P	GND	UFDM	OC10	TDL_A	TCK	TDL_G	GA_4	GA_8	VDD33	GND	GND	1	
A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF	AG	AH	AJ		

ピン番号	ピンID	名称
1	A1	GND
2	B1	GND
3	C1	VDD33
4	D1	TMC2_A
5	E1	AIN3
6	F1	AIN6
7	G1	AIN7
8	H1	P43/TI3
9	J1	P46/TCLR2
10	K1	P51/TO1
11	L1	P52/TO2
12	M1	P02/INTPZ2
13	N1	P06/INTPZ6
14	P1	UCLK
15	R1	PCLKIN
16	T1	GND
17	U1	UHD0P
18	V1	UHD1P
19	W1	GND
20	Y1	UFDM
21	AA1	OCIO
22	AB1	TDI_A
23	AC1	TCK
24	AD1	TDI_G
25	AE1	GA_4
26	AF1	GA_5
27	AG1	VDD33
28	AH1	GND
29	AJ1	GND
30	AJ2	GND
31	AJ3	VDD33
32	AJ4	GA_11
33	AJ5	GA_12
34	AJ6	GA_18
35	AJ7	GA_21
36	AJ8	GA_25
37	AJ9	GA_30
38	AJ10	GA_35
39	AJ11	GA_40
40	AJ12	VDD33
41	AJ13	GND
42	AJ14	GA_44
43	AJ15	GA_49
44	AJ16	GA_54
45	AJ17	GA_59
46	AJ18	GA_63
47	AJ19	GA_65
48	AJ20	GA_66
49	AJ21	GA_67
50	AJ22	VDD33
51	AJ23	GND
52	AJ24	GND
53	AH24	GND
54	AG24	VDD33
55	AF24	GA_76
56	AE24	GA_80
57	AD24	GND
58	AC24	VDD33
59	AB24	A10
60	AA24	A11
61	Y24	A16
62	W24	SDCASZ
63	V24	BENZ3
64	U24	P90/D16

ピン番号	ピンID	名称
65	T24	BENZ0
66	R24	BUSCLK
67	P24	P104/D28
68	N24	BENZ1
69	M24	P72/CSZ2
70	L24	RDZ
71	K24	P83/HLDRQZ
72	J24	D0
73	H24	P85/SELFREFZ
74	G24	D2
75	F24	D8
76	E24	D11
77	D24	P130/DMARQZ0
78	C24	VDD33
79	B24	GND
80	A24	GND
81	A23	GND
82	A22	VDD33
83	A21	P121/TCZ1
84	A20	P126/DMAAKZ2
85	A19	P153/INTPZ27
86	A18	EVIN
87	A17	DDI
88	A16	TRCDATA1
89	A15	TRCDATA6
90	A14	P114/EVTTRG
91	A13	VDD33
92	A12	GND
93	A11	VBCLKOUT
94	A10	XT1
95	A9	XT2
96	A8	UCLKSEL1
97	A7	P111/ETCLR1
98	A6	P56/ETCUD0
99	A5	P13/INTPZ11
100	A4	P154/INTPZ28
101	A3	VDD33
102	A2	GND
103	B2	GND
104	C2	VDD33
105	D2	TMC1_A
106	E2	AIN1
107	F2	AIN5
108	G2	AIN4
109	H2	P41/TI1
110	J2	P45/TCLR1
111	K2	P50/TO0
112	L2	P00/INTPZ0
113	M2	P03/INTPZ3
114	N2	P07/INTPZ7
115	P2	P143/SCK1
116	R2	P14/INTPZ12
117	T2	GND
118	U2	UHD0M
119	V2	UHD1M
120	W2	GND
121	Y2	UFDP
122	AA2	OCIO
123	AB2	TRST
124	AC2	TMS_G
125	AD2	GA_1
126	AE2	GA_5
127	AF2	GA_9
128	AG2	VDD33

ピン番号	ピンID	名称
129	AH2	GND
130	AH3	VDD33
131	AH4	GA_13
132	AH5	GA_14
133	AH6	GA_17
134	AH7	GA_20
135	AH8	GA_24
136	AH9	GA_29
137	AH10	GA_34
138	AH11	GA_39
139	AH12	VDD33
140	AH13	GND
141	AH14	GA_43
142	AH15	GA_48
143	AH16	GA_53
144	AH17	GA_58
145	AH18	GA_62
146	AH19	GA_64
147	AH20	GA_71
148	AH21	GA_73
149	AH22	VDD33
150	AH23	GND
151	AG23	VDD33
152	AF23	GA_75
153	AE23	GA_79
154	AD23	GND
155	AC23	VDD33
156	AB23	A5
157	AA23	A9
158	Y23	A8
159	W23	A15
160	V23	SDRASZ
161	U23	BENZ2
162	T23	P92/D18
163	R23	P95/D21
164	P23	P97/D23
165	N23	P101/D25
166	M23	P71/CSZ1
167	L23	P77/CSZ7
168	K23	P82/HLDAKZ
169	J23	P91/D17
170	H23	D1
171	G23	D3
172	F23	D7
173	E23	D12
174	D23	D13
175	C23	VDD33
176	B23	GND
177	B22	VDD33
178	B21	P120/TCZ0
179	B20	P124/DMAAKZ0
180	B19	P152/INTPZ26
181	B18	IROMEN
182	B17	DMS
183	B16	TRCCLK
184	B15	TRCDATA4
185	B14	TRCEND
186	B13	VDD33
187	B12	GND
188	B11	PLLFO
189	B10	P115/DBINT
190	B9	TMODE1
191	B8	UCLKSEL0
192	B7	P113/ETO1

ピン番号	ピンID	名称
193	B6	P57/ETCUD1
194	B5	VBRESTOZ
195	B4	P156/INTPZ30
196	B3	VDD33
197	C3	GND
198	D3	GND
199	E3	P116/ADTRG
200	F3	AIN0
201	G3	AIN2
202	H3	P40/TI0
203	J3	P42/TI2
204	K3	P47/TCLR3
205	L3	P01/INTPZ1
206	M3	P05/INTPZ5
207	N3	P140/SCK0
208	P3	P144/SI1
209	R3	P16/INTPZ14
210	T3	P31/TXD0
211	U3	P33/TXD1
212	V3	MODE0
213	W3	GND
214	Y3	GND
215	AA3	GND
216	AB3	GND
217	AC3	TDO_G
218	AD3	GA_2
219	AE3	GA_6
220	AF3	GA_10
221	AG3	GND
222	AG4	GND
223	AG5	GND
224	AG6	GA_16
225	AG7	GA_19
226	AG8	GA_23
227	AG9	GA_28
228	AG10	GA_33
229	AG11	GA_38
230	AG12	VDD33
231	AG13	GND
232	AG14	GA_42
233	AG15	GA_47
234	AG16	GA_52
235	AG17	GA_57
236	AG18	GA_61
237	AG19	GA_68
238	AG20	GA_72
239	AG21	GND
240	AG22	GND
241	AF22	GA_74
242	AE22	GA_78
243	AD22	TMC1_G
244	AC22	P61/A21
245	AB22	P67/A1
246	AA22	A3
247	Y22	A6
248	W22	A12
249	V22	A14
250	U22	A19
251	T22	DQM0
252	R22	P93/D19
253	P22	P96/D22
254	N22	P100/D24
255	M22	P106/D30
256	L22	P76/CSZ6

ピン番号	ピンID	名称
257	K22	P80/IOWRZ
258	J22	P94/D20
259	H22	P107/D31
260	G22	P81/IORDZ
261	F22	D4
262	E22	D9
263	D22	D14
264	C22	GND
265	C21	P131/DMARQZ1
266	C20	P123/TCZ3
267	C19	P150/INTPZ24
268	C18	NMI
269	C17	TRCCE
270	C16	DDO
271	C15	TRCDATA3
272	C14	TRCDATA7
273	C13	VDD33
274	C12	GND
275	C11	TMODE3
276	C10	TMODE2
277	C9	TMODE0
278	C8	P110/ETCLR0
279	C7	P54/ETIUD0
280	C6	P12/INTPZ10
281	C5	P147/PWMO1
282	C4	P157/INTPZ31
283	D4	GND
284	E4	GND
285	F4	AVDD_AD
286	G4	AVREFP
287	H4	AGND_AD
288	J4	P44/TCLR0
289	K4	VDD33
290	L4	P04/INTPZ4
291	M4	P145/SO1
292	N4	P142/SO0
293	P4	P15/INTPZ13
294	R4	P36/RXD3
295	T4	P30/RXD0
296	U4	P32/RXD1
297	V4	MODE1
298	W4	PPON1
299	Y4	PPON0
300	AA4	TDO_A
301	AB4	GND
302	AC4	VDD33
303	AD4	GA_3
304	AE4	GA_7
305	AF4	GND
306	AF5	GND
307	AF6	GA_15
308	AF7	VDD33
309	AF8	GA_22
310	AF9	GA_27
311	AF10	GA_32
312	AF11	GA_37
313	AF12	VDD33
314	AF13	GND
315	AF14	GA_41
316	AF15	GA_46
317	AF16	GA_51
318	AF17	GA_56
319	AF18	VDD33
320	AF19	GA_69

ピン番号	ピンID	名称
321	AF20	GND
322	AF21	GND
323	AE21	GA_77
324	AD21	TMC2_G
325	AC21	P64/A24
326	AB21	P62/A22
327	AA21	P60/A20
328	Y21	A2
329	W21	A7
330	V21	P70/WAITZ
331	U21	DQM2
332	T21	A18
333	R21	DQM1
334	P21	BCYSTZ
335	N21	GND
336	M21	VDD33
337	L21	CSZ0
338	K21	P75/CSZ5
339	J21	P102/D26
340	H21	WRSTBZ
341	G21	P84/REFRQZ
342	F21	D5
343	E21	D10
344	D21	GND
345	D20	D15
346	D19	P132/DMARQZ2
347	D18	P122/TCZ2
348	D17	P127/DMAAKZ3
349	D16	DCK
350	D15	DRSTZ
351	D14	TRCDATA5
352	D13	VDD33
353	D12	GND
354	D11	TESTCLK
355	D10	AGND_PLL
356	D9	AVDD_PLL
357	D8	P55/ETIUD1
358	D7	P10/INTPZ28
359	D6	P11/INTPZ9
360	D5	P155/INTPZ29
361	E5	GND
362	F5	AVDD_AD
363	G5	AGND_AD
364	H5	AVREFM
365	J5	AGND_AD
366	K5	VDD33
367	L5	P53/TO3
368	M5	P141/SI0
369	N5	P17/INTPZ15
370	P5	P34/RXD2
371	R5	P37/TXD3
372	T5	P35/TXD2
373	U5	VDD33
374	V5	VDD33
375	W5	VBUSDET
376	Y5	TMS_A
377	AA5	RESETZ
378	AB5	GND
379	AC5	VDD33
380	AD5	VDD33
381	AE5	GND
382	AE6	GND
383	AE7	VDD33
384	AE8	GND

ピン番号	ピンID	名称
385	AE9	GA_26
386	AE10	GA_31
387	AE11	GA_36
388	AE12	VDD33
389	AE13	GND
390	AE14	GA_45
391	AE15	GA_50
392	AE16	GA_55
393	AE17	GA_60
394	AE18	VDD33
395	AE19	GA_70
396	AE20	GND
397	AD20	VDD33
398	AC20	PLLFOEN
399	AB20	P63/A23
400	AA20	P65/A25
401	Y20	P66/A0
402	W20	A4
403	V20	A13
404	U20	SDWEZ
405	T20	SDCKE
406	R20	A17
407	P20	DQM3
408	N20	GND
409	M20	VDD33
410	L20	P105/D29
411	K20	P73/CSZ3
412	J20	P103/D27
413	H20	P74/CSZ4
414	G20	D6
415	F20	VDD33
416	E20	GND
417	E19	VDD33
418	E18	P133/DMARQZ3
419	E17	P125/DMAAKZ1
420	E16	P151/INTPZ25
421	E15	TRCDATA0
422	E14	TRCDATA2
423	E13	VDD33
424	E12	GND
425	E11	RMODEZ
426	E10	AGND_PLL
427	E9	AVDD_PLL
428	E8	P112/ETO0
429	E7	VDD33
430	E6	P146/PWMO0
431	AB9	VDD33
432	AB10	VDD33
433	AB11	GND
434	AB12	GND
435	AB13	GND
436	AB14	GND
437	AB15	VDD33
438	AB16	VDD33
439	H16	VDD15
440	H15	VDD15
441	H14	GND
442	H13	GND
443	H12	GND
444	H11	GND
445	H10	VDD15
446	H9	VDD15
447	J9	VDD15
448	K9	GND

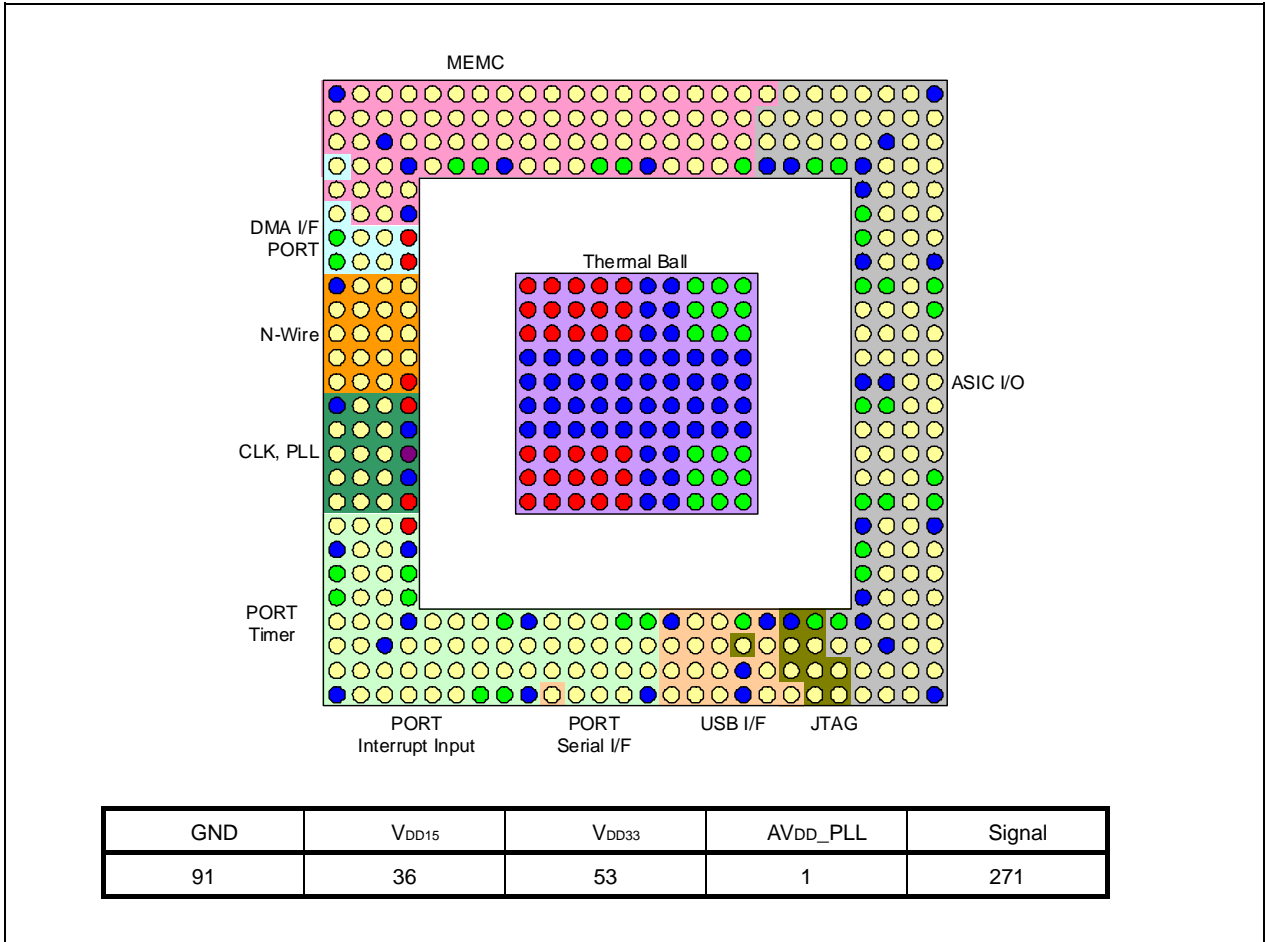
ピン番号	ピンID	名称
449	L9	VDD15
450	M9	VDD15
451	N9	GND
452	P9	VDD15
453	R9	VDD15
454	T9	GND
455	U9	VDD33
456	V9	GND
457	W9	VDD33
458	Y9	GND
459	AA9	VDD33
460	AA10	VDD33
461	AA11	GND
462	AA12	GND
463	AA13	GND
464	AA14	GND
465	AA15	VDD33
466	AA16	VDD33
467	Y16	GND
468	W16	VDD33
469	V16	GND
470	U16	VDD33
471	T16	GND
472	R16	VDD15
473	P16	VDD15
474	N16	GND
475	M16	VDD15
476	L16	VDD15
477	K16	GND
478	J16	VDD15
479	J15	VDD15
480	J14	GND
481	J13	GND
482	J12	GND
483	J11	GND
484	J10	VDD15
485	K10	GND
486	L10	VDD15
487	M10	VDD15
488	N10	GND
489	P10	VDD15
490	R10	VDD15
491	T10	GND
492	U10	VDD33
493	V10	GND
494	W10	VDD33
495	Y10	GND
496	Y11	GND
497	Y12	GND
498	Y13	GND
499	Y14	GND
500	Y15	GND
501	W15	VDD33
502	V15	GND
503	U15	VDD33
504	T15	GND
505	R15	VDD15
506	P15	VDD15
507	N15	GND
508	M15	VDD15
509	L15	VDD15
510	K15	GND
511	K14	GND
512	K13	GND

ピン番号	ピンID	名称
513	K12	GND
514	K11	GND
515	L11	GND
516	M11	GND
517	N11	GND
518	P11	GND
519	R11	GND
520	T11	GND
521	U11	GND
522	V11	GND
523	W11	GND
524	W12	GND
525	W13	GND
526	W14	GND
527	V14	GND
528	U14	GND
529	T14	GND
530	R14	GND
531	P14	GND
532	N14	GND
533	M14	GND
534	L14	GND
535	L13	GND
536	L12	GND
537	M12	GND
538	N12	GND
539	P12	GND
540	R12	GND
541	T12	GND
542	U12	GND
543	V12	GND
544	V13	GND
545	U13	GND
546	T13	GND
547	R13	GND
548	P13	GND
549	N13	GND
550	M13	GND

11.4.3 452ピンFPBGA

(1) V_{DD33} , V_{DD15} , GND端子の配置

図11 - 7 452ピンFPBGA (V_{DD33} , V_{DD15} , GND端子の配置)



(2) 端子配置

図11 - 8 452ピンFPBGA (端子配置 : Top View)

GND	D8	D2	P83/ HLDRO Z	P81/ IORDZ	P73/ CSZ3	P72/ CSZ2	WRST BZ	SDCKE	BUSCL K	SDRAS Z	A17	A14	A9	A7	A6	A3	P61/ A21	P64/ A24	TMC2_ G	GA_84	GA_81	GA_77	GA_74	GA_72	GND	26
D14	D10	D3	D0	P82/ HLDAK Z	P76/ CSZ6	P71/ CSZ1	RDZ	BCYST Z	DQM1	P70/ WAITZ	A16	A13	A11	A8	A4	P67/ A1	P63/ A23	TMC1_ G	GA_85	GA_82	GA_79	GA_76	GA_73	GA_71	GA_67	25
D13	D12	GND	P85/ SELFR EFZ	P84/ REFRQ Z	P74/ CSZ4	CSZ0	BENZ1	BENZ0	SDWE Z	A19	A15	A12	A10	A5	A2	P60/ A20	PLLFO EN	GA_86	GA_83	GA_80	GA_78	GA_75	GND	GA_68	GA_66	24
P130/ DMAR OZ0	D9	D7	GND	P80/ IOWRZ	VDD33	VDD33	GND	DQM0	SDCAS Z	A18	VDD33	VDD33	GND	P66/ A0	P62/ A22	P65/ A25	VDD33	GND	GND	VDD33	VDD33	GND	GA_70	GA_65	GA_62	23
D15	D11	D5	D1																			GND	GA_57	GA_69	GA_58	22
P131/ DMAR OZ1	D6	D4	GND																			VDD33	GA_61	GA_56	GA_64	21
VDD33	P125/ DMAA KZ1	P120/ TCZ0	VDD15																			VDD33	GA_60	GA_54	GA_63	20
VDD33	P121/ TCZ1	P124/ DMAA KZ0	VDD15																			GND	GA_59	GA_55	GND	19
GND	IROME N	DCK	NMI								VDD15	VDD15	VDD15	VDD15	VDD15	GND	GND	VDD33	VDD33	VDD33		VDD33	VDD33	GA_52	VDD33	18
TRCCE	DMS	DRSTZ	EVIN								VDD15	VDD15	VDD15	VDD15	VDD15	GND	GND	VDD33	VDD33	VDD33		GA_53	GA_51	GA_50	VDD33	17
DDI	TRCDA TA2	TRCDA TA0	DDO								VDD15	VDD15	VDD15	VDD15	VDD15	GND	GND	VDD33	VDD33	VDD33		GA_47	GA_45	GA_48	GA_49	16
TRCCL K	TRCDA TA1	TRCDA TA3	TRCDA TA4								GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		GA_43	GA_42	GA_44	GA_46	15
TRCDA TA6	TRCDA TA7	TRCDA TA5	VDD15								GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		GND	GND	GA_40	GA_41	14
GND	TESTC LK	VBCLK OUT	VDD15								GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		VDD33	VDD33	GA_39	GA_38	13
XT1	PLLFO	TRCEN D	GND								GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		GA_35	GA_34	GA_33	GA_37	12
XT2	TMOD E3	RMOD EZ	AVDD_ PLL								VDD15	VDD15	VDD15	VDD15	VDD15	GND	GND	VDD33	VDD33	VDD33		GA_30	GA_31	GA_36	GA_32	11
TMOD E2	P110/ ETCLR 0	TMOD E1	AGND_ PLL								VDD15	VDD15	VDD15	VDD15	VDD15	GND	GND	VDD33	VDD33	VDD33		GA_26	GA_28	GA_29	VDD33	10
UCLKS EL1	UCLKS EL0	TMOD E0	VDD15								VDD15	VDD15	VDD15	VDD15	VDD15	GND	GND	VDD33	VDD33	VDD33		VDD33	VDD33	GA_25	VDD33	9
P113/ ETO1	P111/ ETCLR 1	P55/ ETIUD 1	VDD15								GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		GND	GA_23	GA_24	GND	8
GND	P112/ ETEO	P10/ INTP28	GND								VDD33	VDD33	VDD33	VDD33	VDD33	GND	GND	VDD33	VDD33	VDD33		VDD33	GA_27	GA_22	GA_15	7
VDD33	P54/ ETIUD 0	P12/ INTP21 0	VDD33								VDD33	VDD33	VDD33	VDD33	VDD33	GND	GND	VDD33	VDD33	VDD33		VDD33	GA_21	GA_20	GA_14	6
VDD33	P146/ PWMO 0	P13/ INTP21 1	VDD33								GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		GND	GA_16	GA_17	GA_19	5
P57/ ETCUD 1	P56/ ETCUD 0	P41/ TI1	GND	P50/ TO0	P00/ INTP20	P03/ INTP23	VDD33	GND	P145/ SO1	P16/ INTP21 4	P17/ INTP21 5	VDD33	VDD33	GND	VBUSD ET	RESET Z	VDD33	GND	GND	VDD33	VDD33	GND	GA_12	GA_13	GA_18	4
P11/ INTP29	P147/ PWMO 1	GND	P44/ TCLR3	P47/ TCLR3	P53/ TO3	P04/ INTP24	P06/ INTP26	P140/ SCK0	P144/ SI1	P30/ RXD0	P32/ RXD1	P35/ TXD2	P37/ TXD3	MODE 1	OCIO	PPON1	TDO	PPON0	TMS_G	TDI_G	GA_2	GA_6	GND	GA_10	GA_11	3
TMC1	TMC2	P43/ TI3	P46/ TCLR2	P52/ TO2	P02/ INTP22	P05/ INTP25	P07/ INTP27	P141/ SIO	P143/ SCK1	P31/ TXD0	P33/ RXD2	P34/ RXD2	P36/ RXD3	MODE 0	UHD0 M	UHD1 M	GND	UFDP	TCK	TDI	TRST	GA_3	GA_5	GA_8	GA_9	2
GND	P40/ TI0	P42/ TI2	P45/ TCLR1	P51/ TO1	P01/ INTP21	VDD33	VDD33	GND	UCLK	P142/ SO0	P14/ INTP21 2	P15/ INTP21 3	GND	PCLKI N	UHD0P	UHD1P	GND	UFDM	OC1	TMS	TDO_G	GA_1	GA_4	GA_7	GND	1
A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE	AF	

ピン番号	ピンID	名称
1	A1	GND
2	B1	P40/TI0
3	C1	P42/TI2
4	D1	P45/TCLR1
5	E1	P51/TO1
6	F1	P01/INTPZ1
7	G1	VDD33
8	H1	VDD33
9	J1	GND
10	K1	UCLK
11	L1	P142/SO0
12	M1	P14/INTPZ12
13	N1	P15/INTPZ13
14	P1	GND
15	R1	PCLKIN
16	T1	UHD0P
17	U1	UHD1P
18	V1	GND
19	W1	UFDM
20	Y1	OC1
21	AA1	TMS
22	AB1	TDO_G
23	AC1	GA_1
24	AD1	GA_4
25	AE1	GA_7
26	AF1	GND
27	AF2	GA_9
28	AF3	GA_11
29	AF4	GA_18
30	AF5	GA_19
31	AF6	GA_14
32	AF7	GA_15
33	AF8	GND
34	AF9	VDD33
35	AF10	VDD33
36	AF11	GA_32
37	AF12	GA_37
38	AF13	GA_38
39	AF14	GA_41
40	AF15	GA_46
41	AF16	GA_49
42	AF17	VDD33
43	AF18	VDD33
44	AF19	GND
45	AF20	GA_63
46	AF21	GA_64
47	AF22	GA_58
48	AF23	GA_62
49	AF24	GA_66
50	AF25	GA_67
51	AF26	GND
52	AE26	GA_72
53	AD26	GA_74
54	AC26	GA_77
55	AB26	GA_81
56	AA26	GA_84
57	Y26	TMC2_G
58	W26	P64/A24
59	V26	P61/A21
60	U26	A3
61	T26	A6
62	R26	A7
63	P26	A9
64	N26	A14

ピン番号	ピンID	名称
65	M26	A17
66	L26	SDRASZ
67	K26	BUSCLK
68	J26	SDCKE
69	H26	WRSTBZ
70	G26	P72/CSZ2
71	F26	P73/CSZ3
72	E26	P81/IORDZ
73	D26	P83/HLDRQZ
74	C26	D2
75	B26	D8
76	A26	GND
77	A25	D14
78	A24	D13
79	A23	P130/DMARQZ0
80	A22	D15
81	A21	P131/DMARQZ1
82	A20	VDD33
83	A19	VDD33
84	A18	GND
85	A17	TRCCE
86	A16	DDI
87	A15	TRCCLK
88	A14	TRCDATA6
89	A13	GND
90	A12	XT1
91	A11	XT2
92	A10	TMODE2
93	A9	UCLKSEL1
94	A8	P113/ETO1
95	A7	GND
96	A6	VDD33
97	A5	VDD33
98	A4	P57/ETCUD1
99	A3	P11/INTPZ9
100	A2	TMC1
101	B2	TMC2
102	C2	P43/TI3
103	D2	P46/TCLR2
104	E2	P52/TO2
105	F2	P02/INTPZ2
106	G2	P05/INTPZ5
107	H2	P07/INTPZ7
108	J2	P141/SI0
109	K2	P143/SCK1
110	L2	P31/TXD0
111	M2	P33/TXD1
112	N2	P34/RXD2
113	P2	P36/RXD3
114	R2	MODE0
115	T2	UHD0M
116	U2	UHD1M
117	V2	GND
118	W2	UFDP
119	Y2	TCK
120	AA2	TDI
121	AB2	TRST
122	AC2	GA_3
123	AD2	GA_5
124	AE2	GA_8
125	AE3	GA_10
126	AE4	GA_13
127	AE5	GA_17
128	AE6	GA_20

ピン番号	ピンID	名称
129	AE7	GA_22
130	AE8	GA_24
131	AE9	GA_25
132	AE10	GA_29
133	AE11	GA_36
134	AE12	GA_33
135	AE13	GA_39
136	AE14	GA_40
137	AE15	GA_44
138	AE16	GA_48
139	AE17	GA_50
140	AE18	GA_52
141	AE19	GA_55
142	AE20	GA_54
143	AE21	GA_56
144	AE22	GA_69
145	AE23	GA_65
146	AE24	GA_68
147	AE25	GA_71
148	AD25	GA_73
149	AC25	GA_76
150	AB25	GA_79
151	AA25	GA_82
152	Y25	GA_85
153	W25	TMC1_G
154	V25	P63/A23
155	U25	P67/A1
156	T25	A4
157	R25	A8
158	P25	A11
159	N25	A13
160	M25	A16
161	L25	P70/WAITZ
162	K25	DQM1
163	J25	BCYSTZ
164	H25	RDZ
165	G25	P71/CSZ1
166	F25	P76/CSZ6
167	E25	P82/HLDAKZ
168	D25	D0
169	C25	D3
170	B25	D10
171	B24	D12
172	B23	D9
173	B22	D11
174	B21	D6
175	B20	P125/DMAAKZ1
176	B19	P121/TCZ1
177	B18	IROMEN
178	B17	DMS
179	B16	TRCDATA2
180	B15	TRCDATA1
181	B14	TRCDATA7
182	B13	TESTCLK
183	B12	PLLFO
184	B11	TMODE3
185	B10	P110/ETCLR0
186	B9	UCLKSEL0
187	B8	P111/ETCLR1
188	B7	P112/ETO0
189	B6	P54/ETIU00
190	B5	P146/PWMO0
191	B4	P56/ETCUD0
192	B3	P147/PWMO1

ピン番号	ピンID	名称
257	C23	D7
258	C22	D5
259	C21	D4
260	C20	P120/TCZ0
261	C19	P124/DMAAKZ0
262	C18	DCK
263	C17	DRSTZ
264	C16	TRCDATA0
265	C15	TRCDATA3
266	C14	TRCDATA5
267	C13	VBCLKOUT
268	C12	TRCEND
269	C11	RMODEZ
270	C10	TMODE1
271	C9	TMODE0
272	C8	P55/ETIUD1
273	C7	P10/INTPZ8
274	C6	P12/INTPZ10
275	C5	P13/INTPZ11
276	C4	P41/TI1
277	D4	GND
278	E4	P50/TO0
279	F4	P00/INTPZ0
280	G4	P03/INTPZ3
281	H4	VDD33
282	J4	GND
283	K4	P145/SO1
284	L4	P16/INTPZ14
285	M4	P17/INTPZ15
286	N4	VDD33
287	P4	VDD33
288	R4	GND
289	T4	VBUSDET
290	U4	RESETZ
291	V4	VDD33
292	W4	GND
293	Y4	GND
294	AA4	VDD33
295	AB4	VDD33
296	AC4	GND
297	AC5	GND
298	AC6	VDD33
299	AC7	VDD33
300	AC8	GND
301	AC9	VDD33
302	AC10	GA_26
303	AC11	GA_30
304	AC12	GA_35
305	AC13	VDD33
306	AC14	GND
307	AC15	GA_43
308	AC16	GA_47
309	AC17	GA_53
310	AC18	VDD33
311	AC19	GND
312	AC20	VDD33
313	AC21	VDD33
314	AC22	GND
315	AC23	GND
316	AB23	VDD33
317	AA23	VDD33
318	Y23	GND
319	W23	GND
320	V23	VDD33

ピン番号	ピンID	名称
257	K22	VDD33
258	J22	GND
259	H22	P72/CSZ2
260	G22	P74/CSZ4
261	F22	P82/HLDAKZ
262	E22	P85/SELFREFZ
263	D22	GND
264	C22	GND
265	C21	GND
266	C20	D6
267	C19	D9
268	C18	D13
269	C17	P131/DMARQZ1
270	C16	P121/TCZ1
271	C15	IROMEN
272	C14	DMS
273	C13	TRCDATA0
274	C12	TRCDATA2
275	C11	TRCDATA6
276	C10	TESTCLK
277	C9	RMODEZ
278	C8	TMODE3
279	C7	AGND_PLL
280	C6	AVDD_PLL
281	C5	UCLKSEL0
282	C4	GND
283	D4	GND
284	E4	GND
285	F4	VDD15
286	G4	TMC1_A
287	H4	P41/TI1
288	J4	P45/TCLR1
289	K4	P51/TO1
290	L4	P01/INTPZ1
291	M4	P04/INTPZ4
292	N4	VDD15
293	P4	VDD15
294	R4	P14/INTPZ12
295	T4	P30/RXD0
296	U4	P32/RXD1
297	V4	P36/RXD3
298	W4	VDD33
299	Y4	MODE0
300	AA4	OCIO
301	AB4	GND
302	AC4	RESETZ
303	AD4	TDO_A
304	AE4	TDI_G
305	AF4	VDD33
306	AF5	GA_7
307	AF6	VDD33
308	AF7	GA_14
309	AF8	GA_17
310	AF9	GA_21
311	AF10	GA_26
312	AF11	GA_31
313	AF12	GA_35
314	AF13	GA_38
315	AF14	GA_42
316	AF15	GA_47
317	AF16	GA_52
318	AF17	GA_56
319	AF18	GA_61
320	AF19	VDD33

ピン番号	ピンID	名称
321	U23	P65/A25
322	T23	P62/A22
323	R23	P66/A0
324	P23	GND
325	N23	VDD33
326	M23	VDD33
327	L23	A18
328	K23	SDCASZ
329	J23	DQM0
330	H23	GND
331	G23	VDD33
332	F23	VDD33
333	E23	P80/IOWRZ
334	D23	GND
335	D22	D1
336	D21	GND
337	D20	VDD15
338	D19	VDD15
339	D18	NMI
340	D17	EVIN
341	D16	DDO
342	D15	TRCDATA4
343	D14	VDD15
344	D13	VDD15
345	D12	GND
346	D11	AVDD_PLL
347	D10	AGND_PLL
348	D9	VDD15
349	D8	VDD15
350	D7	GND
351	D6	VDD33
352	D5	VDD33
353	J9	VDD15
354	K9	VDD15
355	L9	VDD15
356	M9	VDD15
357	N9	VDD15
358	P9	GND
359	R9	GND
360	T9	VDD33
361	U9	VDD33
362	V9	VDD33
363	V10	VDD33
364	V11	VDD33
365	V12	GND
366	V13	GND
367	V14	GND
368	V15	GND
369	V16	VDD33
370	V17	VDD33
371	V18	VDD33
372	U18	VDD33
373	T18	VDD33
374	R18	GND
375	P18	GND
376	N18	VDD15
377	M18	VDD15
378	L18	VDD15
379	K18	VDD15
380	J18	VDD15
381	J17	VDD15
382	J16	VDD15
383	J15	GND
384	J14	GND

ピン番号	ピン ID	名称
385	J13	GND
386	J12	GND
387	J11	V _{DD15}
388	J10	V _{DD15}
389	K10	V _{DD15}
390	L10	V _{DD15}
391	M10	V _{DD15}
392	N10	V _{DD15}
393	P10	GND
394	R10	GND
395	T10	V _{DD33}
396	U10	V _{DD33}
397	U11	V _{DD33}
398	U12	GND
399	U13	GND
400	U14	GND
401	U15	GND
402	U16	V _{DD33}
403	U17	V _{DD33}
404	T17	V _{DD33}
405	R17	GND
406	P17	GND
407	N17	V _{DD15}
408	M17	V _{DD15}
409	L17	V _{DD15}
410	K17	V _{DD15}
411	K16	V _{DD15}
412	K15	GND
413	K14	GND
414	K13	GND
415	K12	GND
416	K11	V _{DD15}
417	L11	V _{DD15}
418	M11	V _{DD15}
419	N11	V _{DD15}
420	P11	GND
421	R11	GND
422	T11	V _{DD33}
423	T12	GND
424	T13	GND
425	T14	GND
426	T15	GND
427	T16	V _{DD33}
428	R16	GND
429	P16	GND
430	N16	V _{DD15}
431	M16	V _{DD15}
432	L16	V _{DD15}
433	L15	GND
434	L14	GND
435	L13	GND
436	L12	GND
437	M12	GND
438	N12	GND
439	P12	GND
440	R12	GND
441	R13	GND
442	R14	GND
443	R15	GND
444	P15	GND
445	N15	GND
446	M15	GND
447	M14	GND
448	M13	GND

ピン番号	ピン ID	名称
449	N13	GND
450	P13	GND
451	P14	GND
452	N14	GND

11.5 ゲートアレイ部の発振ブロックの配置可能端子

ゲートアレイ部に発振ブロックを搭載する場合は、次の発振ブロック配置可能端子を使用してください。これらの端子はノイズを配慮したパターン設計とペア間が等長となるように設計されています。ただし、発振ブロックの搭載数は、2つまでとなります。

なお、発振ブロックを使用しない場合、発振ブロック配置可能端子は通常のユーザ端子として使用できます。

例 MC-10501（464ピン）で2つの発振ブロックを搭載する場合

GA_11 / GA_12に1つの発振ブロックのXT1/XT2をアサインして、

GA_66 / GA_67にもう1つの発振ブロックのXT1/XT2をアサインして配置します。

表11 - 3 発振ブロックの配置可能位置（外部バス：16ビット版）

マスタ	PBGA		FPBGA	
	464ピン（25 × 30 mm）	452ピン（22 × 22 mm）	433ピン（17 × 17 mm）	
	1.00 mmボールピッチ	0.80 mmボールピッチ	0.65 mmボールピッチ	
MC-10501	GA_11 / GA_12 および GA_66 / GA_67	開発予定なし	開発予定なし	
MC-10502	GA_11 / GA_12 および GA_60 / GA_61	GA_14 / GA_15 および GA_63 / GA_64	検討中	
MC-10503	GA_11 / GA_12 および GA_60 / GA_61	T.B.D.	開発予定なし	

表11 - 4 発振ブロックの配置可能位置（外部バス：32ビット版）

マスタ	PBGA	
	550ピン（25 × 30 mm）	
	1.00 mmボールピッチ	
MC-10505	GA_11 / GA_12 および GA_66 / GA_67	
MC-10506	T.B.D.	
MC-10507	T.B.D.	

11.6 熱抵抗一覧

パッケージの最大許容電力は、最大ジャンクション温度 (T_J)、最大周囲温度 (T_A) とパッケージ、マスタごとに規定されている熱抵抗 (j_a) より使用環境用の最大許容消費電力を計算することになります。

$$P_{WL} = (125 - T_A) / j_a \quad (W)$$

条件 T_A 40 °C

表11 - 5 熱抵抗 (外部バス : 16ビット版)

マスタ	PBGA		FPBGA	
	464ピン (25 × 30 mm)	452ピン (22 × 22 mm)	433ピン (17 × 17 mm)	
	1.00 mmボールピッチ	0.80 mmボールピッチ	0.65 mmボールピッチ	
MC-10501	16.87 °C/W	開発予定なし	開発予定なし	
MC-10502	16.52 °C/W	16.12 °C/W	検討中	
MC-10503	16.18 °C/W	T.B.D.	開発予定なし	

表11 - 6 熱抵抗 (外部バス : 32ビット版)

マスタ	PBGA	
	550ピン (25 × 30 mm)	
	1.00 mmボールピッチ	
MC-10505	14.71 °C/W	
MC-10506	T.B.D.	
MC-10507	T.B.D.	

11.7 許容消費電力一覧

ゲートアレイの許容消費電力（パッケージ，マスタごと）を参考として次に示します。

条件 最大ジャンクション温度 (T_J (MAX.)): 125 °C
 最大周囲温度 (T_A (MAX.)): 85 °C
 PFESiP/V850EP1消費電力: 1.5 W

パッケージ最大許容電力は，お客様の使用環境条件で計算してください。

表11 - 7 許容消費電力（外部バス：16ビット版）

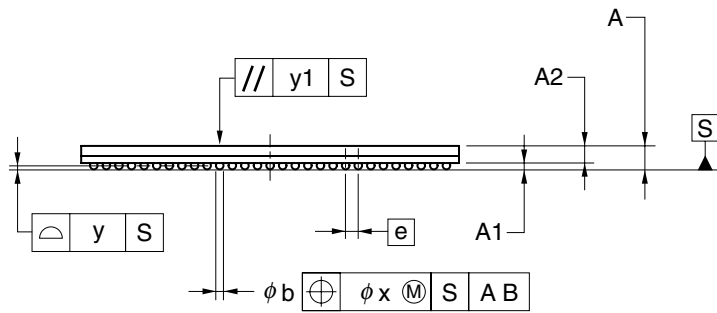
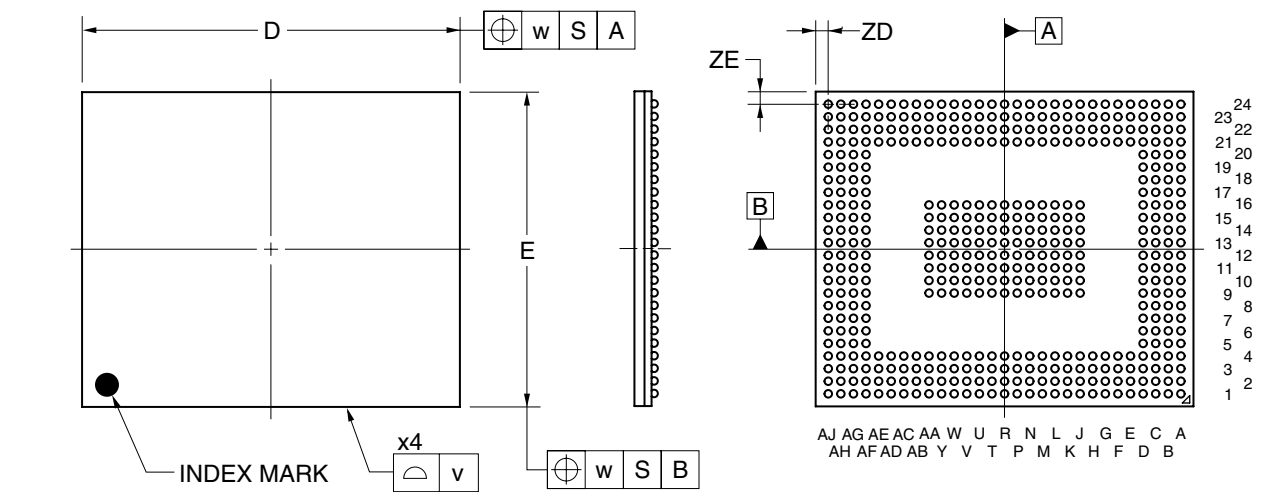
マスタ	PBGA	FPBGA	
	464ピン (25 × 30 mm)	452ピン (22 × 22 mm)	433ピン (17 × 17 mm)
	1.00 mmボールピッチ	0.80 mmボールピッチ	0.65 mmボールピッチ
MC-10501	0.87 W	開発予定なし	開発予定なし
MC-10502	0.92 W	0.98 W	検討中
MC-10503	0.97 W	T.B.D.	開発予定なし

表11 - 8 許容消費電力（外部バス：32ビット版）

マスタ	PBGA
	550ピン (25 × 30 mm)
	1.00 mmボールピッチ
MC-10505	1.22 W
MC-10506	T.B.D.
MC-10507	T.B.D.

11.8 外形図

11.8.1 464ピンPBGA



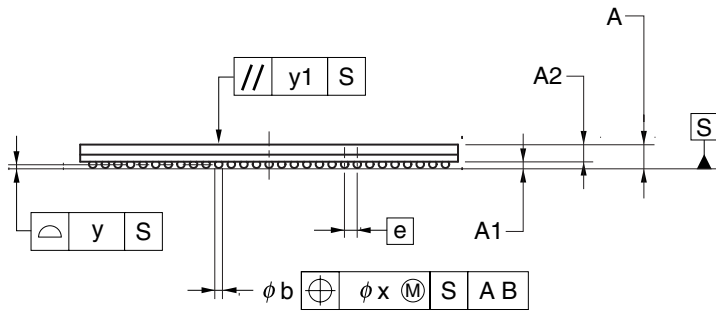
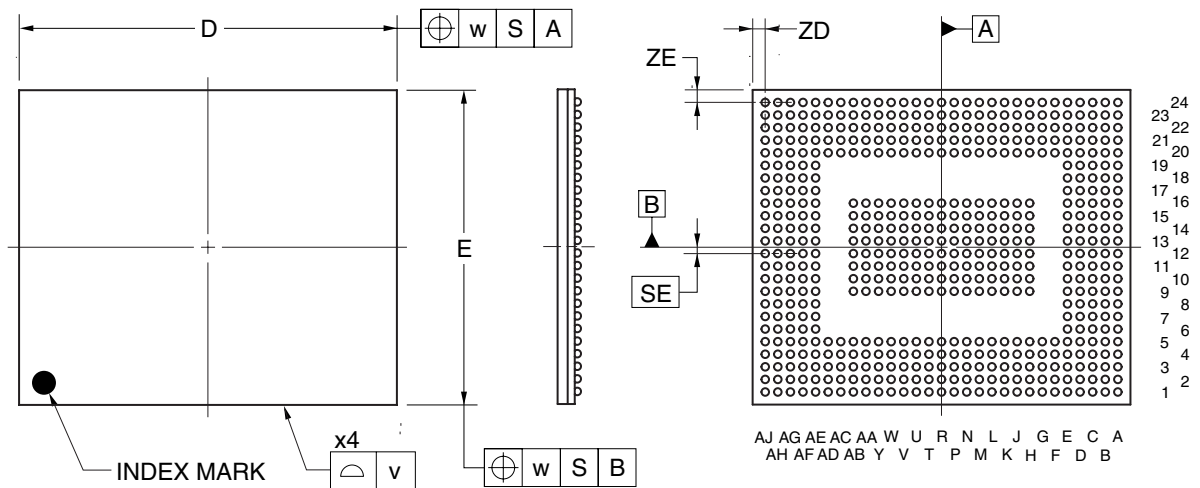
(UNIT:mm)

ITEM	DIMENSIONS
D	30.00±0.10
E	25.00±0.10
v	0.20
w	0.30
A	1.83±0.20
A1	0.50±0.10
A2	1.33
e	1.00
b	0.60±0.10
x	0.10
y	0.15
y1	0.35
ZD	1.00
ZE	1.00

P464F1-100-LT3

© NEC Electronics Corporation 2007

11.8.2 550ピンPBGA



(UNIT:mm)

ITEM	DIMENSIONS
D	30.00±0.10
E	25.00±0.10
v	0.20
w	0.30
A	1.86±0.20
A1	0.50±0.10
A2	1.36
e	1.00
SE	0.50
b	0.60±0.10
x	0.10
y	0.15
y1	0.35
ZD	1.00
ZE	1.00

P550F1-100-LT2

© NEC Electronics Corporation 2006

11. 8. 3 452ピンFPBGA

T.B.D.

11.9 捺印例

パッケージごとの捺印例を次に示します。

ただし、捺印の字体、大きさ、相対位置などは製品捺印と異なる場合があります。

注意 使用パッケージがリリースされているかを必ず弊社に確認してください。

使用するパッケージの記載がない場合も、必ず弊社までご連絡ください。

図11 - 9 464ピンPBGA, 550ピンPBGA (25 × 30 mm) (標準捺印例)

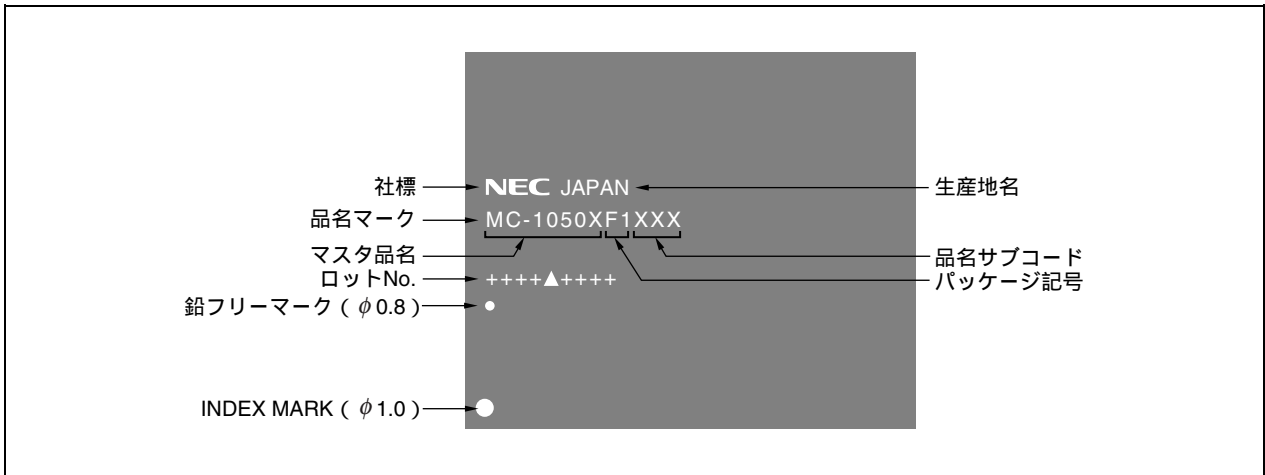


図11 - 10 452ピンPBGA (22 × 22 mm) (標準捺印例)

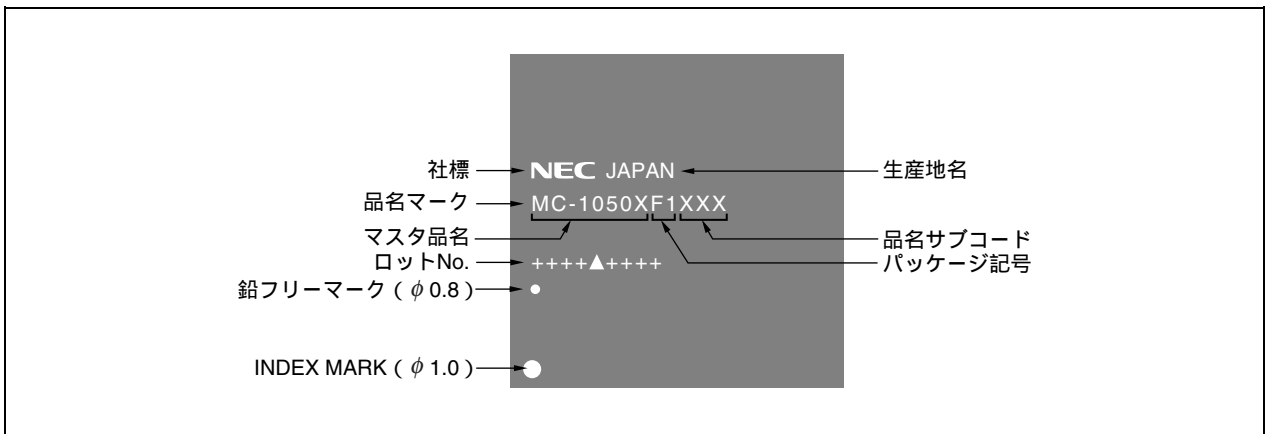
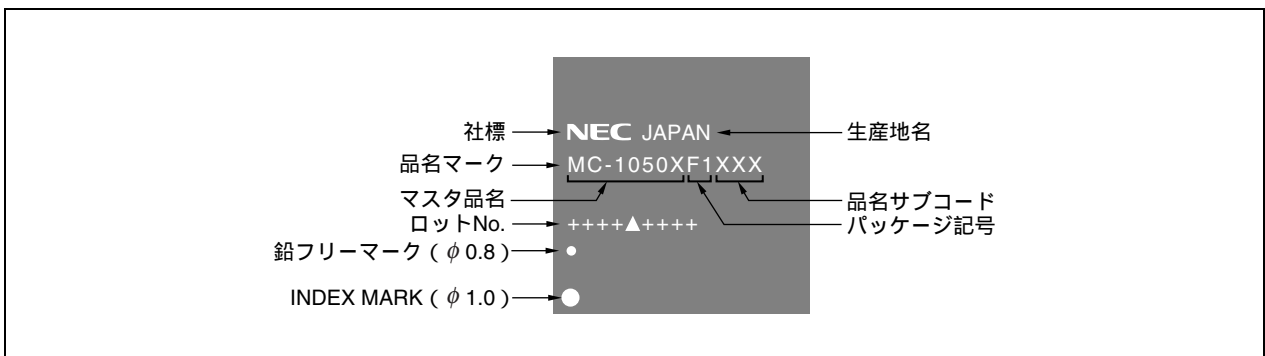


図11 - 11 433ピンFPBGA (17 × 17 mm) (標準捺印例)



11. 10 半田付け推奨条件

PFESiP EP-1シリーズは、鉛フリー対応品です。

半田付け実装は、次の推奨条件で実装してください。

半田付け推奨条件の技術的な内容については、下記も参照してください。

半導体デバイス実装マニュアル：<http://www.necel.com/pkg/ja/jissou/index.html>

表11 - 9 半田付け推奨条件（外部バス：16ビット版）

マスタ	PBGA	FPBGA	
	464ピン（25×30 mm） 1.00 mmボールピッチ	452ピン（22×22 mm） 0.80 mmボールピッチ	433ピン（17×17 mm） 0.65 mmボールピッチ
MC-10501	IR50-207-3	開発予定なし	開発予定なし
MC-10502	IR50-207-3	IR50-207-3	検討中
MC-10503	IR50-207-3	T.B.D.	開発予定なし

表11 - 10 半田付け推奨条件（外部バス：32ビット版）

マスタ	PBGA
	550ピン（25×30 mm） 1.00 mmボールピッチ
MC-10505	IR50-207-3
MC-10506	T.B.D.
MC-10507	T.B.D.

表11 - 11 半田付け条件

推奨条件記号	半田付け方式	半田付け条件
IR50-207-3	赤外線リフロー	<p>最高温度（パッケージ表面温度）：250 以下 最高温度の時間：10秒以内 220 以上の時間：60秒以内 プリヒート温度（160 ~ 180 ）の時間：60秒~120秒</p> <p>赤外線リフロー温度プロファイル</p> <p>（本加熱） 10 秒以内</p> <p>250 MAX.</p> <p>220</p> <p>60 秒以内</p> <p>180</p> <p>60 秒 ~ 120 秒 （プリヒート）</p> <p>160</p> <p>パッケージ表面温度（℃）</p> <p>時間</p> <p>最多リフロー回数：3回 ロジン系フラックスの塩素含有量（質量百分率）：0.2%以下 ドライバック開封後の保管制限期間：7日間^{*1}（以降は125 プリバーク^{*2}10~72時間必要）</p>

注 1. ドライバック開封後の保管制限日数で、保管条件は 25℃，65%（RH）以下。

2. 耐熱トレイ以外（マガジン，テーピング，非耐圧トレイ）は、包装状態でのベーキングができません。

付録 A 詳細な内部回路の消費電力の算出

内部回路の正確な消費電力の算出は各ブロック，容量，同時期に動作するブロックの数，各ブロックの動作周波数など，非常に多数の情報が必要になります。このため，計算が非常に煩雑になり，結果的に検討は不可能になります。弊社ではあらかじめ回路の動作や構成を仮定して消費電力の基準値を規定しています。このため，お客様の回路や構成によっては実際より大きくなったり，小さくなったりします。あらかじめ承知してください。

内部回路の消費電力を組み合わせ回路，ラッチ，フリップフロップなどに分けて行うことができる消費電力の算出方法を示します。消費電力の見直しに利用してください。ただし，結果を電池の寿命などの算出に使用する場合には，必ず大きめの値になるよう検討してください。

内部セルの消費電力

$$\Sigma P_{DCCELL} = \Sigma P_{DGate} + \Sigma P_{DLatch} + \Sigma P_{DF/F} + \Sigma P_{DT}$$

(1) 組み合わせ回路

$$P_{DGate} = 0.524 \times f \times \text{Cell} \ (\mu W)$$

f : データの動作周波数 (MHz)

Cell : fで動作するセル数^注

(2) ラッチ

$$P_{DLatch} = (P_{D(Gate = ON)} \times N + P_{D(Gate = OFF)} \times (1 - N)) \times f \times \text{Cell} \ (\mu W)$$

f : データの動作周波数 (MHz)

Cell : fで動作するセル数^注

N : ゲートONの割合 = $\frac{T_{(Gate = ON)}}{T_{(Gate = ON)} + T_{(Gate = OFF)}}$

$P_{D(Gate = ON)}$: 0.516 ($\mu W/Cell/MHz$)

$P_{D(Gate = OFF)}$: 0.0385 ($\mu W/Cell/MHz$)

(3) D-F/F, JK-F/F, シフト・レジスタ, カウンタ

$$P_{DF/F} = \frac{2 \times P_{D(OUTPUT)} + P_{D(CLK)} \times (N - 2)}{N} \times f \times \text{Cell} \ (\mu W)$$

f : クロックの動作周波数 (MHz)

Cell : fで動作するセル数^注

N : $\frac{T_{(DATA)}}{T_{(CLK)}}$

$P_{D(OUTPUT)}$: 0.412 ($\mu W/Cell/MHz$)

$P_{D(CLK)}$: 0.121 ($\mu W/Cell/MHz$)

備考 $T_{(DATA)}$: データの周期

$T_{(CLK)}$: クロックの周期

例 データ1周期に対して、クロックが2倍速い周期とすると次のようになります。

$$N = 1/0.5 = 2$$

(4) T-F/F

$$P_{DT} = 0.367 \times f \times \text{Cell} (\mu W)$$

f : クロックの動作周波数 (MHz)

Cell : fで動作するセル数^注

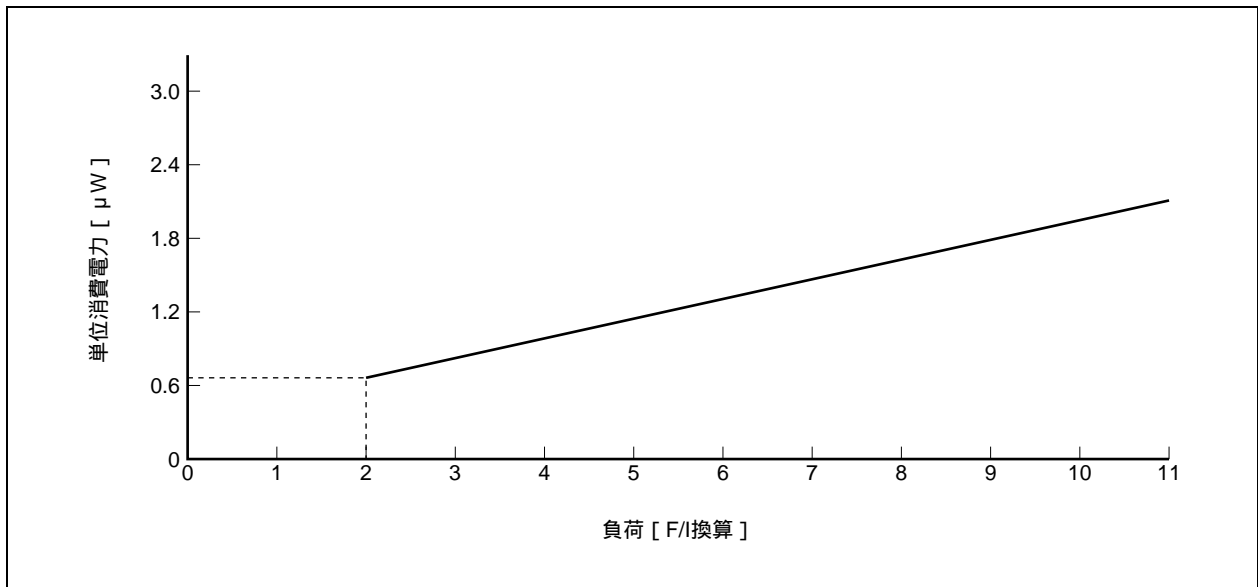
(5) 消費電力の負荷依存性 (暫定)

消費電力は次の式で示されるように負荷容量に大きく依存します。

$$P_D = CV^2f$$

注 Cellはブロック数ではありません。

図A - 1 消費電力の負荷依存性



図A - 1に示されるように、F/O = 2の条件では単位消費電力は0.66 μW/MHzと非常に小さな値になります。しかし、消費電力はデバイスの信頼性に大きな影響を与えるファクタですので、現実的な値とする必要があります。

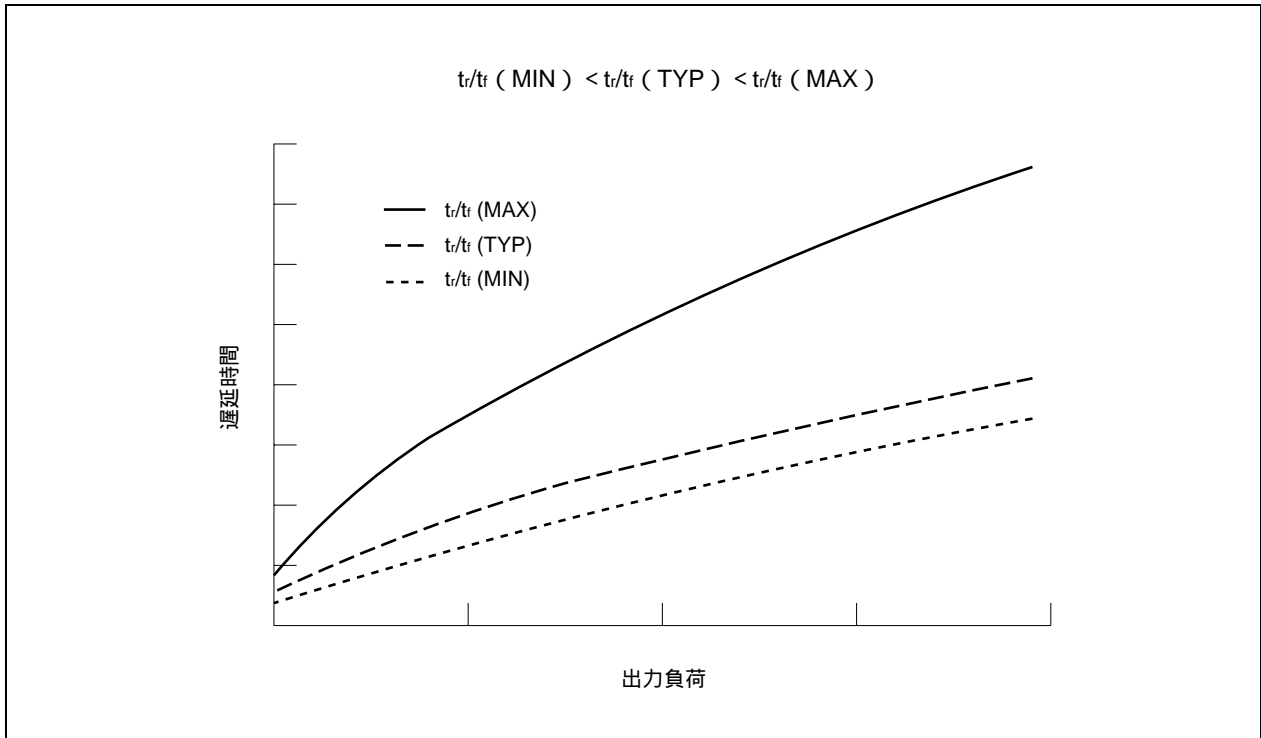
弊社では従来から蓄積してきた配線長やピン・ペアなどの統計データより、負荷の値を分布の70%程度がカバーできる次の値としています。

負荷 = 4.98 (F/I換算)
 例
 F/O : 2+λ : 2.98

付録 B 伝達遅延時間

各ブロックの遅延時間は図B - 1に示されるように入力される信号波形によって大きくばらつくことになります。ブロック単体の遅延時間が数百psと非常に短くなっているEA-9HDシリーズでは、この入力波形の影響が無視できない状況になってきます。

図B - 1 入力波形による遅延時間の増加



このため、シミュレータでは各ブロックの入力波形を考慮して、精度の高い遅延シミュレーションを実行するようにしています。しかし、ブロック・ライブラリ^注では入力波形による結果の相違を記載することができません。それゆえ、ブロック・ライブラリ^注では伝達遅延時間算出の精度をある限られた条件に対してだけ上げることになります。EA-9HDシリーズでは、負荷が軽いと考えられるクリティカル・パスの算出結果の精度が高くなるようにしています。

また、図B - 1は傾向を示しているだけであり、実際の値はシミュレーションによって確認してください。

注 CMOS-9HD Family, EA-9HD Family Block Library (A13052J)

付録 C ALBATROSS, DIF ファイル・フォーマット

C.1 ALBATROSSファイル・フォーマット (回路名.alb)

(1) ファイル形式

ファイル形式には次の制限があります。

- フリー・フォーマット
- 区切りは、空白 (ブランク), コロン (:)
- エンドは、セミコロン (;)
- 「」内は繰り返し可
- 1行は最大80カラムまでとし、最後の文字が ; でない場合は次の行に継続していると認識する
- 識別子、端子名および単位 (NS固定) は大文字でなければならない
- 端子名は、最大64文字とする
- タイミング情報 (MODULATION+CLOCK) の記述については、各シリーズの設計マニュアル 高速ファンクション・テストの項の制限に基づく

(2) ファイル構成

ファイルは、次の7つの項目から構成されています。

* ALBATROSS	...	ファイル・ヘッダ
* TIMING	...	ヘッダ
PERIOD	...	パターン・ピリオド
MODULATION	...	入力キュー
CLOCK	...	クロック端子
* END_OF_TIMING	...	エンド・レコード
* END	...	ファイル・エンド

(3) ファイル詳細

各項目の詳細は次のとおりです。

(a) ファイル・ヘッダ

書式 *ALBATROSS circuit ;
機能 パターン・ヘッダ

1 : circuit (文字列) 回路名称

(b) ヘッダ

書式 *TIMING
機能 ヘッダ

(c) パターン・ピリオド

書式 PERIOD period_t time_unit ;

機能 パターンのピリオド値

1 : period_t パターン周期

2 : time_unit 周期単位

(d) 入力スキュー

書式 MODULATION modulation_t time_unit : 「pin」 ;

機能 入力端子に付加するスキューの値

1 : modulation_t 入力スキューの値

2 : time_unit スキューの値の単位

3 : pin 端子名

(e) クロック

書式 CLOCKTYPE = type : 「ch_time time_unit」 : pin ;

機能 クロック端子とクロック波形の定義

- TYPE = type
 - P : ポジティブ・クロック
 - N : ネガティブ・クロック
- ch_time 波形時刻
- time_unit 変化時刻の単位
- pin 端子名

(f) エンド

書式 *END_OF_TIMING ;

機能 エンド

(g) ファイル・エンド

書式 *END

機能 ファイル・エンド

(4) 例

```
* ALBATROSS CF191
* TIMING ;
PERIOD 200 NS ;
MODULATION 20 NS : IN1 IN2 IN3 ;
CLOCK TYPE = P : 50NS 150NS : CLK ;
* END_OF_TIMING ;
* END
```

C.2 DIFファイル・フォーマット (回路名.dif)

詳細については、OPENCAD OPC_VSHELL 編 ユーザーズ・マニュアル (A15050J) を参照してください。

(1) ファイル形式

ファイル形式には、次の制限があります。

- フリー・フォーマット
- 区切りは、空白 (ブランク)
- 1行は最大512文字
- コメント行は、1カラム目が “ ” で始まる行

(2) ファイル構成

ファイルは、次の3つの項目から構成されています。

```
DIF      ... ヘッダ
/DESIGN ... デザイン・ブロック
/END     ... エンド
```

(3) ファイル詳細

各項目の詳細は、次のとおりです。

(a) ヘッダ

書式 DIF
機能 ヘッダ

(b) デザイン・ブロック

書式 /PIA
機能 外部端子全般 (V_{DD} , V_{BLK52} ^注, GNDなど)

注 5 V領域内外部5 V電源

(c) コンディション・ブロック

書式 /PIN
機能 設計全般 (出力端子付加する端子容量の値など)

(d) エンド・カード

書式 /END
機能 DIFファイルの終了

(4) 例

```
*DIF opc_pinbe ( 1.11 ) 2002.12.12 ( 12:39:32 )
/DESIGN 65445999
TECHNOLOGY = EA9HD ;
CONDITION = cmos_3.3V ;
MASTER = 65445 ;
PACKAGE = LQFP ;
PINS = 144 ;
LAYER = 3L ;

/CONDITION 1
/PIN
  ADO
    DIR = INPUT
  ;
  DATA1
    DIR = IO
  ;
  PC1
    DIR = OUTPUT
  ;
/END PIN
/END CONDITION
/PIA
/EPIN PAD
  ADO
    PAD =      77 # dut_ID 22 pin_type IN
    BLOCK = XINB ;
  DATA1
    PAD =      24 # dut_ID 179 pin_type IO
    BLOCK = XWN2 ;
  PCR1
    PAD =     125 # dut_ID 68 pin_type OUT
    BLOCK = XB0D ;
/END EPIN
/POWER PAD
  GND PAD = 13 191 ;
  VDD PAD = 14 ;
  VBLK52 PAD = 15 ;
/END POWER
/END PIA
/END DESIGN
*END
```


付録 D 回路図，タイミング・チャートの書き方

D. 1 回路図の書き方

最近では、EWSを使用して回路設計を行うケースが増えてきました。回路図をお客様が作成し、EWS上または弊社でNECフォーマットに変換するインタフェースも行っております。

お客様が回路図を作成する場合には、弊社での作業をスムーズに行うため、次の点に注意して回路図を作成してください。

D. 1. 1 論理シンボル

論理シンボルは、原則としてブロック・ライブラリ^註に記載されているシンボル図を利用してください。ただし、EWS上のライブラリとブロック・ライブラリ^註に相違がある場合は、EWS上の形状に従ってください。

注 CMOS-9HD Family, EA-9HD Family Block Library (A13052J)

D. 1. 2 ブロック名（機能名）の記入

入力バッファなどは名称が違うだけで論理シンボルがまったく同じ場合がありますので、必ずブロック名を記入してください。特に入出力バッファは、インタフェース・レベルが異なるだけなので、シミュレーション結果からインタフェース・レベルは判断できません。そのため、ブロック名は分かりやすく記入するようにお願いします。

なお、EWSのライブラリにはあらかじめブロック名が表示されていますので、EWSで作図される場合は、記入は不要です。

D. 1. 3 端子名の記入（ブロックの入力／出力端子名）

ブロックの入力／出力端子名は、それぞれ順にH01, H02.../N01, N02, ...となっていますが、入力／出力端子が2つ以上あるブロックの場合にはできるだけ端子名を記述してください。

なお、EWSのライブラリには、特別の場合を除き、あらかじめ端子名が表示されています。端子名が表示されている場合、端子名の記入は不要です。詳細は、各EWSのインタフェース・マニュアルの指示に従ってください。

D. 1. 4 ゲート名の記入（各ブロックの固有名）

回路図中に記入された各ブロックには、それぞれ固有のゲート名を記入してください。ゲート名は必ず255文字以下の英数字で命名し、ほかのゲート名や端子名と重複しない名称にしてください。

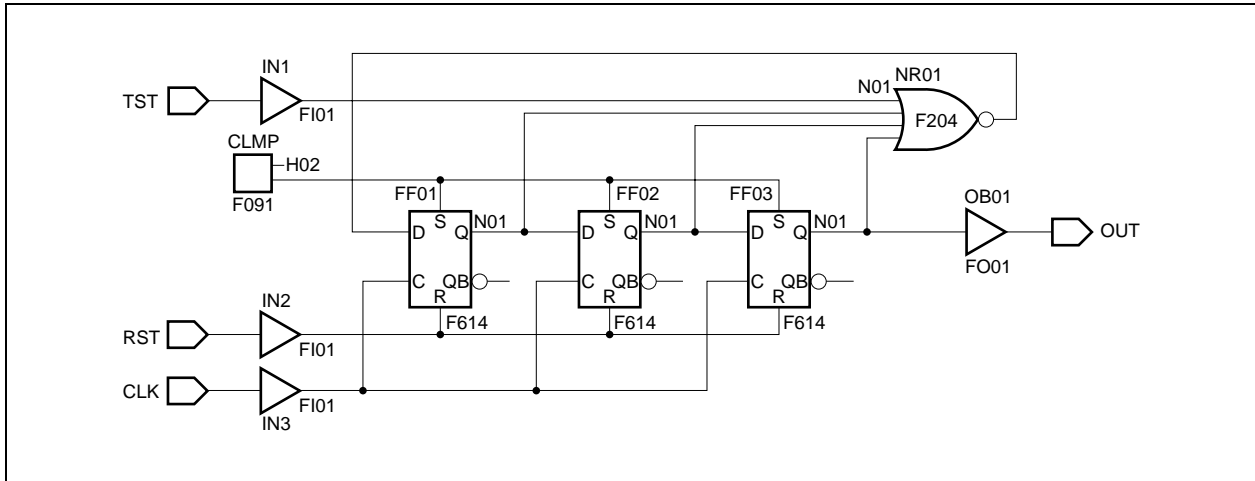
なお、EWSで作図される場合は、使用されるシステムにより命名規則に特例があります。詳細は、各EWSのインタフェース・マニュアルの指示に従ってください。

D. 1.5 入出力端子の記述

LSIの入力/出力端子には,64文字以下の英数字の端子名を付けてください。また,端子名はゲート名などと重複しない名称にしてください。

なお,EWSで作図される場合は,使用されるシステムにより命名規則に特例があるときがあります。詳細は各EWSのインタフェース・マニュアルの指示に従ってください。

図D - 1 回路図の例



(1) 入力端子の記述

入力端子の端子名は,64文字以下の英数字で記述します。

また,入力端子に不定およびハイ・インピーダンスを入力することはできません。

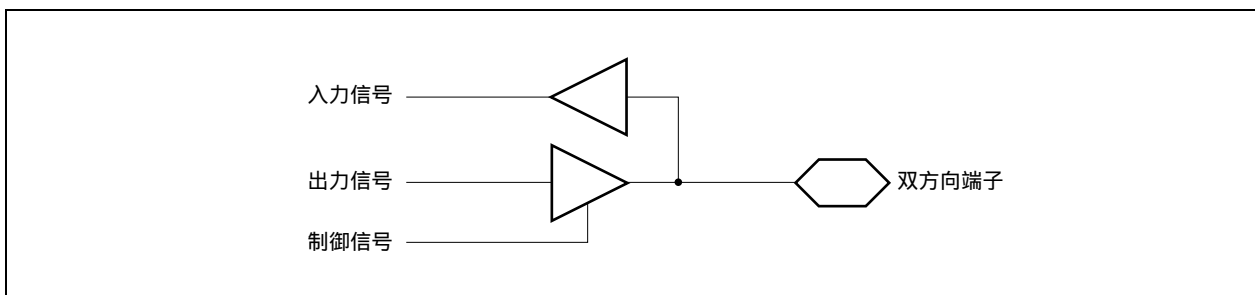
これは,LSIテストでテストする際,そのつど測定条件が変わり測定することができないためです。さらに,プルアップ/プルダウン抵抗内蔵の入力バッファや双方向バッファにおいても入力端子に不定およびハイ・インピーダンスを入力することはできません。

もし不定やハイ・インピーダンスをテスト・パターンとして入力すると,シミュレーション実行時にエラーが発生します。

(2) 双方向端子の記述

双方向バッファなど入力と出力を1つの端子から行う場合,双方向端子を使用して記述してください。端子名は必ず64文字以下の英数字で記述します。

図D - 2 双方向端子の記述例



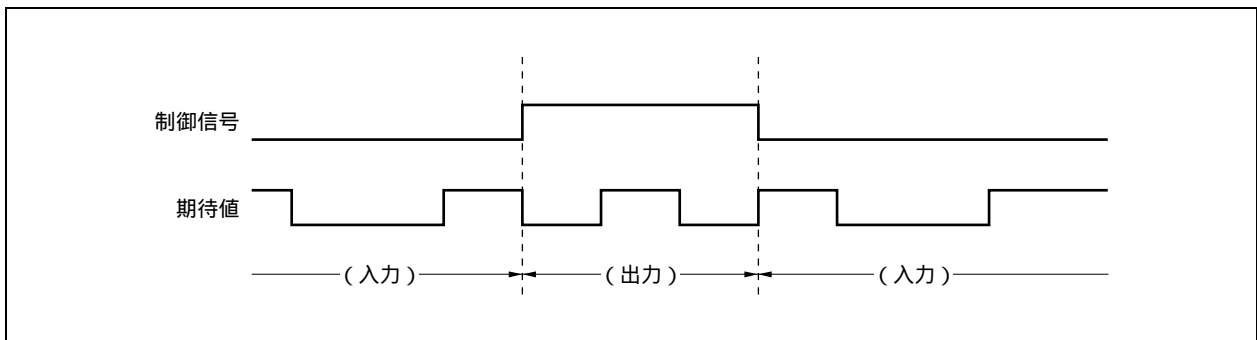
双方向端子のテスト・パターンは，次の点に注意して作成してください。

出力モードから入力モードへの切り替え時には，入力と出力の信号は同じにしてください。

制御信号を不定状態にしないでください。制御信号が不定状態になると入力信号へ不定が伝達され，シミュレーションでエラーが発生します。

また，入力モードから出力モードへ切り替える際，制御信号の遅延時間により入力信号に不定が伝達され，シミュレーションでエラーが発生することがあります。入力モードから出力モードへ切り替え時には，入力信号に不定が伝達されない回路構成にしてください。

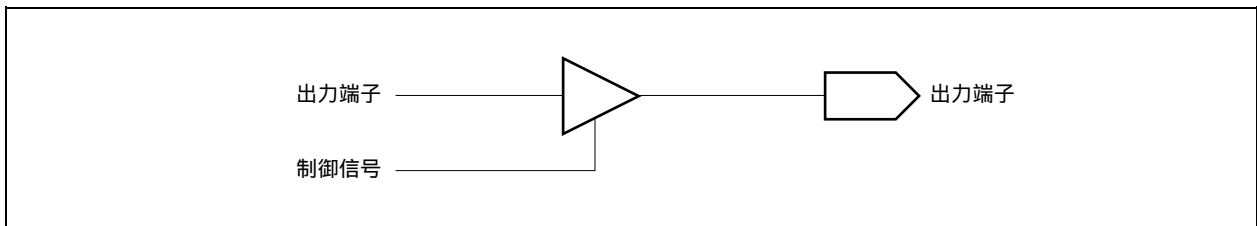
図D - 3 双方向端子のテスト・パターン作成例



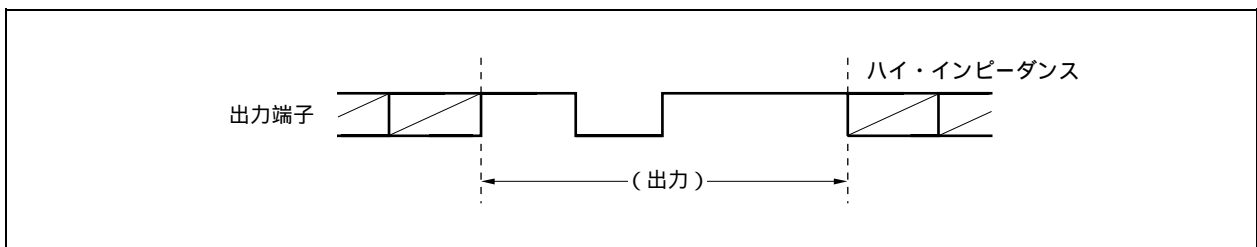
(3) 3ステート出力端子の記述

3ステート出力端子の記述は，以下の例に示すようにしてください。端子名は必ず64文字以下の英数字で記述します。

図D - 4 3ステート出力端子記述例



図D - 5 3ステート出力端子のテスト・パターン作成例



D.2 マクロの取り扱い

大規模な回路の論理設計では、システム内部のブロック化設計や設計工数の分散などのために、階層設計手法を用いて設計することが多くなっています。

階層設計とは、あらかじめ共通に使用される単位機能をマクロ（ユーザ・マクロ）化しておき、個々のLSI設計においてこれらのマクロを接続し、目的の機能を達成する設計手法です。特に大規模回路の設計では、回路をいくつかのブロックに分け、その内部を階層設計するとともに、これらブロックの組み合わせで全体を構成することが普通です。

EWSなどにおいて、ユーザ・マクロを使用して階層設計される場合には、以下の点にご注意ください（図D-6参照）。

各階層の機能は、まとまった1つの論理動作を行うよう設計してください。

最上位階層で、全体の構成、信号の流れが理解できるよう設計してください。

（最上位階層は、1ページ内に描画することをお勧めします。）

閉ループを構成する回路は、できるだけ同一マクロ内に収まるよう設計してください。

入力クランプは、別ページで行わないでください。

クロック・ラインの流れに注意し、ページ間の遅延差が構成の基本原則から外れないよう注意してください。

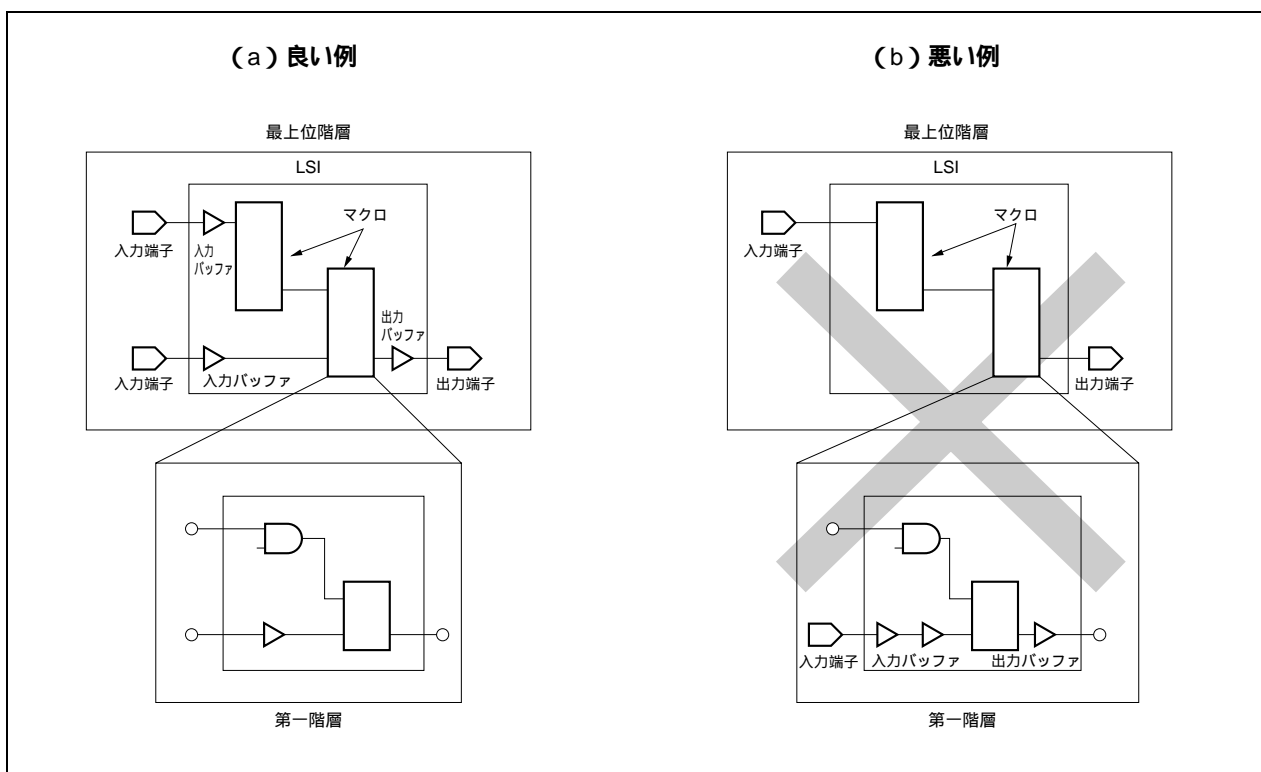
マクロ機能（最下位階層）はそれ自体、単独で1つの機能を持つよう設計してください。

信号線のみ（通過のみ）の記述は避けてください。

LSI外部からの入出力は、必ず最上位階層を介して行ってください。最上位階層以外の下位マクロから直接外部へ入出力端子を接続することは避けてください。

入力、出力、双方向バッファは、できるだけマクロに含まないように記述してください。

図D-6 マクロの取り扱い



D.3 タイミング・チャートの書き方

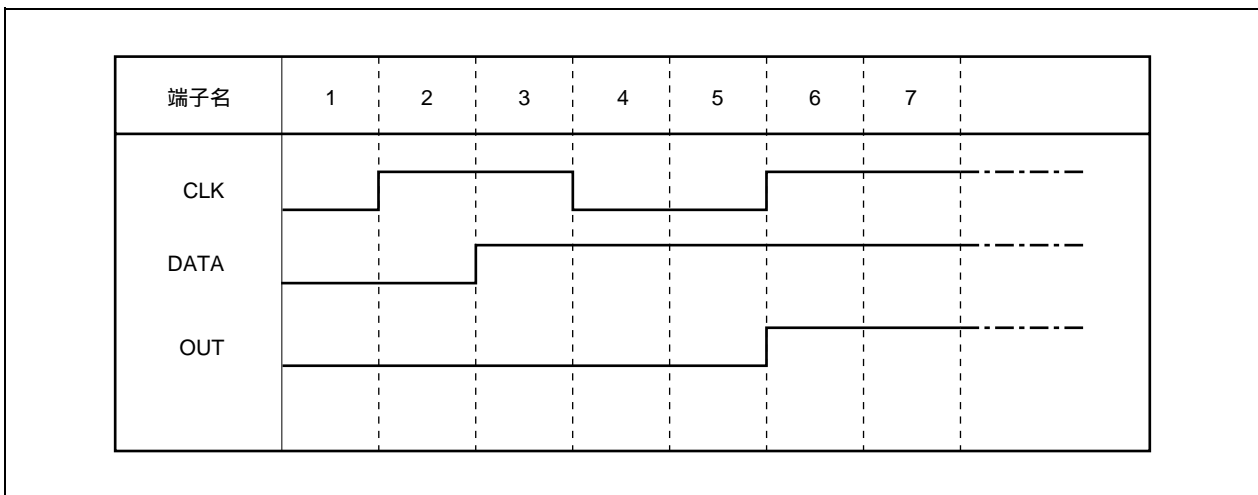
お客様が作成するテスト・パターンをタイミング・チャートとして弊社に引き渡す場合、またお客様が直接テスト・パターンを作成される場合は、次の2点に注意して作成してください。

(1) 記入の仕方

全入出力端子は端子名称を縦方向に記述し、そのおののについて各パターンごとに入力端子には“1”または“0”のパターンを記入し、出力端子にはその期待値を記入してください。テスト・パターンには、必ず1から順番に連続した番号を付けてください。

タイミング・チャートの記入例を図D-7に示します。

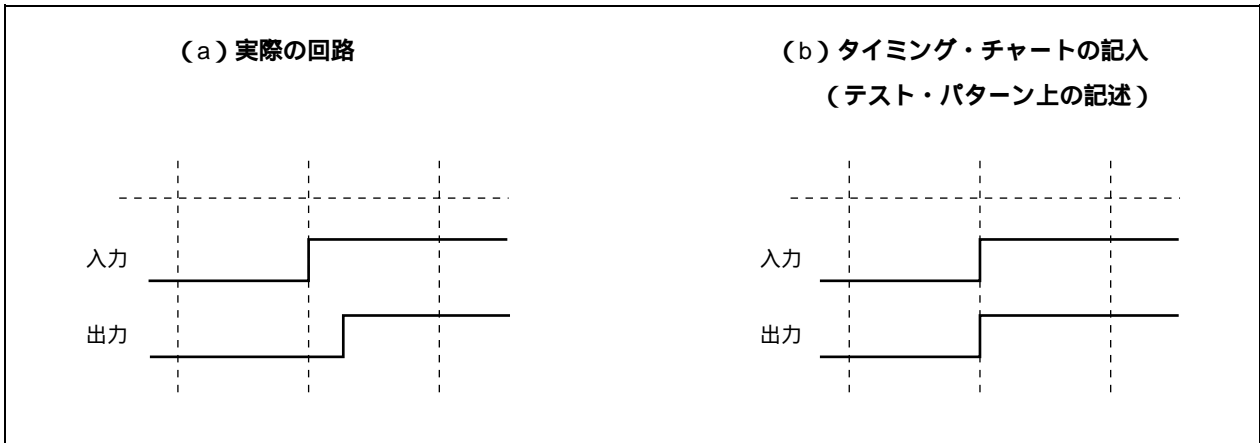
図D-7 タイミング・チャートの記入例



(2) タイミングのズレ

実際の回路では入力パターンが印加されてから出力が変化するので、タイミング上では図D-8(a)のように入力と出力の間には遅延時間があります。しかし、テスト・パターンを作成するときには、図D-8(b)のように入力と出力の間の遅延時間を無視して、すべてが同じタイミングで動作するように作成してください。

図D-8 タイミング・チャートの例



記入例

	モードNo.	指定端子	出力負荷 (pF)	パターン番号	遅延時間 (ns)		判定
					MIN	MAX	
1	1	IN1 OUT2	15	131	13	50	
2							
3							
4							
5							
6							

付録 E ブロッキー一覧表

E. 1 Interface Block

E. 1. 1 3.3 V Interface

Function	Block	Description	Cells (I/O)
Input Buffer	FI01	-	7 (1)
	FID1	50 k Ω Pull-down	7 (1)
	FIU1	50 k Ω Pull-up	7 (1)
	FIW1	5 k Ω Pull-up	7 (1)
	FIS1	Schmitt	11 (1)
	FDS1	Schmitt 50 k Ω Pull-down	11 (1)
	FUS1	Schmitt 50 k Ω Pull-up	11 (1)
	FWS1	Schmitt 5 k Ω Pull-up	11 (1)
	FIB1	Clock Driver	56 (1)
	FDB1	Clock Driver 50 k Ω Pull-down	56 (1)
	FUB1	Clock Driver 50 k Ω Pull-up	56 (1)
	FWB1	Clock Driver 5 k Ω Pull-up	56 (1)
Input Buffer with Failsafe	FIA1	-	7 (1)
	FDA1	50 k Ω Pull-down	7 (1)
	FIE1	Schmitt	11 (1)
	FDE1	Schmitt 50 k Ω Pull-down	11 (1)
	FIH1	Clock Driver	56 (1)
	FDH1	Clock Driver 50 k Ω Pull-down	56 (1)
Input Buffer with EN (AND)	FN11	-	8 (1)
	FN21	50 k Ω Pull-down	8 (1)
Input Buffer with EN (OR)	FN13	-	8 (1)
	FN23	50 k Ω Pull-down	8 (1)
Output Buffer	FO09	3 mA	8 (1)
	FO04	6 mA	8 (1)
	FO01	9 mA	8 (1)
	FO02	12 mA	8 (1)
	FO03	18 mA	18 (1)
	FO06	24 mA	18 (1)
Low-noise Output Buffer	FE04	6 mA	10 (1)
	FE01	9 mA	10 (1)
	FE02	12 mA	10 (1)
	FE03	18 mA	10 (1)
	FE06	24 mA	10 (1)

Function	Block	Description	Cells (I/O)
3-State Buffer	B00T	3 mA	18 (1)
	B0DT	3 mA 50 kΩ Pull-down	18 (1)
	B0UT	3 mA 50 kΩ Pull-up	18 (1)
	B0WT	3 mA 5 kΩ Pull-up	18 (1)
	B00E	6 mA	18 (1)
	B0DE	6 mA 50 kΩ Pull-down	18 (1)
	B0UE	6 mA 50 kΩ Pull-up	18 (1)
	B0WE	6 mA 5 kΩ Pull-up	18 (1)
	B008	9 mA	18 (1)
	B0D8	9 mA 50 kΩ Pull-down	18 (1)
	B0U8	9 mA 50 kΩ Pull-up	18 (1)
	B0W8	9 mA 5 kΩ Pull-up	18 (1)
	B007	12 mA	18 (1)
	B0D7	12 mA 50 kΩ Pull-down	18 (1)
	B0U7	12 mA 50 kΩ Pull-up	18 (1)
	B0W7	12 mA 5 kΩ Pull-up	18 (1)
	B009	18 mA	20 (1)
	B0D9	18 mA 50 kΩ Pull-down	20 (1)
	B0U9	18 mA 50 kΩ Pull-up	20 (1)
	B0W9	18 mA 5 kΩ Pull-up	20 (1)
B00H	24 mA	20 (1)	
B0DH	24 mA 50 kΩ Pull-down	20 (1)	
B0UH	24 mA 50 kΩ Pull-up	20 (1)	
B0WH	24 mA 5 kΩ Pull-up	20 (1)	
Low-noise 3-State Buffer	BE0E	6 mA	11 (1)
	BEDE	6 mA 50 kΩ Pull-down	11 (1)
	BEUE	6 mA 50 kΩ Pull-up	11 (1)
	BEWE	6 mA 5 kΩ Pull-up	11 (1)
	BE08	9 mA	11 (1)
	BED8	9 mA 50 kΩ Pull-down	11 (1)
	BEU8	9 mA 50 kΩ Pull-up	11 (1)
	BEW8	9 mA 5 kΩ Pull-up	11 (1)
	BE07	12 mA	11 (1)
	BED7	12 mA 50 kΩ Pull-down	11 (1)
	BEU7	12 mA 50 kΩ Pull-up	11 (1)
	BEW7	12 mA 5 kΩ Pull-up	11 (1)
	BE09	18 mA	11 (1)
	BED9	18 mA 50 kΩ Pull-down	11 (1)
	BEU9	18 mA 50 kΩ Pull-up	11 (1)
	BEW9	18 mA 5 kΩ Pull-up	11 (1)
	BE0H	24 mA	11 (1)
	BEDH	24 mA 50 kΩ Pull-down	11 (1)
	BEUH	24 mA 50 kΩ Pull-up	11 (1)
	BEWH	24 mA 5 kΩ Pull-up	11 (1)

Function	Block	Description	Cells (I/O)
N-ch Open drain Buffer	EXTH	3 mA	8 (1)
	EXUH	3 mA 50 kΩ Pull-up	8 (1)
	EXWH	3 mA 5 kΩ Pull-up	8 (1)
	EXTJ	6 mA	8 (1)
	EXUJ	6 mA 50 kΩ Pull-up	8 (1)
	EXWJ	6 mA 5 kΩ Pull-up	8 (1)
	EXT1	9 mA	8 (1)
	EXT3	9 mA 50 kΩ Pull-up	8 (1)
	EXW3	9 mA 5 kΩ Pull-up	8 (1)
	EXT9	12 mA	8 (1)
	EXTB	12 mA 50 kΩ Pull-up	8 (1)
	EXWB	12 mA 5 kΩ Pull-up	8 (1)
	EXT5	18 mA	18 (1)
	EXT7	18 mA 50 kΩ Pull-up	18 (1)
	EXW7	18 mA 5 kΩ Pull-up	18 (1)
	EXTD	24 mA	18 (1)
	EXTF	24 mA 50 kΩ Pull-up	18 (1)
	EXWF	24 mA 5 kΩ Pull-up	18 (1)
Low-noise N-ch Open drain Buffer	EETJ	6 mA	5 (1)
	EEUJ	6 mA 50 kΩ Pull-up	5 (1)
	EEWJ	6 mA 5 kΩ Pull-up	5 (1)
	EET1	9 mA	5 (1)
	EET3	9 mA 50 kΩ Pull-up	5 (1)
	EEW3	9 mA 5KΩ Pull-up	5 (1)
	EET9	12 mA	5 (1)
	EETB	12 mA 50 kΩ Pull-up	5 (1)
	EEWB	12 mA 5 kΩ Pull-up	5 (1)
	EET5	18 mA	5 (1)
	EET7	18 mA 50 kΩ Pull-up	5 (1)
	EEW7	18 mA 5 kΩ Pull-up	5 (1)
	EETD	24 mA	5 (1)
	EETF	24 mA 50 kΩ Pull-up	5 (1)
	EEWF	24 mA 5 kΩ Pull-up	5 (1)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)	
I/O Buffer	B00U	3 mA	25 (1)	
	B0DU	3 mA 50 kΩ Pull-down	25 (1)	
	B0UU	3 mA 50 kΩ Pull-up	25 (1)	
	B0WU	3 mA 5 kΩ Pull-up	25 (1)	
	B00C	6 mA	25 (1)	
	B0DC	6 mA 50 kΩ Pull-down	25 (1)	
	B0UC	6 mA 50 kΩ Pull-up	25 (1)	
	B0WC	6 mA 5 kΩ Pull-up	25 (1)	
	B003	9 mA	25 (1)	
	B0D3	9 mA 50 kΩ Pull-down	25 (1)	
	B0U3	9 mA 50 kΩ Pull-up	25 (1)	
	B0W3	9 mA 5 kΩ Pull-up	25 (1)	
	B001	12 mA	25 (1)	
	B0D1	12 mA 50 kΩ Pull-down	25 (1)	
	B0U1	12 mA 50 kΩ Pull-up	25 (1)	
	B0W1	12 mA 5 kΩ Pull-up	25 (1)	
	B005	18 mA	27 (1)	
	B0D5	18 mA 50 kΩ Pull-down	27 (1)	
	B0U5	18 mA 50 kΩ Pull-up	27 (1)	
	B0W5	18 mA 5 kΩ Pull-up	27 (1)	
	B00F	24 mA	27 (1)	
	B0DF	24 mA 50 kΩ Pull-down	27 (1)	
	B0UF	24 mA 50 kΩ Pull-up	27 (1)	
	B0WF	24 mA 5 kΩ Pull-up	27 (1)	
	Low-noise I/O Buffer	BE0C	6 mA	18 (1)
		BEDC	6 mA 50 kΩ Pull-down	18 (1)
		BEUC	6 mA 50 kΩ Pull-up	18 (1)
		BEWC	6 mA 5 kΩ Pull-up	18 (1)
BE03		9 mA	18 (1)	
BED3		9 mA 50 kΩ Pull-down	18 (1)	
BEU3		9 mA 50 kΩ Pull-up	18 (1)	
BEW3		9 mA 5 kΩ Pull-up	18 (1)	
BE01		12 mA	18 (1)	
BED1		12 mA 50 kΩ Pull-down	18 (1)	
BEU1		12 mA 50 kΩ Pull-up	18 (1)	
BEW1		12 mA 5 kΩ Pull-up	18 (1)	
BE05		18 mA	18 (1)	
BED5		18 mA 50 kΩ Pull-down	18 (1)	
BEU5		18 mA 50 kΩ Pull-up	18 (1)	
BEW5		18 mA 5 kΩ Pull-up	18 (1)	
BE0F		24 mA	18 (1)	
BEDF		24 mA 50 kΩ Pull-down	18 (1)	
BEUF		24 mA 50 kΩ Pull-up	18 (1)	
BEWF		24 mA 5 kΩ Pull-up	18 (1)	

Function	Block	Description	Cells (I/O)
Schmitt I/O Buffer	BSIU	3 mA	29 (1)
	BSDU	3 mA 50 kΩ Pull-down	29 (1)
	BSUU	3 mA 50 kΩ Pull-up	29 (1)
	BSWU	3 mA 5 kΩ Pull-up	29 (1)
	BSIC	6 mA	29 (1)
	BSDC	6 mA 50 kΩ Pull-down	29 (1)
	BSUC	6 mA 50 kΩ Pull-up	29 (1)
	BSWC	6 mA 5 kΩ Pull-up	29 (1)
	BSI3	9 mA	29 (1)
	BSD3	9 mA 50 kΩ Pull-down	29 (1)
	BSU3	9 mA 50 kΩ Pull-up	29 (1)
	BSW3	9 mA 5 kΩ Pull-up	29 (1)
	BSI1	12 mA	29 (1)
	BSD1	12 mA 50 kΩ Pull-down	29 (1)
	BSU1	12 mA 50 kΩ Pull-up	29 (1)
	BSW1	12 mA 5 kΩ Pull-up	29 (1)
	BSI5	18 mA	31 (1)
	BSD5	18 mA 50 kΩ Pull-down	31 (1)
	BSU5	18 mA 50 kΩ Pull-up	31 (1)
	BSW5	18 mA 5 kΩ Pull-up	31 (1)
	BSIF	24 mA	31 (1)
	BSDF	24 mA 50 kΩ Pull-down	31 (1)
	BSUF	24 mA 50 kΩ Pull-up	31 (1)
	BSWF	24 mA 5 kΩ Pull-up	31 (1)
Low-noise Schmitt I/O Buffer	BFIC	6 mA	22 (1)
	BFDC	6 mA 50 kΩ Pull-down	22 (1)
	BFUC	6 mA 50 kΩ Pull-up	22 (1)
	BFWC	6 mA 5 kΩ Pull-up	22 (1)
	BFI3	9 mA	22 (1)
	BFD3	9 mA 50 kΩ Pull-down	22 (1)
	BFU3	9 mA 50 kΩ Pull-up	22 (1)
	BFW3	9 mA 5 kΩ Pull-up	22 (1)
	BFI1	12 mA	22 (1)
	BFD1	12 mA 50 kΩ Pull-down	22 (1)
	BFU1	12 mA 50 kΩ Pull-up	22 (1)
	BFW1	12 mA 5 kΩ Pull-up	22 (1)
	BFI5	18 mA	22 (1)
	BFD5	18 mA 50 kΩ Pull-down	22 (1)
	BFU5	18 mA 50 kΩ Pull-up	22 (1)
	BFW5	18 mA 5 kΩ Pull-up	22 (1)
	BFIF	24 mA	22 (1)
	BFDF	24 mA 50 kΩ Pull-down	22 (1)
BFUF	24 mA 50 kΩ Pull-up	22 (1)	
BFWF	24 mA 5 kΩ Pull-up	22 (1)	

Function	Block	Description	Cells (I/O)
I/O Buffer with EN (AND)	BN2U	3 mA	26 (1)
	BN4U	3 mA 50 kΩ Pull-down	26 (1)
	BN2C	6 mA	26 (1)
	BN4C	6 mA 50 kΩ Pull-down	26 (1)
	BN23	9 mA	26 (1)
	BN43	9 mA 50 kΩ Pull-down	26 (1)
	BN21	12 mA	26 (1)
	BN41	12 mA 50 kΩ Pull-down	26 (1)
	BN25	18 mA	28 (1)
	BN45	18 mA 50 kΩ Pull-down	28 (1)
	BN2F	24 mA	28 (1)
	BN4F	24 mA 50 kΩ Pull-down	28 (1)
	I/O Buffer with EN (OR)	BN3U	3 mA
BN5U		3 mA 50 kΩ Pull-down	26 (1)
BN3C		6 mA	26 (1)
BN5C		6 mA 50 kΩ Pull-down	26 (1)
BN33		9 mA	26 (1)
BN53		9 mA 50 kΩ Pull-down	26 (1)
BN31		12 mA	26 (1)
BN51		12 mA 50 kΩ Pull-down	26 (1)
BN35		18 mA	28 (1)
BN55		18 mA 50 kΩ Pull-down	28 (1)
BN3F		24 mA	28 (1)
BN5F		24 mA 50 kΩ Pull-down	28 (1)

E. 1.2 5 V Interface

Function	Block	Description	Cells (I/O)
Input Buffer	FIV1	-	7 (1)
	FDV1	50 kΩ Pull-down	7 (1)
	FIF1	Schmitt	11 (1)
	FDF1	Schmitt 50 kΩ Pull-down	11 (1)
	FIG1	Clock Driver	56 (1)
	FDG1	Clock Driver 50 kΩ Pull-down	56 (1)
Input Buffer with EN (AND)	FN1135	-	8 (1)
	FN2135	50 kΩ Pull-down	8 (1)
Input Buffer with EN (OR)	FN1335	-	8 (1)
	FN2335	50 kΩ Pull-down	8 (1)

Function		Block	Description	Cells (I/O)
CMOS Level	Output Buffer	FY09	3 mA	26 (1)
		FY04	6 mA	26 (1)
		FY01	9 mA	28 (1)
		FY02	12 mA	28 (1)
		FY03	18 mA	28 (1)
		FY06	24 mA	28 (1)
	Low-noise Output Buffer	FZ02	12 mA	28 (1)
		FZ03	18 mA	28 (1)
		FZ06	24 mA	28 (1)
	3-State Buffer	BD0T	3 mA	45 (1)
		BD0E	6 mA	45 (1)
		BD08	9 mA	47 (1)
		BD07	12 mA	47 (1)
		BD09	18 mA	47 (1)
		BD0H	24 mA	47 (1)
	Low-noise 3-State Buffer	BJ07	12 mA	40 (1)
		BJ09	18 mA	40 (1)
		BJ0H	24 mA	40 (1)
	I/O Buffer	BM0U	3 mA	52 (1)
		BM0C	6 mA	52 (1)
		BM03	9 mA	54 (1)
		BM01	12 mA	54 (1)
		BM05	18 mA	54 (1)
		BM0F	24 mA	54 (1)
	Low-noise I/O Buffer	BP01	12 mA	47 (1)
		BP05	18 mA	47 (1)
		BP0F	24 mA	47 (1)
	Schmitt I/O Buffer	BQIU	3 mA	56 (1)
		BQIC	6 mA	56 (1)
		BQI3	9 mA	58 (1)
		BQI1	12 mA	58 (1)
		BQI5	18 mA	58 (1)
		BQIF	24 mA	58 (1)
	Low-noise Schmitt I/O Buffer	BUI1	12 mA	51 (1)
		BUI5	18 mA	51 (1)
		BUIF	24 mA	51 (1)
	I/O Buffer with EN (AND)	BNXU35	3 mA	53 (1)
		BNXC35	6 mA	53 (1)
		BNX335	9 mA	55 (1)
		BNX135	12 mA	55 (1)
		BNX535	18 mA	55 (1)
		BNXF35	24 mA	55 (1)
I/O Buffer with EN (OR)	BNMU35	3 mA	53 (1)	
	BNMC35	6 mA	53 (1)	
	BNM335	9 mA	55 (1)	
	BNM135	12 mA	55 (1)	
	BNM535	18 mA	55 (1)	
	BNMF35	24 mA	55 (1)	

Function		Block	Description	Cells (I/O)
TTL Level	Output Buffer	FV0A	1 mA	8 (1)
		FV0B	2 mA	8 (1)
		FV09	3 mA	8 (1)
		FV04	6 mA	8 (1)
		FV01	9 mA	18 (1)
		FV02	12 mA	18 (1)
		FV03	18 mA	18 (1)
		FV06	24 mA	18 (1)
	Low-noise Output Buffer	FW02	12 mA	10 (1)
		FW03	18 mA	10 (1)
		FW06	24 mA	10 (1)
	3-State Buffer	BV0Q	1 mA	40 (1)
		BVDQ	1 mA 50 kΩ Pull-down	40 (1)
		BV0M	2 mA	40 (1)
		BVDM	2 mA 50 kΩ Pull-down	40 (1)
		BV0T	3 mA	40 (1)
		BVDT	3 mA 50 kΩ Pull-down	40 (1)
		BV0E	6 mA	40 (1)
		BVDE	6 mA 50 kΩ Pull-down	40 (1)
		BV08	9 mA	42 (1)
		BVD8	9 mA 50 kΩ Pull-down	42 (1)
		BV07	12 mA	42 (1)
		BVD7	12 mA 50 kΩ Pull-down	42 (1)
		BV09	18 mA	42 (1)
		BVD9	18 mA 50 kΩ Pull-down	42 (1)
		BV0H	24 mA	42 (1)
		BVDH	24 mA 50 kΩ Pull-down	42 (1)
	Low-noise 3-State Buffer	BY07	12 mA	28 (1)
		BYD7	12 mA 50 kΩ Pull-down	28 (1)
		BY09	18 mA	28 (1)
		BYD9	18 mA 50 kΩ Pull-down	28 (1)
		BY0H	24 mA	28 (1)
		BYDH	24 mA 50 kΩ Pull-down	28 (1)
	N-ch Open drain Buffer	EVTT	1 mA	8 (1)
		EVTK	2 mA	8 (1)
		EVTH	3 mA	8 (1)
		EVTJ	6 mA	8 (1)
		EVT1	9 mA	18 (1)
		EVT9	12 mA	18 (1)
		EVT5	18 mA	18 (1)
		EVTD	24 mA	18 (1)
	Low-noise N-ch Open drain Buffer	EYT9	12 mA	5 (1)
		EYT5	18 mA	5 (1)
		EYTD	24 mA	5 (1)

Function		Block	Description	Cells (I/O)	
TTL Level	I/O Buffer	BW0X	1 mA	47 (1)	
		BWDX	1 mA 50 kΩ Pull-down	47 (1)	
		BW0K	2 mA	47 (1)	
		BWDK	2 mA 50 kΩ Pull-down	47 (1)	
		BW0U	3 mA	47 (1)	
		BWDU	3 mA 50 kΩ Pull-down	47 (1)	
		BW0C	6 mA	47 (1)	
		BWDC	6 mA 50 kΩ Pull-down	47 (1)	
		BW03	9 mA	49 (1)	
		BWD3	9 mA 50 kΩ Pull-down	49 (1)	
		BW01	12 mA	49 (1)	
		BWD1	12 mA 50 kΩ Pull-down	49 (1)	
		BW05	18 mA	49 (1)	
		BWD5	18 mA 50 kΩ Pull-down	49 (1)	
		BW0F	24 mA	49 (1)	
	BWDF	24 mA 50 kΩ Pull-down	49 (1)		
	Low-noise I/O Buffer	BX01	12 mA	35 (1)	
		BXD1	12 mA 50 kΩ Pull-down	35 (1)	
		BX05	18 mA	35 (1)	
		BXD5	18 mA 50 kΩ Pull-down	35 (1)	
		BX0F	24 mA	35 (1)	
		BXDF	24 mA 50 kΩ Pull-down	35 (1)	
	Schmitt I/O Buffer	BKIX	1 mA	51 (1)	
		BKDX	1 mA 50 kΩ Pull-down	51 (1)	
		BKIK	2 mA	51 (1)	
		BKDK	2 mA 50 kΩ Pull-down	51 (1)	
		BKIU	3 mA	51 (1)	
		BKDU	3 mA 50 kΩ Pull-down	51 (1)	
		BKIC	6 mA	51 (1)	
		BKDC	6 mA 50 kΩ Pull-down	51 (1)	
		BKI3	9 mA	53 (1)	
		BKD3	9 mA 50 kΩ Pull-down	53 (1)	
		BKI1	12 mA	53 (1)	
		BKD1	12 mA 50 kΩ Pull-down	53 (1)	
		BKI5	18 mA	53 (1)	
		BKD5	18 mA 50 kΩ Pull-down	53 (1)	
		BKIF	24 mA	53 (1)	
		BKDF	24 mA 50 kΩ Pull-down	53 (1)	
		Low-noise Schmitt I/O Buffer	BZI1	12 mA	39 (1)
			BZD1	12 mA 50 kΩ Pull-down	39 (1)
	BZI5		18 mA	39 (1)	
	BZD5		18 mA 50 kΩ Pull-down	39 (1)	
	BZIF		24 mA	39 (1)	
	BZDF		24 mA 50 kΩ Pull-down	39 (1)	

Function		Block	Description	Cells (I/O)
TTL Level	I/O Buffer with EN (AND)	BNXV35	3 mA	48 (1)
		BNYV35	3 mA 50 kΩ Pull-down	48 (1)
		BNXD35	6 mA	48 (1)
		BNYD35	6 mA 50 kΩ Pull-down	48 (1)
		BNX435	9 mA	50 (1)
		BNY435	9 mA 50 kΩ Pull-down	50 (1)
		BNX235	12 mA	50 (1)
		BNY235	12 mA 50 kΩ Pull-down	50 (1)
		BNX635	18 mA	50 (1)
		BNY635	18 mA 50 kΩ Pull-down	50 (1)
		BNXG35	24 mA	50 (1)
		BNYG35	24 mA 50 kΩ Pull-down	50 (1)
	I/O Buffer with EN (OR)	BNMV35	3 mA	48 (1)
		BNVV35	3 mA 50 kΩ Pull-down	48 (1)
		BNMD35	6 mA	48 (1)
		BNVD35	6 mA 50 kΩ Pull-down	48 (1)
		BNM435	9 mA	50 (1)
		BNV435	9 mA 50 kΩ Pull-down	50 (1)
		BNM235	12 mA	50 (1)
		BNV235	12 mA 50 kΩ Pull-down	50 (1)
		BNM635	18 mA	50 (1)
		BNV635	18 mA 50 kΩ Pull-down	50 (1)
		BNMG35	24 mA	50 (1)
		BNVG35	24 mA 50 kΩ Pull-down	50 (1)

E. 1.3 5 V Full-Swing

Function		Block	Description	Cells (I/O)
CMOS Level	Input Buffer	FIV1AL	-	7 (1)
		FDV1AL	50 kΩ Pull-down	7 (1)
		FUV1AL	50 kΩ Pull-up	7 (1)
		FWV1AL	5 kΩ Pull-up	7 (1)
		FIF1AL	Schmitt	7 (1)
		FDF1AL	Schmitt, 50 kΩ Pull-down	7 (1)
		FUF1AL	Schmitt, 50 kΩ Pull-up	7 (1)
		FWF1AL	Schmitt, 5 kΩ Pull-up	7 (1)
	Input Buffer with Failsafe	FIC1AL	-	7 (1)
		FDC1AL	50 kΩ Pull-down	7 (1)
		FII1AL	Schmitt	7 (1)
		FDI1AL	Schmitt, 50 kΩ Pull-down	7 (1)
	Input Buffer with CTL (OR)	FIVAAL	-	7 (1)
	Input Buffer with Failsafe, CTL (OR)	FICAAL	-	7 (1)
		FDCAAL	(OR) FDCAAL 50 kΩ Pull-down	7 (1)

Function		Block	Description	Cells (I/O)
CMOS Level	Output Buffer	FV0AAL	1 mA	8 (1)
		FV0BAL	2 mA	8 (1)
		FV09AL	3 mA	8 (1)
		FV04AL	6 mA	8 (1)
		FV01AL	9 mA	8 (1)
		FV02AL	12 mA	8 (1)
		FV03AL	18 mA	8 (1)
	Output Buffer Low-noise	FW09AL	3 mA	8 (1)
		FW04AL	6 mA	8 (1)
		FW02AL	12 mA	8 (1)
		FW03AL	18 mA	8 (1)
	3-state Output Buffer	BV0QAL	1 mA	18 (1)
		BVDQAL	1 mA, 50 k Ω Pull-down	18 (1)
		BVUQAL	1 mA, 50 k Ω Pull-up	18 (1)
		BVWQAL	1 mA ^注 , 5 k Ω Pull-up	18 (1)
		BV0MAL	2 mA	18 (1)
		BVDMAL	2 mA, 50 k Ω Pull-down	18 (1)
		BVUMAL	2 mA, 50 k Ω Pull-up	18 (1)
		BVWMAL	2 mA ^注 , 5 k Ω Pull-up	18 (1)
		BVOTAL	3 mA	18 (1)
		BVDTAL	3 mA, 50 k Ω Pull-down	18 (1)
		BVUTAL	3 mA, 50 k Ω Pull-up	18 (1)
		BVWTAL	3 mA ^注 , 5 k Ω Pull-up	18 (1)
		BV0EAL	6 mA	18 (1)
		BVDEAL	6 mA, 50 k Ω Pull-down	18 (1)
		BVUEAL	6 mA, 50 k Ω Pull-up	18 (1)
		BVWEAL	6 mA, 5 k Ω Pull-up	18 (1)
		BV08AL	9 mA	18 (1)
		BVD8AL	9 mA, 50 k Ω Pull-down	18 (1)
		BVU8AL	9 mA, 50 k Ω Pull-up	18 (1)
		BVW8AL	9 mA, 5 k Ω Pull-up	18 (1)
		BV07AL	12 mA	18 (1)
		BVD7AL	12 mA, 50 k Ω Pull-down	18 (1)
		BVU7AL	12 mA, 50 k Ω Pull-up	18 (1)
		BVW7AL	12 mA, 5 k Ω Pull-up	18 (1)
		BV09AL	18 mA	18 (1)
BVD9AL		18 mA, 50 k Ω Pull-down	18 (1)	
BVU9AL		18 mA, 50 k Ω Pull-up	18 (1)	
BVW9AL		18 mA, 5 k Ω Pull-up	18 (1)	

注 プルアップ抵抗があるため、記載電流値が出力できません。

Function		Block	Description	Cells (I/O)	
CMOS Level	3-state Output Buffer, Low-noise	BY0TAL	3 mA	18 (1)	
		BYDTAL	3 mA, 50 kΩ Pull-down	18 (1)	
		BYUTAL	3 mA, 50 kΩ Pull-up	18 (1)	
		BYWTAL	3 mA ^注 , 5 kΩ Pull-up	18 (1)	
		BY0EAL	6 mA	18 (1)	
		BYDEAL	6 mA, 50 kΩ Pull-down	18 (1)	
		BYUEAL	6 mA, 50 kΩ Pull-up	18 (1)	
		BYWEAL	6 mA, 5 kΩ Pull-up	18 (1)	
		BY07AL	12 mA	18 (1)	
		BYD7AL	12 mA, 50 kΩ Pull-down	18 (1)	
		BYU7AL	12 mA, 50 kΩ Pull-up	18 (1)	
		BYW7AL	12 mA, 5 kΩ Pull-up	18 (1)	
		BY09AL	18 mA	18 (1)	
		BYD9AL	18 mA, 50 kΩ Pull-down	18 (1)	
		BYU9AL	18 mA, 50 kΩ Pull-up	18 (1)	
		BYW9AL	18 mA, 5 kΩ Pull-up	18 (1)	
		I/O Buffer	BW0XAL	1 mA	25 (1)
			BWDXAL	1 mA, 50 kΩ Pull-down	25 (1)
	BWUXAL		1 mA, 50 kΩ Pull-up	25 (1)	
	BWWXAL		1 mA ^注 , 5 kΩ Pull-up	25 (1)	
	BW0KAL		2 mA	25 (1)	
	BWDKAL		2 mA, 50 kΩ Pull-down	25 (1)	
	BWUKAL		2 mA, 50 kΩ Pull-up	25 (1)	
	BWWKAL		2 mA ^注 , 5 kΩ Pull-up	25 (1)	
	BW0UAL		3 mA	25 (1)	
	BWDUAL		3 mA, 50 kΩ Pull-down	25 (1)	
	BWUUAL		3 mA, 50 kΩ Pull-up	25 (1)	
	BWWUAL		3 mA ^注 , 5 kΩ Pull-up	25 (1)	
	BW0CAL		6 mA	25 (1)	
	BWDCAL		6 mA, 50 kΩ Pull-down	25 (1)	
	BWUCAL		6 mA, 50 kΩ Pull-up	25 (1)	
	BWWCAL		6 mA, 5 kΩ Pull-up	25 (1)	
	BW03AL	9 mA	25 (1)		
	BWD3AL	9 mA, 50 kΩ Pull-down	25 (1)		
BWU3AL	9 mA, 50 kΩ Pull-up	25 (1)			
BWW3AL	9 mA, 5 kΩ Pull-up	25 (1)			
BW01AL	12 mA	25 (1)			
BWD1AL	12 mA, 50 kΩ Pull-down	25 (1)			
BWU1AL	12 mA, 50 kΩ Pull-up	25 (1)			
BWW1AL	12 mA, 5 kΩ Pull-up	25 (1)			
BW05AL	18 mA	25 (1)			
BWD5AL	18 mA, 50 kΩ Pull-down	25 (1)			
BWU5AL	18 mA, 50 kΩ Pull-up	25 (1)			
BWW5AL	18 mA, 5 kΩ Pull-up	25 (1)			

注 プルアップ抵抗があるため、記載電流値が出力できません。

Function	Block	Description	Cells (I/O)	
CMOS Level	I/O Buffer Low-noise	BX01AL	12 mA	25 (1)
		BXD1AL	12 mA, 50 kΩ Pull-down	25 (1)
		BXU1AL	12 mA, 50 kΩ Pull-up	25 (1)
		BXW1AL	12 mA, 5 kΩ Pull-up	25 (1)
		BX05AL	18 mA	25 (1)
		BXD5AL	18 mA, 50 kΩ Pull-down	25 (1)
		BXU5AL	18 mA, 50 kΩ Pull-up	25 (1)
		BXW5AL	18 mA, 5 kΩ Pull-up	25 (1)
	I/O Buffer Schmitt in	BKIXAL	1 mA	25 (1)
		BKDXAL	1 mA, 50 kΩ Pull-down	25 (1)
		BKUXAL	1 mA, 50 kΩ Pull-up	25 (1)
		BKWXAL	1 mA ^注 , 5 kΩ Pull-up	25 (1)
		BKIKAL	2 mA	25 (1)
		BKDKAL	2 mA, 50 kΩ Pull-down	25 (1)
		BKUKAL	2 mA, 50 kΩ Pull-up	25 (1)
		BKWKAL	2 mA ^注 , 5 kΩ Pull-up	25 (1)
		BKIUAL	3 mA	25 (1)
		BKDUAL	3 mA, 50 kΩ Pull-down	25 (1)
		BKUUAL	3 mA, 50 kΩ Pull-up	25 (1)
		BKWUAL	3 mA ^注 , 5 kΩ Pull-up	25 (1)
		BKICAL	6 mA	25 (1)
		BKDCAL	6 mA, 50 kΩ Pull-down	25 (1)
		BKUCAL	6 mA, 50 kΩ Pull-up	25 (1)
		BKWCAL	6 mA, 5 kΩ Pull-up	25 (1)
		BKI3AL	9 mA	25 (1)
		BKD3AL	9 mA, 50 kΩ Pull-down	25 (1)
		BKU3AL	9 mA, 50 kΩ Pull-up	25 (1)
		BKW3AL	9 mA, 5 kΩ Pull-up	25 (1)
		BKI1AL	12 mA	25 (1)
		BKD1AL	12 mA, 50 kΩ Pull-down	25 (1)
		BKU1AL	12 mA, 50 kΩ Pull-up	25 (1)
		BKW1AL	12 mA, 5 kΩ Pull-up	25 (1)
		BKI5AL	18 mA	25 (1)
BKD5AL	18 mA, 50 kΩ Pull-down	25 (1)		
BKU5AL	18 mA, 50 kΩ Pull-up	25 (1)		
BKW5AL	18 mA, 5 kΩ Pull-up	25 (1)		
I/O Buffer Schmitt in, Low-noise	BZI1AL	12 mA	25 (1)	
	BZD1AL	12 mA, 50 kΩ Pull-down	25 (1)	
	BZU1AL	12 mA, 50 kΩ Pull-up	25 (1)	
	BZW1AL	12 mA, 5 kΩ Pull-up	25 (1)	
	BZI5AL	18 mA	25 (1)	
	BZD5AL	18 mA, 50 kΩ Pull-down	25 (1)	
	BZU5AL	18 mA, 50 kΩ Pull-up	25 (1)	
	BZW5AL	18 mA, 5 kΩ Pull-up	25 (1)	

注 プルアップ抵抗があるため、記載電流値が出力できません。

	Function	Block	Description	Cells (I/O)		
CMOS Level	I/O Buffer with CTL (OR)	B20XAL	1 mA	25 (1)		
		B20KAL	2 mA	25 (1)		
		B20UAL	3 mA	25 (1)		
		B20CAL	6 mA	25 (1)		
		B203AL	9 mA	25 (1)		
		B201AL	12 mA	25 (1)		
		B205AL	18 mA	25 (1)		
	N-ch Open Drain Output Buffer	EVTHAL	3 mA	8 (1)		
		EVUHAL	3 mA, 50 k Ω Pull-up	8 (1)		
		EVWHAL	3 mA ^注 , 5 k Ω Pull-up	8 (1)		
		EVTJAL	6 mA	8 (1)		
		EVUJAL	6 mA, 50 k Ω Pull-up	8 (1)		
		EVWJAL	6 mA, 5 k Ω Pull-up	8 (1)		
		EVT1AL	9 mA	8 (1)		
		EVT3AL	9 mA, 50 k Ω Pull-up	8 (1)		
		EVW3AL	9 mA, 5 k Ω Pull-up	8 (1)		
		EVT9AL	12 mA	8 (1)		
		EVTBAL	12 mA, 50 k Ω Pull-up	8 (1)		
		EVWBAL	12 mA, 5 k Ω Pull-up	8 (1)		
		EVT5AL	18 mA	8 (1)		
		EVT7AL	18 mA, 50 k Ω Pull-up	8 (1)		
		EVW7AL	18 mA, 5 k Ω Pull-up	8 (1)		
	N-ch Open Drain Output Buffer Low-noise	EYTJAL	6 mA	8 (1)		
		EYUJAL	6 mA, 50 k Ω Pull-up	8 (1)		
		EYWJAL	6 mA, 5 k Ω Pull-up	8 (1)		
		EYT1AL	9 mA	8 (1)		
		EYT3AL	9 mA, 50 k Ω Pull-up	8 (1)		
		EYW3AL	9 mA, 5 k Ω Pull-up	8 (1)		
		EYT9AL	12 mA	8 (1)		
		EYTBAL	12 mA, 50 k Ω Pull-up	8 (1)		
		EYWBAL	12 mA, 5 k Ω Pull-up	8 (1)		
		EYT5AL	18 mA	8 (1)		
		EYT7AL	18 mA, 50 k Ω Pull-up	8 (1)		
		EYW7AL	18 mA, 5 k Ω Pull-up	8 (1)		
		TTL Level	Input Buffer	FI41AL	-	7 (1)
				FD41AL	50 k Ω Pull-down	7 (1)
FU41AL	50 k Ω Pull-up			7 (1)		
FW41AL	5 k Ω Pull-up			7 (1)		
FIL1AL	Schmitt			7 (1)		
FDL1AL	Schmitt, 50 k Ω Pull-down			7 (1)		
FUL1AL	Schmitt, 50 k Ω Pull-up			7 (1)		
FWL1AL	Schmitt, 5 k Ω Pull-up			7 (1)		
Input Buffer with Failsafe	FI61AL		-	7 (1)		
	FD61AL		50 k Ω Pull-down	7 (1)		
	FIM1AL		Schmitt	7 (1)		
	FDM1AL		Schmitt, 50 k Ω Pull-down	7 (1)		

注 プルアップ抵抗があるため、記載電流値が出力できません。

Function		Block	Description	Cells (I/O)	
TTL Level	I/O Buffer	BV0XAL	1 mA	25 (1)	
		BVDXAL	1 mA, 50 kΩ Pull-down	25 (1)	
		BVUXAL	1 mA, 50 kΩ Pull-up	25 (1)	
		BVWXAL	1 mA ^注 , 5 kΩ Pull-up	25 (1)	
		BV0KAL	2 mA	25 (1)	
		BVDKAL	2 mA, 50 kΩ Pull-down	25 (1)	
		BVUKAL	2 mA, 50 kΩ Pull-up	25 (1)	
		BVWKAL	2 mA ^注 , 5 kΩ Pull-up	25 (1)	
		BV0UAL	3 mA	25 (1)	
		BVDUAL	3 mA, 50 kΩ Pull-down	25 (1)	
		BVUUAL	3 mA, 50 kΩ Pull-up	25 (1)	
		BVWUAL	3 mA ^注 , 5 kΩ Pull-up	25 (1)	
		BV0CAL	6 mA	25 (1)	
		BVDCAL	6 mA, 50 kΩ Pull-down	25 (1)	
		BVUCAL	6 mA, 50 kΩ Pull-up	25 (1)	
		BVWCAL	6 mA, 5 kΩ Pull-up	25 (1)	
		BV03AL	9 mA	25 (1)	
		BVD3AL	9 mA, 50 kΩ Pull-down	25 (1)	
		BVU3AL	9 mA, 50 kΩ Pull-up	25 (1)	
		BVW3AL	9 mA, 5 kΩ Pull-up	25 (1)	
		BV01AL	12 mA	25 (1)	
		BVD1AL	12 mA, 50 kΩ Pull-down	25 (1)	
		BVU1AL	12 mA, 50 kΩ Pull-up	25 (1)	
		BVW1AL	12 mA, 5 kΩ Pull-up	25 (1)	
		BV05AL	18 mA	25 (1)	
		BVD5AL	18 mA, 50 kΩ Pull-down	25 (1)	
		BVU5AL	18 mA, 50 kΩ Pull-up	25 (1)	
		BVW5AL	18 mA, 5 kΩ Pull-up	25 (1)	
		I/O Buffer Low-noise	BY01AL	12 mA	25 (1)
			BYD1AL	12 mA, 50 kΩ Pull-down	25 (1)
			BYU1AL	12 mA, 50 kΩ Pull-up	25 (1)
			BYW1AL	12 mA, 5 kΩ Pull-up	25 (1)
	BY05AL		18 mA	25 (1)	
	BYD5AL		18 mA, 50 kΩ Pull-down	25 (1)	
	BYU5AL		18 mA, 50 kΩ Pull-up	25 (1)	
	BYW5AL		18 mA, 5 kΩ Pull-up	25 (1)	
	I/O Buffer Schmitt in	BIJXAL	1 mA	25 (1)	
		BIVXAL	1 mA, 50 kΩ Pull-up	25 (1)	
		BIJKAL	2 mA	25 (1)	
		BIVKAL	2 mA, 50 kΩ Pull-up	25 (1)	
	I/O Buffer Schmitt in, Low-noise	BJIUAL	3 mA	25 (1)	
		BJUUAL	3 mA, 50 kΩ Pull-up	25 (1)	
		BJICAL	6 mA	25 (1)	
		BJUCAL	6 mA, 50 kΩ Pull-up	25 (1)	

注 プルアップ抵抗があるため、記載電流値が出力できません。

Function	Block	Description	Cells (I/O)
特殊電源	VDD4	内部3.3 V電源 (電源分離用)	-
	VDD4C	内部3.3 V電源 (電源分離用・コーナーブロックに隣接する場合)	-
	VBLK2	I/O部3.3 V電源 (電源分離用)	-
	VBLK3	3.3 V電源 (5 Vフルスイング・バッファ領域)	-
	VBLK4	内部3.3 V電源 (電源分離用, 5 V フルスイング・バッファ領域)	-
	GBLK3	GND (5 V フルスイング・バッファ領域)	-
	VBLK52	5V電源 (5 V フルスイング・バッファ領域)	-
CUT兼用Buffer	VBLK3CUT	CUT兼V _{DD} (左側: 3.3 V系, 右側: 5 V系)	-
	VBLK3FCUT	CUT兼V _{DD} (左側: 5 V系, 右側: 3.3 V系)	-
	GBLK3CUT	CUT兼GND (左側: 3.3 V系, 右側: 5 V系)	-
	GBLK3FCUT	CUT兼GND (左側: 5 V系, 右側: 3.3 V系)	-
	VBLK05CUT	CUT兼5 V V _{DD} (左側: 3.3 V系, 右側: 5 V系)	-
	VBLK05FCUT	CUT兼5 V V _{DD} (左側: 5 V系, 右側3.3 V系)	-

E. 1.4 Oscillator

Function	Block	Description	Cells (I/O)
Oscillator Input Buffer	OSI1	-	0 (1)
Oscillator Input Buffer for Enable	OSI2	-	0 (1)
Oscillator Output Buffer (Internal Feedback Resistor)	OSO1	-	0 (1)
Oscillator Output Buffer (for OSF Type)	OSO3	-	0 (1)
Oscillator Output Buffer (for Enable Type)	OSO7	-	0 (1)
Oscillator Output Buffer (External Feedback Resistor)	OSO9	-	0 (1)
Feedback Resistor for Oscillator	OSF1	-	0 (1)
Feedback Resistor for Oscillator For Enable	OSF3	-	0 (1)

E. 1.5 PCI

Function	Block	Description	Cells (I/O)
3V PCI Input Buffer	BP3I	-	7 (1)
3V PCI Output Buffer	BP3O	-	18 (1)
3V PCI 3-State Buffer	BP3T	-	20 (1)
3V PCI I/O Buffer	BP3B	-	27 (1)
5V PCI Input Buffer	BP5I	-	7 (1)
5V PCI Output Buffer	BP5O	-	18 (1)
5V PCI 3-State Buffer	BP5T	-	42 (1)
5V PCI I/O Buffer	BP5B	-	49 (1)

E. 1.6 High Speed Signal Transmission

Function	Block	Description	Cells (I/O)
3V GTL/GTL+/P-ECL Input Buffer for Enable Terminal	FIXA	-	56 (1)
	FUXA	50 k Ω Pull-up	56 (1)
5V GTL/GTL+/P-ECL Input Buffer for Enable Terminal	FIZA	-	56 (1)
GTL+ Input Buffer with EN	FIR2	-	19 (1)
GTL+ Input Buffer for Reference VOLTAGE	FIP2	-	0 (1)
GTL+ Output Buffer with ENB	ELTL	-	6 (1)
GTL+ I/O Buffer	BL0W	-	25 (1)

E. 1. 7 Digital PLL

Function	Block	Description	Cells (I/O)
3V Input Buffer Reference Clock	F10P	-	7 (1)
5V Input Buffer Reference Clock	F10Q	-	7 (1)
DPLL (Phase locked loop)	F9E4	-	3770 (-)
DPLL (Phase locked loop-Clock multiply)	F9H3	-	15840 (-)
DPLL (Phase locked loop-Clock multiply)	F9H2	-	9000 (-)

E. 1. 8 SSCG

Function	Block	Description	Cells (I/O)
SSCG	F9H4SSCG	-	17550 (-)

E. 1. 9 Analog PLL

Function	Block	Description	Cells (I/O)
APLL (Phase locked loop-Clock multiply)	ABPLMWFB	-	16320 (2)
APLL (Phase locked loop-Clock multiply)	ADPLSHFB	-	5400 (2)
APLL (Phase locked loop-Clock multiply)	ADPLSMFB	-	5400 (2)
APLL (Phase locked loop-Clock multiply)	ACPLSLFB	-	5400 (2)

E. 1. 10 Power on Reset

Function	Block	Description	Cells (I/O)
Power on Reset	ABPORPFB	-	2940 (1)

E. 2 Function Block

E. 2. 1 Level Generator

Function	Block	Description	Cells (I/O)
H,L Level Generator	F091	-	1 (-)

E. 2. 2 Inverter, Buffer, CTS Driver, Delay Gate

Function	Block	Description	Cells (I/O)
Inverter	L101	Single Out (Low Power)	1 (-)
	F101	Single Out	1 (-)
	F102	Single Out (X2 Drive)	2 (-)
	F143K	Single Out (X3 Drive)	3 (-)
	F144K	Single Out (X4 Drive)	4 (-)
	F145K	Single Out (X5 Drive)	5 (-)
	F146K	Single Out (X6 Drive)	6 (-)
	F148K	Single Out (X8 Drive)	12 (-)
	F148P	Single Out (X8 Drive)	8 (-)
	F148BR	Single Out (X8 Drive)	12 (-)
	F14AK	Single Out (X12 Drive)	21 (-)
Buffer	L111	Single Out (Low Power)	1 (-)
	F111	Single Out	2 (-)
	F112	Single Out (X2 Drive)	3 (-)
	F153K	Single Out (X3 Drive)	4 (-)
	F154K	Single Out (X4 Drive)	5 (-)
	F158K	Single Out (X8 Drive)	11 (-)
	F158BR	Single Out (X8 Drive)	11 (-)
	F15AK	Single Out (X12 Drive)	20 (-)
CTS Driver (Inverter Type)	FC42	Single type	132 (-)
	FC82	Single type (X2 Drive)	396 (-)
	FC44	Double type	340 (-)
	FC84	Double type (X2 Drive)	1020 (-)
CTS Driver (Buffer Type)	FC52	Single type	100 (-)
	FC92	Single type (X2 Drive)	143 (-)
	FC53	Standard type	1905 (-)
	FC93	Standard type (X2 Drive)	1727 (-)
	FC54	Double type	36200 (-)
	FC94	Double type (X2 Drive)	20735 (-)
Delay Gate	F131	-	6 (-)
	F132	-	10 (-)
	F137	-	18 (-)
	F138	-	34 (-)

E. 2. 3 OR (NOR), AND (NAND)

Function	Block	Description	Cells (I/O)
2-Input NOR	L202	(Low Power)	1 (-)
	F202	-	2 (-)
	F222	(X2 Drive)	4 (-)
	F282	(X4 Drive)	6 (-)
	F2C2K	(X8 Drive)	12 (-)
	L202N1	1-Input Inverter (Low Power)	2 (-)
	F202N1	1-Input Inverter	3 (-)
	F222N1	1-Input Inverter (X2 Drive)	5 (-)
	F282N1	1-Input Inverter (X4 Drive)	7 (-)
3-Input NOR	F203	-	3 (-)
	F223	(X2 Drive)	6 (-)
	F2C3	(X4 Drive)	9 (-)
	F2C3NS	(X4 Drive)	12 (-)
	F203N1	1-Input Inverter	4 (-)
	F223N1	1-Input Inverter (X2 Drive)	7 (-)
	F2C3N1	1-Input Inverter (X4 Drive)	10 (-)
	F2C3N1S	1-Input Inverter (X4 Drive)	14 (-)
	F203N2	2-Input Inverter	4 (-)
	F223N2	2-Input Inverter (X2 Drive)	7 (-)
	F2C3N2	2-Input Inverter (X4 Drive)	9 (-)
	F2C3N2S	2-Input Inverter (X4 Drive)	12 (-)
	4-Input NOR	L204	(Low Power)
F204		-	4 (-)
F224		(X2 Drive)	8 (-)
L204N1		1-Input Inverter (Low Power)	4 (-)
F204N1		1-Input Inverter	5 (-)
F224N1		1-Input Inverter (X2 Drive)	9 (-)
L204N2		2-Input Inverter (Low Power)	5 (-)
F204N2		2-Input Inverter	5 (-)
F224N2		2-Input Inverter (X2 Drive)	9 (-)
5-Input NOR	L205	(Low Power)	4 (-)
	F205	-	5 (-)
	F225	(X2 Drive)	6 (-)
	L205N1	1-Input Inverter (Low Power)	5 (-)
	F205N1	1-Input Inverter	6 (-)
	F225N1	1-Input Inverter (X2 Drive)	6 (-)
	L205N2	2-Input Inverter (Low Power)	5 (-)
	F205N2	2-Input Inverter	6 (-)
	F225N2	2-Input Inverter (X2 Drive)	7 (-)
	L205N3	3-Input Inverter (Low Power)	6 (-)
	F205N3	3-Input Inverter	7 (-)
	F225N3	3-Input Inverter (X2 Drive)	7 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
6-Input NOR	F206	-	5 (-)
	F226	(X2 Drive)	6 (-)
	L206N1	1-Input Inverter (Low Power)	5 (-)
	F206N1	1-Input Inverter	6 (-)
	F226N1	1-Input Inverter (X2 Drive)	7 (-)
	F206N2	2-Input Inverter	6 (-)
	F226N2	2-Input Inverter (X2 Drive)	7 (-)
	L206N3	3-Input Inverter (Low Power)	6 (-)
	F206N3	3-Input Inverter	7 (-)
	F226N3	3-Input Inverter (X2 Drive)	8 (-)
8-Input NOR	L208	(Low Power)	7 (-)
	F208	-	7 (-)
	F228	(X2 Drive)	8 (-)
	L208N1	1-Input Inverter (Low Power)	8 (-)
	F208N1	1-Input Inverter	8 (-)
	F228N1	1-Input Inverter (X2 Drive)	9 (-)
	L208N2	2-Input Inverter (Low Power)	8 (-)
	F208N2	2-Input Inverter	8 (-)
	F228N2	2-Input Inverter (X2 Drive)	9 (-)
	L208N3	3-Input Inverter (Low Power)	9 (-)
	F208N3	3-Input Inverter	9 (-)
	F228N3	3-Input Inverter (X2 Drive)	10 (-)
	L208N4	4-Input Inverter (Low Power)	9 (-)
	F208N4	4-Input Inverter	9 (-)
	F228N4	4-Input Inverter (X2 Drive)	10 (-)
	2-Input OR	L212	(Low Power)
F212		-	2 (-)
F232		(X2 Drive)	3 (-)
F252		(X4 Drive)	6 (-)
F232NS		(X2 Drive)	4 (-)
F2D2		(X4 Drive)	7 (-)
3-Input OR		L213	(Low Power)
	F213	-	3 (-)
	F233	(X2 Drive)	4 (-)
	F233NS	(X2 Drive)	5 (-)
	F2D3	(X4 Drive)	9 (-)
4-Input OR	L214	(Low Power)	3 (-)
	F214	-	3 (-)
	F234	(X2 Drive)	4 (-)
	L214N1	1-Input Inverter (Low Power)	3 (-)
	F214N1	1-Input Inverter	4 (-)
	F234N1	1-Input Inverter (X2 Drive)	5 (-)
5-Input OR	L215	(Low Power)	4 (-)
	F215	-	5 (-)
	F235	(X2 Drive)	7 (-)
	L215N1	1-Input Inverter (Low Power)	4 (-)
	F215N1	1-Input Inverter	5 (-)
	F235N1	1-Input Inverter (X2 Drive)	8 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
6-Input OR	L216	(Low Power)	4 (-)
	F216	-	5 (-)
	F236	(X2 Drive)	7 (-)
	L216N1	1-Input Inverter (Low Power)	5 (-)
	F216N1	1-Input Inverter	6 (-)
	F236N1	1-Input Inverter (X2 Drive)	8 (-)
	L216N2	2-Input Inverter (Low Power)	5 (-)
	F216N2	2-Input Inverter	6 (-)
	F236N2	2-Input Inverter (X2 Drive)	8 (-)
8-Input OR	L218	(Low Power)	6 (-)
	F218	-	8 (-)
	F238	(X2 Drive)	9 (-)
	L218N1	1-Input Inverter (Low Power)	7 (-)
	F218N1	1-Input Inverter	9 (-)
	F238N1	1-Input Inverter (X2 Drive)	10 (-)
	L218N2	2-Input Inverter (Low Power)	7 (-)
	F218N2	2-Input Inverter	9 (-)
	F238N2	2-Input Inverter (X2 Drive)	10 (-)
	L218N3	3-Input Inverter (Low Power)	8 (-)
	F218N3	3-Input Inverter	10 (-)
	F238N3	3-Input Inverter (X2 Drive)	11 (-)
2-Input NAND	L302	(Low Power)	1 (-)
	F302	-	2 (-)
	F322	(X2 Drive)	4 (-)
	F382	(X4 Drive)	6 (-)
	F3C2K	(X8 Drive)	12 (-)
	F382NS	(X4 Drive)	8 (-)
	L302N1	1-Input Inverter (Low Power)	2 (-)
	F302N1	1-Input Inverter	3 (-)
	F322N1	1-Input Inverter (X2 Drive)	5 (-)
	F382N1	1-Input Inverter (X4 Drive)	7 (-)
	F382N1S	1-Input Inverter (X4 Drive)	10 (-)
3-Input NAND	L303	(Low Power)	2 (-)
	F303	-	3 (-)
	F323	(X2 Drive)	6 (-)
	F3C3	(X4 Drive)	9 (-)
	F3C3NS	(X4 Drive)	12 (-)
	L303N1	1-Input Inverter (Low Power)	2 (-)
	F303N1	1-Input Inverter	4 (-)
	F323N1	1-Input Inverter (X2 Drive)	7 (-)
	F3C3N1	1-Input Inverter (X4 Drive)	10 (-)
	F3C3N1S	1-Input Inverter (X4 Drive)	14 (-)
	L303N2	2-Input Inverter (Low Power)	3 (-)
	F303N2	2-Input Inverter	4 (-)
	F323N2	2-Input Inverter (X2 Drive)	7 (-)
	F3C3N2	2-Input Inverter (X4 Drive)	10 (-)
	F3C3N2S	2-Input Inverter (X4 Drive)	16 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
4-Input NAND	L304	(Low Power)	2 (-)
	F304	-	4 (-)
	F324	(X2 Drive)	8 (-)
	F3C4	(X4 Drive)	10 (-)
	F3C4NS	(X4 Drive)	16 (-)
	L304N1	1-Input Inverter (Low Power)	3 (-)
	F304N1	1-Input Inverter	5 (-)
	F324N1	1-Input Inverter (X2 Drive)	9 (-)
	F3C4N1	1-Input Inverter (X4 Drive)	11 (-)
	F3C4N1S	1-Input Inverter (X4 Drive)	18 (-)
	L304N2	2-Input Inverter (Low Power)	3 (-)
	F304N2	2-Input Inverter	5 (-)
	F324N2	2-Input Inverter (X2 Drive)	9 (-)
	F3C4N2	2-Input Inverter (X4 Drive)	11 (-)
	F3C4N2S	2-Input Inverter (X4 Drive)	20 (-)
5-Input NAND	L305	(Low Power)	4 (-)
	F305	-	5 (-)
	F325	(X2 Drive)	6 (-)
	L305N1	1-Input Inverter (Low Power)	5 (-)
	F305N1	1-Input Inverter	6 (-)
	F325N1	1-Input Inverter (X2 Drive)	6 (-)
	L305N2	2-Input Inverter (Low Power)	5 (-)
	F305N2	2-Input Inverter	6 (-)
	F325N2	2-Input Inverter (X2 Drive)	7 (-)
	L305N3	3-Input Inverter (Low Power)	6 (-)
	F305N3	3-Input Inverter	7 (-)
	F325N3	3-Input Inverter (X2 Drive)	7 (-)
6-Input NAND	L306	(Low Power)	5 (-)
	F306	-	5 (-)
	F326	(X2 Drive)	6 (-)
	L306N1	1-Input Inverter (Low Power)	5 (-)
	F306N1	1-Input Inverter	6 (-)
	F326N1	1-Input Inverter (X2 Drive)	7 (-)
	L306N2	2-Input Inverter (Low Power)	6 (-)
	F306N2	2-Input Inverter	6 (-)
	F326N2	2-Input Inverter (X2 Drive)	7 (-)
	L306N3	3-Input Inverter (Low Power)	6 (-)
	F306N3	3-Input Inverter	7 (-)
	F326N3	3-Input Inverter (X2 Drive)	8 (-)
8-Input NAND	F308	-	6 (-)
	F328	(X2 Drive)	7 (-)
	L308N1	1-Input Inverter (Low Power)	6 (-)
	F308N1	1-Input Inverter	7 (-)
	F328N1	1-Input Inverter (X2 Drive)	8 (-)
	F308N2	2-Input Inverter	7 (-)
	F328N2	2-Input Inverter (X2 Drive)	8 (-)
	L308N3	3-Input Inverter (Low Power)	7 (-)
	F308N3	3-Input Inverter	8 (-)
	F328N3	3-Input Inverter (X2 Drive)	9 (-)
	F308N4	4-Input Inverter	8 (-)
	F328N4	4-Input Inverter (X2 Drive)	9 (-)

Function	Block	Description	Cells (I/O)
2-Input AND	L312	(Low Power)	2 (-)
	F312	-	2 (-)
	F332	(X2 Drive)	3 (-)
	F352	(X4 Drive)	6 (-)
	F3D2	(X8 Drive)	16 (-)
	F332NS	(X2 Drive)	4 (-)
	F352NS	(X4 Drive)	7 (-)
3-Input AND	L313	(Low Power)	2 (-)
	F313	-	3 (-)
	F333	(X2 Drive)	4 (-)
	F3D3	(X4 Drive)	9 (-)
	F333NS	(X2 Drive)	5 (-)
4-Input AND	L314	(Low Power)	3 (-)
	F314	-	3 (-)
	F334	(X2 Drive)	4 (-)
	F3D4	(X4 Drive)	10 (-)
	F334NS	(X2 Drive)	6 (-)
	L314N1	1-Input Inverter (Low Power)	3 (-)
	F314N1	1-Input Inverter	4 (-)
	F334N1	1-Input Inverter (X2 Drive)	5 (-)
5-Input AND	L315	(Low Power)	4 (-)
	F315	-	5 (-)
	F335	(X2 Drive)	7 (-)
	L315N1	1-Input Inverter (Low Power)	4 (-)
	F315N1	1-Input Inverter	5 (-)
	F335N1	1-Input Inverter (X2 Drive)	7 (-)
6-Input AND	L316	(Low Power)	4 (-)
	F316	-	5 (-)
	F336	(X2 Drive)	7 (-)
	L316N1	1-Input Inverter (Low Power)	5 (-)
	F316N1	1-Input Inverter	6 (-)
	F336N1	1-Input Inverter (X2 Drive)	8 (-)
	L316N2	2-Input Inverter (Low Power)	5 (-)
	F316N2	2-Input Inverter	6 (-)
F336N2	2-Input Inverter (X2 Drive)	8 (-)	
8-Input AND	L318	(Low Power)	5 (-)
	F318	-	6 (-)
	F338	(X2 Drive)	8 (-)
	L318N1	1-Input Inverter (Low Power)	6 (-)
	F318N1	1-Input Inverter	7 (-)
	F338N1	1-Input Inverter (X2 Drive)	9 (-)
	L318N2	2-Input Inverter (Low Power)	6 (-)
	F318N2	2-Input Inverter	7 (-)
	F338N2	2-Input Inverter (X2 Drive)	9 (-)
	L318N3	3-Input Inverter (Low Power)	7 (-)
	F318N3	3-Input Inverter	8 (-)
F338N3	3-Input Inverter (X2 Drive)	10 (-)	

E. 2. 4 AND-NOR

Function	Block	Description	Cells (I/O)	
1-2-Input AND-NOR	L421	(Low Power)	2 (-)	
	F421	-	3 (-)	
	F421NP	(X2 Drive)	5 (-)	
	F421T	(X4 Drive)	12 (-)	
	L421NA	(Low Power)	2 (-)	
	F421NA	-	4 (-)	
	F421NAP	(X2 Drive)	5 (-)	
	F421NAT	(X4 Drive)	14 (-)	
	L421NB	(Low Power)	3 (-)	
	F421NB	-	4 (-)	
	F421NBP	(X2 Drive)	6 (-)	
	F421NBT	(X4 Drive)	16 (-)	
	L421NC	(Low Power)	3 (-)	
	F421NC	-	5 (-)	
	F421NCP	(X2 Drive)	6 (-)	
	F421NCT	(X4 Drive)	9 (-)	
	L421ND	(Low Power)	2 (-)	
	F421ND	-	4 (-)	
	F421NDP	(X2 Drive)	5 (-)	
	F421NDT	(X4 Drive)	14 (-)	
	L421NE	(Low Power)	3 (-)	
	F421NE	-	4 (-)	
	F421NEP	(X2 Drive)	6 (-)	
	F421NET	(X4 Drive)	16 (-)	
	1-1-2-Input AND-NOR	F422	-	4 (-)
		F422NP	(X2 Drive)	5 (-)
		F422T	(X4 Drive)	16 (-)
		F422NA	-	5 (-)
F422NAP		(X2 Drive)	6 (-)	
F422NAT		(X4 Drive)	18 (-)	
F422NB		-	5 (-)	
F422NBP		(X2 Drive)	6 (-)	
F422NBT		(X4 Drive)	16 (-)	
F422NC		-	6 (-)	
F422NCP		(X2 Drive)	7 (-)	
F422NCT		(X4 Drive)	18 (-)	
F422ND		-	6 (-)	
F422NDP		(X2 Drive)	7 (-)	
F422NDT		(X4 Drive)	10 (-)	
F422NE		-	5 (-)	
F422NEP		(X2 Drive)	6 (-)	
F422NET		(X4 Drive)	20 (-)	
F422NF		-	6 (-)	
F422NFP		(X2 Drive)	7 (-)	
F422NFT		(X4 Drive)	22 (-)	
F422NG		-	5 (-)	
F422NGP		(X2 Drive)	6 (-)	
F422NGT		(X4 Drive)	18 (-)	
F422NH		-	5 (-)	
F422NHP		(X2 Drive)	6 (-)	
F422NHT		(X4 Drive)	20 (-)	

Function	Block	Description	Cells (I/O)
1-3-Input AND-NOR	L423	(Low Power)	2 (-)
	F423	-	4 (-)
	F423NP	(X2 Drive)	5 (-)
	F423T	(X4 Drive)	16 (-)
	L423NA	(Low Power)	3 (-)
	F423NA	-	5 (-)
	F423NAP	(X2 Drive)	6 (-)
	F423NAT	(X4 Drive)	18 (-)
	L423NB	(Low Power)	3 (-)
	F423NB	-	5 (-)
	F423NBP	(X2 Drive)	6 (-)
	F423NBT	(X4 Drive)	20 (-)
	L423NC	(Low Power)	4 (-)
	F423NC	-	6 (-)
	F423NCP	(X2 Drive)	7 (-)
	F423NCT	(X4 Drive)	22 (-)
	L423ND	(Low Power)	4 (-)
	F423ND	-	6 (-)
	F423NDP	(X2 Drive)	7 (-)
	F423NDT	(X4 Drive)	10 (-)
	L423NE	(Low Power)	3 (-)
	F423NE	-	5 (-)
	F423NEP	(X2 Drive)	6 (-)
	F423NET	(X4 Drive)	18 (-)
	L423NF	(Low Power)	3 (-)
	F423NF	-	5 (-)
	F423NFP	(X2 Drive)	6 (-)
	F423NFT	(X4 Drive)	20 (-)
	L423NG	(Low Power)	4 (-)
	F423NG	-	6 (-)
	F423NGP	(X2 Drive)	7 (-)
	F423NGT	(X4 Drive)	22 (-)
2-2-Input AND-NOR	L424	(Low Power)	2 (-)
	F424	-	4 (-)
	F424NP	(X2 Drive)	5 (-)
	F424T	(X4 Drive)	16 (-)
	L424NA	(Low Power)	3 (-)
	F424NA	-	5 (-)
	F424NAP	(X2 Drive)	6 (-)
	F424NAT	(X4 Drive)	18 (-)
	L424NB	(Low Power)	3 (-)
	F424NB	-	5 (-)
	F424NBP	(X2 Drive)	6 (-)
	F424NBT	(X4 Drive)	20 (-)
	L424NC	(Low Power)	4 (-)
	F424NC	-	6 (-)
	F424NCP	(X2 Drive)	7 (-)
	F424NCT	(X4 Drive)	10 (-)
	L424ND	(Low Power)	3 (-)
	F424ND	-	5 (-)
F424NDP	(X2 Drive)	6 (-)	

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
2-2-Input AND-NOR	F424NDT	(X4 Drive)	20 (-)
	L424NE	(Low Power)	4 (-)
	F424NE	-	6 (-)
	F424NEP	(X2 Drive)	7 (-)
	F424NET	(X4 Drive)	22 (-)
2-2-2-Input AND-NOR	L425	(Low Power)	5 (-)
	F425	-	6 (-)
	F425NP	(X2 Drive)	6 (-)
	F425T	(X4 Drive)	24 (-)
3-3-Input AND-NOR	L426	(Low Power)	5 (-)
	F426	-	6 (-)
	F426NP	(X2 Drive)	6 (-)
	F426T	(X4 Drive)	24 (-)
2-3-Input AND-NOR	L427	(Low Power)	4 (-)
	F427	-	5 (-)
	F427NP	(X2 Drive)	6 (-)
	F427T	(X4 Drive)	20 (-)
1-2-2-Input AND-NOR	F428	-	5 (-)
	F428NP	(X2 Drive)	6 (-)
	F428T	(X4 Drive)	20 (-)
2-2-2-2-Input AND-NOR	L429	(Low Power)	6 (-)
	F429	-	6 (-)
	F429NP	(X2 Drive)	7 (-)
1-4-Input AND-NOR	L440	(Low Power)	3 (-)
	F440	-	5 (-)
	F440NP	(X2 Drive)	6 (-)
1-5-Input AND-NOR	L441	(Low Power)	5 (-)
	F441	-	7 (-)
	F441NP	(X2 Drive)	8 (-)
4-4-Input AND-NOR	L442	(Low Power)	6 (-)
	F442	-	11 (-)
	F442NP	(X2 Drive)	12 (-)
4-4-4-Input AND-NOR	L444	(Low Power)	8 (-)
	F444	-	8 (-)
	F444NP	(X2 Drive)	9 (-)
2-4-Input AND-NOR	L445	(Low Power)	5 (-)
	F445	-	6 (-)
	F445NP	(X2 Drive)	6 (-)
1-1-1-2-Input AND-NOR	L446	(Low Power)	4 (-)
	F446	-	5 (-)
	F446NP	(X2 Drive)	6 (-)
1-1-1-3-Input AND-NOR	L447	(Low Power)	5 (-)
	F447	-	5 (-)
	F447NP	(X2 Drive)	6 (-)
1-1-2-2-Input AND-NOR	L448	(Low Power)	5 (-)
	F448	-	5 (-)
	F448NP	(X2 Drive)	6 (-)
3-3-3-3-Input AND-NOR	F449	-	8 (-)
	F449NP	(X2 Drive)	9 (-)

Function	Block	Description	Cells (I/O)
3-3-3-Input AND-NOR	L460	(Low Power)	6 (-)
	F460	-	7 (-)
	F460NP	(X2 Drive)	8 (-)
1-2-3-Input AND-NOR	L462	(Low Power)	5 (-)
	F462	-	6 (-)
	F462NP	(X2 Drive)	6 (-)
1-1-3-Input AND-NOR	L463	(Low Power)	4 (-)
	F463	-	5 (-)
	F463NP	(X2 Drive)	6 (-)
1-1-4-Input AND-NOR	L464	(Low Power)	5 (-)
	F464	-	5 (-)
	F464NP	(X2 Drive)	6 (-)
1-1-1-1-2-Input AND-NOR	F465	-	5 (-)
	F465NP	(X2 Drive)	6 (-)
4-4-4-4-Input AND-NOR	F466	-	10 (-)
	F466NP	(X2 Drive)	11 (-)

E. 2. 5 OR-NAND

Function	Block	Description	Cells (I/O)
1-4-Input OR-NAND	L430	(Low Power)	4 (-)
	F430	-	5 (-)
	F430NP	(X2 Drive)	7 (-)
1-2-Input OR-NAND	L431	(Low Power)	2 (-)
	F431	-	3 (-)
	F431NP	(X2 Drive)	5 (-)
	F431T	(X4 Drive)	12 (-)
	L431NA	(Low Power)	2 (-)
	F431NA	-	4 (-)
	F431NAP	(X2 Drive)	5 (-)
	F431NAT	(X4 Drive)	14 (-)
	L431NB	(Low Power)	3 (-)
	F431NB	-	4 (-)
	F431NBP	(X2 Drive)	6 (-)
	F431NBT	(X4 Drive)	16 (-)
	L431NC	(Low Power)	3 (-)
	F431NC	-	5 (-)
	F431NCP	(X2 Drive)	6 (-)
	F431NCT	(X4 Drive)	14 (-)
	L431ND	(Low Power)	2 (-)
	F431ND	-	4 (-)
	F431NDP	(X2 Drive)	5 (-)
	F431NDT	(X4 Drive)	14 (-)
	L431NE	(Low Power)	3 (-)
	F431NE	-	4 (-)
	F431NEP	(X2 Drive)	6 (-)
F431NET	(X4 Drive)	12 (-)	

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
1-1-2-Input OR-NAND	L432	(Low Power)	2 (-)
	F432	-	4 (-)
	F432NP	(X2 Drive)	5 (-)
	F432T	(X4 Drive)	16 (-)
	L432NA	(Low Power)	3 (-)
	F432NA	-	5 (-)
	F432NAP	(X2 Drive)	6 (-)
	F432NAT	(X4 Drive)	18 (-)
	L432NB	(Low Power)	3 (-)
	F432NB	-	5 (-)
	F432NBP	(X2 Drive)	6 (-)
	F432NBT	(X4 Drive)	20 (-)
	L432NC	(Low Power)	4 (-)
	F432NC	-	6 (-)
	F432NCP	(X2 Drive)	7 (-)
	F432NCT	(X4 Drive)	22 (-)
	L432ND	(Low Power)	4 (-)
	F432ND	-	6 (-)
	F432NDP	(X2 Drive)	7 (-)
	F432NDT	(X4 Drive)	20 (-)
	L432NE	(Low Power)	3 (-)
	F432NE	-	5 (-)
	F432NEP	(X2 Drive)	6 (-)
	F432NET	(X4 Drive)	20 (-)
	L432NF	(Low Power)	4 (-)
	F432NF	-	6 (-)
	F432NFP	(X2 Drive)	7 (-)
	F432NFT	(X4 Drive)	18 (-)
	L432NG	(Low Power)	3 (-)
	F432NG	-	5 (-)
	F432NGP	(X2 Drive)	6 (-)
	F432NGT	(X4 Drive)	18 (-)
	L432NH	(Low Power)	3 (-)
F432NH	-	5 (-)	
F432NHP	(X2 Drive)	6 (-)	
F432NHT	(X4 Drive)	16 (-)	
1-3-Input OR-NAND	F433	-	4 (-)
	F433NP	(X2 Drive)	5 (-)
	F433T	(X4 Drive)	16 (-)
	F433NA	-	5 (-)
	F433NAP	(X2 Drive)	6 (-)
	F433NAT	(X4 Drive)	18 (-)
	F433NB	-	5 (-)
	F433NBP	(X2 Drive)	6 (-)
	F433NBT	(X4 Drive)	20 (-)
	F433NC	-	6 (-)
	F433NCP	(X2 Drive)	7 (-)
	F433NCT	(X4 Drive)	18 (-)
	F433ND	-	6 (-)
	F433NDP	(X2 Drive)	7 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
1-3-Input OR-NAND	F433NDT	(X4 Drive)	16 (-)
	F433NE	-	5 (-)
	F433NEP	(X2 Drive)	6 (-)
	F433NET	(X4 Drive)	18 (-)
	F433NF	-	5 (-)
	F433NFP	(X2 Drive)	6 (-)
	F433NFT	(X4 Drive)	16 (-)
	F433NG	-	6 (-)
	F433NGP	(X2 Drive)	7 (-)
	F433NGT	(X4 Drive)	14 (-)
2-2-Input OR-NAND	L434	(Low Power)	2 (-)
	F434	-	4 (-)
	F434NP	(X2 Drive)	5 (-)
	F434T	(X4 Drive)	16 (-)
	L434NA	(Low Power)	3 (-)
	F434NA	-	5 (-)
	F434NAP	(X2 Drive)	6 (-)
	F434NAT	(X4 Drive)	18 (-)
	L434NB	(Low Power)	3 (-)
	F434NB	-	5 (-)
	F434NBP	(X2 Drive)	6 (-)
	F434NBT	(X4 Drive)	16 (-)
	L434NC	(Low Power)	4 (-)
	F434NC	-	6 (-)
	F434NCP	(X2 Drive)	7 (-)
	F434NCT	(X4 Drive)	16 (-)
	L434ND	(Low Power)	3 (-)
	F434ND	-	5 (-)
	F434NDP	(X2 Drive)	6 (-)
	F434NDT	(X4 Drive)	20 (-)
	L434NE	(Low Power)	4 (-)
	F434NE	-	6 (-)
	F434NEP	(X2 Drive)	7 (-)
F434NET	(X4 Drive)	18 (-)	
2-3-Input OR-NAND	L435	(Low Power)	4 (-)
	F435	-	8 (-)
	F435NP	(X2 Drive)	9 (-)
	F435T	(X4 Drive)	20 (-)
3-3-Input OR-NAND	L436	(Low Power)	5 (-)
	F436	-	9 (-)
	F436NP	(X2 Drive)	10 (-)
	F436T	(X4 Drive)	24 (-)
1-2-2-Input OR-NAND	F437	-	5 (-)
	F437NP	(X2 Drive)	6 (-)
	F437T	(X4 Drive)	20 (-)
2-2-2-Input OR-NAND	L438	(Low Power)	5 (-)
	F438	-	6 (-)
	F438NP	(X2 Drive)	6 (-)
1-5-Input OR-NAND	L439	(Low Power)	5 (-)
	F439	-	6 (-)
	F439NP	(X2 Drive)	8 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
2-4-Input OR-NAND	L450	(Low Power)	5 (-)
	F450	-	6 (-)
	F450NP	(X2 Drive)	8 (-)
4-4-Input OR-NAND	L451	(Low Power)	7 (-)
	F451	-	8 (-)
	F451NP	(X2 Drive)	10 (-)
1-1-3-Input OR-NAND	L452	(Low Power)	4 (-)
	F452	-	5 (-)
	F452NP	(X2 Drive)	6 (-)
1-1-4-Input OR-NAND	L453	(Low Power)	5 (-)
	F453	-	6 (-)
	F453NP	(X2 Drive)	9 (-)
2-2-2-Input OR-NAND	F454	-	13 (-)
	F454NP	(X2 Drive)	14 (-)
4-4-4-Input OR-NAND	F457	-	10 (-)
	F457NP	(X2 Drive)	11 (-)
1-1-1-2-Input OR-NAND	L458	(Low Power)	4 (-)
	F458	-	5 (-)
	F458NP	(X2 Drive)	5 (-)
1-1-1-3-Input OR-NAND	L459	(Low Power)	5 (-)
	F459	-	5 (-)
	F459NP	(X2 Drive)	6 (-)
1-1-1-1-2-Input OR-NAND	F490	-	5 (-)
	F490NP	(X2 Drive)	6 (-)
1-2-3-Input OR-NAND	L491	(Low Power)	5 (-)
	F491	-	5 (-)
	F491NP	(X2 Drive)	6 (-)
3-3-3-Input OR-NAND	L493	(Low Power)	6 (-)
	F493	-	7 (-)
	F493NP	(X2 Drive)	8 (-)
1-1-2-2-Input OR-NAND	L495	(Low Power)	5 (-)
	F495	-	6 (-)
	F495NP	(X2 Drive)	6 (-)
3-3-3-3-Input OR-NAND	F496	-	8 (-)
	F496NP	(X2 Drive)	9 (-)
4-4-4-4-Input OR-NAND	F498	-	14 (-)
	F498NP	(X2 Drive)	16 (-)

E. 2. 6 Exclusive OR, Exclusive NOR

Function	Block	Description	Cells (I/O)
2-Input Exclusive OR	L511	(Low Power)	3 (-)
	F511	-	4 (-)
	F511NP	(X2 Drive)	5 (-)
	F511NT	(X4 Drive)	11 (-)
3-Input Exclusive OR	L516	(Low Power)	6 (-)
	F516	-	9 (-)
	F516NP	(X2 Drive)	9 (-)
	F516NT	(X4 Drive)	14 (-)
2-Input Exclusive NOR	L512	(Low Power)	3 (-)
	F512	-	4 (-)
	F512NP	(X2 Drive)	5 (-)
	F512NT	(X4 Drive)	11 (-)
3-Input Exclusive NOR	L517	(Low Power)	6 (-)
	F517	-	8 (-)
	F517NT	(X4 Drive)	14 (-)

E. 2. 7 Adder, 3-State Buffer, Decoder, Multiplexer, Generator

Function	Block	Description	Cells (I/O)
1-Bit Full Adder	F521	-	9 (-)
	F521NP	(X2 Drive)	19 (-)
	F521NT	(X4 Drive)	26 (-)
4-Bit Full Adder	F523	-	34 (-)
1-Bit Carry Save Adder	F528	-	11 (-)
3-State Buffer	L531	with EN (Low Power)	4 (-)
	F531	with EN	5 (-)
	F533	with EN (X2 Drive)	7 (-)
	F53F	with EN (X4 Drive)	11 (-)
	F53H	with EN (X8 Drive)	24 (-)
	L532	with ENB (Low Power)	4 (-)
	F532	with ENB	5 (-)
	F534	with ENB (X2 Drive)	7 (-)
	F53G	with ENB (X4 Drive)	11 (-)
	F53K	with ENB (X8 Drive)	24 (-)
	F541	Inverter with EN	3 (-)
	F543	Inverter with EN (X2 Drive)	4 (-)
	F54F	Inverter with EN (X4 Drive)	6 (-)
	F54H	Inverter with EN (X8 Drive)	25 (-)
	F542	Inverter with ENB	3 (-)
	F544	Inverter with ENB (X2 Drive)	4 (-)
F54G	Inverter with ENB (X4 Drive)	6 (-)	
F54K	Inverter with ENB (X8 Drive)	25 (-)	
2 to 4 Decoder	L560	Positive Out (Low Power)	6 (-)
	F560	Positive Out	10 (-)
	F560NP	Positive Out (X2 Drive)	18 (-)
	L561	Negative Out (Low Power)	6 (-)
	F561	Negative Out	10 (-)
	F561NP	Negative Out (X2 Drive)	18 (-)
	L981	Negative Out with ENB (Low Power)	8 (-)
	F981	Negative Out with ENB	13 (-)

Function	Block	Description	Cells (I/O)
3 to 8 Decoder	L982	Negative Out with ENB (Low Power)	17 (-)
	F982	Negative Out with ENB	26 (-)
2 to 1 Multiplexer (Positive Out)	F565	-	4 (-)
	F56C	(X2 Drive)	7 (-)
	F565NT	(X4 Drive)	11 (-)
	L571	with ENB (Low Power)	4 (-)
	F571	with ENB	6 (-)
	F571NP	with ENB (X2 Drive)	8 (-)
2 to 1 Multiplexer (Negative Out)	F57B	-	5 (-)
	F57BNP	(X2 Drive)	6 (-)
4 to 1 Multiplexer (Positive Out)	F564	-	8 (-)
	F56B	(X2 Drive)	11 (-)
	F564NT	(X4 Drive)	16 (-)
	F570	with ENB	10 (-)
	F570NP	with ENB (X2 Drive)	12 (-)
	F56BNSP	High-speed (X2 Drive)	15 (-)
	F564NST	High-speed (X4 Drive)	21 (-)
4 to 1 Multiplexer (Negative Out)	F57A	-	10 (-)
	F57ANP	(X2 Drive)	10 (-)
8 to 1 Multiplexer (Positive Out)	F563	-	17 (-)
	F563NP	(X2 Drive)	20 (-)
	F563NT	(X4 Drive)	25 (-)
	F569	with ENB	19 (-)
	F569NP	with ENB (X2 Drive)	21 (-)
	F563NSP	High-speed (X2 Drive)	31 (-)
	F563NST	High-speed (X4 Drive)	41 (-)
8 to 1 Multiplexer (Negative Out)	F579	-	17 (-)
Quad 2 to 1 Multiplexer (Positive Out)	F552	-	13 (-)
Quad 2 to 1 Multiplexer (Negative Out)	F555	-	9 (-)
	L572	with ENB (Low Power)	10 (-)
	F572	with ENB	14 (-)
Quad 4 to 1 Multiplexer (Positive Out)	F551	-	27 (-)
Quad 4 to 1 Multiplexer (Negative Out)	F554	-	29 (-)
Quad 8 to 1 Multiplexer (Positive Out)	F550	-	64 (-)
Quad 8 to 1 Multiplexer (Negative Out)	F553	-	64 (-)
8-Bit Odd Parity Generator	F581	-	19 (-)
	F581NSP	(X2 Drive)	21 (-)
8-Bit Even Parity Generator	F582	-	19 (-)
	F582NSP	(X2 Drive)	21 (-)

E. 2. 8 RS-F/F, RS-latch

Function	Block	Description	Cells (I/O)
RS-Latch	F595	-	5 (-)
RS-F/F with R,S	F596	-	11 (-)

E. 2. 9 D-Latch

Function	Block	Description	Cells (I/O)
D-Latch	F601NL	(Low Power)	5 (-)
	F601	-	6 (-)
	F601NP	(X2 Drive)	8 (-)
	L601	Q Out (Low Power)	4 (-)
	F601NQL	Q Out (Low Power)	4 (-)
	F601NQ	Q Out	5 (-)
	F601NQP	Q Out (X2 Drive)	6 (-)
	F601NBL	QB Out (Low Power)	4 (-)
	F601NB	QB Out	5 (-)
	F601NBP	QB Out (X2 Drive)	6 (-)
D-Latch (High Speed)	F6R1	-	6 (-)
D-Latch with R	F602NL	(Low Power)	6 (-)
	F602	-	6 (-)
	F602NP	(X2 Drive)	9 (-)
	L602	Q Out (Low Power)	5 (-)
	F602NQL	Q Out (Low Power)	5 (-)
	F602NQ	Q Out	6 (-)
	F602NQP	Q Out (X2 Drive)	7 (-)
	F602NB	QB Out	6 (-)
	F602NBP	QB Out (X2 Drive)	7 (-)
D-Latch with R (High Speed)	F6R2	-	7 (-)
D-Latch with RB	F603NL	(Low Power)	5 (-)
	F603	-	7 (-)
	F603NP	(X2 Drive)	8 (-)
	L603	Q Out (Low Power)	4 (-)
	F603NQ	Q Out	5 (-)
	F603NQP	Q Out (X2 Drive)	6 (-)
	F603NBL	QB Out (Low Power)	5 (-)
	F603NB	QB Out	6 (-)
	F603NBP	QB Out (X2 Drive)	7 (-)
D-Latch with RB (High Speed)	F6R5	-	6 (-)
D-Latch with SB	F60KNL	(Low Power)	6 (-)
	F60K	-	7 (-)
	F60KNP	(X2 Drive)	9 (-)
	F60KNQL	Q Out (Low Power)	5 (-)
	F60KNQ	Q Out	6 (-)
	F60KNQP	Q Out (X2 Drive)	7 (-)
	F60KNB	QB Out	5 (-)
	F60KNBP	QB Out (X2 Drive)	6 (-)
D-Latch with RB,SB	F60JNL	(Low Power)	6 (-)
	F60J	-	7 (-)
	F60JNP	(X2 Drive)	9 (-)
	F60JNQ	Q Out	6 (-)
	F60JNQP	Q Out (X2 Drive)	7 (-)
	F60JNBL	QB Out (Low Power)	5 (-)
	F60JNB	QB Out	6 (-)
	F60JNBP	QB Out (X2 Drive)	7 (-)

Function	Block	Description	Cells (I/O)
D-Latch (GB)	F604NL	(Low Power)	5 (-)
	F604	-	6 (-)
	F604NP	(X2 Drive)	8 (-)
	L604	Q Out (Low Power)	4 (-)
	F604NQL	Q Out (Low Power)	4 (-)
	F604NQ	Q Out	5 (-)
	F604NQP	Q Out (X2 Drive)	6 (-)
	F604NBL	QB Out (Low Power)	4 (-)
	F604NB	QB Out	5 (-)
	F604NBP	QB Out (X2 Drive)	6 (-)
D-Latch (GB) (High Speed)	F6R8	-	6 (-)
D-Latch (GB) with RB	F605NL	(Low Power)	5 (-)
	F605	-	7 (-)
	F605NP	(X2 Drive)	8 (-)
	L605	Q Out (Low Power)	4 (-)
	F605NQ	Q Out	5 (-)
	F605NQP	Q Out (X2 Drive)	6 (-)
	F605NBL	QB Out (Low Power)	5 (-)
	F605NB	QB Out	6 (-)
	F605NBP	QB Out (X2 Drive)	7 (-)
D-Latch (GB) with RB (High Speed)	F6R9	-	6 (-)

E. 2. 10 D-F/F

Function	Block	Description	Cells (I/O)
D-F/F	F611	-	8 (-)
	F611NT	(X4 Drive)	14 (-)
	L611	Q Out (Low Power)	6 (-)
	F611NQT	Q Out (X4 Drive)	10 (-)
	F611NBT	QB Out (X4 Drive)	10 (-)
	F641NL	(Low Power)	7 (-)
	F641	-	8 (-)
	F641NP	(X2 Drive)	10 (-)
	F641NQL	Q Out (Low Power)	7 (-)
	F641NQ	Q Out	7 (-)
	F641NQP	Q Out (X2 Drive)	8 (-)
	F641NBL	QB Out (Low Power)	7 (-)
	F641NB	QB Out	7 (-)
	F641NBP	QB Out (X2 Drive)	8 (-)
D-F/F with R	F612NQT	Q Out (X4 Drive)	11 (-)
	F612NBT	QB Out (X4 Drive)	12 (-)
	F642NL	(Low Power)	8 (-)
	F642	-	9 (-)
	F642NP	(X2 Drive)	11 (-)
	F642NQL	Q Out (Low Power)	8 (-)
	F642NQ	Q Out	8 (-)
	F642NQP	Q Out (X2 Drive)	9 (-)
	F642NBL	QB Out (Low Power)	8 (-)
	F642NB	QB Out	8 (-)
	F642NBP	QB Out (X2 Drive)	9 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
D-F/F with S	F613NQT	Q Out (X4 Drive)	12 (-)
	F613NBT	QB Out (X4 Drive)	11 (-)
	F643NL	(Low Power)	8 (-)
	F643	-	9 (-)
	F643NP	(X2 Drive)	11 (-)
	F643NQL	Q Out (Low Power)	7 (-)
	F643NQ	Q Out	8 (-)
	F643NQP	Q Out (X2 Drive)	9 (-)
	F643NBL	QB Out (Low Power)	7 (-)
	F643NB	QB Out	8 (-)
	F643NBP	QB Out (X2 Drive)	9 (-)
	D-F/F with R,S	F614	-
L614		Q Out (Low Power)	8 (-)
F614NQT		Q Out (X4 Drive)	13 (-)
F614NBT		QB Out (X4 Drive)	13 (-)
F644NL		(Low Power)	9 (-)
F644		-	10 (-)
F644NP		(X2 Drive)	12 (-)
F644NQL		Q Out (Low Power)	9 (-)
F644NQ		Q Out	9 (-)
F644NQP		Q Out (X2 Drive)	10 (-)
F644NBL		QB Out (Low Power)	9 (-)
F644NB		QB Out	9 (-)
F644NBP		QB Out (X2 Drive)	10 (-)
D-F/F with RB		F615NL	(Low Power)
	F615	-	9 (-)
	F615NP	(X2 Drive)	11 (-)
	F615NT	(X4 Drive)	16 (-)
	F615NQL	Q Out (Low Power)	8 (-)
	F615NQ	Q Out	8 (-)
	F615NQP	Q Out (X2 Drive)	9 (-)
	F615NQT	Q Out (X4 Drive)	12 (-)
	F615NBL	QB Out (Low Power)	8 (-)
	F615NB	QB Out	8 (-)
	F615NBP	QB Out (X2 Drive)	9 (-)
	F615NBT	QB Out (X4 Drive)	11 (-)
D-F/F with SB	F616NL	(Low Power)	8 (-)
	F616	-	9 (-)
	F616NP	(X2 Drive)	11 (-)
	F616NQL	Q Out (Low Power)	8 (-)
	F616NQ	Q Out	8 (-)
	F616NQP	Q Out (X2 Drive)	9 (-)
	F616NQT	Q Out (X4 Drive)	11 (-)
	F616NBL	QB Out (Low Power)	8 (-)
	F616NB	QB Out	8 (-)
	F616NBP	QB Out (X2 Drive)	9 (-)
	F616NBT	QB Out (X4 Drive)	12 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
D-F/F with RB, SB	F617	-	10 (-)
	L617	Q Out (Low Power)	8 (-)
	F617NQT	Q Out (X4 Drive)	13 (-)
	F617NBT	QB Out (X4 Drive)	13 (-)
	F647NL	(Low Power)	9 (-)
	F647	-	10 (-)
	F647NP	(X2 Drive)	12 (-)
	F647NQL	Q Out (Low Power)	9 (-)
	F647NQ	Q Out	9 (-)
	F647NQP	Q Out (X2 Drive)	10 (-)
	F647NBL	QB Out (Low Power)	9 (-)
	F647NB	QB Out	9 (-)
	F647NBP	QB Out (X2 Drive)	10 (-)
D-F/F (CB)	F631	-	8 (-)
	F631NT	(X4 Drive)	14 (-)
	L631	Q Out (Low Power)	6 (-)
	F631NQT	Q Out (X4 Drive)	10 (-)
	F631NBT	QB Out (X4 Drive)	10 (-)
	F661NL	(Low Power)	7 (-)
	F661	-	8 (-)
	F661NP	(X2 Drive)	10 (-)
	F661NQL	Q Out (Low Power)	7 (-)
	F661NQ	Q Out	7 (-)
	F661NQP	Q Out (X2 Drive)	8 (-)
	F661NBL	QB Out (Low Power)	7 (-)
	F661NB	QB Out	7 (-)
F661NBP	QB Out (X2 Drive)	8 (-)	
D-F/F (CB) with RB	F635NQT	Q Out (X4 Drive)	12 (-)
	F635NBT	QB Out (X4 Drive)	11 (-)
	F665NL	(Low Power)	8 (-)
	F665	-	9 (-)
	F665NP	(X2 Drive)	11 (-)
	F665NQL	Q Out (Low Power)	7 (-)
	F665NQ	Q Out	8 (-)
	F665NQP	Q Out (X2 Drive)	9 (-)
	F665NBL	QB Out (Low Power)	7 (-)
	F665NB	QB Out	8 (-)
F665NBP	QB Out (X2 Drive)	9 (-)	
D-F/F (CB) with SB	F636NQT	Q Out (X4 Drive)	11 (-)
	F636NBT	QB Out (X4 Drive)	12 (-)
	F666NL	(Low Power)	8 (-)
	F666	-	9 (-)
	F666NP	(X2 Drive)	11 (-)
	F666NQL	Q Out (Low Power)	7 (-)
	F666NQ	Q Out	8 (-)
	F666NQP	Q Out (X2 Drive)	9 (-)
	F666NBL	QB Out (Low Power)	7 (-)
	F666NB	QB Out	8 (-)
F666NBP	QB Out (X2 Drive)	9 (-)	

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
D-F/F (CB) with RB, SB	F637	-	10 (-)
	L637	Q Out (Low Power)	8 (-)
	F637NQT	Q Out (X4 Drive)	13 (-)
	F637NBT	QB Out (X4 Drive)	13 (-)
	F667NL	(Low Power)	9 (-)
	F667	-	10 (-)
	F667NP	(X2 Drive)	12 (-)
	F667NQL	Q Out (Low Power)	9 (-)
	F667NQ	Q Out	9 (-)
	F667NQP	Q Out (X2 Drive)	10 (-)
	F667NBL	QB Out (Low Power)	9 (-)
	F667NB	QB Out	9 (-)
	F667NBP	QB Out (X2 Drive)	10 (-)
D-F/F with 2 to 1 Selector	F611ST	(X4 Drive)	17 (-)
	F611SQT	Q Out (X4 Drive)	13 (-)
	F611SBT	QB Out (X4 Drive)	13 (-)
	F641SL	(Low Power)	9 (-)
	F641S	-	10 (-)
	F641SP	(X2 Drive)	12 (-)
	F641SQ	Q Out	9 (-)
	F641SQP	Q Out (X2 Drive)	10 (-)
	F641SB	QB Out	9 (-)
	F641SBP	QB Out (X2 Drive)	10 (-)
D-F/F with R, 2 to 1 Selector	F612SQT	Q Out (X4 Drive)	14 (-)
	F612SBT	QB Out (X4 Drive)	14 (-)
	F642SL	(Low Power)	10 (-)
	F642S	-	11 (-)
	F642SP	(X2 Drive)	13 (-)
	F642SQ	Q Out	10 (-)
	F642SQP	Q Out (X2 Drive)	11 (-)
	F642SB	QB Out	10 (-)
	F642SBP	QB Out (X2 Drive)	11 (-)
D-F/F with S, 2 to 1 Selector	F613SQT	Q Out (X4 Drive)	14 (-)
	F613SBT	QB Out (X4 Drive)	14 (-)
	F643SL	(Low Power)	10 (-)
	F643S	-	11 (-)
	F643SP	(X2 Drive)	13 (-)
	F643SQ	Q Out	10 (-)
	F643SQP	Q Out (X2 Drive)	11 (-)
	F643SB	QB Out	10 (-)
	F643SBP	QB Out (X2 Drive)	11 (-)
D-F/F with R, S, 2 to 1 Selector	F614SQT	Q Out (X4 Drive)	15 (-)
	F614SBT	QB Out (X4 Drive)	15 (-)
	F644SL	(Low Power)	11 (-)
	F644S	-	12 (-)
	F644SP	(X2 Drive)	14 (-)
	F644SQ	Q Out	11 (-)
	F644SQP	Q Out (X2 Drive)	12 (-)
	F644SB	QB Out	11 (-)
	F644SBP	QB Out (X2 Drive)	12 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
D-F/F with RB, 2 to 1 Selector	F615SL	(Low Power)	10 (-)
	F615S	-	11 (-)
	F615SP	(X2 Drive)	13 (-)
	F615ST	(X4 Drive)	18 (-)
	F615SQ	Q Out	10 (-)
	F615SQP	Q Out (X2 Drive)	11 (-)
	F615SQT	Q Out (X4 Drive)	14 (-)
	F615SB	QB Out	10 (-)
	F615SBP	QB Out (X2 Drive)	11 (-)
	F615SBT	QB Out (X4 Drive)	14 (-)
D-F/F with SB, 2 to 1 Selector	F616SL	(Low Power)	10 (-)
	F616S	-	11 (-)
	F616SP	(X2 Drive)	13 (-)
	F616SQ	Q Out	10 (-)
	F616SQP	Q Out (X2 Drive)	11 (-)
	F616SQT	Q Out (X4 Drive)	14 (-)
	F616SB	QB Out	10 (-)
	F616SBP	QB Out (X2 Drive)	11 (-)
	F616SBT	QB Out (X4 Drive)	14 (-)
D-F/F with RB, SB, 2 to 1 Selector	F617SQT	Q Out (X4 Drive)	15 (-)
	F617SBT	QB Out (X4 Drive)	15 (-)
	F647SL	(Low Power)	11 (-)
	F647S	-	12 (-)
	F647SP	(X2 Drive)	14 (-)
	F647SQ	Q Out	11 (-)
	F647SQP	Q Out (X2 Drive)	12 (-)
	F647SB	QB Out	11 (-)
	F647SBP	QB Out (X2 Drive)	12 (-)
D-F/F (CB) with 2 to 1 Selector	F631ST	(X4 Drive)	17 (-)
	F631SQT	Q Out (X4 Drive)	13 (-)
	F631SBT	QB Out (X4 Drive)	13 (-)
	F661SL	(Low Power)	9 (-)
	F661S	-	10 (-)
	F661SP	(X2 Drive)	12 (-)
	F661SQ	Q Out	9 (-)
	F661SQP	Q Out (X2 Drive)	10 (-)
	F661SB	QB Out	9 (-)
	F661SBP	QB Out (X2 Drive)	10 (-)
D-F/F (CB) with RB, 2 to 1 Selector	F635ST	(X4 Drive)	18 (-)
	F635SQT	Q Out (X4 Drive)	14 (-)
	F635SBT	QB Out (X4 Drive)	14 (-)
	F665SL	(Low Power)	10 (-)
	F665S	-	11 (-)
	F665SP	(X2 Drive)	13 (-)
	F665SQ	Q Out	10 (-)
	F665SQP	Q Out (X2 Drive)	11 (-)
	F665SBP	QB Out (X2 Drive)	11 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
D-F/F (CB) with SB, 2 to 1 Selector	F636ST	(X4 Drive)	18 (-)
	F636SBT	QB Out (X4 Drive)	14 (-)
	F666SL	(Low Power)	10 (-)
	F666S	-	11 (-)
	F666SP	(X2 Drive)	13 (-)
	F666SQ	Q Out	10 (-)
	F666SQP	Q Out (X2 Drive)	11 (-)
	F666SB	QB Out	10 (-)
	F666SBP	QB Out (X2 Drive)	11 (-)
D-F/F (CB) with RB, SB, 2 to 1 Selector	F637SQT	Q Out (X4 Drive)	15 (-)
	F637SBT	QB Out (X4 Drive)	15 (-)
	F667SL	(Low Power)	11 (-)
	F667S	-	12 (-)
	F667SP	(X2 Drive)	14 (-)
	F667SQ	Q Out	11 (-)
	F667SQP	Q Out (X2 Drive)	12 (-)
	F667SB	QB Out	11 (-)
	F667SBP	QB Out (X2 Drive)	12 (-)
D-F/F with Hold	F641HL	(Low Power)	9 (-)
	F641H	-	10 (-)
	F641HP	(X2 Drive)	12 (-)
	F641HQ	Q Out	9 (-)
	F641HQP	Q Out (X2 Drive)	10 (-)
	F641HB	QB Out	9 (-)
	F641HBP	QB Out (X2 Drive)	10 (-)
D-F/F with RB, Hold	F615HL	(Low Power)	10 (-)
	F615H	-	11 (-)
	F615HP	(X2 Drive)	13 (-)
	F615HQ	Q Out	10 (-)
	F615HQP	Q Out (X2 Drive)	11 (-)
	F615HB	QB Out	10 (-)
	F615HBP	QB Out (X2 Drive)	11 (-)
D-F/F with SB, Hold	F616HL	(Low Power)	10 (-)
	F616H	-	11 (-)
	F616HP	(X2 Drive)	13 (-)
	F616HQ	Q Out	10 (-)
	F616HQP	Q Out (X2 Drive)	11 (-)
	F616HB	QB Out	10 (-)
	F616HBP	QB Out (X2 Drive)	11 (-)
D-F/F with RB, SB, Hold	F647HL	(Low Power)	11 (-)
	F647H	-	12 (-)
	F647HP	(X2 Drive)	14 (-)
	F647HQ	Q Out	11 (-)
	F647HQP	Q Out (X2 Drive)	12 (-)
	F647HB	QB Out	11 (-)
	F647HBP	QB Out (X2 Drive)	12 (-)
D-F/F (CB) with 2 to 1 Selector (2 CTRL), RB	F673	-	11 (-)
D-F/F (CB) with Hold, 2 to 1 Selector (2 CTRL), RB	F674	-	12 (-)

E. 2. 11 T-F/F, JK-F/F

Function	Block	Description	Cells (I/O)
T-F/F with R, S	F744NL	(Low Power)	8 (-)
	F744	-	9 (-)
	F714	-	9 (-)
	F744NP	(X2 Drive)	11 (-)
	L714	Q Out (Low Power)	8 (-)
	F744NQ	Q Out	8 (-)
	F744NQP	Q Out (X2 Drive)	9 (-)
T-F/F with RB	F745NL	(Low Power)	7 (-)
	F745	-	8 (-)
	F745NP	(X2 Drive)	10 (-)
	F745NQ	Q Out	7 (-)
	F745NQP	Q Out (X2 Drive)	8 (-)
T-F/F with RB, SB	F747NL	(Low Power)	8 (-)
	F747	-	9 (-)
	F717	-	9 (-)
	F747NP	(X2 Drive)	11 (-)
	L717	Q Out (Low Power)	8 (-)
	F747NQ	Q Out	8 (-)
	F747NQP	Q Out (X2 Drive)	9 (-)
T-F/F with Data-Hold R,S	F791	-	12 (-)
T-F/F (TB) with RB	F765NL	(Low Power)	7 (-)
	F765	-	8 (-)
	F765NP	(X2 Drive)	10 (-)
	F765NQ	Q Out	7 (-)
	F765NQP	Q Out (X2 Drive)	8 (-)
T-F/F (TB) with RB, SB	F767NL	(Low Power)	8 (-)
	F767	-	9 (-)
	F737	-	9 (-)
	F767NP	(X2 Drive)	11 (-)
	L737	Q Out (Low Power)	8 (-)
	F767NQ	Q Out	8 (-)
	F767NQP	Q Out (X2 Drive)	9 (-)
JK-F/F	F771NL	(Low Power)	9 (-)
	F771	-	10 (-)
	F771NP	(X2 Drive)	12 (-)
	F771NQL	Q Out (Low Power)	9 (-)
	F771NQ	Q Out	9 (-)
	F771NQP	Q Out (X2 Drive)	10 (-)
	F771NBL	QB Out (Low Power)	9 (-)
	F771NB	QB Out	9 (-)
	F771NBP	QB Out (X2 Drive)	10 (-)
JK-F/F (High Speed)	F7D1	-	10 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
JK-F/F with R, S	F774NL	(Low Power)	11 (-)
	F774	-	12 (-)
	F774NP	(X2 Drive)	14 (-)
	F774NQL	Q Out (Low Power)	11 (-)
	F774NQ	Q Out	11 (-)
	F774NQP	Q Out (X2 Drive)	12 (-)
	F774NBL	QB Out (Low Power)	11 (-)
	F774NB	QB Out	11 (-)
	F774NBP	QB Out (X2 Drive)	12 (-)
JK-F/F with RB	F775NL	(Low Power)	10 (-)
	F775	-	11 (-)
	F775NP	(X2 Drive)	13 (-)
	F775NQL	Q Out (Low Power)	10 (-)
	F775NQ	Q Out	10 (-)
	F775NQP	Q Out (X2 Drive)	11 (-)
	F775NBL	QB Out (Low Power)	10 (-)
	F775NB	QB Out	10 (-)
	F775NBP	QB Out (X2 Drive)	11 (-)
JK-F/F with SB	F776NL	(Low Power)	11 (-)
	F776	-	12 (-)
	F776NP	(X2 Drive)	14 (-)
	F776NQL	Q Out (Low Power)	11 (-)
	F776NQ	Q Out	11 (-)
	F776NQP	Q Out (X2 Drive)	12 (-)
	F776NBL	QB Out (Low Power)	11 (-)
	F776NB	QB Out	11 (-)
	F776NBP	QB Out (X2 Drive)	12 (-)
JK-F/F with RB, SB	F777NL	(Low Power)	11 (-)
	F777	-	12 (-)
	F777NP	(X2 Drive)	14 (-)
	F777NQL	Q Out (Low Power)	11 (-)
	F777NQ	Q Out	11 (-)
	F777NQP	Q Out (X2 Drive)	12 (-)
	F777NBL	QB Out (Low Power)	11 (-)
	F777NB	QB Out	11 (-)
	F777NBP	QB Out (X2 Drive)	12 (-)
JK-F/F (CB)	F781NL	(Low Power)	9 (-)
	F781	-	10 (-)
	F781NP	(X2 Drive)	12 (-)
	F781NQL	Q Out (Low Power)	9 (-)
	F781NQ	Q Out	9 (-)
	F781NQP	Q Out (X2 Drive)	10 (-)
	F781NBL	QB Out (Low Power)	9 (-)
	F781NB	QB Out	9 (-)
	F781NBP	QB Out (X2 Drive)	10 (-)
JK-F/F (CB) (High Speed)	F7E1	-	10 (-)

Function	Block	Description	Cells (I/O)
JK-F/F (CB) with RB, SB	F787NL	(Low Power)	11 (-)
	F787	-	12 (-)
	F787NP	(X2 Drive)	14 (-)
	F787NQL	Q Out (Low Power)	11 (-)
	F787NQ	Q Out	11 (-)
	F787NQP	Q Out (X2 Drive)	12 (-)
	F787NBL	QB Out (Low Power)	11 (-)
	F787NB	QB Out	11 (-)
	F787NBP	QB Out (X2 Drive)	12 (-)

E. 2. 12 Other Block

Function	Block	Description	Cells (I/O)
4-Bit D-Latch	F901	-	20 (-)
	L901	Q Out (Low Power)	12 (-)
4-Bit D-Latch (High Speed)	F971	-	20 (-)
8-Bit D-Latch	F902	-	38 (-)
	L902	Q Out (Low Power)	22 (-)
8-Bit D-Latch (High Speed)	F972	-	38 (-)
4-Bit D-F/F	L924	Q Out (Low Power)	20 (-)
4-Bit Shift Register	L914	Q Out (Low Power)	20 (-)
4-Bit Magnitude Comparator	F985	-	32 (-)

E. 3 Scan Path Block

E. 3. 1 Standard Type

Function	Block	Description	Cells (I/O)
D-F/F with R,S,2 to 1 Selector	S000	-	12 (-)
D-F/F with 2 to 1 Selector	S001	(Low Power)	9 (-)
	S002	-	10 (-)
D-F/F with RB,2 to 1 Selector	S004	-	11 (-)
D-F/F with SB,2 to 1 Selector	S005	-	11 (-)
D-F/F with R,S,Hold,2 to 1 Selector	S050	-	14 (-)
D-F/F with Hold,2 to 1 Selector	S052	-	12 (-)
JK-F/F with R,S,D-F/F Function	S100	-	14 (-)
JK-F/F with D-F/F Function	S102	-	12 (-)
JK-F/F with R,S,Hold,D-F/F Function	S150	-	17 (-)
JK-F/F with Hold,D-F/F Function	S152	-	15 (-)
D-Latch with R,D-F/F Function	S201	-	12 (-)
D-Latch with D-F/F Function	S202	-	11 (-)
D-Latch with D-F/F Function (High Speed)	S204	-	11 (-)
D-Latch with R,Special Function,R	S301	-	8 (-)
D-Latch with Special Function	S302	-	7 (-)
D-Latch with Special Function (High Speed)	S303	-	7 (-)
2 to 1 Data Selector	S999	-	4 (-)

E. 3. 2 LSSD Scan

Function	Block	Description	Cells (I/O)
Clocked LSSD D-Latch	SD601	-	10 (-)
	SD601NP	(X2 Drive)	13 (-)
Clocked LSSD D-Latch with R	SD602	-	11 (-)
	SD602NP	(X2 Drive)	14 (-)
Clocked LSSD D-Latch with RB	SD603	-	11 (-)
	SD603NP	(X2 Drive)	14 (-)
Clocked LSSD D-Latch (GB)	SD604	-	10 (-)
	SD604NP	(X2 Drive)	13 (-)
Clocked LSSD D-Latch (GB) with RB	SD605	-	11 (-)
	SD605NP	(X2 Drive)	14 (-)
Clocked LSSD D-F/F	SD611	-	12 (-)
	SD641	(X2 Drive)	15 (-)
	SD611T	(X4 Drive)	19 (-)
Clocked LSSD D-F/F with R, S	SD614	-	14 (-)
	SD644	(X2 Drive)	17 (-)
Clocked LSSD D-F/F with RB	SD615	-	13 (-)
	SD645	(X2 Drive)	16 (-)
Clocked LSSD D-F/F with SB	SD616	-	13 (-)
	SD646	(X2 Drive)	16 (-)
Clocked LSSD D-F/F with RB,SB	SD617	-	14 (-)
	SD647	(X2 Drive)	17 (-)
Clocked LSSD D-F/F (CB)	SD631	-	12 (-)
	SD661	(X2 Drive)	15 (-)
Clocked LSSD D-F/F (CB) with RB,SB	SD637	-	14 (-)
	SD667	(X2 Drive)	17 (-)

E. 3. 3 NEC Scan

Function	Block	Description	Cells (I/O)
D-Latch	SE601	-	12 (-)
	SE601NP	(X2 Drive)	15 (-)
	SE601NQ	Q Out	11 (-)
	SE601NQP	Q Out (X2 Drive)	13 (-)
	SE601NB	QB Out	11 (-)
	SE601NBP	QB Out (X2 Drive)	13 (-)
D-Latch with R	SE602	-	13 (-)
	SE602NP	(X2 Drive)	16 (-)
	SE602NQ	Q Out	12 (-)
	SE602NQP	Q Out (X2 Drive)	14 (-)
	SE602NB	QB Out	12 (-)
	SE602NBP	QB Out (X2 Drive)	14 (-)
D-Latch with RB	SE603	-	13 (-)
	SE603NP	(X2 Drive)	16 (-)
	SE603NQ	Q Out	12 (-)
	SE603NQP	Q Out (X2 Drive)	14 (-)
	SE603NB	QB Out	12 (-)
	SE603NBP	QB Out (X2 Drive)	14 (-)
D-Latch(GB)	SE604	-	12 (-)
	SE604NP	(X2 Drive)	15 (-)
	SE604NQ	Q Out	11 (-)
	SE604NQP	Q Out (X2 Drive)	13 (-)
	SE604NB	QB Out	11 (-)
	SE604NBP	QB Out (X2 Drive)	13 (-)
D-Latch(GB) with RB	SE605	-	13 (-)
	SE605NP	(X2 Drive)	16 (-)
	SE605NQ	Q Out	12 (-)
	SE605NQP	Q Out (X2 Drive)	14 (-)
	SE605NB	QB Out	12 (-)
	SE605NBP	QB Out (X2 Drive)	14 (-)
D-F/F	SE611	-	11 (-)
	SE611NT	(X4 Drive)	18 (-)
	SE611NQT	Q Out (X4 Drive)	14 (-)
	SE611NBT	QB Out (X4 Drive)	14 (-)
	SE641	-	11 (-)
	SE641NP	(X2 Drive)	14 (-)
	SE641NQ	Q Out	10 (-)
	SE641NQP	Q Out (X2 Drive)	12 (-)
	SE641NB	QB Out	10 (-)
	SE641NBP	QB Out (X2 Drive)	12 (-)
D-F/F with R, S	SE614	-	13 (-)
	SE614NQT	Q Out (X4 Drive)	16 (-)
	SE614NBT	QB Out (X4 Drive)	16 (-)
	SE644	-	13 (-)
	SE644NP	(X2 Drive)	16 (-)
	SE644NQ	Q Out	12 (-)
	SE644NQP	Q Out (X2 Drive)	14 (-)
	SE644NB	QB Out	12 (-)
	SE644NBP	QB Out (X2 Drive)	14 (-)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
D-F/F with RB	SE615	-	12 (-)
	SE615NQ	Q Out	11 (-)
	SE615NQT	Q Out (X4 Drive)	15 (-)
	SE615NB	QB Out	11 (-)
	SE615NBT	QB Out (X4 Drive)	15 (-)
	SE645NP	(X2 Drive)	15 (-)
	SE645NQP	Q Out (X2 Drive)	13 (-)
	SE645NBP	QB Out (X2 Drive)	13 (-)
D-F/F with SB	SE616	-	12 (-)
	SE616NQ	Q Out	11 (-)
	SE616NQT	Q Out (X4 Drive)	15 (-)
	SE616NB	QB Out	11 (-)
	SE616NBT	QB Out (X4 Drive)	15 (-)
	SE646NP	(X2 Drive)	15 (-)
	SE646NQP	Q Out (X2 Drive)	13 (-)
	SE646NBP	QB Out (X2 Drive)	13 (-)
D-F/F with RB, SB	SE617	-	13 (-)
	SE617NQT	Q Out (X4 Drive)	16 (-)
	SE617NBT	QB Out (X4 Drive)	16 (-)
	SE647	-	13 (-)
	SE647NP	(X2 Drive)	16 (-)
	SE647NQ	Q Out	12 (-)
	SE647NQP	Q Out (X2 Drive)	14 (-)
	SE647NB	QB Out	12 (-)
	SE647NBP	QB Out (X2 Drive)	14 (-)
D-F/F (CB)	SE631	-	11 (-)
	SE631NT	(X4 Drive)	18 (-)
	SE631NQT	Q Out (X4 Drive)	14 (-)
	SE631NBT	QB Out (X4 Drive)	14 (-)
	SE661	-	11 (-)
	SE661NP	(X2 Drive)	14 (-)
	SE661NQ	Q Out	10 (-)
	SE661NQP	Q Out (X2 Drive)	12 (-)
	SE661NB	QB Out	10 (-)
	SE661NBP	QB Out (X2 Drive)	12 (-)
D-F/F (CB) with RB, SB	SE637	-	13 (-)
	SE637NQT	Q Out (X4 Drive)	16 (-)
	SE637NBT	QB Out (X4 Drive)	16 (-)
	SE667	-	13 (-)
	SE667NP	(X2 Drive)	16 (-)
	SE667NQ	Q Out	12 (-)
	SE667NQP	Q Out (X2 Drive)	14 (-)
	SE667NB	QB Out	12 (-)
	SE667NBP	QB Out (X2 Drive)	14 (-)

E. 3. 4 Scan Controller

Function	Block	Description	Cells (I/O)
Clock Distributor	SCD1	-	8 (-)
Clock Distributor with Test (Positive Clock)	SCDC	-	2 (-)
Clock Distributor with Test (Negative Clock)	SCDD	-	2 (-)
I/F Control (AMC) with EN	SFEH	-	3 (-)
I/F Control (AMC) with ENB	SFEL	-	2 (-)
I/F Control (SMC) with EN	SOEH	-	4 (-)
	SOEH2	(X2 Drive)	7 (-)
I/F Control (SMC) with ENB	SOEL	-	3 (-)
	SOEL2	(X2 Drive)	6 (-)
Mega Macro Skip	SMS1	-	4 (-)
Set/Reset Control	SRH1	-	2 (-)
Set-B/Reset-B Control	SRL1	-	2 (-)
Loop Cut	SRPD	-	12 (-)
Clock Generator	SCKG	-	16 (-)
Common Input	SCI1	-	2 (-)
Common Output	SCO1	-	5 (-)
GND	SGND	-	2 (-)

E. 4 Boundary Scan Block (Interface)

E. 4. 1 3.3 V Interface

Function	Block	Description	Cells (I/O)
Input Buffer	FI01BI	-	7 (1)
	FID1BI	50 k Ω Pull-down	7 (1)
	FIU1BI	50 k Ω Pull-up	7 (1)
	FIW1BI	5 k Ω Pull-up	7 (1)
	FIS1BI	Schmitt	11 (1)
	FDS1BI	Schmitt 50 k Ω Pull-down	11 (1)
	FUS1BI	Schmitt 50 k Ω Pull-up	11 (1)
	FWS1BI	Schmitt 5 k Ω Pull-up	11 (1)
	FIB1BI	Clock Driver	56 (1)
	FDB1BI	Clock Driver 50 k Ω Pull-down	56 (1)
	FUB1BI	Clock Driver 50 k Ω Pull-up	56 (1)
	FWB1BI	Clock Driver 5 k Ω Pull-up	56 (1)
Input Buffer with Failsafe	FIA1BI	-	7 (1)
	FDA1BI	50 k Ω Pull-down	7 (1)
	FIE1BI	Schmitt	11 (1)
	FDE1BI	Schmitt 50 k Ω Pull-down	11 (1)
	FIH1BI	Clock Driver	56 (1)
	FDH1BI	Clock Driver 50 k Ω Pull-down	56 (1)
Output Buffer	FO09B2	3 mA	13 (1)
	FO04B2	6 mA	13 (1)
	FO01B2	9 mA	13 (1)
	FO02B2	12 mA	13 (1)
	FO03B2	18 mA	25 (1)
	FO06B2	24 mA	25 (1)
Low-noise Output Buffer	FE04B2	6 mA	15 (1)
	FE01B2	9 mA	15 (1)
	FE02B2	12 mA	15 (1)
	FE03B2	18 mA	15 (1)
	FE06B2	24 mA	15 (1)
3-State Buffer	B00TB3	3 mA	29 (1)
	B0DTB3	3 mA 50 k Ω Pull-down	29 (1)
	B0UTB3	3 mA 50 k Ω Pull-up	29 (1)
	B0WTB3	3 mA 5 k Ω Pull-up	29 (1)
	B00EB3	6 mA	29 (1)
	B0DEB3	6 mA 50 k Ω Pull-down	29 (1)
	B0UEB3	6 mA 50 k Ω Pull-up	29 (1)
	B0WEB3	6 mA 5 k Ω Pull-up	29 (1)
	B008B3	9 mA	29 (1)
	B0D8B3	9 mA 50 k Ω Pull-down	29 (1)
	B0U8B3	9 mA 50 k Ω Pull-up	29 (1)
	B0W8B3	9 mA 5 k Ω Pull-up	29 (1)
	B007B3	12 mA	29 (1)
	B0D7B3	12 mA 50 k Ω Pull-down	29 (1)
	B0U7B3	12 mA 50 k Ω Pull-up	29 (1)
	B0W7B3	12 mA 5 k Ω Pull-up	29 (1)
	B009B3	18 mA	32 (1)
	B0D9B3	18 mA 50 k Ω Pull-down	32 (1)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
3-State Buffer	B0U9B3	18 mA 50 kΩ Pull-up	32 (1)
	B0W9B3	18 mA 5 kΩ Pull-up	32 (1)
	B00HB3	24 mA	32 (1)
	B0DHB3	24 mA 50 kΩ Pull-down	32 (1)
	B0UHB3	24 mA 50 kΩ Pull-up	32 (1)
	B0WHB3	24 mA 5 kΩ Pull-up	32 (1)
Low-noise 3-State Buffer	BE0EB3	6 mA	22 (1)
	BEDEB3	6 mA 50 kΩ Pull-down	22 (1)
	BEUEB3	6 mA 50 kΩ Pull-up	22 (1)
	BEWEB3	6 mA 5 kΩ Pull-up	22 (1)
	BE08B3	9 mA	22 (1)
	BED8B3	9 mA 50 kΩ Pull-down	22 (1)
	BEU8B3	9 mA 50 kΩ Pull-up	22 (1)
	BEW8B3	9 mA 5 kΩ Pull-up	22 (1)
	BE07B3	12 mA	22 (1)
	BED7B3	12 mA 50 kΩ Pull-down	22 (1)
	BEU7B3	12 mA 50 kΩ Pull-up	22 (1)
	BEW7B3	12 mA 5 kΩ Pull-up	22 (1)
	BE09B3	18 mA	22 (1)
	BED9B3	18 mA 50 kΩ Pull-down	22 (1)
	BEU9B3	18 mA 50 kΩ Pull-up	22 (1)
	BEW9B3	18 mA 5 kΩ Pull-up	22 (1)
	BE0HB3	24 mA	22 (1)
	BEDHB3	24 mA 50 kΩ Pull-down	22 (1)
	BEUHB3	24 mA 50 kΩ Pull-up	22 (1)
	BEWHB3	24 mA 5 kΩ Pull-up	22 (1)
I/O Buffer	B00UBB	3 mA	38 (1)
	B0DUBB	3 mA 50 kΩ Pull-down	38 (1)
	B0UUBB	3 mA 50 kΩ Pull-up	38 (1)
	B0WUBB	3 mA 5 kΩ Pull-up	38 (1)
	B00CBB	6 mA	38 (1)
	B0DCBB	6 mA 50 kΩ Pull-down	38 (1)
	B0UCBB	6 mA 50 kΩ Pull-up	38 (1)
	B0WCBB	6 mA 5 kΩ Pull-up	38 (1)
	B003BB	9 mA	38 (1)
	B0D3BB	9 mA 50 kΩ Pull-down	38 (1)
	B0U3BB	9 mA 50 kΩ Pull-up	38 (1)
	B0W3BB	9 mA 5 kΩ Pull-up	38 (1)
	B001BB	12 mA	38 (1)
	B0D1BB	12 mA 50 kΩ Pull-down	38 (1)
	B0U1BB	12 mA 50 kΩ Pull-up	38 (1)
	B0W1BB	12 mA 5 kΩ Pull-up	38 (1)
	B005BB	18 mA	41 (1)
	B0D5BB	18 mA 50 kΩ Pull-down	41 (1)
	B0U5BB	18 mA 50 kΩ Pull-up	41 (1)
	B0W5BB	18 mA 5 kΩ Pull-up	41 (1)
	B00FBB	24 mA	41 (1)
	B0DFBB	24 mA 50 kΩ Pull-down	41 (1)
	B0UFBB	24 mA 50 kΩ Pull-up	41 (1)
	B0WFBB	24 mA 5 kΩ Pull-up	41 (1)

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
Low-noise I/O Buffer	BE0CBB	6 mA	31 (1)
	BEDCBB	6 mA 50 kΩ Pull-down	31 (1)
	BEUCBB	6 mA 50 kΩ Pull-up	31 (1)
	BEWCBB	6 mA 5 kΩ Pull-up	31 (1)
	BE03BB	9 mA	31 (1)
	BED3BB	9 mA 50 kΩ Pull-down	31 (1)
	BEU3BB	9 mA 50 kΩ Pull-up	31 (1)
	BEW3BB	9 mA 5 kΩ Pull-up	31 (1)
	BE01BB	12 mA	31 (1)
	BED1BB	12 mA 50 kΩ Pull-down	31 (1)
	BEU1BB	12 mA 50 kΩ Pull-up	31 (1)
	BEW1BB	12 mA 5 kΩ Pull-up	31 (1)
	BE05BB	18 mA	31 (1)
	BED5BB	18 mA 50 kΩ Pull-down	31 (1)
	BEU5BB	18 mA 50 kΩ Pull-up	31 (1)
	BEW5BB	18 mA 5 kΩ Pull-up	31 (1)
	BE0FBB	24 mA	31 (1)
	BEDFBB	24 mA 50 kΩ Pull-down	31 (1)
	BEUFBB	24 mA 50 kΩ Pull-up	31 (1)
	BEWFBB	24 mA 5 kΩ Pull-up	31 (1)
Schmitt I/O Buffer	BSIUBB	3 mA	42 (1)
	BSDUBB	3 mA 50 kΩ Pull-down	42 (1)
	BSUUBB	3 mA 50 kΩ Pull-up	42 (1)
	BSWUBB	3 mA 5 kΩ Pull-up	42 (1)
	BSICBB	6 mA	42 (1)
	BSDCBB	6 mA 50 kΩ Pull-down	42 (1)
	BSUCBB	6 mA 50 kΩ Pull-up	42 (1)
	BSWCBB	6 mA 5 kΩ Pull-up	42 (1)
	BSI3BB	9 mA	42 (1)
	BSD3BB	9 mA 50 kΩ Pull-down	42 (1)
	BSU3BB	9 mA 50 kΩ Pull-up	42 (1)
	BSW3BB	9 mA 5 kΩ Pull-up	42 (1)
	BSI1BB	12 mA	42 (1)
	BSD1BB	12 mA 50 kΩ Pull-down	42 (1)
	BSU1BB	12 mA 50 kΩ Pull-up	42 (1)
	BSW1BB	12 mA 5 kΩ Pull-up	42 (1)
	BSI5BB	18 mA	45 (1)
	BSD5BB	18 mA 50 kΩ Pull-down	45 (1)
	BSU5BB	18 mA 50 kΩ Pull-up	45 (1)
	BSW5BB	18 mA 5 kΩ Pull-up	45 (1)
BSIFBB	24 mA	45 (1)	
BSDFBB	24 mA 50 kΩ Pull-down	45 (1)	
BSUFBB	24 mA 50 kΩ Pull-up	45 (1)	
BSWFBB	24 mA 5 kΩ Pull-up	45 (1)	

付録 E ブロッカー一覧表

Function	Block	Description	Cells (I/O)
Low-noise Schmitt I/O Buffer	BFICBB	6 mA	35 (1)
	BFDCBB	6 mA 50 kΩ Pull-down	35 (1)
	BFUCBB	6 mA 50 kΩ Pull-up	35 (1)
	BFWCBB	6 mA 5 kΩ Pull-up	35 (1)
	BFI3BB	9 mA	35 (1)
	BFD3BB	9 mA 50 kΩ Pull-down	35 (1)
	BFU3BB	9 mA 50 kΩ Pull-up	35 (1)
	BFW3BB	9 mA 5 kΩ Pull-up	35 (1)
	BFI1BB	12 mA	35 (1)
	BFD1BB	12 mA 50 kΩ Pull-down	35 (1)
	BFU1BB	12 mA 50 kΩ Pull-up	35 (1)
	BFW1BB	12 mA 5 kΩ Pull-up	35 (1)
	BFI5BB	18 mA	35 (1)
	BFD5BB	18 mA 50 kΩ Pull-down	35 (1)
	BFU5BB	18 mA 50 kΩ Pull-up	35 (1)
	BFW5BB	18 mA 5 kΩ Pull-up	35 (1)
	BFIFBB	24 mA	35 (1)
	BFDfBB	24 mA 50 kΩ Pull-down	35 (1)
	BFUFBB	24 mA 50 kΩ Pull-up	35 (1)
BFWFBB	24 mA 5 kΩ Pull-up	35 (1)	
N-ch Open drain Buffer	EXTHB2	3 mA	13 (1)
	EXUHB2	3 mA 50 kΩ Pull-up	13 (1)
	EXWHB2	3 mA 5 kΩ Pull-up	13 (1)
	EXTJB2	6 mA	13 (1)
	EXUJB2	6 mA 50 kΩ Pull-up	13 (1)
	EXWJB2	6 mA 5 kΩ Pull-up	13 (1)
	EXT1B2	9 mA	13 (1)
	EXT3B2	9 mA 50 kΩ Pull-up	13 (1)
	EXW3B2	9 mA 5 kΩ Pull-up	13 (1)
	EXT9B2	12 mA	13 (1)
	EXTBB2	12 mA 50 kΩ Pull-up	13 (1)
	EXWBB2	12 mA 5 kΩ Pull-up	13 (1)
	EXT5B2	18 mA	25 (1)
	EXT7B2	18 mA 50 kΩ Pull-up	25 (1)
	EXW7B2	18 mA 5 kΩ Pull-up	25 (1)
	EXTDB2	24 mA	25 (1)
	EXTFB2	24 mA 50 kΩ Pull-up	25 (1)
	EXWFB2	24 mA 5 kΩ Pull-up	25 (1)
	Low-noise N-ch Open drain Buffer	EETJB2	6 mA
EEUJB2		6 mA 50 kΩ Pull-up	10 (1)
EEWJB2		6 mA 5 kΩ Pull-up	10 (1)
EET1B2		9 mA	10 (1)
EET3B2		9 mA 50 kΩ Pull-up	10 (1)
EEW3B2		9 mA 5kΩ Pull-up	10 (1)
EET9B2		12 mA	10 (1)
EETBB2		12 mA 50 kΩ Pull-up	10 (1)
EEWBB2		12 mA 5 kΩ Pull-up	10 (1)
EET5B2		18 mA	10 (1)
EET7B2		18 mA 50 kΩ Pull-up	10 (1)
EEW7B2		18 mA 5 kΩ Pull-up	10 (1)
EETDB2		24 mA	10 (1)
EETFB2		24 mA 50 kΩ Pull-up	10 (1)
EEWFB2		24 mA 5 kΩ Pull-up	10 (1)

E. 4. 2 5 V Interface

Function		Block	Description	Cells (I/O)
Input Buffer		FIV1BI	-	7 (1)
		FDV1BI	50 k Ω Pull-down	7 (1)
		FIF1BI	-	11 (1)
		FDF1BI	50 k Ω Pull-down	11 (1)
		FIG1BI	-	56 (1)
		FDG1BI	50 k Ω Pull-down	56 (1)
CMOS Level	Output Buffer	FY09B2	3 mA	31 (1)
		FY04B2	6 mA	31 (1)
		FY01B2	9 mA	34 (1)
		FY02B2	12 mA	34 (1)
		FY03B2	18 mA	34 (1)
		FY06B2	24 mA	34 (1)
	Low-noise Output Buffer	FZ02B2	12 mA	33 (1)
		FZ03B2	18 mA	33 (1)
		FZ06B2	24 mA	33 (1)
	3-State Buffer	BD0TB3	3 mA	57 (1)
		BD0EB3	6 mA	57 (1)
		BD08B3	9 mA	60 (1)
		BD07B3	12 mA	60 (1)
		BD09B3	18 mA	60 (1)
		BD0HB3	24 mA	60 (1)
	Low-noise 3-State Buffer	BJ07B3	12 mA	51 (1)
		BJ09B3	18 mA	51 (1)
		BJ0HB3	24 mA	51 (1)
	I/O Buffer	BM0UBB	3 mA	66 (1)
		BM0CBB	6 mA	66 (1)
		BM03BB	9 mA	69 (1)
		BM01BB	12 mA	69 (1)
		BM05BB	18 mA	69 (1)
		BM0FBB	24 mA	69 (1)
	Low-noise I/O Buffer	BP01BB	12 mA	60 (1)
		BP05BB	18 mA	60 (1)
		BP0FBB	24 mA	60 (1)
	Schmitt I/O Buffer	BQIUBB	3 mA	70 (1)
		BQICBB	6 mA	70 (1)
		BQI3BB	9 mA	73 (1)
		BQI1BB	12 mA	73 (1)
		BQI5BB	18 mA	73 (1)
		BQIFBB	24 mA	73 (1)
Low-noise Schmitt I/O Buffer	BUI1BB	12 mA	64 (1)	
	BUI5BB	18 mA	64 (1)	
	BUIFBB	24 mA	64 (1)	

Function	Block	Description	Cells (I/O)	
TTL Level	Output Buffer	FV0AB2	1 mA	13 (1)
		FV0BB2	2 mA	13 (1)
		FV09B2	3 mA	13 (1)
		FV04B2	6 mA	13 (1)
		FV01B2	9 mA	25 (1)
		FV02B2	12 mA	25 (1)
		FV03B2	18 mA	25 (1)
		FV06B2	24 mA	25 (1)
	Low-noise Output Buffer	FW02B2	12 mA	15 (1)
		FW03B2	18 mA	15 (1)
		FW06B2	24 mA	15 (1)
	3-State Buffer	BV0QB3	1 mA	52 (1)
		BVDQB3	1 mA 50 kΩ Pull-down	52 (1)
		BV0MB3	2 mA	52 (1)
		BVDMB3	2 mA 50 kΩ Pull-down	52 (1)
		BV0TB3	3 mA	52 (1)
		BVDTB3	3 mA 50 kΩ Pull-down	52 (1)
		BV0EB3	6 mA	52 (1)
		BVDEB3	6 mA 50 kΩ Pull-down	52 (1)
		BV08B3	9 mA	54 (1)
		BVD8B3	9 mA 50 kΩ Pull-down	54 (1)
		BV07B3	12 mA	54 (1)
		BVD7B3	12 mA 50 kΩ Pull-down	54 (1)
		BV09B3	18 mA	54 (1)
		BVD9B3	18 mA 50 kΩ Pull-down	54 (1)
		BV0HB3	24 mA	54 (1)
		BVDHB3	24 mA 50 kΩ Pull-down	54 (1)
	Low-noise 3-State Buffer	BY07B3	12 mA	39 (1)
		BYD7B3	12 mA 50 kΩ Pull-down	39 (1)
		BY09B3	18 mA	39 (1)
		BYD9B3	18 mA 50 kΩ Pull-down	39 (1)
		BY0HB3	24 mA	39 (1)
		BYDHB3	24 mA 50 kΩ Pull-down	39 (1)
	I/O Buffer	BW0XBB	1 mA	61 (1)
		BWDXBB	1 mA 50 kΩ Pull-down	61 (1)
		BW0KBB	2 mA	61 (1)
		BWDKBB	2 mA 50 kΩ Pull-down	61 (1)
		BW0UBB	3 mA	61 (1)
		BWDUBB	3 mA 50 kΩ Pull-down	61 (1)
		BW0CBB	6 mA	61 (1)
		BWDCBB	6 mA 50 kΩ Pull-down	61 (1)
		BW03BB	9 mA	63 (1)
BWD3BB		9 mA 50 kΩ Pull-down	63 (1)	
BW01BB		12 mA	63 (1)	
BWD1BB		12 mA 50 kΩ Pull-down	63 (1)	
BW05BB		18 mA	63 (1)	
BWD5BB		18 mA 50 kΩ Pull-down	63 (1)	
BW0FBB		24 mA	63 (1)	
BWDFBB		24 mA 50 kΩ Pull-down	63 (1)	

Function		Block	Description	Cells (I/O)
TTL Level	Low-noise I/O Buffer	BX01BB	12 mA	48 (1)
		BXD1BB	12 mA 50 kΩ Pull-down	48 (1)
		BX05BB	18 mA	48 (1)
		BXD5BB	18 mA 50 kΩ Pull-down	48 (1)
		BX0FBB	24 mA	48 (1)
		BXDFBB	24 mA 50 kΩ Pull-down	48 (1)
	Schmitt I/O Buffer	BKIXBB	1 mA	65 (1)
		BKDXBB	1 mA 50 kΩ Pull-down	65 (1)
		BKIKBB	2 mA	65 (1)
		BKDKBB	2 mA 50 kΩ Pull-down	65 (1)
		BKIUBB	3 mA	65 (1)
		BKDUBB	3 mA 50 kΩ Pull-down	65 (1)
		BKICBB	6 mA	65 (1)
		BKDCBB	6 mA 50 kΩ Pull-down	65 (1)
		BKI3BB	9 mA	67 (1)
		BKD3BB	9 mA 50 kΩ Pull-down	67 (1)
		BKI1BB	12 mA	67 (1)
		BKD1BB	12 mA 50 kΩ Pull-down	67 (1)
		BKI5BB	18 mA	67 (1)
		BKD5BB	18 mA 50 kΩ Pull-down	67 (1)
		BKIFBB	24 mA	67 (1)
		BKDFBB	24 mA 50 kΩ Pull-down	67 (1)
	Low-noise Schmitt I/O Buffer	BZI1BB	12 mA	52 (1)
		BZD1BB	12 mA 50 kΩ Pull-down	52 (1)
		BZI5BB	18 mA	52 (1)
		BZD5BB	18 mA 50 kΩ Pull-down	52 (1)
		BZIFBB	24 mA	52 (1)
		BZDFBB	24 mA 50 kΩ Pull-down	52 (1)
	N-ch Open drain Buffer	EVTTB2	1 mA	13 (1)
		EVTKB2	2 mA	13 (1)
		EVTHB2	3 mA	13 (1)
		EVTJB2	6 mA	13 (1)
		EVT1B2	9 mA	25 (1)
		EVT9B2	12 mA	25 (1)
		EVT5B2	18 mA	25 (1)
		EVTDB2	24 mA	25 (1)
	Low-noise N-ch Open drain Buffer	EYT9B2	12 mA	10 (1)
		EYT5B2	18 mA	10 (1)
		EYTDB2	24 mA	10 (1)

E. 4.3 PCI

Function	Block	Description	Cells (I/O)
3V PCI Input Buffer	BP3IB1	-	7 (1)
3V PCI Output Buffer	BP3OB2	-	25 (1)
3V PCI 3-State Buffer	BP3TB3	-	32 (1)
3V PCI I/O Buffer	BP3BBB	-	41 (1)
5V PCI Input Buffer	BP5IB1	-	7 (1)
5V PCI Output Buffer	BP5OB2	-	25 (1)
5V PCI 3-State Buffer	BP5TB3	-	54 (1)
5V PCI I/O Buffer	BP5BBB	-	63 (1)

E. 5 Boundary Scan Block (Function)

E. 5. 1 TAP Macro

Function	Block	Description	Cells (I/O)
TAP MACRO	SBC4	-	- (-)
TAP Macro with NEC Scan	SBCL	-	- (-)

E. 5. 2 Level Generator

Function	Block	Description	Cells (I/O)
Level Generator (CLANP)	SBZ1	-	0 (-)

E. 5. 3 D-Latch

Function	Block	Description	Cells (I/O)
D-Latch with SB Q Out (Low Power) for Boundary Scan Block	L606	-	5 (-)

[メ 毛]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電 話 : (044)435-9494

E-mail : info@necel.com