

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



設計マニュアル

# CMOS-9HDシリーズ, EA-9HDシリーズ

CMOSゲートアレイ, CMOSエンベデッド・アレイ

メガマクロ編 Ver.8.1

---

資料番号 A13941JJ8V1DM00 (第8版)

発行年月 October 2008 NS

© NEC Electronics Corporation 1999

(メモ)

## 目次要約

第1章 共通編 ...	13
第2章 NA51Aマクロ ...	37
第3章 NA54Aマクロ ...	53
第4章 NA59Aマクロ ...	64
第5章 NZ16550Aマクロ ...	81
付録A 単体テストの仕様 ...	126

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

TRI-STATEは、National Semiconductor Corporationの登録商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2008年10月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

## 本版で改訂された主な箇所

A13941JJ7V0DM00

A13941JJ8V1DM00

箇所	内容
p.16	表1 - 2 メガマクロ・テストのために必要な端子数を変更
pp.83 , 84	5. 1 NZ16550A概要を追加
p.87	5. 2. 1 端子一覧 注2を変更
pp.90 ~ 93	5. 2. 2 端子機能を追加
p.94	図5 - 1 初期パターンに注3を追加 CSBのタイミングを修正
p.96	5. 3. 3 パターン作成時の注意を追加
p.108	5. 6 ( 16 ) 送信READY FIFOモード ( DMAモード = 0 ) 時のタイミングを追加
p.108	5. 6 ( 17 ) 送信READY FIFOモード ( DMAモード = 1 ) 時のタイミングを変更
pp.112 ~ 124	5. 8. 2 レジスタ機能説明を追加
p.125	5. 9 接続例を追加

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この " "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。



# はじめに

このマニュアルは、NECゲートアレイCMOS-9HDシリーズのメガマクロ（大型ファンクション・ブロック）を使用してゲートアレイを設計するために必要な内容について説明しています。

LSIを滞りなく設計していただくために、このマニュアルを熟読してください。

また、マニュアルに記載された事項（一般事項、注意事項、制限事項）は必ずお守りください。お守りいただけない場合、LSI製品の品質や性能の低下、および動作の異常が生じることがあります。

## 対象メガマクロのラインアップ

メガマクロ名	機能	機能相当汎用品
NA51A	シリアル・コントロール・ユニット	μ PD71051
NA54A	プログラマブル・タイマ・カウンタ	μ PD71054
NA59A	インタラプト・コントロール・ユニット	μ PD71059
NZ16550A	FIFO付きUART	PC16550D

各メガマクロはあらかじめゲート配置と配線が決まった構成のため、マクロ内部のタイミング・スペックは配置配線前後で一定です。ただし、占有するセル領域の形状が固定のため、マクロを搭載する場合のマスタ選択はマクロのセル数だけでなく、マクロの形状とマスタの形状を考慮する必要があります。特にメガマクロを複数個搭載する場合や、ほかのハード・マクロ（メモリ・マクロなど）を搭載する場合には、マクロ間の形状の組み合わせが複雑になり別途マクロの搭載検討が必要になりますので、これらの場合にはNECまでご相談ください。

## 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめ、ご了承ください。

CMOS-9HDシリーズ 設計マニュアル	(A12985J)
CMOS-9HDシリーズ, EA-9HDシリーズ ブロック・ライブラリ	(A13052J)
CMOS-9HD Series, EA-9HD Series Memory Block Library	(A13071J)
CMOS-9HDシリーズ 設計マニュアル メガマクロ編	(このマニュアル)
テスト容易化設計 ユーザーズ・マニュアル	(A14357J)
μPD71059 ユーザーズ・マニュアル	(U13042J)
μPD71059 データ・シート	(U11932J)

# 目 次

## 第1章 共通編 ... 13

- 1.1 開発フロー ... 13
- 1.2 システム設計 ... 15
  - 1.2.1 マスタ選択 ... 15
  - 1.2.2 端子数 ... 16
  - 1.2.3 テスト・パターン数 ... 17
  - 1.2.4 遅延時間 ... 18
  - 1.2.5 消費電力 ... 19
- 1.3 回路設計 ... 20
  - 1.3.1 メガマクロの内部構成 ... 20
  - 1.3.2 モード ... 21
  - 1.3.3 メガマクロとユーザ回路の接続 ... 23
  - 1.3.4 テスト信号の割り当て ... 28
  - 1.3.5 スルー・パス・テスト ... 29
  - 1.3.6 回路例 ... 31
- 1.4 テスト・パターン作成時の注意 ... 33
  - 1.4.1 メガマクロ初期化パターン作成時の注意 ... 33
  - 1.4.2 メガマクロ単体テスト設定パターン作成上の注意 ... 33
  - 1.4.3 最大テスト・パターン数の制限 ... 35
  - 1.4.4 クロック入力についての注意 ... 36
- 1.5 そのほかの注意点 ... 36

## 第2章 NA51Aマクロ ... 37

- 2.1 NA51A端子説明 ... 39
- 2.2 NA51A初期化パターン ... 43
- 2.3 遅延時間 ... 44
- 2.4 AC特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 3.3 \pm 0.3 V$ ) ... 44
- 2.5 タイミング・チャート ... 46

## 第3章 NA54Aマクロ ... 53

- 3.1 NA54A端子説明 ... 55
- 3.2 NA54A初期化パターン ... 59
- 3.3 遅延時間 ... 60
- 3.4 AC特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 3.3 \pm 0.3 V$ ) ... 60
- 3.5 タイミング・チャート ... 62

<b>第4章</b>	<b>NA59Aマクロ</b>	...	64
4.1	NA59A端子説明	...	66
4.2	NA59A初期化パターン	...	71
4.3	遅延時間	...	72
4.4	AC特性 (TA = -40 ~ +85 , VDD = 3.3 ± 0.3 V)	...	73
4.5	タイミング・チャート	...	75
4.6	NA59Aと□PD71059の相違点	...	79
4.7	回路設計時の注意点	...	79
4.7.1	μPD71059と同様に使用する場合	...	79
4.7.2	IRL7-IRL0の使用方法	...	80
4.7.3	INTCONの使用方法	...	80
4.7.4	INTO7-INTO0の使用方法	...	80
4.7.5	ESLC7-ESLC0の使用方法	...	80

## 第5章 NZ16550Aマクロ ... 81

5.1	NZ16550A概要	...	83
5.1.1	概要	...	83
5.1.2	特徴	...	84
5.2	NZ16550A端子説明	...	85
5.2.1	端子一覧	...	85
5.2.2	端子機能	...	90
5.3	NZ16550Aの初期化およびパターン作成時の注意	...	94
5.3.1	初期化後の出力端子の状態	...	95
5.3.2	リセット後のデフォルト値	...	96
5.3.3	パターン作成時の注意	...	96
5.4	遅延時間	...	96
5.5	AC特性 (TA = -40 ~ +85 , VDD = 3.3 ± 0.3 V)	...	97
5.6	タイミング・チャート	...	99
5.7	ブロック図	...	109
5.8	レジスタ	...	110
5.8.1	レジスタ一覧	...	110
5.8.2	レジスタ機能説明	...	112
5.9	接続例	...	125

## 付録A 単体テストの仕様 ... 126

A.1	メガマクロ単体テスト仕様書	...	127
A.2	NA51A端子レファレンス表	...	128
A.3	NA54A端子レファレンス表	...	129
A.4	NA59A端子レファレンス表	...	130
A.5	NZ16550A端子レファレンス表	...	131

# 図の目次

図番号	タイトル, ページ
1 - 1	メガマクロ搭載時のゲートアレイ開発フロー ... 14
1 - 2	メガマクロ内部回路構成 ... 20
1 - 3	入力端子との接続 ... 24
1 - 4	出力端子との接続 ... 25
1 - 5	AND, ORゲートを使用した例 ... 26
1 - 6	F091を使用してバス接続した例 ... 27
1 - 7	メガマクロのテスト入力端子と通常出力端子を共用した例 ... 28
1 - 8	通常動作イメージ ... 29
1 - 9	メガマクロ単体テスト・イメージ ... 29
1 - 10	メガマクロ前段回路テスト・イメージ (スルー・バス・テスト) ... 30
1 - 11	メガマクロ後段回路テスト・イメージ (スルー・バス・テスト) ... 30
1 - 12	メガマクロを複数搭載した場合の回路例 ... 31
1 - 13	メガマクロ単体テスト設定パターン作成 ... 34
1 - 14	テスト・パターンの内訳 ... 35
4 - 1	INTCONとINTR, WRBの関係 ... 80
5 - 1	初期化パターン ... 94
5 - 2	ブロック図 ... 109
5 - 3	データ・バスとの接続例 ... 125
5 - 4	CPUとの接続例 ... 125

# 表の目次

表番号	タイトル, ページ
1 - 1	メガマクロ搭載可能マスター一覧 ... 15
1 - 2	メガマクロ・テストのために必要な端子数 ... 16
1 - 3	メガマクロ単体テスト・パターン数(1つ当たり) ... 17
1 - 4	メガマクロの動作モード ... 21
1 - 5	メガマクロの出力制御真理値表 ... 22
1 - 6	テスト・デコーダ真理値表 ... 32
1 - 7	テスト出力セレクト真理値表 ... 32
5 - 1	初期化後の出力端子の状態 ... 95
5 - 2	レジスタのデフォルト値 ... 96
5 - 3	出力信号(汎用出力信号, シリアル・データ出力信号)のデフォルト値 ... 96
5 - 4	レジスタ一覧 ... 110
5 - 5	発振周波数およびデバイザ ... 114
5 - 6	割り込みコントロール機能 ... 119

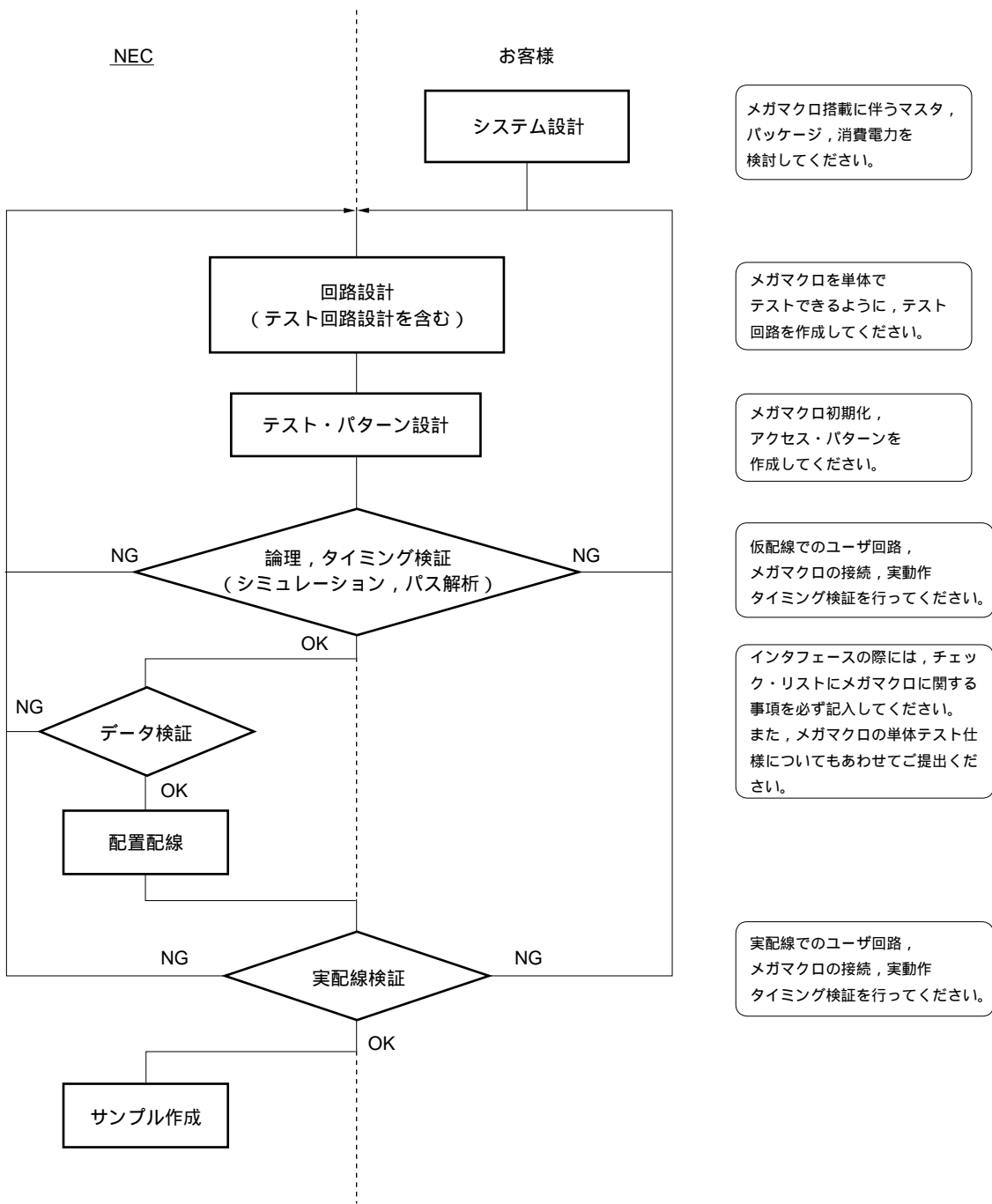
# 第1章 共通編

第1章では、メガマクロを使用してゲートアレイを設計するために必要な共通した内容について説明します。なお、各シリーズの関連資料もあわせてお読みください。

## 1.1 開発フロー

ゲートアレイにメガマクロを搭載する場合の開発フローを図1-1 **メガマクロ搭載時のゲートアレイ開発フロー**に示します。次に、開発フローにおいて、メガマクロを搭載するときに考慮が必要な内容について説明します。

図1-1 メガマクロ搭載時のゲートアレイ開発フロー



メガマクロ搭載に伴うマスタ,  
パッケージ,消費電力を  
検討してください。

メガマクロを単体で  
テストできるように,テスト  
回路を作成してください。

メガマクロ初期化,  
アクセス・パターンを  
作成してください。

仮配線でのユーザ回路,  
メガマクロの接続,実動作  
タイミング検証を行ってください。

インタフェースの際には,チェッ  
ク・リストにメガマクロに関する  
事項を必ず記入してください。  
また,メガマクロの単体テスト仕  
様についてもあわせてご提出くだ  
さい。

実配線でのユーザ回路,  
メガマクロの接続,実動作  
タイミング検証を行ってください。



## 1.2 システム設計

メガマクロを搭載するゲートアレイの仕様を検討する際に考慮すべき内容について、次に示します。

### 1.2.1 マスタ選択

メガマクロはあらかじめ形状が決まっているため、マスタやマクロのセル数と形状によって搭載できない場合があります。表1 - 1に各メガマクロを1つ搭載する場合に選択できるマスタの一覧を示します。

なお、メガマクロやメモリ・マクロを複数個搭載する場合、別途搭載検討が必要となりますので、NECまで必ずお問い合わせください。

表1 - 1 メガマクロ搭載可能マスタ一覧

品名	NA51A	NA54A	NA59A	NZ16550A
μPD65943	√	√	√	√
μPD65944	√	√	√	√
μPD65945	√	√	√	√
μPD65946	√	√	√	√
μPD65948	√	√	√	√
μPD65949	√	√	√	√
μPD65951	√	√	√	√
μPD65954	√	√	√	√
μPD65956	√	√	√	√
μPD65958	√	√	√	√

備考 √: 対応

## 1.2.2 端子数

メガマクロは、マクロの動作をNECで確認するために、お客様にテスト回路を作成していただくことになっています。テスト回路は、マクロが単体で動作できるように、マクロのいくつかの端子について論理を反転することなく、また順序回路を介することなくゲートアレイ外部から観測できるように端子を接続していただくものです。

このため、ゲートアレイにテスト用の端子を割り当てていただくこととなりますが、それぞれのメガマクロをテストするために必要な端子数について表1-2に示しますので、端子検討の際にはこれらの値を考慮してください。

表1-2 メガマクロ・テストのために必要な端子数

メガマクロ名			NA51A	NA54A	NA59A	NZ16550A
必要テスト 端子数	入力	専用端子 <sup>注1</sup>	1	1	1	1
		兼用可 <sup>注2,4</sup>	23	22	38	32
	出力	兼用可 <sup>注3,4</sup>	15	11	29	20

- 注1. テスト・モード切り替え用の信号は、必ず準備してください。
2. CSE, CSD, TTHRをクランプする場合は、端子数を削減することができます。
3. お客様が使用しない端子がある場合にも、必ず出力してください。
4. 1つのマクロのテスト端子は、端子間で共用しないでください。

### 1.2.3 テスト・パターン数

テスト回路によってメガマクロ単体のテストを行います。それぞれのマクロのテストに必要なパターン数が表1-3に示すように決まっています。

ゲートアレイではシリーズによって最大テスト・パターン数が制限されていますが、メガマクロのテスト・パターン数もテスト・パターン数に含まれますので、次に示す条件を満たすようにテスト・パターンを作成してください。なお、メガマクロ単体のテスト・パターンはNECが準備しLSIの出荷時のみ使用するものでお客様には提出致しませんので、あらかじめご了承ください。

「シリーズごとに制限されている最大テスト・パターン数」

「メガマクロ・テスト・パターン数」<sup>注1</sup> + 「ユーザ・テスト・パターン数」<sup>注2</sup>

- 注1. 同一のメガマクロを複数搭載する場合も含みます。  
 2. メガマクロのイニシャライズ・パターンも含みます。

表1-3 メガマクロ単体テスト・パターン数（1つ当たり）

メガマクロ名	テスト・パターン数
NA51A	12874
NA54A	3483
NA59A	7335
NZ16550A	14889

## 1.2.4 遅延時間

遅延時間を概略で見積もる場合には、次の方法を使用してください。なお、詳細についてはシミュレータや遅延解析ツールで検討してください。

### (1) 入力タイミング

各メガマクロの入力端子のファンイン，AC特性，ブロック名を用いて検討してください。

### (2) 出力タイミング

各メガマクロの出力端子のファンアウト，AC特性，ブロック名を用いて検討してください。  
次に参考として遅延時間の予想式を示します。

#### 入力バッファと内部ファンクション・ブロックの遅延時間

$$t_{PD} = t_{LD0} + (F/O + I) \times t_1 \text{ (ns)}$$

#### 内部バスの遅延時間

$$t_{PD} = t_{LD0} + (F/O + I + (N - 1) \times 0.96) \times t_1 \text{ (ns)}$$

$t_{PD}$  : 伝搬遅延時間 (ns)

$t_{LD0}$  : 無負荷時の基本遅延時間 (ns)

F/O : ファンアウト値

I : 該当出力端子に接続される配線容量

(CMOS-9HDシリーズ 設計マニュアル (A12985J) を参照してください。)

$t_1$  : ブロック出力端子における遅延係数

N : バスに接続される3ステート・バッファの数

### 1.2.5 消費電力

それぞれのメガマクロの消費電力は、動作周波数またはリード/ライト・アクセスの周期を用いて計算します。次に消費電力計算式を示します。なお、この計算式は $V_{DD} = 3.3\text{ V}$ 、 $T_A = 85$  における値です。

#### (1) NA51Aマクロの消費電力 (P51)

シリーズ	計算式
CMOS-9HD	$P51 = 133 \times f (\mu\text{W})$

f: クロック周波数 (入力端子CLK, 単位 MHz)

#### (2) NA54Aマクロの消費電力 (P54)

シリーズ	計算式
CMOS-9HD	$P54 = 240 \times (f_0 + f_1 + f_2) (\mu\text{W})$

f<sub>0</sub>: カウンタ0クロック周波数 (入力端子CLK0, 単位 MHz)

f<sub>1</sub>: カウンタ1クロック周波数 (入力端子CLK1, 単位 MHz)

f<sub>2</sub>: カウンタ2クロック周波数 (入力端子CLK2, 単位 MHz)

#### (3) NA59Aマクロの消費電力 (P59)

シリーズ	計算式
CMOS-9HD	$P59 = 120 \times 1/T (\mu\text{W})$

T: リード/ライト・アクセス周期 ( $\mu\text{s}$ )

#### (4) NZ16550Aマクロの消費電力 (P16550)

シリーズ	計算式
CMOS-9HD	$P16550 = 361 \times f (\mu\text{W})$

f: クロック周波数 (入力端子XIN, 単位 MHz)

## 1.3 回路設計

メガマクロを回路に組み込む場合、特に次の2つの点について注意してください。なお、回路設計の詳細な内容については、1.3.1より順番に説明します。

### (1) メガマクロの出力端子の処理

メガマクロはバス構成が出来るように、3ステート出力の制御信号が付加されています。このため、ASIC内部でセルの入力信号がフローティングする可能性がありますので、3ステート出力を行う場合にはフローティング防止用の回路を付加してください。

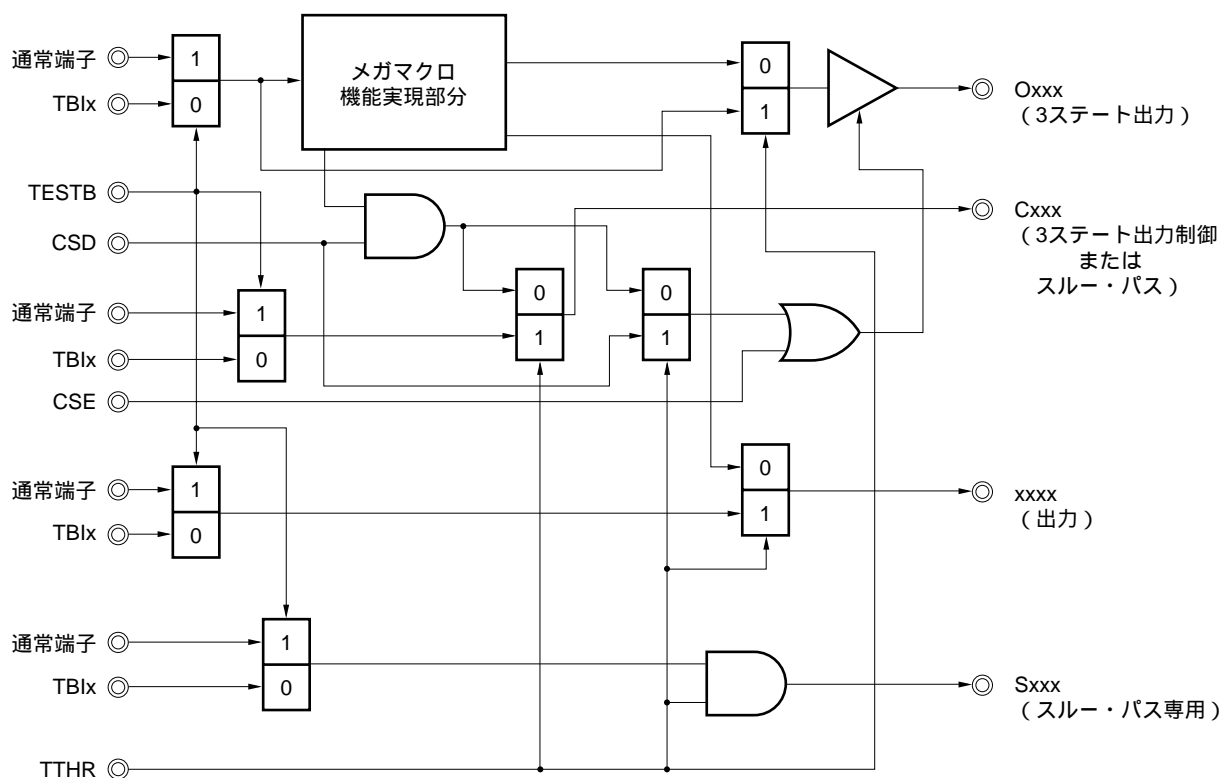
### (2) メガマクロの単体テスト用回路

メガマクロ単体の動作テストはNECのテスト・パターンを用いて行うため、マクロ単体で動作確認できるように、マクロのテスト端子の論理を反転することなく、また、順序回路を介することなくゲートアレイ外部端子から観測できるようにテスト回路を必ず設計してください。なお、スルー・パス・テストはお客様の用途に応じて使用してください。

### 1.3.1 メガマクロの内部構成

メガマクロの内部構成を図1-2に示します。メガマクロは、メガマクロの機能実現部分に出力制御回路とテスト回路が付加されています。

図1-2 メガマクロ内部回路構成



### 1.3.2 モード

メガマクロは、お客様の用途やテスト回路作成の容易化のため、いくつかのモードが準備されています。これらのモードをコントロールするため、次の端子が追加されています。

- ・TESTB：メガマクロ単体テスト・モードを切り替えます。
- ・TTHR：スルー・パス・テスト・モードを切り替えます。
- ・CSE：メガマクロの3ステート出力端子の強制イネーブルを行います。この端子は、F091を使用してどちらかのレベルに固定して使用してください。
- ・CSD：メガマクロの3ステート・コントロール端子を制御します。

#### (1) メガマクロの動作モード

メガマクロはTESTB, TTHRの組み合わせで動作モードを選択します。真理値表を表1-4に示します。なお、3ステート出力端子の制御は別途行ってください。

表1-4 メガマクロの動作モード

TTHR	TESTB	通常入力端子	テスト入力端子	モード
0	0	無効	有効	メガマクロ単体テスト・モード
0	1	有効	無効	通常動作
1	0	無効	有効	メガマクロ後段テスト・モード (スルー・パス・テスト)
1	1	有効	無効	メガマクロ前段テスト・モード (スルー・パス・テスト)

#### ・メガマクロ単体テスト・モード

メガマクロのテスト入力端子が有効になり通常動作します。出力端子にはメガマクロの機能部分から、通常動作した結果が出力されます。

#### ・通常動作

メガマクロの通常入力端子が有効になり通常動作します。出力端子にはメガマクロの機能部分から、通常動作した結果が出力されます。

#### ・メガマクロ後段テスト・モード (スルー・パス・テスト)

メガマクロのテスト入力端子が有効になります。出力端子には対応するテスト入力端子の信号がそのまま出力されます。

#### ・メガマクロ前段テスト・モード (スルー・パス・テスト)

メガマクロの通常端子が有効になります。出力端子には対応する通常入力端子の信号がそのまま出力されます。

## (2) メガマクロの出力制御モード

表1-5 メガマクロの出力制御真理値表

TTHR	CSE	CSD	3ステート 出力端子 <sup>注1</sup>	3ステート・ コントロール端子	その他の 出力端子	スルー・パス専用 出力端子 <sup>注2</sup>
0	0	0	Hi-Z	0	通常動作	0
0	0	1	通常動作	通常動作		
0	1	0	Hi-Z出力されない	0		
0	1	1		通常動作		
1	0	0	Hi-Z	スルー・パス	スルー・パス	スルー・パス
1	0	1	スルー・パス			
1	1	x				

注1. スルー・パス・テスト時にCSE = 0とした場合，CSDで出力バッファのコントロールをしてください。

2. マクロの種類によって，スルー・パス専用出力端子がないものもあります。

メガマクロの3ステート出力端子のコントロールは，メガマクロ後段の回路にHi-Zが入力されないよう十分注意して制御してください。また，スルー・パス・テストの際，CSEを“L”固定で使用するときには，バスがフローティングやファイティングしないように制御信号をコントロールしてください。



### 1.3.3 メガマクロとユーザ回路の接続

#### (1) 基本ルール

##### メガマクロ単体テストのための接続

メガマクロのテスト入力端子と3ステート・コントロール端子を除く出力端子は、基本的にすべてゲートアレイの端子として外部接続してください。

##### ファンアウト調整

メガマクロの入力端子や出力端子をユーザ回路と接続する際には、ファンアウト制限を越えないようにしてください。メガマクロのファンインとファンアウト数については、それぞれのマクロの説明を参照してください。

##### 未使用端子の処理

メガマクロで使用しない入力端子は、F091を使用して“H”または“L”に固定してください。メガマクロで使用しない出力端子は、メガマクロの単体テストに使用しますので、3ステート・コントロールを除く端子はすべてテスト用として接続してください。

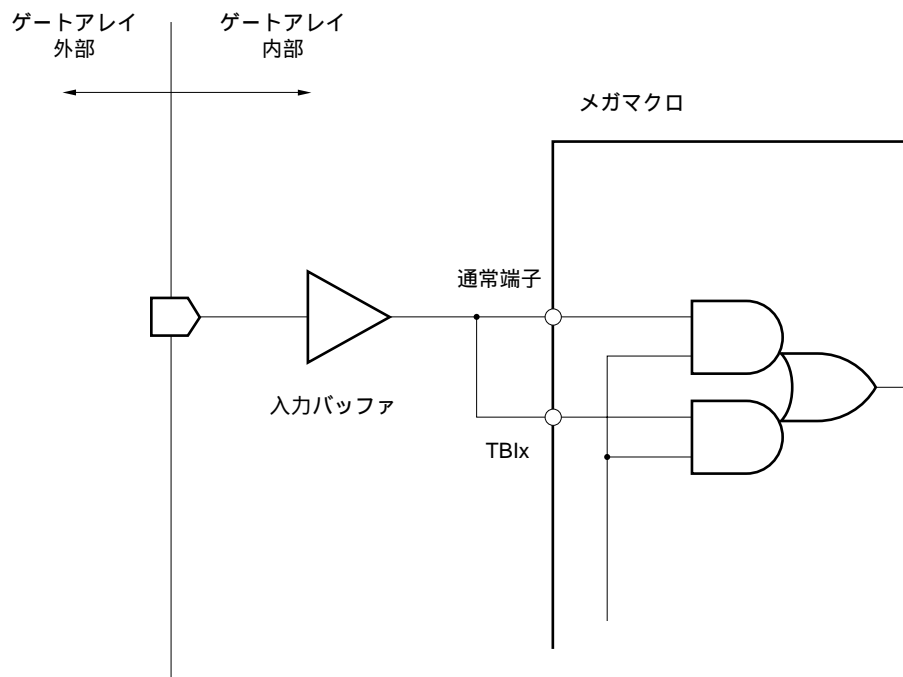
## (2) メガマクロとインタフェース・ブロックの接続

メガマクロの端子をインタフェース・ブロックを介してゲートアレイの端子として接続する場合について説明します。

### 入力端子

入力端子は、入力バッファを介して通常端子とテスト端子に接続してください（この端子は通常動作とマクロ単体テスト時に共用します）。

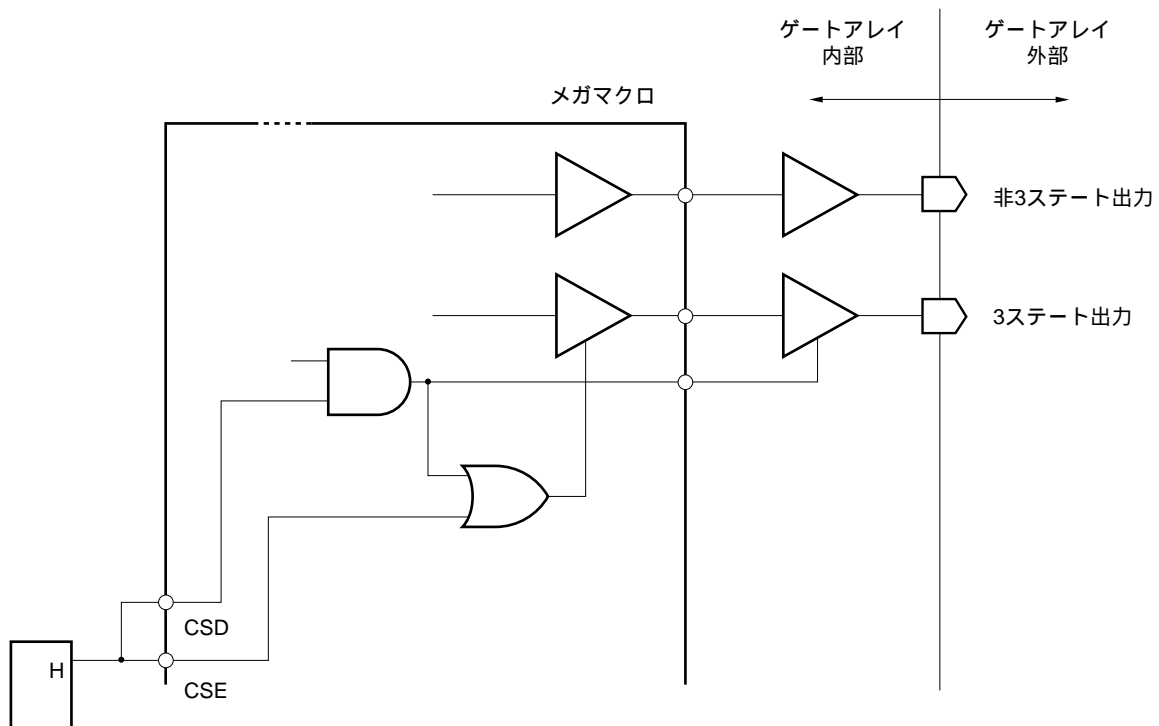
図1-3 入力端子との接続



### 出力端子

マクロの非3ステート出力端子はそのまま出力バッファを介して出力端子に接続します。マクロの3ステート出力端子は、3ステート・バッファの信号入力に接続し、3ステート・コントロール端子を3ステート・バッファのコントロール信号入力に接続します。このときマクロのCSEとCSDをコントロールし、3ステート・バッファの信号入力をフローティングさせないようにしてください。

図1 - 4 出力端子との接続



### 双方向端子

メガマクロの入力端子あるいは出力端子を、双方向バッファを介してゲートアレイの端子として接続することは可能ですが、次の点にご注意ください。

- ・入力端子を双方向端子に接続する場合  
必ず単体テスト時に入力モードとなるように設定してください。
- ・出力端子を双方向端子に接続する場合  
必ず単体テスト時に出力モードとなるように設定してください。

## (3) メガマクロとファンクション・セルとの接続

## 3ステート端子を除く出力端子と入力端子

ファンアウト制限を満たすように、ファンクション・セルと接続してください。なお、テスト入力端子はすべてと、出力端子は3ステート・コントロール信号以外のすべてをゲートアレイ外部から観測できるように接続してください。

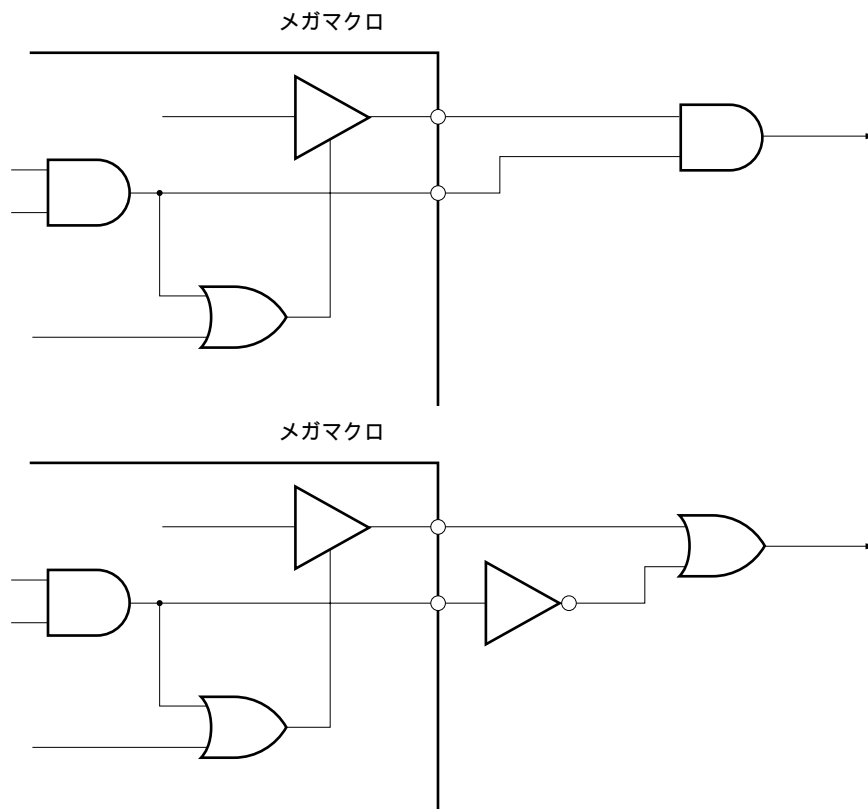
## 3ステート出力端子

マクロの出力端子にハイ・インピーダンスが出力されることがありますので、次に示す3つの方法のいずれかを用いてハイ・インピーダンス対策を行ってください。

## ・次段のAND, NAND, OR, NORゲートで対策を行う

3入力以下のAND, NAND, OR, NORゲートのいずれかを接続し、コントロール信号も含めて入力してください。この接続を行う場合、コントロール信号がインアクティブのときにマクロの3ステート出力にかかわらず、AND, NAND, OR, NORゲートの出力値が確定するように論理を決定してください。なお、上記以外のゲートは使用しないでください。

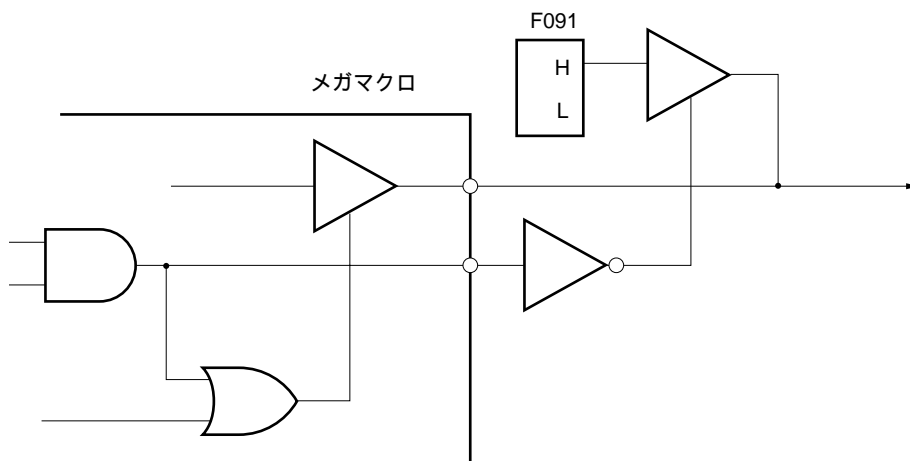
図1-5 AND, ORゲートを使用した例



- F091を使用してバス構成する

図1 - 6に示すようにF091と3ステート・バッファを使用し、マクロの3ステート出力がインアクティブ(ハイ・インピーダンス)のときにF091の値を出力するように、F091を接続した3ステート・ブロックのコントロール信号をアクティブにします。

図1 - 6 F091を使用してバス接続した例



- CSE = “ H ” に固定する

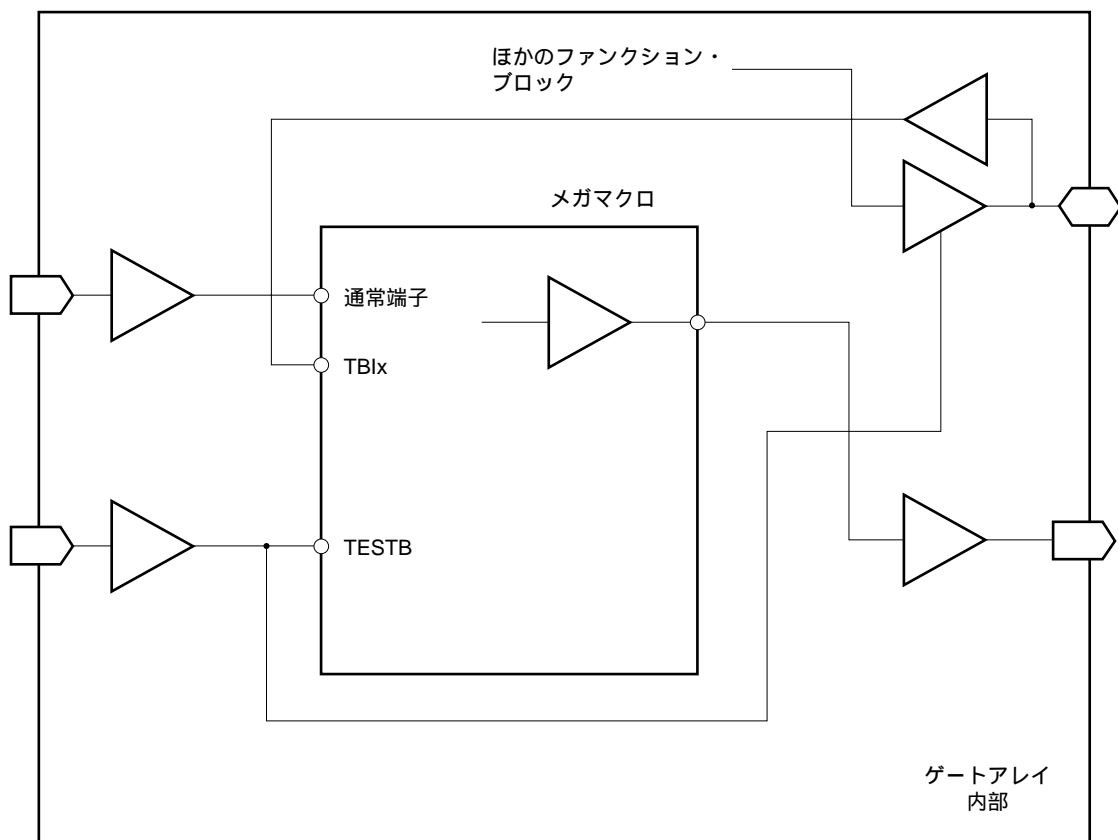
CSEを“ H ”に固定するとマクロの出力端子にはハイ・インピーダンスは出力されませんので、特にハイ・インピーダンス対策の必要はありません。

### 1.3.4 テスト信号の割り当て

メガマクロの単体テスト用にテスト端子を割り当てますが、ほとんどの場合テスト信号と通常信号を共用します。通常信号とテスト信号を共用する場合、次の3点について注意してください。

- ・通常モードとテスト・モードで端子を共用した場合、テスト・モード時に確実にテスト出力またはテスト入力できるように、インタフェース・ブロックのコントロール端子を制御してください。
- ・メガマクロのクロック信号は、通常入力、テスト入力を問わず、ほかの出力信号と共用せずに入力専用端子から供給してください。
- ・GTLインタフェース・バッファ、N-chオープン・ドレイン・バッファ、CMOS用5 V耐圧出力バッファを使用している通常端子は、テスト端子との共用はできませんので注意してください。

図1-7 メガマクロのテスト入力端子と通常出力端子を共用した例



### 1.3.5 スルー・パス・テスト

スルー・パス・テストは、メガマクロに接続されるユーザ回路のテストを行うために使用するもので、通常端子またはテスト端子に入力された信号を、マクロ機能実現部分をバイパスさせて、マクロの出力端子に出力します。

通常端子とテスト端子をTESTBによって切り替えることにより、前段回路テストと後段回路テストを行うことができます。前段回路テストはメガマクロの入力端子に接続されているユーザ回路の出力をそのままマクロの出力端子に出力します。後段回路テストはメガマクロのテスト端子から入力した信号をそのままマクロの出力端子を通して端子に接続されているユーザ回路に供給しテストをします。

図1-8 通常動作イメージ

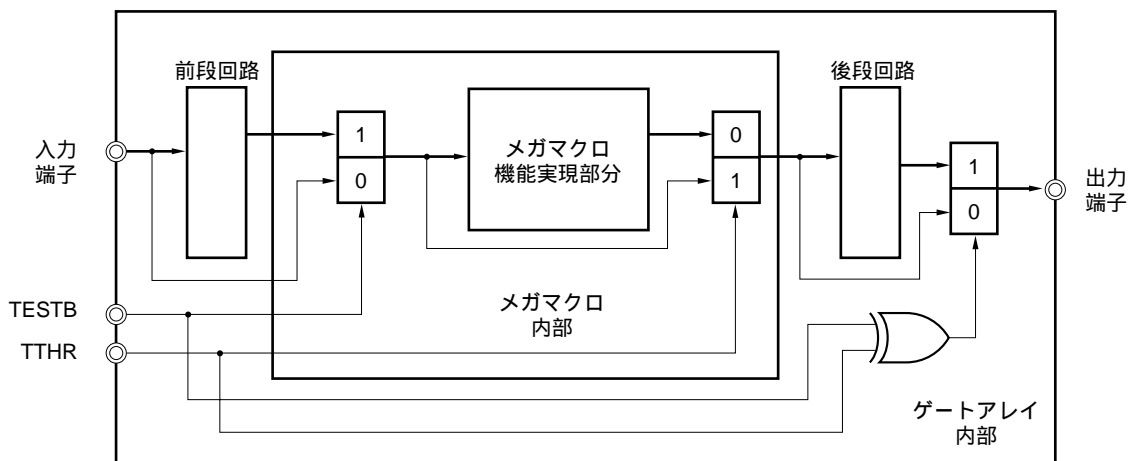


図1-9 メガマクロ単体テスト・イメージ

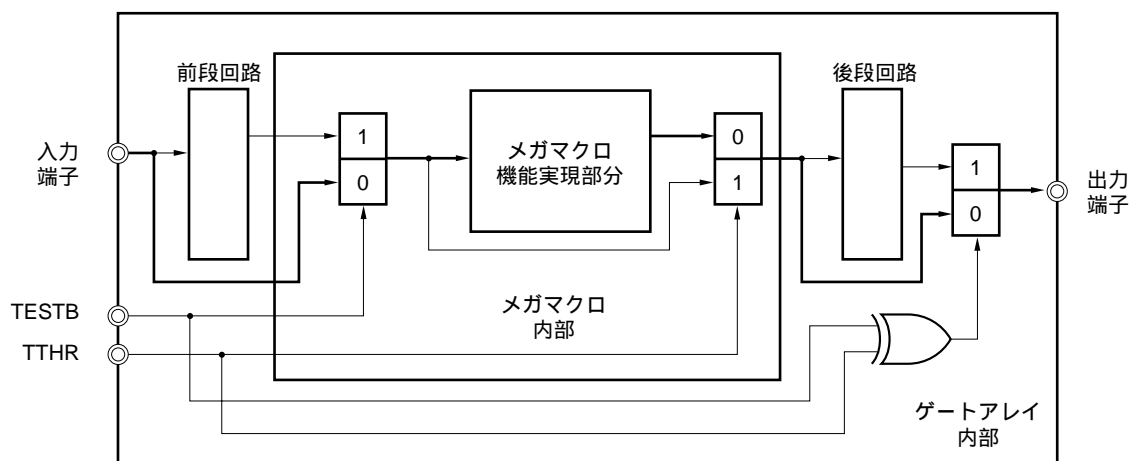


図1-10 メガマクロ前段回路テスト・イメージ (スルー・パス・テスト)

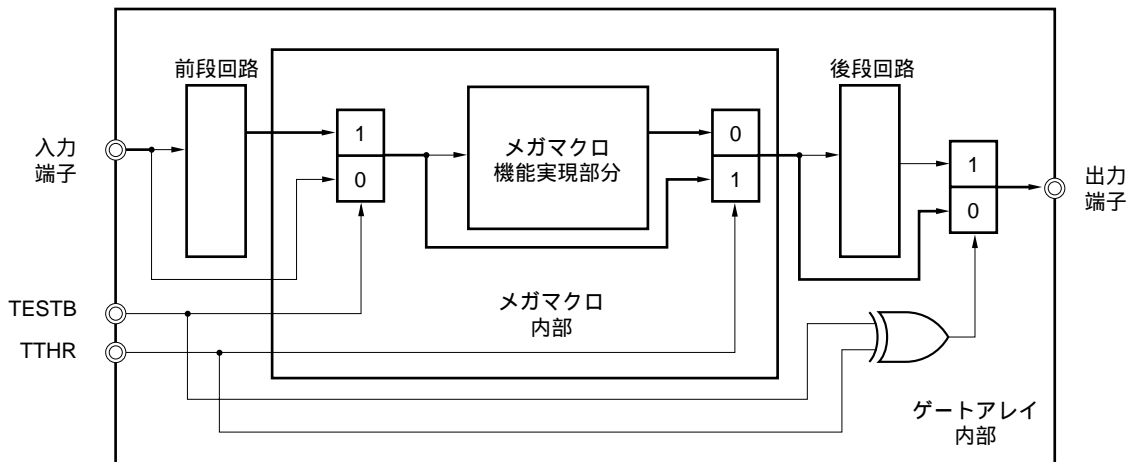
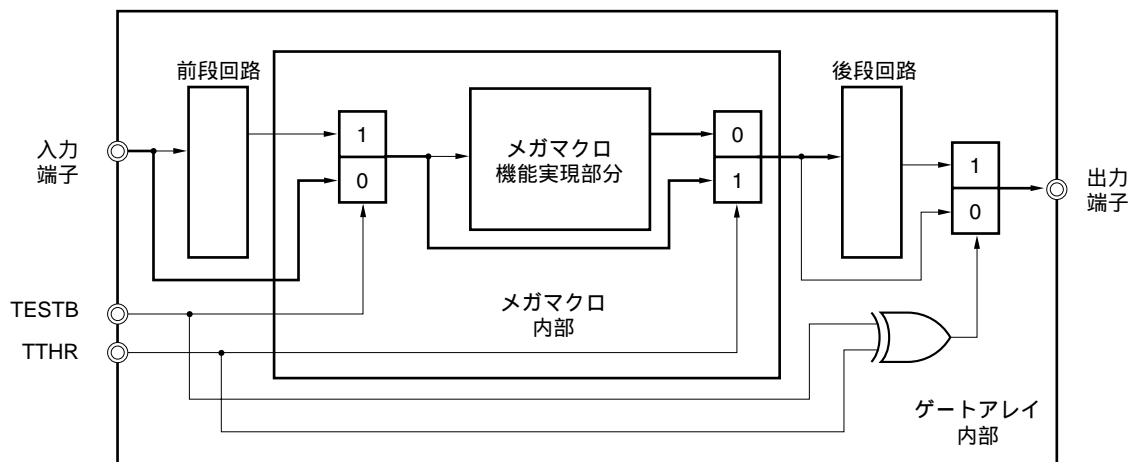


図1-11 メガマクロ後段回路テスト・イメージ (スルー・パス・テスト)





### 1.3.6 回路例

メガマクロを複数搭載した場合の回路例を次に示します。

図1 - 12 メガマクロを複数搭載した場合の回路例

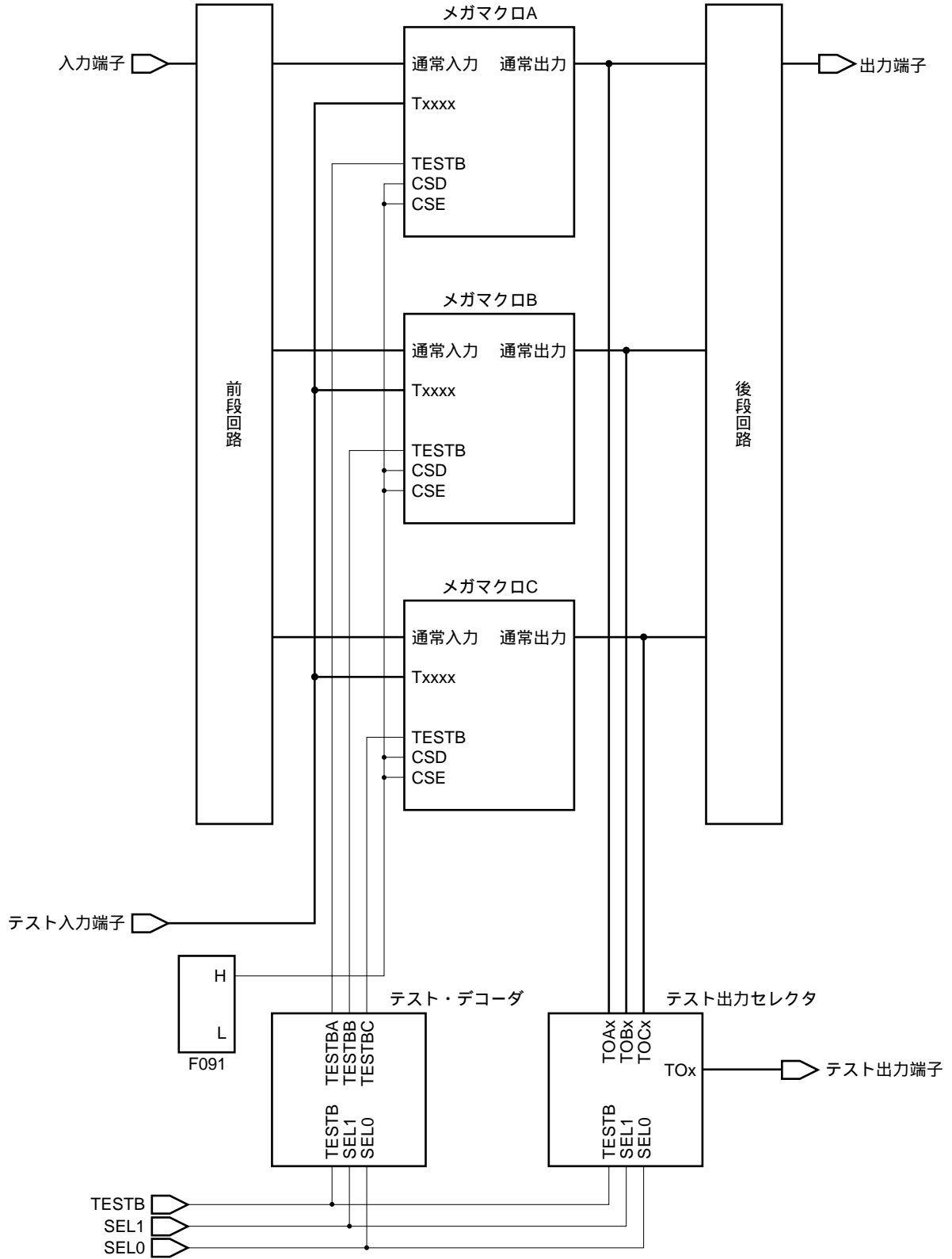


表1-6 テスト・デコーダ真理値表

入力			出力		
TESTB	SEL1	SEL0	TESTBA	TESTBB	TESTBC
1	X	X	1	1	1
0	0	0	0	1	1
0	0	1	1	0	1
0	1	0	1	1	0

X: “0” または “1”

表1-7 テスト出力セレクタ真理値表

入力						出力
TESTB	SEL1	SEL0	TOAx	TOBx	TOCx	TOx
1	X	X	X	X	X	X
0	0	0	TOAx	X	X	TOAx
0	0	1	X	TOBx	X	TOBx
0	1	0	X	X	TOCx	TOCx

X: “0” または “1”

メガマクロの単体テスト時は、対象となるメガマクロのTESTBのみ“0”となるようにし、他のメガマクロのTESTBは“1”となるような回路と初期化パターンを作成してください。

また、メガマクロ出力には3ステート出力が含まれますので、フローティングには十分注意してください。

## 1.4 テスト・パターン作成時の注意

ここでは、テスト・パターンを作成する際の注意事項について説明します。

### 1.4.1 メガマクロ初期化パターン作成時の注意

メガマクロは、初期化パターンを使用しなければ内部回路が初期化されませんので、必ずテスト・パターンの最初にはメガマクロの初期化パターンを付加してください。また、初期化パターンはメガマクロによって異なりますので、それぞれのマクロの該当欄を参照してマクロごとに初期化を行ってください。

なお、回路構成上メガマクロとそのほかのユーザ回路との間でループ回路がある場合には初期化がうまくできないことがありますので、初期化中にはループ回路を構成する順序回路もあわせて初期化してください。

また、テスト・パターンを分割した場合には、分割したテスト・パターンそれぞれについて初期化パターンを付加してください。

### 1.4.2 メガマクロ単体テスト設定パターン作成上の注意

メガマクロ単体テスト・パターンを正常に動作させるためのパターンです。

次の6項目に注意して作成してください。

#### (1) タイミング指定禁止

RZ指定およびNRZのモジュレーション指定はしないでください。

#### (2) メガマクロ以外のユーザ・ロジックの初期化

ユーザ・ロジックからのメガマクロ通常端子へ確定値が入力されるように初期化してください。

#### (3) ゲートアレイ入力端子への不定値(X)、Hi-Z入力の禁止

ゲートアレイの入力端子には確定値を入力してください。

#### (4) メガマクロ・テスト出力端子以外の期待値

メガマクロ・テスト出力端子以外の期待値はDon't careとしてください。

ただし、発振ブロックの出力には期待値を入力してください。

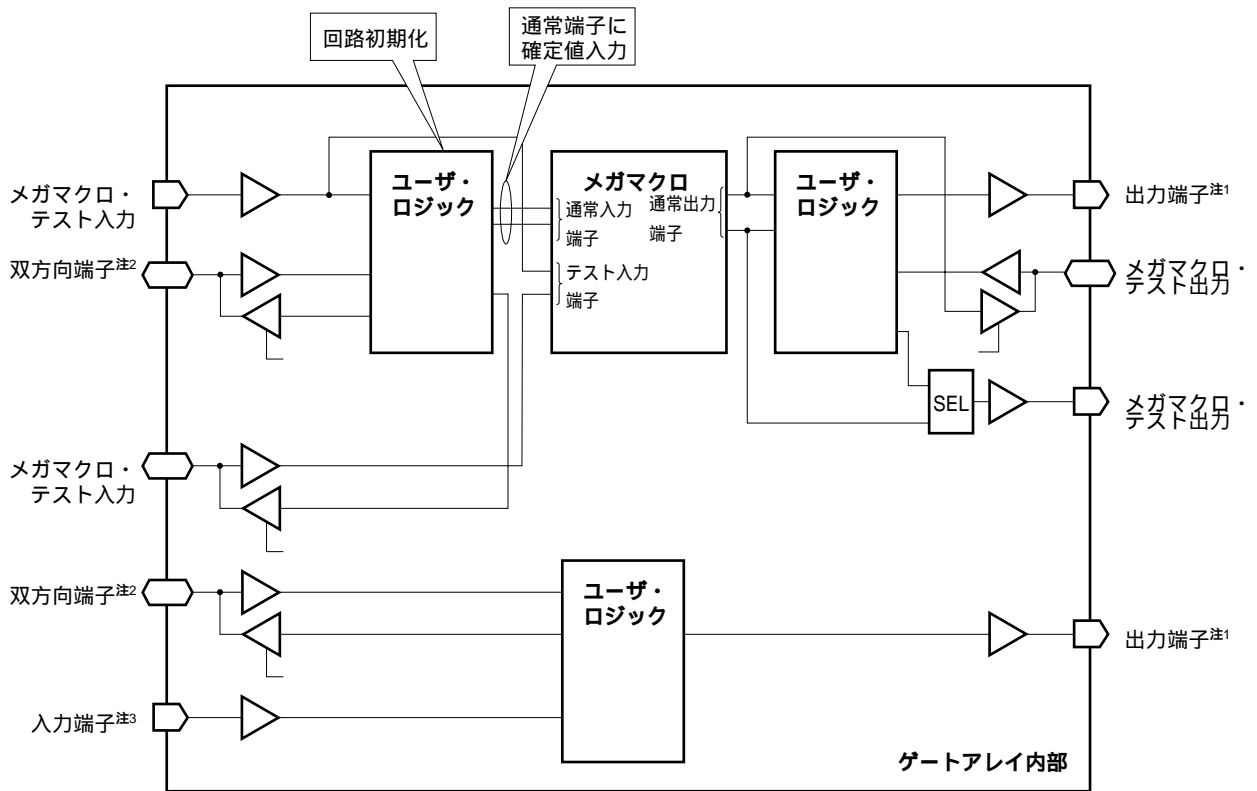
#### (5) 入出力バッファの入力モード確定

メガマクロ・テスト端子の出力状態にかかわらず入出力の方向を確定させてください。

#### (6) メガマクロに直接アクセスできない場合の処置

TESTB端子が外部から直接アクセスできない場合、またはデコーダ構成になっていない場合は、メガマクロがゲートアレイ外部から直接見えるようにするための設定もメガマクロ単体テスト設定パターンとして盛り込んでください。

図1 - 13 メガマクロ単体テスト設定パターン作成



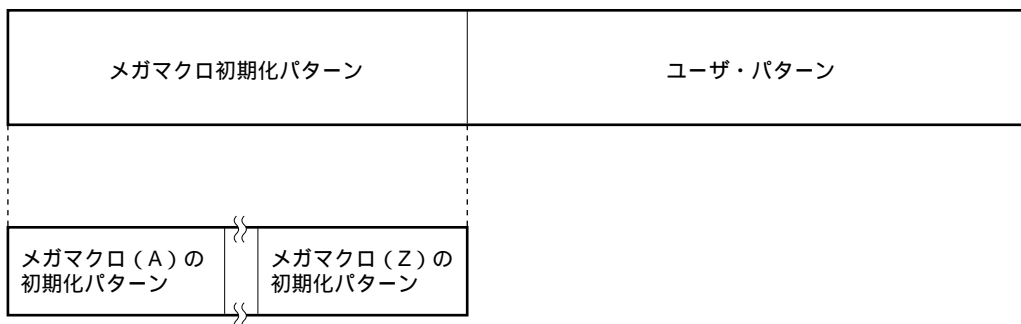
- 注1. Don't care
2. 入出力方向は確定させてください。  
 入力時：確定値入力  
 出力時：Don't care
3. 確定値入力

### 1.4.3 最大テスト・パターン数の制限

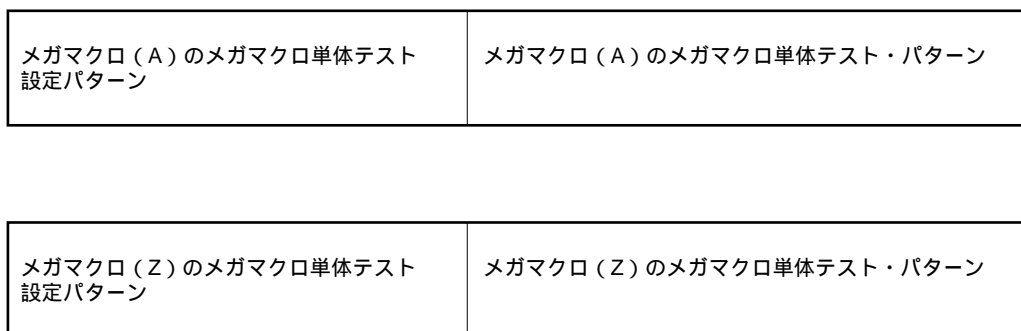
テスト・パターンは図1 - 14に示すような構成になりますが、これらのパターンの総数がそれぞれのシリーズで決められている最大テスト・パターン数を越えないようにしてください。

図1 - 14 テスト・パターンの内訳

#### (a) メガマクロ初期化パターンとユーザ・パターン



#### (b) メガマクロ単体テスト設定パターンとメガマクロ単体テスト・パターン



**備考** メガマクロ(A)-(Z)はメガマクロ複数使用時の構成を示したものです。

#### (1) メガマクロ初期化パターン

搭載しているメガマクロそれぞれについて、パターンを作成してください。

#### (2) ユーザ・パターン

お客様の作成した回路のテスト・パターンです。なお、メガマクロの使用する機能に関する入出力端子は、すべて“0” “1”, “1” “0”に変化させてください。

#### (3) メガマクロ単体テスト設定パターン

搭載しているメガマクロそれぞれについて、パターンを作成してください。

#### (4) メガマクロ単体テスト・パターン

このパターンはNECが出荷試験に使用するパターンで、お客様は作成する必要がありません。なお、テスト・パターン長は基本的に使用するメガマクロの種類と総数によって決まりますので、詳しくは表1 - 3 **メガマクロ単体テスト・パターン数(1つ当たり)**を参照してください。

#### 1.4.4 クロック入力についての注意

通常端子，テスト端子を問わず，クロック信号<sup>※</sup>は双方向端子を使用せずに入力端子から供給してください。

**注** クロック信号とは，各マクロの端子説明の機能欄において“クロック”と明記されている信号を示します。

### 1.5 そのほかの注意点

- (1) メガマクロと相当する汎用品では一部機能が異なることがありますので，それぞれのメガマクロの説明を参照してください。
- (2) スルー・パス・モードでは，シミュレーション時に意図しないタイミング・エラーがメガマクロ内部で発生することがありますのでご注意ください。
- (3) インタフェースの際には，A.1 **メガマクロ単体テスト仕様書**を参照し，メガマクロ単体テスト仕様書を作成してNECまでご提出ください。

## 第2章 NA51Aマクロ

第2章では、NA51Aの機能について説明しています。

Block Type	Function
NA51A	Universal Synchronous/Asynchronous Receiver/Transmitter
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p style="text-align: center;">NA51A</p> </div> <div style="width: 50%;"> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">特 徴</p> <ul style="list-style-type: none"> <li>・ μ PD71051と機能コンパチブル</li> <li>・ 最高動作周波数 33 MHz</li> <li>・ ボー・レートDC-660 Kbps</li> </ul> </div> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">注意事項</p> <ul style="list-style-type: none"> <li>・ CLK, RXC, TXC, WRB, RDB, RSTにはスパイクが入力されないようにしてください。</li> </ul> </div> <div style="margin-top: 10px;"> <p>注1. DO7-DO0の出力制御信号</p> <p>注2. OSYNの出力制御信号</p> <p>注3. メガマクロ前後段試験時のCD, CSB, RSTのスルー・パス出力信号</p> <p>注4. スルー・パスノ通常モード切り替え端子</p> </div> </div> </div>	
<p><b>備考</b> 先頭に“TBI”がついている入力信号はテスト端子です。</p>	
使用セル数(構成)	2904 ( 121 × 24 )
メガマクロ・テスト・パターン長	12874



## 2.1 NA51A端子説明

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
DI0	I	データ・バス入力信号 (LSB)		TBI0	2.4	F424
DI1	I	データ・バス入力信号		TBI1	2.4	F424
DI2	I	データ・バス入力信号		TBI2	2.4	F424
DI3	I	データ・バス入力信号		TBI3	2.4	F424
DI4	I	データ・バス入力信号		TBI4	2.4	F424
DI5	I	データ・バス入力信号		TBI5	2.4	F424
DI6	I	データ・バス入力信号		TBI6	2.4	F424
DI7	I	データ・バス入力信号 (MSB)		TBI7	2.4	F424
CLK	I	システム・クロック信号		TBI8	2.5	F101
DSRB	I	汎用入力端子 data set ready	Low	TBI9	2.4	F424
CTSB	I	送信制御用入力端子 clear to send	Low	TBI10	1.1	L101
RXD	I	シリアル・データの受信端子		TBI11	2.4	F424
RXC	I	受信クロック信号		TBI12	1.1	L101
TXC	I	送信クロック信号		TBI13	1.1	L101
SYN	I	同期モードにおいて外部同期検出に使用		TBI14	1.1	L101
WRB	I	ライト信号	Low	TBI15	1.1	L101
RDB	I	リード信号	Low	TBI16	1.1	L101
CD	I	“H” : コントロール・ワード “L” : キャラクタ・データ		TBI17	1.1	L101
CSB	I	チップ・セレクト信号	Low	TBI18	1.1	L101
RST	I	システム・リセット信号	High	TBI19	1.1	L101
TESTB	I	テスト/通常モード切り替え “H” : 通常モード “L” : テスト・モード		-	2.4	F154
CSD	I	3ステート出力コントロール		-	2.4	F111
CSE	I	3ステート出力コントロール		-	1.1	L111
TTHR	I	スルー・パス/通常モード切り替え信号 “H” : スルー・パス・モード “L” : 通常モード		-	2.5	F101
DO0	O	データ・バス出力信号 (LSB)		-	99.0	F53F
DO1	O	データ・バス出力信号		-	99.0	F53F
DO2	O	データ・バス出力信号		-	99.0	F53F
DO3	O	データ・バス出力信号		-	99.0	F53F
DO4	O	データ・バス出力信号		-	99.0	F53F
DO5	O	データ・バス出力信号		-	99.0	F53F
DO6	O	データ・バス出力信号		-	99.0	F53F
DO7	O	データ・バス出力信号 (MSB)		-	99.0	F53F
OSYN	O	同期モード時は内部同期検出信号 調歩同期モード時はブレイク信号		-	98.0	F53G
TXD	O	シリアル・データの送信端子		-	107.0	F154
TXRDY	O	送信データの書き込み可能を示す信号		-	107.0	F154

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
TXEMP	O	2つの送信データ・バッファが空であることを示す信号		-	107.0	F154
RXRDY	O	受信データの読み出し可能を示す信号		-	107.0	F154
DTRB	O	汎用出力端子 data terminal ready		-	107.0	F154
RTSB	O	汎用出力端子 request to send		-	107.0	F154
CDB	O	データ・バスのイネーブル信号		-	107.0	F154
CSYN	O	OSYNのイネーブル信号		-	107.0	F154
THRCD	O	スルー・バス出力端子		-	26.0	F312
THRCS	O	スルー・バス出力端子		-	26.0	F312
THRRST	O	スルー・バス出力端子		-	26.0	F312
TBI0	I	テスト入力		-	2.5	F424
TBI1	I	テスト入力		-	2.5	F424
TBI2	I	テスト入力		-	2.5	F424
TBI3	I	テスト入力		-	2.5	F424
TBI4	I	テスト入力		-	2.5	F424
TBI5	I	テスト入力		-	2.5	F424
TBI6	I	テスト入力		-	2.5	F424
TBI7	I	テスト入力		-	2.5	F424
TBI8	I	テスト入力		-	2.5	F101
TBI9	I	テスト入力		-	2.5	F424
TBI10	I	テスト入力		-	1.1	L101
TBI11	I	テスト入力		-	2.5	F424
TBI12	I	テスト入力		-	1.1	L101
TBI13	I	テスト入力		-	1.1	L101
TBI14	I	テスト入力		-	1.1	L101
TBI15	I	テスト入力		-	1.1	L101
TBI16	I	テスト入力		-	1.1	L101
TBI17	I	テスト入力		-	1.1	L101
TBI18	I	テスト入力		-	1.1	L101
TBI19	I	テスト入力		-	1.1	L101

備考 I : 入力端子

O : 出力端子

備考1. TBixは、テスト用の入力端子です。TESTB入力をロウ・レベルにすることにより、TBixより入力信号を入れることができます。テスト・モード時に、ゲートアレイ外部より直接メガマクロに信号が入力できるように接続してください。ここでいう直接とは入力された信号が反転したり、間にフリップフロップのような順序回路が入らない回路構成を指します。

TESTB	入力端子
1	通常端子 <sup>注</sup>
0	TBix

注 通常モード時、テスト用入力端子には、0か1の確定値を入力してください(0と1が混在していても構いません)。

2. CSD入力、CSE入力の機能

CSE入力：“1”を入力することにより、3ステートの出力すべてをオン（ハイまたはロウ・レベル）にします。

CSD入力：CSE = “0” のとき，“0”を入力することにより、3ステートの出力すべてをオフ（ハイ・インピーダンス；Hi-Z）にします。

また，“1”を入力することにより、メガマクロ内部の制御信号で3ステートの出力をオン、オフにします（通常動作）。

CSE	CSD	出力端子の状態	3ステート出力端子の状態 <sup>注</sup>
0	0	通常動作	Hi-Z
0	1	通常動作	通常動作
1	-	通常動作	Hi-Zは出力されない

注 3ステート端子は、DO7-DO0, OSYNです。

3. CSE = “0” のとき、3ステート出力バッファのHi-Z状態は、対応する出力制御信号の出力値をモニタすることにより確認できます。

“Hi-Z” になっている端子	対応する出力制御信号と出力	
DO7-DO0	CDB	0
OSYN	CSYN	0

CSE = “1” のときは、3ステート出力制御信号に左右されません（3ステート出力は，“Hi-Z”ではありません）。

4. CSE, CSDはクランプにより固定できますが、CSDをクランプする場合，“1”固定としてください。

備考5. TTHR, CSE, CSDの組み合わせによる出力端子の動作状態

TTHR端子	CSE端子	CSD端子	3ステート出力端子 (DOx)	3ステート制御端子 (CDB(SD))	その他の端子	スルー・パス専用端子 (出力THRxxx)
0	0	0	Hi-Z	0	通常動作	0
		1	通常動作	通常動作		
	1	0	Hi-Z出力されない	0		
		1		通常動作		
1	0	0	Hi-Z	スルー・パス	スルー・パス	スルー・パス
		1	スルー・パス			
	1	x				

6. スルー・パス・テスト時の入出力端子対応表

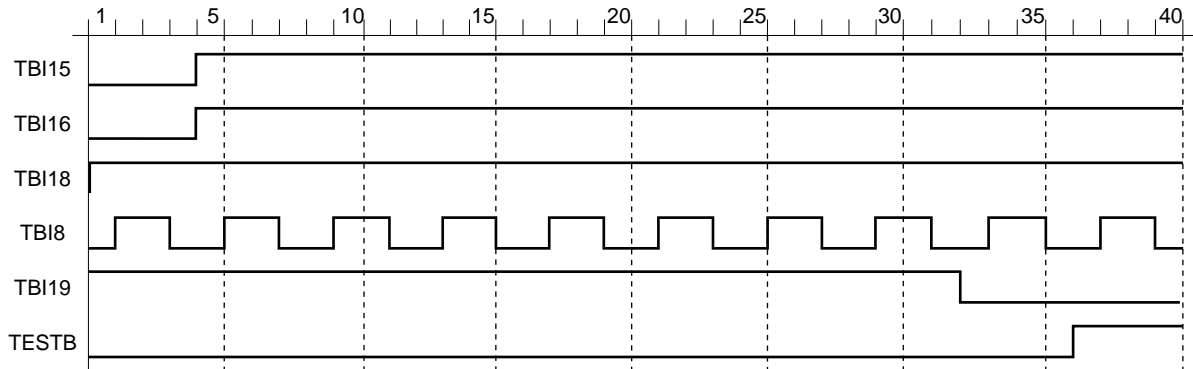
TTHR = “1” のとき、メガマクロ出力端子に対応する入力端子は、下表のとおりです。

出力端子	スルー・パス対応端子		出力端子	スルー・パス対応端子	
	TESTB = 1	TESTB = 0		TESTB = 1	TESTB = 0
DO0	DI0	TBI0	TXRDY	CTSB	TBI10
DO1	DI1	TBI1	TXEMP	RXD	TBI11
DO2	DI2	TBI2	RXRDY	RXC	TBI12
DO3	DI3	TBI3	DTRB	TXC	TBI13
DO4	DI4	TBI4	RTSB	SYN	TBI14
DO5	DI5	TBI5	CDB	WRB	TBI15
DO6	DI6	TBI6	CSYN	RDB	TBI16
DO7	DI7	TBI7	THRCD	CD	TBI17
OSYN	CLK	TBI8	THRCS	CSB	TBI18
TXD	DSRB	TBI9	THRRST	RST	TBI19

TTHR = “1” かつCSE = “0” のとき全3ステートの制御（スルー・パス/ハイ・インピーダンスの切り替え）はCSDで行います。

## 2.2 NA51A初期化パターン

シミュレーション開始時にはメガマクロ内部の状態は不定です。したがって、シミュレーション時には最初に次の初期化パターンを入力し、内部の状態を決定してください。



ほかの入力端子（通常入力，テスト入力）は，“0”，または“1”を入力してください。  
“X”が入力されないように注意してください。

・初期化パターン後のメガマクロ出力端子の値

端子名	状態
DO7-DO0	Hi-Z
OSYN	0
TXD	1
TXRDY	0
TXEMP	1
RXRDY	0
DTRB	1
RTSB	1
CDB	0
CSYN	1
THRCD	0
THRCS	0
THRRST	0

- 注意1.** 初期化パターン後，NA51Aはスタンバイ・モードになっています。
- リセット中はクロックが必要です（リセット・パルス幅は6クロック以上必要です）。
  - 次の入力端子は，スパイクが入力されない回路構成にしてください。  
CLK, RXC, TXC, WRB, RDB, RST

## 2.3 遅延時間

1.2.4 遅延時間を参照してください。

## 2.4 AC特性 ( $T_A = -40 \sim +85$ , $V_{DD} = 3.3 \pm 0.3 V$ )

### (1) リード・サイクル

項目	略号	MIN	MAX	単位
アドレス (CSB, CD) 設定時間 (対RDB )	t <sub>SAR</sub>	2		ns
アドレス (CSB, CD) 保持時間 (対RDB )	t <sub>HRA</sub>	0		ns
RDBパルス幅	t <sub>RRL</sub>	30		ns
データ遅延時間 (対RDB )	t <sub>DRD</sub>	3	9	ns
データ・フロート遅延時間 (対RDB )	t <sub>FRD</sub>	1	3	ns
ポート (DSRB, CTSB) 設定時間 (対RDB )	t <sub>SPR</sub>	20		t <sub>CYK</sub>
CDBハイ遅延時間 (対RDB )	t <sub>CDHR</sub>	1	3	ns
CDBロウ遅延時間 (対RDB )	t <sub>CDLR</sub>	1	3	ns

### (2) ライト・サイクル

項目	略号	MIN	MAX	単位
アドレス (CSB, CD) 設定時間 (対WRB )	t <sub>SAW</sub>	1		ns
アドレス (CSB, CD) 保持時間 (対WRB )	t <sub>HWA</sub>	0		ns
WRBパルス幅	t <sub>WWL</sub>	30		ns
データ設定時間 (対WRB )	t <sub>SDW</sub>	1		ns
データ保持時間 (対WRB )	t <sub>HWD</sub>	1		ns
ポート (DTRB, RTSB) , TXEN遅延時間 (対WRB )	t <sub>DWP</sub>		8	t <sub>CYK</sub>
書き込み回復時間	モード指定時	t <sub>rv</sub>	6	t <sub>CYK</sub>
	調歩同期モード時		12	t <sub>CYK</sub>
	同期モード時		16	t <sub>CYK</sub>

## (3) そのほかのタイミング

項目	略号	MIN	MAX	単位
クロック周期	t <sub>cyk</sub>	30		ns
クロック・パルス・ハイ・レベル幅	t <sub>kKH</sub>	13.5		ns
クロック・パルス・ロウ・レベル幅	t <sub>kKL</sub>	13.5		ns
TXD遅延時間 (対TXCB)	t <sub>DTKTD</sub>	1	5	ns
全入力端子 <sup>注1</sup> セットアップ時間 (対CLK)	t <sub>SU</sub>	10		ns
トランスミッタ入力クロック・パルス・ロウ・レベル幅	1 × BR	t <sub>TKKL</sub>	12	t <sub>cyk</sub>
	16 × BR, 64 × BR		1	t <sub>cyk</sub>
トランスミッタ入力クロック・パルス・ハイ・レベル幅	1 × BR	t <sub>TKTKH</sub>	15	t <sub>cyk</sub>
	16 × BR, 64 × BR		3	t <sub>cyk</sub>
トランスミッタ入力クロック周波数	1 × BR	f <sub>TK</sub> <sup>注2</sup>	DC	660
	16 × BR		DC	4400
	64 × BR		DC	4400
レシーバ入力クロック・パルス・ロウ・レベル幅	1 × BR	t <sub>RKRKL</sub>	12	t <sub>cyk</sub>
	16 × BR, 64 × BR		1	t <sub>cyk</sub>
レシーバ入力クロック・パルス・ハイ・レベル幅	1 × BR	t <sub>RKRKH</sub>	15	t <sub>cyk</sub>
	16 × BR, 64 × BR		3	t <sub>cyk</sub>
レシーバ入力クロック周波数	1 × BR	f <sub>RK</sub> <sup>注2</sup>		660
	16 × BR			4400
	64 × BR			4400
RXD設定時間 (対サンプリング・パルス)	t <sub>SRDSP</sub> <sup>注3</sup>	1		μs
RXD保持時間 (対サンプリング・パルス)	t <sub>HSPRD</sub> <sup>注3</sup>	1		μs
TXEM遅延時間	t <sub>DTXEP</sub>		20	t <sub>cyk</sub>
TXRD遅延時間 (TXRD)	t <sub>DTXR</sub>		8	t <sub>cyk</sub>
TXRD遅延時間 (TXRD)	t <sub>DWTXR</sub>	2	6	ns
RXRD遅延時間 (RXRD)	t <sub>DRXR</sub>		26	t <sub>cyk</sub>
RXRD遅延時間 (RXRD)	t <sub>DRRXR</sub>	1	4	ns
OSYN出力遅延時間 (内部同期)	t <sub>DRKSY</sub>		26	t <sub>cyk</sub>
SYN入力設定時間 (外部同期)	t <sub>SSYRK</sub>	18		t <sub>cyk</sub>
リセット・パルス・ハイ・レベル幅	t <sub>RST</sub>	6		t <sub>cyk</sub>

注1. テスト入力端子を除きます。

2. TXCとRXCの周波数は、CLKに対して次の制限があります。

$$1 \times BR \quad : f_{TK} \text{ or } f_{RK} \quad 1/30t_{cyk}$$

$$16 \times BR, 64 \times BR \quad : f_{TK} \text{ or } f_{RK} \quad 1/4.5t_{cyk}$$

3. 調歩同期モード (16 × BR, 64 × BR) 時は、RXDのシリアル入力のビット幅が、設定したビット数や転送レートの長さでそろっていれば問題ありません。

調歩同期モード (1 × BR) 時、同期モード時は、t<sub>SRDSP</sub>, t<sub>HSPRD</sub>ともに3 × t<sub>cyk</sub>以上必要です。

備考1. システム・クロックは、リセット中に入力されていなければなりません。

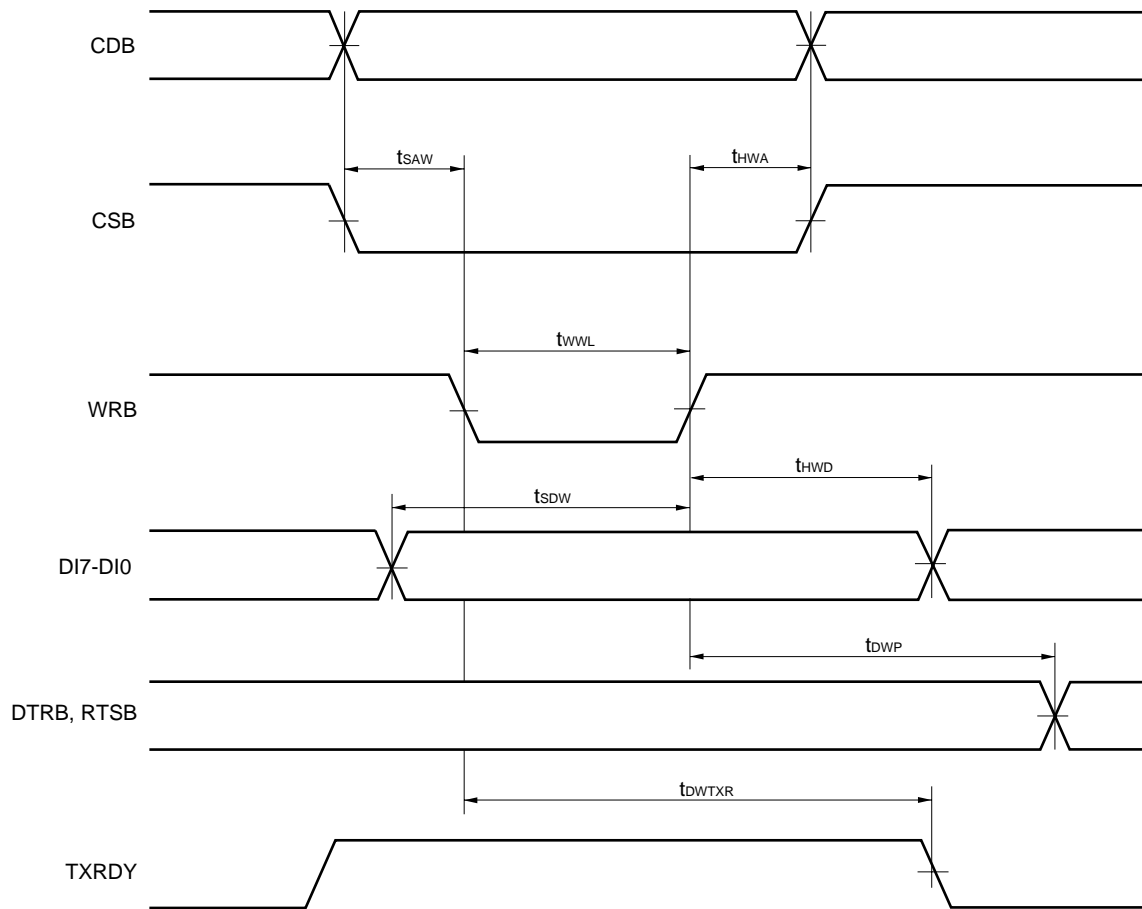
2. ステータスの更新には、ある事象がステータスに影響を与えてから、最大28t<sub>cyk</sub>の遅延があります。

3. 伝達遅延時間の出力負荷条件は、ファンアウト1、配線長0 mmです。

4. BR: ポー・レート

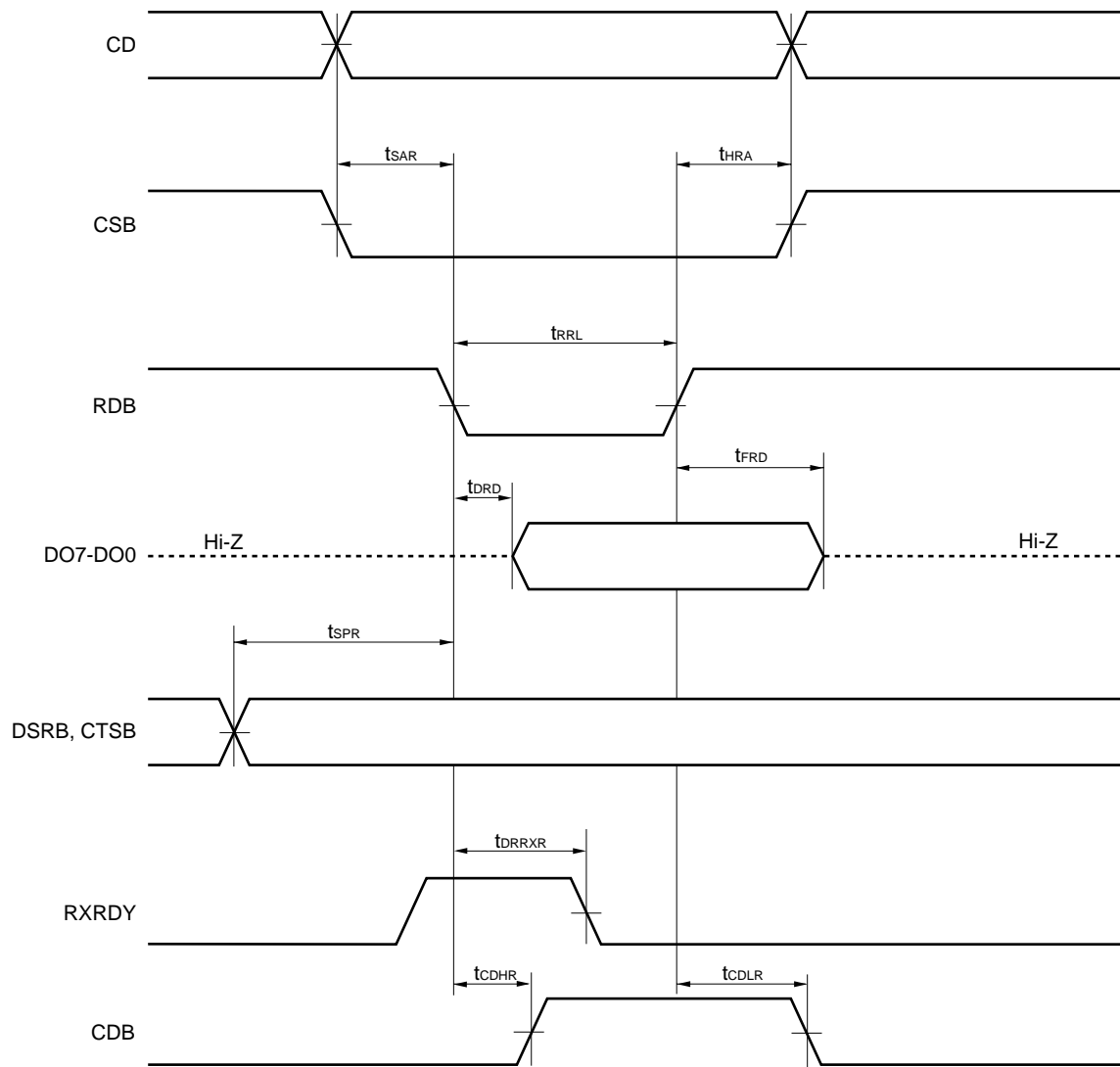
## 2.5 タイミング・チャート

### (1) ライト・データ・タイミング

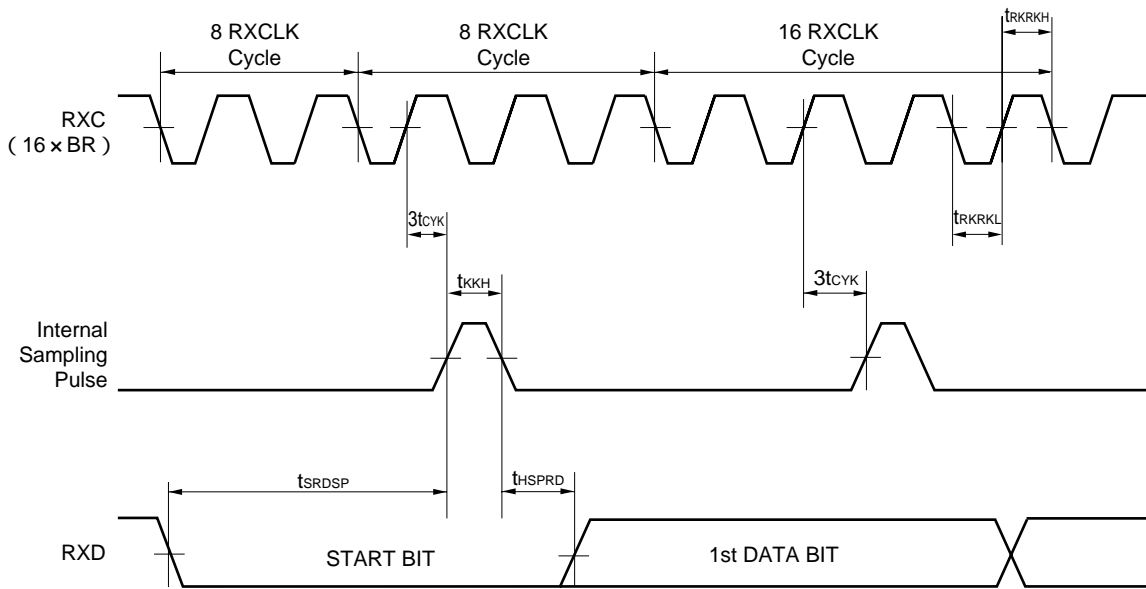
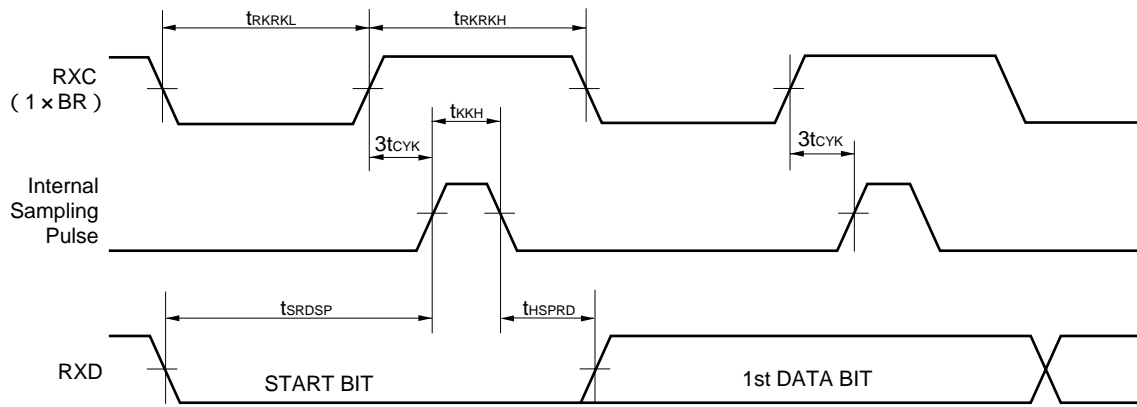




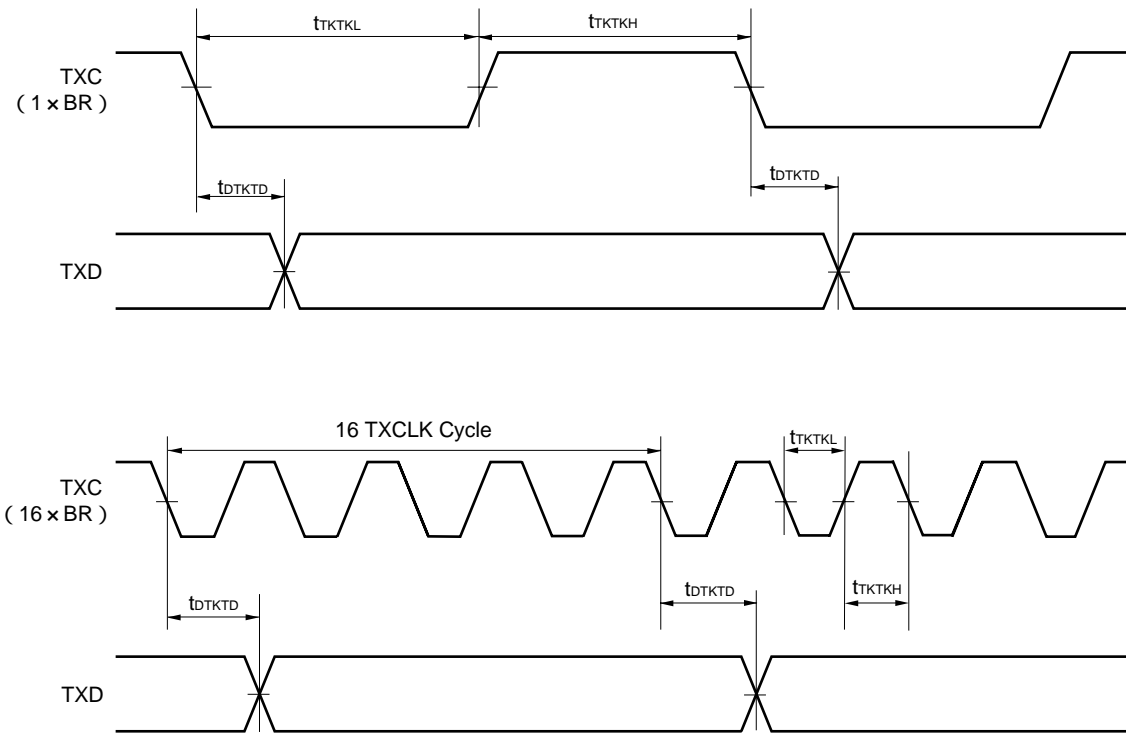
(2) リード・データ・タイミング



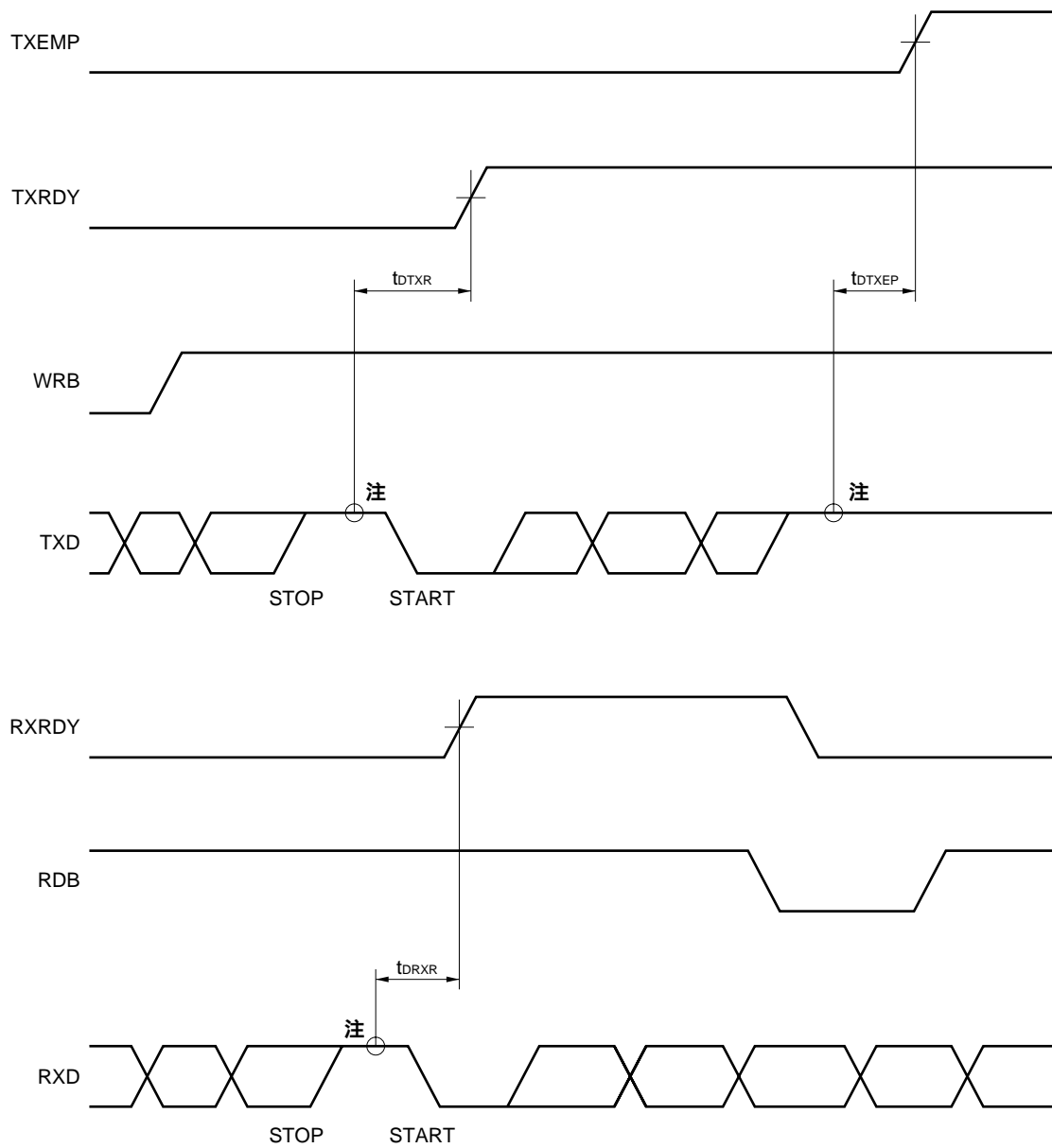
(3) レシーバ・クロックとRXD



(4) トランスミッタ・クロックとTXD



(5) フラグのタイミング

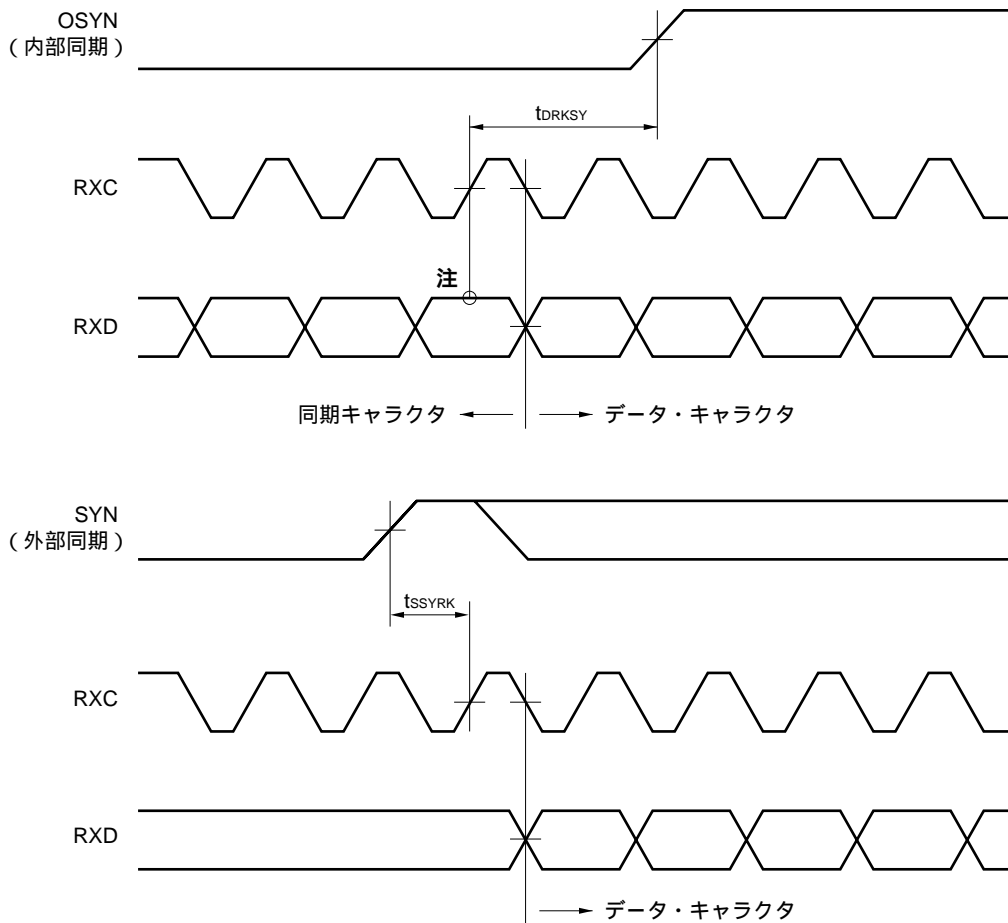


注 1/2ビット。

サンプリングが16倍クロックの場合、8クロック目の立ち上がり

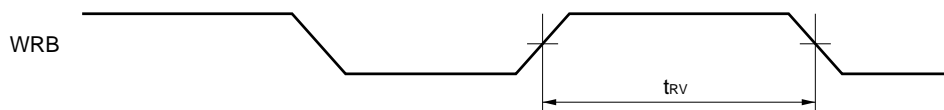
サンプリングが64倍クロックの場合、32クロック目の立ち上がり

(6) RXDとSYN, OSYNのタイミング

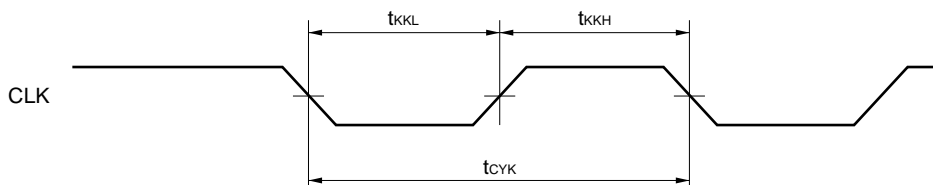


注 1/2ビット。  
 サンプリングが16倍クロックの場合、8クロック目の立ち上がり  
 サンプリングが64倍クロックの場合、32クロック目の立ち上がり

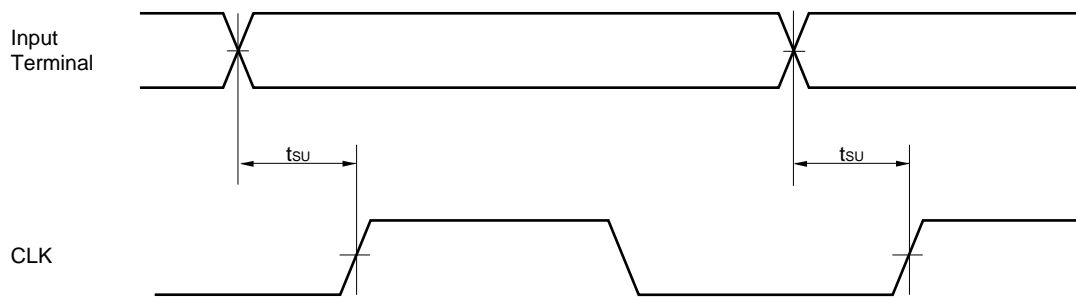
(7) 書き込み回復時間



(8) メイン・クロック



## (9) 全入力端子 (テスト入力を除く) とメイン・クロック



## 第3章 NA54Aマクロ

第3章では、NA54Aの機能について説明しています。

Block Type	Function	
NA54A	Programmable Timer/Counter	
<div style="display: flex; justify-content: space-between; align-items: flex-start;"> <div style="width: 45%;"> <p style="text-align: center;">NA54A</p> </div> <div style="width: 45%;"> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">特 徴</p> <ul style="list-style-type: none"> <li>・ μ PD71054と機能コンパチブル</li> <li>・ 最高動作周波数 33 MHz</li> </ul> </div> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">注 意 事 項</p> <ul style="list-style-type: none"> <li>・ CLK0, CLK1, CLK2, GATE0, GATE1, GATE2, WRB, RDBにはスライクを入力しないでください。</li> </ul> </div> <div style="margin-top: 10px;"> <p>注1. DO7-DO0の出力制御信号</p> <p>注2. } CLK0, CLK1, CLK2, GATE0, GATE1, GATE2, WRB, RDB, CSBのスルー・パス出力端子</p> <p>注3. TTHR</p> </div> </div> </div> <p style="text-align: center; margin-top: 20px;"><b>備考</b> 先頭に“TBI”がついている入力信号はテスト端子です。</p>		
使用セル数 (構成)	5076 ( 141 × 36 )	
メガマクロ・テスト・パターン長	3483	



## 3.1 NA54A端子説明

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
DI0	I	データ・バス入力信号 (LSB)		TBI0	2.6	F424
DI1	I	データ・バス入力信号		TBI1	2.7	F424
DI2	I	データ・バス入力信号		TBI2	2.9	F424
DI3	I	データ・バス入力信号		TBI3	2.9	F424
DI4	I	データ・バス入力信号		TBI4	2.9	F424
DI5	I	データ・バス入力信号		TBI5	2.9	F424
DI6	I	データ・バス入力信号		TBI6	2.7	F424
DI7	I	データ・バス入力信号 (MSB)		TBI7	2.7	F424
CLK0	I	カウンタ#0のクロック		TBI8	1.1	L111
CLK1	I	カウンタ#1のクロック		TBI9	1.6	L111
CLK2	I	カウンタ#2のクロック		TBI10	1.4	L111
A0	I	アドレス (LSB)		TBI11	1.4	L424
A1	I	アドレス (MSB)		TBI12	1.7	L424
GATE0	I	カウンタ#0のゲート入力		TBI13	1.2	L111
GATE1	I	カウンタ#1のゲート入力		TBI14	1.4	L111
GATE2	I	カウンタ#2のゲート入力		TBI15	1.4	L111
WRB	I	ライト信号	Low	TBI16	1.2	L111
RDB	I	リード信号	Low	TBI17	1.3	L111
CSB	I	チップ・セレクト	Low	TBI18	1.3	L111
CSD	I	3ステート出力コントロール		-	1.4	L101
CSE	I	3ステート出力コントロール		-	1.6	L111
TTHR	I	スルー・バス/通常モード切り替え信号 “H” : スルー・バス・モード “L” : 通常モード		-	3.0	F112
TESTB	I	テスト/通常モード切り替え “H” : 通常モード “L” : テスト・モード		-	2.7	F154
DO0	O	データ・バス出力信号 (LSB)		-	25.0	F532
DO1	O	データ・バス出力信号		-	25.0	F532
DO2	O	データ・バス出力信号		-	25.0	F532
DO3	O	データ・バス出力信号		-	25.0	F532
DO4	O	データ・バス出力信号		-	20.0	F532
DO5	O	データ・バス出力信号		-	25.0	F532
DO6	O	データ・バス出力信号		-	25.0	F532
DO7	O	データ・バス出力信号 (MSB)		-	25.0	F532
CNTOUT0	O	カウンタ#0の出力		-	24.0	F101
CNTOUT1	O	カウンタ#1の出力		-	24.0	F101
CNTOUT2	O	カウンタ#2の出力		-	23.0	F101
CDB	O	データ・バスのイネーブル信号		-	436.0	F15A
THRA1	O	スルー・バス出力信号		-	22.0	F312
THRGATE0	O	スルー・バス出力信号		-	26.0	F312

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
THRGATE1	O	スルー・パス出力信号		-	23.0	F312
THRGATE2	O	スルー・パス出力信号		-	26.0	F312
THRWR	O	スルー・パス出力信号		-	22.0	F312
THRRD	O	スルー・パス出力信号		-	22.0	F312
THRCS	O	スルー・パス出力信号		-	22.0	F312
TBI0	I	テスト入力		-	2.6	F424
TBI1	I	テスト入力		-	2.8	F424
TBI2	I	テスト入力		-	2.9	F424
TBI3	I	テスト入力		-	2.9	F424
TBI4	I	テスト入力		-	2.8	F424
TBI5	I	テスト入力		-	2.9	F424
TBI6	I	テスト入力		-	2.8	F424
TBI7	I	テスト入力		-	2.6	F424
TBI8	I	テスト入力		-	1.3	L111
TBI9	I	テスト入力		-	1.5	L111
TBI10	I	テスト入力		-	1.3	L111
TBI11	I	テスト入力		-	1.4	L424
TBI12	I	テスト入力		-	1.6	L424
TBI13	I	テスト入力		-	1.3	L111
TBI14	I	テスト入力		-	1.3	L111
TBI15	I	テスト入力		-	1.4	L111
TBI16	I	テスト入力		-	1.1	L111
TBI17	I	テスト入力		-	1.2	L111
TBI18	I	テスト入力		-	1.2	L111

備考 I : 入力端子

O : 出力端子

備考1. TB1xは、テスト用の入力端子です。TESTB入力をロウ・レベルにすることにより、TB1xより入力信号を入れることができます。テスト・モード時に、ゲートアレイ外部より直接メガマクロに信号が入力できるように接続してください。ここでいう直接とは入力された信号が反転したり、間にフリップフロップのような順序回路が入らない回路構成を指します。

TESTB	入力端子
1	通常端子 <sup>注</sup>
0	TB1x

注 通常モード時、テスト用入力端子には0か1の確定値を入力してください（0と1が混在していても構いません）。

2. CSD入力、CSE入力の機能

CSE入力：“1”を入力することにより、3ステートの出力すべてをオン（ハイまたはロウ・レベル）にします。

CSD入力：CSE = “0” のとき，“0”を入力することにより、3ステートの出力すべてをオフ（ハイ・インピーダンス；Hi-Z）にします。

また，“1”を入力することにより、メガマクロ内部の制御信号で3ステートの出力をオン、オフにします（通常動作）。

CSE	CSD	出力端子の状態	3ステート出力端子の状態 <sup>注</sup>
0	0	通常動作	Hi-Z
0	1	通常動作	通常動作
1	-	通常動作	Hi-Zは出力されない

注 3ステート端子は、DO7-DO0です。

3. CSE = “0” のとき、3ステート出力バッファのHi-Z状態は、対応する出力制御信号の出力値をモニタすることにより確認できます。

“Hi-Z” になっている端子	対応する出力制御信号と出力	
DO7-DO0	CDB	0

CSE = “1” のときは、3ステート出力制御信号に左右されません（3ステート出力は、“Hi-Z”ではありません）。

4. CSE, CSDはクランプにより固定できますが、CSDをクランプする場合，“1”固定としてください。

備考5. TTHR, CSE, CSDの組み合わせによる出力端子の動作状態

TTHR端子	CSE端子	CSD端子	3ステート出力端子 (DOx)	3ステート制御端子 (CDB(SD))	その他の端子	スルー・パス専用端子 (出力THRxxx)
0	0	0	Hi-Z	0	通常動作	0
		1	通常動作	通常動作		
	1	0	Hi-Z出力されない	0		
		1		通常動作		
1	0	0	Hi-Z	スルー・パス	スルー・パス	スルー・パス
		1	スルー・パス			
	1	x				

6. スルー・パス・テスト時の入出力端子対応表

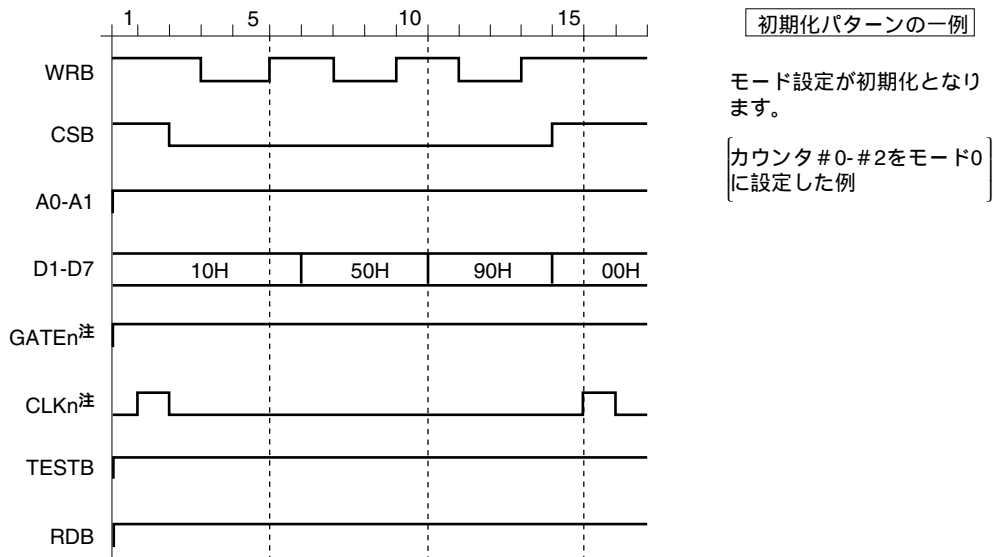
TTHR = “1” のとき、メガマクロ出力端子に対応する入力端子は下表のとおりです。

出力端子	スルー・パス対応端子		出力端子	スルー・パス対応端子	
	TESTB = 1	TESTB = 0		TESTB = 1	TESTB = 0
DO0	DI0	TBI0	CNTOUT2	CLK2	TBI10
DO1	DI1	TBI1	CDB	A0	TBI11
DO2	DI2	TBI2	THRA1	A1	TBI12
DO3	DI3	TBI3	THRGATE0	GATE0	TBI13
DO4	DI4	TBI4	THRGATE1	GATE1	TBI14
DO5	DI5	TBI5	THRGATE2	GATE2	TBI15
DO6	DI6	TBI6	THRWR	WRB	TBI16
DO7	DI7	TBI7	THRRD	RDB	TBI17
CNTOUT0	CLK0	TBI8	THRCS	CSB	TBI18
CNTOUT1	CLK1	TBI9			

TTHR = “1” かつCSE = “0” のとき全3ステートの制御（スルー・パス/ハイ・インピーダンスの切り替え）はCSDで行います。

### 3.2 NA54A初期化パターン

シミュレーション開始時にはメガマクロ内部の状態は不定です。したがって、シミュレーション時には最初に次の初期化パターンを入力し、内部の状態を決定してください。



注 n : 0, 1, 2

ほかの入力端子（通常入力、テスト入力）は、“0”、または“1”を入力してください。  
“X”が入力されないように注意してください。

・初期化パターン後のメガマクロ出力端子の値

モード	DO7-DO0	CNTOUT2- CNTOUT0	CDB	THRA1, THRGATE2-THRGATE 0, THRWR
0	Hi-Z	0	0	0
1	Hi-Z	1	0	0
2	Hi-Z	1	0	0
3	Hi-Z	1	0	0
4	Hi-Z	1	0	0
5	Hi-Z	1	0	0

注意 次の入力端子は、スパイクが入力されない回路構成にしてください。

CLK0, CLK1, CLK2, GATE0, GATE1, GATE2, WRB, RDB

また、CNTOUT2-CNTOUT0の値は、該当するカウンタのレジスタを設定した場合に出力されます。レジスタを設定しなかった場合は、×（不定）になります。

### 3.3 遅延時間

1.2.4 遅延時間を参照してください。

### 3.4 AC特性 ( $T_A = -40 \sim +85$ , $V_{DD} = 3.3 \pm 0.3 V$ )

#### (1) リード・サイクル

項目	略号	MIN	MAX	単位
アドレス設定時間 (対RDB )	t <sub>SAR</sub>	3		ns
アドレス保持時間 (対RDB )	t <sub>HRA</sub>	0		ns
CSB設定時間 (対RDB )	t <sub>SCR</sub>	1		ns
ロウ・レベルRDBパルス幅	t <sub>RRL</sub>	30		ns
データ遅延時間 (対RDB )	t <sub>DRD</sub>	4	24	ns
データ・フロート遅延時間 (対RDB )	t <sub>FRD</sub>	9	20	ns
データ遅延時間 (対アドレス)	t <sub>DAD</sub>	5	25	ns
読み出し回復時間	t <sub>RV</sub>	30		ns
CDBハイ遅延時間 (対RDB )	t <sub>CDHR</sub>	9	19	ns
CDBロウ遅延時間 (対RDB )	t <sub>CDLR</sub>	9	20	ns

#### (2) ライト・サイクル

項目	略号	MIN	MAX	単位
アドレス設定時間 (対WRB )	t <sub>SAW</sub>	0		ns
アドレス保持時間 (対WRB )	t <sub>HWA</sub>	10		ns
CSB設定時間 (対WRB )	t <sub>SCW</sub>	0		ns
ロウ・レベルWRBパルス幅	t <sub>WWL</sub>	30		ns
データ設定時間 (対WRB )	t <sub>SDW</sub>	4		ns
データ保持時間 (対WRB )	t <sub>HWD</sub>	0		ns
書き込み回復時間	t <sub>RV</sub>	30		ns

## (3) クロック , ゲート・タイミング

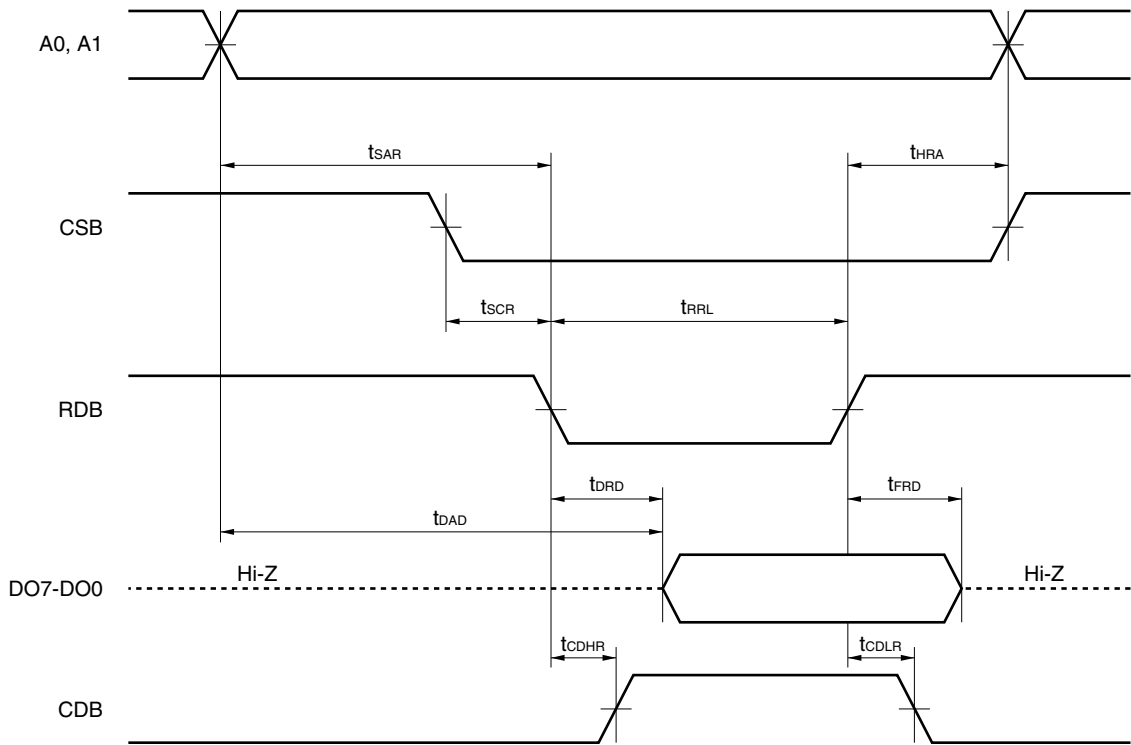
項 目	略 号	MIN	MAX	単位
クロック周期	t <sub>cyk</sub>	30		ns
ハイ・レベル・クロック・パルス幅	t <sub>KKH</sub>	13.5		ns
ロウ・レベル・クロック・パルス幅	t <sub>KKL</sub>	13.5		ns
ハイ・レベル・ゲート・パルス幅	t <sub>GGH</sub>	15		ns
ロウ・レベル・ゲート・パルス幅	t <sub>GGL</sub>	15		ns
ゲート設定時間 (対CLKn ) <sup>注</sup>	t <sub>SGK</sub>	7		ns
ゲート保持時間 (対CLKn ) <sup>注</sup>	t <sub>HKG</sub>	1		ns
クロック遅延時間 (対WRB ) (カウント数)	t <sub>DWK</sub>	0		ns
クロック遅延時間 (対WRB ) (ラッチ・コマンド)	t <sub>SKW</sub>	0		ns
ゲート遅延時間 (対WRB )	t <sub>DWG</sub>	0		ns
出力遅延時間 (対GATEn ) <sup>注</sup>	t <sub>DGO</sub>		4	ns
出力遅延時間 (対CLKn ) <sup>注</sup>	t <sub>DKO</sub>		13	ns
出力 (イニシャルOUT) 遅延時間 (対WRB )	t <sub>DWO</sub>		6	ns

注 n = 0, 1, 2

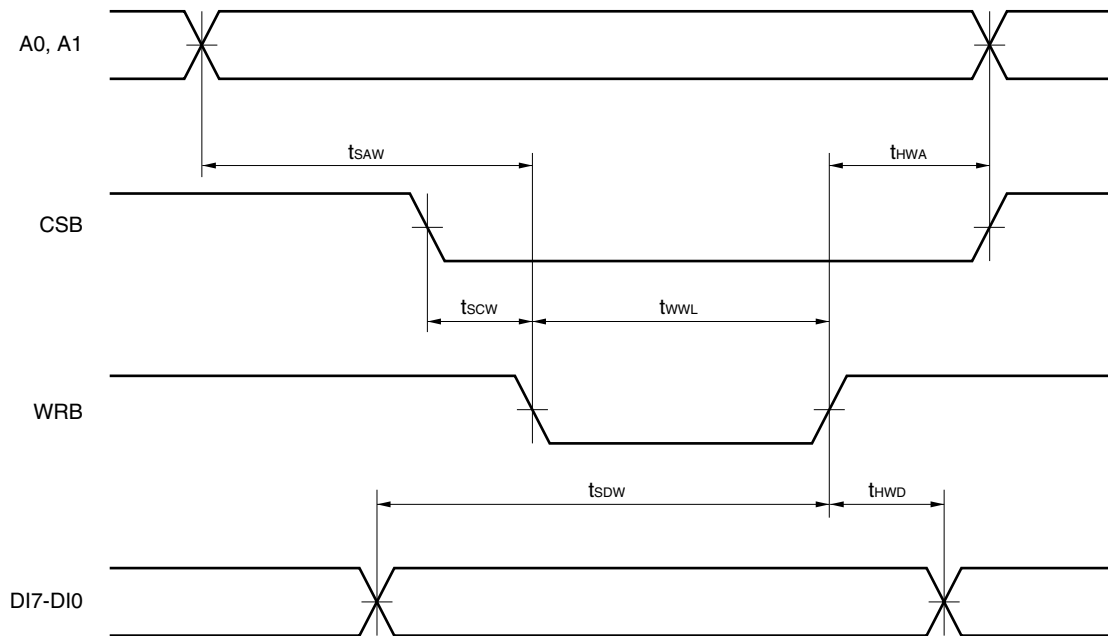
備考 伝達遅延時間の出力負荷条件は, ファンアウト1, 配線長0 mmです。

### 3.5 タイミング・チャート

#### (1) リード・サイクル・タイミング

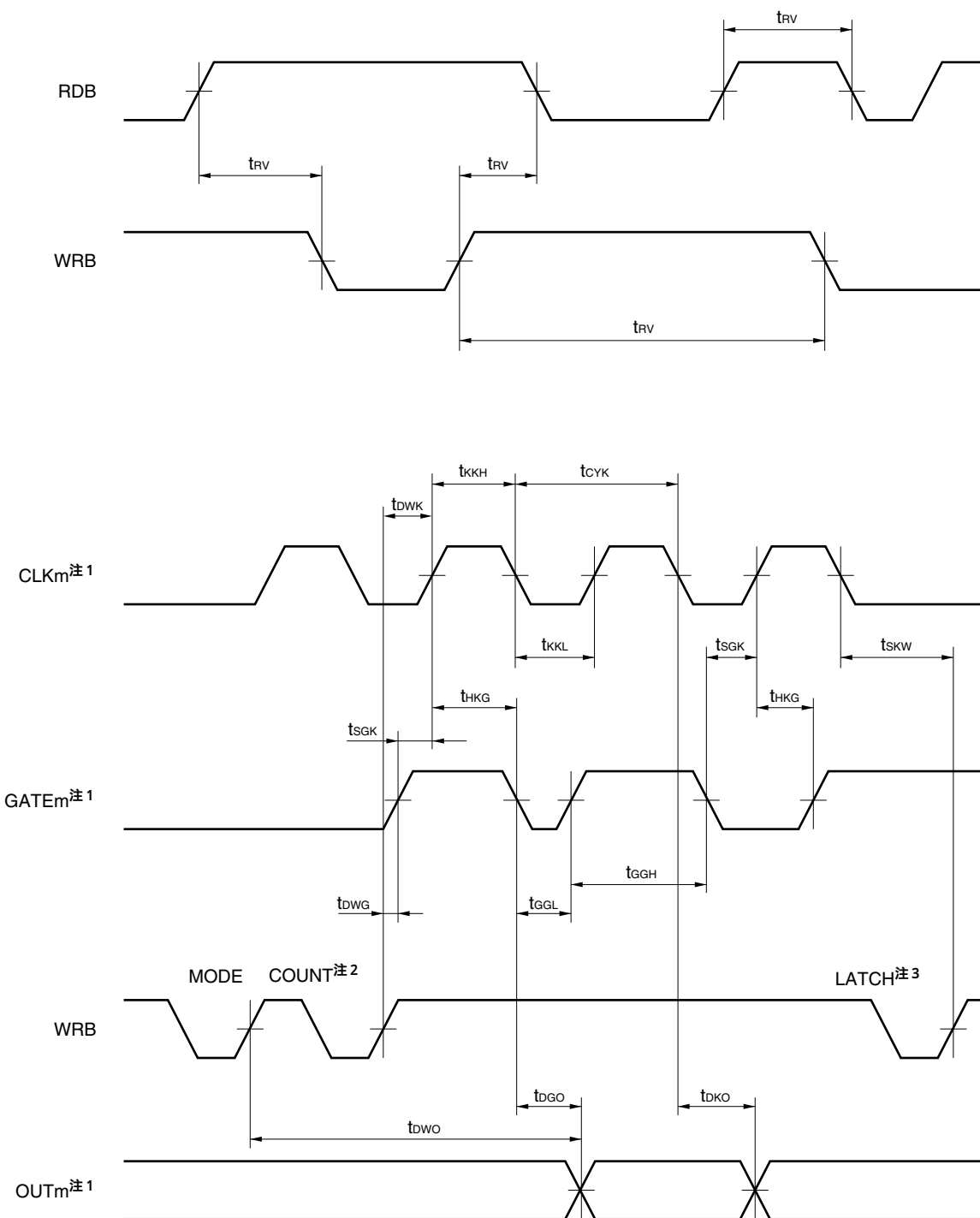


#### (2) ライト・サイクル・タイミング





(3) リード/ライト回復時間



注1.  $m = 0, 1, 2$

2. カウント数最終バイトの書き込み。

3. カウント・ラッチ・コマンドまたはマルチプル・ラッチ・コマンドの書き込み

## 第4章 NA59Aマクロ

第4章では、NA59Aの機能について説明しています。

Block Type	Function	
NA59A	Interrupt Control Unit	
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p style="text-align: center;">NA59A</p> </div> <div style="width: 50%;"> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">特 徴</p> <ul style="list-style-type: none"> <li>・μPD71059と機能コンパチブル (一部μPD71059と異なる点があります。詳細は4.6 NA59AとμPD71059の相違点をお読みください。)</li> <li>・最高動作周波数 33MHz相当</li> </ul> </div> <div style="border: 1px solid black; padding: 5px;"> <p style="text-align: center;">注意事項</p> <ul style="list-style-type: none"> <li>・WRB, RDB, INTAKB, INTIP7-INTIP0, RSTにはスパイクが入力されないようにしてください。</li> </ul> </div> <div style="margin-top: 20px;"> <p>注1. DO7-DO0の出力制御信号</p> <p>注2. SAO2-SAO0の出力制御信号</p> <p>注3. SVOの出力制御信号</p> <p>注4. メガマクロ前後段試験時のCSB, WRB, RDB, A0, INTIP7-INTIP3のスルー・パス専用出力端子</p> </div> </div> </div>		
<p><b>備考</b> 先頭に“TBI”がついている入力信号はテスト端子です。</p>		
使用セル数(構成)	2548 (91 × 28)	
メガマクロ・テスト・パターン長	7335	

## 4.1 NA59A端子説明

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
DI0	I	データ・バス入力信号 (LSB)		TBI0	2.5	F424
DI1	I	データ・バス入力信号		TBI1	2.4	F424
DI2	I	データ・バス入力信号		TBI2	2.5	F424
DI3	I	データ・バス入力信号		TBI3	2.5	F424
DI4	I	データ・バス入力信号		TBI4	2.5	F424
DI5	I	データ・バス入力信号		TBI5	2.8	F424
DI6	I	データ・バス入力信号		TBI6	2.8	F424
DI7	I	データ・バス入力信号 (MSB)		TBI7	2.8	F424
SAI0	I	スレーブ・アドレス (LSB)		TBI8	2.0	L424
SAI1	I	スレーブ・アドレス		TBI9	1.5	L424
SAI2	I	スレーブ・アドレス (MSB)		TBI10	1.5	L424
SVB	I	スレーブ入力信号	Low	TBI11	1.4	L424
CSB	I	チップ・セレクト信号	Low	TBI12	2.2	L101
WRB	I	ライト信号	Low	TBI13	4.0	F101
RDB	I	リード信号	Low	TBI14	3.3	F101
A0	I	RD/WR時にコマンド, データを指定		TBI15	2.6	L424
INTAKB	I	割り込み承認信号	Low	TBI16	3.9	F101
INTP0	I	割り込み要求入力信号 (0 bit)		TBI17	1.5	L111
INTP1	I	割り込み要求入力信号 (1 bit)		TBI18	1.2	L111
INTP2	I	割り込み要求入力信号 (2 bit)		TBI19	1.2	L111
INTP3	I	割り込み要求入力信号 (3 bit)		TBI20	1.2	L111
INTP4	I	割り込み要求入力信号 (4 bit)		TBI21	1.3	L111
INTP5	I	割り込み要求入力信号 (5 bit)		TBI22	1.5	L111
INTP6	I	割り込み要求入力信号 (6 bit)		TBI23	1.2	L111
INTP7	I	割り込み要求入力信号 (7 bit)		TBI24	1.2	L111
IRL0	I	レベル・エッジ選択信号 (0 bit)H = trig		TBI25	1.3	L424
IRL1	I	レベル・エッジ選択信号 (1 bit)H = trig		TBI26	1.3	L424
IRL2	I	レベル・エッジ選択信号 (2 bit)H = trig		TBI27	1.4	L424
IRL3	I	レベル・エッジ選択信号 (3 bit)H = trig		TBI28	1.3	L424
IRL4	I	レベル・エッジ選択信号 (4 bit)H = trig		TBI29	1.1	L424
IRL5	I	レベル・エッジ選択信号 (5 bit)H = trig		TBI30	1.1	L424
IRL6	I	レベル・エッジ選択信号 (6 bit)H = trig		TBI31	1.4	L424
IRL7	I	レベル・エッジ選択信号 (7 bit)H = trig		TBI32	1.2	L424
INTCON	I	INT出力切り替え		TBI33	1.4	L424
TESTB	I	テスト / 通常モード切り替え “H” : 通常モード “L” : テスト・モード		-	1.3	L101
CSD	I	3ステート出力コントロール		-	3.2	F112
RST	I	OSV, CSA, CSVの値を確定させる	High	-	1.9	L111
CSE	I	3ステート出力コントロール		-	5.0	L111

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
TTHR	I	スルー・バス/通常モード切り替え信号 “H”：スルー・バス・モード “L”：通常モード		-	3.4	F111
DO0	O	データ・バス出力信号 (LSB)		-	26.0	F531
DO1	O	データ・バス出力信号		-	26.0	F531
DO2	O	データ・バス出力信号		-	25.0	F531
DO3	O	データ・バス出力信号		-	25.0	F531
DO4	O	データ・バス出力信号		-	25.0	F531
DO5	O	データ・バス出力信号		-	25.0	F531
DO6	O	データ・バス出力信号		-	25.0	F531
DO7	O	データ・バス出力信号 (MSB)		-	25.0	F531
SAO0	O	スレーブ・アドレス出力信号 (LSB)		-	25.0	F531
SAO1	O	スレーブ・アドレス出力信号		-	25.0	F531
SAO2	O	スレーブ・アドレス出力信号 (MSB)		-	26.0	F531
SVO	O	スレーブ出カインエーブル		-	26.0	F531
INTR	O	割り込み要求信号		-	24.0	F101
CDB	O	DO0～DO7の出力制御信号		-	435.0	F15A
CSA	O	SAO0～SAO2の出力制御信号		-	26.0	F111
CSV	O	SVOの出力制御信号		-	26.0	F111
ESLC0	O	割り込みリセット出力0 (H = RESET)		-	23.0	F101
ESLC1	O	割り込みリセット出力1 (H = RESET)		-	24.0	F101
ESLC2	O	割り込みリセット出力2 (H = RESET)		-	23.0	F101
ESLC3	O	割り込みリセット出力3 (H = RESET)		-	25.0	F101
ESLC4	O	割り込みリセット出力4 (H = RESET)		-	24.0	F101
ESLC5	O	割り込みリセット出力5 (H = RESET)		-	25.0	F101
ESLC6	O	割り込みリセット出力6 (H = RESET)		-	24.0	F101
ESLC7	O	割り込みリセット出力7 (H = RESET)		-	23.0	F101
INTO0	O	割り込み出力0 (H = 割り込み)		-	24.0	F101
INTO1	O	割り込み出力1 (H = 割り込み)		-	24.0	F101
INTO2	O	割り込み出力2 (H = 割り込み)		-	26.0	F101
INTO3	O	割り込み出力3 (H = 割り込み)		-	26.0	F101
INTO4	O	割り込み出力4 (H = 割り込み)		-	25.0	F101
INTO5	O	割り込み出力5 (H = 割り込み)		-	25.0	F101
INTO6	O	割り込み出力6 (H = 割り込み)		-	25.0	F101
INTO7	O	割り込み出力7 (H = 割り込み)		-	25.0	F101
THRCSB	O	スルー・バス出力端子		-	26.0	F312
THRWRB	O	スルー・バス出力端子		-	26.0	F312
THRRDB	O	スルー・バス出力端子		-	26.0	F312
THRA0	O	スルー・バス出力端子		-	26.0	F312
THRINTP3	O	スルー・バス出力端子		-	26.0	F312
THRINTP4	O	スルー・バス出力端子		-	26.0	F312
THRINTP5	O	スルー・バス出力端子		-	26.0	F312
THRINTP6	O	スルー・バス出力端子		-	26.0	F312
THRINTP7	O	スルー・バス出力端子		-	26.0	F312

端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
TBI0	I	テスト入力			2.6	F424
TBI1	I	テスト入力			2.6	F424
TBI2	I	テスト入力			2.6	F424
TBI3	I	テスト入力			2.7	F424
TBI4	I	テスト入力			2.7	F424
TBI5	I	テスト入力			2.8	F424
TBI6	I	テスト入力			2.9	F424
TBI7	I	テスト入力			2.9	F424
TBI8	I	テスト入力			2.5	L424
TBI9	I	テスト入力			1.4	L424
TBI10	I	テスト入力			1.4	L424
TBI11	I	テスト入力			1.2	L424
TBI12	I	テスト入力			1.5	L101
TBI13	I	テスト入力			4.1	F101
TBI14	I	テスト入力			3.4	F101
TBI15	I	テスト入力			2.6	L424
TBI16	I	テスト入力			3.9	F101
TBI17	I	テスト入力			1.6	L111
TBI18	I	テスト入力			1.2	L111
TBI19	I	テスト入力			1.3	L111
TBI20	I	テスト入力			1.2	L111
TBI21	I	テスト入力			1.2	L111
TBI22	I	テスト入力			1.6	L111
TBI23	I	テスト入力			1.2	L111
TBI24	I	テスト入力			1.2	L111
TBI25	I	テスト入力			1.6	L424
TBI26	I	テスト入力			1.7	L424
TBI27	I	テスト入力			1.5	L424
TBI28	I	テスト入力			1.4	L424
TBI29	I	テスト入力			1.2	L424
TBI30	I	テスト入力			1.2	L424
TBI31	I	テスト入力			1.3	L424
TBI32	I	テスト入力			1.1	L424
TBI33	I	テスト入力			1.4	L424

備考 I : 入力端子

O : 出力端子

備考1. TB1xは、テスト用の入力端子です。TESTB入力をロウ・レベルにすることにより、TB1xより入力信号を入れることができます。テスト・モード時に、ゲートアレイ外部より直接メガマクロに信号が入力できるように接続してください。ここでいう直接とは入力された信号が反転したり、間にフリップフロップのような順序回路が入らない回路構成を指します。

TESTB	入力端子
1	通常端子 <sup>注</sup>
0	TB1x

注 通常モード時、テスト用入力端子には0か1の確定値を入力してください(0と1が混在していても構いません)。

2. CSD入力, CSE入力の機能

CSE入力：“1”を入力することにより、3ステートの出力すべてをオン（ハイまたはロウ・レベル）にします。

CSD入力：CSE = “0” のとき，“0”を入力することにより、3ステートの出力すべてをオフ（ハイ・インピーダンス；Hi-Z）にします。

また，“1”を入力することにより、メガマクロ内部の制御信号で3ステートの出力をオン、オフにします（通常動作）。

CSE	CSD	出力端子の状態	3ステート出力端子の状態 <sup>注</sup>
0	0	通常動作	Hi-Z
0	1	通常動作	通常動作
1	-	通常動作	Hi-Zは出力されない

注 3ステート端子は、DO7-DO0, SAO2-SAO0, SVOです。

3. CSE = “0” のとき、3ステート出力バッファのHi-Z状態は、対応する出力制御信号の出力値をモニタすることにより確認できます。

“Hi-Z”になっている端子	対応する出力制御信号と出力	
DO7-DO0	CDB	0
SAO2-SAO0	CSA	0
SVO	CSV	0

CSE = “1” のときは、3ステート出力制御信号に左右されません（3ステート出力は，“Hi-Z”ではありません）。

4. CSE, CSDはクランプにより固定できますが、CSDをクランプする場合，“1”固定としてください。

備考5. TTHR, CSE, CSDの組み合わせによる出力端子の動作状態

TTHR端子	CSE端子	CSD端子	3ステート出力端子 (DOx)	3ステート制御端子 (CDB(SD))	その他の端子	スルー・パス専用端子 (出力THRxxx)
0	0	0	Hi-Z	0	通常動作	0
		1	通常動作	通常動作		
	1	0	Hi-Z出力されない	0		
		1		通常動作		
1	0	0	Hi-Z	スルー・パス	スルー・パス	スルー・パス
		1	スルー・パス			
	1	x				

6. スルー・パス・テスト時の入出力端子対応表

TTHR = “ 1 ” のとき、メガマクロ出力端子に対応する入力端子は、下表のとおりです。

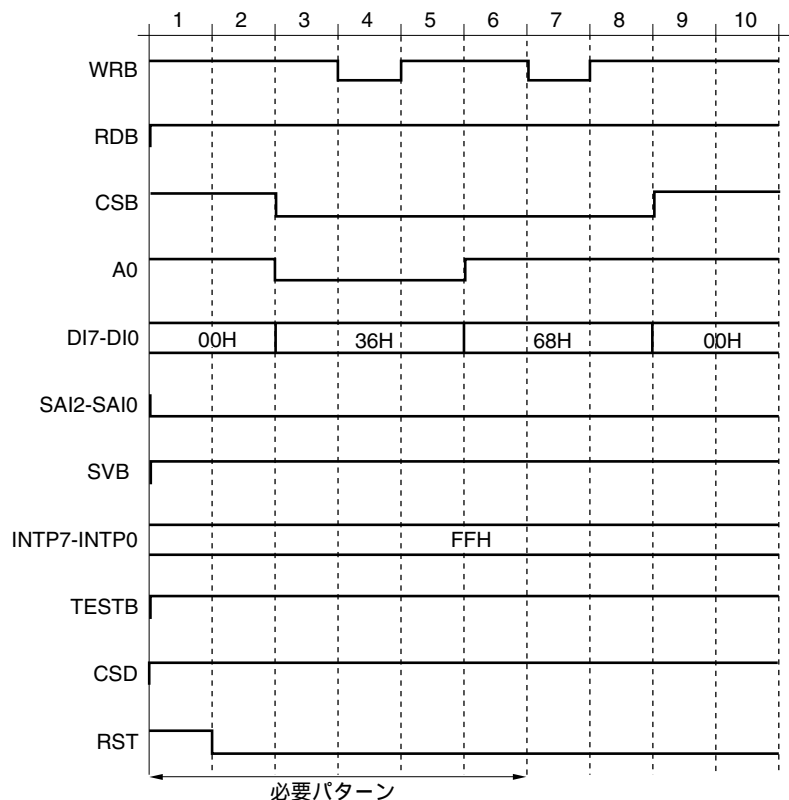
出力端子	スルー・パス対応端子		出力端子	スルー・パス対応端子	
	TESTB = 1	TESTB = 0		TESTB = 1	TESTB = 0
DO0	DI0	TBI0	CDB	INTP0	TBI17
DO1	DI1	TBI1	CSA	INTP1	TBI18
DO2	DI2	TBI2	CSV	INTP2	TBI19
DO3	DI3	TBI3	THRCSB	CSB	TBI12
DO4	DI4	TBI4	THRWRB	WRB	TBI13
DO5	DI5	TBI5	THRRDB	RDB	TBI14
DO6	DI6	TBI6	THRA0	A0	TBI15
DO7	DI7	TBI7	THRINTP3	INTP3	TBI20
SAO0	SAI0	TBI8	THRINTP4	INTP4	TBI21
SAO1	SAI1	TBI9	THRINTP5	INTP5	TBI22
SAO2	SAI2	TBI10	THRINTP6	INTP6	TBI23
SVO	SVB	TBI11	THRINTP7	INTP7	TBI24
INTR	INTAKB	TBI16			

TTHR = “ 1 ” かつCSE = “ 0 ” のとき全3ステートの制御 (スルー・パス / ハイ・インピーダンスの切り替え) はCSDで行います。



## 4.2 NA59A初期化パターン

シミュレーション開始時にはメガマクロ内部の状態は不定です。したがって、シミュレーション時には最初に次の初期化パターンを入力し、内部の状態を決定してください。



初期化パターンの一例

初期化は必ず2パターン目までこのパターンを入力してください。  
この初期化パターンによってNA59AはCALLモード、エッジ・トリガ・モード、アドレス・ギャップ4 byte、シングル・モードになります。  
ベクタ・モードや拡張モードなどを使用する場合は、3パターン目以降をその使用するモードに設定してください。  
モード設定の仕方は、  
μPD71059データ・シート (U11932J)の4.1 イニシャライズ・ワードの図4-2 イニシャライズ・シーケンスおよび図4-3 イニシャライズ・ワードのフォーマットを参照してください。

ほかの入力端子（通常入力，テスト入力）は，“0”または“1”を入力してください。

モード設定後の出力端子の状態

端子名	状態
DO7-DO0	Hi-Z
CDB	0
SAO2-SAO0	0（シングル・モードおよびマスタ・モード） Hi-Z（スレーブ・モード）
CSA	1（シングル・モードおよびマスタ・モード） 0（スレーブ・モード）
SVO	1（バッファ・モード・マスタ） Hi-Z（バッファ・モード・スレーブおよび非バッファ・モード）
CSV	1（バッファ・モード・マスタ） 0（バッファ・モード・スレーブおよび非バッファ・モード）
INTR	0

**注意1. RST端子について**

RST端子はNA59A固有の端子です。この端子により，電源投入直後のNA59Aの状態を標準品と同じにします（SVB = 1の場合）。

電源投入直後には，必ずこの端子に“1”の信号を10 ns以上入力し，イニシャライズ後に“0”の信号を入力してください。

この“1”の信号を印加することにより，出力信号は次のように確定されます。

SVO...Hi-Z

CSA...1

CSV...0

ほかの内部レジスタは，初期化されません。

**2. 次の入力端子は，スパイクが入力されない回路構成にしてください。**

WRB, RDB, INTAKB, INTP7-INTP0, RST

## 4.3 遅延時間

1.2.4 遅延時間を参照してください。

4.4 AC特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 3.3 \pm 0.3 V$ )

## (1) リード・タイミング

項目	略号	MIN	MAX	単位
アドレス設定時間 (対RDB )	t <sub>SAR</sub>	1		ns
アドレス保持時間 (対RDB )	t <sub>HRA</sub>	1		ns
ロウ・レベルRDBパルス幅	t <sub>RRL</sub>	30		ns
ハイ・レベルRDBパルス幅	t <sub>RRH</sub>	30		ns
データ遅延時間 (対CSB)	t <sub>DAD</sub>		7	ns
データ遅延時間 (対A0)	t <sub>DAD</sub>		11	ns
データ遅延時間 (対RDB )	t <sub>DRD</sub>		4	ns
CDBハイ遅延時間 (対RDB )	t <sub>CDHR</sub>		15	ns
データフロート時間 (対RDB )	t <sub>FRD</sub>	7	16	ns
CDBロウ遅延時間 (対RDB )	t <sub>CDLR</sub>		15	ns
BUFR/W遅延時間 (対RDB )	t <sub>DRBL</sub>		3	ns
BUFR/W遅延時間 (対RDB )	t <sub>DRBH</sub>		4	ns

## (2) ライト・タイミング

項目	略号	MIN	MAX	単位
アドレス設定時間 (対WRB ) <sup>注</sup>	t <sub>SAW</sub>	4		ns
アドレス保持時間 (対WRB ) <sup>注</sup>	t <sub>HWA</sub>	1		ns
ロウ・レベルWRBパルス幅	t <sub>WWL</sub>	30		ns
ハイ・レベルWRBパルス幅	t <sub>WWH</sub>	30		ns
データ設定時間 (対WRB )	t <sub>SDW</sub>	4		ns
データ保持時間 (対WRB )	t <sub>HWD</sub>	0		ns

注 アドレスとはA0とCSBを意味します。

## (3) 割り込みタイミング

項目	略号	MIN	MAX	単位
INTPパルス幅 <sup>注1</sup>	t <sub>PIPL</sub>	20		ns
SA設定時間(第2, 3INTAKB)(スレーブ)	t <sub>SSIA</sub>	20		ns
ロウ・レベルINTAKBパルス幅	t <sub>AIAL</sub>	30		ns
ハイ・レベルINTAKBパルス幅	t <sub>AIAH</sub>	30		ns
INT遅延時間(対INTP)	t <sub>DIPi</sub>		5	ns
SA遅延時間(対第1INTAKB)(マスタ)	t <sub>DIAS</sub>		4	ns
データ遅延時間(対INTAKB)	t <sub>DIAD</sub>		4	ns
CDBハイ遅延時間(対INTAKB)	t <sub>CDHIA</sub>		15	ns
データ・フロート時間(対INTAKB)	t <sub>FIAD</sub>	8	17	ns
CDBロウ遅延時間(対INTAKB)	t <sub>CDLIA</sub>		15	ns
データ遅延時間(対SA)(スレーブ)	t <sub>DSD</sub>		11	ns
BUFR/W遅延時間(対INTAKB)	t <sub>DIABL</sub>		3	ns
BUFR/W遅延時間(対INTAKB)	t <sub>DIABH</sub>		3	ns

## (4) そのほかのタイミング

項目	略号	MIN	MAX	単位
リード/ライト回復時間 <sup>注2</sup>	t <sub>rv1</sub>	30		ns
INTAKB回復時間 <sup>注3</sup>	t <sub>rv2</sub>	30		ns
INTAKB/コマンド回復時間 <sup>注4</sup>	t <sub>rv3</sub>	30		ns

注1. エッジ・トリガ・モードにおいて、入力ラッチをクリアするために必要な時間です。

2. リードからライト、またはライトからリードへ動作が移るときに必要な時間です。

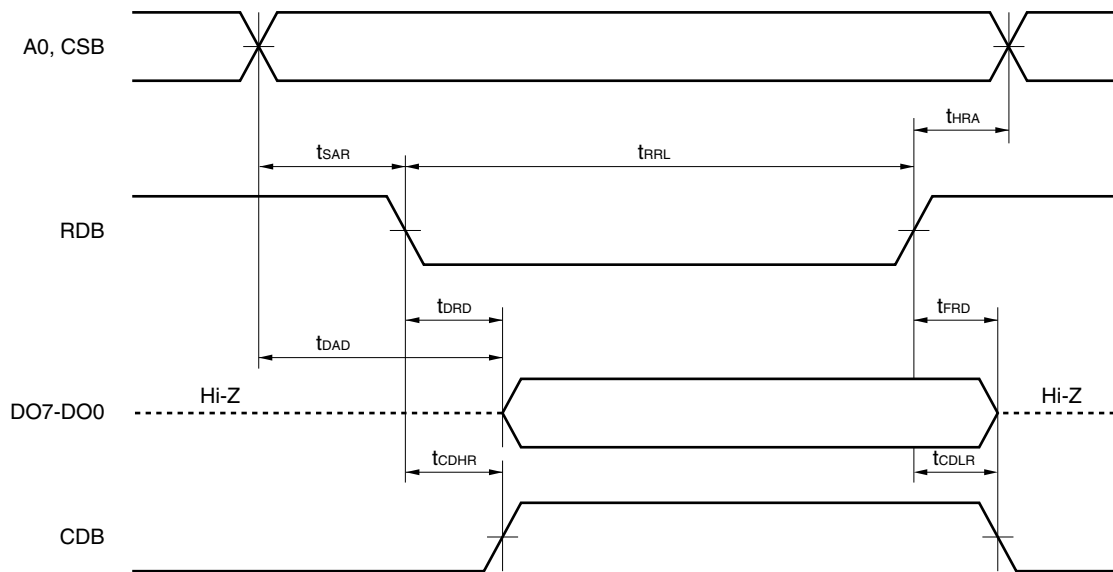
3. INTAKBシーケンスの最後のロウ・パルスから、次のINTAKBシーケンスへ移るときに必要な時間です。

4. INTAKBからコマンド(リード/ライト)、またはコマンドからINTAKBへ、動作が移るときに必要な時間です。

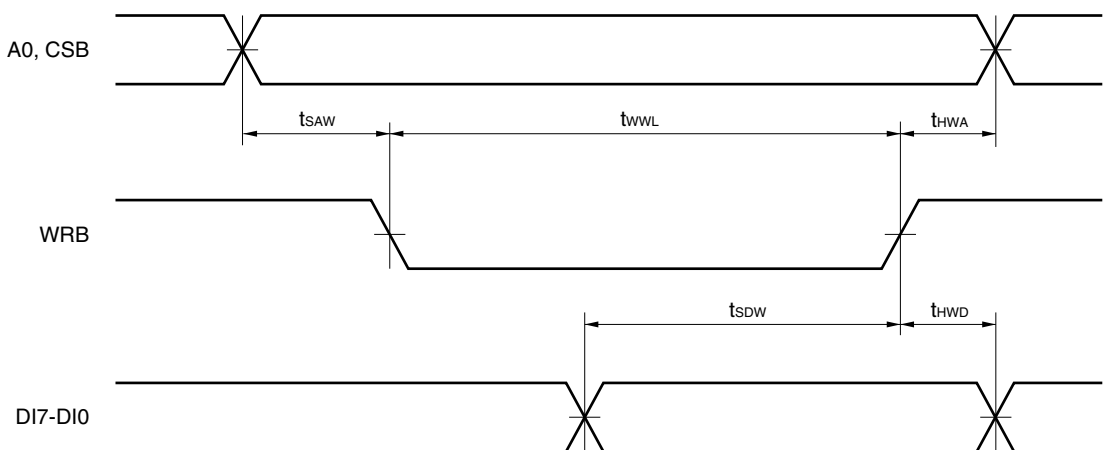
備考 伝達遅延時間の出力負荷条件は、ファンアウト1、配線長0 mmです。

## 4.5 タイミング・チャート

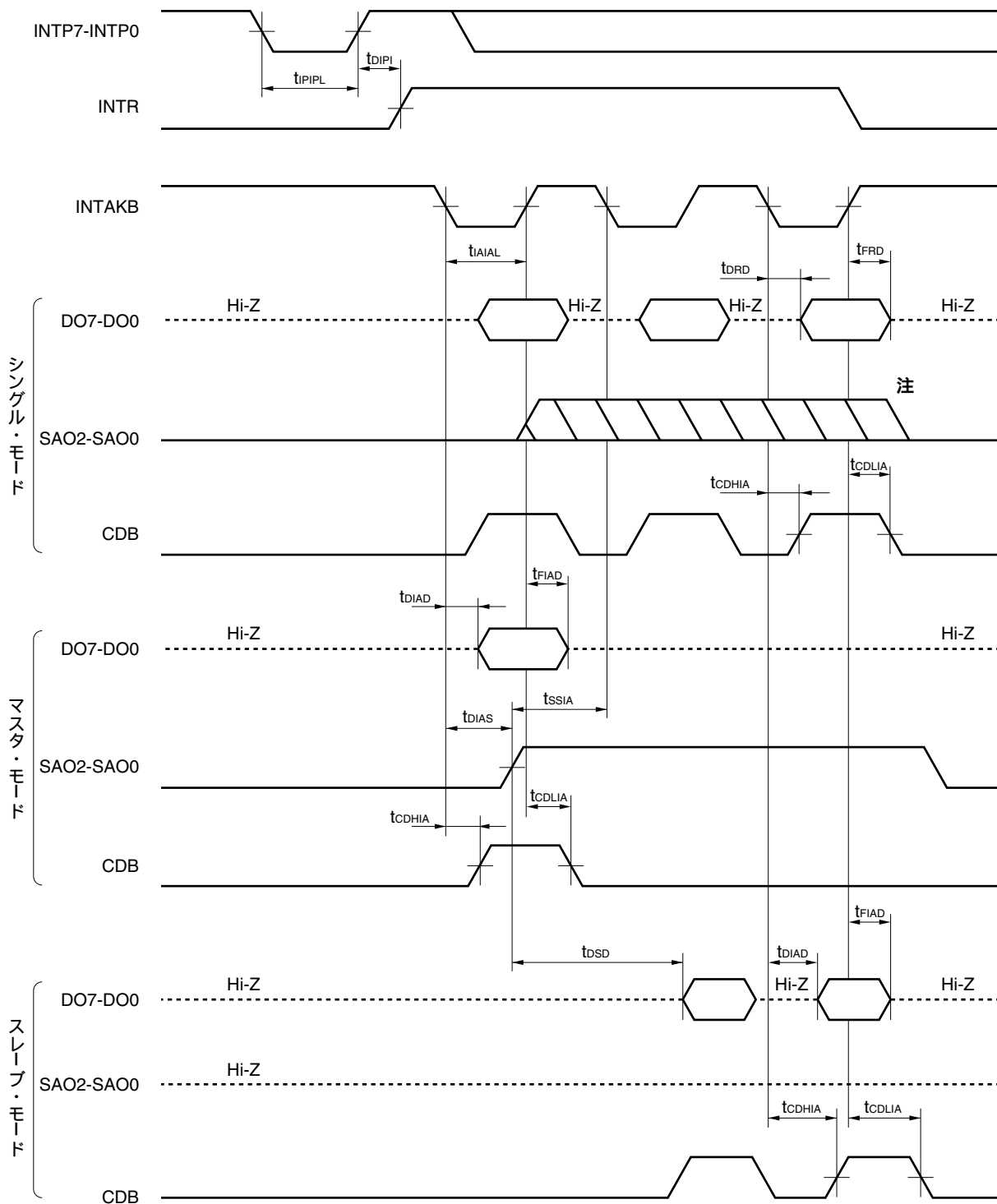
### (1) リード・サイクル



### (2) ライト・サイクル

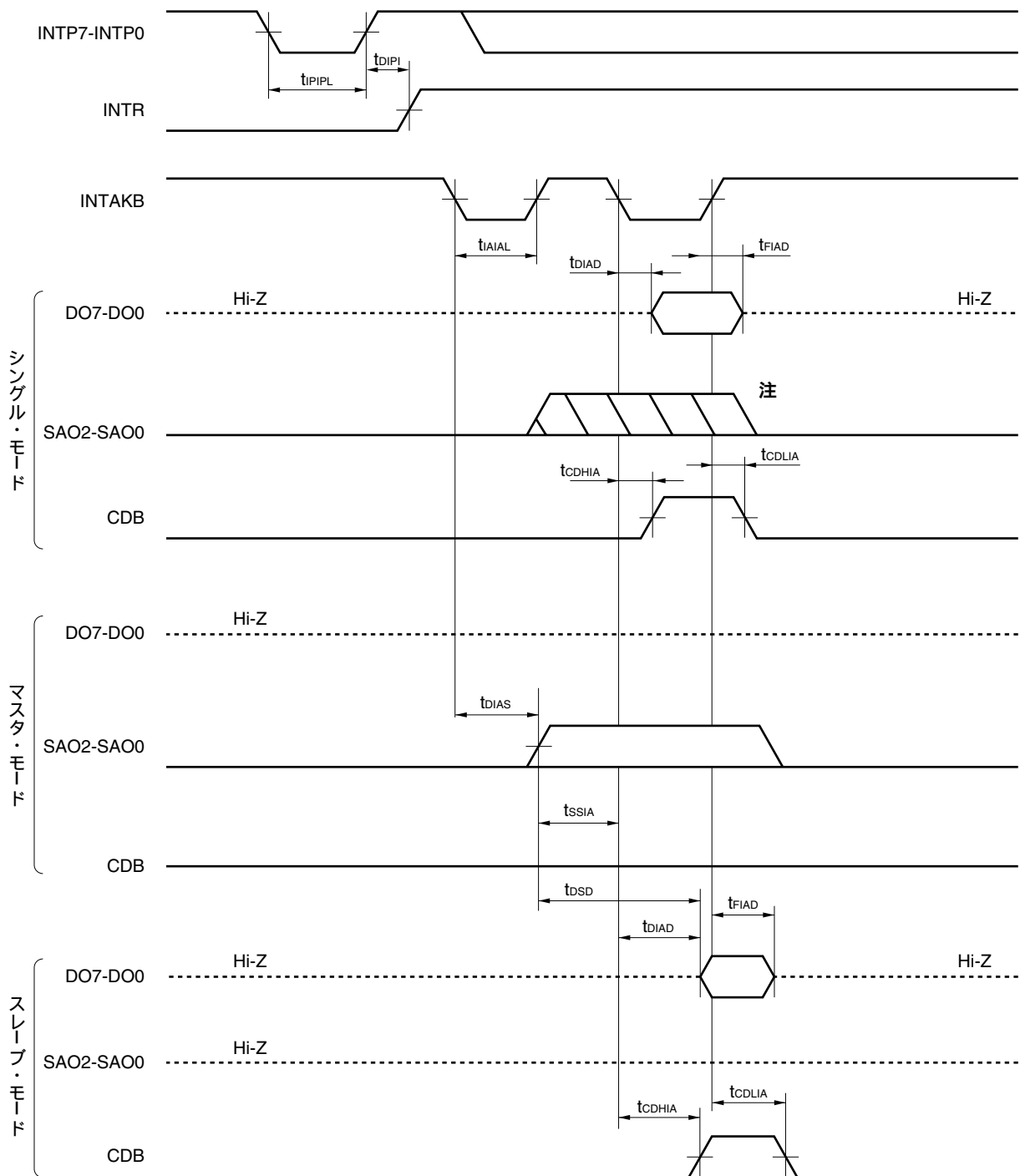


(3) INTAKBシーケンス (CALLモード) タイミング



注 シングル・モードでもSAO2-SAO0は出力されますが、意味を持ちません。

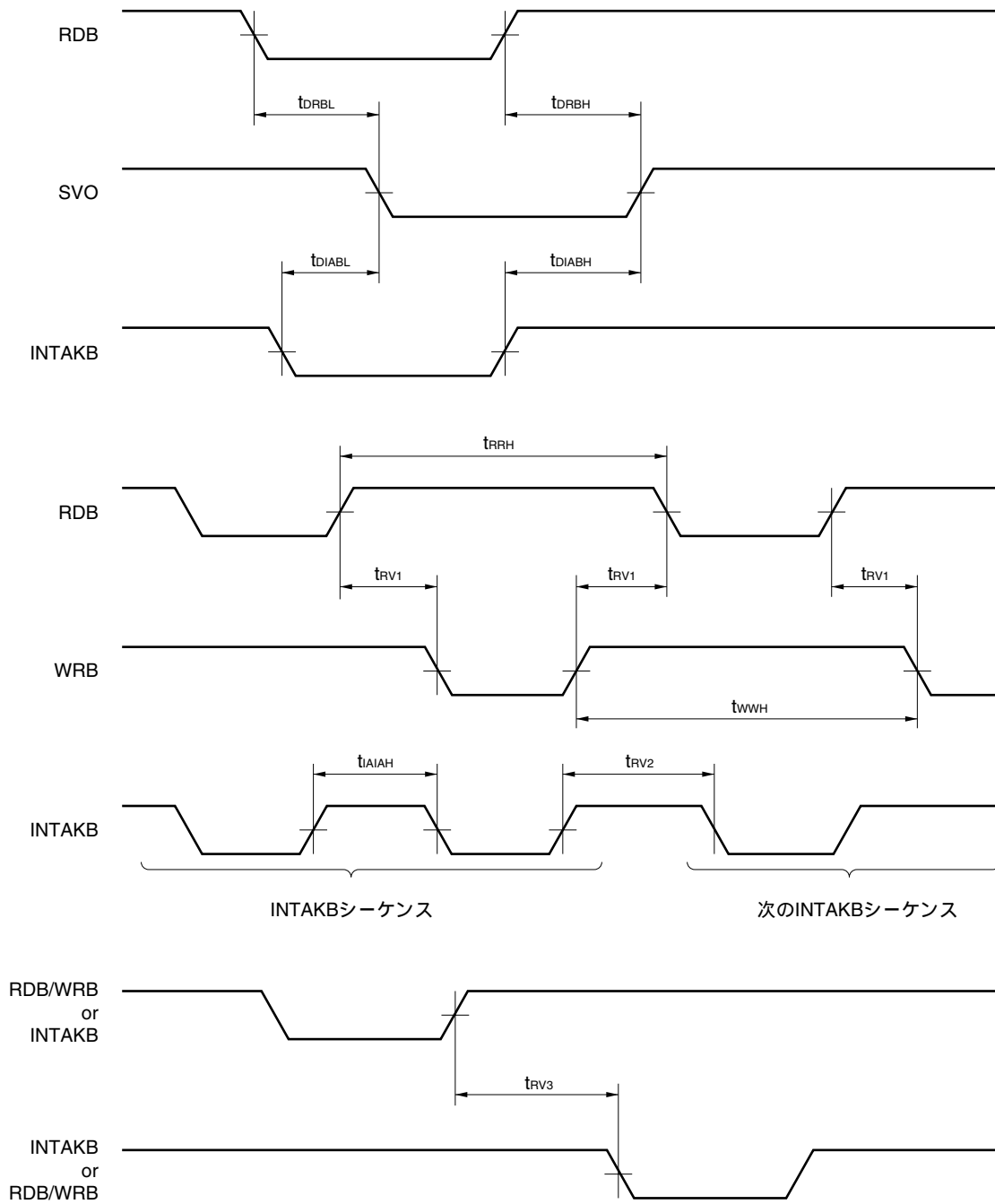
(4) INTAKBシーケンス (ベクタ・モード) タイミング



注 シングル・モードでもSAO2-SAO0は出力されますが、意味を持ちません。

備考 INTP入力は、少なくとも最初のINTAKBパルスの立ち上がりまでは、ハイ・レベルを保ってください。

(5) そのほかのタイミング





## 4.6 NA59Aと $\mu$ PD71059の相違点

- ・割り込み要求信号のレベル・トリガ/エッジ・トリガ切り替えを独立して設定可能
- ・INTR信号がハイ・レベル出力中に、WRBをロウ・レベルに変化させてもINTR信号が変化しないように設定可能
- ・割り込み要求信号を独立して出力可能
- ・割り込み要求信号に対して独立してリセット信号を発行可能
- ・3ステート信号，出力信号のコントロール端子の追加
- ・テスト端子の追加（TBI33-TBI0, TESTB, スルー・パス・テスト端子）
- ・DC特性，AC特性，端子容量

なお，上記内容以外のマクロの動作は， $\mu$ PD71059とほぼ同様ですので，動作の詳細については $\mu$ PD71059 ユーザーズ・マニュアル (U13042J)， $\mu$ PD71059 データ・シート (U11932J) を参照してください。

## 4.7 回路設計時の注意点

### 4.7.1 $\mu$ PD71059と同様に使用する場合

#### (1) INTP7-INTP0

$\mu$ PD71059のINTP7-INTP0にはプルアップ抵抗が内蔵されていますが，NA59Aではプルアップ抵抗を内蔵していません。 $\mu$ PD71059と全く同様に使用する際には，必要に応じてINTP7-INTP0にプルアップ抵抗付きの入力バッファを接続してください。

#### (2) IRL7-IRL0, INTCON

すべてロウ・クランプにしてください。

#### (3) INTO7-INTO0, ESLC7-ESLC0

すべてオープンにしてください。ただし，ほかの出力端子と同様にメガマクロ単体テストに使用しますのでテスト端子として出力してください。

#### (4) SAI2-SAI0, SAO2-SAO0, CSA

双方向バッファを使用し，CSAで出力をコントロールしてください。

#### (5) SVB, SVO, CSV

双方向バッファを使用し，CSVで出力をコントロールしてください。

### 4.7.2 IRL7-IRL0の使用方法

$\mu$  PD71059では、IW1によってINTP7-INTP0の入力トリガを切り替えることが可能でしたが、8本すべて同じトリガしか選択できません。NA59Aは、IRLxを“H”にすると対応するINTPxをレベル・トリガ・モードに、それぞれ独立して設定できます。またIRLxを“L”にすると対応するINTPxはエッジ・トリガ・モードになります。

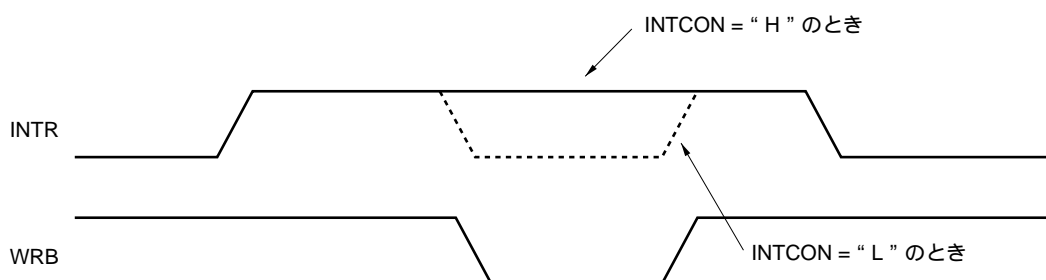
ただし、IW1のD3を“H”に設定した場合、IRL7-IRL0のレベルに関係なくINTP7-INTP0はすべてレベル・トリガ・モードになります。

**備考** xは0, 1..., 7

### 4.7.3 INTCONの使用方法

$\mu$  PD71059では、INTR出力がハイ・レベルの状態でも $\mu$  PD71059への書き込み動作を行うと、WRBがロウ・レベルの期間、INTR出力がロウ・レベルになります。NA59Aは、INTCONをあらかじめハイ・レベルに設定しておくことにより、INTR出力がハイ・レベルの状態でもNA59Aに書き込み動作を行っても、WRBがロウ・レベルの期間もINTR出力をハイ・レベルに保持させることが可能です。

図4 - 1 INTCONとINTR, WRBの関係



**注意** エッジ・トリガ・モードに設定しているNA59A ( $\mu$  PD71059) のINTPにINTRを接続している場合、またはエッジ検出しているCPUに接続した場合、割り込み検出漏れ対策をとることができます。これはFIコマンド発行またはノー・オペレーション書き込みをして、WRBのロウ・レベル期間にINTRがロウ・レベルになる性質を利用したものです。

INTCONをハイ・レベルに設定した場合にはこのような性質を利用できませんので、レベル・トリガ・モードを使用するなどの対策をとってください。

### 4.7.4 INTO7-INTO0の使用方法

INTR出力の要因となった入力ごとに個別に出力する信号です。INTP0はINTO0, INTP1はINTO1,...INTP7はINTO7にそれぞれ対応します。

### 4.7.5 ESLC7-ESLC0の使用方法

ISR (イン・サービス・レジスタ) をクリアする際にアクティブになる信号 (アクティブ・ハイ) です。この信号はクリアされる割り込み信号ごとに出力します。

## 第5章 NZ16550Aマクロ

第5章では、NZ16550Aの機能について説明しています。

Block Type	Function	
NZ16550A	UART + FIFO	
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p style="text-align: center;">NZ16550A</p> <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>D10 —</p><p>TBI0 —</p><p>D11 —</p><p>TBI1 —</p><p>D12 —</p><p>TBI2 —</p><p>D13 —</p><p>TBI3 —</p><p>D14 —</p><p>TBI4 —</p><p>D15 —</p><p>TBI5 —</p><p>D16 —</p><p>TBI6 —</p><p>D17 —</p><p>TBI7 —</p><p>A2 —</p><p>TBI8 —</p><p>A1 —</p><p>TBI9 —</p><p>A0 —</p><p>TBI10 —</p><p>SIN —</p><p>TBI11 —</p><p>XIN —</p><p>TBI12 —</p><p>RCLK —</p><p>TBI13 —</p><p>ADSB —</p><p>TBI14 —</p><p>DCDB —</p><p>TBI15 —</p><p>RIB —</p><p>TBI16 —</p><p>DSRB —</p><p>TBI17 —</p><p>CTSB —</p><p>TBI18 —</p><p>WRB —</p><p>TBI19 —</p><p>RDB —</p><p>TBI20 —</p><p>CSB —</p><p>TBI21 —</p><p>RST —</p><p>TBI22 —</p><p>TESTB —</p><p>CSD —</p><p>CSE —</p><p>TTHR —</p><p>TBI23 —</p><p>TBI24 —</p><p>TBI25 —</p><p>TBI26 —</p><p>TBI27 —</p><p>TBI28 —</p> </div> <div style="width: 45%; border-left: 1px solid black; padding-left: 10px;"> <p>DO0 —</p><p>DO1 —</p><p>DO2 —</p><p>DO3 —</p><p>DO4 —</p><p>DO5 —</p><p>DO6 —</p><p>DO7 —</p><p>SD 注1 —</p><p>CSOUT —</p><p>DDIS —</p><p>INTRP —</p><p>BAUDOUTB —</p><p>DTRB —</p><p>OUT1B —</p><p>OUT2B —</p><p>RTSB —</p><p>SOUT —</p><p>TXRDYB —</p><p>RXRDYB —</p><p>THRRDB —</p><p>THRCSB —</p><p>THRRST —</p> </div> </div> </div> <div style="width: 45%; margin-top: 20px;"> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">特 徴</p> <ul style="list-style-type: none"> <li>・ PC16550Dと機能コンパチブル</li> <li>・ 最高動作周波数 33 MHz相当</li> </ul> </div> <div style="border: 1px solid black; padding: 5px;"> <p style="text-align: center;">注意事項</p> <p>SIN, XIN, RCLK, ADSB, RIB, DCDB, DSRB, CTSB, WRB, RDB, CSB, RST, TESTB, CSD, CSE, TTHR, TBI28-TBI11にはスパイクが入力されないようにしてください。</p> </div> </div> <div style="margin-top: 20px;"> <p>注1. DO7-DO0の出力制御信号</p> <p>注2. THRRDB, THRCSB, THRRST</p> <p>注3. TBI28-TBI11</p> </div> </div>		
<p><b>備考</b> 先頭に“TBI”がついている入力信号はテスト端子です。</p>		
使用セル数	9774 ( 181 × 54 )	
メガマクロ・テスト・パターン長	14889	

## 5.1 NZ16550A概要

### 5.1.1 概要

NZ16550Aは、16450汎用非同期レシーバ/トランスミッタ（URAT：Universal Asynchronous Receiver / Transmitter）の改良バージョンです。NZ16550Aのパワーアップ時における動作は、16450（CHARACTERモード）<sup>注</sup>と機能的に同じです。ただし、NZ16550Aの場合、CPUに対する過剰なソフトウェア・オーバーヘッド防止用に、別モード（FIFOモード）にセットされます。

FIFOモードでは、内部FIFOが起動すると、受信/送信の両モードで16バイト（さらにバイト当たり3ビットのエラー・データがRCVR FIFO内に追加）が格納されます。最小のシステム負荷で最大のシステム効率を得られるように、全ての論理回路が組み込まれています。DMA転送の信号処理を行うために、PC16450に対し2個ピン機能を変更しています。

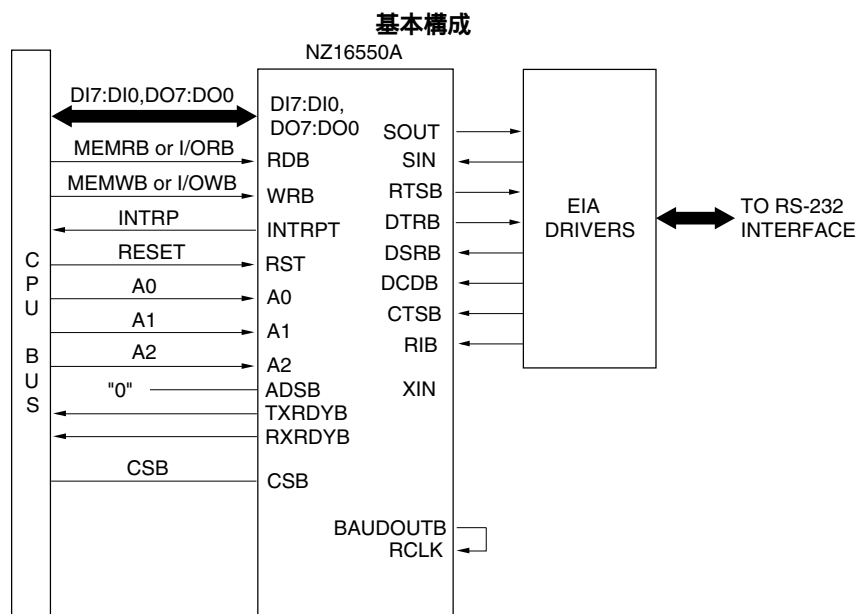
このUARTでは、周辺デバイスまたはMODEMからのシリアル・データ・キャラクタをパラレル変換し、CPUからのパラレル・データ・キャラクタをシリアル変換します。UART機能が動作中に、CPU側でUARTの全ステータスを随時読み出すことができます。ステータス情報として、UARTで実行中の転送動作タイプ/状態のほかに、あらゆるエラー状態（パリティ、オーバラン、フレーミング・エラー、ブレイク割り込み等）を読み出すことができます。

UARTはプログラマブル・ボー・レート・ジェネレータを内蔵し、 $1 \sim (2^{16} - 1)$ のデバイザでタイミング基準クロック入力を分周したり、16倍クロックを生成して内部トランスミッタ回路を駆動することもできます。さらに、この16倍クロックを使用してレシーバ回路と駆動することもできます。UARTは完全なMODEM制御機能と、プロセッサ割り込みシステムを備えています。割り込みはユーザの要件に応じてプログラムでき、通信リンクの処理時間を最小限に抑えることができます。

**注** ソフトウェア制御により、16450モードにリセット可能です。

### 5.1.2 特徴

- ・従来の16450ソフトウェアが全て使用可能。
- ・リセット後、全レジスタの設定が16450のレジスタと同一になる。
- ・FIFOモードの場合、トランスミッタとレシーバの各々に16バイトのFIFOデータが格納され、CPUに対する割り込み数を削減。
- ・標準の非同期通信ビット（スタート、ストップ、パリティ）をシリアル・データに付加、またはシリアル・データから削除可能。
- ・16450モードの受信データ保持レジスタとシフト・レジスタにより、CPUとシリアル・データ間の正確な同期が不要。
- ・送信、受信、ライン・ステータス、およびデータ・セットの各割り込みを独立して制御可能。
- ・プログラマブル・ポー・ジェネレータにより、 $1 \sim (2^{16} - 1)$  のデバイザで入力クロックを分周、16倍クロックの生成が可能。
- ・独立したレシーバ・クロック入力。
- ・MODEM制御機能（CTSB、RTSB、DSRB、DTRB、RIB、およびDCDB）
- ・フルプログラマブルなシリアル・インタフェース特性：
  - 5ビット、6ビット、7ビット、または8ビット・キャラクタ
  - 偶数ビット、奇数ビット、またはノンパリティ・ビットの生成/検出
  - 1-, 1 1/2-, 2-ストップ・ビット生成
  - ポー・ジェネレータ（DC ~ 1.5Mポー）
- ・偽スタート・ビットの検出。
- ・完全なステータス・レポート機能。
- ・データ・バス/制御バスに対するTRI-STATE<sup>®</sup> TTLドライブ機能。
- ・ライン・ブレイクの生成/検出。
- ・診断機能内蔵：
  - 通信リンク障害切り分け用ループバック制御機能
  - ブレイク、パリティ、オーバラン、フレーミング・エラーのシミュレーション機能
- ・完全な優先割り込み制御機能。



注意 テスト端子は省略されています。

## 5.2 NZ16550A端子説明

## 5.2.1 端子一覧

端子名 <sup>注1</sup>	I/O	機能	アクティブ・レベル	テスト端子 <sup>注1</sup>	ファンイン/ ファンアウト	ブロック名
DI0	I	データ・バス入力信号 (LSB)		TBI0	1.1	L424
DI1	I	データ・バス入力信号		TBI1	1.1	L424
DI2	I	データ・バス入力信号		TBI2	1.1	L424
DI3	I	データ・バス入力信号		TBI3	1.1	L424
DI4	I	データ・バス入力信号		TBI4	1.1	L424
DI5	I	データ・バス入力信号		TBI5	1.1	L424
DI6	I	データ・バス入力信号		TBI6	1.1	L424
DI7	I	データ・バス入力信号 (MSB)		TBI7	1.1	L424
A2	I	アドレス信号 (内部レジスタのアクセスに使用)		TBI8	1.1	L424
A1	I	アドレス信号 (内部レジスタのアクセスに使用)		TBI9	1.1	L424
A0	I	アドレス信号 (内部レジスタのアクセスに使用)		TBI10	1.1	L424
SIN	I	シリアル・データ入力		TBI11	1.1	L111
XIN	I	システム・クロック入力 <sup>注2</sup>		TBI12	1.1	L111
RCLK	I	受信レート決定基準クロック入力 <sup>注2</sup>		TBI13	1.1	L111
ADSB	I	アドレス信号, チップ・セレクト信号 をラッチするためのストロブ信号を 入力	Low	TBI14	1.1	L111
DCDB	I	汎用入力端子 Data Carrier Detect	Low	TBI15	1.1	L111
RIB <sup>注3</sup>	I	汎用入力端子 Ring indicator	Low	TBI16	1.1	L111
DSRB	I	汎用入力端子 Data Set Ready	Low	TBI17	1.1	L111
CTSB	I	汎用入力端子 Clear To Send	Low	TBI18	1.1	L111
WRB	I	ライト信号	Low	TBI19	1.1	L111
RDB	I	リード信号	Low	TBI20	1.1	L111
CSB	I	チップ・セレクト信号	Low	TBI21	1.1	L111
RST	I	リセット信号	High	TBI22	1.1	L111
TESTB	I	テスト/通常モード切り替え “H” : 通常モード “L” : テスト・モード		-	1.1	L101
CSD		3ステート出力コントロール		-	1.1	L101
CSE	I	3ステート出力コントロール		-	1.1	L101
TTHR	I	スルー・パス/通常モード切り替え信号 “H” : スルー・パス・モード “L” : 通常モード		-	1.1	L101
DO0	O	データ・バス出力信号 (LSB)		-	26.0	F531
DO1	O	データ・バス出力信号		-	26.0	F531
DO2	O	データ・バス出力信号		-	26.0	F531

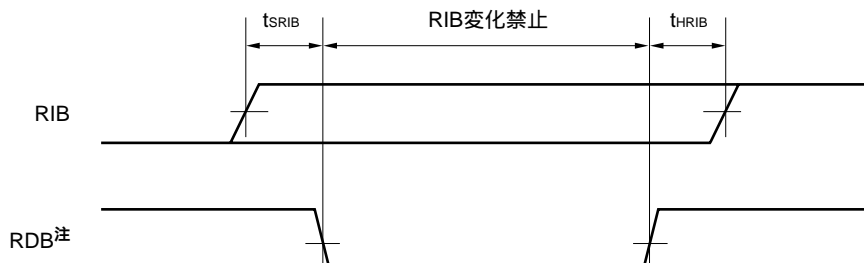
端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
DO3	O	データ・バス出力信号		-	26.0	F531
DO4	O	データ・バス出力信号		-	26.0	F531
DO5	O	データ・バス出力信号		-	26.0	F531
DO6	O	データ・バス出力信号		-	26.0	F531
DO7	O	データ・バス出力信号 (MSB)		-	26.0	F531
SD	O	データ・バスのイネーブル信号 0: ハイ・インピーダンス強制出力 1: 通常3ステート動作		-	26.0	F101
CSOUT	O	チップ・セレクト状態を示す信号	High	-	26.0	F101
DDIS	O	Driver Disable	Low	-	26.0	F101
INTRP	O	割り込み状態を示す信号	High	-	26.0	F101
BAUDOUTB	O	ポー・レート・ジェネレータからの 出力クロック		-	26.0	F101
DTRB	O	汎用入力端子 Data Terminal Ready	Low	-	26.0	F101
OUT1B	O	汎用入力端子 Output1	Low	-	26.0	F101
OUT2B	O	汎用入力端子 Output2	Low	-	26.0	F101
RTSB	O	汎用入力端子 Request To Send	Low	-	26.0	F101
SOUT	O	シリアル・データ出力		-	26.0	F101
TXRDYB	O	送信レディ信号	Low	-	26.0	F101
RXRDYB	O	受信レディ信号	Low	-	26.0	F101
THRRDB	O	スルー・バス出力テスト端子 (RDB信号)		-	26.0	F101
THRCSB	O	スルー・バス出力テスト端子 (CSB信号)		-	26.0	F101
THRRST	O	スルー・バス出力テスト端子 (RST信号)		-	26.0	F101
TBI0	I	テスト入力		-	1.0	L424
TBI1	I	テスト入力		-	1.0	L424
TBI2	I	テスト入力		-	1.0	L424
TBI3	I	テスト入力		-	1.0	L424
TBI4	I	テスト入力		-	1.0	L424
TBI5	I	テスト入力		-	1.0	L424
TBI6	I	テスト入力		-	1.0	L424
TBI7	I	テスト入力		-	1.0	L424
TBI8	I	テスト入力		-	1.0	L424
TBI9	I	テスト入力		-	1.0	L424
TBI10	I	テスト入力		-	1.0	L424
TBI11	I	テスト入力		-	1.1	L111
TBI12	I	テスト入力 <sup>注2</sup>		-	1.1	L111
TBI13	I	テスト入力 <sup>注2</sup>		-	1.1	L111
TBI14	I	テスト入力		-	1.1	L111
TBI15	I	テスト入力		-	1.1	L111
TBI16	I	テスト入力		-	1.1	L111



端子名	I/O	機能	アクティブ・レベル	テスト端子	ファンイン/ ファンアウト	ブロック名
TBI17	I	テスト入力		-	1.1	L111
TBI18	I	テスト入力		-	1.1	L111
TBI19	I	テスト入力		-	1.1	L111
TBI20	I	テスト入力		-	1.1	L111
TBI21	I	テスト入力		-	1.1	L111
TBI22	I	テスト入力		-	1.1	L111
TBI23	I	テスト・モード端子		-	1.1	L302
TBI24	I	テスト・モード端子		-	1.1	L101
TBI25	I	テスト・モード端子		-	1.1	L101
TBI26	I	テスト・モード端子		-	1.1	L302
TBI27	I	テスト・モード端子		-	1.1	L302
TBI28	I	テスト・モード端子		-	1.1	L302

- 注1. 同じ行に記述されている（通常）端子とテスト端子は同じ機能を持っています。
2. クロック端子（“クロック”という記述のある信号）は、双方向端子を使用せずに入力端子から供給してください。具体的には次の端子です：XIN端子，RCLK端子，TBI12端子，TBI13端子。
3. RIB端子を使用しない場合は，“H”または“L”にクランプしてください。  
RIB端子を使用する場合は，以下のタイミングを満たすようにしてください。

項目	略号	最小値	単位
RIB立ち上がり設定時間（対RDB）	$t_{SRIB}$	5.0	ns
RIB立ち上がり保持時間（対RDB）	$t_{HRIB}$	5.0	ns



注 RDBは，モデム・ステータス・レジスタ（MSR A = 6）リード時のタイミングです。

- 備考 I : 入力端子  
O : 出力端子

備考1. TB1xは、テスト用の入力端子です。TESTB入力をロウ・レベルにすることにより、TB1xより入力信号を入れることができます。テスト・モード時に、ゲートアレイ外部より直接メガマクロに信号が入力できるように接続してください。ここでいう直接とは入力された信号が反転したり、間にフリップフロップのような順序回路が入らない回路構成を指します。

TESTB	入力端子
1	通常端子 <sup>注</sup>
0	TB1x

注 通常モード時、テスト用入力端子には0か1の確定値を入力してください(0と1が混在していても構いません)。

2. CSD入力, CSE入力の機能

CSE入力: “1”を入力することにより、3ステートの出力すべてをオン(ハイまたはロウ・レベル)にします。

CSD入力: CSE = “0” のとき, “0”を入力することにより、3ステートの出力すべてをオフ(ハイ・インピーダンス; Hi-Z)にします。

また, “1”を入力することにより、メガマクロ内部の制御信号で3ステートの出力をオン, オフにします(通常動作)。

CSE	CSD	出力端子の状態	3ステート出力端子の状態 <sup>注</sup>
0	0	通常動作	Hi-Z
0	1	通常動作	通常動作
1	-	通常動作	Hi-Zは出力されない

注 3ステート端子は、DO7-DO0です。

3. CSE = “0” のとき, 3ステート出力バッファのHi-Z状態は, 対応する出力信号の出力値をモニタすることにより確認できます。

“Hi-Z” になっている端子	対応する出力制御信号と出力	
DO7-DO0	SD	0

CSE = “1” のときは, 3ステート出力制御信号に左右されません(3ステート出力は, “Hi-Z” ではありません)。

4. CSE, CSDはクランプにより固定できますが, CSDをクランプする場合, “1” 固定としてください。

備考5. TTHR, CSE, CSDの組み合わせによる出力端子の動作状態

TTHR端子	CSE端子	CSD端子	3ステート出力端子 (DOx)	3ステート制御端子 (CDB(SD))	その他の端子	スルー・パス専用端子 (出力THRxxx)
0	0	0	Hi-Z	0	通常動作	0
		1	通常動作	通常動作		
	1	0	Hi-Z出力されない	0		
		1		通常動作		
1	0	0	Hi-Z	スルー・パス	スルー・パス	スルー・パス
		1	スルー・パス			
	1	x				

6. スルー・パス・テスト時の入出力端子対応表

TTHR = “1” のとき、メガマクロ出力端子に対応する入力端子は、下表のとおりです。

出力端子	スルー・パス対応端子		出力端子	スルー・パス対応端子	
	TESTB = 1	TESTB = 0		TESTB = 1	TESTB = 0
DO0	DI0	TBI0	BAUDOUTB	XIN	TBI12
DO1	DI1	TBI1	DTRB	RCLK	TBI13
DO2	DI2	TBI2	OUT1B	ADSB	TBI14
DO3	DI3	TBI3	OUT2B	DCDB	TBI15
DO4	DI4	TBI4	RTSB	RIB	TBI16
DO5	DI5	TBI5	SOUT	DSRB	TBI17
DO6	DI6	TBI6	TXRDYB	CTSB	TBI18
DO7	DI7	TBI7	RXRDYB	WRB	TBI19
SD	A2	TBI8	THRRDB	RDB	TBI20
CSOUT	A1	TBI9	THRCSB	CSB	TBI21
DDIS	A0	TBI10	THRRST	RST	TBI22
INTRP	SIN	TBI11			

TTHR = “1” かつCSE = “0” のとき全3ステートの制御(スルー・パス/ハイ・インピーダンスの切り替え)はCSDで行います。

## 5.2.2 端子機能

以下にUARTピンの機能を説明します。これらの説明では、部分的に内部回路についても言及します。

以下の説明中、Lowは論理“0”（定格電圧0V）を表し、Highは論理“1”（定格電圧+3.3V）を表します。

A0, A1, A2, Register Select : これらの3入力アドレス信号により、データ転送中にCPUがリード/ライトを行うUARTレジスタを選択します。下記にレジスタと各アドレスの表を示します。デバイザ・ラッチ・アドレス・ビット (DLAB : Divisor Latch Address Bit) , すなわち、ライン制御レジスタの最上位ビットの状態は、特定のUARTレジスタの選択に影響します。ポー・ジェネレータのデバイザ・ラッチにアクセスするには、システム・ソフトウェアを用いてDLABを“H”にセットすることが必要です。

レジスタ・アドレス

DLAB	A2	A1	A0	Register
0	0	0	0	Receiver Buffer (read), Transmitter Holding Register (write)
0	0	0	1	Interrupt Enable
X	0	1	0	Interrupt Identification (read)
X	0	1	0	FIFO Control (write)
X	0	1	1	Line Control
X	1	0	0	MODEM Control
X	1	0	1	Line Status
X	1	1	0	MODEM Status
X	1	1	1	Scratch
1	0	0	0	Divisor Latch (least significant byte)
1	0	0	1	Divisor Latch (most significant byte)

ADSB, Address Strobe : このアクティブ“L”のアドレス・ストロブ (ADSB) 信号の立ち上がりエッジで、レジスタ・セレクト (A0, A1, A2) 信号とチップ・セレクト信号 (CSB) 信号がラッチされます。

**注意** リード/ライトの動作持続中に、レジスタ・セクタ (A0, A1, A2) 信号とチップ・セレクト (CSB) 信号が不安定な場合、アクティブ“L”のアドレス・ストロブ (ADSB) 入力が必要です。不要であれば、このADSB入力を“L”に固定してください。

BAUDOUTB, Baud Out : UARTトランスミッタ部からの16倍クロック出力信号。このクロック・レートは、ポー・ジェネレータ・デバイザ・ラッチ内の特定デバイザによって分周されるメイン発振器基準周波数に一致します。BAUDOUTBはレシーバ部に使用することもでき、この場合、出力をチップのRCLK入力に接続します。

CSB, Chip Select : CSBが“L”のときにチップがセレクトされ、UART - CPU間の通信が可能になります。アクティブ・アドレス・ストロブ信号では、デコードされたチップ・セレクト信号を立ち上がりにエッジでラッチし、チップ選択を完了します。ADSBが常に“L”にセットされていれば、t<sub>csw</sub>のパラメータに基づき、有効なチップ・セレクト信号は安定します。

CTSB, Clear to Send : この入力 が “ L ” のとき, MODEM またはデータ・セット側でデータの送受信が準備完了していることを示します。CTSB は, MODEM ステータス入力信号です。この入力信号の状態は, CPU で MODEM ステータス・レジスタのビット4 (CTS) をリードし, テストすることができます。ビット4 は, CTSB 信号の補数ビットです。MODEM ステータス・レジスタのビット0 (DCTS) は, MODEM ステータス・レジスタのリード後の, CTSB 入力の遷移状態を示します。CTSB は, トランスミッタに何ら影響しません。

**注意** MODEM ステータス割り込みがイネーブルされていれば, MODEM ステータス・レジスタのCTSビット状態が遷移すると, 常に割り込みが生成されます。

DI0 - DI7, DO0 - DO7, Data Bus : このデータ・バスは8本のTRI - STATE 入出力ラインで構成されており, UART - CPU 間の双方向通信が可能です。データ, 制御ワード, およびステータス情報は, DI0 - DI7, DO0 - DO7 のデータ・バスを經由して転送されます。

DCDB, Data Carrier Detect : この入力 が “ L ” のとき, MODEM またはデータ・セット側でデータ・キャリア信号を検出していることを示します。DCDB は, MODEM ステータス入力信号です。この入力信号の状態は, CPU で MODEM ステータス・レジスタのビット7 (DCD) をリードし, テストすることができます。ビット7 は, DCDB 信号の補数ビットです。MODEM ステータス・レジスタのビット3 (DDCD) は, MODEM ステータス・レジスタのリード後の, DCDB 入力の遷移状態を示します。DCDB は, レシーバに何ら影響しません。

**注意** MODEM ステータス割り込みがイネーブルされていれば, MODEM ステータス・レジスタのDCDビット状態が遷移すると, 常に割り込みが生成されます。

DDIS, Driver Disable : この出力は, CPU が UART からデータをリードしている間, 常に “ L ” になります。CPU - UART 間におけるデータ・バス・トランシーバの送信方向をディスエーブル / 制御することができます。

DSRB, Data Set Ready : この入力 が “ L ” のとき, MODEM またはデータ・セット側で UART との通信リンクの確立準備が完了していることを示します。DSRB は, MODEM ステータス入力信号です。この入力信号の状態は, CPU で MODEM ステータス・レジスタのビット5 (DSR) をリードし, テストすることができます。ビット5 は, DSRB 信号の補数ビットです。MODEM ステータス・レジスタのビット1 (DDSR) は, MODEM ステータス・レジスタのリード後の, DSRB 入力の遷移状態を示します。

**注意** MODEM ステータス割り込みがイネーブルされていれば, MODEM ステータス・レジスタのDDSRビット状態が遷移すると, 常に割り込みが生成されます。

DTRB, Data Terminal Ready : この出力が “ L ” のとき, UART 側で通信リンクの確立準備が完了していることをMODEM またはデータ・セットに通知します。MODEM 制御レジスタのビット0 (DTR) を “ H ” レベルにプログラムすることで, DTRB 出力信号をアクティブ “ L ” にセットできます。この信号は, マスタ・リセット (RST) 動作により, 非アクティブ ( “ H ” ) 状態にセットされ, ループ・モード動作により, 非アクティブ状態に保持されます。

INTRP, Interrupt : レシーバ・エラー・フラグ, 受信データ (Received Data Available), タイムアウト (FIFO モードのみ), トランスミッタ保持レジスタ空き (Transmitter Holding Register Empty), およびMODEM ステータスなど割り込みタイプのどれか1つがアクティブ “ H ” 状態になり, IER 経由でイネーブルになると, 常に, このピンが “ H ” になります。INTRP 信号は, 各割り込み処理またはマスタ・リセット動作時に “ L ” にリセットされます。

RST, Master Reset : この入力 が “ H ” になると、全てのレジスタ ( レシーバ・バッファ、トランスミッタ保持レジスタ、デバイザ・ラッチを除く )、およびUARTの制御論理回路がリセットされます。アクティブRST入力により、各種の出力信号 ( SOUT, INTRP, OUT 1B, OUT 2B, RTSB, DTRB ) の状態が影響を受けます。(表5 - 1および表5 - 2参照)

OUT 1B, Output 1 : このユーザ構成出力は、MODEM制御レジスタのビット2 ( OUT 1 ) を “ H ” レベルにプログラムすることで、アクティブ “ L ” にセットできます。この信号は、マスタ・リセット ( RST ) 動作により、非アクティブ ( “ H ” ) 状態にセットされ、ループ・モード動作により、非アクティブ状態に保持されます。この出力はTTLレベルです。

OUT 2B, Output 2 : このユーザ定義出力は、MODEM制御レジスタのビット3 ( OUT 2 ) を “ H ” レベルにプログラムすることで、アクティブ “ L ” にセットできます。この信号は、マスタ・リセット ( RST ) 動作により、非アクティブ ( “ H ” ) 状態にセットされ、ループ・モード動作により、非アクティブ状態に保持されます。この出力はTTLレベルです。

RCLK, Receiver Clock : チップのレシーバ部用16倍ポー・レート・クロック入力です。

RDB, Read : チップがセレクトされている間、RDBが “ L ” になると、CPUはセレクトされたUARTレジスタからステータス情報 / データをリードする事ができます。

**注意** リード動作時には、アクティブRDB入力を使用し、UARTからデータを転送します。したがってRDB入力を使用しない場合は、RDB入力を “ H ” に固定します。

RIB, Ring Indicator : この入力 が “ L ” のときは、MODEMまたはデータ・セット側で電話呼び出し信号を受信したことを示します。RIBは、MODEMステータス入力信号です。この入力信号の状態は、CPUでMODEMステータス・レジスタのビット6 ( RI ) をリードし、テストすることができます。ビット6は、RIB信号の補数ビットです。MODEMステータス・レジスタのビット2 ( TERI ) は、MODEMステータス・レジスタのリード後に、RIB入力信号が “ L ” から “ H ” に遷移した状態を示します。

**注意** MODEMステータス割り込みがイネーブルされていれば、MODEMステータス・レジスタのRIビットが “ H ” から “ L ” に遷移すると、常に割り込みが生成されます。

RTSB, Request to Send : この出力が “ L ” のとき、UART側でデータの送受信準備が完了していることをMODEMまたはデータ・セットに通知します。MODEM制御レジスタのビット1 ( RTS ) を “ H ” レベルにプログラムすることで、RTSB出力信号をアクティブ “ L ” にセットできます。この信号は、マスタ・リセット ( RST ) 動作により、非アクティブ ( “ H ” ) 状態にセットされ、ループ・モード動作により、非アクティブ状態に保持されます。

SIN, Serial Input : 通信リンク ( 周辺デバイス、MODEM、データ・セットなど ) からのシリアル・データ入力。

SOUT, Serial Out : 通信リンク ( 周辺デバイス、MODEM、データ・セットなど ) に対するコンポジット・シリアル・データ出力。SOUT信号はマスタ・リセット ( RST ) 動作時にマーク ( 論理 “ 1 ” ) 状態にセットされます。

TXRDYB, RXRDYB : 2つのピンを介し, トランスミッタとレシーバのDMA転送が可能です。FIFOモード動作時には, 各ピンごとに2種類のDMA転送の1つをFCR3経由でセレクトできます。16450モード動作時には, DMAモード0のみが可能です。モード0はCPUバス・サイクル間の単一DMA転送をサポートし, モード1はRCVR FIFOが空になるまで, あるいはXMIT FIFOが一杯になるまで連続した複数DMA転送をサポートしています。

RXRDY, Mode 0 : 16450モード (FCR0=0) あるいはFIFOモード (FCR0=1, FCR3=0) 時に, また最低1キャラクターがRCVR FIFO内かRCVR保持レジスタ内にあると, RXRDYピンはアクティブ“L”になります。RXRDYピンは, アクティブになった後, FIFOまたは保持レジスタ内のキャラクターが無くなると非アクティブになります。

RXRDY, Mode 1 : FIFOモード (FCR0=1) 時に, FCR3が“1”にセットされ, トリガ・レベルに達するかタイムアウトになると, RXRDYピンはアクティブ“L”になります。RXRDYピンは, アクティブになった後, FIFOまたは保持レジスタ内のキャラクターが無くなると非アクティブになります。

TXRDY, Mode 0 : 16450モード (FCR0=0) あるいはFIFOモード (FCR0=1, FCR3=0) 時に, また最低1キャラクターがXMIT FIFO内かXMIT保持レジスタ内にあると, TXRDYピンはアクティブ“L”になります。TXRDYピンは, アクティブになった後, XMIT FIFOまたはXMIT保持レジスタに最初のキャラクターが格納されると非アクティブになります。

TXRDY, Mode 1 : FIFOモード (FCR0=1) 時に, FCR3が“1”にセットされ, XMIT FIFO内のキャラクターが無いと, TXRDYBピンはアクティブ“L”になります。XMIT FIFOが満杯になると, 非アクティブになります。

Vss : グランド (0V) 基準電圧。

WRB, Write : チップがセレクトされている間, WRBが“L”になると, CPUはセレクトされたUARTレジスタに制御ワード/データをライトすることができます。

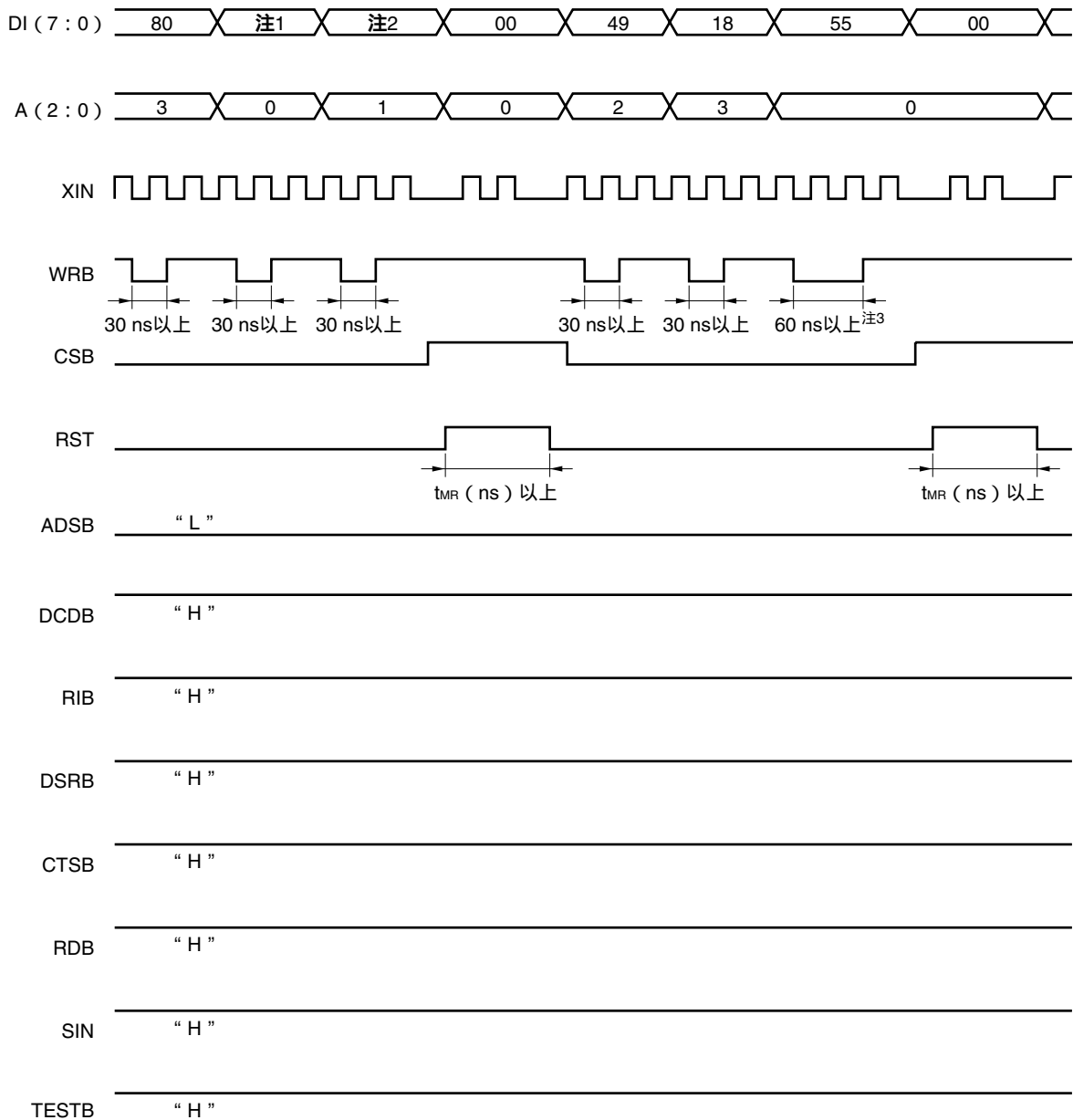
**注意** ライト動作時には, アクティブWRB入力を使用し, UARTにデータを転送します。したがって, WRB入力を使用しない場合は, WRB入力を“H”に固定します。

XIN : システムクロック入力。

### 5.3 NZ16550Aの初期化およびパターン作成時の注意

NZ16550Aの初期化は次のように行います。

図5 - 1 初期化パターン



注1. 使用する分周比下位バイト

2. 使用する分周比上位バイト

3. シミュレーション上、ループ回路の値を確定させるために60 ns 必要です。

注意1. 他の入力端子（通常入力，テスト入力）は，“0”または“1”を入力してください。“X”が入力されないように注意してください。

2. 注1，注2には分周比を入力し，分周比設定後には必ずリセットしてください。

備考 t<sub>MR</sub>：リセット・パルス・ハイ・レベル幅



## 5.3.1 初期化後の出力端子の状態

初期化が終了すると、出力端子の状態は次のようになります。

表5 - 1 初期化後の出力端子の状態

出力端子名	状 態
DO (7 : 0)	CSE = 0時 : Hi-Z CSE = 1時 : Low level
SD	Low level
CSOUT	Low level
DDIS	High level
INTRP	Low level
BAUDOUTB	基準クロック (XIN) の周波数をポー・レート・ジェネレータ除数ラッチで指定される値で割ったクロック。
DTRB	High level
OUT1B	High level
OUT2B	High level
RTSB	High level
SOUT	High level
TXRDYB	Low level
RXRDYB	High level

### 5.3.2 リセット後のデフォルト値

NZ16550Aをリセットすると各レジスタ、各出力信号（汎用出力信号、シリアル・データ出力信号）は次のようなデフォルト値（初期値）になります。

表5-2 レジスタのデフォルト値

レジスタ	デフォルト値	
	MSB	LSB
IER	00000000	
IIR	00000001	
FCR	00000000	
LCR	00000000	
MCR	00000000	
LSR	01100000	
MSR	00000000	

表5-3 出力信号（汎用出力信号、シリアル・データ出力信号）のデフォルト値

出力信号名	デフォルト値
SOUT	1
DTRB	1
OUT1B	1
OUT2B	1
RTSB	1

### 5.3.3 パターン作成時の注意

下記 は実デバイスにも関わる制限ですが、 ~ はシミュレーション上の制約であり、実デバイスの制限ではありません。

次の入力端子は、スパイクが入力されない回路構成にしてください。

SIN, XIN, RCLK, ADSB, DCDB, RIB, DSRB, CTSB, WRB, RDB, CSB, RST, TESTB, CSD, CSE, TTHR, TBI28-TBI11

初期化終了後、デバイザ・ラッチの値は変更しないでください。

XINの変化とRSTの変化が競合しないようにしてください

XINの立ち上がりとWRBの立ち上がりが競合しないようにしてください（XINの立ち下がりとWRBの立ち上がりが同期しているパターンを推奨します）。

SINの変化とRCLKの立ち上がりが競合しないようにしてください（SINの変化がRCLKの立ち下がりに同期しているパターンを推奨します）。

## 5.4 遅延時間

1.2.4 遅延時間を参照してください。

5.5 AC特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 3.3 \pm 0.3 V$ )

## (1) リード・サイクル, ライト・サイクルなど

項 目		略 号	MIN	MAX	単位
アドレス・ストロブ (ADSB) パルス幅		t <sub>ADS</sub>	10		ns
アドレス (A2, A1, A0) 保持時間 (対ADSB )		t <sub>AH</sub>	2		ns
アドレス (A2, A1, A0) 設定時間 (対RDB )		t <sub>AR</sub>	3		ns
アドレス (A2, A1, A0) 設定時間 (対ADSB )		t <sub>AS</sub>	3		ns
アドレス (A2, A1, A0) 設定時間 (対WRB )		t <sub>AW</sub>	3		ns
チップ・セレクト (CSB) 保持時間 (対ADSB )		t <sub>CH</sub>	0		ns
チップ・セレクト (CSB) 設定時間 (対ADSB )		t <sub>CS</sub>	4		ns
チップ・セレクト (CSB) 設定時間 (対RDB )		t <sub>CSR</sub>	4		ns
チップ・セレクト (CSB) 設定時間 (対WRB )		t <sub>CSW</sub>	4		ns
データ保持時間 (対WRB )		t <sub>DH</sub>	8		ns
データ設定時間 (対WRB )		t <sub>DS</sub>	0		ns
データ・フロート遅延時間 (対RDB )		t <sub>HZ</sub>	1	3	ns
リセット・パルス・ハイ・レベル幅		t <sub>MR</sub>	100		ns
アドレス (A2, A1, A0) 保持時間 (対RDB )		t <sub>RA</sub>	0		ns
読み出しサイクル遅延時間		t <sub>RC1</sub>		3	ns
読み出しサイクルADSB保持時間		t <sub>RC2</sub>		10	ns
チップ・セレクト (CSB) 保持時間 (対RDB )		t <sub>RCS</sub>	0		ns
RDBアクティブ・パルス幅		t <sub>RD</sub>	30		ns
DDIS遅延時間 (対RDB )		t <sub>RDD</sub>	2	3	ns
データ遅延時間 (対RDB )		t <sub>RV</sub>		10	ns
アドレス (A2, A1, A0) 保持時間 (対WRB )		t <sub>WA</sub>	0		ns
書き込みサイクル遅延時間		t <sub>WC1</sub>	30		ns
書き込みサイクルADSB保持時間		t <sub>WC2</sub>	1		ns
チップ・セレクト (CSB) 保持時間 (対WRB )		t <sub>WCS</sub>	0		ns
WRBアクティブ・パルス幅		t <sub>WR</sub>	30		ns
クロック・パルス・ハイ・レベル幅		t <sub>xH</sub>	13.5		ns
クロック・パルス・ロウ・レベル幅		t <sub>xL</sub>	13.5		ns
読み出しサイクル時間	16450モード時	RC	38		ns
	RXRDYB未使用時		47		ns
	RXRDYB使用時		55		ns
書き込みサイクル時間	16450モード時	WC	38		ns
	TXRDYB未使用時		47		ns
	TXRDYB使用時		55		ns
読み出し / 書き込み回復時間	16450モード時	trv	8		ns
	RXRDYB, TXRDYB未使用時		17		ns
	RXRDYB, TXRDYB使用時		25		ns

(2) ボー・レート・ジェネレータ

項目	略号	MIN	MAX	単位
送信クロック分周比	N	1	$2^{16} - 1$	
送信クロック立ち上がり遅延時間 (対XIN)	t <sub>BHD</sub>		4	ns
送信クロック立ち下がり遅延時間 (対XIN)	t <sub>BLD</sub>		7	ns
送信クロック・パルス・ハイ・レベル幅 <sup>注</sup>	t <sub>HW</sub>	120		ns
送信クロック・パルス・ロウ・レベル幅 <sup>注</sup>	t <sub>LW</sub>	120		ns

注 f<sub>x</sub> = 8.0 MHz, BAUDOUTB = XIN ÷ 2

(3) レシーバ, トランスミッタ

項目	略号	MIN	MAX	単位
割り込み解除時間 (対RDB (LSRリード時))	t <sub>RINT</sub>		14	ns
割り込み解除時間 (対RDB (RBRリード時))	t <sub>RINT</sub>		26	ns
RXRDYB解除時間 (対RDB (RBR))	16450モード	t <sub>RX10</sub>	20	ns
	FIFOモード	t <sub>RX11</sub>	25	ns
サンプル・クロック遅延時間 (対RCLK)	t <sub>SCD</sub>		6	ns
割り込み発生時間 (対有効データ受信, 受信エラー)	t <sub>SINT</sub>		1	RCLK Cycles <sup>注</sup>
割り込み解除時間 (対WRB (THRライト時))	t <sub>HR</sub>		8	ns
割り込み解除時間 (対RDB (IIRリード時))	t <sub>IR</sub>		7	ns
送信開始時間	t <sub>IRS</sub>	8	24	BAUDOUTB Cycles
割り込み発生時間 (対WRB (THRライト時))	t <sub>SI</sub>	16	24	BAUDOUTB Cycles
割り込み (THRE) 発生時間 (対ストップ・ビット)	t <sub>STI</sub>		8	BAUDOUTB Cycles
TXRDYB発生時間 (対スタート・ビット)	t <sub>SXA</sub>		8	BAUDOUTB Cycles
TXRDYB解除時間	16450モード, FIFOモード (DMA = 0) (対WRB (THRライト時))	t <sub>WX10</sub>	20	ns
	FIFOモード (DMA = 1) (対WRB (THRライト時))	t <sub>WX11</sub>	25	ns

注 PRCLKはハイ・レベル幅がt<sub>xH</sub>と、ロウ・レベル幅がt<sub>xL</sub>と同じ値です。

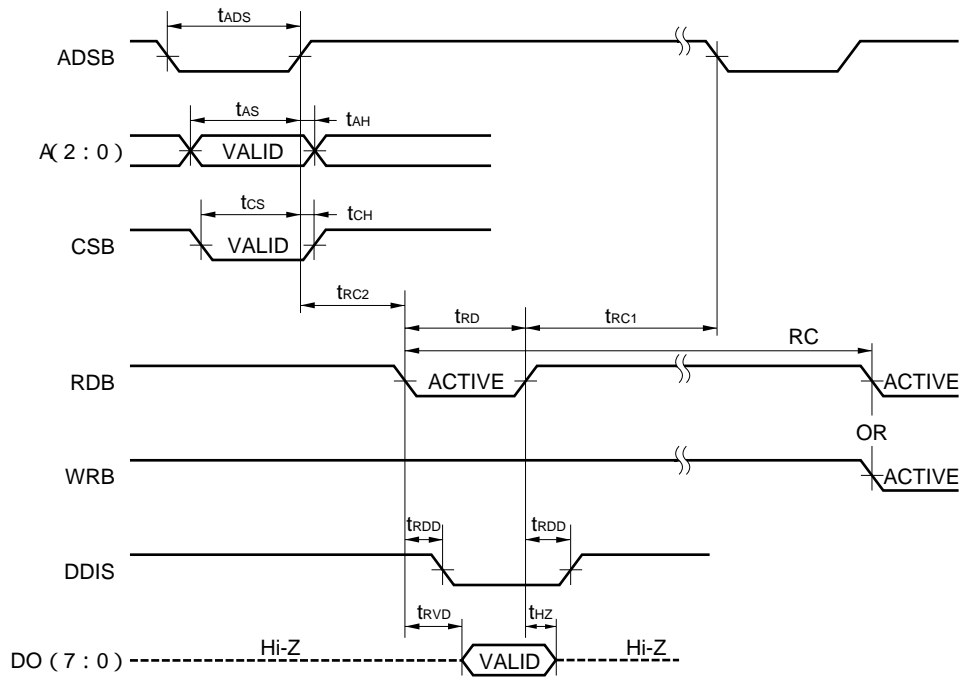
FCR0 = 1のときは、t<sub>SINT</sub> = 3RCLKです。タイムアウト割り込みのときはt<sub>SINT</sub> = 8RCLKです。

(4) モデム制御

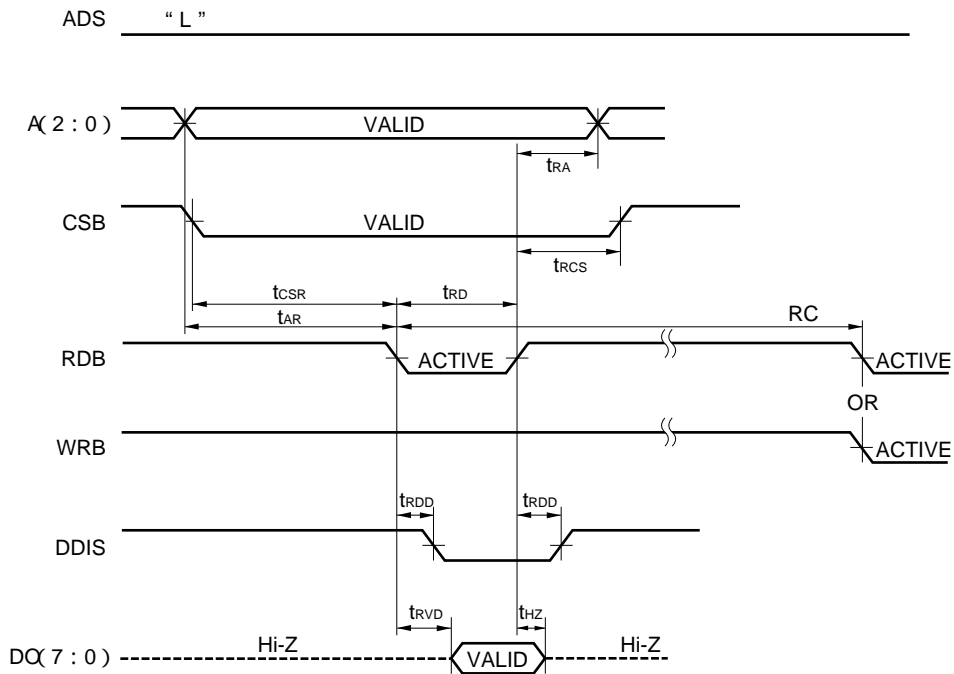
項目	略号	MIN	MAX	単位
RTSB, DTRB, OUT1B, OUT2B遅延時間 (対WRB (MCRライト時))	t <sub>MDO</sub>		6	ns
割り込み解除時間 (対RDB (MSRリード時))	t <sub>RIM</sub>		9	ns
割り込み発生時間 (対RIB, CTSB, DSRB, DCDB)	t <sub>SIM</sub>		8	ns

## 5.6 タイミング・チャート

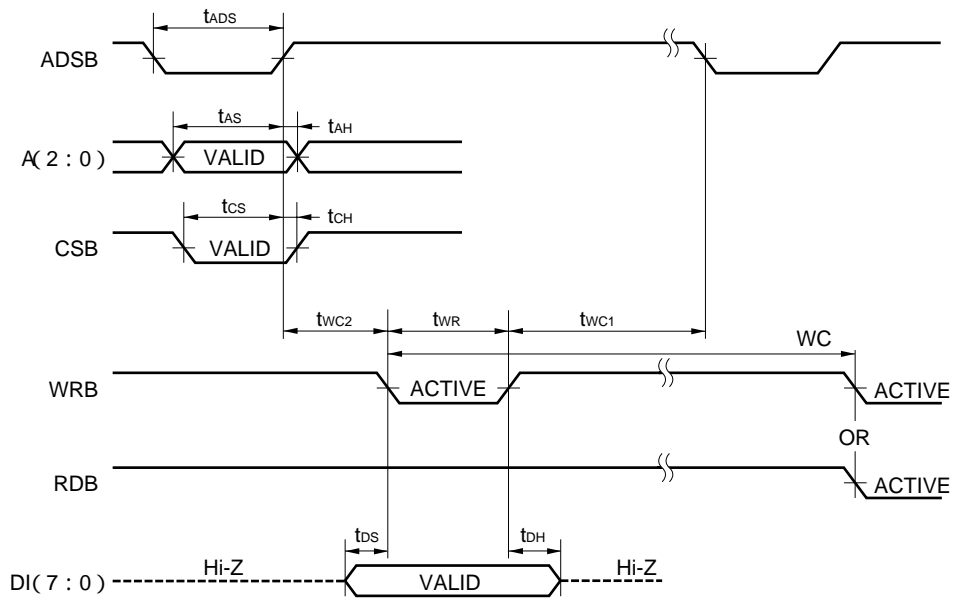
### (1) リード・サイクル・タイミング (ADSB使用時)



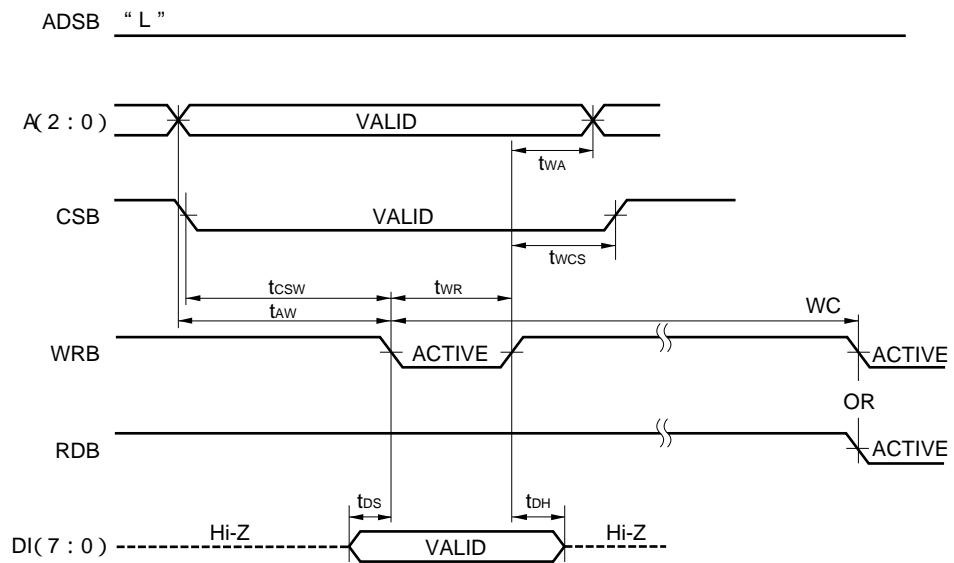
### (2) リード・サイクル・タイミング (ADSBロウ・クランプ時)



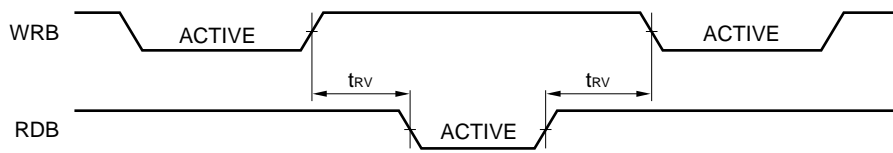
(3) ライト・サイクル・タイミング (ADSB使用時)



(4) ライト・サイクル・タイミング (ADSBロウ・クランプ時)

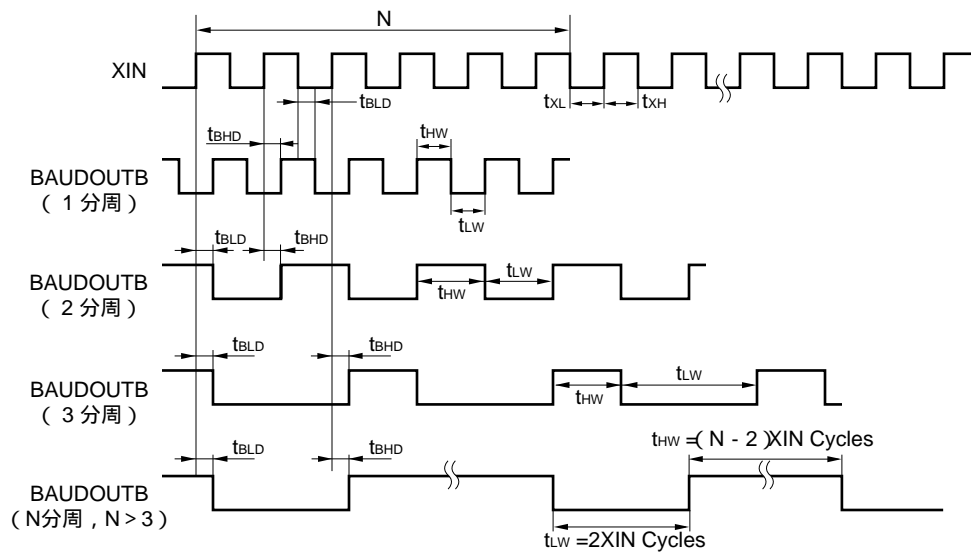


(5) 書き込み, 読み出し回復時間

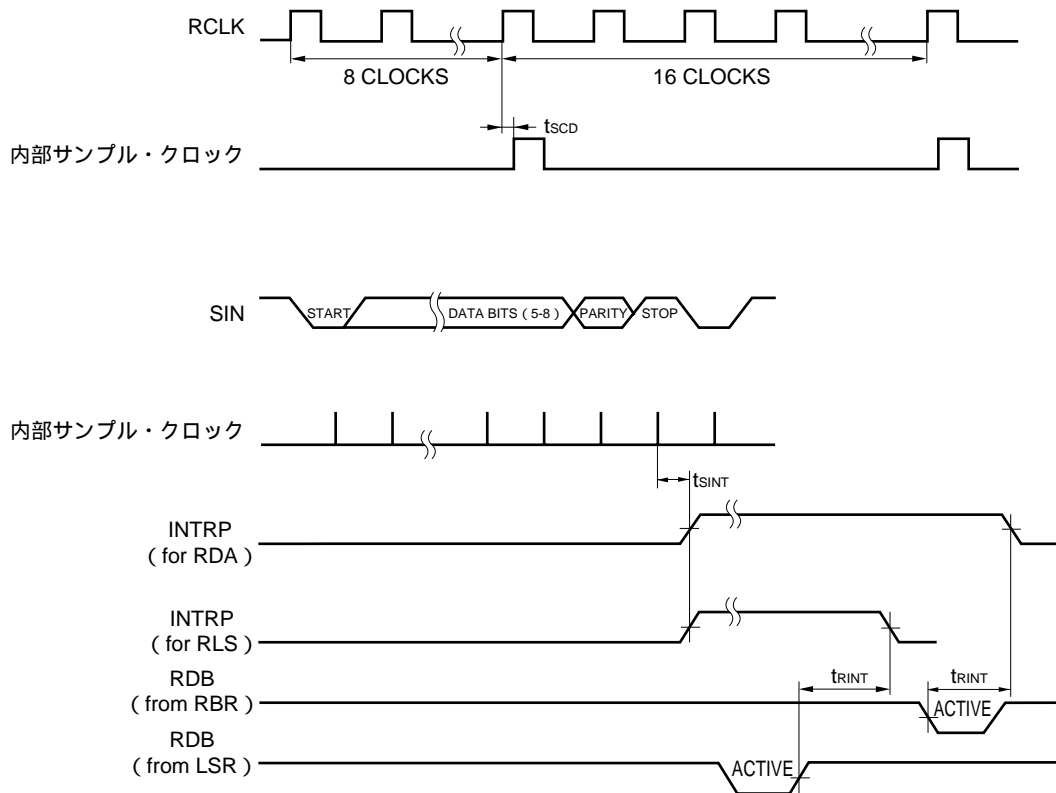


**備考** RDB信号とWRB信号を同時にアクティブにすると, 内部でスパイクが発生し誤動作を起こす可能性があります。このためRDB信号とWRB信号は決して同時にアクティブにしないでください。

(6) ポー・アウト・タイミング



(7) 受信タイミング

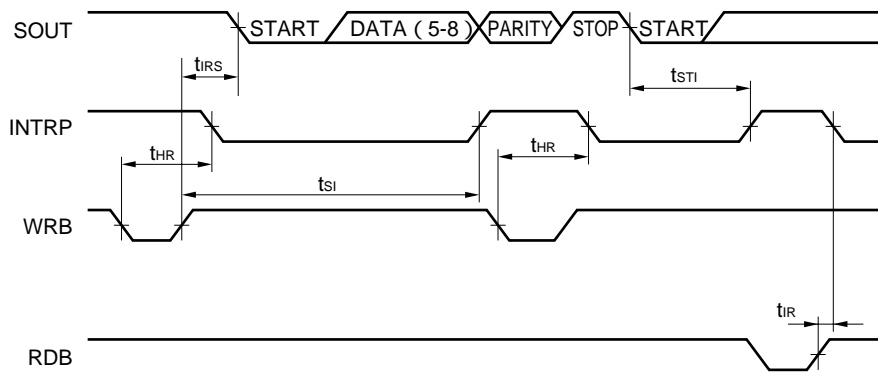


- 備考1.** INTRP (for RDA) は受信データの存在によるものです。  
 このときIERのbit 0 (ERBFI) は1であり, IIRのbit 1-bit 3は010bになっています。
2. RDB (from RBR) はA (2 : 0) = 000bのRBRの読み出しを行っています。
  3. INTRP (for RLS) は受信ライン・ステータスによるものです。  
 このときIERのbit 2 (ERLSI) は1であり, IIRのbit 1-bit 3は011bになっています。
  4. RDB (from LSR) はA (2 : 0) = 101bのLSRの読み出しを行っています。

リードのタイミングは, (1) リード・サイクル・タイミング (ADSB使用時), (2) リード・サイクル・タイミング (ADSBロウ・クランプ時) を参照してください。



(8) 送信タイミング



備考1. INTRPは送信バッファ・エンプティによるものです。

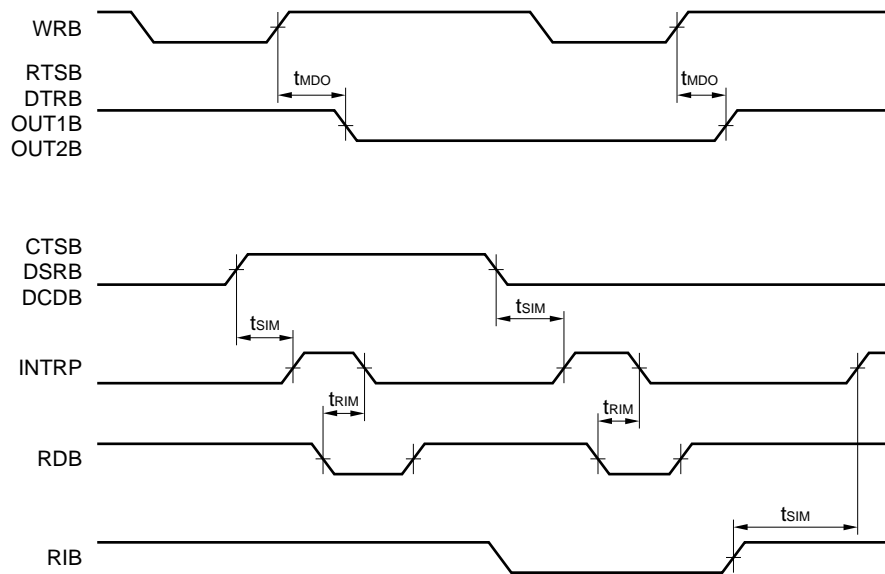
このときIERのbit 1 (ETBEI) は1であり, IIRのbit 1-bit 3は001bになっています。

2. WRBはA(2:0) = 000bのTHRの書き込みを行っています。
3. RDBはA(2:0) = 010bのIIRの読み出しを行っています。

リードのタイミングは, (1) リード・サイクル・タイミング (ADSB使用時), (2) リード・サイクル・タイミング (ADSBロウ・クランプ時) を参照してください。

ライトのタイミングは, (3) ライト・サイクル・タイミング (ADSB使用時), (4) ライト・サイクル・タイミング (ADSBロウ・クランプ時) を参照してください。

(9) モデム制御タイミング

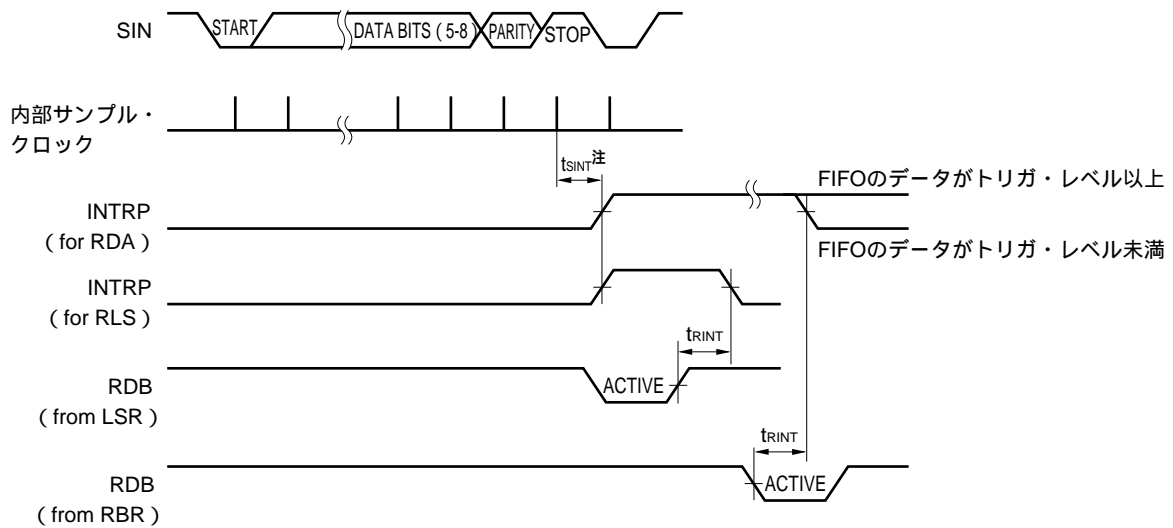


- 備考1. INTRPはモデム・ステータスによるものです。  
 このときIERのbit 3 (EDSSI) は1であり, IIRのbit 1-bit 3は000bになっています。
2. WRBはA(2:0) = 100bのMCRの書き込みを行っています。
  3. RDBはA(2:0) = 110bのMSRの読み出しを行っています。

リードのタイミングは, (1) リード・サイクル・タイミング (ADSB使用時), (2) リード・サイクル・タイミング (ADSBロウ・クランプ時) を参照してください。

ライトのタイミングは, (3) ライト・サイクル・タイミング (ADSB使用時), (4) ライト・サイクル・タイミング (ADSBロウ・クランプ時) を参照してください。

(10) 受信FIFO 第1バイトのタイミング (Data Readyがセットされる場合)

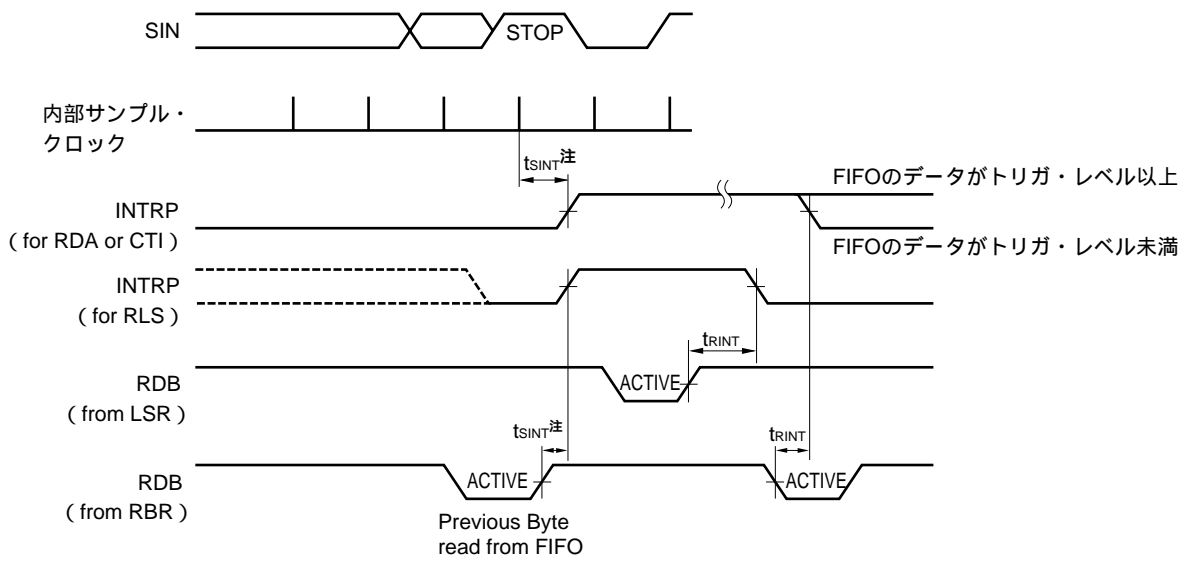


注 FCR0 = 1のときは $t_{SINT} = 3RCLK$ です。

タイムアウト割り込みのときは、 $t_{SINT} = 8RCLK$ です。

- 備考1.** INTRP (for RDA) は受信データがFIFOのトリガ・レベルに達したことによるものです。なお、このときIERのbit 0 (ERBFI) は1であり、IIRのbit 1-bit 3は010bになっています。さらに、この図のケースではレジスタFCRのbit 6, bit 7はともに0にセットされています。INTRPの解除はデータの読み出しにより、受信データがFIFOのトリガ・レベル未満になるかからないかによって決まります。
- 2.** INTRP (for RLS) は受信ライン・ステータスによるものです。このときIERのbit 2 (ERLSI) は1であり、IIRのbit 1-bit 3は011bになっています。

(11) 受信FIFO 第1バイト以外のタイミング (Data Readyがすでにセットされている場合)



注 FCR0 = 1のときは $t_{SINT} = 3RCLK$ です。タイムアウト割り込みのときは、 $t_{SINT} = 8RCLK$ です。

備考1. INTRP (for RDA) は受信データがFIFOのトリガ・レベル以上になるか、キャラクタ・タイムアウトになると発生します。

なお、このときIERのbit 0 (ERBFI) は1であり、IIRのbit 1-bit 3は010bになっています。

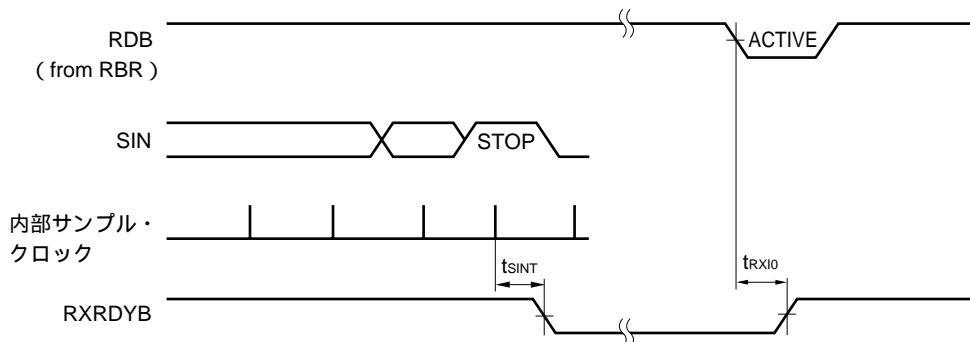
さらに、この図のケースではレジスタFCRのbit 6, bit 7はともに0にセットされています。

INTRPはデータの読み出しにより、受信データがFIFOのトリガ・レベル未満になると解除されます。

2. INTRP (for RLS) は受信ライン・ステータスによるものです。

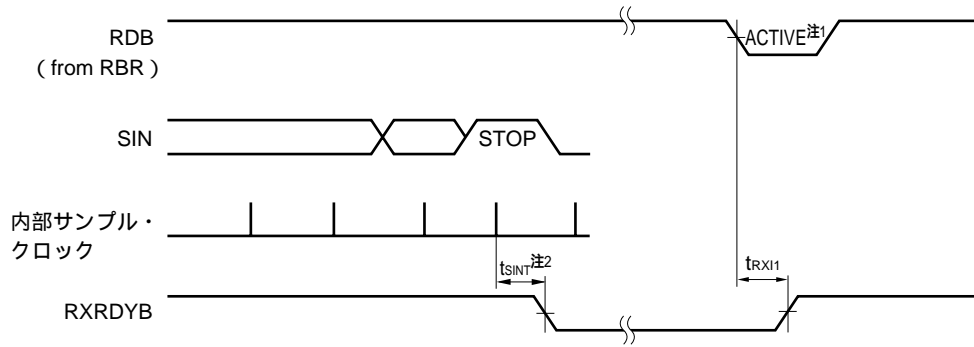
このときIERのbit 2 (ERLSI) は1に、IIRのbit 1-bit 3は011bになっています。

(12) 受信READY 16450モード時のタイミング



備考 SINの入力信号は第1バイトです。

(13) 受信READY FIFOモード (DMAモード = 0) 時のタイミング

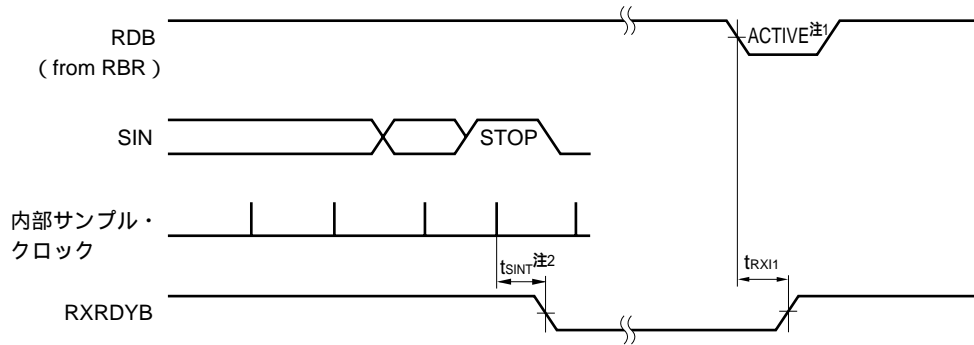


注1. ここで、FIFOの最後のバイトが読み出されます。

2. FCR0 = 1のときは $t_{SINT} = 3RCLK$ です。

備考 SINの入力信号は受信FIFOのトリガ・レベルへ到達する第1バイトです。

(14) 受信READY FIFOモード (DMAモード = 1) 時のタイミング

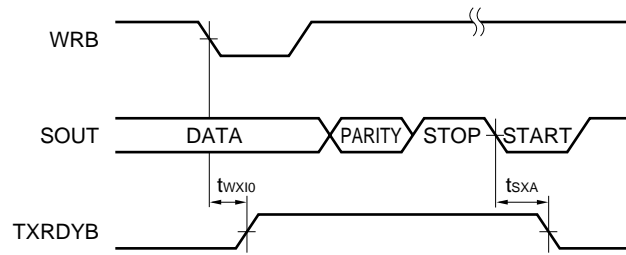


注1. ここで、FIFOの最後のバイトが読み出されます。

2. FCR0 = 1のときは $t_{SINT} = 3RCLK$ です。タイムアウト割り込みのときは $t_{SINT} = 8RCLK$ です。

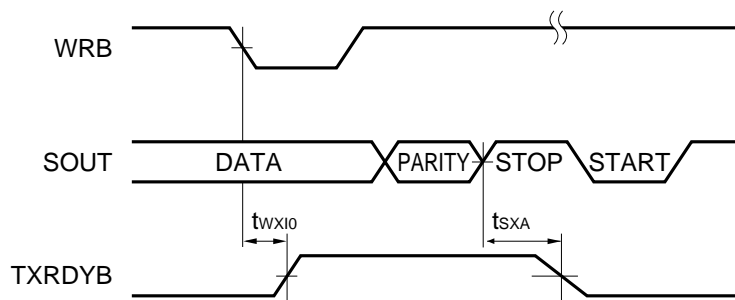
備考 SINの入力信号は受信FIFOのトリガ・レベルへ到達する第1バイトです。

(15) 送信READY 16450モード, FIFOモード (DMAモード = 0) 時のタイミング



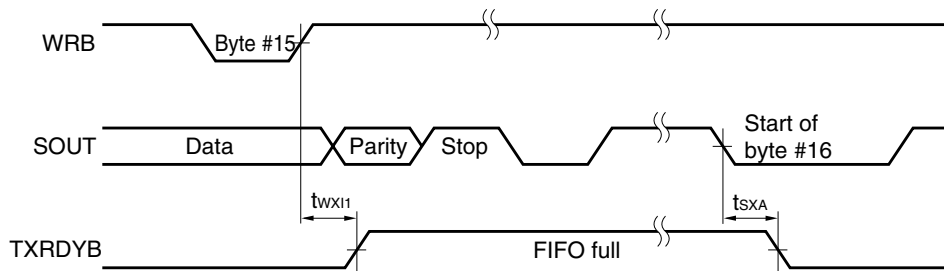
備考 WRBはA(2:0) = 000bのTHRの書き込みを行っています。

(16) 送信READY FIFOモード (DMAモード = 0) 時のタイミング



備考 WRBはA(2:0) = 000bのTHRの書き込みを行っています。

(17) 送信READY FIFOモード (DMAモード = 1) 時のタイミング

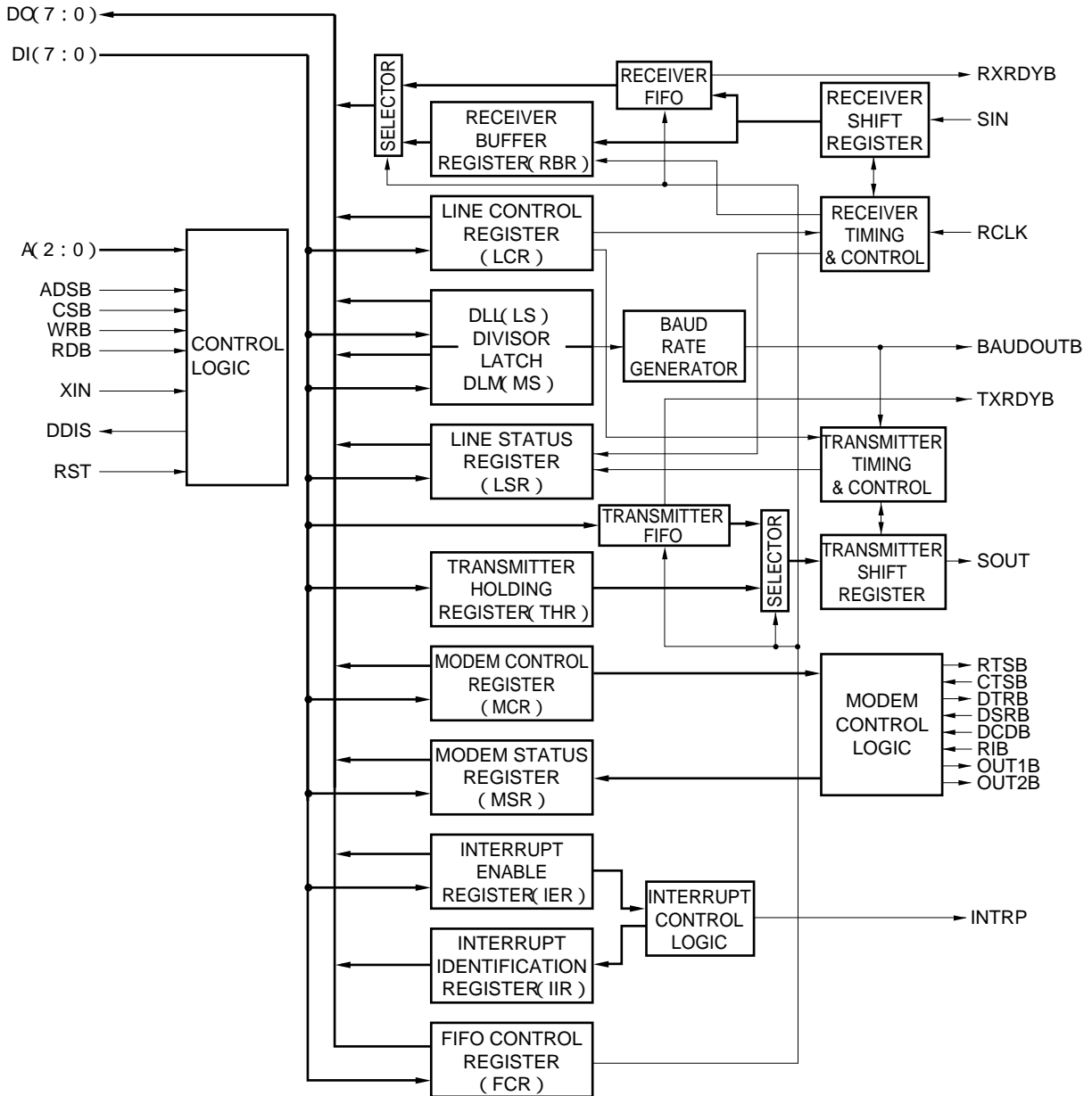


備考 WRBはA(2:0) = 000bのTHRの書き込みを行っています。

## 5.7 ブロック図

次にこのマクロのブロック図を示します。なお、このブロック図ではテストに関する部分は省略してあります。

図5-2 ブロック図



## 5.8 レジスタ

### 5.8.1 レジスタ一覧

表5-4 レジスタ一覧 (1/2)

		Register Address					
DLAB		DLAB = 0	DLAB = 0	DLAB = 0	DLAB = X	DLAB = X	DLAB = X
Address		A = 0	A = 0	A = 1	A = 2	A = 2	A = 3
Register Name		Receiver Buffer Register ( Read Only )	Transmitter Holding Register ( Write Only )	Interrupt Enable Register	Interrupt Ident. Register ( Read Only )	FIFO Control Register ( Write Only )	Line Control Register
Register		RBR	THR	IER	IIR	FCR	LCR
Bit No.	0	Data Bit 0 <sup>注1</sup>	Data Bit 0 <sup>注1</sup>	Enable Received Data Available Interrupt ( ERBFI )	" 0 " if Interrupt Pending	FIFO Enable	Word Length Select Bit 0 ( WLS0 )
	1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt ( ETBEI )	Interrupt ID Bit ( 0 )	RCVR FIFO Reset	Word Length Select Bit 1 ( WLS1 )
	2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt ( ERLSI )	Interrupt ID Bit ( 1 )	XMIT FIFO Reset	Number of Stop Bits ( STB )
	3	Data Bit 3	Data Bit 3	Enable MODEM Status Interrupt ( EDSSI )	Interrupt ID Bit ( 2 ) <sup>注2</sup>	DMA Mode Select	Parity Enable ( PEN )
	4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select ( EPS )
	5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity
	6	Data Bit 6	Data Bit 6	0	FIFOs Enabled <sup>注2</sup>	RCVR Trigger ( LSB )	Set Break
	7	Data Bit 7	Data Bit 7	0	FIFOs Enabled <sup>注2</sup>	RCVR Trigger ( MSB )	Divisor Latch Access Bit ( DLAB )

注1. Data Bit 0がLSBです。シリアル・データ送受信時の第1ビットです。

2. 16450モードでは常に0に設定されます。

備考 X : Don't care



表5 - 4 レジスタ一覧 (2/2)

		Register Address					
DLAB		DLAB = X	DLAB = X	DLAB = X	DLAB = X	DLAB = 1	DLAB = 1
Address		A = 4	A = 5	A = 6	A = 7	A = 0	A = 1
Register Name		MODEM Control Register	Line Status Register	MODEM Status Register	Scratch Register	Divisor Latch (LS)	Divisor Latch (MS)
Register		MCR	LSR	MSR	SCR	DLL	DLM
Bit No.	0	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (DCTS)	Bit 0	Bit 0	Bit 8
	1	Request to Send (RTS)	Overrun Error (OE)	Delta Data Set Ready (DDSR)	Bit 1	Bit 1	Bit 9
	2	Out 1	Parity Error (PE)	Trailing Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
	3	Out 2	Framing Error (FE)	Delta Data Carrier Detect (DDCD)	Bit 3	Bit 3	Bit 11
	4	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
	5	0	Transmitter Holding Register (THRE)	Delta Set Ready (DSR)	Bit 5	Bit 5	Bit 13
	6	0	Transmitter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
	7	0	Error in PCVR FIFO <sup>注</sup>	Data Carrier Detect (DCD)	Bit 7	Bit 7	Bit 15

注 16450モードでは常に0に設定されます。

備考 X : Don't care

## 5.8.2 レジスタ機能説明

プログラミング時に、CPUを介して任意のUARTレジスタにアクセスすることができます。（表5-4参照）これらのレジスタは、データの送受信を含めUARTの動作を制御します。表5-4の各レジスタ・ビットに、その名称とリセット状態を明記しています。

### (1) ライン制御レジスタ

プログラミング時に、非同期データ通信の送受信フォーマットを指定し、ライン制御レジスタ（LCR）を介してデバイザ・ラッチ・アクセス（DLA）ビットを“1”にセットします。ライン制御レジスタの内容をリードすることも可能です。このリード機能により、システム・プログラミングが簡略化し、システム・メモリ内に個別にライン特性を格納する必要がありません。表5-4にLCRの内容を示しています。以下に各ビットについて解説します。

ビット0, ビット1: これらの2ビットにより、各送受信シリアル・キャラクタのビット数を指定します。ビット0とビット1の符号化は、次の通りです。

Bit 1	Bit 0	Character Length
0	0	5 Bits
0	1	6 Bits
1	0	7 Bits
1	1	8 Bits

ビット2: 各シリアル・キャラクタの送受信されるストップ・ビット数を指定します。ビット2が論理“0”の場合は、送信データ内に1個のストップ・ビットが生成されます。ビット0とビット1で5ビット・ワード長をセレクトしている時に、ビット2が論理“1”であれば、1.5個のストップ・ビットが生成されます。また、6ビット、7ビット、8ビット・ワード長のいずれかをセレクトしているときに、ビット2が論理“1”であれば、2個のストップ・ビットが生成されます。レシーバ側は、セレクトしたストップ・ビット数に関係なく、最初のストップ・ビットのみをチェックします。

ビット3: パリティ・イネーブル・ビット。ビット3が論理“1”の場合、送信データに対してシリアル・データの最終データ・ワード・ビットとストップ・ビット間に1個のパリティ・ビットが生成されます。あるいは、受信データに対してパリティ・ビットのチェックが行われます。（パリティ・ビットは、データ・ワード・ビットの和を計算する時に、偶数個または奇数個の論理“1”を生成するために使われます。）

ビット4: 偶数パリティ・セレクト・ビット。ビット3が論理“1”、ビット4が論理“0”の場合は、データ・ワード・ビットとパリティ・ビットの奇数個の論理“1”が送信されるか、チェックされます。ビット3が論理“1”、ビット4が論理“1”の場合は、偶数個の論理“1”の送信、またはチェックが行われます。

ビット5: スティック（Stick）・パリティ・ビット。ビット3, ビット4, ビット5が論理“1”の場合、このパリティ・ビットは、論理“0”として送信/チェックされます。ビット3とビット5が論理“1”でビット4が論理“0”の場合、このパリティ・ビットは論理“1”として送信/チェックされます。ビット5が論理“0”の場合、スティック・パリティはディスエーブルになります。

ビット6：ブレーク制御ビット。ブレーク状態を発生し、受信側のUARTIに送信します。論理“1”にセットすると、シリアル出力（SOUT）がスペース（論理“0”）に強制的にセットされます。ビット6を論理“0”にセットすると、ブレーク状態がディスエーブルになります。ブレーク制御ビットは、SOUTのみに機能し、トランスミッタの論理回路に影響ありません。

**注意** この機能を使用し、CPUからコンピュータ通信システムの端末に警告信号を送信する事ができません。次の手順に従うと、ブレーク状態により、エラーのない任意のキャラクタ送信が可能になります。

1. THREに応じて、オール“0”のパッド・キャラクタをロードします。
2. 次のTHRE後に、ブレークをセットします。
3. トランスミッタがアイドルになるのを待ち（TEMT=1）、ブレークをクリアして通常の送信を再開させます。

ブレークの間、トランスミッタをキャラクタ・タイマとして使用すると、ブレーク時間を正確にセットすることができます。

ビット7：デバイザ・ラッチ・ビット（DLAB）。リード/ライト動作時、ポー・ジェネレータのデバイザ・ラッチにアクセスするには、このビットを“H”（論理“1”）にセットする必要があります。レシーバ・バッファ、トランスミッタ保持レジスタ、または割り込みイネーブル・レジスタにアクセスするには、このビットを“L”（論理“0”）にセットします。

(2) プログラマブル・ポー・ジェネレータ

UARTにはプログラム可能なポー・ジェネレータが内蔵されており、DCから最大24MHzのクロックを取り込み、このクロック入力を1~(2<sup>16</sup>-1)の範囲のデバイザで分周することが可能です。ポー・ジェネレータの出力周波数は、16×ポー [ デバイザ# = (周波数入力) ÷ (ポー・レート×16) ] です。デバイザは、16ビットの2進フォーマットで2つの8ビット・ラッチに格納されます。初期化時に、これらデバイザ・ラッチをロードし、ポー・ジェネレータの正常動作を確認する必要があります。デバイザ・ラッチのいずれかをロードすると、ただちに16ビットのポー・カウンタがロードされます。

表5-5に、それぞれ1.8432MHz、3.072MHz、18.432MHzの水晶発振周波数で使用する10進デバイザを示します。ポー・レートが38,400以下の場合には、発生するエラーはわずかです。任意のポー・レートの精度は、選択する水晶発振周波数に依存します。デバイザ0の使用はできません。

表5-5 発振周波数およびデバイザ

Baud Rate	1.8432 MHz Crystal		3.072 MHz Crystal		18.432 MHz Crystal	
	Decimal Divisor for 16 x Clock	Percent Error	Decimal Divisor for 16 x Clock	Percent Error	Decimal Divisor for 16 x Clock	Percent Error
50	2304	-	3840	-	23040	-
75	1536	-	2560	-	15360	-
110	1047	0.026	1745	0.026	10473	-
134.5	857	0.058	1428	0.034	8565	-
150	768	-	1280	-	7680	-
300	384	-	640	-	3840	-
600	192	-	320	-	1920	-
1200	96	-	160	-	920	-
1800	64	-	107	0.312	640	-
2000	58	0.69	96	-	576	-
2400	48	-	80	-	480	-
3600	32	-	53	0.628	320	-
4800	24	-	40	-	240	-
7200	16	-	27	1.23	160	-
9600	12	-	20	-	120	-
19200	6	-	10	-	60	-
38400	3	-	5	-	30	-
56000	2	2.86	-	-	21	2.04
128000	-	-	-	-	9	-

**注意** 24MHzの水晶発振子を用いたポー・レート(250k, 300k, 375k, 500k, 750k, 1.5Mなど)では、わずかな誤差が発生します。

### (3) ライン・ステータス・レジスタ

このレジスタは、データ伝送に関するステータス情報をCPUに提供します。ライン・ステータス・レジスタの内容については、表5-4を参照してください。次に、各ビットについて解説します。

ビット0：レシーバのデータ・レディ（DR）・インジケータ・ビット。レシーバ・バッファ・レジスタまたはFIFOとの間で完全な入力キャラクタの送受信が行われると、ビット0が論理“1”にセットされます。レシーバ・バッファ・レジスタまたはFIFO内のデータを全てリードすると、ビット0が論理“0”にリセットされます。

ビット1：オーバラン・エラー（OE）・インジケータ・ビット。ビット1は、レシーバ・バッファ・レジスタ内のデータがCPUにリードされずに、次のキャラクタがレシーバ・バッファ・レジスタに転送されている、すなわち、先行キャラクタが破壊していることを示します。OEインジケータは、オーバラン状態の検出時に論理“1”にセットされ、CPUがライン・ステータス・レジスタの内容をリードすると、論理“0”にリセットされます。FIFOモードではデータが、トリガ・レベルを超えてFIFOを満たし続けると、FIFOが満杯になってシフト・レジスタ内に次のキャラクタを完全に受信した後にのみ、オーバラン・エラーが発生します。OEは、発生するとただちにCPUに通知されます。シフト・レジスタ内のキャラクタは上書きされますが、FIFOには転送されません。

ビット2：パリティ・エラー（PE）・インジケータ・ビット。ビット2は、受信キャラクタ・データが、偶数パリティ・セレクト・ビットで定義された、正しい偶数または奇数パリティを持っていないことを示します。PEビットは、パリティ・エラーの検出時に論理“1”にセットされ、CPUがライン・ステータス・レジスタの内容をリードすると、論理“0”にリセットされます。FIFOモード時には、このエラーは、FIFO内の個々のキャラクタにより発生し、このキャラクタがFIFOの最上部にある時にCPUに通知されます。

ビット3：フレーミング・エラー（FE）・インジケータ・ビット。ビット3は、受信キャラクタのストップ・ビットが有効でないことを示します。最終データ・ビットまたはパリティ・ビットに続くストップ・ビットを論理“0”ビット（スペース・レベル）として検出すると、ビット3は常に論理“1”にセットされます。CPUがライン・ステータス・レジスタの内容をリードすると、論理“0”にリセットされます。FIFOモード時、このエラーは、FIFO内の個々のキャラクタにより発生し、そのキャラクタがFIFOの最上部にある時にCPUに通知されます。フレーミング・エラー後、UARTは再同期化を試みます。UARTは、再同期化を行う際に、フレーミング・エラーは次のスタート・ビットによるものと想定し、この“スタート”ビットを2度サンプリングしてスタート・ビットとして“データ”の中に組み込みます。

ビット4：ブレイク割り込み（BI）インジケータ・ビット。フル・ワードの送信時間（スタート・ビット＋データ・ビット＋ストップ・ビットの合計時間）を超えて受信データ入力がスペース（論理“0”）状態に保持されると、ビット4は常に論理“1”にセットされます。CPUがライン・ステータス・レジスタの内容をリードすると、論理“0”にリセットされます。FIFOモード時に、このエラーは、FIFO内の個々のキャラクタにより発生し、そのキャラクタがFIFOの最上部にある時にCPUに通知されます。ブレイクは、1個の0キャラクタがFIFOにロードされた場合にのみ発生します。次のキャラクタ転送は、レシーバ・シリアル入力（SIN）がマーク状態に遷移し、次の有効なスタート・ビットを受信した後に開始します。

**注意** ビット1～ビット4はエラー状態ビットです。これらのビットは、各エラー状態のいずれかを検出し、割り込みがイネーブルされていると、レシーバ・ライン・ステータスの割り込みを生成します。

ビット5：トランスミッタ保持レジスタ・エンプティ（THRE）・インジケータ・ビット。ビット5は、UARTが送信のための新しいデータの受け入れ準備ができていていることを示します。また、このビットにより、THRE割り込みイネーブルが“H”にセットされている時に、UARTからCPUに割り込みを発行させることもできます。1個のキャラクタがトランスミッタ保持レジスタ（THR）からトランスミッタ・シフト・レジスタ（TSR）に転送されると、THREビットは論理“1”にセットされます。CPUがTHRをロードすると同時に、論理“0”にリセットされます。FIFOモード時に、XMIT FIFOが空になると、このビットは論理“1”にセットされ、最低1バイトがXMIT FIFOにライトされると論理“0”にリセットされます。

ビット6：トランスミッタ・エンプティ（TEMT）・インジケータ・ビット。トランスミッタ保持レジスタ（THR）とトランスミッタ・シフト・レジスタ（TSR）の両方が空になると、ビット6は常に論理“1”にセットされます。THRまたはTSRのいずれかにデータ・キャラクタがあると、論理“0”にリセットされます。FIFOモードにおいて、トランスミッタのFIFOとシフト・レジスタの両方が空になると、このビットは常に論理“1”にセットされます。

ビット7：このLSR7ビットは、16450モード時に論理“0”にセットされます。FIFOモード時に、最低1個のパリティ・エラー、フレーミング・エラーまたはブレイク表示がFIFO内に発生すると、論理“1”にセットされます。FIFO内に新たなエラーがなければ、CPUがLSRをリードすると、LSR7は論理“0”にリセットされます。

**注意** ライン・ステータス・レジスタ（LSR）はリード動作専用です。このレジスタへのライトは、推奨できません。工場にてテストに使用します。FIFOモード時には、ソフトウェアにより、ループバック・モードを用いてRx FIFOにデータをロードすることにより、LSR2～LSR4にライトできます。LSR0とLSR7は、FIFOモード時にライトできません。

(4) FIFO制御レジスタ

これは、IIR(リード専用レジスタ)と同じアドレスにあるライト専用レジスタです。FIFOのイネーブル、FIFOのリセット、RCVR FIFOのトリガ・レベル設定、およびDMA転送タイプの選択に使用します。

ビット0：FCR0に“1”にセットすると、XMIT FIFOとRCVR FIFOの両方がイネーブルします。“0”にリセットすると、両FIFOの全バイトがリセットされます。FIFOモードから16450モード(または逆)に変更すると、FIFOのデータが自動的にリセットされます。他のFCRビットへの書き込みをする場合、“1”にセットしなければなりません。さもないとそれらのビットへのプログラミングができません。

ビット1：FCR1を“1”にセットすると、RCVR FIFOの全バイトがリセットされ、そのカウンタ論理回路も“0”にリセットされます。この場合、シフト・レジスタはリセットされません。ビット1にライトされる“1”は自動的にリセットされます。

ビット2：FCR2を“1”にセットすると、XMIT FIFOの全バイトがリセットされ、そのカウンタ論理回路も“0”にリセットされます。この場合、シフト・レジスタはリセットされません。ビット1にライトされる“1”は自動的にリセットされます。

ビット3：FCR3を“1”にセットすると、FCR0 = 1のときにRXRDY端子とTXRDY端子がモード0からモード1に変わります(RXRDY端子とTXRDY端子の説明を参照してください)。

ビット4、ビット5：FCR4とFCR5は将来用途向けの予備ビットです。

ビット6、ビット7：FCR6とFCR7は、RCVR FIFO割り込みトリガ・レベルの設定に使用します。

7	6	RCVR FIFO Trigger Level (Bytes)
0	0	01
0	1	04
1	0	08
1	1	14

### (5) 割り込み識別レジスタ

データ・キャラクタ伝送時のソフトウェアのオーバーヘッドを最小にするために、UARTは割り込み優先度を4レベルに設定し、これらを割り込み認識レジスタ（IIR）に記録します。割り込み状態の4レベルは、レシーバ・ライン・ステータス、受信データ・レディ（または受信データ可能）、トランスミッタ保持レジスタ・エンプティ、MODEMステータスの優先順になっています。

CPUがIIRにアクセスすると、UARTは全ての割り込みを停止し、実行中の最優先度の割り込みをCPUに通知します。CPUがIIRにアクセスしている間、UARTは新たな割り込みを記録しますが、アクセスが完了するまで現行の通知を変更しません。IIRについては表5 - 4を参照してください。次に、各ビットについて解説します。

ビット0：このビットは、優先順の割り込み環境で実行待ちの割り込みがあるかどうかを示すために使用します。ビット0が論理“0”の場合は、実行待ちの割り込みがあることを示し、各割り込みサービス・ルーチンに指示するためにIIRの内容をポインタとして使用することが可能です。ビット0が論理“1”の場合は、実行待ちの割り込みがありません。

ビット1、ビット2：これらIIRの2ビットは、実行待ちの最優先度の割り込みを識別するために使用されます（表5 - 6参照）。

ビット3：16450モード時は、このビットは論理“0”です。FIFOモード時には、タイムアウト割り込みが実行待ちの時にビット2と共に論理“1”にセットされます。

ビット4、ビット5：これらIIRの2ビットは、常に論理“1”にセットされています。

ビット6、ビット7：これら2ビットは、FCR = 1の時に論理“1”にセットされます。



表5 - 6 割り込みコントロール機能

FIFO Mode Only	Interrupt Identification Register			Interrupt Set and Reset Functions			
	Bit 3	Bit 2	Bit 1	Bit 0	Priority Level	Interrupt Type	Interrupt Source
0	0	0	1	-	None	None	-
0	1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error or Framing Error or Break Interrupt	Reading the Line Status Register
0	1	0	0	Second	Received Data Available	Receiver Data Available or Trigger Level Reached	Reading the Receiver Buffer Register or the FIFO Drops Below the Trigger Level
1	1	0	0	Second	Character Timeout Indication	No Characters Have Been Removed From or Input to the RCVR FIFO During the Last 4 Char. Times and There Is at Least 1 Char. in It During This Time	Reading the Receiver Buffer Register
0	0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register
0	0	0	0	Fourth	MODEM Status	Clear to Send or Data Set Ready or Ring Indicator or Data Carrier Detect	Reading the MODEM Status Register

**(6) 割り込みイネーブル・レジスタ**

このレジスタは、5種類のUART割り込みをイネーブルします。各割り込みごとに、個別に割り込み (INTRP) 出力信号を活性化することができます。割り込みイネーブル・レジスタ (IER) のビット0～ビット3を論理“0”にリセットすると、割り込みシステムを完全にディスエーブルすることができます。同じくIERレジスタの各ビットを論理“1”にセットすると、選択された割り込みがイネーブルします。特定の割り込みをディスエーブルすると、その割り込みはIIR内で非アクティブに設定され、割り込みによるINTRP出力信号の活性化を防ぐことができます。ライン・ステータス・レジスタとMODEMステータス・レジスタの設定を含め、他の機能は全て通常通り動作します。IERの内容については、表5-4を参照してください。次に、各ビットについて解説します。

ビット0：このビットを論理“1”にセットすると、受信データ可能 (RDA) 割り込み (およびFIFOモードでタイムアウト割り込み) がイネーブルします。

ビット1：このビットを論理“1”にセットすると、トランスミッタ保持レジスタ・エンプティ (THRE) 割り込みがイネーブルします。

ビット2：このビットを論理“1”にセットすると、レシーバ・ライン・ステータス割り込みがイネーブルします。

ビット3：このビットを論理“1”にセットすると、MODEMステータス割り込みがイネーブルします。

ビット4～ビット7：これら4ビットは、常に論理“0”にセットされます。

### (7) MODEM制御レジスタ

このレジスタは、MODEMまたはデータ・セット（あるいはMODEM機能をエミュレートする周辺デバイス）とのインタフェースを制御します。MODEM制御レジスタの内容については、表5-4を参照してください。次に、各ビットについて解説します。

ビット0：このビットは、“データ・ターミナル・レディ”（DTRB）出力を制御します。ビット0を論理“1”にセットすると、DTRB出力が強制的に論理“0”にリセットされます。ビット0を論理“0”にリセットすると、DTRB出力が強制的に論理“1”にセットされます。

**注意** UARTのDTRB出力をEIA反転型ライン・ドライバ（DS1488など）で使用すると、後続MODEMまたはデータ・セットで適切な極性入力を得られません。

ビット1：このビットは、“リクエスト・ツー・SEND”（RTSB）出力を制御します。前述のビット0と同様に、ビット1はRTSB出力に影響します。

ビット2：このビットは、出力1（OUT 1B）、すなわちユーザ定義の補助出力を制御します。前述のビット0と同様に、ビット2はOUT 1B出力に影響します。

ビット3：このビットは、出力2（OUT 2B）、すなわちユーザ定義の補助出力を制御します。前述のビット0と同様に、ビット3はOUT 2B出力に影響します。

ビット4：このビットは、UARTの診断テスト用にローカル・ループバック機能を備えています。ビット4を論理“1”にセットすると、次のように各入出力がセットされます。

- ・トランスミッタ・シリアル出力（SOUT）がマーク（論理“1”）状態にセット
- ・レシーバ・シリアル入力（SIN）の接続が解除
- ・トランスミッタ・シフト・レジスタ（TSR）出力がレシーバ・シフト・レジスタ（RSR）に対して“ループバック”にセット
- ・4つのMODEM制御入力（DSRB, CTSB, RIB, DCDB）の接続が解除
- ・4つのMODEM制御出力（DTRB, RTSB, OUT 1B, OUT 2B）が4つのMODEM制御入力に内部接続され、各MODEM制御出力ピンが非アクティブ（High）状態にセット

ループバック・モード時に、送信データはただちに受信されます。この機能により、UARTの送受信データ経路をプロセッサ側で検証することが可能です。

ループバック・モード時、レシーバ割り込みとトランスミッタ割り込みはフルに機能します。MODEM制御割り込みも機能しますが、割り込みソースとして、4つのMODEM制御入力かわりにMODEM制御レジスタの下位4ビットを使用します。ただし、割り込みは、同じく割り込みイネーブル・レジスタによって制御されます。

ビット5～ビット7：これらのビットは論理“0”に固定します。

### (8) MODEMステータス・レジスタ

このレジスタは、MODEM（または周辺デバイス）とCPU間に接続されている制御ラインの現在の状態を示します。この現行状態の情報に加え、MODEMステータス・レジスタ（MSR）の4ビットにより、遷移情報も示します。MODEMからの制御入力の状態が変化すると、これらの4ビットは常に論理“1”にセットされます。CPUがMODEMステータス・レジスタをリードすると、これらのビットは論理“0”にリセットされます。

MODEMステータス・レジスタの内容については、表5-4を参照してください。次に、各ビットについて解説します。

ビット0：デルタ・クリア・ツー・センド（DCTS）・インジケータ・ビット。ビット0は、CPUによるリードが行われた後に、チップへのCTSB入力状態が変化していることを示します。

ビット1：デルタ・データ・セット・レディ（DDSR）・インジケータ・ビット。ビット1は、CPUによるリードが行われた後に、チップへのDSRB入力状態が変化していることを示します。

ビット2：リング・インジケータ・トレーリング・エッジ（TERI）・ディテクタ・ビット。ビット2は、チップへのRIB入力状態がLowからHighに変化していることを示します。

ビット3：デルタ・データ・キャリア検出（DDCD）インジケータ・ビット。ビット3は、チップへのDCDB入力状態が変化していることを示します。

**注意** ビット0、ビット1、ビット2、またはビット3が論理“1”にセットされると、常にMODEMステータス割り込みが生成されます。

ビット4：クリア・ツー・センド（CTSB）入力の補数を示すビット。MCRのビット4（ループ）が論理“1”にセットされると、このビットはMCR内のRTSの値を反映します。

ビット5：データ・セット・レディ（DSRB）入力の補数を示すビット。MCRのビット4が論理“1”にセットされると、このビットはMCR内のDTRの値を反映します。

ビット6：リング・インジケータ（RIB）入力の補数を示すビット。MCRのビット4（ループバック）が論理“1”にセットされると、このビットはMCR内のOUT 1の値を反映します。

ビット7：データ・キャリア検出（DCDB）入力の補数を示すビット。MCRのビット4が論理“1”にセットされると、このビットはMCR内のOUT 2の値を反映します。

### (9) スクラッチパッド・レジスタ

この8ビット・リード/ライト・レジスタは、UARTの制御に使用するものではありません。このスクラッチパッド・レジスタは、プログラミングの際に一時的にデータを保持するためのものです。

## (10) FIFO割り込みモード動作

RCVR FIFO割り込みとレシーバ割り込みがイネーブル (FCR0 = 1, IER0 = 1) されていると、次のようにRCVRの割り込みが発生します。

- (a) FIFOの状態が、プログラムされているトリガ・レベルに達した時にCPUに対して受信データ可能割り込みが出力され、トリガ・レベル以下になるとただちに割り込みがリセットされます。
- (b) IIR受信データ可能通知も、FIFOの状態がトリガ・レベルに達すると出力され、トリガ・レベル以下になると割り込みと同様にリセットされます。
- (c) 前述したように、レシーバ・ライン・ステータス割り込み (IIR = 06) の優先度は、受信データ可能 (IIR = 04) 割り込みよりも高く設定されています。
- (d) シフト・レジスタからRCVR FIFOにキャラクタが転送されると、ただちにデータ・レディ・ビット (LSR0) が“1”にセットされ、FIFOが空になるとリセットされます。

RCVR FIFO割り込みとレシーバ割り込みがイネーブルしていると、次のようにRCVR FIFOのタイムアウト割り込みが発生します。

- (a) 次の条件にて、FIFOのタイムアウト割り込みが発生します：
  - 最低1キャラクタがFIFO内部に保持されており
  - 受信した最新のシリアル・キャラクタが、4連続キャラクタ・タイムよりも前である (2つのストップ・ビットがプログラムされていれば、この遅延タイムに2番目のストップ・ビットも含む)。
  - またはCPUによる最新のFIFOリードが、4連続キャラクタ・タイムよりも前である。受信したキャラクタとタイムアウト割り込み間の最大タイムは、12ビットの受信キャラクタ (1スタート・ビット, 8データ・ビット, 1パリティ・ビット, 2ストップ・ビット構成) で300ボー時に160msになります。
- (b) キャラクタ・タイムの計算には、クロック信号用のRCLK入力を使用します (これにより、遅延タイムがボー・レートに比例)。
- (c) タイムアウト割り込みが発生している場合、CPUがRCVR FIFOから1キャラクタをリードすると、タイムアウト・タイマがリセットされます。
- (d) タイムアウト割り込みが発生していない場合、新たなキャラクタを受信した後に、あるいはCPUがRCVR FIFOをリードした後にタイムアウト・タイマがリセットされます。

RCVR FIFO割り込みとレシーバ割り込みがイネーブル (FCR0 = 1, IER1 = 1) していると、次のようにXMIT割り込みが発生します。

- (a) トランスミッタ保持レジスタの割り込み (02) は、XMIT FIFOが空になると発生します。トランスミッタ保持レジスタへのライト時 (この割り込み処理中、XMIT FIFOに1~16キャラクタのライトが可能)、あるいはIIRのリード時に、トランスミッタ保持レジスタの割り込みがリセットされます。
- (b) 次の場合に、常にトランスミッタのFIFOエンプティ表示が、最終ストップ・ビット・タイムを差し引いた1キャラクタ・タイム遅延します：最後にTHRE = 1になってから、THRE = 1のセット状態で、XMIT FIFO内に最低2バイトが同時に存在しない場合。FCR0を変更すると、直ちに最初のXMIT割り込みが発生します。

キャラクタ・タイムアウト割り込みとRCVR FIFOトリガ・レベル割り込みの優先度は、現行の受信データ可能割り込みと同じです。また、XMIT FIFOエンプティの優先度も、現行のトランスミッタ保持レジスタのエンプティ割り込みと同じです。

#### (11) FIFOポーリング・モード動作

FCR0 = 1によりIER0, IER1, IER2, IER3または全てを“0”にリセットすると、UARTがFIFOポーリング・モード動作になります。RCVRとXMITTERは個別に制御できるので、これら的一方または両方のポーリング・モード動作が可能です。

ポーリング・モード時に、ユーザ・プログラムにより、LSRを介してRCVRとXMITTERのステータスをチェックすることが可能です。

前述したように、

RCVR FIFO内に受信キャラクタが1バイトある限り、LSR0が“1”にセットされます。

LSR1～LSR4は、どのタイプのエラーが発生したかを特定します。キャラクタ・エラー・ステータスは、割り込みモードの場合と同様に処理されます。ただし、IIRは、IER2=0なので影響されません。

LSR5は、XMIT FIFOが空になっていることを示します。

LSR6は、XMIT FIFOとシフト・レジスタの両方が空になっていることを示します。

LSR7は、RCVR FIFO内のエラーを示します。

FIFOポーリング・モードの場合、トリガ・レベルに達したり、タイムアウト状態が表示されることはありませんが、RCVR FIFOとXMIT FIFOのキャラクタ保持機能はフルに使用可能です。

## 5.9 接続例

図5-3 データ・バスとの接続例

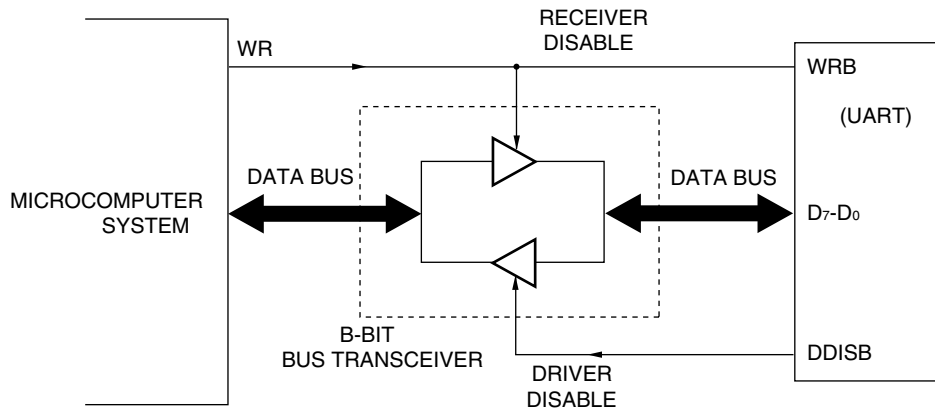
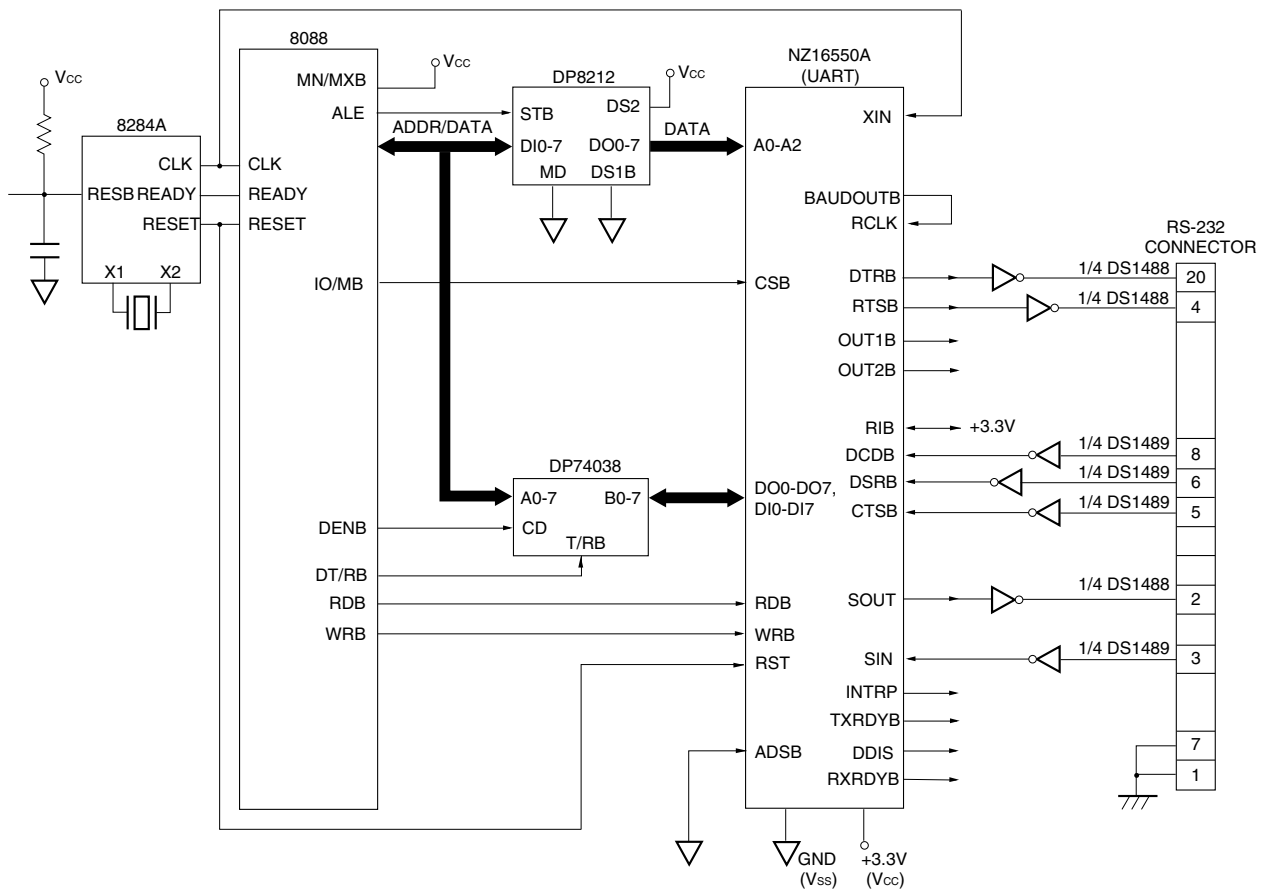


図5-4 CPUとの接続例



注意 テスト端子は省略されています。

# 付録A

## 単体テストの仕様

- A. 1 メガマクロ単体テスト仕様書
- A. 2 NA51A端子レファレンス表
- A. 3 NA54A端子レファレンス表
- A. 4 NA59A端子レファレンス表
- A. 5 NZ16550A端子レファレンス表



## A.1 メガマクロ単体テスト仕様書

1. 品名  $\mu$ PD65\_\_\_\_ - \_\_\_\_\_

2. 作成日 19\_\_\_\_/\_\_\_\_/\_\_\_\_

作成者の会社名 \_\_\_\_\_

作成者の連絡先 (TEL) \_\_\_\_\_

3. 使用メガマクロ

NA51A × \_\_\_\_個

NA54A × \_\_\_\_個

NA59A × \_\_\_\_個

NZ16550A × \_\_\_\_個

合計 \_\_\_\_個

4. 端子数

入力端子数 \_\_\_\_\_本

出力端子数 \_\_\_\_\_本

双方向端子数 \_\_\_\_\_本

---

総端子数 \_\_\_\_\_本

5. パターン数

ユーザ・パターン数 = \_\_\_\_\_パターン

NA51A (12874パターン) × \_\_\_\_個 = \_\_\_\_\_パターン

NA54A (3483パターン) × \_\_\_\_個 = \_\_\_\_\_パターン

NA59A (7335パターン) × \_\_\_\_個 = \_\_\_\_\_パターン

NZ16550A (14889パターン) × \_\_\_\_個 = \_\_\_\_\_パターン

---

合計 \_\_\_\_\_パターン

ご使用の各メガマクロについて、次頁以降の「端子レファレンス表」に必要事項をご記入のうえ、本書にご添付ください。

## A.2 NA51A端子レファレンス表

インスタンス名 \_\_\_\_\_ (1/ )

メガマクロ・テスト入力		メガマクロ・テスト出力	
メガマクロ端子名	外部端子名	メガマクロ端子名	外部端子名
TBI0		DO0	
TBI1		DO1	
TBI2		DO2	
TBI3		DO3	
TBI4		DO4	
TBI5		DO5	
TBI6		DO6	
TBI7		DO7	
TBI8		OSYN	
TBI9		TXD	
TBI10		TXRDY	
TBI11		TXEMP	
TBI12		RXRDY	
TBI13		DTRB	
TBI14		RTSB	
TBI15		CDB	
TBI16		CSYN	
TBI17		テスト・モード設定入力	
TBI18		外部端子名	入力値
TBI19			
TESTB <sup>注1</sup>			
CSD <sup>注2</sup>			
CSE <sup>注2</sup>			
TTHR			

注1. “TESTB”は、テスト・モード設定入力によって置き換えることができます。

2. “CSD”と、“CSE”は、クランプにより固定できます。ただし、入力値を記載してください。

**備考** 入力端子を双方向端子に接続するとき；必ず単体テスト時に**入力モード**としてください。

出力端子を双方向端子に接続するとき；必ず単体テスト時に**出力モード**としてください。

## A.3 NA54A端子レファレンス表

インスタンス名 \_\_\_\_\_ (1/ )

メガマクロ・テスト入力		メガマクロ・テスト出力	
メガマクロ端子名	外部端子名	メガマクロ端子名	外部端子名
TBI0		DO0	
TBI1		DO1	
TBI2		DO2	
TBI3		DO3	
TBI4		DO4	
TBI5		DO5	
TBI6		DO6	
TBI7		DO7	
TBI8		CNTOUT0	
TBI9		CNTOUT1	
TBI10		CNTOUT2	
TBI11		CDB	
TBI12		テスト・モード設定入力	
TBI13		外部端子名	入力値
TBI14			
TBI15			
TBI16			
TBI17			
TBI18			
TESTB <sup>注1</sup>			
CSD <sup>注2</sup>			
CSE <sup>注2</sup>			
TTHR			

注1. “TESTB”は、テスト・モード設定入力によって置き換えることができます。

2. “CSD”と、“CSE”は、クランプにより固定できます。ただし、入力値を記載してください。

**備考** 入力端子を双方向端子に接続するとき；必ず単体テスト時に**入力モード**としてください。

出力端子を双方向端子に接続するとき；必ず単体テスト時に**出力モード**としてください。

## A. 4 NA59A端子レファレンス表

インスタンス名 \_\_\_\_\_ ( 1 / )

メガマクロ・テスト入力		メガマクロ・テスト出力	
メガマクロ端子名	外部端子名	メガマクロ端子名	外部端子名
TBI0		DO0	
TBI1		DO1	
TBI2		DO2	
TBI3		DO3	
TBI4		DO4	
TBI5		DO5	
TBI6		DO6	
TBI7		DO7	
TBI8		SAO0	
TBI9		SAO1	
TBI10		SAO2	
TBI11		SVO	
TBI12		INTR	
TBI13		CDB	
TBI14		CSA	
TBI15		CSV	
TBI16		ESLC0	
TBI17		ESLC1	
TBI18		ESLC2	
TBI19		ESLC3	
TBI20		ESLC4	
TBI21		ESLC5	
TBI22		ESLC6	
TBI23		ESLC7	
TBI24		INTO0	
TBI25		INTO1	
TBI26		INTO2	
TBI27		INTO3	
TBI28		INTO4	
TBI29		INTO5	
TBI30		INTO6	
TBI31		INTO7	
TBI32		テスト・モード設定入力	
TBI33		外部端子名	入力値
TESTB <sup>注1</sup>			
RST			
CSD <sup>注2</sup>			
CSE <sup>注2</sup>			
TTHR			

注1. “TESTB”は、テスト・モード設定入力によって置き換えることができます。

2. “CSD”と、“CSE”は、クランプにより固定できます。ただし、入力値を記載してください。

**備考** 入力端子を双方向端子に接続するとき；必ず単体テスト時に**入力モード**としてください。

出力端子を双方向端子に接続するとき；必ず単体テスト時に**出力モード**としてください。

## A. 5 NZ16550A端子レファレンス表

インスタンス名 \_\_\_\_\_ ( 1 / )

メガマクロ・テスト入力		メガマクロ・テスト出力	
メガマクロ端子名	外部端子名	メガマクロ端子名	外部端子名
TBI0		DO0	
TBI1		DO1	
TBI2		DO2	
TBI3		DO3	
TBI4		DO4	
TBI5		DO5	
TBI6		DO6	
TBI7		DO7	
TBI8		SD	
TBI9		CSOUT	
TBI10		DDIS	
TBI11		INTRP	
TBI12		BAUDOUTB	
TBI13		DTRB	
TBI14		OUT1B	
TBI15		OUT2B	
TBI16		RTSB	
TBI17		SOUT	
TBI18		TXRDYB	
TBI19		RXRDYB	
TBI20		テスト・モード設定入力	
TBI21		外部端子名	入力値
TBI22			
TBI23			
TBI24			
TBI25			
TBI26			
TBI27			
TBI28			
TESTB <sup>注1</sup>			
CSD <sup>注2</sup>			
CSE <sup>注2</sup>			
TTHR			

注1. “TESTB”は、テスト・モード設定入力によって置き換えることができます。

2. “CSD”と、“CSE”は、クランプにより固定できます。ただし、入力値を記載してください。

**備考** 入力端子を双方向端子に接続するとき；必ず単体テスト時に**入力モード**としてください。

出力端子を双方向端子に接続するとき；必ず単体テスト時に**出力モード**としてください。

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---